

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOS デジタルIC (μ PD4000 シリーズ) のインターフェイス

保守/廃止

CMOS は、消費電力が少い、雑音余裕が大きい、電源電圧範囲が広い等の数々の秀れた特長により標準デジタル回路として多くの分野に応用されています。

本資料では μ PD4000 シリーズ相互間並びに LSTTL, NMOS, PMOS 等のロジック回路とインターフェイスする方法を説明します。

第1章 CMOS μ PD4000 シリーズの構造と基本特性

CMOS のインターフェイスを考える上では、まず CMOS の基本特性を理解するの必要が有ります。この章は特に CMOS 固有の特性および使用上の注意点をまとめたものです。

1. 入出力構造

CMOS の数々のすぐれた特長、あるいはインターフェイスを設計する上での注意点は、すべて 1~4 項に述べる入出力構造および基本特性に起因します。

図1に CMOS インバータ μ PD4069UBC のチップ構造、図2にその等価回路を示します。

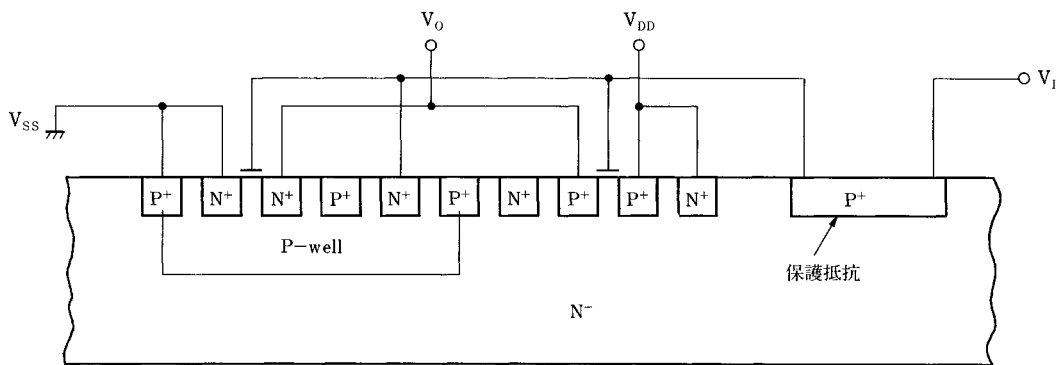


図1 CMOS インバータ μ PD4069UBC のチップ構造

D_1, D_2 は入力の保護ダイオード、 $D_3 \sim D_5$ は CMOS の構造上存在する寄生ダイオードです。

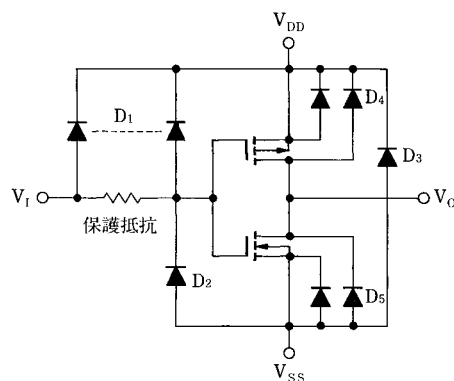


図2 CMOS インバータ μ PD4069UBC の等価回路

保守/廃止

2. 入力特性

CMOS の入力特性を図 3 に示します。

《領域 1》…… 禁止領域

$V_I < V_{SS}$ では、 V_{SS} から D_2 を通り入力へ異常電流が流れ出します。この電流は後で述べるラッチアップによる破壊の原因となるものです。

《領域 2》…… 使用領域

$V_{SS} \leq V_I \leq V_{DD}$ では入力のダイオードはすべて逆バイアスされるため入力インピーダンスは非常に高く 15 MΩ 以上です。絶対最大定格で「 V_I はこの領域を越えてはならない」と規定しています。

《領域 3》…… 禁止領域

$V_{DD} < V_I$ では、入力から D_1 を通り V_{DD} に異常電流が流れ込みます。この電流は《領域 1》の場合と同様にラッチアップによる破壊の原因となるものです。

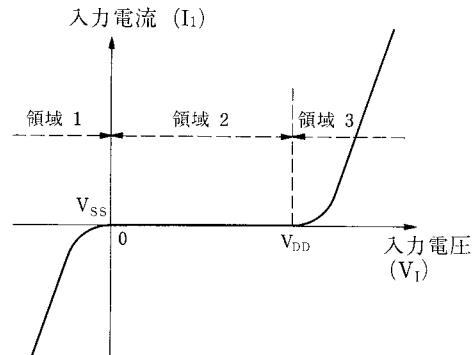


図 3 CMOS の入力特性

3. 出力特性

出力側も、入力側同様 $V_{SS} > V_O$ または $V_O > V_{DD}$ になると、図 2 中の D_5 または D_4 に電流が流れ、ラッチアップを生じたりそれによる破壊の原因となります。（禁止領域）

図 4 に μ PD4075BC の出力特性を示します。

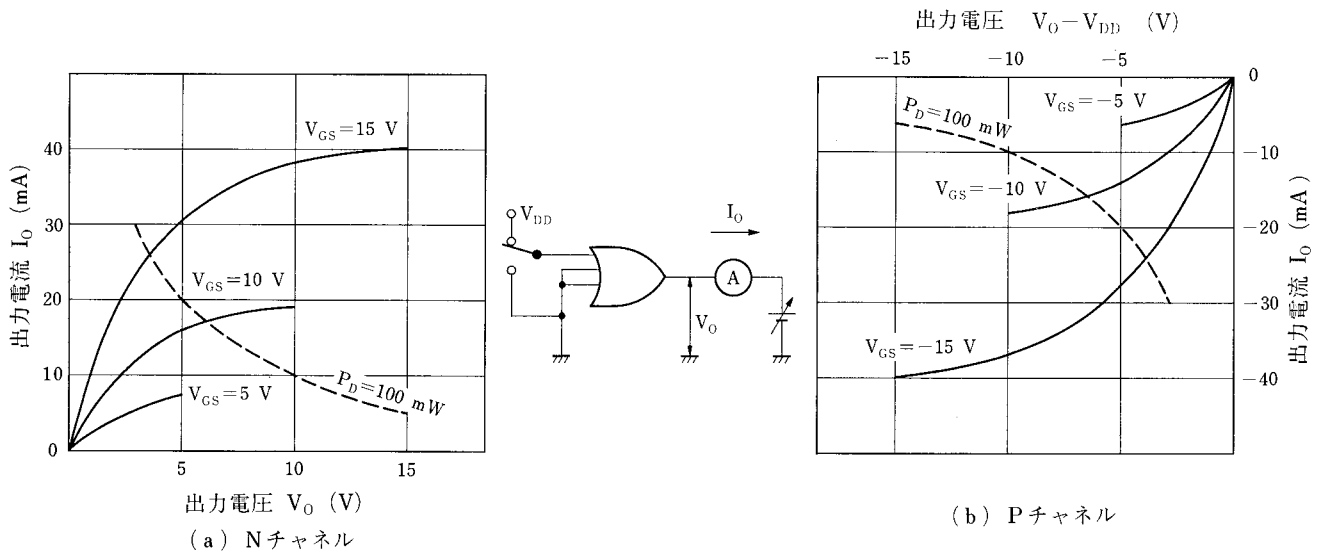


図 4 μ PD4075BC の出力特性

P_D の絶対最大定格は全動作温度範囲内で 1 ゲート当り 100 mW, 1 パッケージ当り 200 mW なので、 $V_O \times I_O$ がこの値を越えないように配慮しなければなりません。

また JEDEC で規定されている“B シリーズ”は $V_{DD} = 5$ V, $V_{OL} = 0.4$ V にて $I_{OL} \geq 0.36$ mA が規格化されています。この 0.36 mA は LSTTL 入力を 1 個駆動することのできる値で、 μ PD4000B シリーズもこれに準拠しています。

保守/廃止

4. ラッチアップ

図1に示す CMOS インバータの構造は、 V_{DD} と V_{SS} との間に図5に示す寄生トランジスタが存在する形になっています。すなわち Tr_1 と Tr_2 によりサイリスタ構造が構成されているため、どちらかのトランジスタのベースがトリガされると、このサイリスタが ON し、 V_{DD} と V_{SS} の間に過大な電流が流れます。(ラッチアップ発生)ラッチアップの発生は誤動作や破壊の原因となりますので、十分な注意が必要です。

下記の5項の条件のいずれかが満たされた時、ラッチアップが生ずることがあります。

- (イ) $V_{DD} > V_{DDmax}$ (絶対最大定格)
- (ロ) $V_I > V_{DD}$
- (ハ) $V_I < V_{SS}$
- (ニ) $V_O > V_{DD}$
- (ホ) $V_O < V_{SS}$

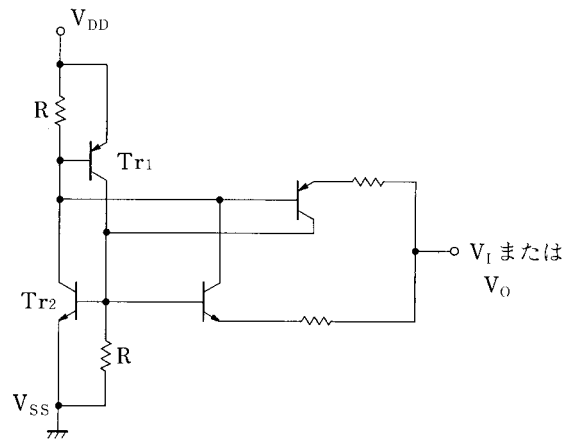


図5 寄生トランジスタによる等価サイリスタ回路

詳細は技術資料“CMOS デジタル IC (μ PD4000 シリーズ) におけるラッチアップのメカニズムとその対策”(IEB-611)をご参照ください。

5. 使用上の注意事項

(5.1) 入力端子の処理

第2項で説明したように CMOS の入力インピーダンスは非常に高いため、入力オープンで使用すると入力電位が定まらず、PチャネルおよびNチャネルのトランジスタが ON に近い状態になる場合があります、 I_{DD} が著しく増加し、CMOS の特長が失われます。

入力端子は必ず V_{DD} または V_{SS} に接続してご使用ください。

(5.2) 出力端子の短絡

CMOS の出力端子を V_{DD} または V_{SS} に短絡すると、出力端子に大きな電流が流れ、この状態を秒単位以上持続すると CMOS の性能を劣化させます。

出力端子を短絡させないようご注意ください。

保守/廃止

第2章 CMOS μ PD4000 シリーズのインターフェイス

1. CMOS と CMOS とのインターフェイス

1.1 ノイズマージン

図6に示すように、CMOS μ PD4000シリーズ同士のインターフェイスでは、 V_{DD} の30%と大きなノイズマージンがあります。これは、CMOSが入力電流を必要としないこと、出力振幅が $V_{DD}-V_{SS}$ 間に近いこと、伝達特性における肩特性が急峻で、かつスレッショルド電圧が V_{DD} の1/2であることによります。

電源電圧 (V)

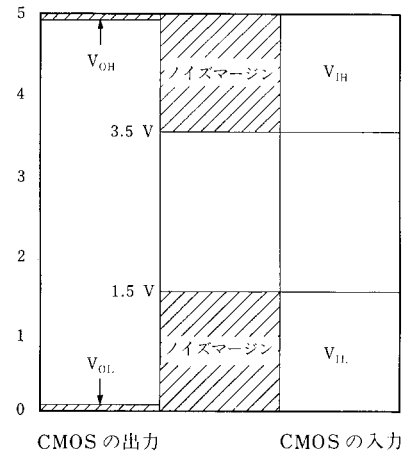


図6 CMOS と CMOS とのインターフェイスにおけるノイズマージン

1.2 ファンアウト

静止状態におけるファンアウトはCMOSとの接続をDC的に数えると“無限”に近くなりますが、実際の動作では後段の入力容量を充電することにより伝達時間に遅れが生じるため、“無限”にはなりません。

図7に伝達遅延時間と負荷容量の関係を示します。図7中の負荷容量を後段の入力容量(浮遊容量を含む)の総和と考え、必要なスピードと伝達時間の遅れよりファンアウトを求めます。

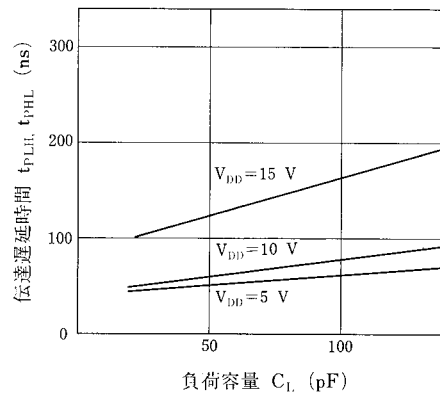


図7 μ PD4075BC $t_{PHL}-C_L$ 特性

1.3 ワイヤード OR

3ステート品種、オープンドレイン品種を除いて、CMOSの場合ワイヤードORは禁止されます。

図8にCMOSでは禁止されているワイヤードORを行った場合を示します。

“CMOS 1”のPチャンネルと、“CMOS 2”のNチャンネルが“ON”している場合、出力は V_{DD} と V_{SS} の中間レベルの不安定な値となり、後段に正しい論理を伝達できません。また V_{DD} から“CMOS 1”のPチャンネル“CMOS 2”のNチャンネルを通して V_{SS} へ大きな電流が流れ、CMOSを劣化させる原因となります。

3ステート品種は“H”、“L”の他“ハイ・インピーダンス”と3種類の出力状態を持っています。

図9に3ステートの例として、 μ PD4043BCのブロック図と真理値表を示します。ENABLE入力が、“H”の時出力は“L”または“H”を示しますが、ENABLE入力が“L”では出力は“ハイ・インピーダンス”状態となります。

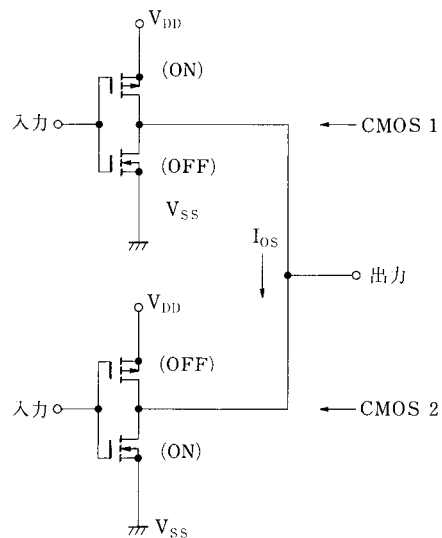
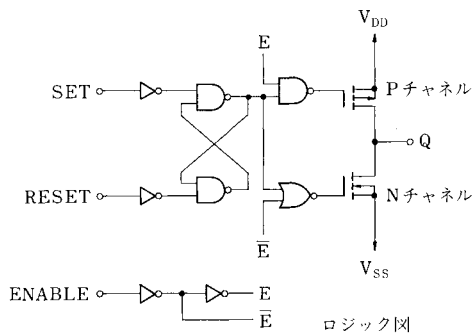


図8 CMOSのワイヤードOR (禁止)

保守/廃止

3ステート出力でワイヤードORを行なうことは、『“ON”状態の出力(“H”または“L”)はひとつだけで、他の出力はすべて“ハイ・インピーダンス”である。』という条件のもとでのみ可能です。



SET	RESET	ENABLE	Q
L	L	H	No Change
L	H	H	L
H	L	H	H
H	H	H	H
×	×	L	ハイ・インピーダンス

真理値表

図9 3ステートの例(μPD4043BC)

2. CMOSとTTLとのインターフェイス

CMOSとTTLとのインターフェイスを考える場合、次の4点に注意する必要があります。

- (注意事項1.) TTLは入力電流が必要である。
- (注意事項2.) TTLの使用電源電圧範囲は4.75~5.25Vと限られている。
- (注意事項3.) TTLのハイ・レベル出力は、CMOS μPD4000シリーズを駆動するには不十分である。
- (注意事項4.) CMOSに動作範囲を越えるスピードを要求していないか？

2.1 CMOSからTTLへのインターフェイス

CMOSからTTLへのインターフェイスでは、CMOSの出力電流とTTLの入力電流との間に下記の条件が成り立つことが必要です。

$$I_0 \geq I_1$$

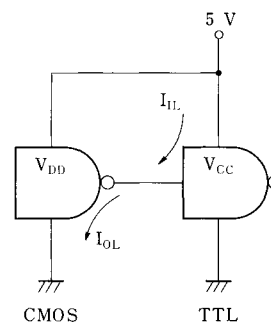
I_0 : CMOSの出力電流, I_1 : TTLの入力電流

ハイ・レベルの時は、上記の式を満足しますが、ロウ・レベルでは満足しない場合があります。表1にCMOS出力とTTL入力との直結の可否を示します。たとえば、バッファ以外のCMOS μPD4000シリーズでTTL(74シリーズ)を駆動することはできません。この場合、CMOSとTTLの間にバッファ(μPD4049UBC/UBGまたはμPD4050BC/BG)を使用します。

表1 CMOS出力とTTL入力との直結の可否

		後 段		
		TTL	74	74LS
前 段	μPD4000 シリーズ	I_{OL} / I_{IL}	~1.6 mA	~0.36 mA
	バッファ	2.9 mA~	○	○
	その他	0.36 mA~	×	○

○: 直接接続可
×: 直接接続不可



保守/廃止

前に説明したように、CMOSのハイ・レベル出力は、ほぼ V_{DD} と等しくなります。したがって前段のCMOSの V_{DD} が後段のTTLの V_{CC} (5 V)より高い場合、TTLの入力は V_{CC} より高くなり、TTLを劣化または破壊させる原因となります。

図10に μ PD4050BCをレベルコンバータとして使用したインターフェイスを示します。

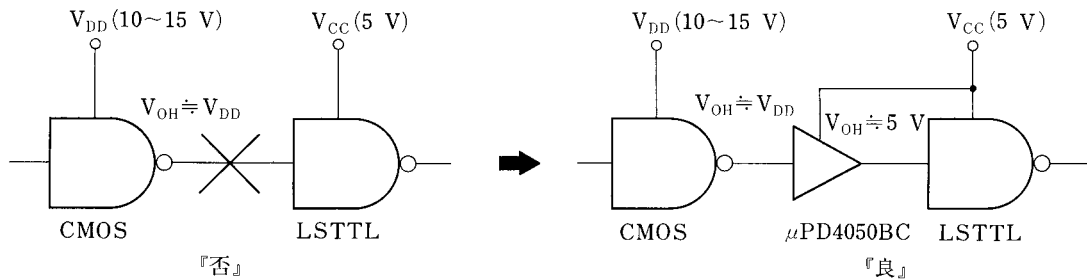


図10 μ PD4050BCをレベルコンバータとして使用したインターフェイス

一般のCMOSは $V_I > V_{DD}$ になるとラッチアップが発生しますが、 μ PD4049UBC, 4050BCは図2の中での D_1 が除かれているため、 V_{DD} の大きさにかかわらず、18 Vまでの入力電圧が印加できます。

2.2 TTLからCMOSへのインターフェイス

TTLの V_{OH} は3.7 V程度(無負荷)で、保証値は2.4~2.7 Vです。この V_{OH} は3.5 V以上の V_{IN} を必要とするCMOSの駆動には不十分です。

TTLからCMOS μ PD4000シリーズへのインターフェイスでは、図11に示すプルアップ抵抗(R_P)を使用します。

R_P の最大値、最小値は以下の式で与えられます。

$$\text{(最大値)} R_{P(\text{MAX.})} = \frac{V_{CC(\text{MIN.})} - V_{IL(\text{MIN.})}}{I_{CEX}}$$

$$\text{(最小値)} R_{P(\text{MIN.})} = \frac{V_{DD} - V_{OL(\text{MAX.})}}{I_{OL}}$$

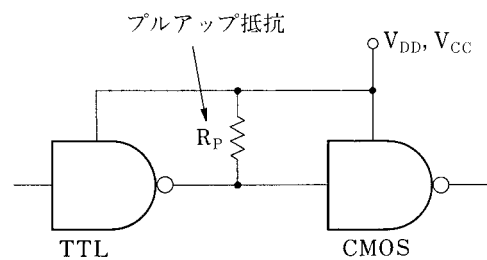


図11 TTLからCMOSへのインターフェイス

ここで、 I_{CEX} : TTL出力が“H”の時の出力トランジスタのリーク電流

R_P は通常数k Ω とされることが多いようです。

TTLからCMOS μ PD4000シリーズへのインターフェイスで注意しなければならないもうひとつの点はスピードです。セットアップ時間・ホールド時間、パルス幅はTTLでは十分であっても、 μ PD4000シリーズでは不十分であることが多く、誤動作の原因となります。

保守/廃止

3. CMOS と NMOS のインターフェイス

NMOS の代表的 IC であるメモリを例にとり CMOS とのインターフェイスについて説明します。図12に NMOS メモリの入出力等価回路を示します。

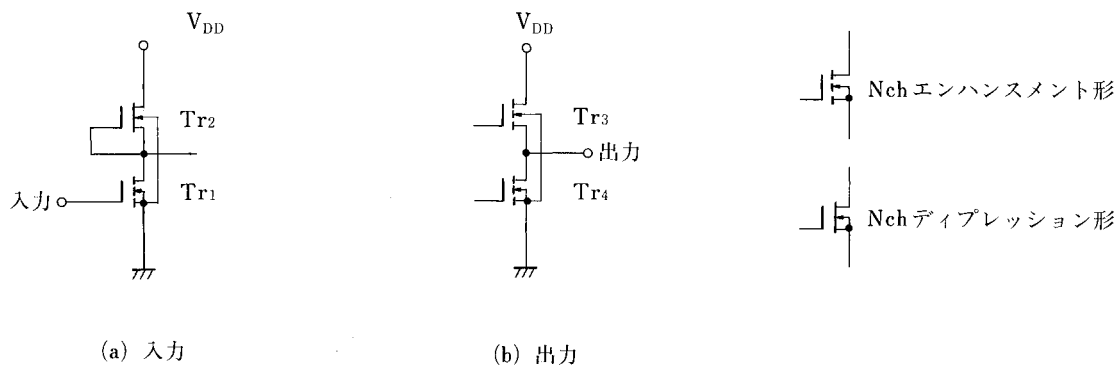


図12 NMOS メモリの入出力等価回路

3.1 CMOS から NMOS メモリへのインターフェイス

図12の(a)において、 Tr_2 は Tr_1 の負荷で、入力のスレッシュホールド電圧は Tr_1 のそれで決まり 1.2 V 程度です。また MOS ゲート入力のため、入力電流を必要としません。したがって CMOS から NMOS メモリへのインターフェイスは直結可能です。

3.2 NMOS メモリから CMOS へのインターフェイス

NMOS メモリの出力は図12の(b)において、 Tr_3 、 Tr_4 が交互に ON し、その時の抵抗比により出力電圧が決定されます。したがって、出力電流をゼロとすると出力振幅はほぼ $V_{DD} - V_{SS}$ になります。この出力振幅は CMOS の入力条件を十分満たし、直結可能です。

4. CMOS と PMOS のインターフェイス

PMOS 1チップマイコン $\mu\text{COM-43P}$ (μPD546) を例にとり CMOS と PMOS のインターフェイスについて説明します。

図13に $\mu\text{COM-43P}$ の入出力の等価回路を示します。

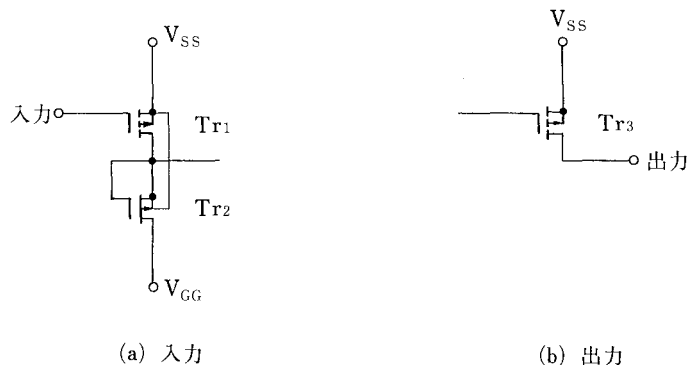


図13 $\mu\text{COM-43P}$ 入出力等価回路

保守/廃止

4.1 CMOS から μ COM43P へのインターフェイス

μ COM-43P の入力は MOS ゲートのため入力電流を必要とせず、直結可能です。ただし、PMOS の場合、電源電圧が V_{SS} を基準にして負電圧を使用しているため、電源電圧の極性には注意が必要です。

図14に CMOS から μ COM-43P へのインターフェイスを示します。

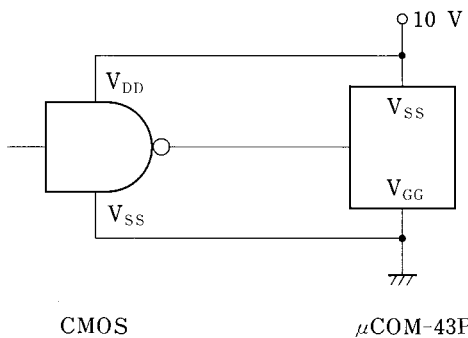


図14 CMOSから μ COM-43P へのインターフェイス

4.2 μ COM-43P から CMOS へのインターフェイス

μ COM-43P の出力は図13の (b) に示す如く、PMOS のオープンドレイン構造になっています。従って図15に示す如く、プルダウン抵抗 R_p が必要です。

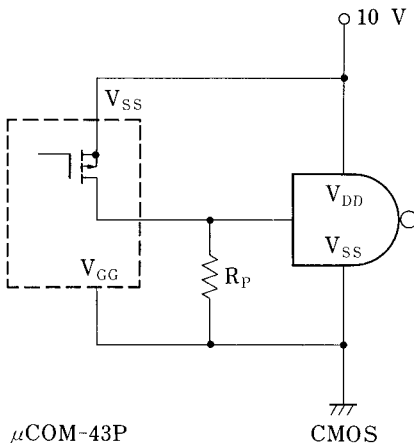


図15 μ COM-43P から CMOS へのインターフェイス

R_p の値は PMOS のロウ・レベル出力リーク電流が R_p を流れることにより生じる電圧降下が、CMOS μ PD 4000シリーズのロウ・レベル入力電圧の最大値を越えないように選択します。

$$R_p < \frac{V_{ILMAX.}}{\text{PMOS のリーク電流}} = \frac{3.0 \text{ V}}{10 \mu\text{A}} = 30 \text{ k}\Omega$$

5. ディスクリットデバイスとのインターフェイス

5.1 CMOS とトランジスタのインターフェイス

CMOS の出力電流では、負荷を駆動するには不足な場合、あるいは耐圧が不足している場合は、CMOS の出力のバッファとして、よくトランジスタが使用されます。

保守/廃止

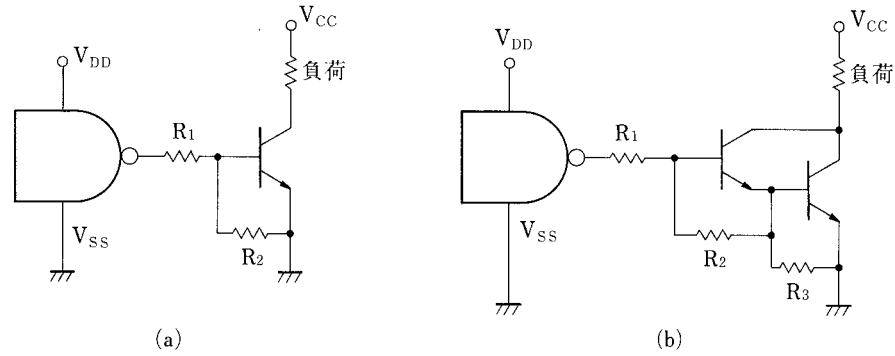


図16 CMOS からトランジスタへのインターフェイス

図16に CMOS からトランジスタへのインターフェイスを示します。図中の R_1 は CMOS の出力電流の制限抵抗で、数 $k\Omega$ が多いようです。

また、LED のダイナミックドライブ、リレーのドライブ等の用途を目的とする場合はダーリントトランジスタアレイが多く使われます。

図17にダーリントトランジスタアレイの一例として $\mu PA57C$ の等価回路を示します。これは CMOS の出力に直結して使えます。

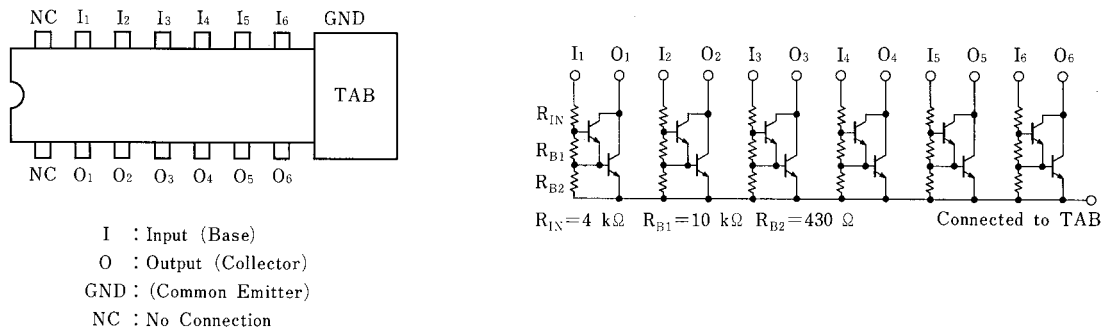


図17 $\mu PA57C$ の等価回路

5.2 数字表示素子の駆動

$\mu PD4511BC$ は BCD-to-7 セグメントデコーダで、図18に示すように、NPN トランジスタを出力バッファとして使用しているため、25 mA のハイ・レベル出力電流が得られます。

したがって数字表示 LED を直接ドライブ出来ます。 $\mu PD4511BC$ の出力は、アクティブ“ハイ”ですので、ダイレクトドライブではカソードコモン、トランジスタによるバッファを使用した時は、アノードコモンの数字表示素子を用います。

図19、図20にスタティックドライブ、ダイナミックドライブの例を示します。

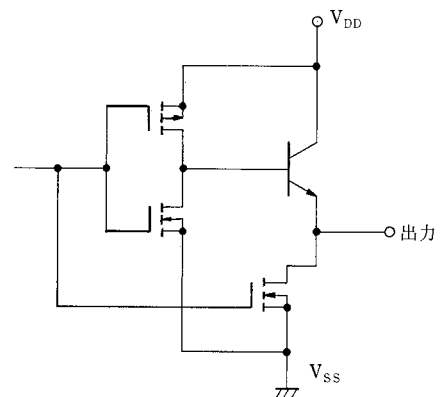


図18 $\mu PD4511BC$ の出力等価回路

保守/廃止

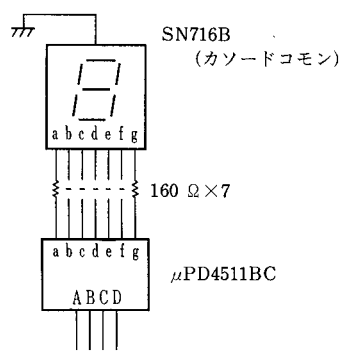


図19 スタティックドライブ

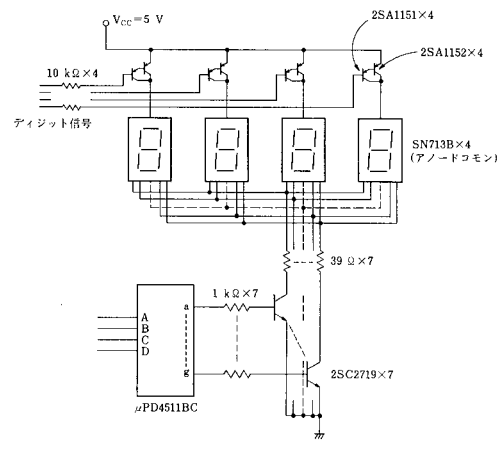


図20 ダイナミックドライブ

5.3 リレーとのインターフェイス

リレー1次側の等価回路を図21に示します。リレーにはインダクタンスを含む負荷ですので、ONからOFFへ切り替る時に大きなサージが発生します。また通常数10 mAのドライブ電流が必要です。このため耐圧、電流容量を十分有するトランジスタをドライブとして使用する必要があります。

図22にリレードライブ回路を示します。なお、プリンタのドライブの場合に便利なトランジスタアレイ(μPA79C)も市販されています。図23にμPA79Cを使用したプリンタドライブの例を示します。

以上、CMOSのインターフェイスについて概説しましたが、これらの点につきご配慮のうえ、CMOSの特長を活かした種々の応用へのご利用を期待します。

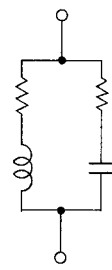


図21 リレー1次側の等価回路

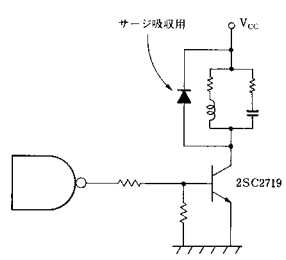


図22 リレードライブ回路

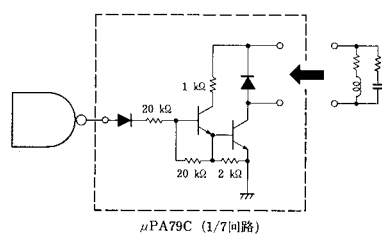


図23 μPA79Cを用いたプリンタドライブ

本資料に掲載の応用回路および回路定数は、部品の偏差や温度特性を考慮した量産設計を対象とするものではありません。また掲載回路に関する特許につきましては、弊社ではその責を負いかねますのでご了承ください。

本製品は外国為替および外国貿易管理法の規定により戦略物資等(または役務)に該当しますので、日本国外に輸出する場合には、同法に基づき日本国政府の輸出許可が必要です。

NEC 日本電気株式会社

本社	東京都港区芝五丁目33番1号(日本電気本社ビル)	〒108 東京(03)454-1111
半導体販売事業部	東京都港区芝五丁目29番11号(日本電気住生ビル)	〒108 東京(03)456-6111
関西支社	大阪府北区堂島浜一丁目2番6号(新大阪ビル)	〒530 大阪(06)348-1461
半導体販売部		〒530 大阪(06)348-1466
中部支社	名古屋市中区栄四丁目15番32号(日建住生ビル)	〒460 名古屋(052)262-3611

北海道支社	札幌(011)231-0161	甲府支店	甲府(0552)24-4141
東北支社	仙台(0222)61-5511	府支店	府(0988)66-5611
北支社	山形(0249)23-5511	支店	支店(0425)26-0911
山支社	平野(0246)21-5511	支店	支店(0472)27-5441
東支社	新潟(0252)47-6101	支店	支店(0542)55-2211
海支社	新潟(0292)26-1717	支店	支店(0534)53-0178
道支社	新潟(0298)23-6161	支店	支店(0762)23-1621
支社	新潟(045)662-1621	支店	支店(082)247-4111
支社	新潟(0273)26-1255	支店	支店(0764)31-8461
支社	新潟(0276)46-4011	支店	支店(082)247-4111
支社	新潟(0286)21-2281	支店	支店(0862)25-4455
支社	新潟(0262)35-1444	支店	支店(0878)22-4141
支社	新潟(0263)35-1666	支店	支店(0899)45-4111
支社	新潟(0266)53-5350	支店	支店(092)713-5151
支社		支店	支店(093)541-2887