

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パソコン機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエーペンギング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

サイリスタの特性と応用例

目 次

1. サイリスタの電流定格について	5
1.1 定常動作電流定格について	5
1.1.1 実効オン電流 ($I_{T(RMS)}$)	6
1.1.2 平均オン電流 ($I_{T(AV)}$)	6
1.1.3 実効オン電流と平均オン電流の関係	7
1.2 平均オン損失 $P_{T(AV)}$ の求め方	12
1.3 TRIACの電流定格表示	14
1.3.1 TRIACの導通角に関する電流定格	14
1.3.2 導通角に関する関係がSCRと異なる理由	14
2. サイリスタのパルスおよび高周波電流定格について	16
2.1 高周波およびパルス電流定格について	16
2.2 高周波およびパルス応用におけるサイリスタの動作	17
2.2.1 ターンオン時の動作	17
2.2.2 ターンオフ時の動作	18
2.3 高周波およびパルス応用におけるサイリスタの電流定格	20
2.3.1 接合温度と許容電流値の計算	20
2.3.2 高周波、パルス電流定格の決定方法	21
2.4 高周波、パルス電流定格および各特性図の使い方	22
3. 減衰振動電流波形の電流定格計算について	29
3.1 接合温度	29
3.2 電流波形例	29
3.3 予め準備するもの	29
3.4 定格計算	29
4. TRIAC使用上の注意	33
4.1 TRIAC故障のストレスによる分類	33
4.2 TRIACの故障モード	33
4.3 オン電流に対する考え方	35
4.3.1 過電流ストレス	35
4.3.2 di_T/dt 、パルスオン電流ストレス	35
4.3.3 定常電流ストレス	36
4.4 電圧に対する考え方	37
4.4.1 サージ電圧ストレス	37
4.4.2 (dV/dt) c, dV/dt ストレス	38
4.5 TRIACドライブに対する考え方	39
4.5.1 ゲートドライブについて	39
4.5.2 ゲートドライブの基本	39

4.6	TRIACの実装と取扱いに対する考え方	42
4.6.1	はんだ付け	42
4.6.2	放熱板の平坦さ	42
4.6.3	リード線端子の取扱い	42
4.6.4	放熱板の取り付け	43
4.6.5	標準取り付け部品	44
5.	トライアックの短パルス幅サージ電流定格とコンデンサモータ制御への適用例	45
5.1	トライアックのサージ電流定格	45
5.2	コンデンサモータ正逆運転回路のトライアックの破壊について	45
5.3	完璧な対策	47
5.4	図の使用例	51
6.	小形SCRのdV _D /dtについて	53
6.1	dV _D /dtによる誤点弧メカニズム	53
6.2	dV _D /dtと各種条件との関係	54
6.2.1	温 度	54
6.2.2	印加ピーク電圧	55
6.3	dV _D /dtによる誤点弧を防ぐ方法	55
6.3.1	CRスナバによる方法	55
6.3.2	ゲート・カソード間抵抗 (R_{GK}) による方法	56
6.3.3	ゲート・カソード間容量 (C_{GK}) による方法	57
6.4	中形SCR (5A以上のSCR) について	59
7.	サイリスタの繰返しパルストリガ特性について	60
7.1	サイリスタのパルスゲートトリガ特性	60
7.2	サイリスタの繰り返しパルスによるトリガ特性	61
8.	サイリスタのゲートトリガ回路定数と周辺技術	63
8.1	トリガ回路定数の設計	63
8.2	オン・オフの保持について	64
8.3	dV/dt誤点弧対策について	65
8.4	SCRの保持電流 (I_H) のトランジスタ的解析	66
9.	SCR逆電圧印加中のゲート電流の影響と注意	70
9.1	概 要	70
9.2	ゲート順バイアス時の動作	72
9.3	逆電圧 V_R 印加時のゲート電流 I_G 供給における素子ケース温度上昇 ΔT_c の測定	74
10.	サイリスタの応用回路集	78
10.1	SCR	78
10.1.1	ユニバーサルモータの帰還形速度制御回路	78
10.1.2	ホト・カプラを用いた交流スイッチ回路	81
10.2	TRIAC	84
10.2.1	自動位相制御回路	84
10.2.2	交流ゼロクロス制御回路	87
10.2.3	倍電圧・ブリッジ整流自動切り換え回路	92
10.2.4	簡易形交流定電圧回路	94
10.2.5	簡易実効値電圧電源回路	96
10.2.6	実効値定電圧電源回路	98
10.3	トリガ素子	102

10.3.1 SBSを使用したネオン管点滅回路	102
10.3.2 タイマ付きブロッキング発振回路	103
10.3.3 三相ゼロクロススイッチ基本回路	105
11. PUTのすべて	107
11.1 PUTの原理と構造	107
11.2 PUTの応用技術	109
11.2.1 PUTのプログラマビリティ	109
11.2.2 PUTの応用限界	113
11.3 PUTの応用例	115
11.3.1 弛張発振回路の設計	116
11.3.2 発振周波数の温度補償	116
11.3.3 発振周波数範囲の拡大	117
11.3.4 弛張発振回路の実用例	121
11.3.5 タイマの設計	125
11.3.6 タイマの誤動作対策	125
11.3.7 タイマの設計例	127
11.3.8 PUTによるサイリスタ制御回路	131
11.3.9 その他の応用例	141
11.4 PUTの信頼性	149
11.4.1 SCRの信頼度とPUTの信頼度向上設計	149
11.4.2 信頼度試験データ	150
11.4.3 PUTの発振周波数の経時変化	150
11.4.4 ポイリングテストデータ	153
11.5 PUTの特性試験法	155
11.5.1 I_p (ピーク電流), V_p (ピーク電圧)	155
11.5.2 I_v (谷電流), V_v (谷電圧) 試験法	156
11.5.3 V_o (パルス出力電圧), t_r (パルス出力立ち上がり時間) 試験法	156
11.5.4 V_F , V_{BO} , V_R , I_{GAO} , I_{GKS} , I_B , I_R 試験法	157
11.6 PUTの設計手順	159
12. ゼロボルトスイッチ “ μ PC1701C”について	167
12.1 ゼロボルトスイッチの必要性	167
12.2 ゼロボルトスイッチの概要	167
12.3 ゼロボルトオンオフ制御回路	169
12.3.1 ZVSの電源	169
12.3.2 零点検出とトライアックトリガ	170
12.3.3 コンパレータ	170
12.4 オンオフ温度制御回路の設計方法	170
12.4.1 設計仕様の例	170
12.4.2 使用部品とその特性	170
12.4.3 定数設定手順	171
12.5 ゼロボルトスイッチの応用例	176
12.5.1 ゼロボルトオンオフ制御応用	176
12.5.2 位相制御応用	184

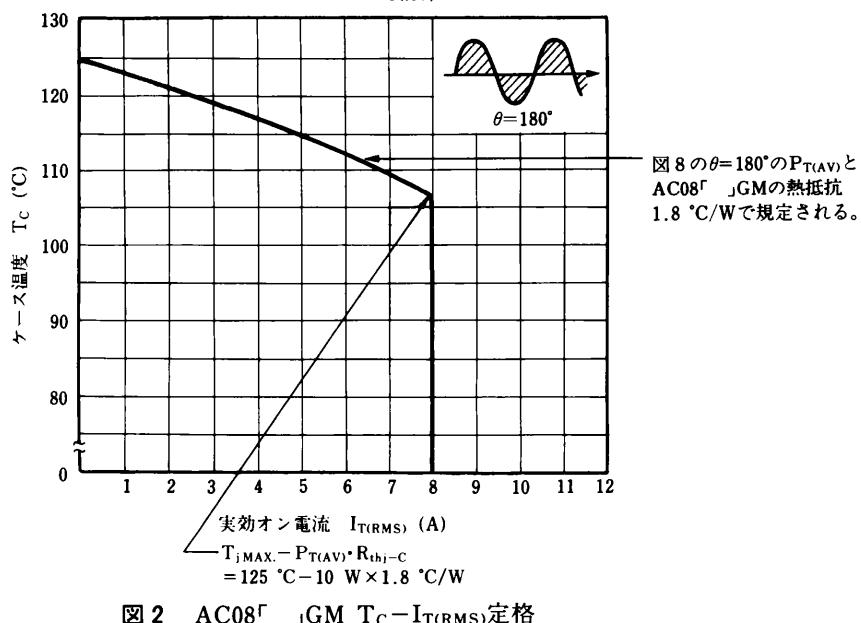
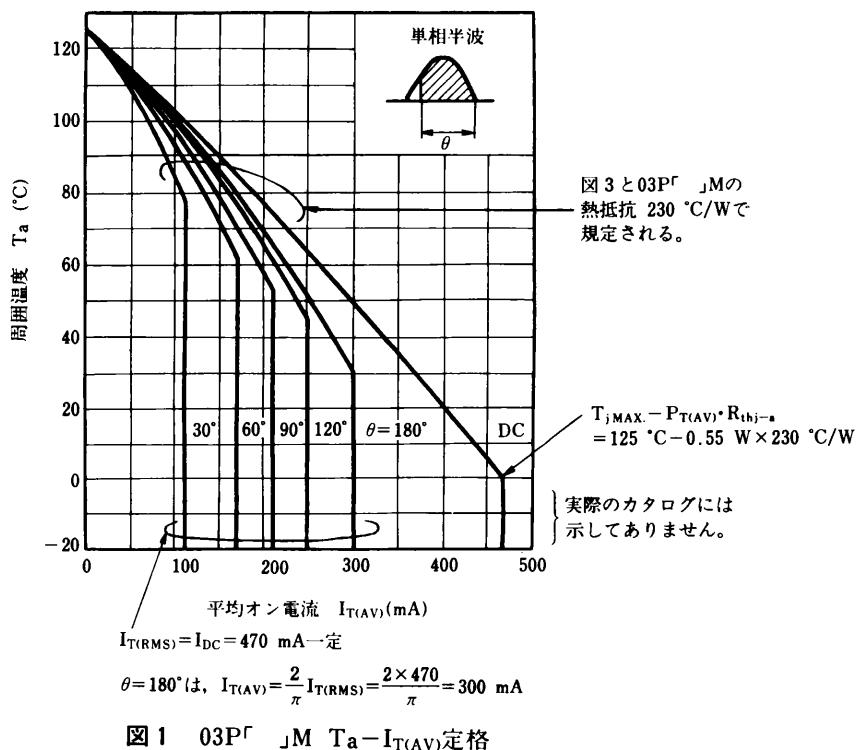
現在、サイリスタ（SCR/TRIAC）はモータ制御、アクチュエータ駆動等あらゆる分野で使用されております。
ここでは、サイリスタの特性および各種応用例について集録しております。
皆様の設計にお役に立てたら幸いと考えております。
なお、記載しておりますアプリケーションにつきましては、使用時に実働評価確認が必要となりますので参考資料の範囲内でご活用とさせて頂きます。

半導体ソリューション技術本部
汎用デバイス技術部

1. サイリスタの電流定格について

1.1 定常動作電流定格について

サイリスタに定常動作時流すことのできる電流は、平均オン電流 $I_{T(AV)}$ （または実効オン電流 $I_{T(RMS)}$ ）— T_c MAX.（または T_a MAX.）曲線で示されています。図1は0.3 AのSCR (03P^r _JM) の $I_{T(AV)}$ — T_a 定格、図2は8 AのTRIAC (AC08^r _JGM) の $I_{T(RMS)}$ — T_c 定格の例です（ T_c ：ケース温度、 T_a ：周囲温度です）。これらの曲線は、素子の接合温度が、定格値 T_j MAX. を超えないように規定されています。そして、図1、図2に示しますようにSCRは主に平均オン電流 $I_{T(AV)}$ で、TRIACの場合は、実効オン電流 ($I_{T(RMS)}$) で示されます。



1.1.1 実効オン電流 ($I_{T(RMS)}$)

指定された条件のもとで、順方向 (TRIACは両方向) に連続して流しうる実効値電流と定義されます。実効オン電流は、接合における電流密度・サイリスタ構成部品 (たとえば内部および外部リード線、端子など) の電流容量、温度上昇が、許容値を超えないことなどの条件により制限されます。これらを考慮した設計を行い、長時間の寿命試験をして信頼性を確認してからこの定格が決定されます。したがって、**実効オン電流定格値は素子の設計によって定まっており、冷却条件を変えても変わりませんので、どのような波形で電流を流す場合でも、周囲温度あるいはケース温度を問わず、この値を超えての使用はできません** (当然、実効オン電流による発熱で T_j を超える場合はディレーティングが必要です)。

図1の $I_{T(AV)} - T_a$ 定格において、各曲線の右端が電流一定の値になっているのも、このためです。つまり、**実効オン電流定格は平均オン電流の上限値**になり、波形や導通角の異なる電流などの許容値計算にも、定格接合温度とともに関係しています。図1を見ると、平均オン電流は、周囲温度とは関係なく、各導通角で制限されていますが、これらの値は、実効値であらわすとすべて同一値です。(図1では $I_{T(RMS)} = 470 \text{ mA}$ になります。)

1.1.2 平均オン電流 ($I_{T(AV)}$)

指定された温度、電流波形、周波数の条件のもとで、SCRの順方向に連続して流しうる電流値を、1サイクルにわたって平均した値をいい (したがってTRIACには、この定格はありません)、一般には、商用周波数50/60Hz、単相半波180°通電のときの値が示されます。

このときの値は、定義から明らかなように、実効オン電流の $2/\pi$ 倍になります。また直流で平均オン電流が規定されている場合は、それは実効オン電流と等しくなります (図1参照)。

SCRのカタログには、さまざまな導通角や波形をパラメータとして、平均オン電流を変数とした平均オン損失 $P_{T(AV)}$ や、許容周囲温度 T_a あるいは許容ケース温度 T_c を表わしてあります。図3は、0.3 A SCR (03P⁺-M) の $P_{T(AV)} - I_{T(AV)}$ 特性例です。また、図4は、その計算のもとになっている瞬時オン電流-瞬時オン電圧($i_T - v_T$)特性例です。

この平均オン電流定格の適用範囲は、通常50~400 Hzの周波数に制限しています。これは、あまり周波数が低いと、オン電流通電中の接合温度上昇が、許容値を超てしまうことが生じるためです。また、周波数に上限があるのは、周波数が高くなるに従い、サイリスタ内部の温度上昇が一様でなくなり (特に大型大電流素子になるほど一様でなくなります)、平均温度としては、許容値内でも部分的に定格を超えることがあるためです。

オン電流による素子の平均オン損失 $P_{T(AV)}$ は、図4の *$i_T - v_T$* 特性が単純な曲線でないため基本的には、

$$P_{T(AV)} = \frac{1}{T} \int_0^T v_{T(t)} \cdot i_{T(t)} dt \quad (1)$$

$P_{T(AV)}$: 1サイクル当りの平均オン損失

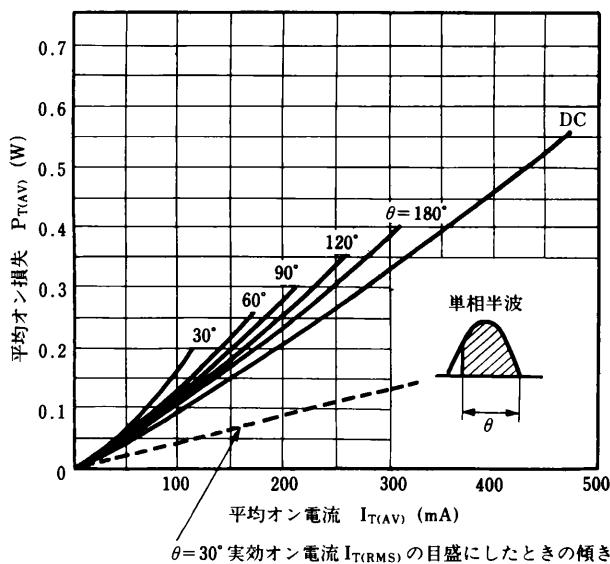
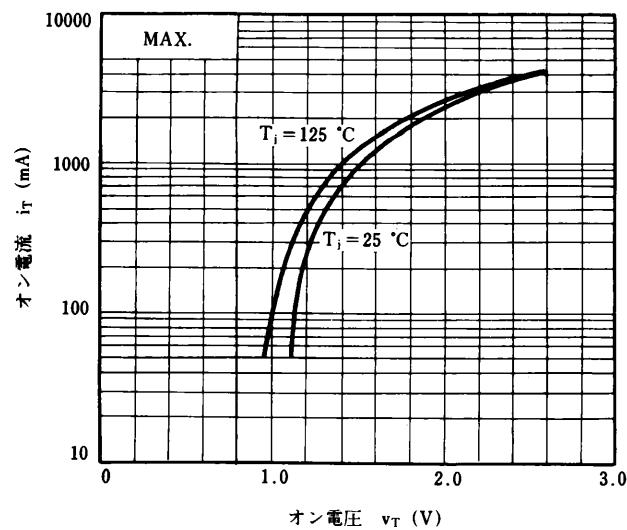
$i_{T(t)}$: 時間の関数として表わされた瞬時オン電流値

$v_{T(t)}$: 電流に対するオン電圧

T : 繰返しオン電流の周期

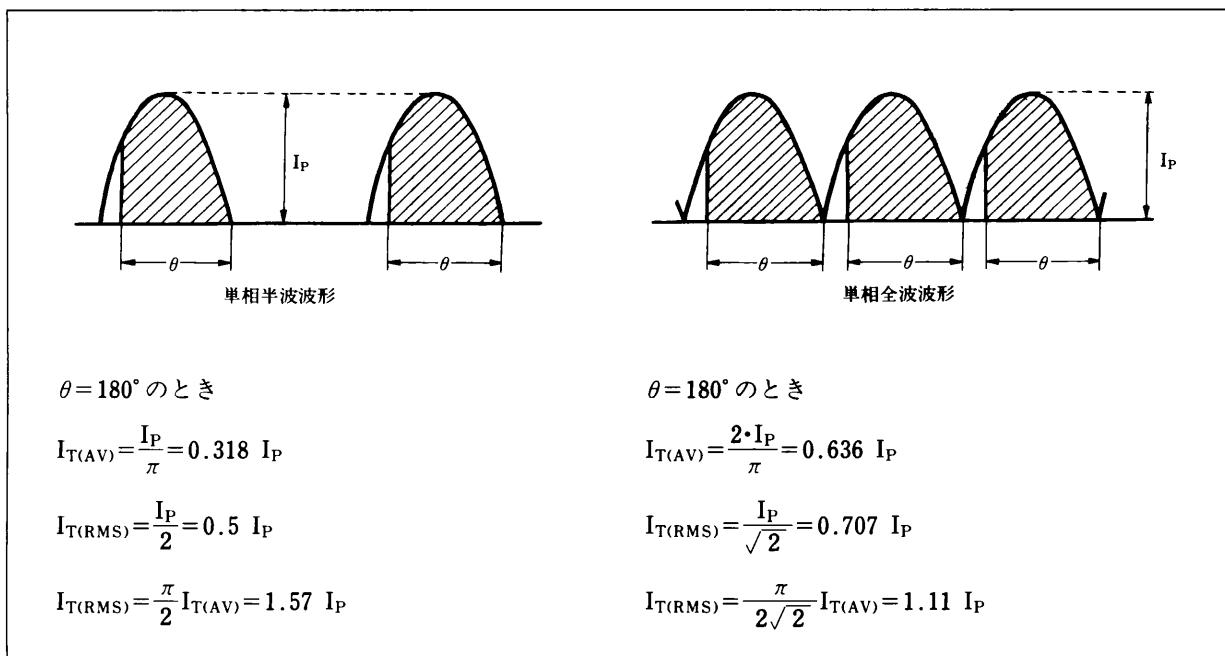
t : 導通角に相当する時間

により計算しなければなりませんが、カタログには便宜をはかり図3のように、電流波形、導通角をパラメータとして、平均オン電流に対応した平均オン損失を表わしてあるので、これを用利用できます。

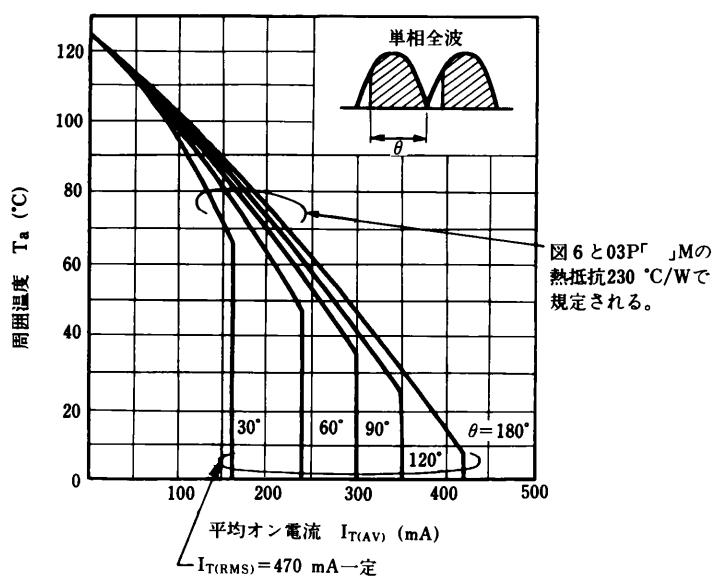
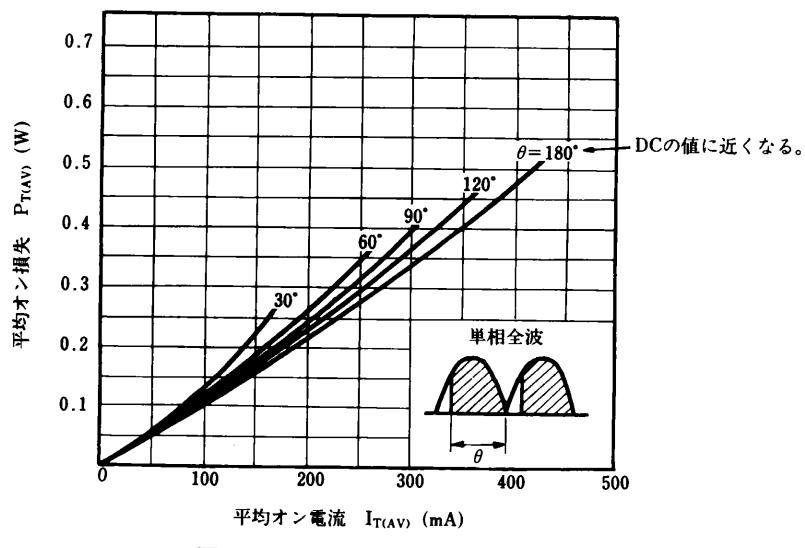
図3 03PFR-M $P_{T(AV)}$ - $I_{T(AV)}$ 特性図4 03PFR-M $i_T - v_T$ 特性

1.1.3 実効オン電流と平均オン電流の関係

下図のような正弦波形を例に、 $I_{T(RMS)}$ と $I_{T(AV)}$ の関係を説明します。



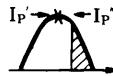
通常SCRのカタログには、単相半波波形に対する、 $T_a - I_{T(AV)}$ あるいは $T_c - I_{T(AV)}$ 定格が示されます(図1参照)、図5のような単相全波波形の定格を示したものもあります。図6は単相全波波形における $P_{T(AV)} - I_{T(AV)}$ 特性で図6をもとに図5が作成されます。

図 5 03PFR-M $T_a - I_{T(AV)}$ 定格図 6 03PFR-M $P_{T(AV)} - I_{T(AV)}$ 特性

また、単相半波波形のそれぞれの導通角において

$$I_{T(AV)'} = \frac{1}{2\pi} \int_0^\theta I_P' \sin \theta d\theta \quad I_{T(RMS)'} = \sqrt{\frac{1}{2\pi} \int_0^\theta I_P'^2 \sin^2 \theta d\theta}$$

ここで I_P' ：位相制御された単相半波正弦波形のピーク値であり(図参照), $I_{T(AV)'}, I_{T(RMS)'}$ はそれ
ぞれそのときの平均オン電流, 実効オン電流である。



$\theta \geq 90^\circ$ のときは $I_P' = I_{P'}$
であるが、 $\theta < 90^\circ$ では $I_P' \neq I_{P'}$
なので注意

と表わされるので、これから

$$\theta = \frac{2}{3}\pi = 120^\circ \text{ のとき}$$

$$I_{T(AV)'} = \frac{3}{4\pi} I_P' = 0.239 I_P' \quad I_{T(RMS)'} = 0.448 I_P'$$

$$\theta = \frac{1}{2}\pi = 90^\circ \text{ のとき}$$

$$I_{T(AV)'} = \frac{1}{2\pi} I_P' = 0.159 I_P' \quad I_{T(RMS)'} = 0.353 I_P'$$

$$\theta = \frac{1}{3}\pi = 60^\circ \text{ のとき}$$

$$I_{T(AV)'} = \frac{1}{4\pi} I_P' = 0.0796 I_P' \quad I_{T(RMS)'} = 0.221 I_P'$$

$$\theta = \frac{1}{6}\pi = 30^\circ \text{ のとき}$$

$$I_{T(AV)'} = 0.0213 I_P' \quad I_{T(RMS)'} = 0.0849 I_P'$$

が得られます。

このとき $I_{T(RMS)} = I_{T(RMS)'}$ となるように定格を決めるのでそれぞれの I_P' は

$$120^\circ \text{ のとき} \quad I_P' = \frac{I_P}{0.448 \times 2} = \frac{I_P}{0.896} = 1.11 I_P$$

$$90^\circ \quad I_P' = \frac{I_P}{0.707} = 1.41 I_P$$

$$60^\circ \quad I_P' = \frac{I_P}{0.442} = 2.26 I_P$$

$$30^\circ \quad I_P' = \frac{I_P}{0.170} = 5.88 I_P$$

になります。つまり導通角を狭くして同じ実効値の電流を流すため、導通角が 180° のときよりピーク値が大きくなることを示しています。

この I_P' を各導通角の $I_{T(AV)'}'$ の式に代入し、 180° のときの $I_{T(AV)} = I_P/\pi$ との比を求めますと、 120° のとき

$$\frac{I_{T(AV)'} 120^\circ}{I_{T(AV)} 180^\circ} = \frac{0.239 I_P}{0.896} \cdot \frac{\pi}{I_P} = 0.838$$

90° のとき

$$\frac{I_{T(AV)'} 90^\circ}{I_{T(AV)} 180^\circ} = \frac{0.159 \cdot \pi}{0.707} = 0.707$$

60° のとき

$$\frac{I_{T(AV)'} 60^\circ}{I_{T(AV)} 180^\circ} = \frac{0.0796 \cdot \pi}{0.442} = 0.565$$

30° のとき

$$\frac{I_{T(AV)'} 30^\circ}{I_{T(AV)} 180^\circ} = \frac{0.0213 \cdot \pi}{0.170} = 0.394$$

が得られます。図7の03P7Mの定格を例に確認しますと、

$$I_{T(RMS)} = 470 \text{ mA} \text{ ですから, } I_{DC} = 470 \text{ mA}$$

$$\theta = 180^\circ \text{ の } I_{T(AV)} = \frac{2}{\pi} I_{T(RMS)} = 299 \div 300 \text{ mA}$$

$$\theta = 120^\circ \text{ の } I_{T(AV)} = 300 \times 0.838 = 251 \text{ mA}$$

$$\theta = 90^\circ \text{ の } I_{T(AV)} = 300 \times 0.707 = 212 \text{ mA}$$

$$\theta = 60^\circ \text{ の } I_{T(AV)} = 300 \times 0.565 = 169.5 \text{ mA}$$

$$\theta = 30^\circ \text{ の } I_{T(AV)} = 300 \times 0.394 = 118 \text{ mA}$$

で示されていることがわかります。

同様にして、単相全波、方形波の場合の関係も求めることができます。表1は導通角に対する実効オン電流と平均オン電流の関係を示すものです。

表1 導通角に対する実効オン電流と平均オン電流の関係

導通角 θ	単相半波			単相全波			方形波		
	I _{T(RMS)}		I _{T(AV)}	I _{T(RMS)}		I _{T(AV)}	I _{T(RMS)}		I _{T(AV)}
	I _{T(RMS) → I_{T(AV)}}	I _{T(AV) → I_{T(RMS)}}	$\theta = 180^\circ$ 基準	I _{T(RMS) → I_{T(AV)}}	I _{T(AV) → I_{T(RMS)}}	$\theta = 180^\circ$ 基準	I _{T(RMS) → I_{T(AV)}}	I _{T(AV) → I_{T(RMS)}}	$\theta = 180^\circ$ 基準
270°	—	—	—	—	—	—	0.865	1.16	1.36
180°	0.637	1.57	1.00	0.903	1.11	1.41	0.707	1.41	1.11
120°	0.533	1.88	0.838	0.755	1.32	1.19	0.578	1.73	0.906
90°	0.451	2.22	0.707	0.637	1.57	1.00	0.500	2.00	0.785
60°	0.360	2.78	0.565	0.509	1.96	0.799	0.408	2.45	0.640
30°	0.252	3.97	0.395	0.357	2.80	0.560	0.262	3.82	0.453

表1において $I_{T(RMS) \rightarrow I_{T(AV)}}$ は実効値が示されたとき、それぞれの導通角における平均値を求める係数です。また $I_{T(AV) \rightarrow I_{T(RMS)}}$ は各導通角における平均値が与えられたとき、実効値を求める係数です。 $I_{T(AV)}$ は $\theta = 180^\circ$ における単相半波の平均値が与えられたとき、各波形、各導通角の平均値を求めるための係数です。

1.2 平均オン損失 $P_{T(AV)}$ の求め方

実際のオン損失の計算は、図4に示したような、サイリスタの i_T-v_T 特性を関数で近似し、与えられたオン電流 $i_{T(t)}$ とその結果生じるオン電圧 $v_{T(t)}$ の積の積分で求めるというかなり厄介な計算となりますので、ここでは、一次近似する方法について説明します。つまり、サイリスタの i_T-v_T 特性を図7のように表わし、オン電圧 $v_{T(t)}$ を、

$$v_{T(t)} = V_0 + r \cdot i_{T(t)} \quad (2)$$

ここで V_0 : 立上り電圧

r : スロープ抵抗

で近似します。

なお計算機で算出する場合は次のような近似式が利用されます。

$$v_{T(t)} = A + B \cdot i_{T(t)} + C \log i_{T(t)} + D \sqrt{i_{T(t)}}$$

ここで A, B, C, Dは定数

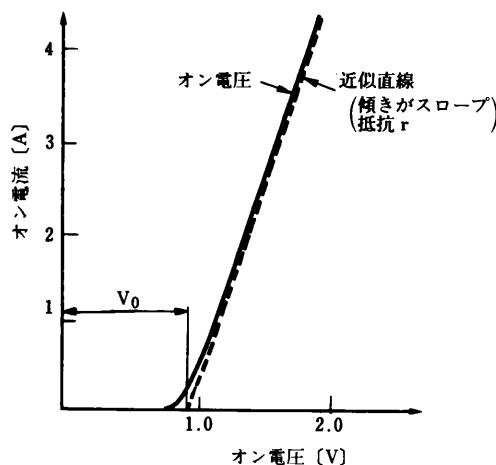


図7 i_T-v_T 特性曲線の近似

(2)式を(1)式に代入すれば平均オン損失が求められます。

導通角 $\theta=180^\circ$ の単相半波を計算しますと、

$$\begin{aligned} P_{T(AV)} &= \frac{1}{2\pi} \int_0^\pi (V_0 + r \cdot I_P \sin \theta) \cdot I_P \sin \theta d\theta \\ &= \frac{1}{2\pi} \int_0^\pi V_0 I_P \sin \theta d\theta + \frac{1}{2\pi} \int_0^\pi r \cdot I_P^2 \sin^2 \theta d\theta \\ &= V_0 \cdot I_{T(AV)} + \frac{1}{4} r \cdot I_P^2 \\ &= V_0 \cdot I_{T(AV)} + \frac{\pi^2}{4} \cdot r \cdot I_{T(AV)}^2 \\ &= V_0 \cdot I_{T(AV)} + 2.46 \cdot r \cdot I_{T(AV)}^2 \end{aligned}$$

導通角 θ が 180° 以外のとき

$$P_{T(AV)} = V_0 \cdot I_{T(AV)} + K \cdot r \cdot I_{T(AV)}^2 \quad (3)$$

と表わすと、Kの値は表2で与えられます。

表2 電流波形に対するKの値 ($I_{T(AV)}$ 表現)

θ	180°	120°	90°	60°	30°
単相半波	2.46	3.53	4.93	7.70	15.9
単相全波	1.23	1.76	2.46	3.86	7.9

このように求めたオン損失は、図3、図6のように位相制御した電流に対して、導通角をパラメータとして示されます。平均オン損失が与えられれば、次式により、素子の接合温度が概算できます。

$$T_j = T_a + P_{T(AV)} \cdot R_{th(j-a)} \quad (4)$$

$$T_j = T_c + P_{T(AV)} \cdot R_{th(j-c)} \quad (5)$$

また、同様な方法で実効オン電流に対する表現にすると、

$$P_{T(AV)} = K' V_0 I_{T(RMS)} + r \cdot I_{T(RMS)}^2 \quad (6)$$

と表わされ、K'の値は表3で与えられます。

表3 電流波形に対するK'の値 ($I_{T(RMS)}$ 表現)

θ	180°	120°	90°	60°	30°
単相半波	0.64	0.53	0.45	0.36	0.25
単相全波	0.9	0.75	0.64	0.51	0.36

1.3 TRIACの電流定格表示

1.3.1 TRIACの導通角に関する電流定格

TRIACは、その用途が交流電力の制御に限定されることが多いため、電流定格は実効オン電流で規定されることはすでに述べました。図8、9は、8 A TRIAC AC08F-JGMの $P_{T(AV)} - I_{T(RMS)}$ 特性と、 $T_c - I_{T(RMS)}$ 定格を示すものですが、図2と比較すると $\theta = 180^\circ$ 以外の曲線が加えられています。実はこのように $\theta = 180^\circ$ 以外も表示した図8、図9は従来のカタログ表現形式でありSCRと比較すると導通角 θ に関する関係が異なっています。たとえばSCRでは図3、図6に示すように、同一平均オン電流 $I_{T(AV)}$ に対する平均オン損失 $P_{T(AV)}$ は、導通角 θ が狭くなるにしたがって増加しますが、TRIACは逆に図8のように同一実効オン電流 $I_{T(RMS)}$ に対し、平均オン損失 $P_{T(AV)}$ は導通角 θ が狭くなるにしたがって減少します。したがってSCRの場合の表示に慣れている場合、多少奇異な感じを受けます。この理由は後ほど説明しますが、まず、TRIACの場合 $\theta \neq 180^\circ$ の曲線が必要かを検討してみます。TRIACを導通角 $\theta = 30^\circ$ で固定して使用するなら、図9に示す $T_c - I_{T(RMS)}$ 定格のように、 T_c の余裕が増して設計上有利になりますが、その差はわずかです。また、通常は導通角 θ を変化させて、位相制御により負荷をコントロールする応用が大部分であり、仮に $\theta = 30^\circ$ に固定するとしても、ディレーティングも考え $\theta = 180^\circ$ の曲線を使用すれば十分といえます。したがって、現在では図2のように $\theta = 180^\circ$ の曲線一本だけで特性、定格を表示しています。

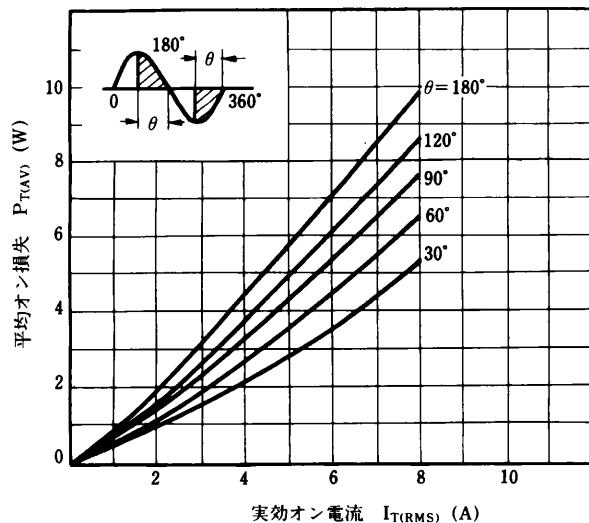
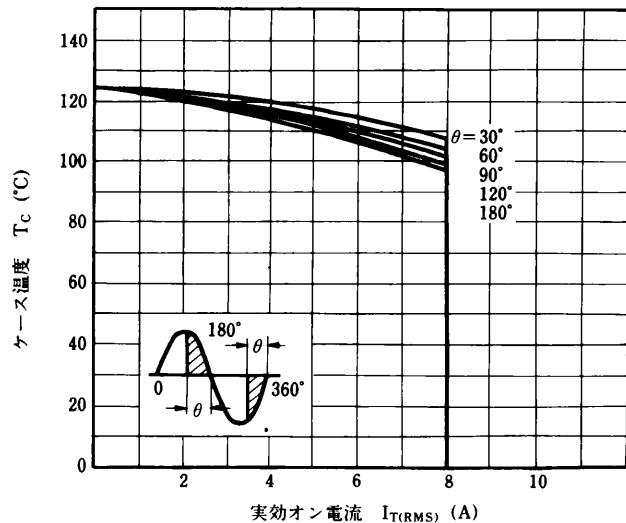


図8 AC08F-JGM $P_{T(AV)} - I_{T(RMS)}$ 特性



熱抵抗の表現が異なるため、 $\theta = 180^\circ$ も図2とは、若干差があります。

図9 AC08F-JGM $T_c - I_{T(RMS)}$ 定格

1.3.2 導通角に関する関係がSCRと異なる理由

まず図1、図3により直感的な説明をします。図1において、導通角 θ が 30° のときの平均オン電流は 118 mA です。そしてこの値は実効オン電流では 470 mA であることはすでに説明しました。図3において、平均オン電流 118 mA のときの平均オン損失は 0.2 W と読み取れます。したがって図3の平均オン電流の軸を実効オン電流に書きかえると、導通角 30° の曲線は実効オン電流 470 mA 、平均オン損失 0.2 W を通る曲線になります。このときDCと示された曲線は、もともと平均値 = 実効値ですから動きませんので、両者を比較すると、多少条件は異なりますが、図8において $\theta = 180^\circ$ と $\theta = 30^\circ$ を比較したのとほぼ同じことになります。

前述しました、オン電圧の近似式(2)式と(1)式を使用して計算しますと、

$$\begin{aligned}
 P_{T(AV)} &= -\frac{1}{T} \int_0^t (V_0 + ri_{T(t)}) i_{T(t)} dt \\
 &= \frac{V_0}{T} \int_0^t i_{T(t)} dt + \frac{r}{T} \int_0^t i_{T(t)} dt \\
 &= V_0 I_{T(AV)} + r I_{T(RMS)}^2
 \end{aligned} \quad (7)$$

$$\begin{aligned}
 \text{なぜなら } I_{T(AV)} &= -\frac{1}{T} \int_0^t i_{T(t)} dt \\
 I_{T(RMS)} &= \sqrt{-\frac{1}{T} \int_0^t i_{T(t)}^2 dt}
 \end{aligned}$$

(7)式から明らかなようにオン損失はオン電流の平均値によって決まる第1項と実効値によって決まる第2項の和で表わされます。したがって実効オン電流は同一でも導通角が狭くなるとその平均値が小さくなるので(図10参照)、オン損失は図8のように小さくなるわけです。

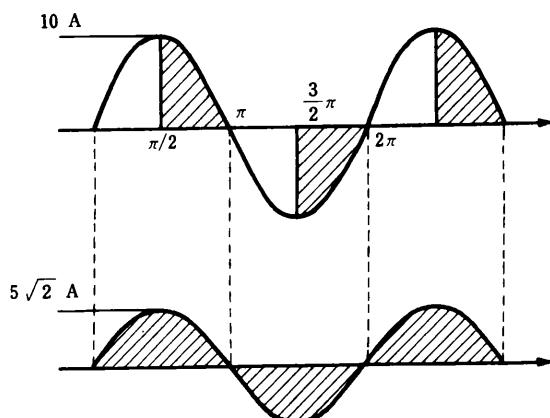


図10 実効値が等しく、波形の異なる例

両方の波形共、実効電流は5 Aであるが、平均値(半波のは)は上の波形は $\frac{10}{\pi}$ A、下の波形は $\frac{10\sqrt{2}}{\pi}$ Aである。

このようにサイリスタの電流定格は平均オン電流と実効オン電流が関連し合って規定されているので、これらをよく理解して回路設計することが大切です。

2. サイリスタのパルスおよび高周波電流定格について

2.1 高周波およびパルス電流定格について

まず、この技術資料のテーマである高周波およびパルス電流定格とはどのようなものか、またそれがなぜ必要なのかといった事情から説明します。

サイリスタの性能が向上するにつれて、その応用分野は、従来のいわゆる位相制御に限らずきわめて多岐にわたってきています。ここでサイリスタの応用分野は、その使用モードから大別してみると次の3つに分けられます。

(1) 位相制御応用

位相制御によって低周波電力（主に商用周波数）を制御する場合。

(2) 高周波応用

超音波発振器、誘導加熱炉および誘導電動機の速度制御のための周波数変換装置など、いわゆる高周波インバータに用いる場合。

(3) パルス応用

チョッパやインバータの転流回路などで、サイリスタに幅がせまくピーク値の大きいパルス電流が流れる場合。

このように使用モードの異なる各用途に対して、一律に、従来の電流定格を適用することは、好ましくありません。

すなわち平均整流電流で代表される従来の繰り返し電流定格は、繰り返しが400パルス／秒(PPS)程度以下の場合に限られていますし、 $I^2 t$ やピークサージオン電流で代表される非繰り返し電流定格も通電時間が1 ms～10 msと限られています。また臨界オン電流上昇率にしても、特定の電流波形に対してのみ“非繰り返し”で保証されているにすぎません。

したがって、用途によっては、従来の電流定格だけでは素子の選定をはじめ、回路設計上も充分ではありません。つまり各用途にそれぞれ最適な電流定格を設定しなければなりません。

もちろんサイリスタの電流定格を定める要素が、通電時にサイリスタに発生するいくつかの損失の和と、この損失に起因する接合温度であることは、どの用途でも同じです。

しかしながら更に詳しく分析してみると、各使用モードによって各々の損失の、全体に占める比重が大きく異なっていることがわかります。これは、電流定格を決定するのに際して、実用上無視できる損失と、無視できない損失とが、各用途によって異なることにはなりません。当社高周波およびパルス電流定格は、各使用モードで発生する損失と接合温度を詳しく分析して決められたもので、各用途に対し実用上最適なものと考えられます。

そこで、前に述べた各使用モードによって、どのような損失がどのくらいの比重で発生するかを、表1に簡単にまとめてみます。

表1 使用モードと主な発生損失の関係

損失 使用モード	ターンオン損失	サージ電圧吸収回路 (CR)からの放電による損失	オン電流による 定常損失	ターンオフ損失
位相制御応用	×	(下記・注をご参照ください。)	◎	×
高周波応用	◎		○	○
パルス応用	◎		○	○

◎： もっとも大きな比重を占める損失 ○： 無視できない損失 ×： 実用上無視して差しつかえない損失

注

放電電流のピーク値 I_{TM} を 10 A (2P⁺ 1M, 5P⁺ 1M の場合) または 30 A (8P⁺ 1M の場合) 以下にしてください。

I_{TM} は次式で計算できます。(但し 400 pps 以下)

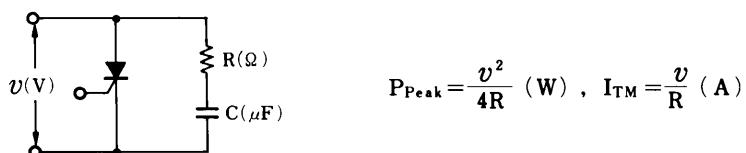


表1からわかるように、高周波応用とパルス応用は、同じ損失を考慮すれば、電流定格を決定することができます。そのためここでは、両者をまとめて、“高周波およびパルス応用における電流定格”とよぶことにします。

それでは、次にこれら損失についての説明と、高周波およびパルス応用の際に、特に考慮すべき素子の特性について述べることにします。

2.2 高周波およびパルス応用におけるサイリスタの動作

2.2.1 ターンオン時の動作

サイリスタのターンオン時の動作を外部特性でみるとその電圧、電流特性および消費電力は、第1図(a), (b)のようになります。すなわちターンオンの初期において大きな瞬時電力（ターンオン損失）を消費し、ある時間後、定常電力を消費する経過をとっています。

一方サイリスタの内部をみた場合、ターンオン直後は、ゲート近傍の小さな領域だけが導通状態となり、その部分がその後 0.1 mm/μs 程度の広がり速度で広がります。この導通領域が接合全面に達する迄の過渡状態では、同一電流に対しても素子内部での電流密度が大きいため順電圧降下が大きくなり、電力損失もまた増加します。加えて、これらの大きな電力を僅かな導通領域で消費するため、第1図(c)のように局部的に大きな温度上昇を招きます。

一般に、このターンオン過程における電力損失をターンオン損失と呼びます。

さて、サイリスタを低周波、低 dI/dt 回路で使用するときは、定常損失に対して無視できたこのターンオン損失が、高周回路では無視できなくなります。すなわちターンオン損失が繰り返し周波数の上昇とともに増加するので定常損失のみを考えただけでは不十分なのです。

また、同じ正弦波を扱う場合でも、 dI/dt が大きくなるとターンオン損失が増大することも十分考慮にいれなければなりません。

一方、パルス電流を扱う場合、パルス幅が素子の広がり時間より狭いと、周波数とは無関係に消費電力が全てターンオン損失となってしまいます。したがって接合の平均温度上昇よりも局部的な瞬間温度上昇が素子の耐量を決める要素となります。

2.2.2 ターンオフ時の動作

サイリスタのターンオフ時の動作で、特に問題となる点としてターンオフ時間特性と転流損失の二つがあげられます。

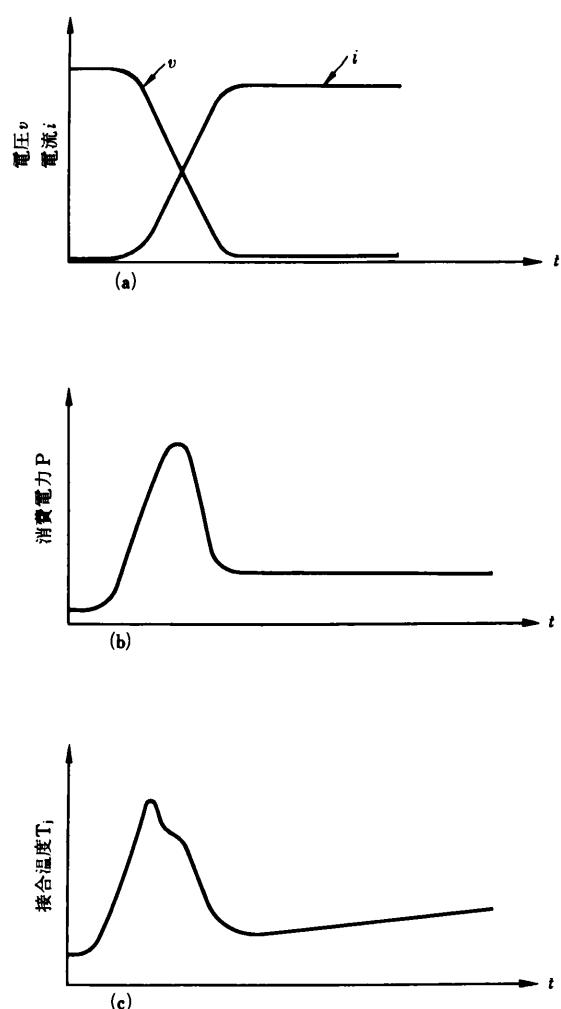
ターンオフ時間特性は、指定の条件で、サイリスタのアノード電流が零になったときからゲートが順方向の制御機能を回復しうるまでの最小時間と定義されています。すなわち第2図のように指定の接合温度において、指定の波高値をもつアノード電流パルス I_A を流します。 I_A の通電時間は、素子内部のキャリアが平衡状態に達するまでに十分な時間以上とします。次にある逆電圧 V_R を加え、指定の dI/dt の電流減少率で順電流を減少させて電流方向を逆転させ、サイリスタを逆バイアスします。さらにアノード電圧を指定の電圧上昇率 dv/dt で高め、指定のアノード阻止電圧 V_A に到達させ、試料がこの電圧に連続して耐えることを確認するに十分な時間、この電圧 V_A に保ちます。

サイリスタのターンオフ時間は、この過程においてアノード電流が零になってからブレークオーバーすることなしに、アノード阻止電圧が加わるまでの最小時間と定義されます。

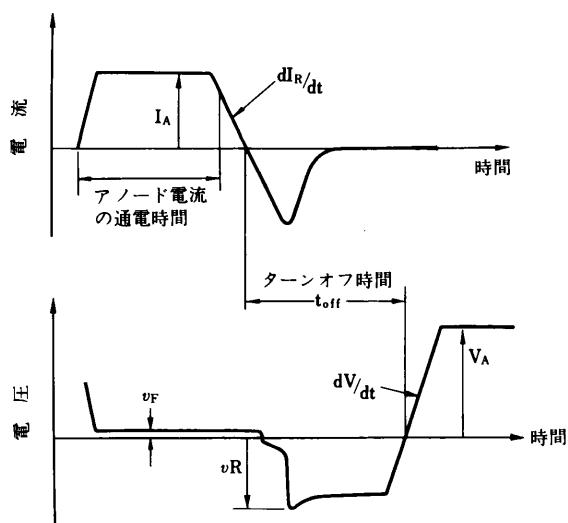
サイリスタのターンオフ時間は、使用条件により大きく左右されますから、高周波回路に適用するに際しては、ターンオフ時間のパラメータ特性を十分把握したうえでこれが短くなるような回路設計が必要です。

なお前記のターンオフ時間測定時の指定条件としてアノード電流の通電時間は、キャリアが平衡状態に達する時間以上としましたが、高周波、パルス使用では、これだけの時間に達しないことがあります。このようにアノード電流の通電時間(パルス幅)が素子の広がり時間より短くなると、導通領域における電流密度の増加、接合温度の上昇を招きターンオフ時間が長くなります。このような場合のターンオフ時間は、定常のターンオフ時間と区別するため、パルスターントンオフ時間とよんでいます。

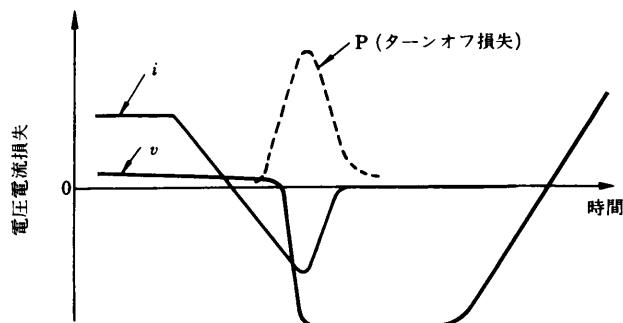
さて、ターンオフ時のもう一つの問題として、転流損失をあげましたが、第2図のターンオフ時の電流電圧特性を拡大してみると第3図のように、ターンオン時と同じようなスイッチング電力を消費していることがわかります。低周波応用では、このようなスイッチング電力は、無視できますが、高周波応用では、ターンオン損失と同様にこの損失も考慮にいれなければなりません。



第1図



第2図 ターンオフ過程中の電流(上)および
電圧波形(下)



第3図

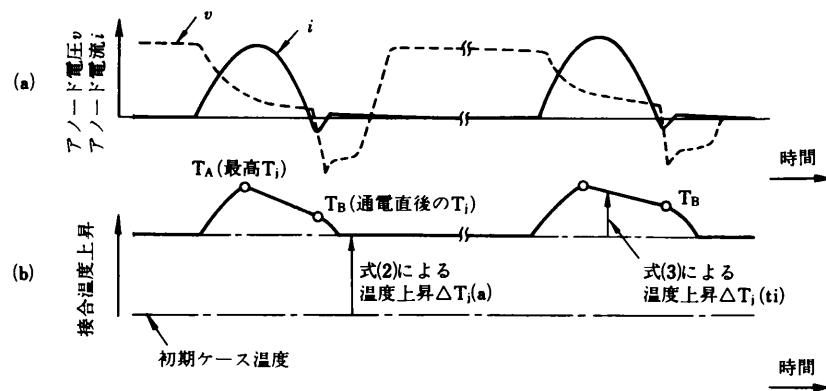
2.3 高周波およびパルス応用におけるサイリスタの電流定格

(当社では、高周波電流、パルス電流に対しサイリスタの定格を次のように定めています。)

2.3.1 接合温度と許容電流値の計算

高周波およびパルス応用における電流定格も低周波電流定格と同様に通電電流による接合温度の上昇が、最高許容値を越えないように定めます。

例として第4図のように、サイリスタをオン・オフさせ連続的に正弦波電流を流した場合を考えてみます。同図(a)は、サイリスタのアノード電圧電流波形を、また同図(b)は接合温度 T_j の変化を表わしたもので



第4図

このときの接合温度上昇、 $\Delta T(j-c)$ は次式(1)で計算されます。

$$\Delta T(j-c) = \Delta T_j(a) + \Delta T_j(t_i) \quad (1)$$

$$\Delta T_j(a) = \theta(j-c) \cdot f \cdot E = \theta(j-c) \cdot f \cdot \sum_{i=1}^n P_i \quad (2)$$

$$\Delta T_j(t_i) = \sum_{i=1}^n P_i \cdot \{r_i(t_i) - r_i(t_i - \tau_n)\} \quad (3)$$

ここで

$\Delta T_j(a)$: 接合ケース間平均温度上昇($^{\circ}\text{C}$)

$\Delta T_j(t_i)$: 時間 t_i における接合ケース間瞬時温度上昇($^{\circ}\text{C}$)

$\theta(j-c)$: 接合ケース間定常熱抵抗($^{\circ}\text{C}/\text{W}$)

f : 繰り返しパルス数 (pulse/s)

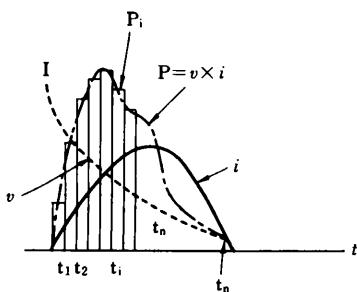
P_i : 第5図のように各パルス電流に対し区分近似した場合の瞬時電力 (W)
(これは、ターンオン時の瞬間電圧降下と電流の積として求めます。)

τ_n : 1波のパルス電流に対する P_i の時間間隔 (W.s)

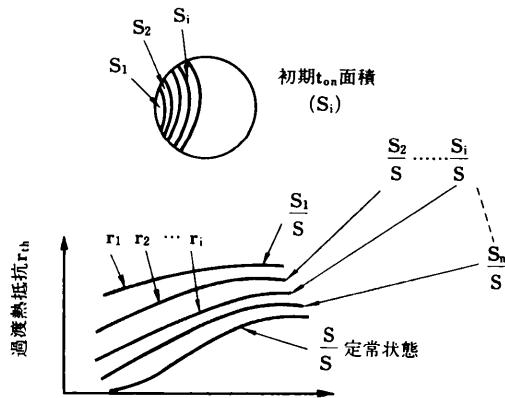
$r_i(t_i)$: 第6図の曲線 r_i 上の時点 t_i での過渡熱インピーダンス ($^{\circ}\text{C}/\text{W}$)

$r_i(t_i - \tau_n)$: 同じく r_i 上の時点 $t_i - \tau_n$ での過渡熱インピーダンス ($^{\circ}\text{C}/\text{W}$)

τ_n : 第5図のように区分近似した P_i の幅 (s)



第5図



第6図

さてこのようにして計算で求めた T_i の軌跡が第4図(b)ですが、許容電流を決めるポイントは、 T_A, T_B の扱い方といえます。これについては、次の章で説明します。

2.3.2 高周波、パルス電流定格の決定方法

低周波（商用周波）電流の許容値を決める場合には、 T_A, T_B の間にあまり差がないため、 T_B （日本電子機械工業会の規定では電力が零になってから $500 \mu s$ 後の T_i ）を温度測定ポイントとし、これが接合許容最高温度を越えないよう規定を行っています。しかし高周波電流や巾のせまいパルス電流を扱う場合には、サイリスタターンオン時の動作機構が影響し、 T_A と T_B の間には大きな差が生じます。ここで問題となるのは T_A と T_B に対する扱いです。まず安定動作を得る目的からすれば、 T_B は接合許容最高温度（一般には $125^\circ C$ ）以下に抑えなければなりません。しかし T_A については、素子が瞬時にさらされる温度であり、またこれの生ずる場所が、熱としてもまだ広がっていないシリコン内部的なところであるところから、必ずしも $125^\circ C$ 以下に抑える必要はありません。

ところで、もう一つの問題は、接合温度の測定です。接合温度は、通常例えばターンオフ時間のような温度依存性のよく知られた特性を測定してその変化値から推定するという方法がとられていますが、当社では、赤外線を利用した特殊装置により各部の温度を実測しています。

さて、今まで述べた接合温度を最終的にサイリスタの電流定格と結びつけるには、さらに素子の寿命を考慮しなければなりません。素子の信頼度の確認には、いろいろな方法が考えられますが、当社では、次のような手順によっています。

まず 3-1 で述べたような電圧電流特性から 1 パルス当りの損失を計算し、さらに過渡熱抵抗を考慮して、接合温度も計算します。つぎにこの結果が実測した接合温度と一致することを確認しておきます。そして最後に、長時間の定格試験を行ない最終的に T_A を決定します。

このような長時間定格試験の結果を第7図に示しますが、この図から T_A は $300^\circ C$ 以下にすればよいことがわかります。しかし当社ではさらに余裕をとって、 T_A を $200^\circ C$ として電流定格を定めています。

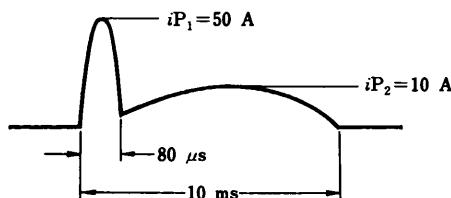
以上のべたように当社の電流定格の決定方法の特徴は、単なる実験試験のみの確認にとどまらず、理論に基づいた計算結果を実測により確認したうえ、最終的に長時間定格試験で長期寿命を考慮した定格を保証する点にあるといえましょう。

第10図～第18図は、前記の手順によって求めたパルス幅～ピーク電流定格です。パルス幅の広い領域では主として、 T_B により、またパルス幅の狭い領域では T_A でそれぞれ許容電流値が抑えられています。また第10(a)図～第18(a)図は、パルス幅と、(2)式で述べた1パルス当たりのエネルギー損失Eの関係を示したもので(2)式の $\Delta T_i(a)$ を計算するのに用いられるほか、周囲温度に対するケース温度上昇を求めるときにも用いられます。第10図～第18図(b)図の実線は、非繰り返しで許容できる正弦波電流のパルス幅(t_T)とピーク電流値(I_T)を示したものです。第10図～第18図(c), (d)図は、各ケース温度で繰り返しで許容できる正弦波電流のパルス幅(t_T)とピーク電流値(I_T)を示したもので、繰り返し周波数がパラメータとなっています。なお、この技術資料では、電流波形として正弦波のみを扱っています。

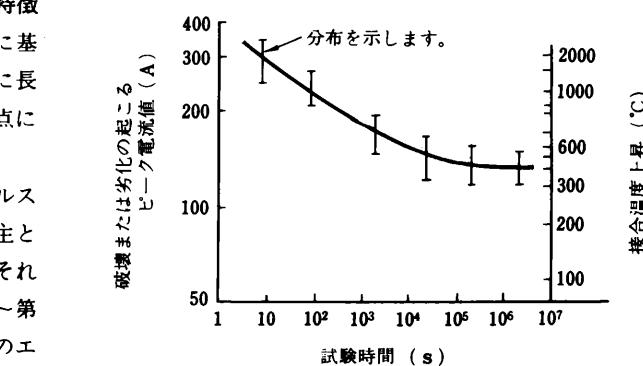
次章では、これら定格、特性曲線の具体的な使用方法について説明いたします。

2.4 高周波、パルス電流定格および各特性図の使い方

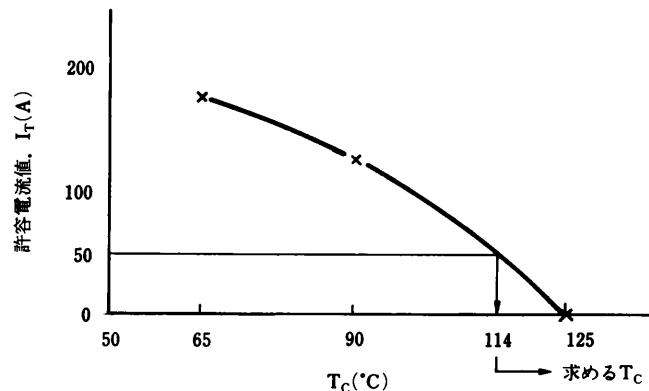
例。当社製サイリスタ8P4Mを用いて、第8図のような電流を繰り返し50 Hzで通電する場合、最大許容ケース温度、全消費電力および周囲温度60 °Cで動作させる場合の適当なヒートシンクの熱抵抗を求めなさい。



第8図



第7図 長時間定格試験結果



第9図

(算出方法)

このような場合には、問題を次のように分けて考えます。

(1) サイリスタに $i_p=50 \text{ A}$, パルス幅 $80 \mu\text{s}$ 繰り返し, 50 Hz の電流のみが流れているとしてサイリスタの最大許容ケース温度および消費電力を求めます。

(2) 同時に, $i_p=10 \text{ A}$, パルス幅 10 ms , 繰り返し 50 Hz の電流のみが流れているとして, これによる温度上昇, 電力損失を求め(1)の計算値に加え, 最終的な結果を求めます。

(1)については, 第18(c)図, 第18(d)図の特性によりパルス幅 $80 \mu\text{s}$ 繰り返し 50 Hz の点におけるピーク電流を各ケース温度で求め, 第9図のようなケース温度からピーク電流特性カーブを作成します。

これより最大許容ケース温度は, 114°C であることがわかります。

一方, 第18(a)図により $i_p=50 \text{ A}$, パルス幅 $80 \mu\text{s}$ の電流パルスの電力損失は, 1サイクル当たり 6 m W.s であることがわかりますので, 全消費電力中この波形による消費電力は,

$$\begin{aligned} P_1 &= 6 \text{ m W.s} \times 50/\text{s} \\ &= 0.3 \text{ W} \end{aligned}$$

(2)については, パルス幅 10 ms , ピーク 10 A , 繰り返し 50 Hz の正弦半波波形を考えると第18(a)図よりこのようなパルスの1サイクル当りのエネルギー損失は, 70 m W.s となりこの寄与分は,

$$\begin{aligned} P_2 &= 70 \text{ m W.s} \times 50/\text{s} \\ &= 3.5 \text{ W} \end{aligned}$$

となります。

つぎに, (1)の結果と(2)の結果を総合するわけですが, (1)より最大許容ケース温度は, 114°C 以下に抑えなければならぬことになっていますから, 次式が成立する必要があります。

$$T_c(\text{MAX.}) = 114^\circ\text{C} - P_2 \times \theta \quad (4)$$

ただし,

$T_c(\text{MAX.})$: 最終的な許容ケース温度 ($^\circ\text{C}$)

θ : サイリスタ定常熱抵抗 $j-c$ 間 ($^\circ\text{C/W}$)

P_2 : $i_p=10 \text{ A}$, 正弦半波電流による損失 (W)

いまの場合 $P_2=3.5 \text{ W}$, $\theta=3.0 \text{ }^\circ\text{C/W}$ ですから, (4)式より求める $T_c(\text{MAX.})=114^\circ\text{C} - 3.5 \text{ W} \times 3.0 \text{ }^\circ\text{C/W}=103.5^\circ\text{C}$

また以上を総合した全消費電力 P は

$$P = P_1 + P_2 = 0.3 \text{ W} + 3.5 \text{ W} = 3.8 \text{ W}$$

したがって, 周囲温度 60°C を考慮した場合の必要なヒートシンクの熱抵抗 θ_{fin} は,

$$\theta_{fin} = \frac{103.5^\circ\text{C} - 60^\circ\text{C}}{3.8 \text{ W}} = 11.4 \text{ }^\circ\text{C/W}$$

となり適切なヒートシンクができます。

図10 03P2M, 03P4M

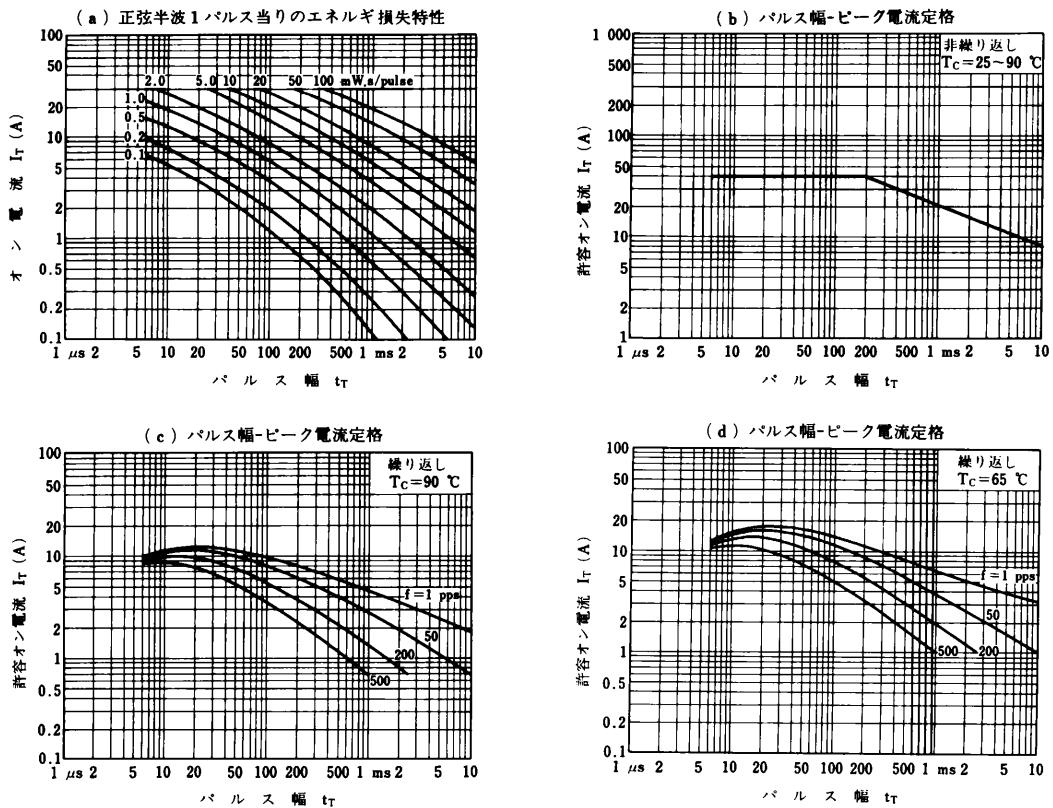


図11 03P4MG~03P6MG

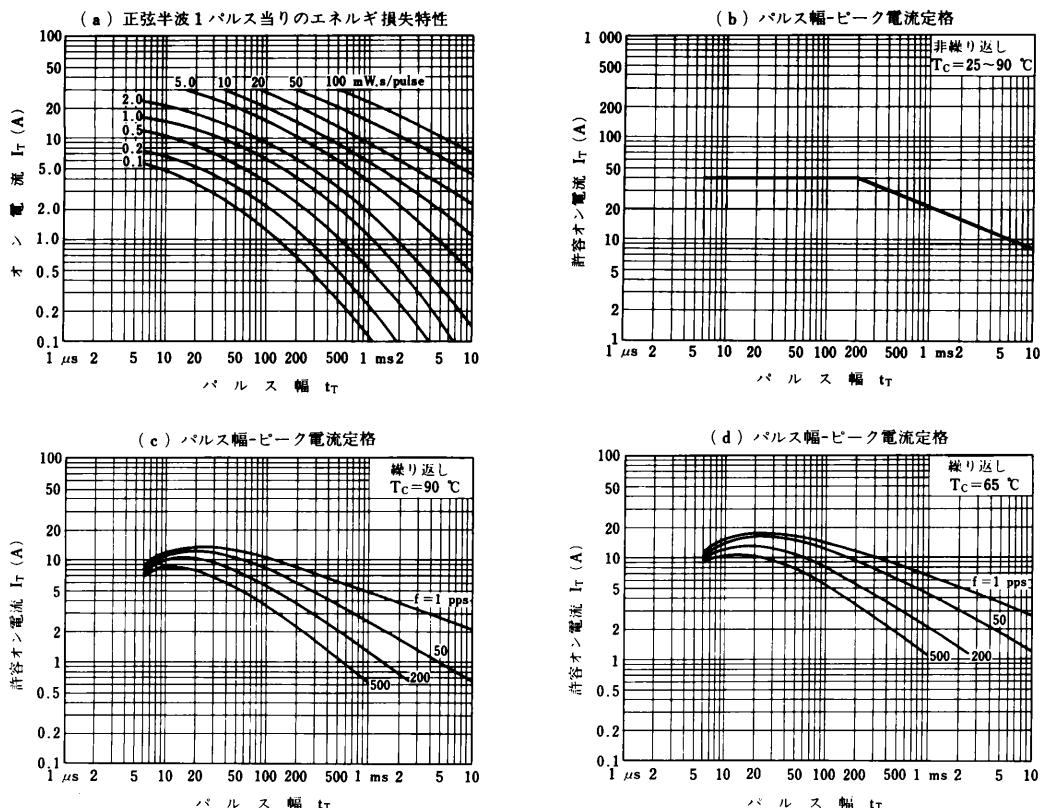


図12 2P4M～2P6M

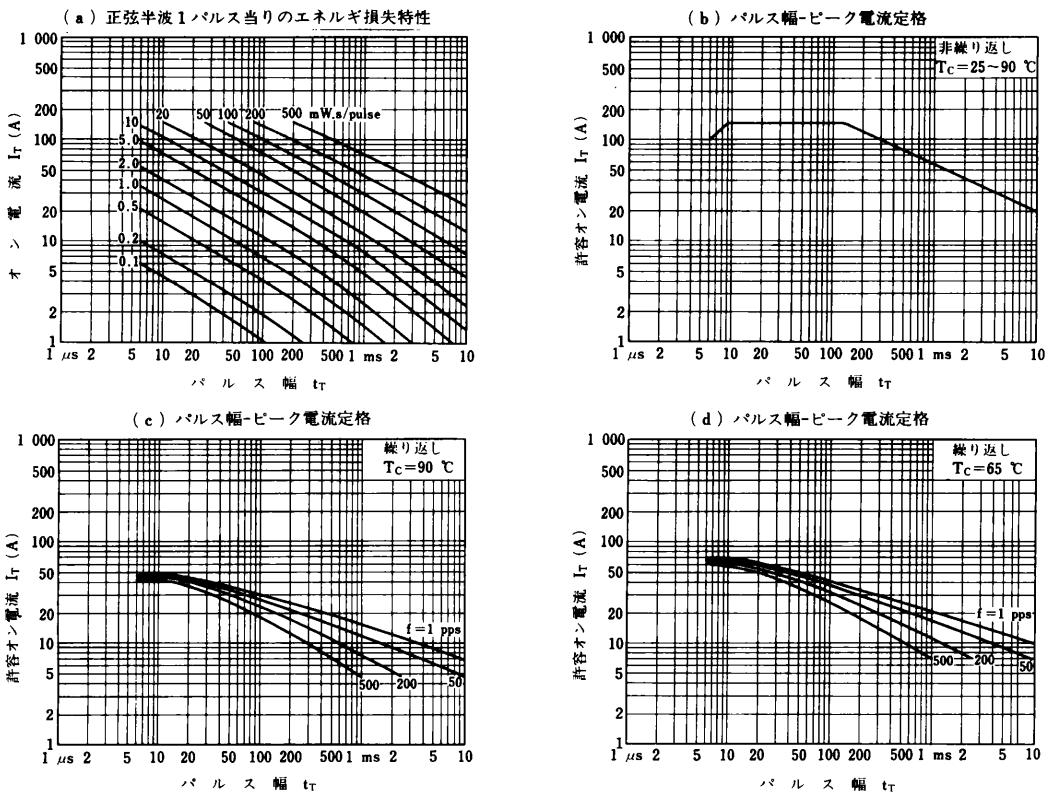


図13 2S2M, 2S4M

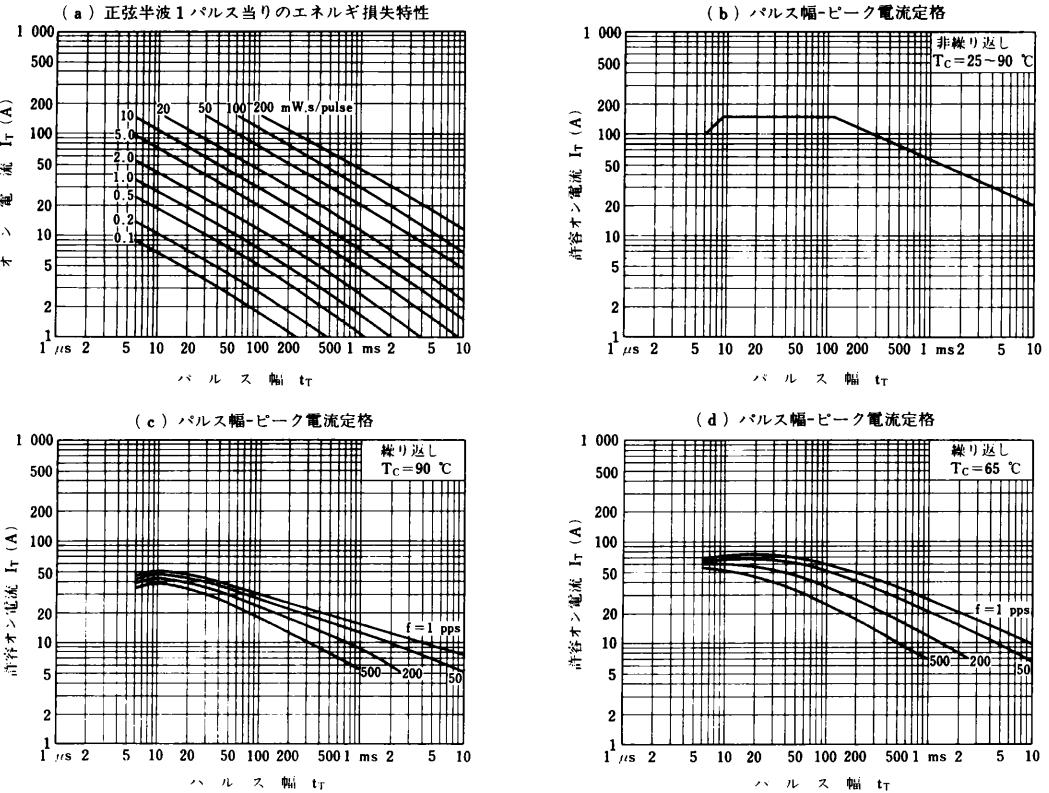


図14 2V5P4M

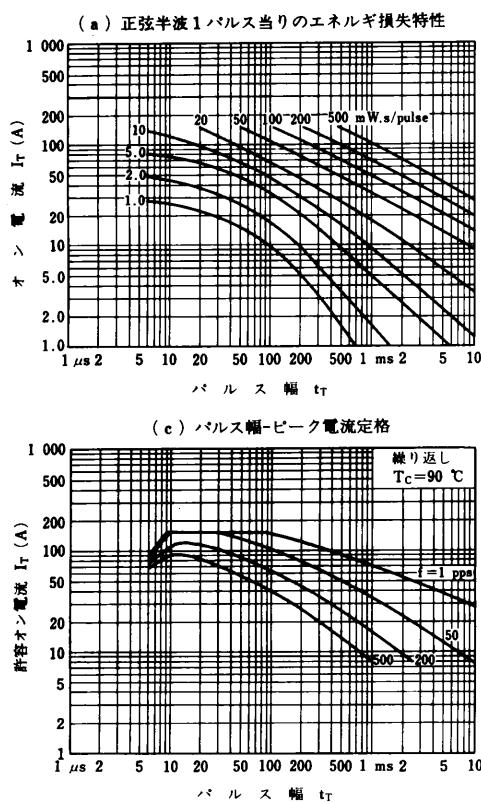


図15 3P4MH~3P6MH

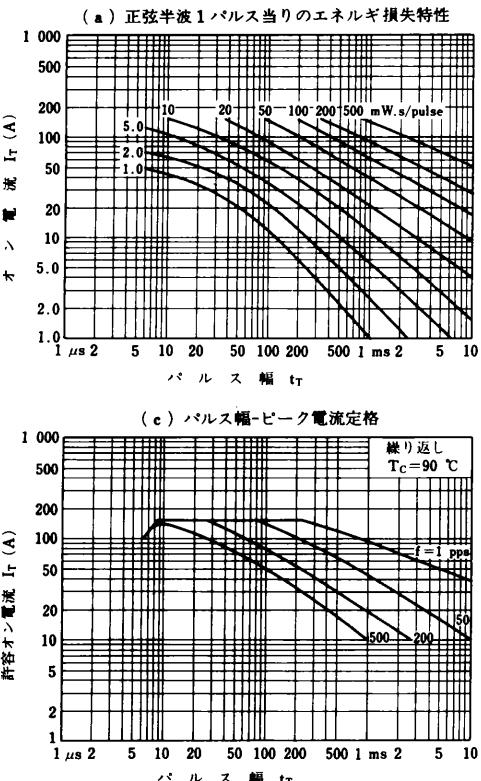


図16 3S4M

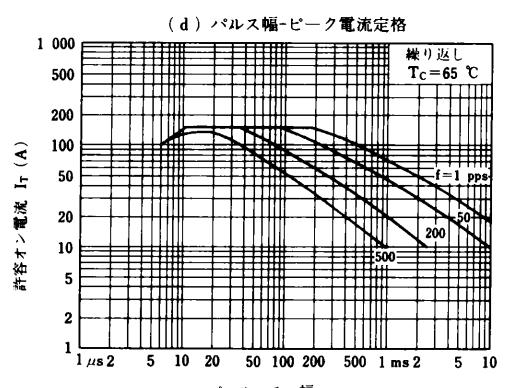
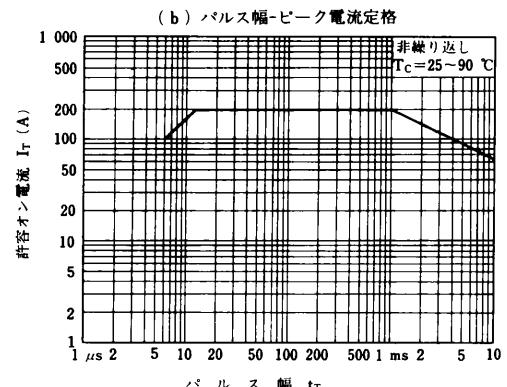
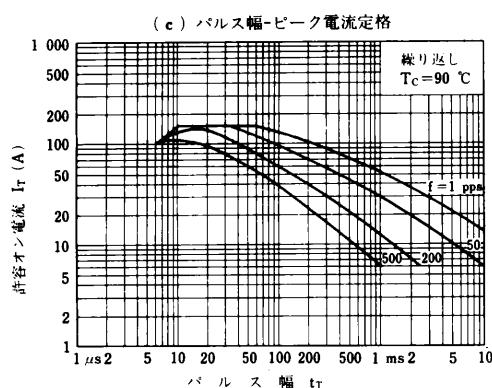
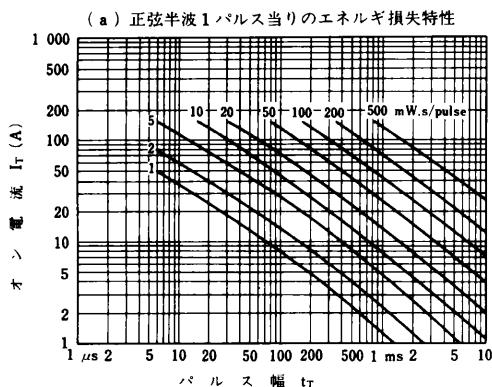


図17 5P4M~5P6M

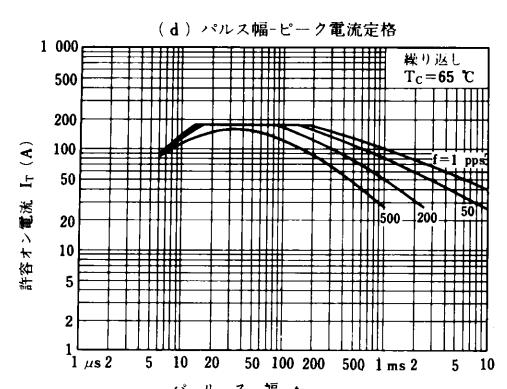
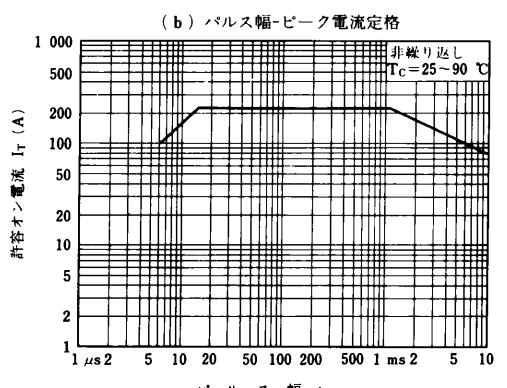
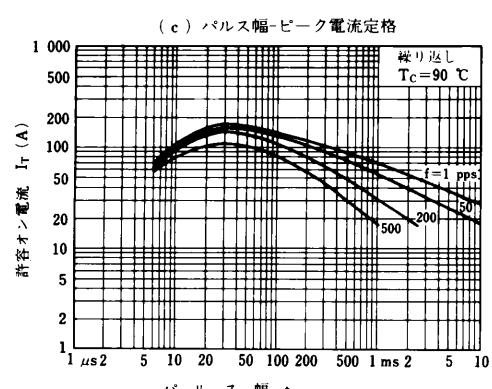
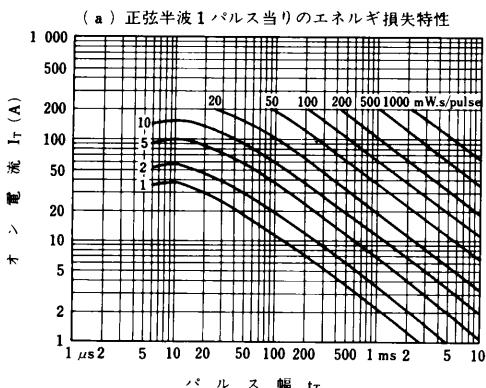
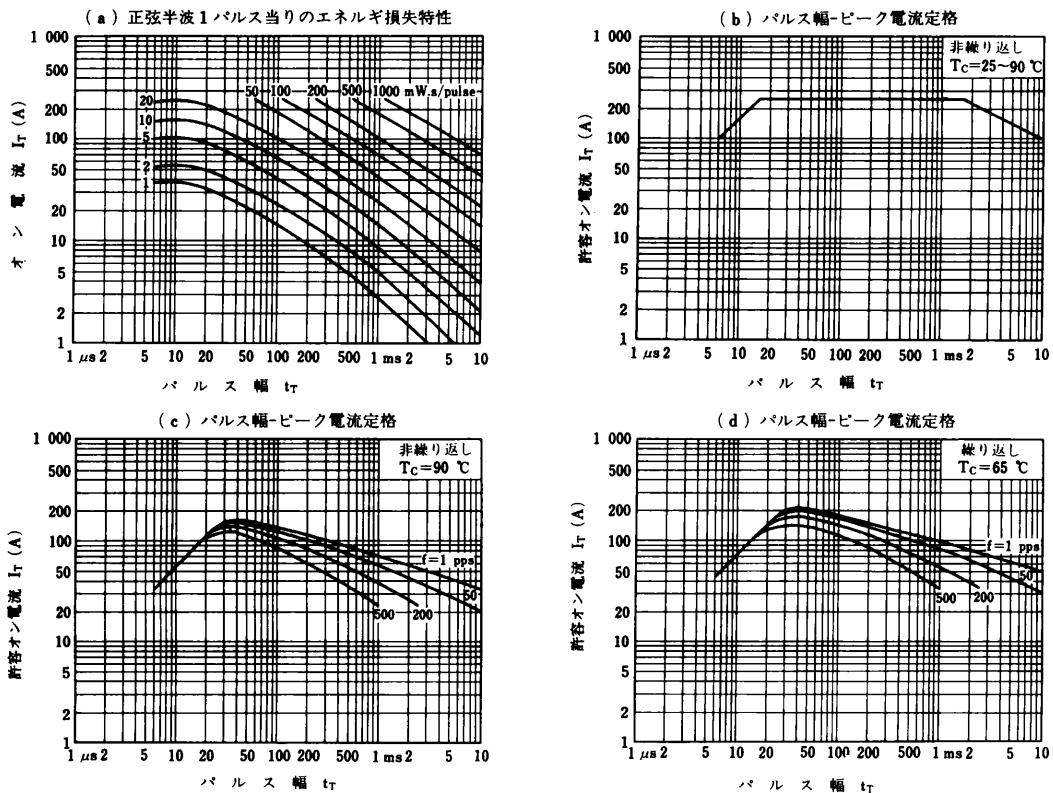


図18 8P2M, 8P4M



3. 減衰振動電流波形の電流定格計算について

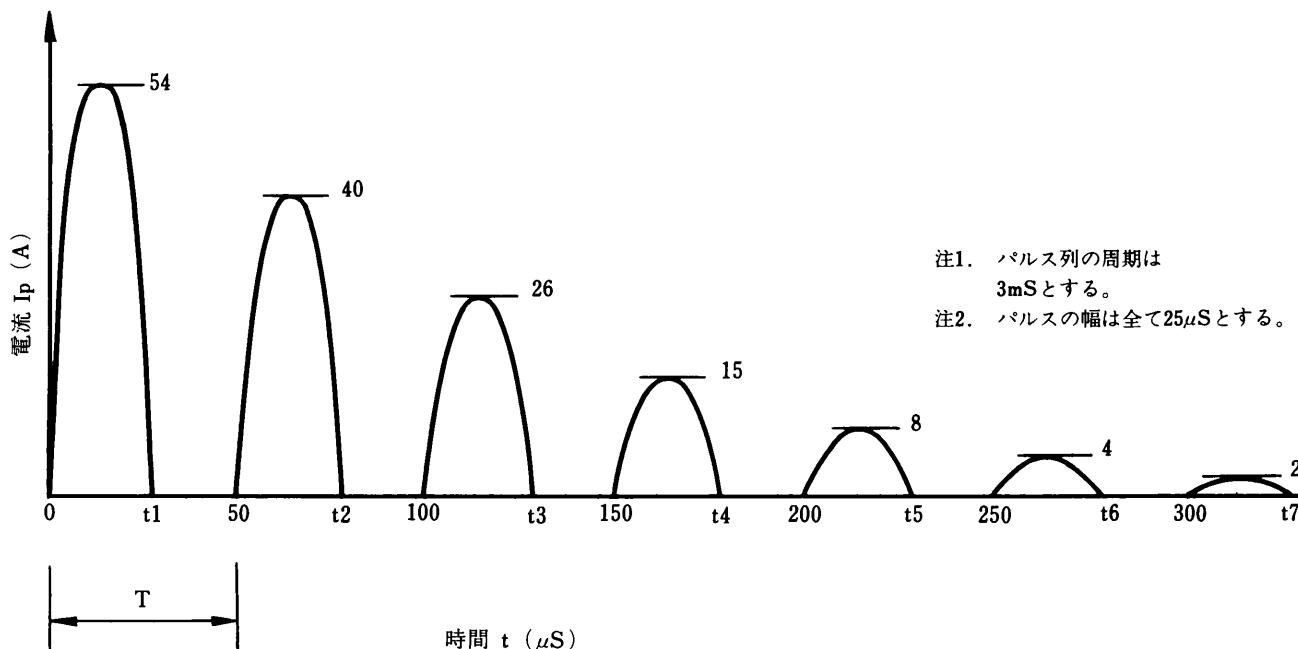
3.1 接合温度

SCRに減衰電流が流れる場合の接合温度上昇の近似計算例を紹介します。

(考え方はTRIACの場合も同様ですので参考としてください)

この例では、ピーク温度は2サイクル目になりますが一般的にこの様な減衰電流の場合、ピーク温度は数サイクル目になります。

3.2 電流波形例



3.3 予め準備するもの

1) $P_E - I_p$ 特性………図1 (3P()MH)

これは、パルスオン電圧 V_T とパルス電流 i_T による損失（スイッチング損失）をコンピュータによりシミュレーションし、求めたものです。

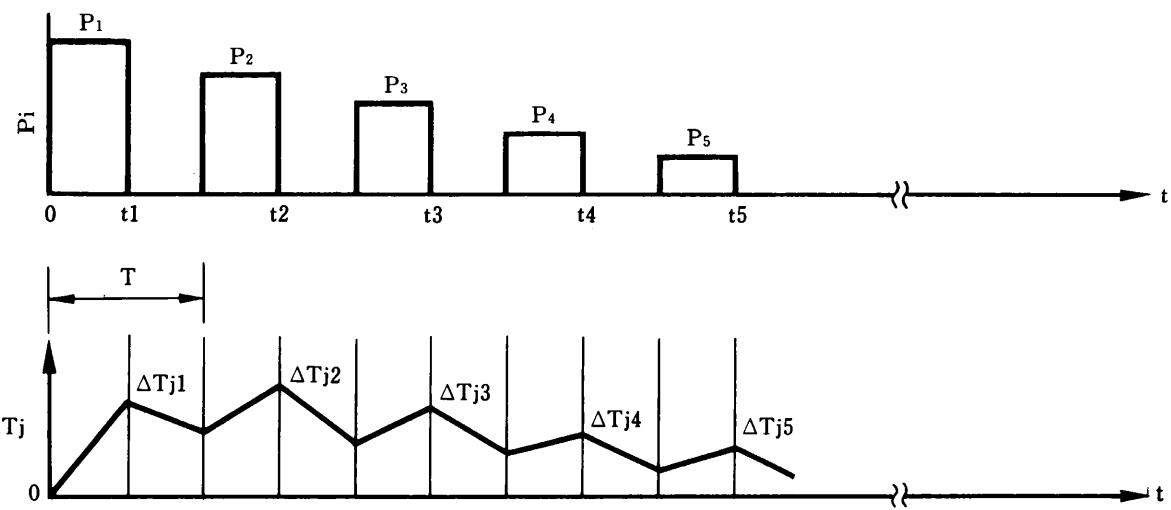
2) 過渡熱抵抗 Z_{th} 特性………図2 (3P()MH)

$t = 10 \mu\text{s} \sim 100 \text{ s}$ の Z_{thj-c} または Z_{thj-a} 特性

3.4 定格計算

(1) 接合温度上昇の近似計算

① 1項の近似波形とそれに対応した予測接合温度上昇のプロファイルは、次図のようになります。



② 接合温度上昇 (ΔT_{jn}) を求める一般式は次式で表わされます。

$$\begin{aligned}\Delta T_{jn} = & P_1 \{Z_{th}(t_n) - Z_{th}(t_n-t_1)\} \\ & + P_2 \{Z_{th}(t_n-T) - Z_{th}(t_n-t_2)\} \\ & + P_3 \{Z_{th}(t_n-2T) - Z_{th}(t_n-t_3)\} \\ & \vdots \\ & + P_n \{Z_{th}(t_n(n-1)T)\}\end{aligned}$$

③ ②項の近似式を用いて 1 項の波形について最高接合温度は何サイクルにあるかを試算します。

$$\begin{aligned}\Delta T_{j1} = & P_1 \{Z_{th}(t_1)\} \\ = & \frac{P_E}{t_1} \{Z_{th}(t_1)\} \\ = & \frac{4 \times 10^{-3}}{25 \times 10^{-6}} \times 0.013 = 2.1 \text{ } ^\circ\text{C}\end{aligned}\right\} \text{図1ならびに図2より } P_E, Z_{th}(t_1) \text{ を読みとる。}$$

同様に

$$\begin{aligned}\Delta T_{j2} = & P_1 \{Z_{th}(t_2) - Z_{th}(t_2-t_1)\} + P_2 \{Z_{th}(t_2-T)\} \\ = & 160 \{0.027 - 0.02\} + 80(0.013) \\ = & 1.2 + 1.0 \\ = & 2.2 \text{ } ^\circ\text{C}\end{aligned}$$

$$\begin{aligned}\Delta T_{j3} = & P_1 \{Z_{th}(t_3) - Z_{th}(t_3-t_1)\} + P_2 \{Z_{th}(t_3-T) - Z_{th}(t_3-t_2)\} \\ & + P_3 \{Z_{th}(t_3-2T)\} \\ = & 160(0.038 - 0.032) + 80(0.027 - 0.02) \\ & + 36(0.013) \\ = & 2.0 \text{ } ^\circ\text{C}\end{aligned}$$

$$\begin{aligned}\Delta T_{j4} = & P_1 \{Z_{th}(t_4) - Z_{th}(t_4-t_1)\} + P_2 \{Z_{th}(t_4-T) - Z_{th}(t_4-t_2)\} \\ & \times P_3 \{Z_{th}(t_4-2T) - Z_{th}(t_4-t_3)\} + P_4 \{Z_{th}(t_4-3T)\} \\ = & 160(0.046 - 0.043) + 80(0.038 - 0.032) \\ & + 36(0.027 - 0.02) + 16(0.013) \\ = & 1.5 \text{ } ^\circ\text{C}\end{aligned}$$

従って、2 サイクル目に $2.2 \text{ } ^\circ\text{C}$ の温度のピークがあることがわかります。

(2) 平均温度上昇の計算

1 項の例で $P_1 \sim P_7$ を積算し、平均接合温度上昇を求めます。

① 平均損失の計算

$$P_T(AV) = \sum_{n=1}^7 P_n \times 25(\mu\text{S}) / (350 \mu\text{S} + 3 \text{ mS}) \quad (\text{カタログの } V_T \sim I_T \text{ カーブより } P_n \text{ を求める})$$

$$= 2.4(\text{W})$$

② 平均温度上昇の計算

$$\Delta T_j(AV) = P_T(AV) \times R_{th}(j - c)$$

$$= 2.4 \times 8 = 19.2(\text{C})$$

3) 以上より、最高接合温度(T_{jM})は次の様に計算されます。

$$T_{jM} = T_c + \Delta T_{j2} + \Delta T_j(AV)$$

$$= T_c + 2.2 + 19.2$$

$$\doteq T_c + 21(\text{C})$$

従って、基準点(T_c)に対して 21 C の上昇分となります。

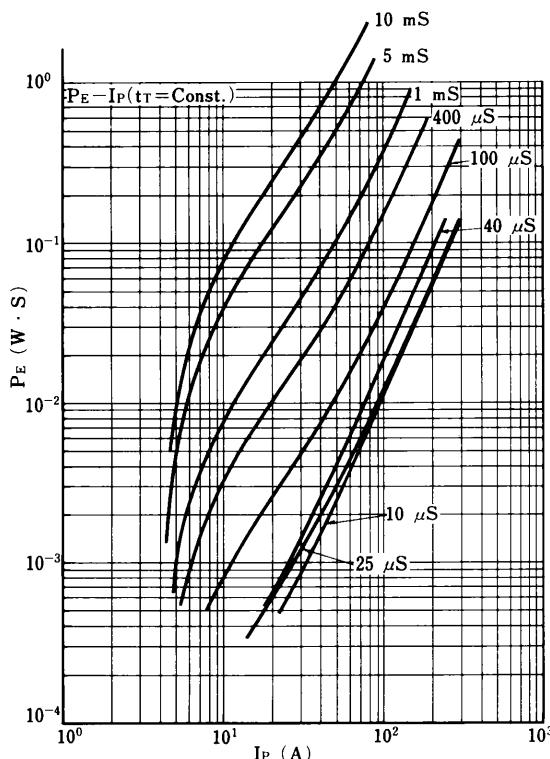
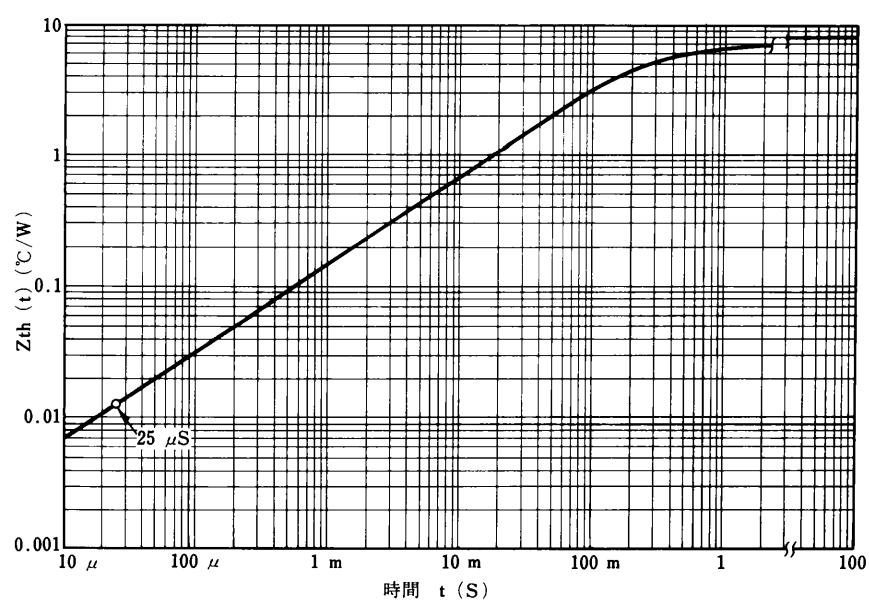


図 1 3Pf 1MH PE-IP特性

図2 3PFR MH過渡熱抵抗 $Z_{th}(t)$

4. TRIAC使用上の注意

4.1 TRIAC故障のストレスによる分類

TRIACの故障原因の多くは、電流、電圧によるものです。

故障原因のストレス分類の大略を表1、図1に示します。

なお、本調査結果は、当社製造責任による不具合、お客様の応用上の不具合（回路定数、その他）および良品等を除いたストレス分類です。

表1 ストレスの分類

ストレス	分類
電 流	過電流、 di_T/dt 、パルスオン電流 突入電流
電 圧	過電圧、 dV/dt 、 $(dV/dt)_C$
ゲート電力	ゲート過電力
機 械 的	締付トルクストレス 端子へのストレス 落下、衝撃、振動

プラスチックモールド製品

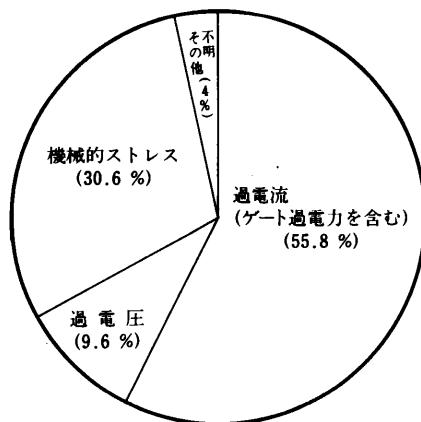


図1 TRIACの故障モード(昭和58~60年調査結果)

4.2 TRIACの故障モード

TRIACがあるストレスを受けて、故障に至った場合、その故障モードは、ストレスにより特徴があり、ある程度の原因推定ができます。表2に各種ストレスによる代表的な故障モードを示します。

表2 ストレスの種類による故障モードの代表例

ス ト レ ス		故 障 モ ー ド	
		特 性	シリコンペレット
電 流	過電流 突入電流	①ショート ②まれに耐圧劣化でとどまっていることがある。	T_1 電極上に溶融跡がみられる。 ペレットわれを伴うことがある。
		③まれにオーブンに至ることがある。	痕跡は明らかでない場合が多い。
		①ショート ②まれに耐圧劣化でとどまっていることがある。	T_1 電極に溶融跡。 T_1 連絡線溶断。 ペレットわれを伴うことがある。
電 壓	過電圧 $dV/dt, (dV/dt)_C$	①ショート ②まれに耐圧劣化でとどまっていることがある。	T_1 電極上の初期オン領域(ゲート近傍)に溶融跡がみられる。 痕跡は明らかでない場合が多い。
		①ショート	接合を横切る形で溶融跡がみられる。ペレットわれを伴うことがある。
		②耐圧劣化	痕跡は明らかでない場合が多い。
ゲート電力	ゲート過電力	①G-T ₁ 間ショート $V_{DRM}(T_2\oplus)$ 側耐圧劣化またはショート ②ショート	G-T ₁ 間に溶融跡がみられる。
機械的 ストレス	締付トルク 端子へのストレス 落下、衝撃、振動	①ショート ②耐圧劣化	ペレットのわれクラックがみられる。

4.3 オン電流に対する考え方

第1項で示しましたようにオン電流による事故は圧倒的に多く、TRIACの選定、放熱体設計に際して、定常時のオン電流はもとより、突入電流、パルスオン電流、 di_T/dt の大きさを十分に知っておくことが必要です。

4.3.1 過電流ストレス

①サージオン電流 (I_{TSM})、電流二乗時間積 ($\int i_T^2 dt$)

サージオン電流によりTRIACが事故にいたることは、事故例の中でかなりのウェイトをしめています。負荷短絡などにより思わぬ電流が流れることができます。ストレス電流がTRIACの定格以内におさまるように低抵抗の挿入、限流リクトルの挿入あるいは速断ヒューズなどにより保護協調をとる必要があります。

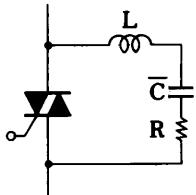
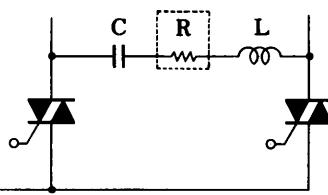
②過負荷電流

定常電流に加えて、TRIACオンの直後に突入電流が流れるような負荷の場合(ランプ、ヒータ、トランス、モータ等)、定常電流による温度上昇よりも、突入電流による温度上昇の方が厳しくなることが一般的です。このような負荷の場合、図2および、表4、5をご参照いただき、接合温度が T_{jMAX} 以下(80~90%が望ましい)になるよう、TRIACの選定ならびに放熱体設計を行う必要があります。

4.3.2 di_T/dt 、パルスオン電流ストレス

CRスナッパからの放電電流や、モータの正逆運転に関する進相コンデンサからの放電電流により、TRIACが事故にいたることがあります。特に進相コンデンサからの放電電流による事故は、2個のTRIACが同時にオンすることにより起る事故であり、2個のTRIACのトリガポイントを十分にはなし1方が確実にオフしてから他方をトリガすればよいわけですが、このようにした場合でもTRIACのdV/dt耐量、ゲート回路の誤動作などの原因で、事故にいたることが多くあり、安全設計とはいえません。このような事例の場合、電流のピークと立上りを抑える意味で、進相コンデンサとシリーズにLを必ず挿入する必要があります。(表3参照)

表3 高い dI_T/dt 、パルスオン電流の生ずる回路と対策例

区分	回路例	対策例	備考
(a) 過電圧保護用 C Rスナッパ		数百μHのインダクタンスを挿入する。	コンデンサCからの放電電流を抑える。
(b) 進相コンデンサ		数百μHのインダクタンスを挿入する。 抵抗を挿入するとより好ましい。	トライアック同時オン時(誤動作)に進相コンデンサCからの放電電流を抑える。

4.3.3 定常電流ストレス

過負荷電流ストレスと合わせて、TRIACの接合温度が $T_{j\text{MAX.}}$ を越えないように図2および表4, 5を参照にTRIACの選定、放熱体設計を行ってください。

表4 定常負荷電流に対するTRIAC選定の目安

TRIAC定格電流 $I_{T(r.s.m.)}$ (A)	負荷電流 $I_{T(r.s.m.)}$ (A)				
	~ 2	2~5	5~7	5~9	9~15
3					
5					
8					
10					
12					
16					
25					

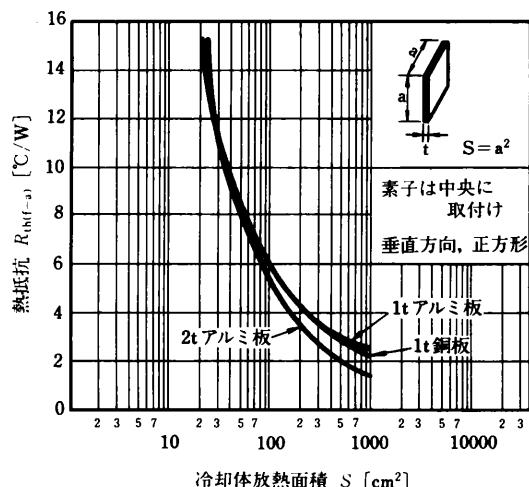
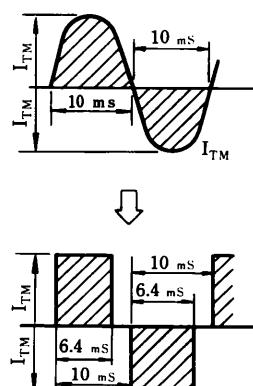
図2 アルミ板放熱体の定常熱抵抗
銅板

表5 各種電力波形と接合温度計算式

負荷の種類	電力波形	接合温度計算式
ピーク電力一定、パルス幅、繰返しは不定	P_{TM} $T_{j(t1)}$ $T_{j(t3)}$ $T_{j(t5)}$ 	$T_{j(t1)} = T_a + P_{TM} \cdot r_{th(t1-t0)}$ $T_{j(t3)} = T_a + P_{TM} \{ r_{th(t3-t0)} - r_{th(t3-t1)} + r_{th(t3-t2)} \}$ $T_{j(t5)} = T_a + P_{TM} \{ r_{th(t5-t0)} - r_{th(t5-t1)} + r_{th(t5-t2)} - r_{th(t5-t3)} + r_{th(t5-t4)} \}$
ピーク電力不定、パルス幅、繰返しは一定	P_{TM1} $T_{j(t1)}$ P_{TM2} $T_{j(t3)}$ P_{TM3} $T_{j(t5)}$ 	$T_{j(t1)} = T_a + P_{TM1} \cdot r_{th(tp)}$ $T_{j(t3)} = T_a + P_{TM1} \{ r_{th(\tau+tp)} - r_{th(\tau)} + P_{TM2} \cdot r_{th(tp)} \}$ $T_{j(t5)} = T_a + P_{TM1} \{ r_{th(2\tau+tp)} - r_{th(2\tau)} + P_{TM2} \{ r_{th(\tau+tp)} - r_{th(\tau)} \} + P_{TM3} \cdot r_{th(tp)} \}$
継続一定電力後の過電力	$P_{T(AV)}$ $T_{j(t0L)}$ 	$T_{j(t0)} = T_a + P_{T(AV)} \cdot R_{th} + \{ P_{TM} - P_{T(AV)} \} \cdot r_{th(t0L)}$
継続一定電力後の繰返し過電力	P_{TM} $T_{j(t0L)}$ 	$T_{j(t0L)} = T_a + P_{T(AV)} \cdot R_{th} + P_{TM} \left\{ \left(\frac{tp}{\tau} - \frac{P_{T(AV)}}{P_{TM}} \right) r_{th(t0L)} + \left(1 - \frac{tp}{\tau} \right) r_{th(\tau+tp)} - r_{th(\tau)} + r_{th(tp)} \right\}$

- $T_{j(t)}$ = 時間 t における T_j
- T_a = 周囲温度
- $r_{th(t)}$ = 時間 t における接合-周囲間過渡熱インピーダンス
- 正弦波から方形波への近似



4.4 電圧に対する考え方

電圧による TRIAC の事故は、電流ストレスの次に多く、定常電圧に対して適切な耐圧の TRIAC を選定することはもちろん、サージ電圧に対しても十分な配慮をし、CR スナッパ、バリスタなどの挿入が必要となります。TRIAC の信頼性ならびに印加電圧の変動、サージ電圧の発生などを考慮いたしますと、TRIAC の電圧定格と印加電圧の関係は図3が望ましいといえます。

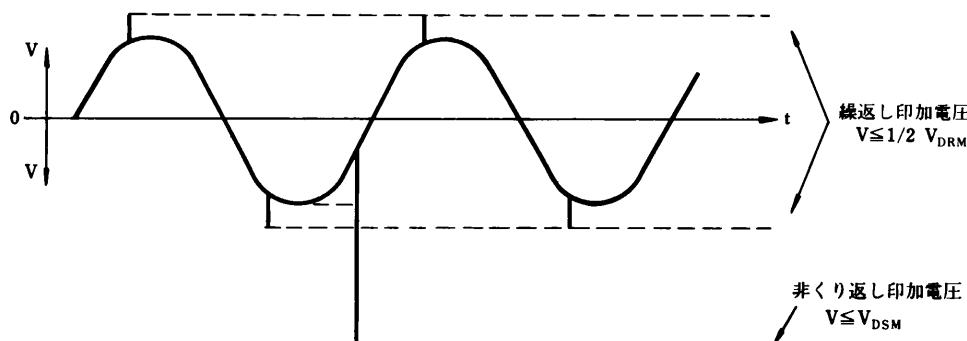


図3 望ましい TRIAC の電圧定格と印加電圧の関係

4.4.1 サージ電圧ストレス

サージ電圧は、現実の問題として、その実体がなかなかとらえにくく、具体的な数値として与えられる場合は少ないことが事実といえましょう。電源に挿入する CR の目安は、トランスの特性から①、②式で与えられます。この CR の他に、立上りの早いサージ電圧を想定し、MOV（金属酸化物バリスタ）を挿入することも有効です。また、TRIAC の CR スナッパは、後述する $(dV/dt)_C$ 、 dV/dt 保護との兼合いもあり、 $0.1 \sim 0.2 \mu F$ 、 $50 \sim 200 \Omega$ 程度が有効といえます。

$$C = \frac{2P\epsilon}{2\pi f V_{PK}^2} \quad (F) \quad ①$$

$$R = \frac{10^{-3}}{2\pi C} \quad (\Omega) \quad ②$$

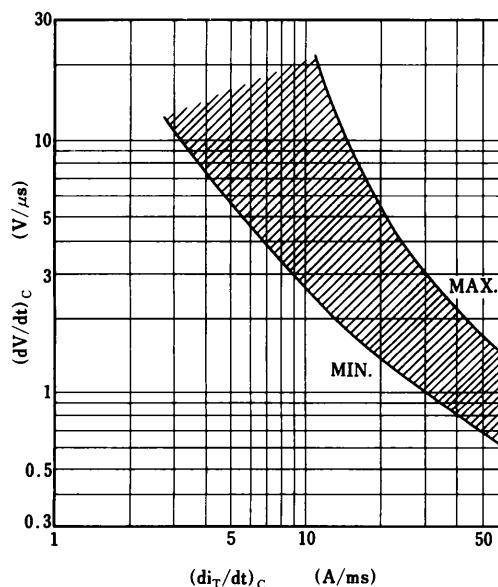
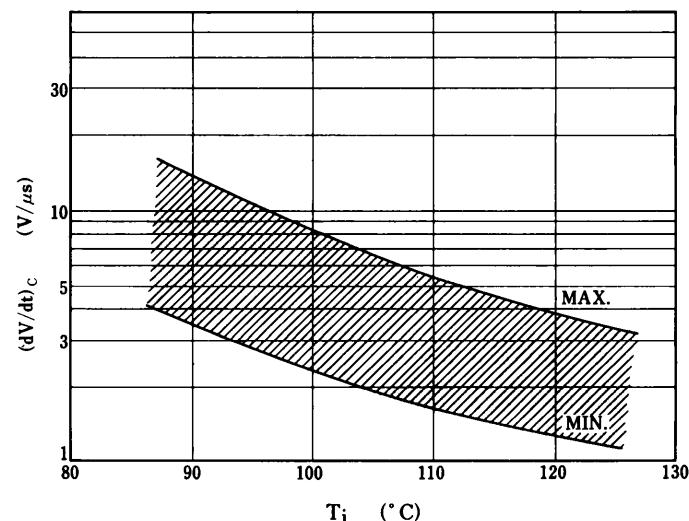
P : トランス容量 (V・A) ϵ : 励磁電流 f : 電源周波数 (Hz) V_{PK} : 抑制電圧 (V)	$\left(\begin{array}{l} \text{トランス容量 (V・A)} \\ \text{励磁電流} \\ \text{電源周波数 (Hz)} \\ \text{抑制電圧 (V)} \end{array} \right)$
--	--

4.4.2 $(dV/dt)_c$, dV/dt ストレス

$(dV/dt)_c$, dV/dt により TRIAC が予期せずにターンオンし、トラブルの例となることがあります。(表 6 参照)

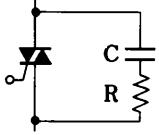
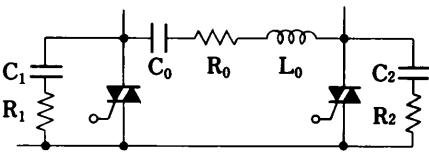
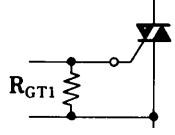
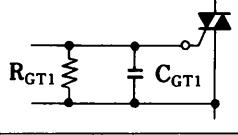
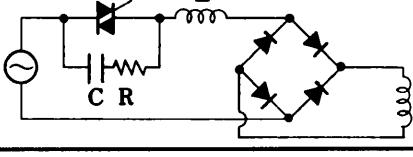
特にブリッジ整流回路を含んだ表 6(b)のような回路の場合、 $(di_T/dt)_c$ が大きくなり、 $(dV/dt)_c$ ターンオンにいたります。(図 4 参照) また、 $(dV/dt)_c$, dV/dt 特性共に温度依存性も大きいので(図 5 参照) CR スナッパなどの dV/dt 保護は、不可欠といえます。(表 7 参照)

CR スナッパの定数は、回路の配線状態等にも影響されますので実回路において確認の上決めることが良策ですが、 $0.1 \sim 0.2 \mu F$, $50 \sim 200 \Omega$ 程度が一般的に使用され、良好な結果が得られています。

図 4 $(dV/dt)_c - (di_T/dt)_c$ 特性の例図 5 $(dV/dt)_c - T_j$ 特性の例表 6 急峻な dV/dt が印加される例

原因	回路例
L 負荷時の電圧と電流の位相ずれによるもの	(a) AC source connected to an inductor L. (b) AC source connected to a bridge rectifier with an inductor load. The graph shows current I and voltage V over time, with a sharp rise in voltage labeled $(dV/dt)_c$.
交流電源の周波数が高い場合	(c) AC source connected to a load. The graph shows voltage Vp and its derivative ωVp over time.

表7 代表的な dV_D/dt 保護回路

区分	対策	回路例
(a)	C, Rの挿入 素子に印加される dV/dt を小さくする。	
	C ₁ , R ₁ , C ₂ , R ₂ の挿入	
(b)	R _{GT1} の挿入 素子の dV/dt 耐量を上げる	
	R _{GT1} , C _{GT1} の挿入 (注)	
(c)	素子に印加される dV/dt を小さくすると共に di_T/dt を下げる C, R, Lの挿入	

(注) G, T₁間にCを挿入した場合、Cの蓄積電荷の影響で $(dV/dt)_c$ 耐量を下げることがあります。G, T₁間のC挿入は実働での確認を行う必要があります。

4.5 TRIACドライブに対する考え方

4.5.1 ゲートドライブについて

TRIACを確実にターンオンさせるためには、ゲートトリガ電圧 (V_{GT})、電流 (I_{GT}) のレベルを越えたトリガ信号を与えることはもちろんですがパルストリガの場合はパルストリガ特性を考慮することと、ラッチング電流 (I_L) を考慮に入れる必要があります。

4.5.2 ゲートドライブの基本

- ① 図6のゲートトリガ特性で、直流ゲートドライブの場合は R_{G1} の負荷線に、パルスゲートドライブの場合は、 R_{G2} の負荷線に設計することが必要です。

② パルスゲートトリガの場合は、TRIAC のゲートトリガ感度が鈍くなります。(図7 参照)

また、トリガ信号が入っている間にオン電流がラッチング電流レベルを越えることが必要となります。これらの点を十分に考慮して回路設計を行ってください。(図8,9,表8 参照)

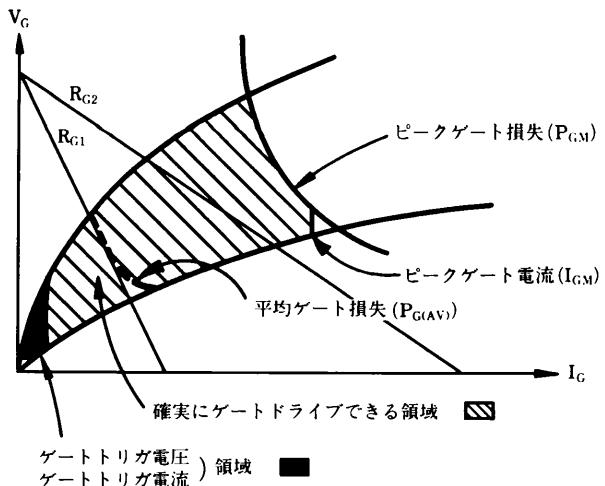


図6 ゲートトリガ特性と、ドライブの条件

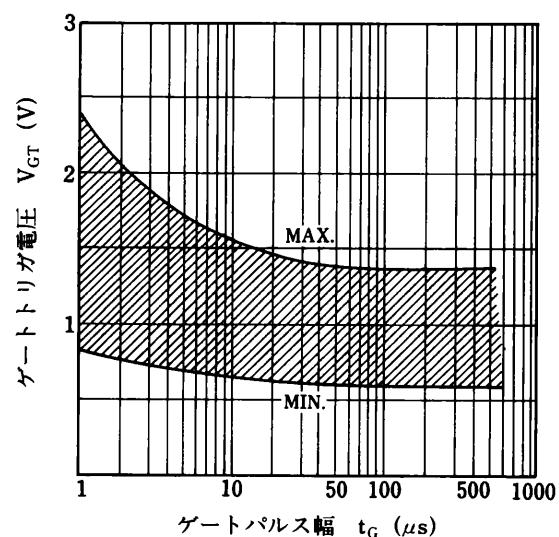
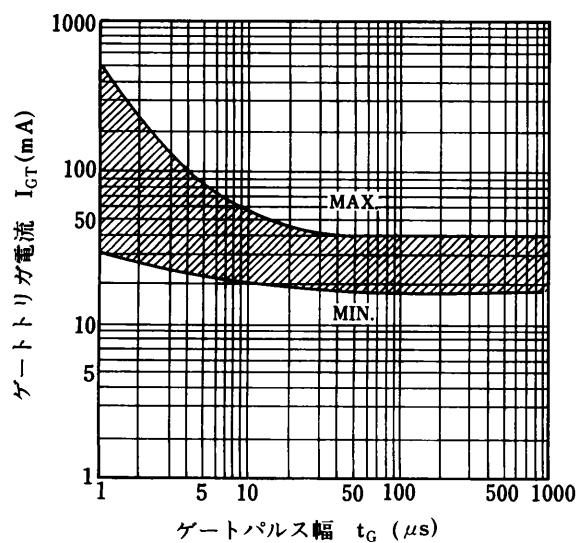
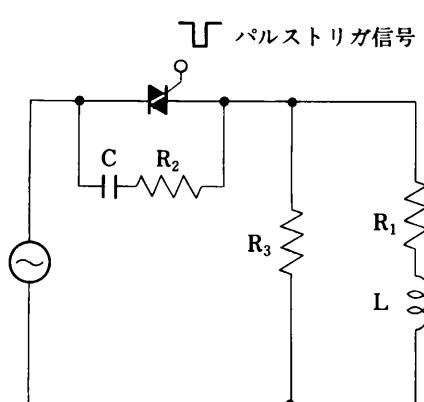
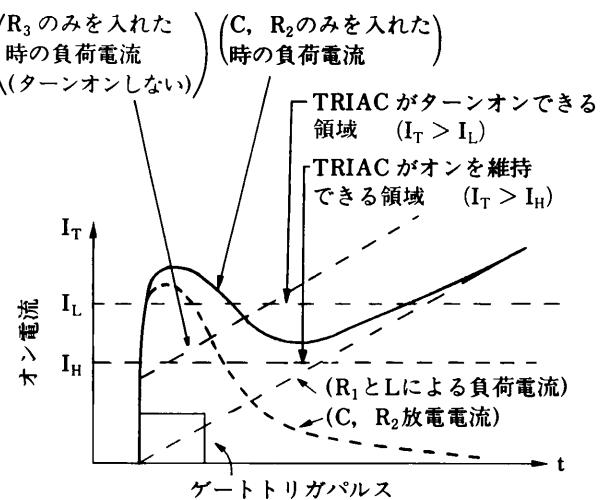


図7 パルスゲートトリガ特性の例



(a)



(b)

図8 I_L 補償の様子

表8 ラッチング電流補償の例

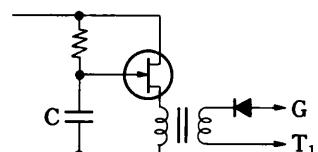
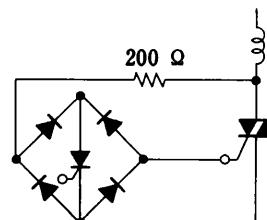
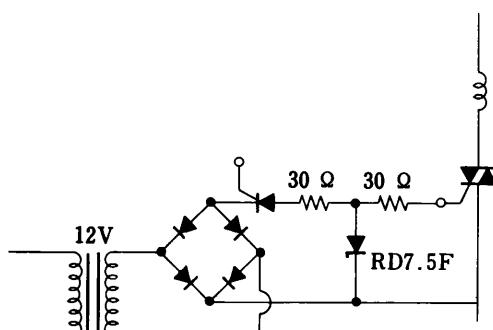
項目	対策例
CRの接続	
ゲートパルス幅を広くすること	



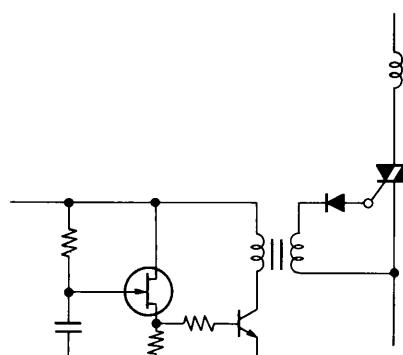
$$C, R の目安 \begin{cases} R = \frac{V(V)}{I_{T(A)}} & (\Omega) \\ C = \frac{\tau(S)}{R(\Omega)} & (F) \end{cases}$$

ここで $(V=20\sim30\text{ V})$
 $(I_T=0.2\sim0.5\text{ A})$

図9 (a)~(e)参照

(a) EUJTによるトリガ回路の例
(Cを大きくする)(b)補助SCR (I_L 小)によるゲートトリガの例

(c)補助SCRによるゲートトリガの例



(d)リンクギングパルスによるゲートトリガの例

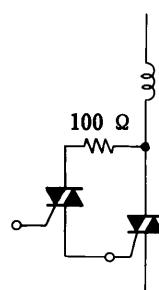
(e)補助TRIAC (I_L 小)によるゲートトリガの例

図9 ラッチング電流補償の例

4.6 TRIACの実装と取扱いに対する考え方

モールド形TRIACの取扱いに関しては、タブへの機械的ストレスを特に注意する必要があります。

4.6.1 はんだ付け

端子へのはんだ付けは次のはんだ温度と時間で行ってください。

$260 \pm 5\text{ }^{\circ}\text{C}$ $10 \pm 1\text{ s.}$

または、 $350 \pm 10\text{ }^{\circ}\text{C}$ $3^{+0.5}_{-0}\text{ s.}$

4.6.2 放熱板の平坦さ

素子が放熱板に当っている範囲の平坦さは $50\text{ }\mu\text{m}$ 以下にし、適切な取付穴と、締付トルクで実装してください。

(6-4 項参照)

タブが歪みペレットわれの原因となります。

この様な場合には押さえ金具を使用してください。(付図6-1参照)

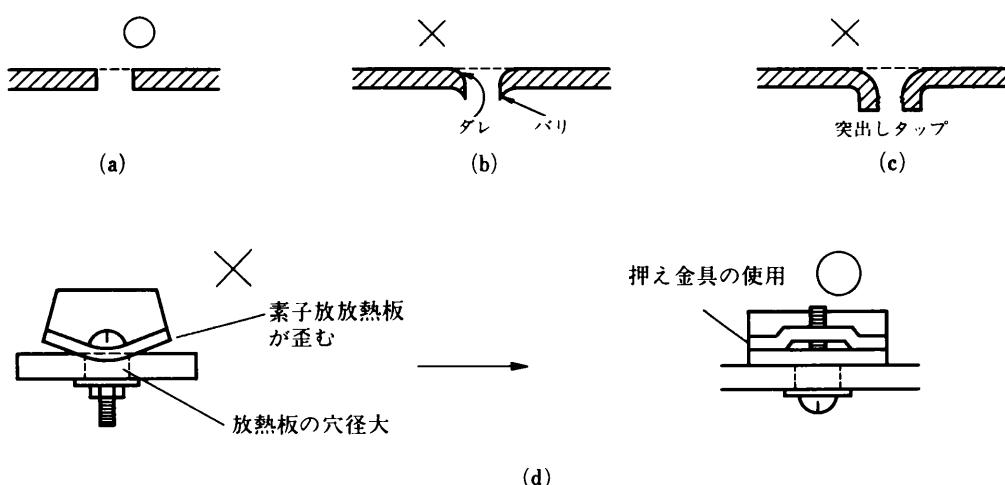


図10

4.6.3 リード線端子の取扱い

リード線の加工は図12(a), (b)のように行い、(c)は絶対に行わないでください。

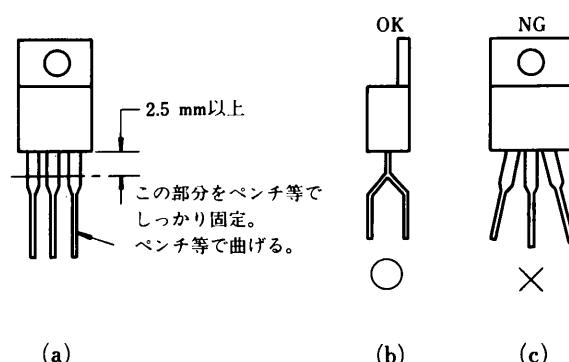


図11

また、リード線はんだ付け後のネジ締め等は絶対に行わないでください。

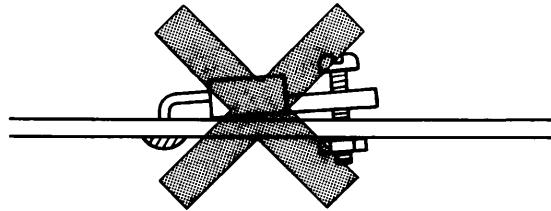


図12

4.6.4 放熱板の取り付け

モールド TRIAC の実装は図13、14の標準実装方法を守ってください。

①絶縁方式(締付トルク 4 kg·cm)

②導電方式および絶縁形AC08「SM

AC10「SM, AC12「SMの実装方式

(締付トルク 4 kg·cm)

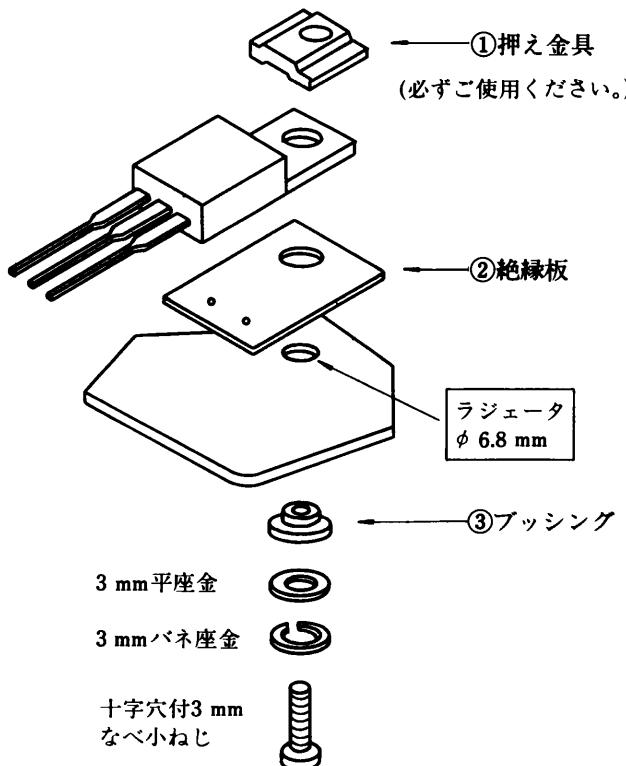


図13

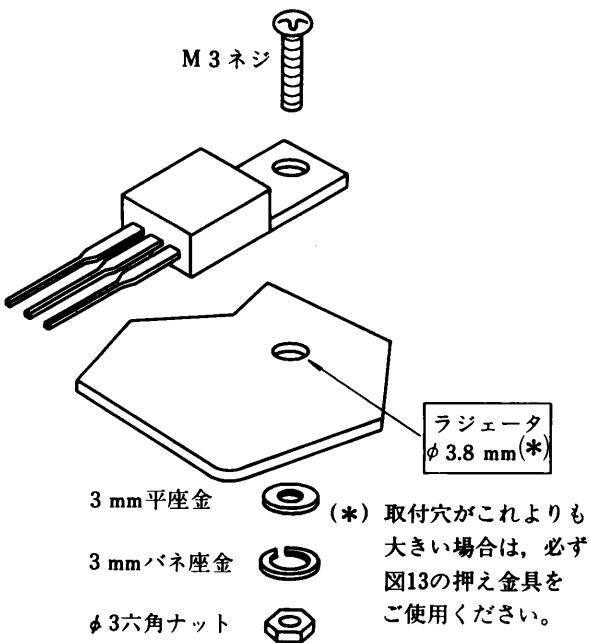


図14

4.6.5 標準取り付け部品

構成部品

表 9

図中番号	部品名	材質	数量
①	押え金具	SPC(冷間圧延鋼)	1
②	絶縁板	マイカ	1
③	ブッシング	ジュラコン	1

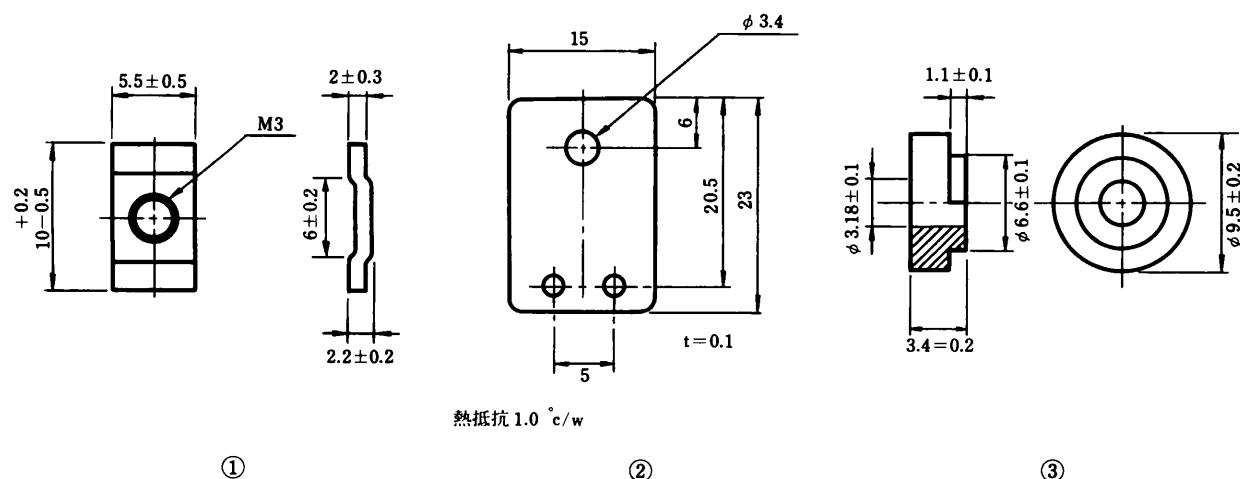
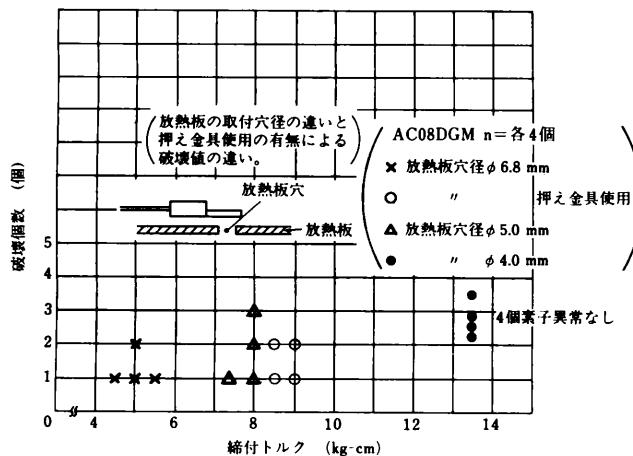
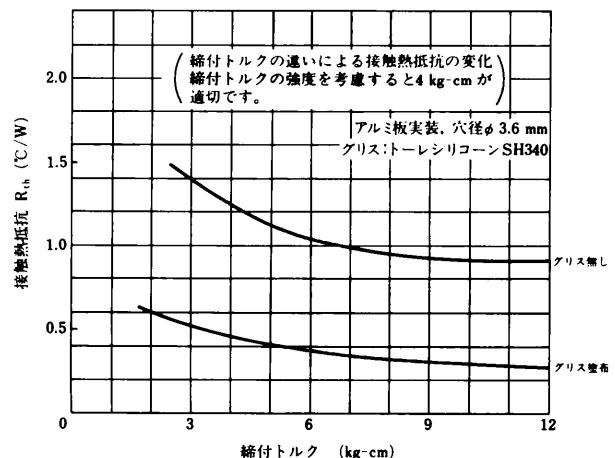


図15 標準取付部品外形図（単位 mm）

付図6-1 締付強度（破壊値）



付図6-2 AC10DGM接触熱抵抗



5. トライアックの短パルス幅サージ電流定格とコンデンサモータ制御への適用例

5.1 トライアックのサージ電流定格

トライアックのサージ電流定格は、通常商用周波数50/60 Hzの1サイクル定格、およびその周波数でNサイクル通電時の定格を規定、表示してあります。その理由は、トライアックが双方向スイッチ素子であり、その応用の大部分が商用交流負荷のオンオフ、あるいは位相制御なので、ランプ点灯時、整流子モータ起動時、電源装置内コンデンサへの突入電流等に対し、使用可能なトライアックの選定データとして必要なためです。他のもう一つの理由は、トライアックは転流特性により制限され、あまり高い周波数での使用ができないためです。(転流特性は、通常転流時臨界オフ電圧上昇率(dv/dt)_C、転流時臨界オン電流減少率(di_T/dt)_Cで規定されます。) 使用例としては、400 Hzの交流電源があります。

ところが、トライアックを破壊あるいは劣化させるサージ電流は、必ずしも商用交流の幅でNサイクルというものでなく、もっと幅の狭い数ms以下~1 μs程度の例も多くあります。一般に雷サージ、開閉サージ等によるサージ電流は、パルス幅、電流ピーク値が不定であり、サージ吸収素子等に、頼るところが大きいのですが、中にはサージ電流の流れる原因がわかっており、その対策も比較的容易にできる場合もあります。その代表的例がコンデンサモータの正逆運転を、2個のトライアックで行う場合に生じる事故例です。本資料では、トライアックの短パルス幅サージ電流定格をもとに、コンデンサモータ制御回路のトライアック破壊防止手段について説明します。

5.2 コンデンサモータ正逆運転回路のトライアックの破壊について

コンデンサモータの正逆運転回路としては、図1、図2の様な基本回路例A,Bがあり、洗濯機、自動ドア、健康機器、プリンタ用モータ等の制御に広く応用されています。図1(A)はトライアックのゲート回路の接続しやすさを優先した例、図2(B)はトライアックの放熱板への絶縁処理の省略を優先した例ですが、破壊はいずれの例も同様に生じます。

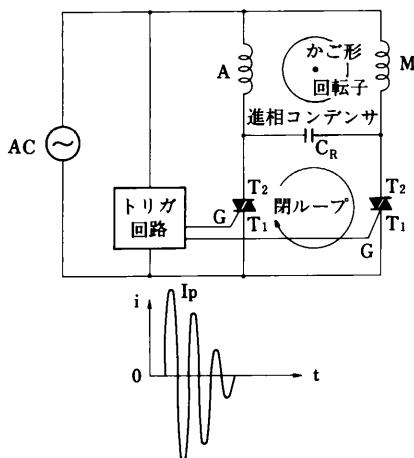


図1. 基本回路例A

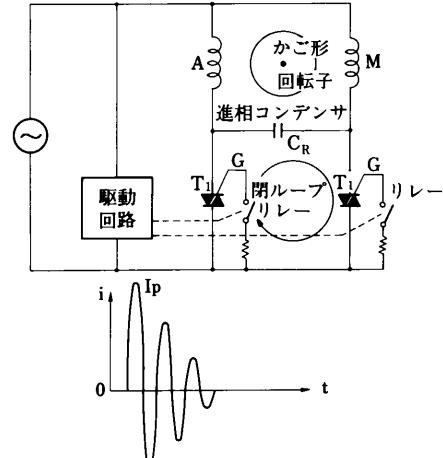


図2. 基本回路例B

図1あるいは図2において、一方のトライアックがオン状態で、モータが例えば正方向に回転しているとき、進相コンデンサ C_R は、主巻線Mと、補助巻線A（正逆運転では主巻線、補助巻線がそのつど変わります。）に流れる電流位相によりますが、最大交流電源電圧の2倍の交流電圧まで印加されます。この最大電圧に充電された時点で、今までオフ状態であったトライアックがオンすると、（目的が逆方向回転のためであれ、誤動作のためであっても）進相コンデンサ C_R の充電電荷の放電ループが形成され、きわめて過大なパルス電流が2つのトライアックに流れ、

一瞬にしてトライアックはショート状態で破壊します。(最大電圧に充電されていなくても劣化、場合によっては破壊にいたります。)

対策として、2個のトライアックが同時オンにならないようにゲート回路を設計します。(例えば一方のトライアックのゲートトリガ電流を零にした後、30 ms後(1.5サイクル後)にもう一方のトライアックのゲートトリガ電流を流す様にする等。(実際は、半サイクルより長く遅れてトリガすれば良いのですが……) たしかに、ひんぱんにあるいは常にトライアックが破壊することは、なくなります。しかし、まだ長時間動作させると、破壊することがあります。ゲート回路が誤動作しているかも知れませんので、ゲート回路をノイズに強い構成にします。ノイズシュミレータ等で比較しても誤動作しません。さらにトライアックも主電極T₂-T₁間にCRアブソーバを接続し、dv/dt等による誤動作が生じにくくします。これでも長時間動作していると劣化、あるいは破壊ことがあります。大きなサージ等が入っていることも考えられますので、サージ吸収素子やフィルタをさらに接続しました。

さて、対策は完璧でしょうか？ 残念ながら答は否です。

誤動作の確率はきわめて低くなり、実用上無視できるような故障率(例えば他の部品の、あるいはトライアックそのものの期待故障率と同レベル程度)になるかも知れません。しかし、零にはなりません。予想しなかった、またはできなかった様なノイズ、サージ、あるいは環境条件等により同時オンし劣化、破壊があると言えます。このあたりは、機械式リレーのように感動電流以上の電流を、ある期間コイルに流さないと接点の閉じないスイッチと半導体スイッチの根本的違いと言えます。

5.3 完整な対策

トライアックを使用した回路は、誤動作により同時オンするものであるという前提で対策します。すなわち、進相コンデンサ C_R の放電電流を制限し、トライアックの破壊電流値より十分小さい値にします。

この放電電流を制限するのに最も効果的なのは、閉ループにインダクタンス L を挿入することです。抵抗を挿入してもある程度効果はありますが、損失による発熱を生じることと、誤動作オン時のオン電流上昇率 (di_T/dt) の制限が不十分であり、進相コンデンサ C_R の容量が $10 \mu\text{F}$ 以下に適用できる程度です。

対策回路例を図 3, 4, 5 に示します。

さて、挿入インダクタンスを L (H), 進相コンデンサ C_R の充電電圧を $V_C(V)$ とすれば、放電電流のピーク値 I_p よりパルス幅 τ はそれぞれ次式で示されます。

$$I_p = V_C / \sqrt{L/C_R} \quad (\text{A})$$

$$\tau = \pi \cdot \sqrt{L \cdot C_R} \quad (\text{s})$$

実際に測定しますと、パルス幅 τ は、ほぼ計算通りで、電流ピーク値 I_p は、10~20 % 小さく測定されます。(トライアックのオン電圧、およびターンオン時間の影響と思われます。)

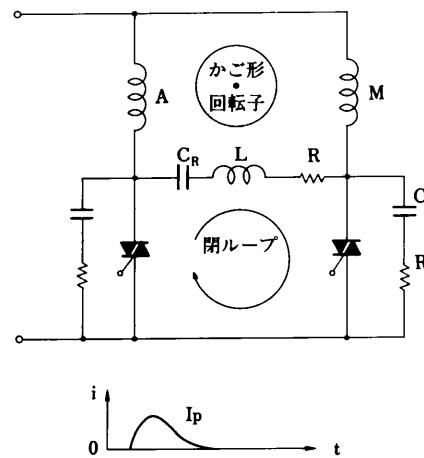


図3. 対策回路 A

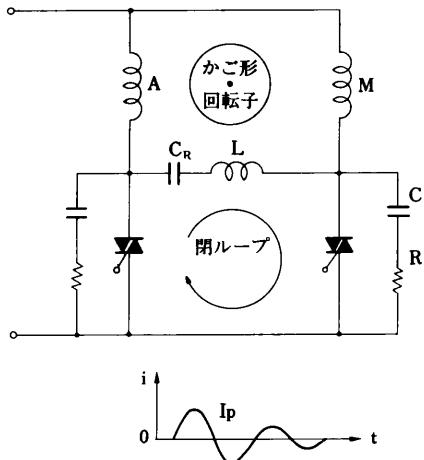


図4. 対策回路 B

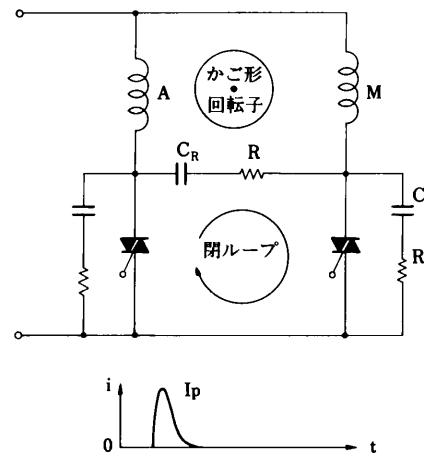


図5. 対策回路 C

トライアックの定格に対し検討するときは、計算値を使用すればより安全といえます。また、回路の配線にもよりますが、通常 $1(\mu\text{H})$ 程度のインダクタンスは回路に入ってしまうようです。(配線長、コンデンサの種類等に注意が必要です。)

図6, 7は、挿入インダクタンスLに対する電流ピーク値Ip、パルス幅τの関係を示すものです。また、図8, 9, 10に3 AトライアックAC03[]GM, 5 AトライアックAC05[]GM, および8, 10, 12 AトライアックAC08[]GM～AC12[]GMの許容オン電流、破壊値例を示します。

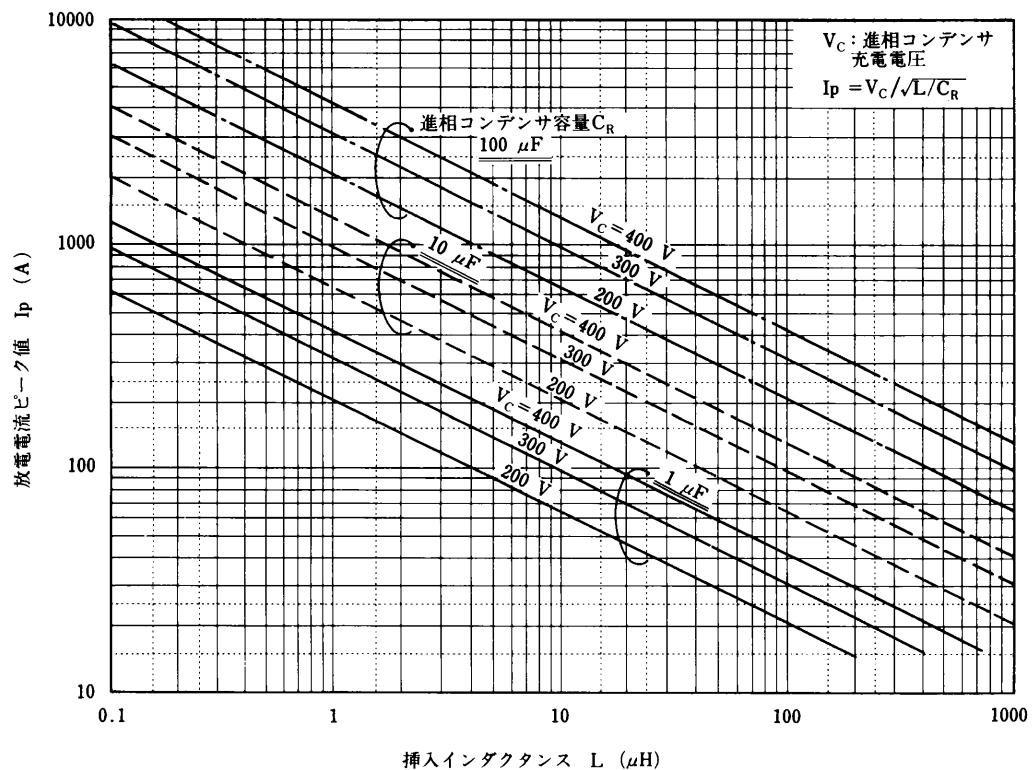


図6. 挿入インダクタンスL-放電電流ピーク値Ip特性

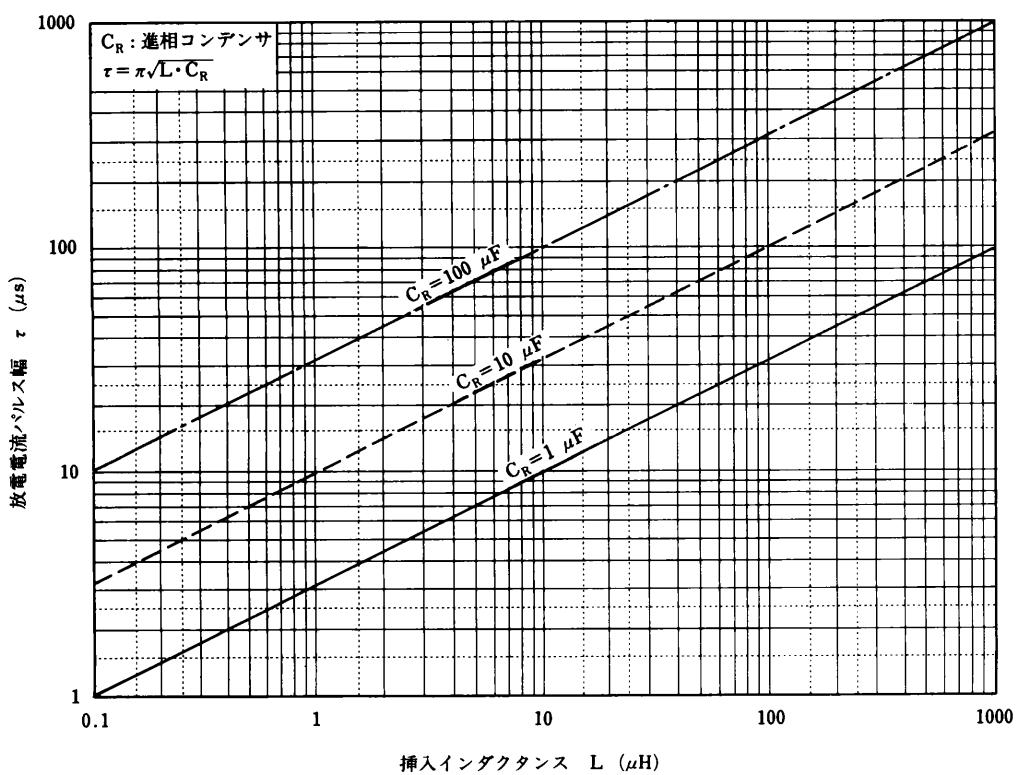


図7. 握入インダクタンスL—パルス幅τ特性

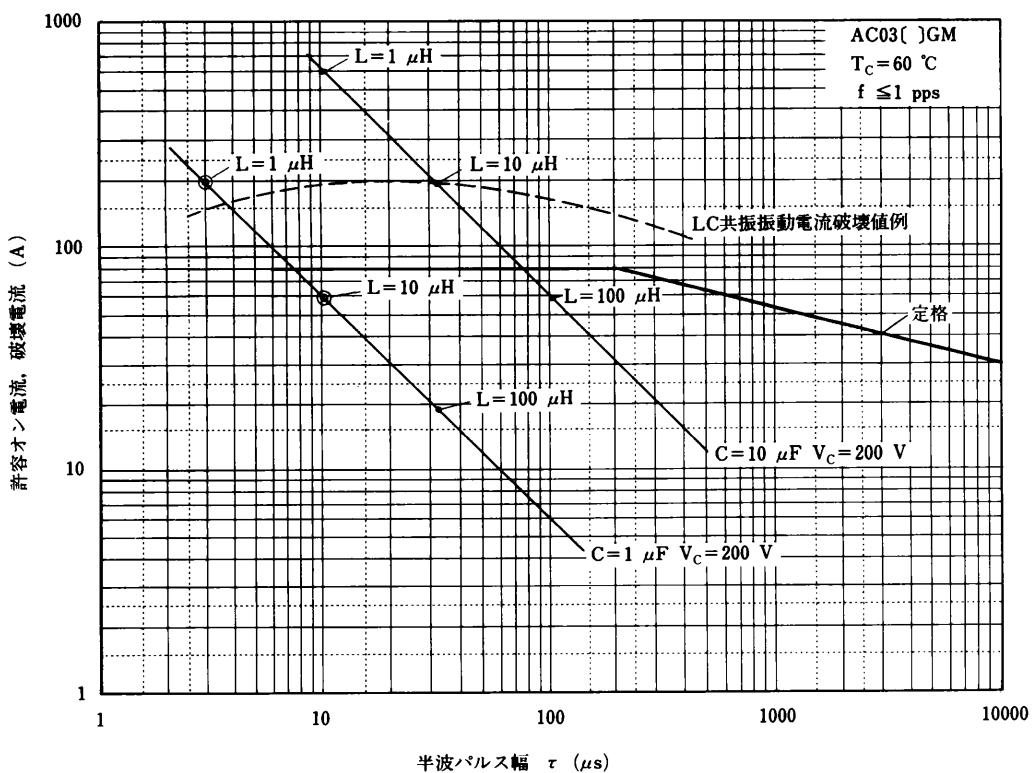


図8. AC03()GMの例

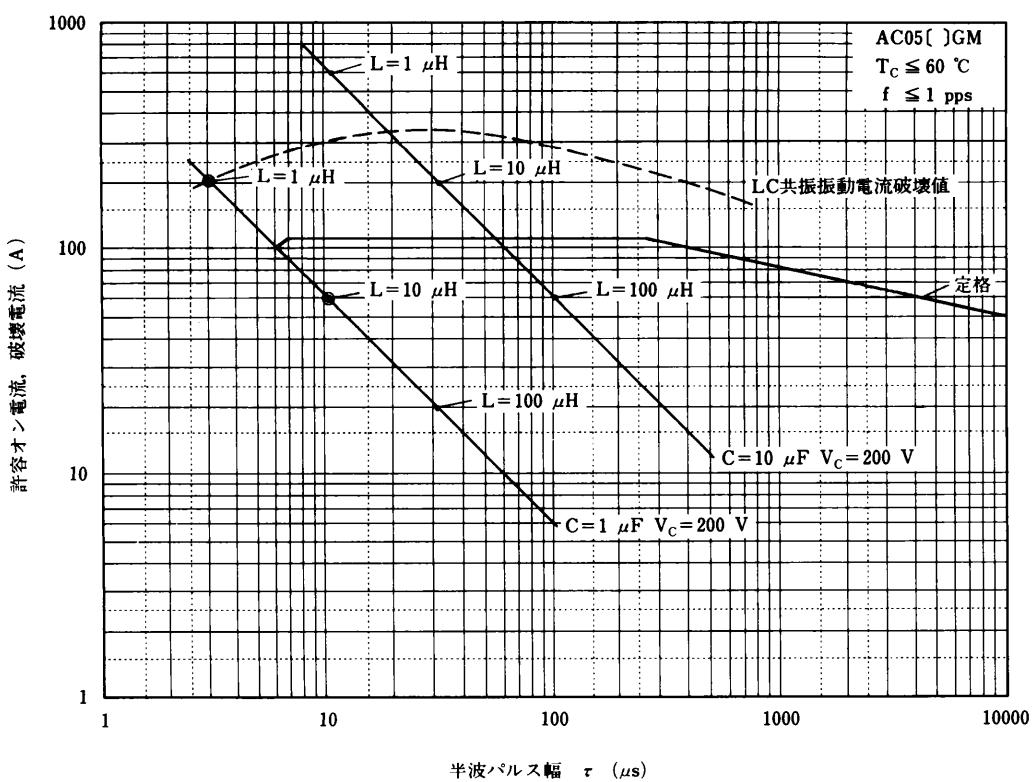


図9. AC05()GMの例

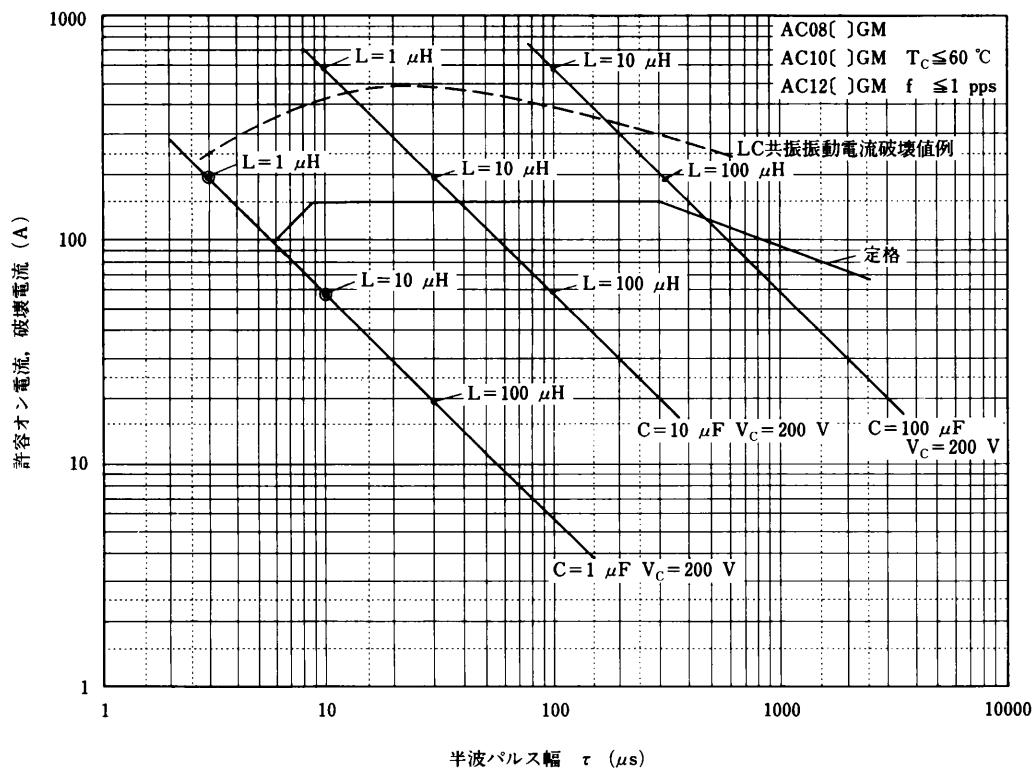


図10. AC08()GM～AC12()GMの例

5.4 図の使用例

例. $C_R = 1 \mu F$ のモータを AC03[]GM で制御。の場合, L はどの程度の値が必要か。ただし $V_{CR} = 200 V$ とする。

まず、図 6、図 7 から $V_{CR} = 200 V$ で、 $L = 1 \mu H$ (L なしに近い) のときの $I_p \approx 200 A$, $\tau \approx 3 \mu s$ と読みとれます。この値は、AC03[]GM の破壊値以上であり、インダクタンス L が必要です。

図 6 から $L \geq 6 \mu H$ で、 $I_p \leq 80 A$ になることがわかります。余裕を見て、 $L = 10 \mu H$ を設定しますと

$$I_p \leq 60 A, \tau \approx 10 \mu s$$

となって定格内に入ります。抵抗を挿入する場合は、 $V_C = 200 V$ ですので 4Ω を接続すれば $I_p \leq 60 A$ になり使用可能となります。

このような手順を C_R が大きい場合にも適合すれば、必要なインダクタンスあるいは抵抗を設定できますが……。

実際の回路基板等へ適用するに当っては、大きな値のインダクタンスが必要であり外形、価格に問題がある、あるいは抵抗値を大きくする必要があって、損失発熱に問題がある等の事態を生じると思われます。したがって最終的には、次のような検討判断が必要になると考えます。

① オンオフ頻度が高い、開閉火花が出ないこと、または音の出ないこと等の理由で、トライアックを使用せざるを得ない。しかも、トライアックが破壊して装置が動作しなくなることは絶対許されない場合。

前記計算により求めたインダクタンス L と抵抗 R の両方を挿入するのが最も好ましい。少なくとも L だけは必ず挿入する。

② トライアックが破壊して装置が動作しなくなる確率が十分低ければ許され、実力上は問題ない程度に決める場合。

A. 定格と破壊値の差あるいは、実装装置の配線のインダクタンス等を期待し、抵抗 R あるいはインダクタンス L を計算より小さな値でませてしまう。一応進相コンデンサに充電される電圧最大値によるサージ電流に耐えることは、試作し確認する。

B. 定格電流の大きいトライアックを使用する。前記例で AC03DGM の代りに AC08DGM を使用すれば、 $C_R = 1 \mu F$ で $V_{CR} = 200 V$ のとき配線 $L \geq 1 \mu H$ であれば、実力的には耐えます。

③ 破壊して装置が動作しなくなる確率が低ければよしとする場合。

回路的に同時オンしないことをノイズ試験、その他で十分確認します。電流制限抵抗やインダクタンスは挿入しません。万一同時オンした場合、トライアックは確実に破壊します。

以上の処置で、特に②項のように実力的見地で判断される場合は、素子製造メーカーと十分相談していただきますようお願いいたします。短パルス幅サージ電流ということで、トライアックのターンオン特性のバラツキ等による実力差や、設計変更等による実力差を生ずる可能性があることと、トライアックの場合4つのトリガモードがあり、モードによる破壊値に差があること（電圧印加通電方向と破壊極性が一致しない場合があり、短絡故障にいたるまでに耐圧劣化、ゲート特性劣化等を生じるなど、かなり複雑な破壊をいたします）等につき十分な確認が必要です。

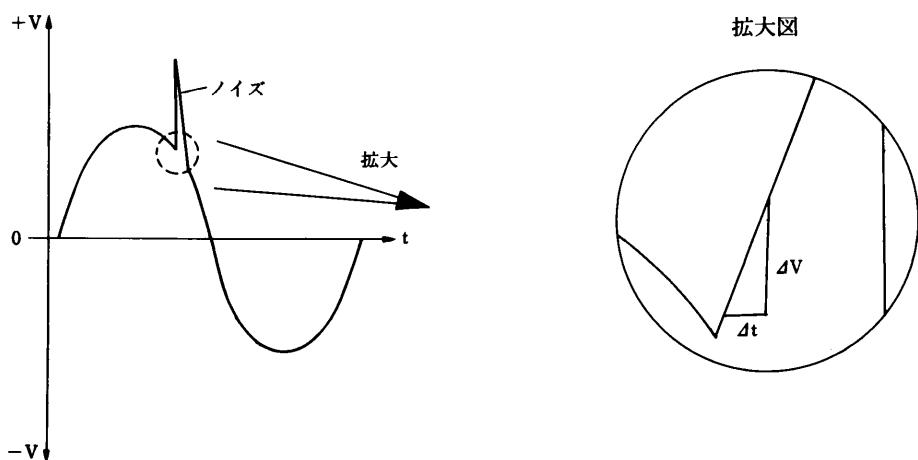
また、 dv/dt 保護用のCRアブゾーバは各トライアックの許容 dv/dt になるように、選定すれば良いわけですが、一般的には $C=0.1\sim0.47 \mu F$, $R=20\sim100 \Omega$ 程度です。モータの種類によっては dv/dt が比較的小さいものもあり、同様に実セットによる確認が必要です。

6. 小形SCRのdV_D/dtについて

6.1 dV_D/dtによる誤点弧メカニズム

dV_D/dt とは、交流電源電圧波形に重畠されるサージ電圧(図1参照)や、スイッチ投入時の印加電圧の立ち上がり($\Delta V/\Delta t$)の傾斜です。

図1 交流電源電圧波形



dV_D/dtによる誤点弧は、アノードに正、カソードに負の電圧が急激に印加されたときに起ります(アノードに負、カソードに正の電圧が急激に印加されても、SCRはカソードから、アノードには電流が流れませんので、誤点弧は起りません)。

この誤点弧メカニズムは次のとおりです。

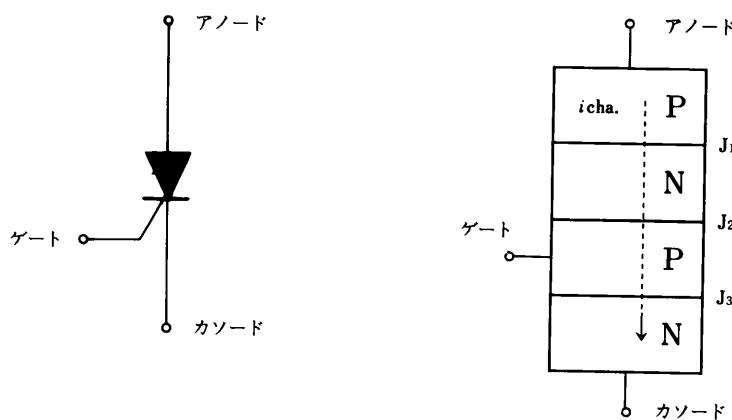
SCRにdV_D/dtの高い電圧が印加された場合、逆バイアスされている接合J₂の接合容量C_{J2}を通して変位電流(充電電流)

$$i_{cha.} = C_{J2} \cdot dV_D/dt$$

が流れます。

dV_D/dtによりSCRが誤動作を起こすのは、この変位電流によってSCRのゲートがバイアスされ、自己トリガするためです(図2参照)。

図2 SCRのシンボル・マークと原理的構造図



6.2 dV_D/dtと各種条件との関係

dV_D/dtと各種条件の関係は、下記のとおりです。

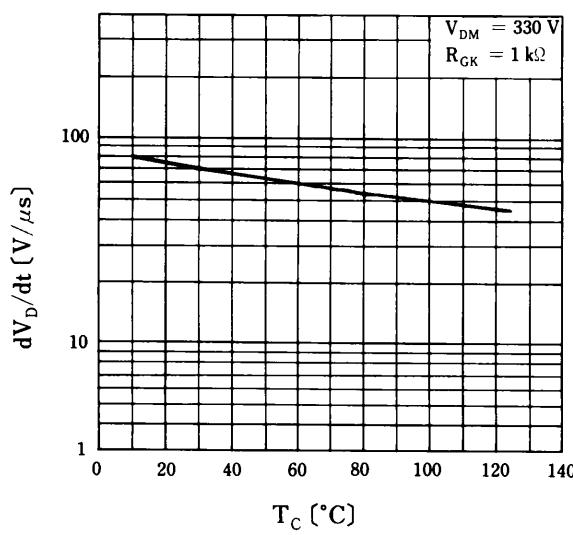
6.2.1 温 度

温度が高いとdV_D/dt耐量は、小さくなります(図3参照)。

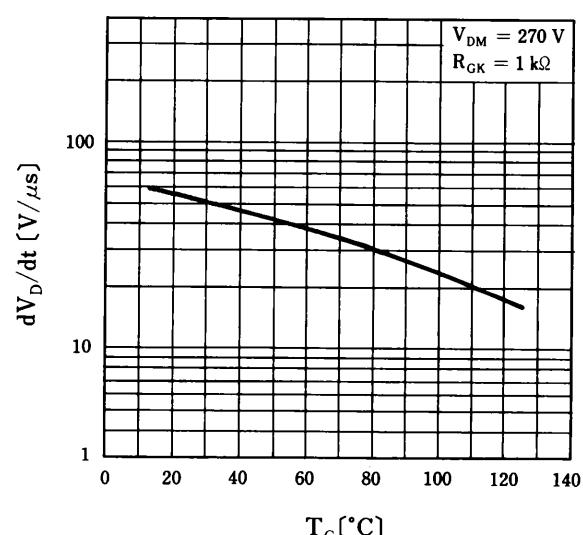
これは、ゲート・トリガ電流(I_{GT})が温度に対して、正の温度係数を持っており、高温になると見かけ上高感度になるためです(誤点弧しやすくなる)。

図3 dV_D/dtの温度特性例

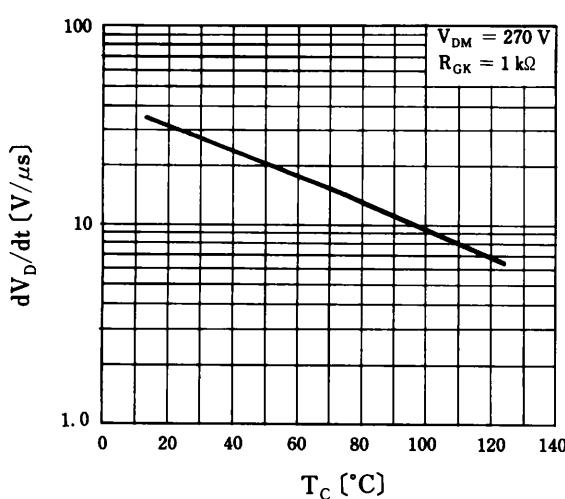
(a) 03FJMG



(b) 2V5P4M



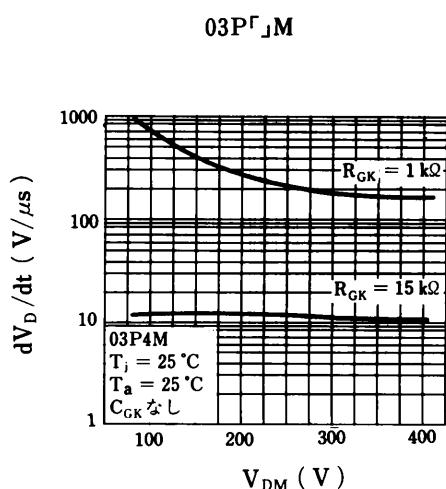
(c) 3PFRMH



6.2.2 印加ピーク電圧

印加ピーク電圧が高いと dV_D/dt 耐量が小さくなります(図4参照)。これは、印加ピーク電圧が高くなると、変位電流が流れている時間が長くなり、(dV_D/dt を一定値とした場合)、パルス I_{GT} との関係(ゲートパルス幅が大きくなるとより小さいゲート電流でSCRがトリガされる)で誤点弧しやすくなるためです。

図4 dV_D/dt の V_{DM} 特性例



6.3 dV_D/dt による誤点弧を防ぐ方法

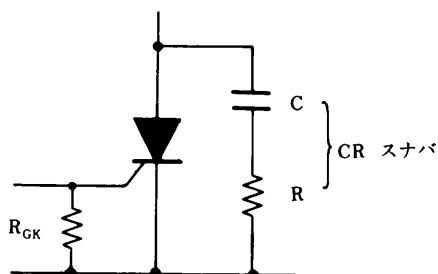
6.3.1 CRスナバによる方法

発生する dV_D/dt は、変えられませんが、コンデンサと抵抗によるCRスナバを接続すればSCRに印加される dV_D/dt を抑制することができます(図5参照)。

これは、SCRに印加された電圧が、CRの時定数を持つ充電電圧波形となるためです。

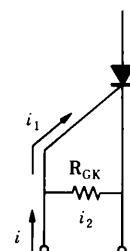
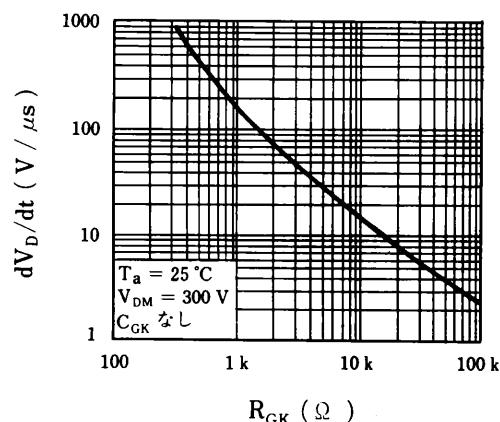
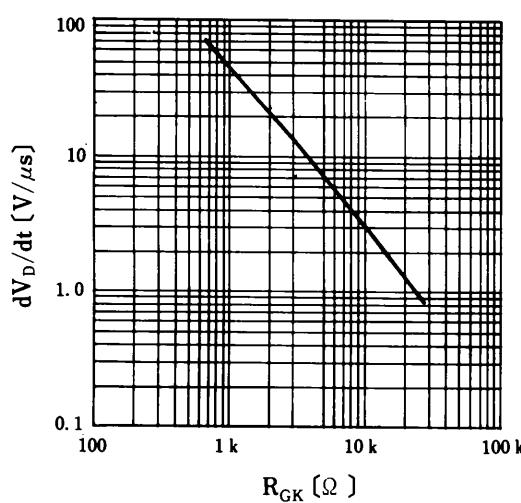
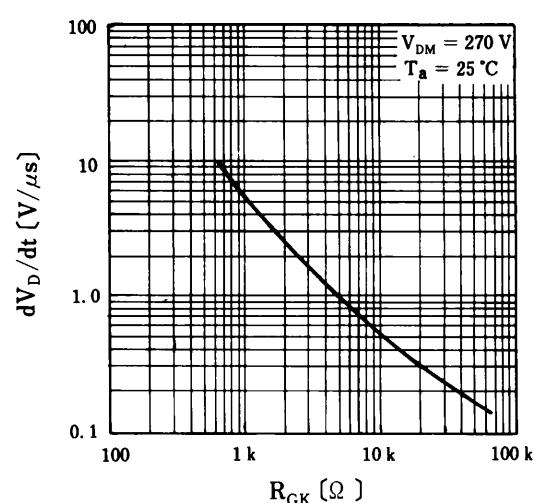
また、CRの値は、一般的には $0.1 \mu\text{F}/100 \Omega$ 程度ですが、実機の中で選定してください。

図5 CRスナバによる方法



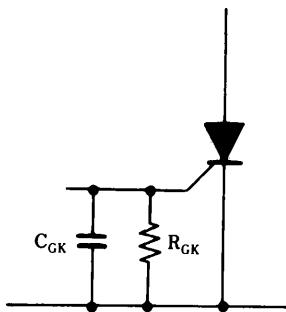
6.3.2 ゲート・カソード間抵抗 (R_{GK}) による方法

ゲート・カソード間抵抗 (R_{GK}) の値を下げることにより、dV_D/dt 耐量を見かけ上、大きくすることができます。これは、変位電流がこの R_{GK} により i_1, i_2 に分流するためです(図 6 参照)。

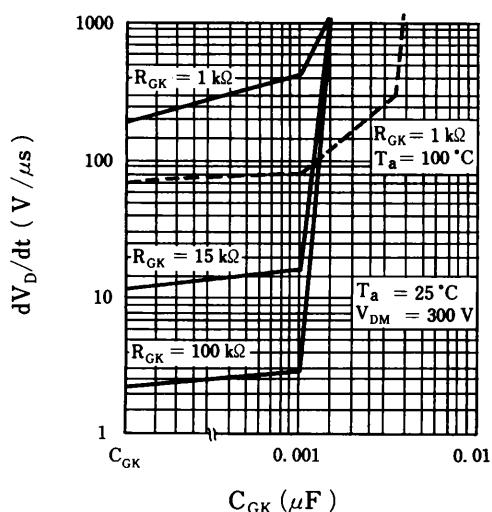
図 6 R_{GK} -dV_D/dt 特性例(a) 03P_JM(b) 03P_JMG(c) 3P_JMH

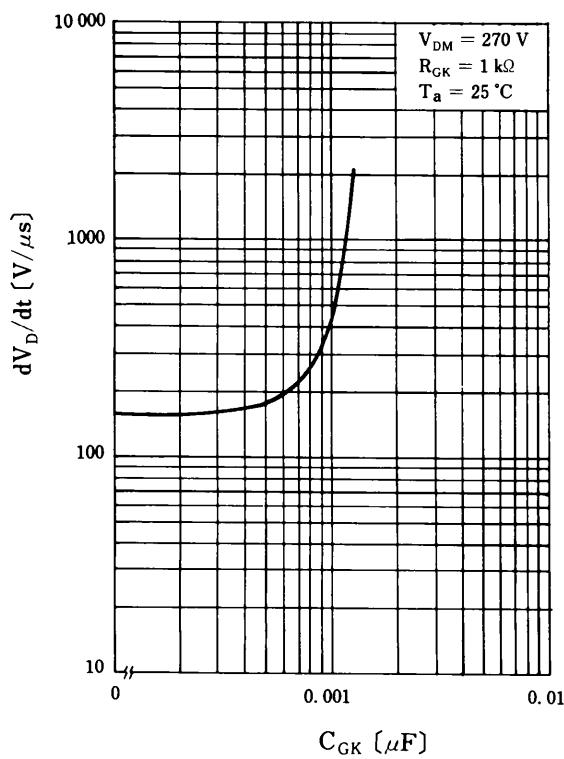
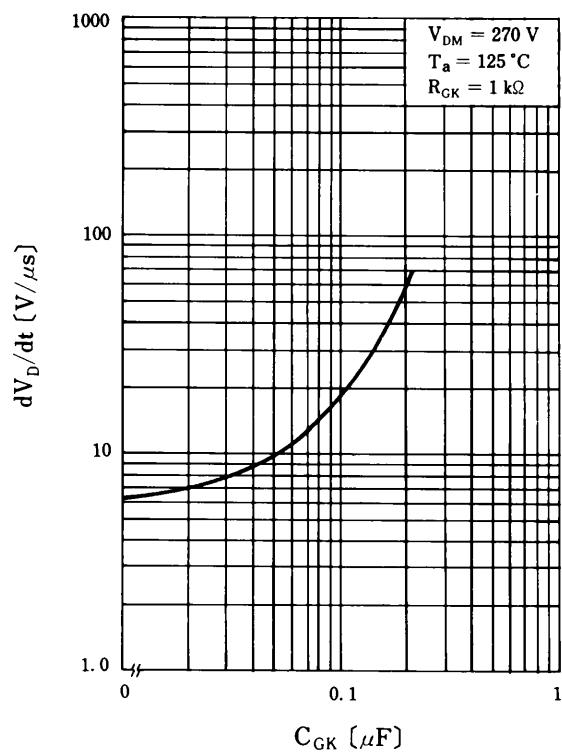
6.3.3 ゲート・カソード間容量 (C_{GK}) による方法

ゲート・カソード間に容量を挿入することにより、dV_D/dt 耐量を見かけ上、大きくすることができます。これは、R_{GK} と同等で、変位電流が分流するためです。

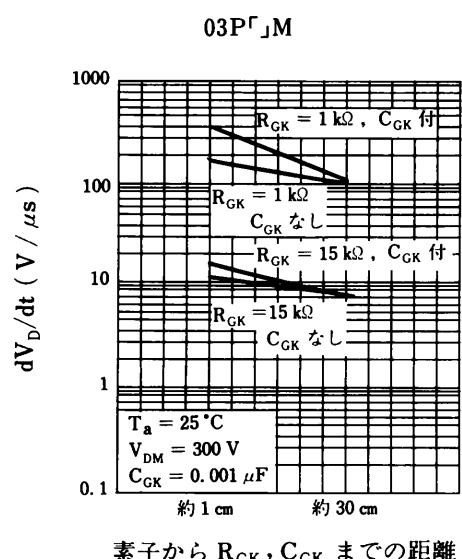
図7 C_{GK}, R_{GK} による方法図8 C_{GK}-dV_D/dt 特性例

(a) 03P7M



(b) 2P^rLM(c) 3P^rMH

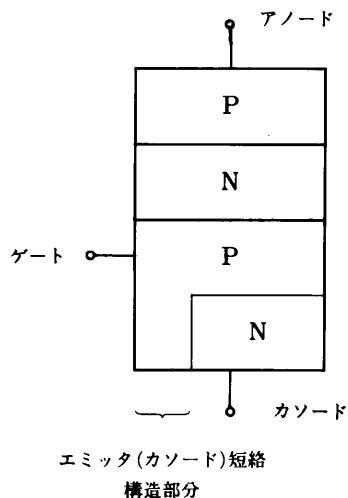
注 R_{GK} , C_{GK} による方法について説明しましたが、図9に見られますように、素子と R_{GK} , C_{GK} との間の距離が長くなると配線のインダクタンス分により効果が薄れてしましますので注意が必要です。

図9 素子と R_{GK} , C_{GK} 間の距離と dV_D/dt 特性例

6.4 中形SCR (5A以上のSCR)について

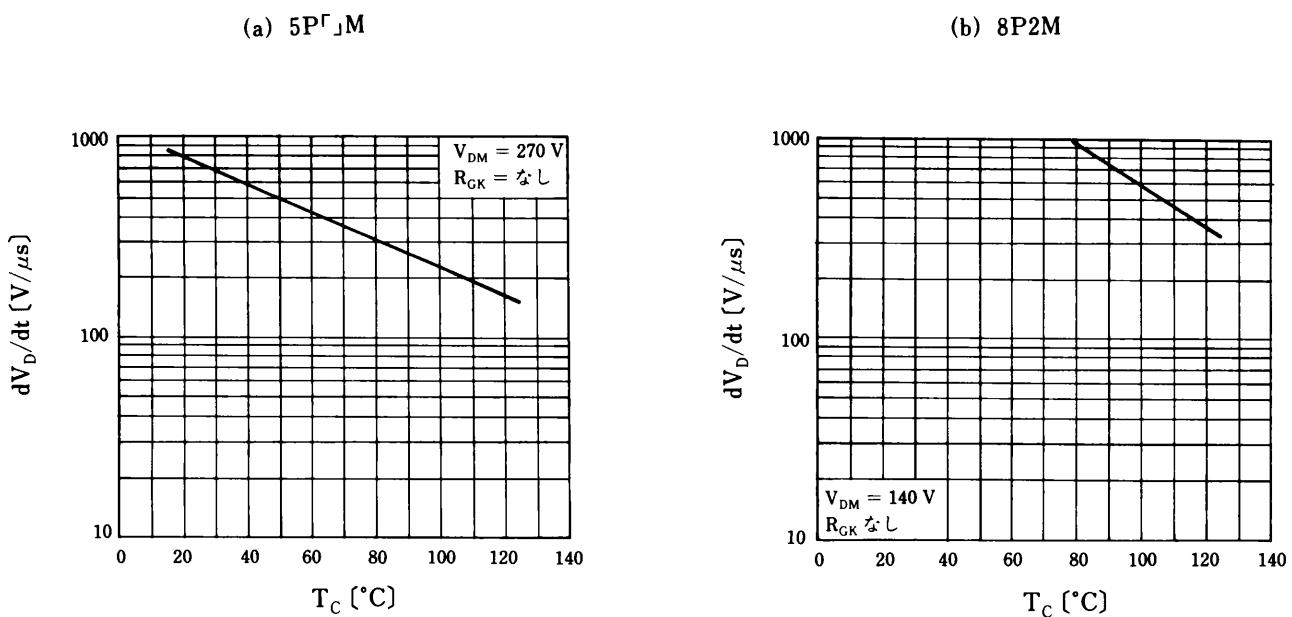
中形 SCR は、チップ内のゲート・カソード間に並列抵抗を作り込んだ、『エミッタ短絡構造』となっております(図10参照)。

図10 SCRの原理的構造図(エミッタ短絡構造)



この構造の場合、等価的に R_{GK} が内蔵された形となりますので、ゲート・トリガ電流は 10 mA 程度と鈍くなりますが(小形 SCR は 200 μ A 程度で高感度)、 dV_D/dt 耐量は 100 V/ μ s 程度と大きくなります(図11参照)。

ゲート・トリガ電流(I_{GT})と dV_D/dt はトレード・オフの関係にあり、比較的高感度が要求される小形 SCR では、 I_{GT} を優先し、比較的誤動作耐量が要求される中形 SCR では、 dV_D/dt を優先してこの構造が使われています。

図11 dV_D/dt の温度特性例

7. サイリスタの繰り返しパルストリガ特性について

7.1 サイリスタのパルスゲートトリガ特性

一例として図1、2に3 AのTRIACの、方形波パルスに対するパルス幅とゲートトリガ電流 i_{GT} 、ゲートトリガ電圧 v_{GT} の特性例を示します。

パルス幅が狭くなるとゲートトリガに必要な電流 i_{GT} 、電圧 v_{GT} が急に増加していることが分かります。

このとき、図1に示した定電荷の傾斜という破線に、狭いパルス幅での電流曲線の傾斜が近くなっていることに注目してください。

$$\text{電荷 } Q = \text{電流 } I \times \text{時間 } t \cdots \cdots \cdots \text{一定}$$

$$\text{破線は } 100 \text{ mA} \times 1 \mu\text{s} = 100 \times 10^{-3} \times 1 \times 10^{-6}$$

$$Q = 1 \times 10^{-7} (\text{C})$$

これから、サイリスタのトリガは、ゲートに蓄積される電荷がある一定のレベルに達すると素子がオンすると理解され、短い時間内にゲートに必要な電荷を得るために、直流トリガより大きな電流 i_G （したがって大きな電圧 v_G ）を必要とします。

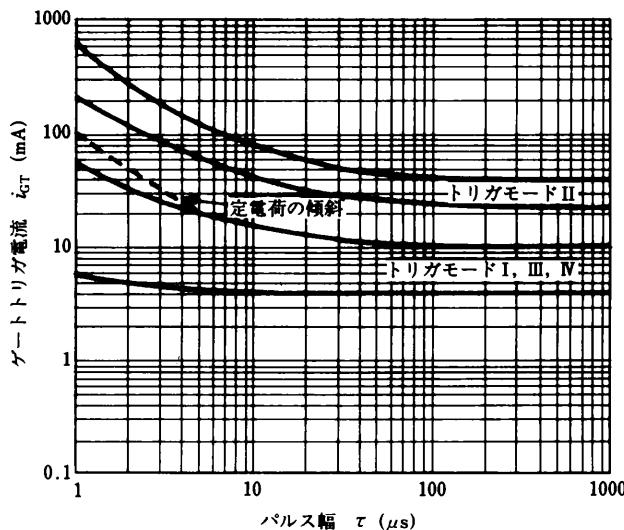


図1 AC03GM $i_{GT}-\tau$ 特性例

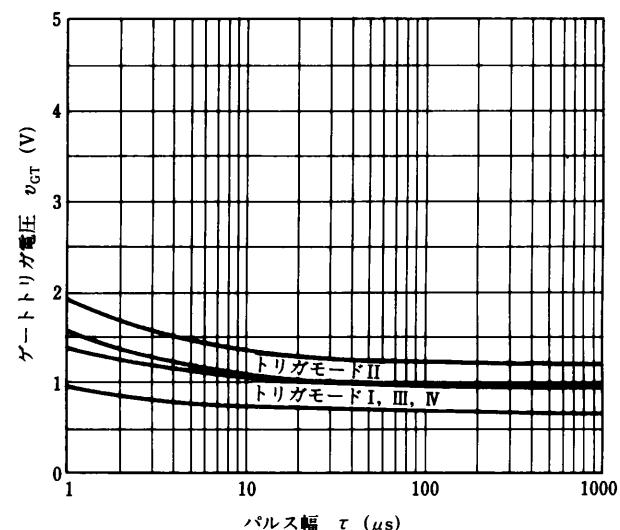


図2 AC03GM $v_{GT}-\tau$ 特性例

なお、図1、2は方形波パルスに対する特性として示してありますが、総計した電荷が適当であれば、どのような波形でもかまいません。

通常は、コンデンサ放電による指数関数的パルスが用いられることが多いと考えられます。その放電電流波形をプロットしたとき、部分的にでも図1に示す $i_{GT}-\tau$ 特性よりも十分大きい電流が得られていれば問題ないと言えます。

また、前記一定電荷： $1 \times 10^{-7} (\text{C})$ 以上がトリガに必要な電荷としますと、下図3のようにトリガ素子等によってコンデンサの充電電荷をサイリスタのゲートに送り込んでトリガする回路のコンデンサ容量について、その最小値の目処をつけることができます。

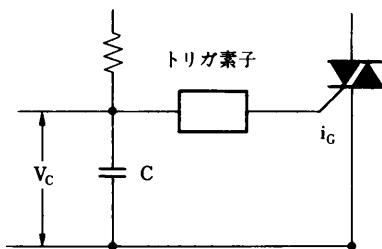


図3 トリガ素子によるトリガ回路

つまり、条件として

- ① コンデンサの充電電荷は100 %サイリスタのゲートに供給される(トリガ素子あるいは、直列に入る抵抗、他の損失はないものとする)。
- ② V_C を10 Vとする(実際にトリガ素子のスイッチング電圧で決まる)。

とすると、

$$Q = CV = 1 \times 10^{-7} (C) \text{ から}$$

$$C = \frac{Q}{V} = \frac{1 \times 10^{-7}}{10} = 1 \times 10^{-8} (F)$$

pFで示すと10000(pF)以上のコンデンサでなければトリガできないことがわかります。

上記試算は、トリガ素子、他の損失を無視していますし、温度特性等も考慮した確実なトリガということからは通常10倍大きい0.1 μF 程度のコンデンサが使用されます。

7.2 サイリスタの繰り返しパルスによるトリガ特性

一例として、図4に12 AのTRIACの方形波繰返しパルスによるゲートトリガ特性を示します。

横軸はDuty(%)で示してあります。したがって各パルス幅において周期:Tは、

$$T = \frac{\text{パルス幅}}{\text{Duty}}$$

例としてパルス幅2 μs で、Duty=10 %のとき

$$T = \frac{2 \mu s}{0.1} = 20 \mu s, f = 50 \text{ kHz} \text{ です。}$$

また、Duty 100 %は直流です。

縦軸は直流におけるゲートトリガ電流の何倍になっているかを示してあります。

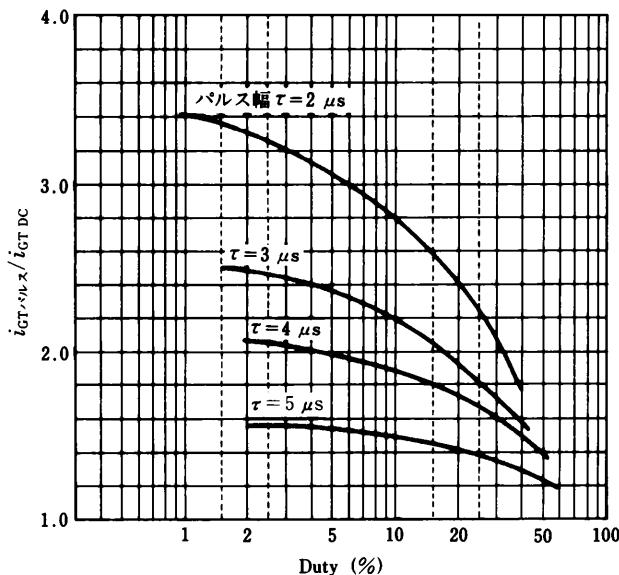


図4 AC12GMパルスゲートトリガ特性例

これから Duty が数%~10 %以下は単パルスの場合のゲート感度に収束し(図1に示したような数値), 繰返しパルスなので, 直流ゲートトリガ電流, 電圧に近くなるのではという予想をされるかも知れませんが, 逆に単パルスの場合に近くなっています。

また, 同じ Duty であれば, パルス幅が狭くなるほどゲートトリガ電流は大きくなります。

むしろ, 直流トリガの場合に必要なトリガ電流が“1”であるとしますと, Duty 10 %で同じ面積を考えれば(平均値)ピーク値が“10”になりますが, それが 2~3 でトリガできる(それぞれパルス幅が $\tau = 2 \mu\text{s}$, $\tau = 4 \mu\text{s}$ の場合)という点を評価すべきでしょう。

いずれにしても, 繰返しパルスだからといって Duty が小さくなると, パルス幅が狭くなる分だけトリガ電流を大きくする必要があり, 設計余裕としては, 図4に示します $i_{GT\text{パルス}}/i_{GT\text{DC}}$ の数値に 1~2 を加えた倍率以上で設計することをお奨めします。

すなわち, 直流あるいはパルス幅 100 μs 以上によるトリガを行なう場合はゲートトリガ電流は規格値の 2~3 倍以上流すように設計し, パルス幅 2 μs で Duty 10 % の場合は 4~5 倍以上流すように設計します。

ゲート定格については直流ゲートトリガ電流の 10 倍以上の十分大きい値になっており問題はありません。またパルストリガの際のラッチング電流に対する配慮は単パルスの場合と同様に必要です(CR直列回路を T_2-T_1 間に接続)。

8. サイリスタのゲートトリガ回路定数と周辺技術

8.1 トリガ回路定数の設計

— R_S 範囲の検討—

(V_S は与えられているものとします)

図1に示すトリガ回路の設計で考慮すべき点は次の2点です。

(1)ゲート電力定格 (カタログでは P_{GM} , $P_{G(AV)}$, I_{FGM} で規定)

(2)ゲートトリガ電圧, 電流 (カタログでは V_{GT} , I_{GT} と表示)

図2, 図3に示すように

$R_S MIN.$ の決定はゲート電流が I_{FGM} を越えず,かつ P_G ラインに接するかまたは I_X , V_X を通る負荷線となります。

$R_S MAX.$ の決定

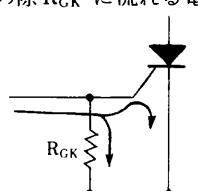
図2, 図3に示すように

$R_S MAX.$ は I_{GT} , V_{GT} を通る負荷線となり, 表1の計算式で求められます。このとき $R_S MAX.$ に対しては V_{GT} , I_{GT} 共に素子が使用される温度範囲で最も低温時の値を指定して使用します。

表1. $R_S MAX.$ の決定

	R_{GK} の接続 ①	
	有	無
$R_S MAX.$	$\frac{V_S - V_{GT}}{I_{GT} + \frac{V_{GT}}{R_{GK}}}$	$\frac{V_S - V_{GT}}{I_{GT}}$

① 小形サイリスタのように R_{GK} を接続して使用するサイリスタでは、 $R_S MAX.$ 設計の際 R_{GK} に流れる電流を見込んでください。



$R_S MIN.$ の決定

$R_S MIN.$ は、図2に示すように P_G が目安となり、表2の計算式で求められます。

表2. $R_S MIN.$ の決定

	$\frac{V_S - V_X}{I_X} > \frac{P_G}{I_X^2}$	$\frac{V_S - V_X}{I_X} < \frac{P_G}{I_X^2}$
$R_S MIN.$	$\frac{V_S - V_X}{I_X}$	$\frac{V_S^2}{4 P_G}$ か $\frac{V_S - V_M}{I_{FGM}}$ いずれか大きい値

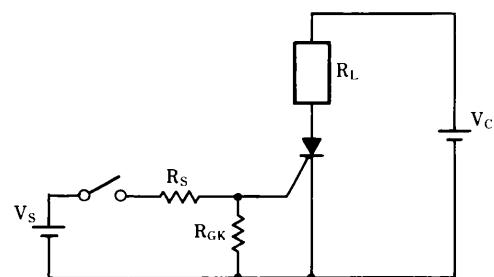


図1. サイリスタゲートトリガモデル図

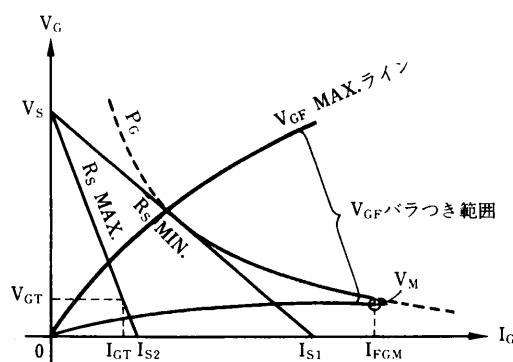
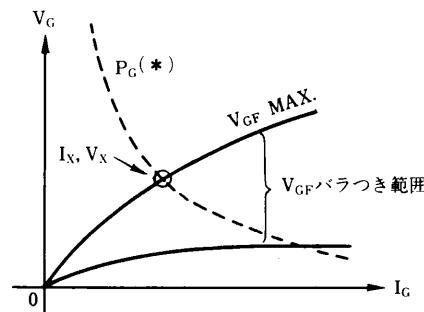


図2. サイリスタのゲート特性と負荷線



(*) P_G : パルストリガの場合 P_{GM}
DCトリガの場合 $P_{G(AV)}$
とします。

図3. サイリスタのゲート特性

8.2 オン・オフの保持について

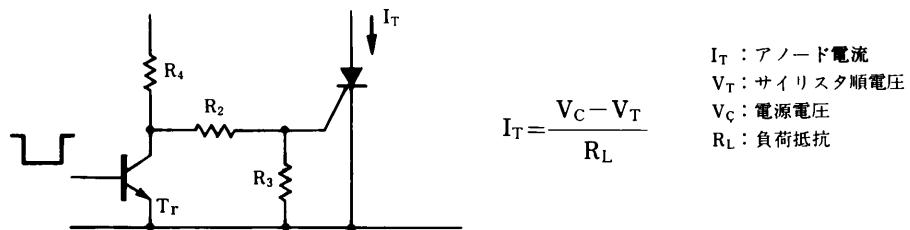
— $I_T \cdot V_{GD}$ の検討—

図4. 基本回路

サイリスタは、アノード電流 I_T を保持電流 I_H より大きくすればオン状態を保持できますが、若干の注意すべき点について、次に紹介します。

表3. サイリスタのオン状態保持の条件

ゲート回路	保 持 す る 条 件		備 考
	ON保持	OFF保持	
基 本 回 路 (図1)	$I_T > I_H$ *	$V_{GK} < V_{GD}$ V_{GD} : ゲート非トリガ電圧 V_{GK} は図1では、 V_S を R_S と R_{GK} で分割した 値であり $V_{GK} = \frac{V_S \cdot R_{GK}}{R_S + R_{GK}}$	R_{GK} を大きくすれば、 I_H が小さくなり、小電流の保持回路には適当ですが、 R_{GK} 大により、もれ電流による自己点弧を起しやすくなりますので、耐圧マージンを大きくするなどの注意が必要です。 また、ノイズ等によっても誤動作しやすくなりますので R_{GK} に並列にコンデンサを接続するなどの注意も必要です。
トランジスタを 用いた回路 (図4)	$I_T > I_H$ at $R_{GK} = R_2 // R_3$ (Tr一度OFF後のON)	トランジスタをオン状態にしてOFFを保持する $V_{CE} < V_{GD}$ (sat)	I_L ; ①0.3~2A程度の小形サイリスタでは、 I_H とはほぼ同じ値であり、多くとも20%大位と考えれば良いでしょう。 ②大容量サイリスタではオン領域の拡がりに時間がかかりますので測定データを参照して設計してください。

* ゲートパルス幅が狭い場合（素子により異なるが数μs以下のときを対象とする。）には、ペレット上のオン領域が充分拡がっていないので、ラッチング電流 I_L を考慮する必要があります。

8.3 dV/dt誤点弧対策について

—C_{GK}接続による他の特性への影響—

図5のようにC_{GK}を接続しますと、dV/dtおよびゲートに入り込んでくるノイズに対して強くなります。

これは、C_{GK}がない場合にはSCRのゲートカソード間を流れ、誤動作トリガ信号として働く電流がC_{GK}によりバイパスされるためです。したがってSCRになるべく近くなるように配置して接続します。

SCRのアノードカソード間印加電圧が高いほどC_{GK}を大きくする必要がありますが、通常0.047 μF程度で十分です。使用温度範囲、ノイズ環境等を考慮し0.01~0.1 μFの幅から選びます。

但し、ゲートトリガ信号がパルスの場合は、下図のようにV_Gの立上りが遅れますので、パルスI_{GT}のパルス幅としてはt_{P'}として考えてください。

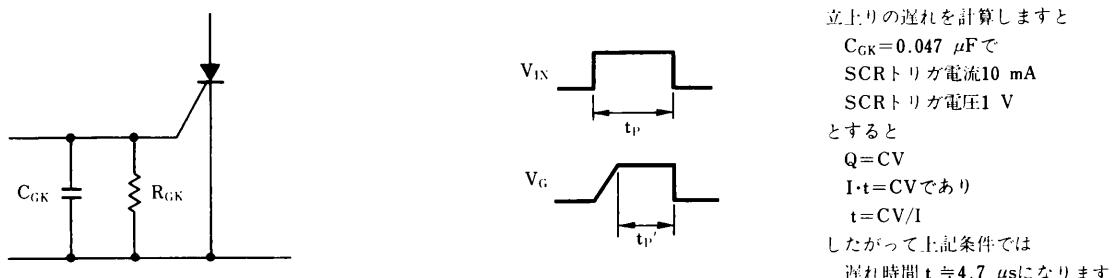


図5. サイリスタのゲート、カソード間C、R

図6はよく知られたスナッパ回路ですが、この回路もdV/dtに対して効果があります。dV/dtに対しては、C大、R小が良いのですが、Rをあまり小さくすると放電電流によりSCRの破壊を招くことがありますので注意してください。

R : 20 Ω MIN.として、C : 0.022~0.1 μFが適当です。またRは無誘導のものが必要で巻線抵抗等は好ましくありません。

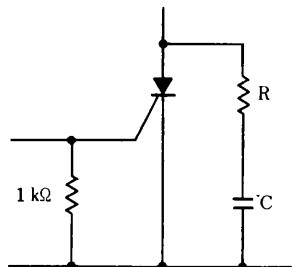


図6. サイリスタのアノード、カソード間C、R

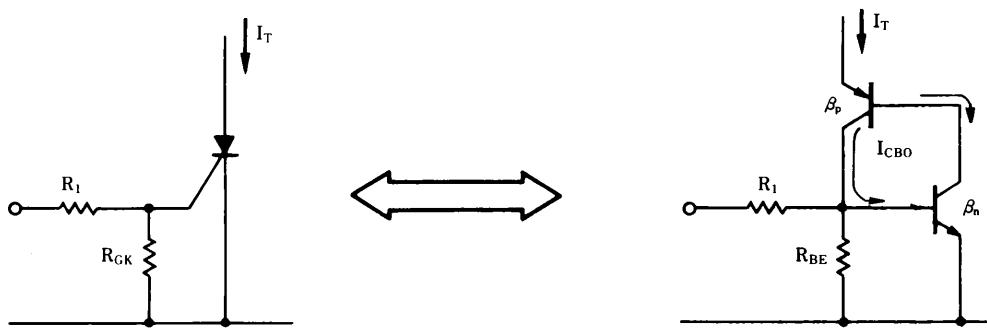
8.4 SCRの保持電流 (I_H) のトランジスタ的解析

図7. PNP, NPN 2個のトランジスタで示したSCR等価回路

R_{GK} : R_{BE} に相当し、大きすぎると特にオープンの場合 I_{CBO} により、2個のトランジスタが正帰還状態になります。

I_{CBO} により2個のトランジスタのコレクタ電流が増加し、ある電流以上になるとPNP, NPNトランジスタが正帰還状態になりONします。

(トランジスタと異なり“スイッチング”という誤動作になります。)

I_{GT} : NPN, PNPトランジスタが正帰還状態になりうるようなベースバイアス電流(NPN Tr.)です。

V_{GT} : I_{GT} なるベースバイアス電流が与えられたときのNPNトランジスタの V_{BE} です。

I_H (I_L) : NPN, PNPトランジスタが正帰還状態を維持できる最小の電流です。

図7に示すSCRの等価回路において、PNPトランジスタの直流電流増幅率を β_P 、NPNトランジスタのそれを β_N とします。SCRのターンオン(オン保持)条件は $\beta_N \cdot \beta_P \geq 1$ であり、アノード電流の値に無関係に $\beta_N \cdot \beta_P > 1$ であれば、SCRはきわめて小さい電流までON状態を保持できます。逆に、そのような状態では漏れ電流でもONするようになり不都合を生ずるわけです。

一般にトランジスタの β は図8のように種々のパラメータによる変化があり、SCRのゲートオープン時の保持電流を予想するのは困難です。

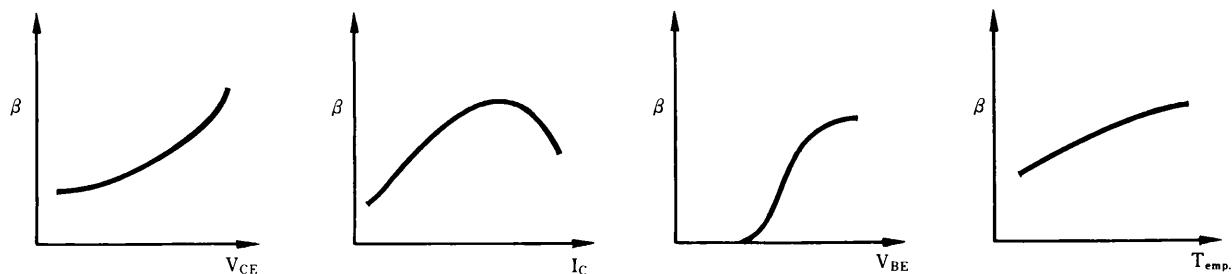
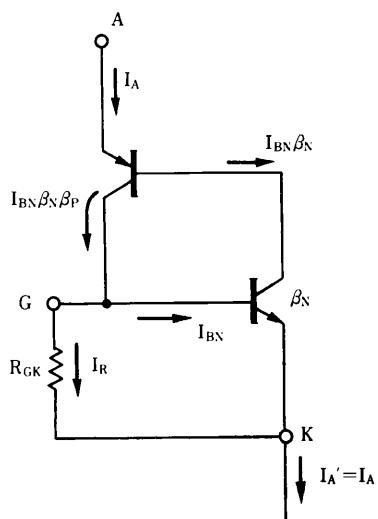


図8. トランジスタの直流電流増幅率のパラメータ依存性

通常 $\beta_P < \beta_N$ であり、高感度SCRの場合、 R_{GK} なしのとき、保持電流は数十 μ A～数百 μ A程度になります。SCRに R_{GK} 接続し、それに流れる電流を I_R とすると、図9の各電流は次式で示されます。



$$I_A = I_{BN} \cdot \beta_N \cdot \beta_P + I_{BN} \beta_N$$

また、

$$I_A = I_A' = I_R + I_{BN} + I_{BN} \beta_N$$

これから I_A と I_R の関係を求める

$$I_A = \frac{\beta_N(\beta_P + 1)}{(\beta_N \cdot \beta_P - 1)} \cdot I_R$$

が得られます。また、

$$I_A - I_R = \frac{\beta_N + 1}{(\beta_N \cdot \beta_P - 1)} \cdot I_R$$

が得られます。

つまり、 R_{GK} を接続しそれに I_R という電流が流れると、SCRのアノード電流は最小でも $I_R + \alpha$ 必要ということがあります。 $\left(\alpha = \frac{\beta_N + 1}{\beta_N \cdot \beta_P - 1} \cdot I_R \right)$

図9. R_{GK} を接続したSCR

別紙図10、図11に β_P 、 β_N の値に対する $\frac{\beta_N + 1}{\beta_N \cdot \beta_P - 1} = K$ の値を示します。K=1のとき I_R の2倍の電流がSCRの保持電流 I_H として必要なことを示しています。

図10、11から Kは主に β_P によって決定される（ β_N がある程度大きい条件で）ことがわかります。

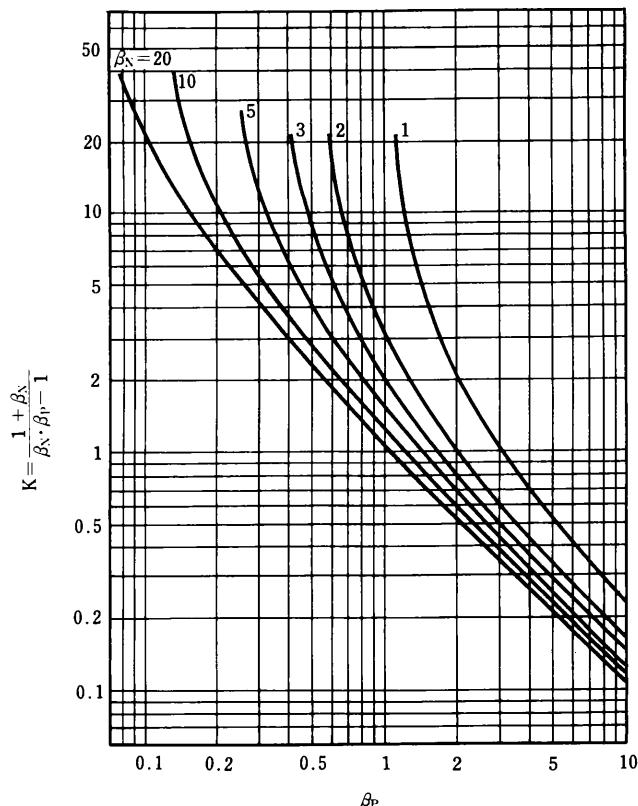
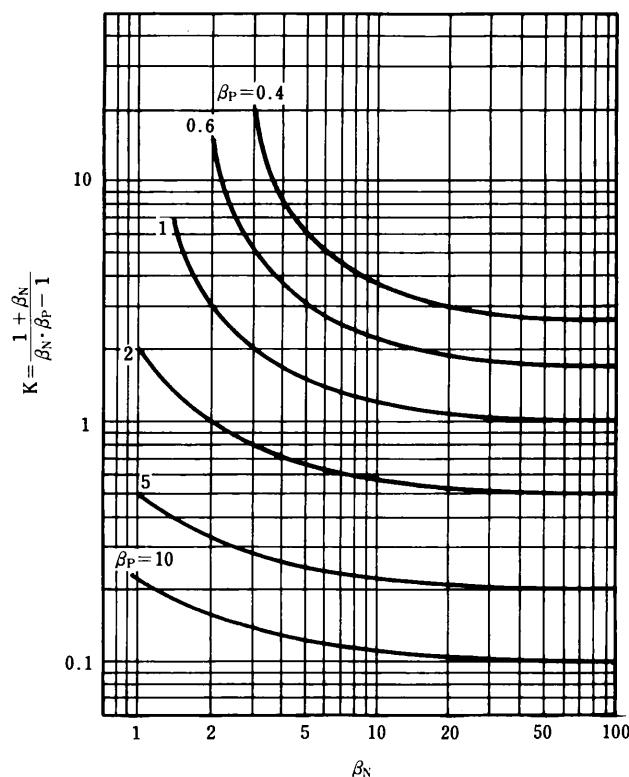


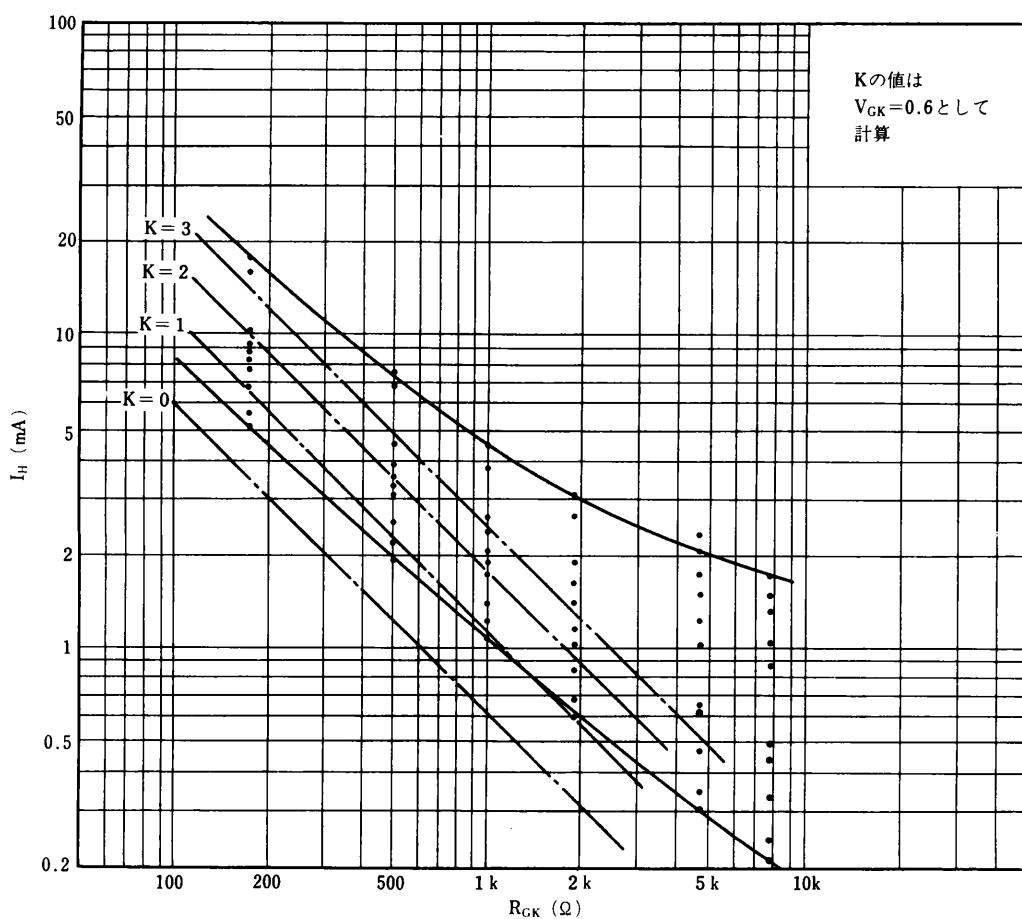
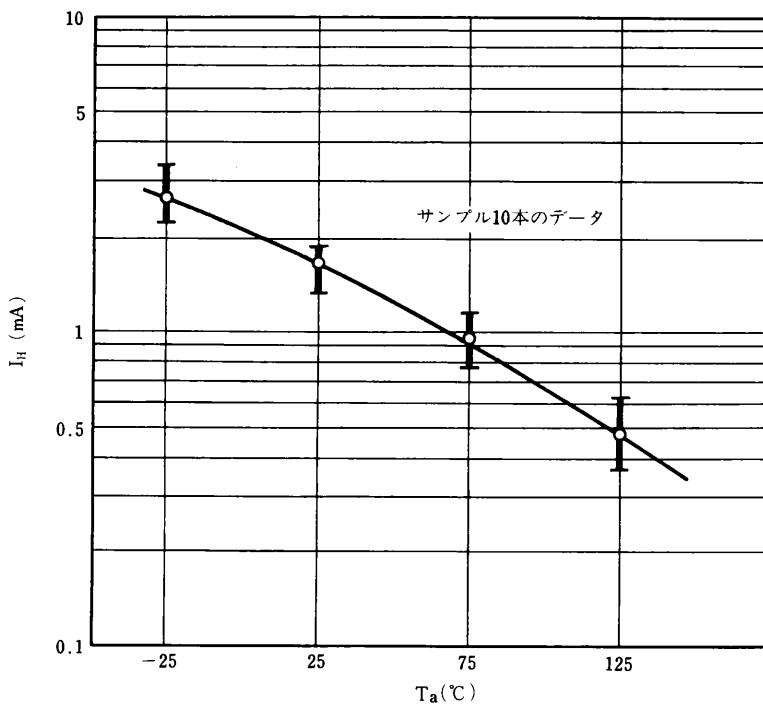
図10. K- β_P

図11. K- β_N

PUT (NゲートSCR) のように高感度設計の場合、 R_{GK} 数百kΩまで I_H は $K \approx 0$ の直線上に乘ります。この場合 I_H の温度特性は $V_{GK} \approx 0.6$ V の温度特性 2 mV/°C $R_{GK}=1$ kΩ時に $2 \mu A/^\circ C$ になります。

一方、03P[]Mのように400 Vの耐圧設計の場合 β_P を大きくできないため、 I_H の値が R_{GK} を流れる電流 I_R の数倍に達するものがあります。また、このような大きな I_H (β_P が小さい) の素子は温度特性も比較的大きくなります。

図12、13に03P[]Mの I_H のパラメータ依存性例を示します。

図12. 03P[]M 保持電流- R_{GK} 特性例図13. 03P[]M 保持電流- T_a 特性例

9. SCR逆電圧印加中のゲート電流の影響と注意

9.1 概 要

SCR では、逆電圧 V_R 印加時にゲート電流 I_G が加わる使い方をする時には逆電流が増加することが知られています。

V_R 印加時にゲート順電流を加えることは逆電流の増加により損失が増加するので、使用上望ましくありません。ここでは、素子に付加的な温度上昇が生じることに対して、ケース、接合温度の上昇を測定し、このような使用に対する制限を示しました。

実測の温度上昇は、例えば5 AのSCR 5P4Mで $V_R=200$ V_{dc}, $I_G=20$ mA, $t=10$ ms, 50 Hzのとき $\Delta T_C \sim 70$ °Cと極めて高くなります(放熱条件：自冷)。この測定結果より、 I_G の duty を 50 % に換算した一般の ΔT_C と I_G の関係を図1に示します。

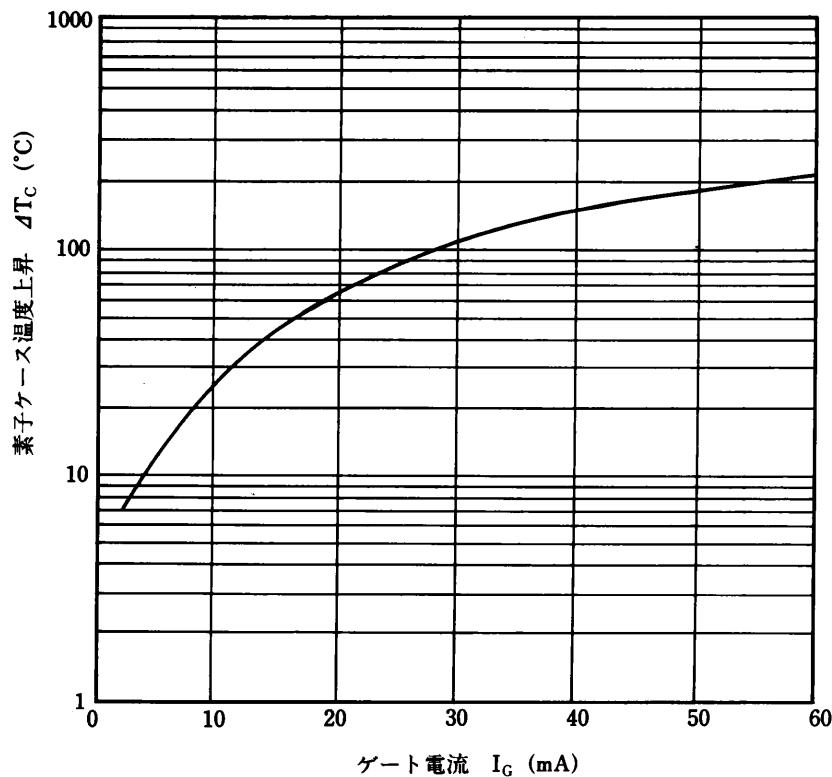


図1 duty 50 % に換算した $\Delta T_C \sim I_G$

なお、実際の使用時には、この付加的なトランジスタアクションによる温度上昇とアノード電流による損失での温度上昇等を加えて使用条件を決定しなくてはなりません。 V_R のdutyが極めて小さい場合には、トランジスタアクションによる温度上昇は無視できますが、このトランジスタアクションによる温度上昇はゲート近傍において生ずることから、これまでのピークゲート損失の設計と同様にカタログ定格(5P4Mでは、ゲート損失 $P_{G(AV)}=0.5\text{ W}$
 $P_{GM}=5\text{ W}$)以内で使用することが好ましいといえます。

$$P_{GF1(AV)} + P_{GF2(AV)} + P_{RT(AV)} \leq P_{G(AV)} = 0.5\text{ W}$$

$P_{GF1(AV)}$: アノード順バイアス時のゲート順電流による平均ゲート損失

$P_{GF2(AV)}$: アノード逆バイアス時のゲート順電流による平均ゲート損失

$P_{RT(AV)}$: トランジスタアクションによる平均損失

$$P_{GF1M} + P_{GF2M} + P_{RTM} \leq P_{GM} = 5\text{ W}$$

P_{GF1M} : アノード順バイアス時のゲート順電流によるピークゲート損失

P_{GF2M} : アノード逆バイアス時のゲート順電流によるピークゲート損失

P_{RTM} : トランジスタアクションによるピーク損失

9.2 ゲート順バイアス時の動作

(1) 等価回路と動作原理

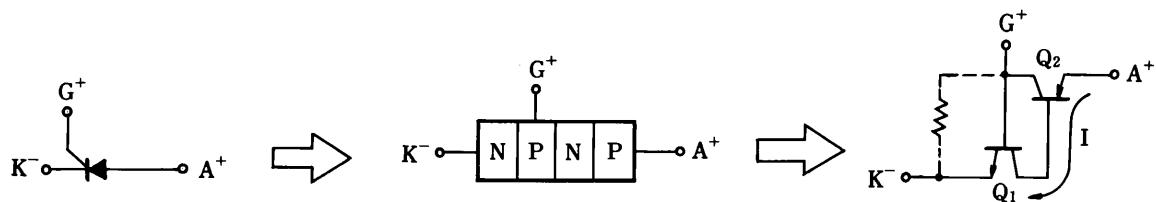


図2 A-K間順バイアス時の等価回路

図2のように、SCRのアノードーカソード間を“順バイアス”した状態で、ゲートーカソード間にゲート電流 I_G を流す場合には、SCRは導通状態になり、アノードーカソードの方向に電流が流れますが、図3のように、アノードーカソード間を“逆バイアス”した状態で、同様にゲート電流 I_G を流すと、逆電流 I_R が、 I_G に比例して増加します。

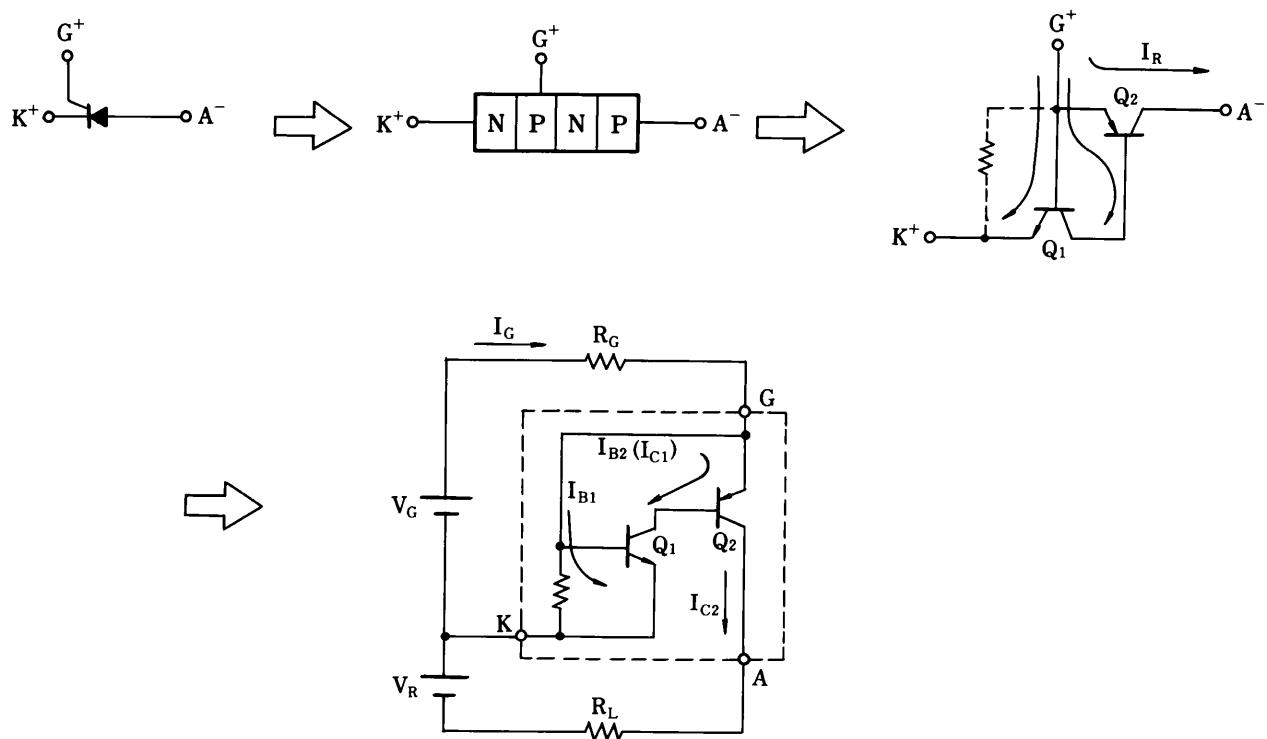


図3 A-K間逆バイアス時の等価回路

図3のA-K間逆バイアス時の等価回路から、ゲート信号源 V_G からSCRのゲートにトリガ電流を流すとNPNトランジスタQ1のベース電流 I_{B1} が供給されることになり、この I_{B1} により増幅されたコレクタ電流 I_{C1} はPNPトランジスタQ2のベース電流 I_{B2} になります。

$$I_G = \frac{V_G - V_{BEQ1}}{R_G} = I_{B1} + I_{B2} + I_{C2} \dots \dots \dots \quad (1)$$

この式は、G端子からサイリスタへ流れ込む電流が V_G , R_G により決ってしまうことを表わしており,もしチップにて $V_{BEQ1} > V_{BEQ2} + V_{CE\text{ sat } Q1}$ なら, もれ電流 I_R は次代により一意的に決まります。

$$I_R = I_{C2} = \frac{V_G - V_{BEQ1}}{R_G} = \left(\frac{h_{FEQ1} h_{FEQ2}}{1 + h_{FEQ1} + h_{FEQ1} h_{FEQ2}} \right) \dots \dots \dots \quad (2)$$

{実際の電流値はチップ内の接合付近の特性となり, この概略計算と異なります。}

図3および(2)式から明らかなように, SCRの逆電流は等価回路のトランジスタの h_{FE} (電流増幅率)とゲート信号源の条件により決まります。すなわち, 図4に示すように Q_2 がエミッタフォロワ動作し, そのコレクタ電流(サイリスタもれ電流)はゲート信号源の状態により変化することになります。

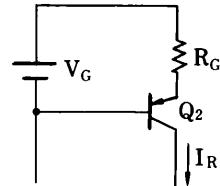


図4 図3を簡略化した図

この様子を図5に示しますが, トランジスタの $V_{CE} - I_C$ 特性とよく似た特性になります。

(2) ゲート順バイアス時の問題点

- (i) 素子のA-K間の逆電圧が高い状態でゲートが順バイアスされると, ゲート電流に相応した逆電流が流れ, 逆電力損失が増加し, T_j が設計値を越え, 熱暴走を起こします。
ゲート電流が大きい場合は, 主電流の通電による損失に匹敵する損失となり, T_j が設計値を大きく上まわることもあります。

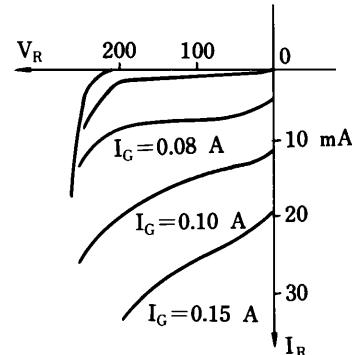


図5 ゲート順バイアス時の $V_R - I_R$ 特性

- (ii) 特に逆もれ電流による損失がペレットのゲート近傍に集中するため, 局部的に過熱状態となり, 素子が破壊するという結果をまねきます。
逆もれ電流による損失がゲート近傍に集中するのは図3から明らかなようにもれ電流がG→Aへ流れるためで, “面積の狭いゲート部への電流集中による局部過熱”と言えます。

このようにゲート近傍に局部的な加熱が生ずる点ではアノード順バイアス時のゲート順バイアスも同様であり, このときのゲート損失についてはこれまでピーグート損失定格としてカタログに記載されています。

アノード逆バイアス時のゲート順バイアス時の損失についても同様な定格を定める必要があります。

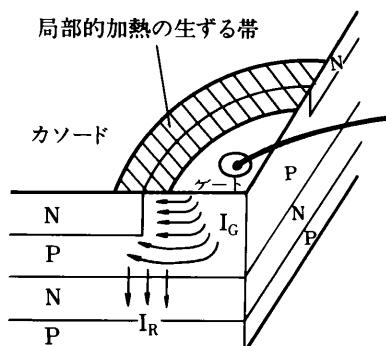


図6 ゲート構造部断面図と局部的加熱の生ずる様子

9.3 逆電圧 V_R 印加時のゲート電流 I_G 供給における素子ケース温度上昇 ΔT_C の測定

アノード逆バイアス時ゲートが順バイアスして使用した場合の5 AのSCR 5P4Mについて以下に解析してみました。

- (1) 5P4M(自冷)で V_R 印加時の I_G 供給による素子の温度上昇を図7に示します。

この曲線は $V_R = 200$ V, $f = 50$ Hzのゲート電流に対して共通のものであり、(2)項以下の手順によって得たものです。

グラフの縦軸 ΔT_C は I_G のdutyを50%に換算した値であり、当然 $T_C < T_{C\ MAX}$ で使用しなくてはなりません。

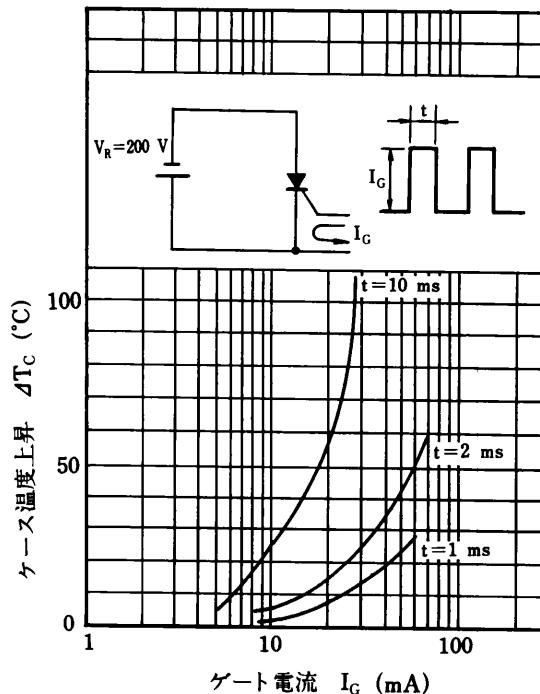


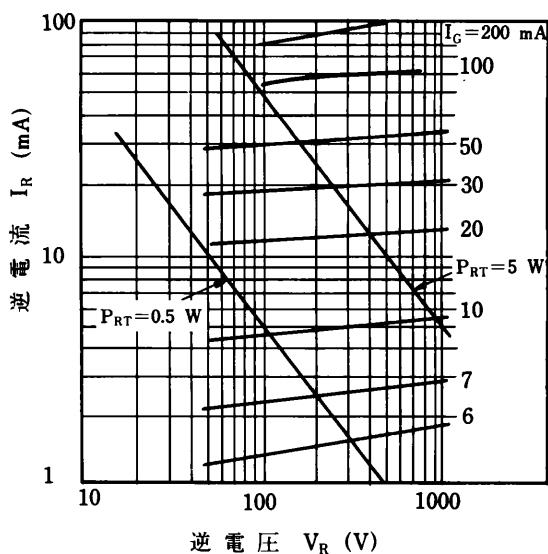
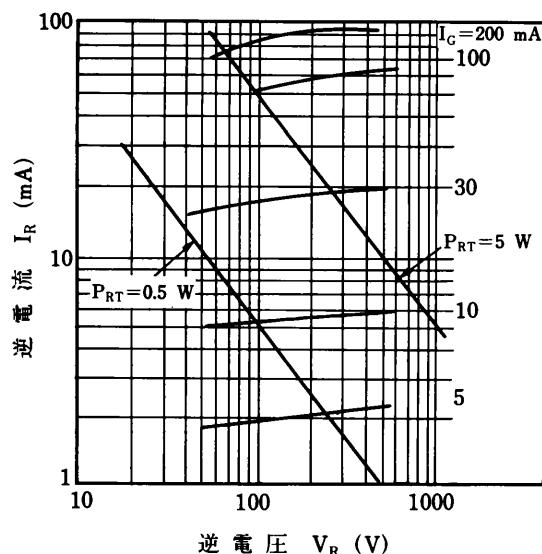
図7 $\Delta T_C - I_G$ 特性

- (i) 一般のduty[%]に対する温度上昇 ΔT_{C1} は(3)式で求まります。

$$\Delta T_{C1} = \frac{\text{duty}}{50} \cdot \Delta T_C \quad \dots \dots \dots (3)$$

- (ii) $V_R = 200$ Vの値で示してありますが、他の逆電圧値に対しては図8、9から得られる I_G による逆損失 $P_{RT} = V_R \cdot I_R$ と $V_R = 200$ Vのときの逆損失 $P_{RT}(200\text{ V})$ から ΔT_C は求められます。また、 I_R の V_R 依存性は($50\text{ V} < V_R < 400\text{ V}$ で) 小さいから(4)式のように近似できます。

$$\Delta T_C = \frac{P_{RT}(V_R)}{P_{RT}(200\text{ V})} \cdot \Delta T_C(200\text{ V}) \doteq \frac{V_R}{200} \cdot \Delta T_C(200\text{ V}) \quad \dots \dots \dots (4)$$

図8 I_G による $V_R - I_R$ 特性 ($T_C = 25^\circ\text{C}$)図9 I_G による $V_R - I_R$ 特性 ($T_C = 108^\circ\text{C}$)

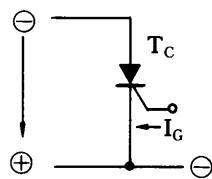
(iii) 実動時にはメイン電流による損失が加わります。したがって双方の和によるケース温度を $T_{C\text{ MAX}}$ 以下で使用しなくてはなりません。

(2) $\Delta T_C \sim I_G$ ($V_R = 200$ V) の実測値 → 図7

$V_R = 200$ V_{dc}を印加して $t = 1, 2, 10$ ms, $f = 50$ Hzの I_G を与えてケース温度の上昇 ΔT_C を求めていきます。

なおモールドを溶かして T_i を実測したところ、 $T_i - T_C \approx 1 \sim 2$ °Cでチップの中に特に温度上昇のある点はみられません。

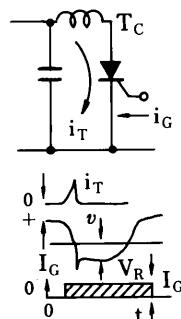
——赤外線測定法による。



(3) 実装時、逆電圧印加中にゲート電流をえたときの ΔT_C → 図10

パルス応用として、 $I_T = 140$ A, $t = 20$ μs, $V_D = 240$ V, $V_R = 200$ V, $V_{RSM} = 560$ Vの条件で試験しました。

パルス電流のみの損失による素子温度上昇は60 °Cであり、ゲート電流を流しつづけることによって更に温度上昇が生じました。



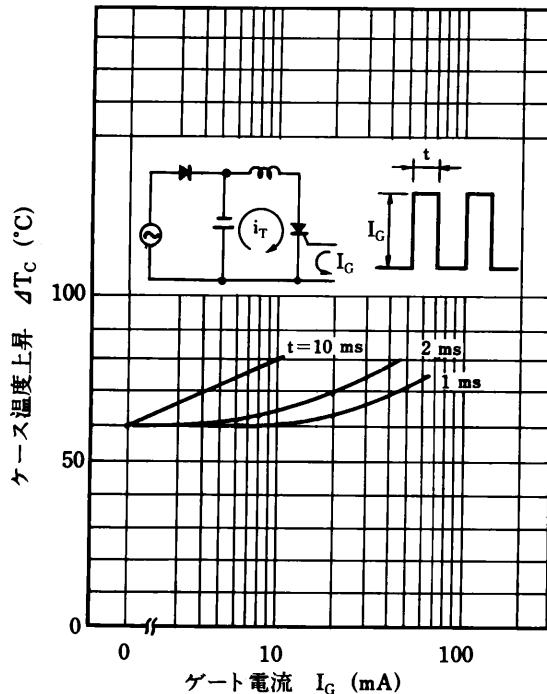
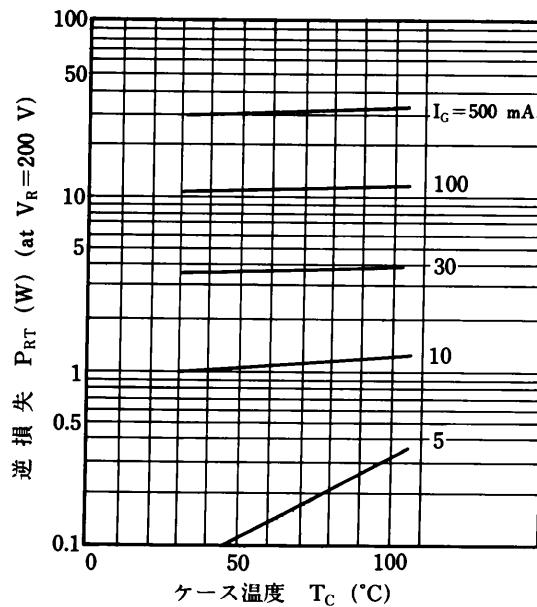
図10 ΔT_c - I_G 特性(4) 逆電圧 V_R 印加時の A-K 間リーク電流 I_R ————— 図8, 9, 11

図8, 9に $T_c=25\text{ }^\circ\text{C}, 108\text{ }^\circ\text{C}$ の V_R-I_R 特性を示します。また、図11に逆損失 $P_{RT}(=V_R \cdot I_R)$ の温度特性を示します。

これによると、 $I_G \geq 10\text{ mA}$ では P_{RT} の温度依存性のはほとんどないことが分かります。したがって、 $I_G \geq 10\text{ mA}$ で(4)式を使って ΔT_c を求める場合 P_R は $T_c=25\text{ }^\circ\text{C}$ (図8)を用いてさしつかえありません。逆に $I_G < 10\text{ mA}$ では $T_c=108\text{ }^\circ\text{C}$ (図9)の値を使用して求めた方が安全です。

図11 P_{RT} - T_c 特性

なお、(1)で述べた $\Delta T_C \sim I_G$ カーブ(図7)は前記(2), (3)項の duty の異なる I_G に対する $\Delta T_C \sim I_G$ カーブを duty = 50 % に換算して求めたものです。

$$\Delta T_C = \frac{50}{\text{duty } [\%]} \cdot \Delta T_{C1} \dots \dots \dots \quad (5)$$

ここで ΔT_{C1} は各 duty に対するケース温度上昇を示します。

10. サイリスタの応用回路集

10.1 SCR

10.1.1 ユニバーサルモータの帰還形速度制御回路

ユニバーサルモータは、起動トルクが大きいという利点から、ジューサ、ミキサ、電動ミシン、電動工具などに用いられており、サイリスタによる連続速度制御が行われています。また、これらの用途では、負荷変動に対して、モータの速度を一定に保つ必要があり、帰還形速度制御を行う場合が多いようです。本資料では、ユニバーサルモータの帰還形速度制御回路例を紹介します。

ユニバーサルモータの帰還形速度制御は、ユニバーサルモータの残留逆起電圧が速度（回転数）にはほぼ比例する特性を利用してしています。すなわち、速度制御はこの残留逆起電圧をサイリスタのゲートパルス発生回路にフィードバックして行っています。

第1図は、最も簡単なユニバーサルモータの帰還形速度制御回路例であり、交流の半波を位相制御し、モータの速度制御を行うものです。図1 a) は、界磁巻線と電機子が分離できない電動機の速度制御回路例です。コンデンサ C_1 は、正の半波ごとに抵抗 R_1 、ダイオード D_1 を通して充電され、可変抵抗 VR_1 による分割電圧 V_S がダイオード D_2 を通してサイリスタのゲートに加わって電動機を回転させます。電動機は、回転速度に比例した残留逆起電圧 V_M が端子間に発生するので、各サイクルごとに V_S が V_M より大きくなつた時 D_2 の順方向に電流が流れ、その位相でサイリスタが導通します。したがって V_M が一定であれば、サイリスタのトリガ位相も一定で定速状態を維持します。電動機の負荷が大きくなつて速度が下がり、 V_M が小さくなると、早い位相で D_2 の順電流が流れでサイリスタの導通角が増加し、電動機の速度を元に戻すように働きます。図1 b) は、界磁巻線と電機子が分離できる電動機の速度制御回路で、界磁巻線の位置をサイリスタのアノード側に移したものであります。この方が、残留逆起電圧が純粋に電機子の回転数だけで決定されるようになり、図1 a) より安定な制御性能が得られます。回路中の半固定抵抗 VR_2 は、サイリスタのトリガ感度、 C_1 のばらつきを補正するためのものであり、またサイリスタと並列のスイッチ S は、 VR_1 と連動して、必要に応じてサイリスタを短絡し、電動機を全速にする場合に用います。

しかし、図1の帰還形速度制御回路は、直流電動機に供給される電圧が半波整流電圧であるため電動機トルクの脈動および電動機の騒音が大きく、また、サイリスタの点弧電流の変化により点弧位相角が変化するため、周囲温度の影響を受けやすいなどの問題があります。したがってこの回路は比較的精度を要求されない場合に多く用いられています。

図1 ユニバーサルモータの帰還形制御回路（半波制御）

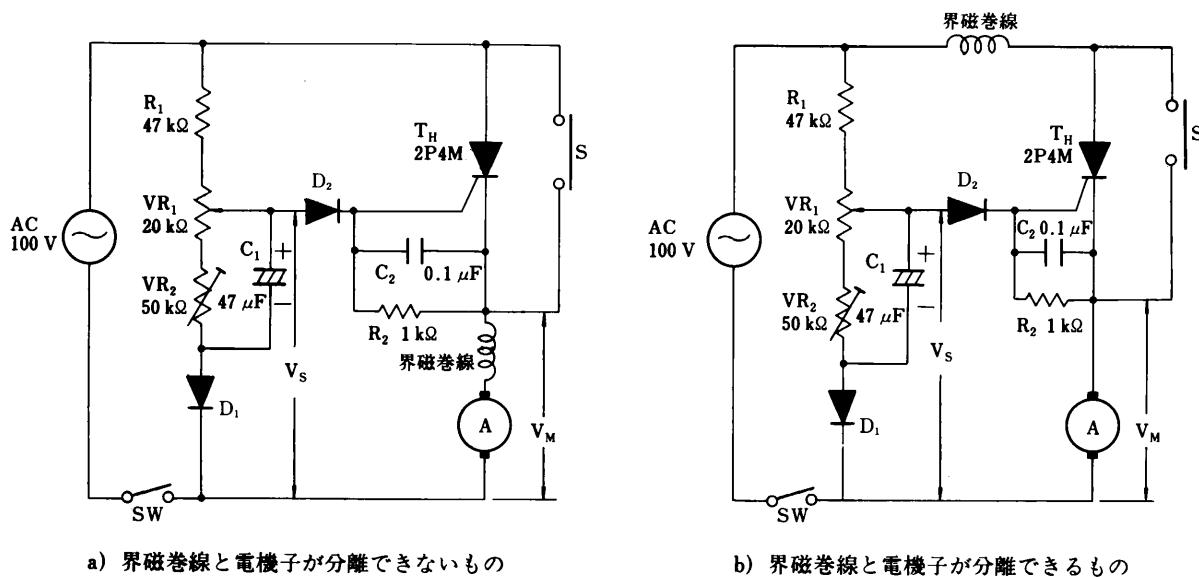


図2は、精度の高い速度制御を要求される場合に用いられる帰還形制御回路で、交流の全波を位相制御します。

D_1, D_2, T_{H1}, T_{H2} により混合ブリッジ回路を構成し、電動機に全波整流電圧を供給します。トランジスタ Q_1, Q_2 、ダイオード D_8 により等価4端子サイリスタを構成しており、等価4端子サイリスタのアノードゲート（トランジスタ Q_2 のコレクタ） V_G の電位は、電動機の残留逆起電圧 V_M に比例して変化し、負荷が大きくなつて V_M が下がるとこれに比例して下がります。等価4端子サイリスタのアノード電位 V_A は、 R_6, VR_1 を通して充電される C_1 の充電電圧 V_{C1} とほぼ等しく、 V_{C1} が V_G よりトランジスタ Q_1 の V_{BE} だけ高くなる時点では、等価4端子サイリスタは、オンし、パルストラns PTにパルス信号を供給し、サイリスタ T_{H1} または T_{H2} をトリガします。図3は、図2の回路の各部の波形を表したものです。等価4端子サイリスタのアノードゲート電圧 V_G は、モータが回転し負荷が軽くなると高くなりトリガパルスの発生位相は遅れることを表わしています。リセット回路は、コンデンサ C_1 の再充電が必ず、負荷電流が零となる点より始まるようにしたもので、負荷電流が流れている間は、等価4端子サイリスタをオン状態に維持し、コンデンサ C_1 の再充電を防ぐものです。これにより、サイリスタの位相角を進めすぎた場合（負荷電流が零となる位相より前に位相を進めた場合）に生ずるサイリスタの点弧失敗を防いでいます。

フィードバック回路部は、電動機の残留逆起電圧のパルス発生回路へのフィードバック量を決めています。負荷の広範囲な変化に対して回転数一定となる最適フィードバック量になるよう、各定数は設定されます。したがって、本回路のフィードバック回路部の定数は、電動機により異なりますので、具体的設定に当っては注意が必要です。

図2 ユニバーサルモータの帰還形速度制御回路（全波制御）

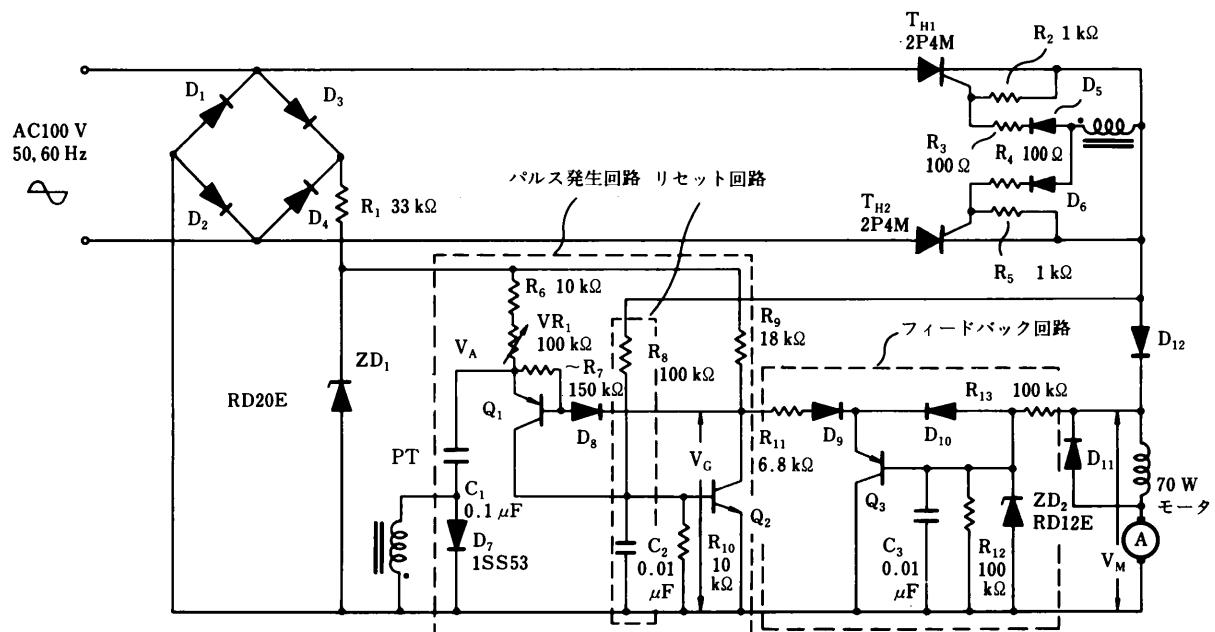
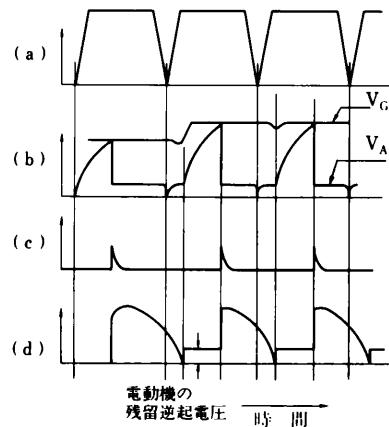
VR₁：速度調節用ポリューム

図3 各部の波形

(a) : ZD₁の波形(b) : V_G、V_Aの波形(c) : P_Tの波形

(d) : モータの両端電圧

10.1.2 ホト・カプラを用いた交流スイッチ回路

最近、マイコン等の出力で、SCRまたはトライアックの制御を行う場合が多くなってきましたが、その際、マイコン等とこれらサイリスタとのインターフェイスとしてホトカプラが多く使用されております。

ホトカプラといっても種類は多く、一般的に入力側がLEDですが、出力側は、ホト・トランジスタ、ホト・ダーリントントランジスタ、ホト・SCR、ホト・トライアック等があります。どのホトカプラを使用するかによって交流スイッチ回路の回路構成が変わってきます。

ここでは、ホト・トランジスタ(ホト・ダーリントン・トランジスタを含む)とホト・SCRを出力側に持つホトカプラ(それぞれホト・トランジスタカプラ、ホト・SCRカプラ)を用いたサイリスタによる交流オンオフスイッチ回路を紹介します。

まず、ホト・トランジスタカプラによる交流スイッチ回路例を紹介します。図4は、SCR 2個、ダイオード2個により、主回路(負荷電流が流れる回路)を構成した交流スイッチ回路にホト・トランジスタカプラを使用した例です。

ホト・トランジスタカプラの入力側(LED)に信号が入ってないときは、トランジスタ(2SC945)はオン状態にあり、SCRのゲート電流は、トランジスタによりバイパスされ、SCRはオンしません。このため負荷電流は流れませんが、ホトカプラの入力側に信号が入るとトランジスタのベース電流は、ホト・トランジスタカプラの出力部(ホト・トランジスタ)に流れるため、トランジスタはオフし、SCRのゲートにゲート電流が流れ、SCRはオンし、負荷電流がSCR、ダイオードを通して流れます。このようにホト・トランジスタカプラの入力信号により負荷電流のオンオフ制御が可能となるわけです。SCRのアノード端子間のコンデンサおよび抵抗は、SCRに過電圧が加わるのを防止するためのものであり、また、ホト・トランジスタの出力部(ホト・トランジスタ)のベース・エミッタ間に接続してあるコンデンサは、高周波ノイズによる誤動作防止用です。

図4の回路構成では、SCRとしてゲート・トリガ電流が $200\text{ }\mu\text{A}$ 以下の高感度SCR(3ASCR以下)が必要なため、3A以上の主電流のオンオフ回路には使用できないという制約があります。

図4

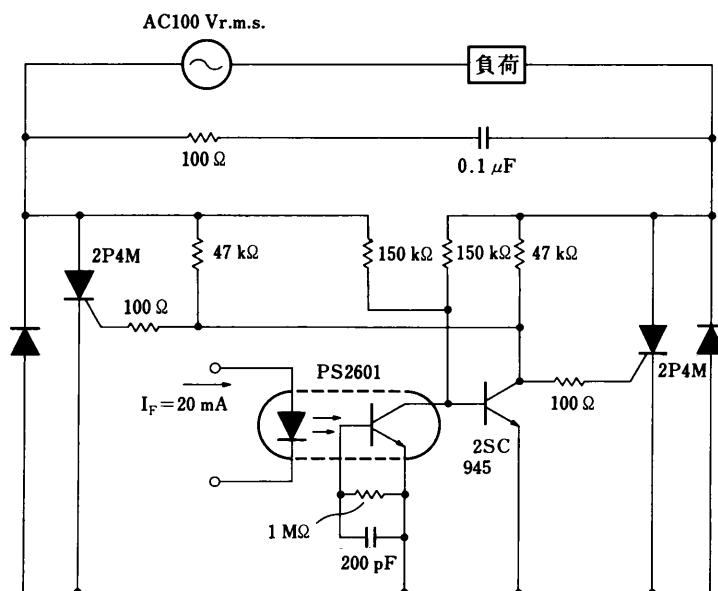


図5は、トライアックにより主回路のスイッチを構成し、このトライアックを高感度SCR(03P2M)によりゲート・トリガを行う方法であり、3A以上の主電流のオンオフ制御が可能となります。

図6は、トライアックにより主回路のスイッチを構成した別の回路例で、定電圧ダイオード(RD12E)と平滑用コンデンサ(220μF)により、トライアックのゲート・トリガ用の直流電源を作っています。

トランジスタ(2SA733)2個は、トライアックのオンおよびオフの状態を検出するものです。いまトライアックがオフで、トライアックのT₁—T₂間に電圧が印加されている場合、ホト・トランジスタカプラに信号を加えれば、これらのトランジスタによりトライアックにゲート電流が流れ、トライアックはオンします。

定電圧ダイオード(RD6.2E)は、交流電源を入れた直後まだ平滑用コンデンサの電圧が低い期間においては、トライアックのトリガパルスを出さないようにし、回路の安定を図ったものです。

図7は、ホト・SCRカプラを使用した交流スイッチ回路の例です。ホト・SCRカプラを2個逆並列に接続し、トライアックのG—T₂間にトライアックのゲート電流制限用抵抗(50Ω)を通して接続した回路です。

ホト・SCRカプラの出力部(ホト・SCR)のゲート・カソード間に入っているコンデンサは、ホト・SCRのノイズ耐量およびdV/dtを増加させるものです。

図5

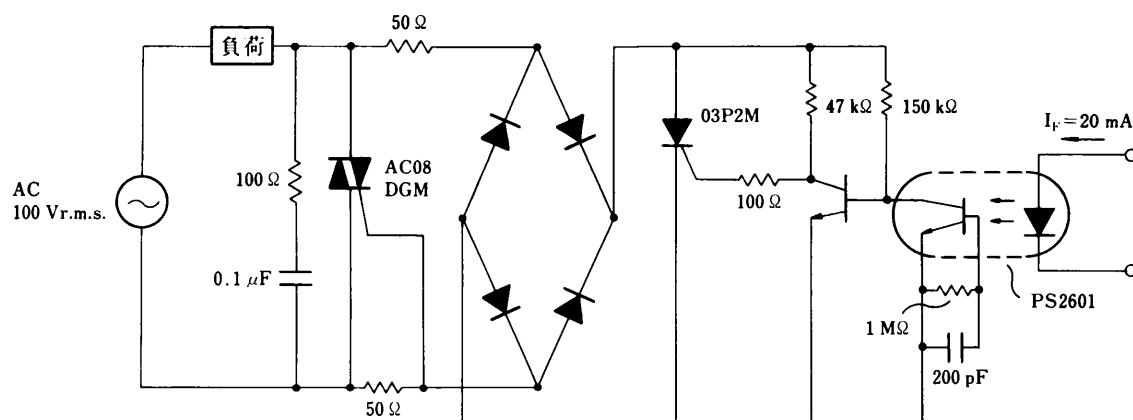


図 6

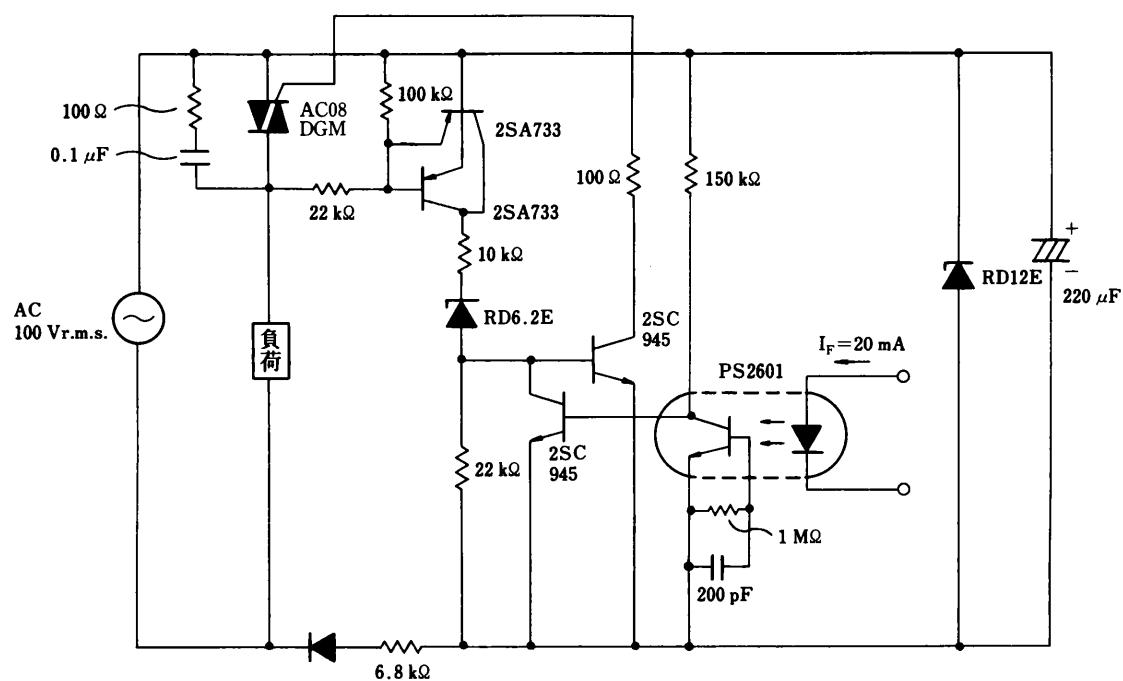
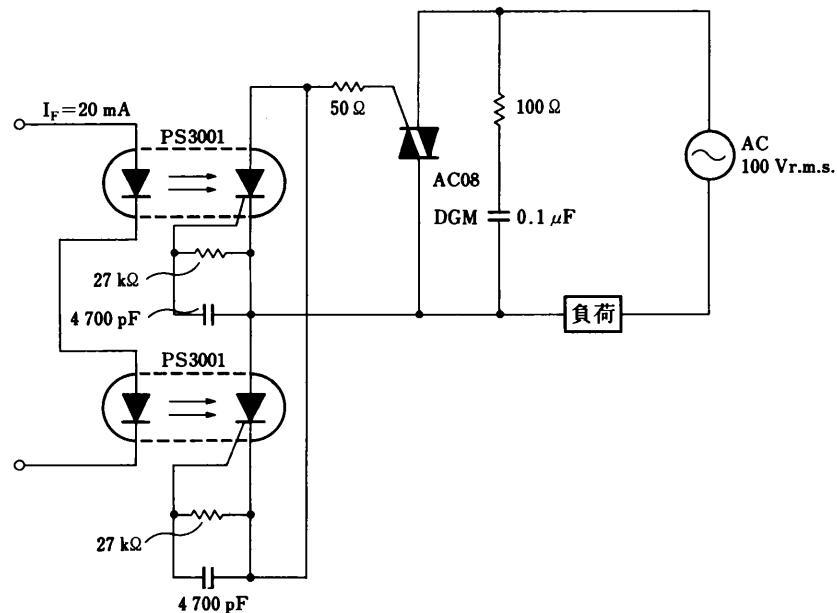


図 7



10.2 TRIAC

10.2.1 自動位相制御回路

白熱電球等を使用した照明器具の調光回路には、各種の位相制御回路が使用されていますが、最も簡単なものは図8.に示すような可変抵抗器VR、コンデンサC、トリガ素子(DIAC)を使用したTRIAC位相制御回路です。この回路は、制御範囲がやや限られることと、導通開始点付近の低出力部に大きなヒステリシスを生ずる欠点があり、可変抵抗器の動作開始点角と動作終止点角に差を生じてしまうため、ヒステリシス軽減のための回路を追加して使用されます。他の多くの位相制御回路も可変抵抗器が使用されますが、図9.に示す回路は、スイッチSの開閉により、自動的に位相制御を行うものです。スイッチSをタッチスイッチ等にして自動調光器等に利用できます。

カウンタAとBは、それぞれ4つの出力端子を持ち、その表わす最大の10進級は16(0を含む)で、調整できる位相は16段階になります。つまり交流の各半サイクルを、図10.(a)に示すようにそれぞれ16等分し、カウンタAとBの計数値が一致した点で位相制御するものです。カウンタの計数値を増せば、さらに細かな位相制御ができます。発振器は、カウンタのクロックパルス、図10.(b)を作ります。交流電源の半サイクル内でカウンタの計数値を最大にするために、クロックパルスの周波数fは、 $f=2 \cdot n \cdot F$ にします。(Fは交流電源周波数、nはカウンタの計数値の最大数) 例えば、電源周波数が50Hzでn=16のときは $f=1.6\text{ kHz}$ となります。ゼロ電圧検出器は、交流電源電圧が正から負、あるいは負から正に反転する零点付近を検出して信号、図10.(c)を発生し、カウンタAを半サイクル毎にリセットします。したがってカウンタAの出力は、半サイクル開始時毎に零になり、その後、クロックパルスを計数し、半サイクル終了時の計数値は15になります。分周器の分周比は、カウンタBの出力を変化して自動的に位相制御角を変える周期Tを設定します。分周比がmであれば、 $T=m \cdot n \cdot 2 \cdot F$ となります。例えば、電源周波数が50Hzでn=16のとき、m=25であれば、Tは4秒になります。これは0.25秒に $180^\circ/16$ ずつ位相が変化することを意味します。

今、カウンタBの出力(計数値)が8で、スイッチSが閉じており、カウンタBへのクロックパルス入力がなく出力の変化はないものとします。カウンタAは、半サイクル開始時から発振器のクロックパルスの計数を始め、その出力は、0, 1, 2, 3, ……と変化していきます。カウンタAの出力が8になると、カウンタBの出力と一致するため、4個のイクスクルーシブ回路1の出力は、すべてロウレベルになり、NOR回路2の出力はハイレベルになります。トランジスタQ₁は、図10.(d)に示すようにカウンタAの出力が8である間オンし、TRIACをトリガし、ターンオンさせます。半サイクルの最大計数値は15なので、この8という計数値は位相角では約 90° で位相制御していることになります。カウンタBの出力は8で、変化しない状態なので、正負の各半サイクルで、位相角約 90° の位相制御が継続されます。

この間、分周器には、半サイクルに1回、TRIACトリガパルスと同じタイミングで、パルスが入力されます。分周比nのパルス数入力されると、その出力に1回パルスを発生するので、ある位相角で位相制御中に、スイッチSを開けば、分周器にm個のパルスが入力されるたびにカウンタBの計数値が1つ増しカウンタAの計数値と一致する位相角が自動的に $180^\circ/16$ ずつ変化します。

任意の位相で(調光器の場合は明るさ)スイッチSを閉じれば、その位相角で、再び一定な制御が行われます。この自動位相制御回路の制御特性は、カウンタBの特性によって変わります。すなわち、カウンタが、0から15まで計数した後、その次のクロックパルスで再び0になるものでは、調光器を利用した場合、図11.(a)に示すように徐々に暗くなり最も暗くなった後に一度に最も明くなるという動作を行います。カウンタが0から15まで計数した後、その次のクロックパルスで、14, 13と計数値が小さくなるものであれば、図11.(b)に示すように徐々に暗くなり最も暗くなった後に徐々に明るくなるという連続的な動作になります。

図8 最も簡単な位相制御回路例

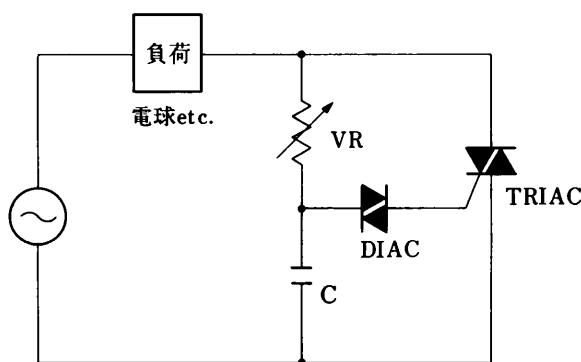


図9 自動位相制御回路

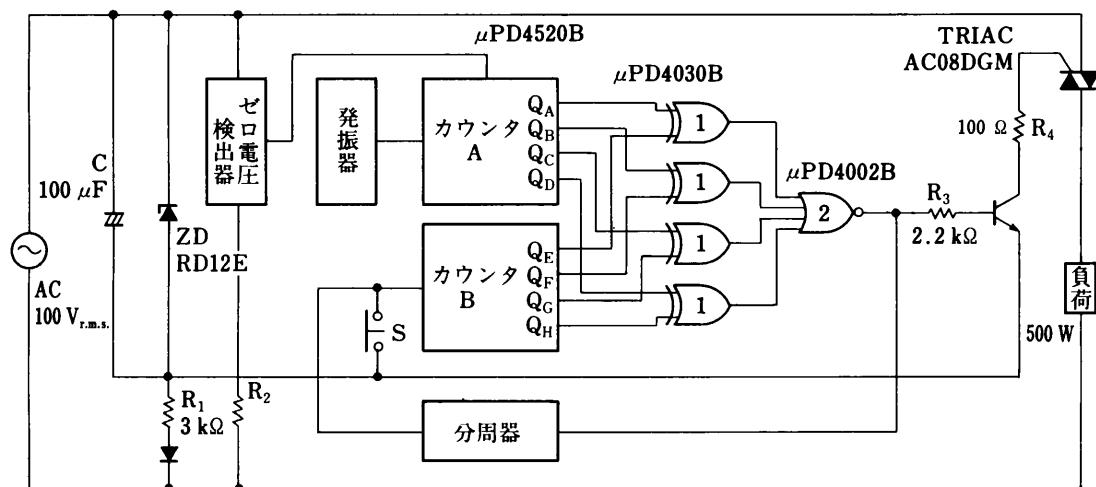


図10 交流電波波形と各パルスのタイミング

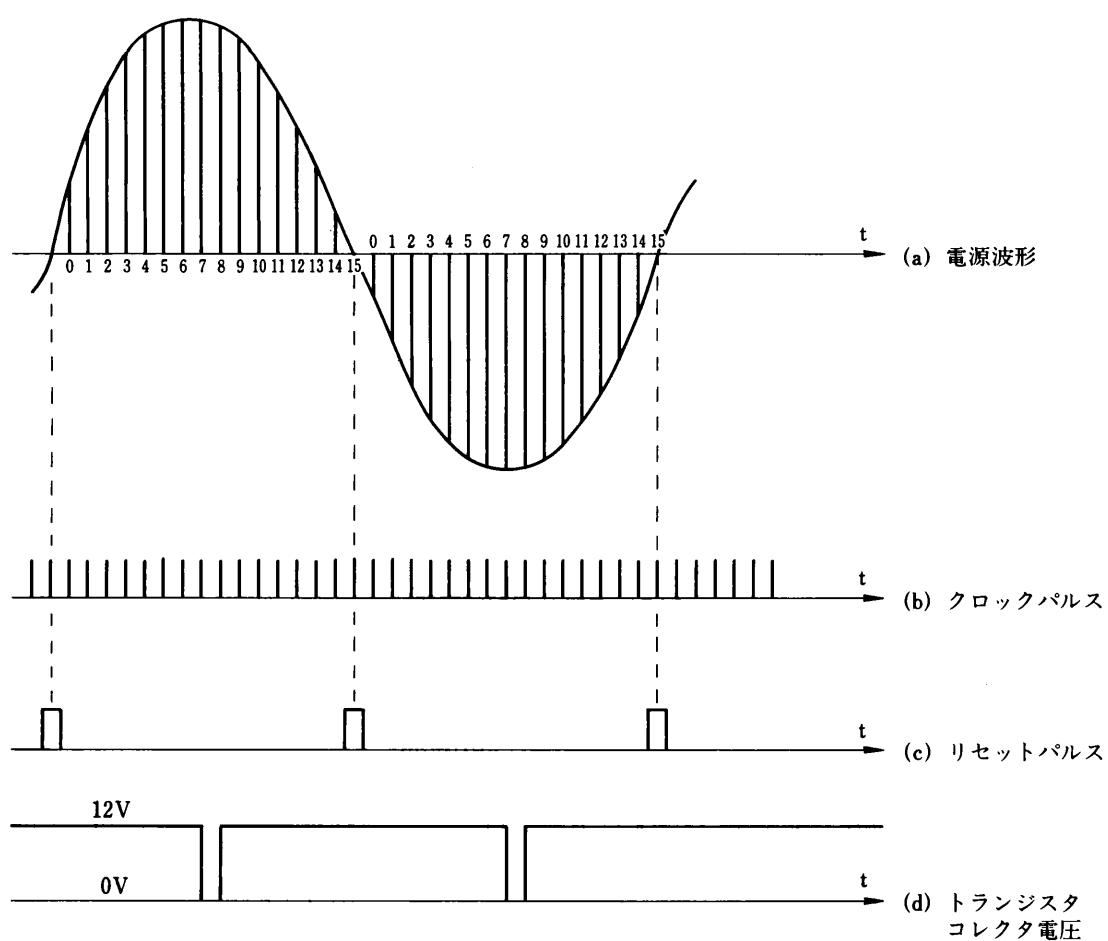
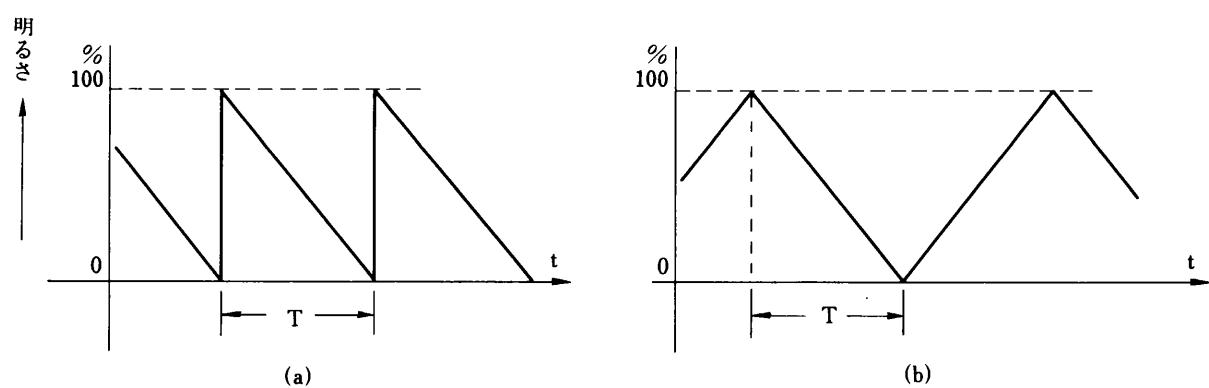


図11 カウンタによる制御特性の差



10.2.2 交流ゼロクロス制御回路

各種負荷の電力コントロールを TRIAC により行う場合に、ノイズおよび突入電流に対する考慮から、交流電圧がゼロポルトを切る点で素子をオンさせる、ゼロクロス・スイッチングが要求されることがあります。特に最近は、ノイズに対する規制が厳しく、家電製品にはこの機能を持たせることが不可欠となってきています。

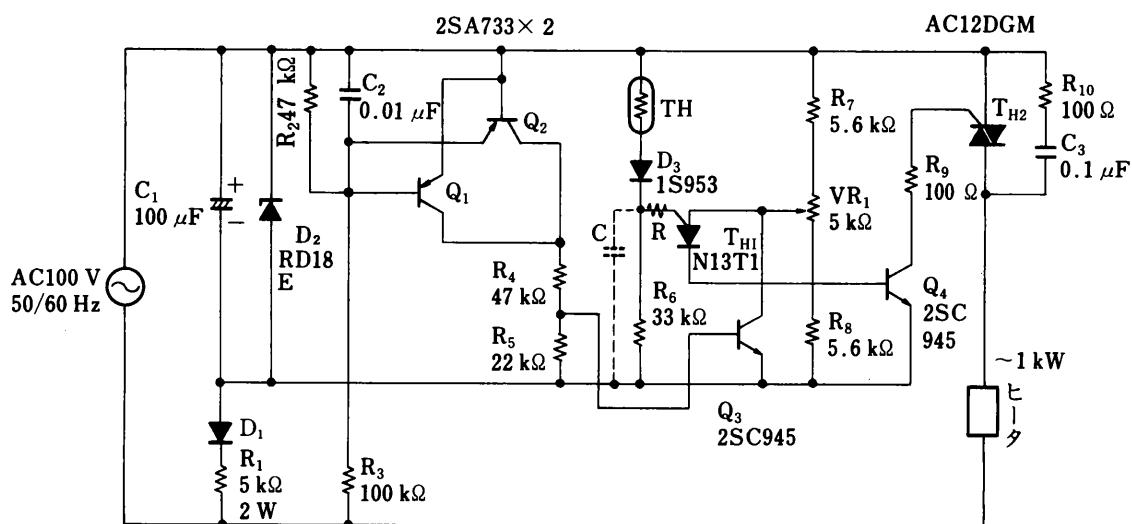
ここでは、各種の負荷に対するゼロクロス制御回路を紹介します。

(1) PUTを用いた、ゼロクロス・ヒータコントロール回路

図12に、温度検出にサーミスタ (使用温度範囲で $20\text{ k}\Omega \sim 50\text{ k}\Omega$) を用い、コンパレータとして PUT を用いたゼロクロス・スイッチングのヒータコントロール回路を示します。

回路構成は、抵抗 R_1 ダイオード D_1 、コンデンサ C_1 および定電圧ダイオード D_2 により直流電源を構成し、抵抗 R_2 、 R_3 、コンデンサ C_2 、トランジスタ Q_1 、 Q_2 によって、交流電源に同期した信号を得て、PUT を用いたコンパレータの出力でトランジスタ Q_4 をドライブし、TRIAC T_{H2} をオンさせています。

図12 PUTを用いたゼロクロス・ヒータコントロール回路



この回路で用いてある電源同期回路は、 Q_1 はエミッタ接地で動作し、 Q_2 はエミッタホロワで動作することとなる。電源電圧のゼロポルトを除いてはいずれかのトランジスタがオンし、電源に同期した台形波を得ています。

この電源同期回路により得られた台形波によってトランジスタ Q_3 は電源電圧のゼロポルト付近でのみオフし、他の期間はオンとなります。このため、PUT T_{H1} のアノード電位は、電源電圧のゼロポルト付近だけ可変抵抗 VR_1 により与えられる電位まで上がることになります。

この時、被加熱物の温度が低く、サーミスタのインピーダンスが大きいと PUT のゲート電位は低く、PUT はオンしてトランジスタ Q_4 にベース電流を流し込み、TRIAC T_{H2} はオンします。

上記のような温度制御回路で、600 W 程度のヒータを用いて設定値士3 %程度の温度制御が実現できます。

回路図中破線で示してあるコンデンサと抵抗はヒステリシス特性を持たせるためのもので、値としてはコンデンサは数 μF 、抵抗は数 $\text{k}\Omega$ が適当です。

(2) L負荷および軽負荷を考慮したゼロクロス制御回路

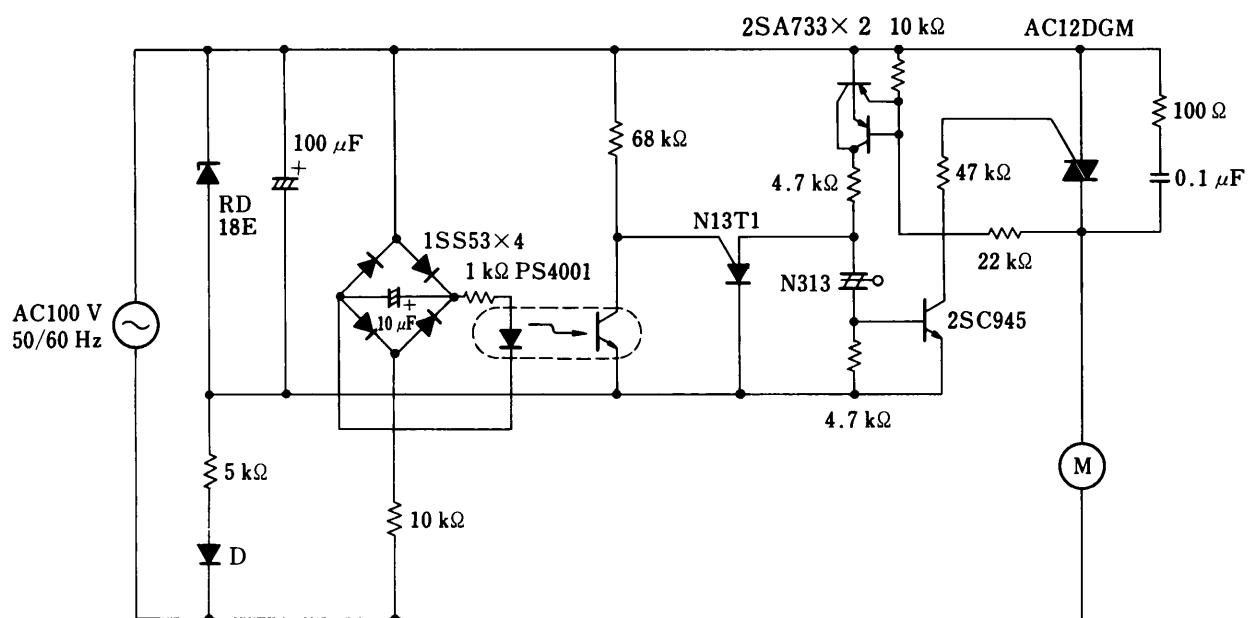
1. で紹介した回路の場合、トライアックのトリガパルスは電源電圧のゼロポルト付近でだけ与えられるために、電圧と電流の位相の異なるL負荷やコンデンサインプットの回路、及び、軽負荷の場合に、うまくTRIACをオンさせられなくなってしまいます。

図13に、今述べたような各種の負荷に対する考慮をした制御回路例を示します。

この回路は、TRIACのT₁-T₂間に電圧が印加されている間（すなわち、TRIACがオンするまで）ゲート電流を流すようにしたものであらゆる種類の負荷に対応できるものです。

回路動作を簡単に説明すると、ホトインタラプタ PS4001 に遮蔽物がない場合、受光側のホトトランジスタはオンし、PUT N13T1 を通して、SBS N313 をシャントしますから、トライアックはオンしません。ここで、ホトインタラプタに遮蔽物が入ると PUT のゲートは上昇しようとしていますが、PUT はアノードからの電流によって

図13 モータ負荷のゼロクロス制御回路



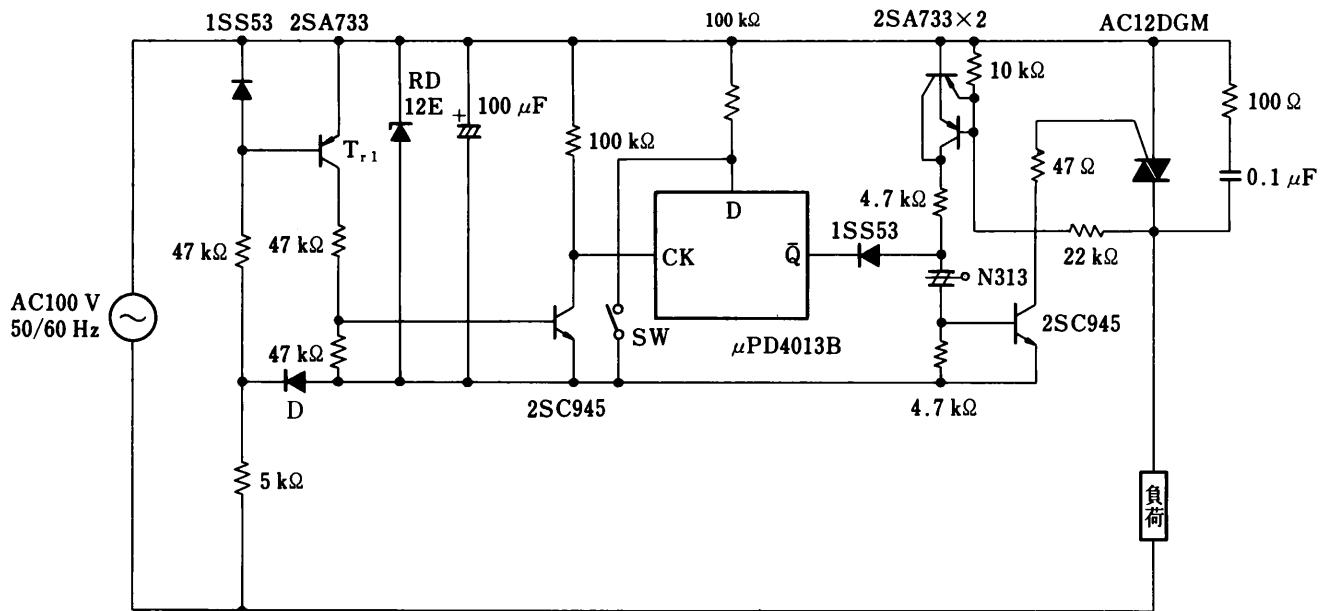
オン状態を保持するため、次の電源電圧のゼロポルトで（PNPトランジスタ2個によって作られる台形波の谷で）PUTのゲート電位は高く上がります。PUTのゲートが高く上がればSBSが先にオンしますから、電源電圧が立ち上がりればすぐに、SBSはオンし、TRIACにゲート電流が流れ、ほとんどゼロポルトで、TRIACをオンさせることができます。

一回トライアックがオンした後は、ホトトランジスタがオフしている間トライアックのT₁-T₂間に電圧がかかれば、ゲート電流が流れますからL負荷の場合にも安定に動作できます。

また、軽負荷で、TRIACがオン状態を保持できない場合も、保持電流に達するまでゲート電流が流れます。

(3) トランス負荷を考慮したゼロクロス制御回路

図14 トランス負荷を考慮したゼロクロス制御回路



トランスの一次側をスイッチでオンオフする場合にその投入位相によっては、大きな飽和電流が流れることはよく知られています。このような場合、対策としては①ソフトスタートをかける方法と、②通電開始位相と通電終了の位相が同じになるようにする方法が考えられます。

図14に紹介するのは、対策②を実現したゼロクロス制御回路です。 μ PD4013BCはDタイプのフリップフロップで、クロックパルスの立ち上がりで、Dの情報が出力に移されるエッジトリガとなっています。

図14の動作を説明するためのタイムチャートを図15に示します。

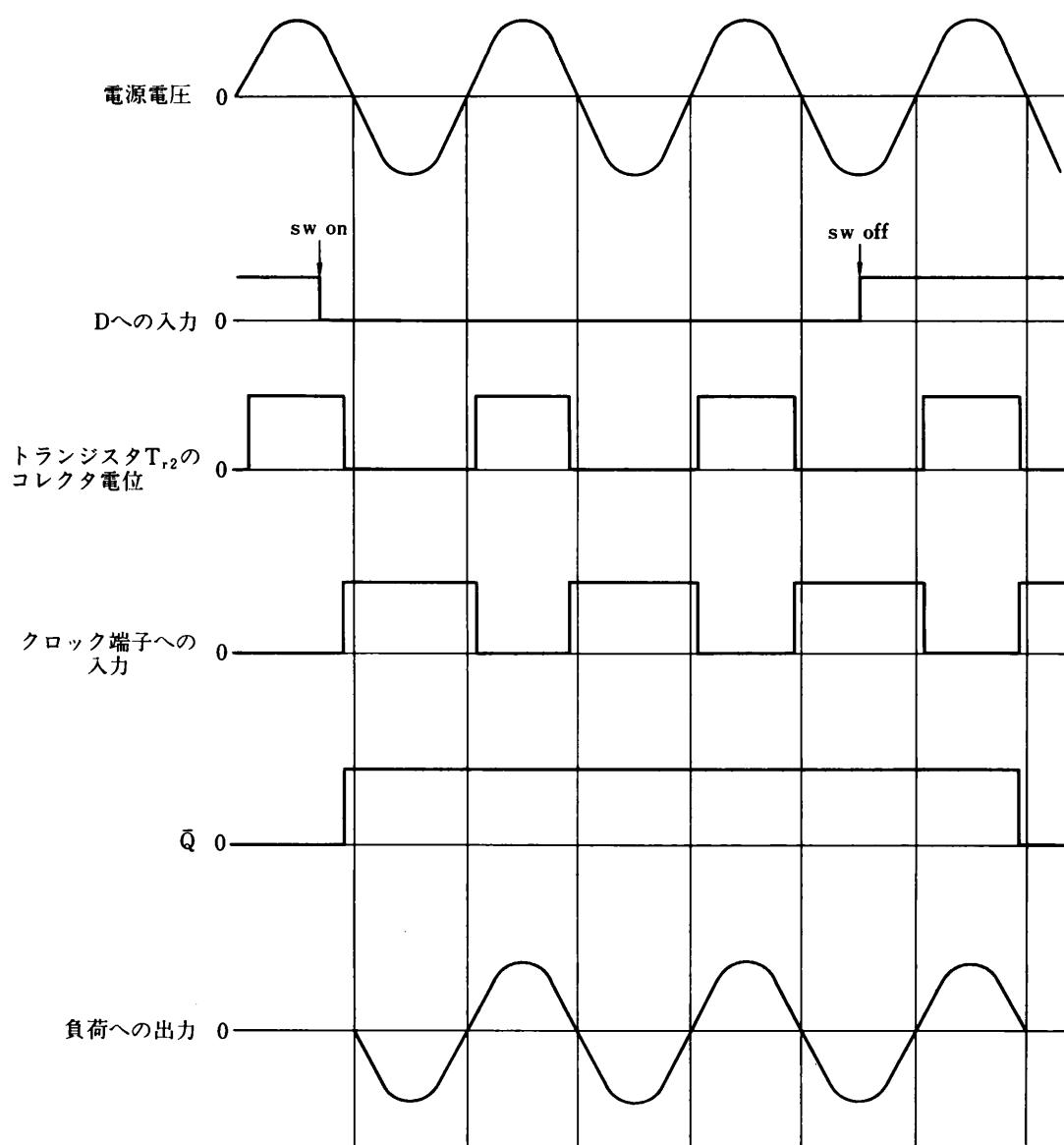
まず、 S_w が開いている時、Dへの入力はハイレベルですから出力 \bar{Q} は、ローレベルとなり、SBS N313は短絡されて TRIAC へのトリガ電流は流れません。

次に、スイッチが投入されると、Dへの入力はローレベルになりますが、クロックパルスが立ち上がるまでは、出力に情報は伝わりませんから、電源のゼロボルトまで待って、出力 \bar{Q} はハイレベルとなります。出力 \bar{Q} がハイレベルになれば、SBSはターンオンし、TRIACはオンすることになります。

次に、スイッチが開かれても、同様にクロックパルスが立ち上がるまでは出力は反転しないため、オンした時と同じ位相まで待って出力はローレベルとなり TRIAC をオフさせます。

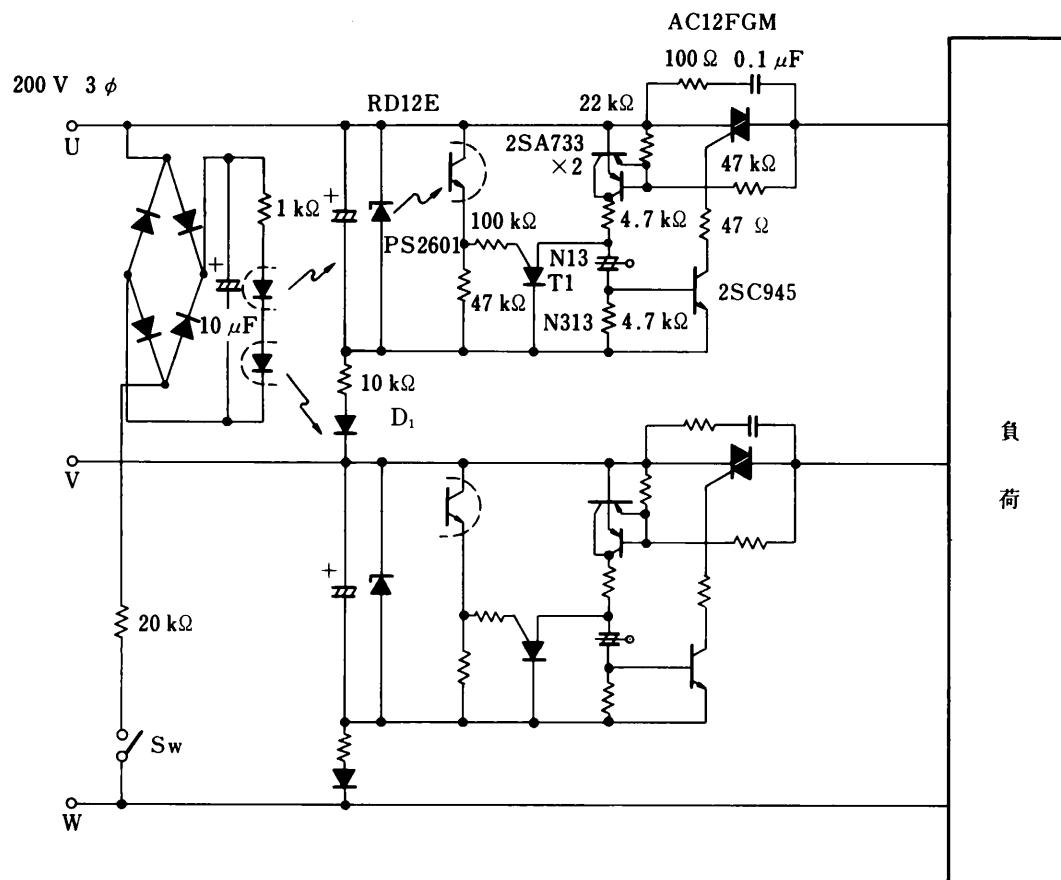
このように、ここに紹介した回路は、どのようなタイミングで S_w を開閉しても必ず、同じ位相でオンオフすることができ、トランスの飽和電流を避けることができます。

図15 図14のタイムチャート



(4) 3相負荷のゼロクロス制御回路

図16 三相負荷のゼロクロス制御回路



三相負荷のゼロクロス制御回路の側を図16に示します。

この回路は、“2”で紹介した回路を2つ組み合わせたものです。

10.2.3 倍電圧・ブリッジ整流自動切り換え回路

概 要

交流100 Vでも200 Vでもスイッチ1つで自動的に切り替え、常に一定出力のDC電圧を取り出す簡単な回路を紹介します。

家庭用電源コンセント交流100 V, 200 Vを併用でき、入れ誤りをしても問題なく使用できる便利な回路です。回路と動作について

図17の回路は、SW₁を閉じると、全波整流回路から倍電圧整流回路になります。

交流100 V入力の時は、SW₁を閉じ、倍電圧整流回路で出力約280 V、交流200 V入力の時は、SW₁を開きブリッジ整流回路で出力約280 Vとなり出力電圧は一定となります。

図17の回路動作は、SW₁を閉じている場合は、正の半サイクルは、D₁, C₁, SW₁の回路で、負の半サイクルは、SW₁, C₂, D₂の回路で、それぞれ、C₁, C₂が充電される、いわゆる全波倍電圧整流回路です。

SW₁を開いている場合は、ブリッジ整流回路として動作します。

図18は、図17のSW₁をTRIACに置き換え、整流電圧を検出して、交流100 V, 200 Vを自動的に切り替えるようにしたものです。

図17 倍電圧、ブリッジ切り替え
100 V, 200 V併用電源回路

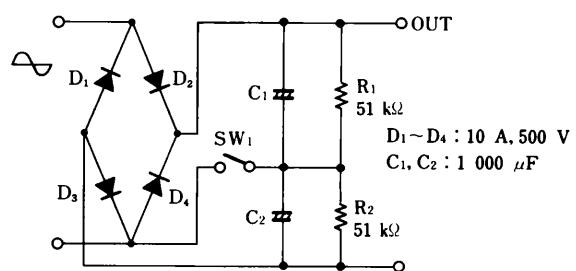
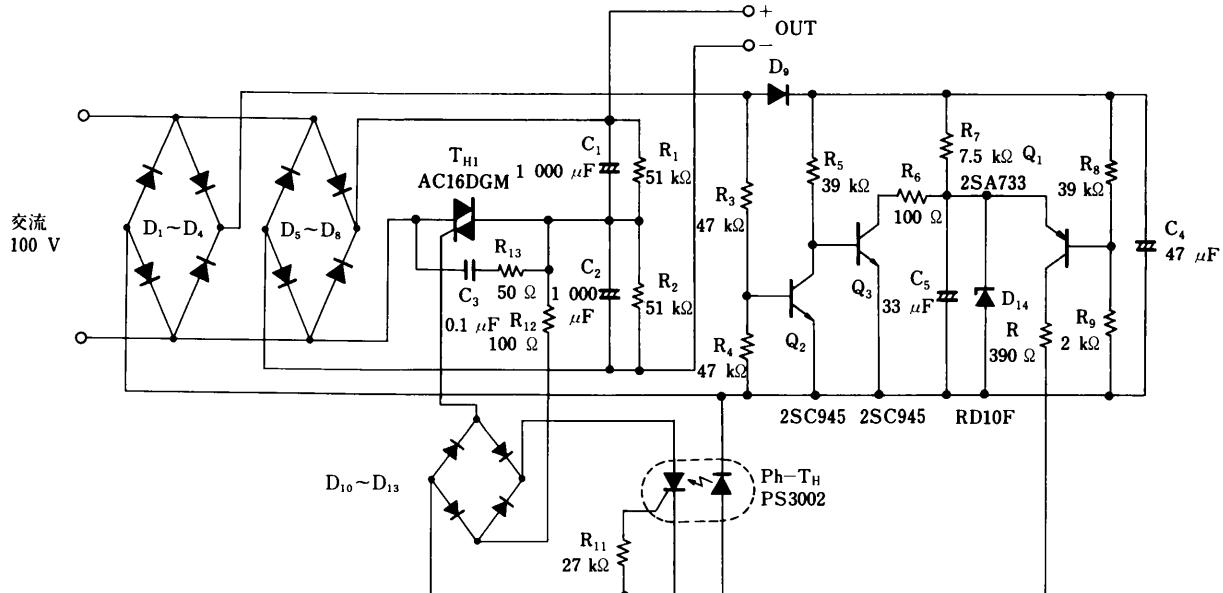


図18 倍電圧、ブリッジ自動切り替え100 V, 200 V併用電源回路



交流100 Vと200 Vの判定をするためD₅～D₉, C₄により電圧判定用の電圧を用意し, 抵抗 R₉の電圧と定電圧ダイオード D₁₄とを比較して電圧判定用の電圧が200 V以下の場合には, トランジスタ Q₁がオンして, ホトSCRカプラ Ph-T_Hがオンし, TRIAC T_{H1}をオンさせ, 倍電圧整流を行います。すなわち, 交流100 Vの場合には, 電圧判定用の電圧がせいぜい140 Vとなるため, 判定レベルの200 Vに達せず, 前記のようにTRIAC T_{H1}がオンし, 倍電圧整流を行います。交流200 Vの場合には, 電圧判定用の電圧が約280 Vとなり, 判定レベルの200 Vを越えるため, トランジスタ Q₁はオフとなり, ホトSCRカプラ Ph-T_H, TRIAC T_{H1}はオンせず, ブリッジ整流を行います。

ここで, C₅, D₉, Q₂, Q₃は, 交流200 V動作におけるスイッチ投入時の誤動作を防止するものです。すなわち, D₉により C₄からの直流分が阻止されるので, D₉のアノード側の電圧は, 全波整流された波形となります。この電圧を R₃と R₄で分圧して, Q₂のベースに加えると, Q₂は全波整流波形の谷時間, 約100 μ sだけオフし, このため Q₃は同期間オンしますが, 時間が短いためコンデンサ C₅の放電には影響を与えません。いま, 電源スイッチが切れると Q₂はオフ, Q₃がオンとなり, C₅は, R₆との時定数で放電します。この時定数を, C₄の時定数より十分小さく設計すれば, 電源スイッチのオン, オフ時の過渡状態においては, 必ず Q₁は, オフ状態とすることができます。交流200 Vで倍電圧整流という誤動作を防止できます。

10.2.4 簡易形交流定電圧回路

負荷に供給する電圧を安定に保つ定電圧回路のうち、負荷の変動が余りなく、交流電源の電源変動だけを考慮すればいいような場合に有効な簡易形の定電圧回路を紹介します。

(1) 負荷への平均電圧を一定に保つ回路

高圧トランジスタの一次側を制御し、二次側で整流して高圧の直流電圧を作る回路で、二次電圧の検出がむずかしい場合や、ブリッジ制御回路で負荷の変動がない場合には、図19に紹介するような回路によって交流電源の変動に対して出力電圧（平均値）を一定に保つことができます。

この回路の基本的な考え方は、位相制御された負荷電圧と同じ電圧波形を制御回路内で作り、その電圧を平滑することにより帰還信号として位相を決定するようにしたものです。

回路動作を簡単に説明すると、トリガパルス発生部は、オペアンプの出力電圧の大きさによって位相を変えることができる構成となっておりトリガ素子PUTは一度オンすると、次の電源電圧のゼロボルトまではオン状態を保持するようになっています。このためにPUTのゲート電位はトリガ位相までは高く、トリガ位相から次の電源電圧のゼロボルトまでは低くなります。このためトランジスタQ₁はトリガ位相まではオンし、その後はオフすることとなりコンデンサC₁の電圧は負荷電圧を平滑化したものと同じになります。このC₁の電圧とVR₁により与えられる設定電圧の差によってオペアンプの出力電圧は決まるため、C₁の電圧が一定となるようにトリガ位相を自動的に制御することになります。C₁への充放電の時定数は大きくしてあるため、ここで平滑された電圧は負荷電圧の平均値に比例するものとなり、出力電圧の平均値を安定に保つことができます。

この回路は、とくにスイッチ投入時の過渡的な位相の不安定を除くために起動スイッチをパルストラnsの一次側を短絡するように接続し、スイッチ投入前（この回路の場合はSWを開くこと）から制御回路としてはあらかじめ動作させておいて、スイッチ投入直後から設定の位相でスタートできるようにしてあります。

(2) 負荷への実効電圧を一定に保つ回路

“1”で説明した回路は、整流して直流電圧を作り負荷への平均値を一定に保つものですが、負荷によっては実効電圧を安定に保ちたい場合があります。ランプ負荷のコントロールなどがその例です。

図20に簡易形実効電圧安定回路の一例を紹介します。この回路の基本的動作は前記の回路と同じですが、波形の処理に工夫がしてあり、うまく実効値に比例した電圧をフィードバックするのに成功しています。この波形の処理部の定数等はかなり実験的なものですが、電源電圧変動±15 %に対して、出力電圧はほぼ±1 %以下となります。

図19 簡易形平均電圧安定回路

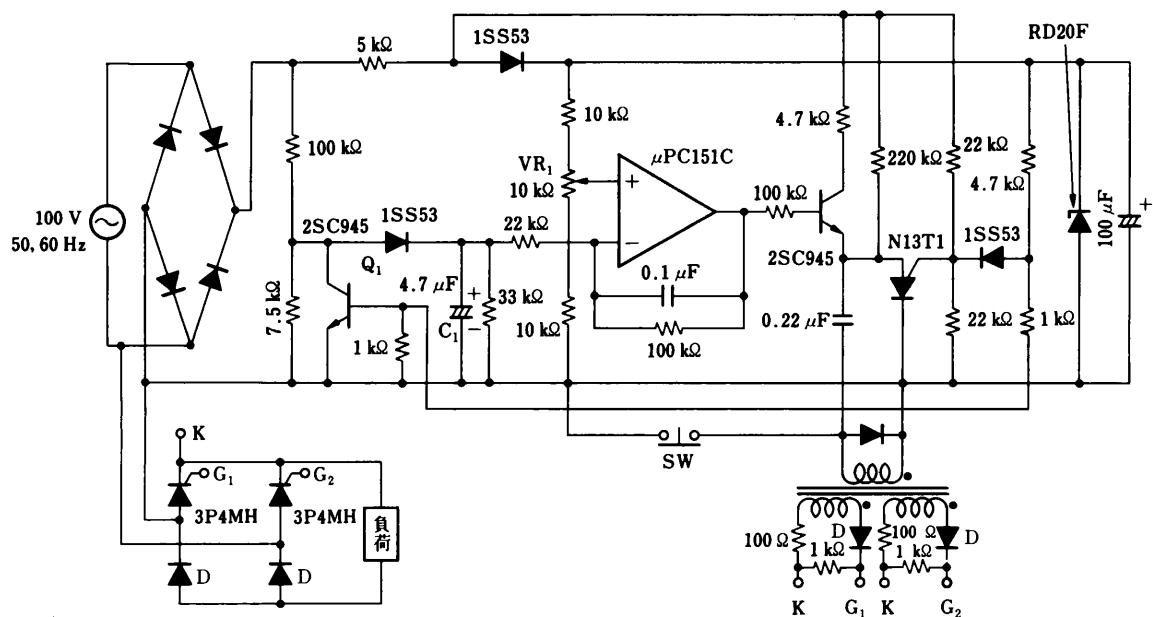
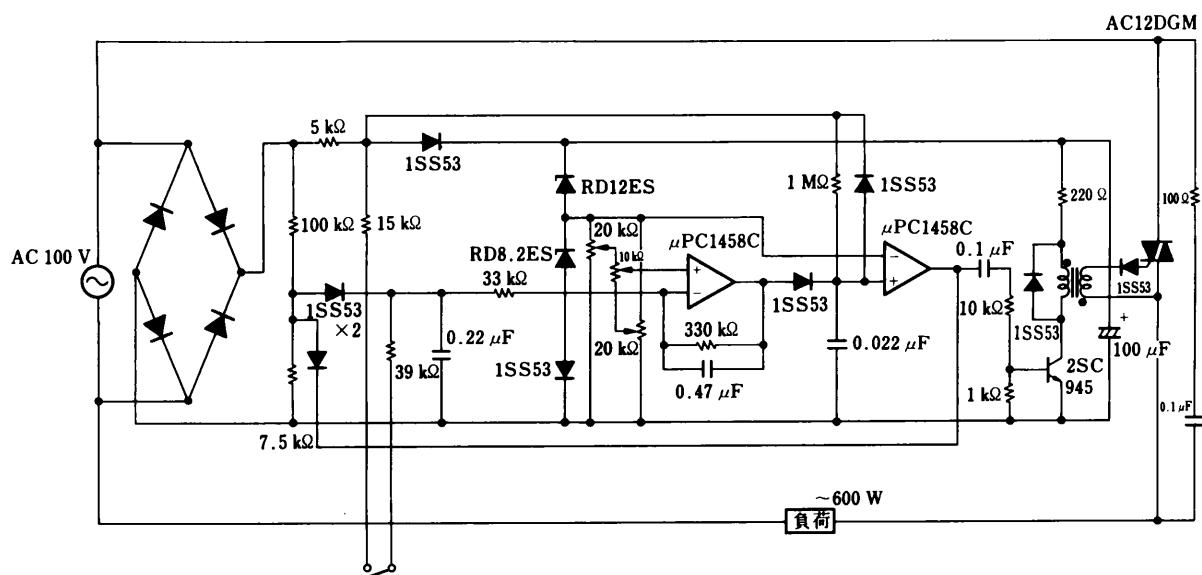


図20 簡易形実効電圧安定化回路



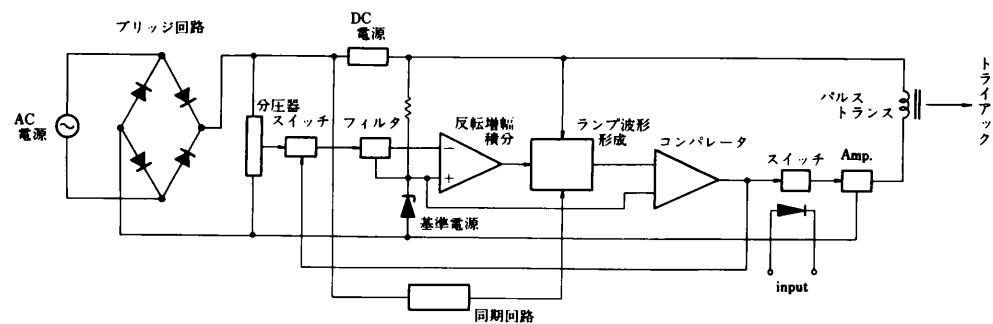
10.2.5 簡易実効値電圧電源回路

複写機・露光部に使用されるハロゲンランプの光量を一定とし、均一な画像を得るために、ランプに加わる実効電圧を、入力電源電圧の変動に対して一定に保つ働きを有するのが、ここに紹介する簡易実効値定電圧回路です。

(1) 回路動作の説明

図22にこの制御回路と動作波形を示します。

図21 ブロック図

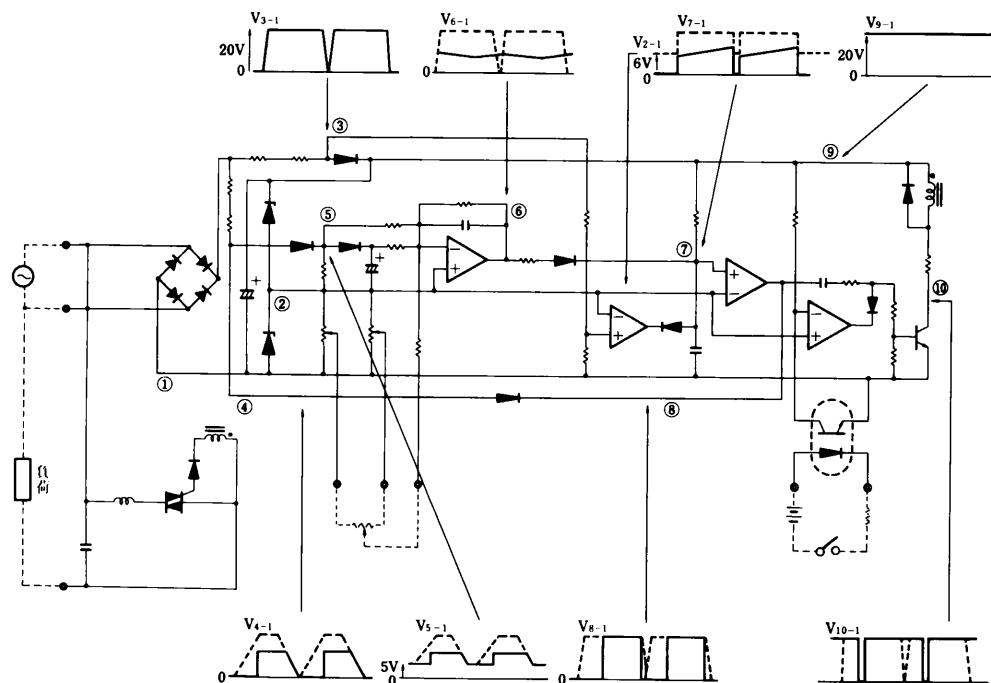


この制御回路の動作の概要を図21のブロック図にもとづいて説明します。

まずこの回路の基本的な考え方は、負荷への実効電圧を直接検出せずに、制御回路の中で、負荷電圧と同じ電圧波形を作り、その電圧によってフィードバックをかけて、負荷電圧の変動を抑える所にあります。

ブリッジ回路により整流された交流正弦波電圧は、抵抗分割により適度な電圧に分圧されます。この分圧された電圧を、負荷に電圧が表われている間だけ開くスイッチに通すことによって、負荷電圧を全波整流したものと同じ電圧を得ます。

図22



こうして得られた疑似負荷電圧を、フィルタによって適当な時定数で積分し、更に OpAmp によって、増幅積分して、疑似的に交流電圧の実効値に比例する直流電圧を得ます。

この直流電圧をランプ電圧形成回路にインプットして、ランプ電圧の初期電圧を変えることによって、ランプ電圧を平行移動させます。こうして得られたランプ電圧と基準電圧を比較して、トリガ位相が決定されることになります。

ここで、負帰還動作は次のように行われます。入力の交流電圧が上がったとすれば、分圧器、フィルタを通した OpAmp へのインプットも上がります。この変化は OpAmp によって反転増幅積分されますから OpAmp の出力は下がり、ランプ電圧は、その初期電圧が下がって、マイナス方向に平行移動します。(右図)このランプ電圧の平行移動によって、コンパレータが反転する位相(即ちトリガ位相)は遅れ、出力電圧の導通角がせまくなり、出力電圧の実効値は一定に保たれます。

出力をオンオフするスイッチはコンパレータの後にあるため、このスイッチのオンオフに関係なく、上記の回路動作は行われており、スイッチ投入と同時に安定動作に入ることができます。

(2) 特 性

図23にこの制御回路の特性を示します。

電源電圧変動±15 %に対して、出力電圧変動0.3 % (at 25 °C, $V_{out}=75$ V), 周囲温度の変化0~60 °Cに於て出力電圧変動±1 % (at $V_{out}=75$ V)の特性が得られています。

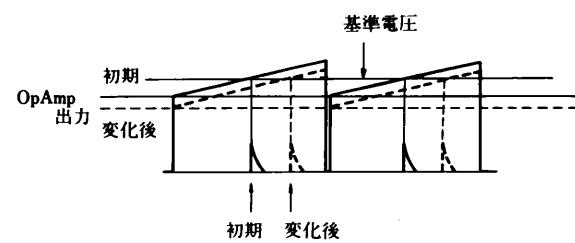
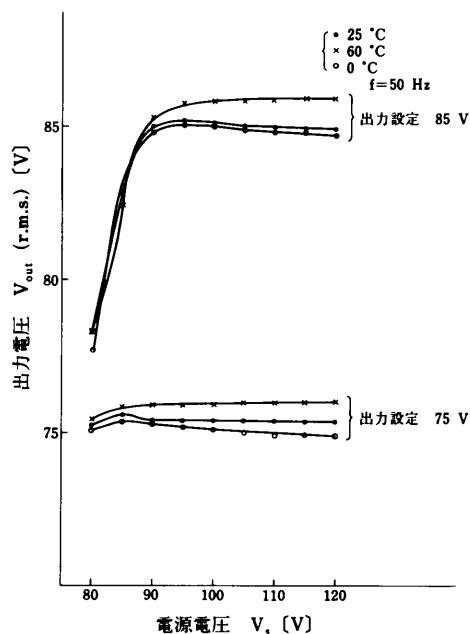


図23



10.2.6 実効値定電圧電源回路

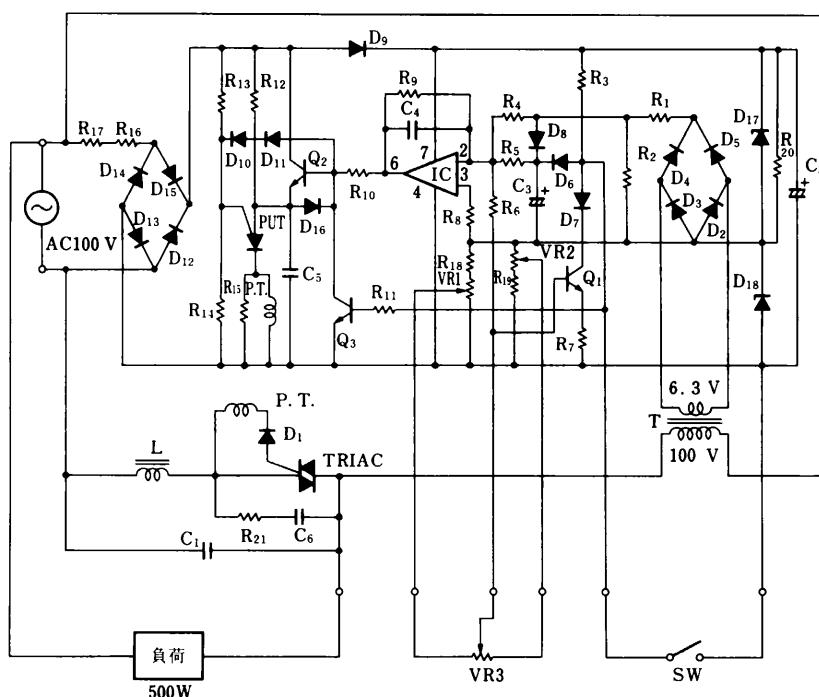
複写機露光部のハロゲンランプの光量の一定制御など電源電圧変動、温度変動に対して商用交流の実効電圧を一定とする制御回路を紹介します。

負荷電圧の平均電圧一定制御は種々の方法で比較的容易に行えますが、実効電圧一定制御となりますと2乗平均という関数系となり、制御回路を考案する場合、負荷電圧信号を熱に変換して帰還するなど回路に工夫が必要になります。

ここに紹介する実効値定電圧電源回路は、負荷電圧信号を熱に変換することなく、負荷電圧波形そのものを実効電圧に比例する電圧となるように整形、積分し、その信号をトリガ回路を通して TRIAC による位相制御を行っているものです。

回路動作については図25の動作チャート、図26の帰還波形操作部波形図および図27の各ポイント波形図を参照していただければ、概略の動作は理解していただけるものと思います。

図24 実効値定電圧電源回路図



符 号	部 品	数 量	符 号	部 品	数 量	符 号	部 品	数 量
Q1~3	2SC945	3	C1	0.22 μF	1	R9	330 kΩ	1
D1~4	ISS53	4	C2	100 μF	1	R10	47 kΩ	1
D10,11	IS953	2	C3	10 μF	1	R11	120 kΩ or 150 kΩ	1
D12~16	ISS53	5	C4	0.47 μF	1	R12	100 kΩ	1
D17,18	RD10E	2	C5	0.22 μF	1	R13,14	6.8 kΩ	2
IC	μPC741C	1	C6	0.1 μF	1	R15	100 kΩ	1
TRIAC	AC10DGM	1	R1,8,18,19	5.6 kΩ	4	R16,17	3 kΩ 3 W	2
PUT	N13TI	1	R2,3	10 kΩ	2	R20	4.7 kΩ	1
P.T.		1	R4,5	22 kΩ	2	R21	100 Ω	1
T	100:6.3 20mA	1	R6	39 kΩ	1	VR1,VR2	4.7 kΩ	2
L	100 μH 5A	1	R7	12 kΩ or 15 kΩ	1	VR3	10 kΩ	1

図25 実効値定電圧電源動作チャート

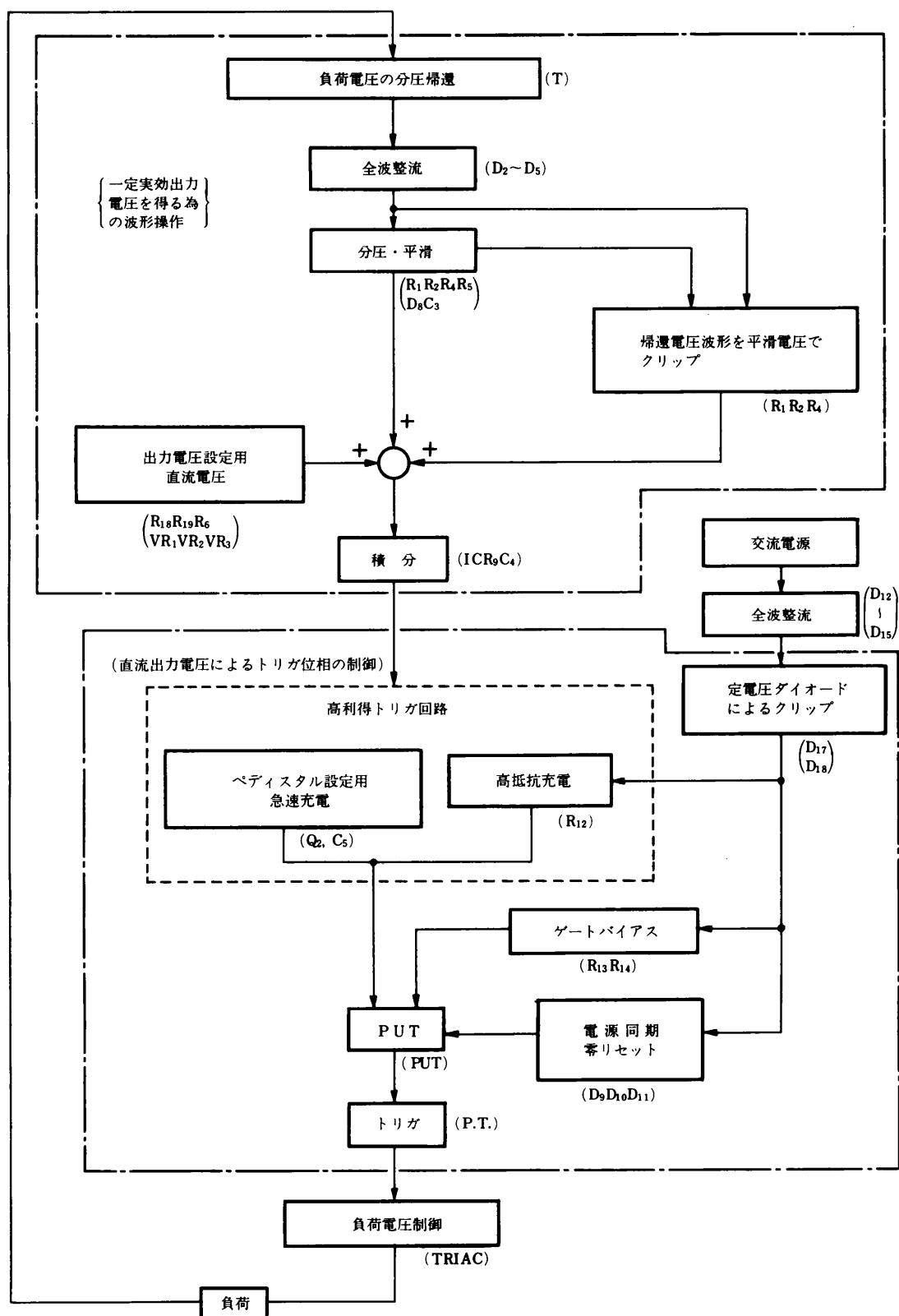


図26 帰還波形操作部波形図

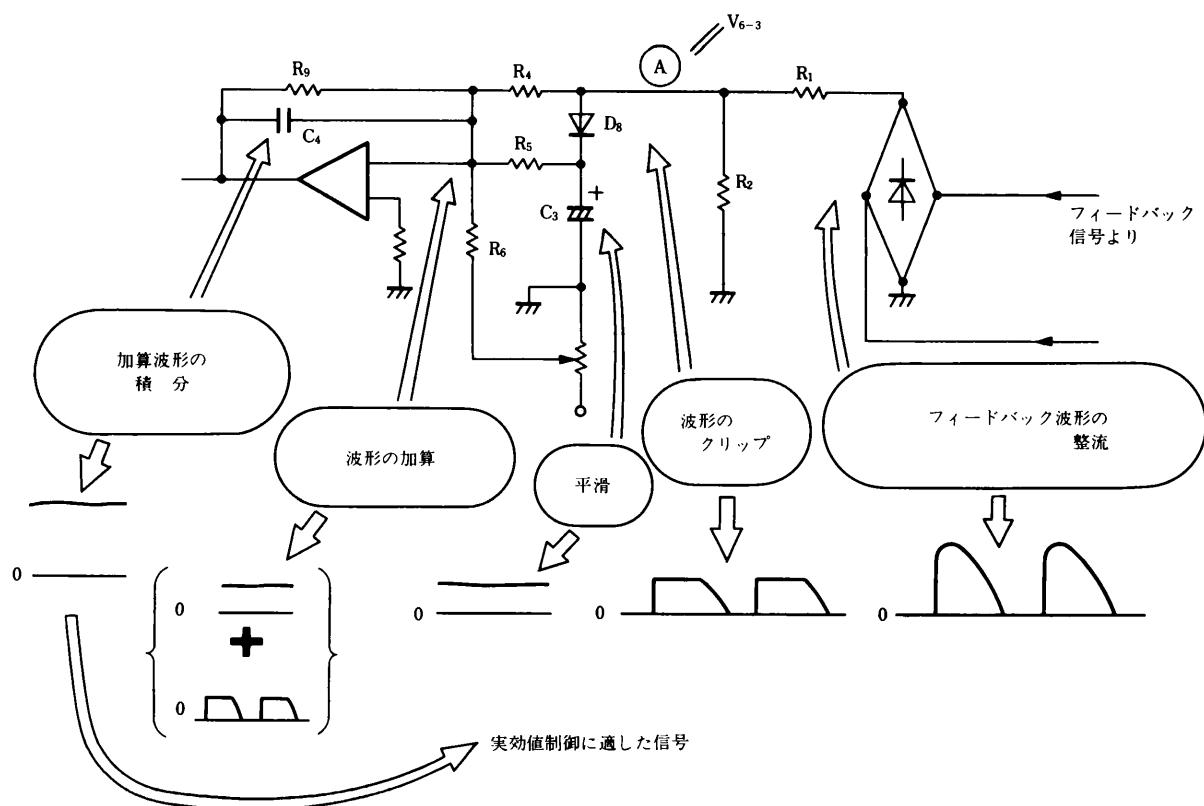


図26の帰還波形操作部は実効電圧一定制御部の心臓部であり、次のような動作となります。

- (1) フィードバックされた信号を全波整流し、 (R_1) と (R_2, R_4, R_5) の並列抵抗で分圧します。
- (2) この分電圧をコンデンサで平滑すると、平滑電圧は分電圧のピーク値、言いかえればフィードバック電圧のピーク値にほぼ比例した電圧になります。
- (3) このような状態においてフィードバック信号が入力されると次のような動作になります。

R_5 は C_3 からの電流が流れているため、

- ① 信号電圧が C_3 の電圧 $+V_{F(D8)}$ より小さい場合にはA点の電圧波形は (R_1) と (R_2, R_4) の並列抵抗の分圧となります。
- ② 信号電圧 C_3 の電圧 $+V_{F(D8)}$ より小さい場合にはA点の電圧($V_{6-3} = C_3$ の電圧 $+V_{F(D8)}$)となります。

- (4) これらの信号はオペアンプにより、 R_4, R_5, R_6 を通して加算し、さらに R_9, C_4 により増幅、積分します。

このような波形操作により得られた直流信号は実効電圧の変化と関数関係を持っており、実効電圧一定制御を行うのに適した信号となっています。

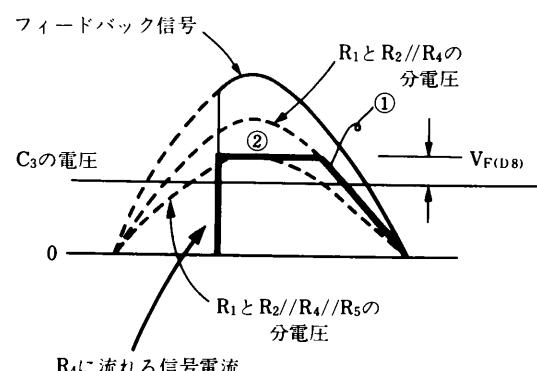
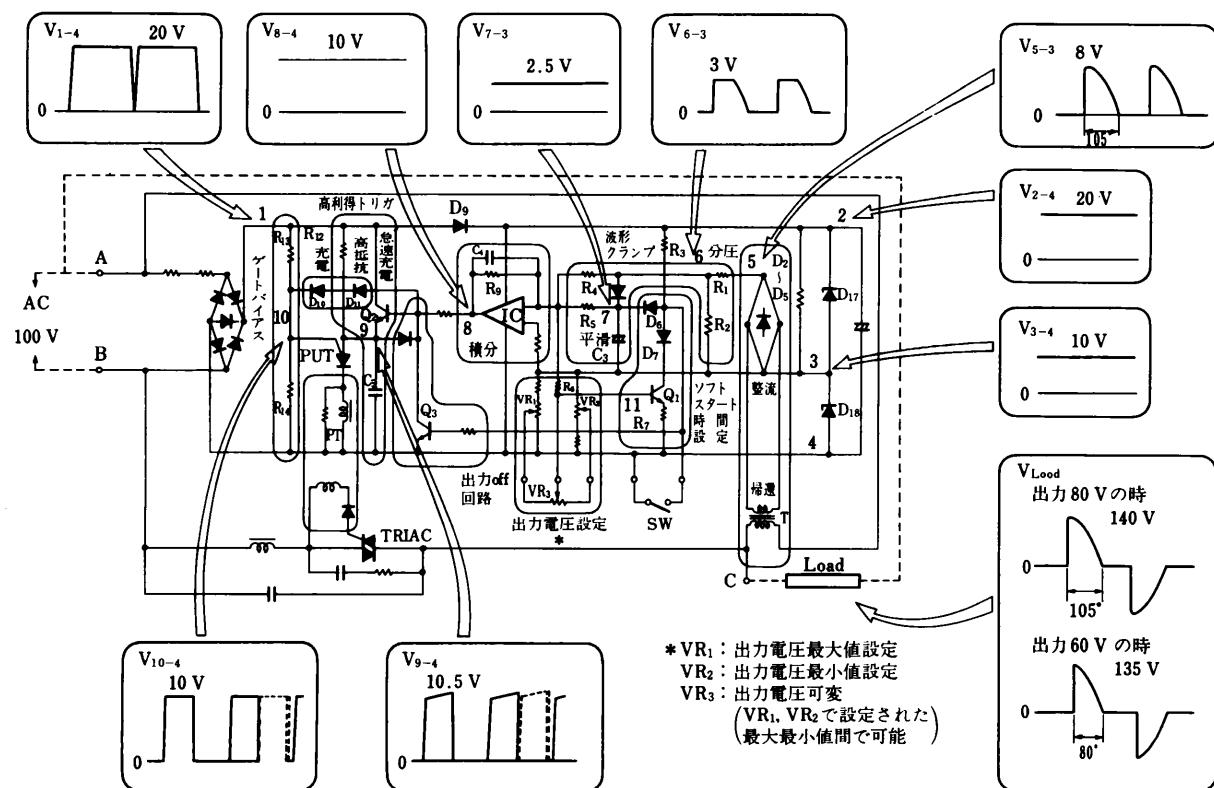
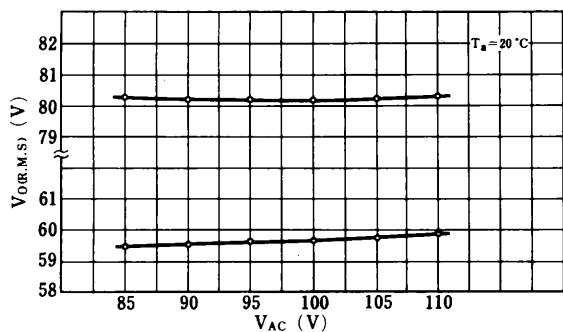
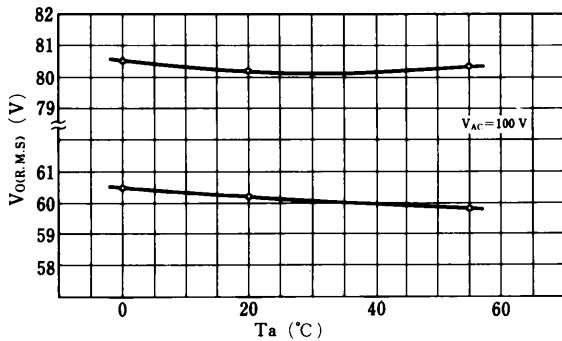


図27 実効値定電圧電源回路各ポイント波形

図28 $V_{O(R.M.S.)} - V_{AC}$ 特性図29 $V_{O(R.M.S.)} - T_a$ 特性

10.3 トリガ素子

10.3.1 SBSを使用したネオン管点滅回路

ネオン管を乾電池で点灯する簡単な方法に、リングングチョークの原理を利用したブロッキング発振回路を使用する方法があります。

図1に示す回路はこれにSBS(双方向スイッチング素子)を用いて、点滅する機能を持たせたものです。小形の信号灯などの用途が考えられますが、螢光色のネオン管を使用すれば、電子ホタルを作ることもできます。

使用するブロッキング発振用トランジスタTの巻数比、 $n_1 : n_2 : n_3$ は、1:1:10~15程度にします。(ネオン管の放電電圧によって多少調整が必要です。)今スイッチSが閉じられると、 n_2 巻線、抵抗 R_1 を通じてトランジスタ Q_1 にベース電流が流れ Q_1 はオンします。このとき n_1 巻線に印加される乾電池電圧Eが n_2 巻線にも発生しベース電流 I_B は $I_B = 2E/R_1$ となります。トランジスタのインダクタンスにより Q_1 のコレクタ電流 I_C は直線的に増加します。コレクタ電流が $I_B \cdot h_{FE}$ に達するともはや増加できます。 n_2 巻線に発生している電圧もなくなるため、トランジスタ Q_1 はオフします。トランジスタ Q_1 オフ時にトランジスタに蓄えられたエネルギーは、 n_3 巻線に高電圧となって発生し、ネオン管を点灯します。ブロッキング発振中はこのオン、オフが繰り返されますが、 Q_1 オフ時には、ネオン管の放電電圧を、トランジスタTの巻数比(n_1/n_3)倍した電圧が印加されています。これをダイオードDで整流しコンデンサCに充電し、その端子電圧は徐々に増加します。SBSは図2(a)の等価回路を1チップ化した双方向スイッチング素子で図2(b)に示すV-I特性のように、7~8Vのスイッチング電圧を持っています。一方向しか使用しませんので図3に示すようにPUTやトランジスタで、同機能の回路を構成できます。Cの充電電圧がSBSのスイッチング電圧に達すると、SBSはターンオンし、コンデンサCの放電電流はトランジスタ Q_2 のベースに流れ Q_2 をオンし、 Q_1 によるブロッキング発振は一時中断されます。このためネオン管は消灯状態になりますが、Cの充電電荷の放電が終了するとSBSはオフし、再び Q_1 によるブロッキング発振が開始されネオン管を点灯します。点滅の周期は、 R_2 とCにより設定し、消灯時間は R_3 により設定します。乾電池電圧が1.5VのときはダイオードDの V_F とSBSのオン電圧 V_T とトランジスタ Q_2 の V_{BE} の和が1.8V程度になりSBSは必ずオフしますが、乾電池を直列使用する場合にはSBSの保持電流が小さいためオン状態が継続する可能性があり、抵抗 R_2 、 R_3 の設定に注意が必要です。ネオン管の発光強度は、 R_1 を調整して変化することができます。

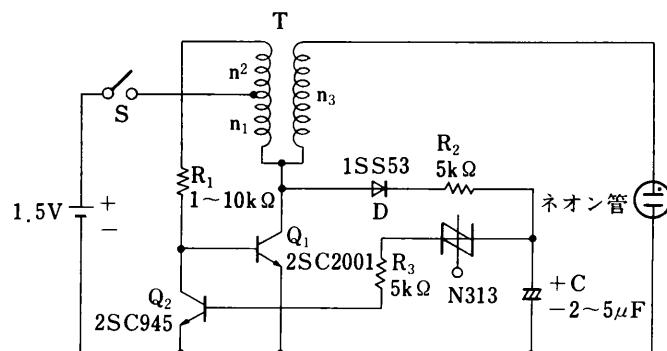


図1 SBSを使用したネオン管点滅回路

10.3.2 タイマ付きブロッキング発振回路

図1に示す回路は、ガスライタなどに使用できる点火回路で、ブロッキング発振回路が使用されています。スイッチSを閉じると、数秒間だけ火花放電が行なわれ、ガスに着火後の乾電池のむだな消費を防止するものです。点線で示した負荷回路を、ネオン管などに置きかえて、コンデンサC₁の容量を大きくすれば、スイッチSを開じた後、ある時間だけ点灯する信号照明を作ることができます。

FET Q₂は図2に示す、V_{GS}-I_D特性のようにゲートバイアスが零のときは、ある一定のドレイン電流を流します。スイッチSを閉じると、トランジスタQ₁にベース電流が流れQ₁がオンして、Q₃によるブロッキング発振が行なわれます。Q₃オフ時に発生する高電圧を、整流ダイオードD₂で整流し、コンデンサC₂に充電します。PNPNスイッチであるNFD15、Q₄は、図3に示す特性の一方向性スイッチング素子でブレークオーバ電圧V_{BO}が96~152Vあり、これをA~Eまで5区分してあります。C₂の充電電圧が、PNPNスイッチQ₄のV_{BO}に達するとQ₄はターンオンし、C₂の充電電荷をイグニッショントランスT₂の1次側にパルス電流として放電するので、その2次側に高電圧を発生し、火花放電が得られます。ダイオードD₃は図4に示す振動する放電電流のバイアス用であり、コンデンサC₂が電解コンデンサのときは不要です。ブロッキング発振中に、トランスT₁のn₂巻線に発生する電圧(V_{BO}・n₂/n₃)をダイオードD₁で整流してコンデンサC₁に充電します。C₁の充電電圧は徐々に増加し、FET Q₂のゲートバイアスとして印加され、その値がピンチオフ電圧に達するとQ₂はオフ状態になります。

このためトランジスタQ₁もオフして回路動作は停止します。

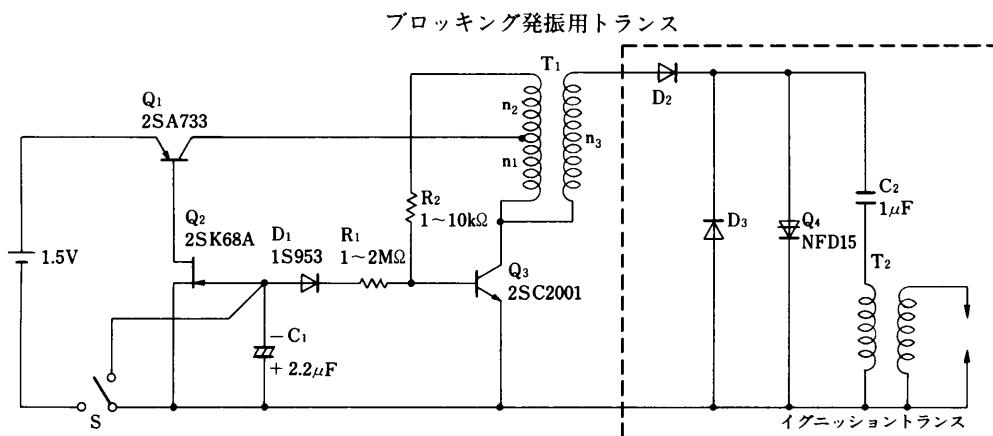


図1 タイマ付点火回路

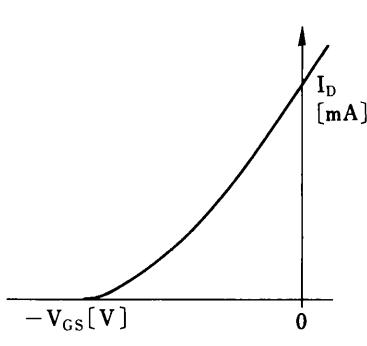
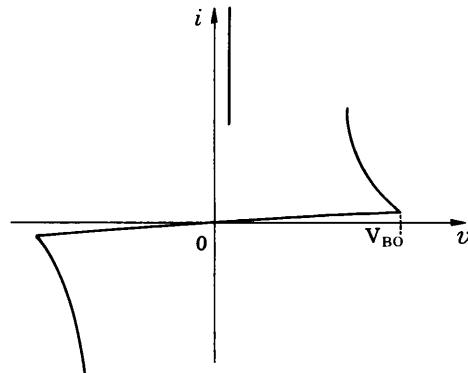
図2 FETのV_{GS}-I_D特性例

図3 PNPNスイッチの基本特性

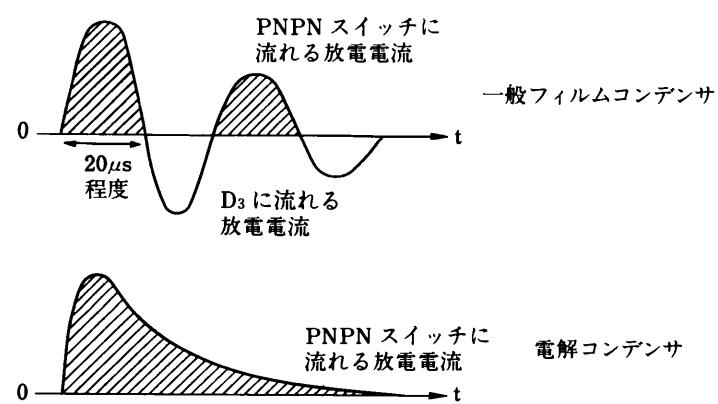


図 4 放電電流波形例

10.3.3 三相ゼロクロススイッチ基本回路

(1) 三相ゼロクロススイッチの考え方

図1に示すように三相回路に半導体スイッチを挿入した時、その半導体スイッチの両端にかかる電圧は、いわゆる相電圧と同じ位相となります。図2を見れば明らかですが、この相電圧は線間電圧に比べ $\pi/6$ の位相遅れを持っています。従って、三相の制御回路を考える場合は図3に示しますように、線間電圧の位相角ゼロより $\pi/6$ 遅れた位相を位相角ゼロとします。この点は相電圧がゼロとなる点です。

三相ゼロクロススイッチを実現するには、サイリスタに加わる電圧がゼロとなった時にサイリスタをオンさせてやればよいわけですから、相電圧がゼロになる位相、すなわち位相角ゼロの位相でパルスを発生すればよいことがわかります。

ところが、三相ゼロクロススイッチをスタートさせるには、2つのサイリスタを同時にトリガする必要があります。また、このスタート時にはどのサイリスタもオンしていないために、これからオンさせようとする2つのサイリスタのある相だけを考えれば単相と同じことから、この場合は、線間電圧に同期して2つのサイリスタをトリガしなければならないことがわかります。

(2) 三相ゼロクロススイッチ基本回路

1項に述べた考え方で回路を構成したのが図4に示す回路です。同図に於きまして μ PC1701Cとして表わしてあるのは、NECのゼロクロスICで交流入力(8ピン)にて交流電源のゼロポイントを検出してゼロクロスパルスを発生します。IC1はU-V相の電源に同期して、U相とV相に挿入されているトライアックに同時にトリガパルスを印加します。これは先の説明からも明らかなように、負荷への電力供給スタート時に動作します。IC2~4は入力が星形結線されているため、各相電圧に同期して相電圧の位相角ゼロでトリガパルスを発生します。

この回路の電力のオン・オフは、図4ではスイッチSWのオン・オフにより行っていますが、同図の結線(1-3ピンの接続)では、スレッシホールドが標準50%のコンパレータとして働きますのでアナログ電圧入力でも使用できます。

また、基準入力を外部より与えたい場合は図5のように3ピンを使用して基準電圧を作ってください。

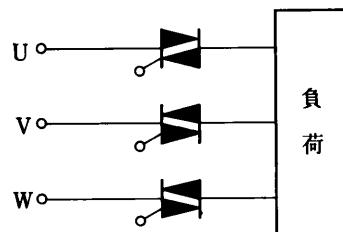


図1

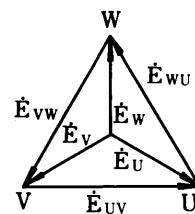


図2

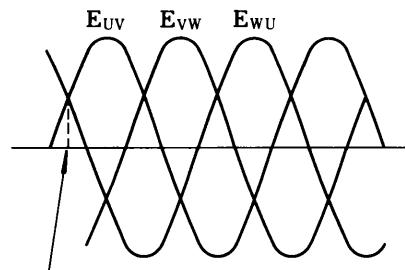


図3

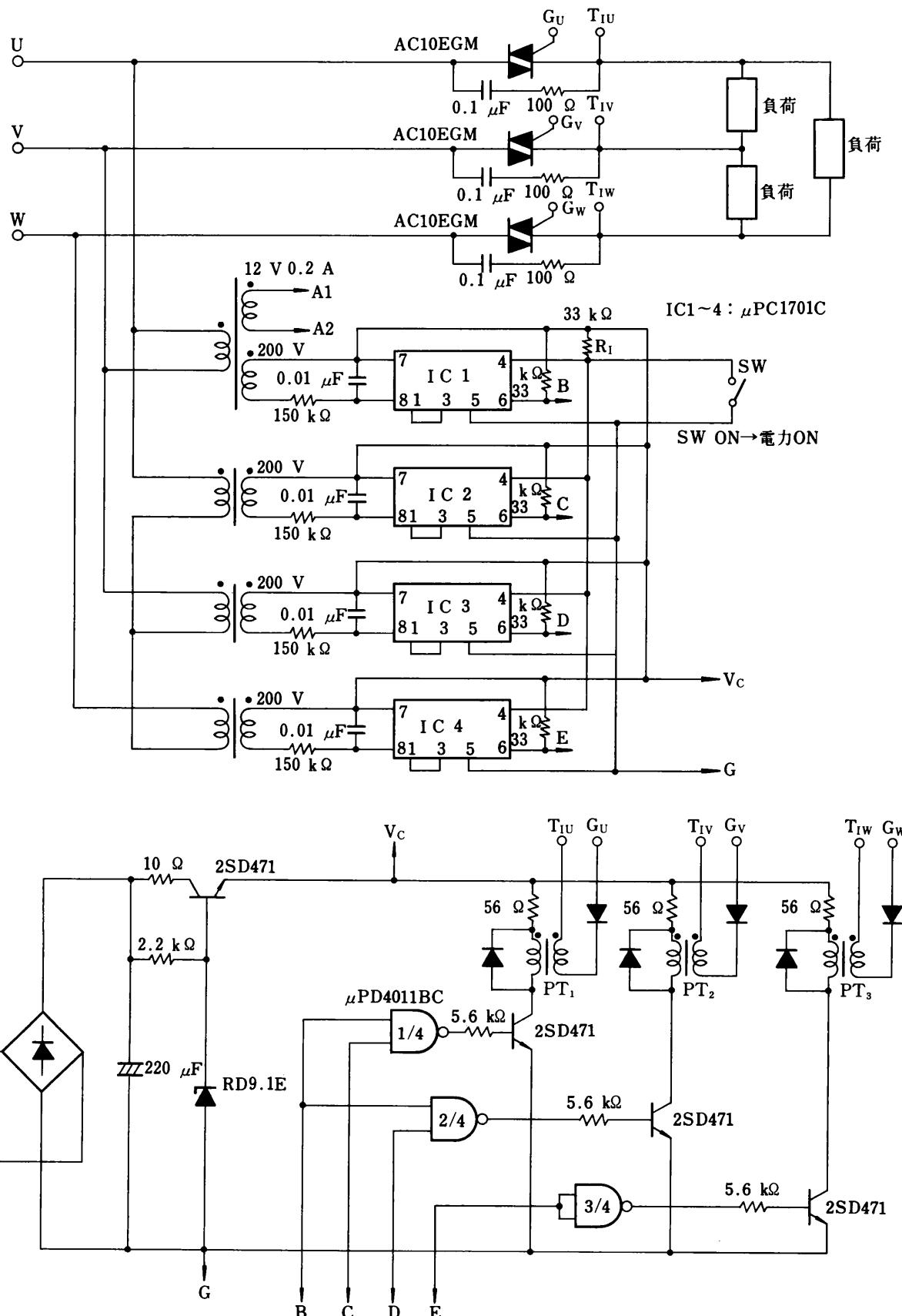


図4 三相ゼロクロススイッチ基本回路

11. PUTのすべて

PUT (プログラマブル, ユニジャングション, トランジスタ) は、アメリカのGE社より発表された半導体素子で、当初は品名から覗えるように従来のUJTに対応させ、外部抵抗の操作によりピーク電流 (I_p)、谷電流 (I_v)、ベース間抵抗 (R_{BB})、真性スタンドオフ比 (η) 等を自由にプログラム出来ることを特徴としたサイリスタのトリガ素子として取り扱われていました。然し乍ら、最近に至って、PUTの種々の優れた特質から色々な興味ある応用分野に活用出来ることが判り、注目されるようになってきました。そこで本資料では、PUTを単に等価UJTとしてのみ捉えることなく、また単なるNゲートコンプリメンタリSCRとしてのみ捉えることもなく、その総体が認知されるよう原理と構造、特徴、応用技術応用例、信頼性の現状等、PUTの全ての面に亘って考察してみます。

11.1 PUTの原理と構造

半導体の $P_1 N_1 P_2 N_2$ 4層構造体に特有な強いスイッチング作用は、一般に良く知られている所であり、その理論も確立しています。今日、産業界になくてはならない存在になっているSCRは、この4層構造体に制御極(ゲート)を設けて高度の有用性を付与し実用性を持たせたものです。このゲートによる制御作用は、4層構造を $P_1 N_1 P_2$ トランジスタと $N_1 P_2 N_2$ トランジスタの組み合わせとして等価的に表わすことにより、ほとんど直感的に理解することができます。今、実際の半導体素子に内在する諸制約要因を取り除いた純粋な $P_1 N_1 P_2 N_2$ 4層構造モデルを考えると、この素子は、両端子間に電圧を印加するだけでは恒常的に電流を阻止し続けます。しかし、何らかの要因により、この素子をつら抜いて一度電流が流れると、こんどは強い正帰還作用により恒常的に電流を流し続けます。ゲートの目的はこのスイッチングに必要な初期の電流を導くことであり、通常はゲートに電流を流すことによりその目的は果たされます。そして、このゲート電流は、上に述べた等価トランジスタのベース電流に対応させることができます。 $P_1 N_1 P_2 N_2$ 4層構造は、 $P_1 N_1 P_2$ トランジスタと $N_1 P_2 N_2$ トランジスタにより等価的に表わし得ることは、上に述べました。そして今、SCRのゲートは等価トランジスタの

図1 N13Tのペレット構造模型

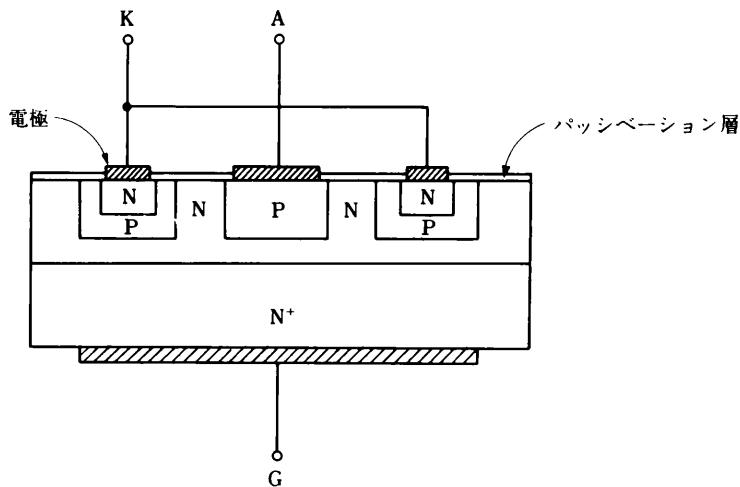
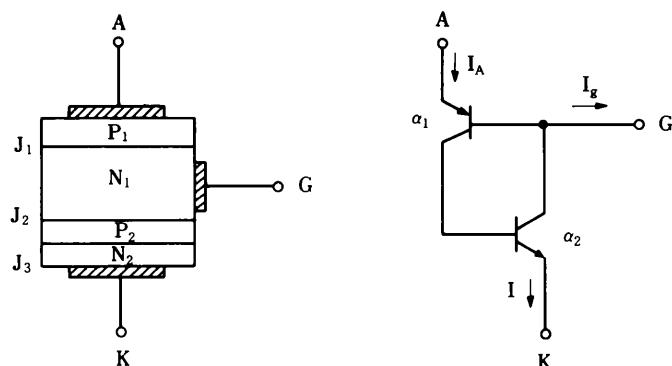


図2 Nゲート SCRのモデル



ベースに対応することを述べました。これらの事柄から、P₁N₁P₂N₂ 4層構造体に設けることのできるゲートの位置は2箇所存することが判ります。つまり N₁P₂N₂トランジスタのベースに対応する P₂層と P₁N₁P₂トランジスタのベースに対応する N₁層が、それです。現在、広く実用されている SCR は前者のタイプであり、この故に P ゲート SCR とも呼ばれています。一方、後者のタイプも極少量の機種乍らも検討が加えられ、一部は商品化されていました。このような SCR は、ゲートが N 層にあることから前者に対応して N ゲート SCR と呼ばれており、また前者が現今においては至極ボピュラであることから、コンプリメンタリ SCR とも呼ばれています。

PUT は、この N ゲートコンプリメンタリ SCR に属し、さらに PUT たるべく特に工夫して作られています。では、“PUT が、通常のコンプリメンタリ SCR の中で特に PUT としての基盤を確立したのは何故か、また、P ゲート SCR に比しても特異な存在であるのは何故か”と言うと、先ず一番に挙げなければならない理由は、その非常に高感度さと、高い安定性が達成されたことでしょう。これには非常に大きな意義があります。もしこれが達成されなかったら、PUT の有用性は失われ、極普通の N ゲート SCR として限られた用途にしか用いられなかつたことでしょう。例えば、従来の SCR はパルス駆動を立て前とし、ゲートでアナログ信号を弁別してスイッチングするような使い方は推奨されませんでした。しかし、PUT では、その特質の故にこのような使い方が可能であり、可能であるからこそ後の章で紹介するような弛張発振器やタイマ等を構成することができます。このような特質が表面化する要因は、PUT の構造とその製造方法にあります。

図1はPUT(N13Tシリーズ)のペレットの断面模型です。図のように PNP トランジスタは横型で、また NPN トランジスタは縦型で造られています。従ってゲートはサブストレートに接続されています。このことは、ゲート電流がアノードゲート接合の深い部分を通じて流れ、トリガに有効に作用することを意味します。(図参照)しかし、PUT が高感度であるのは、この構造的要因にだけ起因するのではなく、もっと支配的な要因があります。次に、そのことについて触れておきます。(1)式は、N ゲート SCR の機能を図2のようなモデルで等価的に表わした時、ターンオンの機構を説明するのに使われる式です。一般には、近似的に $m_p = m_n$ とおき、 $\alpha_1 + \alpha_2 = 1$ となった時、電流 I が無限大になる、つまりターンオンすると説明されます。

$$I = \frac{I_{s2} + \alpha_1 m_p I_G}{1 - (\alpha_1 m_p + \alpha_2 m_n)} \quad \dots \quad (1)$$

ただし I_{s2} ; J_2 接合の飽和電流

α_1 ; PNP トランジスタの電流到達率

α_2 ; NPN トランジスタの電流到達率

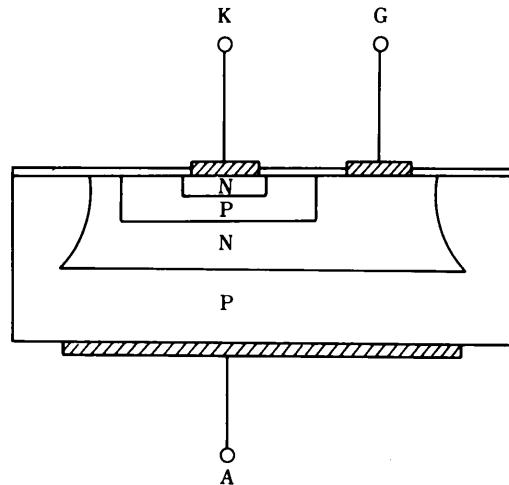
m_p ; J_1 における正孔の増倍率

m_n ; J_2 における電子の増倍率

この式から、 α_1 を大きくすればゲート電流 I_G の影響が強くなることが判ります。また、強い電流依存性を示す α_2 が微少電流域でも大きくなるように製造しておけば、 I_G により電流 I が若干増えただけで $\alpha_1 + \alpha_2$ が 1 に達し易くなることが考えられます。つまり、N ゲート SCR では微少電流域における α_1 と α_2 を（なんかんずく α_1 を）大きくすれば、ゲート感度を上げることができます。しかし、(1)式には同時に I_{s2} の項を含んでいます。もしこの項を無視して α_1 と α_2 を大きくしてしまうと、 I_{s2} が流れるだけで $\alpha_1 + \alpha_2$ が 1 に達してしまい、独りでにターンオンする素子ができてしまう恐れがあります。以上のことから高感度で、しかも安定な素子を作るには、 α_1 及び α_2 を大きくすると共に I_{s2} を小さくしなければならないことが判ります。 I_{s2} を小さくするには高水準の製造技術をもって素子製造に当ることの他、本質的に I_{s2} を小さくする手段として比抵抗の低いウェハを使う方法があります。PUT は、この双方の融合によって始めて現実に製造可能となります。付け加えると、 I_{s2} が小さくなるということは、取りも直さず漏れ電流が小さいという PUT の特徴に通じます。また、ウェハの比抵抗を低くする結果、PUT の耐圧は低くならざるを得ません。現在、市場で入手できる PUT には、40V と 100V の 2 系統があり、通常の P ゲート小型 SCR に比べ数分の一の耐圧しかありません。しかし、この程度の耐圧でも、後の章で紹介しますように回路方式によっては非常に高い電源電圧のもとで作動させることができます。

図3に製法の異なる PUT のペレット断面模型を示します。この構造では、ペレット製作時の拡散工程が多くなり高価になりますが、N13Tシリーズの PUT の PNP トランジスタが横型であるのに対し、この例では縦型であるので前記 α_1 を大きくし易く、 I_p 、 I_v をより小さくすることもできます。また、耐圧を向上させ易いのもこの構造の特徴です。

図3 製法の異なるPUTの例



11.2 PUTの応用技術

11.2.1 PUTのプログラマビリティ

PUTが従来の負性抵抗素子と趣きを最も異にするのは、そのプログラマビリティにあり、これが由に従前の素子では実現できなかった技術、もしくは婉曲的に実現していた技術等が実現可能に、あるいはまたより簡易に実現し得るようになって来たと言えます。従って、PUTを活用して従来技術の改良や、新規応用技術の開発に当たるには、このPUTのプログラマビリティについてよく知っておかねばなりません。この章では、PUTのプログラマビリティがどの程度のもので

図4 PUTによる弛張発振回路

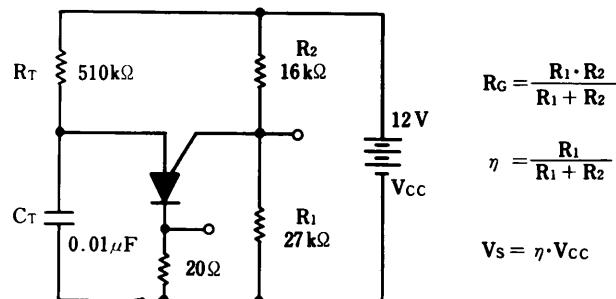
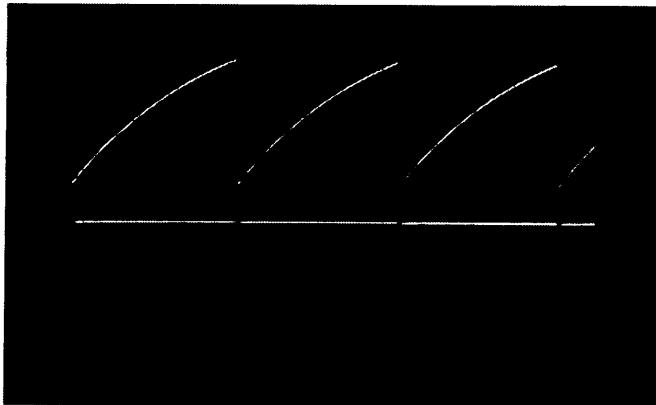


写真1



アノード電圧波形

ゲート電圧波形

あるのか、また具体的にどのようにして回路設計に活用されているのかといった事柄について解析してみます。

さて、PUTのプログラマブルなパラメータの中にピーク電流(I_p)があります。PUTがNゲートサイリスタであることを思うと、ピーク電流という表現はいささか奇異に感じられますが、図4のような回路で弛張発振をしている時のPUTの動作を、ユニジャンクショントランジスタ(UJT)になぞらえて解析する都合から、このような表現をします。。しかし、本質はPUTをターンオンさせるに必要なゲート電流に相当するので、ごく普通にコンプリメンタリSCRとして使用する際には、このピーク電流をPUTのゲートトリガ電流として取り扱ってさしつかえありません。図5はピーク電流のプログラマビリティを示すグラフの例で、ゲートのバイアス電圧(V_s)は10Vに設定しています。この図から、実用的な R_G の範囲でピーク電流は約2ディケードに亘ってプログラムできることが読み取れます。また、ごく大ざっぱな近似を行うと、次式が得られます。

$$I_p \approx \alpha R_G^{-0.55} \quad \dots \quad (2)$$

ここで、 α は個々のPUTによって異なる定数で、N13T1は大きく、N13T2は小さい値を取ります。一方、ピーク電流のゲートバイアス電圧(V_s)に対する依存度は低く、図6及び図7に示す程度にとどまっています。このことから、PUTによる発振器やタイマを設計する場合に電源電圧の変化によるピーク点付近の特性の標動は考慮する必要のないことがうなずけます。PUTのもう一つのプログラマブルなパラメータに谷電流(I_v)があります。この谷電流の定義も、PUTをUJTになぞらえて設定してあるもので、PUTのアノードカソード間のダイナミックインピーダンスが丁度零となるようなアノード電流をさしています。つまり、アノード電流が丁度谷電流と等しくなった時、正抵抗成分と、負抵抗成分の絶対値が等しくなるので端子間から見たダイナミックインピーダンスは零となります。従って、アノード電流が少しでも増えるとPUTは正抵抗領域に入り、逆に減少すると負抵抗領域に入ります。図8は谷電流のプログラマビリティを示すグラフの例で、ゲートバイアス電圧は同じく10Vに設定しています。この図からピーク電流と同じように、実用的な R_G

写真2

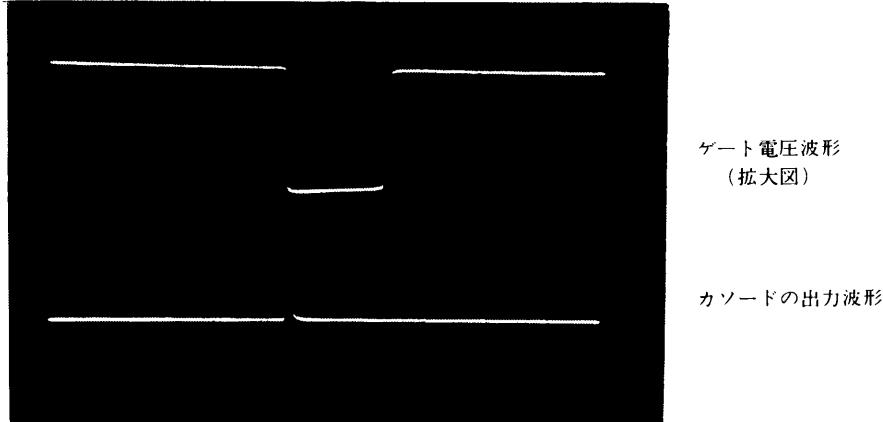
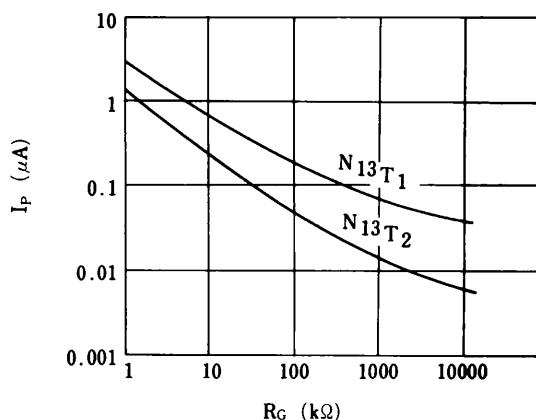
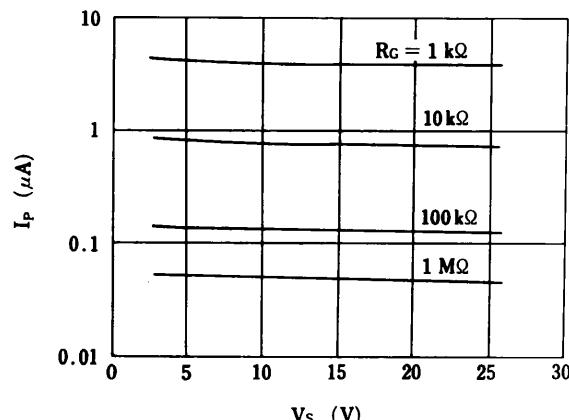
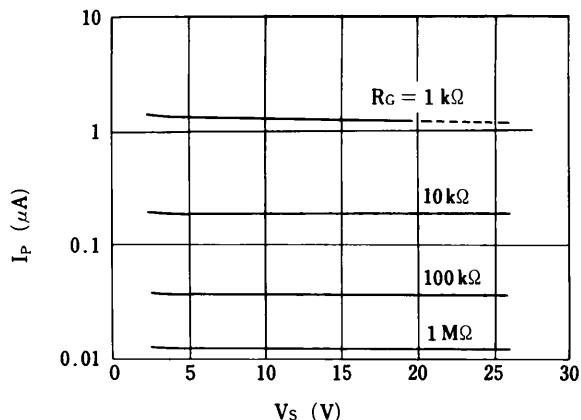
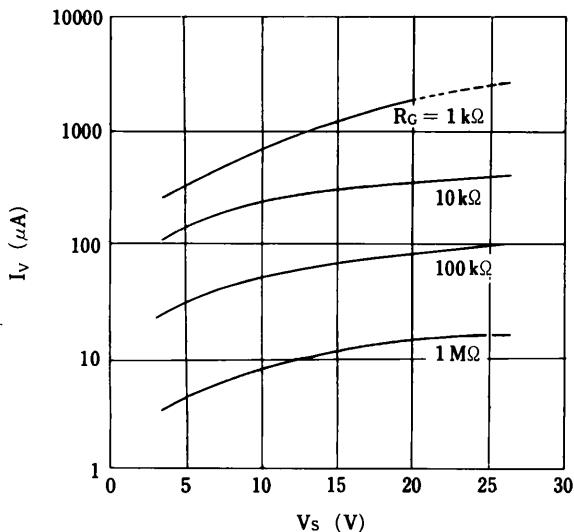
図5 ピーク電流(I_p)のプログラマビリティの例図6 N13T1 の $I_p - V_s$ 特性例

図7 N13T2の I_p - V_s 特性例図9 N13T1の I_v - V_s 特性例

の範囲で約2ディケードに亘ってプログラムできることが判ります。この場合の近似式は I_p のそれより近似度がかなり良くなります。

$$I_v \approx \beta R_G^{-0.66} \quad \dots \quad (3)$$

ここで、 β は個々のPUTによって異なる定数で、N13T1は大きく、N13T2は小さい値を取ります。一方、ピーク電流とは対象的に谷電流の大きさは、ゲートバイアス電圧にも依存して変化し、特にバイアス電圧が低い場合にその影響を大きく受けます。図9及び図10に示したグラフがその例で、グラフから判るように R_G が低い領域と、逆に高い領域でバイアス電圧に対する依存度が高くなる傾向があります。従って谷電流の大きさが考慮の対象になる発振回路においては R_G による谷電流の変化は勿論のこと、ゲートバイアス電圧による変化も考慮して回路設計を進めなければなりません。もし、この注意を怠ると、例えば電源電圧が低下したような場合、谷電流が小さくなるので発振が停止することが起る恐れがあります。勿論、谷電流に関して充分な余裕のある設計を行なってあれば、このようなことは回避できるわけですが、諸々の制約から満足するべき設計ができず、失敗することがあります。

尚、谷点付近ではPUTがインダクタンスとして作用するために、弛張発振用のコンデンサと振動を起しPUT自身を逆バイアスする結果、アノード電流が I_v より大きいにもかかわらず正常な弛張発振を起こすことがあります。この現象を、インダクタンスを追加することにより人為的に助長してやると I_v より相当に大きいアノード電流が流れるような条件の下で安定な弛張発振を起こすことができます。

PUTのプログラマブルなパラメータにオフセット電圧(V_T)もあります。オフセット電圧とは、ゲートバイアス電圧(V_s)とピーク電圧との差の電圧で定義されるもので、通常のサイリスタの定義でゲートトリガ電圧と呼ばれるものに相当

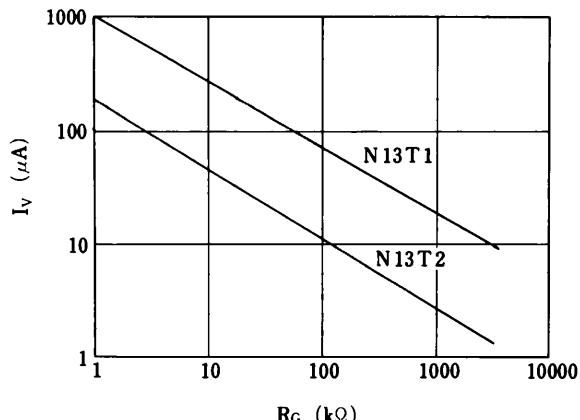
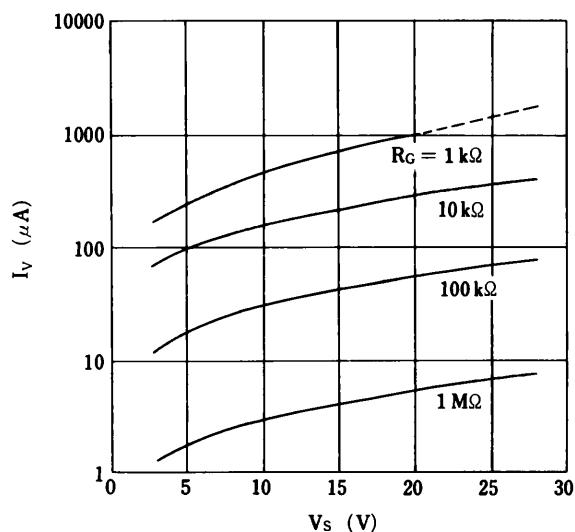
図8 谷電流(I_v)のプログラマビリティの例図10 N13T2の I_v - V_s 特性例

図11 オフセット電圧のプログラマビリティの例

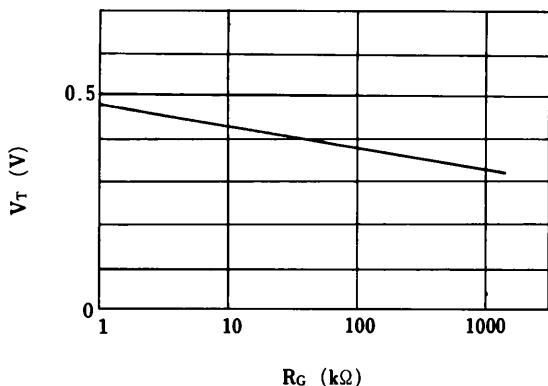
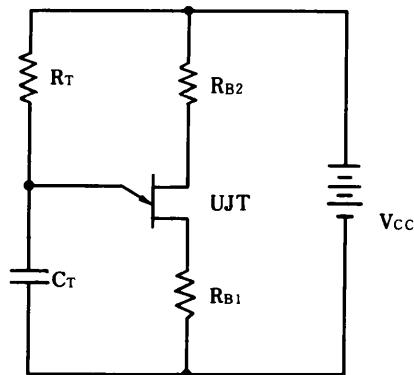


図12 UJTによる弛張発振回路



します。このオフセット電圧のプログラマビリティは構造上、 I_p や I_v のように大きくなることは有り得ず、図11に示す程度になります。しかし、この程度の変化でも超低周波発振回路や動作時限の長いタイマにはかなりの影響を与えます。特に通常の弛張発振回路でスタンドオフ比 η を大きくしたい場合には、 R_G の決定時にこのことを考慮する必要があります。

以上、PUT そのもののプログラマビリティについて説明してきましたが、PUT を活用して、目的とする機能を有する回路を設計する場合、回路そのものにもプログラマブルな性質を付与することができます。次にこのような性質について解析してみましょう。ここでもう一度図4を見て下さい。この図は前にも述べましたように、PUT を使用した弛張発振回路です。一方図12はUJTによる弛張発振回路で、これらの回路の発振周波数はいずれも次式で近似することができます。ただし、この式はスイッチ素子の動作を理想化した時にのみ成り立つもので、実際の設計には目安をつける程度にしか使えません。

$$f_{osc} = \frac{1}{CR} \left(\ln \frac{1}{1-\eta} \right)^{-1} \quad \dots \dots \dots \quad (4)$$

式中の η は前にも述べたスタンドオフ比で、UJTにあっては、半導体素子メーカーで素子を製造する際に一意的に作り込まれるので、回路設計者にとっては固定されたパラメータとしてしか取り扱えない性質のものです。しかし、PUTの場合には、 R_1 と R_2 によって決まるので、もはや固定されたパラメータではなく回路設計者の意図するところに従って任意に変え得るものになります。しかるに UJT のベース 1 及びベース 2 間の抵抗 R_{BBO} は、シリコンのパルク抵抗により決まるのでやはり固定のパラメータですが、PUT のそれは PUT そのものには無関係に R_1 と R_2 の和で決まり、 η と同様に設計者の思惑でいかようにも変え得るものとなります。このように、PUT を使った弛張発振回路では PUT に固有のパラメータということではなくしに、回路のもつパラメータとして η 及び R_{BBO} をプログラムすることができます。言うまでもなく、 R_1 と R_2 の値を変化させることは、PUT のゲートから見たゲート抵抗 (R_G) を変化させることになり、当然、前に述べた I_p , I_v , V_T が変化するという結果を招来します。

1 例として、図13, 14のように、PUT のゲートをそれぞれコンデンサ C_G 、定電圧ダイオード D_1 でバイアスした場合には、ピーク電流 I_p が大きくなります。これは、コンデンサの等価直列抵抗と定電圧ダイオードの動作抵抗の値は非常に小さくその結果として PUT のゲートから見たインピーダンス R_G が小さくなり、前に述べた I_p が R_1 , R_G で求められる値より大きくなることによるものです。

又、 I_v については図14の場合、PUT がオンすると定電圧ダイオードが阻止領域に入り、高インピーダンスになるため、 R_G はほとんど R_2 のみで決まりますが、図13の回路の場合、PUT がオンしてもコンデンサの等価直列抵抗のため R_G が R_1 , R_2 で求められる値より小さくなるため I_v が小さくなります。

図13 ゲートをコンデンサでバイアスした回路

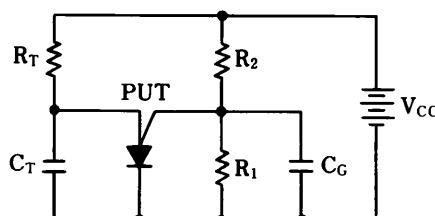
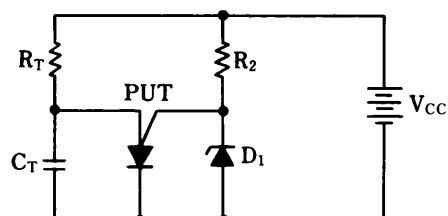


図14 ゲートを定電圧ダイオードでバイアスした回路



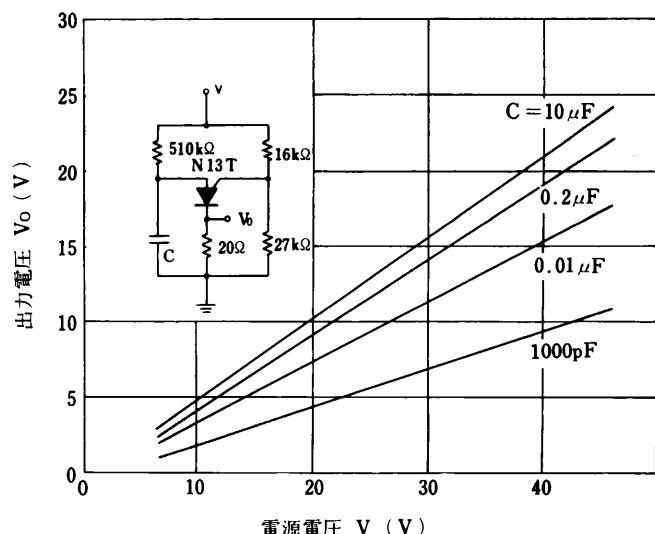
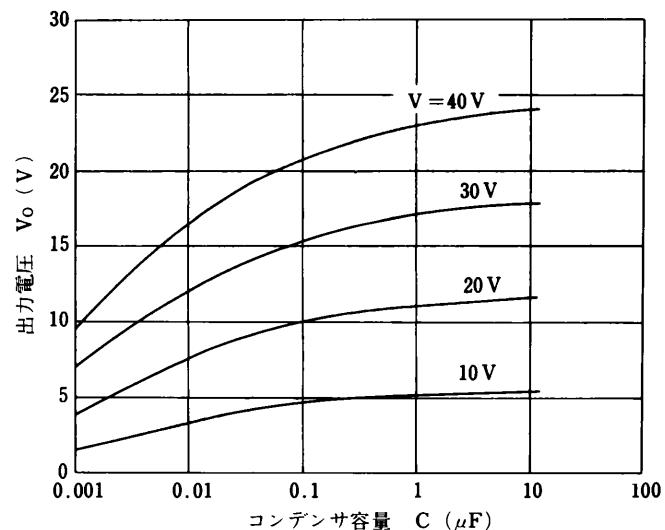
実際に回路を設計する場合には以上の事柄を有機的に勘案しながら設計を進めなければなりません。特に回路の機能が特殊な場合とか、PUTを性能一杯で使うような場合には、回路技術的に行なう諸施策の交互作用をも考慮することを忘れてはなりません。

以上の考察から、PUTがサイリスタの一種であるにもかかわらず適當な回路技術と組み合わせると、等価UJTとして、然も応用技術的に極めて高い自由度を持った等価UJTとして使用できることを理解して頂けたものと思います。PUTを等価UJTとして使用する場合には、そのプログラマブルな特質だけに注目したとしても従前のUJTが使われていた分野だけに留まらずもっと広い分野で使い得ることがうなずけます。さらに、PUTは前に述べましたようにスイッチ作用の著しいPNPN4層構造体であるので、これを伝導度変調を起こしてスイッチするUJTと比較すると、

1. スイッチングスピードが速い。(約60nsec)

2. 導通状態における内部電圧降下(約1V)及びダイナミックインピーダンス(約3Ω)が小さい。

といった違いがあります。このような特徴も又、PUTをより広い分野で活用できることを示唆しています。例えば上述した第2の特徴と、かなり大きな直流電流が流せることを考え合わせるとPUTの出力で直接に負荷を駆動する回路を作ることができます。また、第1、第2の特徴から、PUTをサイリスタのトリガパルス発生に使用すれば立上がりが速くしかも高エネルギーのトリガパルスを得ることができます。その例として図15に基本回路における電源電圧と出力パルス

図15 V-V₀特性図16 C-V₀特性

電圧の関係を、図16に同コンデンサ容量と出力パルス電圧の関係を示しておきます。

11.2.2 PUTの応用限界

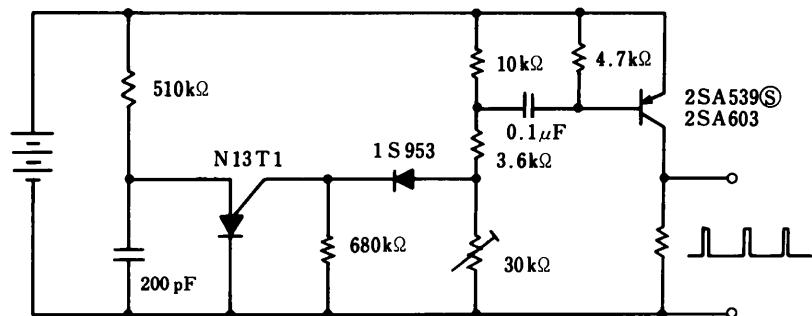
以上のように、PUTには多くの特徴があり、その為に極めて有用性に富んだ素子である訳ですが、PUTとて万能ではありません。

特に、現時点において市場で入手できるPUTは、その種類が少なく、すべての要求を満たせる状況には至っていません。PUTを活用してメリットの多い電子装置を生み出すためには、PUTで何が実現可能かということの検討は言うに及ばずPUTの応用技術上の限界はどこか、他の能動電子部品との技術的、経済的接線はどこいらにあるか、ということも検討しなければなりません。そこでこの項では、PUTを活用するうえでの技術的限界について解析してみましょう。尚、経済的問題については、個々に検討されるべきであると考えられるので割愛します。

○PUTの発振周波数限界

PUTによる発振回路は、弛張発振を基にしているので、発振可能な周波数範囲は積分回路のとり得る定数の範囲によって決定します。PUTの場合、UJTに比べてピーク電流や漏れ電流の絶対値が小さいので積分回路の定数のとり得る範囲は広くなり、発振可能な周波数範囲もまた広くなります。周波数の下限に制限を与える要因としては、PUTのピーク電流やコンデンサの漏れ電流が主なもので、一方高い周波数領域ではPUTの谷電流が主な制約要因となり、さらに数十kHz以上では、PUTのターンオフタイムも無視できなくなります。この他、周波数の安定度に影響を与える要因として電子部品の表面を伝って流れる表面漏れ電流があり、これはまた雰囲気中の湿気や気流の状態により大きく影響を受けます。このような制約要因をどのように処置するかにより、発振周波数の限界は変わってしまうわけですが、ごく一般的に使用したとして、おおむね 10^{-3} Hz から 10^5 Hz のオーダーであると見ておけば宜しいでしょう。ただ残念ながら、この範囲内においてもPUTの発振状態は一定ではありませんが、安定度が変化してしまいます。では、どの程度の周波数範囲なら安定な動作をするかというと、これは中々難しい問題で、要求される性能、例えば周波数の経時変化の限度、温度による変化の限度、どのような発振出力が必要かといったことにより、また電源の質その他によっても変わる性質のもので、一概に言い切ることができません。しかし、一応の目安として 10kHz 以下と心得ておけばよいでしょう。一例として、図17 に 10kHz の発振回路を挙げておきます。一方、低い周波数から高い周波数まで一律に発振動作させるには、PUTの負性抵抗の絶対値が非常に大きいことから、回路のインピーダンスを上げる方法が他に比べて得策であるようです。勿論、この場合には回路のインピーダンスが高いが故に、低いインピーダンスの負荷を直接にドライブすることはできませんが、カソード、もしくはゲートの何れからでも出力が取り出せるというPUTの特質を生かして使えば実用上、不便を感じることはありません。しかし、往々にして、主に経済上の制約から広い周波数範囲に亘って発振し、さらにバッファアンプを用いないで負荷をドライブしたい時があります。このような場合、たくみな回路技術により、実現できる例もありますが断念せざるを得ない場合もあり、システム化の前にカオス化が進展している現今においては、他の能動素子に解決の手段を求めた方が実現の可能性が濃くなることもあります。いずれにせよPUTの特質を十二分に生かして、問題の解決に当たらねばならないわけですが、発振周波数の限界を広げる回路技術的アプローチの仕方については後の発振周波数範囲の拡大の項で紹介します。

図17 PUTによる 10kHz パルスジェネレータ



○PUTのタイマとしての応用限界

PUTはその特質からみて、電子タイマを造るのに極めて適した素子です。既に従来のUJTやトランジスタによるタイマからPUTによるタイマへ移り変わった分野もあり、今後ともこの傾向は変わらないでしょう。それと言うのも、現在産業用に多用されているタイマの仕様はPUTでこれを実現する場合に障害にならないばかりか、むしろPUTを使用することにより改善することすら可能になります。ただし、特殊なタイマの場合にはこの限りでなく、PUTでは実現できない類のものもあります。この項ではこのような実現の難しいタイマの分野に対して、PUTがどの程度活用できるかと言ったことについて解析してみます。

PUTを使ったタイマで実現がそろそろ危うくなるのは動作時間が一時間程度以上の領域でしょう。また、回路設計やアセンブリの設計に注意を払わねばならないのは二十分程度以上の領域でしょう。しかし、ここで検討の対象になるのはPUTそのものの実力ではなく、積分回路を構成する抵抗器やトランジスタ、FET及びコンデンサ等の電気的安定性です。PUTの実力は既に、周辺電子部品（とりわけコンデンサ）の性能が向上しさえすれば数時間の動作時間を持つタイマを造れる水準に達しています。従って、技術的検討の内容は、コンデンサの漏れ電流に対する対策、コンデンサ

の誘電吸収現象に対する対策、抵抗器やプリント配線板の表面漏れ電流に対する対策等が主なものになります。このうち、コンデンサの内部漏れ電流の問題の解決が最も難しく、回路技術的に救済する手立てはほとんどありません。ただ、漏れ電流と端子電圧との間に安定な飽和特性がある場合には、計算式中に飽和電流の項を組み入れて設計することにより、精度が極端に低下することは防げます。しかし、飽和電流の温度係数等を勘案すると感心できる方法とは言えません。やはり本質的に漏れ電流の少ないコンデンサを選択して使用すべきだと言えましょう。一方漏れ電流が少なくて容量の大きいコンデンサを使用するとなると、経済的な問題につき当たり、こちらの理由から実現不可能と判断せざるを得ない場合があります。このような状態に立ち至った時、考えられる手段として次のような方法があります。

1. コンデンサをパルス電流により間欠的に充電または放電する方法。

2. PUTで発生する長周期のパルス列をディジタル的に計数する方法。

第1の方法では、使用するコンデンサが充分に良質の製品でないと、失敗する場合があります。しかし、容量の割にかなり長い動作時間を持つタイマを造ることができます。尚、この方法では、使用する部品や材料の表面漏れ電流にも気を配る必要があります。第2の方法では比較的簡単に精度の高いタイマを造ることができます。ただし、設定時間がとびとびになる欠点を持っています。しかし経済的に余裕がある場合には、PUTの発振周期を短くしてカウンタの容量を増やせば实用上、問題になることはありません。後の応用例の項でPUTとIC化BCDカウンタを組み合わせた例を紹介します。

以上のように長時間タイマの領域ではPUTよりもコンデンサの性能の方が事実上の制約要因となり、コンデンサの改良が進むにつれ応用限界も広がって行くでしょう。

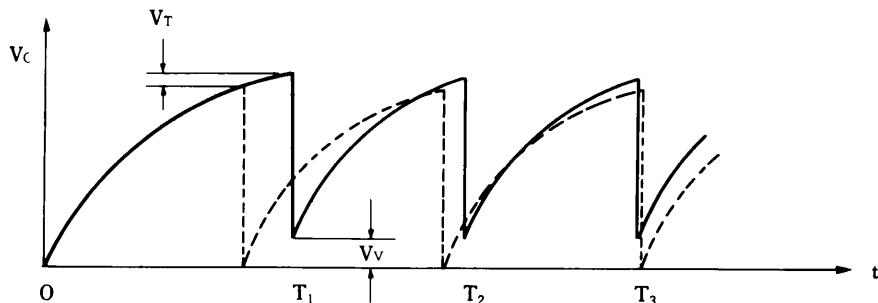
○微少電力動作の限界

テレメータ用A-Dコンバータや光学式煙感知器等のような分野では、エネルギー源の容量に制限があることから、僅かの電力で安定に作動する弛張発振器が欲しくなります。PUTによる弛張発振回路は、前述のように回路全体のインピーダンスを上げるので低電力動作にも適しています。回路のインピーダンスを上げるには、PUTのピーク電流や漏れ電流(IGAO, IGRS)がなるだけ小さい方が有利なわけですが、PUTは、回路のインピーダンスが高ければ高いほどピーク電流が小さくなる性質があるのでまさにうってつけの素子であると言えるでしょう。しかし、当然のこと乍らあまりにも少ない電力で作動させようとすると、他の電子装置や配電線からの誘導や、漏れ電流の影響を受けて、安定な動作を望めなくなってしまいます。従って実用の限界は、装置の置かれる電気的環境の良し悪しによって決まってしまいます。このような微少電力でしかも高インピーダンスで作動する電子回路は、しかるべきシールドを施して使用するのが定石であるとすると、PUTの使用限界はほぼ $10\mu\text{W}$ 程度であると考えて宜しいでしょう。実験では、平均電力 $20\mu\text{W}$ で安定に作動する発振器を作ることができました。

11.3 PUTの応用例

前の章でPUTのプログラマビリティと応用限界について考察したので、この章では、PUTを応用した各種電子回路の例と設計の方法を紹介します。

図18 弛張発振波形



11.3.1 弛張発振回路の設計

まず、PUTの応用の基本とも言える弛張発振回路の設計式を導いてみましょう。発振周波数を求める式は前の章で紹介した次式が基本になります。

$$f_{osc} = \frac{1}{CR} \left(\ln \frac{1}{1-\eta} \right)^{-1} \quad \dots \dots \dots \quad (5)$$

しかし、この式は図18の破線で示した発振動作を表わし、実線で示したような実際の発振動作を説明することはできません。実際には、オフセット電圧 (V_T) と谷電圧 (V_v) の影響を受けるので(5)式で求められる周波数よりも高い周波数で発振し、しかも、図18から判るように、 $t = 0$ から始まる最初のサイクルと次のサイクルの周期もずれていきます。このようなことからここでは、第2サイクル以降の定常状態における発振周波数を求めてみることにします。

さて、 $t = T_1$ 以降のコンデンサの電圧は(6)式で求められます。そしてこの電圧が、PUTのピーク電圧 (V_p) に達する点で第2サイクルが終了するので、この間の周期を T とすると次のように発振周波数を求めることができます。

$$V_c = (V_{cc} - V_v)(1 - e^{-\frac{1}{CR}t}) + V_v \quad \dots \dots \dots \quad (6)$$

$V_c = V_p$ とおくと、

$$V_p = (V_{cc} - V_v)(1 - e^{-\frac{1}{CR}t}) + V_v$$

$V_p = \eta \cdot V_{cc} + V_T$ とおくと、

$$T = C \cdot R \ln \frac{1}{1 - \frac{\eta V_{cc} + V_T - V_v}{V_{cc} - V_v}} \quad \dots \dots \dots \quad (7)$$

$$\left(\eta = \frac{R_1}{R_1 + R_2} \right)$$

$$f_{osc} = T^{-1} \quad \dots \dots \dots \quad (8)$$

図19に、(7)式を次のようにおいた時の η_0 に対する対数項をグラフにしたものをおげておいたので、発振周期の近似計算に活用していただきたい。

$$T = C \cdot R \ln \frac{1}{1 - \eta_0} \quad \dots \dots \dots \quad (9)$$

(7)式から、電源電圧 (V_{cc}) やスタンドオフ比 (η) が大きい程 V_T や V_v の影響を受けにくいことが判ります。また、 V_T の方が強く影響を及ぼすことも読みとることができます。図20は、電源電圧を変化させた時の発振周波数の変動を示したもので、上述したように電源電圧が高い程、変動率が低くなることが判ります。また図中の破線は V_T を回路技術的に打ち消した時のデータで、電源電圧変動の影響はほとんどなくなっています。

図19 $\ln \frac{1}{1 - \eta_0}$ 計算図

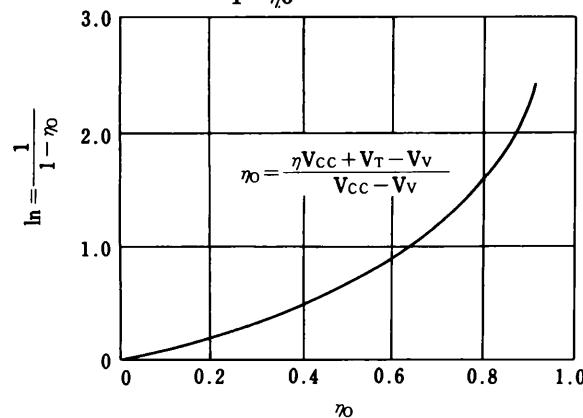
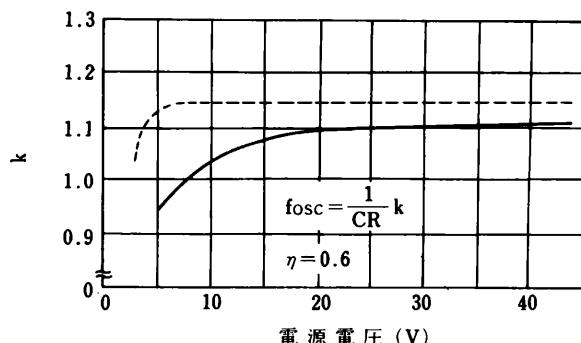


図20 発振周波数-電源電圧特性



11.3.2 発振周波数の温度補償

以上のように(7), (8)式により弛張発振回路を設計することができるわけですが、図21及び図22に示すように、PUTの V_T や V_v は負の温度係数を持っているので、発振周波数が周囲温度の変化につれて変化してしまいます。しかし、幸いなことに、 V_T と V_v の温度係数が共に負であることから相互に幾らかずつ補償し合っており、(7)式中の $(V_T - V_v)$ の総合

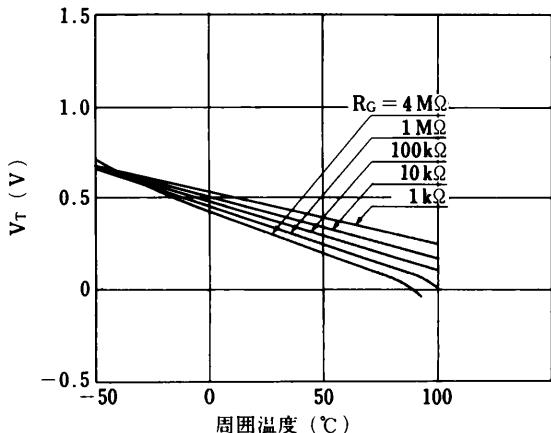
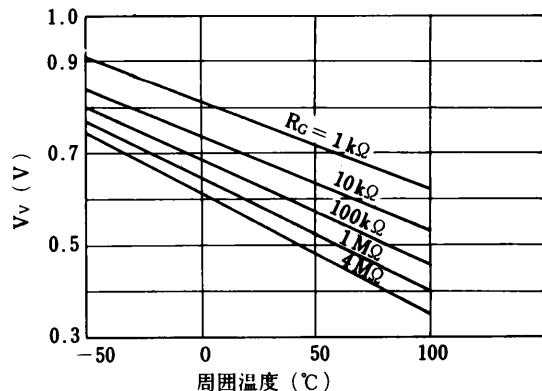
図21 V_T - 温度特性図22 V_v - 温度特性

図23 発振周期温度特性

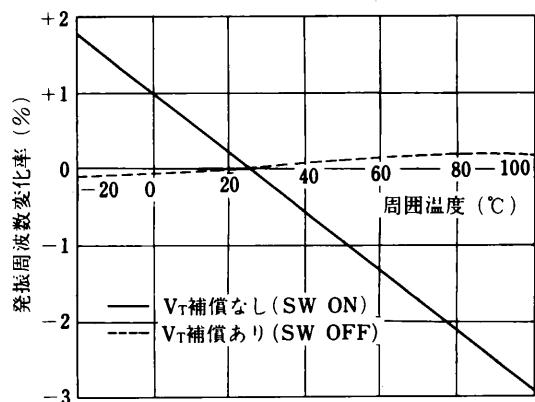
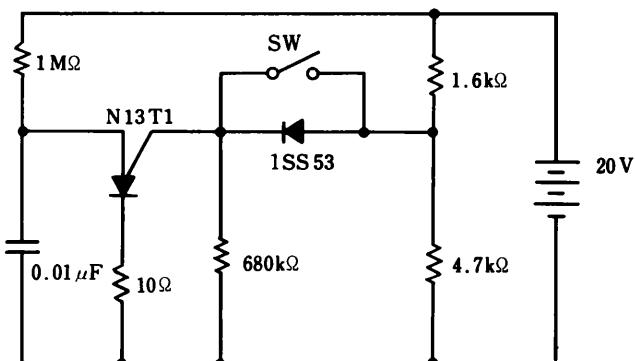


図24 温度試験供試回路



温度係数が小さくなっています。実際に温度試験を行なってみると、図23に示すように、約 $0.04\text{ \textperdegree C}$ 程度の温度係数が観測されます。ただし、この図は発振周期で表現してあるので注意していただきたい。以上のことから、発振周波数の温度補償を行なう方法として V_T を補償する方法と、 V_v を補償する方法が考えられ、それぞれの方法は、技術的に全く異なる処置を行なわなければなりません。そして、その処置の難易度にも違いがあります。理想的には、双方とも補償すべきですが、(7)式の意味するところ、及び図21、22から読み取れる温度係数の違い等を勘案すると、 V_T の方が適当量補償することにより、かなり良好な補償効果が得られるように思われます。それに、 V_T を補償すると、前述した電源電圧変動に対する補償効果も期待され、うまくゆけば一石二鳥の効果が得られそうです。図20の破線は、このような考察に基づいて実験した結果を示したもので、図から判るように幾分、過補償ぎみですが、温度係数は $0.002\text{ \textperdegree C}$ 程度に小さくなっています。まず成功した例とみてよいでしょう。ただし、このデータには、抵抗器やコンデンサなどの温度係数は含まれていないので、実際の電子装置の設計を行う場合には、周辺部品の温度係数も加味して設計しなければなりません。それらの具体的方法については、材質の異なる各種部品を組み合わせる、組み合わせの数が極めて多くなり、ここに網羅しきれないでの割愛します。図24に、上記温度試験を行なった時の回路図と、使用した部品をあげておきますので参考にして下さい。

11.3.3 発振周波数範囲の拡大

11.3.1で導いた(7)式は、 I_v の項を含んでいません。 V_v が決まれば発振周波数は決まってしまうからです。しかし、PUTの発振可能な周波数範囲について検討を加えるとき、この I_v の項は非常に重要なファクタとして取り扱わねばなりません。何故なら、PUTによるオーソドックスな発振回路ではPUTのカタログの末尾に示しました式 ($(V_{cc} - V_v)/R_T < I_v$, $I < I_v$) から分りますように、 I_v の値から R_T や充電々流 I のとり得る範囲が決まってしまいます。一方、PUTの I_v はコンペニショナルUJTに比べてかなり小さく、この為に高い周波数で発振させるには（前にも述べましたように）微少電力で動作させなければなりません。しかしこれでは高エネルギーのトリガパルスを得たいという要求には応えられないこと

になります。

このように、発振周波数範囲を広く、かつ回路のインピーダンスを低くしたい場合には回路技術的にこれを克服しなければなりません。その方策は人為的に I_P を小さく、 I_v を大きくすることに尽き、次に紹介しますように幾つかの方法があります。

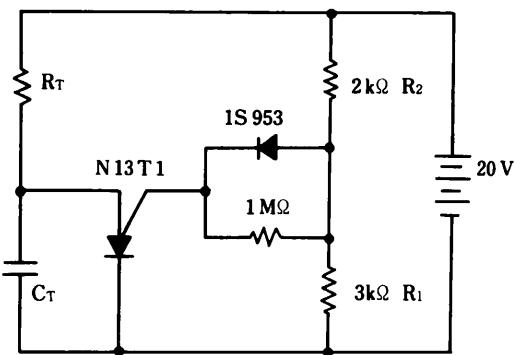
○ダイオードを使用する方法

この方法は、PUTのゲート電流の方向がピーク点と谷点とで逆転することに着目し、ダイオードの整流作用と組み合わせ R_G に方向性を持たせるやり方です。

実際例を図25に示します。この回路は前述しました温度補償の回路と良く似ていますが、温度補償の効果は期待できません。逆に温度補償の回路は低 I_P 、高 I_v 化にかなりの効果があります。しかし、温度補償に最適な回路定数が低 I_P 、高 I_v 化に最適とはなりません。

図25の回路はうまく設計すると I_v と I_P の比 I_v/I_P を $10^3 \sim 10^4$ にすることができます。しかし、 η を決める抵抗 R_1 、 R_2 に流れる電流はかなり大きくなってしまいます。従って、電源電圧が高い場合には消費電力が大きくなってしまふかもしれません。

図25 ダイオードによる低 I_P 、高 I_v 化回路



○ツェナダイオードを使用する方法

R_G に方向性を持たせる考え方を発展させ、図26の回路に示したようなツェナダイオードを用いると、低 I_P 、高 I_v を実現しつつ平均消費電力を引き下げることができます。ここで使用するツェナダイオードのブレークオーバ電圧は次式の範囲に選定します。

$$(V - V_F) > V_Z > (1 - \eta)V$$

$$\text{ただし } \eta = R_1 / (R_1 + R_2)$$

つまり、PUTがオンする迄はツェナダイオードにかかる電圧は V_Z 以下であるため、ダイオードがないに等しく、一旦PUTがオンするとダイオードがブレークオーバし、 R_G はほぼダイオードに直列に接続された抵抗器で決まってしまう訳です。ただし、この回路が狙いどうり作動するにはゲートバイアス抵抗に流れる電流に対してツェナダイオードの飽和電流 I_S が充分に小さくなければなりません。この回路はまた、トランジスタと組み合わせて波形整形され、増幅されたパルスを得るのにも適しています。その実際例を図27に挙げておきます。この回路は、PUTがオンした時だけベース電流が流れ、増幅されたコレクタ電流が得られるように構成してあります。この回路で何故、波形整形されたパルスが得られるかは、7ページの写真2を見て頂ければ一目で判ると思います。つまり、PUTそのもので波形整形されてしまっている訳です。またこの時の出力パルス幅は、PUTのアノードもしくは発振用コンデンサに直列に抵抗器を挿入することにより幾らか広げることができます。

図27の回路は非常に有用性に富んでおり、サイリスタのトリガ回路や、発光ダイオード(LED)のドライブ等に広く活用されています。

以上紹介しました例は何れもPUTのゲート側で操作していますが、アノード側で操作することもできます。実験の結果では、アノード電流を制御する方がより効果があるようです。以下にその例を紹介します。

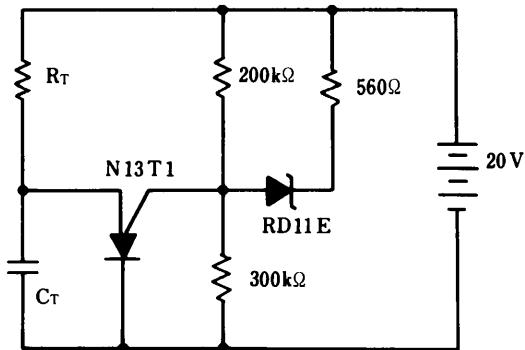
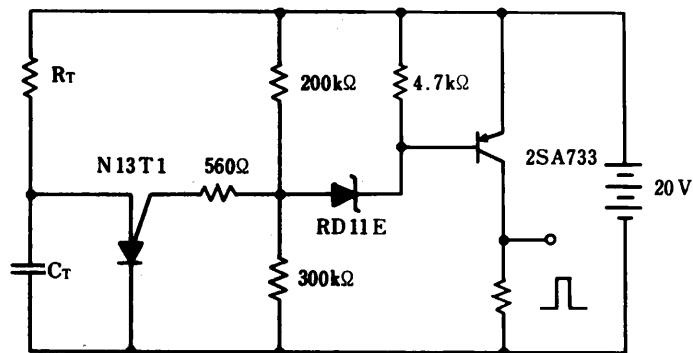
図26 ツェナダイオードによる低 I_P , 高 I_V 化回路

図27 図26の応用例



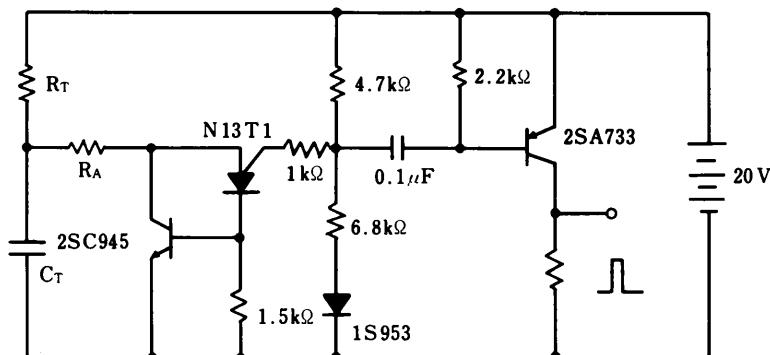
○アノード電流のバイパス

この方法は UJT でも実施されていた手法の一つで、PUTがオンすると同時に、アノード電流を他にバイパスしてしまい、PUTがオフし易い条件を整えようとする考え方で立脚しています。その中の一例を図28に挙げておきます。一看すると、PUTがオフしかかればトランジスタもオフしかかりそうで、確実にバイパスされるかどうか疑問に思われますが、実際にはPUTのキャリア蓄積効果の為、ゲートよりもアノードの方が先に回復することが幸いし、安定に発振します。

図中、 R_A とあるのは、 C_T の放電電流が過大になり、トランジスタが破壊するのを防止する為の抵抗器、また D は、回路の温度係数が逆転し、温度特性が悪化するのを防止する為のダイオードです。 R_T が高抵抗で充電電流が少ないのでこのダイオードは不要です。

尚、この回路の発振可能周波数範囲は非常に広く、上限は 1 MHz 近辺まで延ばすことができます。

図28 アノード電流のバイパス



○アノード電流のカットオフ

アノード電流を操作するもう一つの行き方にこれをカットオフしてしまう方法があります。これらのテクニックのほと

んどは、PUTがオンした時アノードと共にゲートにも電流が流れ込み、ゲートの電位が変化することを利用しています。この時、PUTのゲート電流波形が自己整形される事実がかなり有利に作用していることは見逃せません。

図29に一例を紹介します。この回路は、ロジック(TTL)用電源で動作するよう設計されており動作は次のとおりです。

PUTがオンする迄は、トランジスタは定電流ソースとして働き、コンデンサの電圧はリニアに増大して行きます。一旦PUTがオンすると、そのゲート電位が下がるのでトランジスタのエミッターベース間は逆バイアスされ、トランジスタはカットオフし、アノード電流の供給を停止してしまいます。その結果、PUTはターンオフし、以下発振を持続します。同様の回路で電源電圧をもっと高くしたい場合には、470Ωの抵抗器の部分をツェナダイオードに置き換えた方が確実な動作を期待することができます。写真3は、図29のPUTの出力パルス発形とアノード電圧形です。

図29 アノード電流のカットオフ

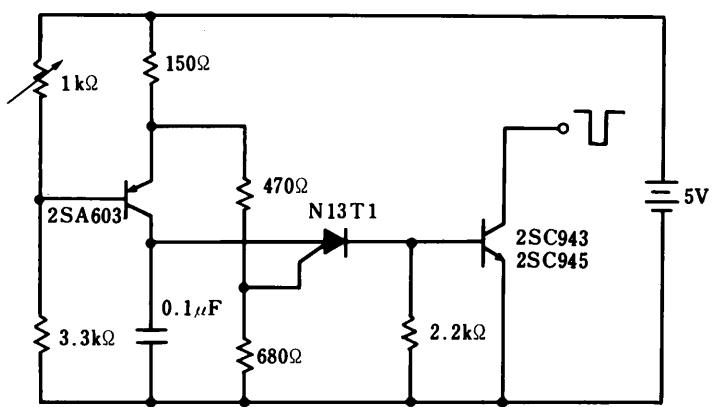
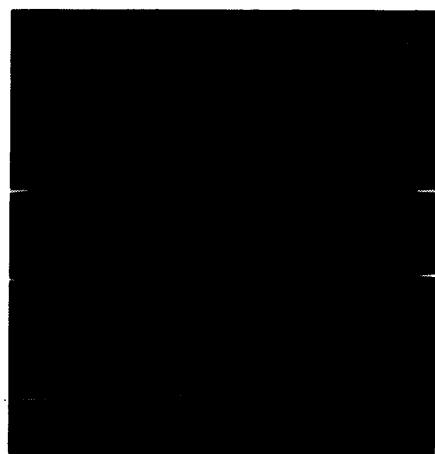


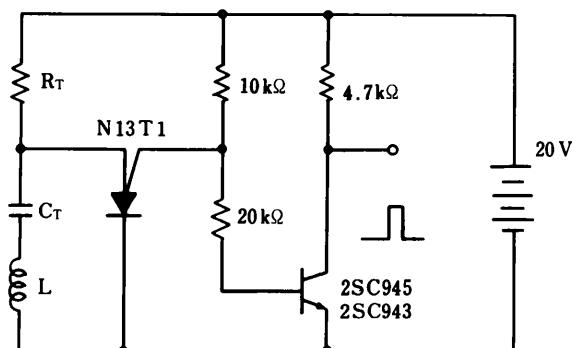
写真 3

アノード
電圧波形出力
パルス波形

○インダクタンスを用いる方法

一方、全く異質の方法としてインダクタンスとキャパシタンスとの共振を用いる方法があります。この方法はサイリスタによる高周波インバータの考え方を取り入れたもので、図30にその具体例を示します。インダクタLの位置はPUTのアノード側に移しても差し支えありません。この方式ではPUTの転流失敗を避けるために、カソードから直接、出力を取り出さず、図のようにゲートにバッファを設けた方が良いでしょう。勿論、この部分に前述したツェナダイオードとトランジスタによる回路を併用することもできます。

図30 インダクタンスによるターンオフ



11.3.4 弛張発振回路の実用例

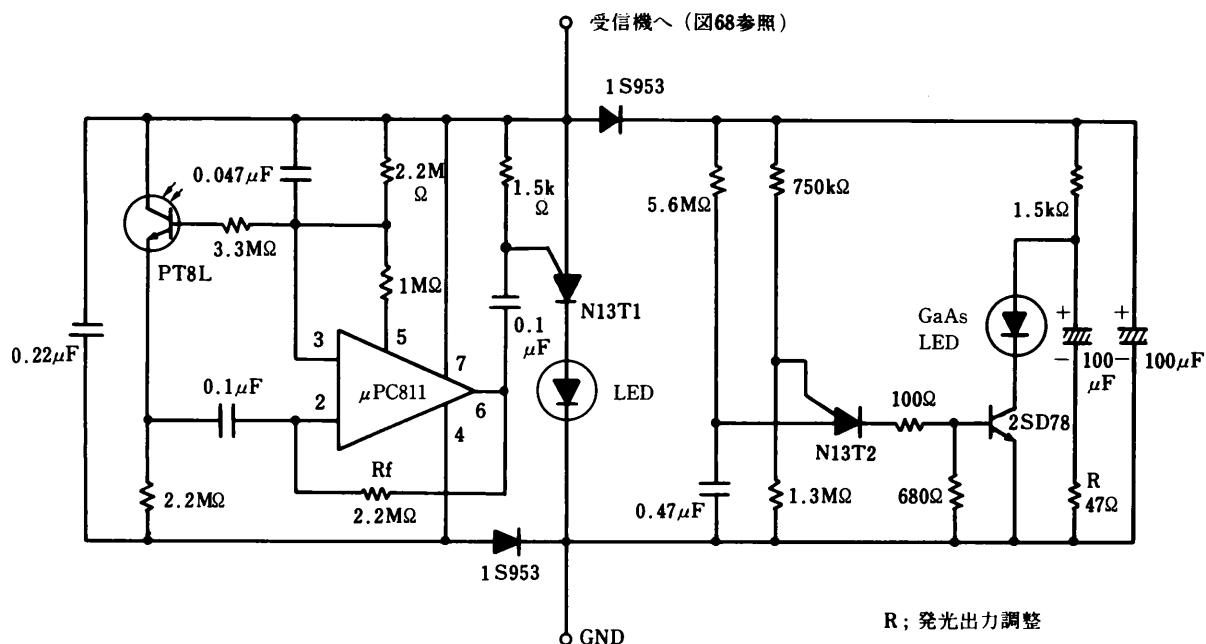
図31は、弛張発振回路の実用例で、光学式煙感知器用に設計したものです。この回路は、特に微少電力で動作し、さらに、受光素子の特性に合わせて光パルスのピーク出力と、パルス幅が大きくなるように配慮してあります。図の定数では、約3秒に1回の割合で光パルスを放射します。尚、パルスの強さは、GaAs発光ダイオードに直列に入れた抵抗器で調節することができます。

従来から、煙で散乱された微弱な光を受けて火災警報を発する方式は、実用的なS/N比が得られないと言われていました。しかし、実験の結果、ここに挙げた発光部と、フォトトランジスタとマイクロパワーI·C (μ PC153C) とPUTから成る受光部とを組み合わせることにより、発光部と受光部を一般照明光下に露出した状態でも安定に作動する煙感知器を作ることができました。この場合の平均電流は30~100 μ A程度で、電流を多くするほど設計が楽になります。尚実験では、発光ダイオードにシリコンをドープした製品を使い、ピーク電流は100 mA程度流しました。このようにPUTを巧みに使用すれば、従来、不可能とされていた技術を可能なものにし得る場合があります。尚、火災警報装置用受信機について、後にイオン式感知器に適用した簡単な例を紹介します。

図4のようなインパルスを発生させる回路は、ここであげたようにトランジスタをパルス駆動する場合の他に、サイリスタや放電管のトリガ、リングカウンタやシフトレジスタのドライブ等に広く用いられ始めています。PUTによる弛張発振回路は、このようなインパルス発生の他に、色々に変形されて、色々な波形を発生するにも使われています。

図32にあげた回路はその一例で、ここでは、可聴周波数の方形波発生器として使っています。この回路の設計式は、回路の簡単さに比べてかなり難しくなるので、設計の際には、近似式を用いるか、実験によって回路定数を定める方が得策

図31 散乱光式煙感知器回路図（2線式）



* 抵抗の単位は Ω 、コンデンサの単位は μ Fです。

* 回路のインピーダンスが高いので全体をシールドしてお使い下さい。

* PT8L に螢光灯等一般照明の直射を受けても誤動作することはありません。

図32 電子ブザ

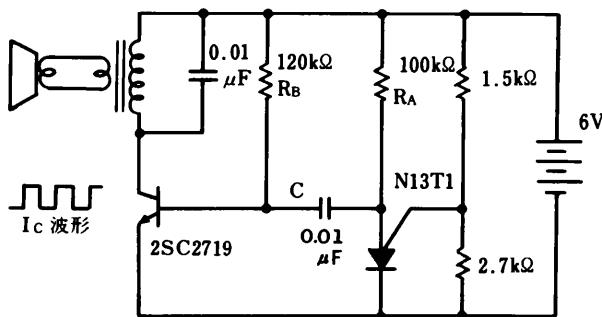
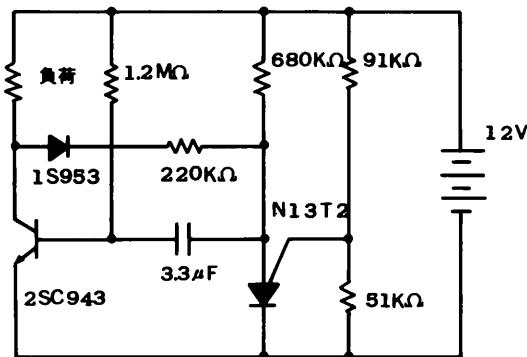


図33 低周波アステーブルマルチ



でしょう。図に示した回路定数なら、デュティが50%位で発振周波数が約500Hzの方形波電流が得られ、 R_A か R_B の値を変えると、デュティと発振周波数が両方ともかわり、その変化の様子は、 R_A を変えた場合と R_B を変えた場合とで、それぞれ逆になります。従って、デュティを一定に保ったままで発振周波数だけを変えたい場合には、 R_A と R_B を共に一定の比率で増減させなければなりません。この他、コンデンサの容量を変化させても、同様の結果が得られることは言うまでもないでしょう。もし、より高い電源電圧で動作させたい場合には、トランジスタのベース・エミッタ接合の破壊を防ぐためにベースと直列にダイオードを接続して、見かけ上の VE_{BO} を上げる必要があります。また、出力トランジスタの一次側に接続されたコンデンサは、音色をソフトにするとともに、トランジスタに誘起される高電圧を吸収し、トランジスタを電圧破壊から守る働きをしています。従って音色をハードにするために、コンデンサを取り除く場合には、代わりにダイオード等によるサージ吸収対策を興じなければなりません。尚、この回路の動作周波数を下げて、リレーやソレノイドを断続駆動する場合にも同様に扱わなければならない事柄です。

一方、この回路で発振周波数を下げて行くと、 I_v の取り得る範囲はどんどん狭くなってしまい、実用性が失われて行きます。コンデンサ1コで方形波発振ができるというメリットを持ちながら、これは残念なことです。しかし、ダイオード1コと抵抗器1コを付け加えると、微妙な谷点付近をジャンプして安定な動作をすることができます。

図33の回路がその例で、自動車のバックホーンの断続吹鳴やランプの明滅、および小電力で方形波を作り出したい用途などに適しています。図32と同様に VE_B 向上のためのダイオードを用いるか、さらに VE_{BO} の高いトランジスタを用いれば、同じ時定数でも、より長い周期の発振が可能になります。

図34は、PUTを活用した弛張発振回路の中でも、特異な動作をする回路の例です。図のように、この回路では、PUTがカスケード接続されており、第1のPUTのアノードに接続されたコンデンサの容量(1000pF)よりも、第2のそれを、より大きく(0.12μF)してあります。このように構成すると、第1のPUTが弛張発振する度に、第1のコンデンサの電荷が第2のコンデンサへ移入し、その端子電圧は段階的に上昇してゆきます。こうなると、第1のPUTのバイアス状態が変わるので、発振動作に変調をきたすようになります。具体的に、どのように変わるかというと、PUTのカソード電位が上昇する結果、第1のコンデンサの電荷は、総てはきだされずに幾らか残ってしまい、しかも、その残る量が次第に増えてゆくようになります。つまり、充放電を繰り返す度に、第1のコンデンサの初期電荷量が増えてゆきます。ここで(6)式を振り返ってみると、この式は、コンデンサの電圧が V_v となるような電荷が初期に存在する時の過渡現象を表わしています。この式から明らかなように、初期電圧 V_v が異なれば、過渡現象の様相もまた異なったものになります。同じ

図34 さえずり発振回路

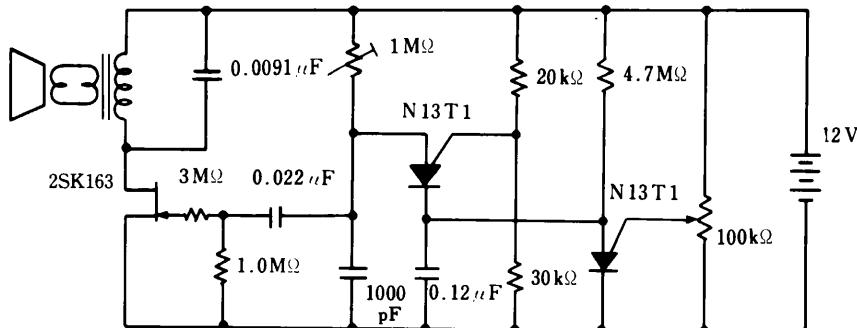
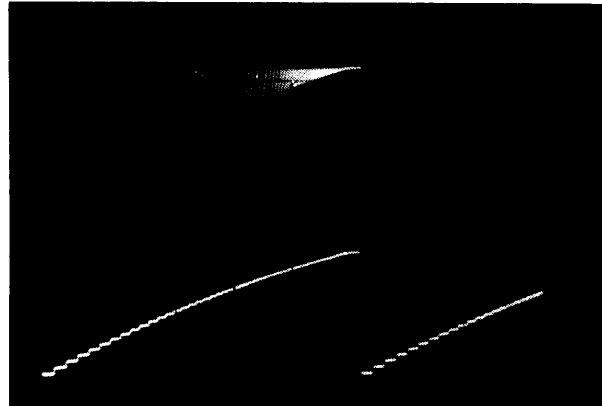


写真 4



様に、(7)式から、初期電圧としての V_v が変化すれば、弛張発振の周期が変化すること、及び、 η が 1 以下であることから V_v が増加すれば発振周期が短くなることが判ります。しかるに、図34の回路では、上述したように、充放電を繰り返す度に第1のコンデンサの初期電荷量が増えるので、丁度、(6)、(7)式で考慮した現象が起こっていることになります。写真3は、その様子を示したもので、上方が第1のコンデンサ (1000pF) の端子電圧波形です。発振の度に、初期電圧が増大し、同時に発振周期が短くなっていることが良く判ります。この例では、回路定数を適当に選び、発振音が小鳥のさえずりに似るようにしてあります。写真3の下は第2のコンデンサ (0.12μF) の端子電圧波形です。尚、可変抵抗器をトランジスタに置き換えると、より真に迫った擬音発生を行なうこともできます。

図35は、PUTによる弛張発振回路を応用したA-D変換回路の例で、ダイオードアレイで検知した温度に対応して、パルス数変調(PNM)を行う回路です。弛張発振回路を応用したA-D変換技術は、よく紹介されるところですが、実用的な直線性を持った装置は、中々実現し難いものです。それというのも、今迄に市場で入手し得た負性抵抗素子は、比較的にピーク点が曖昧で、ピーク電流(I_p)が大きい等の欠点があり、これが実現を拒んでいたからです。直線性のよいA-D変換を実現するには、先ず、弛張発振回路が理論通りに作動することが絶対的に必要であり、 I_p やその他の漏れ電流が無視できない大きさを持つということは、取りも直さずそれらが回路の動作をあるべき状態から逸脱させるに足る影響力を持つということに通じます。特に、基準周波数が低い場合には、前の章で述べた通りこれらのファクタの悪影響は無視できなくなります。依って来たる問題を充分な迄に軽減するには、周波数デビエーションが最大の場合にも尚且つ充分な余裕がある程度に、発振可能な周波数帯域を拡げておくか、あるいは又、本質的に性能の高い素子を使わねばなりません。

図35の回路では、以上の考察の結果から、性能のグレードの高いN13T2を使い、 V_T の補償を行なうと共に I_p が小さく、かつ I_v が大きくなるようプログラムして、発振可能な周波数帯域をぐんと広くした上でその一部分だけを使うよう配慮しています。このような配慮により、発振部の性能は遜色のないものとなりました。が、しかし装置全体の直線性をよりグレードアップするに当たり、センサの出力信号（この場合、ダイオードアレイの端子間電圧）をいかにして直線性良く、

図35 溫度一周波数変換回路

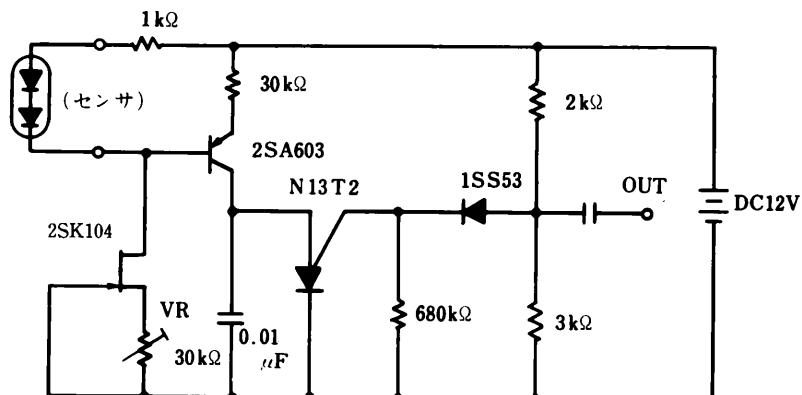
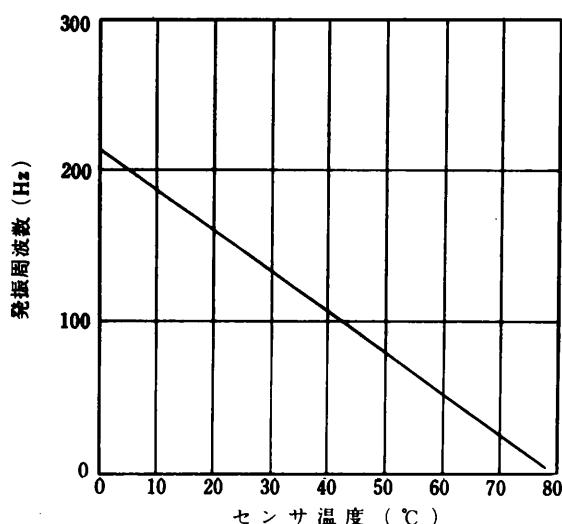


図36 溫度一周波数変換特性



電流に変換するかという問題が残っています。もし、この変換特性が悪いと、コンデンサ電圧の上昇率が一定でなくなり、その電圧波形は完全な鋸歯状波からずれてしまいます。しかるに、アルゴリズムの結果は、完全な鋸歯状波形で発振することを要求しており、この条件が満たされないならば、温度一周波数変換特性は線形にならないことを物語っています。今、PUTのIpや漏れ電流は無視し得る状態にあるから、前述したように、コンデンサを定電流で充電すること、つまり、電流源のダイナミックインピーダンスを無限大とし、充電の時定数を無限大にすることだけを考えればよいと言えます。出力インピーダンスや、温度ドリフトなど、性能面では差動アンプが最も優れていますが、ここではコストパフォマンスを考え合わせて、エミッタ接地回路を採用しています。しかし、性能の低下を最少限度に留めるために、トランジスタは、NPN型を避け直線性の良いPNP型を採用し、強い直流負帰還を掛けてみました。また、センサとして使用するダイオードの電流密度を一定に保つために、バイアス用定電流源には、同じく直流負帰還を施したFETを使用しました。このようにして構成した温度一周波数変換回路の性能は図36に示すごとくになりました。

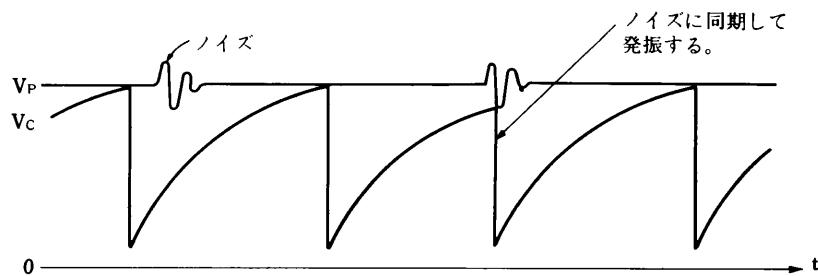
付け加えるに、1SS53の代りに発光ダイオードを接続すると、動作状態のモニタとして使えます。

11.3.5 タイマの設計

以上、弛張発振回路を眺めてきましたが、ここでPUTの特質が物を言うもう一つの応用分野であるタイマについて考察してみます。

現在、実用に供されている電子タイマの大半は、リアクタンスを含む回路に特有の過渡現象を利用してしています。特に、コンデンサを使用する場合には電気的な弛張を旨としています。しかし、弛張発振がタイマの本質であるとは言えません。このことは重要です。何故なら、例えば写真の間欠撮影（駒取り）用のタイマは周期の長い弛張発振器であり、他方、引伸しの露光時間を決めるタイマは一回の弛張が終わるとサイリスタなりリレーなりを駆動して定常状態に落ち着くよう作られており、両者はPUTのプログラムの仕方を全く異にしています。つまり、弛張発振を必要とするタイマであるか、そうでないかによって設計方法が全く異なってくる訳です。前者は前節で導いた(7)式と、前の章で紹介しましたPUTのプログラマビリティを示す特性曲線があれば一応の設計はできます。しかし後者はその時々の要求によって設計方法を違えなければなりません。無論、基本は同じですが細かい所が違ってきます。その具体的方法については、全部を語り得ないので後に応用例を紹介するに留めることにします。

図37 ノイズとノイズによる誤動作波形



11.3.6 タイマの誤動作対策

さて、PUTをタイマに導入するとどのようなメリットが生きてくるでしょうか。色々と考えられますが、効果の大きいものを挙げると次の通りとなります。

1. 動作時間の範囲を非常に広く取れる。(10⁻³~10³秒のオーダ)
2. ほとんど計算通りに作動するので設計が易い。
3. 反復誤差が極めて少ない。
4. PUTに起因する設計誤差は極めて小さい。
5. PUTの出力で、直接サイリスタやリレーを駆動することができる。
6. 以上のメリットが相俟って製品のばらつきが少なくなり、総合性能が向上する。

しかし、PUTにも欠点と言えるものがあります。それは、PUTのセンシティビティが高いが故に、部品配置や配線を上手に行なわないと、誤動作し易いタイマができ上がってしまうことです。この誤動作の問題が表面化すると、上に述べた幾つものメリットも一遍に無に帰してしまう恐れがあります。そこで、タイマの実際例を紹介する前に、この問題に関して少く検討を加えてみます。少く言ったのは、誤動作の問題は一般に相当複雑で、多くはタイマが設置される所の電気的環境に迄立らざりと完全な解決が見られず、総括的に取扱える部分は少ないからです。最初に、ノイズの侵入の仕方について考えてみると、次のようなものに思い当たります。

1. 電源からの侵入。
2. 光による侵入。
3. 静電誘導による侵入。
4. 電磁誘導による侵入。

第1の要因について、基本回路の応答を考えてみると、ノイズが図37に示すように振動性のものであれば、PUTのアノードからの侵入はまず考慮しなくてよいと思われます。何故なら、このような振動電流によって輸送される電荷は、全

体を積分するとほとんど零になり、タイマがタイムアップする迄蓄積する電荷に比れば無視し得るからです。一方、このようなノイズが、ゲートバイアス抵抗を通じてゲートへ侵入すると、アノードの電圧が充分に低い間を除き、誤動作から免かれません。その時の様子も図37に示しておきます。このような応答は非常に安定に起こるので、弛張発振の同期、周波数分周などに積極的に利用されている程です。従って対策としての目標は唯一つ、ゲートへノイズを侵入させないことであり、方法としては、本質的にノイズが侵入しない方式でゲートバイアスを与えるか、効率よくバイパスするかしなければなりません。

第2の要因については、ガラスでシールされたダイオードを使用している場合に起こり、特にV_T補償用のダイオードにこうした製品を使うとダイオードの光起電力により、ゲートバイアス電圧の変動を来たし、動作時間の変動を引起こしてしまいます。パルス性の光照射がある場合には上述したものと丁度等価な結果を紹来することは言う迄もありません。対策は至って簡単で、光の影響を受けないダイオードを使用するだけのことです。温度補償の項で紹介しました1S 953などはその例です。

第3の要因については、I_pを小さくするためにR_Gの値を高くし、回路のインピーダンスを引上げた場合にその影響が顕著になります。回路方式や配線のやり方次第によっては、数十ピコファラード程度の静電結合でもノイズや交流電源からの誘導の影響を受けるようになることがあります。普通のオシロスコープのプローブを机上に投げだしただけで、数十ボルトに及ぶ誘起電圧が観測できることなどから、この種の誘導障害が致命的な悪影響を与えるであろうことは想像に難く有りません。ただ、この問題に関しては一人PUTだけに限られたことではなく、高インピーダンスの電子回路では広く一般に悩まされる性質のものであり、同じような注意が払われてしかるべきであると言えます。

第4の要因は、火花を発生する接点の近くとか、大電流パルスの流れる線路の近くなどにタイマを設置した時に起こり易く、殊に、同一の直流電源からタイマ回路と直流ブザやベルなどにエネルギーを供給している場合には、電源のダイナミックインピーダンスが余程低くない限り誤動作は免れません。このような場合には、タイマ回路の入口にフィルタを設け、さらに磁気シールドを設けるのが最善ですが、実際には実用性と経済性との兼合いで対策の程度は異なってきます。また、このような極端な例を除き、第3の要因に対する静電シールドが同時にこの要因に対しても効果を示すことがあります。とどのつまり、誤動作に対しては避けようのない制約要因がある場合を除いて、定石を定石どおりに打つような設計を行なうことにより、その発生はほとんど押えることができると言えます。

このことを簡単に確かめるには、電子部品のリード線とPCB上での布線との長さをできる限り切りつめて短くしたタイマと、そうでないもの、および専用に設計して余分な銅箔を無くしたPCBとユニバーサルPCBを使用したタイマ等をそれぞれ作成し、ノイズシミュレータにかけて見れば良いでしょう。そのノイズ耐量に歴然とした差があることは言うまでもありません。

以上の結果は、ノイズ耐量を向上させるには、回路網中に必然的にできてしまう閉ループの囲む面積を極力小さくし、かつシールドを施すべきことを示唆しています。

11.3.7 タイマの設計例

図38は、PUTによるパルスジェネレータとPUTによるアナログ計数回路とを組み合わせたタイマの例です。この回路は、大容量で漏れ電流の小さいコンデンサが得られない場合に、小容量で漏れ電流の小さいコンデンサだけで比較的、動作時間の長いタイマを作るのに適しています。PUT1で発生したパルス列によりPNPトランジスタが間欠的に導通するのでC₂には階段状に電荷が蓄えられて行きます。そして、予めプログラムされた数のパルスが計数されるとPUT2が導通し、そのゲートに現われる負パルスによりPUT3がトリガされタイマの動作を終了します。今、PUT1と2の τ を同値にすると動作時間Tは次式で求めることができます。

$$T = \frac{t_0^2}{t_p} \times \frac{\tau_2}{\tau_1} \quad \dots \dots \dots \quad (10)$$

ただし t_0 はパルス列の周期で t_p はパルス幅であり、PUT1のアノード抵抗 R_A によって調節することができます。また、 τ_1 、 τ_2 はそれぞれC₁R₁及びC₂R₂で決まる時定数です。尚、図の回路ではV_Tの補償を行なってありますか精度が低くてよい場合には取り扱って構いません。

動作時間の長いタイマを作る場合に、コンデンサの漏れ電流が実現の可否を決定するであろうことは前の章で述べました。では、漏れ電流の大きいコンデンサを使用した場合に、どのような不都合が起こるでしょうか。図39を見て下さい。この図は、PUTによるタイマのごく一般的な回路で相当に実用性の高い回路ですが、コンデンサの漏れ電流が増大するにつれ、動作時間が長い方にずれて行く構成になっています。そして、漏れ電流が、電源電圧とI_pとV_pで決まるある値以上に達すると動作時間が理論的無限大に達してしまいます。つまり、タイマの機能を失ってしまうようになります。タイマを使う使い方によっては、仮にコンデンサが劣化した場合でも動作時間が短くなることは許せても動作が停止してしまうことは絶対的に避けねばならないことがあります。このような場合には、図40のような充電型タイマに代わって、図40のような放電型タイマを使用することによって、少なくともコンデンサに起因する動作停止は避けることができます。ただし、その為には、最悪の条件としてコンデンサがショートした場合でも、PUTが確実にトリガされるよう、R₁とR₂を選

図38 アナログ計数形タイマ

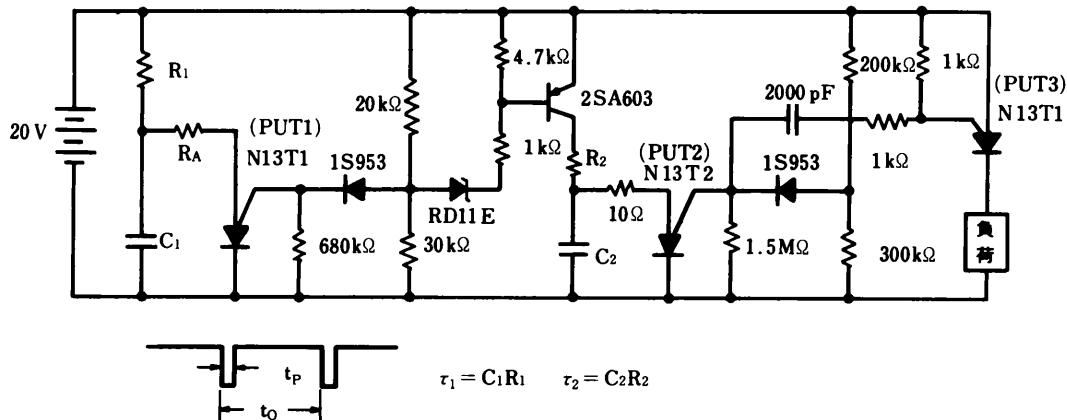


図39 基本タイマ回路

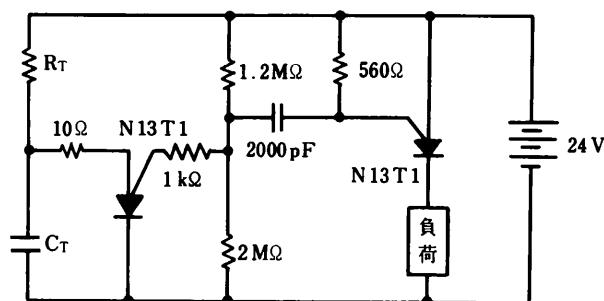
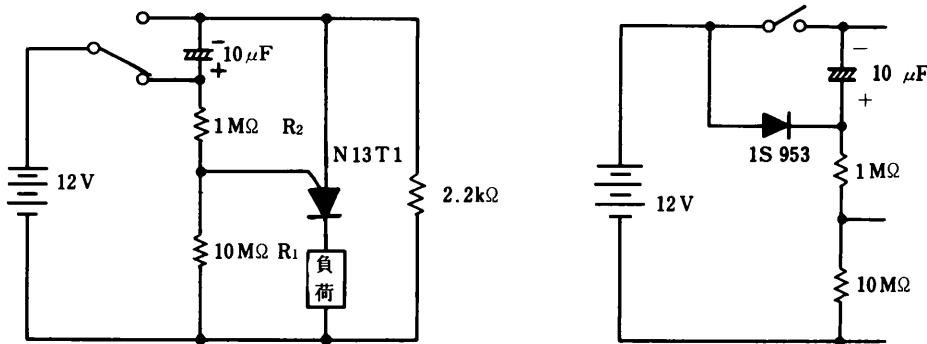
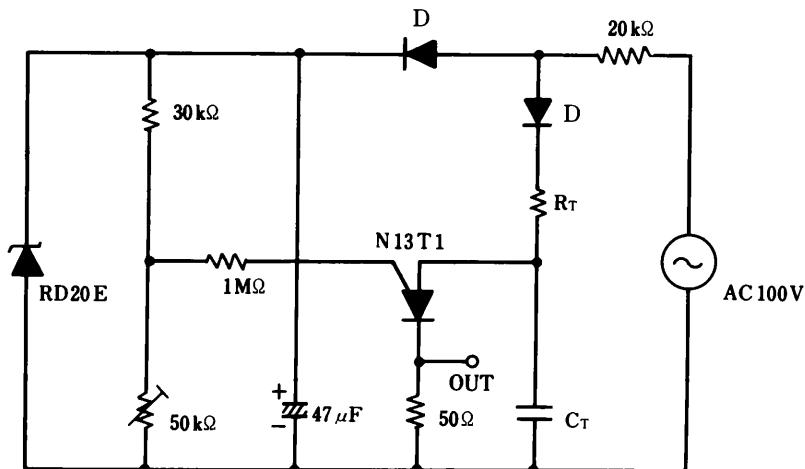


図40 放電型タイマ



回路変更の例

図41 電源同期タイマ



んでおかねばなりません。この回路の動作は概略次の通りです。

スイッチを図の方向に倒して電力を供給すると、コンデンサは $2.2\text{k}\Omega$ の抵抗器を通じて電源電圧まで充電されます。この時点でスイッチを切換えると、PUTのアノード電圧が電源電圧まで上昇するので、コンデンサのアノードはグラウンドに対して 24V の電位に達し、PUTのゲート、アノード間は強く逆バイアスされます。次いでコンデンサの電荷は R_1 と R_2 を通じて放電してゆき、そのアノード電位は次第に下がり、ついにはPUTのアノード、ゲート間が順方向にバイアスされるに至り、リレーが動作します。この回路では、電源電圧が異なると、コンデンサ電圧の初期値も同様に変わるので、動作時間は電源電圧の変化をそれ程受けません。このタイマ回路は、弛張発振を使わないタイマとして代表的なものです。

PUTを使えばFETなどを使わずとも30分から1時間程度のタイマを作ることが理論的に可能なことは前に述べました。事実外国ではそのような回路も発表されています。しかし、日本のように多湿の風土では安定性に問題があり実用的でない場合があります。以下に、こうした場合に使って有効なタイマ回路を紹介しましょう。図41は、積分回路の時定数は同じでも実質的に2倍以上の動作時間を得るようにした回路です。コンデンサは電源電圧の半サイクル毎に充電されるので両端電圧は階段的に上昇し、タイマがタイムアップする時点はコンデンサが充電される半サイクル中に必ず存在することになります。つまり、この回路は商用電源に同期して作動するので電子部品の性能が多少変化しても精度をある範囲内に収めることができます。この考え方をさらに押し進め、コンデンサを電源に同期したパルス電流で充電すれば、さらに長時間を持ち、かつ精度も高いタイマを作ることができます。これに関連した技術は、既に図38で説明しましたので、ここでは省略します。

図42は、前の章で“PUTで発生する長周期のパルス列をデジタル的に計数する方法”として紹介したもののが実例です。ここではPUTを基準時間発生用に使っており、タイマの動作時間は、この基準時間の任意の整数倍を選ぶことができます。図の例では、BCDカウンタ($\mu\text{PD}4040\text{BC}$)を使用しているので、PUTの発振周期を10秒とすると、動作時間

図42 ハイブリッドタイマ

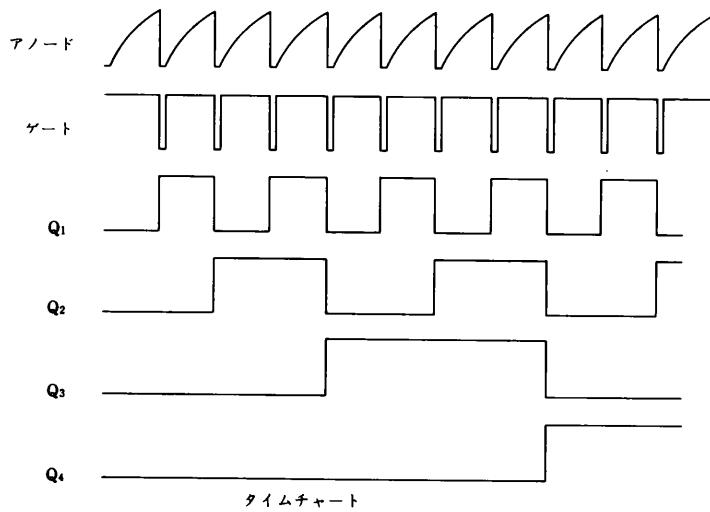
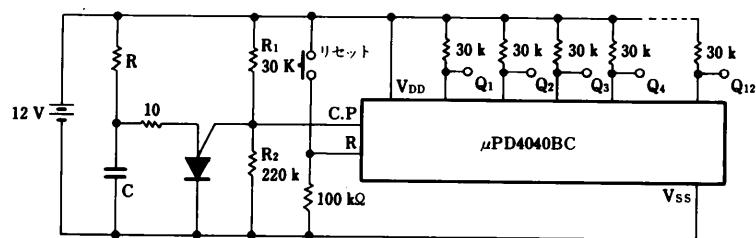
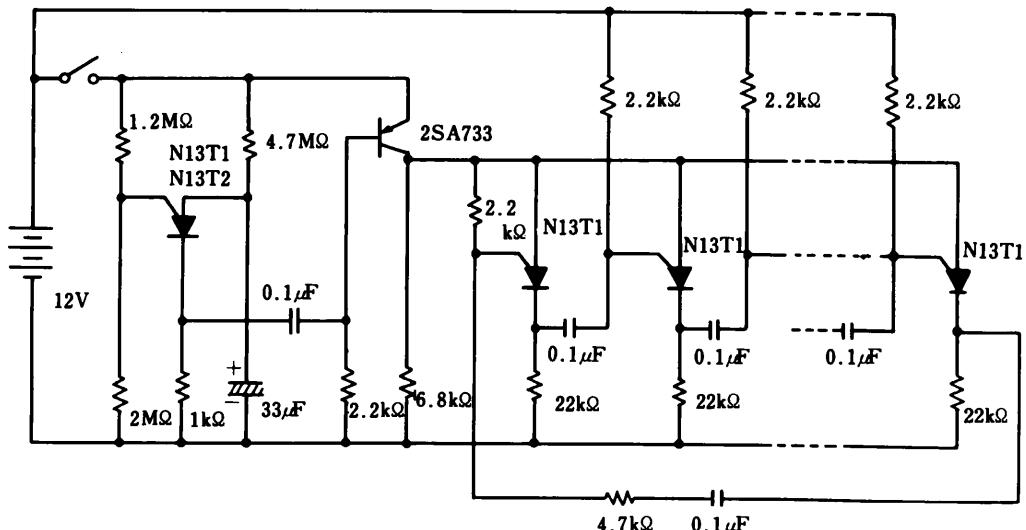
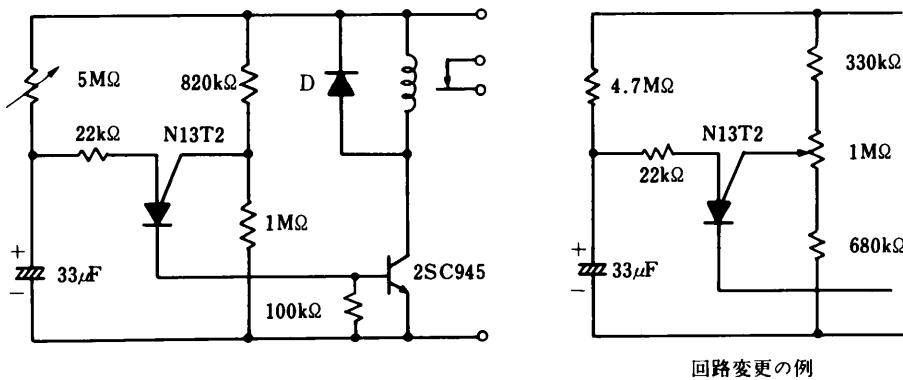


図43 リングカウンタを使ったタイマ



は10秒単位で設定することができ、最長、5時間40分迄可能です。尚、この例ではPUTのゲートに現われるインパルスをクロックバルスとして直接にICへ入力しているので、ゲートバイアス電圧(V_g)はICの入力電圧のハイレベルより大きくなければなりません。 $\mu\text{PD}4040\text{BC}$ の V_{IH} は電源電圧の0.7倍ですから V_g は0.7以上に設定すれば良い訳です。図の回路定数では、ほぼ0.88です。

図44 繰返し型タイマ



回路変更の例

図45 ワンショットタイマ

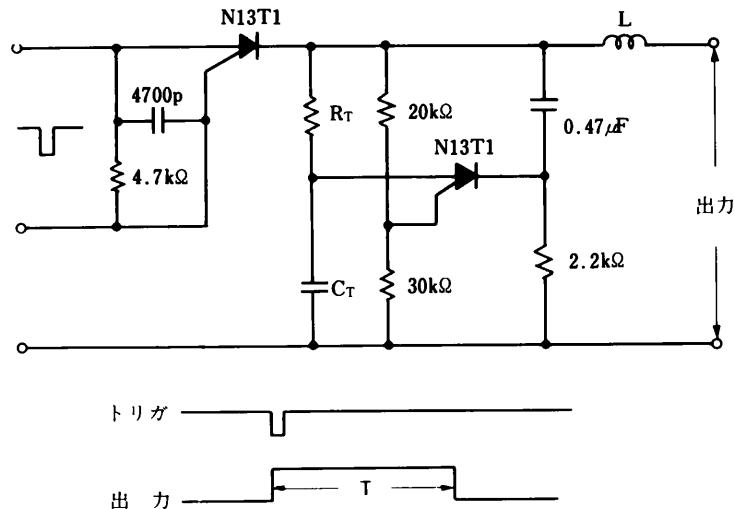


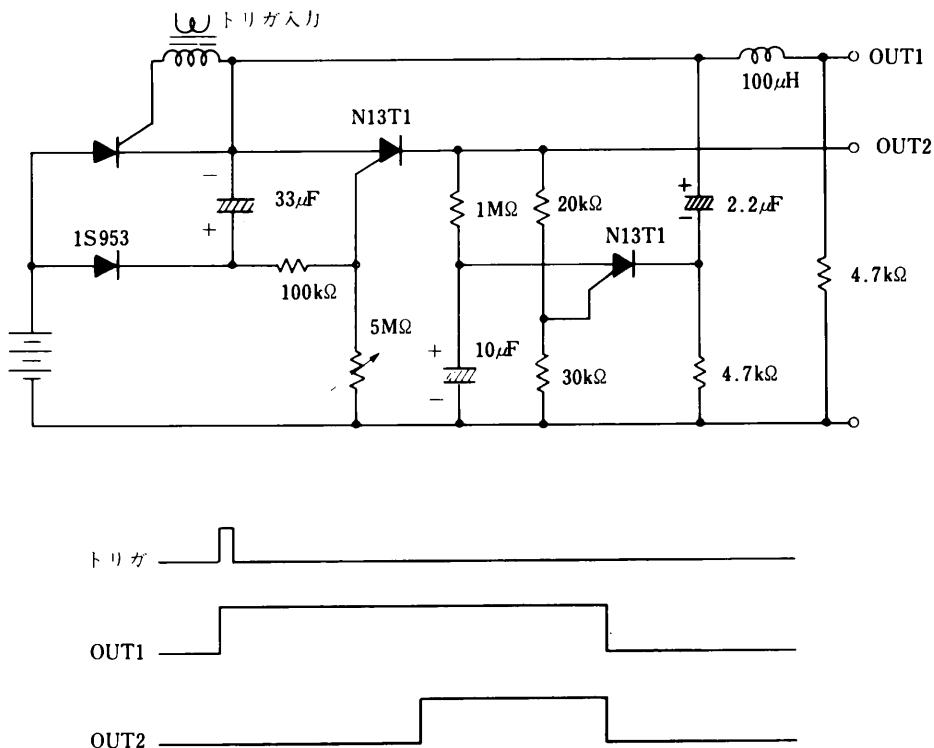
図43は、ディジタル技術を導入したタイマのもう一つの例で、こちらは前者と違ってPUTによるリングカウンタを応用しています。従って、自ずとその用途も異なり、幾つもの負荷にシーケンシャルに信号を送り出すのに適しています。もっとも、図42の例でも、デコードを付加すれば同じような使い方をすることは可能です。図43に示したリングカウンタは、PNPトランジスタを数十マイクロ秒の間、オフさせることによりシフトさせる方式のもので、電源スイッチを投入すると必ず最初のPUTが導通するよう構成されています。従って、PUTのタイマと組み合わせるには、タイマの出力パルスによって上記PNPトランジスタを瞬間にオフさせるように構成すれば良くPUTのカソードからトランジスタのベースへ接続されたコンデンサが、その為の結合コンデンサです。

図44は、一定周期毎にリレーを短時間動作させる目的で設計した回路で、繰返し型タイマの1例です。回路技術的には特にめずらしい点はありませんが、図の回路定数で約2~3分毎にリレーが1~2秒間励磁されます。リレーがオンする時間はPUTのアノードに直列に挿入した22kΩの抵抗器で決定しています。したがって、周囲温度が変化してPUTの I_v が変化するとリレーのオン時間が幾らか変化します。また、この回路に使用するトランジスタの h_{FE} はなるべく高い方が良い結果が得られます。

図45はワンショットタイマとして広く用いられている回路の例で、待期時に全く電力を消費しないという利点を持っています。回路技術的には図43に示したタイマ部とサイリスタの転流技術とを組み合わせただけで何の変哲もありませんが、実に広い応用分野があります。図中のインダクタLは、負荷がランプの場合に生じるラッシュ電流の抑制と、負荷が重負荷で、かつ G_T の容量が小さく、蓄えられるエネルギーが小さい場合にも確実な転流を期するために入れてあります。

図46に、この回路の一応用例を紹介しておきます。なお、この回路の動作について細かく説明することは割愛します。

図46・図45の応用例



唯、前述の放電型タイマと図45の回路とが結合されていることだけを言い添えておきます。

以上、PUTを活用したタイマの例を幾つか紹介しましたが、この他にも産業用として汎用性を持たせたタイマ、高信頼度を目指したフェイルセーフタイマ、家電製品への組み込み用タイマ、ゼロポルトスイッチと組み合わせて使うタイムプロポーショナル用タイマ、特殊用途用タイマ等々、数えあげれば切りがない程あります。

11.3.8 PUTによるサイリスタ制御回路

PUTは、それ自体がサイリスタであることもあって、一般のサイリスタと組み合わせて使ってもなかなか便利な素子です。例えば、PUTをトリガ用に使った場合、立上がりが早く、ピークの大きいトリガパルスが得られることは高速サイリスタのトリガに当たっては有難いことであるし、位相制御を行なえば、SCRの数分の一の電力で作動し、回路方式によっては、電源に重畠しているノイズによる制御の乱れは無くなってしまいます。また、PUTのプログラマブルな特質を上手に使えば、電源電圧が変動しても出力を一定に保つように、制御位相角をセルフコントロールする機能を得ることもできます。

このような実用性の高い応用例もこの項で紹介したい所ですが、それだけで相当のページ数を必要とするので他の資料に譲って、ここでは基本的な応用例と、その考え方について考察してみます。

さて、PUTと一般のサイリスタとの組み合わせで最もポピュラーな使い方は、やはりUJTをPUTで置換した位相制御回路でしょう。しかし、実用に際して物議の種になり易いのもまたこの使い方です。それと言うのも、UJTによる図47のような回路の動作は一般に良く知られており、PUTでこれを置換した場合にも、当然のこと乍ら同等の回路動作をすることが期待されます。所が、この期待は必ずしも満たされるとは限らず裏切られることが間々あるのです。その例を見て頂きましょう。写真4及び5に示したのがそれで、それぞれUJTとPUTによる位相制御回路の動作波形を示したもので、上がコンデンサ両端の電圧波形で、下が位相制御された負荷電圧波形です。上に述べた物議の種というのは、「UJTに適用していた回路定数のままでPUTを使用すると、発振が止まってしまい具合が悪い。」とする議論です。写真3を見ると確かに発振は止まっており、具合が悪そうです。しかし、目的である所の位相制御の機能についてはどうでしょうか。写真5の負荷電圧波形は、この間にに対する明快な解答です。つまり、位相制御技術にとって必要なものは弛張

図47 UJTによる位相制御回路

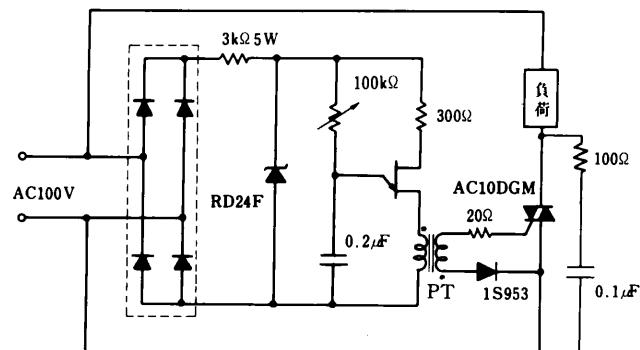


写真 4



エミッタ電圧波形

負荷電圧波形

図48 PUTによる位相制御回路

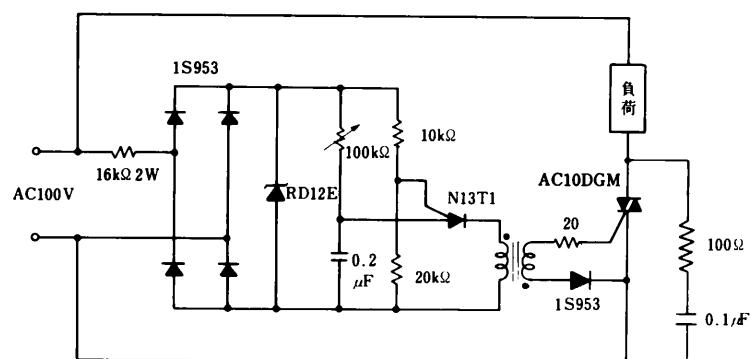
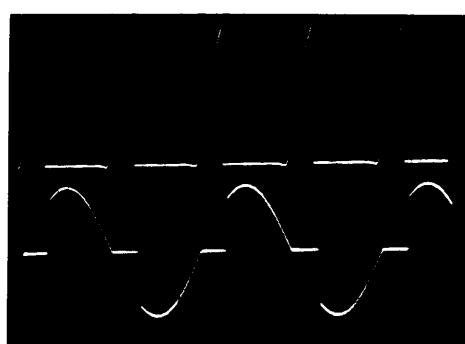


写真 5



アノード電圧波形

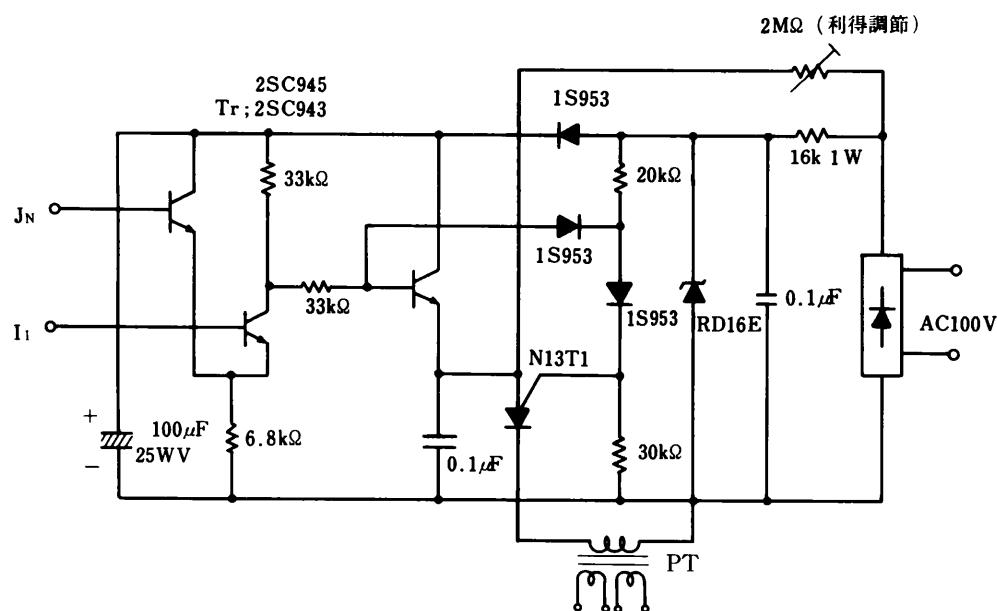
負荷電圧波形

発振回路ではなく、電源電圧が零になる度にリセットされるタイマ回路こそが本質的に必要な訳です。図48は図47の回路をPUTを使用して構成したもので同等の機能を持っています。ただし、PUTの方が少ない電力で作動する為、ドロップバを図48の $3k\Omega$ から $16k\Omega$ に変更し、ツェナーダイオードも容量の小さい製品に切換えてあります。また、ツェナー電圧を低くしてあるのは、もし図48のままにすると、PUTの出力パルス電圧が高すぎて、小型のサイリスタをトリガする場合に支障を来たすからです。

図48は、手動で電力制御を行なう場合には適していますが、自動制御を行なう場合には少々不便です。自動制御を行なうには、位相が図48の例のように抵抗値で変化するのではなくに電圧や電流値で変化した方が良く、同じ変化するなら入力に対して出力電圧が比例して変化した方が、良いと言えます。また、目標値とサンプルを比較する為に反転入力端子と非反転入力端子を備えていた方が便利です。

図49の回路は、このようなことを考慮して設計した例で、入力段に差動増幅器を用い、かつ、電源電圧波形が正弦波であることに起因する制御特性の非直線性を改善する為に、コサイン制御方式を入してあります。ただ、ここで用いた方式は擬似コサイン制御方式であるので、入力電圧に対する出力電圧（正確には平均出力電圧）の直線性は完全なものではありませんが、それでも尚、実用的には申し分ないでしょう。この回路のもう一つの特徴は、図のようにツェナーダイオードと並列にコンデンサを接続することができると共に、入力段と、それに続くペディスタイル設定段にも容量の大きなコンデンサを接続することで、その結果この回路は、電源から到来するノイズによって誤動作することがほとんどありません。一方、この回路にも欠点があります。その一つは、前に触れたセルフレギュレーションの機能を備えていないので、

図49 自動制御用位相制御回路



電源電圧の変動が外乱として作用することです。また、商用電源をそのまま回路の電源として使用していることも、機器の絶縁の面から見れば欠点と言えるでしょう。

サイリスタを使用した交流電力制御回路には種々の方式が提案されていますが、従来の技術はほとんど制御位相角を線形制御する方式であった為制御系の制御特性は必ずしも満足できる状態ではありませんでした。図50の位相制御回路は、入力制御信号に対応して出力電力をほぼ線形に制御する回路です。線形電力制御を行なうと、小出力時から大出力時に至るまで系のループゲインが一定に保たれるので制御特性が改善されます。また、この制御回路で白熱灯の調光を行なうと近似的に視感度補正された調光特性が得られ、フェーゲ目盛と目で感じる明るさが一致するようになります。このようにこの制御回路は温度制御や舞台照明の制御に適しており、さらに、動作電圧がAC12.6Vと低いので上述した欠点の一つが克服されています。

図52にこの回路の応用例を紹介します。図中F・C・C（位相制御回路）と印してある部分に図51の回路が接続されています。同じく、L・P・Fと印してある部分はローパスフィルタを示しており、簡単にはRCフィルタもしくはLCフィルタが使えますが、オペアンプが普及している現今では図52のようなアクティブリップルスムーザを用いることができます。

図54に実験データを挙げておきます。

図50 線形電力制御回路

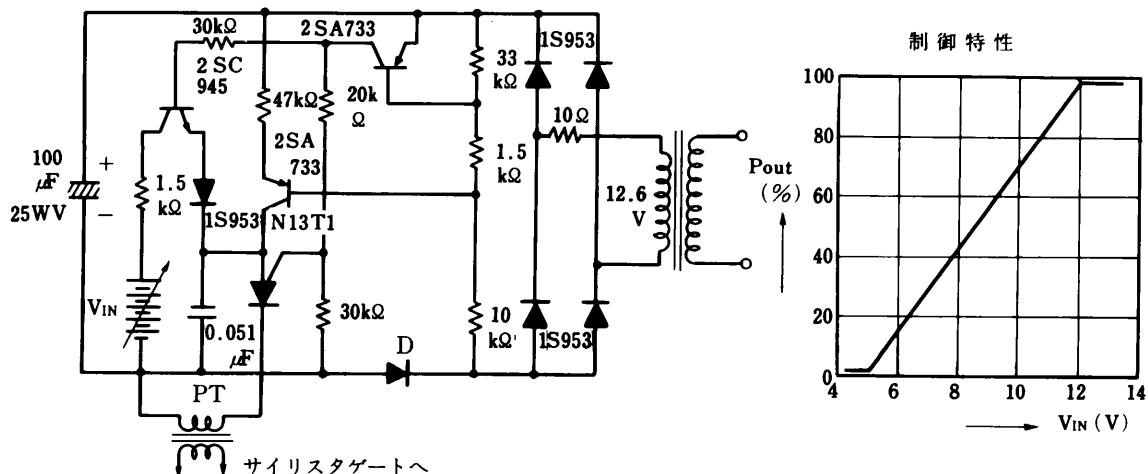
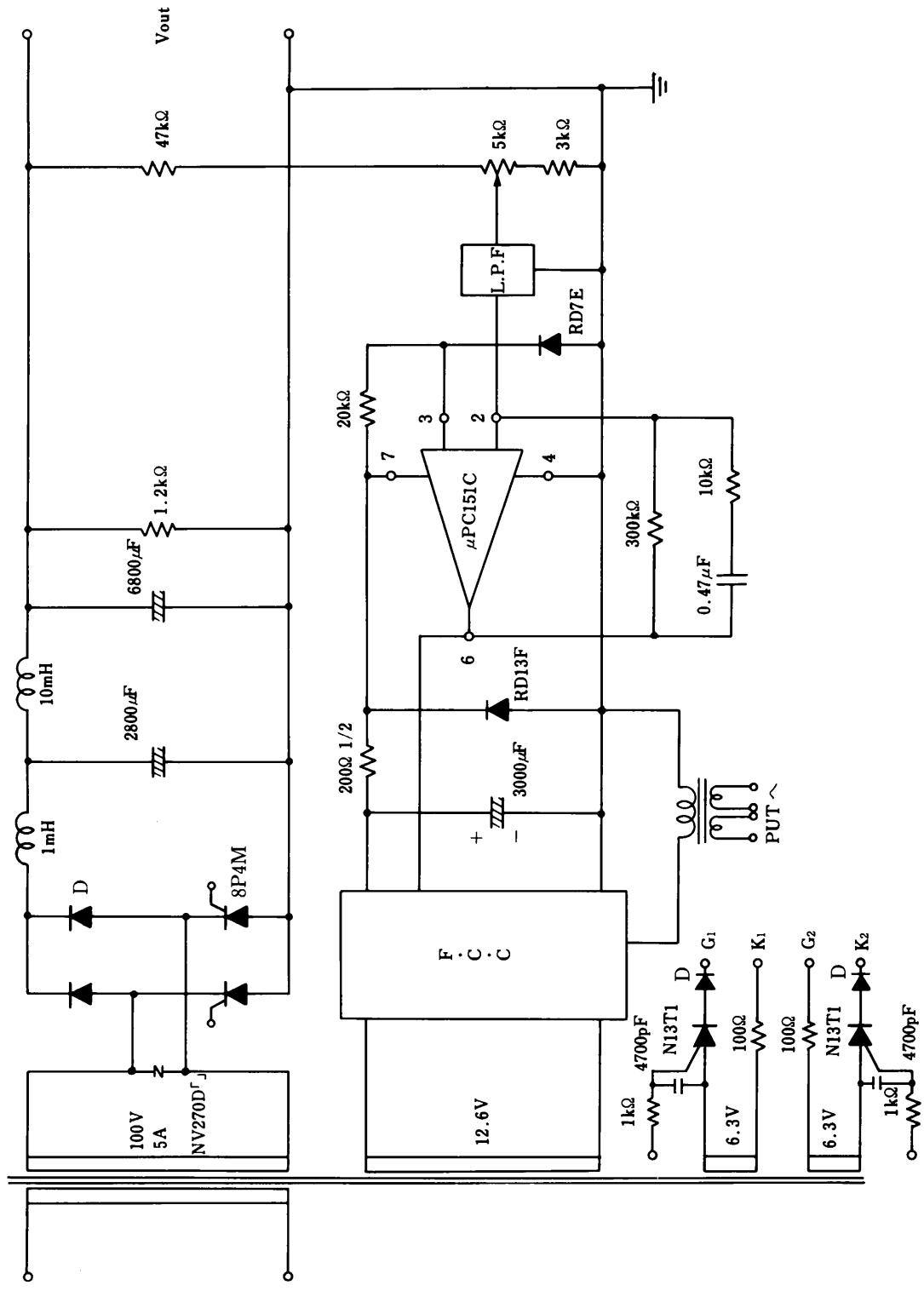


図51 図50の応用例



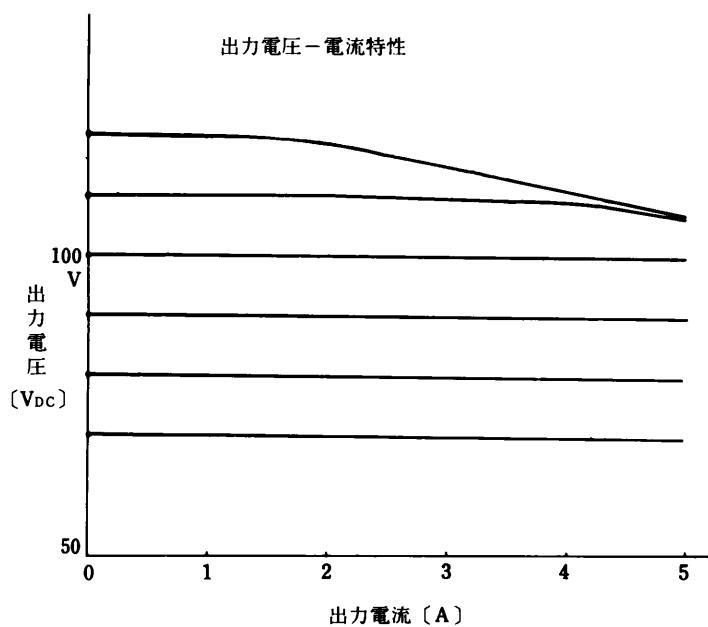


図53 図51の実験データ

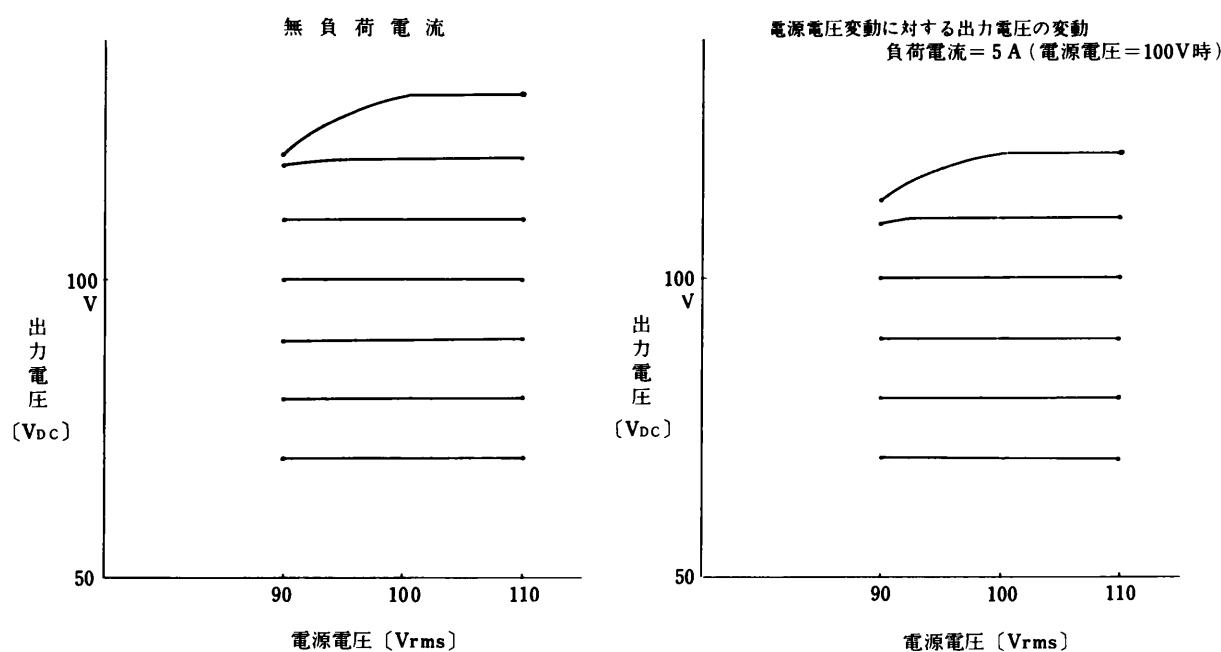
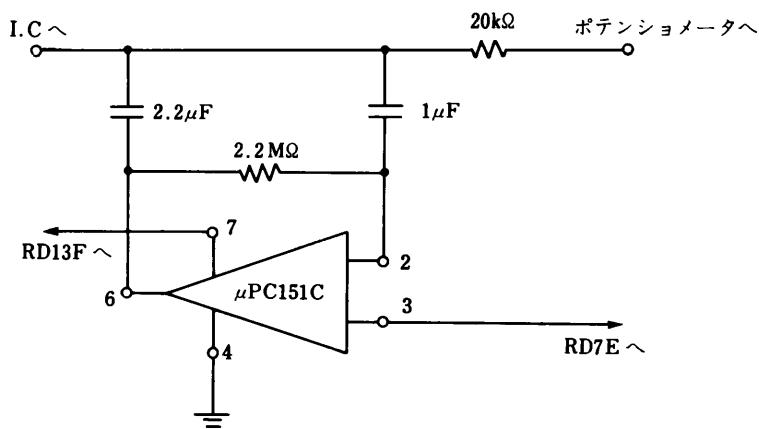
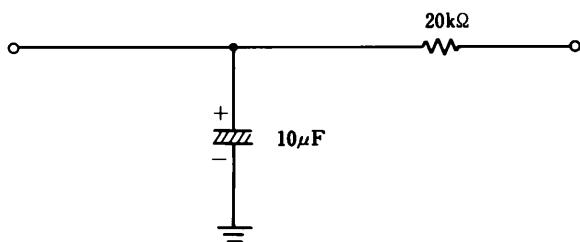


図52 L・P・F 回路例



※ アクティブ L・P・F



※ パッシブ L・P・F

次に、PUTを使用した位相制御回路のもう一つの例を紹介します。ただし、ありふれた回路は大して参考にならないし、冗長になるだけですので、ここでは特徴のあるものを取り上げてみます。

一般に、サイリスタを幅の狭いパルスでトリガする場合には、負荷電流の立上がりの遅れと、サイリスタのラッチング電流の関係で安定なターンオンが難しい場合があります。こうしたとき採られる手段は、サイリスタを高周波パルス列でトリガする方法と、幅の広いパルスでトリガする方法、および直流でトリガする方法等があります。ここで紹介しますのは、この中の幅の広いパルスでトリガする方法に相当するもので、図51と同じく一般にサブサイリスタを使用する方法として知られているもの一種です。

回路は図54に示すようなもので、この中パワーラインに囲まれた部分は、通常の位相制御回路と大して違いません。異なる点は、PUTの後には普通、パルストランジストを介して2個のサブサイリスタが接続される（図51参照）のに、この回路では1個のサイリスタ（2P4M）が直接接続されていることでしょう。

この回路の動作は次のとおりです。

いま、図の上方のパワーラインが正となる半サイクルにおいて、PUTがある位相でターンオンすると、2P4Mのアノード電流は6.8kΩ、2Wの抵抗器と整流スタック2B4DMを通して流れると、負荷およびトライアックのゲート、D₅、D₄を通して流れます。

この電流は、トライアックがターンオンして、その端子間電圧が低下するまで流れ続けるので、負荷がどんな低力率であっても、トライアックは確実にトリガされます。トライアックがターンオンした後も2P4Mは6.8kΩの抵抗器を通して流れの電流によってオン状態を持続しているので、メイン電流の振動によってトライアックがターンオフしても、これを再びターンオンさせてしまいます。なお、電源電圧の極性が逆転した場合には、同様にしてD₂、2P4M、D₆を通して

図54 誘導性負荷用位相制御回路

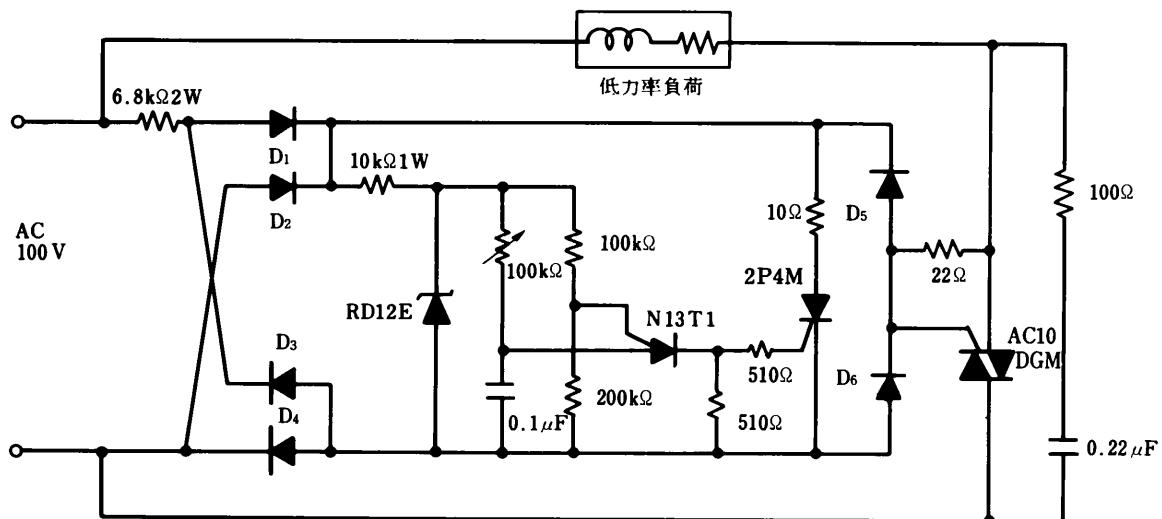
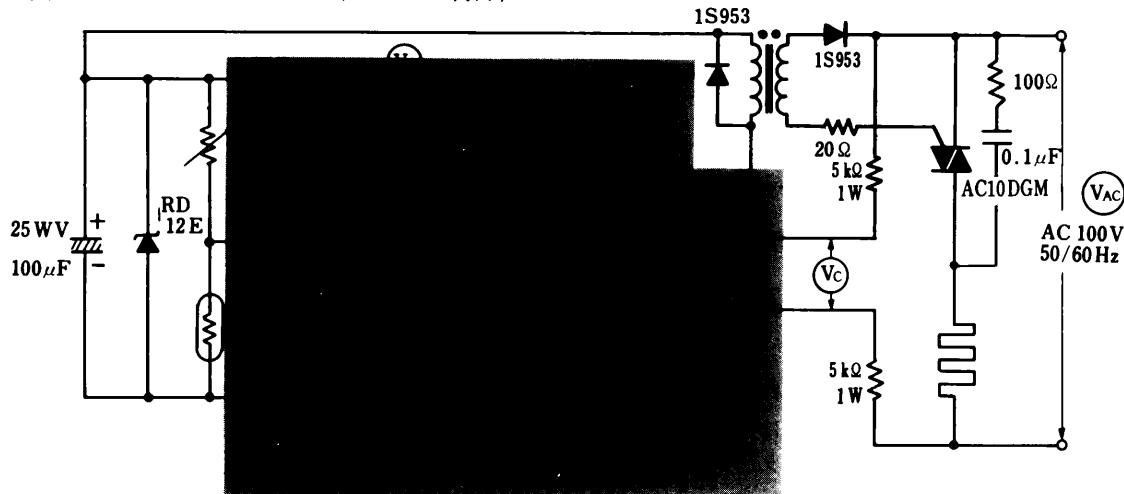


図55 PUTによるZ·C·S（オンオフ制御）



電流が流れ、トライアックはやはり確実にターンオンさせられてしまいます。

以上の動作は、メインサイリスタであるトライアックが、主電極間だけでなくゲート特性に関しても双方向性であるために実現できたわけです。

位相制御回路の範疇に入るものには、この他に電源の半波だけ位相制御する回路、高い制御利得を持ったもの、そのもののなどあり何れにもPUTは使用可能です。これらの応用例については他の刊行物に種々発表されているので省略します。

交流電力制御の技術には、これまで紹介しました位相制御の他にオンオフ制御があり、従来から簡単な制御方式としてよく採用されていました。特に最近では、位相制御に付随するR·F·Iの問題、および電源系統に与える諸影響の問題等を克服する一手段として開発されたゼロクロススイッチの技術が定着し、相当に高級な制御も行なわれるようになっています。以下に、PUTの有用性の高さを示す一例としてPUTによるゼロクロススイッチを紹介します。

図55が、PUTによるゼロクロススイッチを採用したオンオフ制御回路です。このような簡単な回路でもPUTのレベル弁別性能が非常に高い為に、熱回路の設計が適当であれば（むだ時間の短い系であれば）±0.1~0.5%程度の制御精度を得ることができます。

図56は、ゼロクロスパルスの発生過程を説明したものです。

図56 ゼロクロスパルスの発生過程

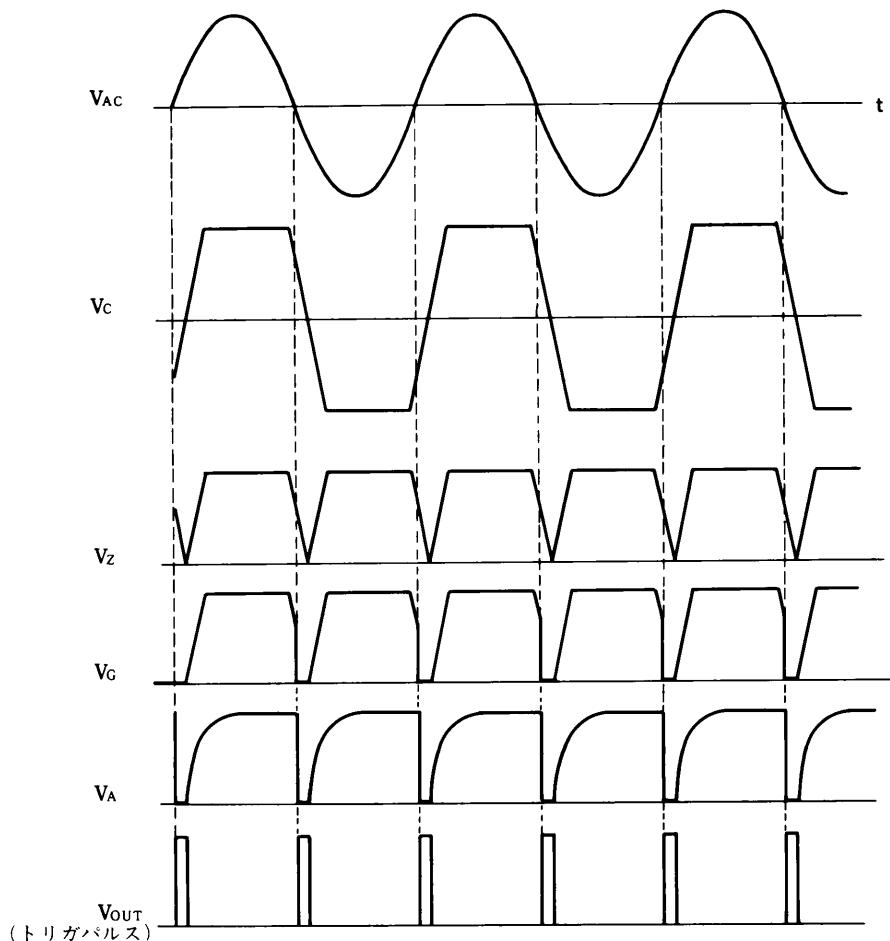


図57は、ゼロクロススイッチを用いて、本質的にオンオフ制御でありながらも比例制御の機能を得ようとする回路です。このような方式は、タイムプロポーショナル（時間比例）制御とか、PWM（パルス幅変調）制御と呼ばれています。

以上は、交流電力制御にPUTを活用する場合について例を挙げてきました。しかし、PUTは直流電力を制御する場合にも好都合に使用することができます。PUTとサイリスタを使用して直流電力を制御する装置には、インバータやコンバータ、およびチョッパ等がありますが、これらは非常に種類が多いので、ここでは数例を紹介するに留めます。

図58は、並列インバータとそのトリガ回路です。この回路は、PUTのプッシュプル発振回路を採用しているので、パルストラnsの二次側に現われるトリガパルスは正負両方向に発生します。その結果、SCRのゲート、カソード間のダイオード特性とあいまってステアリング回路が構成され、トリガパルスのエネルギーが有効にゲートへ注入されます。

尚、エミッタ短絡型のSCRを使用する場合には、この機能が失われますのでそれぞれのSCRのゲートにダイオードを接続して下さい。また、並列インバータ部の設計法その他については、他の資料を参照して下さい。

図59は、同じような回路構成でGTO(GCS)をドライブする回路です。ここでは、前述した正負パルスをそのままGTOのゲートへ注入し、そのアノード電流を制御しています。図中、 VR_1 および VR_2 はそれぞれチョッパ周波数とデュティファクタを調節するよう構成してあります。

以上、PUTとサイリスタを組み合わせた応用例について述べて来ましたが、この他にもサイリスタインバータやコンバータのトリガ回路、チョッパ型定電圧・定電流電源の制御部、テレビ用サイリスタ化安定化電源の制御部、自動制御用高性能位相制御回路等々多くの応用例があります。

図57 タイムプロポーショナル回路

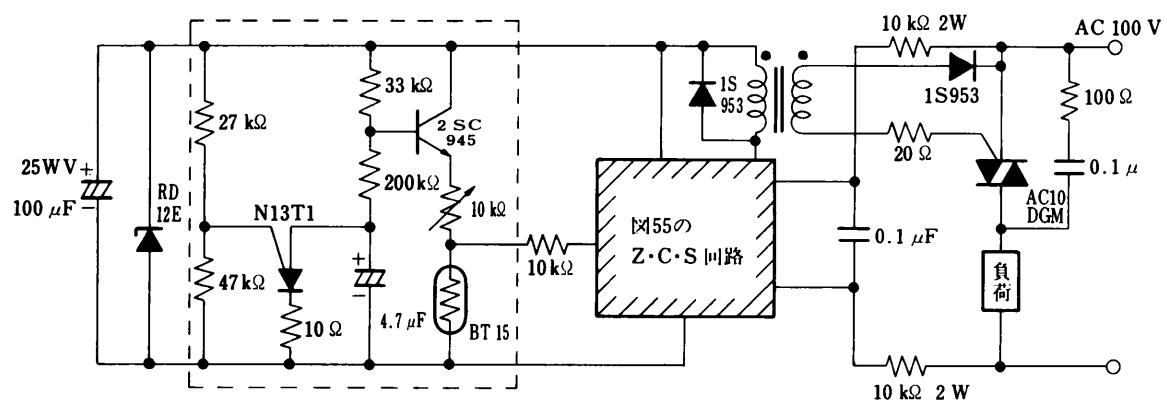


図58 並列インバータとトリガ回路

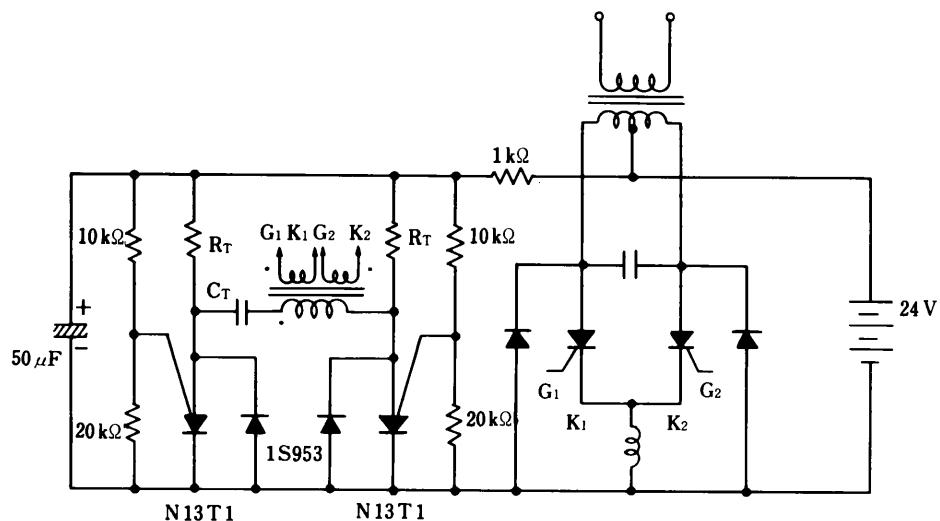
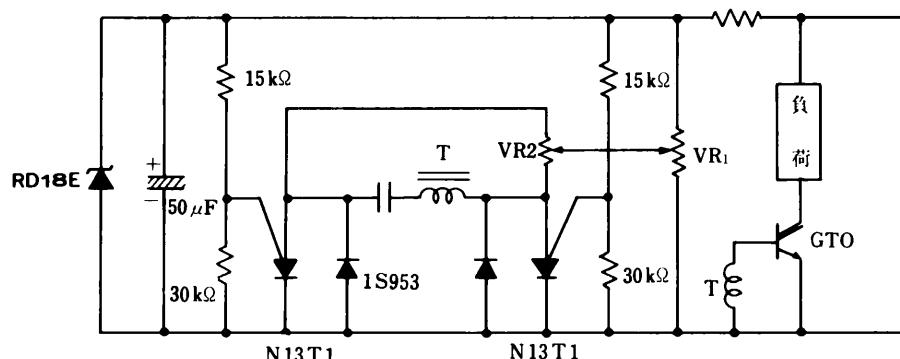


図59 GTO駆動回路



11.3.9 その他の応用例

PUTの応用分野は、この迄に紹介して来ました分野だけに留らずもっと広い分野に迄及んでおり、さらに広がりつつあります。この項では、PUTの有用性がどんなものであるかを知ってもらう為に、これまでとは毛色の違った応用例を紹介してみます。

○漏電ブレーカ

電気機器の漏電による危険を防止する必要から漏電ブレーカの設置が義務付けられました。このことは、電気需要家にしてみれば少々出費は必要とするものの、安全が保証される為、非常に有難いことと言わねばなりません。しかし、何にしても経費がかかり過ぎることは敬遠されてしまいます。そこで、漏電ブレーカの価格を引き下げる便法として、零相電流トランジストの出力を直接、小型SCRのゲートで弁別する方法が取られています。

この方法によれば、確かに僅かの電子部品で所要の機能を持った回路を構成することができます。ところが、一般のPUT小型SCRは、そもそもにおいてゲート、カソード間に $1\text{K}\Omega$ の抵抗器を接続して使うように設計されており、カタログ規格や保証信頼度においてさえも、この状態でしか規程されていません。一方、漏電ブレーカを設計する立場に立てば、 $R_{GK} = 1\text{K}\Omega$ というのはいかにもインピーダンスが低すぎます。そこで、ある程度の安定性の低下は承知で R_{GK} を上げて使うということが行われる場合があります。

また、一般の小型SCRは、この資料の最初の項で述べましたように、そのゲートによってアナログ信号を弁別させるような使い方を推奨されておりません。

このようなことから、一般の小型SCRを使用して下手に漏電ブレーカを設計してしまうと、漏電ブレーカそのものが危っかしい物となり、人命の保護どころではなくなってしまう可能性があります。つまり、設計のやり方によっては防災を目的とする機器に必要な「必要な時に安定に確実に動作する」という基本的な条件が満たされなくなる危険が生じています。

しかしながら、使用するサイリスタに、上のような不都合のない製品を使っておけば、少なくとも部品の選定に起因する事故は未然に防止することができます。

ここで、安価で安全な漏電ブレーカを作るに必要な、サイリスタに要求される項目を整理すると次のとおりとなります。

- ゲートでアナログ信号を安定に弁別できること。
- 同弁別レベルの経時変化が少ないこと。
- サイリスタの安定化用ゲート抵抗の値が高く選べること。
- 直流を掛け放しにしても(長時間)自然ターンオンしないこと。
- ゲート感度が高く、ばらつきが少ないとこと。
- 諸パラメータの解析が充分になされ、回路設計に無理がかかるないこと。

以上の事項が満足されるならば、余裕のある設計が可能になり、特殊スペック等によりパラメータの初期値のみが保証されるような不安を残す操作は不必要となる筈です。

そこで、上の条件を満たすサイリスタを物色すると、現時点においてはPUTだけが合格圏内にあると言えるのではないかと思われます。(次の章のPUTの信頼度データをご参照下さい。)

蛇足ながら、弊社製PUTを使用して製品開発を進められたお客様から、“極めて安定した動作が得られ、サイリスタに起因する不良発生等のトラブルが皆無となった。”との評を頂きました。また、別のお客様からは、サイリスタに起因するクレームの発生が無くなり、保守人員と保守に要する費用を激減させることができたとの報告も頂いています。

これらの成果は、回路技術的に特殊なことを行なった訳ではなく、PUTの性質がそのまま生きてきたものと考えられます。その基本回路を図60に挙げておきます。この回路は単相用ですが三相用も同様に簡単な回路構成で実現することができます。

○フォトリレー

図61は、PUTの極めて大きな電流利得を利用してフォトトランジスタの出力を増幅するようにした回路でフォトリレー、無接点メータリレー等に応用することができます。この回路では、フォトトランジスタが定電流素子である為に、PUTの導通角はほとんど180度になり、リレーがうなるようなことは有りません。勿論、フォトトランジスタの代わりに他のセンサを接続することもできますが、電流出力型のセンサを使う方が有利です。また、図中のRはあった方が良いが必要ではありません。

図60 漏電ブレーカ基本回路

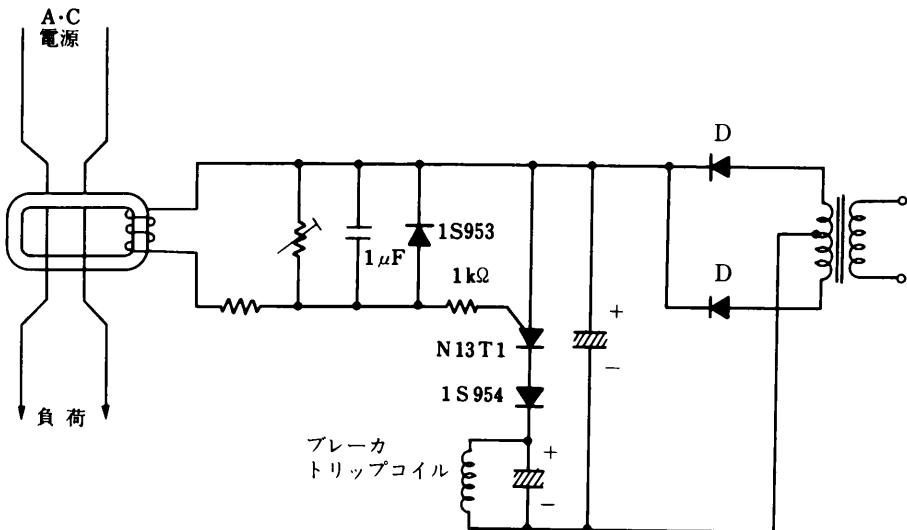
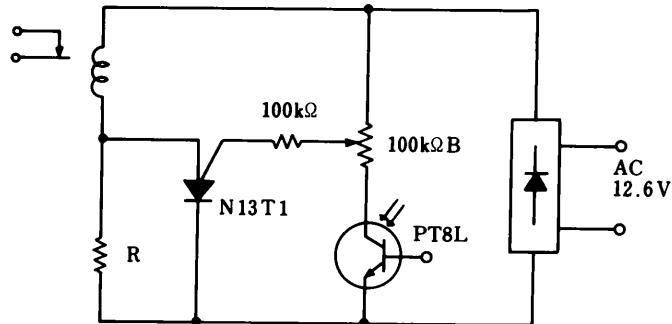


図61 フォトリレー



○近接スイッチ

図62の回路は、GE社のアプリケーションノートに紹介されている近接スイッチの例です。商用電源に直結して使うよう構成してあるので、やや使いにくいきらいはありますが、約10ピコファラードの静電結合があれば動作し、出力も100W程度得られるので実用に供することができます。検知感度は1MΩの可変抵抗器で調節することができます。もし、この回路を実用する場合には、絶縁トランジストなどを使って、ラインと絶縁して使って下さい。

○パルス間隔弁別回路

色々な電子回路を設計していると、例えば心臓の脈搏がある程度以上、長い周期になったら警報を出したいといった場合に、パルス間隔が特定の時間以上になると何らかの信号を発生する回路が欲しくなることがあります。このような場合にも、PUTによるタイマ回路を流用すれば好結果を得ることができます。図63はその1例で、コンデンサは抵抗を通じて流れる電流により常に充電され、PUTのピーク電圧に達しようとしますが、到来するパルス列によりトランジスタがオンし、その度に放電させられます。しかし、何かの原因によりパルス列のパルス間隔が伸びると、コンデンサの電圧は、トランジスタにより放電させられる前にPUTのピーク電圧に達し、PUTを通じて放電するようになります。その結果、PUTのカソードに接続されたSCRのゲートにパルス電流が流れ込み、警報器に電流が流れ、警報が発せられます。

○低周波アステーブルマルチバイブレータ

PUTの電圧弁別作用とメモリ作用を利用すると周期が数分に及ぶ超低周波で発振する方形波発振回路が得られます。

図62 近接スイッチ

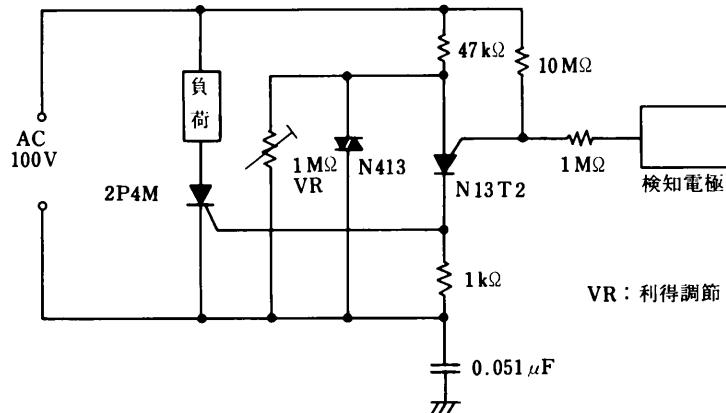


図63 パルス間隔弁別回路

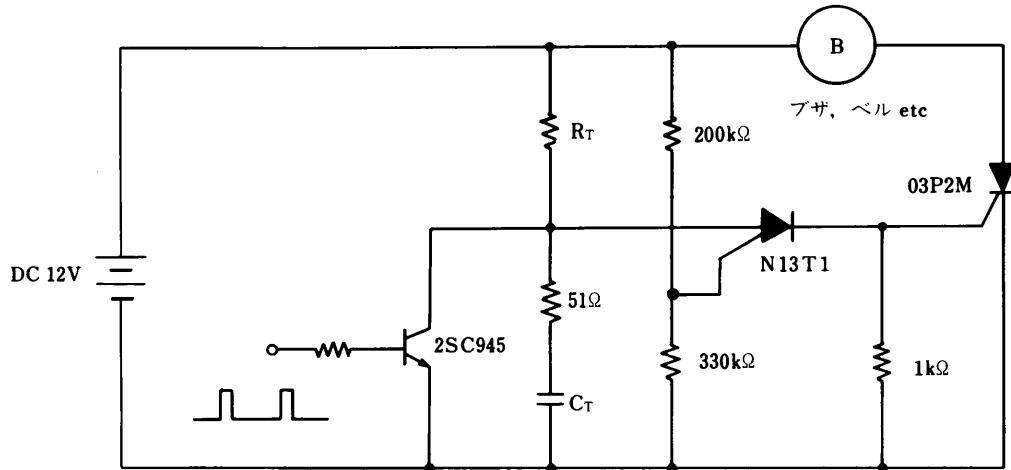


図64 低周波アステーブルマルチ

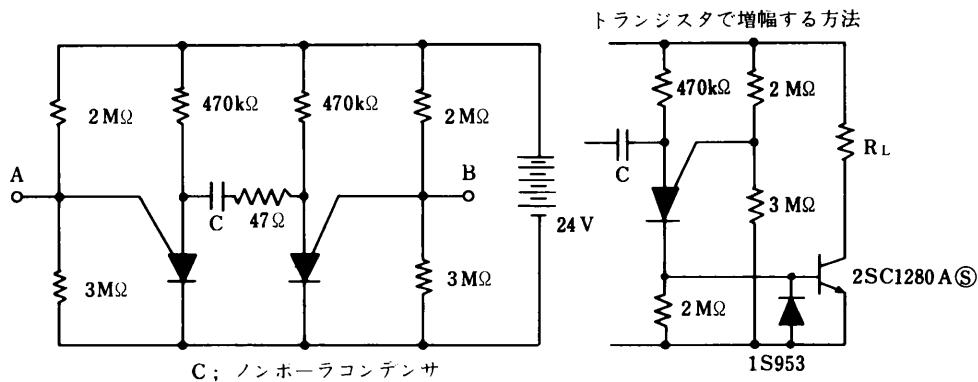
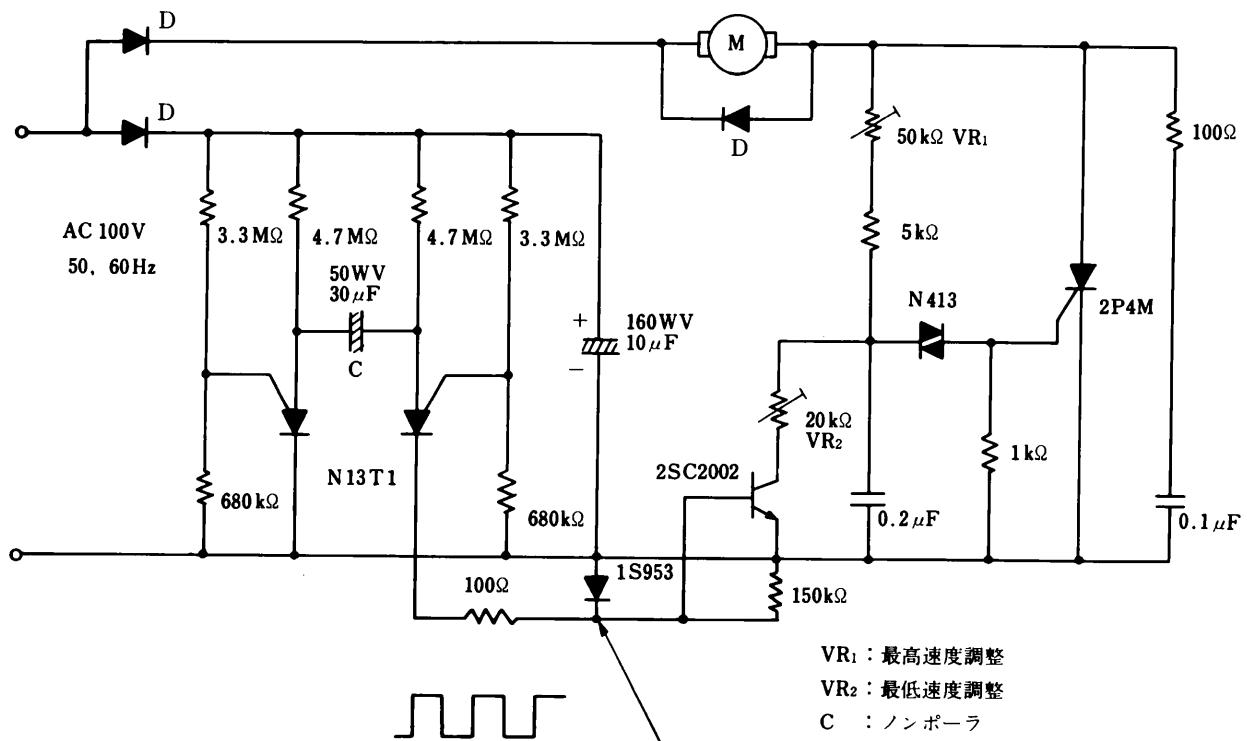


図64の回路は2つの保持型タイマをプッシュプル動作するよう組み合わせたもので、それぞれのタイマの動作時間は、それぞれのPUTのアノード抵抗と共通コンデンサ、及びゲートバイアス(Vs)によって決まり、それぞれのタイマがタイムアップする毎に他方のタイマをリセットすることにより自励発振をします。この回路は位相が180°違う出力を同時に発生するのでモータの回転方向を周期的に反転させたりランプを交互に明滅させたり2つの機器を交互に切換えて使う場合

図65 バイブレータ制御回路



などの制御信号源として使うことができます。出力電力をより大きくしたい場合にはPUTのカソードにNPNトランジスタのベースを接続してコレクタから出力を取出せばよいでしょう。

○バイブレータ制御回路

図65の回路は前に述べたPUTによる方形波発振回路を応用したバイブレータの制御回路です。回路を簡単にするため発振器の電源は交流100Vを整流してそのまま使いPUTのスタンドオフレシオニアを小さくすることによりPUTの定格以上の電圧が加わらないようにしてあります。PUTの出力によりトランジスタがオンオフすると位相制御回路のコンデンサに流れる電流が増減するので、ダイアックによりSCRがトリガされる位相が制御されます。この時のモータ回転数の最高と最低は図に示した可変抵抗器によりそれぞれ別個に設定することができます。この回路はそのまま電磁石を使ったバイブレータにも使用することができますが、図の回路定数では、ほぼ1分毎に振動が強くなったり弱くなったりします。

○自動調光ストロボ

ストロボフラッシュによる写真撮影にはガイドナンバによる絞りの計算がつきものですが、既に絞りの計算が要らない自動調光ストロボが実用され始めています。図66の回路はこの自動調光ストロボに使われている露光量検出回路の例で、ストロボフラッシュから放射された光が被写体で反射され、返ってくるとフォト・トランジスタにより電流に変換され、その電流でコンデンサが充電されます。フィルムは一種の光の積分器と考えられるので、コンデンサに積分された電荷はフィルムの露光量に対応していることになり、フィルムが丁度よい具合に露光されたかどうかはコンデンサの電荷を計測することにより知ることができます。実際にはコンデンサの容量を一定とするので露光量は電圧で表現されます。従ってフィルムが適当に露光される時の電圧を予め設定しておけばその時点でPUTがオンし、ストロボフラッシュの発光を止める信号を出すことができます。

○ワンショットソリッドステートリレー

これまでのところでは、放電型タイマを引き合いに出すことが少なかったので、ここで一つ紹介しておきましょう。た

図66 自動調光ストロボ用露光量検出回路

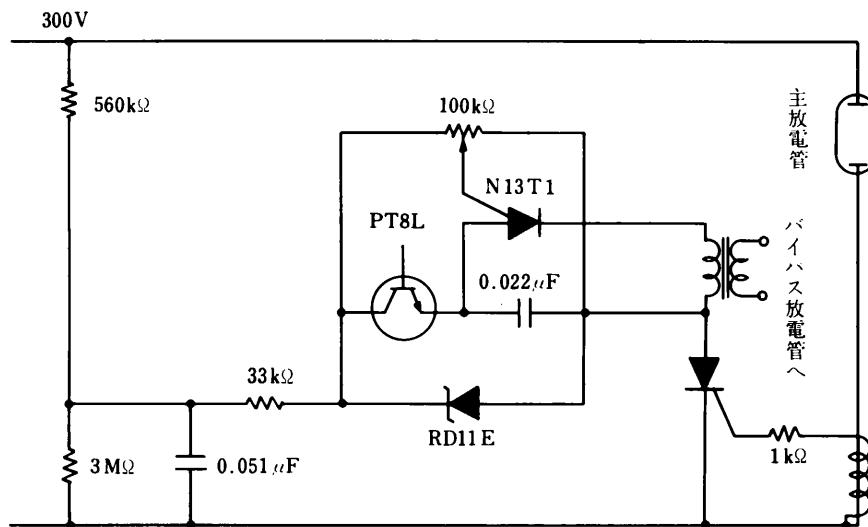
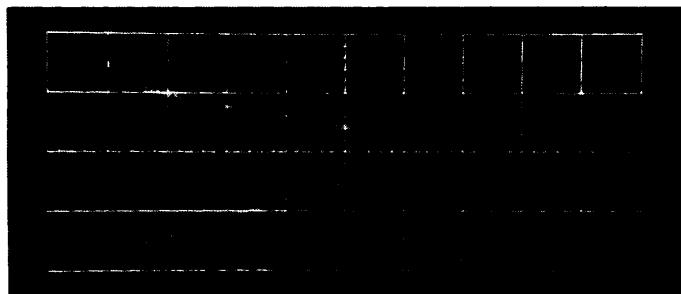


写真 6

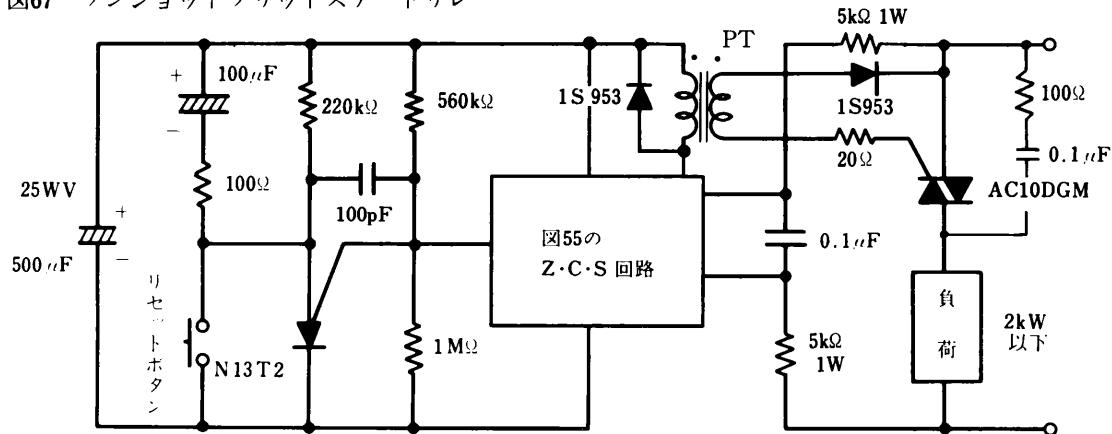


主放電管電圧波形

露光量検知信号

H : 50μS/DIV

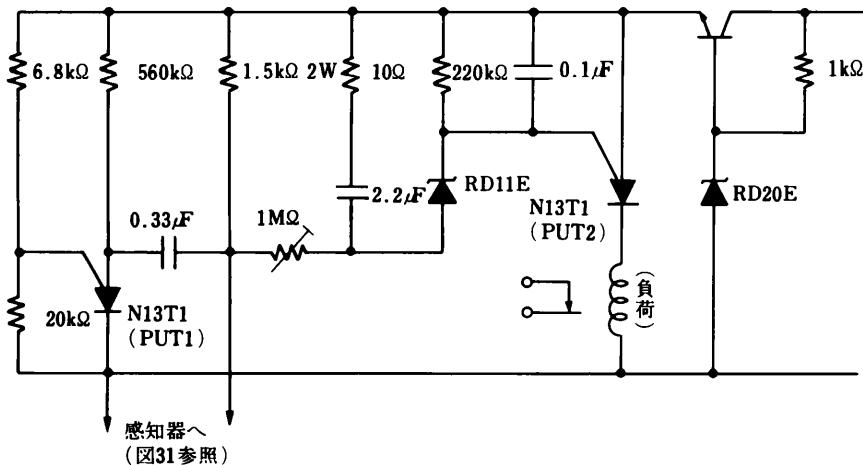
図67 ワンショットソリッドステートリレー



だ、リレーをドライブするだけの回路では面白みがないので、完全にソリッドステート化したワンショットパワリレーの例を紹介することにします。

・放電型タイマの利点は、当初コンデンサを完全に充電してしまうために、誘電吸収現象による動作时限の狂いが少なくなることと、コンデンサの漏れ電流がもとで、動作が停止してしまうことがないことです。したがって、自動販売機

図68 煙感知器用受信機



械や娯楽機械、およびプロセス制御用ワンショットタイマ等にはうってつけと言えます。

図67の回路もこのような用途に合わせて作ったもので、PUTの出力をZ·C·Sの入力端子に直結してあります。この構成なら、リセットスイッチを押す度に負荷に一定期間、パワを供給することができ、しかも、スイッチ時にノイズを発生せず、電磁リレーにありがちなチャタリングによる不都合現象も起こりません。

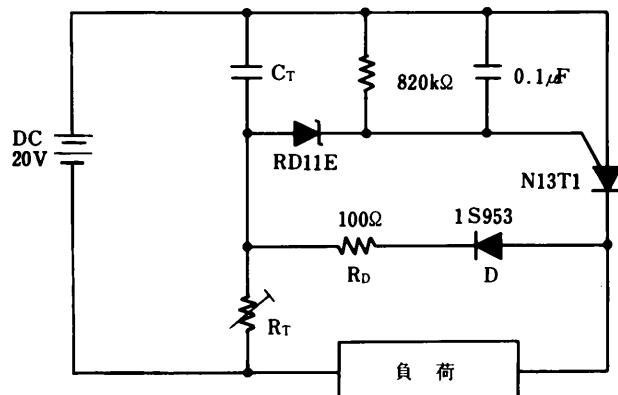
○煙感知器用受信機

最終段の感知信号を発生する部分にサイリスタを使用した2線式煙感知器に適合する受信機にPUTを使用すると、回路をかなり簡略化することができます。図68の回路でPUT1は煙感知器が誤動作した時自動的に復帰させ、誤った警報が出ないようにするためのもので、実際に火災が発生し感知信号が来ると感知器と一体となって発振器を構成し、発振を持続するようになります。また、PUT2とその周辺の部品はアナログ計数回路を構成しており、PUT1と感知器からなる発振器が、ある程度以上発振を続けるとリレーを駆動して警報を発します。1MΩの可変抵抗器は、発振動作が始まつてから警報を出すまでに計数するサイクル数を決めるためのものです。尚、感知器が誤動作した時に計数回路に蓄積された電荷は、自動的にリセットされた後この1MΩの可変抵抗器を通じて放電してしまいます。

○遅延リレー

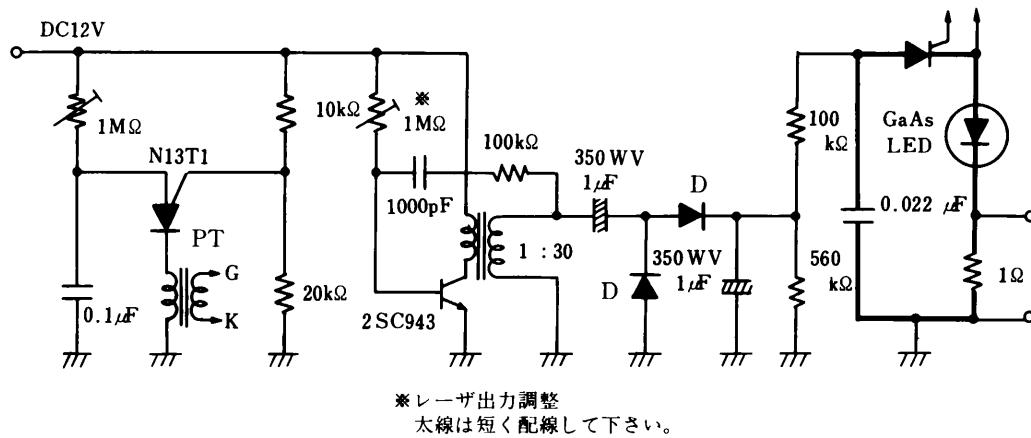
遅延リレーには、熱的なもの、電磁的なものなどがありますが遅延時間を用途に合わせて変えることが難しい欠点を持っています。図69に挙げた遅延リレー回路は、PUTを使って遅延時間を自由に変えられる回路です。電源電圧が加わる

図69 遅延リレー回路



と R_T を通じてコンデンサ C_T が充電され、その端子電圧がツェナダイオードのブレーカオーバ電圧とPUTのオフセット電圧の和に達するとPUTがオンし負荷に直流電圧が印加されます。一度PUTがオンするとコンデンサ C_T の電荷はダイオードDと抵抗 R_D 及びPUTを通じて放電されるので回路を開いた後すぐ次の遅延動作に入ることができます。PUTの負荷に通常のリレーを接続するとさらに大きな電力の制御を行なうこともできます。尚、ツェナダイオードには飽和電流の小さいプレーナ型を使う方が良く、アロイ型のツェナダイオードは好ましくありません。

図70 レーザダイオード駆動回路



○レーザダイオード駆動回路

踏切の障害物検知や、天井走行クレーンの衝突防止などにGaAsレーザダイオードを使うことができます。図70に挙げた回路は、レーザダイオードに流す大電流パルスを発生する回路で、直流の高電圧を作るDC-DCコンバータ部とSCRによるスイッチング部、SCRをトリガするためのパルスを発生する部分から構成されています。PUTで発生するパルスは立上がりが速く、しかもピーク電流が大きいのでSCRのスイッチング時間も短くなりその結果レーザダイオードに流れるパルス電流も立上がりが速く幅の狭いシャープな波形になり、レーザダイオードの発熱により電一光変換効率が低下する前に放電が終わるので効率よくレーザ光を取り出すことができます。尚、寄生振動によるレーザダイオードの劣化を防ぐため図中の太線の部分は太い線で極力短く配線し、電流観測用の抵抗器も放電用のコンデンサも無誘導性のものを使う必要があります。

○同期整流回路

PUTは、トライアックのように双方向性の素子ではなく、4象限だけでターンオンし、しかもゲート感度が非常に高いので鋭敏な同期整流回路を作ることができます。同期整流回路というのは、入力制御信号と位相が一致している時だけ負荷電流を流す整流回路のこと、バイブレータを利用した機械式整流器や、直流発電機の整流子とブラシによる整流も原理は同じです。

ここでは、サーミスタブリッジとPUTを組み合わせて、温度が既定値より高いか低いかをランプ（発光ダイオードでも可）で指示する回路を紹介します。

図71がその回路で、同期整流を行なわせることが目的であるのでサーミスタブリッジは交流で動作させてあります。また、温度指示を行なわせるランプは、全波整流回路の2つの辺に入れています。図の回路では、センタタップ付きのトランスを使用していますが、6.3V巻線が2組しかないトランスを使用する時は、図の右に示したような回路を使用することができます。

なお、PUTのアノード・ゲート間に接続したコンデンサは、ノイズによる誤動作を防止するためのものです。

この回路の動作原理は、図72に示しますように、ブリッジの平衡点に対し温度が上昇したときと、下降したときとでブリッジの出力位相が逆転することを利用しています。つまり、PUTのアノード・カソード間には全波整流された電圧が加えられているために、アノード・ゲート間に加わる信号電圧がアノード電圧と同期して、しかもその位相が2通りに分かれて到来すると、アノード電流は2つのパイロットランプにそれぞれ振り分けられてしまうわけです。

この回路の感度を調整するには、PUTのゲート・カソード間に抵抗器を接続し、この抵抗値と、ブリッジインピーダンスとでアノード・カソード間電圧を分割した電圧でPUTのゲートをプリバイアスすればよいでしょう。この回路は、工夫しだいでさまざまな用途に実用することができます。たとえば、このままでもGO-NOGO方式の温度テスト装置に使えますし、サーミスタを自己加熱させて使えば液面の検知に、また同サーミスタをガスパイプ中に設置すれば流速の簡易モニタができる、サーミスタをCdSや、CdSeに置き換えれば光量の弁別が、またInSb等の磁気抵抗効果素子に置き換えれば磁石の磁束密度の検査などにも使えます。また、出力パワーが足りなければパイロットランプ L_L 、 L_H の代わりに、容量の大きなサイリスタやパワリレー等を接続することもできます。

図71 同期整流方式温度検知回路

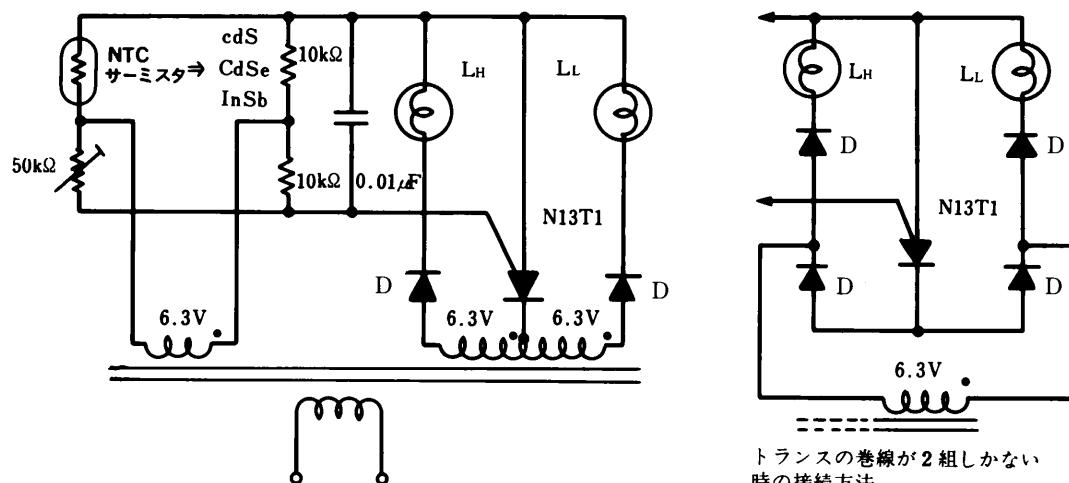
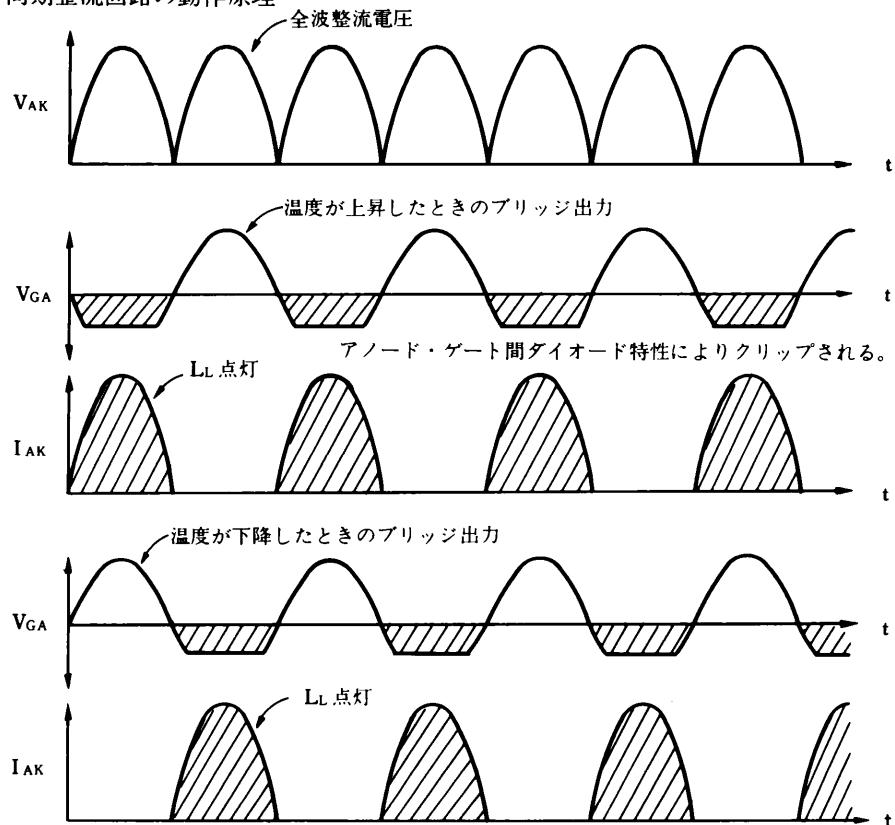


図72 同期整流回路の動作原理



これまで、PUTの応用技術について書いて来ましたが、かなりのページ数を割いたにもかかわらずまだ舌足らずの感があります。ことに、ごく最近に開発された回路とか、技術的に高い水準にある回路などは紹介していません。ただ、ここに紹介した内容だけからでも、PUTの特異性や有用性がどんなものであるかを知って頂けたことと思います。

11.4 PUTの信頼性

一般に信頼度とは「規定の条件で、意図する期間、規定通りの機能を故障なく遂行する確率」と定義されています。極端ないい方をすれば、初期値がそのまま持続される、すなわち不变であれば、信頼度は最も高いわけです。しかし実際の使用状態における素子の信頼度（動作信頼度と呼ばれている）は「素子の固有信頼度と使用信頼度の積である。」といわれ、回路設計者が、素子の取り扱いに不慣れであったり、素子側のデータが不十分であるため、必ずしも十分に信頼性が發揮される最適使用状態にあるとはいえない。そこで信頼性設計のためには回路設計者は、素子の最大定格の定義や静特性と動特性を十分に把握して上手に素子を使いこなすことが必要です。

ここでは、SCRの一般的な信頼度と、PUTの信頼度設計上の問題と対策について若干述べるとともに、現在製品化されているPUT（N13Tシリーズ）の信頼度試験結果について述べることにします。

11.4.1 SCRの信頼度とPUTの信頼度向上設計

PUTは、構造上はNゲートプレーナ形SCRでありコンプリメンタリSCRとしての用途も考えられるためまずSCRの信頼度について述べます。SCRの一般使用条件において信頼度に及ぼすストレスとしては、熱的ストレス、機械的ストレス、雰囲気および電気的ストレス等があげられます。素子の最大定格は、これらのストレスに対して決められているため減定格（Derating）することによって、それぞれのストレスは小さくなり、信頼度は向上します。

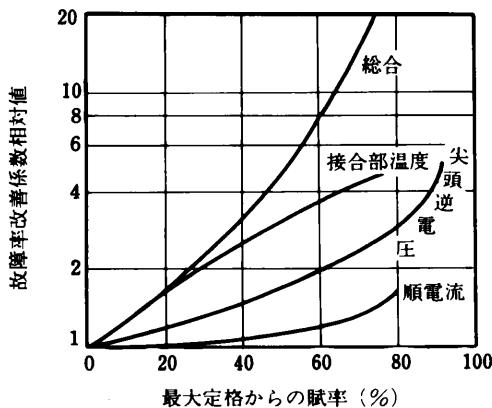
一般にSCRを最大定格で動作させた場合の故障率（Failure rate）は、 $10,000 \text{ Fit}$ ($1 \text{ Fit} = 10^{-9}/\text{h}$) 程度といわれ、1,000時間で、100本中1本が特性の寿命終止点（Life end point）を越えて劣化する確率があることで、平均寿命にすると約10年に相当します。しかし前記の様に減定格して使用すれば、図72に示す例の様に故障率は小さくなり、回路設計にあたっては、装置の冗長性もあいまって、 $10 \sim 100 \text{ Fit}$ の実績を得ています。

以上の様にSCRについては、現在十分な信頼度が得られていますが、PUTは動作時の電流が小さく、漏れ電流又は I_p の増加は致命的な故障となるためさらに信頼度が要求されます。すなわちその初期値が小さいだけでなく変化率についても十分小さいことが必要な訳です。

N13Tシリーズは、プレーナ型構造を採用しており、接合界面は安定な、酸化膜（ SiO_2 ）により保護されています。しかし SiO_2 膜中には汚染物質として Na^+ イオン等の正電荷がありやすく、この正電荷による、漏れ電流の増加、 h_{FE} の低下等がプレーナトランジスタ等のプレーナ型の半導体素子の信頼度試験において、ときどき見られ、又表面への水蒸気、他のガスの吸着によっても同様な現像を生じることがあります。

この対策として、第1に工程管理の強化によるイオン汚染の防止、封入前のペレットの十分なペークによるガス出し、

図73 減定格と故障率の関係



第2対策として、 S_1O_2 膜生成後、焼ガラスを酸化膜全体に付着させる方法により S_1O_2 中の Na^+ イオンを不動化し特性の安定化を計る。又は、シリコン窒化膜($N_{13}N_4$)やアルミナ(Al_2O_3)等により Na^+ イオン及びその他の不純物イオンが外部から浸入するのを防ぐ等の方法が一般に行なわれています。

PUTは素子の特性を考慮し前記の各種ストレス、問題点に対し十分な信頼性設計が行なわれています。

11.4.2 信頼度試験データ

素子の信頼度を評価するためには、表-1に示す劣化機構とストレスの関係を、把握した上で、標準化されたストレス試験を行ない設計段階での信頼度の確認「形式試験」が行なわれます。さらに製造工程及び選別において、表-1の欠陥に対応するいろいろなストレスを加えてスクリーニングが行なわれ、完成された製品に対しては特性試験、環境試験、及び寿命試験(ロット保障試験)が行なわれて、品質が確認されています。

ここでは、現在製品化されているPUT(N13Tシリーズ)の信頼度試験結果を紹介し、前述の問題点等について何ら信頼度上心配がないことを示しておきます。

(1) 試験結果

表-2に信頼度試験結果を、まとめて示しました。また注目している項目については経時変化の様子を図75~84に示します。結果はここに示した通り充分に安定しています。

11.4.3 PUTの発振周波数の経時変化

以上のデータから判りますように、PUTの各パラメータはコンペニショナルUJTに比べて遙かに小さな経時変化しか示しません。この事から、PUTを採用した発振器の発振周波数の経時変化は非常に小さくなることが期待されます。もし、この期待が裏付けされるならばCVCF電源などの発振周波数のドリフトが敬遠される分野では、PUTの有用性が再確認されるものと思われます。

このような期待に基づいて発振動作試験を実施した結果を図84に示します。これから、PUTがUJTに比較して如何

表1 劣化機構とストレスの関係

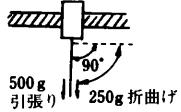
劣化 機 構	ス ト レ ス	機械的	温 度 的	電 氣 的	その 他
		静 シ 振 压 ヨ 止 ツ 力 ク 動 力	一 シ サ 定 ヨ イ 温 ツ 度 ク ル	電 電 電 電 力 (連 続)	腐 摩 湿 放 射
構造欠陥 (弱体製品) (弱体接合) (微少部分の接触不良) (熱疲労)		● ● ● ● ● ● ● ● ● ●	● ● ● ● ● ● ●	● ● ● ● ●	
封入欠陥		●	● ●	●	● ● ●
内部汚れ (封入ガス不良) (吸着ガス) (イオン化された汚れ) (少数キャリアトラップ) (イオン電導) (腐蝕)			● ● ● ● ● ● ● ● ● ● ● ●	● ● ● ● ● ● ● ● ●	
金属の電気的欠陥 (不完全接合)				● ● ●	
金属拡散		●		●	
耐放射能					●

表2 PUTの信頼度試験結果

(a) 寿命試験結果

ストレス	条件	試験数	コンポーネントアワ(C.H.)	不良数
高温保管	T _a =125°C	22	22,000	0
低温保管	T _a =-40°C	22	22,000	0
常温放置	T _a =25°C	45	45,000	0
直流ブロッキング	T _a =125°C V _{GK} =40V	22	22,000	0
直流通電	T _a =25°C I _F =150mA	22	22,000	0
パルス試験	T _a =25°C I _F =1A duty1% P.W.=100μsec	22	22,000	0

(b) 環境試験結果

ストレス	条件	試験数	不良数	備考
半田浸し 温度サイクル 熱ショック	260±5°C 10秒間 -40.0 ⁺⁰ °C~125±5°C 5回 1サイクル 30分 0 ⁺⁰ °C~100±5°C 5回 1サイクル10分	22	0	
衝撃試験	1500G 0.5msec 3回 XYZ方向			
振動試験	60±20Hz·20G XY方向各1時間	11	0	
遠心力試験	20,000G·1分XYZ方向			
リード引張り	500g 30秒			
リード折曲げ	250g 90度往復3回	22	0	

(c) 故障判定基準

項目	略号	条件	初期値	終止点	単位
アノード・カソード逆漏れ電流	I _R	T _a =25°C, V _{AK} =-30V	0.01以下	0.1	μA
ゲード・カソード漏れ電流	I _{GKS}	T _a =25°C, V _S =40V	0.1以下	1.0	μA
アノード・カソード順漏れ電流	I _D	T _a =25°C, V _{AK} =30V, R _{GA} =1kΩ	0.1以下	1.0	μA
ピーカ電流	I _P	T _a =25°C, V _S =10V, R _G =1MΩ	2.0以下	3.0	μA
順電圧	V _F	T _a =25°C, I _F =100mA	1.5以下	1.7	V

図74

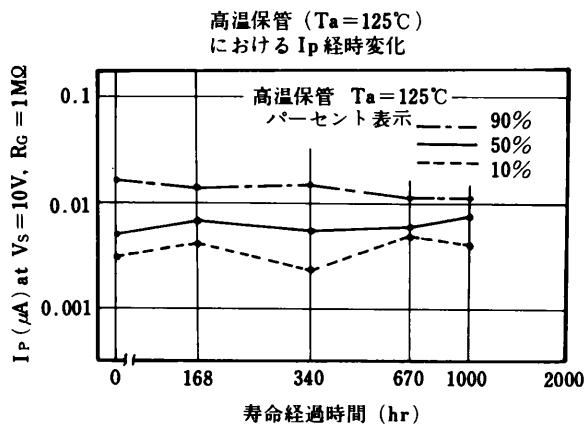


図75

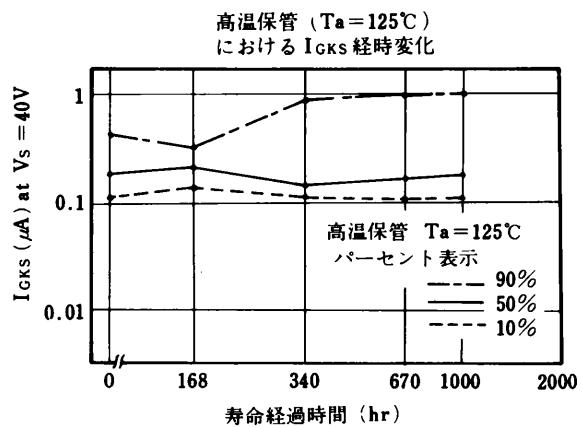


図76

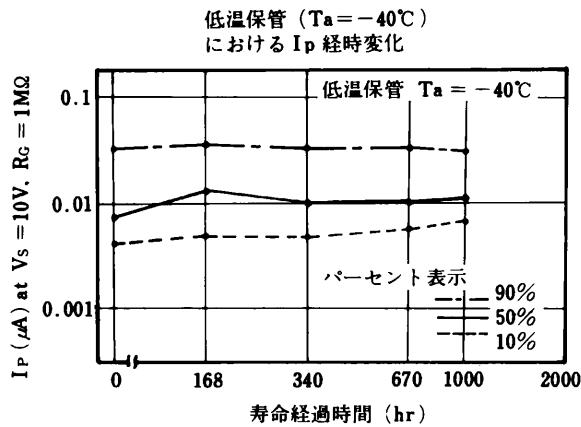


図77

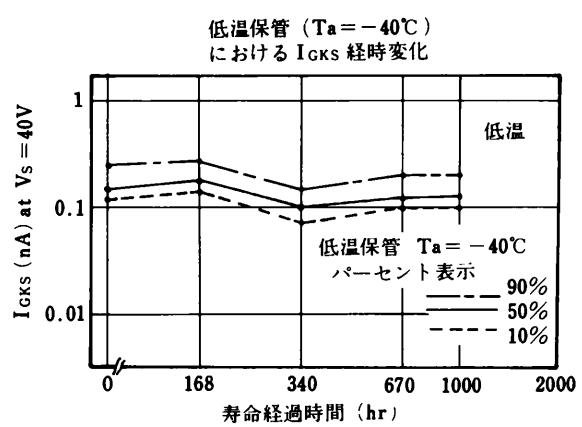


図78

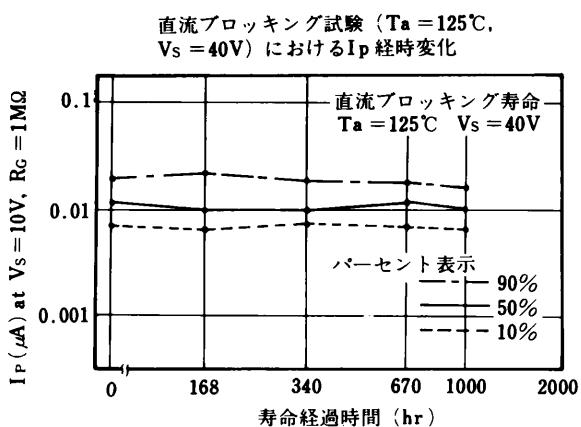


図79

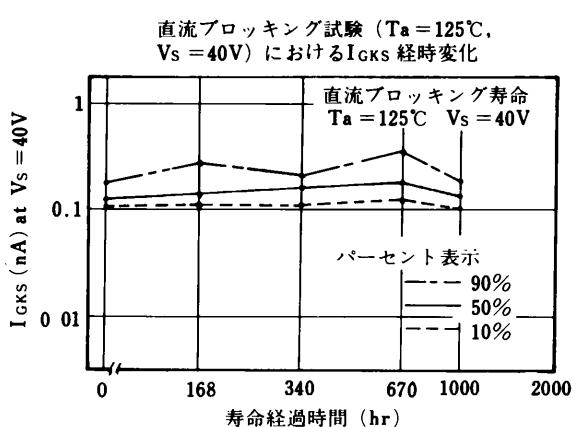


図80

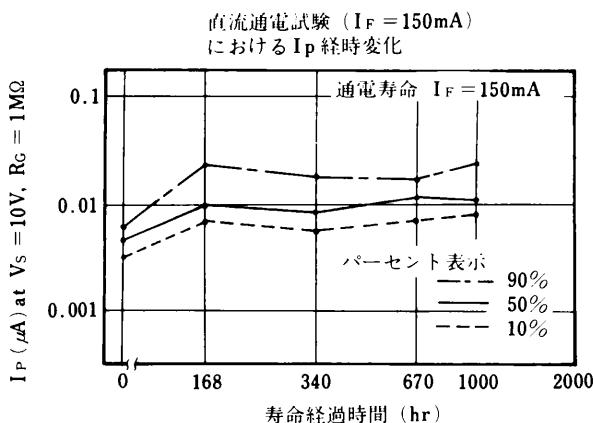


図81

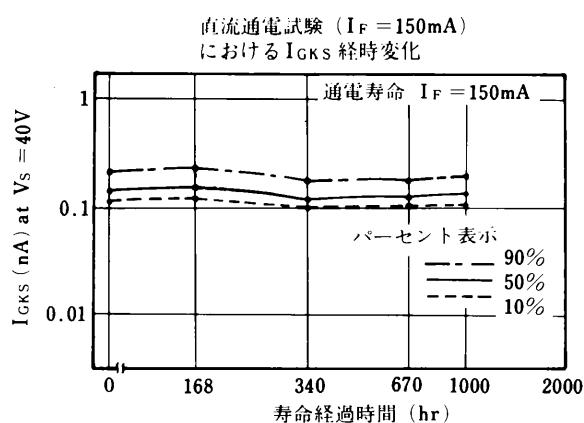


図82

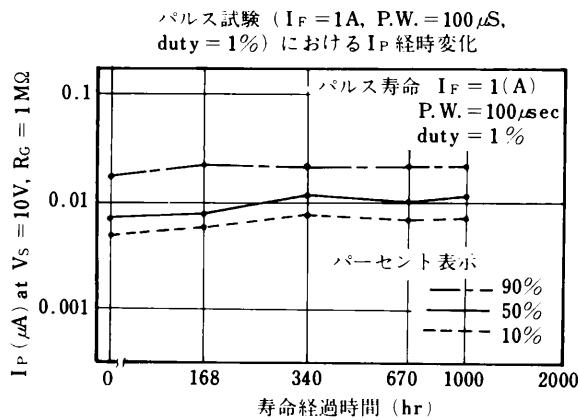
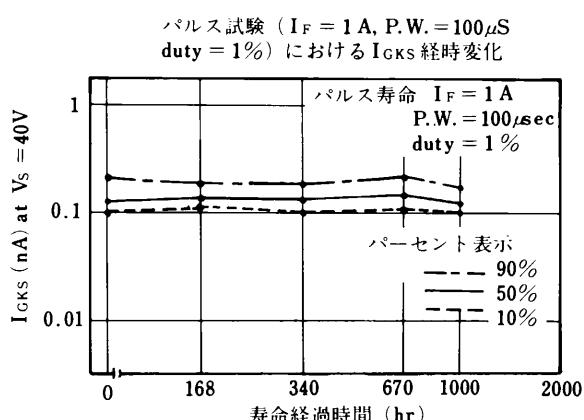


図83



に優れた性能を持っているかを充分お判り頂けるものと思います。

尚、前述しました発振周波数の温度特性をも合わせ考えれば、UJTをPUTで置き換えることのメリットは推して知るべしと言えるでしょう。

11.4.4 ポイリングテストデータ

PUTが優れた素子であるということの、もう一つの確かな証拠を以下に紹介します。

弊社では、N13TシリーズPUTの信頼度水準として“軽工業用”のそれを保証しています。軽工業用の信頼度とは簡単に言えば「高温度で、かつ高湿度の環境下」で使用されなければ、通信、工業用製品と同様の信頼度を期待できる信頼度と言ることができます。

しかしながら、定義はこうであってもPUTの耐湿性を等閑に考え、またそのように製造、管理している訳ではありません。優れた表面不活性化技術の開発、適切なモールド材料の選定、モールド技術の開発には特に力を入れています。この資料の冒頭に述べました高水準の製造技術云々とはこのような技術のことを意味しています。

しかし、結局の所、N13Tは高分子材料によるモールド製品であり、ガラスやメタルによるハーメチックシールの製品ではありません。それ故に、耐湿加速試験を実施した場合、IGAOやIGKSの若干の変化が見られます。しかし、幸いなこと

図84 発振周波数ドリフト

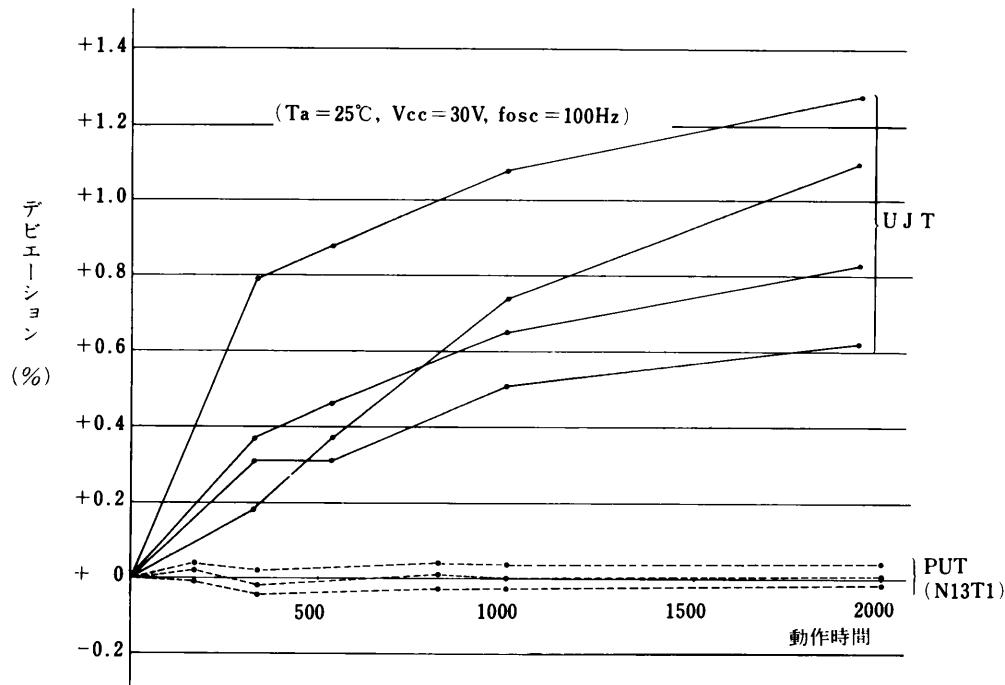
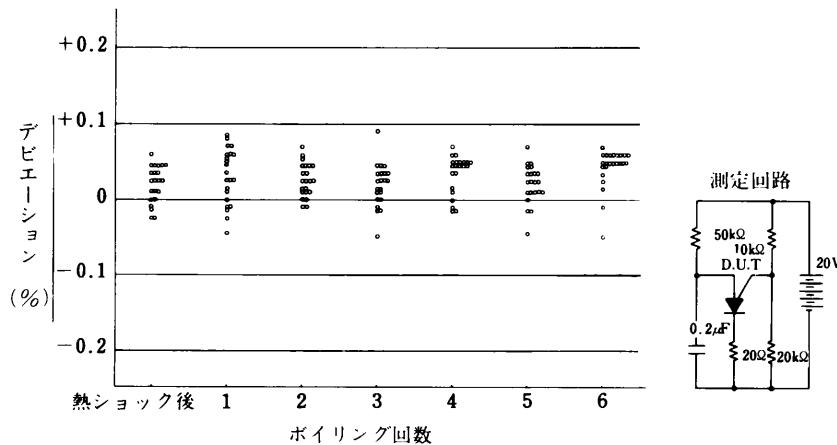


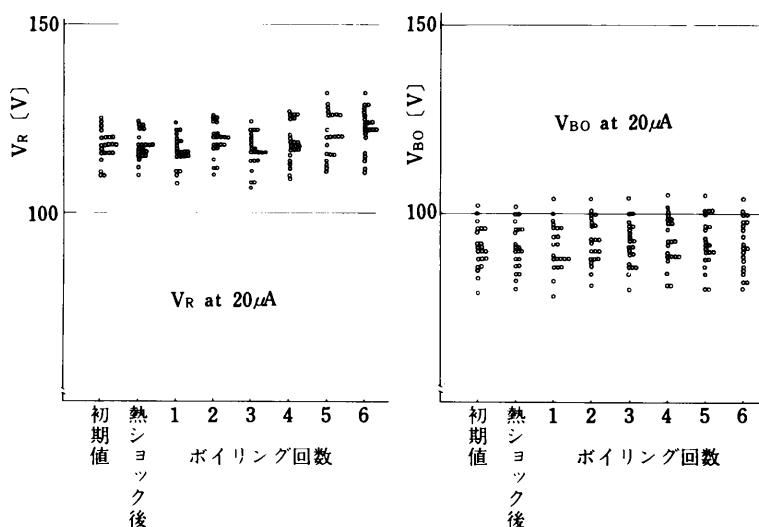
図85 ポイリングによる発振周波数の変化



に I_{GAO} や I_{GKS} の設計値（もしくは初期値）が極めて小さく、これが増加した後においてさえもなお I_p や I_v に比べて非常に小さい値を保っている ($10^{-2} \sim 10^{-4}$ 倍) 為に動特性に与える影響は無視することができます。図86に示したデータは、このことを端的に物語っています。このデータは、熱ショック試験により素子内部および樹脂とリード密着部にストレスを加えた後、1回5時間ずつ100°Cの湯で煮沸した時の発振周波数の変化をプロットしたものです。データから判りますように、このような厳しいテストでもドリフトはもち論、ばらつきさえも $\pm 0.1\%$ 以下に安定しています。この結果をどう評価するかは、目的、要求水準等によりそれぞれ異なってきますので読者の判断におまかせします。

参考までに、耐湿強度を評価する場合に引き合いに出されるもう一つのパラメータである所の耐電圧の変化データを図85に挙げておきます。これも前者と同じく、熱ショック試験によるストレスを加えた後テストを行なってあります。結果はご覧のとおり、ハーメチックシールの製品に劣らない耐湿強度を示しています。

図86 ポイリングによる耐電圧の変化

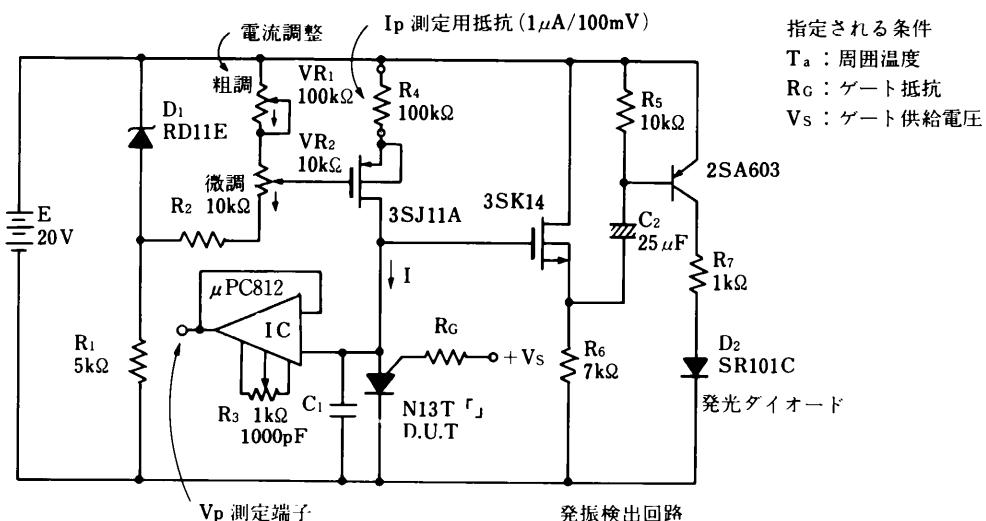


11.5 PUTの特性試験法

PUTは汎用ブレーナ型NゲートサイリスタでありコンプリメンタリSCRとしての用途だけでなく、外部抵抗 R_1, R_2 を接続することにより等価UJTとして使用できることは、すでに述べました。その場合一般のUJTに比べ、PUTは、高感度・低漏れ電流・ I_p, I_v をゲート抵抗 R_G によりプログラムできること等を特徴としておりこの低電流（例えば、N13 T₂は $R_G = 1 M\Omega$ の時 $I_p = 0.15\mu A$ 以下である。）しかも、正抵抗領域から負性抵抗領域へ（ I_p, V_p ）又負性抵抗領域から正抵抗領域へ（ I_v, V_v ）移る点での電流又は電圧を、いかにして正確に、そして精密に測定するかが問題となります。以下にPUTをUJTとして使用した場合の特性の試験法についてその概要を述べます。

11.5.1 I_p （ピーク電流）、 V_p （ピーク電圧）

図87に I_p, V_p 試験回路を示しました。本回路は、定電流源とPUTの発振検出器からなり、 I_p, V_p はPUTの発振により測定します。電流を数nAから数 $100\mu A$ の範囲で自由にコントロールできる定電流源としてエンハンスマント型MOSFETを用い、PUTの発振のための $1000pF$ のコンデンサ C_1 は漏れ電流の小さいものを用いてあります。

図87 I_p, V_p 試験回路

FETのゲートバイアスを変えて、電流を零からしだいに増してコンデンサ C_1 を充電し、 C_1 の電圧がゲート供給電圧 V_s 以上になると、この電流はPUTに流れ込みその値が I_p 以上であれば、PUTはONしコンデンサに蓄えられた電荷は、PUTを通じて放電されます。この充電、放電は繰り返され、PUTはほぼ、

$$T = C_1 \cdot V_s / I_p \text{ [秒]}$$

の周期で発振を続け、発光ダイオードが点滅します。この時 I_p は、 R_4 ($100\text{k}\Omega$) の両端の電圧降下 ($100\text{mV}/1\mu\text{A}$) として測定されるが、発振時には、PUTのアノード電圧は $V_p \approx V_s$ から V_f 程度まで変化しFETの、ドレイン電圧が周期的に増すことになるために、 I_p の真値より多少大きい値を読むことになります。正確に測定しようとするならば、一度PUTを発振させた後で、電流を I_p よりわずかに小さくして発振を停止させ、次に微調用の VR_2 により電流を徐々に増して、PUTが発振を開始する（電流が急に増す）点の電流を I_p として読みとります。

V_p はこの時コンデンサ C_1 の両端の電圧として測定されます。 C_1 からの放電を避けるため、 $10^7\text{M}\Omega$ という高入力インピーダンスの演算増幅器を用いてあります。

V_p が測定されれば、オフセット電圧 V_T は、 $V_T = V_p - V_s$ として求めることができます。

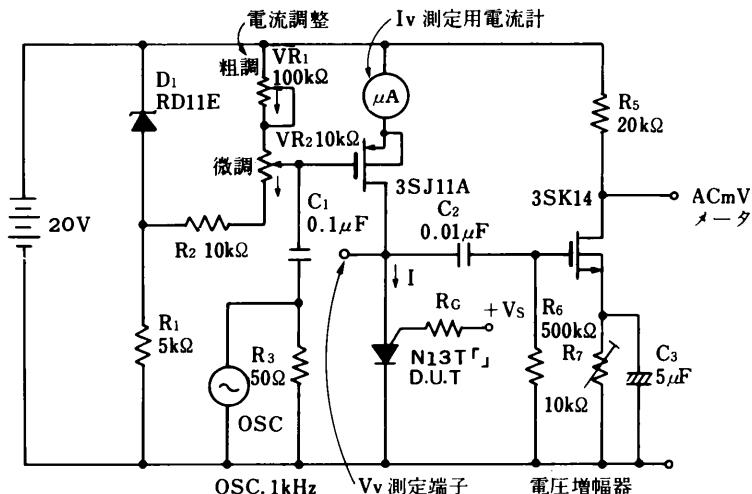
11.5.2 I_v (谷電流), V_v (谷電圧) 試験法

図88に、 I_v , V_v 試験回路を示しました。 I_v , V_v は $I = I_v$ の時 $dV/dI = 0$ となることを利用して測定します。すなわち10%程度の交流分を含んだ直流電流をPUTのアノード、カソード間に通じると、その両端に生じる交流電圧は $I = I_v$ においては零となります。この様子を図89に示します。交流電流を重畠する方法はいろいろありますが、図88の回路はFETのゲートバイアスを発振器（1kHz）により変化する方法です。アノード・カソード間に生じる交流電圧はACmVメータで測定しその振れが最小の時のアノード電流が I_v でありその時のアノード電圧が V_v です。

11.5.3 V_o (パルス出力電圧), t_r (パルス出力立ち上がり時間) 試験法

図90に V_o , t_r の試験回路を示します。プログラム抵抗 R_1 , R_2 により、開放電圧比 $\eta = R_1/(R_1 + R_2)$ を 0.627 に選んであるため、発振周期 $T = CR = 100\text{msec}$ となります。 V_o 及び t_r の測定は、オシロスコープによる波形観測で行ないます。

図88 I_v , V_v 試験回路



指定される条件

T_a : 周囲条件

R_g : ゲート抵抗

V_s : ゲート供給電圧

図89 Iv測定のためのアノード交流電圧の観測

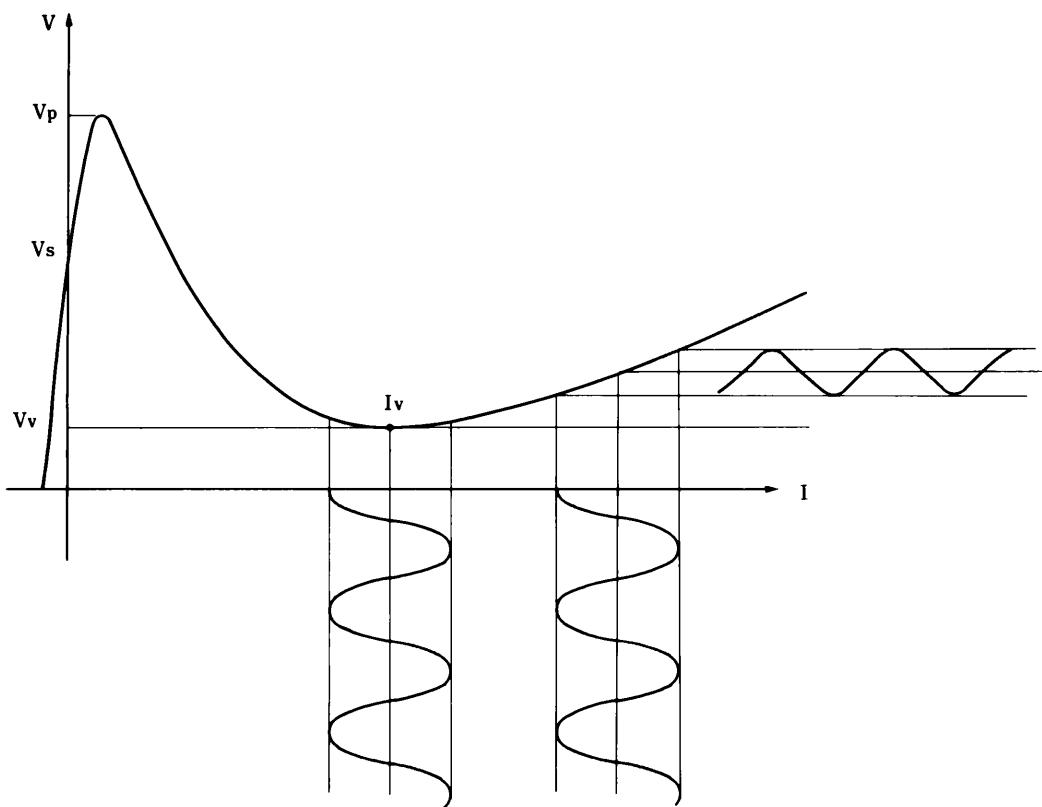


図91に V_o , t_r の測定点を示しておきました。

11.5.4 V_F , V_{BO} , V_R , I_{GAO} , I_{GKS} , I_D , I_R 試験法

その他、順電圧降下 V_F 、耐圧 V_{BO} 、 V_R 、漏れ電流 I_{GAO} 、 I_{GKS} 、 I_D 、 I_R の試験法は一般のサイリスタとなんらかわりなく試験回路と試験条件について図92、図93、図94に示しておきます。

以上PUTをUJTとして使用した場合の特性試験法について述べました。PUTは構造はNゲートサイリスタであり、当然コンプリメンタリSCRとしての用途も考えられます。SCRの特性試験法については別書を参考にしていただくことをお願いします。

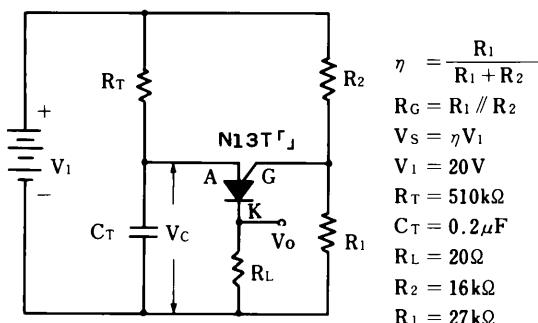
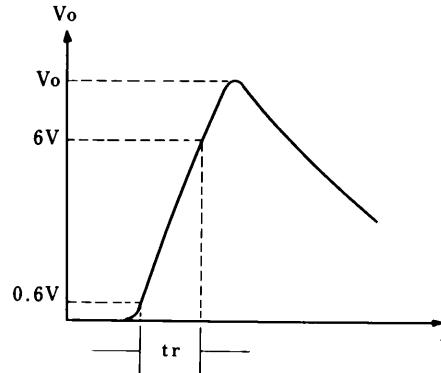
図90 V_o , t_r 試験回路図91 出力波形と V_o , t_r 測定点

図92 順電圧降下試験

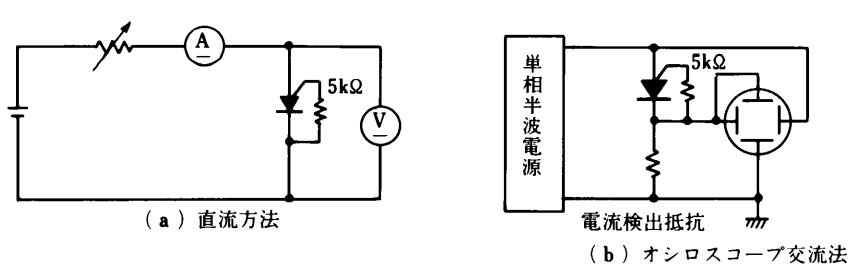


図93 漏れ電流試験

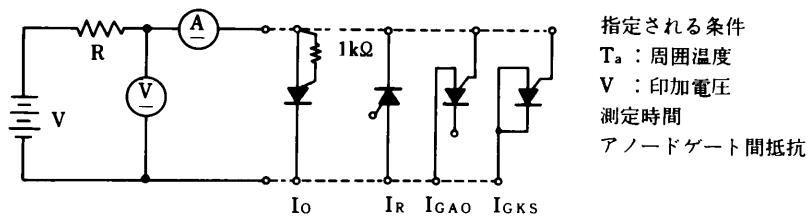
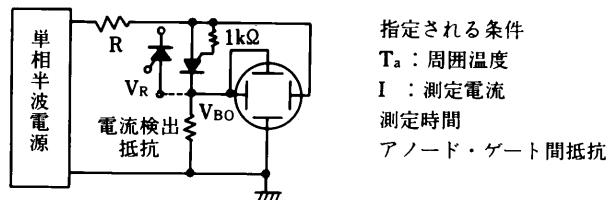


図94 耐圧試験



11.6 PUTの設計手順

ステップ1

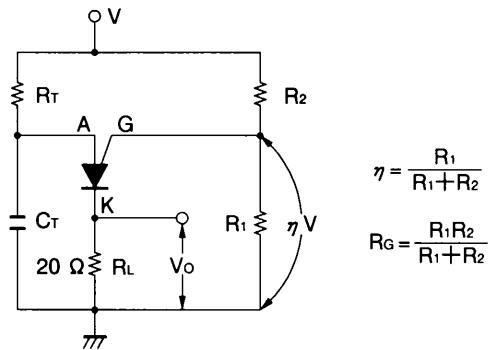
次の各項目は、設計の開始以前にあらかじめ決定しておかねばならない条件である。

(a) 電源電圧 $V = \boxed{\quad}$

(b) 発振周期 $T = 1/f = \boxed{\quad}$

(c) 周囲温度範囲 $T_{Low} = \boxed{\quad}^{\circ}\text{C}$

$T_{High} = \boxed{\quad}^{\circ}\text{C}$



設計例（ステップ1）50 Hz弛張発振回路の設計

電源電圧 $V = 12\text{ V}$

発振周期 $T = 1/50 = 20 \times 10^{-3}$

温度範囲 $T_{Low} = -30^{\circ}\text{C}$, $T_{High} = +60^{\circ}\text{C}$

図1 PUT弛張発振回路

ステップ2

図1の回路において、発振周期 T は(1)式で与えられる。

$$T = R_T \cdot C_T \ln \left(\frac{V - [V_V + (I_G + I_V) R_L]}{V - (\eta V + V_T)} \right) \dots (1)$$

ここで V_V = 谷電圧

I_G = オン時ゲート電流

I_V = 谷電流

R_L = 負荷抵抗

η = 開放スタンドオフ比 $= R_1 / (R_1 + R_2)$

V_T = オフセット電圧

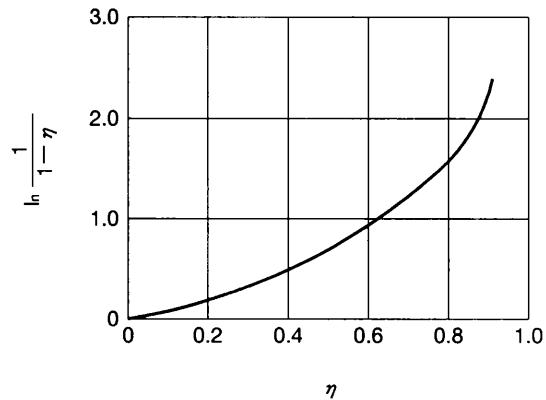


図2 η と $\ln \frac{1}{1-\eta}$ の関係

注 (1)式の導き方は、この章の最後でふれるこ
とにする。

もしも(1)式において、次の2つの条件が成立するなら
ば、(2)式のように簡単化される。

条件 $V \gg V_V + (I_G + I_V) R_L$

$\eta V \gg V_T$

$$T \approx R_T \cdot C_T \ln \frac{V}{V - \eta V} \approx R_T \cdot C_T \ln \frac{1}{1 - \eta} \dots (2)$$

(2)式において $\eta \approx 0.63$ と仮定すれば $\ln 1/(1-\eta) \approx 1$ とな
り、(2)式はさらに簡単になる。すなわち

$$T \approx R_T \cdot C_T \dots (3)$$

と表すことができる。図2に η の値に対する対数項 $\ln 1/(1-\eta)$ の値をグラフにしたものを見ると、 η の選択や、発振周期の概算に利用されたい。ただし、電源電圧が低い場合は、 η を小さくしすぎると、上記の2つの条件を

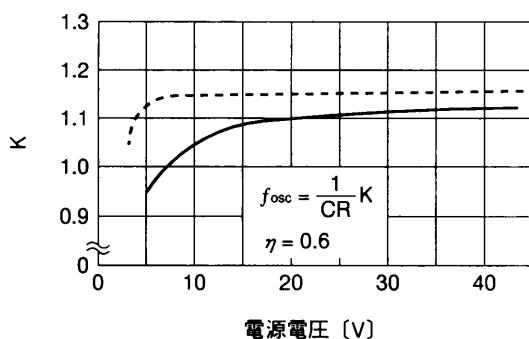


図3 発振周波数-電源電圧特性

満足しなくなることを注意しておく。図3は、電源電圧を変化したときの発振周波数の変動を示したもので、上述のように電源電圧が高いほど変動率が小さくなる。また、図中の破線は、 V_T を回路技術的に打ち消したときのデータで、電源電圧の変動は、ほとんどなくなっている。

η を決定する。

$$\eta =$$

PUTのすぐれたスイッチング特性は、 C_T に蓄えられたエネルギー ($1/2CV^2$) のほとんどを出力パルスとして移送することである。これは C_T として小容量のコンデンサの使用を可能にし、大きな時間抵抗 R_T の使用を可能にしている。ステップ1で、出力パルス幅・パルス出力電圧 (V_0) 等が条件として与えられており、使用できるコンデンサ容量が、ある程度制限されている場合を除き、普通は R_T を最初に決定する。標準的な設計開始値は、 $1M\Omega$ 程度が適当である。(2)式により R_T 、 C_T を決定する。

$$R_T = \boxed{}$$

$$C_T = \boxed{}$$

設計例（ステップ2）

R_T , C_T の計算を簡単にするため $\eta=0.6$ とする。これは V_T が、見かけ上の η を大きくするように働くからである。

$R_T = 10^6 \Omega = 1 \text{ M}\Omega$ とする。したがって

$$C_T = 20 \times 10^{-3} / 10^6 = 2 \times 10^{-8} = 20000 \text{ pF}$$

これらの値には標準品が揃っているが、たとえば $T = 16.7 \times 10^{-3}$ (60 Hz) の場合は、 $R_T = 1 \text{ M}\Omega$ とすれば、 $C_T = 1.67 \times 10^{-8}$ となる。このような場合は、 $R_T = 1.1 \text{ M}\Omega$ 、 $C_T = 15000 \text{ pF}$ として標準品を使用できるように、 R_T と C_T を調整する。

ステップ3

ピーク点においてPUTに流れ込むアノード電流 I_{AP} を求める。 I_{AP} は(4)式で与えられ、PUTのピーク電流 I_P は、最悪の場合でもこの値未満でなければならないことを示している。

ここで V_T = オフセット電圧, V_T は通常 0.7 V
と仮定する

(V_T の詳細な計算方法は、ステップ6で述べる)。

$$I_{AP} = \boxed{}$$

設計例（ステップ3）

$\eta = 0.6$, $V = 12$ V, $\eta V = 7.2$ V, $R_T = 1$ M Ω ,
 $V_T = 0.7$ Vであるから

$$I_{AP} = \frac{12 - (7.2 + 0.7)}{1 \times 10^6} = 4.1 \times 10^{-6} = 4.1 \mu\text{A}$$

ステップ4

ゲート抵抗 R_{G1} の値を仮定する。標準的な設計開始値は、 $100 \text{ k}\Omega$ 程度が適当である。もちろん、 $100 \Omega \sim 10 \text{ M}\Omega$ の範囲の抵抗値が使用できるわけであるが、 R_{G1} は回路の消費電力を左右する重要なパラメータであることを、常に考慮せねばならない。

$$R_{G1} = \boxed{}$$

I_P の最悪となる条件は、周囲温度最低の場合であり、 T_{Low} における I_P を見積もらねばならない。図4の $I_P - T_a - R_G$ 特性から変数Aを求めて、(5)式により I_P を算出する。

二二六

$$A = \frac{I_P(25^\circ\text{C}, R_{G1})}{I_P(T_{low}, R_{G1})}$$

$$= \frac{\text{(周囲温度 } 25^\circ\text{C, ゲート抵抗 } R_{G1} \text{における } I_P \text{の値)}}{\text{(周囲温度 } T_{Low} \text{, ゲート抵抗 } R_{G1} \text{における } I_P \text{の値)}}$$

$$I_{P1} = \boxed{}$$

ステップ5

ステップ⁴で求めた I_{P1} の値により使用する素子を決定する。次に、図5、図6の $I_P - R_G$ 特性で先に作っておいた最大規格値の曲線と、垂直軸上の I_{P1} の値との交点をさがし、ゲート抵抗の最小値に相当する値 $R_G(Graph)$ を水平軸上から読み取り、次の不等式が成立することを確認する。

$$R_{G(Graph)} \leq R_{G1}$$

もしも、上式が成立しないならば、ステップ2に戻つて R_T と C_T の組み合わせを変える(R_T を小さな値にする)か、あるいはステップ4でもっと大きな R_{G1} を仮定

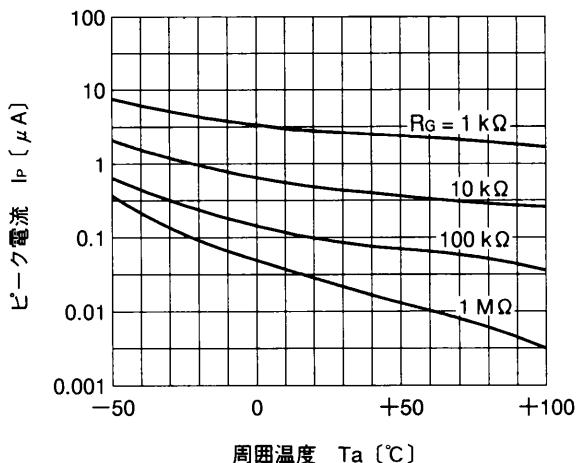


図 4 $I_P-T_a-R_G$ 特性 ($V_s = 10$ V)

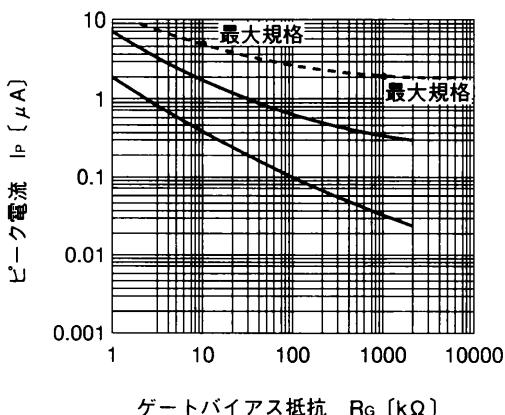


図 5 N13T1 IP-RG特性 (Vs = 10 V)

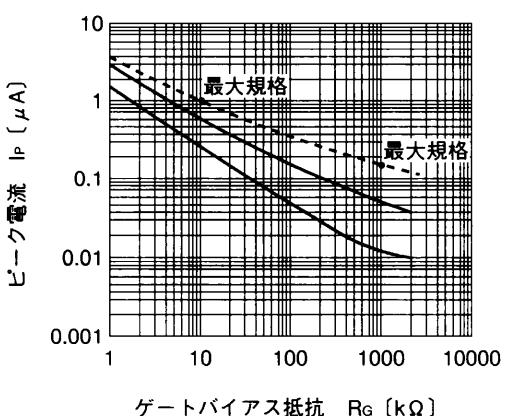


図 6 N13T2 I_P—R_G特性 (V_S = 10 V)

しなければならない。変更が必要となった場合は、前のステップをすべて計算し直さなければならない。 I_{P1} で使用可能な最小の $R_{G(\min)}$ をメモしておく。また、このステップで実際に使用するゲート抵抗 R_G を決めておく。

$$R_{G(\min)} = \boxed{\quad}$$

$$R_G = \boxed{\quad}$$

設計例（ステップ4，5）

$R_{G1}=100\text{ k}\Omega$ と仮定する。

図4の $I_P-T_a-R_G$ 特性曲線から、 $R_{G1}=100\text{ k}\Omega$ このときの変数Aを求める。

$I_P(25^\circ\text{C}, 100\text{ k}\Omega)=0.09\text{ }\mu\text{A}$, $I_P(-30^\circ\text{C}, 100\text{ k}\Omega)=0.3\text{ }\mu\text{A}$ であるから

$$A = \frac{0.09}{0.3} = 0.3$$

$$I_{P1}=4.1 \times 0.3=1.23\text{ }\mu\text{A}$$

すなわち、周囲温度 25°C における I_P の値は $1.23\text{ }\mu\text{A}$ 未満でなければならない。そして図5、図6の I_P-R_G 特性でわかるように、われわれはN13T2の使用をしいられることになる。また、 $R_{G1} \geq 7\text{ k}\Omega$ でなければならないことも同様にわかる。

先の変数Aは、 $R_{G1}=100\text{ k}\Omega$ のときの値であるから、 $R_{G1}=10\text{ k}\Omega$ で計算し直してみよう。

$$A = \frac{0.45}{1.1} = 0.41 \quad (R_{G1}=10\text{ k}\Omega)$$

したがって周囲温度 25°C における I_{P1} は

$$I_{P1}=4.1 \times 0.41=1.68\text{ }\mu\text{A}$$

$1.68\text{ }\mu\text{A}$ 未満でなければならない（この結果でもやはりN13T1は使用できない）。図6のN13T2の I_P-R_G 特性から $R_{G(\min)} \approx 5\text{ k}\Omega$ が得られる。

ここでは R_G として $10\text{ k}\Omega$ を使用することにして計算を進めよう。

ステップ6

周囲温度とゲート抵抗を考慮したオフセット電圧の最大値を計算する。オフセット電圧は、次の(6)式で与えられる。

$$V_{T(\max)} = \frac{I_P}{2A} \times R_G + V_D + 0.0025 \times$$

(温度範囲)(6)

ここで I_P =ピーク電流 ($T_a=25\text{ }^\circ\text{C}$, R_G)
 A =変数 (ステップ4で求めた値)
 V_D =アノード・ゲート間の電圧降下で
0.5 V程度である。

$$V_{T(\max)} = \boxed{\quad}$$

次の等式を満足することを確認する。

$$V_{T(\max)} \approx V_T \text{ (ステップ3で仮定した値)}$$

もしも、両者に著しい差があれば、 $V_{T(\max)}$ の値を用いてステップ3から計算をやり直さなければならない。

設計例（ステップ6）

R_G として10 kΩを使用することにしたのであるから、

$$I_P = 1 \mu\text{A} \quad (T_a = 25\text{ }^\circ\text{C}, R_G = 10 \text{ k}\Omega \text{ at N13T2})$$

.....図6を使用

$$A = 0.41 (R_G = 10 \text{ k}\Omega) \dots \text{図4を使用}$$

$$V_{T(\max)} = \left(\frac{1}{2 \times 0.41} \times 10^{-6} \right) \times (10 \times 10^3)$$

$$+ 0.5 + (2.5 \times 10^{-3}) \times [25 - (-30)]$$

$$= (12 + 500 + 138) \times 10^{-3} = 650 \text{ mV}$$

ステップ3で仮定した $V_T = 700 \text{ mV}$ は、おおよそ正しいと判断する。

ステップ7

I_V の最悪となる条件は、周囲温度最高の場合であり、 T_{High} における I_V を見積もらねばならない。谷点においてPUTに流れ込むアノード電流 I_{AV} は(7)式で与えられる。

$$I_{AV} = \frac{V - V_V}{R_T} \approx \frac{V}{R_T} \dots \text{.....(7)}$$

$$I_{AV} = \boxed{\quad}$$

設計例（ステップ7）

$R_T = 1 \text{ M}\Omega$, $V = 12 \text{ V}$ であるから

$$I_{AV} = 12 / (1 \times 10^6) = 12 \mu\text{A}$$

ステップ8

谷点におけるゲート電流の値を計算する。ゲート電流 I_G は(8)式で与えられる。

$$I_G = \eta V / R_G \dots \text{.....(8)}$$

設計例（ステップ8）

$\eta = 0.6$, $V = 12$ V, $R_G = 10$ k Ω であるから

$$I_G = \frac{0.6 \times 12}{10 \times 10^3} = 0.72 \text{ mA}$$

ステップ 9

あらかじめ作っておいた図7の $I_V - I_G$ 特性の最小規格の曲線から、使用したPUTの I_G の値に対応する $I_{V(\min)}$ を読み取る。

$$I_V \geq \boxed{} = I_{V2}$$

設計例（ステップ9）

$I_G = 0.72 \text{ mA}$ であるから図 7 から

$I_{V(\min)}$ (周围温度25°C) = 20 μA

ステップ10

PUTを確実にターンオフさせ発振を持続するために,
 I_{AV} は保持電流 I_H の最小値よりも小さくなければならない。(保持電流とは、PUTが導通状態を保つ最小の電流で、 C_T 、 R_L および I_V の関数である。図8に I_H/I_V と C_T の関係を示す)。 I_H が I_V の関数であるため、その最悪条件は周囲温度最高の場合であり、次の(9)式で与えられる。

ここで変数 B は図 9 の $I_V - T_a - R_C$ 特性から求められる。

$$B = \frac{I_V(T_{High}, R_G)}{I_V(25\text{ }^\circ\text{C}, R_G)}$$

(周囲温度 T_{High} , ゲート抵抗 R_G における I_V の値)

$$B = \boxed{}$$

I_H/I_V は、図 8 を用いて、ステップ 3 で決定した C_T の値により見積もる。

$$\frac{I_H}{I_V} = \boxed{}$$

$$J_{\mu} = \boxed{}$$

$$I_{AV} < I_H$$

もしも上の不等式が成立しない場合は、前のステップにおける R_T と R_G の影響を考慮して、 R_T を増加するか、 R_G を減少しなければならない。このときにステップ5の $R_{G(\min)}$ のメモが役立つはずである。

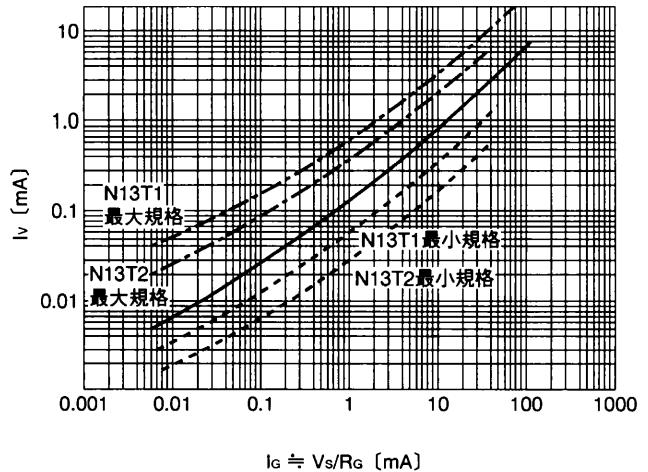


図 7 I_v - I_G 特性

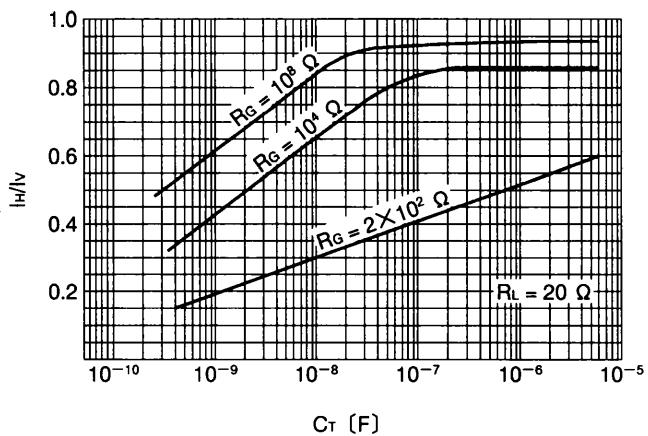


図 8 $I_H/I_V - C_r$ 特性

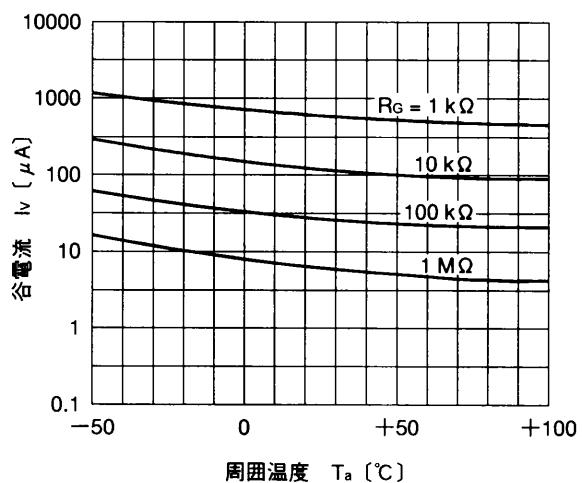


図 9 $I_V - T_a - R_G$ 特性 ($V_s = 10$ V)

(2) 実際の発振動作

第2サイクル以降の定常状態における発振動作を考えれば、 C_T には放電後、 $V_V + (I_G + I_V) R_L$ の電圧が残るので、コンデンサの電圧 V_C は次式で与えられる。

$$\begin{aligned} V_C &= [V - V_V - (I_G + I_V) R_L] (1 - e^{-\frac{1}{R_T C_T} T}) \\ &\quad + V_V (I_G + I_V) R_L \\ V_C &= V_P = \eta V + V_T \text{ とおくと} \\ V_P &= \eta V + V_T = [V - V_V - (I_G + I_V) R_L] \\ &\quad \times \int (1 - e^{-\frac{1}{R_T C_T} T}) + V_V + (I_G + I_V) R_L \\ V(1-\eta) - V_T &= [V - V_V - (I_G + I_V) R_L] e^{-\frac{1}{R_T C_T} T} \end{aligned}$$

したがって

$$T = R_T \cdot C_T \ln \left(\frac{V - [V_V + (I_G + I_V) R_L]}{V - (\eta V + V_T)} \right) \dots (1)$$

ただし、(1)式にはコンデンサ C_T の放電時間、PUTのターンオフ時間は含まれていない。

12. ゼロボルトスイッチ “μPC1701C” について

ゼロボルトスイッチ “μPC1701C” は、トライアックを使用して交流電力をコントロールするための制御用 IC であり、その制御方式が交流電圧のゼロボルト点でトライアックをオンオフさせるため、この名前があります(以下 Zero Voltage Switch の頭文字をとって ZVS と略記します)。ゼロボルトオンオフ制御は、トライアックオン時に発生する高周波ノイズによる無線周波誘導障害 (RFI) を最小にできます。

また、ZVS は交流電源ラインに直結でき、数点の部品を接続すれば機能するように設計されているので、コンパクトな制御回路が構成できます。電熱を利用する各種の家電製品（電気カーペット、オーブン、こたつなど）や、工業用温調機器、従来電磁リレーを使用していた制御機器などに幅広い応用が可能です。

ここでは、ZVS “μPC1701C” についてその概要を紹介します。

12.1 ZVSの必要性

一般にトライアックを使用した交流電力制御装置は、図1のように構成されます。この制御方式には図2(a)のように導通角 θ を変化させて負荷電力を制御する位相制御と、図2(b)のようにトライアックのトリガを交流のゼロボルト点で行なながら、オンオフ頻度を変えるゼロボルトオンオフ制御があります。位相制御方式は交流電源の半サイクル内で交流電力を 0 ~ 100 %まで連続的に制御できるので、制御精度、応答性ともによく照明の調光、モータ速度制御、電熱制御などに利用されています。しかし、トライアックがオンした瞬間に急峻な立ち上がりの負荷電流が流れるため電磁放射ノイズを発生し、とくにラジオ周波数帯で有害な高周波雑音障害を引き起こします。この対策としては、一般にノイズフィルタが使用されますが、装置の小形化、コストダウンの妨げになっています。

一方、ゼロボルトオンオフ制御方式は、負荷電流が電源電圧波形に追従してゆっくりと変化するので、RFI のない電力制御になります。オンオフ制御のため、照明の調光などの応用はできませんので、主に電熱制御分野、従来の電磁リレーをトライアックに置き換えた無接点交流スイッチなどへの応用が中心になります。

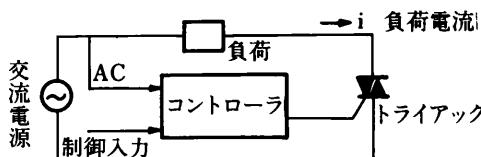


図1 トライアックによる交流電力制御

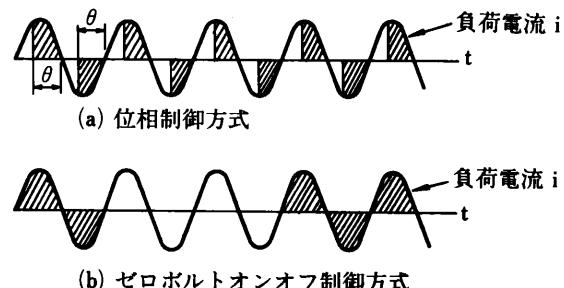


図2 交流電力制御方式の比較

12.2 ZVS “μPC1701C” の概要

μPC1701Cのブロック図を図3に、端子接続図を図4に、等価回路図を図5に示します。その特徴を次に列記します。

(1) 1サイクル制御

交流電源の1サイクル単位の制御方式で、負荷電流に直流成分が含まれません。

(2) 大電流トリガパルス出力

トライアック3, 4モードのトリガで、出力は200 mA以上、パルス幅は100~数100 μ sの負トリガパルスが得られます。短絡保護のため定電流化しています。

(3) 誤動作防止機能

低電圧検出回路を内蔵しているので、ICの電源電圧が低い場合（スイッチON直後など）には、誤ったトリガパルスを発生しません。

(4) コンパレータ同相入力範囲大

コンパレータは、pnpトランジスタ入力で同相入力範囲が広い。またオープンコレクタの出力端子があり制御量のヒステリシス調整が可能です。

(5) 抵抗負荷用

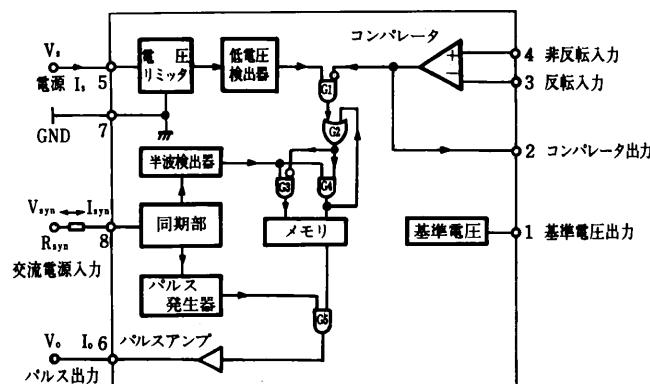
交流電源の零電圧点検出方式であり、トリガパルス発生位相は多少遅らせることはできますが、抵抗負荷専用です。

— 注 —

$\mu\text{PC}1701\text{C}$ は、外付部品を追加して力率 ($\cos\phi$) が1より小さい誘導性負荷等をゼロボルトオンオフ制御可能です。また同様に外付部品の追加で制御分野の異なる位相制御へも応用することができます。

この広い応用範囲からは、 $\mu\text{PC}1701\text{C}$ は単にゼロボルトスイッチと言うより、汎用ゲートトリガICと呼べる商品です。

また、表1、2に絶対最大定格、電気的特性を示します。これらの数値などは後ほど使い方の中で説明します。

図3 $\mu\text{PC}1701\text{C}$ のブロック図表1 絶対最大定格 ($T_a=25^{\circ}\text{C}$)

項目	略号	条件	定格	単位
電源電圧	V _s	外部直流電源 端子7-5	-8.0	V
電源電流	I _s	外部電源	-40 (平均値)	mA
同期電流	I _{syn}	商用交流電源 端子7-8	5.0 (実効値)	mA
入力電圧	V _i	端子7-1, 7-3, 7-4, 7-8	$\leq V_i $	V
接合温度	T _j		125	°C
動作温度	T _{opt}		-20~70	°C
保存温度	T _{stg}		-40~125	°C
全損失	P		350	mW

— 注 —

電源電圧V_sは、外部直流電源を直接端子7-5間に接続する場合の定格値です。交流電流を半波整流する等の方法でICの直流電源を得る場合は、内部の電圧ダイオードのツェナ電圧でクリップされ、8.5 V TYP.が出力されます。

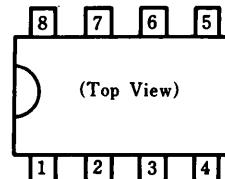


図4 端子接続図

端子番号	端子名	端子番号	端子名
1	基準電圧出力	5	電源
2	コンバレータ出力	6	パルス出力
3	反転入力	7	GND
4	非反転入力	8	交流電源入力

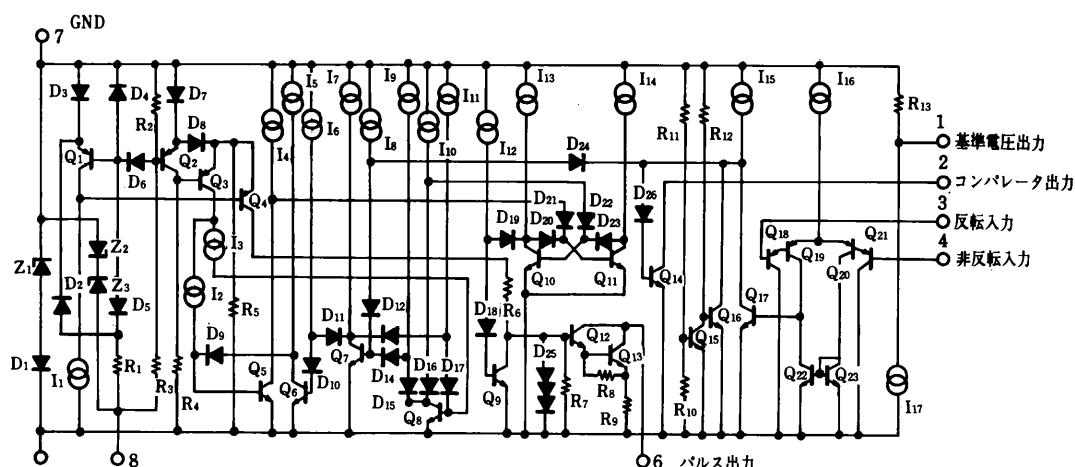
図5 $\mu\text{PC}1701\text{C}$ の等価回路

表2 電気的特性 ($T_a=25^{\circ}\text{C}$, $V_s=8\text{ V}$, $V_{syn}=100\text{V}_{\text{RMS}}$, 50~60 Hz)

項目	略号	条件	MIN.	TYP.	MAX.	単位
回路電流	I_{CC}	$R_{syn}=56\text{ k}\Omega$	—	2.0	2.5	mA
電源電圧1	V_{S1}	$I_s=2.5\text{ mA}$, $R_{syn}=56\text{ k}\Omega$	8.3	—	9.5	V
電源電圧2	V_{S2}	$I_s=20\text{ mA}$, $R_{syn}=56\text{ k}\Omega$	8.3	—	9.6	V
同期電流	I_{syn}	—	0.3	—	—	mA
出力パルス幅	t_p	$R_{syn}=56\text{ k}\Omega$	—	200	—	μs
出力電圧	V_o	$I_o \leq 200\text{ mA}$	5.0	6.0	—	V
出力電流	I_o	$R_o \leq 25\text{ }\Omega$	200	250	—	mA
出力リーク電流	I_{LO}	—	—	—	2.0	μA
入力オフセット電圧	V_{IO}	—	—	2.0	5.0	mV
入力バイアス電流	I_i	—	—	0.5	1.0	μA
同相入力範囲	V_{ICM}	—	0	—	6.5	V
出力リーク電流	I_{LC}	—	—	—	0.2	μA
基準電圧	V_R	$I_R \leq 1\text{ }\mu\text{A}$	3.8	4.0	4.2	V

12.3 ゼロボルトオンオフ制御回路

ZVS “μPC1701C”によるトライアックのゼロボルトオンオフ制御回路の基本構成は、図6のようになっています。この回路は、ZVSを交流ラインに直接接続して使用できるので外付け部品が少なくてすみます。基本的動作は、交流電圧の零点付近で、図3のブロック図の同期部、パルス発生器で構成されたゼロボルト検出器から信号が出力され、Q1で増幅されてゲートトリガパルスになります。コンパレータの出力によりその発生、停止が制御されます。以下に、図7のμPC1701Cを使用したオンオフ温度制御回路と、図6の基本回路とを対比する形で動作を説明します。

12.3.1 ZVSの電源

図6において、まず外付けのD1, R_s で交流を半波整流し、Cに充電します。その電圧は定電圧ダイオードD2のツェナー電圧にクリップされます。この直流電源で回路の動作に必要なバイアスと、ゲートトリガ電流の供給を行います。図7では端子7-5間に定電圧ダイオードが入っており、そのツェナー電圧は8.5~9.0 Vです。この定電圧ダイオードに、ZVSの1サイクル制御論理回路、コンパレータなどの回路が並列接続され、その回路電流 I_{CC} は8.0 V印加時に最大で2.5 mAとなっています。

絶対最大定格の電源電圧 V_s は、ZVS内部の定電圧ダイオードを破壊することなしに接続可能な直流電源電圧の最大値を規定したものです。交流電源を半波整流して直流電圧を得る場合や、電流制限抵抗により電源電流 I_s を40 mA以下に抑えた外部直流電源を接続する場合は適用されません。

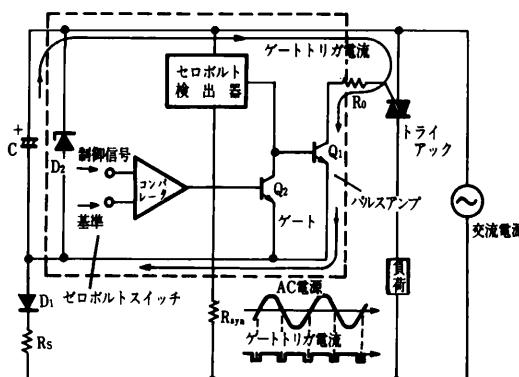


図6 ゼロボルトオンオフ制御回路

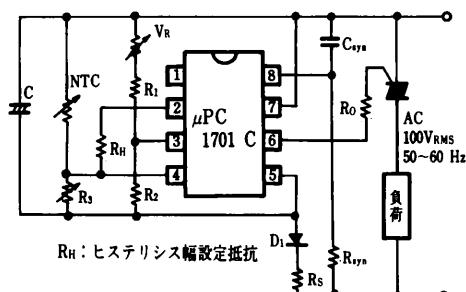


図7 ZVSによるオンオフ温度制御回路

交流を半波整流して得られる平均直流電圧は、交流電圧実効値の45 %です ($0.45 V_{RMS}$ で、100 V の電源では 45 V)。ZVSへ流れる電流 I_S は次式で表されます。

$$I_S = (0.45 V_{RMS} - V_Z) / R_S \quad (1)$$

たとえば、 $R_S=20\text{ k}\Omega$ とすると ($V_{RMS}=100\text{ V}$, $V_Z=9\text{ V}$ とする), $I_S=1.8\text{ mA}$ が得られますが、ZVS の回路電流が最大2.5 mA ですので定電圧ダイオードに電流が流れず、回路が正常にバイアスされないので、 R_S をもっと小さくしなければなりません。逆に R_S を小さくしすぎて I_S の定格 40 mA を越えないようにし、後で説明するセンサに流れる電流 I_{sensor} と、ゲートトリガパルス電流の平均値 $I_{G(AV)}$ などを考慮して R_S を決定します。ZVSの電源用 R_S の設定が悪くリップルなどが大きい場合は、低電圧検出器が動作して、トリガパルスの発生を停止することがあるので注意が必要です。

12.3.2 零点検出とトライアックトリガ

図6のゼロボルト検出器には、 R_{syn} を介して交流電圧が印加されており、その零電圧点付近だけ Q_1 にベース電流を流しオンします。トライアックのゲートトリガ電流は、コンデンサ C から供給され、 T_1 端子、ゲート端子、 R_0 , Q_1 を通じて流れます。図7では、ZVSの端子8-7間に交流電圧を印加し零点を検出しておらず、端子6-5間に図6の Q_1 に相当するトランジスタが入っています(図3のブロック図では、同期部、パルス発生器、パルスアンプで示してあります)。端子6-5間のトランジスタスイッチは定電流特性をもたせており、最小200 mA 流すことができます。 R_0 は 0Ω でも ZVS が破壊することはありませんが、ゲートトリガパルス電流の平均値が大きくなりすぎて R_S の設定に負担が増すことになるので必要最小限のゲートトリガ電流が流れるよう R_0 を決めます。

12.3.3 コンパレータ

ZVSのもう1つの重要な機能は、前記トリガパルスの発生、停止を制御するコンパレータです。図6においてコンパレータの出力がロウレベルのとき、 Q_2 はオフです。 Q_1 はゼロボルト検出器からの信号を增幅しトリガパルスを出力します。図7ではZVSのコンパレータの反転入力端子3に基準電圧(端子1)を印加し、可変抵抗と温度センサで分割された非反転入力端子4の電圧と比較しま

す。低温では温度センサ(負温度係数サーミスタ : NTC)の抵抗が大きく、端子5を基準とすると、端子4の電圧は端子3の電圧より低く、コンパレータ出力はロウレベルで、端子6のパルス出力も零電圧点でロウレベルになってトライアックをトリガします(図3のブロック図では、コンパレータ出力の後に、 $G_1 \sim G_4$ メモリで構成される1サイクル制御機能が付加してありますが基本的には同じです)。

12.4 オンオフ温度制御回路の設計方法

R_S , R_{syn} , R_0 , C などの定数の設定手順を実例を示しながら説明します。

12.4.1 設計仕様の例

消費電力 100 W ± 5 % のヒータ

交流電圧 100 V_{RMS} ± 15 %, 50/60 Hz

周囲温度 $T_a = -20\text{ }^{\circ}\text{C} \sim +50\text{ }^{\circ}\text{C}$

温度検出 NTCサーミスタを使用し、60~100 °Cを制御する。

12.4.2 使用部品とその特性

抵抗、コンデンサの定数計算に先だち、回路構成、使用部品を決めて、その特性を整理しておきます。

- 回路構成 図7の構成とし、以下部品はその記号により表示します。
- ヒータ 95~105 W したがって、抵抗値は、95.3~105.3 Ω です。

負荷電流の最小値

$$I_{LOAD\ MIN.} = \frac{85\sqrt{2}}{105.3} \sin \omega t = 1140 \sin \omega t [\text{mA}]$$

- トライアック AC03DGM 交流電源電圧(V_{RMS})が100 V 負荷電流(I_{LOAD}) 0.5 A ので400 V, 3 A トライアックを使用する。

$I_{GT} \leq 15\text{ mA}$ (at 25 °C) $I_{GT} \leq 25\text{ mA}$ (at -20 °C)
 $I_{LATCH} \leq 25\text{ mA}$ (at 25 °C) $I_{LATCH} = 50\text{ mA}$ (at -20 °C)
 $V_{GT} \leq 1.5\text{ V}$ (at -20 °C) の規格品を使用。

・ゼロボルトスイッチ

端子6-5間 $V_{CE(sat)}(V_S - V_O) = 1.0\text{ V}$ (at $I_O \leq 40\text{ mA}$)
 端子7-5間 $I_S \leq 2.5\text{ mA}$ (at 8.0 V)
 $V_S = 8.5 \sim 9\text{ V}$

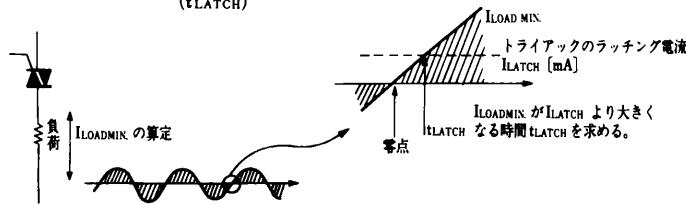
・NTC (負温度係数) サーミスタ

55 kΩ (at $T_a = 25\text{ }^{\circ}\text{C}$) ~ 6 kΩ (at $T_a = 100\text{ }^{\circ}\text{C}$)

12.4.3 定数設定手順

(1) 負荷電流が、トライアックのラッチング電流より
 I_{LOAD} (I_{LATCH})

大きくなる時間を計算します。
 t_{LATCH}



- ゼロポルトスイッチで抵抗負荷なので、負荷電流も正弦波状に変化し

$$I_{LOAD\ MIN} = 1140 \sin \omega t \text{ [mA]} (\omega = 2\pi f, f = 50 \text{ Hz})$$

トライアックの

$$I_{LATCH} = 50 \text{ mA} (\text{at } -20^\circ\text{C}) \text{ なので}$$

$$I_{LOAD\ MIN} \geq I_{LATCH} \text{ となる } t_{LATCH} = \frac{\sin^{-1} 50/1140}{\omega} = 140 \mu\text{s}$$

負荷電流は、零点から $140 \mu\text{s}$ 後にラッチング電流より大きくなります。

実際には、トライアックのオン電圧約1 Vを考慮した $20 \sim 30 \mu\text{s}$ 加えた時間になるが、余裕を2倍程度とるので、あまり気にする必要はありません。

(2) ゲートトリガパルス幅を R_{syn} , C_{syn} により 設定します。

パルス幅 t_p は、 t_{LATCH} より充分大きい必要があります。

ゲートトリガパルスは零点を中心に左右ほぼ対称に発生し、パルス幅 t_p は外部抵抗 R_{syn} で変化します。

$V_{RMS} = 100 \text{ V}$ のとき、 $R_{syn} = 20 \text{ k}\Omega$ で $t_p = 150 \mu\text{s}$, $R_{syn} = 56 \text{ k}\Omega$ で $t_p = 200 \mu\text{s}$, $R_{syn} = 100 \text{ k}\Omega$ で $t_p = 300 \mu\text{s}$ 程度です (零点を中心に発生するので、トリガに有効な幅はその $\frac{1}{2}$ です)。 $t_p/2 > t_{LATCH}$ でなければトライアックはオン状態になりません。 R_{syn} を大きくすればパルス幅は広がりますが、非有効分も広がります。端子7-8間にコンデンサ C_{syn} を接続すると (1,000~20,000 pFで25 V耐圧) パルス幅 t_p が広がると同時に、発生位相が遅れ有効パルス幅が広くなります。また、ノイズがある程度吸収する効果もあります。

負荷が軽い場合は、 t_{LATCH} がかなり長くなるので、ゲート感度が高い (I_{GT} の小さい) トライアックやラッチング電流の小さいトライアックを選ぶ必要があります。

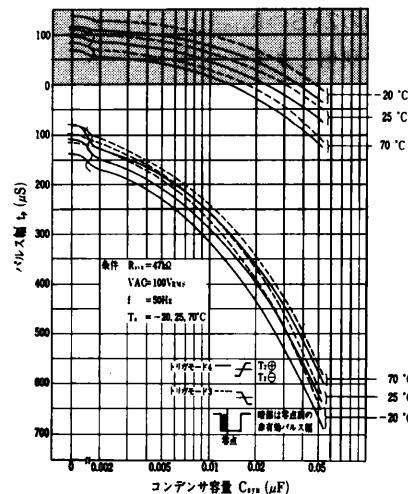


図8 $t_p - C_{syn}$ 特性例

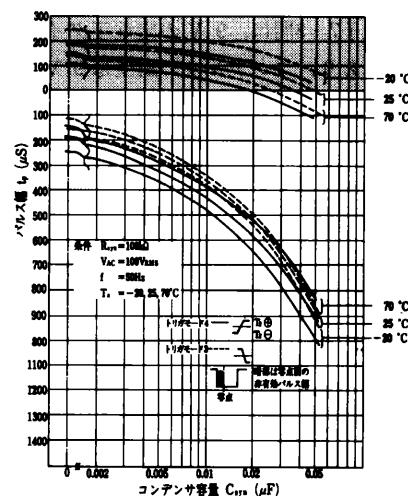


図9 $t_p - C_{syn}$ 特性例

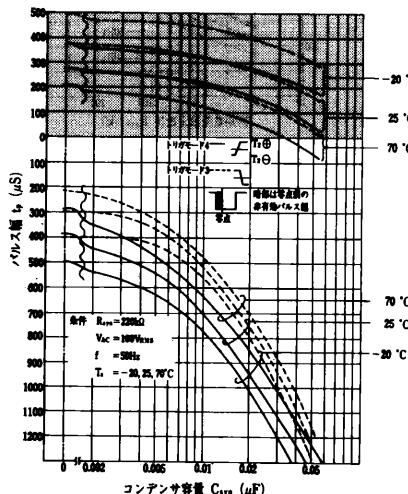


図10 $t_p - C_{syn}$ 特性例

図8～10のZVSの R_{syn} をパラメータとした $t_p - C_{syn}$ 特性例を利用します。

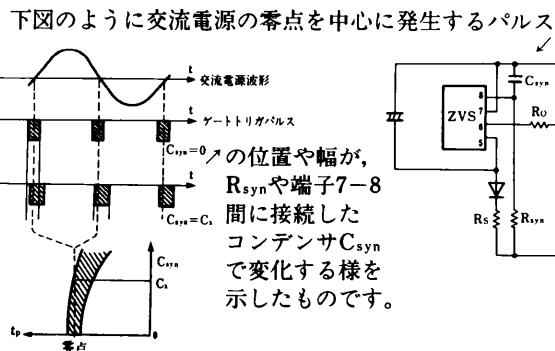


図9 $R_{syn}=100\text{ k}\Omega$ の特性曲線から、 $C_{syn}=0.01\text{ }\mu\text{F}$ を設定すれば、 t_p として有効パルス幅 300～400 μs 非有効分を含め 600 μs

が得られ、これは $t_{LATCH} 140\mu\text{s}$ と比較し、十分な広さです。端子7-8間は、9Vの定電圧ダイオードをつき合わせてあり、コンデンサの耐圧は9Vに耐えられれば十分です。

図11 ZVSの $t_p - R_{syn}$ 特性例は、全体のパルス幅を把握するのに利用します。

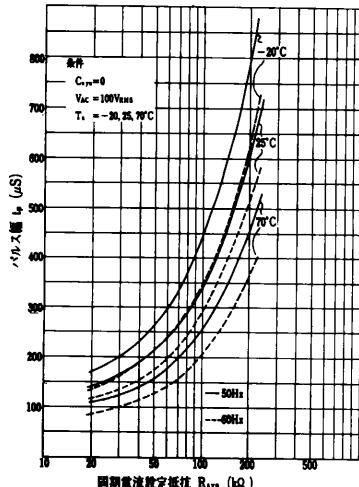


図11 $t_p - R_{syn}$ 特性例

(3) ゲートトリガパルス電流(I_{GP})の値を R_0 により設定します。

トライアックのゲートトリガパルス電流(I_{GP})が流れるように R_0 を設定します。ZVS ICの電源電圧(Cの充電電圧)を V_s (端子7-5間), ICの出力端子電圧降下 $V_s - V_0$ を $V_{CE(sat)}$ (端子6-5間), トライアックのゲートトリガ電圧

を V_{GT} (低温時の値)とすれば、

ゲートトリガパルス電源(I_{GP})は

$$I_{GP} = \frac{V_s - V_{GT} - V_{CE(sat)}}{R_0} \geq I_{GT} \quad \text{で表わされます。}$$

ZVSの端子6-5間の電圧降下は、1.0V at $I_o=40\text{ mA}$ としましたが、その他の電流の場合は、

図12の ZVSの($V_s - V_0$) $-I_o$ 特性例を利用します。

トライアックの V_{GT} は1.5V(at $T_a=-20^\circ\text{C}$)を使用します。 V_{GT} の値として、実力以上の大きい数値を使用するのは、ICの直流電源の設定をするときに誤差になり、好ましくありません。

ゲートトリガパルス電流 I_{GP} として、25mA以上流すようにします。

$$R_0 = \frac{(8.5 - 1.5 - 1)\text{ V}}{25\text{ mA}} \leq 240\Omega$$

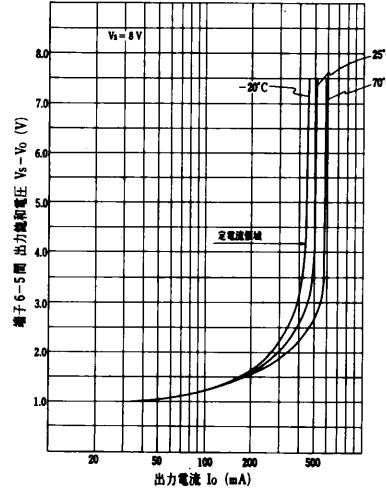
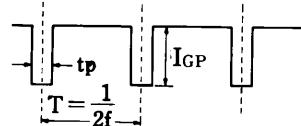


図12 ($V_s - V_0$) $-I_o$ 特性例 ($V_{CE(sat)}$)

(4) ゲートトリガパルス電流(I_{GP})の平均値を計算します。



$$\text{平均値 } I_{G(AV)} = I_{GP} \cdot t_p \cdot f / T \quad \text{で表わされます。} \\ = 2 \cdot I_{GP} \cdot t_p \cdot f$$

$f=50\text{Hz}, I_{GP}=25\text{ mA}, t_p=600\text{ }\mu\text{s}$ (最大) を設定したので、

$$I_{G(AV)} = 2 \times 25 \times 600 \times 10^{-6} \times 50 = 1.5(\text{mA})$$

以上の結果、100Wの負荷をトライアックでオンオフ制御するためゲートトリガパルス電流として平均1.5mA必要なことがわかりました。

(5) 温度検出ブリッジの抵抗を設定します。

サーミスタの温度特性は図13のように $I/T - R$ で

ほぼ直線で示されます。

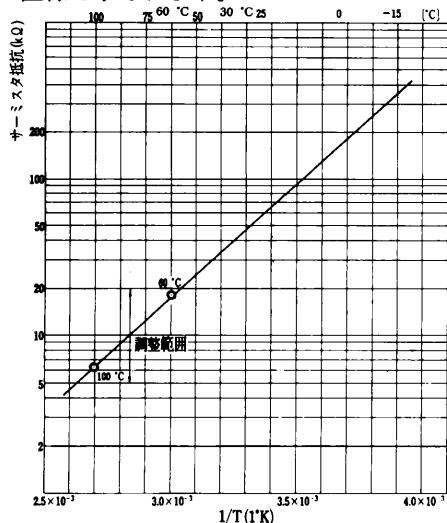


図13 サーミスタの特性例

サーミスタ抵抗は、 $20\text{ k} \sim 5\text{ k}$ まで変化すると仮定し、
 $R_3 = 10\text{ k}\Omega$ に設定すれば、

その比は $10\text{ k}\Omega / 30\text{ k}\Omega \sim 10\text{ k}\Omega / 15\text{ k}\Omega$ まで変化します。
(0.33) (0.67)

したがって VR 電圧のとき $R_2 / (R_1 + R_2)$ が 0.67

VR 最大のとき $R_2 / (R_1 + R_2 + VR)$ 0.33

になるように設定します。仮に、 $15\text{ k}\Omega$ の VR があれば
 $VR = 15\text{ k}\Omega$, $R_1 = 5\text{ k}\Omega$, $R_2 = 10\text{ k}\Omega$ で上記の比が得られます。

ゼロボルトスイッチのコンパレータの同相入力範囲が、
 $0 \sim V_S - 1.5\text{ V}$ ですので、サーミスタ抵抗の最小値を
 R_{THMIN} とすれば、図7の回路で、 $R_3 / (R_3 + R_{THMIN})$ が
0.8より大きくなるような R_3 は設定できません。

R_{THMIN} が小さく R_3 も小さくしなければならない場合は、
その回路に流れる電流が大きくなつて、ZVS ICの直流
電源を設定するときに負担になりますので、図7の R_2
の位置にサーミスタを接続してブリッジのバランスをと
るようにします。この場合は制御温度精度のゆるす範囲
で直列抵抗を大きくできます。(例えば 500 Ω のサーミ
スタに、 $10\text{ k}\Omega$ を接続しても、動作させることができます。)

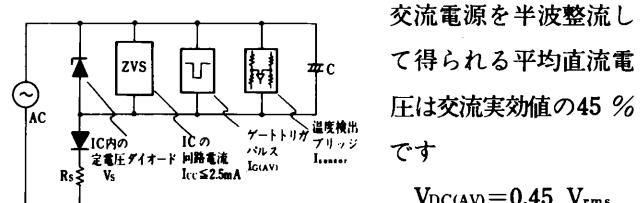
(6) 温度検出ブリッジを流れる電流の最大値を計算します。

$$I_{sensor} = V_{S MAX.} / (R_{THMIN.} + R_3) + V_{S MAX.} / (R_1 + R_2)$$

$V_{S MAX.} = 9\text{ V}$, $R_{THMIN.} = 5\text{ k}\Omega$, $R_3 = 10\text{ k}\Omega$, $R_1 = 5\text{ k}\Omega$,
 $R_2 = 10\text{ k}\Omega$ を設定したので、 $I_{sensor} = 1.2\text{ mA}$
他のセンサを使用した場合も流れる電流を正確に把握
しておきます。

(7) ZVS IC の直流電源を作るための直列抵抗 R_S 設定します。

直列抵抗 R_S は、ZVS IC の回路電流 $I_{CC} \leq 2.5\text{ mA}$ と、
ゲートトリガパルス電流平均値 $I_{G(AV)}$ 、温度検出ブリッジ
を流れる。電流 I_{sensor} の和を半波整流した交流電源から
供給できるように設定します。



$$V_{DC(AV)} = 0.45 V_{rms}$$

したがって流れる電流は、 $I = \frac{0.45V_{rms} - V_S}{R_S}$ となります。
 $I \leq I_s + I_{G(AV)} + I_{sensor}$ でなければコンデンサ C には
安定な直流電源は得られません。

交流電源電圧の最小値は、 85 V_{rms} , $V_{S MAX.} = 9\text{ V}$
 $I_s = 2.5\text{ mA}$, $I_{G(AV)} = 1.5\text{ mA}$, $I_{sensor} = 1.2\text{ mA}$ なので

$$R_S \leq \frac{0.45V_{rms MIN.} - V_{S MAX.}}{I_s + I_{G(AV)} + I_{sensor}} = \frac{38.25 - 9}{2.5 + 1.5 + 1.2} = 5.63 [\text{k}\Omega]$$

R_S として $5.1\text{ k}\Omega$ を使用することにします。

R_S の消費電力 P_S は

$$P_S = \frac{(V_{rms MAX.} - 8.5)^2}{2 R_S} = 1.11 [\text{W}]$$

したがって、2 W のものが必要です

このように、IC の回路電流を固定すると、 R_S の値は、
ゲートトリガパルス電流の平均値 $I_{G(AV)}$ 、温度検出
ブリッジの電流 I_{sensor} により決まります。消費電力を
小さくし発熱を抑える意味でも $I_{G(AV)}$, I_{sensor} は必要十分な
最小値にするのが好ましいといえます。

整流ダイオードは、使用される交流電源電圧にあつた
ものが必要です。例えば 100 V では最低 200 V 以上
の耐圧が必要です。流れる電流は小さく電流定格を
あまり気にする必要はありません。

(8) コンデンサ C を選定します (耐圧は 9 V 以上
例えば 16 V を使用)

一般に、100 μF 以上が必要です。220 μF あれば通常の使用ではほとんど問題ないと思われますが、得られた直流のリップル等を検討して決めます。図14, 15 は得られる電圧の例です。

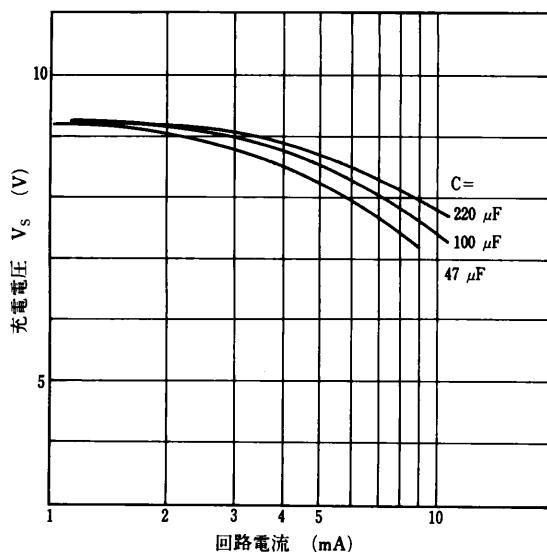


図14 充電電圧－回路電流特性例

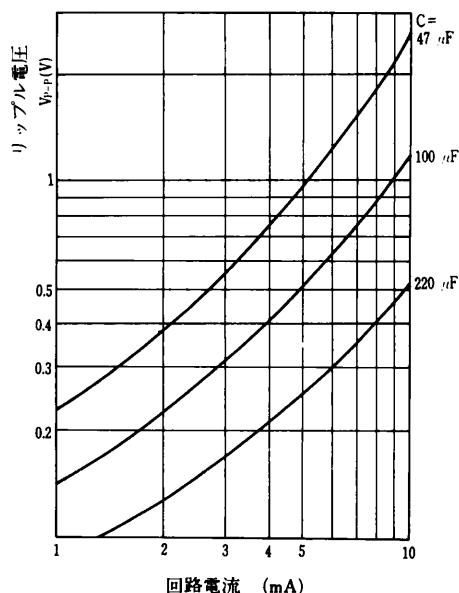
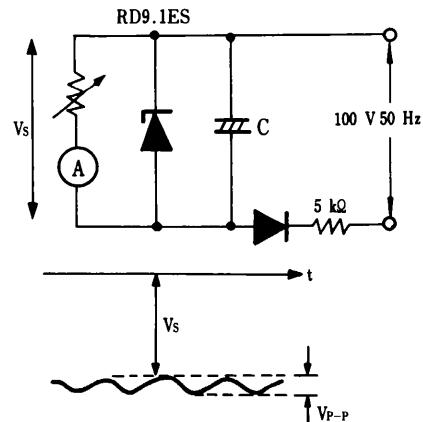


図15 リップル電圧－回路電流特性例

図14, 図15 は下記条件で測定



$$I = \frac{45 - 9}{5 \text{ k}\Omega} = 7.2 \text{ mA 流せる条件です。}$$

$R_S = 5.1 \text{ k}\Omega \quad C = 220 \mu\text{F}$ を設定すると回路電流は和が $2.5 + 1.5 + 1.2 = 5.2 \text{ mA}$ であり

$V_S = 8.5 \text{ V}$ リップル 0.3 V が得られます。

実際は、トリガパルス電流による急な電圧低下 ΔV が

$$\Delta V = \frac{I_{GP} \cdot t_P}{C} = \frac{20 \text{ mA} \times 700 \mu\text{s}}{220 \mu\text{F}} = 0.065 \text{ V} \text{ あり, リップルはこれを含んで } 0.3 \text{ V } \text{ 程度あるいは, ZVS IC の回路電流が規格よりも小さいのでもう少し小さい値になります。}$$

(9) その他補足説明

交流 200 V 電源で使用するときは、 R_S R_{syn} とも 2 倍の抵抗値が目安になります。D₁の耐圧は 200 V 電源の整流が可能な値が必要です。

図 7 で示した回路は、端子 7-5 間を抵抗分割してコンパレータの反転入力へ接続していますが、1 番端子の基準電圧を直接接続して利用することもできます。ただし、温度特性が大きいので高い精度を必要とする制御回路用には適しません。

トリガパルス幅の交流電源電圧依存性は交流電源電圧が低下すると広がり負荷電流が減少してトライアックがラッチしにくくなるのを補償します。

トリガパルス幅の温度依存性も低温で広がり同様にトライアックのラッシング電流の増加を補償します。

$f = 60 \text{ Hz}$ では、パルス幅はやや狭くなりますが、同じパルス幅での負荷電流は大きくなつており問題にする必要はありません。

ヒステリシス幅設定抵抗 R_H は、図16に示すようにコンパレータの出力端子2（オープンコレクタ）に接続されています。サーミスタNTCの抵抗が大きい低温のときは、トランジスタ Q_{14} はオンで、 V_R と R_H は並列接続されています。温度が上昇してコンパレータの入力端子4の電位が端子3の電位より高くなると（端子5を基準として）、 Q_{14} はオフし R_H と V_R の並列接続は解除されます。そのため、入力端子4の電位は R_H の並列接続がない分だけ高くなり、ヒステリシスが与えられます。

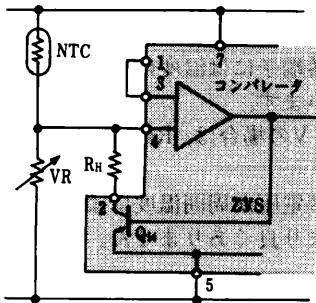


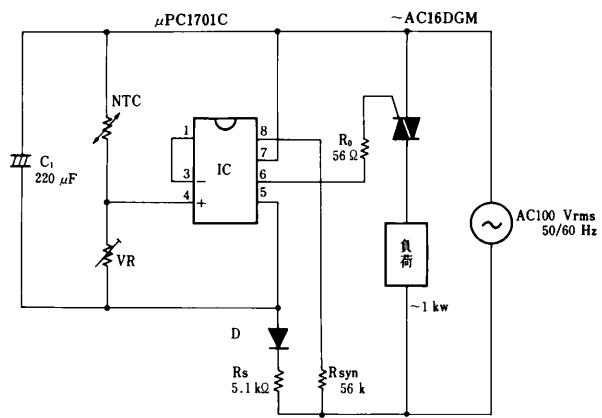
図16 ヒステリシス幅設定回路

なお、コンパレータは、PNPトランジスタ入力で構成されており、入力バイアス電流は流出する方向です。また、ゲートトリガパルス出力端子6、コンパレータ出力端子2共にオープンコレクタであり、コンパレータ出力トランジスタがオンのとき、端子6も零点でオンし、トライアックをトリガします。

12.5 ゼロボルトスイッチの応用例

12.5.1 ゼロボルトオンオフ制御応用

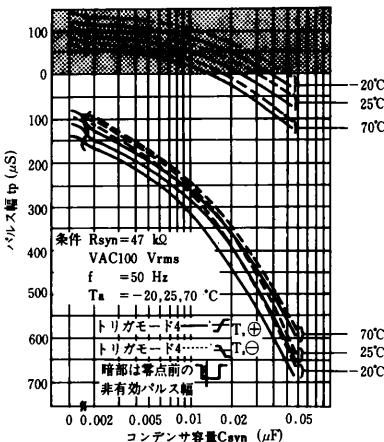
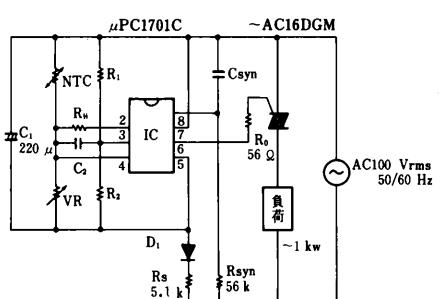
1. 基本応用回路 (1)



注)

- 交流電源をRs, Dで半波整流しC₁に充電してICの動作に必要な直流電源を形成します。
- 直流電源电压は、内部の定電圧ダイオードにより約8.5 Vになります。
- R_{syn}により交流電流をICに流して、交流電源零点を検出します。R_{syn}は、20 kΩ～300 kΩに設定でき、大きくすると出力パルス幅も広くなります。
- ICの3, 4番端子は比較器の入力で、3番端子には基準電圧を、4番端子には温度により変化する電圧を印加し制御しています。
- 交流電圧が200 Vの場合は、Rs, R_{syn}共約2倍にします。
- この回路は基準電圧が周囲温度により変化するので制御精度は、あまり良くありません。

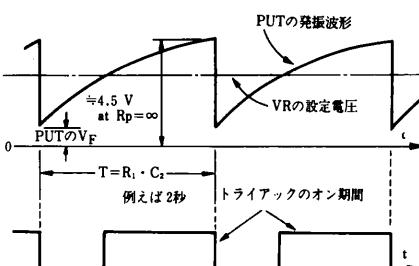
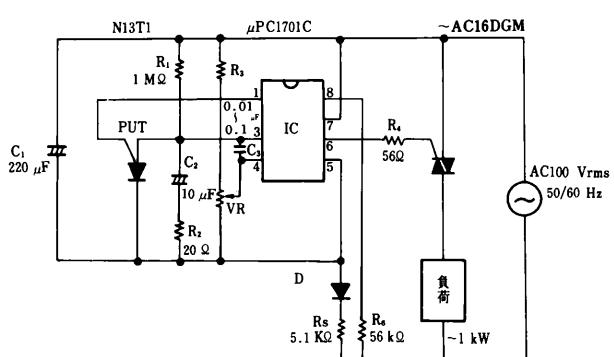
2. 基本応用回路 (2)



注)

- 温度検出をR₁, R₂, NTC, VRによる抵抗ブリッジにしたもので
- R_{syn}によりパルス幅を調整できますが、Csynによっても左図のよう
- R_Hはヒステリシス幅設定用で、
- C₁はノイズ吸収用です。

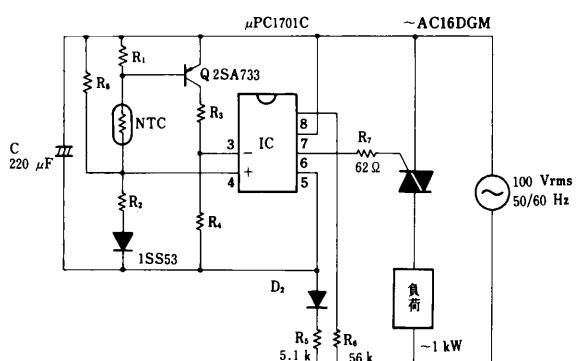
3. 時間比例制御 (1)



注)

- PUTにより上図のような弛張発振を行ない、その電圧波形とVRの設定電圧を比較します。
- 設定された周期Tの中でオンオフの比率が変化します。

4. センサの断線検出方法 (1)

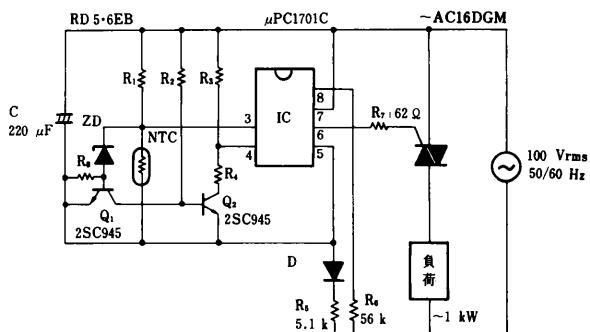


ゼロボルトヒータコントロール回路

注)

- 図でNTC（負温度係数サーミスタ）が低温で高抵抗のとき、非反転入力電圧<反転入力電圧で、トライアックトリガパルスが出力され、加熱します。
- NTCが断線すると、高抵抗の低温状態と等価であるためトリガパルスを出し続け、異常過熱するので断線検出が必要です。
- NTCが断線すると、Qのベース電流が零になり、端子3, 4から流出する入力バイアス電流によってR₂, R₄に電圧降下を生じます。D₁(1SS53)のV_Fのため、非反転入力電圧>反転入力電圧となって動作を停止します。
- 正常動作時は、D₁はQのV_{BE}の温度補償を行ないます。
- R₁の値は、低温時NTCが高抵抗になったときにもQがバイアスされるような値に設定します。

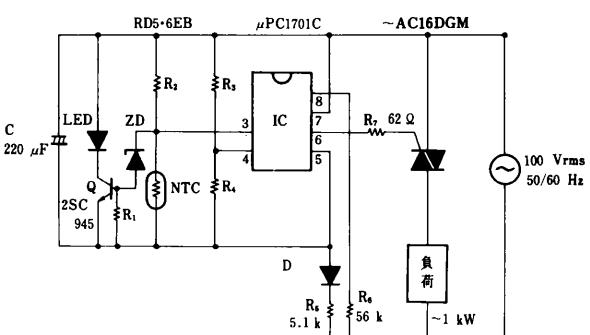
5. センサの断線検出方法 (2)

ゼロボルトヒータコントロール回路
低抵抗サーミスタ用

注)

- サーミスタ(NTC)の抵抗が低い場合は、ICの同相入力電圧範囲の規格が0~6.5 Vのため、図のように5番端子にNTCを接続して設計します。
- R₂はQ₂が十分飽和する値に設定しますが、この回路はQ₂のコレクタ飽和電圧の温度特性の(+0.1 mV程度)の影響があります。
- NTCが断線すると、ZDを通じてQ₁のベース電流が流れQ₁オン、Q₂オフとなって動作を停止します。
- ZDのツェナー電圧とQ₁のV_{BE}の和は6.5 V以下になるように設計します。
- 低温時にNTCが高抵抗になりますが、R₁との接続点電圧がZDのツェナー電圧以上にならないようにR₁を設定します。

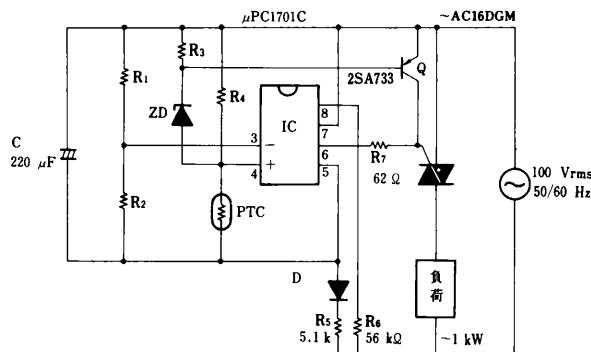
6. センサの断線検出方法 (3)

ゼロボルトヒータコントロール回路
低抵抗サーミスタ用

注)

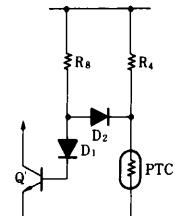
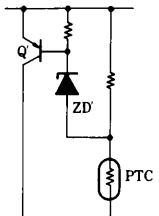
- 低抵抗サーミスタ用の断線検出回路の他の例です。
- NTCが断線するとR₂, ZDを通じてQのベース電流が、流れるのでQは、動作抵抗がR₂/h_{FE}の定電圧ダイオードとして動作し電圧を低下させます。
- ICは電源電圧が低下すると中部の低電圧検出回路が動作して、トリガパルスの発生を禁止します。
- LEDは表示可能なことを示したもので特別必要なものではありません。
- ZDのツェナー電圧とQのV_{BE}の和が6 V以下になるように設定します。
- この回路は、NTC断線時は直接電源電圧は通常の値は得られませんので注意が必要です。

7. センサの断線検出方法 (4)

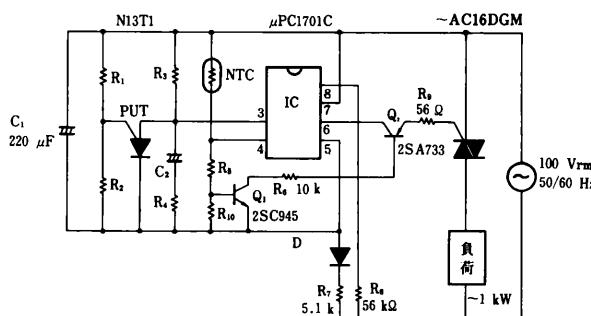
ゼロボルトヒータコントロール回路
(PTCサーミスタ用)

注)

- 温度センサがPTC（正温度係数サーミスタ）の場合は短絡不良が低温の場合と等価で、過熱防止のため短絡検出回路が必要です。
- PTCが短絡すると、Qのベースエミッタ、ZDを通じて電流が流れ、トリガーパルスはQでバイパスされ動作を停止します。

•他の方法の例
PTCの短絡によりベース電流がD₂にバイパスしQ₁がオン→オフに変化する事を利用する方法•他の方法の例
PTCの短絡により電源をZD+V_{BEQ}でクリップしゼロボルトスイッチの低電圧検出回路を動作させる方法

8. センサの断線検出方法 (5)

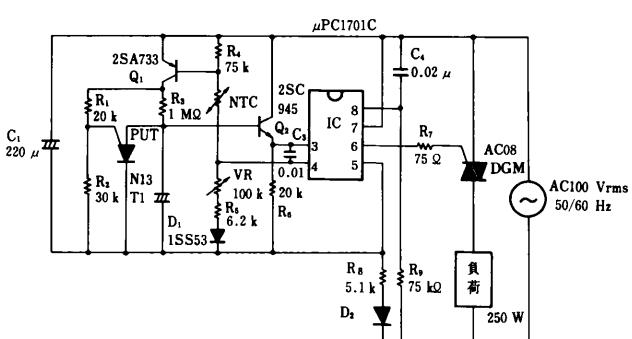


時間比例温度制御回路

注)

- NTCの一端を交流電源ラインに直接接続できる回路例です。時間比例制御回路と組み合せた例を示しましたが、通常のオンオフ制御にも使用できます。
- 断線によりNTCを含む回路の電流が零になるのでQはオフしQ₂もオフします。
- R₆を流れる電流で、トライアックがトリガしないような値にR₆を設定します。
- R₁/(R₁+R₂)は0.2以上に、(R₁+R₂)は20 kΩ以上に設定します。
- PUTの充放電周期はR₃とC₂で設定しますが、R₃は100 k~1 MΩ程度にしますのでC₂で調整します。

9. センサの断線検出方法 (6)

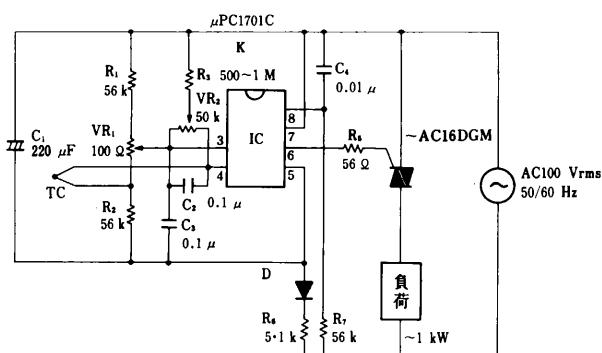


時間比例温度制御回路

注)

- 時間比例温度制御回路にセンサの断線検出を組み合わせた他の例です。
- NTCが断線するとQ₁がオフし、PUTはゲートバイアスが零になるのでC₂の電荷を放電した後オフします。
- ICの端子3、4から流出する入力バイアス電流で非反転入力電圧>反転入力電圧となって動作を停止します。
- Q₂は入力バイアス電流によりC₂が充電されるのを防止するのが主目的です。

10. 热電対を使用する温度制御(1)

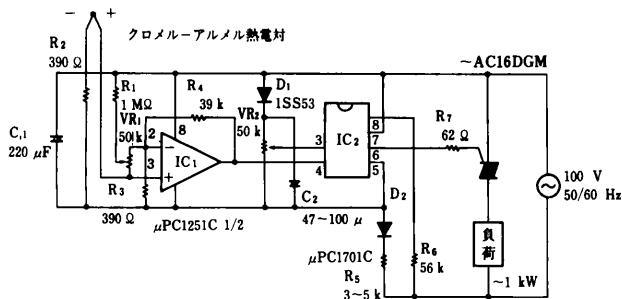


注)

- 热電対はクロメルコンスタン等の熱起電力の大きいものが有利です。
- 温度補償を行なっていないので周囲温度の影響を受けます。
- ICの比較器の入力オフセット電圧によっても制御温度が変化するので、かなり大ざっぱな温度制御になります。
- クロメルーアルメル(約4 mV/100 °C)を使用した場合に、入力オフセット電圧1 mV当り約30 °Cの制御温度差を生じます。
- R₃, VR₂は入力オフセット電圧調整用、C₂, C₃はノイズ吸収用です。

热電対を直接接続した温度制御回路

11. 热電対を使用する温度制御(2)

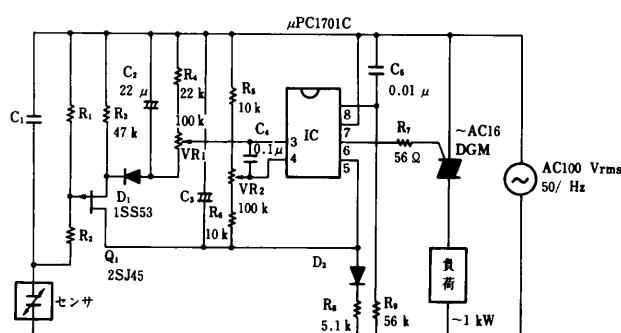


注)

- 单電源動作可能なオペアンプμPC1251Cにより、クロメルーアルメルの熱起電力0.04 mV/°Cを100倍しています。
- ICの比較器の一方の入力(反転入力)～は、電源電圧のリップルをD₁, C₂により小さくし、VR₂で分割して入力します。
- 周囲温度変化に対する補償は行なっていません。
- オペアンプも微小直流信号増幅用として設計されたものではありませんので、ドリフト等にやや難があります。

ゼロボルトヒータコントロール回路

12. 感熱線を使用する温度制御(1)

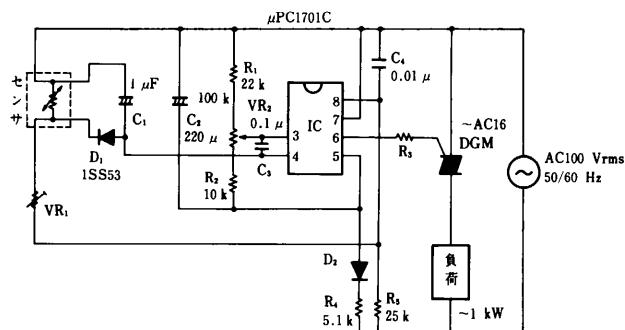


注)

- 電気カーペット等の大面積面状発熱体用の温度制御回路です。
- 感熱線は2本の導体間にナイロン等の有機物感熱体を介在した線状のセンサで発熱面に均一に配置して使用します。
- 図は静電容量が変化(低温時に小、高温時に大)する感熱線を使用した例です。
- C₁の分担電圧を、R₁, R₂で分割してFETQ₁のゲートに与えます。
- Q₁のソース出力直流電圧も低温時に小、高温時に大となり、VR₂で設定された制御電圧と比較してオンオフ制御を行います。

電気カーペット温度制御回路(1)

13. 感熱線を使用する温度制御 (2)

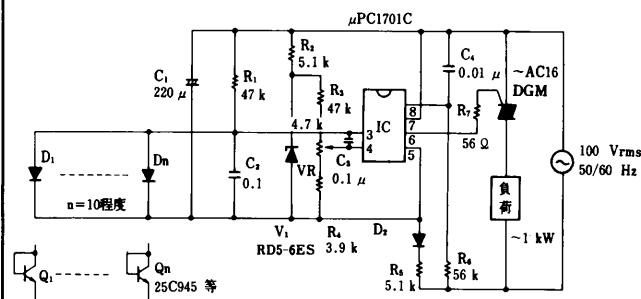


電気カーペット温度制御回路(2)

注)

- 感熱線として抵抗値が変化（低温時に大、高温時に小）するタイプを使用した例です。
- ICの端子 7～8 間は、約 8.5 V の定電圧ダイオードをつき合わせた形で内蔵してあるので、センサの抵抗と、VR₁の抵抗で分割された電圧を D で整流し C₁に充電して得られる直流電圧も低温時に大きく、高温時に小さくなります。
- 実際の製品に応用する場合は、12、13の回路共センサの断線、短絡時、トライアック故障時の保護回路を追加しフェイルセーフの機能を付加する必要があります。

14. ダイオードを使用する温度制御

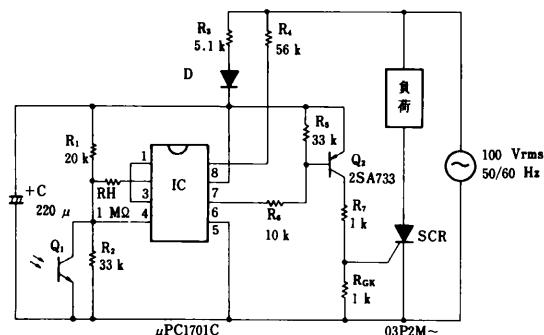


面状発熱体温度制御回路

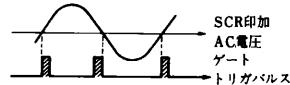
注)

- 面状発熱体の温度制御にダイオードを使用した例です。
- 並列接続した複数のダイオードの順電圧温度係数は約 -2 mV/°C であり、一部のダイオードの温度が低い場合も、高温になっているダイオードの V_F の影響を強く受けて、全体として平均温度を検出します。
- ICの一方の入力端子 4 には、温度係数が最も小さくなるような定電圧ダイオード（一般に V_Z = 5~6 V）を使用して基準電圧を入力します。
- 使用するダイオードの順電圧のばらつきが大きいと設定温度誤差も大きくなるので注意が必要です。

15. SCRをトリガする制御回路 (1)



ゼロポルト半波オンオフ制御回路

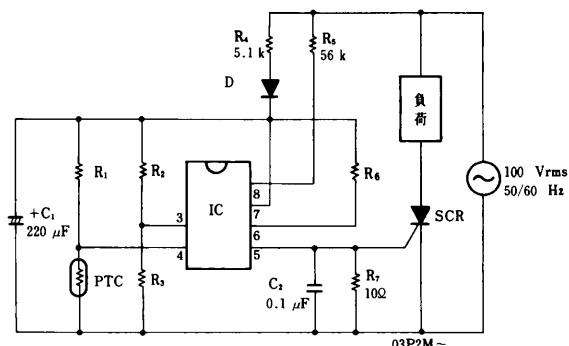


電源波形とトリガパルスの位相

注)

- ICの端子 5 を交流電源に接続して使用できる、SCR トリガ用の回路です。Q₁ はホトトランジスタで、光スイッチとして動作します。
- ICのゲートトリガパルスにより Q₂ をオンし SCR をトリガします。大電流 SCR で I_{GT} が大きいときは R₇ を小さくします。
- 交流電源の零点検出は、R₆ で行なっていますが、端子 8 の電位が 8~9 V シフトしているため、ゲートトリガがパルスは上図のように SCR のアノードに正の電圧が印加される半サイクル内に大部が含まれます。

16. SCRをトリガする制御回路(2)

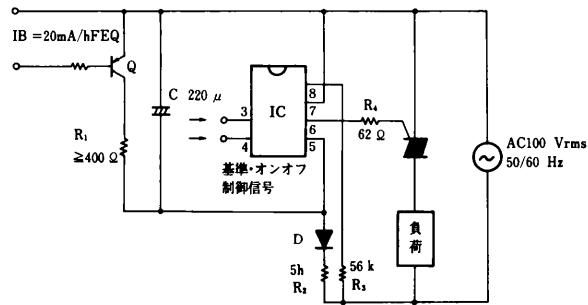


ゼロボルト半波ヒータコントロール回路

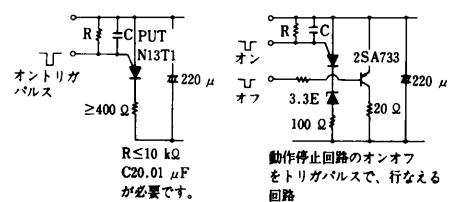
注)

- 15の回路と基本構成は同じですが、トランジスタQ₂を省略してあります。
- 交流電源からR₄, R₅を通じてICに流入した後、端子5へ流出する電流をR₇へバイパスします。
- 必要なトリガ電流は、R₆を通じて大電流を端子5に出力しR₇の電圧降下をSCRのV_{GT}以上にして行ないます。
- C₂は交流電源に含まれるサージ電圧等による、誤動作原因になる電流バイパス用であり、ラインにMOV等を入れておくことも必要です。

17. ICの動作を禁止する回路



動作禁止回路

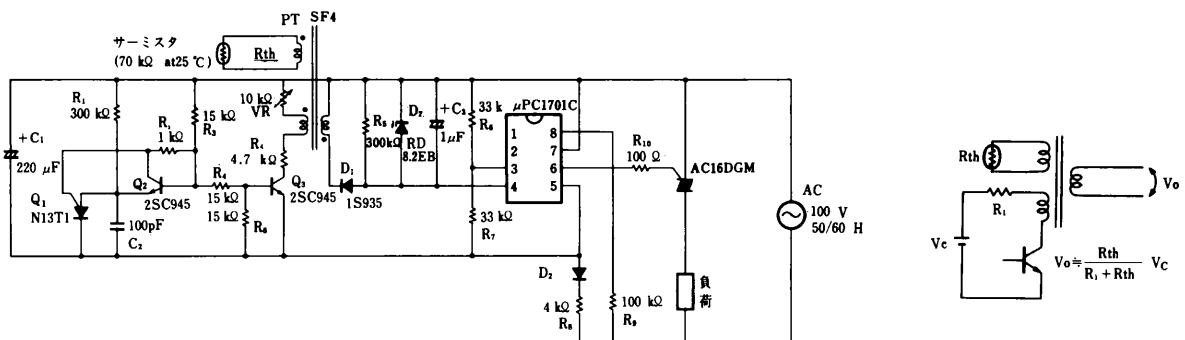


動作停止回路

注)

- ICは回路電圧が約7V以下では動作しないように設計されています。
- トランジスタQをオンし、20mA程度の電流を流すようになると回路電圧が下がり動作を停止します。
- Qに常に動作停止信号を与えられたいときは、上図のようにPUTを使用しパルスでオンするようにします。

18. センサを絶縁した温度制御回路



ゼロボルトヒータコントロール回路

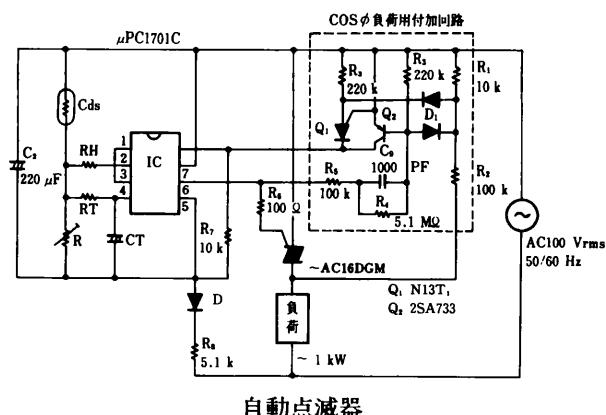
注)

- センサをパルストラnsを用いて回路から絶縁した回路例です。
- パルストラnsの励磁電流を無視した二次出力電圧の式と回路を右図に示します。つまり二次出力電圧

スイッチング回路の出力電圧

- は、センサの抵抗と、パルストラnsの一次側の抵抗比で決まります。
- ICの比較器入力が、 $1/2V_S$ に設定されているので、センサ抵抗とパルストラnsの一次側抵抗($R_4 + VR$)がほぼ等しい値でオンあるいはオフになります。

19. 誘導性、容量性負荷制御(1)



注)

- μPC1701C は交流電源の零点を検出するゼロボルトスイッチとして設計されているので、そのままでは電源電圧と負荷電流位相のずれる誘導性容量性負荷には使用できません。

- トライアックのオンオフを Q_1, Q_2 で検出します。トライアックオン時は、 Q_1, Q_2 共にオフで、端子 8 は、 R_7 を通じて端子 5 に接続され非零点となっています。

- トライアックをオフすると、交流電源の極性により Q_1, Q_2 のいずれかがオンし端子 8 を端子 7 と同電位にし、零点信号が与えられます。

- R_5, C_1, R_4 は、トライアックトリガーパルスを、トライアックオン後も、ある期間継続させるものです。

- 負荷が白熱電球の場合は、COS φ負荷用付加回路は不要です。

- 光量検出素子 Cds は光が照射されているときは低抵抗で、周囲が暗くなると高抵抗になって、トライアックトリガーパルスを発生するように IC の入力をバイアスします。

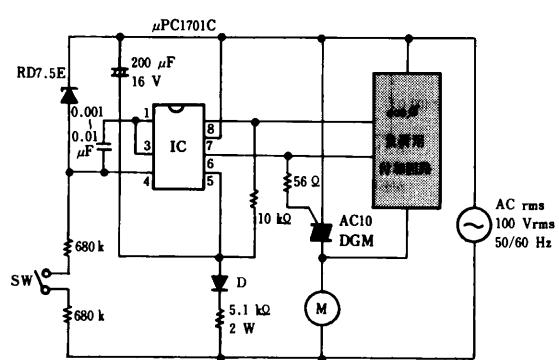
- R_T, C_T は動作に遅れを持たせるため、 R_H はヒステリシス幅設定用です。

注)

- リモコンスイッチ SW に流れる電流は $100 \mu\text{A}_{\text{rms}}$ 以下でオンオフ制御できます。

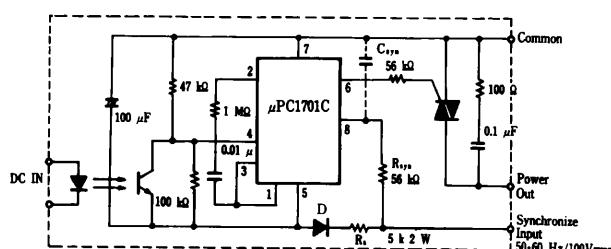
- SW 開のときは、端子 4 から入力バイアス電流が流出しないので端子 4 はハイレベルと等価で、トライアックトリガーパルスは発生しません。

20. 誘導性、容量性負荷制御(2)



掃除機モータオンオフ制御回路

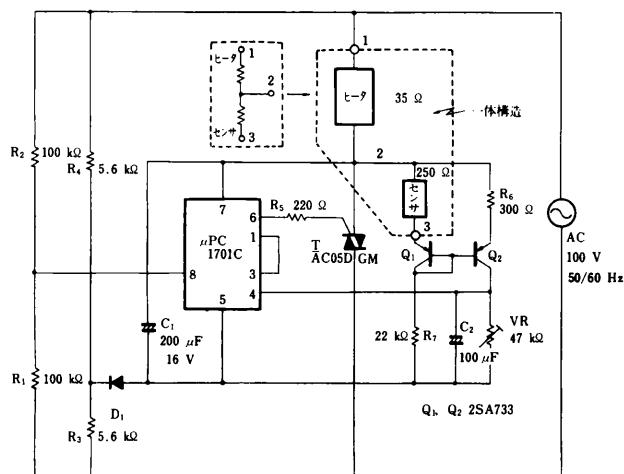
21. ソリッドステートリレー



注) ソリッドステートリレーへの応用例です。

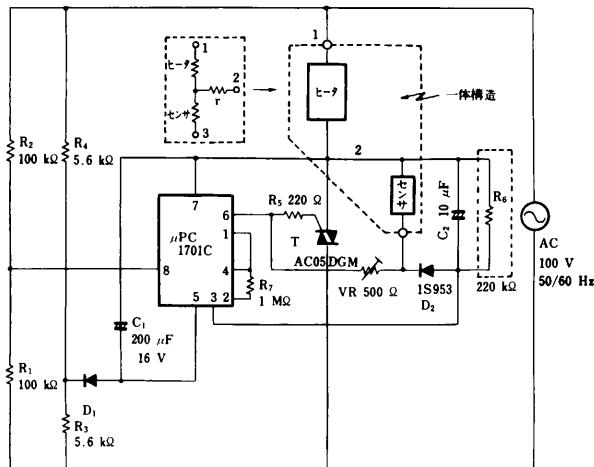
- ZVS の直流電源と零点検出用の端子が必要で、3線式になりますが、コンパレータでヒステリシス幅を設定できるので、ホトカプラの発光ダイオードの光量がアナログ的に変化してもオンオフ動作がスムーズです。

22. 3線式温度制御回路(A)



注) 配線が3本ですむ、3線式温度制御回路で、温度センサが正の温度係数を持つ場合の回路例です。負荷ヒータと温度センサは一体構造になっており、図中に示す等価回路になっています。次に動作の基本的考え方を説明します。まず、μPC1701Cを使用する温度制御回路で、負荷ヒータと温度センサの接続点を共通のラインに接続するため、負荷ヒータは、トライアック(T)のT₁端子側になります。そしてトライアックオフ時は、負荷ヒータ、コンデンサC₁、ダイオードD₁、抵抗R₃を通して半波電流が流れ、C₁が充電されμPC1701Cの動作に必要な直流電源が作られます。負荷ヒータを加熱する時、すなわちトライアックオン時は、トライアック、コンデンサC₁、ダイオードD₁、抵抗R₄を通して半波電流が流れC₁が充電され、同様に直流電源が作られます。したがって負荷ヒータの抵抗は、抵抗R₃の抵抗値より十分小さいことが必要です。このようにトライアックのオンオフに無関係に、常にμPC1701Cの動作に必要な直流電源が得られることが基本になっています。また、この回路例は温度センサの抵抗値が小さ目の場合の構成例であり、負荷ヒータの温度が低く、温度センサの抵抗も低いときは、Q₂のコレクタ電流が小さくVRの電圧降下も小でμPC1701Cの4ピン入力が小のためトライアックトリガ動作になります。温度上昇により温度センサの抵抗値が増加すると、Q₂のコレクタ電流も増加し、VRの電圧降下も大きくなって、トリガを停止します。温度センサの抵抗が数kΩ以上であれば、VRとの直接比較でμPC1701Cに入力できます。

23. 3線式温度制御回路(B)

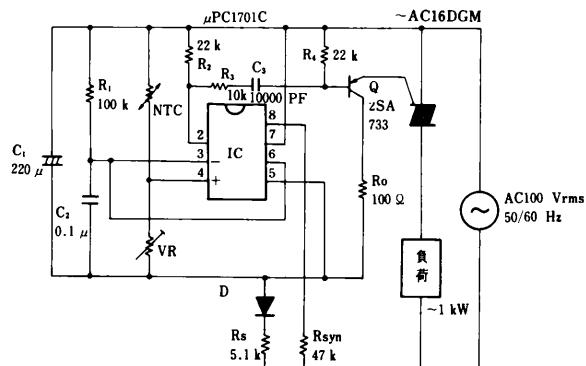


注) 配線が3本ですむ、3線式温度制御回路です。22では、負荷ヒータと温度センサの一端を共通化した場合、22中に示す、等価回路の端子2とヒータ、センサの接続点間にはいくらかの抵抗があります。そして負荷電流はこの抵抗を通して流れますので、その抵抗値あるいは負荷電流が大きくなりすぎると、その電圧降下により正常な温度制御を行なえなくなります。23はそれを改善した回路例です。

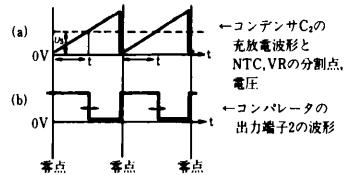
23も、22同様正の温度係数を持つ温度センサを使用しています。22で問題となった等価回路の端子2とヒータ、センサ接続点間の抵抗rによる影響を小さくするため、トライアックのゲートトリガパルスを、温度センサとVRの直列回路に印加し、温度センサの電圧降下をコンデンサC₂に充電して温度検出信号としています。トライアックのゲートトリガパルスは、交流電源の零点で出力されており、負荷電流は、きわめて小さい状態ですので、検出結果に、前記抵抗rに負荷電流が流れるによる影響は無視できます。なお、C₂に並列接続した抵抗R₆との放電時定数は、負荷ヒータの熱時定数との関連で適当な値に設定します。

12.5.2 位相制御応用

1. 基本応用回路



位相制御温調回路



ZVS動作波形

注)

- C_2 は、 R_2 を通じ充電され、上図のようにNTCとVRで分割された電位 V_3 より大きくなると、比較器出力がロウになります。
- 比較器出力がロウになると、次の零点で C_2 は端子6のロウによりリセットされ鋸歯状波を得られます。
- 比較器出力端子2のロウ変化を R_3, C_3 の微分回路を通じてQを駆動しトライアックをトリガします。

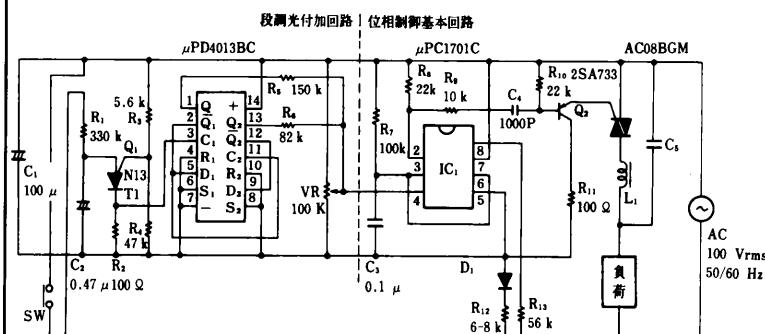
2. 調光回路への応用

注)

SWを押すと約0.5秒の周期で電球の明るさが4段階変化を続け、任意の明るさでSWを開けば、その明るさで以後継続して点灯します。

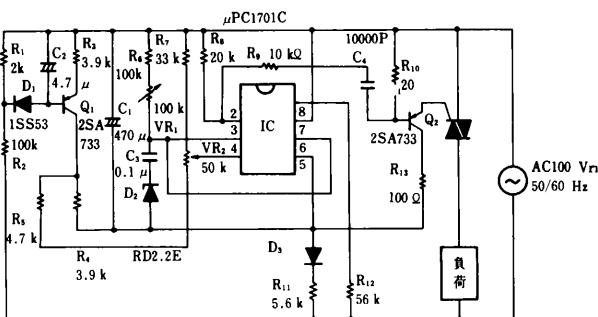
○ 破線の右側が段調光付加回路で、μPD4013BCはD-TYPE FLIP-FLOPが2個入ったCMOS ICです。これを2段直列接続し、得られる出力条件00, 01, 10, 11の4条件によって、μPC1701Cの比較器入力電圧を4段階に変化します。

○ Q_1 はIC2にクロックパルスを与えており、 C_2 あるいは R_1 を調整し明るさの変化する周期を調整できます。

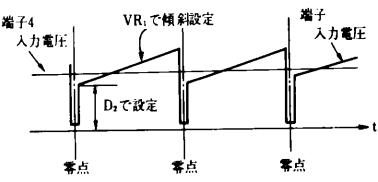


白熱電球4段調光回路

3. 定電圧回路への応用



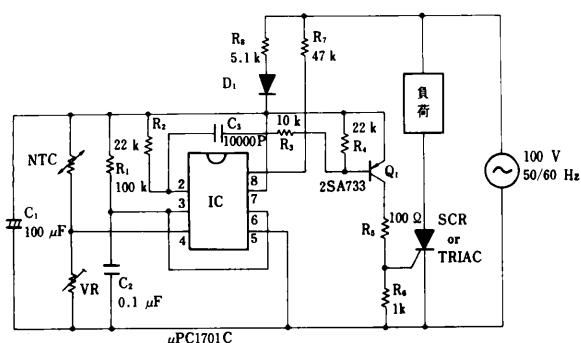
簡易定電圧制御回路



注)

- 交流電源電圧変動に対し、トライアック導通角を制御して出力電圧をほぼ一定に制御する簡易形定電圧制御回路です。
- 交流電圧変動のフィードバックは、 R_1, R_2 で分割した電圧ピーク値を Q_1 で電流変換後 R_5 の電圧降下として得ます。
- 制御特性例としては交流電圧変動 100 ± 15 Vに対し例えば 80 ± 2 V程度になります。
- ICの入力端子3には、左図のように、定電圧ダイオード D_2 でペティスター値を設定したランプ波形を入力しております。ランプ波形の傾斜を小さくして、利得を高めています。
- VR₂で設定する出力電圧の値によってVR₁を調整して制御特性を最適条件に設定することが必要です。

4. SCR駆動への応用 (1)

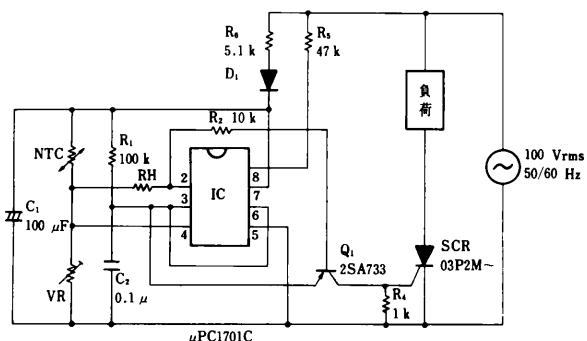


位相制御温調回路

注)

- SCRおよびトリガモードIIのV_{GT}, I_{GT}を保証したトライアック制御用回路例です。
- R₅は、SCR, トライアックのゲート感度により調整が必要です。

5. SCR駆動への応用 (2)

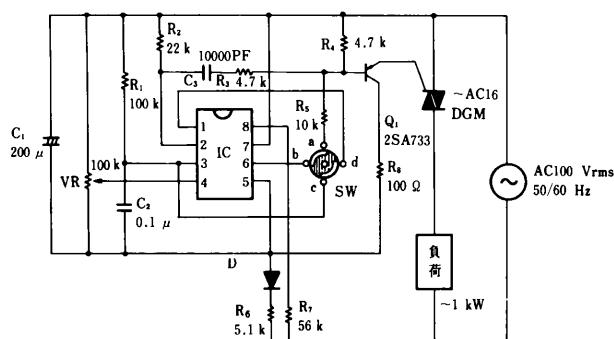


位相制御温調回路

注)

- SCR, およびトリガモードIIの保証されたトライアック用回路の他の例です。
- 比較器出力（端子2）を微分するコンデンサを省略した例です。
- 比較器出力がロウになると、 Q_1 のベース電流が R_2 を通して流れ Q_1 がオンし、 C_2 の電荷をトリガーパルスとして SCR のゲートに供給します。
- 比較器のロウが C_2 の電圧が低下しても継続するように R_H でヒステリシスを与えます。
- 位相を進めた場合、 C_2 が充分に充電されておらず、SCR のトリガ電流が不足するので注意が必要です。

6. その他の応用 (1)

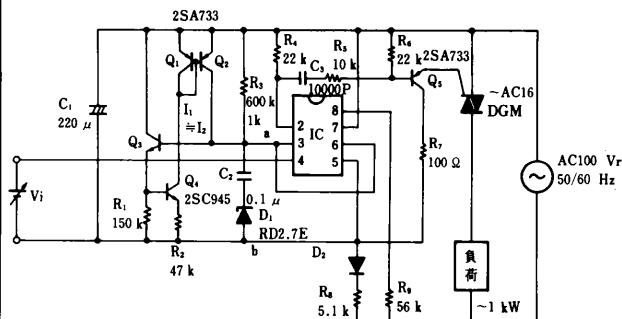


注)

- SWの切換で、位相制御、ゼロボルトオンオフ制御のいずれかを選択できる共用回路例です。
- SWが図の位置(a-b間とc-d間短絡)ではゼロボルトオノフ制御として動作し、比較器入力端子3には、端子5を基準とし5・3V印加されています。
- SWを90°回転してa-d間とb-c間を短絡すれば位相制御回路として動作します。
- R4は、端子1-5間の吸込形定電流源の100 μAで、Q4がバイアスされないような値を設定します。

位相制御、オンオフ制御共用回路

7. その他の応用 (2)



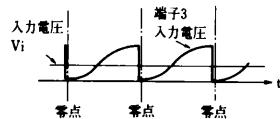
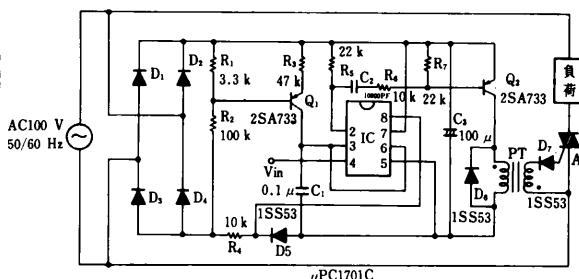
IC入力電圧波形

注)

- 入力電圧に対し位相制御された交流実効出力電圧が直線的に変化する線形電力制御回路例です。
- C2を、その充電電圧の増加と共に大きくなる電流で充電し上図のような鋸歯状波を形成し、入力電圧に対し制御実効出力電圧が比例するようになっています。
- Q3によりC2電圧をR1に出力し、Q4によりその電圧に比例した電流をQ1に通じます。Q1、Q2はカレントミラーになっており、C2の充電電流はその端子電圧の増加と共に大きくなります。

線形電力制御回路(実効値)

8. その他の応用 (3)



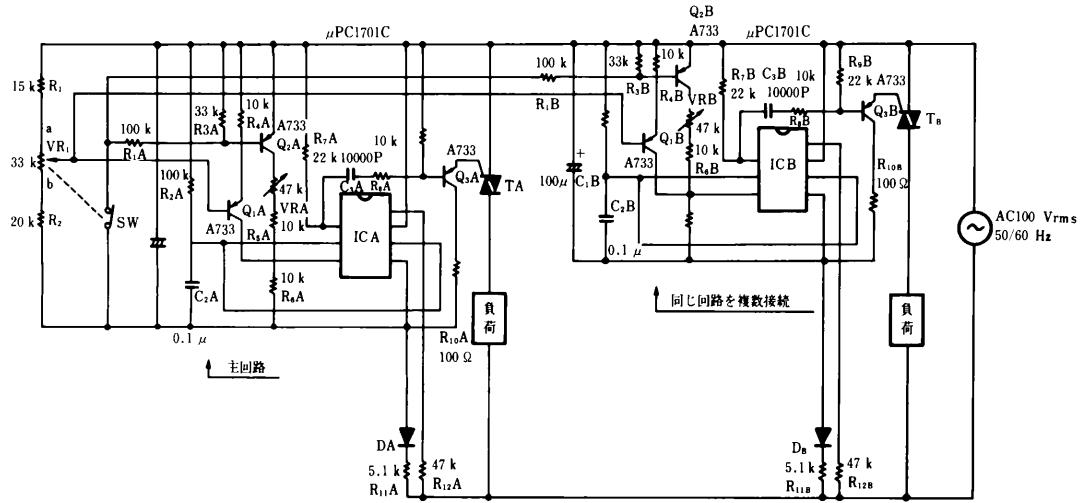
IC入力電圧波形

注)

- 入力電圧に対し位相制御された交流平均出力電圧(平均電力)が直線的に変化する線形電力制御回路例です。
- C1を正弦波状に変化する電流で充電することで、その充電波形を余弦波状に変化し、入力電圧に対し制御平均出力電圧が比例するようになっています。
- ICの交流電流入力端子8には、全波整流した台形波を入力して交流電流が入力されているのと等価にしています。

線形電力制御回路(平均値)

9. 調光への応用

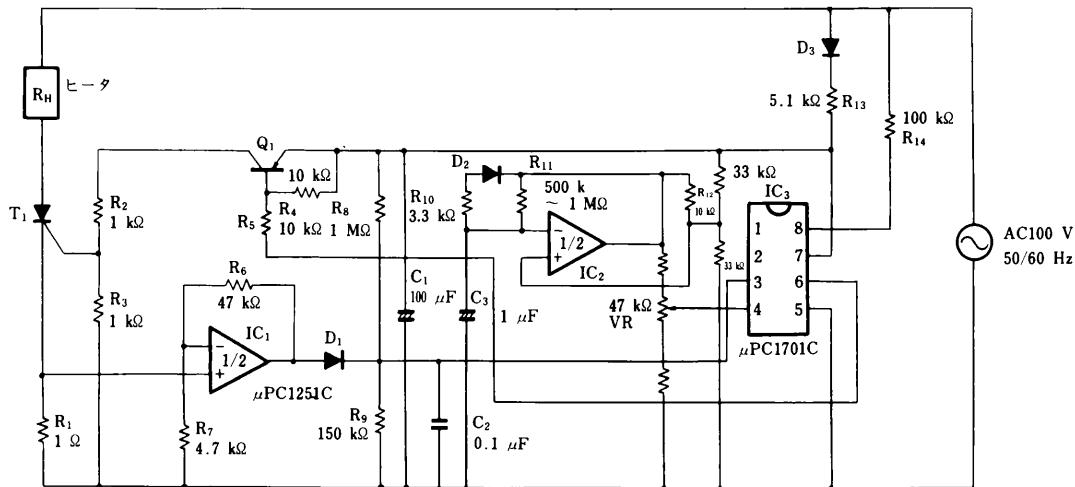


多灯照明調光回路

注)

- 複数の照明器具を単独に調光し、しかも一括制御もできる多灯照明調光回路例です。
- VR₁とSWは連動で、SW閉時はa側になっておりQ_{1A}コレクタ電流は小さくR_{6A}, R_{6B}の電圧降下は、VR_A
- VR_Bで調整され単独調光されます。
- SWを開くとQ_{2A}, Q_{2B}がオフし、R_{6A}, R_{6B}の電圧降下はVR₁で調整され一括調光されます。

10. 簡易形温度制御回路



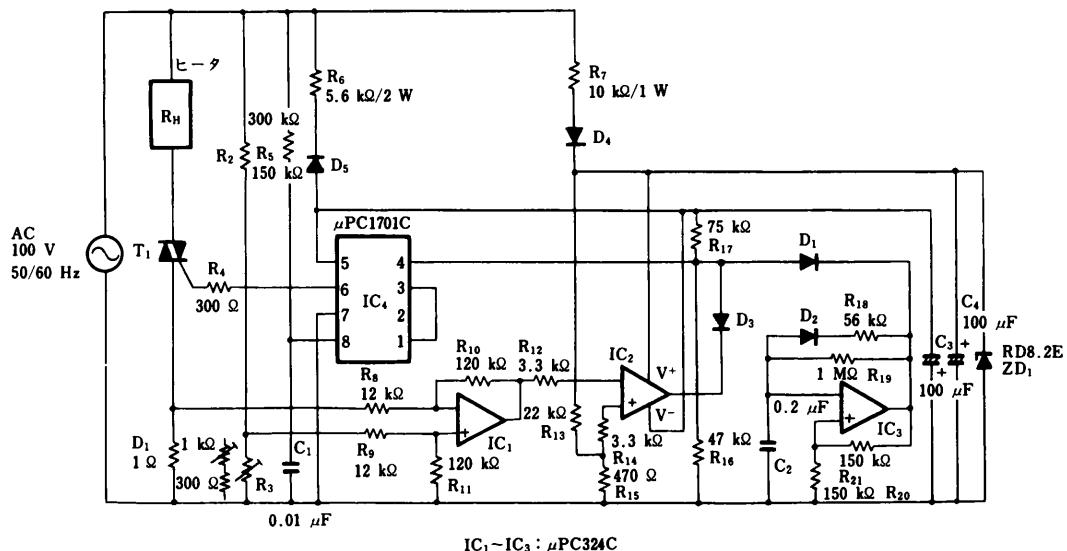
本回路は、温度センサの不要な、温度制御回路です。

ヒータの抵抗の温度特性はあらかじめわかっているので、SCRのオンオフにより制御しようとする目標温度時のヒータ抵抗 R_H はわかっています。交流電圧が一定であれば流れる電流もわかりますし、その電流による抵抗 R_1 1 Ω の電圧降下もわかります。したがって、抵抗 R_1 の電圧降下が目標とする電圧より高ければ、温度が低いので加熱する、低ければ、温度は高いので通電を停止するように動作させれば良いわけです。ところが、SCR T_1 がオフ状態では抵抗 R_1 の電圧降下は零であり、これはヒータの温度が無限に高く、抵抗値 R_H は無限大であるという条件になってしまい、回路はこのままでは動作しません。これをうまく動かす方法として、試しにSCRを少なくとも半サイクルトリガして、流れる電流の大きさ（すなわちヒータの抵抗 $R_H \rightarrow$ 温度）を調べてみて、その結果温度が低ければ以後もSCRのトリガを継続する方法を考えられます。試しのトリガの周期をヒータの熱時定数に比較し、十分に小さくしておけば温度リップルも許容できる程度に小さくなります。

IC₂ は試しのトリガの周期を設定するマルチバイブレータであり、あらかじめ設定した周期で少なくとも半サイクル以上 SCR T_1 をトリガするように IC₃ の 4 ピンを周期的にロウレベルにします。通常は、IC₂ の出力はハイレベルで VR で分割した電圧が 4 ピンに印加されています。IC₃ の 3 ピンには SCR T_1 オン後に流れる電流による R_1 の電圧降下を増幅した後整流して印加し、4 ピン電位と比較します。ヒータの温度が低いと R_1 の電圧降下は大で、3 ピンの入力も大で、IC₃ は SCR T_1 のトリガパルスを継続出力するように動作します。

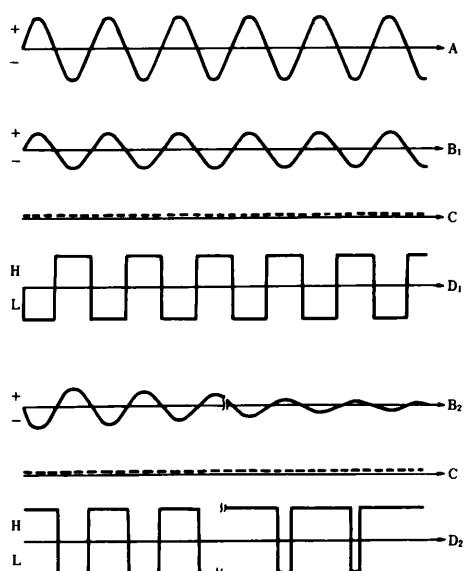
したがって、最終的には試しトリガの周期の中で SCR T_1 のオン期間が変化し、温度を一定とするように動作します。

11. 双方向通電形温度制御



本回路は温度センサが不要な温度制御回路であり、制御素子としてトライアックを使用した例です。しかも交流電源電圧変動の影響もきわめて小さい特徴を持つ、双方向通電形温度制御回路です。原理は10. と同様ですが、ヒータの温度検出をヒータ抵抗R_HとR₁およびR₂とR₃からなるブリッジとし、ブリッジ出力が零になるように制御しようとするものです。温度の設定はR₁~R₃のいずれかを変化すればいいわけですが、上図ではR₃を可変抵抗としています。IC₃は10. と同じ目的の試しトリガ用のマルチバイブルエタです。

IC₁は差動増幅回路であり、抵抗R₁とR₃の電圧降下の差を増幅出力します。



IC₂入力出力波形

したがって、トライアックT₁オフ時は左図B₁に示すような交流電源電圧Aと同相で一定の交流電圧が输出されます。一方、ヒータの温度が十分低い状態でトライアックをオン状態にしたとすれば、抵抗R₁の電圧降下がR₃の電圧降下より大きく、少しずつその差が小さくなるので、左図B₂に示すような交流電源電圧と逆位相で、少しずつそのピーク値が下がる（ヒータの温度上昇によりブリッジが安定するため）交流電圧が出力されます。

IC₂は抵抗R₁₃とR₁₅で分割した左図Cに示す基準微小電圧と前記B₁, B₂の電圧を比較します。結果、その出力は左図D₁, D₂に示すようになり、出力がロウレベルになる位相は180°異なります。

トリガIC μPC1701CはD₂の極性でコンパレータ入力4ピンが3ピンに対しロウになればトライアックT₁を1サイクルトリガするようにトリガパルスを出力します。したがって、最終的には10. 同様に試しトリガの周期内でトライアックのオン期間が変化し、温度を一定とするように動作します。

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
- 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
- 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
- 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

M4 94.11

お問い合わせは、最寄りのNECへ

【営業関係お問い合わせ先】

半導体 第一販売事業部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3454-1111 (大代表)
半導体 第二販売事業部		
半導体 第三販売事業部		
中部支社 半導体販売部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2170
半導体第一販売部		大阪 (06) 945-3178
関西支社 半導体第二販売部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3200
半導体第三販売部		大阪 (06) 945-3208
北海道支社 札幌 (011)231-0161	小山支店 小山 (0285)24-5011	富山支店 富山 (0764)31-8461
東北支社 仙台 (022)261-5511	長野支店 長野 (0262)35-1444	三重支店 津 (0592)25-7341
岩手支店 盛岡 (0196)51-4344	松本支店 松本 (0263)35-1666	京都支店 京都 (075)344-7824
山形支店 山形 (0236)23-5511	上諏訪支店 諏訪 (0266)53-5350	神戸支店 神戸 (078)333-3854
山形支店 郡山 (0249)23-5511	甲府支店 甲府 (0552)24-4141	中國支店 広島 (082)242-5504
いわき支店 いわき (0246)21-5511	埼玉支店 大宮 (048)641-1411	鳥取支店 鳥取 (0857)27-5311
長岡支店 長岡 (0258)36-2155	立川支店 立川 (0425)26-5981	岡山支店 岡山 (086)225-4455
土浦支店 土浦 (0298)23-6161	千葉支店 千葉 (043)238-8116	四国支店 高松 (0878)36-1200
水戸支店 水戸 (0292)26-1717	静岡支店 静岡 (054)255-2211	新居浜支店 新居浜 (0897)32-5001
神奈川支社 横浜 (045)324-5511	沼津支店 沼津 (0559)63-4455	松山支店 松山 (0899)45-4111
群馬支店 高崎 (0273)26-1255	浜松支店 浜松 (053)452-2711	九州支店 福岡 (092)271-7700
太田支店 太田 (0276)46-4011	北陸支店 北陸金沢 (0762)23-1621	北九州支店 北九州 (093)541-2887
宇都宮支店 宇都宮 (0286)21-2281	福井支店 福井 (0776)22-1866	

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部	〒210 川崎市幸区堀越三丁目484番地	川崎 (044)548-7914	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
汎用デバイス技術部			
半導体販売技術本部	〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル)	東京 (03)3798-9619	
東日本販売技術部			
半導体販売技術本部	〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)	名古屋 (052)222-2125	
中部販売技術部			
半導体販売技術本部	〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル)	大阪 (06) 945-3363	
西日本販売技術部			