

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル



V854™

32/16ビット・シングルチップ・マイクロコンピュータ
ハードウェア編

μPD703006

μPD703008

μPD70F3008

μPD703008Y

μPD70F3008Y

(× 毛)

保守

目次要約

第1章	イントロダクション	…	27
第2章	端子機能	…	37
第3章	CPU機能	…	61
第4章	バス制御機能	…	93
第5章	割り込み／例外処理機能	…	113
第6章	クロック発生機能	…	151
第7章	タイマ／カウンタ機能(リアルタイム・パルス・ユニット)	…	175
第8章	シリアル・インタフェース機能	…	233
第9章	A/Dコンバータ	…	327
第10章	リアルタイム出力機能	…	355
第11章	PWMユニット	…	359
第12章	ポート機能	…	371
第13章	リセット機能	…	417
第14章	フラッシュ・メモリ (μPD70F3008, 70F3008Yのみ)	…	423
第15章	製品による違い	…	433
付録A	レジスタ索引	…	435
付録B	命令セット一覧	…	441
付録C	総合索引	…	447

CMOSデバイスの一般的注意事項

①静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

V854, V850ファミリは日本電気株式会社の商標です。

Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

UNIXはX/Openカンパニーリミテッドがライセンスしている米国ならびに他の国における登録商標です。

注意：μPD703008Y, 70F3008YはI²Cバス・インタフェース回路を内蔵しています。

I²Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることになります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 ： μPD703006, 70F3008, 70F3008Y

ユーザ判定品： μPD703008, 703008Y

- 本資料の内容は、後日変更する場合があります。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

本版で改訂された主な箇所 (1/2)

箇 所	内 容
全 般	BV _{DD} , BV _{SS} を削除, V _{PP} の電圧変更, 対象デバイスにμPD703006を追加
p.54	2.3 (19) MODE0-MODE2 (Mode0-2) 説明修正
p.57, 58	2.4 各端子の入出力回路タイプと未使用端子の処理 P40/AD0-P47/AD7, P50/AD8-P57/AD15, P60/A16-P67/A23, P90/LBEN/WRL, P91/UBEN, P92/R/W/WRH, P93/DSTB/RD, P94/ASTB, P95/HLDAK, P96/HLDRQ, WAIT, MODE0-MODE2端子の推奨接続方法変更
p.65	図3-3 プログラム・ステータス・ワード(PSW) EPフラグの説明修正
p.67	3.3.2 動作モード指定 説明修正
p.158	6.5.1 (2) IDLEモード 注意文追加
p.158	6.5.1 (3) (a) PLLモード時 説明修正
p.158	6.5.1 (3) (b) ダイレクト・モード時 説明修正
p.160	6.5.2 (1) パワー・セーブ・コントロール・レジスタ(PSC) CESELビットの説明修正
p.168	6.6 (1) 内蔵タイム・ベース・カウンタで時間を確保する場合(NMI端子入力) 説明修正
p.169	6.6 (2) 信号レベル幅で時間を確保する場合(RESET端子入力) 説明修正
p.177	7.2 (1) タイマ0 (24ビット・タイマ/イベント・カウンタ) 注追加
p.180	7.2.1 (1) タイマ0, 0L(TM0, TM0L) 説明追加
p.234	8.2.1 特徴 転送速度の項目に追加
p.249	8.3.1 特徴 高速転送の項目に追加
p.271	8.4.4 (3) IICクロック選択レジスタ(IICCL)のビット4, ビット5に注追加
p.272	8.4.4 (4) IICシフト・レジスタ(IIC) 注意文追加
p.308	8.4.6 (15) (b) 通信予約時動作(マルチマスタ使用時), (c) 通信予約後のスタート動作(マルチマスタ使用時), (d) STTセット・タイミング(マルチマスタ使用時) 追加
p.332	9.3 (2) A/Dコンバータ・モード・レジスタ1 (ADM1) FR2-FR0ビットの意味の表変更
p.335	9.4.2 動作モードとトリガ・モード 動作モード, トリガ・モードの表におけるADM1レジスタの設定値変更
p.342-345, 347-353	表9-1から表9-9, 図9-6から図9-14 追加
p.354	9.8.2 外部/タイマ・トリガの間隔 説明修正
p.419	13.2 (2) パワーオン時のリセット 説明追加

本版で改訂された主な箇所（2/2）

箇 所	内 容
p.420	表13－2 各レジスタのリセット後の初期値(1/2) タイマ・レジスタ(TM0, TM1, TM0L, TM1L, TM20-TM24, TM3)のリセット後の初期値変更
p.424	14.3 プログラミング環境 CSI2削除
p.424, 425	14.4 通信方式 CSI2, SO2, SI2, $\overline{\text{SCK2}}$ 削除
p.426	14.5.2 シリアル・インタフェース端子 各シリアル・インタフェースが使用する端子の表でCSI2の使用端子の項目削除
p.430	表14－1 通信方法一覧 CSI2端子の項目削除
p.431	14.6.4 通信コマンド フラッシュ・メモリ制御用コマンドの表変更

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

(× 毛)

はじめに

対象者 このマニュアルは、V854（ μ PD703006, 703008, 70F3008, 703008Y, 70F3008Y）の機能を理解し、それをういた応用システムを設計するユーザを対象とします。

目的 このマニュアルは、次の構成に示すV854の持つハードウェア機能をユーザに理解していただくことを目的としています。

構成 V854のユーザーズ・マニュアルは、ハードウェア編（このマニュアル）とアーキテクチャ編（V850ファミリ™ ユーザーズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング・モード

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般的知識を必要とします。

レジスタ名が分かっている、レジスタの詳細を確認するとき

→付録A レジスタ索引を利用してください。

機能名などが分かっている、その詳細を確認するとき

→付録C 総合索引を利用してください。

命令機能の詳細を理解しようとするとき

→別冊のV850ファミリ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

一通りV854の機能を理解しようとするとき

→目次に従ってお読みください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{\times\times\times}$ (端子, 信号名称に上線)
	メモリ・マップのアドレス	: 上部ー上位, 下部ー下位
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数 $\cdots\times\times\times\times$ または $\times\times\times\times\text{B}$
		10進数 $\cdots\times\times\times\times$
		16進数 $\cdots\times\times\times\times\text{H}$
	2のべき数を示す接頭語 (アドレス空間, メモリ容量)	
		: K (キロ) $2^{10} = 1024$
		M (メガ) $2^{20} = 1024^2$
		G (ギガ) $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

○デバイスに関する資料

資 料 名	資料番号
V850ファミリ ユーザーズ・マニュアル アーキテクチャ編	U10243J
V850ファミリ インストラクション活用表	U10229J
μPD703008 データ・シート	作成予定
μPD703008Y データ・シート	作成予定
μPD70F3008 データ・シート	U12756J
μPD70F3008Y データ・シート	U12755J
V854 ユーザーズ・マニュアル ハードウェア編	このマニュアル

○開発ツールに関する資料（ユーザーズ・マニュアル）

資 料 名		資料番号
IE-703002-MC（インサーキット・エミュレータ）		U11595J
IE-703008-MC-EM1（インサーキット・エミュレータ・オプション・ボード）		U12420J
CA850（Cコンパイラ・パッケージ）	操作編　UNIX™ベース	U12839J
	操作編　Windows™ベース	U12827J
	C言語編	U12840J
	アセンブリ言語編	U10543J
ID850（Ver.1.31）（統合ディバッガ）	操作編　Windowsベース	U13716J
RX850（リアルタイムOS）	基礎編	U13430J
	テクニカル編	U13431J
	インストレーション編	U13410J
RX850 Pro（リアルタイムOS）	基礎編	U13773J
	テクニカル編	U13772J
	インストレーション編	U13774J
RD850（タスク・ディバッガ） ^注		U11158J
RD850（Ver.3.0）（タスク・ディバッガ）		U13737J
AZ850（システム・パフォーマンス・アナライザ）		U11181J
SM850（Ver.2.0）（システム・シミュレータ）操作編　Windowsベース		作成中

注 ID850（Ver.1.31）対応

(× 毛)

目 次

第1章 イン트로ダクション … 27

- 1.1 概 説 … 27
- 1.2 特 徴 … 28
- 1.3 応用分野 … 30
- 1.4 オーダ情報 … 30
- 1.5 端子接続図 (Top View) … 31
- 1.6 機能ブロック構成 … 33
 - 1.6.1 内部ブロック図 … 33
 - 1.6.2 内部ユニット … 34

第2章 端子機能 … 37

- 2.1 端子機能一覧 … 37
- 2.2 端子状態 … 43
- 2.3 端子機能の説明 … 44
- 2.4 各端子の入出力回路タイプと未使用端子の処理 … 57
- 2.5 端子の入出力回路 … 59

第3章 CPU機能 … 61

- 3.1 特 徴 … 61
- 3.2 CPUレジスタ・セット … 62
 - 3.2.1 プログラム・レジスタ・セット … 63
 - 3.2.2 システム・レジスタ・セット … 64
- 3.3 動作モード … 66
 - 3.3.1 動作モード … 66
 - 3.3.2 動作モード指定 … 67
- 3.4 アドレス空間 … 68
 - 3.4.1 CPUアドレス空間 … 68
 - 3.4.2 イメージ … 69
 - 3.4.3 CPUアドレス空間のラップ・アラウンド … 70
 - 3.4.4 メモリ・マップ … 71
 - 3.4.5 領 域 … 72
 - 3.4.6 外部拡張モード … 79
 - 3.4.7 アドレス空間の推奨使用方法 … 81
 - 3.4.8 周辺I/Oレジスタ … 84
 - 3.4.9 特定レジスタ … 89

第4章 バス制御機能 … 93

- 4.1 特 徴 … 93

4.2	バス制御端子と制御レジスタ	…	93
4.2.1	バス制御端子	…	93
4.2.2	制御レジスタ	…	94
4.3	バス・アクセス	…	95
4.3.1	アクセス・クロック数	…	95
4.3.2	バス幅	…	95
4.4	メモリ・ブロック機能	…	97
4.5	ウェイト機能	…	98
4.5.1	プログラマブル・ウェイト機能	…	98
4.5.2	外部ウェイト機能	…	99
4.5.3	プログラマブル・ウェイトと外部ウェイトの関係	…	99
4.6	アイドル・ステート挿入機能	…	100
4.7	バス・ホールド機能	…	101
4.7.1	機能概要	…	101
4.7.2	バス・ホールド手順	…	101
4.7.3	パワー・セーブ・モード時の動作	…	102
4.8	バス・タイミング	…	103
4.9	バスの優先順位	…	110
4.10	境界動作条件	…	110
4.10.1	プログラム空間	…	110
4.10.2	データ空間	…	110
4.11	内蔵周辺I/Oインタフェース	…	111
第5章	割り込み／例外処理機能	…	113
5.1	特 徴	…	113
5.2	ノンマスカブル割り込み	…	116
5.2.1	動 作	…	117
5.2.2	復 帰	…	119
5.2.3	ノンマスカブル割り込みステータス・フラグ (NP)	…	120
5.2.4	NMI端子のノイズ除去	…	120
5.2.5	NMI端子のエッジ検出機能	…	120
5.3	マスカブル割り込み	…	121
5.3.1	動 作	…	123
5.3.2	復 帰	…	125
5.3.3	マスカブル割り込みの優先順位	…	126
5.3.4	割り込み制御レジスタ (××ICn)	…	130
5.3.5	インサービス・プライオリティ・レジスタ (ISPR)	…	132
5.3.6	マスカブル割り込みステータス・フラグ (ID)	…	132
5.3.7	ノイズ除去	…	133
5.3.8	エッジ検出機能	…	134
5.3.9	分 周 器	…	139
5.4	ソフトウェア例外	…	142
5.4.1	動 作	…	142
5.4.2	復 帰	…	143
5.4.3	例外ステータス・フラグ (EP)	…	144

- 5.5 例外トラップ … 144
 - 5.5.1 不正命令コード … 144
 - 5.5.2 動作 … 145
 - 5.5.3 復帰 … 146
- 5.6 多重割り込み … 147
- 5.7 割り込み応答時間 … 149
- 5.8 割り込みが受け付けられない期間 … 150

第6章 クロック発生機能 … 151

- 6.1 特徴 … 151
- 6.2 構成 … 152
- 6.3 入力クロック選択 … 153
 - 6.3.1 ダイレクト・モード … 153
 - 6.3.2 PLLモード … 153
 - 6.3.3 クロック・コントロール・レジスタ（CKC） … 154
- 6.4 PLLロックアップ … 157
- 6.5 パワー・セーブ制御 … 158
 - 6.5.1 概要 … 158
 - 6.5.2 制御レジスタ … 160
 - 6.5.3 HALTモード … 162
 - 6.5.4 IDLEモード … 164
 - 6.5.5 ソフトウェアSTOPモード … 166
- 6.6 発振安定時間の確保 … 168
- 6.7 クロック出力制御 … 170
 - 6.7.1 構成 … 170
 - 6.7.2 CLKOUT信号出力制御 … 170
 - 6.7.3 CLO信号出力制御 … 171

第7章 タイマ／カウンタ機能（リアルタイム・パルス・ユニット） … 175

- 7.1 特徴 … 175
- 7.2 基本構成 … 176
 - 7.2.1 タイマ0 … 180
 - 7.2.2 タイマ1 … 181
 - 7.2.3 タイマ2 … 183
 - 7.2.4 タイマ3 … 184
- 7.3 制御レジスタ … 185
- 7.4 タイマ0動作 … 197
 - 7.4.1 カウント動作 … 197
 - 7.4.2 カウント・クロック選択 … 198
 - 7.4.3 オーバフロー … 199
 - 7.4.4 タイマのクリア／スタート … 200
 - 7.4.5 キャプチャ動作 … 203
 - 7.4.6 コンペア動作 … 206
- 7.5 タイマ1動作 … 208
 - 7.5.1 カウント動作 … 208
 - 7.5.2 カウント・クロック選択 … 209

7.5.3	オーバフロー	...	210
7.5.4	タイマのクリア／スタート	...	211
7.5.5	キャプチャ動作	...	212
7.5.6	コンペア動作	...	214
7.6	タイマ2動作	...	215
7.6.1	カウント動作	...	215
7.6.2	カウント・クロック選択	...	215
7.6.3	オーバフロー	...	216
7.6.4	タイマのクリア／スタート	...	216
7.6.5	コンペア動作	...	217
7.6.6	トグル出力	...	219
7.7	タイマ3動作	...	220
7.7.1	カウント動作	...	220
7.7.2	カウント・クロック選択	...	220
7.7.3	オーバフロー	...	220
7.7.4	タイマのクリア／スタート	...	221
7.7.5	キャプチャ動作	...	221
7.7.6	コンペア動作	...	222
7.8	応用例	...	223
7.9	注意事項	...	231

第8章 シリアル・インタフェース機能 ... 233

8.1	特 徴	...	233
8.2	アシンクロナス・シリアル・インタフェース (UART)	...	234
8.2.1	特 徴	...	234
8.2.2	アシンクロナス・シリアル・インタフェースの構成	...	235
8.2.3	制御レジスタ	...	237
8.2.4	割り込み要求	...	244
8.2.5	動 作	...	245
8.3	クロック同期式シリアル・インタフェース 0-3 (CSI0-CSI3)	...	249
8.3.1	特 徴	...	249
8.3.2	構 成	...	249
8.3.3	制御レジスタ	...	251
8.3.4	基本動作	...	254
8.3.5	CSI0-CSI3での送信	...	256
8.3.6	CSI0-CSI3での受信	...	257
8.3.7	CSI0-CSI3での送受信	...	258
8.3.8	システム構成例	...	260
8.4	I²Cバス (μPD703008Y, 70F3008Yのみ)	...	261
8.4.1	特 徴	...	261
8.4.2	機 能	...	261
8.4.3	構 成	...	264
8.4.4	シリアル・インタフェース制御レジスタ	...	266
8.4.5	I ² Cバスの機能	...	273
8.4.6	I ² Cバスの定義および制御方法	...	274
8.4.7	通信動作	...	309
8.4.8	タイミング・チャート	...	311

- 8.5 ボー・レート・ジェネレータ0-3 (BRG0-BRG3) ... 318
 - 8.5.1 構成と機能 ... 318
 - 8.5.2 ボー・レート・ジェネレータ・コンペア・レジスタ0-3 (BRGC0-BRGC3) ... 324
 - 8.5.3 ボー・レート・ジェネレータ・プリスケアラ・モード・レジスタ0-3 (BPRM0-BPRM3) ... 325
- 8.6 動作シリアル・インタフェースの選択 ... 326

第9章 A/Dコンバータ ... 327

- 9.1 特 徴 ... 327
- 9.2 構 成 ... 327
- 9.3 制御レジスタ ... 330
- 9.4 A/Dコンバータ動作 ... 335
 - 9.4.1 A/Dコンバータ基本動作 ... 335
 - 9.4.2 動作モードとトリガ・モード ... 335
- 9.5 A/Dトリガ・モード時の動作 ... 342
 - 9.5.1 セレクト・モードの動作 ... 342
 - 9.5.2 スキャン・モードの動作 ... 345
- 9.6 タイマ・トリガ・モード時の動作 ... 346
 - 9.6.1 セレクト・モードの動作 ... 346
 - 9.6.2 スキャン・モードの動作 ... 349
- 9.7 外部トリガ・モード時の動作 ... 350
 - 9.7.1 セレクト・モードの動作 (外部トリガ・セレクト) ... 350
 - 9.7.2 スキャン・モードの動作 (外部トリガ・スキャン) ... 353
- 9.8 動作上の注意事項 ... 354
 - 9.8.1 変換動作の停止 ... 354
 - 9.8.2 外部／タイマ・トリガの間隔 ... 354
 - 9.8.3 スタンバイ・モード時の動作 ... 354
 - 9.8.4 タイマ・トリガ・モード時のコンペア一致割り込み ... 354

第10章 リアルタイム出力機能 ... 355

- 10.1 構成と機能 ... 355
- 10.2 制御レジスタ ... 356
- 10.3 動 作 ... 356
- 10.4 使 用 例 ... 357

第11章 PWMユニット ... 359

- 11.1 特 徴 ... 359
- 11.2 構 成 ... 359
- 11.3 制御レジスタ ... 361
- 11.4 PWMの動作 ... 364
 - 11.4.1 PWM基本動作 ... 364
 - 11.4.2 PWM動作の許可／禁止 ... 367
 - 11.4.3 PWMパルスのアクティブ・レベルの指定 ... 368
 - 11.4.4 PWMパルス幅書き換え周期の指定 ... 369
 - 11.4.5 繰り返し周波数 ... 370

第12章 ポート機能 … 371

- 12.1 特 徴 … 371
- 12.2 ポートの基本構成 … 372
- 12.3 各ポートの端子機能 … 384
 - 12.3.1 ポート0 … 384
 - 12.3.2 ポート1 … 387
 - 12.3.3 ポート2 … 390
 - 12.3.4 ポート3 … 393
 - 12.3.5 ポート4 … 396
 - 12.3.6 ポート5 … 398
 - 12.3.7 ポート6 … 400
 - 12.3.8 ポート7, ポート8 … 402
 - 12.3.9 ポート9 … 403
 - 12.3.10 ポート10 … 405
 - 12.3.11 ポート11 … 407
 - 12.3.12 ポート12 … 410
 - 12.3.13 ポート13 … 413
 - 12.3.14 ポート14 … 415

第13章 リセット機能 … 417

- 13.1 特 徴 … 417
- 13.2 端子機能 … 417
- 13.3 イニシャライズ … 419

第14章 フラッシュ・メモリ（ μ PD70F3008, 70F3008Yのみ） … 423

- 14.1 特 徴 … 423
- 14.2 フラッシュ・ライターによる書き込み方法 … 423
- 14.3 プログラミング環境 … 424
- 14.4 通信方式 … 424
- 14.5 端子処理 … 426
 - 14.5.1 V_{PP}端子 … 426
 - 14.5.2 シリアル・インタフェース端子 … 426
 - 14.5.3 リセット端子 … 428
 - 14.5.4 NMI端子 … 428
 - 14.5.5 モード端子 … 428
 - 14.5.6 ポート端子 … 428
 - 14.5.7 その他の信号端子 … 428
 - 14.5.8 電 源 … 429
- 14.6 プログラミング方法 … 429
 - 14.6.1 フラッシュ・メモリ制御 … 429
 - 14.6.2 フラッシュ・メモリ・プログラミング・モード … 429
 - 14.6.3 通信方式の選択 … 430
 - 14.6.4 通信コマンド … 430
 - 14.6.5 使用する資源 … 431

第15章 製品による違い … 433**15.1 PC機能搭載品／非搭載品の違い … 433****15.2 フラッシュ・メモリ内蔵品とマスクROM内蔵品，ROMレス品の違い … 434****付録A レジスタ索引 … 435****付録B 命令セット一覧 … 441****付録C 総合索引 … 447****C.1 50音で始まる語句の索引 … 447****C.2 アルファベットで始まる語句の索引 … 451**

図の目次 (1/4)

図番号	タイトル, ページ
3-1	プログラム・カウンタ (PC) ... 63
3-2	割り込み要因レジスタ (ECR) ... 64
3-3	プログラム・ステータス・ワード (PSW) ... 65
3-4	CPUアドレス空間 ... 68
3-5	アドレス空間上のイメージ ... 69
3-6	外部メモリ領域 (64 K, 256 K, 1 Mバイト拡張時) ... 76
3-7	外部メモリ領域 (4 Mバイト拡張時) ... 77
3-8	外部メモリ領域 (フル拡張時) ... 78
3-9	推奨メモリ・マップ ... 83
4-1	ウェイト挿入例 ... 99
5-1	ノンマスカブル割り込みの処理形態 ... 117
5-2	ノンマスカブル割り込み要求の受け付け動作 ... 118
5-3	RETI命令の処理形態 ... 119
5-4	マスカブル割り込みブロック図 ... 122
5-5	マスカブル割り込みの処理形態 ... 124
5-6	RETI命令の処理形態 ... 125
5-7	割り込み処理中にほかの割り込み要求が発生した場合の処理例 ... 127
5-8	同時発生した割り込み要求の処理例 ... 129
5-9	ノイズ除去タイミング例 ... 134
5-10	ソフトウェア例外の処理形態 ... 142
5-11	RETI命令の処理形態 ... 143
5-12	例外トラップの処理形態 ... 145
5-13	RETI命令の処理形態 ... 146
5-14	割り込み要求受け付け時のパイプライン動作 (概略) ... 149
6-1	ブロック構成図 ... 170
6-2	CLO信号出力タイミング ... 172
7-1	タイマ0の基本動作 ... 197
7-2	オーバフロー後の動作 (ECLR0 = 0, OST0 = 1の場合) ... 199
7-3	TCLR0信号入力によるタイマのクリア／スタート動作 (ECLR0 = 1, CCLR0 = 0, OST0 = 0の場合) ... 200

図の目次 (2/4)

図番号	タイトル, ページ
7-4	TCLR0信号入力によるクリア／スタートとオーバフロー動作の関係 (ECLR0 = 1, OST0 = 1の場合) … 201
7-5	CC03一致によるタイマのクリア／スタート動作 (CCLR0=1, OST0=0の場合) … 202
7-6	CC03一致によるタイマのクリア／スタートとオーバフロー動作の関係 (CCLR0 = 1, OST0 = 1の場合) … 202
7-7	TM0キャプチャ動作例 … 204
7-8	TM0キャプチャ動作例 (両エッジ指定時) … 205
7-9	コンペア動作例 … 206
7-10	TM0コンペア動作例 (セット／リセット出力モード) … 207
7-11	タイマ1の基本動作 … 208
7-12	オーバフロー後の動作 (OST1 = 1の場合) … 210
7-13	ソフトウェアによるタイマのクリア／スタート動作 (OST1 = 1の場合) … 211
7-14	TM1キャプチャ動作例 … 213
7-15	コンペア動作例 … 214
7-16	タイマ2の基本動作 … 215
7-17	CM2nが1-FFFFHまでの動作 … 217
7-18	CM2nに0をセットした場合 … 218
7-19	トグル出力の動作例 … 219
7-20	タイマ3の基本動作 … 220
7-21	TM3キャプチャ動作例 (ES301 = 0, ES300 = 0, CMS3 = 0, CE3 = 1の場合) … 222
7-22	インターバル・タイマ動作のタイミング例 (タイマ2) … 223
7-23	インターバル・タイマ動作の設定手順 (タイマ2) … 223
7-24	パルス幅測定のタイミング (タイマ0) … 224
7-25	パルス幅測定の設定手順 (タイマ0) … 225
7-26	パルス幅を算出する割り込み要求処理ルーチン (タイマ0) … 225
7-27	PWM出力のタイミング例 … 226
7-28	PWM出力の設定手順例 … 227
7-29	コンペア値を書き換える割り込み要求処理ルーチン例 … 228
7-30	周期測定のタイミング例 … 229
7-31	周期測定の設定手順例 … 230
7-32	周期を算出する割り込み要求処理ルーチン例 … 230
8-1	アシンクロナス・シリアル・インタフェースのブロック図 … 236
8-2	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット … 245

図の目次 (3/4)

図番号	タイトル, ページ
8-3	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング … 246
8-4	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング … 248
8-5	受信エラー・タイミング … 248
8-6	クロック同期式シリアル・インタフェースのブロック図 … 250
8-7	3線式シリアルI/Oモードのタイミング (送信) … 256
8-8	3線式シリアルI/Oモードのタイミング (受信) … 257
8-9	3線式シリアルI/Oモードのタイミング (送受信) … 259
8-10	CSIのシステム構成例 … 260
8-11	I ² Cバスによるシリアル・バス構成例 … 262
8-12	I ² Cバスのブロック図 … 263
8-13	端子構成図 … 273
8-14	I ² Cバスのシリアル・データ転送タイミング … 274
8-15	スタート・コンディション … 274
8-16	アドレス … 275
8-17	転送方向指定 … 276
8-18	アクノリッジ信号 … 277
8-19	ストップ・コンディション … 277
8-20	ウェイト信号 … 278
8-21	アービトレーション・タイミング例 … 303
8-22	通信予約のタイミング … 305
8-23	通信予約の手順 … 307
8-24	STTセット・タイミングの手順 … 308
8-25	マスタ動作手順 … 309
8-26	スレーブ動作手順 … 310
8-27	マスタ→スレーブ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) … 312
8-28	スレーブ→マスタ通信例 (マスタ, スレーブとも9クロック・ウェイト選択時) … 315
8-29	ボー・レート・ジェネレータのブロック図 … 319
9-1	A/Dコンバータのブロック図 … 329
9-2	アナログ入力電圧とA/D変換結果の関係 … 334
9-3	セレクト・モードの動作タイミング例: 1バッファ・モード (ANI1) … 337
9-4	セレクト・モードの動作タイミング例: 4バッファ・モード (ANI6) … 338
9-5	スキャン・モードの動作タイミング例: 4チャンネル・スキャン (ANI0-ANI3) … 340
9-6	1バッファ・モード (A/Dトリガ・セレクト・1バッファ) の動作例 … 343

図の目次 (4/4)

図番号	タイトル, ページ
9-7	4バッファ・モード (A/Dトリガ・セレクト・4バッファ) の動作例 … 344
9-8	スキャン・モード (A/Dトリガ・スキャン) の動作例 … 345
9-9	1バッファ・モード (タイマ・トリガ・セレクト・1バッファ) の動作例 … 347
9-10	4バッファ・モード (タイマ・トリガ・セレクト・4バッファ) の動作例 … 348
9-11	スキャン・モード (タイマ・トリガ・スキャン) の動作例 … 349
9-12	1バッファ・モード (外部トリガ・セレクト・1バッファ) の動作例 … 351
9-13	4バッファ・モード (外部トリガ・セレクト・4バッファ) の動作例 … 352
9-14	スキャン・モード (外部トリガ・スキャン) の動作例 … 353
10-1	リアルタイム出力ポートのブロック図 … 355
10-2	リアルタイム出力ポートの動作タイミング … 357
11-1	PWMユニットの構成 … 360
11-2	PWMの基本動作 … 364
11-3	主パルスと付加パルスによるPWM出力例 … 365
11-4	PWM出力動作例 … 366
11-5	PWM動作タイミング … 367
11-6	PWM出力のアクティブ・レベル設定 … 368
11-7	PWM出力タイミング例1 (PWMパルス幅書き換え周期 $2^{(x+8)}/f_{\text{PWMC}}$) … 369
11-8	PWM出力タイミング例2 (PWMパルス幅書き換え周期 $2^x/f_{\text{PWMC}}$) … 370
12-1	タイプAのブロック図 … 376
12-2	タイプBのブロック図 … 377
12-3	タイプCのブロック図 … 378
12-4	タイプDのブロック図 … 379
12-5	タイプEのブロック図 … 380
12-6	タイプFのブロック図 … 380
12-7	タイプGのブロック図 … 381
12-8	タイプHのブロック図 … 381
12-9	タイプIのブロック図 … 382
12-10	タイプJのブロック図 … 382
12-11	タイプKのブロック図 … 383

表の目次 (1/2)

表番号	タイトル, ページ
3-1	プログラム・レジスタ一覧 … 63
3-2	システム・レジスタ番号 … 64
3-3	割り込み／例外テーブル … 73
4-1	バス優先順位 … 110
5-1	割り込み一覧 … 114
6-1	パワー・セーブ制御によるクロック・ジェネレータの動作 … 159
6-2	HALTモード時の動作状態 … 162
6-3	IDLEモード時の動作状態 … 164
6-4	ソフトウェアSTOPモード時の動作状態 … 166
6-5	カウント時間例 … 169
7-1	リアルタイム・パルス・ユニット (RPU) の構成一覧 … 176
7-2	24ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 … 203
7-3	24ビット・コンペア・レジスタからの割り込み要求信号 … 206
7-4	24ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 … 212
7-5	24ビット・コンペア・レジスタからの割り込み要求信号 … 214
7-6	16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号 … 222
8-1	発生する割り込みとデフォルト優先順位 … 244
8-2	I ² Cバスの構成 … 264
8-3	INTIIC発生タイミングおよびウェイト制御 … 300
8-4	拡張コードのビットの定義 … 302
8-5	ウェイト時間 … 305
8-6	ポー・レート・ジェネレータ0-3設定データ (代表的クロック使用時) … 321
9-1	アナログ入力端子とADCRnレジスタの対応 (1バッファ・モード (A/Dトリガ・セレクト・1バッファ)) … 342
9-2	アナログ入力端子とADCRnレジスタの対応 (4バッファ・モード (A/Dトリガ・セレクト・4バッファ)) … 344
9-3	アナログ入力端子とADCRnレジスタの対応 (スキャン・モード (A/Dトリガ・スキャン)) … 345
9-4	アナログ入力端子とADCRnレジスタの対応 (1バッファ・モード (タイマ・トリガ・セレクト・1バッファ)) … 347

表の目次 (2/2)

表番号	タイトル, ページ
9-5	アナログ入力端子とADCRnレジスタの対応（4バッファ・モード（タイマ・トリガ・セレクト・4バッファ）） … 348
9-6	アナログ入力端子とADCRnレジスタの対応（スキャン・モード（タイマ・トリガ・スキャン）） … 349
9-7	アナログ入力端子とADCRnレジスタの対応（1バッファ・モード（外部トリガ・セレクト・1バッファ）） … 350
9-8	アナログ入力端子とADCRnレジスタの対応（4バッファ・モード（外部トリガ・セレクト・4バッファ）） … 352
9-9	アナログ入力端子とADCRnレジスタの対応（スキャン・モード（外部トリガ・スキャン）） … 353
13-1	リセット期間中の各入出力, 出力端子の状態 … 418
13-2	各レジスタのリセット後の初期値 … 420
14-1	通信方式一覧 … 430

(× 毛)

保守

第1章 イン트로ダクション

V854は、NECのリアルタイム制御向けシングルチップ・マイクロコンピュータV850ファミリの1製品です。
この章では、このV854の概要を簡単に述べます。

1.1 概 説

V854は、リアルタイム制御向け高性能32ビット・シングルチップ・マイクロコンピュータV850ファミリのCPUコアを使用し、ROM/RAM、および、リアルタイム・パルス・ユニット、シリアル・インタフェース、A/Dコンバータ、PWMなどの周辺機能を内蔵した32/16ビット・シングルチップ・マイクロコンピュータです。

V854は、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、ディジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、リアルタイム制御システムとして、ディジタル・スチル・カメラ、カメラ一体型VTRなどのAV分野、携帯電話、携帯情報端末などの通信分野などへの応用が、きわめて高いコスト・パフォーマンスで実現できます。特に、VTRソフトウェア・サーボ制御も可能なリアルタイム・パルス・ユニットを内蔵しているため、1チップでカメラ一体型VTRのシステム／サーボ／カメラ制御を実現できます。

1.2 特 徴

- 命令数 74
- 最小命令実行時間 30 ns（内部33 MHz動作時）
- 汎用レジスタ 32ビット×32本
- 命令セット
 - 符号付き乗算（16ビット×16ビット→32ビット）：1-2クロック
 - 飽和演算命令（オーバフロー／アンダフロー検出機能付き）
 - 32ビット・シフト命令：1クロック
 - ビット操作命令
 - ロング／ショート形式を持つロード／ストア命令
- メモリ空間
 - 16 Mバイト・リニア・アドレス空間（プログラム／データ共用）
 - メモリ・ブロック分割機能：2 Mバイト／ブロック
 - プログラマブル・ウエイト機能
 - アイドル・ステート挿入機能
- 外部バス・インタフェース
 - 16ビット・データ・バス（アドレス／データ・マルチプレクス）
 - バス・ホールド機能
 - 外部ウエイト機能

★ ○内蔵メモリ

品 名	内蔵ROM	内蔵RAM
μPD703006	なし	4 Kバイト
μPD703008, 703008Y	128 K（マスクROM）	4 Kバイト
μPD70F3008, 70F3008Y	128 K（フラッシュ・メモリ）	4 Kバイト

- 割り込み／例外
 - 外部割り込み 22本（NMI含む）
 - 内部割り込み 31要因
 - 例外 1要因
 - 8レベルの優先順位指定可能
- I/Oライン
 - 入力ポート : 16
 - 入出力ポート : 96

○リアルタイム・パルス・ユニット

24ビット・タイマ／イベント・カウンタ：2 ch

16ビット・インターバル・タイマ：6 ch

○シリアル・インタフェース

アシンクロナス・シリアル・インタフェース (UART)

クロック同期式シリアル・インタフェース (CSI)

I²Cバス・インタフェース (I²C) (μPD703008Y, 70F3008Yのみ)

UART/CSI：1 ch

CSI：2 ch

CSI/I²C：1 ch

専用ボー・レート・ジェネレータ：4 ch

○PWM (Pulse Width Modulation)

12-16ビット分解能PWM：4 ch

○A/Dコンバータ 8ビット分解能A/Dコンバータ：16 ch

○クロック・ジェネレータ

PLLクロック・シンセサイザによる逡倍機能 (1逡倍または5逡倍)

外部クロック入力による2分周機能

○パワー・セーブ機能

HALT/IDLE/ソフトウェアSTOPモード

クロック出力停止機能

○パッケージ 144ピン・プラスチックLQFP：端子ピッチ 0.5 mm

○CMOS構造 完全スタティック回路

1.3 応用分野

- ・カメラ一体型VTRのシステム／サーボ／カメラ制御など
- ・デジタル・スチル・カメラなどの携帯カメラなど
- ・携帯電話，携帯情報端末など

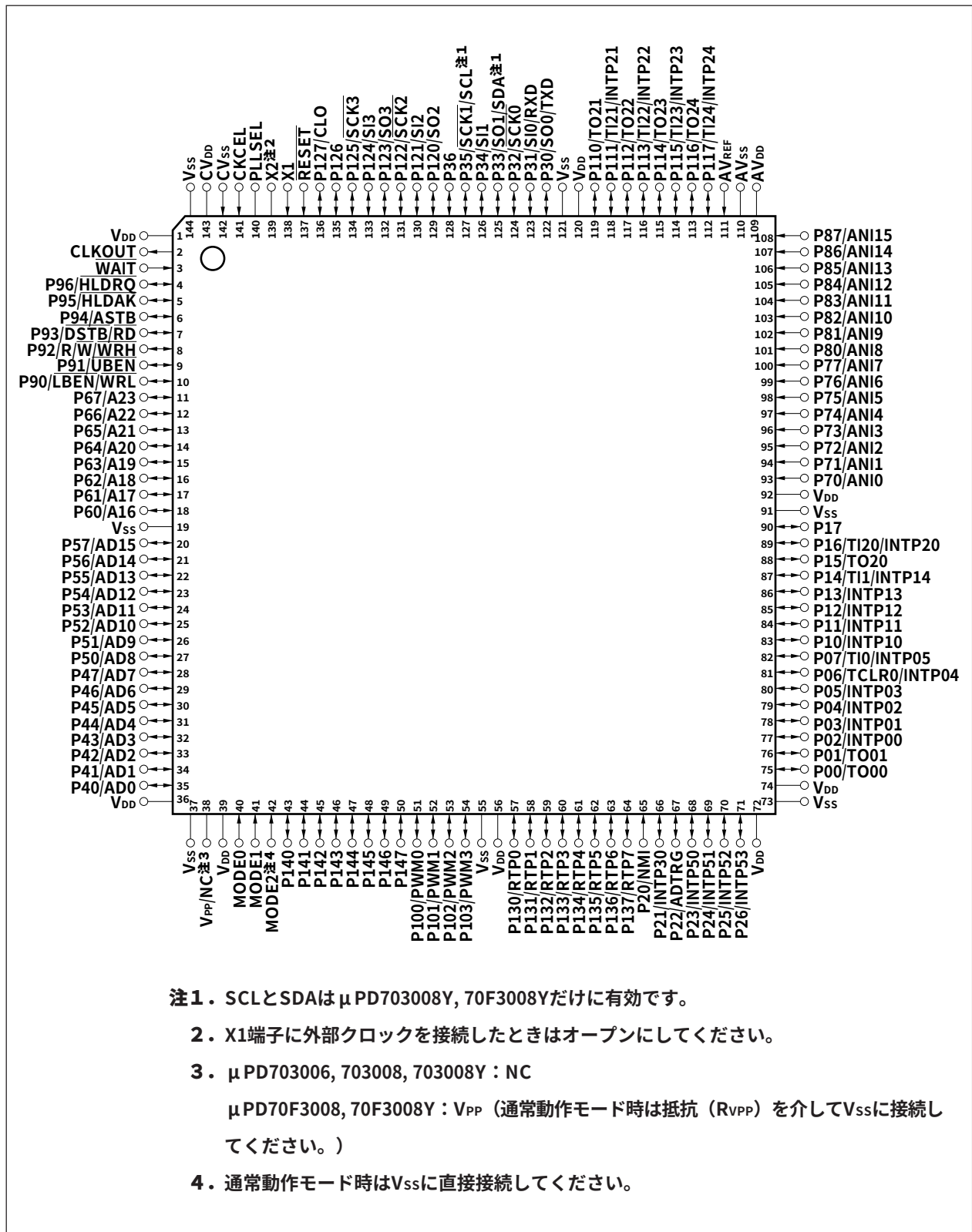
★ 1.4 オーダ情報

品 名	パッケージ	内蔵ROM
μ PD703006GJ-33-8EU	144ピン・プラスチックLQFP（ファインピッチ）（□20 mm）	なし
μ PD703008GJ-25-xxx-8EU	〃	マスクROM
μ PD703008YGJ-25-xxx-8EU	〃	〃
μ PD703008YGJ-33-xxx-8EU	〃	〃
μ PD70F3008GJ-16-8EU ^注	〃	フラッシュ・メモリ
μ PD70F3008YGJ-16-8EU ^注	〃	〃

注 開発中

備考 xxxはROMコード番号です。

★ 1.5 端子接続図 (Top View)

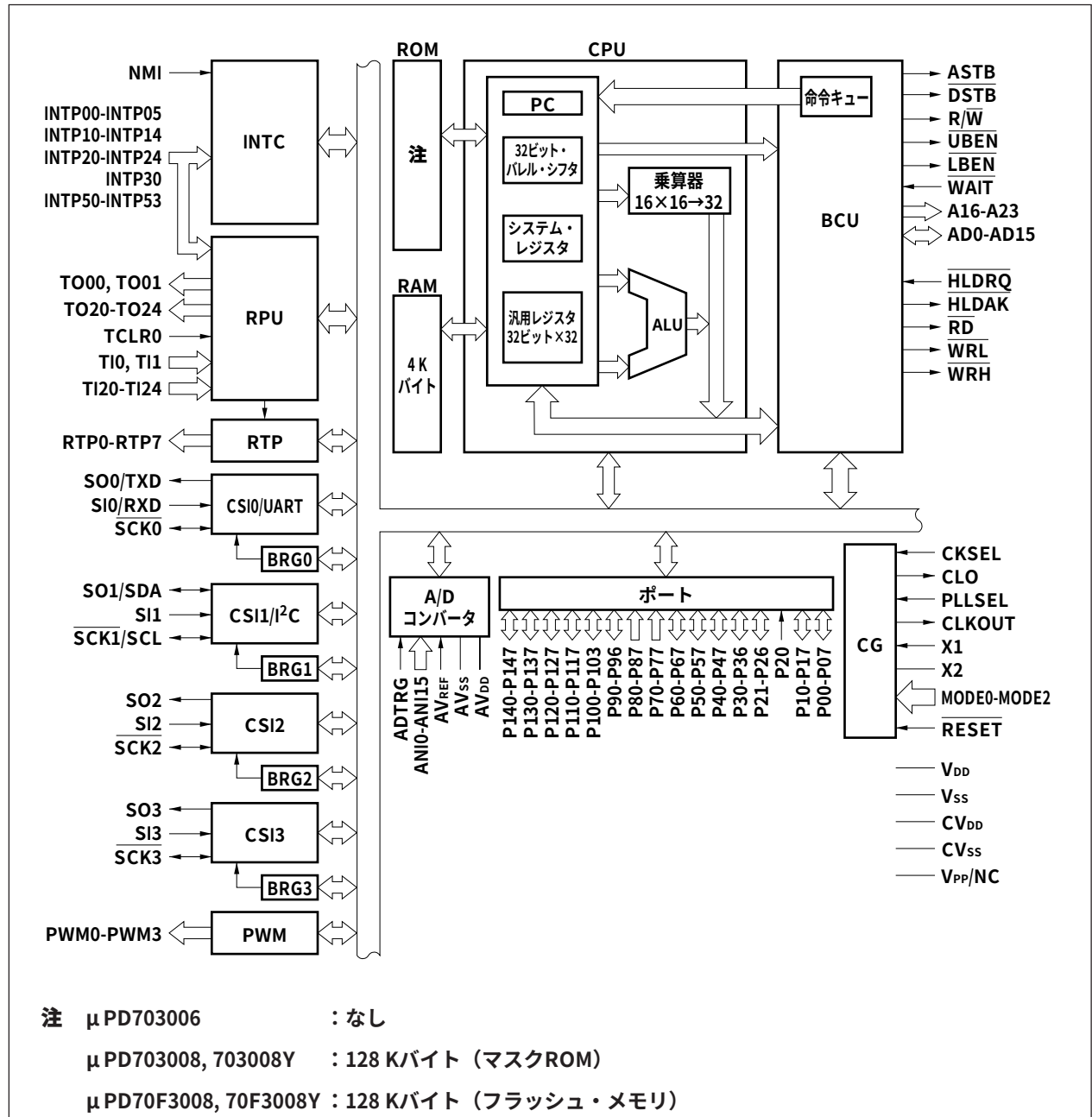


端子名称

A16-A23	: Address Bus	P70-P77	: Port7
AD0-AD15	: Address/Data Bus	P80-P87	: Port8
ADTRG	: AD Trigger Input	P90-P96	: Port9
ANI0-ANI15	: Analog Input	P100-P103	: Port10
ASTB	: Address Strobe	P110-P117	: Port11
AV _{DD}	: Analog V _{DD}	P120-P127	: Port12
AV _{REF}	: Analog Reference Voltage	P130-P137	: Port13
AV _{SS}	: Analog V _{SS}	P140-P147	: Port14
CV _{DD}	: Power Supply for Clock Generator	PLLSEL	: PLL Select
CV _{SS}	: Ground for Clock Generator	PWM0-PWM3	: Pulse Width Modulation
CKSEL	: Clock Select	$\overline{RD}$	: Read
CLKOUT	: Clock Output	$\overline{RESET}$	: Reset
CLO	: Clock Output (Divided)	RTP0-RTP7	: Real-time Port
$\overline{DSTB}$	: Data Strobe	R $\overline{W}$	: Read/Write Status
$\overline{HLD\overline{AK}}$	: Hold Acknowledge	RXD	: Receive Data
$\overline{HLDRQ}$	: Hold Request	$\overline{SCK0-SCK3}$	: Serial Clock
INTP00-INTP05,	: Interrupt Request From	SCL	: Serial Clock
INTP10-INTP14,	Peripherals	SDA	: Serial Data
INTP20-INTP24,		SI0-SI3	: Serial Input
INTP30,		SO0-SO3	: Serial Output
INTP50-INTP53		TO00, TO01,	: Timer Output
$\overline{LBEN}$	: Lower Byte Enable	TO20-TO24	
MODE0-MODE2	: Mode	TCLR0	: Timer Clear
NC	: No Connection	TI0, TI1	: Timer Input
NMI	: Non-maskable Interrupt Request	TI20-TI24	
P00-P07	: Port0	TXD	: Transmit Data
P10-P17	: Port1	$\overline{UBEN}$	: Upper Byte Enable
P20-P26	: Port2	$\overline{WAIT}$	: Wait
P30-P36	: Port3	$\overline{WRH}$	: Write Strobe High Level Data
P40-P47	: Port4	$\overline{WRL}$	: Write Strobe Low Level Data
P50-P57	: Port5	X1, X2	: Crystal
P60-P67	: Port6	V _{DD}	: Power Supply
		V _{PP}	: Programming Power Supply
		V _{SS}	: Ground

1.6 機能ブロック構成

★ 1.6.1 内部ブロック図



1.6.2 内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行します。

乗算器（16ビット×16ビット→32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

★ (2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは内部の命令キューに取り込まれます。

★ (3) 内蔵ROM

μPD703008, 703008YではマスクROM（128 Kバイト），μPD70F3008, 70F3008Yではフラッシュ・メモリ（128 Kバイト）を内蔵し，00000000H番地からマッピングされます。μPD703006では内蔵していません。MODE0-MODE2端子によりアクセス禁止／許可の指定，フラッシュ・メモリ内蔵品ではプログラミング・モードの指定が可能です。

この内蔵ROMは，命令フェッチ時にCPUから1クロックでアクセスされます。

(4) 内蔵RAM

FFFFE000H番地からマッピングされる4 KバイトのRAMです。このRAMは，データ・アクセス時にCPUから1クロックでアクセスすることができます。

(5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェアおよび，外部からのハードウェア割り込み要求（NMI, INTP00-INTP05, INTP10-INTP14, INTP20-INTP24, INTP30, INTP50-INTP53）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定することができ，割り込み要因に対し多重処理制御を行うことができます。

(6) クロック・ジェネレータ (CG)

内蔵PLLにより，X1, X2端子に接続された発振子の5倍か1倍（内蔵PLL使用時），または1/2倍（内蔵PLL未使用時）の周波数をCPUの動作クロックとして供給します。また，発振子を接続する代わりに外部クロックを入力することもできます。

(7) リアルタイム・パルス・ユニット (RPU)

24ビットのタイマ／イベント・カウンタを2チャンネルと、16ビットのインターバル・タイマを6チャンネル内蔵し、パルス間隔や周波数の計測、プログラマブルなパルスの出力が可能になっています。

(8) シリアル・インタフェース (SIO)

V854には、シリアル・インタフェースとして、アシンクロナス・シリアル・インタフェース (UART) とクロック同期式シリアル・インタフェース (CSI) 、I²Cバス・インタフェースをあわせて4チャンネル備えています。このうち1チャンネルはUARTとCSIの切り替えが可能、もう1チャンネルはCSIとI²Cの切り替えが可能 (μPD703008Y, 70F3008Yのみ) で、2チャンネルはCSI固定です。

UARTは、TXD, RXD端子によりデータ転送を行います。

CSIは、SO, SI, $\overline{\text{SCK}}$ 端子によりデータ転送を行います。

I²Cは、SDA, SCL端子によりデータ転送を行います。

シリアル・クロック・ソースはボー・レート・ジェネレータ出力とシステム・クロックから選択できます。

(9) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	ポート機能	制御機能
ポート0	8ビット入出力	汎用ポート	タイマ入出力，外部割り込み
ポート1			
ポート2	1ビット入力， 6ビット入出力		NMI，A/Dコンバータ・トリガ，外部割り込み
ポート3	7ビット入出力		シリアル・インタフェース
ポート4	8ビット入出力		外部アドレス／データ・バス
ポート5			
ポート6			外部アドレス・バス
ポート7	8ビット入力		A/Dコンバータ・アナログ入力
ポート8			
ポート9	7ビット入出力		外部バス・インタフェース制御信号入出力
ポート10	4ビット入出力		PWM出力
ポート11	8ビット入出力		タイマ入出力，外部割り込み
ポート12			シリアル・インタフェース
ポート13			リアルタイム出力ポート
ポート14			—

(10) PWM (Pulse Width Modulation)

12-16ビット分解能を選択可能なPWM信号出力を4チャンネル持っています。PWM出力は、外部にロウ・パス・フィルタを接続すると、D/Aコンバータ出力として使用できます。モータなどのアクチュエータ制御に最適です。

(11) A/Dコンバータ

16本のアナログ入力端子を持つ高速、高分解能の8ビットA/Dコンバータです。逐次変換方式で変換します。

(12) RTP

あらかじめ設定しておいた8ビット・データを、タイマのコンペア・レジスタの一致信号で出力ラッチに転送する、リアルタイム出力機能です。タイマで規定する正確なタイミングで、データをポートへ出力できます。

第 2 章 端子機能

V854の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子と、それ以外の端子に分けることができます。

2.1 端子機能一覧

(1) ポート端子

(1/3)

端子名称	入出力	機 能	兼用端子
P00	入出力	ポート 0 8 ビット入出力ポート 1 ビット単位で入／出力の指定が可能	TO00
P01			TO01
P02			INTP00
P03			INTP01
P04			INTP02
P05			INTP03
P06			TCLR0/INTP04
P07			TI0/INTP05
P10	入出力	ポート 1 8 ビット入出力ポート 1 ビット単位で入／出力の指定が可能	INTP10
P11			INTP11
P12			INTP12
P13			INTP13
P14			TI1/INTP14
P15			TO20
P16			TI20/INTP20
P17			—
P20	入力	ポート 2	NMI
P21	入出力	P20は入力専用ポート 有効エッジが入力されるとNMI入力として動作します。 また、P2レジスタのビット 0 でNMI入力の状態を示します。 P21-P26は 6 ビット入出力ポート 1 ビット単位で入／出力の指定が可能	INTP30
P22			ADTRG
P23			INTP50
P24			INTP51
P25			INTP52
P26			INTP53

(2/3)

端子名称	入出力	機 能	兼用端子
P30	入出力	ポート3 7ビット入出力ポート 1ビット単位で入／出力の指定が可能	SO0/TXD
P31			SI0/RXD
P32			SCK0
P33			SO1/SDA
P34			SI1
P35			SCK1/SCL
P36			—
P40-P47	入出力	ポート4 8ビット入出力ポート 1ビット単位で入／出力の指定が可能	AD0-AD7
P50-P57	入出力	ポート5 8ビット入出力ポート 1ビット単位で入／出力の指定が可能	AD8-AD15
P60-P67	入出力	ポート6 8ビット入出力ポート 1ビット単位で入／出力の指定が可能	A16-A23
P70-P77	入力	ポート7 8ビット入力専用ポート	ANI0-ANI7
P80-P87	入力	ポート8 8ビット入力専用ポート	ANI8-ANI15
P90	入出力	ポート9 7ビット入出力ポート 1ビット単位で入／出力の指定が可能	LBEN/WRL
P91			UBEN
P92			R/W/WRH
P93			DSTB/RD
P94			ASTB
P95			HLDK
P96			HLDRQ
P100-P103	入出力	ポート10 4ビット入出力ポート 1ビット単位で入／出力の指定が可能	PWM0-PWM3
P110	入出力	ポート11 8ビット入出力ポート 1ビット単位で入／出力の指定が可能	TO21
P111			TI21/INTP21
P112			TO22
P113			TI22/INTP22
P114			TO23
P115			TI23/INTP23
P116			TO24
P117			TI24/INTP24

(3/3)

端子名称	入出力	機 能	兼用端子
P120	入出力	ポート12 8ビット入出力ポート 1ビット単位で入／出力の指定が可能	SO2
P121			SI2
P122			SCK2
P123			SO3
P124			SI3
P125			SCK3
P126			—
P127			CLO
P130-P137	入出力	ポート13 8ビット入出力ポート 1ビット単位で入／出力の指定が可能	RTP0-RTP7
P140-P147	入出力	ポート14 8ビット入出力ポート 1ビット単位で入／出力の指定が可能	—

(2) ポート以外の端子

(1/3)

端子名称	入出力	機 能	兼用端子
TO00	出力	タイマ0, タイマ2のパルス信号出力	P00
TO01			P01
TO20			P15
TO21			P110
TO22			P112
TO23			P114
TO24			P116
TCLR0	入力	タイマ0の外部クリア信号入力	P06/INTP04
TI0	入力	タイマ0, タイマ1, タイマ2の外部カウント・クロック入力	P07/INTP05
TI1			P14/INTP14
TI20			P16/INTP20
TI21			P111/INTP21
TI22			P113/INTP22
TI23			P115/INTP23
TI24			P117/INTP24
INTP00-INTP03	入力	外部マスカブル割り込み要求入力兼タイマ0の外部キャプチャ・トリガ入力	P02-P05
INTP04	入力	外部マスカブル割り込み要求入力	P06/TCLR0
INTP05			P07/TI0
INTP10-INTP13	入力	外部マスカブル割り込み要求入力兼タイマ1の外部キャプチャ・トリガ入力	P10-P13
INTP14	入力	外部マスカブル割り込み要求入力	P14/TI1
INTP20	入力	外部マスカブル割り込み要求入力	P16/TI20
INTP21			P111/TI21
INTP22			P113/TI22
INTP23			P115/TI23
INTP24			P117/TI24
INTP30	入力	外部マスカブル割り込み要求入力兼タイマ3の外部キャプチャ・トリガ入力	P21
INTP50-INTP53	入力	外部マスカブル割り込み要求入力	P23-P26
NMI	入力	ノンマスカブル割り込み要求入力	P20
SO0	出力	CSI0-CSI3のシリアル送信データ出力 (3線式)	P30/TXD
SO1			P33/SDA
SO2			P120
SO3			P123

(2/3)

端子名称	入出力	機 能	兼用端子
SI0	入力	CSI0-CSI3のシリアル受信データ入力（3線式）	P31/RXD
SI1			P34
SI2			P121
SI3			P124
SCK0	入出力	CSI0-CSI3のシリアル・クロック入出力（3線式）	P32
SCK1			P35/SCL
SCK2			P122
SCK3			P125
SDA	入出力	I ² Cのシリアル送受信データ入出力	P33/SO1
SCL		I ² Cのシリアル・クロック入出力	P35/SCK1
TXD	出力	UARTのシリアル送信データ出力	P30/SO0
RXD	入力	UARTのシリアル受信データ入力	P31/SI0
PWM0-PWM3	出力	PWMのパルス信号出力	P100-P103
AD0-AD7	入出力	外部にメモリを拡張する場合の16ビット・マルチプレクスト・アドレス／データ・バス	P40-P47
AD8-AD15			P50-P57
A16-A23	出力	外部にメモリを拡張する場合の上位アドレス・バス	P60-P67
LBEN	出力	外部データ・バスの下位バイト・イネーブル信号出力	P90/WRL
UBEN		外部データ・バスの上位バイト・イネーブル信号出力	P91
R/W		外部リード／ライト・ステータス出力	P92/WRH
DSTB		外部データ・ストロブ信号出力	P93/RD
ASTB		外部アドレス・ストロブ信号出力	P94
HLDK	出力	バス・ホールド・アクノリッジ出力	P95
HLDRQ	入力	バス・ホールド要求入力	P96
WRL	出力	外部データ・バスの下位バイト・ライト・ストロブ信号出力	P90/LBEN
WRH		外部データ・バスの上位バイト・ライト・ストロブ信号出力	P92/R/W
RD	出力	外部データ・バスのリード・ストロブ信号出力	P93/DSTB
ANI0-ANI7	入力	A/Dコンバータへのアナログ入力	P70-P77
ANI8-ANI15			P80-P87
RTP0-RTP7	出力	リアルタイム出力ポート	P130-P137
CLO	出力	システム・クロック出力（分周機能付き）	P127
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力	—
PLLSEL	入力	PLL逡倍数を指定する入力	—
CLKOUT	出力	システム・クロック出力	—
WAIT	入力	バス・サイクルにウエイトを挿入する制御信号入力	—
MODE0-MODE2	入力	動作モード指定	—
RESET	入力	システム・リセット入力	—

(3/3)

端子名称	入出力	機 能	兼用端子
X1	入力	システム・クロック用発振子接続。外部からクロックを供給する場合はX1に 入力します。	—
X2	—		—
ADTRG	入力	A/Dコンバータ外部トリガ入力	P22
AV _{REF}	入力	A/Dコンバータ用基準電圧入力	—
AV _{DD}	—	A/Dコンバータ用正電源供給	—
AV _{SS}	—	A/Dコンバータ用グランド電位	—
CV _{DD}	—	クロック・ジェネレータ用正電源供給	—
CV _{SS}	—	クロック・ジェネレータ用グランド電位	—
V _{DD}	—	正電源供給	—
V _{SS}	—	グランド電位	—
V _{PP}	—	プログラム書き込み／ベリファイ時の高電圧印加端子 (μPD70F3008, 70F3008Yのみ)	—
★ NC	—	内部未接続 (μPD703006, 703008, 703008Yのみ)	—

2.2 端子状態

動作モードによる各端子の動作状態は次のとおりです。

動作状態 端子	リセット	ソフトウェア STOPモード	IDLE モード	バス・ ホールド	アイドル・ ステート	HALT モード
AD0-AD15	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
A16-A23	Hi-Z	Hi-Z	Hi-Z	Hi-Z	保持 ^{注1}	保持
LBEN, UBEN	Hi-Z	Hi-Z	Hi-Z	Hi-Z	保持 ^{注1}	保持
R/W	Hi-Z	Hi-Z	Hi-Z	Hi-Z	H	H
DSTB, WRL, WRH, RD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	H	H
ASTB	Hi-Z	Hi-Z	Hi-Z	Hi-Z	H	H
HLD $\overline{\text{RQ}}$	—	—	—	動作	動作	動作
HLD $\overline{\text{AK}}$	Hi-Z	Hi-Z	Hi-Z	L	動作	動作
WAIT	—	—	—	—	—	—
CLKOUT	動作 ^{注2}	L	L	動作 ^{注2}	動作 ^{注2}	動作 ^{注2}

Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

L : ロウ・レベル出力

H : ハイ・レベル出力

— : 入力非サンプリング

注1. バス・ホールド終了直後は不定

2. シングルチップ・モード1, フラッシュ・メモリ・プログラミング・モード, クロック出力インヒビット・モード時はL

2.3 端子機能の説明

(1) P00-P07 (Port 0) …3 ステート入出力

ポート0および各種コントロール信号として働く8ビット入出力ポートです。

P00-P07は入出力ポートとして機能するほか、リアルタイム・パルス・ユニット (RPU) の入出力および外部割り込み要求入力として動作します。動作モードは1ビットごとにポート／コントロールの選択が可能で、ポート0モード・コントロール・レジスタ (PMC0) で指定します。

(a) ポート・モード

P00-P07はポート0モード・レジスタ (PM0) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P00-P07はPMC0レジスタにより、ビット単位でポート／コントロール・モードの設定ができます。

(i) TO00,TO01 (Timer Output) …出力

タイマ0のパルス信号出力端子です。

(ii) TCLR0 (Timer Clear) …入力

タイマ0の外部クリア信号入力端子です。

(iii) TI0 (Timer Input) …入力

タイマ0の外部カウント・クロック入力端子です。

(iv) INTP00-INTP05 (Interrupt Request From Peripherals) …入力

外部割り込み要求入力端子です。

(2) P10-P17 (Port 1) …3 ステート入出力

ポート1は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P10-P17はポートとして機能するほか、RPUの入出力、外部割り込み要求入力として動作します。動作モードは1ビットごとにポート・コントロールの選択が可能で、ポート1モード・コントロール・レジスタ (PMC1) で指定します。

(a) ポート・モード

P10-P17はポート1モード・レジスタ (PM1) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P10-P17はPMC1レジスタにより、ビット単位でポート・コントロール・モードの設定ができます。

(i) TO20 (Timer Output) …出力

タイマ2のパルス信号出力端子です。

(ii) TI1, TI20 (Timer Input) …入力

タイマ1, タイマ2の外部カウント・クロック入力端子です。

(iii) INTP10-INTP14 (Interrupt Request From Peripherals) …入力

外部割り込み要求入力端子およびタイマ1のキャプチャ・トリガ入力端子です。

(iv) INTP20 (Interrupt Request From Peripherals) …入力

外部割り込み要求入力端子です。

(3) P20-P26 (Port 2) …3 ステート入出力

ポート2は入力専用端子であるP20を除き、1ビット単位で入力または出力を設定できる入出力ポートです。ポートとして機能するほか、NMI入力、外部割り込み要求入力、A/Dコンバータの外部トリガとして使用できます。

動作モードは1ビットごとにポート／コントロールの選択が可能で、ポート2モード・コントロール・レジスタ (PMC2) で指定します。

(a) ポート・モード

P21-P26はポート2モード・レジスタ (PM2) により、ビット単位で入力または出力を設定できます。P20は入力専用ポートで、有効エッジが入力されるとNMI入力として動作します。

(b) コントロール・モード

P21-P26はPMC2レジスタによって、ビット単位でポート／コントロール・モードの設定ができます。P20はコントロール・モードに固定です。

(i) NMI (Non-maskable Interrupt Request) …入力

ノンマスカブル割り込み要求信号入力端子です。

(ii) INTP30, INTP50-INTP53 (Interrupt Request From Peripherals) …入力

外部割り込み要求入力端子です。

(iii) ADTRG (AD Trigger Input) …入力

A/Dコンバータの外部トリガ入力端子です。

(4) P30-P36 (Port 3) …3 ステート入出力

ポート3および各種コントロール信号として働く7ビット入出力ポートです。P30-P36は入出力ポートとして機能するほか、コントロール・モードではシリアル・インタフェースの入出力として動作します。

動作モードは1ビットごとにポート／コントロールの選択が可能で、ポート3モード・コントロール・レジスタ (PMC3) で指定します。

(a) ポート・モード

P30-P36はポート3モード・レジスタ (PM3) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P30-P36はPMC3レジスタにより、ビット単位でポート／コントロール・モードに設定できます。

(i) TXD (Transmit Data) …出力

UARTのシリアル送信データ出力端子です。

送信禁止時：ハイ・インピーダンス

送信許可時：ハイ・レベル

(ii) RXD (Receive Data) …入力

UARTのシリアル受信データ入力端子です。

(iii) SDA (Serial Data) …入出力

I²Cのシリアル受信データ入出力端子です。オープン・ドレイン出力のため、外部にプルアップ抵抗を接続してください (μPD703008Y, 70F3008Yのみ)。

(iv) SCL (Serial Clock) …入出力

I²Cのシリアル・クロック入出力端子です。オープン・ドレイン出力のため、外部にプルアップ抵抗を接続してください (μPD703008Y, 70F3008Yのみ)。

(v) SO0, SO1 (Serial Output0, 1) …出力

CSIのシリアル送信データ出力端子です。

SO1はオープン・ドレイン出力なので、外部にプルアップ抵抗を接続してください。

(vi) SI0, SI1 (Serial Input0, 1) …入力

CSIのシリアル受信データ入力端子です。

(vii) **SCK0, SCK1 (Serial Clock0, 1) … 3 ステート入出力**

CSIのシリアル・クロック入出力端子です。

SCK1はオープン・ドレーン出力なので、出力時は外部にプルアップ抵抗を接続してください。

★ (5) **P40-P47 (Port 4) … 3 ステート入出力**

ポート4および外部拡張メモリのアドレス／データ・バスとして働く8ビット入出力ポートです。

P40-P47は入出力ポートとして機能するほか、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合の、時分割アドレス／データ・バス（AD0-AD7）として動作できます。

動作モードはモード指定端子（MODE）とメモリ拡張モード・レジスタ（MM）で指定します。

(a) **ポート・モード**

P40-P47はポート4モード・レジスタ（PM4）により、ビット単位に入力または出力ポートに設定できます。

(b) **コントロール・モード（外部拡張モード）**

P40-P47はMODE端子とMMレジスタにより、AD0-AD7に指定できます。

(i) **AD0-AD7 (Address/Data0-7) … 3 ステート入出力**

外部アクセス時のアドレス／データのマルチプレクスト・バスです。アドレス・タイミング（T1ステート）では、24ビット・アドレスのA0-A7出力端子となり、データ・タイミング（T2, TW, T3）では16ビット・データの下位8ビット・データ入出力バス端子となります。

出力は、バス・サイクルの各ステートのクロックの立ち上がり同期して変化します。アイドル・ステート（TI）ではハイ・インピーダンスになります。

★ (6) **P50-P57 (Port 5) … 3 ステート入出力**

ポート5および外部拡張メモリのアドレス／データ・バスとして働く8ビット入出力ポートです。

P50-P57は入出力ポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合の時分割アドレス／データ・バス（AD8-AD15）として動作できます。

動作モードはモード指定端子（MODE）とメモリ拡張モード・レジスタ（MM）で指定します。

(a) **ポート・モード**

P50-P57はポート5モード・レジスタ（PM5）により、ビット単位に入力または出力ポートに設定できます。

(b) コントロール・モード（外部拡張モード）

P50-P57はMODE端子とMMレジスタにより、AD8-AD15として使用できます。

(i) AD8-AD15 (Address/Data8-15) … 3 ステート入出力

外部アクセス時のアドレス／データのマルチプレクスト・バスです。アドレス・タイミング（T1ステート）では、24ビット・アドレスのA8-A15出力端子となり、データ・タイミング（T2, TW, T3）では16ビット・データの上位8ビット・データ入出力バス端子となります。出力は、バス・サイクルの各ステートのクロックの立ち上がり同期して変化します。アイドル・ステート（TI）ではハイ・インピーダンスになります。

★ (7) P60-P67 (Port 6) … 3 ステート入出力

ポート6および外部拡張メモリのアドレスとして働く8ビット入出力ポートです。

P60-P67は入出力ポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のアドレス・バス（A16-A23）として動作します。2ビット単位でポート／コントロールの選択が可能で、モード指定端子（MODE）と、メモリ拡張モード・レジスタ（MM）によって指定します。

(a) ポート・モード

P60-P67はポート6モード・レジスタ（PM6）により、ビット単位に入力または出力ポートに設定できます。

(b) コントロール・モード（外部拡張モード）

P60-P67はMODE端子とMMレジスタにより、A16-A23として使用できます。

(i) A16-A23 (Address16-23) … 出力

外部アクセス時のアドレス・バスで、24ビット・アドレスの上位8ビット・アドレス出力端子です。

出力は、T1ステートのクロックの立ち上がり同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

(8) P70-P77 (Port7) , P80-P87 (Port8) … 入力

ポート7およびポート8はそれぞれ全端子が入力に固定の8ビット入力専用ポートです。

P70-P77, P80-P87は入力ポートとして機能するほか、コントロール・モードではA/Dコンバータのアナログ入力として動作します。ただし、入力ポートとアナログ入力端子は切り替えられません。

(a) ポート・モード

P70-P77, P80-P87は入力専用です。

(b) コントロール・モード

P70-P77はANI0-ANI7端子と、P80-P87はANI8-ANI15端子と兼用になっていますが、切り替えはできません。

(i) ANI0-ANI15 (Analog Input) …入力

A/Dコンバータへのアナログ入力端子です。

ノイズによる誤動作を防ぐため、 AV_{SS} との間にコンデンサを接続してください。また、A/Dコンバータへの入力に使用している端子には、 AV_{SS} - AV_{REF} の範囲外の電圧が加わらないようにしてください。 AV_{REF} 以上、 AV_{SS} 以下のノイズが入る可能性がある場合は、 V_F の小さいダイオードでクランプしてください。

★ (9) P90-P96 (Port9) …3 ステート入出力

ポート9および各種コントロール信号として働く7ビット入出力ポートです。P90-P96は入出力ポートとして機能するほか、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合の制御信号出力、バス・ホールド制御信号出力として動作します。

ポート9に8ビット・アクセスした場合の上位1ビットは、ライト時は無視され、リード時は不定となります。

動作モードはモード指定端子（MODE）とメモリ拡張モード・レジスタ（MM）で指定します。

(a) ポート・モード

P90-P96はポート9モード・レジスタ（PM9）により、ビット単位に入力または出力ポートに設定できます。

(b) コントロール・モード（外部拡張モード）

P90-P96はMODE端子とMMレジスタにより、メモリを外部に拡張する場合の制御信号出力として動作します。

(i) $\overline{LBEN}$ (Lower Byte Enable) …出力

外部16ビット・データ・バスの下位バイト・イネーブル信号出力端子です。

出力は、バス・サイクルのT1ステートのクロックの立ち上がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルの状態を保持しています。

(ii) $\overline{\text{UBEN}}$ (Upper Byte Enable) …出力

外部16ビット・データ・バスの上位バイト・イネーブル信号出力端子です。奇数アドレスへのバイト・アクセス時はアクティブ（ロウ・レベル）になります。偶数アドレスへのバイト・アクセス時はインアクティブ（ハイ・レベル）になります。

出力は、バス・サイクルのT1ステートのクロックの立ち上がり同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルの状態を保持しています。

アクセス		$\overline{\text{UBEN}}$	$\overline{\text{LBEN}}$	A0
ワード・アクセス		0	0	0
ハーフワード・アクセス		0	0	0
バイト・アクセス	偶数アドレス	1	0	0
	奇数アドレス	0	1	1

(iii) R/W (Read/Write Status) …出力

外部アクセス時のバス・サイクルが、リード・サイクルかライト・サイクルかを示すステータス信号出力端子です。リード・サイクルではハイ・レベル、ライト・サイクルではロウ・レベルになります。

出力は、バス・サイクルのT1ステートのクロックの立ち上がり同期して変化します。アイドル・ステート（TI）ではハイ・レベルになります。

(iv) $\overline{\text{DSTB}}$ (Data Strobe) …出力

外部データ・バスのアクセス・ストロブ信号出力端子です。

出力は、バス・サイクルのT2,TWステートの期間中アクティブ（ロウ・レベル）になります。アイドル・ステート（TI）ではインアクティブ（ハイ・レベル）になります。

(v) $\overline{\text{ASTB}}$ (Address Strobe) …出力

外部アドレス・バスのラッチ・ストロブ信号出力端子です。

出力は、バス・サイクルのT1ステートのクロックの立ち下がり同期してアクティブ（ロウ・レベル）になり、T3ステートのクロックの立ち下がり同期してインアクティブ（ハイ・レベル）になります。アイドル・ステート（TI）ではハイ・レベルになります。

(vi) $\overline{\text{HLDAK}}$ (Hold Acknowledge) …出力

V854がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になります。

(vii) $\overline{\text{HLDRQ}}$ (Hold Request) …入力

外部デバイスがV854に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、CLKOUTに対して非同期入力が可能です。この端子がアクティブになると、V854は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、 $\overline{\text{HLDAR}}$ 信号をアクティブにしてバスを解放します。

(viii) $\overline{\text{WRL}}$ (Write Strobe Low Byte Data) …出力

外部16ビット・データ・バスの下位バイトのライト・ストロブ信号出力端子です。

(ix) $\overline{\text{WRH}}$ (Write Strobe High Byte Data) …出力

外部16ビット・データ・バスの上位バイトのライト・ストロブ信号出力端子です。

(x) $\overline{\text{RD}}$ (Read Strobe) …出力

外部16ビット・データ・バスのリード・ストロブ信号出力端子です。

(10) P100-P103 (Port 10) …3 ステート入出力

ポート10は、1ビット単位で入力または出力を設定できる4ビット入出力ポートです。ポートとしての機能のほかに、コントロール・モードではPWMの出力として動作します。

ポート10に8ビット・アクセスした場合の上位4ビットは、ライト時は無視され、リード時は不定データとなります。

(a) ポート・モード

P100-P103はポート10モード・レジスタ (PM10) により、ビット単位で入力または出力ポートに指定できます。

(b) コントロール・モード

P100-P103はポート10モード・コントロール・レジスタ (PMC10) の設定によりPWM制御信号の出力として動作します。

(i) PWM0-PWM3 (Pulse Width Modulation 0-3) …出力

PWMのパルス信号出力端子です。

(11) P110-P117 (Port 11) …3 ステート入出力

ポート11は、1ビット単位で入力または出力を設定できる8ビット入出力ポートです。ポートとしての機能のほかに、コントロール・モードではRPUの入出力または外部割り込み要求入力として動作します。

(a) ポート・モード

P110-P117はポート11モード・レジスタ (PM11) により、ビット単位で入力または出力ポートに指定できます。

(b) コントロール・モード

P110-P117はポート11モード・コントロール・レジスタ (PMC11) の設定により、タイマ2の入力または出力として動作します。

(i) TO21-TO24 (Timer Output) …出力

タイマ2のパルス信号出力端子です。

(ii) TI21-TI24 (Timer Input) …入力

タイマ2の外部カウンタ・クロック入力端子です。

(iii) INTP21-INTP24 (Interrupt Request From Peripherals) …入力

外部割り込み要求入力端子です。

(12) P120-P127 (Port 12) …3 ステート入出力

ポート12は、1ビット単位で入力または出力を設定できる8ビット入出力ポートです。ポートとしての機能のほかに、コントロール・モードではシリアル・インタフェースの入出力として動作します。

(a) ポート・モード

P120-P127はポート12モード・レジスタ (PM12) により、ビット単位で入力または出力ポートにできます。

(b) コントロール・モード

P120-P127はポート12モード・コントロール・レジスタ (PMC12) の設定により、シリアルインタフェース制御信号の入力または出力、クロック信号の出力として動作します。なお、P126端子はポート専用です。

(i) SO2, SO3 (Serial Output 2, 3) …出力

CSIのシリアル送信データ出力端子です。

(ii) SI2, SI3 (Serial Input 2, 3) …入力

CSIのシリアル受信データ入力端子です。

(iii) SCK2, SCK3 (Serial Clock 2, 3) …3ステート入出力

CSIのシリアル・クロック入出力端子です。

(iv) CLO (Clock Output (Divided)) …出力

システム・クロック（分周機能付き）出力端子です。

(13) P130-P137 (Port 13) …3ステート入出力

ポート13は、1ビット単位で入力または出力を設定できる8ビット入出力ポートです。ポートとしての機能のほかに、コントロール・モードではリアルタイム出力ポートとして動作します。

(a) ポート・モード

P130-P137はポート13モード・レジスタ（PM13）により、ビット単位で入力または出力ポートにできます。

(b) コントロール・モード

P130-P137はポート13モード・コントロール・レジスタ（PMC13）の設定により、リアルタイム出力ポートとして動作します。

(i) RTP0-RTP7 (Real-time Port 0-7) …出力

リアルタイム出力ポートです。

(14) P140-P147 (Port 14) …3ステート入出力

ポート14は、1ビット単位で入力または出力を設定できる8ビット入出力ポートです。ポートとしてだけ動作します。

(15) CKSEL (Clock Select) …入力

クロック発生回路の動作モードを指定する入力端子です。入力レベルは動作中に変化しないよう固定してください。

CKSEL	動作モード
0	PLLモード
1	ダイレクト・モード

(16) PLLSEL (PLL Select) …入力

PLLモード時（CKSEL = 0）のPLL通倍数を指定する入力端子です。動作中に入力レベルが変化しないように固定してください。

なお、ダイレクト・モード時（CKSEL = 1）は、この端子は意味を持ちません。未使用端子として処理してください。

PLLSEL	PLL通倍数
0	1 通倍
1	5 通倍

★ **(17) CLKOUT (Clock Output) …出力**

システム・クロック出力端子です。ROMレス・モード時は、リセット期間中でもCLKOUT端子からの出力は行われます。シングルチップ・モード1ではPSCレジスタを設定するまではCLKOUT信号を出力しませんが（ロウ・レベルを出力）、シングルチップ・モード2では出力します。

★ **(18) $\overline{\text{WAIT}}$ (Wait) …入力**

バス・サイクルにデータ・ウェイトを挿入する制御信号入力端子で、CLKOUTに対する非同期入力が可能です。バス・サイクルのT2,TWステートのクロックの立ち下がりでサンプリングします。サンプリング・タイミングにおける設定／保持時間を満たさないときはウェイト挿入が行われないことがあります。

★ **(19) MODE0-MODE2 (Mode0-2) …入力**

V854の動作モードを指定する入力端子です。動作モードには、大きく分けて通常動作モードとフラッシュ・メモリ・プログラミング・モードがあります。さらに通常動作モードには、シングルチップ・モード、ROMレス・モードがあります。入力レベルは、動作中に変化しないよう固定してください。詳細は、3.3 動作モードを参照してください。

(a) μ PD703006

MODE2	MODE1	MODE0	動作モード	
0	0	0	通常動作モード	ROMレス・モード1
0	0	1		ROMレス・モード2
上記以外			設定禁止	

(b) μ PD703008, 703008Y

MODE2	MODE1	MODE0	動作モード	
0	0	0	通常動作モード	ROMレス・モード1
0	0	1		ROMレス・モード2
0	1	0		シングルチップ・モード1
0	1	1		シングルチップ・モード2
上記以外			設定禁止	

(c) μ PD70F3008, 70F3008Y

MODE2	MODE1	MODE0	動作モード	
0	0	0	通常動作モード	ROMレス・モード1
0	0	1		ROMレス・モード2
0	1	0		シングルチップ・モード1
0	1	1		シングルチップ・モード2
1	1	1	フラッシュ・メモリ・プログラミング・モード	
上記以外			設定禁止	

(20) $\overline{\text{RESET}}$ (Reset) …入力

$\overline{\text{RESET}}$ 入力は非同期入力であり、動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ／スタートのほかに、パワー・セーブ・モード (HALT, IDLE, STOP) の解除にも使用されます。

(21) X1, X2 (Crystal) …入力

内部システム・クロック生成用の発振子接続端子です。

外部クロックを入力することも可能です。外部クロックを入力する場合はX1端子に接続し、X2端子はオープンにしてください。

(22) CV_{DD} (Power Supply for Clock Generator)

クロック・ジェネレータ用の正電源供給端子です。

(23) CV_{SS} (Ground for Clock Generator)

クロック・ジェネレータ用のグラウンド端子です。

(24) V_{DD} (Power Supply)

正電源供給端子です。すべての V_{DD} 端子を正電源に接続してください。

(25) V_{SS} (Ground)

グラウンド端子です。すべてのV_{SS}端子をグラウンドに接続してください。

(26) AV_{DD} (Analog V_{DD})

A/Dコンバータ用アナログ電源供給端子です。

(27) AV_{SS} (Analog V_{SS})

A/Dコンバータ用のグラウンド端子です。

(28) AV_{REF} (Analog Reference Voltage) …入力

A/Dコンバータ用の基準電圧入力端子です。

(29) V_{PP} (Programming Power Supply)

フラッシュ・メモリ・プログラミング・モード用の正電源供給端子です。

μPD70F3008, 70F3008Y用の端子です。

(30) NC (No Connection)

内部で接続されていません。

★ μPD703006, 703008, 703008Y用の端子です。

2.4 各端子の入出力回路タイプと未使用端子の処理

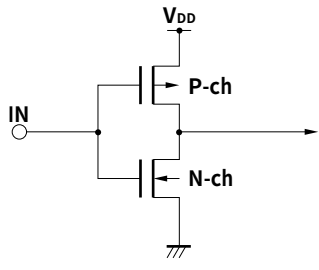
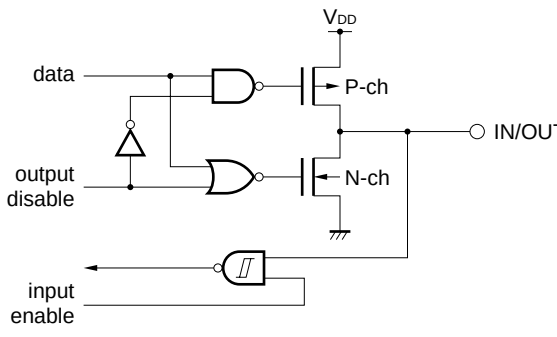
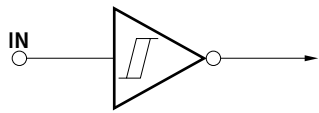
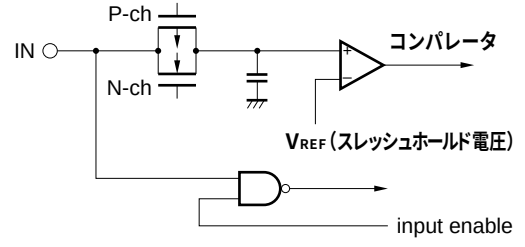
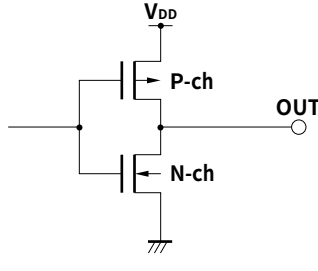
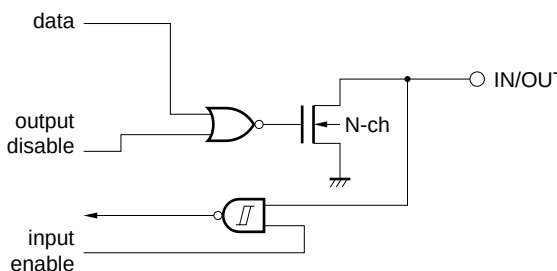
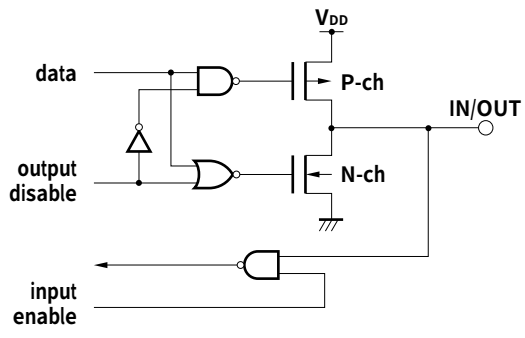
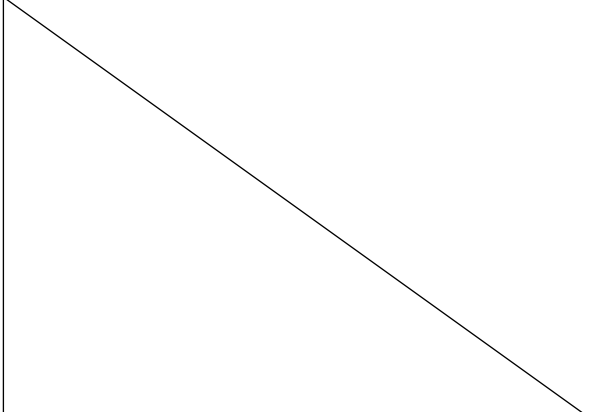
抵抗を介してV_{DD}またはV_{SS}に接続する場合、1-10 kΩの抵抗を使用することをお勧めします。

	端 子	入出力回路タイプ	推奨接続方法
	P00/TO00, P01/TO01	5	個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。
	P02/INTP00-P05/INTP03, P06/TCLR0/INTP04, P07/TI0/INTP05	5-K	
	P10/INTP10-P13/INTP13, P14/TI1/INTP14, P16/TI20/INTP20		
	P15/TO20, P17	5	
	P20/NMI	2	V _{SS} に直接接続してください。
	P21/INTP30, P22/ADTRG, P23/INTP50-P26/INTP53	5-K	個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。
	P30/TXD/SO0	5	
	P31/RXD/SI0, P32/ $\overline{\text{SCK0}}$, P34/SI1	5-K	
	P33/SO1/SDA, P35/ $\overline{\text{SCK1}}$ /SCL	13-G	
	P36	5	
★	P40/AD0-P47/AD7	5	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
★	P50/AD8-P57/AD15		
★	P60/A16-P67/A23		
	P70/ANI0-P77/ANI7	9	V _{SS} に直接接続してください。
	P80/ANI8-P87/ANI15		
★	P90/ $\overline{\text{LBEN}}$ / $\overline{\text{WRL}}$, P91/ $\overline{\text{UBEN}}$, P92/R/ $\overline{\text{W}}$ / $\overline{\text{WRH}}$, P93/ $\overline{\text{DSTB}}$ / $\overline{\text{RD}}$, P94/ASTB, P95/ $\overline{\text{HLDAK}}$, P96/ $\overline{\text{HLDRQ}}$	5	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
	P100/PWM0-P103/PWM3	5	個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。
	P110/TO21, P112/TO22, P114/TO23, P116/TO24		
	P111/TI21/INTP21, P113/TI22/INTP22, P115/TI23/INTP23, P117/TI24/INTP24	5-K	
	P120/SO2	5	
	P121/SI2, P122/ $\overline{\text{SCK2}}$	5-K	
	P123/SO3	5	
	P124/SI3, P125/ $\overline{\text{SCK3}}$	5-K	
	P126, P127/CLO	5	
	P130/RTP0-P137/RTP7		
	P140-P147		
★	$\overline{\text{WAIT}}$	1	
	CLKOUT	3	オープンにしてください。

★

端 子	入出力回路タイプ	推奨接続方法
MODE0-MODE2	2	—
RESET		
AV _{REF} , AV _{SS} , CV _{SS}	—	V _{SS} に直接接続してください。
AV _{DD} , CV _{DD}	—	V _{DD} に直接接続してください。
PLLSEL	1	V _{DD} またはV _{SS} に直接接続してください。
CKSEL		
V _{PP} /NC	—	抵抗 (R _{VPP}) を介してV _{SS} に接続してください。

2.5 端子の入出力回路

タイプ1 	タイプ5-K 
タイプ2  ヒステリシス特性を有するシュミット・トリガ入力となっています	タイプ9 
タイプ3 	タイプ13-G 
タイプ5 	

(× 毛)

保守

第3章 CPU機能

V854のCPUは、RISCアーキテクチャをベースとし、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

- 最小インストラクション・サイクル：30 ns（内部33 MHz動作時）
- アドレス空間：16 Mバイト・リニア
- 汎用レジスタ：32ビット×32本
- 内部32ビット・アーキテクチャ
- 5段パイプライン制御
- 乗除算命令
- 飽和演算命令
- 32ビット・シフト命令：1クロック
- ロング／ショート・フォーマット
- ビット操作命令4種
 - ・セット
 - ・クリア
 - ・ノット
 - ・テスト

3.2 CPUレジスタ・セット

V854のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは、32ビット幅となっています。詳細はV850ファミリ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

プログラム・レジスタ・セット

31		0
r0	Zero Register	
r1	Reserved for Address Generation	
r2	Interrupt Stack Pointer	
r3	Stack Pointer (SP)	
r4	Global Pointer (GP)	
r5	Text Pointer (TP)	
r6		
r7		
r8		
r9		
r10		
r11		
r12		
r13		
r14		
r15		
r16		
r17		
r18		
r19		
r20		
r21		
r22		
r23		
r24		
r25		
r26		
r27		
r28		
r29		
r30	Element Pointer (EP)	
r31	Link Pointer (LP)	
31		0
PC	Program Counter	

システム・レジスタ・セット

31		0
EIPC	Exception/Interrupt PC	
EIPSW	Exception/Interrupt PSW	
31		0
FEPC	Fatal Error PC	
FEPSW	Fatal Error PSW	
31		0
ECR	Exception Cause Register	
31		0
PSW	Program Status Word	

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。また、r1-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

表3-1 プログラム・レジスタ一覧

名 称	用 途	動 作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	割り込みスタック・ポインタ	割り込みハンドラのスタック・ポインタとして使用
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするとき使用
r5	テキスト・ポインタ	テキスト領域 ^注 の先頭を指すレジスタとして使用
r6-r29	—	アドレス／データ変数用レジスタ
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

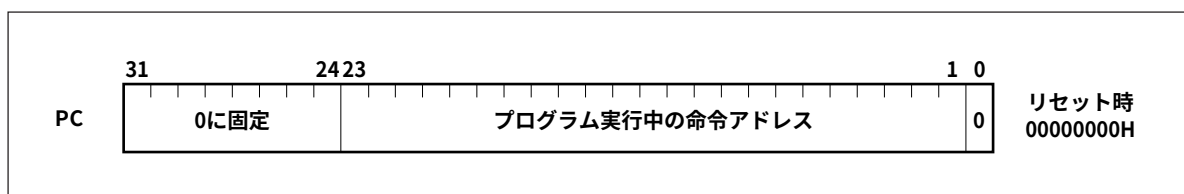
注 プログラム・コードを配置する領域

(2) プログラム・カウンタ

プログラム実行中の命令アドレスを保持しています。下位の24ビットが有効でビット31-24は0に固定されています。ビット23からビット24へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。

図3-1 プログラム・カウンタ (PC)



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

表3-2 システム・レジスタ番号

番号	システム・レジスタ名称	用 途	動 作
0	EIPC	割り込み時状態退避レジスタ	例外または割り込みが発生した場合に、PCとPSWを退避するレジスタです。このレジスタは、1組しかないので多重割り込みを許す場合は、プログラムでこのレジスタを退避する必要があります。
1	EIPSW		
2	FEPC	NMI時状態退避レジスタ	NMIが発生した場合に、PCとPSWを退避するレジスタです。
3	FEPSW		
4	ECR	割り込み要因レジスタ	例外、マスカブル割り込み、NMIが発生した場合に、その要因を保持するレジスタです。このレジスタは、上位16ビットを“FECC”と呼び、NMIの例外コードがセットされます。下位16ビットは“EICC”と呼び、例外／割り込みの例外コードがセットされます（図3-2参照）。
5	PSW	プログラム・ステータス・ワード	プログラム・ステータス・ワードは、プログラムの状態（命令実行結果）やCPUの状態を示すフラグの集合です（図3-3参照）。
6-31	予約		

これらのシステム・レジスタへのリード／ライトは、システム・レジスタ・ロード／ストア命令（LDSR、STSR命令）で示すシステム・レジスタ番号を指定することで行います。

図3-2 割り込み要因レジスタ（ECR）

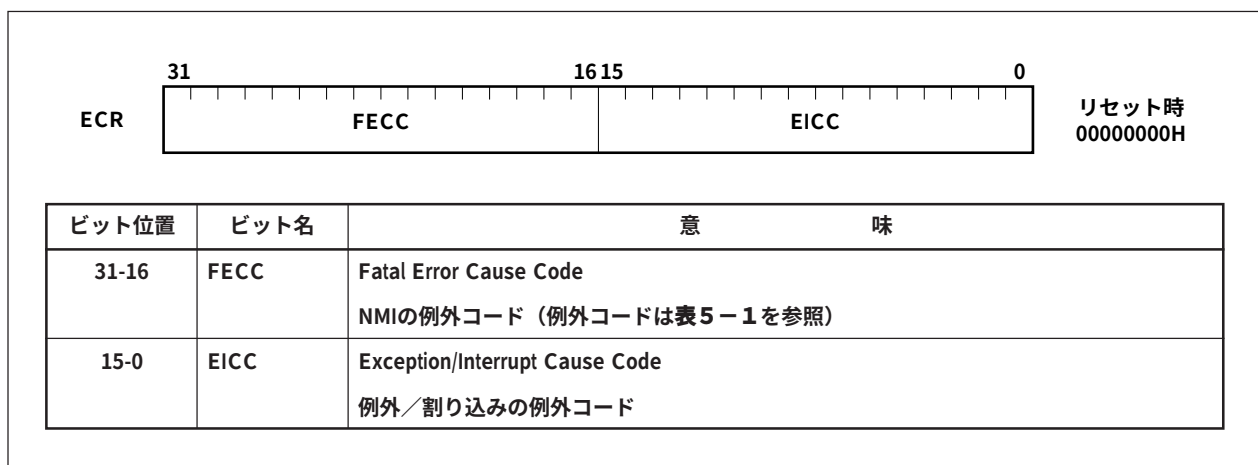


図3-3 プログラム・ステータス・ワード (PSW)

31

876543210

PSW

RFU

NP EP ID SAT CY OV S Z

リセット時
00000020H

ビット位置	フラグ	意 味
31-8	RFU	予約フィールドです（0に固定されています）。
7	NP	NMI Pending NMI処理中であることを示します。NMIが受け付けられるとセットされ、多重割り込みを禁止します。
6	EP	Exception Pending 例外処理中であることを示します。例外の発生でセットされます。なお、このビットがセットされても割り込み要求は受け付けられます。
5	ID	Interrupt Disable マスカブル割り込み要求の受け付けの禁止を示します。
4	SAT	Saturated Math 飽和演算命令の演算結果がオーバーフローした場合にセットされます（オーバーフローしなかった場合、演算前の値が保持されます）。
3	CY	Carry 演算結果に、キャリーまたはボローが発生した場合にセットされます（発生しなかった場合リセットされます）。
2	OV	Overflow 演算中にオーバーフローが発生した場合にセットされます（発生しなかった場合、リセットされます）。
1	S	Sign 演算の結果が負であった場合にセットされます。 正であった場合、リセットされます。
0	Z	Zero 演算の結果がゼロであった場合に、セットされます（ゼロでなかった場合、リセットされます）。

3.3 動作モード

3.3.1 動作モード

V854は次の動作モードを備えます。モードの指定はMODEn端子により行います（n = 0-2）。

（1）通常動作モード

（a）シングルチップ・モード（ μ PD703008, 70F3008, 703008Y, 70F3008Yのみ）

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。命令によりメモリ拡張モード・レジスタ（MM；3.4.6（1）を参照）を設定することにより、外部メモリ領域に外部デバイスを接続できる外部拡張モードになります。

シングルチップ・モード1では、リセット時にCLKOUT信号を出力しませんが、シングルチップ・モード2では出力します。

（b）ROMレス・モード

システム・リセット解除後、バス・インタフェース関連の各端子はコントロール・モードになり、外部デバイス（メモリ）のリセット・エントリ・アドレスに分岐し、命令処理を開始します。内蔵ROMへの命令フェッチ、データ・アクセスは不可になります。

リセット時、ROMレス・モード1では $\overline{UBEN}$, $\overline{LBEN}$, $\overline{R/W}$, $\overline{DSTB}$ 信号を出力し、ROMレス・モード2では $\overline{UBEN}$, $\overline{WRL}$, $\overline{WRH}$, $\overline{RD}$ 信号を出力します。

（2）フラッシュ・メモリ・プログラミング・モード（ μ PD70F3008, 70F3008Yのみ）

このモードは、フラッシュ・メモリ内蔵品だけ備えます。V_{PP}端子にフラッシュ・メモリ書き込み電圧（7.8 V）を入力すると、フラッシュ・ライターによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

★

★ 3.3.2 動作モード指定

MODEn端子の状態により、V854の動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし、動作中に変更しないでください（n = 0-2）。

動作中に変更した場合の動作は保証しません。

(a) μ PD703006

MODE2	MODE1	MODE0	動作モード	
0	0	0	通常動作モード	ROMレス・モード1
0	0	1		ROMレス・モード2
上記以外			設定禁止	

(b) μ PD703008, 703008Y

MODE2	MODE1	MODE0	動作モード	
0	0	0	通常動作モード	ROMレス・モード1
0	0	1		ROMレス・モード2
0	1	0		シングルチップ・モード1
0	1	1		シングルチップ・モード2
上記以外			設定禁止	

(c) μ PD70F3008, 70F3008Y

端子状態				動作モード	
V _{PP}	MODE2	MODE1	MODE0		
0 V	0	0	0	通常動作モード	ROMレス・モード1
0 V	0	0	1		ROMレス・モード2
0 V	0	1	0		シングルチップ・モード1
0 V	0	1	1		シングルチップ・モード2
7.8 V	1	1	1	フラッシュ・メモリ・プログラミング・モード	
上記以外				設定禁止	

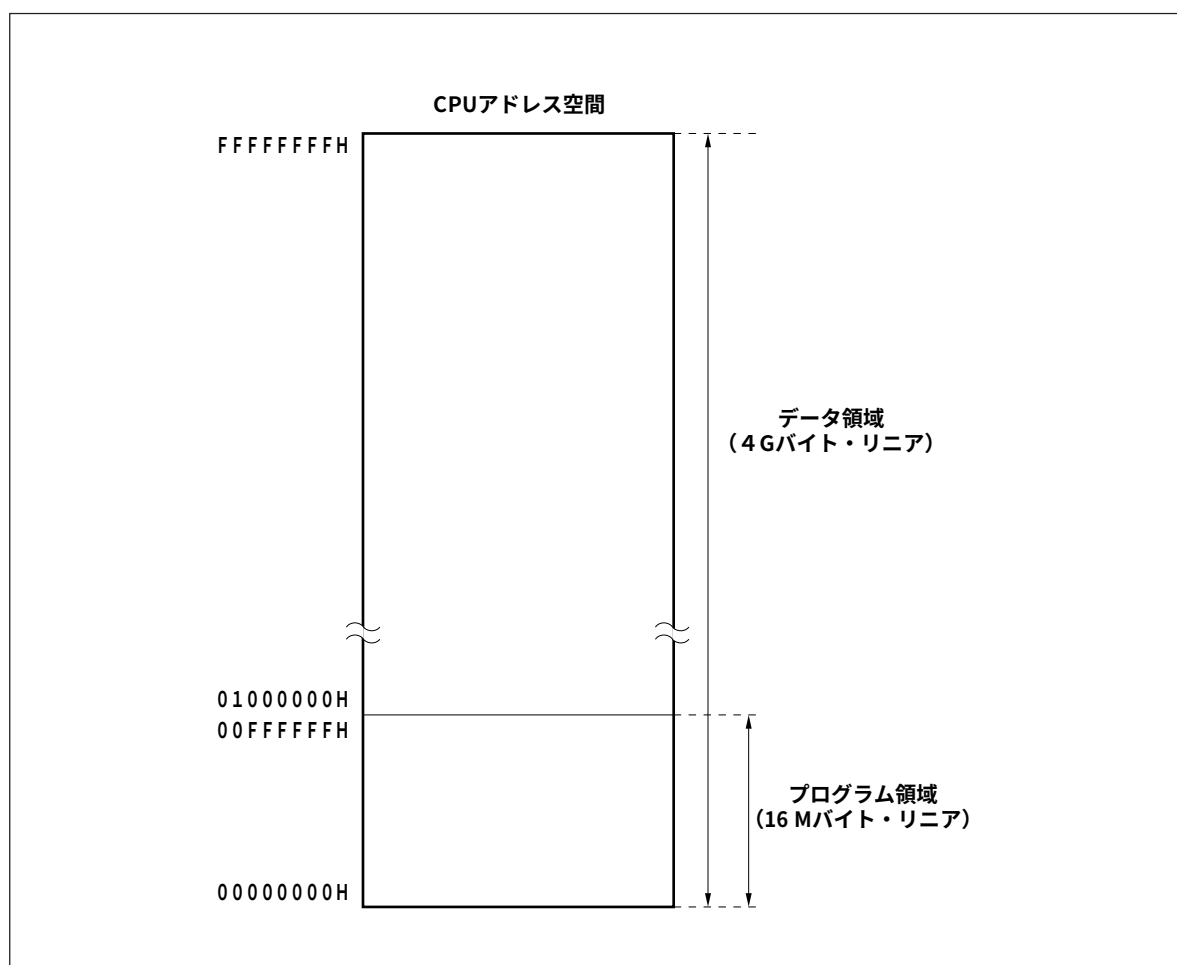
3.4 アドレス空間

3.4.1 CPUアドレス空間

V854のCPUは32ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大16 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図3－4にCPUアドレス空間を示します。

図3－4 CPUアドレス空間

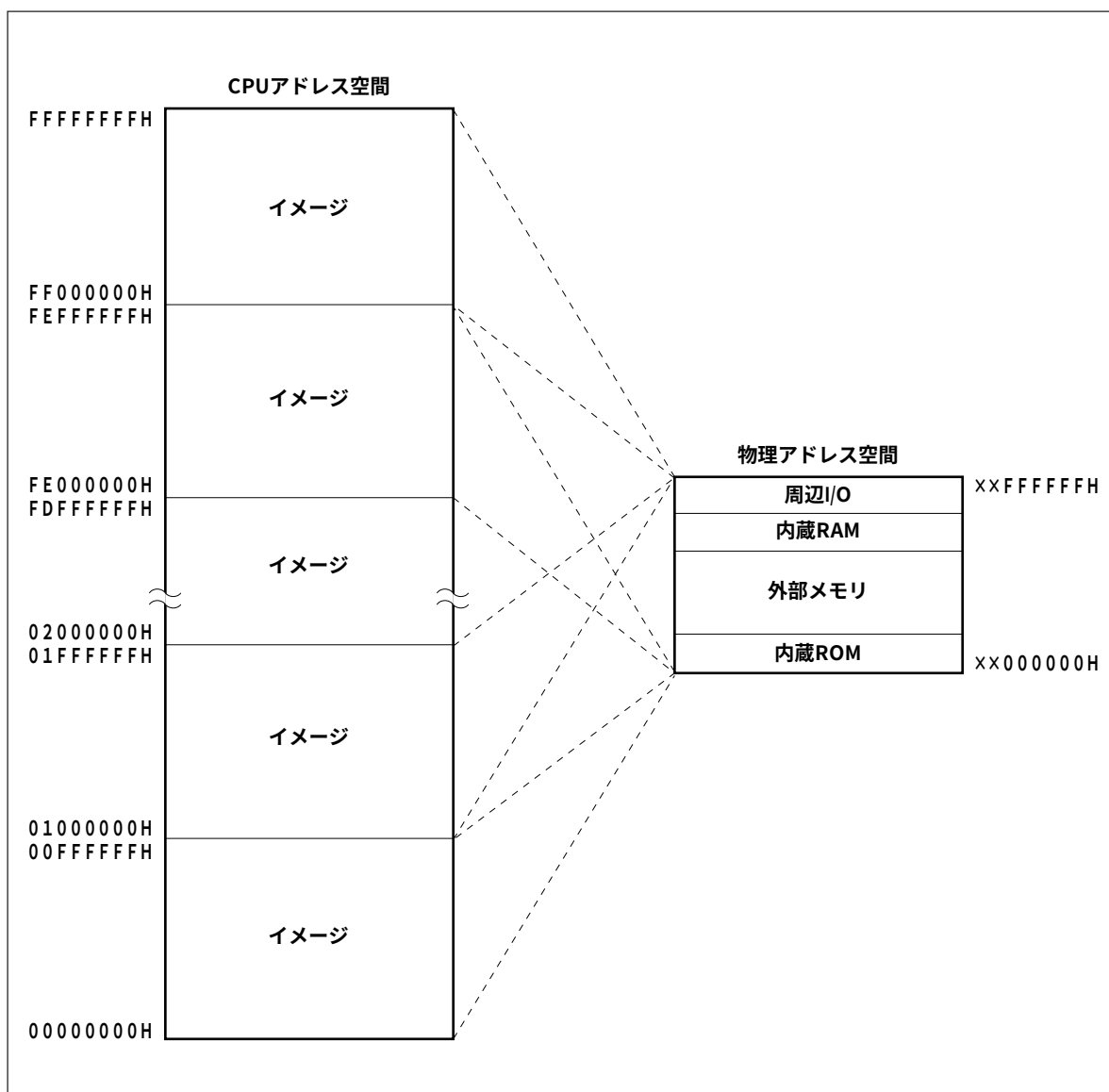


3.4.2 イメージ

4 GバイトのCPUアドレス空間には、16 Mバイトの物理アドレス空間が256個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット24がどのような値でも、同じ16 Mバイトの物理アドレス空間をアクセスします。図3-5にアドレス空間上のイメージを示します。

これは、32ビットのCPUアドレスは上位8ビットを無視し、24ビットの物理アドレスとしてアクセスするため、物理アドレスの××000000H番地が、CPUアドレスの00000000H番地のほかに01000000H番地、02000000H番地、…、FE000000H番地、FF000000H番地に見えます。

図3-5 アドレス空間上のイメージ



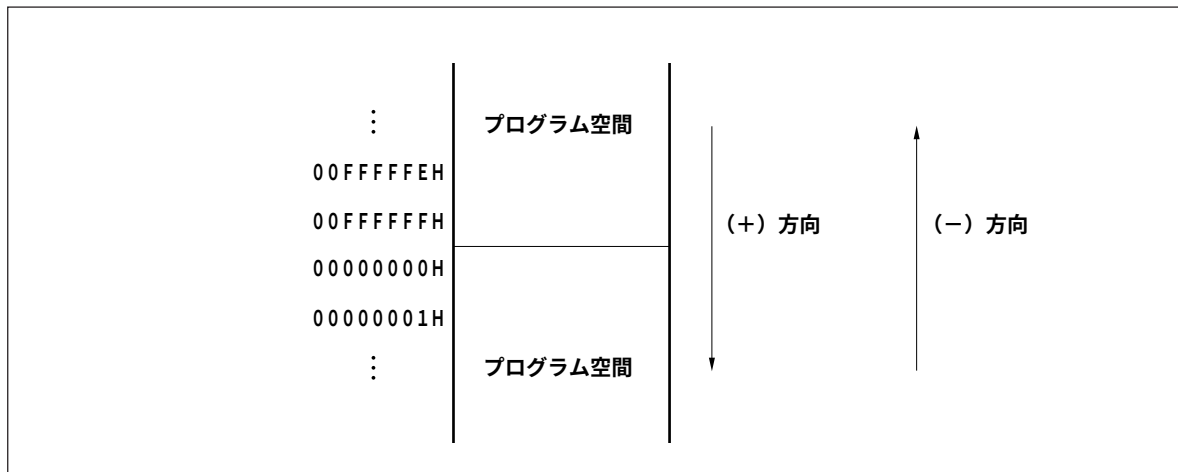
3.4.3 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC（プログラム・カウンタ）は、32ビットのうち上位8ビットが“0”に固定であり、下位24ビットのみ有効です。分岐アドレス計算などでビット23からビット24に対するキャリーまたはボローがあっても上位8ビットはこれを無視します。

したがって、プログラム空間の下限である00000000H番地と、上限の00FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

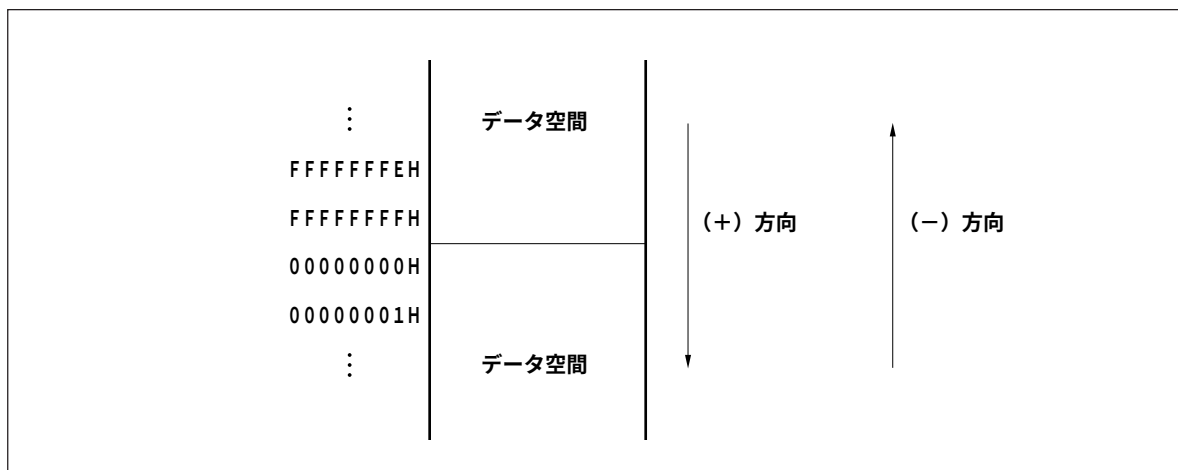
注意 00FFF000H-00FFFFFFHの4 Kバイトの領域は、周辺I/O領域のため命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.4 メモリ・マップ

V854では、次のように各領域を予約しています。各モードはリセット時にMODEn端子で指定します (n = 0-2)。

	シングルチップ・モード ^注	シングルチップ・モード ^注 (外部拡張モード)	ROMレス・モード	
XXXXFFFFH	周辺I/O領域	周辺I/O領域	周辺I/O領域	4 Kバイト
XXXXF000H XXXXFEFFFFH				
XXXXFE000H XXXXFDFFFFH	内蔵RAM領域	内蔵RAM領域	内蔵RAM領域	4 Kバイト
	(アクセス不可)	外部メモリ領域	外部メモリ領域	16 Mバイト
XX100000H XX0FFFFFFH	内蔵ROM領域	内蔵ROM領域		1 Mバイト
XX000000H				

注 μPD703008, 70F3008, 703008Y, 70F3008Yのみ。

3.4.5 領 域

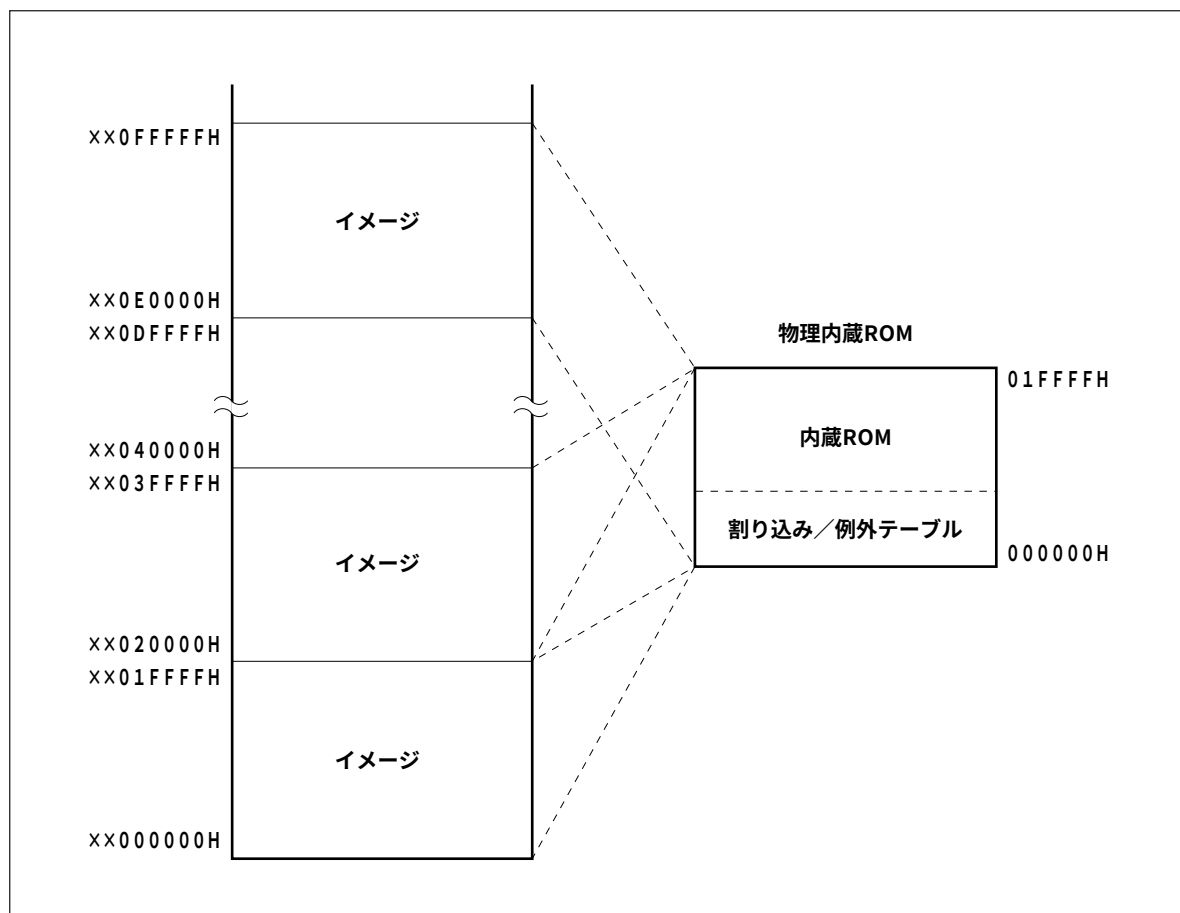
(1) 内蔵ROM領域

内蔵ROM領域は000000H-0FFFFFFH番地の1 Mバイトが予約されています。V854では、物理内蔵ROMを次のように実装しています。

注意 内蔵ROM品はμPD703008, 70F3008, 703008Y, 70F3008Yのみ。

・物理内蔵ROM : 000000H-01FFFFFFH (128 Kバイト)

残りの領域 (020000H-0FFFFFFH) には、000000H-01FFFFFFHのイメージが見えます。



割り込み／例外テーブル

V854は、割り込み／例外に対応した飛び先アドレスを固定化することにより、割り込み応答性を高速化しています。

この、飛び先アドレスの集合を割り込み／例外テーブルと呼び、内蔵ROM領域に置かれています。割り込み／例外要求が受け付けられると、飛び先アドレスにジャンプし、そのメモリに書かれているプログラムを実行します。表3-3に、割り込み／例外要因と、対応するアドレスを示します。

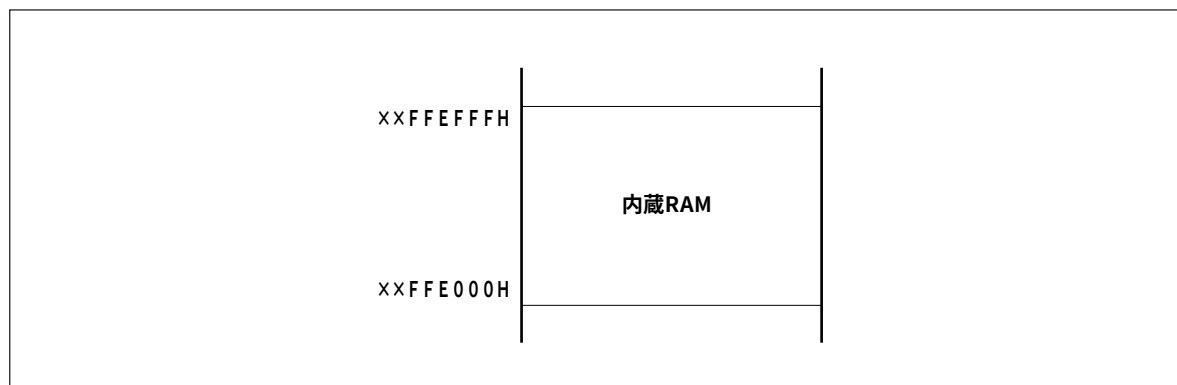
表3-3 割り込み／例外テーブル

割り込み／例外テーブルの先頭アドレス	割り込み／例外要因
00000000H	RESET
00000010H	NMI
00000040H	TRAP0n (n = 0-FH)
00000050H	TRAP1n (n = 0-FH)
00000060H	ILGOP
00000080H	INTOV0/INTP04/INTP05
00000090H	INTOV1/INTP14
000000A0H	INTCC00/INTP00
000000B0H	INTCC01/INTP01
000000C0H	INTCC02/INTP02
000000D0H	INTCC03/INTP03
000000E0H	INTCP10
000000F0H	INTCP11
00000100H	INTCP12
00000110H	INTCP13
00000120H	INTCM10
00000130H	INTCM11
00000140H	INTCM20/INTP20
00000150H	INTCM21/INTP21
00000160H	INTCM22/INTP22
00000170H	INTCM23/INTP23
00000180H	INTCM24/INTP24
00000190H	INTCC3/INTP30
000001A0H	INTCSI0
000001B0H	INTCSI1
000001C0H	INTCSI2
000001D0H	INTCSI3
000001E0H	INTIIC
000001F0H	INTSER
00000200H	INTSR
00000210H	INTST
00000220H	INTAD
00000230H	INTP50
00000240H	INTP51
00000250H	INTP52
00000260H	INTP53

注意 ROMレス・モード時、または μ PD703006は、内蔵ROM領域が外部メモリ領域になります。リセット時に正しく動作させるためには、リセット・ルーチンへの飛び先アドレスを外部メモリの0番地に用意してください。

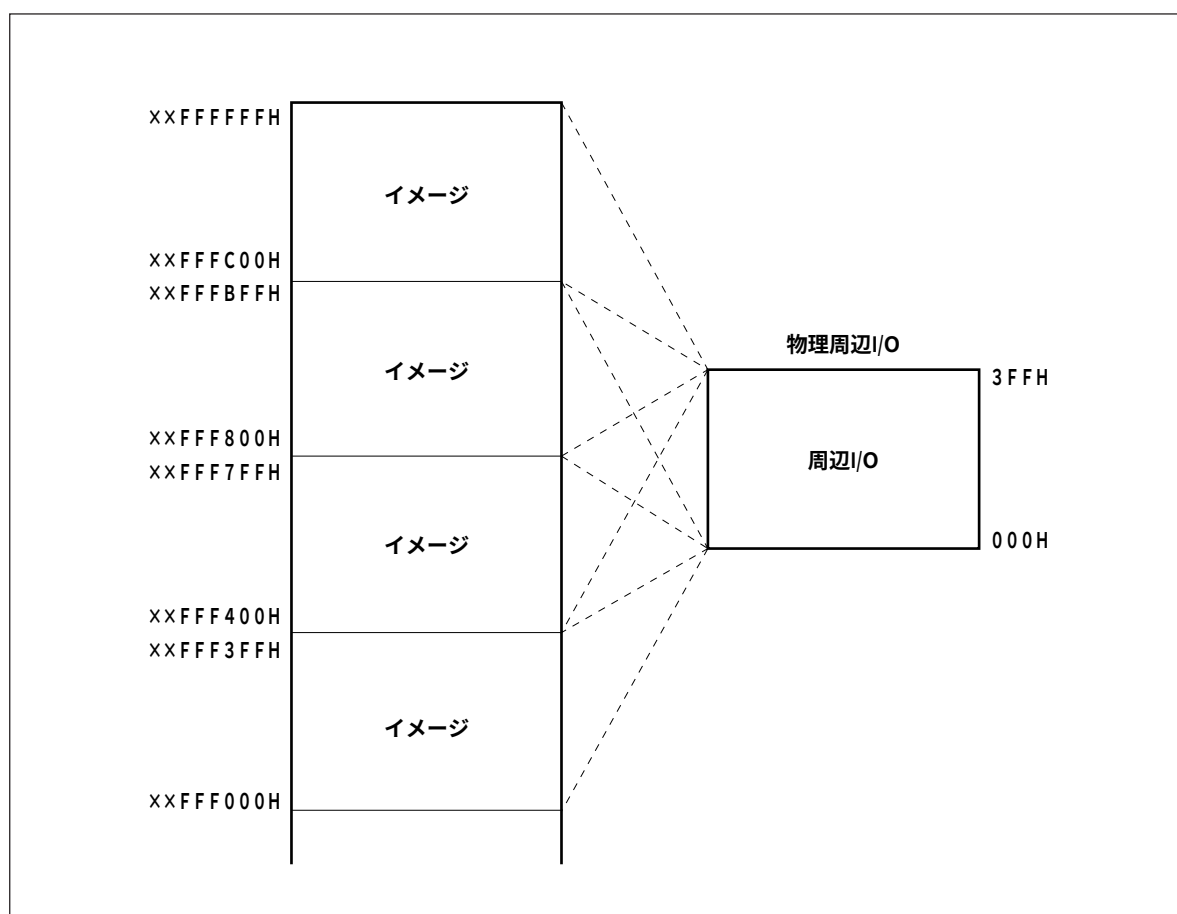
(2) 内蔵RAM領域

物理内蔵RAMとしてFFE000H-FFEFFFH番地の4 Kバイトを実装しています。



(3) 周辺I/O領域

周辺I/O領域は、FFF000H-FFFFFFH番地の4 Kバイトが予約されています。V854では、物理周辺I/OとしてFFF000H-FFF3FFH番地の1Kバイトに割り当てており、残りの領域（FFF400H-FFFFFFH）には、FFF000H-FFF3FFHのイメージが見えます。



周辺I/O領域には、内蔵周辺ハードウェアの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意 1.** アドレスの最下位ビットはデコードしていません。したがって、奇数アドレス ($2n+1$ 番地) のレジスタにバイト・アクセスした場合は、ハードウェア上、偶数アドレス ($2n$) のレジスタへのアクセスが行われます。
- 2.** バイト・アクセス可能なレジスタに対して、ハーフワード・アクセスした場合はリード時は上位8ビットが不定となり、ライト時は下位8ビット・データがレジスタに書き込まれます。
- 3.** ハーフワード・アクセスだけ可能な n 番地のレジスタにワード・アクセスを行うと、2回のハーフワード・アクセスに置き換わり、1回目（下位16ビット）は n 番地のレジスタにアクセスし、2回目（上位16ビット）は $n+2$ 番地のレジスタにアクセスします。
- 4.** ワード・アクセス可能な n 番地のレジスタにワード・アクセスを行うと、2回のハーフワード・アクセスに置き換わり、1回目（下位16ビット）は n 番地のレジスタにアクセスし、2回目（上位16ビット）は $n+2$ 番地のレジスタにアクセスします。
- 5.** レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

(4) 外部メモリ領域

★ μ PD703008, 70F3008, 703008Y, 70F3008Yは、シングルチップ・モード時に最大××100000H-××FFDFFFHの領域を外部メモリ領域として使用できます。

μ PD703006, 703008, 70F3008, 703008Y, 70F3008Yは、ROMレス・モード時に最大××000000H-××FFDFFFHの領域を外部メモリ領域として使用できます。

外部メモリ領域は、外部拡張モードを指定すると、64 K, 256 K, 1 M, 4 M, 16 Mバイトの物理外部メモリを割り当てることができます。フル拡張（16 Mバイト）のとき以外は、物理外部メモリと同じイメージが、図3-6で示すとおり、外部メモリ領域上に連続して見えます。

ただし、内蔵RAM領域、周辺I/O領域およびシングルチップ・モード時の内蔵ROM領域に対しては、外部メモリのアクセス対象になりません。

図3-6 外部メモリ領域（64 K, 256 K, 1 Mバイト拡張時）

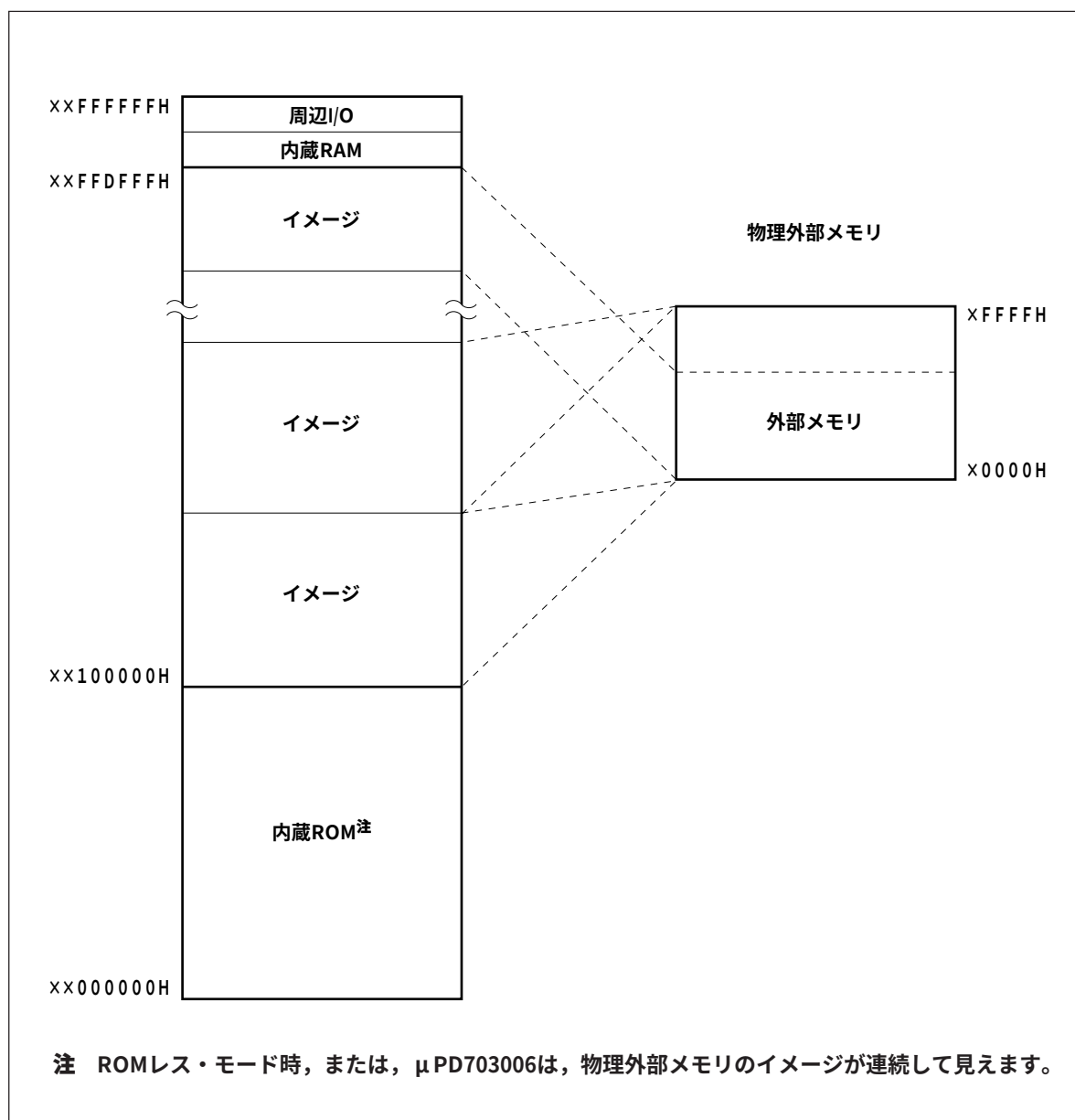


図3-7 外部メモリ領域（4 Mバイト拡張時）

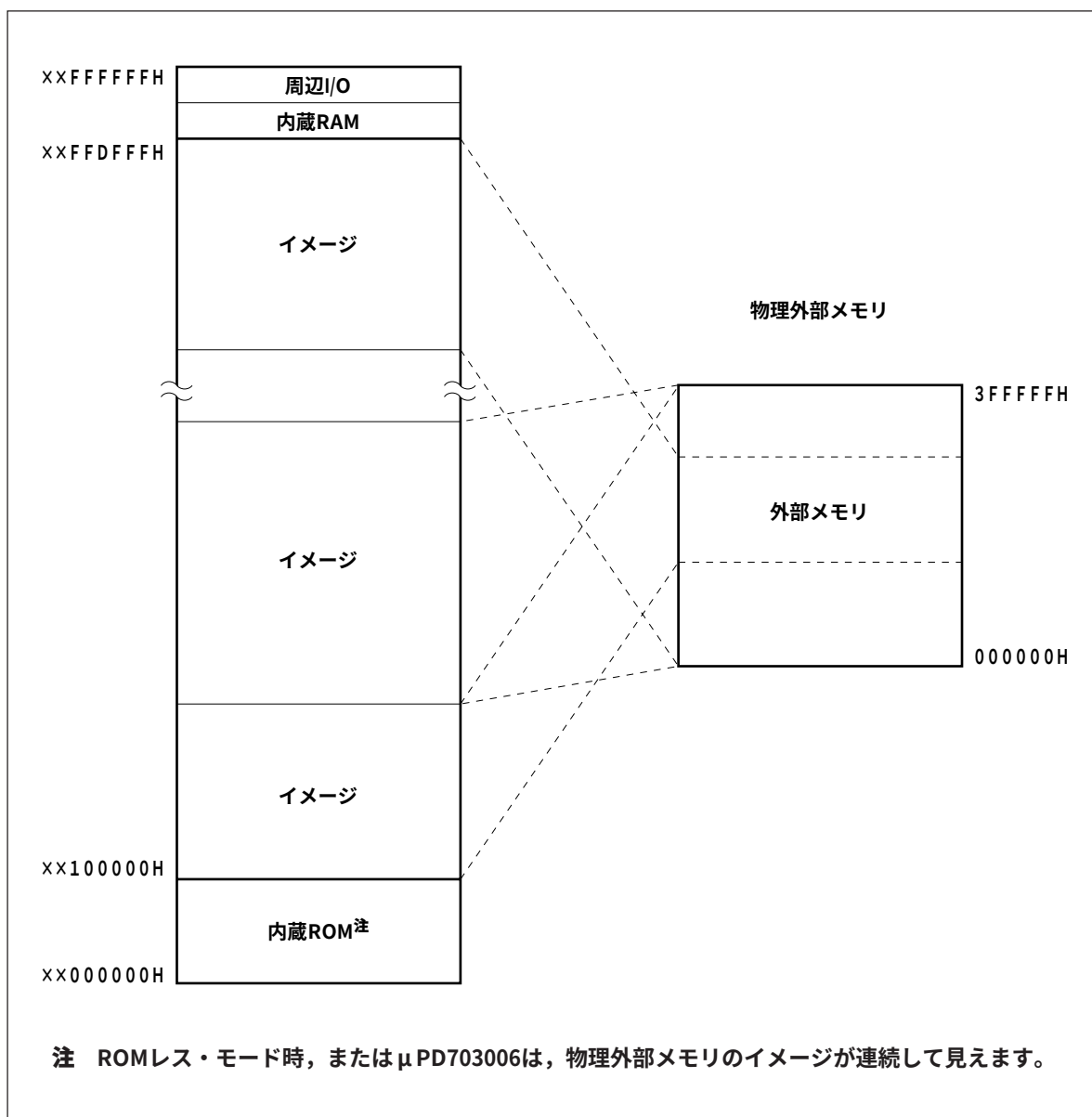
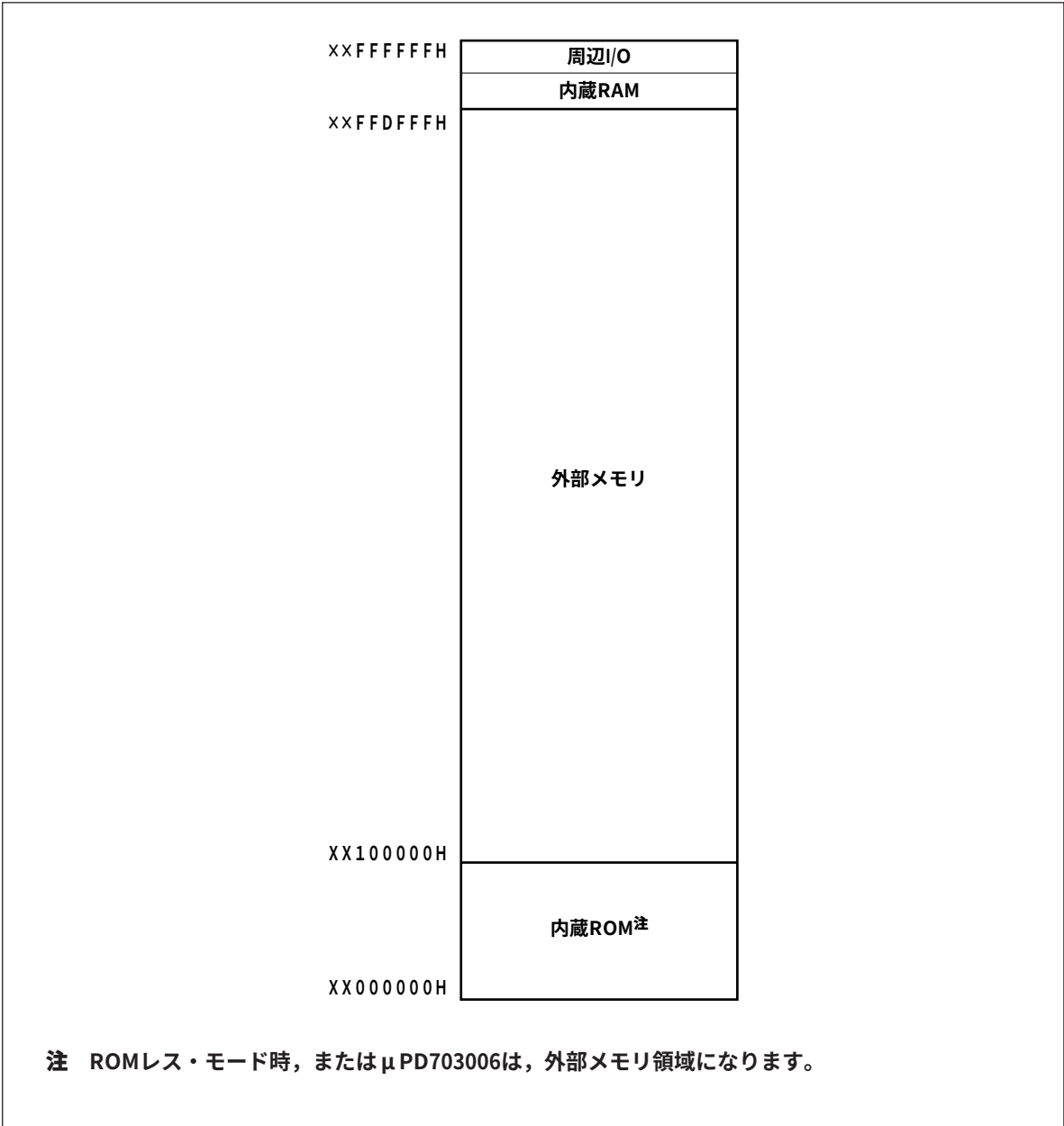


図3－8 外部メモリ領域（フル拡張時）



3.4.6 外部拡張モード

V854は、ポート4、5、6、9の各端子を用いて外部メモリ空間に外部デバイスを接続することができます。外部デバイスを接続するためにはMODEn端子とメモリ拡張モード・レジスタ（MM）を用いて、ポート端子を外部拡張モードに設定する必要があります。MODEn端子はV854の動作モードを指定する端子です。

設定内容については3.3.2 動作モード指定を参照してください。

ROMレス・モードに指定した場合、リセット時は、ポート4-ポート6の各端子とP90-P94がコントロール・モードになり、外部メモリの使用が可能となります。

シングルチップ・モードに指定した場合、リセット時の各ポート／コントロール・モード兼用端子はポート・モードになり、外部メモリは使用できません。外部メモリを使用する場合（外部拡張モード）は、プログラムでMMレジスタの設定を行ってください（メモリ領域の設定はMMレジスタで行います）。

備考 n = 0-2

(1) メモリ拡張モード・レジスタ (MM)

ポート4, 5, 6, 9の各端子のモード設定を行います。外部拡張モードでは、最大16Mバイトの外部メモリ領域に外部デバイスを接続できます。ただし、内蔵RAM領域、周辺I/O領域およびシングルチップ・モード時の内蔵ROM領域の各領域に対しては外部デバイスを接続して使用することはできません（物理的に接続しても、アクセス対象にはなりません）。

MMレジスタは8/1ビット単位でリード／ライト可能です。ただし、ビット4-ビット7は0に固定です。

	7	6	5	4	3	2	1	0		
MM	0	0	0	0	MM3	MM2	MM1	MM0	アドレス FFFFFF04CH	リセット時 07H (ROMレス・モード時) 00H (シングルチップ・モード時)

ビット位置	ビット名	意	味																																																
3	MM3	Memory Expansion Mode ポート 9 の P95, P96 の動作モードを指定します。 <table><tr><td>MM3</td><td>動作モード</td><td>P95</td><td>P96</td></tr><tr><td>0</td><td>ポート・モード</td><td colspan="2">ポート</td></tr><tr><td>1</td><td>外部拡張モード</td><td>HLD AK</td><td>HLD RQ</td></tr></table>		MM3	動作モード	P95	P96	0	ポート・モード	ポート		1	外部拡張モード	HLD AK	HLD RQ																																				
MM3	動作モード	P95	P96																																																
0	ポート・モード	ポート																																																	
1	外部拡張モード	HLD AK	HLD RQ																																																
2-0	MM2-MM0	Memory Expansion Mode ポート 4 , 5 , 6 , 9 (P90-P94) の動作モードを指定します。 <table><tr><td>MM2</td><td>MM1</td><td>MM0</td><td>アドレス 空間</td><td>ポート 4</td><td>ポート 5</td><td>ポート 6</td><td>ポート 9 (P90-P94)</td></tr><tr><td>0</td><td>0</td><td>0</td><td>—</td><td colspan="4">ポート・モード</td></tr><tr><td>0</td><td>1</td><td>1</td><td>64 K バイ ト拡張</td><td rowspan="5">AD0-AD7</td><td rowspan="5">AD8- AD15</td><td rowspan="5">A16, A17 A18, A19 A20, A21 A22, A23</td><td rowspan="5">LBEN, UBEN, R/W, DSTB, ASTB, WRL, WRH, RD</td></tr><tr><td>1</td><td>0</td><td>0</td><td>256 K バ イト拡張</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1 M バイ ト拡張</td></tr><tr><td>1</td><td>1</td><td>0</td><td>4 M バイ ト拡張</td></tr><tr><td>1</td><td>1</td><td>1</td><td>16 M バイ ト拡張</td></tr><tr><td colspan="4">その他</td><td colspan="4">RFU (予約)</td></tr></table>		MM2	MM1	MM0	アドレス 空間	ポート 4	ポート 5	ポート 6	ポート 9 (P90-P94)	0	0	0	—	ポート・モード				0	1	1	64 K バイ ト拡張	AD0-AD7	AD8- AD15	A16, A17 A18, A19 A20, A21 A22, A23	LBEN, UBEN, R/W, DSTB, ASTB, WRL, WRH, RD	1	0	0	256 K バ イト拡張	1	0	1	1 M バイ ト拡張	1	1	0	4 M バイ ト拡張	1	1	1	16 M バイ ト拡張	その他				RFU (予約)			
MM2	MM1	MM0	アドレス 空間	ポート 4	ポート 5	ポート 6	ポート 9 (P90-P94)																																												
0	0	0	—	ポート・モード																																															
0	1	1	64 K バイ ト拡張	AD0-AD7	AD8- AD15	A16, A17 A18, A19 A20, A21 A22, A23	LBEN, UBEN, R/W, DSTB, ASTB, WRL, WRH, RD																																												
1	0	0	256 K バ イト拡張																																																
1	0	1	1 M バイ ト拡張																																																
1	1	0	4 M バイ ト拡張																																																
1	1	1	16 M バイ ト拡張																																																
その他				RFU (予約)																																															

備考 各ポート端子の動作の詳細については2.3 端子機能の説明を参照してください。

3.4.7 アドレス空間の推奨使用方法

V854のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスを行えます。しかしポインタ用レジスタとして使う汎用レジスタには限りがあり、ポインタの値を変更するときのアドレス計算にかかる性能低下を極力抑えることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

V854のメモリ・マップに関連して、ポインタ運用の効率化を目的として、次の使用方法を推奨します。

(1) プログラム空間

PC（プログラム・カウンタ）は、32ビットのうち上位8ビットは“0”に固定であり、下位24ビットのみ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した16 Mバイト空間がそのままメモリ・マップに対応します。

(2) データ空間

データ空間のラップ・アラウンドを利用したリソースの効率的な運用を行うため、4 GバイトのCPUアドレス空間の00000000H-007FFFFFFH番地およびFF800000H-FFFFFFFFH番地のそれぞれ連続した8 Mバイトをデータ空間として使用します。V854では、4 GバイトのCPUアドレス空間に16 Mバイトの物理アドレス空間が256個のイメージとして見えるため、この24ビット・アドレスの最上位ビット（ビット23）を32ビット長まで符号拡張したアドレスとして割り当てています。

ラップ・アラウンドを利用した応用例

LD/ST disp16 [R] 命令でR=r0（ゼロ・レジスタ）とした場合、符号拡張したdisp16により、00000000H番地±32 Kバイトの範囲がアドレッシング可能です。外部メモリを図の24 Kバイトの範囲にマッピングすれば、内蔵ハードウェアのすべてを含むすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ（r0）はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

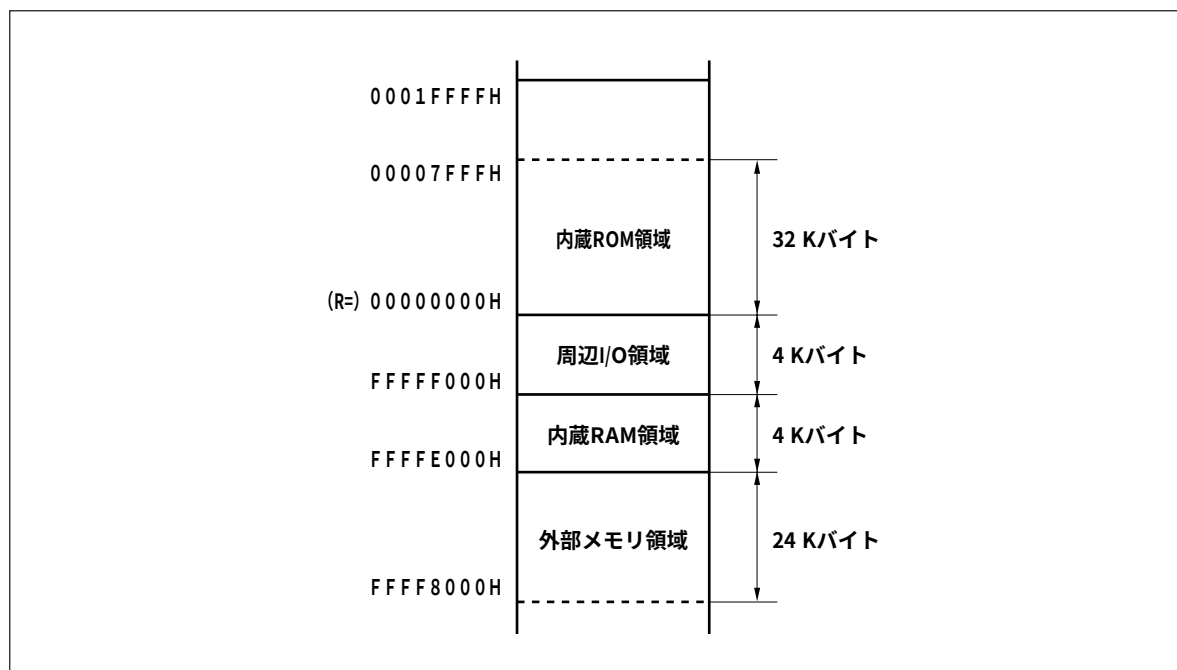
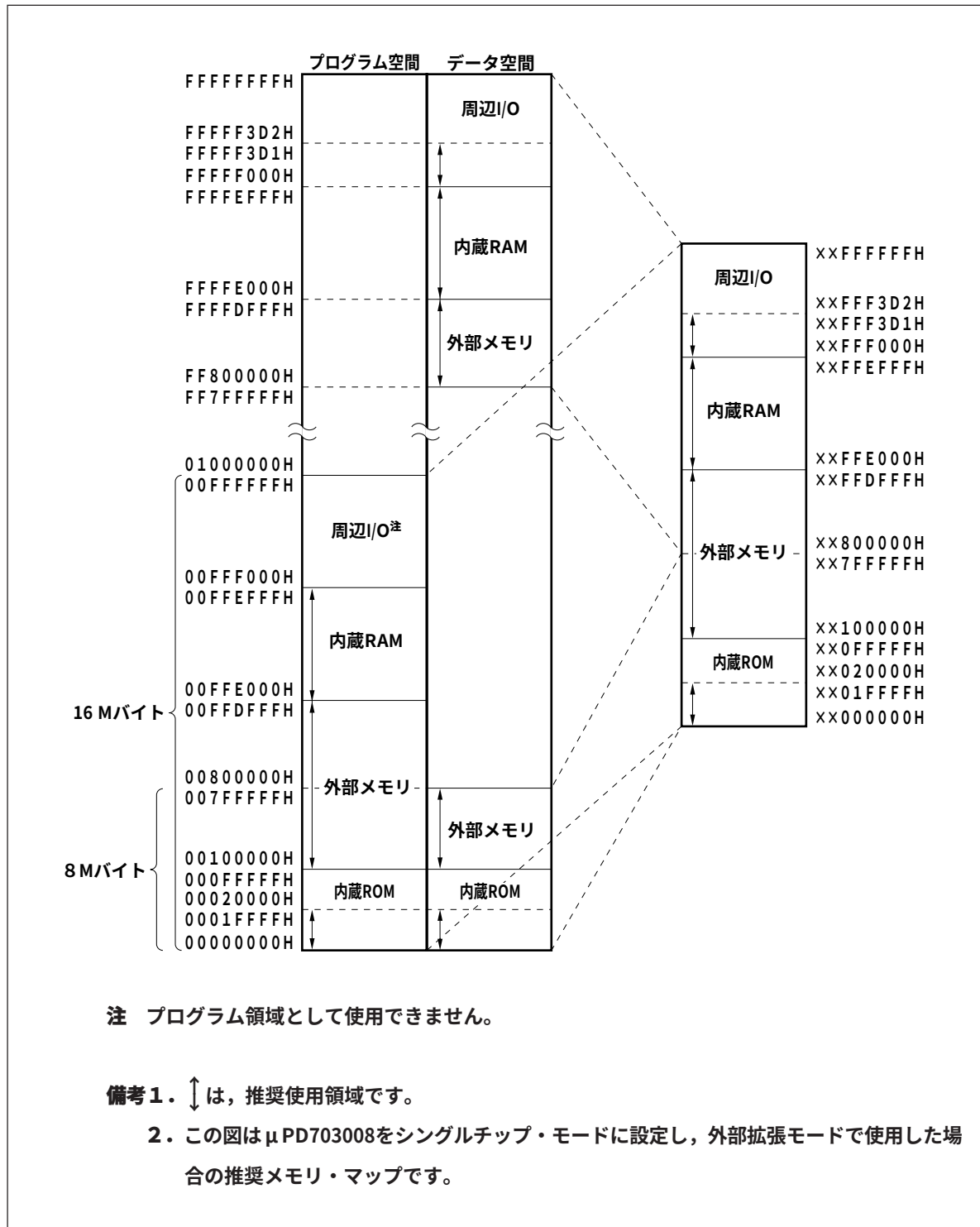


図3-9 推奨メモリ・マップ



3.4.8 周辺I/Oレジスタ

(1 / 6)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1ビット	8ビット	16ビット	32ビット	
FFFFF000H	ポート0	P0	R/W	○	○			不定
FFFFF002H	ポート1	P1		○	○			
FFFFF004H	ポート2	P2		○	○			
FFFFF006H	ポート3	P3		○	○			
FFFFF008H	ポート4	P4		○	○			
FFFFF00AH	ポート5	P5		○	○			
FFFFF00CH	ポート6	P6		○	○			
FFFFF00EH	ポート7	P7	R	○	○			
FFFFF010H	ポート8	P8		○	○			
FFFFF012H	ポート9	P9	R/W	○	○			
FFFFF014H	ポート10	P10		○	○			
FFFFF016H	ポート11	P11		○	○			
FFFFF018H	ポート12	P12		○	○			
FFFFF01AH	ポート13	P13		○	○			
FFFFF01CH	ポート14	P14		○	○			
FFFFF020H	ポート0モード・レジスタ	PM0		○	○			FFH
FFFFF022H	ポート1モード・レジスタ	PM1		○	○			
FFFFF024H	ポート2モード・レジスタ	PM2		○	○			
FFFFF026H	ポート3モード・レジスタ	PM3		○	○			
FFFFF028H	ポート4モード・レジスタ	PM4		○	○			
FFFFF02AH	ポート5モード・レジスタ	PM5		○	○			
FFFFF02CH	ポート6モード・レジスタ	PM6		○	○			
FFFFF032H	ポート9モード・レジスタ	PM9		○	○			
FFFFF034H	ポート10モード・レジスタ	PM10		○	○			
FFFFF036H	ポート11モード・レジスタ	PM11		○	○			
FFFFF038H	ポート12モード・レジスタ	PM12		○	○			
FFFFF03AH	ポート13モード・レジスタ	PM13		○	○			
FFFFF03CH	ポート14モード・レジスタ	PM14		○	○			
FFFFF040H	ポート0モード・コントロール・レジスタ	PMC0		○	○			00H
FFFFF042H	ポート1モード・コントロール・レジスタ	PMC1		○	○			
FFFFF044H	ポート2モード・コントロール・レジスタ	PMC2		○	○			01H
FFFFF046H	ポート3モード・コントロール・レジスタ	PMC3		○	○			00H
FFFFF04CH	メモリ拡張モード・レジスタ	MM		○	○			00H/07H
FFFFF054H	ポート10モード・コントロール・レジスタ	PMC10		○	○			00H
FFFFF056H	ポート11モード・コントロール・レジスタ	PMC11		○	○			
FFFFF058H	ポート12モード・コントロール・レジスタ	PMC12		○	○			
FFFFF05AH	ポート13モード・コントロール・レジスタ	PMC13		○	○			

(2 / 6)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1ビット	8ビット	16ビット	32ビット	
FFFFFF060H	データ・ウェイト・コントロール・レジスタ	DWC	R/W			○		FFFFH
FFFFFF062H	バス・サイクル・コントロール・レジスタ	BCC				○		AAAAH
FFFFFF064H	システム制御レジスタ	SYC		○	○			00H/01H
FFFFFF070H	パワー・セーブ・コントロール・レジスタ	PSC		○	○			00H/C0H
FFFFFF072H	クロック・コントロール・レジスタ	CKC		○	○			00H
FFFFFF078H	システム・ステータス・レジスタ	SYS		○	○			0000000×B
FFFFFF084H	ボー・レート・ジェネレータ・コンペア・レジスタ0	BRGC0		○	○			不定
FFFFFF086H	ボー・レート・ジェネレータ・プリスケラ・モード・レジスタ0	BPRM0		○	○			00H
FFFFFF088H	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSIM0		○	○			
FFFFFF08AH	シリアルI/Oシフト・レジスタ0	SIO0		○	○			不定
FFFFFF094H	ボー・レート・ジェネレータ・コンペア・レジスタ1	BRGC1		○	○			
FFFFFF096H	ボー・レート・ジェネレータ・プリスケラ・モード・レジスタ1	BPRM1		○	○			00H
FFFFFF098H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1		○	○			
FFFFFF09AH	シリアルI/Oシフト・レジスタ1	SIO1		○	○			不定
FFFFFF0A4H	ボー・レート・ジェネレータ・コンペア・レジスタ2	BRGC2		○	○			
FFFFFF0A6H	ボー・レート・ジェネレータ・プリスケラ・モード・レジスタ2	BPRM2		○	○			00H
FFFFFF0A8H	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSIM2		○	○			
FFFFFF0AAH	シリアルI/Oシフト・レジスタ2	SIO2		○	○			不定
FFFFFF0B4H	ボー・レート・ジェネレータ・レジスタ3	BRGC3		○	○			
FFFFFF0B6H	ボー・レート・ジェネレータ・プリスケラ・モード・レジスタ3	BPRM3		○	○			00H
FFFFFF0B8H	クロック同期式シリアル・インタフェース・モード・レジスタ3	CSIM3		○	○			
FFFFFF0BAH	シリアルI/Oシフト・レジスタ3	SIO3		○	○			不定
FFFFFF0C0H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0		○	○			80H
FFFFFF0C2H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1		○	○			00H
FFFFFF0C4H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R	○	○			
FFFFFF0C8H	受信バッファ (9ビット)	RXB				○		不定
FFFFFF0CAH	受信バッファL (下位8ビット)	RXBL		○	○			
FFFFFF0CCH	送信シフト・レジスタ (9ビット)	TXS	W			○		
FFFFFF0CEH	送信シフト・レジスタL (下位8ビット)	TXSL			○			
FFFFFF0E0H	IICコントロール・レジスタ	IICC	R/W	○	○			00H
FFFFFF0E2H	IIC状態レジスタ	IICS	R	○	○			
FFFFFF0E4H	IICクロック選択レジスタ	IICCL	R/W	○	○			
FFFFFF0E6H	IICシフト・レジスタ	IIC		○	○			
FFFFFF0E8H	スレーブ・アドレス・レジスタ	SVA		○	○			
FFFFFF100H	割り込み制御レジスタ	OVIC0		○	○			47H
FFFFFF102H	割り込み制御レジスタ	OVIC1		○	○			
FFFFFF104H	割り込み制御レジスタ	CC0IC0		○	○			
FFFFFF106H	割り込み制御レジスタ	CC0IC1		○	○			

(3 / 6)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1ビット	8ビット	16ビット	32ビット	
FFFFFF108H	割り込み制御レジスタ	CC0IC2	R/W	○	○			47H
FFFFFF10AH	割り込み制御レジスタ	CC0IC3		○	○			
FFFFFF10CH	割り込み制御レジスタ	P1IC0		○	○			
FFFFFF10EH	割り込み制御レジスタ	P1IC1		○	○			
FFFFFF110H	割り込み制御レジスタ	P1IC2		○	○			
FFFFFF112H	割り込み制御レジスタ	P1IC3		○	○			
FFFFFF114H	割り込み制御レジスタ	CM1IC0		○	○			
FFFFFF116H	割り込み制御レジスタ	CM1IC1		○	○			
FFFFFF118H	割り込み制御レジスタ	CM2IC0		○	○			
FFFFFF11AH	割り込み制御レジスタ	CM2IC1		○	○			
FFFFFF11CH	割り込み制御レジスタ	CM2IC2		○	○			
FFFFFF11EH	割り込み制御レジスタ	CM2IC3		○	○			
FFFFFF120H	割り込み制御レジスタ	CM2IC4		○	○			
FFFFFF122H	割り込み制御レジスタ	CC3IC0		○	○			
FFFFFF124H	割り込み制御レジスタ	CSIC0		○	○			
FFFFFF126H	割り込み制御レジスタ	CSIC1		○	○			
FFFFFF128H	割り込み制御レジスタ	CSIC2		○	○			
FFFFFF12AH	割り込み制御レジスタ	CSIC3		○	○			
FFFFFF12CH	割り込み制御レジスタ	IIIC0		○	○			
FFFFFF12EH	割り込み制御レジスタ	SEIC0		○	○			
FFFFFF130H	割り込み制御レジスタ	SRIC0		○	○			
FFFFFF132H	割り込み制御レジスタ	STIC0		○	○			
FFFFFF134H	割り込み制御レジスタ	ADIC0		○	○			
FFFFFF136H	割り込み制御レジスタ	P5IC0		○	○			
FFFFFF138H	割り込み制御レジスタ	P5IC1		○	○			
FFFFFF13AH	割り込み制御レジスタ	P5IC2		○	○			
FFFFFF13CH	割り込み制御レジスタ	P5IC3		○	○			
FFFFFF166H	インサービス・プライオリティ・レジスタ	ISPR	R	○	○			00H
FFFFFF170H	コマンド・レジスタ	PRCMD	W		○			不定
FFFFFF180H	外部割り込みモード・レジスタ0	INTM0	R/W	○	○			00H
FFFFFF182H	外部割り込みモード・レジスタ1	INTM1		○	○			
FFFFFF184H	外部割り込みモード・レジスタ2	INTM2		○	○			
FFFFFF186H	外部割り込みモード・レジスタ3	INTM3		○	○			
FFFFFF188H	外部割り込みモード・レジスタ4	INTM4		○	○			
FFFFFF18AH	外部割り込みモード・レジスタ5	INTM5		○	○			
FFFFFF18CH	外部割り込みモード・レジスタ6	INTM6		○	○			
FFFFFF18EH	外部割り込みモード・レジスタ7	INTM7		○	○			

(4/6)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1ビット	8ビット	16ビット	32ビット	
FFFFFF1B0H	イベント・ディバイド制御レジスタ0	EDVC0	R/W	○	○			01H
FFFFFF1B2H	イベント・ディバイド制御レジスタ1	EDVC1		○	○			
FFFFFF1B4H	イベント・ディバイド制御レジスタ2	EDVC2		○	○			
FFFFFF1B6H	イベント・ディバイド・カウンタ0	EDV0	R	○	○			00H
FFFFFF1B8H	イベント・ディバイド・カウンタ1	EDV1		○	○			
FFFFFF1BAH	イベント・ディバイド・カウンタ2	EDV2		○	○			
FFFFFF1C0H	イベント選択レジスタ	EVS	R/W	○	○			01H
FFFFFF230H	タイマ・オーバフロー・ステータス・レジスタ	TOVS		○	○			
FFFFFF232H	タイマ出力コントロール・レジスタ0	TOC0		○	○			
FFFFFF234H	タイマ出力コントロール・レジスタ1	TOC1		○	○			
FFFFFF240H	タイマ・コントロール・レジスタ00	TMC00		○	○			
FFFFFF242H	タイマ・コントロール・レジスタ01	TMC01		○	○			
FFFFFF244H	タイマ・コントロール・レジスタ02	TMC02		○	○			00H
FFFFFF250H	タイマ0	TM0	R				○	00000000H
FFFFFF254H	キャプチャ／コンペア・レジスタ00	CC00	R/W				○	不定
FFFFFF258H	キャプチャ／コンペア・レジスタ01	CC01					○	
FFFFFF25CH	キャプチャ／コンペア・レジスタ02	CC02					○	
FFFFFF260H	キャプチャ／コンペア・レジスタ03	CC03					○	
FFFFFF264H	タイマ0L	TM0L	R			○		0000H
FFFFFF266H	キャプチャ／コンペア・レジスタ00L	CC00L	R/W			○		不定
FFFFFF268H	キャプチャ／コンペア・レジスタ01L	CC01L				○		
FFFFFF26AH	キャプチャ／コンペア・レジスタ02L	CC02L				○		
FFFFFF26CH	キャプチャ／コンペア・レジスタ03L	CC03L				○		
FFFFFF270H	タイマ・コントロール・レジスタ1	TMC1		○	○			01H
FFFFFF274H	タイマ1	TM1	R				○	00000000H
FFFFFF278H	コンペア・レジスタ10	CM10	R/W				○	不定
FFFFFF27CH	コンペア・レジスタ11	CM11					○	
FFFFFF280H	キャプチャ・レジスタ10	CP10	R				○	0000H
FFFFFF284H	キャプチャ・レジスタ11	CP11					○	
FFFFFF288H	キャプチャ・レジスタ12	CP12					○	
FFFFFF28CH	キャプチャ・レジスタ13	CP13					○	
FFFFFF290H	タイマ1L	TM1L				○		
FFFFFF292H	コンペア・レジスタ10L	CM10L	R/W			○		不定
FFFFFF294H	コンペア・レジスタ11L	CM11L				○		
FFFFFF296H	キャプチャ・レジスタ10L	CP10L	R			○		
FFFFFF298H	キャプチャ・レジスタ11L	CP11L				○		
FFFFFF29AH	キャプチャ・レジスタ12L	CP12L				○		
FFFFFF29CH	キャプチャ・レジスタ13L	CP13L				○		

(5 / 6)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1ビット	8ビット	16ビット	32ビット	
FFFFFF2A0H	タイマ・コントロール・レジスタ20	TMC20	R/W	○	○			01H
FFFFFF2B0H	タイマ20	TM20	R			○		0000H
FFFFFF2B2H	コンペア・レジスタ20	CM20	R/W			○		不定
FFFFFF2C0H	タイマ・コントロール・レジスタ21	TMC21		○	○			01H
FFFFFF2D0H	タイマ21	TM21	R			○		0000H
FFFFFF2D2H	コンペア・レジスタ21	CM21	R/W			○		不定
FFFFFF2E0H	タイマ・コントロール・レジスタ22	TMC22		○	○			01H
FFFFFF2F0H	タイマ22	TM22	R			○		0000H
FFFFFF2F2H	コンペア・レジスタ22	CM22	R/W			○		不定
FFFFFF300H	タイマ・コントロール・レジスタ23	TMC23		○	○			01H
FFFFFF310H	タイマ23	TM23	R			○		0000H
FFFFFF312H	コンペア・レジスタ23	CM23	R/W			○		不定
FFFFFF320H	タイマ・コントロール・レジスタ24	TMC24		○	○			01H
FFFFFF330H	タイマ24	TM24	R			○		0000H
FFFFFF332H	コンペア・レジスタ24	CM24	R/W			○		不定
FFFFFF340H	タイマ・コントロール・レジスタ3	TMC3		○	○			01H
FFFFFF350H	タイマ3	TM3	R			○		0000H
FFFFFF352H	キャプチャ／コンペア・レジスタ3	CC3	R/W			○		不定
FFFFFF354H	キャプチャ・レジスタ3	CP3	R			○		
FFFFFF360H	PWMコントロール・レジスタ0	PWMC0	R/W	○	○			05H
FFFFFF362H	PWMモジュロ・レジスタ0	PWM0				○		不定
FFFFFF364H	PWMプリスケラ・レジスタ0	PWPR0		○	○			00H
FFFFFF368H	PWMコントロール・レジスタ1	PWMC1		○	○			05H
FFFFFF36AH	PWMモジュロ・レジスタ1	PWM1				○		不定
FFFFFF36CH	PWMプリスケラ・レジスタ1	PWPR1		○	○			00H
FFFFFF370H	PWMコントロール・レジスタ2	PWMC2		○	○			05H
FFFFFF372H	PWMモジュロ・レジスタ2	PWM2				○		不定
FFFFFF374H	PWMプリスケラ・レジスタ2	PWPR2		○	○			00H
FFFFFF378H	PWMコントロール・レジスタ3	PWMC3		○	○			05H
FFFFFF37AH	PWMモジュロ・レジスタ3	PWM3				○		不定
FFFFFF37CH	PWMプリスケラ・レジスタ3	PWPR3		○	○			00H
FFFFFF380H	A/Dコンバータ・モード・レジスタ0	ADM0		○	○			07H
FFFFFF382H	A/Dコンバータ・モード・レジスタ1	ADM1		○	○			
FFFFFF390H	A/D変換結果レジスタ0	ADCR0	R	○	○			不定
FFFFFF392H	A/D変換結果レジスタ1	ADCR1		○	○			
FFFFFF394H	A/D変換結果レジスタ2	ADCR2		○	○			
FFFFFF396H	A/D変換結果レジスタ3	ADCR3		○	○			
FFFFFF398H	A/D変換結果レジスタ4	ADCR4		○	○			

(6 / 6)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				リセット時
				1ビット	8ビット	16ビット	32ビット	
FFFFFF39AH	A/D変換結果レジスタ5	ADCR5	R	○	○			不定
FFFFFF39CH	A/D変換結果レジスタ6	ADCR6		○	○			
FFFFFF39EH	A/D変換結果レジスタ7	ADCR7		○	○			
FFFFFF3C0H	ポート13バッファ・レジスタ	PB	R/W	○	○			00H
FFFFFF3C2H	出力ラッチ	RTP		○	○			
FFFFFF3D0H	クロック出力モード・レジスタ	CLOM		○	○			

3.4.9 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。この特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作時はシステム・ステータス・レジスタ（SYS）に報告されます。V854にはクロック・コントロール・レジスタ（CKC）とパワー・セーブ・コントロール・レジスタ（PSC）の2つの特定レジスタがあります。CKCレジスタについては6.3.3，PSCレジスタについては6.5.2を参照してください。

特定レジスタへのデータ設定は次のシーケンスで行います。

- ① 割り込み禁止にする（PSWのNPビットを1に設定）。
- ② コマンド・レジスタ（PRCMD）に任意の8ビット・データを書き込む。
- ③ 特定レジスタに設定データを書き込む（次の命令で行います）。
 - ・ストア命令（ST/SST命令）
 - ・ビット操作命令（SET1/CLR1/NOT1命令）
- ④ 割り込み禁止を解除する（PSWのNPビットを0にもどす）。
- ⑤ ソフトウェアSTOPモード、またはIDLEモードに移行する場合は、NOP命令を挿入する（2または5命令）。

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

注意1. PRCMD発行（②）と、その直後の特定レジスタ書き込み（③）の間で割り込みを受け付けた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー（SYSレジスタのPRERRビットが“1”）が発生することがあります。このため、PSWのNPビットを1に設定し（①）、INT/NMIの受け付けを禁止してください。

特定レジスタの設定にビット操作命令を使用した場合も同様です。

また、ソフトウェアSTOP/IDLEモード解除後のルーチンが正しく実行されるように、ダミー命令として、NOP命令を挿入（⑤）してください。NPビットを0に戻す（④）命令の実行により、PSWのIDビットの値が変化しないときは、NOP命令を2つ、変化するときは5つ挿入してください。

次に記述例を示します。

【記述例】：PSCレジスタの場合

```
LDSR rX,5          ; NPビット=1
ST.B r0,PRCMD [r0] ; PRCMDへの書き込み
ST.B rD,PSC [r0]   ; PSCレジスタ設定
LDSR rY,5          ; NPビット=0
NOP                ; ダミー命令（2または5命令）
    ⋮
NOP
(next instruction) ; ソフトウェアSTOP/IDLEモード解除後の実行ルーチン
    ⋮
```

rX：PSWに書き込む値

rY：PSWに書き戻す値

rD：PSCにセットする値

なお、PSWの値を保存する場合、NPビットをセットする前のPSWの値をrYレジスタに転送しておく必要があります。

2. ソフトウェアSTOPモード、IDLEモードに設定するための特定レジスタに対するストア命令後の命令（④割り込み禁止解除、⑤NOP命令）は、各パワー・セーブ・モードに入る前に実行されます。

（1）コマンド・レジスタ（PRCMD）

コマンド・レジスタ（PRCMD）は、プログラムの暴走などにより特定レジスタへの不正書き込みが発生しないよう特定レジスタへのライト・アクセス時に使用するレジスタです。8ビット単位でライトが可能です。リード時は不定値になります。

不正なストア動作の発生は、SYSレジスタのPRERRビットでチェックできます。

	7	6	5	4	3	2	1	0		
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	アドレス FFFFFF170H	リセット時 不定

ビット位置	ビット名	意	味
7-0	REG7-REG0	Registration Code レジストレーション・コード	
		特定レジスタ	レジストレーション・コード
		CKC	任意の8ビット・データ
		PSC	任意の8ビット・データ

(2) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。8/1ビット単位でリード，ライト可能です。

	7	6	5	4	3	2	1	0		
SYS	0	0	0	PRERR	0	0	0	UNLOCK	アドレス FFFFF078H	リセット時 0000000×B

ビット位置	ビット名	意 味
4	PRERR	Protection Error Flag 特定レジスタへの書き込みが正しいシーケンスで行われず，プロテクション・エラーが発生したことを示します。 累積フラグです。 0：プロテクション・エラーは発生していない。 1：プロテクション・エラーが発生した。
0	UNLOCK	Unlock Status Flag 読み出し専用フラグです。PLLのアンロック状態を示します（詳細は，6.4 PLLロックアップを参照）。 0：ロック中である。 1：アンロック状態である。

PRERRフラグの動作条件

- セット条件：
- ① 最も最近の周辺I/Oに対するストア命令動作がPRCMDへの書き込み動作でない状態で，特定レジスタへの書き込み動作を行ったとき。
 - ② PRCMDレジスタへの書き込み動作後の最初のストア命令動作が，特定レジスタ以外の周辺I/Oレジスタに対するものであるとき。
- リセット条件：
- ① SYSのPRERRフラグに“0”を書き込んだとき。
 - ② システム・リセット時。

(× 毛)

保守

第4章 バス制御機能

V854は、外部にROM, RAM等のメモリやI/O等を接続できる外部バス・インタフェース機能を内蔵しています。

4.1 特 徴

- 16ビット・データ・バス
- ポートとの兼用端子で、外部デバイスとの接続が可能
- ウエイト機能
 - ・2ブロックごとに最大3ステートのプログラマブル・ウエイト機能
 - ・ $\overline{\text{WAIT}}$ 端子による外部ウエイト機能
- アイドル・ステート挿入機能
- バス使用権調停機能
- バス・ホールド機能

4.2 バス制御端子と制御レジスタ

4.2.1 バス制御端子

外部デバイスの接続は、次の端子を使用します。

外部バス・インタフェース機能使用時	対応するポート
アドレス／データ・バス (AD0-AD7)	ポート4 (P40-P47)
アドレス／データ・バス (AD8-AD15)	ポート5 (P50-P57)
アドレス・バス (A16-A23)	ポート6 (P60-P67)
リード／ライト制御 ($\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$, $\text{R}/\overline{\text{W}}$, DSTB , $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, RD)	ポート9 (P90-P93)
アドレス・ストローブ (ASTB)	ポート9 (P94)
バス・ホールド制御 ($\overline{\text{HLDRQ}}$, $\overline{\text{HLDK}}$)	ポート9 (P95, P96)
外部ウエイト制御 ($\overline{\text{WAIT}}$)	$\overline{\text{WAIT}}$

各端子のバス・インタフェース機能は、メモリ拡張モード・レジスタ (MM) の指定により有効になります。また、MODEn端子の設定により、ROMレス・モードの場合は無条件に有効になります (n = 0-2)。外部バス・インタフェースの動作モード指定に関する詳細は、3.4.6 (1) メモリ拡張モード・レジスタ (MM) を参照してください。

4.2.2 制御レジスタ

(1) システム制御レジスタ (SYC)

このレジスタは、バス・インタフェース用制御信号を切り替えます。
8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
SYC	0	0	0	0	0	0	0	BIC	FFFFF064H	00H (シングルチップ・モード1, 2, ROMレス・モード1時) 01H (ROMレス・モード2時)

ビット位置	ビット名	意 味
1	BIC	Bus Interface Control バス・インタフェース用制御信号の切り替え 0 : $\overline{\text{DSTB}}$, $\text{R}/\overline{\text{W}}$, $\overline{\text{UBEN}}$, $\overline{\text{LBEN}}$ 信号出力 1 : $\overline{\text{RD}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{UBEN}}$ 信号出力

ROMレス・モード2では、リセット直後から $\overline{\text{RD}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{UBEN}}$ 信号を出力します。

4.3 バス・アクセス

4.3.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数は次のとおりです。

バス・サイクル形態	リソース（バス幅）			
	内蔵ROM (32ビット)	内蔵RAM (32ビット)	内蔵周辺I/O (16ビット)	外部メモリ (16ビット)
命令フェッチ	1	3	不可	3 + n
オペランド・データ・アクセス	3	1	3 + n	3 + n

備考 1. 単位はクロック／アクセスです。

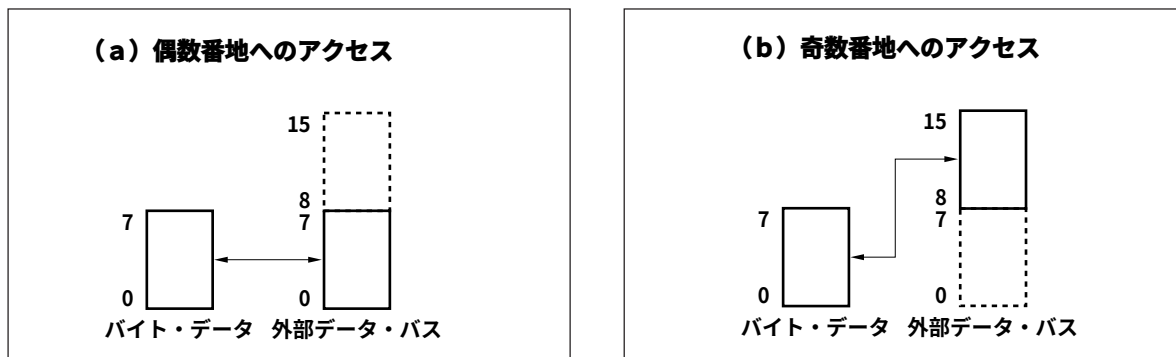
2. n：ウェイト挿入数

4.3.2 バス幅

V854が周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。

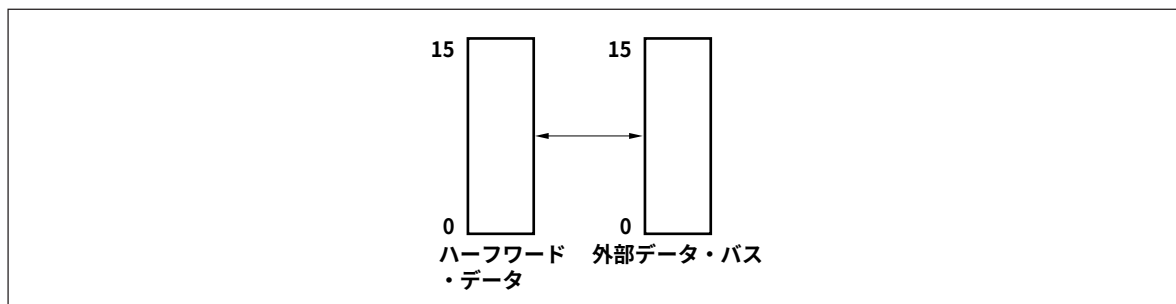
(1) バイト・アクセス（8ビット）

バイト・アクセスには，偶数番地へのアクセスと奇数番地へのアクセスの2つの方法があります。



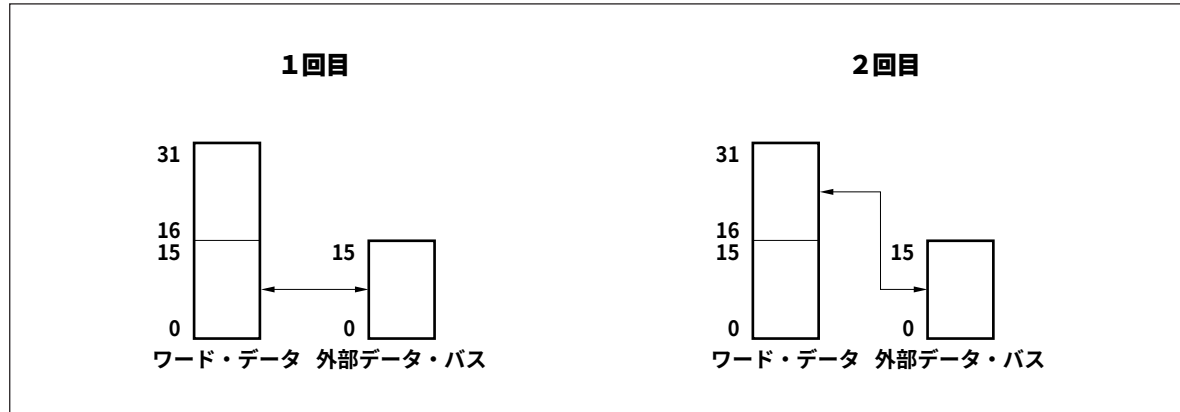
(2) ハーフワード・アクセス（16ビット）

データ・バスは16ビット固定なので，外部メモリへのハーフワード・アクセスでは，データをそのままやりとりします。



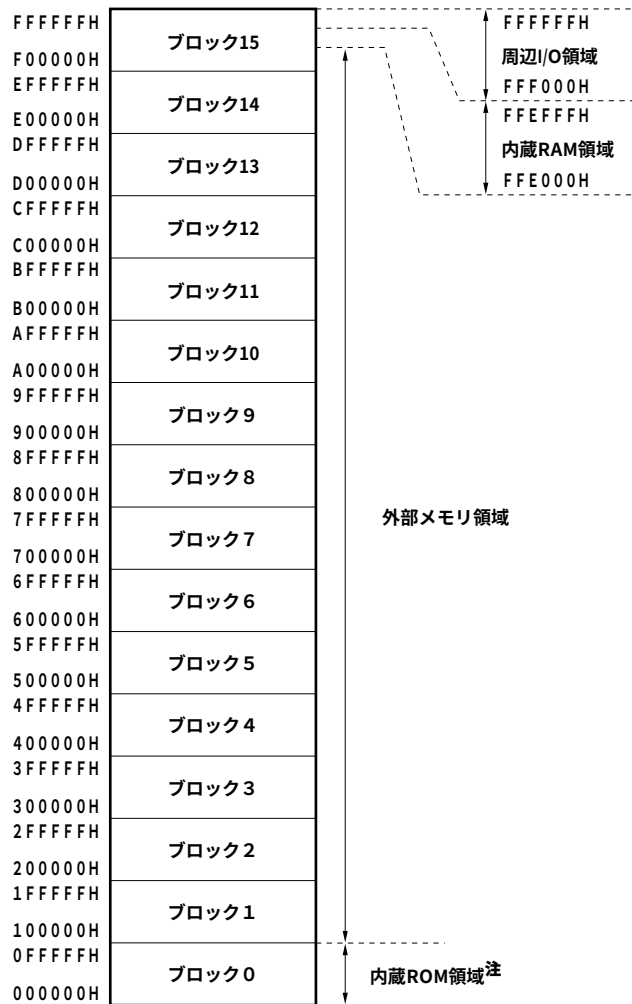
(3) ワード・アクセス (32ビット)

外部メモリへのワード・アクセスでは、下位ハーフワード、上位ハーフワードの順でアクセスします。



4.4 メモリ・ブロック機能

16 Mバイトのメモリ空間は1 Mバイト単位のメモリ・ブロックに分割され、2 ブロック単位にプログラマブル・ウエイト機能、バス・サイクル動作モードを独立に制御することができます。



注 ROMレス・モード，またはμPD703006のときは外部メモリ領域になります。

4.5 ウェイト機能

4.5.1 プログラマブル・ウェイト機能

低速メモリ、I/Oに対するインタフェースを容易に実現させることを目的とし、2ブロックごとに、起動されるバス・サイクルに対し、最大3ステートのデータ・ウェイトを挿入可能です。

ウェイト数は、データ・ウェイト・コントロール・レジスタ（DWC）の設定によりプログラマブルに指定可能です。システム・リセット直後は、全ブロックに対して3データ・ウェイトの挿入状態になります。

（1）データ・ウェイト・コントロール・レジスタ（DWC）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
DWC	DW71	DW70	DW61	DW60	DW51	DW50	DW41	DW40	DW31	DW30	DW21	DW20	DW11	DW10	DW01	DW00	アドレス FFFFFF060H	リセット時 FFFFH

ビット位置	ビット名	意 味
15-0	DWn1	Data Wait
	DWn0	挿入するウェイトのステート数を指定します。
	(n=0-7)	

注意1．ブロック0は、シングルチップ・モード時は内蔵ROM領域に予約されており、DWCの設定にかかわらずプログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。

2．ブロック15において、内蔵RAM領域は、プログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。また、周辺I/O領域は、プログラマブル・ウェイトの対象外で、各周辺機能からのウェイト制御のみ行われます。

4.5.2 外部ウェイト機能

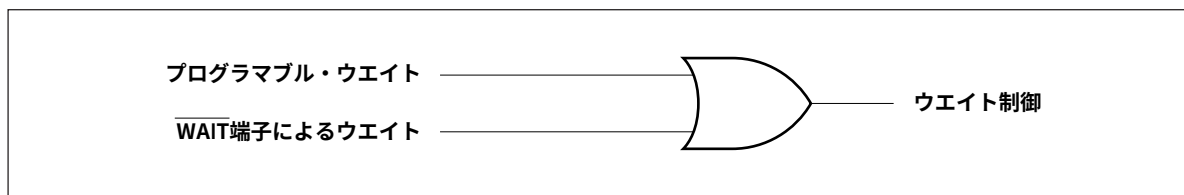
極端に遅いデバイスや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウェイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウェイト・ステートを挿入することができます。

外部ウェイトの挿入はデータ・ウェイトのみ行われます。ただし、内蔵ROM、内蔵RAM、周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウェイトと同様に、外部ウェイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2, TWステートのクロックの立ち下がりでサンプリングします。サンプル・タイミングにおける設定／保持時間を満たさないときは、次のステートでウェイトを挿入するか、挿入しないかのどちらかになります。

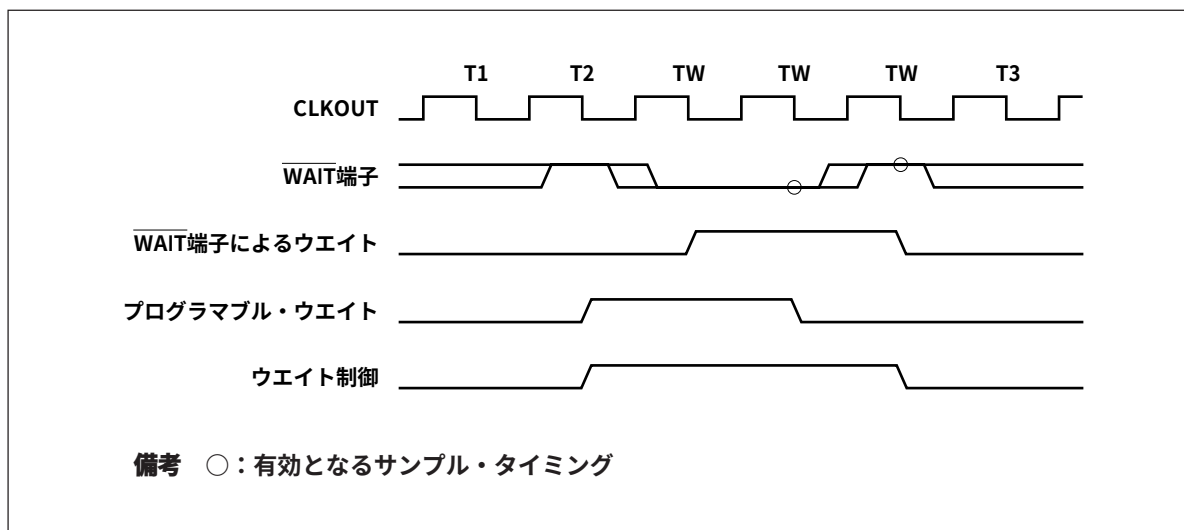
4.5.3 プログラマブル・ウェイトと外部ウェイトの関係

ウェイト・サイクルは、プログラマブル・ウェイトの設定値によるウェイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウェイト・サイクルの論理和として挿入され、どちらか多い方のウェイト・サイクル数だけ挿入されます。



たとえば、プログラマブル・ウェイトが2ウェイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウェイトになります。

図4-1 ウェイト挿入例



4.6 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、2ブロックごとに、リード・アクセス時のメモリのデータ出力フロート遅延時間（ t_{DF} ）を確保するために、起動されるバス・サイクルに対し、T3ステート後に1ステートのアイドル・ステート（TI）を挿入可能です。連続する次のバス・サイクルは、1アイドル・ステート後から開始します。

アイドル・ステート挿入の指定は、バス・サイクル・コントロール・レジスタ（BCC）の設定によりプログラマブルに指定可能です。

システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。

（1）バス・サイクル・コントロール・レジスタ（BCC）

16ビット単位でリード／ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
BCC	BC71	0	BC61	0	BC51	0	BC41	0	BC31	0	BC21	0	BC11	0	BC01	0	アドレス FFFFFF062H	リセット時 AAAAH

ビット位置	ビット名	意 味																		
15, 13, 11, 9, 7, 5, 3, 1	BCn1 (n=0-7)	Bus Cycle アイドル・ステートの挿入を指定します。 0：挿入しない 1：挿入する <table><tr><th>n</th><th>アイドル・ステートの挿入されるブロック</th></tr><tr><td>0</td><td>ブロック 0／1</td></tr><tr><td>1</td><td>ブロック 2／3</td></tr><tr><td>2</td><td>ブロック 4／5</td></tr><tr><td>3</td><td>ブロック 6／7</td></tr><tr><td>4</td><td>ブロック 8／9</td></tr><tr><td>5</td><td>ブロック10／11</td></tr><tr><td>6</td><td>ブロック12／13</td></tr><tr><td>7</td><td>ブロック14／15</td></tr></table>	n	アイドル・ステートの挿入されるブロック	0	ブロック 0／1	1	ブロック 2／3	2	ブロック 4／5	3	ブロック 6／7	4	ブロック 8／9	5	ブロック10／11	6	ブロック12／13	7	ブロック14／15
n	アイドル・ステートの挿入されるブロック																			
0	ブロック 0／1																			
1	ブロック 2／3																			
2	ブロック 4／5																			
3	ブロック 6／7																			
4	ブロック 8／9																			
5	ブロック10／11																			
6	ブロック12／13																			
7	ブロック14／15																			

注意1. シングルチップ・モード時は、ブロック0が内蔵ROM領域に予約されているため、BCCの設定にかかわらずブロック0に対してアイドル・ステートの挿入は指定できません。

2. ブロック15における、内蔵RAM領域、周辺I/O領域は、アイドル・ステート挿入の対象外になります。

3. ビット0, 2, 4, 6, 8, 10, 12, 14には必ず0を設定してください。1を指定した場合の動作は保証しません。

4.7 バス・ホールド機能

4.7.1 機能概要

ポート9のP95, P96がコントロール・モードに指定されていれば、 $\overline{\text{HLDRQ}}$, $\overline{\text{HLDK}}$ 端子機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ（ロウ・レベル）になったことを受け付けると、外部アドレス／データ・バス、各種ストローブ端子をハイ・インピーダンス状態にし、解放します（バス・ホールド状態）。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ（ハイ・レベル）になりバス獲得要求が解除されれば、再びこれらの端子の駆動を開始します。

バス・ホールド期間中は、外部メモリ・アクセスがあるまでV854の内部動作を継続します。

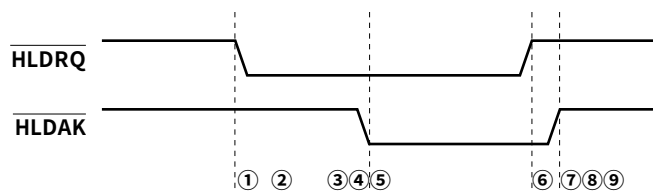
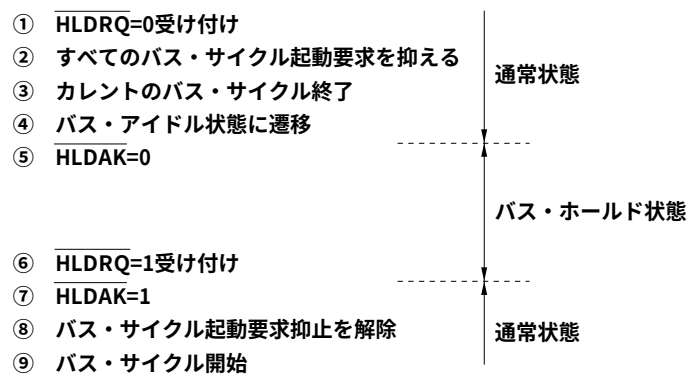
バス・ホールド状態は、 $\overline{\text{HLDK}}$ 端子がアクティブ（ロウ・レベル）になったことにより知ることができます。

マルチプロセッサ構成、DMAコントローラ接続時など、バス・マスタが複数存在するようなシステムを構成することができます。

なお、ワード・アクセス時の1回目と2回目の間には、バス・ホールド要求は受け付けません。また、ビット操作命令のリード・モディファイ・ライト・アクセスにおけるリード・アクセスとライト・アクセスの間にも、バス・ホールド要求は受け付けません。

4.7.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



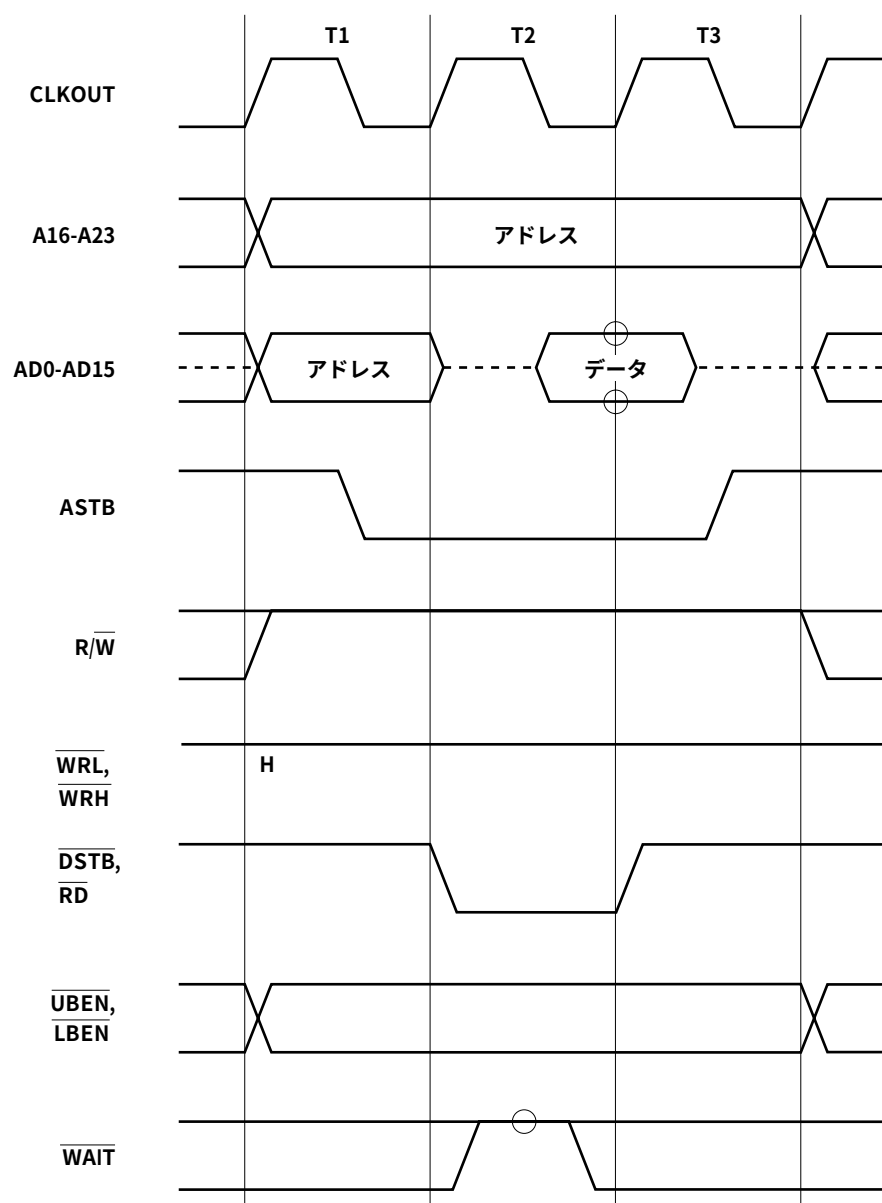
4.7.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLEモード期間中は、システム・クロックが停止するため、 $\overline{\text{HLDRQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDRQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDAK}}$ 端子がアクティブになり、バス・ホールド状態になります。同様に、 $\overline{\text{HLDRQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDAK}}$ 端子がインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

4.8 バス・タイミング

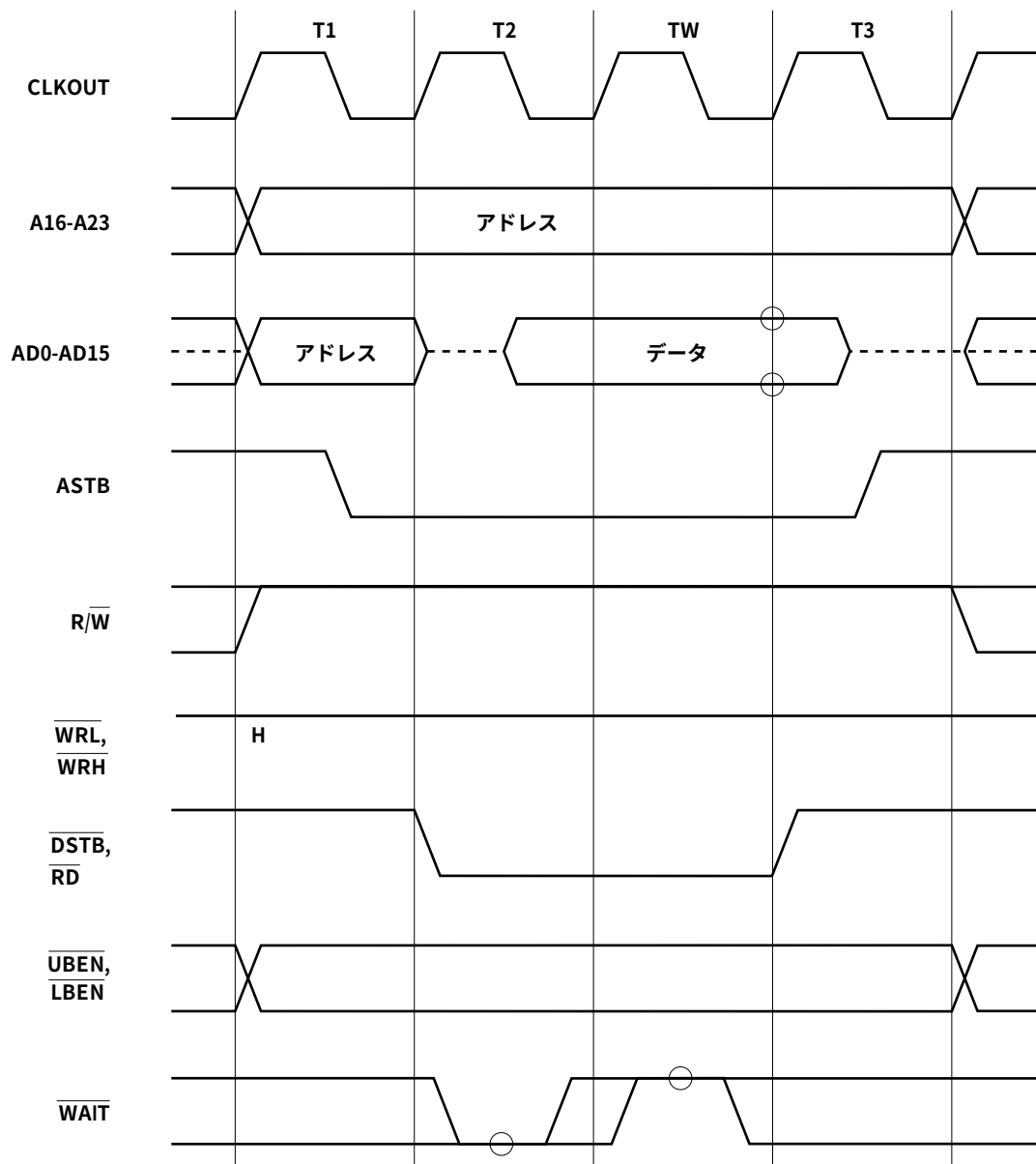
(1) メモリ・リード (0ウェイト)



備考1. ○印はプログラマブル・ウェイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

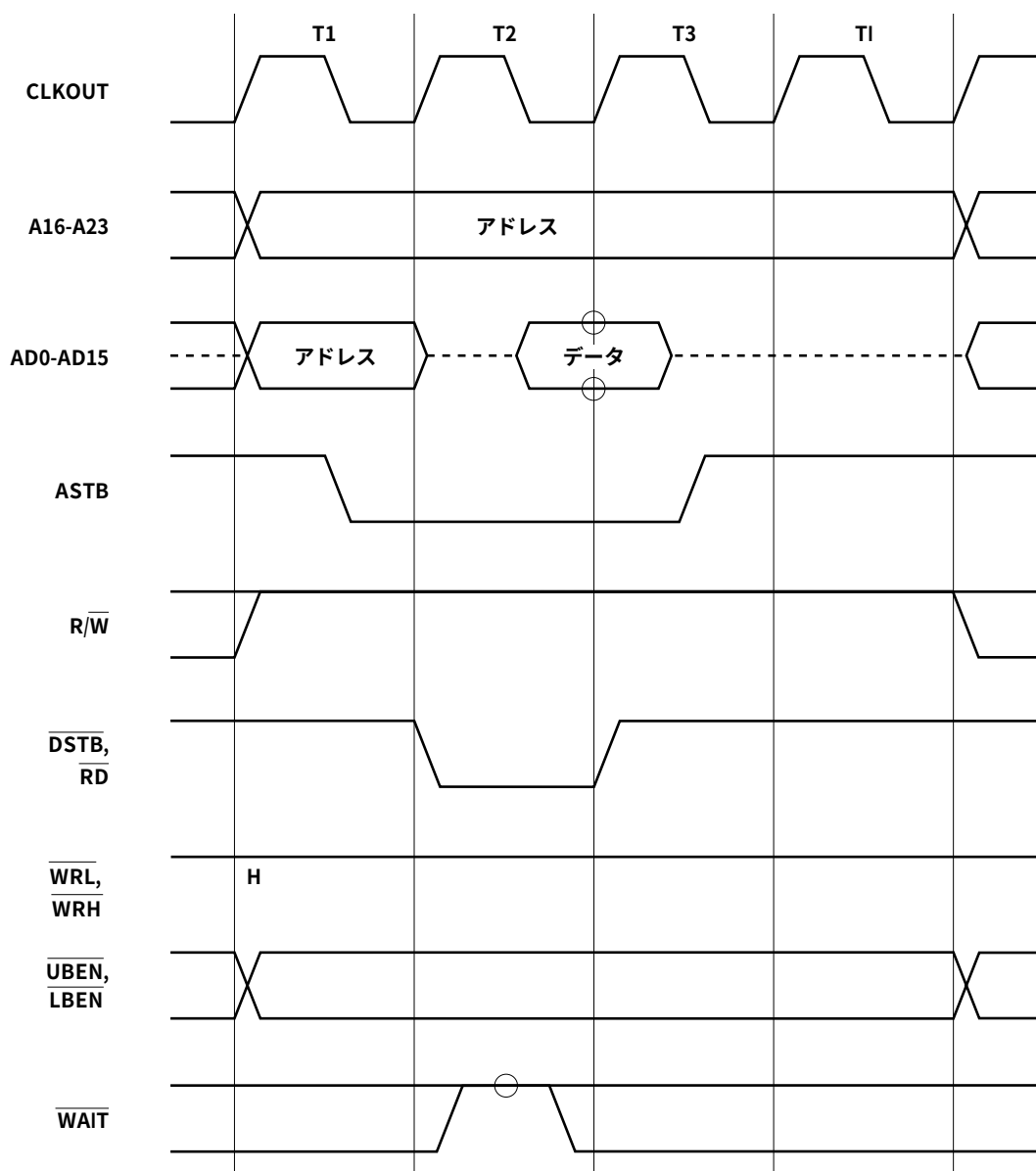
(2) メモリ・リード (1ウエイト)



備考1. ○印はプログラマブル・ウェイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

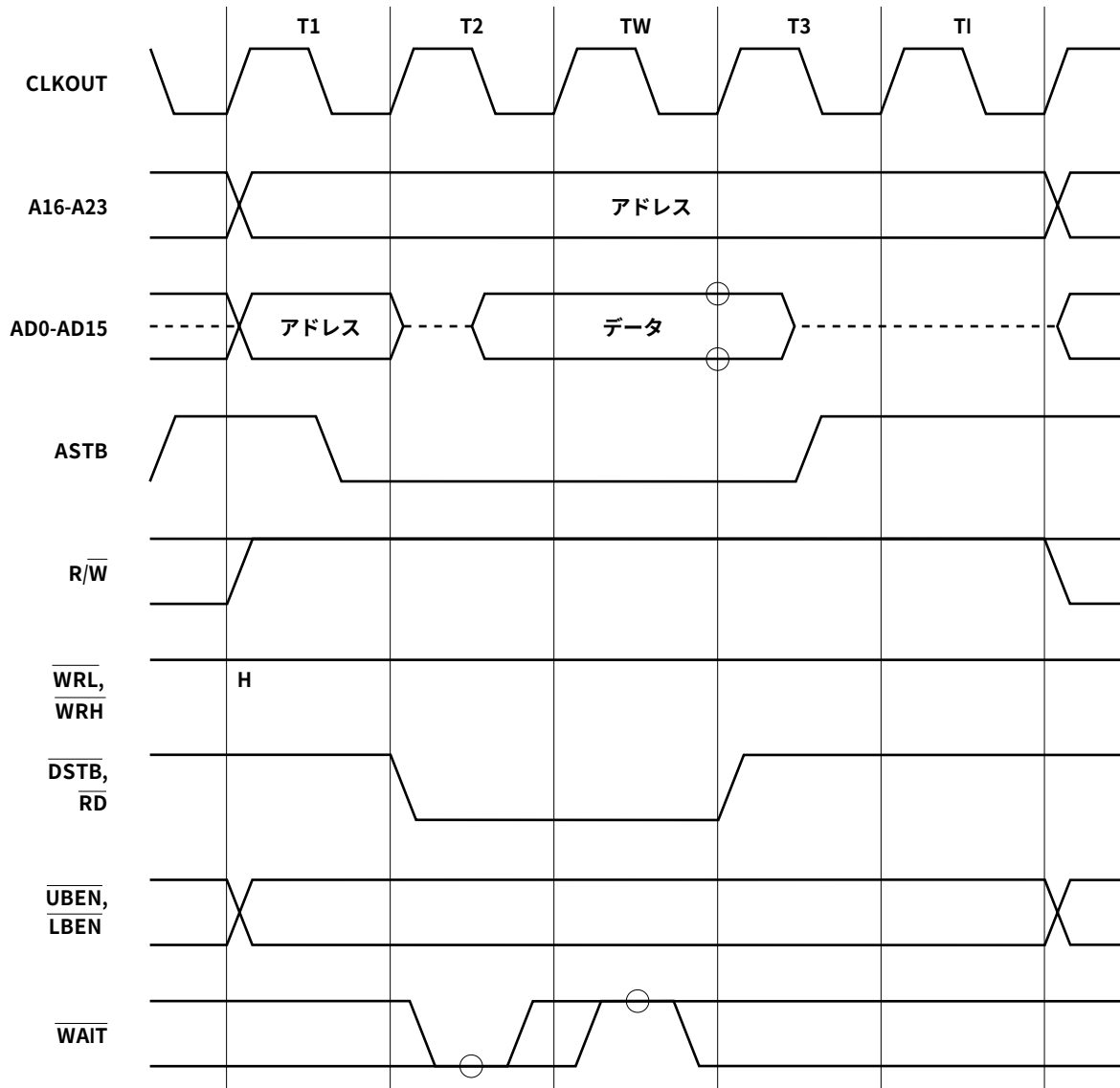
(3) メモリ・リード (0ウェイト, アイドル・ステート)



備考 1. ○印はプログラマブル・ウェイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

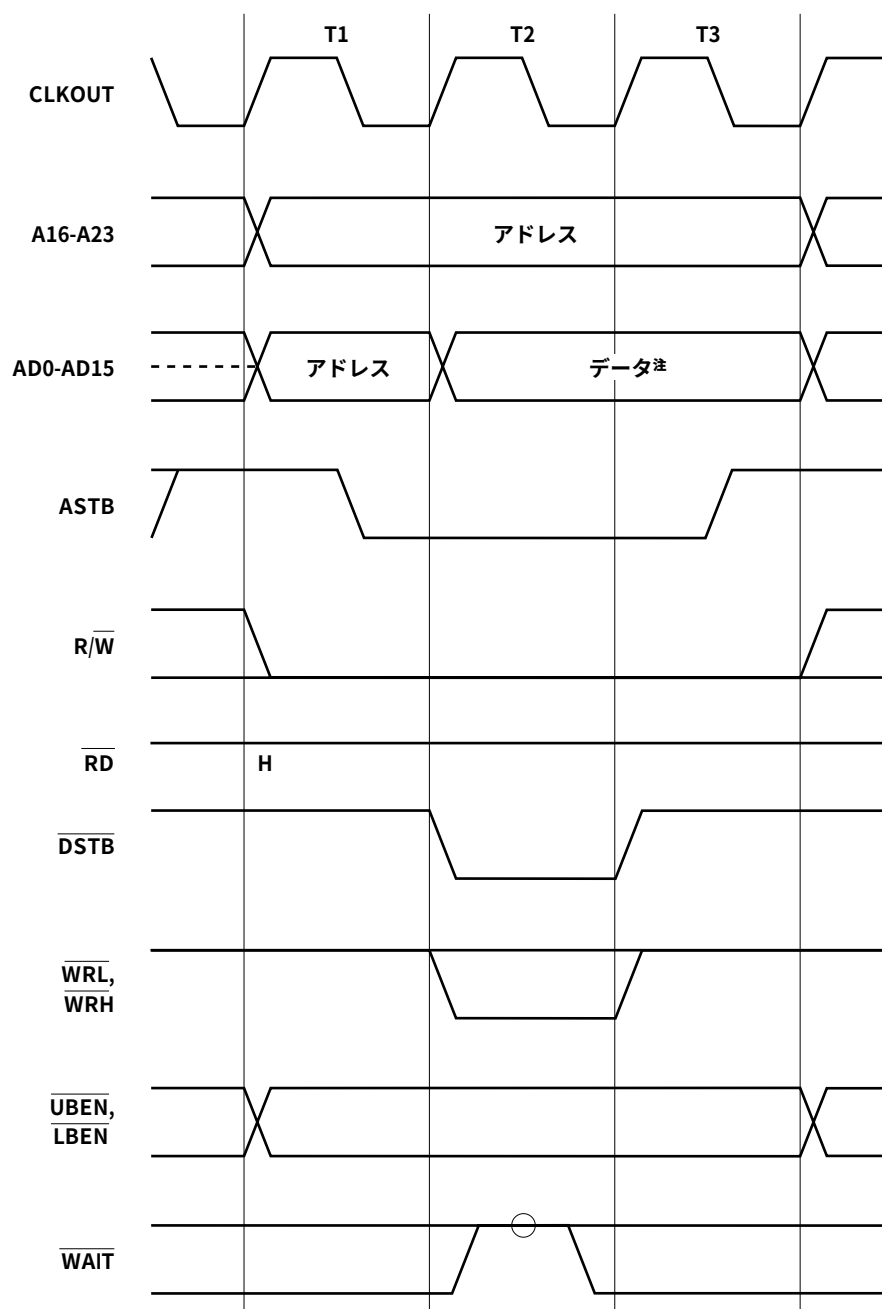
(4) メモリ・リード (1ウェイト, アイドル・ステート)



備考1. ○印はプログラマブル・ウェイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(5) メモリ・ライト (0ウェイト)

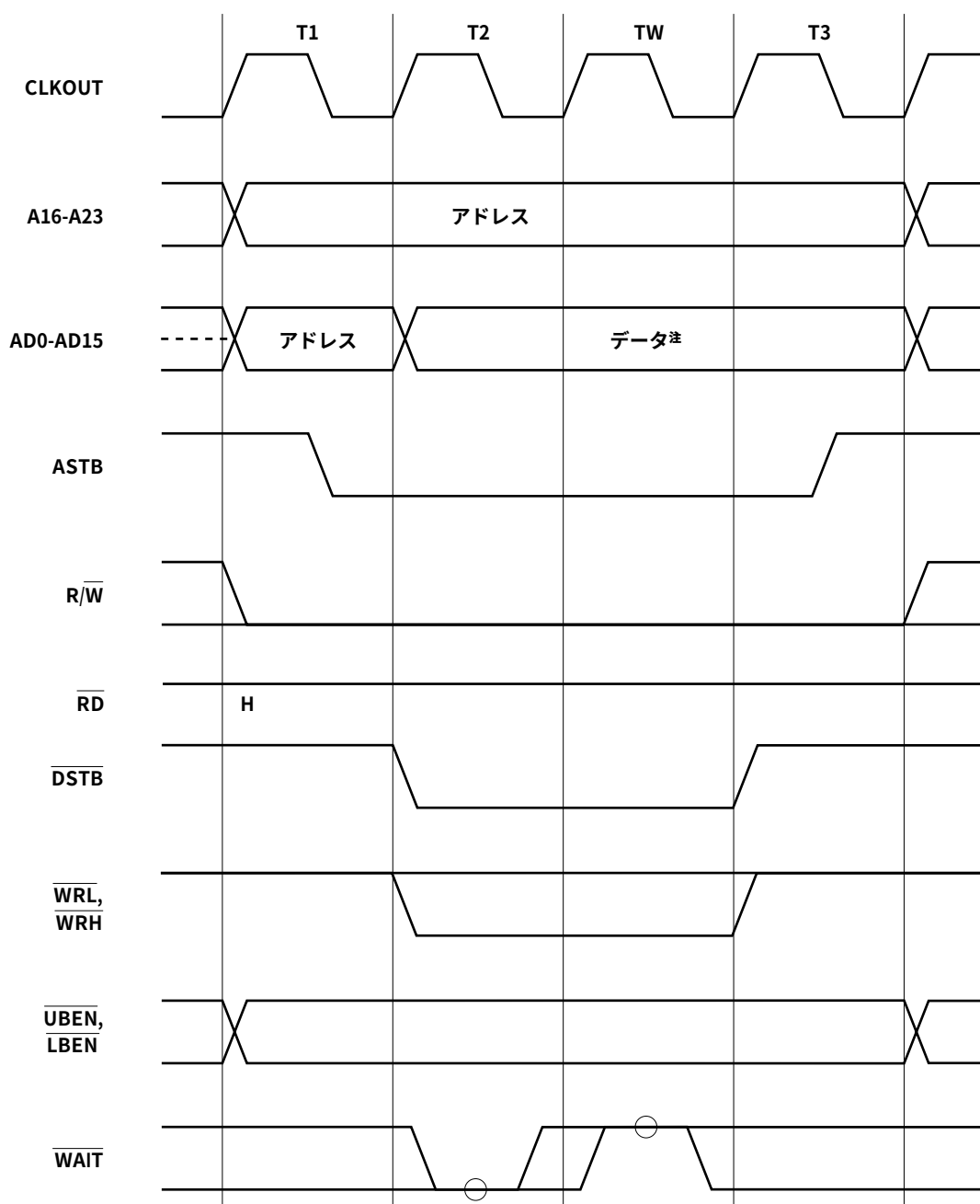


注 AD0-AD7は奇数アドレス・バイト・データにアクセスしたとき無効データを出力します。
AD8-AD15は偶数アドレス・バイト・データにアクセスしたとき無効データを出力します。

備考 1. ○印はプログラマブル・ウェイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(6) メモリ・ライト (1ウエイト)

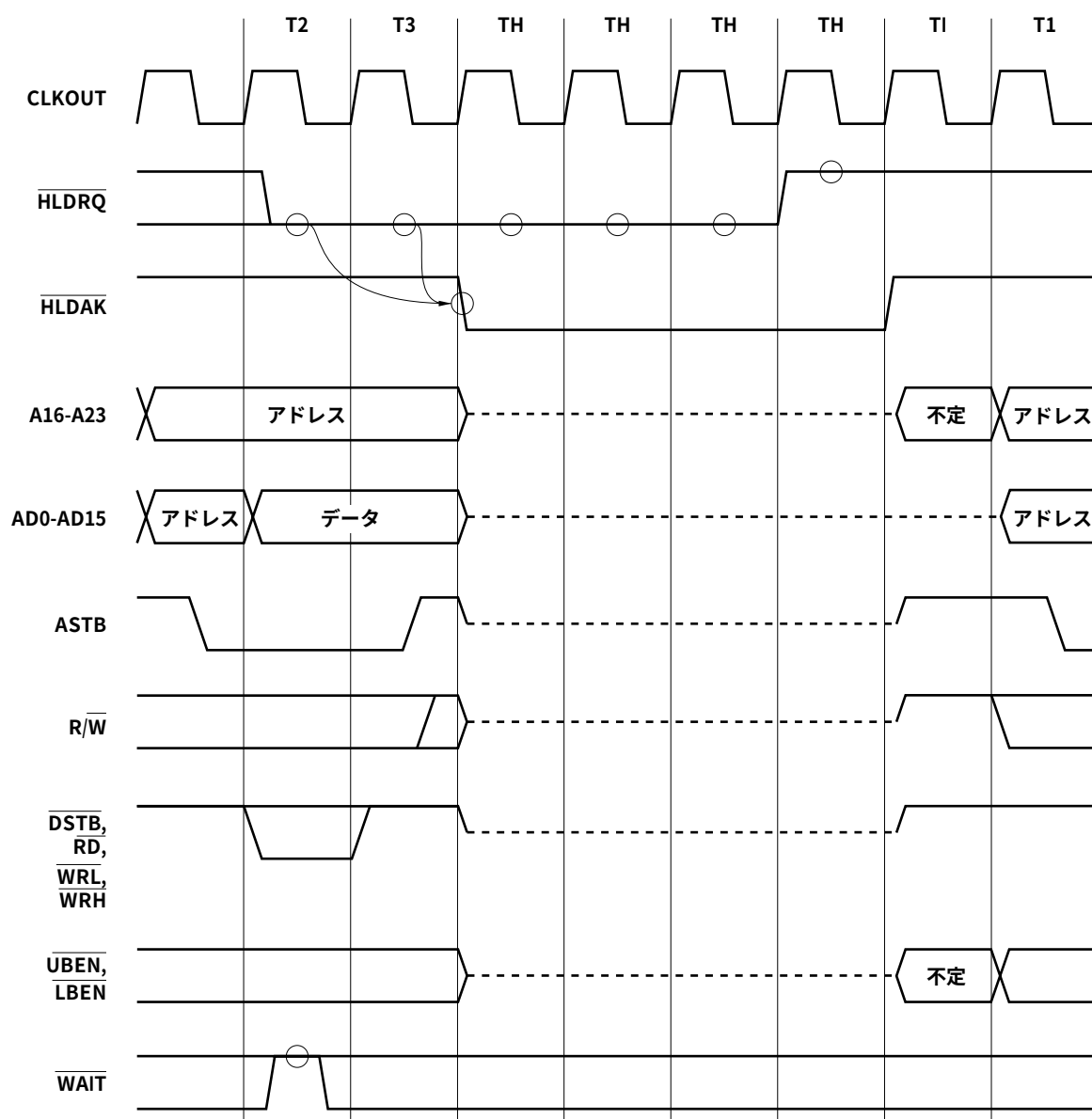


注 AD0-AD7は奇数アドレス・バイト・データにアクセスしたとき無効データを出力します。
AD8-AD15は偶数アドレス・バイト・データにアクセスしたとき無効データを出力します。

備考1. ○印はプログラマブル・ウエイトに0が設定されているときのサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

(7) バス・ホールド・タイミング



備考1. ○印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

注意 ライト・サイクル後にバス・ホールド状態に移移した場合、 $\overline{\text{HLD A K}}$ 信号がハイ・レベルからロウ・レベルに変化する直前に、 $\text{R}/\overline{\text{W}}$ 端子から一瞬ハイ・レベルが出力されることがあります。

4.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の4つがあります。優先順位はバス・ホールドが最も高く、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、ワード・アクセスの下位ハーフワード・アクセスと上位ハーフワード・アクセスの間には、命令フェッチとバス・ホールドは挿入されません。

表 4-1 バス優先順位

外部バス・サイクル	優先順位
バス・ホールド	1
オペランド・データ・アクセス	2
命令フェッチ（分岐）	3
命令フェッチ（連続）	4

4.10 境界動作条件

4.10.1 プログラム空間

- （1）周辺I/O領域への分岐や内蔵RAM領域から周辺I/O領域への連続フェッチは行わないでください。分岐や命令フェッチを行った場合、NOP命令コードのフェッチを継続し、外部メモリからのフェッチなどを行いません。
- （2）内蔵RAM領域の上限に分岐命令がある場合の、周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。

4.10.2 データ空間

ハーフワード（16ビット）／ワード（32ビット）長のデータ・アクセスは、それぞれハーフワード境界（アドレスの最下位ビットが“0”）／ワード境界（アドレスの下位2ビットが“0”）にアラインされたアドレスに対してのみ行います。

したがって、メモリまたはメモリ・ブロックの境界をまたぐようなアクセスは発生しません。

詳細はV850ファミリ ユーザーズ・マニュアル アーキテクチャ編を参照してください。

4.11 内蔵周辺I/Oインタフェース

内蔵周辺I/Oへのアクセスは外部バスに出力しません。したがって、命令フェッチ・アクセス時に、並行して内蔵周辺I/Oアクセスを行うことができます。

内蔵周辺I/Oアクセスは、基本的に3クロック・アクセスです。ただし、一部のタイマ／カウンタ機能のレジスタへのアクセス時にウェイトが入ることがあります。

周辺I/Oレジスタ	アクセス	ウェイト数	サイクル数
CC00-CC03	リード	2	8
	ライト	0/2	6/8
CC00L-CC03L, CC3	リード	1	4
	ライト	0/1	3/4
CP10-CP13, CM10, CM11, TM0, TM1	リード	2	8
	ライト	0	6
CP10L, CP13L, CM10L, CM11L, TM0L, TM1L, CP3, TM3	リード	1	4
	ライト	0	3
CM20-CM24	リード	0/1	6/8
	ライト	0/1	6/8
TM20-TM24	リード	0/1	6/8
	ライト	0	6
その他	リード	0	3
	ライト	0	3

備考 32ビット・アクセス時は16ビット・アクセスを2回行うため、ウェイト数，サイクル数が16ビット・アクセス時の2倍になります。

(× 毛)

保守

第5章 割り込み／例外処理機能

V854は、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計32要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。一般に、例外は割り込みより優先的に処理されます。

V854では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

5.1 特 徴

○割り込み

- ・ノンマスカブル割り込み 1 要因
- ・マスカブル割り込み 31 要因
- ・8レベルのプログラマブル優先順位制御
- ・優先順位に従った割り込み多重処理制御
- ・個々のマスカブル割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

○例外

- ・ソフトウェア例外 32 要因
- ・例外トラップ 1 要因（不正命令コード例外）

割り込み／例外要因を表5－1に示します。

表5-1 割り込み一覧(1/2)

種 類	分類	割り込み／例外要因				デフォルト・ プライオリティ	例外 コード	ハンドラ・ アドレス	復帰PC
		名 称	制御レジスタ	発生要因	発生ユニット				
リセット	割り込み	RESET	—	リセット入力	—	—	0000H	00000000H	不 定
ノンマスクابل	割り込み	NMI	—	NMI入力	—	—	0010H	00000010H	nextPC
ソフトウェア例外	例外	TRAP0 ^注	—	TRAP命令	—	—	004 ⁿ _n H	00000040H	nextPC
	例外	TRAP1 ^注	—	TRAP命令	—	—	005 ⁿ _n H	00000050H	nextPC
例外トラップ	例外	ILGOP	—	不正命令コード	—	—	0060H	00000060H	nextPC
マスクابل	割り込み	INTOV0/INTP04/ INTP05	OVIC0	タイマ0オーバフロー/ INTP04, INTP05入力	端子/RPU	0	0080H	00000080H	nextPC
	割り込み	INTOV1/INTP14	OVIC1	タイマ1オーバフロー/ INTP14入力	端子/RPU	1	0090H	00000090H	nextPC
	割り込み	INTP00/INTCC00	CC0IC0	INTP00/CC00一致	端子/RPU	2	00A0H	000000A0H	nextPC
	割り込み	INTP01/INTCC01	CC0IC1	INTP01/CC01一致	端子/RPU	3	00B0H	000000B0H	nextPC
	割り込み	INTP02/INTCC02	CC0IC2	INTP02/CC02一致	端子/RPU	4	00C0H	000000C0H	nextPC
	割り込み	INTP03/INTCC03	CC0IC3	INTP03/CC03一致	端子/RPU	5	00D0H	000000D0H	nextPC
	割り込み	INTCP10	P1IC0	INTP10入力	端子	6	00E0H	000000E0H	nextPC
	割り込み	INTCP11	P1IC1	INTP11入力	端子	7	00F0H	000000F0H	nextPC
	割り込み	INTCP12	P1IC2	INTP12入力	端子	8	0100H	00000100H	nextPC
	割り込み	INTCP13	P1IC3	INTP12/INTP13入力	端子	9	0110H	00000110H	nextPC
	割り込み	INTCM10	CM1IC0	CM10一致	RPU	10	0120H	00000120H	nextPC
	割り込み	INTCM11	CM1IC1	CM11一致	RPU	11	0130H	00000130H	nextPC
	割り込み	INTP20/INTCM20	CM2IC0	INTP20/CM20一致	端子/RPU	12	0140H	00000140H	nextPC
	割り込み	INTP21/INTCM21	CM2IC1	INTP21/CM21一致	端子/RPU	13	0150H	00000150H	nextPC
	割り込み	INTP22/INTCM22	CM2IC2	INTP22/CM22一致	端子/RPU	14	0160H	00000160H	nextPC
	割り込み	INTP23/INTCM23	CM2IC3	INTP23/CM23一致	端子/RPU	15	0170H	00000170H	nextPC
	割り込み	INTP24/INTCM24	CM2IC4	INTP24/CM24一致	端子/RPU	16	0180H	00000180H	nextPC
	割り込み	INTP30/INTCC3	CC3IC0	INTP30/CC3一致	端子/RPU	17	0190H	00000190H	nextPC
	割り込み	INTCSI0	CSIC0	CSI0送受信完了	CSI	18	01A0H	000001A0H	nextPC
	割り込み	INTCSI1	CSIC1	CSI1送受信完了	CSI	19	01B0H	000001B0H	nextPC
	割り込み	INTCSI2	CSIC2	CSI2送受信完了	CSI	20	01C0H	000001C0H	nextPC
	割り込み	INTCSI3	CSIC3	CSI3送受信完了	CSI	21	01D0H	000001D0H	nextPC
	割り込み	INTIIC	IIC0	I ² C割り込み	I ² C	22	01E0H	000001E0H	nextPC
	割り込み	INTSER	SEIC0	UART受信エラー	UART	23	01F0H	000001F0H	nextPC
	割り込み	INTSR	SRIC0	UART受信完了	UART	24	0200H	00000200H	nextPC
	割り込み	INTST	STIC0	UART送信完了	UART	25	0210H	00000210H	nextPC
	割り込み	INTAD	ADIC0	A/D変換終了	ADC	26	0220H	00000220H	nextPC
	割り込み	INTP50	P5IC0	INTP50入力	端子	27	0230H	00000230H	nextPC
	割り込み	INTP51	P5IC1	INTP51入力	端子	28	0240H	00000240H	nextPC

注 nは0-FHの値

表5-1 割り込み一覧（2/2）

種 類	分類	割り込み／例外要因				ディフォルト・	例外	ハンドラ・	復帰PC
		名 称	制御レジスタ	発生要因	発生ユニット	プライオリティ	コード	アドレス	
マスカブル	割り込み	INTP52	P5IC2	INTP52入力	端子	29	0250H	00000250H	nextPC
	割り込み	INTP53	P5IC3	INTP53入力	端子	30	0260H	00000260H	nextPC

備考1．ディフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み／例外処理起動時にEIPCまたはFEPCにセーブされるPC値のことです。ただし，DIVH（除算）命令実行中に割り込みを受け付けたときセーブされる復帰PC値は，カレントの命令（DIVH）のPC値となります。

2．不正命令コード例外時の不正命令の実行アドレスは，（復帰PC－4）で求められます。

5.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求は、割り込み禁止（DI）状態であっても無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求はNMI端子によって行います。NMI端子入力に外部割り込みモード・レジスタ0（INTM0）のビット0（ESN0）で指定した有効エッジが検出されたとき、割り込みは発生します。

ノンマスカブル割り込みのサービス・プログラムを実行している（PSW.NP=1）場合は、ノンマスカブル割り込み要求は、保留されます。保留されたノンマスカブル割り込みは、現在実行中のノンマスカブル割り込みサービス・プログラムの終了後（RETI命令実行後）または、LDSR命令によりPSW.NP=0にすると受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に、ノンマスカブル割り込み要求が2回以上発生しても、PSW.NP=0後に受け付けられるノンマスカブル割り込みは1回だけになります。

なお、V854の動作モードにより、保留されたノンマスカブル割り込み要求の実行時の動作が異なります。

（1）シングルチップ・モードの場合

最初のノンマスカブル割り込み処理終了と保留されたノンマスカブル割り込み処理開始の間に、いったんメイン・ルーチンに復帰して、少なくともメイン・ルーチン中の1命令を実行します。

（2）ROMレス・モードの場合

最初のノンマスカブル割り込み処理が終了すると連続して、保留されたノンマスカブル割り込み処理を開始します。メイン・ルーチンには復帰しません。

5.2.1 動作

NMI入力によりノンマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをFEPCに退避します。
- (2) 現在のPSWをFEPSWへ退避します。
- (3) ECRの上位ハーフワード（FECC）に例外コード0010Hを書き込みます。
- (4) PSWのNP, IDビットをセットし、EPビットをクリアします。
- (5) PCにノンマスカブル割り込みに対するハンドラ・アドレス（00000010H）をセットし、制御を移します。

ノンマスカブル割り込みの処理形態を図5－1に示します。

図5－1 ノンマスカブル割り込みの処理形態

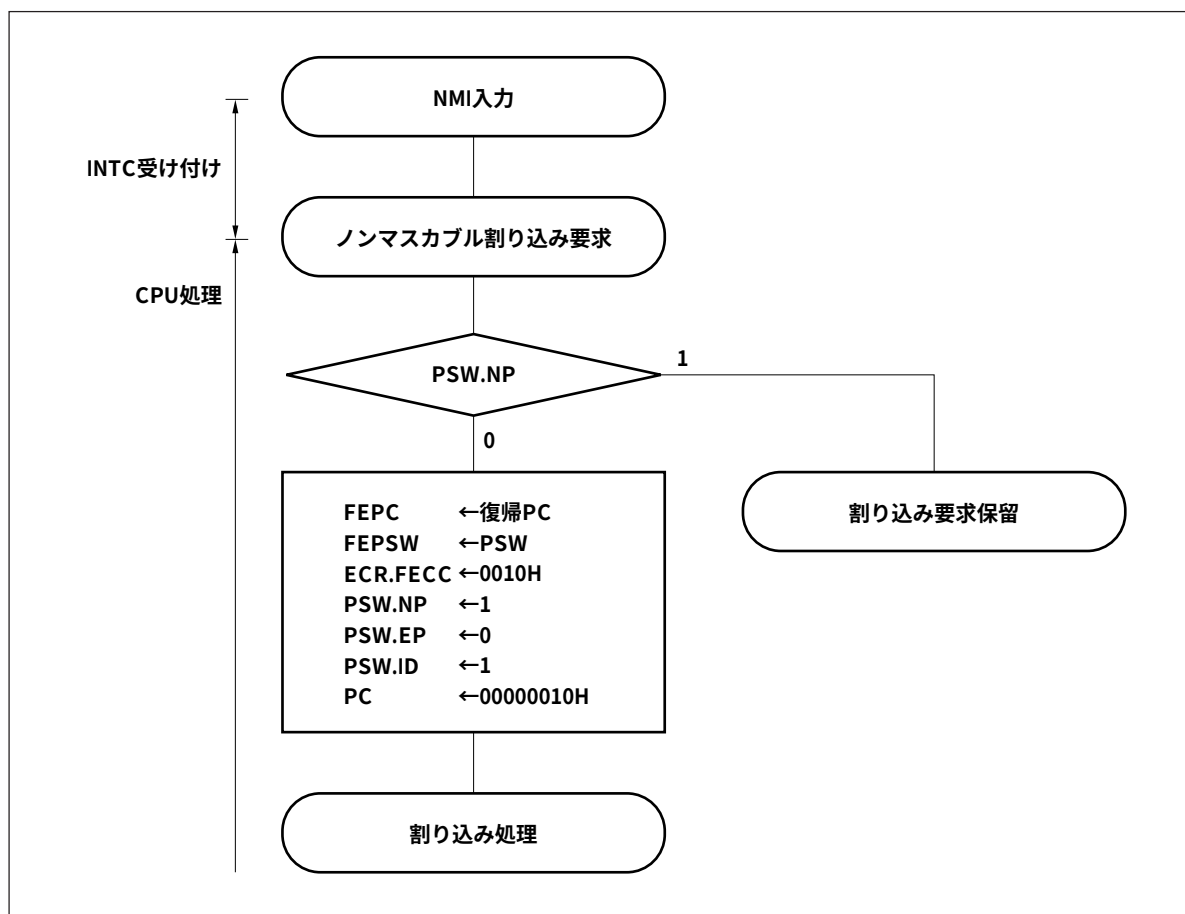
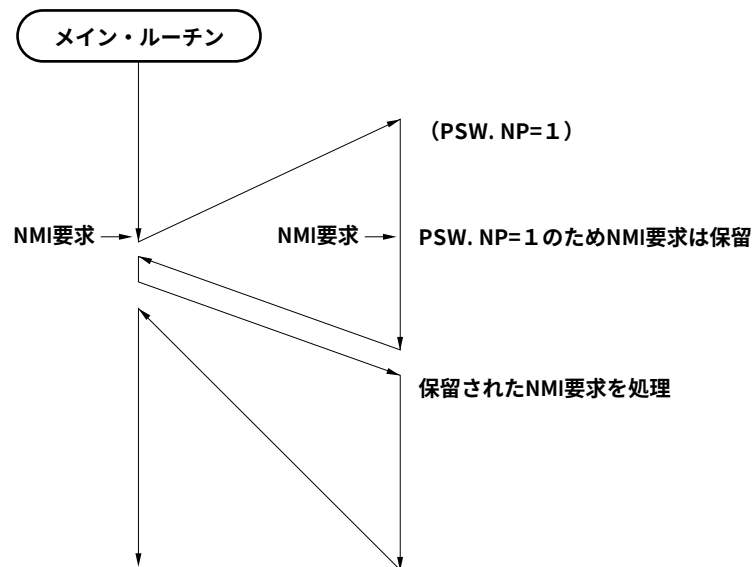
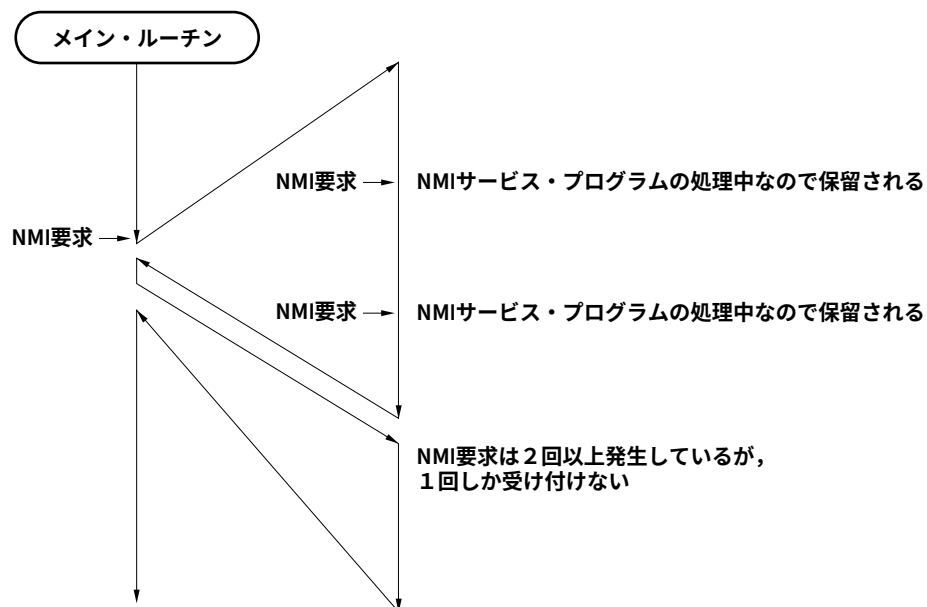


図5-2 ノンマスカブル割り込み要求の受け付け動作

(a) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合



(b) NMIサービス・プログラム実行中に新たに2回のNMI要求が発生した場合



5.2.2 復 帰

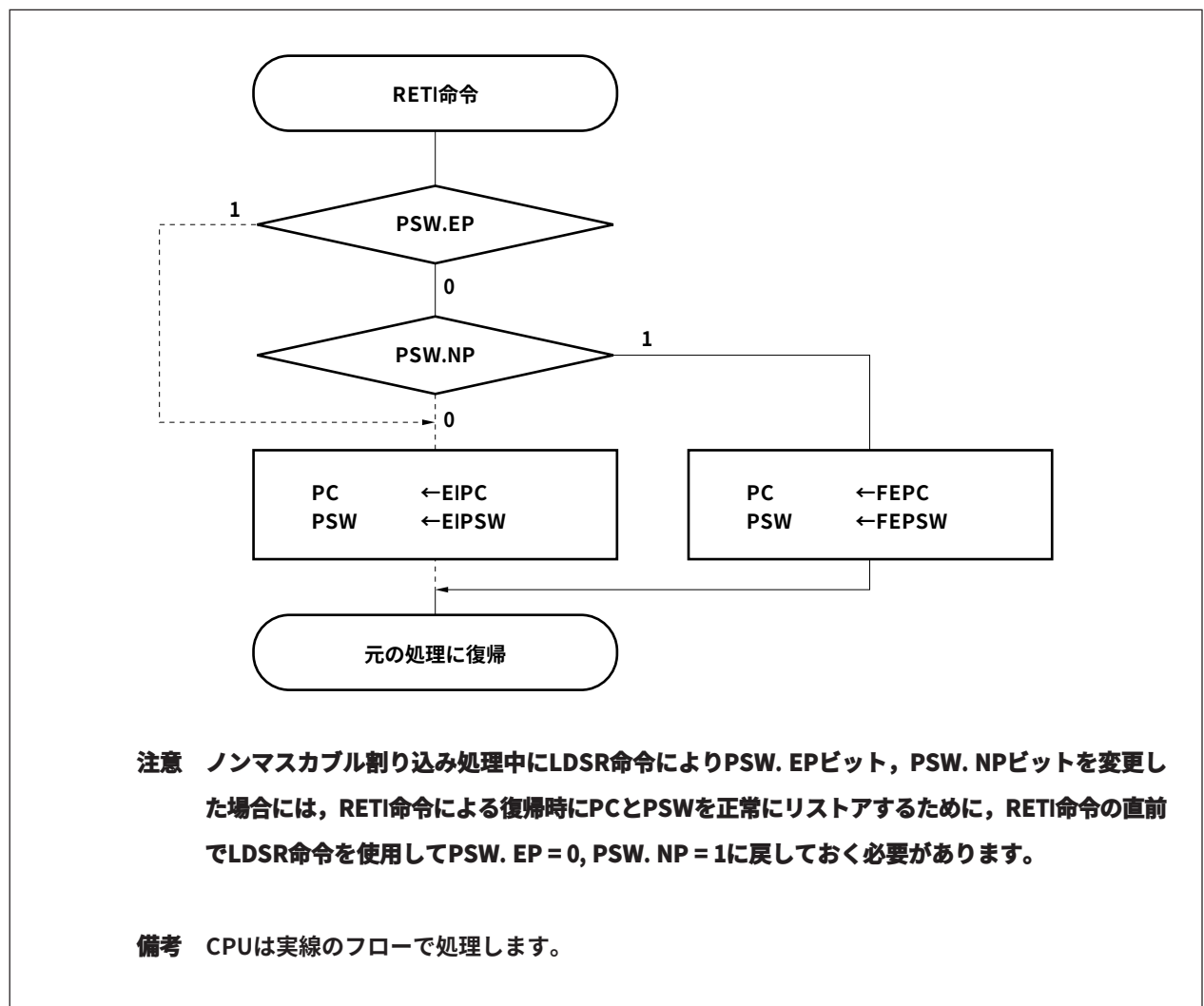
ノンマスカブル割り込み処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PCのアドレス, PSWの状態に制御を移します。

RETI命令の処理形態を図5－3に示します。

図5－3 RETI命令の処理形態



5.2.3 ノンマスカブル割り込みステータス・フラグ（NP）

NPフラグは、ノンマスカブル割り込み（NMI）処理中であることを示すステータス・フラグです。
NMI割り込みが受け付けられるとセットされ、すべての割り込みと例外をマスクして多重割り込みを禁止します。

PSW	31																	8	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z

リセット時
00000020H

ビット位置	ビット名	意 味
7	NP	NMI Pending NMI割り込み処理中であることを示します。 0：NMI割り込み処理中でない。 1：NMI割り込み処理中。

5.2.4 NMI端子のノイズ除去

NMI端子のノイズは、アナログ・ディレイによって除去します。ディレイ時間は60-220 nsです。この時間未満で変化する信号入力は、内部で受け付けられません。
なお、NMI端子はソフトウェアSTOPモードの解除に使用します。ソフトウェアSTOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

5.2.5 NMI端子のエッジ検出機能

INTM0は、ノンマスカブル割り込み（NMI）の有効エッジを指定するレジスタです。ESN0ビットによって、NMIの有効エッジを、立ち上がりエッジ、立ち下がりエッジのいずれかに指定できます。
8/1ビット単位でリード／ライト可能です。

INTM0	7	6	5	4	3	2	1	0	アドレス FFFFFF180H	リセット時 00H
	0	0	0	0	0	0	0	ESN0		

ビット位置	ビット名	意 味
0	ESN0	Edge Select NMI NMI端子の有効エッジを指定します。 0：立ち下がりエッジ 1：立ち上がりエッジ

5.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、V854には31種類の割り込み要因があります。

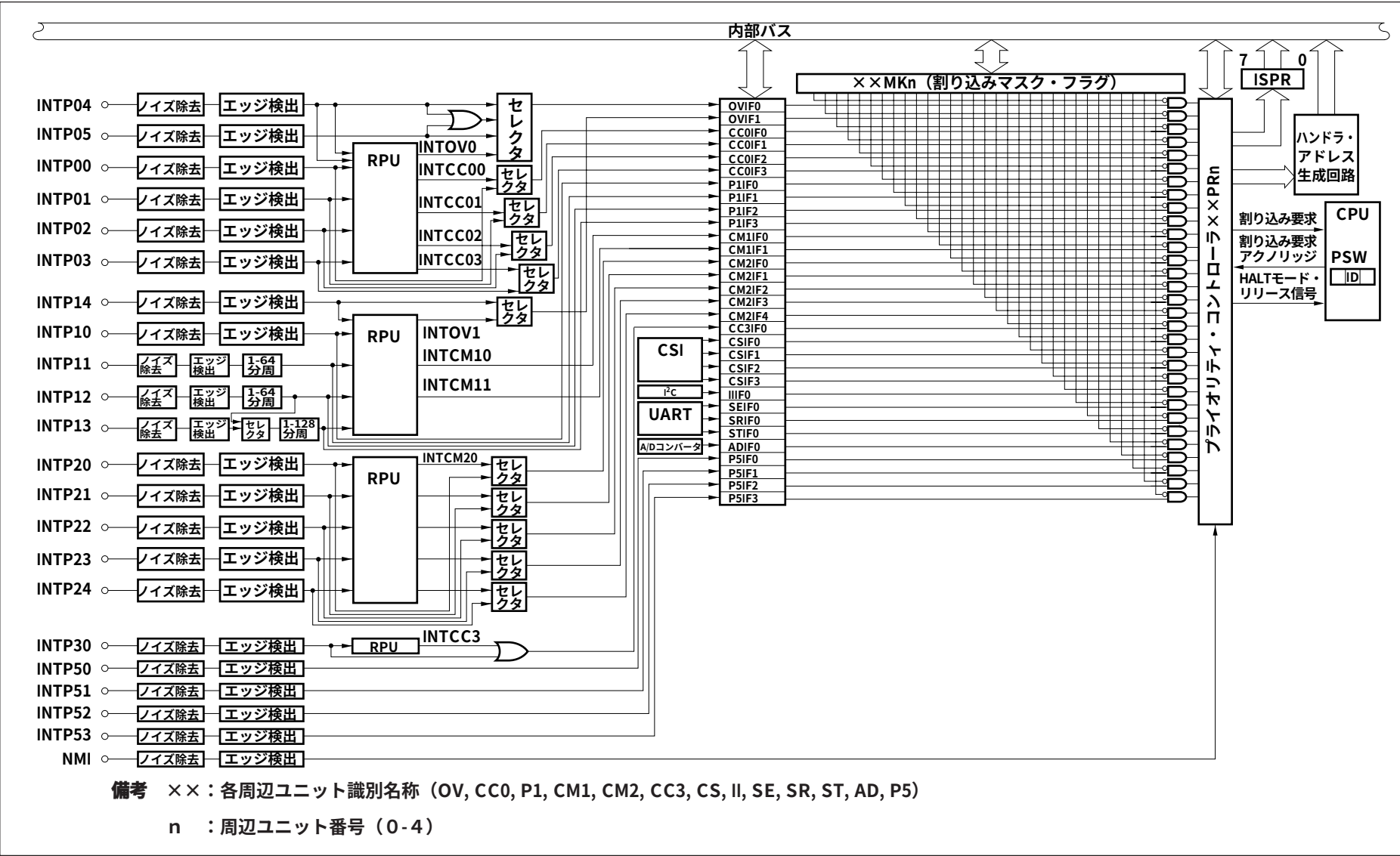
複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位によりその優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC, EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDIを行って、EIPC, EIPSWを元の値に復帰する必要があります。

図5-4 マスカブル割り込みブロック図



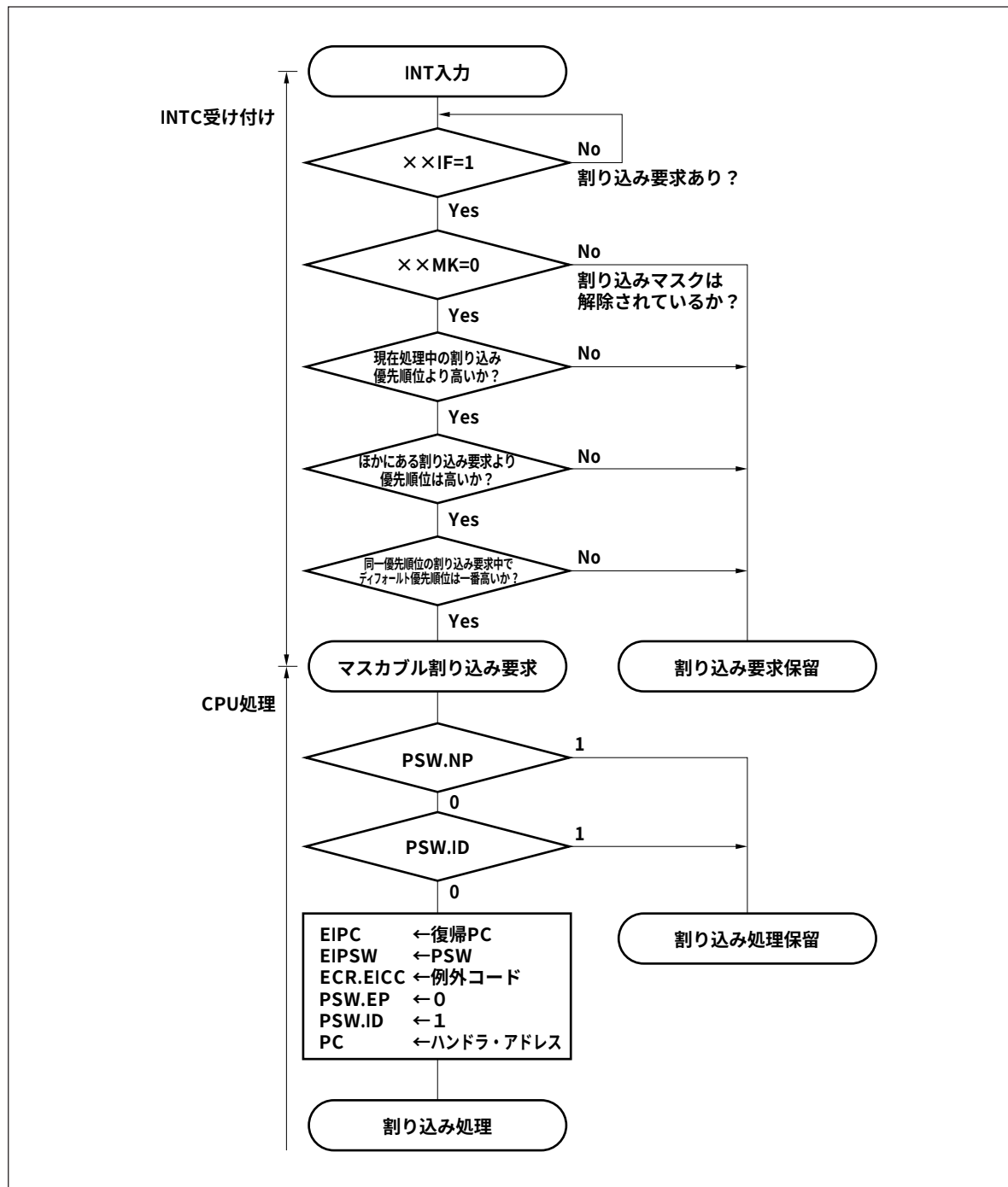
5.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをEIPCに退避します。
- (2) 現在のPSWをEIPSWへ退避します。
- (3) ECRの下位ハーフワード（EICC）に例外コードを書き込みます。
- (4) PSWのIDビットをセットし、EPビットをクリアします。
- (5) PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

マスカブル割り込みの処理形態を図5－5に示します。

図5-5 マスカブル割り込みの処理形態



割り込みコントローラでマスクされているINT入力と、ほかの割り込み処理中（PSW. NP=1またはPSW. ID=1）に発生したINT入力は、割り込みコントローラの内部で保留されます。この場合マスクを解除するか、またはRETI命令、LDSR命令を使用して、PSW. NP=0かつPSW. ID=0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

5.3.2 復 帰

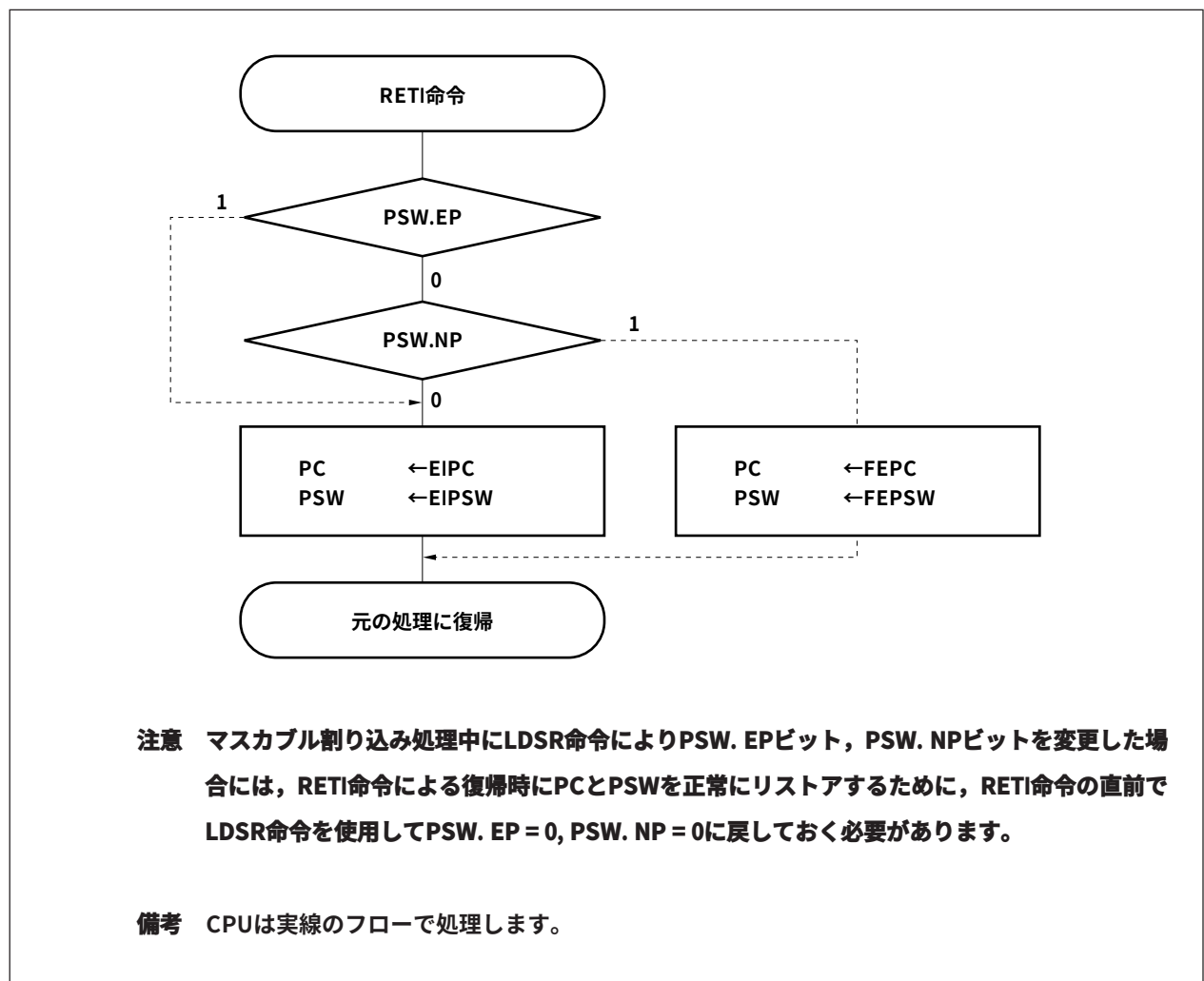
マスカブル割り込み処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが0かつPSWのNPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PCのアドレス, PSWの状態に制御を移します。

RETI命令の処理形態を図5－6に示します。

図5－6 RETI命令の処理形態



5.3.3 マスカブル割り込みの優先順位

V854は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ（ $\times \times \text{ICn}$ ）の割り込み優先順位指定ビット（ $\times \times \text{PRn0}-\times \times \text{PRn2}$ ）によるプログラマブル優先順位制御があります。デフォルト優先順位による優先順位制御は、 $\times \times \text{PRn0}-\times \times \text{PRn2}$ による複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位（デフォルト優先順位）に従って割り込み処理を行います（表5-1 割り込み一覧参照）。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

プログラマブル優先順位とデフォルト優先順位の関係は次のようになります。

プログラマブル優先順位>デフォルト優先順位

なお、割り込みを受け付けるとPSWのIDフラグが自動的にセット（1）されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア（0）し、割り込み許可状態にしてください。

備考 $\times \times$: 各周辺ユニット識別名称（OV, CC0, P1, CM1, CM2, CC3, CS, II, SE, SR, ST, AD, P5）
n : 周辺ユニット番号（0-4）

図5-7 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

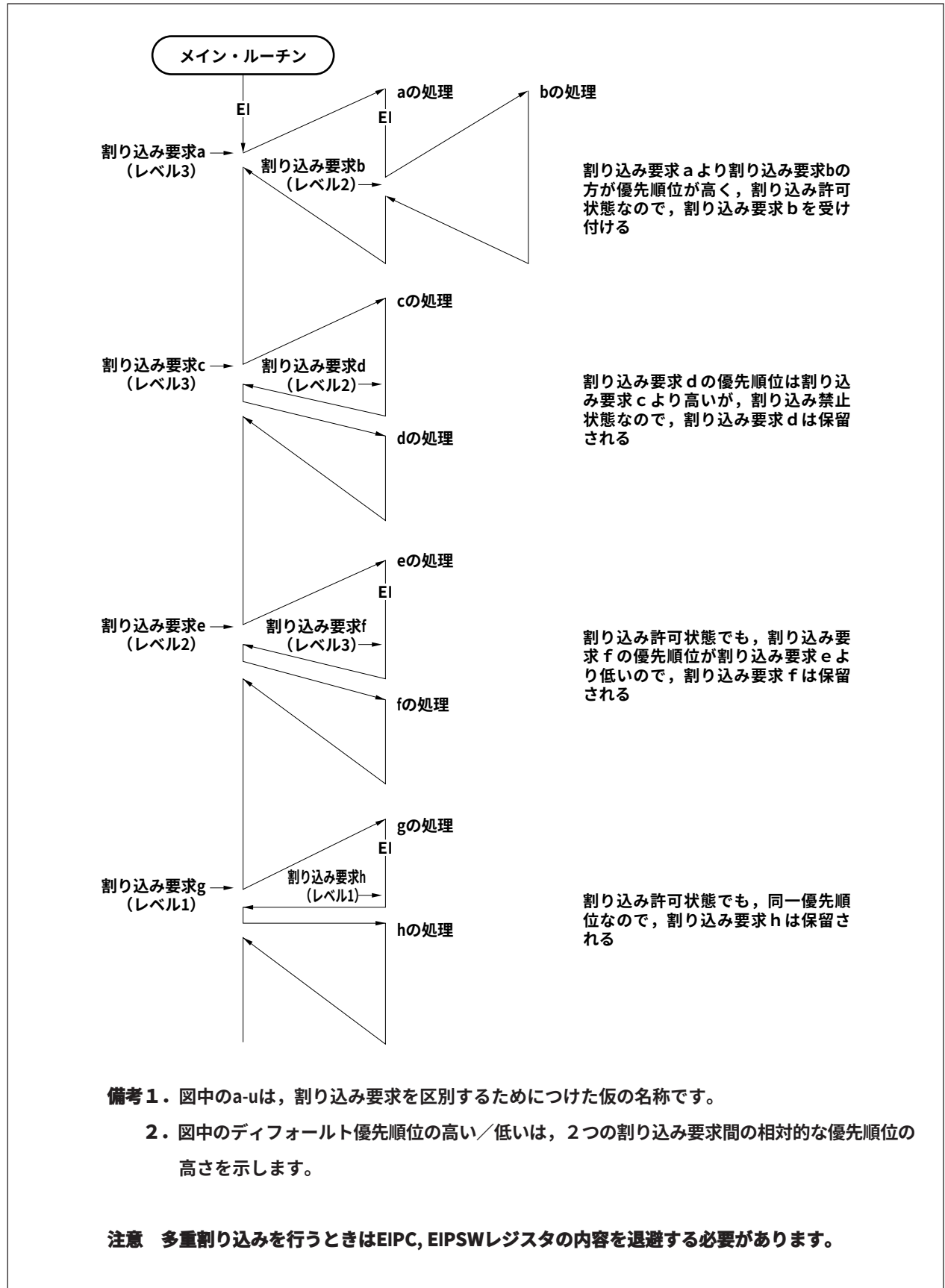


図5-7 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

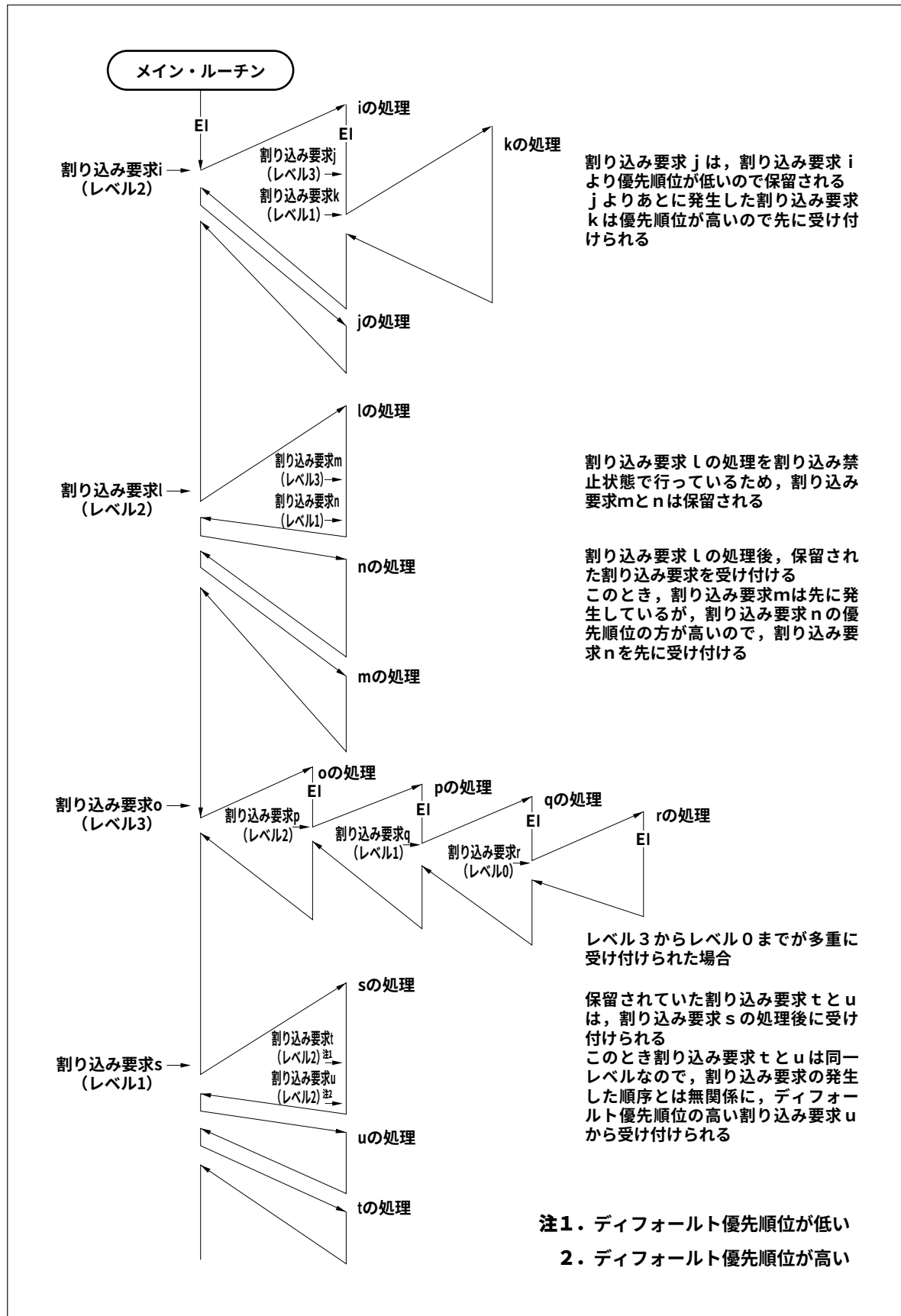
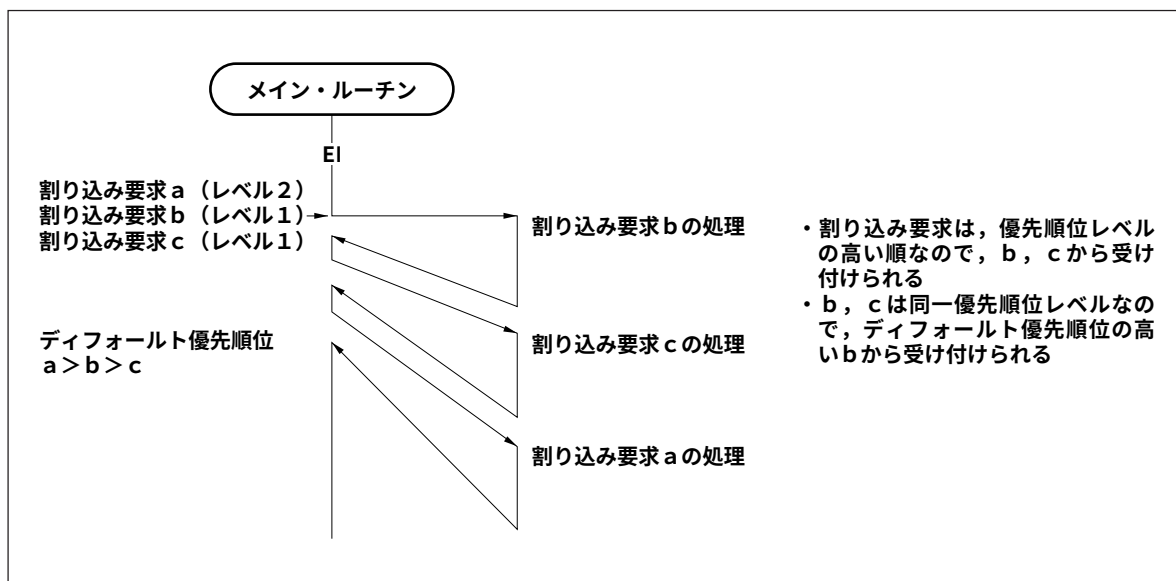


図5-8 同時発生した割り込み要求の処理例



5.3.4 割り込み制御レジスタ (××ICn)

割り込み要求（マスカブル割り込み）ごとに割り当てられ、各割り込みに対する制御条件を設定します。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
××ICn	××IFn	××MKn	0	0	0	××PRn2	××PRn1	××PRn0	アドレス FFFFFF100H- FFFFFF13CH	リセット時 47H

ビット位置	ビット名	意 味																																				
7	××IFn	Interrupt Request Flag 割り込み要求フラグです。 0：割り込み要求なし 1：割り込み要求あり ××IFnフラグは、割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。																																				
6	××MKn	Mask Flag 割り込みマスク・フラグです。 0：割り込み処理を許可 1：割り込み処理を禁止（保留）																																				
2-0	××PRn2-××PRn0	Priority 各割り込みごとに8レベルの優先順位を指定します。 <table><tr><th>××PRn2</th><th>××PRn1</th><th>××PRn0</th><th>割り込み優先順位指定ビット</th></tr><tr><td>0</td><td>0</td><td>0</td><td>レベル0（最高位）を指定</td></tr><tr><td>0</td><td>0</td><td>1</td><td>レベル1を指定</td></tr><tr><td>0</td><td>1</td><td>0</td><td>レベル2を指定</td></tr><tr><td>0</td><td>1</td><td>1</td><td>レベル3を指定</td></tr><tr><td>1</td><td>0</td><td>0</td><td>レベル4を指定</td></tr><tr><td>1</td><td>0</td><td>1</td><td>レベル5を指定</td></tr><tr><td>1</td><td>1</td><td>0</td><td>レベル6を指定</td></tr><tr><td>1</td><td>1</td><td>1</td><td>レベル7（最低位）を指定</td></tr></table>	××PRn2	××PRn1	××PRn0	割り込み優先順位指定ビット	0	0	0	レベル0（最高位）を指定	0	0	1	レベル1を指定	0	1	0	レベル2を指定	0	1	1	レベル3を指定	1	0	0	レベル4を指定	1	0	1	レベル5を指定	1	1	0	レベル6を指定	1	1	1	レベル7（最低位）を指定
××PRn2	××PRn1	××PRn0	割り込み優先順位指定ビット																																			
0	0	0	レベル0（最高位）を指定																																			
0	0	1	レベル1を指定																																			
0	1	0	レベル2を指定																																			
0	1	1	レベル3を指定																																			
1	0	0	レベル4を指定																																			
1	0	1	レベル5を指定																																			
1	1	0	レベル6を指定																																			
1	1	1	レベル7（最低位）を指定																																			

備考 ××：各周辺ユニット識別名称（OV, CC0, P1, CM1, CM2, CC3, CS, II, SE, SR, ST, AD, P5）

n：周辺ユニット番号（0-4）

各割り込み制御レジスタのアドレスとビットは次のようになります。

アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFFF100H	OVIC0	OVIF0	OVMK0	0	0	0	OVPR02	OVPR01	OVPR00
FFFFFF102H	OVIC1	OVIF1	OVMK1	0	0	0	OVPR12	OVPR11	OVPR10
FFFFFF104H	CC0IC0	CC0IF0	CC0MK0	0	0	0	CC0PR02	CC0PR01	CC0PR00
FFFFFF106H	CC0IC1	CC0IF1	CC0MK1	0	0	0	CC0PR12	CC0PR11	CC0PR10
FFFFFF108H	CC0IC2	CC0IF2	CC0MK2	0	0	0	CC0PR22	CC0PR21	CC0PR20
FFFFFF10AH	CC0IC3	CC0IF3	CC0MK3	0	0	0	CC0PR32	CC0PR31	CC0PR30
FFFFFF10CH	P1IC0	P1IF0	P1MK0	0	0	0	P1PR02	P1PR01	P1PR00
FFFFFF10EH	P1IC1	P1IF1	P1MK1	0	0	0	P1PR12	P1PR11	P1PR10
FFFFFF110H	P1IC2	P1IF2	P1MK2	0	0	0	P1PR22	P1PR21	P1PR20
FFFFFF112H	P1IC3	P1IF3	P1MK3	0	0	0	P1PR32	P1PR31	P1PR30
FFFFFF114H	CM1IC0	CM1IF0	CM1MK0	0	0	0	CM1PR02	CM1PR01	CM1PR00
FFFFFF116H	CM1IC1	CM1IF1	CM1MK1	0	0	0	CM1PR12	CM1PR11	CM1PR10
FFFFFF118H	CM2IC0	CM2IF0	CM2MK0	0	0	0	CM2PR02	CM2PR01	CM2PR00
FFFFFF11AH	CM2IC1	CM2IF1	CM2MK1	0	0	0	CM2PR12	CM2PR11	CM2PR10
FFFFFF11CH	CM2IC2	CM2IF2	CM2MK2	0	0	0	CM2PR22	CM2PR21	CM2PR20
FFFFFF11EH	CM2IC3	CM2IF3	CM2MK3	0	0	0	CM2PR32	CM2PR31	CM2PR30
FFFFFF120H	CM2IC4	CM2IF4	CM2MK4	0	0	0	CM2PR42	CM2PR41	CM2PR40
FFFFFF122H	CC3IC0	CC3IF0	CC3MK0	0	0	0	CC3PR02	CC3PR01	CC3PR00
FFFFFF124H	CSIC0	CSIF0	CSMK0	0	0	0	CSPR02	CSPR01	CSPR00
FFFFFF126H	CSIC1	CSIF1	CSMK1	0	0	0	CSPR12	CSPR11	CSPR10
FFFFFF128H	CSIC2	CSIF2	CSMK2	0	0	0	CSPR22	CSPR21	CSPR20
FFFFFF12AH	CSIC3	CSIF3	CSMK3	0	0	0	CSPR32	CSPR31	CSPR30
FFFFFF12CH	IIC0	IIF0	IIMK0	0	0	0	IIPR02	IIPR01	IIPR00
FFFFFF12EH	SEIC0	SEIF0	SEMK0	0	0	0	SEPR02	SEPR01	SEPR00
FFFFFF130H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFFF132H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFFF134H	ADIC0	ADIF0	ADMK0	0	0	0	ADPR02	ADPR01	ADPR00
FFFFFF136H	P5IC0	P5IF0	P5MK0	0	0	0	P5PR02	P5PR01	P5PR00
FFFFFF138H	P5IC1	P5IF1	P5MK1	0	0	0	P5PR12	P5PR11	P5PR10
FFFFFF13AH	P5IC2	P5IF2	P5MK2	0	0	0	P5PR22	P5PR21	P5PR20
FFFFFF13CH	P5IC3	P5IF3	P5MK3	0	0	0	P5PR32	P5PR31	P5PR30

5.3.5 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスクブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット（1）され、サービス中保持されます。

RET命令の実行の際、ISPRレジスタ内でセット（１）されているビットのうち、最も優先順位の高い割り込み要求に対応するビットがハードウェアにより自動的にリセット（０）されます。ただし、ノンマスクブルの割り込み処理や例外処理からの復帰の場合はリセット（０）されません。

8/1ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0		
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	アドレス FFFF166H	リセット時 00H

ビット位置	ビット名	意 味
7-0	ISPR7-ISPR0	In-Service Priority Flag 受け付け中の割り込みの優先順位を示します。 0：優先順位 n の割り込み要求を受け付けていない 1：優先順位 n の割り込み要求を受け付け中

備考 n: 0-7 (優先順位のレベル)

5.3.6 マスカブル割り込みステータス・フラグ (ID)

マスカブル割り込みの動作状態を制御し、割り込み要求受け付けの許可／禁止制御情報を記憶します。

31

8 7 6 5 4 3 2 1 0

PSW

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	----	----	----	-----	----	----	---	---

リセット時

00000020H

ビット位置	ビット名	意 味
5	ID	Interrupt Disable マスカブル割り込み処理の許可／禁止を示します。 0：マスカブル割り込みの受け付け許可 1：マスカブル割り込みの受け付け禁止（保留） DI命令でセット（1），EI命令でリセット（0）されます。また，RETI命令およびPSWへのLDSR命令により値が書き換えられます。 ノンマスカブル割り込みおよび例外は，このフラグの状態に関係なく受け付けられます。 また，マスカブル割り込みを受け付けると，IDフラグはハードウェアで自動的にセット（1）されます。 受け付け禁止期間中（ID = 1）に発生した割り込み要求はXXICnのXXIFnビットがセット（1）され，IDフラグがリセット（0）されると受け付けられます。

5.3.7 ノイズ除去

INTPn端子, TIn端子, TCLR0端子, ADTRG端子には, それぞれデジタル・ノイズ除去回路を付加しています。これにより, これらの端子の入力レベルをサンプリング・クロック (f_{SMP}) ごとにサンプリングします。その結果, 同じレベルを3回連続で検出できなかった場合, その入力パルスをノイズとして除去します。

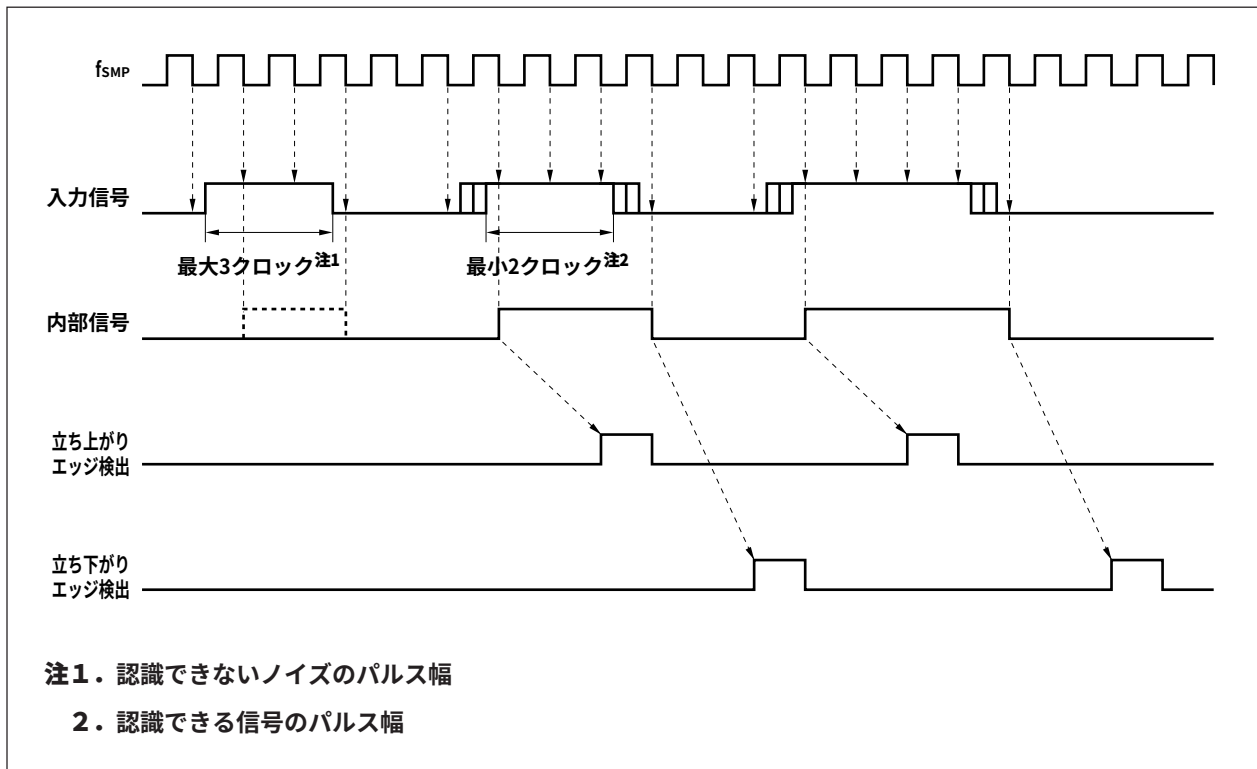
次に, 各端子のノイズ除去時間を示します。なお, INTP30端子のサンプリング・クロックは ϕ , $\phi/64$, $\phi/128$, $\phi/256$ から選択できます。設定はINTM7レジスタ (5.3.8 (3) (a) 外部割り込みモード・レジスタ7 (INTM7) 参照) で行います。

端 子	f_{SMP}	ノイズ除去時間
INTP00-INTP03	ϕ	2-3システム・クロック
TCLR0/INTP04	ϕ	
TI0/INTP05	ϕ	
INTP10-INTP13	ϕ	
TI1/INTP14	ϕ	
TI20/INTP20-TI24/INTP24	ϕ	
ADTRG	ϕ	
INTP30	ϕ	2-3システム・クロック
	$\phi/64$	128-192システム・クロック
	$\phi/128$	256-384システム・クロック
	$\phi/256$	512-768システム・クロック

備考 f_{SMP} : サンプリング・クロック

ϕ : 内部システム・クロック

図5-9 ノイズ除去タイミング例



注意1. 入力パルス幅が2-3サンプリング・クロックの場合は、有効エッジとして検出するか、ノイズとして除去するかは不定です。

2. 確実にパルスとして検出するには、3サンプリング・クロック以上同じレベルを入力してください。
3. サンプリングに同期してノイズが発生している場合は、ノイズとして認められないことがあります。このような場合は、入力端子にフィルタを付けてノイズを除去してください。

5.3.8 エッジ検出機能

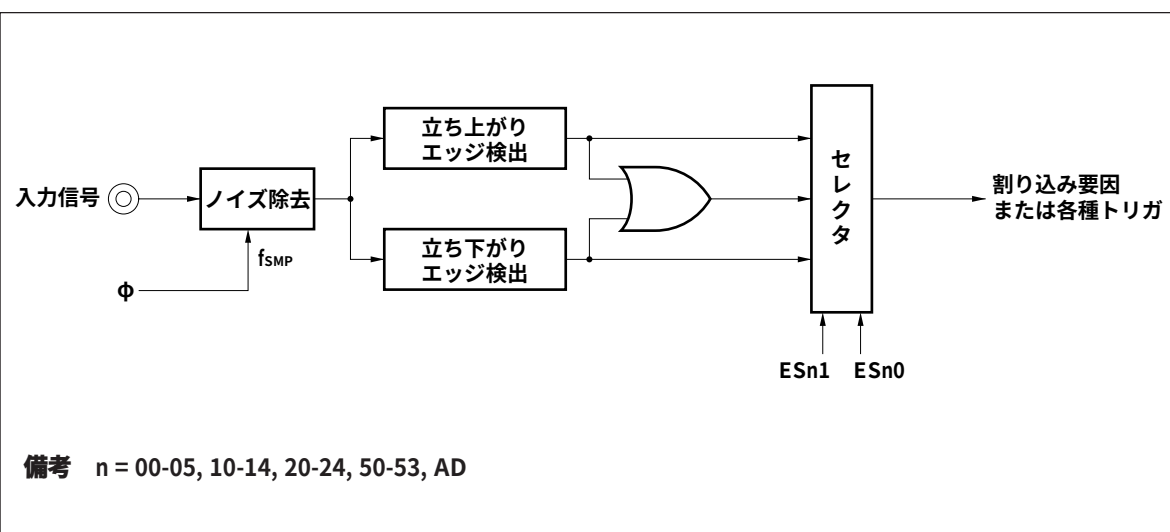
(1) INTP_n端子（INTP30端子以外）、TIn端子、TCLR0端子、ADTRG端子のエッジ検出

これらの端子は、有効エッジをプログラマブルに選択できます。選択できる有効エッジは次のどれかです。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・立ち上がり、立ち下がり両エッジ

エッジ検出されたINTP_n信号は、割り込み要因やキャプチャ・トリガになります。

次に、これらの端子のエッジ検出部のブロック図を示します。



(2) 外部割り込みモード・レジスタ1-6 (INTM1-INTM6)

これらのレジスタは、外部端子による外部割り込み要求または各種トリガの有効エッジを指定するレジスタです。

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり、立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
INTM1	ES031	ES030	ES021	ES020	ES011	ES010	ES001	ES000	FFFFFF182H	00H
制御端子	INTP03		INTP02		INTP01		INTP00			
INTM2	ES111	ES110	ES101	ES100	ES051	ES050	ES041	ES040	FFFFFF184H	00H
制御端子	INTP11		INTP10		INTP05/TI0		INTP04/TCLR0			
INTM3	ES201	ES200	ES141	ES140	ES131	ES130	ES121	ES120	FFFFFF186H	00H
制御端子	INTP20/TI20		INTP14/TI1		INTP13		INTP12			
INTM4	ES241	ES240	ES231	ES230	ES221	ES220	ES211	ES210	FFFFFF188H	00H
制御端子	INTP24/TI24		INTP23/TI23		INTP22/TI22		INTP21/TI21			
INTM5	0	0	0	0	0	0	ESAD1	ESAD0	FFFFFF18CH	00H
制御端子	ADTRG									
INTM6	ES531	ES530	ES521	ES520	ES511	ES510	ES501	ES500	FFFFFF18EH	00H
制御端子	INTP53		INTP52		INTP51		INTP50			

ビット位置	ビット名	意 味															
7, 5, 3, 1 6, 4, 2, 0	ESn1, ESn0 (n = 00-05, 10-14, 20-24, 50-53, AD)	Edge Select INTPm端子とADTRG端子の有効エッジを指定します (m = 00-05, 10-14, 20-24, 50-53)。 <table> <tr> <th>ESn1</th><th>ESn0</th><th>動 作</th></tr> <tr> <td>0</td><td>0</td><td>立ち下がりエッジ</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジ</td></tr> <tr> <td>1</td><td>0</td><td>RFU (予約)</td></tr> <tr> <td>1</td><td>1</td><td>立ち上がり、立ち下がり両エッジ</td></tr> </table>	ESn1	ESn0	動 作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU (予約)	1	1	立ち上がり、立ち下がり両エッジ
ESn1	ESn0	動 作															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	RFU (予約)															
1	1	立ち上がり、立ち下がり両エッジ															

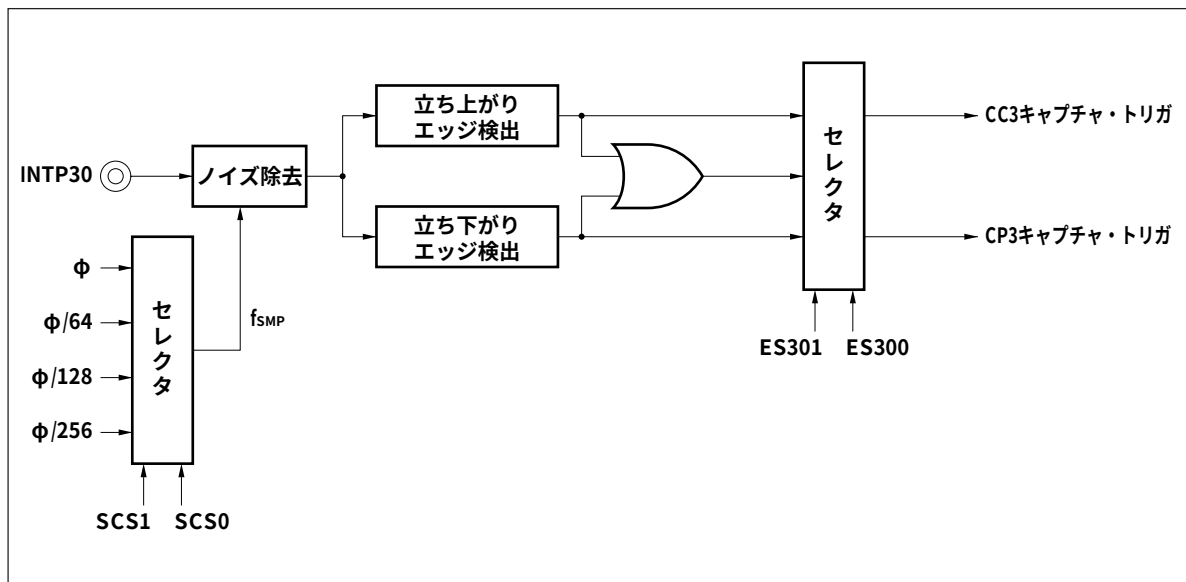
(3) INTP30端子のエッジ検出

INTP30端子の有効エッジは、INTM7レジスタで設定します。選択できる有効エッジは次のどれかです。

- ・ 立ち上がりエッジ
- ・ 立ち下がりエッジ
- ・ 立ち上がり，立ち下がり両エッジ

エッジ検出されたINTP30信号は、タイマ機能のCC3レジスタとCP3レジスタのキャプチャ・トリガになります。CC3レジスタのトリガとCP3レジスタのトリガは逆エッジになります。ただし両エッジを指定した場合は、どちらか一方のトリガだけが有効です。

次に、INTP30端子のエッジ検出部のブロック図を示します。



(a) 外部割り込みモード・レジスタ7 (INTM7)

INTP30端子によるデジタル・ノイズ除去のサンプリング・クロック (f_{SMP}) と、有効エッジを指定するレジスタです。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
INTM7	ES301	ES300	0	0	0	0	SCS1	SCS0	アドレス FFFFFF18EH	リセット時 00H

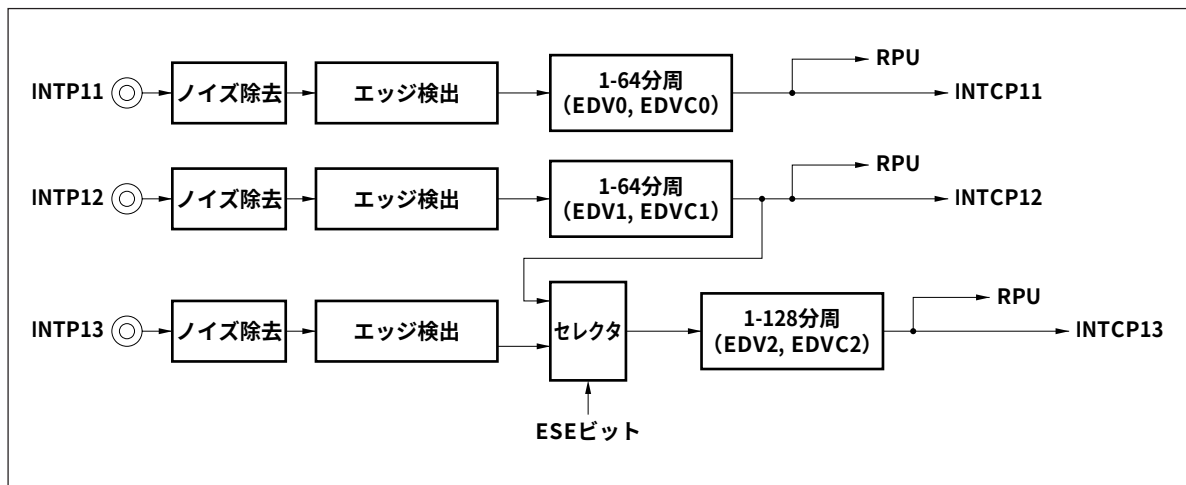
ビット位置	ビット名	意 味				
7, 6	ES301, ES300	Edge Select				
		INTP30端子の有効エッジを指定します。				
		ES301	ES300	INTP30, CC3キャプチャ・トリガ	CP3キャプチャ・トリガ	
		0	0	立ち下がりエッジ	立ち上がりエッジ	
		0	1	立ち上がりエッジ	立ち下がりエッジ	
		1	0	選択エッジなし	立ち上がり, 立ち下がり両エッジ	
		1	1	立ち上がり, 立ち下がり両エッジ	キャプチャしない	
備考 φ: 内部システム・クロック						
1, 0	SCS1, SCS0	Sampling Clock Select				
		サンプリング・クロックを指定します。				
		SCS1	SCS0	サンプリング・クロック (f _{SMP})	ノイズとして除去されるパルス幅	信号として認められる最小パルス幅
		0	0	φ	2/φ	3/φ
		0	1	φ/64	128/φ	192/φ
		1	0	φ/128	256/φ	384/φ
		1	1	φ/256	512/φ	768/φ
備考 φ: 内部システム・クロック						

5.3.9 分周器

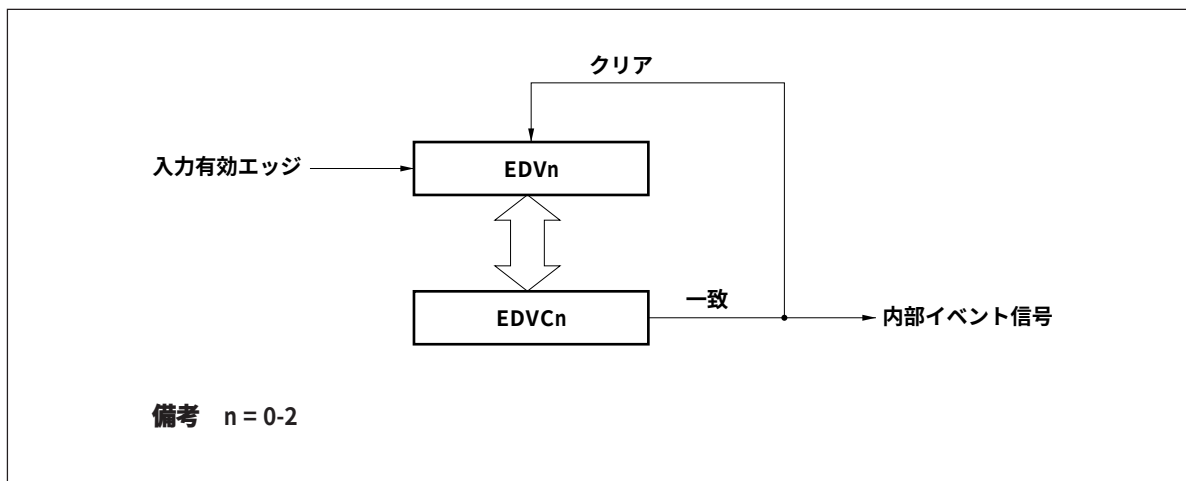
V854では、P11-P13 (INTP11-INTP13) 端子に入力された信号を内部で分周できます。分周結果は外部割り込み要求信号か、タイマのキャプチャ・トリガになります。

イベント・ディバイド制御レジスタ (EDVC) に分周比を設定し、イベント・ディバイド・カウンタ (EDV) の値と比較して一致したときに、内部イベント信号とすることでINTP信号を分周します。INTP11, INTP12信号は、1-64分周が可能です。INTP13信号は、1-128分周が可能です。INTP12信号を1-64分周した信号は、さらに1-128分周できますが、この機能を使用した場合、INTP13信号は使用できません。

次にINTP11-INTP13入力のブロック図を示します。



次に分周器のブロック図を示します



(1) イベント・ディバイド・カウンタ0-2 (EDV0-EDV2)

INTPn入力信号の有効エッジをカウントするレジスタです (n = 11-13)。EDV0, EDV1レジスタは6ビット・カウンタ, EDV2レジスタは7ビット・カウンタで構成されています。

このレジスタがクリアされるタイミングは、次の2つです。

- ・ イベント・ディバイド制御レジスタ (EDVCn) の値とカウント値が一致
- ・ EDVCnレジスタへの書き込み

備考 n = 0-2

8／1ビット単位でリードのみ可能です。なおINTMnレジスタの有効エッジ指定変更中にエッジ入力があっても、カウントされないことがあります (n = 1-6)。

	7	6	5	4	3	2	1	0	アドレス	リセット値
EDV0	0	0	EDV05	EDV04	EDV03	EDV02	EDV01	EDV00	FFFFFF1B6H	00H
EDV1	0	0	EDV15	EDV14	EDV13	EDV12	EDV11	EDV10	FFFFFF1B8H	00H
EDV2	0	EDV26	EDV25	EDV24	EDV23	EDV22	EDV21	EDV20	FFFFFF1BAH	00H

(2) イベント・ディバイド制御レジスタ0-2 (EDVC0-EDVC2)

INTPn入力信号の有効エッジの分周比を設定するレジスタです (n = 11-13)。設定値がそのまま分周比になります。ただし、0を設定した場合は最高分周比になり、EDVC0, EDVC1は64分周、EDVC2は128分周になります。

EDVC0, EDVC1のビット7、6とEDVC2のビット7は“0”に固定されており、“1”を書き込んでも無視されます。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット値
EDVC0	0	0	EDVC05	EDVC04	EDVC03	EDVC02	EDVC01	EDVC00	FFFFFF1B0H	01H
EDVC1	0	0	EDVC15	EDVC14	EDVC13	EDVC12	EDVC11	EDVC10	FFFFFF1B2H	01H
EDVC2	0	EDVC26	EDVC25	EDVC24	EDVC23	EDVC22	EDVC21	EDVC20	FFFFFF1B4H	01H

(3) イベント選択レジスタ (EVS)

EDV2レジスタに入力する信号を選択するレジスタです。8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	リセット時
EVS	0	0	0	0	0	0	0	ESE	FFFFFF1C0H	00H

ビット位置	ビット名	意味
0	ESE	Event Select EDV2レジスタへの入力信号を選択します。 0：INTP13信号 1：INTP12信号のEDVC1レジスタによる分周結果

5.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付けが可能です。

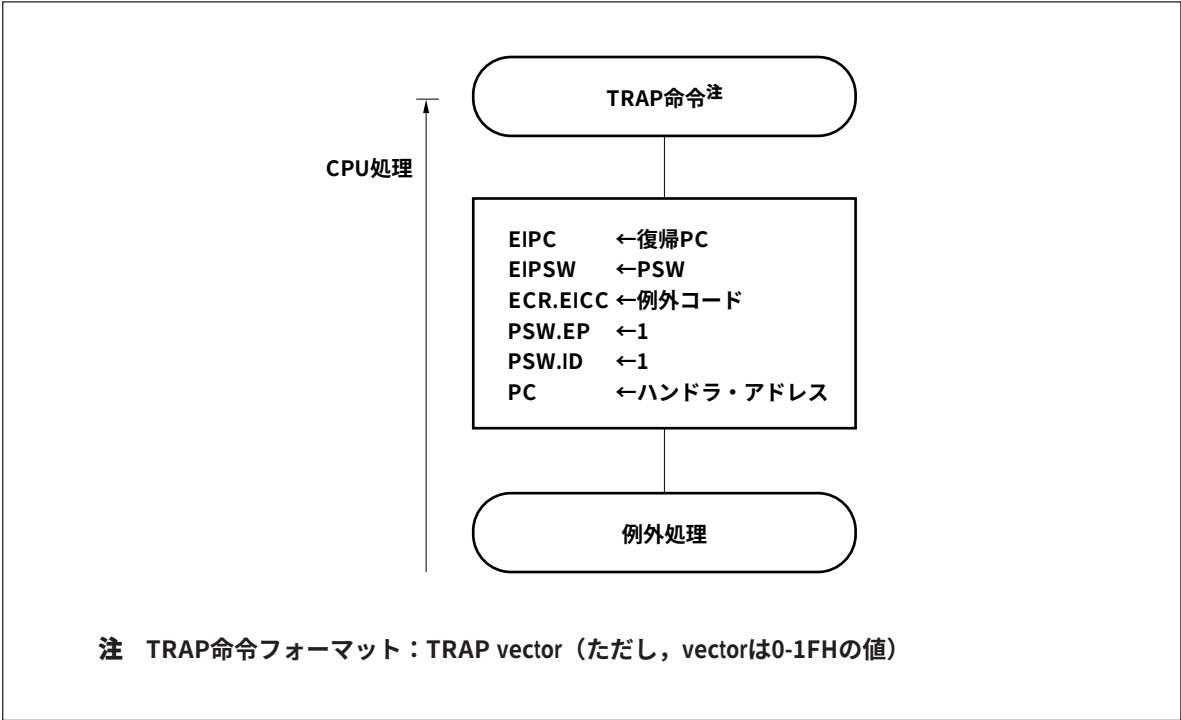
5.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをEIPCに退避します。
- (2) 現在のPSWをEIPSWへ退避します。
- (3) ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。
- (4) PSWのEP, IDビットをセットします。
- (5) PCにソフトウェア例外に対するハンドラ・アドレス（00000040Hまたは00000050H）をセットし、制御を移します。

ソフトウェア例外の処理形態を図5－10に示します。

図5－10 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド（vector）によって決まります。vectorが0-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

5.4.2 復 帰

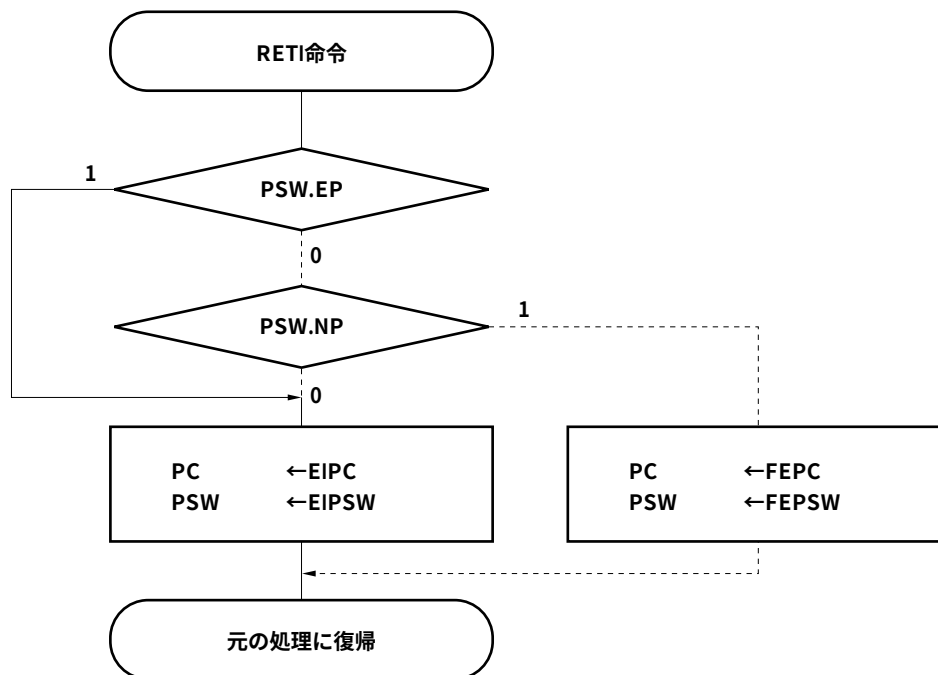
ソフトウェア例外処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PCのアドレス, PSWの状態に制御を移します。

RETI命令の処理形態を図5-11に示します。

図5-11 RETI命令の処理形態

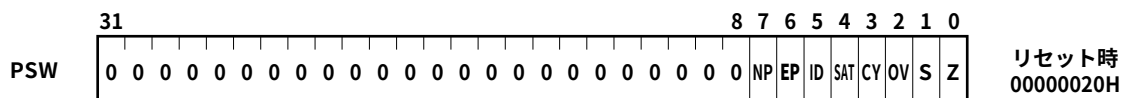


注意 ソフトウェア例外処理中にLDSR命令によりPSW. EPビット, PSW. NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前でLDSR命令を使用してPSW.EP=1に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

5.4.3 例外ステータス・フラグ (EP)

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされ、割り込みを禁止します。



ビット位置	ビット名	意味
6	EP	Exception Pending 例外処理中であることを示します。 0：例外処理中ではない 1：例外処理中

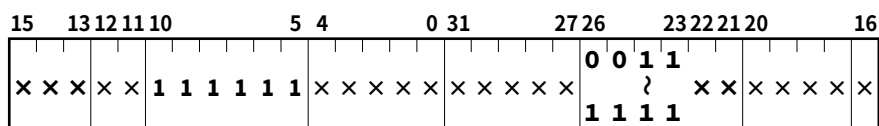
5.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V854では、不正命令コード例外 (ILGOP:ILleGal OPcode trap) が例外トラップに当たります。

不正命令コード例外は、次に実行しようとする命令のサブオペコードが不正命令コードの場合に発生します。

5.5.1 不正命令コード

不正命令コードは、32ビット長命令形式であり、ビット5-10が111111Bであり、かつビット23-26が0011B-1111Bになる任意の命令コードとして定義します。



×：任意

注意 不正命令コードには将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

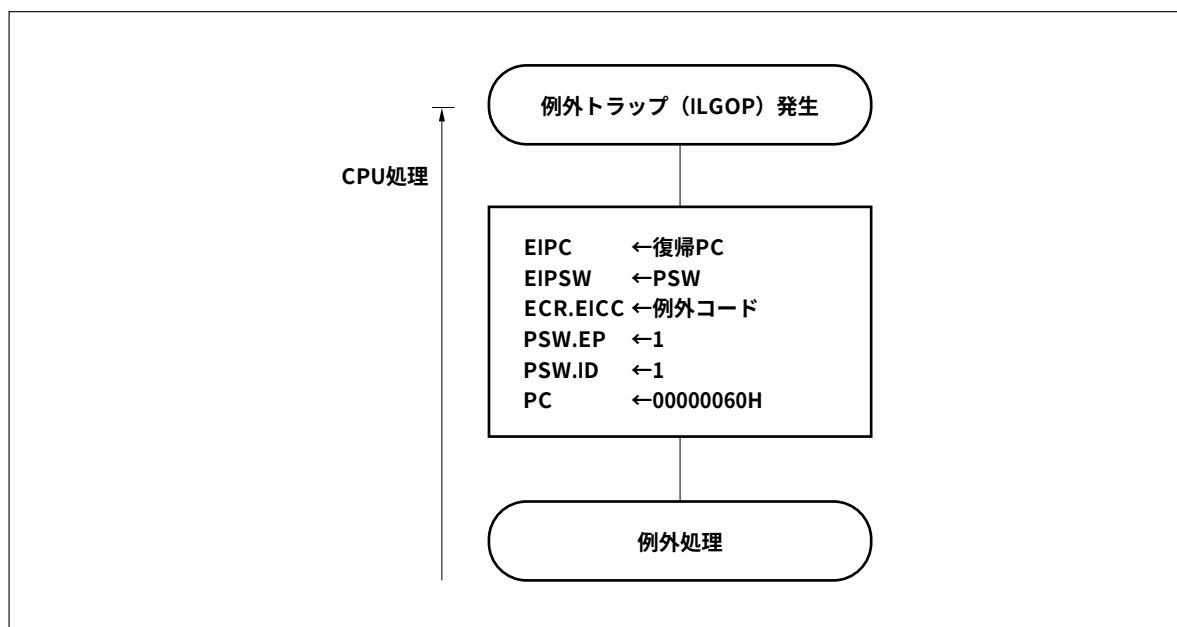
5.5.2 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- (1) 復帰PCをEIPCに退避します。
- (2) 現在のPSWをEIPSWへ退避します。
- (3) ECRの下位16ビット（EICC）に例外コード（0060H）を書き込みます。
- (4) PSWのEP, IDビットをセットします。
- (5) PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし、制御を移します。

例外トラップの処理形態を図5-12に示します。

図5-12 例外トラップの処理形態



5.5.3 復 帰

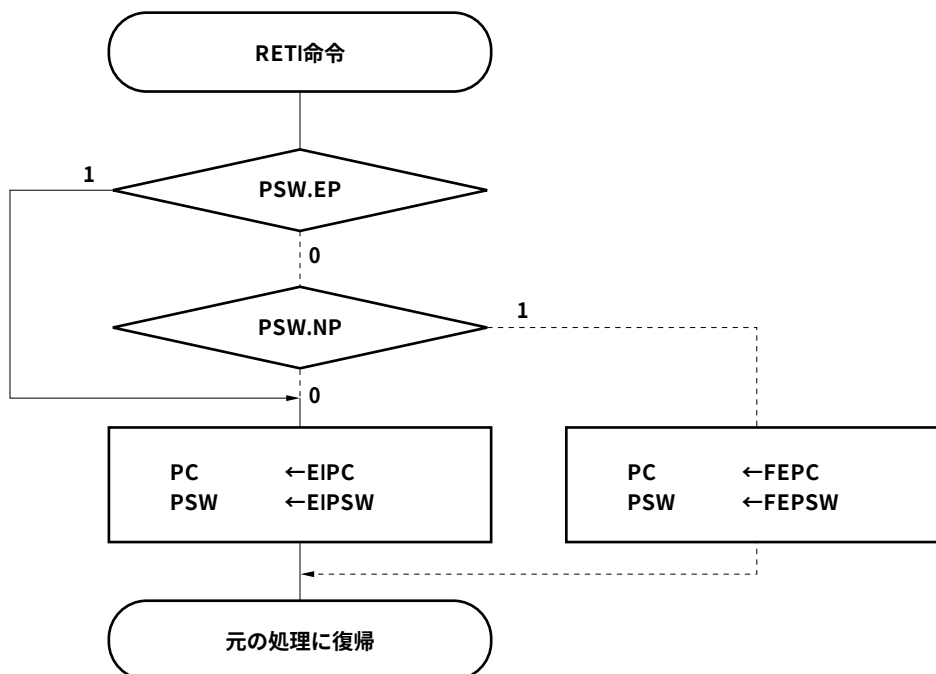
例外トラップからの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- (1) PSWのEPビットが1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- (2) 取り出した復帰PCのアドレス, PSWの状態に制御を移します。

RETI命令の処理形態を図5-13に示します。

図5-13 RETI命令の処理形態



注意 例外トラップ処理中にLDSR命令によりPSW. EPビット, PSW. NPビットを変更した場合には, RETI命令による復帰時にPCとPSWを正常にリストアするために, RETI命令の直前でLDSR命令を使用してPSW.EP=1に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

5.6 多重割り込み

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求であった場合は、その割り込み要求は保留されます。

マスカブル割り込みの多重処理制御は、割り込み許可状態（ID=0）のときに行われます。したがって多重割り込みを行う場合は、割り込み処理ルーチンでも割り込み許可状態（ID=0）にする必要があります。

マスカブル割り込みまたは例外のサービス・プログラム中に、マスカブル割り込みの許可または例外を発生させる場合はEIPC, EIPSWを退避する必要があります。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込みを受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
• EIPCをメモリまたはレジスタへ退避
• EIPSWをメモリまたはレジスタへ退避
• EI命令（割り込み受け付け許可）
...
...
...
...
• DI命令（割り込み受け付け禁止）
• 退避していた値をEIPSWに復帰
• 退避していた値をEIPCに復帰
• RETI命令

```

←マスカブル割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
• EIPCをメモリまたはレジスタへ退避
• EIPSWをメモリまたはレジスタへ退避
...
• TRAP命令
• 不正命令コード
...
• 退避していた値をEIPSWに復帰
• 退避していた値をEIPCに復帰
• RETI命令

```

←TRAP命令などの例外受け付け

←不正命令コード例外受け付け

多重割り込み処理制御のための優先順位は、各マスカブル割り込み要求ごとに0-7までの8レベル（0が最優先）が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスカブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（××ICn）の××PRn0-××PRn2ビットで行います。システム・リセット時には、××MKnビットにより割り込み要求はマスクされ、××PRn0-××PRn2ビットにより優先順位はレベル7に設定されます。

マスカブル割り込みの優先順位は次のようになります。

(高) レベル0>レベル1>レベル2>レベル3>レベル4>レベル5>レベル6>レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

保留された割り込み要求は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

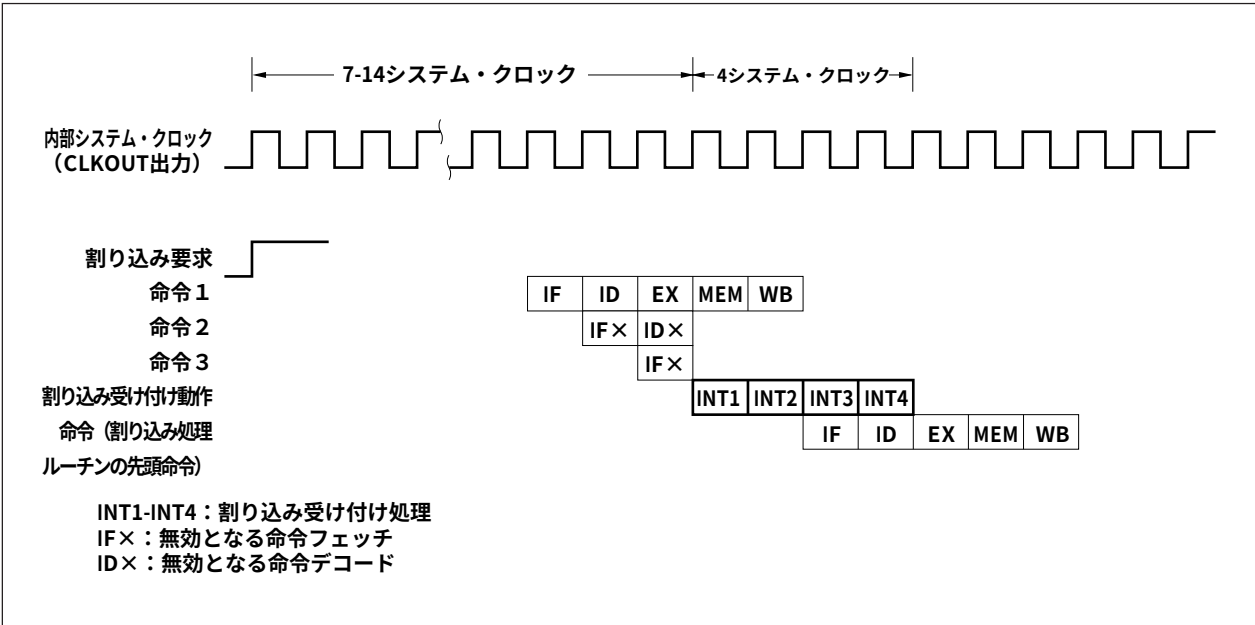
注意 ノンマスカブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では、マスカブル割り込みを受け付けず、保留します。

備考 ××：各周辺ユニット識別名称（OV, CC0, P1, CM1, CM2, CC3, CS, II, SE, SR, ST, AD, P5）
n：周辺ユニット番号（0-4）

5.7 割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間は次のとおりです。

図5-14 割り込み要求受け付け時のパイプライン動作（概略）



割り込み応答時間(内部システム・クロック)			条 件
	内部割り込み	外部割り込み	
最小	11	13	以下の場合を除きます。 ・ IDLE/ソフトウェアSTOPモード時 ・ 外部バス・アクセス時 ・ 割り込み要求非サンプル命令が連続しているとき ・ 割り込み制御レジスタへのアクセス時
最大	18	20	

5.8 割り込みが受け付けられない期間

割り込み要求の受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込み要求を受け付けません。割り込み要求非サンプル命令には次のものがあります。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令（対PSW）

また、次の場合、割り込み要求を受け付けないことがあります。

- (1) RETI命令実行直後
- (2) 次の各レジスタへのデータ書き込み終了直後
 - ・ 割り込み制御レジスタ (xxICn)
 - ・ コマンド・レジスタ (PRCMD)
 - ・ インサース・プライオリティ・レジスタ (ISPR)

第6章 クロック発生機能

クロック・ジェネレータ（CG）は、CPUをはじめとする内蔵の各ハードウェア・ユニットに供給される内部システム・クロック（ ϕ ）を発生、制御します。

6.1 特 徴

○PLL（Phase locked loop）シンセサイザによる逡倍機能

○クロック・ソース

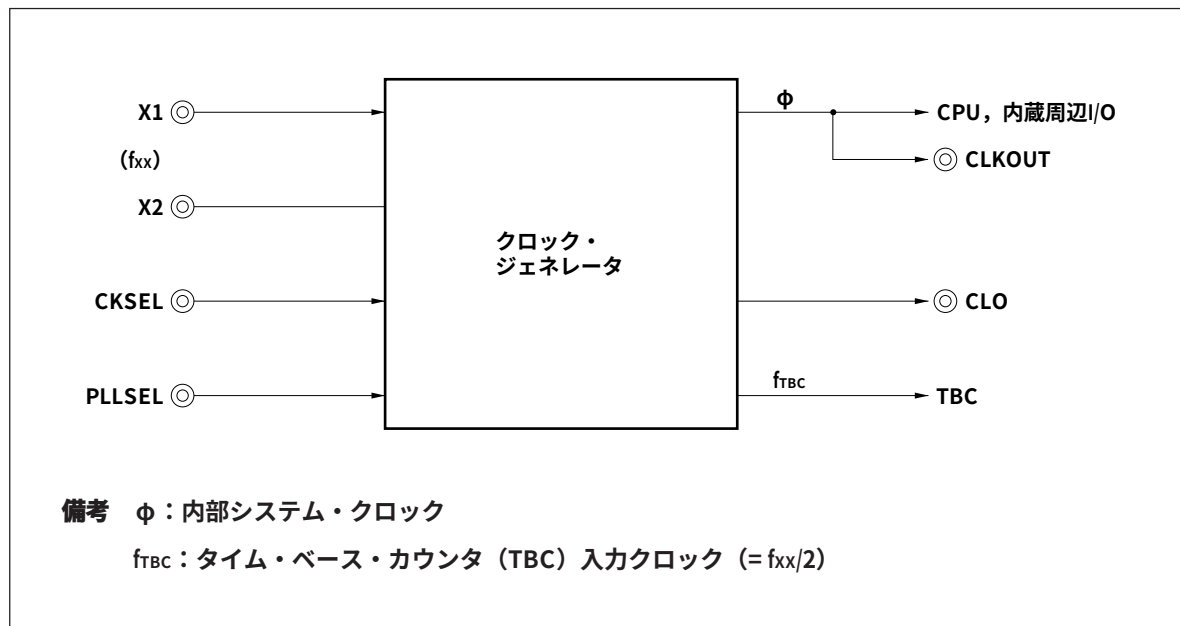
- ・発振子接続による発振の場合： $f_{xx} = \phi, \phi/5$
- ・外部クロック入力の場合： $f_{xx} = \phi, 2 \times \phi, \phi/5$

○パワー・セーブ制御

- ・HALTモード
- ・IDLEモード
- ・ソフトウェアSTOPモード
- ・クロック出力インヒビット機能

○内部システム・クロック出力機能

6.2 構 成



6.3 入力クロック選択

クロック・ジェネレータは、発振回路とPLLシンセサイザから構成されており、たとえば、6.5536 MHzの水晶振動子またはセラミック発振子をX1, X2端子に接続することにより、5 逡倍時は32.768（最大33）MHzの内部システム・クロック（ ϕ ）を生成できます。

また、発振回路には外部クロックを直接入力することもできます。この場合、X1端子だけにクロック信号を入力し、X2端子はオープンにしてください。

クロック・ジェネレータは基本動作モードとして、PLLモードとダイレクト・モードの2種類を備えます。動作モードの選択は、CKSEL端子で行います。この端子の入力は、リセット時にラッチします。

CKSEL	動作モード
0	PLLモード
1	ダイレクト・モード

注意 CKSEL端子は入力レベルを固定して使用してください。

動作中に切り替えると誤動作する可能性があります。

6.3.1 ダイレクト・モード

ダイレクト・モードでは、内部システム・クロックの2倍の周波数の外部クロックを入力します。発振回路とPLLシンセサイザが動作しないため、一層のパワー・セービングが可能です。おもに、V854を比較的低周波数で動作させる応用システムに使用します。EMI対策を考慮して、外部クロックの周波数（ f_{xx} ）が32 MHz（内部システム・クロック（ ϕ ）=16 MHz）以上の場合はPLLモードを推奨します。

6.3.2 PLLモード

PLLモードでは、外部発振子を接続または外部クロックを入力することにより、これをPLLシンセサイザにより逡倍し、内部システム・クロック（ ϕ ）を生成します。

逡倍数は1 逡倍または5 逡倍のどちらかを選択できます。逡倍数の選択はPLLSEL端子で行います（2.3 (16) PLLSEL参照）。この端子の入力は、リセット時にラッチします。

PLLSEL	逡倍数
0	1 逡倍
1	5 逡倍

注意 1. PLLSEL端子は動作中に入力レベルが変化しないように固定してください（動作中に入力レベルが切り替わると誤動作する可能性があります）。また、CKSEL端子によりダイレクト・モードに設定したとき（CKSEL = 1），PLLSEL端子は意味を持ちません。未使用端子として処理してください。

2. 外部発振子で発振させる場合、 f_{xx} は16 MHz以下で使用してください。

リセット時，入力クロックの周波数（ f_{xx} ）に対して，1 逓倍時には1 倍の周波数（ $1 \times f_{xx}$ ）の内部システム・クロック（ ϕ ）が，5 逓倍時には5 倍の周波数（ $5 \times f_{xx}$ ）の内部システム・クロック（ ϕ ）が生成されます。

PLLモードでは，外部発振子や外部クロック・ソースからのクロック供給が停止した場合に，クロック・ジェネレータ内部の電圧制御発振回路（VCO）の自走周波数に基づく内部システム・クロック（ ϕ ）は動作を継続します。この場合， ϕ = 約1 MHz（ターゲット）になります。なお，この自走周波数になることを期待した使い方をしないでください。

例 PLLモード時の使用クロック

逓倍数	内部システム・クロック周波数（ ϕ ）[MHz]	外部発振子／外部クロック周波数（ f_{xx} ）[MHz]
1 逓倍	33.000	33.000 ^注
	25.000	25.000 ^注
	20.000	20.000 ^注
	16.000	16.000
5 逓倍	33.000	6.6000
	25.000	5.0000
	20.000	4.0000
	16.000	3.2000

注 外部発振子による発振はできません。16 MHz以下で発振させてください。

6.3.3 クロック・コントロール・レジスタ（CKC）

内部システム・クロック周波数を制御する8ビットのレジスタで，プログラムの暴走などによって誤って容易に書き換えられないように，特定の命令シーケンスの組み合わせによってだけ書き込みできます。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
CKC	0	0	0	0	0	0	CKDIV1	CKDIV0	アドレス FFFFFF072H	リセット時 00H

ビット位置	ビット名	意	味																																																																				
1, 0	CKDIV1, CKDIV0	Clock Divide PLLモード時の内部システム・クロック周波数を設定します。																																																																					
		<table><tr><th rowspan="2">動作モード</th><th colspan="2">端子</th><th colspan="2">CKC</th><th rowspan="2">内部システム・ クロック（φ）</th></tr><tr><th>CKSEL</th><th>PLLSEL</th><th>CKDIV1</th><th>CKDIV0</th></tr><tr><td rowspan="3">ダイレクト・ モード</td><td>H</td><td>注</td><td>0</td><td>0</td><td>$f_{xx}/2$</td></tr><tr><td>H</td><td>注</td><td>任意</td><td>1</td><td>設定禁止</td></tr><tr><td>H</td><td>注</td><td>1</td><td>任意</td><td>設定禁止</td></tr><tr><td rowspan="4">PLLモード （1 逡倍）</td><td>L</td><td>L</td><td>0</td><td>0</td><td>f_{xx}</td></tr><tr><td>L</td><td>L</td><td>0</td><td>1</td><td>設定禁止</td></tr><tr><td>L</td><td>L</td><td>1</td><td>0</td><td>$f_{xx}/5$</td></tr><tr><td>L</td><td>L</td><td>1</td><td>1</td><td>$f_{xx}/10$</td></tr><tr><td rowspan="4">PLLモード （5 逡倍）</td><td>L</td><td>H</td><td>0</td><td>0</td><td>$5 \times f_{xx}$</td></tr><tr><td>L</td><td>H</td><td>0</td><td>1</td><td>設定禁止</td></tr><tr><td>L</td><td>H</td><td>1</td><td>0</td><td>f_{xx}</td></tr><tr><td>L</td><td>H</td><td>1</td><td>1</td><td>$f_{xx}/2$</td></tr></table>		動作モード	端子		CKC		内部システム・ クロック（φ）	CKSEL	PLLSEL	CKDIV1	CKDIV0	ダイレクト・ モード	H	注	0	0	$f_{xx}/2$	H	注	任意	1	設定禁止	H	注	1	任意	設定禁止	PLLモード （1 逡倍）	L	L	0	0	f_{xx}	L	L	0	1	設定禁止	L	L	1	0	$f_{xx}/5$	L	L	1	1	$f_{xx}/10$	PLLモード （5 逡倍）	L	H	0	0	$5 \times f_{xx}$	L	H	0	1	設定禁止	L	H	1	0	f_{xx}	L	H	1	1	$f_{xx}/2$
動作モード	端子		CKC		内部システム・ クロック（φ）																																																																		
	CKSEL	PLLSEL	CKDIV1	CKDIV0																																																																			
ダイレクト・ モード	H	注	0	0	$f_{xx}/2$																																																																		
	H	注	任意	1	設定禁止																																																																		
	H	注	1	任意	設定禁止																																																																		
PLLモード （1 逡倍）	L	L	0	0	f_{xx}																																																																		
	L	L	0	1	設定禁止																																																																		
	L	L	1	0	$f_{xx}/5$																																																																		
	L	L	1	1	$f_{xx}/10$																																																																		
PLLモード （5 逡倍）	L	H	0	0	$5 \times f_{xx}$																																																																		
	L	H	0	1	設定禁止																																																																		
	L	H	1	0	f_{xx}																																																																		
	L	H	1	1	$f_{xx}/2$																																																																		
		注 V_{DD} または V_{SS} に直接接続してください（2.4 各端子の入出力回路タイプと未使用端子の処理参照）。																																																																					
		備考 H：ハイ・レベル入力 L：ロウ・レベル入力 f_{xx} ：入力クロック																																																																					

このレジスタへのデータ設定のシーケンスはパワー・セーブ・コントロール・レジスタ（PSC）と同じです。ただし**3.4.9 特定レジスタの注意2**に示す制限事項は該当しません。詳細は**6.5.2 制御レジスタ**を参照してください。

以下に設定例を示します。

動作モード	端子		CKCレジスタ		入力クロック (f _{xx})	内部システム・ クロック (φ)
	CKSEL	PLLSEL	CKDIV1	CKDIV0		
ダイレクト・モード	H	注	0	0	16 MHz	8 MHz
PLLモード（1逓倍）	L	L	0	0	33 MHz	33 MHz
	L	L	1	0	33 MHz	6.6 MHz
	L	L	1	1	33 MHz	3.3 MHz
PLLモード（5逓倍）	L	H	0	0	6.6 MHz	33 MHz
	L	H	1	0	6.6 MHz	6.6 MHz
	L	H	1	1	6.6 MHz	3.3 MHz
上記以外					設定禁止	

注 V_{DD}またはV_{SS}に直接接続してください。

備考 H：ハイ・レベル入力

L：ロウ・レベル入力

6.4 PLLロックアップ

電源投入直後、ソフトウェアSTOPモード解除直後から所定の周波数でフェーズ・ロックし、安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの状態をアンロック状態と呼び、安定した状態をロック状態と呼びます。

システム・ステータス・レジスタには、PLLの周波数の安定状態を反映するUNLOCKフラグと、プロテクション・エラーの発生を示すPRERRフラグがあります（PRERRフラグの詳細は3.4.9（2）システム・ステータス・レジスタ（SYS）参照）。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
SYS	0	0	0	PRERR	0	0	0	UNLOCK	アドレス FFFFFF078H	リセット時 0000000×B

ビット位置	ビット名	意 味
0	UNLOCK	Unlock Status Flag 読み出し専用フラグで、PLLのアンロック状態を示します。 ロックアップ状態を維持しているかぎり“0”を保持し、システム・リセットによっても初期化されません。 0：ロック中であることを示します。 1：ロックしていない（アンロック）状態を示します。

備考 PRERRフラグの説明は3.4.9（2）システム・ステータス・レジスタ（SYS）を参照してください。

クロック停止、電源カットなど、いったんアンロック状態を発生させる要因が働いた場合に、リアルタイム処理など、ソフトウェアの実行速度に依存する制御の処理においては、動作開始直後にソフトウェアで必ずUNLOCKフラグを判定し、クロックの安定するのを待ってから所望の処理を開始してください。

一方、オンチップの各種ハードウェアの設定やレジスタ・データ、メモリ・データの初期化等の静的処理はUNLOCKフラグがリセットされるのを待たずに実行可能です。

発振子を使用した場合の発振安定時間（発振子が発振し、入力波形が安定するまでの時間）とPLLロックアップ時間（周波数が安定するまでの時間）の関係は次のようになります。

発振安定時間<PLLロックアップ時間

6.5 パワー・セーブ制御

6.5.1 概 要

V854のパワー・セーブ機能には、次のものがあります。

(1) HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システムのトータルの消費電力を低減させることができます。

専用命令（HALT命令）によりHALTモードに移行します。

(2) IDLEモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給を停止させることにより、システム全体を停止させるモードです。

IDLEモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行することができます。

特定レジスタのPSCレジスタ設定によりIDLEモードに移行します。

IDLEモードは、クロックの安定時間と消費電流に関して、STOPとHALTモードの中間に位置するモードで、低消費電流モードを利用し、かつ解除時のクロックの安定時間を削除したい用途に利用します。

★ **注意** 外部クロック入力時には、クロック供給を継続してください。

(3) ソフトウェアSTOPモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させ、システム全体が停止するモードです。リーク電流のみの超低消費電力状態になります。

特定レジスタのPSCレジスタ設定によりソフトウェアSTOPモードに移行します。

★ (a) PLLモード時

ソフトウェアによるレジスタ設定により、ソフトウェアSTOPモードに移行します。発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。ソフトウェアSTOPモードの解除後は、システム・クロックが安定するまでの間、発振回路の発振安定時間を確保する必要があります。また、プログラムによってはPLLのロックアップ時間が必要な場合があります。

★ (b) ダイレクト・モード時

ダイレクト・モード時には、ソフトウェアSTOPモードは使用できません。

(4) クロック出カインヒビット

CLKOUT端子からのシステム・クロック出力を禁止します。

通常、HALT、IDLE、ソフトウェアSTOPの各モードにおけるクロック・ジェネレータの動作を表6-1に示します。

各モードを組み合わせて、用途により切り替えて使用することにより、効果的な低消費電力システムを実現することができます。

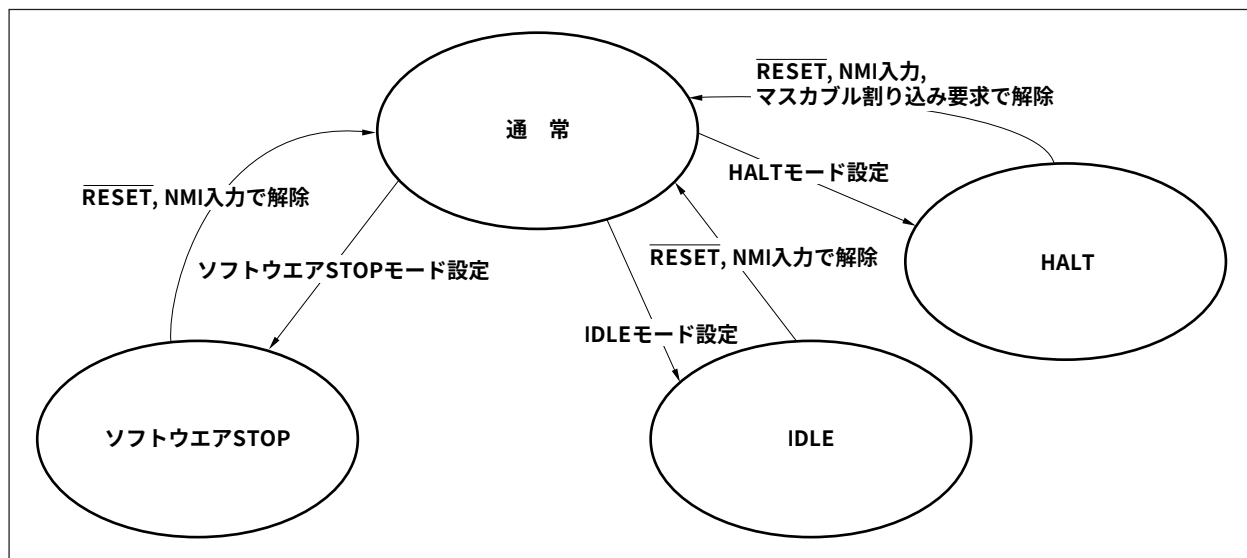
表6-1 パワー・セーブ制御によるクロック・ジェネレータの動作

クロック・ソース		スタンバイ・モード	発振回路 (OSC)	PLL シンセサイザ	周辺I/Oへの クロック供給	CPUへの クロック供給
PLLモード	発振子による発振	通常	○	○	○	○
		HALT	○	○	○	×
		IDLE	○	○	×	×
		STOP	×	×	×	×
	外部クロック	通常	×	○	○	○
		HALT	×	○	○	×
		IDLE	×	○	×	×
		STOP	×	×	×	×
ダイレクト・モード		通常	×	×	○	○
		HALT	×	×	○	×
		IDLE	×	×	×	×
		STOP	×	×	×	×

○：動作

×

状態遷移図



6.5.2 制御レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

パワー・セーブ・モードを制御する8ビット・レジスタです。

このレジスタは特定レジスタの1つで、ライト動作時は特定シーケンスによるアクセスのみが有効です。詳細は3.4.9 特定レジスタを参照してください。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PSC	DCLK1	DCLK0	TBCS	CESEL	0	IDLE	STP	0	アドレス FFFFFF070H	リセット時 注

ビット位置	ビット名	意 味															
7, 6	DCLKn (n=1, 0)	Disable CLKOUT CLKOUT端子の動作モードの指定を行います。 <table><tr><th>DCLK1</th><th>DCLK0</th><th>モード</th></tr><tr><td>0</td><td>0</td><td>通常出力モード</td></tr><tr><td>0</td><td>1</td><td>RFU (予約)</td></tr><tr><td>1</td><td>0</td><td>RFU (予約)</td></tr><tr><td>1</td><td>1</td><td>クロック出力ラインヒビット・モード</td></tr></table>	DCLK1	DCLK0	モード	0	0	通常出力モード	0	1	RFU (予約)	1	0	RFU (予約)	1	1	クロック出力ラインヒビット・モード
DCLK1	DCLK0	モード															
0	0	通常出力モード															
0	1	RFU (予約)															
1	0	RFU (予約)															
1	1	クロック出力ラインヒビット・モード															
5	TBCS	Time Base Count Select タイム・ベース・カウンタの分周数を選択し、発振安定時間を確保します。 0 : $2^{15}/f_{TBC}$ (s) 1 : $2^{16}/f_{TBC}$ (s) 詳細は6.6 発振安定時間の確保のタイム・ベース・カウンタ (TBC) に示します。															
4	CESEL	Crystal/External Select X1, X2端子の機能を指定します。 0 : X1, X2端子に発振子を接続 1 : X1端子に外部クロックを接続 CESEL = 1の場合、ソフトウェアSTOPモードは使用できません。															
2	IDLE	IDLE Mode IDLEモードを指定します。 “ 1 ” を書き込むとIDLE状態に入ります。 IDLEモードが解除されると自動的にリセット“ 0 ” されます。															

ビット位置	ビット名	意 味
1	STP	STOP Mode ソフトウェアSTOPモードを指定します。 “ 1 ”を書き込むとSTOP状態に入ります。 STOPモードが解除されると自動的にリセット“ 0 ”されます。

注 00H（ROMレス・モード1，2時，シングルチップ・モード2時）
C0H（シングルチップ・モード1時，フラッシュ・メモリ・プログラミング・モード時）

6.5.3 HALTモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定することにより、システムのトータルの消費電力を低減させることができます。

HALT命令によりHALTモードに移行します。

HALTモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAMの内容は保持されます。また、CPUの命令処理に依存しないオンチップの周辺機能は動作を継続します。HALTモード時の各ハードウェアの状態は表6-2のようになります。

表6-2 HALTモード時の動作状態

機 能		動作状態	
クロック・ジェネレータ		動作	
内部システム・クロック		動作	
CPU		停止	
I/Oポート		保持	
周辺機能		動作	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMの内容など，内部のデータはすべてHALTモード設定前の状態を保持	
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス ^注	
	A16-A23	保持 ^注	$\overline{\text{HLDAK}}=0$ のときはハイ・インピーダンス
	$\overline{\text{LBEN}}, \overline{\text{UBEN}}$		
	R/ $\overline{\text{W}}$	ハイ・レベル出力 ^注	
	$\overline{\text{DSTB}}, \overline{\text{WRL}}, \overline{\text{WRH}}, \overline{\text{RD}}$		
	$\overline{\text{ASTB}}$		
	$\overline{\text{HLDAK}}$	動作	
CLKOUT		クロック出力 (クロック出力インヒビットでないとき)	
CLO		保持 (CLOMレジスタのCLEビット = 0) クロック出力 (" = 1)	

注 HALT命令実行後も、内部の命令プリフェッチ・キューがフルになるまでの間は、命令フェッチ動作を継続します。フルになったあと、表6-2の状態で停止します。

(2) HALTモードの解除

HALTモードは、ノンマスカブル割り込み要求、マスクされていないマスカブル割り込み要求、およびRESET端子入力により解除されます。

(a) 割り込み要求による解除

NMI要求、マスクされていないマスカブル割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります。

- (i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除のみ行い、この割り込みは受け付けません。割り込み要求そのものは保持します。
- (ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求（NMI要求を含む）が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
NMI要求	ハンドラ・アドレスに分岐	
マスカブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

(b) RESET端子入力による解除

通常のリセット動作と同じです。

6.5.4 IDLEモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給が停止し、システム全体が停止するモードです。

このモードからの解除時に、発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため、高速に通常動作に移行することができます。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSCレジスタ（特定レジスタ）設定でIDLEモードに移行します（3.4.9 特定レジスタ参照）。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAMの内容は保持されます。オンチップの周辺機能も動作を停止します。外部バス・ホールド要求（ $\overline{\text{HLDRQ}}$ ）は受け付けません。

IDLEモード時の各ハードウェアの状態は表6-3のようになります。

表6-3 IDLEモード時の動作状態

機 能		動作状態
クロック・ジェネレータ		動作
内部システム・クロック		停止
CPU		停止
I/Oポート		保持
周辺機能		停止
内部データ		CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてIDLEモード設定前の状態を保持
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス
	A16-A23	
	$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$	
	$\text{R}/\overline{\text{W}}$	
	$\overline{\text{DSTB}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{RD}}$	
	$\overline{\text{ASTB}}$	
	$\overline{\text{HLDK}}$	
CLKOUT		ロウ・レベル出力
CLO		保持 ^注

注 IDLEモードに移行する前に、CLOMレジスタのCLEビットを0にしてください。

(2) IDLEモードの解除

IDLEモードは、NMI端子入力、 $\overline{\text{RESET}}$ 端子入力により解除されます。

(a) NMI端子入力による解除

IDLEモードの解除とともにNMI要求として受け付けます。

ただし、NMI処理ルーチン内でIDLEモードに設定した場合は、IDLEモードの解除のみ行い、この割り込みは受け付けません。割り込み要求そのものは保持します。

NMI端子入力によるIDLEモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令／ビット操作命令によるIDLEフラグ設定の前に、ステータスを設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

6.5.5 ソフトウェアSTOPモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させるモードです。システム全体を停止させ、デバイスのリーク電流のみの超低消費電力を実現します。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSCレジスタ（特定レジスタ）設定でソフトウェアSTOPモードに移行します（3.4.9 特定レジスタ参照）。

発振子接続モード（CESELビット＝“0”）の場合で、ソフトウェアSTOPモード解除後には、発振回路の発振安定時間を確保する必要があります。

ソフトウェアSTOPモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAMの内容は保持されます。オンチップの周辺機能も動作を停止します。

ソフトウェアSTOPモード時の各ハードウェアの状態は表6-4のようになります。

表6-4 ソフトウェアSTOPモード時の動作状態

機 能		動作状態
クロック・ジェネレータ		停止
内部システム・クロック		停止
CPU		停止
I/Oポート ^{注1}		保持
周辺機能		停止
内部データ ^{注1}		CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてソフトウェアSTOPモード設定前の状態を保持
外部拡張 モード時	AD0-AD15	ハイ・インピーダンス
	A16-A23	
	$\overline{\text{LBEN}}$, $\overline{\text{UBEN}}$	
	$\overline{\text{R}}/\overline{\text{W}}$	
	$\overline{\text{DSTB}}$, $\overline{\text{WRL}}$, $\overline{\text{WRH}}$, $\overline{\text{RD}}$	
	$\overline{\text{ASTB}}$	
	$\overline{\text{HLDK}}$	
CLKOUT		ロウ・レベル出力
CLO		保持 ^{注2}

注1. V_{DD} の値が動作可能範囲内にある場合。

ただし、動作可能最低電圧より下がった場合でも、データ保持電圧 V_{DDDR} を維持すれば、内蔵RAMの内容だけは保持されます。

2. ソフトウェアSTOPモードに移行する前に、CLOMレジスタのCLEビットを0にしてください。

(2) ソフトウェアSTOPモードの解除

STOPモードは、NMI端子入力、 $\overline{\text{RESET}}$ 端子入力により解除されます。

また、PLLモード（CKSEL端子 = “0”）かつ発振子接続モード（CESELビット = “0”）におけるSTOPモード解除時には、発振回路の発振安定時間を確保する必要があります。

なお、プログラムによってはPLLのロックアップ時間が必要です。詳細は6.4 PLLロックアップを参照してください。

(a) NMI端子入力による解除

STOPモードの解除とともにNMI要求として受け付けます。

ただし、NMI処理ルーチン内でSTOPモードに設定した場合は、STOPモードの解除のみ行い、この割り込みは受け付けません。割り込み要求そのものは保持します。

STOPモード解除時のNMI割り込み処理について

NMI端子入力によるSTOPモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが一意のため）。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令／ビット操作命令によるSTOPフラグ設定の前に、ステータス設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

6.6 発振安定時間の確保

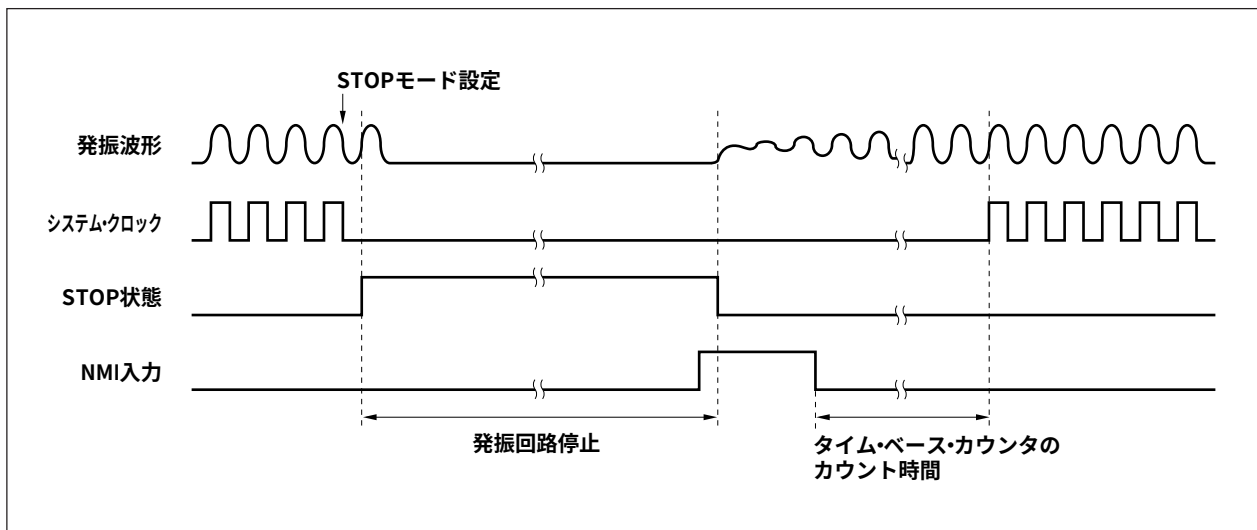
STOPモード解除後の停止状態の発振回路が安定するまでの時間確保指定には2通りの方法があります。

★ (1) 内蔵タイム・ベース・カウンタで時間を確保する場合（NMI端子入力）

NMI端子に有効エッジが入力されると、STOPモードが解除されます。端子へのインアクティブ・エッジ入力からタイム・ベース・カウンタ（TBC）がカウントを開始し、そのカウント時間で、発振回路からのクロック出力が安定するまでの時間を確保します。

発振安定時間 $\approx$ (NMI入力の有効エッジ検出後のアクティブ・レベル幅) + (TBCのカウント時間)

所定時間後、システム・クロック出力が開始し、NMI割り込みのハンドラ・アドレスに分岐します。



NMI端子は、通常はインアクティブ・レベル（たとえば有効エッジを“立ち下がり”と指定したときはハイ・レベル）にしておいてください。

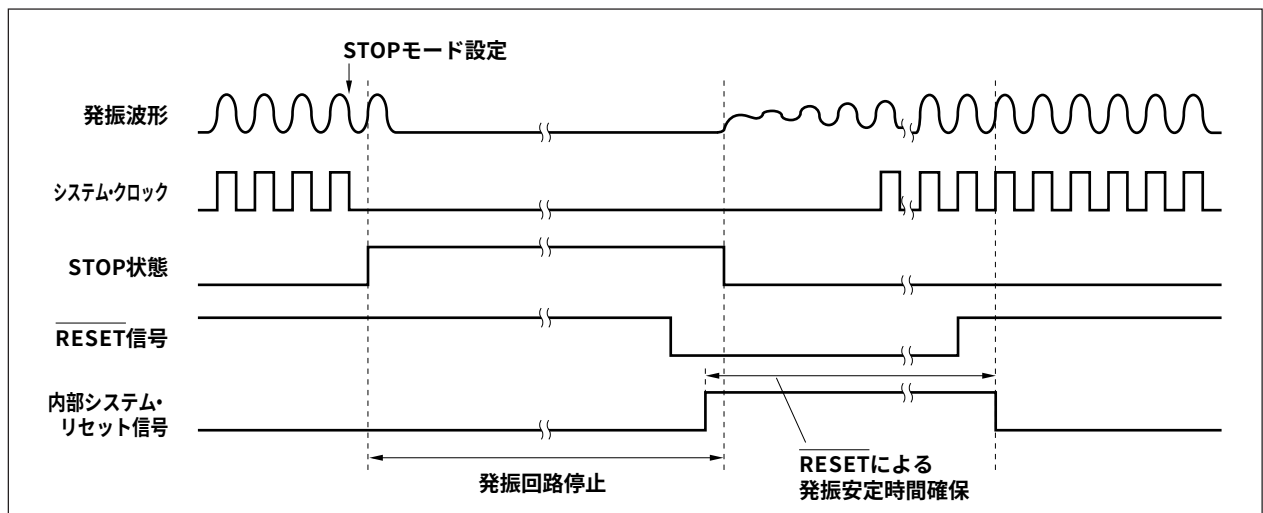
なお、NMIの有効エッジ入力タイミングからCPUで割り込みを受け付けるまでの期間にSTOPモードに設定する動作を行った場合、STOPモードはすぐに解除されます。PLLモード（CKSEL = 0）かつ発振子接続モード（CESEL = 0）の場合は、NMI端子のインアクティブ・エッジ入力からタイム・ベース・カウンタによる発振安定時間確保後、プログラム実行を開始します。

(2) 信号レベル幅で時間を確保する場合 ($\overline{\text{RESET}}$ 端子入力)

$\overline{\text{RESET}}$ 端子への立ち下がりエッジ入力により、STOPモードが解除されます。

端子へ入力される信号のロウ・レベル幅で、発振回路からのクロック出力が安定するまでの時間を確保します。

$\overline{\text{RESET}}$ 端子への立ち上がりエッジ入力後、内部システム・クロックの供給が開始し、システム・リセット時のハンドラ・アドレスに分岐します。



★ タイム・ベース・カウンタ (TBC)

タイム・ベース・カウンタ (TBC) は、ソフトウェアSTOPモード解除時の発振回路の発振安定時間の確保に使用します。

・発振子接続モード時 (CESEL = 0)

STOPモード解除後、TBCで発振安定時間をカウントし、カウント終了後にプログラム実行を開始します。

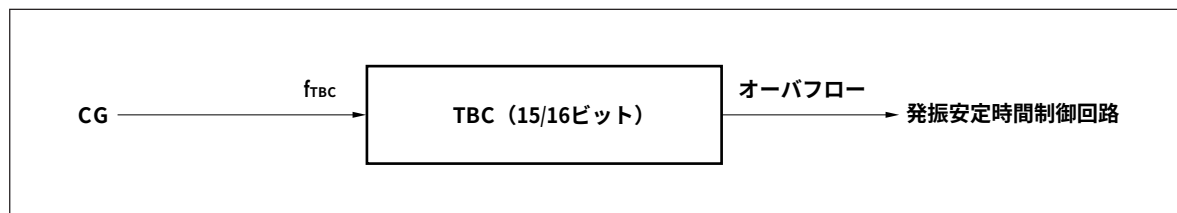
★ PLLモード (CKSEL = 0) かつ発振子接続モード (CESELビット = 0) の場合は、PSCレジスタのTBCSビットによりTBCのカウント・クロックを選択し、次のカウント時間を設定できます。

表6-5 カウント時間例

TBCS	分周数	カウント時間			
		$f_{xx} = 5.0\text{MHz}$	$f_{xx} = 6.6\text{MHz}$	$f_{xx} = 25.0\text{MHz}$	$f_{xx} = 33.0\text{MHz}$
0	$2^{15}/f_{\text{TBC}}$	13.1 ms	9.8 ms	2.6 ms	2.0 ms
1	$2^{16}/f_{\text{TBC}}$	26.2 ms	19.6 ms	5.2 ms	4.0 ms

$f_{\text{TBC}} : f_{xx}/2$

図6-1 ブロック構成図



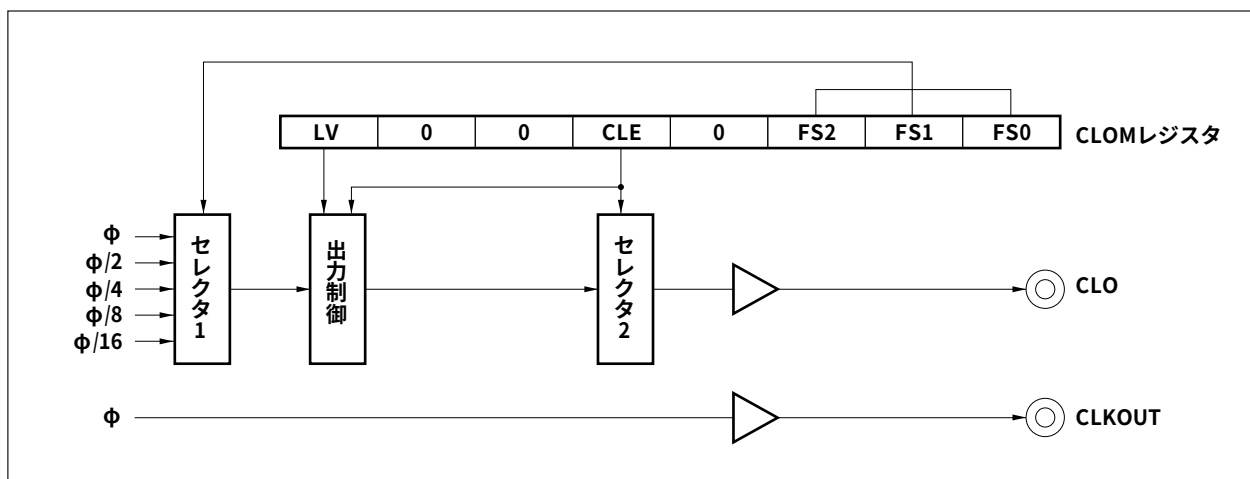
6.7 クロック出力制御

V854は、システム・クロックと同じ周波数のCLKOUT信号と、システム・クロックを分周したCLO信号を出力できます。

- CLKOUT信号 = ϕ (システム・クロック)
- CLO信号 = ϕ , $\phi/2$, $\phi/4$, $\phi/8$, $\phi/16$

また、1ビットの出力ポートとしても使用できます。

6.7.1 構成



6.7.2 CLKOUT信号出力制御

PSCレジスタのDCLK0, DCLK1ビットで、CLKOUT端子の動作モードを選択できます。

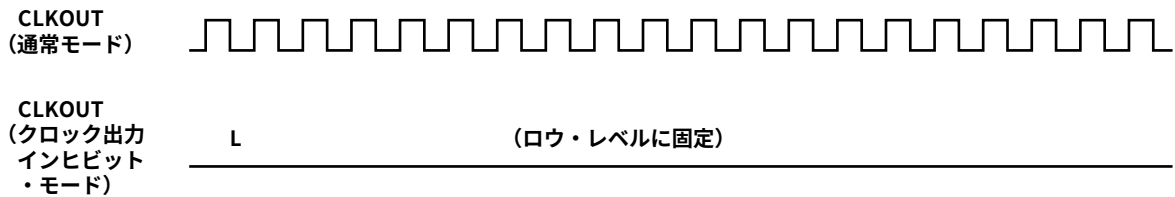
HALT/IDLE/ソフトウェアSTOPの各モードと組み合わせることにより、より効果的なパワー・セービングが可能です（書き込み方は6.5.2 制御レジスタを参照してください）。

クロック出力インビット・モード

CLKOUT端子からのクロック出力を禁止します。

シングルチップ・モードのシステム、あるいは外部拡張デバイスに対する命令フェッチやデータ・アクセスを非同期型アクセスで行うシステムに最適です。

CLKOUTの動作が完全に停止するため、一層の低消費電力化およびCLKOUT端子からの輻射ノイズ抑制が可能です。



PSCレジスタのリセット値はROMレス・モード1, 2時, シングルチップ・モード2時は00H, シングルチップ・モード1時, フラッシュ・メモリ・プログラミング・モード時はC0Hです。したがって, ROMレス・モード1, 2時, シングルチップ・モード2時はリセット期間中からCLKOUT信号を出力します。シングルチップ・モード1時はリセット解除後, PSCレジスタのDCLK1, DCLK0ビットを“11”に設定するまでCLKOUT信号を出力しません(ロウ・レベルを出力)。

またフラッシュ・メモリ・プログラミング・モード時は, CLKOUT信号を出力できません(ロウ・レベルを出力)。

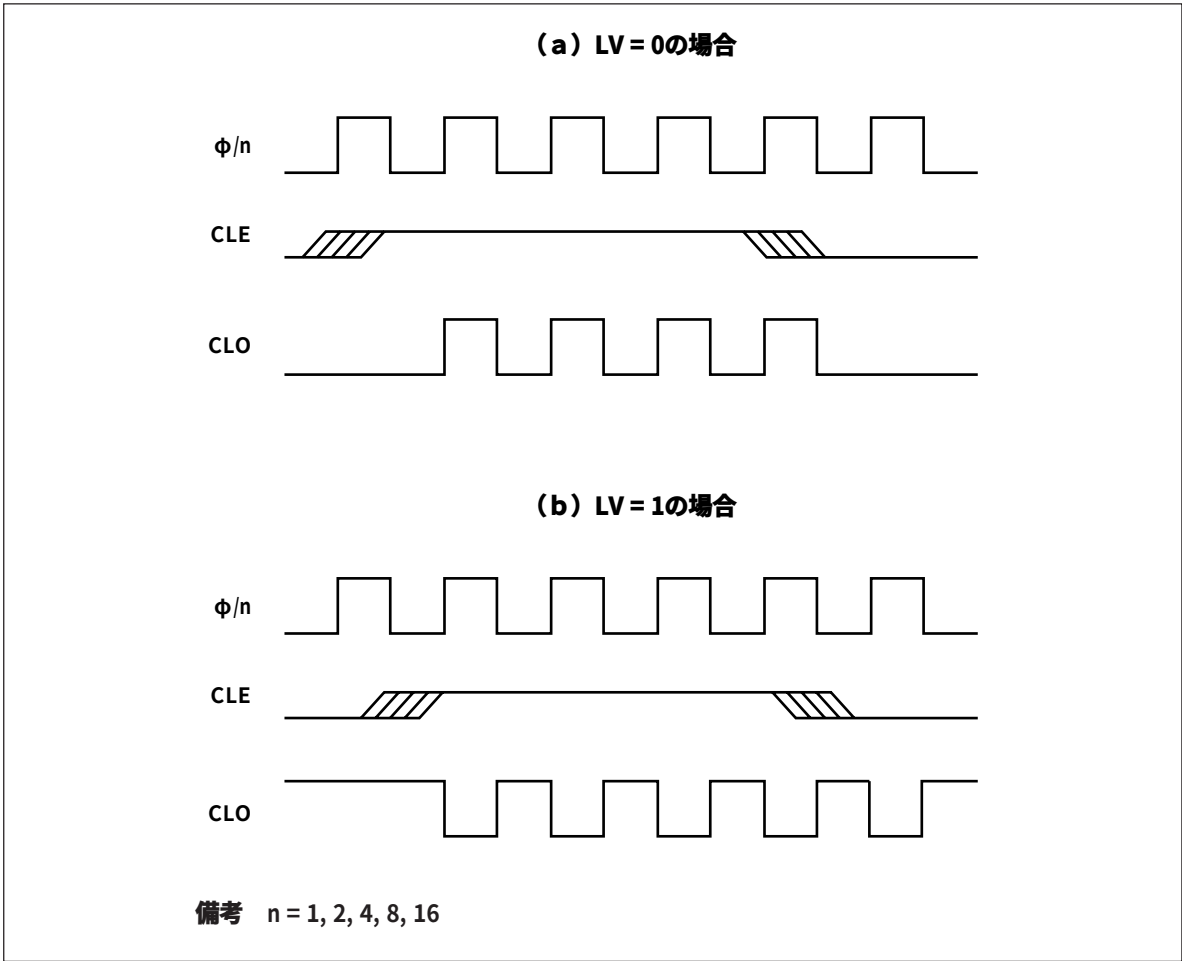
6.7.3 CLO信号出力制御

CLOMレジスタのFSビットで, CLO端子に出力するクロックを選択できます。

CLO端子は, CLEビットが0のときはLVビットと同じレベルの信号を出力します。CLEビットを1にすると, その直後からクロック(FSビットで選択した周波数)に同期して信号を出力します。

その後CLEビットを0にすると, クロックに同期してLVビットと同じレベルを出力し, 以降の出力動作を停止します。

図6－2 CLO信号出力タイミング



(1) クロック出力モード・レジスタ (CLOM)

クロック出力機能を制御するレジスタです。8/1ビット単位でリード／ライト可能です。

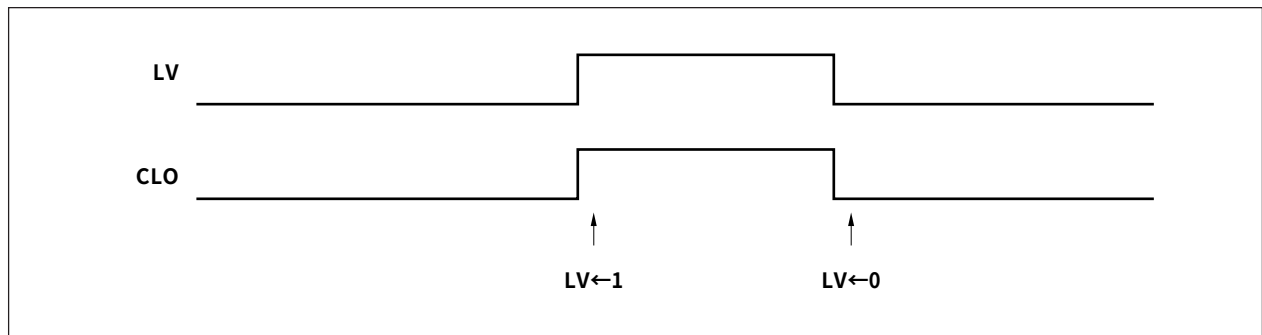
									アドレス FFFFFF3D0H	リセット時 00H
CLOM	7	6	5	4	3	2	1	0		
	LV	0	0	CLE	0	FS2	FS1	FS0		
ビット位置	ビット名		意 味							
7	LV		Level CLO信号の出力レベルを選択します。 0：ロウ・レベル出力 1：ハイ・レベル出力							
4	CLE		Clock Enable CLO信号のクロック出力を制御します。 0：LVビットの内容を出力 1：FS2-FS0ビットで選択したクロックを出力							

ビット位置	ビット名	意	味		
2-0	FS2-FS0	Frequency Select			
		CLO信号の周波数を選択します。			
		FS2	FS1	FS0	周波数の選択
		0	0	0	φ
		0	0	1	φ/2
		0	1	0	φ/4
		0	1	1	φ/8
		1	0	0	φ/16
		その他			設定禁止
備考 φ：内部システム・クロック					

注意 CLEビットのセット（1）中は、ほかのビット（LV, FS2-FS0）の値を変更しないでください。
また、CLEビットの値を変更すると同時に、ほかのビット（LV, FS2-FS0）の値を変更しないでください。

（2）1ビット出力ポート

CLEビットが0のとき、CLO端子はLVビットと同じレベルの信号を出力します。LVビットの内容を変更すると、CLO信号もすぐに変化します。



（3）スタンバイ・モード時の動作

（a）HALTモード時

HALTモード設定前の状態を継続します。クロック出力中はクロックの出力を続けます。クロック出力を禁止していた場合は、HALTモード設定前のLVビットと同じレベルの信号を出力します。

（b）ソフトウェアSTOPモード／IDLEモード時

これらのモードを設定する前に、クロックの出力を禁止してください（ソフトウェアでCLEビットをクリアします）。CLO端子からは、これらのモード設定前のLVビットと同じレベルの信号を出力します。

(× 毛)

保守

第7章 タイマ／カウンタ機能 (リアルタイム・パルス・ユニット)

7.1 特 徴

- タイマ0：24ビット・タイマ／イベント・カウンタ（1チャンネル）
 - ・キャプチャ／コンペア共用レジスタ：4本
 - ・A/Dコンバータのトリガとして使用可能（CC03一致）
 - ・セット／リセット出力：2本
 - ・タイマのクリア&スタート
 - ・外部入力パルス計測可能
 - ・オーバフロー割り込み要求とオーバフロー・フラグあり
 - ・用途：パルス間隔や周波数の測定，多彩な形状のパルス出力
- タイマ1：24ビット・タイマ／イベント・カウンタ（1チャンネル）
 - ・キャプチャ・レジスタ：4本
 - ・コンペア・レジスタ：2本
 - ・1-64/1-128分周器付きINTPnエッジ検出回路
 - ・リアルタイム出力ポートのトリガとして使用可能（CM10一致）
 - ・オーバフロー割り込み要求とオーバフロー・フラグあり
 - ・タイマのクリア&スタート
 - ・用途：ソフトウェア・サーボなどのパルス間隔や周波数の測定
- タイマ2：16ビット・インターバル・タイマ・カウンタ（5チャンネル）
 - ・コンペア・レジスタ：1本
 - ・トグル出力：1本
 - ・外部入力パルス計測可能
 - ・タイマのクリア&スタート
 - ・用途：ソフトウェアのためのインターバル・タイマ，パルス・カウンタ，一定周期のパルス出力
- タイマ3：16ビット・インターバル・タイマ（1チャンネル）
 - ・キャプチャ・レジスタ専用：1本
 - ・キャプチャ／コンペア共用レジスタ：1本
 - ・ディジタル・ノイズ除去付きINTPnエッジ検出回路
 - ・タイマのクリア&スタート
 - ・用途：リモコンのパルス幅測定などのパルス間隔や周波数の測定

7.2 基本構成

表7-1 リアルタイム・パルス・ユニット（RPU）の構成一覧

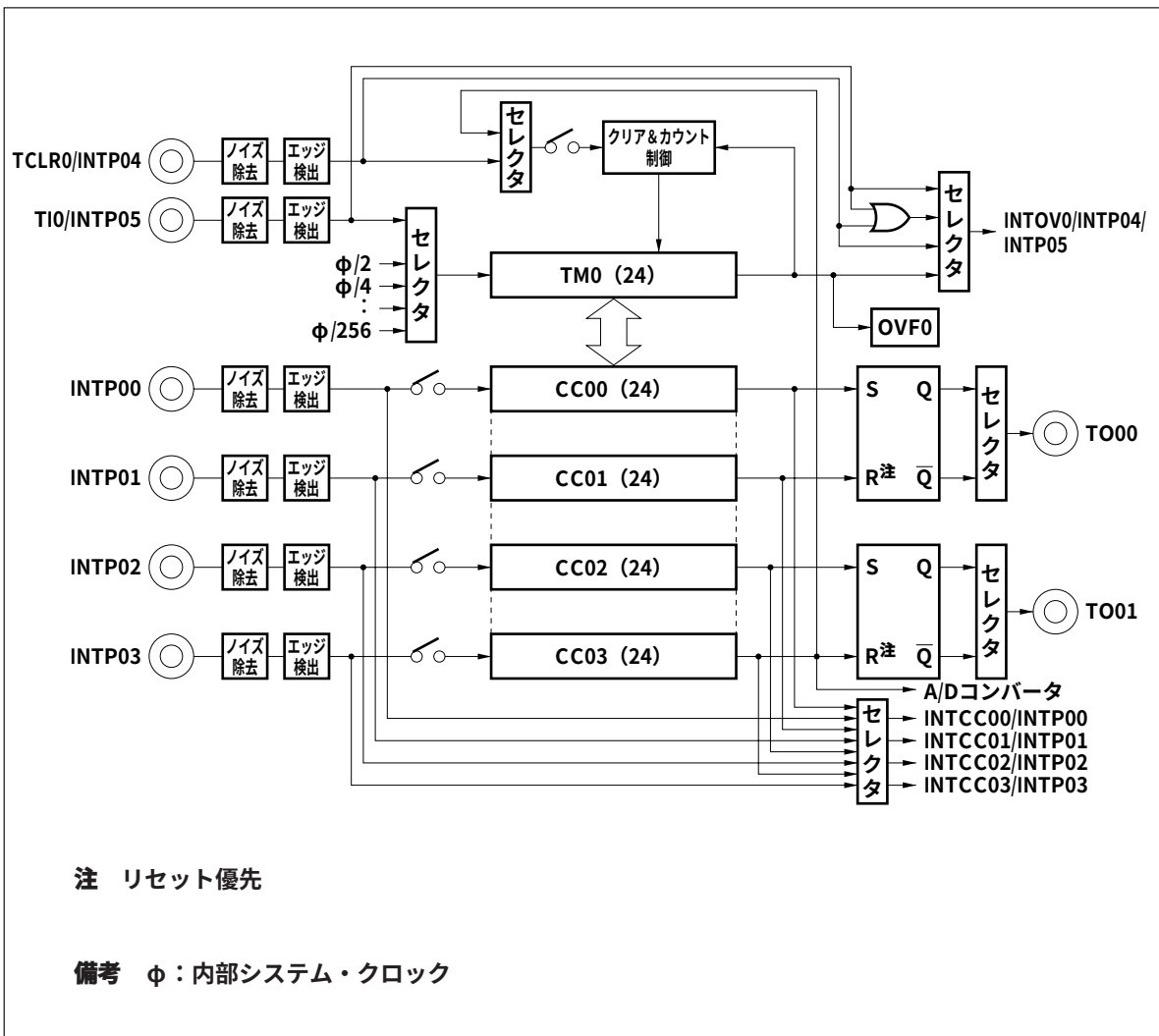
タイマ	ビット幅	カウント・クロック	レジスタ	リード／ライト (R/W)	クリア条件	発生する 割り込み 信号	キャプチャ・トリガ	コンペア一致 トリガ
タイマ0	24	$\phi/2, \phi/4, \phi/8,$ $\phi/16, \phi/32,$ $\phi/64, \phi/128,$ $\phi/256,$ TI0端子入力	TM0	R	・INTOV0入力	INTOV0	—	—
			CC00	R/W	・TCLR0入力	INTCC00	INTP00	TO00(S)
			CC01		・INTCC03入力	INTCC01	INTP01	TO00(R)
			CC02			INTCC02	INTP02	TO01(S)
			CC03			INTCC03	INTP03	TO01(R), A/Dコンバータ
タイマ1	24	$\phi, \phi/2, \phi/4, \phi/8,$ $\phi/16, \phi/32,$ $\phi/64, \phi/128,$ $\phi/256,$ TI1端子入力	TM1	R	・INTOV1入力	INTOV1	—	—
			CP10		・ソフトウェア・クリア	INTCP10	INTP10	—
			CP11			INTCP11	INTP11の分周	—
			CP12			INTCP12	INTP12の分周	—
			CP13			INTCP13	INTP12/INTP13の分周	—
			CM10	R/W		INTCM10	—	リアルタイム出力ポート
			CM11			INTCM11	—	—
タイマ2	16	$\phi/2, \phi/4, \phi/8,$ $\phi/16, \phi/32,$ $\phi/64, \phi/128,$ $\phi/256,$ TI2n端子入力 (n = 0-4)	TM20	R	・INTCM2n入力	—	—	—
			CM20	R/W	・ソフトウェア・クリア	INTCM20	—	TO20(T)
			TM21	R		—	—	—
			CM21	R/W		INTCM21	—	TO21(T)
			TM22	R		—	—	—
			CM22	R/W		INTCM22	—	TO22(T)
			TM23	R		—	—	—
			CM23	R/W		INTCM23	—	TO23(T)
			TM24	R		—	—	—
			CM24	R/W		INTCM24	—	TO24(T)
タイマ3	16	$\phi/2, \phi/4, \phi/8,$ $\phi/16, \phi/32, \phi/64,$ $\phi/128, \phi/256$	TM3	R	・INTCC3入力	—	—	—
			CC3	R/W	・CC3のキャプチャ・トリガ	INTCC3	INTP30	—
			CP3	R	・ソフトウェア・クリア	—	—	—

備考 ϕ : 内部システム・クロック

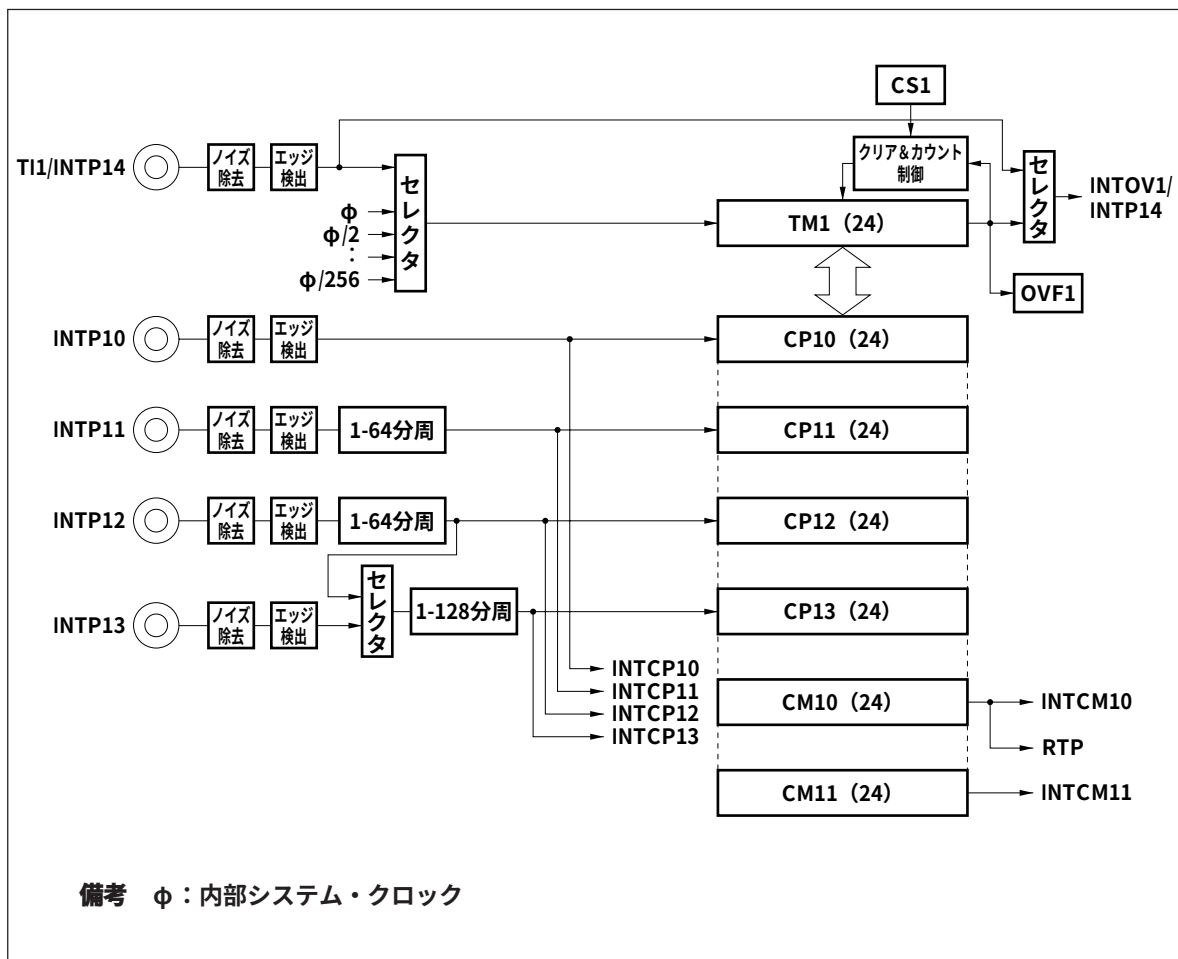
S/R : セット／リセット

T : トグル出力

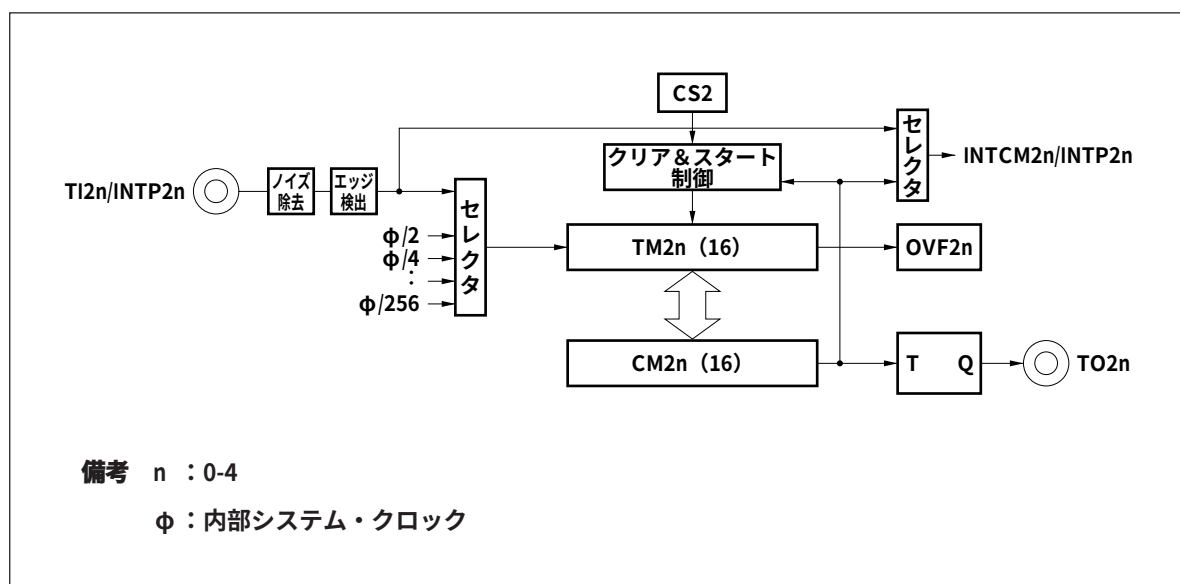
(1) タイマ0 (24ビット・タイマ/イベント・カウンタ)



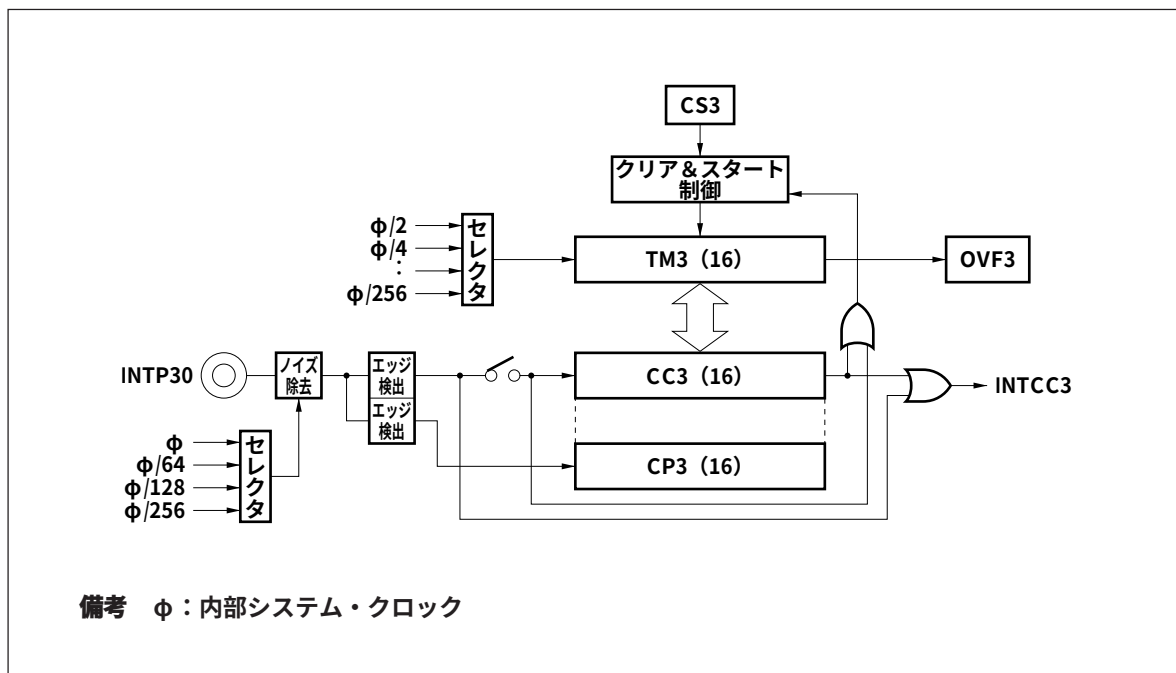
(2) タイマ1 (24ビット・タイマ/イベント・カウンタ)



(3) タイマ2 (16ビット・インターバル・タイマ・カウンタ)



(4) タイマ3 (16ビット・インターバル・タイマ)



7.2.1 タイマ0

(1) タイマ0, 0L (TM0, TM0L)

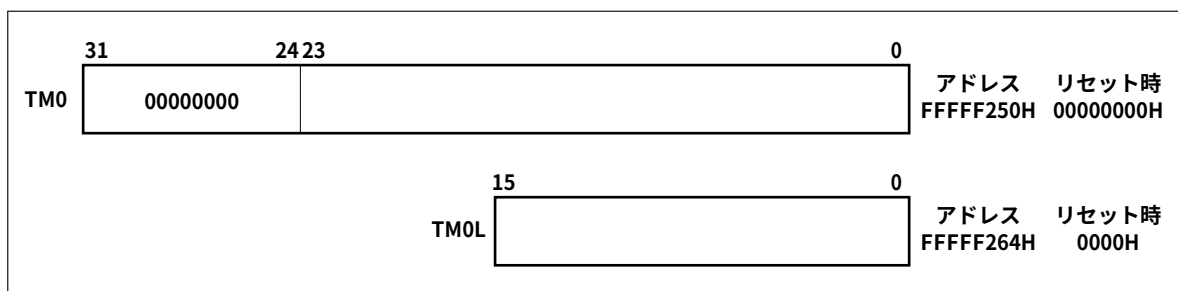
★

TM0は、24ビットのインターバル・タイマ、フリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに周期計測、または周波数計測のほか、パルス出力としても利用できます。

32ビット・アクセス時、上位8ビットには0が格納されます。

このレジスタへの32ビット・アクセス時はTM0、下位16ビット・アクセス時はTM0Lを指定します。

TM0は32ビット・リード・アクセスのみ許可、TM0Lは16ビット・リード・アクセスのみ許可になります。



TM0は、内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。TM0のスタートおよびストップは、タイマ・コントロール・レジスタ00 (TMC00) のCE0ビットで制御します。

(2) キャプチャ/コンペア・レジスタ00-03 (CC00-CC03, CC00L-CC03L)

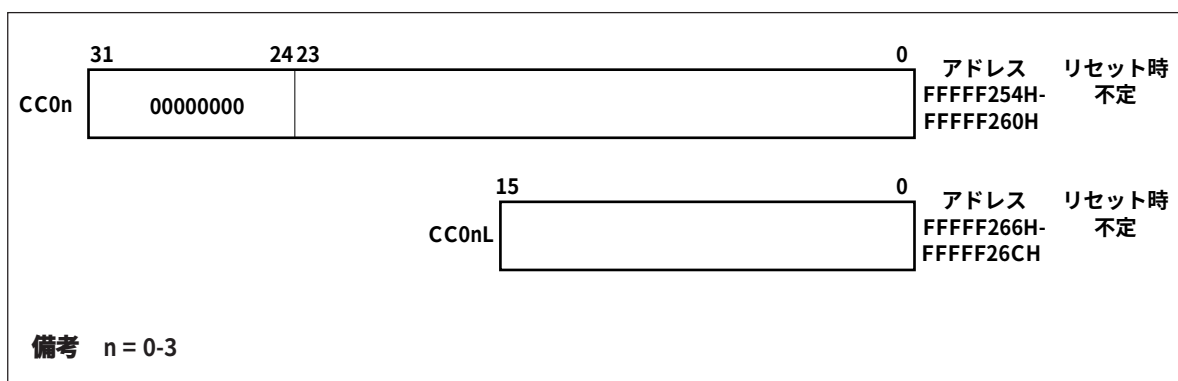
キャプチャ/コンペア・レジスタは、24ビット・レジスタでTM0に接続されています。タイマ・コントロール・レジスタ01 (TMC01) レジスタの指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。

32ビット・アクセス時、上位8ビットには0が格納されます。

このレジスタへの32ビット・アクセス時は、CC0n、下位16ビット・アクセス時はCC0nLを指定します。

CC0nは32ビット・リード/ライト可能です。ビット24-ビット31に書き込まれた値は無視します。

CC0nLは16ビット・リード/ライト可能です。CC0nLへのライト・アクセスにおける上位ビット(ビット16-ビット23)には00Hが書き込まれます。



(a) キャプチャ・レジスタに設定

キャプチャ・レジスタに設定した場合は、対応する外部割り込み要求INTPn（n = 10-13）の有効エッジをキャプチャ・トリガとして検出します。タイマ0はキャプチャ・トリガに同期して、カウント値をラッチします（キャプチャ動作）。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

(b) コンペア・レジスタに設定

コンペア・レジスタに設定した場合は、タイマのカウント・クロックごとにタイマとレジスタ値を比較し、一致による割り込みを発生します。

コンペア・レジスタはセット／リセット出力機能を備えています。一致信号発生に同期して、対応するタイマ出力をセット／リセットします。

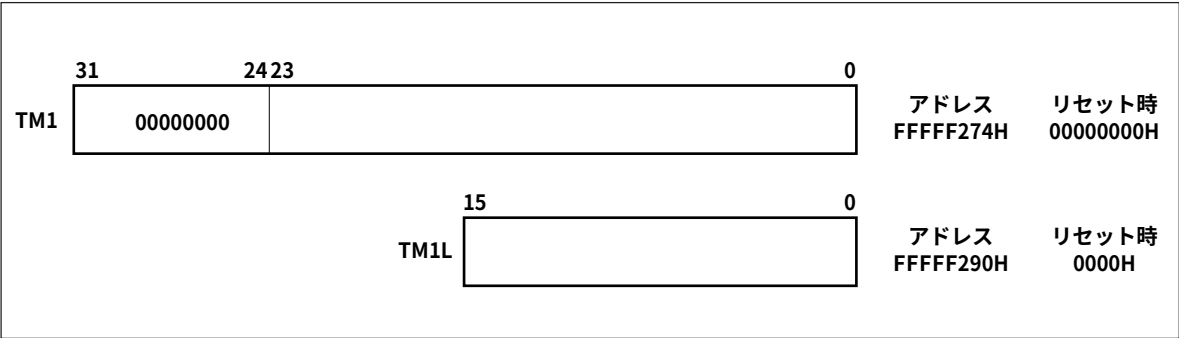
7.2.2 タイマ1

(1) タイマ1, 1L (TM1, TM1L)

TM1は、24ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに、周期計測、または周波数計測のほか、パルス出力としても利用できます。

このレジスタへの32ビット・アクセス時はTM1、下位16ビット・アクセス時はTM1Lを指定します。

TM1は32ビット・リード・アクセスのみ許可、TM1Lは16ビット・リード・アクセスのみ許可になります。



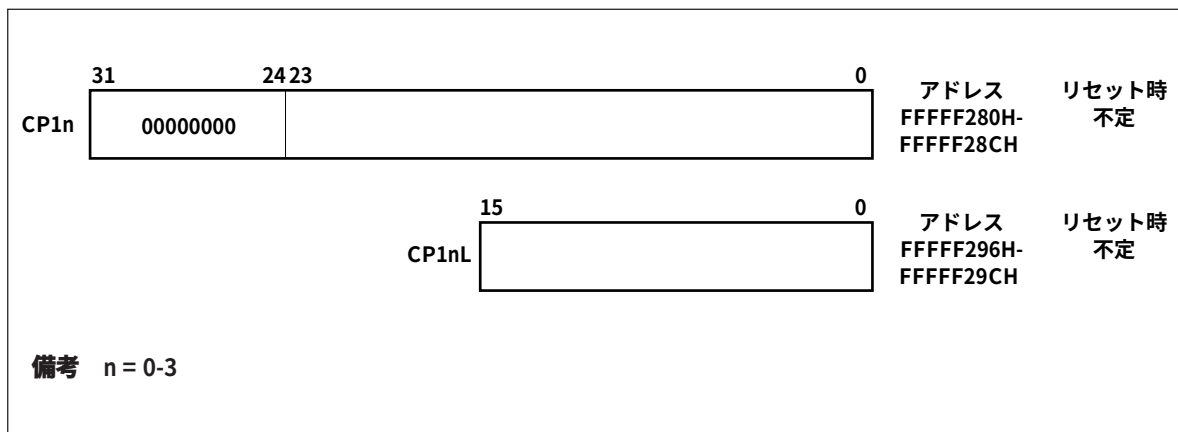
TM1は内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは、タイマ・コントロール・レジスタ1（TMC1）のCE1ビットで制御します。

(2) キャプチャ・レジスタ10-13 (CP10-CP13, CP10L-CP13L)

キャプチャ・レジスタは、24ビット・レジスタでTM1に接続されています。32ビット単位でリードのみ可能です。

このレジスタへの32ビット・アクセス時はCP1n、下位16ビット・アクセス時はCP1nLを指定します。

CP1nは32ビット・リード・アクセスのみ許可、CP1nLは16ビット・リード・アクセスのみ許可になります。

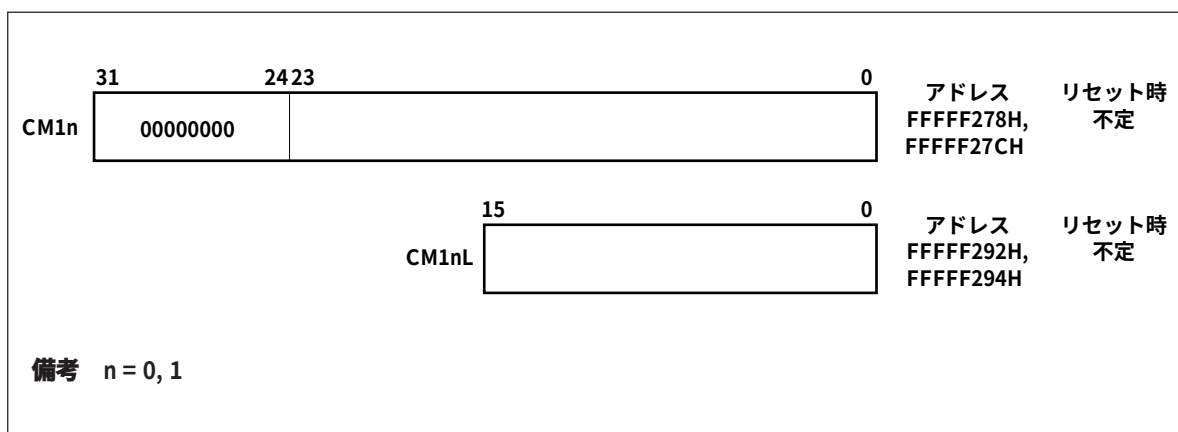
**(3) コンペア・レジスタ10, 11 (CM10, CM11, CM10L, CM11L)**

コンペア・レジスタは、24ビット・レジスタでTM1に接続されています。32ビット単位でリード／ライト可能です。

このレジスタへの32ビット・アクセス時はCM1n、下位16ビット・アクセス時はCM1nLを指定します。

CM1nは32ビット・リード／ライト可能です。ビット24-ビット31に書き込まれた値は無視します。

CM1nLは16ビット・リード／ライト可能です。CM1nLへのライト・アクセスにおける上位ビット（ビット16-ビット23）には00Hが書き込まれます。

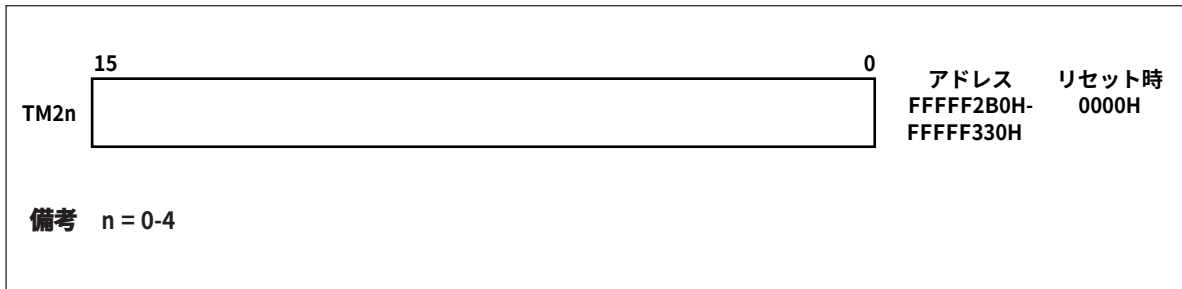


7.2.3 タイマ2

(1) タイマ20-24 (TM20-TM24)

TM2nは、16ビット・タイマです。主に、ソフトウェアのためのインターバル・タイマとして利用できます。

TM2nは、16ビット単位でリードのみ可能です。



TM2nのスタートおよびストップは、タイマ・コントロール・レジスタ2n (TMC2n) のCE2nビットによって制御します。

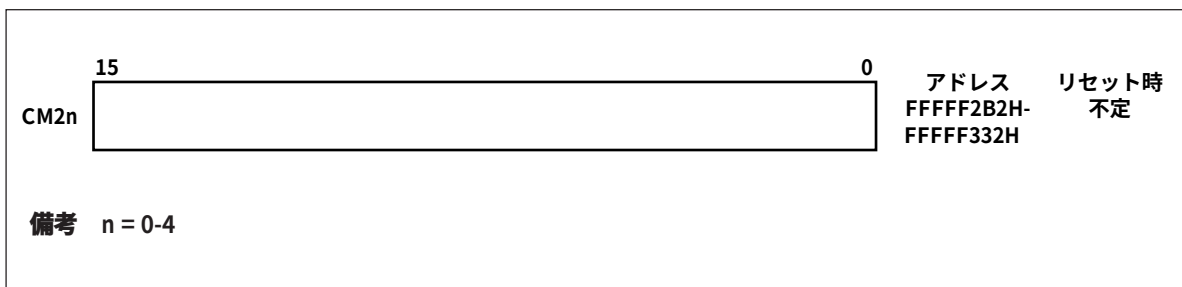
カウント・クロックは、プリスケアラによる分周を、TMC2nレジスタにより $\phi/2$, $\phi/4$, $\phi/8$, $\phi/16$, $\phi/32$, $\phi/64$, $\phi/128$, $\phi/256$, TI2n入力から選択できます。

注意 コンペア一致が発生したあと、タイマは次のカウント・クロックでクリアされるため、分周比が大きいときは、一致割り込み発生直後にタイマの値を読み出しても、タイマの値が0でない場合があります。

また、タイマ動作中はカウント・クロックを変更できません。

(2) コンペア・レジスタ20-24 (CM20-CM24)

コンペア・レジスタは16ビットのレジスタで、TM2nに接続されています。16ビット単位でリード／ライト可能です。

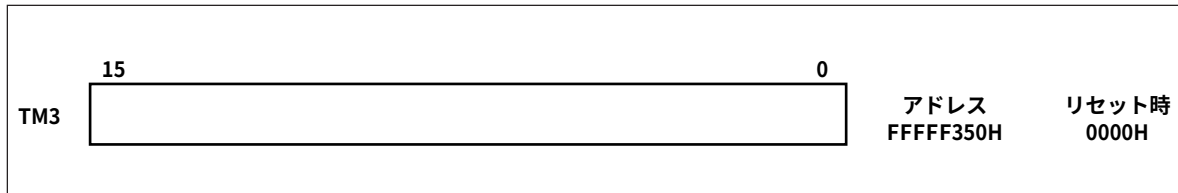


7.2.4 タイマ3

(1) タイマ3 (TM3)

TM3は、16ビット・タイマです。おもに、ソフトウェアのためのインターバル・タイマとして利用できます。

TM3は、16ビット単位でリードのみ可能です。



TM3のスタートおよびストップは、タイマ・コントロール・レジスタ3 (TMC3) のCE3ビットによって制御します。

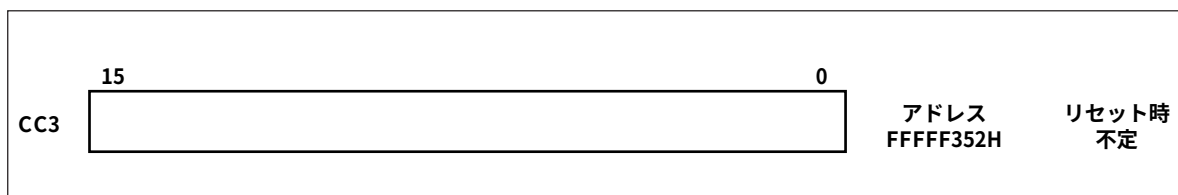
カウント・クロックは、プリスケアラによる分周を、TMC3レジスタにより $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ から選択できます。

注意 コンペア一致が発生したあと、タイマは次のカウント・クロックでクリアされるため、分周比が大きいときは、一致割り込み発生直後にタイマの値を読み出しても、タイマの値が0でない場合があります。

また、タイマ動作中はカウント・クロックを変更できません。

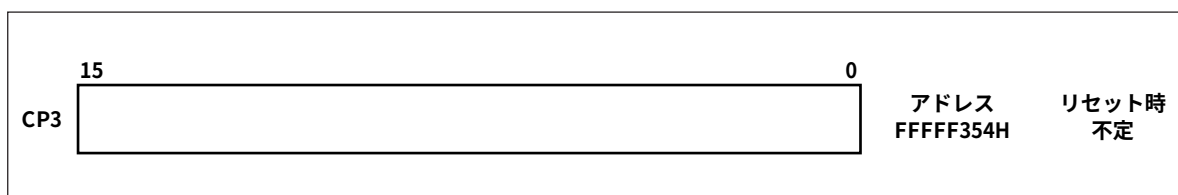
(2) キャプチャ／コンペア・レジスタ3 (CC3)

CC3は16ビット・レジスタで、TM3に接続されています。16ビット単位でリード/ライト可能です。



(3) キャプチャ・レジスタ3 (CP3)

CP3は16ビットのレジスタで、TM3に接続されています。16ビット単位でリードのみ可能です。



7.3 制御レジスタ

(1) タイマ・コントロール・レジスタ00 (TMC00)

TMC00は、TM0のカウンタ許可／禁止制御，カウンタ・クロックの指定を行います。
8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
TMC00	CE0	OST0	0	0	PRM03	PRM02	PRM01	PRM00	アドレス FFFFFF240H	リセット時 01H

ビット位置	ビット名	意味
7	CE0	Count Enable タイマ／カウンタの許可／禁止を指定します。 0：タイマ・カウンタ禁止（TM0 = 000000Hで停止） 1：タイマ・カウンタ許可 TMC02.ECLR0 = 1のときは、TCLR0入力があるまでタイマはカウンタ・アップを開始しません。 TMC02.ECLR0 = 0のとき、CE0ビットへの“1”ライト動作がタイマのカウンタ・スタート・トリガになります。したがって、ECLR0 = 1の状態でCE0をセットしたあと、ECLR0 = 0としても、タイマはスタートしません。
6	OST0	Overflow Stop タイマのオーバーフロー後の動作を指定します。 0：タイマのオーバーフロー後、タイマはカウンタ・アップを続行 1：タイマのオーバーフロー後、タイマは000000Hを保持し停止 次の動作によりカウンタ・アップを再開します。 ECLR0 = 0のとき：CE0ビットへの“1”書き込み ECLR0 = 1のとき：タイマ・クリア端子（TCLR0）へのトリガ入力

ビット位置	ビット名	意 味																																																							
3-0	PRM03- PRM00	Prescaler Clock Mode カウント・クロック周波数を選択します。																																																							
		<table><tr><th>PRM03</th><th>PRM02</th><th>PRM01</th><th>PRM00</th><th>カウント・クロック</th></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>$\phi/2$</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>$\phi/4$</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>$\phi/8$</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>$\phi/16$</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>$\phi/32$</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>$\phi/64$</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>$\phi/128$</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>$\phi/256$</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>TIO入力</td></tr><tr><td colspan="4">その他</td><td>設定禁止</td></tr></table>	PRM03	PRM02	PRM01	PRM00	カウント・クロック	0	0	0	1	$\phi/2$	0	0	1	0	$\phi/4$	0	0	1	1	$\phi/8$	0	1	0	0	$\phi/16$	0	1	0	1	$\phi/32$	0	1	1	0	$\phi/64$	0	1	1	1	$\phi/128$	1	0	0	0	$\phi/256$	1	1	1	1	TIO入力	その他				設定禁止
		PRM03	PRM02	PRM01	PRM00	カウント・クロック																																																			
		0	0	0	1	$\phi/2$																																																			
		0	0	1	0	$\phi/4$																																																			
		0	0	1	1	$\phi/8$																																																			
		0	1	0	0	$\phi/16$																																																			
		0	1	0	1	$\phi/32$																																																			
		0	1	1	0	$\phi/64$																																																			
		0	1	1	1	$\phi/128$																																																			
		1	0	0	0	$\phi/256$																																																			
		1	1	1	1	TIO入力																																																			
		その他				設定禁止																																																			
注意 タイマ動作中にカウント・クロックを変更しないでください。																																																									
備考 ϕ ：内部システム・クロック																																																									

(2) タイマ・コントロール・レジスタ01 (TMC01)

TMC01は、キャプチャ／コンペア・レジスタの機能選択、タイマ・クリア機能の許可／禁止を設定します。

タイマ0動作中にTMC01の内容を書き換えても、レジスタ内容、タイマ・カウント動作には影響しません。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
TMC01	CMS03	CMS02	CMS01	CMS00	IMS03	IMS02	IMS01	IMS00	アドレス FFFFFF242H	リセット時 00H

ビット位置	ビット名	意 味															
7-4	CMS03- CMS00	Capture/Compare Mode Select キャプチャ／コンペア・レジスタ（CC0n）の動作モードを選択します。 IMSビットと組み合わせて設定します。設定内容はIMSビットの説明を参照してください。															
3-0	IMS03- IMS00	Interrupt Mode Select 割り込みソースを選択します。CMSビットと組み合わせて設定します。 <table><tr><th>CMS0n</th><th>IMS0n</th><th>CC0nレジスタ動作モード／割り込みソース選択</th></tr><tr><td>0</td><td>0</td><td>キャプチャ・レジスタとして動作。キャプチャ・タイミングで割り込み発生。</td></tr><tr><td>0</td><td>1</td><td>設定禁止</td></tr><tr><td>1</td><td>0</td><td>コンペア・レジスタとして動作。コンペア・レジスタの一致信号で割り込み発生。INTP0nからのキャプチャ・トリガは無視。</td></tr><tr><td>1</td><td>1</td><td>コンペア・レジスタとして動作。INTP0n信号入力タイミングで割り込み発生。</td></tr></table>	CMS0n	IMS0n	CC0nレジスタ動作モード／割り込みソース選択	0	0	キャプチャ・レジスタとして動作。キャプチャ・タイミングで割り込み発生。	0	1	設定禁止	1	0	コンペア・レジスタとして動作。コンペア・レジスタの一致信号で割り込み発生。INTP0nからのキャプチャ・トリガは無視。	1	1	コンペア・レジスタとして動作。INTP0n信号入力タイミングで割り込み発生。
CMS0n	IMS0n	CC0nレジスタ動作モード／割り込みソース選択															
0	0	キャプチャ・レジスタとして動作。キャプチャ・タイミングで割り込み発生。															
0	1	設定禁止															
1	0	コンペア・レジスタとして動作。コンペア・レジスタの一致信号で割り込み発生。INTP0nからのキャプチャ・トリガは無視。															
1	1	コンペア・レジスタとして動作。INTP0n信号入力タイミングで割り込み発生。															

備考 n = 0-3

（3）タイマ・コントロール・レジスタ02（TMC02）

TMC02は、キャプチャ/コンペア・レジスタの機能選択、タイマ・クリア機能の許可/禁止を設定します。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0		
TMC02	0	0	IMS05	IMS04	0	0	ECLR0	CCLR0	アドレス FFFFFF244H	リセット時 00H

ビット位置	ビット名	意 味															
5, 4	IMS05, IMS04	Interrupt Mode Select 割り込みソースを選択します。 <table><tr><th>IMS05</th><th>IMS04</th><th>割り込みソース選択</th></tr><tr><td>0</td><td>0</td><td>TM0によるオーバーフロー割り込み発生</td></tr><tr><td>0</td><td>1</td><td>INTP04による割り込み発生</td></tr><tr><td>1</td><td>0</td><td>INTP05による割り込み発生</td></tr><tr><td>1</td><td>1</td><td>INTP04, INTP05の論理和による割り込み発生</td></tr></table>	IMS05	IMS04	割り込みソース選択	0	0	TM0によるオーバーフロー割り込み発生	0	1	INTP04による割り込み発生	1	0	INTP05による割り込み発生	1	1	INTP04, INTP05の論理和による割り込み発生
IMS05	IMS04	割り込みソース選択															
0	0	TM0によるオーバーフロー割り込み発生															
0	1	INTP04による割り込み発生															
1	0	INTP05による割り込み発生															
1	1	INTP04, INTP05の論理和による割り込み発生															
1	ECLR0	External Input Timer Clear 外部クリア入力（TCLR0）によるTM0のクリア&スタートを制御します。 <table><tr><th>ECLR0</th><th>TM0のクリア&スタート</th></tr><tr><td>0</td><td>TM0をクリアしない</td></tr><tr><td>1</td><td>TM0をクリアし、カウント・アップ開始</td></tr></table>	ECLR0	TM0のクリア&スタート	0	TM0をクリアしない	1	TM0をクリアし、カウント・アップ開始									
ECLR0	TM0のクリア&スタート																
0	TM0をクリアしない																
1	TM0をクリアし、カウント・アップ開始																
0	CCLR0	Compare Input Timer Clear CC03一致によるTM0のクリア&スタートを制御します。 <table><tr><th>CCLR0</th><th>TM0のクリア&スタート</th></tr><tr><td>0</td><td>TM0をクリアしない</td></tr><tr><td>1</td><td>TM0をクリアし、カウント・アップ開始</td></tr></table>	CCLR0	TM0のクリア&スタート	0	TM0をクリアしない	1	TM0をクリアし、カウント・アップ開始									
CCLR0	TM0のクリア&スタート																
0	TM0をクリアしない																
1	TM0をクリアし、カウント・アップ開始																

(4) タイマ・コントロール・レジスタ1（TMC1）

TMC1は、TM1のカウンタ許可／禁止制御、カウンタ・クロックの指定を行います。
8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
TMC1	CE1	OST1	CS1	IMS1	PRM13	PRM12	PRM11	PRM10	アドレス FFFFFF270H	リセット時 01H

ビット位置	ビット名	意 味
7	CE1	Count Enable タイマ・カウンタの許可／禁止を指定します。 0：タイマ・カウンタ禁止（TM1＝000000Hで停止） 1：タイマ・カウンタ許可
6	OST1	Overflow Stop タイマのオーバーフロー後の動作を指定します。 0：タイマのオーバーフロー後、タイマはカウンタ・アップを続けます。 1：タイマのオーバーフロー後、タイマは000000Hを保持し停止状態となります。 次の動作によりカウンタ・アップを再開します。 CE1ビットへの“1”書き込み CS1ビットへの“1”書き込み
5	CS1	Clear & Start ソフトウェアで、TM1のクリア／スタートを制御します。なお、リード時は常に0です。 0：カウンタ継続 1：TM1をクリアし、再びカウンタ開始
4	IMS1	Interrupt Mode Select 割り込みソースを選択します。 0：TM1のオーバーフローによる割り込み発生 1：INTP14信号による割り込み発生

ビット位置	ビット名	意 味																																																							
3-0	PRM13- PRM10	Prescaler Clock Mode カウント・クロック周波数を選択します。																																																							
		<table><tr><th>PRM13</th><th>PRM12</th><th>PRM11</th><th>PRM10</th><th>カウント・クロック</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>φ</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>φ/2</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>φ/4</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>φ/8</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>φ/16</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>φ/32</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>φ/64</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>φ/128</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>φ/256</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>TI1入力</td></tr></table>	PRM13	PRM12	PRM11	PRM10	カウント・クロック	0	0	0	0	φ	0	0	0	1	φ/2	0	0	1	0	φ/4	0	0	1	1	φ/8	0	1	0	0	φ/16	0	1	0	1	φ/32	0	1	1	0	φ/64	0	1	1	1	φ/128	1	0	0	0	φ/256	1	1	1	1	TI1入力
		PRM13	PRM12	PRM11	PRM10	カウント・クロック																																																			
		0	0	0	0	φ																																																			
		0	0	0	1	φ/2																																																			
		0	0	1	0	φ/4																																																			
		0	0	1	1	φ/8																																																			
		0	1	0	0	φ/16																																																			
		0	1	0	1	φ/32																																																			
		0	1	1	0	φ/64																																																			
		0	1	1	1	φ/128																																																			
		1	0	0	0	φ/256																																																			
		1	1	1	1	TI1入力																																																			
注意 タイマ動作中にカウント・クロックを変更しないでください。																																																									
備考 φ：内部システム・クロック																																																									

(5) タイマ・コントロール・レジスタ20-24 (TMC20-TMC24)

TMC2nは、TM2nのカウント許可／禁止制御、カウント・クロックの指定を行います。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
TMC20	CE20	IMS20	CS20	0	PRM203	PRM202	PRM201	PRM200	アドレス FFFFFF2A0H	リセット時 01H
TMC21	CE21	IMS21	CS21	0	PRM213	PRM212	PRM211	PRM210	FFFFFF2C0H	01H
TMC22	CE22	IMS22	CS22	0	PRM223	PRM222	PRM221	PRM220	FFFFFF2E0H	01H
TMC23	CE23	IMS23	CS23	0	PRM233	PRM232	PRM231	PRM230	FFFFFF300H	01H
TMC24	CE24	IMS24	CS24	0	PRM243	PRM242	PRM241	PRM240	FFFFFF320H	01H

ビット位置	ビット名	意味
7	CE2n	Count Enable タイマ・カウントの許可／禁止を指定します。 0：タイマ・カウント禁止（TM2n = 0000Hで停止） 1：タイマ・カウント許可
6	IMS2n	Interrupt Mode Select 割り込みソースを選択します。 0：コンペア・レジスタ（CM2n）の一致信号による割り込み発生 1：INTP2n信号による割り込み発生
5	CS2n	Clear & Start ソフトウェアで、TM2nのクリア／スタートを制御します。なお、リード時は常に0です。 0：カウント継続 1：TM2nをクリアし、再びカウント開始

ビット位置	ビット名	意 味																																																							
3-0	PRM2n3- PRM2n0	Prescaler Clock Mode カウント・クロック周波数を選択します。																																																							
		<table><tr><th>PRM2n3</th><th>PRM2n2</th><th>PRM2n1</th><th>PRM2n0</th><th>カウント・クロック</th></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>$\phi/2$</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>$\phi/4$</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>$\phi/8$</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>$\phi/16$</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>$\phi/32$</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>$\phi/64$</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>$\phi/128$</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>$\phi/256$</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>TI2n入力</td></tr><tr><td colspan="4">その他</td><td>設定禁止</td></tr></table>	PRM2n3	PRM2n2	PRM2n1	PRM2n0	カウント・クロック	0	0	0	1	$\phi/2$	0	0	1	0	$\phi/4$	0	0	1	1	$\phi/8$	0	1	0	0	$\phi/16$	0	1	0	1	$\phi/32$	0	1	1	0	$\phi/64$	0	1	1	1	$\phi/128$	1	0	0	0	$\phi/256$	1	1	1	1	TI2n入力	その他				設定禁止
		PRM2n3	PRM2n2	PRM2n1	PRM2n0	カウント・クロック																																																			
		0	0	0	1	$\phi/2$																																																			
		0	0	1	0	$\phi/4$																																																			
		0	0	1	1	$\phi/8$																																																			
		0	1	0	0	$\phi/16$																																																			
		0	1	0	1	$\phi/32$																																																			
		0	1	1	0	$\phi/64$																																																			
		0	1	1	1	$\phi/128$																																																			
		1	0	0	0	$\phi/256$																																																			
		1	1	1	1	TI2n入力																																																			
その他				設定禁止																																																					
注意 タイマ動作中にカウント・クロックを変更しないでください。																																																									
備考 ϕ ：内部システム・クロック																																																									

備考 n = 0-4

(6) タイマ・コントロール・レジスタ3 (TMC3)

TMC3は、TM3のカウント許可／禁止制御、カウント・クロックの指定を行います。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
TMC3	CE3	0	CS3	CMS3	PRM33	PRM32	PRM31	PRM30	アドレス FFFFFF340H	リセット時 01H

ビット位置	ビット名	意 味																																																		
7	CE3	Count Enable タイマ・カウントの許可／禁止を指定します。 0：タイマ・カウント禁止（TM3 = 0000Hで停止） 1：タイマ・カウント許可																																																		
5	CS3	Clear & Start ソフトウェアで、TM3のクリア／スタートを制御します。なお、リード時は常に0です。 0：カウント継続 1：TM3をクリアし、再びカウント開始																																																		
4	CMS3	Capture/Compare Mode Select キャプチャ／コンペア・モードを選択します。 0：キャプチャ・レジスタとして動作 1：コンペア・レジスタとして動作																																																		
3-0	PRM33- PRM30	Prescaler Clock Mode カウント・クロック周波数を選択します。 <table><tr><th>PRM33</th><th>PRM32</th><th>PRM31</th><th>PRM30</th><th>カウント・クロック</th></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>φ/2</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>φ/4</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>φ/8</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>φ/16</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>φ/32</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>φ/64</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>φ/128</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>φ/256</td></tr><tr><td colspan="4">その他</td><td>設定禁止</td></tr></table> 注意 タイマ動作中にカウント・クロックを変更しないでください。 備考 φ：内部システム・クロック	PRM33	PRM32	PRM31	PRM30	カウント・クロック	0	0	0	1	φ/2	0	0	1	0	φ/4	0	0	1	1	φ/8	0	1	0	0	φ/16	0	1	0	1	φ/32	0	1	1	0	φ/64	0	1	1	1	φ/128	1	0	0	0	φ/256	その他				設定禁止
PRM33	PRM32	PRM31	PRM30	カウント・クロック																																																
0	0	0	1	φ/2																																																
0	0	1	0	φ/4																																																
0	0	1	1	φ/8																																																
0	1	0	0	φ/16																																																
0	1	0	1	φ/32																																																
0	1	1	0	φ/64																																																
0	1	1	1	φ/128																																																
1	0	0	0	φ/256																																																
その他				設定禁止																																																

(7) タイマ出力コントロール・レジスタ0, 1 (TOC0, TOC1)

TOC0, TOC1レジスタはTO00, TO01, TO20-TO24端子からのタイマ出力を制御します。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
TOC0	0	0	ENTO20	ALV20	ENTO01	ALV01	ENTO00	ALV00	アドレス FFFFFF232H	リセット時 00H
TOC1	ENTO24	ALV24	ENTO23	ALV23	ENTO22	ALV22	ENTO21	ALV21	FFFFFF234H	00H

ビット位置	ビット名	意味
7, 5, 3, 1	ENTOn	Enable TO pin 対応する各タイマ出力（TON）の許可を行います。 0：タイマ出力は禁止状態です。対応するTON端子からはALVnビットの逆相のレベル（インアクティブ・レベル）が出力します。対応するコンペア・レジスタから一致信号が発生してもTON端子のレベルは変化しません。 1：タイマ出力機能は許可状態です。対応するコンペア・レジスタから一致信号が発生するとタイマ出力が変化します。タイマ出力を許可してから最初に一致信号が発生するまでは、ALVnビットの逆相のレベル（インアクティブ・レベル）が出力されます。
6, 4, 2, 0	ALVn	Active Level TO pin タイマ出力のアクティブ・レベルを指定します。 0：アクティブ・レベルはロウ・レベル 1：アクティブ・レベルはハイ・レベル

備考 1. TO00, TO01出力のフリップフロップはリセット優先です。

2. n = 00, 01, 20-24

注意 TO00, TO01出力は外部割り込み信号（INTP00-INTP03）では変化しません。TO00, TO01信号を使用するときは、キャプチャ/コンペア・レジスタをコンペア・レジスタに指定（CMS00-CMS03をすべて1に設定）してください。

（８）タイマ・オーバーフロー・ステータス・レジスタ（TOVS）

TM0-TM3のオーバーフロー・フラグを割り当てています。

8/1ビット単位でリード／ライト可能です。

TOVSレジスタをソフトウェアでテスト＆リセットすることで、オーバーフロー発生をポーリングすることができます。

	7	6	5	4	3	2	1	0		
TOVS	OVF3	OVF24	OVF23	OVF22	OVF21	OVF20	OVF1	OVF0	アドレス FFFFFF230H	リセット時 00H

ビット位置	ビット名	意 味
7-0	OVFn	Overflow Flag TMnオーバーフロー・フラグです。 0：オーバーフロー発生なし 1：オーバーフローが発生 TM0, TM1からはオーバーフローに同期して、割り込みコントローラに対し、割り込み要求（INTOV0, INTOV1）が発生しますが、割り込みの動作と、TOVSは独立しており、TM0, TM1からのオーバーフロー・フラグ（OVF0, OVF1）に対しても、ほかのオーバーフロー・フラグと同様に書き換えられます。 このとき、INTOV0, INTOV1に対応する割り込み要求フラグ（OVIF0, OVIF1）には影響を与えません。 CPUからのアクセス期間中はTOVSレジスタへの転送は行われません。したがって、TOVSレジスタの読み出し中にオーバーフローが発生しても、フラグの値は変化せず、次の読み出し時に反映されます。

備考 n = 0, 1, 20-24, 3

（９）外部割り込みモード・レジスタ1-4, 7（INTM1-INTM4, INTM7）

このレジスタは、次の3通りの有効エッジを設定します。

- ・CP10-CP13（タイマ1），CC3, CP3（タイマ3）をキャプチャ・レジスタとして使用する場合の外部割り込み要求信号（INTPn）の有効エッジ（キャプチャ・トリガとして設定）
- ・タイマ0，タイマ1，タイマ2の外部カウント・クロック入力（TIn）における有効エッジ
- ・タイマ0のタイマ・クリア（TCLR0）における有効エッジ

詳細は、第5章 割り込み／例外処理機能を参照してください。

(10) イベント・ディバイド・カウンタ0-2（EDV0-EDV2）

INTM1-INTM3レジスタが検出する有効エッジをカウントします。詳細は5.3 マスカブル割り込みを参照してください。

(11) イベント・ディバイド制御レジスタ0-2（EDVC0-EDVC2）

イベント・ディバイド・カウンタ（EDV0-EDV2）の分周比を設定します。詳細は5.3 マスカブル割り込みを参照してください。

(12) イベント選択レジスタ（EVS）

EDV2レジスタに入力するINTPn信号を選択するレジスタです。詳細は5.3 マスカブル割り込みを参照してください。

7.4 タイマ0動作

7.4.1 カウント動作

タイマ0は、24ビットのインターバル・タイマ、または外部信号のイベント・カウンタとして機能します。動作の設定はタイマ・コントロール・レジスタ00-02（TMC00-TMC02）で指定します。

タイマ0は、カウント・クロックによってカウント・アップを行います。カウントの開始／停止はタイマ・コントロール・レジスタ00（TMC00）のCE0ビットで制御します。

(1) カウント開始

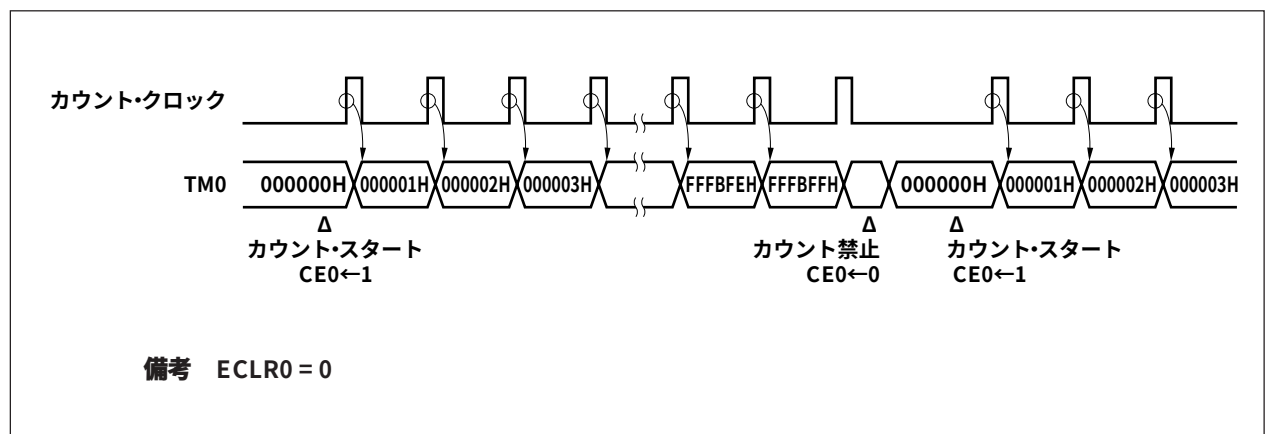
TMC02レジスタのECLR0ビットが0のときにCE0ビットを1に設定するとカウントを開始します。ただし、ECLR0ビットが1のときは、TCLR0信号が入力されるまでカウントを開始しません。したがって、ECLR0 = 1の状態ではCE0 = 1にしたあとECLR0 = 0にしても、カウントを開始しません。

また、カウント動作中（CE0 = 1）に、さらに1を書き込んでもTM0レジスタをクリアせず、カウント動作を継続します。

(2) カウント停止

CE0ビットを0に設定するとカウントを停止します。タイマ0は、TMC00レジスタのOST0ビットを1にするとオーバフロー後に動作を停止しますが、CE0 = 0に設定することで、すぐにタイマ・レジスタの値をクリアできます。

図7-1 タイマ0の基本動作



7.4.2 カウント・クロック選択

タイマ0に入力されるカウント・クロックには内部と外部があり、TMC00レジスタのPRM00-PRM03ビットで選択できます。

注意 タイマの動作中にカウント・クロックを変更しないでください。

（1）内部カウント・クロック

TMC00レジスタのPRMビットの設定によって $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ の8通りから内部カウント・クロックを選択します。

PRM03	PRM02	PRM01	PRM00	内部カウント・クロック
0	0	0	1	$\phi/2$
0	0	1	0	$\phi/4$
0	0	1	1	$\phi/8$
0	1	0	0	$\phi/16$
0	1	0	1	$\phi/32$
0	1	1	0	$\phi/64$
0	1	1	1	$\phi/128$
1	0	0	0	$\phi/256$

（2）外部カウント・クロック

TI0端子に入力される信号をカウントします。このとき、タイマ0はイベント・カウンタとして動作します。

外部カウント・クロックを選択するには、次のように設定します。

PRM03	PRM02	PRM01	PRM00	外部カウント・クロック
1	1	1	1	TI0入力

TI0の有効エッジはINTM2レジスタのESビットによって指定します。

ES051	ES050	有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	RFU（予約）
1	1	立ち上がり、立ち下がり両エッジ

7.4.3 オーバフロー

TM0レジスタが、カウント・クロックをFFFFFFHまでカウントした結果オーバフローすると、TOVSレジスタのOVF0フラグをセットし、オーバフロー割り込み（INTOV0）を発生します。OVF0フラグの値は、ユーザのアプリケーションで変更されるまで保持されます。

TM0レジスタのオーバフロー後の動作は、OST0ビットで決定します。

（1）OST0 = 0時のオーバフロー後の動作

そのままカウントを継続します。

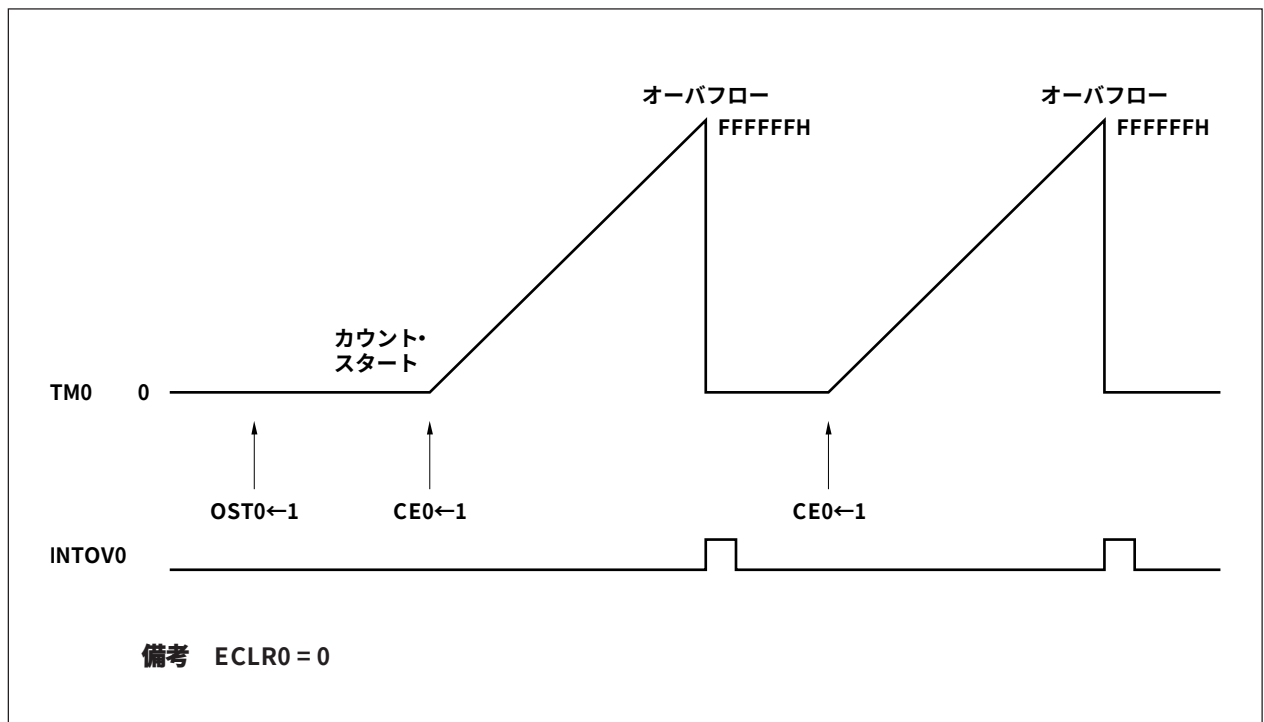
（2）OST0 = 1時のオーバフロー後の動作

TM0 = 000000Hを保持し、カウント動作を停止します。このとき、CE0 = 1のままで停止するため、カウントを再開するには次のように制御してください。

- ・ ECLR0=0のとき：CE0ビットへの“1”ライト動作
- ・ ECLR0=1のとき：タイマ・クリア端子（TCLR0）へのトリガ入力

なお、カウント動作中にCE0ビットを1に設定しても、動作には影響ありません。

図7-2 オーバフロー後の動作（ECLR0 = 0, OST0 = 1の場合）



7.4.4 タイマのクリア/スタート

タイマ0のクリア/スタートの方法にはオーバーフローによるもの、TCLR0信号入力によるもの、CC03一致によるものの3種類があります。

(1) オーバーフローによるクリア/スタート

動作の詳細は7.4.3 オーバーフローを参照してください。

(2) TCLR0信号入力によるクリア/スタート

タイマ0は、通常TMC00レジスタのCE0ビットに1をセットするとカウント動作を開始しますが、外部入力TCLR0によって、TM0をクリアし、カウント動作を開始することができます。

ECLR0 = 1, OST0 = 0に設定し、CE0ビットに1をセットしたあと、TCLR0信号に有効エッジを入力すると、カウント動作を開始します。また、動作中にTCLR0信号に有効エッジが入力されると、TM0の値をクリアし、カウント動作を再開します(図7-3参照)。

ECLR0 = 1, OST0 = 1に設定し、CE0ビットに1をセットしたあと、TCLR0信号に有効エッジを入力すると、カウント動作を開始します。TM0がオーバーフローすると、カウント動作はいったん停止し、TCLR0信号に有効エッジが入力されるまでカウント動作は再開しません。カウント動作中にTCLR0信号の有効エッジが検出されると、TM0はクリアされカウント動作を続けます(図7-4参照)。なおTM0のオーバーフロー後、CE0ビットに1をセットしてもカウント動作は再開しません。

CE0 = 0のときは、TCLR0入力は無効です。

図7-3 TCLR0信号入力によるタイマのクリア/スタート動作 (ECLR0 = 1, CCLR0 = 0, OST0 = 0の場合)

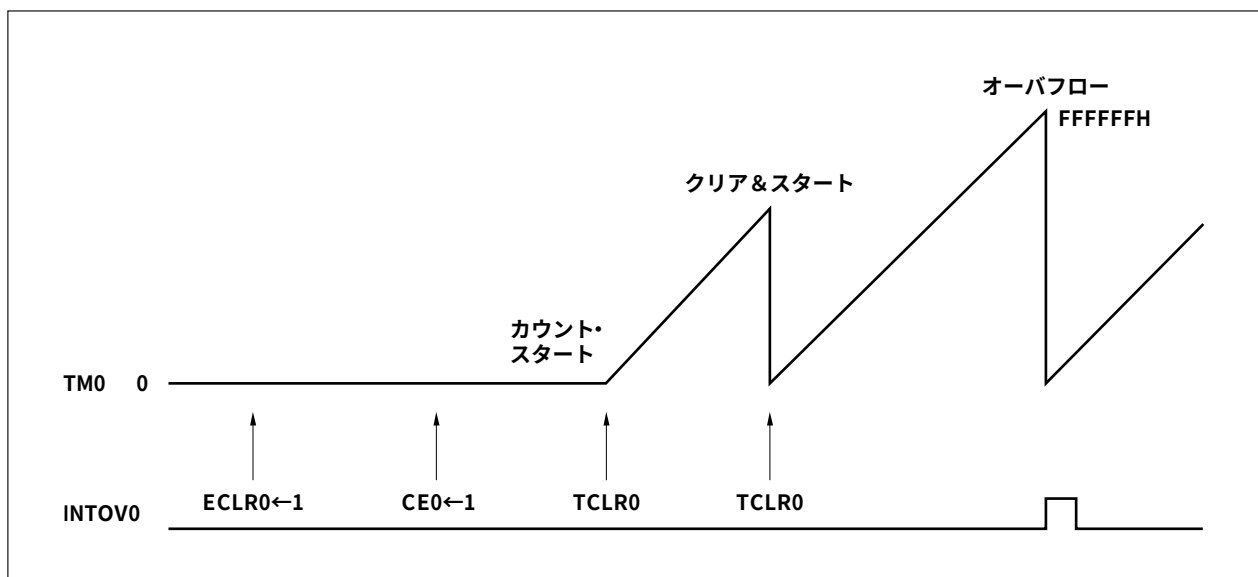
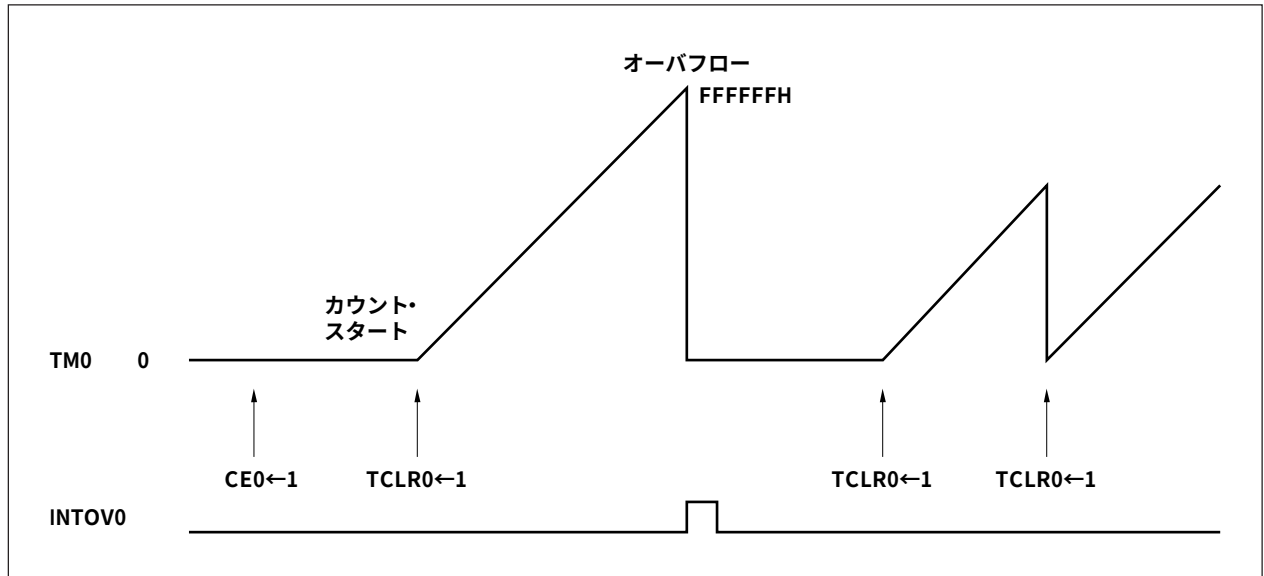


図7-4 TCLR0信号入力によるクリア/スタートとオーバーフロー動作の関係（ECLR0 = 1, OST0 = 1の場合）



（3）CC03一致によるクリア/スタート

タイマ0は、CCLR0 = 1, CMS03 = 1に設定した場合、通常TMC00レジスタのCE0ビットに1をセットするとカウント動作を開始しますが、CC03一致（INTCC03）が発生することによって、TM0をクリアし、カウント動作を開始できます。

CCLR0 = 1, CMS03 = 1に設定し、CE0ビットに1をセットすると、カウント動作を開始します。また、動作中にCC03一致が発生すると、TM0は値をクリアし、カウント動作を再開します（図7-5参照）。

また、カウント動作中にTM0の現在のカウント値より小さい値をCC03に設定し、カウント動作を続けると、TM0のオーバーフローが発生します（図7-6参照）。

オーバーフロー後の動作については7.4.3 オーバーフローを参照してください。

図7-5 CC03一致によるタイマのクリア/スタート動作 (CCLR0=1, OST0=0の場合)

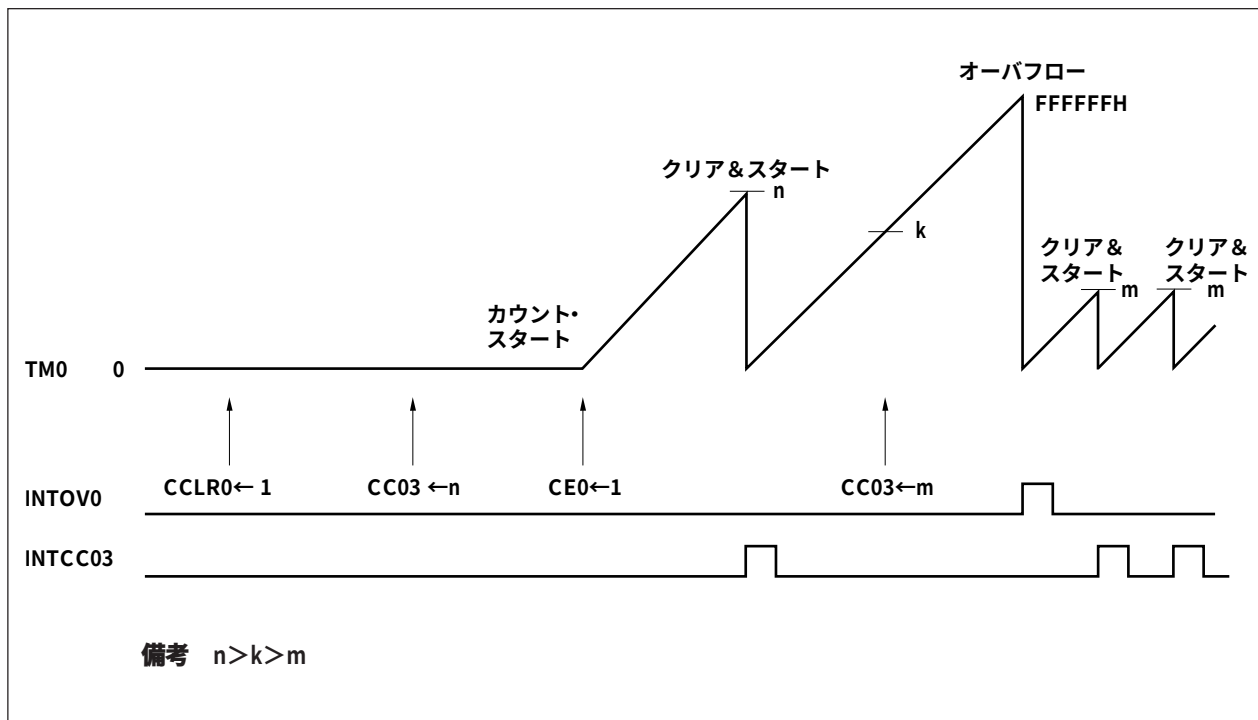
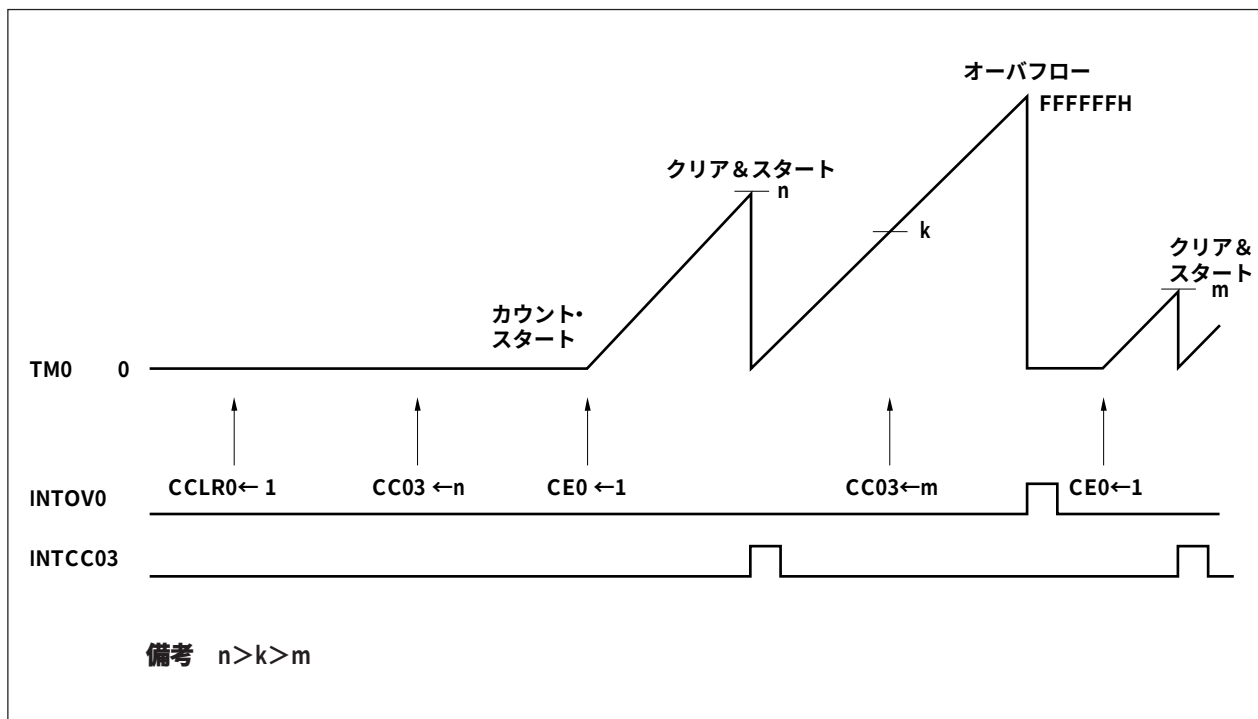


図7-6 CC03一致によるタイマのクリア/スタートとオーバーフロー動作の関係 (CCLR0=1, OST0=1の場合)



7.4.5 キャプチャ動作

キャプチャ／コンペア・レジスタ（CC00-CC03）は、TMC01レジスタをキャプチャ・レジスタに設定すると外部トリガに同期して、TM0のカウント値をカウント・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子INTP0nから検出された有効エッジを用います（キャプチャ・トリガ）。そのキャプチャ・トリガ信号に同期して、カウント中のTM0のカウント値をキャプチャ・レジスタに取り込み保持し、同時に割り込み要求INTCC0nを発行します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

キャプチャ・レジスタへのキャプチャ・タイミングと、命令によるレジスタへの書き込み動作が競合した場合は後者が優先され、キャプチャ動作は無視されます。

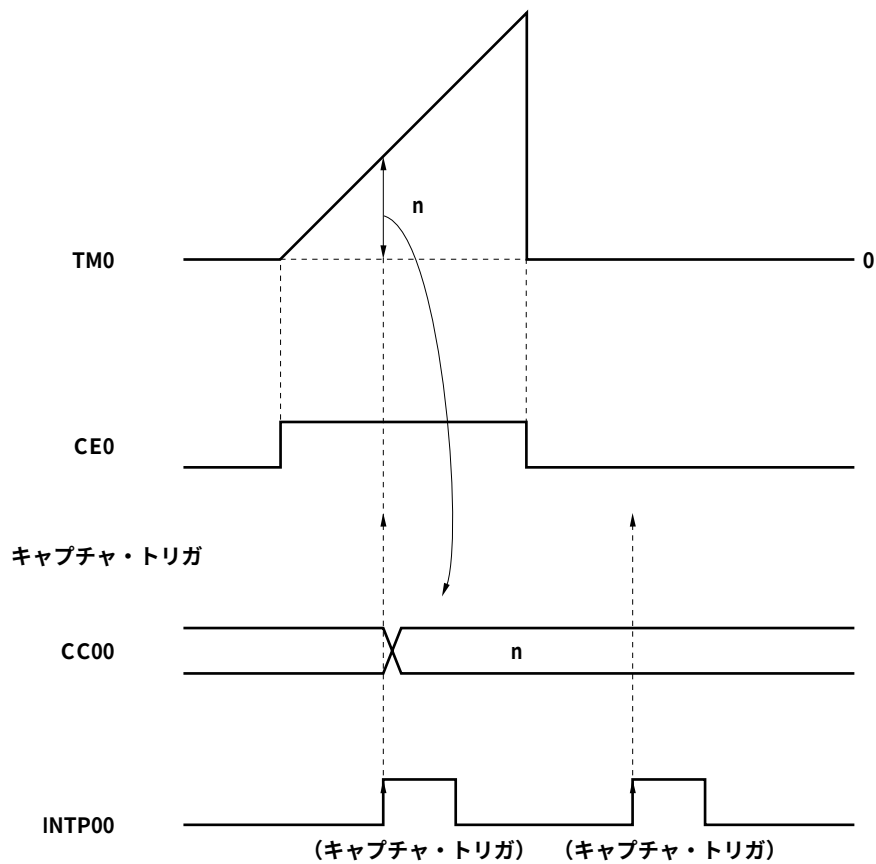
表7-2 24ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号

キャプチャ・トリガ信号	キャプチャ・レジスタ	割り込み要求
INTP00	CC00/CC00L	INTCC00
INTP01	CC01/CC01L	INTCC01
INTP02	CC02/CC02L	INTCC02
INTP03	CC03/CC03L	INTCC03

キャプチャ・トリガの有効エッジは、外部割り込みモード・レジスタ（INTM1）により設定します。

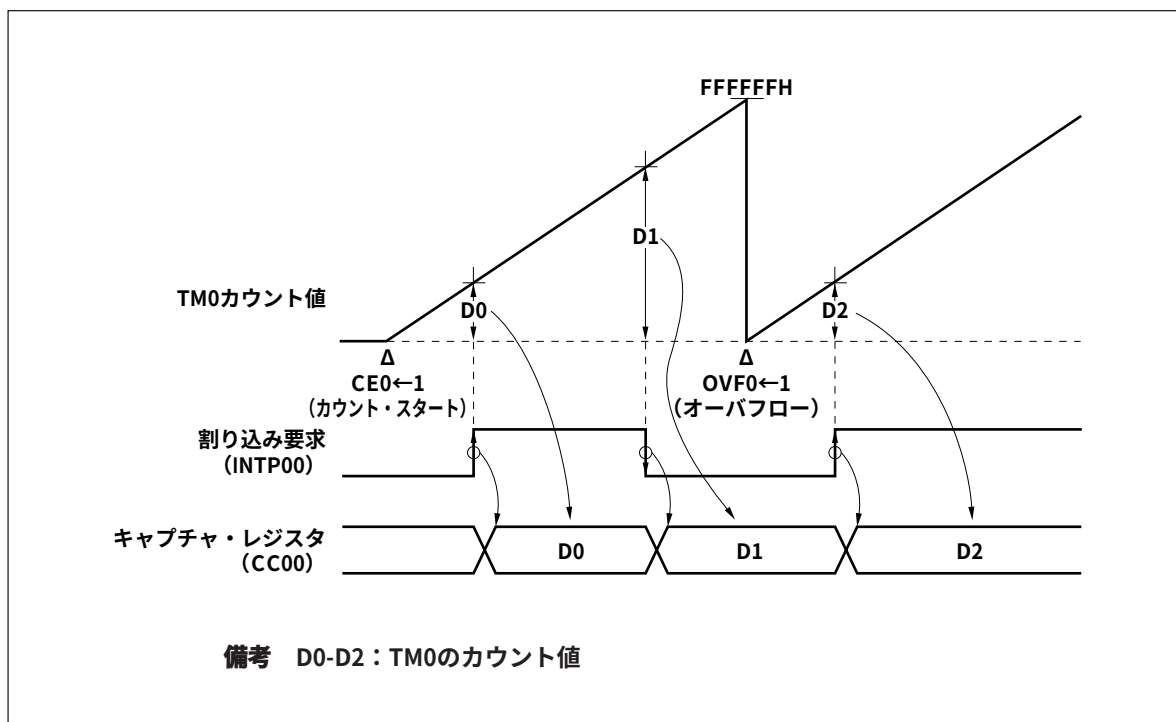
立ち上がり、立ち下がり両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。また、片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

図7-7 TM0キャプチャ動作例



備考 CE0がクリア (0) されているとき、割り込み要求 (INTP00) が入力されてもキャプチャ動作は行われません。

図7-8 TM0キャプチャ動作例 (両エッジ指定時)



7.4.6 コンペア動作

キャプチャ／コンペア・レジスタ（CC00-CC03）はTMC01レジスタをコンペア・レジスタに設定すると、コンペア・レジスタに設定した値とTM0のカウンタ値を比較するコンペア動作を行います。

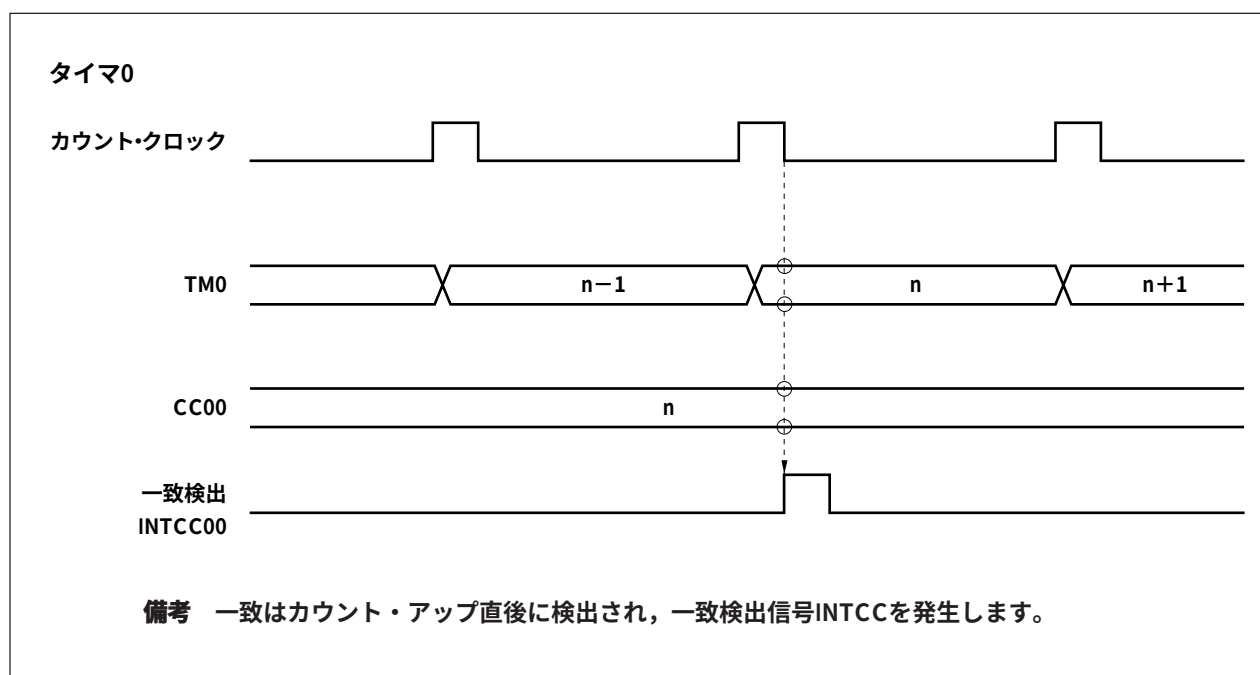
あらかじめ設定したコンペア・レジスタの値に、TM0のカウンタ値が一致すると、出力制御回路に一致信号を送ります（図7－9参照）。一致信号によりタイマ出力端子（TON）を変化させ、同時に割り込み要求信号INTCCを発生します（ $n = 00, 01$ ）。

表7－3 24ビット・コンペア・レジスタからの割り込み要求信号

コンペア・レジスタ	割り込み要求	コンペア一致トリガ
CC00/CC00L	INTCC00	TO00 (S)
CC01/CC01L	INTCC01	TO00 (R)
CC02/CC02L	INTCC02	TO01 (S)
CC03/CC03L	INTCC03	TO01 (R) , A/Dコンバータ

備考 S/R：セット／リセット

図7－9 コンペア動作例



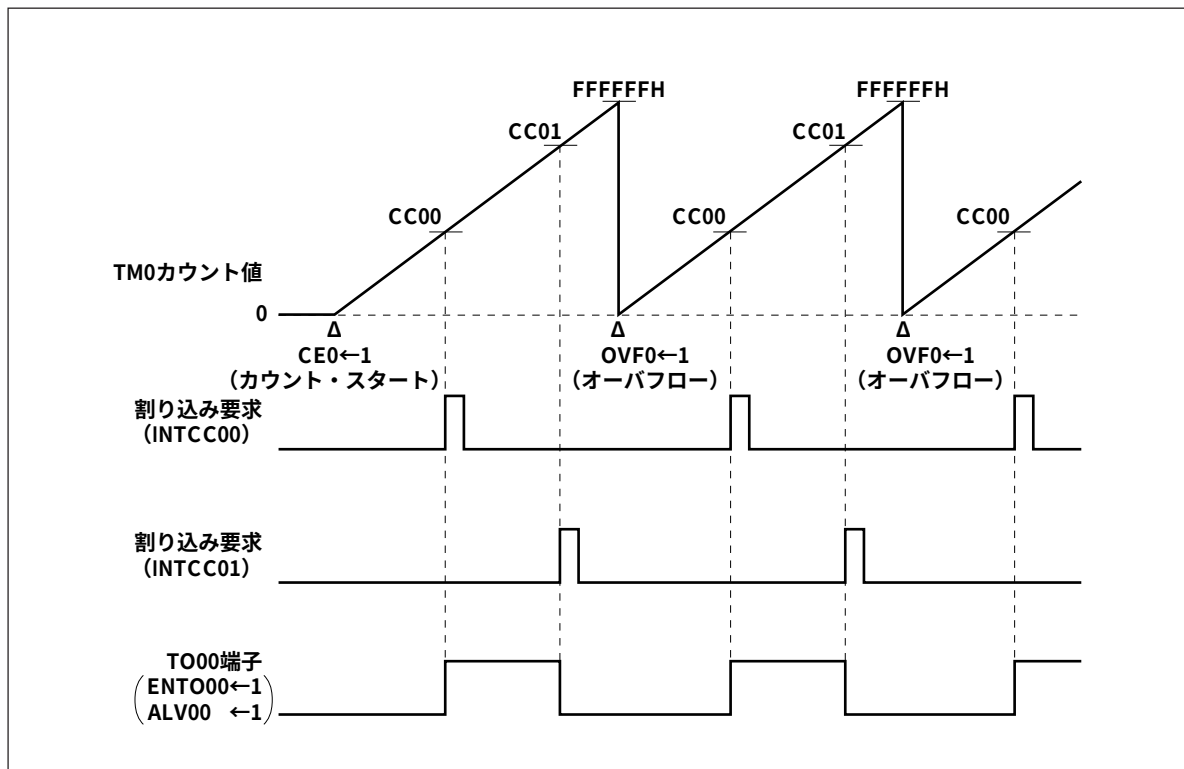
タイマ0は2本のタイマ出力端子（TO00, TO01）を持っています。

TM0のカウンタ値とCC02の値を比較し、一致するとTO01端子の出力レベルをセットします。また、TM0のカウンタ値とCC03の値を比較し、一致するとTO01端子の出力レベルをリセットします。

同様にTM0のカウンタ値とCC00の値を比較し、一致するとTO00端子の出力レベルをセットします。またTM0のカウンタ値とCC01の値を比較し、一致するとTO00端子の出力レベルをリセットします。

TO_n端子の出力レベルは、TOC0レジスタによって指定できます（n = 00, 01）。

図7-10 TM0コンペア動作例（セット／リセット出力モード）



7.5 タイマ1動作

7.5.1 カウント動作

タイマ1は、24ビットのフリー・ランニング・タイマまたは、外部信号のイベント・カウンタとして機能します。動作の設定は、タイマ・コントロール・レジスタ1 (TMC1) で指定します。

タイマ1は、カウント・クロックによってカウント・アップを行います。カウントの開始/停止はタイマ・コントロール・レジスタ1 (TMC1) のCE1ビットで制御します。

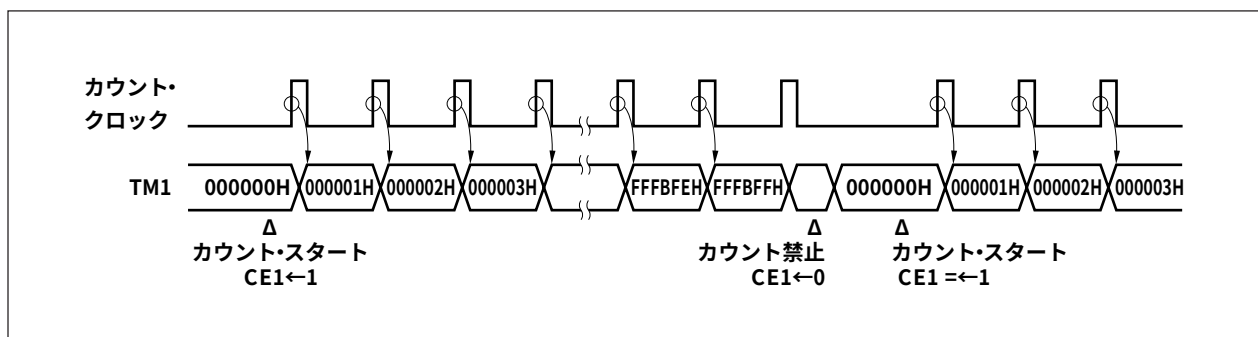
(1) カウント開始

CE1ビットを1に設定します。カウント動作中 (CE1 = 1) に、さらに1を書き込んでもTM1レジスタをクリアせず、カウント動作を継続します。

(2) カウント停止

CE1ビットを0に設定します。タイマ1は、TMC1レジスタのOST1ビットを1にするとオーバフロー後に動作を停止しますが、CE1 = 0に設定することで、すぐにタイマ・レジスタの値をクリアできます。

図7-11 タイマ1の基本動作



7.5.2 カウント・クロック選択

タイマ1に入力されるカウント・クロックには内部と外部があり、TMC1レジスタのPRM10-PRM13ビットで選択できます。

注意 タイマの動作中にカウント・クロックを変更しないでください。

（1）内部カウント・クロック

TMC1レジスタのPRMビットの設定によって ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ の9通りから内部カウント・クロックを選択します。

PRM13	PRM12	PRM11	PRM10	内部カウント・クロック
0	0	0	0	ϕ
0	0	0	1	$\phi/2$
0	0	1	0	$\phi/4$
0	0	1	1	$\phi/8$
0	1	0	0	$\phi/16$
0	1	0	1	$\phi/32$
0	1	1	0	$\phi/64$
0	1	1	1	$\phi/128$
1	0	0	0	$\phi/256$

（2）外部カウント・クロック

TI1端子に入力される信号をカウントします。このとき、タイマ1はイベント・カウンタとして動作します。

外部カウント・クロックを選択するには、次のように設定します。

PRM13	PRM12	PRM11	PRM10	外部カウント・クロック
1	1	1	1	TI1入力

TI1の有効エッジはINTM3レジスタのESビットによって指定します。

ES141	ES140	有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	RFU（予約）
1	1	立ち上がり、立ち下がり両エッジ

7.5.3 オーバフロー

TM1レジスタがカウント・クロックをFFFFFFHまでカウントした結果、オーバフローすると、TOVSレジスタのOVF1ビットにフラグをセットし、オーバフロー割り込み（INTOV1）を発生します。

OVF1フラグの値は、ユーザのアプリケーションで変更されるまで保持されます。

TM1レジスタのオーバフロー後の動作は、OST1ビットで決定します。

（1）OST1 = 0時のオーバフロー後の動作

そのままカウントを継続します。

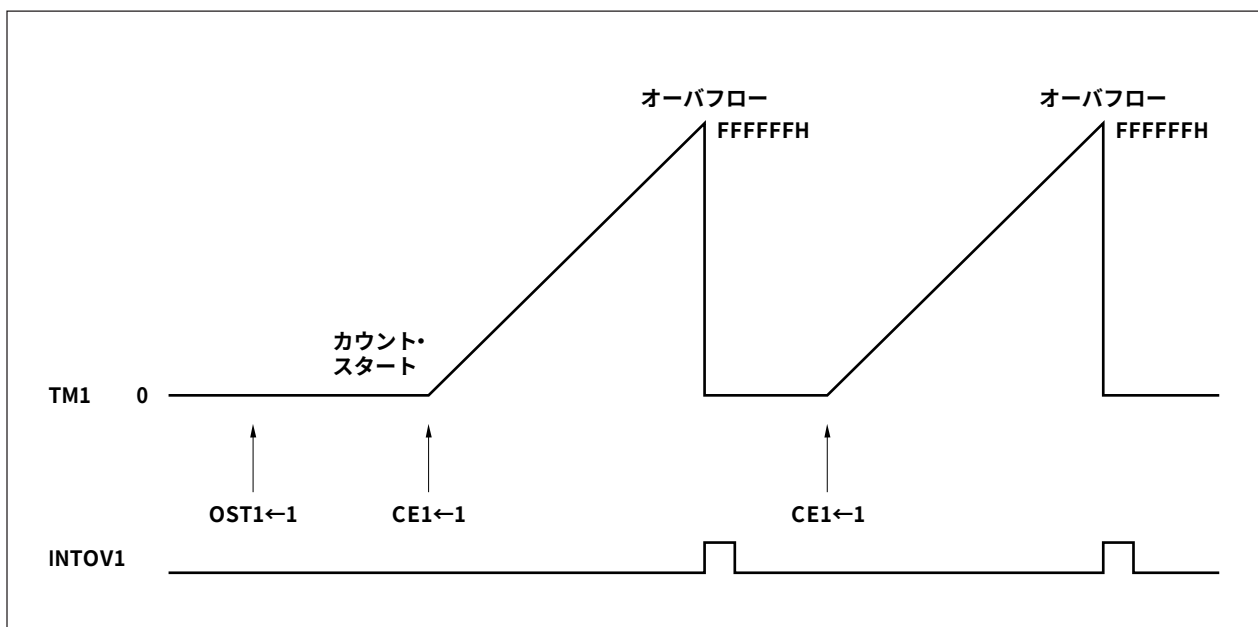
（2）OST1 = 1時のオーバフロー後の動作

TM1 = 000000Hを保持し、カウント動作を停止します。このとき、CE1 = 1のままで停止するため、カウントを再開するには次のどちらかの制御をしてください。

- ・ CE1ビットへの“1”ライト動作
- ・ CS1ビットへの“1”ライト動作

なお、カウント動作中にCE1ビットを1に設定しても、動作には影響ありません。

図7-12 オーバフロー後の動作（OST1 = 1の場合）



7.5.4 タイマのクリア／スタート

タイマ1のクリア／スタートの方法にはオーバーフローによるもの、ソフトウェアによるものの2種類があります。

（1）オーバーフローによるクリア／スタート

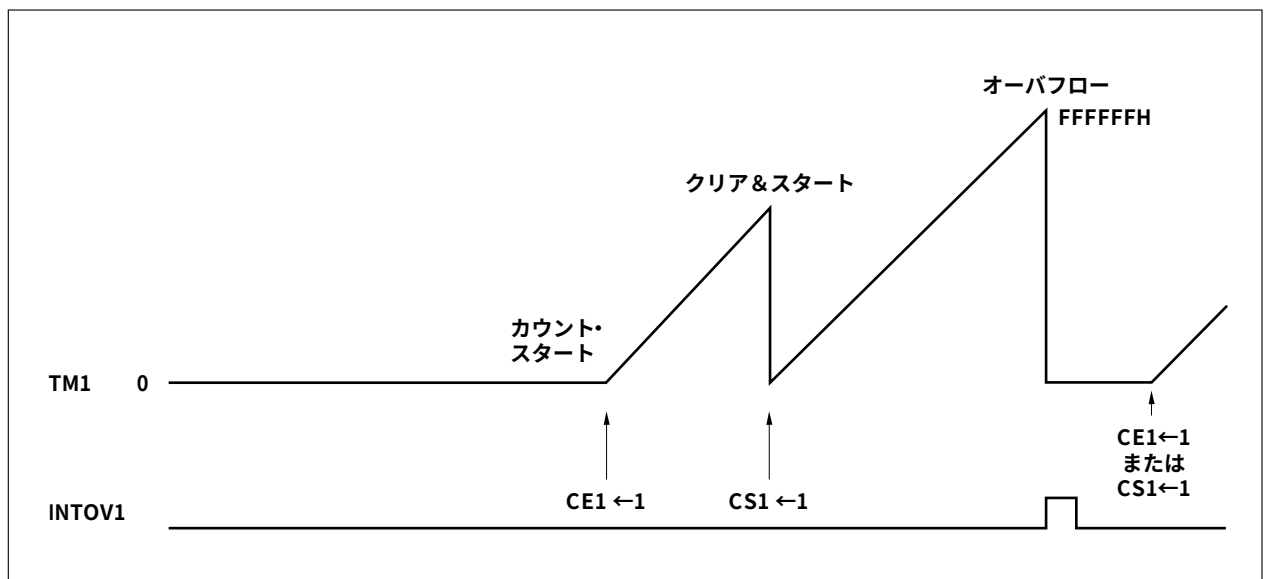
動作の詳細は7.5.3 オーバーフローを参照してください。

（2）ソフトウェアによるクリア／スタート

ソフトウェアでCS1ビットを1にすると、次のカウント・クロックでTM1レジスタの内容をクリアし、0からカウントを開始します。

ただしこのビットの設定は、CE1ビットが1のときだけ有効です。

図7-13 ソフトウェアによるタイマのクリア／スタート動作（OST1=1の場合）



7.5.5 キャプチャ動作

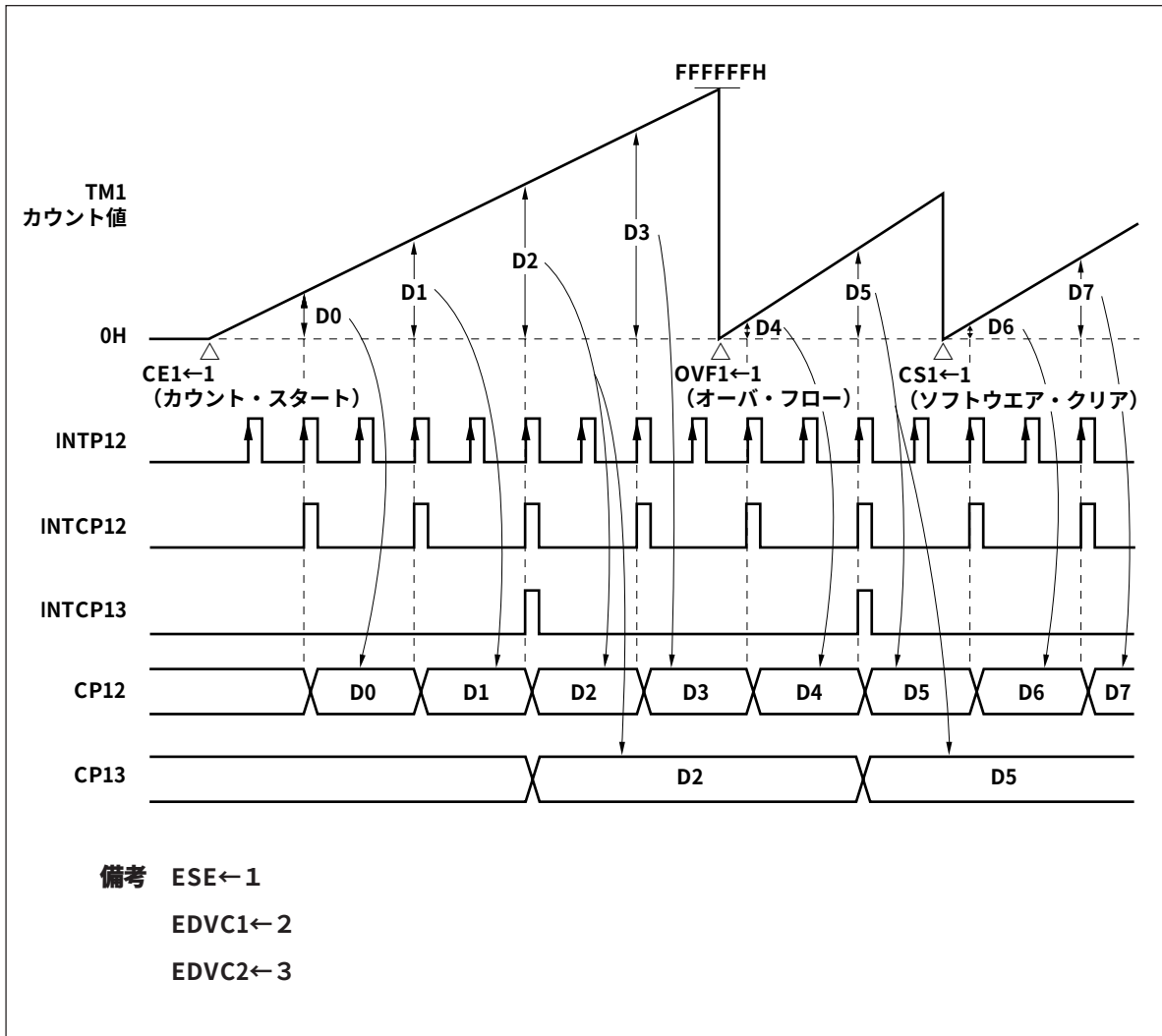
外部トリガに同期して、TM1のカウンタ値をカウンタ・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子INTP1nから検出された有効エッジを分周したトリガを用います（キャプチャ・トリガ）。そのキャプチャ・トリガ信号に同期して、カウント中のTM1のカウンタ値をキャプチャ・レジスタに取り込み保持し、同時に割り込み要求INTCP1nを発行します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されません。

表7-4 24ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号

キャプチャ・トリガ信号	キャプチャ・レジスタ	割り込み要求
INTP10	CP10/CP10L	INTCP10
INTP11の分周	CP11/CP11L	INTCP11
INTP12の分周	CP12/CP12L	INTCP12
INTP12/INTP13の分周	CP13/CP13L	INTCP13

INTP1n入力の有効エッジは、外部割り込みモード・レジスタ（INTM2, INTM3）で設定します。また、INTCP11-INTCP13トリガの分周比は、EDVCnレジスタとEVSレジスタで設定します。詳細は5.3.9 分周器を参照してください。

図7-14 TM1キャプチャ動作例



7.5.6 コンペア動作

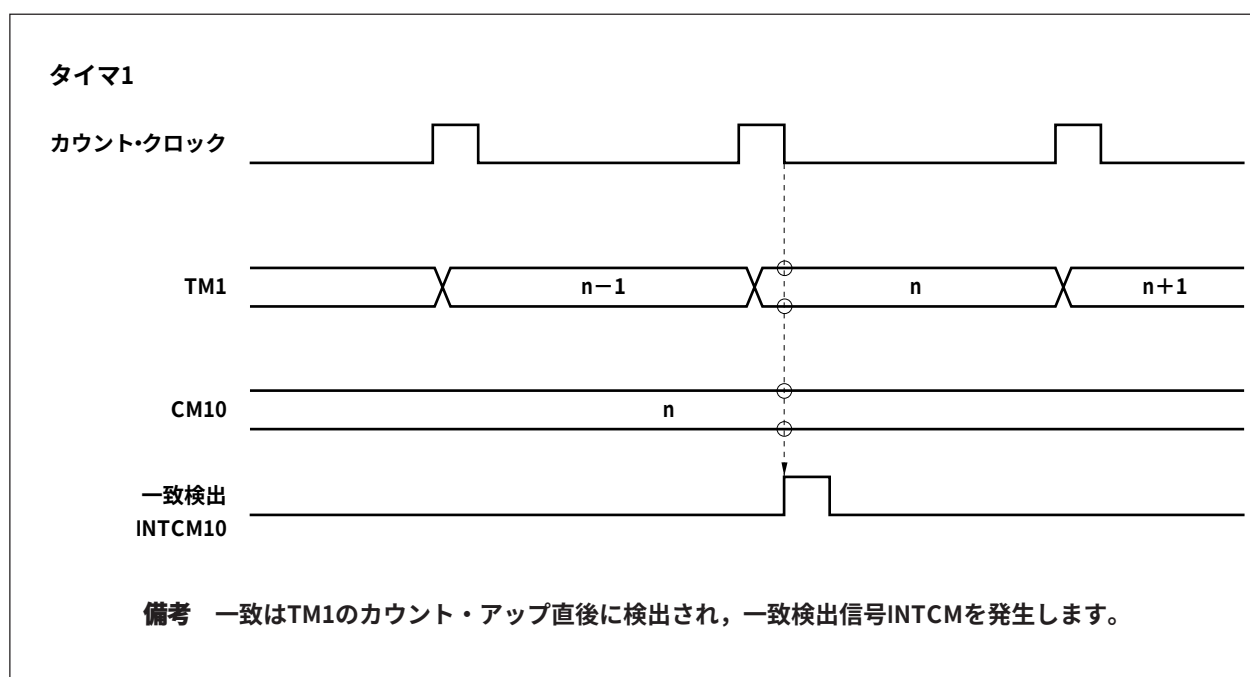
コンペア・レジスタに設定した値とTM1のカウンタ値を比較するコンペア動作を行います。

あらかじめ設定したコンペア・レジスタの値に、TM1のカウンタ値が一致すると、CM10の一致によるINTCM10がリアルタイム出力ポートのトリガとして発生します。同時に割り込み要求信号INTCMを発生します。

表7-5 24ビット・コンペア・レジスタからの割り込み要求信号

コンペア・レジスタ	割り込み要求	コンペア一致トリガ
CM10/CM10L	INTCM10	リアルタイム出力ポート
CM11/CM11L	INTCM11	—

図7-15 コンペア動作例



7.6 タイマ2動作

7.6.1 カウント動作

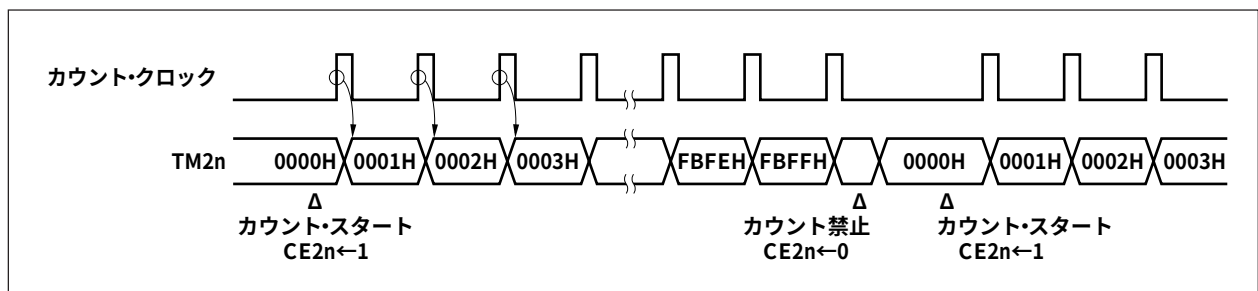
タイマ2は、16ビットのインターバル・タイマとして機能します。動作の設定は、タイマ・コントロール・レジスタ20-24（TMC20-TMC24）で指定します。

タイマ2のカウント動作は、TMC2nレジスタのPRM2n0-PRM2n3ビットで指定される内部カウント・クロック（ $\phi/2$ - $\phi/256$ ）または外部カウント・クロック（TI2n）をカウント・アップします。

カウントの結果、TM2nの値がCM2nと一致すると、TM2nをクリアします。同時に一致割り込み（INTCM2n）を発生し、TO2n信号をトグル出力します。

備考 n = 0-4

図7-16 タイマ2の基本動作



7.6.2 カウント・クロック選択

タイマ2に入力されるカウント・クロックには内部と外部があり、TMC2nレジスタのPRM2n0-PRM2n3ビットで選択できます（n = 0-4）。

注意 タイマの動作中にカウント・クロックを変更しないでください。

（1）内部カウント・クロック

TMC2nレジスタのPRMビットの設定によって $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ の8通りから内部カウント・クロックを選択します。

PRM2n3	PRM2n2	PRM2n1	PRM2n0	内部カウント・クロック
0	0	0	1	$\phi/2$
0	0	1	0	$\phi/4$
0	0	1	1	$\phi/8$
0	1	0	0	$\phi/16$
0	1	0	1	$\phi/32$
0	1	1	0	$\phi/64$
0	1	1	1	$\phi/128$
1	0	0	0	$\phi/256$

（2）外部カウント・クロック

TI2n端子に入力される信号をカウントします。このとき、タイマ2はイベント・カウンタとして動作します。

外部カウント・クロックを選択するには、次のように設定します。

PRM2n3	PRM2n2	PRM2n1	PRM2n0	外部カウント・クロック
1	1	1	1	TI2n入力

TI2nの有効エッジはINTM3, INTM4レジスタのESビットによって指定します。

ES2n1	ES2n0	有効エッジ
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	RFU（予約）
1	1	立ち上がり、立ち下がり両エッジ

備考 n = 0-4

7.6.3 オーバフロー

内部カウント・クロックをカウントした結果TM2nがオーバフローすると、TOVSレジスタのOVF2nビットにフラグをセットします（n = 0-4）。

7.6.4 タイマのクリア／スタート

タイマ2のクリア／スタートの方法にはコンペア・レジスタとの一致によるものとソフトウェアによるものの2種類があります。

（1）コンペア・レジスタとの一致信号によるクリア／スタート

タイマ2は、コンペア・レジスタ（CM2n）の設定値とTM2nの値が一致すると、次のカウント・クロックでTM2nをクリアし、カウント動作を開始します（n = 0-4）。また、同時に割り込み要求信号（INTCM20-INTCM24）とタイマ出力のトリガを生成します。

コンペア・レジスタに設定するインターバル時間は、次の式で算出できます。

$$\text{インターバル時間} = (\text{設定値} + 1) \times \text{カウント周期}$$

詳細は7.6.5 コンペア動作を参照してください。

（2）ソフトウェアによるクリア／スタート

TMC2nレジスタのCS2nビットを1にすると、次のカウント・クロックでTM2nレジスタの内容をクリアし、0からカウントを開始します（n = 0-4）。ただし、このビットの設定は、CE2nビットが1のときだけ有効です（n = 0-4）。

7.6.5 コンペア動作

タイマ2では、コンペア・レジスタ（CM20-CM24）に設定した値とTM20-TM24のカウンタ値を比較するコンペア動作を行います。

コンペア動作で一致を検出すると割り込み（INTCM2n）を発生します。割り込み発生により、次のカウント・タイミングでTM2nは0にクリアされます（図7-17参照）。この機能により、タイマ2をインターバル・タイマとして使用します。

CM2nには0を設定することもできます。この場合はオーバフローしてTM2nが0になるとともに一致を検出しINTCM2nが発生します。次のカウント・タイミングでTM2nの値をクリア（0）しますが、この一致で、INTCM2nは発生しません（図7-18参照）。

備考 n = 0-4

図7-17 CM2nが1-FFFFHまでの動作

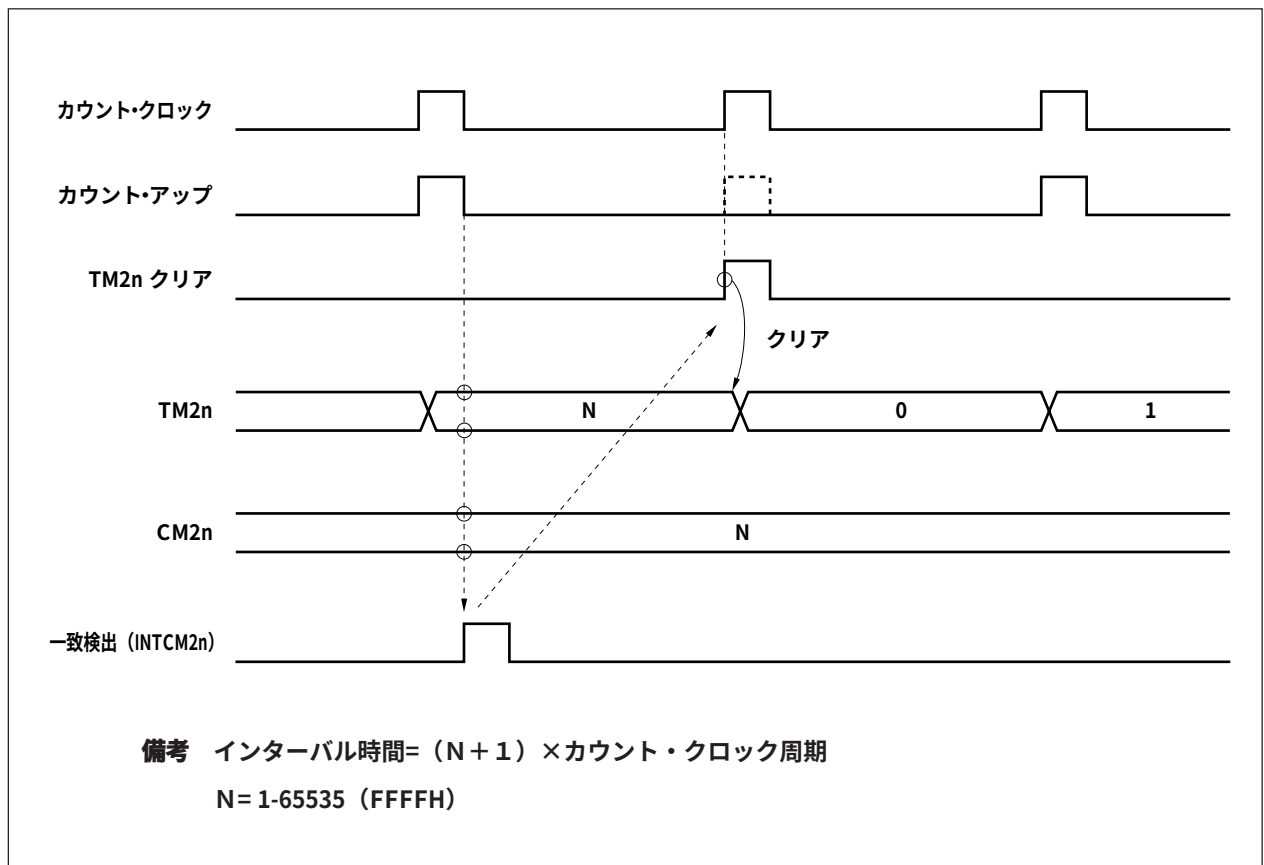
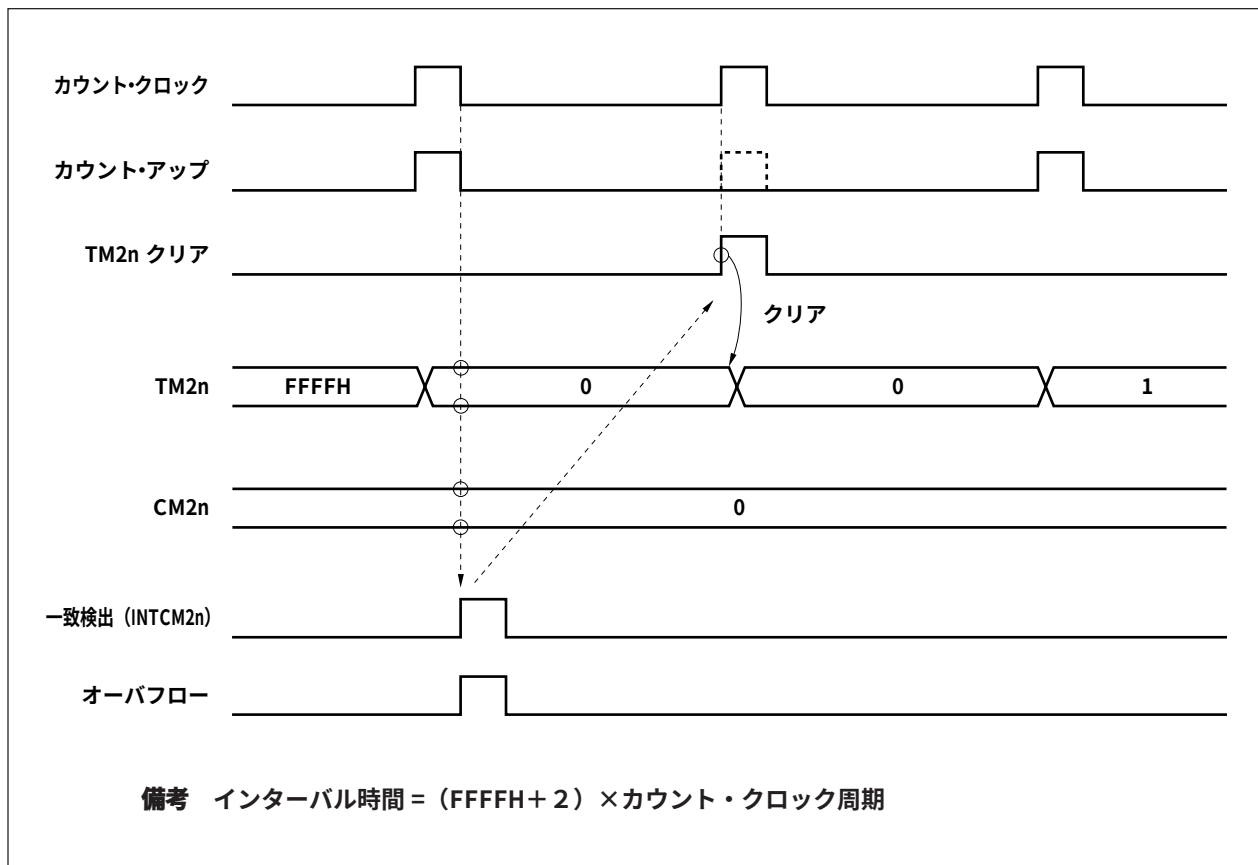


図7-18 CM2nに0をセットした場合

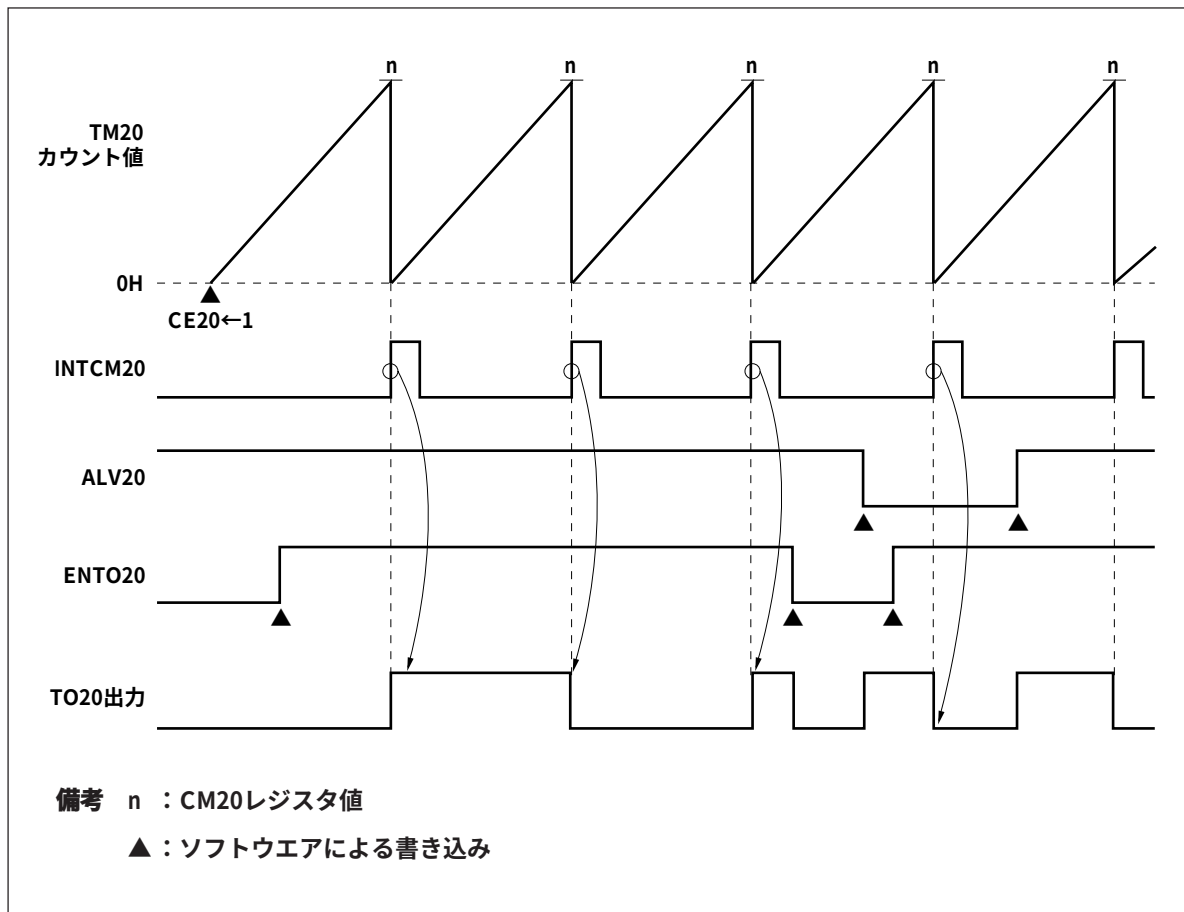


7.6.6 トグル出力

トグル出力は、コンペア・レジスタ（CM20-CM24）の値がCM2nの値と一致するたびに出力レベルを反転させる動作モードです（ $n = 0-4$ ）。比較するタイマとコンペア・レジスタ、タイマ出力の関係を次に示します。

- TM20, CM20→TO20
- TM21, CM21→TO21
- TM22, CM22→TO22
- TM23, CM23→TO23
- TM24, CM24→TO24

図7-19 トグル出力の動作例



7.7 タイマ3動作

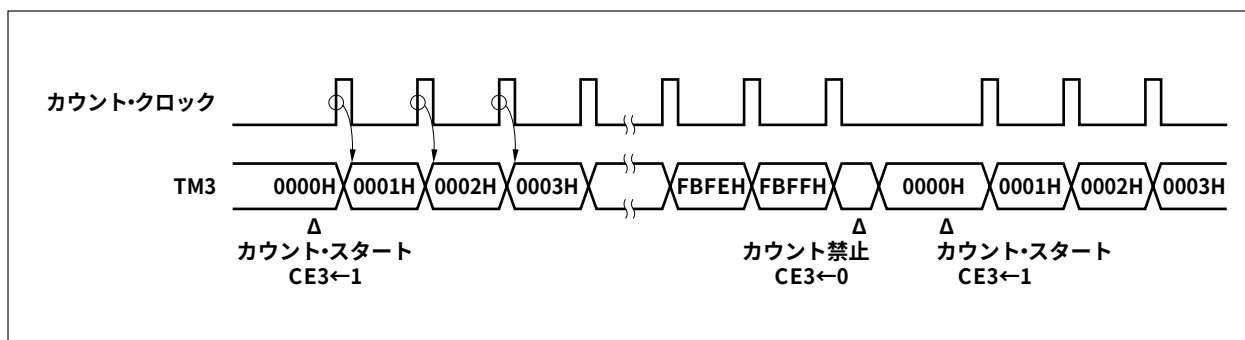
7.7.1 カウント動作

タイマ3は、16ビットのインターバル・タイマとして機能します。動作の設定は、タイマ・コントロール・レジスタ3（TMC3）で指定します。

タイマ3のカウント動作は、TMC3レジスタのPRM30-PRM33ビットで指定される内部カウント・クロック（ $\phi/2$ - $\phi/256$ ）をカウント・アップします。

カウントの結果、TM3の値がCC3と一致すると、TM3をクリアします。同時に一致割り込み（INTCC3）を発生します。

図7-20 タイマ3の基本動作



7.7.2 カウント・クロック選択

TMC3レジスタのPRM30-PRM33ビットの設定によって $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ の8通りから内部カウント・クロックを選択します。

注意 タイマの動作中にカウント・クロックを変更しないでください。

PRM33	PRM32	PRM31	PRM30	内部カウント・クロック
0	0	0	1	$\phi/2$
0	0	1	0	$\phi/4$
0	0	1	1	$\phi/8$
0	1	0	0	$\phi/16$
0	1	0	1	$\phi/32$
0	1	1	0	$\phi/64$
0	1	1	1	$\phi/128$
1	0	0	0	$\phi/256$

7.7.3 オーバフロー

内部カウント・クロックをカウントした結果TM3がオーバフローすると、TOVSレジスタのOVF3ビットにフラグをセットします。

7.7.4 タイマのクリア／スタート

タイマ3のクリア／スタートの方法にはコンペア・レジスタの一致によるもの、CC3のキャプチャ・トリガによるもの、ソフトウェアによるものの3種類があります。

(1) CC3コンペア一致によるクリア／スタート

CMS3ビットでCC3をコンペア・レジスタとして指定した場合、タイマ3はコンペア・レジスタ（CC3）の設定値とTM3の値が一致すると次のカウント・クロックでTM3をクリアし、カウント動作を開始できます。また、割り込み要求（INTCC3）が発生します。

コンペア・レジスタに設定するインターバル時間は、次の式で算出できます。

$$\text{インターバル時間} = (\text{設定値} + 1) \times \text{カウント周期}$$

詳細は7.7.6 コンペア動作を参照してください。

(2) CC3のキャプチャ・トリガによるクリア／スタート

CMS3ビットでCC3をキャプチャ・レジスタとして指定した場合にCC3のキャプチャ・トリガが発生すると、タイマ3はTM3のカウント値をCC3にキャプチャし、TM3をクリアし、カウント動作を開始します。また、同時に割り込み要求（INTCC3）が発生します。

(3) ソフトウェアによるクリア／スタート

TMC3レジスタのCS3ビットを1にすると、次のカウント・クロックでTM3レジスタの内容をクリアし、0からカウントを開始します。ただし、このビットの設定は、CE3ビットが1のときだけ有効です。

7.7.5 キャプチャ動作

キャプチャ／コンペア・レジスタ（CC3）は、TMC3レジスタをキャプチャ・レジスタに設定すると、外部トリガに同期して、TM3のカウント値をカウント・クロックとは非同期にキャプチャ・レジスタに取り込み、保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子（INTP30）から検出された有効エッジを用います（キャプチャ・トリガ）。そのキャプチャ・トリガ信号に同期して、カウント中のTM3のカウント値をキャプチャ・レジスタに取り込み保持します。CC3のキャプチャ・トリガの場合、同時に割り込み要求INTCC3を発行します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

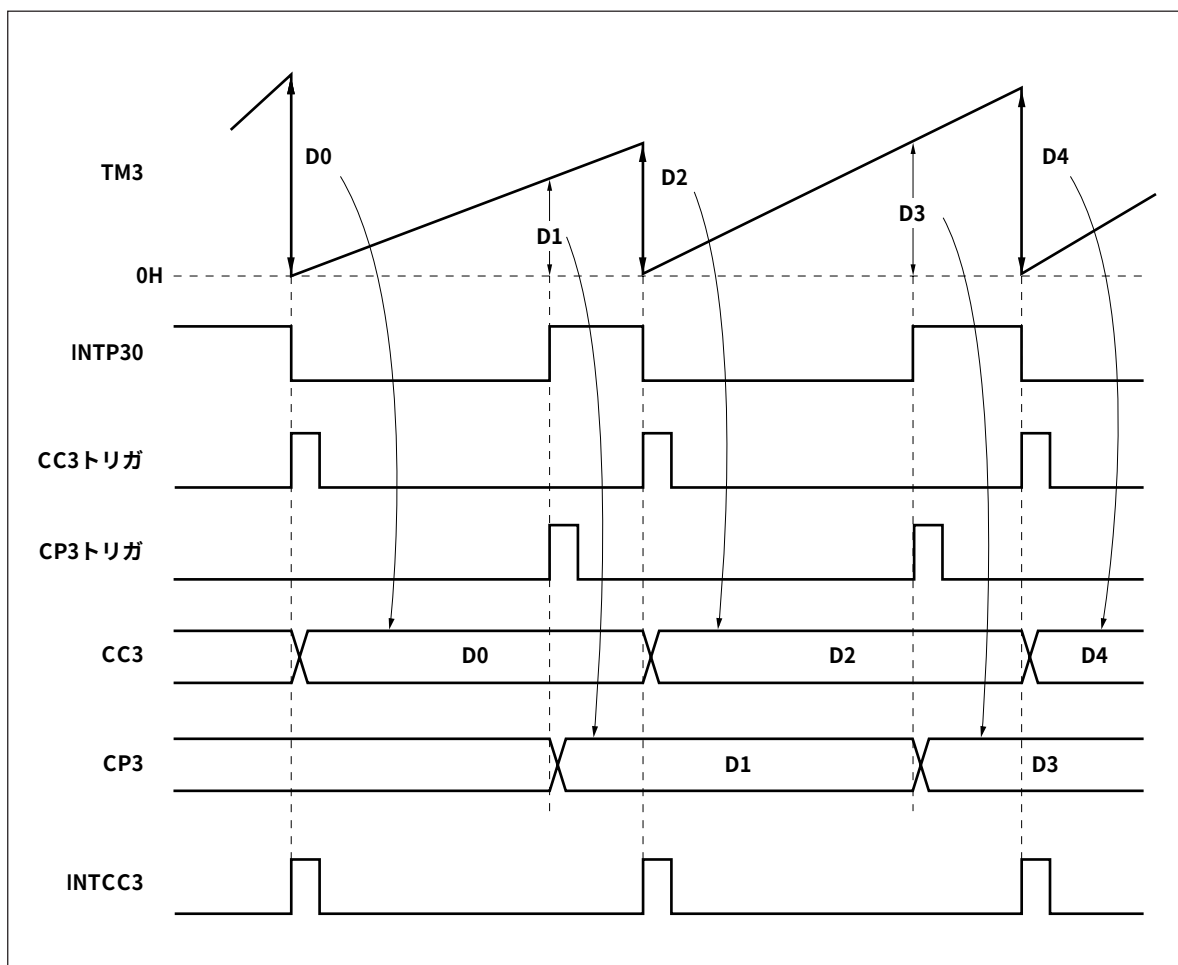
キャプチャ・レジスタへのキャプチャ・タイミングと命令によるレジスタへの書き込み動作が競合した場合は、後者が優先され、キャプチャ動作は無視されます。

表7-6 16ビット・キャプチャ・レジスタへのキャプチャ・トリガ信号

キャプチャ・ソース	有効エッジの選択				キャプチャ・トリガ	割り込み要求
INTP30	↓	↑	—	↑↓	CC3	INTCC3
	↑	↓	↑↓	—	CP3	—

キャプチャ・トリガの有効エッジは、外部割り込みモード・レジスタ (INTM7) で設定します。CC3のトリガを立ち下がり、CP3のトリガを立ち上がりに設定した場合は、外部からの入力パルス幅と入力パルス周期を1回の割り込み (INTCC3) で測定できます。

図7-21 TM3キャプチャ動作例 (ES301 = 0, ES300 = 0, CMS3 = 0, CE3 = 1の場合)



7.7.6 コンペア動作

キャプチャ/コンペア・レジスタ (CC3) はTM3レジスタをコンペア・レジスタに設定すると、コンペア・レジスタに設定した値とTM3のカウント値を比較するコンペア動作を行います。

あらかじめ設定したコンペア・レジスタの値にTM3のカウント値が一致すると、TM3のクリア&スタートを行い、同時に割り込み要求信号INTCC3を発生します。

7.8 応用例

(1) インターバル・タイマとしての動作 (タイマ0, タイマ2, タイマ3)

タイマ2をコンペア・レジスタCM20にあらかじめ設定したカウント時間をインターバルとして繰り返し割り込み要求を発生するインターバル・タイマとした例を示します。図7-22にタイミングを示します。図7-23にその設定手順を示します。

図7-22 インターバル・タイマ動作のタイミング例 (タイマ2)

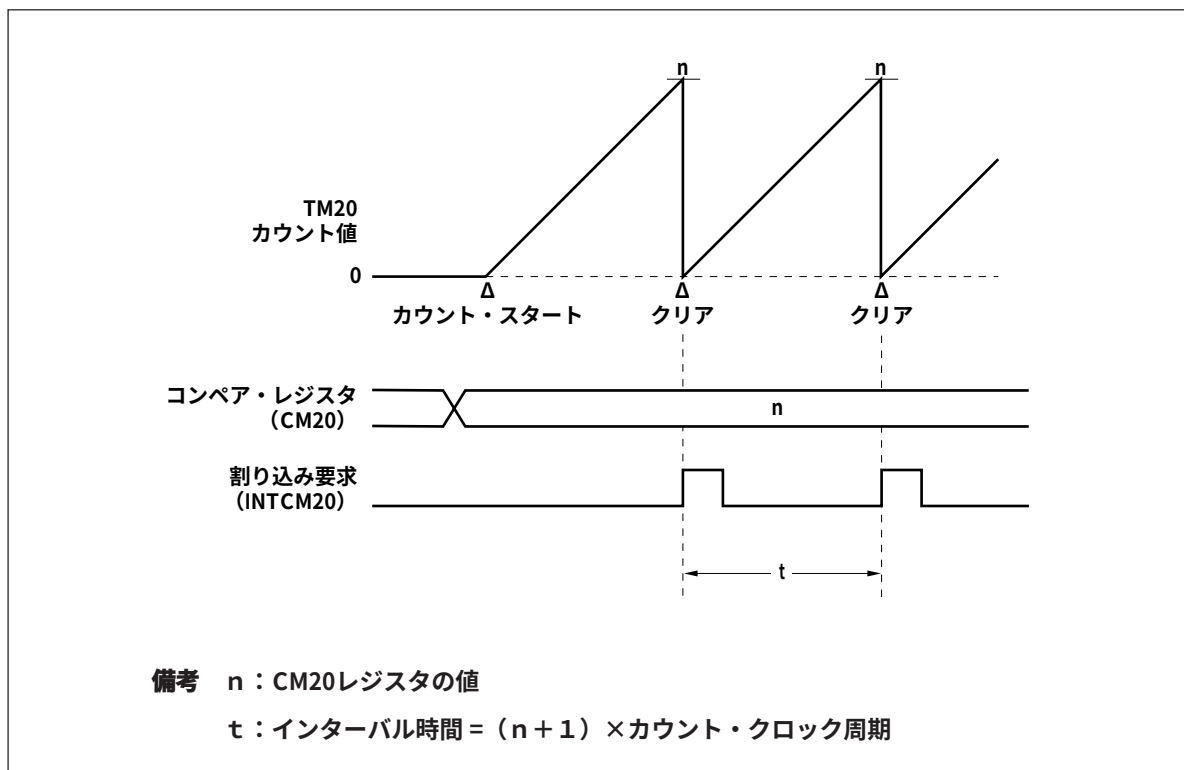
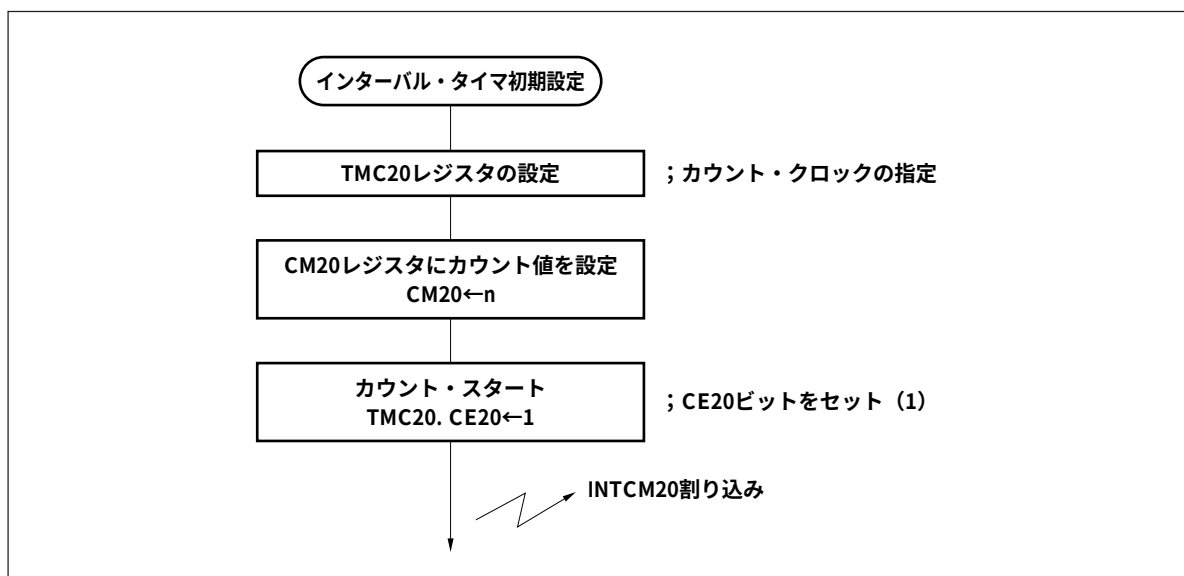


図7-23 インターバル・タイマ動作の設定手順 (タイマ2)



(2) パルス幅測定としての動作（タイマ0，タイマ1，タイマ3）

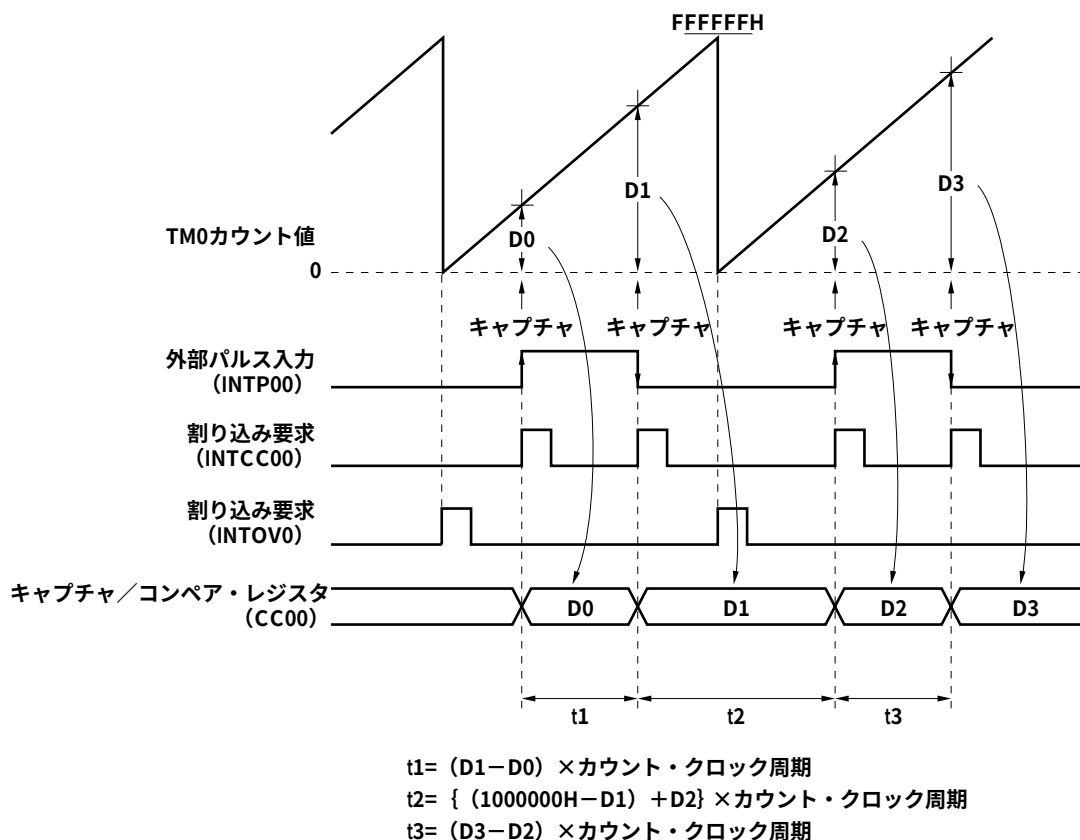
パルス幅測定の例を示します。

ここでは、INTP00端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定します。

図7-24に示すように、INTP00端子入力の有効エッジ（立ち上がり，立ち下りの両エッジに指定）に同期して，カウント中のタイマ0（TM0）の値をキャプチャ/コンペア・レジスタ（CC00）に取り込み保持します。

パルス幅は， n 回目の有効エッジ検出によりCC00レジスタに取り込み保持されたTM0のカウント値（ D_n ）と（ $n-1$ ）回目の有効エッジ検出によるカウント値（ D_{n-1} ）との差を求め，この値と，カウント・クロックとの積から計算します。

図7-24 パルス幅測定のタイミング（タイマ0）



備考 D0-D3：TM0のカウント値

図7-25 パルス幅測定の設定手順（タイマ0）

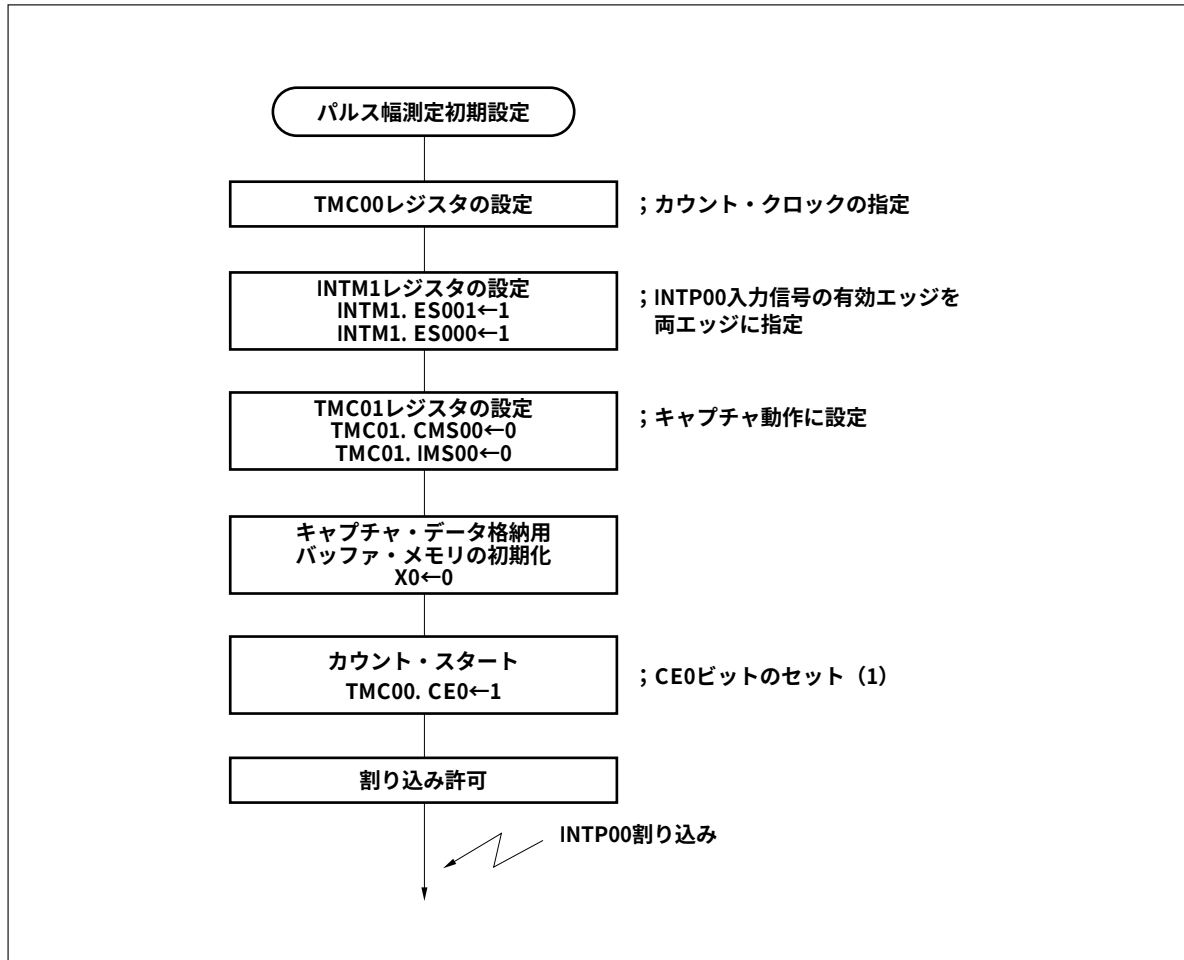
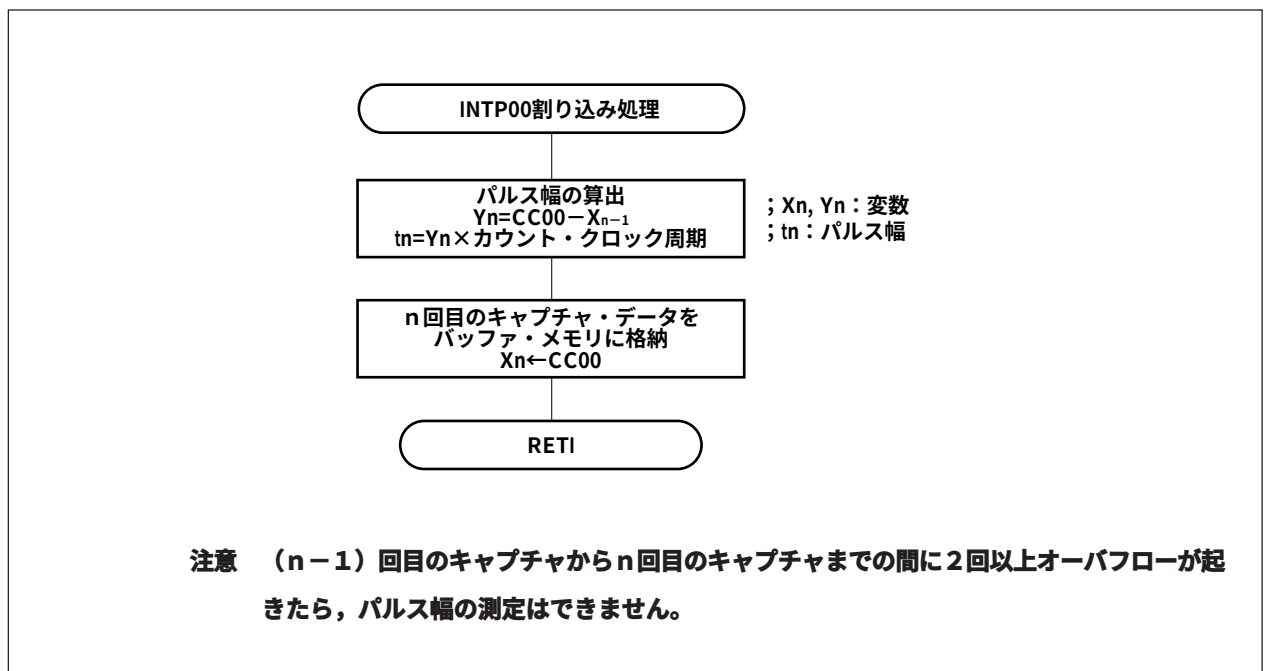


図7-26 パルス幅を算出する割り込み要求処理ルーチン（タイマ0）



（3）PWM出力としての動作（タイマ0）

タイマ0とタイマ出力機能を組み合わせてタイマ出力端子（TO_n）に任意の矩形波を出力し、PWM出力として使用できます。

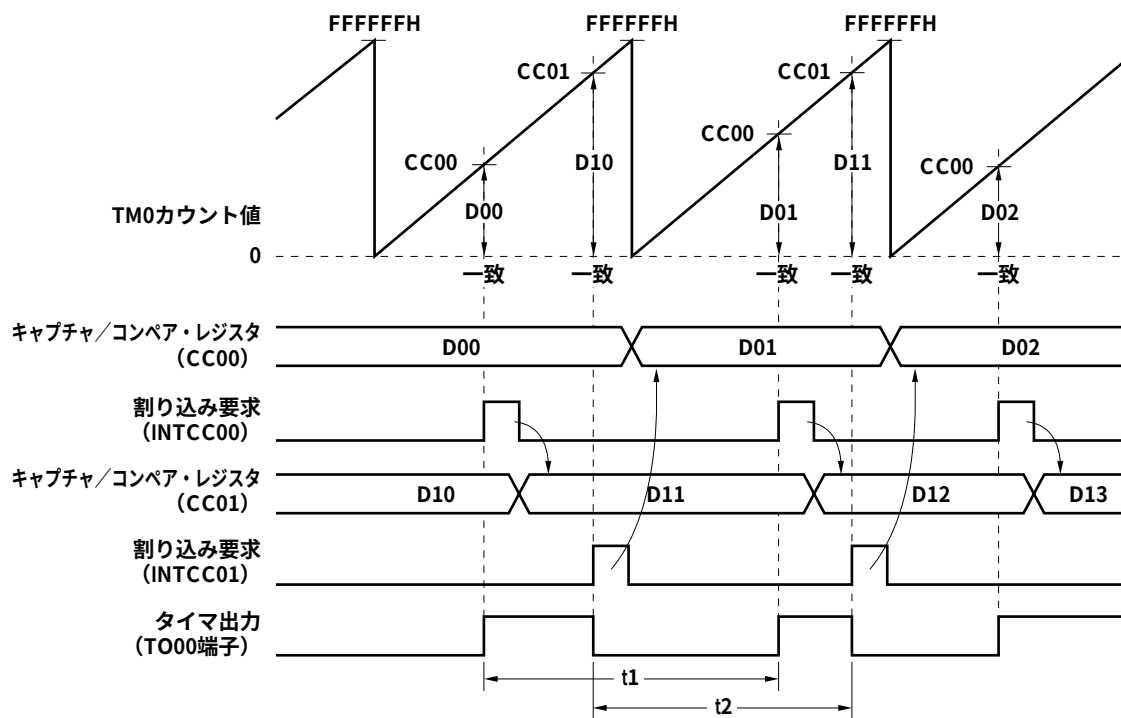
ここでは、2つのキャプチャ／コンペア・レジスタCC00、CC01を使用する例を示します。

この場合、24ビット精度のPWM信号をTO00端子から出力できます。図7-27にタイミングを示します。

24ビット・タイマとして使用した場合、図7-27に示すように、キャプチャ／コンペア・レジスタ（CC00）に設定する値でPWM出力の立ち上がりタイミングを決定し、キャプチャ／コンペア・レジスタ（CC01）に設定する値で、立ち下りのタイミングを決定します。

またCC03のコンペア一致を使用し、TM0をクリア&スタートさせることで、タイマ出力のインターバル周期を任意に変えられます。

図7-27 PWM出力のタイミング例



備考 D00-D02, D10-D13：コンペア・レジスタの設定値

$$t1 = \{ (1000000H - D00) + D01 \} \times \text{カウント} \cdot \text{クロック周期}$$

$$t2 = \{ (1000000H - D10) + D11 \} \times \text{カウント} \cdot \text{クロック周期}$$

図7-28 PWM出力の設定手順例

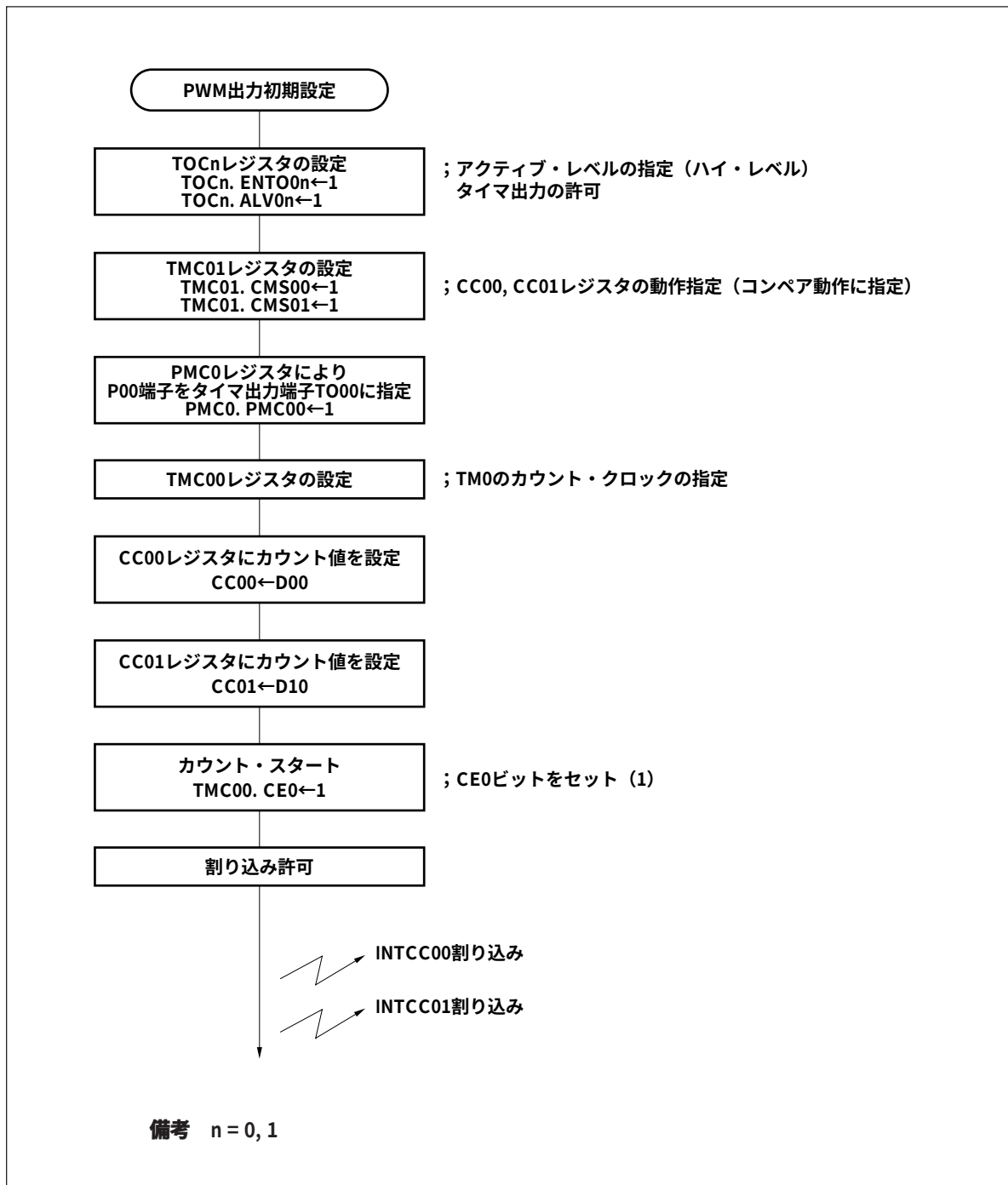
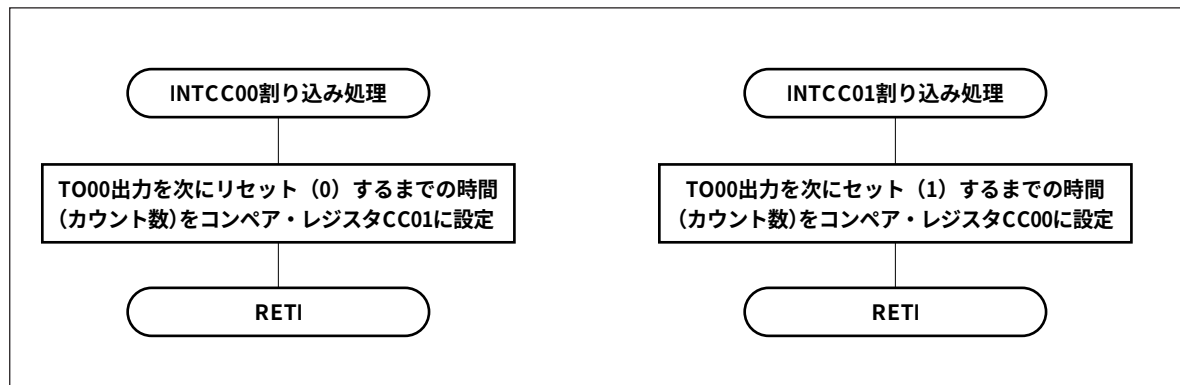


図7-29 コンペア値を書き換える割り込み要求処理ルーチン例



（4）周期測定としての動作（タイマ0，タイマ1，タイマ3）

タイマ0，タイマ1，タイマ3はINTPn端子に入力される外部パルスの周期を測定できます。

ここでは、タイマ0とキャプチャ/コンペア・レジスタCC00を組み合わせ、INTP00端子に入力される外部パルスの周期を24ビット精度で測定する例を示します。

INTP00入力信号の有効エッジをINTM1レジスタにより、立ち上がりエッジに指定します。

周期は、n回目の立ち上がりエッジによりCC00レジスタに取り込み保持したTM0のカウンタ値（Dn）と、（n－1）回目の立ち上がりエッジにより取り込んだカウンタ値（Dn－1）との差を求め、この値とカウンタ・クロックとの積から計算します。

なお、TM0の最大カウンタ値を越える周期測定は、INTOV0によるオーバフロー割り込み要求でオーバフロー回数をカウンタして行います。

図7-30 周期測定のタイミング例

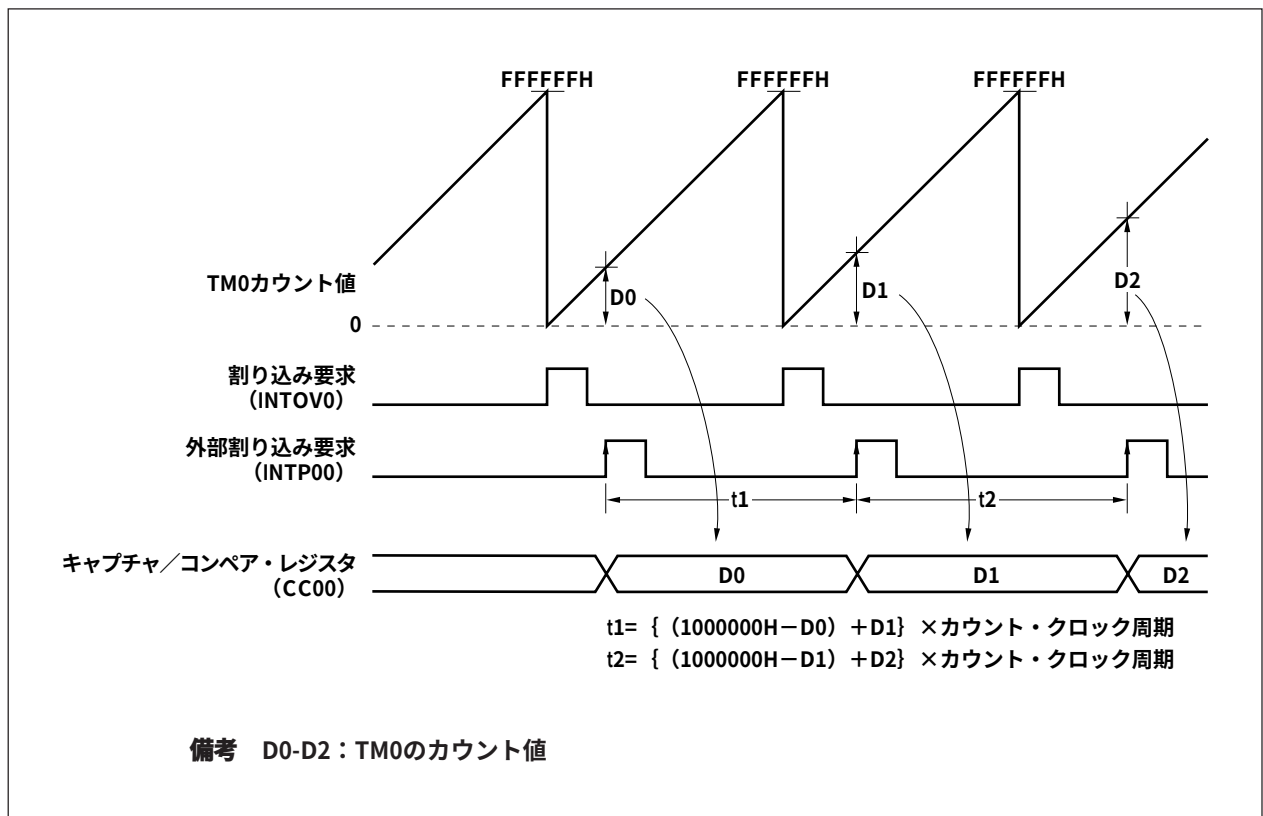


図 7-31 周期測定の設定手順例

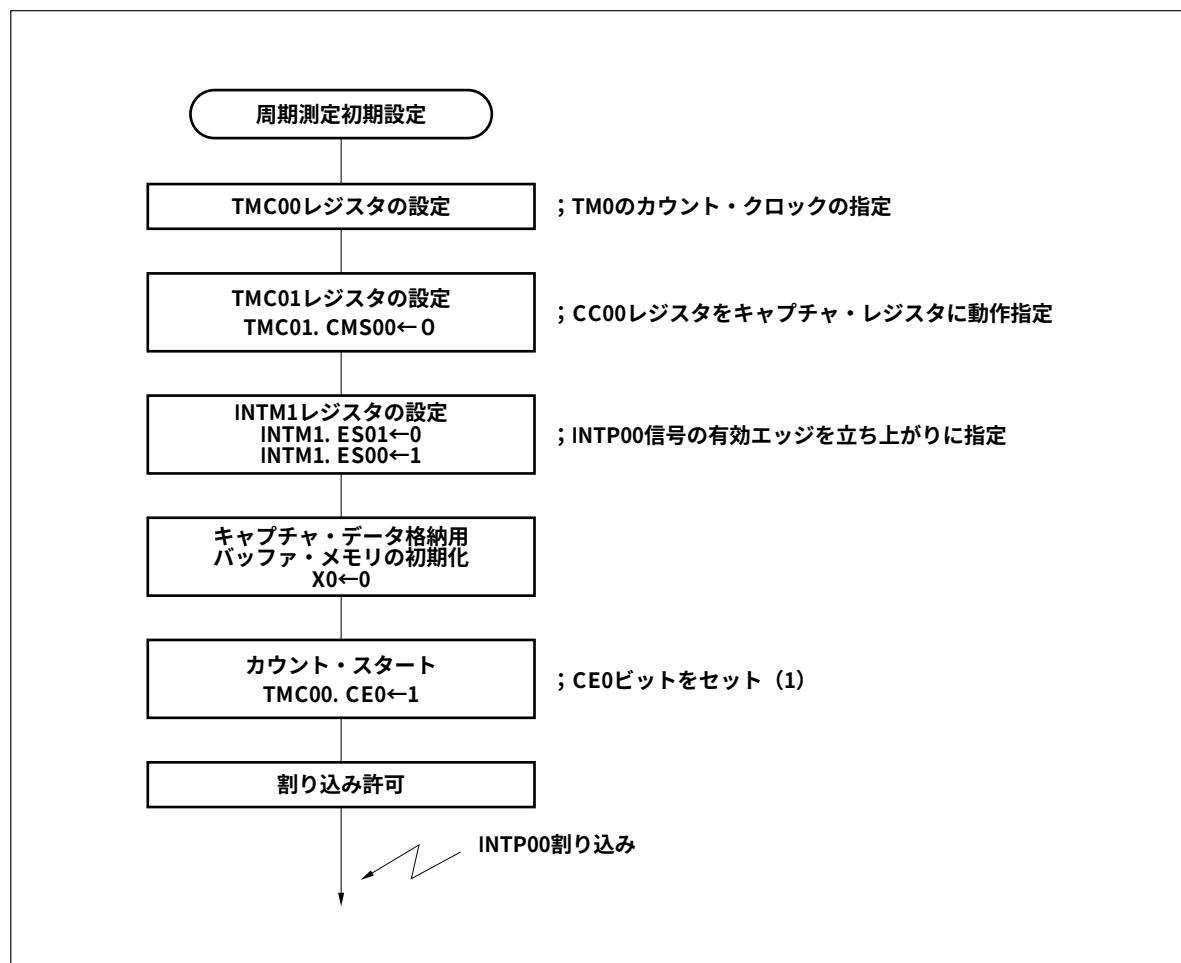
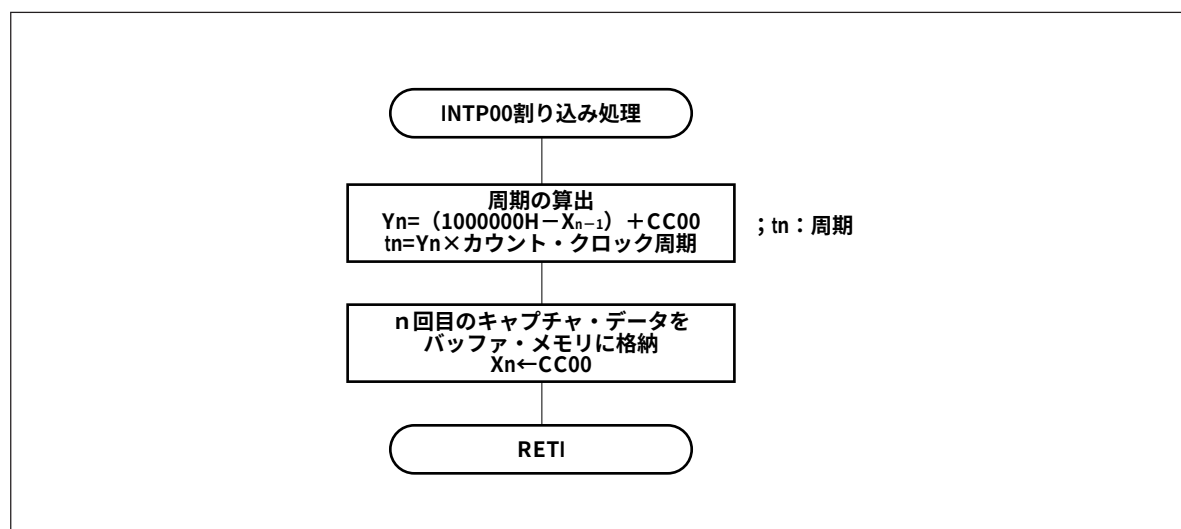


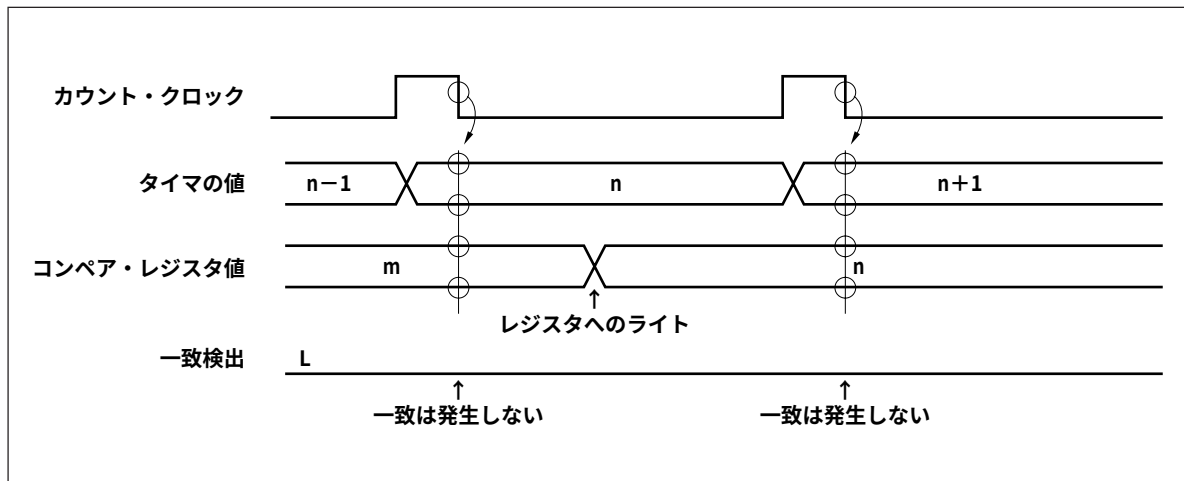
図 7-32 周期を算出する割り込み要求処理ルーチン例



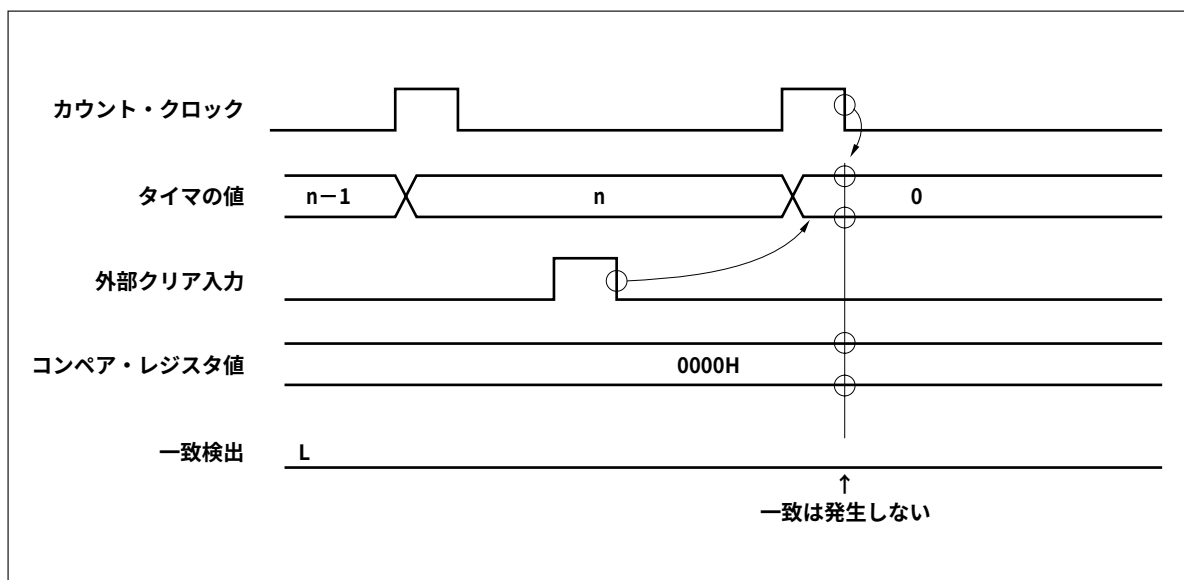
7.9 注意事項

コンペア・レジスタによる一致検出は、常にタイマのカウント・アップ直後のタイミングで行われます。次の場合、一致は発生しません。

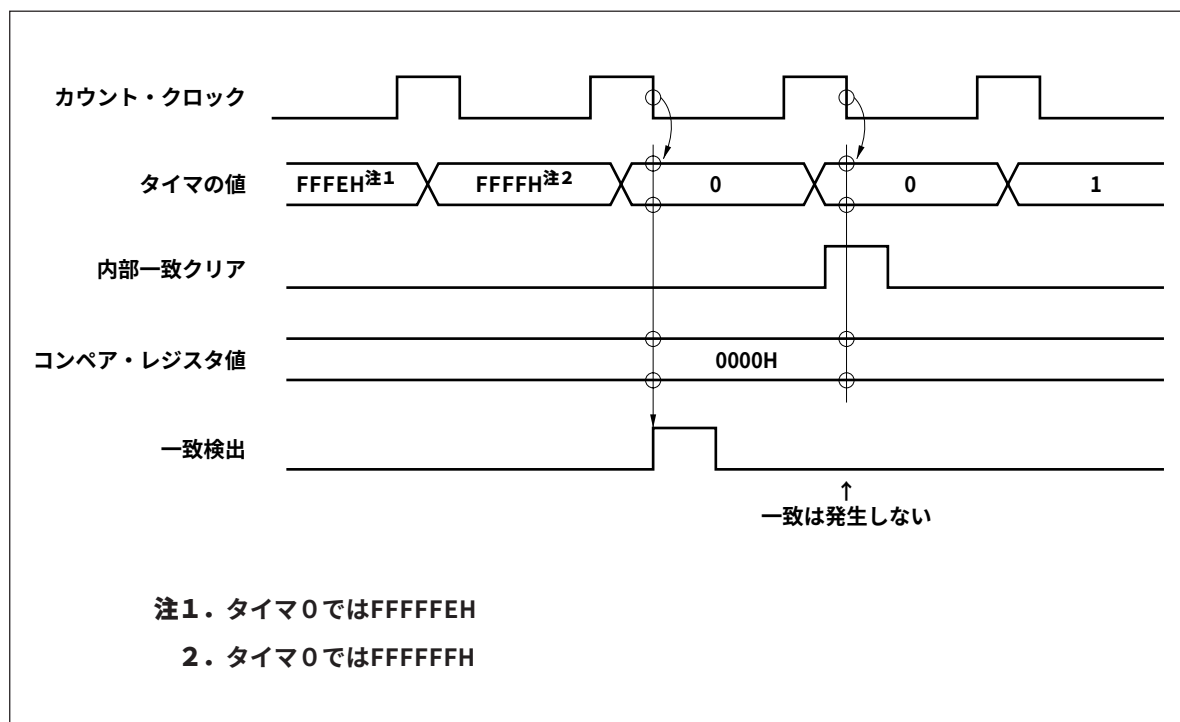
（1）コンペア・レジスタの書き換え時（タイマ0-タイマ3）



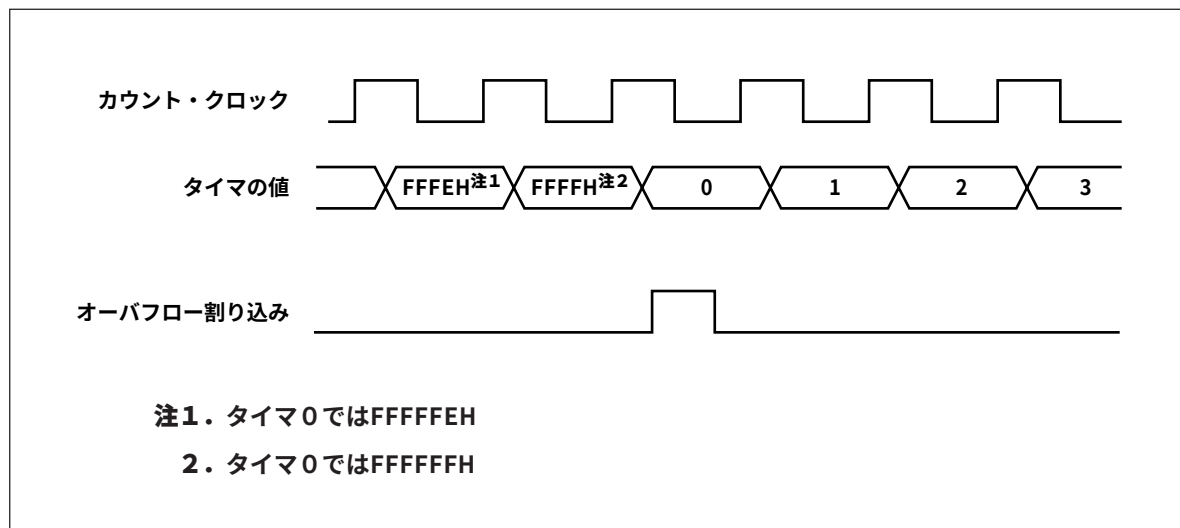
（2）外部クリア時（タイマ0）



(3) タイマ・クリア時 (タイマ0, タイマ2, タイマ3)



備考 タイマ0, タイマ1をフリー・ランニング・タイマとして動作させるときには、タイマのオーバーフローでタイマの値は、0になります。



第8章 シリアル・インタフェース機能

8.1 特 徴

V854は、シリアル・インタフェース機能として、3種類6チャンネルの送受信チャンネルを備え、同時に4チャンネルまで使用できます。

インタフェース形態としては次の3種類があります。

- (1) アシンクロナス・シリアル・インタフェース (UART) : 1チャンネル
- (2) クロック同期式シリアル・インタフェース (CSI) : 4チャンネル
- (3) I²Cバス・インタフェース (I²C) : 1チャンネル (μPD703008Y, 70F3008Yのみ)

UARTは、スタート・ビットに続く1バイトのシリアル・データを送受信する方式をとり、全二重通信ができます。

CSIは、シリアル・クロック ($\overline{SCKn}$) とシリアル入力 (SIn) , シリアル出力 (SOn) の3本の信号線によるデータ転送を行います (3線式シリアルI/O)。

I²Cは、シリアル・クロック (SCL) とシリアル・データ・バス (SDA) の2本の信号線によるデータ転送を行います (μPD703008Y, 70F3008Yのみ)。

注意 UARTとCSI0, CSI1とI²Cは端子が兼用になっており、ASIM0, ASIM1によりどちらか一方を選択して使用します。

8.2 アシクロナス・シリアル・インタフェース (UART)

8.2.1 特 徴

- 転送速度 150 bps-153600 bps (ボー・レート・ジェネレータ使用, $\phi = 33$ MHz動作時)
110 bps-614400 bps (ボー・レート・ジェネレータ使用, $\phi = 19.660$ MHz動作時)
★ 110 bps-38400 bps (ボー・レート・ジェネレータ使用, $\phi = 16$ MHz動作時)
最大1031 kbps ($\phi/2$ 使用, $\phi = 33$ MHz動作時)
- 全二重通信 受信バッファ (RXB) 内蔵
- 2端子構成 TXD 送信データの出力端子
RXD 受信データの入力端子
- 受信エラー検出機能
 - ・パリティ・エラー
 - ・フレーミング・エラー
 - ・オーバラン・エラー
- 割り込みソース：3種
 - ・受信エラー割り込み (INTSER)
 - ・受信完了割り込み (INTSR)
 - ・送信完了割り込み (INTST)
- 送受信データのキャラクタ長はASIMnレジスタで指定
- キャラクタ長：7, 8ビット
9ビット (拡張ビット付加時)
- パリティ機能：奇数, 偶数, 0, なし
- 送信ストップ・ビット：1, 2ビット
- 専用ボー・レート・ジェネレータ内蔵

備考 ϕ ：内部システム・クロック

8.2.2 アシクロナス・シリアル・インタフェースの構成

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIMn) , アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) によって、アシクロナス・シリアル・インタフェースを制御します。受信データは受信バッファ (RXB) に保持され、送信データは送信シフト・レジスタ (TXS) に書き込みます。

アシクロナス・シリアル・インタフェースは、図8-1のように構成されます。

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM0, ASIM1)

ASIMnレジスタは、アシクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

ASISレジスタは、受信エラー発生時のエラー内容を示すフラグおよび送信ステータス・フラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) され、受信バッファ (RXB) からデータを読み出すか、新たに次のデータを受信することによってリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

送信ステータス・フラグは送信開始タイミングにセット (1) され、送信が終了するとリセット (0) されます。

(3) 受信制御パリティ・チェック

ASIMnレジスタに設定された内容に従って、受信動作を制御します。また、受信動作時にパリティ・エラーなどのエラー・チェックも行い、エラーが検出された場合は、エラー内容に応じた値をASISレジスタにセットします。

(4) 受信シフト・レジスタ

RXD端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信すると、受信データを受信バッファへ転送します。

このレジスタは直接操作することはできません。

(5) 受信バッファ (RXB, RXBL)

RXBは、受信データを保持する9ビットのバッファ・レジスタで、7, 8ビット/キャラクタの受信では上位ビットには0が格納されます。

このレジスタへの16ビット・アクセス時はRXBを、下位8ビット・アクセス時はRXBLを指定します。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファへ転送されます。

また、受信バッファへの転送により、受信完了割り込み要求 (INTSR) が発生します。

(6) 送信シフト・レジスタ (TXS, TXSL)

TXSは、9ビットの送信処理用シフト・レジスタで、このレジスタへのデータ書き込みにより、送信動作が開始されます。

TXSのデータを含む1フレームの送出終了に同期して送信完了割り込み要求 (INTST) を発生します。

このレジスタへの16ビット・アクセスはTXSを、下位8ビット・アクセス時はTXSLを指定します。

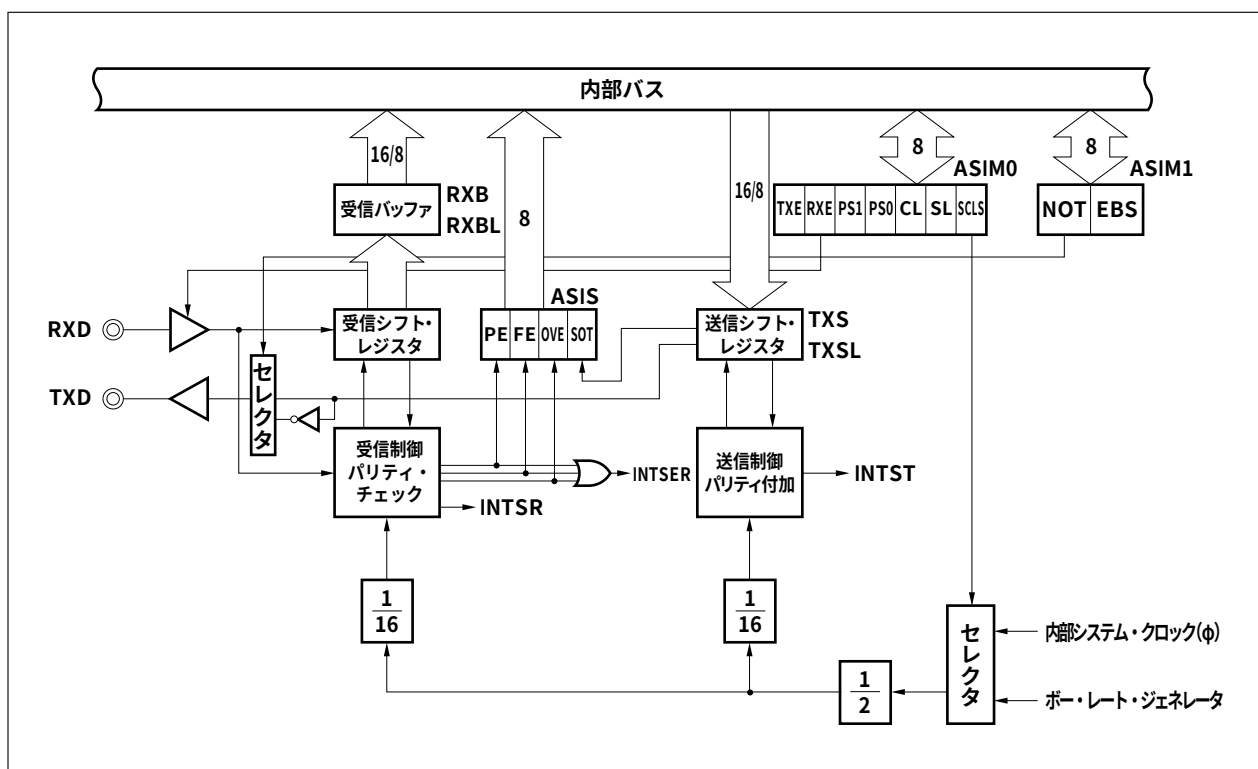
(7) 送信制御パリティ付加

ASIMnレジスタに設定された内容に従って、TXSレジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

(8) セレクタ

シリアル・クロックのソースを選択します。

図8-1 アシクロナス・シリアル・インタフェースのブロック図



8.2.3 制御レジスタ

(1) アシncロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM0, ASIM1)

UARTの転送モードを指定します。
8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
ASIM0	TXE	RXE	PS1	PS0	CL	SL	0	SCLS	アドレス FFFFF0C0H	リセット時 80H

ビット位置	ビット名	意味
7	TXE	Transmit Enable 送信許可状態／禁止状態を指定します。 0：送信禁止状態 1：送信許可状態
6	RXE	Receive Enable 受信許可状態／禁止状態を指定します。 0：受信禁止状態 1：受信許可状態 受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、受信バッファへの転送処理は行わず、受信バッファの内容は保持されます。 受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容を受信バッファに転送します。 また、受信バッファへの転送に同期して、受信完了割り込み（INTSRn）を発生します。 受信中に受信禁止に設定すると受信中のデータは破棄され、受信前のデータを読み出します。

ビット位置	ビット名	意 味															
5, 4	PS1, PS0	Parity Select パリティ・ビットを指定します。 <table border="1"> <thead> <tr> <th>PS1</th><th>PS0</th><th>動 作</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>パリティなし，拡張ビット動作</td></tr> <tr> <td>0</td><td>1</td><td>0パリティ指定 送信側→パリティ・ビットを0にして送信 受信側→受信時にパリティ・エラーを発生しない</td></tr> <tr> <td>1</td><td>0</td><td>奇数パリティ指定</td></tr> <tr> <td>1</td><td>1</td><td>偶数パリティ指定</td></tr> </tbody> </table> ・偶数パリティ 送信データ中の値が“1”のビットの数が奇数個の場合にパリティ・ビットを“1”にします。値が“1”のビットの数が偶数個の場合にはパリティ・ビットを“0”にします。これにより，送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるよう制御します。受信時には，受信データとパリティ・ビットの中に含まれる値が“1”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。 ・奇数パリティ 偶数パリティとは逆に，送信データとパリティ・ビットの中に含まれる値が“1”のビットを奇数個になるよう制御します。 受信時には，同様に受信データとパリティ・ビットの中に含まれる値が“1”のビットの数が偶数個であった場合にパリティ・エラーを発生します。 ・0パリティ 送信時には，送信データによらずパリティ・ビットを“0”にします。 受信時には，パリティ・ビットの検査を行わないため，パリティ・エラーを発生しません。 ・パリティなし 送信データにパリティ・ビットを付加しません。 受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。 ASIM1レジスタのEBSビットにより，拡張ビット動作を指定できます。	PS1	PS0	動 作	0	0	パリティなし，拡張ビット動作	0	1	0パリティ指定 送信側→パリティ・ビットを0にして送信 受信側→受信時にパリティ・エラーを発生しない	1	0	奇数パリティ指定	1	1	偶数パリティ指定
PS1	PS0	動 作															
0	0	パリティなし，拡張ビット動作															
0	1	0パリティ指定 送信側→パリティ・ビットを0にして送信 受信側→受信時にパリティ・エラーを発生しない															
1	0	奇数パリティ指定															
1	1	偶数パリティ指定															
3	CL	Character Length 1フレームのキャラクタ長を指定します。 0：7ビット 1：8ビット															

ビット位置	ビット名	意 味																		
2	SL	Stop Bit Length ストップ・ビット長を指定します。 0：1ビット 1：2ビット																		
0	SCLS	Serial Clock Source シリアル・クロックを指定します。 0：BRGC0, BPRM0で指定 1： $\phi/2$ ・ SCLS = 1の場合 シリアル・クロック・ソースに、 $\phi/2$ が選択されます。非同期モードでは、 $\times 16$ のサンプリング・レートを使用しているので、ボー・レートは次式で表されます。 $\text{ボー・レート} = \frac{\phi/2}{16} \text{ bps}$ 上記の式に基づき、代表的クロックを使用した場合のボー・レートの値を次に示します。 <table><tr><th>ϕ</th><th>33 MHz</th><th>25 MHz</th><th>20 MHz</th><th>16 MHz</th><th>12.5 MHz</th><th>10 MHz</th><th>8 MHz</th><th>5 MHz</th></tr><tr><td>ボー・レート</td><td>1031 K</td><td>781 K</td><td>625 K</td><td>500 K</td><td>390 K</td><td>312 K</td><td>250 K</td><td>156 K</td></tr></table> ・ SCLS = 0の場合 シリアル・クロック・ソースとして、ボー・レート・ジェネレータ出力が選択されます。 ボー・レート・ジェネレータの詳細に関しては、8.5 ボー・レート・ジェネレータ 0-3 (BRG0-BRG3) を参照してください。	ϕ	33 MHz	25 MHz	20 MHz	16 MHz	12.5 MHz	10 MHz	8 MHz	5 MHz	ボー・レート	1031 K	781 K	625 K	500 K	390 K	312 K	250 K	156 K
ϕ	33 MHz	25 MHz	20 MHz	16 MHz	12.5 MHz	10 MHz	8 MHz	5 MHz												
ボー・レート	1031 K	781 K	625 K	500 K	390 K	312 K	250 K	156 K												

注意 UARTが送受信中に、このレジスタを変更した場合のUARTの動作は保証しません。

備考 ϕ : 内部システム・クロック

	7	6	5	4	3	2	1	0		
ASIM1	0	0	0	0	0	0	NOT	EBS	アドレス FFFFFF0C2H	リセット時 00H

ビット位置	ビット名	意 味
1	NOT	Not TXD端子からの出力レベルを反転します。 0：出力レベルは反転しない 1：出力レベルを反転する レベルが反転してしまうような外部回路をTXD端子に付加したときに、この機能を使用してください。
0	EBS	Extended Bit Select パリティなし動作指定（PS0 = 0, PS1 = 0）時の送受信データの拡張ビット動作を指定します。 0：拡張ビット動作禁止 1：拡張ビット動作許可 拡張ビット指定時は、8ビットの送受信データの上に1データ・ビットが付加され、9ビット・データによる通信が可能になります。 拡張ビット動作は、ASIM0レジスタでパリティなし動作を指定した場合にのみ有効になります。0パリティ、奇数/偶数パリティ動作を指定した場合は、EBSビットの指定は無効になり、拡張ビットの付加動作は行われません。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

UARTの受信終了時のエラー・ステータスを示す3ビットのエラー・フラグおよび、送信ステータス・フラグから構成されるレジスタです。

受信エラーを示すステータス・フラグは、常に最も新しく発生したエラーの状態を示します。すなわち、受信データの読み出し前に複数回の同一エラーが発生した場合、最後に発生したエラーの状態のみ保持しています。

受信エラーが発生した場合は、ASISレジスタを読み出したあと、受信バッファRXB/RXBLのデータを読み出すことで、エラー・フラグをクリアしてください。

8/1ビット単位でリードのみ可能です。

	7	6	5	4	3	2	1	0		
ASIS	SOT	0	0	0	0	PE	FE	OVE	アドレス FFFFF0C4H	リセット時 00H

ビット位置	ビット名	意 味
7	SOT	Status Of Transmission 送信動作状態を示すステータス・フラグです。 セット（1）：送信開始タイミング（TXSレジスタへの書き込み） クリア（0）：送信終了タイミング（INTST発生） シリアル・データ転送を開始しようとする際に、送信シフト・レジスタへの書き込みが可能か否かを判別するための手段として使用します。
2	PE	Parity Error パリティ・エラーを示すステータス・フラグです。 セット（1）：送信パリティと受信パリティが一致しないとき クリア（0）：受信バッファからのデータ読み出し処理
1	FE	Framing Error フレーミング・エラーを示すステータス・フラグです。 セット（1）：ストップ・ビットが検出されないとき クリア（0）：受信バッファからのデータ読み出し処理
0	OVE	Overrun Error オーバラン・エラーを示すステータス・フラグです。 セット（1）：受信バッファから受信データを引き取る前に、UARTが次の受信処理を完了したとき クリア（0）：受信バッファからの受信データ読み出し処理 なお、1フレームの受信ごとに受信シフト・レジスタの内容が受信バッファに転送される構成のため、オーバラン・エラーが発生したときには、受信バッファに次の受信データが上書きされ、1回前の受信データは棄却されます。

(3) 受信バッファ (RXB, RXBL)

RXBは、受信データを保持する9ビットのバッファ・レジスタで、7，8ビット/キャラクタの受信では上位ビットには0が格納されます。

このレジスタへの16ビット・アクセス時はRXBを、下位8ビット・アクセス時はRXBLを指定します。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また、受信バッファへの転送により、受信完了割り込み要求 (INTSR) が発生します。

受信禁止状態中は、1フレーム分のシフト・イン処理が終了しても受信バッファへの転送処理は行われず、受信バッファの内容は保持されます。

また、受信完了割り込み要求も発生しません。

RXBは16ビット単位で、RXBLは8/1ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
RXB	0	0	0	0	0	0	0	RXEB	RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0	アドレス FFFFF0C8H	リセット時 不定
									7	6	5	4	3	2	1	0		
							RXBL		RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0	アドレス FFFFF0CAH	リセット時 不定

ビット位置	ビット名	意 味
8	RXEB	Receive Extended Buffer 9ビット/キャラクタ受信時の拡張ビットです。 7，8ビット/キャラクタの受信では0が読めます。
7-0	RXB7- RXB0	Receive Buffer 受信データを格納しています。 RXB7は、7ビット/キャラクタの受信では0が読めます。

(4) 送信シフト・レジスタ (TXS, TXSL)

TXSは、9ビットの送信処理用シフト・レジスタで、送信許可状態時にこのレジスタへデータを書き込むと、送信動作が開始されます。

送信禁止状態時に書き込みを行っても、値は無視されます。

TXSのデータを含む1フレームの送出終了に同期して送信完了割り込み要求 (INTST) を発生します。

このレジスタへの16ビット・アクセスはTXSを、下位8ビット・アクセス時はTXSLを指定します。

TXSは、16ビット単位で、またTXSLは、8ビット単位でライトだけ可能です。

TXS	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス FFFFF0CCH	リセット時 不定
	0	0	0	0	0	0	0	TXED	TXS7	TXS6	TXS5	TXS4	TXS3	TXS2	TXS1	TXS0		
TXSL									7	6	5	4	3	2	1	0	アドレス FFFFF0CEH	リセット時 不定
									TXS7	TXS6	TXS5	TXS4	TXS3	TXS2	TXS1	TXS0		

ビット位置	ビット名	意 味
8	TXED	Transmit Extended Data 9ビット/キャラクタ送信時の拡張ビットです。
7-0	TXS7- TXS0	Transmit Shifter 送信データを書き込みます。

注意 UARTは送信バッファを持たないため、送信完了（バッファへの転送完了）による割り込み要求ではなく、1フレーム分のデータの送出完了に同期した割り込み要求 (INTST) が発生します。

8.2.4 割り込み要求

UARTからは次の3種類の割り込み要求を発生します。

- ・受信エラー割り込み (INTSER)
- ・受信完了割り込み (INTSR)
- ・送信完了割り込み (INTST)

これら3種類の割り込み要求のデフォルト優先順位は受信エラー割り込みが最も高く、受信完了割り込み、送信完了割り込みの順に低くなります。

表8-1 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	1
受信完了	2
送信完了	3

(1) 受信エラー割り込み (INTSER)

受信許可状態中で、ASISレジスタで説明した3種類の受信エラーの論理和 (OR) で受信エラー割り込みを発生します。

受信禁止状態中は、受信エラー割り込みは発生しません。

(2) 受信完了割り込み (INTSR)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされ受信バッファに転送されると受信完了割り込みを発生します。

受信完了割り込み要求は、受信エラーが起こった場合にも発生しますが、受信エラー割り込みの方が処理の優先順位が高くなっています。

受信禁止状態中は、受信完了割り込みは発生しません。

(3) 送信完了割り込み (INTST)

UARTは送信バッファを持たないため、送信シフト・レジスタから7ビット/8ビット/9ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされると送信完了割り込みを発生します。

送信完了割り込みは、送信データの最終ビットを送信開始時に出力されます。

8.2.5 動作

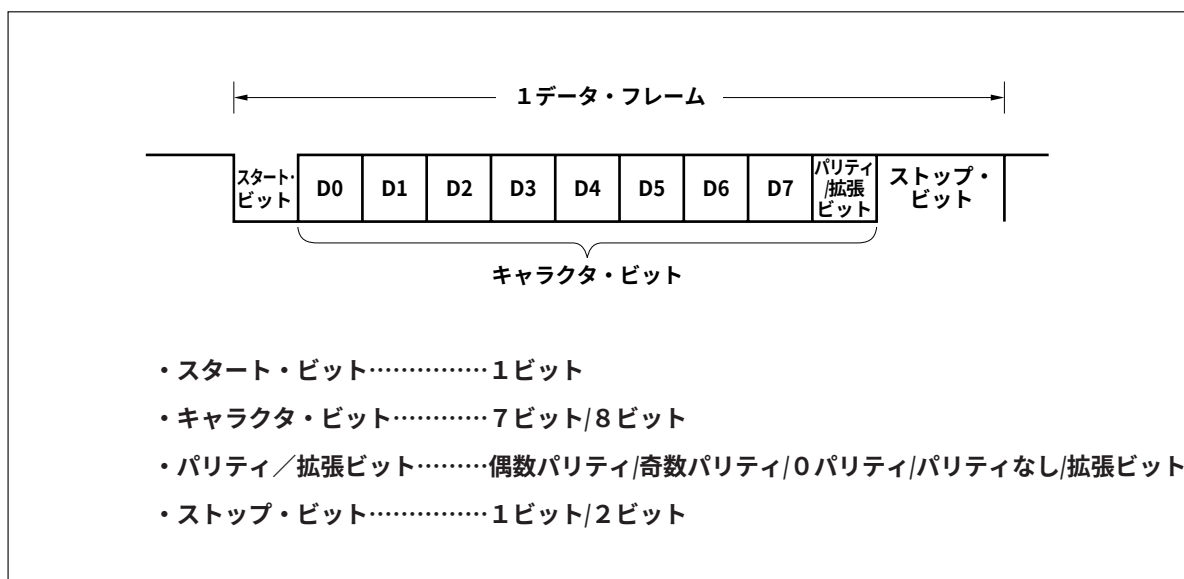
(1) データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図8-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIMn) によって行います。

図8-2 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



(2) 送信

送信シフト・レジスタ (TXSまたはTXSL) にデータを書き込むと送信が起動されます。送信完了割り込み (INTST) 処理ルーチンで次のデータをTXSまたはTXSLレジスタに書き込みます。

(a) 送信許可状態

ASIM0レジスタのTXEビットで設定します。

TXE = 1：送信許可状態

TXE = 0：送信禁止状態

ただし、送信許可状態にする場合、クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM0) のCTXE0, CRXE0ビットをともに“0”に設定してください。

UARTにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときは汎用入力ポートを使用してください。

(b) 送信動作の起動

送信許可状態では、送信シフト・レジスタ（TXSまたはTXSL）にデータを書き込むと送信動作が起動します。送信データは、スタート・ビットからLSB先頭で転送されます。スタート・ビット、パリティ／拡張ビット、ストップ・ビットは自動的に付加されます。

送信禁止状態では送信シフト・レジスタにデータは書き込めません。書き込みを行っても、値は無視されます。

(c) 送信割り込み要求

1 フレーム分のデータの送出が完了すると送信完了割り込み要求（INTST）を発生させます。

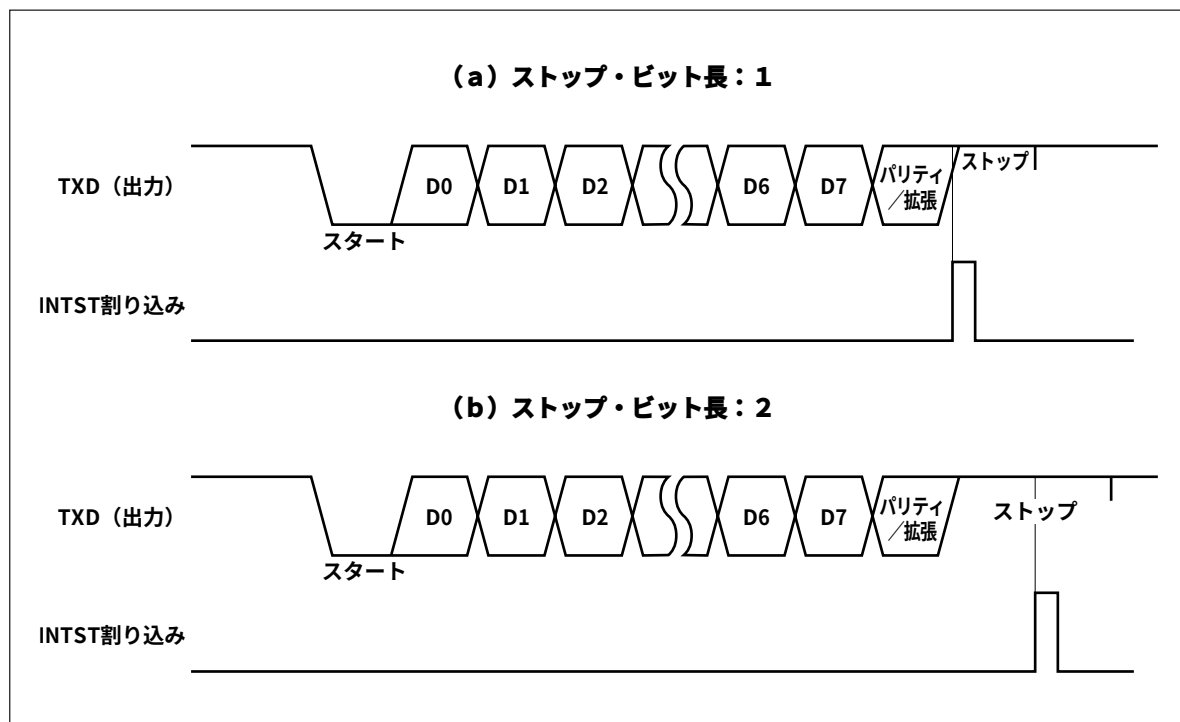
次に送信するデータをTXSまたはTXSLレジスタに書き込まなければ、送信動作は中断されます。

1つの送信が終了したあと、ただちに次の送信データをTXSまたはTXSLレジスタに書き込まなければ通信レートが低下します。

注意 1. 通常は送信シフト・レジスタ（TXSまたはTXSL）が空になった場合に送信完了割り込み（INTST）が発生します。しかし、 $\overline{\text{RESET}}$ 入力により、送信シフト・レジスタ（TXSまたはTXSL）が空になった場合、送信完了割り込み（INTST）は発生しません。

2. INTSTが発生するまでの送信動作中は、TXSまたはTXSLレジスタへ書き込んでも書き込みデータは無効となります。

図8-3 アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング



(3) 受信

受信許可状態にするとRXD端子のサンプリングを開始し、スタート・ビットを検出するとデータの受信を開始します。1フレームのデータ受信が終了するごとに受信完了割り込み（INTSR）が発生します。通常、この割り込み処理で受信バッファ（RXBまたはRXBL）からメモリに受信データを転送します。

(a) 受信許可状態

受信動作はASIMレジスタのRXEビットをセット（1）することにより許可状態となります。

RXE = 1：受信許可状態

RXE = 0：受信禁止状態

ただし、受信許可状態にする場合、クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のCTXE、CRXEビットをともに“0”に設定してください。

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。

このとき、受信完了割り込み/受信エラー割り込みは発生せず、受信バッファの内容は保持されます。

(b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ポー・レート・ジェネレータからのシリアル・クロックでRXD端子をサンプリングします。RXD端子の立ち下がりエッジを検出してから8シリアル・クロック後、再びRXD端子をサンプリングします。このときロウ・レベルを確認するとスタート・ビットと認識して受信処理動作に移り、以降16シリアル・クロック単位にRXD端子入力をサンプリングします。

RXD端子の立ち下がりエッジを検出してから8シリアル・クロック後のサンプリングでハイ・レベルを確認した場合、この立ち下がりエッジをスタート・ビットとは認めません。サンプル・タイミング発生用のシリアル・クロック・カウンタは初期化されて動作を停止し、次の立ち下がりエッジ入力を待ちます。

(c) 受信完了割り込み要求

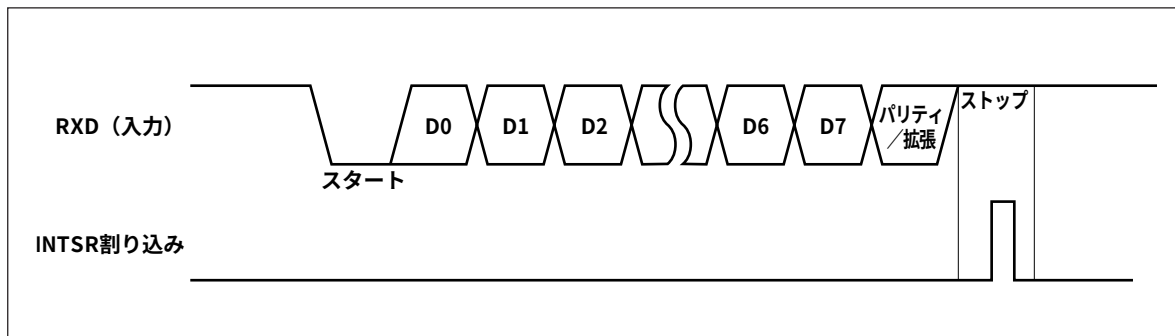
RXE = 1のとき、1フレーム分のデータの受信が完了すると、シフト・レジスタ内の受信データをRXBに転送し、受信完了割り込み要求（INTSR）が発生します。

また、エラーが発生した場合でも、受信バッファ（RXBまたはRXBL）にエラーの発生した受信データを転送し、受信完了割り込み（INTSR）、受信エラー割り込み（INTSER）を同時に発生します。

なお、受信動作中にRXEビットをリセット（0）すると、すぐに受信動作を停止します。このとき、受信バッファ（RXBまたはRXBL）とアシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）の内容は変化せず、受信完了割り込み（INTSR）、受信エラー割り込み（INTSER）も発生しません。

RXE = 0（受信禁止）では、受信完了割り込みは発生しません。

図8-4 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



(d) 受信エラー・フラグ

受信動作に同期して、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類のエラー・フラグが影響を受けます。

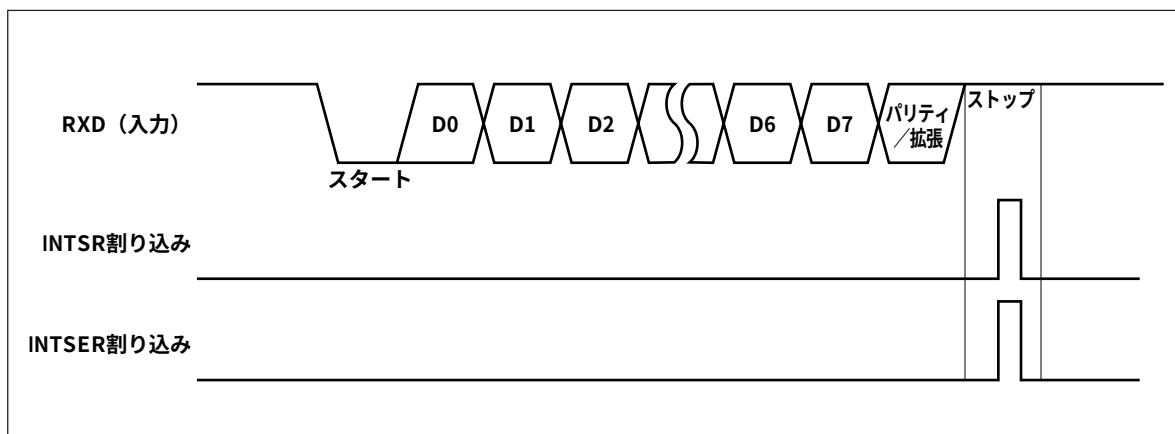
以上の3つの各エラー・フラグの論理和で、受信エラー割り込み要求が発生します。

受信エラー割り込み (INTSER) 内でASISレジスタの内容を読み出すことによって、どのエラーが受信時に発生したかを検出することができます。

ASISレジスタの内容は、受信バッファ (RXBまたはRXBL) を読み出すか、次のデータを受信することによってリセット (0) されます (次の受信データにエラーがあれば、そのエラー・フラグがセットされます)。

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

図8-5 受信エラー・タイミング



8.3 クロック同期式シリアル・インタフェース0-3 (CSI0-CSI3)

8.3.1 特 徴

- チャンネル数 4チャンネル (CSIn)
- ★ ○高速転送 CSI0, CSI2, CSI3 : 最大8.25 Mbps ($\phi/4$ 使用時, $\phi = 33$ MHz動作時)
CSI1 : 最大2.00 Mbps
- 半二重通信
- キャラクタ長 : 8ビット
- データのMSB先頭/LSB先頭を切り替え可能
- 外部シリアル・クロック入力/内部シリアル・クロック出力選択
- 3線式 SOn : シリアル・データ出力
SIn : シリアル・データ入力
 $\overline{\text{SCKn}}$: シリアル・クロック入出力
- 割り込みソース4種
 - ・送受信完了割り込み (INTCSIn)

備考 n = 0-3

ϕ : 内部システム・クロック

8.3.2 構 成

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIMn) によってCSInを制御します。
送受信データはシリアルI/Oシフト・レジスタ (SIOn) に読み出し/書き込みができます (n = 0-3)。

(1) クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM0-CSIM3)

CSIMnレジスタは、CSInの動作を指定する8ビット・レジスタです。

(2) シリアルI/Oシフト・レジスタ (SIO0-SIO3)

SIOnレジスタは、シリアル・データ $\leftrightarrow$ パラレル・データの変換を行う8ビット・レジスタです。

SIOnは送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

SIOnに対する読み出し/書き込みにより、実際の送受信動作が制御されます。

(3) セレクタ

使用するシリアル・クロックを選択します。

(4) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また、内部クロック使用時には
 $\overline{\text{SCKn}}$ 端子へ出力するクロックの制御も行います。

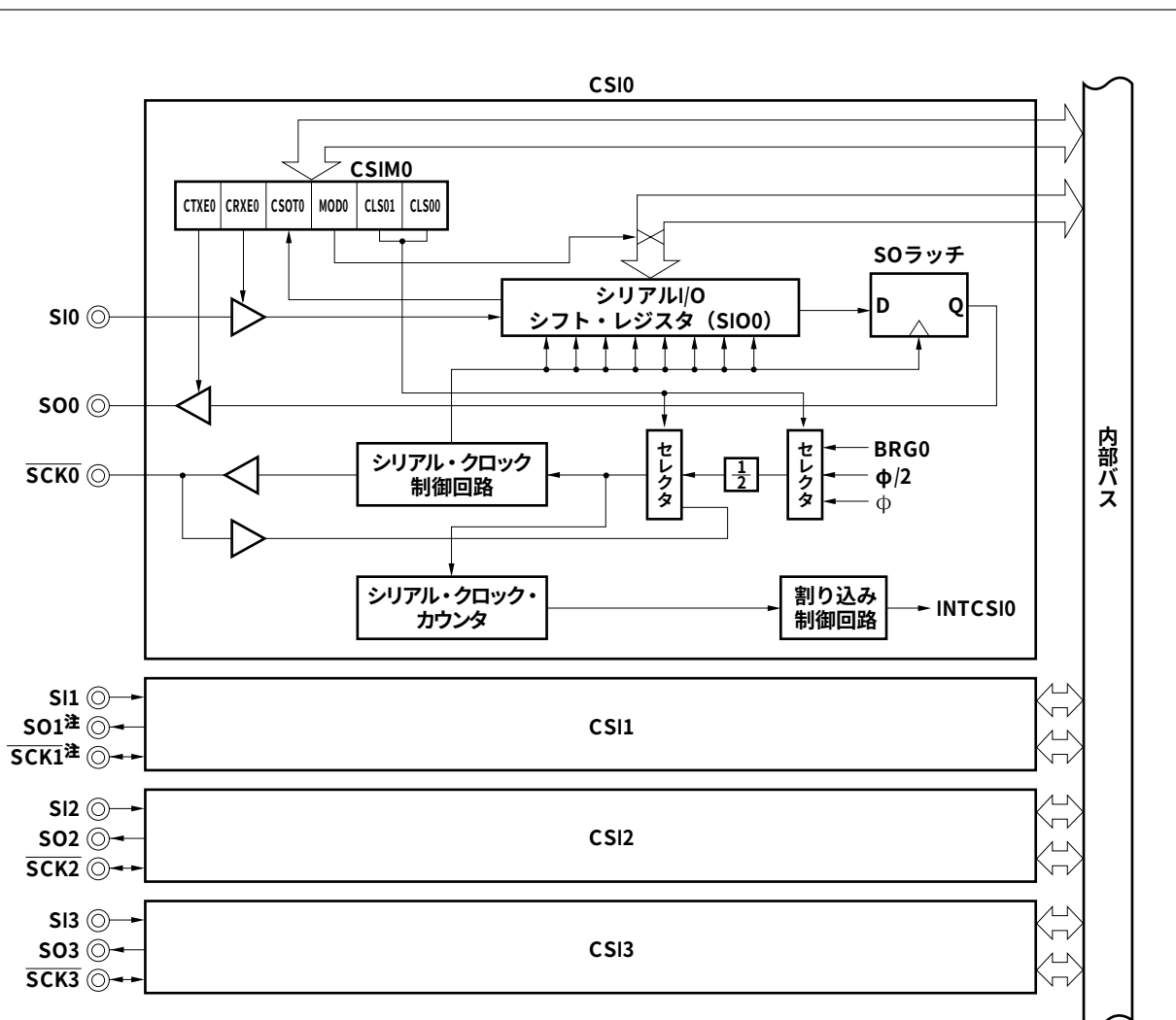
(5) シリアル・クロック・カウンタ

送信/受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み制御回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに、割り込み要求を発生するかしないかを制御します。

図8-6 クロック同期式シリアル・インタフェースのブロック図



注 この端子はオープン・ドレイン端子なので、使用時は抵抗を介してV_{DD}に接続してください。

備考 ϕ : 内部システム・クロック

8.3.3 制御レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ0-3 (CSIM0-CSIM3)

CSInの基本動作モードを指定します。

8/1ビット単位でリード/ライト可能です（ただし、ビット5はリードのみ可能です）。

	7	6	5	4	3	2	1	0		
CSIM0	CTXE0	CRXE0	CSOT0	0	0	MOD0	CLS01	CLS00	アドレス FFFFFF088H	リセット時 00H
CSIM1	CTXE1	CRXE1	CSOT1	0	0	MOD1	CLS11	CLS10	FFFFFF098H	00H
CSIM2	CTXE2	CRXE2	CSOT2	0	0	MOD2	CLS21	CLS20	FFFFFF0A8H	00H
CSIM3	CTXE3	CRXE3	CSOT3	0	0	MOD3	CLS31	CLS30	FFFFFF0B8H	00H

ビット位置	ビット名	意 味
7	CTXEn	CSI Transmit Enable 送信許可状態/禁止状態を指定します。 0：送信禁止状態 1：送信許可状態 CTXEn = “ 0 ” のときには、SOn, SIn端子はともにハイ・インピーダンスになります。
6	CRXEn	CSI Receive Enable 受信許可状態/禁止状態を指定します。 0：受信禁止状態 1：受信許可状態 送信許可（CTXEn = 1）かつ受信禁止のときに、シリアル・クロックが入力された場合には、シフト・レジスタには、“ 0 ” が入力されます。 受信中に受信禁止（CRXEn = 0）にした場合、SIOnレジスタの内容は不定になります。

備考 n = 0-3

ビット位置	ビット名	意 味
5	CSOTn	CSI Status Of Transmission 転送動作中であることを示します。 セット（1）：送信可能状態

備考 n = 0-3

注意 CLSn1, CLSn0ビットの設定は、送受信禁止（CTXEnビット = CRXEnビット = 0）の状態で行ってください。送受信禁止以外の状態でCLSn1, CLSn0ビットの設定を行うと、正常に動作しないことがあります。

(2) シリアルI/Oシフト・レジスタ0-3 (SIO0-SIO3)

8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。SIO_nレジスタに対するリード／ライトによって実際の送受信動作が制御されます。

CTXE = “ 1 ” またはCRXE = “ 1 ” のときにシフト動作を行います。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
SIO0	SIO07	SIO06	SIO05	SIO04	SIO03	SIO02	SIO01	SIO00	アドレス FFFFF08AH	リセット時 不定
SIO1	SIO17	SIO16	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10	FFFFF09AH	不定
SIO2	SIO27	SIO26	SIO25	SIO24	SIO23	SIO22	SIO21	SIO20	FFFFF0AAH	不定
SIO3	SIO37	SIO36	SIO35	SIO34	SIO33	SIO32	SIO31	SIO30	FFFFF0BAH	不定

ビット位置	ビット名	意 味
7-0	SIO _n 7- SIO _n 0 (n = 0-3)	Serial I/O データは、MSBまたはLSB側からシフト・イン（受信）またはシフト・アウト（送信）します。

8.3.4 基本動作

(1) 転送フォーマット

CSIは、1本のクロック・ラインと2本のデータ・ラインの3線でインタフェースします。

シリアル転送は、SIO_nレジスタに対する転送データの書き込み命令を実行することによりスタートします。

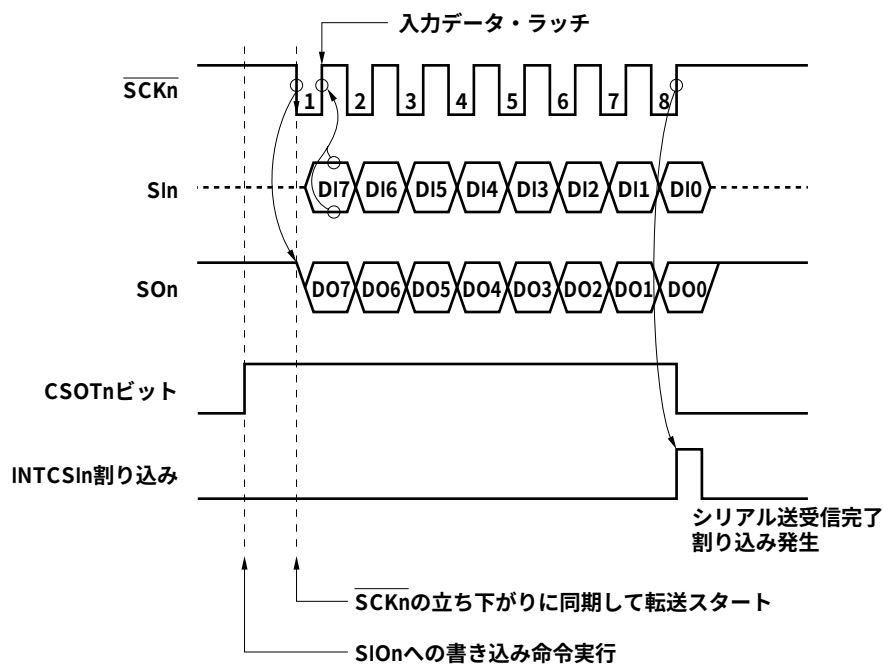
送信の場合には $\overline{\text{SCKn}}$ の立ち下がりに同期してSO_n端子からデータが出力されます。

受信の場合には $\overline{\text{SCKn}}$ の立ち上がりに同期してSI_n端子の入力データをラッチします。

シリアル・クロック・カウンタのオーバフロー（8カウント目の立ち上がり）で $\overline{\text{SCKn}}$ は停止し、次のデータの送信または受信動作が起動されるまで $\overline{\text{SCKn}}$ はハイ・レベルを保持します。同時に、送受信完了割り込み（INTCSI）を発生します。

注意 SIO_nレジスタに送信データをライトしておいてCTXE = 0→1にしてもシリアル転送は行いません。

備考 n = 0-3



備考 n = 0-3

(2) 送受信許可

CSInは、それぞれ8ビット・シフト・レジスタを1つしか持たず、バッファも持っていないため、基本的に送信および受信は同時に行います。

(a) 送受信許可条件

CSInの送受信許可条件の指定は、CSIMnレジスタのCTXEn, CRXEnビットで行います。

CTXEn	CRXEn	送受信動作
0	0	送受信禁止
0	1	受信許可
1	0	送信許可
1	1	送受信許可

備考 n=0-3

備考1. CTXEnビット=0の場合には、CSInのSOn端子出力はハイ・インピーダンスになります。

CTXEnビット=1の場合には、CSInのSIOnレジスタのデータが出力されます。

2. CRXEnビット=0の場合には、シフト・レジスタ入力は“0”になります。

CRXEnビット=1の場合には、シリアル入力がシフト・レジスタに入力されます。

3. 送信データを自分自身で受信し、バスの競合が発生していないかチェックするためにはCTXEnビット=CRXEnビット=1にします。

(b) 送受信動作の起動

送受信動作の起動（スタート）はSIOnレジスタに対するリード／ライトによります。送信・受信のスタート制御は送信許可ビット（CTXEn），受信許可ビット（CRXEn）を下記のように設定することにより行います。

CTXEn	CRXEn	スタート条件
0	0	スタートしない
0	1	SIOnレジスタ読み出し
1	0	SIOnレジスタ書き込み
1	1	SIOnレジスタ書き込み
0	0→1	CRXEnビット書き換え

備考 n=0-3

CTXEnビットが“0”のときにSIOnレジスタをリード／ライトし、その後“1”にしても転送はスタートしません。

また、CTXEnビットが“0”のときにCRXEnビットを“0”→“1”にすると、シリアル・クロックが発生し、受信動作を開始します。

8.3.5 CSI0-CSI3での送信

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）により送信許可に設定したあと、SIO_nレジスタに書き込みを行うと、送信動作が起動します（n = 0-3）。

（1）送信動作を起動する

送信動作の起動は、クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）のCTXEビットをセットして（CRXEビットには“0”をセット）、シフト・レジスタ（SIO_n）へ送信データを書き込むことで行います。

なお、CTXEビットがリセット（0）されているときは、SOn端子はハイ・インピーダンス状態となります。

（2）シリアル・クロックに同期してデータを送信する

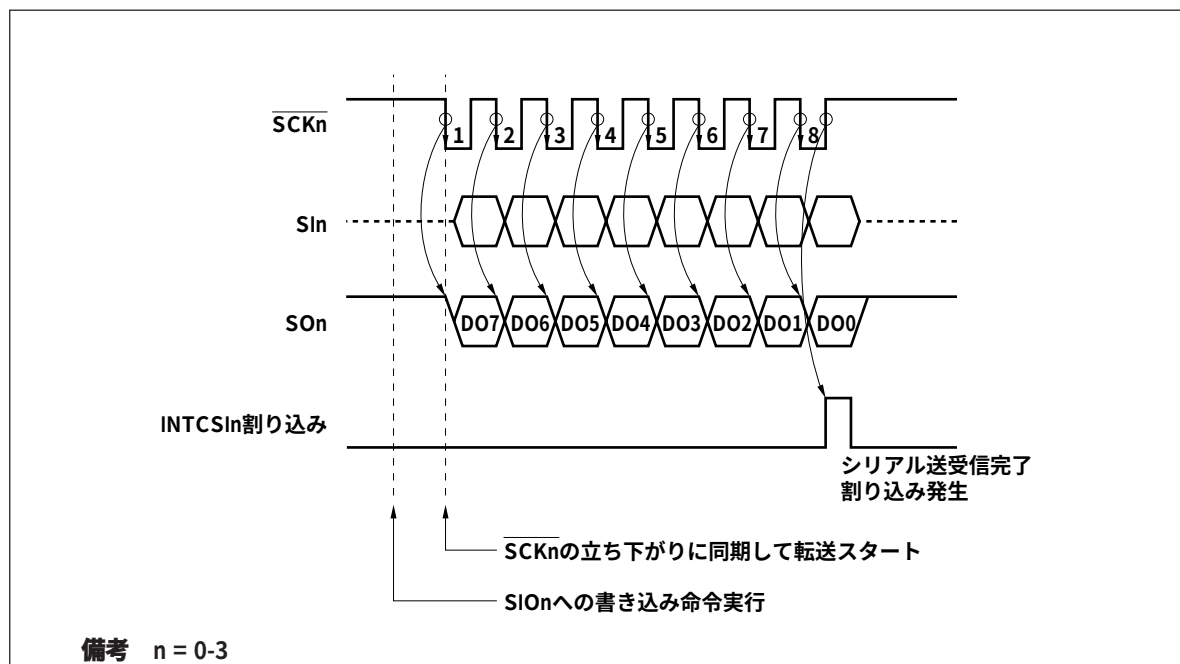
（a）シリアル・クロックとして内部クロックを選択した場合

送信が起動されると、シリアル・クロックをSCK_n端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIO_nからデータをSOn端子へ順次出力します。

（b）シリアル・クロックとして外部クロックを選択した場合

送信が起動されると、送信起動後にSCK_n端子へ入力されたシリアル・クロックの立ち下がりに同期してSIO_nからデータをSOn端子へ順次出力します。送信が起動されていないときに、シリアル・クロックをSCK_n端子へ入力してもシフト動作は行われず、SOn端子の出力レベルは変化しません。

図8-7 3線式シリアル/I/Oモードのタイミング（送信）



8.3.6 CSI0-CSI3での受信

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）により、受信禁止から受信許可に状態を変える、または受信許可状態でSIO_nレジスタを読み出すと受信動作は起動されます（n = 0-3）。

（1）受信動作を起動する

受信動作の起動には、次の2つの方法があります。

- ① CSIMnレジスタのCRXEnビットを受信禁止状態“0”から受信許可状態“1”へ変化させた場合
- ② CSIMnレジスタのCRXEnビットが受信許可状態“1”のときにシフト・レジスタ（SIO_n）から受信データを読み出した場合

CSIMnレジスタのCRXEnビットをセット（1）した状態で、再び“1”を書き込んでも受信動作は起動されません。なお、CRXEnビット = 0のときは、シフト・レジスタ入力は“0”になります。

（2）シリアル・クロックに同期してデータを受信する

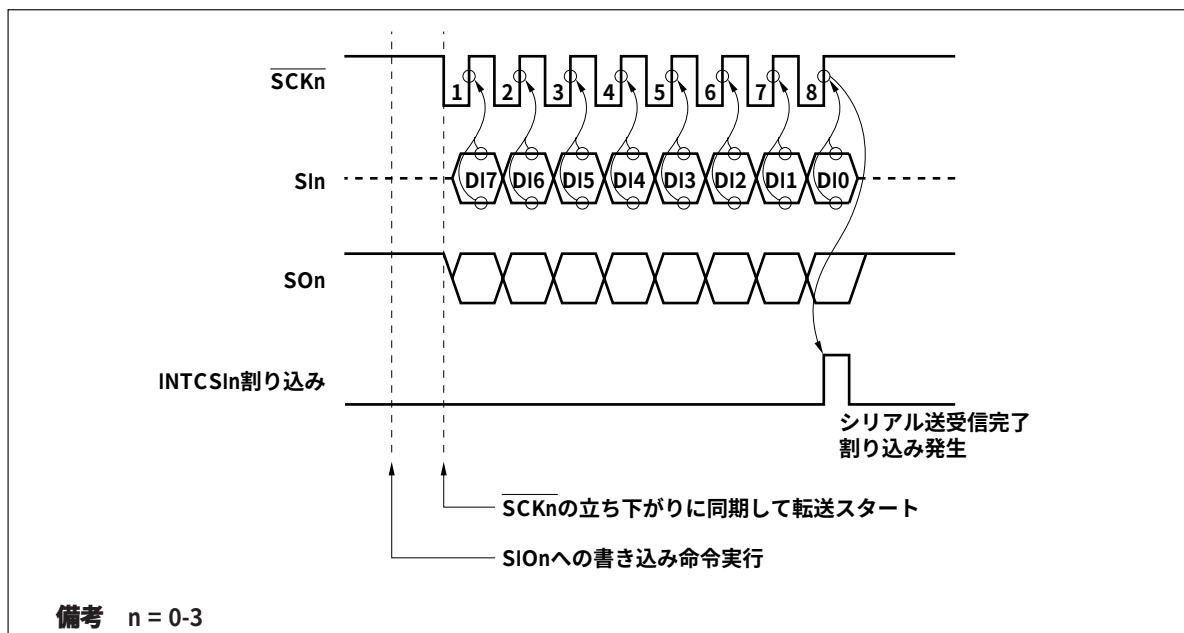
（a）シリアル・クロックとして内部クロックを選択した場合

受信が起動されると、シリアル・クロックをSCK_n端子から出力し、同時にシリアル・クロックの立ち上がりに同期してSIn端子のデータをSIO_nへ順次取り込みます。

（b）シリアル・クロックとして外部クロックを選択した場合

受信が起動されると、受信起動後にSCK_n端子へ入力されたシリアル・クロックの立ち上がりに同期してSIn端子のデータをSIO_nへ順次取り込みます。受信が起動されていないときに、シリアル・クロックをSCK_n端子へ入力してもシフト動作は行いません。

図8-8 3線式シリアルI/Oモードのタイミング（受信）



8.3.7 CSI0-CSI3での送受信

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）により、送信と受信をともに許可状態にすると、送信動作と受信動作を同時に行うことができます（n = 0-3）。

（1）送受信動作を起動する

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIMn）のCTXEnビットとCRXEnビットが両方ともセット（1）されているときは、送信動作と受信動作を同時に行うことができます（送受信動作）。

送受信動作の起動は、CSIMnレジスタのCTXEn、CRXEnビットがともに“1”（送受信許可状態）のとき、シフト・レジスタn（SIO_n）に送信データを書き込むことで行います。

CSIMnレジスタのCRXEnビットが“1”の状態で、再び“1”を書き込んでも送受信動作は起動されません。

（2）シリアル・クロックに同期してデータを送信する

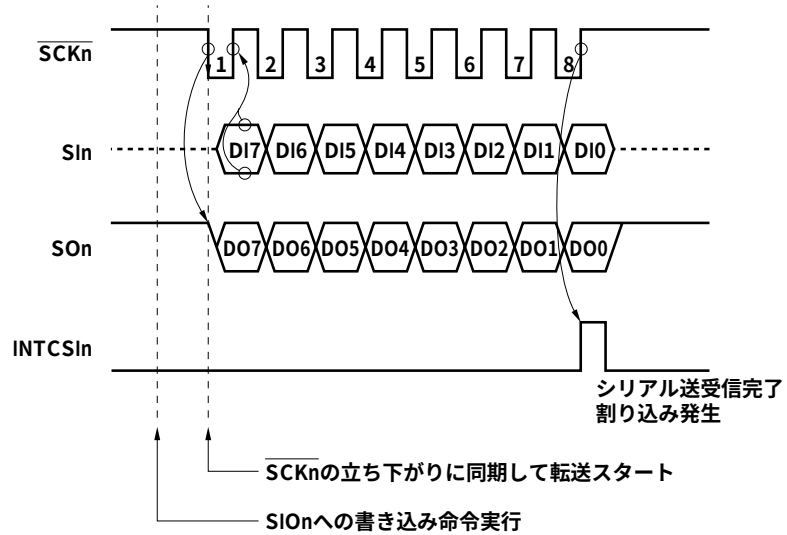
（a）シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると、シリアル・クロックを $\overline{\text{SCKn}}$ 端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIO_nからデータをSON端子へ順次出力します。また、シリアル・クロックの立ち上がりに同期してSIn端子のデータをSIO_nへ順次取り込みます。

（b）シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると、送受信起動後に $\overline{\text{SCKn}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期してSIO_nからSON端子へデータが順次出力します。シリアル・クロックの立ち上がりに同期してSIn端子のデータをSIO_nへ順次取り込みます。送受信が起動されていないときに、シリアル・クロックを $\overline{\text{SCKn}}$ 端子へ入力してもシフト動作は行わず、SON端子の出力レベルは変化しません。

図8-9 3線式シリアルI/Oモードのタイミング（送受信）



備考 n = 0-3

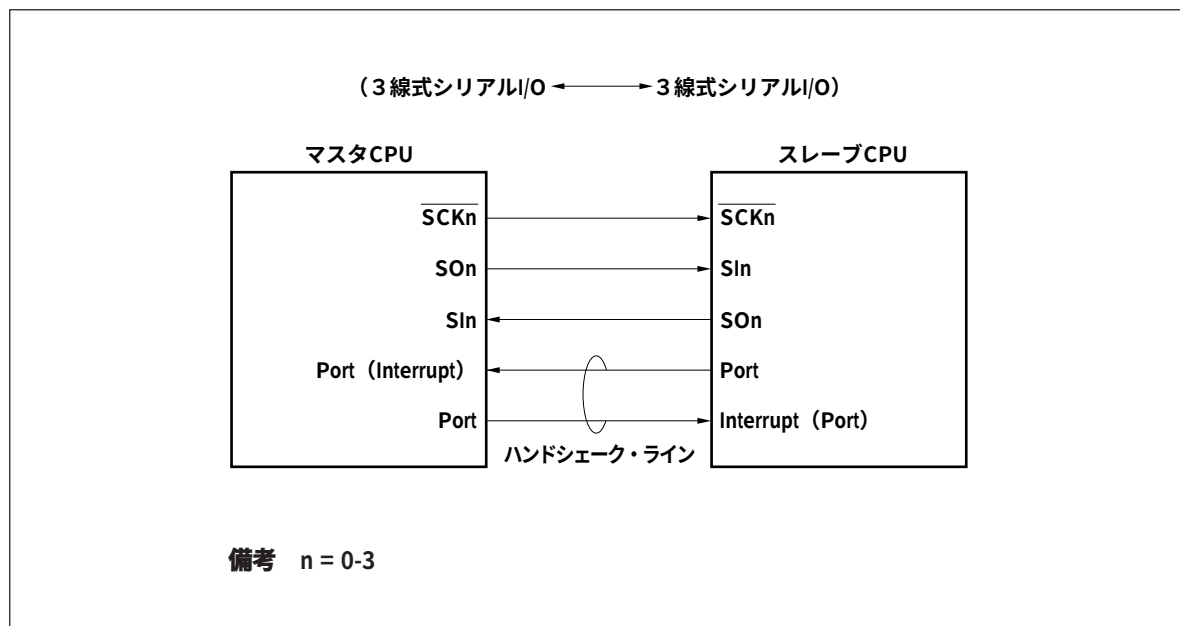
8.3.8 システム構成例

シリアル・クロック ($\overline{\text{SCKn}}$) と、シリアル入力 (SIn) , シリアル出力 (SOn) の3種類の信号線によって、8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です。

複数のデバイスと接続する場合は、ハンドシェーク用のラインが必要です。

通信先頭ビットがMSBまたはLSBに選択できるので、さまざまなデバイスと通信することができます。

図8-10 CSIのシステム構成例



8.4 I²Cバス（ μ PD703008Y, 70F3008Yのみ）

8.4.1 特 徴

- I²Cバス・フォーマットに準拠
- マルチマスタのシリアル・バス
- シリアル・データの自動判別機能
 - ・転送速度 標準モード：100 Kbps（MAX.）
高速モード：400 Kbps（MAX.）
- アドレスによるチップ・セレクト
- ウェーク・アップ機能
- アクノリッジ信号（ $\overline{\text{ACK}}$ ）制御機能
- ウェイト信号（ $\overline{\text{WAIT}}$ ）制御機能
- アービトレーション制御機能
- 衝突検出機能

8.4.2 機 能

I²Cバスには、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C（Inter IC）バス・モード（マルチマスタ対応）

（1）動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

（2）I²Cバス・モード（マルチマスタ対応）

シリアル・クロック（SCL）と、シリアル・データ・バス（SDA）の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”，“データ”，および“ストップ・コンディション”を出力することができます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

またSCLとSDAはオープン・ドレイン出力になっているため、シリアル・クロック・ラインとシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

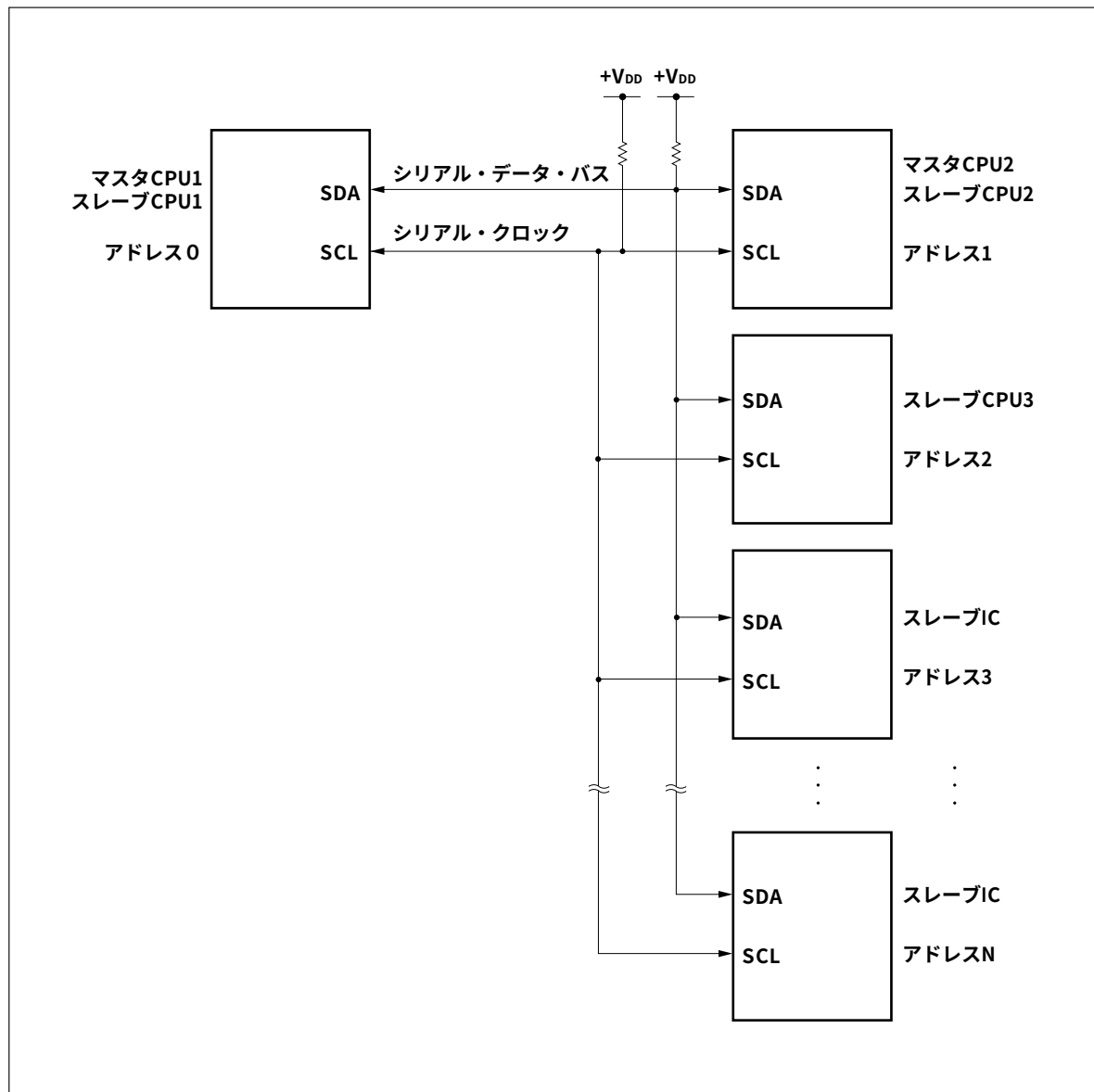
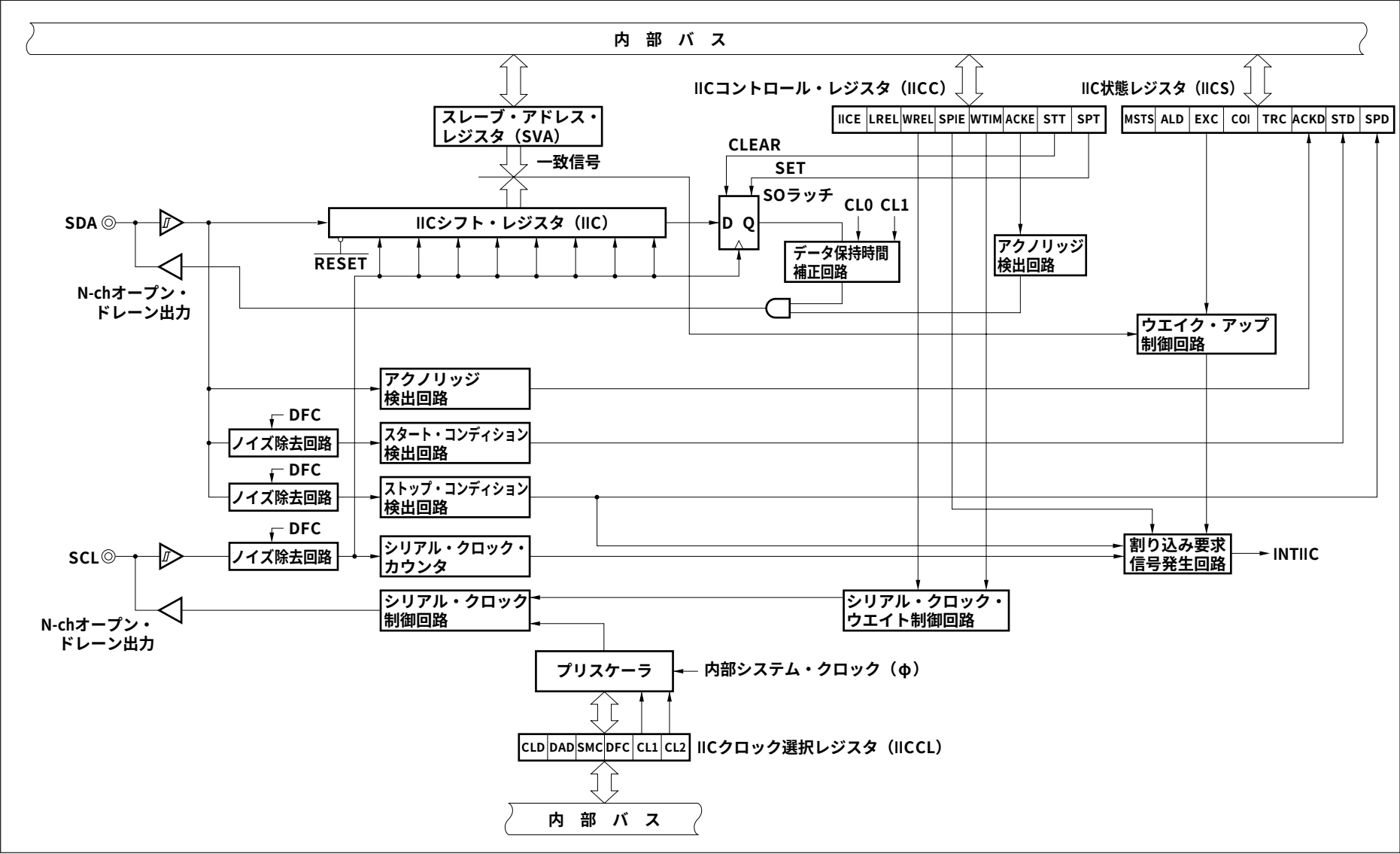
図8-11 I²Cバスによるシリアル・バス構成例

図 8-12 I²Cバスのブロック図



8.4.3 構 成

I²Cバスは、次のハードウェアで構成しています。

表8-2 I²Cバスの構成

項 目	構 成
レジスタ	IICシフト・レジスタ (IIC) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	IICクロック選択レジスタ (IICCL) IIC状態レジスタ (IICS) IICコントロール・レジスタ (IICC)

(1) IICシフト・レジスタ (IIC)

IICは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICは送信および受信の両方に使用されます。

IICに対する書き込み／読み出しにより、実際の送受信動作が制御されます。

8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により00Hとなります。

(2) スレーブ・アドレス・レジスタ (SVA)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。8ビット・メモリ操作命令で設定します。 $\overline{\text{RESET}}$ 入力により00Hとなります。

(3) SOラッチ

SOラッチは、SDA端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ (SVA) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求を発生させる回路です。

(5) クロック・セクタ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目（WTIMビット[※]で設定）
- ・ストップ・コンディション検出による割り込み発生（SPIEビット[※]で設定）

注 WTIMビット : IICコントロール・レジスタ (IICC) のビット3

SPIEビット : // のビット4

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

**(10) アクノリッジ出力回路, ストップ・コンディション検出回路, スタート・コンディション検出回路,
アクノリッジ検出回路**

各種制御信号の出力および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

8.4.4 シリアル・インタフェース制御レジスタ

I²Cバスは、次の3種類のレジスタで制御します。

- IICコントロール・レジスタ (IICC)
- IIC状態レジスタ (IICS)
- IICクロック選択レジスタ (IICCL)

また、次のレジスタも使用します。

- IICシフト・レジスタ (IIC)
- スレーブ・アドレス・レジスタ (SVA)

(1) IICコントロール・レジスタ (IICC)

I²Cの動作許可／禁止、ウェイト・タイミングの設定、その他I²Cの動作の設定を行うレジスタです。

IICCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。

RESET入力により、00Hになります。

	7	6	5	4	3	2	1	0		
IICC	IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT	アドレス FFFFF0E0H	リセット時 00H

ビット位置	ビット名	意 味
7	IICE	I ² C Enable I ² Cの動作の許可／禁止を選択します。IICCのデータはクリアされません。 0：I ² Cの動作停止。IIC状態レジスタ (IICS) をプリセット、内部動作も停止。 1：I ² Cの動作許可 セット条件：命令 クリア条件：命令、リセット入力
6	LREL	Line Release 現在行っている通信から退避し、バスを解放して次の通信の開始を待ちます。 0：通常動作 1：通信から退避後、待機状態 自局に関係ない拡張コードを受信したときなどに使用します。SCL, SDAラインはハイ・インピーダンスになります。また、次のフラグはクリアされます。 EXC, ACKD, COI, MSTs, TRC, STD セット条件：命令 クリア条件：リセット入力、または実行後自動的にクリアされます。

ビット位置	ビット名	意 味
5	WREL	Wait Release ウェイトを解除するかどうかを選択します。 0：ウェイトを解除しない 1：ウェイトを解除する セット条件：命令 クリア条件：リセット入力、または実行後自動的にクリアされます。 注意 TRC = 1のとき、9クロック目にWRELをセットしてウェイトを解除すると、TRCをクリアしてSDAラインをハイ・インピーダンスにします。
4	SPIE	Stop Condition Interrupt Enable ストップ・コンディション検出によるINTIIC割り込み要求発生時の許可／禁止を選択します。 0：禁止 1：許可 セット条件：命令 クリア条件：命令、リセット入力
3	WTIM	Wait Timing ウェイトおよび割り込み要求の発生を制御します。 0：8クロック目の立ち下がりで割り込み要求発生 マスタ時：8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブ時：8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト 1：9クロック目の立ち下がりで割り込み要求発生 マスタ時：9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブ時：9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト アドレス転送中はこのビットの設定は無効になり、EXC = 1の場合は8クロック目、COI = 1の場合は9クロック目に強制的にウェイトが入ります。そのあとこのビットの設定が有効になります。またマスタ時、アドレス転送中は9クロック目にウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ発生後の9クロック目の立ち下がりウェイトに入ります。 セット条件：命令 クリア条件：命令、リセット入力

ビット位置	ビット名	意味
2	ACKE	Acknowledge Enable アクノリッジを制御します。 0：アクノリッジ禁止 1：アクノリッジ自動出力許可。9クロック期間中にSDAラインをロウ・レベルにします。ただし、アドレス転送中は無効、EXC = 1の場合は有効です。 セット条件：命令 クリア条件：命令、リセット入力
1	STT	Start Condition Trigger スタート・コンディションを生成するかどうかを選択します。 0：生成しない 1：生成する バスが解放されているとき（ストップ状態）：SDAラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成します（マスタとして起動）。そのあと、規格の時間を確保し、SCLをロウ・レベルにします。 バスに参加していないとき（STD = 1後STTがセットされた場合）：このビットはスタート・コンディション予約フラグとして機能し、セットされるとバスが解放されたあと自動的にスタート・コンディションを生成します。 セット条件：命令 クリア条件：命令、リセット入力、マスタ時にスタート・コンディションが検出された場合（MSTS = 1かつSTD = 1）、またはアービトレーションに負けた場合
0	SPT	Stop Condition Trigger ストップ・コンディションを生成するかどうかを選択します。 通信初期にこのビットをセットすると、SDAラインにロウ・レベルを出力し、ストップ・コンディションを生成します。 0：生成しない 1：生成する SDAラインをロウ・レベルにしたあとSCLラインをハイ・レベルにするか、またはSCLがハイ・レベルになるのを待ちます。そのあと、規格の時間を確保し、SDAラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成します。 セット条件：命令 クリア条件：命令、リセット入力、ストップ・コンディションが検出された場合、またはアービトレーションに負けた場合

注意 動作許可（IICE = 1）後、最初にストップ・コンディションを検出するまでの間にマスタの送受信を行う場合は、一度SPTビットをセットしてストップ・コンディションを生成してください。

(2) IIC状態レジスタ (IICS)

I²Cのステータスを表すレジスタです。

IICSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で操作します。IICSは、読み出しのみ可能です。

$\overline{\text{RESET}}$ 入力により、00Hになります。

	7	6	5	4	3	2	1	0		
IICS	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD	アドレス FFFFF0E2H	リセット時 00H

ビット位置	ビット名	意 味
7	MSTS	Master Status マスタの状態を示します。 0：スレーブ状態，または通信待機状態 1：マスタ状態 セット条件：スタート・コンディション生成 クリア条件：ストップ・コンディション検出，ALD = 1, LREL = 1, IICE = 1→0, またはリセット入力
6	ALD	Arbitration Defeat アービトレーション負けを検出します。 0：アービトレーションが起こっていない状態，またはアービトレーションに勝った状態 1：アービトレーションに負けた状態。MSTSフラグがクリアされます。 セット条件：アービトレーション負け クリア条件：IICE = 0, リセット入力, IICSリード後 IICSレジスタのほかのビットに対しビット操作命令を実行した場合
5	EXC	Extension Code 拡張コードの受信を示します。 0：拡張コードを受信していない 1：拡張コードを受信 セット条件：受信したアドレスの上位4ビットが0000か1111（8クロック目の立ち上がり にセット） クリア条件：スタート・コンディション検出，ストップ・コンディション検出，LREL = 1, IICE = 0, またはリセット入力

ビット位置	ビット名	意味
4	COI	Coincident Address 受信アドレスと自局アドレスの一致を示します。 0：アドレスが一致していない 1：アドレスが一致 セット条件：受信アドレスが自局アドレス（SVA）と一致（8クロック目の立ち上がり にセット） クリア条件：スタート・コンディション検出，LREL = 1, IICE = 0, またはリセット入力
3	TRC	Transmit/Receive Condition 現在の通信状態を示します。 0：受信状態（送信状態以外）。SDAラインをハイ・インピーダンスにします。 1：送信状態。SDAラインにSOラッチの値が出力できるようにします（1バイト目の9 クロック目の立ち下がり以降有効）。 セット条件：マスタ時はスタート・コンディション生成（STD = 1かつMSTS = 1） スレーブ時は1バイト目のLSB（転送方向指定ビット）に1を入力 クリア条件：LREL = 1, IICE = 0, ALD = 1, リセット入力，ストップ・コンディション検出 マスタ時は1バイト目のLSB（転送方向指定ビット）に1を出力 スレーブ時はスタート・コンディション検出（STD = 1かつMSTS = 0） 通信不参加のとき
2	ACKD	Acknowledge Detected アクノリッジ信号の検出を示します。 0：検出していない 1：検出 セット条件：SCLの9クロック目の立ち上がりでSDAラインがロウ・レベル クリア条件：LREL = 1, 次のバイトの1クロック目の立ち上がり，ストップ・コンディショ ン検出，IICE = 0, またはリセット入力
1	STD	Start Condition Detected スタート・コンディションの検出を示します。 0：スタート・コンディションを検出していない 1：スタート・コンディションを検出。アドレス転送期間であることを示します。 セット条件：スタート・コンディション検出 クリア条件：ストップ・コンディション検出，LREL = 1, アドレス転送期間の次のバイト の1クロック目の立ち上がり，IICE = 0, またはリセット入力

ビット位置	ビット名	意 味
0	SPD	Stop Condition Detected ストップ・コンディションの検出を示します。 0：ストップ・コンディションを検出していない 1：ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放されます。 セット条件：ストップ・コンディション検出 クリア条件：このビットのセット後で、スタート・コンディション検出後のアドレス転送バ イトの1クロック目の立ち上がり、IICE = 0, またはリセット入力 スタート・コンディションがなくてもクロックが入力されるとクリアされる

(3) IICクロック選択レジスタ (IICCL)

I²Cの転送クロックを設定するレジスタです。

IICCLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

	7	6	5	4	3	2	1	0	アドレス	リセット時
IICCL	0	0	CLD ^注	DAD ^注	SMC	DFC	CL1	CL0	FFFF0E4H	00H

ビット位置	ビット名	意 味
5	CLD	SCL Level Detected SCLラインのレベル検出結果を示します。IICE = 1のときだけ有効です。 0：SCLラインがロウ・レベル 1：SCLラインがハイ・レベル
4	DAD	SDA Level Detected SDAラインのレベル検出結果を示します。IICE = 1のときだけ有効です。 0：SDAラインがロウ・レベル 1：SDAラインがハイ・レベル
3	SMC	Speed Mode Control 動作モードを切り替えます。 0：標準モード 1：高速モード

ビット位置	ビット名	意 味																																																	
2	DFC	Digital Filter Condition ディジタル・フィルタの動作の許可／禁止を設定します。 0：オフ 1：オン ディジタル・フィルタは高速モード時に使用できます。ディジタル・フィルタを使用すると反応は遅くなります。																																																	
1, 0	CL1, CL0	Clock システム・クロックに応じて内部クロックを選択します。 <table><tr><th rowspan="3">CL1</th><th rowspan="3">CL0</th><th colspan="3">標準モード</th><th colspan="3">高速モード</th></tr><tr><th colspan="2">転送クロック</th><th rowspan="2"></th><th colspan="2">転送クロック</th></tr><tr><th>DFC = 0</th><th>DFC = 1</th><th>DFC = 0</th><th>DFC = 1</th></tr><tr><td>0</td><td>0</td><td>φ = 4.0-8.0 MHz</td><td>φ/88</td><td>φ/92</td><td>φ = 8.0-16.0 MHz</td><td>φ/48</td><td>φ/48</td></tr><tr><td>0</td><td>1</td><td>φ = 10.0-16.0 MHz</td><td>φ/172</td><td>φ/176</td><td>φ = 8.0-16.0 MHz</td><td>φ/48</td><td>φ/48</td></tr><tr><td>1</td><td>0</td><td>φ = 16.0-33.0 MHz</td><td>φ/344</td><td>φ/352</td><td>φ = 16.0-33.0 MHz</td><td>φ/96</td><td>φ/96</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td><td>—</td><td>—</td><td>設定禁止</td><td>—</td><td>—</td></tr></table> 備考 φ：内部システム・クロック	CL1	CL0	標準モード			高速モード			転送クロック			転送クロック		DFC = 0	DFC = 1	DFC = 0	DFC = 1	0	0	φ = 4.0-8.0 MHz	φ/88	φ/92	φ = 8.0-16.0 MHz	φ/48	φ/48	0	1	φ = 10.0-16.0 MHz	φ/172	φ/176	φ = 8.0-16.0 MHz	φ/48	φ/48	1	0	φ = 16.0-33.0 MHz	φ/344	φ/352	φ = 16.0-33.0 MHz	φ/96	φ/96	1	1	設定禁止	—	—	設定禁止	—	—
CL1	CL0	標準モード			高速モード																																														
		転送クロック				転送クロック																																													
		DFC = 0	DFC = 1	DFC = 0		DFC = 1																																													
0	0	φ = 4.0-8.0 MHz	φ/88	φ/92	φ = 8.0-16.0 MHz	φ/48	φ/48																																												
0	1	φ = 10.0-16.0 MHz	φ/172	φ/176	φ = 8.0-16.0 MHz	φ/48	φ/48																																												
1	0	φ = 16.0-33.0 MHz	φ/344	φ/352	φ = 16.0-33.0 MHz	φ/96	φ/96																																												
1	1	設定禁止	—	—	設定禁止	—	—																																												

★ 注 ビット4，ビット5はRead Onlyです。

(4) IICシフト・レジスタ (IIC)

このレジスタは、シリアル・クロックに同期してシリアル送受信（シフト動作）を行うためのものです。

8/1ビット単位でリード／ライト可能ですが、データ転送中にIICレジスタへデータを書き込まないでください。

★ 注意 リスタート時動作において、IICシフト・レジスタにアドレス・データを書き込むのは、スタート・コンディション・トリガがクリアされ、かつスタート・コンディションが検出されたあとに行ってください。

		7	6	5	4	3	2	1	0
IIC		IIC07	IIC06	IIC05	IIC04	IIC03	IIC02	IIC01	IIC00
								アドレス	リセット時
								FFFFFF0E6H	00H

(5) スレーブ・アドレス・レジスタ (SVA)

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。

8/1ビット単位でリード／ライト可能ですが、ビット0は0に固定されています。

	7	6	5	4	3	2	1	0	
SVA	SVA07	SVA06	SVA05	SVA04	SVA03	SVA02	SVA01	0	アドレス FFFFFF0E8H
									リセット時 00H

8.4.5 I²Cバスの機能**(1) 端子構成**

シリアル・クロック端子 (SCL) と、シリアル・データ・バス端子 (SDA) の構成は、次のようになっています。

(a) SCL……………シリアル・クロックを入出力するための端子

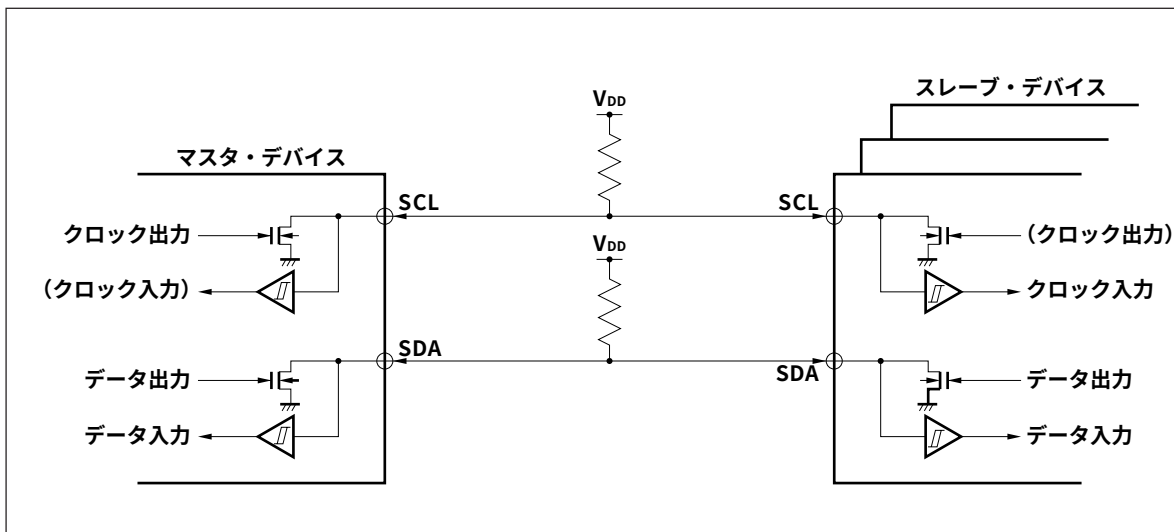
マスタ、スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

(b) SDA……………シリアル・データの入出力兼用端子

マスタ、スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図8-13 端子構成図

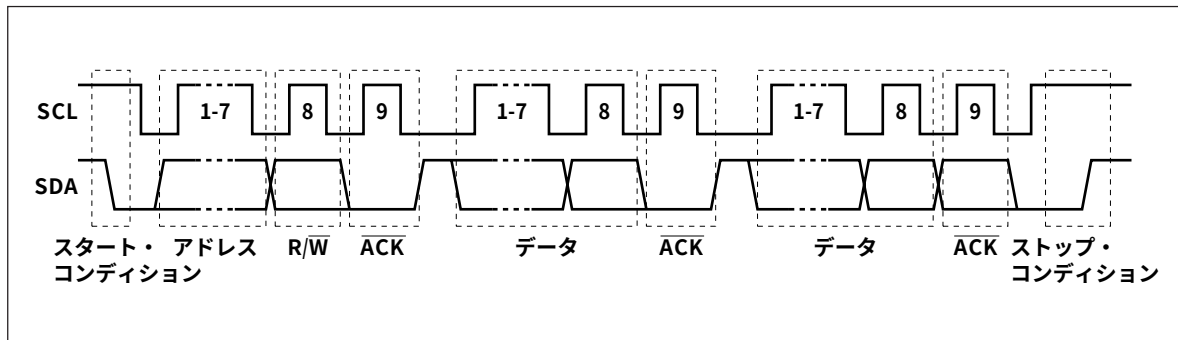


8.4.6 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”，“データ”，および“ストップ・コンディション”の各転送タイミングを図8-14に示します。

図8-14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

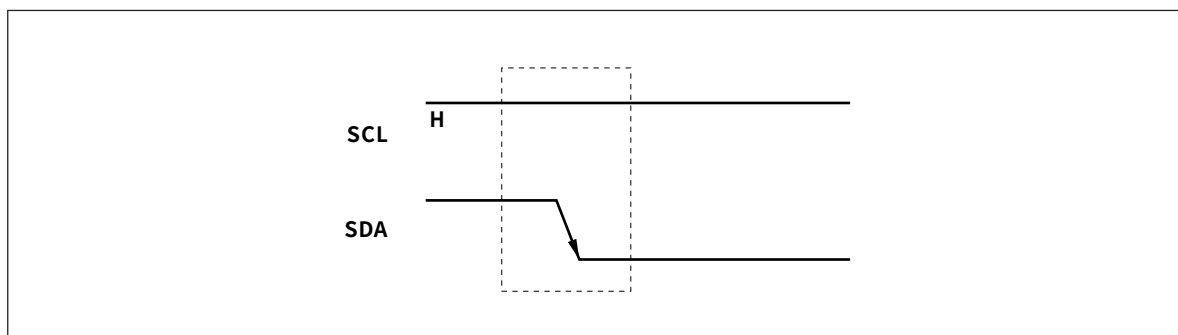
アクノリッジ信号 ($\overline{\text{ACK}}$) は，マスタ，スレーブのどちらでも出力できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCL）は，マスタが出力し続けます。ただし，スレーブはSCLのロウ・レベル期間を延長し，ウェイトを挿入することができます。

（1）スタート・コンディション

SCL端子がハイ・レベルのときに，SDA端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL端子，SDA端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブはスタート・コンディションを検出するハードウェアを内蔵しています。

図8-15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態（IICSレジスタのSPDビット＝1）のときにIICCレジスタのSTTビットをセット（1）すると出力されます。また、スタート・コンディションを検出すると、IICSレジスタのSTDビットがセット（1）されます。

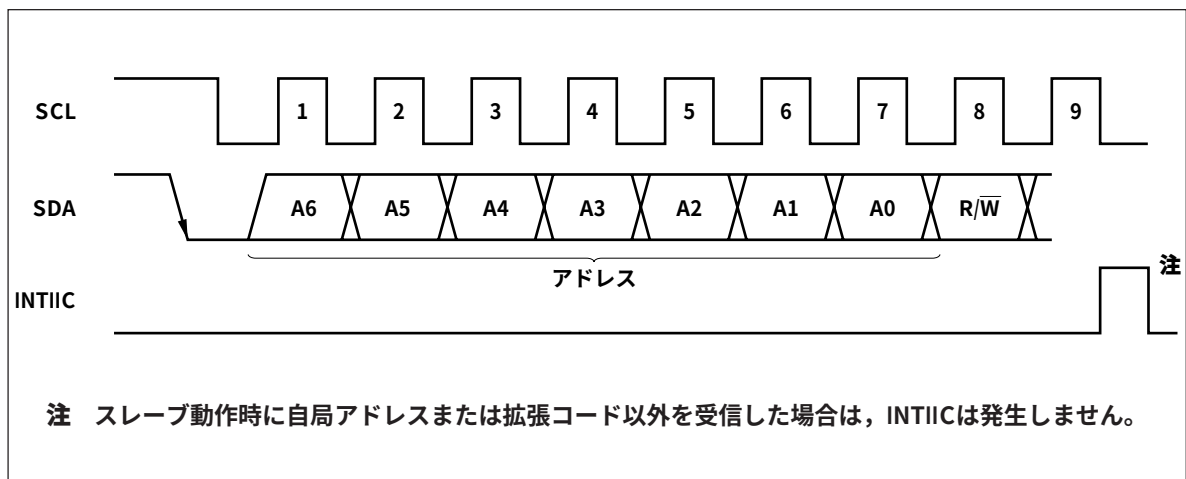
（2）アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ（SVA）と一致しているかを調べます。このとき、7ビット・データとSVAの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図8-16 アドレス



アドレスは、スレーブのアドレスと（3）転送方向指定に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ（IIC）に書き込むと出力します。また、受信したアドレスは、IICに書き込まれます。

なお、スレーブのアドレスは、IICの上位7ビットに割り当てられます。

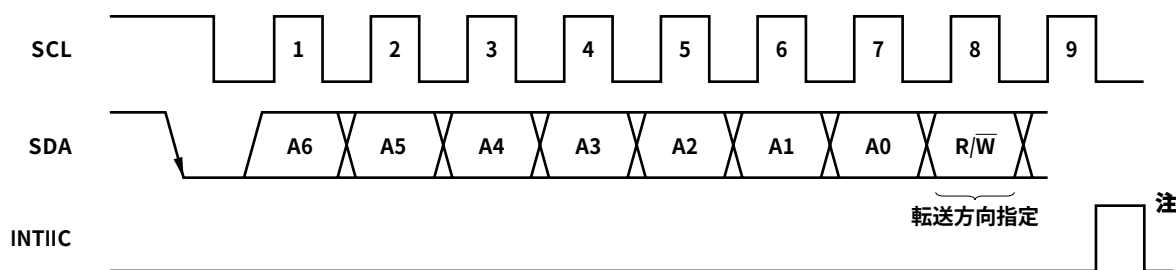
(3) 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。

また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図8-17 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICは発生しません。

(4) アクノリッジ信号 (ACK)

アクノリッジ信号は、送信側と受信側における、シリアル・データ受信の確認のための信号です。

受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。送信側は、通常、8ビット・データ送信後、アクノリッジ信号を受信します。ただし、マスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたか検出を行います。アクノリッジ信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブからアクノリッジ信号が返らない場合は受信が正しく行われないので、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジ信号が返らない場合、次の2つの要因が考えられます。

- ① 受信が正しく行われていない
- ② 最終データの受信が終わっている

受信側が9クロック目にSDAラインをロウ・レベルにすると、アクノリッジ信号 (ACK) がアクティブになります (正常受信返答)。

IICCレジスタのACKE = 1でアクノリッジ信号自動発生許可状態になります。

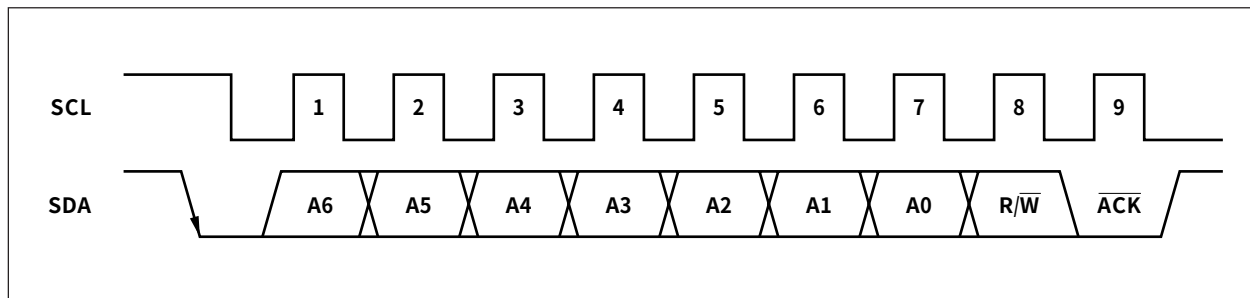
7ビットのアドレス情報に続く8ビット目のデータにより、IICSレジスタのTRCビットが設定されますが、TRCビットの値が“0”の場合は受信状態なので、ACKE = 1にしてください。

スレーブ受信動作時 (TRC = 0) , スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKE = 0にすると、マスタ側が次の転送を開始しないようにできます。

同様に、マスタ受信動作時 (TRC = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、ACK信号を発生しないようにACKE = 0にしてくだ

さい。これは、スレーブ送信動作時に、SDAラインにデータのMSBデータを出力しないようにするためです（送信停止）。

図8-18 アクノリッジ信号



自局アドレス受信時は、ACKEの値にかかわらずSCLの8クロック目の立ち下がり同期してアクノリッジ信号を自動出力し、自局アドレス以外受信時は、アクノリッジ信号を出力しません。

アクノリッジ信号の出力方法は、ウェイト・タイミングの設定により次のようになります。

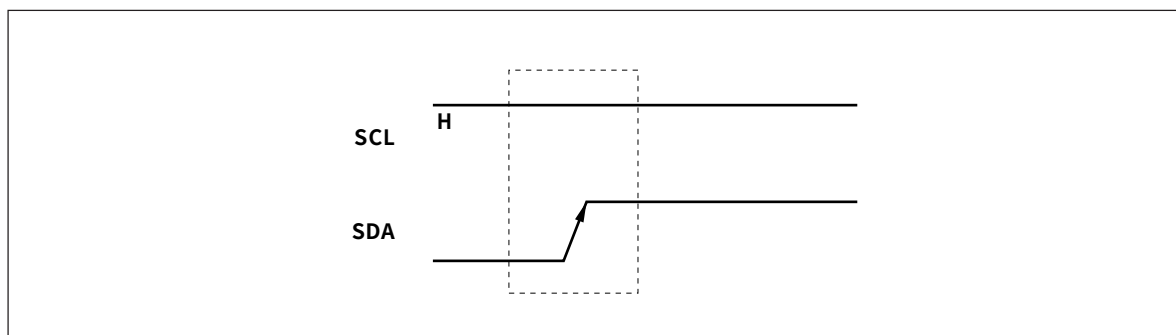
- ・ 8クロック・ウェイト選択時：ウェイト解除を行う前にACKE = 1とすることでアクノリッジ信号を出力します。
- ・ 9クロック・ウェイト選択時：あらかじめACKE = 1とすることでSCLの8クロック目の立ち下がり同期してアクノリッジ信号を自動出力します。

(5) ストップ・コンディション

SCL端子がハイ・レベルのときに、SDA端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。また、スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図8-19 ストップ・コンディション



ストップ・コンディションは、IICCレジスタのSPTビットをセット（1）すると発生します。

また、ストップ・コンディションを検出するとIICSレジスタのSPDビットがセット（1）され、IICCレジスタのSPIEがセット（1）されている場合にはINTIICが発生します。

（6）ウェイト信号（WAIT）

ウェイト信号は、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせるための信号です。

SCL端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方ともウェイト状態が解除されると、次の転送を開始できます。

図8-20 ウェイト信号（1/2）

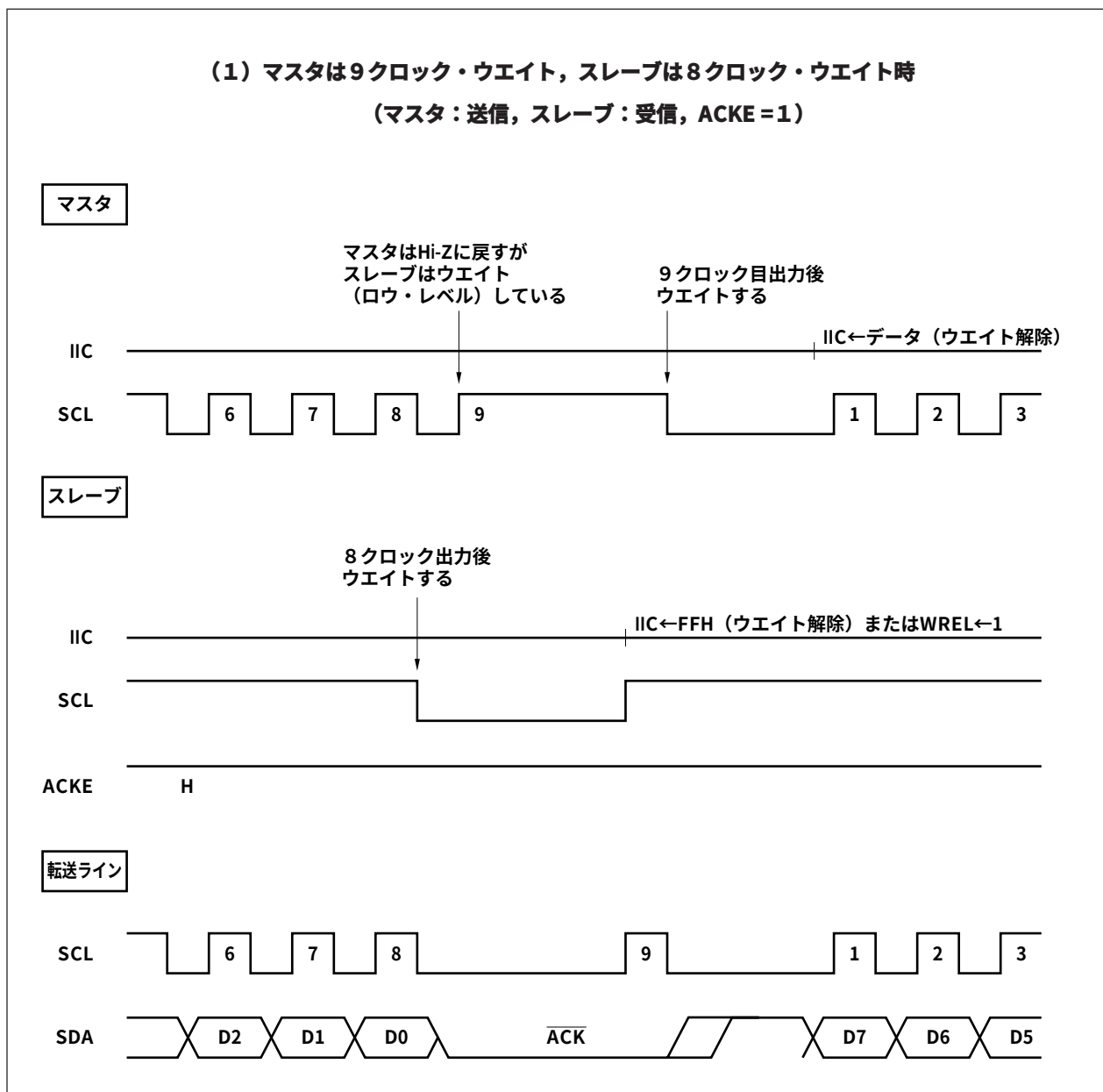
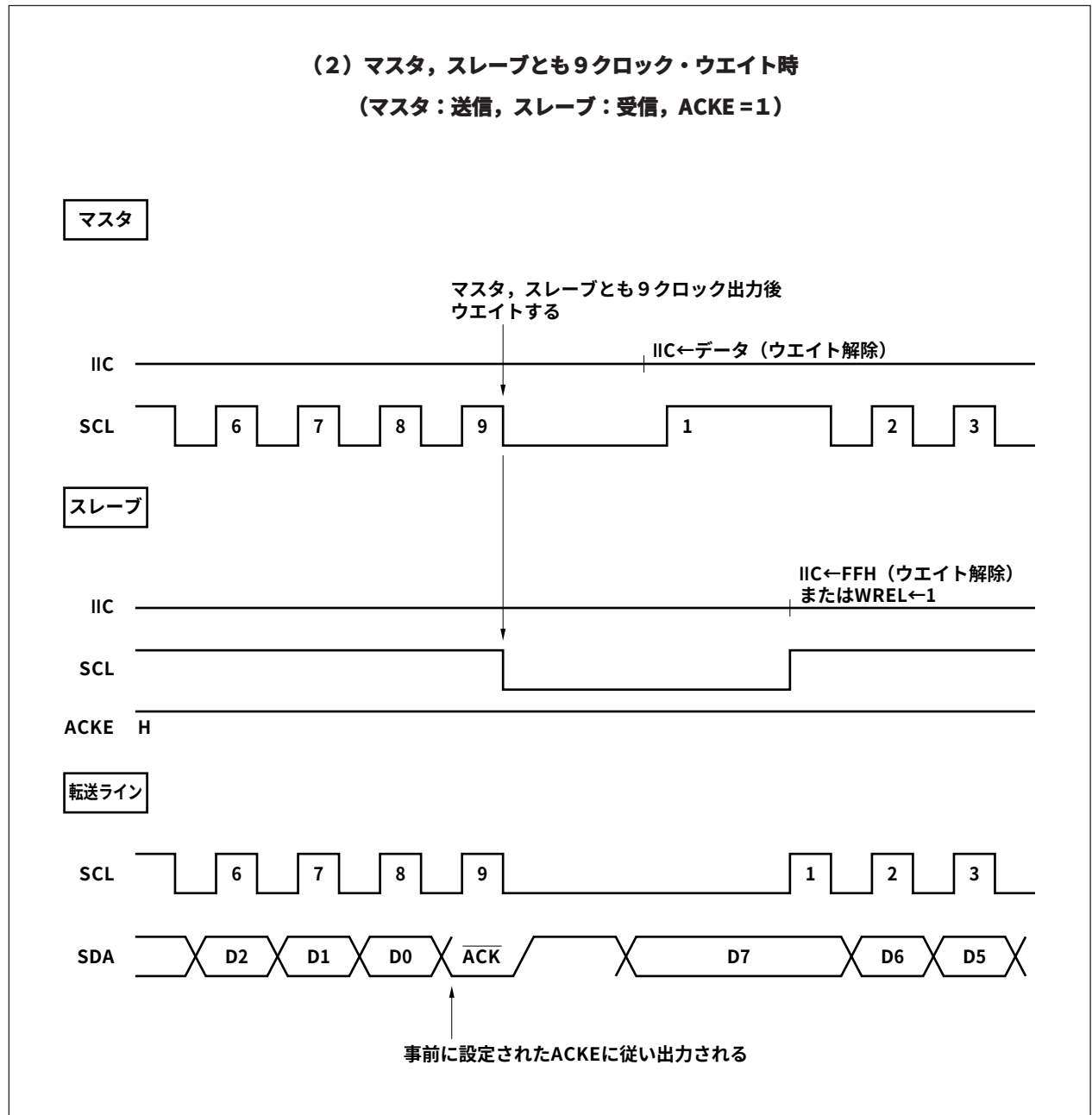


図8-20 ウェイト信号 (2/2)



ウェイトは、IICレジスタのWTIMの設定により自動的に発生します。

通常、受信側はWREL = 1またはIICにFFHを書き込むとウェイトを解除し、送信側はIICにデータを書き込むとウェイトを解除します。

マスタの場合は次の方法でもウェイトを解除できます。

- STT = 1
- SPT = 1

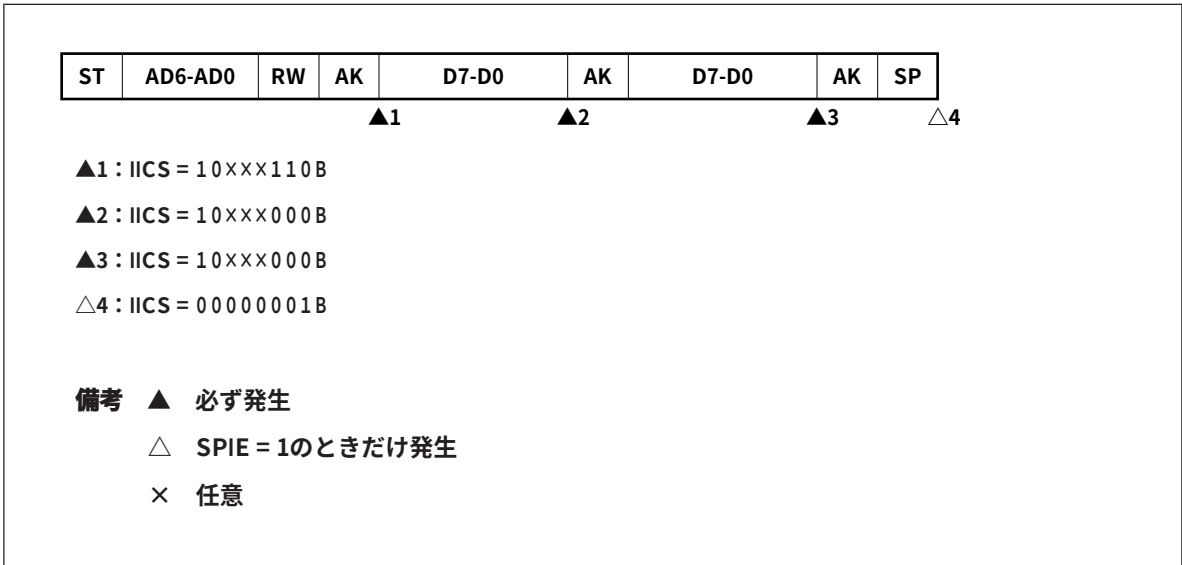
(7) PC割り込み (INTIIC)

以下に、INTIIC割り込み要求発生タイミングと、INTIIC割り込みタイミングでのIIC状態レジスタ (IICS) の値を示します。

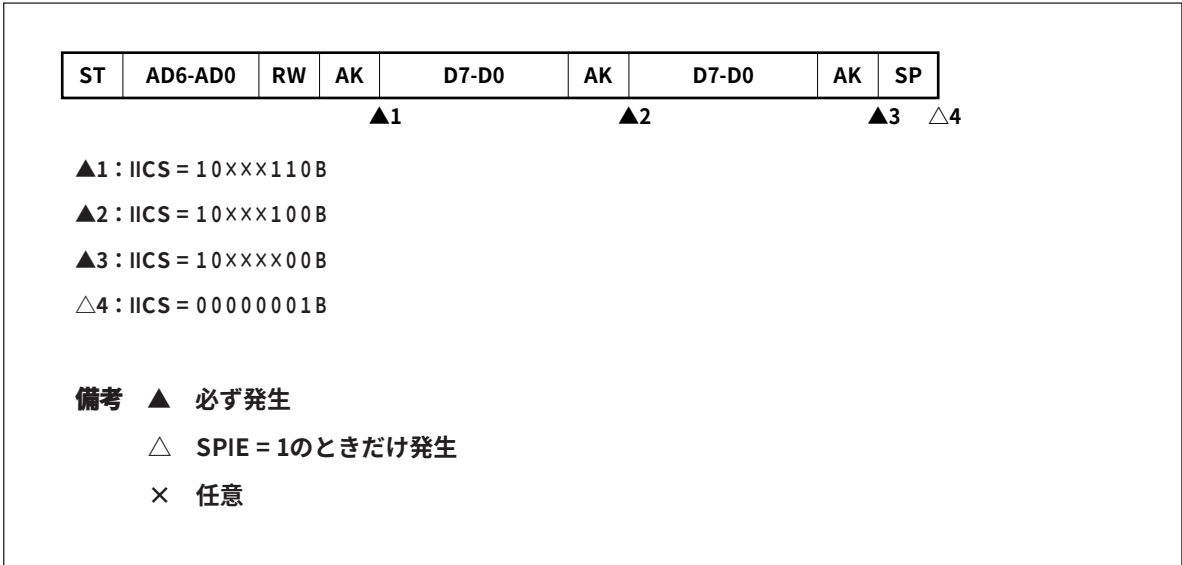
(a) マスタ動作

(i) Start～Address～Data～Data～Stop (通常送受信)

① WTIM = 0のとき



② WTIM = 1のとき



(ii) Start～Address～Data～Start～Address～Data～Stop (リスタート)

① WTIM = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3		▲4	△5

▲1: IICS = 10xxx110B

▲2: IICS = 10xxx000B

▲3: IICS = 10xxx110B

▲4: IICS = 10xxx000B

△5: IICS = 0000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

② WTIM = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3		▲4	△5

▲1: IICS = 10xxx110B

▲2: IICS = 10xxx000B

▲3: IICS = 10xxx110B

▲4: IICS = 10xxx000B

△5: IICS = 0000001B

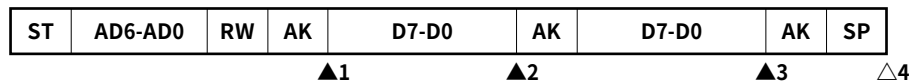
備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

(iii) Start～Code～Data～Data～Stop (拡張コード送信)

① WTIM = 0のとき



▲1: IICS = 1010×110B

▲2: IICS = 1010×000B

▲3: IICS = 1010×000B

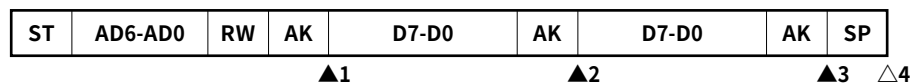
△4: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

② WTIM = 1のとき



▲1: IICS = 1010×110B

▲2: IICS = 1010×100B

▲3: IICS = 1010××00B

△4: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

(b) スレーブ動作 (スレーブ・アドレス・データ受信時 (SVA一致))

(i) Start～Address～Data～Data～Stop

① WTIM = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1		▲2		▲3	△4

▲1: IICS = 0001×110B

▲2: IICS = 0001×000B

▲3: IICS = 0001×000B

△4: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

② WTIM = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1		▲2		▲3	△4

▲1: IICS = 0001×110B

▲2: IICS = 0001×100B

▲3: IICS = 0001××00B

△4: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

(ii) Start～Address～Data～Start～Address～Data～Stop

① WTIM = 0のとき（リスタート後，SVA一致）

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1	▲2					▲3	▲4		△5

▲1：IICS = 0001×110B
▲2：IICS = 0001×000B
▲3：IICS = 0001×110B
▲4：IICS = 0001×000B
△5：IICS = 00000001B

備考 ▲ 必ず発生
△ SPIE = 1のときだけ発生
× 任意

② WTIM = 1のとき（リスタート後，SVA一致）

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1	▲2					▲3	▲4		△5

▲1：IICS = 0001×110B
▲2：IICS = 0001××00B
▲3：IICS = 0001×110B
▲4：IICS = 0001××00B
△5：IICS = 00000001B

備考 ▲ 必ず発生
△ SPIE = 1のときだけ発生
× 任意

(iii) Start～Address～Data～Start～Code～Data～Stop

① WTIM = 0のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3		▲4	△5

▲1: IICS = 0001×110B

▲2: IICS = 0001×000B

▲3: IICS = 0010×010B

▲4: IICS = 0010×000B

△5: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

② WTIM = 1のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3 ▲4		▲5	△6

▲1: IICS = 0001×110B

▲2: IICS = 0001××00B

▲3: IICS = 0010×010B

▲4: IICS = 0010×110B

▲5: IICS = 0010××00B

△6: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

(iv) Start～Address～Data～Start～Address～Data～Stop

① WTIM = 0のとき（リスタート後、アドレス不一致（拡張コード以外））

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3			△4

▲1: IICS = 0001×110B

▲2: IICS = 0001×000B

▲3: IICS = 0000××10B

△4: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

② WTIM = 1のとき（リスタート後、アドレス不一致（拡張コード以外））

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3			△4

▲1: IICS = 0001×110B

▲2: IICS = 0001××00B

▲3: IICS = 0000××10B

△4: IICS = 00000001B

備考 ▲ 必ず発生

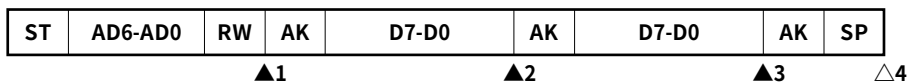
△ SPIE = 1のときだけ発生

× 任意

(c) スレーブ動作（拡張コード受信時）

(i) Start～Code～Data～Data～Stop

① WTIM = 0のとき



▲1: IICS = 0010×010B

▲2: IICS = 0010×000B

▲3: IICS = 0010×000B

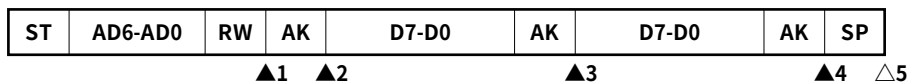
△4: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

② WTIM = 1のとき



▲1: IICS = 0010×010B

▲2: IICS = 0010×110B

▲3: IICS = 0010×100B

▲4: IICS = 0010××00B

△5: IICS = 00000001B

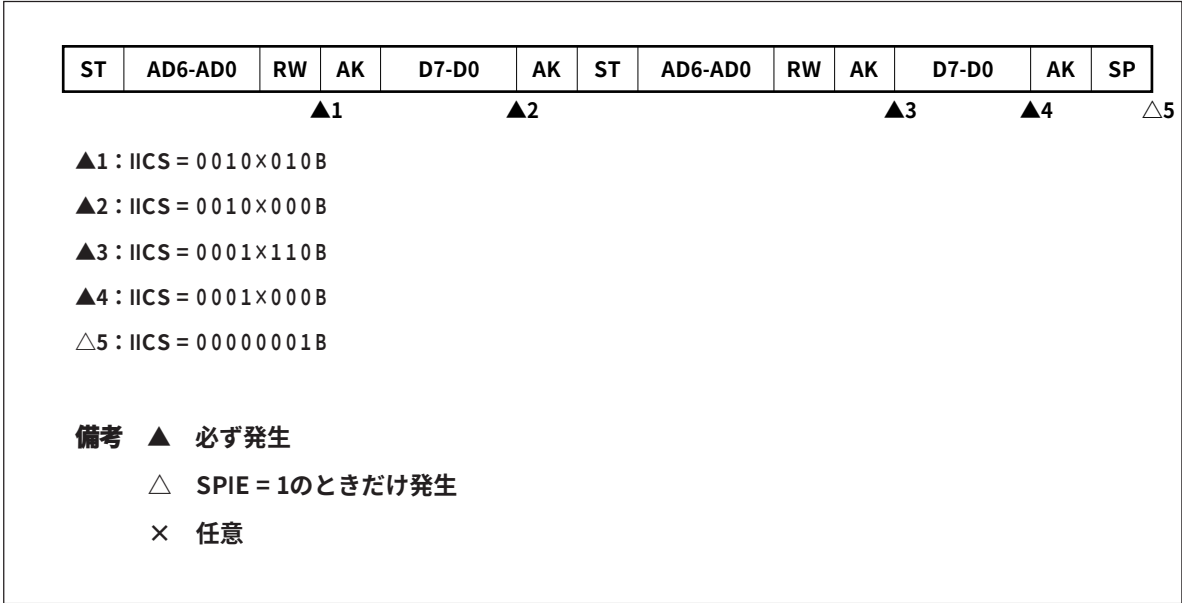
備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

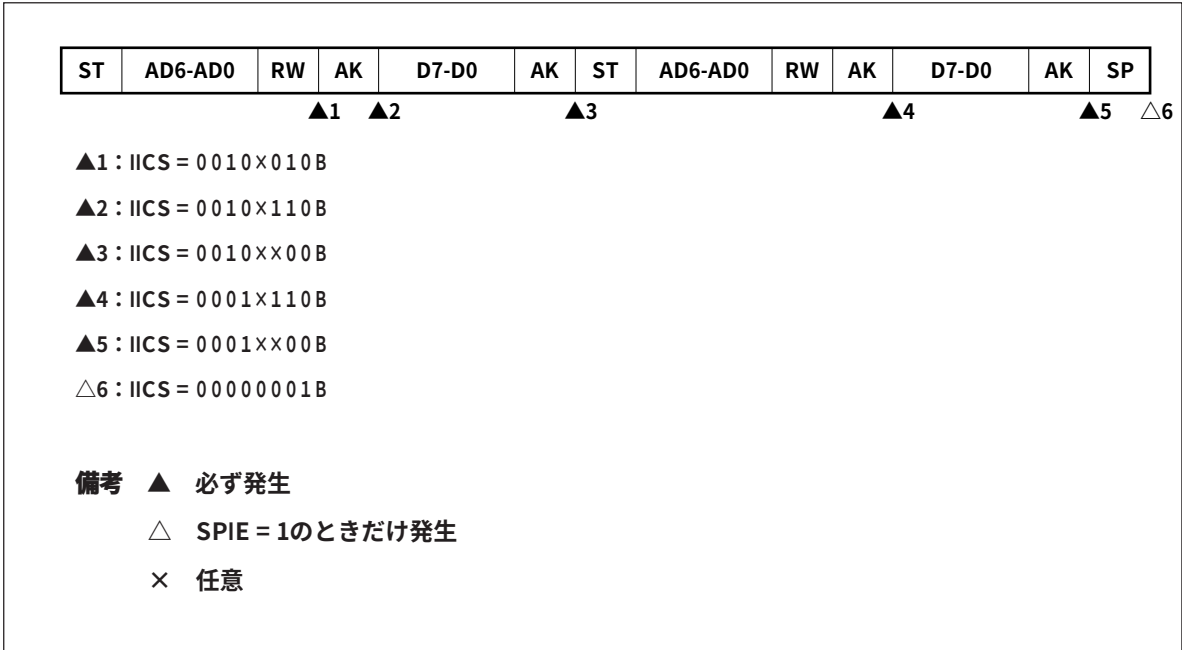
× 任意

(ii) Start～Code～Data～Start～Address～Data～Stop

① WTIM = 0のとき（リスタート後，SVA一致）



② WTIM = 1のとき（リスタート後，SVA一致）



(iii) Start～Code～Data～Start～Code～Data～Stop

① WTIM = 0のとき（リスタート後、拡張コード受信）

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1		▲2				▲3		▲4	△5

▲1: IICS = 0010×010B

▲2: IICS = 0010×000B

▲3: IICS = 0010×010B

▲4: IICS = 0010×000B

△5: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

② WTIM = 1のとき（リスタート後、拡張コード受信）

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			▲1	▲2		▲3			▲4	▲5		▲6	△7

▲1: IICS = 0010×010B

▲2: IICS = 0010×110B

▲3: IICS = 0010××00B

▲4: IICS = 0010×010B

▲5: IICS = 0010×110B

▲6: IICS = 0010××00B

△7: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

(iv) Start～Code～Data～Start～Address～Data～Stop

① WTIM = 0のとき（リスタート後、アドレス不一致（拡張コード以外））

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	----	---------	----	----	-------	----	----

▲1 ▲2 ▲3 △4

▲1 : IICS = 0010×010B
▲2 : IICS = 0010×000B
▲3 : IICS = 00000×10B
△4 : IICS = 00000001B

備考 ▲ 必ず発生
△ SPIE = 1のときだけ発生
× 任意

② WTIM = 1のとき（リスタート後、アドレス不一致（拡張コード以外））

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	----	---------	----	----	-------	----	----

▲1 ▲2 ▲3 ▲4 △5

▲1 : IICS = 0010×010B
▲2 : IICS = 0010×110B
▲3 : IICS = 0010××00B
▲4 : IICS = 00000×10B
△5 : IICS = 00000001B

備考 ▲ 必ず発生
△ SPIE = 1のときだけ発生
× 任意

(d) 通信不参加の動作

(i) Start～Code～Data～Data～Stop

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	-------	----	----

△1

△1: IICS = 00000001B

備考 △ SPIE = 1のときだけ発生

(e) アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

(i) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

① WTIM = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	-------	----	----

▲1 ▲2 ▲3 △4

▲1: IICS = 0101×110B (例 割り込み処理中にALDをリード)

▲2: IICS = 0001×000B

▲3: IICS = 0001×000B

△4: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

② WTIM = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1		▲2		▲3	△4

▲1: IICS = 0101×110B (例 割り込み処理中にALDをリード)

▲2: IICS = 0001×100B

▲3: IICS = 0001××00B

△4: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

(ii) 拡張コード送信中にアービトレーションに負けた場合

① WTIM = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1		▲2		▲3	△4

▲1: IICS = 0110×010B (例 割り込み処理中にALDをリード)

▲2: IICS = 0010×000B

▲3: IICS = 0010×000B

△4: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

② WTIM = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1 ▲2		▲3		▲4	△5

▲1: IICS = 0110×010B (例 割り込み処理中にALDをリード)

▲2: IICS = 0010×110B

▲3: IICS = 0010×100B

▲4: IICS = 0010××00B

△5: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

(f) アービトレーション負けの動作 (アービトレーション負けのあと、不参加)

(i) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1					△2

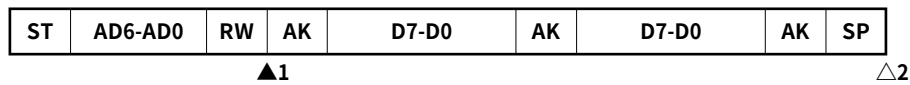
▲1: IICS = 01000110B (例 割り込み処理中にALDをリード)

△2: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

(ii) 拡張コード送信中にアービトレーションに負けた場合



▲1: IICS = 0110×010B (例 割り込み処理中にALDをリード)

ソフトでLREL = 1を設定 (通信に参加しない場合)

△2: IICS = 00000001B

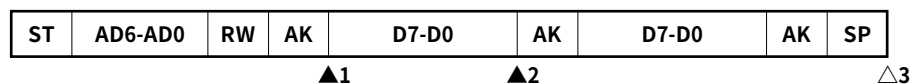
備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

(iii) データ転送時にアービトレーションに負けた場合

① WTIM = 0のとき



▲1: IICS = 10001110B

▲2: IICS = 01000000B (例 割り込み処理中にALDをリード)

△3: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

② WTIM = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			▲1		▲2			△3

▲1: IICS = 10001110B

▲2: IICS = 01000100B (例 割り込み処理中にALDをリード)

△3: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

(iv) データ転送時にリスタート・コンディションで負けた場合

① 拡張コード以外 (例 SVA不一致)

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			▲1					▲2			△3

▲1: IICS = 1000×110B

▲2: IICS = 01000110B (例 割り込み処理中にALDをリード)

△3: IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

n = 0-6

② 拡張コード

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	---------	----	----	-------	----	----

▲1

▲2

△3

▲1：IICS = 1000×110B

▲2：IICS = 0110×010B（例 割り込み処理中にALDをリード）

ソフトでIICC：LREL = 1を設定（通信に参加しない場合）

△3：IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

n = 0-6

(v) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	RW	AK	D7-Dn	SP
----	---------	----	----	-------	----

▲1

△2

▲1：IICS = 1000×110B

△2：IICS = 01000001B

備考 ▲ 必ず発生

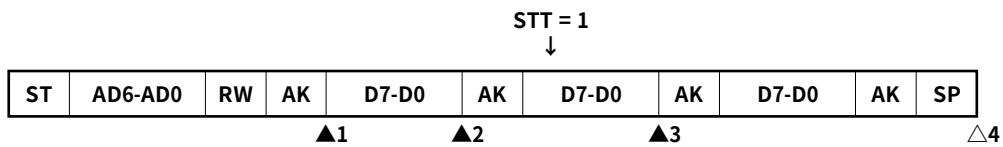
△ SPIE = 1のときだけ発生

× 任意

n = 0-6

(vi) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

① WTIM = 0のとき



▲1 : IICS = 1000×110B

▲2 : IICS = 1000×000B

▲3 : IICS = 01000000B (例 割り込み処理中にALDをリード)

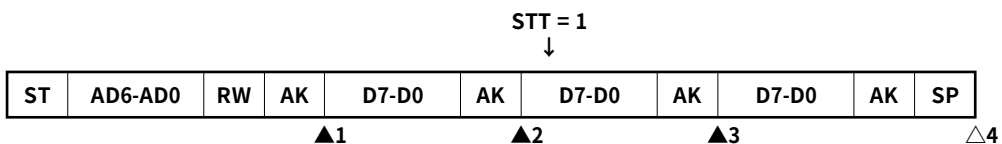
△4 : IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

② WTIM = 1のとき



▲1 : IICS = 1000×110B

▲2 : IICS = 1000××00B

▲3 : IICS = 01000100B (例 割り込み処理中にALDをリード)

△4 : IICS = 00000001B

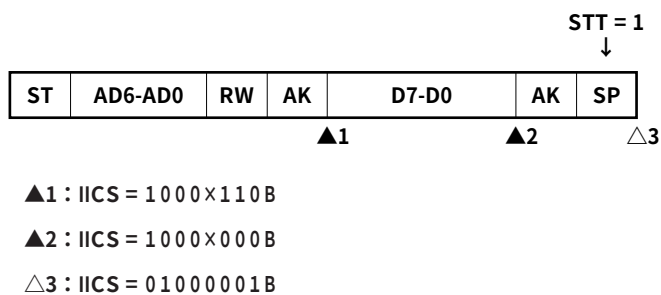
備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

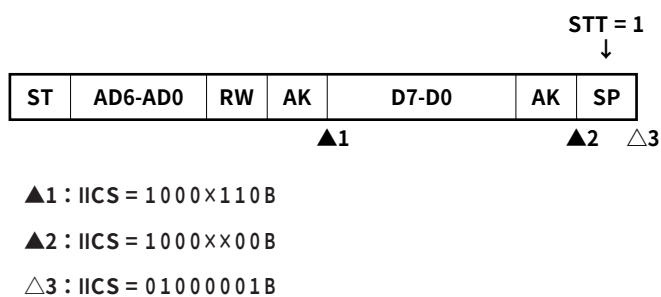
(vii) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

① WTIM = 0のとき



備考 ▲ 必ず発生
 △ SPIE = 1のときだけ発生
 × 任意

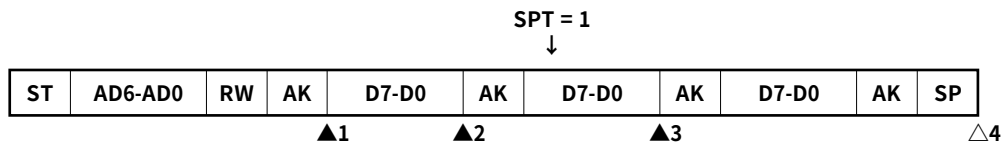
② WTIM = 1のとき



備考 ▲ 必ず発生
 △ SPIE = 1のときだけ発生
 × 任意

(viii) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

① WTIM = 0のとき



▲1 : IICS = 1000×110B

▲2 : IICS = 1000×000B

▲3 : IICS = 01000000B (例 割り込み処理中にALDをリード)

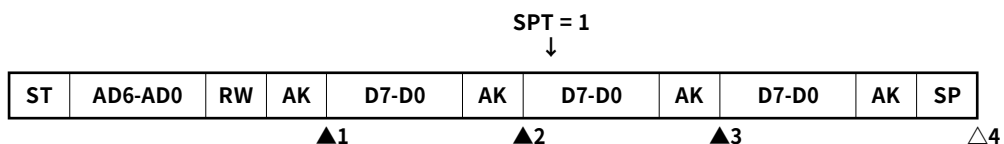
△4 : IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

② WTIM = 1のとき



▲1 : IICS = 1000×110B

▲2 : IICS = 1000××00B

▲3 : IICS = 01000000B (例 割り込み処理中にALDをリード)

△4 : IICS = 00000001B

備考 ▲ 必ず発生

△ SPIE = 1のときだけ発生

× 任意

(8) 割り込み要求 (INTIIC) 発生タイミングおよびウェイト制御

IICコントロール・レジスタ (IICC) のWTIMビットの設定で、表8-3に示すタイミングでINTIICが発生し、また、ウェイト制御を行います。

表8-3 INTIIC発生タイミングおよびウェイト制御

WTIM	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1, 2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1, 2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIIC信号およびウェイトは、スレーブ・アドレス・レジスタ(SVA) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、ACKEの設定にかかわらず、 $\overline{\text{ACK}}$ が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICが発生します。

2. SVAと受信したアドレスが一致していない場合は、INTIICもウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(a) アドレス送受信時

- ・スレーブ動作時：WTIMビットにかかわらず、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(b) データ受信時

- ・マスタ／スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(c) データ送信時

- ・マスタ／スレーブ動作時：WTIMビットにより割り込みおよびウェイト・タイミングが決まります。

(d) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・IICコントロール・レジスタ (IICC) のWREL = 1
- ・IICシフト・レジスタ (IIC) のライト動作
- ・スタート・コンディション (STT) のセット
- ・ストップ・コンディション (SPT) のセット

8クロック・ウェイト選択 (WTIM = 0) 時は、ウェイト解除前に $\overline{\text{ACK}}$ の出力レベルを決定する必要があります。

(e) ストップ・コンディション検出

INTIICは、ストップ・コンディションを検出すると発生します。

(9) アドレスの一致検出方法

I²Cバスでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択することができます。

アドレス一致の検出は、ハードウェアで自動的に行えます。スレーブ・アドレス・レジスタ (SVA) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC割り込み要求が発生します。

(10) エラーの検出

I²Cバスでは、送信中のシリアル・バス (SDA) の状態が、送信しているデバイスのIICシフト・レジスタ (IIC) にも取り込まれるため、送信開始前と送信終了後のIICデータを比較することにより、送信エラーを検出することができます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

(11) 拡張コード

- (a) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として拡張コード受信フラグ (EXC) をセットし、8クロック目の立ち下がりで割り込み要求 (INTIIC) を発行します。

スレーブ・アドレス・レジスタ (SVA) に格納された自局アドレスは影響しません。

- (b) 10ビット・アドレス転送で、SVAに“111110××”を設定し、マスタから“111110××0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIIC) は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データの一致：EXC = 1
- ・7ビット・データの一致 ：COL = 1

(c) 割り込み要求発行後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、LREL = 1に設定し、次の通信待機状態となります。

表8-4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説 明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	×	CBUSアドレス
0000 010	×	異なるバス・フォーマット用に予約されているアドレス
1111 0XX	×	10ビット・スレーブ・アドレス指定

(12) アービトレーション

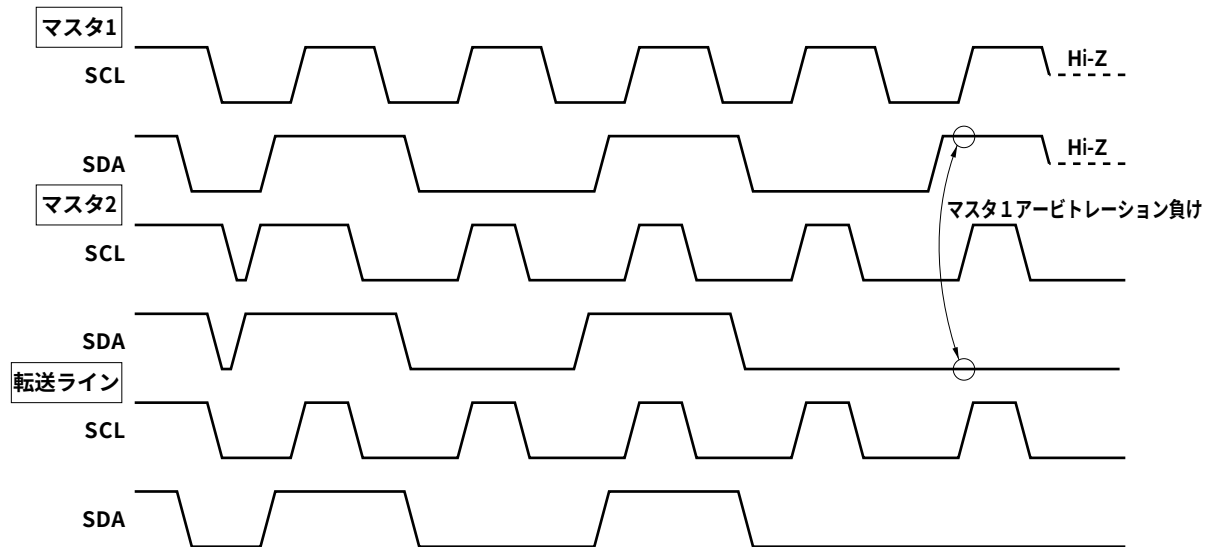
複数のマスタがスタート・コンディションを同時に出力した場合（STD = 1になる前にSTT = 1にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IIC状態レジスタ（IICS）のALDビットをセットし、SCL、SDAラインともHi-Z状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALD = 1になっていることで検出します。

割り込み発生タイミングは、（7）PC割り込み（INTIIC）を参照してください。

図8-21 アービトレーション・タイミング例



アービトレーション発生時の状態	割り込み要求発行タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のACK転送期間中	
データ転送中、リスタート・コンディション検出	ストップ・コンディション出力時 (SPIE = 1時) ^{注2}
データ転送中、ストップ・コンディション検出	
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (SPIE = 1時) ^{注2}
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり
リスタート・コンディションを出力しようとしたがSCLがロウ・レベル	

注1. WTIM (IICコントロール・レジスタ (IICC) のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込みを発生します。WTIM = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込みを発生します。

2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIE = 1に設定してください。

(13) ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求（INTIIC）を発生する機能です。

アドレスが一致しないときは不要な割り込みを発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ（スタート・コンディションを出力した場合）でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、SPIEビットの設定によって、割り込みの発生許可／禁止が決定します。

(14) 通信予約

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない（ $\overline{\text{ACK}}$ を返さず、IICのLREL = 1でバスを解放した）とき

バスに不参加の状態ではIICのSTTビットをセットすると、バスが解放されたあと（ストップ・コンディション検出後）に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

バスの解放を検出（ストップ・コンディション検出）すると、IICライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICのSPIEビットをセットしておいてください。

STTをセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき……………スタート・コンディション生成
- ・バスが解放されていないとき（待機状態）…通信予約

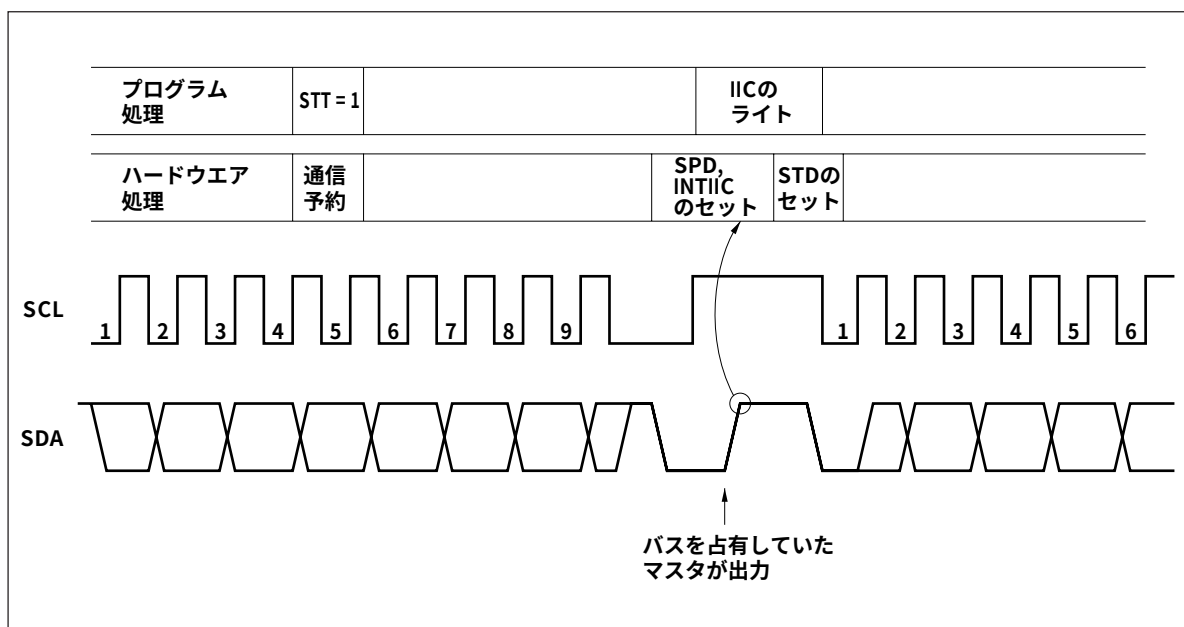
STTがどちらに動作したのかを検出する方法は、STTをセットし、ウェイト時間をとったあと、再度STTビットを確認することで行います。

ウェイト時間は、表8－5に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICCLのSMC, CL0, CL1により設定できます。

表8-5 ウェイト時間

SMC	CL1	CL0	ウェイト時間
0	0	0	26クロック
0	0	1	46クロック
0	1	0	
0	1	1	37クロック
1	0	0	16クロック
1	0	1	
1	1	0	
1	1	1	13クロック

図8-22 通信予約のタイミング



通信予約は次のタイミングで受け付けられます。IICSのSTD = 1になったあと、ストップ・コンディション検出までにIICCのSTT = 1で通信予約をします。

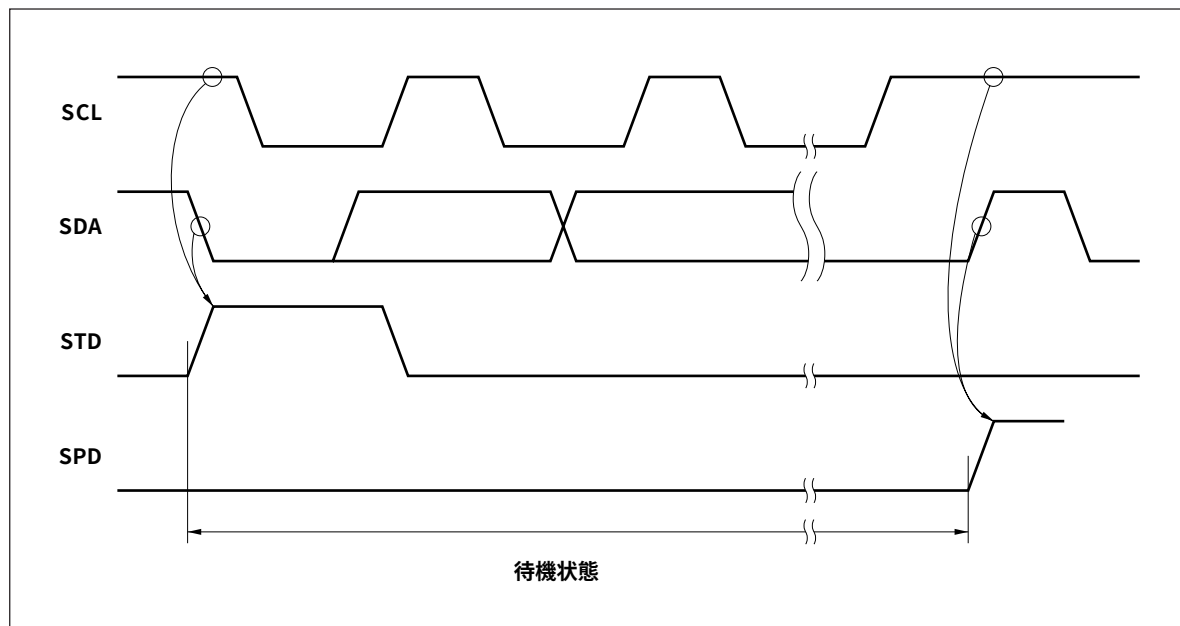
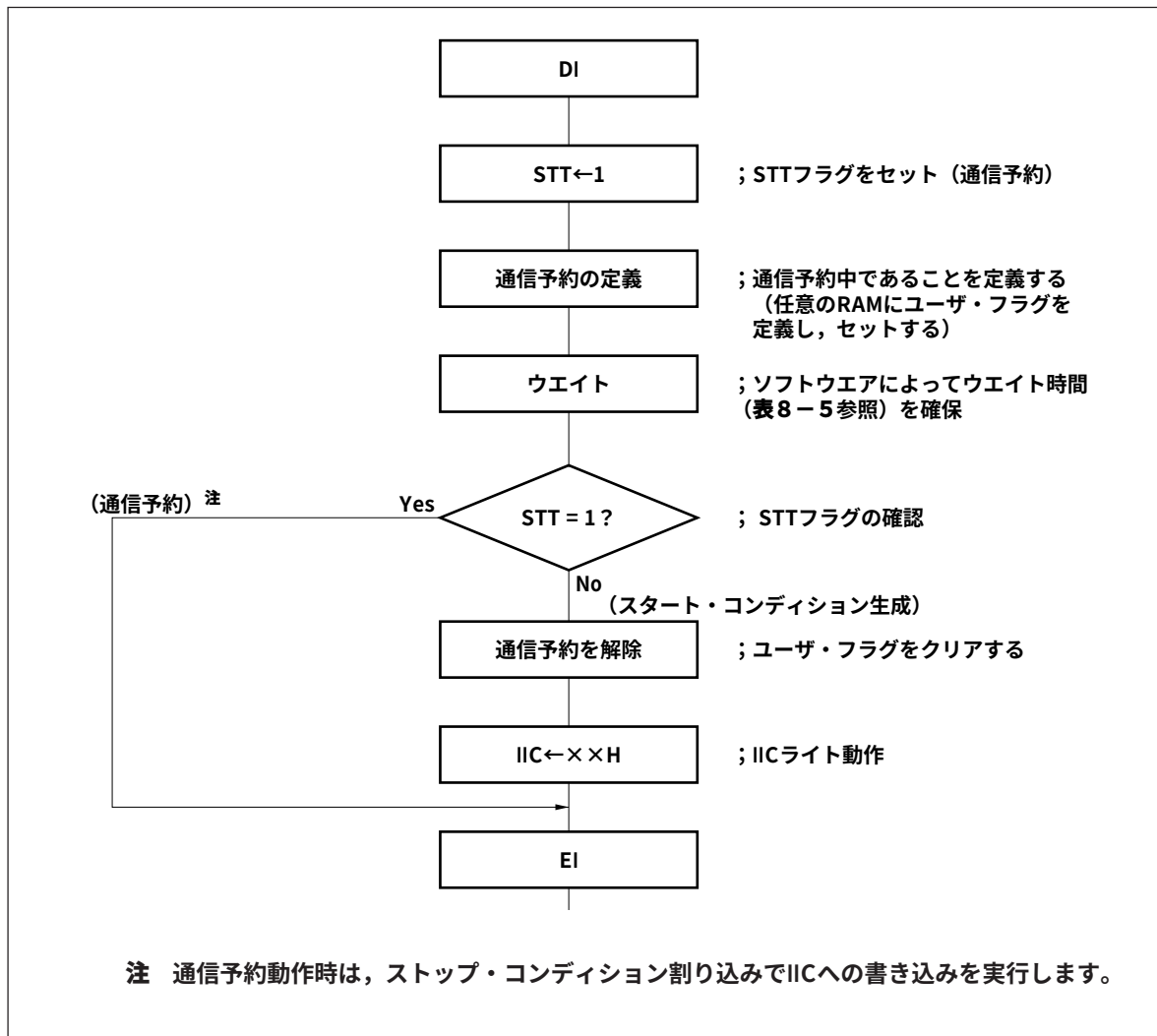


図8-23に通信予約の手順を示します。

図8-23 通信予約の手順



(15) その他の注意事項

(a) マルチマスタ通信

リセット後、ストップ・コンディションを検出していない（バスが解放されていない）状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスの解放をしてからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない（ストップ・コンディションを検出していない）状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は以下の順番で行ってください。

- ① IICCLの設定
- ② IICCのIICE ← 1
- ③ IICCのSPT ← 1

★ (b) 通信予約時動作（マルチマスタ使用時）

通信予約中にスレーブ選択された場合、WRELビットに“1”を書き込むときには、同時にSTTビットに“0”を書き込んでください。その後、ストップ・コンディション検出後に再度STTビットに“1”を書き込んでください。

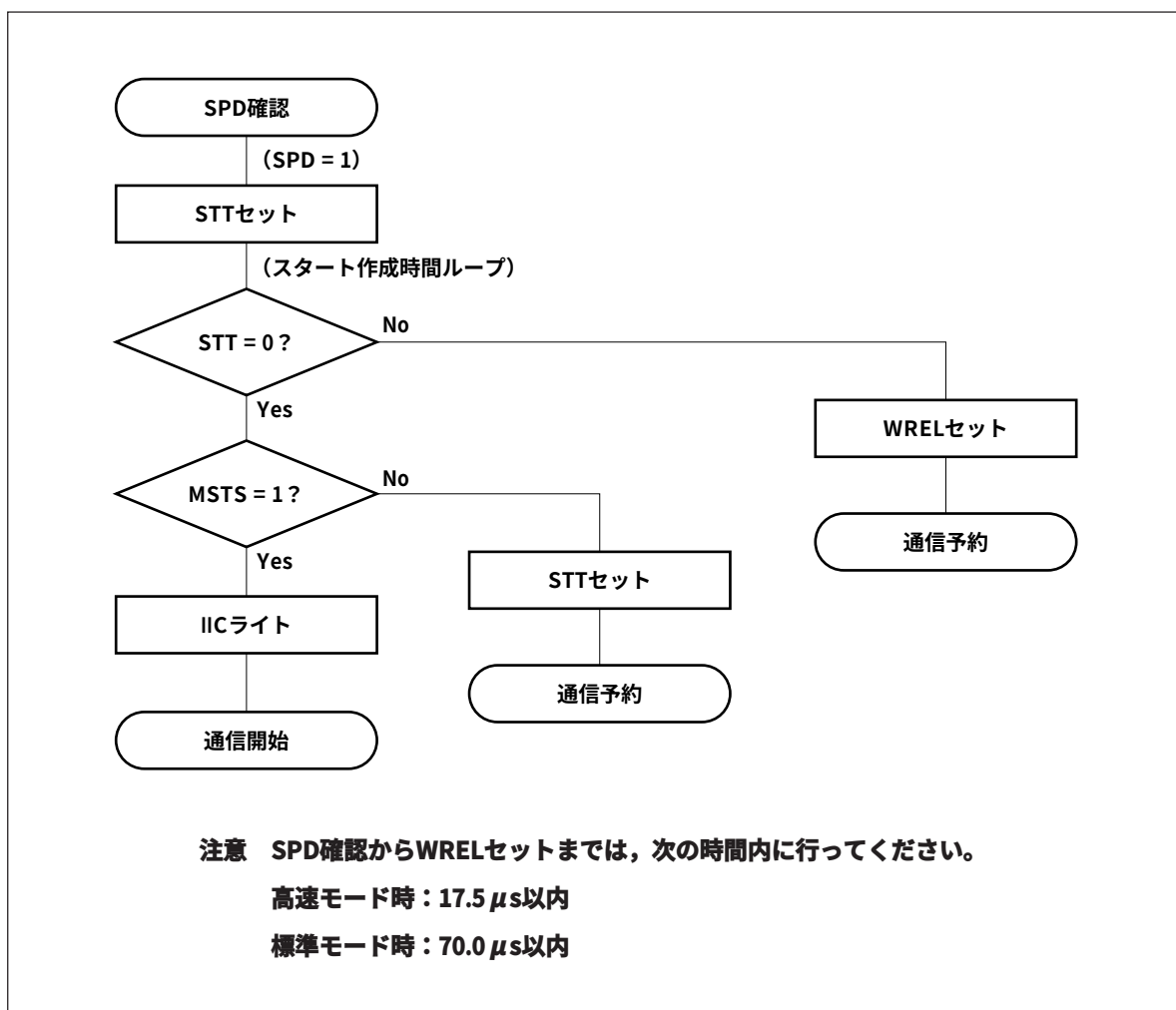
★ (c) 通信予約後のスタート動作（マルチマスタ使用時）

ストップ・コンディションを検出し、その後スタート・コンディションを生成した場合は、MSTSビットが1であること（マスタ通信状態）を確認後、TRCビットが1（送信動作）であることを確認してください。このとき、TRCビットが0であれば、LRELをセットして通信退避し、ストップ・コンディション検出後に再度通信予約（STT = 1）を行ってください。

★ (d) STTセット・タイミング（マルチマスタ使用時）

図8-24のようにプログラムを組んでください。

図8-24 STTセット・タイミングの手順

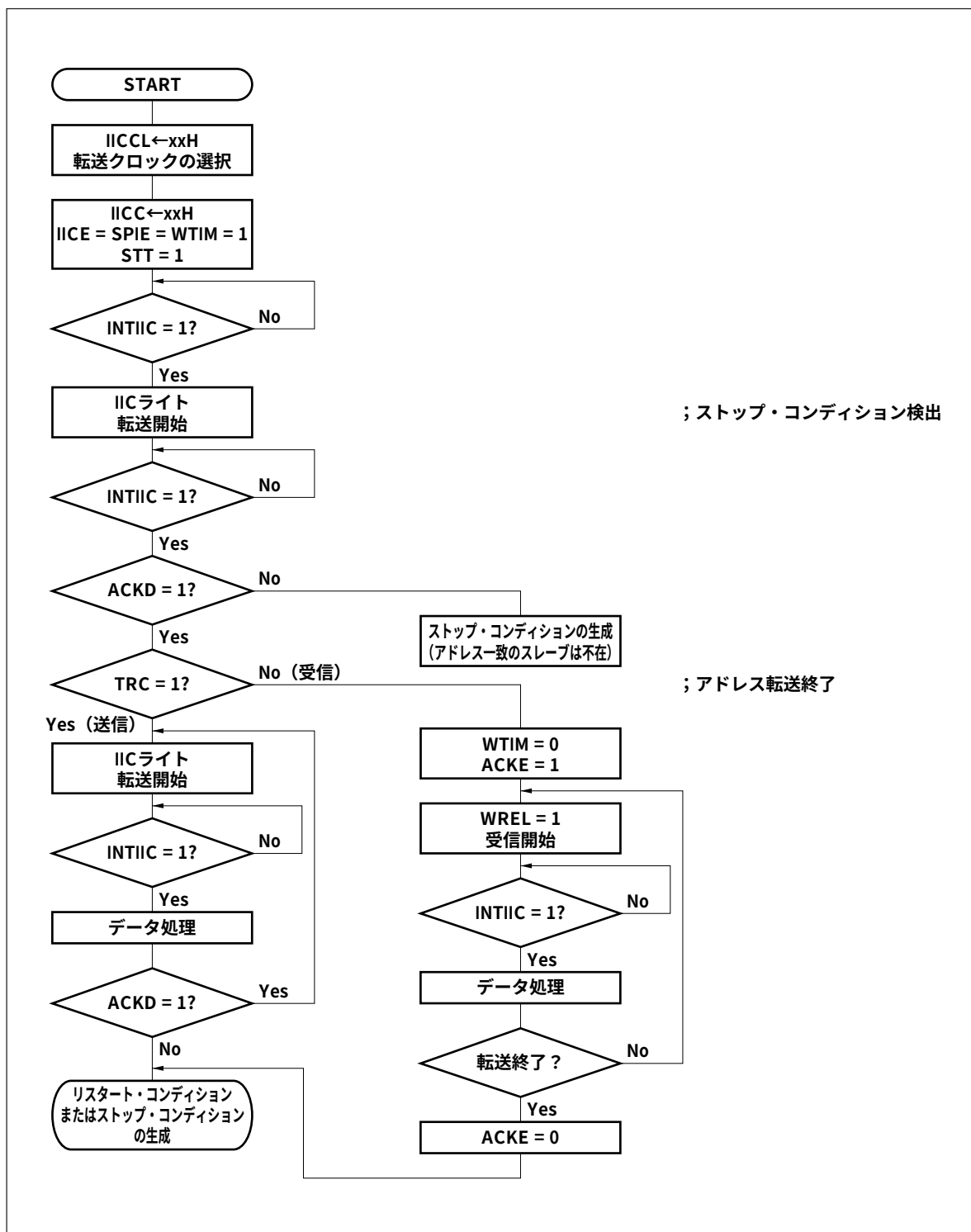


8.4.7 通信動作

(1) マスタ動作

マスタの通信手順の例を次に示します。

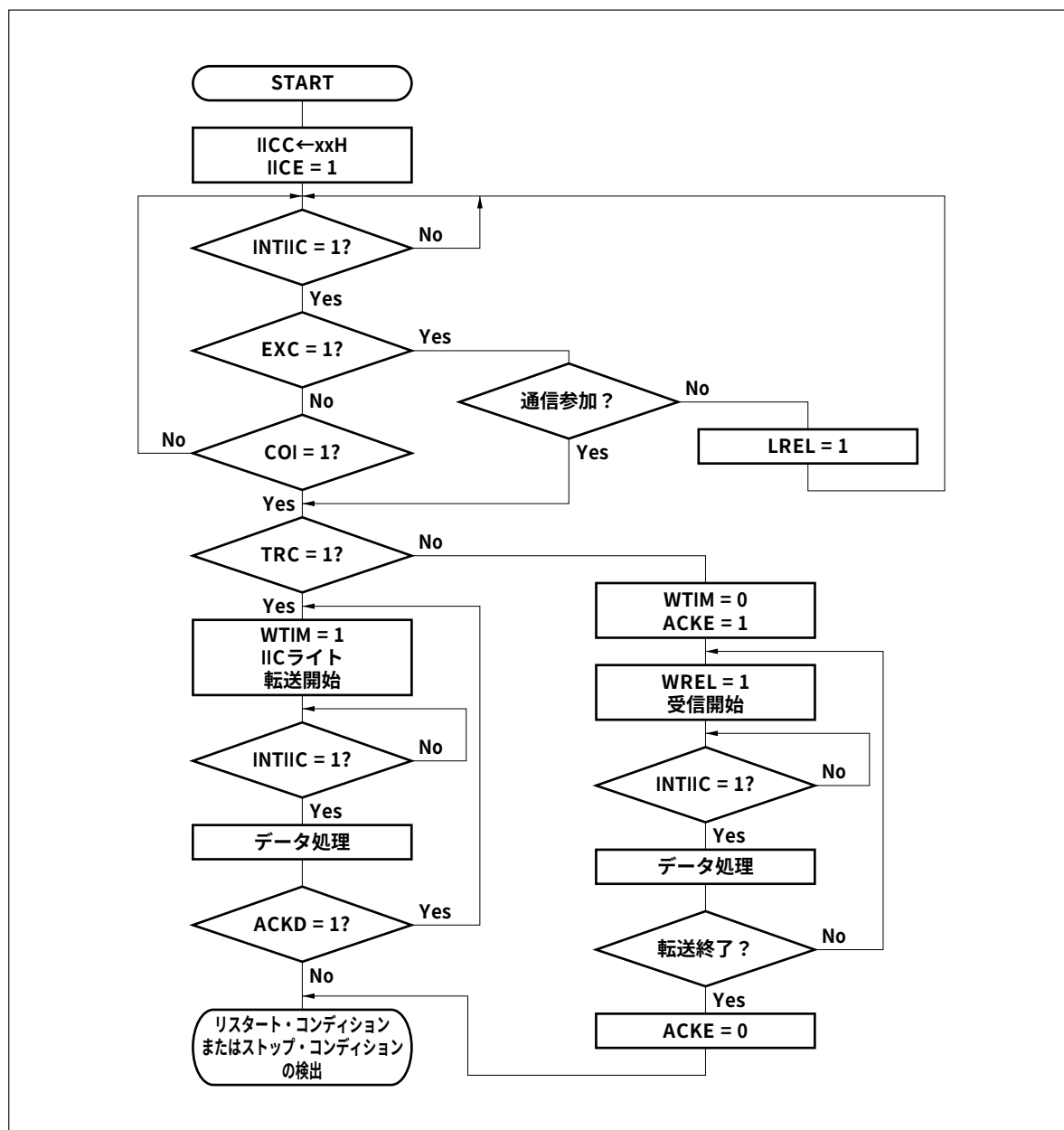
図 8-25 マスタ動作手順



(2) スレーブ動作

スレーブの通信手順の例を次に示します。

図8-26 スレーブ動作手順



8.4.8 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCビットを送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図8-27、図8-28に示します。

シリアル・クロック（SCL）の立ち下がりに同期してシフト・レジスタ（IIC）のシフト動作が行われ、送信データがSOラッチに転送され、SDA端子からMSBファーストで出力されます。

また、SCLの立ち上がりでSDA端子に入力されたデータがIICに取り込まれます。

図8-27 マスタ→スレーブ通信例（マスタ、スレーブとも9クロック・ウェイト選択時）（1/3）

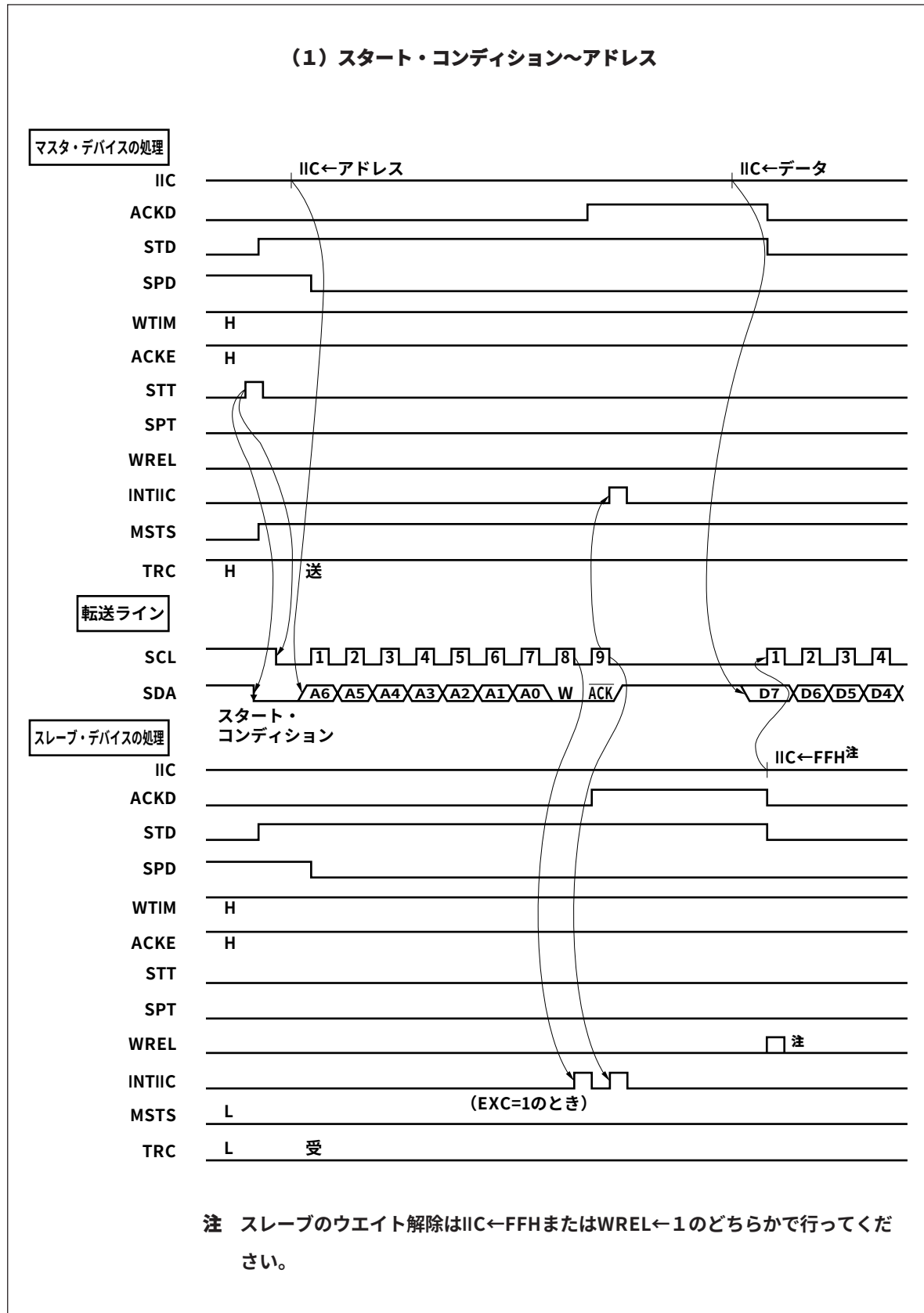
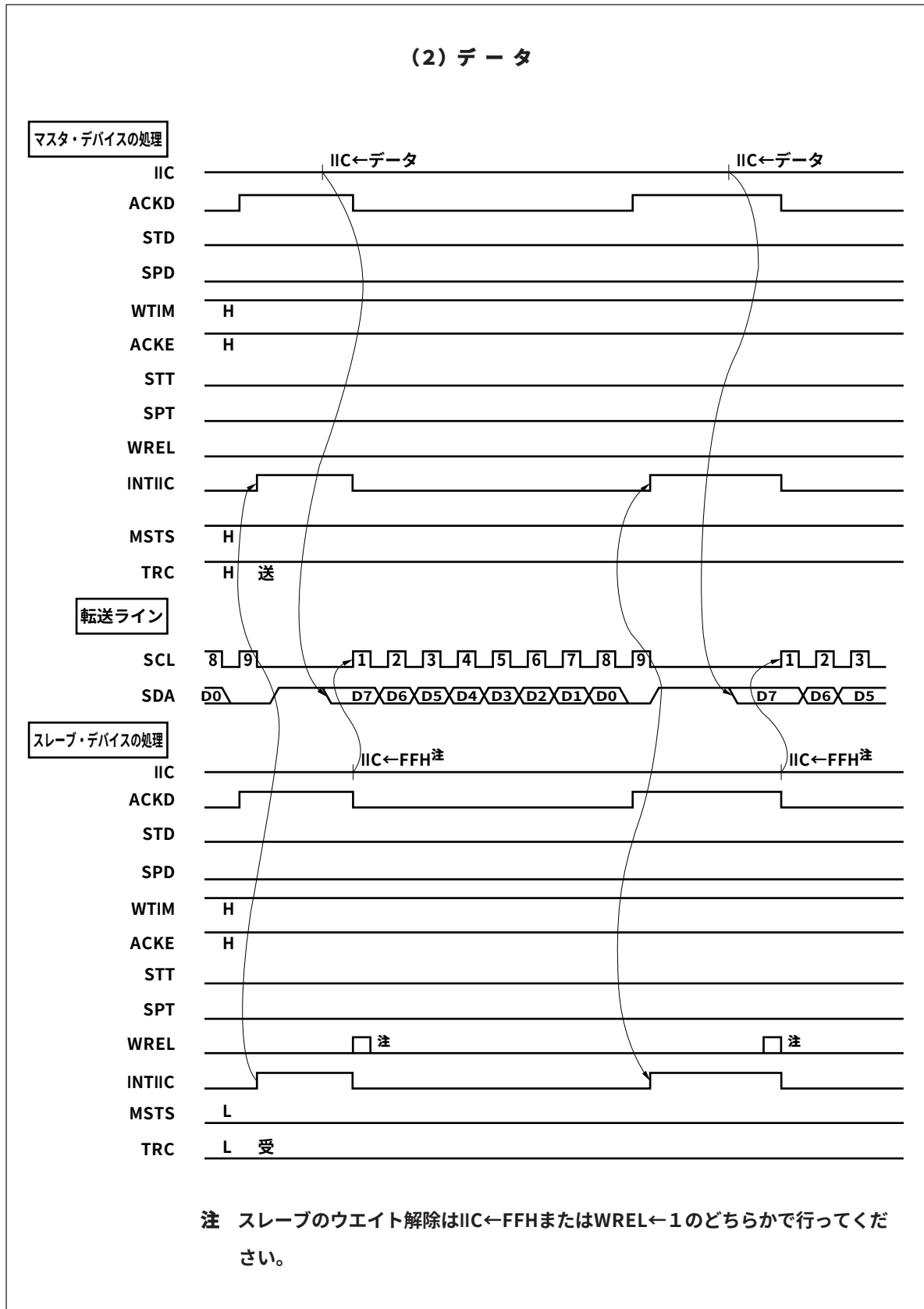


図8-27 マスタ→スレーブ通信例（マスタ、スレーブとも9クロック・ウェイト選択時）（2/3）



(3) ストップ・コンディション

マスタ・デバイスの処理

IIC

IIC←データ

IIC←アドレス

ACKD

STD

SPD

WTIM

H

ACKE

H

STT

SPT

WREL

INTIIC

MSTS

(SPIE=1のとき)

TRC

H 送

転送ライン

SCL

1 2 3 4 5 6 7 8 9

SDA

D7 D6 D5 D4 D3 D2 D1 D0 ACK

ストップ・コンディション

スタート・コンディション

1 2

A6 A5

スレーブ・デバイスの処理

IIC

IIC←FFH注

IIC←FFH注

ACKD

STD

SPD

WTIM

H

ACKE

H

STT

SPT

WREL

注

注

INTIIC

MSTS

(SPIE=1のとき)

TRC

L 受

注 スレーブのウェイト解除はIIC←FFHまたはWREL←1のどちらかで行ってください。

図8-28 スレーブ→マスタ通信例（マスタ、スレーブとも9クロック・ウェイト選択時）（1/3）

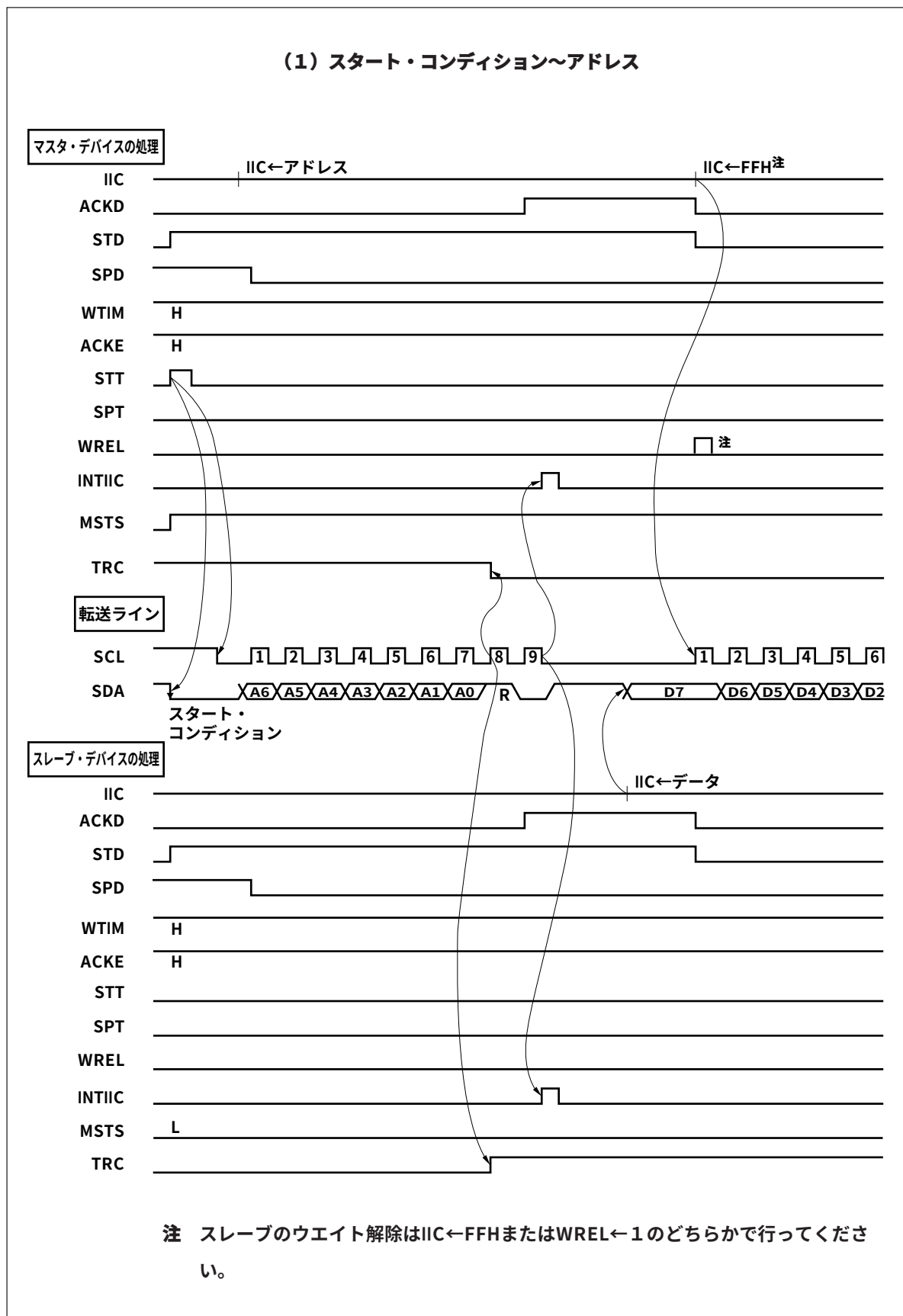


図8-28 スレーブ→マスタ通信例（マスタ、スレーブとも9クロック・ウェイト選択時）（2/3）

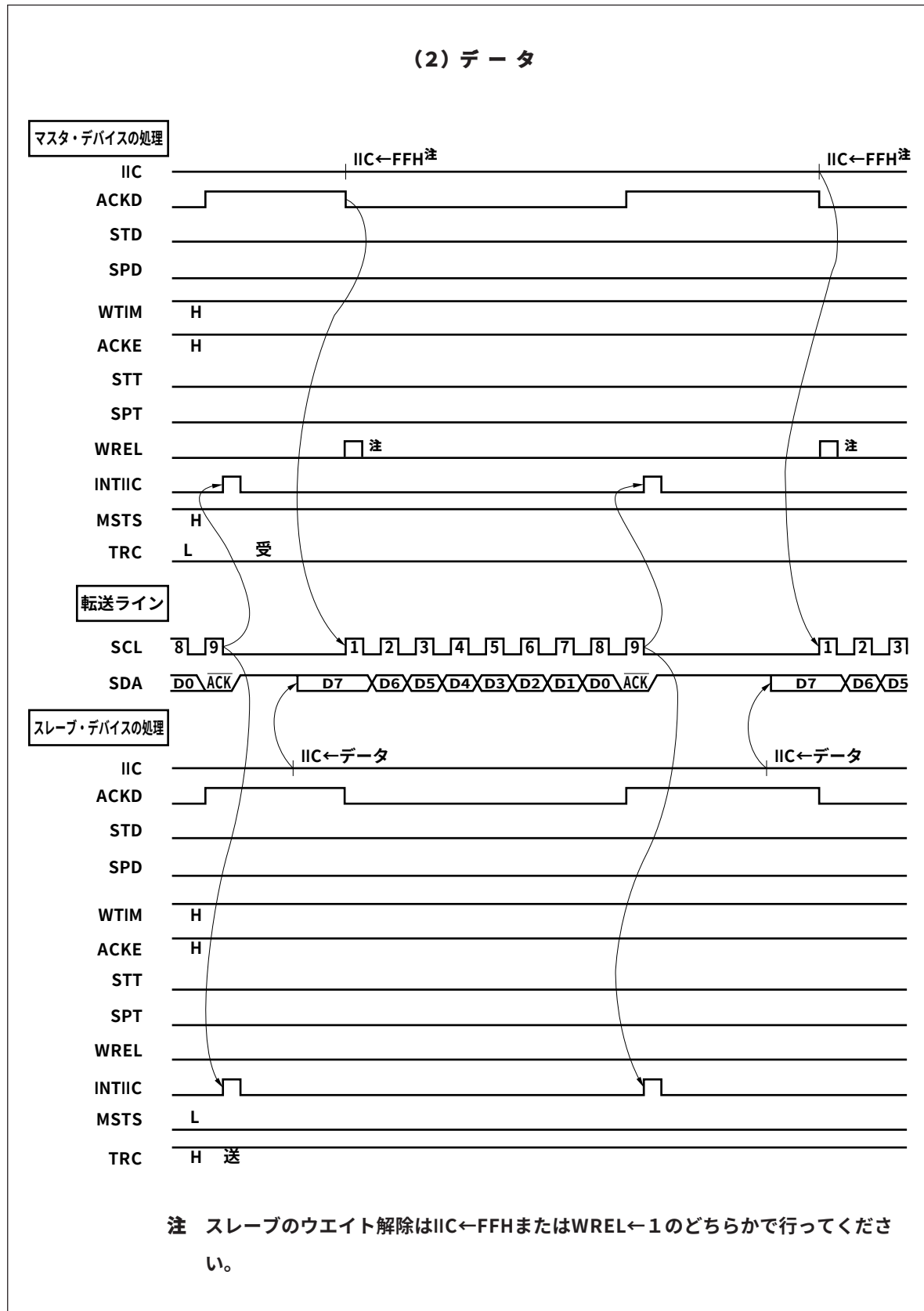
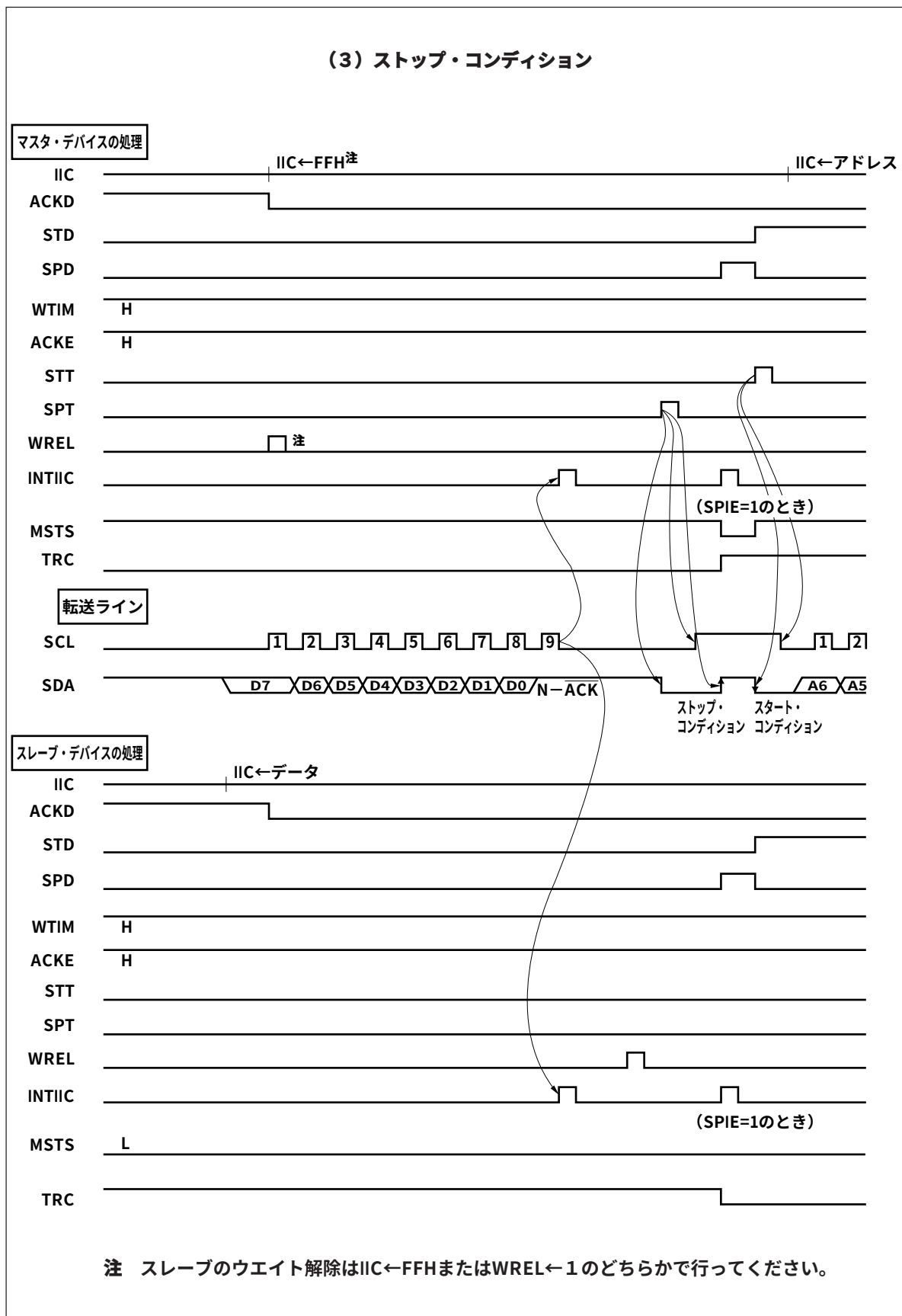


図8-28 スレーブ→マスタ通信例（マスタ、スレーブとも9クロック・ウェイト選択時）（3/3）



8.5 ポー・レート・ジェネレータ 0-3 (BRG0-BRG3)

8.5.1 構成と機能

シリアル・インタフェースのシリアル・クロックは、チャンネルごとにポー・レート・ジェネレータ出力またはφ系（内部システム・クロック）から選択できます。ポー・レート・ジェネレータは次の4系統を備え、それぞれ独立に設定できます。

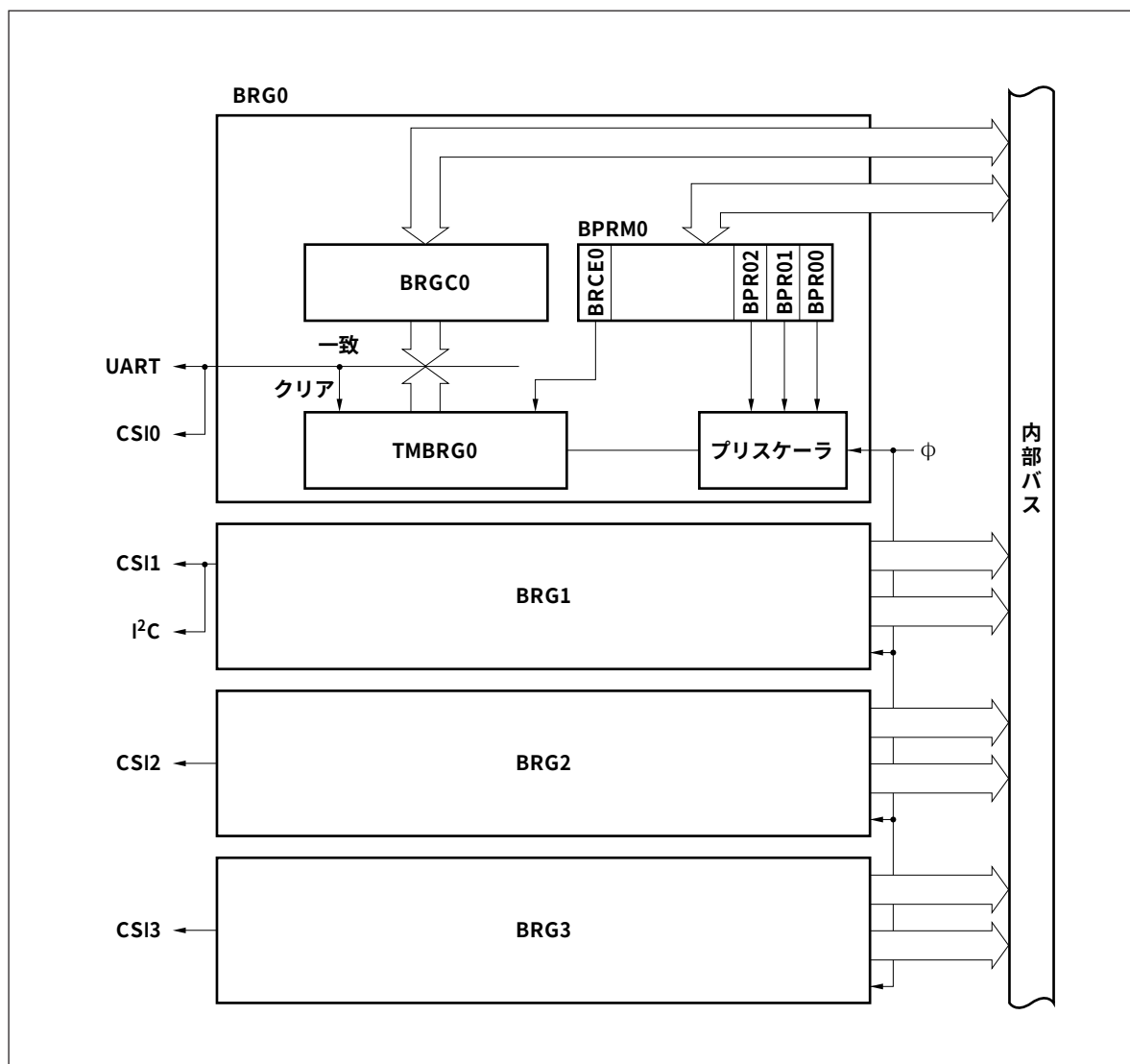
- UART/CSI0用 (BRG0)
- I²C/CSI1用 (BRG1)
- CSI2用 (BRG2)
- CSI3用 (BRG3)

シリアル・クロック・ソースは、UARTの場合はASIMnレジスタのSCLSビット、CSIの場合はCSIMnレジスタのCLSビットで指定します。

ポー・レート・ジェネレータ出力を指定した場合は、クロック・ソースとしてポー・レート・ジェネレータが選択されます。

1チャンネル当たりの送受信のシリアル・クロックは1つで共用されるため、送受信のポー・レートは同一となります。

図8-29 ポー・レート・ジェネレータのブロック図



(1) 専用ボー・レート・ジェネレータ (BRG0-BRG3)

専用ボー・レート・ジェネレータ (BRGn) は、おのおの、送受信のシフト・クロックを発生する専用の8ビット・タイマ (TMBRGn) + コンペア・レジスタ (BRGCn) とプリスケアラから構成されます (n = 0-3)。

(a) 入力クロック

BRGnへは、内部システム・クロック (φ) が入力されます。

(b) BRGnへの設定値**(i) UART**

UARTでシリアル・クロック・ソースとして専用ボー・レート・ジェネレータを指定した場合、×16のサンプリング・レートを使用しているため、実際のボー・レートは次式で表されます。

$$\text{ボー・レート} = \frac{\phi}{m \times 2^k \times 16 \times 2} \quad [\text{bps}]$$

φ = 内部システム・クロック周波数 [Hz]

m = BRGC0設定値 (1 ≤ m ≤ 256[※])

k = BPR00-BPR02プリスケアラ設定値

注 m = 256の設定は、BRGC0レジスタへの0ライトで行います。

(ii) CSI0-CSI3

CSInにて専用ボー・レート・ジェネレータを指定した場合、実際のボー・レートは次式で表されます (n = 0-3)。

$$\text{ボー・レート} = \frac{\phi}{m \times 2^k \times 2} \quad [\text{bps}]$$

φ = 内部システム・クロック周波数 [Hz]

m = BRGCn設定値 (1 ≤ m ≤ 256^{※1})

k = BPRn0-BPRn2プリスケアラ設定値^{※2}

注1. m = 256の設定は、BRGCnレジスタへの0ライトで行います。

2. k = 0の設定は禁止です。

代表的クロックを使用したときのボー・レート・ジェネレータの設定値を次に示します。

表 8-6 ポー・レート・ジェネレータ 0-3 設定データ (代表的クロック使用時) (1/2)

(a) UART

ポー・レート [bps]	$\phi = 33 \text{ MHz}$			$\phi = 25 \text{ MHz}$			$\phi = 16 \text{ MHz}$			$\phi = 12.5 \text{ MHz}$		
	BPR	BRGC	誤差	BPR	BRGC	誤差	BPR	BRGC	誤差	BPR	BRGC	誤差
110	—	—	—	5	222	0.02 %	5	142	0.03 %	4	222	0.02 %
150	5	215	0.07 %	5	163	0.15 %	4	208	0.16 %	4	163	0.15 %
300	4	215	0.07 %	4	163	0.15 %	3	208	0.16 %	3	163	0.15 %
600	3	215	0.07 %	3	163	0.15 %	2	208	0.16 %	2	163	0.15 %
1200	2	215	0.07 %	2	163	0.15 %	1	208	0.16 %	1	163	0.15 %
2400	1	215	0.07 %	1	163	0.15 %	0	208	0.16 %	0	162	0.47 %
4800	0	215	0.07 %	0	163	0.15 %	0	104	0.16 %	0	82	0.76 %
9600	0	107	0.39 %	0	81	0.47 %	0	52	0.16 %	0	40	1.73 %
10400	0	100	0.84 %	0	75	0.16 %	0	48	0.16 %	0	38	1.16 %
19200	0	54	0.54 %	0	41	0.76 %	0	26	0.16 %	0	20	1.73 %
31250	0	33	0.00 %	0	25	0.00 %	0	16	0.00 %	0	13	3.85 %
38400	0	27	0.54 %	0	20	1.73 %	0	13	0.16 %	0	10	1.73 %
76800	0	13	3.29 %	0	10	1.73 %	0	7	6.99 % ^注	0	5	1.73 %
153600	0	7	4.09 %	0	5	1.73 %	0	3	8.51 % ^注	—	—	—

ポー・レート [bps]	$\phi = 19.660 \text{ MHz}$			$\phi = 14.746 \text{ MHz}$			$\phi = 12.288 \text{ MHz}$			$\phi = 9.830 \text{ MHz}$		
	BPR	BRGC	誤差	BPR	BRGC	誤差	BPR	BRGC	誤差	BPR	BRGC	誤差
110	5	176	0.83 %	5	131	0.07 %	4	218	0.08 %	4	176	0.83 %
150	5	128	0.00 %	4	192	0.00 %	4	160	0.00 %	4	128	0.00 %
300	4	128	0.00 %	3	192	0.00 %	3	160	0.00 %	3	128	0.00 %
600	3	128	0.00 %	2	192	0.00 %	2	160	0.00 %	2	128	0.00 %
1200	2	128	0.00 %	1	192	0.00 %	1	160	0.00 %	1	128	0.00 %
2400	1	128	0.00 %	0	192	0.00 %	0	160	0.00 %	0	128	0.00 %
4800	0	128	0.00 %	0	96	0.00 %	0	80	0.00 %	0	64	0.00 %
9600	0	64	0.00 %	0	48	0.00 %	0	40	0.00 %	0	32	0.00 %
10400	0	60	1.54 %	0	44	0.70 %	0	37	0.21 %	0	30	1.54 %
19200	0	32	0.00 %	0	24	0.00 %	0	20	0.00 %	0	16	0.00 %
31250	0	20	1.70 %	0	15	1.69 %	0	12	2.40 %	0	10	1.70 %
38400	0	16	0.00 %	0	12	0.00 %	0	10	0.00 %	0	8	0.00 %
76800	0	8	0.00 %	0	6	0.00 %	0	5	0.00 %	0	4	0.00 %
153600	0	4	0.00 %	0	3	0.00 %	—	—	—	0	2	0.00 %
307200	0	2	0.00 %	—	—	—	—	—	—	0	1	0.00 %
614400	0	1	0.00 %	—	—	—	—	—	—	—	—	—

注 誤差が大きく使用不可

備考 ϕ : 内部システム・クロック

表8-6 ボー・レート・ジェネレータ0-3設定データ（代表的クロック使用時）（2／2）

(b) CSI

ボー・レート [bps]	$\phi = 33 \text{ MHz}$			$\phi = 25 \text{ MHz}$			$\phi = 16 \text{ MHz}$			$\phi = 12.5 \text{ MHz}$		
	BPR	BRGC	誤差	BPR	BRGC	誤差	BPR	BRGC	誤差	BPR	BRGC	誤差
1760	—	—	—	5	222	0.02 %	5	142	0.03 %	4	222	0.02 %
2400	5	215	0.07 %	5	163	0.15 %	4	208	0.16 %	4	163	0.15 %
4800	4	215	0.07 %	4	163	0.15 %	3	208	0.16 %	3	163	0.15 %
9600	3	215	0.07 %	3	163	0.15 %	2	208	0.16 %	2	163	0.15 %
19200	2	215	0.07 %	2	163	0.15 %	1	208	0.16 %	1	163	0.15 %
38400	1	215	0.07 %	1	163	0.15 %	1	104	0.16 %	1	81	0.47 %
76800	1	107	0.39 %	1	81	0.47 %	1	52	0.16 %	1	41	0.76 %
153600	1	54	0.54 %	1	41	0.76 %	1	26	0.16 %	1	20	1.73 %
166400	1	50	0.84 %	1	38	1.16 %	1	24	0.16 %	1	19	1.16 %
307200	1	27	0.54 %	1	20	1.73 %	1	13	0.16 %	1	10	1.73 %
614400	1	13	3.29 %	1	10	1.73 %	1	7	6.99 % ^注	1	5	1.73 %
1228800	1	7	4.09 %	1	5	1.73 %	—	—	—	1	3	15.2 % ^注
2457600	1	3	11.30 % ^注	1	2	27.2 % ^注	—	—	—	—	—	—

ボー・レート [bps]	$\phi = 20 \text{ MHz}$			$\phi = 14.746 \text{ MHz}$			$\phi = 12.288 \text{ MHz}$			$\phi = 9.830 \text{ MHz}$		
	BPR	BRGC	誤差	BPR	BRGC	誤差	BPR	BRGC	誤差	BPR	BRGC	誤差
1760	5	178	0.25 %	5	131	0.07 %	4	218	0.08 %	4	175	0.26 %
2400	5	130	0.16 %	4	192	0.00 %	4	160	0.00 %	4	128	0.00 %
4800	4	130	0.16 %	3	192	0.00 %	3	160	0.00 %	3	128	0.00 %
9600	3	130	0.16 %	2	192	0.00 %	2	160	0.00 %	2	128	0.00 %
19200	2	130	0.16 %	1	192	0.00 %	1	160	0.00 %	1	128	0.00 %
38400	1	130	0.16 %	1	96	0.00 %	1	80	0.00 %	1	64	0.00 %
76800	1	65	0.16 %	1	48	0.00 %	1	40	0.00 %	1	32	0.00 %
153600	1	33	1.36 %	1	24	0.00 %	1	20	0.00 %	1	16	0.00 %
166400	1	30	0.16 %	1	22	0.70 %	1	18	2.60 %	1	15	1.50 %
307200	1	16	1.73 %	1	12	0.00 %	1	10	0.00 %	1	8	0.00 %
614400	1	8	1.73 %	1	6	0.00 %	1	5	0.00 %	1	4	0.00 %
1228800	1	4	1.73 %	1	3	0.00 %	1	3	16.7 % ^注	1	2	0.00 %
2457600	1	2	1.73 %	1	2	25 % ^注	—	—	—	1	1	0.00 %

注 誤差が大きく使用不可

備考 ϕ ：内部システム・クロック

(c) ボー・レートの誤差について

ボー・レートの誤差は次のように表されます。

$$\text{誤差} [\%] = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100$$

例 $(9520/9600 - 1) \times 100 = -0.833 [\%]$

$(5000/4800 - 1) \times 100 = +4.167 [\%]$

(2) ボー・レートの誤差許容範囲

許容範囲は、1フレームのビット数に依存します。

16ビットでのボー・レート誤差：±5%，サンプル・タイミング：±4.5 %を基本的な許容限度とします。

ただし、実用上の許容限度は、送信側、受信側がともに誤差を含んでいる場合を想定して、ボー・レート誤差：±2.3 %です。

8.5.2 ボー・レート・ジェネレータ・コンペア・レジスタ0-3
 (BRGC0-BRGC3)

専用ボー・レート・ジェネレータにおけるタイマ・カウント値を設定する8ビットのコンペア・レジスタです。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
BRGC0	BRG07	BRG06	BRG05	BRG04	BRG03	BRG02	BRG01	BRG00	アドレス FFFFF084H	リセット時 不定
BRGC1	BRG17	BRG16	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	FFFFF094H	不定
BRGC2	BRG27	BRG26	BRG25	BRG24	BRG23	BRG22	BRG21	BRG20	FFFFF0A4H	不定
BRGC3	BRG37	BRG36	BRG35	BRG34	BRG33	BRG32	BRG31	BRG30	FFFFF0B4H	不定

注意 BRGCnレジスタへの書き込み動作により、内部タイマ（TMBRGn）がクリアされます。したがって、送受信動作中にソフトウェアでBRGCnレジスタを書き換えないでください。

備考 n = 0-3

8.5.3 ボー・レート・ジェネレータ・プリスケアラ・モード・レジスタ 0-3 (BPRM0-BPRM3)

専用ボー・レート・ジェネレータのタイマ・カウント動作制御とカウント・クロックの選択を行います。
8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
BPRM0	BRCE0	0	0	0	0	BPR02	BPR01	BPR00	アドレス FFFFFF086H	リセット時 00H
BPRM1	BRCE1	0	0	0	0	BPR12	BPR11	BPR10	FFFFFF096H	00H
BPRM2	BRCE2	0	0	0	0	BPR22	BPR21	BPR20	FFFFFF0A6H	00H
BPRM3	BRCE3	0	0	0	0	BPR32	BPR31	BPR30	FFFFFF0B6H	00H

ビット位置	ビット名	意 味																																
7	BRCEn	Baud Rate Generator Count Enable BRGnのカウント動作を制御します。 0：クリアされたままカウント動作を停止します。 1：カウント動作を許可します。																																
2-0	BPRn3- BPRn0	Baud Rate Generator Prescaler 内部タイマ（TMBRGn）へ入力するカウント・クロックを指定します。 <table><tr><th>BPRn2</th><th>BPRn1</th><th>BPRn0</th><th>カウント・クロック</th></tr><tr><td>0</td><td>0</td><td>0</td><td>ϕ（k=0）：CSIは使用不可</td></tr><tr><td>0</td><td>0</td><td>1</td><td>$\phi/2$（k=1）</td></tr><tr><td>0</td><td>1</td><td>0</td><td>$\phi/4$（k=2）</td></tr><tr><td>0</td><td>1</td><td>1</td><td>$\phi/8$（k=3）</td></tr><tr><td>1</td><td>0</td><td>0</td><td>$\phi/16$（k=4）</td></tr><tr><td>1</td><td>0</td><td>1</td><td>$\phi/32$（k=5）</td></tr><tr><td colspan="3">その他</td><td>設定禁止</td></tr></table> k：プリスケアラ設定値 ϕ ：内部システム・クロック	BPRn2	BPRn1	BPRn0	カウント・クロック	0	0	0	ϕ （k=0）：CSIは使用不可	0	0	1	$\phi/2$ （k=1）	0	1	0	$\phi/4$ （k=2）	0	1	1	$\phi/8$ （k=3）	1	0	0	$\phi/16$ （k=4）	1	0	1	$\phi/32$ （k=5）	その他			設定禁止
BPRn2	BPRn1	BPRn0	カウント・クロック																															
0	0	0	ϕ （k=0）：CSIは使用不可																															
0	0	1	$\phi/2$ （k=1）																															
0	1	0	$\phi/4$ （k=2）																															
0	1	1	$\phi/8$ （k=3）																															
1	0	0	$\phi/16$ （k=4）																															
1	0	1	$\phi/32$ （k=5）																															
その他			設定禁止																															

注意 送受信動作中にカウント・クロックを変更しないでください。

備考 n = 0-3

8.6 動作シリアル・インタフェースの選択

V854のCSI0とCSI1は、それぞれUART、I²Cと端子が兼用になっているため、どちらかに切り替えて使用します。

(1) CSI0とUARTの切り替え

ASIM0レジスタとCSIM0レジスタで設定します。

ASIM0レジスタ		CSIM0レジスタ		動作周辺I/Oの選択
TXE	RXE	CTXE0	CRXE0	
0	0	0	0	動作停止
0	1	0	0	UARTを選択
1	0	0	0	
1	1	0	0	
0	0	0	1	CSIを選択
0	0	1	0	
0	0	1	1	
その他				設定禁止

(2) CSI1とI²Cの切り替え

IICCレジスタとCSIM1レジスタで設定します。

IICCレジスタ	CSIM1レジスタ		動作周辺I/Oの選択
IICE	CTXE1	CRXE1	
0	0	0	動作停止
1	0	0	I ² Cを選択
0	0	1	CSIを選択
0	1	0	
0	1	1	
その他			設定禁止

第9章 A/Dコンバータ

9.1 特 徴

- アナログ入力：16チャンネル
- 8ビットA/Dコンバータ内蔵
- A/D変換結果レジスタ（ADCR0-ADCR7）内蔵
8ビット×8本
- A/D変換トリガ・モード
 - A/Dトリガ・モード
 - タイマ・トリガ・モード
 - 外部トリガ・モード
- 逐次変換方式

9.2 構 成

V854のA/Dコンバータは逐次変換方式を採用しており、A/Dコンバータ・モード・レジスタ（ADM0，ADM1），ADCR_nレジスタを使用してA/D変換動作を行います（ $n = 0-7$ ）。

（1）入力回路

ADM0，ADM1レジスタに設定したモードに従ってアナログ入力（ANI0-ANI15）を選択し、サンプル&ホールド回路に送ります。

（2）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、コンパレータに送ります。
なおA/D変換動作中は、サンプリングしたアナログ入力を保持します。

（3）電圧コンパレータ

入力されたアナログ入力と直列抵抗ストリングの電圧タップの出力電圧を比較します。

（4）直列抵抗ストリング

直列抵抗ストリングは、アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは、A/Dコンバータ用の基準電圧端子（AV_{REF}）とA/Dコンバータ用のGND端子（AV_{SS}）間に接続されています。2端子間を256の等価な電圧ステップにするため、等価な抵抗255個とその1/2の抵抗値の抵抗2個で構成されています。

直列抵抗ストリングの電圧タップは、逐次変換レジスタ（SAR）で制御されるタップ・セレクトによって選択します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARは、直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する8ビット・レジスタです。

SARの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARの内容 (変換結果) は、A/D変換結果レジスタ (ADCRn) に保持されます。

(6) A/D変換結果レジスタ (ADCRn : A/D Conversion Result Register n)

ADCRは、A/D変換結果を保持する8ビット・レジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

RESET入力により不定となります。

(7) コントローラ

ADM0, ADM1レジスタに設定したモードに従って、アナログ入力の選択、サンプル&ホールド回路の動作タイミングの生成、変換トリガの制御を行います。

(8) ANI0-ANI15端子

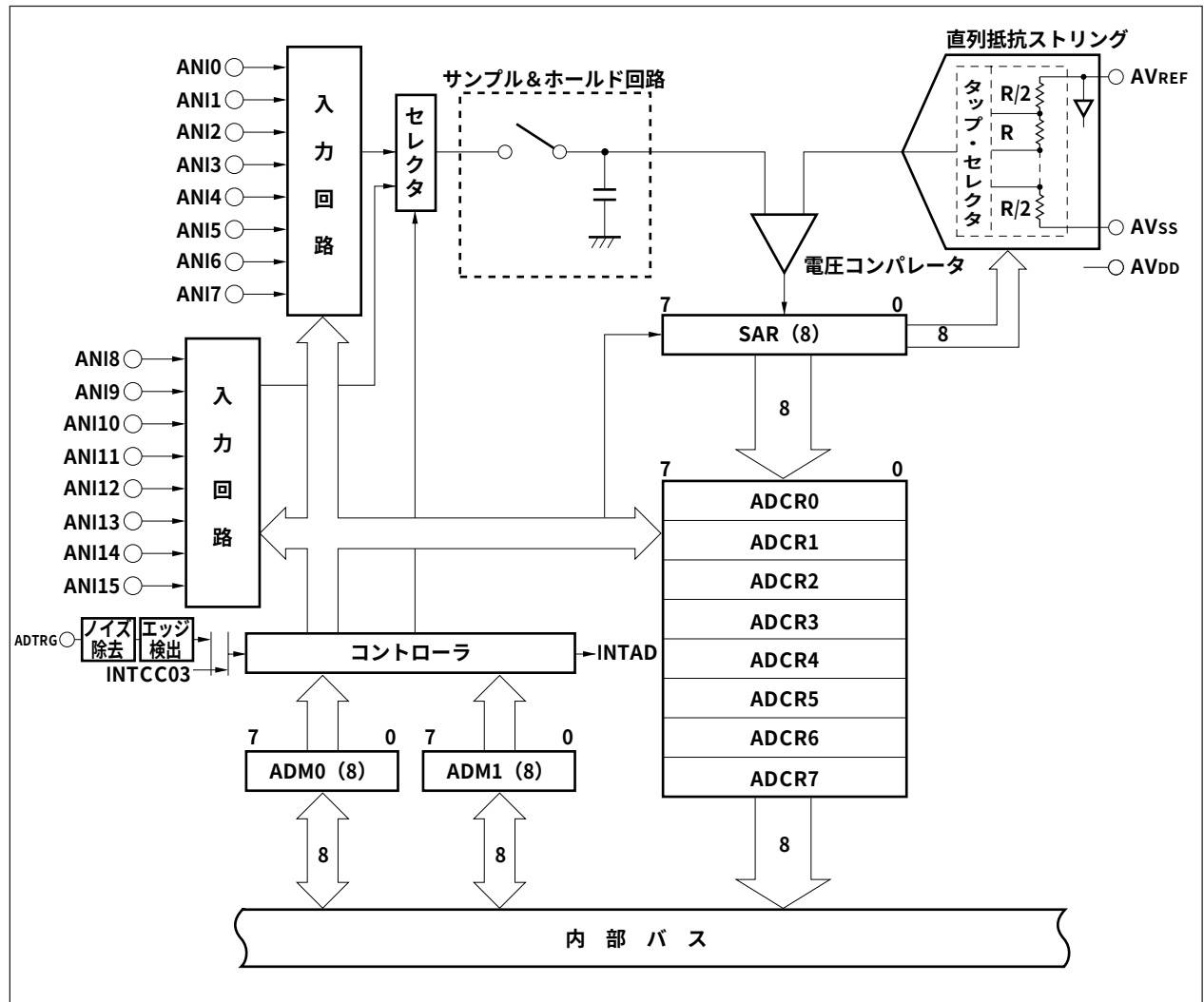
A/Dコンバータへの16チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI15入力電圧は規格の範囲内でご使用ください。特に V_{DD} 以上、 V_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(9) AV_{REF} 端子

A/Dコンバータの基準電圧を入力するための端子です。 AV_{REF} - AV_{SS} 間に加えられる電圧に基づいてANI0-ANI15端子に入力される信号をディジタル信号に変換します。

図9-1 A/Dコンバータのブロック図



9.3 制御レジスタ

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

ADM0レジスタは、アナログ入力端子の選択、動作モードの指定および変換動作の制御を行う8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。ただしA/D変換動作中にADM0レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。また、ビット6には書き込みできません。書き込みは無視されます。

	7	6	5	4	3	2	1	0		
ADM0	CE	CS	BS	MS	PS	ANIS2	ANIS1	ANIS0	アドレス FFFFF380H	リセット時 00H

ビット位置	ビット名	意 味
7	CE	Convert Enable A/D変換動作の許可／禁止を指定します。 0：禁止 1：許可
6	CS	Converter Status A/Dコンバータの状態を示します。このビットは読み出し専用です。 0：停止 1：動作中
5	BS	Buffer Select セレクト・モード時のバッファ・モードを指定します。 0：1バッファ・モード 1：4バッファ・モード
4	MS	Mode Select A/Dコンバータの動作モードを指定します。 0：スキャン・モード 1：セレクト・モード
3	PS	Pin Select アナログ入力端子を切り替えます。 0：ANI0-ANI7を選択 1：ANI8-ANI15を選択

ビット位置	ビット名	意 味		
2-0	ANIS2- ANIS0	Analog Input Select		
		A/D変換するアナログ入力端子を指定します。		
		ANIS2	ANIS1	ANIS0
		セレクト・モード		スキャン・モード
		0	0	0
		ANI0/ANI8		ANI0/ANI8
		0	0	1
		ANI1/ANI9		ANI0, ANI1/ANI8, ANI9
		0	1	0
		ANI2/ANI10		ANI0-ANI2/ANI8-ANI10
		0	1	1
		ANI3/ANI11		ANI0-ANI3/ANI8-ANI11
		1	0	0
		ANI4/ANI12		ANI0-ANI4/ANI8-ANI12
		1	0	1
		ANI5/ANI13		ANI0-ANI5/ANI8-ANI13
		1	1	0
		ANI6/ANI14		ANI0-ANI6/ANI8-ANI14
		1	1	1
		ANI7/ANI15		ANI0-ANI7/ANI8-ANI15

注意 タイマ・トリガ・モード，外部トリガ・モード時でCEビットが1のときは，トリガ信号待機状態になります。CEビットをクリアするには，“0”を書き込むか，リセットしてください。

A/Dトリガ・モードでは，CEビットに1を書き込むことが変換のトリガになります。動作後，CEビットをクリアせずにタイマ・トリガ・モード，外部トリガ・モードに変更した場合，変更直後からトリガ入力の待機状態になります。

(2) A/Dコンバータ・モード・レジスタ1 (ADM1)

ADM1レジスタは、変換動作時間の指定、トリガ・モードの指定を行う8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。ただし、A/D変換動作中にADM1レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

	7	6	5	4	3	2	1	0		
ADM1	0	0	TRG1	TRG0	0	FR2	FR1	FR0	アドレス FFFFFF382H	リセット時 07H

ビット位置	ビット名	意 味																																																																		
5, 4	TRG1, TRG0	Torigger Mode トリガ・モードを指定します。 <table><tr><th>TRG1</th><th>TRG0</th><th>トリガ・モード</th></tr><tr><td>0</td><td>0</td><td>A/Dトリガ・モード</td></tr><tr><td>0</td><td>1</td><td>タイマ・トリガ・モード</td></tr><tr><td>1</td><td>0</td><td>外部トリガ・モード</td></tr><tr><td>1</td><td>1</td><td>設定禁止</td></tr></table>	TRG1	TRG0	トリガ・モード	0	0	A/Dトリガ・モード	0	1	タイマ・トリガ・モード	1	0	外部トリガ・モード	1	1	設定禁止																																																			
TRG1	TRG0	トリガ・モード																																																																		
0	0	A/Dトリガ・モード																																																																		
0	1	タイマ・トリガ・モード																																																																		
1	0	外部トリガ・モード																																																																		
1	1	設定禁止																																																																		
2-0	FR2-FR0	Frequency 変換動作時間を指定します。 <table><tr><th rowspan="2">FR2</th><th rowspan="2">FR1</th><th rowspan="2">FR0</th><th rowspan="2">変換クロック数</th><th colspan="3">変換動作時間（μs）</th></tr><tr><th>φ = 33 MHz</th><th>φ = 25 MHz</th><th>φ = 16 MHz</th></tr><tr><td>0</td><td>0</td><td>0</td><td>50</td><td>—</td><td>—</td><td>3.1</td></tr><tr><td>0</td><td>0</td><td>1</td><td>60</td><td>—</td><td>—</td><td>3.8</td></tr><tr><td>0</td><td>1</td><td>0</td><td>80</td><td>—</td><td>3.2</td><td>5.0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>100</td><td>3.0</td><td>4.0</td><td>6.3</td></tr><tr><td>1</td><td>0</td><td>0</td><td>120</td><td>3.6</td><td>4.8</td><td>7.5</td></tr><tr><td>1</td><td>0</td><td>1</td><td>140</td><td>4.2</td><td>5.6</td><td>8.8</td></tr><tr><td>1</td><td>1</td><td>0</td><td>180</td><td>5.4</td><td>7.2</td><td>11.3</td></tr><tr><td>1</td><td>1</td><td>1</td><td>200</td><td>6.0</td><td>8.0</td><td>12.5</td></tr></table>	FR2	FR1	FR0	変換クロック数	変換動作時間（μs）			φ = 33 MHz	φ = 25 MHz	φ = 16 MHz	0	0	0	50	—	—	3.1	0	0	1	60	—	—	3.8	0	1	0	80	—	3.2	5.0	0	1	1	100	3.0	4.0	6.3	1	0	0	120	3.6	4.8	7.5	1	0	1	140	4.2	5.6	8.8	1	1	0	180	5.4	7.2	11.3	1	1	1	200	6.0	8.0	12.5
FR2	FR1	FR0					変換クロック数	変換動作時間（μs）																																																												
			φ = 33 MHz	φ = 25 MHz	φ = 16 MHz																																																															
0	0	0	50	—	—	3.1																																																														
0	0	1	60	—	—	3.8																																																														
0	1	0	80	—	3.2	5.0																																																														
0	1	1	100	3.0	4.0	6.3																																																														
1	0	0	120	3.6	4.8	7.5																																																														
1	0	1	140	4.2	5.6	8.8																																																														
1	1	0	180	5.4	7.2	11.3																																																														
1	1	1	200	6.0	8.0	12.5																																																														

(3) A/D変換結果レジスタ (ADCR0-ADCR7)

ADCRnレジスタは、A/D変換の結果を保持する8ビット・レジスタです。8本の8ビット・レジスタを備えています。

8/1ビット単位でリードのみ可能です。

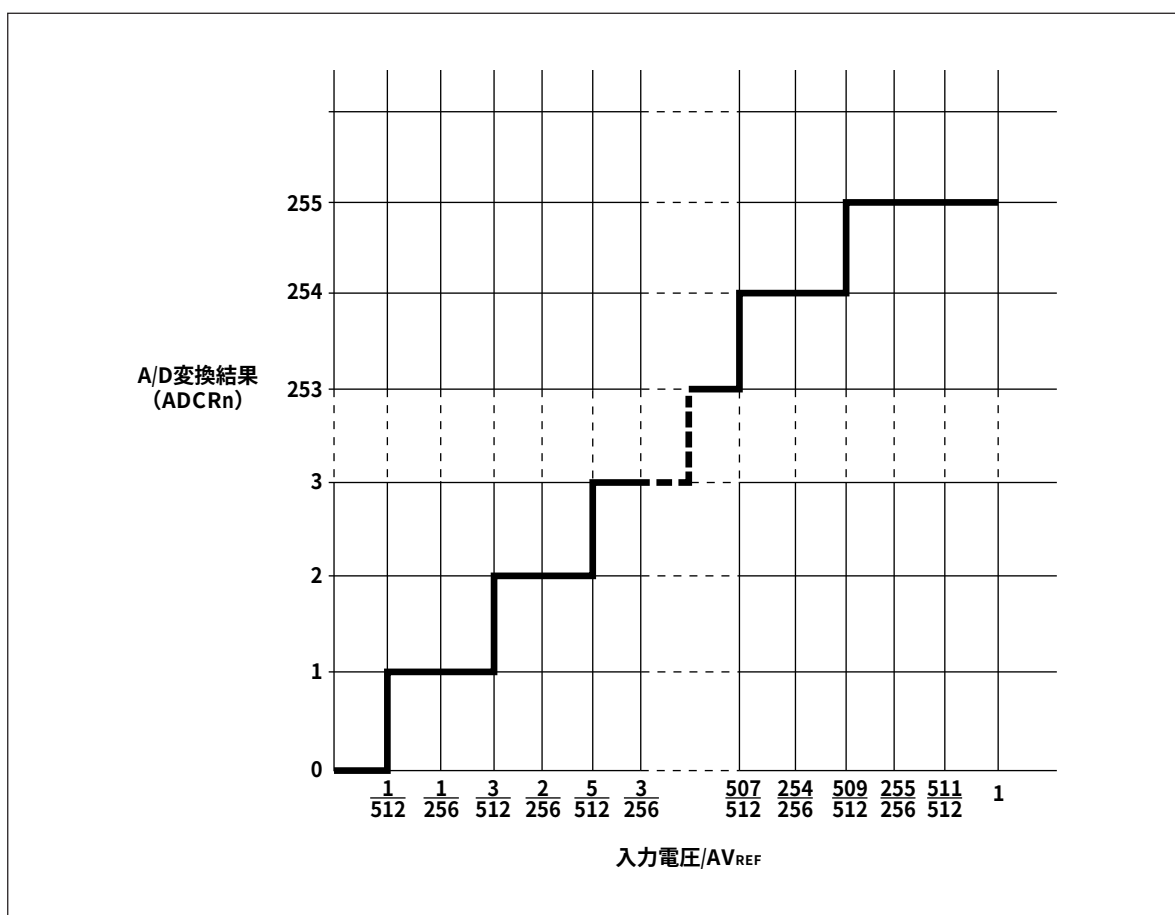
	7	6	5	4	3	2	1	0		
ADCRn	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	アドレス FFFFFF390H- FFFFFF39EH	リセット時 不定
備考	n = 0-7									

各アナログ入力端子とADCRnレジスタの対応（4バッファ・モードを除く）を次に示します。

アナログ入力端子		ADCRnレジスタ
PS=0	PS=1	
ANI0	ANI8	ADCR0
ANI1	ANI9	ADCR1
ANI2	ANI10	ADCR2
ANI3	ANI11	ADCR3
ANI4	ANI12	ADCR4
ANI5	ANI13	ADCR5
ANI6	ANI14	ADCR6
ANI7	ANI15	ADCR7

図9-2に、アナログ入力電圧とA/D変換結果の関係を示します。

図9-2 アナログ入力電圧とA/D変換結果の関係



9.4 A/Dコンバータ動作

9.4.1 A/Dコンバータ基本動作

A/D変換は次の手順で行います。

- (1) アナログ入力の選択、動作モード、トリガ・モードなどの指定を、ADMnレジスタに設定します^{注1}
(n = 0, 1)。ADM0レジスタのCEビットをセット (1) すると、A/Dトリガ・モード時はA/D変換を開始します。タイマ・トリガ・モード、外部トリガ・モード時は、トリガ待機状態^{注2}になります。
- (2) 直列抵抗ストリングの電圧タップから発生した電圧とアナログ入力をコンパレータで比較します。
- (3) 8ビットの比較が終了したとき、ADCRnレジスタに変換結果を格納します。指定した回数のA/D変換が終了したとき、A/D変換終了割り込み (INTAD) を発生します (n = 0-7)。

- 注1.** A/D変換動作中にADMnレジスタ (n = 0, 1) を変更した場合、変更前のA/D変換動作は停止し、ADCRnレジスタ (n = 0-7) へ変換結果を格納しません。
- 2.** タイマ・トリガ・モード、外部トリガ・モードの場合、ADM0レジスタのCEビットを1にすると、トリガ待機状態に遷移します。またA/D変換動作は、トリガ信号によって起動され、A/D変換動作が終了するとトリガ待機状態に戻ります。

9.4.2 動作モードとトリガ・モード

A/Dコンバータは、動作モード、トリガ・モードの指定により多彩な変換動作を指定できます。動作モード、トリガ・モードは、ADMnレジスタで設定します (n = 0, 1)。

動作モード、トリガ・モードの関係を次に示します。

	トリガ・モード	動作モード	設定値		アナログ入力
			ADM0	ADM1	
★	A/Dトリガ	セレクト	1バッファ	XX01XXXXB	ANI0-ANI15
			4バッファ	XX11XXXXB	
		スキャン	XXX0XXXXB	00000XXXXB	
★	タイマ・トリガ	セレクト	1バッファ	XX01XXXXB	
			4バッファ	XX11XXXXB	
		スキャン	XXX0XXXXB	00010XXXXB	
★	外部トリガ	セレクト	1バッファ	XX01XXXXB	00100XXXXB
			4バッファ	XX11XXXXB	
		スキャン	XXX0XXXXB	00100XXXXB	

(1) トリガ・モード

A/D変換処理の開始タイミングとなるトリガ・モードには、A/Dトリガ・モード、タイマ・トリガ・モード、外部トリガ・モードの3通りがあります。これらのトリガ・モードは、ADM0レジスタで設定します。

(a) A/Dトリガ・モード

AN10-AN15端子に設定されたアナログ入力の変換タイミングを、A/Dコンバータ・ユニット内部で発生するモードです。

(b) タイマ・トリガ・モード

AN10-AN15端子に設定されたアナログ入力の変換タイミングを、RPUのコンペア・レジスタに設定した値で規定するモードです。

24ビットのTM0に接続されたキャプチャ／コンペア・レジスタ（CC03）の一致割り込み発生により、アナログ入力変換タイミングを生成します。

(c) 外部トリガ・モード

AN10-AN15端子に設定されたアナログ入力の変換タイミングを、ADTRG端子で指定するモードです。

(2) 動作モード

動作モードには、AN10-AN15端子を設定するモードとして、セレクト・モード、スキャン・モードの2通りがあります。セレクト・モードには、サブモードとして1バッファ・モードと4バッファ・モードがあります。これらのモードは、ADM0レジスタで設定します。

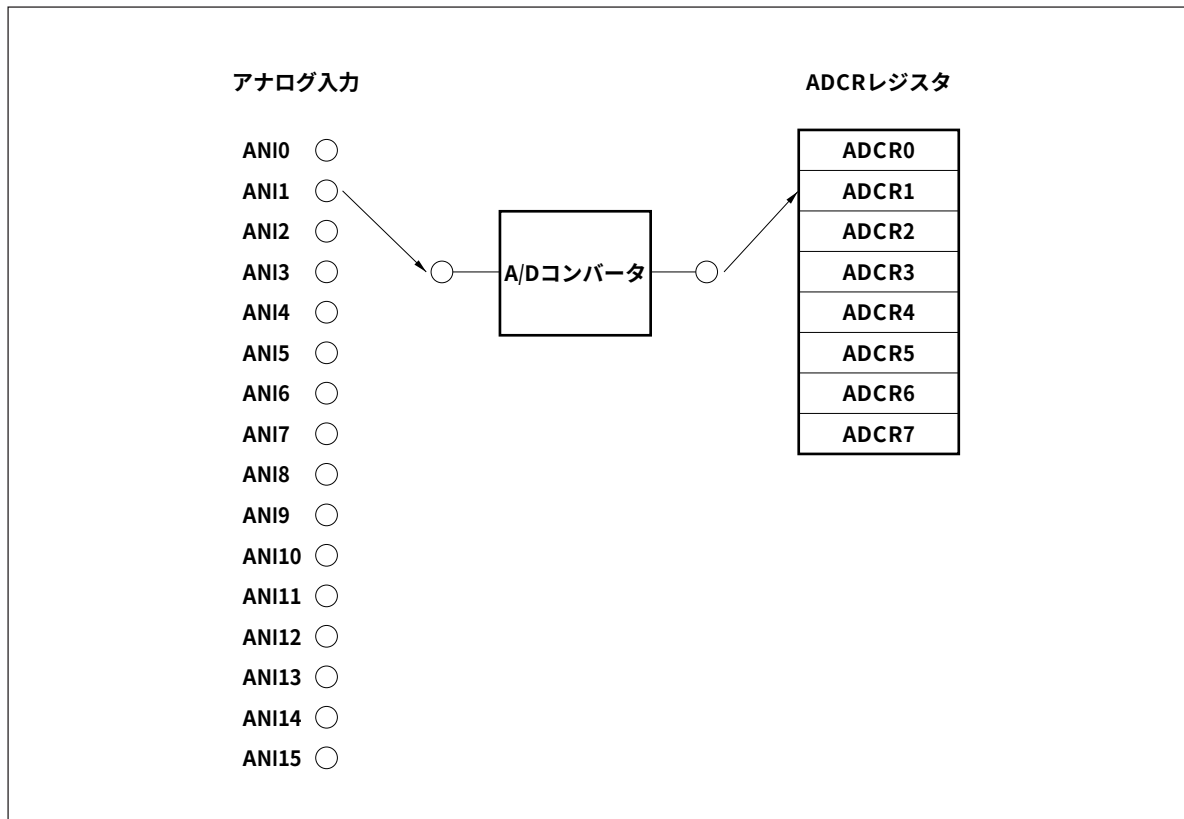
(a) セレクト・モード

ADM0レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は、アナログ入力に対応したADCRnレジスタに格納します（n = 0-7）。このモードでは、A/D変換結果の格納方法として1バッファ・モードと4バッファ・モードを備えています。

・1バッファ・モード

ADM0レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は、アナログ入力に対応したADCRnレジスタに格納します。アナログ入力とADCRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み（INTAD）が発生します。

図9-3 セレクト・モードの動作タイミング例：1バッファ・モード（ANI1）



・ 4バッファ・モード

1つのアナログ入力を4回A/D変換し、その結果をアナログ入力に対応した4つのADCRnレジスタに格納します。A/D変換終了割り込み（INTAD）は、4回のA/D変換が終了したときに発生します。

図9－4 セレクト・モードの動作タイミング例：4バッファ・モード（ANI6）（1/2）

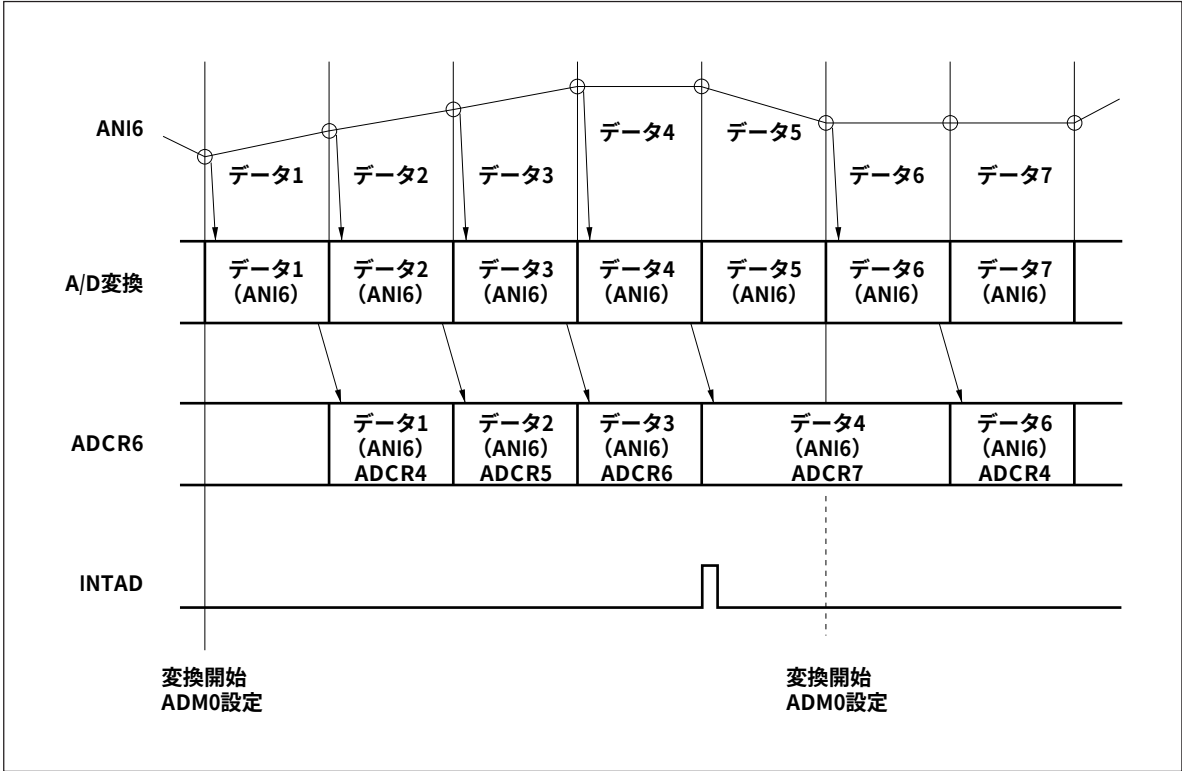
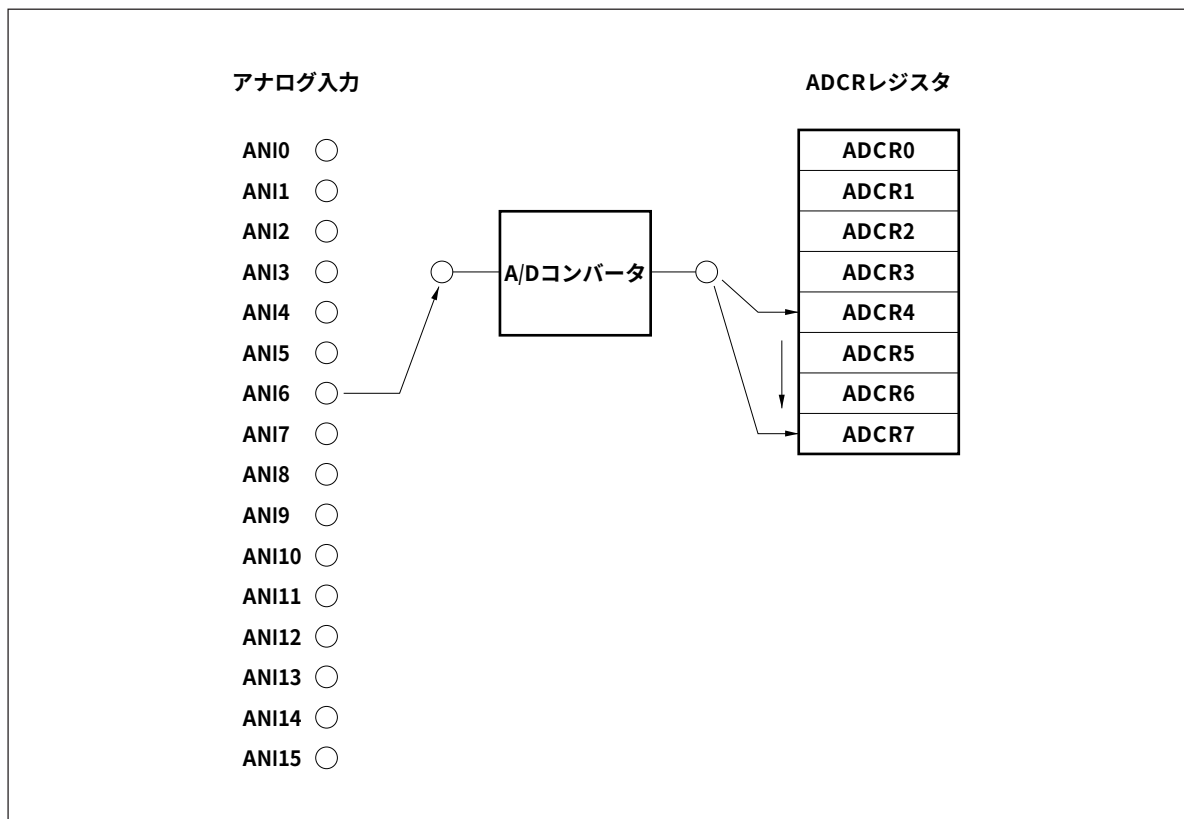


図9-4 セレクト・モードの動作タイミング例：4バッファ・モード（ANI6）（2/2）



(b) スキャン・モード

ANI0端子から、ADM0レジスタで指定したアナログ入力までを順に選択し、A/D変換します。A/D変換結果は、アナログ入力に対応したADCRnレジスタに格納します。指定したアナログ入力の変換が終了すると、INTAD割り込みが発生します (n = 0-7)。

図9-5 スキャン・モードの動作タイミング例：4チャンネル・スキャン (ANI0-ANI3) (1/2)

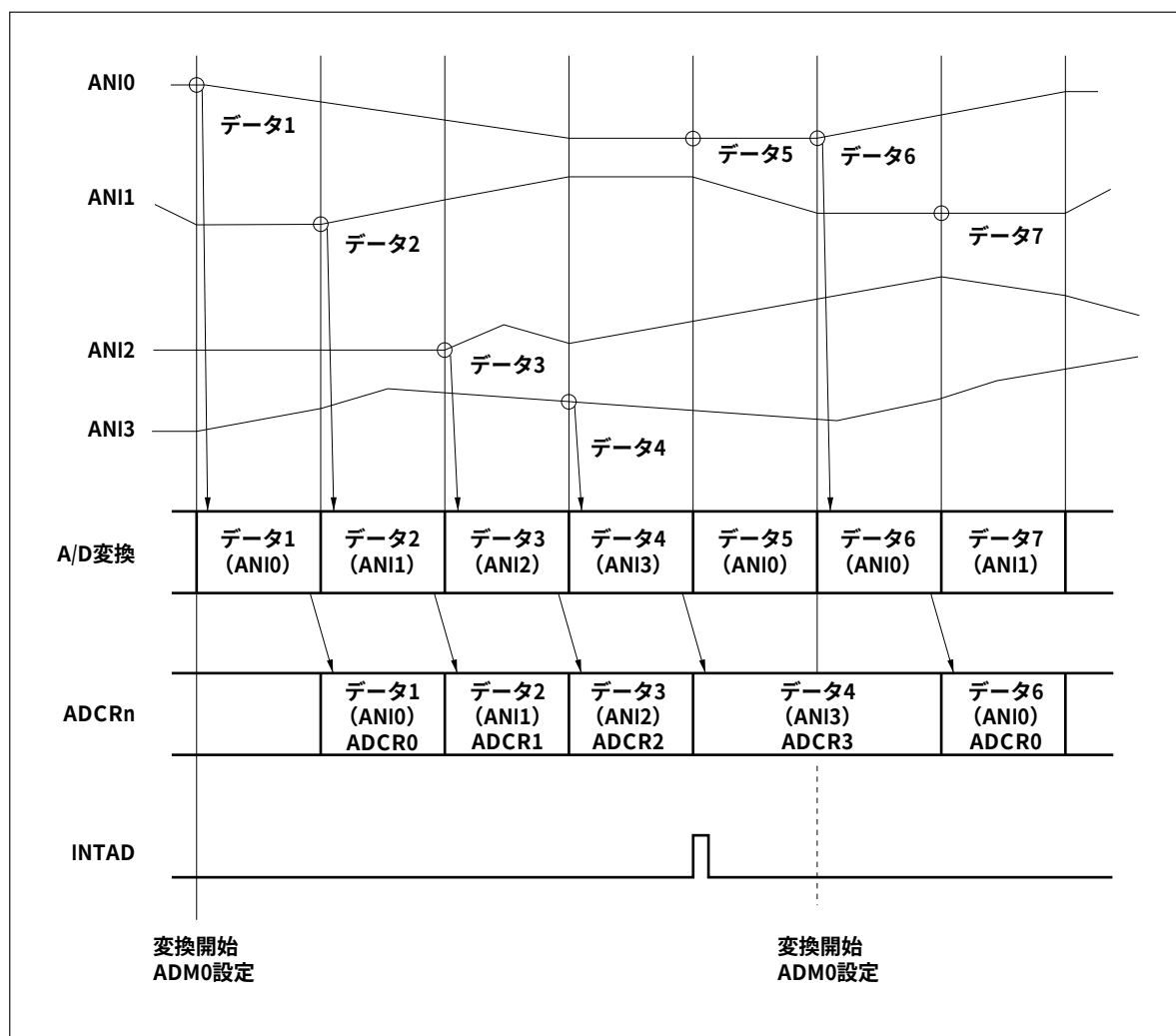
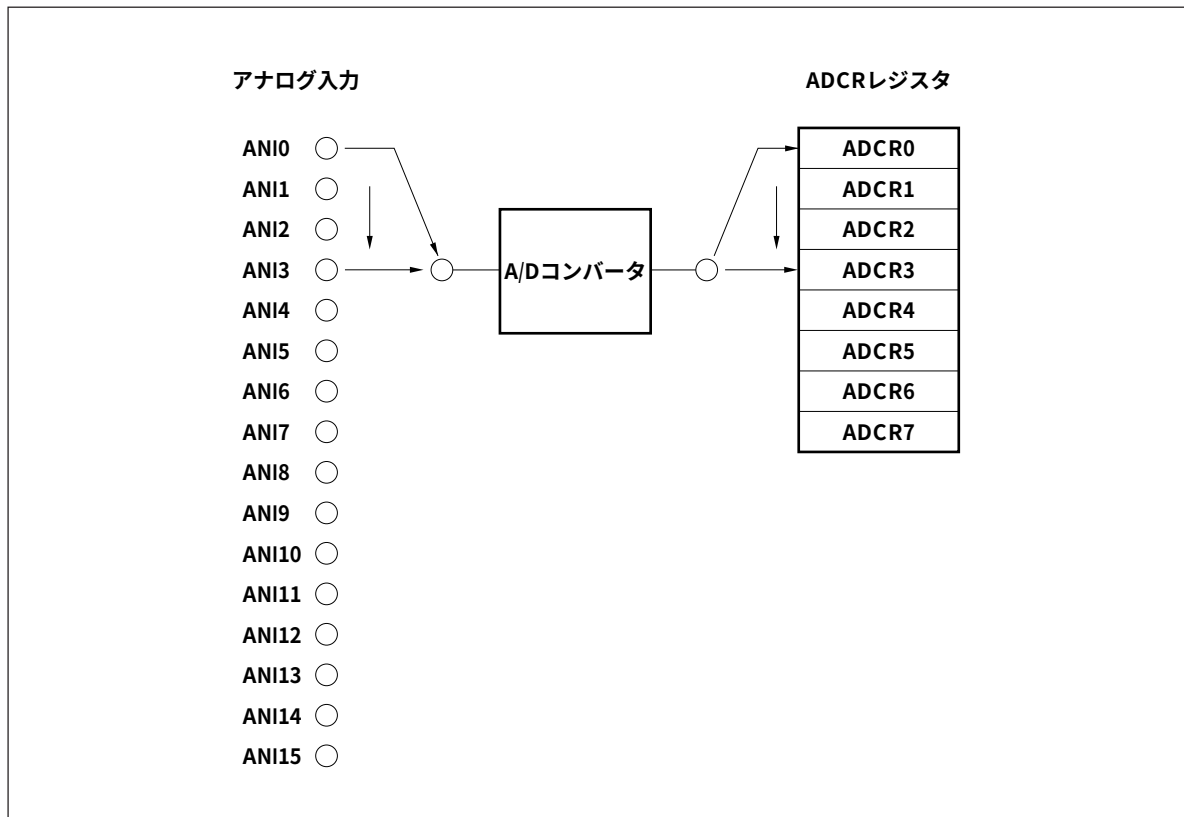


図9-5 スキャン・モードの動作タイミング例：4チャンネル・スキャン（ANI0-ANI3）（2/2）



9.5 A/Dトリガ・モード時の動作

ADM0レジスタのCEビットを1に設定すると、A/D変換を開始します。

9.5.1 セレクト・モードの動作

ADM0レジスタで指定されるアナログ入力をA/D変換します。変換結果は、アナログ入力に対応したADCRnレジスタに格納します。セレクト・モードでは、A/D変換結果の格納法により1バッファ・モードと4バッファ・モードをサポートします（n=0-7）。

（1）1バッファ・モード（A/Dトリガ・セレクト・1バッファ）

1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。アナログ入力とADCRnレジスタは、1対1に対応しています（表9-1，図9-6参照）。

1回のA/D変換ごとにINTAD割り込みを発生し、A/D変換を終了します。ADM0レジスタのCEビットに1を書き込むと、A/D変換を再起動できます。

1回のA/D変換ごとに結果を読み出すような応用に最適です。

★

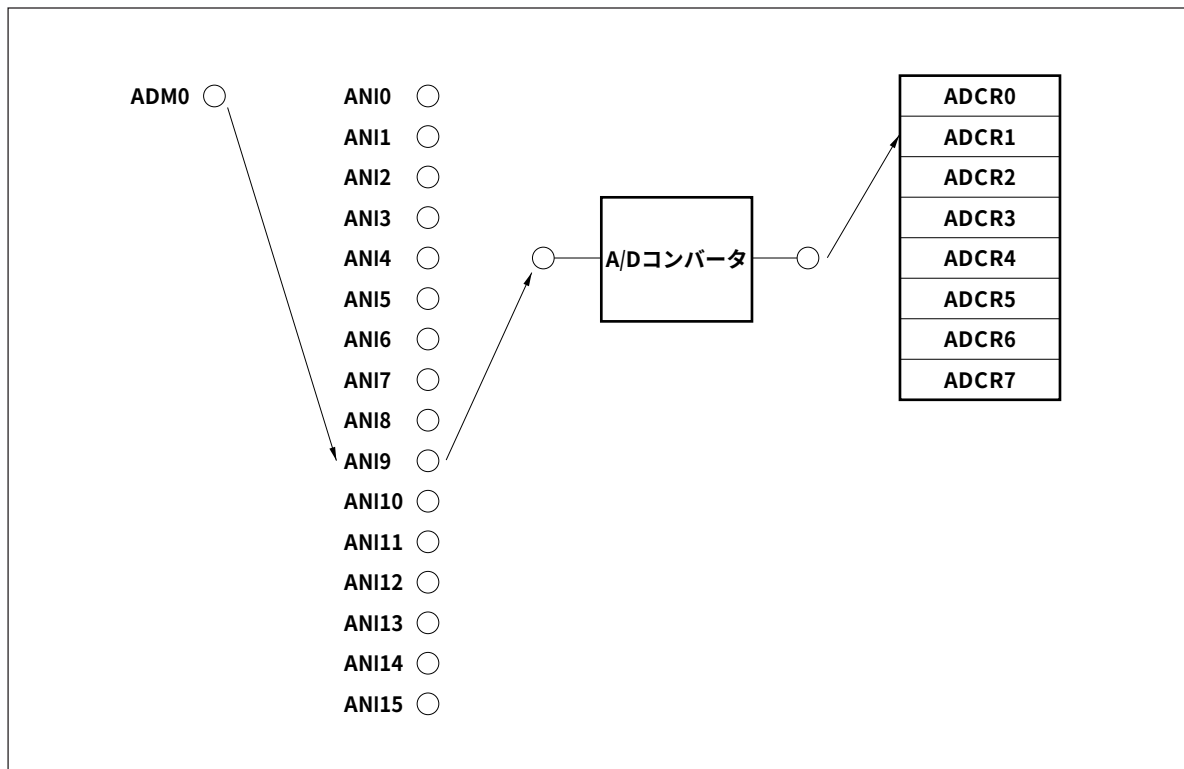
表9-1 アナログ入力端子とADCRnレジスタの対応

（1バッファ・モード（A/Dトリガ・セレクト・1バッファ））

アナログ入力	A/D変換結果レジスタ
ANI0/ANI8	ADCR0
ANI1/ANI9	ADCR1
ANI2/ANI10	ADCR2
ANI3/ANI11	ADCR3
ANI4/ANI12	ADCR4
ANI5/ANI13	ADCR5
ANI6/ANI14	ADCR6
ANI7/ANI15	ADCR7

★

図9-6 1バッファ・モード（A/Dトリガ・セレクト・1バッファ）の動作例



(2) 4バッファ・モード (A/Dトリガ・セレクト・4バッファ)

1つのアナログ入力を4回A/D変換し、その結果を4つのADCRnレジスタに格納します(表9-2, 図9-7参照)。4回のA/D変換が終了すると、INTAD割り込みを発生し、A/D変換を終了します。ADM0レジスタのCEビットに1を書き込むと、A/D変換を再起動できます。

A/D変換結果の平均を求めるような応用に最適です。

★

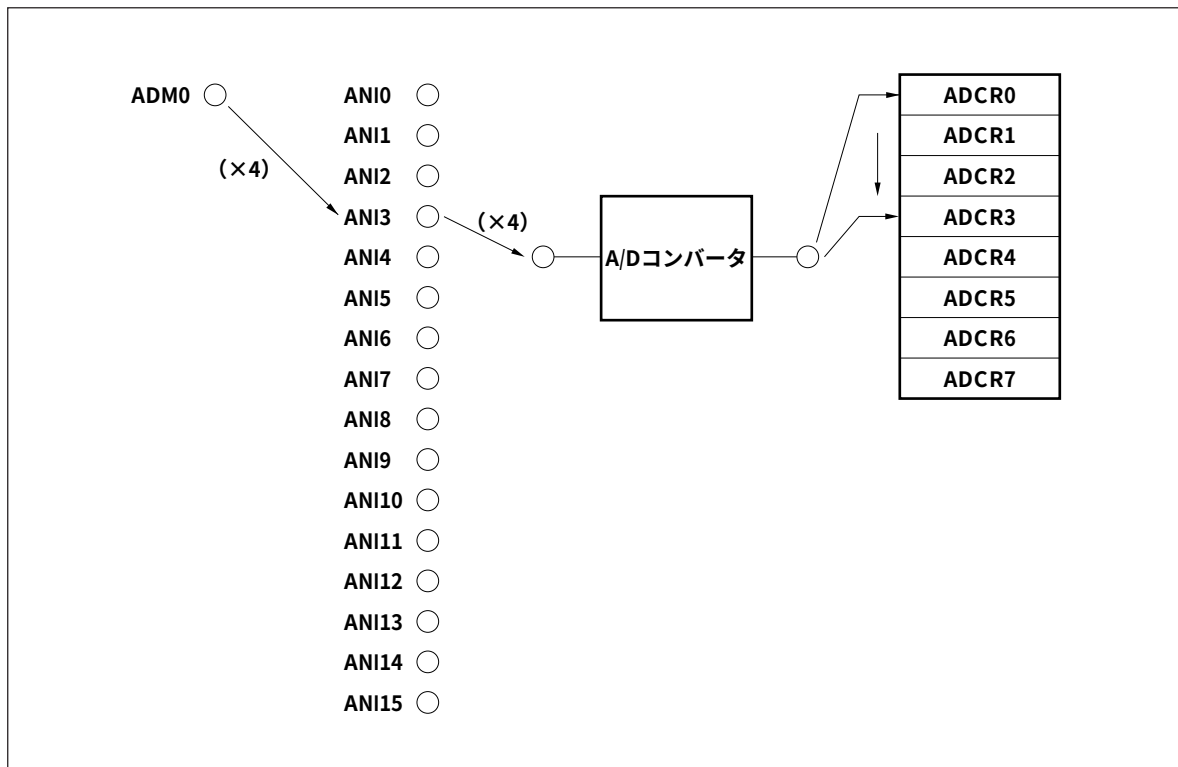
表9-2 アナログ入力端子とADCRnレジスタの対応

(4バッファ・モード (A/Dトリガ・セレクト・4バッファ))

アナログ入力	A/D変換結果レジスタ
ANI0-ANI3/ANI8-ANI11	ADCR0 (1回目)
	ADCR1 (2回目)
	ADCR2 (3回目)
	ADCR3 (4回目)
ANI4-ANI7/ANI12-ANI15	ADCR4 (1回目)
	ADCR5 (2回目)
	ADCR6 (3回目)
	ADCR7 (4回目)

★

図9-7 4バッファ・モード (A/Dトリガ・セレクト・4バッファ) の動作例



9.5.2 スキャン・モードの動作

ANI0/ANI8端子からADM0レジスタで指定されるアナログ入力までを順に選択し、A/D変換します。A/D変換結果をアナログ入力に対応したADCRnレジスタに格納します（表9-3、図9-8参照）。

指定したアナログ入力の変換をすべて終了すると、INTAD割り込みを発生し、A/D変換を終了します。

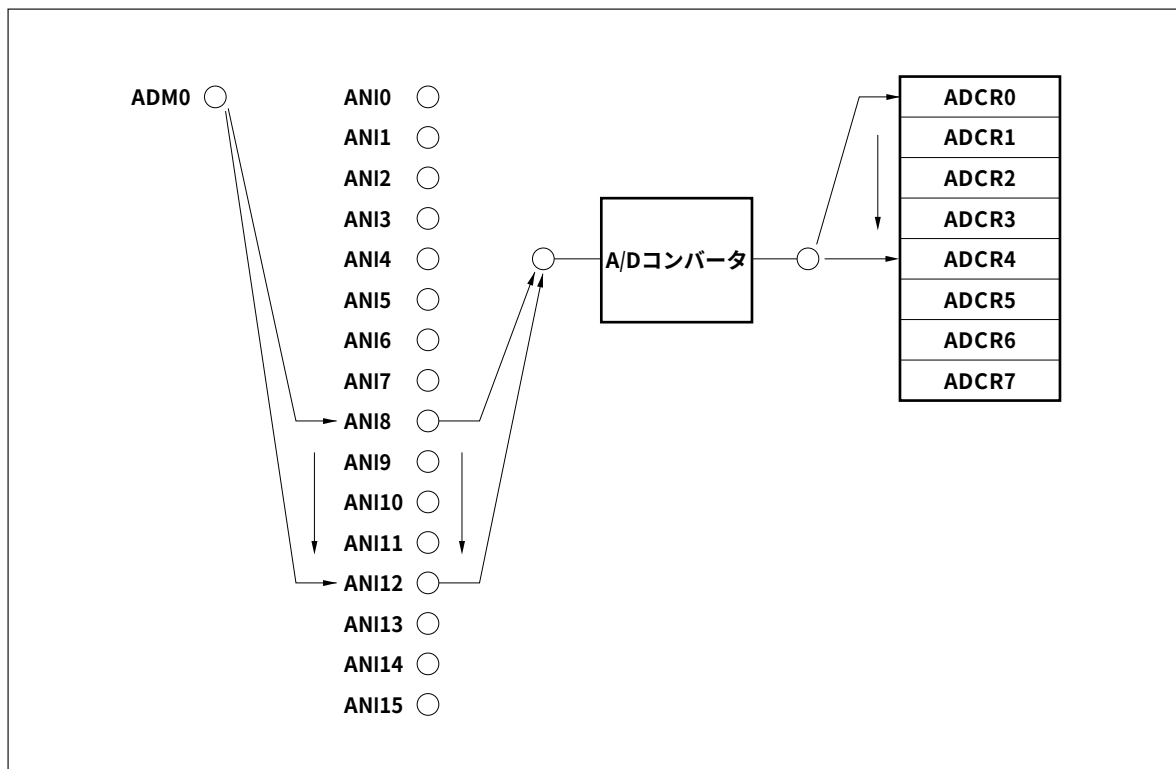
ADM0レジスタのCEビットに1を書き込むと、A/D変換を再起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

★ 表9-3 アナログ入力端子とADCRnレジスタの対応（スキャン・モード（A/Dトリガ・スキャン））

アナログ入力	A/D変換結果レジスタ
ANI0/ANI8	ADCR0
ANI1/ANI9	ADCR1
ANI2/ANI10	ADCR2
ANI3/ANI11	ADCR3
ANI4/ANI12	ADCR4
ANI5/ANI13	ADCR5
ANI6/ANI14	ADCR6
ANI7/ANI15	ADCR7

★ 図9-8 スキャン・モード（A/Dトリガ・スキャン）の動作例



9.6 タイマ・トリガ・モード時の動作

A/Dコンバータは、RPUのコンペア・レジスタの一致割り込み信号で変換タイミングを設定できます。
アナログ変換のトリガ指定用タイマには、TM0とキャプチャ／コンペア・レジスタ（CC03）を使用します。

TMC00レジスタの指定に応じて、次の2つのモードがあります。

（1）ワンショット・モード

ワンショット・モードを使用するには、TMC00レジスタのOST0ビットに1（ワンショット・モード）を設定します。

A/D変換の周期がTM0の周期より長い場合、TM0はオーバフローを発生し、000000Hを保持して停止します。以降、TM0はコンペア・レジスタの一致割り込み信号INTCC03（A/D変換トリガ）を出力せず、A/DコンバータもA/D変換待機状態となります。TM0のカウント動作は、TCLR0端子入力の有効エッジが検出されるか、またはTMC00レジスタのCE0ビットに1を書き込むと再開します。

（2）ループ・モード

ループ・モードを使用するには、TMC00レジスタのOST0ビットに0（ノーマル・モード）を設定します。

TM0がオーバフローを発生するとTM0は再び000000Hからカウントを始めるため、コンペア・レジスタの一致割り込み信号INTCC03（A/D変換トリガ）が繰り返し出力されて、A/D変換も繰り返し行われます。

またコンペア・レジスタの一致により、TM0をクリアし、再スタートさせることもできます。

9.6.1 セレクト・モードの動作

ADM0レジスタで指定される1つのアナログ入力（ANI0-ANI15）をA/D変換します。変換結果は、アナログ入力に対応したADCRnレジスタに格納します。セレクト・モードではA/D変換結果の格納法により、1バッファ・モードと4バッファ・モードの2通りがあります。

（1）1バッファ・モードの動作（タイマ・トリガ・セレクト・1バッファ）

1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します（表9-4，図9-9参照）。

一致割り込み信号（INTCC03）をトリガとして、1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。1回のA/D変換ごとにINTAD割り込みを発生し、A/D変換を終了します。

TM0をワンショット・モードに設定している場合は、1回の変換でA/D変換を終了します。A/D変換を再起動するには、TCLR0端子に有効エッジを入力するか、またはTMC00レジスタのCE0ビットに1を書き込むことで、TM0を再起動してください。

ループ・モードに設定している場合は、ADM0レジスタのCEビットを0に設定しないかぎり、一致割り込みが発生するごとにA/D変換を繰り返します。

★

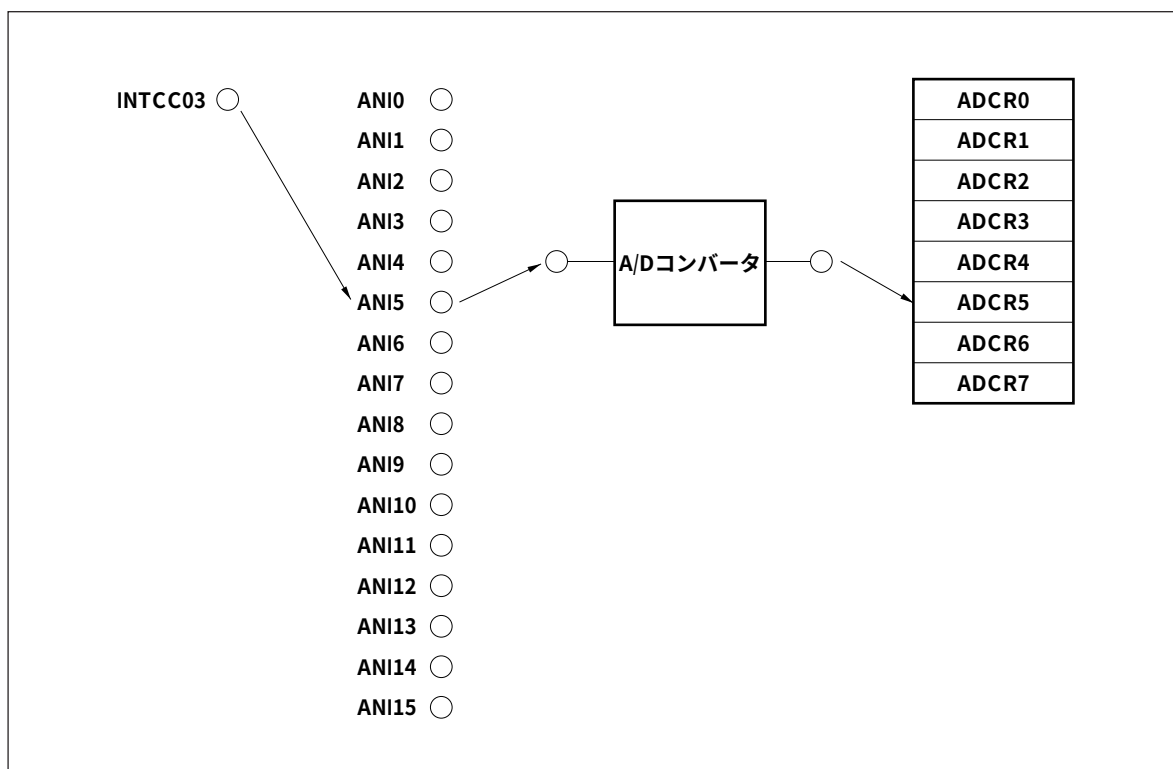
表9-4 アナログ入力端子とADCRnレジスタの対応

(1バッファ・モード (タイマ・トリガ・セレクト・1バッファ))

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC03割り込み	ANI0/ANI8	ADCR0
INTCC03割り込み	ANI1/ANI9	ADCR1
INTCC03割り込み	ANI2/ANI10	ADCR2
INTCC03割り込み	ANI3/ANI11	ADCR3
INTCC03割り込み	ANI4/ANI12	ADCR4
INTCC03割り込み	ANI5/ANI13	ADCR5
INTCC03割り込み	ANI6/ANI14	ADCR6
INTCC03割り込み	ANI7/ANI15	ADCR7

★

図9-9 1バッファ・モード (タイマ・トリガ・セレクト・1バッファ) の動作例



(2) 4バッファ・モードの動作（タイマ・トリガ・セレクト・4バッファ）

1つのアナログ入力を4回A/D変換し、その結果をADCRnレジスタに格納します（表9-5，図9-10参照）。

一致割り込み信号（INTCC03）をトリガとして、1つのアナログ入力を4回A/D変換し、その結果を4つのADCRnレジスタに格納します。A/D変換が4回終了するとINTAD割り込みを発生し、A/D変換を終了します。

TM0をワンショット・モードに設定しており、一致割り込みの発生が4回未満のときCEビットを1に設定すると、INTAD割り込みは発生せず待機状態となります。

A/D変換結果の平均を求めるような応用に最適です。

★

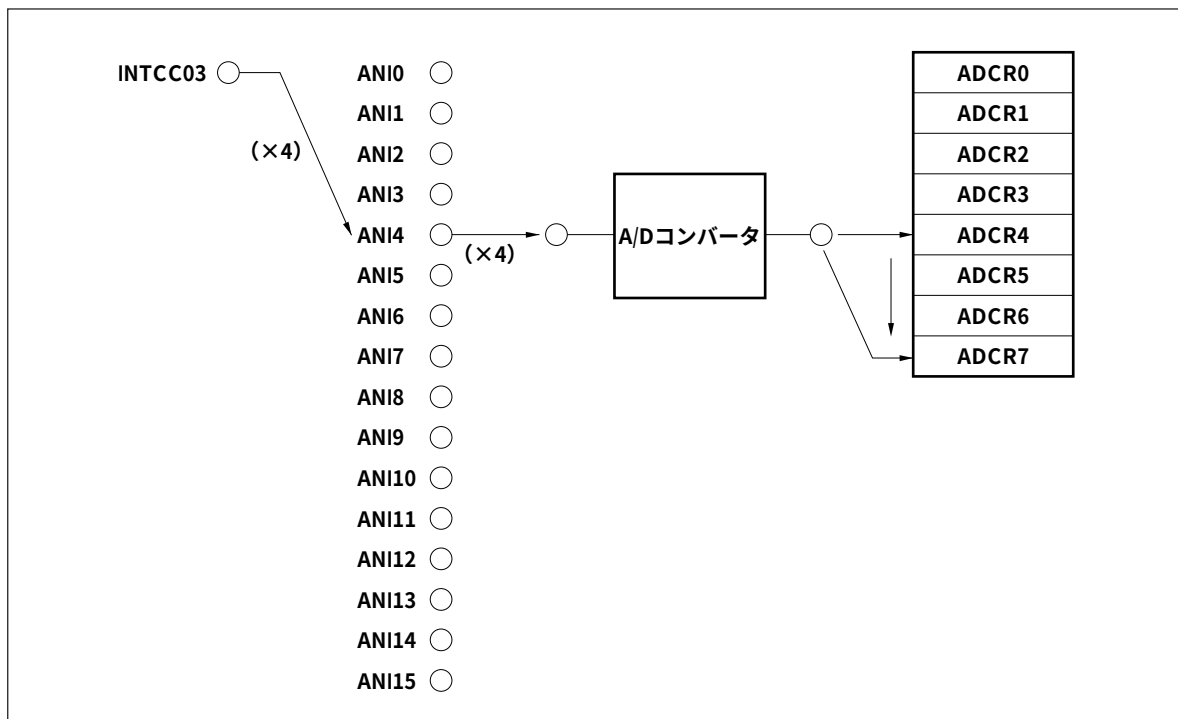
表9-5 アナログ入力端子とADCRnレジスタの対応

(4バッファ・モード（タイマ・トリガ・セレクト・4バッファ）)

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC03割り込み	ANI0-ANI3/ANI8-ANI11	ADCR0（1回目） ADCR1（2回目） ADCR2（3回目） ADCR3（4回目）
INTCC03割り込み	ANI4-ANI7/ANI12-ANI15	ADCR4（1回目） ADCR5（2回目） ADCR6（3回目） ADCR7（4回目）

★

図9-10 4バッファ・モード（タイマ・トリガ・セレクト・4バッファ）の動作例



9.6.2 スキャン・モードの動作

ANI0/ANI8端子からADM0レジスタで指定されるアナログ入力までを順に選択し、一致割り込みをトリガとして指定された回数のA/D変換を行います。

変換結果はアナログ入力に対応したADCRnレジスタに格納します（表9-6、図9-11参照）。指定したアナログ入力の変換がすべて終了すると、INTAD割り込みを発生して、A/D変換を終了します。

指定されたすべてのA/D変換終了後に一致割り込みが発生すると、A/D変換を再起動します。

TM0がワンショット・モードに設定されており、一致割り込みの発生が指定された変換数未満の場合にCEビットを1にすると、INTAD割り込みは発生せずに待機状態になります。

複数のアナログ入力を常時監視するような応用に最適です。

★

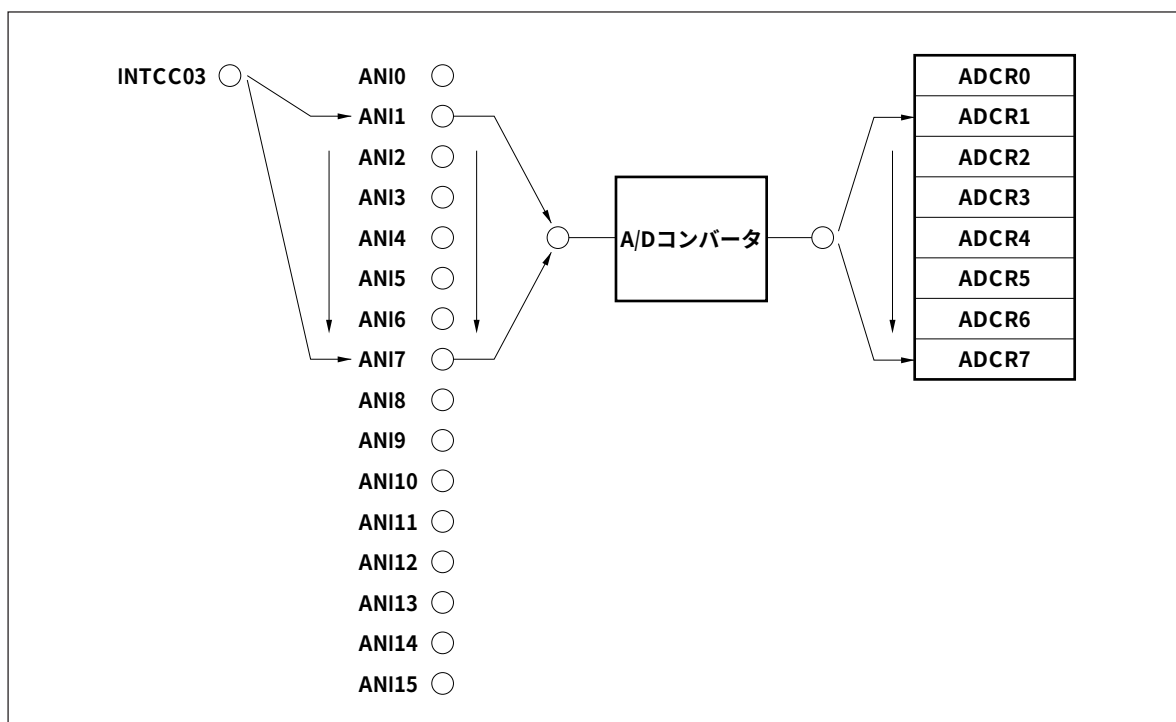
表9-6 アナログ入力端子とADCRnレジスタの対応

（スキャン・モード（タイマ・トリガ・スキャン））

トリガ	アナログ入力	A/D変換結果レジスタ
INTCC03割り込み	ANI0/ANI8	ADCR0
INTCC03割り込み	ANI1/ANI9	ADCR1
INTCC03割り込み	ANI2/ANI10	ADCR2
INTCC03割り込み	ANI3/ANI11	ADCR3
INTCC03割り込み	ANI4/ANI12	ADCR4
INTCC03割り込み	ANI5/ANI13	ADCR5
INTCC03割り込み	ANI6/ANI14	ADCR6
INTCC03割り込み	ANI7/ANI15	ADCR7

★

図9-11 スキャン・モード（タイマ・トリガ・スキャン）の動作例



9.7 外部トリガ・モード時の動作

外部トリガ・モードでは、アナログ入力（ANI0-ANI3）をADTRG端子の入力タイミングでA/D変換します。

ADTRG端子はP22端子と兼用になっています。外部トリガ・モードにするにはPMC2レジスタのPMC22ビットを1に、ADM1レジスタのTRG1, TRG0ビットを10にしてください。

外部トリガ・モード時の外部入力信号の有効エッジは、INTM5レジスタのESAD1, ESAD0ビットで、立ち上がりエッジ、立ち下がりエッジ、立ち上がり／立ち下がり両エッジのどれかに指定できます。詳細は5.3.8（2） 外部割り込みモード・レジスタ1-6（INTM1-INTM6）を参照してください。

9.7.1 セレクト・モードの動作（外部トリガ・セレクト）

ADM0レジスタで指定する1つのアナログ入力（ANI0-ANI15）をA/D変換します。変換結果は、アナログ入力に対応したADCRnレジスタに格納します。セレクト・モードでは、変換結果の格納方法には1バッファ・モードと4バッファ・モードの2通りがあります。

（1）1バッファ・モード（外部トリガ・セレクト・1バッファ）

ADTRG信号をトリガとして1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します（表9-7，図9-12参照）。アナログ入力とA/D変換結果レジスタは1対1に対応しています。1回のA/D変換ごとにINTAD割り込みを発生し、A/D変換を終了します。

ADM0レジスタのCEビットが1の間は、ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

1回のA/D変換ごとに結果を読み出すような応用に最適です。

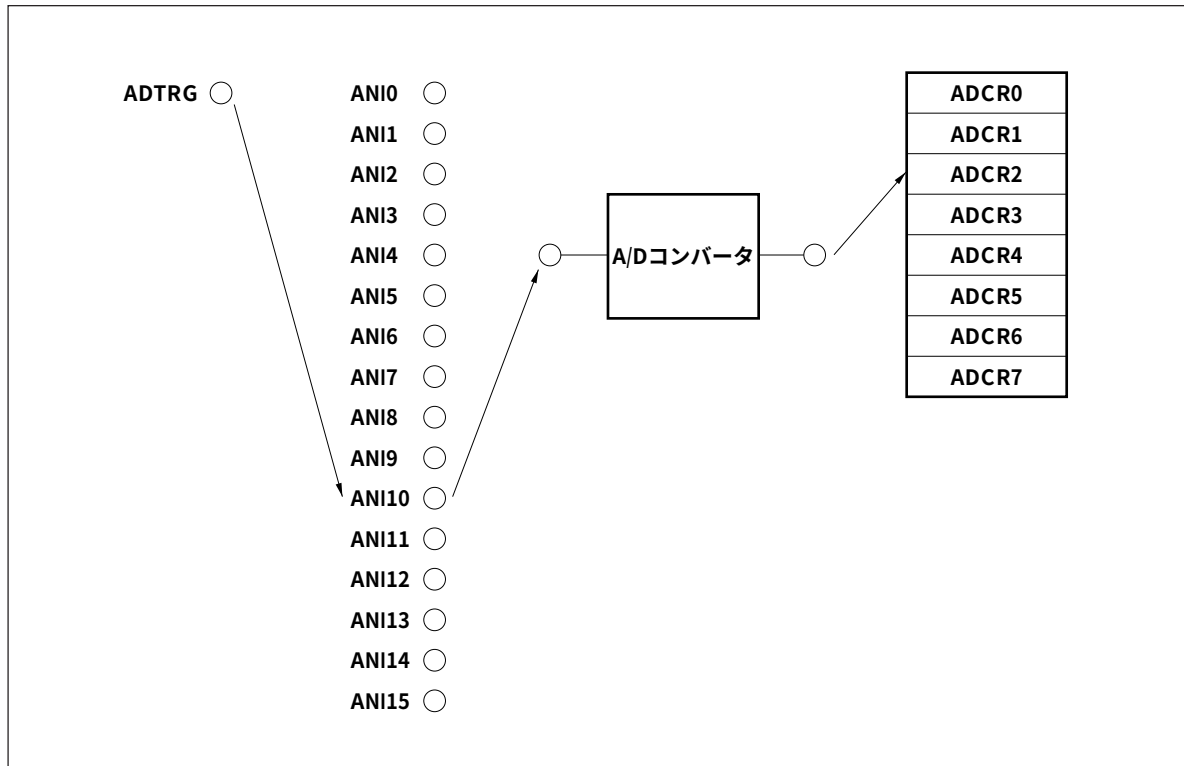
★

表9-7 アナログ入力端子とADCRnレジスタの対応
（1バッファ・モード（外部トリガ・セレクト・1バッファ））

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANI0/ANI8	ADCR0
ADTRG信号	ANI1/ANI9	ADCR1
ADTRG信号	ANI2/ANI10	ADCR2
ADTRG信号	ANI3/ANI11	ADCR3
ADTRG信号	ANI4/ANI12	ADCR4
ADTRG信号	ANI5/ANI13	ADCR5
ADTRG信号	ANI6/ANI14	ADCR6
ADTRG信号	ANI7/ANI15	ADCR7

★

図9-12 1バッファ・モード（外部トリガ・セレクト・1バッファ）の動作例



(2) 4バッファ・モード (外部トリガ・セレクト・4バッファ)

ADTRG信号をトリガとして1つのアナログ入力を4回A/D変換し、その結果を4つのADCRnレジスタに格納します (表9-8, 図9-13参照)。4回のA/D変換が終了すると、INTAD割り込みを発生して変換を終了します。ADM0レジスタのCEビットが1の間は、ADTRG端子からトリガが入力されるごとにA/D変換を繰り返します。

A/D変換結果の平均を求めるような応用に最適です。

★

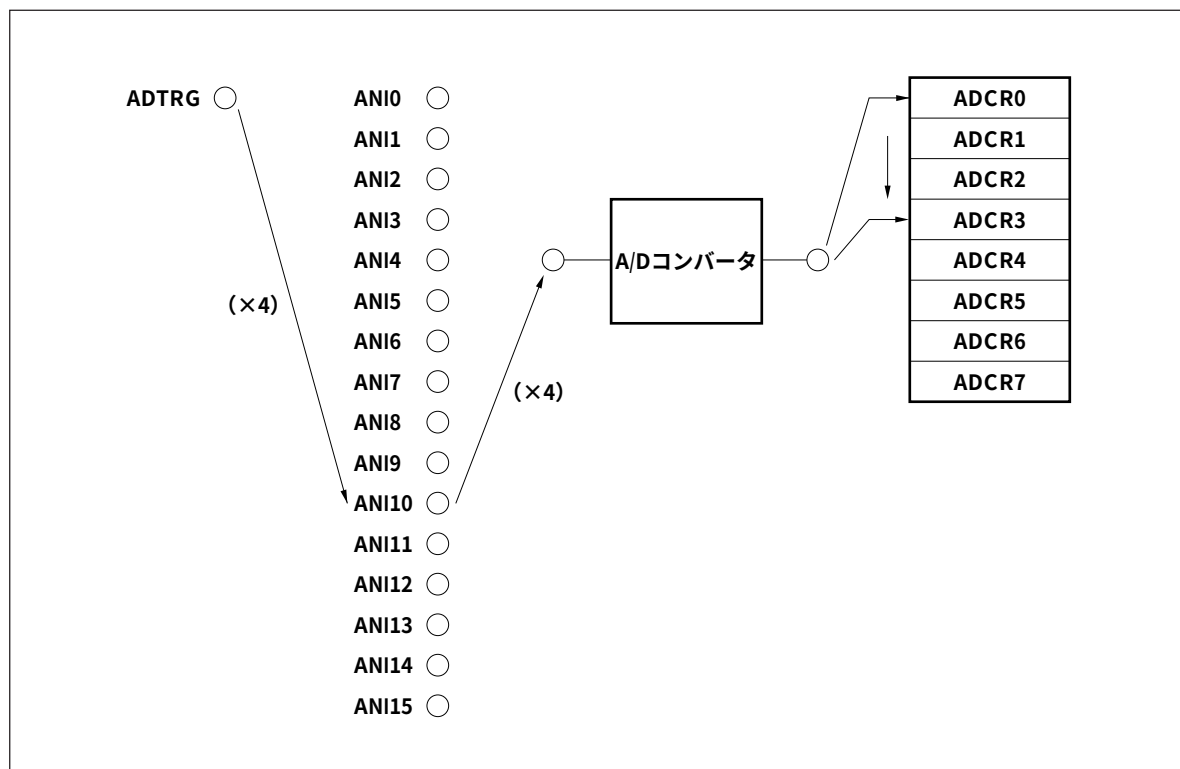
表9-8 アナログ入力端子とADCRnレジスタの対応

(4バッファ・モード (外部トリガ・セレクト・4バッファ))

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANI0-ANI3/ANI8-ANI11	ADCR0 (1回目)
		ADCR1 (2回目)
		ADCR2 (3回目)
		ADCR3 (4回目)
ADTRG信号	ANI4-ANI7/ANI12-ANI15	ADCR4 (1回目)
		ADCR5 (2回目)
		ADCR6 (3回目)
		ADCR7 (4回目)

★

図9-13 4バッファ・モード (外部トリガ・セレクト・4バッファ) の動作例



9.7.2 スキャン・モードの動作（外部トリガ・スキャン）

ADTRG信号をトリガとして、ANI0/ANI8端子からADM0レジスタで指定されるアナログ入力までを順に選択し、A/D変換します。A/D変換結果はアナログ入力に対応したADCRnレジスタに格納します（表9-9，図9-14参照）。

指定したアナログ入力の変換をすべて終了すると、INTAD割り込みを発生してA/D変換を終了します。

ADM0レジスタのCEビットが1の間にADTRG端子にトリガを入力すると、再度A/D変換を起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

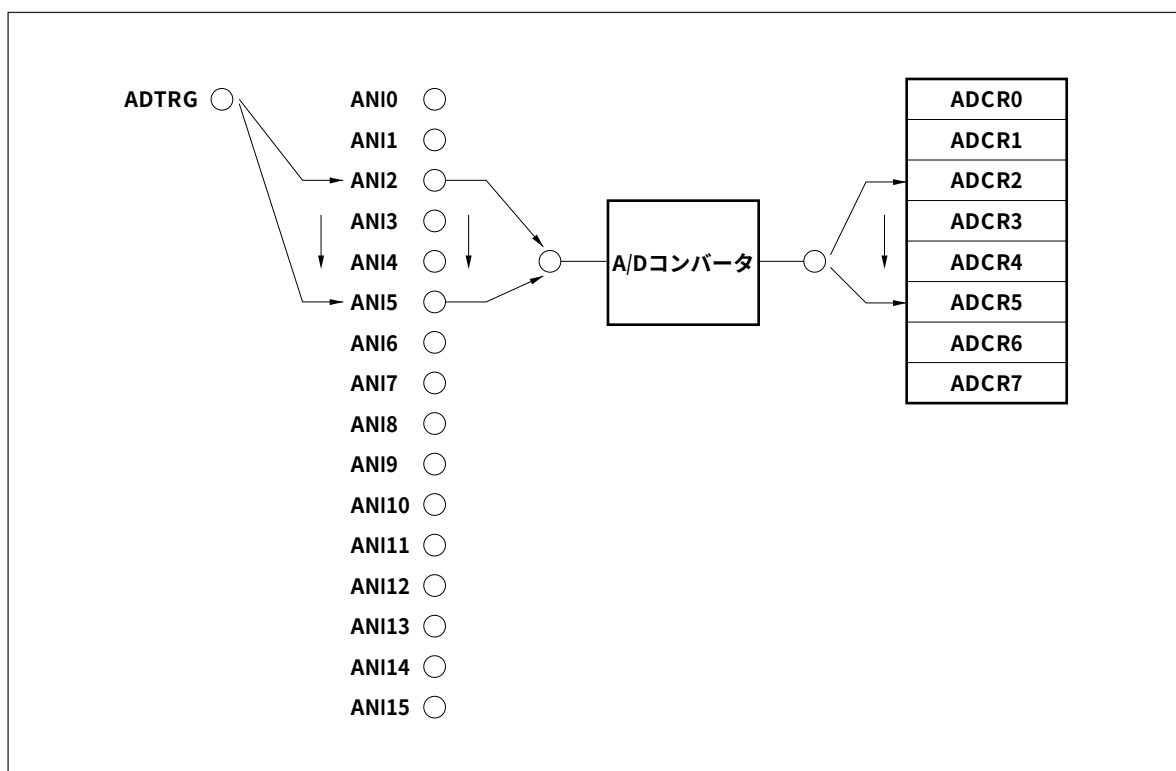
★

表9-9 アナログ入力端子とADCRnレジスタの対応
（スキャン・モード（外部トリガ・スキャン））

トリガ	アナログ入力	A/D変換結果レジスタ
ADTRG信号	ANI0/ANI8	ADCR0
ADTRG信号	ANI1/ANI9	ADCR1
ADTRG信号	ANI2/ANI10	ADCR2
ADTRG信号	ANI3/ANI11	ADCR3
ADTRG信号	ANI4/ANI12	ADCR4
ADTRG信号	ANI5/ANI13	ADCR5
ADTRG信号	ANI6/ANI14	ADCR6
ADTRG信号	ANI7/ANI15	ADCR7

★

図9-14 スキャン・モード（外部トリガ・スキャン）の動作例



9.8 動作上の注意事項

9.8.1 変換動作の停止

変換動作中にADM0レジスタのCEビットに0を書き込むと変換動作を停止し、ADCRnレジスタへ変換結果を格納しません（ $n = 0-7$ ）。

★ 9.8.2 外部／タイマ・トリガの間隔

外部またはタイマ・トリガ・モード時のトリガのインターバル（入力時間の間隔）は、ADM1レジスタのFR2-FR0ビットで指定する変換動作時間より長くしてください。

0 < インターバル ≤ 変換動作時間の場合

変換動作中に次の外部トリガまたはタイマ・トリガが入力された場合、変換動作を中断し、最後に入力されたタイマ・トリガに従って変換を開始します。

変換動作を中断した場合、ADCRnレジスタに変換結果を格納しません（ $n = 0-7$ ）。ただしトリガ入力回数はカウントし、割り込みが発生すると、変換が終了した値をADCRnレジスタへ格納します。

9.8.3 スタンバイ・モード時の動作

(1) HALTモード

A/D変換動作を継続します。NMI入力で解除した場合、ADM0、ADM1レジスタとADCRnレジスタは値を保持します（ $n = 0-7$ ）。

(2) IDLEモード，STOPモード

A/Dコンバータへのクロック供給は止まるため、変換動作は行われません。

NMI入力で解除した場合、ADM0、ADM1レジスタとADCRnレジスタは値を保持します（ $n = 0-7$ ）。ただし変換動作中にこれらのモードに設定した場合、変換動作を停止します。このときにNMI入力で解除すると変換動作を再開しますが、ADCRnレジスタに書き込まれる変換結果は不定です。

IDLE、STOPモード時は、消費電力削減のため直列抵抗ストリングの動作も停止しますが、さらに消費電流を削減したい場合は、AVREF端子の電圧をVssにしてください。

9.8.4 タイマ・トリガ・モード時のコンペアー一致割り込み

コンペアー・レジスタの一致割り込みがA/D変換開始トリガとなり、変換動作を開始します。このとき、コンペアー・レジスタの一致割り込みは、CPUに対するコンペアー・レジスタの一致割り込みにもなります。CPUに対するコンペアー・レジスタの一致割り込みを発生させないためには、割り込み制御レジスタ（CC0IC3）の割り込みマスク・ビット（CC0MK3）で割り込みを禁止してください。

第10章 リアルタイム出力機能

10.1 構成と機能

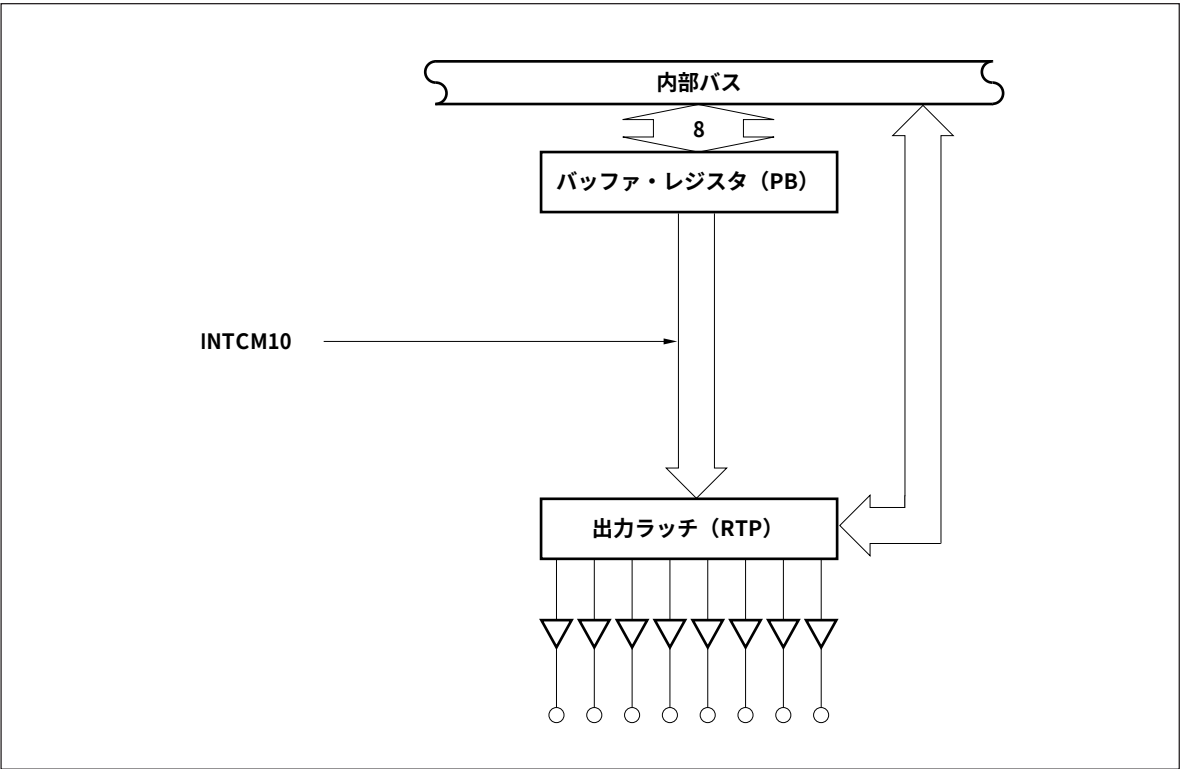
リアルタイム出力機能は、図10－1に示すようにバッファ・レジスタ（PB）と出力ラッチ（RTP）を中心とするハードウェアによって実現されます。

PBレジスタにあらかじめ用意しておいたデータをタイマ1のCM10一致割り込みの発生と同時にハードウェアにより出力ラッチに転送し、外部に出力することをリアルタイム出力機能といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

8ビットのリアルタイム出力データを扱えます。

図10－1に、リアルタイム出力ポートのブロック図を示します。

図10－1 リアルタイム出力ポートのブロック図



10.2 制御レジスタ

(1) バッファ・レジスタ (PB)

このバッファに、リアルタイム出力ポートから出力するデータをあらかじめ書き込みます。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	アドレス FFFFFF3C0H	リセット時 不定

(2) 出力ラッチ (RTP)

PBレジスタのデータが、CM10レジスタとの一致信号によって、このレジスタに転送されます。

PMC13レジスタでポートをリアルタイム出力ポートに設定する前に、最初に外部に出力する値をRTPレジスタに書き込んでおいてください。

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
RTP	RTP7	RTP6	RTP5	RTP4	RTP3	RTP2	RTP1	RTP0	アドレス FFFFFF3C2H	リセット時 不定

10.3 動作

PMC13レジスタで該当ビットをコントロール・モードに設定すると、リアルタイム出力ポートの出力端子として使用できます。PBレジスタ、RTPレジスタでアクセスできます。

データは次の順序で出力されます。

- ① PBレジスタにデータを書き込む
- ② タイマのコンペアー一致割り込み (INTCM10) の発生タイミングでPBレジスタの内容がRTPレジスタに転送される
- ③ RTPレジスタの内容が、リアルタイム出力ポートに設定されている端子に出力される

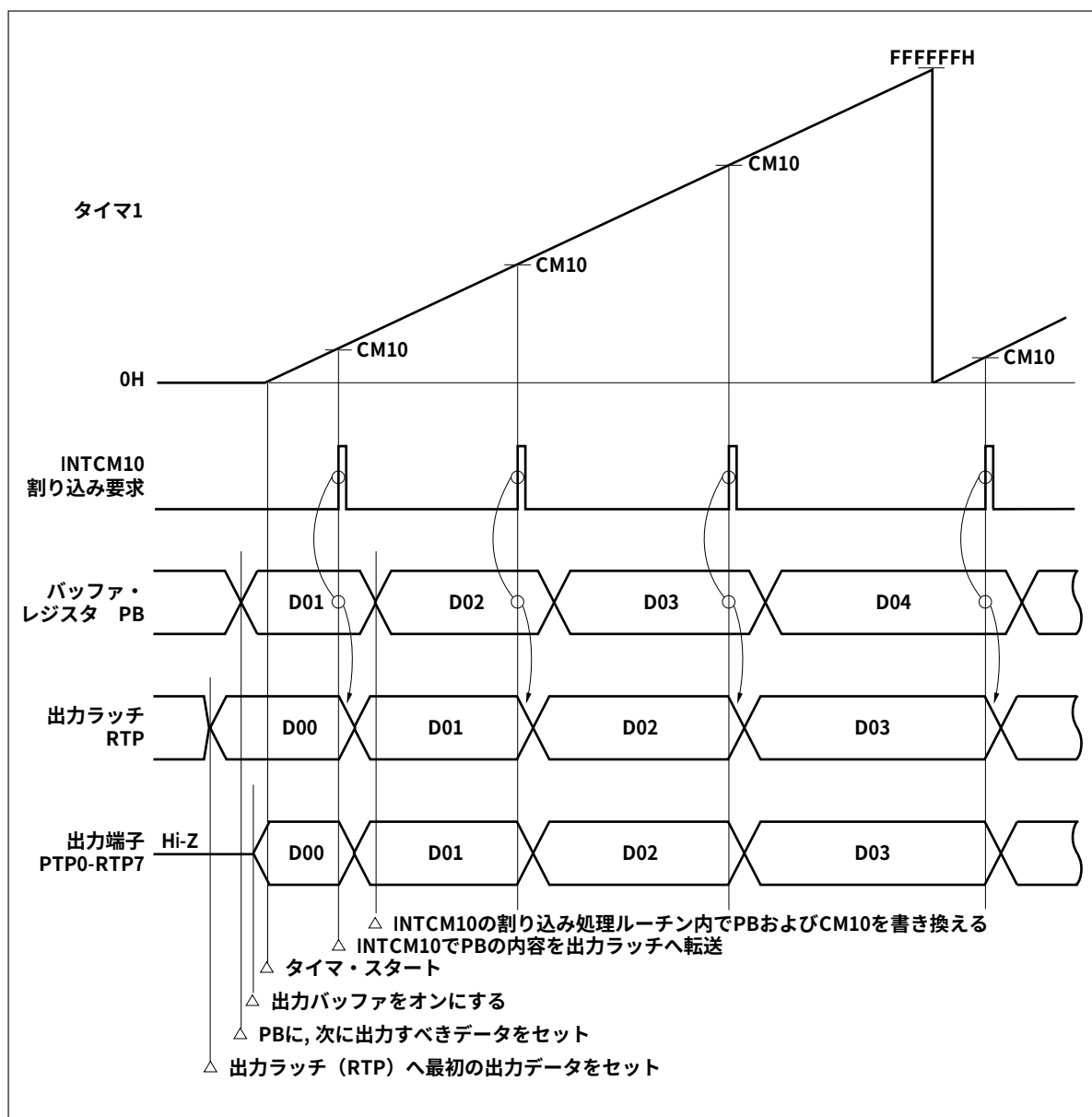
10.4 使用例

RTP0-RTP7を8ビット・リアルタイム出力ポートとして使用する場合を示します。

タイマ1のTM1とCM10の内容が一致するごとに、バッファ・レジスタ（PB）の内容がRTP0-RTP7へ出力されます。このときに同時に発生する割り込み処理ルーチン中で、次に出力するデータの設定と、次に出力を変化させるタイミングを設定します（図10－2参照）。

なお、タイマ1の使用方法については、7.2.2 タイマ1を参照してください。

図10－2 リアルタイム出力ポートの動作タイミング



(× 毛)

第11章 PWMユニット

11.1 特 徴

- PWMn：4チャンネル
- 12-16ビットPWM出力ポート
- 主パルス+付加パルス構成
主パルス 4／5／6／7／8ビット
付加パルス 8ビット
- 繰り返し周波数：129 kHz・2 MHz ($f_{\text{PWMC}} = 33 \text{ MHz}$ 時)
- パルス幅書き換え周期選択：1パルスごと／256パルスごと
- PWM出力パルスのアクティブ・レベル選択可能
- 動作クロック： ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ から選択可能（ ϕ は内部システム・クロック）

備考 $n = 0-3$

11.2 構 成

PWMnの出力回路の構成を図11-1に示します。

(1) プリスケアラ

ϕ を分周し、PWM動作クロック (f_{PWMC}) を生成します。プリスケアラ出力はPWPRnレジスタのPWPn0、PWPn1ビットで選択します。

(2) リロード制御

xビット・ダウン・カウンタと8ビット・カウンタのモジュロ値のリロードを制御します。

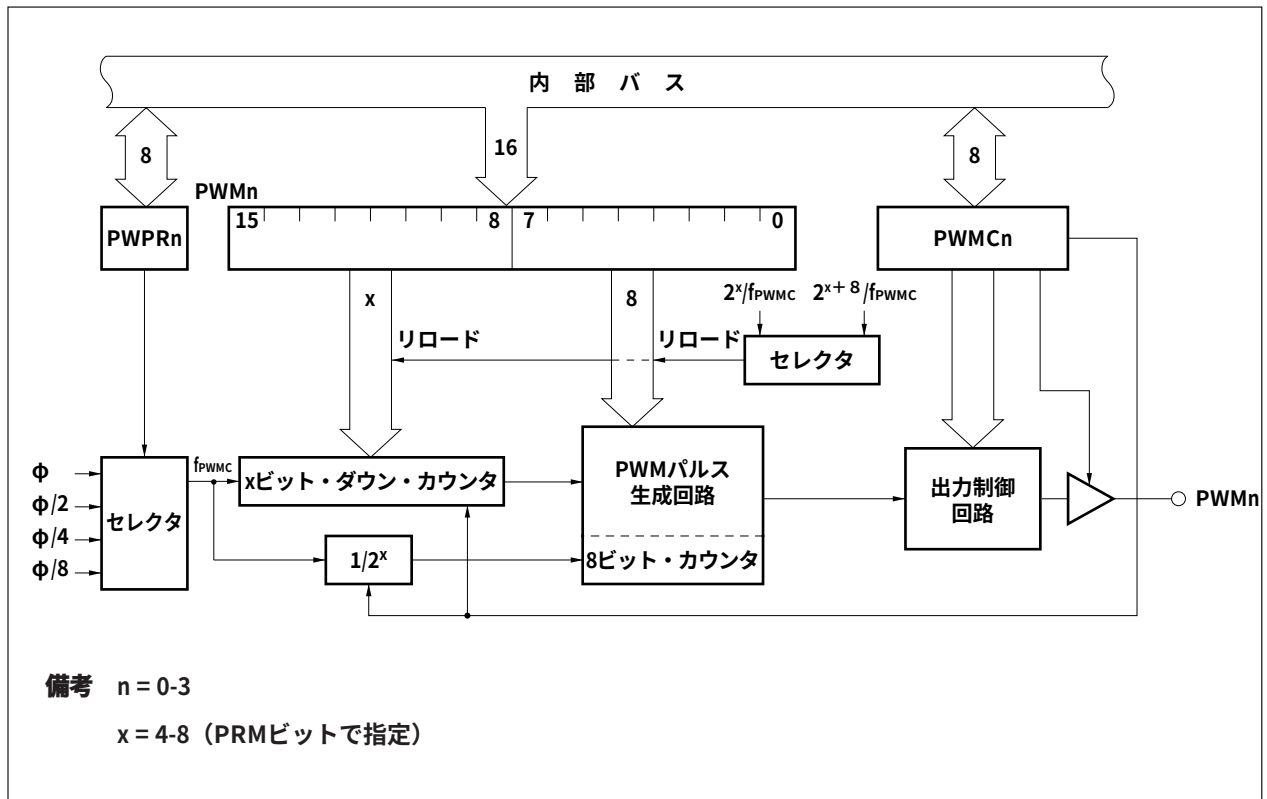
リロード・タイミング（PWMパルス幅書き換え周期）はPWMCnレジスタのSYNnビットで $2^x/f_{\text{PWMC}}$ か $2^{x+8}/f_{\text{PWMC}}$ を選択します。

(3) xビット・ダウン・カウンタ

主パルスの出力タイミングを制御します。

リロード制御部で生成されるリロード信号により、モジュロHレジスタの値がこのカウンタにロードされ、PWM動作クロック (f_{PWMC}) でデクリメントされます。

図11-1 PWMユニットの構成



11.3 制御レジスタ

(1) PWMコントロール・レジスタ0-3 (PWMC0-PWMC3)

PWMnの動作制御，出力のアクティブ・レベル指定，および主パルスのビット長を指定します。

8/1ビット単位でリード／ライト可能です。このレジスタの内容は，PWMnの動作中（PWME_n = 1）も変更できます。

	7	6	5	4	3	2	1	0	アドレス	リセット時
PWMC _n	PMPn2	PMPn1	PMPn0	0	0	SYN _n	PWME _n	PALV _n	FFFFF360H- FFFFF378H	05H

ビット位置	ビット名	意 味																												
7-5	PMPn2- PMPn0	PWM Main Pulse xビット・ダウン・カウンタ（主パルス）のビット長を指定します。 <table><tr><th>PMPn2</th><th>PMPn1</th><th>PMPn0</th><th>ビット長</th></tr><tr><td>0</td><td>0</td><td>0</td><td>8ビット</td></tr><tr><td>0</td><td>0</td><td>1</td><td>7ビット</td></tr><tr><td>0</td><td>1</td><td>0</td><td>6ビット</td></tr><tr><td>0</td><td>1</td><td>1</td><td>5ビット</td></tr><tr><td>1</td><td>0</td><td>0</td><td>4ビット</td></tr><tr><td colspan="3">その他</td><td>設定禁止</td></tr></table>	PMPn2	PMPn1	PMPn0	ビット長	0	0	0	8ビット	0	0	1	7ビット	0	1	0	6ビット	0	1	1	5ビット	1	0	0	4ビット	その他			設定禁止
PMPn2	PMPn1	PMPn0	ビット長																											
0	0	0	8ビット																											
0	0	1	7ビット																											
0	1	0	6ビット																											
0	1	1	5ビット																											
1	0	0	4ビット																											
その他			設定禁止																											
2	SYNn	Rewrite Cycle PWMパルス幅書き換え周期を指定します。 0：大周期（PWM256サイクル（$2^{x+8}/f_{\text{PWMC}}$）ごと） 1：小周期（PWM1サイクル（$2^x/f_{\text{PWMC}}$）ごと）																												
1	PWMEn	PWM Enable PWMnの動作／停止を制御します。 0：動作停止 1：動作中 このビットを0から1にすると、PWMのカウンタをクリアします。																												
0	PALVn	PWM Active Level PWMnのアクティブ・レベルを指定します。 0：アクティブ・ロウ 1：アクティブ・ハイ																												

備考 n = 0-3

x：PRMビットで設定したビット数

(2) PWMプリスケラ・レジスタ0-3 (PWPR0-PWPR3)

PWMnの動作クロック (f_{PWMC}) を選択するレジスタです。

8/1ビット単位でリード／ライト可能です。このレジスタの内容は、PWMCnレジスタのPWME_nビットが0のときに変更してください。PWME_nビットが1のときに変更した場合の動作は保証しません。

	7	6	5	4	3	2	1	0	アドレス	リセット時
PWPR _n	0	0	0	0	0	0	PWP _n 1	PWP _n 0	FFFFF364H- FFFFF37CH	00H

ビット位置	ビット名	意 味															
1, 0	PWP _n 1, PWP _n 0	PWM Prescaler Clock Mode PWMnの動作クロックを選択します。 <table><tr><th>PWP_n1</th><th>PWP_n0</th><th>動作クロック (f_{PWMC})</th></tr><tr><td>0</td><td>0</td><td>φ</td></tr><tr><td>0</td><td>1</td><td>φ/2</td></tr><tr><td>1</td><td>0</td><td>φ/4</td></tr><tr><td>1</td><td>1</td><td>φ/8</td></tr></table> φ：内部システム・クロック	PWP _n 1	PWP _n 0	動作クロック (f _{PWMC})	0	0	φ	0	1	φ/2	1	0	φ/4	1	1	φ/8
PWP _n 1	PWP _n 0	動作クロック (f _{PWMC})															
0	0	φ															
0	1	φ/2															
1	0	φ/4															
1	1	φ/8															

備考 n = 0-3

(3) PWMモジュロ・レジスタ0-3 (PWM0-PWM3)

PWMnパルスのパルス幅を決定する16ビット・レジスタです。16ビット単位でリード／ライト可能です。

このレジスタは、次の2つの部分で構成されます。

① モジュロHレジスタ (ビット8-ビット15)

PWMCnレジスタのPMP_nビットで指定したビット数を示します。この値が、主パルスを生成するときの精度になります。また、パルス幅書き換え時間は、このレジスタのビット数に依存します。

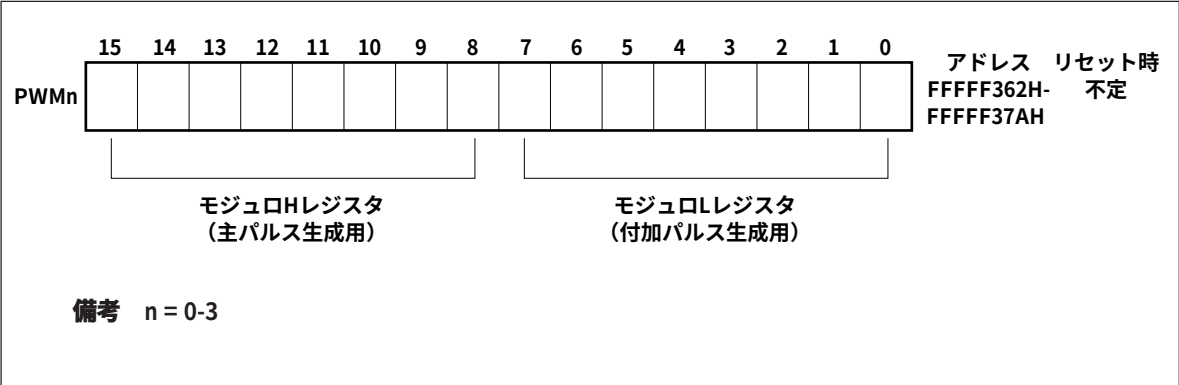
PMP_nビットでカウンタに4-7ビットを選択した場合、残りの上位ビットには“0”を設定してください。

② モジュロLレジスタ (ビット0-ビット7)

このレジスタの値は、微調整を行うための付加パルスの付加タイミングを決定します (図11-3参照)。

またRESET入力により、このレジスタの値は不定になりますので、初期化プログラムでデータを設定してから、PWM出力を許可してください。

なお、PWMnレジスタには、0000H-FFFFHの値を設定でき、PWM出力もリニアに変化します。
0000Hの場合はインアクティブ・レベルを保持します。FFFFHの場合、1書き換え周期 ($2^{16}/f_{PWM}$) で
1付加パルス分 ($1/f_{PWM}$) がインアクティブになります (図11-4参照)。



11.4 PWMの動作

11.4.1 PWM基本動作

PWMパルス出力のデューティは、PWMモジュロ・レジスタ（PWMn：n = 0-3）のモジュロHレジスタに設定する値で次のように決定されます。

$$\text{PWMパルス出力のデューティ} = \frac{(\text{モジュロHレジスタの値})^{\text{注1}} + 1^{\text{注2}}}{2^x}$$

注1. $0 \leq (\text{モジュロHレジスタの値}) \leq 2^x - 1$

2. 付加パルスありの場合

備考 $x = 4-8$

PWMパルス出力の繰り返し周波数は、PWMプリスケアラ・レジスタ（PWPRn）で設定される $\phi \cdot \phi / 4$ のPWMクロック（ f_{PWMc} ）を 2^x 分周（ $= f_{\text{PWMc}} / 2^x$ ）した周波数になり、最小パルス幅は、 $1/f_{\text{PWMc}}$ になります。

PWMパルス出力は、繰り返し周波数 $f_{\text{PWMc}} / 2^x$ の4-8ビット分解能のPWM信号を256回繰り返して出力することで、12-16ビット分解能を実現しています。モジュロHレジスタで決定される4-8ビット分解能のPWMパルスに、1サイクルごとにモジュロLレジスタの値に従って、付加パルス（ $1/f_{\text{PWMc}}$ ）の付加を制御して、256周期で12-16分解能のPWMパルス信号を実現しています。

図11-2 PWMの基本動作

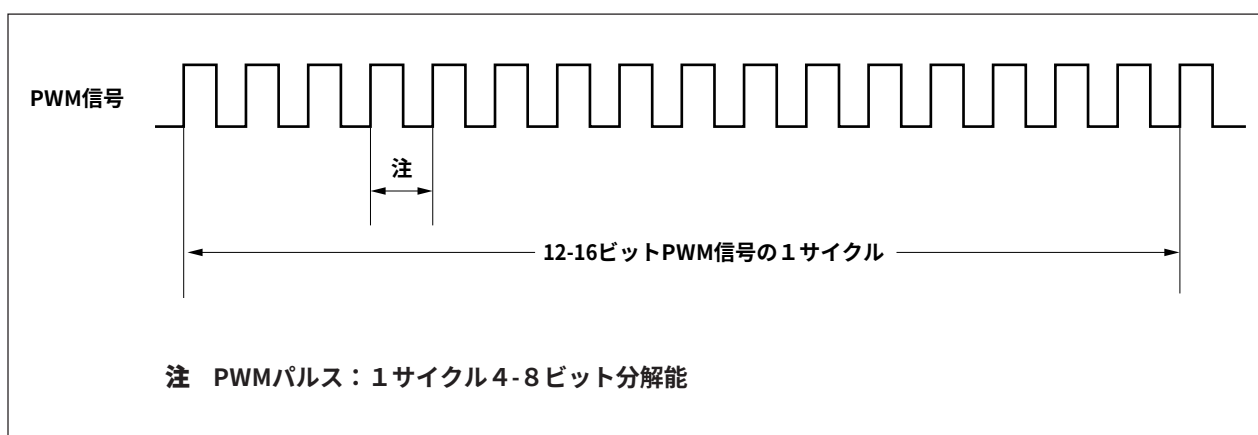


図11-3 主パルスと付加パルスによるPWM出力例

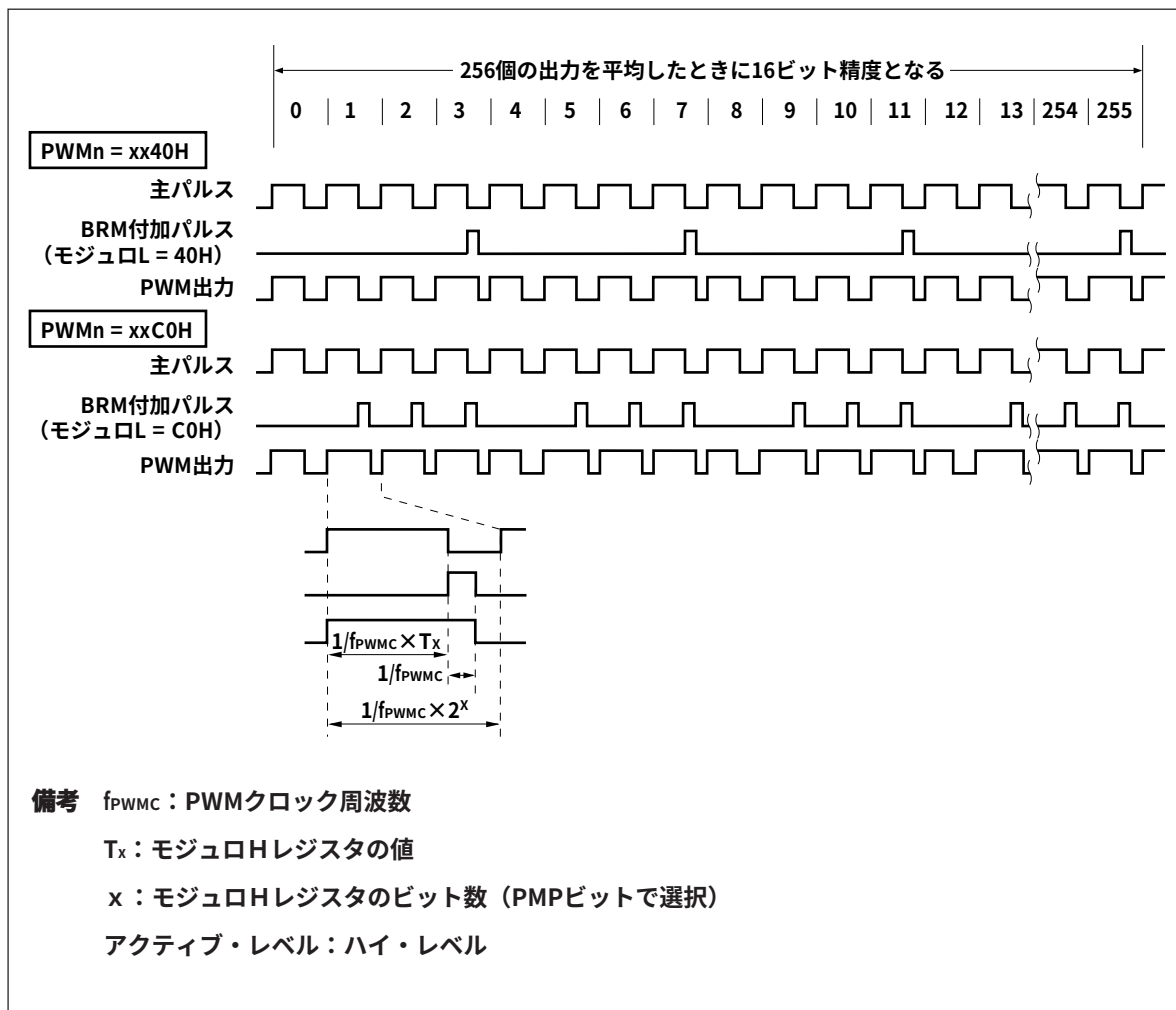
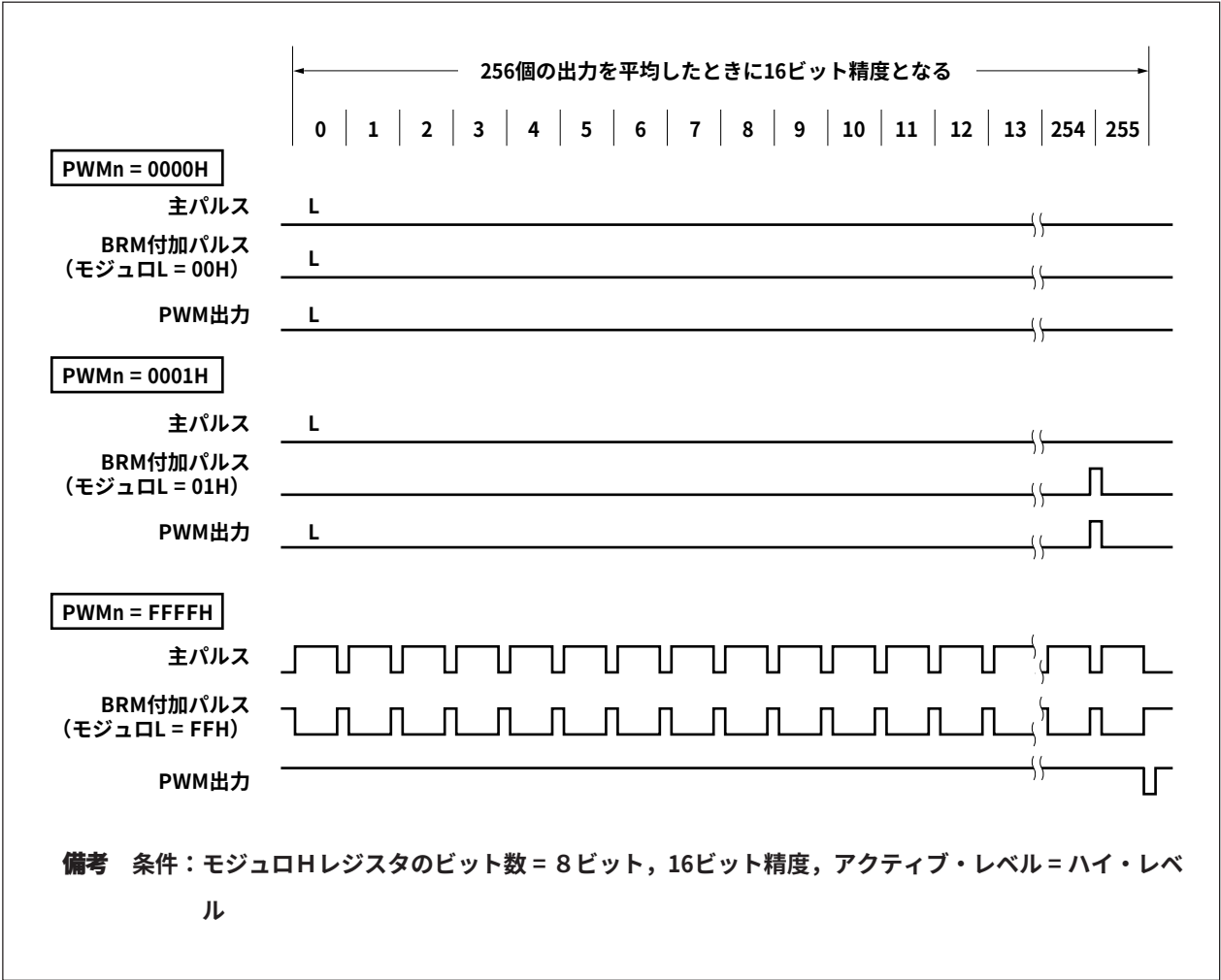


図11－4 PWM出力動作例



11.4.2 PWM動作の許可／禁止

PWMパルスを出力するときは、PWMプリスケアラ・レジスタ (PWPRn) , PWMモジュロ・レジスタ (PWMn) にデータを設定したあと、PWMコントロール・レジスタ (PWMCn) のPWME_nビットをセット (1) します (n = 0-3)。

これにより、PWM出力端子からは、PWMCnレジスタのPALV_nビットで指定されたアクティブ・レベルのPWMパルスが出力されます。

PWMCnレジスタのPWME_nビットをクリア (0) すると、PWM出力ユニットはただちにPWM出力動作を停止し、PWM出力端子はインアクティブになります。

(1) PWM動作開始時の設定

PWMCnレジスタのPWME_nビットをセットすると、PWM_nが動作状態になります。ただし動作状態にしたあとも、PWM_nレジスタのリロード信号が発生するまで、PWM端子はポート・モードの状態を維持します。また、PWM_nレジスタの値はxビット・ダウン・カウンタへロードされません。したがって、パルス幅の書き換えタイミングを 2^{x+8} (大周期: SYN_nビット = 0) に設定すると、PWME_nビットをセットしてから最大 $2^{x+8}/f_{PWM}$ 後に動作を開始します。なお、PWM出力中にもPWMCnレジスタのSYN_nビットを書き換えられます。

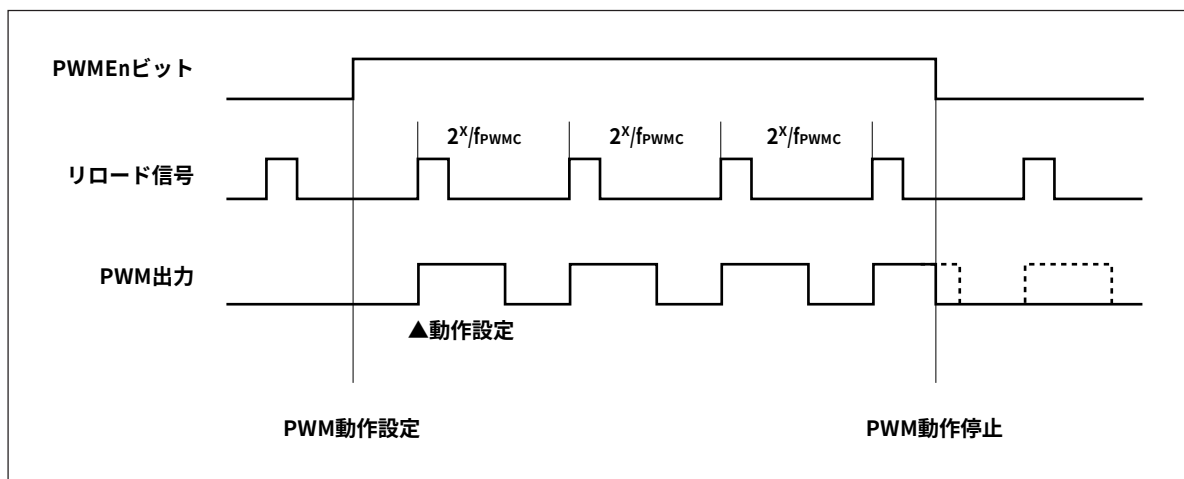
またPWM_nの動作を開始する前に、次のレジスタを初期設定してください。

- ・PMC10レジスタ : コントロール・モードの設定
- ・PWM_nレジスタ : パルス幅の設定
- ・PWPR_nレジスタ : PWM出力回路の動作クロックの指定
- ・PWMC_nレジスタ : PWMパルス幅の書き換え周期の指定、PWM端子のアクティブ・レベルの指定、PWM動作制御、主パルスのビット数の選択

(2) PWM動作停止時の設定

PWMCnレジスタのPWME_nビットをリセットすると、すぐにPWM動作が停止します。

図11-5 PWM動作タイミング



11.4.3 PWMパルスのアクティブ・レベルの指定

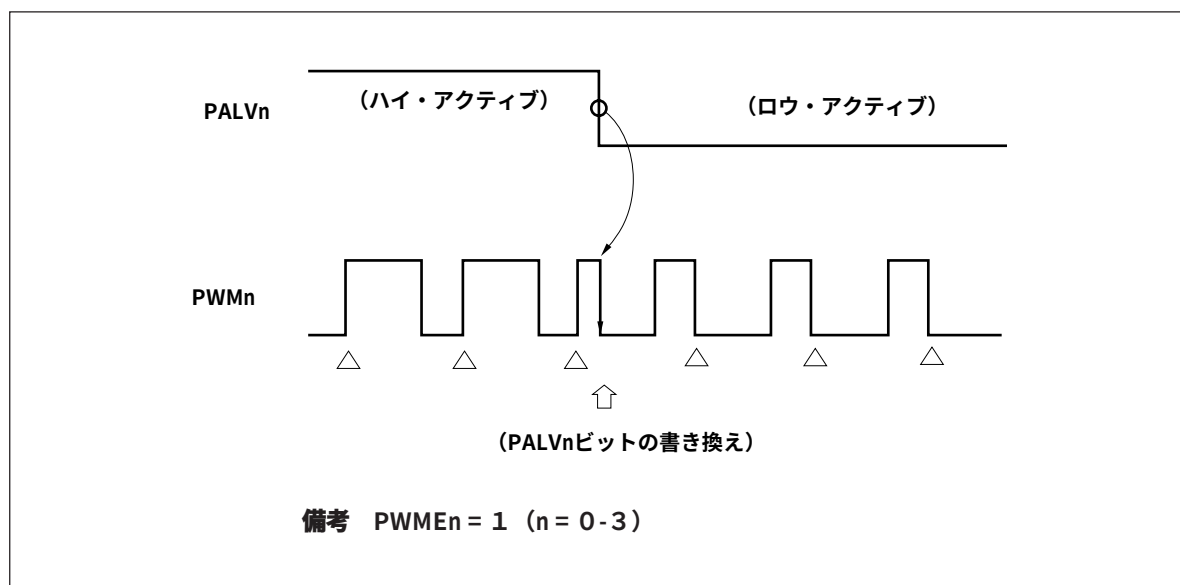
PWMコントロール・レジスタ (PWMCn) のPALVnビットは、PWM出力端子から出力されるPWMパルスのアクティブ・レベルを指定します (n = 0-3)。

PALVnビットをセット (1) すると、ハイ・アクティブ・レベルのパルスを出し、クリア (0) するとロウ・アクティブ・レベルのパルスを出します。

PALVnビットを書き換えると、ただちにPWM出力のアクティブ・レベルが変化します。図11-6に、PWM出力のアクティブ・レベル設定と端子状態を示します。

なお、PWME_nビット (PWM許可／禁止) の設定にかかわらず、PALVnビットの操作でPWM出力のアクティブ・レベルを変更できます。

図11-6 PWM出力のアクティブ・レベル設定



11.4.4 PWMパルス幅書き換え周期の指定

PWM出力の開始、およびパルス幅の変更は、PWMパルス $2^{(x+8)}$ サイクル ($2^{(x+8)} / f_{\text{PWMC}}$) ごと、あるいは、PWMパルス1サイクル ($2^x / f_{\text{PWMC}}$) ごとの、いずれかに同期して行われます。このPWMパルス幅書き換え周期の指定は、PWMCnレジスタのSYNnビットで行います ($n = 0-3$)。

SYNnビットをクリア (0) すると、パルス幅の変更は、PWMパルス $2^{(x+8)}$ サイクル ($2^{(x+8)} / f_{\text{PWMC}}$) ごとに行われます。したがって、PWMnレジスタに書き込まれたデータに対応する幅のパルスを出力するようになるまでには、最大 $2^{(x+8)}$ クロックかかります。

このときのPWM出力タイミング例を図11-7に示します。

一方、SYNnビットをセット (1) すると、パルス幅の変更は、PWMパルス1サイクル ($2^x / f_{\text{PWMC}}$) ごとに行われます。この場合、PWMnレジスタに書き込まれたデータに対応する幅のパルスを出力するようになるまでには、最大 2^x クロックとなります。

なお、PWMパルス書き換え周期を、 $2^x / f_{\text{PWMC}}$ ごとに指定した場合、(SYNnビットをセット (1) した場合)、得られるPWMパルスの精度は x ビット以上、 $(x+8)$ ビット以下となり、書き換え周期を $2^{(x+8)} / f_{\text{PWMC}}$ に指定したときよりも精度が低下しますが、繰り返し周波数上がるため応答性はよくなります。

書き換えタイミングが $2^x / f_{\text{PWMC}}$ の場合のPWM出力タイミング例を、図11-8に示します。

図11-7 PWM出力タイミング例1 (PWMパルス幅書き換え周期 $2^{(x+8)} / f_{\text{PWMC}}$)

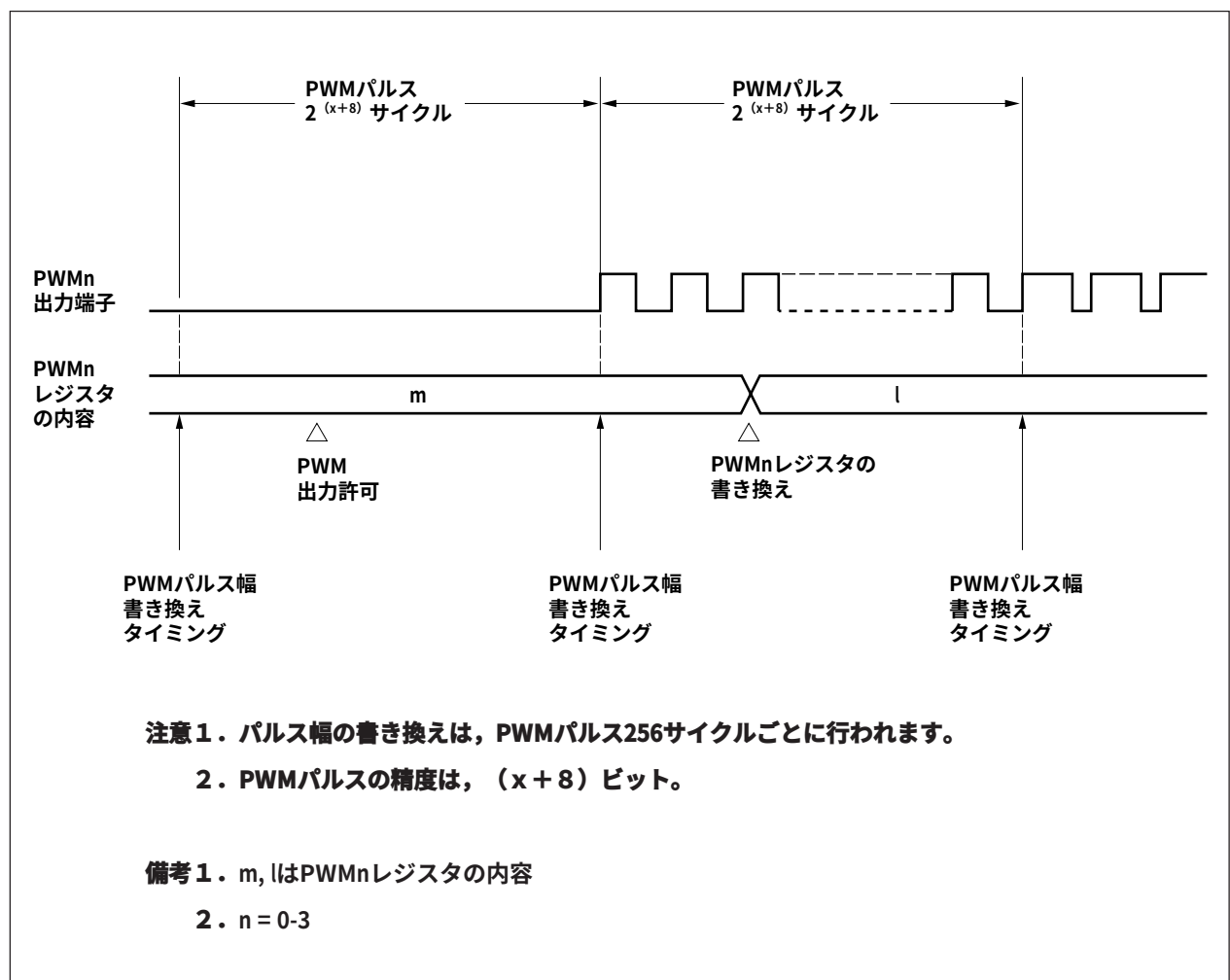
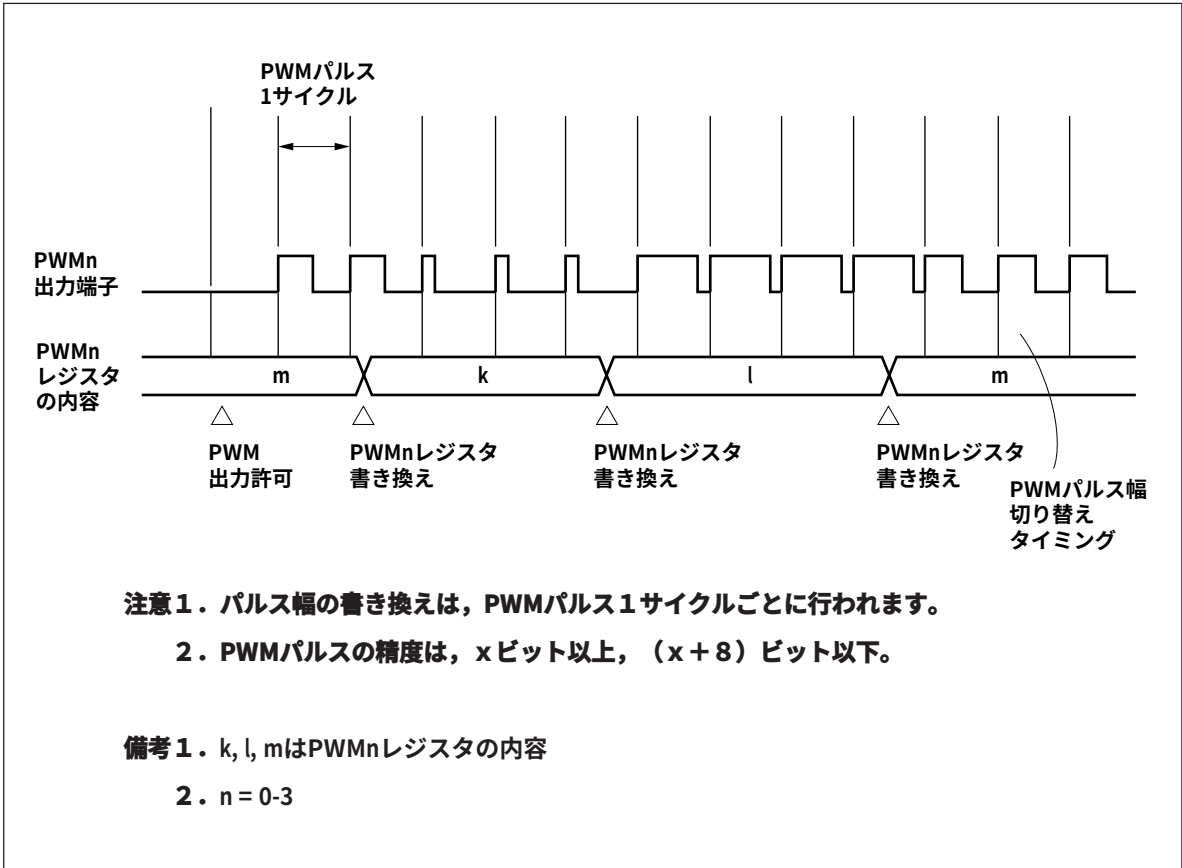


図11－8 PWM出力タイミング例2（PWMパルス幅書き換え周期 $2^x/f_{PWM}$ ）



11.4.5 繰り返し周波数

PWMnの繰り返し周波数を以下に示します（n = 0-3）。

主パルス	付加パルス	繰り返し周波数	パルス幅書き換え周期	
			大周期（SYNnビット = 0）	小周期（SYNnビット = 1）
4ビット	8ビット	$f_{PWM}/16$	$f_{PWM}/2^{12}$	$f_{PWM}/2^4$
5ビット	8ビット	$f_{PWM}/32$	$f_{PWM}/2^{13}$	$f_{PWM}/2^5$
6ビット	8ビット	$f_{PWM}/64$	$f_{PWM}/2^{14}$	$f_{PWM}/2^6$
7ビット	8ビット	$f_{PWM}/128$	$f_{PWM}/2^{15}$	$f_{PWM}/2^7$
8ビット	8ビット	$f_{PWM}/256$	$f_{PWM}/2^{16}$	$f_{PWM}/2^8$

f_{PWM} ：PWPRnレジスタで ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ から選択

第12章 ポート機能

12.1 特 徴

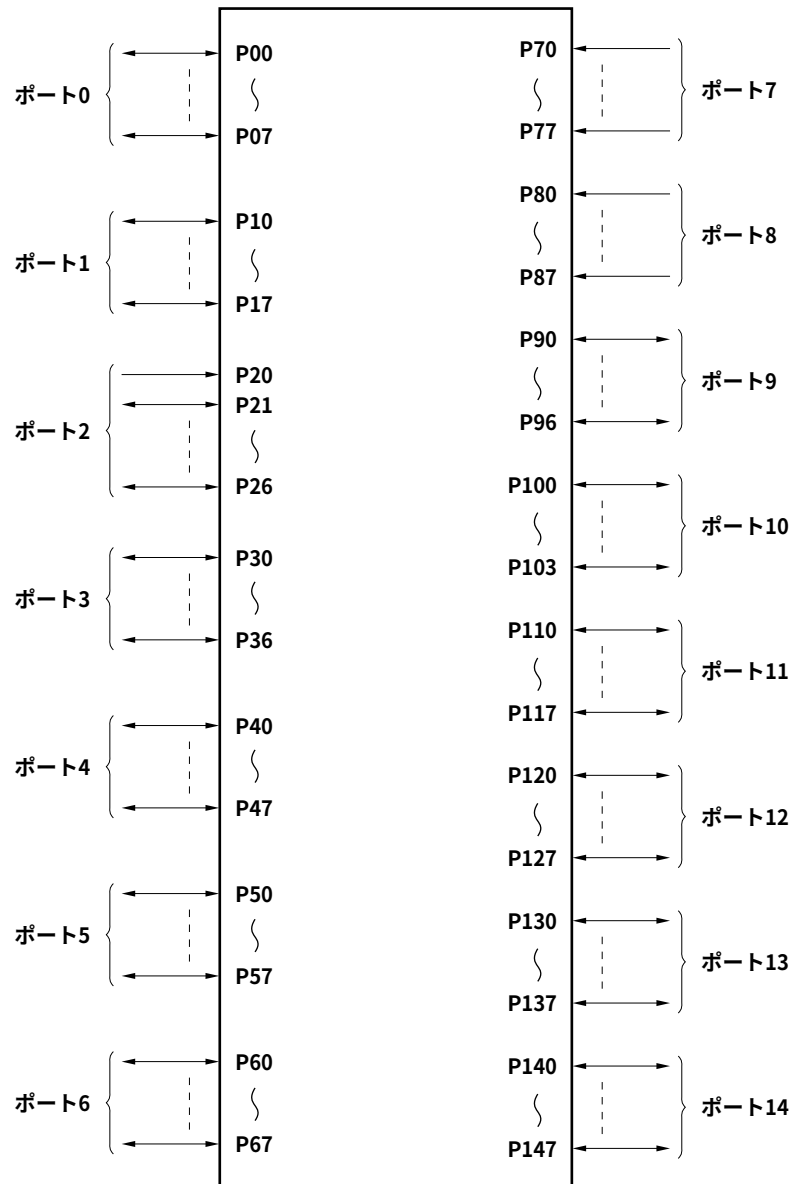
V854のポートには次のような特徴があります。

- 本数 入力専用ポート 16本
 入出力ポート 96本
- ほかの周辺機能の入出力端子と兼用
- ビット単位で入力/出力指定可能

12.2 ポートの基本構成

V854は、ポート0-14の合計112本の入力/出力ポート（うち16本は入力専用ポート）を内蔵しています。

V854のポート構成を次に示します（P20はポート機能として使用不可）。



(1) 各ポートの機能

V854のポートには次に示すような種類があります

いずれのポートも8/1ビット単位の操作が可能であり、多様な制御を行うことができます。また、ポートとしての機能のほかに、コントロール・モードとして内蔵ハードウェアの入出力端子としての機能を持っています。

詳細は12.3の各ポートの説明をご覧ください。また、図12-1-図12-11にポートのブロック図を示します。

ポート	端子	ポート機能	コントロール・モード時の機能
ポート0	P00-P07	8ビット入出力	リアルタイム・パルス・ユニット (RPU) 入出力 外部割り込み要求入力 (キャプチャ・トリガ入力)
ポート1	P10-P17	8ビット入出力	RPU入出力 外部割り込み要求入力 (キャプチャ・トリガ入力) P17はポート専用
ポート2	P20-P26 ^注	6ビット入出力	ノンマスクابل割り込み要求入力 外部割り込み要求入力 (キャプチャ・トリガ入力) アナログ・トリガ入力
ポート3	P30-P36	7ビット入出力	シリアル・インタフェース用入出力 (UART, CSI, I ² C) P36はポート専用
ポート4	P40-P47	8ビット入出力	メモリ拡張時のアドレス／データ・バス
ポート5	P50-P57		
ポート6	P60-P67	8ビット入出力	メモリ拡張時のアドレス・バス
ポート7	P70-P77	8ビット入力	A/Dコンバータへのアナログ入力 (ポート・モード時入力専用)
ポート8	P80-P87		
ポート9	P90-P96	7ビット入出力	メモリ拡張時の制御信号入出力
ポート10	P100-P103	4ビット入出力	PWM制御信号出力
ポート11	P110-P117	8ビット入出力	RPU入出力 外部割り込み要求入力
ポート12	P120-P127	8ビット入出力	シリアル・インタフェース入出力 クロック出力 P126はポート専用
ポート13	P130-P137	8ビット入出力	リアルタイム出力ポート
ポート14	P140-P147	8ビット入出力	ポート専用

注 P20はポート機能として使用不可

注意 コントロール・モード時に出力、または入出力端子として動作するポートをコントロール・モードに切り替える場合は、必ず次の手順で設定を行ってください。

(1) コントロール・モードで出力される信号のインアクティブ・レベルを、ポートn (Pn) の該当するビットに設定 (n=0, 1, 3-6, 9-13)。

(2) ポートnモード・コントロール・レジスタ (PMCn) により、コントロール・モードに切り替え。

上記(1)を行わない場合、ポート・モードからコントロール・モードに切り替える際に、ポートn (Pn) の内容が、一瞬出力されることがあります。

(2) 各ポート端子のリセット時の機能とポート／コントロール・モードを設定するレジスタ

(1/2)

ポート名	端 子 名	リセット時の機能（（ ）内は入出力）				モードを設定するレジスタ
		シングルチップ・モード1時	シングルチップ・モード2時	ROMレス・モード1時	ROMレス・モード2時	
ポート0	P00/TO00	P00（入力）				PMC0
	P01/TO01	P01（ 〃 ）				
	P02/INTP00	P02（ 〃 ）				
	P03/INTP01	P03（ 〃 ）				
	P04/INTP02	P04（ 〃 ）				
	P05/INTP03	P05（ 〃 ）				
	P06/INTP04/TCLR0	P06（ 〃 ）				
	P07/INTP05/TI0	P07（ 〃 ）				
ポート1	P10/INTP10	P10（入力）				PMC1
	P11/INTP11	P11（ 〃 ）				
	P12/INTP12	P12（ 〃 ）				
	P13/INTP13	P13（ 〃 ）				
	P14/INTP14/TI1	P14（ 〃 ）				
	P15/TO20	P15（ 〃 ）				
	P16/INTP20/TI20	P16（ 〃 ）				
	P17	P17（ 〃 ）				
ポート2	P20/NMI	NMI（入力）				—
	P21/INTP30	P21（ 〃 ）				
	P22/ADTRG	P22（ 〃 ）				
	P23/INTP50	P23（ 〃 ）				
	P24/INTP51	P24（ 〃 ）				
	P25/INTP52	P25（ 〃 ）				
	P26/INTP53	P26（ 〃 ）				
ポート3	P30/SO0/TXD	P30（入力）				PMC3
	P31/SI0/RXD	P31（ 〃 ）				
	P32/SCK0	P32（ 〃 ）				
	P33/SO1/SDA	P33（ 〃 ）				
	P34/SI1	P34（ 〃 ）				
	P35/SCK1/SCL	P35（ 〃 ）				
	P36	P36（ 〃 ）				
ポート4	P40/AD0-P47/AD7	P40-P47 （すべて入力）		AD0-AD7 （すべて入出力）		MM
ポート5	P50/AD8-P57/AD15	P50-P57 （すべて入力）		AD8-AD15 （すべて入出力）		MM

(2/2)

ポート名	端 子 名	リセット時の機能（ ）内は入出力				モードを設定するレジスタ
		シングルチップ・モード1時	シングルチップ・モード2時	ROMレス・モード1時	ROMレス・モード2時	
ポート6	P60/A16-P67/A23	P60-P67 (すべて入力)		A16-A23 (すべて出力)		MM
ポート7	P70/ANI0-P77/ANI7	P70/ANI0-P77/ANI7 (すべて入力)				—
ポート8	P80/ANI8-P87/ANI15	P80/ANI8-P87/ANI15 (すべて入力)				—
ポート9	P90/LBEN/WRL	P90 (入力)		LBEN (出力)	WRL (出力)	MM
	P91/UBEN	P91 (")		UBEN (")		
	P92/R/W/WRH	P92 (")		R/W (出力)	WRH (出力)	
	P93/DSTB/RD	P93 (")		DSTB (出力)	RD (出力)	
	P94/ASTB	P94 (")		ASTB (")		
	P95/HLDAK	P95 (")				
	P96/HLDRQ	P96 (")				
ポート10	P100/PWM0	P100 (入力)				PMC10
	P101/PWM1	P101 (")				
	P102/PWM2	P102 (")				
	P103/PWM3	P103 (")				
ポート11	P110/TO21	P110 (入力)				PMC11
	P111/INTP21/TI21	P111 (")				
	P112/TO22	P112 (")				
	P113/INTP22/TI22	P113 (")				
	P114/TO23	P114 (")				
	P115/INTP23/TI23	P115 (")				
	P116/TO24	P116 (")				
	P117/INTP24/TI24	P117 (")				
ポート12	P120/SO2	P120 (入力)				PMC12
	P121/SI2	P121 (")				
	P122/SCK2	P122 (")				
	P123/SO3	P123 (")				
	P124/SI3	P124 (")				
	P125/SCK3	P125 (")				
	P126	P126 (")				
	P127/CLO	P127 (")				
ポート13	P130/RTP0-P137/RTP7	P130-P137 (すべて入力)				PMC13
ポート14	P140-P147	P140-P147 (すべて入力)				—

図12-1 タイプAのブロック図

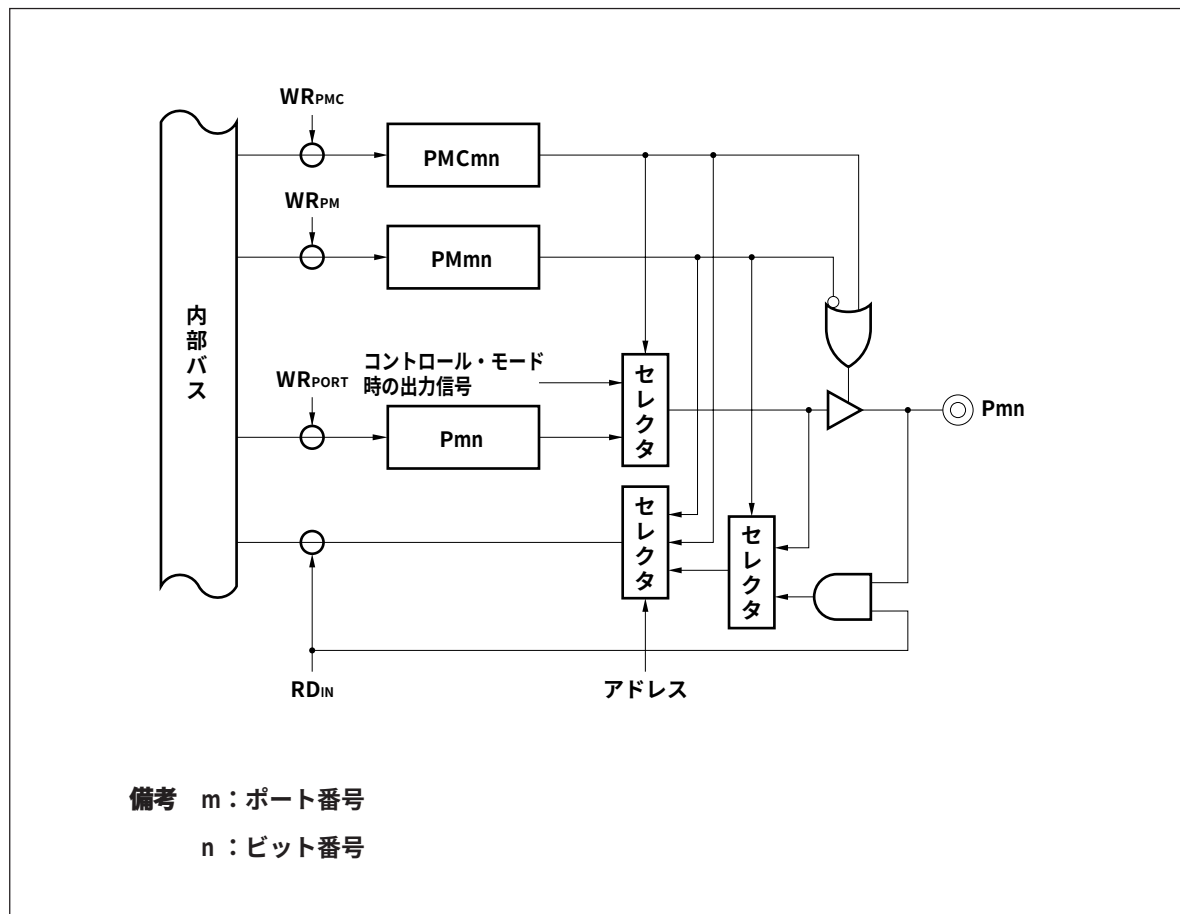


図12-2 タイプBのブロック図

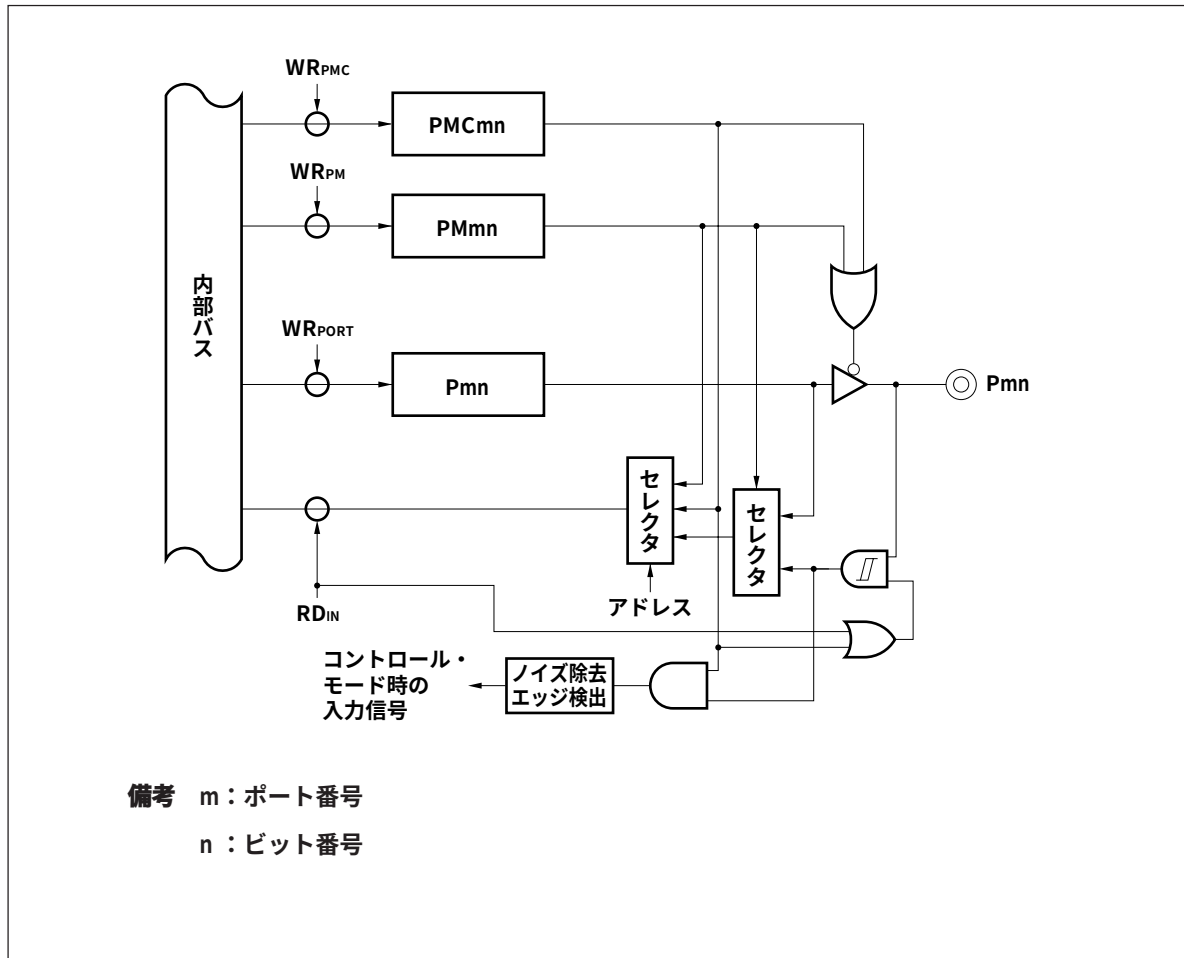


図12-3 タイプCのブロック図

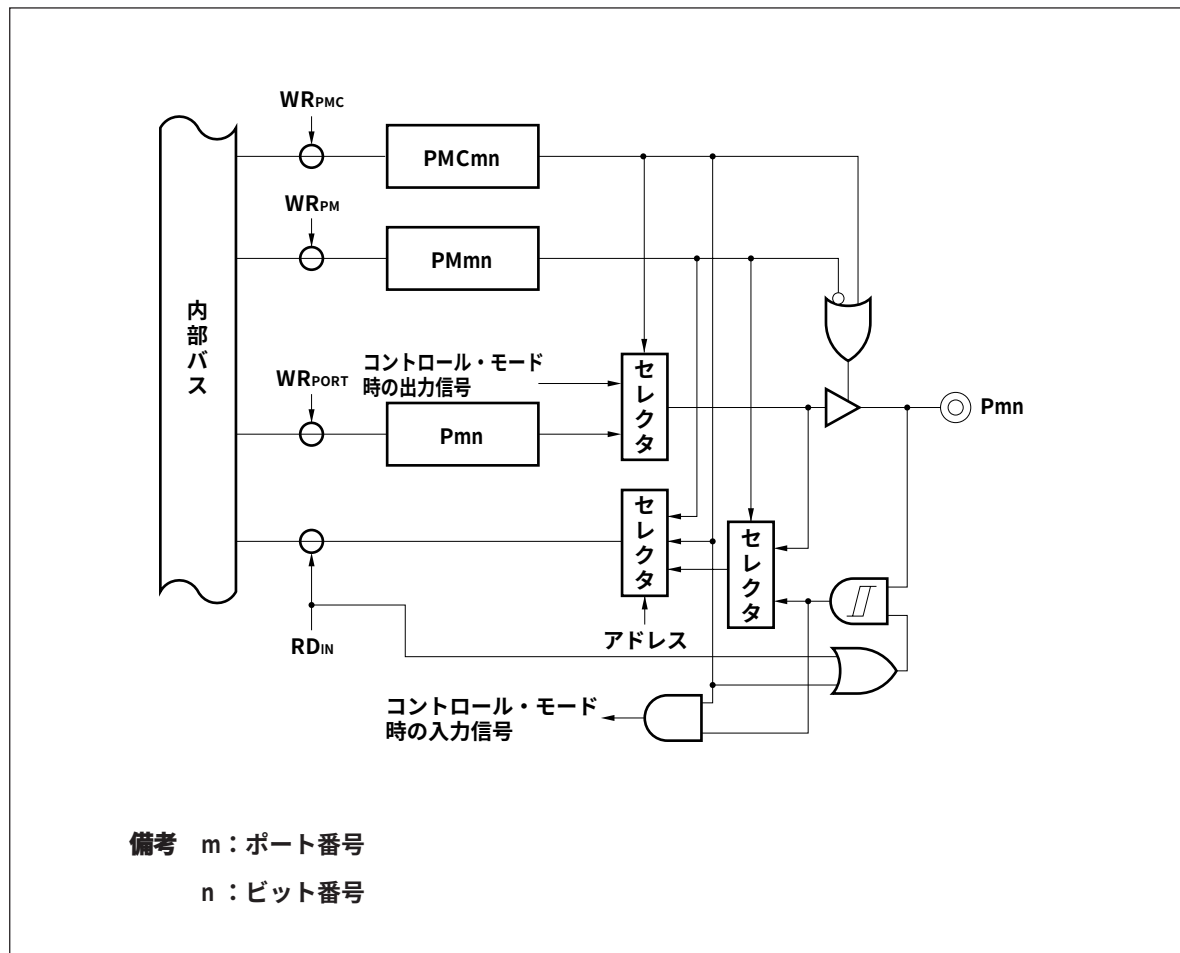


図12-4 タイプDのブロック図

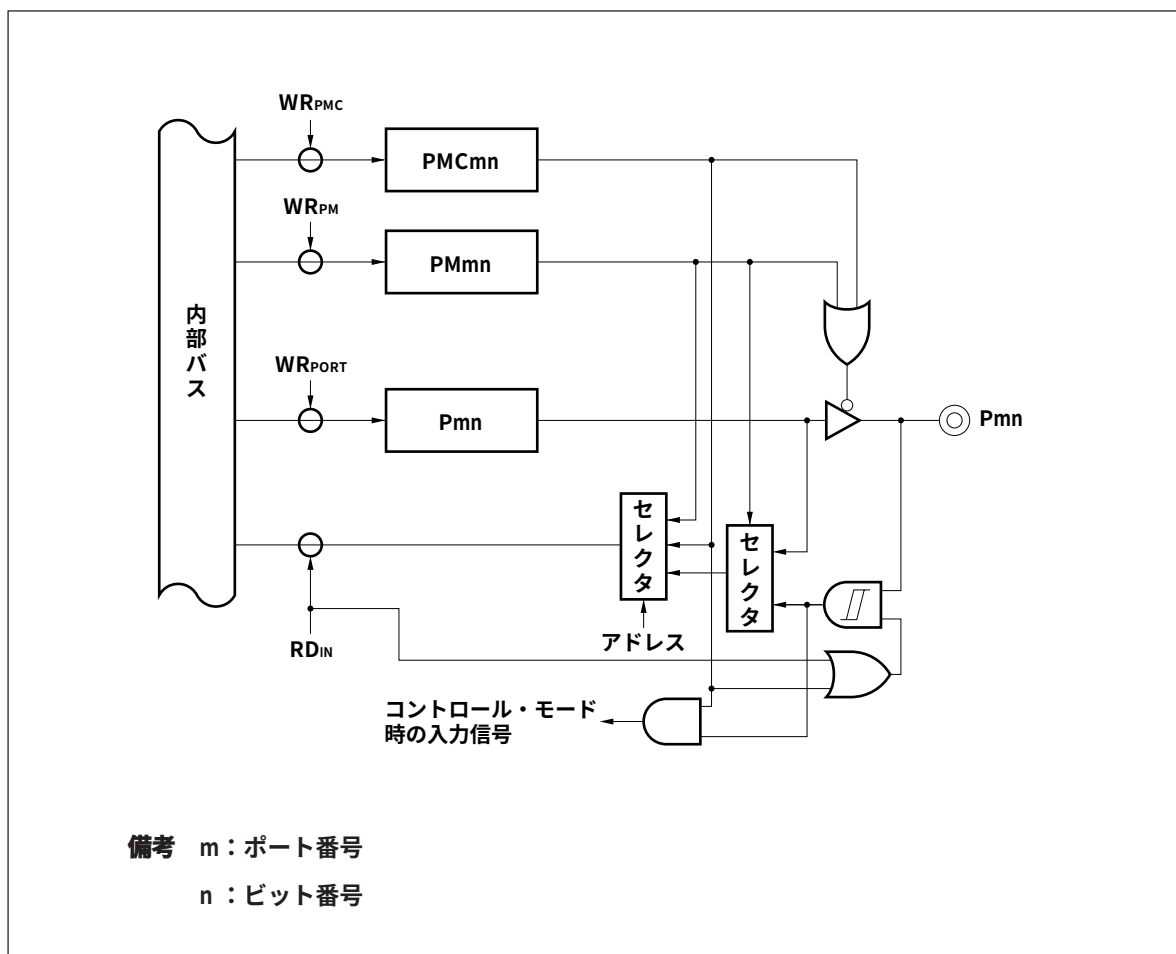


図12-5 タイプEのブロック図

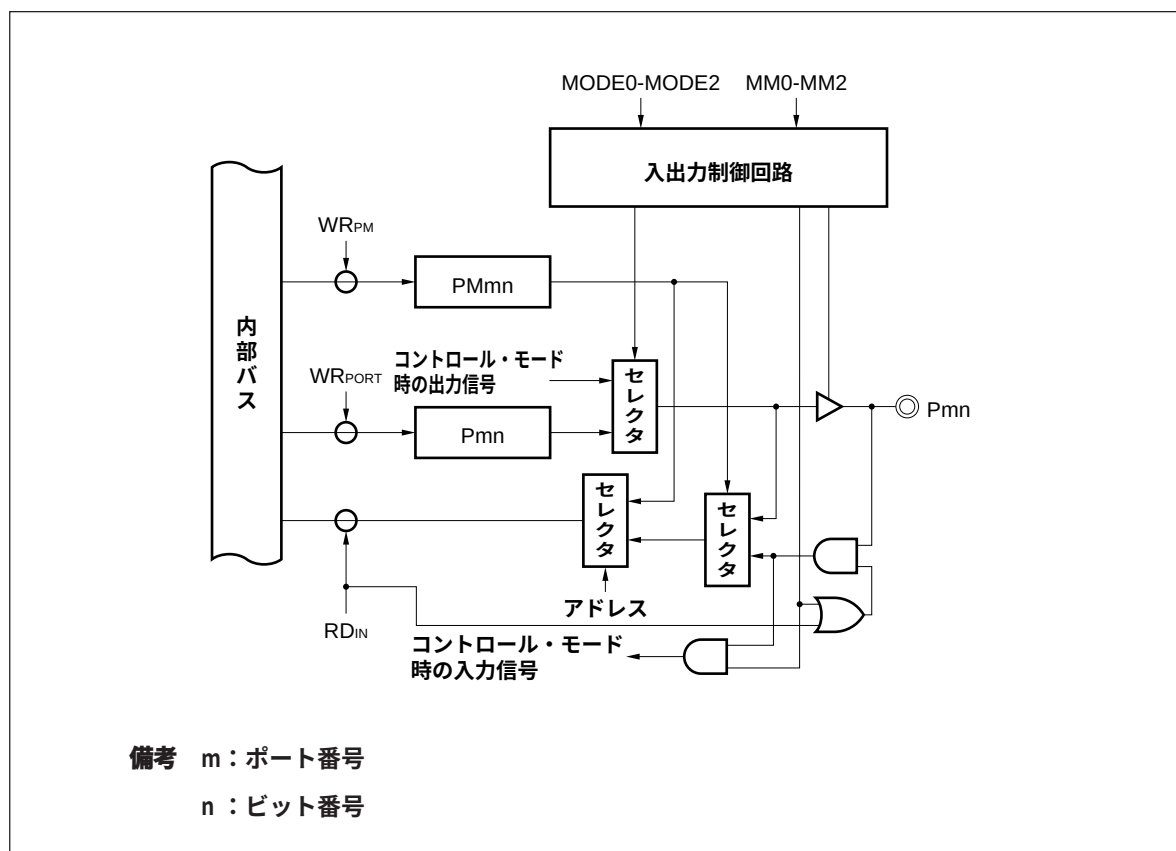


図12-6 タイプFのブロック図

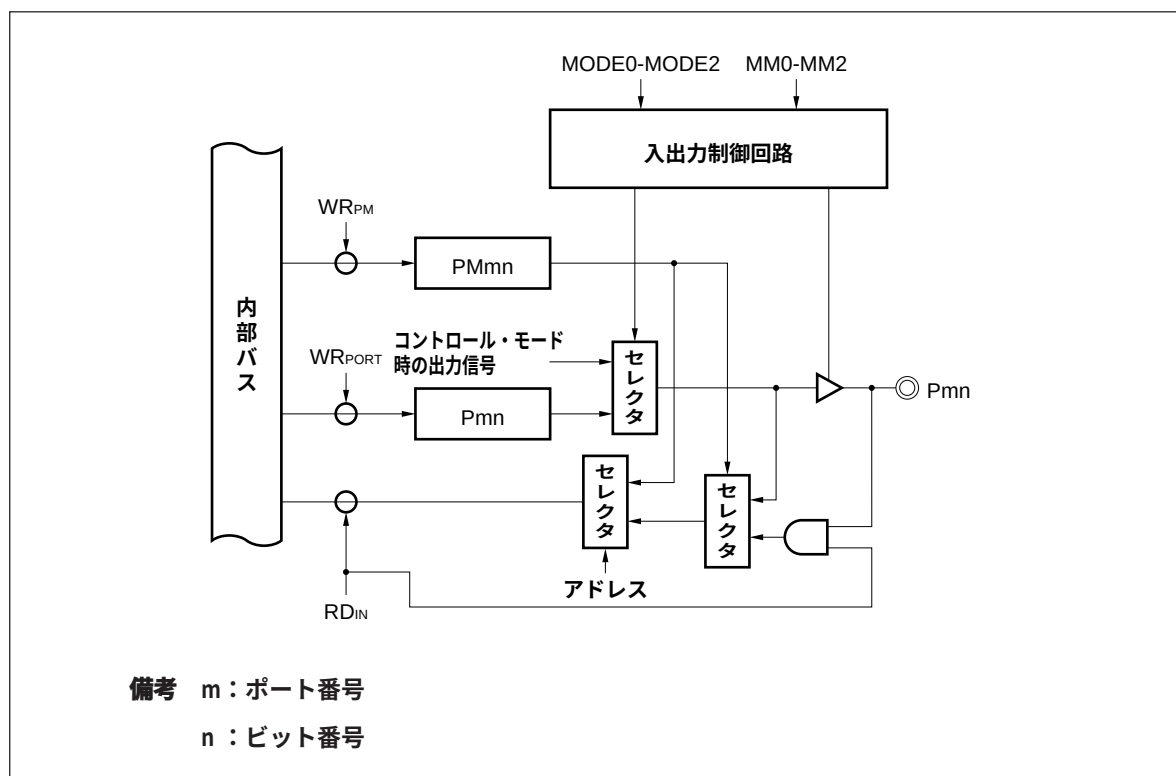


図12-7 タイプGのブロック図

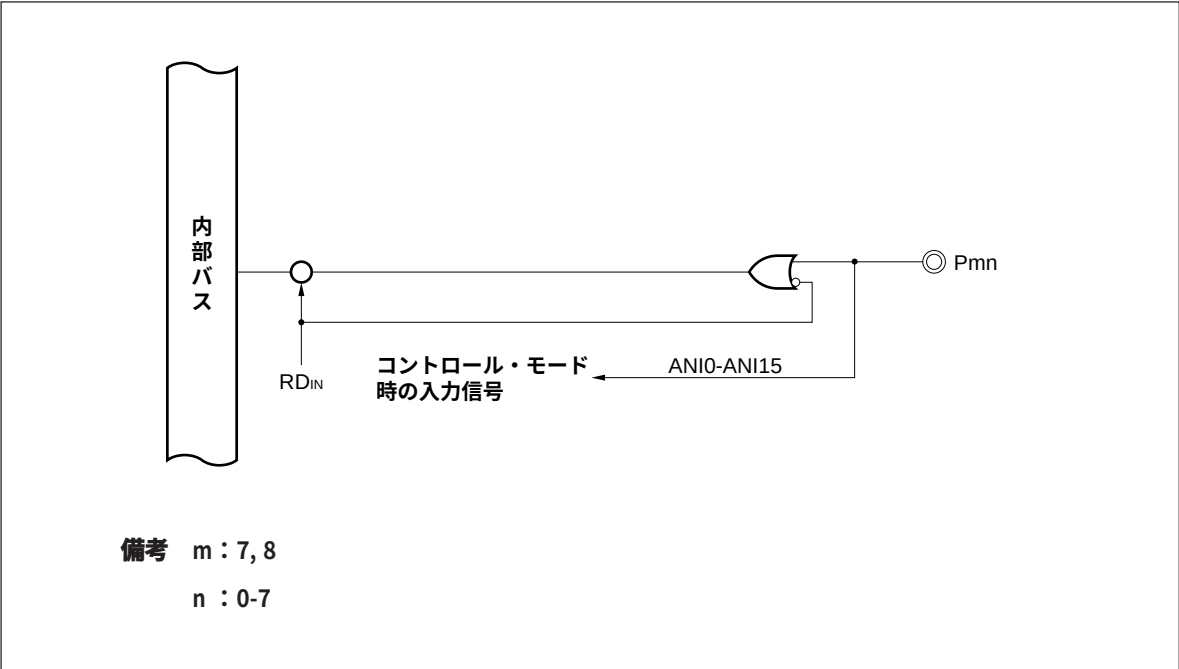


図12-8 タイプHのブロック図

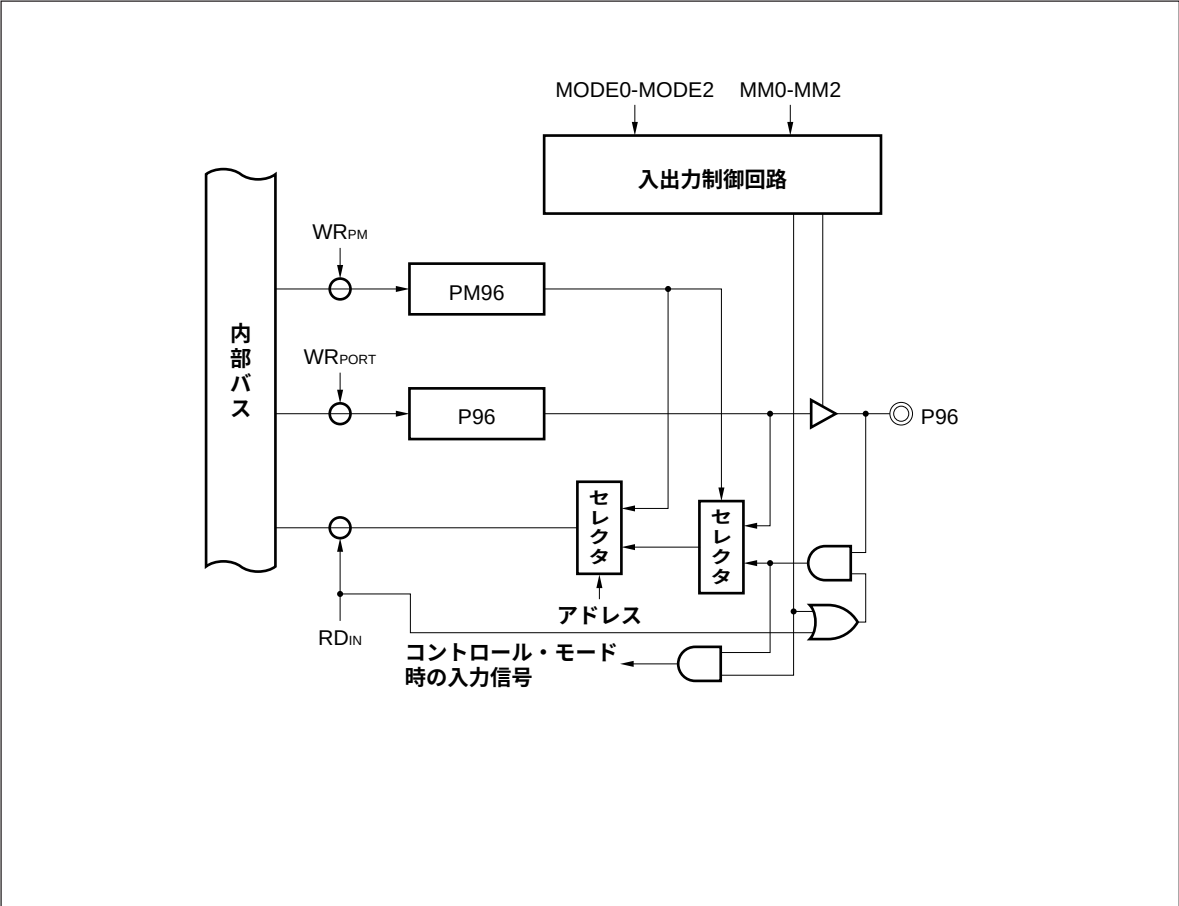


図12-9 タイプIのブロック図

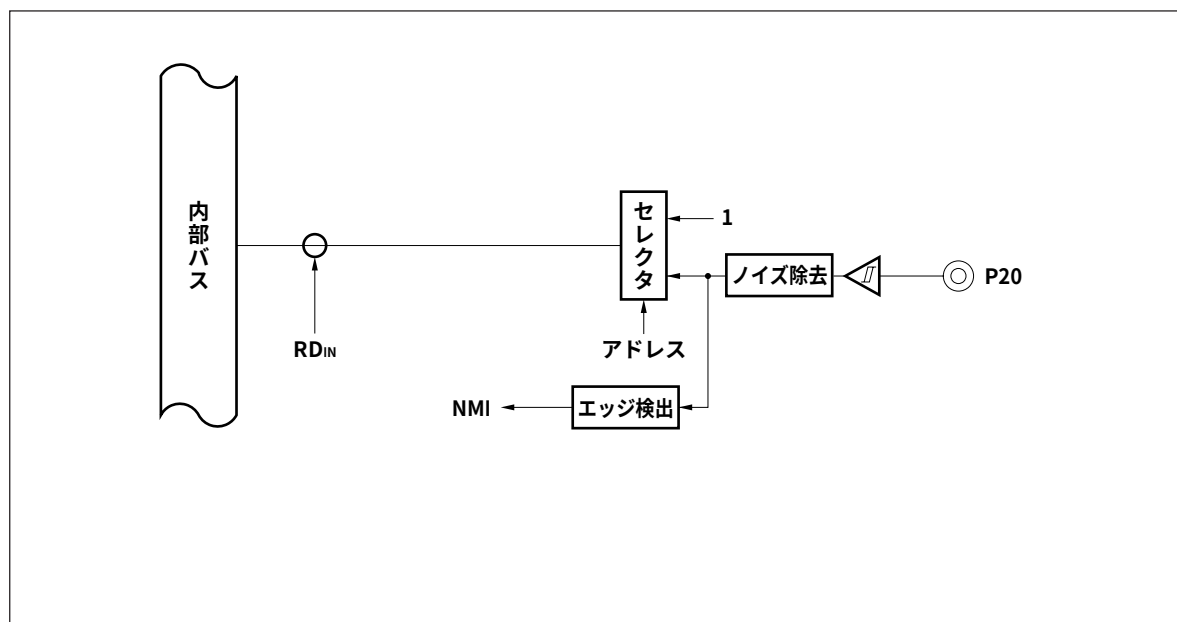


図12-10 タイプJのブロック図

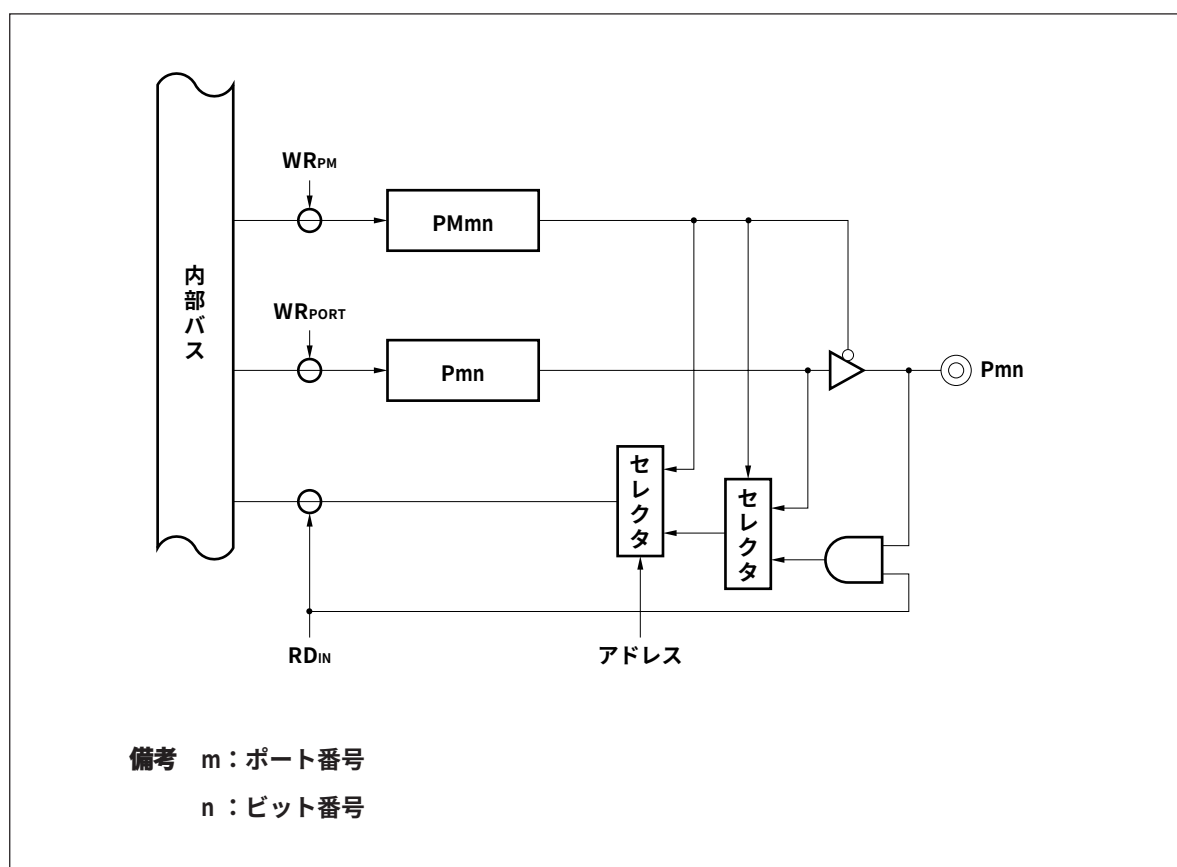
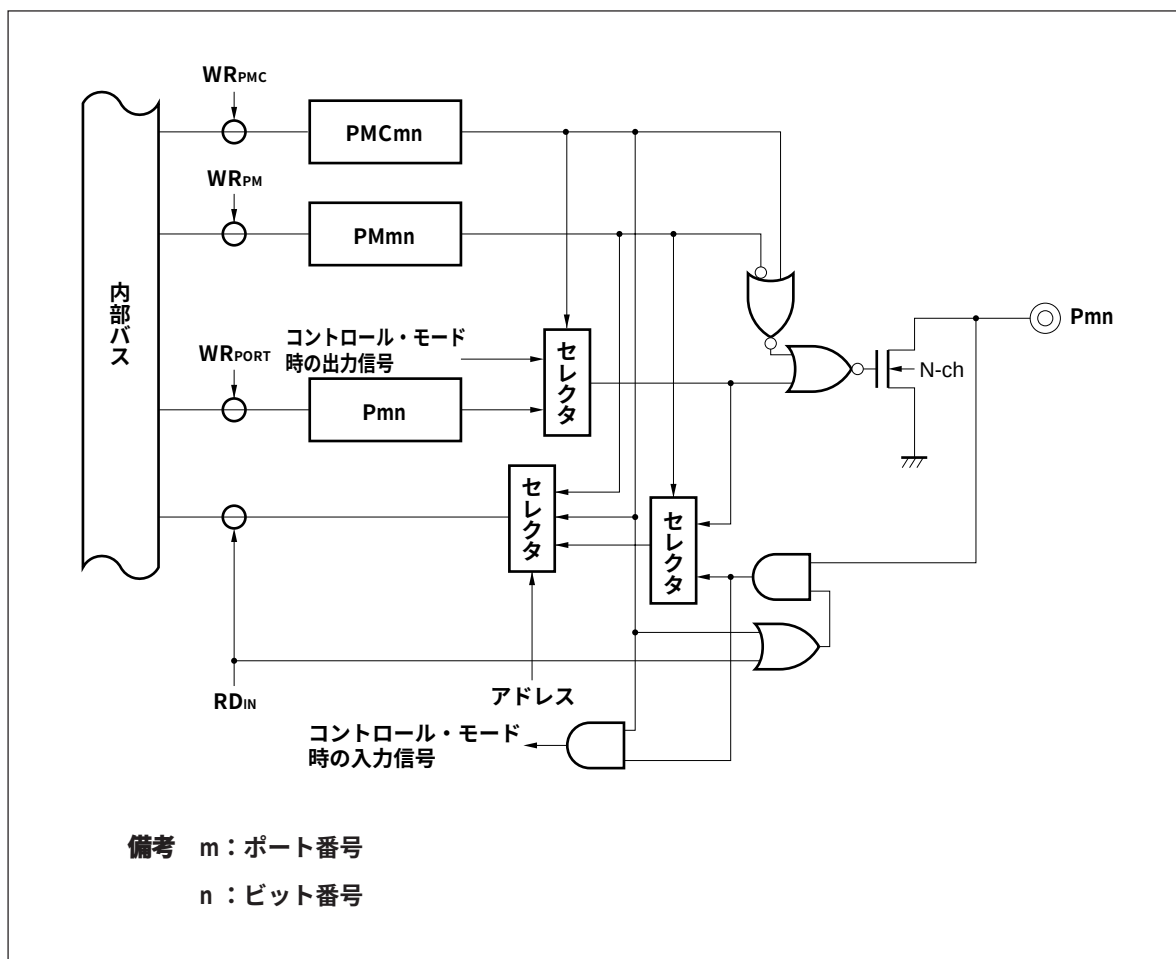


図12-11 タイプKのブロック図



12.3 各ポートの端子機能

12.3.1 ポート 0

ポート 0 は、1 ビット単位で入出力を指定できる 8 ビット入出力ポートです。

P0	7	6	5	4	3	2	1	0	アドレス FFFFFF00H	リセット時 不定
	P07	P06	P05	P04	P03	P02	P01	P00		

ビット位置	ビット名	意 味
7-0	P0n (n = 7-0)	Port 0 入出力ポート

ポートとしての機能のほかに、コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力および外部割り込み要求入力として動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	コントロール・モード時の機能	ブロック・タイプ
ポート 0	P00	TO00	RPU出力	A
	P01	TO01		
	P02	INTP00	外部割り込み要求入力/RPUキャプチャ・トリガ入力	B
	P03	INTP01		
	P04	INTP02		
	P05	INTP03		
	P06	TCLR0/INTP04	外部割り込み要求入力/RPU入力	
	P07	TI0/INTP05		

(2) 入出力モード／コントロール・モードの設定

ポート0の入出力モードの設定は、ポート・モード・レジスタ0 (PM0)で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ0 (PMC0)で行います。

ポート0モード・レジスタ (PM0)

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	アドレス FFFFF020H	リセット時 FFH

ビット位置	ビット名	意 味
7-0	PM00-PM07	Port Mode P00-P07端子の入力／出力モードを指定を行います。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート0モード・コントロール・レジスタ（PMC0）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PMC0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00	アドレス FFFFF040H	リセット時 00H

ビット位置	ビット名	意 味
7	PMC07	Port Mode Control P07端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力（INTP05）／TI0入力モード
6	PMC06	Port Mode Control P06端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力（INTP04）/TCLR0入力モード
5-2	PMC05- PMC02	Port Mode Control P05-P02端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力（INTP03-INTP00）
1	PMC01	Port Mode Control P01端子の動作モードを指定します。 0：入出力ポート・モード 1：TO01出力モード
0	PMC00	Port Mode Control P00端子の動作モードを指定します。 0：入出力ポート・モード 1：TO00出力モード

12.3.2 ポート 1

ポート 1 は、1 ビット単位で入出力を指定できる 8 ビット入出力ポートです。

P1	7	6	5	4	3	2	1	0	アドレス FFFFFF02H	リセット時 不定
	P17	P16	P15	P14	P13	P12	P11	P10		

ビット位置	ビット名	意 味
7-0	P1n (n = 7-0)	Port 1 入出力ポート

ポートとしての機能のほかに、コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力、外部割り込み入力として動作可能です。

(1) コントロール・モード時の動作

ポート		コントロール・モード	コントロール・モード時の機能	ブロック・タイプ
ポート1	P10	INTP10	外部割り込み要求入力/RPUキャプチャ・トリガ入力	B
	P11	INTP11		
	P12	INTP12		
	P13	INTP13		
	P14	TI1/INTP14	外部割り込み要求入力	A
	P15	TO20	RPU出力	
	P16	TI20/INTP20	外部割り込み要求入力/RPU入力	B
	P17	—	ポート専用	J

(2) 入出力モードの設定

ポート1の入力／出力モードの設定は、ポート・モード・レジスタ1 (PM1)で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ1 (PMC1)で行います。

ポート1モード・レジスタ (PM1)

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	アドレス FFFFFF022H	リセット時 FFH

ビット位置	ビット名	意 味
7-0	PM1n (n = 7-0)	Port Mode P1n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート1モード・コントロール・レジスタ (PMC1)

8/1ビット単位でリード／ライト可能です。ただしビット7は“0”に固定されており，“1”を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PMC1	0	PMC16	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10	アドレス FFFFFF042H	リセット時 00H

ビット位置	ビット名	意 味
6	PMC16	Port Mode Control P16端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力 (INTP20) /TI20入力モード
5	PMC15	Port Mode Control P15端子の動作モードを指定します。 0：入出力ポート・モード 1：TO20出力モード
4	PMC14	Port Mode Control P14端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力 (INTP14) /TI1入力モード
3-0	PMC13- PMC10	Port Mode Control P13-P10端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力 (INTP13-INTP10)

12.3.3 ポート 2

ポート 2 は、1 ビット単位で入出力を指定できる 8 ビット入出力ポートです。ただし、P20 はエッジが入力されると常に NMI 入力として動作します。

	7	6	5	4	3	2	1	0		
P2	—	P26	P25	P24	P23	P22	P21	P20	アドレス FFFFFF004H	リセット時 不定

ビット位置	ビット名	意 味
6-1	P2n (n = 6-1)	Port 2 入出力ポート
0	P20	NMI の入力レベル

ポートとしての機能のほかに、コントロール・モードでは外部割り込み要求入力として動作可能です。
8 ビット・アクセスした場合の上位 1 ビットのデータは、ライト時は無視され、リード時は不定になります。

(1) コントロール・モード時の動作

ポート		コントロール・モード	コントロール・モード時の機能	ブロック・タイプ
ポート2	P20	NMI	ノンマスカブル割り込み要求入力	I
	P21	INTP30	外部割り込み要求入力（キャプチャ・トリガ入力）	B
	P22	ADTRG	A/Dコンバータ・トリガ入力	
	P23	INTP50	外部割り込み要求入力	
	P24	INTP51		
	P25	INTP52		
	P26	INTP53		

(2) 入出力モード／コントロール・モードの設定

ポート2の入力／出力モードの設定は、ポート・モード・レジスタ2（PM2）で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ2（PMC2）で行います。
なお、P20はNMI入力に固定です。

ポート2モード・レジスタ（PM2）

8/1ビット単位でリード／ライト可能です。ただし、ビット0とビット7はハードウエアで“1”に固定されており，“0”を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PM2	1	PM26	PM25	PM24	PM23	PM22	PM21	1	アドレス FFFFFF024H	リセット時 FFH

ビット位置	ビット名	意 味
6-1	PM2n (n = 6-1)	Port Mode P2n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート2モード・コントロール・レジスタ（PMC2）

8/1ビット単位でリード／ライト可能です。ただし、ビット0はハードウェアで“1”に固定されており、“0”を書き込んでも無視されます。またビット7はハードウェアで“0”に固定されており、“1”を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PMC2	0	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	1	アドレス FFFFFF044H	リセット時 01H

ビット位置	ビット名	意 味
6-3	PMC26- PMC23	Port Mode Control P26-P23端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力（INTP53-INTP50）
2	PMC22	Port Mode Control P22端子の動作モードを指定します。 0：入出力ポート・モード 1：ADコンバータ・トリガ入力（ADTRG）
1	PMC21	Port Mode Control P21端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力（INTP30）

備考 ビット0はNMI入力モードに固定

12.3.4 ポート 3

ポート 3 は、1 ビット単位で入出力を指定できる 7 ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P3	—	P36	P35	P34	P33	P32	P31	P30	アドレス FFFFF006H	リセット時 不定

ビット位置	ビット名	意 味
6-0	P3n (n = 6-0)	Port 3 入出力ポート

ポートとしての機能ほかに、コントロール・モードではシリアル・インタフェース（UART, CSI, I²C）の入出力として動作可能です。P33とP35は、I²CバスのSDA, SCL端子とそれぞれ兼用になっており、出力はN-chオープン・ドレインになります。

なお、8 ビット・アクセスした場合の上位 1 ビットのデータは、ライト時は無視され、リード時は不定になります。

(1) コントロール・モード時の動作

ポート		コントロール・モード	コントロール・モード時の機能	ブロック・タイプ
ポート 3	P30	SO0/TXD	シリアル・インタフェース用入出力 (UART, CSI, I ² C)	A
	P31	SI0/RXD		D
	P32	$\overline{\text{SCK0}}$		C
	P33	SO1/SDA		K
	P34	SI1		D
	P35	$\overline{\text{SCK1}}$ /SCL		K
	P36	—	ポート専用	J

(2) 入出力モード／コントロール・モードの設定

ポート3の入力／出力モードの設定は、ポート・モード・レジスタ3（PM3）で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ3（PMC3）で行います。

ポート3モード・レジスタ（PM3）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM3	1	PM36	PM35	PM34	PM33	PM32	PM31	PM30	アドレス FFFFFF026H	リセット時 FFH

ビット位置	ビット名	意 味
6-0	PM3n (n = 6-0)	Port Mode P3n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート3モード・コントロール・レジスタ (PMC3)

8/1ビット単位でリード／ライト可能です。ただし上位2ビットはハードウェアで“0”に固定されており，“1”を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PMC3	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30	アドレス FFFFF046H	リセット時 00H

ビット位置	ビット名	意 味
5	PMC35	Port Mode Control P35端子の動作モードを指定します。 0：入出力ポート・モード 1： $\overline{\text{SCK1}}$ /SCL出力モード
4	PMC34	Port Mode Control P34端子の動作モードを指定します。 0：入出力ポート・モード 1：SI1入力モード
3	PMC33	Port Mode Control P33端子の動作モードを指定します。 0：入出力ポート・モード 1：SO1/SDA出力モード
2	PMC32	Port Mode Control P32端子の動作モードを指定します。 0：入出力ポート・モード 1： $\overline{\text{SCK0}}$ 入出力モード
1	PMC31	Port Mode Control P31端子の動作モードを指定します。 0：入出力ポート・モード 1：SI0/RXD入力モード
0	PMC30	Port Mode Control P30端子の動作モードを指定します。 0：入出力ポート・モード 1：SO0/TXD出力モード

12.3.5 ポート 4

ポート 4 は、1 ビット単位で入出力を指定できる 8 ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P4	P47	P46	P45	P44	P43	P42	P41	P40	アドレス FFFFF008H	リセット時 不定

ビット位置	ビット名	意 味
7-0	P4n (n = 7-0)	Port 4 入出力ポート

ポートとしての機能のほかに、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス／データ・バスとして動作可能です。

（1）コントロール・モード時の動作

ポート		コントロール・モード	コントロール・モード時の機能	ブロック・タイプ
ポート 4	P40-P47	AD0-AD7	メモリ拡張時のアドレス/データ・バス	E

（2）入出力モード／コントロール・モードの設定

ポート 4 の入力／出力モードの設定は、ポート・モード・レジスタ 4（PM4）で行います。また、コントロール・モード（外部拡張モード）の設定は、モード指定端子 MODEn とメモリ拡張モード・レジスタ（MM：3.4.6（1）参照）で行います（n = 0-2）。

ポート 4 モード・レジスタ（PM4）

8/1 ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	アドレス FFFFF028H	リセット時 FFH

ビット位置	ビット名	意 味
7-0	PM4n (n = 7-0)	Port Mode P4n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート4の動作モード

MMレジスタのビット			動作モード							
MM2	MM1	MM0	P40	P41	P42	P43	P44	P45	P46	P47
0	0	0	ポート							
0	1	1	アドレス／データ・バス (AD0-AD7)							
1	0	0								
1	0	1								
1	1	1								
その他			RFU（予約）							

MODEn端子による動作モード切り替えの詳細については、3.3.2 動作モード指定を参照してください。

ROMレス・モード時は、システム・リセットにより、MM0-MM2=111，すなわち外部拡張モード状態に初期化されますが、その後、プログラムによりMM0-MM2にデータ設定することで、ポート・モードに変更可能です。この場合、MM0-MM2=000に設定すると、以降の命令フェッチができなくなるので注意が必要です。

12.3.6 ポート5

ポート5は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

P5	7	6	5	4	3	2	1	0	アドレス FFFFF00AH	リセット時 不定
	P57	P56	P55	P54	P53	P52	P51	P50		

ビット位置	ビット名	意 味
7-0	P5n (n = 7-0)	Port 5 入出力ポート

ポートとしての機能のほかに、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス／データ・バスとして動作可能です。

(1) コントロール・モード時の動作

ポート		コントロール・モード	コントロール・モード時の機能	ブロック・タイプ
ポート5	P50-P57	AD8-AD15	メモリ拡張時のアドレス/データ・バス	E

(2) 入出力モード／コントロール・モードの設定

ポート5の入力／出力モードの設定は、ポート・モード・レジスタ5（PM5）で行います。また、コントロール・モード（外部拡張モード）の設定は、モード指定端子MODEnとメモリ拡張モード・レジスタ（MM：3.4.6（1）参照）で行います（n = 0-2）。

ポート5モード・レジスタ (PM5)

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	アドレス FFFF02AH	リセット時 FFH

ビット位置	ビット名	意 味
7-0	PM5n (n = 7-0)	Port Mode P5n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート5の動作モード

MMレジスタのビット			動作モード							
MM2	MM1	MM0	P50	P51	P52	P53	P54	P55	P56	P57
0	0	0	ポート							
0	1	1	アドレス／データ・バス (AD8-AD15)							
1	0	0								
1	0	1								
1	1	1								
その他			RFU（予約）							

12.3.7 ポート 6

ポート 6 は、1 ビット単位で入出力を指定できる 8 ビット入出力ポートです。

P6	7	6	5	4	3	2	1	0	アドレス FFFFF00CH	リセット時 不定
	P67	P66	P65	P64	P63	P62	P61	P60		

ビット位置	ビット名	意 味
7-0	P6n (n = 7-0)	Port 6 入出力ポート

ポートとしての機能のほかに、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

(1) コントロール・モード時の動作

ポート		コントロール・モード	コントロール・モード時の機能	ブロック・タイプ
ポート 6	P60-P67	A16-A23	メモリ拡張時のアドレス・バス	F

12.3.8 ポート7，ポート8

ポート7，ポート8は，全端子が入力に固定の8ビット入力専用ポートです。

	7	6	5	4	3	2	1	0		
P7	P77	P76	P75	P74	P73	P72	P71	P70	アドレス FFFFFF00EH	リセット時 不定
	7	6	5	4	3	2	1	0		
P8	P87	P86	P85	P84	P83	P82	P81	P80	アドレス FFFFFF010H	リセット時 不定

入力ポートとしての機能のほかに，常時A/Dコンバータのアナログ入力として動作可能です。このため，これらのポートはアナログ入力端子（ANI0-ANI7, ANI8-ANI15）と兼用になっていますが，入力ポートとアナログ入力端子は切り替えられません。またポートの読み出しにより，各端子の状態を読み込めます。

（1）通常動作

ポート		コントロール・モード	コントロール・モード時の機能	ブロック・タイプ
ポート7	P70-P77	ANI0-ANI7	A/Dコンバータへのアナログ入力 (ポート・モード時入力専用)	G
ポート8	P80-P87	ANI8-ANI15		

12.3.9 ポート 9

ポート 9 は、1 ビット単位で入出力を指定できる 7 ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P9	—	P96	P95	P94	P93	P92	P91	P90	アドレス FFFFFF012H	リセット時 不定

ビット位置	ビット名	意 味
6-0	P9n (n = 6-0)	Port 9 入出力ポート

ポートとしての機能のほかに、コントロール・モード（外部拡張モード）ではメモリを外部に拡張する場合の制御信号出力、バス・ホールド制御信号出力として動作可能です。8 ビット・アクセスした場合の上位 1 ビットのデータは、ライト時は無視され、リード時は不定になります。

(1) コントロール・モード時の動作

ポート		コントロール・モード	コントロール・モード時の機能	ブロック・タイプ
ポート 9	P90	$\overline{\text{LBEN}}/\overline{\text{WRL}}$	メモリ拡張時の制御信号出力	F
	P91	$\overline{\text{UBEN}}$		
	P92	$\text{R}/\overline{\text{W}}/\overline{\text{WRH}}$		
	P93	$\overline{\text{DSTB}}/\overline{\text{RD}}$		
	P94	$\overline{\text{ASTB}}$		
	P95	$\overline{\text{HLD}}\overline{\text{AK}}$	バス・ホールド・アクノリッジ信号出力	H
	P96	$\overline{\text{HLD}}\overline{\text{RQ}}$	バス・ホールド要求信号入力	

(2) 入出力モード／コントロール・モードの設定

ポート9の入力／出力モードの設定は、ポート・モード・レジスタ9（PM9）で行います。また、コントロール・モード（外部拡張モード）の設定は、モード指定端子MODEnとメモリ拡張モード・レジスタ（MM：3.4.6（1）参照）で行います（n=0-2）。

ポート9モード・レジスタ（PM9）

8/1ビット単位でリード／ライト可能です。ただしビット7はライト時は無視され、リード時は不定になります。

	7	6	5	4	3	2	1	0		
PM9	—	PM96	PM95	PM94	PM93	PM92	PM91	PM90	アドレス FFFFFF032H	リセット時 FFH

ビット位置	ビット名	意味
6-0	PM9n (n = 6-0)	Port Mode P9n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート9の動作モード

P90-P94

MMレジスタのビット			動作モード				
MM2	MM1	MM0	P90	P91	P92	P93	P94
0	0	0	ポート				
0	1	1	LBEN,	UBEN	R/W,	DSTB,	ASTB
1	0	0	WRL		WRH	RD	
1	0	1					
1	1	1					
その他			RFU（予約）				

P95, P96

MM3	動作モード	P95	P96
0	ポート・モード	ポート	
1	外部拡張モード	HLD $\overline{\text{AK}}$	HLD $\overline{\text{RQ}}$

12.3.10 ポート10

ポート10は、1ビット単位で入出力を指定できる4ビット入出力ポートです。

P10	7	6	5	4	3	2	1	0	アドレス FFFFFF014H	リセット時 不定
	—	—	—	—	P103	P102	P101	P100		
ビット位置		ビット名		意 味						
3-0		P10n (n = 3-0)		Port 10 入出力ポート						

ポート10に8ビット・アクセスした場合の上位4ビットのデータは、ライト時は無視され、リード時は不定となります。

ポートとしての機能のほかに、コントロール・モードではPWMnの出力として動作可能です。

(1) コントロール・モード時の動作

ポート		コントロール・モード	備 考	ブロック・タイプ
ポート10	P100	PWM0	PWM制御信号出力	A
	P101	PWM1		
	P102	PWM2		
	P103	PWM3		

(2) 入出力モード／コントロール・モードの設定

ポート10の入力／出力モードの設定は、ポート・モード・レジスタ10 (PM10) で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ10 (PMC10) で行います。

ポート10モード・レジスタ (PM10)

8/1ビット単位でリード／ライト可能です。ただし上位4ビットはハードウェアで“1”に固定されており、“0”を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PM10	1	1	1	1	PM103	PM102	PM101	PM100	アドレス FFFFF034H	リセット時 FFH

ビット位置	ビット名	意 味
3-0	PM10n (n = 3-0)	Port Mode P10n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート10モード・コントロール・レジスタ (PMC10)

8/1ビット単位でリード／ライト可能です。ただし上位4ビットはハードウェアで“0”に固定されており、“1”を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PMC10	0	0	0	0	PMC103	PMC102	PMC101	PMC100	アドレス FFFFF054H	リセット時 00H

ビット位置	ビット名	意 味
3-0	PMC10n (n = 3-0)	Port Mode Control P10n端子の動作モードを指定します。 0：入出力ポート・モード 1：PWMn出力モード

12.3.11 ポート11

ポート11は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P11	P117	P116	P115	P114	P113	P112	P111	P110	アドレス FFFFFF016H	リセット時 不定

ビット位置	ビット名	意 味
7-0	P11n (n = 7-0)	Port 11 入出力ポート

ポートとしての機能のほかに、コントロール・モードではリアルタイム・パルス・ユニット（RPU）の入出力、外部割り込み要求入力として動作可能です。

（1）コントロール・モード時の動作

ポート		兼用端子	コントロール・モード時の機能	ブロック・タイプ
ポート11	P110	TO21	RPU出力	A
	P111	TI21/INTP21	RPU入力/外部割り込み要求入力	B
	P112	TO22	RPU出力	A
	P113	TI22/INTP22	RPU入力/外部割り込み要求入力	B
	P114	TO23	RPU出力	A
	P115	TI23/INTP23	RPU入力/外部割り込み要求入力	B
	P116	TO24	RPU出力	A
	P117	TI24/INTP24	RPU入力/外部割り込み要求入力	B

(2) 入出力モード／コントロール・モードの設定

ポート11の入力／出力モードの設定は、ポート・モード・レジスタ11（PM11）で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ11（PMC11）で行います。

ポート11モード・レジスタ（PM11）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM11	PM117	PM116	PM115	PM114	PM113	PM112	PM111	PM110	アドレス FFFFFF036H	リセット時 FFH

ビット位置	ビット名	意 味
7-0	PM11n (n = 7-0)	Port Mode P11n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート11モード・コントロール・レジスタ (PMC11)

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PMC11	PMC117	PMC116	PMC115	PMC114	PMC113	PMC112	PMC111	PMC110	アドレス FFFFFF056H	リセット時 00H

ビット位置	ビット名	意 味
7	PMC117	Port Mode Control P117端子の入力/出力モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力 (INTP24) / TI24入力モード
6	PMC116	Port Mode Control P116端子の入力/出力モードを指定します。 0：入出力ポート・モード 1：TO24出力モード
5	PMC115	Port Mode Control P115端子の入力/出力モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力 (INTP23) / TI23入力モード
4	PMC114	Port Mode Control P114端子の入力/出力モードを指定します。 0：入出力ポート・モード 1：TO23出力モード
3	PMC113	Port Mode Control P113端子の入力/出力モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力 (INTP22) / TI22入力モード
2	PMC112	Port Mode Control P112端子の入力/出力モードを指定します。 0：入出力ポート・モード 1：TO22出力モード
1	PMC111	Port Mode Control P111端子の入力/出力モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求入力 (INTP21) / TI21入力モード
0	PMC110	Port Mode Control P110端子の入力/出力モードを指定します。 0：入出力ポート・モード 1：TO21出力モード

12.3.12 ポート12

ポート12は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P12	P127	P126	P125	P124	P123	P122	P121	P120	アドレス FFFFFF018H	リセット時 不定

ビット位置	ビット名	意 味
7-0	P12n (n = 7-0)	Port 12 入出力ポート

ポートとしての機能のほかに、コントロール・モードではシリアル・インタフェースの入出力として動作可能です。

(1) コントロール・モード時の動作

ポート		兼用端子	コントロール・モード時の機能	ブロック・タイプ
ポート12	P120	SO2	シリアル・インタフェース出力	A
	P121	SI2	シリアル・インタフェース入力	D
	P122	$\overline{\text{SCK2}}$	シリアル・インタフェース出力	C
	P123	SO3	シリアル・インタフェース出力	A
	P124	SI3	シリアル・インタフェース入力	D
	P125	$\overline{\text{SCK3}}$	シリアル・インタフェース出力	C
	P126	—	ポート専用	J
	P127	CLO	クロック出力	A

(2) 入出力モード／コントロール・モードの設定

ポート12の入力／出力モードの設定は、ポート・モード・レジスタ12（PM12）で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ12（PMC12）で行います。

ポート12モード・レジスタ（PM12）

8/1ビット単位でリード／ライト可能です。

PM12	7	6	5	4	3	2	1	0	アドレス FFFFFF038H	リセット時 FFH
	PM127	PM126	PM125	PM124	PM123	PM122	PM121	PM120		

ビット位置	ビット名	意味
7-0	PM12n (n = 7-0)	Port Mode P12n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート12モード・コントロール・レジスタ (PMC12)

8/1ビット単位でリード／ライト可能です。ただし、ビット6はハードウェアで“0”に固定されており、“1”を書き込んでも無視されます。

	7	6	5	4	3	2	1	0		
PMC12	PMC127	0	PMC125	PMC124	PMC123	PMC122	PMC121	PMC120	アドレス FFFFFF058H	リセット時 00H

ビット位置	ビット名	意 味
7	PMC127	Port Mode Control P127端子の入力／出力モードを指定します。 0：入出力ポート・モード 1：CLO出力モード
5	PMC125	Port Mode Control P125端子の入力／出力モードを指定します。 0：入出力ポート・モード 1：SCK3入出力モード
4	PMC124	Port Mode Control P124端子の入力／出力モードを指定します。 0：入出力ポート・モード 1：SI3入力モード
3	PMC123	Port Mode Control P123端子の入力／出力モードを指定します。 0：入出力ポート・モード 1：SO3出力モード
2	PMC122	Port Mode Control P122端子の入力／出力モードを指定します。 0：入出力ポート・モード 1：SCK2入出力モード
1	PMC121	Port Mode Control P121端子の入力／出力モードを指定します。 0：入出力ポート・モード 1：SI2入力モード
0	PMC120	Port Mode Control P120端子の入力／出力モードを指定します。 0：入出力ポート・モード 1：SO2出力モード

12.3.13 ポート13

ポート13は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P13	P137	P136	P135	P134	P133	P132	P131	P130	アドレス FFFFFF01AH	リセット時 不定

ビット位置	ビット名	意 味
7-0	P13n (n = 7-0)	Port 13 入出力ポート

ポートとしての機能のほかに、コントロール・モードではリアルタイム出力ポートの出力として動作可能です。

(1) コントロール・モード時の動作

ポート		兼用端子	コントロール・モード時の機能	ブロック・タイプ
ポート13	P130-P137	RTP0-RTP7	リアルタイム出力ポート	A

(2) 入出力モード／コントロール・モードの設定

ポート13の入力／出力モードの設定は、ポート・モード・レジスタ13（PM13）で行います。また、コントロール・モードの設定は、ポート・モード・コントロール・レジスタ13（PMC13）で行います。

ポート13モード・レジスタ（PM13）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM13	PM137	PM136	PM135	PM134	PM133	PM132	PM131	PM130	アドレス FFFFFF03AH	リセット時 FFH

ビット位置	ビット名	意 味
7-0	PM13n (n = 7-0)	Port Mode P13n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

ポート13モード・コントロール・レジスタ (PMC13)

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PMC13	PMC137	PMC136	PMC135	PMC134	PMC133	PMC132	PMC131	PMC130	アドレス FFFFFF05AH	リセット時 00H

ビット位置	ビット名	意 味
7-0	PMC13n (n = 7-0)	Port Mode Control P13n端子の入力／出力モードを指定します。 0：入出力ポート・モード 1：RTPn出力モード

注意 各ビットを1にセットすると、PM13レジスタの内容にかかわらず該当するポートの出力バッファがオンになり、RTPレジスタの内容が出力されます。したがって、各ビットを1にセットする前にRTPレジスタの内容を初期化してください。

12.3.14 ポート14

ポート14は、1ビット単位で入出力を指定できる8ビット入出力ポートです。

	7	6	5	4	3	2	1	0		
P14	P147	P146	P145	P144	P143	P142	P141	P140	アドレス FFFFFF01CH	リセット時 不定

ビット位置	ビット名	意 味
7-0	P14n (n = 7-0)	Port 14 入出力ポート

ポート14は、ポートとしてだけ動作します。

(1) コントロール・モード時の動作

ポート		兼用端子	コントロール・モード時の機能	ブロック・タイプ
ポート14	P140-P147	—	ポート専用	J

(2) 入出力モード／コントロール・モードの設定

ポート14の入力／出力モードの設定は、ポート・モード・レジスタ14（PM14）で行います。ポート14にはコントロール・モードがないため、ポート・モード・コントロール・レジスタ14（PMC14）はありません。

ポート14モード・レジスタ（PM14）

8/1ビット単位でリード／ライト可能です。

	7	6	5	4	3	2	1	0		
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140	アドレス FFFFFF03CH	リセット時 FFH

ビット位置	ビット名	意 味
7-0	PM14n (n = 7-0)	Port Mode P14n端子の入力／出力モードを指定します。 0：出力モード（出力バッファ・オン） 1：入力モード（出力バッファ・オフ）

(× 毛)

保守

第13章 リセット機能

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

13.1 特 徴

- リセット端子にアナログ・ディレイ（ 60 ns）によるノイズ除去回路を内蔵

13.2 端子機能

- ★ システム・リセット期間中は、ほとんどの端子出力（CLKOUT, $\overline{\text{RESET}}$, X2, V_{DD} , V_{SS} , CV_{DD} , CV_{SS} , AV_{DD} , AV_{SS} , AV_{REF} 端子を除く全端子）がハイ・インピーダンスになります。

したがって、たとえば外部にメモリを接続している場合は、ポート 4, 5, 6, 9 の各端子にプルアップ（またはプルダウン）抵抗を付ける必要があります。ない場合、これらの端子がハイ・インピーダンスになるとメモリを破壊する可能性があります。

同様に、内蔵の周辺I/O機能の信号出力、出力ポートにおいても、影響がないよう、端子の処理を行ってください。

また、ROMレス・モード、シングルチップ・モード 2 では、リセット期間中でもCLKOUT信号を出力します。シングルチップ・モード 1 では、PSCレジスタを設定するまでCLKOUT信号を出力しません（ロウ・レベルを出力）。なおフラッシュ・メモリ・プログラミング・モードでは、CLKOUT信号を出力しません（ロウ・レベルを出力）。

表13－1にリセット期間中の各端子の動作状態を示します。

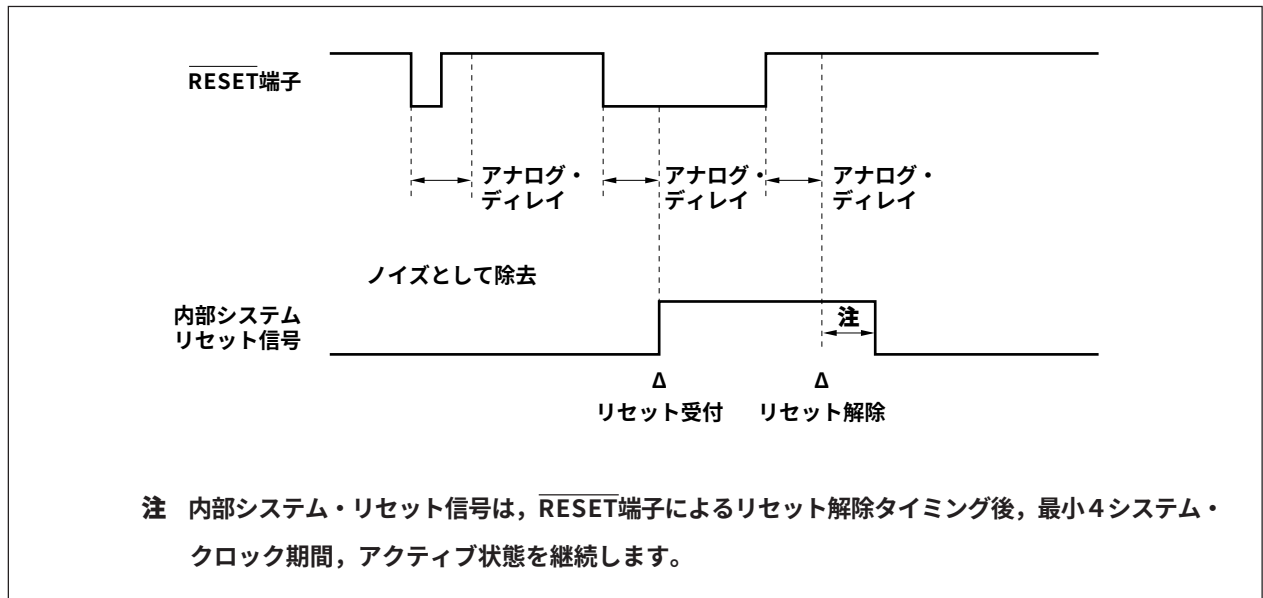
表13-1 リセット期間中の各入出力，出力端子の状態

入出力，出力端子名	端子状態				
	シングルチップ・ モード 1 時	シングルチップ・ モード 2 時	ROMレス・ モード 1 時	ROMレス・ モード 2 時	フラッシュ・メモリ・ プログラミング・ モード時
P00-P07, P10-P17, P21-P26, P30-P37, P95, P96, P100-P103, P110-P117, P120-P127, P130-P137, P140-P147	(入力)				Hi-Z
P40-P47, P50-P57, P60-P67, P90-P94	(入力)		(コントロール・モード)		
AD0-AD15, A16-A23	(ポート・モード)		Hi-Z		
LBEN	(P90)		Hi-Z	(WRL)	
WRL	(P90)		(LBEN)	Hi-Z	
UBEN	(P91)		Hi-Z		
R/W	(P92)		Hi-Z	(WRH)	
WRH	(P92)		(R/W)	Hi-Z	
DSTB	(P93)		Hi-Z	(RD)	
RD	(P93)		(DSTB)	Hi-Z	
ASTB	(P94)		Hi-Z		
HLDAK	(ポート・モード)				
CLKOUT	L	動作			L
SO0, SO2, TXD	(ポート・モード)				動作
TO00, TO01, TO20-TO24, RTP0-RTP7, SDA, SCL, SO1, SO3, PWM0-PWM3	(ポート・モード)				Hi-Z

備考 Hi-Z：ハイ・インピーダンス

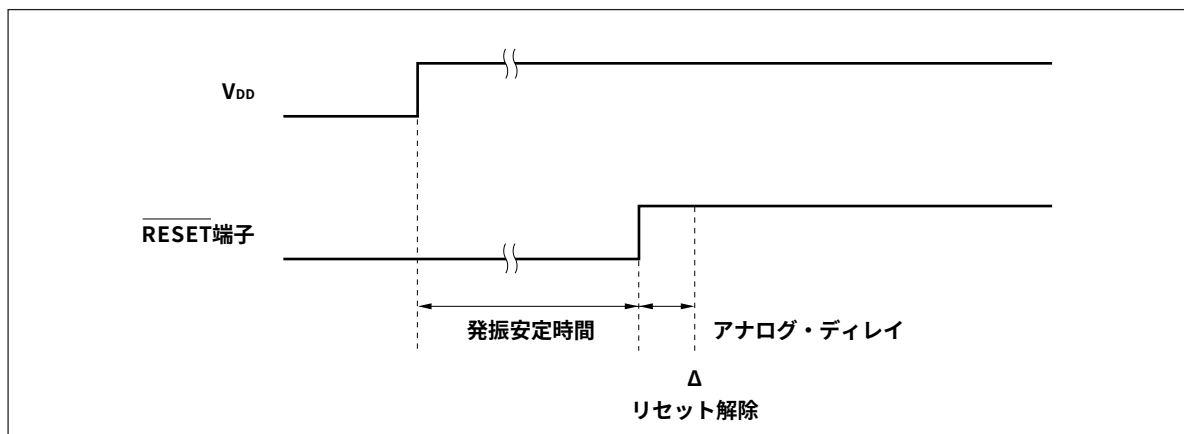
L：ロウ・レベル出力

(1) リセット信号の受け付け



(2) パワーオン時のリセット

- ★ パワーオン（電源投入）時のリセット動作では、RESET端子のロウ・レベル幅により、電源の立ち上がりからリセット受け付けまで10 ms以上の発振安定時間を確保する必要があります。なお、ダイレクト・モードで外部クロック使用時にも発振安定時間を確保する必要があります。



13.3 イニシャライズ

各レジスタのリセット後の初期値を表13-2に示します。

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。特に次に示すレジスタはシステム設定に関するレジスタなので必要に応じて設定してください。

- パワー・セーブ・コントロール・レジスタ（PSC）…X1, X2端子機能, CLKOUT端子動作など
- データ・ウェイト・コントロール・レジスタ（DWC）…データ・ウェイト数

表13-2 各レジスタのリセット後の初期値 (1/2)

レジスタ		リセット後の初期値
r0		00000000H
r1-r31		不定
PC		00000000H
PSW		00000020H
EIPC		不定
EIPSW		不定
FEPC		不定
FEPSW		不定
ECR		00000000H
内蔵RAM		不定
ポート	出力ラッチ (P0-P6, P9-P14)	不定
	モード・レジスタ (PM0-PM6, PM9-PM14)	FFH
	モード・コントロール・レジスタ (PMC0, PMC1, PMC3, PMC10-PMC13) (PMC2)	00H 01H
	メモリ拡張モード・レジスタ (MM)	00H/07H
クロック・ジェネレータ	システム・ステータス・レジスタ (SYS)	0000000xB
クロック出力	クロック出力モード・レジスタ (CLOM)	00H
リアルタイム・パルス・ ユニット	タイマ・コントロール・レジスタ (TMC01, TMC02) (TMC00, TMC1, TMC20-TMC24, TMC3)	00H 01H
	タイマ出力コントロール・レジスタ (TOC0, TOC1)	00H
	キャプチャ・コンペア・レジスタ (CC00-CC03, CC00L-CC03L, CC3)	不定
	コンペア・レジスタ (CM10, CM11, CM10L, CM11L, CM20-CM24)	不定
	キャプチャ・レジスタ (CP10-CP13, CP10L-CP13L, CP3)	不定
	タイマ・レジスタ (TM0, TM1, TM0L, TM1L, TM20-TM24, TM3)	0000H
	タイマ・オーバフロー・ステータス・レジスタ (TOVS)	00H
A/Dコンバータ	A/Dコンバータ・モード・レジスタ (ADM0, AMD1)	07H
	A/D変換結果レジスタ (ADCR0-ADCR7)	不定
リアルタイム出力機能	ポート13バッファ・レジスタ (PB)	不定
	出力ラッチ・レジスタ (RTP)	不定

★

表13-2 各レジスタのリセット後の初期値 (2/2)

	レジスタ	リセット後の初期値
シリアル・インタフェース	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM0)	80H
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM1)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)	00H
	受信バッファ (RXB, RXBL)	不定
	送信シフト・レジスタ (TXS, TXSL)	不定
	クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM0-CSIM3)	00H
	シリアルI/Oシフト・レジスタ (SIO0-SIO3)	不定
	ボー・レート・ジェネレータ・コンペア・レジスタ (BRGC0-BRGC3)	不定
	ボー・レート・ジェネレータ・プリスケラ・モード・レジスタ (BPRM0-BPRM3)	00H
	IICコントロール・レジスタ (IICC)	00H
	IIC状態レジスタ (IICS)	00H
	IICクロック選択レジスタ(IICCL)	00H
	IICシフト・レジスタ (IIC)	00H
	スレーブ・アドレス・レジスタ (SVA)	00H
PWM	PWMコントロール・レジスタ (PWMC0-PWMC3)	05H
	PWMプリスケラ・レジスタ (PWPR0-PWPR3)	00H
	PWMモジュロ・レジスタ (PWM0-PWM3)	不定
割り込み／例外処理機能	割り込み制御レジスタ (××ICn)	47H
	インサービス・プライオリティ・レジスタ (ISPR)	00H
	外部割り込みモード・レジスタ (INTM0-INTM7)	00H
	イベント・ディバイド・カウンタ (EDV0-EDV2)	00H
	イベント・ディバイド制御レジスタ (EDVC0-EDVC2)	01H
	イベント選択レジスタ(EVS)	00H
メモリ管理機能	データ・ウェイト・コントロール・レジスタ (DWC)	FFFFH
	バス・サイクル・コントロール・レジスタ (BCC)	AAAAH
	システム制御レジスタ (SYC)	00H/01H
パワー・セーブ制御	コマンド・レジスタ (PRCMD)	不定
	パワー・セーブ・コントロール・レジスタ (PSC)	00H/C0H
	クロック・コントロール・レジスタ (CKC)	00H

注意 上記の表における“不定”とは、パワーオン・リセット時の不定、またはRESET↓入力とデータ書き込みタイミングが同期したときのデータ破壊による不定を意味し、これ以外のRESET↓ではデータは直前の状態に保持されます。

(× 毛)

保守

第14章 フラッシュ・メモリ (μ PD70F3008, 70F3008Yのみ)

μ PD70F3008, 70F3008YはV854のフラッシュ・メモリ内蔵品で、128Kバイトのフラッシュ・メモリを内蔵しています。このフラッシュ・メモリへの命令フェッチは、マスクROM内蔵品と同様に1クロックで4バイトをアクセスできます。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

- ターゲット・システムにV854を半田実装後、ソフトウェアの変更可能
- ソフトウェアを区別することで、少量多品種生産が容易
- 量産立ち上げ時のデータ調整が容易

14.1 特 徴

- ・ 4バイト／1クロック・アクセス（命令フェッチ・アクセス時）
- ・ 全エリア一括消去
- ・ 専用フラッシュ・ライタからシリアル・インタフェースを介して通信
- ★ 消去／書き込み電圧： $V_{PP} = 7.8\text{ V}$
- ・ オンボード・プログラミング
- ・ 書き換え回数：100回（目標値）

14.2 フラッシュ・ライタによる書き込み方法

専用フラッシュ・ライタにより、オンボードまたはオフボードでの書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にV854を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・ライタを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

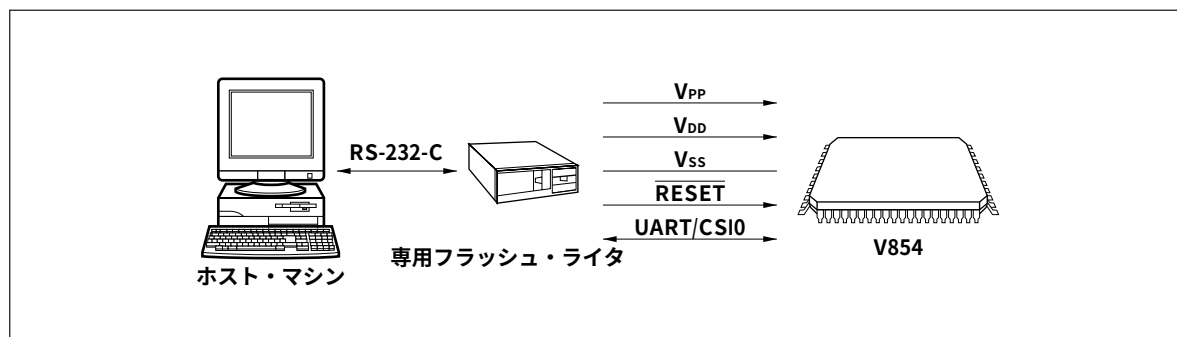
ターゲット・システム上にV854を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

14.3 プログラミング環境

V854のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

★



専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターとV854とのインタフェースはUARTまたはCSIを使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

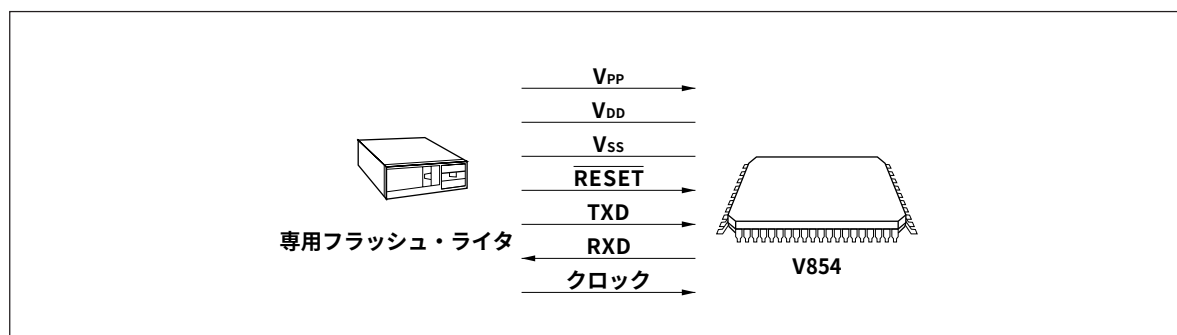
14.4 通信方式

★

専用フラッシュ・ライターとV854との通信は、UARTまたはCSI0によるシリアル通信で行います。

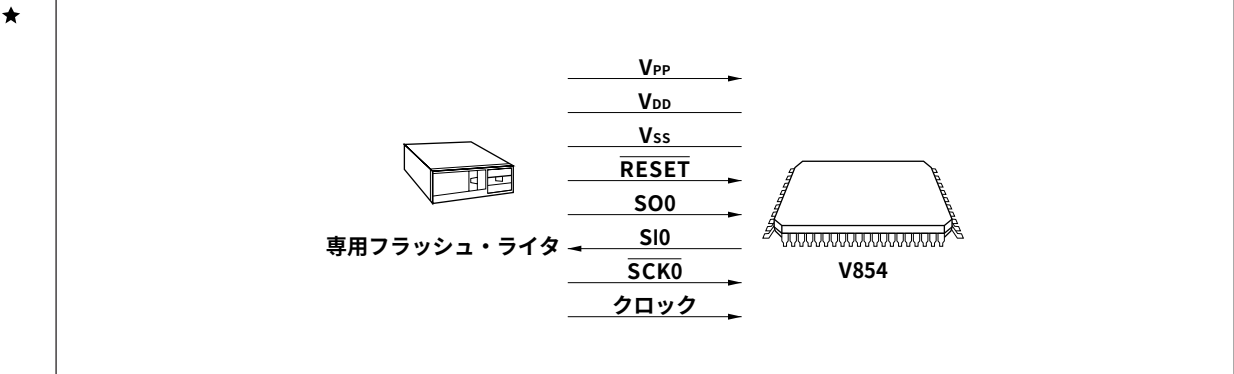
(1) UART

転送レート：1200-76800 bps (LSBファースト)



★ (2) CSIO

転送レート：～8.25 Mbps（MSBファースト）



専用フラッシュ・ライターが転送クロックを出力し、V854はスレーブとして動作します。

専用フラッシュ・ライターとしてFlashpro IIを使用した場合、Flashpro IIはV854に対して以下の信号を生成します。詳細はFlashpro IIのマニュアルを参照してください。

備考 Flashpro IIは、(株)内藤電誠町田製作所の製品です。

Flashpro II			V854	接続時の処置	
信 号 名	入出力	端子機能	端子名	CSIn	UART
VPP	出力	書き込み電圧	VPP	◎	◎
VDD	入出力	VDD電圧生成／電圧監視	VDD	◎	◎
GND	—	グランド	VSS	◎	◎
CLK	出力	V854へのクロック出力	X1 ^注	○	○
RESET	出力	リセット信号	RESET	◎	◎
★ SI/RxD	入力	受信信号	SO0/TXD	◎	◎
★ SO/TxD	出力	送信信号	SI0/RXD	◎	◎
★ SCK	出力	転送クロック	SCK0	◎	×

注 オフボード時のみ

備考 ◎：必ず接続してください。
○：ターゲット・ボード上で生成されていれば、接続の必要はありません。
×：接続の必要はありません。

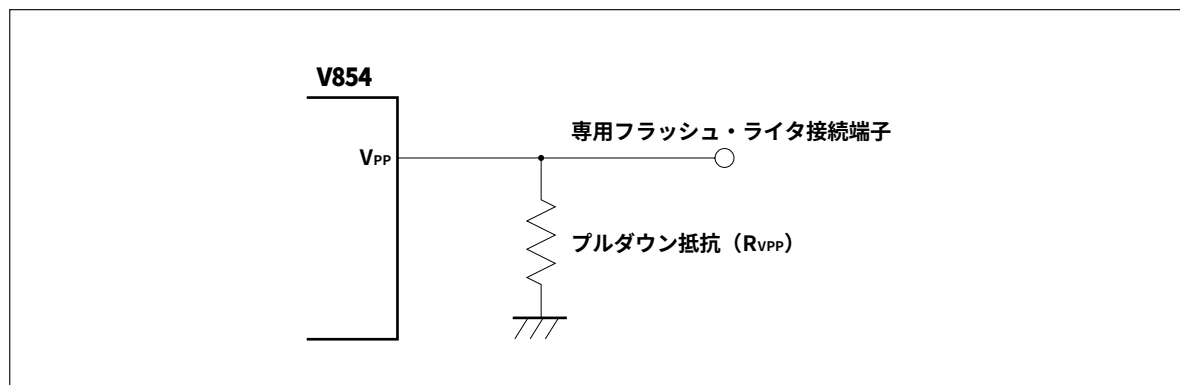
14.5 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに移移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてシングルチップ・モード1のリセット直後と同じ状態になります。したがって、ポートはすべて出力ハイ・インピーダンス状態になるため、外部デバイスが出力ハイ・インピーダンス状態を認めない場合は端子処理が必要です。

14.5.1 V_{PP}端子

通常動作モード時は、V_{PP}端子に0 Vを入力します。また、フラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に7.8 Vの書き込み電圧を供給します。V_{PP}端子の接続例を次に示します。



14.5.2 シリアル・インタフェース端子

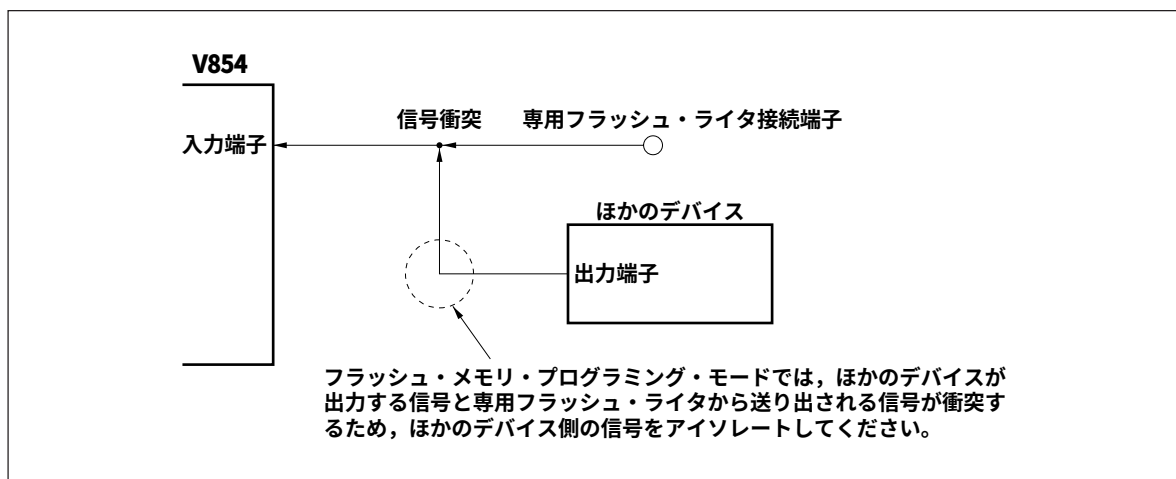
各シリアル・インタフェースが使用する端子は次のとおりです。

シリアル・インタフェース	使用端子
CSI0	SO0, SI0, SCK0
UART	TXD, RXD

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

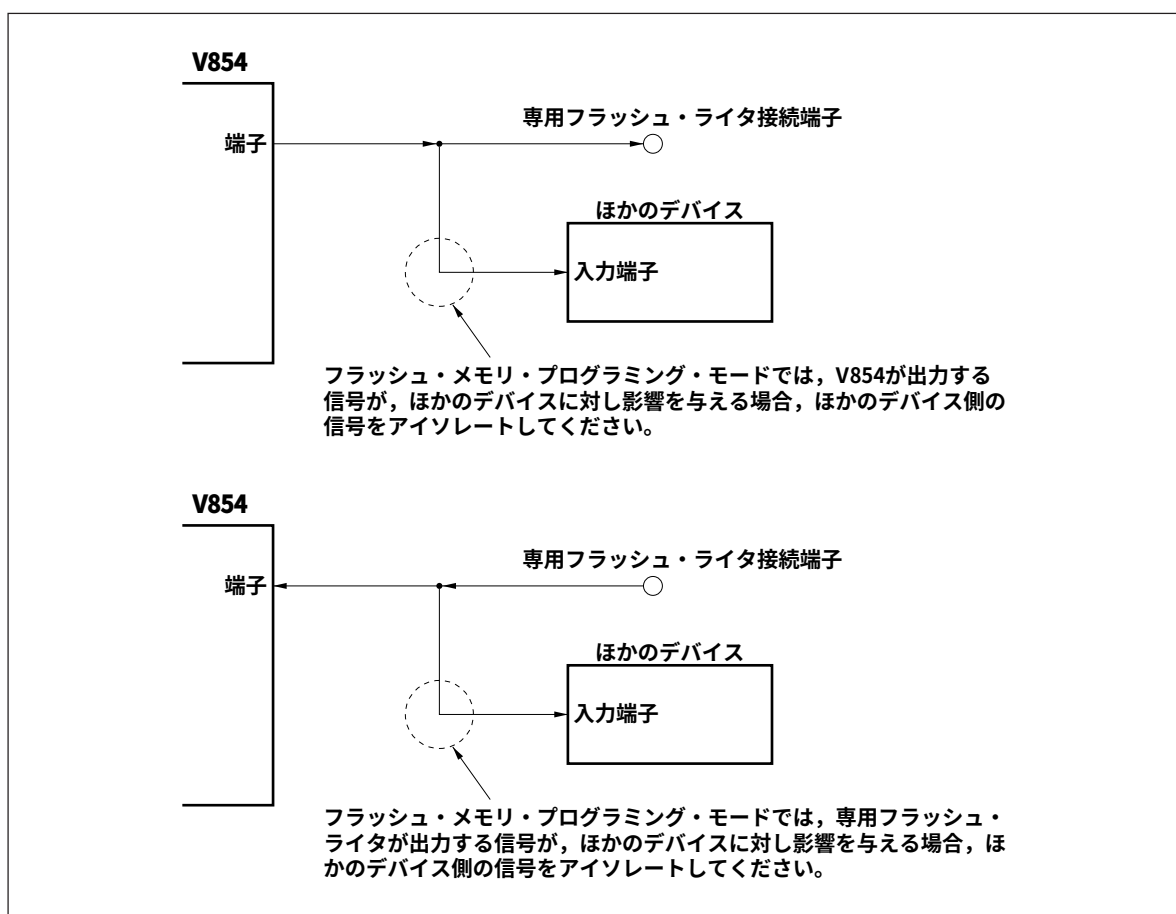
(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライター（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。



(2) ほかのデバイスの異常動作

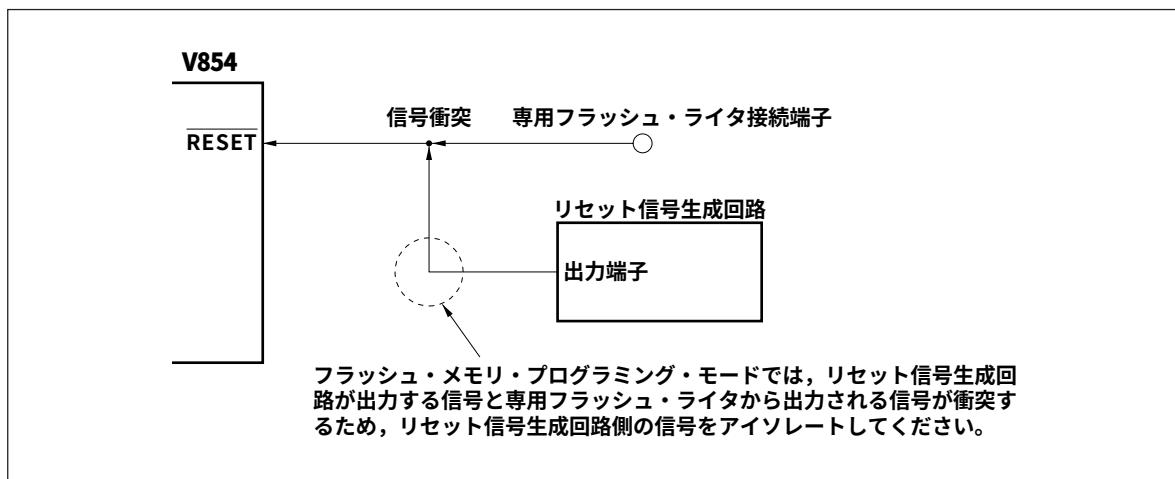
ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。



14.5.3 リセット端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。



14.5.4 NMI端子

フラッシュ・メモリ・プログラミング・モード期間中はNMI端子への入力信号を変化させないでください。変化した場合、正常なプログラミングが行われなくなることがあります。

14.5.5 モード端子

MODE0-MODE2をジャンパなどで“111”に切り替えて、VPP端子に書き込み電圧を加え、リセットを解除するとフラッシュ・メモリ・プログラミング・モードに移移します。

14.5.6 ポート端子

フラッシュ・メモリ・プログラミング・モードに設定すると、専用フラッシュ・ライタと通信する端子を除くすべてのポート端子は出力ハイ・インピーダンス状態になります。これらポート端子を処理する必要はありません。なお、ポートに接続されている外部デバイスに出力ハイ・インピーダンス状態禁止などの問題が生じる場合には、抵抗を介してVDDに接続するか、または抵抗を介してVSSに接続するなどの処置をしてください。

14.5.7 その他の信号端子

X1, X2, CKSEL, PLLSEL, AVREFは、通常動作モード時と同じ状態に接続してください。

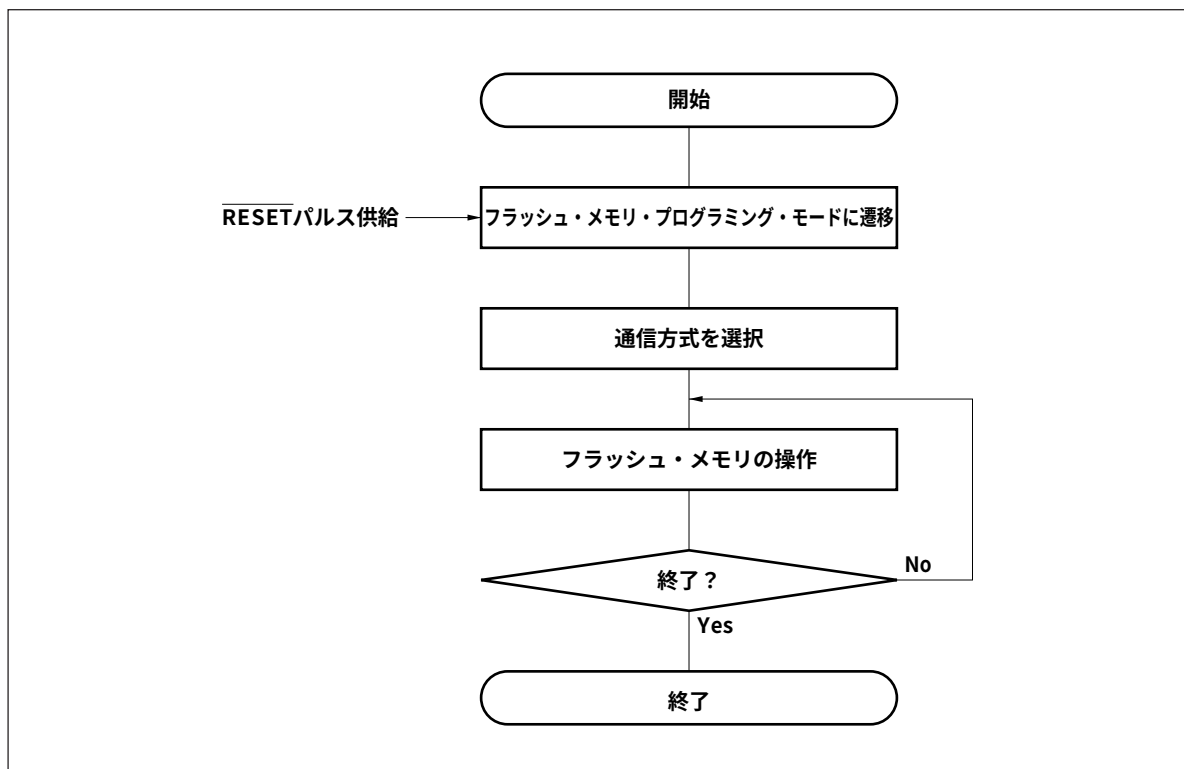
14.5.8 電 源

- ★ 電源 (V_{DD} , V_{SS} , AV_{DD} , AV_{SS} , CV_{DD} , CV_{SS}) は、通常動作モード時と同じ電源を供給してください。また、 V_{DD} , V_{SS} には、専用フラッシュ・ライタの V_{DD} , GNDを接続してください。（専用フラッシュ・ライタの V_{DD} は、電源監視機能がついています。）

14.6 プログラミング方法

14.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

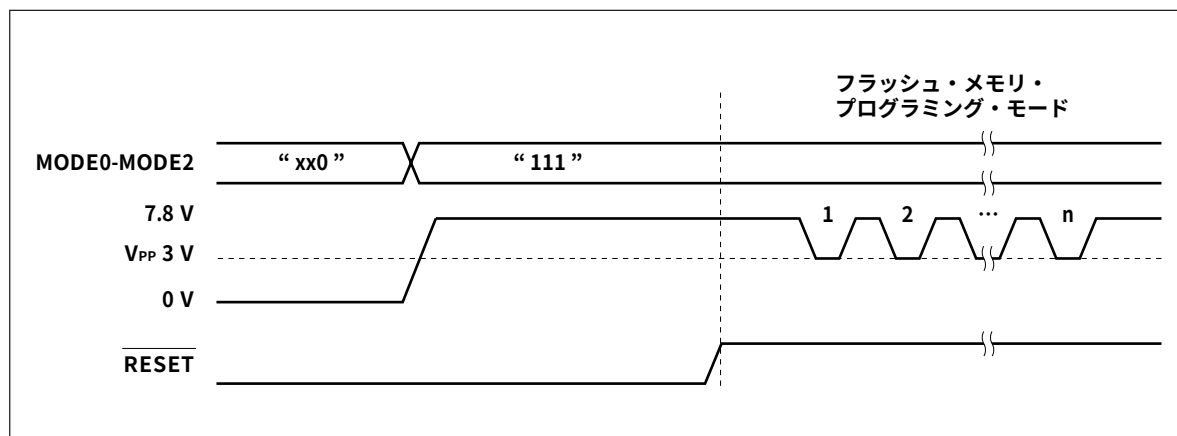


14.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライタを使用してフラッシュ・メモリの内容を書き換えるときは、V854をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、MODE0-MODE2, V_{PP} 端子を設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

V _{PP}	MODE2	MODE1	MODE0	動作モード	
0 V	0	0	0	通常動作モード	ROMレス・モード1
0 V	0	0	1		ROMレス・モード2
0 V	0	1	0		シングルチップ・モード1
0 V	0	1	1		シングルチップ・モード2
7.8 V	1	1	1	フラッシュ・メモリ・プログラミング・モード	
上記以外				設定禁止	



14.6.3 通信方式の選択

V854では、フラッシュ・メモリ・プログラミング・モードに遷移後、V_{PP}端子にパルス（最大16パルス）を入力することで通信方式を選択します。このV_{PP}パルスは専用フラッシュ・ライターが生成します。

パルス数と通信方式の関係を次に示します。

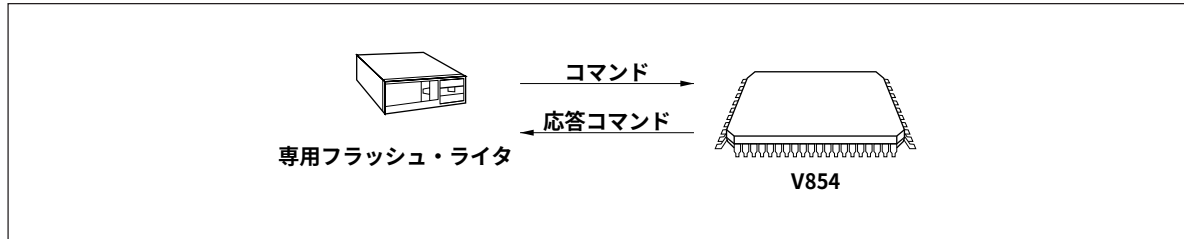
表14-1 通信方式一覧

V _{PP} パルス	通信方式	備 考
0	CSI0	V854はスレーブ動作，MSBファースト
8	UART	通信レート：9600 bps（リセット時），LSBファースト
その他	RFU	設定禁止

注意 UART選択時，受信クロックは，V_{PP}パルス受信後に専用フラッシュ・ライターから送られてくるリセット・コマンドを基準に計算します。

14.6.4 通信コマンド

V854と専用フラッシュ・ライターは，コマンドを介して通信します。専用フラッシュ・ライターからV854へ送られるコマンドを「コマンド」と呼び，V854から専用フラッシュ・ライターへ送られる応答信号を「応答コマンド」と呼びます。



V854のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライターから発行され、V854がコマンドに対応した各処理を行います。

分 類	コマンド名称	機 能
★ ペリファイ	一括ペリファイ・コマンド	全メモリの内容と入力したデータと比較
★ 消去	一括消去コマンド	全メモリの内容を消去
★ ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス、書き込みバイト数の指定によりデータを書き込み、ペリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み、ペリファイ・チェックを実行
★ システム設定、制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ボー・レート設定コマンド	UART使用時のボー・レート設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
	リセット・コマンド	各状態からの脱出

また、専用フラッシュ・ライターから発行されたコマンドに対して、V854は応答コマンドを返します。V854が送出する応答コマンドを次に示します。

応答コマンド名称	機 能
ACK (アクノリッジ)	コマンド／データなどのアクノリッジ
NAK (ノット・アクノリッジ)	不正なコマンド／データなどのアクノリッジ

14.6.5 使用する資源

フラッシュ・メモリ・プログラミング・モード設定により、使用する資源は、内蔵RAMのFFE000H-FFE7FFHの領域とすべてのレジスタです。内蔵RAMのFFE800H-FFFFFFFFH領域は、電源をオフにしないかぎりデータを保持しています。なお、リセットにより初期化されるレジスタは、初期値に変更します。

(× 毛)

第15章 製品による違い

15.1 I²C機能搭載品／非搭載品の違い

I²C機能搭載品の品名は、μ PD703008Y, 70F3008Yであり、品名中の“ Y ”記号で判別できます。

機能		品名	μ PD703008Y, 70F3008Y	μ PD703006, 703008, 70F3008
I ² C機能			あり	なし
		端子	P33/SO1/SDA P35/ <u>SCK1</u> /SCL	P33/SO1 P35/ <u>SCK1</u>
		割り込み	INTIIC	なし
		レ IIC0	あり	なし（不定）
		ジ IICC	あり	なし（不定）
		ス IICS	あり	なし（不定）
		タ IICCL	あり	なし（不定）
		IIC	あり	なし（不定）
		SAV	あり	なし（不定）

15.2 フラッシュ・メモリ内蔵品とマスクROM内蔵品，ROMレス品の違い

フラッシュ・メモリ内蔵品の品名は， μ PD70F3008, 70F3008Yであり，品名中の“F”記号で判別できます。

★

項目 \ 品名	μ PD703006	μ PD703008, 703008Y	μ PD70F3008, 70F3008Y
内蔵ROM	なし	マスクROM	フラッシュ・メモリ
フラッシュ・メモリ・プログラミング端子	なし		あり (V _{PP})
フラッシュ・メモリ・プログラミング・モード	なし		あり (V _{PP} = 7.8 V, MODE0-MODE2 = ハイ・レベル)
電気的特性	消費電流などが異なります (個別のデータ・シートを参照してください)。		
その他	回路の規模やマスク・レイアウトが異なるため，ノイズ耐量，ノイズ輻射などが異なります。		

注意 1. フラッシュ・メモリ製品とマスクROM製品，ROMレス製品では，ノイズ耐量，ノイズ輻射などが異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は，マスクROM製品のCS品（ES品でなく）で十分な評価を行ってください。

2. フラッシュ・メモリ製品からマスクROM製品への置き換えを行う場合，内蔵ROMの空き領域には，同一のコードを書き込んでください。

付録A レジスタ索引

(1/6)

略 号	名 称	ユニット	ページ
ADCR0	A/D変換結果レジスタ0	ADC	333
ADCR1	A/D変換結果レジスタ1	ADC	333
ADCR2	A/D変換結果レジスタ2	ADC	333
ADCR3	A/D変換結果レジスタ3	ADC	333
ADCR4	A/D変換結果レジスタ4	ADC	333
ADCR5	A/D変換結果レジスタ5	ADC	333
ADCR6	A/D変換結果レジスタ6	ADC	333
ADCR7	A/D変換結果レジスタ7	ADC	333
ADIC0	割り込み制御レジスタ	INTC	130
ADM0	A/Dコンバータ・モード・レジスタ0	ADC	330
ADM1	A/Dコンバータ・モード・レジスタ1	ADC	332
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART	237
ASIM1	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	UART	240
ASIS	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART	241
BCC	バス・サイクル・コントロール・レジスタ	BCU	100
BPRM0	ポー・レート・ジェネレータ・プリスケアラ・モード・レジスタ0	BRG	325
BPRM1	ポー・レート・ジェネレータ・プリスケアラ・モード・レジスタ1	BRG	325
BPRM2	ポー・レート・ジェネレータ・プリスケアラ・モード・レジスタ2	BRG	325
BPRM3	ポー・レート・ジェネレータ・プリスケアラ・モード・レジスタ3	BRG	325
BRGC0	ポー・レート・ジェネレータ・コンペア・レジスタ0	BRG	324
BRGC1	ポー・レート・ジェネレータ・コンペア・レジスタ1	BRG	324
BRGC2	ポー・レート・ジェネレータ・コンペア・レジスタ2	BRG	324
BRGC3	ポー・レート・ジェネレータ・コンペア・レジスタ3	BRG	324
CC00	キャプチャ／コンペア・レジスタ00	RPU	180
CC00L	キャプチャ／コンペア・レジスタ00L	RPU	180
CC01	キャプチャ／コンペア・レジスタ01	RPU	180
CC01L	キャプチャ／コンペア・レジスタ01L	RPU	180
CC02	キャプチャ／コンペア・レジスタ02	RPU	180
CC02L	キャプチャ／コンペア・レジスタ02L	RPU	180
CC03	キャプチャ／コンペア・レジスタ03	RPU	180
CC03L	キャプチャ／コンペア・レジスタ03L	RPU	180
CC0IC0	割り込み制御レジスタ	INTC	130
CC0IC1	割り込み制御レジスタ	INTC	130

(2/6)

略 号	名 称	ユニット	ページ
CC0IC2	割り込み制御レジスタ	INTC	130
CC0IC3	割り込み制御レジスタ	INTC	130
CC3	キャプチャ／コンペア・レジスタ3	RPU	184
CKC	クロック・コントロール・レジスタ	CG	155
CLOM	クロック出力モード・レジスタ	CG	172
CM10	コンペア・レジスタ10	RPU	182
CM10L	コンペア・レジスタ10L	RPU	182
CM11	コンペア・レジスタ11	RPU	182
CM11L	コンペア・レジスタ11L	RPU	182
CM20	コンペア・レジスタ20	RPU	183
CM21	コンペア・レジスタ21	RPU	183
CM22	コンペア・レジスタ22	RPU	183
CM23	コンペア・レジスタ23	RPU	183
CM24	コンペア・レジスタ24	RPU	183
CM1IC0	割り込み制御レジスタ	INTC	130
CM1IC1	割り込み制御レジスタ	INTC	130
CM2IC0	割り込み制御レジスタ	INTC	130
CM2IC1	割り込み制御レジスタ	INTC	130
CM2IC2	割り込み制御レジスタ	INTC	130
CM2IC3	割り込み制御レジスタ	INTC	130
CM2IC4	割り込み制御レジスタ	INTC	130
CC3IC0	割り込み制御レジスタ	INTC	130
CP10	キャプチャ・レジスタ10	RPU	182
CP10L	キャプチャ・レジスタ10L	RPU	182
CP11	キャプチャ・レジスタ11	RPU	182
CP11L	キャプチャ・レジスタ11L	RPU	182
CP12	キャプチャ・レジスタ12	RPU	182
CP12L	キャプチャ・レジスタ12L	RPU	182
CP13	キャプチャ・レジスタ13	RPU	182
CP13L	キャプチャ・レジスタ13L	RPU	182
CP3	キャプチャ・レジスタ3	RPU	184
CSIC0	割り込み制御レジスタ	INTC	130
CSIC1	割り込み制御レジスタ	INTC	130
CSIC2	割り込み制御レジスタ	INTC	130
CSIC3	割り込み制御レジスタ	INTC	130
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSI	251
CSIM1	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSI	251
CSIM2	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSI	251

(3/6)

略 号	名 称	ユニット	ページ
CSIM3	クロック同期式シリアル・インタフェース・モード・レジスタ3	CSI	251
DWC	データ・ウェイト・コントロール・レジスタ	BCU	98
ECR	割り込み要因レジスタ	CPU	64
EDVC0	イベント・ディバイド制御レジスタ0	INTC	141
EDVC1	イベント・ディバイド制御レジスタ1	INTC	141
EDVC2	イベント・ディバイド制御レジスタ2	INTC	141
EDV0	イベント・ディバイド・カウンタ0	INTC	140
EDV1	イベント・ディバイド・カウンタ1	INTC	140
EDV2	イベント・ディバイド・カウンタ2	INTC	140
EIPC	割り込み時状態退避レジスタ	CPU	64
EIPSW	割り込み時状態退避レジスタ	CPU	64
EVS	イベント選択レジスタ	INTC	141
FEPC	NMI時状態退避レジスタ	CPU	64
FEPSW	NMI時状態退避レジスタ	CPU	64
IICC	IICコントロール・レジスタ	I ² C	266
IICCL	IICクロック選択レジスタ	I ² C	271
IICS	IIC状態レジスタ	I ² C	269
IIC	IICシフト・レジスタ	I ² C	272
IIIC0	割り込み制御レジスタ	INTC	130
INTM0	外部割り込みモード・レジスタ0	INTC	120
INTM1	外部割り込みモード・レジスタ1	INTC	136
INTM2	外部割り込みモード・レジスタ2	INTC	136
INTM3	外部割り込みモード・レジスタ3	INTC	136
INTM4	外部割り込みモード・レジスタ4	INTC	136
INTM5	外部割り込みモード・レジスタ5	INTC	136
INTM6	外部割り込みモード・レジスタ6	INTC	136
INTM7	外部割り込みモード・レジスタ7	INTC	138
ISPR	インサース・プライオリティ・レジスタ	INTC	132
MM	メモリ拡張モード・レジスタ	ポート	80
OVIC0	割り込み制御レジスタ	INTC	130
OVIC1	割り込み制御レジスタ	INTC	130
P0	ポート0	ポート	384
P1	ポート1	ポート	387
P2	ポート2	ポート	390
P3	ポート3	ポート	393
P4	ポート4	ポート	396
P5	ポート5	ポート	398
P6	ポート6	ポート	400

(4/6)

略 号	名 称	ユニット	ページ
P7	ポート 7	ポート	402
P8	ポート 8	ポート	402
P9	ポート 9	ポート	403
P10	ポート 10	ポート	405
P11	ポート 11	ポート	407
P12	ポート 12	ポート	410
P13	ポート 13	ポート	413
P14	ポート 14	ポート	415
P1IC0	割り込み制御レジスタ	INTC	130
P1IC1	割り込み制御レジスタ	INTC	130
P1IC2	割り込み制御レジスタ	INTC	130
P1IC3	割り込み制御レジスタ	INTC	130
P5IC0	割り込み制御レジスタ	INTC	130
P5IC1	割り込み制御レジスタ	INTC	130
P5IC2	割り込み制御レジスタ	INTC	130
P5IC3	割り込み制御レジスタ	INTC	130
PB	ポート 13 バッファ・レジスタ	ポート	356
PM0	ポート 0 モード・レジスタ	ポート	385
PM1	ポート 1 モード・レジスタ	ポート	388
PM2	ポート 2 モード・レジスタ	ポート	391
PM3	ポート 3 モード・レジスタ	ポート	394
PM4	ポート 4 モード・レジスタ	ポート	396
PM5	ポート 5 モード・レジスタ	ポート	399
PM6	ポート 6 モード・レジスタ	ポート	401
PM9	ポート 9 モード・レジスタ	ポート	404
PM10	ポート 10 モード・レジスタ	ポート	406
PM11	ポート 11 モード・レジスタ	ポート	408
PM12	ポート 12 モード・レジスタ	ポート	411
PM13	ポート 13 モード・レジスタ	ポート	413
PM14	ポート 14 モード・レジスタ	ポート	415
PMC0	ポート 0 モード・コントロール・レジスタ	ポート	386
PMC1	ポート 1 モード・コントロール・レジスタ	ポート	389
PMC2	ポート 2 モード・コントロール・レジスタ	ポート	392
PMC3	ポート 3 モード・コントロール・レジスタ	ポート	395
PMC10	ポート 10 モード・コントロール・レジスタ	ポート	406
PMC11	ポート 11 モード・コントロール・レジスタ	ポート	409
PMC12	ポート 12 モード・コントロール・レジスタ	ポート	412
PMC13	ポート 13 モード・コントロール・レジスタ	ポート	414

(5/6)

略 号	名 称	ユニット	ページ
PRCMD	コマンド・レジスタ	CG	90
PSC	パワー・セーブ・コントロール・レジスタ	CG	160
PSW	プログラム・ステータス・ワード	CPU	64,120,132,144
PWM0	PWMモジュロ・レジスタ0	PWM	362
PWM1	PWMモジュロ・レジスタ1	PWM	362
PWM2	PWMモジュロ・レジスタ2	PWM	362
PWM3	PWMモジュロ・レジスタ3	PWM	362
PWMC0	PWMコントロール・レジスタ0	PWM	361
PWMC1	PWMコントロール・レジスタ1	PWM	361
PWMC2	PWMコントロール・レジスタ2	PWM	361
PWMC3	PWMコントロール・レジスタ3	PWM	361
PWPR0	PWMプリスケラ・レジスタ0	PWM	362
PWPR1	PWMプリスケラ・レジスタ1	PWM	362
PWPR2	PWMプリスケラ・レジスタ2	PWM	362
PWPR3	PWMプリスケラ・レジスタ3	PWM	362
RTP	出力ラッチ・レジスタ	RPU	356
RXB	受信バッファ (9ビット)	UART	242
RXBL	受信バッファL (下位8ビット)	UART	242
SEIC0	割り込み制御レジスタ	INTC	130
SIO0	シリアルI/Oシフト・レジスタ0	CSI	253
SIO1	シリアルI/Oシフト・レジスタ1	CSI	253
SIO2	シリアルI/Oシフト・レジスタ2	CSI	253
SIO3	シリアルI/Oシフト・レジスタ3	CSI	253
SRIC0	割り込み制御レジスタ	INTC	130
STIC0	割り込み制御レジスタ	INTC	130
SVA	IICスレーブ・アドレス・レジスタ	I ² C	273
SYC	システム制御レジスタ	BCU	94
SYS	システム・ステータス・レジスタ	CG	91,157
TM0	タイマ0	RPU	180
TM0L	タイマ0L	RPU	180
TM1	タイマ1	RPU	181
TM1L	タイマ1L	RPU	181
TM20	タイマ20	RPU	183
TM21	タイマ21	RPU	183
TM22	タイマ22	RPU	183
TM23	タイマ23	RPU	183
TM24	タイマ24	RPU	183
TM3	タイマ3	RPU	184

(6/6)

略 号	名 称	ユニット	ページ
TMC00	タイマ・コントロール・レジスタ00	RPU	185
TMC01	タイマ・コントロール・レジスタ01	RPU	187
TMC02	タイマ・コントロール・レジスタ02	RPU	188
TMC1	タイマ・コントロール・レジスタ1	RPU	189
TMC20	タイマ・コントロール・レジスタ20	RPU	191
TMC21	タイマ・コントロール・レジスタ21	RPU	191
TMC22	タイマ・コントロール・レジスタ22	RPU	191
TMC23	タイマ・コントロール・レジスタ23	RPU	191
TMC24	タイマ・コントロール・レジスタ24	RPU	191
TMC3	タイマ・コントロール・レジスタ3	RPU	193
TOC0	タイマ出力コントロール・レジスタ0	RPU	194
TOC1	タイマ出力コントロール・レジスタ1	RPU	194
TOVS	タイマ・オーバーフロー・ステータス・レジスタ	RPU	195
TXS	送信シフト・レジスタ（9ビット）	UART	243
TXSL	送信シフト・レジスタL（下位8ビット）	UART	243

付録B 命令セット一覧

凡 例

(1) オペランド記述に使われる略号

略 号	説 明
reg1	汎用レジスタ (r0-r31) : ソース・レジスタとして使用する。
reg2	汎用レジスタ (r0-r31) : おもにデスティネーション・レジスタとして使用する。
imm×	×ビット・イミューディエト
disp×	×ビット・ディスプレースメント
regID	システム・レジスタ番号
bit#3	ビット・ナンバ指定用3ビット・データ
ep	エレメント・ポインタ (r30)
cccc	条件コードを示す4ビット・データ
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ

(2) オペレーションに使われる略号 (1/2)

略 号	説 明
←	代入
GR []	汎用レジスタ
SR []	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a,b)	アドレスaから、サイズbのデータを読み出す。
store-memory (a,b,c)	アドレスaにデータbをサイズcで書き込む。
load-memory-bit (a,b)	アドレスaのビットbを読み出す。
store-memory-bit (a,b,c)	アドレスaのビットbにcを書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、 $n \geq 7FFFFFFFH$ となった場合、 $7FFFFFFFH$ とする。 $n \leq 80000000H$ となった場合、 $80000000H$ とする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Halfword	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
−	減算
	ビット連結
×	乗算
÷	除算
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト

(2) オペレーションに使われる略号 (2/2)

略 号	説 明
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(3) 実行クロックに使われる略号

略 号	説 明
i : issue	命令実行直後にほかの命令を実行する場合
r : repeat	命令実行直後に同一命令を実行する場合
l : latency	命令実行結果を直後の命令で引用する場合

(4) フラグの動作

識別子	説 明
(ブランク)	変化なし
0	0にクリア
1	1にセット
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

条件コード

条件名 (cond)	条件コード (cccc)	条件式	説 明
V	0 0 0 0	OV=1	Overflow
NV	1 0 0 0	OV=0	No overflow
C/L	0 0 0 1	CY=1	Carry Lower (Less than)
NC/NL	1 0 0 1	CY=0	No carry No lower (Greater than or equal)
Z/E	0 0 1 0	Z=1	Zero Equal
NZ/NE	1 0 1 0	Z=0	Not zero Not equal
NH	0 0 1 1	(CY or Z)=1	Not higher (Less than or equal)
H	1 0 1 1	(CY or Z)=0	Higher (Greater than)
N	0 1 0 0	S=1	Negative
P	1 1 0 0	S=0	Positive
T	0 1 0 1	—	Always (無条件)
SA	1 1 0 1	SAT=1	Saturated
LT	0 1 1 0	(S xor OV)=1	Less than signed
GE	1 1 1 0	(S xor OV)=0	Greater than or equal signed
LE	0 1 1 1	((S xor OV) or Z)=1	Less than or equal signed
GT	1 1 1 1	((S xor OV) or Z)=0	Greater than signed

インストラクション・セット (アルファベット順) (1/4)

ニモニック	オペランド	コード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1,reg2	rrrrr001110RRRRR	GR[reg2] ← GR[reg2] + GR[reg1]	1	1	1	×	×	×	×	
	imm5,reg2	rrrrr010010iiii	GR[reg2] ← GR[reg2] + sign-extend(imm5)	1	1	1	×	×	×	×	
ADDI	imm16,reg1,reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] ← GR[reg1] + sign-extend(imm16)	1	1	1	×	×	×	×	
AND	reg1,reg2	rrrrr001010RRRRR	GR[reg2] ← GR[reg2] AND GR[reg1]	1	1	1		0	×	×	
ANDI	imm16,reg1,reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] ← GR[reg1] AND zero-extend(imm16)	1	1	1		0	0	×	
Bcond	disp9	dddddd1011ddcccc 注1	if conditions are satisfied	3	3	3					
			then PC ← PC + sign-extend(disp9)	1	1	1					
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR dddddddddddddd	adr ← GR[reg1] + sign-extend(disp16)	4	4	4				×	
			Zフラグ ← Not(Load-memory-bit(adr,bit#3)) Store-memory-bit(adr,bit#3,0)								
CMP	reg1,reg2	rrrrr001111RRRRR	result ← GR[reg2] − GR[reg1]	1	1	1	×	×	×	×	
	imm5,reg2	rrrrr010011iiii	result ← GR[reg2] − sign-extend(imm5)	1	1	1	×	×	×	×	
DI		0000011111100000 0000000101100000	PSW.ID ← 1 (マスカブル割り込みの禁止)	1	1	2					
DIVH	reg1,reg2	rrrrr000010RRRRR	GR[reg2] ← GR[reg2] ÷ GR[reg1] 注2 (符号付き除算)	36	36	36		×	×	×	
EI		1000011111100000 0000000101100000	PSW.ID ← 0 (マスカブル割り込みの許可)	1	1	2					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
JARL	disp22,reg2	rrrrr11110ddddd dddddddddddddd0 注3	GR[reg2] ← PC + 4 PC ← PC + sign-extend(disp22)	3	3	3					
JMP	[reg1]	00000000011RRRRR	PC ← GR[reg1]	3	3	3					
JR	disp22	0000011110ddddd dddddddddddddd0 注3	PC ← PC + sign-extend(disp22)	3	3	3					
LD.B	disp16[reg1],reg2	rrrrr111000RRRRR dddddddddddddd	adr ← GR[reg1] + sign-extend(disp16) GR[reg2] ← sign-extend(Load-memory(adr,Byte))	1	1	2					
LD.H	disp16[reg1],reg2	rrrrr111001RRRRR dddddddddddddd0 注4	adr ← GR[reg1] + sign-extend(disp16) GR[reg2] ← sign-extend(Load-memory(adr,Halfword))	1	1	2					
LD.W	disp16[reg1],reg2	rrrrr111001RRRRR dddddddddddddd1 注4	adr ← GR[reg1] + sign-extend(disp16) GR[reg2] ← Load-memory(adr,Word)	1	1	2					

注1. ddddddddはdisp9の上位8ビットです。

2. 下位ハーフワード・データのみ有効

3. dddddddddddddddddddはdisp22の上位21ビットです。

4. dddddddddddddddはdisp16の上位15ビットです。

インストラクション・セット（アルファベット順）（2/4）

ニモニック	オペランド	コード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LDSR	reg2,regID	rrrrr11111RRRRR 0000000000100000 注1	SR[regID]←GR[reg2] regID=EIPC, FEPC regID=EIPSW, FEPSW regID=PSW	1	1	3					
						1					
						1	×	×	×	×	×
MOV	reg1,reg2	rrrrr00000RRRRR	GR[reg2]←GR[reg1]	1	1	1					
	imm5,reg2	rrrrr010000iiii	GR[reg2]←sign-extend(imm5)	1	1	1					
MOVEA	imm16,reg1,reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] + sign-extend(imm16)	1	1	1					
MOVHI	imm16,reg1,reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] + (imm16 0 ¹⁶)	1	1	1					
MULH	reg1,reg2	rrrrr000111RRRRR	GR[reg2]←GR[reg2] ^{注2} × GR[reg1] ^{注2} (符号付き乗算)	1	1	2					
	imm5,reg2	rrrrr010111iiii	GR[reg2]←GR[reg2] ^{注2} × sign-extend(imm5) (符号付き乗算)	1	1	2					
MULHI	imm16,reg1,reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] ^{注2} × imm16 (符号付き乗算)	1	1	2					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1,reg2	rrrrr000001RRRRR	GR[reg2]←NOT(GR[reg1])	1	1	1		0	×	×	
NOT1	bit#3,disp16[reg1]	01bbb111110RRRRR dddddddddddddd	adr←GR[reg1] + sign-extend(disp16) Zフラグ←Not(Load-memory-bit(adr,bit#3)) Store-memory-bit(adr,bit#3,Zフラグ)	4	4	4				×	
OR	reg1,reg2	rrrrr001000RRRRR	GR[reg2]←GR[reg2] OR GR[reg1]	1	1	1		0	×	×	
ORI	imm16,reg1,reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] OR zero-extend(imm16)	1	1	1		0	×	×	
RETI		0000011111100000 0000000101000000	if PSW.EP=1 then PC ←EIPC PSW ←EIPSW else if PSW.NP=1 then PC ←FEPC PSW←FEPSW else PC ←EIPC PSW←EIPSW	4	4	4	R	R	R	R	R
SAR	reg1,reg2	rrrrr11111RRRRR 0000000010100000	GR[reg2]←GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5,reg2	rrrrr010101iiii	GR[reg2]←GR[reg2] arithmetically shift right by zero-extend(imm5)	1	1	1	×	0	×	×	

注1. この命令では、ニモニクの記述の都合上、ソース・レジスタをreg2としていますが、オペコード上はreg1のフィールドを使用しています。したがって、ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

rrrrr=regID指定

RRRRR=reg2指定

2. 下位ハーフワード・データのみ有効

インストラクション・セット (アルファベット順) (3/4)

ニモニック	オペランド	コード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SATADD	reg1,reg2	rrrrr000110RRRRR	GR[reg2] ← saturated (GR[reg2] + GR[reg1])	1	1	1	×	×	×	×	×
	imm5,reg2	rrrrr010001iiii	GR[reg2] ← saturated (GR[reg2] + sign-extend(imm5))	1	1	1	×	×	×	×	×
SATSUB	reg1,reg2	rrrrr000101RRRRR	GR[reg2] ← saturated (GR[reg2] - GR[reg1])	1	1	1	×	×	×	×	×
SATSUBI	imm16,reg1,reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] ← saturated (GR[reg1] - sign-extend(imm16))	1	1	1	×	×	×	×	×
SATSUBR	reg1,reg2	rrrrr000100RRRRR	GR[reg2] ← saturated (GR[reg1] - GR[reg2])	1	1	1	×	×	×	×	×
SETF	cccc,reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] ← 00000001H else GR[reg2] ← 00000000H	1	1	1					
SET1	bit#3,disp16[reg1]	00bbb111110RRRRR dddddddddddddd	adr ← GR[reg1] + sign-extend(disp16) Zフラグ ← Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	4	4	4				×	
SHL	reg1,reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2] ← GR[reg2] logically shift left by GR[reg1]	1	1	1	×	0	×	×	
	imm5,reg2	rrrrr010110iiii	GR[reg2] ← GR[reg2] logically shift left by zero-extend(imm5)	1	1	1	×	0	×	×	
SHR	reg1,reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2] ← GR[reg2] logically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5,reg2	rrrrr010100iiii	GR[reg2] ← GR[reg2] logically shift right by zero-extend(imm5)	1	1	1	×	0	×	×	
SLD.B	disp7[ep],reg2	rrrrr0110dddddd	adr ← ep + zero-extend(disp7) GR[reg2] ← sign-extend (Load-memory (adr, Byte))	1	1	2					
SLD.H	disp8[ep],reg2	rrrrr1000dddddd 注1	adr ← ep + zero-extend(disp8) GR[reg2] ← sign-extend (Load-memory (adr, Halfword))	1	1	2					
SLD.W	disp8[ep],reg2	rrrrr1010dddddd0 注2	adr ← ep + zero-extend(disp8) GR[reg2] ← Load-memory (adr, Word)	1	1	2					
SST.B	reg2,disp7[ep]	rrrrr0111dddddd	adr ← ep + zero-extend(disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2,disp8[ep]	rrrrr1001dddddd 注1	adr ← ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2,disp8[ep]	rrrrr1010dddddd1 注2	adr ← ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2,disp16[reg1]	rrrrr111010RRRRR dddddddddddddd	adr ← GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					

注1. dddddddはdisp8の上位7ビットです。

2. dddddddはdisp8の上位6ビットです。

インストラクション・セット（アルファベット順）（4/4）

ニモニック	オペランド	コード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ST.H	reg2,disp16[reg1]	rrrrr111011RRRRR dddddddddddddd0 注	adr←GR[reg1]+sign-extend(disp16) Store-memory(adr,GR[reg2],Halfword)	1	1	1					
ST.W	reg2,disp16[reg1]	rrrrr111011RRRRR ddddddddddddddd1 注	adr←GR[reg1]+sign-extend(disp16) Store-memory(adr,GR[reg2],Word)	1	1	1					
STSR	regID,reg2	rrrrr111111RRRRR 0000000001000000	GR[reg2]←SR[regID]	1	1	1					
SUB	reg1,reg2	rrrrr001101RRRRR	GR[reg2]←GR[reg2]−GR[reg1]	1	1	1	×	×	×	×	
SUBR	reg1,reg2	rrrrr001100RRRRR	GR[reg2]←GR[reg1]−GR[reg2]	1	1	1	×	×	×	×	
TRAP	vector	0000011111iiii 0000000100000000	EIPC ←PC+4(復帰PC) EIPSW ←PSW ECR.EICC ←割り込みコード PSW.EP ←1 PSW.ID ←1 PC ←00000040H(vectorが00H-0FHのとき) 00000050H(vectorが10H-1FHのとき)	4	4	4					
TST	reg1,reg2	rrrrr001011RRRRR	result←GR[reg2] AND GR[reg1]	1	1	1		0	×	×	
TST1	bit#3,disp16[reg1]	11bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]+sign-extend(disp16) Zフラグ←Not(Load-memory-bit(adr,bit#3))	3	3	3				×	
XOR	reg1,reg2	rrrrr001001RRRRR	GR[reg2]←GR[reg2] XOR GR[reg1]	1	1	1		0	×	×	
XORI	imm16,reg1,reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] XOR zero-extend(imm16)	1	1	1		0	×	×	

注 dddddddddddddddはdisp16の上位15ビットです。

付録C 総合索引

C.1 50音で始まる語句の索引

【あ行】

アービトレーション … 302
 アイドル・ステート挿入機能 … 100
 アクセス・クロック数 … 95
 アシクロナス・シリアル・インタフェース … 234
 アシクロナス・シリアル・インタフェース・ステータス・レジスタ … 241
 アシクロナス・シリアル・インタフェース・モード・レジスタ0, 1 … 237
 アセンブラ予約レジスタ … 63
 アドレス空間 … 68, 81
 イニシャライズ … 419
 イベント選択レジスタ … 141
 イベント・ディバイド・カウンタ0-2 … 140
 イベント・ディバイド制御レジスタ0-2 … 141
 インサース・プライオリティ・レジスタ … 132
 インターバル・タイマ … 223
 ウェイク・アップ機能 … 304
 ウェイト機能 … 98
 ウェイト挿入例 … 99
 エッジ検出機能 … 134
 エLEMENT・ポインタ … 63
 応用分野 … 30
 オーダ情報 … 30
 オーバフロー（タイマ0） … 199
 オーバフロー（タイマ1） … 210
 オーバフロー（タイマ2） … 216
 オーバフロー（タイマ3） … 220
 オフボード・プログラミング … 423
 オンボード・プログラミング … 423

【か行】

外部ウェイト機能 … 99
 外部カウント・クロック … 198, 209, 216
 外部拡張モード … 79
 外部トリガ・モード … 336, 350
 外部メモリ領域 … 76
 外部割り込みモード・レジスタ1-6 … 136
 外部割り込みモード・レジスタ7 … 138
 カウント・クロック選択（タイマ0） … 198
 カウント・クロック選択（タイマ1） … 209
 カウント・クロック選択（タイマ2） … 215
 カウント・クロック選択（タイマ3） … 220
 カウント動作（タイマ0） … 197
 カウント動作（タイマ1） … 208
 カウント動作（タイマ2） … 215
 カウント動作（タイマ3） … 220
 拡張コード … 301
 機能ブロック構成 … 33
 キャプチャ／コンペア・レジスタ00-03 … 180
 キャプチャ／コンペア・レジスタ3 … 184
 キャプチャ動作（タイマ0） … 203
 キャプチャ動作（タイマ1） … 212
 キャプチャ動作（タイマ3） … 221
 キャプチャ・レジスタ10-13 … 182
 キャプチャ・レジスタ3 … 184
 境界動作条件 … 110
 繰り返し周波数 … 370
 グローバル・ポインタ … 63
 クロック・コントロール・レジスタ … 154
 クロック・ジェネレータ … 34
 クロック出力インヒビット … 159, 171

クロック出力制御 … 170
 クロック出力モード・レジスタ … 172
 クロック同期式シリアル・インタフェース0-3 … 249
 クロック同期式シリアル・インタフェース・モード・レジスタ0-3 … 251
 クロック発生機能 … 151
 コマンド・レジスタ … 90
 コンペア動作（タイマ0） … 206
 コンペア動作（タイマ1） … 214
 コンペア動作（タイマ2） … 217
 コンペア動作（タイマ3） … 222
 コンペア・レジスタ10, 11 … 182
 コンペア・レジスタ20-24 … 183

【さ行】

システム・ステータス・レジスタ … 91
 システム制御レジスタ … 94
 システム・レジスタ・セット … 64
 周期測定 … 229
 周辺I/O領域 … 74
 周辺I/Oレジスタ … 84
 受信エラー割り込み … 244
 受信完了割り込み … 244
 受信バッファ … 242
 出力ラッチ … 356
 状態遷移図 … 159
 シリアルI/Oシフト・レジスタ0-3 … 253
 シリアル・インタフェース … 35, 233
 シングルチップ・モード … 66
 信号の衝突 … 426
 スタート・コンディション … 274
 スタック・ポインタ … 63
 スタンバイ・モード時の動作 … 173
 ストップ・コンディション … 277
 スレーブ・アドレス・レジスタ … 273

ゼロ・レジスタ … 63
 送信完了割り込み … 244
 送信シフト・レジスタ … 243
 ソフトウェアSTOPモード … 158, 166
 ソフトウェア例外 … 142

【た行】

タイマ0, 0L … 180
 タイマ0動作 … 197
 タイマ1, タイマ1L … 181
 タイマ1動作 … 208
 タイマ2 … 183
 タイマ20-24 … 183
 タイマ2動作 … 215
 タイマ3 … 184
 タイマ3動作 … 220
 タイマ・オーバフロー・ステータス・レジスタ … 195
 タイマ／カウンタ機能 … 175
 タイマ・コントロール・レジスタ00 … 185
 タイマ・コントロール・レジスタ01 … 187
 タイマ・コントロール・レジスタ02 … 188
 タイマ・コントロール・レジスタ1 … 189
 タイマ・コントロール・レジスタ20-24 … 191
 タイマ・コントロール・レジスタ3 … 193
 タイマ出力コントロール・レジスタ0, 1 … 194
 タイマ・トリガ・モード … 336, 346
 タイマのクリア／スタート（タイマ0） … 200
 タイマのクリア／スタート（タイマ1） … 211
 タイマのクリア／スタート（タイマ2） … 216
 タイマのクリア／スタート（タイマ3） … 221
 タイム・ベース・カウンタ … 169
 ダイレクト・モード … 153
 多重割り込み … 147
 端子機能 … 37, 44
 端子状態 … 43

- 端子接続図 … 31
- 端子の入出力回路 … 59
- 通常動作モード … 66
- 通信コマンド … 430
- 通信予約 … 304
- データ・ウェイト・コントロール・レジスタ … 98
- データ空間 … 70, 81, 110
- テキスト・ポインタ … 63
- 転送方向指定 … 276
- 動作モード … 66
- 特定レジスタ … 89
- トグル出力 … 219

- 【な行】**

- 内蔵RAM領域 … 74
- 内蔵ROM領域 … 72
- 内蔵周辺I/Oインタフェース … 111
- 内部カウント・クロック … 198, 209, 215
- 内部ブロック図 … 33
- 内部ユニット … 34
- 入力クロック選択（クロック・ジェネレータ） … 153
- ノイズ除去 … 133
- ノンマスカブル割り込み … 116
- ノンマスカブル割り込みステータス・フラグ … 120

- 【は行】**

- ハーフワード・アクセス … 95
- バイト・アクセス … 95
- バス・アクセス … 95
- バス・コントロール・ユニット … 34
- バス・サイクル・コントロール・レジスタ … 100
- バス制御機能 … 93
- バス制御端子 … 93
- バス・タイミング … 103
- バスの優先順位 … 110
- バス幅 … 95
- バス・ホールド … 101, 109
- 発振安定時間の確保 … 168
- バッファ・レジスタ … 356
- パルス幅測定 … 224
- パワー・セーブ・コントロール・レジスタ … 160
- パワー・セーブ制御 … 158
- パワー・セーブ・モード時の動作 … 102
- 汎用レジスタ … 63
- 不正命令コード … 144
- フラッシュ・メモリ … 423
- フラッシュ・メモリ・プログラミング・モード … 66, 429
- プログラマブル・ウェイト機能 … 98
- プログラム・カウンタ … 63
- プログラム空間 … 70, 81, 110
- プログラム・ステータス・ワード … 65
- プログラム・レジスタ・セット … 63
- 分周器 … 139
- ポート … 35, 337
- ポート0 … 384
- ポート0モード・コントロール・レジスタ … 386
- ポート0モード・レジスタ … 385
- ポート1 … 387
- ポート1モード・コントロール・レジスタ … 389
- ポート1モード・レジスタ … 388
- ポート2 … 390
- ポート2モード・コントロール・レジスタ … 392
- ポート2モード・レジスタ … 391
- ポート3 … 393
- ポート3モード・コントロール・レジスタ … 395
- ポート3モード・レジスタ … 394
- ポート4 … 396
- ポート4モード・レジスタ … 396
- ポート5 … 398

ポート5モード・レジスタ … 399
 ポート6 … 400
 ポート6モード・レジスタ … 401
 ポート7 … 402
 ポート8 … 402
 ポート9 … 403
 ポート9モード・レジスタ … 404
 ポート10 … 405
 ポート10モード・コントロール・レジスタ … 406
 ポート10モード・レジスタ … 406
 ポート11 … 407
 ポート11モード・コントロール・レジスタ … 409
 ポート11モード・レジスタ … 408
 ポート12 … 410
 ポート12モード・コントロール・レジスタ … 412
 ポート12モード・レジスタ … 411
 ポート13 … 413
 ポート13モード・コントロール・レジスタ … 414
 ポート13モード・レジスタ … 413
 ポート14 … 415
 ポート14モード・レジスタ … 415
 ポート機能 … 371
 ポートのブロック図 … 376
 ボー・レート・ジェネレータ0-3 … 318
 ボー・レート・ジェネレータ0-3設定データ … 321
 ボー・レート・ジェネレータ・コンペア・レジスタ0-3 … 324
 ボー・レート・ジェネレータ・プリスケアラ・モード・レジスタ0-3 … 325

【ま行】

マスカブル割り込み … 121
 マスカブル割り込みステータス・フラグ … 132
 未使用端子の処理 … 57
 メモリ拡張モード・レジスタ … 80
 メモリ・ブロック機能 … 97

メモリ・マップ … 71
 メモリ・ライト … 107
 メモリ・リード … 103
 モジュロHレジスタ … 362
 モジュロLレジスタ … 362

【ら行】

ラップ・アラウンド … 70, 82
 リアルタイム出力機能 … 355
 リアルタイム・パルス・ユニット … 35, 175
 リセット機能 … 417
 リンク・ポインタ … 63
 例外処理機能 … 113
 例外ステータス・フラグ … 144
 例外テーブル … 72
 例外トラップ … 144
 レジスタのリセット後の初期値 … 420

【わ行】

ワード・アクセス … 96
 割り込み一覧 … 114
 割り込み応答時間 … 149
 割り込みが受け付けられない期間 … 150
 割り込みコントローラ … 34
 割り込み時状態退避レジスタ … 64
 割り込み処理機能 … 113
 割り込みスタック・ポインタ … 63
 割り込み制御レジスタ … 130
 割り込みテーブル … 72
 割り込み要因レジスタ … 64
 割り込み要求 … 244

C.2 アルファベットで始まる語句の索引

【数字】

1ビット出力ポート … 173
 144ピン・プラスチックLQFP … 30
 3線式シリアルI/Oモードのタイミング …
 256, 257, 259

【A】

A/Dコンバータ … 327
 A/Dコンバータ・モード・レジスタ0 … 330
 A/Dコンバータ・モード・レジスタ1 … 332
 A/Dトリガ・モード … 336, 342
 A/D変換結果レジスタ … 333
 A16-A23 … 48
 ACKD … 270
 ACKE … 268
 AD0-AD7 … 47
 AD8-AD15 … 48
 ADCR0-ADCR7 … 333
 ADIC0 … 130
 ADIF0 … 130
 ADM0 … 330
 ADM1 … 332
 ADMK0 … 130
 ADPR00-ADPR02 … 130
 ADTRG … 46
 ALD … 269
 ALVn (n = 00, 01, 20-24) … 194
 ANI0-ANI15 … 49
 ANIS0-ANIS2 … 331
 ASIM0, ASIM1 … 237
 ASIS … 241
 ASTB … 50
 AV_{DD} … 56

AV_{REF} … 56

AV_{SS} … 56

【B】

BCC … 100
 BCn1 (n = 0-7) … 100
 BCU … 34
 BIC … 94
 BPRM0-BPRM3 … 325
 BPRn0-BPRn3 (n = 0-3) … 325
 BRCE0-BRCE3 … 325
 BRGC0-BRGC3 … 324
 BRGn0-BRGn7 (n = 0-3) … 324
 BS … 330

【C】

CC00-CC03, CC00L-CC03L … 180
 CC0IC0-CC0IC3 … 130
 CC0IF0-CC0IF3 … 130
 CC0MK0-CC0MK3 … 130
 CC0PRn0-CC0PRn2 (n = 0-3) … 130
 CC3 … 184
 CC3IC0 … 130
 CC3IF0 … 130
 CC3MK0 … 130
 CC3PR00-CC3PR02 … 130
 CCLR0 … 188
 CE … 330
 CE0 … 185
 CE1 … 189
 CE20-CE24 … 191
 CE3 … 193
 CESEL … 160

CG ... 34, 151
 CKC ... 154
 CKDIV0, CKDIV1 ... 155
 CKSEL ... 53
 CL ... 238
 CL0, CL1 ... 272
 CLD ... 271
 CLE ... 172
 CLKOUT ... 54
 CLKOUT信号出力制御 ... 170
 CLO ... 53
 CLOM ... 172
 CLO信号出力制御 ... 171
 CLSn0, CLSn1 (n = 0-3) ... 252
 CM10, CM11, CM10L, CM11L ... 182
 CM1IC0, CM1IC1 ... 130
 CM1IF0, CM1IF1 ... 130
 CM1MK0, CM1MK1 ... 130
 CM1PRn0-CM1PRn2 (n = 0, 1) ... 130
 CM20-CM24 ... 183
 CM2IC0-CM2IC4 ... 130
 CM2IF0-CM2IF4 ... 130
 CM2MK0-CM2MK4 ... 130
 CM2PRn0-CM2PRn2 (n = 0-4) ... 130
 CMS00-CMS03 ... 187
 CMS3 ... 193
 COI ... 270
 CP10-CP13, CP10L-CP13L ... 182
 CP3 ... 184
 CPU ... 34
 CPUアドレス空間 ... 68, 70
 CPU機能 ... 61
 CPUレジスタ・セット ... 62
 CRXE0-CRXE3 ... 251
 CS ... 330
 CS1 ... 189
 CS20-CS24 ... 191

CS3 ... 193
 CSI0-CSI3 ... 249
 CSIC0-CSIC3 ... 130
 CSIF0-CSIF3 ... 130
 CSIM0-CSIM3 ... 251
 CSIのシステム構成例 ... 260
 CSMK0-CSMK3 ... 130
 CSOT0-CSOT3 ... 252
 CSPRn0-CSPRn2 (n = 0-3) ... 130
 CTXE0-CTXE3 ... 251
 CV_{DD} ... 55
 CV_{SS} ... 55
 CY ... 65

【D】

DAD ... 271
 DCLK0, DCLK1 ... 160
 DFC ... 272
DSTB ... 50
 DWC ... 98
 DWn0, DWn1 (n = 0-7) ... 98

【E】

EBS ... 240
 ECLR0 ... 188
 ECR ... 64
 EDV0-EDV2 ... 140
 EDVC0-EDVC2 ... 141
 EICC ... 64
 EIPC ... 64
 EIPSW ... 64
 ENTOn (n = 00, 01, 20-24) ... 194
 EP ... 65, 144
 ES300, ES301 ... 138
 ESE ... 141

ESN0 ... 120

ESn0,ESn1 (n = 00-05, 10-14, 20-24, AD, 50-53)
... 136

EVS ... 141

EXC ... 269

【F】

FE ... 241

FECC ... 64

FEPC ... 64

FEPSW ... 64

FR0-FR2 ... 332

FS0-FS2 ... 173

【H】

HALTモード ... 158, 162

 $\overline{\text{HLD\!AK}}$... 50 $\overline{\text{HLDRQ}}$... 51**【I】**I²Cバス ... 261I²C割り込み ... 280

ID ... 65, 132

IDLE ... 160

IDLEモード ... 158, 164

IIC ... 272

IICC ... 266

IICCL ... 271

IICE ... 266

IICS ... 269

IICクロック選択レジスタ ... 271

IICコントロール・レジスタ ... 266

IICシフト・レジスタ ... 272

IIC状態レジスタ ... 269

IIIC0 ... 130

IIIF0 ... 130

IIMK0 ... 130

IIPR00-IIPR02 ... 130

ILGOP ... 114

IMS00-IMS03 ... 187

IMS04, IMS05 ... 188

IMS1 ... 189

IMS20-IMS24 ... 191

INTAD ... 114

INTC ... 34

INTCM10, INTCM11 ... 114

INTCM20-INTCM24 ... 114

INTCP10-INTCP13 ... 114

INTCSI0-INTCSI3 ... 114

INTIIC ... 114, 280

INTM0 ... 120

INTM1-INTM6 ... 136

INTM7 ... 138

INTOV0, INTOV1 ... 114

INTP00-INTP05 ... 44

INTP0n/INTCC0n (n = 0-3) ... 114

INTP10-INTP14 ... 45

INTP20 ... 45

INTP21-INTP24 ... 52

INTP2n/INTCM2n (n = 0-4) ... 114

INTP30 ... 45

INTP30/INTCC3 ... 114

INTP50-INTP53 ... 45, 114

INTSER ... 114, 244

INTSR ... 114, 244

INTST ... 114, 244

ISPR ... 132

ISPR0-ISPR7 ... 132

【L】

LBEN … 49
LREL … 266
LV … 172

【M】

MM … 80
MM0-MM3 … 80
MOD0-MOD3 … 252
MODE0-MODE2 … 54
MS … 330
MSTS … 269

【N】

NMI … 45, 114
NMI時状態退避レジスタ … 64
NMI端子のエッジ検出機能 … 120
NMI端子のノイズ除去 … 120
NOT … 240
NP … 65, 120

【O】

OST0 … 185
OST1 … 189
OV … 65
OVE … 241
OVFn (n = 0, 1, 20-24, 3) … 195
OVIC0, OVIC1 … 130
OVIF0, OVIF1 … 130
OVMK0, OVMK1 … 130
OVPRn0-OVPRn2 (n = 0, 1) … 130

【P】

P0 … 384
P00-P07 … 44, 384
P1 … 387
P10-P17 … 44, 387
P1IC0-P1IC3 … 130
P1IF0-P1IF3 … 130
P1MK0-P1MK3 … 130
P1PRn0-P1PRn2 (n = 0-3) … 130
P2 … 390
P20-P26 … 45, 390
P3 … 393
P30-P36 … 46, 393
P4 … 396
P40-P47 … 47, 396
P5 … 398
P50-P57 … 47, 398
P5IC0-P5IC3 … 130
P5IF0-P5IF3 … 130
P5MK0-P5MK3 … 130
P5PRn0-P5PRn2 (n = 0-3) … 130
P6 … 400
P60-P67 … 48, 400
P7 … 402
P70-P77 … 48, 402
P8 … 402
P80-P87 … 48, 402
P9 … 403
P90-P96 … 49, 403
P10 … 405
P100-P103 … 51, 405
P11 … 407
P110-P117 … 52, 407
P12 … 410
P120-P127 … 52, 410
P13 … 413

P130-P137	… 53, 413	PMC00-PMC07	… 386
P14	… 415	PMC1	… 389
P140-P147	… 53, 415	PMC10	… 406
PALV0-PALV3	… 361	PMC10-PMC16	… 389
PB	… 356	PMC100-PMC103	… 406
PC	… 63	PMC11	… 409
PE	… 241	PMC110-PMC117	… 409
PLLSEL	… 54	PMC12	… 412
PLLモード	… 153	PMC120-PMC125, PMC127	… 412
PLLロックアップ	… 157	PMC13	… 414
PM0	… 385	PMC130-PMC137	… 414
PM00-PM07	… 385	PMC2	… 392
PM1	… 388	PMC21-PMC26	… 392
PM10-PM17 (ビット)	… 388	PMC3	… 395
PM10 (レジスタ)	… 406	PMC30-PMC35	… 395
PM100-PM103	… 406	PMPn0-PMPn2 (n = 0-3)	… 361
PM11	… 408	PRCMD	… 90
PM110-PM117	… 408	PRERR	… 91, 157
PM12	… 411	PRM00-PRM03	… 186
PM120-PM127	… 411	PRM10-PRM13	… 190
PM13	… 413	PRM2n0-PRM2n3 (n = 0-4)	… 192
PM130-PM137	… 413	PRM30-PRM33	… 193
PM14	… 415	PS	… 330
PM140-PM147	… 415	PS0, PS1	… 238
PM2	… 391	PSC	… 160
PM21-PM26	… 391	PSW	… 64, 120, 132, 144
PM3	… 394	PWM	… 36
PM30-PM36	… 394	PWM0-PWM3	… 51, 362
PM4	… 396	PWMC0-PWMC3	… 361
PM40-PM47	… 396	PWME0-PWME3	… 361
PM5	… 399	PWMコントロール・レジスタ0-3	… 361
PM50-PM57	… 399	PWM出力	… 226
PM6	… 401	PWMプリスケラ・レジスタ0-3	… 362
PM60-PM67	… 401	PWMモジュロ・レジスタ0-3	… 362
PM9	… 404	PWMユニット	… 359
PM90-PM96	… 404	PWPn0, PWPn1 (n = 0-3)	… 362
PMC0	… 386	PWPR0-PWPR3	… 362

【R】

r0-r31 ... 63
 RAM ... 34
 $\overline{\text{RD}}$... 51
 REG0-REG7 ... 90
 RESET ... 114
 $\overline{\text{RESET}}$... 55
 ROM ... 34
 ROMレス・モード ... 66
 RPU ... 35
 RTP ... 36, 356
 RTP0-RTP7 ... 53
 $\text{R}/\overline{\text{W}}$... 50
 RXB, RXBL ... 242
 RXB0-RXB7 ... 242
 RXD ... 46
 RXE ... 237
 RXEB ... 242

【S】

S ... 65
 SAT ... 65
 $\overline{\text{SCK0}}$... 47
 $\overline{\text{SCK1}}$... 47
 $\overline{\text{SCK2}}$... 53
 $\overline{\text{SCK3}}$... 53
 SCL ... 46
 SCLS ... 239
 SCS0, SCS1 ... 138
 SDA ... 46
 SEIC0 ... 130
 SEIF0 ... 130
 SEMK0 ... 130
 SEPR00-SEPR02 ... 130
 SIO ... 46

SI1 ... 46
 SI2 ... 53
 SI3 ... 53
 SIO ... 35
 SIO0-SIO3 ... 253
 SIO_n0-SIO_n7 (n = 0-3) ... 253
 SL ... 239
 SMC ... 271
 SO0 ... 46
 SO1 ... 46
 SO2 ... 52
 SO3 ... 52
 SOT ... 241
 SPD ... 271
 SPIE ... 267
 SPT ... 268
 SRIC0 ... 130
 SRIF0 ... 130
 SRMK0 ... 130
 SRPR00-SRPR02 ... 130
 STD ... 270
 STIC0 ... 130
 STIF0 ... 130
 STMK0 ... 130
 STP ... 161
 STPR00-STPR02 ... 130
 STT ... 268
 SVA ... 273
 SYC ... 94
 SYN0-SYN3 ... 361
 SYS ... 91, 157

【T】

TBC ... 169
 TBCS ... 160
 TCLR0 ... 44

TI0 ... 44
 TI1 ... 45
 TI20 ... 45
 TI21-TI24 ... 52
 TM0, TM0L ... 180
 TM1, TM1L ... 181
 TM20-TM24 ... 183
 TM3 ... 184
 TMC00 ... 185
 TMC01 ... 187
 TMC02 ... 188
 TMC1 ... 189
 TMC20-TMC24 ... 191
 TMC3 ... 193
 TO00, TO01 ... 44
 TO20 ... 45
 TO21-TO24 ... 52
 TOC0, TOC1 ... 194
 TOVS ... 195
 TRAP0n, TRAP1n (n = 0-F) ... 114
 TRC ... 270
 TRG0, TRG1 ... 332
 TXD ... 46
 TXE ... 237
 TXED ... 243
 TXS, TXSL ... 243
 TXS0-TXS7 ... 243

【U】

UART ... 234
UBEN ... 50
 UNLOCK ... 91, 157

【V】

V_{DD} ... 55
 V_{PP} ... 56
 V_{SS} ... 56

【W】

WAIT ... 54
 WREL ... 267
WRH ... 51
WRL ... 51
 WTIM ... 267

【X】

X1, X2 ... 55

【Z】

Z ... 65

お問い合わせ先

【技術的なお問い合わせ先】

N E C半導体テクニカルホットライン（インフォメーションセンター）	電話	： 044-548-8899
（電話：午前 9:00～12:00，午後 1:00～5:00）	FAX	： 044-548-7900
	E-mail	： s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

半導体第一販売事業部	〒108-8001	東京都港区芝5-7-1	(日本電気本社ビル)		(03)3454-1111			
半導体第二販売事業部								
半導体第三販売事業部								
中部支社	半導体第一販売部	〒460-8525	愛知県名古屋市中区錦1-17-1	(日本電気中部ビル)		(052)222-2170		
	半導体第二販売部					(052)222-2190		
関西支社	半導体第一販売部	〒540-8551	大阪府大阪市中央区城見1-4-24	(日本電気関西ビル)		(06) 945-3178		
	半導体第二販売部					(06) 945-3200		
	半導体第三販売部					(06) 945-3208		
北海道支社	札幌	(011)251-5599	宇都宮支店	宇都宮	(028)621-2281	北陸支社	金沢	(076)232-7303
東北支社	仙台	(022)267-8740	小山支店	小山	(0285)24-5011	京都支社	京都	(075)344-7824
岩手支店	盛岡	(019)651-4344	甲府支店	甲府	(0552)24-4141	神戸支社	神戸	(078)333-3854
郡山支店	郡山	(0249)23-5511	長野支社	松本	(0263)35-1662	中国支社	広島	(082)242-5504
いわき支店	いわき	(0246)21-5511	静岡支社	静岡	(054)254-4794	鳥取支店	鳥取	(0857)27-5311
長岡支店	長岡	(0258)36-2155	立川支社	立川	(042)526-5981,6167	岡山支店	岡山	(086)225-4455
水戸支店	水戸	(029)226-1717	埼玉支社	大宮	(048)649-1415	松山支店	松山	(089)945-4149
土浦支店	土浦	(0298)23-6161	千葉支社	千葉	(043)238-8116	九州支社	福岡	(092)261-2806
群馬支店	高崎	(027)326-1255	神奈川支社	横浜	(045)682-4524			
太田支店	太田	(0276)46-4011	三重支店	津	(059)225-7341			

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] V854 ユーザーズ・マニュアル ハードウェア編
(U11969JJ3V0UM00 (第3版))

【お名前など】（さしつかえのない範囲で）

御社名（学校名，その他）（
ご住所（
お電話番号（
お仕事の内容（
お名前（

1. ご評価（各欄に○をご記入ください）

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン，字の大きさなど					
その他（ （					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)

理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)

理由 []

4. ご意見，ご要望

5. このドキュメントをお届けしたのは

NEC販売員，特約店販売員，NEC半導体ソリューション技術本部員，
その他（ ）

ご協力ありがとうございました。

下記あてにFAXで送信いただくか、最寄りの販売員にコピーをお渡しください。

NEC半導体テクニカルホットライン

FAX : (044) 548-7900