

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル（暫定）

V850E/SV2

32ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

μPD703166

μPD703166Y

μPD70F3166

μPD70F3166Y

資料番号 U16384JJ1V1UD00（第1版）

発行年月 August 2005 N CP(K)

© NEC Electronics Corporation 2002

(メモ)

目次要約

第1章	イントロダクション	...	29
第2章	端子機能	...	43
第3章	CPU機能	...	79
第4章	バス制御機能	...	118
第5章	メモリ・アクセス制御機能	...	151
第6章	割り込み/例外処理機能	...	152
第7章	DMA機能 (DMAコントローラ)	...	190
第8章	ROMコレクション機能	...	212
第9章	クロック・ジェネレータ	...	216
第10章	ポート機能	...	239
第11章	16ビット・タイマ/イベント・カウンタ00-05	...	349
第12章	16ビット・タイマ/・カウンタ10-15	...	377
第13章	8ビット・タイマ/イベント・カウンタ20-211	...	385
第14章	32ビット・タイマ/イベント・カウンタ3	...	405
第15章	ウォッチドッグ・タイマ機能	...	432
第16章	アシンクロナス・シリアル・インタフェースn (UARTn)	...	441
第17章	クロック同期式シリアル・インタフェースn (CSIn)	...	476
第18章	自動送受信機能付きクロック同期式シリアル・インタフェース(CSIA)	...	491
第19章	I ² Cバス	...	534
第20章	A/Dコンバータ	...	598
第21章	PWM機能	...	638
第22章	リアルタイム出力機能	...	649
第23章	JTAGインタフェース	...	659
第24章	バウンダリ・スキャン	...	660
第25章	オンチップ・ディバグ機能	...	663
第26章	リセット機能	...	664
第27章	フラッシュ・メモリ	...	670
第28章	電気的特性 (ターゲット)	...	683
付録A	レジスタ索引	...	711
付録B	改版履歴	...	725

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD70F3166, 70F3166Y

ユーザ判定品 : μ PD703166, 703166Y

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に掲載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

（１）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（２）本事項において使用されている「当社製品」とは、（１）において定義された当社の開発、製造製品をいう。

はじめに

- 対象者** このマニュアルは、V850E/SV2 (μ PD703166, 703166Y, 70F3166, 70F3166Y) の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850E/SV2のユーザズ・マニュアルは、ハードウェア編(このマニュアル)と、アーキテクチャ編(V850E1 ユーザズ・マニュアル アーキテクチャ編)の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性(ターゲット)

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録A レジスタ索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊のV850E1 **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

V850E/SV2の電気的特性を知りたいとき

第28章 電気的特性(ターゲット)を参照してください。

一通りV850E/SV2の機能を理解しようとするとき

目次に従ってお読みください。

- 凡 例** データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記： \overline{xxx} （端子，信号名称に上線）
メモリ・マップのアドレス：上部 - 上位，下部 - 下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記：2進数 ... xxxxまたはxxxxB
10進数 ... xxxx
16進数 ... xxxxH
2のべき数を示す接頭語（アドレス空間，メモリ容量）：
K（キロ）： 2^{10} ... 1024
M（メガ）： 2^{20} ... 1024^2
G（ギガ）： 2^{30} ... 1024^3

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850E/SV2に関する資料

資料名	資料番号
V850E1 ユーザーズ・マニュアル アーキテクチャ編	U14559J
V850E/SV2ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料

資料名	資料番号	
IE-V850E-MC, IE-V850E-MC-A (インサーキット・エミュレータ)	U14487J	
IE-703166-MC-EM1 (インサーキット・エミュレータ・オプション・ボード)	作成予定	
CA850 Ver.2.50 Cコンパイラ・パッケージ	操作編	U16053J
	C言語編	U16054J
	PM plus編	U16055J
	アセンブリ言語編	U16042J
ID850 Ver.2.50 統合ディバग्ガ	操作編	U16217J
RX850 Ver.3.13以上 リアルタイムOS	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
RX850 Pro Ver.3.15 リアルタイムOS	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
RD850 Ver.3.01 タスク・ディバग्ガ	U13737J	
RD850 Pro Ver.3.01 タスク・ディバग्ガ	U13916J	
AZ850 Ver.3.0 システム・パフォーマンス・アナライザ	U14410J	
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	

目 次

第1章 イン트로ダクション ... 29

- 1.1 概 説 ... 29
- 1.2 特 徴 ... 30
- 1.3 応用分野 ... 33
- 1.4 オーダ情報 ... 33
- 1.5 端子接続図 ... 34
- 1.6 機能ブロック構成 ... 39
 - 1.6.1 内部ブロック図 ... 39
 - 1.6.2 内部ユニット ... 40

第2章 端子機能 ... 43

- 2.1 端子機能一覧 ... 43
- 2.2 端子状態 ... 55
- 2.3 端子機能の説明 ... 56
- 2.4 端子の入出力回路タイプと未使用時の処理 ... 71
- 2.5 端子の入出力回路 ... 77

第3章 CPU機能 ... 79

- 3.1 特 徴 ... 79
- 3.2 CPUレジスタ・セット ... 80
 - 3.2.1 プログラム・レジスタ・セット ... 81
 - 3.2.2 システム・レジスタ・セット ... 82
- 3.3 動作モード ... 85
 - 3.3.1 動作モード ... 85
 - 3.3.2 動作モード指定 ... 85
- 3.4 アドレス空間 ... 86
 - 3.4.1 CPUアドレス空間 ... 86
 - 3.4.2 イメージ ... 87
 - 3.4.3 CPUアドレス空間のラップ・アラウンド ... 88
 - 3.4.4 メモリ・マップ ... 89
 - 3.4.5 領 域 ... 90
 - 3.4.6 外部メモリ拡張 ... 94
 - 3.4.7 アドレス空間の推奨使用方法 ... 95
 - 3.4.8 周辺I/Oレジスタ ... 97
 - 3.4.9 特定レジスタ ... 115
 - 3.4.10 システム・ウエイト・コントロール・レジスタ (VSWC) ... 117

第4章 バス制御機能 ... 118

- 4.1 特 徴 ... 118
- 4.2 バス制御端子 ... 118

4.2.1	内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態	...	119
4.2.2	各動作モードの端子状態	...	119
4.3	メモリ・ブロック機能	...	120
4.3.1	チップ・セレクト制御機能	...	121
4.4	バス・サイクル・タイプ制御機能	...	124
4.5	バス・アクセス	...	125
4.5.1	アクセス・クロック数	...	125
4.5.2	バス・サイジング機能	...	126
4.5.3	ワード・データ処理形式	...	126
4.5.4	バス幅	...	127
4.6	ウエイト機能	...	133
4.6.1	プログラマブル・ウエイト機能	...	133
4.6.2	外部ウエイト機能	...	134
4.6.3	プログラマブル・ウエイトと外部ウエイトの関係	...	135
4.7	アイドル・ステート挿入機能	...	136
4.8	バス・ホールド機能	...	137
4.8.1	機能概要	...	137
4.8.2	バス・ホールド手順	...	137
4.8.3	パワー・セーブ・モード時の動作	...	138
4.8.4	バス・ホールド・タイミング	...	138
4.9	バス・クロック分周機能	...	139
4.10	バスの優先順位	...	140
4.11	境界動作条件	...	141
4.11.1	プログラム空間	...	141
4.11.2	データ空間	...	141
4.12	バス・タイミング	...	142
4.12.1	リード・サイクル	...	142
4.12.2	ライト・サイクル	...	147
4.12.3	バス・ホールド・サイクル	...	150

第5章 **メモリ・アクセス制御機能** ... 151

5.1	SRAM, 外部ROM, 外部I/Oインタフェース	...	151
5.1.1	特徴	...	151

第6章 **割り込み/例外処理機能** ... 152

6.1	特徴	...	152
6.2	ノンマスクابل割り込み	...	157
6.2.1	動作	...	158
6.2.2	復帰	...	160
6.2.3	NPフラグ	...	161
6.2.4	ノイズ除去	...	161
6.2.5	エッジ検出機能	...	162
6.3	マスクابل割り込み	...	164
6.3.1	動作	...	164
6.3.2	復帰	...	166
6.3.3	マスクابل割り込みの優先順位	...	167
6.3.4	割り込み制御レジスタ (xxICn)	...	171

6.3.5	割り込みマスク・レジスタ0-5 (IMR0-IMR5)	...	175
6.3.6	インサービス・プライオリティ・レジスタ (ISPR)	...	177
6.3.7	IDフラグ	...	178
6.4	ソフトウェア例外	...	179
6.4.1	動作	...	179
6.4.2	復帰	...	180
6.4.3	EPフラグ	...	181
6.5	例外トラップ	...	182
6.5.1	不正命令コード	...	182
6.5.2	ディバグ・トラップ	...	184
6.6	多重割り込み処理制御	...	186
6.7	割り込み応答時間	...	188
6.8	割り込みが受け付けられない期間	...	189

第7章 DMA機能 (DMAコントローラ) ... 190

7.1	特徴	...	190
7.2	構成	...	191
7.3	制御レジスタ	...	192
7.3.1	DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)	...	192
7.3.2	DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)	...	194
7.3.3	DMA転送カウント・レジスタ0-3 (DBC0-DBC3)	...	196
7.3.4	DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)	...	197
7.3.5	DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)	...	198
7.3.6	DMAディスエーブル・ステータス・レジスタ (DDIS)	...	199
7.3.7	DMAリスタート・レジスタ (DRST)	...	199
7.3.8	DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)	...	200
7.4	DMAバス・ステート	...	203
7.4.1	バス・ステートの種類	...	203
7.4.2	DMACバス・サイクルの状態遷移	...	204
7.5	転送モード	...	205
7.5.1	シングル転送モード	...	205
7.5.2	シングルステップ転送モード	...	206
7.5.3	ブロック転送モード	...	207
7.6	転送タイプ	...	207
7.6.1	2サイクル転送	...	207
7.7	転送対象	...	208
7.7.1	転送の種類と転送対象	...	208
7.7.2	DMA転送 (2サイクル転送) 時の外部バス・サイクル	...	208
7.8	DMAチャンネルの優先順位	...	209
7.9	ネクスト・アドレス設定機能	...	209
7.10	DMA転送起動要因	...	210
7.11	強制中断	...	210
7.12	DMA転送の終了	...	211
7.13	強制終了	...	211
7.14	注意事項	...	211
7.14.1	中断要因	...	211

第8章 ROMコレクション機能 ... 212

- 8.1 概 要 ... 212
- 8.2 制御レジスタ ... 213
 - 8.2.1 コレクション・アドレス・レジスタ0-7 (CORAD0-CORAD7) ... 213
 - 8.2.2 コレクション・コントロール・レジスタ (CORCN) ... 214
- 8.3 ROMコレクションの動作とプログラムの流れ ... 214

第9章 クロック・ジェネレータ ... 216

- 9.1 特 徴 ... 216
- 9.2 構 成 ... 217
- 9.3 入力クロック選択 ... 218
 - 9.3.1 PLLモード ... 218
 - 9.3.2 クロック・スルー・モード ... 218
- 9.4 クロック出力機能 ... 219
 - 9.4.1 外部バス用基本クロック出力機能 (CLKOUT) ... 219
 - 9.4.2 周辺クロック出力機能 (CLO) ... 219
- 9.5 制御レジスタ ... 220
 - 9.5.1 プロセッサ・クロック・コントロール・レジスタ (PCC) ... 220
 - 9.5.2 クロック出力モード・レジスタ (CLOM) ... 221
 - 9.5.3 バス・クロック分周制御レジスタ (DVC) ... 221
- 9.6 パワー・セーブ機能 ... 222
 - 9.6.1 概 要 ... 222
 - 9.6.2 制御レジスタ ... 225
 - 9.6.3 HALTモード ... 228
 - 9.6.4 IDLEモード ... 230
 - 9.6.5 ソフトウェアSTOPモード ... 233
 - 9.6.6 ソフトウェアSTOPモード時の発振安定時間の確保 ... 236
 - 9.6.7 発振安定時間選択レジスタ (OSTS) ... 238

第10章 ポート機能 ... 239

- 10.1 特 徴 ... 239
- 10.2 ポートの基本構成 ... 239
- 10.3 各ポートの端子機能 ... 240
 - 10.3.1 ポート0 ... 240
 - 10.3.2 ポート1 ... 247
 - 10.3.3 ポート2 ... 252
 - 10.3.4 ポート3 ... 260
 - 10.3.5 ポート4 ... 270
 - 10.3.6 ポート5 ... 277
 - 10.3.7 ポート6 ... 281
 - 10.3.8 ポート7 ... 286
 - 10.3.9 ポート8 ... 288
 - 10.3.10 ポート9 ... 290
 - 10.3.11 ポート10 ... 294
 - 10.3.12 ポート11 ... 300
 - 10.3.13 ポート12 ... 305

10.3.14	ポート13	...	311
10.3.15	ポート14	...	315
10.3.16	ポート15	...	319
10.3.17	ポートCD	...	324
10.3.18	ポートCM	...	327
10.3.19	ポートCS	...	333
10.3.20	ポートCT	...	336
10.3.21	ポートDH	...	341
10.3.22	ポートDL	...	345

第11章 16ビット・タイマ/イベント・カウンタ00-05 ... 349

11.1	特 徴	...	349
11.2	機能概要	...	349
11.3	構 成	...	350
11.3.1	タイマ0n (TM0n)	...	351
11.3.2	キャプチャ/コンペア・レジスタ0n0, 0n1 (CC0n0, CC0n1)	...	353
11.4	制御レジスタ	...	355
11.4.1	タイマ・モード・コントロール・レジスタ0n0 (TMC0n0)	...	355
11.4.2	タイマ・モード・コントロール・レジスタ0n1 (TMC0n1)	...	357
11.4.3	有効エッジ選択レジスタ0n (SES0n)	...	359
11.5	動 作	...	360
11.6	使用例	...	367
11.7	注意事項	...	376

第12章 16ビット・タイマ/カウンタ10-15 ... 377

12.1	特 徴	...	377
12.2	機能概要	...	377
12.3	構 成	...	377
12.3.1	16ビット・タイマ/カウンタ10-15 (TM10-TM15)	...	378
12.3.2	コンペア・レジスタ10-15 (CM10-CM15)	...	379
12.4	制御レジスタ	...	381
12.4.1	タイマ・モード・コントロール・レジスタ10-15 (TMC1n)	...	381
12.5	動 作	...	382
12.6	使用例	...	384
12.7	注意事項	...	384

第13章 8ビット・タイマ/イベント・カウンタ20-211 ... 385

13.1	機 能	...	385
13.2	構 成	...	386
13.2.1	8ビット・タイマ・カウンタ20-211 (TM20-TM211)	...	387
13.2.2	8ビット・タイマ・コンペア・レジスタ20-211 (CR20-CR211)	...	387
13.3	制御レジスタ	...	388
13.3.1	タイマ・クロック選択レジスタ20-211 (TCL20-TCL11)	...	388
13.3.2	8ビット・タイマ・モード・コントロール・レジスタ20-211 (TMC20-TMC211)	...	390
13.4	動 作	...	392

13.4.1	インターバル・タイマ (8ビット) としての動作	...	392
13.4.2	外部イベント・カウンタ (8ビット) としての動作	...	394
13.4.3	方形波出力 (8ビット分解能) としての動作	...	395
13.4.4	8ビットPWM出力としての動作	...	397
13.4.5	インターバル・タイマ (16ビット) としての動作	...	400
13.4.6	外部イベント・カウンタ (16ビット) としての動作	...	402
13.4.7	方形波出力 (16ビット分解能) としての動作	...	403
13.5	注意事項	...	404
第14章	32ビット・タイマ/イベント・カウンタ3	...	405
14.1	概要	...	405
14.2	機能	...	406
14.3	構成	...	408
14.3.1	32ビット・タイマ3	...	408
14.3.2	分周器	...	411
14.3.3	マスク・タイマ	...	412
14.4	制御レジスタ	...	414
14.4.1	32ビット・タイマ3	...	414
14.4.2	分周器	...	418
14.4.3	マスク・タイマ	...	419
14.5	動作	...	420
14.5.1	32ビット・タイマ3	...	420
14.5.2	分周器	...	424
14.5.3	マスク・タイマ	...	426
14.5.4	ノイズ除去回路	...	431
第15章	ウォッチドッグ・タイマ機能	...	432
15.1	機能	...	432
15.2	構成	...	434
15.3	制御レジスタ	...	434
15.3.1	発振安定時間選択レジスタ (OSTS)	...	434
15.3.2	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)	...	435
15.3.3	ウォッチドッグ・タイマ・モード・レジスタ (WDTM)	...	436
15.3.4	WDTリセット・レジスタ (WDRES)	...	437
15.4	動作	...	438
15.4.1	ウォッチドッグ・タイマとしての動作	...	438
15.4.2	インターバル・タイマとしての動作	...	439
15.4.3	発振安定時間の選択機能	...	440
第16章	アシンクロナス・シリアル・インタフェースn (UARTn)	...	441
16.1	シリアル・インタフェース概要	...	441
16.1.1	シリアル・インタフェース構成	...	442
16.2	特徴	...	443
16.2.1	UARTとCSIのモード切り換え	...	443
16.3	構成	...	444
16.4	制御レジスタ	...	446

16.4.1	アシンクナス・シリアル・インタフェース・モード・レジスタ _n (ASIM _n)	...	446
16.4.2	アシンクナス・シリアル・インタフェース・ステータス・レジスタ _n (ASIS _n)	...	449
16.4.3	アシンクナス・シリアル・インタフェース送信ステータス・レジスタ _n (ASIF _n)	...	450
16.4.4	アシンクナス・シリアル・インタフェース・コントロール・レジスタ _n (ASICL _n)	...	451
16.4.5	受信バッファ・レジスタ _n (RXB _n)	...	452
16.4.6	送信バッファ・レジスタ _n (TXB _n)	...	453
16.5	割り込み要求	...	454
16.6	動作	...	455
16.7	専用ポー・レート・ジェネレータ _n (BRG _n)	...	468
16.7.1	ポー・レート・ジェネレータ _n (BRG _n)の構成	...	468
16.7.2	シリアル・クロックの生成	...	469
16.7.3	ポー・レート設定例	...	472
16.7.4	受信時の許容ポー・レート範囲	...	473
16.7.5	連続送信時の転送レート	...	475
16.8	注意事項	...	475

第17章 クロック同期式シリアル・インタフェース_n(CSIn) ... 476

17.1	特徴	...	476
17.2	構成	...	476
17.3	制御レジスタ	...	478
17.3.1	クロック同期式シリアル・インタフェース・モード・レジスタ _n (CSIM _n)	...	478
17.3.2	クロック同期式シリアル・インタフェース・クロック選択レジスタ _n (CSIC _n)	...	480
17.3.3	シリアルI/Oシフト・レジスタ _n (SIO _n)	...	481
17.3.4	受信専用シリアルI/Oシフト・レジスタ _n (SIOEn)	...	481
17.3.5	クロック同期式シリアル・インタフェース送信バッファ・レジスタ _n (SOTB _n)	...	482
17.4	専用ポー・レート・ジェネレータ	...	483
17.4.1	プリスケアラ・モード・レジスタ _n (PRSM _n)	...	483
17.4.2	プリスケアラ・コンペア・レジスタ _n (PRSCM _n)	...	484
17.4.3	シリアル・クロック設定例	...	485
17.5	動作	...	486
17.6	出力端子	...	489
17.7	システム構成例	...	490

第18章 自動送受信機能付きクロック同期式シリアル・インタフェース(CSIA) ... 491

18.1	特徴	...	491
18.2	構成	...	492
18.2.1	シリアルI/Oシフト・レジスタ _n (SIOAn)	...	494
18.2.2	自動データ転送アドレス・カウント・レジスタAn(ADTCAn)	...	494
18.3	制御レジスタ	...	495
18.3.1	シリアル動作モード指定レジスタ _n (CSIMAn)	...	495
18.3.2	シリアル・ステータス・レジスタAn(CSISAn)	...	497

- 18.3.3 シリアル・トリガ・レジスタAn (CSITAn) ... 498
- 18.3.4 分周値選択レジスタAn (BRGCAn) ... 498
- 18.3.5 自動データ転送アドレス・ポイント指定レジスタAn (ADTPAn) ... 499
- 18.3.6 自動データ転送間隔指定レジスタAn (ADTIAn) ... 501
- 18.3.7 CSIAnバッファRAM (CBUFnm) ... 502
- 18.4 動作 ... 504
 - 18.4.1 動作停止モード ... 504
 - 18.4.2 3線式シリアルI/Oモード ... 505
 - 18.4.3 自動送受信機能付き3線式シリアルI/Oモード ... 511

第19章 I²Cバス ... 534

- 19.1 構成 ... 537
- 19.2 I²C制御レジスタ ... 539
- 19.3 I²Cバス・モードの機能 ... 554
- 19.4 I²Cバスの定義および制御方法 ... 555
- 19.5 I²C割り込み要求信号 (INTIIC) ... 562
- 19.6 割り込み要求信号 (INTIIC) 発生タイミングおよびウェイト制御 ... 580
- 19.7 アドレスの一致検出方法 ... 581
- 19.8 エラーの検出 ... 581
- 19.9 拡張コード ... 581
- 19.10 アービトレーション ... 582
- 19.11 ウェイク・アップ機能 ... 583
- 19.12 通信予約 ... 584
- 19.13 注意事項 ... 587
- 19.14 通信動作 ... 588
- 19.15 データ通信のタイミング ... 591

第20章 A/Dコンバータ ... 598

- 20.1 機能 ... 598
- 20.2 構成 ... 600
- 20.3 制御レジスタ ... 602
 - 20.3.1 A/Dコンバータ・モード・レジスタ0 (ADM0) ... 602
 - 20.3.2 A/Dコンバータ・モード・レジスタ1 (ADM1) ... 603
 - 20.3.3 A/Dコンバータ・モード・レジスタ2 (ADM2) ... 606
 - 20.3.4 A/D変換結果レジスタ0-23 (ADCR0-ADCR23) ... 607
- 20.4 動作 ... 610
 - 20.4.1 基本動作 ... 610
 - 20.4.2 動作モードとトリガ・モード ... 610
- 20.5 ソフトウェア・トリガ時の動作 ... 617
 - 20.5.1 セレクト・モードの動作 ... 617
 - 20.5.2 スキャン・モードの動作 ... 620
- 20.6 タイマ・トリガ・モード時の動作 ... 621
 - 20.6.1 セレクト・モードの動作 ... 621
 - 20.6.2 スキャン・モードの動作 ... 624
- 20.7 外部トリガ・モード時の動作 ... 626
 - 20.7.1 セレクト・モードの動作 ... 626
 - 20.7.2 スキャン・モードの動作 ... 629

- 20.8 動作上の注意事項 ... 630
- 20.9 A/Dコンバータ特性表の読み方 ... 633

第21章 PWM機能 ... 638

- 21.1 概要 ... 638
- 21.2 構成 ... 638
- 21.3 制御レジスタ ... 640
 - 21.3.1 PWMコントロール・レジスタ0-4 (PWMC0-PWMC4) ... 640
 - 21.3.2 PWMモジュロ・レジスタ0-4 (PWM0-PWM4) ... 641
- 21.4 動作 ... 642
 - 21.4.1 PWM基本動作 ... 642
 - 21.4.2 PWM動作の許可/禁止 ... 645
 - 21.4.3 PWMパルスのアクティブ・レベルの指定 ... 646
 - 21.4.4 PWMパルス幅書き換え周期の指定 ... 647
 - 21.4.5 繰り返し周波数 ... 648

第22章 リアルタイム出力機能 ... 649

- 22.1 機能 ... 649
- 22.2 特徴 ... 649
- 22.3 構成 ... 649
- 22.4 制御レジスタ ... 653
 - 22.4.1 リアルタイム出力ポート・モード・レジスタn (RTPMn) ... 653
 - 22.4.2 リアルタイム出力ポート・コントロール・レジスタn (RTPCn) ... 654
- 22.5 使用方法 ... 656
- 22.6 動作 ... 657
- 22.7 注意事項 ... 658

第23章 JTAGインタフェース ... 659

- 23.1 概要 ... 659

第24章 バウンダリ・スキャン ... 660

- 24.1 概要 ... 660
- 24.2 バウンダリ・スキャン・テスト用レジスタ ... 662

第25章 オンチップ・ディバグ機能 ... 663

- 25.1 概要 ... 663

第26章 リセット機能 ... 664

- 26.1 概要 ... 664
 - 26.1.1 WDTリセット・レジスタ (WDRES) ... 664
- 26.2 動作 ... 665
 - 26.2.1 RESET端子入力によるリセット動作 ... 665
 - 26.2.2 WDTのオーバフローによるリセット動作 (WDTES) ... 668

第27章 フラッシュ・メモリ ... 670

- 27.1 特 徴 ... 670
 - 27.1.1 消去単位 ... 671
- 27.2 フラッシュ・ライターによる書き込み方法 ... 672
- 27.3 プログラミング環境 ... 673
- 27.4 通信方式 ... 674
- 27.5 端子処理 ... 676
 - 27.5.1 MODE0, MODE1端子 ... 676
 - 27.5.2 シリアル・インタフェース端子 ... 677
 - 27.5.3 RESET端子 ... 679
 - 27.5.4 ポート端子 (NMIを含む) ... 679
 - 27.5.5 その他の信号端子 ... 679
 - 27.5.6 電 源 ... 679
- 27.6 プログラミング方法 ... 680
 - 27.6.1 フラッシュ・メモリ制御 ... 680
 - 27.6.2 フラッシュ・メモリ・プログラミング・モード ... 681
 - 27.6.3 通信方式の選択 ... 681
 - 27.6.4 通信コマンド ... 682

第28章 電気的特性 (ターゲット) ... 683

付録A レジスタ索引 ... 711

★ 付録B 改版履歴 ... 725

- B.1 本版で改訂された主な箇所 ... 725

図の目次 (1/7)

図番号	タイトル, ページ
3 - 1	CPUアドレス空間 ... 86
3 - 2	アドレス空間上のイメージ ... 87
3 - 3	メモリ・マップ ... 89
3 - 4	内蔵RAM領域 ... 92
3 - 5	推奨メモリ・マップ ... 96
4 - 1	CSC0レジスタに0703Hを設定した場合の例 ... 123
4 - 2	ウエイト挿入例 ... 135
4 - 3	基本バス・サイクル ... 142
4 - 4	ウエイト・ステート (1ウエイト) 挿入時 ... 143
4 - 5	アイドル・ステート挿入時 ... 144
4 - 6	ウエイト・ステート (1ウエイト), アイドル・ステート挿入時 ... 145
4 - 7	アドレス・ウエイト・ステート挿入時 ... 146
4 - 8	基本バス・サイクル ... 147
4 - 9	ウエイト・ステート (1ウエイト) 挿入時 ... 148
4 - 10	アイドル・ウエイト・ステート挿入時 ... 149
4 - 11	バス・ホールド・サイクル ... 150
6 - 1	ノンマスカブル割り込みの処理形態 ... 158
6 - 2	ノンマスカブル割り込み要求の受け付け動作 ... 159
6 - 3	RETI命令の処理形態 ... 160
6 - 4	マスカブル割り込みの処理形態 ... 165
6 - 5	RETI命令の処理形態 ... 166
6 - 6	割り込み処理中にほかの割り込み要求が発生した場合の処理例 ... 168
6 - 7	同時発生した割り込み要求の処理例 ... 170
6 - 8	ソフトウェア例外の処理形態 ... 179
6 - 9	RETI命令の処理形態 ... 180
6 - 10	例外トラップの処理形態 ... 183
6 - 11	例外トラップからの復帰の処理形態 ... 183
6 - 12	ディバグ・トラップの処理形態 ... 184
6 - 13	ディバグ・トラップから復帰の処理形態 ... 185
6 - 14	割り込み要求受け付け時のパイプライン動作 (概略) ... 188
7 - 1	DMACバス・サイクル (2サイクル転送時) の状態遷移図 ... 204
7 - 2	シングル転送例1 ... 205
7 - 3	シングル転送例2 ... 205
7 - 4	シングル転送例3 ... 206
7 - 5	シングル転送例4 ... 206
7 - 6	シングルステップ転送例1 ... 207

図の目次 (2/7)

図番号	タイトル, ページ
7 - 7	シングルステップ転送例2 ... 207
7 - 8	バッファ・レジスタの構成 ... 209
7 - 9	DMA転送の強制中断例 ... 210
8 - 1	ROMコレクションのブロック図 ... 212
8 - 2	ROMコレクションの動作とプログラムの流れ ... 215
9 - 1	クロック・ジェネレータのブロック図 ... 217
9 - 2	状態遷移図 ... 223
9 - 3	割り込み要求によるソフトウェアSTOPモード解除 ... 236
9 - 4	リセット入力によるソフトウェアSTOPモード解除 (PLLモード) ... 237
9 - 5	リセット入力によるソフトウェアSTOPモード解除 (クロック・スルー・モード時) ... 238
10 - 1	P00-P04のブロック図 ... 245
10 - 2	P05-P07のブロック図 ... 246
10 - 3	P10-P13のブロック図 ... 251
10 - 4	P20, P23のブロック図 ... 256
10 - 5	P21, P24のブロック図 ... 257
10 - 6	P22, P25のブロック図 ... 258
10 - 7	P26, P27のブロック図 ... 259
10 - 8	P30, P32のブロック図 ... 264
10 - 9	P31のブロック図 ... 265
10 - 10	P33のブロック図 ... 266
10 - 11	P34, P37のブロック図 ... 267
10 - 12	P35のブロック図 ... 268
10 - 13	P36のブロック図 ... 269
10 - 14	P40, P43のブロック図 ... 273
10 - 15	P41, P44のブロック図 ... 274
10 - 16	P42, P45のブロック図 ... 275
10 - 17	P46, P47のブロック図 ... 276
10 - 18	P50-512のブロック図 ... 280
10 - 19	P60-P67のブロック図 ... 285
10 - 20	P70-715のブロック図 ... 287
10 - 21	P80-P87のブロック図 ... 289
10 - 22	P90-P915のブロック図 ... 293
10 - 23	P100-P103のブロック図 ... 298
10 - 24	P104-P107のブロック図 ... 299
10 - 25	P110-P116のブロック図 ... 303
10 - 26	P117のブロック図 ... 304

図の目次 (3/7)

図番号	タイトル, ページ
10 - 27	P120-P127のブロック図 ... 310
10 - 28	P130-P137のブロック図 ... 314
10 - 29	P140-P147のブロック図 ... 318
10 - 30	P150-P154のブロック図 ... 322
10 - 31	P155のブロック図 ... 323
10 - 32	PCD0-PCD3のブロック図 ... 326
10 - 33	PCM0, PCM3のブロック図 ... 330
10 - 34	PCM1, PCM2のブロック図 ... 331
10 - 35	PCM4, PCM5のブロック図 ... 332
10 - 36	PCS0-PCS7のブロック図 ... 335
10 - 37	PCT0, PCT1, PCT4, PCT6のブロック図 ... 339
10 - 38	PCT2, PCT3, PCT5, PCT7のブロック図 ... 340
10 - 39	PDH0-PDH9のブロック図 ... 344
10 - 40	PDL0-PDL15のブロック図 ... 348
11 - 1	16ビット・タイマ/イベント・カウンタ00-05のブロック図 ... 350
11 - 2	16ビット・タイマ/イベント・カウンタ00-05の基本動作 ... 360
11 - 3	オーバフロー後の動作 (OST0nビット = 1の場合) ... 361
11 - 4	キャプチャ動作例 (TM01の場合) ... 362
11 - 5	TM01キャプチャ動作例 (両エッジ指定時) ... 363
11 - 6	コンペア動作例 (CCLR01ビット = 1, かつCC010レジスタが0000H以外の場合) ... 364
11 - 7	コンペア動作例 (CCLR01ビット = 1, かつCC010レジスタが0000Hの場合) ... 365
11 - 8	TM01コンペア動作例 (セット/リセット出力モード) ... 366
11 - 9	インターバル・タイマとして使用時のレジスタ設定内容 ... 367
11 - 10	インターバル・タイマ動作タイミング例 ... 368
11 - 11	PWM出力として使用時のレジスタ設定内容 ... 369
11 - 12	PWM出力動作タイミング例 ... 370
11 - 13	ワンショット・パルス出力として使用時のレジスタ設定内容 ... 371
11 - 14	ワンショット・パルス出力動作タイミング例 ... 372
11 - 15	周期測定として使用時のレジスタ設定内容... 374
11 - 16	周期測定動作タイミング例 ... 375
12 - 1	16ビット・タイマ/カウンタ10-15のブロック図 ... 378
12 - 2	TM1n動作中のタイミング例 ... 380
12 - 3	TM10コンペア動作例 ... 382
13 - 1	8ビット・タイマ/イベント・カウンタ20-211のブロック図 ... 386
13 - 2	インターバル・タイマ動作のタイミング ... 392
13 - 3	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 394

図の目次 (4/7)

図番号	タイトル, ページ
13 - 4	方形波出力動作のタイミング ... 396
13 - 5	PWM出力の動作タイミング ... 398
13 - 6	CR2nレジスタ変更による動作のタイミング ... 399
13 - 7	16ビット分解能カスケード接続モード ... 401
13 - 8	タイマ2nのスタート・タイミング ... 404
14 - 1	32ビット・タイマ/イベント・カウンタ3 ... 406
14 - 2	分周器の構成 ... 407
14 - 3	マスク・タイマの構成 ... 407
14 - 4	カウント動作 ... 420
14 - 5	オーバフロー動作 (OST3 = 0) ... 421
14 - 6	オーバフロー動作 (OST3 = 1) ... 421
14 - 7	クリア/スタート動作 ... 422
14 - 8	キャプチャ動作 (TRGn信号) ... 423
14 - 9	コンペア動作 ... 423
14 - 10	カウント動作 ... 424
14 - 11	分周後のキャプチャ動作 ... 425
14 - 12	カウント動作 ... 427
14 - 13	アンダフロー動作 ... 428
14 - 14	クリア/スタート動作 ... 429
14 - 15	マスク期間中のキャプチャ・トリガ検出動作 ... 429
14 - 16	マスク解除後のキャプチャ・トリガ動作 ... 430
15 - 1	ウォッチドッグ・タイマのブロック図 ... 433
16 - 1	シリアル・インタフェース ... 442
16 - 2	アシンクロナス・シリアル・インタフェースnのブロック図 ... 445
16 - 3	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 445
16 - 4	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 457
16 - 5	連続送信の処理フロー ... 460
16 - 6	連続送信の開始手順 ... 461
16 - 7	連続送信の終了手順 ... 462
16 - 8	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 464
16 - 9	受信エラー割り込みを受信完了割り込み (INTSRn) から分離する場合 (ISRMnビット = 0) ... 465
16 - 10	受信エラー割り込みも受信完了割り込み (INTSRn) に含める場合 (ISRMnビット = 1) ... 465
16 - 11	ノイズ・フィルタ回路 ... 467
16 - 12	ノイズとして判断されるRXDn信号のタイミング ... 467

図の目次 (5/7)

図番号	タイトル, ページ
16 - 13	ポー・レート・ジェネレータn (BRGn) の構成 ... 468
16 - 14	受信時の許容ポー・レート範囲 ... 473
16 - 15	連続送信時の転送レート ... 475
17 - 1	クロック同期式シリアル・インタフェースのブロック図 ... 477
17 - 2	転送タイミング ... 487
17 - 3	クロック・タイミング ... 488
17 - 4	CSIのシステム構成例 ... 490
18 - 1	シリアル・インタフェースCSIAのブロック図 ... 493
18 - 2	3線式シリアルI/Oモードのタイミング ... 508
18 - 3	送受信データのフォーマット ... 509
18 - 4	転送ビット順切り換え回路 ... 510
18 - 5	自動送受信モードの動作タイミング ... 519
18 - 6	自動送受信モードのフロー・チャート ... 520
18 - 7	6バイト分送受信するときの内部バッファRAMの動作 (自動送受信モード時) ... 521
18 - 8	自動送信モードの動作タイミング ... 523
18 - 9	自動送信モードのフロー・チャート ... 524
18 - 10	6バイト分送信するときの内部バッファRAMの動作 (自動送信モード時) ... 525
18 - 11	繰り返し送信モードの動作タイミング ... 527
18 - 12	繰り返し送信モードのフロー・チャート ... 528
18 - 13	6バイト分送信するときの内部バッファRAMの動作 (繰り返し送信モード時) ... 529
18 - 14	CSIAの送受信データのフォーマット ... 531
18 - 15	自動送受信の中断と再開 ... 532
18 - 16	自動送受信のインターバル時間 ... 533
19 - 1	I ² Cのブロック図 ... 535
19 - 2	I ² Cバスによるシリアル・バス構成例 ... 536
19 - 3	I ² Cの転送クロック周波数 (f _{SCL}) ... 551
19 - 4	端子構成図 ... 554
19 - 5	I ² Cバスのシリアル・データ転送タイミング ... 555
19 - 6	スタート・コンディション ... 555
19 - 7	アドレス ... 556
19 - 8	転送方向指定 ... 557
19 - 9	アクノリッジ信号 ... 558
19 - 10	ストップ・コンディション ... 559
19 - 11	ウェイト信号 ... 560
19 - 12	アービトレーション・タイミング例 ... 582
19 - 13	通信予約のタイミング ... 585

図の目次 (6/7)

図番号	タイトル, ページ
19 - 14	通信予約受け付けタイミング ... 585
19 - 15	通信予約の手順 ... 586
19 - 16	マスタ動作手順 (1) ... 588
19 - 17	マスタ動作手順 (2) ... 589
19 - 18	スレーブ動作手順 ... 590
19 - 19	マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 592
19 - 20	スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) ... 595
20 - 1	A/Dコンバータのブロック図 ... 599
20 - 2	アナログ入力電圧とA/D変換結果の関係 ... 609
20 - 3	セレクト・モードの動作タイミング例: 1バッファ・モード (ANI1) ... 613
20 - 4	セレクト・モードの動作タイミング例: 4バッファ・モード (ANI6) ... 614
20 - 5	スキャン・モードの動作タイミング例: 4チャンネル・スキャン (ANI0-ANI3) ... 616
20 - 6	1バッファ・モード (ソフトウエア・トリガ・セレクト1バッファ) の動作例 (ANI9) ... 618
20 - 7	4バッファ・モード (A/Dトリガ・セレクト4バッファ) の動作例 (ANI3) ... 619
20 - 8	スキャン・モード (ソフトウエア・トリガ・スキャン) の動作例 (ANI8-ANI12) ... 620
20 - 9	1バッファ・モード (タイマ・トリガ・セレクト1バッファ) の動作例 (ANI5) ... 622
20 - 10	4バッファ・モード (タイマ・トリガ・セレクト4バッファ) の動作例 (ANI4) ... 623
20 - 11	スキャン・モード (タイマ・トリガ・スキャン) の動作例 (ANI0-ANI7) ... 625
20 - 12	1バッファ・モード (外部トリガ・セレクト1バッファ) の動作例 (ANI10) ... 627
20 - 13	4バッファ・モード (外部トリガ・セレクト4バッファ) の動作例 (ANI10) ... 628
20 - 14	スキャン・モード (外部トリガ・スキャン) の動作例 (ANI0-ANI5) ... 629
20 - 15	アナログ入力端子の処理 ... 631
20 - 16	AVDD端子の処理 ... 632
20 - 17	総合誤差 ... 634
20 - 18	量子化誤差 ... 634
20 - 19	ゼロスケール誤差 ... 635
20 - 20	フルスケール誤差 ... 635
20 - 21	微分直線性誤差 ... 636
20 - 22	積分直線性誤差 ... 636
20 - 23	サンプリング時間 ... 637
21 - 1	PWM機能のブロック図 ... 639
21 - 2	主パルスと付加パルスによるPWM出力例 ... 643
21 - 3	PWM出力動作例 ... 644
21 - 4	PWM動作タイミング ... 645
21 - 5	PWM出力のアクティブ・レベル設定 ... 646
21 - 6	PWM出力タイミング例1 (PWMパルス幅書き換え周期 $2^{X+8}/f_{PMMC}$) ... 647
21 - 7	PWM出力タイミング例2 (PWMパルス幅書き換え周期 $2^X/f_{PMMC}$) ... 648

図の目次 (7/7)

図番号	タイトル, ページ
22 - 1	RTOのブロック図 ... 650
22 - 2	RTO0の動作タイミング例 (EXTR0ビット = 0, BYTE0ビット = 0の場合) ... 657
26 - 1	リセット・タイミング (PLLモード : 2逓倍) ... 666
26 - 2	リセット・タイミング (クロック・スルー・モード) ... 667
26 - 3	リセット・タイミング (パワーオン (電源投入) 時) ... 667
26 - 4	WDTRES信号によるリセット・タイミング ... 669
27 - 1	フラッシュ・メモリにプログラムを書き込むための環境 ... 673
27 - 2	専用フラッシュ・ライタとの通信 (UART0) ... 674
27 - 3	専用フラッシュ・ライタとの通信 (CSI0) ... 674
27 - 4	専用フラッシュ・ライタとの通信 (CSI0 + HS) ... 675
27 - 5	信号の衝突 (シリアル・インタフェースの入力端子) ... 677
27 - 6	ほかのデバイスの異常動作 ... 678
27 - 7	信号の衝突 ($\overline{\text{RESET}}$ 端子) ... 679
27 - 8	フラッシュ・メモリの操作手順 ... 680
27 - 9	フラッシュ・メモリ・プログラミング・モード ... 681
27 - 10	通信コマンド ... 682

表の目次 (1/3)

表番号	タイトル, ページ
3 - 1	プログラム・レジスタ一覧 ... 81
3 - 2	システム・レジスタ番号 ... 82
3 - 3	割り込み / 例外テーブル ... 91
4 - 1	バスの優先順位 ... 140
6 - 1	割り込み / 例外要因一覧 ... 153
6 - 2	NMI, INTP0-INTP6の有効エッジの指定 ... 163
6 - 3	INTP7-INTP10端子の有効エッジの指定 ... 163
6 - 4	割り込み制御レジスタのアドレスとビット ... 172
7 - 1	DMA起動要因 ... 201
7 - 2	転送の種類と転送対象の関係 ... 208
7 - 3	DMA転送 (2サイクル転送) 時の外部バス・サイクル ... 208
8 - 1	CORADnレジスタのアドレス ... 213
9 - 1	パワー・セーブ制御によるクロック・ジェネレータの動作 ... 224
9 - 2	HALTモード時の動作状態 ... 229
9 - 3	割り込み要求によるHALTモード解除後の動作 ... 230
9 - 4	IDLEモード時の動作状態 ... 231
9 - 5	割り込み要求によるIDLEモード解除後の動作 ... 232
9 - 6	ソフトウェアSTOPモード時の動作状態 ... 234
9 - 7	割り込み要求によるソフトウェアSTOPモード解除後の動作 ... 235
10 - 1	ポート0の兼用端子 ... 240
10 - 2	有効エッジの指定 ... 244
10 - 3	ポート1の兼用端子 ... 247
10 - 4	有効エッジの指定 ... 250
10 - 5	ポート2の兼用端子 ... 252
10 - 6	ポート3の兼用端子 ... 260
10 - 7	ポート4の兼用端子 ... 270
10 - 8	ポート5の兼用端子 ... 277
10 - 9	ポート6の兼用端子 ... 281
10 - 10	ポート7の兼用端子 ... 286
10 - 11	ポート8の兼用端子 ... 288
10 - 12	ポート9の兼用端子 ... 291
10 - 13	ポート10の兼用端子 ... 294
10 - 14	ポート11の兼用端子 ... 300

表の目次 (2/3)

表番号	タイトル, ページ
10 - 15	ポート12の兼用端子 ... 305
10 - 16	ポート13の兼用端子 ... 311
10 - 17	ポート14の兼用端子 ... 315
10 - 18	ポート15の兼用端子 ... 319
10 - 19	ポートCDの兼用端子 ... 324
10 - 20	ポートCMの兼用端子 ... 327
10 - 21	ポートCSの兼用端子 ... 333
10 - 22	ポートCTの兼用端子 ... 336
10 - 23	ポートDHの兼用端子 ... 341
10 - 24	ポートDLの兼用端子 ... 346
11 - 1	16ビット・タイマ/イベント・カウンタ00-05の構成一覧 ... 350
11 - 2	TO0n出力制御 ... 366
12 - 1	16ビット・タイマ/カウンタ10-15の構成一覧 ... 377
13 - 1	8ビット・タイマ/イベント・カウンタ20-211の構成 ... 386
13 - 2	TMC2nレジスタのアドレス ... 390
14 - 1	キャプチャ・レジスタ30-311 (CP30-CP311) のアドレス ... 409
15 - 1	ウォッチドッグ・タイマの構成 ... 434
15 - 2	ウォッチドッグ・タイマの暴走検出時間 ... 438
15 - 3	インターバル・タイマのインターバル時間 ... 439
16 - 1	発生する割り込みとデフォルト優先順位 ... 454
16 - 2	TXDn端子の出力レベル ... 458
16 - 3	転送方向モードの切り替え ... 458
16 - 4	転送方向モードの切り替え ... 463
16 - 5	受信エラーの要因 ... 465
16 - 6	ボー・レート・ジェネレータ設定データ ... 472
16 - 7	許容最大/最少ボー・レート誤差 ... 474
18 - 1	シリアル・インタフェースCSIA _n の構成 ... 492
18 - 2	バッファRAMのアドレス値とADTPA _n レジスタの設定値の関係 ... 500
18 - 3	CSIA _n バッファRAM ... 503
19 - 1	I ² Cの構成 ... 537
19 - 2	選択クロックの設定 ... 552

表の目次 (3/3)

表番号	タイトル, ページ
19 - 3	INTIIC信号発生タイミングおよびウエイト制御 ... 580
19 - 4	拡張コードのビットの定義 ... 581
19 - 5	アービトレーション発生時の状態と割り込み要求信号発生タイミング ... 583
19 - 6	ウエイト時間 ... 584
20 - 1	A/Dコンバータの構成 ... 600
20 - 2	変換時間 ... 604
20 - 3	アナログ入力端子の指定 ... 606
20 - 4	ADCRm, ADCRmHレジスタのアドレス ... 607
20 - 5	アナログ入力端子とADCRm, ADCRmHレジスタの対応 ... 608
20 - 6	動作モード, トリガ・モードの関係 ... 611
20 - 7	アナログ入力端子とADCRmレジスタの対応 (1バッファ・モード (ソフトウェア・トリガ・セレクト1バッファ)) ... 617
20 - 8	アナログ入力端子とADCRmレジスタの対応 (4バッファ・モード (ソフトウェア・トリガ・セレクト4バッファ)) ... 619
20 - 9	アナログ入力端子とADCRmレジスタの対応 (スキャン・モード (ソフトウェア・トリガ・スキャン)) ... 620
20 - 10	アナログ入力端子とADCRmレジスタの対応 (1バッファ・モード (タイマ・トリガ・セレクト1バッファ)) ... 622
20 - 11	アナログ入力端子とADCRmレジスタの対応 (4バッファ・モード (タイマ・トリガ・セレクト4バッファ)) ... 623
20 - 12	アナログ入力端子とADCRmレジスタの対応 (スキャン・モード (タイマ・トリガ・スキャン)) ... 624
20 - 13	アナログ入力端子とADCRmレジスタの対応 (1バッファ・モード (外部トリガ・セレクト1バッファ)) ... 626
20 - 14	アナログ入力端子とADCRmレジスタの対応 (4バッファ・モード (外部トリガ・セレクト4バッファ)) ... 628
20 - 15	アナログ入力端子とADCRmレジスタの対応 (スキャン・モード (外部トリガ・スキャン)) ... 629
22 - 1	RTOの構成 ... 649
22 - 2	リアルタイム出力バッファ・レジスタnに対する操作時の動作 ... 652
22 - 3	リアルタイム出力ポートの動作モードと出力トリガ (チャンネル0) ... 655
22 - 4	リアルタイム出力ポートの動作モードと出力トリガ (チャンネル1) ... 655
27 - 1	V850E/SV2フラッシュ書き込みアダプタ (FA-257F1-FA5-A) ... 672
27 - 2	専用フラッシュ・ライタ (PG-FP4) の信号生成 ... 675
27 - 3	各シリアル・インタフェースが使用する端子 ... 677
27 - 4	通信方式一覧 ... 681
27 - 5	フラッシュ・メモリ制御用コマンド ... 682
27 - 6	応答コマンド ... 682

第1章 イントロダクション

V850E/SV2は、NECエレクトロニクスのシングルチップ・マイクロコンピュータ「V850シリーズ」の1製品です。この章では、V850E/SV2の概要を説明します。

1.1 概 説

V850E/SV2は、V850シリーズの高性能CPU「V850E1コア」、大容量ROM/RAM、タイマ/カウンタ、A/Dコンバータ、シリアル・インタフェース、DMAコントローラなど豊富な周辺機能を内蔵した32ビット・シングルチップ・マイクロコンピュータです。

(1) デジタル・ビデオ・カメラ (DVC) システムのマイコン制御の統合に対応

512 Kバイト / 24 Kバイトの大容量ROM/RAM、ソフトウェア・サーボ制御に最適な32ビット多機能タイマを含む26チャンネルのタイマ/カウンタ、24チャンネル入力のA/Dコンバータ、専用PWM出力、リアルタイム出力ポートなど、豊富な周辺機能を内蔵し、DVCシステムのマイコン制御の統合に対応できます。

(2) セットの小型化を実現

多機能、豊富な周辺機能を多ピン、小サイズCSP (Chip Size Package) 257ピンFBGAパッケージに封止し、実装面積の縮小に貢献し、セットの小型化を実現できます。

(3) オンチップ・デバッグ機能、バウンダリ・スキャン機能でシステム開発を強力にサポート

実装基板上での電気的特性の評価やデバッグが可能なオンチップ・デバッグ機能、実装状態を確認可能なバウンダリ・スキャン機能を内蔵しており、システム開発を強力にサポートします。また、オンチップ・デバッグ機能は、フラッシュ・メモリ品、マスクROM品両方に搭載し、第三者へのプログラム漏洩を防ぐROMセキュリティ回路を内蔵しています。

また、最適化Cコンパイラ、デバッガ、インサーキット・エミュレータ、シミュレータ、システム・パフォーマンス・アナライザなどの統合された開発環境も用意しています。

(4) 高性能CPU「V850E1コア」搭載

「V850E1コア」は、RISC型命令セットをサポートしており、1命令を1クロックで実行する基本命令と、最適化されたパイプラインにより、命令実行速度を飛躍的に向上させています。さらにデジタル・サーボ制御の応用に最適な命令として、32ビットのハードウェア乗算器による乗算命令、飽和積和演算命令、ビット操作命令などもサポートしています。

また、2バイト長の基本命令、高級言語対応命令などにより、Cコンパイラでのオブジェクト・コード効率を高めており、プログラム・サイズのコンパクト化を実現します。

さらに、内蔵割り込みコントローラでの処理を含む割り込み応答時間も高速なため、高度なリアルタイム制御分野に適しています。

1.2 特 徴

- 命令数 83
- 最小命令実行時間 26.7 ns (内部37.5 MHz動作時)
- 汎用レジスタ 32ビット×32本
- 命令セット V850E1 CPU
 符号付き乗算 (32ビット×32ビット 64ビット) : 1-2クロック
 飽和演算命令 (オーバフロー/アンダフロー検出機能付き)
 32ビット・シフト命令 : 1クロック
 ビット操作命令
 ロング/ショート形式を持つロード/ストア命令
 符号付きロード命令
- メモリ空間 256 Mバイト・リニア・アドレス空間 (プログラム/データ共有)
 チップ・セレクト出力機能 : 8空間
 メモリ・ブロック分割機能 : 2 M, 4 M, 8 Mバイト/ブロック
 プログラマブル・ウェイト機能
 アイドル・ステート挿入機能
- 外部バス・インタフェース
 16ビット・データ・バス
 ・アドレス/データ・マルチプレクス
 ・擬似セパレート・バス出力可能
 16/8ビット・バス・サイジング機能
 バス・ホールド機能
 外部ウェイト機能
 バス・クロック分周機能

内蔵メモリ

製品名	内蔵ROM	内蔵RAM
μ PD70F3166, 70F3166Y	512 Kバイト (フラッシュ・メモリ)	24 Kバイト
μ PD703166, 703166Y	512 Kバイト (マスクROM)	24 Kバイト

- 割り込み / 例外
- 外部割り込み : 12本 (NMI含む)
- 内部割り込み : 76要因 (μ PD703166Y, 70F3166Y)
 75要因 (μ PD703166, 70F3166)
- 例外 : 1要因
- 8レベルの優先順位指定可能

DMAコントローラ

4チャンネル構成

転送単位 : 8ビット / 16ビット

最大転送回数 : 65536 (2^{16}) 回

転送タイプ : 2サイクル転送

転送モード : シングル転送 / シングルステップ転送 / ブロック転送

転送対象 : 内蔵RAM, 周辺I/O, 外部メモリ

転送要求 : 内蔵周辺I/O / ソフトウェア

ネクスト・アドレス設定機能

ROMコレクション

8箇所修正可能

I/Oライン

入力ポート : 24本

入出力ポート : 171本

合計 : 195本

リアルタイム・パルス・ユニット

16ビット・タイマ / カウンタ (TM00-TM05) : 6チャンネル

16ビット・インターバル・タイマ (TM10-TM15) : 6チャンネル

8ビット・タイマ / カウンタ (TM20-TM211) : 12チャンネル

カスケード接続可能

32ビット・タイマ / カウンタ (TM3) : 1チャンネル

1-256分周器 : 4チャンネル

8ビット・マスク・タイマ : 2チャンネル

ウォッチドッグ・タイマ : 1チャンネル

オーバフローによるノンマスクابل割り込み発生機能

オーバフローによるマスクابل割り込み発生機能

オーバフローによるリセット機能付き

シリアル・インタフェース (SIO)

アシンクロナス・シリアル・インタフェース (UART) : 2チャンネル

クロック同期式シリアル・インタフェース (CSI) : 4チャンネル

自動送受信機能付きクロック同期式シリアル・インタフェース (CSIA) : 2チャンネル

I²Cバス・インタフェース (I²C) : 1チャンネル (μ PD703166Y, 70F3166Y)

独立して8ch使用可能

CSI : 3チャンネル

CSI/UART : 1チャンネル

CSIA : 2チャンネル

UART : 1チャンネル

I²C : 1チャンネル

A/Dコンバータ	10ビット分解能A/Dコンバータ：24チャンネル セレクト/スキャン・モード対応 A/D変換結果バッファ：10ビット×24本
PWM出力機能	12-16ビット分解能：5ch
リアルタイム出力機能	8ビット×2ch (各チャンネルを8ビット×1ch, 4ビット×2chに選択可能)
JTAG	バウンダリ・スキャン機能 オンチップ・デバッグ機能
クロック・ジェネレータ	PLLモード(2, 3逡倍) クロック・スルー・モード
パワー・セーブ機能	HALT/IDLE / ソフトウェアSTOPモード
パッケージ	257ピン・プラスチックFBGA (ファインピッチ) (14×14)
CMOS構造	完全スタティック回路

1.3 応用分野

- ・ DVC , バッテリ駆動機器全般

1.4 オーダ情報

品 名	パッケージ	内蔵ROM
μ PD703166F1-xxx-FA5	257ピン・プラスチックFBGA (ファインピッチ) (14×14)	マスクROM
★ μ PD703166F1-xxx-FA5-A	"	"
μ PD703166YF1-xxx-FA5	"	"
★ μ PD703166YF1-xxx-FA5-A	"	"
μ PD70F3166F1-FA5	"	フラッシュ・メモリ
★ μ PD70F3166F1-FA5-A	"	"
μ PD70F3166YF1-FA5	"	"
★ μ PD70F3166YF1-FA5-A	"	"

備考1. xxxはROMコード番号です。

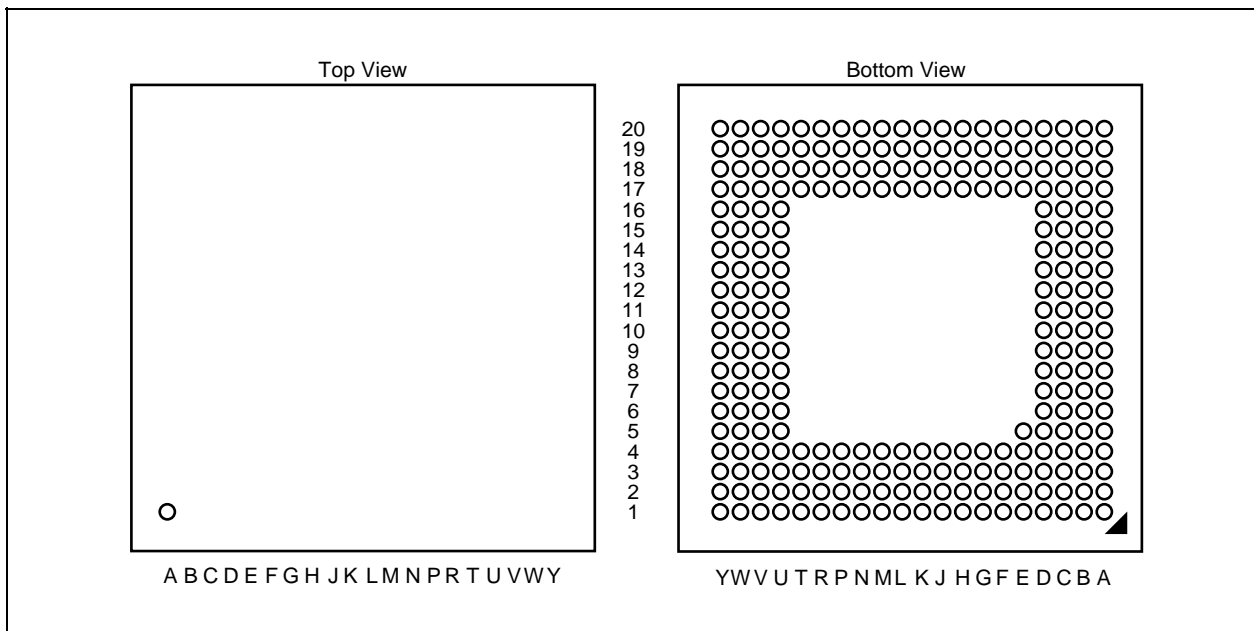
2. ROMレス品はありません。

3. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

1.5 端子接続図

・ 257ピン・プラスチックFBGA (14 × 14)

- ★ ・ μ PD703166F1-xxx-FA5 ・ μ PD703166F1-xxx-FA5-A ・ μ PD70F3166F1-FA5
- ★ ・ μ PD70F3166F1-FA5-A ・ μ PD703166YF1-xxx-FA5 ・ μ PD703166YF1-xxx-FA5-A
- ★ ・ μ PD70F3166YF1-FA5 ・ μ PD70F3166YF1-FA5-A



ピン番号	名称	ピン番号	名称	ピン番号	名称
A1	NC ^注	B1	NC ^注	C1	AV _{DD}
A2	P70/ANI0	B2	NC ^注	C2	NC ^注
A3	P72/ANI2	B3	P71/ANI1	C3	AV _{SS}
A4	P75/ANI5	B4	P74/ANI4	C4	P73/ANI3
A5	P78/ANI8	B5	P77/ANI7	C5	P79/ANI9
A6	P721/ANI12	B6	P711/ANI11	C6	P713/ANI13
A7	P715/ANI15	B7	P80/ANI16	C7	P81/ANI17
A8	P83/ANI19	B8	P84/ANI20	C8	P85/ANI21
A9	P87/ANI23	B9	EV _{DD}	C9	EV _{SS}
A10	V _{DD}	B10	P154/PWM4	C10	P155
A11	P152/PWM2	B11	P150/PWM0	C11	P153/PWM3
A12	P146/RTP16	B12	P144/RTP14	C12	P147/RTP17
A13	P142/RTP12	B13	P136/RTP06	C13	P143/RTP13
A14	P137/RTP07	B14	P132/RTP02	C14	P140/RTP10
A15	P133/RTP03	B15	P127/TI27/TO27	C15	P134/RTP04
A16	P130/RTP00	B16	P123/TI23/TO23	C16	P126/TI26/TO26
A17	P125/TI25/TO25	B17	P120/TI20/TO20	C17	P122/TI22/TO22
A18	P121/TI21/TO21	B18	NC ^注	C18	P117
A19	NC ^注	B19	NC ^注	C19	P116/CLO
A20	NC ^注	B20	NC ^注	C20	P114//TO04

注 NC端子はオープンにしてください。

ピン番号	名称	ピン番号	名称	ピン番号	名称
D1	TMS	G3	PCM1/CLKOUT	M2	PDH2/A18
D2	AV _{REF}	G4	PCD0	M3	PDH5/A21
D3	TCK	G17	P101/INTP041	M4	PDH3/A19
D4	TDO	G18	V _{DD}	M17	P56/ICP36
D5	P76/ANI6	G19	V _{SS}	M18	MODE1
D6	P710/ANI10	G20	P100/INTP040/TI04/TCLR04	M19	V _{SS}
D7	P714/ANI14	H1	V _{DD}	M20	MODE0
D8	P82/ANI18	H2	V _{SS}	N1	PDH8/A24
D9	P86/ANI22	H3	PCD3	N2	PDH6/A22
D10	V _{SS}	H4	PCD1	N3	PDH7/A23
D11	P151/PWM1	H17	P67/INTP031	N4	PDH9/A25
D12	P145/RTP15	H18	P64/INTP020/TI02/TCLR02	N17	P54/ICP34
D13	P141/RTP11	H19	P65/INTP021	N18	P55/ICP35
D14	P135/RTP05	H20	P66/INTP030/TI03/TCLR03	N19	P52/ICP32
D15	P131/RTP01	J1	X1	N20	V _{DD}
D16	P124/TI24/TO24	J2	CV _{DD}	P1	V _{SS}
D17	P115/TO05	J3	PCD2	P2	EV _{SS}
D18	P111/TO01	J4	CKSEL1	P3	EV _{DD}
D19	P113/TO03	J17	P63/INTP011	P4	V _{DD}
D20	P112/TO02	J18	P60/INTP000/TI00/TCLR00	P17	P50/ICP30
E1	EV _{SS}	J19	P61/INTP001	P18	P53/ICP33
E2	TDI	J20	P62/INTP010/TI01/TCLR01	P19	P46
E3	EV _{DD}	K1	X2	P20	P51/ICP31
E4	TRST	K2	CV _{SS}	R1	PDL2/AD2
E5	NC ^注	K3	PLLSEL	R2	PDL1/AD1
E17	P106/TI210/TO210	K4	RESET	R3	PDL0/AD0
E18	P110/TO00	K17	EV _{DD}	R4	PDL3/AD3
E19	P107/TI211/TO211	K18	P512/TI3	R17	P45/SCK1
E20	NC ^注	K19	P511/ICP311	R18	P47
F1	MODEJ	K20	EV _{SS}	R19	P43/SO1
F2	PCM0/WAIT	L1	PV _{DD}	R20	NC ^注
F3	PCM2/HLDAK	L2	PV _{SS}	T1	PDL5/AD5
F4	PCM5	L3	PDH0/A16	T2	PDL6/AD6
F17	P105/TI29/TO29	L4	PDH1/A17	T3	PDL4/AD4
F18	P102/INTP050/TI05/TCLR05	L17	P58/ICP38	T4	PDL7/AD7
F19	P103/INTP051	L18	P510/ICP310	T17	P44/SI1
F20	P104/TI28/TO28	L19	P57/ICP37	T18	P41/SI0
G1	PCM3/HLDRQ	L20	P59/ICP39	T19	P37/SCK3
G2	PCM4	M1	PDH4/A20	T20	P42/SCK0

注 NC端子はオープンにしてください。

ピン番号	名称	ピン番号	名称	ピン番号	名称
U1	PDL9/AD9	V8	PCS3/CS3	W15	P11/INTP8
U2	PDL10/AD10	V9	PCS6/CS6	W16	P13/INTP10
U3	PDL8/AD8	V10	V _{SS}	W17	P24/SIA1
U4	PDL11/AD11	V11	PCT0/LWR	W18	P30/TXD0
U5	P97/A7	V12	PCT4/RD	W19	NC ^{注1}
U6	P98/A8	V13	PCT7	W20	P32/SO2
U7	P912/A12	V14	P03/INTP2	Y1	NC ^{注1}
U8	PCS0/CS0	V15	P07/INTP6/RTPTRG1	Y2	PDL13/AD13
U9	PCS4/CS4	V16	P21/SIA0	Y3	PDL15/AD15
U10	EV _{DD}	V17	P25/SCKA1	Y4	P92/A2
U11	PCT2	V18	P26/SDA ^{注2}	Y5	P95/A5
U12	PCT6/ASTB	V19	NC ^{注1}	Y6	P99/A9
U13	P02/INTP1	V20	P33/SI2	Y7	P913/A13
U14	P06/INTP5/RTPTRG0	W1	NC ^{注1}	Y8	PCS1/CS1
U15	P12/INTP9	W2	NC ^{注1}	Y9	PCS5/CS5
U16	P22/SCKA0	W3	NC ^{注1}	Y10	EV _{SS}
U17	P35/SO3/TXD1	W4	PDL14/AD14	Y11	PCT1/UWR
U18	P40/SO0	W5	P91/A1	Y12	PCT5
U19	P34/SCK2	W6	P96/A6	Y13	P01/INTP0
U20	P36/SI3/RXD1	W7	P910/A10	Y14	P04/INTP3
V1	PDL12/AD12	W8	P914/A14	Y15	P10/INTP7
V2	NC ^{注1}	W9	PCS2/CS2	Y16	P20/SOA0
V3	P90/A0	W10	PCS7/CS7	Y17	P23/SOA1
V4	P93/A3	W11	V _{DD}	Y18	P27/SCL ^{注2}
V5	P94/A4	W12	PCT3	Y19	P31/RXD0
V6	P911/A11	W13	P00/NMI	Y20	NC ^{注1}
V7	P915/A15	W14	P05/INTP4/ADTRG	-	-

注1. NC端子はオープンにしてください。

2. SDA, SCL端子は, μ PD703166Y, 70F3166Yのみです。

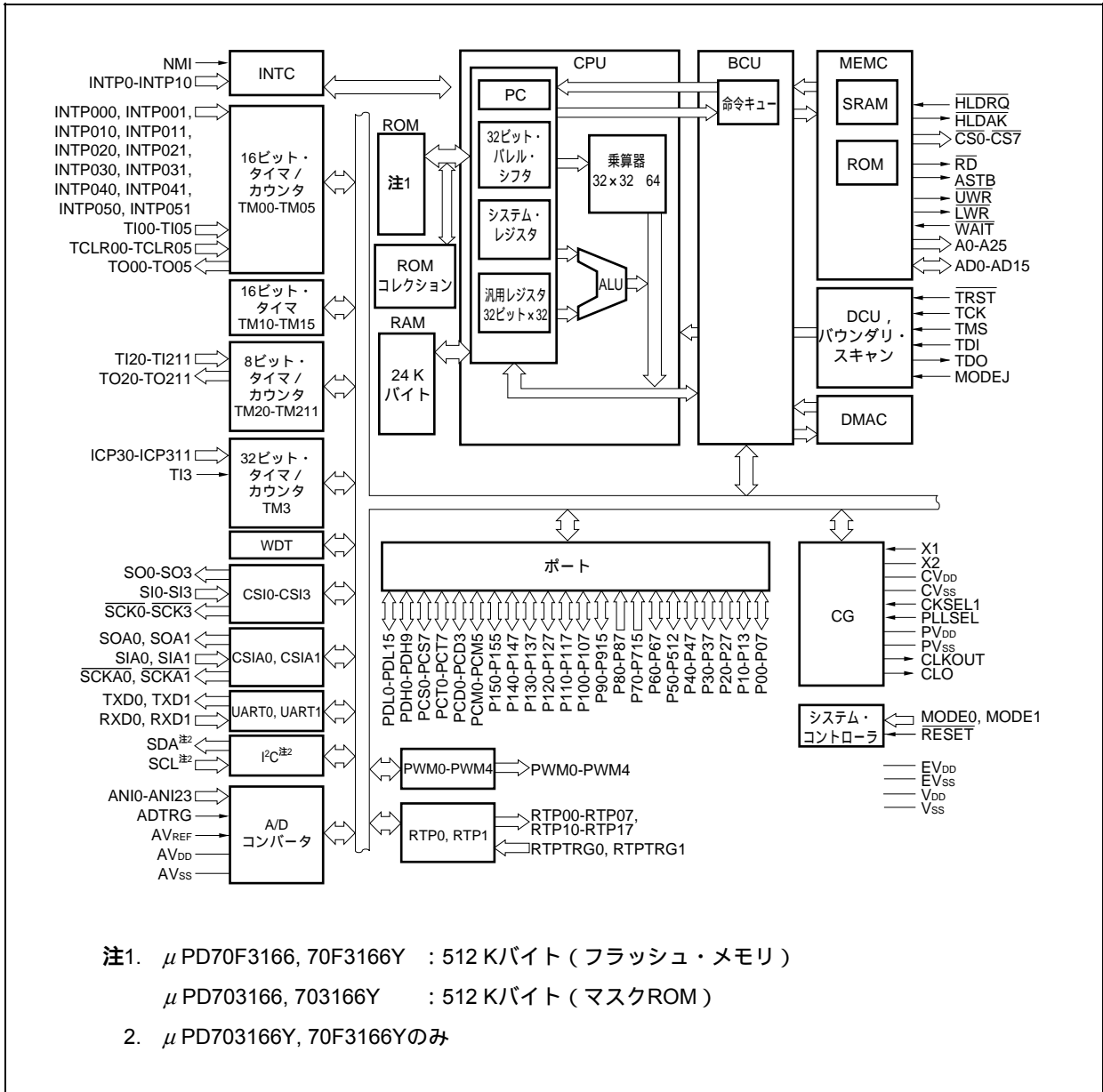
端子名称

A0-A25	: Address Bus	P90-P915	: Port 9
AD0-AD15	: Address/Data Bus	P100-P107	: Port 10
ADTRG	: A/D Trigger Input	P110-P117	: Port 11
ANI0-ANI23	: Analog Input	P120-P127	: Port 12
ASTB	: Address Strobe	P130-P137	: Port 13
AV _{DD}	: Analog Power Supply	P140-P147	: Port 14
AV _{REF}	: Analog Reference Voltage	P150-P155	: Port 15
AV _{SS}	: Analog Ground	PCD0-PCD3	: Port CD
CKSEL1	: Clock Generator Operating Mode Select	PCM0-PCM5	: Port CM
CLK_DBG	: Debug Clock	PCS0-PCS7	: Port CS
CLKOUT	: Clock Output	PCT0-PCT7	: Port CT
CLO	: Clock Output (Divided)	PDH0-PDH9	: Port DH
$\overline{\text{CS0-CS7}}$: Chip Select	PDL0-PLD15	: Port DL
CV _{DD}	: Power Supply for Clock Generator	PLLSEL	: Select for PLL
CV _{SS}	: Ground for Clock Generator	PV _{DD}	: Power Supply for PLL
EV _{DD}	: Power Supply for Port	PV _{SS}	: Ground for Port
EV _{SS}	: Ground for Port	PWM0-PWM4	: Pulse Width Modulaiton
$\overline{\text{HLDAK}}$: Hold Acknowledge	$\overline{\text{RD}}$: Read Strobe
$\overline{\text{HLDRQ}}$: Hold Request	$\overline{\text{RESET}}$: Reset
INTP0-INTP10,	: Interrupt Request from Peripherals	RTPTRG0,	: Trigger for RTP
INTP000, INTP001,		RTPTRG1	
INTP010, INTP011,		RTP00-RTP07,	: Real-time Output Port
INTP020, INTP021,		RTP10-RTP17	
INTP030, INTP031,		RXD0, RXD1	: Receive Data
INTP040, INTP041,		$\overline{\text{SCK0-SCK3}}$,	: Serial Clock
INTP050, INTP051,		$\overline{\text{SCKA0}}$, $\overline{\text{SCKA1}}$,	
ICP30-ICP311		SCL	
$\overline{\text{LWR}}$: Lower Write Strobe	SDA	: Serial Data
MODE0, MODE1	: Mode	SI0-SI3,	: Serial Input
MODE J		SIA0, SIA1	
NC	: No Connection	SO0-SO3,	: Serial Output
NMI	: Non-maskable Interrupt Request	SOA0, SOA1	
P00-P07	: Port 0	TCK	: JTAG Clock
P10-P13	: Port 1	TCLR00-TCLR05	: Timer Clear
P20-P27	: Port 2	TCUD10, TCUD11	: Timer Control Pulse Input
P30-P37	: Port 3	TDI	: JTAG Data Input
P40-P47	: Port 4	TDO	: JTAG Data Output
P50-P512	: Port 5	TI00-TI05,	: Timer Input
P60-P67	: Port 6	TI20-TI211, TI3	
P70-P715	: Port 7	TMS	: JTAG Mode
P80-P87	: Port 8		

TO00-TO05,	: Timer Output	V _{DD}	: Power Supply
TO20-TO211		V _{SS}	: Ground
$\overline{\text{TRST}}$: JTAG Reset	$\overline{\text{WAIT}}$: Wait
TXD0, TXD1	: Transmit Data	X1, X2	: Crystal
$\overline{\text{UWR}}$: Upper Write Strobe		

1.6 機能ブロック構成

1.6.1 内部ブロック図



1.6.2 内部ユニット

(1) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器(16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット), パレル・シフタ(32ビット)などの専用ハードウェアを内蔵し, 複雑な命令処理の高速化を図っています。

(2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は, プリフェッチ・アドレスを生成し, 命令コードのプリフェッチを行います。プリフェッチされた命令コードは, CPU内部の命令キューに取り込まれます。

(3) メモリ・コントローラ (MEMC)

外部拡張時にSRAM, ROM, 各種I/Oの制御を行います。

(4) DMAコントローラ (DMAC)

CPUの代わりにメモリ, I/O間でのデータの転送を行います。

アドレス・モードには, 2サイクル転送があります。バス・モードには, シングル転送, シングルステップ転送, ブロック転送の3種類があります。

(5) ROM

μ PD70F3166, 70F3166Yではフラッシュ・メモリ(512 Kバイト), μ PD703166, 703166YではマスクROM(512 Kバイト)を内蔵しています。

命令フェッチ時にCPUから1クロックでアクセスできます。

(6) RAM

FFFF8000H番地から24 Kバイトがマッピングされています。

命令フェッチ時, データ・アクセス時に, CPUから1クロックでアクセスできます。

(7) 割り込みコントローラ (INTC)

内蔵周辺I/Oおよび外部からのハードウェア割り込み要求(NMI, INTP0-INTP10)を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位が指定でき, 割り込み要因に対して多重処理制御を行うこともできます。

(8) クロック・ジェネレータ (CG)

入力クロック(f_x)の2, 3倍(内蔵PLL使用), または入力クロックの周波数を内部システム・クロック(f_{xx})として供給します。入力クロックとして外部発振子をX1, X2端子に接続するか(内蔵PLLシンセサイザ使用時だけ), 外部クロックをX1端子から入力します。

(9) タイマ/カウンタ

32ビットの多機能タイマ/カウンタを1チャンネル、16ビット・タイマ/カウンタを6チャンネル、16ビットインターバル・タイマを6チャンネル、8ビット・タイマ/カウンタを12チャンネルを内蔵しています。外部イベント制御、パルス幅測定、周波数計測、プログラマブルなパルス出力などできます。

2チャンネルの8ビット・タイマ/カウンタをカスケード接続して、16ビット・タイマ/カウンタとしても使用することができます。

(10) ウォッチドッグ・タイマ

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。インターバル・タイマとしても使用できます。

ウォッチドッグ・タイマとして使用する場合は、ウォッチドッグ・タイマのオーバフローによるノンマスカブル割り込み (INTWDT) あるいはリセット用ウォッチドッグ・タイマ出力信号 (WDTRES) が発生します。

インターバル・タイマとして使用する場合は、ウォッチドッグ・タイマのオーバフローによりマスカブル割り込み (INTWDTM) が発生します。また、ソフトウェアSTOPモード解除時の発振安定時間のカウンタにも使用されます。

(11) シリアル・インタフェース (SIO)

V850E/SV2には、シリアル・インタフェースとして、アシンクロナス・シリアル・インタフェースを2チャンネル (UART0, UART1)、クロック同期式シリアル・インタフェースを3チャンネル (CSI0-CSI3)、自動送受信機能付きクロック同期式シリアル・インタフェースを2チャンネル (CSIA0, CSIA1)、I²Cバス・インタフェース (I²C) を1チャンネル内蔵して、最大8チャンネルを同時に使用できます。このうち1チャンネルはCSIとUARTの切り替えが可能です。

UART0, UART1は、TXD0, TXD1, RXD0, RXD1端子によりデータ転送を行います。

CSI0-CSI3は、SO0-SO3, SI0-SI3, $\overline{SCK0}$ - $\overline{SCK3}$ 端子によりデータ転送を行います。

CSIA0, CSIA1は、SOA0, SOA1, SIA0, SIA1, $\overline{SCKA0}$, $\overline{SCKA1}$ 端子によりデータ転送を行います。

I²Cは、SDA, SCL端子によりデータ転送を行います。

(12) A/Dコンバータ (ADC)

24本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。A/D変換結果レジスタ (ADCR0-ADCR23) を24本内蔵し、セレクト・モード (1バッファ/4バッファ・モード)、スキャン・モードに対応しています。

(13) PWM (Pulse Width Modulation)

12-16ビット分解能のPWM出力機能を5チャンネル内蔵しています。PWM出力は、外部回路でロウ・パス・フィルタを用いることで、D/Aコンバータ出力としても利用することができます。モータ制御などに最適です。

(14) リアルタイム出力ポート (RTP)

あらかじめ出力バッファに設定した8ビット・データを、外部割り込みや、外部トリガ信号またはタイマのコンペア・レジスタの一致信号により、リアルタイムにポートへ出力するリアルタイム出力ポートを2チャンネル内蔵しています。各チャンネルを8ビット×1チャンネルまたは4ビット×2チャンネルとして利用できます。

(15) JTAGインタフェース

JTAG (Joint Test Action Group) の通信仕様を利用して、IEEE1149.1に準拠したバウンダリ・スキャン (BSCAN) とN-Wire型インサーキット・エミュレータを介したオンチップ・ディバグ機能を内蔵しています。バウンダリ・スキャン機能とオンチップ・ディバグ機能の切り替えは、制御端子 (MODEJ) の入力レベルによって行っています。

(16) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	制御機能
ポート0	8ビット入力	NMI入力 外部割り込み入力 A/Dコンバータ外部トリガ入力 リアルタイム出力ポート・トリガ入力
ポート1	4ビット入出力	外部割り込み入力
ポート2	8ビット入出力	シリアル・インタフェース入出力
ポート3	8ビット入出力	シリアル・インタフェース入出力
ポート4	8ビット入出力	シリアル・インタフェース入出力
ポート5	13ビット入出力	タイマ入力
ポート6	8ビット入出力	タイマ入力
ポート7	16ビット入力	A/Dコンバータ・アナログ入力
ポート8	8ビット入力	A/Dコンバータ・アナログ入力
ポート9	16ビット入出力	外部アドレス・バス
ポート10	8ビット入出力	タイマ入出力
ポート11	8ビット入出力	タイマ出力, クロック出力
ポート12	8ビット入出力	タイマ入出力
ポート13	8ビット入出力	リアルタイム出力ポート
ポート14	8ビット入出力	リアルタイム出力ポート
ポート15	6ビット入出力	PWM出力
ポートCD	4ビット入出力	-
ポートCM	6ビット入出力	外部ウエイト挿入信号入力 内部システム・クロック出力 外部バス・インタフェース制御信号入出力
ポートCS	8ビット入出力	外部バス・インタフェース制御信号出力
ポートCT	8ビット入出力	外部バス・インタフェース制御信号出力
ポートDH	8ビット入出力	外部アドレス・バス
ポートDL	16ビット入出力	外部アドレス/データ・バス

第2章 端子機能

V850E/SV2の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

2.1 端子機能一覧

(1) ポート端子

(1/6)

端子名称	入出力	PULL	機能	兼用端子
P00	入出力	あり	ポート0 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	NMI
P01				INTP0
P02				INTP1
P03				INTP2
P04				INTP3
P05				INTP4/ADTRG
P06				INTP5/RTPTRG0
P07				INTP6/RTPTRG1
P10	入出力	あり	ポート1 4ビット入出力ポート 1ビット単位で入力/出力の指定が可能	INTP7
P11				INTP8
P12				INTP9
P13				INTP10
P20	入出力	あり	ポート2 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能 1ビット単位でN-chオープン・ドレインの指定が可能 (P26, P27のみ)	SOA0
P21				SIA0
P22				SCKA0
P23				SOA1
P24				SIA1
P25				SCKA1
P26				SDA ^注
P27				SCL ^注
P30	入出力	あり	ポート3 8ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TXD0
P31				RXD0
P32				SO2
P33				SI2
P34				SCK2
P35				SO3/TXD1
P36				SI3/RXD1
P37				SCK3

注 μ PD703116Y, 70F3116Yのみ

端子名称	入出力	PULL	機 能	兼用端子
P40	入出力	あり	ポート4 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SO0
P41				SI0
P42				SCK0
P43				SO1
P44				SI1
P45				SCK1
P46				-
P47				-
P50	入出力	あり	ポート5 13ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	ICP30
P51				ICP31
P52				ICP32
P53				ICP33
P54				ICP34
P55				ICP35
P56				ICP36
P57				ICP37
P58				ICP38
P59				ICP39
P510				ICP310
P511				ICP311
P512				TI3
P60	入出力	あり	ポート6 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	INTP000/TI00/TCLR00
P61				INTP001
P62				INTP010/TI01/TCLR01
P63				INTP011
P64				INTP020/TI02/TCLR02
P65				INTP021
P66				INTP030/TI03/TCLR03
P67				INTP031

端子名称	入出力	PULL	機 能	兼用端子
P70	入力	なし	ポート7 16ビット入力専用ポート	ANI0
P71				ANI1
P72				ANI2
P73				ANI3
P74				ANI4
P75				ANI5
P76				ANI6
P77				ANI7
P78				ANI8
P79				ANI9
P710				ANI10
P711				ANI11
P712				ANI12
P713				ANI13
P714				ANI14
P715	ANI15			
P80	入力	なし	ポート8 8ビット入力専用ポート	ANI16
P81				ANI17
P82				ANI18
P83				ANI19
P84				ANI20
P85				ANI21
P86				ANI22
P87				ANI23
P90	入出力	なし	ポート9 16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A0
P91				A1
P92				A2
P93				A3
P94				A4
P95				A5
P96				A6
P97				A7
P98				A8
P99				A9
P910				A10
P911				A11
P912				A12
P913				A13
P914				A14
P915	A15			

端子名称	入出力	PULL	機 能	兼用端子
P100	入出力	あり	ポート10 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	INTP040/TI04/TCLR04
P101				INTP041
P102				INTP050/TI05/TCLR05
P103				INTP051
P104				TI28/TO28
P105				TI29/TO29
P106				TI210/TO210
P107				TI211/TO211
P110	入出力	あり	ポート11 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TO00
P111				TO01
P112				TO02
P113				TO03
P114				TO04
P115				TO05
P116				CLO
P117				-
P120	入出力	あり	ポート12 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TI20/TO20
P121				TI21/TO21
P122				TI22/TO22
P123				TI23/TO23
P124				TI24/TO24
P125				TI25/TO25
P126				TI26/TO26
P127				TI27/TO27
P130	入出力	あり	ポート13 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	RTP00
P131				RTP01
P132				RTP02
P133				RTP03
P134				RTP04
P135				RTP05
P136				RTP06
P137				RTP07
P140	入出力	あり	ポート14 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	RTP10
P141				RTP11
P142				RTP12
P143				RTP13
P144				RTP14
P145				RTP15
P146				RTP16
P147				RTP17

端子名称	入出力	PULL	機 能	兼用端子
P150	入出力	あり	ポート15 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	PWM0
P151				PWM1
P152				PWM2
P153				PWM3
P154				PWM4
P155				-
PCD0	入出力	なし	ポートCD 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	-
PCD1				-
PCD2				-
PCD3				-
PCM0	入出力	なし	ポートCM 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	WAIT
PCM1				CLKOUT
PCM2				HLEDAK
PCM3				HLEDRQ
PCM4				-
PCM5				-
PCS0	入出力	なし	ポートCS 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	CS0
PCS1				CS1
PCS2				CS2
PCS3				CS3
PCS4				CS4
PCS5				CS5
PCS6				CS6
PCS7				CS7
PCT0	入出力	なし	ポートCT 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	LWR
PCT1				UWR
PCT2				-
PCT3				-
PCT4				RD
PCT5				-
PCT6				ASTB
PCT7				-
PDH0	入出力	なし	ポートDH 10ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A16
PDH1				A17
PDH2				A18
PDH3				A19
PDH4				A20
PDH5				A21
PDH6				A22
PDH7				A23
PDH8				A24
PDH9				A25

端子名称	入出力	PULL	機 能	兼用端子
PDL0	入出力	なし	ポートDL 16ビット入出力ポート 1ビット単位で入力/出力の指定が可能	AD0
PDL1				AD1
PDL2				AD2
PDL3				AD3
PDL4				AD4
PDL5				AD5
PDL6				AD6
PDL7				AD7
PDL8				AD8
PDL9				AD9
PDL10				AD10
PDL11				AD11
PDL12				AD12
PDL13				AD13
PDL14				AD14
PDL15				AD15

(2) ポート以外の端子

(1/6)

端子名称	入出力	PULL	機能	兼用端子
A0	出力	なし	外部メモリに対するアドレス・バス (擬似セパレート・バス出力)	P90
A1				P91
A2				P92
A3				P93
A4				P94
A5				P95
A6				P96
A7				P97
A8				P98
A9				P99
A10				P910
A11				P911
A12				P912
A13				P913
A14				P914
A15	P915			
A16	出力	なし	外部メモリに対するアドレス・バス	PDH0
A17				PDH1
A18				PDH2
A19				PDH3
A20				PDH4
A21				PDH5
A22				PDH6
A23				PDH7
A24				PDH8
A25				PDH9
AD0	入出力	なし	外部メモリに対するアドレス/データ・バス	PDL0
AD1				PDL1
AD2				PDL2
AD3				PDL3
AD4				PDL4
AD5				PDL5
AD6				PDL6
AD7				PDL7
AD8				PDL8
AD9				PDL9
AD10				PDL10
AD11				PDL11
AD12				PDL12
AD13				PDL13
AD14				PDL14
AD15	PDL15			

端子名称	入出力	PULL	機能	兼用端子
ADTRG	入力	あり	A/Dコンバータへの外部トリガ入力	P05/INTP4
ANI0	入力	なし	A/Dコンバータへのアナログ入力	P70
ANI1				P71
ANI2				P72
ANI3				P73
ANI4				P74
ANI5				P75
ANI6				P76
ANI7				P77
ANI8				P78
ANI9				P79
ANI10				P710
ANI11				P711
ANI12				P712
ANI13				P713
ANI14				P714
ANI15				P715
ANI16				P80
ANI17				P81
ANI18				P82
ANI19				P83
ANI20				P84
ANI21				P85
ANI22				P86
ANI23	P87			
ASTB	出力	なし	外部メモリへのアドレス・ストロブ信号出力	PCT6
AV _{DD}	-	-	A/Dコンバータ用正電源供給 (2.7 ~ 3.6 V)	-
AV _{REF}	入力	-	A/Dコンバータ用基準電圧入力 (AV _{DD} と同電位にしてください)	-
AV _{SS}	-	-	A/Dコンバータ用グランド電位	-
CKSEL1	入力	-	PLLモード/クロック・スルー・モード選択信号入力	-
CLKOUT	出力	-	外部バス用基本クロック出力	PCM1
CLO	出力	あり	周辺クロック出力	P116
$\overline{\text{CS}}_0$	出力	なし	チップ・セレクト信号出力	PCS0
$\overline{\text{CS}}_1$				PCS1
$\overline{\text{CS}}_2$				PCS2
$\overline{\text{CS}}_3$				PCS3
$\overline{\text{CS}}_4$				PCS4
$\overline{\text{CS}}_5$				PCS5
$\overline{\text{CS}}_6$				PCS6
$\overline{\text{CS}}_7$				PCS7
CV _{DD}	-	-	クロック発振回路用正電源供給 (2.7 ~ 3.6 V)	-
CV _{SS}	-	-	クロック発振回路用グランド電位	-

端子名称	入出力	PULL	機能	兼用端子
EV _{DD}	-	-	外部I/O用正電源供給 (2.7 ~ 3.6 V)	-
EV _{SS}	-	-	外部I/O用グランド電位	-
H _L DAK	出力	なし	バス・ホールド・アクノリッジ信号出力	PCM2
H _L DRQ	入力	なし	バス・ホールド要求信号入力	PCM3
ICP30	入力	あり	32ビット・タイマ/カウンタへのキャプチャ・トリガ入力 (TM3)	P50
ICP31				P51
ICP32				P52
ICP33				P53
ICP34				P54
ICP35				P55
ICP36				P56
ICP37				P57
ICP38				P58
ICP39				P59
ICP310				P510
ICP311				P511
INTP0	入力	あり	外部マスカブル割り込み入力	P01
INTP1				P02
INTP2				P03
INTP3				P04
INTP4				P05/ADTRG
INTP5				P06/RTPTRG0
INTP6				P07/RTPTRG1
INTP7				P10
INTP8				P11
INTP9				P12
INTP10				P13
INTP000	入力	あり	16ビット・タイマ/カウンタへのキャプチャ・トリガ入力 (TM00-TM05)	P60/TI00/TCLR00
INTP010				P62/TI01/TCLR01
INTP020				P64/TI02/TCLR02
INTP030				P66/TI03/TCLR03
INTP040				P100/TI04/TCLR04
INTP050				P102/TI05/TCLR05
INTP001	入力	あり	16ビット・タイマ/カウンタへのキャプチャ・トリガ入力 (TM00-TM05)	P61
INTP011				P63
INTP021				P65
INTP031				P67
INTP041				P101
INTP051				P103

端子名称	入出力	PULL	機能	兼用端子
LWR	出力	なし	外部データ・バスの下位バイト・ライト・イネーブル信号出力	PCT0
MODE0	入力	なし	動作モードの指定	-
MODE1				-
MODEJ	入力	なし	バウンダリ・スキャン/オンチップ・ディバグ・モードの指定	-
NMI	入力	あり	ノンマスカブル割り込み入力	P00
PLLSEL	入力	なし	PLL：2逓倍モード/3逓倍モード選択信号入力	-
PV _{DD}	-	-	PLL用正電源供給 (2.3~2.7V)	-
PV _{SS}	-	-	PLL用グランド電位	-
PWM0	出力	あり	PWM出力 (PWM0-PWM4)	P150
PWM1				P151
PWM2				P152
PWM3				P153
PWM4				P154
RD	出力	なし	外部データ・バスのリード・ストロブ信号出力	PCT4
RESET	入力	なし	システム・リセット信号入力	-
RTP00	出力	あり	リアルタイム出力 (RTP0)	P130
RTP01				P131
RTP02				P132
RTP03				P133
RTP04				P134
RTP05				P135
RTP06				P136
RTP07				P137
RTP10	出力	あり	リアルタイム出力 (RTP1)	P140
RTP11				P141
RTP12				P142
RTP13				P143
RTP14				P144
RTP15				P145
RTP16				P146
RTP17				P147
RTPTRG0	入力	あり	リアルタイム出力ユニットへの外部トリガ入力 (RTP0, RTP1)	P06/INTP5
RTPTRG1				P07/INTP6
RXD0	入力	あり	UART用シリアル受信データ入力 (UART0, UART1)	P31
RXD1				P36/SI3
SCK0	出力	あり	CSI用シリアル・クロック入出力 (CSI0-CSI3)	P42
SCK1				P45
SCK2				P34
SCK3				P37
SCKA0	出力	あり	CSIA用シリアル・クロック入出力 (CSIA0, CSIA1)	P22
SCKA1				P25

端子名称	入出力	PULL	機能	兼用端子
SCL ^注	入出力	あり	I ² C用シリアル・クロック入出力	P27
SDA ^注	入出力	あり	I ² C用シリアル・データ入出力	P26
SI0	入力	あり	CSI用シリアル受信データ入力 (CSI0-CSI3)	P41
SI1				P44
SI2				P33
SI3				P36/RXD1
SIA0				入力
SIA1	P24			
SO0	出力	あり	CSI用シリアル送信データ出力 (CSI0-CSI3)	P40
SO1				P43
SO2				P32
SO3				P35/TXD1
SOA0	出力	あり	CSIA用シリアル送信データ出力 (CSIA0, CSIA1)	P20
SOA1				P23
TCK	出力	なし	JTAGインタフェース (クロック入力)	
TCLR00	入力	あり	16ビット・タイマ/カウンタへの外部クリア入力 (TM00-TM05)	P60/INTP000/TI00
TCLR01				P62/INTP010/TI01
TCLR02				P64/INTP020/TI02
TCLR03				P66/INTP030/TI03
TCLR04				P100/INTP040/TI04
TCLR05				P102/INTP050/TI05
TDI	出力	なし	JTAGインタフェース (データ入力)	
TD0	出力	なし	JTAGインタフェース (データ出力)	
TI00	入力	あり	16ビット・タイマ/カウンタへの外部イベント入力 (TM00-TM05)	P60/INTP000/TCLR00
TI01				P62/INTP010/TCLR01
TI02				P64/INTP020/TCLR02
TI03				P66/INTP030/TCLR03
TI04				P100/INTP040/TCLR04
TI05				P102/INTP050/TCLR05
TI20	入力	あり	8ビット・タイマ/カウンタへの外部イベント入力 (TM20-TM211)	P120/TO20
TI21				P121/TO21
TI22				P122/TO22
TI23				P123/TO23
TI24				P124/TO24
TI25				P125/TO25
TI26				P126/TO26
TI27				P127/TO27
TI28				P104/TO28
TI29				P105/TO29
TI210				P106/TO210
TI211				P107/TO211

注 μ PD703166Y, 70F3166Yのみ

端子名称	入出力	PULL	機能	兼用端子
TI3	入力	あり	32ビット・タイマ/カウンタへの外部イベント入力/外部マスクブル割り込み入力 (TM3)	P512
TMS	出力	なし	JTAGインタフェース (モード選択信号入力)	
$\overline{\text{TRST}}$	出力	なし	JTAGインタフェース (リセット信号入力)	
TO00	出力	あり	16ビット・タイマ/カウンタのタイマ出力 (TM00-TM05)	P110
TO01				P111
TO02				P112
TO03				P113
TO04				P114
TO05				P115
TO20	出力	あり	8ビット・タイマ/カウンタのタイマ出力 (TM20-TM211)	P120/TI20
TO21				P121/TI21
TO22				P122/TI22
TO23				P123/TI23
TO24				P124/TI24
TO25				P125/TI25
TO26				P126/TI26
TO27				P127/TI27
TO28				P104/TI28
TO29				P105/TI29
TO210				P106/TI210
TO211	P107/TI211			
TXD0	出力	あり	UART用シリアル送信データ出力 (UART0, UART1)	P30
TXD1				P35/SO3
$\overline{\text{UWR}}$	出力	なし	外部データ・バスの上位バイト・ライト・イネーブル信号出力	PCT1
V _{DD}	-	-	内部ロジック用正電源供給 (2.3~2.7V)	-
V _{SS}	-	-	内部ロジック用グラウンド電位	-
$\overline{\text{WAIT}}$	入力	なし	バス・サイクルに対する外部ウェイト入力	PCM0
X1	入力	-	クロック入力	-
X2	-	-		-

2.2 端子状態

内蔵ROM，内蔵RAMのアクセス時には，アドレス・バスは不定になります。データ・バスは出力されずハイ・インピーダンス状態になります。外部バスの制御信号は，インアクティブ状態になります。

周辺I/Oアクセス時には，アドレス・バスはアクセスしている内蔵周辺I/Oのアドレスを出力します。データ・バスは出力されずハイ・インピーダンス状態になります。外部バスの制御信号は，インアクティブ状態になります。

端子	動作状態	リセット ^{注1}	HALTモード/ DMA転送中	IDLEモード/ ソフトウェア STOPモード	アイドル・ ステート	バス・ホールド
AD0-AD15 (PDL0-PDL15)		Hi-Z	動作	Hi-Z	保持	Hi-Z
A0-A15 ^{注2} (P90-P915)		Hi-Z	動作	Hi-Z	保持	Hi-Z
A16-A25 (PDH0-PDH9)		Hi-Z	動作	Hi-Z	保持	Hi-Z
CS0-CS7 (PCS0-PCS7)		Hi-Z	動作	H	保持	Hi-Z
LWR, UWR (PCT0, PCT1)		Hi-Z	動作	H	H	Hi-Z
RD (PCT4)		Hi-Z	動作	H	H	Hi-Z
ASTB (PCT6)		Hi-Z	動作	H	H	Hi-Z
WAIT (PCM0)		Hi-Z	動作	-	-	-
CLKOUT (PCM1)		Hi-Z	動作	L	動作	動作
HLDK (PCM2)		Hi-Z	動作	H	H	L
HLDRQ (PCM3)		Hi-Z	動作	-	-	動作

注1. バス制御端子はポート端子と兼用のため，リセット時には，ポート・モード（入力）に初期化されます。

2. 擬似セパレート出力時。

備考 Hi-Z : ハイ・インピーダンス

H : ハイ・レベル出力

L : ロウ・レベル出力

- : 入力非サンプリング（入力受け付け不可能）

2.3 端子機能の説明

(1) P00-P07 (Port 0) ... 入出力

ポート0は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P00-P07は入出力ポートとして機能するほか、コントロール・モードではNMI入力、外部割り込み要求入力、A/Dコンバータ(ADC)の外部トリガ入力、リアル・タイム出力ポートの外部トリガ入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モード(兼用機能)の選択が可能で、ポート0モード・コントロール・レジスタ(PMC0)で指定します。

(a) ポート・モード

P00-P07はポート0モード・レジスタ(PM0)により、1ビット単位で入力または出力の設定ができます。

(b) コントロール・モード(兼用機能)

P00-P07はPMC0レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) NMI (Non-Maskable Interrupt Request) ... 入力

ノンマスクابل割り込み要求入力です。

(ii) INTP0-INTP6 (Interrupt Request from Peripherals) ... 入力

外部割り込み要求入力端子です。

(iii) ADTRG (A/D Trigger Input) ... 入力

A/Dコンバータの外部トリガ入力端子です。

(iv) RTPTRG0, RTPTRG1 (RTP Trigger Input) ... 入力

リアルタイム出力ポートの外部トリガ入力端子です。

(2) P10-P13 (Port 1) ... 入出力

ポート1は、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

P10-P13は入出力ポートとして機能するほか、コントロール・モードでは外部割り込み要求入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート1モード・コントロール・レジスタ(PMC1)で指定します。

(a) ポート・モード

P10-P13はポート1モード・レジスタ(PM1)により、1ビット単位に入力または出力を設定できます。

(b) コントロール・モード(兼用機能)

P10-P13はPMC1レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) INTP7-INTP10 (Interrupt Request from Peripherals) ... 入力

外部割り込み要求入力端子です。

(3) P20-P27 (Port 2) ... 入出力

ポート2は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P20-P27は入出力ポートとして機能するほか、コントロール・モードではシリアル・インタフェース (CSIA0, CSIA1, I²C) として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート2モード・コントロール・レジスタ (PMC2) で指定します。

P26, P27は、ポート2ファンクション・レジスタ (PF2) により、1ビット単位で通常出力とN-chオープン・ドレイン出力を選択できます。

(a) ポート・モード

P20-P27はポート2モード・レジスタ (PM2) により、1ビット単位で入力または出力を設定できます。

(b) コントロール・モード (兼用機能)

P20-P27はPMC2レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) SOA0, SOA1 (Serial Output) ... 出力

CSIA0, CSIA1のシリアル送信データ端子です。

(ii) SIA0, SIA1 (Serial Input) ... 入力

CSIA0, CSIA1のシリアル受信データ入力端子です。

(iii) SCKA0, SCKA1 (Serial Clock) ... 入出力

CSIA0, CSIA1のシリアル・クロック入出力端子です。

(iv) SDA (Serial Data) ... 入出力

I²Cのシリアル送受信データ入出力端子です (μ PD703166Y, 70F3166Yのみ)。

(v) SCL (Serial Clock) ... 入出力

I²Cのシリアル・クロック入出力端子です (μ PD703166Y, 70F3166Yのみ)。

(4) P30-P37 (Port 3) ... 入出力

ポート3は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P30-P37は入出力ポートとして機能するほか、コントロール・モード1ではシリアル・インタフェース (UART0, CSI2, CSI3) の入出力として、コントロール・モード2ではシリアル・インタフェース (UART1) の入出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート3モード・コントロール・レジスタ (PMC3) で指定します。

P35, P36はポート3ファンクション・コントロール・レジスタ (PFC3) により1ビット単位でコントロール・モード1/コントロール・モード2の設定ができます。

(a) ポート・モード

P30-P37はポート3モード・レジスタ (PM3) により, 1ビット単位に入力または出力を設定できません。

(b) コントロール・モード (兼用機能)

P30-P37はPMC2レジスタにより, 1ビット単位でポート/コントロール・モードの設定ができます。

P35, P36はPFC3レジスタにより, 1ビット単位でコントロール・モード1/コントロール・モード2の設定ができます。

(i) TXD0, TXD1 (Transmit Data) ... 出力

UART0, UART1のシリアル送信データ出力端子です。

(ii) RXD0, RXD1 (Receive Data) ... 入力

UART0, UART1のシリアル受信データ入力端子です。

(iii) SI2, SI3 (Serial Input) ... 入力

CSI2, CSI3のシリアル受信データ入力端子です。

(iv) SO2, SO3 (Serial Output) ... 出力

CSI2, CSI3のシリアル送信データ出力端子です。

(v) $\overline{\text{SCK1}}$, $\overline{\text{SCK2}}$ (Asynchronous Serial Clock) ... 入出力

CSI2, CSI3のシリアル・クロック入出力端子です。

(5) P40-P47 (Port 4) ... 入出力

ポート4は, 1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P40-P45は入出力ポートとして機能するほか, コントロール・モードではシリアル・インタフェース (CSI0, CSI1) の入出力として動作します。

動作モードは, 1ビットごとにポート/コントロール・モードの選択が可能で, ポート4モード・コントロール・レジスタ (PMC4) で指定します。

(a) ポート・モード

P40-P47はポート4モード・レジスタ (PM4) により, 1ビット単位に入力または出力を設定できません。

(b) コントロール・モード (兼用機能)

P40-P45はPMC4レジスタにより, 1ビット単位でポート/コントロール・モードの設定ができます。

(i) SO0, SO1 (Serial Output) ... 出力

CSI0, CSI1のシリアル送信データ出力端子です。

(ii) SI0, SI1 (Serial Input) ... 入力

CSI0, CSI1のシリアル受信データ入力端子です。

(iii) SCK0, SCK1 (Serial Clock) ... 入出力

CSI0, CSI1のシリアル・クロック入出力端子です。

(6) P50-P512 (Port 5) ... 入出力

ポート5は、1ビット単位で入力または出力を設定できる13ビットの入出力ポートです。

P50-P512は入出力ポートとして機能するほか、コントロール・モードでは32ビット・タイマ/カウンタの外部キャプチャ・トリガ入力、32ビット・タイマ/カウンタの入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モード(兼用機能)の選択が可能で、ポート5モード・コントロール・レジスタ(PMC5)で指定します。

(a) ポート・モード

P50-P512はポート5モード・レジスタ(PM5)により、1ビット単位で入力または出力の設定ができます。

(b) コントロール・モード(兼用機能)

P50-P512はPMC5レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) ICP30-ICP311 (Interrupt Request from Peripherals) ... 入力

32ビット・タイマ3の外部キャプチャ・トリガ入力端子です。

(ii) TI3 (Timer Input) ... 入力

32ビット・タイマ3の外部カウント・クロック入力端子です。

(7) P60-P67 (Port 6) ... 入出力

ポート6は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P60-P67は入出力ポートとして機能するほか、コントロール・モードでは16ビット・タイマ・カウンタの入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モード(兼用機能)の選択が可能で、ポート6モード・コントロール・レジスタ(PMC6)で指定します。

(a) ポート・モード

P60-P67はポート6モード・レジスタ(PM6)により、1ビット単位で入力または出力の設定ができます。

(b) コントロール・モード(兼用機能)

P60-P67はPMC6レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) INTP000, INTP001, INTP010, INTP011, INTP020, INTP021, INTP030, INTP031**(Interrupt Request from Peripherals) ... 入力**

16ビット・タイマ00-03の外部キャプチャ・トリガ入力端子です。

(ii) TCLR00-TCLR03 (Timer Clear) ... 入力

16ビット・タイマ00-03への外部クリア信号入力端子です。

(iii) TI00-TI03 (Timer Input) ... 入力

16ビット・タイマ00-03の外部カウント・クロック入力端子です。

(8) P70-P715 (Port 7) ... 入力

ポート7は、全端子が入力に固定の16ビット入力専用ポートです。

P70-P715は入力ポートとして機能するほか、コントロール・モードではA/Dコンバータ (ADC) アナログ入力端子として動作します。

通常、ポートと機能端子が兼用している場合、ポート・モード・コントロール・レジスタでどちらかを選択できますが、P70-P715に対しては、このレジスタがありません。したがって、入力ポートとA/Dコンバータ (ADC) のアナログ入力端子は切り替えられません。ポートの読み出しにより、各端子の状態を読み込んでください。

(a) ポート・モード

P70-P715は入力専用です。

(b) コントロール・モード (兼用機能)

P70-P715は、ANI0-ANI15と兼用になっていますが、切り替えはできません。

(i) ANI0-ANI15 (Analog Input) ... 入力

A/Dコンバータ (ADC) へのアナログ入力端子です。

(9) P80-P87 (Port 8) ... 入力

ポート8は、全端子が入力に固定の8ビット入力専用ポートです。

P80-P87は入力ポートとして機能するほか、コントロール・モードではA/Dコンバータ (ADC) アナログ入力端子として動作します。

通常、ポートと機能端子が兼用している場合、ポート・モード・コントロール・レジスタでどちらかを選択できますが、P80-P87に対しては、このレジスタがありません。したがって、入力ポートとA/Dコンバータ (ADC) のアナログ入力端子は切り替えられません。ポートの読み出しにより、各端子の状態を読み込んでください。

(a) ポート・モード

P80-P87は入力専用です。

(b) コントロール・モード (兼用機能)

P80-P87は、ANI16-ANI23と兼用になっていますが、切り替えはできません。

(i) ANI16-ANI23 (Analog Input) ... 入力

A/Dコンバータ (ADC) へのアナログ入力端子です。

(10) P90-P915 (Port 9) ... 入出力

ポート9は、1ビット単位で入力または出力を設定できる16ビットの入出力ポートです。

P90-P915は入出力ポートとして機能するほか、コントロール・モードでは外部アクセス時のアドレス・バスで26ビット・アドレス・バスの下位16ビット・アドレス出力端子として動作します

動作モードは、1ビットごとにポート/コントロール・モード(兼用機能)の選択が可能で、ポート9モード・コントロール・レジスタ(PMC9)で指定します。

(a) ポート・モード

P90-P915はポート9モード・レジスタ(PM9)により、1ビット単位で入力または出力の設定ができます。

(b) コントロール・モード(兼用機能)

P90-P915はPMC9レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) A0-A15 (Address) ... 入力

外部アクセス時のアドレス・バスで26ビット・アドレス・バスの下位16ビット・アドレス出力端子です。

(11) P100-P107 (Port 10) ... 入出力

ポート10は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P100-P107は入出力ポートとして機能するほか、コントロール・モード1では16ビット・タイマ/カウンタ入力、コントロール・モード2では16ビット・タイマ/カウンタ出力として動作します

動作モードは、1ビットごとにポート/コントロール・モード(兼用機能)の選択が可能で、ポート10モード・コントロール・レジスタ(PMC10)で指定します。

P104-P107はポート10ファンクション・コントロール・レジスタ(PFC10)により1ビット単位でコントロール・モード1/コントロール・モード2の設定ができます。

(a) ポート・モード

P100-P107はポート10モード・レジスタ(PM10)により、1ビット単位で入力または出力の設定ができます。

(b) コントロール・モード(兼用機能)

P100-P107はPMC10レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

P104-P107はPFC10レジスタにより1ビット単位でコントロール・モード1/コントロール・モード2の設定ができます。

(i) INTP040, INTP041, INTP050, INTP051 (Interrupt Request from Peripherals) ... 入力

16ビット・タイマ04-05の外部キャプチャ・トリガ入力端子です。

(ii) TCLR04, TCLR05 (Timer Clear) ... 入力

16ビット・タイマ04-05への外部クリア信号入力端子です。

(iii) TI04, TI05 (Timer Input) ... 入力

16ビット・タイマ04-05の外部カウント・クロック入力端子です。

(iv) TI28-TI211 (Timer Input) ... 入力

8ビット・タイマ28-211の外部カウント・クロック入力端子です。

(iv) TO28-TO211 (Timer Output) ... 出力

8ビット・タイマ28-211のタイマ出力端子です。

(12) P110-P117 (Port 11) ... 入出力

ポート11は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P110-P116は入出力ポートとして機能するほか、コントロール・モードでは16ビット・タイマ/カウンタ出力、周辺クロック信号の出力として動作します

動作モードは、1ビットごとにポート/コントロール・モード(兼用機能)の選択が可能で、ポート11モード・コントロール・レジスタ(PMC11)で指定します。

(a) ポート・モード

P110-P117はポート11モード・レジスタ(PM11)により、1ビット単位で入力または出力の設定ができます。

(b) コントロール・モード(兼用機能)

P110-P116はPMC11レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) TO00-TO05 (Timer Output) ... 出力

16ビット・タイマ0-5のタイマ出力端子です。

(ii) CLO (Clock Output) ... 出力

周辺クロック(分周機能付き)出力端子です。

(13) P120-P127 (Port 12) ... 入出力

ポート12は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P120-P127は入出力ポートとして機能するほか、コントロール・モード1では8ビット・タイマ/カウンタ入力、コントロール・モード2では8ビット・タイマ/カウンタ出力として動作します

動作モードは、1ビットごとにポート/コントロール・モード(兼用機能)の選択が可能で、ポート12モード・コントロール・レジスタ(PMC12)で指定します。

P124-P127はポート12ファンクション・コントロール・レジスタ(PFC12)により1ビット単位でコントロール・モード1/コントロール・モード2の設定ができます。

(a) ポート・モード

P120-P127はポート12モード・レジスタ(PM12)により、1ビット単位で入力または出力の設定ができます。

(b) コントロール・モード (兼用機能)

P120-P127はPMC12レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

P120-P127はPFC12レジスタにより1ビット単位でコントロール・モード1/コントロール・モード2の設定ができます。

(i) TI20-TI27 (Timer Input) ... 入力

8ビット・タイマ20-27の外部カウント・クロック入力端子です。

(ii) TO20-TO27 (Timer Output) ... 出力

8ビット・タイマ20-27のタイマ出力端子です。

(14) P130-P137 (Port 13) ... 入出力

ポート13は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P130-P137は入出力ポートとして機能するほか、コントロール・モードではリアルタイム出力ポート機能として動作します

動作モードは、1ビットごとにポート/コントロール・モード (兼用機能) の選択が可能で、ポート13モード・コントロール・レジスタ (PMC13) で指定します。

(a) ポート・モード

P130-P137はポート13モード・レジスタ (PM13) により、1ビット単位で入力または出力の設定ができます。

(b) コントロール・モード (兼用機能)

P130-P137はPMC13レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) RTP00-RTP07 (Real-Time Output Port) ... 出力

リアルタイム出力ポートです。

(15) P140-P147 (Port 14) ... 入出力

ポート14は、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

P140-P147は入出力ポートとして機能するほか、コントロール・モードではリアルタイム出力ポート機能として動作します

動作モードは、1ビットごとにポート/コントロール・モード (兼用機能) の選択が可能で、ポート14モード・コントロール・レジスタ (PMC14) で指定します。

(a) ポート・モード

P140-P147はポート14モード・レジスタ (PM14) により、1ビット単位で入力または出力の設定ができます。

(b) コントロール・モード (兼用機能)

P140-P147はPMC14レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) RTP10-RTP17 (Real-Time Output Port) ... 出力

リアルタイム出力ポートです。

(16) P150-P155 (Port 15) ... 入出力

ポート15は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

P150-P154は入出力ポートとして機能するほか、コントロール・モードではPWM出力機能として動作します

動作モードは、1ビットごとにポート/コントロール・モード (兼用機能) の選択が可能で、ポート15モード・コントロール・レジスタ (PMC15) で指定します。

(a) ポート・モード

P150-P155はポート15モード・レジスタ (PM15) により、1ビット単位で入力または出力の設定ができます。

(b) コントロール・モード (兼用機能)

P150-P154はPMC15レジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) PWM0-PWM4 (Pulse Width Modulation) ... 出力

PWM出力端子です。

(17) PCD0-PCD3 (Port CD) ... 入出力

ポートCDは、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

PCD0-PCD3は入出力ポートとして動作します

(a) ポート・モード

PCD0-PCD3はポートCDモード・レジスタ (PMCD) により、1ビット単位で入力または出力の設定ができます。

(18) PCM0-PCM5 (Port CM) ... 入出力

ポートCMは、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

PCM0-PCM3はポートとして機能するほか、コントロール・モードではウエイト挿入信号入力、内部システム・クロック出力、バス・ホールド制御信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCMモード・コントロール・レジスタ (PMCCM) で指定します。

(a) ポート・モード

PCM0-PCM5はポートCMモード・レジスタ (PMCM) により、1ビット単位に入力または出力を設定できます。

(b) コントロール・モード (兼用機能)

PCM0-PCM3はPMCCMレジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) $\overline{\text{WAIT}}$ (Wait) ... 入力

バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で、CLKOUT信号に対する非同期入力が可能です。バス・サイクルのT2, TWステートのCLKOUT信号の立ち下がりでもサンプリングします。サンプリング・タイミングにおける設定/保持時間を満たさないときはウエイト挿入が行われません。

(ii) CLKOUT (Clock Output) ... 出力

内部システム・クロック出力端子です。シングルチップ・モードのときは、リセット期間中はポート・モードになっているため、CLKOUT端子からの出力は行われません。CLKOUT出力を行うためにはPMCCMレジスタでコントロール・モードに設定してください。

(iii) $\overline{\text{HLD}}\text{AK}$ (Hold Acknowledge) ... 出力

V850E/SV2がバス・ホールド要求を受けて、外部アドレス/データ・バス、各種ストローブ端子をハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、外部アドレス/データ・バス、各種ストローブ端子はハイ・インピーダンス状態になり、外部バス・マスタにバスの使用権を渡します。

(iv) $\overline{\text{HLDR}}\text{Q}$ (Hold Request) ... 入力

外部デバイスがV850E/SV2に対し、外部アドレス/データ・バス、各種ストローブ端子の解放を要求する入力端子です。この端子は、CLKOUT信号に対して非同期入力が可能です。この端子がアクティブになると、V850E/SV2は実行中のバス・サイクルがあればその終了後に、なければすぐに外部アドレス/データ・バス、各種ストローブ端子をハイ・インピーダンス状態にし、 $\overline{\text{HLD}}\text{AK}$ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには、 $\overline{\text{HLD}}\text{AK}$ 信号が出力されるまで、 $\overline{\text{HLDR}}\text{Q}$ 信号をアクティブに保ってください。

(19) PCS0-PCS7 (Port CS) ... 入出力

ポートCSは、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

PCS0-PCS7はポートとして機能するほか、コントロール・モードではメモリを外部に拡張する場合のチップ・セレクト信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCSモード・コントロール・レジスタ (PMCCS) で指定します。

(a) ポート・モード

PCS0-PCS7はポートCSモード・レジスタ (PMCS) により、1ビット単位に入力または出力を設定できます。

(b) コントロール・モード (兼用機能)

PCS0-PCS7はPMCCSレジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) $\overline{CS0-CS7}$ (Chip Select) ... 出力

外部メモリ、外部周辺I/Oに対するチップ・セレクト信号です。

メモリ・ブロックnに対して \overline{CSn} 信号が割り当てられています (n = 0-7)。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。

アイドル・ステート (T1) では、インアクティブになります。

(20) PCT0-PCT7 (Port CT) ... 入出力

ポートCTは、1ビット単位で入力または出力を設定できる8ビットの入出力ポートです。

PCT0, PCT1, PCT4, PCT6はポートとして機能するほか、コントロール・モードではメモリを外部に拡張する場合の制御信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCTモード・コントロール・レジスタ (PMCT) で指定します。

(a) ポート・モード

PCT0-PCT7はポートCTモード・レジスタ (PMCT) により、1ビット単位に入力または出力を設定できます。

(b) コントロール・モード (兼用機能)

PCT0, PCT1, PCT4, PCT6はPMCTレジスタにより、1ビット単位でポート/コントロール・モードの設定ができます。

(i) \overline{LWR} (Lower Byte Write Strobe) ... 出力

実行中のバス・サイクルが、外部メモリ、外部周辺I/O領域に対するライト・サイクルであることを示すストロブ信号です。

データ・バスは下位バイトが有効になります。バス・サイクルが下位のメモリ・ライトならば、T1ステートのCLKOUT信号の立ち下がりでアクティブになり、T2ステートのCLKOUT信号の立ち下がりでインアクティブになります。

(ii) \overline{UWR} (Upper Byte Write Strobe) ... 出力

実行中のバス・サイクルが、外部メモリ、外部周辺I/O領域に対するライト・サイクルであることを示すストロブ信号です。

データ・バスは上位バイトが有効になります。バス・サイクルが上位のメモリ・ライトならば、T1ステートのCLKOUT信号の立ち下がりでアクティブになり、T2ステートのCLKOUT信号の立ち下がりでインアクティブになります。

(iii) \overline{RD} (Read Strobe) ... 出力

実行中のバス・サイクルが、外部メモリ、外部周辺I/Oに対するリード・サイクルであることを示すストロブ信号です。アイドル・ステート (T1) では、インアクティブになります。

(iv) ASTB (Address Strobe) ... 出力

外部アドレス・バスのラッチ・ストロブ信号出力端子です。

出力は、バス・サイクルのT1ステートのクロックの立ち下がりに同期してロウ・レベルになり、T3ステートのクロックの立ち下がりに同期してハイ・レベルになります。

(21) PDH0-PDH9 (Port DH) ... 入出力

ポートDHは、1ビット単位で入力または出力を設定できる10ビットの入出力ポートです。

PDH0-PDH9はポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のアドレス・バス（A16-A25）として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートDHモード・コントロール・レジスタ（PMCDH）で指定します。

(a) ポート・モード

PDH0-PDH9はポートDHモード・レジスタ（PMDH）により、1ビット単位に入力または出力を設定できます。

(b) コントロール・モード（兼用機能）

PDH0-PDH9はPMCDHレジスタにより、A16-A25として使用できます。

(i) A16-A25 (Address Bus) ... 出力

外部アクセス時のアドレス・バスで26ビット・アドレスの上位10ビット・アドレス出力端子です。

(22) PDL0-PDL15 (Port DL) ... 入出力

ポートDLは、1ビット単位で入力または出力を設定できる16/8ビットの入出力ポートです。

PDL0-PDL15はポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のアドレス/データ・バス（AD0-AD15）として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートDLモード・コントロール・レジスタ（PMCDL）で指定します。

(a) ポート・モード

PDL0-PDL15はポートDLモード・レジスタ（PMDL）により、1ビット単位に入力または出力を設定できます。

(b) コントロール・モード（兼用機能）

PDL0-PDL15はPMCDLレジスタにより、AD0-AD15として使用できます。

(i) AD0-AD15 (Address/Data Bus) ... 入出力

外部アクセス時のアドレス/データのマルチプレクスト・バスです。アドレス・タイミング（T1ステート）では、26ビット・アドレスのA0-A15出力端子となり、データ・タイミング（T2, TW, T3）では16ビット・データの入出力バス端子となります。

(23) CKSEL1 (Clock Generator Operating Mode Select) ... 入力

クロック・ジェネレータの動作モードを指定する入力端子です。入力レベルは動作中に変化しないよう固定してください。

(24) PLLSEL (PLL Select) ... 入力

PLLモード時 (CKSEL1端子にロウ・レベル入力) のPLL通倍数を指定する端子です。入力レベルは動作中に変化しないように固定してください。なお、クロック・スルー・モード時 (CKSEL1端子にハイ・レベル入力) は、この端子は意味を持ちません。未使用端子として処理してください。

CKSEL1	PLLSEL	動作モード	
L	L	PLLモード	2通倍モード
L	H		3通倍モード
H	x	クロック・スルー・モード	

備考 L : ロウ・レベル入力

H : ハイ・レベル入力

(25) MODE0, MODE1 (Mode) ... 入力

動作モードを指定する入力端子です。動作モードには、通常動作モードとフラッシュ・メモリ・プログラミング・モードがあります。(詳細は3.3 **動作モード**を参照してください)。動作モードは、リセット時にMODE0, MODE1の各端子の入力レベルにより決定します。MODE0端子は必ずロウ・レベルに固定してください。また、入力レベルは動作中に変化しないよう固定してください。

(a) μ PD70F3166, 70F3166Y

MODE1	MODE0	動作モード
L	L	通常動作モード (シングルチップ・モード)
H	L	フラッシュ・メモリ・プログラミング・モード
上記以外		設定禁止

(b) μ PD703166, 703166Y

MODE1	MODE0	動作モード
L	L	通常動作モード (シングルチップ・モード)
上記以外		設定禁止

注意 MODE0端子は必ずロウ・レベル“0”入力で固定してください。

備考 L : ロウ・レベル入力

H : ハイ・レベル入力

x : 任意

(25) MODEJ (Mode) ... 入力

JTAG (Joint Test Action Group) の通信仕様を利用して、IEEE1149.1に準拠したバウンダリ・スキャンとN-Wire型インサーキット・エミュレータを介したオンチップ・デバッグ機能をサポートします。

MODEJ	JTAGインタフェース端子機能の選択
L	バウンダリ・スキャン機能
H	オンチップ・デバッグ機能

備考 L : ロウ・レベル入力

H : ハイ・レベル入力

(26) RESET (Reset) ... 入力

RESET入力は非同期入力であり、動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ/スタートのほかに、スタンバイ・モード (HALT, IDLE, ソフトウェアSTOP) の解除にも使用します。

(27) X1, X2 (Crystal)

システム・クロック発生用の発振子接続端子です。

外部クロックを入力することも可能です。外部クロックを入力する場合はX1端子に接続し、X2端子はオープンにしてください。

(28) AVDD (Analog Power Supply)

A/Dコンバータ用のアナログ正電源供給端子です。

(29) AVSS (Analog Ground)

A/Dコンバータ用のグラウンド端子です。

(30) AVREF (Analog Reference Voltage) ... 入力

A/Dコンバータ用の基準電圧入力端子です。

(31) CVDD (Power Supply for Clock Generator)

クロック・ジェネレータ用の正電源供給端子です。

(32) CVSS (Ground for Clock Generator)

クロック・ジェネレータ用のグラウンド端子です。

(33) EVDD (Power Supply)

周辺インタフェース用の正電源供給端子です。

(34) EVSS (Ground)

周辺インタフェース用のグラウンド端子です。

(35) PV_{DD} (Power Supply)

PLL用の正電源供給端子です。

(36) PV_{SS} (Ground)

PLL用のグランド端子です。

(37) V_{DD} (Power Supply)

内部CPU用の正電源供給端子です。

(38) V_{SS} (Ground)

内部CPU用のグランド端子です。

(39) TCK (JTAG Clock) ... 入力

JTAGインタフェース用クロック入力端子です。

(40) TDI (JTAG Data Input) ... 入力

JTAGインタフェース用データ入力端子です。

(41) TDO (JTAG Data Output) ... 出力

JTAGインタフェース用データ出力端子です。

(42) TMS (JTAG Mode Select) ... 入力

JTAGインタフェース用モード選択信号入力端子です。

(43) $\overline{\text{TRST}}$ (JTAG Reset) ... 入力

JTAGインタフェース用リセット信号入力端子です。

2.4 端子の入出力回路タイプと未使用時の処理

抵抗を介してEVDDまたはEVSSに接続する場合、1k ~ 10k の抵抗を接続することを推奨します。

また入力バッファ・タイプのシュミットは、ポート・モード時にリードした場合、シュミットとして動作しません。

(1/6)

端子名称	入力バッファ・タイプ	バッファ電源	入出力回路タイプ	未使用時の推奨接続方法
P00/NMI	シュミット	EVDD	5-W	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P01/INTP0				
P02/INTP1				
P03/INTP2				
P04/INTP3				
P05/INTP4/ADTRG				
P06/INTP5/RTPTRG0				
P07/INTP6/RTPTRG1				
P10/INTP7	シュミット	EVDD	5-W	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P11/INTP8				
P12/INTP9				
P13/INTP10				
P20/SOA0	CMOS	EVDD	5-A	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P21/SIA0	シュミット		5-W	
P22/_SCKA0			5-A	
P23/SOA1	CMOS		5-W	
P24/SIA1	シュミット		10-F	
P25/SCKA1				
P26/SDA				
P27/SCL				
P30/TXD0	CMOS	EVDD	5-A	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P31/RXD0	シュミット		5-W	
P32/SO2			5-A	
P33/SI2	シュミット		5-W	
P34/SCK2				
P35/SO3/TXD1	CMOS		5-A	
P36/SI3/RXD1	シュミット		5-W	
P37/SCK3				
P40/SO0	CMOS	EVDD	5-A	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P41/SI0	シュミット		5-W	
P42/SCK0			5-A	
P43/SO1	CMOS		5-W	
P44/SI1	シュミット		5-A	
P45/SCK1				
P46	CMOS		5-A	
P47				

端子名称	入力バッファ ・タイプ	バッファ 電源	入出力 回路タイプ	未使用時の推奨接続方法
P50/ICP30	シュミット	EVDD	5-W	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P51/ICP31				
P52/ICP32				
P53/ICP33				
P54/ICP34				
P55/ICP35				
P56/ICP36				
P57/ICP37				
P58/ICP38				
P59/ICP39				
P510/ICP310				
P511/ICP311				
P512/TI3				
P60/INTP000/TI00/TCLR00	シュミット	EVDD	5-W	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P61/INTP001				
P62/INTP010/TI01/TCLR01				
P63/INTP011				
P64/INTP020/TI02/TCLR02				
P65/INTP021				
P66/INTP030/TI03/TCLR03				
P67/INTP031				
P70/ANI0	CMOS	AVDD	9-C	AVDDまたはAVSSに接続してください。
P71/ANI1				
P72/ANI2				
P73/ANI3				
P74/ANI4				
P75/ANI5				
P76/ANI6				
P77/ANI7				
P78/ANI8				
P79/ANI9				
P710/ANI10				
P711/ANI11				
P712/ANI12				
P713/ANI13				
P714/ANI14				
P715/ANI15				

端子名称	入力バッファ ・タイプ	バッファ 電源	入出力 回路タイプ	未使用時の推奨接続方法
P80/ANI16	CMOS	AVDD	9-C	AVDDまたはAVSSに接続してください。
P81/ANI17				
P82/ANI18				
P83/ANI19				
P84/ANI20				
P85/ANI21				
P86/ANI22				
P87/ANI23				
P90/A0	CMOS	EVDD	5	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P91/A1				
P92/A2				
P93/A3				
P94/A4				
P95/A5				
P96/A6				
P97/A7				
P98/A8				
P99/A9				
P910/A10				
P911/A11				
P912/A12				
P913/A13				
P914/A14				
P915/A15				
P100/INTP040/TI04/TCLR04	シュミット	EVDD	5-W	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P101/INTP041				
P102/INTP050/TI05/TCLR05				
P103/INTP051				
P104/TI28/TO28				
P105/TI29/TO29				
P106/TI210/TO210				
P107/TI211/TO211				
P110/TO00	CMOS	EVDD	5-A	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P111/TO01				
P112/TO02				
P113/TO03				
P114/TO04				
P115/TO05				
P116/CLO				
P117				

端子名称	入力バッファ ・タイプ	バッファ 電源	入出力 回路タイプ	未使用時の推奨接続方法
P120/TI20/TO20	シュミット	EVDD	5-W	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P121/TI21/TO21				
P122/TI22/TO22				
P123/TI23/TO23				
P124/TI24/TO24				
P125/TI25/TO25				
P126/TI26/TO26				
P127/TI27/TO27				
P130/RTP00	CMOS	EVDD	5-A	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P131/RTP01				
P132/RTP02				
P133/RTP03				
P134/RTP04				
P135/RTP05				
P136/RTP06				
P137/RTP07				
P140/RTP10	CMOS	EVDD	5-A	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P141/RTP11				
P142/RTP12				
P143/RTP13				
P144/RTP14				
P145/RTP15				
P146/RTP16				
P147/RTP17				
P150/PWM0	CMOS	EVDD	5-A	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
P151/PWM1				
P152/PWM2				
P153/PWM3				
P154/PWM4				
P155				
PCD0	CMOS	EVDD	5	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
PCD1				
PCD2				
PCD3				
PCM0/WAIT $\bar{}$	CMOS	EVDD	5	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
PCM1/CLKOUT				
PCM2/HLDAK $\bar{}$				
PCM3/HLDRQ $\bar{}$				
PCM4				
PCM5				

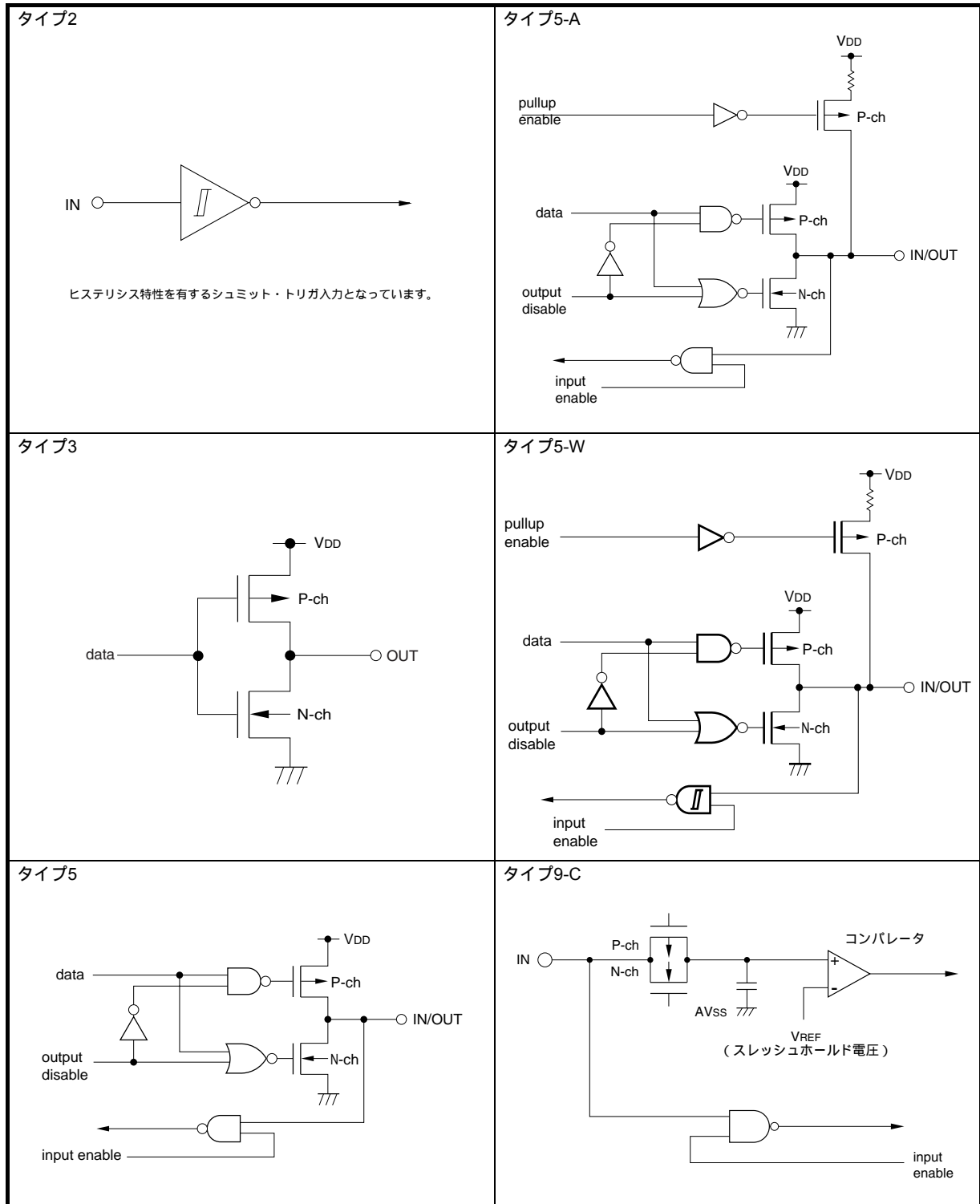
端子名称	入力バッファ ・タイプ	バッファ 電源	入出力 回路タイプ	未使用時の推奨接続方法
PCS0/ $\overline{\text{CS0}}$	CMOS	EVDD	5	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
PCS1/ $\overline{\text{CS1}}$				
PCS2/ $\overline{\text{CS2}}$				
PCS3/ $\overline{\text{CS3}}$				
PCS4/ $\overline{\text{CS4}}$				
PCS5/ $\overline{\text{CS5}}$				
PCS6/ $\overline{\text{CS6}}$				
PCS7/ $\overline{\text{CS7}}$				
PCT0/ $\overline{\text{LWR}}$	CMOS	EVDD	5	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
PCT1/ $\overline{\text{UWR}}$				
PCT2				
PCT3				
PCT4/ $\overline{\text{RD}}$				
PCT5				
PCT6/ $\overline{\text{ASTB}}$				
PCT7				
PDH0/A16	CMOS	EVDD	5	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
PDH1/A17				
PDH2/A18				
PDH3/A19				
PDH4/A20				
PDH5/A21				
PDH6/A22				
PDH7/A23				
PDH8/A24				
PDH9/A25				
PDL0/AD0	CMOS	EVDD	5	入力時:個別に抵抗を介してEVDDまたはEVSSに接続してください。 出力時:オープンにしてください。
PDL1/AD1				
PDL2/AD2				
PDL3/AD3				
PDL4/AD4				
PDL5/AD5				
PDL6/AD6				
PDL7/AD7				
PDL8/AD8				
PDL9/AD9				
PDL10/AD10				
PDL11/AD11				
PDL12/AD12				
PDL13/AD13				
PDL14/AD14				
PDL15/AD15				

端子名称	入力バッファ ・タイプ	バッファ 電源	入出力 回路タイプ	未使用時の推奨接続方法
TRST ^注	シュミット	EVDD	2	抵抗を介してEV _{SS} に接続してください。
TCK				MODEJ = 0時：抵抗を介してEV _{SS} に接続してください。
TMS				MODEJ = 1時：抵抗を介してEV _{DD} に接続してください。
TDI				個別に抵抗を介してEV _{DD} に接続してください。
TDO				-
MODE0	シュミット	EVDD	2	-
MODE1				
MODEJ				EV _{DD} またはEV _{SS} に接続してください。
RESET	シュミット	EVDD	2	-
X1	シュミット	CVDD	-	-
X2	-			-
CKSEL1	シュミット	EVDD	2	-
PLLSEL	シュミット	EVDD	2	-
AVREF	-	-	-	AV _{SS} に接続してください。
AVDD	-	-	-	-
AVSS	-	-	-	-
CVDD	-	-	-	-
CVSS	-	-	-	-
EVDD	-	-	-	-
EVSS	-	-	-	-
PVDD	-	-	-	-
PVSS	-	-	-	-
VDD	-	-	-	-
VSS	-	-	-	-

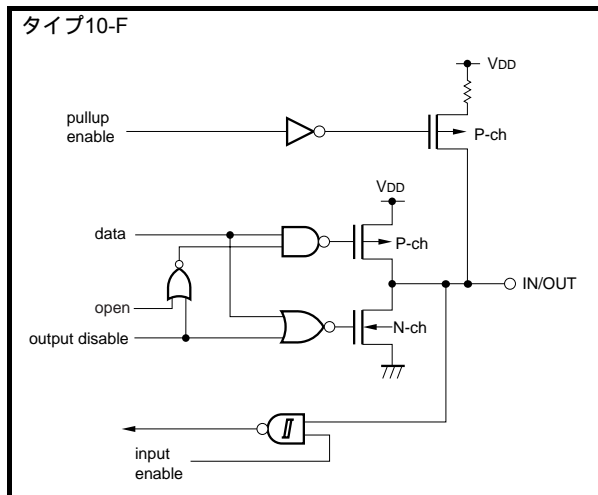
注 TRST端子はプルダウン抵抗を接続してください。また、フラッシュ・プログラミング・モード時は、常にロウ・レベルを入力してください。

2.5 端子の入出力回路

(1/2)



(2/2)



第3章 CPU機能

V850E/SV2のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特徴

最小命令実行時間：24.7 ns（内部40.5 MHz動作時）

メモリ空間 プログラム空間：64 Mバイト・リニア

 データ空間 ：4 Gバイト・リニア

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

- ・ SET1
- ・ CLR1
- ・ NOT1
- ・ TST1

3.2 CPUレジスタ・セット

V850E/SV2のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E1 ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外/ディバグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外/ディバグ・トラップ時状態回避レジスタ)
r15			
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1, r3-r5, r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

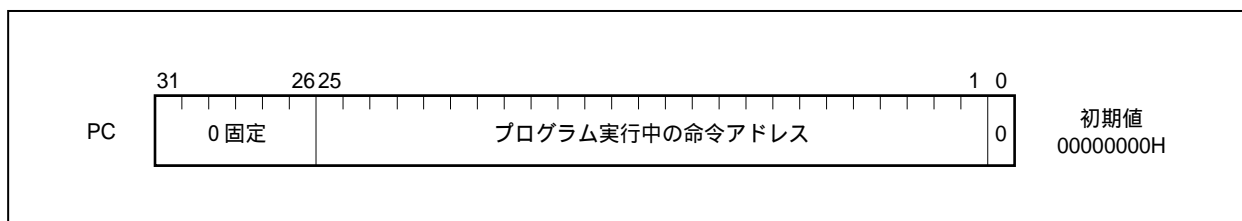
表3 - 1 プログラム・レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス / データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス / データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW)		
2	NMI時状態退避レジスタ (FEPC)		
3	NMI時状態退避レジスタ (FEPSW)		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/ディバグ・トラップ時状態退避レジスタ (DBPC)	注2	
19	例外/ディバグ・トラップ時状態退避レジスタ (DBPSW)	注2	
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. このレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

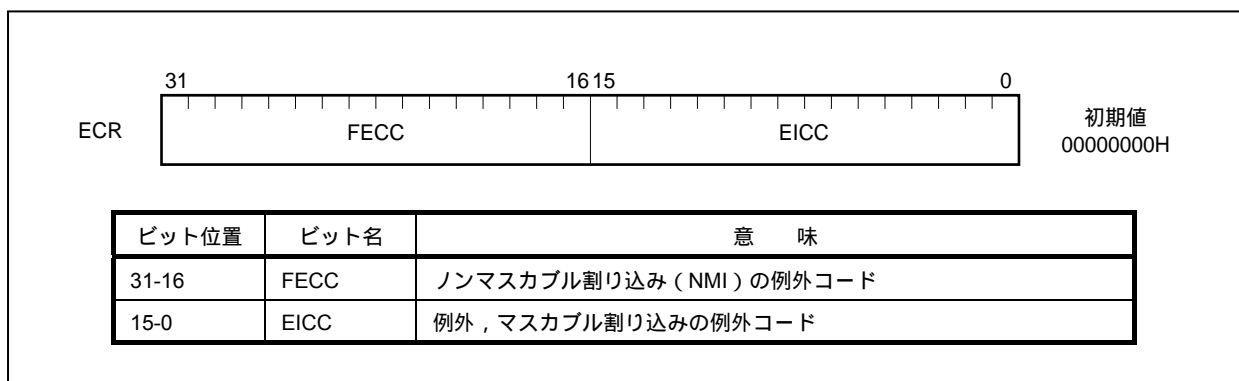
2. DBTRAP命令実行時だけアクセス可能です。

注意 LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

備考 : アクセス可能

x : アクセス禁止

(1) 割り込み要因レジスタ (ECR)



(2) プログラム・ステータス・ワード (PSW)

(1/2)



ビット位置	ビット名	意 味
31-8	RFU	予約フィールドです (0に固定されています)。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMIが受け付けられるとセットされ、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット (1) されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付けられる状態かどうかを示します。 0: 割り込み可 1: 割り込み不可
4	SAT ^注	飽和演算処理命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット (1) され、以降の命令の演算結果が飽和しなくてもクリア (0) されません。クリア (0) する場合は、PSWにデータをロードします。なお、一般の算術演算では、セット (1) もクリア (0) もしません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリーまたはボローが発生した場合にセットされます (発生しなかった場合、リセットされます)。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバフローが発生した場合にセットされます (発生しなかった場合、リセットされます)。 0: オーバフローは発生していない。 1: オーバフローが発生した。
1	S ^注	演算の結果が負であった場合にセットされます。正であった場合、リセットされます。 0: 演算の結果は、正または0であった。 1: 演算の結果は、負であった。
0	Z	演算の結果が0であった場合に、セットされます (ゼロでなかった場合、リセットされます)。 0: 演算の結果は、0でなかった。 1: 演算の結果は、0であった。

備考 注の説明は次ページに記載しています。

注 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前	0	0	演算結果そのもの
負(最大値を越えない)	値を保持		1	

3.3 動作モード

3.3.1 動作モード

V850E/SV2は次に示す動作モードを備えます。モードの指定はMODE0, MODE1端子により行います。

(1) 通常動作モード (シングルチップ・モード)

内蔵ROMへのアクセスが可能になります。

シングルチップ・モードでは、システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。命令によりPMCDH, PMCDL, PMCCS, PMCCT, PMCCMレジスタをコントロール・モードに設定することにより、外部メモリ領域に外部デバイスを接続できます。

(2) フラッシュ・メモリ・プログラミング・モード (μ PD70F3166, 70F3166Y)

このモードを指定すると、フラッシュ・ライタによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

3.3.2 動作モード指定

MODE0, MODE1端子の状態により、動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし、動作中に変更した場合の動作は保証しません。

MODE1	MODE0	動作モード	
L	L	通常動作モード (シングルチップ・モード)	内蔵ROM領域を000000Hから配置
H	L	フラッシュ・メモリ・プログラミング・モード ^注	-
上記以外		設定禁止	

注 μ PD70F3166, 70F3166Yのみ有効, μ PD703166, 703166Yは設定禁止。

備考 L: ロウ・レベル入力

H: ハイ・レベル入力

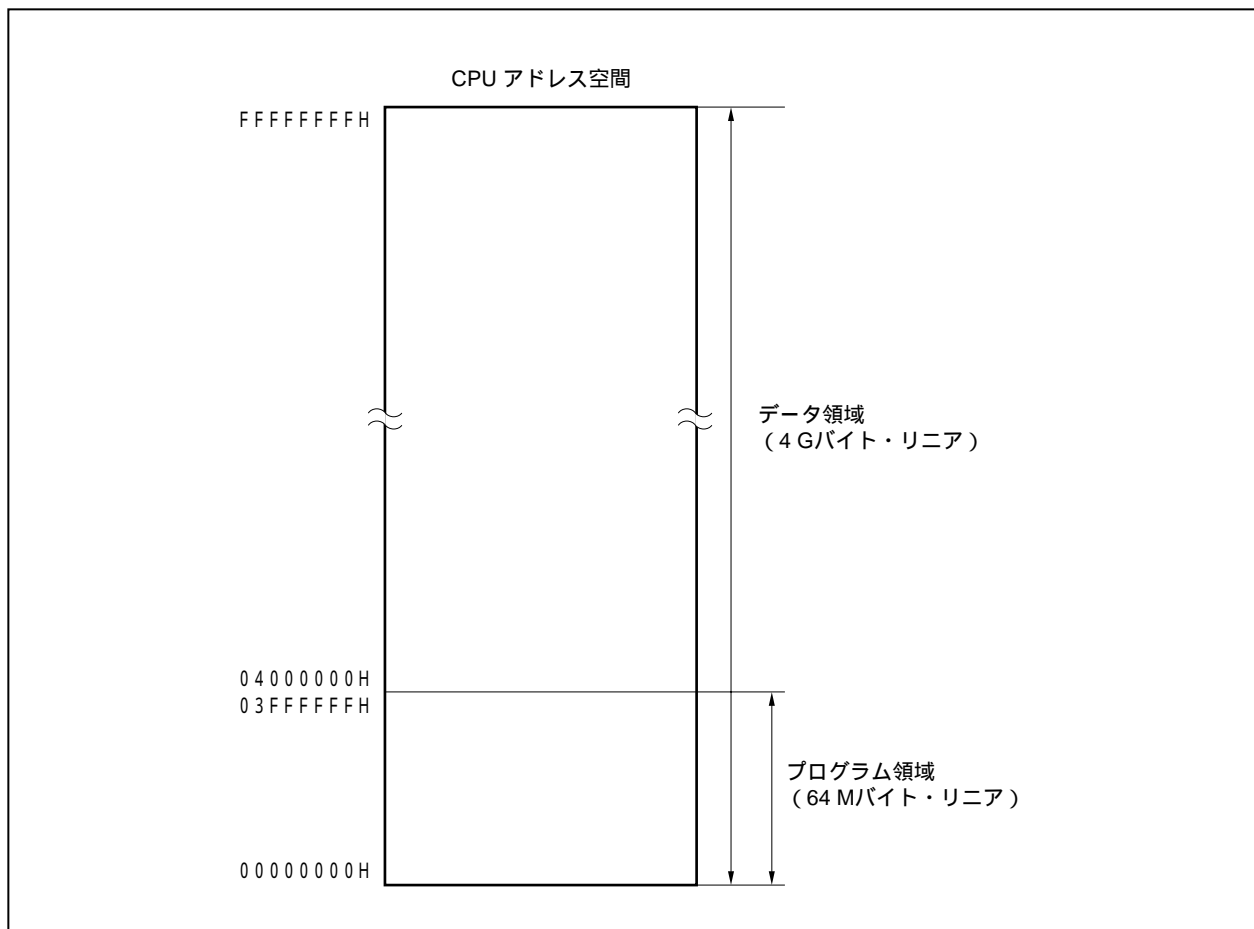
3.4 アドレス空間

3.4.1 CPUアドレス空間

V850E/SV2のCPUは、32ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大64 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

図3 - 1にCPUアドレス空間を示します。

図3 - 1 CPUアドレス空間

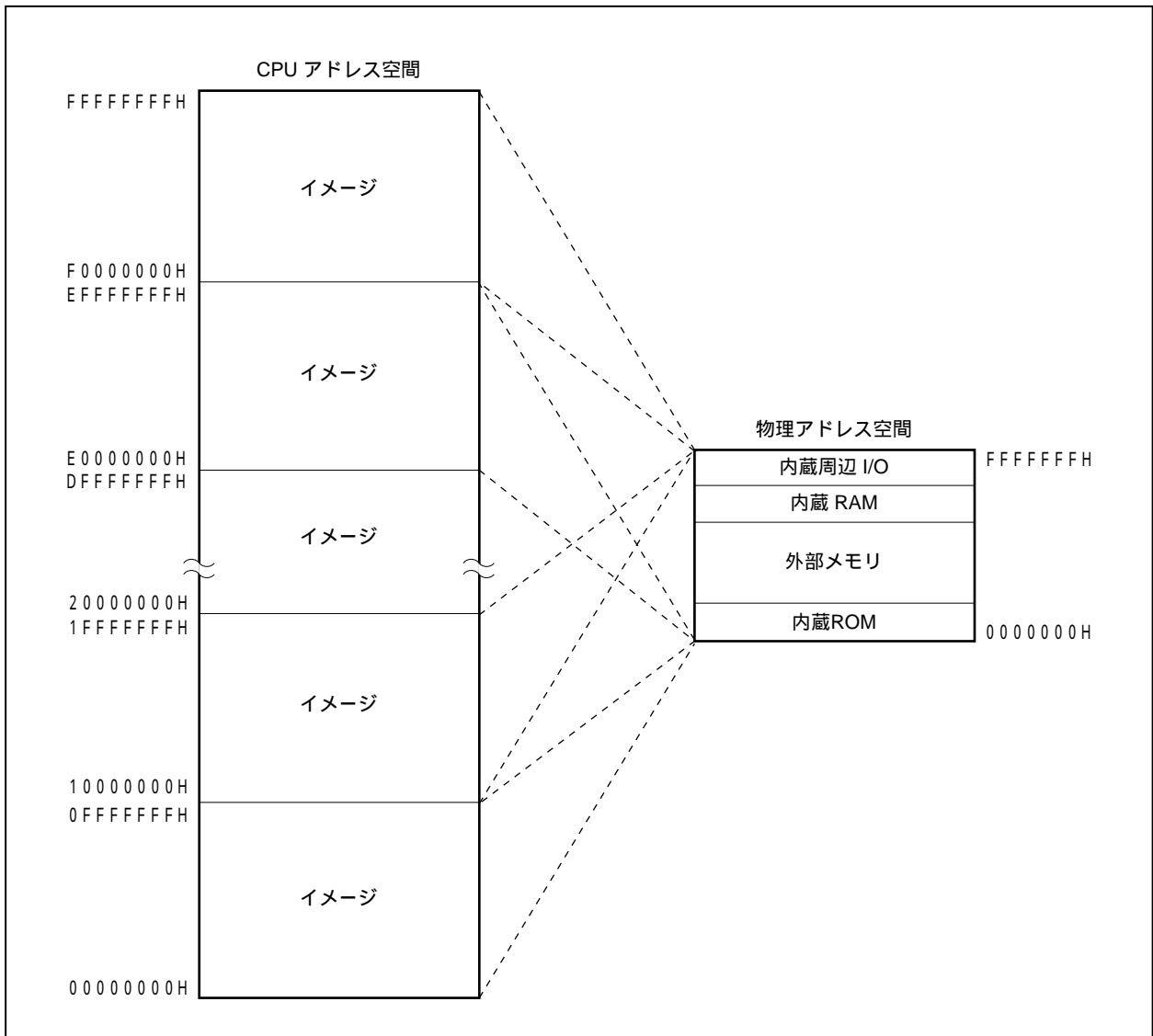


3.4.2 イメージ

4 GバイトのCPUアドレス空間には、256 Mバイトの物理アドレス空間が16個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット28がどのような値でも、同じ256 Mバイトの物理アドレス空間をアクセスします。図3 - 2にアドレス空間上のイメージを示します。

物理アドレスのx0000000H番地が、CPUアドレスの00000000H番地のほかに、10000000H番地、20000000H番地、...、E0000000H番地、F0000000H番地に見えます。

図3 - 2 アドレス空間上のイメージ



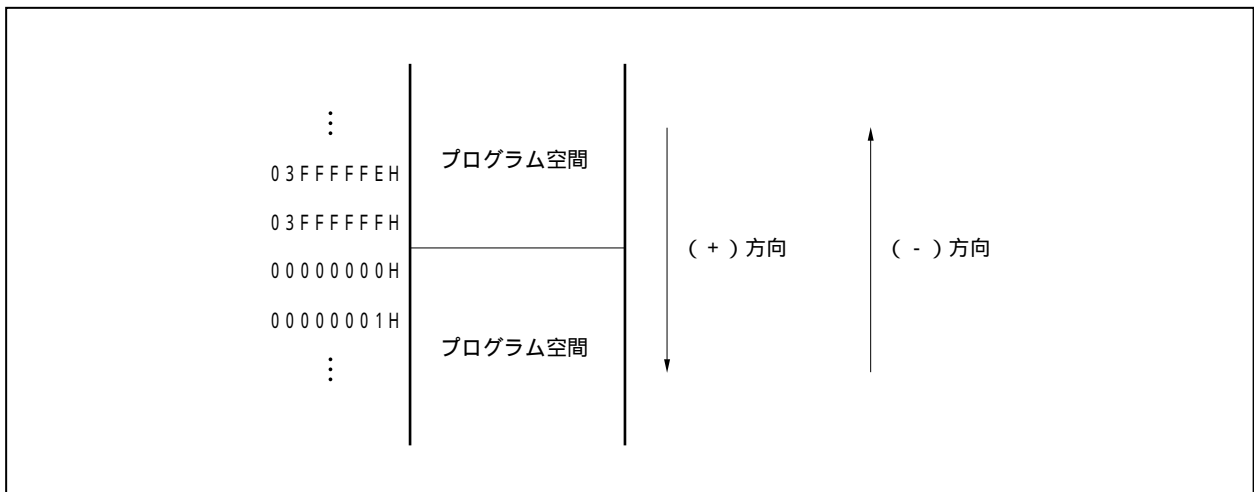
3.4.3 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

プログラム・カウンタ (PC) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の下限である00000000H番地と、上限の03FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

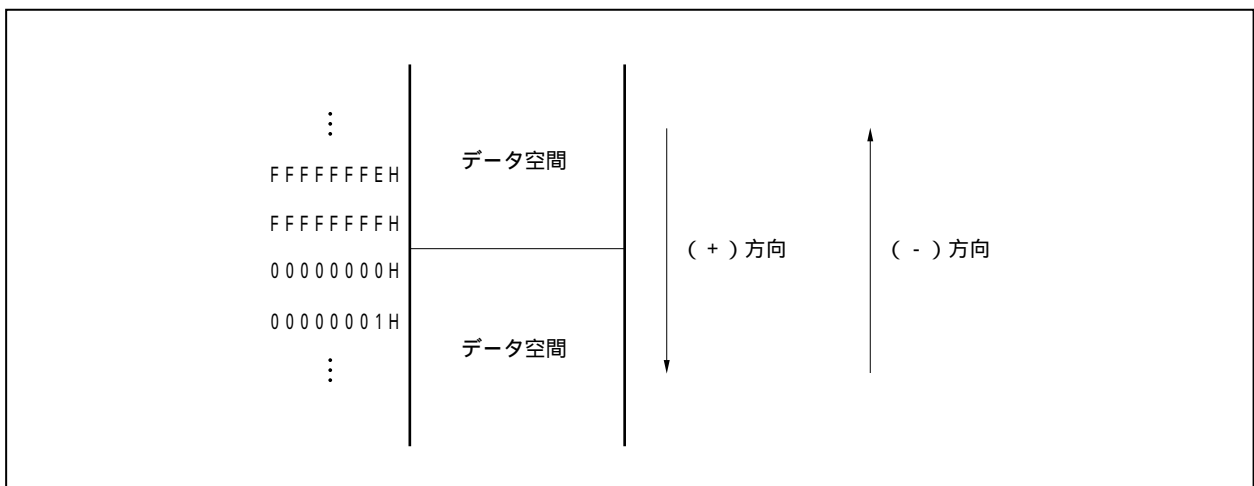
注意 03FFF000H-03FFFFFFHの4 Kバイトの領域は、0FFFFFF00H-0FFFFFFFHのイメージが見えません。この領域はアクセス禁止です。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

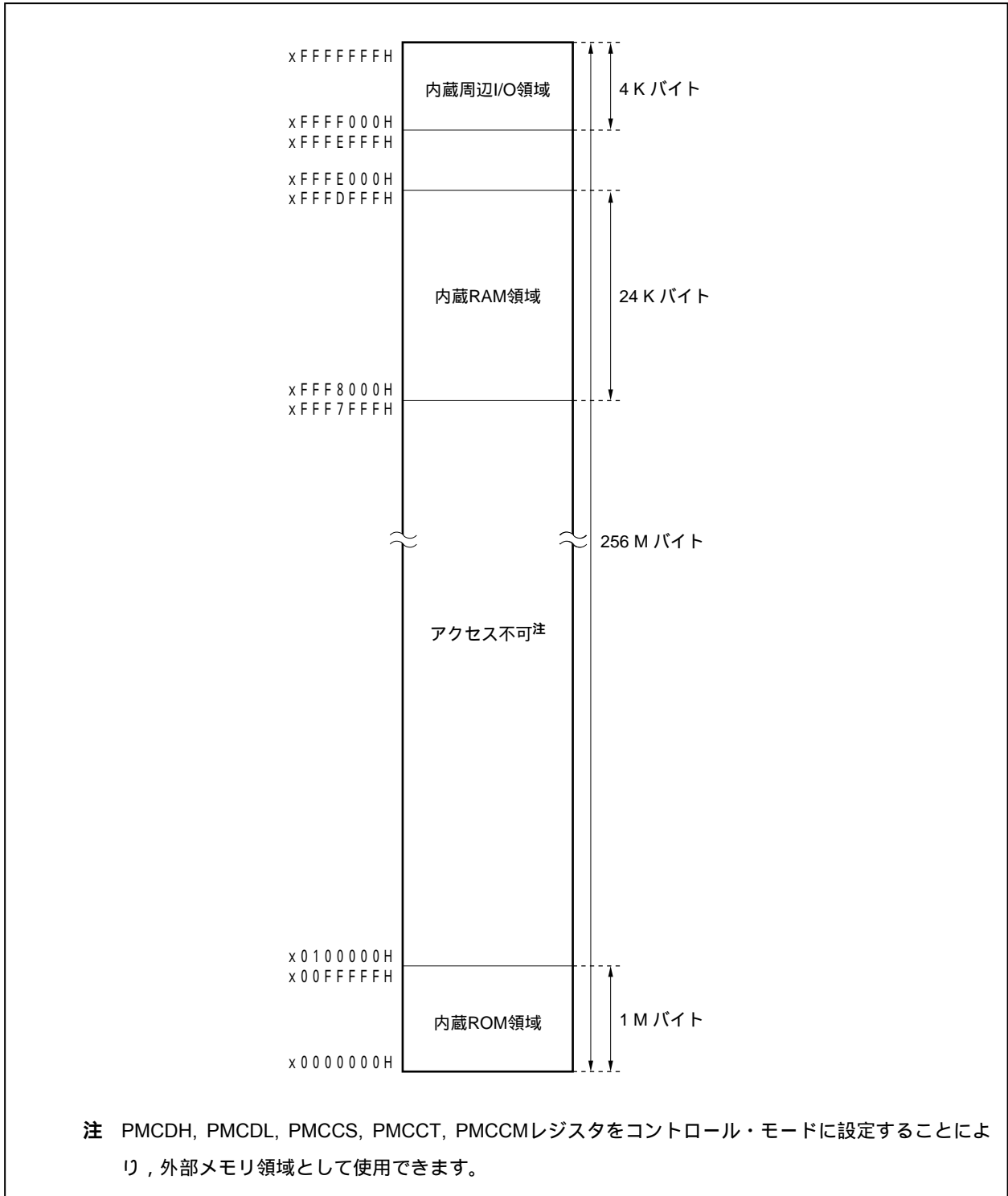
したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.4 メモリ・マップ

V850E/SV2では、図3 - 3に示すように各領域を予約しています

図3 - 3 メモリ・マップ



3.4.5 領域

(1) 内蔵ROM領域

(a) メモリ・マップ

内蔵ROM領域は、00000H-FFFFFFH番地の1 Mバイトが予約されています。

μ PD703166, 703166Y

物理内蔵ROM(マスクROM)として000000H-07FFFFFFH番地に512 Kバイトを実装しています。

μ PD70F3166, 70F3166Y

物理内蔵ROM(フラッシュ・メモリ)として000000H-07FFFFFFH番地に512 Kバイトを実装しています。

(b) 割り込み / 例外テーブル

V850E/SV2は、割り込み / 例外に対応したハンドラ・アドレスを固定化することにより、割り込み応答性を高速化しています。

このハンドラ・アドレスの集合を割り込み / 例外テーブルと呼び、内蔵ROM領域に置かれています。割り込み / 例外要求が受け付けられると、ハンドラ・アドレスにジャンプし、そのメモリに置かれているプログラムを実行します。表3 - 3に割り込み / 例外要因と、対応するアドレスを示します。

表3 - 3 割り込み / 例外テーブル

割り込み / 例外テーブルの先頭アドレス	割り込み / 例外要因	割り込み / 例外テーブルの先頭アドレス	割り込み / 例外要因	割り込み / 例外テーブルの先頭アドレス	割り込み / 例外要因
00000000H	RESET	00000200H	INTCP311	000003F0H	INTCM15
	WDTRES	00000210H	INTCM30	00000400H	INTTM20
00000010H	NMI	00000220H	INTCM31	00000410H	INTTM21
00000020H	INTWDT	00000230H	INTMKC0	00000420H	INTTM22
0000004nH	TRAP0n	00000240H	INTMKC1	00000430H	INTTM23
0000005nH	TRAP1n	00000250H	INTMKUD0	00000440H	INTTM24
00000060H	ILGOP/DBG0	00000260H	INTMKUD1	00000450H	INTTM25
00000080H	INTWDTM	00000270H	INTTI3	00000460H	INTTM26
00000090H	INTP0	00000280H	INTOVF00	00000470H	INTTM27
000000A0H	INTP1	00000290H	INTOVF01	00000480H	INTTM28
000000B0H	INTP2	000002A0H	INTOVF02	00000490H	INTTM29
000000C0H	INTP3	000002B0H	INTOVF03	000004A0H	INTTM210
000000D0H	INTP4	000002C0H	INTOVF04	000004B0H	INTTM211
000000E0H	INTP5	000002D0H	INTOVF05	000004C0H	INTDMA0
000000F0H	INTP6	000002E0H	INTCC000	000004D0H	INTDMA1
00000100H	INTP7	000002F0H	INTCC010	000004E0H	INTDMA2
00000110H	INTP8	00000300H	INTCC020	000004F0H	INTDMA3
00000120H	INTP9	00000310H	INTCC030	00000500H	INTCSI0
00000130H	INTP10	00000320H	INTCC040	00000510H	INTCSI1
00000140H	INTOV3	00000330H	INTCC050	00000520H	INTCSI2
00000150H	INTCP30	00000340H	INTCC001	00000530H	INTCSI3
00000160H	INTCP31	00000350H	INTCC011	00000540H	INTCSIA0
00000170H	INTCP32	00000360H	INTCC021	00000550H	INTCSIA1
00000180H	INTCP33	00000370H	INTCC031	00000560H	INTSER0
00000190H	INTCP34	00000380H	INTCC041	00000570H	INTSR0
000000A0H	INTCP35	00000390H	INTCC051	00000580H	INTST0
000000B0H	INTCP36	000003A0H	INTCM10	00000590H	INTSER1
000000C0H	INTCP37	000003B0H	INTCM11	000005A0H	INTSR1
000000D0H	INTCP38	000003C0H	INTCM12	000005B0H	INTST1
000000E0H	INTCP39	000003D0H	INTCM13	000005C0H	INTIIC
000000F0H	INTCP310	000003E0H	INTCM14	000005D0H	INTAD

(2) 内蔵RAM領域

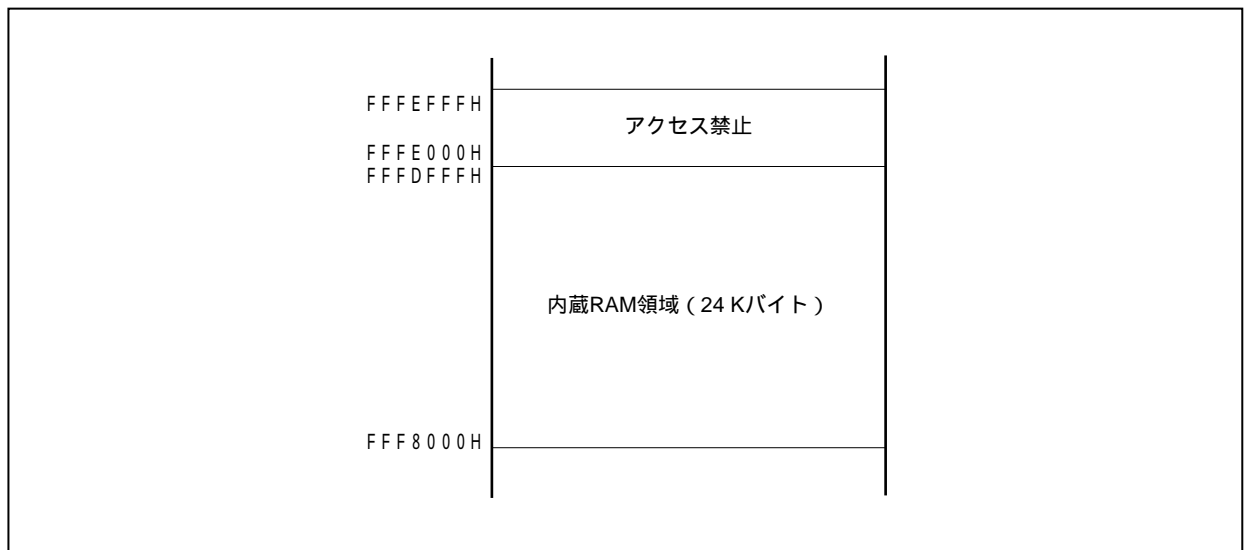
内蔵RAM領域は、FFF8000H-FFFEFFFH番地の28 Kバイトが予約されています。3FF8000H-3FFEFFFH番地の28 Kバイトには、FFF8000H-FFFEFFFH番地のイメージが見えます。

内蔵RAM領域をプログラム空間として使用する場合は、3FF8000H-3FFEFFFH番地に対してアクセスしてください。

物理内蔵RAMとしてFFF8000H-FFFDFFFH番地の24 Kバイトを実装しています。

注意 FFFE000H-FFFEFFFH番地はアクセス禁止です。

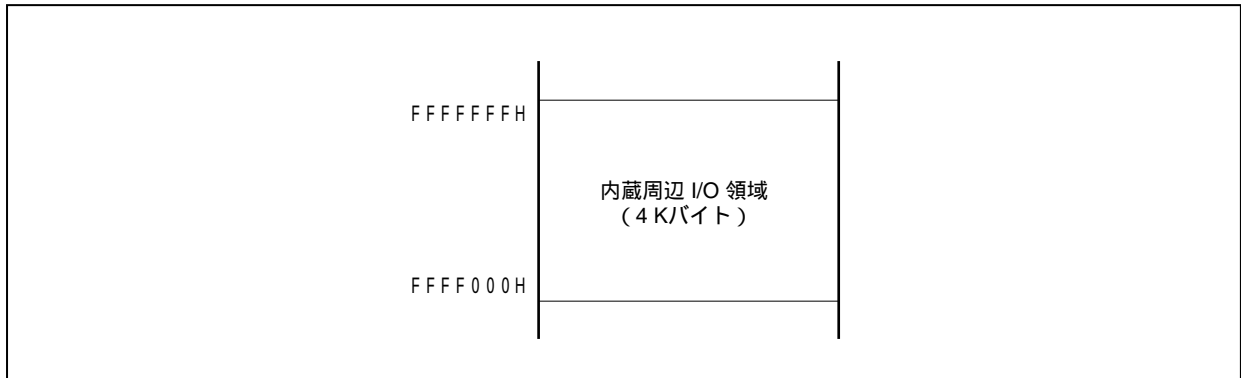
図3 - 4 内蔵RAM領域



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域としてFFFFFF00H-FFFFFFFH番地の4 Kバイトを実装しています。
3FFF000H-3FFFFFFFH番地[※]には、FFFFFF00H-FFFFFFFH番地のイメージが見えます。

注 3FFF000H-3FFFFFFFH番地はアクセス禁止です。内蔵周辺I/Oをアクセスするときには
FFFFFF00H-FFFFFFFH番地を指定してください。



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
 3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。
 4. DMA転送の転送元、転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。転送元、転送先のアドレスには、必ずFFFFFF00H-FFFFFFFHのアドレスを指定してください。

(4) 外部メモリ領域

外部メモリ領域として256 Mバイトあります。下位64 Mバイトはプログラム/データ領域として使用できます。上位192 Mバイトはデータ領域として使用できます。

・シングルチップ・モードのとき : x0100000H-xFFF7FFFH

外部メモリ領域へのアクセスは、各メモリ・ブロックごとに割り当てられたチップ・セレクト信号を使用します(チップ・エリア選択コントロール・レジスタ0, 1 (CSC0, CSC1) で設定したCS単位で行います)。

なお、内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域に対しては、外部メモリ領域としてアクセスすることはできません。

3.4.6 外部メモリ拡張

ポートnモード・コントロール・レジスタ (PMcN) をコントロール・モードに設定することにより、ポートnの各端子を用いて外部メモリ空間に外部デバイスを接続することができます。各レジスタの設定は、PMcNレジスタにより、ポートnの各端子をコントロール・モードに選択することで行います。

なお、リセット時は、シングルチップ・モードになり、内蔵ROM領域へのアクセスを行うため、ポートnの各端子がポート・モードになり、外部デバイスは使用できません。

外部メモリを使用するためには、PMcNレジスタの設定を行ってください。

備考 n = DH, DL, CS, CT, CM

3.4.7 アドレス空間の推奨使用方法

V850E/SV2のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの ± 32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

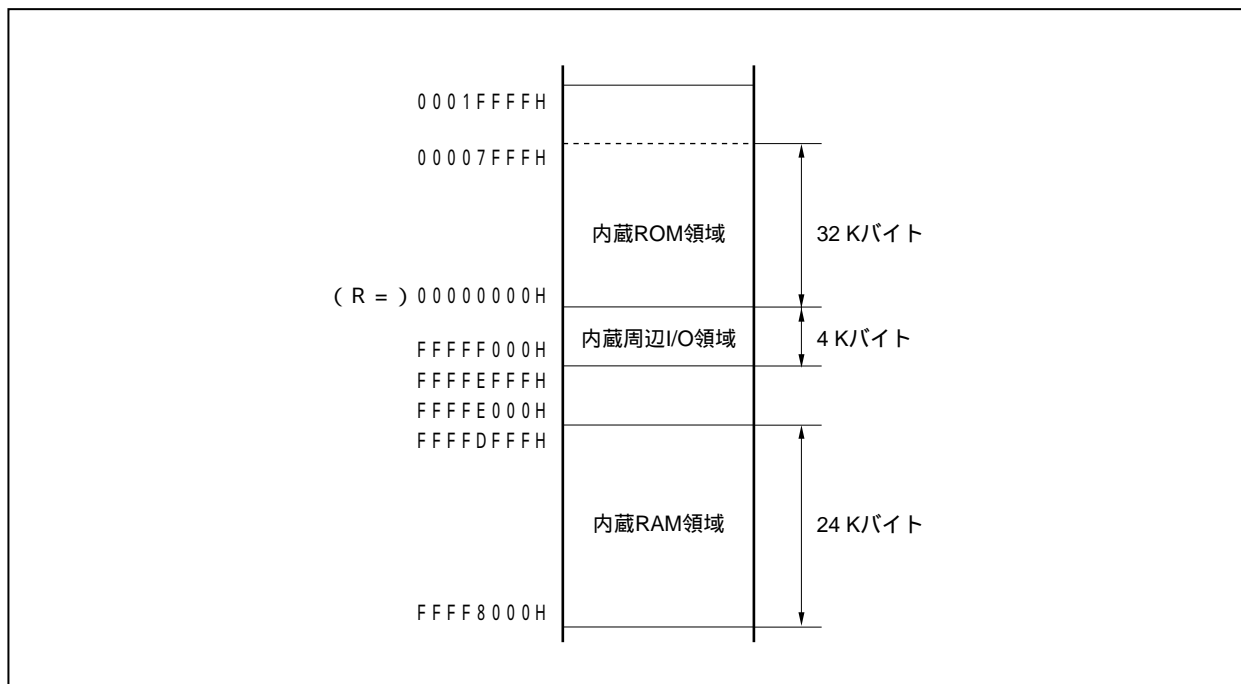
(1) プログラム空間

プログラム・カウンタ(PC)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

(2) データ空間

V850E/SV2では、4 GバイトのCPUアドレス空間に256 Mバイトの物理アドレス空間が16個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

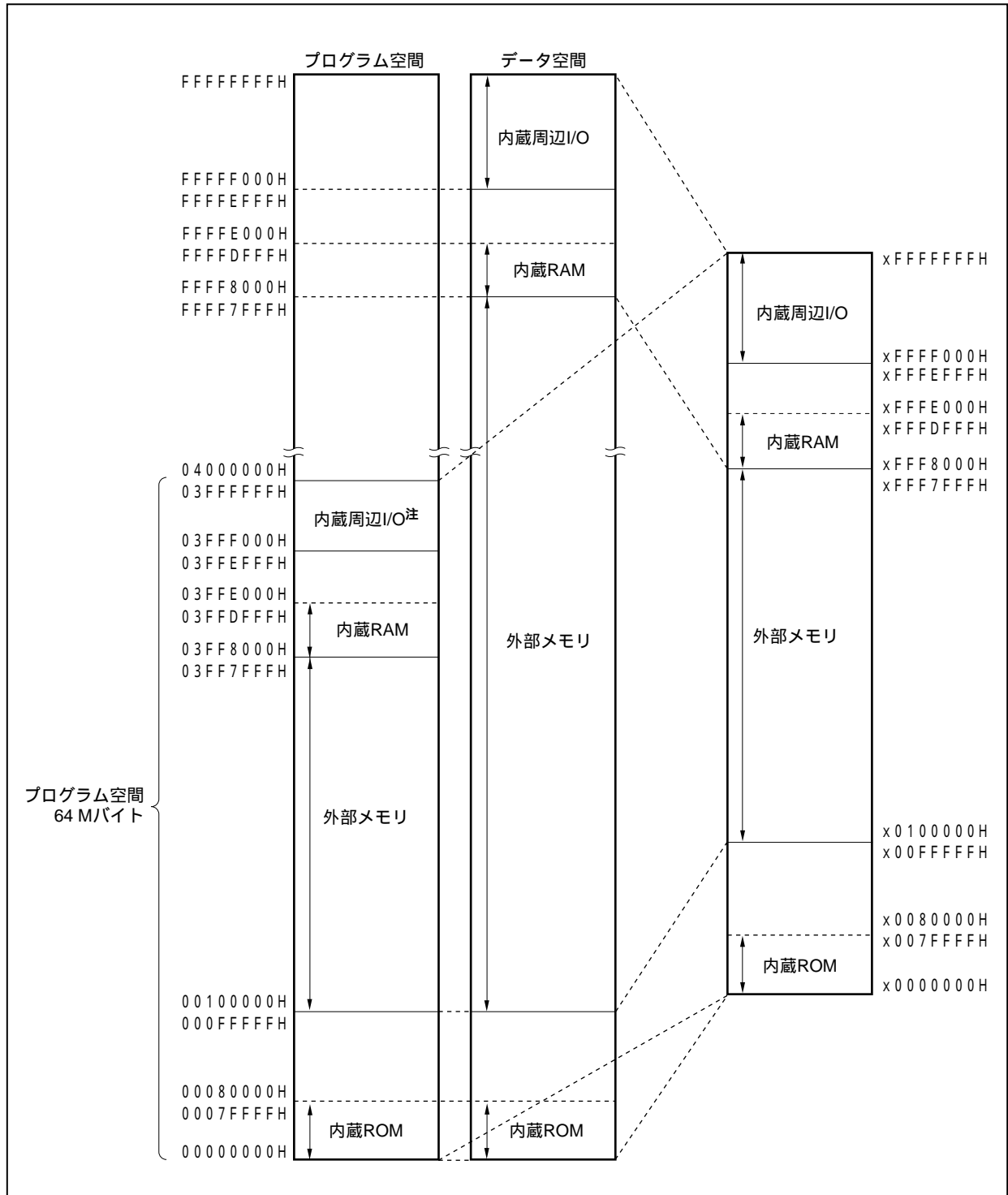
例 ラップ・アラウンドを利用した応用例は次のようになります。



LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。したがって内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

図3-5 推奨メモリ・マップ



3.4.8 周辺I/Oレジスタ

(1/18)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF004H	ポートDL	PDL	R/W					不定
FFFFFF004H	ポートDLL	PDLL	R/W					不定
FFFFFF005H	ポートDLH	PDLH	R/W					不定
FFFFFF006H	ポートDH	PDH	R/W					不定
FFFFFF006H	ポートDHL	PDHL	R/W					不定
FFFFFF007H	ポートDHH	PDHH	R/W					不定
FFFFFF008H	ポートCS	PCS	R/W					不定
FFFFFF00AH	ポートCT	PCT	R/W					不定
FFFFFF00CH	ポートCM	PCM	R/W					不定
FFFFFF00EH	ポートCD	PCD	R/W					不定
FFFFFF024H	ポートDLモード・レジスタ	PMDL	R/W					FFFFH
FFFFFF024H	ポートDLLモード・レジスタ	PMDLL	R/W					FFH
FFFFFF025H	ポートDLHモード・レジスタ	PMDLH	R/W					FFH
FFFFFF026H	ポートDHモード・レジスタ	PMDH	R/W					FFFFH
FFFFFF026H	ポートDHLモード・レジスタ	PMDHL	R/W					FFH
FFFFFF027H	ポートDHHモード・レジスタ	PMDHH	R/W					FFH
FFFFFF028H	ポートCSモード・レジスタ	PMCS	R/W					FFH
FFFFFF02AH	ポートCTモード・レジスタ	PMCT	R/W					FFH
FFFFFF02CH	ポートCMモード・レジスタ	PMCM	R/W					FFH
FFFFFF02EH	ポートCDモード・レジスタ	PMCD	R/W					FFH
FFFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL	R/W					0000H
FFFFFF044H	ポートDLLモード・コントロール・レジスタ	PMCDLL	R/W					00H
FFFFFF045H	ポートDLHモード・コントロール・レジスタ	PMCDLH	R/W					00H
FFFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH	R/W					0000H
FFFFFF046H	ポートDHLモード・コントロール・レジスタ	PMCDHL	R/W					00H
FFFFFF047H	ポートDHHモード・コントロール・レジスタ	PMCDHH	R/W					00H
FFFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS	R/W					00H
FFFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCCT	R/W					00H
FFFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCCM	R/W					00H
FFFFFF060H	チップ・エリア選択コントロール・レジスタ0	CSC0	R/W					2C11H
FFFFFF062H	チップエリア選択コントロール・レジスタ1	CSC1	R/W					2C11H
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	R/W					5555H
FFFFFF06EH	システム・ウエイト・コントロール・レジスタ	VSWC	R/W					77H
FFFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W					不定
FFFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W					不定
FFFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W					不定
FFFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W					不定
FFFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L	R/W					不定
FFFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H	R/W					不定
FFFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W					不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W					不定
FFFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W					不定
FFFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W					不定
FFFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W					不定
FFFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W					不定
FFFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W					不定
FFFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H	R/W					不定
FFFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W					不定
FFFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W					不定
FFFFFF0C0H	DMA転送カウンタ・レジスタ0	DBC0	R/W					不定
FFFFFF0C2H	DMA転送カウンタ・レジスタ1	DBC1	R/W					不定
FFFFFF0C4H	DMA転送カウンタ・レジスタ2	DBC2	R/W					不定
FFFFFF0C6H	DMA転送カウンタ・レジスタ3	DBC3	R/W					不定
FFFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0	R/W					0000H
FFFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1	R/W					0000H
FFFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2	R/W					0000H
FFFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3	R/W					0000H
FFFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0	R/W					00H
FFFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1	R/W					00H
FFFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2	R/W					00H
FFFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3	R/W					00H
FFFFFF0F0H	DMAディスエーブル・ステータス・レジスタ	DDIS	R					00H
FFFFFF0F2H	DMAリスタート・レジスタ	DRST	R/W					00H
FFFFFF100H	割り込みマスク・レジスタ0	IMR0	R/W					FFFFH
FFFFFF100H	割り込みマスク・レジスタ0L	IMR0L	R/W					FFH
FFFFFF101H	割り込みマスク・レジスタ0H	IMR0H	R/W					FFH
FFFFFF102H	割り込みマスク・レジスタ1	IMR1	R/W					FFFFH
FFFFFF102H	割り込みマスク・レジスタ1L	IMR1L	R/W					FFH
FFFFFF103H	割り込みマスク・レジスタ1H	IMR1H	R/W					FFH
FFFFFF104H	割り込みマスク・レジスタ2	IMR2	R/W					FFFFH
FFFFFF104H	割り込みマスク・レジスタ2L	IMR2L	R/W					FFH
FFFFFF105H	割り込みマスク・レジスタ2H	IMR2H	R/W					FFH
FFFFFF106H	割り込みマスク・レジスタ3	IMR3	R/W					FFFFH
FFFFFF106H	割り込みマスク・レジスタ3L	IMR3L	R/W					FFH
FFFFFF107H	割り込みマスク・レジスタ3H	IMR3H	R/W					FFH
FFFFFF108H	割り込みマスク・レジスタ4	IMR4	R/W					FFFFH
FFFFFF108H	割り込みマスク・レジスタ4L	IMR4L	R/W					FFH
FFFFFF109H	割り込みマスク・レジスタ4H	IMR4H	R/W					FFH
FFFFFF10AH	割り込みマスク・レジスタ5	IMR5	R/W					FFFFH
FFFFFF10AH	割り込みマスク・レジスタ5L	IMR5L	R/W					FFH
FFFFFF110H	割り込み制御レジスタ	WDTIC	R/W					47H
FFFFFF112H	割り込み制御レジスタ	PIC0	R/W					47H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF114H	割り込み制御レジスタ	PIC1	R/W					47H
FFFFFF116H	割り込み制御レジスタ	PIC2	R/W					47H
FFFFFF118H	割り込み制御レジスタ	PIC3	R/W					47H
FFFFFF11AH	割り込み制御レジスタ	PIC4	R/W					47H
FFFFFF11CH	割り込み制御レジスタ	PIC5	R/W					47H
FFFFFF11EH	割り込み制御レジスタ	PIC6	R/W					47H
FFFFFF120H	割り込み制御レジスタ	PIC7	R/W					47H
FFFFFF122H	割り込み制御レジスタ	PIC8	R/W					47H
FFFFFF124H	割り込み制御レジスタ	PIC9	R/W					47H
FFFFFF126H	割り込み制御レジスタ	PIC10	R/W					47H
FFFFFF128H	割り込み制御レジスタ	OVIC3	R/W					47H
FFFFFF12AH	割り込み制御レジスタ	CPIC30	R/W					47H
FFFFFF12CH	割り込み制御レジスタ	CPIC31	R/W					47H
FFFFFF12EH	割り込み制御レジスタ	CPIC32	R/W					47H
FFFFFF130H	割り込み制御レジスタ	CPIC33	R/W					47H
FFFFFF132H	割り込み制御レジスタ	CPIC34	R/W					47H
FFFFFF134H	割り込み制御レジスタ	CPIC35	R/W					47H
FFFFFF136H	割り込み制御レジスタ	CPIC36	R/W					47H
FFFFFF138H	割り込み制御レジスタ	CPIC37	R/W					47H
FFFFFF13AH	割り込み制御レジスタ	CPIC38	R/W					47H
FFFFFF13CH	割り込み制御レジスタ	CPIC39	R/W					47H
FFFFFF13EH	割り込み制御レジスタ	CPIC310	R/W					47H
FFFFFF140H	割り込み制御レジスタ	CPIC311	R/W					47H
FFFFFF142H	割り込み制御レジスタ	CMIC30	R/W					47H
FFFFFF144H	割り込み制御レジスタ	CMIC31	R/W					47H
FFFFFF146H	割り込み制御レジスタ	MKCIC0	R/W					47H
FFFFFF148H	割り込み制御レジスタ	MKCIC1	R/W					47H
FFFFFF14AH	割り込み制御レジスタ	MKUDIC0	R/W					47H
FFFFFF14CH	割り込み制御レジスタ	MKUDIC1	R/W					47H
FFFFFF14EH	割り込み制御レジスタ	TIIC3	R/W					47H
FFFFFF150H	割り込み制御レジスタ	OVFIC00	R/W					47H
FFFFFF152H	割り込み制御レジスタ	OVFIC01	R/W					47H
FFFFFF154H	割り込み制御レジスタ	OVFIC02	R/W					47H
FFFFFF156H	割り込み制御レジスタ	OVFIC03	R/W					47H
FFFFFF158H	割り込み制御レジスタ	OVFIC04	R/W					47H
FFFFFF15AH	割り込み制御レジスタ	OVFIC05	R/W					47H
FFFFFF15CH	割り込み制御レジスタ	CCIC000	R/W					47H
FFFFFF15EH	割り込み制御レジスタ	CCIC010	R/W					47H
FFFFFF160H	割り込み制御レジスタ	CCIC020	R/W					47H
FFFFFF162H	割り込み制御レジスタ	CCIC030	R/W					47H
FFFFFF164H	割り込み制御レジスタ	CCIC040	R/W					47H
FFFFFF166H	割り込み制御レジスタ	CCIC050	R/W					47H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF168H	割り込み制御レジスタ	CCIC001	R/W					47H
FFFFFF16AH	割り込み制御レジスタ	CCIC011	R/W					47H
FFFFFF16CH	割り込み制御レジスタ	CCIC021	R/W					47H
FFFFFF16EH	割り込み制御レジスタ	CCIC031	R/W					47H
FFFFFF170H	割り込み制御レジスタ	CCIC041	R/W					47H
FFFFFF172H	割り込み制御レジスタ	CCIC051	R/W					47H
FFFFFF174H	割り込み制御レジスタ	CMIC10	R/W					47H
FFFFFF176H	割り込み制御レジスタ	CMIC11	R/W					47H
FFFFFF178H	割り込み制御レジスタ	CMIC12	R/W					47H
FFFFFF17AH	割り込み制御レジスタ	CMIC13	R/W					47H
FFFFFF17CH	割り込み制御レジスタ	CMIC14	R/W					47H
FFFFFF17EH	割り込み制御レジスタ	CMIC15	R/W					47H
FFFFFF180H	割り込み制御レジスタ	TMIC20	R/W					47H
FFFFFF182H	割り込み制御レジスタ	TMIC21	R/W					47H
FFFFFF184H	割り込み制御レジスタ	TMIC22	R/W					47H
FFFFFF186H	割り込み制御レジスタ	TMIC23	R/W					47H
FFFFFF188H	割り込み制御レジスタ	TMIC24	R/W					47H
FFFFFF18AH	割り込み制御レジスタ	TMIC25	R/W					47H
FFFFFF18CH	割り込み制御レジスタ	TMIC26	R/W					47H
FFFFFF18EH	割り込み制御レジスタ	TMIC27	R/W					47H
FFFFFF190H	割り込み制御レジスタ	TMIC28	R/W					47H
FFFFFF192H	割り込み制御レジスタ	TMIC29	R/W					47H
FFFFFF194H	割り込み制御レジスタ	TMIC210	R/W					47H
FFFFFF196H	割り込み制御レジスタ	TMIC211	R/W					47H
FFFFFF198H	割り込み制御レジスタ	DMAIC0	R/W					47H
FFFFFF19AH	割り込み制御レジスタ	DMAIC1	R/W					47H
FFFFFF19CH	割り込み制御レジスタ	DMAIC2	R/W					47H
FFFFFF19EH	割り込み制御レジスタ	DMAIC3	R/W					47H
FFFFFF1A0H	割り込み制御レジスタ	CSIC0	R/W					47H
FFFFFF1A2H	割り込み制御レジスタ	CSIC1	R/W					47H
FFFFFF1A4H	割り込み制御レジスタ	CSIC2	R/W					47H
FFFFFF1A6H	割り込み制御レジスタ	CSIC3	R/W					47H
FFFFFF1A8H	割り込み制御レジスタ	CSICA0	R/W					47H
FFFFFF1AAH	割り込み制御レジスタ	CSICA1	R/W					47H
FFFFFF1ACH	割り込み制御レジスタ	SERIC0	R/W					47H
FFFFFF1AEH	割り込み制御レジスタ	SRIC0	R/W					47H
FFFFFF1B0H	割り込み制御レジスタ	STIC0	R/W					47H
FFFFFF1B2H	割り込み制御レジスタ	SERIC1	R/W					47H
FFFFFF1B4H	割り込み制御レジスタ	SRIC1	R/W					47H
FFFFFF1B6H	割り込み制御レジスタ	STIC1	R/W					47H
FFFFFF1B8H	割り込み制御レジスタ	IICIC	R/W					47H
FFFFFF1BAH	割り込み制御レジスタ	ADIC	R/W					47H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF1FAH	インサースビス・プライオリティ・レジスタ	ISPR	R					00H
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W					不定
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W					00H
FFFFFF200H	A/Dコンバータ・モード・レジスタ0	ADM0	R/W					00H
FFFFFF201H	A/Dコンバータ・モード・レジスタ1	ADM1	R/W					00H
FFFFFF202H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W					00H
FFFFFF210H	A/D変換結果レジスタ0	ADCR0	R					不定
FFFFFF211H	A/D変換結果レジスタ0H	ADCR0H	R					不定
FFFFFF212H	A/D変換結果レジスタ1	ADCR1	R					不定
FFFFFF213H	A/D変換結果レジスタ1H	ADCR1H	R					不定
FFFFFF214H	A/D変換結果レジスタ2	ADCR2	R					不定
FFFFFF215H	A/D変換結果レジスタ2H	ADCR2H	R					不定
FFFFFF216H	A/D変換結果レジスタ3	ADCR3	R					不定
FFFFFF217H	A/D変換結果レジスタ3H	ADCR3H	R					不定
FFFFFF218H	A/D変換結果レジスタ4	ADCR4	R					不定
FFFFFF219H	A/D変換結果レジスタ4H	ADCR4H	R					不定
FFFFFF21AH	A/D変換結果レジスタ5	ADCR5	R					不定
FFFFFF21BH	A/D変換結果レジスタ5H	ADCR5H	R					不定
FFFFFF21CH	A/D変換結果レジスタ6	ADCR6	R					不定
FFFFFF21DH	A/D変換結果レジスタ6H	ADCR6H	R					不定
FFFFFF21EH	A/D変換結果レジスタ7	ADCR7	R					不定
FFFFFF21FH	A/D変換結果レジスタ7H	ADCR7H	R					不定
FFFFFF220H	A/D変換結果レジスタ8	ADCR8	R					不定
FFFFFF221H	A/D変換結果レジスタ8H	ADCR8H	R					不定
FFFFFF222H	A/D変換結果レジスタ9	ADCR9	R					不定
FFFFFF223H	A/D変換結果レジスタ9H	ADCR9H	R					不定
FFFFFF224H	A/D変換結果レジスタ10	ADCR10	R					不定
FFFFFF225H	A/D変換結果レジスタ10H	ADCR10H	R					不定
FFFFFF226H	A/D変換結果レジスタ11	ADCR11	R					不定
FFFFFF227H	A/D変換結果レジスタ11H	ADCR11H	R					不定
FFFFFF228H	A/D変換結果レジスタ12	ADCR12	R					不定
FFFFFF229H	A/D変換結果レジスタ12H	ADCR12H	R					不定
FFFFFF22AH	A/D変換結果レジスタ13	ADCR13	R					不定
FFFFFF22BH	A/D変換結果レジスタ13H	ADCR13H	R					不定
FFFFFF22CH	A/D変換結果レジスタ14	ADCR14	R					不定
FFFFFF22DH	A/D変換結果レジスタ14H	ADCR14H	R					不定
FFFFFF22EH	A/D変換結果レジスタ15	ADCR15	R					不定
FFFFFF22FH	A/D変換結果レジスタ15H	ADCR15H	R					不定
FFFFFF230H	A/D変換結果レジスタ16	ADCR16	R					不定
FFFFFF231H	A/D変換結果レジスタ16H	ADCR16H	R					不定
FFFFFF232H	A/D変換結果レジスタ17	ADCR17	R					不定
FFFFFF233H	A/D変換結果レジスタ17H	ADCR17H	R					不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF234H	A/D変換結果レジスタ18	ADCR18	R					不定
FFFFFF235H	A/D変換結果レジスタ18H	ADCR18H	R					不定
FFFFFF236H	A/D変換結果レジスタ19	ADCR19	R					不定
FFFFFF237H	A/D変換結果レジスタ19H	ADCR19H	R					不定
FFFFFF238H	A/D変換結果レジスタ20	ADCR20	R					不定
FFFFFF239H	A/D変換結果レジスタ20H	ADCR20H	R					不定
FFFFFF23AH	A/D変換結果レジスタ21	ADCR21	R					不定
FFFFFF23BH	A/D変換結果レジスタ21H	ADCR21H	R					不定
FFFFFF23CH	A/D変換結果レジスタ22	ADCR22	R					不定
FFFFFF23DH	A/D変換結果レジスタ22H	ADCR22H	R					不定
FFFFFF23EH	A/D変換結果レジスタ23	ADCR23	R					不定
FFFFFF23FH	A/D変換結果レジスタ23H	ADCR23H	R					不定
FFFFFF400H	ポート0	P0	R/W					不定
FFFFFF402H	ポート1	P1	R/W					不定
FFFFFF404H	ポート2	P2	R/W					不定
FFFFFF406H	ポート3	P3	R/W					不定
FFFFFF408H	ポート4	P4	R/W					不定
FFFFFF40AH	ポート5	P5	R/W					不定
FFFFFF40AH	ポート5L	P5L	R/W					不定
FFFFFF40BH	ポート5H	P5H	R/W					不定
FFFFFF40CH	ポート6	P6	R/W					不定
FFFFFF40EH	ポート7	P7	R					不定
FFFFFF40EH	ポート7L	P7L	R					不定
FFFFFF40FH	ポート7H	P7H	R					不定
FFFFFF410H	ポート8	P8	R					不定
FFFFFF412H	ポート9	P9	R/W					不定
FFFFFF412H	ポート9L	P9L	R/W					不定
FFFFFF413H	ポート9H	P9H	R/W					不定
FFFFFF414H	ポート10	P10	R/W					不定
FFFFFF416H	ポート11	P11	R/W					不定
FFFFFF418H	ポート12	P12	R/W					不定
FFFFFF41AH	ポート13	P13	R/W					不定
FFFFFF41CH	ポート14	P14	R/W					不定
FFFFFF41EH	ポート15	P15	R/W					不定
FFFFFF420H	ポート0モード・レジスタ	PM0	R/W					FFH
FFFFFF422H	ポート1モード・レジスタ	PM1	R/W					FFH
FFFFFF424H	ポート2モード・レジスタ	PM2	R/W					FFH
FFFFFF426H	ポート3モード・レジスタ	PM3	R/W					FFH
FFFFFF428H	ポート4モード・レジスタ	PM4	R/W					FFH
FFFFFF42AH	ポート5モード・レジスタ	PM5	R/W					FFFFH
FFFFFF42AH	ポート5モード・レジスタL	PM5L	R/W					FFH
FFFFFF42BH	ポート5モード・レジスタH	PM5H	R/W					FFH

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF42CH	ポート6モード・レジスタ	PM6	R/W					FFH
FFFFFF432H	ポート9モード・レジスタ	PM9	R/W					FFFFH
FFFFFF432H	ポート9Lモード・レジスタ	PM9L	R/W					FFH
FFFFFF433H	ポート9Hモード・レジスタ	PM9H	R/W					FFH
FFFFFF434H	ポート10モード・レジスタ	PM10	R/W					FFH
FFFFFF436H	ポート11モード・レジスタ	PM11	R/W					FFH
FFFFFF438H	ポート12モード・レジスタ	PM12	R/W					FFH
FFFFFF43AH	ポート13モード・レジスタ	PM13	R/W					FFH
FFFFFF43CH	ポート14モード・レジスタ	PM14	R/W					FFH
FFFFFF43EH	ポート15モード・レジスタ	PM15	R/W					FFH
FFFFFF440H	ポート0モード・コントロール・レジスタ	PMC0	R/W					00H
FFFFFF442H	ポート1モード・コントロール・レジスタ	PMC1	R/W					00H
FFFFFF444H	ポート2モード・コントロール・レジスタ	PMC2	R/W					00H
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3	R/W					00H
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4	R/W					00H
FFFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5	R/W					0000H
FFFFFF44AH	ポート5モード・コントロール・レジスタL	PMC5L	R/W					00H
FFFFFF44BH	ポート5モード・コントロール・レジスタH	PMC5H	R/W					00H
FFFFFF44CH	ポート6モード・コントロール・レジスタ	PMC6	R/W					00H
FFFFFF452H	ポート9モード・コントロール・レジスタ	PMC9	R/W					0000H
FFFFFF454H	ポート10モード・コントロール・レジスタ	PMC10	R/W					00H
FFFFFF456H	ポート11モード・コントロール・レジスタ	PMC11	R/W					00H
FFFFFF458H	ポート12モード・コントロール・レジスタ	PMC12	R/W					00H
FFFFFF45AH	ポート13モード・コントロール・レジスタ	PMC13	R/W					00H
FFFFFF45CH	ポート14モード・コントロール・レジスタ	PMC14	R/W					00H
FFFFFF45EH	ポート15モード・コントロール・レジスタ	PMC15	R/W					00H
FFFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3	R/W					00H
FFFFFF474H	ポート10ファンクション・コントロール・レジスタ	PFC10	R/W					00H
FFFFFF478H	ポート12ファンクション・コントロール・レジスタ	PFC12	R/W					00H
FFFFFF480H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCT0	R/W					CCCCH
FFFFFF482H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCT1	R/W					CCCCH
FFFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0	R/W					7777H
FFFFFF486H	データ・ウェイト・コントロール・レジスタ1	DWC1	R/W					7777H
FFFFFF488H	アドレス・ウェイト・コントロール・レジスタ	AWC	R/W					FFFFH
FFFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC	R/W					AAAAH
FFFFFF48EH	バス・クロック分周コントロール・レジスタ	DVC	R/W					80H
FFFFFF540H	16ビット・タイマ・カウンタ10	TM10	R					0000H
FFFFFF542H	16ビット・コンペア・レジスタ10	CM10	R/W					0000H
FFFFFF544H	16ビット・タイマ・モード・コントロール・レジスタ10	TMC10	R/W					00H
FFFFFF550H	16ビット・タイマ・カウンタ11	TM11	R					0000H
FFFFFF552H	16ビット・コンペア・レジスタ11	CM11	R/W					0000H
FFFFFF554H	16ビット・タイマ・モード・コントロール・レジスタ11	TMC11	R/W					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF560H	16ビット・タイマ・カウンタ12	TM12	R					0000H
FFFFFF562H	16ビット・コンペア・レジスタ12	CM12	R/W					0000H
FFFFFF564H	16ビット・タイマ・モード・コントロール・レジスタ12	TMC12	R/W					00H
FFFFFF570H	16ビット・タイマ・カウンタ13	TM13	R					0000H
FFFFFF572H	16ビット・コンペア・レジスタ13	CM13	R/W					0000H
FFFFFF574H	16ビット・タイマ・モード・コントロール・レジスタ13	TMC13	R/W					00H
FFFFFF580H	16ビット・タイマ・カウンタ14	TM14	R					0000H
FFFFFF582H	16ビット・コンペア・レジスタ14	CM14	R/W					0000H
FFFFFF584H	16ビット・タイマ・モード・コントロール・レジスタ14	TMC14	R/W					00H
FFFFFF590H	16ビット・タイマ・カウンタ15	TM15	R					0000H
FFFFFF592H	16ビット・コンペア・レジスタ15	CM15	R/W					0000H
FFFFFF594H	16ビット・タイマ・モード・コントロール・レジスタ15	TMC15	R/W					00H
FFFFFF5A0H	16ビット・タイマ・カウンタ00	TM00	R					0000H
FFFFFF5A2H	16ビット・キャプチャ/コンペア・レジスタ000	CC000	R/W					0000H
FFFFFF5A4H	16ビット・キャプチャ/コンペア・レジスタ001	CC001	R/W					0000H
FFFFFF5A6H	16ビット・タイマ・モード・コントロール・レジスタ000	TMC000	R/W					00H
FFFFFF5A8H	16ビット・タイマ・モード・コントロール・レジスタ001	TMC001	R/W					20H
FFFFFF5A9H	有効エッジ選択レジスタ00	SES00	R/W					00H
FFFFFF5B0H	16ビット・タイマ・カウンタ01	TM01	R					0000H
FFFFFF5B2H	16ビット・キャプチャ/コンペア・レジスタ010	CC010	R/W					0000H
FFFFFF5B4H	16ビット・キャプチャ/コンペア・レジスタ011	CC011	R/W					0000H
FFFFFF5B6H	16ビット・タイマ・モード・コントロール・レジスタ010	TMC010	R/W					00H
FFFFFF5B8H	16ビット・タイマ・モード・コントロール・レジスタ011	TMC011	R/W					20H
FFFFFF5B9H	有効エッジ選択レジスタ01	SES01	R/W					00H
FFFFFF5C0H	16ビット・タイマ・カウンタ02	TM02	R					0000H
FFFFFF5C2H	16ビット・キャプチャ/コンペア・レジスタ020	CC020	R/W					0000H
FFFFFF5C4H	16ビット・キャプチャ/コンペア・レジスタ021	CC021	R/W					0000H
FFFFFF5C6H	16ビット・タイマ・モード・コントロール・レジスタ020	TMC020	R/W					00H
FFFFFF5C8H	16ビット・タイマ・モード・コントロール・レジスタ021	TMC021	R/W					20H
FFFFFF5C9H	有効エッジ選択レジスタ02	SES02	R/W					00H
FFFFFF5D0H	16ビット・タイマ・カウンタ03	TM03	R					0000H
FFFFFF5D2H	16ビット・キャプチャ/コンペア・レジスタ030	CC030	R/W					0000H
FFFFFF5D4H	16ビット・キャプチャ/コンペア・レジスタ031	CC031	R/W					0000H
FFFFFF5D6H	16ビット・タイマ・モード・コントロール・レジスタ030	TMC030	R/W					00H
FFFFFF5D8H	16ビット・タイマ・モード・コントロール・レジスタ031	TMC031	R/W					20H
FFFFFF5D9H	有効エッジ選択レジスタ03	SES03	R/W					00H
FFFFFF5E0H	16ビット・タイマ・カウンタ04	TM04	R					0000H
FFFFFF5E2H	16ビット・キャプチャ/コンペア・レジスタ040	CC040	R/W					0000H
FFFFFF5E4H	16ビット・キャプチャ/コンペア・レジスタ041	CC041	R/W					0000H
FFFFFF5E6H	16ビット・タイマ・モード・コントロール・レジスタ040	TMC040	R/W					00H
FFFFFF5E8H	16ビット・タイマ・モード・コントロール・レジスタ041	TMC041	R/W					20H
FFFFFF5E9H	有効エッジ選択レジスタ04	SES04	R/W					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF5F0H	16ビット・タイマ・カウンタ05	TM05	R					0000H
FFFFFF5F2H	16ビット・キャプチャ/コンペア・レジスタ050	CC050	R/W					0000H
FFFFFF5F4H	16ビット・キャプチャ/コンペア・レジスタ051	CC051	R/W					0000H
FFFFFF5F6H	16ビット・タイマ・モード・コントロール・レジスタ050	TMC050	R/W					00H
FFFFFF5F8H	16ビット・タイマ・モード・コントロール・レジスタ051	TMC051	R/W					20H
FFFFFF5F9H	有効エッジ選択レジスタ05	SES05	R/W					00H
FFFFFF600H	16ビット・タイマ・カウンタ201	TM201	R					0000H
FFFFFF600H	8ビット・タイマ・カウンタ20	TM20	R					00H
FFFFFF601H	8ビット・タイマ・カウンタ21	TM21	R					00H
FFFFFF602H	16ビット・コンペア・レジスタ201	CR201	R/W					0000H
FFFFFF602H	8ビット・コンペア・レジスタ20	CR20	R/W					00H
FFFFFF603H	8ビット・コンペア・レジスタ21	CR21	R/W					00H
FFFFFF604H	タイマ・クロック選択レジスタ201	TCL201	R/W					0000H
FFFFFF604H	タイマ・クロック選択レジスタ20	TCL20	R/W					00H
FFFFFF605	タイマ・クロック選択レジスタ21	TCL21	R/W					00H
FFFFFF606H	16ビット・タイマ・モード・コントロール・レジスタ201	TMC201	R/W					0000H
FFFFFF606H	8ビット・タイマ・モード・コントロール・レジスタ20	TMC20	R/W					00H
FFFFFF607H	8ビット・タイマ・モード・コントロール・レジスタ21	TMC21	R/W					00H
FFFFFF610H	16ビット・タイマ・カウンタ223	TM223	R					0000H
FFFFFF610H	8ビット・タイマ・カウンタ22	TM22	R					00H
FFFFFF611H	8ビット・タイマ・カウンタ23	TM23	R					00H
FFFFFF612H	16ビット・コンペア・レジスタ223	CR223	R/W					0000H
FFFFFF612H	8ビット・コンペア・レジスタ22	CR22	R/W					00H
FFFFFF613H	8ビット・コンペア・レジスタ23	CR23	R/W					00H
FFFFFF614H	タイマ・クロック選択レジスタ223	TCL223	R/W					0000H
FFFFFF614H	タイマ・クロック選択レジスタ22	TCL22	R/W					00H
FFFFFF615H	タイマ・クロック選択レジスタ23	TCL23	R/W					00H
FFFFFF616H	16ビット・タイマ・モード・コントロール・レジスタ223	TMC223	R/W					0000H
FFFFFF616H	8ビット・タイマ・モード・コントロール・レジスタ22	TMC22	R/W					00H
FFFFFF617H	8ビット・タイマ・モード・コントロール・レジスタ23	TMC23	R/W					00H
FFFFFF620H	16ビット・タイマ・カウンタ245	TM245	R					0000H
FFFFFF620H	8ビット・タイマ・カウンタ24	TM24	R					00H
FFFFFF621H	8ビット・タイマ・カウンタ25	TM25	R					00H
FFFFFF622H	16ビット・コンペア・レジスタ245	CR245	R/W					0000H
FFFFFF622H	8ビット・コンペア・レジスタ24	CR24	R/W					00H
FFFFFF623H	8ビット・コンペア・レジスタ25	CR25	R/W					00H
FFFFFF624H	タイマ・クロック選択レジスタ245	TCL245	R/W					0000H
FFFFFF624H	タイマ・クロック選択レジスタ24	TCL24	R/W					00H
FFFFFF625H	タイマ・クロック選択レジスタ25	TCL25	R/W					00H
FFFFFF626H	16ビット・タイマ・モード・コントロール・レジスタ245	TMC245	R/W					0000H
FFFFFF626H	8ビット・タイマ・モード・コントロール・レジスタ24	TMC24	R/W					00H
FFFFFF627H	8ビット・タイマ・モード・コントロール・レジスタ25	TMC25	R/W					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF630H	16ビット・タイマ・カウンタ267	TM267	R					0000H
FFFFFF630H	8ビット・タイマ・カウンタ26	TM26	R					00H
FFFFFF631H	8ビット・タイマ・カウンタ27	TM27	R					00H
FFFFFF632H	16ビット・コンペア・レジスタ267	CR267	R/W					0000H
FFFFFF632H	8ビット・コンペア・レジスタ26	CR26	R/W					00H
FFFFFF633H	8ビット・コンペア・レジスタ27	CR27	R/W					00H
FFFFFF634H	タイマ・クロック選択レジスタ267	TCL267	R/W					0000H
FFFFFF634H	タイマ・クロック選択レジスタ26	TCL26	R/W					00H
FFFFFF635H	タイマ・クロック選択レジスタ27	TCL27	R/W					00H
FFFFFF636H	16ビット・タイマ・モード・コントロール・レジスタ267	TMC267	R/W					0000H
FFFFFF636H	8ビット・タイマ・モード・コントロール・レジスタ26	TMC26	R/W					00H
FFFFFF637H	8ビット・タイマ・モード・コントロール・レジスタ27	TMC27	R/W					00H
FFFFFF640H	16ビット・タイマ・カウンタ289	TM289	R					0000H
FFFFFF640H	8ビット・タイマ・カウンタ28	TM28	R					00H
FFFFFF641H	8ビット・タイマ・カウンタ29	TM29	R					00H
FFFFFF642H	16ビット・コンペア・レジスタ289	CR289	R/W					0000H
FFFFFF642H	8ビット・コンペア・レジスタ28	CR28	R/W					00H
FFFFFF643H	8ビット・コンペア・レジスタ29	CR29	R/W					00H
FFFFFF644H	タイマ・クロック選択レジスタ289	TCL289	R/W					0000H
FFFFFF644H	タイマ・クロック選択レジスタ28	TCL28	R/W					00H
FFFFFF645H	タイマ・クロック選択レジスタ29	TCL29	R/W					00H
FFFFFF646H	16ビット・タイマ・モード・コントロール・レジスタ289	TMC289	R/W					0000H
FFFFFF646H	8ビット・タイマ・モード・コントロール・レジスタ28	TMC28	R/W					00H
FFFFFF647H	8ビット・タイマ・モード・コントロール・レジスタ29	TMC29	R/W					00H
FFFFFF650H	16ビット・タイマ・カウンタ21011	TM21011	R					0000H
FFFFFF650H	8ビット・タイマ・カウンタ210	TM210	R					00H
FFFFFF651H	8ビット・タイマ・カウンタ211	TM211	R					00H
FFFFFF652H	16ビット・コンペア・レジスタ21011	CR21011	R/W					0000H
FFFFFF652H	8ビット・コンペア・レジスタ210	CR210	R/W					00H
FFFFFF653H	8ビット・コンペア・レジスタ211	CR211	R/W					00H
FFFFFF654H	タイマ・クロック選択レジスタ21011	TCL21011	R/W					0000H
FFFFFF654H	タイマ・クロック選択レジスタ210	TCL210	R/W					00H
FFFFFF655H	タイマ・クロック選択レジスタ211	TCL211	R/W					00H
FFFFFF656H	16ビット・タイマ・モード・コントロール・レジスタ21011	TMC21011	R/W					0000H
FFFFFF656H	8ビット・タイマ・モード・コントロール・レジスタ210	TMC210	R/W					00H
FFFFFF657H	8ビット・タイマ・モード・コントロール・レジスタ211	TMC211	R/W					00H
FFFFFF660H	発振安定時間選択レジスタ	OSTS	R/W					04H
FFFFFF661H	ウォッチドッグ・タイマ時間選択レジスタ	WDCS	R/W					00H
FFFFFF662H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM	R/W					00H
FFFFFF680H	32ビット・タイマ・カウンタ3	TM3	R					00000000H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF684H	32ビット・コンペア・レジスタ30	CM30	R/W					00000000H
FFFFFF688H	32ビット・コンペア・レジスタ31	CM31	R/W					00000000H
FFFFFF68CH	32ビット・キャプチャ・レジスタ30	CP30	R					00000000H
FFFFFF68CH	32ビット・キャプチャ・レジスタ30L	CP30L	R					0000H
FFFFFF68EH	32ビット・キャプチャ・レジスタ30H	CP30H	R					0000H
FFFFFF690H	32ビット・キャプチャ・レジスタ31	CP31	R					00000000H
FFFFFF690H	32ビット・キャプチャ・レジスタ31L	CP31L	R					0000H
FFFFFF692H	32ビット・キャプチャ・レジスタ31H	CP31H	R					0000H
FFFFFF694H	32ビット・キャプチャ・レジスタ32	CP32	R					00000000H
FFFFFF694H	32ビット・キャプチャ・レジスタ32L	CP32L	R					0000H
FFFFFF696H	32ビット・キャプチャ・レジスタ32H	CP32H	R					0000H
FFFFFF698H	32ビット・キャプチャ・レジスタ33	CP33	R					00000000H
FFFFFF698H	32ビット・キャプチャ・レジスタ33L	CP33L	R					0000H
FFFFFF69AH	32ビット・キャプチャ・レジスタ33H	CP33H	R					0000H
FFFFFF69CH	32ビット・キャプチャ・レジスタ34	CP34	R					00000000H
FFFFFF69CH	32ビット・キャプチャ・レジスタ34L	CP34L	R					0000H
FFFFFF69EH	32ビット・キャプチャ・レジスタ34H	CP34H	R					0000H
FFFFFF6A0H	32ビット・キャプチャ・レジスタ35	CP35	R					00000000H
FFFFFF6A0H	32ビット・キャプチャ・レジスタ35L	CP35L	R					0000H
FFFFFF6A2H	32ビット・キャプチャ・レジスタ35H	CP35H	R					0000H
FFFFFF6A4H	32ビット・キャプチャ・レジスタ36	CP36	R					00000000H
FFFFFF6A4H	32ビット・キャプチャ・レジスタ36L	CP36L	R					0000H
FFFFFF6A6H	32ビット・キャプチャ・レジスタ36H	CP36H	R					0000H
FFFFFF6A8H	32ビット・キャプチャ・レジスタ37	CP37	R					00000000H
FFFFFF6A8H	32ビット・キャプチャ・レジスタ37L	CP37L	R					0000H
FFFFFF6AAH	32ビット・キャプチャ・レジスタ37H	CP37H	R					0000H
FFFFFF6ACH	32ビット・キャプチャ・レジスタ38	CP38	R					00000000H
FFFFFF6ACH	32ビット・キャプチャ・レジスタ38L	CP38L	R					0000H
FFFFFF6AEH	32ビット・キャプチャ・レジスタ38H	CP38H	R					0000H
FFFFFF6B0H	32ビット・キャプチャ・レジスタ39	CP39	R					00000000H
FFFFFF6B0H	32ビット・キャプチャ・レジスタ39L	CP39L	R					0000H
FFFFFF6B2H	32ビット・キャプチャ・レジスタ39H	CP39H	R					0000H
FFFFFF6B4H	32ビット・キャプチャ・レジスタ310	CP310	R					00000000H
FFFFFF6B4H	32ビット・キャプチャ・レジスタ310L	CP310L	R					0000H
FFFFFF6B6H	32ビット・キャプチャ・レジスタ310H	CP310H	R					0000H
FFFFFF6B8H	32ビット・キャプチャ・レジスタ311	CP311	R					00000000H
FFFFFF6B8H	32ビット・キャプチャ・レジスタ311L	CP311L	R					0000H
FFFFFF6BAH	32ビット・キャプチャ・レジスタ311H	CP311H	R					0000H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF6BCH	立ち上がりエッジ検出指定レジスタ3	EGP3	R/W					0000H
FFFFFF6BCH	立ち上がりエッジ検出指定レジスタ3L	EGP3L	R/W					00H
FFFFFF6BDH	立ち上がりエッジ検出指定レジスタ3H	EGP3H	R/W					00H
FFFFFF6BEH	立ち下がりエッジ検出指定レジスタ3	EGN3	R/W					0000H
FFFFFF6BEH	立ち下がりエッジ検出指定レジスタ3L	EGN3L	R/W					00H
FFFFFF6BFH	立ち下がりエッジ検出指定レジスタ3H	EGN3H	R/W					00H
FFFFFF6C0H	32ビット・タイマ・モード・コントロール・レジスタ3	TMC3	R/W					00H
FFFFFF6C2H	イベント・ディバインド・カウンタ0	EDV0	R					00H
FFFFFF6C3H	イベント・ディバインド・カウンタ1	EDV1	R					00H
FFFFFF6C4H	イベント・ディバインド・カウンタ2	EDV2	R					00H
FFFFFF6C5H	イベント・ディバインド・カウンタ3	EDV3	R					00H
FFFFFF6C6H	イベント・ディバインド・コントロール・レジスタ0	EDVC0	R/W					00H
FFFFFF6C7H	イベント・ディバインド・コントロール・レジスタ1	EDVC1	R/W					00H
FFFFFF6C8H	イベント・ディバインド・コントロール・レジスタ2	EDVC2	R/W					00H
FFFFFF6C9H	イベント・ディバインド・コントロール・レジスタ3	EDVC3	R/W					00H
FFFFFF6CAH	マスク・タイマ0	MKT0	R					00H
FFFFFF6CBH	マスク・タイマ1	MKT1	R					00H
FFFFFF6CCH	マスク期間設定レジスタ0	MKTR0	R/W					00H
FFFFFF6CDH	マスク期間設定レジスタ1	MKTR1	R/W					00H
FFFFFF6CEH	マスク・タイマ・モード・コントロール・レジスタ0	MKTMC0	R/W					00H
FFFFFF6CFH	マスク・タイマ・モード・コントロール・レジスタ1	MKTMC1	R/W					00H
FFFFFF802H	システム・ステータス・レジスタ	SYS	R/W					00H
FFFFFF810H	DMAトリガ要因レジスタ0	DTFR0	R/W					00H
FFFFFF812H	DMAトリガ要因レジスタ1	DTFR1	R/W					00H
FFFFFF814H	DMAトリガ要因レジスタ2	DTFR2	R/W					00H
FFFFFF816H	DMAトリガ要因レジスタ3	DTFR3	R/W					00H
FFFFFF820H	パワー・セーブ・モード・レジスタ	PSMR	R/W					00H
FFFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W					03H
FFFFFF82AH	WDTリセット・レジスタ	WDRES	R/W					00H
FFFFFF840H	コレクション・アドレス・レジスタ0	CORAD0	R/W					00000000H
FFFFFF840H	コレクション・アドレス・レジスタ0L	CORAD0L	R/W					0000H
FFFFFF842H	コレクション・アドレス・レジスタ0H	CORAD0H	R/W					0000H
FFFFFF844H	コレクション・アドレス・レジスタ1	CORAD1	R/W					00000000H
FFFFFF844H	コレクション・アドレス・レジスタ1L	CORAD1L	R/W					0000H
FFFFFF846H	コレクション・アドレス・レジスタ1H	CORAD1H	R/W					0000H
FFFFFF848H	コレクション・アドレス・レジスタ2	CORAD2	R/W					00000000H
FFFFFF848H	コレクション・アドレス・レジスタ2L	CORAD2L	R/W					0000H
FFFFFF84AH	コレクション・アドレス・レジスタ2H	CORAD2H	R/W					0000H
FFFFFF84CH	コレクション・アドレス・レジスタ3	CORAD3	R/W					00000000H
FFFFFF84CH	コレクション・アドレス・レジスタ3L	CORAD3L	R/W					0000H
FFFFFF84EH	コレクション・アドレス・レジスタ3H	CORAD3H	R/W					0000H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF850H	コレクション・アドレス・レジスタ4	CORAD4	R/W					00000000H
FFFFFF850H	コレクション・アドレス・レジスタ4L	CORAD4L	R/W					0000H
FFFFFF852H	コレクション・アドレス・レジスタ4H	CORAD4H	R/W					0000H
FFFFFF854H	コレクション・アドレス・レジスタ5	CORAD5	R/W					00000000H
FFFFFF854H	コレクション・アドレス・レジスタ5L	CORAD5L	R/W					0000H
FFFFFF856H	コレクション・アドレス・レジスタ5H	CORAD5H	R/W					0000H
FFFFFF858H	コレクション・アドレス・レジスタ6	CORAD6	R/W					00000000H
FFFFFF858H	コレクション・アドレス・レジスタ6L	CORAD6L	R/W					0000H
FFFFFF85AH	コレクション・アドレス・レジスタ6H	CORAD6H	R/W					0000H
FFFFFF85CH	コレクション・アドレス・レジスタ7	CORAD7	R/W					00000000H
FFFFFF85CH	コレクション・アドレス・レジスタ7L	CORAD7L	R/W					0000H
FFFFFF85EH	コレクション・アドレス・レジスタ7H	CORAD7H	R/W					0000H
FFFFFF880H	コレクション・コントロール・レジスタ	CORCN	R/W					00H
FFFFFFA00H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0	R/W					01H
FFFFFFA02H	受信バッファ・レジスタ0	RXB0	R					FFH
FFFFFFA03H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R					00H
FFFFFFA04H	送信バッファ・レジスタ0	TXB0	R/W					FFH
FFFFFFA05H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	ASIF0	R					00H
FFFFFFA06H	クロック選択レジスタ0	CKSR0	R/W					00H
FFFFFFA07H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W					FFH
FFFFFFA08H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ0	ASICL0	R/W					16H
FFFFFFA10H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1	R/W					01H
FFFFFFA12H	受信バッファ・レジスタ1	RXB1	R					FFH
FFFFFFA13H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R					00H
FFFFFFA14H	送信バッファ・レジスタ1	TXB1	R/W					FFH
FFFFFFA15H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	ASIF1	R					00H
FFFFFFA16H	クロック選択レジスタ1	CKSR1	R/W					00H
FFFFFFA17H	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRGC1	R/W					FFH
FFFFFFA18H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ1	ASICL1	R/W					16H
FFFFFFB00H	PWMコントロール・レジスタ0	PWMC0	R/W					08H
FFFFFFB02H	PWMモジュロ・レジスタ0	PWM0	R/W					0000H
FFFFFFB02H	PWMモジュロ・レジスタ0L	PWM0L	R/W					00H
FFFFFFB03H	PWMモジュロ・レジスタ0H	PWM0H	R/W					00H
FFFFFFB10H	PWMコントロール・レジスタ1	PWMC1	R/W					08H
FFFFFFB12H	PWMモジュロ・レジスタ1	PWM1	R/W					0000H
FFFFFFB12H	PWMモジュロ・レジスタ1L	PWM1L	R/W					00H
FFFFFFB13H	PWMモジュロ・レジスタ1H	PWM1H	R/W					00H
FFFFFFB20H	PWMコントロール・レジスタ2	PWMC2	R/W					08H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFB22H	PWMモジュロ・レジスタ2	PWM2	R/W					0000H
FFFFFB22H	PWMモジュロ・レジスタ2L	PWM2L	R/W					00H
FFFFFB23H	PWMモジュロ・レジスタ2H	PWM2H	R/W					00H
FFFFFB30H	PWMコントロール・レジスタ3	PWMC3	R/W					08H
FFFFFB32H	PWMモジュロ・レジスタ3	PWM3	R/W					0000H
FFFFFB32H	PWMモジュロ・レジスタ3L	PWM3L	R/W					00H
FFFFFB33H	PWMモジュロ・レジスタ3H	PWM3H	R/W					00H
FFFFFB40H	PWMコントロール・レジスタ4	PWMC4	R/W					08H
FFFFFB42H	PWMモジュロ・レジスタ4	PWM4	R/W					0000H
FFFFFB42H	PWMモジュロ・レジスタ4L	PWM4L	R/W					00H
FFFFFB43H	PWMモジュロ・レジスタ4H	PWM4H	R/W					00H
FFFFFB50H	リアルタイム・バッファ・レジスタL0	RTBL0	R/W					00H
FFFFFB52H	リアルタイム・バッファ・レジスタH0	RTBH0	R/W					00H
FFFFFB54H	リアルタイム出力ポート・モード・レジスタ0	RTPM0	R/W					00H
FFFFFB55H	リアルタイム出力ポート・モード・コントロール・レジスタ0	RTPC0	R/W					00H
FFFFFB60H	リアルタイム・バッファ・レジスタL1	RTBL1	R/W					00H
FFFFFB62H	リアルタイム・バッファ・レジスタH1	RTBH1	R/W					00H
FFFFFB64H	リアルタイム出力ポート・モード・レジスタ1	RTPM1	R/W					00H
FFFFFB65H	リアルタイム出力ポート・モード・コントロール・レジスタ1	RTPC1	R/W					00H
FFFFFB70H	クロック出力モード・レジスタ	CLOM	R/W					00H
FFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0	R/W					00H
FFFFFC02H	外部割り込み立ち下がりエッジ指定レジスタ1	INTF1	R/W					00H
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0	R/W					00H
FFFFFC22H	外部割り込み立ち上がりエッジ指定レジスタ1	INTR1	R/W					00H
FFFFFC40H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W					00H
FFFFFC42H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W					00H
FFFFFC44H	ブルアップ抵抗オプション・レジスタ2	PU2	R/W					00H
FFFFFC46H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W					00H
FFFFFC48H	ブルアップ抵抗オプション・レジスタ4	PU4	R/W					00H
FFFFFC4AH	ブルアップ抵抗オプション・レジスタ5	PU5	R/W					0000H
FFFFFC4AH	ブルアップ抵抗オプション・レジスタ5L	PU5L	R/W					00H
FFFFFC4BH	ブルアップ抵抗オプション・レジスタ5H	PU5H	R/W					00H
FFFFFC4CH	ブルアップ抵抗オプション・レジスタ6	PU6	R/W					00H
FFFFFC54H	ブルアップ抵抗オプション・レジスタ10	PU10	R/W					00H
FFFFFC56H	ブルアップ抵抗オプション・レジスタ11	PU11	R/W					00H
FFFFFC58H	ブルアップ抵抗オプション・レジスタ12	PU12	R/W					00H
FFFFFC5AH	ブルアップ抵抗オプション・レジスタ13	PU13	R/W					00H
FFFFFC5CH	ブルアップ抵抗オプション・レジスタ14	PU14	R/W					00H
FFFFFC5EH	ブルアップ抵抗オプション・レジスタ15	PU15	R/W					00H
FFFFFC64H	ポート2ファンクション・レジスタ	PF2	R/W					00H
FFFFFD00H	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSIM0	R/W					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFFD01H	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSIC0	R/W					00H
FFFFFFD02H	シフト・レジスタ0	SIO0	R					00H
FFFFFFD03H	受信専用シフト・レジスタ0	SIOE0	R					00H
FFFFFFD04H	送信データ・バッファ・レジスタ0	SOTB0	R/W					00H
FFFFFFD10H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1	R/W					00H
FFFFFFD11H	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSIC1	R/W					00H
FFFFFFD12H	シフト・レジスタ1	SIO1	R					00H
FFFFFFD13H	受信専用シフト・レジスタ1	SIOE1	R					00H
FFFFFFD14H	送信データ・バッファ・レジスタ1	SOTB1	R/W					00H
FFFFFFD20H	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSIM2	R/W					00H
FFFFFFD21H	クロック同期式シリアル・インタフェース・クロック選択レジスタ2	CSIC2	R/W					00H
FFFFFFD22H	シフト・レジスタ2	SIO2	R					00H
FFFFFFD23H	受信専用シフト・レジスタ2	SIOE2	R					00H
FFFFFFD24H	送信データ・バッファ・レジスタ2	SOTB2	R/W					00H
FFFFFFD30H	クロック同期式シリアル・インタフェース・モード・レジスタ3	CSIM3	R/W					00H
FFFFFFD31H	クロック同期式シリアル・インタフェース・クロック選択レジスタ3	CSIC3	R/W					00H
FFFFFFD32H	シフト・レジスタ3	SIO3	R					00H
FFFFFFD33H	受信専用シフト・レジスタ3	SIOE3	R					00H
FFFFFFD34H	送信データ・バッファ・レジスタ3	SOTB3	R/W					00H
FFFFFFD40H	プリスケアラ・モード・レジスタ2	PRSM2	R/W					00H
FFFFFFD41H	プリスケアラ・コンペア・レジスタ2	PRSCM2	R/W					00H
FFFFFFD50H	プリスケアラ・モード・レジスタ3	PRSM3	R/W					00H
FFFFFFD51H	プリスケアラ・コンペア・レジスタ3	PRSCM3	R/W					00H
FFFFFFD60H	プリスケアラ・モード・レジスタ4	PRSM4	R/W					00H
FFFFFFD61H	プリスケアラ・コンペア・レジスタ4	PRSCM4	R/W					00H
FFFFFFD70H	シリアル動作モード指定レジスタA0	CSIMA0	R/W					00H
FFFFFFD71H	シリアル・ステータス・レジスタA0	CSISA0	R/W					00H
FFFFFFD72H	シリアル・トリガ・レジスタA0	CSITA0	R/W					00H
FFFFFFD73H	分周値選択レジスタA0	BRGCA0	R/W					03H
FFFFFFD74H	自動データ転送アドレス・ポイント指定レジスタA0	ADTPA0	R/W					00H
FFFFFFD75H	自動データ転送間隔指定レジスタA0	ADTIA0	R/W					00H
FFFFFFD76H	シフト・レジスタA0	SIOA0	R/W					00H
FFFFFFD77H	自動データ転送アドレス・カウント・レジスタA0	ADTCA0	R					00H
FFFFFFD80H	シリアル動作モード指定レジスタA1	CSIMA1	R/W					00H
FFFFFFD81H	シリアル・ステータス・レジスタA1	CSISA1	R/W					00H
FFFFFFD82H	シリアル・トリガ・レジスタA1	CSITA1	R/W					00H
FFFFFFD83H	分周値選択レジスタA1	BRGCA1	R/W					03H
FFFFFFD84H	自動データ転送アドレス・ポイント指定レジスタA1	ADTPA1	R/W					00H
FFFFFFD85H	自動データ転送間隔指定レジスタA1	ADTIA1	R/W					00H
FFFFFFD86H	シフト・レジスタA1	SIOA1	R/W					00H
FFFFFFD87H	自動データ転送アドレス・カウント・レジスタA1	ADTCA1	R					00H
FFFFFFD90H	IICシフト・レジスタ	IIC	R/W					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFFD92H	IICコントロール・レジスタ	IICC	R/W					00H
FFFFFFD93H	スレーブ・アドレス・レジスタ	SVA	R/W					00H
FFFFFFD94H	IIC転送クロック選択レジスタ	IICCL	R/W					00H
FFFFFFD95H	IIC機能拡張レジスタ	IICX	R/W					00H
FFFFFFD96H	IIC状態レジスタ	IICS	R					00H
FFFFFFD9AH	IICフラグ・レジスタ	IICF	R/W					00H
FFFFFFDA0H	プリスケアラ・モード・レジスタ5	PRSM5	R/W					00H
FFFFFFDA1H	プリスケアラ・コンペア・レジスタ5	PRSCM5	R/W					00H
FFFFFFE40H	CSIA0用バッファRAM0	CBUF00	R/W					不定
FFFFFFE40H	CSIA0用バッファRAM0L	CBUF00L	R/W					不定
FFFFFFE41H	CSIA0用バッファRAM0H	CBUF00H	R/W					不定
FFFFFFE42H	CSIA0用バッファRAM1	CBUF01	R/W					不定
FFFFFFE42H	CSIA0用バッファRAM1L	CBUF01L	R/W					不定
FFFFFFE43H	CSIA0用バッファRAM1H	CBUF01H	R/W					不定
FFFFFFE44H	CSIA0用バッファRAM2	CBUF02	R/W					不定
FFFFFFE44H	CSIA0用バッファRAM2L	CBUF02L	R/W					不定
FFFFFFE45H	CSIA0用バッファRAM2H	CBUF02H	R/W					不定
FFFFFFE46H	CSIA0用バッファRAM3	CBUF03	R/W					不定
FFFFFFE46H	CSIA0用バッファRAM3L	CBUF03L	R/W					不定
FFFFFFE47H	CSIA0用バッファRAM3H	CBUF03H	R/W					不定
FFFFFFE48H	CSIA0用バッファRAM4	CBUF04	R/W					不定
FFFFFFE48H	CSIA0用バッファRAM4L	CBUF04L	R/W					不定
FFFFFFE49H	CSIA0用バッファRAM4H	CBUF04H	R/W					不定
FFFFFFE4AH	CSIA0用バッファRAM5	CBUF05	R/W					不定
FFFFFFE4AH	CSIA0用バッファRAM5L	CBUF05L	R/W					不定
FFFFFFE4BH	CSIA0用バッファRAM5H	CBUF05H	R/W					不定
FFFFFFE4CH	CSIA0用バッファRAM6	CBUF06	R/W					不定
FFFFFFE4CH	CSIA0用バッファRAM6L	CBUF06L	R/W					不定
FFFFFFE4DH	CSIA0用バッファRAM6H	CBUF06H	R/W					不定
FFFFFFE4EH	CSIA0用バッファRAM7	CBUF07	R/W					不定
FFFFFFE4EH	CSIA0用バッファRAM7L	CBUF07L	R/W					不定
FFFFFFE4FH	CSIA0用バッファRAM7H	CBUF07H	R/W					不定
FFFFFFE50H	CSIA0用バッファRAM8	CBUF08	R/W					不定
FFFFFFE50H	CSIA0用バッファRAM8L	CBUF08L	R/W					不定
FFFFFFE51H	CSIA0用バッファRAM8H	CBUF08H	R/W					不定
FFFFFFE52H	CSIA0用バッファRAM9	CBUF09	R/W					不定
FFFFFFE52H	CSIA0用バッファRAM9L	CBUF09L	R/W					不定
FFFFFFE53H	CSIA0用バッファRAM9H	CBUF09H	R/W					不定
FFFFFFE54H	CSIA0用バッファRAM10	CBUF010	R/W					不定
FFFFFFE54H	CSIA0用バッファRAM10L	CBUF010L	R/W					不定
FFFFFFE55H	CSIA0用バッファRAM10H	CBUF010H	R/W					不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFFE56H	CSIA0用バッファRAM11	CBUF011	R/W					不定
FFFFFFE56H	CSIA0用バッファRAM11L	CBUF011L	R/W					不定
FFFFFFE57H	CSIA0用バッファRAM11H	CBUF011H	R/W					不定
FFFFFFE58H	CSIA0用バッファRAM12	CBUF012	R/W					不定
FFFFFFE58H	CSIA0用バッファRAM12L	CBUF012L	R/W					不定
FFFFFFE59H	CSIA0用バッファRAM12H	CBUF012H	R/W					不定
FFFFFFE5AH	CSIA0用バッファRAM13	CBUF013	R/W					不定
FFFFFFE5AH	CSIA0用バッファRAM13L	CBUF013L	R/W					不定
FFFFFFE5BH	CSIA0用バッファRAM13H	CBUF013H	R/W					不定
FFFFFFE5CH	CSIA0用バッファRAM14	CBUF014	R/W					不定
FFFFFFE5CH	CSIA0用バッファRAM14L	CBUF014L	R/W					不定
FFFFFFE5DH	CSIA0用バッファRAM14H	CBUF014H	R/W					不定
FFFFFFE5EH	CSIA0用バッファRAM15	CBUF015	R/W					不定
FFFFFFE5EH	CSIA0用バッファRAM15L	CBUF015L	R/W					不定
FFFFFFE5FH	CSIA0用バッファRAM15H	CBUF015H	R/W					不定
FFFFFFE60H	CSIA1用バッファRAM0	CBUF10	R/W					不定
FFFFFFE60H	CSIA1用バッファRAM0L	CBUF10L	R/W					不定
FFFFFFE61H	CSIA1用バッファRAM0H	CBUF10H	R/W					不定
FFFFFFE62H	CSIA1用バッファRAM1	CBUF11	R/W					不定
FFFFFFE62H	CSIA1用バッファRAM1L	CBUF11L	R/W					不定
FFFFFFE63H	CSIA1用バッファRAM1H	CBUF11H	R/W					不定
FFFFFFE64H	CSIA1用バッファRAM2	CBUF12	R/W					不定
FFFFFFE64H	CSIA1用バッファRAM2L	CBUF12L	R/W					不定
FFFFFFE65H	CSIA1用バッファRAM2H	CBUF12H	R/W					不定
FFFFFFE66H	CSIA1用バッファRAM3	CBUF13	R/W					不定
FFFFFFE66H	CSIA1用バッファRAM3L	CBUF13L	R/W					不定
FFFFFFE67H	CSIA1用バッファRAM3H	CBUF13H	R/W					不定
FFFFFFE68H	CSIA1用バッファRAM4	CBUF14	R/W					不定
FFFFFFE68H	CSIA1用バッファRAM4L	CBUF14L	R/W					不定
FFFFFFE69H	CSIA1用バッファRAM4H	CBUF14H	R/W					不定
FFFFFFE6AH	CSIA1用バッファRAM5	CBUF15	R/W					不定
FFFFFFE6AH	CSIA1用バッファRAM5L	CBUF15L	R/W					不定
FFFFFFE6BH	CSIA1用バッファRAM5H	CBUF15H	R/W					不定
FFFFFFE6CH	CSIA1用バッファRAM6	CBUF16	R/W					不定
FFFFFFE6CH	CSIA1用バッファRAM6L	CBUF16L	R/W					不定
FFFFFFE6DH	CSIA1用バッファRAM6H	CBUF16H	R/W					不定
FFFFFFE6EH	CSIA1用バッファRAM7	CBUF17	R/W					不定
FFFFFFE6EH	CSIA1用バッファRAM7L	CBUF17L	R/W					不定
FFFFFFE6FH	CSIA1用バッファRAM7H	CBUF17H	R/W					不定
FFFFFFE70H	CSIA1用バッファRAM8	CBUF18	R/W					不定
FFFFFFE70H	CSIA1用バッファRAM8L	CBUF18L	R/W					不定
FFFFFFE71H	CSIA1用バッファRAM8H	CBUF18H	R/W					不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFFE72H	CSIA1用バッファRAM9	CBUF19	R/W					不定
FFFFFFE72H	CSIA1用バッファRAM9L	CBUF19L	R/W					不定
FFFFFFE73H	CSIA1用バッファRAM9H	CBUF19H	R/W					不定
FFFFFFE74H	CSIA1用バッファRAM10	CBUF110	R/W					不定
FFFFFFE74H	CSIA1用バッファRAM10L	CBUF110L	R/W					不定
FFFFFFE75H	CSIA1用バッファRAM10H	CBUF110H	R/W					不定
FFFFFFE76H	CSIA1用バッファRAM11	CBUF111	R/W					不定
FFFFFFE76H	CSIA1用バッファRAM11L	CBUF111L	R/W					不定
FFFFFFE77H	CSIA1用バッファRAM11H	CBUF111H	R/W					不定
FFFFFFE78H	CSIA1用バッファRAM12	CBUF112	R/W					不定
FFFFFFE78H	CSIA1用バッファRAM12L	CBUF112L	R/W					不定
FFFFFFE79H	CSIA1用バッファRAM12H	CBUF112H	R/W					不定
FFFFFFE7AH	CSIA1用バッファRAM13	CBUF113	R/W					不定
FFFFFFE7AH	CSIA1用バッファRAM13L	CBUF113L	R/W					不定
FFFFFFE7BH	CSIA1用バッファRAM13H	CBUF113H	R/W					不定
FFFFFFE7CH	CSIA1用バッファRAM14	CBUF114	R/W					不定
FFFFFFE7CH	CSIA1用バッファRAM14L	CBUF114L	R/W					不定
FFFFFFE7DH	CSIA1用バッファRAM14H	CBUF114H	R/W					不定
FFFFFFE7EH	CSIA1用バッファRAM15	CBUF115	R/W					不定
FFFFFFE7EH	CSIA1用バッファRAM15L	CBUF115L	R/W					不定
FFFFFFE7FH	CSIA1用バッファRAM15H	CBUF115H	R/W					不定

3.4.9 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850E/SV2には、次の特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・WDTリセット・レジスタ (WDTRES)

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止します。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。

コマンド・レジスタ (PRCMD) に で用意したデータを書き込みます。

特定レジスタに設定データを書き込みます (次の命令で行います)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

NOP命令を挿入します (5命令 (-) ; PSCレジスタのSTPビット操作時のみ)。

注意 特定シーケンス後、DMA動作を禁止する以前の状態でDMA動作を再開するには、DMA動作を禁止する以前に、DMAチャンネル・コントロール・レジスタ_n (DCHC_n) の状態を格納してください。DCHC_nレジスタの状態を格納後、DMA動作を禁止するまでにDMA転送終了が発生する可能性があるため、DMA動作を再開する前にDCHC_nレジスタのビット7 (TC_nビット)を確認し、TC_nビットの状態により処理を次のようにしてください。

- ・TC_nビット = 0 (DMA転送未終了) の時、DMA動作を禁止する以前に格納したDCHC_nレジスタの内容を、DCHC_nレジスタに再度書き込む。
- ・TC_nビット = 1 (DMA転送終了) のとき、DMA転送終了処理を行う。

次にPSCレジスタを例に特定シーケンス・プログラムの例を示します。

〔記述例〕PSCレジスタの場合

```

ST.B    r11, PSMR [ r0 ]      ;PSMRレジスタ設定
LD.B    DCHCn [ r0 ] , r12    ; (a)DMA転送状態の格納
ANDI    0xfe, r12 , r13
ST.B    r13, DCHCn [ r0 ]    ; (b)DMA動作停止 (注)
MOV     0x02, r10
ST.B    r10, PRCMD [ r0 ]    ;PRCMDレジスタ書き込み
ST.B    r10, PSC [ r0 ]      ;PSCレジスタ設定
NOP                                           ;ダミー命令
NOP                                           ;ダミー命令
NOP                                           ;ダミー命令
NOP                                           ;ダミー命令
NOP                                           ;ダミー命令
TST1    7, DCHCn [ r0 ]      ; (a)と (b)の間にDMA転送が終了していないか
                                           ; (DCHCnレジスタの状態が更新されていないか)を確認
BNE     next                  ;更新されていたならば, DMA転送終了処理
ST.B    r12, DCHCn [ r0 ]    ;更新されていなければ, (a)の状態に戻す (DMA転送
                                           ;許可)
:
next :                               ;DMA転送終了処理
(next instruction )

```

注 ビット操作命令を使用しないのは、DMA 転送終了ステータス・フラグ (DMAチャンネル・コントロール・レジスタn (DCHCn)のTCnビット) がリードすることによりクリアされるのを防ぐためです。なお、TCnビットは、0ライトによるクリアはできません。

注意1. 特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

2. PRCMDレジスタに対するストア命令では、割り込みを受け付けません。これは、プログラムで上記 `LD.B`、`ANDI` を連続したストア命令で行うことを前提としています。 `ANDI`、`LD.B` の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となるので注意してください。
3. PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定 () で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み () でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
4. IDLEモード、ソフトウェアSTOPモードに移行する場合 (PSCレジスタのSTPビット = 1) には、直後にNOP命令を5命令以上挿入してください。それ以外の場合のNOP命令は不要です。
5. この処理を行う前に、すべてのDMA転送を終了させてください。

3.4.10 システム・ウエイト・コントロール・レジスタ (VSWC)

システム・ウエイト・コントロール・レジスタ (VSWC) は、内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック (ノー・ウエイト時) ですが、V850E/SV2では動作周波数によりウエイトが必要です。使用する動作周波数に応じて、VSWCには次に示す値を設定してください。

8ビット単位でリード/ライト可能です (アドレス : FFFFF06EH, 初期値 : 77H)。

CPUクロック周波数 (f_{CPU})	VSWCの設定値	内蔵周辺I/Oレジスタ・アクセスに対するウエイト数
1.25 MHz < f_{CPU} 25 MHz	01H	1
25 MHz < f_{CPU} 33 MHz	11H	2
33 MHz < f_{CPU} 40.5 MHz	12H	3

第4章 バス制御機能

V850E/SV2は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

4.1 特 徴

16ビット/8ビット・データ・バス (アドレス/データ・マルチプレクス)

アドレス・バス：擬似セパレート出力可能

16ビット/8ビット・データ・バス・サイジング機能

8空間のチップ・セレクト機能

ウエイト機能

・各メモリ・ブロックごとに最大7ステートのプログラマブル・ウエイト機能

・WAIT端子による外部ウエイト機能

アイドル・ステート挿入機能

バス使用権調停機能

バス・ホールド機能

ポートとの兼用端子で、外部デバイスに接続可能

リトル・エンディアン方式サポート

アドレス・ミス・アライン機能

バス・クロック分周機能

4.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

バス制御端子 (コントロール・モード時の機能)	ポート・モード時の機能	ポート/コントロール・モードの切り替えを行うレジスタ
アドレス/データ・バス (AD0-AD15)	PDL0-PDL15 (ポートDL)	PMCDL
アドレス・バス (A0-A15) ^注	P90-P915 (ポート9)	PMC9
アドレス・バス (A16-A25)	PDH0-PDH9 (ポートDH)	PMCDH
チップ・セレクト (CS0-CS7)	PCS0-PCS7 (ポートCS)	PMCCS
リード/ライト制御 (LWR, UWR, RD, ASTB)	PCT0, PCT1, PCT4, PCT6 (ポートCT)	PMCCT
外部ウエイト制御 (WAIT)	PCM0 (ポートCM)	PMCCM
内部システム・クロック (CLKOUT)	PCM1 (ポートCM)	
バス・ホールド制御 (HLDRQ, HLDAK)	PCM2, PCM3 (ポートCM)	

注 アドレス・バス (A0-A15) は、擬似セパレート・バス出力時のみ有効になります。

4.2.1 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態

内蔵ROM，内蔵RAMのアクセス時には，アドレス・バスは不定になります。データ・バスは，出力されずハイ・インピーダンス状態になります。外部バスのコントロール信号は，インアクティブになります。

内蔵周辺I/Oアクセス時には，アドレス・バスはアクセスしている内蔵周辺I/Oのアドレスを出力します。データ・バスは，出力されずハイ・インピーダンス状態になります。外部バスのコントロール信号は，インアクティブになります。

4.2.2 各動作モード時の端子状態

バス制御端子	リセット	HALTモード/ DMA転送中	IDLEモード/ STOPモード	アイドル・ ステート	バス・ホールド
AD0-AD15	Hi-Z ^{注1}	動作	Hi-Z	保持	Hi-Z
A0-A15 ^{注2}					
A16-A25					
CS0-CS7			H	H	
LWR, UWR					
RD			-	-	
ASTB					
WAIT			L	動作	
CLKOUT					
HLD $\overline{\text{AK}}$			H	H	
HLD $\overline{\text{RQ}}$					
			-	-	

注1. バス制御端子はポート端子と兼用するので，リセット時ポート・モード（入力）に初期化されます。

2. 擬似セパレート出力時

備考 Hi-Z：ハイ・インピーダンス

保持：直前の外部バス・サイクルの状態を保持

H：ハイ・レベル出力

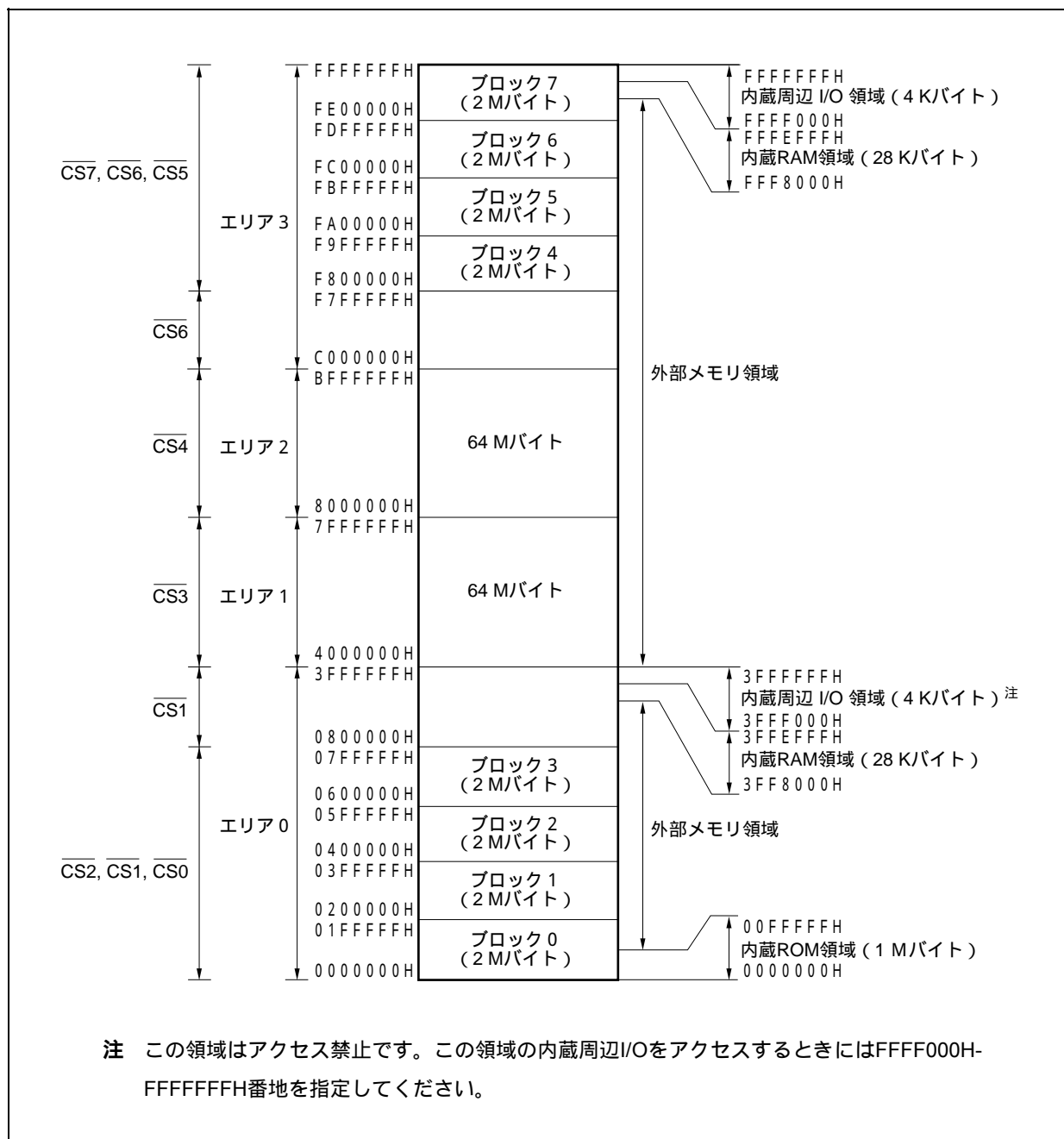
L：ロウ・レベル出力

-：入力非サンプリング（受け付けない）

4.3 メモリ・ブロック機能

256 Mバイトのメモリ空間は2 M, 64 Mバイト単位のメモリ・ブロックに分割され, 1ブロック単位にプログラマブル・ウエイト機能, バス・サイクル動作モードなどを独立に制御できます。

ただし, プログラム領域として使用できる領域は, 0000000H-3FFFFFFHの64 Mバイトの空間です。



4.3.1 チップ・セレクト制御機能

256 Mバイトのメモリ空間のうち、下位8 Mバイト (0000000H-07FFFFFFH) と上位8 Mバイト (F800000H-FFFFFFFH) は、チップ・エリア選択コントロール・レジスタ0, 1 (CSC0, CSC1) により、2 Mバイト単位でメモリ・ブロックを分割し、チップ・セレクト信号を制御することができます。

チップ・セレクト制御機能により、メモリ・ブロックを分割することにより、メモリ空間を有効に利用できます。優先順位を次に示します。

(1) チップ・エリア選択コントロール・レジスタ0, 1 (CSC0, CSC1)

16ビット単位でリード/ライトできます。各ビットをセット(1)すると有効になります。

同じブロックに別々のチップ・セレクト信号出力を設定した場合、次のように優先順位が制御されます。

CSC0 : 周辺I/O領域 > $\overline{CS0}$ > $\overline{CS2}$ > $\overline{CS1}$

CSC1 : 周辺I/O領域 > $\overline{CS7}$ > $\overline{CS5}$ > $\overline{CS6}$

CSC0レジスタのCS0m, CS2mビットをともに0に設定した場合、該当するブロックには $\overline{CS1}$ が出力されます (m = 0-3)。

同様にCSC1レジスタのCS5m, CS7mビットをともに0に設定した場合、該当するブロックには $\overline{CS6}$ が出力されます (m = 0-3)。

注意 CSC0, CSC1レジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC0	CS33	CS32	CS31	CS30	CS23	CS22	CS21	CS20	CS13	CS12	CS11	CS10	CS03	CS02	CS01	CS00	FFFFFF060H	2C11H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC1	CS43	CS42	CS41	CS40	CS53	CS52	CS51	CS50	CS63	CS62	CS61	CS60	CS73	CS72	CS71	CS70	FFFFFF062H	2C11H

ビット位置	ビット名	意味																																										
15-0	CSnm (n = 0-7) (m = 0-3)	CSnmビットをセット(1)することにより、チップ・セレクトを有効にします。 <table border="1"> <thead> <tr> <th>CSnm</th> <th>CS動作</th> </tr> </thead> <tbody> <tr><td>CS00</td><td>ブロック0アクセス時, $\overline{CS0}$出力</td></tr> <tr><td>CS01</td><td>ブロック1アクセス時, $\overline{CS0}$出力</td></tr> <tr><td>CS02</td><td>ブロック2アクセス時, $\overline{CS0}$出力</td></tr> <tr><td>CS03</td><td>ブロック3アクセス時, $\overline{CS0}$出力</td></tr> <tr><td>CS10-CS13</td><td>注1</td></tr> <tr><td>CS20</td><td>ブロック0アクセス時, $\overline{CS2}$出力</td></tr> <tr><td>CS21</td><td>ブロック1アクセス時, $\overline{CS2}$出力</td></tr> <tr><td>CS22</td><td>ブロック2アクセス時, $\overline{CS2}$出力</td></tr> <tr><td>CS23</td><td>ブロック3アクセス時, $\overline{CS2}$出力</td></tr> <tr><td>CS30-CS33</td><td>注2</td></tr> <tr><td>CS40-CS43</td><td>注3</td></tr> <tr><td>CS50</td><td>ブロック7アクセス時, $\overline{CS5}$出力</td></tr> <tr><td>CS51</td><td>ブロック6アクセス時, $\overline{CS5}$出力</td></tr> <tr><td>CS52</td><td>ブロック5アクセス時, $\overline{CS5}$出力</td></tr> <tr><td>CS53</td><td>ブロック4アクセス時, $\overline{CS5}$出力</td></tr> <tr><td>CS60-CS63</td><td>注4</td></tr> <tr><td>CS70</td><td>ブロック7アクセス時, $\overline{CS7}$出力</td></tr> <tr><td>CS71</td><td>ブロック6アクセス時, $\overline{CS7}$出力</td></tr> <tr><td>CS72</td><td>ブロック5アクセス時, $\overline{CS7}$出力</td></tr> <tr><td>CS73</td><td>ブロック4アクセス時, $\overline{CS7}$出力</td></tr> </tbody> </table>	CSnm	CS動作	CS00	ブロック0アクセス時, $\overline{CS0}$ 出力	CS01	ブロック1アクセス時, $\overline{CS0}$ 出力	CS02	ブロック2アクセス時, $\overline{CS0}$ 出力	CS03	ブロック3アクセス時, $\overline{CS0}$ 出力	CS10-CS13	注1	CS20	ブロック0アクセス時, $\overline{CS2}$ 出力	CS21	ブロック1アクセス時, $\overline{CS2}$ 出力	CS22	ブロック2アクセス時, $\overline{CS2}$ 出力	CS23	ブロック3アクセス時, $\overline{CS2}$ 出力	CS30-CS33	注2	CS40-CS43	注3	CS50	ブロック7アクセス時, $\overline{CS5}$ 出力	CS51	ブロック6アクセス時, $\overline{CS5}$ 出力	CS52	ブロック5アクセス時, $\overline{CS5}$ 出力	CS53	ブロック4アクセス時, $\overline{CS5}$ 出力	CS60-CS63	注4	CS70	ブロック7アクセス時, $\overline{CS7}$ 出力	CS71	ブロック6アクセス時, $\overline{CS7}$ 出力	CS72	ブロック5アクセス時, $\overline{CS7}$ 出力	CS73	ブロック4アクセス時, $\overline{CS7}$ 出力
CSnm	CS動作																																											
CS00	ブロック0アクセス時, $\overline{CS0}$ 出力																																											
CS01	ブロック1アクセス時, $\overline{CS0}$ 出力																																											
CS02	ブロック2アクセス時, $\overline{CS0}$ 出力																																											
CS03	ブロック3アクセス時, $\overline{CS0}$ 出力																																											
CS10-CS13	注1																																											
CS20	ブロック0アクセス時, $\overline{CS2}$ 出力																																											
CS21	ブロック1アクセス時, $\overline{CS2}$ 出力																																											
CS22	ブロック2アクセス時, $\overline{CS2}$ 出力																																											
CS23	ブロック3アクセス時, $\overline{CS2}$ 出力																																											
CS30-CS33	注2																																											
CS40-CS43	注3																																											
CS50	ブロック7アクセス時, $\overline{CS5}$ 出力																																											
CS51	ブロック6アクセス時, $\overline{CS5}$ 出力																																											
CS52	ブロック5アクセス時, $\overline{CS5}$ 出力																																											
CS53	ブロック4アクセス時, $\overline{CS5}$ 出力																																											
CS60-CS63	注4																																											
CS70	ブロック7アクセス時, $\overline{CS7}$ 出力																																											
CS71	ブロック6アクセス時, $\overline{CS7}$ 出力																																											
CS72	ブロック5アクセス時, $\overline{CS7}$ 出力																																											
CS73	ブロック4アクセス時, $\overline{CS7}$ 出力																																											

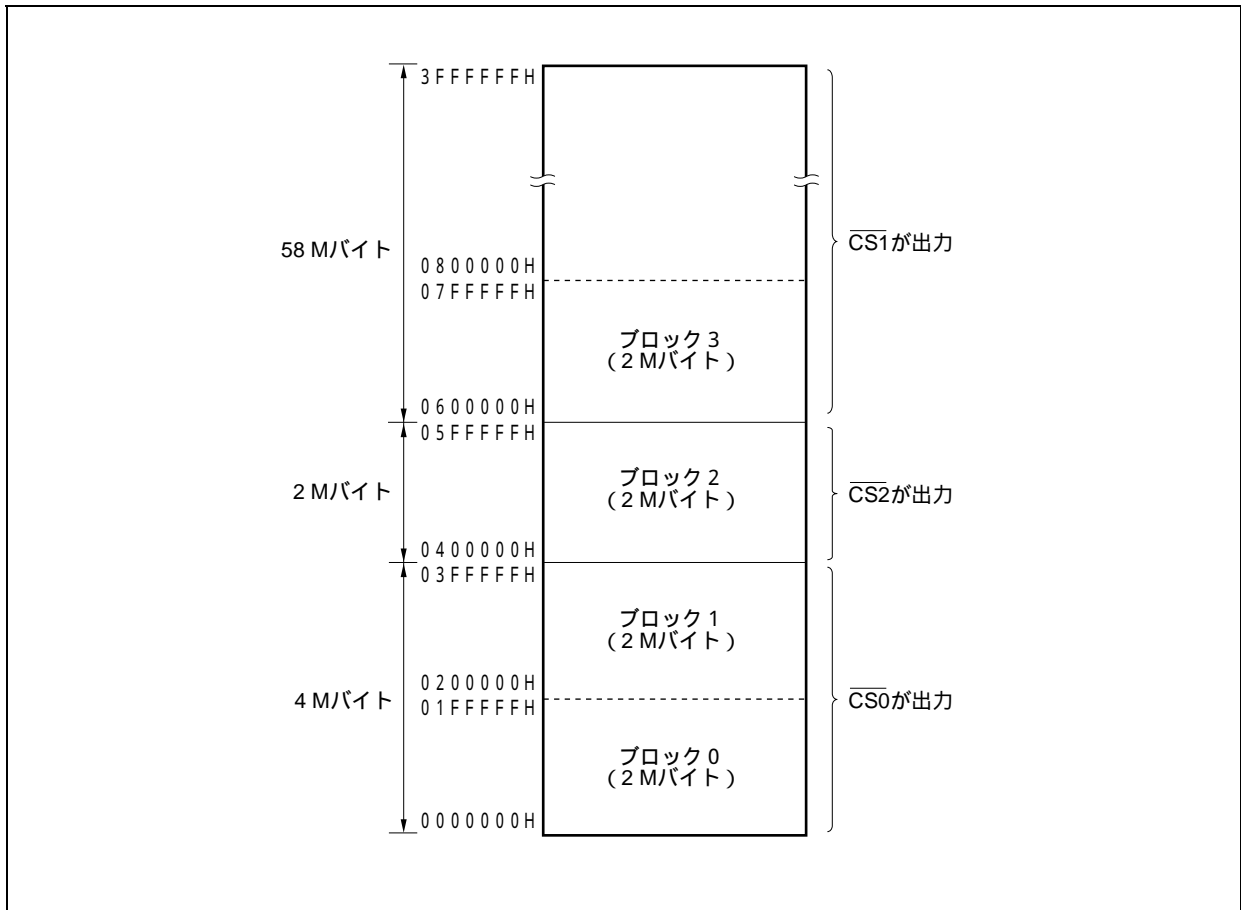
- 注1. CS0m, CS2mビットをともに0に設定した場合、エリア0へアクセスするとCS1mビットの設定に関係なく $\overline{CS1}$ が出力されます。
2. エリア1へアクセスした場合、CS3mビットの設定に関係なく $\overline{CS3}$ が出力されます。
3. エリア2へアクセスした場合、CS4mビットの設定に関係なく $\overline{CS4}$ が出力されます。
4. CS5m, CS7mビットをともに0に設定した場合、エリア3へアクセスするとCS6mビットの設定に関係なく $\overline{CS6}$ が出力されます。

次にCSC0レジスタに0703Hを設定した場合のエリア0に対して有効になる \overline{CS} 信号を示します。

CSC0レジスタに0703Hを設定した場合、ブロック0、ブロック1ともに $\overline{CS0}$ 、 $\overline{CS2}$ 出力になっていますが、 $\overline{CS2}$ より $\overline{CS0}$ の方が優先順位が高いため、ブロック0、ブロック1のアドレスをアクセスした場合は $\overline{CS0}$ が出力されます。

ブロック3のアドレスをアクセスした場合は、CSC0レジスタのCS03、CS23ビットともに0であるため、 $\overline{CS1}$ が出力されます。

図4 - 1 CSC0レジスタに0703Hを設定した場合の例



4.4 バス・サイクル・タイプ制御機能

V850E/SV2は、次のような外部デバイスを各メモリ・ブロックごとに直結できます。

SRAM, 外部ROM, 外部I/O

接続する外部デバイスは、バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1) で指定します。

(1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1)

16ビット単位でリード/ライト可能です。

注意 BCT0, BCT1レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCT0, BCT1レジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

BCT0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	ME3	1	0	0	ME2	1	0	0	ME1	1	0	0	ME0	1	0	0	FFFFFF480H	CCCCH
CSn信号	CS3				CS2				CS1				CS0					
BCT1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
	ME7	1	0	0	ME6	1	0	0	ME5	1	0	0	ME4	1	0	0	FFFFFF482H	CCCCH
CSn信号	CS7				CS6				CS5				CS4					

ビット位置	ビット名	意味						
15, 11, 7, 3 (BCT0), 15, 11, 7, 3 (BCT1)	ME _n (n = 0-7)	メモリ・コントローラの動作許可をチップ・セレクトごとに設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>ME_n</th> <th>メモリ・コントローラの動作許可</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>動作禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>動作許可</td> </tr> </tbody> </table>	ME _n	メモリ・コントローラの動作許可	0	動作禁止	1	動作許可
ME _n	メモリ・コントローラの動作許可							
0	動作禁止							
1	動作許可							

4.5 バス・アクセス

4.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

バス・サイクル形態 リソース (バス幅)	命令フェッチ	オペランド・データ・アクセス
内蔵ROM (32ビット)	1 ^{注1}	5
内蔵RAM (32ビット)	1 ^{注2}	1
内蔵周辺I/O (16ビット)	-	4 ^{注3}
外部メモリ (16ビット)	3 + n	3 + n

注1. 命令分岐の場合は2

2. データ・アクセスと競合した場合は、2になります。

3. MIN.値。システム・ウエイト・コントロール・レジスタ (VSWC) の設定値に依存します。なお、VSWCレジスタの設定値に依存しない内蔵周辺I/Oレジスタもあります。

備考1. 単位はクロック / アクセス

2. n : ウエイト数

4.5.2 バス・サイジング機能

バス・サイジング機能により、各CS空間ごとのデータ・バス幅を制御できます。データ・バス幅は、バス・サイズ・コンフィギュレーション・レジスタ (BSC) で設定します。

(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

注意1. BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

2. 8ビット・バス幅の場合、次に示す信号のみアクティブになります。

$\overline{\text{LWR}}$: SRAM, 外部ROM, 外部I/Oアクセス (ライト・サイクル) の場合

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BSC	0	BS70	0	BS60	0	BS50	0	BS40	0	BS30	0	BS20	0	BS10	0	BS00	FFFFF066H	5555H
$\overline{\text{CSn}}$ 信号		$\overline{\text{CS7}}$		$\overline{\text{CS6}}$		$\overline{\text{CS5}}$		$\overline{\text{CS4}}$		$\overline{\text{CS3}}$		$\overline{\text{CS2}}$		$\overline{\text{CS1}}$		$\overline{\text{CS0}}$		

ビット位置	ビット名	意味						
14, 12, 10, 8, 6, 4, 2, 0	BSn0 (n = 0-7)	CSn空間のデータ・バス幅を設定します。 <table border="1" style="margin: auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="width: 15%;">BSn0</th> <th style="width: 85%;">CSn空間のデータ・バス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>8ビット</td> </tr> <tr> <td>1</td> <td>16ビット</td> </tr> </tbody> </table>	BSn0	CSn空間のデータ・バス幅	0	8ビット	1	16ビット
BSn0	CSn空間のデータ・バス幅							
0	8ビット							
1	16ビット							

4.5.3 ワード・データ処理形式

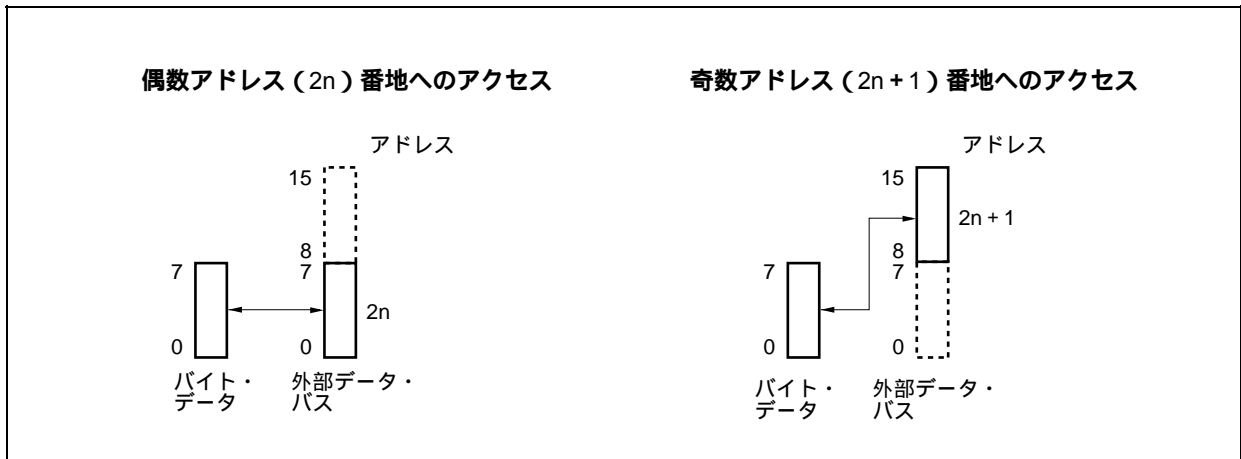
チップ・セレクト信号 ($\overline{\text{CS0}}-\overline{\text{CS7}}$) で選択されるCS空間ごとにメモリ内のワード・データをリトル・エンディアン形式で処理します。

4.5.4 バス幅

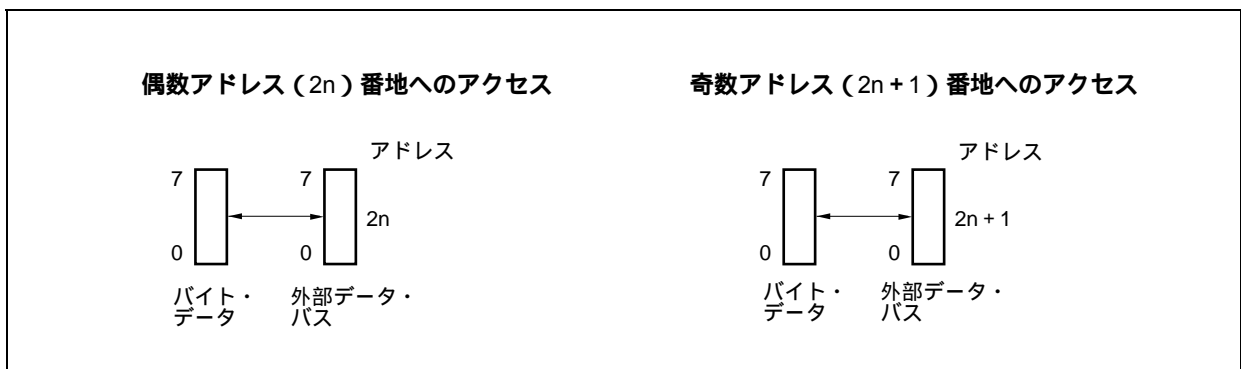
V850E/SV2が周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

(1) バイト・アクセス (8ビット)

(a) 16ビット・データ・バス幅のとき

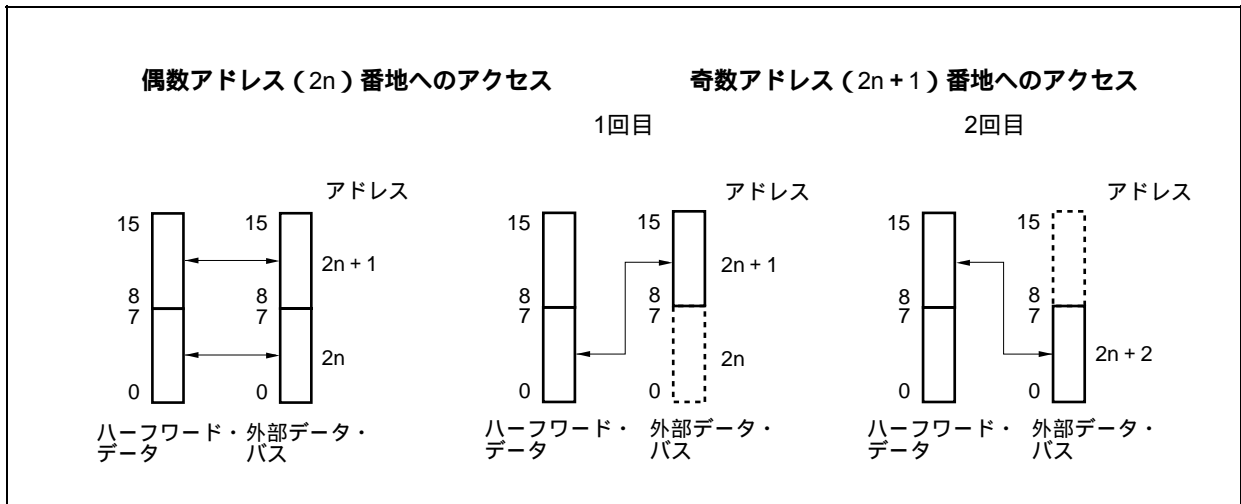


(b) 8ビット・データ・バス幅のとき

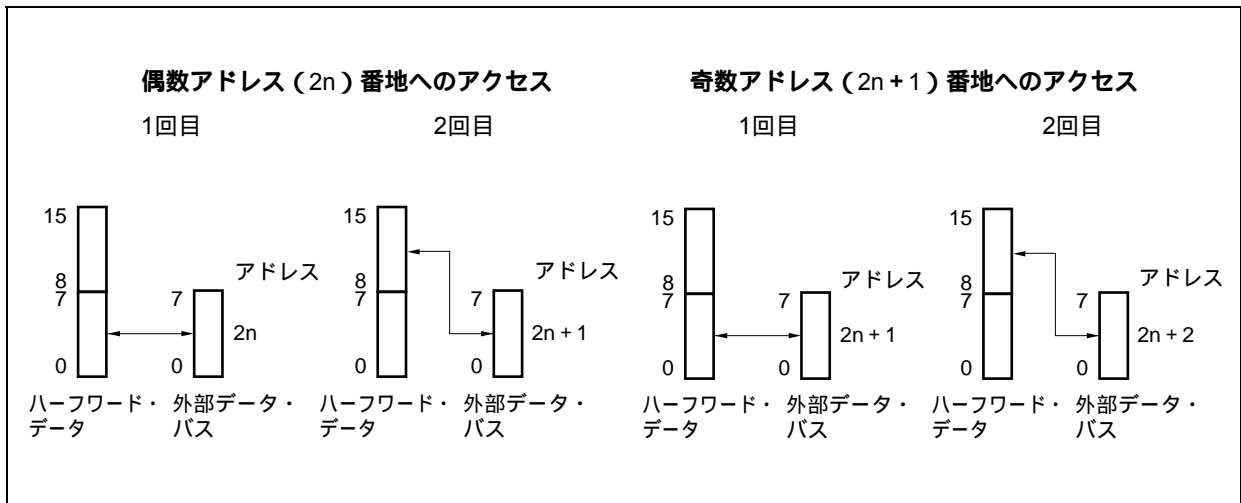


(2) ハーフワード・アクセス (16ビット)

(a) 16ビット・データ・バス幅のとき

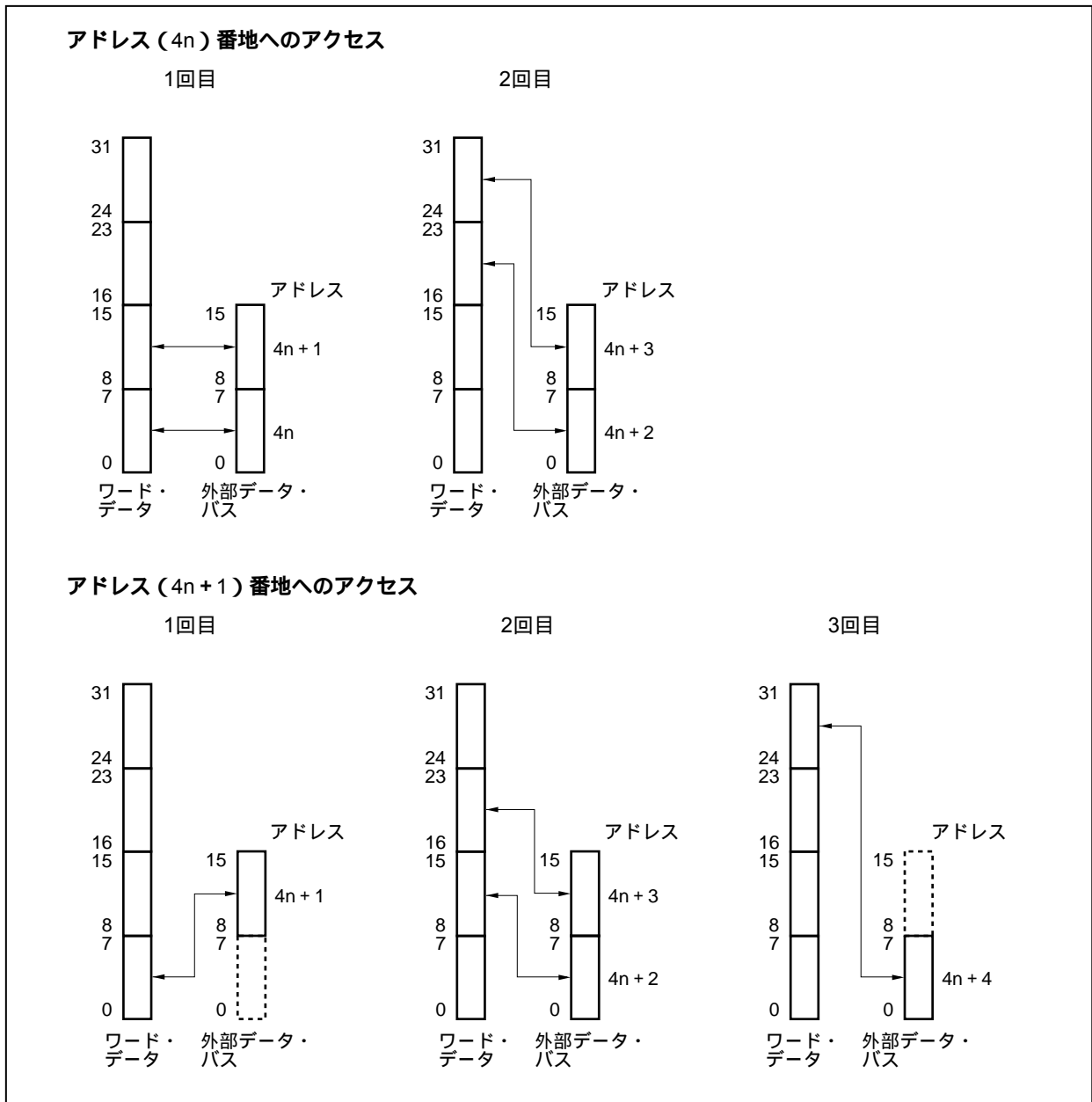


(b) 8ビット・データ・バス幅のとき



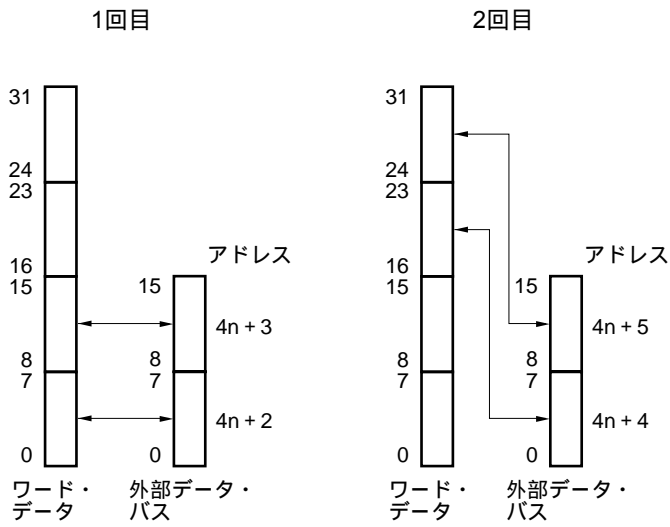
(3) ワード・アクセス (32ビット)

(a) 16ビット・データ・バス幅のとき (1/2)

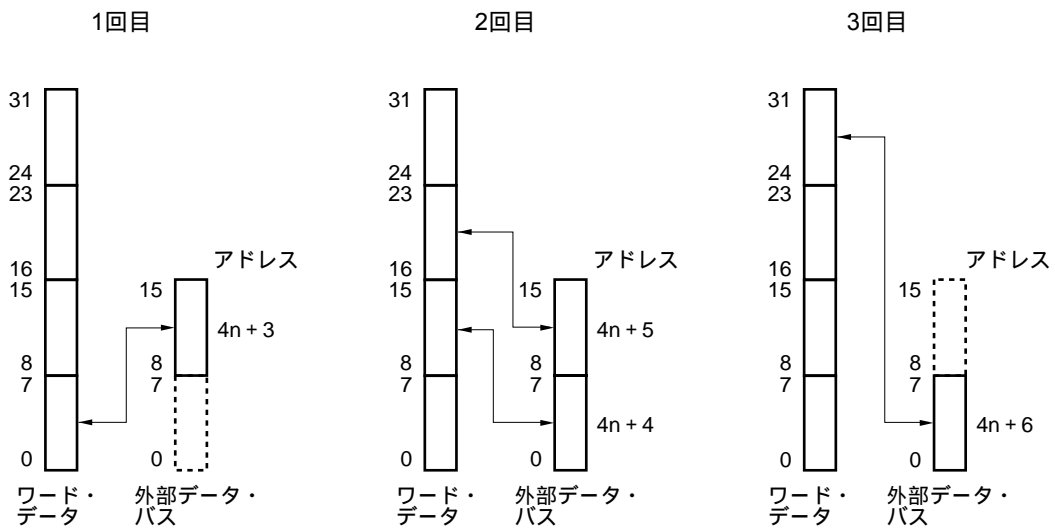


(a) 16ビット・データ・バス幅のとき (2/2)

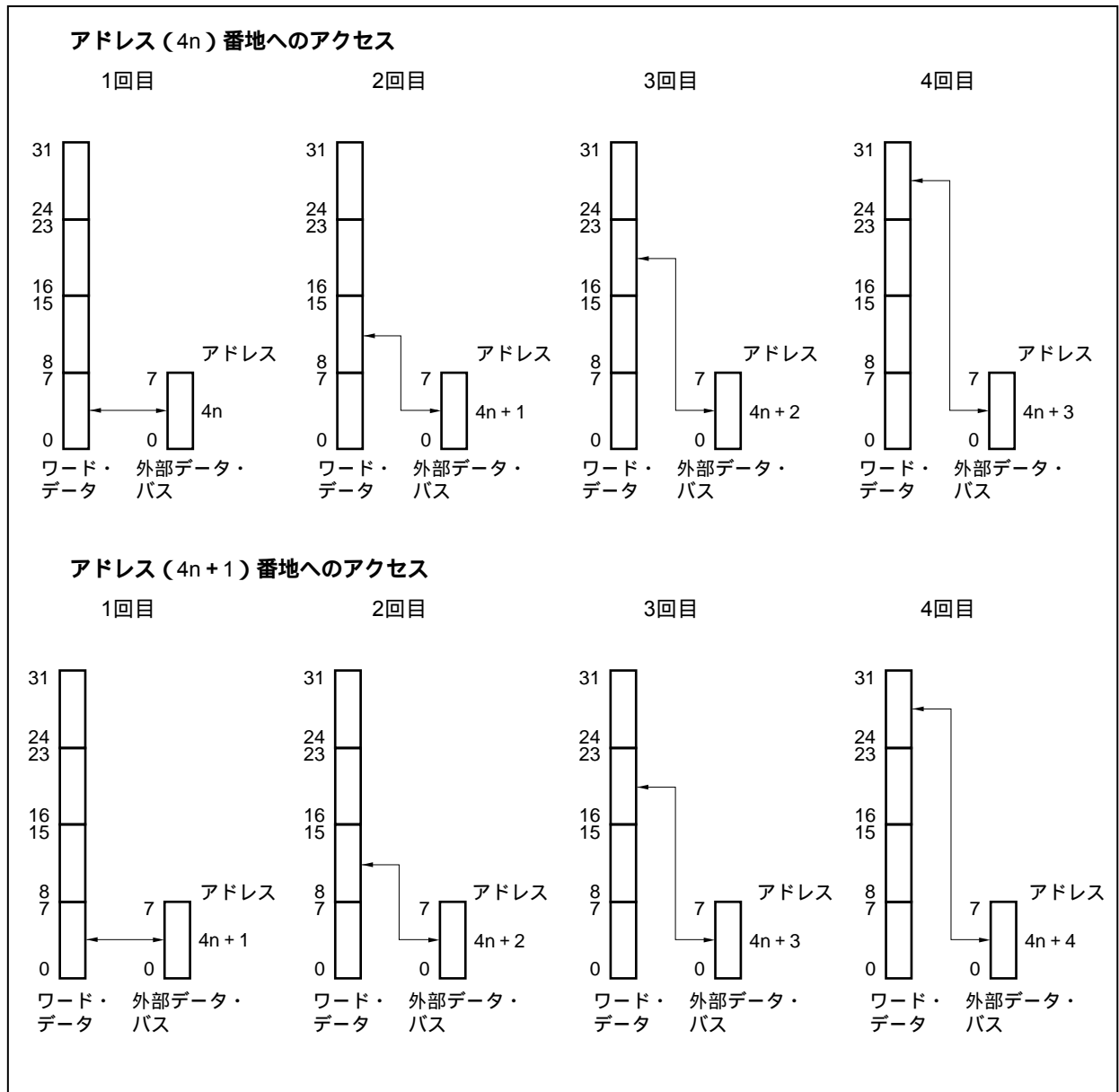
アドレス $(4n+2)$ 番地へのアクセス



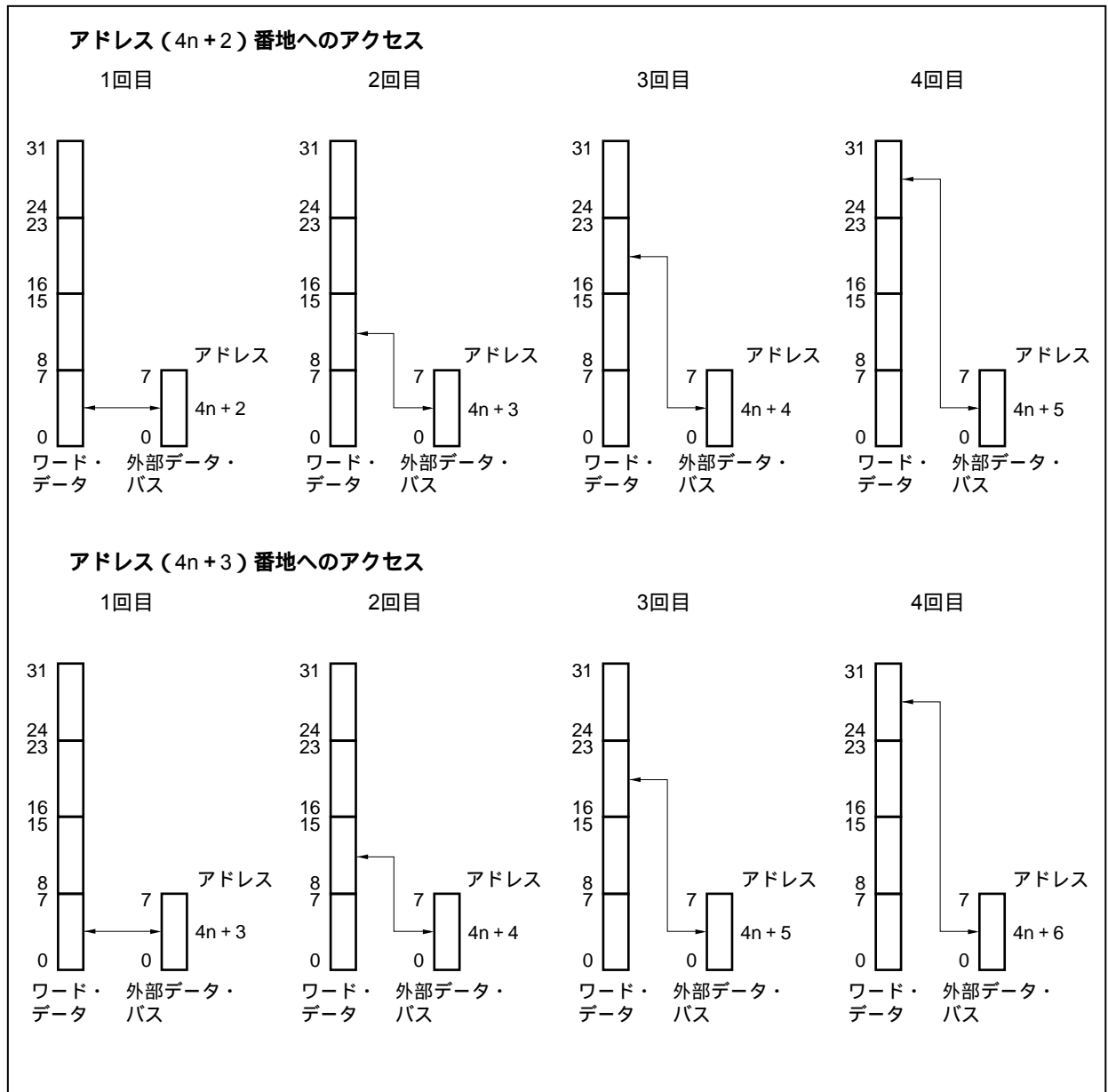
アドレス $(4n+3)$ 番地へのアクセス



(b) 8ビット・データ・バス幅のとき (1/2)



(b) 8ビット・データ・バス幅のとき (2/2)



4.6 ウェイト機能

4.6.1 プログラマブル・ウェイト機能

(1) データ・ウェイト・コントロール・レジスタ0, 1 (DWC0, DWC1)

低速メモリ, I/Oに対するインタフェースを容易に実現させることを目的とし, 各CS空間ごとに起動されるバス・サイクルに対し, 最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は, データ・ウェイト・コントロール・レジスタ0, 1 (DWC0, DWC1) でプログラマブルに指定可能です。システム・リセット直後は, 全ブロックに対して3データ・ウェイトの挿入状態になります。16ビット単位でリード/ライト可能です。

- 注意1. 内蔵ROM領域, 内蔵RAM領域は, プログラマブル・ウェイトの対象外で, 常にノー・ウェイト・アクセスを行います。また, 内蔵周辺I/O領域も, プログラマブル・ウェイトの対象外で, 各周辺機能からのウェイト制御だけ行われます。
2. DWC0, DWC1レジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, DWC0, DWC1レジスタの初期設定が終わるまでは, その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。

ビット位置	ビット名	意味																																				
14-12, 10-8, 6-4, 2-0	DWn2-DWn0 (n = 0-7)	CSn空間に挿入するウェイトのステート数を指定します。 <table border="1"> <thead> <tr> <th>DWn2</th> <th>DWn1</th> <th>DWn0</th> <th>CSn空間の挿入ウェイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>挿入しない</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>5</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>6</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>7</td> </tr> </tbody> </table>	DWn2	DWn1	DWn0	CSn空間の挿入ウェイト・ステート数	0	0	0	挿入しない	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
DWn2	DWn1	DWn0	CSn空間の挿入ウェイト・ステート数																																			
0	0	0	挿入しない																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DWC0	0	DW32	DW31	DW30	0	DW22	DW21	DW20	0	DW12	DW11	DW10	0	DW02	DW01	DW00	FFFFFF484H	7777H
CSn信号	CS3				CS2				CS1				CS0					
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DWC1	0	DW72	DW71	DW70	0	DW62	DW61	DW60	0	DW52	DW51	DW50	0	DW42	DW41	DW40	FFFFFF486H	7777H
CSn信号	CS7				CS6				CS5				CS4					

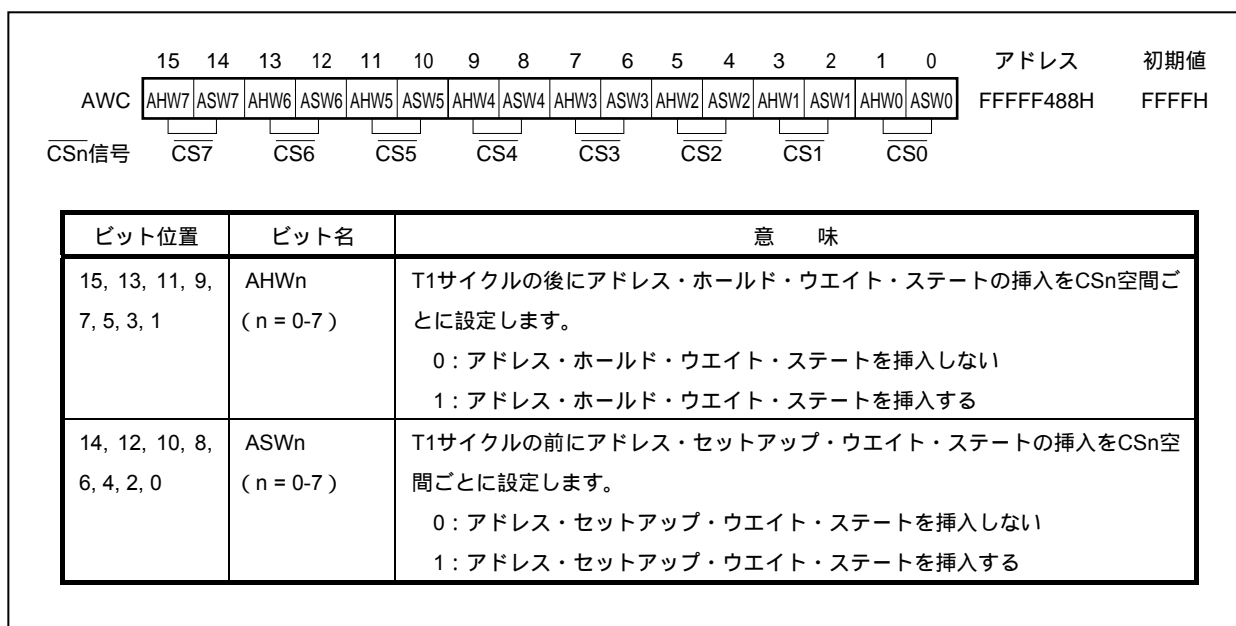
(2) アドレス・ウエイト・コントロール・レジスタ (AWC)

V850E/SV2は、T1サイクルの前にアドレス・セットアップ・ウエイト・ステートを、T1サイクルの後にアドレス・ホールド・ウエイト・ステートを挿入できます。

アドレス・セットアップ・ウエイト・ステート、アドレス・ホールド・ウエイト・ステートはAWCレジスタでCS空間ごとに設定できます。

16ビット単位でリード/ライト可能です。

注意 AWCレジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。



4.6.2 外部ウエイト機能

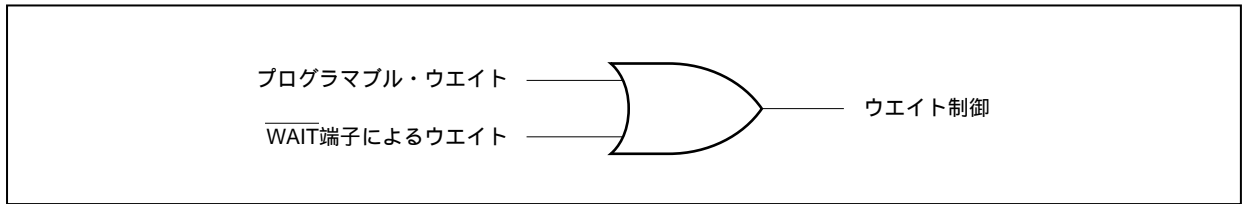
極端に遅いデバイスや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2、TWステートのクロックの立ち下がり方でサンプリングします。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

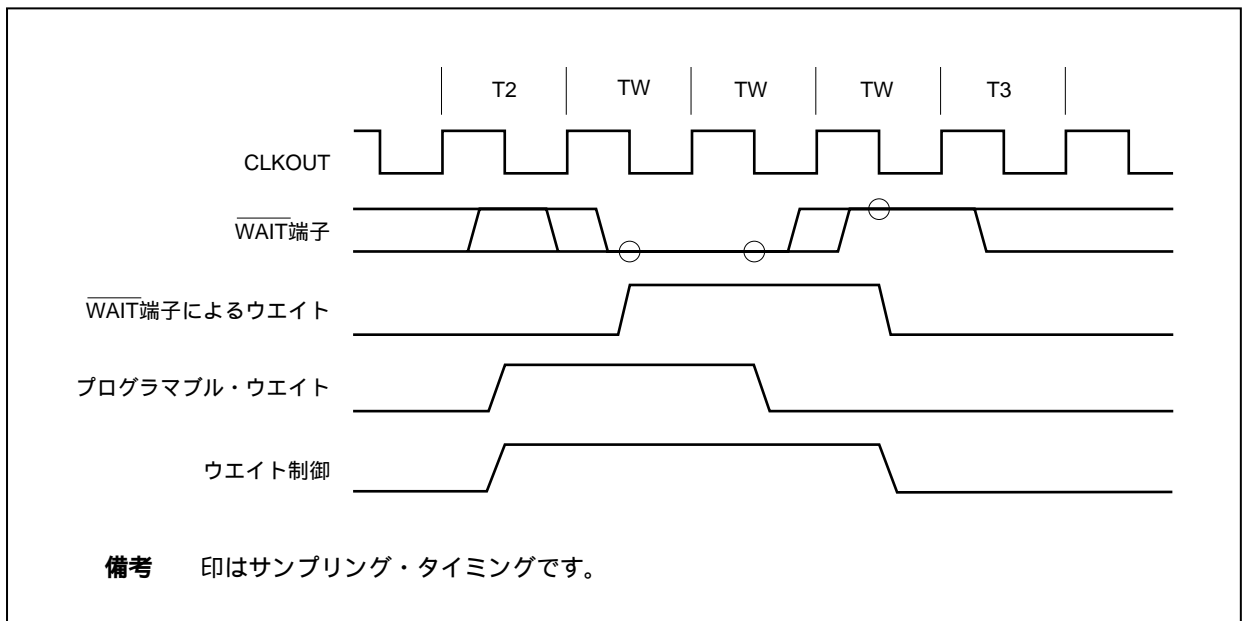
4.6.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入され、どちらか多い方のウエイト・サイクル数だけ挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図4-2 ウエイト挿入例



4.7 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、各CS空間ごとにリード・アクセス時のメモリのデータ出力フロート遅延時間 (tdF) を確保するために、起動されるバス・サイクルに対し、T3ステート後に設定された数のアイドル・ステート (TI) を挿入可能です。T3ステートの次のバス・サイクルは、挿入されたアイドル・ステートのあとから開始します。

アイドル・ステートは次に示すタイミングで挿入されます。

- ・SRAM, 外部I/O, 外部ROMに対するリード・サイクル後

アイドル・ステートの挿入指定は、バス・サイクル・コントロール・レジスタ (BCC) で指定可能です。システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード/ライト可能です。

- 注意1. 内蔵ROM領域, 内蔵RAM領域, 内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。
2. BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BC71	0	BC61	0	BC51	0	BC41	0	BC31	0	BC21	0	BC11	0	BC01	0	FFFFFF48AH	AAAAH
CS7		CS6		CS5		CS4		CS3		CS2		CS1		CS0			

ビット位置	ビット名	意味
15, 13, 11, 9, 7, 5, 3, 1	BCn1 (n = 0-7)	T3ステートの後にアイドル・ステートの挿入をCSn空間ごとに指定します。 0: アイドル・ステートを挿入しない。 1: アイドル・ステートを挿入する。

4.8 バス・ホールド機能

4.8.1 機能概要

PCM2, PCM3端子がコントロール・モードに設定されていれば, $\overline{\text{HLDRQ}}$, $\overline{\text{HLDRQ}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バス, 各種ストロブ端子をハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

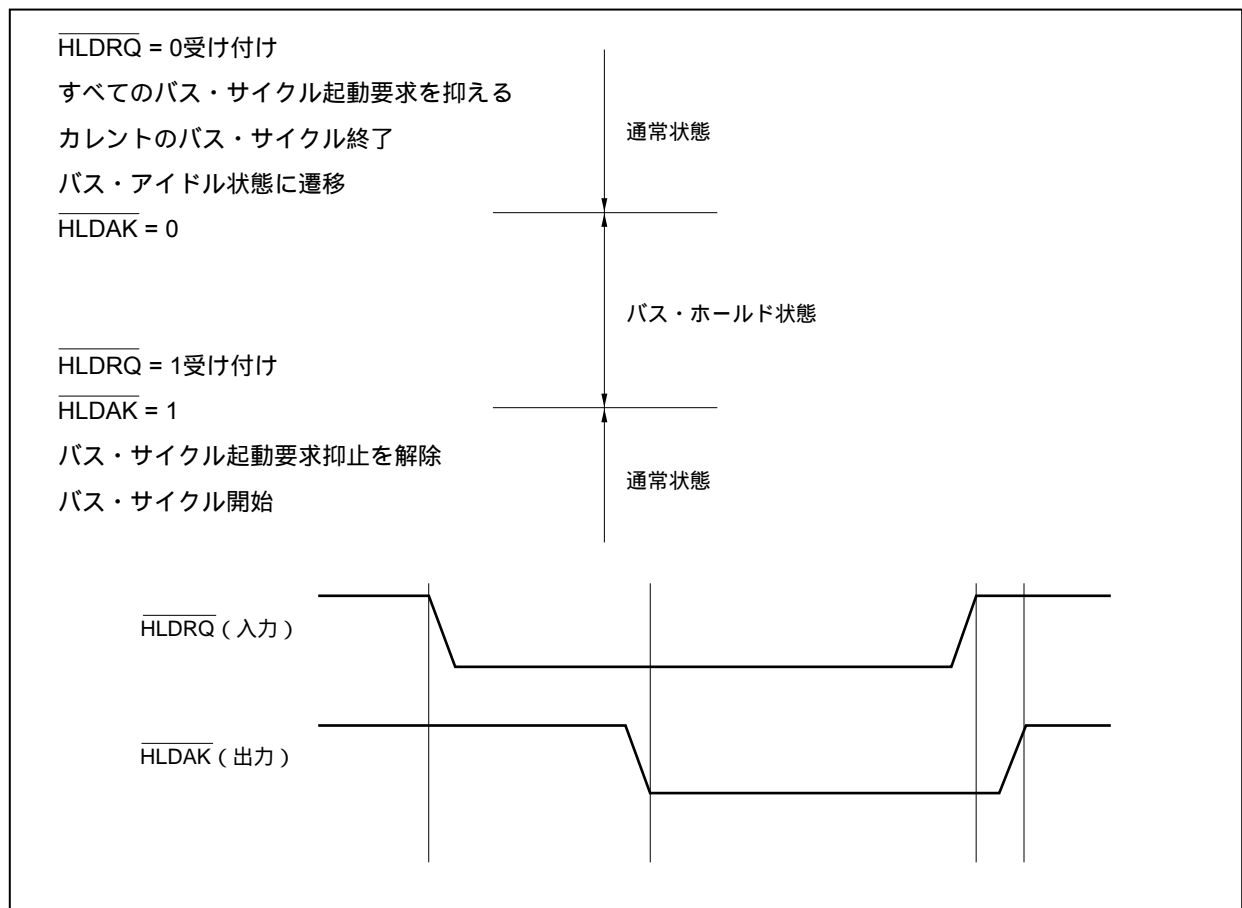
バス・ホールド期間中は, 外部メモリ・アクセスまたは周辺I/Oレジスタへのアクセスがあるまで, V850E/SV2の内部動作を継続します。

バス・ホールド状態は, $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。 $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になってから, $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になるまでの時間は最短で2クロックです。

マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

4.8.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。

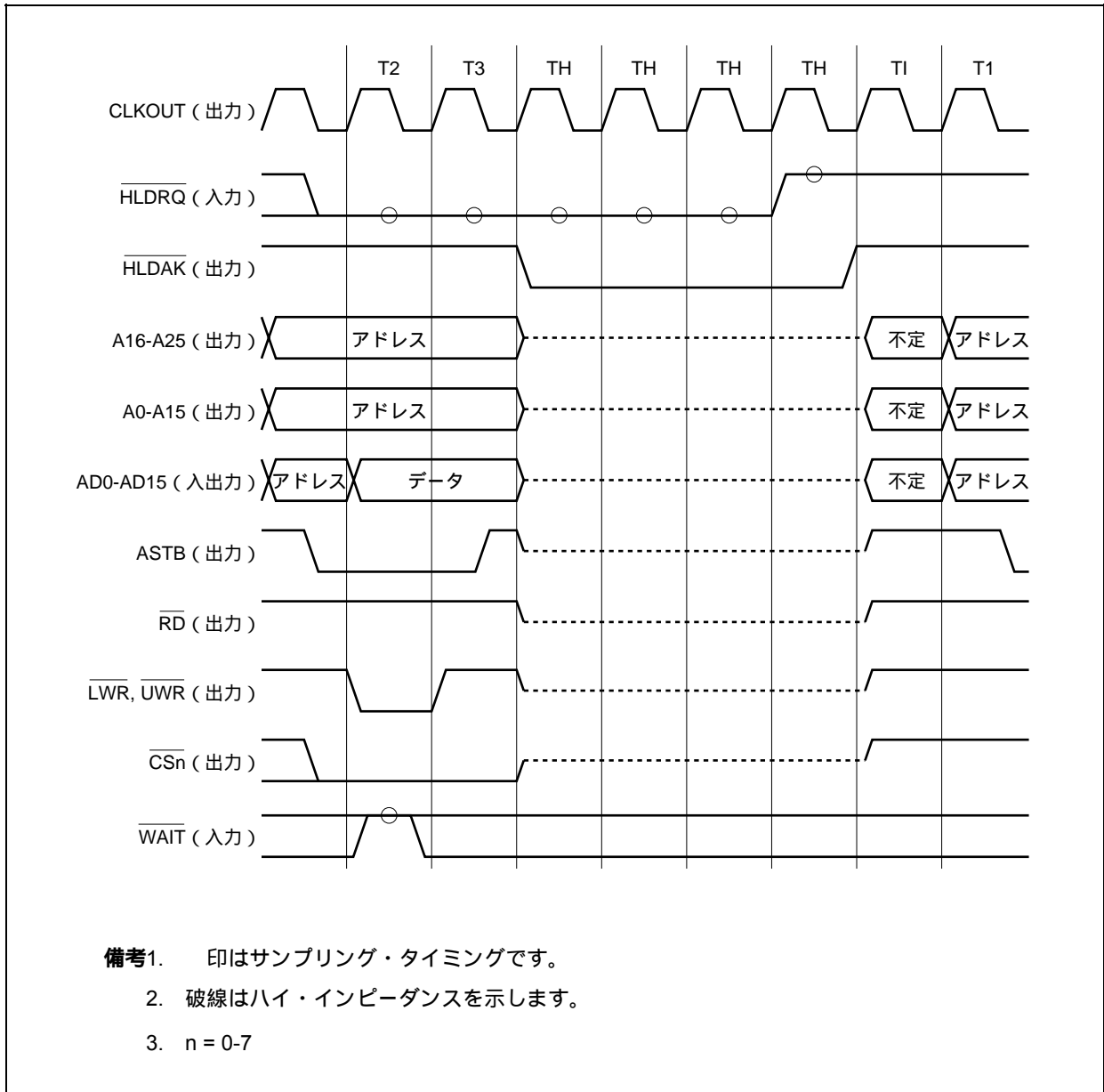


4.8.3 パワー・セーブ・モード時の動作

ソフトウェアSTOPモード期間中およびIDLEモード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDRQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDRQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDK}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDRQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDK}}$ 端子もインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

4.8.4 バス・ホールド・タイミング



4.9 バス・クロック分周機能

V850E/SV2は、外部バス用基本クロックに対するCPUクロックの分周比を、バス・クロック分周制御レジスタ (DVC) により設定できます。

外部バス用基本クロックは、ポートCMモード・コントロール・レジスタ (PMCCM) の設定により、CLKOUT 端子から出力できます。

(1) バス・クロック分周制御レジスタ (DVC)

8ビット単位でリード/ライト可能です。

リセット時：80H R/W アドレス：FFFFFF48EH

	7	6	5	4	3	2	1	0
DVC	BCWI ^注	0	0	0	0	0	0	DVC0

DVC0	外部バス・クロック (fbv) の選択
0	f _{CPU}
1	f _{CPU} /2

注 外部バス・アクセスする前に、BCWIビットには必ず0を設定してから使用してください。

注意1. ビット6-1には必ず0を設定してください。1を設定した場合の動作は保証しません。

2. DVC0ビットの設定値を変更するときは、必ずPCM1/CLKOUT端子をポート・モードに設定してください。コントロール・モード (CLKOUT) のとき、DVC0ビットの設定値は変更禁止です。

4.10 バスの優先順位

外部バス・サイクルには、バス・ホールド、DMAサイクル、オペランド・データ・アクセス、命令フェッチの4つがあります。

優先順位はバス・ホールドが最も高く、DMAサイクル、オペランド・データ・アクセス、命令フェッチの順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

また、CPUバス・クロック時のバス・アクセスとバス・アクセスの間にも、命令フェッチが挿入されることがあります。

表4 - 1 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	DMAサイクル	DMAコントローラ
	オペランド・データ・アクセス	CPU
	命令フェッチ	CPU

4.11 境界動作条件

4.11.1 プログラム空間

- (1) 内蔵周辺I/O領域への分岐または内蔵RAM領域から内蔵周辺I/O領域への連続フェッチは行わないでください。分岐や連続フェッチを行った場合、フェッチするデータが不定となり動作が保証されません。
- (2) 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。
- (3) バースト・フェッチは、メモリ・ブロック間にまたがって命令フェッチを行った場合、メモリ・ブロックの上限でバースト・フェッチをいったん終了し、次のメモリ・ブロックの下限からスタートアップ・サイクルを開始します。
- (4) バースト・フェッチは外部メモリ領域だけ有効です。メモリ・ブロック7では、内部アドレス・カウント値が外部メモリ領域の上限に達するとバースト・フェッチを終了します。

4.11.2 データ空間

V850E/SV2はアドレス・ミス・アライン機能を内蔵しています。

この機能により、データの形式(ワード・データ、ハーフワード・データ)にかかわらず、すべてのアドレスに対してデータを配置できます。ただし、ワード・データ、ハーフワード・データの場合、データが境界整列していないと、バス・サイクルが最低2回は発生し、バス効率が低下します。

(1) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき、バイト長のバス・サイクルを2回生成します。

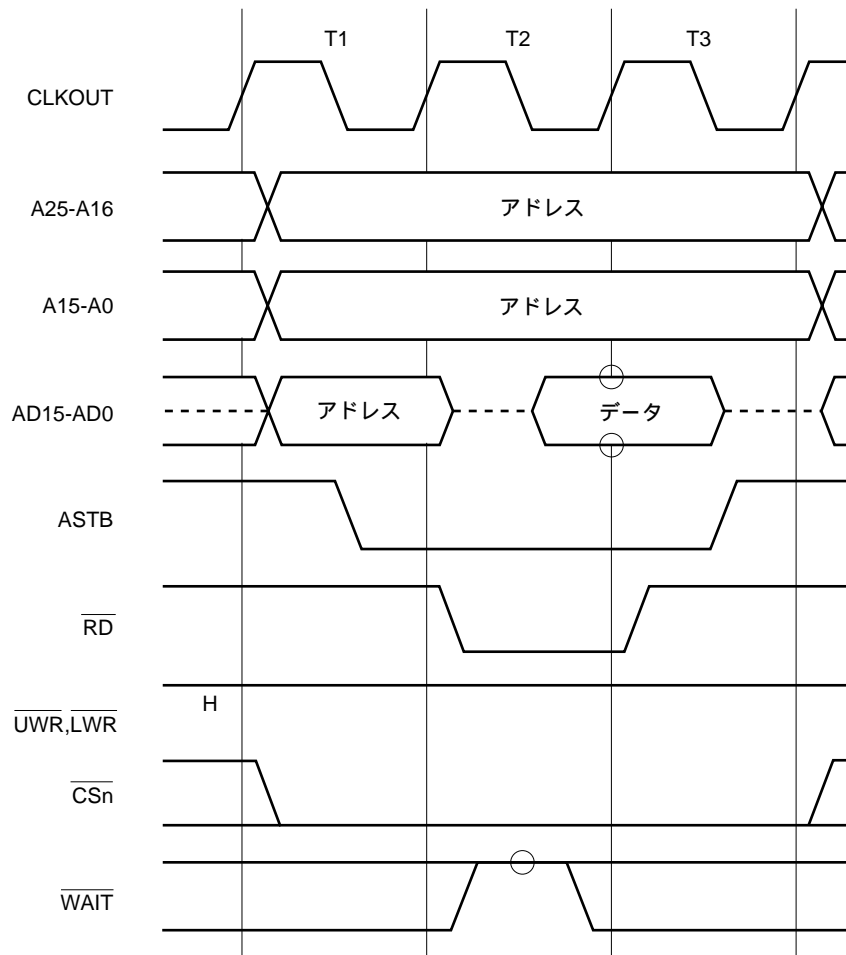
(2) ワード長のデータ・アクセスの場合

- (a) アドレスの最下位ビットが1のとき、バイト長のバス・サイクル、ハーフワード長のバス・サイクル、バイト長のバス・サイクルの順でバス・サイクルを生成します。
- (b) アドレスの下位2ビットが10のとき、ハーフワード長のバス・サイクルを2回生成します。

4.12 バス・タイミング

4.12.1 リード・サイクル

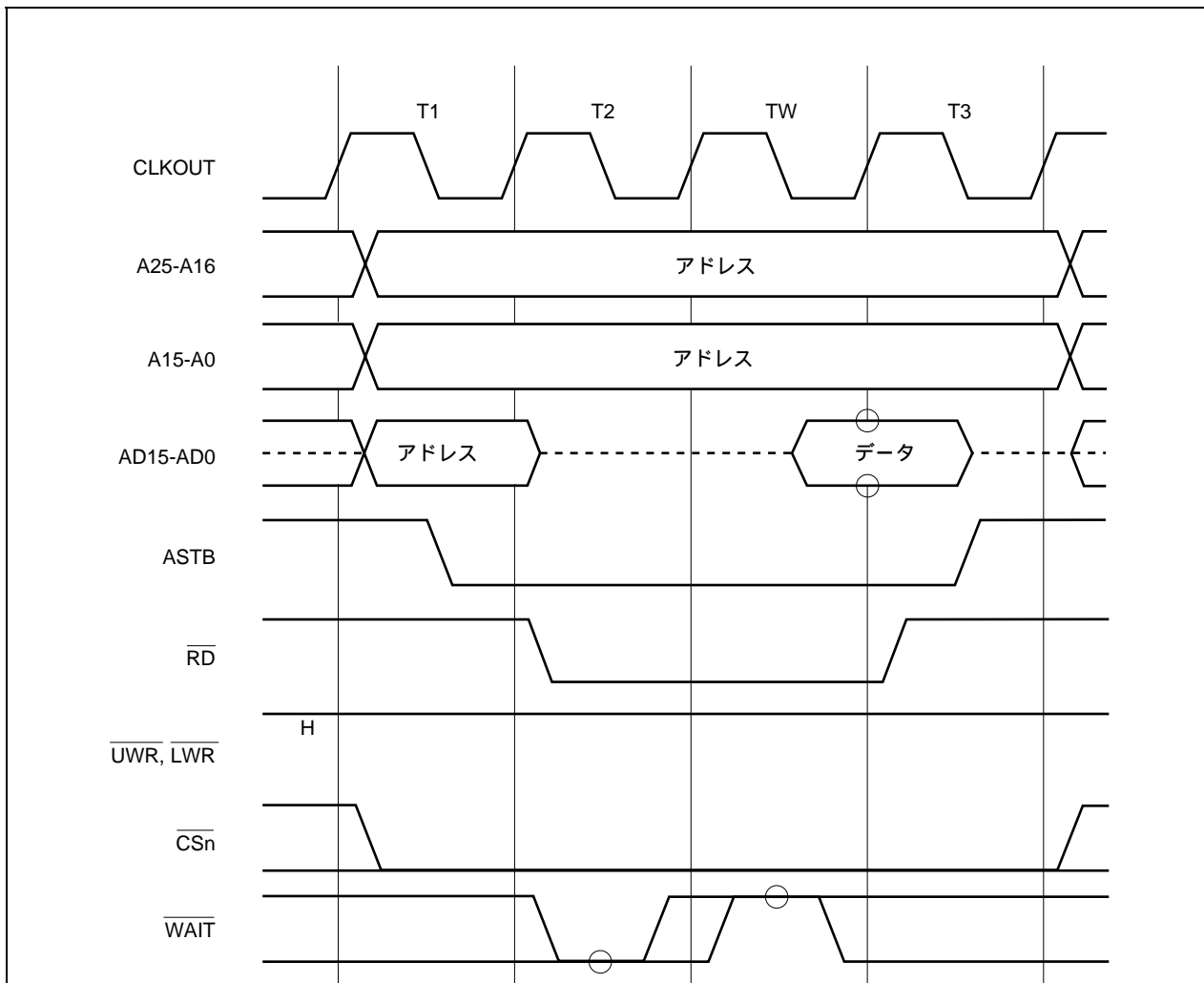
図4-3 基本バス・サイクル



- 注1. AD0-AD7は奇数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持します。AD8-AD15は偶数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持します。
2. \overline{CSn} ($n = 7-0$) は、対象となる \overline{CSn} 領域にアクセスした場合、上記タイミングのようにロウ・レベルになります。それ以外の \overline{CSn} はハイ・レベルのままです。

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。

図4-4 ウェイト・ステート(1ウェイト)挿入時



- 注1. AD0-AD7は奇数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持します。AD8-AD15は偶数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持します。
2. \overline{CSn} ($n = 7-0$) は、対象となる \overline{CSn} 領域にアクセスした場合、上記タイミングのようにロウ・レベルになります。それ以外の \overline{CSn} はハイ・レベルのままです。

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。

図4-5 アイドル・ステート挿入時

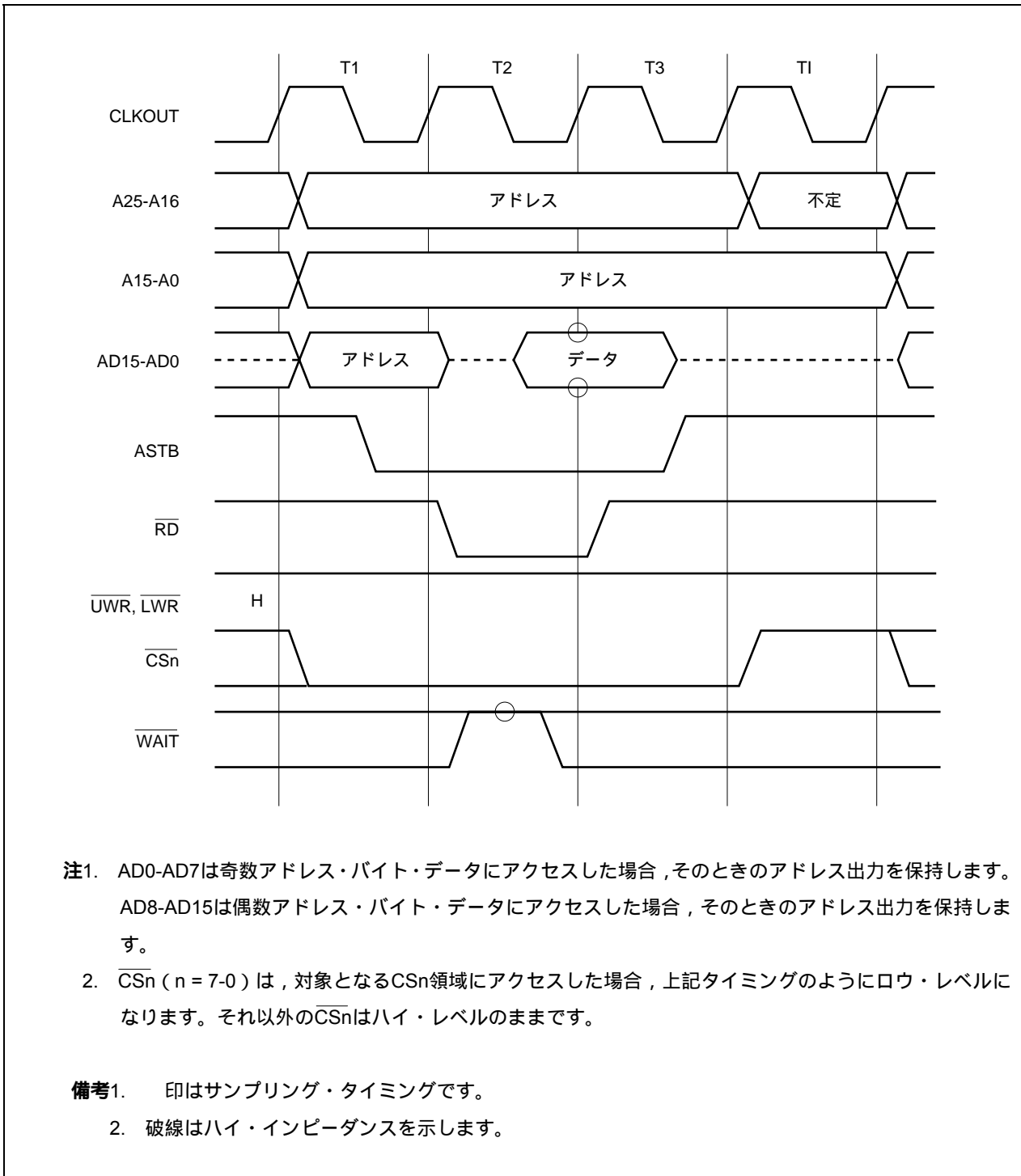
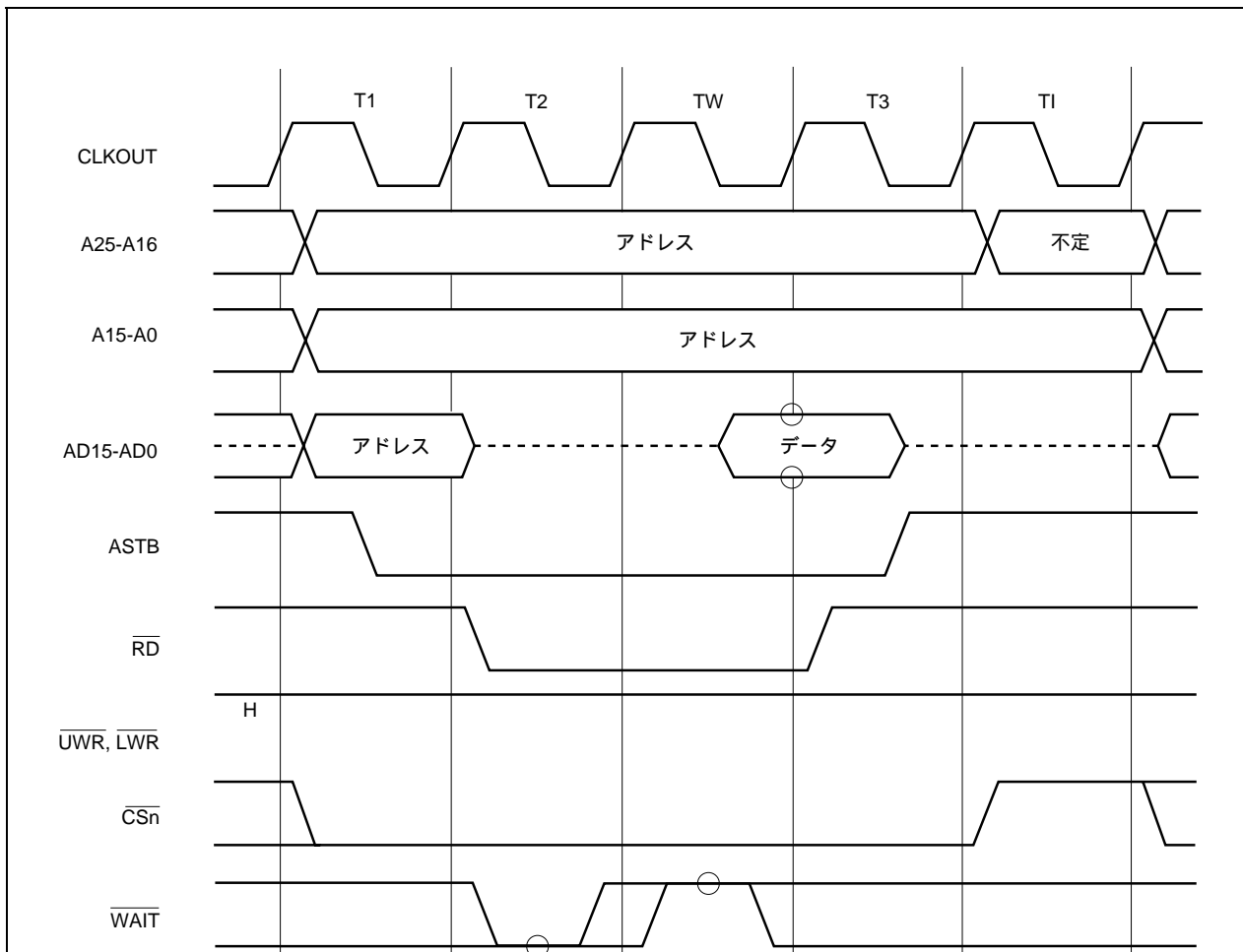


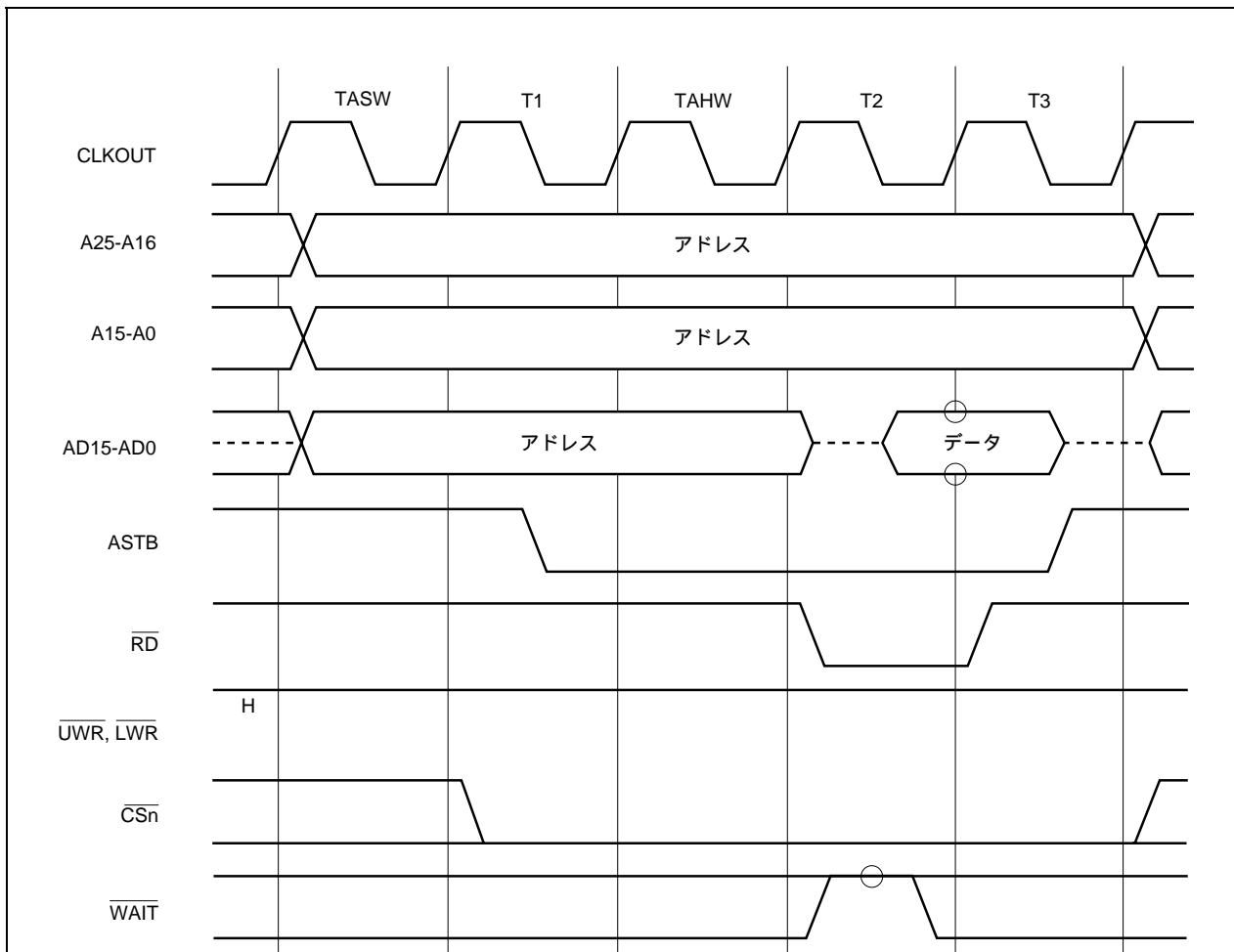
図4-6 ウェイト・ステート(1ウェイト), アイドル・ステート挿入時



- 注1. AD0-AD7は奇数アドレス・バイト・データにアクセスした場合, そのときのアドレス出力を保持します。
AD8-AD15は偶数アドレス・バイト・データにアクセスした場合, そのときのアドレス出力を保持しません。
2. \overline{CSn} (n = 7-0) は, 対象となるCSn領域にアクセスした場合, 上記タイミングのようにロウ・レベルになります。それ以外の \overline{CSn} はハイ・レベルのままです。

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。

図4-7 アドレス・ウェイト・ステート挿入時

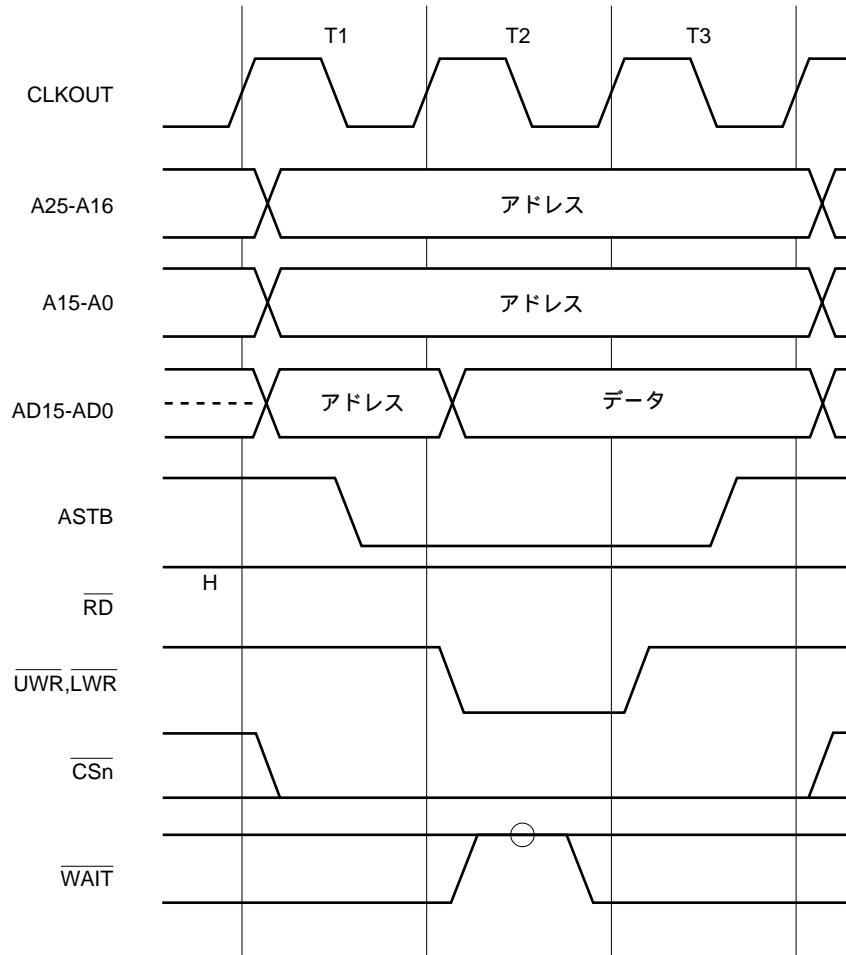


- 注1. AD0-AD7は奇数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持します。AD8-AD15は偶数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持します。
2. \overline{CSn} (n = 7-0) は、対象となるCSn領域にアクセスした場合、上記タイミングのようにロウ・レベルになります。それ以外の \overline{CSn} はハイ・レベルのままです。

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。

4.12.2 ライト・サイクル

図4-8 基本バス・サイクル



- 注1. AD0-AD7は奇数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持します。AD8-AD15は偶数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持します。
2. $\overline{UWR}, \overline{LWR}$ は、対象となるデータにアクセスした場合、上記タイミングのようにロウ・レベルになります。それ以外のときはハイ・レベルのままです。
3. \overline{CSn} ($n = 7-0$)は、対象となる \overline{CSn} 領域にアクセスした場合、上記タイミングのようにロウ・レベルになります。それ以外の \overline{CSn} はハイ・レベルのままです。

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。

図4-9 ウェイト・ステート(1ウェイト)挿入時

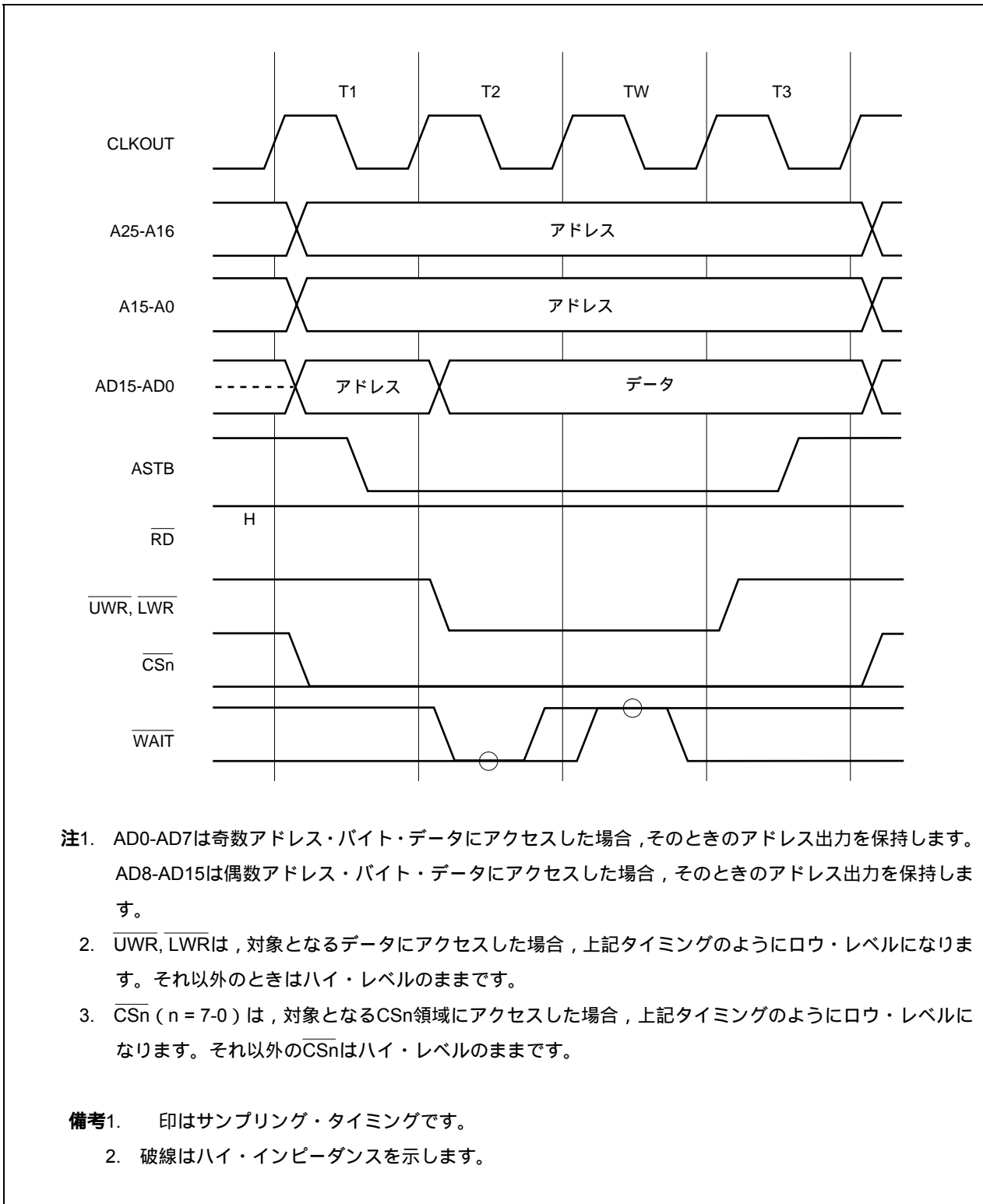
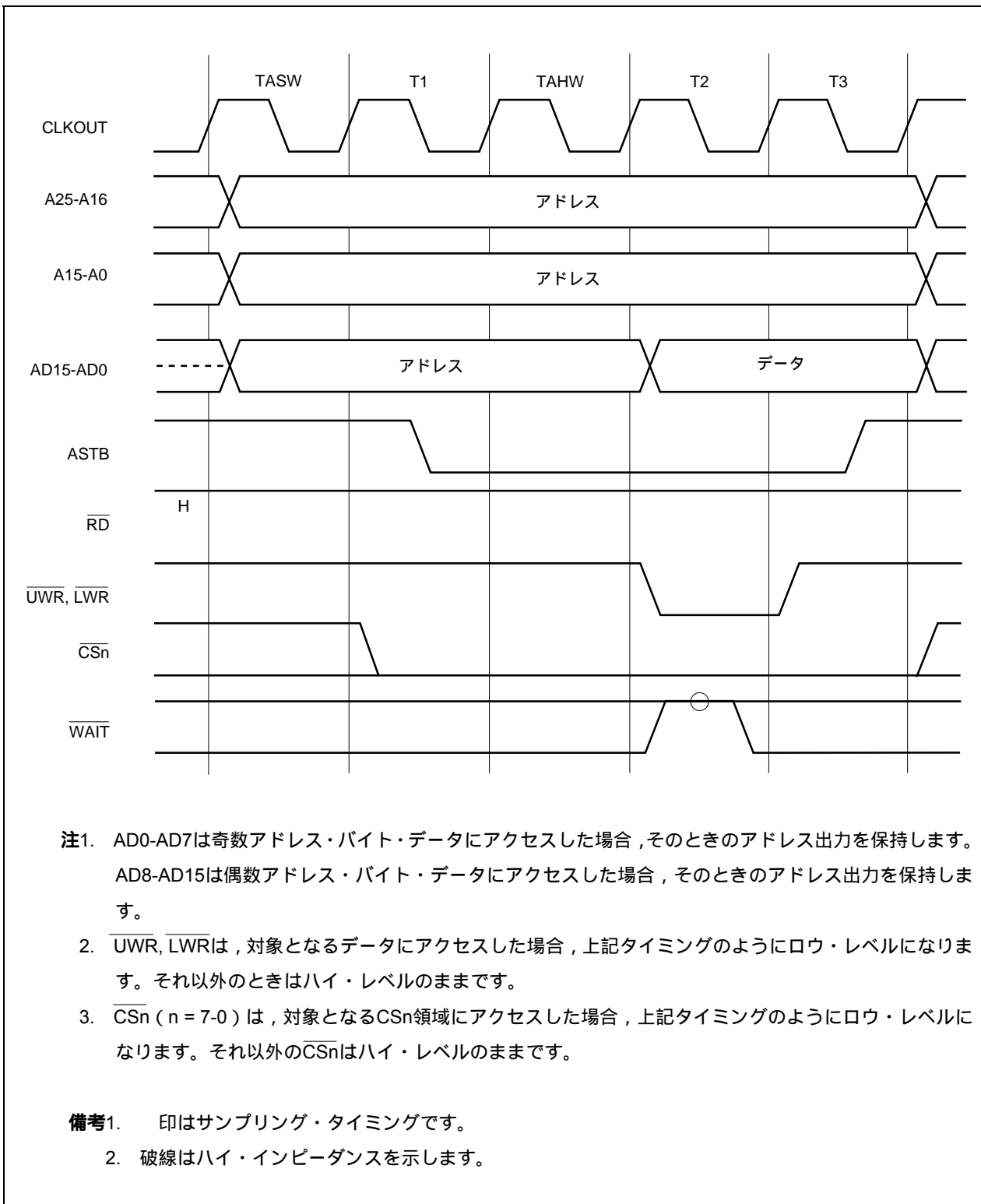


図4 - 10 アドレス・ウエイト・ステート挿入時

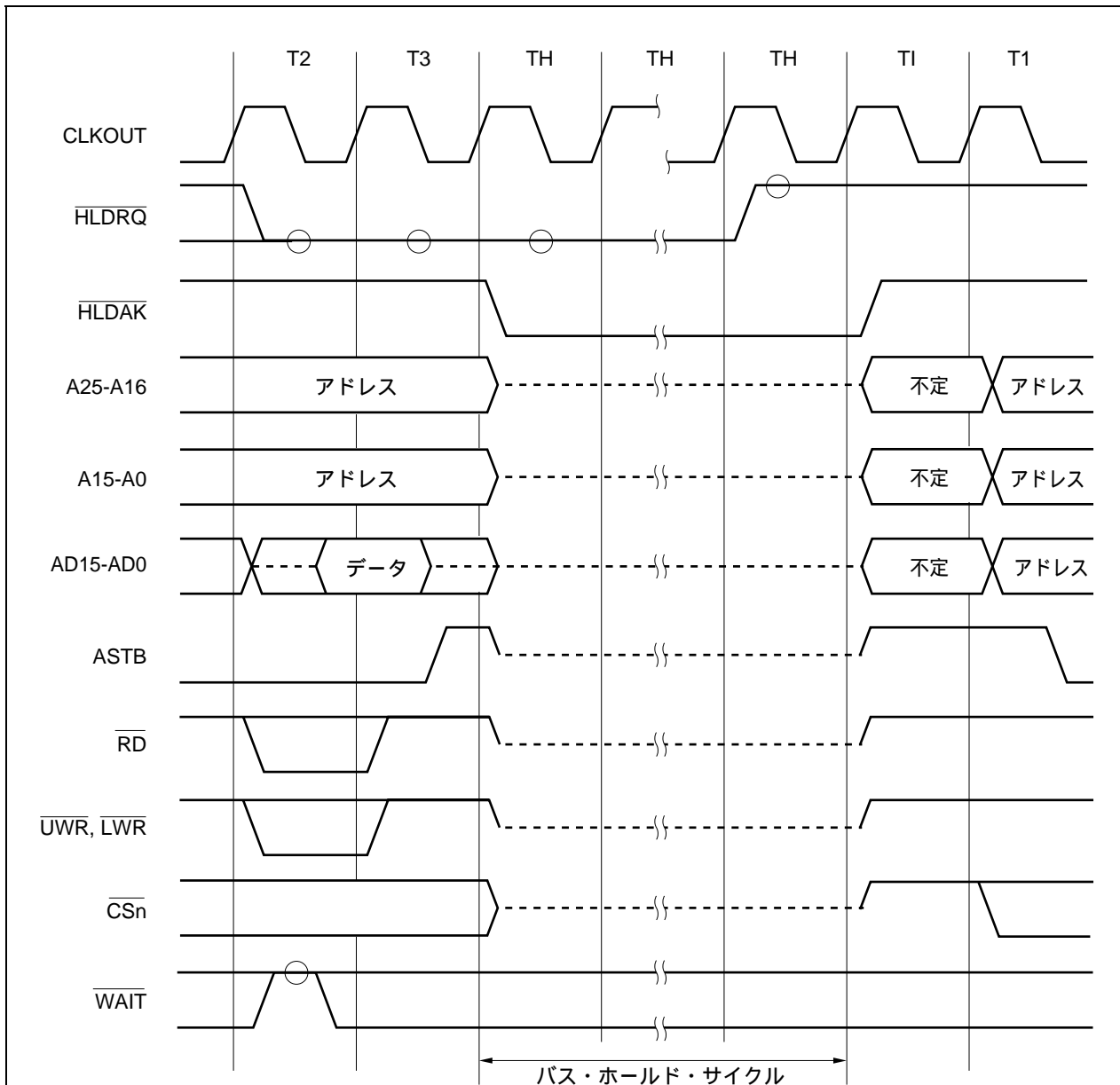


- 注1. AD0-AD7は奇数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持します。AD8-AD15は偶数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持します。
2. \overline{UWR} , \overline{LWR} は、対象となるデータにアクセスした場合、上記タイミングのようにロウ・レベルになります。それ以外のときはハイ・レベルのままです。
3. \overline{CSn} ($n = 7-0$) は、対象となる \overline{CSn} 領域にアクセスした場合、上記タイミングのようにロウ・レベルになります。それ以外の \overline{CSn} はハイ・レベルのままです。

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。

4. 12. 3 バス・ホールド・サイクル

図4 - 11 バス・ホールド・サイクル



注1. AD0-AD7は奇数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持します。AD8-AD15は偶数アドレス・バイト・データにアクセスした場合、そのときのアドレス出力を保持しません。

2. $\overline{\text{HLDRQ}}$ のT2, T3ステート(サンプリング・タイミング)でロウ・レベルを検出すると、T3ステート終了後バス・ホールド・サイクルに移行します。そのあと、THステート(サンプリング・タイミング)でロウ・レベル、またはハイ・レベルを検出すると、THステート終了後バス・ホールド状態を継続、またはバス・サイクルを再開します。

備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。

第5章 メモリ・アクセス制御機能

5.1 SRAM , 外部ROM , 外部I/Oインタフェース

5.1.1 特 徴

外部メモリへのアクセスは最小3ステート

データ・ウエイト・コントロール・レジスタ0, 1 (DWC0, DWC1) の設定により, 最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

$\overline{\text{WAIT}}$ 端子の入力により, データ・ウエイトを制御可能

バス・サイクル・コントロール・レジスタ (BCC) の設定により, リード・サイクルのあとにアイドル・ステート (1ステート) を挿入可能

アドレス・ウエイト・コントロール・レジスタ (AWC) の設定により, アドレス・ホールド・ウエイト・ステートとアドレス・セットアップ・ウエイト・ステートを挿入可能

第6章 割り込み / 例外処理機能

V850E/SV2は、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計88要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850E/SV2では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

6.1 特 徴

割り込み

- ・ ノンマスカブル割り込み : 2要因
- ・ マスカブル割り込み : 86要因
- ・ 8レベルのプログラマブル優先順位制御 (マスカブル割り込み)
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスカブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定
- ・ 外部割り込み : 12本 (NMI含む)
- ・ 内部割り込み : 76本 (μ PD703166Y, 70F3166Y)
75本 (μ PD703166, 70F3166)

例外

- ・ ソフトウェア例外 : 32要因
- ・ 例外トラップ : 2要因 (不正命令コード例外, デバッグ・トラップ)

これらの割り込み / 例外要因を表6 - 1に示します。

表6 - 1 割り込み / 例外要因一覧 (1/3)

種類	分類	割り込み / 例外要因				ディフォー ルト・プライ オリティ	例外 コード	ハンドラ アドレス	復帰PC
		名称	制御 レジスタ	発生要因	発生 ユニット				
リセット	割り込み	RESET	-	RESET端子入力	端子	-	0000H	00000000H	不定
		WDTRES	-	WDTオーバフロー	WDT				
ノンマスク ブル	割り込み	NMI	-	NMI端子入力	端子	-	0010H	00000010H	nextPC
		INTWDT	-	WDTオーバフロー	WDT	-	0020H	00000020H	nextPC
ソフトウ エア例外	例外	TRAP0n	-	TRAP命令	-	-	004nH	0000004nH	nextPC
		TRAP1n	-	TRAP命令	-	-	005nH	0000005nH	nextPC
例外 トラップ	例外	ILGOP/ DBG0	-	不正命令コード / DBTRAP命令	-	-	0060H	00000060H	nextPC
マスク ブル	割り込み	INTWDTM	WDTIC	WDTオーバフロー	WDT	0	0080H	00000080H	nextPC
		INTP0	PIC0	INTP0端子入力	端子	1	0090H	00000090H	nextPC
		INTP1	PIC1	INTP1端子入力	端子	2	00A0H	000000A0H	nextPC
		INTP2	PIC2	INTP2端子入力	端子	3	00B0H	000000B0H	nextPC
		INTP3	PIC3	INTP3端子入力	端子	4	00C0H	000000C0H	nextPC
		INTP4	PIC4	INTP4端子入力	端子	5	00D0H	000000D0H	nextPC
		INTP5	PIC5	INTP5端子入力	端子	6	00E0H	000000E0H	nextPC
		INTP6	PIC6	INTP6端子入力	端子	7	00F0H	000000F0H	nextPC
		INTP7	PIC7	INTP7端子入力	端子	8	0100H	00000100H	nextPC
		INTP8	PIC8	INTP8端子入力	端子	9	0110H	00000110H	nextPC
		INTP9	PIC9	INTP9端子入力	端子	10	0120H	00000120H	nextPC
		INTP10	PIC10	INTP10端子入力	端子	11	0130H	00000130H	nextPC
		INTOV3	OVIC3	TM3オーバフロー	TM3	12	0140H	00000140H	nextPC
		INTCP30	CPIC30	CP30キャプチャ	TM3	13	0150H	00000150H	nextPC
		INTCP31	CPIC31	CP31キャプチャ	TM3	14	0160H	00000160H	nextPC
		INTCP32	CPIC32	CP32キャプチャ	TM3	15	0170H	00000170H	nextPC
		INTCP33	CPIC33	CP33キャプチャ	TM3	16	0180H	00000180H	nextPC
		INTCP34	CPIC34	CP34キャプチャ	TM3	17	0190H	00000190H	nextPC
		INTCP35	CPIC35	CP35キャプチャ	TM3	18	01A0H	000000A0H	nextPC
		INTCP36	CPIC36	CP36キャプチャ	TM3	19	01B0H	000000B0H	nextPC
		INTCP37	CPIC37	CP37キャプチャ	TM3	20	01C0H	000000C0H	nextPC
		INTCP38	CPIC38	CP38キャプチャ	TM3	21	01D0H	000000D0H	nextPC
		INTCP39	CPIC39	CP39キャプチャ	TM3	22	01E0H	000000E0H	nextPC
		INTCP310	CPIC310	CP310キャプチャ	TM3	23	01F0H	000000F0H	nextPC
		INTCP311	CPIC311	CP311キャプチャ	TM3	24	0200H	00000200H	nextPC
		INTCM30	CMIC30	TM3-CM30一致	TM3	25	0210H	00000210H	nextPC
		INTCM31	CMIC31	TM3-CM31一致	TM3	26	0220H	00000220H	nextPC
		INTMKC0	MKCIC0	マスク中のCP30キャ プチャ・トリガ検出	TM3 (MKT0)	27	0230H	00000230H	nextPC
		INTMKC1	MKCIC1	マスク中のCP31キャ プチャ・トリガ検出	TM3 (MKT1)	28	0240H	00000240H	nextPC
INTMKUD0	MKUDIC0	MKT0アンダフロー	TM3 (MKT0)	29	0250H	00000250H	nextPC		

注 n = 0-FHの値

表6 - 1 割り込み / 例外要因一覧 (2/3)

種類	分類	割り込み / 例外要因				ディフォー ルト・プライ オリティ	例外 コード	ハンドラ アドレス	復帰PC
		名称	制御 レジスタ	発生要因	発生 ユニット				
マスク ブル	割り込み	INTMKUD1	MKUDIC1	MKT1アンダフロー	TM3 (MKT1)	30	0260H	00000260H	nextPC
		INTTI3	TIIC3	TI3端子入力	TM3	31	0270H	00000270H	nextPC
		INTOVF00	OVFIC00	TM00オーバーフロー	TM00	32	0280H	00000280H	nextPC
		INTOVF01	OVFIC01	TM01オーバーフロー	TM01	33	0290H	00000290H	nextPC
		INTOVF02	OVFIC02	TM02オーバーフロー	TM02	34	02A0H	000002A0H	nextPC
		INTOVF03	OVFIC03	TM03オーバーフロー	TM03	35	02B0H	000002B0H	nextPC
		INTOVF04	OVFIC04	TM04オーバーフロー	TM04	36	02C0H	000002C0H	nextPC
		INTOVF05	OVFIC05	TM05オーバーフロー	TM05	37	02D0H	000002D0H	nextPC
		INTCC000	CCIC000	CC000キャプチャ / TM00-CC000一致	TM00	38	02E0H	000002E0H	nextPC
		INTCC010	CCIC010	CC010キャプチャ / TM01-CC010一致	TM01	39	02F0H	000002F0H	nextPC
		INTCC020	CCIC020	CC020キャプチャ / TM02-CC020一致	TM02	40	0300H	00000300H	nextPC
		INTCC030	CCIC030	CC030キャプチャ / TM03-CC030一致	TM03	41	0310H	00000310H	nextPC
		INTCC040	CCIC040	CC040キャプチャ / TM04-CC040一致	TM04	42	0320H	00000320H	nextPC
		INTCC050	CCIC050	CC050キャプチャ / TM05-CC050一致	TM05	43	0330H	00000330H	nextPC
		INTCC001	CCIC001	CC001キャプチャ / TM00-CC001一致	TM00	44	0340H	00000340H	nextPC
		INTCC011	CCIC011	CC011キャプチャ / TM01-CC011一致	TM01	45	0350H	00000350H	nextPC
		INTCC021	CCIC021	CC021キャプチャ / TM02-CC021一致	TM02	46	0360H	00000360H	nextPC
		INTCC031	CCIC031	CC031キャプチャ / TM03-CC031一致	TM03	47	0370H	00000370H	nextPC
		INTCC041	CCIC041	CC041キャプチャ / TM04-CC041一致	TM04	48	0380H	00000380H	nextPC
		INTCC051	CCIC051	CC051キャプチャ / TM05-CC051一致	TM05	49	0390H	00000390H	nextPC
		INTCM10	CMIC10	TM10-CM10一致	TM10	50	03A0H	000003A0H	nextPC
		INTCM11	CMIC11	TM11-CM11一致	TM11	51	03B0H	000003B0H	nextPC
		INTCM12	CMIC12	TM12-CM12一致	TM12	52	03C0H	000003C0H	nextPC
		INTCM13	CMIC13	TM13-CM13一致	TM13	53	03D0H	000003D0H	nextPC
		INTCM14	CMIC14	TM14-CM14一致	TM14	54	03E0H	000003E0H	nextPC
		INTCM15	CMIC15	TM15-CM15一致	TM15	55	03F0H	000003F0H	nextPC
INTTM20	TMIC20	TM20-CR20一致 / TM20オーバーフロー	TM20	56	0400H	00000400H	nextPC		

表6 - 1 割り込み / 例外要因一覧 (3/3)

種類	分類	割り込み / 例外要因				ディフォー ルト・プライ オリティ	例外 コード	ハンドラ アドレス	復帰PC
		名称	制御 レジスタ	発生要因	発生 ユニット				
マスク ブル	割り込み	INTTM21	TMIC21	TM21-CR21一致 / TM21オーバフロー	TM21	57	0410H	00000410H	nextPC
		INTTM22	TMIC22	TM22-CR22一致 / TM22オーバフロー	TM22	58	0420H	00000420H	nextPC
		INTTM23	TMIC23	TM23-CR23一致 / TM23オーバフロー	TM23	59	0430H	00000430H	nextPC
		INTTM24	TMIC24	TM24-CR24一致 / TM24オーバフロー	TM24	60	0440H	00000440H	nextPC
		INTTM25	TMIC25	TM25-CR25一致 / TM25オーバフロー	TM25	61	0450H	00000450H	nextPC
		INTTM26	TMIC26	TM26-CR26一致 / TM26オーバフロー	TM26	62	0460H	00000460H	nextPC
		INTTM27	TMIC27	TM27-CR27一致 / TM27オーバフロー	TM27	63	0470H	00000470H	nextPC
		INTTM28	TMIC28	TM28-CR28一致 / TM28オーバフロー	TM28	64	0480H	00000480H	nextPC
		INTTM29	TMIC29	TM29-CR29一致 / TM29オーバフロー	TM29	65	0490H	00000490H	nextPC
		INTTM210	TMIC210	TM210-CR210一致 / TM210オーバフロー	TM210	66	04A0H	000004A0H	nextPC
		INTTM211	TMIC211	TM211-CR211一致 / TM211オーバフロー	TM211	67	04B0H	000004B0H	nextPC
		INTDMA0	DMAIC0	DMA0転送終了	DMAC0	68	04C0H	000004C0H	nextPC
		INTDMA1	DMAIC1	DMA1転送終了	DMAC1	69	04D0H	000004D0H	nextPC
		INTDMA2	DMAIC2	DMA2転送終了	DMAC2	70	04E0H	000004E0H	nextPC
		INTDMA3	DMAIC3	DMA3転送終了	DMAC3	71	04F0H	000004F0H	nextPC
		INTCSI0	CSIC0	CSI0シリアル転送終了	CSI0	72	0500H	00000500H	nextPC
		INTCSI1	CSIC1	CSI1シリアル転送終了	CSI1	73	0510H	00000510H	nextPC
		INTCSI2	CSIC2	CSI2シリアル転送終了	CSI2	74	0520H	00000520H	nextPC
		INTCSI3	CSIC3	CSI3シリアル転送終了	CSI3	75	0530H	00000530H	nextPC
		INTCSIA0	CSICA0	CSIA0シリアル転送終了	CSIA0	76	0540H	00000540H	nextPC
		INTCSIA1	CSICA1	CSIA1シリアル転送終了	CSIA1	77	0550H	00000550H	nextPC
		INTSER0	SERIC0	UART0シリアル受信エラー	UART0	78	0560H	00000560H	nextPC
		INTSR0	SRIC0	UART0シリアル受信終了	UART0	79	0570H	00000570H	nextPC
		INTST0	STIC0	UART0シリアル送信終了	UART0	80	0580H	00000580H	nextPC
		INTSER1	SERIC1	UART1シリアル受信エラー	UART1	81	0590H	00000590H	nextPC
		INTSR1	SRIC1	UART1シリアル受信終了	UART1	82	05A0H	000005A0H	nextPC
		INTST1	STIC1	UART1シリアル送信終了	UART1	83	05B0H	000005B0H	nextPC
				INTIC ^注	IICIC	IICシリアル転送終了	IIC	84	05C0H
		INTAD	ADIC	A/D変換終了	A/D	85	05D0H	000005D0H	nextPC

注 μ PD703166Y, 70F3166Yのみ

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み / 例外処理起動時に、EIPCまたはFEPCにセーブされるPC値のことです。ただし、除算命令(DIV, DIVH, DIVU, DIVHU)実行中に割り込みを受け付けたときセーブされる復帰PC値は、カレントの命令(DIV, DIVH, DIVU, DIVHU)のPC値となります。

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4)で求められます。

6.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求は、割り込み禁止 (DI) 状態であっても無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求に対して最優先の割り込み要求です。

ノンマスカブル割り込み要求は、NMI端子、INTWDT割り込み要求信号によって行います。

ノンマスカブル割り込みのサービス・プログラムを実行している (PSW.NP = 1) 場合は、ノンマスカブル割り込み要求は、保留されます。保留されたノンマスカブル割り込みは、現在実行中のノンマスカブル割り込みサービス・プログラムの終了後 (RETI命令実行後) または、LDSR命令によりPSW.NP = 0にすると受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に、ノンマスカブル割り込み要求が2回以上発生しても、PSW.NP = 0後に受け付けられるノンマスカブル割り込みは1回だけになります。

備考 PSW.NP : PSWレジスタのNPビット

6.2.1 動作

NMI入力によりノンマスクブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

ECRの上位ハーフワード (FECC) に例外コード (0010Hまたは0020H) を書き込みます。

PSWのNP, IDビットをセットし, EPビットをクリアします。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010Hまたは00000020H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を図6 - 1に示します。

図6 - 1 ノンマスクブル割り込みの処理形態

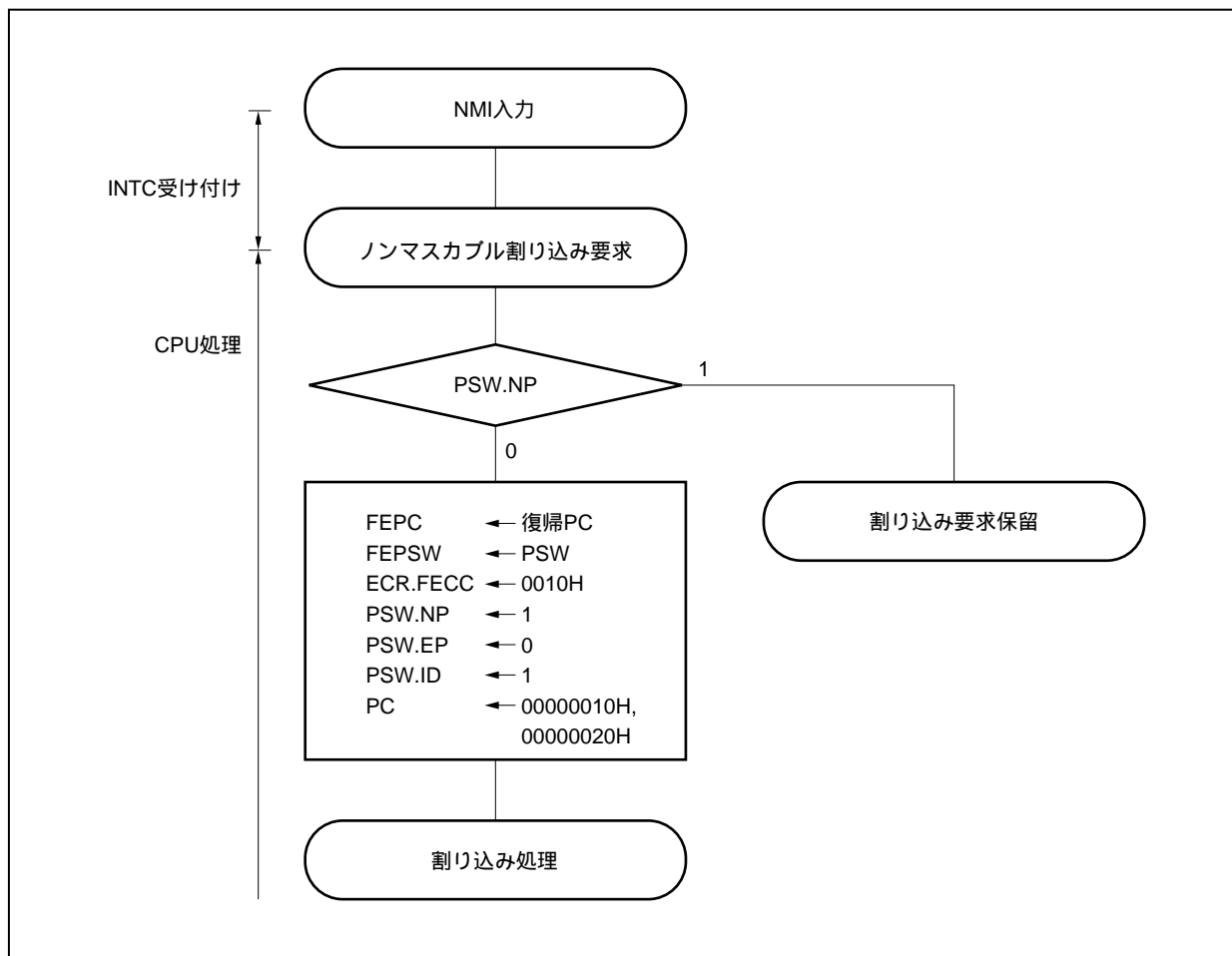
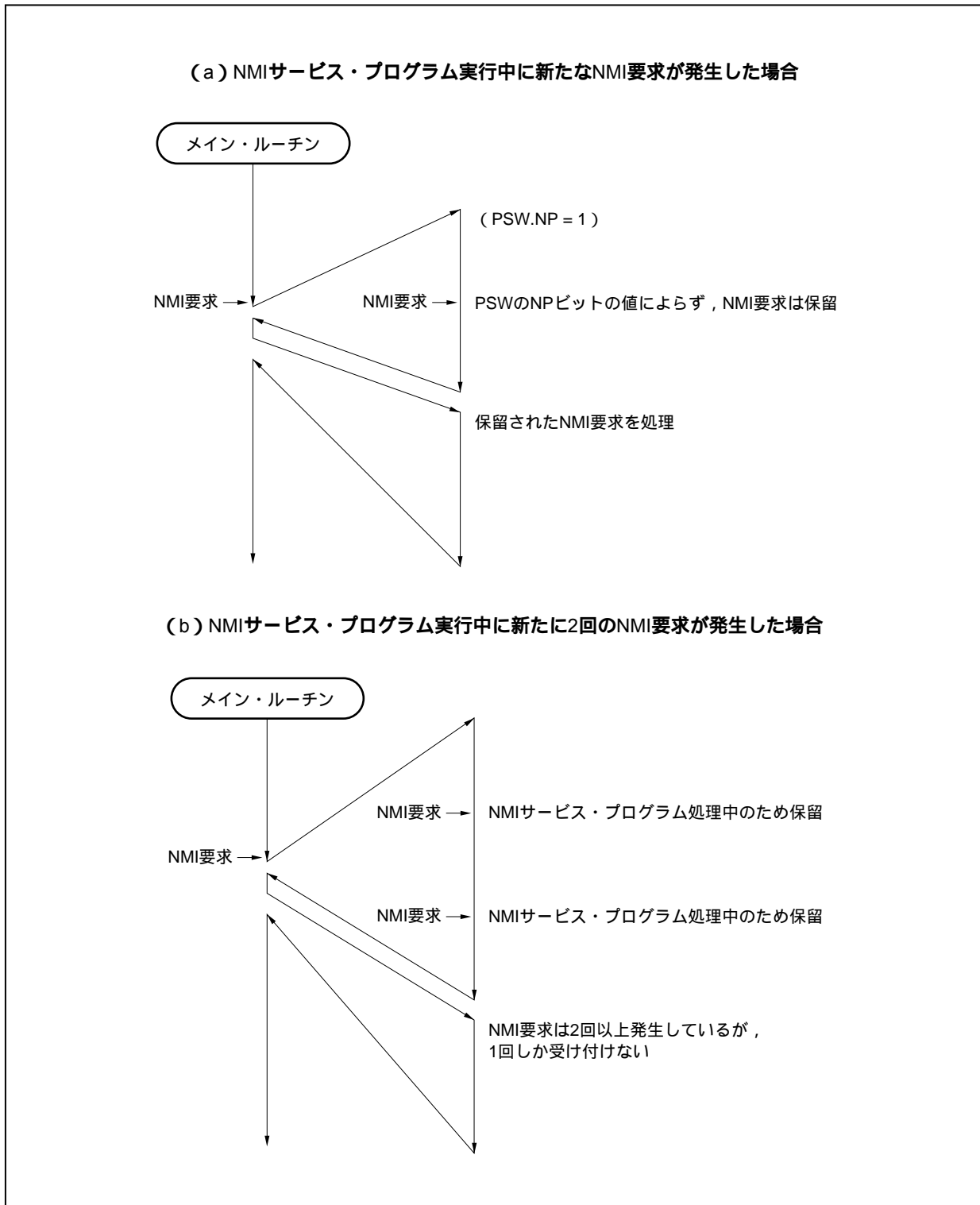


図6-2 ノンマスカブル割り込み要求の受け付け動作



6.2.2 復 帰

ノンマスクブル割り込み処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

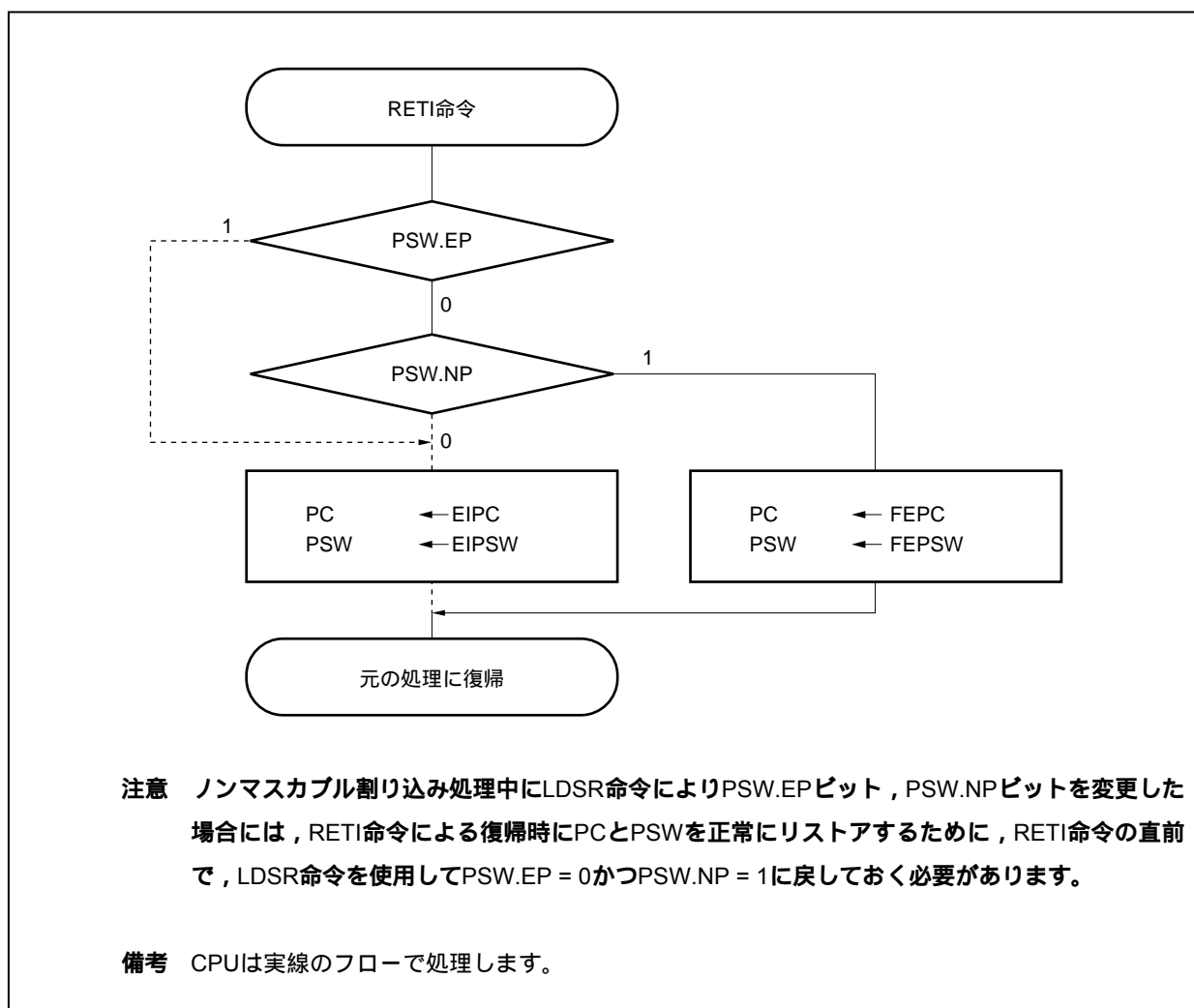
PSWのEPビットが0かつPSWのNPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

注意 INTWDT割り込み要求から復帰する場合、 $\overline{\text{RESET}}$ 端子入力によるリセットを行ってください。
RETI命令による復帰はできません。

RETI命令の処理形態を図6 - 3に示します。

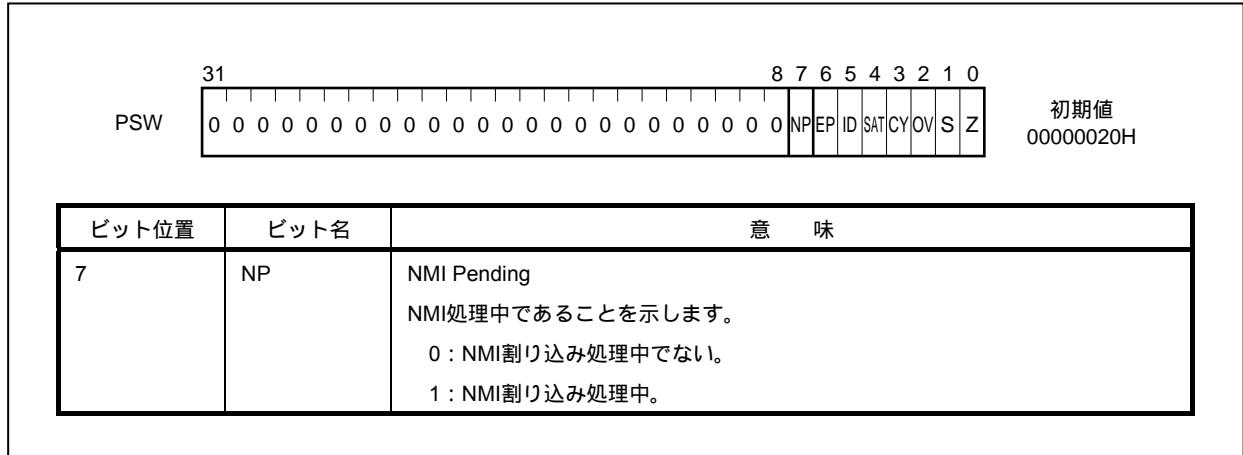
図6 - 3 RETI命令の処理形態



6.2.3 NPフラグ

NPフラグは、PSWのビット7です。NPフラグは、ノンマスクブル割り込み（NMI）の処理中であることを示すステータス・フラグです。

NMI割り込み要求を受け付けるとセットされ、すべての割り込みと例外をマスクして多重割り込みを禁止します。



6.2.4 ノイズ除去

NMI, INTP0-INTP10端子は、アナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI, INTP0-INTP10端子の入力レベルがアナログ・ディレイ時間未満の場合は、ノイズとして除去され、エッジ検出されません。

また、エッジの検出は一定時間後になります。

なお、NMI, INTP0-INTP10はすべてHALTモード、IDLEモード、ソフトウェアSTOPモードの解除に使用できません。

6.2.5 エッジ検出機能

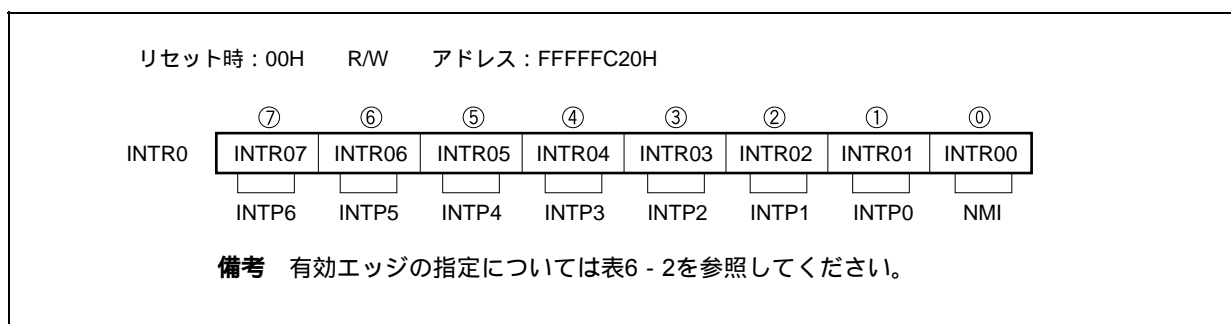
NMI, INTP0-INTP10端子の有効エッジは、外部割り込み立ち上がりエッジ指定レジスタ0, 1 (INTR0, INTR1) と外部割り込み立ち下がりエッジ指定レジスタ0, 1 (INTF0, INTF1) で設定します。

これらの制御レジスタを設定することにより、NMI端子、INTP0-INTP10の有効エッジを“立ち上がりエッジ”、“立ち下がりエッジ”、“両エッジ”、“立ち上がり/立ち下がりエッジとも検出しない”の4種類から選択できます。

(1) 外部割り込み立ち上がりエッジ指定レジスタ0 (INTR0)

立ち上がりエッジ検出を指定する8ビットのレジスタです。

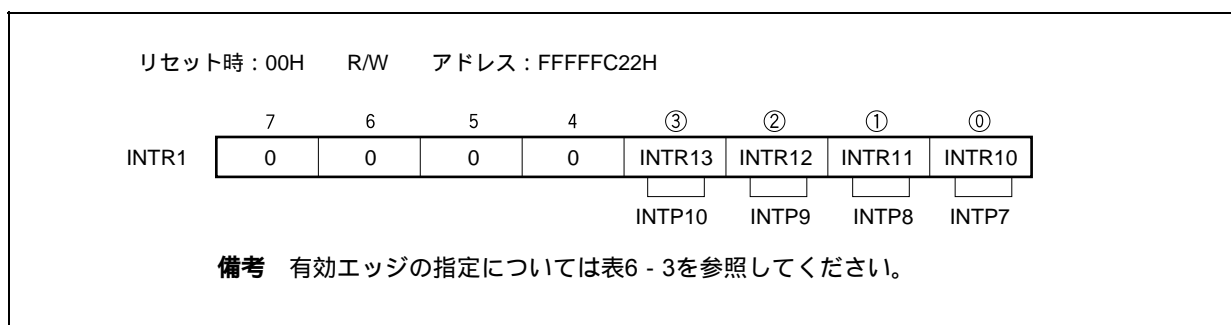
8/1ビット単位でリード/ライト可能です。



(2) 外部割り込み立ち上がりエッジ指定レジスタ1 (INTR1)

立ち上がりエッジ検出を指定する8ビットのレジスタです。

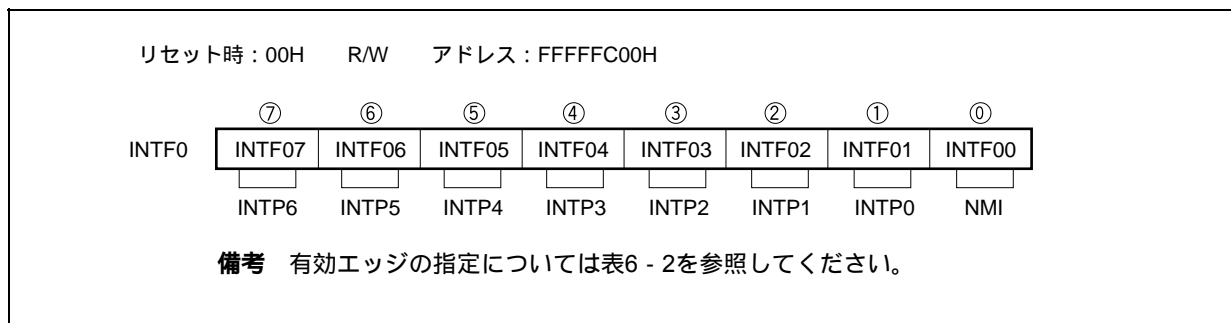
8/1ビット単位でリード/ライト可能です。



(3) 外部割り込み立ち下がりエッジ指定レジスタ0 (INTF0)

立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。



(4) 外部割り込み立ち下がりエッジ指定レジスタ1 (INTF1)

立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

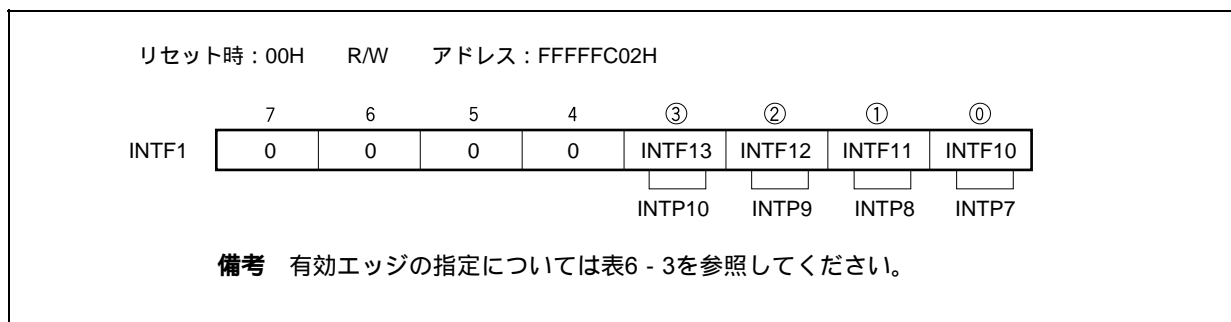


表6 - 2 NMI, INTP0-INTP6端子の有効エッジの指定

INTF0n	INTR0n	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考 n = 0 : NMI
n = 1-7 : INTP0-INTP6

表6 - 3 INTP7-INTP10端子の有効エッジの指定

INTF1n	INTR1n	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考 n = 0-3 : INTP7-INTP10

6.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、75または76種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを行う場合、次の処理が必要です。

EI命令を実行する前にEIPC, EIPSWをメモリか汎用レジスタに退避

RETI命令を実行する前にDI命令を実行し、続いて退避させた値をEIPC, EIPSWに復帰

6.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

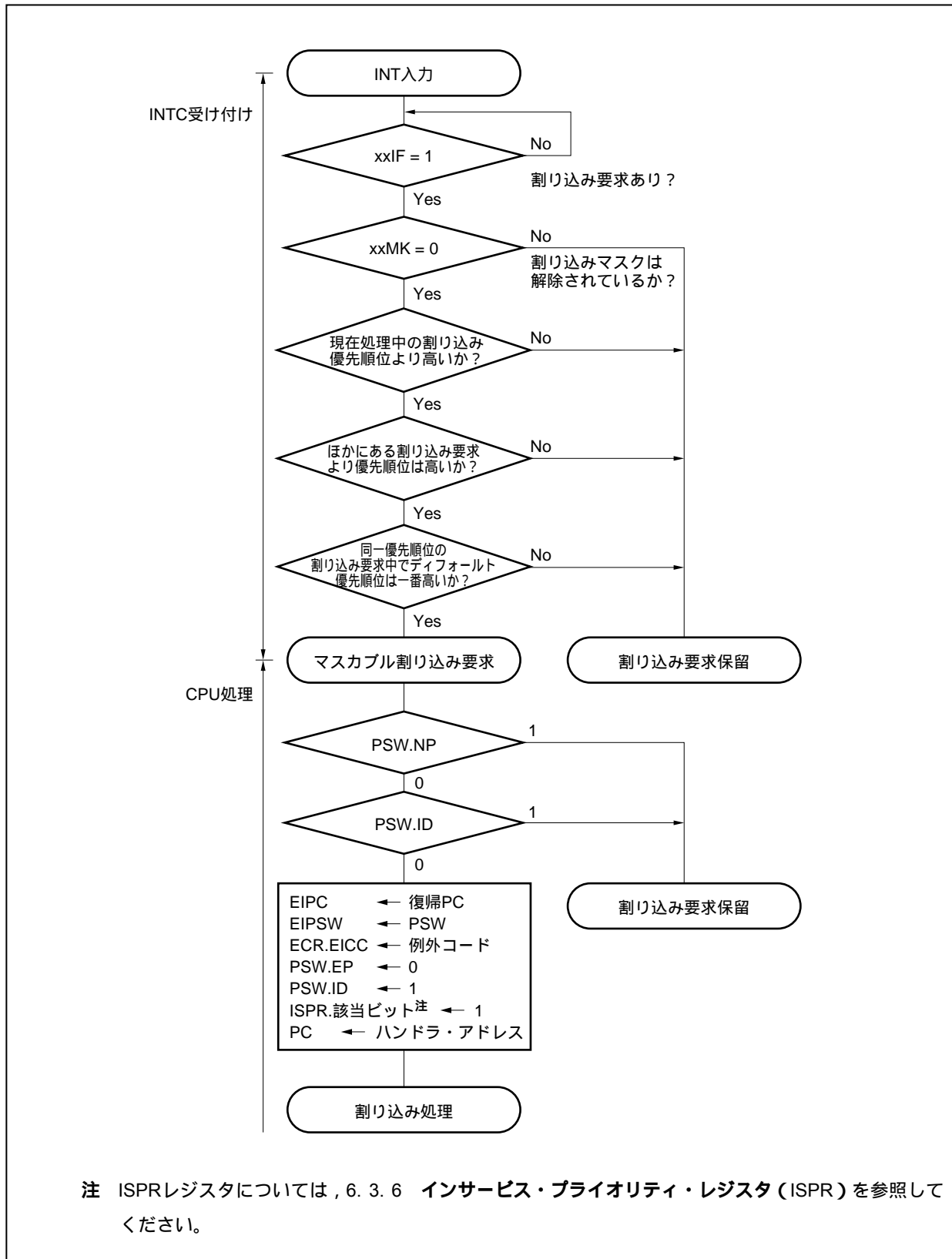
ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

PSWのIDビットをセットし、EPビットをクリアします。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

マスカブル割り込みの処理形態を図6 - 4に示します。

図6 - 4 マスカブル割り込みの処理形態



割り込みコントローラでマスクされているINT入力と、ほかの割り込み処理中 (PSW.NP = 1またはPSW.ID = 1) に発生したINT入力は、割り込みコントローラの内部で保留されます。この場合マスクを解除するか、またはRETI命令、LDSR命令を使用して、PSW.NP = 0かつPSW.ID = 0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

6.3.2 復 帰

マスクブル割り込み処理からの復帰は、RETI命令により行います。

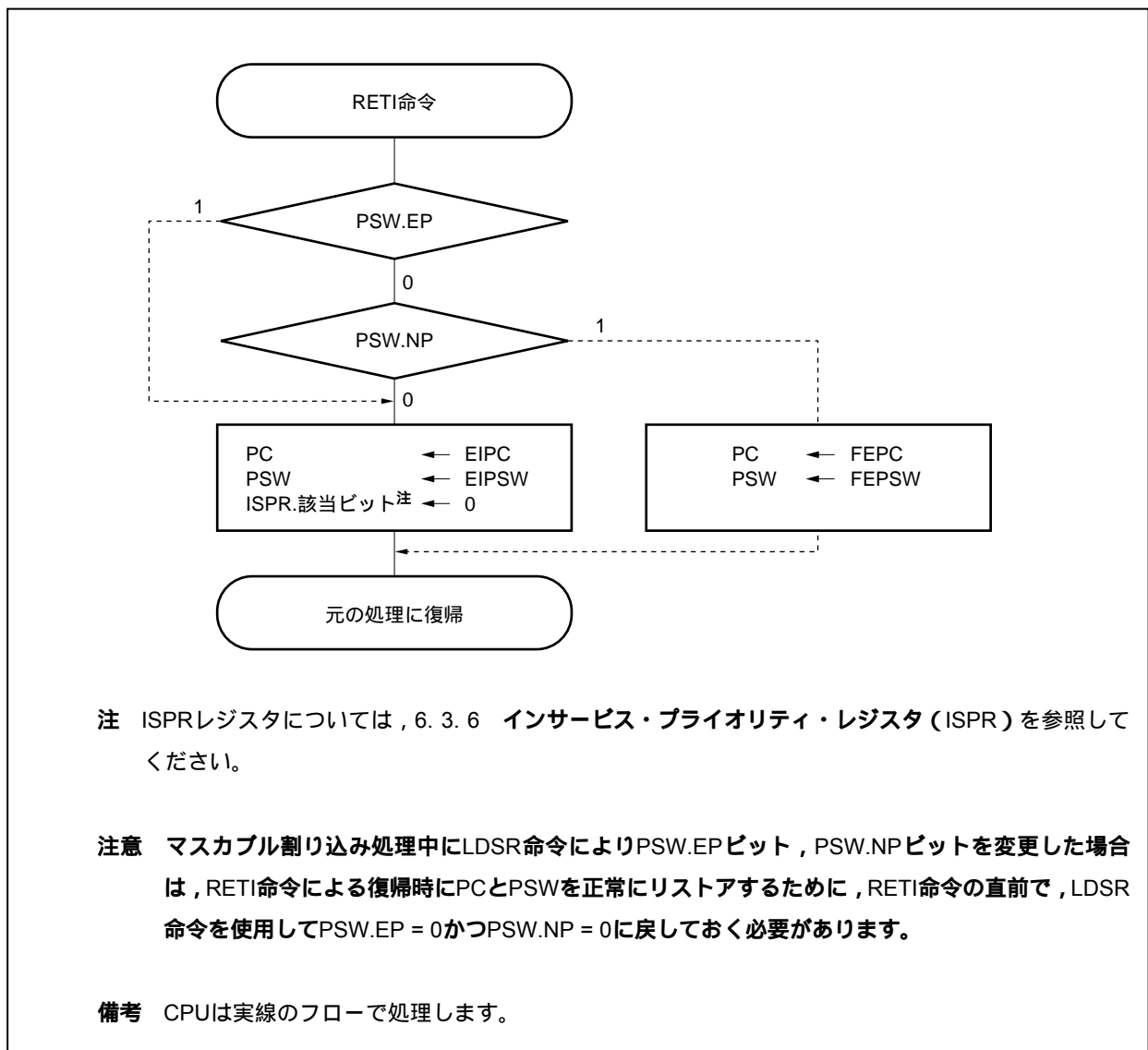
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSWのEPビットが0かつPSWのNPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図6 - 5に示します。

図6 - 5 RETI命令の処理形態



6.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表7-1 **割り込み / 例外要因一覧**参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求を受け付けるとPSWのIDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx:各周辺ユニット識別名称 (AD, CC, CM, CP, CSI, DMA, IIC, MKC, MKUD, OV, OVF, P, SER, SR, ST, TI, TM, WDT)
n : 周辺ユニット番号 (表6-4参照)

図6-6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

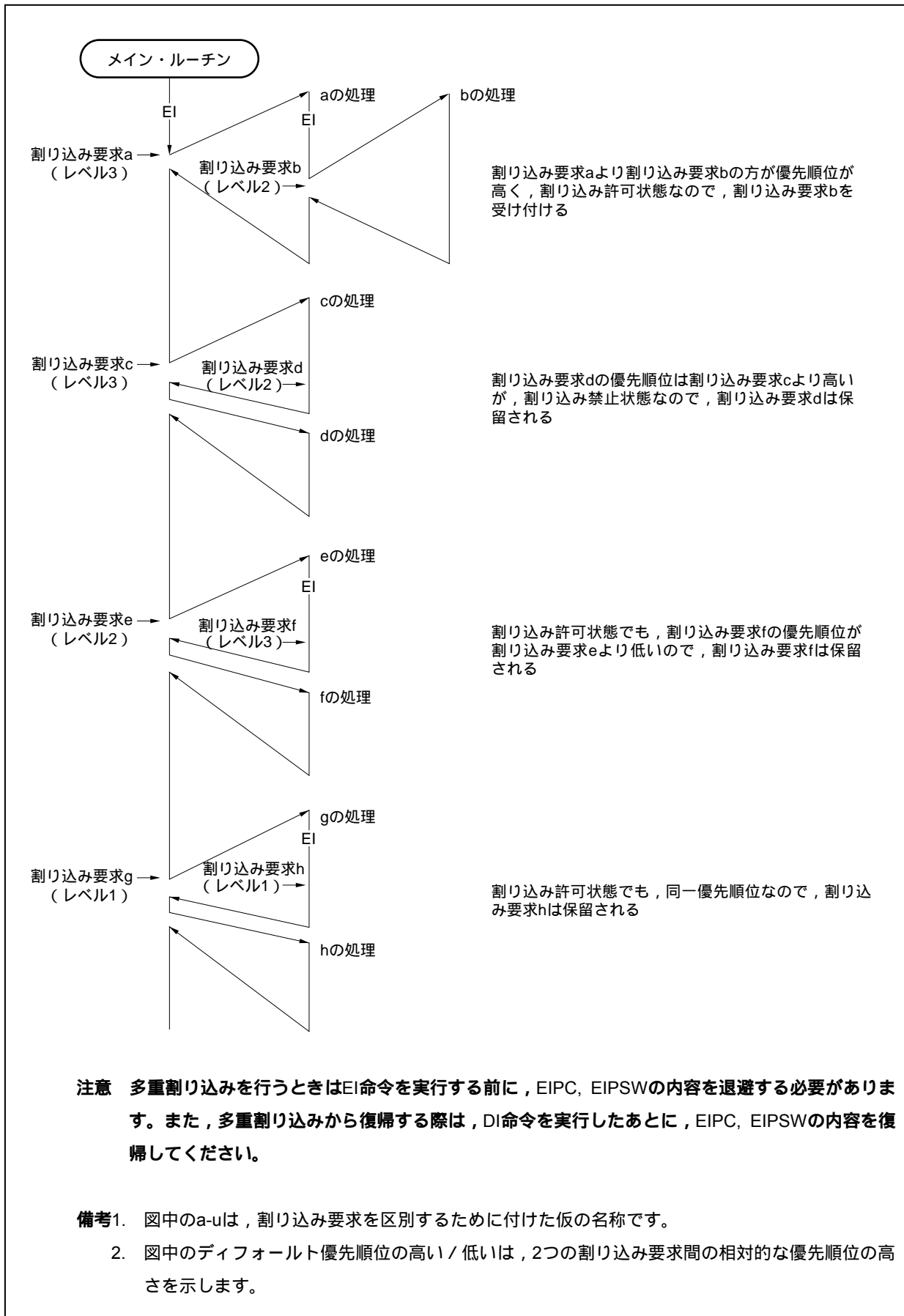


図6 - 6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

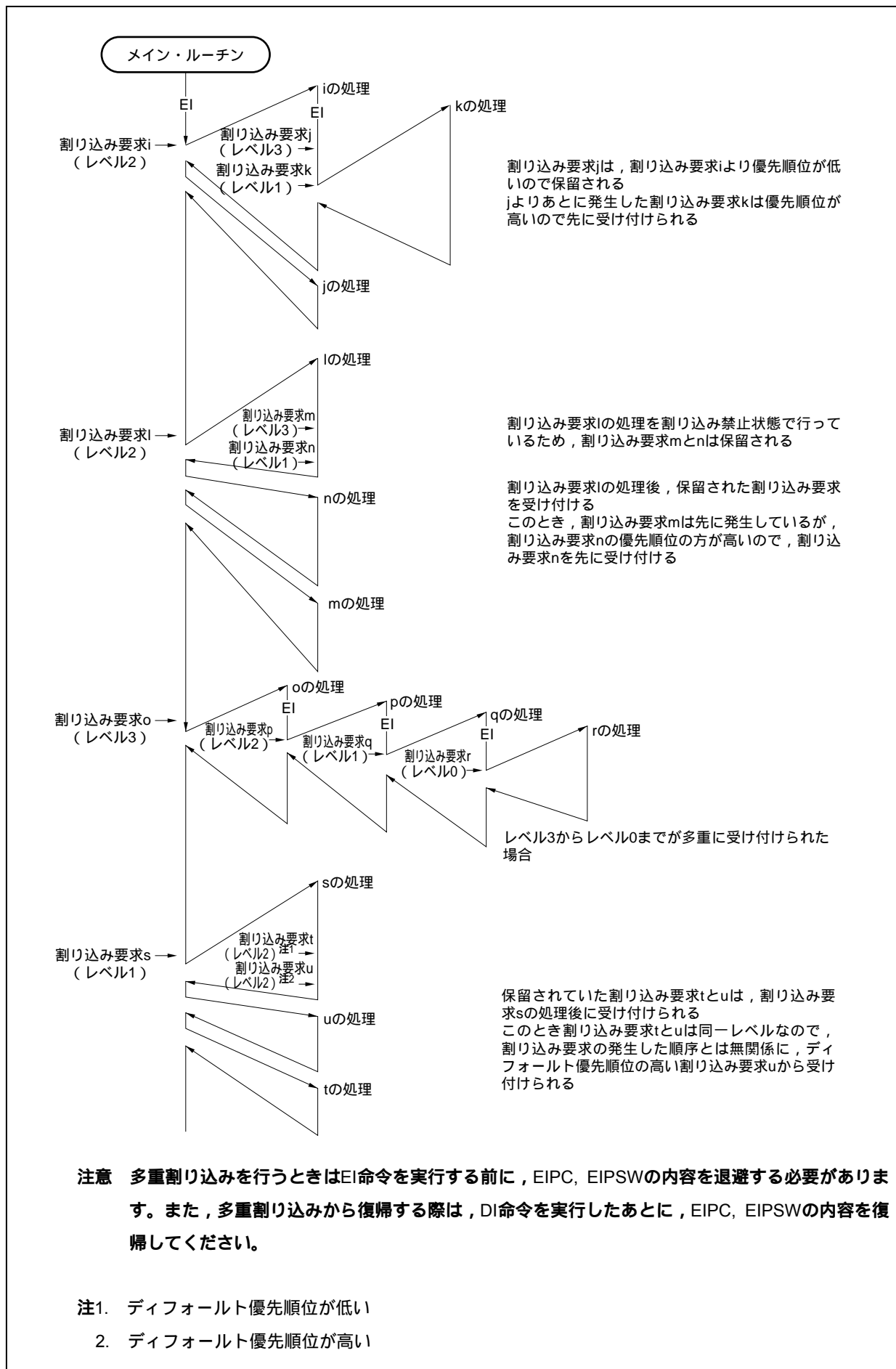
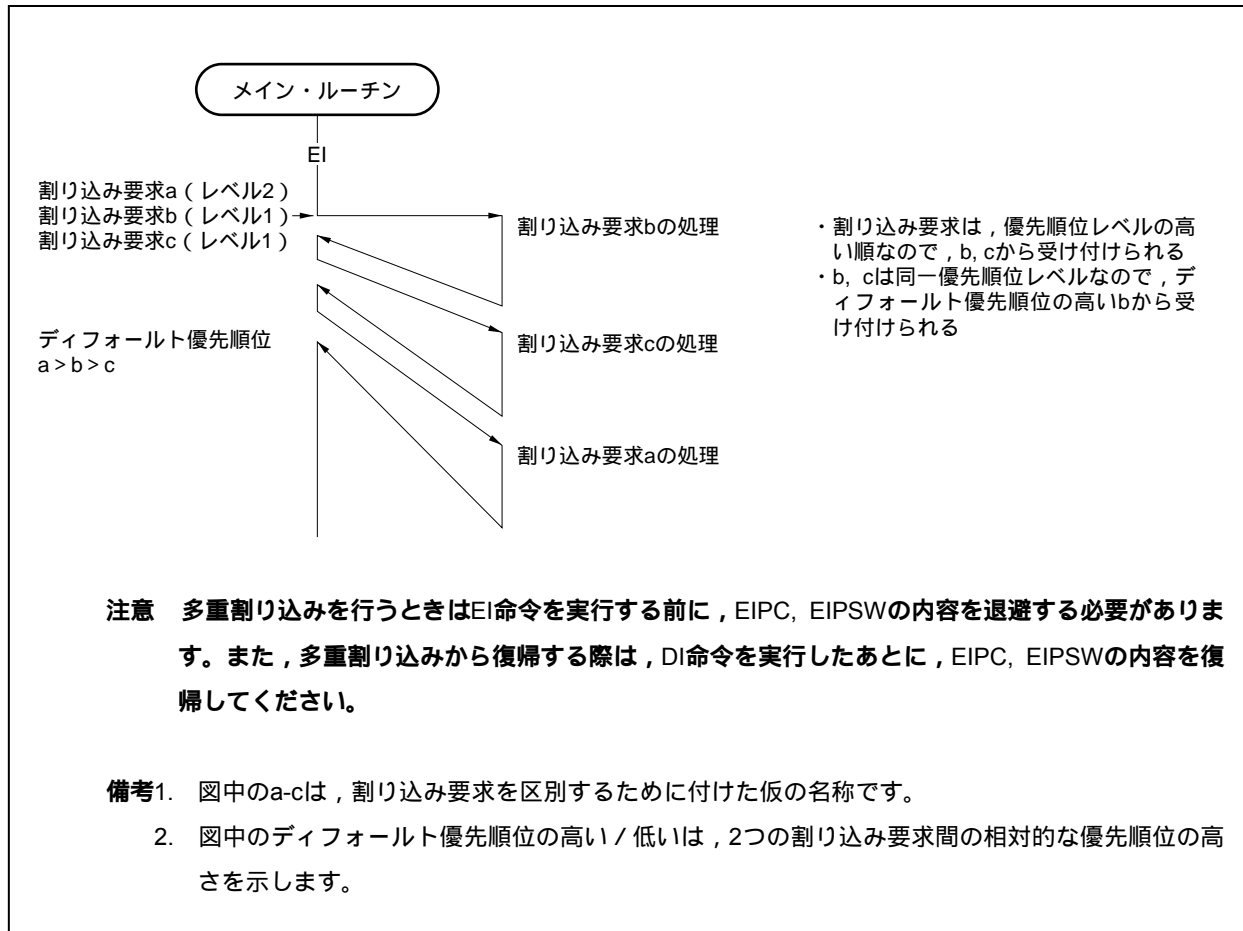


図6 - 7 同時発生した割り込み要求の処理例



6.3.4 割り込み制御レジスタ (xxICn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。
8/1ビット単位でリード/ライト可能です。

注意 xxICnレジスタのxxIFnビットを読み出す場合は, 割り込み禁止状態で行ってください。割り込み許可状態でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。

リセット時: 47H R/W アドレス: FFFFFFF110H-FFFFFF15AH

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求なし
1	割り込み要求あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1 を指定
0	1	0	レベル2 を指定
0	1	1	レベル3 を指定
1	0	0	レベル4 を指定
1	0	1	レベル5 を指定
1	1	0	レベル6 を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx : 各周辺ユニット識別名称 (AD, CC, CM, CP, CSI, DMA, IIC, MKC, MKUD, OV, OVF, P, SER, SR, ST, TI, TM, WDT)
n : 周辺ユニット番号 (表6 - 4参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表6 - 4 割り込み制御レジスタのアドレスとビット (1/3)

アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFF110H	WDTIC	WDTIF	WDTMK	0	0	0	WDTPR2	WDTPR1	WDTPR0
FFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF118H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF120H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF122H	PIC8	PIF8	PMK8	0	0	0	PPR82	PPR81	PPR80
FFFFF124H	PIC9	PIF9	PMK9	0	0	0	PPR92	PPR91	PPR90
FFFFF126H	PIC10	PIF10	PMK10	0	0	0	PPR102	PPR101	PPR100
FFFFF128H	OVIC3	OVIF3	OVMK3	0	0	0	OVPR32	OVPR31	OVPR30
FFFFF12AH	CPIC30	CPIF30	CPMK30	0	0	0	CPPR302	CPPR301	CPPR300
FFFFF12CH	CPIC31	CPIF31	CPMK31	0	0	0	CPPR312	CPPR311	CPPR310
FFFFF12EH	CPIC32	CPIF32	CPMK32	0	0	0	CPPR322	CPPR321	CPPR320
FFFFF130H	CPIC33	CPIF33	CPMK33	0	0	0	CPPR332	CPPR331	CPPR330
FFFFF132H	CPIC34	CPIF34	CPMK34	0	0	0	CPPR342	CPPR341	CPPR340
FFFFF134H	CPIC35	CPIF35	CPMK35	0	0	0	CPPR352	CPPR351	CPPR350
FFFFF136H	CPIC36	CPIF36	CPMK36	0	0	0	CPPR362	CPPR361	CPPR360
FFFFF138H	CPIC37	CPIF37	CPMK37	0	0	0	CPPR372	CPPR371	CPPR370
FFFFF13AH	CPIC38	CPIF38	CPMK38	0	0	0	CPPR382	CPPR381	CPPR380
FFFFF13CH	CPIC39	CPIF39	CPMK39	0	0	0	CPPR392	CPPR391	CPPR390
FFFFF13EH	CPIC310	CPIF310	CPMK310	0	0	0	CPPR3102	CPPR3101	CPPR3100
FFFFF140H	CPIC311	CPIF311	CPMK311	0	0	0	CPPR3112	CPPR3111	CPPR3110
FFFFF142H	CMIC30	CMIF30	CMMK30	0	0	0	CMPR302	CMPR301	CMPR300
FFFFF144H	CMIC31	CMIF31	CMMK31	0	0	0	CMPR312	CMPR311	CMPR310
FFFFF146H	MKCIC0	MKCIF0	MKCMK0	0	0	0	MKCPR02	MKCPR01	MKCPR00
FFFFF148H	MKCIC1	MKCIF1	MKCMK1	0	0	0	MKCPR12	MKCPR11	MKCPR10
FFFFF14AH	MKUDIC0	MKUDIF0	MKUDMK0	0	0	0	MKUDPR02	MKUDPR01	MKUDPR00
FFFFF14CH	MKUDIC1	MKUDIF1	MKUDMK1	0	0	0	MKUDPR12	MKUDPR11	MKUDPR10
FFFFF14EH	TIIC3	TIIF3	TIMK3	0	0	0	TIPR32	TIPR31	TIPR30
FFFFF150H	CCIC000	CCIF000	CCMK000	0	0	0	CCPR0002	CCPR0001	CCPR0000
FFFFF152H	CCIC010	CCIF010	CCMK010	0	0	0	CCPR0102	CCPR0101	CCPR0100
FFFFF154H	CCIC020	CCIF020	CCMK020	0	0	0	CCPR0202	CCPR0201	CCPR0200
FFFFF156H	CCIC030	CCIF030	CCMK030	0	0	0	CCPR0302	CCPR0301	CCPR0300
FFFFF158H	CCIC040	CCIF040	CCMK040	0	0	0	CCPR0402	CCPR0401	CCPR0400
FFFFF15AH	CCIC050	CCIF050	CCMK050	0	0	0	CCPR0502	CCPR0501	CCPR0500
FFFFF15CH	CCIC001	CCIF001	CCMK001	0	0	0	CCPR0012	CCPR0011	CCPR0010
FFFFF15EH	CCIC011	CCIF011	CCMK011	0	0	0	CCPR0112	CCPR0111	CCPR0110
FFFFF160H	CCIC021	CCIF021	CCMK021	0	0	0	CCPR0212	CCPR0211	CCPR0210
FFFFF162H	CCIC031	CCIF031	CCMK031	0	0	0	CCPR0312	CCPR0311	CCPR0310

表6 - 4 割り込み制御レジスタのアドレスとビット (2/3)

アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFF164H	CCIC041	CCIF041	CCMK041	0	0	0	CCPR0412	CCPR0411	CCPR0410
FFFFF166H	CCIC051	CCIF051	CCMK051	0	0	0	CCPR0512	CCPR0511	CCPR0510
FFFFF168H	OVFIC00	OVFIF00	OVFMK00	0	0	0	OVFPR002	OVFPR001	OVFPR000
FFFFF16AH	OVFIC01	OVFIF01	OVFMK01	0	0	0	OVFPR012	OVFPR011	OVFPR010
FFFFF16CH	OVFIC02	OVFIF02	OVFMK02	0	0	0	OVFPR022	OVFPR021	OVFPR020
FFFFF16EH	OVFIC03	OVFIF03	OVFMK03	0	0	0	OVFPR032	OVFPR031	OVFPR030
FFFFF170H	OVFIC04	OVFIF04	OVFMK04	0	0	0	OVFPR042	OVFPR041	OVFPR040
FFFFF172H	OVFIC05	OVFIF05	OVFMK05	0	0	0	OVFPR052	OVFPR051	OVFPR050
FFFFF174H	CMIC10	CMIF10	CMMK10	0	0	0	CMPR102	CMPR101	CMPR100
FFFFF176H	CMIC11	CMIF11	CMMK11	0	0	0	CMPR112	CMPR111	CMPR110
FFFFF178H	CMIC12	CMIF12	CMMK12	0	0	0	CMPR122	CMPR121	CMPR120
FFFFF17AH	CMIC13	CMIF13	CMMK13	0	0	0	CMPR132	CMPR131	CMPR130
FFFFF17CH	CMIC14	CMIF14	CMMK14	0	0	0	CMPR142	CMPR141	CMPR140
FFFFF17EH	CMIC15	CMIF15	CMMK15	0	0	0	CMPR152	CMPR151	CMPR150
FFFFF180H	TMIC20	TMIF20	TMMK20	0	0	0	TMPR202	TMPR201	TMPR200
FFFFF182H	TMIC21	TMIF21	TMMK21	0	0	0	TMPR212	TMPR211	TMPR210
FFFFF184H	TMIC22	TMIF22	TMMK22	0	0	0	TMPR222	TMPR221	TMPR220
FFFFF186H	TMIC23	TMIF23	TMMK23	0	0	0	TMPR232	TMPR231	TMPR230
FFFFF188H	TMIC24	TMIF24	TMMK24	0	0	0	TMPR242	TMPR241	TMPR240
FFFFF18AH	TMIC25	TMIF25	TMMK25	0	0	0	TMPR252	TMPR251	TMPR250
FFFFF18CH	TMIC26	TMIF26	TMMK26	0	0	0	TMPR262	TMPR261	TMPR260
FFFFF18EH	TMIC27	TMIF27	TMMK27	0	0	0	TMPR272	TMPR271	TMPR270
FFFFF190H	TMIC28	TMIF28	TMMK28	0	0	0	TMPR282	TMPR281	TMPR280
FFFFF192H	TMIC29	TMIF29	TMMK29	0	0	0	TMPR292	TMPR291	TMPR290
FFFFF194H	TMIC210	TMIF210	TMMK210	0	0	0	TMPR2102	TMPR2101	TMPR2100
FFFFF196H	TMIC211	TMIF211	TMMK211	0	0	0	TMPR2112	TMPR2111	TMPR2110
FFFFF198H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF19AH	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF19CH	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF19EH	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF1A0H	CSIC0	CSIF0	CSIMK0	0	0	0	CSIPR02	CSIPR01	CSIPR00
FFFFF1A2H	CSIC1	CSIF1	CSIMK1	0	0	0	CSIPR12	CSIPR11	CSIPR10
FFFFF1A4H	CSIC2	CSIF2	CSIMK2	0	0	0	CSIPR22	CSIPR21	CSIPR20
FFFFF1A6H	CSIC3	CSIF3	CSIMKA3	0	0	0	CSIPR32	CSIPR31	CSIPR30
FFFFF1A8H	CSICA0	CSIFA0	CSIMKA0	0	0	0	CSIPRA02	CSIPRA01	CSIPRA00
FFFFF1AAH	CSICA1	CSIFA1	CSIMKA1	0	0	0	CSIPRA12	CSIPRA11	CSIPRA10
FFFFF1ACH	SERIC0	SERIF0	SERMK0	0	0	0	SERPR02	SERPR01	SERPR00
FFFFF1AEH	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFF1B0H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFF1B2H	SERIC1	SERIF1	SERMK1	0	0	0	SERPR12	SERPR11	SERPR10
FFFFF1B4H	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFF1B6H	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10

表6 - 4 割り込み制御レジスタのアドレスとビット (3/3)

アドレス	レジスタ	ビット							
		7	6	5	4	3	2	1	0
FFFFF1B8H	IICIC	IICIF	IICMK	0	0	0	IICPR2	IICPR1	IICPR0
FFFFF1BAH	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0

6.3.5 割り込みマスク・レジスタ0-5 (IMR0-IMR5)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMRmレジスタのxxMKnビットとxxlCnレジスタのxxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとした場合は、8/1ビット単位でリード/ライト可能です (m = 0-5)。

IMR5レジスタのビット15-6は1に固定です。変更した場合の動作の保証はできません。

注意 デバイス・ファイルでは、xxlCレジスタのxxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxlCnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

リセット時：FFFFH R/W アドレス：FFFFF10AH

	15	14	13	12	11	10	9	8
IMR5	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	1	1	ADMK	IICMK ^注	STMK1	SRMK1	SERMK1	STMK0

リセット時：FFFFH R/W アドレス：FFFFF108H

	15	14	13	12	11	10	9	8
IMR4	SRMK0	SERMK0	CSIMKA1	CSIMKA0	CSIMK3	CSIMK2	CSIMK1	CSIMK0
	7	6	5	4	3	2	1	0
	DMAMK3	DMAMK2	DMAMK1	DMAMK0	TMMK211	TMMK210	TMMK29	TMMK28

リセット時：FFFFH R/W アドレス：FFFFF106H

	15	14	13	12	11	10	9	8
IMR3	TMMK27	TMMK26	TMMK25	TMMK24	TMMK23	TMMK22	TMMK21	TMMK20
	1	6	5	4	3	2	1	0
	CMMK15	CMMK14	CMMK13	CMMK12	CMMK11	CMMK10	CCMK051	CCMK041

リセット時：FFFFH R/W アドレス：FFFFF104H

	15	14	13	12	11	10	9	8
IMR2	CCMK031	CCMK021	CCMK011	CCMK001	CCMK050	CCMK040	CCMK030	CCMK020
	7	6	5	4	3	2	1	0
	CCMK010	CCMK000	OVFMK05	OVFMK04	OVFMK03	OVFMK02	OVFMK01	OVFMK00

リセット時：FFFFH R/W アドレス：FFFFF102H

	15	14	13	12	11	10	9	8
IMR1	TIMK3	MKUDMK1	MKUDMK0	MKCMK1	MKCMK0	CMMK31	CMMK30	CPMK311
	7	6	5	4	3	2	1	0
	CPMK310	CPMK39	CPMK38	CPMK37	CPMK36	CPMK35	CPMK34	CPMK33

リセット時：FFFFH R/W アドレス：FFFFF100H

	15	14	13	12	11	10	9	8
IMR0	CPMK32	CPMK31	CPMK30	OVMK3	PMK10	PMK9	PMK8	PMK7
	7	6	5	4	3	2	1	0
	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	WDTMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注 IICMKビットは、μ PD703166Y, 70F3166Yのみ有効。それ以外は1固定

備考 xx : 各周辺ユニット識別名称 (AD, CC, CM, CP, CSI, DMA, IIC, MKC, MKUD, OV, OVF, P, SER, SR, ST, TI, TM, WDT)

n : 周辺ユニット番号 (表6 - 4参照)

6.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求に対応するビットがハードウェアにより自動的にリセット (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット (0) されません。

8/1ビット単位でリードのみ可能です。

注意 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。

リセット時 : 00H R アドレス : FFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0	

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求を受け付けていない
1	優先順位nの割り込み要求を受け付け中

備考 n : 0-7 (優先順位のレベル)

6.3.7 IDフラグ

マスクブル割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止制御情報を記憶します。割り込み禁止フラグ (ID) があり、PSWに割り付けられています。

リセット時 : 00000020H

	31	8	7	6	5	4	3	2	1	0			
PSW	0					NP	EP	ID	SAT	CY	OV	S	Z

ID	マスクブル割り込み処理の指定 ^注
0	マスクブル割り込み要求の受け付けを許可
1	マスクブル割り込み要求の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1) , EI命令でリセット (0) されます。また , RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスクブル割り込み要求および例外は , このフラグの状態に関係なく受け付けられます。また , マスクブル割り込み要求を受け付けると , IDフラグはハードウェアで自動的にセット (1) されます。受け付け禁止期間中 (ID = 1) に発生した割り込み要求は , xxICnのxxIFnビットがセット (1) され , IDフラグがリセット (0) されると受け付けられます。

6.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

6.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

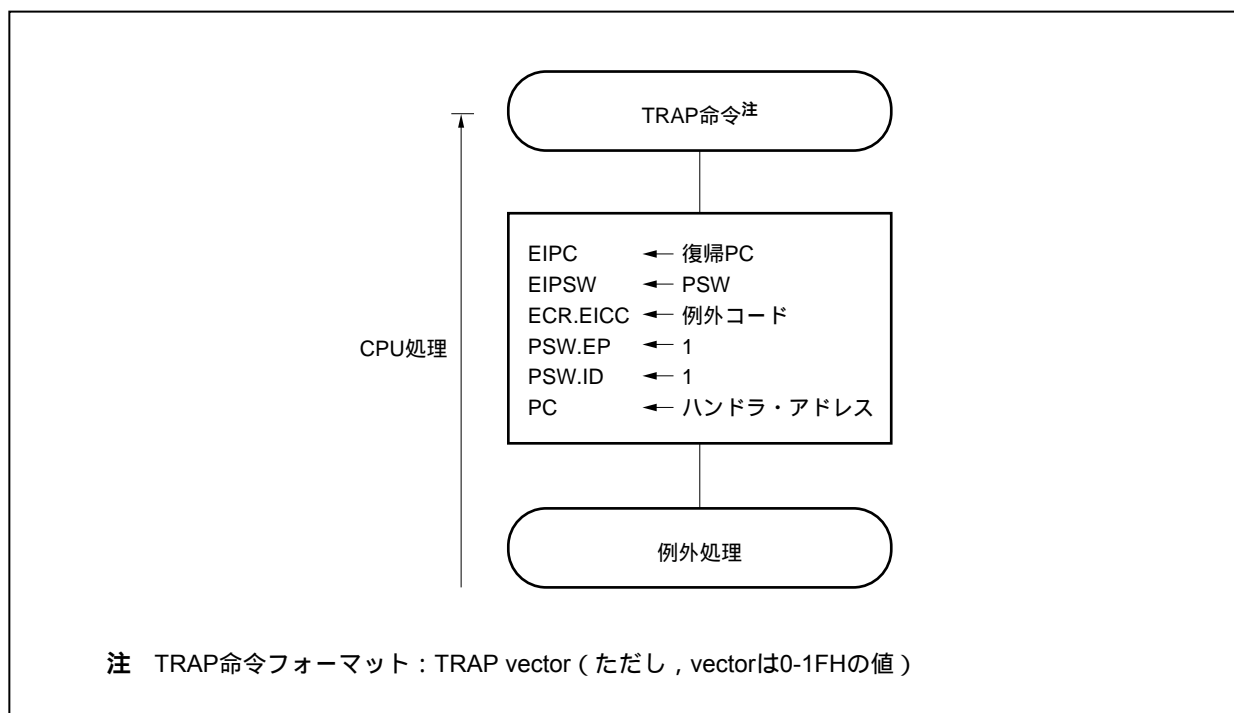
ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。

PSWのEP, IDビットをセットします。

PCにソフトウェア例外に対するハンドラ・アドレス（00000040Hまたは00000050H）をセットし、制御を移します。

ソフトウェア例外の処理形態を、図6 - 8に示します。

図6 - 8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド（vector）によって決まります。vectorが0-0FHの場合は00000040Hとなり、10-1FHの場合は00000050Hとなります。

6.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

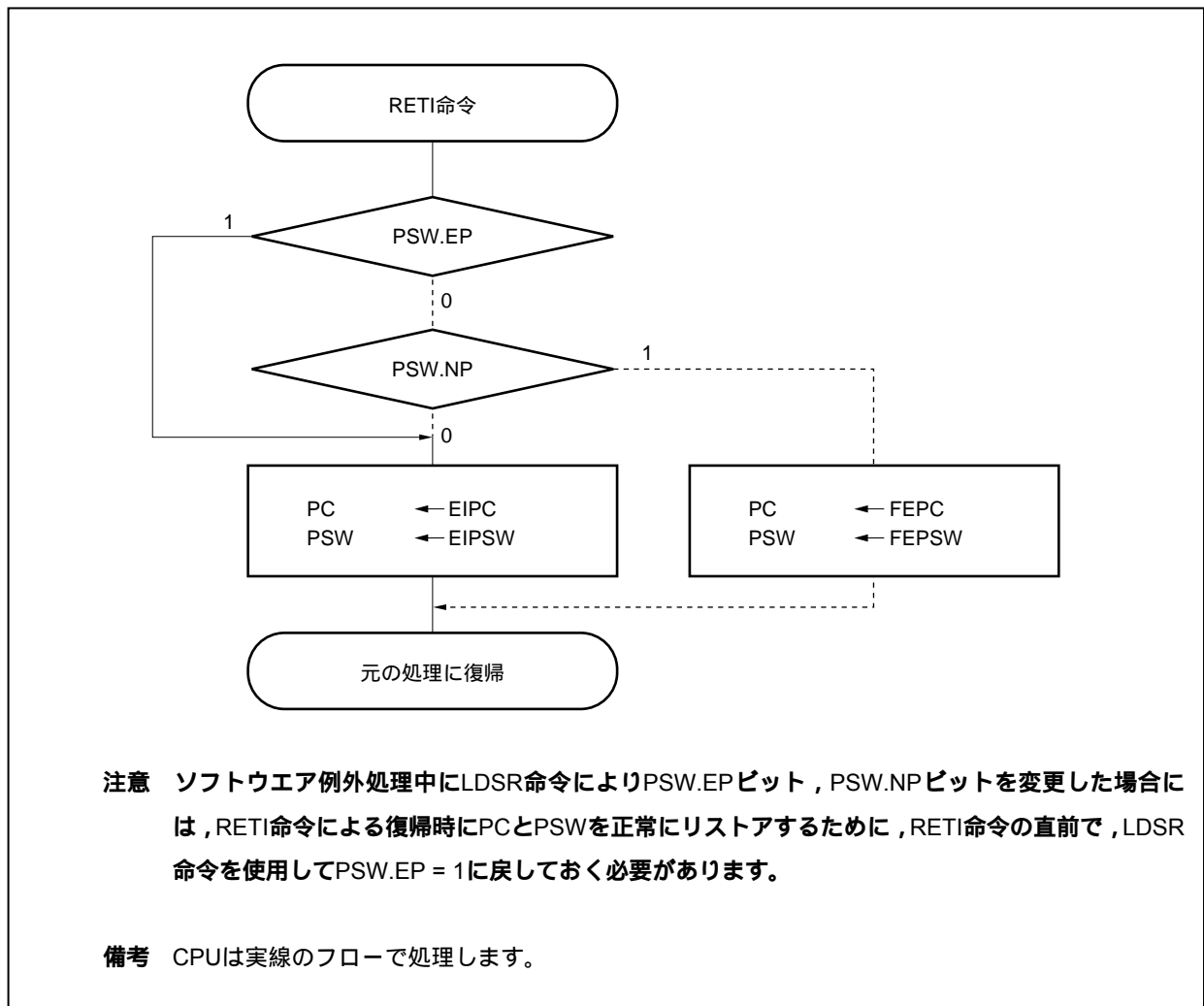
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSWのEPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図6 - 9に示します。

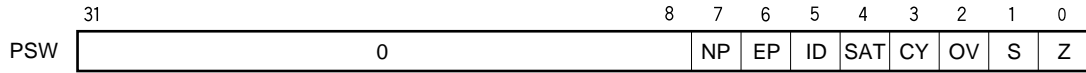
図6 - 9 RETI命令の処理形態



6.4.3 EPフラグ

EPフラグは、PSWのビット6です。EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

リセット時：00000020H



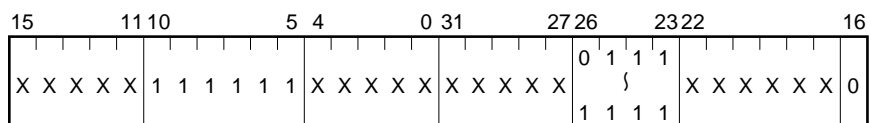
EP	例外処理状態
0	例外処理中でない
1	例外処理中

6.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850E/SV2では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

6.5.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



X : 任意

注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

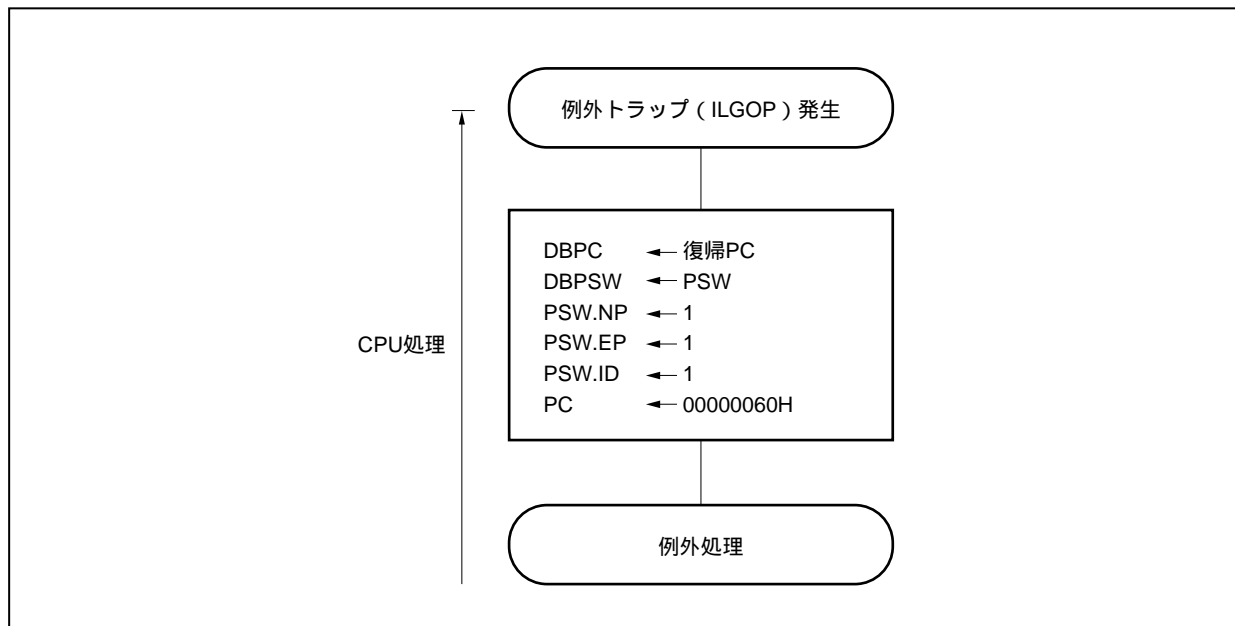
現在のPSWをDBPSWに退避します。

PSWのNP, EP, IDビットをセットします。

PCに例外トラップに対するハンドラ・アドレス (00000060H) をセットし、制御を移します。

例外トラップの処理形態を図6 - 10に示します。

図6 - 10 例外トラップの処理形態



(2) 復 帰

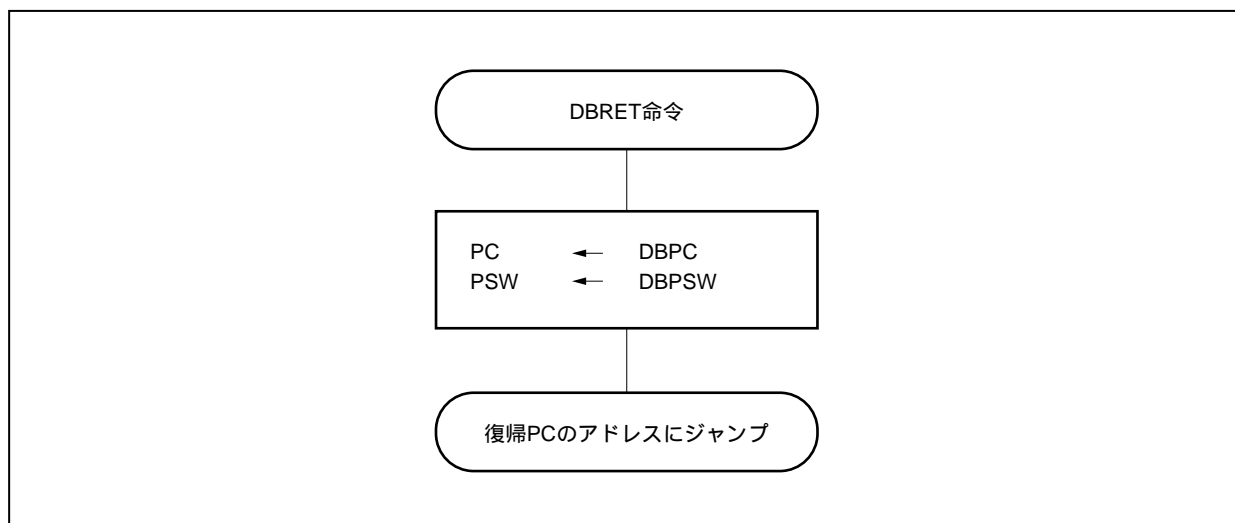
例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

例外トラップからの復帰の処理形態を図6 - 11に示します。

図6 - 11 例外トラップからの復帰の処理形態



6.5.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

(1) 動作

復帰PCをDBPCに退避します。

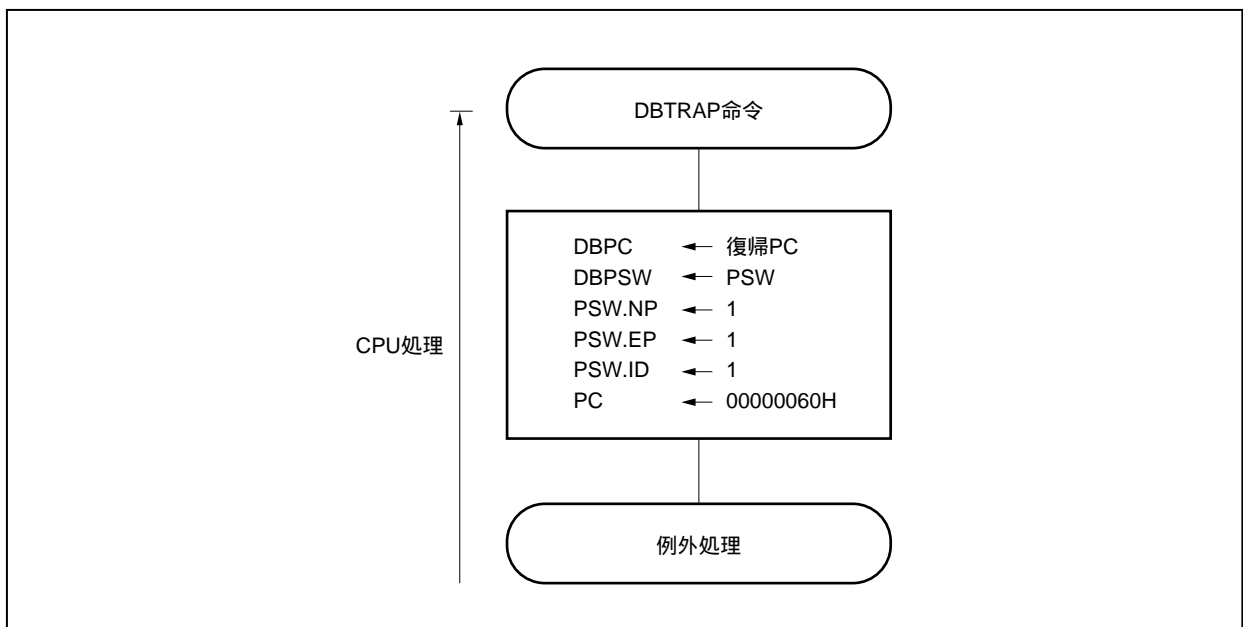
現在のPSWをDBPSWに退避します。

PSWのNP, EP, IDビットをセットします。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を図6 - 12に示します。

図6 - 12 デバッグ・トラップの処理形態



(2) 復 帰

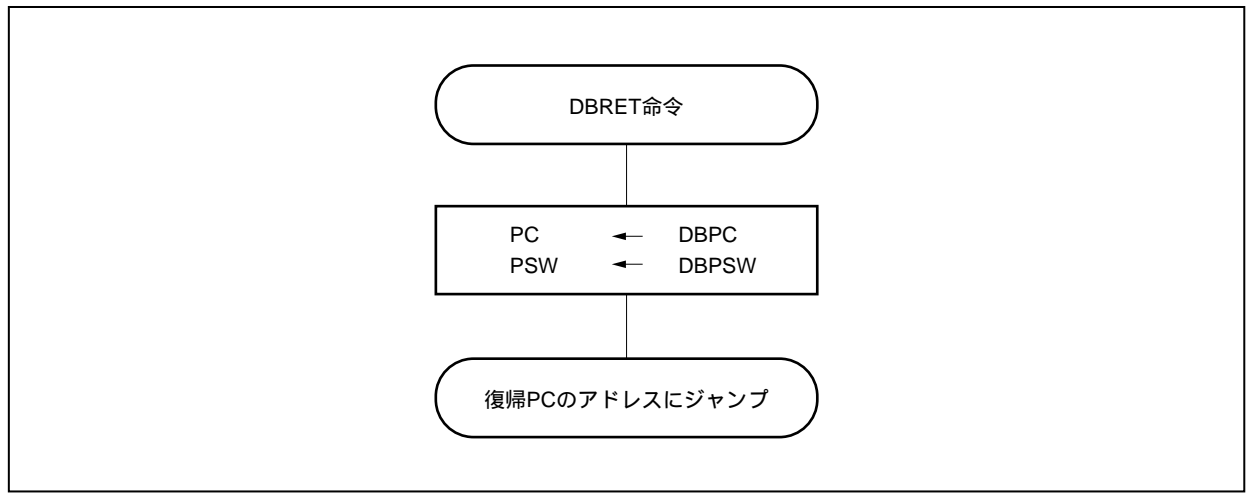
ディバグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

ディバグ・トラップからの復帰の処理形態を図6 - 13に示します。

図6 - 13 ディバグ・トラップからの復帰の処理形態



6.6 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求だった場合は、その割り込み要求は保留されます。

マスカブル割り込みの多重処理制御は、割り込み許可状態 (ID = 0) のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態 (ID = 0) にする必要があります。

マスカブル割り込みまたはソフトウェア例外のサービス・プログラム中に、マスカブル割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込み要求を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
・ EI命令 (割り込み受け付け許可)
...
...
...
...
・ DI命令 (割り込み受け付け禁止)
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

マスカブル割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスクブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
...
・ TRAP命令
...
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスクブル割り込み要求ごとに0-7までの8レベル（0が最優先）が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスクブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（xxICn）のxxPRn0-xxPRn2ビットで行います。システム・リセット時には、xxMKnビットにより割り込み要求はマスクされ、xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

マスクブル割り込みの優先順位は次のようになります。

（高） レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 （低）

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

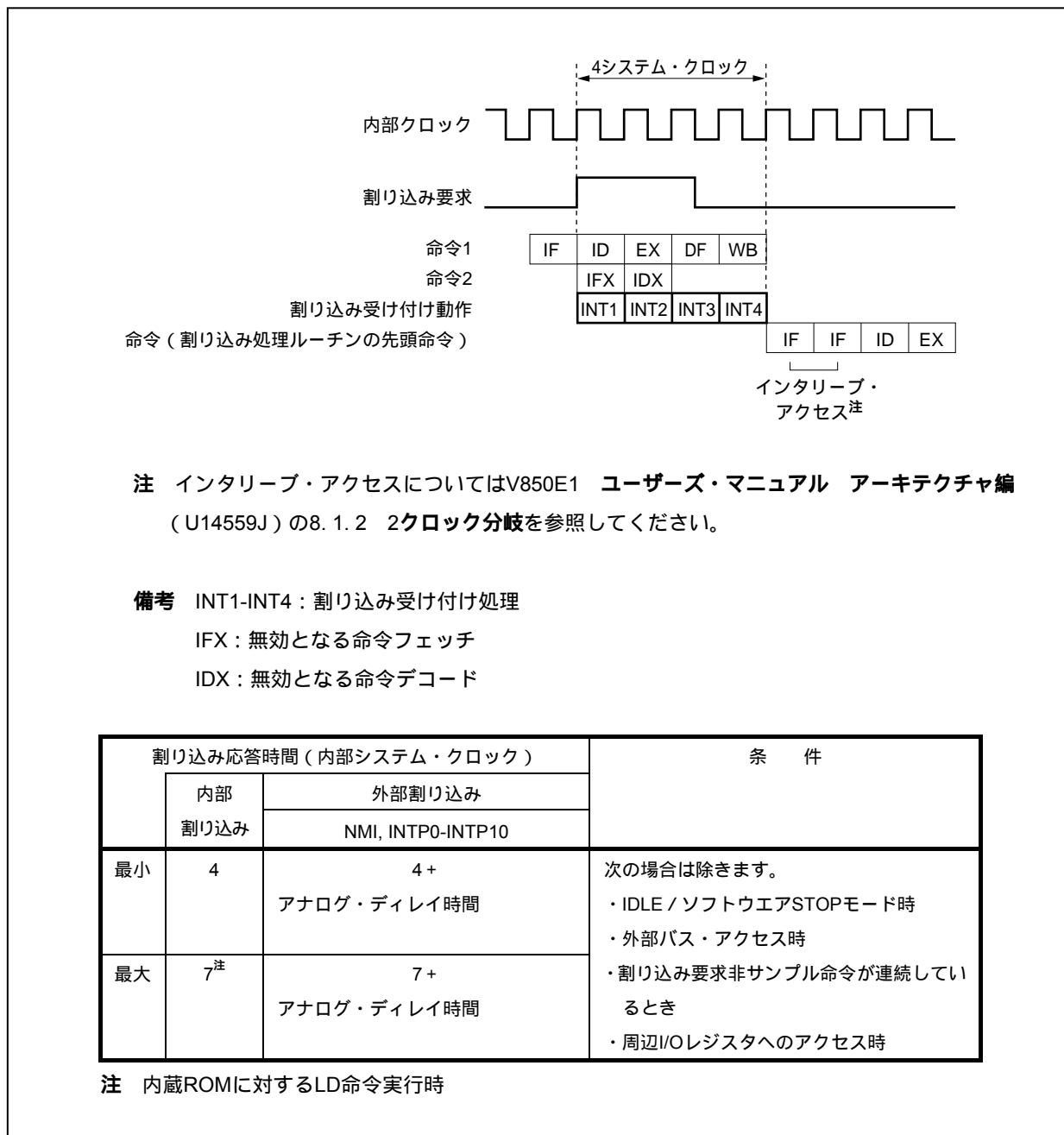
保留された割り込み要求は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスクブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では、マスクブル割り込みを受け付けず、保留します。

6.7 割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

図6 - 14 割り込み要求受け付け時のパイプライン動作 (概略)



6.8 割り込みが受け付けられない期間

割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令（対PSW）
- ・ コマンド・レジスタ（PRCMD）に対するストア命令
- ・ 次のレジスタに対するロード命令，ストア命令およびビット操作命令
 - ・ 割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-5（IMR0-IMR5），
 - インサービス・プライオリティ・レジスタ（ISPR）

第7章 DMA機能 (DMAコントローラ)

V850E/SV2は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, リアルタイム・パルス・ユニット, A/Dコンバータ) からの割り込みによる要求, またはソフトウェア・トリガによるDMA要求に基づいて、内蔵RAM, 内蔵周辺I/O, 外部メモリ間でのデータ転送を制御します。

7.1 特 徴

4つの独立なDMAチャンネル

転送単位 : 8ビット / 16ビット

最大転送回数 : 65536 (2^{16}) 回

転送タイプ : 2サイクル転送

3種類の転送モード

- ・シングル転送モード
- ・シングルステップ転送モード
- ・ブロック転送モード

転送要求

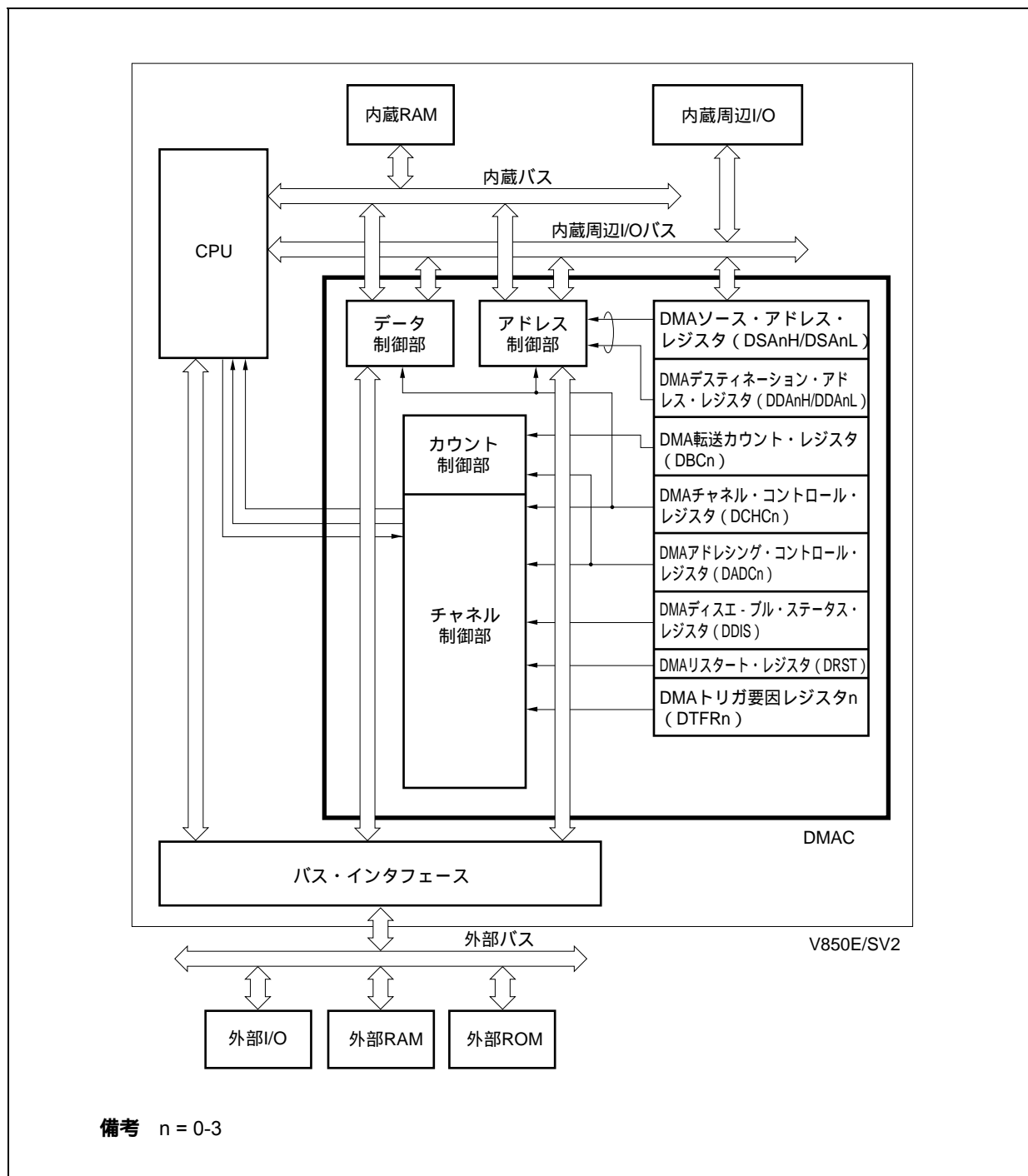
- ・内蔵周辺I/O (シリアル・インタフェース, リアルタイム・パルス・ユニット, A/Dコンバータ) からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

転送対象

- ・内蔵RAM 内蔵周辺I/O
- ・内蔵RAM 外部メモリ
- ・内蔵周辺I/O 外部メモリ
- ・内蔵周辺I/O 内蔵周辺I/O
- ・外部メモリ 外部メモリ

ネクスト・アドレス設定機能

7.2 構成



7.3 制御レジスタ

7.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス(28ビット)を設定します(n = 0-3)。このレジスタは,DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

2段FIFO構成バッファ・レジスタなので, DMA転送中に新たなDMA転送の転送元アドレスが設定できます(7.9 ネクスト・アドレス設定機能参照)

(1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H)

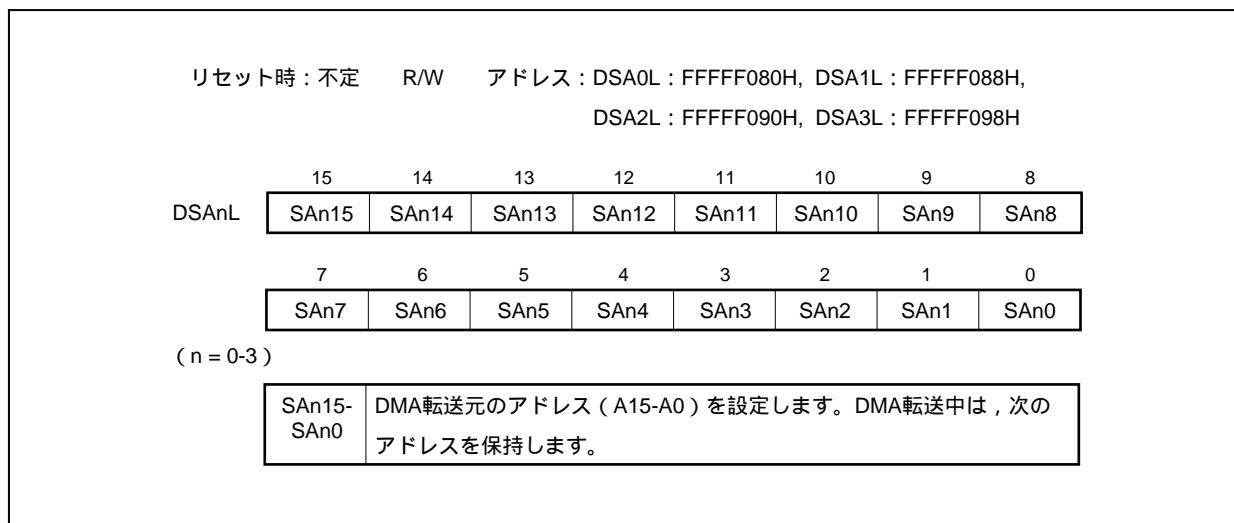
16ビット単位でリード/ライト可能です。

ビット12-14には必ず“0”を設定してください。

リセット時：不定		R/W	アドレス：DSA0H：FFFFF082H, DSA1H：FFFFF08AH, DSA2H：FFFFF092H, DSA3H：FFFFF09AH					
DSAnH	15	14	13	12	11	10	9	8
	IRn	0	0	0	SAn27	SAn26	SAn25	SAn24
	7	6	5	4	3	2	1	0
	SAn23	SAn22	SAn21	SAn20	SAn19	SAn18	SAn17	SAn16
(n = 0-3)								
IRn	DMA転送元の指定							
0	外部メモリ, 内蔵周辺I/O							
1	内蔵RAM							
SAn27- SAn16	DMA転送元のアドレス (A27-A16) を設定します。DMA転送中は, 次の DMA転送元アドレスを保持します。							

(2) DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)

16ビット単位でリード/ライト可能です。



7.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス(28ビット)を設定します(n = 0-3)。このレジスタは,DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

2段FIFO構成バッファ・レジスタなので,DMA転送中に新たなDMA転送の転送先アドレスが設定できます(7.9 ネクスト・アドレス設定機能参照)。

(1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

16ビット単位でリード/ライト可能です。

ビット12-14には必ず“0”を設定してください。

注意 デスティネーション・アドレスに周辺I/Oレジスタのアドレスを設定する場合は、必ず FFFF000H-FFFFFFFHのアドレスを設定してください。周辺I/Oレジスタのイメージ (3FFF000H-3FFFFFFFH) のアドレスは指定できません。

リセット時：不定 R/W アドレス：DDA0H：FFFFF086H, DDA1H：FFFFF08EH,
DDA2H：FFFFF096H, DDA3H：FFFFF09EH

	15	14	13	12	11	10	9	8
DDAnH	IRn	0	0	0	DAn27	DAn26	DAn25	DAn24
	7	6	5	4	3	2	1	0
	DAn23	DAn22	DAn21	DAn20	DAn19	DAn18	DAn17	DAn16

(n = 0-3)

IRn	DMA転送先の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

DAn27- DAn16	DMA転送先のアドレス (A27-A16) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。
-----------------	--

(2) DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DDA0L：FFFFFF084H, DDA1L：FFFFFF08CH,
DDA2L：FFFFFF094H, DDA3L：FFFFFF09CH

	15	14	13	12	11	10	9	8
DDAnL	DAn15	DAn14	DAn13	DAn12	DAn11	DAn10	DAn9	DAn8
	7	6	5	4	3	2	1	0
	DAn7	DAn6	DAn5	DAn4	DAn3	DAn2	DAn1	DAn0

(n = 0-3)

DAn15- DAn0	DMA転送先のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。
----------------	---

7.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。DMA転送中は、残りの転送数を保持します。

2段FIFO構成バッファ・レジスタなので、DMA転送中に新たなDMA転送の転送回数が設定できます (7.9 ネットワーク・アドレス設定機能参照)

1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

備考 DMA転送中にDBCnレジスタを書き換えることなくターミナル・カウントが発生したあと、DBCnレジスタを読み出した場合は、DMA転送の直前に設定された値が読み出されず (転送終了後でも0000Hは読み出されません)。

リセット時：不定 R/W アドレス：DBC0：FFFFFF0C0H, DBC1：FFFFFF0C2H,
 DBC2：FFFFFF0C4H, DBC3：FFFFFF0C6H

	15	14	13	12	11	10	9	8
DBCn	BCn15	BCn14	BCn13	BCn12	BCn11	BCn10	BCn9	BCn8

	7	6	5	4	3	2	1	0
	BCn7	BCn6	BCn5	BCn4	BCn3	BCn2	BCn1	BCn0

(n = 0-3)

BCn15-BCn0	転送数の設定, またはDMA転送中の残りの転送数
0000H	1回の転送, または残り転送数
0001H	2回の転送, または残り転送数
:	:
FFFFH	65536 (2 ¹⁶) 回の転送, または残り転送数

7.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャンネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。DMA動作中はアクセスできません。

16ビット単位でリード/ライト可能です。

ビット0, 1, 8-13には必ず“0”を設定してください。

リセット時 : 0000H R/W アドレス : DADC0 : FFFFF0D0H, DADC1 : FFFFF0D2H,
DADC2 : FFFFF0D4H, DADC3 : FFFFF0D6H

	15	14	13	12	11	10	9	8
DADCn	DSn1	DSn0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	SADn1	SADn0	DADn1	DADn0	TMn1	TMn0	0	0

(n = 0-3)

DSn1	DSn0	DMA転送での転送データ・サイズの設定
0	0	8ビット
0	1	16ビット
1	0	32ビット
1	1	設定禁止

SADn1	SADn0	DMAチャンネルnの転送元アドレスのカウンタ方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DADn1	DADn0	DMAチャンネルnの転送先アドレスのカウンタ方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

TMn1	TMn0	DMA転送時の転送モードの設定
0	0	シングル転送モード
0	1	シングル・ステップ転送モード
1	0	設定禁止
1	1	ブロック転送モード

7.3.5 DMAチャネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャネルnのDMA転送動作モードを制御する8ビット・レジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です (ただし, ビット7はリードだけ, ビット1はライトだけ可能です。ビット1をリードした場合は0が読み出されます。)

ビット2-6には必ず “ 0 ” を設定してください。

リセット時 : 00H R/W アドレス : DCHC0 : FFFF0E0H, DCHC1 : FFFF0E2H,
DCHC2 : FFFF0E4H, DCHC3 : FFFF0E6H

	⑦	6	5	4	③	②	①	①
DCHCn	TCn ^{注1}	0	0	0	MLEn	INITn	STGn	Enn ^{注2}

(n = 0-3)

TCn	DMAチャネルnのDMA転送の終了 / 未終了を示すステータス・フラグ
0	DMA転送未終了
1	DMA転送終了
DMA転送が終了するとセット (1) され, 読み出しによってクリア (0) されます。	

MLEn (n = 0-3)	<p>ターミナル・カウント出力時に, このビットがセット (1) されていると Ennビットはクリア (0) されず, DMA転送許可状態のままになります。また, TCnビットを読み出さなくても, 次のDMA転送要求は受け付けられます。</p> <p>ターミナル・カウント出力時に, このビットがクリア (0) されていると Ennビットはクリア (0) され, DMA転送禁止状態になります。次のDMA要求時は, TCnビットの読み出しとEnnビットのセット (1) が必要です。</p>
-------------------	---

INITn (n = 0-3)	このビットをセット (1) すると, DMA転送を強制終了します。
--------------------	-----------------------------------

STGn	DMA転送が許可の状態 (TCnビット = 0, Ennビット = 1) でこのビットをセット (1) するとDMA転送を開始します。
------	---

Enn	DMAチャネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可
DMA転送が完了するとクリア (0) されます。また, NMI入力による強制終了時にもクリア (0) されます。	

- 注1. TCnビットはリードのみ可能です。
2. STGnビットはライトのみ可能です。

注意 ソフトウェアによるDMA転送要求を発生させるときには, TCnビットがセット (1) されていることを確認してから, TCnビットをクリア (0) してください。

7.3.6 DMAディスエーブル・ステータス・レジスタ (DDIS)

NMI入力時にDCHCnレジスタのEnnビットの内容を保持するレジスタです (n = 0-3)。

8ビット単位でリードだけ可能です。

ビット4-7には必ず“0”を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
DDIS	0	0	0	0	CH3	CH2	CH1	CH0	FFFFFF0F0H	00H

ビット位置	ビット名	意味
3-0	CH3-CH0	NMI入力時にDCHCnレジスタのEnnビットの内容が反映されます。このレジスタの内容は、次のNMI入力時、またはシステム・リセット時まで保持されます。

7.3.7 DMAリスタート・レジスタ (DRST)

NMI入力によって強制中断されたDMA転送を再開させるためのレジスタです。このレジスタのENnビットは、DCHCnレジスタのEnnビットとそれぞれ連結しています (n = 0-3)。NMI入力による強制中断終了後、中断されているDMAチャンネルをDDISレジスタの内容から確認し、対応するチャンネルのENnビットをセット (1) することにより、DMA転送を再開できます。

8ビット単位でリード/ライト可能です。

ビット4-7には必ず“0”を設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
DRST	0	0	0	0	EN3	EN2	EN1	EN0	FFFFFF0F2H	00H

ビット位置	ビット名	意味
3-0	EN3-EN0	DMAチャンネルnのDMA転送の許可/禁止を設定します。ターミナル・カウント出力によりDMA転送が終了するとクリア (0) されます (n = 0-3)。また、NMI入力や、DCHCnレジスタのINITnビットのセット (1) によるDMA強制終了時にもクリア (0) されます。 0 : DMA転送の禁止 1 : DMA転送の許可

7.3.8 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oから割り込み要求によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求が、DMA転送の起動要因になります。

8/1ビット単位でリード/ライト可能です。ただしビット7 (DFn) のみ1ビット単位でリード/ライト可能です。

ビット6には必ず“0”を設定してください。

リセット時：00H R/W アドレス：DTFR0：FFFFFF810H, DTFR1：FFFFFF812H,
DTFR2：FFFFFF814H, DTFR3：FFFFFF816H

	7	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

(n = 0-3)

DFn ^注	DMA転送の起動要因になる割り込み要因の設定
0	DMA転送要求なし
1	DMA転送要求あり

注 DFnビットは0のみライト可能です。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトします。

- 注意1.** DTFRnレジスタの設定を変更する場合は、必ずDMA動作を停止してから行ってください。
- スタンバイ・モード (IDLE, ソフトウェアSTOPモード) 中に入力された割り込み要求は、DMA転送の起動要因にはなりません。
 - IFCn5-IFCn0ビットについては表13 - 1 DMA起動要因を参照してください。

備考 n = 0-3

表7 - 1 DMA起動要因 (1/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	割り込みよるDMA要求禁止
0	0	0	0	0	1	INTP0
0	0	0	0	1	0	INTOV3
0	0	0	0	1	1	INTCP30
0	0	0	1	0	0	INTCP31
0	0	0	1	0	1	INTCP32
0	0	0	1	1	0	INTCP33
0	0	0	1	1	1	INTCP34
0	0	1	0	0	0	INTCP35
0	0	1	0	0	1	INTCP36
0	0	1	0	1	0	INTCP37
0	0	1	0	1	1	INTCP38
0	0	1	1	0	0	INTCP39
0	0	1	1	0	1	INTCP310
0	0	1	1	1	0	INTCP311
0	0	1	1	1	1	INTCM30
0	1	0	0	0	0	INTCM31
0	1	0	0	0	1	INTMKC0
0	1	0	0	1	0	INTMKC1
0	1	0	0	1	1	INTTI3
0	1	0	1	0	0	INTCC000
0	1	0	1	0	1	INTCC010
0	1	0	1	1	0	INTCC020
0	1	0	1	1	1	INTCC030
0	1	1	0	0	0	INTCC040
0	1	1	0	0	1	INTCC050
0	1	1	0	1	0	INTCC001
0	1	1	0	1	1	INTCC011
0	1	1	1	0	0	INTCC021
0	1	1	1	0	1	INTCC031
0	1	1	1	1	0	INTCC041
0	1	1	1	1	1	INTCC051
1	0	0	0	0	0	INTCM10
1	0	0	0	0	1	INTCM11
1	0	0	0	1	0	INTCM12
1	0	0	0	1	1	INTCM13
1	0	0	1	0	0	INTCM14
1	0	0	1	0	1	INTCM15
1	0	0	1	1	0	INTTM20
1	0	0	1	1	1	INTTM21
1	0	1	0	0	0	INTTM22
1	0	1	0	0	1	INTTM23
1	0	1	0	1	0	INTTM24

表7 - 1 DMA起動要因 (2/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	1	0	1	1	INTTM25
1	0	1	1	0	0	INTTM26
1	0	1	1	0	1	INTTM27
1	0	1	1	1	0	INTTM28
1	0	1	1	1	1	INTTM29
1	1	0	0	0	0	INTTM210
1	1	0	0	0	1	INTTM211
1	1	0	0	1	0	INTCSI0
1	1	0	0	1	1	INTCSI1
1	1	0	1	0	0	INTCSI2
1	1	0	1	0	1	INTCSI3
1	1	0	1	1	0	INTCSIA0
1	1	0	1	1	1	INTCSIA1
1	1	1	0	0	0	INTSER0
1	1	1	0	0	1	INTSR0
1	1	1	0	1	0	INTST0
1	1	1	0	1	1	INTSER1
1	1	1	1	0	0	INTSR1
1	1	1	1	0	1	INTST1
1	1	1	1	1	0	INTIIC ^注
1	1	1	1	1	1	INTAD

注 INTIICは μ PD703166Y, 70F3166Yのみ有効, μ PD703166, 70F3166では設定禁止

備考 n = 0-3

7.4 DMAバス・ステート

7.4.1 バス・ステートの種類

DMACのバス・ステートは次に示す10種類のステートで構成されています。

(1) T1ステート

アクセス要求がないアイドル状態のステートです。

CLKOUT信号の立ち上がりでDMA要求信号をサンプリングします。

(2) T0ステート

DMA転送準備状態 (DMA転送要求があり、最初のDMA転送のためにバス使用权を獲得している状態) のステートです。

(3) T1Rステート

2サイクル転送のリードの最初に移行するステートです。

アドレスの駆動を開始します。T1RステートのあとはT2Rステートに必ず遷移します。

(4) T1RIステート

外部メモリのリード・リクエストに対するアクノリッジ信号を待っているステートです。

最後のT1RIステートのあとはT2Rステートに必ず遷移します。

(5) T2Rステート

2サイクル転送のリードの最後またはウエイト状態のステートです。

最後のT2Rステートでリード・データをサンプリングします。そのあとは必ずT1Wステートに遷移します。

(6) T2RIステート

内蔵周辺I/Oまたは内蔵RAMへのDMA転送準備状態 (内蔵周辺I/Oまたは内蔵RAMへのDMA転送のために、バスの使用权を獲得している状態) のステートです。

最後のT2RIステートのあとはT1Wステートに必ず遷移します。

(7) T1Wステート

2サイクル転送のライトの最初に移行するステートです。

アドレスの駆動を開始します。T1WステートのあとはT2Wステートに必ず遷移します。

(8) T1WIステート

外部メモリのライト・リクエストに対するアクノリッジ信号を待っているステートです。

最後のT1WIステートのあとはT2Wステートに必ず遷移します。

(9) T2Wステート

2サイクル転送のライトの最後またはウエイト状態のステートです。

最後のT2Wステートでライト・ストロブ信号をインアクティブにします。

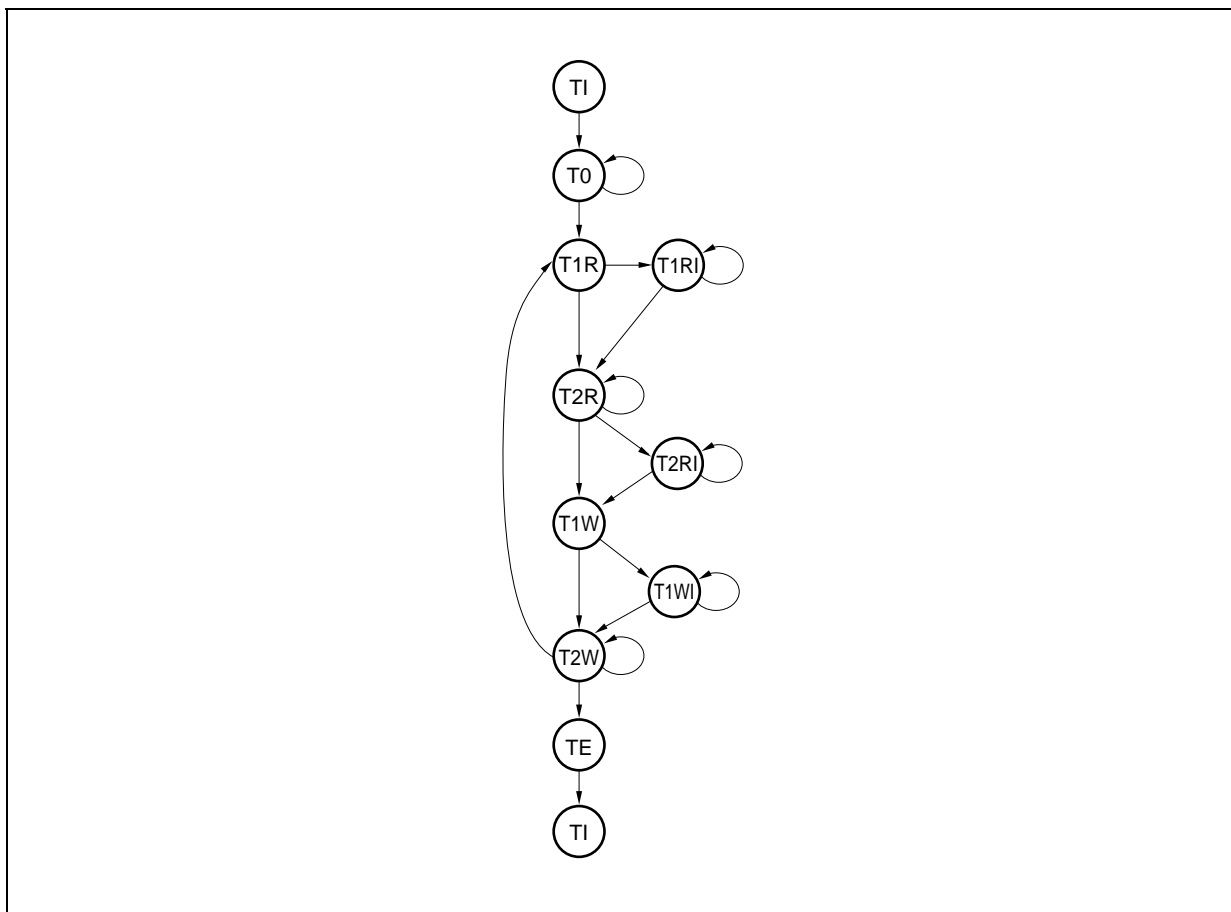
(10) TEステート

DMA転送完了のステートです。ほかの各種内部信号を初期化します (n = 0-3)。TEステートのあとはTIステートに必ず遷移します。

7.4.2 DMACバス・サイクルの状態遷移

ブロック転送モードを除き、1回のDMA転送終了ごとにバス使用权を解放します。

図7-1 DMACバス・サイクル (2サイクル転送時) の状態遷移図



7.5 転送モード

7.5.1 シングル転送モード

シングル転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。ただし、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合は、前回の優先順位が高いDMA転送要求信号がアクティブのままでもこの要求は優先されず、CPUにバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA転送となります。

図7-2から図7-5にシングル転送の例を示します。

図7-2 シングル転送例1

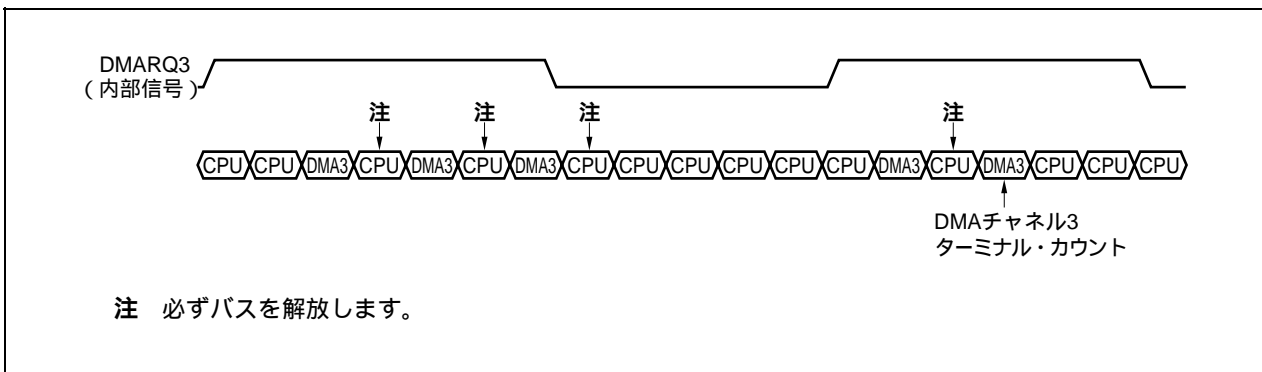


図7-3は、優先順位の高いDMA要求が発生した場合のシングル転送の例で、DMAチャンネル0-2はブロック転送、チャンネル3はシングル転送です。

図7-3 シングル転送例2

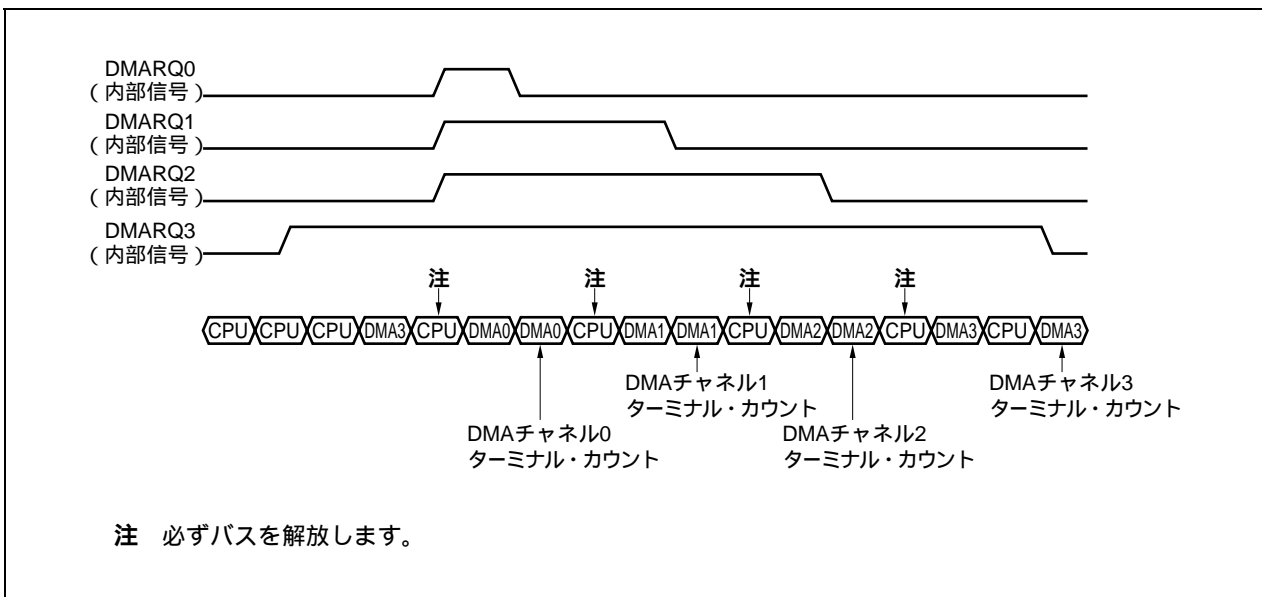


図7 - 4は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のシングル転送の例で、DMAチャンネル0, 3はシングル転送です。2つのDMA転送要求信号が同時にアクティブになっているときは、2つのDMA転送を交互に行います。

図7 - 4 シングル転送例3

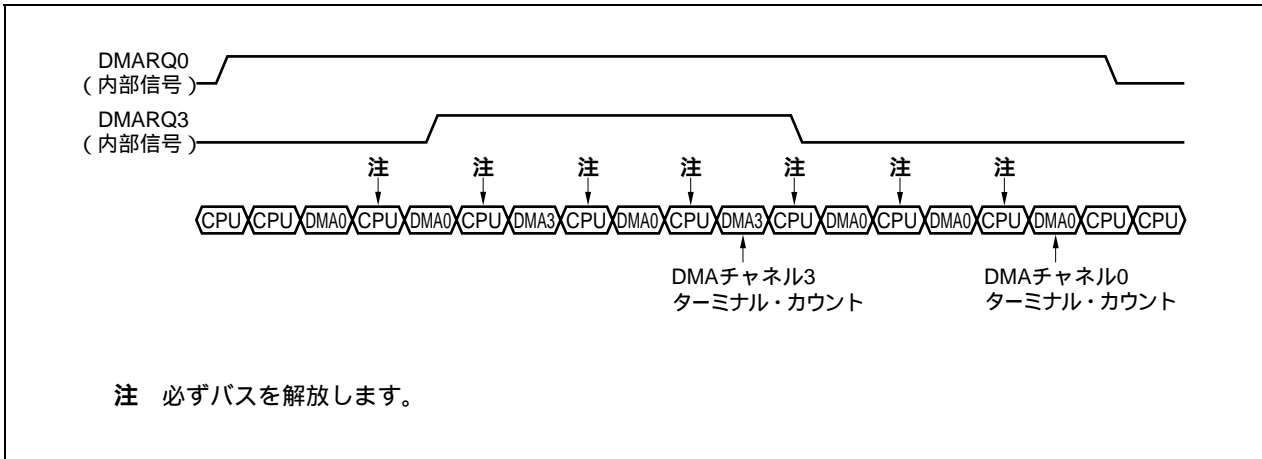
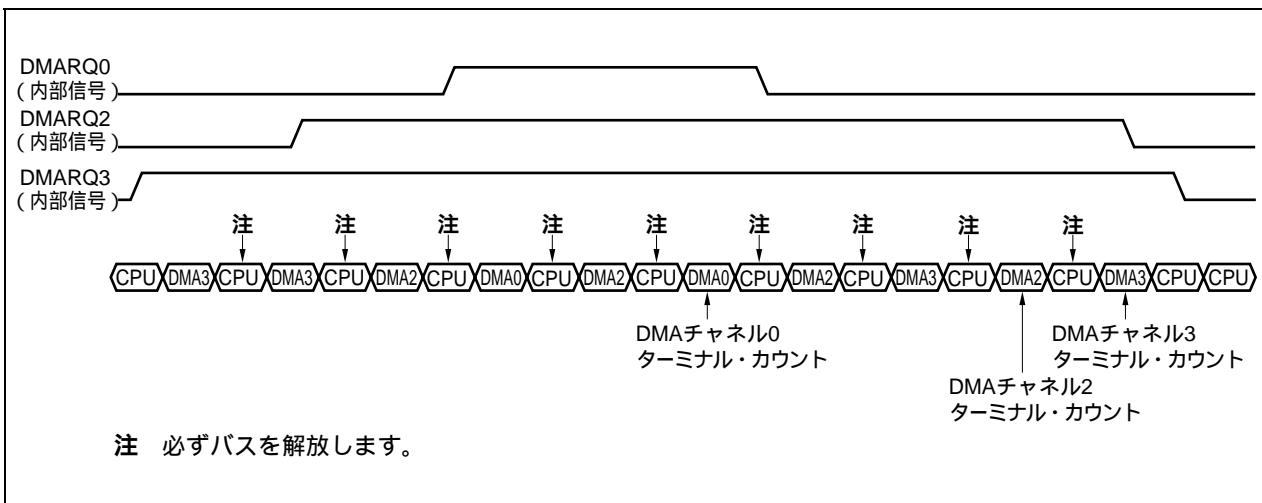


図7 - 5は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求の発生が複数あった場合のシングル転送の例で、DMAチャンネル0, 2, 3はシングル転送です。3つ以上のDMA転送要求信号が同時にアクティブになっているときは、常に優先順位が高い順から2つのDMA転送を交互に行います。

図7 - 5 シングル転送例4



7.5.2 シングルステップ転送モード

シングルステップ転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。一度、DMA転送要求信号を受けると、ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

図7 - 6, 図7 - 7にシングルステップ転送の例を示します。

図7-6 シングルステップ転送例1

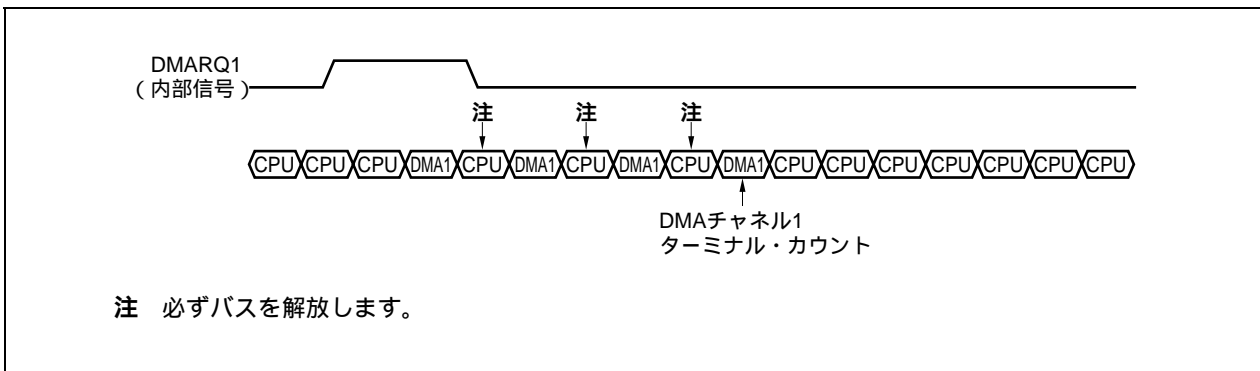
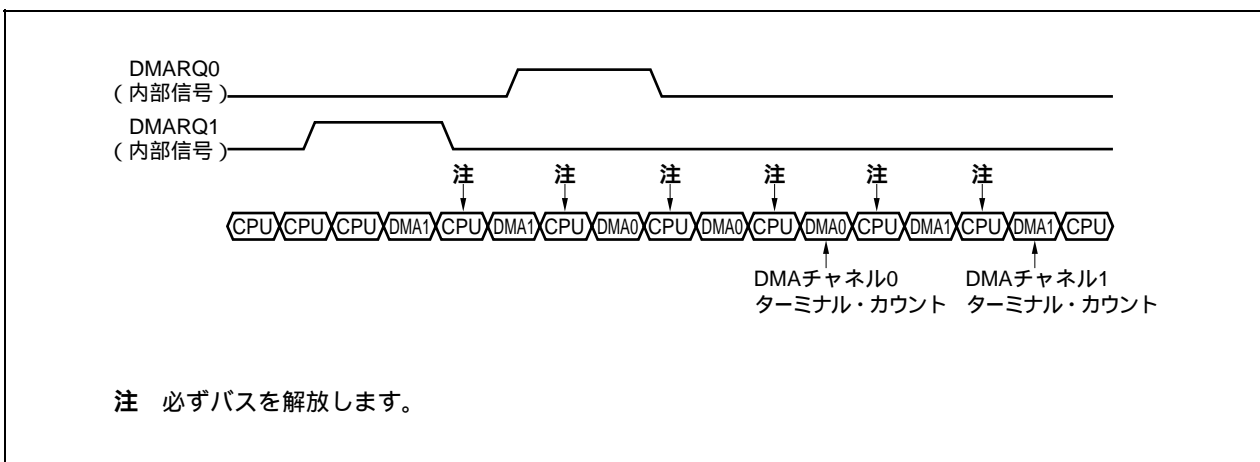


図7-7 シングルステップ転送例2



7.5.3 ブロック転送モード

ブロック転送では、転送が開始されると、ターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は、ほかのDMA要求は受け付けません。

ブロック転送が終了しDMACがバスを解放したあとに、ほかのDMA転送を受け付けます。

7.6 転送タイプ

7.6.1 2サイクル転送

2サイクル転送は、リード・サイクル (転送元 DMAC)、ライト・サイクル (DMAC 転送先) と2回のサイクルでデータを転送します。

1回目のサイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、2回目のサイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

注意 リード・サイクルとライト・サイクルの間に、必ず1クロック分のアイドル・サイクルが挿入されます。

7.7 転送対象

7.7.1 転送の種類と転送対象

転送の種類と転送対象の関係を次に示します（○：転送可，×：転送不可）。

表7-2 転送の種類と転送対象の関係

		転送先			
		2サイクル転送の場合			
		内蔵ROM	内蔵周辺I/O	内蔵RAM	外部 (メモリ, I/O)
転送元	内蔵周辺I/O	×			
	内蔵RAM	×		×	
	外部(メモリ, I/O)	×			
	内蔵ROM	×	×	×	×

注意1. 表7-2に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証しません。

- DMA転送の転送元、転送先のアドレスに3FFF000H-3FFFFFFHを指定することができません。転送元、転送先のアドレスには、必ずFFFF000H-FFFFFFFHのアドレスを指定してください。

備考 2サイクルの16ビット転送で転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

16ビット・バス 8ビット・バスへの転送の場合

16ビットのリード・サイクルが発生し、そのあと8ビットのライト・サイクルが連続して2回発生します。

8ビット・バス 16ビット・バスへの転送の場合

8ビットのリード・サイクルが連続して2回発生し、そのあと16ビットのライト・サイクルが発生します。

7.7.2 DMA転送 (2サイクル転送) 時の外部バス・サイクル

DMA転送 (2サイクル転送) 時の外部バス・サイクルを次に示します。

表7-3 DMA転送 (2サイクル転送) 時の外部バス・サイクル

転送対象	外部バス・サイクル	
内蔵周辺I/O, 内蔵RAM	なし ^注	-
外部メモリ, 外部I/O	あり	SRAM, 外部ROM, 外部I/Oアクセス・サイクル

注 CPUによるバス・サイクルなど、ほかの外部サイクルを起動可能

7.8 DMAチャンネルの優先順位

DMAチャンネルの優先順位は固定で、次のようになります。

DMAチャンネル0 > DMAチャンネル1 > DMAチャンネル2 > DMAチャンネル3

この優先順位が有効になるのは、TIステートのときだけです。ブロック転送中は転送するチャンネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間 (TI) 中に、ほかの優先順位が高いDMA転送要求が発生した場合は、優先順位が高いDMA転送を行います。

注意 同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられる場合があります。

7.9 ネクスト・アドレス設定機能

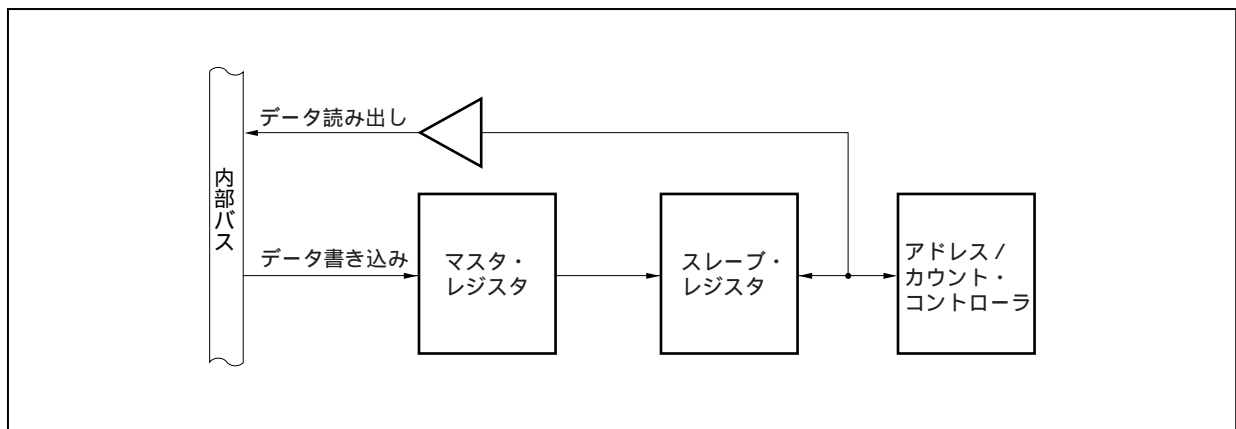
DMAソース・アドレス・レジスタ (DSAnH, DSAnL), DMAデスティネーション・アドレス・レジスタ (DDAnH, DDAnL), DMA転送カウント・レジスタ (DBCn) は2段FIFO構成のバッファ・レジスタです (n = 0-3)。

ターミナル・カウントが発生すると、これらのレジスタは直前に設定された値に自動的に書き換えられます。

したがって、DMA転送中に、これらのレジスタに対して新たなDMA転送の設定を行い、DCHCnレジスタのEnnビットをセット (1) し、MLEnビットがセット (1) されていれば、転送が自動的に開始します (ただし、自動的にDMA転送が開始される場合でもDMA転送終了割り込みは発生します)。

次にバッファ・レジスタの構成を示します。

図7-8 バッファ・レジスタの構成



7.10 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

(1) ソフトウェアによる要求

DCHCnレジスタのSTGn, Enn, TCnビットが次のように設定されると、DMA転送を開始します (n = 0-3)。

- ・ STGnビット = 1
- ・ Ennビット = 1
- ・ TCnビット = 0

(2) 内蔵周辺I/Oによる要求

DCHCnレジスタのEnn, TCnビットが次のように設定されている状態で、DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると、DMA転送要求を開始します (n = 0-3)。

- ・ Ennビット = 1
- ・ TCnビット = 0

7.11 強制中断

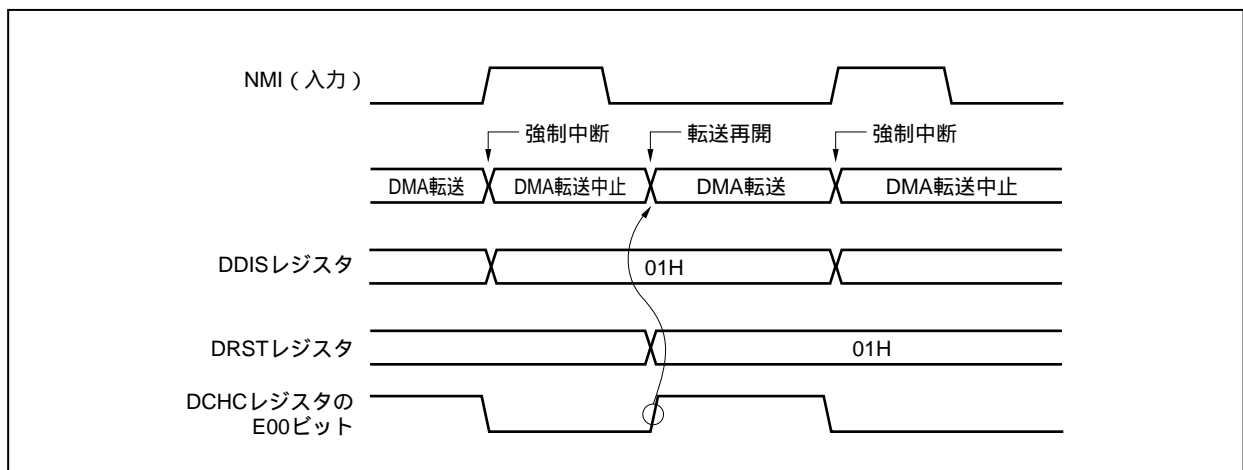
DMA転送中のNMI入力により、DMA転送を強制的に中断できます。

このときDMACは、すべてのチャンネルのDCHCnレジスタのEnnビットをクリア (0) して、DMA転送禁止状態にし、NMI入力時に実行していたDMA転送を完了してから、NMI要求を受け付けます (n = 0-3)。

シングルステップ転送モード時、ブロック転送モード時は、DMA転送要求がDMACに保持されます。DRSTレジスタのENnビットをセット (1) するとDMA転送を中断した時点からDMA転送を再開します。

シングル転送モード時は、DRSTnレジスタのENnビットをセット (1) すると次のDMA転送要求を受け付けて、DMA転送を開始します。

図7 - 9 DMA転送の強制中断例



7.12 DMA転送の終了

DMA転送が終了し、DCHCnレジスタのTCnビットがセット (1) されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み (INTDMA_n) を発生します (n = 0-3)。

7.13 強制終了

DMA転送は、NMI入力による強制中断のほかに、DCHCnレジスタのINITnビットによって強制終了することができます (n = 0-3)。

備考 DSA_n, DDA_n, DBC_nレジスタはFIFO構成のバッファ・レジスタのため強制終了時も値が保持されます。また、DMA転送中でも次の転送条件を設定可能です。一方DADC_n, DCHC_nレジスタはバッファ・レジスタではないため、DMA転送中の設定は無効となります (6.9 **ネクスト・アドレス設定機能**, 6.3.4 **DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)** 参照)。

7.14 注意事項

(1) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象 (外部メモリ、内蔵RAM、周辺I/O) の領域を越えた場合の動作は保証しません。

(2) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

(3) DMA転送に関する各種時間

DMA転送前後のオーバーヘッド部分、DMA転送にかかる最小クロック数を次に示します。

- ・内蔵RAMアクセス：1クロック

なお、外部メモリ・アクセスの場合は、接続する外部メモリに依存します。

(4) CPUへのバス・アービトレーション

CPUは、DMA転送を行っていない外部メモリ、内蔵周辺I/O、内蔵RAMとのアクセスが可能です。外部メモリ、外部I/O内でデータ転送が行われているときは、CPUは内蔵RAMにアクセスできます。また、内蔵RAM間でデータ転送が行われているときは、外部メモリ、周辺I/Oにアクセスできます。

(5) DMAの起動要因

同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられる場合があります。

7.14.1 中断要因

DMA転送は、バス・ホールドが発生すると中断されます。

DMA転送を中断する要因がなくなると、引き続きDMA転送を再開します。

第8章 ROMコレクション機能

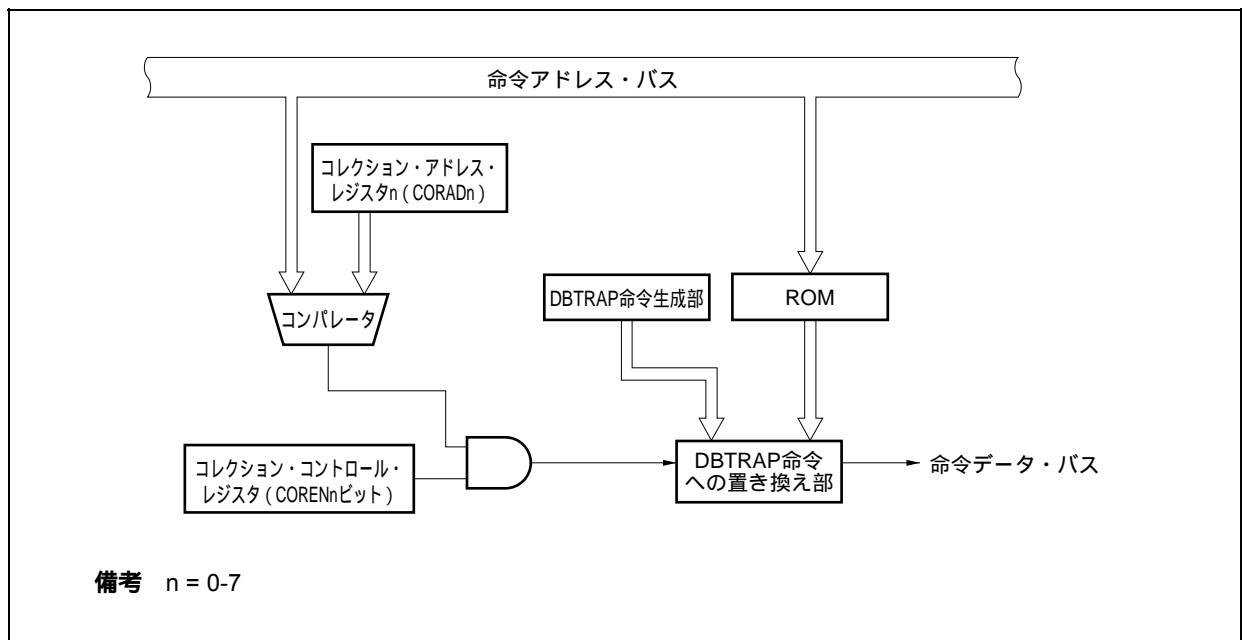
8.1 概要

ROMコレクション機能とは、マスクROM内のプログラムの一部を、外部または内蔵RAMのプログラムに置き換えて実行する機能です。

ROMコレクション機能を使用することにより、マスクROMで発見された命令バグの修正が可能です。

ROMコレクション機能により最大8箇所修正可能です。

図8 - 1 ROMコレクションのブロック図



8.2 制御レジスタ

8.2.1 コレクション・アドレス・レジスタ0-7 (CORAD0-CORAD7)

ROMのなかに修正したい命令の先頭アドレス (修正アドレス) を設定するレジスタです。

コレクション・アドレス・レジスタ n (CORAD n) は、8つあるためにプログラムを最大8箇所修正できます ($n = 0-3$)。

CORAD n レジスタは32ビット単位でのみリード/ライト可能です。

ただし、CORAD n レジスタの上位16ビットをCORAD n Hレジスタ、下位16ビットをCORAD n Lレジスタとして使用した場合は、16ビット単位でリード/ライト可能です。

00000000H-0007FFFEHの範囲で修正アドレスを設定してください。

注意 ビット0, 20-31は0に固定してください。

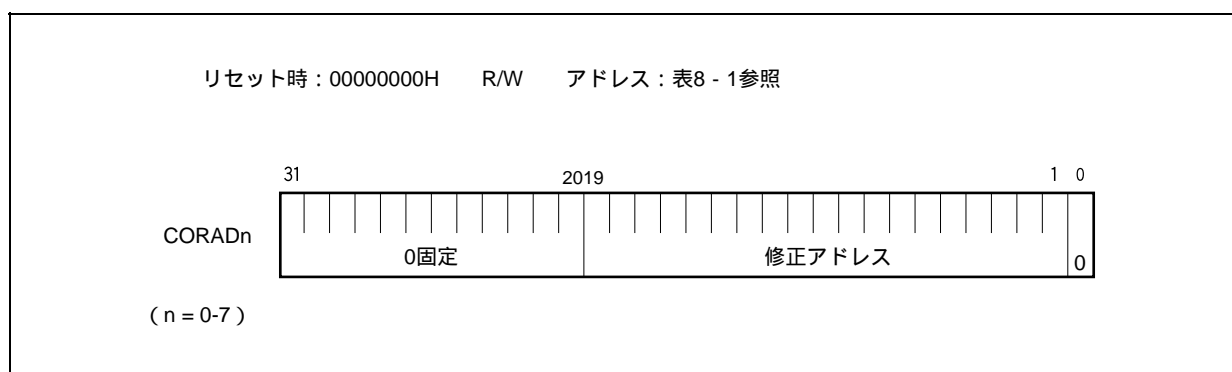


表8-1 CORAD n レジスタのアドレス

レジスタ名	アドレス
CORAD0	FFFFFF840H
CORAD1	FFFFFF844H
CORAD2	FFFFFF848H
CORAD3	FFFFFF84AH
CORAD4	FFFFFF850H
CORAD5	FFFFFF854H
CORAD6	FFFFFF858H
CORAD7	FFFFFF85AH

8.2.2 コレクション・コントロール・レジスタ (CORCN)

各コレクション・アドレス・レジスタ (CORADn) のコレクション動作の禁止 / 許可を制御するレジスタです (n = 0-7)。

各チャネルごとに、有効 / 無効を設定できます。

8/1ビット・メモリ操作命令で設定します。

リセット時 : 00H R/W アドレス : FFFFF880H								
	⑦	⑥	⑤	④	③	②	①	①
CORCN	CORCN7	CORCN6	CORCN5	CORCN4	COREN3	COREN2	COREN1	COREN0
	CORENn							コレクション動作の禁止 / 許可
	0							禁止
	1							許可
備考 n = 0-7								

8.3 ROMコレクションの動作とプログラムの流れ

修正したいアドレスと内蔵ROMのフェッチ・アドレスが一致すると、フェッチ・コードをDBTRAP命令に置き換えます。

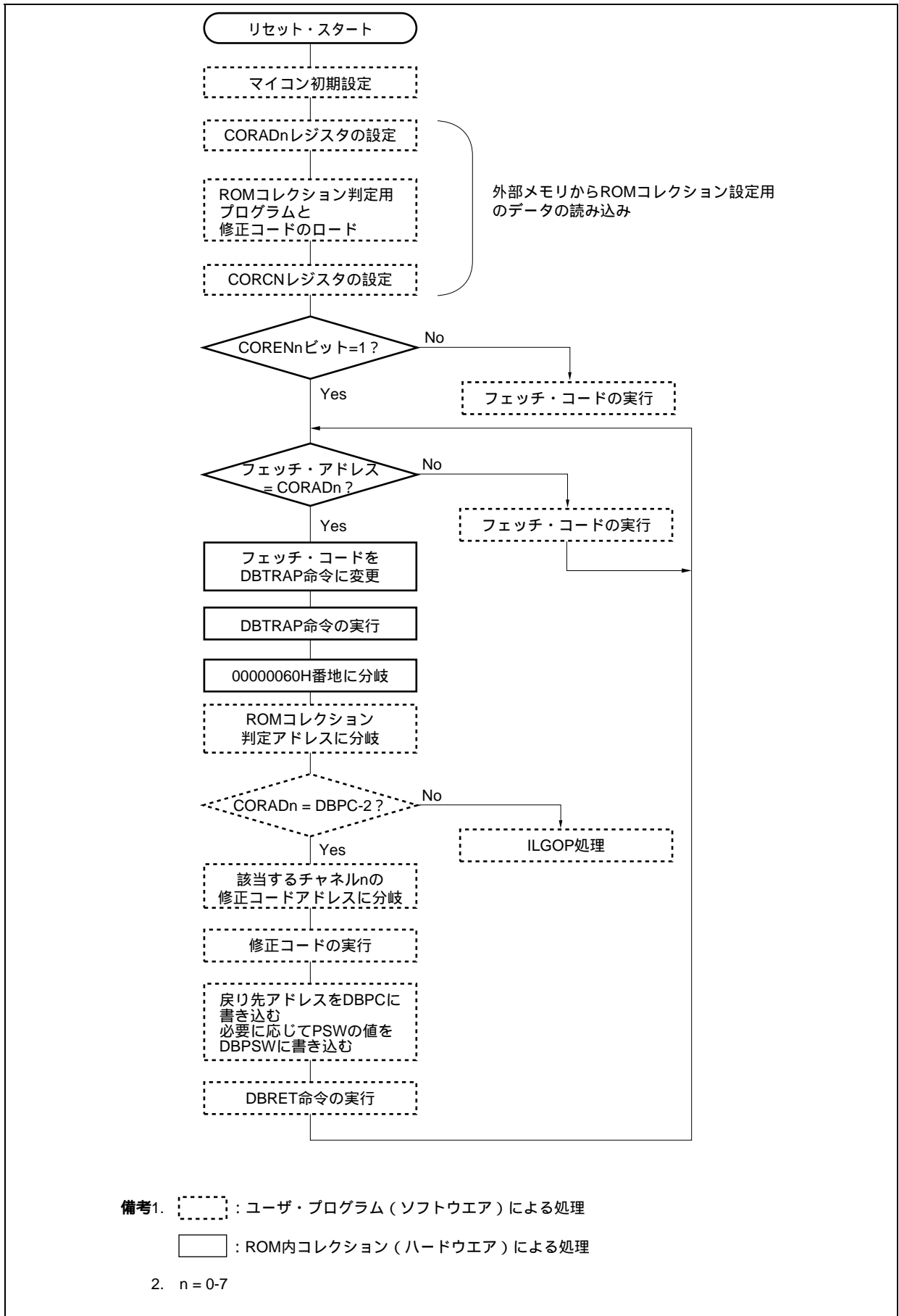
置き換えられたDBTRAP命令が実行されると、00000060H番地に分岐します。

分岐後のソフトウェア処理により、ROMコレクション判定 (フェッチ・アドレスとROMコレクション動作許可の確認) と修正ソフトウェアへの分岐を行います。

修正ソフトウェア実行後、戻るアドレスのセットなどを行い、DBRET命令で復帰処理をします。

- 注意1. 上記 , を実現するソフトウェアは、外部メモリまたは内蔵RAMで実行する必要があります。
- ROMコレクションを制御するCORCNレジスタへの書き込みが終了するまでは、ROMコレクション機能を使用しないようにプログラムを組んでください。
 - CORADnレジスタに修正したいアドレスを設定する際、内蔵ROMの容量に応じて、上位ビットに0を設定してください。
 - ROMコレクション機能は内蔵ROMのデータに対しては使用できません。命令コードに対してのみ行うことができます。データに対してROMコレクションを行うと、そのデータがDBTRAP命令コードに入れ替わります。

図8-2 ROMコレクションの動作とプログラムの流れ



第9章 クロック・ジェネレータ

クロック・ジェネレータは、CPUをはじめとする内蔵の各ユニットに供給される内部システム・クロックを発生、制御します。

9.1 特 徴

PLL (Phase locked loop) シンセサイザによる逡倍 (2逡倍 / 3逡倍) 機能

クロック・スルー・モード

クロック・ソース

- ・発振子接続による発振

- ・外部クロック

パワー・セーブ機能

- ・HALTモード

- ・IDLEモード

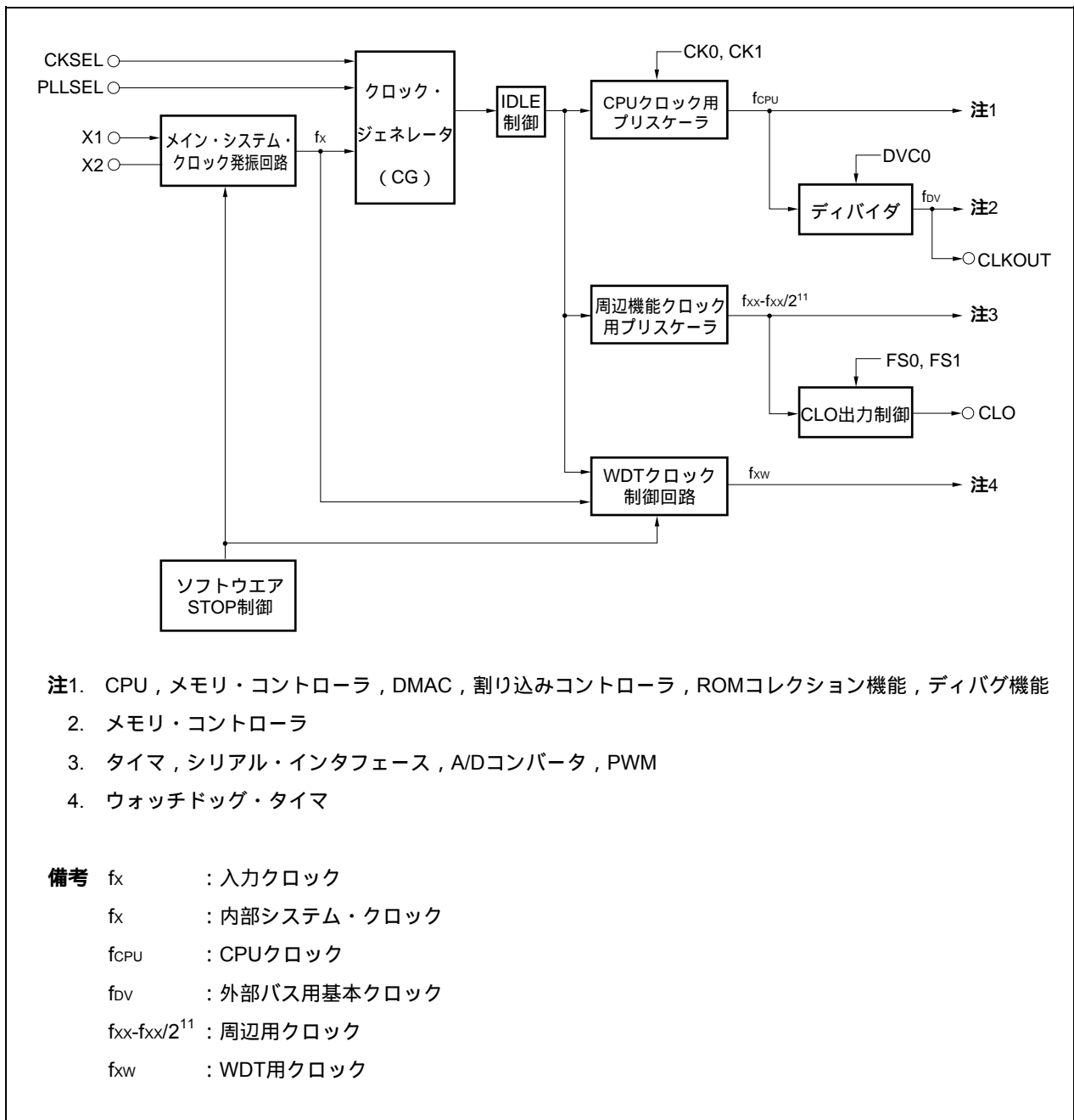
- ・ソフトウェアSTOPモード

外部バス用基本クロック出力機能 (CLKOUT)

周辺用クロック出力機能 (CLO)

9.2 構成

図9-1 クロック・ジェネレータのブロック図



9.3 入力クロック選択

クロック・ジェネレータ (CG) は、発振回路とPLLシンセサイザから構成されています。たとえば、12.5 MHz の水晶発振子、またはセラミック発振子をX1, X2端子に接続することにより、3逓倍時は37.5 MHzの内部システム・クロック (f_{xx}) を生成できます。

発振回路には外部クロックを直接入力することもできます。この場合、X1端子にクロック信号を、X2端子にはX1端子の逆相を入力してください。

クロック・ジェネレータは基本動作として、PLLモードとクロック・スルー・モードの2種類を備えています。

PLLモードでは、外部発振子を接続または外部クロックを入力することにより、これをPLLシンセサイザで逓倍します。逓倍されたPLL出力を内部システム・クロックとして使用します。

PLLモードには、2逓倍モードと3逓倍モードがあり、CKSEL1, PLLSEL端子により入力クロックの選択を行います。

CKSEL1	PLLSEL	入力クロックの選択		内部システム・クロック 周波数 (f_{xx})	メイン・クロック 周波数 (f_x) の範囲	内部システム・クロック 周波数 (f_{xx}) の範囲
L	L	PLLモード	2逓倍モード	$2 \times f_x$	10 MHz ~ 20 MHz	20 MHz ~ 40 MHz
L	H		3逓倍モード	$3 \times f_x$	7 MHz ~ 13.5MHz	21 MHz ~ 40.5 MHz
H	X	クロック・スルー・モード		f_x	10 MHz ~ 20 MHz	10 MHz ~ 20 MHz

注意 リセット期間中にCKSEL1, PLLSEL端子の入力レベルを固定し、動作中に入力レベルを変化させないでください。変化させた場合の動作は保証できません。

備考 L : ロウ・レベル入力
H : ハイ・レベル入力
x : Don't care

9.3.1 PLLモード

PLLモードでは、メイン・クロック発振周波数 (f_x) をPLLシンセサイザにより逓倍し、内部システム・クロック周波数 (f_{xx}) を生成します。

PLLの逓倍数は、PLLSEL端子入力により2逓倍 (PLLSEL端子にロウ・レベルを入力) / 3逓倍 (PLLSEL端子にハイ・レベルを入力) を選択できます。

PLLモードでは、PLLシンセサイザにメイン・クロック発振器からのクロックが入力され、所定の周波数でフェーズ・ロックし、ロックアップ時間 (周波数安定時間) を経てから、安定した周波数のクロックをチップ内部に供給する必要があります。

V850E/SV2では、ロックアップ時間を内蔵の専用タイマにより確保します。この専用タイマは14ビットのカウンタでメイン・クロック (f_x) でカウントします。オーバフローすると、内部システム・リセットが解除され、プログラムを実行します。

注意 PLLモードでは、外部発振子や外部クロック・ソースからのクロック供給が停止した場合にも、自走周波数で動作を継続しますが、この自走周波数を期待した使い方は行わないでください。

9.3.2 クロック・スルー・モード

クロック・スルー・モードでは、メイン・クロック発振周波数 (f_x) と同等の内部システム・クロック周波数 ($f_{xx} = f_x$) を生成します。

9.4 クロック出力機能

9.4.1 外部バス用基本クロック出力機能 (CLKOUT)

外部バス用基本クロック (f_{DV}) をCLKOUT端子に出力する機能です。

CLKOUT端子はPCM1端子と兼用しており、CLKOUT端子として使用する場合は、ポートCMモード・コントロール・レジスタ (PMCCM) のPMCCM1ビット = 1に設定します。

IDLE、ソフトウェアSTOPモード時は、クロック出力を停止します (直前の値を保持)。HALTモード時は、クロック出力は継続されます。

外部バス用基本クロック (f_{DV}) は、バス・クロック分周制御レジスタ (DVC) によりCPUクロックの分周比 (1/1, 1/2) を選択できます。詳細は、4.9 バス・クロック分周機能を参照してください。

注意 クロック出力している間は、CPUクロック (プロセッサ・クロック・コントロール・レジスタ (PCC) のCK1, CK0ビット) と外部バス用基本クロック (DVCレジスタのDVC0ビット) の設定を変更しないでください。

9.4.2 周辺クロック出力機能 (CLO)

クロック出力モード・レジスタ (CLOM) によって周辺クロック ($f_{xx}/2-f_{xx}/16$) をCLO端子に出力する機能です。

CLO端子はP116端子と兼用しており、CLO端子として使用する場合は、ポート11モード・コントロール・レジスタ (PMC11) のPMC116ビット = 1に設定します。

IDLE、ソフトウェアSTOPモード時は、クロック出力を停止します (直前の値を保持)。HALTモード時は、クロック出力は継続されます。

9.5 制御レジスタ

9.5.1 プロセッサ・クロック・コントロール・レジスタ (PCC)

プロセッサ・クロック・コントロール・レジスタ (PCC) は、CPUクロック (f_{CPU}) の選択や発振回路の制御を行う8ビット・レジスタです。

PCCレジスタはプログラムの暴走などによって誤って書き換えられないように、特定シーケンスの組み合わせによってだけ書き込みができます。詳細は、3.4.9 **特定レジスタ**を参照してください。

8/1ビット単位でリード/ライト可能です。

リセット時：03H R/W アドレス：FFFFFF828H

	7	6		4	3	2	1	0
PCC	0	0	MFRC	0	0	0	CK1	CK0

MFRC	メイン・クロックの内蔵帰還抵抗の選択	
0	使用する	
1	使用しない	

CK1	CK0	クロックの選択 (f_{CPU})
0	0	f_{xx}
0	1	$f_{xx}/2$
1	0	$f_{xx}/4$
1	1	$f_{xx}/8$

- 注意1.** ビット7, 6, 4-2には必ず0を設定してください。1を設定した場合の動作は保証できません。
- 2.** CLKOUTを出力している間は、CK1, CK0ビットの設定を変更しないでください。

9.5.2 クロック出力モード・レジスタ (CLOM)

周辺クロック ($f_{xx}/2$ - $f_{xx}/16$) は、クロック出力モード・レジスタ (CLOM) により周辺クロックの分周比 ($f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$) を選択できます。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFFFFB70H

	7	6	5	3	2	1	0
CLOM	0	0	0	CLE ^{注1}	0	0	FS1 ^{注2} FS0 ^{注2}

CLE	CLO信号のクロック出力を制御
0	出力禁止 (“0” を出力)
1	CLO信号を出力

FS1	FS0	CPUクロックの選択
0	0	$f_{xx}/2$
0	1	$f_{xx}/4$
1	0	$f_{xx}/8$
1	1	$f_{xx}/16$

- 注1. コントロール・モード (ポート11モード・コントロール・レジスタ (PMC11) のPMC116ビット = 1) に設定してからCLEビットを設定してください
2. FS1, FS0ビットに対する1ビット操作は実行しないでください。

- 注意1. ビット7-5, 3, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。
2. CLEビット = 1のときは, FS1, FS0ビットの値を変更しないでください。

9.5.3 バス・クロック分周制御レジスタ (DVC)

バス・クロック分周制御レジスタ (DVC) は、外部バス用基本クロック (f_{bv}) に対するCPUクロック (f_{cpu}) の分周比を選択する8ビット・レジスタです。

詳細は、4.9 バス・クロック分周機能を参照してください。

9.6 パワー・セーブ制御

9.6.1 概要

パワー・セーブ機能には、次のものがあります。

(1) HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システムのトータルの消費電力を低減できます。

専用命令（HALT命令）によりHALTモードに移行します。

(2) IDLEモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給を停止させることにより、システム全体を停止させるモードです。

IDLEモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行できます。

パワー・セーブ・モード・レジスタ（PSMR）の設定によりIDLEモードに移行します。

IDLEモードは、クロックの安定時間と消費電流に関して、ソフトウェアSTOPモードとHALTモードの間に位置するモードで、低消費電流モードを利用し、かつ解除時のクロックの安定時間を削除したい用途に利用します。

(3) ソフトウェアSTOPモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力状態になります。

PSMRレジスタの設定により、ソフトウェアSTOPモードに移行します。

(a) PLLモード

ソフトウェアによるレジスタ設定により、ソフトウェアSTOPモードに移行します。発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。ソフトウェアSTOPモードの解除後は、システム・クロックが安定するまでの間、発振回路の発振安定時間を確保する必要があります。ソフトウェアSTOPモード解除後に、ウォッチドッグ・タイマによる発振安定時間を確保したあとにプログラムの実行が開始されます。

(b) クロック・スルー・モード

外部クロック接続時にクロックを停止させる場合には、X1端子をロウ・レベルにしてください。

通常動作，HALT，IDLE，ソフトウェアSTOPの各モードにおけるクロック・ジェネレータの動作を表9 - 1に示します。

各モードを組み合わせることで、用途により切り替えて使用することにより、効果的な低消費電力システムを実現できます。

図9 - 2 状態遷移図

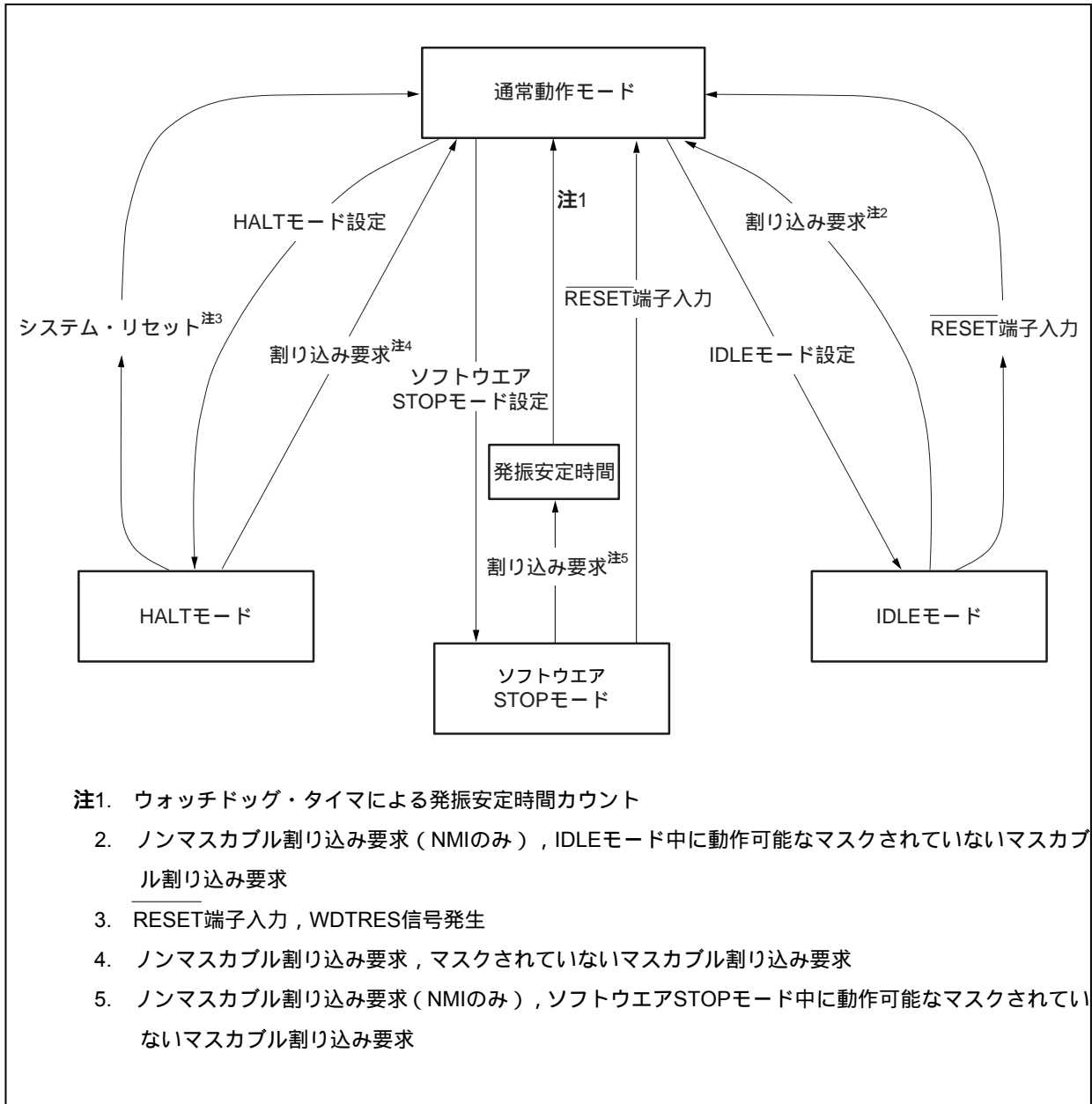


表9 - 1 パワー・セーブ制御によるクロック・ジェネレータの動作

クロック・ソース		パワー・セーブ・モード	発振回路	PLL シンセサイザ	内蔵周辺I/Oへ のクロック供給	CPUへの クロック供給
PLLモード	発振子による 発振 (X1, X2)	通常動作時				
		HALTモード				×
		IDLEモード			×	×
		ソフトウェアSTOPモード	×	×	×	×
	外部クロック (X1)	通常動作時	×			
		HALTモード	×			×
		IDLEモード	×		×	×
		ソフトウェアSTOPモード	×	×	×	×

備考 : 動作

× : 停止

9.6.2 制御レジスタ

(1) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードを制御する8ビット・レジスタです。パワー・セーブ・コントロール・レジスタ (PSC) のSTPビットをセット (1) することにより有効となります。

PSMRレジスタへの書き込みは、ストア命令 (ST/SST命令) およびビット操作命令 (SET1/CLR1/NOT1命令) により行います。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM

PSM	ソフトウェア・スタンバイ・モード時の動作指定 (PSCレジスタのビット1 (STP) をセット (1) することにより有効)
0	IDLEモード
1	ソフトウェアSTOPモード

(3) パワー・セーブ・コントロール・レジスタ (PSC)

パワー・セーブを制御する8ビット・レジスタです。このレジスタは特定レジスタの1つで、ライト動作時は特定シーケンスによるアクセスだけが有効です。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF1FEH

	7	6	⑤	④	3	2	①	0
PSC	0	0	NMI0M	INTM	0	0	STP	0

NMI0M	NMI端子によるスタンバイ・モード解除の制御
0	NMI端子によるスタンバイ・モード解除許可
1	NMI端子によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求によるスタンバイ・モード解除の制御
0	マスカブル割り込み要求によるスタンバイ・モード解除許可
1	マスカブル割り込み要求によるスタンバイ・モード解除禁止

STP	動作モードの設定
0	通常動作モード
1	スタンバイ・モード

注意 IDLEモードあるいはソフトウェアSTOPモードに設定する際は、パワー・セーブ・モード・レジスタ (PSMR) のPSMビットを設定してからSTPビット = 1 (スタンバイ・モード) に設定してください。

パワー・セーブ・コントロール・レジスタ (PSC) へのデータ設定は、次のシーケンスで行います。

DMA動作を禁止

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意

コマンド・レジスタ (PRCMD) に で用意したデータを書き込み

特定レジスタに設定データを書き込み (次の命令で行う)

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

NOP命令を挿入 (5命令 (-)) : PSCレジスタのSTPビット操作時のみ)

DMA動作が必要な場合、DMA動作を許可

〔記述例〕PSCレジスタの場合

```

ST.B    r11, PSMR [ r0 ]      ; PSMRレジスタ設定
LD.B    DCHCn [ r0 ] , r12    ; (a)DMA転送状態の格納
ANDI    0xfe, r12 , r13
ST.B    r13, DCHCn [ r0 ]    ; (b)DMA動作停止 (注)
MOV     0x02, r10
ST.B    r10, PRCMD [ r0 ]    ; PRCMDレジスタ書き込み
ST.B    r10, PSC [ r0 ]      ; PSCレジスタ設定
NOP                                           ; ダミー命令
NOP                                           ; ダミー命令
NOP                                           ; ダミー命令
NOP                                           ; ダミー命令
NOP                                           ; ダミー命令
TST1    7, DCHCn [ r0 ]      ; (a)と(b)の間にDMA転送が終了していないか
                                           ; (DCHCnレジスタの状態が更新されていないか)を確認
BNE     next                  ; 更新されていたならば, DMA転送終了処理
ST.B    r12, DCHCn [ r0 ]    ; 更新されていなければ, (a)の状態に戻す (DMA転送
                                           ; 許可)
:
next :                               ; DMA転送終了処理
(next instruction )

```

注 ビット操作命令を使用しないのは、DMA 転送終了ステータス・フラグ (DMAチャンネル・コントローラ・レジスタn (DCHCn)のTCnビット) がリードすることによりクリアされるのを防ぐためです。なお、TCnビットは、0ライトによるクリアはできません。

注意1. 特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

2. PRCMDレジスタに対するストア命令では、割り込みを受け付けません。これは、プログラムで上記 `LD.B`、`ANDI` を連続したストア命令で行うことを前提としています。 `LD.B`、`ANDI` の間にほかの命令が置かれていて、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります。誤動作の要因となるので注意してください。
3. PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定 () で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み () でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
4. IDLEモード、ソフトウェアSTOPモードに移行する場合(PSCレジスタのSTPビット = 1)には、直後にNOP命令を5命令以上挿入してください。それ以外の場合のNOP命令は不要です。
5. この処理を行う前に、すべてのDMA転送を終了させてください。

9.6.3 HALTモード

(1) 設定および動作状態

通常モード時、HALT命令を実行することにより、HALTモードに移行します。HALTモードに設定すると、メイン・クロック発振回路の動作は継続したまま、CPUの動作クロックが停止します。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定することにより、システム全体の平均消費電力を低減できます。

HALTモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAMなどの内部データ、ポートの内容は保持されます。また、CPUの命令処理に依存しない内蔵周辺機能（ポート以外）は動作を継続します。HALTモード時の各ハードウェアの状態は表9 - 2のようになります。

- 注意1. HALT命令のあとには、NOP命令を5回以上挿入してください。
2. 割り込み要求が保留されている状態で、HALT命令を実行した場合は、HALTモードに移行しますが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

表9 - 2 HALTモード時の動作状態

機 能	動作状態
メイン・クロック発振回路 (fx)	発振継続 (PLLモード時のPLLシンセサイザも動作継続)
CPU	動作停止
AD0-AD15	動 作
A0-A25	
RD, ASTB	
UWR, LWR	
CS0-CS7	
HLDRQ	
HLDAA	
WAIT	
CLKOUT	
INTC	動作可能
DMAC	動作可能
ROMコレクション	動作停止
ポート	HALTモード設定前の状態を保持
TM0	動作可能
TM1	動作可能
TM2	動作可能
TM3	動作可能
WDT	動作可能
CSI	動作可能
CSIA	動作可能
UART	動作可能
IIC ^注	動作可能
A/Dコンバータ	動作可能
PWM	動作可能
RTP	動作可能
内部データ	CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持

注 μ PD703166Y, 70F3166Yのみ。

(2) HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求、および $\overline{\text{RESET}}$ 端子入力により解除されます。

HALTモードの解除により、通常動作モードに移行します。

(a) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求による解除

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります。

(i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。

(ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求（ノンマスクابل割り込み要求を含む）が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

表9-3 割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

9.6.4 IDLEモード

(1) 設定および動作状態

通常動作モード時、パワー・セーブ・モード・レジスタ (PSMR) のPSMビット = 0に設定し、パワー・セーブ・コントロール・レジスタ (PSC) のSTPビット = 1に設定することにより、IDLEモードに移行します (9.6.2 制御レジスタ参照)。IDLEモードに設定するとメイン・クロック発振回路は動作を継続したままで、CPUや内蔵周辺機能へのクロックの供給が停止し、システム全体が停止します。

このモードの解除時は、発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため、高速に通常動作に移行できます。

ストア命令 (ST/SST命令) またはビット操作命令 (SET1/CLR1/NOT1命令) によるPSC, PSMRレジスタの設定でIDLEモードに移行します (9.6.2 制御レジスタ参照)。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。内蔵周辺I/O (ポート以外) も動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能は動作を継続します。IDLEモードは内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。またメイン・クロック発振回路は停止しないので、IDLEモードの解除には、HALTモードと同様に発振安定時間を確保することなく、高速に通常動作に復帰します。

注意 IDLEモードのあとには、NOP命令を5回以上挿入してください。

IDLEモード時の各ハードウェアの状態は表9 - 4のようになります。

表9 - 4 IDLEモード時の動作状態

機 能	動作状態
メイン・クロック発振回路 (fx)	発振継続 (PLLモード時のPLLシンセサイザも動作継続)
CPU	動作停止
AD0-AD15	ハイ・インピーダンス
A0-A25	
\overline{RD}	
\overline{UWR} , \overline{LWR}	
$\overline{CS0}$ - $\overline{CS7}$	
\overline{HLDAK}	
\overline{HLDRQ}	入力 (サンプリングなし)
\overline{WAIT}	
ASTB	ハイ・レベル出力
CLKOUT	ロウ・レベル出力
INTC	動作停止
DMAC	動作停止
ROMコレクション	動作停止
ポート	IDLEモード設定前の状態を保持
TM0	動作停止
TM1	動作停止
TM2	カウント・クロックに外部クロック (TI2n) 選択時, 動作可能
TM3	動作停止
WDT	動作停止
CSI	シリアル・クロックに外部クロック (\overline{SCK}) 選択時, 動作可能
CSIA	動作停止
UART	動作停止
IIC ^{注1}	動作停止
A/Dコンバータ	動作停止 ^{注2}
PWM	動作停止
RTP	動作停止
内部データ	CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLEモード設定前の状態を保持

注1. μ PD703166Y, 70F3166Yのみ。

- IDLEモードに設定する前に, 必ずA/Dコンバータの動作を停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビット = 0) してください。動作を停止しない場合, A/Dコンバータの消費電流は低減しません。

(2) IDLEモードの解除

IDLEモードは、ノンマスクابل割り込み要求（NMI端子入力）、マスクされていない外部割り込み要求（INTP0-INTP10端子入力）、動作可能な内蔵周辺機能から出力されるマスクされていないマスクابل割り込み要求、およびRESET端子入力により解除されます。

IDLEモードの解除により、通常動作モードに移行します。

(a) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求による解除

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。ただし、マスクابل割り込み処理ルーチン内でIDLEモードに設定した場合は次のように動作が異なります。

注意 PSCレジスタのNMI0M, INTMビット = 1でIDLEモード解除が禁止されている割り込み要求は無効になり、IDLEモードは解除されません。

- (i) 現在処理中のマスクابل割り込み要求よりも優先順位の低い割り込み要求が発生するとIDLEモードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。
- (ii) 現在処理中のマスクابل割り込み要求よりも優先順位が高い割り込み要求（ノンマスクابل割り込み要求を含む）が発生すると、IDLEモードの解除とともにこの割り込み要求を受け付けます。

表9 - 5 割り込み要求によるIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

NMI処理ルーチン内でIDLEモードに設定した場合は、IDLEモードの解除だけを行い、この割り込みは受け付けません（割り込みは保持されます）。

IDLEモード解除時のNMI端子によるNMI割り込み処理は、通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが同一のため）。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェアによるフラグをあらかじめ用意しておき、PSMRレジスタ設定の前に、フラグを設定しておく必要があります。NMIの割り込み処理でこのフラグをチェックすることで、通常のNMIとの区別が可能です。

(b) RESET端子入力による解除

通常のリセット動作と同じです。

9.6.5 ソフトウェアSTOPモード

(1) 設定および動作状態

通常動作モード時、パワー・セーブ・モード・レジスタ (PSMR) のPSMビット = 1に設定し、パワー・セーブ・コントロール・レジスタ (PSC) のSTPビット = 1に設定することにより、ソフトウェアSTOPモードに移行します (9.6.2 制御レジスタ参照)。ソフトウェアSTOPモードに設定すると、メイン・クロック発振回路が停止し、CPUや周辺機能へのクロック供給も停止します。

クロック・ジェネレータ (発振回路およびPLLシンセサイザ) を停止させるモードです。システム全体を停止させます

ソフトウェアSTOPモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。内蔵周辺I/O (ポート以外) も動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能は動作を継続します。

ソフトウェアSTOPモードはメイン・クロック発振回路の動作が停止するので、IDLEモードよりさらに低消費電力を実現できます。また外部クロックを使用しない場合は、デバイスのリーク電流のみの超低消費電力を実現できます。

ソフトウェアSTOPモード時の各ハードウェアの状態は表9-6のようになります。

ソフトウェアSTOPモード解除時には、発振回路の発振安定時間を確保する必要があります。

また、PLLモード時、ソフトウェアSTOPモード解除後は、ウォッチドッグ・タイマによる発振安定時間を確保したあとにプログラムの実行が開始されます。

注意 ソフトウェアSTOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5回以上挿入してください。

表9 - 6 ソフトウェアSTOPモード時の動作状態

機 能	動作状態
メイン・クロック発振回路 (fx)	発振停止 (PLLモード時のPLLシンセサイザも動作停止)
CPU	動作停止
AD0-AD15	ハイ・インピーダンス
A0-A25	
RD	ハイ・レベル出力
UWR, LWR	
CS0-CS7	
HLD $\overline{\text{AK}}$	
HLDR $\overline{\text{Q}}$	
WAIT	入力 (サンプリングなし)
ASTB	ハイ・レベル出力
CLKOUT	ロウ・レベル出力
INTC	動作停止
DMAC	動作停止
ROMコレクション	動作停止
ポート	ソフトウェアSTOPモード設定前の状態を保持
TM0	動作停止
TM1	動作停止
TM2	カウント・クロックに外部クロック (T12n) 選択時, 動作可能
TM3	動作停止
WDT	動作停止
CSI	シリアル・クロックに外部クロック (SCK) 選択時, 動作可能
CSIA	動作停止
UART	動作停止
IIC ^{注1}	動作停止
A/Dコンバータ	動作停止 ^{注2}
PWM	動作停止
RTP	動作停止
内部データ	CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてソフトウェアSTOPモード設定前の状態を保持

注1. μ PD703166Y, 70F3166Yのみ。

- ソフトウェアSTOPモードに設定する前に, 必ずA/Dコンバータの動作を停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビット = 0) してください。動作を停止しない場合, A/Dコンバータの消費電流は低減しません。

(2) ソフトウェアSTOPモードの解除

ソフトウェアSTOPモードは、ノンマスクابل割り込み要求（NMI端子入力）、マスクされていない外部割り込み要求（INTP0-INTP10端子入力）、動作可能な内蔵周辺機能から出力されるマスクされていないマスクابل割り込み要求および、 $\overline{\text{RESET}}$ 端子入力により解除されます。

ソフトウェアSTOPモードの解除により、発振安定時間を確保したあとに、通常動作モードに復帰します。ただし、 $\overline{\text{RESET}}$ 端子入力による解除の場合、発振安定時間はRESET端子入力のロウ・レベル幅で確保する必要があります。

(a) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求による解除

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。ただし、マスクابل割り込み処理ルーチン内でソフトウェアSTOPモードに設定した場合は次のように動作が異なります。

注意 PSCレジスタのNMI0M, INTMビット = 1でソフトウェアSTOPモード解除が禁止されている割り込み要求は無効になり、ソフトウェアSTOPモードは解除されません。

- (i) 現在処理中のマスクابل割り込み要求よりも優先順位の低い割り込み要求が発生するとソフトウェアSTOPモードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。
- (ii) 現在処理中のマスクابل割り込み要求よりも優先順位が高い割り込み要求（ノンマスクابل割り込み要求を含む）が発生すると、ソフトウェアSTOPモードの解除とともにこの割り込み要求を受け付けます。

表9 - 7 割り込み要求によるソフトウェアSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

NMI処理ルーチン内でソフトウェアSTOPモードに設定した場合は、ソフトウェアSTOPモードの解除だけを行い、この割り込みは受け付けません（割り込みは保持されます）。

ソフトウェアSTOPモード解除時のNMI端子によるNMI割り込み処理は、通常のNMI割り込み処理と同等に扱われます（NMI割り込みのハンドラ・アドレスが同一のため）。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェアによるフラグをあらかじめ用意しておき、PSMRレジスタ設定の前に、フラグ設定しておく必要があります。

NMIの割り込み処理でこのフラグをチェックすることで、通常のNMIとの区別が可能です。

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

9.6.6 ソフトウェアSTOPモード時の発振安定時間の確保

ソフトウェアSTOPモードに設定されることにより、メイン・クロック発振回路は動作を停止しますので、ソフトウェアSTOPモード解除後には、メイン・クロック発振回路の発振安定時間を確保する必要があります。

発振安定時間の確保の方法は、ソフトウェアSTOPモードの解除要因により、それぞれ異なります。

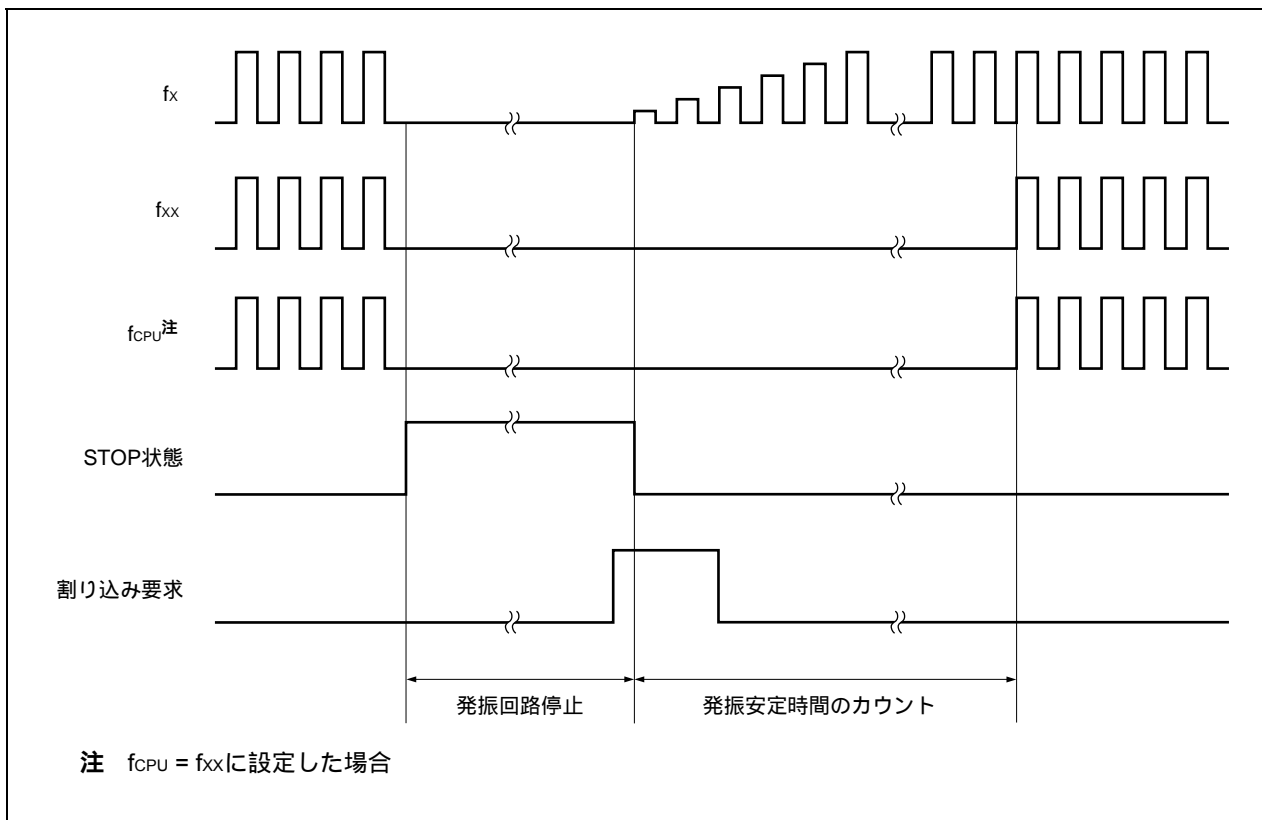
(1) ノンマスカブル割り込み要求、マスクされていないマスカブル割り込み要求による解除

発振安定時間は、ウォッチドッグ・タイマにより確保されます。

ウォッチドッグ・タイマはソフトウェアSTOPモードに移行すると、発振安定用タイマ・モードになります。ソフトウェアSTOPモードの解除要因が発生すると、ウォッチドッグ・タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。

ウォッチドッグ・タイマによる発振安定時間は、発振安定時間選択レジスタ (OSTS) の設定値により異なります。OSTSレジスタの設定は15.3 (1) 発振安定時間選択レジスタ (OSTS) を参照してください。

図9-3 割り込み要求によるソフトウェアSTOPモードの解除



(2) リセット入力による解除

発振安定時間は、 $\overline{\text{RESET}}$ 端子入力のロウ・レベル幅で確保します。

図9 - 4 リセット入力によるソフトウェアSTOPモードの解除 (PLLモード時)

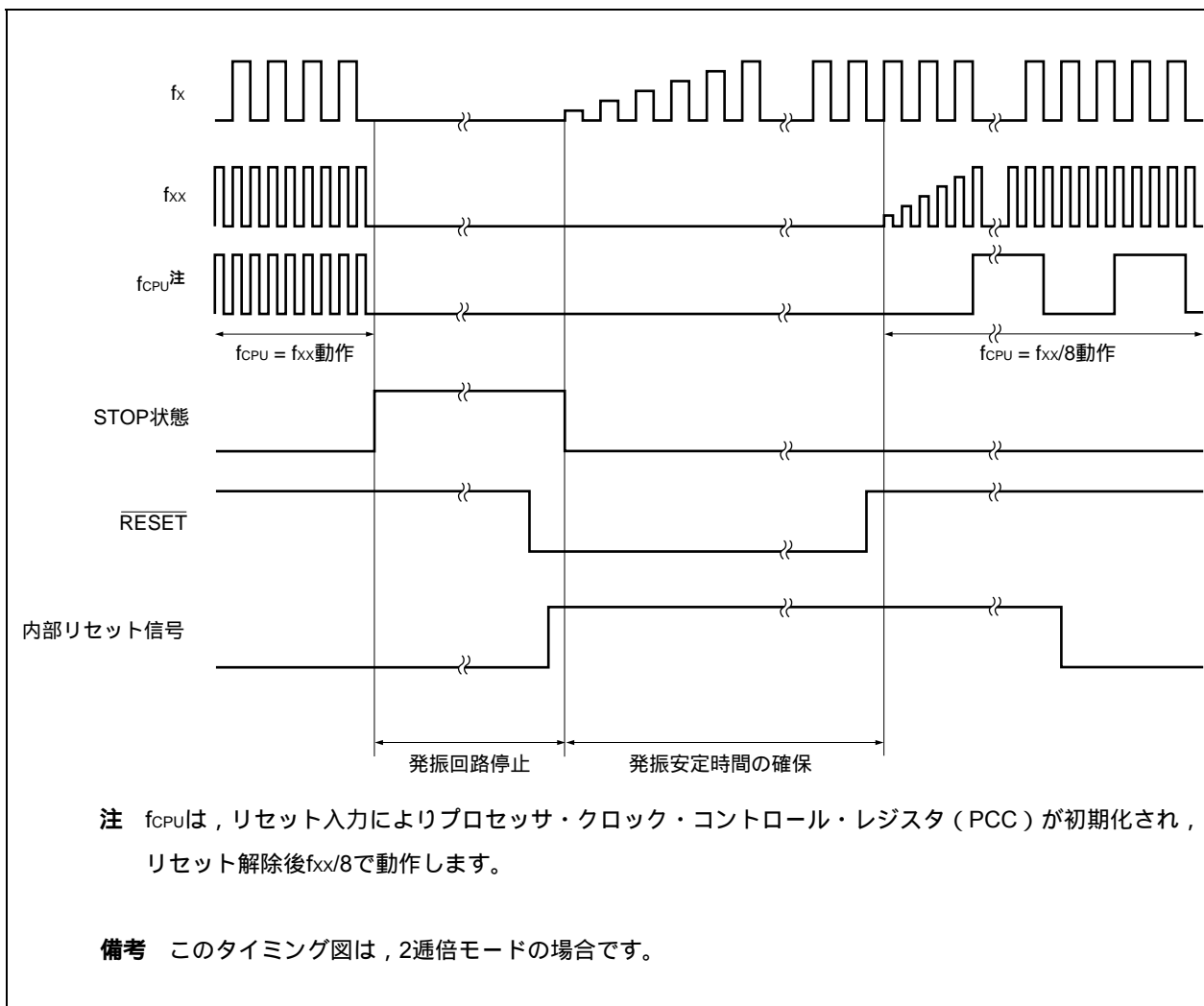
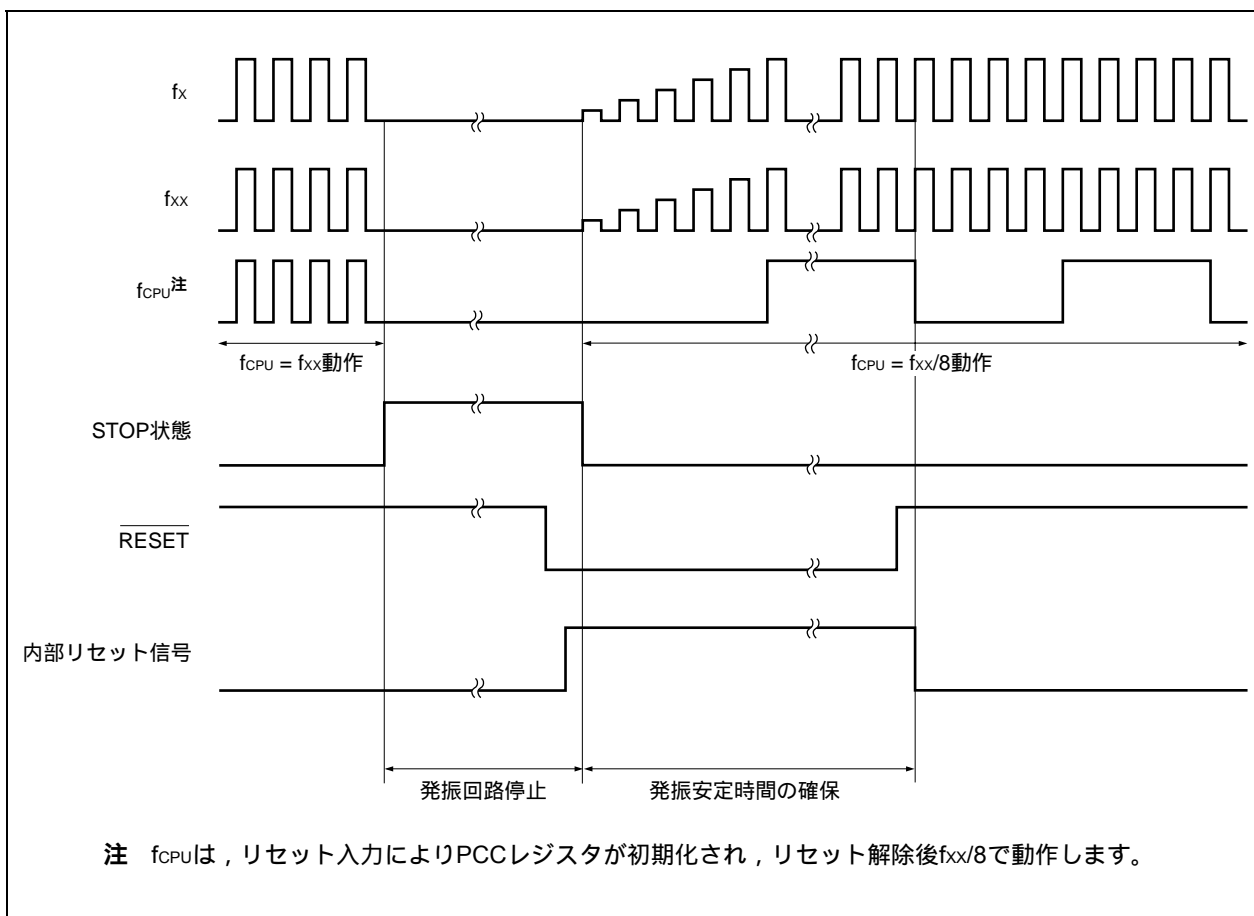


図9-5 リセット入力によるソフトウェアSTOPモードの解除（クロック・スルー・モード時）



9.6.7 発振安定時間選択レジスタ (OSTS)

発振安定時間選択レジスタ (OSTS) は、発振回路からのクロック出力が安定するまでの時間を選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

15.3 (1) 発振安定時間選択レジスタ (OSTS) を参照してください。

第10章 ポート機能

10.1 特 徴

入力専用ポート : 24本

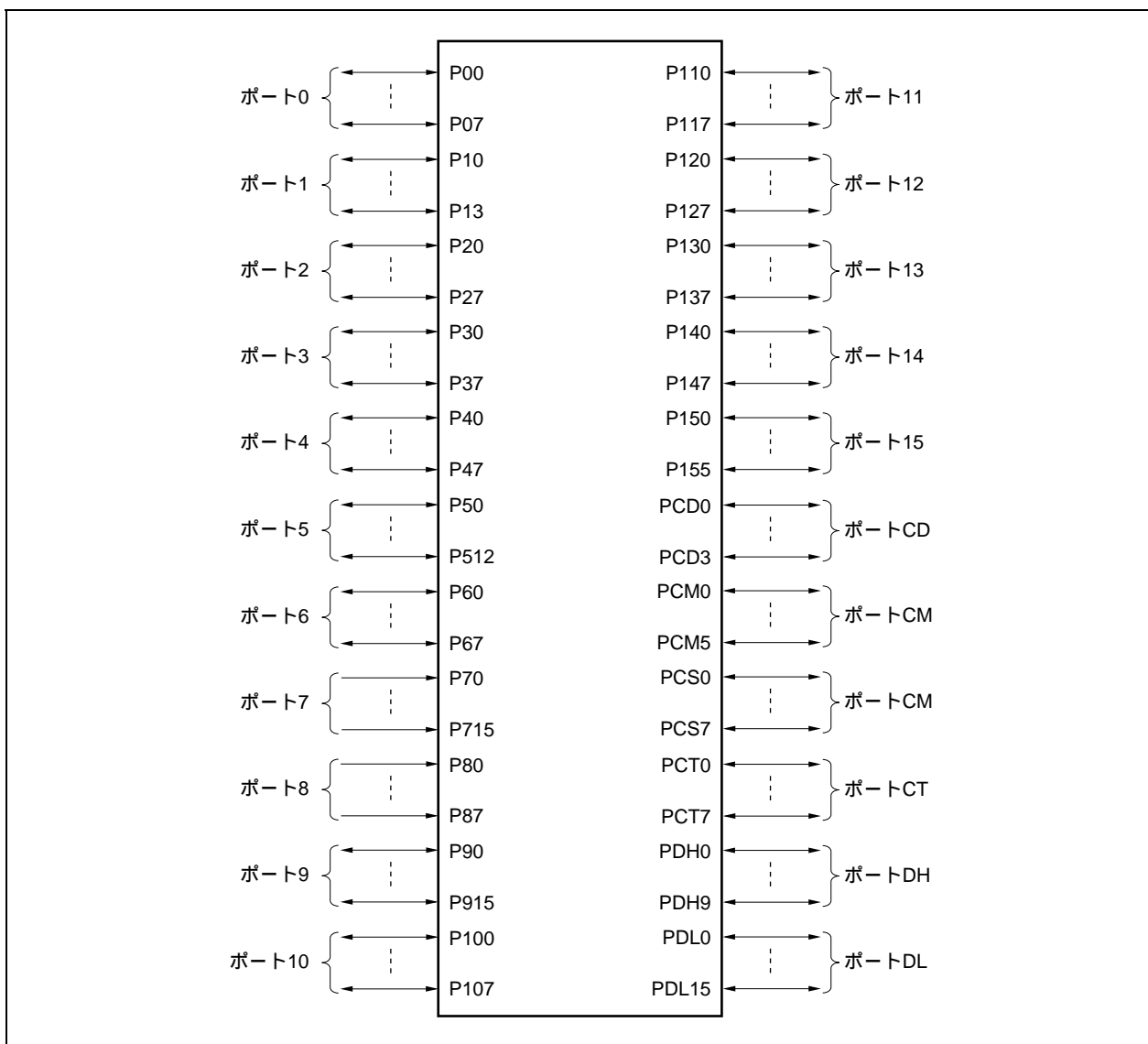
入出力ポート : 171本

ほかの周辺機能の入出力端子と兼用

1ビット単位で入力 / 出力指定可能

10.2 ポートの基本構成

V850E/SV2は、ポート0-15, CD, CM, CS, CT, DH, DLの合計195本の入力 / 出力ポート (うち24本は入力専用ポート) を内蔵しています。ポートの構成を次に示します。



10.3 各ポートの端子機能

10.3.1 ポート0

ポート0は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P00-P07をNMI, INTP0-INPT6端子として使用する場合、アナログ・ノイズ除去回路によりノイズ除去できません。

リセット時：不定 R/W アドレス：FFFFFF400H

	7	6	5	4	3	2	1	0
P0	P07	P06	P05	P04	P03	P02	P01	P00

P0n	出力データの制御（出力モード時）（n=0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート0（P0）をリードすると、そのときの端子レベルを読み出します。ライトすると、P0にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート0（P0）をリードすると、P0の値を読み出します。ライトすると、P0に値を書き込み、すぐ書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP0をリードすると不定（端子入力レベル）を読み出します。出力モード時にP0をリードすると00H（出力ラッチの値）を読み出します。

ポート0は、次に示す端子と兼用しています。

表10 - 1 ポート0の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート0	P00	NMI	入出力	あり	アナログ・ノイズ除去
	P01	INTP0			
	P02	INTP1			
	P03	INTP2			
	P04	INTP3			
	P05	INTP4/ADTRG			
	P06	INTP5/RTPTRG0			
	P07	INTP6/RTPTRG1			

注 ソフトウェア・プルアップ機能

(1) P0端子の機能

ポート0は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

出力モード時、ポート0(P0)に設定した各ビットの値を出力します。出力モードとして使用するときは、各割り込み要求の有効エッジを無効にするか、各割り込み要求をマスク(NMI以外)してください。

入力モード時にP0をリードすると端子状態をリードできます。また、出力モード時にP0をリードすると、P0(出力ラッチ)の値をリードできます。

ポート0モード・レジスタ(PM0)で入出力を制御します。またポート0モード・コントロール・レジスタ(PMC0)でコントロール・モード(兼用機能)の設定を行います。

NMI, INTP0-INTP6端子の有効エッジは、外部割り込み立ち下がりエッジ指定レジスタ0(INTF0)、外部割り込み立ち上がりエッジ指定レジスタ0(INTR0)で指定します。

プルアップ抵抗オプション・レジスタ0(PU0)の指定により、1ビット単位でプルアップ抵抗を接続できます。

リセット入力により、入力モードに初期化されます。また、各割り込み要求の有効エッジも無効になります(リセット直後、NMI, INTP0-INTP6端子は機能しません)。

ADTRG端子の有効エッジは、INTF0, INTFR0レジスタでは設定できません。A/Dコンバータ・モード・レジスタ0(ADM0)のEGA1, EGA0ビットで設定します(第20章 A/Dコンバータ参照)。

RTPTRG0, RTPTRG1端子の有効エッジは、INTF0, INTFR0レジスタでは設定できません。リアルタイム出力ポート・モード・コントロール・レジスタ0, 1(RTPC0, RTPC1)のRTPEGn1, RTPEGn0ビットで設定します(第22章 リアルタイム出力機能参照)。

(2) 制御レジスタ

(a) ポート0モード・レジスタ(PM0)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFF420H

	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00
PM0n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(b) ポート0モード・コントロール・レジスタ (PMC0)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF440H

	7	6	5	4	3	2	1	0
PMC0	PMC07	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00
	P07端子の動作モードの指定							
	0	入出力ポート						
	1	INTP6/RTPTRG1入力						
	P06端子の動作モードの指定							
	0	入出力ポート						
	1	INTP5/RTPTRG0入力						
	P05端子の動作モードの指定							
	0	入出力ポート						
	1	INTP4/ADTRG入力						
	P04端子の動作モードの指定							
	0	入出力ポート						
	1	INTP3入力						
	P03端子の動作モードの指定							
	0	入出力ポート						
	1	INTP2入力						
	P02端子の動作モードの指定							
	0	入出力ポート						
	1	INTP1入力						
	P01端子の動作モードの指定							
	0	入出力ポート						
	1	INTP0入力						
	P00端子の動作モードの指定							
	0	入出力ポート						
	1	NMI入力						

(c) プルアップ抵抗オプション・レジスタ0 (PU0)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFC40H

	7	6	5	4	3	2	1	0
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(d) 外部割り込み立ち上がりエッジ指定レジスタ0 (INTF0)

外部割り込み端子の立ち上がりエッジ検出エッジを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際、エッジ検出を行う可能性があるため、INTF0n = INTR0nビット = 0に設定したあとにポート・モードに設定してください。

リセット時：00H R/W アドレス：FFFFFC00H

	⑦	⑥	⑤	④	③	②	①	①
INTF0	INTF07	INTF06	INTF05	INTF04	INTF03	INTF02	INTF01	INTF00

備考 有効エッジの指定については表10 - 2を参照してください。

(e) 外部割り込み立ち上がりエッジ指定レジスタ0 (INTR0)

外部割り込み端子の立ち上がりエッジ検出エッジを指定する8ビットのレジスタです。
8/1ビット単位でリード/ライト可能です。

注意 外部割り込み機能(兼用機能)からポート機能に切り替える際、エッジ検出を行う可能性があるため、INTF0n = INTR0nビット = 0に設定したあとにポート・モードに設定してください。



表10 - 2 有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 0-7)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考 n = 0 : NMI端子の制御
n = 1-7 : INTP0-INTP6端子の制御

(3) ノイズ除去

(a) NMI, INTP0-INTP6端子のノイズ除去

アナログ・ディレイによるノイズ除去回路を内蔵しています。このため、これらの端子に一定時間以上同じレベルの信号を入力すると、有効エッジとして検出します。また、エッジの検出は一定時間後になります。

注意 通常入力ポートとして使用する場合はノイズ除去を行いません。

(4) ブロック図

図10 - 1 P00-P04のブロック図

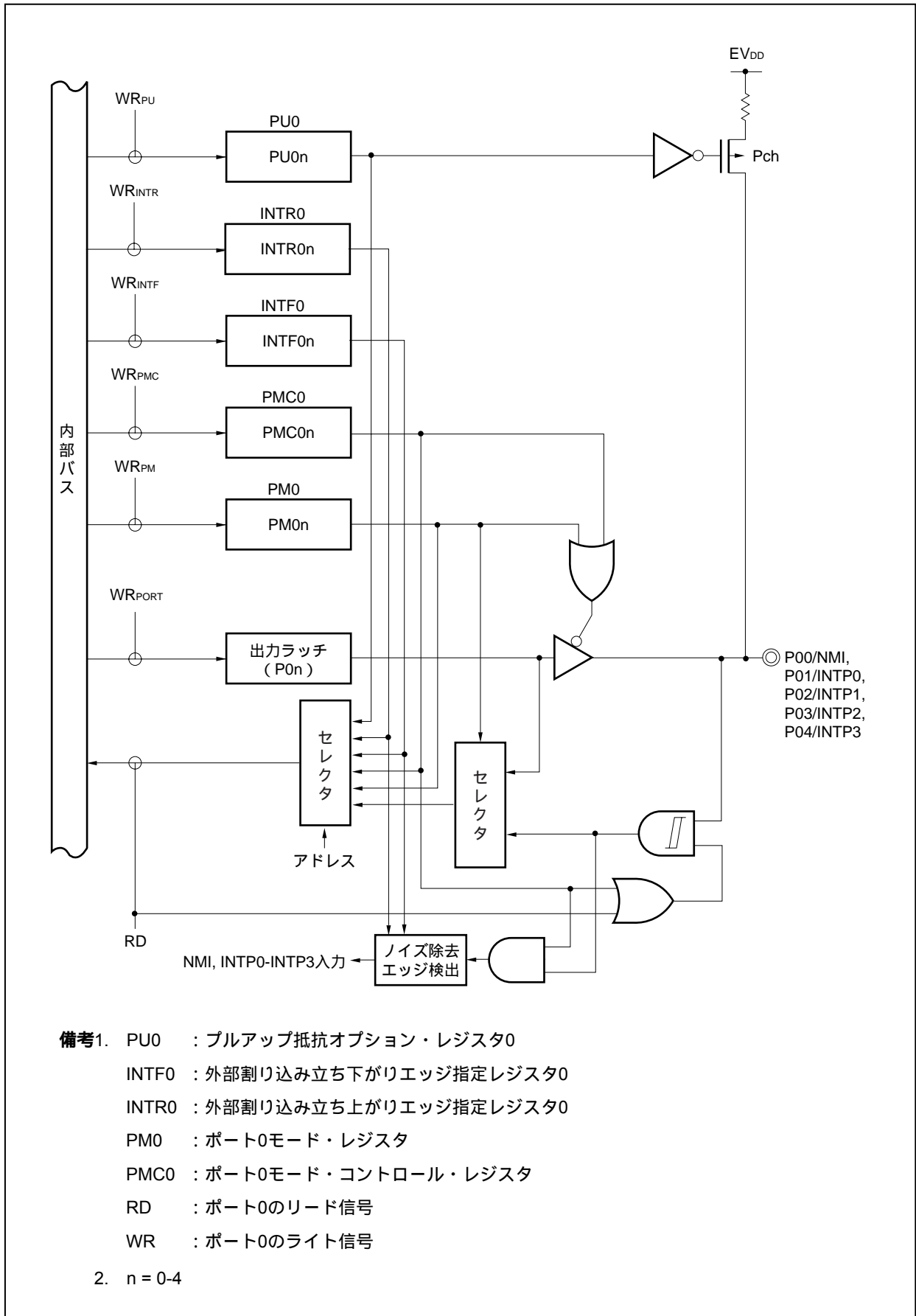
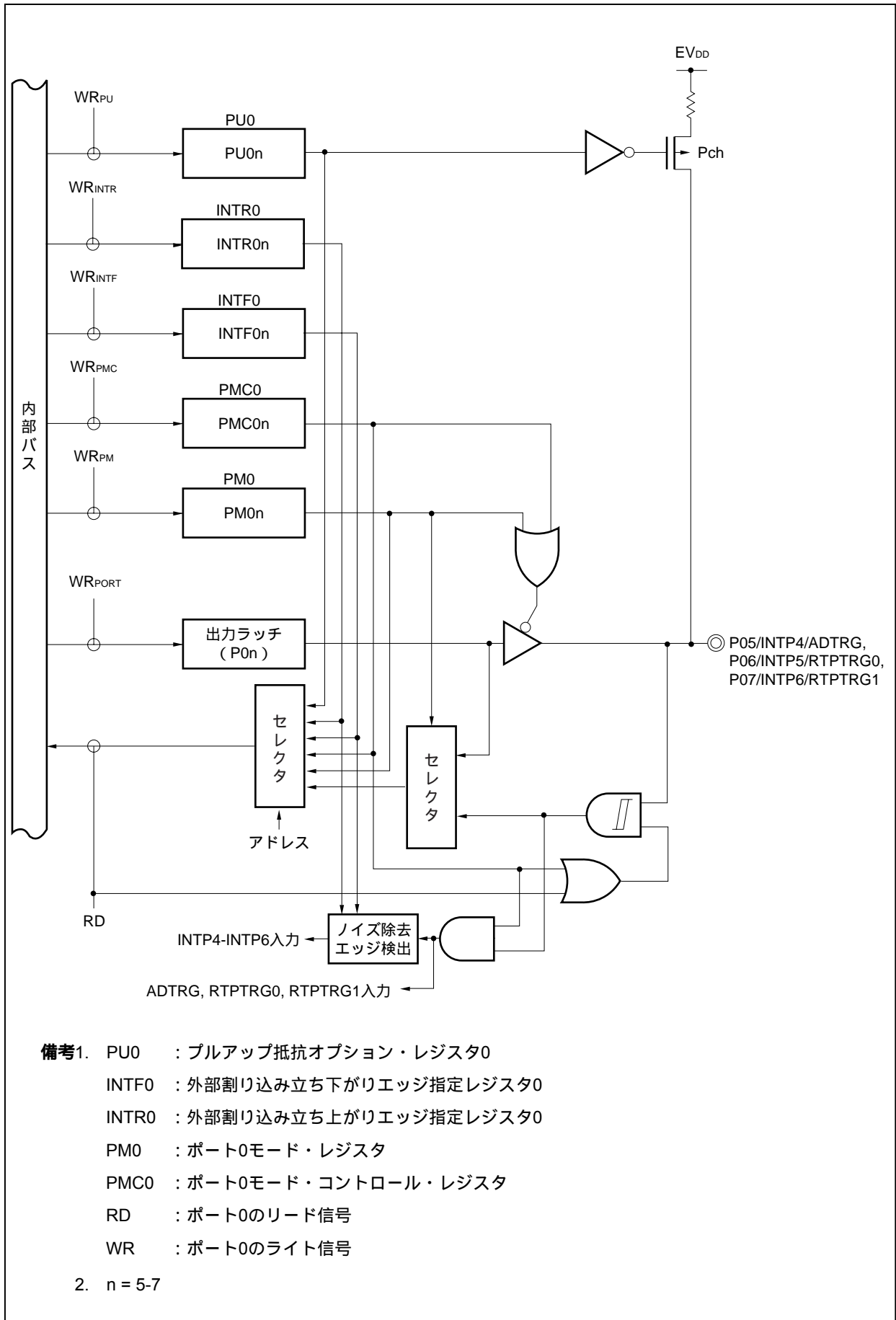


図10 - 2 P05-P07のブロック図



10.3.2 ポート1

ポート1は、1ビット単位で入出力を制御できる4ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

リセット時：不定 R/W アドレス：FFFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	P13	P12	P11	P10

P1n	出力データの制御（出力モード時）（n = 0-3）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート1（P1）をリードすると、そのときの端子レベルを読み出します。ライトすると、P1にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート1（P1）をリードすると、P1の値を読み出します。ライトすると、P1に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP1をリードすると不定（端子入力レベル）を読み出します。出力モード時にP1をリードすると00H（出力ラッチの値）を読み出します。

ポート1は、次に示す端子と兼用しています。

表10-3 ポート1の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート1	P10	INTP7	入出力	あり	-
	P11	INTP8			
	P12	INTP9			
	P13	INTP10			

注 ソフトウェア・プルアップ機能

(1) P1端子の機能

ポート1は、1ビット単位で入出力を制御できる4ビット入出力ポートです。

出力モード時、ポート1（P1）に設定した各ビットの値を出力します。

入力モード時にP1をリードすると端子状態をリードできます。また、出力モード時にP1をリードすると、P1（出力ラッチ）の値をリードできます。

リセット入力により、入力モードに初期化されます。

INTP7-INTP10の有効エッジは、外部割り込み立ち下がりエッジ指定レジスタ1（INTF1）、外部割り込み立ち上がりエッジ指定レジスタ1（INTR1）で指定します。

プルアップ抵抗オプション・レジスタ1（PU1）の指定により、1ビット単位でプルアップ抵抗を接続できます。

ポート1モード・レジスタ（PM1）で入出力を制御します。またポート1モード・コントロール・レジスタ（PMC1）でコントロール・モードの設定を行います。

(2) 制御レジスタ

(a) ポート1モード・レジスタ (PM1)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	PM13	PM12	PM11	PM10

PM1n	入出力モードの制御 (n = 0-3)	
0	出力モード	
1	入力モード	

(b) ポート1モード・コントロール・レジスタ (PMC1)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF442H

	7	6	5	4	3	2	1	0
PMC1	0	0	0	0	PMC13	PMC12	PMC11	PMC10

PMC13	P13端子の動作モードの指定	
0	入出力ポート	
1	INTP10入力	

PMC12	P12端子の動作モードの指定	
0	入出力ポート	
1	INTP9入力	

PMC11	P11端子の動作モードの指定	
0	入出力ポート	
1	INTP8入力	

PMC10	P10端子の動作モードの指定	
0	入出力ポート	
1	INTP7入力	

(c) プルアップ抵抗オプション・レジスタ1 (PU1)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFC42H

	7	6	5	4	3	2	1	0
PU1	0	0	0	0	PU13	PU12	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御 (n = 0-3)
0	接続しない
1	接続する

(d) 外部割り込み立ち上がりエッジ指定レジスタ1 (INTF1)

外部割り込み端子の立ち上がり検出エッジを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際、エッジ検出を行う可能性があるため、INTF1n = INTR1nビット = 0に設定したあとにポート・モードに設定してください。

リセット時：00H R/W アドレス：FFFFC02H

	7	6	5	4	③	②	①	④
INTF1	0	0	0	0	INTF13	INTF12	INTF11	INTF10

備考 有効エッジの指定については表10 - 4を参照してください。

(e) 外部割り込み立ち上がりエッジ指定レジスタ1 (INTR1)

外部割り込み端子の立ち上がり検出エッジを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

注意 外部割り込み機能(兼用機能)からポート機能に切り替える際、エッジ検出を行う可能性があるため、INTF1n = INTR1nビット = 0に設定したあとにポート・モードに設定してください。

リセット時：00H R/W アドレス：FFFFFC22H

	7	6	5	4	③	②	①	④
INTR1	0	0	0	0	INTR13	INTR12	INTR11	INTR10

備考 有効エッジの指定については表10 - 4を参照してください。

表10 - 4 有効エッジの指定

INTF1n	INTR1n	有効エッジの指定 (n = 0-3)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考 n = 0-3 : INTP7-INTP10端子の制御

(3) ノイズ除去

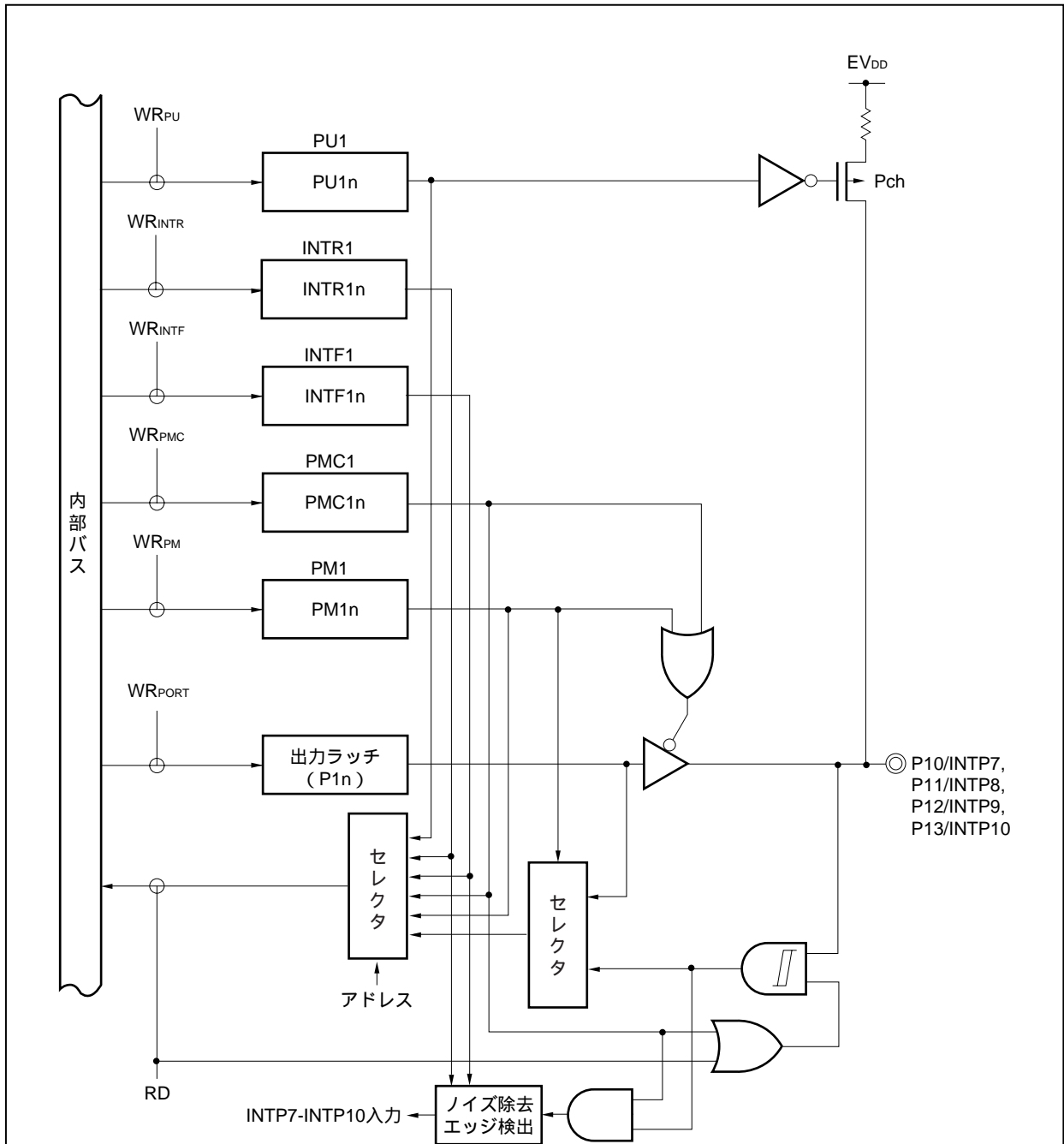
(a) INTP7-INTP10端子のノイズ除去

アナログ・ディレイによるノイズ除去回路を内蔵しています。このため、これらの端子に一定時間以上同じレベルの信号を入力すると、有効エッジとして検出します。また、エッジの検出は一定時間後になります。

注意 通常入力ポートとして使用する場合はノイズ除去を行いません。

(4) ブロック図

図10 - 3 P10-P13のブロック図



- 備考1. PU1 : プルアップ抵抗オプション・レジスタ1
 INTF1 : 外部割り込み立ち下がりエッジ指定レジスタ1
 INTR1 : 外部割り込み立ち上がりエッジ指定レジスタ1
 PM1 : ポート1モード・レジスタ
 PMC1 : ポート1モード・コントロール・レジスタ
 RD : ポート1のリード信号
 WR : ポート1のライト信号

2. n = 0-3

10.3.3 ポート2

ポート2は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

P26, P27は通常出力とN-chオープン・ドレイン出力を選択できます。

リセット時：不定 R/W アドレス：FFFFFF404H

	7	6	5	4	3	2	1	0
P2	P27	P26	P25	P24	P23	P22	P21	P20

P2n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート2(P2)をリードすると、そのときの端子レベルを読み出します。ライトすると、P2にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート2(P2)をリードすると、P2の値を読み出します。ライトすると、P2に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP2をリードすると不定（端子入力レベル）を読み出します。出力モード時にP2をリードすると00H（出力ラッチの値）を読み出します。

ポート2は次に示す端子と兼用しています。SDA, SCL端子はμ PD703166Y, 70F3166Yのみ有効です。

表10-5 ポート2の兼用端子

端子名		兼用端子名	入出力	PULL ^{注1}	備考
ポート2	P20	SOA1	入出力	あり	-
	P21	SIA0			
	P22	SCKA0			
	P23	SOA1			
	P24	SIA1			
	P25	SCKA1			
	P26	SDA ^{注2}			
	P27	SCL ^{注2}			

注1. ソフトウェア・プルアップ機能

2. μ PD703166Y, 70F3166Yのみ

(1) P2端子の機能

ポート2は、1ビット単位で入出力を制御できる8ビット入出力ポートです。出力モード時、ポート2(P2)に設定した各ビットの値を出力します。またポート2ファンクション・レジスタ(PF2)により、P26、P27の出力を通常出力とN-chオープン・ドレーン出力のどちらかに指定できます。

入力モード時にP2をリードすると端子状態をリードできます。また、出力モード時にP2をリードすると、P2(出力ラッチ)の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポート2モード・レジスタ(PM2)で入出力を制御します。またポート2モード・コントロール・レジスタ(PMC2)でコントロール・モードの設定を行います。

プルアップ抵抗オプション・レジスタ2(PU2)の指定により、1ビット単位でプルアップ抵抗を接続できます。

(2) 制御レジスタ

(a) ポート2モード・レジスタ(PM2)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：FFH R/W アドレス：FFFFFF424H

	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20
PM2n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(b) ポート2モード・コントロール・レジスタ (PMC2)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF444H

	7	6	5	4	3	2	1	0
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20
	P27端子の動作モードの指定							
	0	入出力ポート						
	1	SCL入出力						
	P26端子の動作モードの指定							
	0	入出力ポート						
	1	SDA入出力						
	P25端子の動作モードの指定							
	0	入出力ポート						
	1	SCKA1入出力						
	P24端子の動作モードの指定							
	0	入出力ポート						
	1	SIA1入力						
	P23端子の動作モードの指定							
	0	入出力ポート						
	1	SOA1出力						
	P22端子の動作モードの指定							
	0	入出力ポート						
	1	SCKA0入出力						
	P21端子の動作モードの指定							
	0	入出力ポート						
	1	SIA0入力						
	P20端子の動作モードの指定							
	0	入出力ポート						
	1	SOA0出力						

(c) プルアップ抵抗オプション・レジスタ2 (PU2)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFFFFC44H

	7	6	5	4	3	2	1	0
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20

PU2n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(d) ポート2ファンクション・レジスタ (PF2)

通常出力 / N-chオープン・ドレイン出力を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFFFFC64H

	7	6	5	4	3	2	1	0
PF2	PF27	PF26	0	0	0	0	0	0

PF2n	通常出力 / N-chオープン・ドレイン出力の制御 (n = 6, 7)
0	通常出力
1	N-chオープン・ドレイン出力

(3) ブロック図

図10 - 4 P20, P23のブロック図

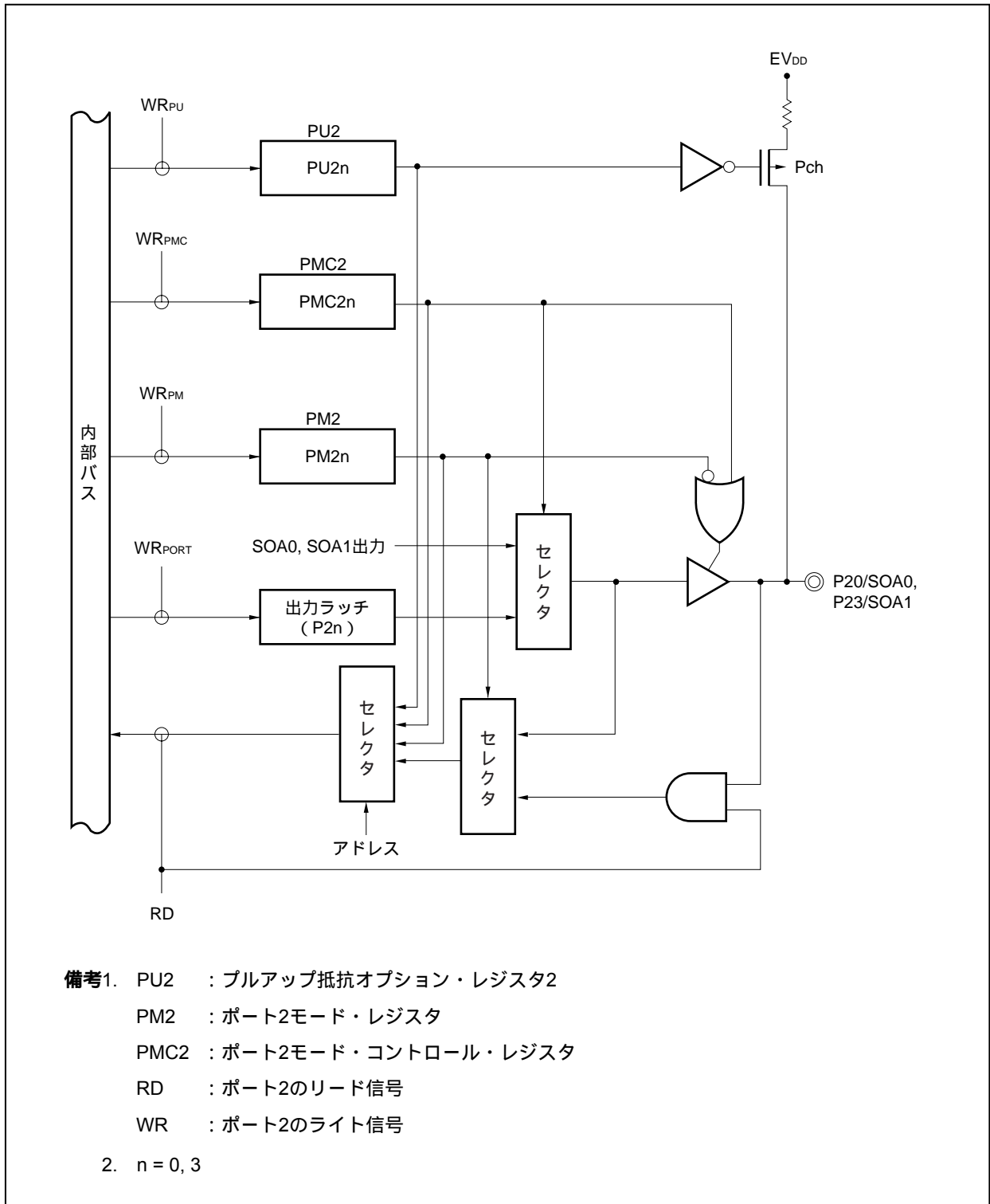


図10 - 5 P21, P24のブロック図

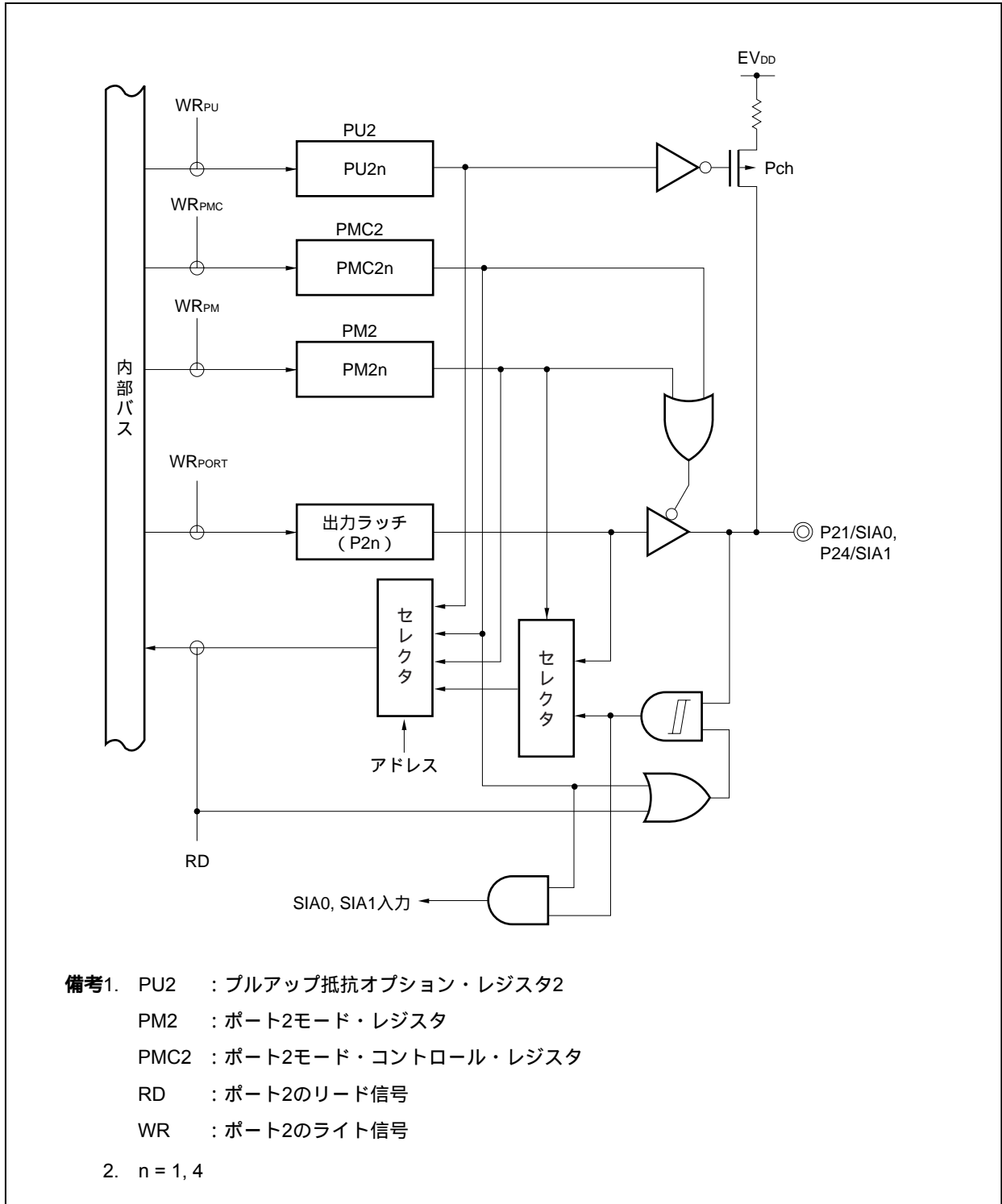


図10 - 6 P22, P25のブロック図

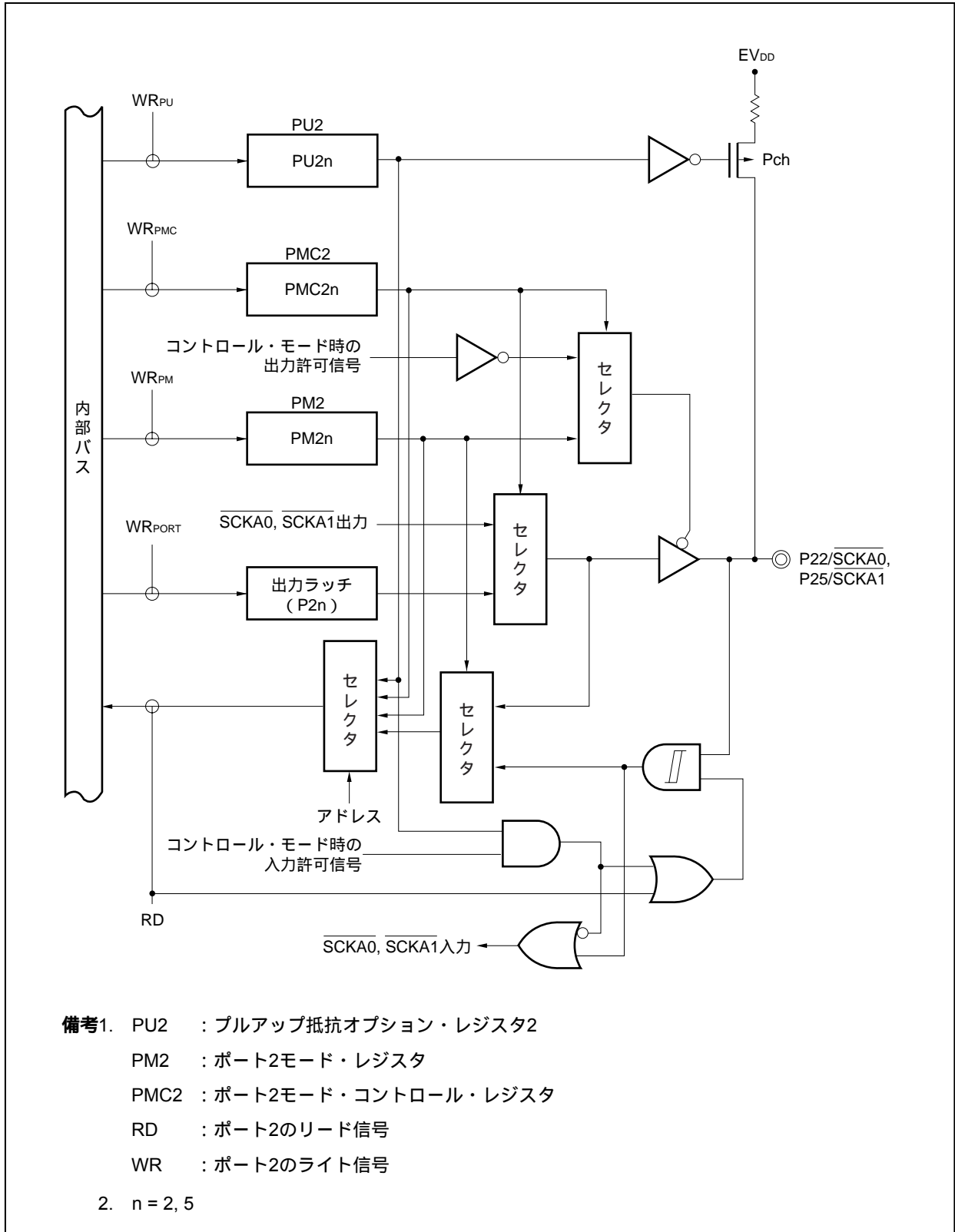
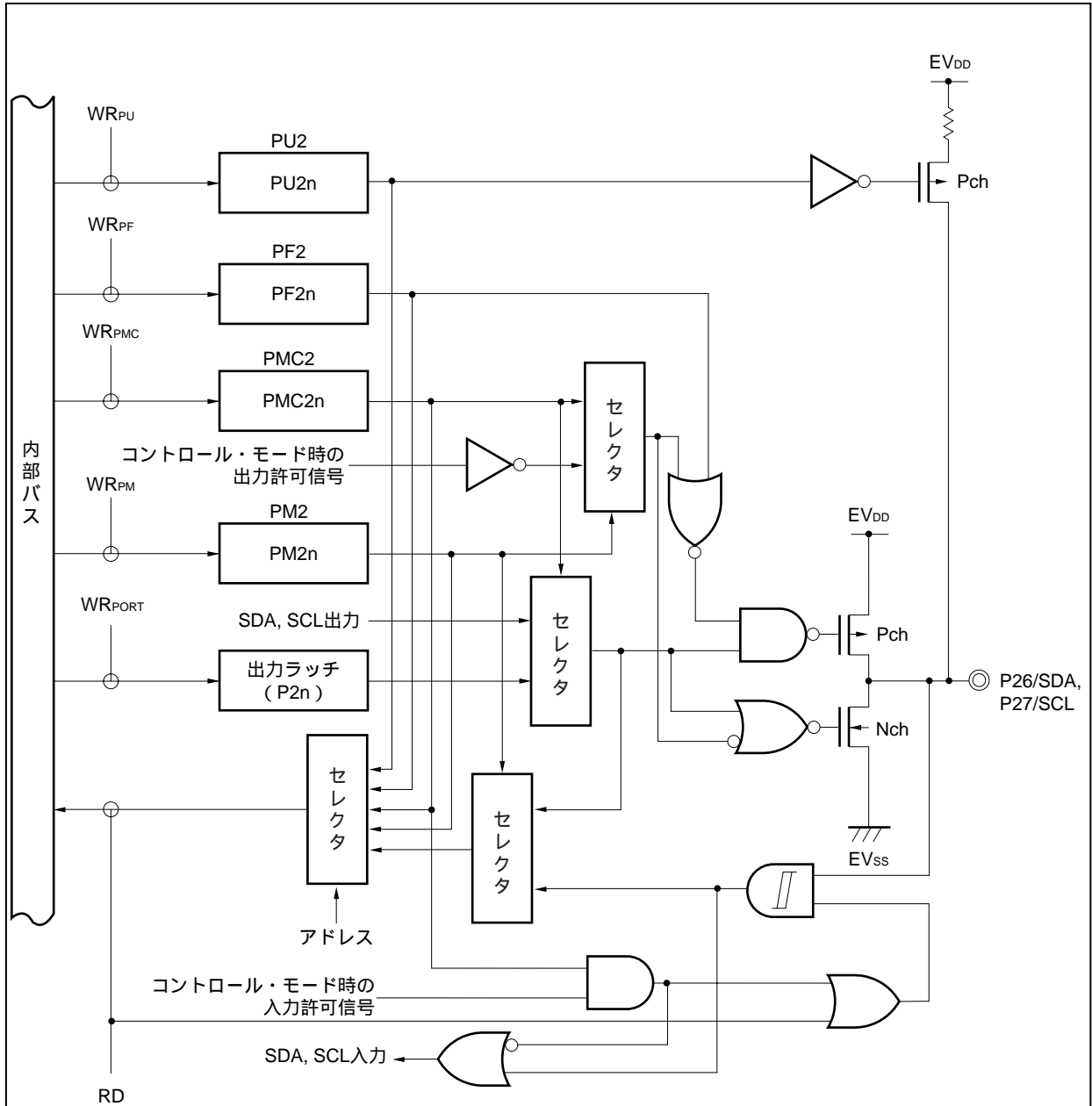


図10 - 7 P26, P27のブロック図



- 備考1. PU2 : プルアップ抵抗オプション・レジスタ2
 PF2 : ポート2ファンクション・レジスタ
 PM2 : ポート2モード・レジスタ
 PMC2 : ポート2モード・コントロール・レジスタ
 RD : ポート2のリード信号
 WR : ポート2のライト信号

2. n = 6, 7

10.3.4 ポート3

ポート3は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

リセット時：不定 R/W アドレス：FFFFFF406H

	7	6	5	4	3	2	1	0
P3	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート3（P3）をリードすると、そのときの端子レベルを読み出します。ライトすると、P3にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート3（P3）をリードすると、P3の値を読み出します。ライトすると、P3に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP3をリードすると不定（端子入力レベル）を読み出します。出力モード時にP3をリードすると00H（出力ラッチの値）を読み出します。

ポート3は、次に示す端子と兼用しています。

表10-6 ポート3の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート3	P30	TXD0	入出力	あり	-
	P31	RXD0			
	P32	SO2			
	P33	SI2			
	P34	SCK2			
	P35	SO3/TXD1			
	P36	SI3/RXD1			
	P37	SCK3			

注 ソフトウェア・プルアップ機能

(1) P3端子の機能

ポート3は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

出力モード時、ポート3 (P3) に設定した各ビットの値を出力します。

入力モード時にP3をリードすると端子状態をリードできます。また、出力モード時にP3をリードすると、P3 (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポート3モード・レジスタ (PM3) により、入出力を制御します。またポート3モード・コントロール・レジスタ (PMC3)、ポート3ファンクション・コントロール・レジスタ (PFC3) でコントロール・モードの設定を行います。

プルアップ抵抗オプション・レジスタ3 (PU3) の指定により、1ビット単位でプルアップ抵抗を接続できます。

(2) 制御レジスタ

(a) ポート3モード・レジスタ (PM3)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF426H									
	7	6	5	4	3	2	1	0	
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	
	PM3n	入出力モードの制御 (n = 0-7)							
	0	出力モード							
	1	入力モード							

(b) ポート3モード・コントロール・レジスタ (PMC3)

ポート・モード・コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
	P37端子の動作モードの指定							
	0	入出力ポート						
	1	SCK3入出力						
	P36端子の動作モードの指定							
	0	入出力ポート						
	1	SI3/RXD1入力						
	P35端子の動作モードの指定							
	0	入出力ポート						
	1	SO3/TXD1出力						
	P34端子の動作モードの指定							
	0	入出力ポート						
	1	SCK2入出力						
	P33端子の動作モードの指定							
	0	入出力ポート						
	1	SI2入力						
	P32端子の動作モードの指定							
	0	入出力ポート						
	1	SO2出力						
	P31端子の動作モードの指定							
	0	入出力ポート						
	1	RXD0入力						
	P30端子の動作モードの指定							
	0	入出力ポート						
	1	TXD0出力						

(c) ポート3ファンクション・コントロール・レジスタ (PFC3)

コントロール・モード1/コントロール・モード2を指定する8ビットのレジスタです。
8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF466H

	7	6	5	4	3	2	1	0
PFC3	0	PFC36	PFC35	0	0	0	0	0

PFC36	P36端子のコントロール・モード時の動作モードの指定
0	SI3入力
1	RXD1入力

PFC35	P35端子のコントロール・モード時の動作モードの指定
0	SO3出力
1	TXD1出力

(d) プルアップ抵抗オプション・レジスタ3 (PU3)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。
8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFFC46H

	7	6	5	4	3	2	1	0
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ブロック図

図10 - 8 P30, P32のブロック図

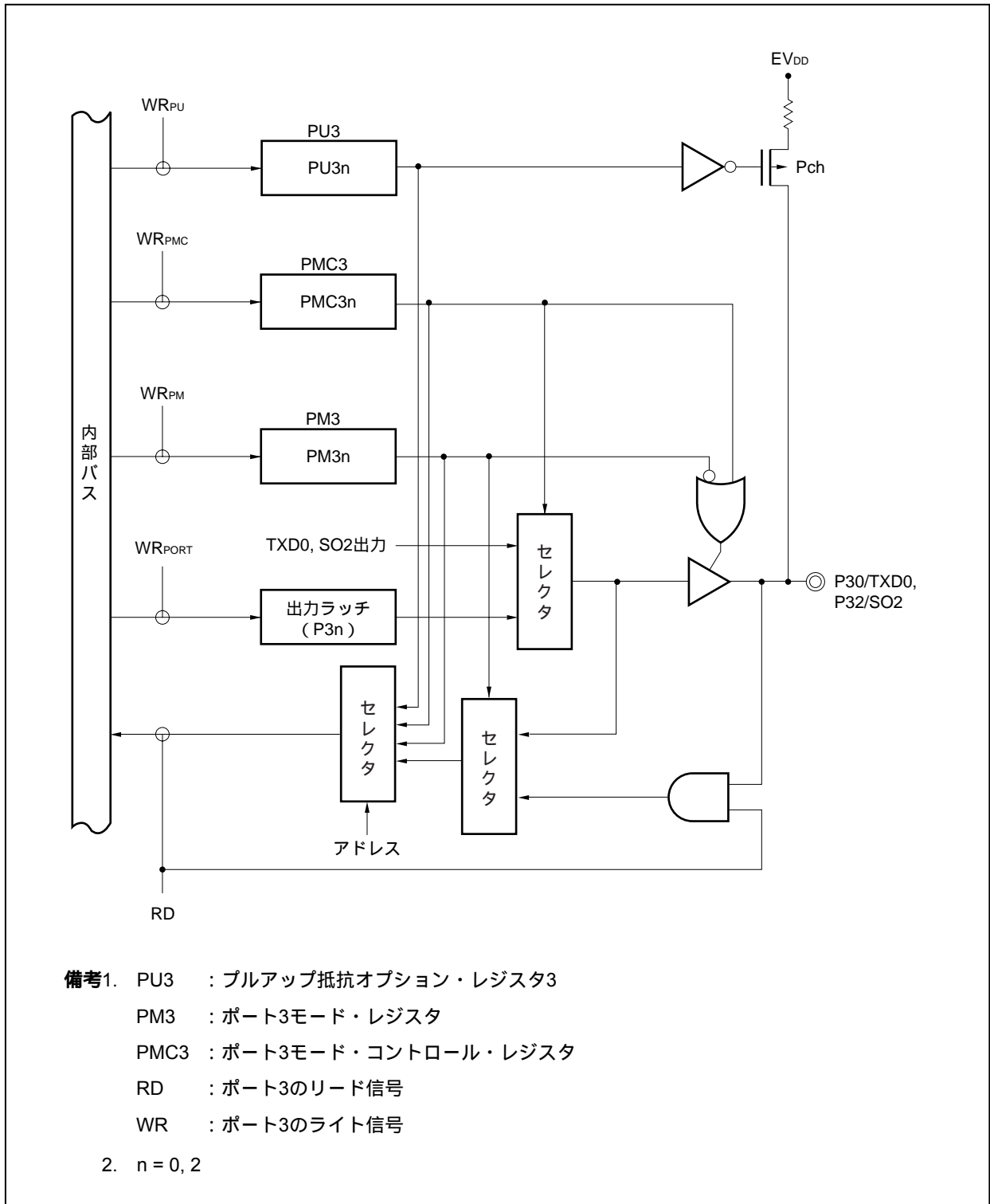


図10 - 9 P31のブロック図

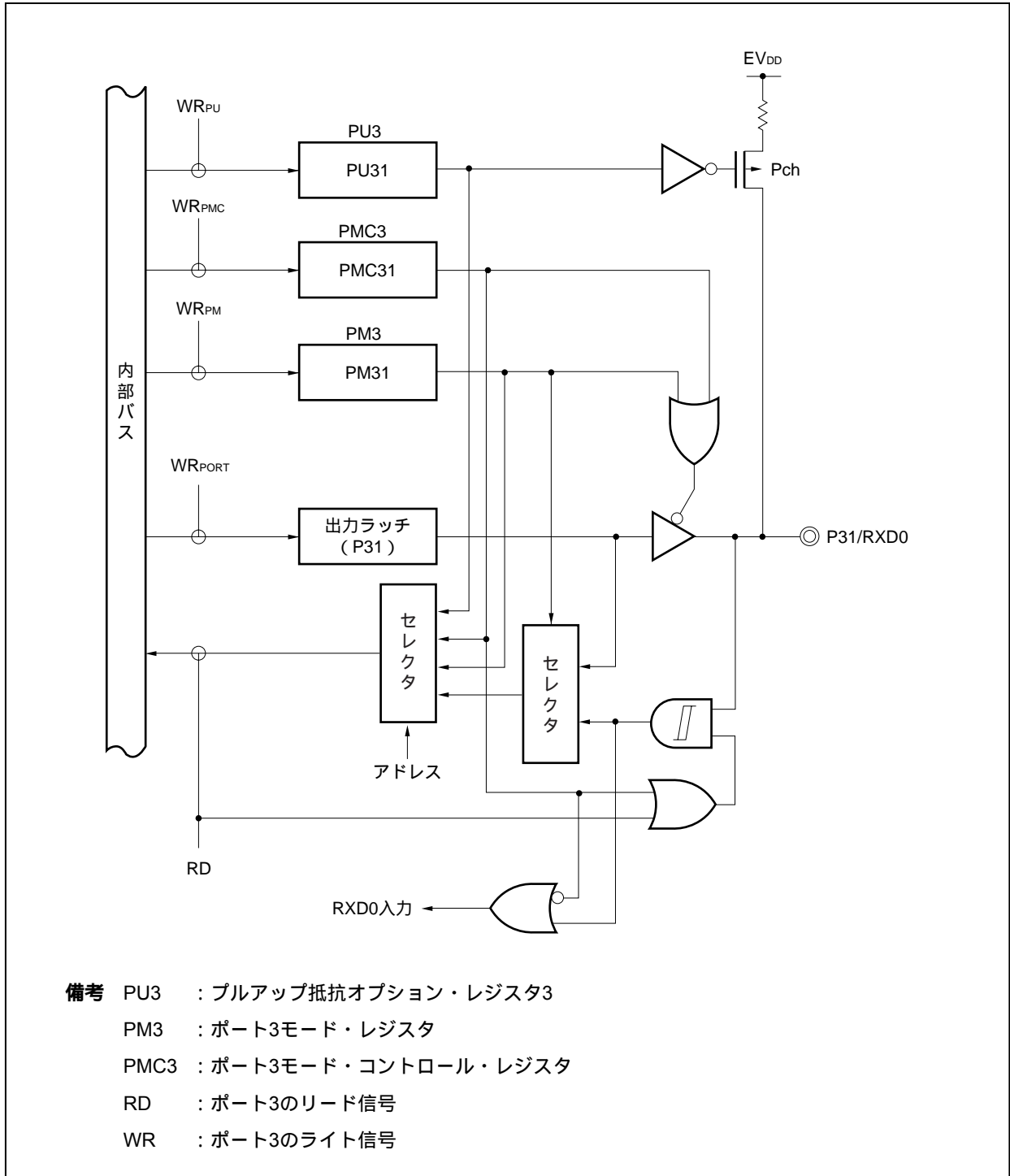


図10 - 10 P33のブロック図

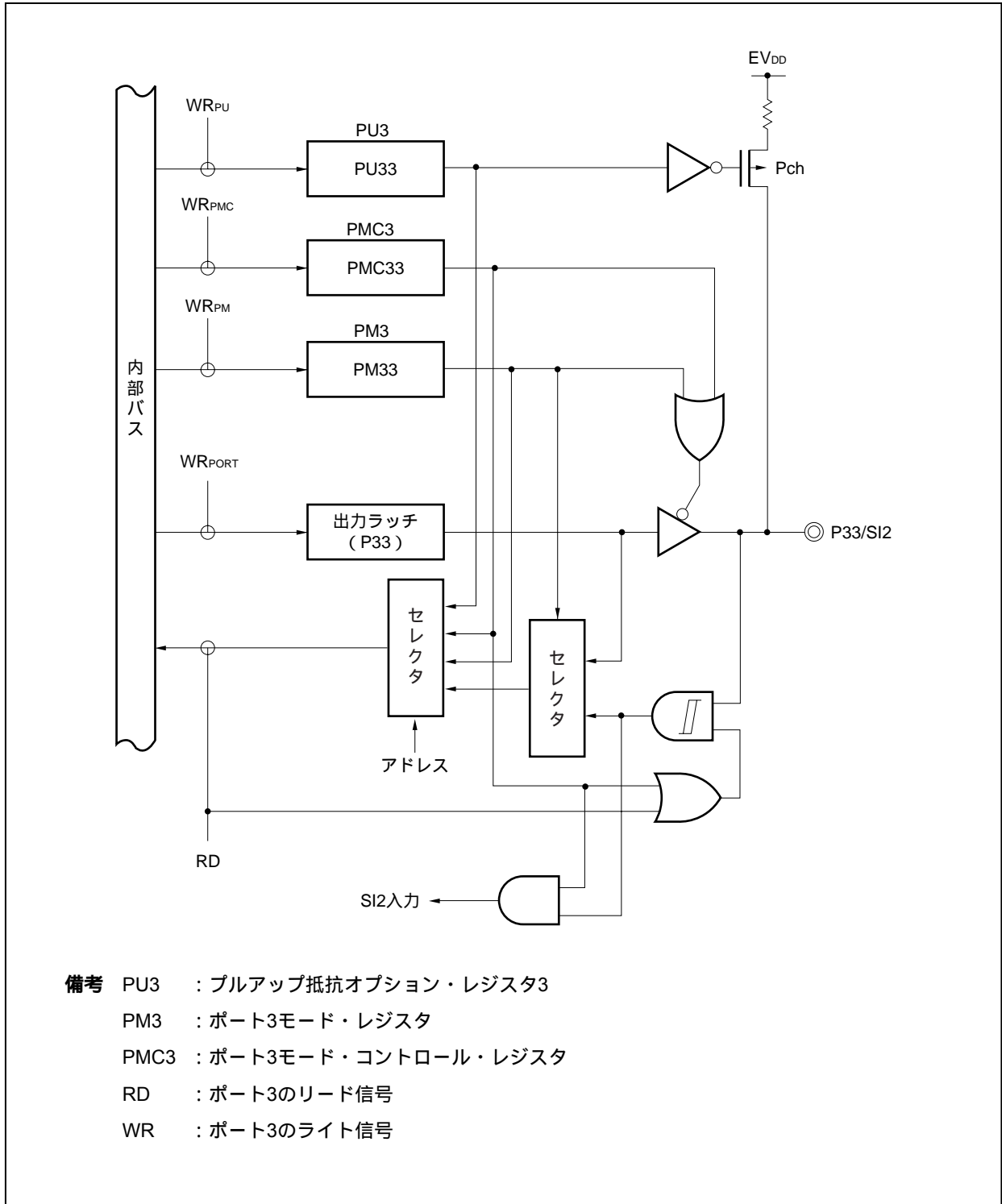


図10 - 11 P34, P37のブロック図

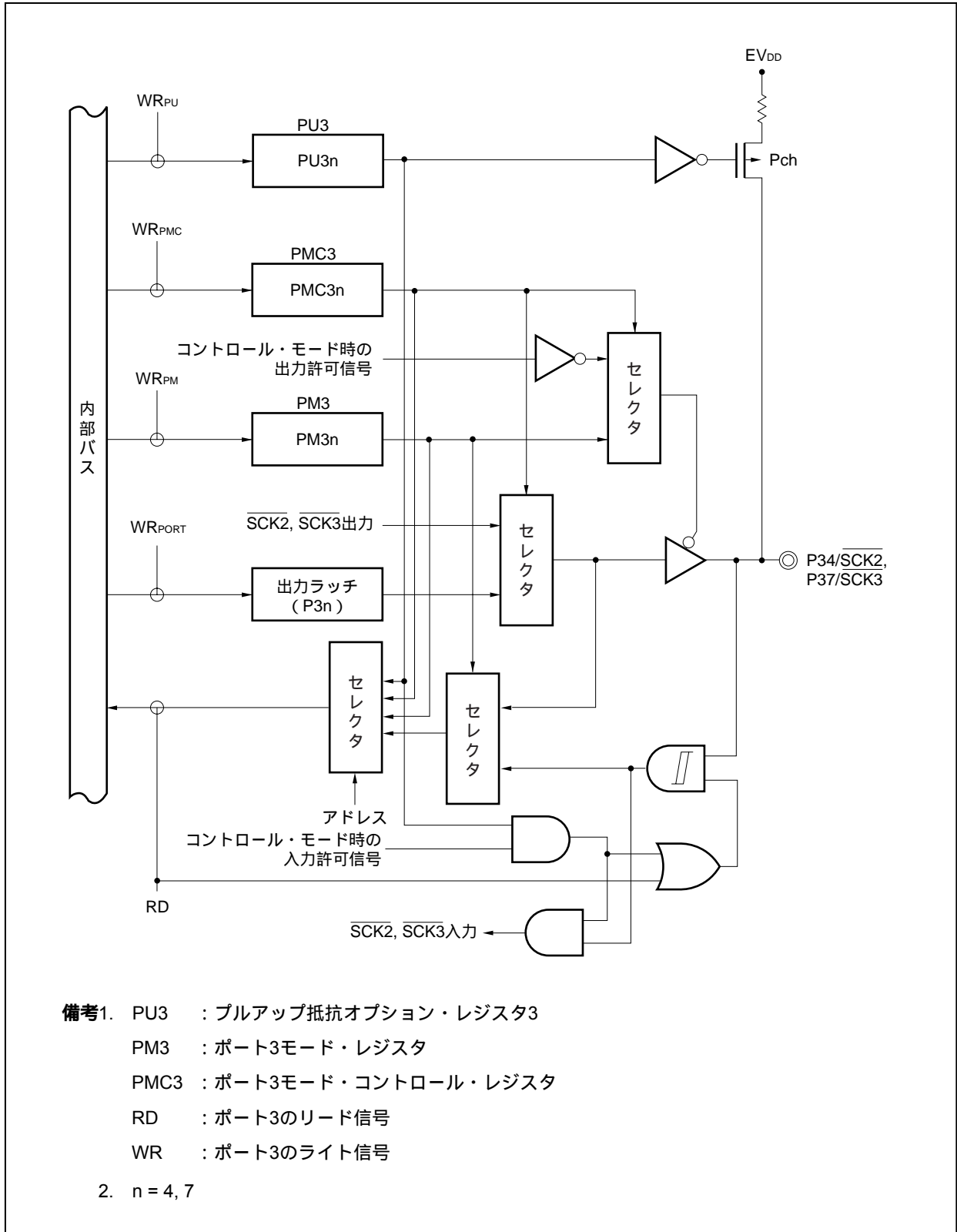


図10 - 12 P35のブロック図

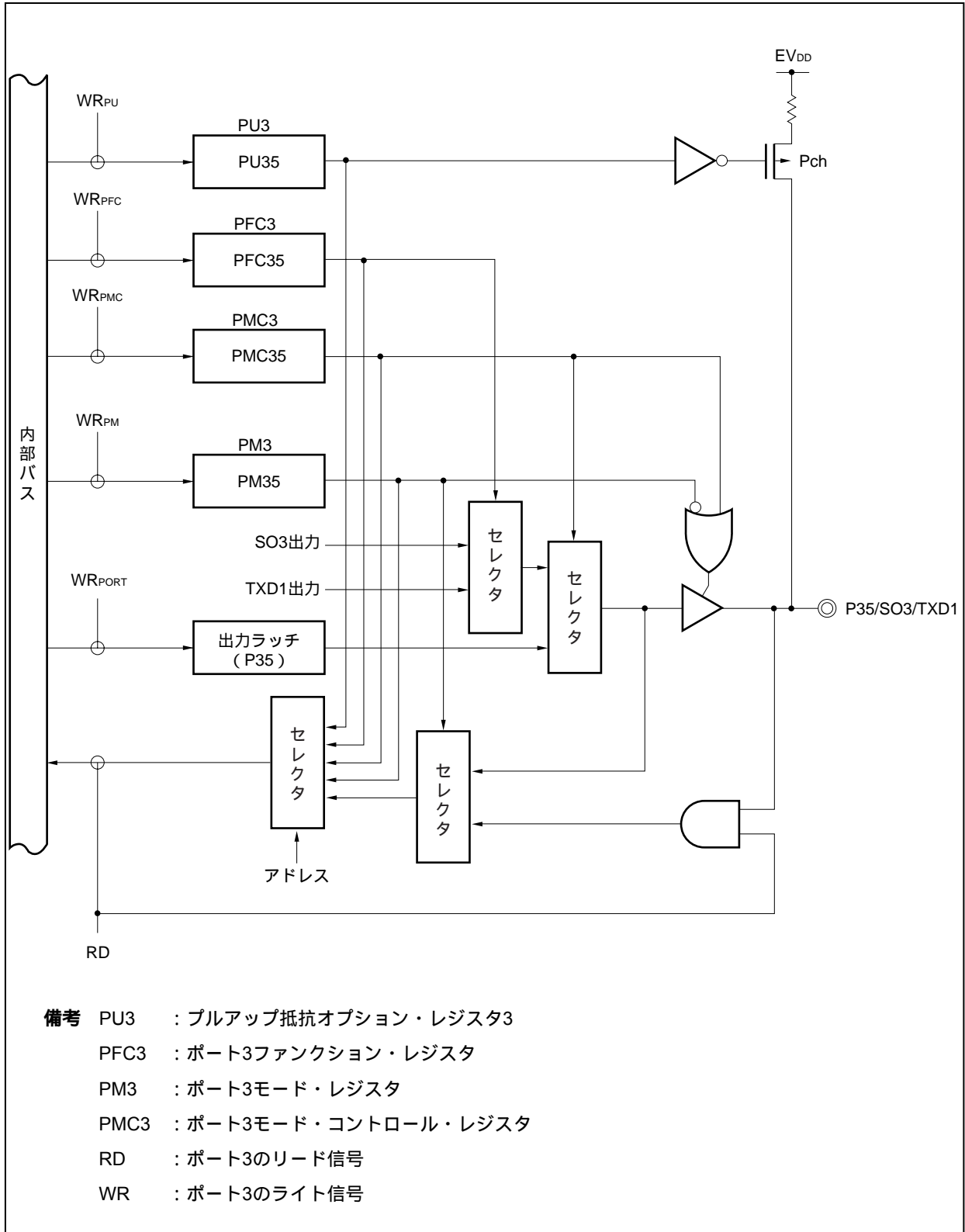
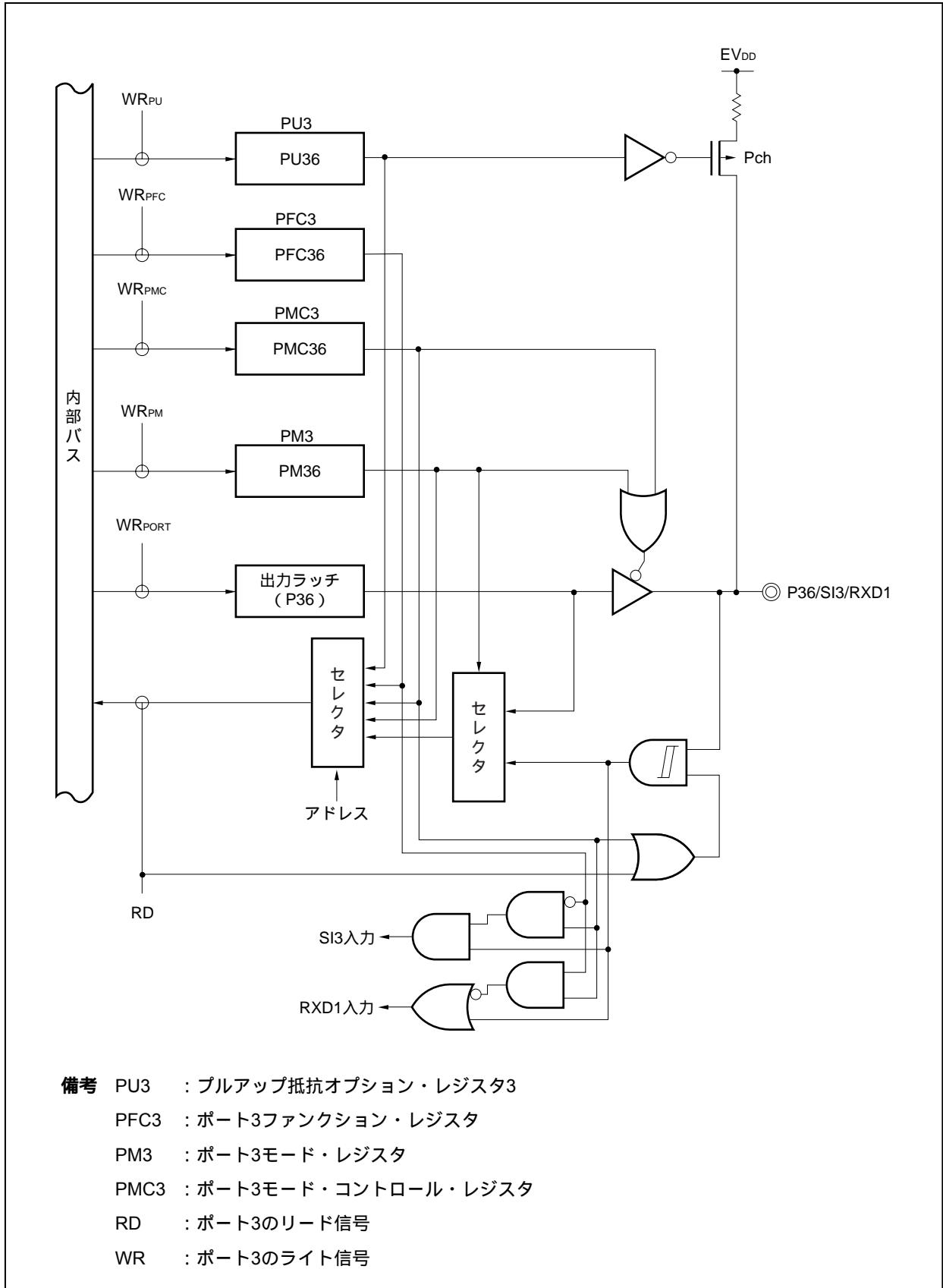


図10 - 13 P36のブロック図



10.3.5 ポート4

ポート4は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

リセット時：不定 R/W アドレス：FFFFFF408H

	7	6	5	4	3	2	1	0
P4	P47	P46	P45	P44	P43	P42	P41	P40

P4n	出力データの制御（出力モード時）（n=0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート4（P4）をリードすると、そのときの端子レベルを読み出します。ライトすると、P4にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート4（P4）をリードすると、P4の値を読み出します。ライトすると、P4に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP4をリードすると不定（端子入力レベル）を読み出します。出力モード時にP4をリードすると00H（出力ラッチの値）を読み出します。

ポート4，次に示す端子と兼用しています。

表10-7 ポート4の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート4	P40	SO0	入出力	あり	-
	P41	SI0			
	P42	$\overline{\text{SCK0}}$			
	P43	SO1			
	P44	SI1			
	P45	$\overline{\text{SCK1}}$			
	P46	-			
	P47	-			

注 ソフトウェア・プルアップ機能

(1) P4端子の機能

ポート4は、1ビット単位で入出力を制御できる8ビット入出力ポートです。出力モード時、ポート4(P4)に設定した各ビットの値を出力します。

入力モード時にP4をリードすると端子状態をリードできます。また、出力モード時にP4をリードすると、P4(出力ラッチ)の値をリードできます。

ポート4モード・レジスタ(PM4)で入出力を制御します。またポート4モード・コントロール・レジスタ(PMC4)でコントロール・モードの設定を行います。

リセット入力により、入力モードに初期化されます。

プルアップ抵抗オプション・レジスタ4(PU4)の指定により、1ビット単位でプルアップ抵抗を接続できます。

(2) 制御レジスタ

(a) ポート4モード・レジスタ(PM4)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：FFH R/W アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40
PM4n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(b) ポート4モード・コントロール・レジスタ (PMC4)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40

PMC45	P45端子の動作モードの指定
0	入出力ポート
1	SCK1入出力

PMC44	P44端子の動作モードの指定
0	入出力ポート
1	SI1入力

PMC43	P43端子の動作モードの指定
0	入出力ポート
1	SO1出力

PMC42	P42端子の動作モードの指定
0	入出力ポート
1	SCK0入出力

PMC41	P41端子の動作モードの指定
0	入出力ポート
1	SI0入力

PMC40	P40端子の動作モードの指定
0	入出力ポート
1	SO0出力

(c) プルアップ抵抗オプション・レジスタ4 (PU4)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFC48H

	7	6	5	4	3	2	1	0
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40

PU4n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ブロック図

図10 - 14 P40, P43のブロック図

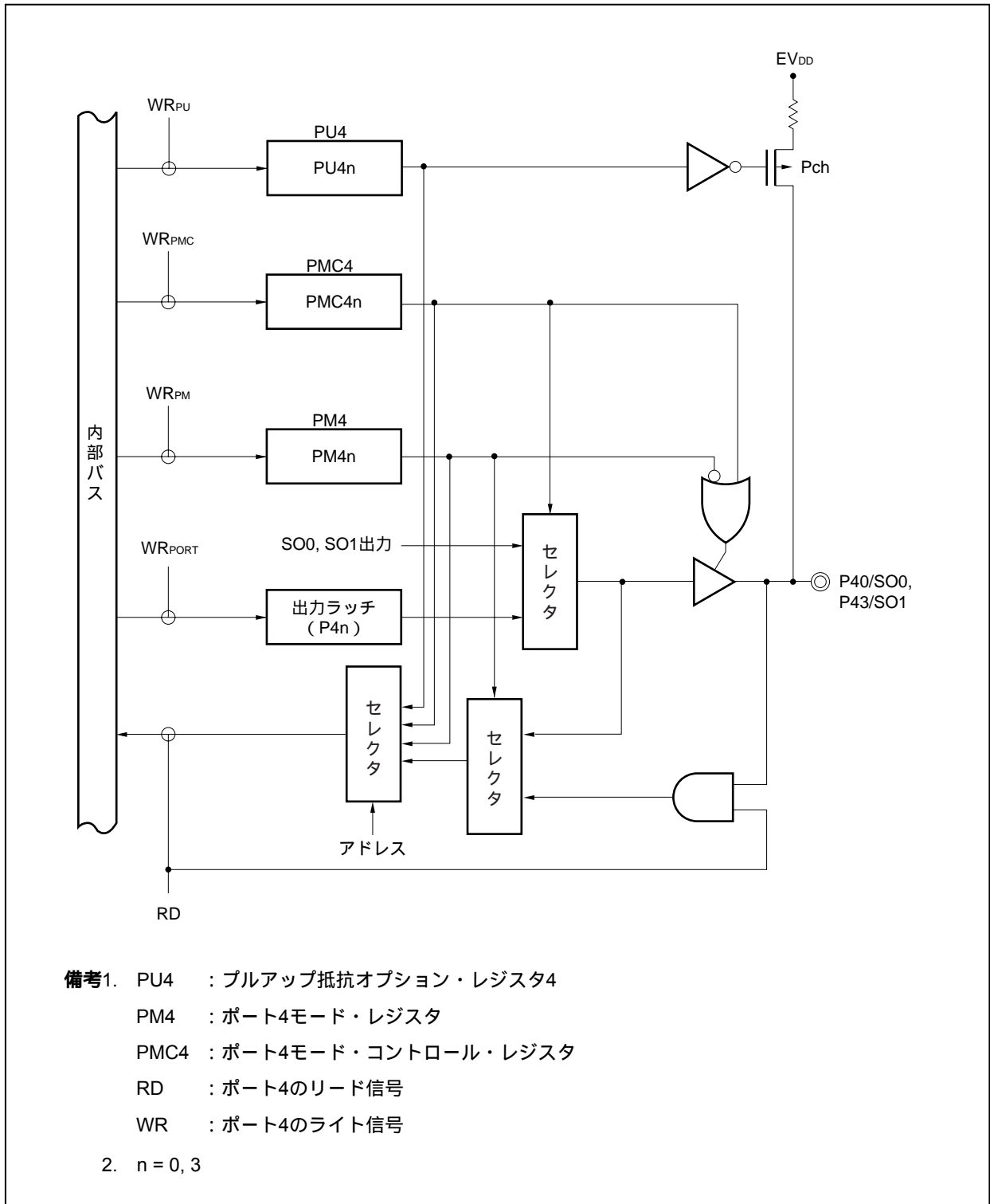


図10 - 15 P41, P44のブロック図

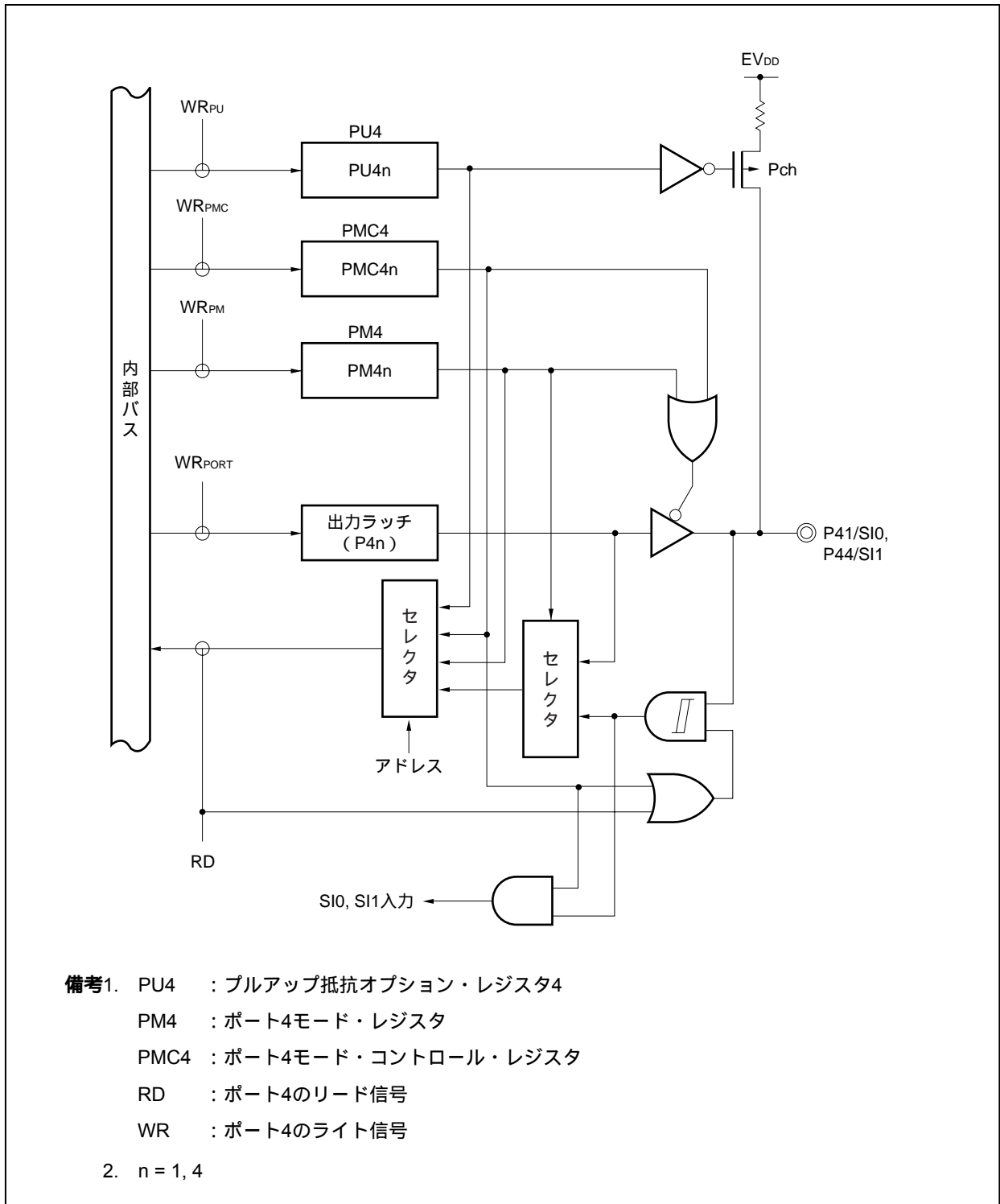


図10 - 16 P42, P45のブロック図

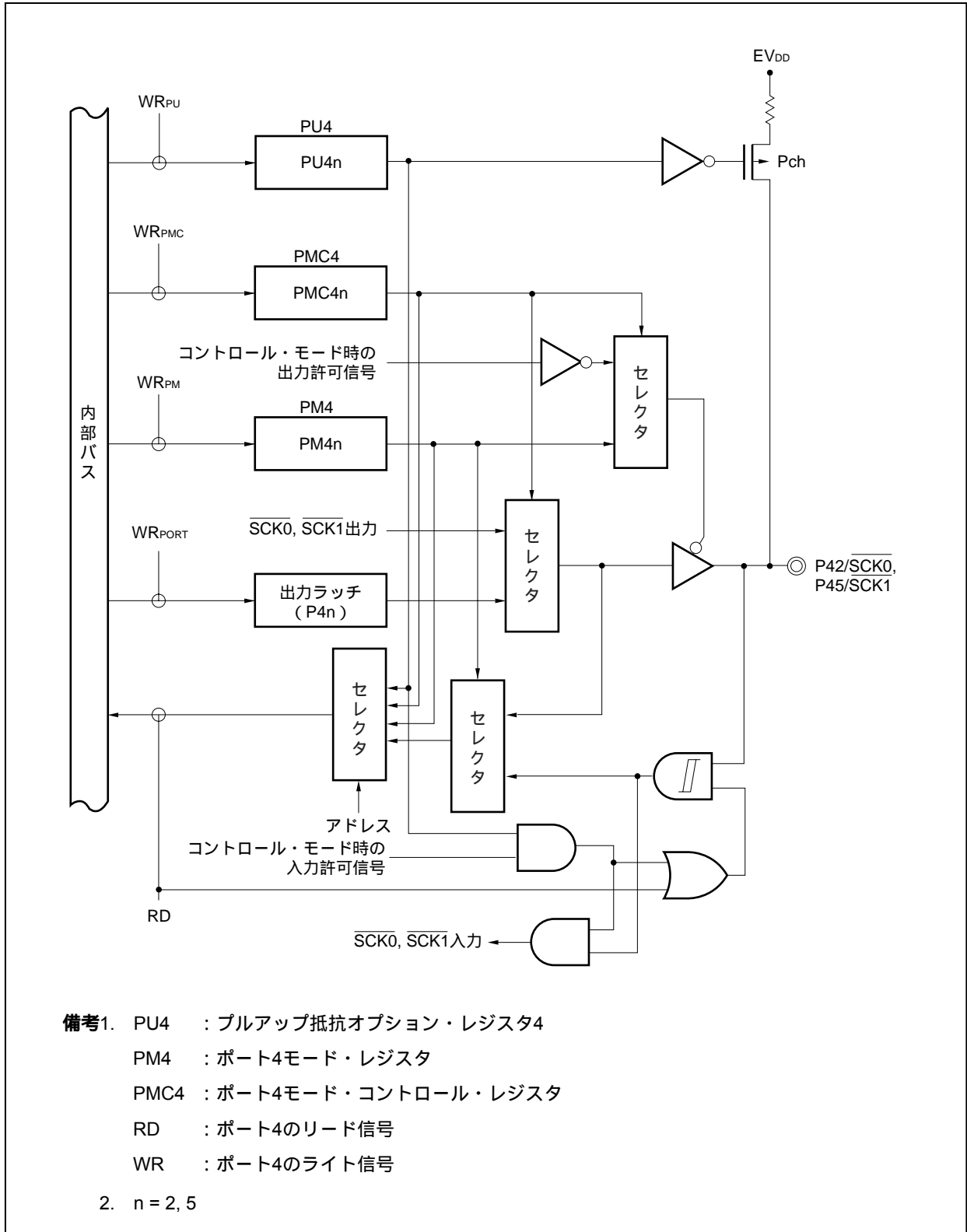
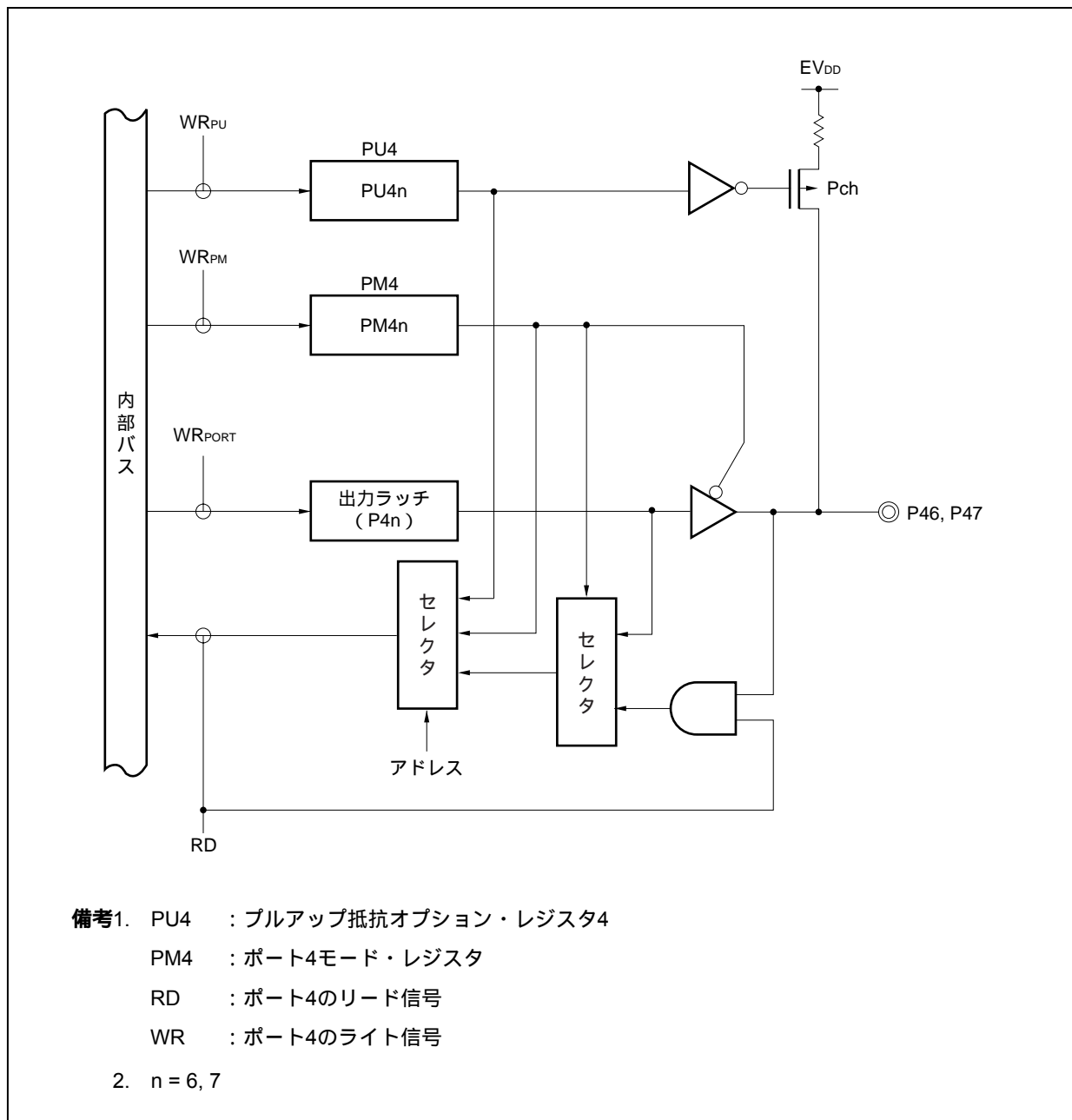


図10 - 17 P46, P47のブロック図



10.3.6 ポート5

ポート5は、1ビット単位で入出力を制御できる13ビット入出力ポートです。

P5の上位8ビットをP5H，下位8ビットをP5Lとして使用した場合は、8/1ビット単位で入出力を操作できる5ビットと8ビットの入出力ポートとなります。

リセット時：不定 R/W アドレス：FFFFFF40AH, FFFFFFF40BH

	15	14	13	12	11	10	9	8
P5	0	0	0	P512	P511	P510	P59	P58

	7	6	5	4	3	2	1	0
	P57	P56	P55	P54	P53	P52	P51	P50

P5n	出力データの制御（出力モード時）（n=0-12）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート5(P5)をリードすると、そのときの端子レベルを読み出します。ライトすると、P5にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート5(P5)をリードすると、P5の値を読み出します。ライトすると、P5に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP5をリードすると不定（端子入力レベル）を読み出します。出力モード時にP5をリードすると0000H（出力ラッチの値）を読み出します。

ポート5，次に示す端子と兼用しています。

表10-8 ポート5の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート4	P50	ICP30	入出力	あり	-
	P51	ICP31			
	P52	ICP32			
	P53	ICP33			
	P54	ICP34			
	P55	ICP35			
	P56	ICP36			
	P57	ICP37			
	P58	ICP38			
	P59	ICP39			
	P510	ICP310			
	P511	ICP311			
	P512	TI3			

注 ソフトウェア・プルアップ機能

(1) P5端子の機能

ポート5は、1ビット単位で入出力を制御できる13ビット入出力ポートです。出力モード時、ポート5(P5)に設定した各ビットの値を出力します。

入力モード時にP5をリードすると端子状態をリードできます。また、出力モード時にP5をリードすると、P5(出力ラッチ)の値をリードできます。

ポート5モード・レジスタ(PM5)で入出力を制御します。またポート5モード・コントロール・レジスタ(PMC5)でコントロール・モードの設定を行います。

リセット入力により、入力モードに初期化されます。

プルアップ抵抗オプション・レジスタ5(PU5)の指定により、1ビット単位でプルアップ抵抗を接続できます。

(2) 制御レジスタ

(a) ポート5モード・レジスタ(PM5)

入力モード/出力モードを指定する16ビットのレジスタです。

PM5レジスタは、16ビット単位でのみリード/ライト可能です。

ただし、PM5レジスタの上位8ビットをPM5Hレジスタ、下位8ビットをPM5Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

リセット時：FFFFH R/W アドレス：FFFFFF42AH, FFFFF42B

	15	14	13	12	11	10	9	8
PM5	1	1	1	PM512	PM511	PM510	PM59	PM58
	7	6	5	4	3	2	1	0
	PM57	PM56	PM55	PM54	PM3	PM42	PM41	PM40
PM5n	入出力モードの制御 (n = 0-12)							
0	出力モード							
1	入力モード							

(b) ポート5モード・コントロール・レジスタ (PMC5)

ポート・モード/コントロール・モードを指定する16ビットのレジスタです。

PMC5レジスタは、16ビット単位でのみリード/ライト可能です。

ただし、PMC5レジスタの上位8ビットをPMC5Hレジスタ、下位8ビットをPMC5Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

リセット時：0000H R/W アドレス：FFFFFF44AH, FFFFFFF44B

	15	14	13	12	11	10	9	8
PMC5	0	0	0	PMC512	PMC511	PMC510	PMC59	PMC58
	7	6	5	4	3	2	1	0
	PMC57	PMC56	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50
PMC512	P512端子の動作モードの指定							
0	入出力ポート							
1	TI3入力							
PMC5n	P5n端子の動作モードの指定 (n = 0-11)							
0	入出力ポート							
1	ICP3n入力							

(c) プルアップ抵抗オプション・レジスタ5 (PU5)

内蔵プルアップ抵抗の接続を指定する16ビットのレジスタです。

PU5レジスタは、16ビット単位でのみリード/ライト可能です。

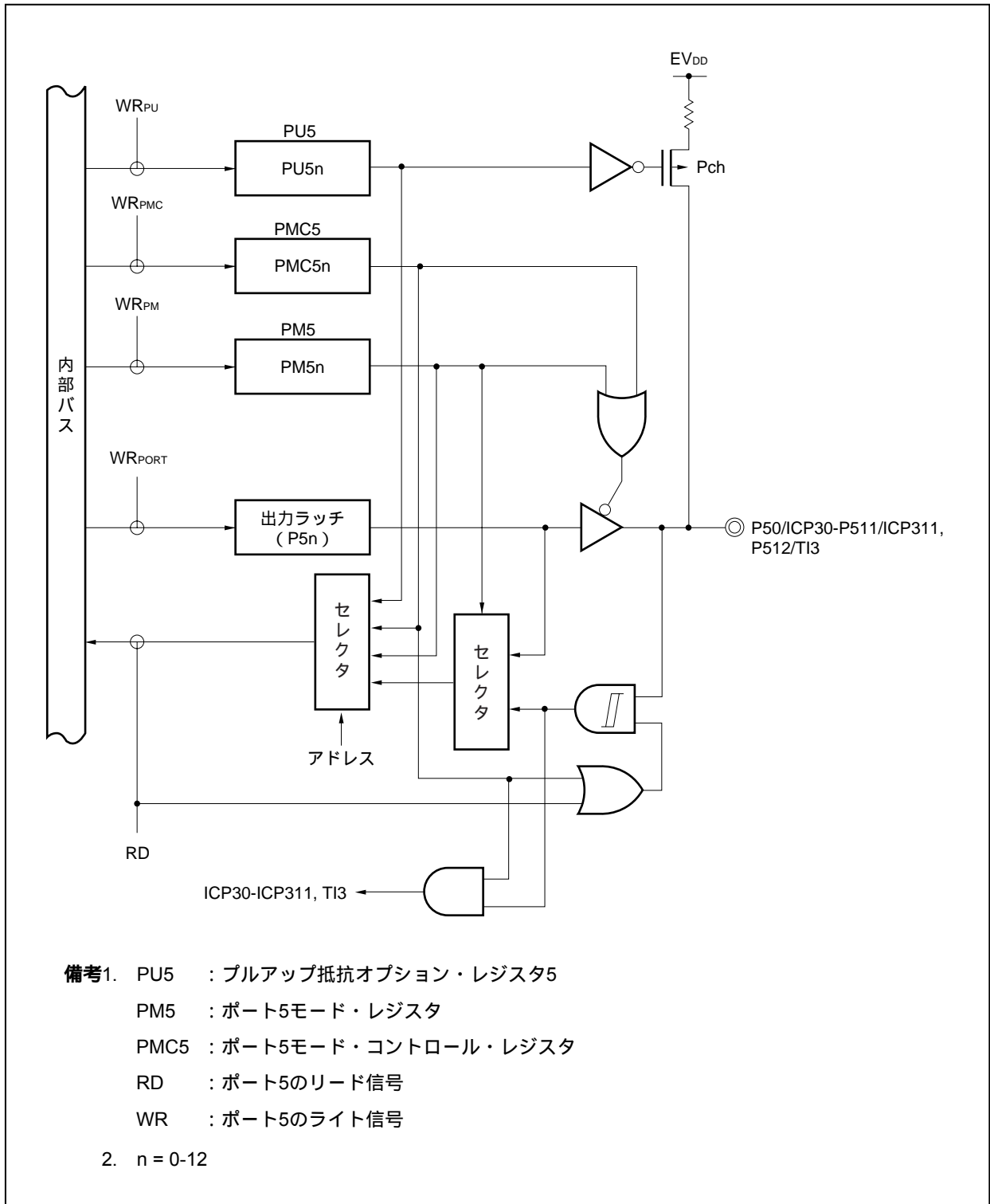
ただし、PU5レジスタの上位8ビットをPU5Hレジスタ、下位8ビットをPU5Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

リセット時：0000H R/W アドレス：FFFFFFC4AH, FFFFFFFC4BH

	15	14	13	12	11	10	9	8
PU5	0	0	0	PU512	PU511	PU510	PU59	PU58
	7	6	5	4	3	2	1	0
	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50
PU5n	内蔵プルアップ抵抗接続制御 (n = 0-12)							
0	接続しない							
1	接続する							

(3) ブロック図

図10 - 18 P50-P512のブロック図



10.3.7 ポート6

ポート6は、8/1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

リセット時：不定 R/W アドレス：FFFFFF40CH

	7	6	5	4	3	2	1	0
P6	P67	P66	P65	P64	P63	P62	P61	P60

P6n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート6（P6）をリードすると、そのときの端子レベルを読み出します。ライトすると、P6にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート6（P6）をリードすると、P6の値を読み出します。ライトすると、P6に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP1をリードすると不定（端子入力レベル）を読み出します。出力モード時にP1をリードすると00H（出力ラッチの値）を読み出します。

ポート6は、次に示す端子と兼用しています。

表10-9 ポート6の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポート6	P60	入出力	あり	-
	P61			
	P62			
	P63			
	P64			
	P65			
	P66			
	P67			

注 ソフトウェア・プルアップ機能

(1) P6端子の機能

ポート6は、1ビット単位で入出力を制御できる6ビット入出力ポートです。ポート6モード・レジスタ (PM6) で入出力を制御します。

出力モード時、ポート6 (P6) に設定した各ビットの値を出力します。

入力モード時にP6をリードすると端子状態をリードできます。また、出力モード時にP6をリードすると、P6 (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポート6モード・レジスタ (PM6) により、入出力を制御します。またポート6モード・コントロール・レジスタ (PMC6) でコントロール・モードの設定を行います。

プルアップ抵抗オプション・レジスタ6 (PU6) の指定により、1ビット単位でプルアップ抵抗を接続できます。

(2) 制御レジスタ

(a) ポート6モード・レジスタ (PM6)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFF42CH								
	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60
PM6n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(b) ポート6モード・コントロール・レジスタ (PMC6)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF44CH

	7	6	5	4	3	2	1	0
PMC6	PMC67	PMC66	PMC65	PMC64	PMC63	PMC62	PMC61	PMC60
	P67端子の動作モードの指定							
	0	入出力ポート						
	1	INTP031入力						
	P66端子の動作モードの指定							
	0	入出力ポート						
	1	INTP30/TI03/TCLR03入力						
	P65端子の動作モードの指定							
	0	入出力ポート						
	1	INTP021入力						
	P64端子の動作モードの指定							
	0	入出力ポート						
	1	INTP20/TI02/TCLR02入力						
	P63端子の動作モードの指定							
	0	入出力ポート						
	1	INTP011入力						
	P62端子の動作モードの指定							
	0	入出力ポート						
	1	INTP010/TI01/TCLR01入力						
	P61端子の動作モードの指定							
	0	入出力ポート						
	1	INTP001入力						
	P60端子の動作モードの指定							
	0	入出力ポート						
	1	INTP000/TI00/TCLR00入力						

(c) プルアップ抵抗オプション・レジスタ6 (PU6)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

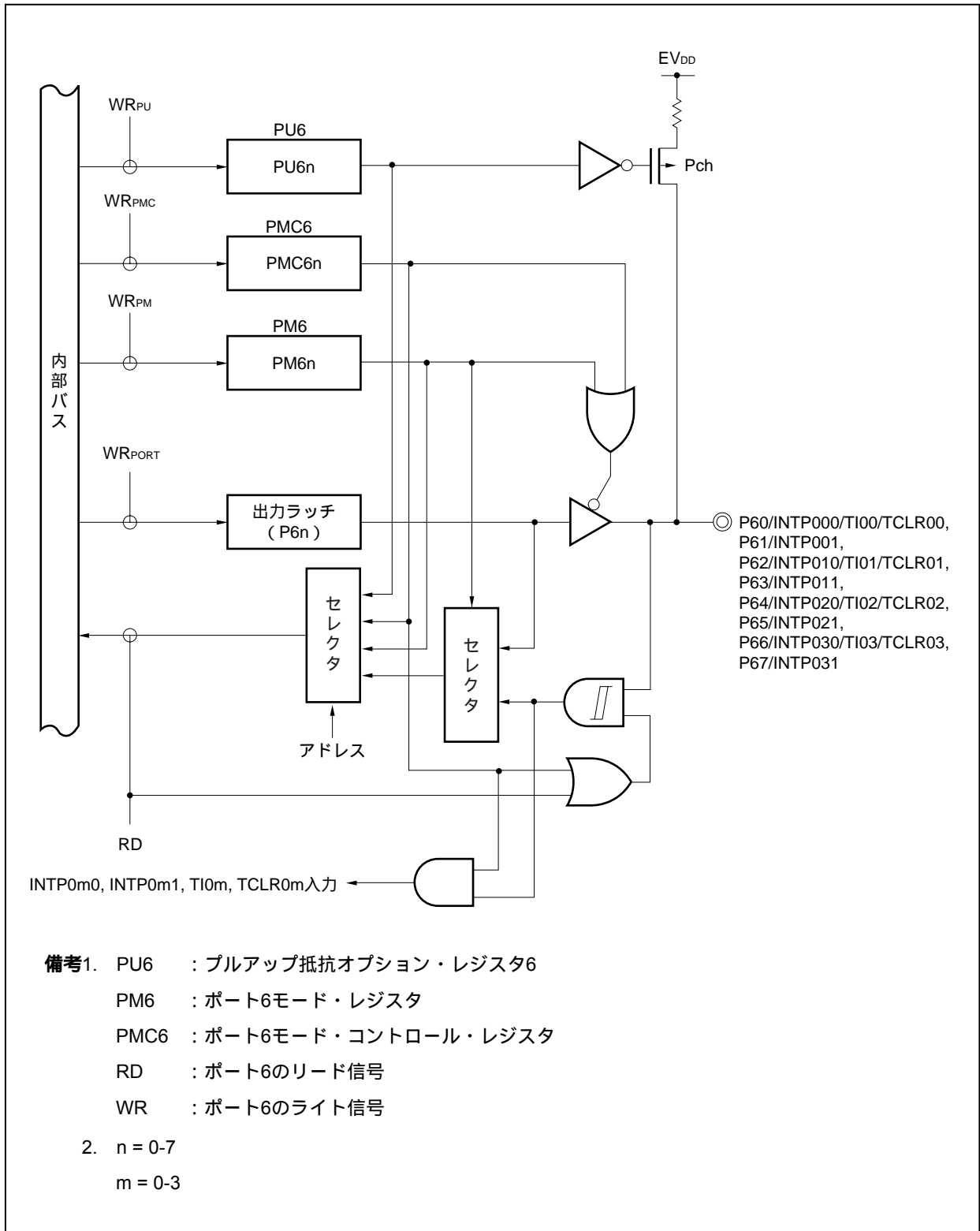
リセット時 : 00H R/W アドレス : FFFFFFFC4CH

	7	6	5	4	3	2	1	0
PU6	PU67	PU66	PU65	PU64	PU63	PU62	PU61	PU60

PU6n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ブロック図

図10 - 19 P60-P67のブロック図



10.3.8 ポート7

ポート7は、全端子が入力に固定の16ビット入力専用ポートです。

ただし、P7の上位8ビットをP7H、下位8ビットをP7Lとして使用した場合は、8/1ビット入力専用ポートとなります。

リセット時：不定 R アドレス：FFFFFF40EH, FFFFFFF40FH

	15	14	13	12	11	10	9	8
P7	P715	P714	P713	P712	P711	P710	P79	P78
	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
P7n	入力データの読み出し (n=0-12)							
0	ロウ・レベルを入力							
1	ハイ・レベルを入力							

- 備考1.** ポート7 (P7) をリードすると、そのときの端子レベルを読み出します。
2. リセット時の値は、P7をリードすると不定 (端子入力レベル) を読み出します。

ポート7は、次に示す端子と兼用しています。

表10 - 10 ポート7の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート7	P70	ANI0	入力	なし	-
	P71	ANI1			
	P72	ANI2			
	P73	ANI3			
	P74	ANI4			
	P77	ANI5			
	P76	ANI6			
	P77	ANI7			
	P78	ANI8			
	P79	ANI9			
	P710	ANI10			
	P711	ANI11			
	P712	ANI12			
	P713	ANI13			
	P714	ANI14			
	P715	ANI15			

注 ソフトウェア・プルアップ機能

(1) P7端子の機能

ポート7は、16ビット入力専用ポートです。ポート7 (P7) をリードすると端子状態をリードできます。またP7には、データを書き込めません。

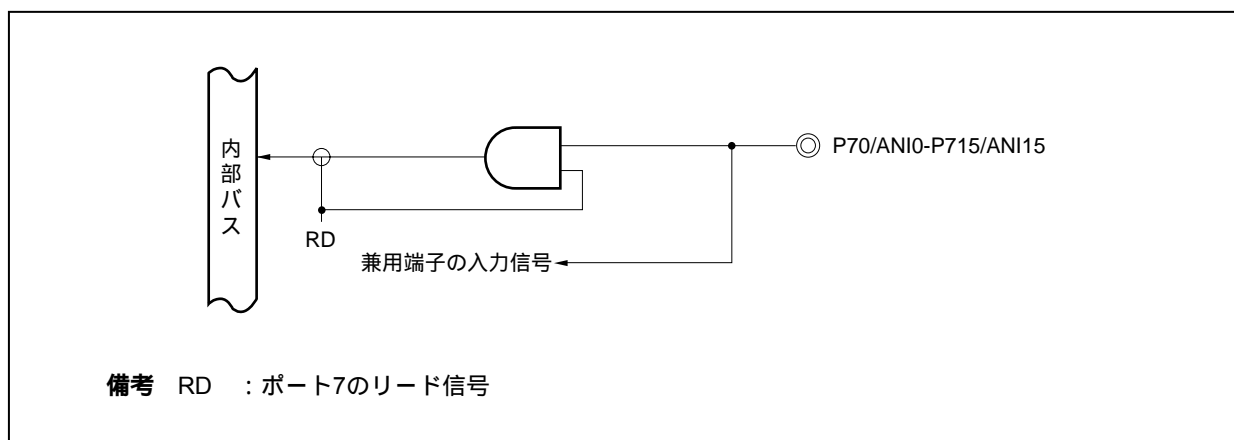
ポート7と兼用機能の切り替え制御レジスタを内蔵していません。ポートの読み出しにより各端子の状態を読み込んでください。

ソフトウェア・プルアップ機能は内蔵していません。

アナログ入力に指定された端子をリードしたときの値は不定です。またA/D変換中にP7の値をリードしないでください。

(2) ブロック図

図10 - 20 P70-P715のブロック図



10.3.9 ポート8

ポート8は、全端子が入力に固定の8ビット入力専用ポートです。

8/1ビット単位でリードのみ可能です。

リセット時：不定 R アドレス：FFFFFF410H

	7	6	5	4	3	2	1	0
P8	P87	P86	P85	P84	P83	P82	P81	P80

P8n	入力データの読み出し (n = 0-7)
0	ロウ・レベルを入力
1	ハイ・レベルを入力

- 備考1. 入力モード時：ポート8(P8)をリードすると、そのときの端子レベルを読み出します。
2. リセット時の値は、P8をリードすると不定(端子入力レベル)を読み出します。

ポート8は、次に示す端子と兼用しています。

表10 - 11 ポート8の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート8	P80	ANI16	入力	なし	-
	P81	ANI17			
	P82	ANI18			
	P83	ANI19			
	P84	ANI20			
	P88	ANI21			
	P86	ANI22			
	P87	ANI23			

注 ソフトウェア・プルアップ機能

(1) P8端子の機能

ポート8は、8ビット入力専用ポートです。ポート8(P8)をリードすると端子状態をリードできます。またP8には、データを書き込めません。

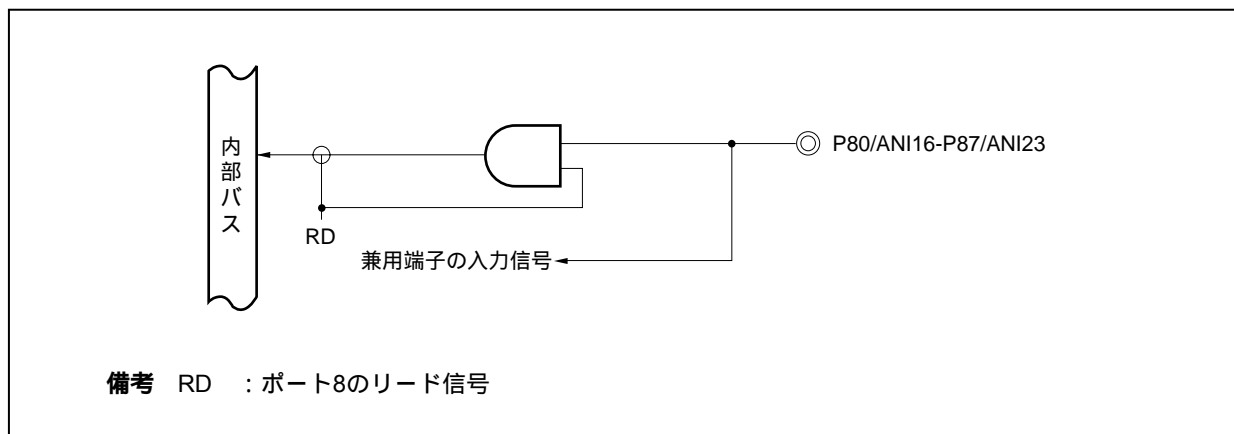
ポート8と兼用機能の切り替え制御レジスタ内蔵していません。ポートの読み出しにより各端子の状態を読み込んでください。

ソフトウェア・プルアップ機能は内蔵していません。

アナログ入力に指定された端子をリードしたときの値は不定です。またA/D変換中にP8の値をリードしないでください。

(2) ブロック図

図10 - 21 P80-P87のブロック図



10.3.10 ポート9

ポート9は、16ビット単位でのみ入出力を制御できる16ビット入出力ポートです。

P9の上位8ビットをP9H、下位8ビットをP9Lとして使用した場合は、8/1ビット単位で入出力を指定できる8ビット入出力ポートになります。

リセット時：不定 R/W アドレス：FFFFFF412H, FFFFFFF413H

	15	14	13	12	11	10	9	8
P9	P915	P914	P913	P912	P911	P910	P99	P98

	7	6	5	4	3	2	1	0
	P97	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御（出力モード時）（n = 0-12）	
0	0を出力	
1	1を出力	

- 備考1.** 入力モード時：ポート9(P9)をリードすると、そのときの端子レベルを読み出します。ライトすると、P9にライトしたデータを書き込みます。入力端子に影響はありません。
- 出力モード時：ポート9(P9)をリードすると、P9の値を読み出します。ライトすると、P9に値を書き込み、すぐに書き込んだ値を出力します。
2. リセット時の値は、入力モード時にP9をリードすると不定（端子入力レベル）を読み出します。出力モード時にP9をリードすると0000H（出力ラッチの値）を読み出します。

ポート9は、次に示す端子と兼用しています。

表10 - 12 ポート9の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート9	P90	A0	入出力	なし	-
	P91	A1			
	P92	A2			
	P93	A3			
	P94	A4			
	P95	A5			
	P96	A6			
	P97	A7			
	P98	A8			
	P99	A9			
	P910	A10			
	P911	A11			
	P912	A12			
	P913	A13			
	P914	A14			
P915	A15				

注 ソフトウェア・プルアップ機能

(1) P9端子の機能

ポート9は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

出力モード時、ポート9 (P9) に設定した各ビットの値を出力します。

入力モード時にP9をリードすると端子状態をリードできます。また、出力モード時にP9をリードすると、P9 (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポート9モード・レジスタ (PM9) により、入出力を制御します。またポート9モード・コントロール・レジスタ (PMC9) でコントロール・モードの設定を行います。

ソフトウェア・プルアップ機能は内蔵していません。

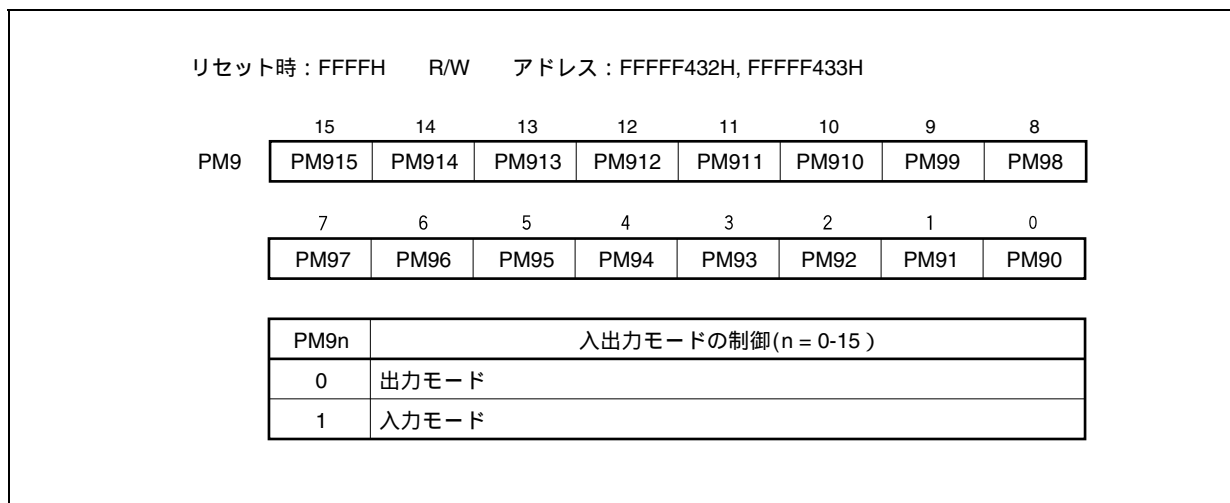
(2) 制御レジスタ

(a) ポート9モード・レジスタ (PM9)

入力モード/出力モードを指定する16ビットのレジスタです。

PM9レジスタは、16ビット単位でのみリード/ライト可能です。

ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

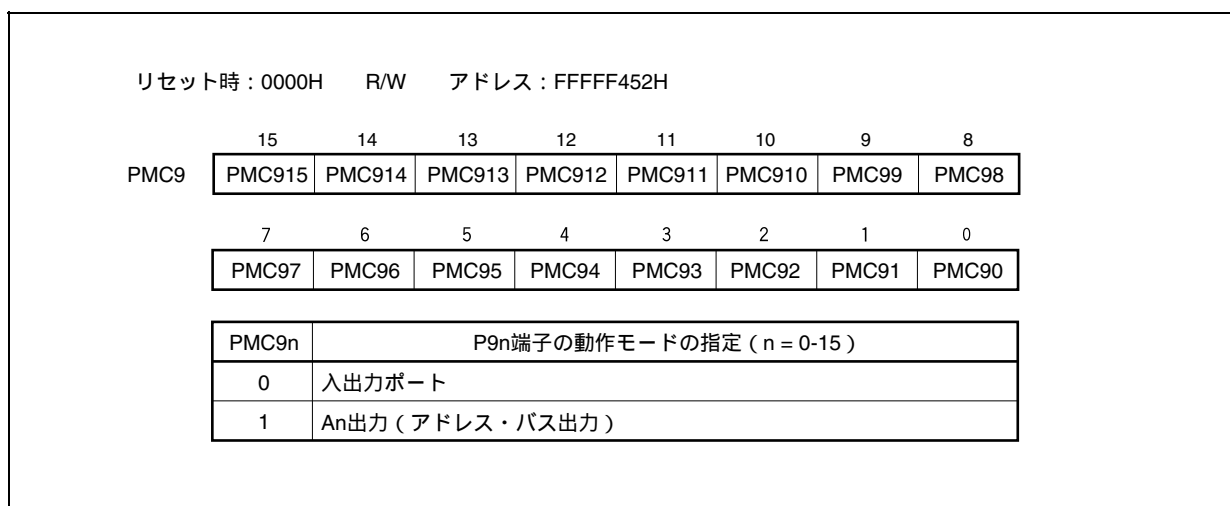


(b) ポート9モード・コントロール・レジスタ (PMC9)

ポート・モード/コントロール・モードを指定する16ビットのレジスタです。

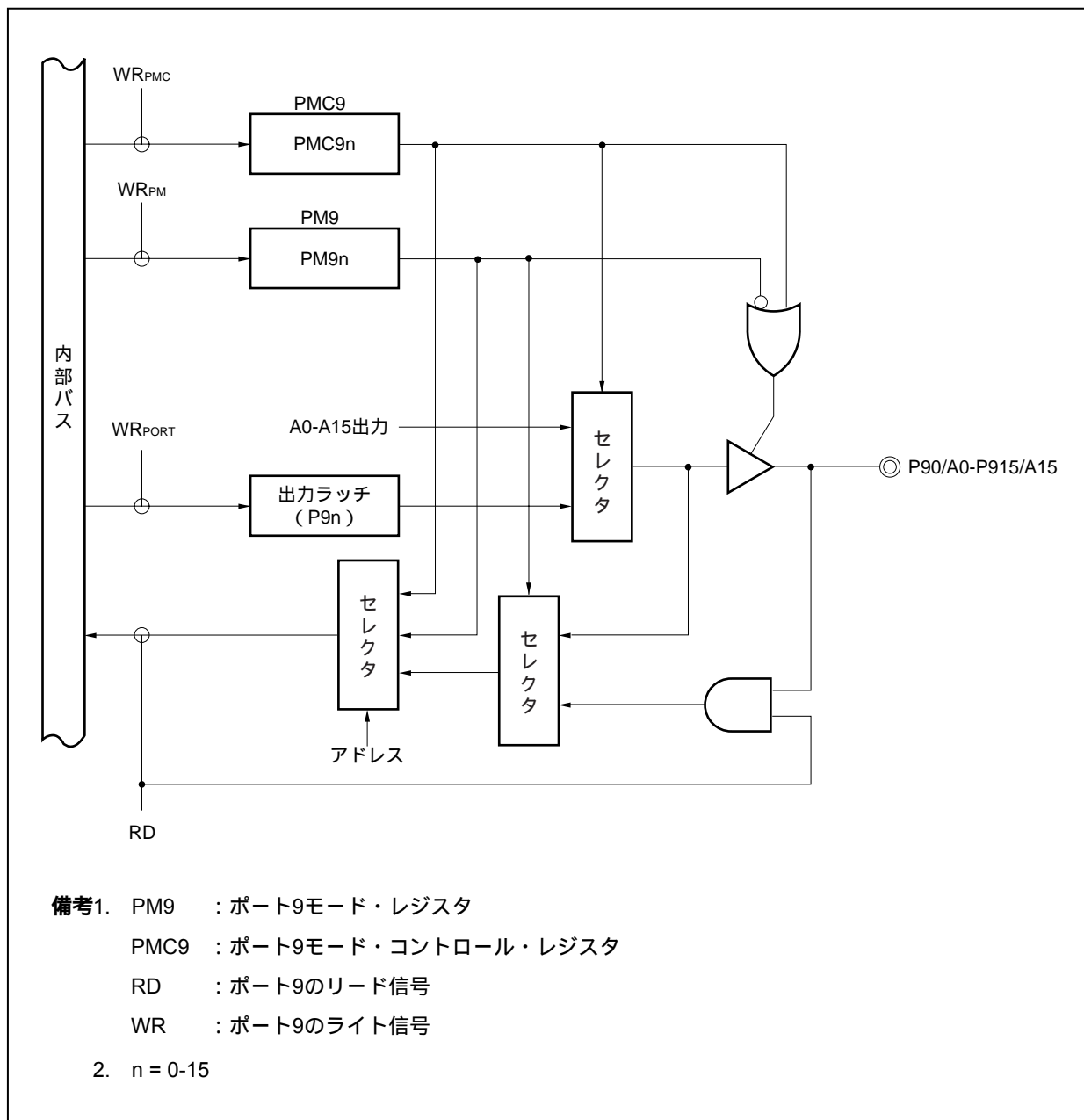
PMC9レジスタは、16ビット単位でのみリード/ライト可能です。

8/1ビット操作命令はできません。



(3) ブロック図

図10 - 22 P90-P915のブロック図



10.3.11 ポート10

ポート10は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

リセット時：不定 R/W アドレス：FFFFFF414H

	7	6	5	4	3	2	1	0
P10	P107	P106	P105	P104	P103	P102	P101	P100

P10n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート10（P10）をリードすると、そのときの端子レベルを読み出します。ライトすると、P10にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート10（P10）をリードすると、P10の値を読み出します。ライトすると、P10に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP10をリードすると不定（端子入力レベル）を読み出します。出力モード時にP10をリードすると00H（出力ラッチの値）を読み出します。

ポート10は、次に示す端子と兼用しています。

表10 - 13 ポート10の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート10	P100	INTP040/TI04/TCLR04	入出力	あり	-
	P101	INTP041			
	P102	INTP050/TI05/TCLR05			
	P103	INTP051			
	P104	TI28/TO28			
	P105	TI29/TO29			
	P106	TI210/TO210			
	P107	TI211/TO211			

注 ソフトウェア・プルアップ機能

(1) P10端子の機能

ポート10は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

出力モード時、ポート10 (P10) に設定した各ビットの値を出力します。

入力モード時にP10をリードすると端子状態をリードできます。また、出力モード時にP10をリードすると、P10 (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポート10モード・レジスタ (PM10) により、入出力を制御します。またポート10モード・コントロール・レジスタ (PMC10)、ポート10ファンクション・コントロール・レジスタ (PFC10) でコントロール・モードの設定を行います。

プルアップ抵抗オプション・レジスタ10 (PU10) の指定により、1ビット単位でプルアップ抵抗を接続できます。

(2) 制御レジスタ

(a) ポート10モード・レジスタ (PM10)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：FFH R/W アドレス：FFFFFF434H

	7	6	5	4	3	2	1	0
PM10	PM107	PM106	PM105	PM104	PM103	PM102	PM101	PM100
PM10n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(b) ポート10モード・コントロール・レジスタ (PMC10)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF454H

	7	6	5	4	3	2	1	0
PMC10	PMC107	PMC106	PMC105	PMC104	PMC103	PMC102	PMC101	PMC100

PMC107	P107端子の動作モードの指定
0	入出力ポート
1	TI211/TO211入出力

PMC106	P106端子の動作モードの指定
0	入出力ポート
1	TI210/TO210入出力

PMC105	P105端子の動作モードの指定
0	入出力ポート
1	TI29/TO29入出力

PMC104	P104端子の動作モードの指定
0	入出力ポート
1	TI28/TO28入出力

PMC103	P103端子の動作モードの指定
0	入出力ポート
1	INTP051入力

PMC102	P102端子の動作モードの指定
0	入出力ポート
1	INTP050/TI05/TCLR05入力

PMC101	P101端子の動作モードの指定
0	入出力ポート
1	INTP041入力

PMC100	P100端子の動作モードの指定
0	入出力ポート
1	INTP040/TI04/TCLR04入力

(c) ポート10ファンクション・コントロール・レジスタ (PFC10)

コントロール・モード1/コントロール・モード2を指定する8ビットのレジスタです。
8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF474H

	7	6	5	4	3	2	1	0
PFC10	PFC107	PFC106	PFC105	PFC104	0	0	0	0

PFC107	P107端子のコントロール・モード時の動作モードの指定
0	TI211入力
1	TO211出力

PFC106	P106端子のコントロール・モード時の動作モードの指定
0	TI210入力
1	TO210出力

PFC105	P105端子のコントロール・モード時の動作モードの指定
0	TI29入力
1	TO29出力

PFC104	P104端子のコントロール・モード時の動作モードの指定
0	TI28入力
1	TO28出力

(d) プルアップ抵抗オプション・レジスタ10 (PU10)

内蔵プルアップ抵抗を指定する8ビットのレジスタです。
8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFFC54H

	7	6	5	4	3	2	1	0
PU10	PU107	PU106	PU105	PU104	PU103	PU102	PU101	PU100

PU10n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ブロック図

図10 - 23 P100-P103のブロック図

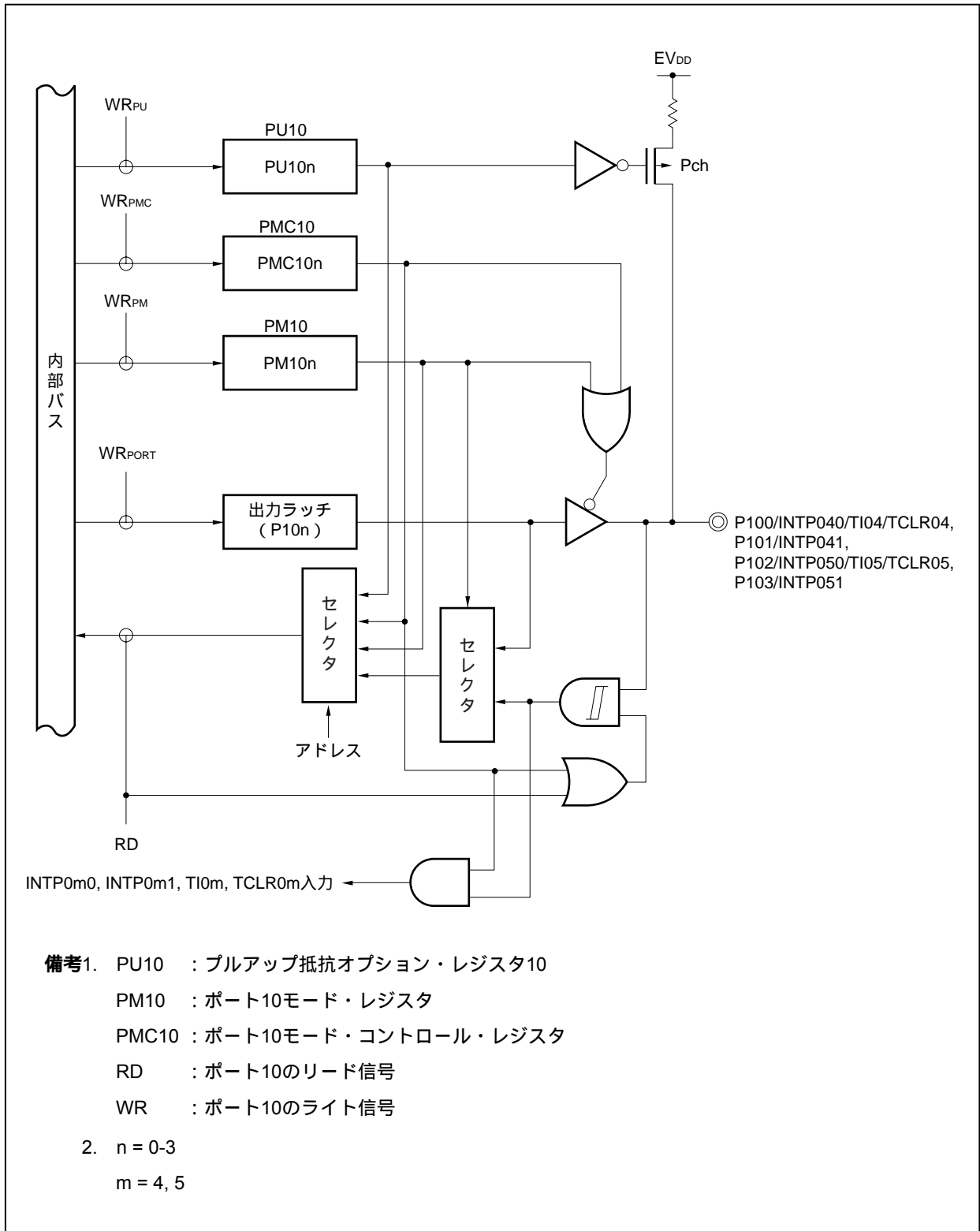
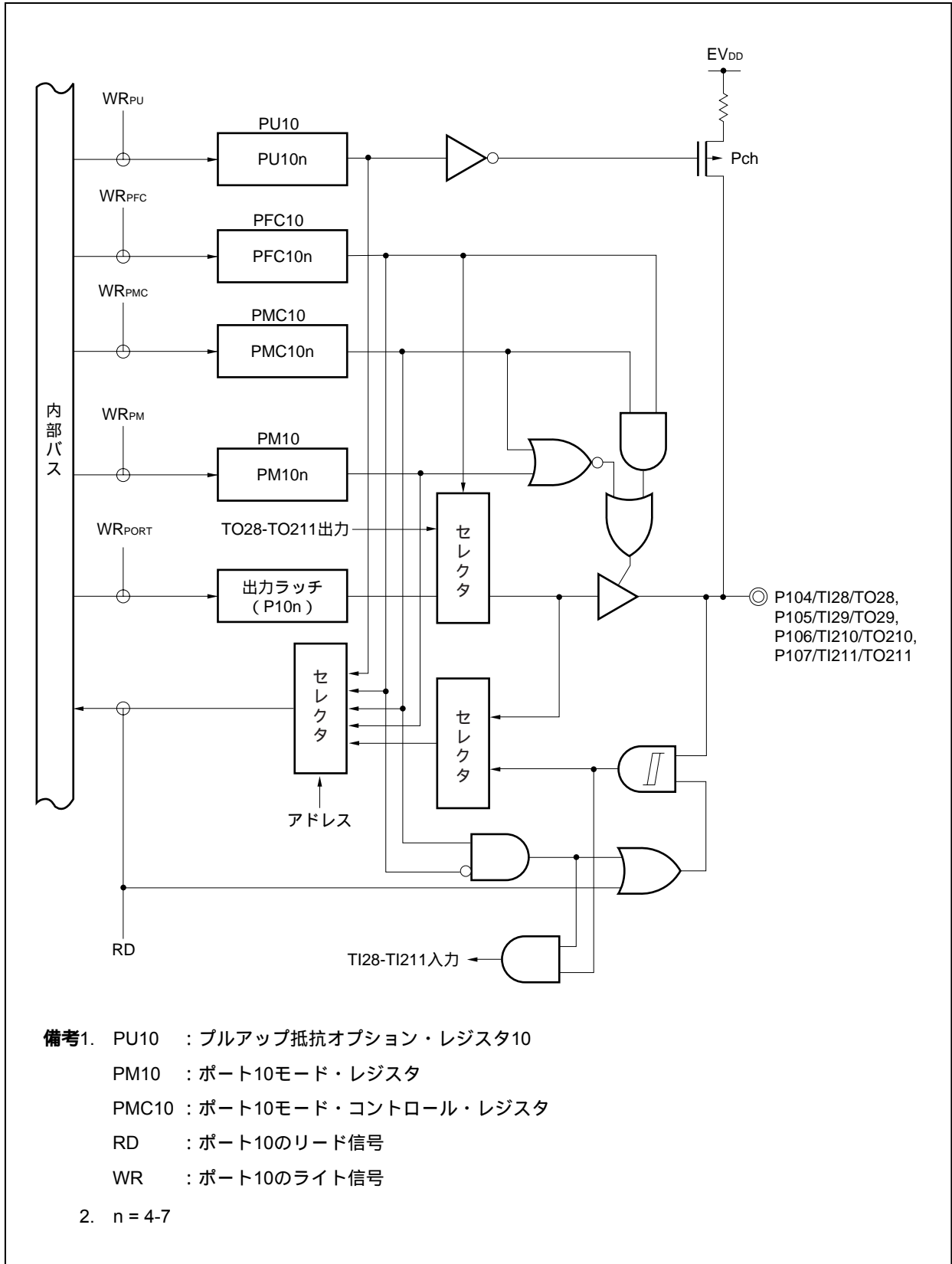


図10 - 24 P104-P107のブロック図



10.3.12 ポート11

ポート11は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

リセット時：不定 R/W アドレス：FFFFFF416H

	7	6	5	4	3	2	1	0
P11	P117	P116	P115	P114	P113	P112	P111	P110

P11n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート11（P11）をリードすると、そのときの端子レベルを読み出します。ライトすると、P11にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート11（P11）をリードすると、P11の値を読み出します。ライトすると、P11に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP11をリードすると不定（端子入力レベル）を読み出します。出力モード時にP11をリードすると00H（出力ラッチの値）を読み出します。

ポート11は、次に示す端子と兼用しています。

表10 - 14 ポート11の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート11	P110	TO00	入出力	あり	-
	P111	TO01			
	P112	TO02			
	P113	TO03			
	P114	TO04			
	P115	TO05			
	P116	CLO			
	P117	-			

注 ソフトウェア・プルアップ機能

(1) P11端子の機能

ポート11は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

出力モード時、ポート11 (P11) に設定した各ビットの値を出力します。

入力モード時にP11をリードすると端子状態をリードできます。また、出力モード時にP11をリードすると、P11 (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポート11モード・レジスタ (PM11) により、入出力を制御します。またポート11モード・コントロール・レジスタ (PMC11) でコントロール・モードの設定を行います。

プルアップ抵抗オプション・レジスタ11 (PU11) の指定により、1ビット単位でプルアップ抵抗を接続できます。

(2) 制御レジスタ

(a) ポート11モード・レジスタ (PM11)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF436H

	7	6	5	4	3	2	1	0
PM11	PM117	PM116	PM115	PM114	PM113	PM112	PM111	PM110
PM11n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(b) ポート11モード・コントロール・レジスタ (PMC11)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF456H

	7	6	5	4	3	2	1	0
PMC11	0	PMC116	PMC115	PMC114	PMC113	PMC112	PMC111	PMC110

PMC116	P116端子の動作モードの指定
0	入出力ポート
1	CLO出力

PMC115	P115端子の動作モードの指定
0	入出力ポート
1	TO05出力

PMC114	P114端子の動作モードの指定
0	入出力ポート
1	TO04出力

PMC113	P113端子の動作モードの指定
0	入出力ポート
1	TO03出力

PMC112	P112端子の動作モードの指定
0	入出力ポート
1	TO02出力

PMC111	P111端子の動作モードの指定
0	入出力ポート
1	TO01出力

PMC110	P110端子の動作モードの指定
0	入出力ポート
1	TO00出力

(c) プルアップ抵抗オプション・レジスタ11 (PU11)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFFC56H

	7	6	5	4	3	2	1	0
PU11	PU117	PU116	PU115	PU114	PU113	PU112	PU111	PU110

PU11n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ブロック図

図10 - 25 P110-P116のブロック図

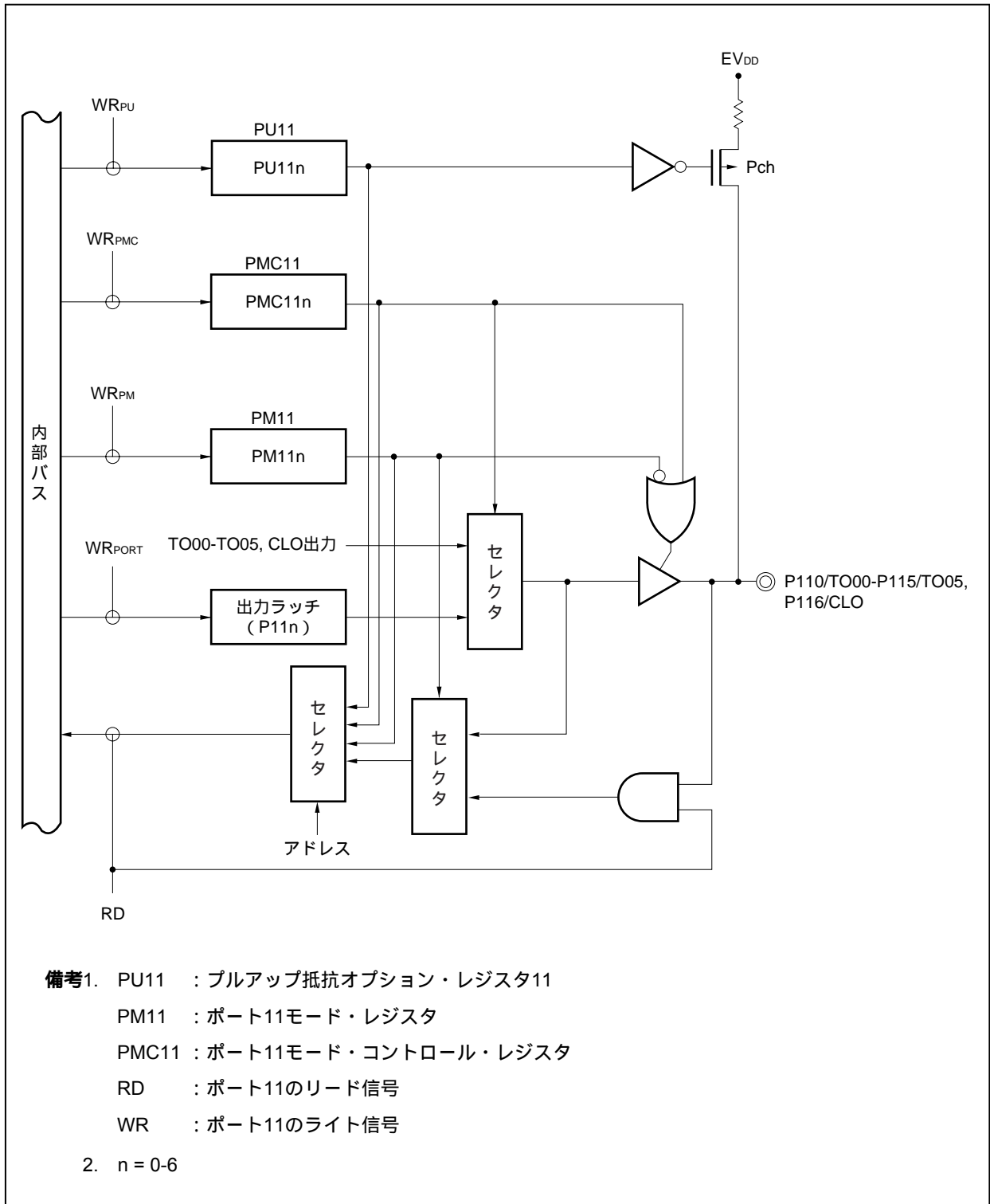
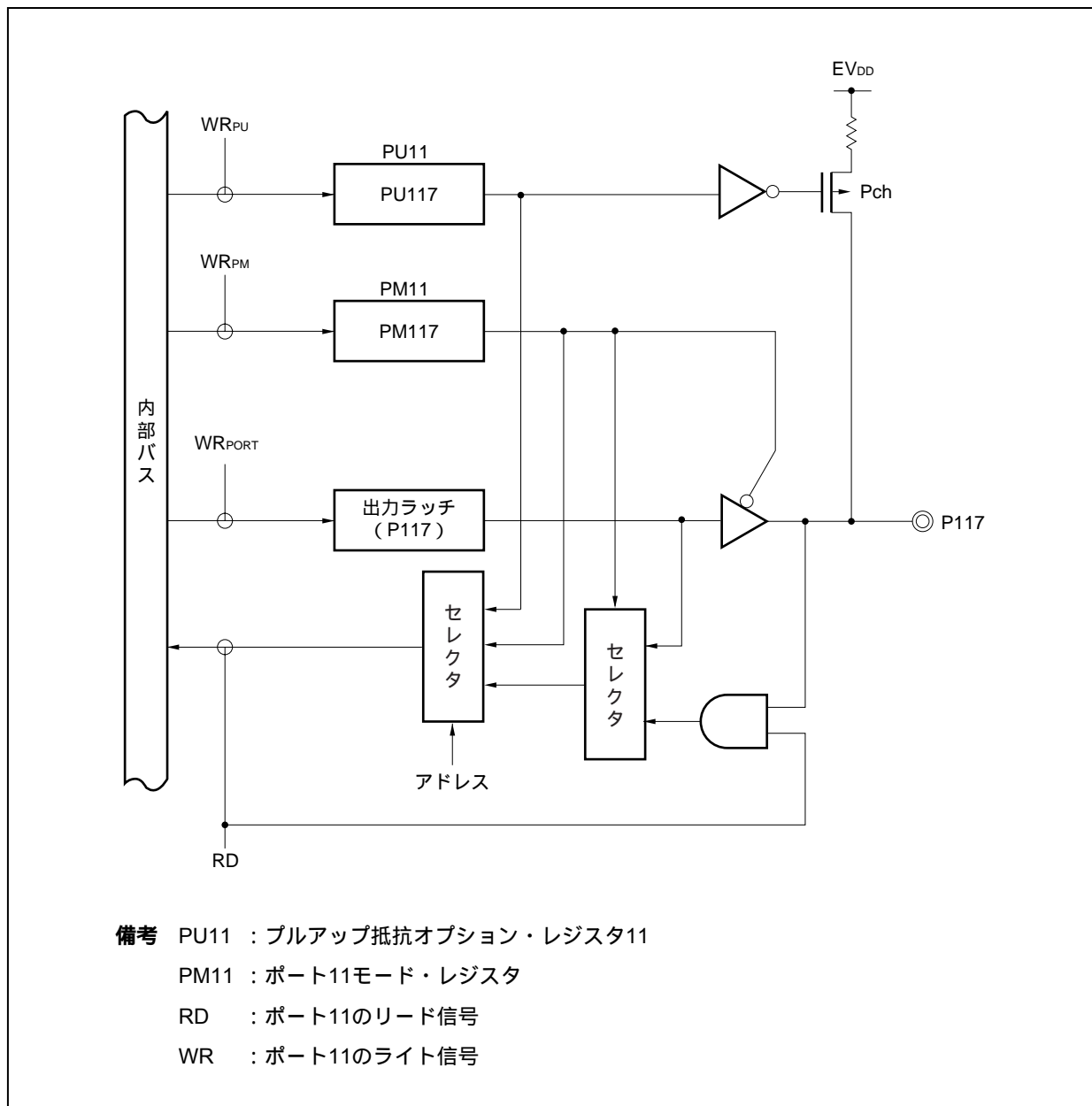


図10 - 26 P117のブロック図



10.3.13 ポート12

ポート12は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

リセット時：不定 R/W アドレス：FFFFFF418H

	7	6	5	4	3	2	1	0
P12	P127	P126	P125	P124	P123	P122	P121	P120

P12n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート12（P12）をリードすると、そのときの端子レベルを読み出します。ライトすると、P12にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート12（P12）をリードすると、P12の値を読み出します。ライトすると、P12に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP12をリードすると不定（端子入力レベル）を読み出します。出力モード時にP12をリードすると00H（出力ラッチの値）を読み出します。

ポート12は、次に示す端子と兼用しています。

表10 - 15 ポート12の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート12	P120	TI20/TO20	入出力	あり	-
	P121	TI21/TO21			
	P122	TI22/TO22			
	P123	TI23/TO23			
	P124	TI24/TO24			
	P125	TI25/TO25			
	P126	TI26/TO26			
	P127	TI27/TO27			

注 ソフトウェア・プルアップ機能

(1) P12端子の機能

ポート12は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

出力モード時、ポート12 (P12) に設定した各ビットの値を出力します。

入力モード時にP12をリードすると端子状態をリードできます。また、出力モード時にP12をリードすると、P12 (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポート12モード・レジスタ (PM12) により、入出力を制御します。またポート12モード・コントロール・レジスタ (PMC12)、ポート12ファンクション・コントロール・レジスタ (PFC12) でコントロール・モードの設定を行います。

プルアップ抵抗オプション・レジスタ12 (PU12) の指定により、1ビット単位でプルアップ抵抗を接続できます。

(2) 制御レジスタ

(a) ポート12モード・レジスタ (PM12)

入力モード / 出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセット時: FFH R/W アドレス: FFFFF438H

	7	6	5	4	3	2	1	0
PM12	PM127	PM126	PM125	PM124	PM123	PM122	PM121	PM120

PM12n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) ポート12モード・コントロール・レジスタ (PMC12)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFFFF458H

	7	6	5	4	3	2	1	0
PMC12	PMC127	PMC126	PMC125	PMC124	PMC123	PMC122	PMC121	PMC120
	P127端子の動作モードの指定							
	0	入出力ポート						
	1	TI27/TO27入出力						
	P126端子の動作モードの指定							
	0	入出力ポート						
	1	TI26/TO26入出力						
	P125端子の動作モードの指定							
	0	入出力ポート						
	1	TI25/TO25入出力						
	P124端子の動作モードの指定							
	0	入出力ポート						
	1	TI24/TO24入出力						
	P123端子の動作モードの指定							
	0	入出力ポート						
	1	TI23/TO23入出力						
	P122端子の動作モードの指定							
	0	入出力ポート						
	1	TI22/TO22入出力						
	P121端子の動作モードの指定							
	0	入出力ポート						
	1	TI21/TO21入出力						
	P120端子の動作モードの指定							
	0	入出力ポート						
	1	TI20/TO20入出力						

(c) ポート12ファンクション・コントロール・レジスタ (PFC12)

コントロール・モード1/コントロール・モード2を指定する8ビットのレジスタです。
8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF478H

	7	6	5	4	3	2	1	0
PFC12	PFC127	PFC126	PFC125	PFC124	PFC123	PFC122	PFC121	PFC120

PFC127	P127端子のコントロール・モード時の動作モードの指定
0	TI27入力
1	TO27出力

PFC126	P126端子のコントロール・モード時の動作モードの指定
0	TI26入力
1	TO26出力

PFC125	P125端子のコントロール・モード時の動作モードの指定
0	TI25入力
1	TO25出力

PFC124	P124端子のコントロール・モード時の動作モードの指定
0	TI24入力
1	TO24出力

PFC123	P123端子のコントロール・モード時の動作モードの指定
0	TI23入力
1	TO23出力

PFC122	P122端子のコントロール・モード時の動作モードの指定
0	TI22入力
1	TO22出力

PFC121	P121端子のコントロール・モード時の動作モードの指定
0	TI21入力
1	TO21出力

PFC120	P120端子のコントロール・モード時の動作モードの指定
0	TI20入力
1	TO20出力

(d) プルアップ抵抗オプション・レジスタ12 (PU12)

内蔵プルアップ抵抗を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

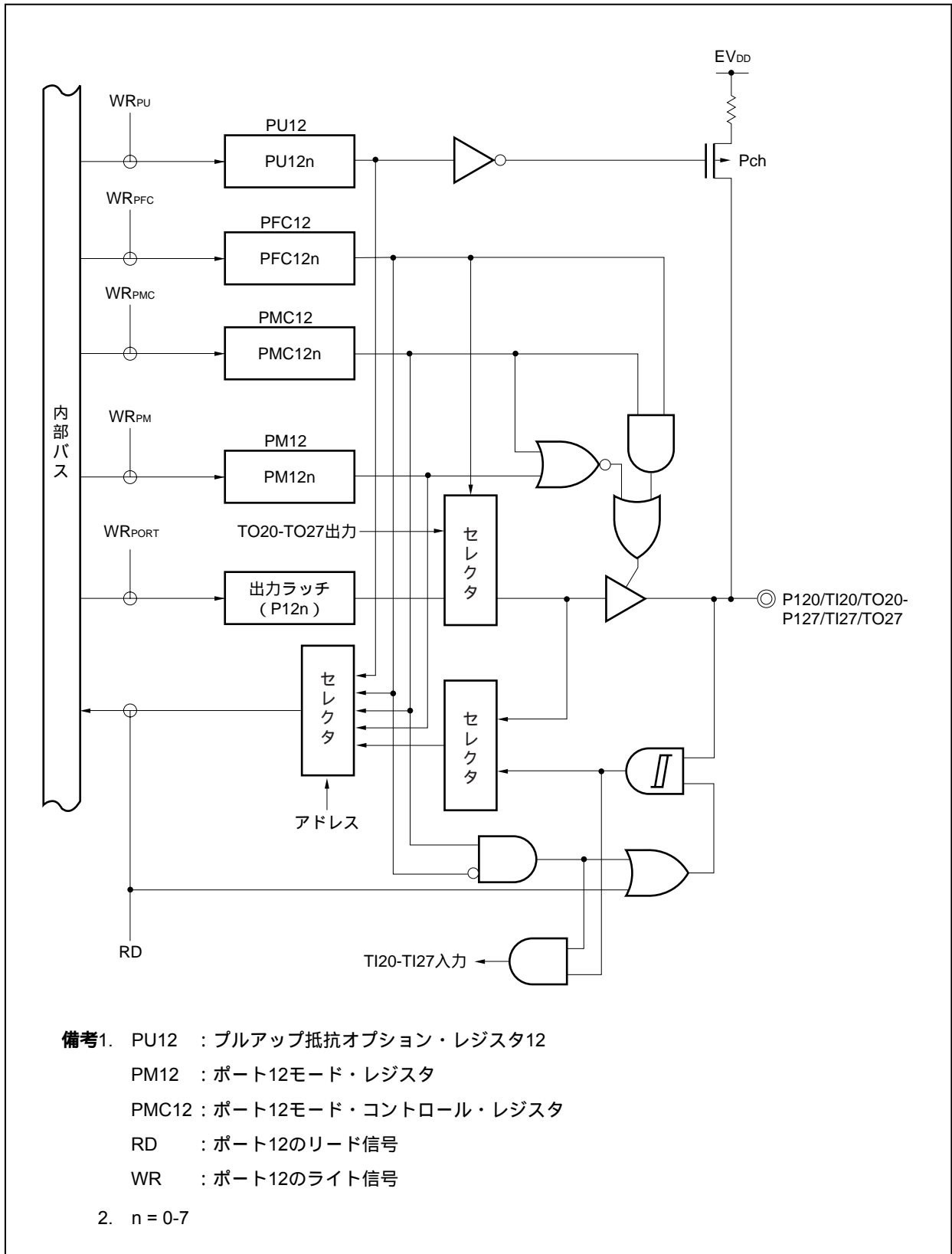
リセット時：00H R/W アドレス：FFFFFFC58H

	7	6	5	4	3	2	1	0
PU12	PU127	PU126	PU125	PU124	PU123	PU122	PU121	PU120

PU12n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ブロック図

図10 - 27 P120-P127のブロック図



10.3.14 ポート13

ポート13は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

リセット時：不定 R/W アドレス：FFFFFF41AH

	7	6	5	4	3	2	1	0
P13	P137	P136	P135	P134	P133	P132	P131	P130

P13n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート13（P13）をリードすると、そのときの端子レベルを読み出します。ライトすると、P13にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート13（P13）をリードすると、P13の値を読み出します。ライトすると、P13に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP13をリードすると不定（端子入力レベル）を読み出します。出力モード時にP13をリードすると00H（出力ラッチの値）を読み出します。

ポート13は、次に示す端子と兼用しています。

表10 - 16 ポート13の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート13	P130	RTP00	入出力	あり	-
	P131	RTP01			
	P132	RTP02			
	P133	RTP03			
	P134	RTP04			
	P135	RTP05			
	P136	RTP06			
	P137	RTP07			

注 ソフトウェア・プルアップ機能

(1) P13端子の機能

ポート13は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

出力モード時、ポート13 (P13) に設定した各ビットの値を出力します。

入力モード時にP13をリードすると端子状態をリードできます。また、出力モード時にP13をリードすると、P13 (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポート13モード・レジスタ (PM13) により、入出力を制御します。またポート13モード・コントロール・レジスタ (PMC13) でコントロール・モードの設定を行います。

プルアップ抵抗オプション・レジスタ13 (PU13) の指定により、1ビット単位でプルアップ抵抗を接続できます。

(2) 制御レジスタ

(a) ポート13モード・レジスタ (PM13)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF43AH

	7	6	5	4	3	2	1	0
PM13	PM137	PM136	PM135	PM134	PM133	PM132	PM131	PM130
PM13n	入出力モードの制御 (n = 0-7)							
0	出力モード							
1	入力モード							

(b) ポート13モード・コントロール・レジスタ (PMC13)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFF45AH

	7	6	5	4	3	2	1	0
PMC13	PMC137	PMC136	PMC135	PMC134	PMC133	PMC132	PMC131	PMC130

PMC13n	P13n端子の動作モードの指定 (n = 0-7)
0	入出力ポート
1	RTP0n出力

(c) プルアップ抵抗オプション・レジスタ13 (PU13)

内蔵プルアップ抵抗の接続を設定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

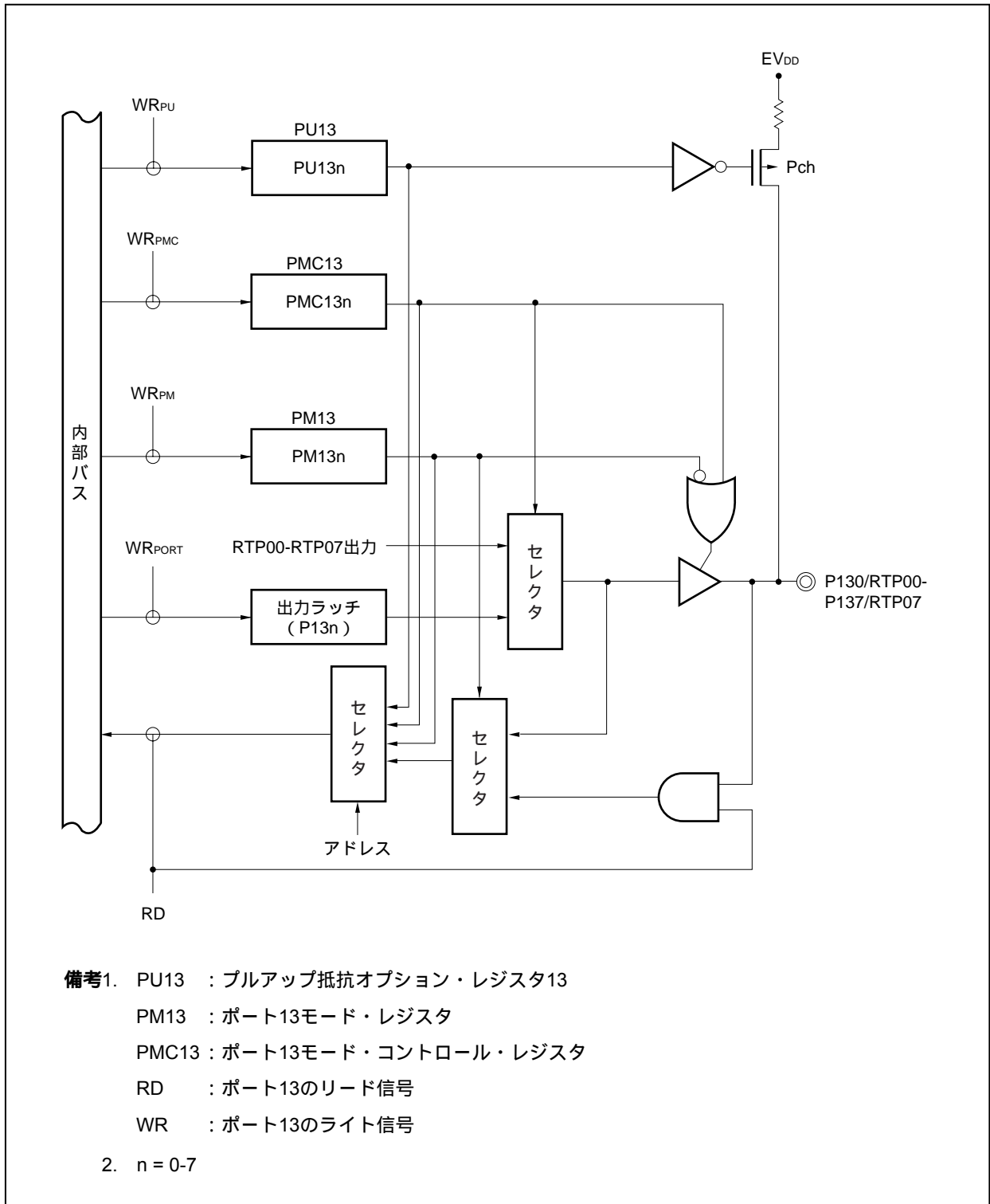
リセット時：00H R/W アドレス：FFFFFFC5AH

	7	6	5	4	3	2	1	0
PU13	PU137	PU136	PU135	PU134	PU133	PU132	PU131	PU130

PU13n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ブロック図

図10 - 28 P130-P137のブロック図



10.3.15 ポート14

ポート14は、1ビット単位で入出力を制御できる8ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

リセット時：不定 R/W アドレス：FFFFFF41CH

	7	6	5	4	3	2	1	0
P14	P147	P146	P145	P144	P143	P142	P141	P140

P14n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート14（P14）をリードすると、そのときの端子レベルを読み出します。ライトすると、P14にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート14（P14）をリードすると、P14の値を読み出します。ライトすると、P14に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP14をリードすると不定（端子入力レベル）を読み出します。出力モード時にP14をリードすると00H（出力ラッチの値）を読み出します。

ポート14は、次に示す端子と兼用しています。

表10 - 17 ポート14の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート14	P140	RTP10	入出力	あり	-
	P141	RTP11			
	P142	RTP12			
	P143	RTP13			
	P144	RTP14			
	P145	RTP15			
	P146	RTP16			
	P147	RTP17			

注 ソフトウェア・プルアップ機能

(1) P14端子の機能

ポート14は、1ビット単位で入出力を制御できる8ビット入出力ポートです。

出力モード時、ポート14 (P14) に設定した各ビットの値を出力します。

入力モード時にP14をリードすると端子状態をリードできます。また、出力モード時にP14をリードすると、P14 (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポート14モード・レジスタ (PM14) により、入出力を制御します。またポート14モード・コントロール・レジスタ (PMC14) でコントロール・モードの設定を行います。

プルアップ抵抗オプション・レジスタ14 (PU14) の指定により、1ビット単位でプルアップ抵抗を接続できます。

(2) 制御レジスタ

(a) ポート14モード・レジスタ (PM14)

入力モード / 出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF43CH

	7	6	5	4	3	2	1	0
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140

PM14n	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) ポート14モード・コントロール・レジスタ (PMC14)

ポート・モード / コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF45CH

	7	6	5	4	3	2	1	0
PMC14	PMC147	PMC146	PMC145	PMC144	PMC143	PMC142	PMC141	PMC140

PMC14n	P14n端子の動作モードの指定 (n = 0-7)
0	入出力ポート
1	RTP1n出力

(c) プルアップ抵抗オプション・レジスタ14 (PU14)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

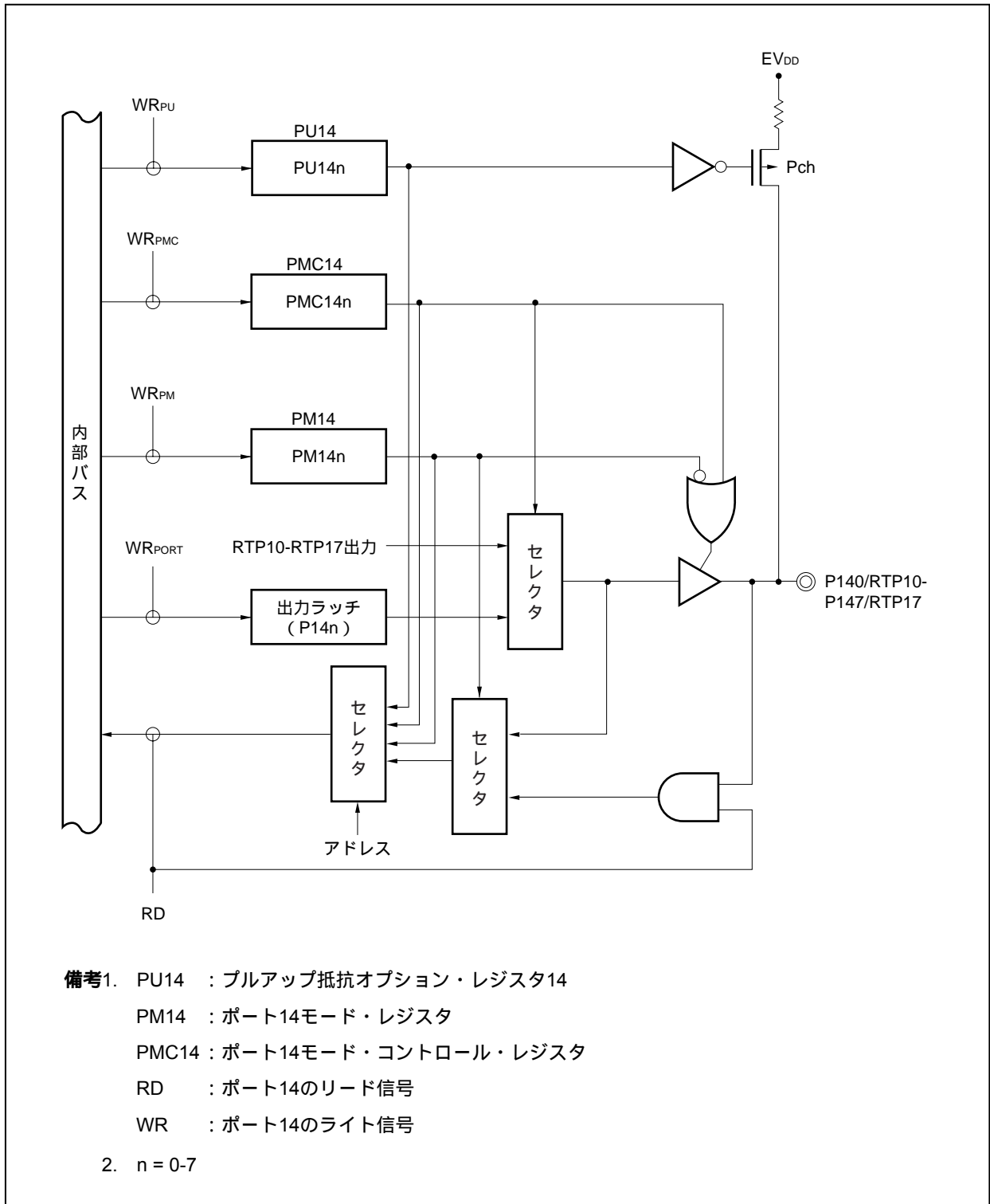
リセット時 : 00H R/W アドレス : FFFFC5CH

	7	6	5	4	3	2	1	0
PU14	PU147	PU146	PU145	PU144	PU143	PU142	PU141	PU140

PU14n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

(3) ブロック図

図10 - 29 P140-P147のブロック図



10.3.16 ポート15

ポート15は、8/1ビット単位で入出力を制御できる6ビット入出力ポートです。また、1ビット単位でプルアップ抵抗を接続できます（ソフトウェア・プルアップ機能）。

リセット時：不定 R/W アドレス：FFFFFF41EH

	7	6	5	4	3	2	1	0
P15	0	0	P155	P154	P153	P152	P151	P150

P15n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポート15（P15）をリードすると、そのときの端子レベルを読み出します。ライトすると、P15にライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポート15（P15）をリードすると、P15の値を読み出します。ライトすると、P15に値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にP15をリードすると不定（端子入力レベル）を読み出します。出力モード時にP15をリードすると00H（出力ラッチの値）を読み出します。

ポート15は、次に示す端子と兼用しています。

表10 - 18 ポート15の兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポート15	P150	PWM0	入出力	あり	-
	P151	PWM1			
	P152	PWM2			
	P153	PWM3			
	P154	PWM4			
	P155	-			

注 ソフトウェア・プルアップ機能

(1) P15端子の機能

ポート15は、8/1ビット単位で入出力を制御できる6ビット入出力ポートです。

出力モード時、ポート15 (P15) に設定した各ビットの値を出力します。

入力モード時にP15をリードすると端子状態をリードできます。また、出力モード時にP15をリードすると、P15 (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポート15モード・レジスタ (PM15) により、入出力を制御します。またポート15モード・コントロール・レジスタ (PMC15) でコントロール・モードの設定を行います。

プルアップ抵抗オプション・レジスタ15 (PU15) の指定により、1ビット単位でプルアップ抵抗を接続できます。

(2) 制御レジスタ

(a) ポート15モード・レジスタ (PM15)

入力モード / 出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセット時 : FFH R/W アドレス : FFFFF43EH

	7	6	5	4	3	2	1	0
PM15	1	1	PM155	PM154	PM153	PM152	PM151	PM150

PM15n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(b) ポート15モード・コントロール・レジスタ (PMC15)

ポート・モード / コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF45EH

	7	6	5	4	3	2	1	0
PMC15	0	0	0	PMC154	PMC153	PMC152	PMC151	PMC150

PMC15n	P15n端子の動作モードの指定 (n = 0-4)
0	入出力ポート
1	PWMn出力

(c) プルアップ抵抗オプション・レジスタ15 (PU15)

内蔵プルアップ抵抗の接続を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFFFFC5EH

	7	6	5	4	3	2	1	0
PU15	0	0	PU155	PU154	PU153	PU152	PU151	PU150

PU15n	内蔵プルアップ抵抗接続制御 (n = 0-5)
0	接続しない
1	接続する

(3) ブロック図

図10 - 30 P150-P154のブロック図

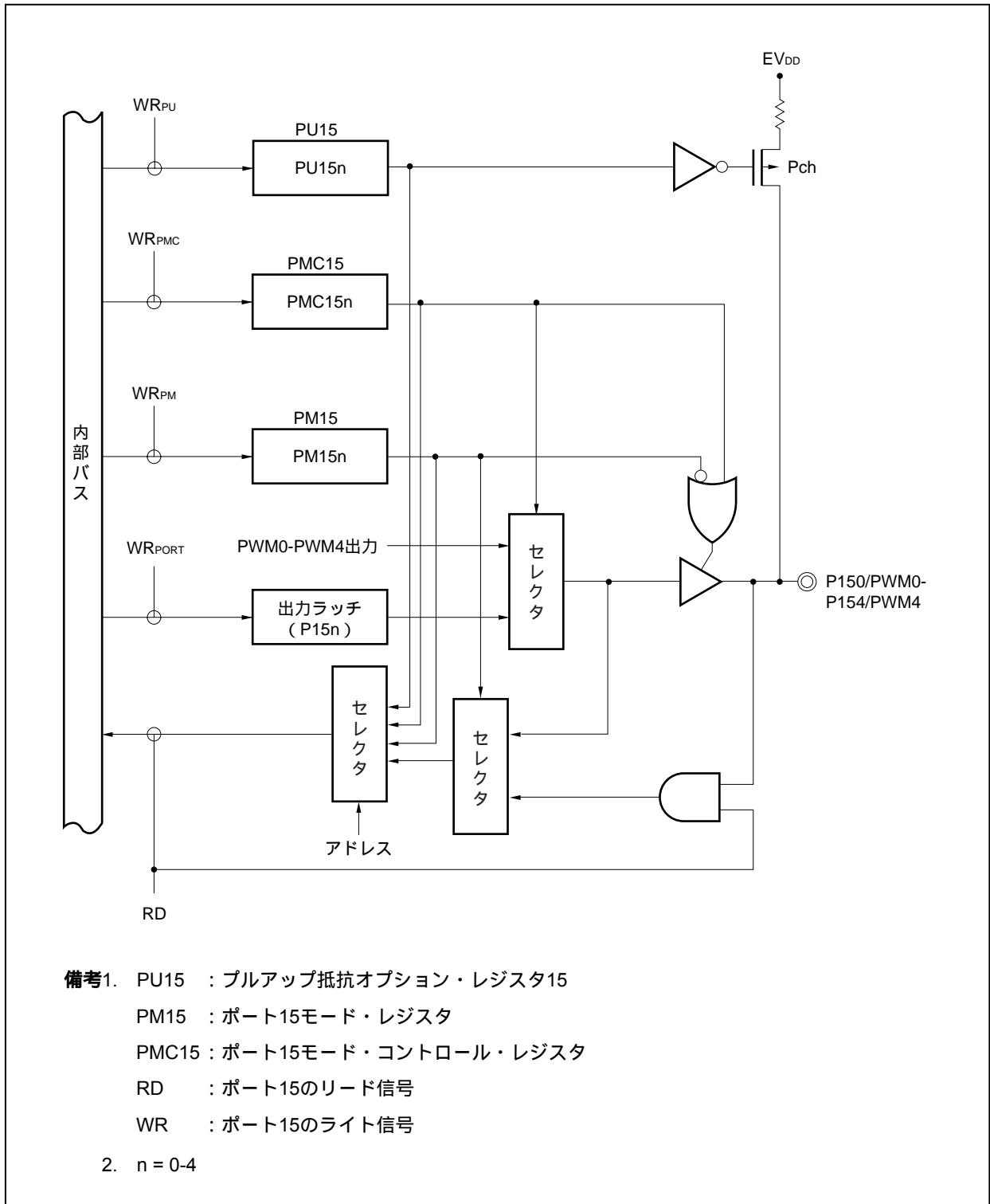
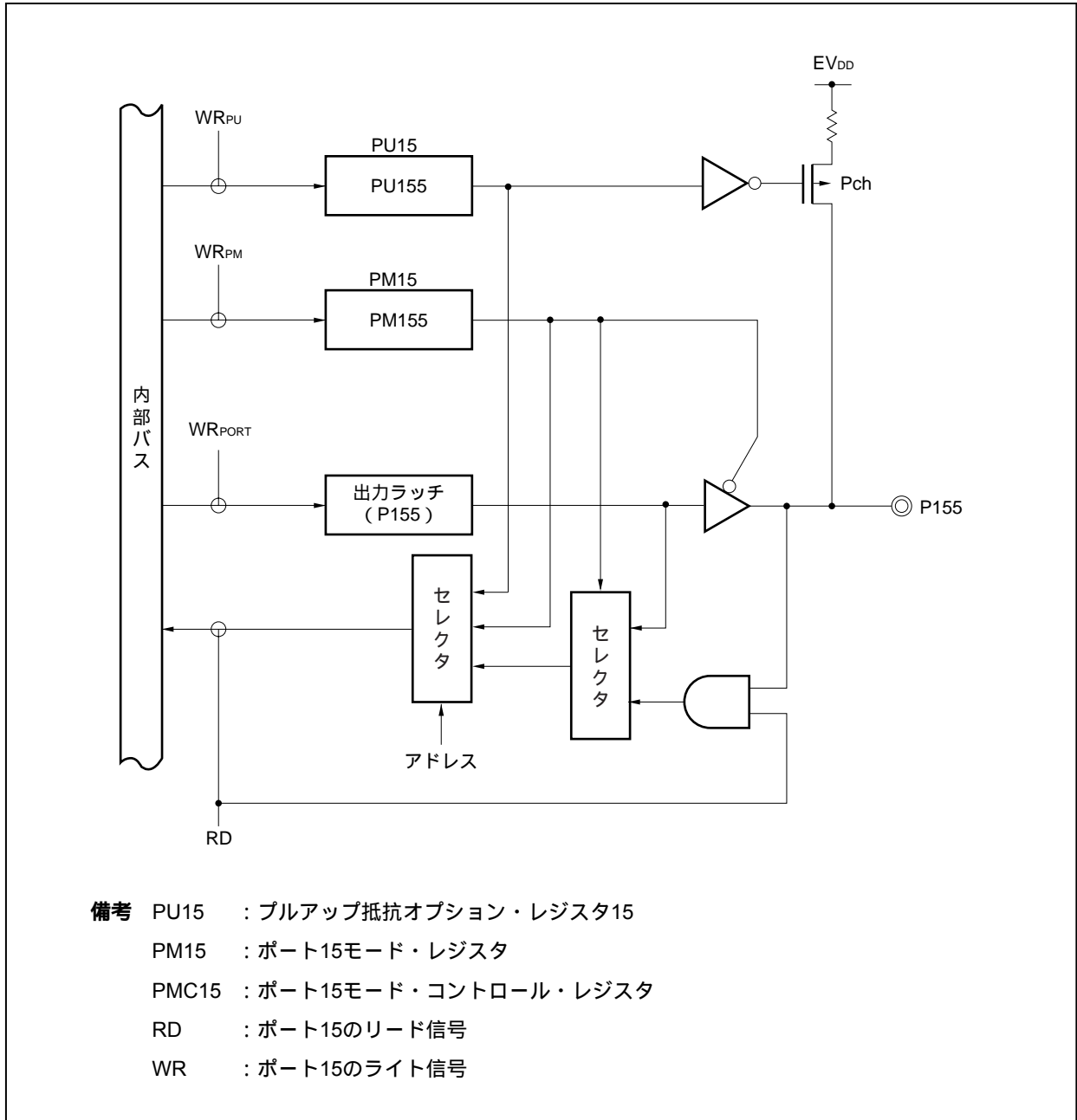


図10 - 31 P155のブロック図



10.3.17 ポートCD

ポートCDは、1ビット単位で入出力を制御できる4ビット入出力ポートです。

リセット時：不定 R/W アドレス：FFFFFF00EH

	7	6	5	4	3	2	1	0
PCD	0	0	0	0	PCD3	PCD2	PCD1	PCD0

PCDn	出力データの制御（出力モード時）（n = 0-3）
0	0を出力
1	1を出力

備考1. 入力モード時：ポートCD（PCD）をリードすると、そのときの端子レベルを読み出します。ライトすると、PCDにライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポートCD（PCD）をリードすると、PCDの値を読み出します。ライトすると、PCDに値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にPCDをリードすると不定（端子入力レベル）を読み出します。出力モード時にPCDをリードすると00H（出力ラッチの値）を読み出します。

ポートCDは、兼用端子はありません。

表10 - 19 ポートCDの兼用端子

端子名		兼用端子名	入出力	PULL ^注	備考
ポートCD	PCD0	-	入出力	なし	-
	PCD1	-			
	PCD2	-			
	PCD3	-			

注 ソフトウェア・プルアップ機能

(1) PCD端子の機能

ポートCDは、1ビット単位で入出力を制御できる4ビット入出力ポートです。

出力モード時、ポートCD (PCD) に設定した各ビットの値を出力します。

入力モード時にPCDをリードすると端子状態をリードできます。また、出力モード時にPCDをリードすると、PCD (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポートCDモード・レジスタ (PMCD) により、入出力を制御します。

ポートCDに兼用端子はありません。

ソフトウェア・ブルアップ機能は内蔵していません。

(2) 制御レジスタ

(a) ポートCDモード・レジスタ (PMCD)

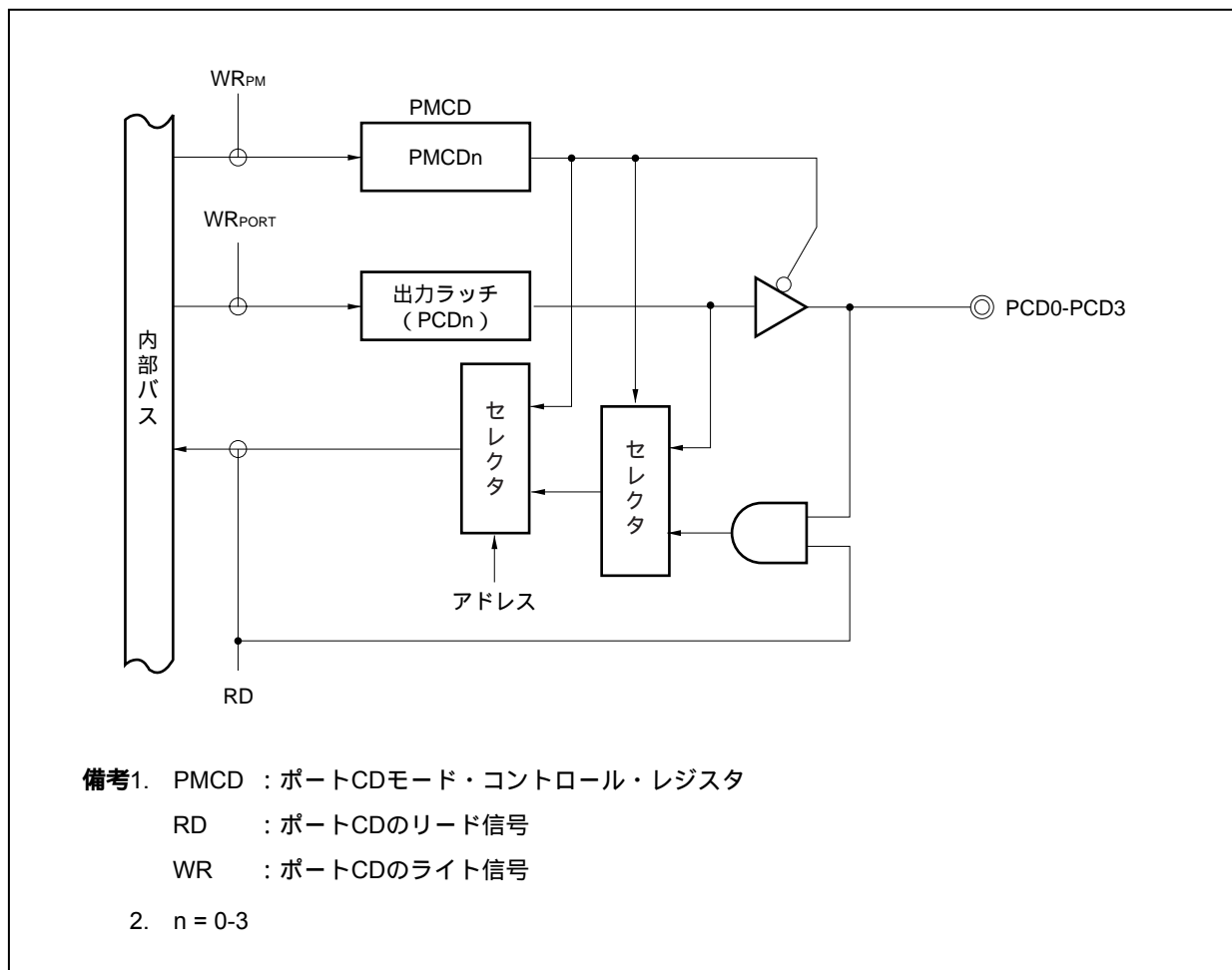
入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時：FFH R/W アドレス：FFFFFF02EH								
	7	6	5	4	3	2	1	0
PMCD	1	1	1	1	PMCD3	PMCD2	PMCD1	PMCD0
	PMCDn 入出力モードの制御 (n = 0-3)							
	0	出力モード						
	1	入力モード						

(3) ブロック図

図10 - 32 PCD0-PCD3のブロック図



10.3.18 ポートCM

ポートCMは、1ビット単位で入出力を制御できる6ビット入出力ポートです。

リセット時：不定 R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	PCM5	PCM4	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

備考1. 入力モード時：ポートCM（PCM）をリードすると、そのときの端子レベルを読み出します。ライトすると、PCMにライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポートCM（PCM）をリードすると、PCMの値を読み出します。ライトすると、PCMに値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にPCMをリードすると不定（端子入力レベル）を読み出します。出力モード時にPCMをリードすると00H（出力ラッチの値）を読み出します。

ポートCMは、次に示す端子と兼用しています。

表10 - 20 ポートCMの兼用端子

端子名		兼用端子名	入出力	PULL ^注	備考
ポートCM	PCM0	WAIT	入出力	なし	-
	PCM1	CLKOUT			
	PCM2	HLD \overline{AK}			
	PCM3	HLD \overline{RQ}			
	PCM4	-			
	PCM5	-			

注 ソフトウェア・プルアップ機能

(1) PCM端子の機能

ポートCMは、1ビット単位で入出力を制御できる6ビット入出力ポートです。

出力モード時、ポートCM (PCM) に設定した各ビットの値を出力します。

入力モード時にPCMをリードすると端子状態をリードできます。また、出力モード時にPCMをリードすると、PCM (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポートCMモード・レジスタ (PMCM) により、入出力を制御します。またポートCMモード・コントロール・レジスタ (PMCCM) でコントロール・モードの設定を行います。

ソフトウェア・プルアップ機能は、内蔵していません。

(2) 制御レジスタ

(a) ポートCMモード・レジスタ (PMCM)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFF02CH								
	7	6	5	4	3	2	1	0
PMCM	1	1	PMCM5	PMCM4	PMCM3	PMCM2	PMCM1	PMCM0
	PMCMn 入出力モードの制御 (n = 0-5)							
	0	出力モード						
	1	入力モード						

(b) ポートCMモード・コントロール・レジスタ (PMCCM)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0

PMCCM3	PCM3端子の動作モードの指定
0	入出力ポート
1	H $\overline{\text{LDRQ}}$ 入力

PMCCM2	PCM2端子の動作モードの指定
0	入出力ポート
1	H $\overline{\text{LDAK}}$ 入力

PMCCM1	PCM1端子の動作モードの指定
0	入出力ポート
1	CLKOUT出力

PMCCM0	PCM0端子の動作モードの指定
0	入出力ポート
1	WAIT入力

(3) ブロック図

図10 - 33 PCM0, PCM3のブロック図

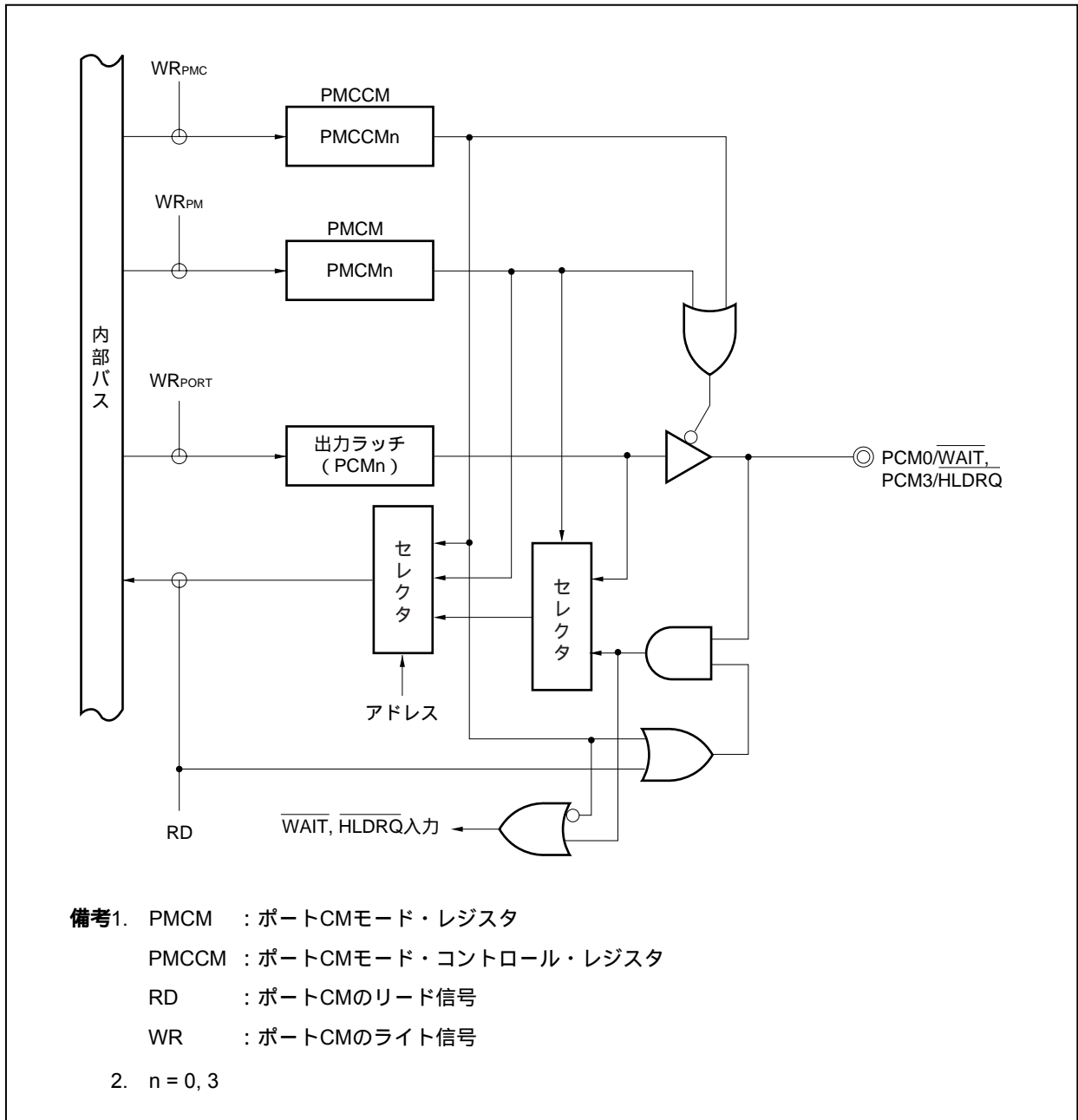


図10 - 34 PCM1, PCM2のブロック図

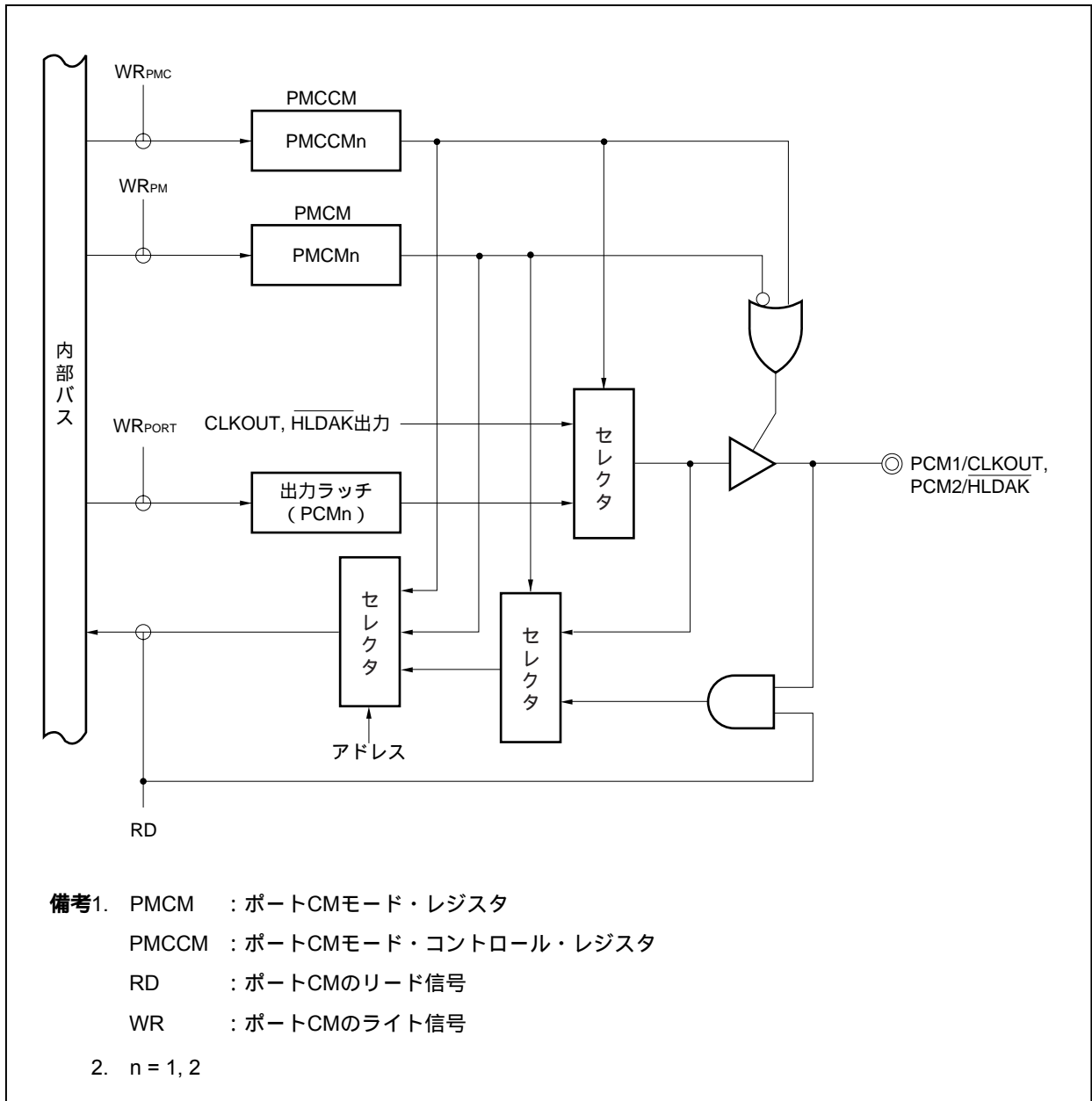
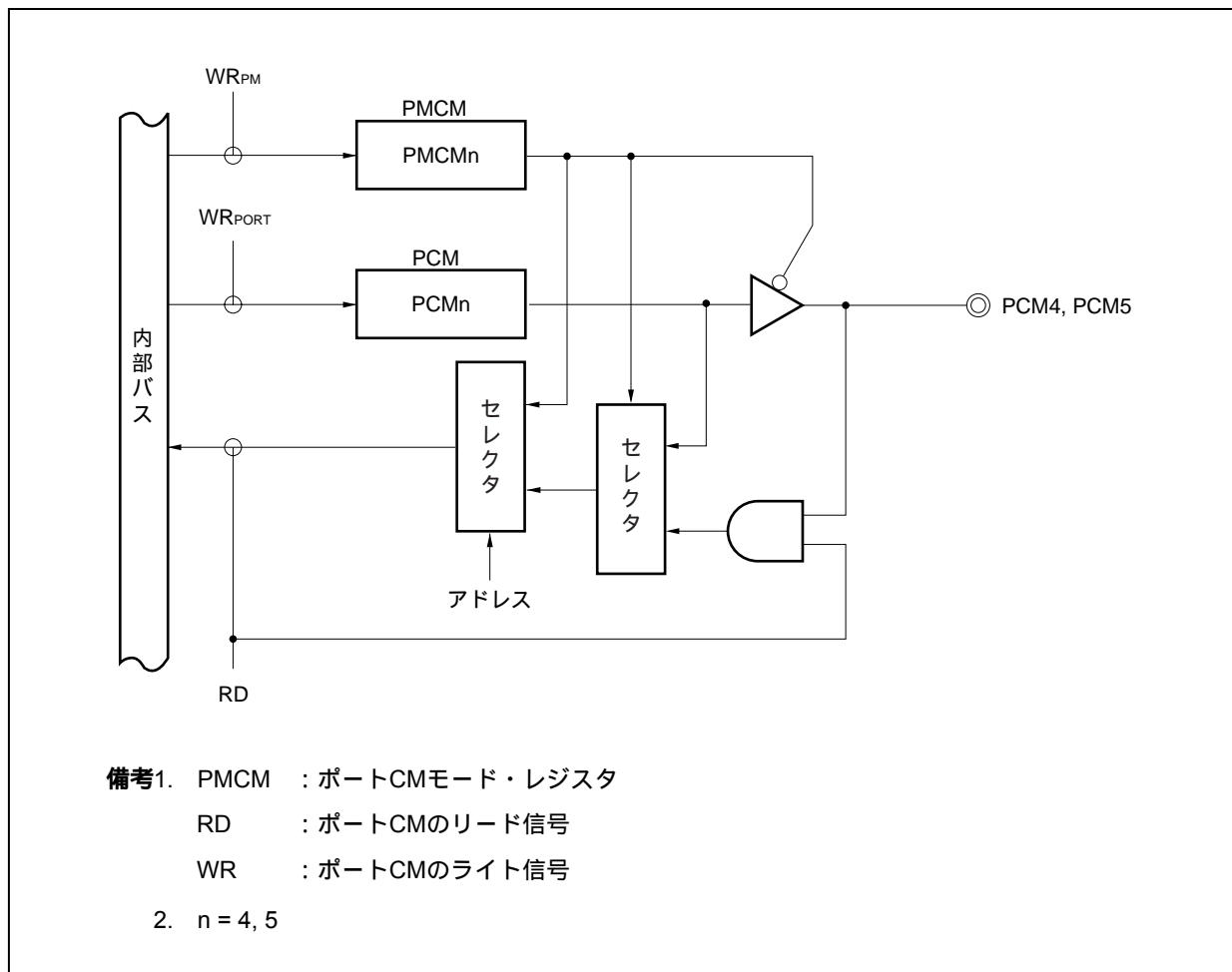


図10 - 35 PCM4, PCM5のブロック図



10.3.19 ポートCS

ポートCSは、1ビット単位で入出力を制御できる8ビット入出力ポートです。

リセット時：不定 R/W アドレス：FFFFFF008H

	7	6	5	4	3	2	1	0
PCS	PCS7	PCS6	PCS5	PCS4	PCS3	PCS2	PCS1	PCS0

PCS _n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポートCS（PCS）をリードすると、そのときの端子レベルを読み出します。ライトすると、PCSにライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポートCS（PCS）をリードすると、PCSの値を読み出します。ライトすると、PCSに値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にPCSをリードすると不定（端子入力レベル）を読み出します。出力モード時にPCSをリードすると00H（出力ラッチの値）を読み出します。

ポートCSは、次に示す端子と兼用しています。

表10-21 ポートCSの兼用端子

端子名		兼用端子名	入出力	PULL ^注	備考
ポートCS	PCS0	$\overline{CS0}$	入出力	なし	-
	PCS1	$\overline{CS1}$			
	PCS2	$\overline{CS2}$			
	PCS3	$\overline{CS3}$			
	PCS4	$\overline{CS4}$			
	PCS5	$\overline{CS5}$			
	PCS6	$\overline{CS6}$			
	PCS7	$\overline{CS7}$			

注 ソフトウェア・プルアップ機能

(1) PCS端子の機能

ポートCSは、1ビット単位で入出力を制御できる8ビット入出力ポートです。

出力モード時、ポートCS (PCS) に設定した各ビットの値を出力します。

入力モード時にPCSをリードすると端子状態をリードできます。また、出力モード時にPCSをリードすると、PCS (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポートCSモード・レジスタ (PMCS) により、入出力を制御します。またポートCSモード・コントロール・レジスタ (PMCCS) でコントロール・モードの設定を行います。

ソフトウェア・ブルアップ機能は、内蔵していません。

(2) 制御レジスタ

(a) ポートCSモード・レジスタ (PMCS)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFF028H

	7	6	5	4	3	2	1	0
PMCS	PMCS7	PMCS6	PMCS5	PMCS4	PMCS3	PMCS2	PMCS1	PMCS0

PMCSn	入出力モードの制御 (n = 0-7)
0	出力モード
1	入力モード

(b) ポートCSモード・コントロール・レジスタ (PMCCS)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

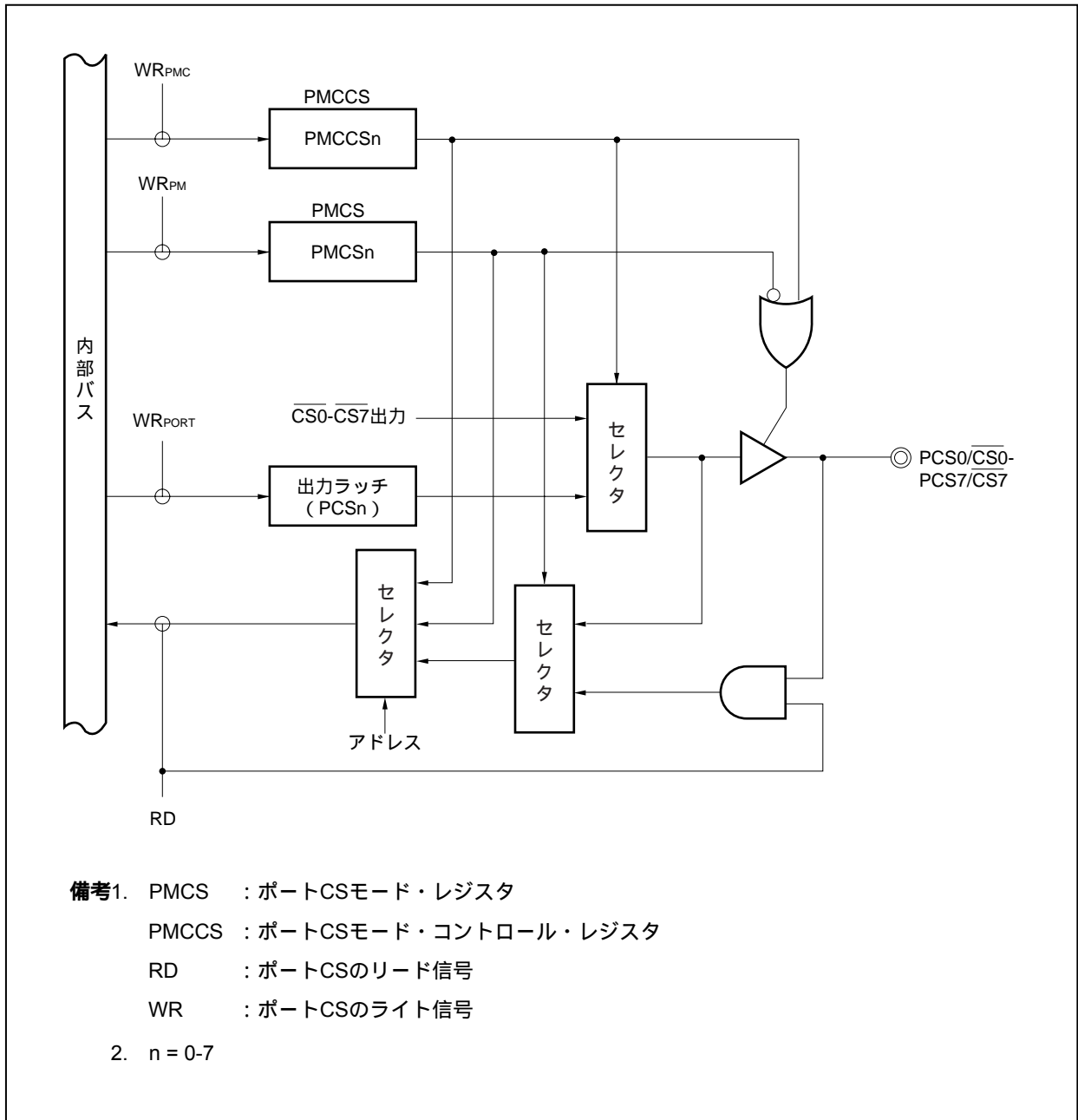
リセット時: 00H R/W アドレス: FFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	PMCCS7	PMCCS6	PMCCS5	PMCCS4	PMCCS3	PMCCS2	PMCCS1	PMCCS0

PMCCSn	PCS _n 端子の動作モードの指定 (n = 0-7)
0	入出力ポート
1	$\overline{\text{CS}}$ 出力

(3) ブロック図

図10 - 36 PCS0-PCS7のブロック図



10.3.20 ポートCT

ポートCTは、1ビット単位で入出力を制御できる8ビット入出力ポートです。

リセット時：不定 R/W アドレス：FFFFFF00AH

	7	6	5	4	3	2	1	0
PCT	PCT7	PCT6	PCT5	PCT4	PCT3	PCT2	PCT1	PCT0

PCTn	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

備考1. 入力モード時：ポートCT（PCT）をリードすると、そのときの端子レベルを読み出します。ライトすると、PCTにライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポートCT（PCT）をリードすると、PCTの値を読み出します。ライトすると、PCTに値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にPCTをリードすると不定（端子入力レベル）を読み出します。出力モード時にPCTをリードすると00H（出力ラッチの値）を読み出します。

ポートCTは、次に示す端子と兼用しています。

表10 - 22 ポートCTの兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポートCT	PCT0	$\overline{\text{LWR}}$	入出力	なし	-
	PCT1	$\overline{\text{UWR}}$			
	PCT2	-			
	PCT3	-			
	PCT4	$\overline{\text{RD}}$			
	PCT5	-			
	PCT6	ASTB			
	PCT7	-			

注 ソフトウェア・プルアップ機能

(1) PCT端子の機能

ポートCTは、1ビット単位で入出力を制御できる8ビット入出力ポートです。

出力モード時、ポートCT (PCT) に設定した各ビットの値を出力します。

入力モード時にPCTをリードすると端子状態をリードできます。また、出力モード時にPCTをリードすると、PCT (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポートCTモード・レジスタ (PMCT) により、入出力を制御します。またポートCTモード・コントロール・レジスタ (PMCCT) でコントロール・モードの設定を行います。

ソフトウェア・ブルアップ機能は、内蔵していません。

(2) 制御レジスタ

(a) ポートCTモード・レジスタ (PMCT)

入力モード/出力モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時: FFH R/W アドレス: FFFFF02AH								
	7	6	5	4	3	2	1	0
PMCT	PMCT7	PMCT6	PMCT5	PMCT4	PMCT3	PMCT2	PMCT1	PMCT0
	PMCTn							入出力モードの制御 (n = 0-7)
	0							出力モード
	1							入力モード

(b) ポートCTモード・コントロール・レジスタ (PMCCT)

ポート・モード/コントロール・モードを指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : FFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT6	PCT6端子の動作モードの指定
0	入出力ポート
1	ASTB出力

PMCCT4	PCT4端子の動作モードの指定
0	入出力ポート
1	\overline{RD} 出力

PMCCT1	PCT1端子の動作モードの指定
0	入出力ポート
1	\overline{UWR} 出力

PMCCT0	PCT0端子の動作モードの指定
0	入出力ポート
1	\overline{LWR} 出力

(3) ブロック図

図10 - 37 PCT0, PCT1, PCT4, PCT6のブロック図

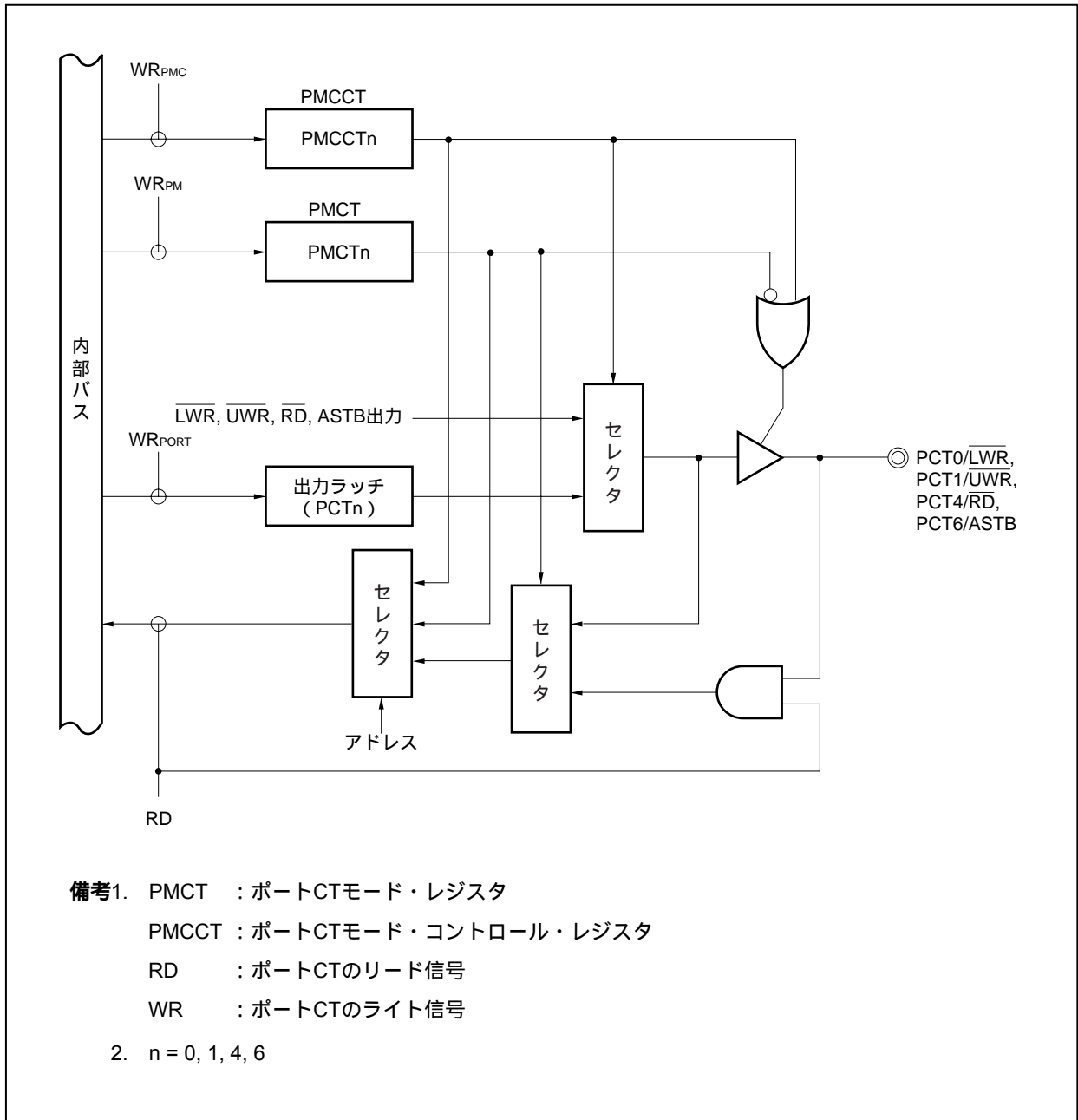
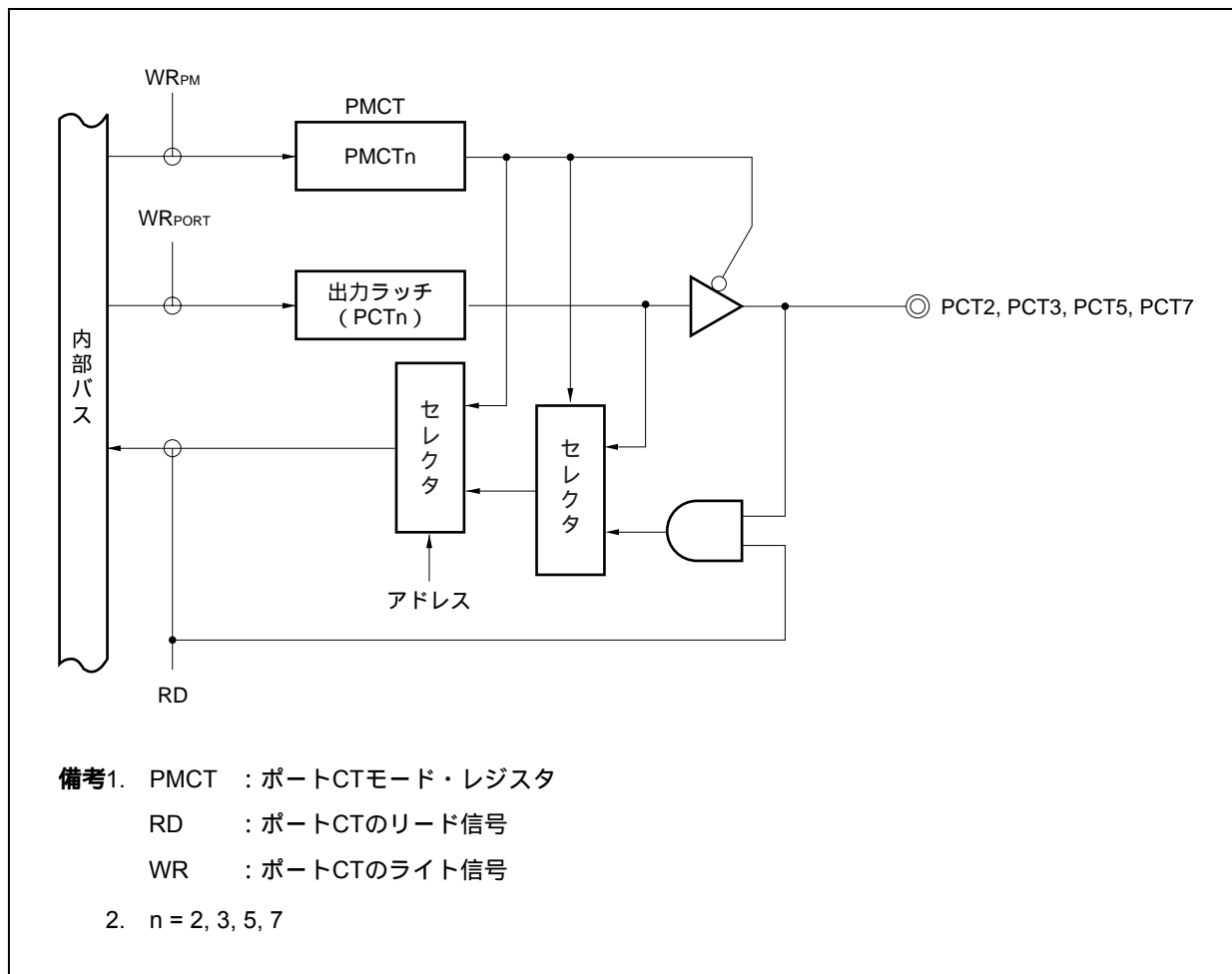


図10 - 38 PCT2, PCT3, PCT5, PCT7のブロック図



10.3.21 ポートDH

ポートDHは、1ビット単位で入出力を制御できる10ビット入出力ポートです。

PDHの上位8ビットをPDHH、下位8ビットをPDHLとして使用した場合は、1ビット単位で入出力を指定できる2ビット入出力ポートと8ビット入出力ポートになります。

リセット時：不定 R/W アドレス：FFFFFF006H, FFFFFFF007H

	15	14	13	12	11	10	9	8
PDH	0	0	0	0	0	0	PDH9	PDH8

	7	6	5	4	3	2	1	0
	PDH7	PDH6	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0

PDHn	出力データの制御（出力モード時）（n = 0-9）
0	0を出力
1	1を出力

備考1. 入力モード時：ポートDH（PDH）をリードすると、そのときの端子レベルを読み出します。ライトすると、PDHにライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポートDH（PDH）をリードすると、PDHの値を読み出します。ライトすると、PDHに値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にPDHをリードすると不定（端子入力レベル）を読み出します。出力モード時にPDHをリードすると0000H（出力ラッチの値）を読み出します。

ポートDHは、次に示す端子と兼用しています。

表10 - 23 ポートDHの兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考	
ポートDH	PDH0	A16	入出力	なし	-
	PDH1	A17			
	PDH2	A18			
	PDH3	A19			
	PDH4	A20			
	PDH5	A21			
	PDH6	A22			
	PDH7	A23			
	PDH8	A24			
	PDH9	A25			

注 ソフトウェア・プルアップ機能

(1) PDH端子の機能

ポートDHは、1ビット単位で入出力を制御できる10ビット入出力ポートです。

出力モード時、ポートDH (PDH) に設定した各ビットの値を出力します。

入力モード時にPDHをリードすると端子状態をリードできます。また、出力モード時にPDHをリードすると、PDH (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポートDHモード・レジスタ (PMDH) により、入出力を制御します。またポートDHモード・コントロール・レジスタ (PMCDH) でコントロール・モードの設定を行います。

ソフトウェア・ブルアップ機能は内蔵していません。

(2) 制御レジスタ

(a) ポートDHモード・レジスタ (PMDH)

入力モード / 出力モードを指定する16ビットのレジスタです。

PMDHレジスタは、16ビット単位でのみリード / ライト可能です。

ただし、PMDHレジスタの上位8ビットをPMDHHレジスタ、下位8ビットをPMDHLレジスタとして使用した場合は、8/1ビット単位でリード / ライト可能です。

リセット時 : FFFFH R/W アドレス : FFFFF026H, FFFFF027H								
PMDH	15	14	13	12	11	10	9	8
	1	1	1	1	1	1	PMDH9	PMDH8
	7	6	5	4	3	2	1	0
	PMDH7	PMDH6	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0
PMDHn	入出力モードの制御 (n = 0-9)							
0	出力モード							
1	入力モード							

(b) ポートDHモード・コントロール・レジスタ (PMCDH)

ポート・モード/コントロール・モードを指定する16ビットのレジスタです。

PMCDHレジスタは、16ビット単位でのみリード/ライト可能です。

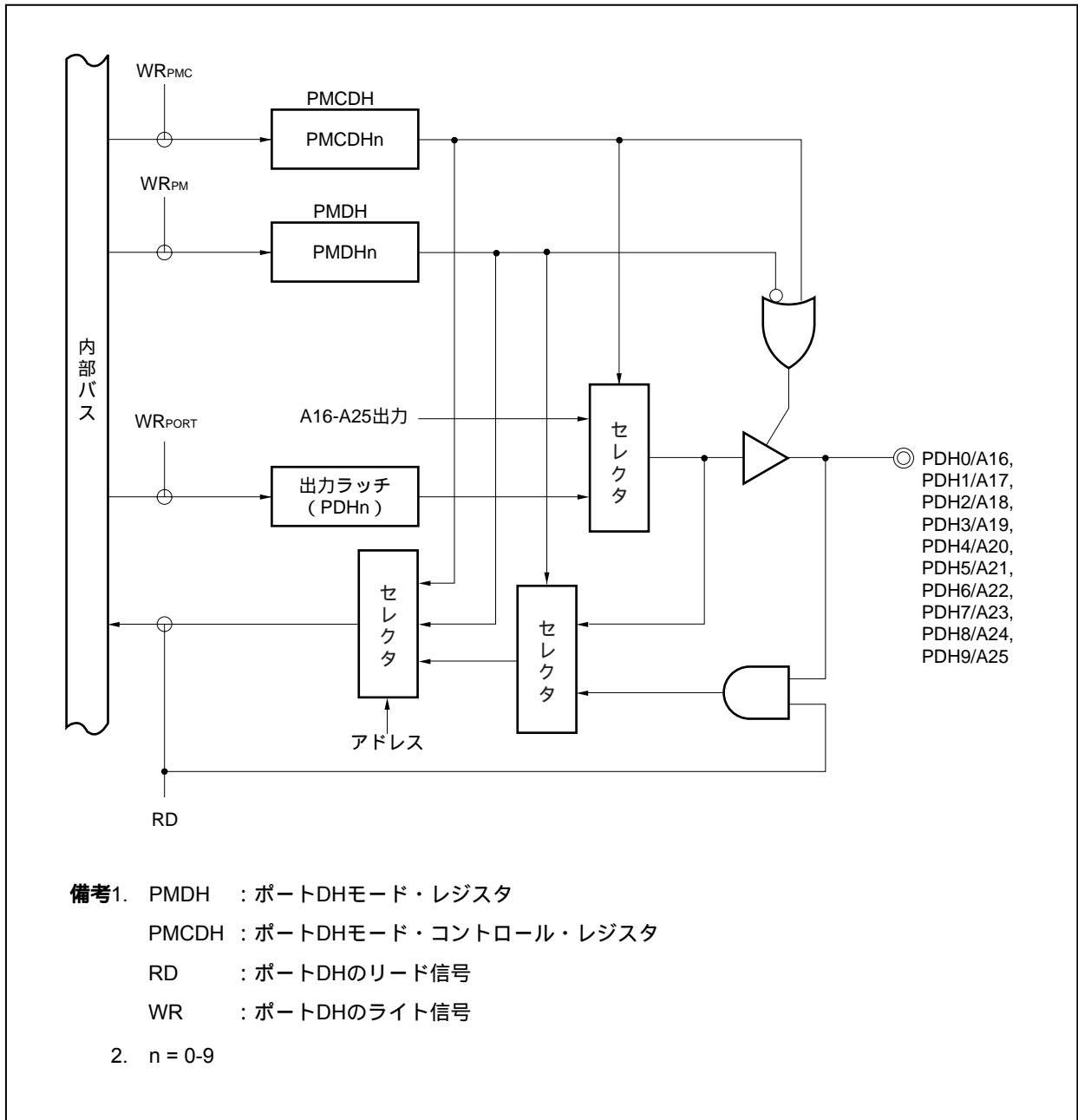
ただし、PMCDHレジスタの上位8ビットをPMCDHHレジスタ、下位8ビットをPMCDHLレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

リセット時 : 0000H R/W アドレス : FFFFF046H, FFFFF047H

	15	14	13	12	11	10	9	8
PMCDH	0	0	0	0	0	0	PMCDH9	PMCDH8
	7	6	5	4	3	2	1	0
	PMCDH7	PMCDH6	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0
PMCDHn	PDHn端子の動作モードの指定 (n = 16-25)							
0	入出力ポート							
1	An出力 (アドレス・バス出力)							

(3) ブロック図

図10 - 39 PDH0-PDH9のブロック図



10.3.22 ポートDL

ポートDLは、1ビット単位で入出力を制御できる16ビット入出力ポートです。

PDLの上位8ビットをPDLH、下位8ビットをPDLとして使用した場合は、1ビット単位で入出力を指定できる8ビット入出力ポートになります。

リセット時：不定 R/W アドレス：FFFFFF004H, FFFFFFF005H

	15	14	13	12	11	10	9	8
PDL	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8

	7	6	5	4	3	2	1	0
	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御（出力モード時）（n = 0-15）
0	0を出力
1	1を出力

備考1. 入力モード時：ポートDL（PDL）をリードすると、そのときの端子レベルを読み出します。ライトすると、PDLにライトしたデータを書き込みます。入力端子に影響はありません。

出力モード時：ポートDL（PDL）をリードすると、PDLの値を読み出します。ライトすると、PDLに値を書き込み、すぐに書き込んだ値を出力します。

2. リセット時の値は、入力モード時にPDLをリードすると不定（端子入力レベル）を読み出します。出力モード時にPDLをリードすると0000H（出力ラッチの値）を読み出します。

ポートDLは、次に示す端子と兼用しています。

表10 - 24 ポートDLの兼用端子

端子名	兼用端子名	入出力	PULL ^注	備考
ポートDL	PDL0	AD0	なし	-
	PDL1	AD1		
	PDL2	AD2		
	PDL3	AD3		
	PDL4	AD4		
	PDL5	AD5		
	PDL6	AD6		
	PDL7	AD7		
	PDL8	AD8		
	PDLDL	AD9		
	PDL10	AD10		
	PDL11	AD11		
	PDL12	AD12		
	PDL13	AD13		
	PDL14	AD14		
PDL15	AD15			

注 ソフトウェア・プルアップ機能

(1) PDL端子の機能

ポートDLは、1ビット単位で入出力を制御できる16ビット入出力ポートです。

出力モード時、ポートDL (PDL) に設定した各ビットの値を出力します。

入力モード時にPDLをリードすると端子状態をリードできます。また、出力モード時にPDLをリードすると、PDL (出力ラッチ) の値をリードできます。

リセット入力により、入力モードに初期化されます。

ポートDLモード・レジスタ (PMDL) により、入出力を制御します。またポートDLモード・コントロール・レジスタ (PMCDL) でコントロール・モードの設定を行います。

ソフトウェア・プルアップ機能は内蔵していません。

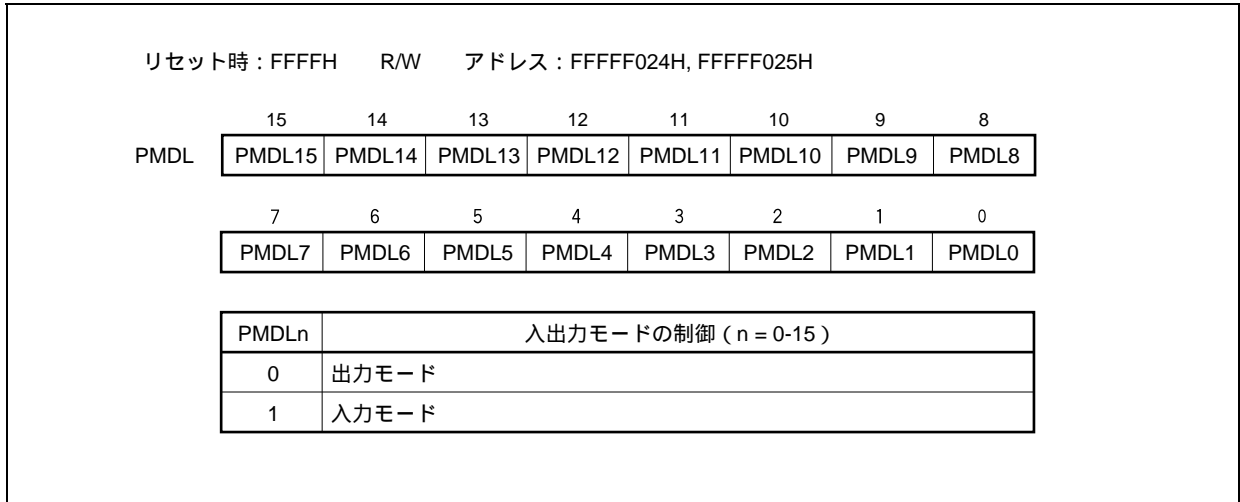
(2) 制御レジスタ

(a) ポートDLモード・レジスタ (PMDL)

入力モード/出力モードを指定する16ビットのレジスタです。

PMDLレジスタは、16ビット単位でのみリード/ライト可能です。

ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。

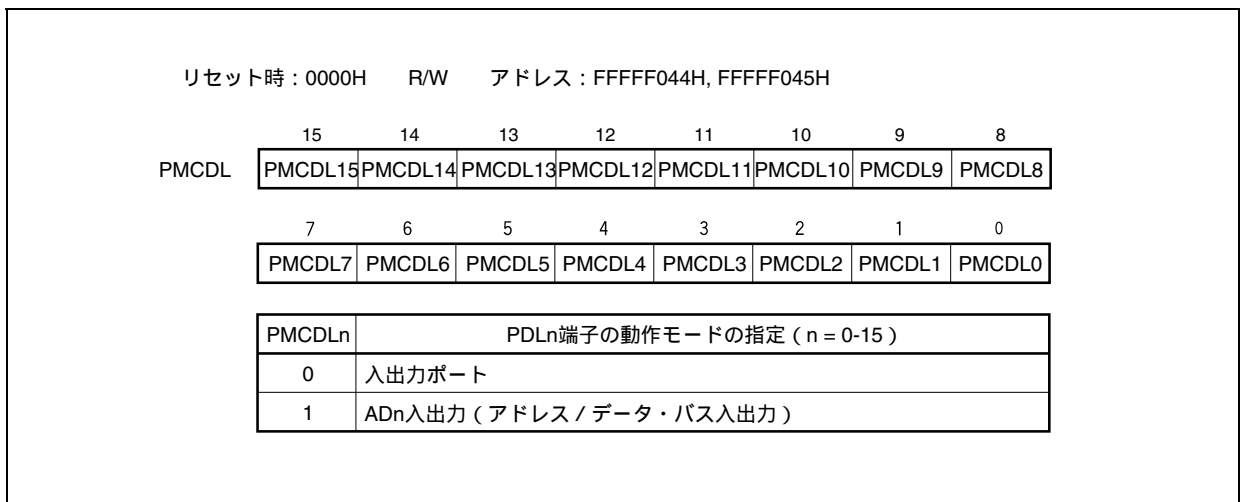


(b) ポートDLモード・コントロール・レジスタ (PMCDL)

ポート・モード/コントロール・モードを指定する16ビットのレジスタです。

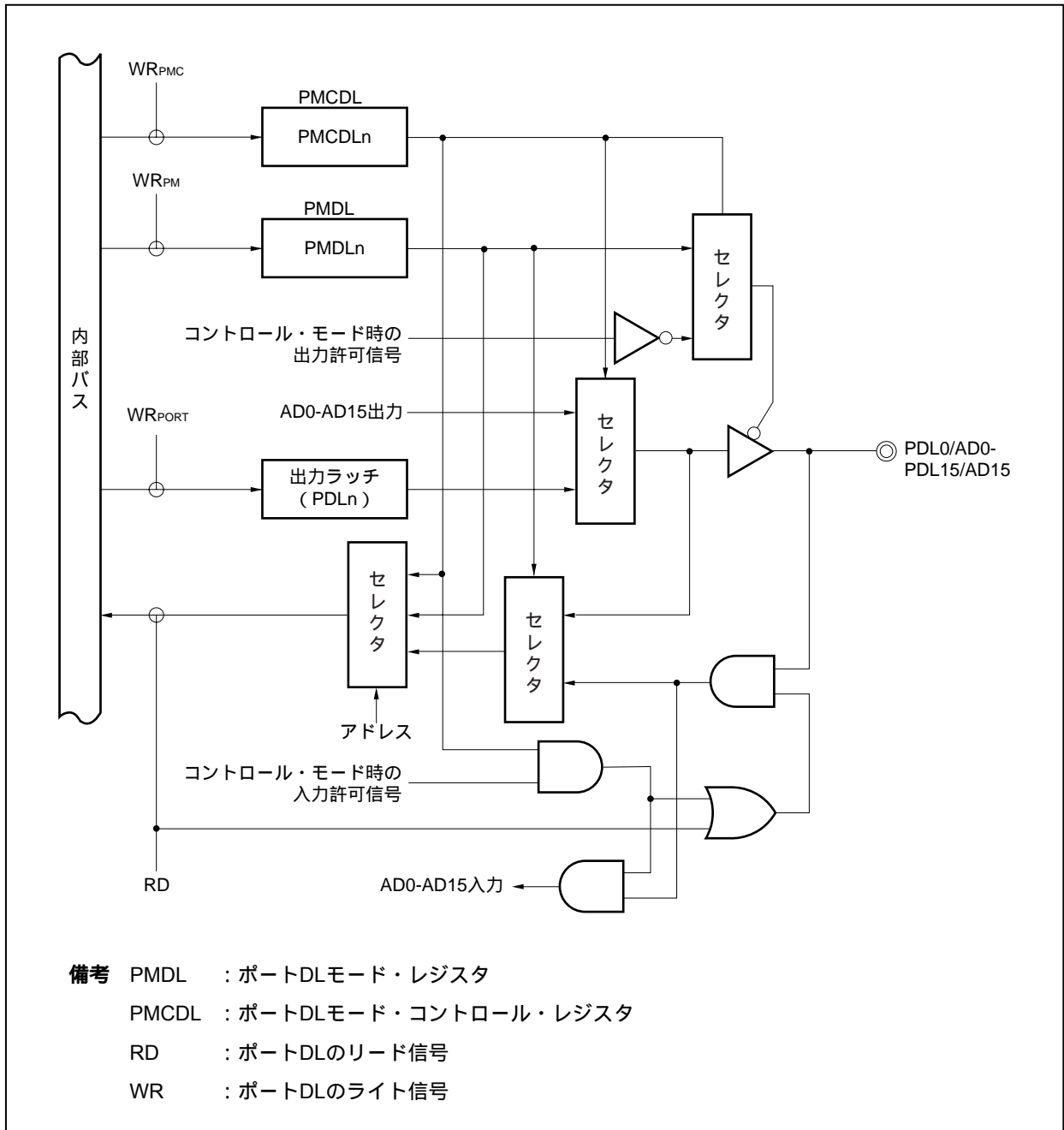
PMCDLレジスタは、16ビット単位でのみリード/ライト可能です。

ただし、PMCDLレジスタの上位8ビットをPMCDLHレジスタ、下位8ビットをPMCDLLレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能です。



(3) ブロック図

図10 - 40 PDL0-PDL15のブロック図



第11章 16ビット・タイマ/イベント・カウンタ00-05

11.1 特 徴

16ビット・タイマ/イベント・カウンタ00-05は、次の動作を行うことができます。

- ・ インターバル・タイマ機能
- ・ PWM出力
- ・ ワンショット・パルス出力
- ・ 外部信号の周期測定

11.2 機能概要

16ビット・タイマ/カウンタ×6チャンネル (TM00-TM05)

キャプチャ/コンペア共用レジスタ：各2本×6チャンネル

割り込み要求ソース

- ・ キャプチャ/一致割り込み要求：各2本×6チャンネル
- ・ オーバフロー割り込み要求：各1本×6チャンネル

タイマ/カウンタのカウント・クロック・ソース：2種

(外部パルス入力，内部システム・クロックの分周(8種類)を選択)

タイマ/カウンタがオーバフローしたときの動作モードを，フリー・ランニング・モード/オーバフロー・ストップ・モードの2種類から選択可能

タイマ/カウンタとコンペア・レジスタの一致でタイマ/カウンタをクリア可能

外部パルス出力：各1本×6チャンネル

備考 n = 0-5

11.3 構成

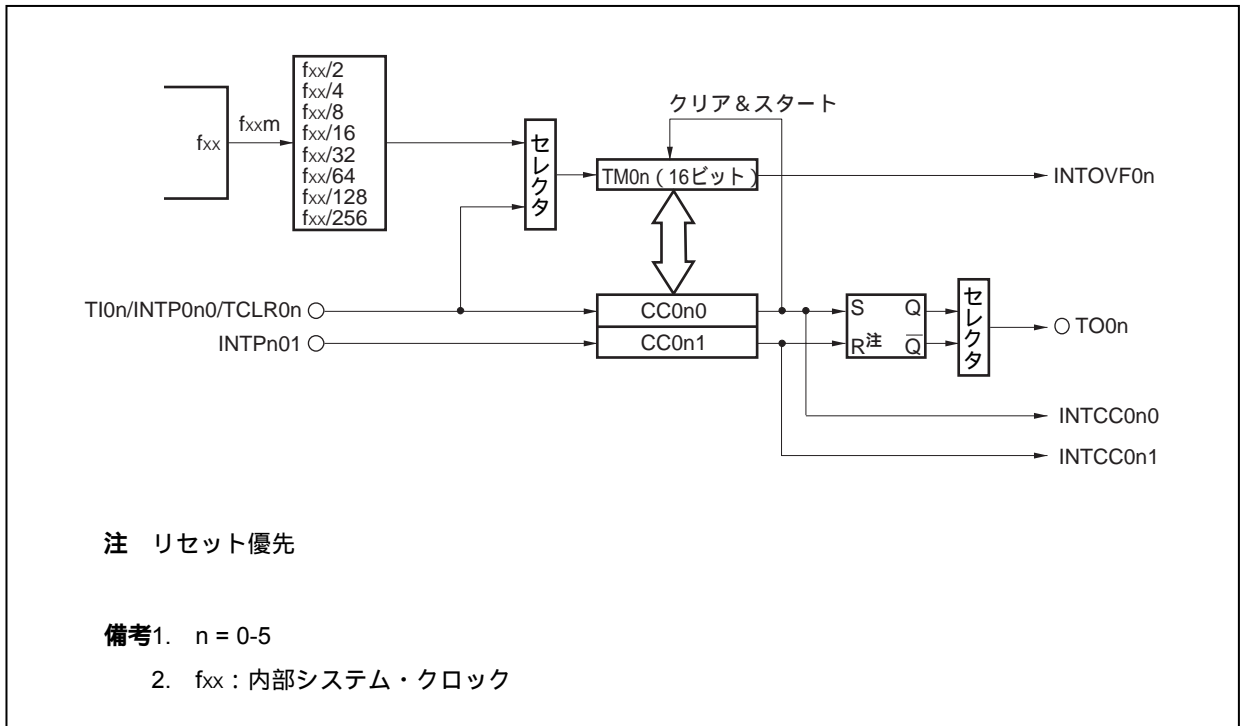
表11-1 16ビット・タイマ/イベント・カウンタ00-05の構成一覧

タイマ	カウント・クロック	レジスタ	リード/ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R
TM00, TM01	f _{xx} /2, f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /32, f _{xx} /64, f _{xx} /128, f _{xx} /256	TM00	リード	INTOVF00	-	-
		CC000	リード/ライト	INTCC000	INTP000	TO00 (S)
		CC001	リード/ライト	INTCC001	INTP001	TO00 (R)
		TM01	リード	INTOVF01	-	-
		CC010	リード/ライト	INTCC010	INTP010	TO01 (S)
		CC011	リード/ライト	INTCC011	INTP011	TO01 (R)

備考 f_{xx} : 内部システム・クロック

S/R : セット/リセット

図11-1 16ビット・タイマ/イベント・カウンタ00-05のブロック図



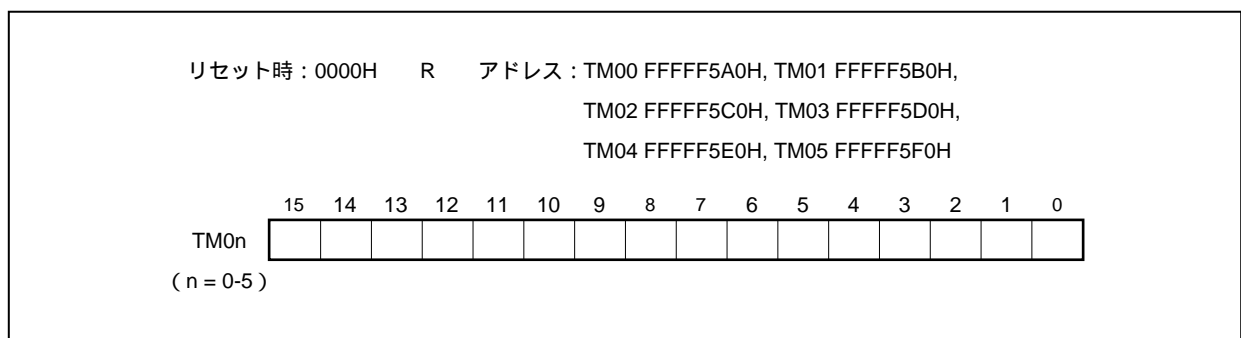
11.3.1 タイマ0n (TM0n)

TM0nレジスタは、16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに、周期計測のほか、パルス出力としても利用できます。

TM0nレジスタは16ビット単位でリードだけ可能です。

- 注意1.** TM0nレジスタはリードだけ可能です。TM0nレジスタに書き込みを行うと、その後の動作は不定となります。
- 2.** タイマ・モード・コントロール・レジスタ0n (TMC0n0) のTM0CAEnビットをクリア (0) すると、非同期でリセットされます。

備考 n = 0-5



TM0nレジスタは、内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは、TMC0n0レジスタのTM0CEnビットで制御します。

カウント・クロックの内部/外部の選択はタイマ・モード・コントロール・レジスタ0n1 (TMC0n1) のETI0nビットによって行います。

(1) 外部カウント・クロックを選択

TM0nレジスタは、イベント・カウンタとして動作します。

ETI0nビットをセット (1) した場合、内部カウント・クロックに同期してTM0nレジスタは外部クロック入力端子 (TI0n) の有効エッジ・カウント動作を行います。有効エッジの指定は、有効エッジ選択レジスタ0n (SES0n) によって行います。

注意 INTP0n0/TI0n/TCLR0n端子をTI0n (外部クロック入力端子) として使用する場合は、INTP0n0の割り込みを禁止するか、キャプチャ/コンペア・レジスタ0n0 (CC0n0) をコンペア・モードにしてください。

(2) 内部カウント・クロックを選択

TM0nレジスタは、フリー・ランニング・タイマとして動作します。

タイマ・モード・コントロール・レジスタ0n1 (TMC0n1) でカウント・クロックを内部クロックに指定した場合、TMC0n0レジスタのCS0n0-CS0n2ビットで指定した入力クロックの周期ごとにTM0nレジスタはカウント・アップします。

カウント・クロックは、プリスケアラによる分周を、TMC0n0レジスタにより $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$ から選択できます (f_{xx} : 内部システム・クロック)。

タイマがオーバーフローすると、オーバーフロー割り込みを発生させることができます。また、TMC0n1レジスタのOST0nビットをセット(1)することにより、オーバーフロー後にタイマを停止させることができます。

注意 タイマ動作中はカウント・クロックを変更できません。

TM0nレジスタが0000Hになる条件を次に示します。

備考 n = 0-5

(a) 非同期リセット

- ・ TMC0n0レジスタのTM0CAEnビット = 0
- ・ リセット入力

(b) 同期リセット

- ・ TMC0n0レジスタのTM0CEnビット = 0
- ・ CC0n0レジスタをコンペア・レジスタとして使用し、かつTM0nレジスタのクリアを許可 (TMC0n1レジスタのCCLR0nビット= 1) しているときのTM0nレジスタとCC0n0レジスタとの一致

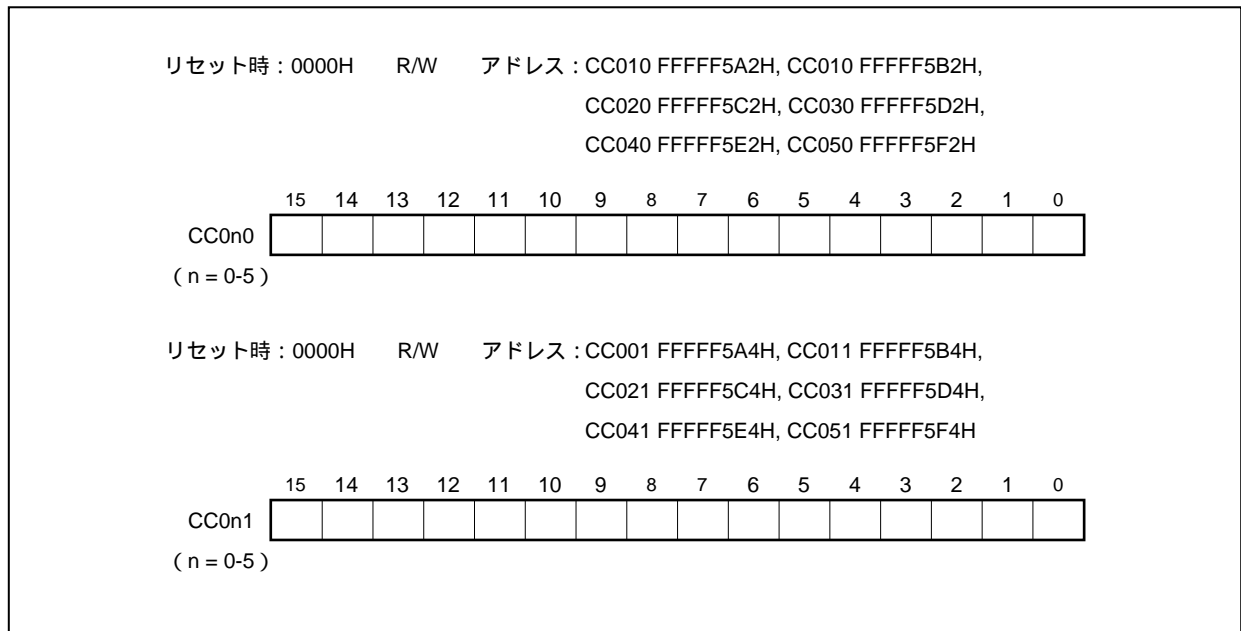
11.3.2 キャプチャ/コンペア・レジスタ0n0, 0n1 (CC0n0, CC0n1)

キャプチャ/コンペア・レジスタ0n0, 0n1は、16ビットのキャプチャ/コンペア・レジスタです。

タイマ・モード・コントロール・レジスタ0n1 (TMC0n1) のCMS0n0, CMS0n1ビットの指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます。

16ビット単位でリード/ライト可能です(ただし、ライト動作はコンペア・モード時のみ可能です)。

備考 n = 0-5



(1) キャプチャ・レジスタに設定 (TMC0n1レジスタのCMS0n0, CMS0n1ビット = 0)

キャプチャ・レジスタに設定した場合は、対応する外部割り込みINTP0n0, INTP0n1信号の有効エッジをキャプチャ・トリガとして検出します。TM0nレジスタはキャプチャ・トリガに同期して、TM0nレジスタの値をCC0n0, CC0n1レジスタにラッチします(キャプチャ動作)。

INTP0n0端子の有効エッジは有効エッジ選択レジスタ0n (SES0n) のIES0n01, IES0n00ビットで、INTP0n1端子の有効エッジはSES0nレジスタのIES0n11, IES0n10ビットで指定(立ち上がり, 立ち下がり, 両エッジ)します。

キャプチャ動作は、カウント・クロックとは非同期に行われます。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

タイマ・モード・コントロール・レジスタ0n0 (TMC0n0) のTM0CAEnビットが0の場合、0000Hがリードされます。

キャプチャ・レジスタに指定したときは、INTP0n0, INTP0n1信号の有効エッジ検出で割り込みを発生します。

注意 キャプチャ動作とTM0nレジスタのカウント禁止の設定 (TMC0n0レジスタのTM0CEnビット = 0) のタイミングが競合した場合には、キャプチャされたデータは不定になります。また、INTCC0n0, INTCC0n1割り込みは発生しません。

備考 n = 0-5

(2) コンペア・レジスタに設定 (TMC0n1レジスタのCMS0n0, CMS0n1ビット = 1)

コンペア・レジスタに設定した場合は、カウント・クロックごとにTM0nレジスタのカウント値とCC0n0, CC0n1レジスタの設定値の比較動作を行い、一致による割り込みを発生します。TMC0n1レジスタのCCLR0nビットがセット(1)されている場合、CC0n0レジスタの一致と同時に、TM0nレジスタの値をクリア(0)します(CC0n1レジスタの一致ではTM0nレジスタはクリア(0)されません)。

コンペア・レジスタはセット/リセット出力機能を備えています。一致信号の発生に同期して、対応するタイマ出力(TO0n)をセットまたはリセットします。

割り込み選択ソースは選択したレジスタの機能で異なります。

- 注意**
1. CC0n0, CC0n1レジスタにライトする場合は、必ずTM0CAEnビットを1に設定してから行ってください。TM0CAEnビットが0の場合、ライトしたデータは無効になります。
 2. CC0n0, CC0n1レジスタへのライト動作は、TMC0n0, TMC0n1レジスタ設定によりコンペア・レジスタに設定したあとに行ってください。キャプチャ・レジスタに設定されているとき(TMC0n1レジスタのCMS0n0, CMS0n1ビット = 0)に、CC0n0, CC0n1にライトしても、そのデータは書き込まれません。
 3. コンペア・レジスタに設定した場合は、INTP0n0, INTP0n1は外部割り込み入力端子として使用できません。

備考 n = 0-5

11.4 制御レジスタ

11.4.1 タイマ・モード・コントロール・レジスタ0n0 (TMC0n0)

TMC0n0レジスタは、TM0nレジスタの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

ビット3, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

- 注意1.** TM0CAEnビットとその他のビットは同時にはセットできません。必ずTM0CAEnビットをセットしたあとにその他のビットおよびその他のTM0nユニットのレジスタを設定してください。また、16ビット・タイマ/イベント・カウンタを使用する際にタイマ機能に関連する外部端子を使用する場合には、必ず外部端子をコントロール・モードに設定したあとTM0CAEnビットをセット(1)してください。
- 2.** オーバフロー発生とTMC0n0レジスタのライトが競合した場合、OVF0nビット値はTMC0n0レジスタのライト時に書き込んだ値となります。

備考 n = 0-5

(1/2)

リセット時：00H R/W アドレス：TMC000 FFFFFFF5A6H, TMC010 FFFFFFF5B6H, TMC020 FFFFFFF5C6H, TMC030 FFFFFFF5D6H, TMC040 FFFFFFF5E6H, TMC050 FFFFFFF5F6H							
	⑦	6	5	4	3	2	① ②
TMC0n0 (n = 0-5)	OVF0n	CS0n2	CS0n1	CS0n0	0	0	TM0CEn TM0CAEn
	OVF0n	TM0nレジスタのオーバフロー検出					
	0	オーバフロー発生なし					
	1	オーバフロー発生					
<p>TM0nレジスタがFFFFFFHから0000Hにカウント・アップしたタイミングで、OVF0nビットは1になります。同時にオーバフロー割り込み要求 (INTOVF0n) を発生します。ただし、CC0n0レジスタをコンペア・モード (TMC0n1レジスタのCMS0n0ビット = 1) かつ、TM0nレジスタとCC0n0レジスタのコンペア時の一致クリアを許可 (TMC0n1レジスタのCCLR0nビット = 1) に設定し、FFFFFFHでの一致後にTM0nレジスタを0000Hにクリアする場合は、TM0nレジスタのクリアとみなし、OVF0nビットは1になりません。また、INTOVF0n割り込みも発生しません。</p> <p>OVF0nビットは、0をライトまたはTM0CAEnビット = 0で非同期リセットをかけるまで1を保持します。また、オーバフローによる割り込み動作とOVF0nビットは独立しており、OVF0nビットを操作してもINTOVF0nに対する割り込み要求フラグ (OVFIF0n) には影響を与えません。OVF0nビットを読み出し中にオーバフローが発生した場合は、フラグの値は変化して次の読み出し時に反映されます。</p>							

CS0n2	CS0n1	CS0n0	内部カウント・クロックの選択
0	0	0	fx/2
0	0	1	fx/4
0	1	0	fx/8
0	1	1	fx/16
1	0	0	fx/32
1	0	1	fx/64
1	1	0	fx/128
1	1	1	fx/256

TM0CEn	TM0nレジスタの動作の制御
0	カウント禁止 (0000Hで停止し、動作しません。)
1	カウント動作

TM0CEnビット = 0の場合は、外部パルス出力 (TO0n) はインアクティブ・レベルになります。(TO0n出力のアクティブ・レベルはTMC0n1レジスタのALV0nビットで設定します)。

TM0CAEn	内部カウント・クロックの制御
0	TM0nユニット全体を非同期リセット。TM0nユニットへのクロック供給を停止
1	クロックをTM0nユニットへ供給

- ・ TM0CAEnビット = 0にすると、TM0nユニットを非同期にリセットできます。
- ・ TM0CAEnビット = 0の場合、TM0nユニットはリセット状態なので、TM0nを動作させる場合には、まずTM0CAEn = 1にしてください。
- ・ TM0CAEnビットを1から0にした場合はTM0nユニットのすべてのレジスタが初期化されず。再度TM0CAEn = 1にした場合には、必ずTM0nユニットのすべてのレジスタを再設定してください。

11.4.2 タイマ・モード・コントロール・レジスタ0n1 (TMC0n1)

TMC0n1レジスタは、TM0nレジスタの動作を制御するレジスタです。

8ビット単位でリード/ライト可能です。

- 注意1.** タイマ動作中に、TMC0n1レジスタの各ビットを変更しないでください。変更する場合は、TMC0n0レジスタのTM0CEnビットを0にしてから行ってください。タイマ動作中にTMC0n1レジスタを書き換えた場合の動作は保証できません。
2. ENTO0nビットとALV0nビットを同時に変更した場合、TO0n端子出力にグリッジ（ヒゲ状のノイズ）が発生する可能性があります。グリッジが発生しても誤動作しない回路構成にするか、ENTO0nビットとALV0nビットを同時に変更しないようにしてください。
 3. TOn出力は外部割り込み信号（INTP0n0, INTP0n1）では変化しません。TO0n信号を使用するときは、キャプチャ/コンペア・レジスタをコンペア・レジスタに指定（TMC0n1レジスタのCMS0n0, CMS0n1ビット = 1）してください。

備考 n = 0-5

(1/2)

リセット時：00H R/W アドレス：TMC001 FFFFF5A8H, TMC011 FFFFF5B8H, TMC021 FFFFF5C8H, TMC031 FFFFF5D8H, TMC041 FFFFF5E8H, TMC051 FFFFF5F8H								
	7	6	5	4	3	2	1	0
TMC0n1 (n = 0-5)	OST0n	ENTO0n	ALV0n	ETI0n	CCLR0n	ECLR0n	CMS0n1	CMS0n0
	OST0n	TM0nレジスタのオーバーフロー時の動作設定						
	0	オーバーフロー後、カウント継続（フリー・ランニング・モード）						
	1	オーバーフロー後、タイマは0000Hを保持しカウント停止（オーバーフロー・ストップ・モード）						
	OST0nビット = 1のときTMC0n0レジスタのTM0CEnビットは1のままです。 TM0CEnビットに再度1を書き込むことによりカウントを開始します。							
	ENTO0n	外部パルス出力（TO0n）の出力の許可/禁止						
	0	外部パルス出力禁止						
	1	外部パルス出力許可						
	<ul style="list-style-type: none"> ・ OST0nビット = 0のときTO0n端子にはALV0nビットのインアクティブ・レベルを固定出力します。対応するコンペア・レジスタから一致信号が発生してもTO0n端子のレベルは変化しません。 ・ OST0nビット = 1のときコンペア・レジスタの一致により、TO0n出力が変化します。ただし、キャプチャ・モードのときには、TO0n出力は変化しません。タイマ出力を許可してから最初に一致信号が発生するまでは、ALV0nビットのインアクティブ・レベルが出力されます。 ・ CC0n0, CC0n1レジスタのどちらかをキャプチャ・レジスタに指定した場合は、ENTO0nビット = 0に設定してください。 							

ALV0n	外部パルス出力 (TO0n) のアクティブ・レベルの指定
0	ロウ・レベル
1	ハイ・レベル
ALV0nビットの初期値は“1”です。	

ETI0n	カウント・クロックの外部 / 内部切り替え指定
0	入力クロック (内部) 指定
1	外部クロック (TI0n0) 指定
<ul style="list-style-type: none"> ETI0nビット = 0のときTMC0n0レジスタのCS0n2-CS0n0ビットの指定により有効エッジを選択できます。 ETI0nビット = 1のときSES0nレジスタのTES0n1, TES0n0ビットの指定により有効エッジを選択できます。 	

CCLR0n	コンペア動作時のTM0nレジスタのクリアの許可 / 禁止指定
0	クリア禁止
1	クリア許可 (コンペア動作時にCC0n0レジスタとTM0nレジスタが一致するとTM0nレジスタをクリア)

ECLR0n	外部クリア入力 (TCLR0n) によるTM0nレジスタのクリアの許可 / 禁止指定
0	クリア禁止
1	クリア許可 (クリア後, カウントを再開)

CMS0n1	キャプチャ / コンペア・レジスタ (CC0n1) の動作モード選択
0	キャプチャ・レジスタとして動作
1	コンペア・レジスタとして動作

CMS0n0	キャプチャ / コンペア・レジスタ (CC0n0) の動作モード選択
0	キャプチャ・レジスタとして動作
1	コンペア・レジスタとして動作

備考 TO0n出力のフリップフロップは, リセットが優先されます (n = 0-5)。

11.4.3 有効エッジ選択レジスタ0n (SES0n)

外部端子による外部割り込み要求 (INTP0n0, INTP0n1, TI0n) の有効エッジを指定するレジスタです。

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり/立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8ビット単位でリード/ライト可能です。

注意 タイマ動作中に、SES0nレジスタの各ビットを変更しないでください。変更する場合は、TMC0n0レジスタのTMOCEnビットを0にしてから行ってください。タイマ動作中にSES0nレジスタを書き換えた場合の動作は保証できません。

リセット時 : 00H R/W アドレス : SES00 FFFFFFF5A9H, SES01 FFFFFFF5B9H,
SES02 FFFFFFF5C9H, SES03 FFFFFFF5D9H,
SES04 FFFFFFF5E9H, SES05 FFFFFFF5F9H

	7	6	5	4	3	2	1	0
SES0n (n = 0-5)	TES0n1	TES0n0	CES0n1	CES0n0	IES0n11	IES0n10	IES0n01	IES0n00

	TES0n1	TES0n0	TI0n端子の有効エッジ
0	0	0	立ち下がりエッジ
0	1	1	立ち上がりエッジ
1	0	0	設定禁止
1	1	1	立ち上がり/立ち下がり両エッジ

	CES0n1	CES0n0	TCLR0n端子の有効エッジ
0	0	0	立ち下がりエッジ
0	1	1	立ち上がりエッジ
1	0	0	設定禁止
1	1	1	立ち上がり/立ち下がり両エッジ

	IES0n11	IES0n10	INTP0n1端子の有効エッジ
0	0	0	立ち下がりエッジ
0	1	1	立ち上がりエッジ
1	0	0	設定禁止
1	1	1	立ち上がり/立ち下がり両エッジ

	IES0n01	IES0n00	INTP0n0端子の有効エッジ
0	0	0	立ち下がりエッジ
0	1	1	立ち上がりエッジ
1	0	0	設定禁止
1	1	1	立ち上がり/立ち下がり両エッジ

11.5 動作

(1) カウント動作

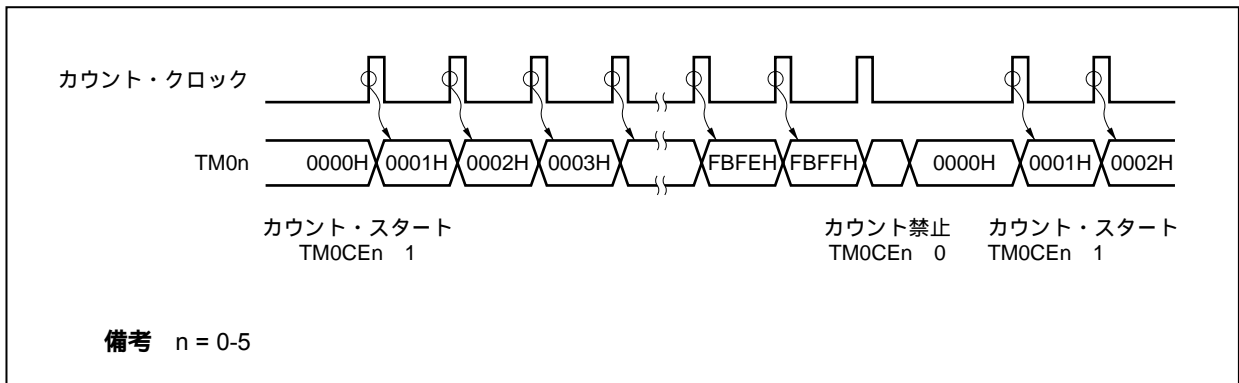
16ビット・タイマ/イベント・カウンタ0nは、16ビットのフリー・ランニング・タイマまたは、外部信号のイベント・カウンタとして機能します。動作の設定は、タイマ・モード・コントロール・レジスタ0n0, 0n1 (TMC0n0, TMC0n1) で指定します。

フリー・ランニング・タイマとして動作する場合、CC0n0, CC0n1レジスタとTM0nレジスタのカウント値が一致すると、割り込み信号を発生させるとともに、タイマ出力信号 (TO0n) をセット/リセットすることができます。また、外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して、TM0nレジスタのカウント値をCC0n0, CC0n1レジスタに保持するキャプチャ動作を行うこともできます。キャプチャの値は、次のキャプチャ・トリガが発生するまで保持されます。

注意 INTP0n0/TI0n0端子をTI0n0 (外部クロック入力端子) として使用する場合は、INTP0n0の割り込みを禁止するか、CC0n0レジスタをコンペア・モードにしてください。

備考 n = 0-5

図11-2 16ビット・タイマ/イベント・カウンタ00-05の基本動作



(2) オーバフロー

TM0nレジスタがカウント・クロックをFFFFHから0000Hまでカウントした場合に、TMC0n0レジスタのOVF0nビットをセット(1)します。同時にオーバーフロー割り込み(INTOVF0n)を発生します。ただし、CC0n0レジスタをコンペア・モード(CMS0n0ビット = 1)かつ、FFFFHに設定し、一致クリアが有効(CCLR0nビット = 1)な場合に、TM0nレジスタがFFFFHから0000Hに変化した場合は、TM0nレジスタのクリアとみなし、OVF0nビットをセット(1)しません。また、INTOVF0nも発生しません。

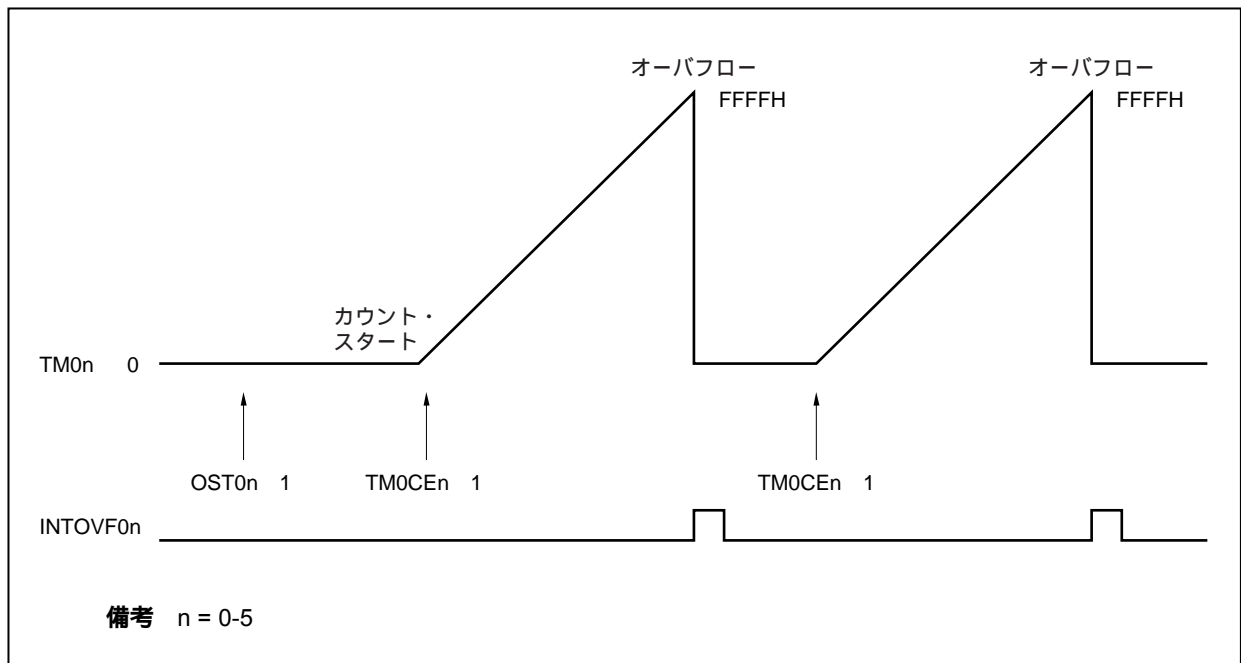
TM0CEnビットを1 0に変更することにより、TM0nレジスタがFFFFHから0000Hに変化した場合も、TM0nレジスタのクリアとみなし、OVF0nビットをセット(1)せず、INTOVF0n割り込みも発生しません。

また、TMC0n1レジスタのOST0nビットをセット(1)することで、オーバーフロー後、タイマを停止させることができます。オーバーフローによりタイマが停止した場合、TMC0n0レジスタのTM0CEnビットを再度セット(1)するまでカウント動作を再開しません。

なお、カウント動作中にTM0CEnビットをセット(1)しても動作に影響はありません。

備考 n = 0-5

図11-3 オーバフロー後の動作(OST0nビット = 1の場合)



(3) キャプチャ動作

TM0nレジスタは、CC0n0レジスタとCC0n1レジスタの2つのキャプチャ/コンペア・レジスタがあります。どちらもTMC0n1レジスタのCMS0n1, CMS0n0ビットにより、キャプチャ動作またはコンペア動作に設定します。TMC0n1レジスタのCMS0n1, CMS0n0ビットに0を設定すると、キャプチャ・レジスタとして動作します。

外部トリガに同期して、TM0nレジスタのカウンタ値をカウンタ・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子 (INTP0n0, INTP0n1) から検出された有効エッジを使用します (キャプチャ・トリガ)。そのキャプチャ・トリガ信号に同期して、カウンタ中のTM0nレジスタのカウンタ値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

また、INTP0n0, INTP0n1信号入力により割り込み要求信号 (INTCC0n0, INTCC0n1) を発生します。

キャプチャ・トリガの有効エッジは、有効エッジ選択レジスタ0n (SES0n) により設定します。

立ち上がり/立ち下りの両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。また、片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

備考 n = 0-5

図11 - 4 キャプチャ動作例 (TM01の場合)

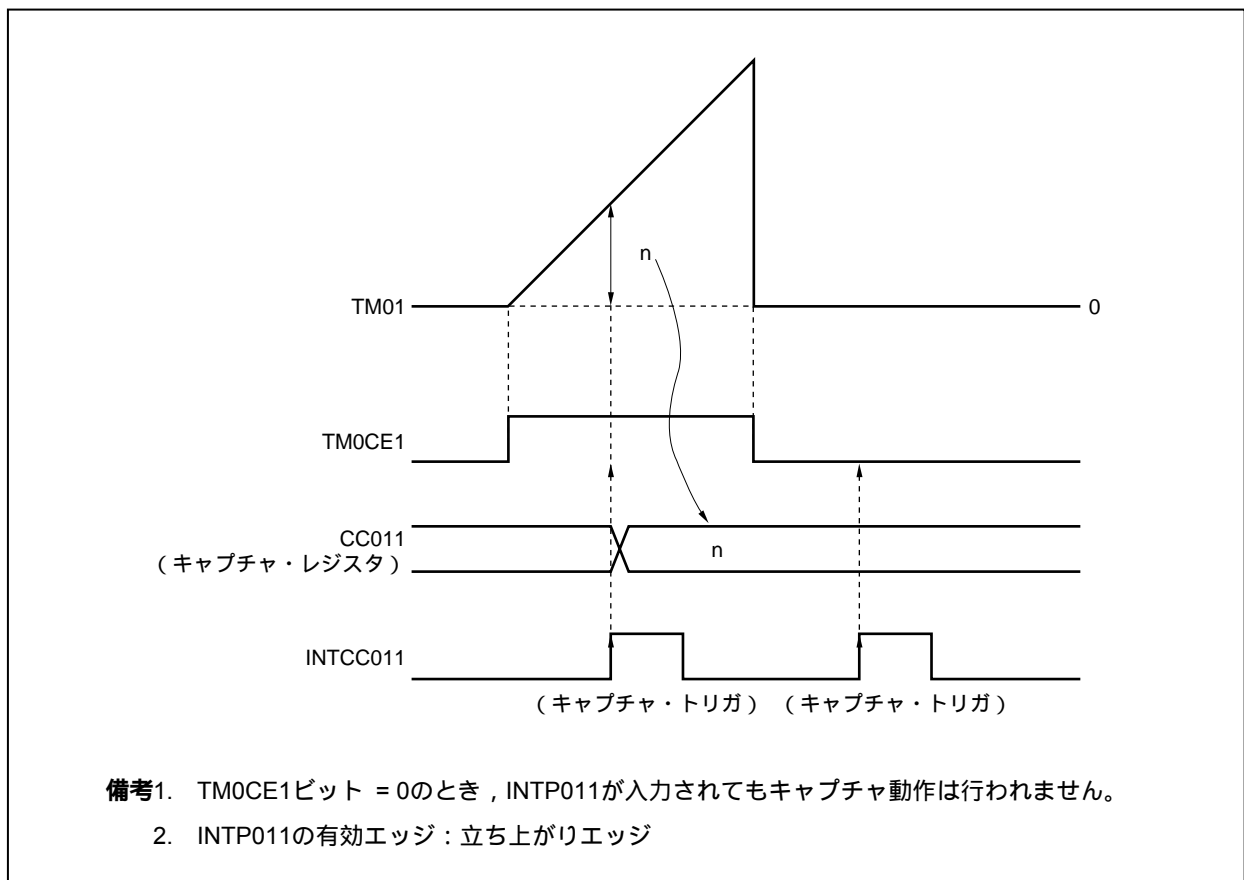
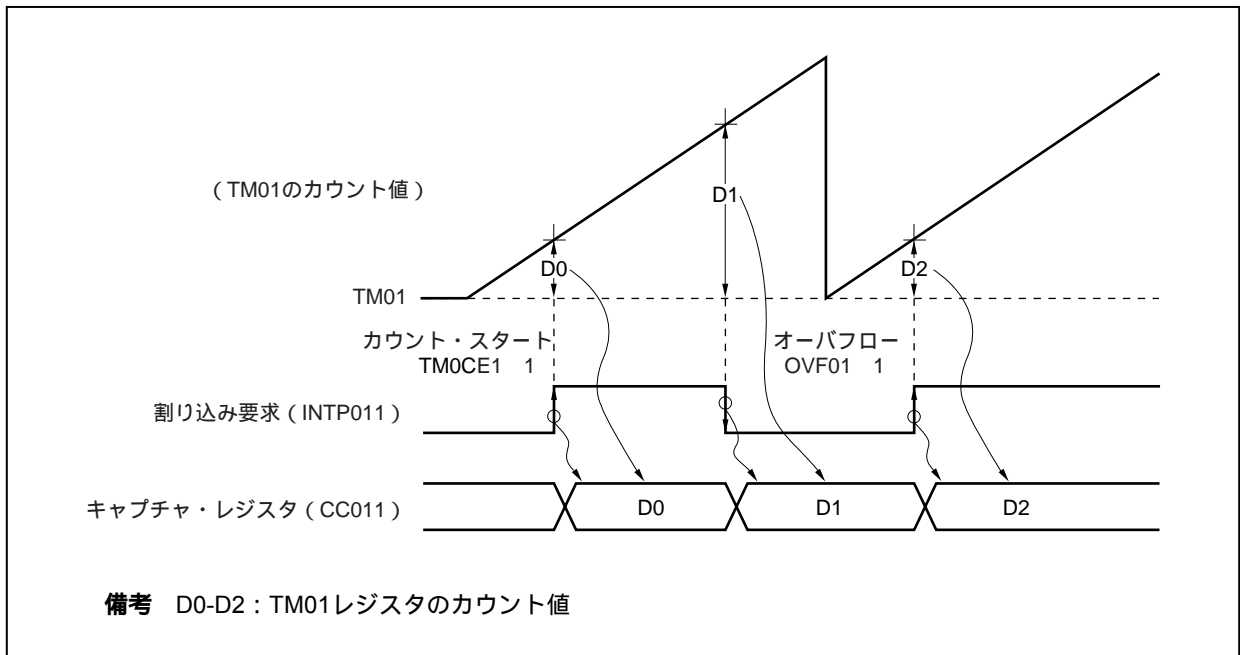


図11 - 5 TM01キャプチャ動作例 (両エッジ指定時)



(4) コンペア動作

TM0nレジスタは、CC0n0レジスタとCC0n1レジスタの2つのキャプチャ/コンペア・レジスタがあります。どちらもTMC0n1レジスタのCMS0n1, CMS0n0ビットにより、キャプチャ動作またはコンペア動作の設定をします。TMC0n1レジスタのCMS0n1, CMS0n0ビットに1を設定すると、コンペア・レジスタとして動作します。

コンペア・レジスタに設定した値とTM0nレジスタのカウンタ値を比較するコンペア動作を行います。

あらかじめ設定したコンペア・レジスタの値に、TM0nレジスタのカウンタ値が一致すると、出力制御回路に一致信号を送ります。一致信号によりタイマ出力端子 (TO0n) を変化させ、同時に割り込み要求信号 (INTCC0n0, INTCC0n1) を発生します。

CC0n0, CC0n1レジスタに0000Hを設定した場合は、TM0nレジスタがFFFFHから0000Hにカウンタ・アップ後の0000Hを一致と判定します。この場合次のカウンタ・タイミングでTM0nレジスタの値をクリア (0) しますが、このときの0000Hとは一致の判定を行いません。また、TM0nレジスタがカウンタを開始するときの0000Hとも一致の判定を行いません。

CC0n0レジスタは一致クリア許可 (CCLR0nビット = 1) にすると、コンペア動作中にTM0nレジスタとの一致が発生した場合にTM0nレジスタをクリアします。

備考 n = 0-5

図11-6 コンペア動作例 (CCLR01ビット = 1, かつCC010レジスタが0000H以外の場合)

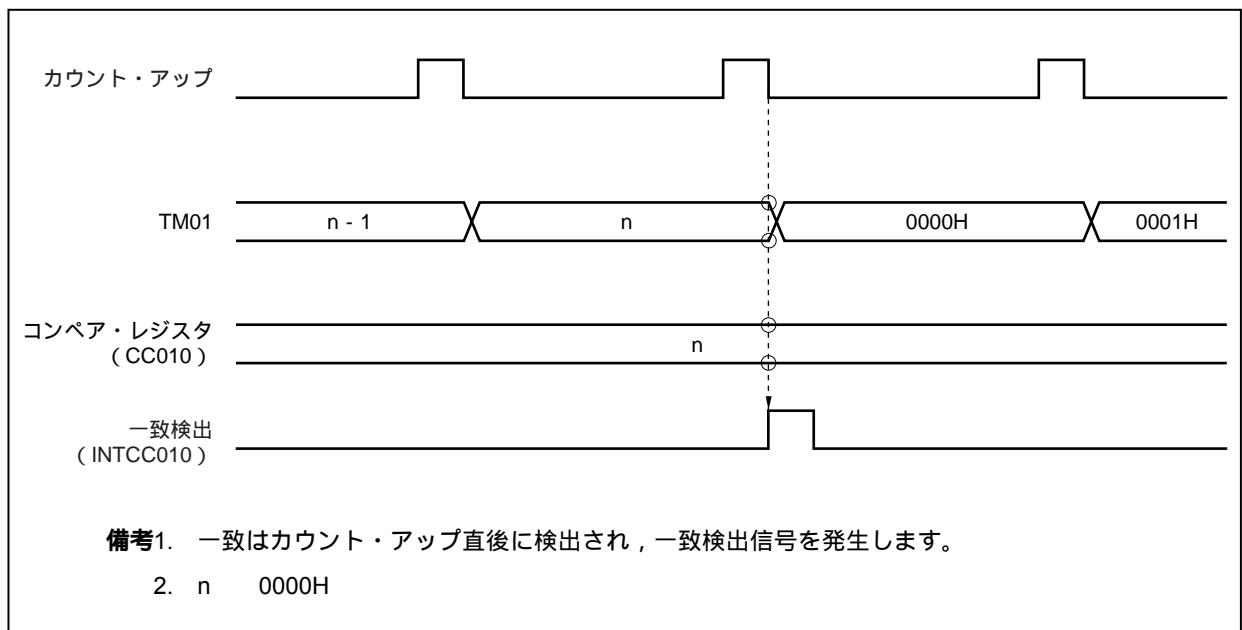
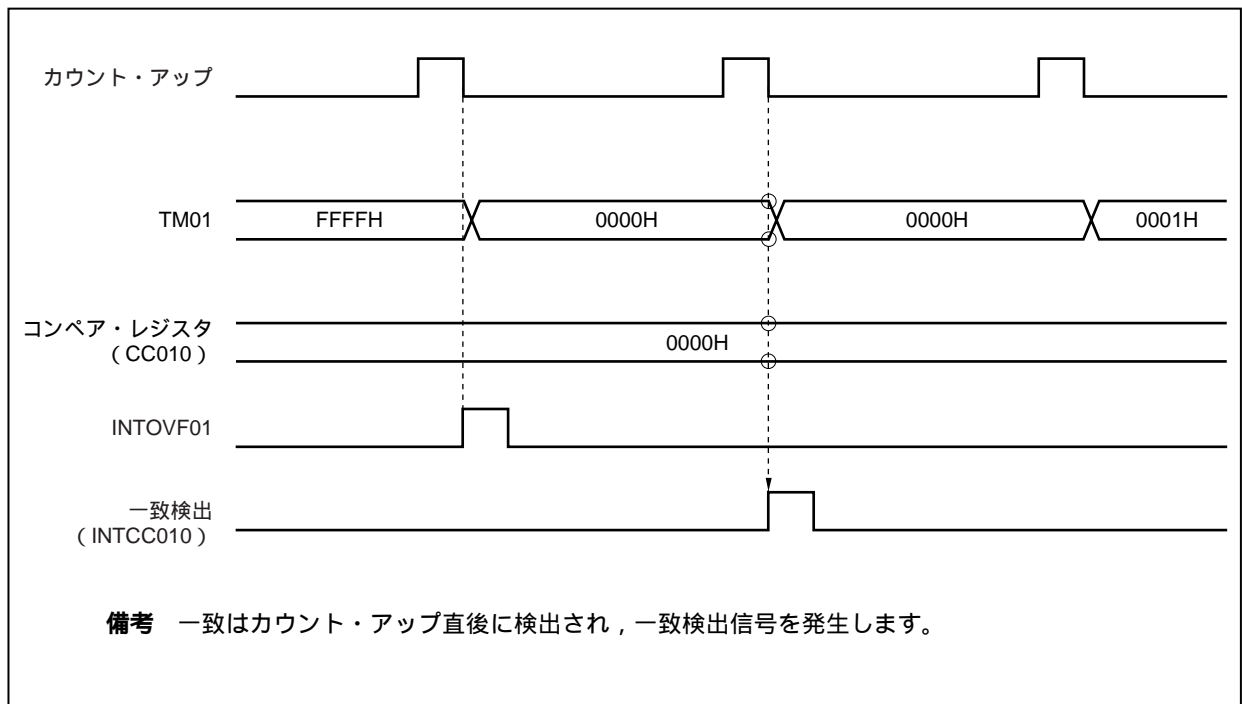


図11-7 コンペア動作例 (CCLR01ビット = 1, かつCC010レジスタが0000Hの場合)



(5) 外部パルス出力

16ビット・タイマ/イベント・カウンタ0nは2本のタイマ出力端子 (TO0n) を持っています。

外部パルス出力 (TO0n) は、2つのコンペア・レジスタ (CC0n0, CC0n1) とTM0nレジスタとの一致を検出して生成します。

TM0nレジスタのカウンタ値とCC0n0の値を比較し、一致するとTO0n端子の出力レベルをセットします。また、TM0nレジスタのカウンタ値とCC0n1の値を比較し、一致するとTO0n端子の出力レベルをリセットします。

TO0n端子の出力レベルは、TMC0n1レジスタによって指定できます。

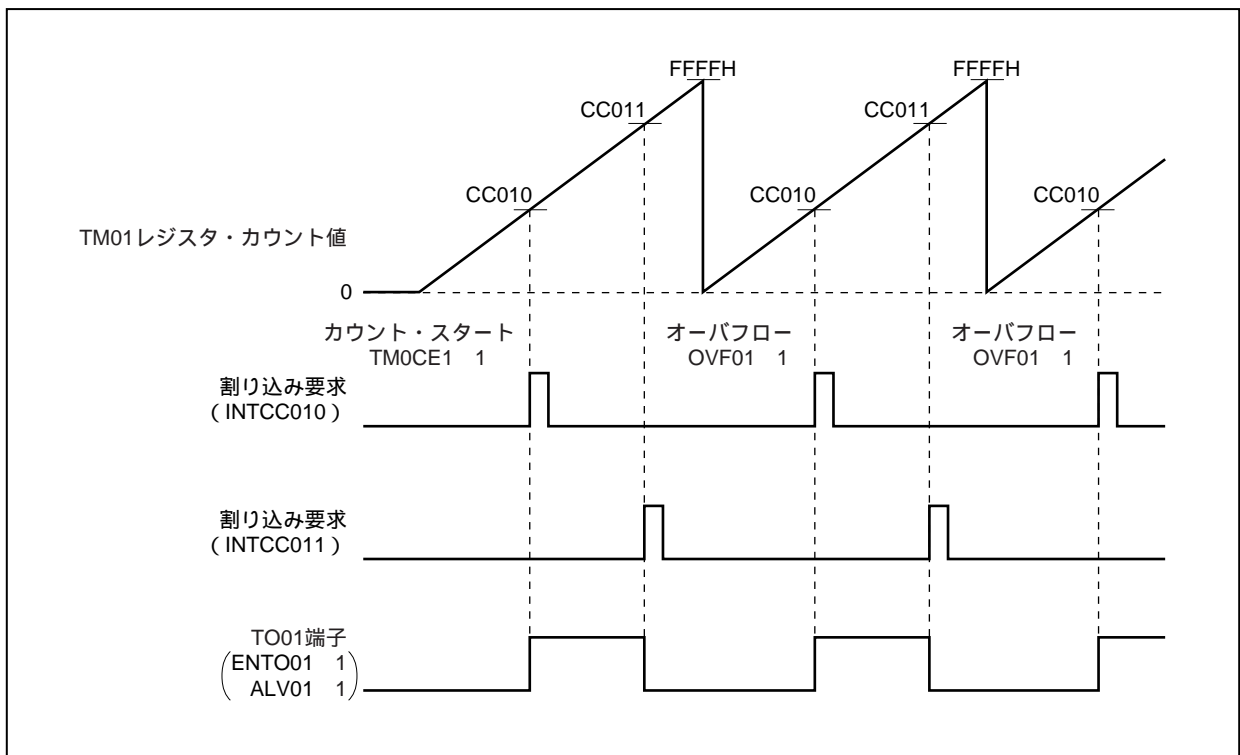
備考 n = 0-5

表11 - 2 TO0n出力制御

ETI0n	ALV0n	TO0n出力	
		外部パルス出力	出力レベル
0	0	禁止	ハイ・レベル
0	1	禁止	ロウ・レベル
1	0	許可	CC0n0レジスタとの一致：ロウ・レベル CC0n1レジスタとの一致：ハイ・レベル
1	1	許可	CC0n0レジスタとの一致：ハイ・レベル CC0n1レジスタとの一致：ロウ・レベル

備考 n = 0-5

図11 - 8 TM01コンペア動作例 (セット/リセット出力モード)



11.6 使用例

(1) インターバル・タイマ

TMC0n0, TMC0n1レジスタを図11 - 9のように設定することにより, CC0n0レジスタにあらかじめ設定した値をインターバルとして,繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

TM0nレジスタのカウント値がCC0n0レジスタの設定値と一致すると, TM0nレジスタをクリア (0000H) してカウント動作を継続すると同時に, 割り込み要求信号 (INTCC0n0) を発生します。

備考 n = 0-5

図11 - 9 インターバル・タイマとして使用時のレジスタ設定内容

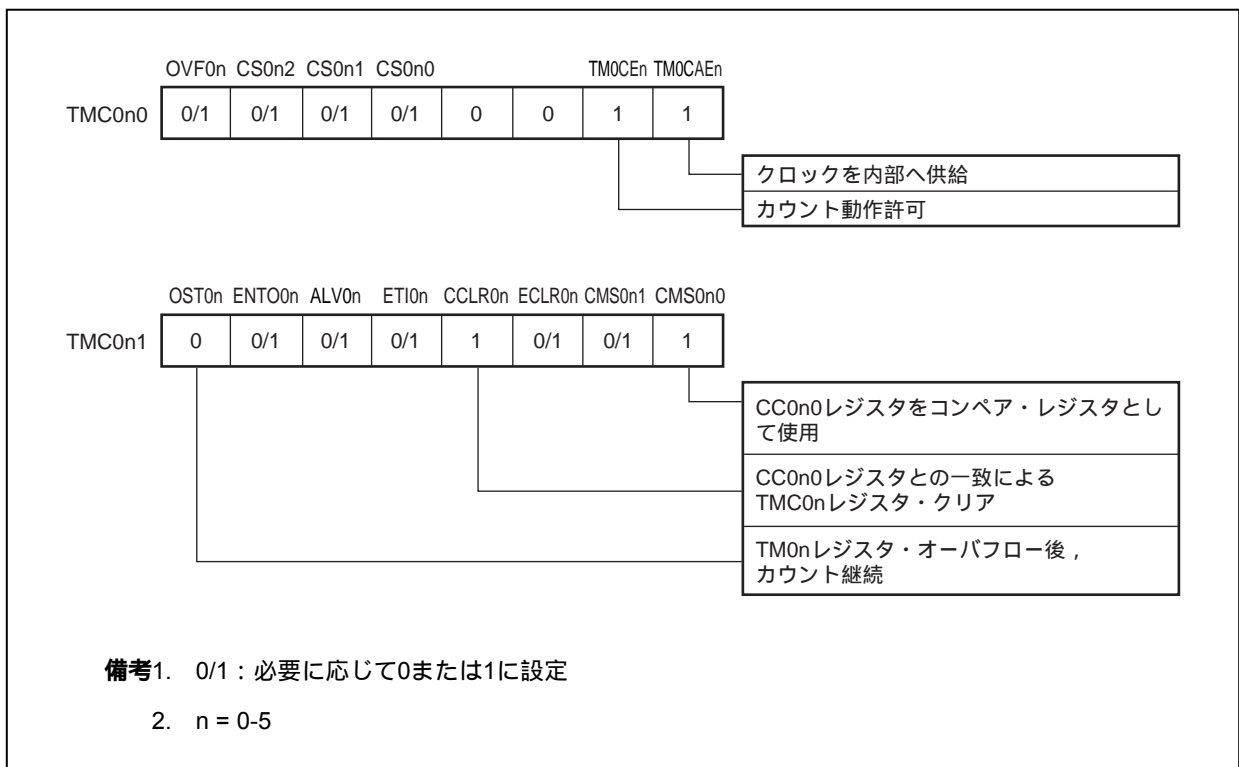
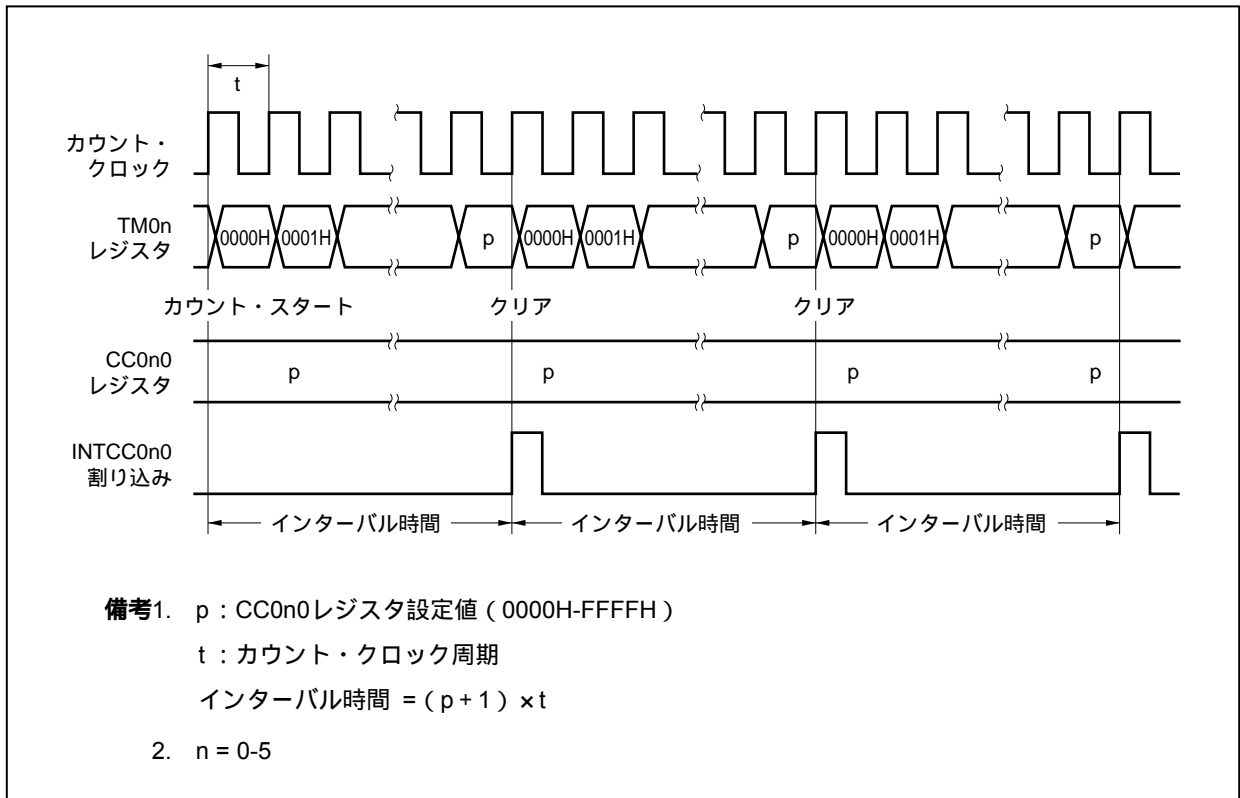


図11 - 10 インターバル・タイマ動作タイミング例



(2) PWM出力

TMC0n0, TMC0n1レジスタを図11 - 11のように設定することにより, CC0n0, CC0n1レジスタにあらかじめ設定した値をインターバルとするTMC0n0レジスタのCS0n2-CS0n0ビットの設定で決まる周波数のPWM出力が行えます。

TM0nレジスタのカウント値がCC0n0レジスタの設定値と一致すると, TO0n出力がアクティブになります。続いて, TM0nレジスタのカウント値がCC0n1レジスタの設定値と一致すると, TO0n出力がインアクティブになります。TM0nレジスタはカウントを続け, オーバフローするとカウント値を0000Hにしてクリアし, カウントを継続します。これによって, TMC0n0レジスタのCS0n2-CS0n0ビットの設定で決まる周波数のPWM出力が可能になります。CC0n0レジスタの設定値とCC0n1レジスタの設定値が同一の場合は, TO0n出力はインアクティブのまま変化しません。

なお, TO0n出力のアクティブ・レベルはTMC0n1レジスタのALV0nビットで設定できます。

備考 n = 0-5

図11 - 11 PWM出力として使用時のレジスタ設定内容

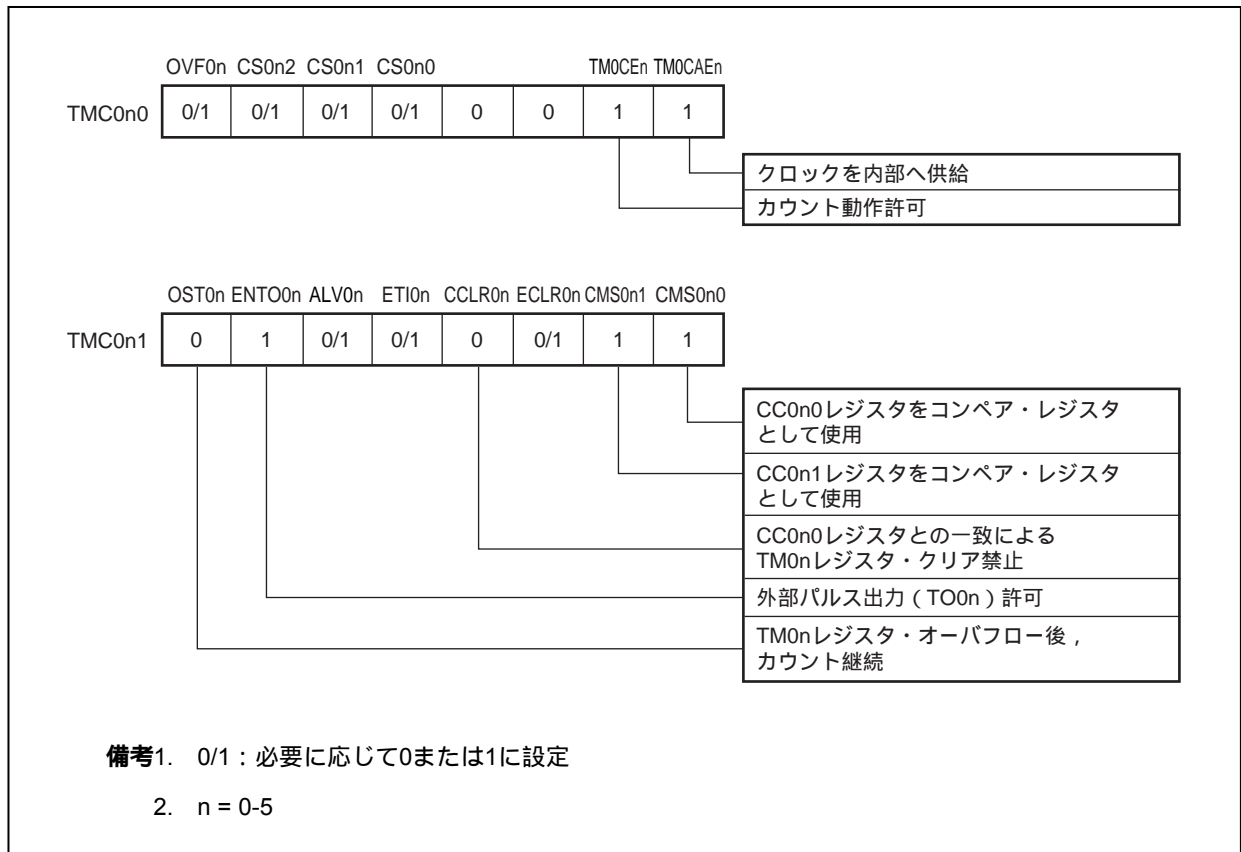
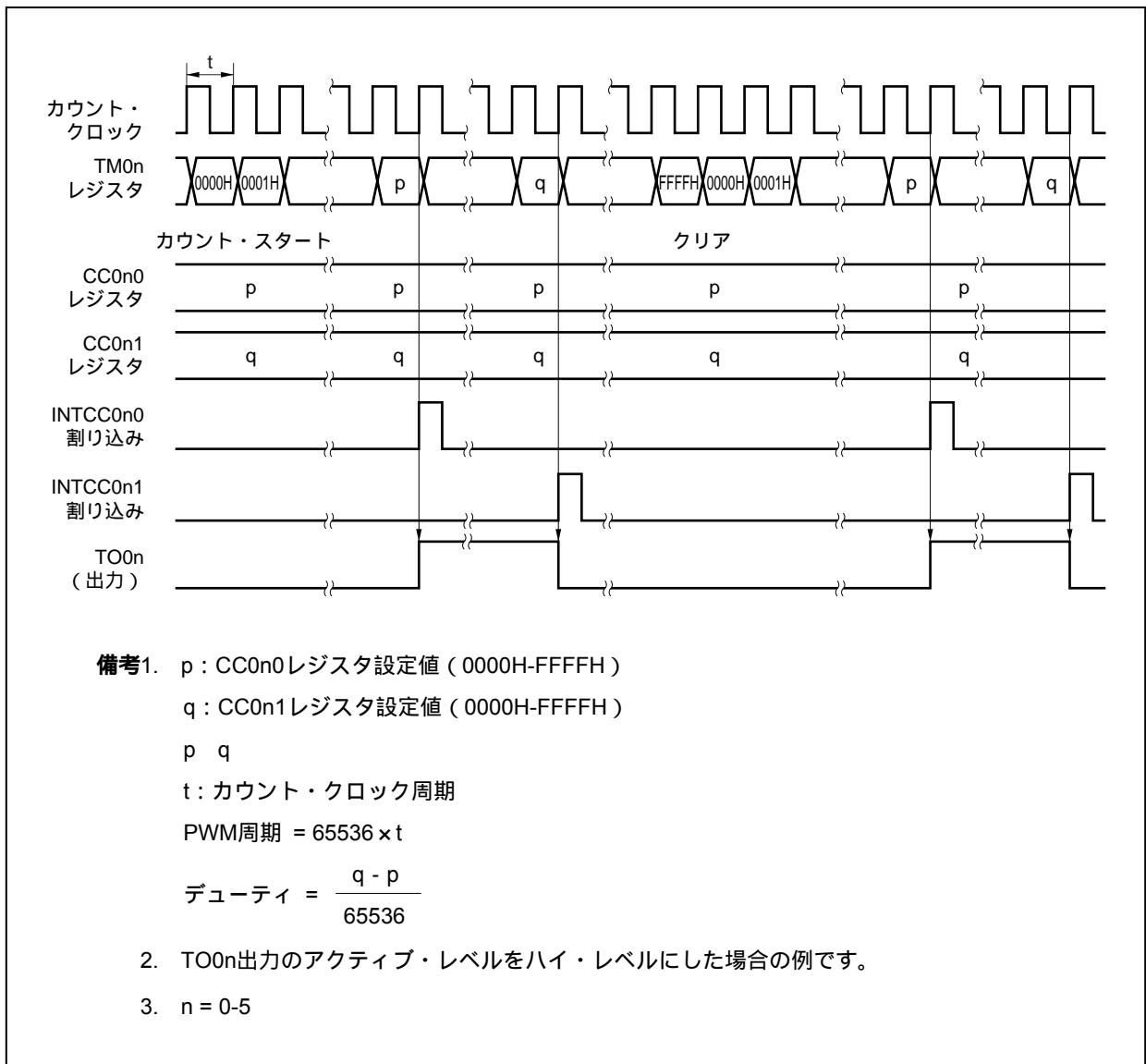


図11 - 12 PWM出力動作タイミング例



(3) ワンショット・パルス出力

TMC0n0, TMC0n1レジスタを図11 - 13のように設定することにより, TCLR0n端子の有効エッジを外部トリガとして, ワンショット・パルスをTO0n端子より出力できます。

TCLR0n端子の有効エッジは, SES0nレジスタのCES0n0, CES0n1ビットで行い, 立ち上がり, 立ち下がり, または立ち上がり/立ち下がり両エッジの3種類から選択できます。

TCLR0n端子への有効エッジでTM0nレジスタがクリア&スタートし, CC0n0レジスタにあらかじめ設定したカウント値でTO0n出力がアクティブになります。続いて, CC0n1レジスタにあらかじめ設定したカウント値でTO0n出力がインアクティブとなります。TO0n出力のアクティブ・レベルはTMC0n1レジスタのALV0nビットで設定できます。CC0n0レジスタの設定値とCC0n1レジスタの設定値が同一の場合は, TO0n出力はインアクティブのまま変化しません。

なお, TO0n出力のアクティブ・レベルはTMC0n1レジスタのALV0nビットで設定できます。

備考 n = 0-5

図11 - 13 ワンショット・パルス出力として使用時のレジスタ設定内容

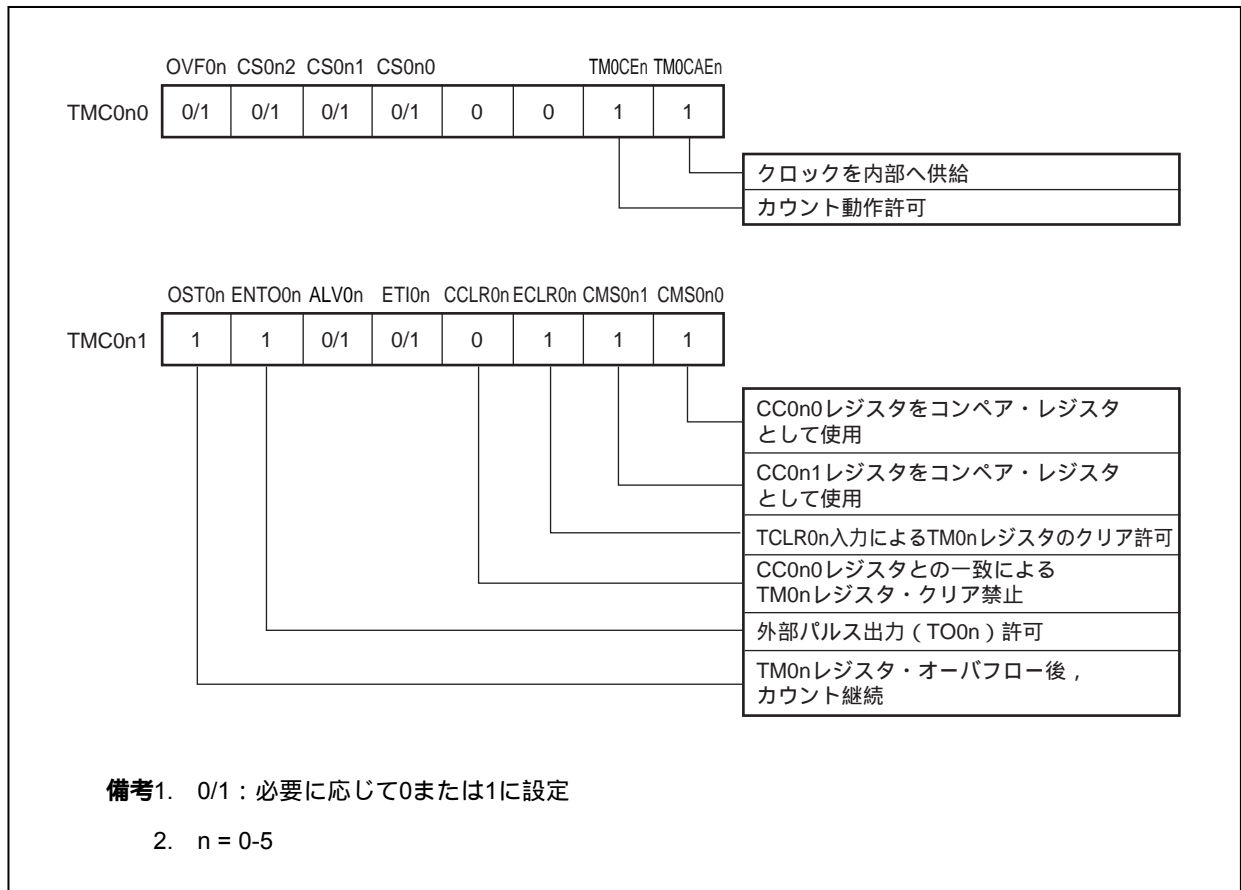
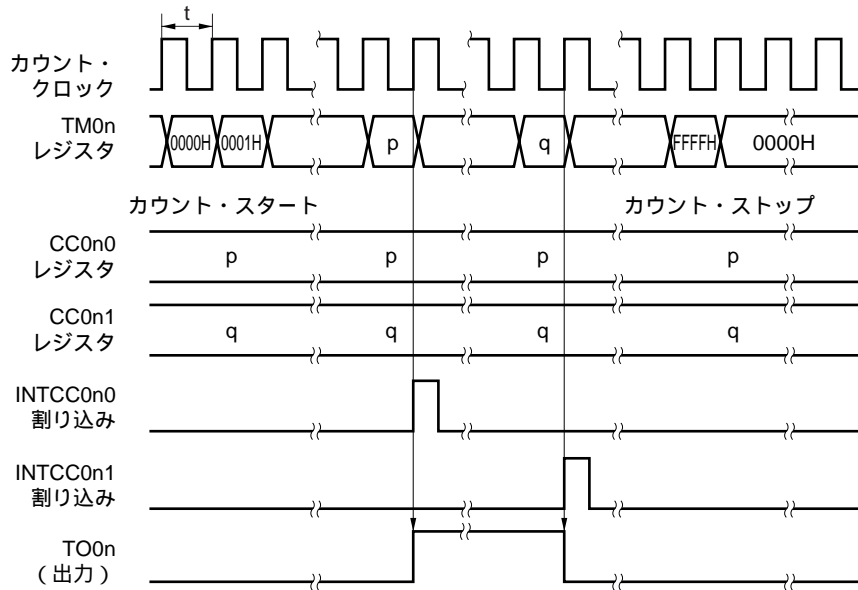


図11-14 ワンショット・パルス出力動作タイミング例



備考1. p : CC0n0レジスタ設定値 (0000H-FFFFH)

q : CC0n1レジスタ設定値 (0000H-FFFFH)

p q

t : カウント・クロック周期

2. TCLR0n入力有効エッジを立ち上がりエッジに、TO0n出力のアクティブ・レベルをハイ・レベルにした場合の例です。

3. n = 0-5

(4) 周期測定

TMC0n0, TMC0n1レジスタを図11 - 15のように設定することにより, INTP0n0端子, またはINTP0n1端子に入力する信号の周期を測定することができます。

INTP0n0端子の有効エッジは, SES0nレジスタのIES0n01, IES0n00ビットで行い, INTP0n1端子の有効エッジは, SES0nレジスタのIES0n11, IES0n10ビットで行います。どちらの端子も有効エッジとして立ち上がり, 立ち下がり, 立ち上がり/立ち下がり両エッジの3種類から選択できます。

CC0n0レジスタをキャプチャ・レジスタに設定すると, INTP0n0端子の有効エッジ入力をトリガとして, TM0nレジスタの値をCC0n0レジスタに取り込みます。取り込みが行われると, INTCC0n0割り込みを発生します。

同様にCC0n1レジスタをキャプチャ・レジスタに設定すると, INTP0n1端子の有効エッジ入力をトリガとして, TM0nレジスタの値をCC0n1レジスタに取り込みます。取り込みが行われると, INTCC0n1割り込みを発生します。

INTP0n0端子に入力する信号の周期は, x回目のINTP0n0端子の有効エッジにより, CC0n0レジスタに取り込んだTM0nレジスタのカウント値 (D_x) と, (x + 1) 回目のINTP0n0端子の有効エッジによりCC0n0レジスタに取り込んだTM0nレジスタのカウント値 ($D(x + 1)$) との差を求め, この差の値とクロック制御信号の周期の積から計算します。

同様にINTP0n1端子に入力する信号の周期は, x回目のINTP0n1端子の有効エッジにより, CC0n1レジスタに取り込んだTM0nレジスタのカウント値 (D_x) と, (x + 1) 回目のINTP0n1端子の有効エッジによりCC0n1レジスタに取り込んだTM0nレジスタのカウント値 ($D(x + 1)$) との差を求め, この差の値とクロック制御信号の周期の積から計算します。

備考 n = 0-5

図11 - 15 周期測定として使用時のレジスタ設定内容

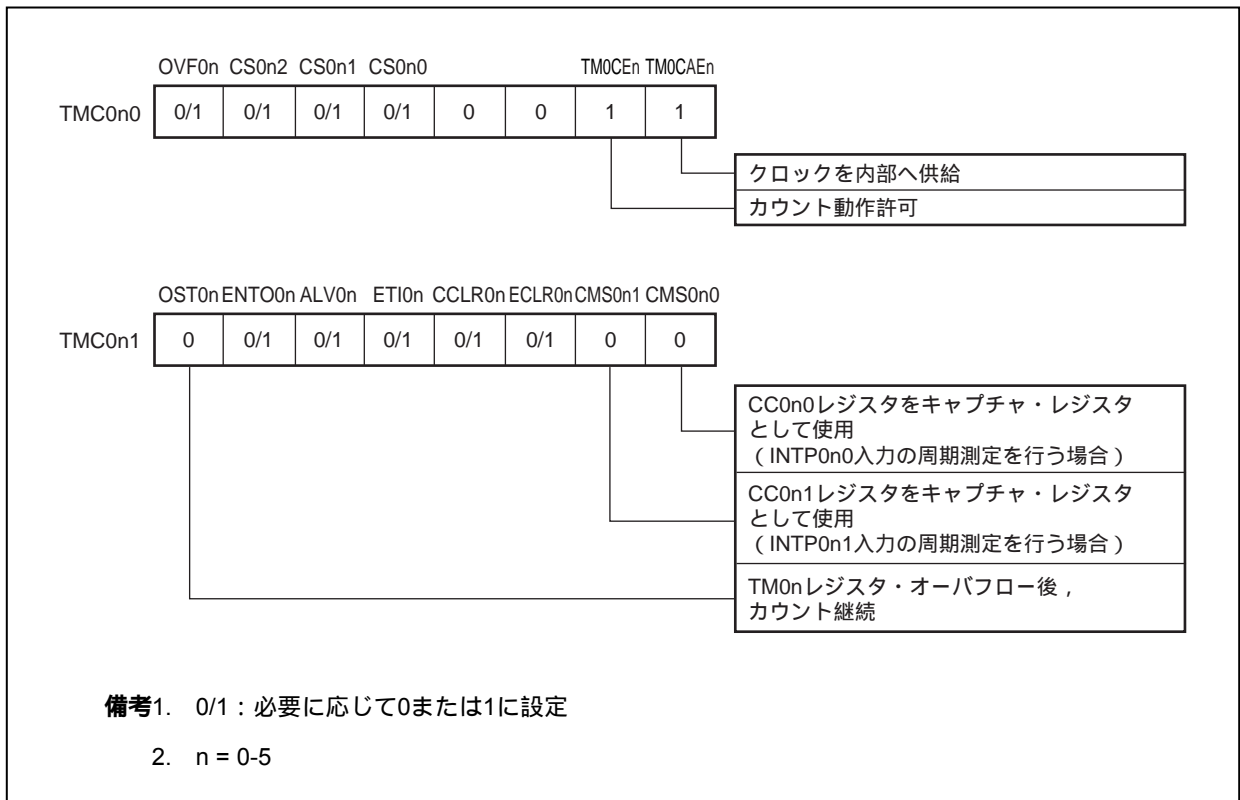
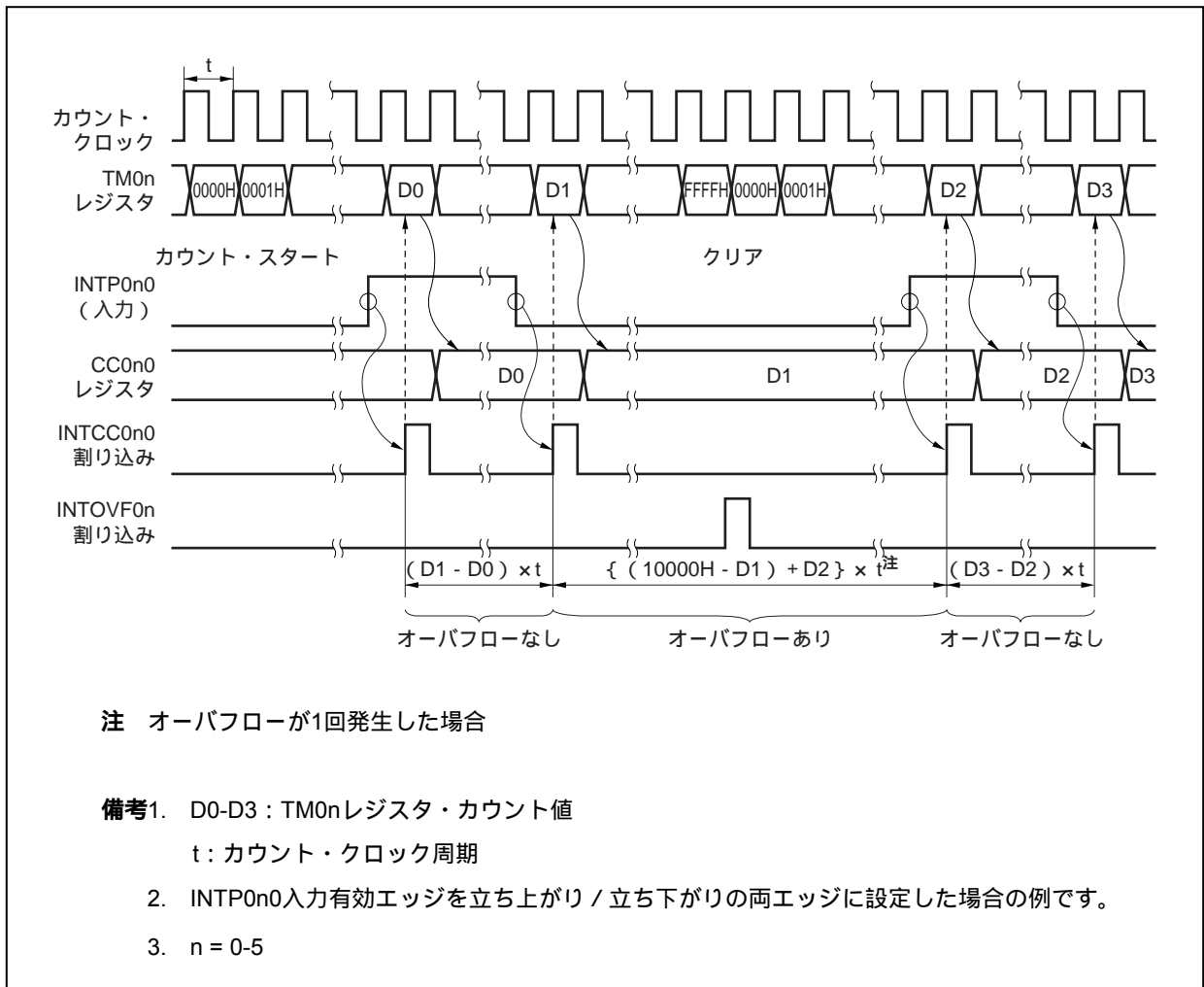


図11 - 16 周期測定動作タイミング例



11.7 注意事項

16ビット・タイマ/イベント・カウンタ00-05についての注意事項を次に示します。

- (1) CC0n0レジスタをキャプチャ・モードで使用しているときに、命令によるCC0n0レジスタのリードとキャプチャ動作が競合した場合、外部トリガ (INTP0n0) の有効エッジ検出、および外部割り込み要求信号 (INTCC0n0) は発生しますが、CC0n0レジスタへのタイマ値の格納は行われません。
- (2) CC0n1レジスタをキャプチャ・モードで使用しているときに、命令によるCC0n1レジスタのリードとキャプチャ動作が競合した場合、外部トリガ (INTP0n1) の有効エッジ検出、および外部割り込み要求信号 (INTCC0n1) は発生しますが、CC0n1レジスタへのタイマ値の格納は行われません。
- (3) 動作中 (TM0CEnビット = 1) に、次のビット、レジスタを書き換えないでください。
 - ・ TMC0n0レジスタのCS0n2-CS0n0ビット
 - ・ TMC0n1レジスタ
 - ・ SES0nレジスタ
- (4) TMC0n0レジスタのTM0CAEnビットは、TM0nのリセット信号です。TM0nを使用する際には、まずTM0CAEnビットをセット (1) してください。
- (5) 外部割り込み要求信号 (INTP0n0, INTP0n1)、外部クロック入力 (TI0n) の有効エッジ検出には、アナログ・ノイズ除去時間 + 2クロックが必要です。したがって、アナログ・ノイズ除去時間 + 2クロック未満の変化に対してはエッジ検出が正常に行われない可能性があります。
- (6) 割り込み要求信号 (INTCC0n0, INTCC0n1) の動作は、キャプチャ/コンペア・レジスタの動作状態によって自動的に決定します。キャプチャ動作時は、外部割り込み要求信号の有効エッジ検出として動作し、コンペア動作時は、TM0nレジスタとの一致割り込みとして動作します。
- (7) ENTO0nビットとALV0nビットを同時に変更した場合、TO0n端子出力にグリッジ (ヒゲ状のノイズ) が発生する可能性があります。グリッジが発生しても誤動作しない回路構成にするか、ENTO0nビットとALV0nビットを同時に変更しないようにするかしてください。

備考 n = 0-5

第12章 16ビット・タイマ/カウンタ10-15

12.1 特 徴

16ビットのインターバル・タイマとして機能します。

12.2 機能概要

16ビット・インターバル・タイマ：6ch (TM10-TM15)

コンペア・レジスタ：各1本

割り込み要求ソース：各1要因

カウント・クロックは内部システム・クロックの分周 ($f_{xx}/4$ - $f_{xx}/512$) から選択

12.3 構 成

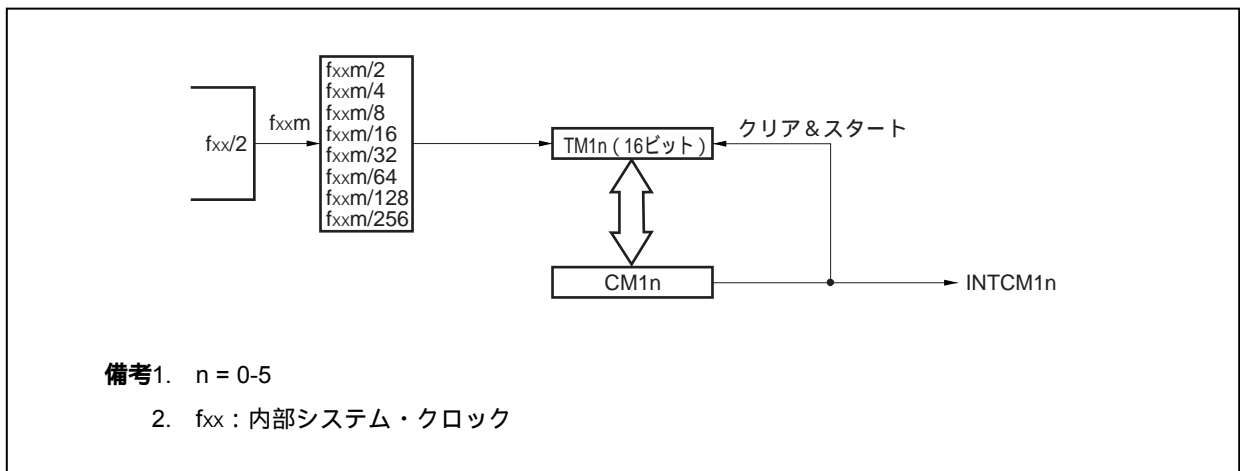
表12-1 16ビット・タイマ/カウンタ10-15の構成一覧

カウント・クロック	レジスタ	リード/ライト	発生する 割り込み信号	キャプチャ・ トリガ	タイマ出力 S/R	その他の機能
$f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$	TM10	リード	-	-	-	-
	CM10	リード/ライト	INTCM10	-	-	-
	TM11	リード	-	-	-	-
	CM11	リード/ライト	INTCM11	-	-	-
	TM12	リード	-	-	-	-
	CM12	リード/ライト	INTCM12	-	-	-
	TM13	リード	-	-	-	-
	CM13	リード/ライト	INTCM13	-	-	-

備考 f_{xx} ：内部システム・クロック

S/R：セット/リセット

図12-1 16ビット・タイマ/カウンタ10-15のブロック図



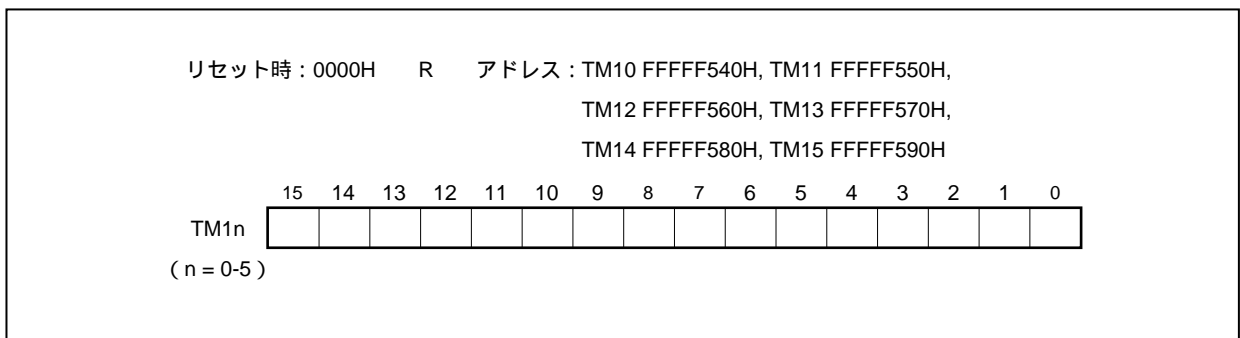
12.3.1 16ビット・タイマ/カウンタ10-15 (TM10-TM15)

TM1nは、16ビット・タイマです。おもに、ソフトウェアのためのインターバル・タイマとして利用できます ($n = 0-5$)。

TM1nのスタートおよびストップは、タイマ・モード・コントロール・レジスタ1n (TMC1n) のTM1CEnビットによって制御します ($n = 0-5$)。

カウント・クロックは、プリスケラによる分周を、TMC1nレジスタのCS1n0-CS1n2ビットにより $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$ から選択できます (f_{xx} : 内部システム・クロック)。

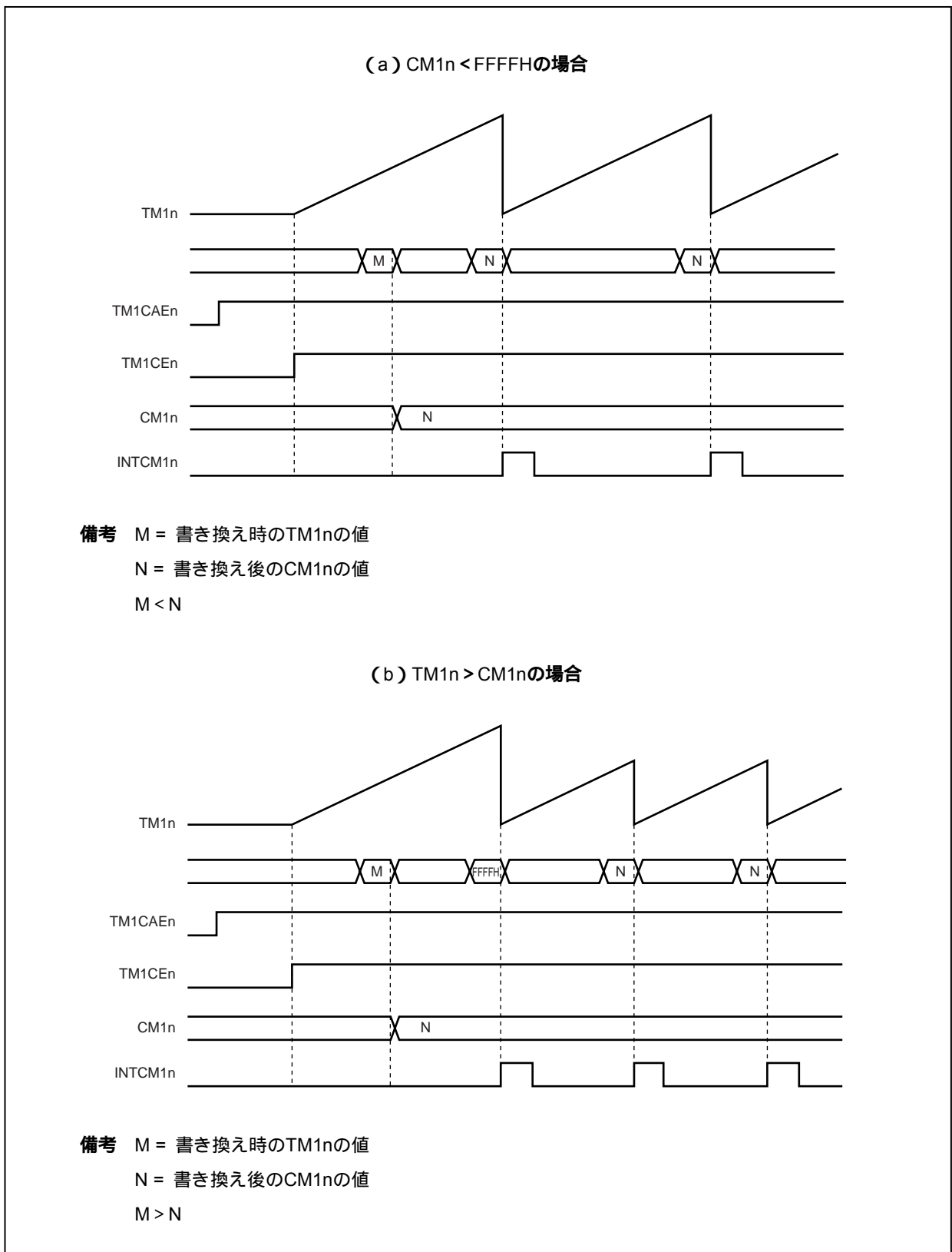
TM1nは16ビット単位でリードだけ可能です。



TM1nレジスタが0000Hになる条件を次に示します ($n = 0-5$)。

- リセット入力
- TM1CAEnビット = 0
- TM1CEnビット = 0
- TM1nレジスタとCM1nレジスタの一致
- オーバーフロー

図12 - 2 TM1n動作中のタイミング例



12.4 制御レジスタ

12.4.1 タイマ・モード・コントロール・レジスタ10-15 (TMC1n)

TMC1nレジスタは、タイマ1nの動作を制御するレジスタです (n = 0-5)。

8/1ビット単位でリード/ライト可能です。

注意 TM1CAEnビットとその他のビットは同時にはセットできません。必ずTM1CAEnビットをセットしたあとにその他のビットおよびその他のTM1nユニットのレジスタを設定してください。

リセット時：00H R/W アドレス：TMC10 FFFFF544H, TMC11 FFFFF554H,
 TMC12 FFFFF564H, TMC13 FFFFF574H,
 TMC14 FFFFF584H, TMC15 FFFFF594H

7	6	5	4	3	2	1	0
0	CS1n2	CS1n1	CS1n0	0	0	TM1CEn	TM1CAEn

TMC1n
(n = 0-5)

CS1n2	CS1n1	CS1n0	内部カウント・クロックの選択
0	0	0	fxx/4
0	0	1	fxx/8
0	1	0	fxx/16
0	1	1	fxx/32
1	0	0	fxx/64
1	0	1	fxx/128
1	1	0	fxx/256
1	1	1	fxx/512

タイマ動作中にCS1n2-CS1n0ビットを変更しなしないでください。変更する場合にはTM1CEnビットをクリア (0) してから行ってください。動作中に書き換えた場合、その動作は保証できません。

TM1CEn	タイマ1nの動作の制御
0	カウント動作禁止 (0000Hで停止し、動作しません)
1	カウント動作許可

TM1CEnビットはコンペア動作で一致を検出してもクリアされません。カウント操作を停止する場合は、TM1CEnビットをクリア (0) してください。

TM1CAEn	カウント・クロックの制御
0	TM1nユニット全体を非同期にリセットTM1nユニットへのクロック供給を停止
1	クロックをTM1nユニットへ供給

- ・ TM1CAEnビット = 0にすると、TM1nユニットを非同期にリセットすることができます。
- ・ TM1CEnビット = 0の場合は、TM1nユニットはリセット状態なので、TM1nを動作させる場合には、まずTM1CAEビット = 1にしてください。
- ・ TM1CAEビットを1から0にした場合は、TM1nユニットのすべてのレジスタが初期化されます。再度TM1CAEビット = 1にする場合には、TM1CAEnビット = 1設定後、必ずTM1nユニットのすべてのレジスタを再設定してください。

12.5 動作

(1) コンペア動作

TM1nでは、コンペア・レジスタ1n (CM1n) に設定した値とTM1nレジスタのカウント値を比較するコンペア動作を行います (n = 0-5)。

コンペア動作で一致を検出すると割り込み (INTCM1n) を発生します。割り込み発生により、次のカウント・タイミングでTM1nレジスタはクリア (0000H) されます。この機能により、タイマ1をインターバル・タイマとして使用します。

CM1nレジスタには0000Hを設定することもできます。この場合はオーバーフローしてTM1nレジスタが0000Hになるとともに一致を検出しINTCM1n信号が発生します。次のカウント・タイミングでTM1nレジスタの値をクリア (0000H) しますが、この一致では、INTCM1n信号は発生しません。

図12 - 3 TM10コンペア動作例 (1/2)

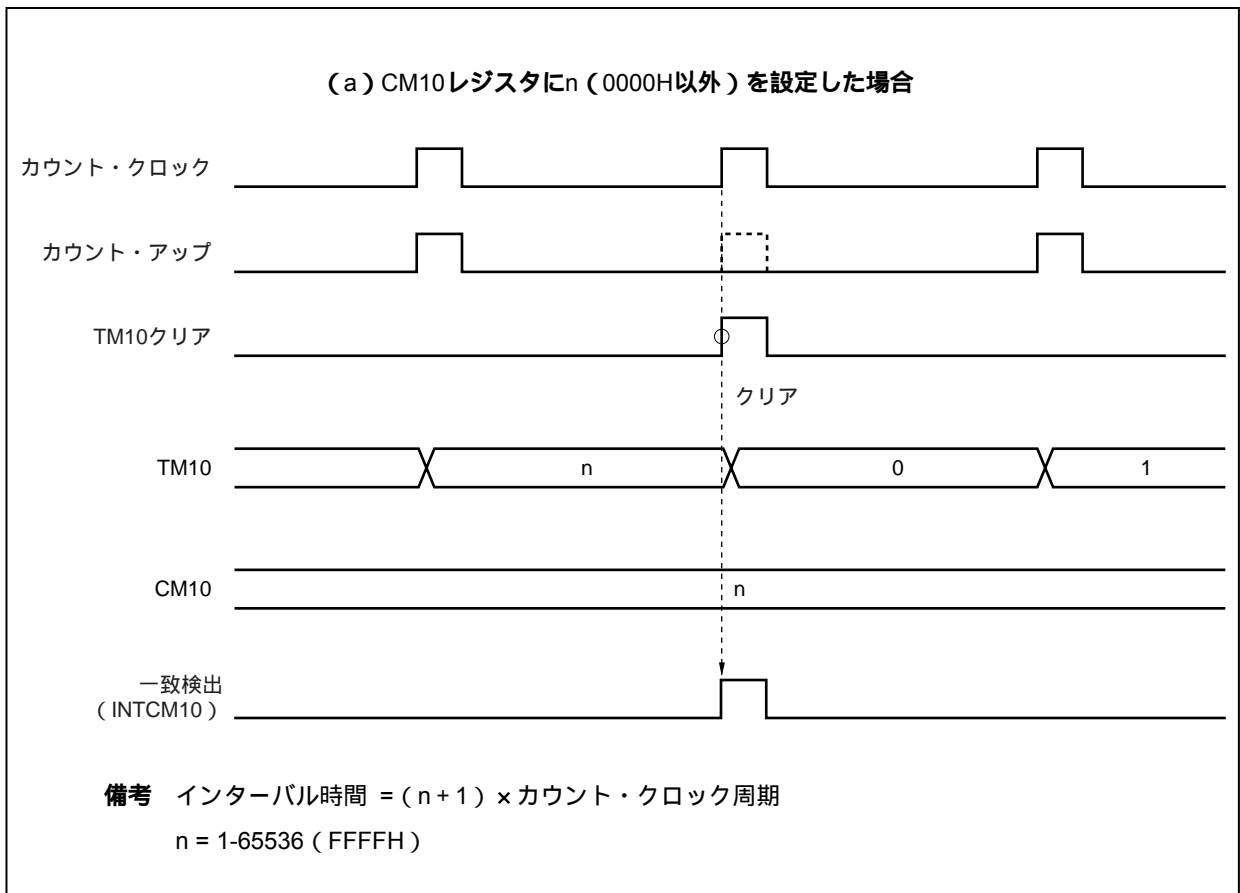
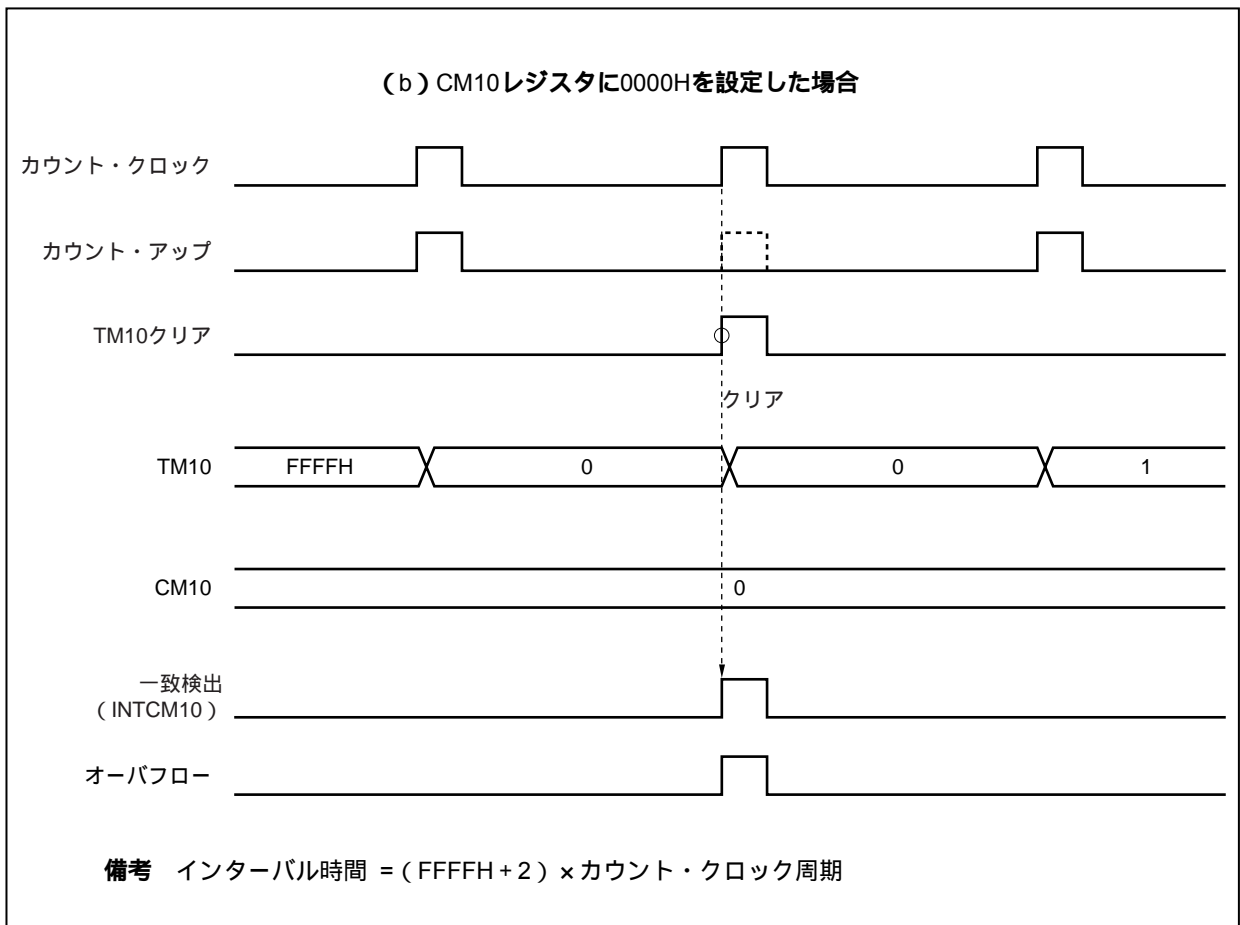


図12 - 3 TM10コンペア動作例 (2/2)



12.6 使用例

(1) インターバル・タイマ

16ビット精度でインターバル・タイマとして使用する例について説明します。

同一間隔で割り込み要求信号 (INTCM1n) を出力します (図12-2 TM10コンペア動作例参照)。設定方法を次に示します (n = 0-5)。

TM1CAEnビットをセット (1) します。

各レジスタの設定を行います。

- ・ TMC1nレジスタのCS1n0-CS1n2ビットでカウント・クロックを選択します。
- ・ CM1nレジスタにコンペア値を設定します。

TM1CEnビットをセット (1) し、カウントをスタートさせます。

TM1nレジスタとCM1nレジスタの値が一致すると、INTCM1n割り込みが発生します。

以後、同一間隔でINTCM1n割り込みが発生します。

備考 n = 0-5

12.7 注意事項

タイマ1についての注意事項を次に示します。

- (1) TM1nを動作させる場合には、最初にTM1CAEnビットをセット (1) してください。
- (2) TM1CEnビットに設定後、設定した値が内部に伝わるまでに最大 $f_{xx}/4$ クロックかかります。カウント動作開始時、0000Hから0001Hのカウント周期は、その後のカウント周期と異なります。
- (3) TM1nレジスタの状態を初期化し再度カウントを開始する場合、TM1CEnビットをクリア (0) し、 $f_{xx}/4$ クロックを経過したら、TM1CEnビットをセット (1) してください。
- (4) CM1nレジスタに設定した値が内部に伝わるまでに最大 $f_{xx}/4$ クロックかかります。CM1nレジスタに連続して書き込みを行う場合、 $f_{xx}/4$ クロック以上の時間を確保してください。
- (5) タイマ/カウンタ動作中のCM1nレジスタの書き換えは、タイマ/カウンタの1周期 (0000HからTM1nレジスタとCM1nレジスタが一致してINTCM1n割り込みが発生するまで) に1回のみ可能です。それをアプリケーションで確保できない場合は、動作中にCM1nレジスタを書き換えしないでください。
- (6) タイマ動作中はカウント・クロックを変更できません。書き換えは、TM1CEnビットをクリア (0) したあとに行ってください。動作中に書き換えた場合の動作は保証できません。
- (7) TM1nレジスタが動作中、そのカウンタ値以下の値をCM1nレジスタに書き込むと、オーバフローしたあとINTCM1n割り込みが発生します。

備考 n = 0-5

第13章 8ビット・タイマ/イベント・カウンタ20-211

13.1 機能

8ビット・タイマ/イベント・カウンタ2nには、次の2つのモードがあります。

- ・8ビット・タイマ/イベント・カウンタを単体で使用するモード（単体モード）
- ・カスケード接続して使用するモード（16ビット分解能：カスケード接続モード）

次に、これら2つのモードについて説明します。

(1) 8ビット・タイマ/イベント・カウンタを単体で使用するモード（単体モード）

8ビットのタイマ/イベント・カウンタとして動作します。

次のような機能として使用できます。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

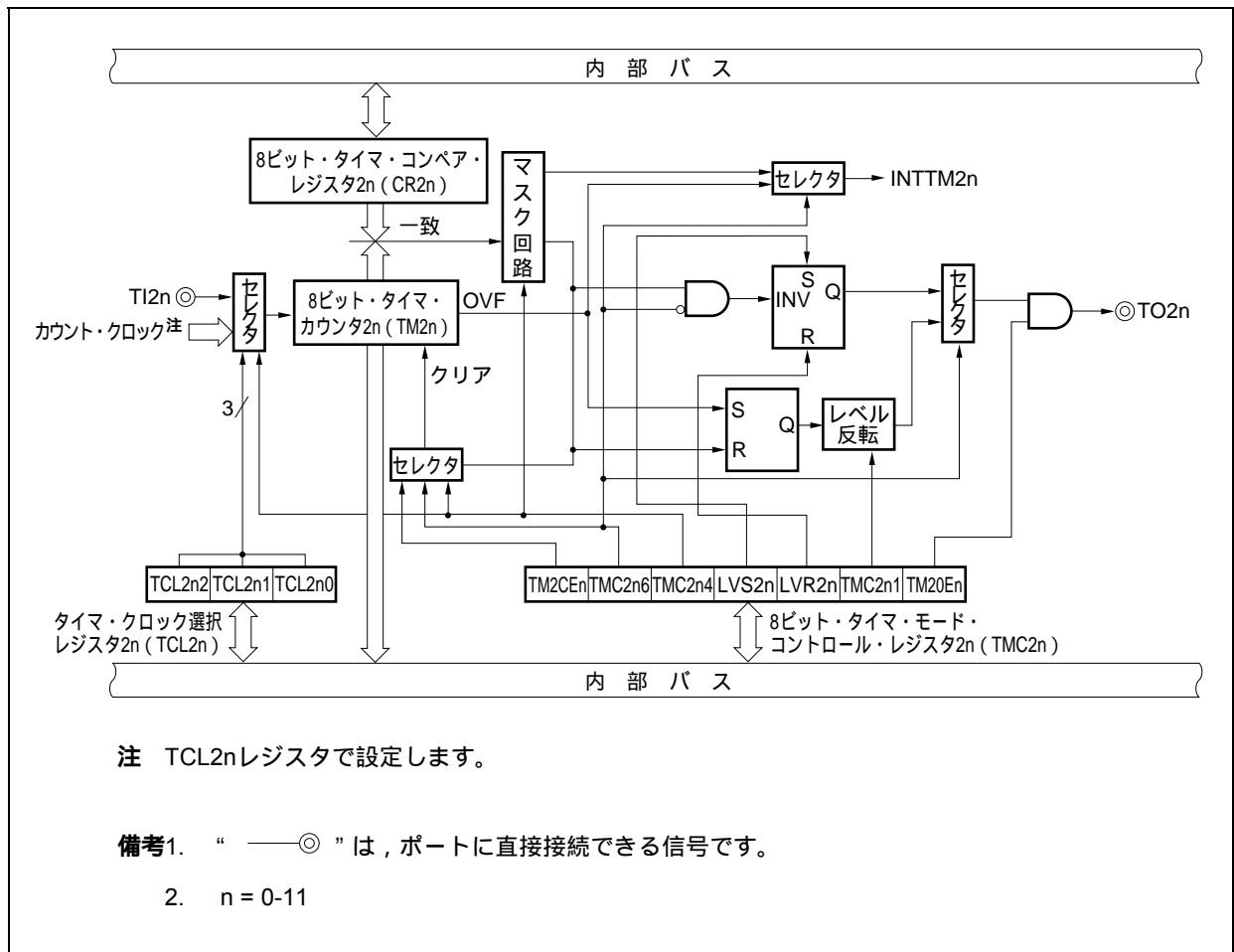
(2) カスケード接続して使用するモード（16ビット分解能：カスケード接続モード）

TM20とTM21, TM22とTM23, TM24とTM25, TM26とTM27, TM28とTM29, TM210とTM211レジスタをカスケード接続することにより、16ビットのタイマ/イベント・カウンタとして動作します。次のような機能として使用できます。

- ・16ビット分解能のインターバル・タイマ
- ・16ビット分解能の外部イベント・カウンタ
- ・16ビット分解能の方形波出力

次に、8ビット・タイマ/イベント・カウンタ20-211のブロック図を示します。

図13-1 8ビット・タイマ/イベント・カウンタ20-211のブロック図



13.2 構成

8ビット・タイマ/イベント・カウンタ20-211は、次のハードウェアで構成されています。

表13-1 8ビット・タイマ/イベント・カウンタ20-211の構成

項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタ20-211 (TM20-TM211) 16ビット・タイマ・カウンタ2m (TM2m) : カスケード接続時のみ
レジスタ	8ビット・タイマ・コンペア・レジスタ20-211 (CR20-CR211) 16ビット・タイマ・コンペア・レジスタ2m (CR2m) : カスケード接続時のみ
タイマ出力	TO20- TO211
制御レジスタ	タイマ・クロック選択レジスタ20-211 (TCL20-TCL211) タイマ・クロック選択レジスタ2m (TCL2m) : カスケード接続時のみ 8ビット・タイマ・モード・コントロール・レジスタ20-211 (TMC20-TMC211) 16ビット・タイマ・モード・コントロール・レジスタ2m (TMC2m) : カスケード接続時のみ

備考 m = 01, 23, 45, 67, 89, 1011

13.2.1 8ビット・タイマ・カウンタ20-211 (TM20-TM211)

TM2nレジスタは、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

TM20とTM21, TM22とTM23, TM24とTM25, TM26とTM27, TM28とTM29, TM210とTM211レジスタは、それぞれカスケード接続し、16ビット・タイマとして使用できます。

TM2mレジスタとTM2(m+1)レジスタをカスケード接続し16ビット・タイマとして使用した場合、16ビット・メモリ操作命令により読み出せます。しかし、内部8ビット・バスで接続されているので、TM2mレジスタとTM2(m+1)レジスタを2回に分けて読み出します。したがって、カウント変化中の読み出しを考慮し、2回読むことにより比較してください。

次の場合、カウント値は00Hになります。

- ・ $\overline{\text{RESET}}$ 入力
- ・ 8ビット・タイマ・モード・コントロール・レジスタ2n (TMC2n) のTM2CEnビットをクリア
- ・ TM2nレジスタと8ビット・タイマ・コンペア・レジスタ2n (CR2n) の一致でクリア&スタート・モード時のTM2nレジスタとCR2nレジスタの一致

注意 カスケード接続時は、最下位タイマ (TM2m) のTCE2mビットをクリアしても00Hとなります。

備考 n = 0-11

m = 0, 2, 4, 6, 8, 10

13.2.2 8ビット・タイマ・コンペア・レジスタ20-211 (CR20-CR211)

CR2nレジスタは、8ビット・メモリ操作命令でリード/ライト可能なレジスタです。

PWMモード以外では、CR2nレジスタに設定した値と、8ビット・カウンタ2n (TM2n) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTM2n) が発生します。

PWMモード時は、TM2nレジスタのオーバフローによりTO2n端子出力がアクティブ・レベルになり、TM2nレジスタとCR2nレジスタの値が一致するとTO2n端子出力がインアクティブ・レベルになります。

CR2nレジスタの値は00H-FFHの範囲で設定できます。

TM2mレジスタとTM2(m+1)レジスタをカスケード接続し、16ビット・タイマとして使用した場合、CR2mレジスタとCR2(m+1)レジスタは、16ビット・タイマ・コンペア・レジスタ2m(m+1) (CR2m(m+1)) として動作します。16ビット長でカウンタ値とレジスタ値を比較し、一致すると割り込み要求 (INTTM2m) を発生します。

- 注意1.** TM2nレジスタとCR2nレジスタの一致でクリア&スタート・モード時 (TMC2n6 = 0) は、カウント動作中にCR2nレジスタに異なる値を書き込まないでください。
2. PWMモード時は、CR2nレジスタの書き換え間隔を3カウント・クロック (タイマ・クロック選択レジスタ2n (TCL2n) で選択したクロック) 以上にしてください。
 3. カスケード接続時にCR2nレジスタの値を変更するときは、必ずタイマ動作を停止させてから行ってください。

備考 n = 0-11

13.3 制御レジスタ

8ビット・タイマ/イベント・カウンタ2nを制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタ2n (TCL2n)
- ・8ビット・タイマ・モード・コントロール・レジスタ2n (TMC2n)

13.3.1 タイマ・クロック選択レジスタ20-211 (TCL20-TCL211)

8ビット・タイマ/イベント・カウンタ2nのカウント・クロックおよびTI2n端子入力の有効エッジを設定するレジスタです。

TCL2nレジスタは、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

(a) タイマ・クロック選択レジスタ20-25 (TCL20-TCL25)

リセット時：00H R/W アドレス：TCL20 FFFFF604H, TCL21 FFFFF605H,
TCL22 FFFFF614H, TCL23 FFFFF615H,
TCL24 FFFFF624H, TCL25 FFFFF625H

	7	6	5	4	3	2	1	0
TCL2n	0	0	0	0	0	TCL2n2	TCL2n1	TCL2n0

(n = 0-5)

TCL2n2	TCL2n1	TCL2n0	カウント・クロックの選択		
			クロック	f _{xx}	
				40.5 MHz	27 MHz
0	0	0	TI2nの立ち下がりエッジ	-	-
0	0	1	TI2nの立ち上がりエッジ	-	-
0	1	0	f _{xx} /4	98.8 ns	148.1 ns
0	1	1	f _{xx} /8	197.5 ns	296.3 ns
1	0	0	f _{xx} /16	395.1 ns	592.6 ns
1	0	1	f _{xx} /32	790.0 ns	2.5 μs
1	1	0	f _{xx} /128	3.1 μs	4.7 μs
1	1	1	f _{xx} /512	12.6 μs	18.9 μs

注意 TCL2nレジスタを同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

備考 カスケード接続時、TCL21, TCL23, TCL25レジスタの設定は無効になります。

(b) タイマ・クロック選択レジスタ26-211 (TCL26-TCL211)

リセット時：00H R/W アドレス：TCL26 FFFFF634H, TCL27 FFFFF635H,
 TCL28 FFFFF644H, TCL29 FFFFF645H,
 TCL210 FFFFF654H, TCL211 FFFFF655H

	7	6	5	4	3	2	1	0
TCL2n	0	0	0	0	0	TCL2n2	TCL2n1	TCL2n0

(n = 6-11)

TCL2n2	TCL2n1	TCL2n0	カウント・クロックの選択		
			クロック	f _{xx}	
				40.5 MHz	27 MHz
0	0	0	Tl2nの立ち下がりエッジ	-	-
0	0	1	Tl2nの立ち上がりエッジ	-	-
0	1	0	f _{xx} /4	98.8 ns	148.1 ns
0	1	1	f _{xx} /8	197.5 ns	296.3 ns
1	0	0	f _{xx} /16	395.1 ns	592.6 ns
1	0	1	f _{xx} /32	790.0 ns	2.5 μs
1	1	0	f _{xx} /128	3.1 μs	4.7 μs
1	1	1	f _{xx} /256	6.3 μs	9.5 μs

注意 TCL2nレジスタを同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

備考 カスケード接続時、TCL27, TCL29, TCL211レジスタの設定は無効になります。

13.3.2 8ビット・タイマ・モード・コントロール・レジスタ20-211(TMC20-TMC211)

TMC2nレジスタは、次の6種類の設定を行うレジスタです。

- ・8ビット・タイマ・カウンタ20-211 (TM20-TM211) のカウント動作制御
- ・8ビット・タイマ・カウンタ20-211の動作モードの選択
- ・単体モード/カスケード接続モードの選択
- ・タイマ出力F/F (フリップフロップ) の状態設定
- ・タイマ出力F/Fの制御またはPWM (フリー・ランニング) モード時のアクティブ・レベルの選択
- ・タイマ出力の制御

TM20-TM211レジスタは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により04Hになります (ハードウェアの状態は04Hに初期化されますが、リードすると00Hが読み出されます)。

表13 - 2 TMC2nレジスタのアドレス

レジスタ名	アドレス	レジスタ名	アドレス
TMC20	FFFFFF606H	TMC26	FFFFFF636H
TMC21	FFFFFF607H	TMC27	FFFFFF637H
TMC22	FFFFFF616H	TMC28	FFFFFF646H
TMC23	FFFFFF617H	TMC29	FFFFFF647H
TMC24	FFFFFF626H	TMC210	FFFFFF656H
TMC25	FFFFFF627H	TMC211	FFFFFF657H

リセット時：00H R/W アドレス：表13-2参照

	⑦	6	5	4	3	2	1	①
TMC2n	TCE2n	TMC2n6	0	TMC2(m+1) ⁴ 注	LVS2n	LVR2n	TMC2n1	TM2OEn
$n = 0-11$ $m = 0, 2, 4, 6, 8, 10$	TCE2n	8ビット・タイマ/イベント・カウンタ2nのカウンタ動作制御						
	0	カウンタを0にクリア後、カウンタ動作禁止（カウンタ禁止）						
	1	カウンタ動作開始						
	TMC2n6	8ビット・タイマ/イベント・カウンタ2nの動作モード選択						
	0	TM2nレジスタとCR2nレジスタの一致でクリア&スタート・モード						
	1	PWM（フリー・ランニング）モード						
	TMC2(m+1) ⁴	8ビット・タイマ/イベント・カウンタ2(m+1)の単体モード/カスケード接続モードの選択						
	0	単体モード						
	1	カスケード接続モード（TM2mと接続）						
	LVS2n	LVR2n	タイマ出力F/Fの状態設定					
	0	0	変化しない					
	0	1	タイマ出力F/Fをリセット（0）					
	1	0	タイマ出力F/Fをセット（1）					
	1	1	設定禁止					
	TMC2n1	PWM（フリー・ランニング）モード以外（TMC2n6 = 0）			PWM（フリー・ランニング）モード（TMC2n6 = 1）			
		タイマF/Fの制御			アクティブ・レベルの選択			
	0	反転動作禁止			ハイ・アクティブ			
	1	反転動作許可			ロウ・アクティブ			
	TM2OEn	タイマ出力の制御						
	0	出力禁止（TO2n端子はロウ・レベル）						
	1	出力許可						

注 TMC2mレジスタのビット4は0固定です。

注意1. TO2n端子とTI2n端子は兼用しているため、どちらか一方の機能しか使用できません。

2. LVS2n, LVR2nビットの設定は、PWMモード以外で有効になります。
3. TMC2n1ビットとTOE2nビットを同時に書き換えしないでください。
4. PWMモードに切り替えるとき、TMC2n6ビットとLVS2n, LVR2nビットを同時に書き換えしないでください。
5. TMC2n6ビットまたはTMC2(m+1)4ビットを書き換える場合は、タイマ動作を停止してから行ってください。

備考1. PWMモード時は、TCE2nビット = 0により、PWM出力がインアクティブ・レベルになります。

2. LVS2n, LVR2nビットをリードすると常に0が読み出されます。
3. TMC2n6, LVS2n, LVR2n, TMC2n1, TOE2nの各ビットの値は、TCE2nビットの値に関係なくTO2n出力に反映されます。

13.4 動作

13.4.1 インターバル・タイマ (8ビット) としての動作

8ビット・タイマ・コンペア・レジスタ2n (CR2n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ2n (TM2n) のカウント値がCR2nレジスタに設定した値と一致したとき、TM2nレジスタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM2n) が発生します。

設定方法

各レジスタの設定を行います。

- ・TCL2nレジスタ : カウント・クロック (t) の選択
- ・CR2nレジスタ : コンペア値 (N)
- ・TMC2nレジスタ : カウント動作停止, TM2nレジスタとCR2nレジスタの一致でクリア & スタート・モードを選択 (TMC2nレジスタ = 0000xx00B x : don't care)

TMC2nレジスタのTM2CEnビット = 1を設定すると、カウント動作を開始します。

TM2nレジスタとCR2nレジスタの値が一致すると、INTTM2n信号が発生します (TM2nレジスタは00Hにクリアされます)。

以後、同一間隔でINTTM2n信号が繰り返し発生します。カウント動作を停止するときは、TM2CEnビット = 0にしてください。

$$\text{インターバル時間} = (N + 1) \times t : N = 00H\text{-}FFH$$

注意 インターバル・タイマ動作中にCR2nレジスタの値を書き換えないでください。

備考 n = 0-11

図13-2 インターバル・タイマ動作のタイミング (1/2)

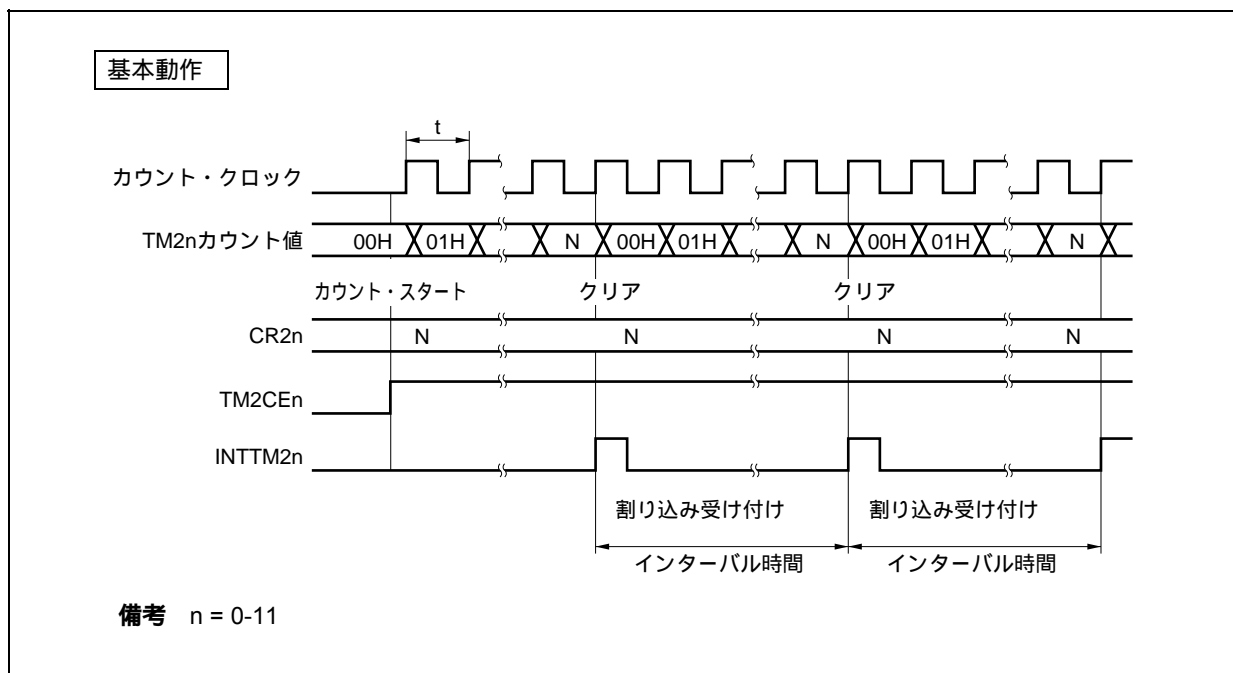
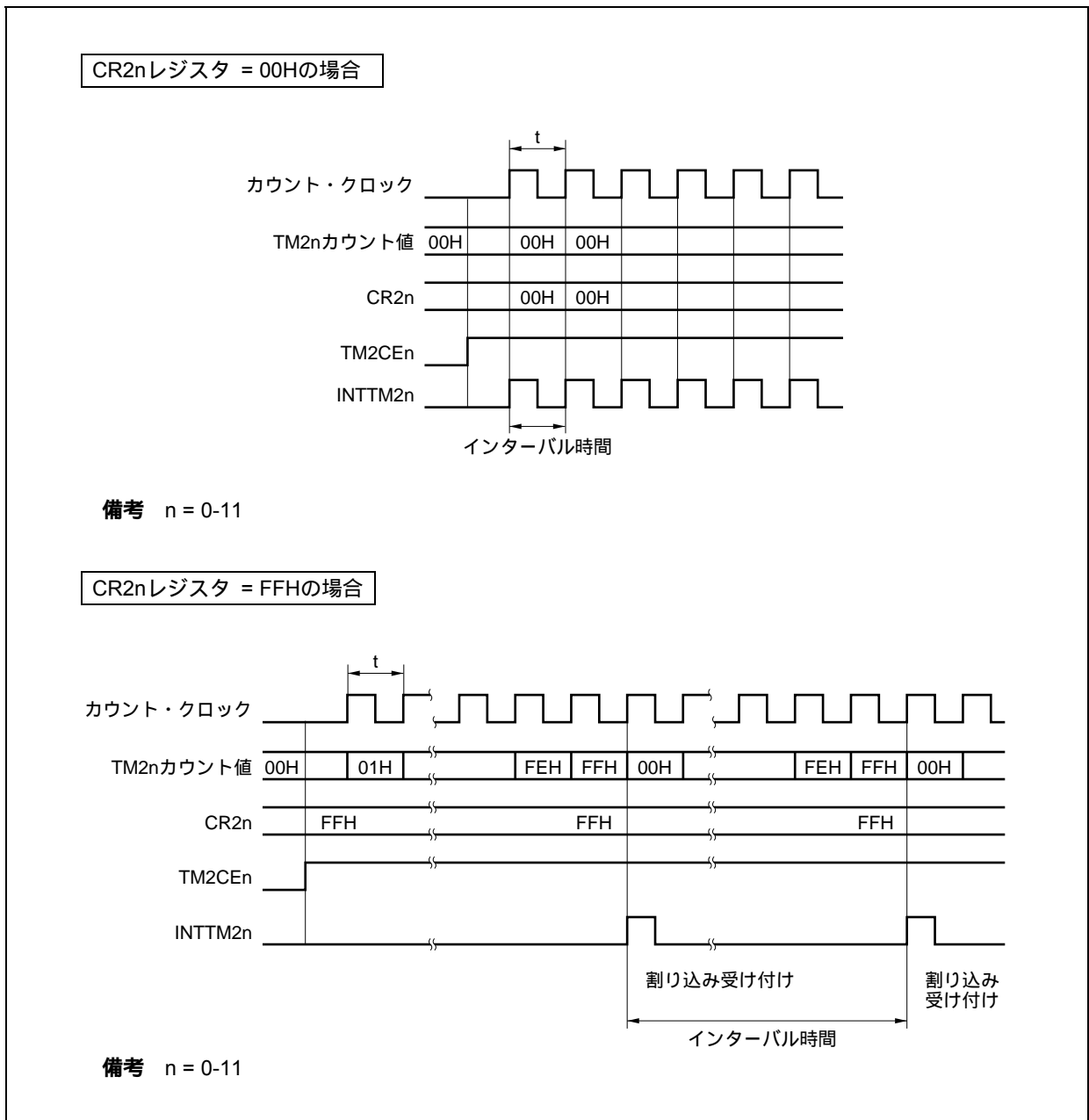


図13-2 インターバル・タイマ動作のタイミング (2/2)



13.4.2 外部イベント・カウンタ(8ビット)としての動作

外部イベント・カウンタは、TI2n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ2n (TM2n) でカウントします。

TI2n端子にタイマ・クロック選択レジスタ2n (TCL2n) で指定した有効エッジが入力されるごとに、TM2nレジスタがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM2nレジスタのカウント値が8ビット・タイマ・コンペア・レジスタ2n (CR2n) の値と一致すると、TM2nレジスタは0にクリアされ、割り込み要求信号 (INTTM2n) が発生します。

設定方法

各レジスタの設定を行います。

- ・TCL2nレジスタ : TI2n端子入力のエッジ選択

TI2n端子の立ち下がり TCL2n = 00H

TI2n端子の立ち上がり TCL2n = 01H

- ・CR2nレジスタ : コンペア値 (N)

- ・TMC2nレジスタ : カウント動作停止, TM2nレジスタとCR2nレジスタの一致でクリア & スタート・モードを選択, タイマ出力F/F反転動作禁止, タイマ出力禁止

(TMC2nレジスタ = 0000xx00B x : don't care)

TM2nレジスタのTM2CEnビット = 1を設定すると、TI2n端子から入力されるパルス数をカウントします。

TM2nレジスタとCR2nレジスタの値が一致すると、INTTM2n信号が発生します (TM2nレジスタは00Hにクリアされます)。

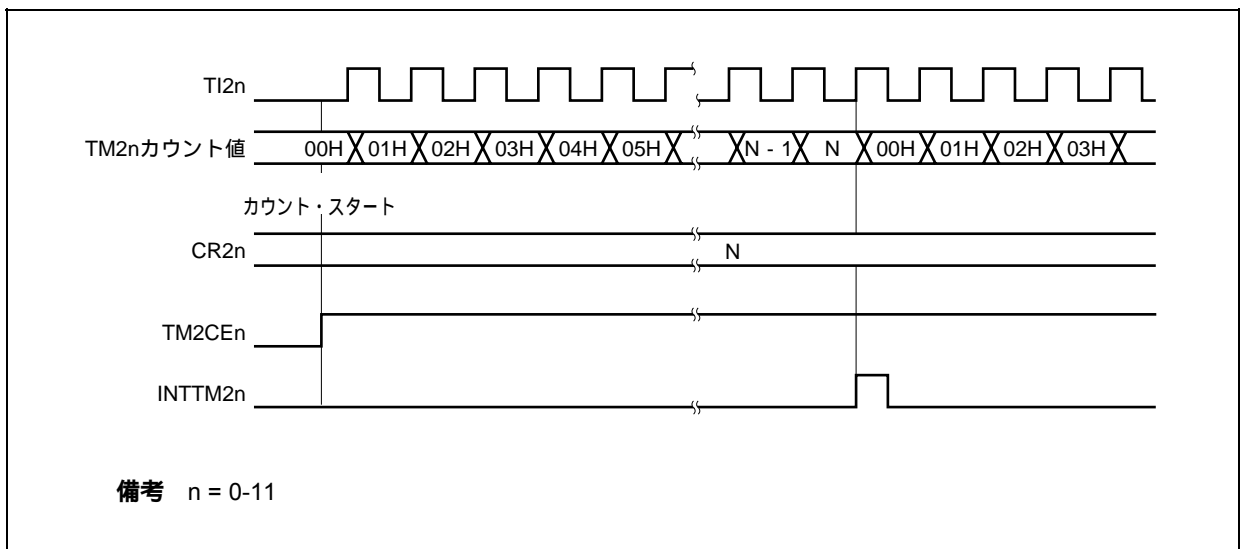
以後、TM2nレジスタとCR2nレジスタの値が一致するごとにINTTM2n信号が発生します。

TI2n有効エッジがN + 1回入力されるとINTTM2n信号が発生 : N = 00-FFH

注意 外部イベント・カウンタ動作中にCR2nレジスタの値を書き換えないでください。

備考 n = 0-11

図13-3 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



13.4.3 方形波出力（8ビット分解能）としての動作

8ビット・タイマ・コンペア・レジスタ2n（CR2n）にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ2n（TMC2n）のTM2CEnビットに1を設定することにより、CR2nレジスタにあらかじめ設定したカウント値をインターバルとしてTO2n端子の出力状態が反転します。これにより、任意の周波数の方形波出力（デューティ = 50 %）が可能です。

設定方法

各レジスタの設定を行います。

- ・TCL2nレジスタ：カウント・クロック（t）の選択
- ・CR2nレジスタ：コンペア値（N）
- ・TMC2nレジスタ：カウント動作停止、

TM2nレジスタとCR2nレジスタの一致でクリア&スタート・モード、

LVS2n	LVR2n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可、タイマ出力許可

（TMC2nレジスタ = 00001011Bまたは00000111B）

TMC2nレジスタのTM2CEnビット = 1を設定すると、カウント動作を開始します。

TM2nレジスタとCR2nレジスタの値が一致すると、タイマ出力F/Fが反転します。

また、割り込み要求信号（INTTM2n）が発生し、TM2nレジスタは00Hにクリアされます。

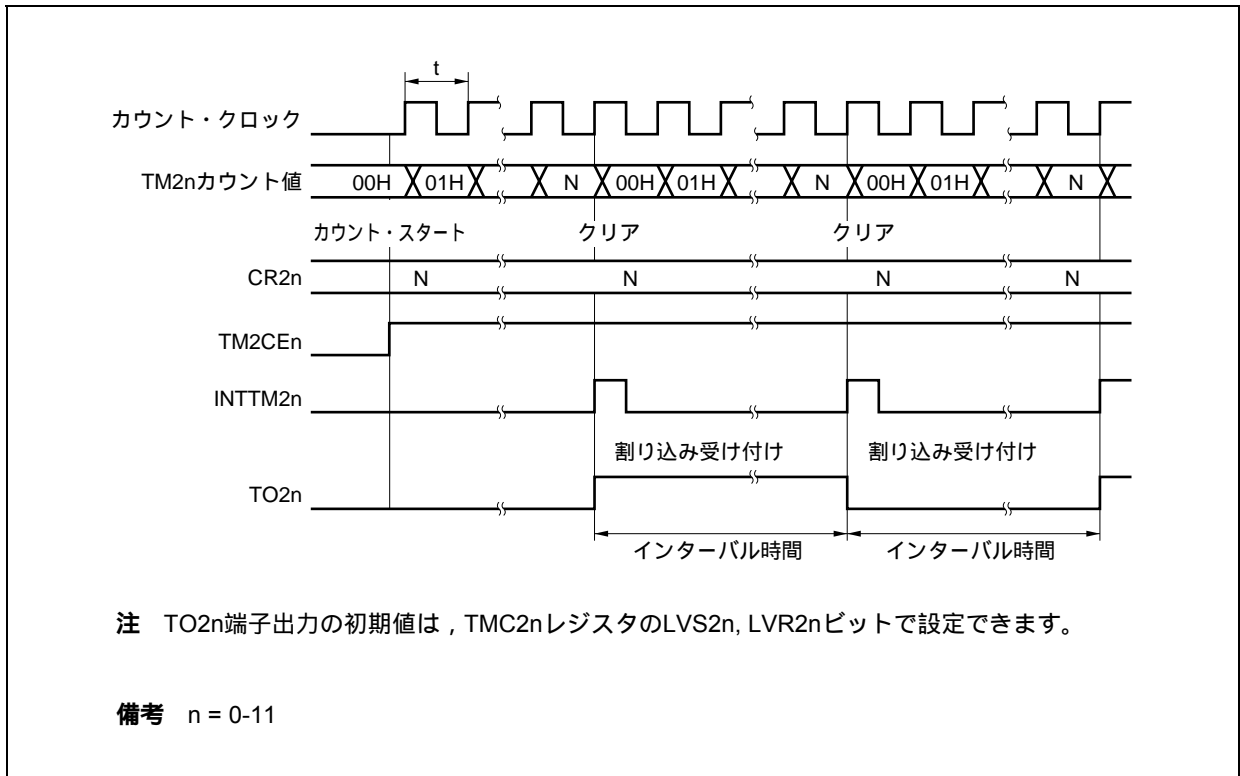
以後、同一間隔でタイマ出力F/Fが反転し、TO2n端子から方形波が出力されます。

$$\text{周波数} = \frac{1}{2t(n+1)} : N = 00H\text{-}FFH$$

注意 方形波出力中にCR2nレジスタの値を書き換えないでください。

備考 n = 0-11

図13-4 方形波出力動作のタイミング



13.4.4 8ビットPWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ2n (TMC2n) のTMC2n6ビットを“1”に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ2n (CR2n) に設定した値で決まるデューティのパルスを、TO2n端子から出力します。

PWMパルスのアクティブ・レベルの幅は、CR2nレジスタに設定してください。また、アクティブ・レベルは、TMC2nレジスタのTMC2n1ビットにより選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ2n (TCL2n) で選択できます。

TMC2nレジスタのTM2OEnビットにより、PWM出力の許可/禁止が選択できます。

注意 CR2nレジスタの書き換え間隔は、動作クロック(TCL2nレジスタで設定)の3クロック以上必要です。

(1) PWM出力の基本動作

設定方法

各レジスタの設定を行います。

- ・TCL2nレジスタ : カウント・クロック (t) の選択
- ・CR2nレジスタ : コンペア値 (N)
- ・TMC2nレジスタ : カウント動作停止, PWMモード選択, タイマ出力F/F変化なし,

TMC2n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

(TMC2nレジスタ = 01000001Bまたは01000011B)

TMC2nレジスタのTM2CEnビット = 1を設定すると、カウント動作を開始します。

PWM出力の動作

カウント動作を開始すると、PWM出力 (TO2n端子からの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、設定方法 で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CR2nレジスタと8ビット・タイマ・カウンタ2n (TM2n) のカウント値が一致するまで出力されます。また、割り込み要求信号 (INTTM2n) が発生します。

CR2nレジスタの設定値とTM2nレジスタのカウント値が一致すると、インアクティブ・レベルを出力し、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後、カウント動作が停止されるまで、を繰り返します。

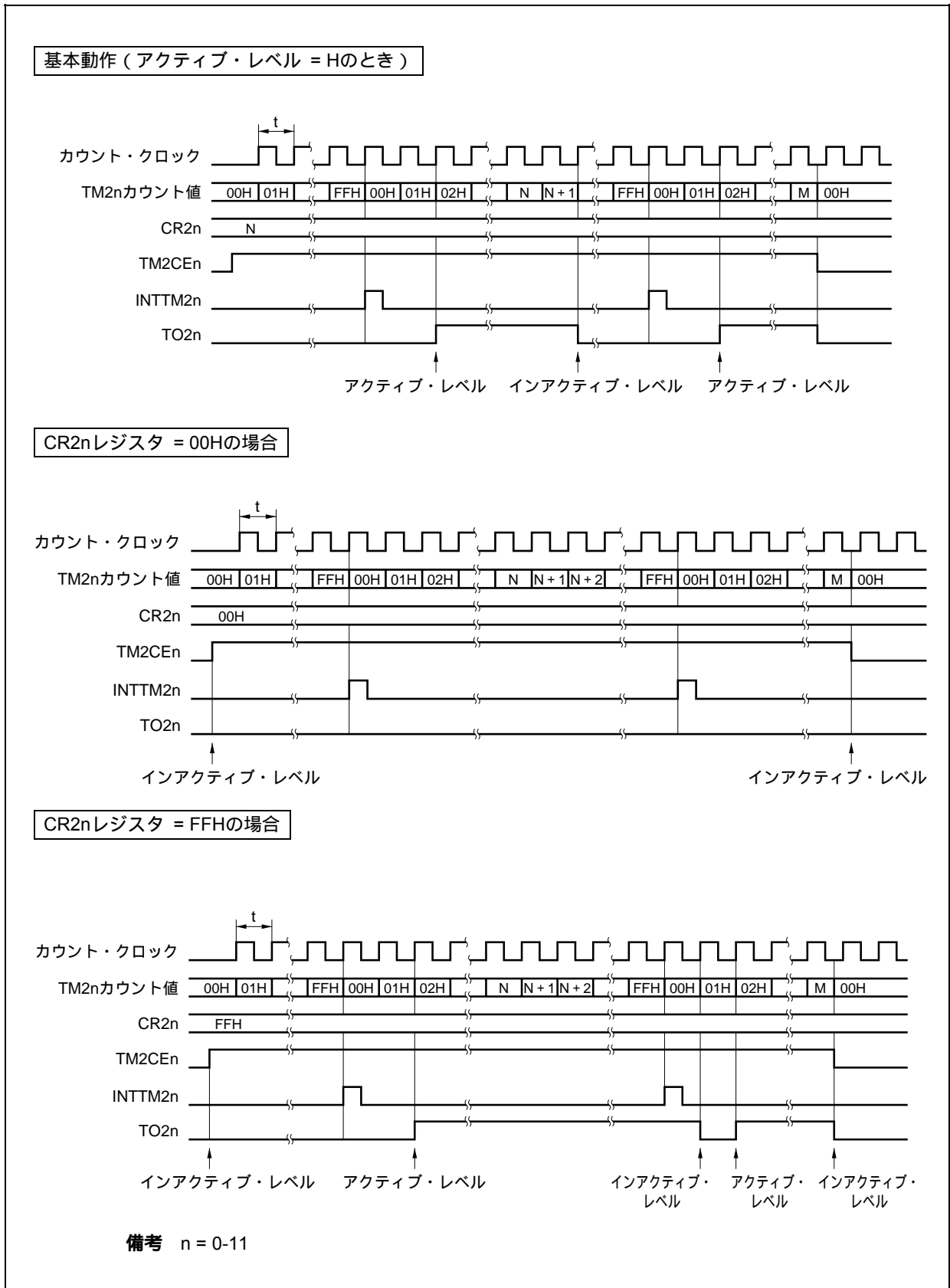
TM2CEnビット = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

$$\text{周期} = 2^8 t, \text{アクティブ・レベル幅} = Nt, \text{デューティ} = N/2^8 : N = 00\text{-}FFH$$

備考 n = 0-11

(a) PWM出力の基本動作

図13-5 PWM出力の動作タイミング



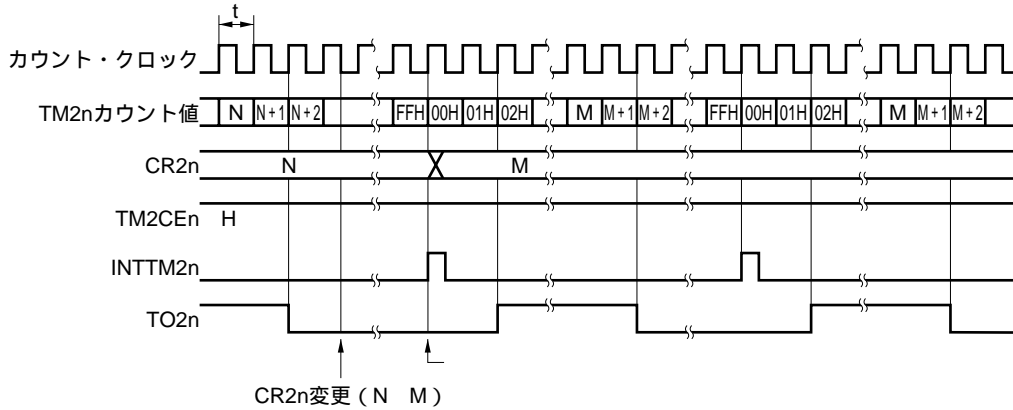
CR2nレジスタ = FFHの場合

(b) CR2nレジスタ変更による動作について

図13-6 CR2nレジスタ変更による動作のタイミング

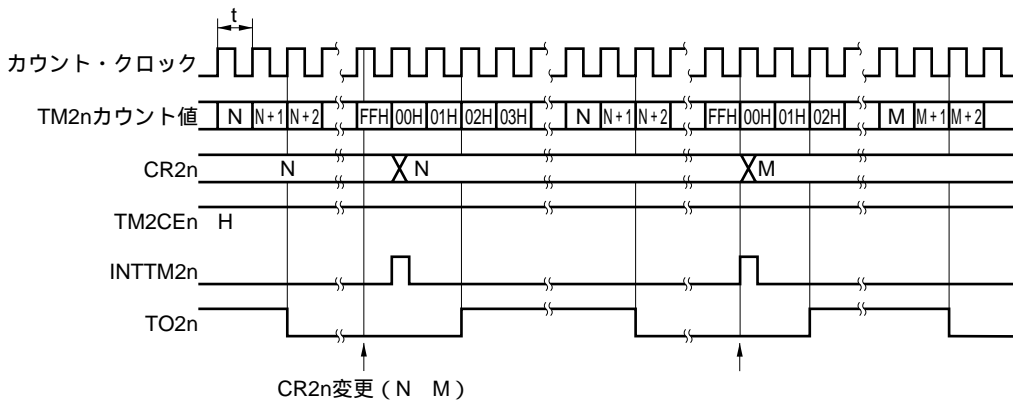
CR2nレジスタの値をFFHのクロック立ち上がりエッジよりも手前にN Mに変更した場合

直後のオーバーフローでCR2nレジスタに値がリロードされます。



CR2nレジスタの値をFFHのクロックの立ち上がりエッジよりもあとにN Mに変更した場合

2回目のオーバーフローでCR2nレジスタに値がリロードされます。



注意 から の間でCR2nレジスタからリードする場合、実際に動作する値と異なります（リード値：M，実際のCR2nレジスタの値：N）。

備考 n = 0-11

13.4.5 インターバル・タイマ (16ビット) としての動作

V850E/SV2では、カスケード接続時だけ使用できる16ビット・レジスタを用意しています。

使用できるレジスタは、次のとおりです。

TM20, TM21をカスケード接続時	: 16ビット・カウンタTM201 (アドレス: FFFFF600H) 16ビット・コンペア・レジスタCR201 (アドレス: FFFFF602H)
TM22, TM23をカスケード接続時	: 16ビット・カウンタTM223 (アドレス: FFFFF610H) 16ビット・コンペア・レジスタCR223 (アドレス: FFFFF612H)
TM24, TM25をカスケード接続時	: 16ビット・カウンタTM245 (アドレス: FFFFF620H) 16ビット・コンペア・レジスタCR245 (アドレス: FFFFF622H)
TM26, TM27をカスケード接続時	: 16ビット・カウンタTM267 (アドレス: FFFFF630H) 16ビット・コンペア・レジスタCR267 (アドレス: FFFFF632H)
TM28, TM29をカスケード接続時	: 16ビット・カウンタTM289 (アドレス: FFFFF640H) 16ビット・コンペア・レジスタCR289 (アドレス: FFFFF642H)
TM210, TM211をカスケード接続時	: 16ビット・カウンタTM21011 (アドレス: FFFFF650H) 16ビット・コンペア・レジスタCR21011 (アドレス: FFFFF652H)

8ビット・タイマ・モード・コントロール・レジスタ2 (m+1) (TMC2 (m+1)) のTMC2 (m+1) 4ビットに“1”を設定することにより、16ビット分解能のタイマ/イベント・カウンタ・モードになります。

16ビット・タイマ・コンペア・レジスタ2m (m+1) (CR2m (m+1)) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

設定方法 (TM20とTM21をカスケード接続した場合)

各レジスタの設定を行います。

- ・TCL20レジスタ : カウント・クロック (t) の選択
(カスケード接続するTCL21レジスタは設定不要)
- ・CR20レジスタ : コンペア値 (N) ... 下位8ビット (00H-FFHの設定が可能)
- ・CR21レジスタ : コンペア値 (N) ... 上位8ビット (00H-FFHの設定が可能)
- ・TMC20, TMC21レジスタ : TM201レジスタとCR201レジスタの一致でクリア&スタート・モードを選択 (x: don't care)

$$\left[\begin{array}{l} \text{TMC20レジスタ} = 0000\text{xx}00\text{B} \\ \text{TMC21レジスタ} = 0001\text{xx}00\text{B} \end{array} \right]$$

TMC21レジスタのTM2CE1ビット = 1に設定します。そのあとにTMC20レジスタのTM2CE0ビット = 1に設定し、カウント動作を開始します。

カスケード接続されたTM201レジスタとCR201レジスタの値が一致すると、割り込み要求信号 (INTTM20) が発生します (TM201レジスタは0000Hにクリアされます)。

以後、同一間隔でINTTM20信号が繰り返し発生します。

$$\text{インターバル時間} = (N + 1) \times t : N = 0000\text{H}-\text{FFFFH}$$

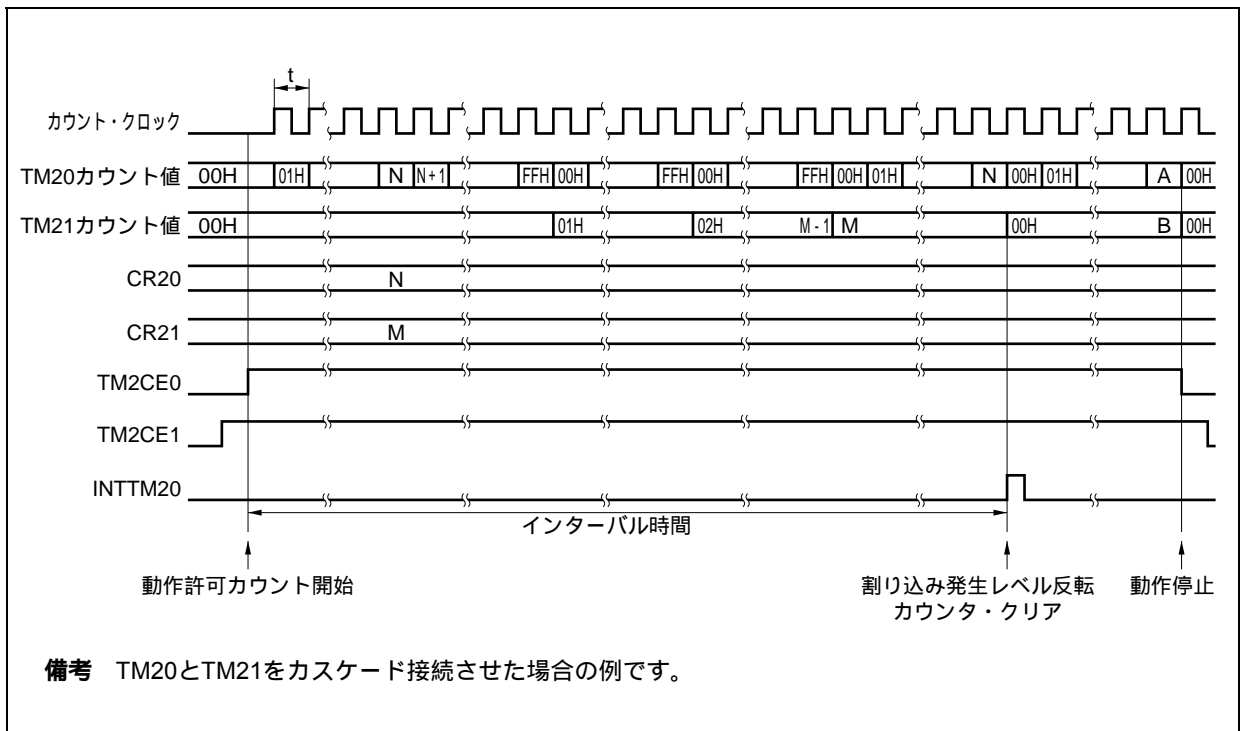
- 注意1. カスケード接続時に8ビット・アクセスでライトする場合, TM2CE_nビットの操作は, 動作開始時はTM2CE (m + 1) TCE51ビットを1にしてからTM2CE_mビットを1にしてください。動作停止時はTM2CE_mビットを0にしてからTM2CE (m + 1) ビットを0にしてください。
2. カスケード接続時はTI2_m入力, TO2_m出力, INTTM2_m入力は使用し, TI2 (m + 1) 入力, TO2 (m + 1) 出力, INTTM2 (m + 1) 入力は使用しないので, LVS2 (m + 1), LVR2 (m + 1), TMC2 (m + 1) 1, TM2OE (m + 1) ビットは0に設定してください。
3. タイマ動作中はCR201レジスタの値を変更しないでください。

備考 m = 0, 2, 4, 8, 10

n = 0-11

16ビット分解能カスケード接続モードのタイミング例を次に示します。

図13 - 7 16ビット分解能カスケード接続モード



13.4.6 外部イベント・カウンタ (16ビット) としての動作

8ビット・タイマ・モード・コントロール・レジスタ2 (m+1) (TMC2 (m+1)) のTMC2 (m+1) 4ビットに“1”を設定することにより、16ビット分解能のタイマ/イベント・カウンタ・モードになります。

外部イベント・カウンタは、TI2m端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ2m (m+1) (TM2m (m+1)) でカウントします。

設定方法 (TM20とTM21をカスケード接続した場合)

各レジスタの設定を行います。

- ・TCL20レジスタ : TI20端子入力のエッジ選択
(カスケード接続するTCL21レジスタは設定不要)
TI20端子の立ち下がり TCL20 = 00H
TI20端子の立ち上がり TCL20 = 01H
- ・CR20レジスタ : コンペア値 (N) ... 下位8ビット (00H-FFHの設定が可能)
- ・CR21レジスタ : コンペア値 (N) ... 上位8ビット (00H-FFHの設定が可能)
- ・TMC20, TMC21レジスタ : カウント動作停止, TM201レジスタとCR201レジスタの一致でクリア & スタート・モード, タイマ出力F/Fの反転禁止, タイマ出力禁止
(x : don't care)

TMC20レジスタ = 0000xx00B
 TMC21レジスタ = 0001xx00B

TMC21レジスタのTM2CE1ビット = 1に設定します。そのあとにTMC20レジスタのTM2CE0ビット = 1に設定し、TI20から入力されるパルス数をカウントします。

カスケード接続されたTM2レジスタとCR2レジスタの値が一致すると、INTTM20が発生します (TM2レジスタは0000Hにクリアされます)。

以後、TM2レジスタとCR2レジスタの値が一致するたびにINTTM20が発生します。

TI20有効エッジがN+1回入力されるとINTTM20が発生 : N = 0000-FFFFH

- 注意1. 外部イベント・カウンタ動作中にCR2nレジスタの値を書き換えしないでください。
2. カスケード接続時に8ビット・アクセスでライトする場合、TM2CEnビットの操作は、動作開始時はTM2CE (m+1) ビットを1にしてからTM2CEmビットを1にしてください。動作停止時はTM2CEmビットを0にしてからTM2CE (m+1) ビットを0にしてください。
 3. カスケード接続時はTI2m入力, INTTM2m入力は使用し, TI2 (m+1) 入力, TO2 (m+1) 出力, INTTM2 (m+1) 入力は使用しないので, LVS2 (m+1), LVR2 (m+1), TMC2 (m+1) 1, TM20Eビットは0に設定してください。
 4. 外部イベント・カウンタ動作中はCR2m (m+1) レジスタの値を変更しないでください。

備考 n = 0-11

m = 0, 2, 4, 8, 10

13.4.7 方形波出力 (16ビット分解能) としての動作

8ビット・タイマ・モード・コントロール・レジスタ2 (m+1) (TMC2 (m+1)) のTMC2 (m+1) 4ビットに“1”を設定することにより、16ビット分解能のタイマ/イベント・カウンタ・モードになります。

16ビット・タイマ・コンペア・レジスタ2m (m+1) (CR2m (m+1)) にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力として動作します。

設定方法 (TM20とTM21をカスケード接続した場合)

各レジスタの設定を行います。

- ・TCL20レジスタ : カウント・クロック (t) の選択
(カスケード接続するTCL21レジスタは設定不要)
- ・CR20レジスタ : コンペア値 (N) ... 下位8ビット (00H-FFHの設定が可能)
- ・CR21レジスタ : コンペア値 (N) ... 上位8ビット (00H-FFHの設定が可能)
- ・TMC20, TMC21レジスタ : カウント動作停止,
TM201レジスタとCR201レジスタの一致でクリア&スタート・モード,

LVS20	LVR20	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可, タイマ出力許可

TMC20レジスタ = 00001011Bまたは00000111B
TMC21レジスタ = 00010000B

TMC21レジスタのTM2CE1ビット = 1に設定します。そのあとにTMC20レジスタのTM2CE0ビット = 1に設定し、カウント動作を開始します。

カスケード接続されたTM2レジスタとCR201レジスタの値が一致すると、TO20タイマ出力F/Fが反転します。また、割り込み要求信号 (INTTM20) が発生し、TM201レジスタは0000Hにクリアされます。以後、同一間隔でタイマ出力F/Fが反転し、TO20端子から方形波が出力されます。

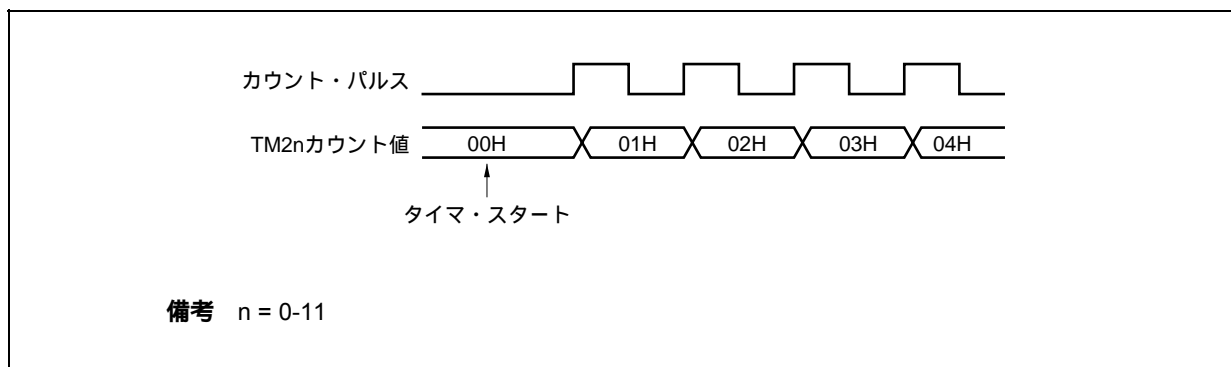
周波数 = $1/2t (N + 1)$: N = 0000H-FFFFH

13.5 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して8ビット・タイマ・カウンタ $2n$ (TM2n) のスタートが非同期で行われるためです。

図13 - 8 タイマ $2n$ のスタート・タイミング



第14章 32ビット・タイマ/イベント・カウンタ3

V850E/SV2は、32ビットのタイマ/イベント・カウンタを、1チャンネル内蔵しています。

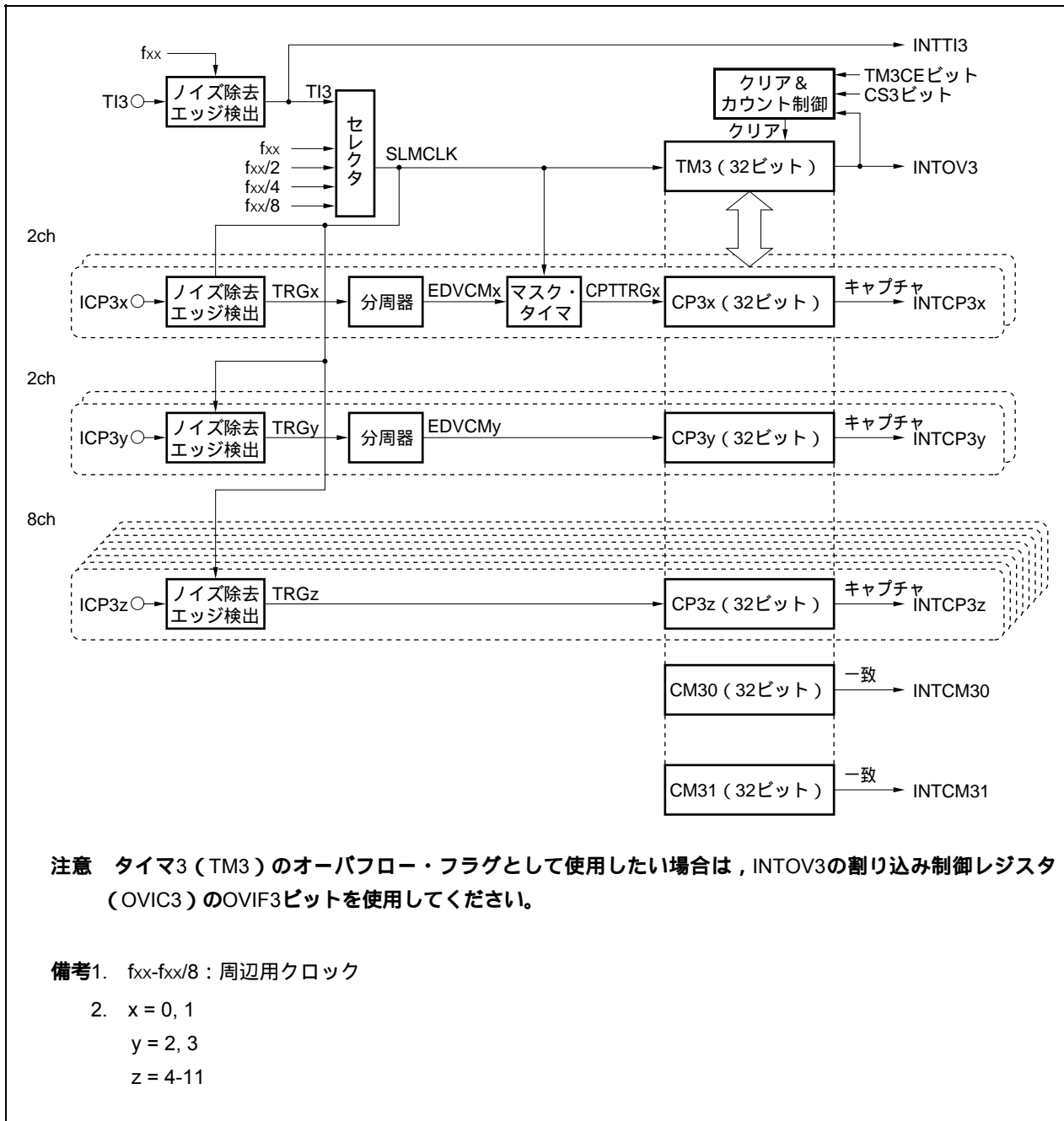
14.1 概 要

32ビット・タイマ/カウンタ	: 1本 (TM3)
32ビット・キャプチャ・レジスタ	: 12本 (CP30-CP311)
32ビット・コンペア・レジスタ	: 2本 (CM30, CM31)
独立したキャプチャ・トリガ入力	: 12本 (ICP30-ICP311)
1-256分周器内蔵	: 4本 (EDV0-EDV3)
8ビット・マスク・タイマ内蔵	: 2本 (MKT0, MKT1)
イベント入力 (TI3) はデジタル・ノイズ除去回路を介して入力, エッジ指定可能	
キャプチャ割り込み要求信号出力可能	: 12本 (INTCP30-INTCP311)
一致割り込み要求信号出力可能	: 2本 (INTCM30, INTCM31)
32ビット・タイマ/カウンタのオーバフロー割り込み要求信号出力可能	: 1本 (INTOV3)
8ビット・マスク・タイマのアンダフロー割り込み要求信号出力可能	: 2本 (INTMKUD0, INTMKUD1)
マスク中のキャプチャ・トリガ検出割り込み要求信号出力可能	: 2本 (INTMKC0, INTMKC1)
外部割り込み要求信号出力可能	: 1本 (INTTI3)

14.2 機能

32ビット・タイマ/イベント・カウンタ3のブロック図を次に示します。

図14 - 1 32ビット・タイマ/イベント・カウンタ3



注意 タイマ3 (TM3) のオーバーフロー・フラグとして使用したい場合は、INTOV3の割り込み制御レジスタ (OVIC3) のOVIF3ビットを使用してください。

- 備考1.** f_{xx} - $f_{xx}/8$: 周辺用クロック
2. $x = 0, 1$
 $y = 2, 3$
 $z = 4-11$

図14 - 2 分周器の構成

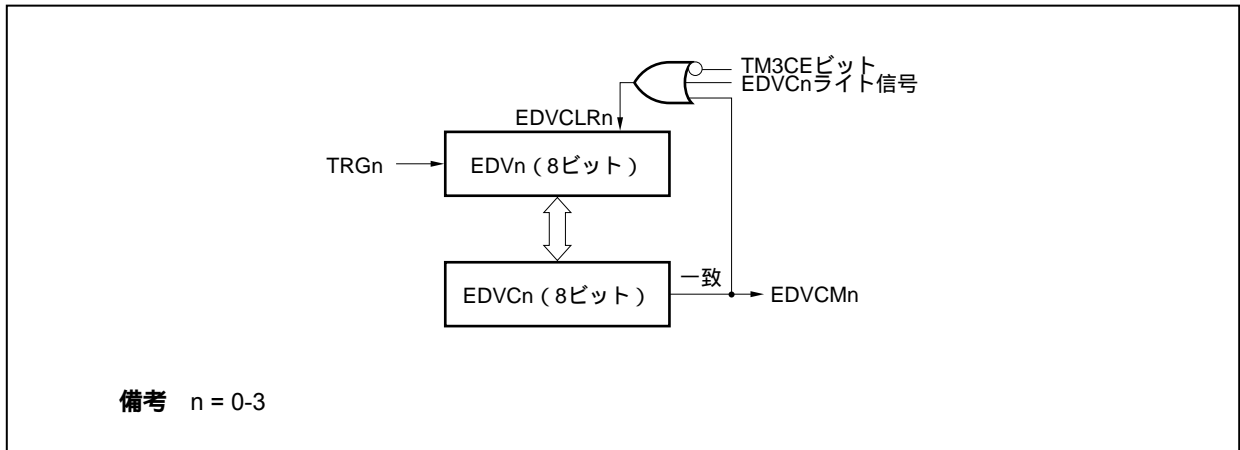
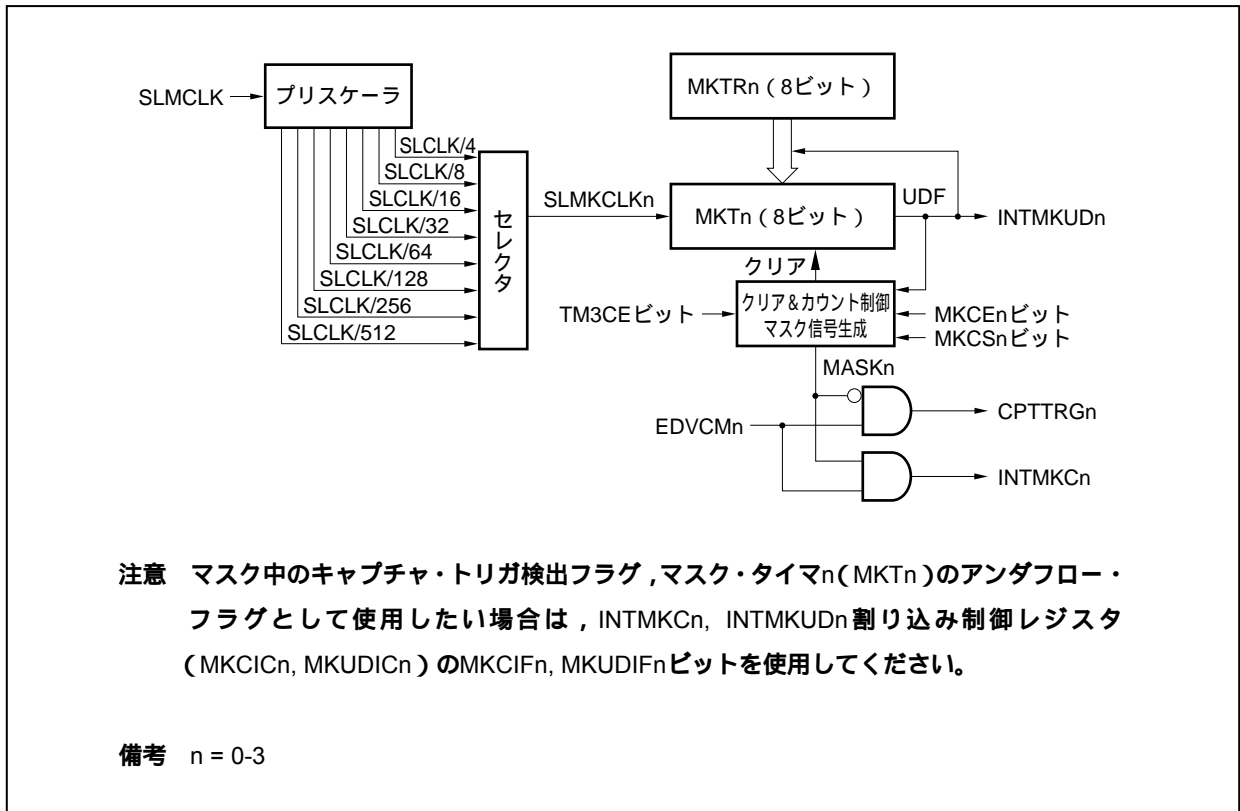


図14 - 3 マスク・タイマの構成



14.3 構成

タイマ3 (TM3) は、次のハードウェアで構成されています。

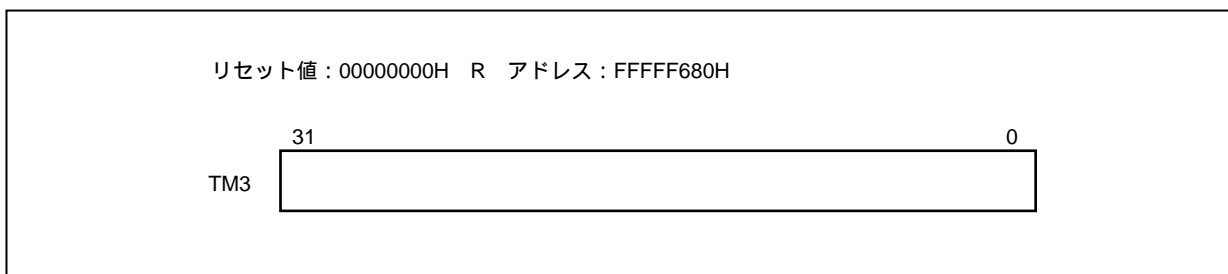
項目		構成
タイマ・レジスタ	TM3	32ビット×1本 (TM3)
	分周器	8ビット×4本 (EDVm : m = 0-3)
	マスク・タイマ	8ビット×2本 (MKTn : n = 0, 1)
レジスタ	TM3	キャプチャ/コンペア・レジスタ : 16ビット×2本 (CM30, CM31)
	マスク・タイマ	マスク期間設定レジスタ : 8ビット×各1本 (MKTRn : n = 0, 1)
制御レジスタ	TM3	32ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) 立ち上がりエッジ指定レジスタ3 (EGP3) 立ち下がりエッジ指定レジスタ3 (EGN3)
	分周器	イベント・ディバイド・コントロール・レジスタ : 8ビット×各1本 (EDVCm : m = 0-3)
	マスク・タイマ	マスク・タイマ・モード・コントロール・レジスタn (MKTMCn : n = 0, 1)

14.3.1 32ビット・タイマ3

(1) タイマ3 (TM3)

TM3レジスタは、32ビットのフリーランニング・タイマです。また、外部イベント・カウンタとしても機能します。

32ビット単位でリードのみ可能です。



TM3レジスタは、内部カウント・クロックまたは外部カウント・クロックでカウント・アップ動作を行います。カウントの開始/停止は、32ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) のTM3CEビットで制御します。

カウント・クロックの内部/外部の選択は、32ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) のPRM33-PRM30ビットによって行います。

注意 TM3レジスタのカウント動作中 (TMC3レジスタのTM3CEビット = 1) は、カウント・クロック (SLCLK) を変更しないでください。

(a) 外部カウント・クロックを選択

TM3レジスタは、イベント・カウンタとして動作します。

32ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) のPRM33-PRM30ビットを1111Bに設定した場合、TM3レジスタは外部クロック入力端子 (TI3) の有効エッジ・カウント動作を行います。

す。有効エッジの指定は、立ち上がりエッジ指定レジスタ3H (EGP3H) のEGPTI3ビット、および立ち下がりエッジ指定レジスタ3H (EGN3H) のEGNTI3ビットによって行います。

TI3端子のノイズ除去は、周辺用クロック：fxxの2点サンプリングにより行います。

(b) 内部カウント・クロックを選択

TM3レジスタは、フリーランニング・カウンタとして動作します。

32ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) でカウント・クロックを内部クロックに指定した場合、TMC3レジスタのPRM33-PRM30ビットで指定した入力クロックの周期ごとにTM3レジスタはカウント・アップします。

カウント・クロックは、プリスケアラ2による分周をTMC3レジスタによりfxx, fxx/2, fxx/4, fxx/8から選択できます。

TM3レジスタがクリア (00000000H) される条件を次に示します。

- ・リセット入力
- ・カウント停止 (TMC3レジスタのTM3CEビット = 0)
- ・オーバフロー
- ・ソフトウェア (TMC3レジスタのCS3ビット = 1)

(2) キャプチャ・レジスタ3n (CP3n : n = 0-11)

キャプチャ・レジスタ3n (CP3n : n = 0-11) は、32ビットのキャプチャ・レジスタです。

32ビット単位でリードのみ可能です。ただし、CP3nレジスタの上位16ビットをCP3nHレジスタ、下位16ビットをCP3nLレジスタとして使用した場合は、16ビット単位でリードのみ可能となります。

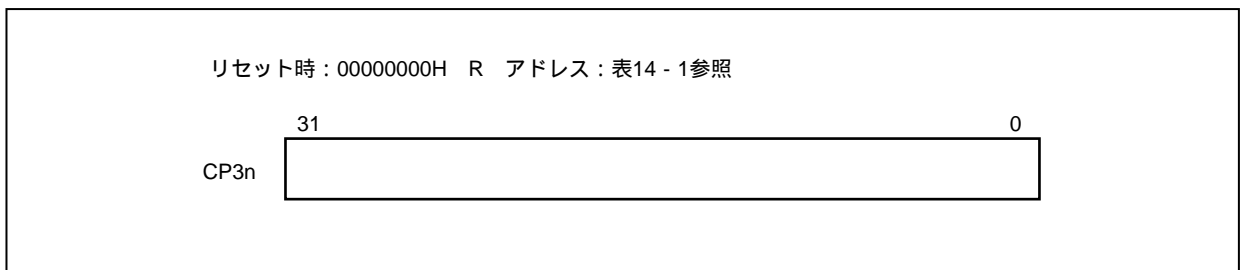


表14 - 1 キャプチャ・レジスタ30-311 (CP30-CP311) のアドレス

レジスタ名	アドレス	レジスタ名	アドレス
CP30	FFFFFF68CH	CP36	FFFFFF6A4H
CP31	FFFFFF690H	CP37	FFFFFF6A8H
CP32	FFFFFF694H	CP38	FFFFFF6ACH
CP33	FFFFFF698H	CP39	FFFFFF6B0H
CP34	FFFFFF69CH	CP310	FFFFFF6B4H
CP35	FFFFFF6A0H	CP311	FFFFFF6B8H

(a) CP30, CP31レジスタの場合

対応するCPTTRGx信号が発生すると、キャプチャ・トリガとして検出します。TM3レジスタはキャプチャ・トリガに同期して、TM3レジスタの値をCP3xレジスタにラッチします (キャプチャ動作)。

CPTTRGx信号は、ICPx端子の有効エッジ (TRGx信号) が検出され、分周器 (イベント・ディバイ

ド・カウンタ：EDVx），マスク・タイマ（MKTx）を介して、発生します。

ICPx端子の有効エッジの指定は、立ち上がりエッジ指定レジスタ3（EGP3）のEGP3xビット、および立ち下がりエッジ指定レジスタ3（EGN3）のEGN3xビットによって行います。

ICPx端子のノイズ除去は、TM3レジスタのカウント・クロック（SLMCLK）の2点サンプリングにより行います。

TMC3レジスタのTM3CEビットを0に設定すると、ノイズ除去、および有効エッジ検出は行われません。TM3CEビットが1のときにノイズ除去、および有効エッジ検出は行われます。

備考 x = 0, 1

(b) CP32, CP33レジスタの場合

対応するEDVCM_y信号が発生すると、キャプチャ・トリガとして検出します。TM3レジスタはキャプチャ・トリガに同期して、TM3レジスタの値をCP3_yレジスタにラッチします（キャプチャ動作）。

EDVCM_y信号は、ICPy端子の有効エッジ（TRG_y信号）が検出され、分周器（イベント・ディバイド・カウンタ：EDVy）を介して、発生します。

ICPy端子の有効エッジの指定は、立ち上がりエッジ指定レジスタ3（EGP3）のEGP3_yビット、および立ち下がりエッジ指定レジスタ3（EGN3）のEGN3_yビットによって行います。

ICPy端子のノイズ除去は、TM3レジスタのカウント・クロック（SLMCLK）の2点サンプリングにより行います。

TMC3レジスタのTM3CEビットを0に設定すると、ノイズ除去、および有効エッジ検出は行われません。TM3CEビットが1のときにノイズ除去、および有効エッジ検出は行われます。

備考 y = 2, 3

(c) CP34-CP311レジスタの場合

対応するTRG_z信号が発生すると、キャプチャ・トリガとして検出します。TM3レジスタはキャプチャ・トリガに同期して、TM3レジスタの値をCP3_zレジスタにラッチします（キャプチャ動作）。

TRG_z信号は、ICPz端子の有効エッジが検出されると、発生します。

ICPz端子の有効エッジの指定は、立ち上がりエッジ指定レジスタ3（EGP3）のEGP3_zビット、および立ち下がりエッジ指定レジスタ3（EGN3）のEGN3_zビットによって行います。

ICPz端子のノイズ除去は、TM3レジスタのカウント・クロック（SLMCLK）の2点サンプリングにより行います。

TMC3レジスタのTM3CEビットを0に設定すると、ノイズ除去、および有効エッジ検出は行われません。TM3CEビットが1のときにノイズ除去、および有効エッジ検出は行われます。

備考1. CP3_nレジスタのリード命令は、対象のINTCP3_n割り込み処理で行うことを推奨します。

2. CP3_nレジスタのリード命令と対象となるキャプチャ・トリガが競合した場合、CP3_nレジスタのリード値は不定となる可能性があります。ただし、キャプチャ動作は正常に行われます。

したがって、CP3_nレジスタをリードする際は、2度読みするなどの対策を行ってください。

3. TMC3レジスタのTM3CEビットを0に設定すると、CP3_nレジスタは00000000Hにクリアされます。

4. z = 4-11

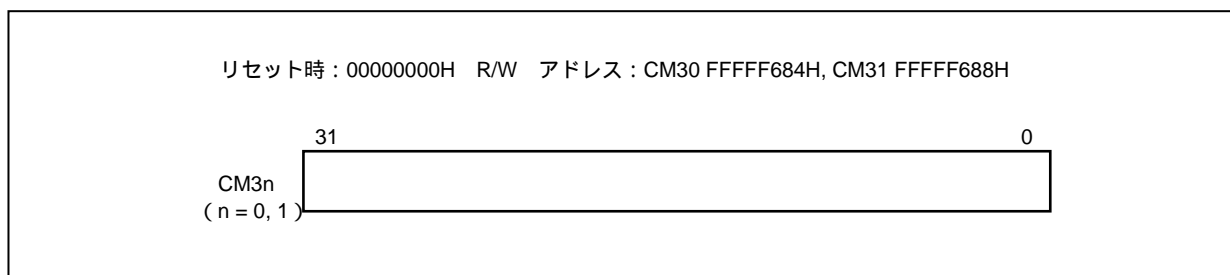
(3) コンペア・レジスタ_{3n} (CM_{3n} : n = 0, 1)

32ビットのコンペア・レジスタです。常にTM3レジスタのカウント値と値を比較し(コンペア動作), 一致すると一致割り込み要求信号(INTCM_{3n})を発生します。

32ビット単位でのみリード/ライト可能です。

注意 CM_{3n}レジスタへのライト命令と, TM3レジスタのカウント値とCM_{3n}レジスタの設定値のコンペア一致が競合した場合, 一致検出が正常に行われな可能性があるので, コンペア一致タイミング近傍でCM_{3n}レジスタを書き換えないようにしてください。また, CM_{3n}レジスタ値は, TM3レジスタの値近傍に設定しないようにしてください。

なお, CM_{3n}レジスタ書き換え時は, INTCM_{3n}信号はマスクされます。

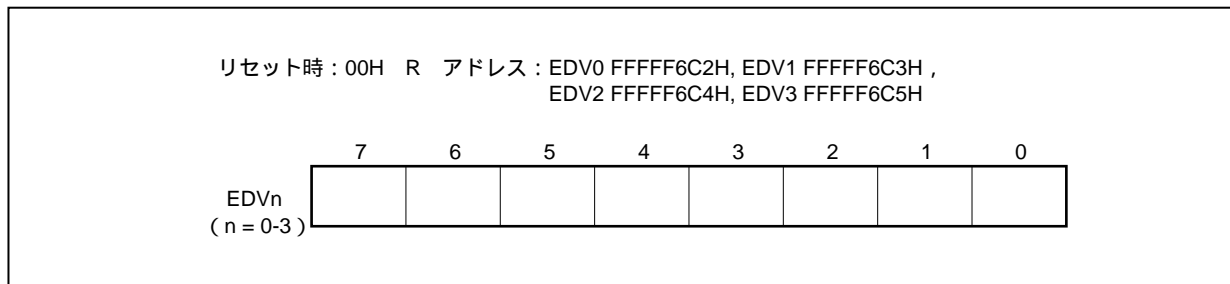


14.3.2 分周器

(1) イベント・ディバイド・カウンタ_n (EDV_n : n = 0-3)

EDV_nレジスタは, ICP_n端子入力の有効エッジ(TRG_n信号)をカウントする8ビットのカウンタで, TRG_n信号を1-256分周できます。

8ビット単位でリードのみ可能です。



EDV_nレジスタは, ICP_n端子入力の有効エッジ(TRG_n信号)をカウント・クロックとしてカウント・アップ動作を行います。

EDV_nレジスタがクリア(01H)される条件を次に示します。

- ・ EDV_nレジスタのカウント値とイベント・ディバイド・コントロール・レジスタ_n (EDVC_n) に設定した値が一致したとき
- ・ EDVC_nレジスタにデータを設定したとき

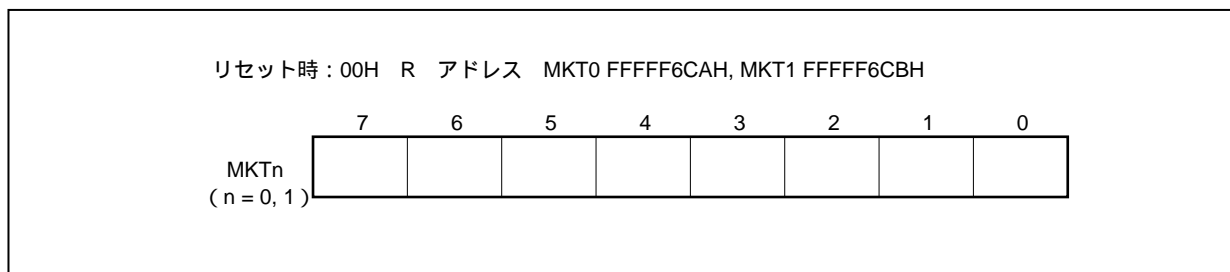
注意 TMC3レジスタのTM3CEビット = 0のとき, EDV_nレジスタのリードを禁止します。

備考 リセット入力により(TM3CEビット = 0になる), EDV_nレジスタは00Hになりますが, TM3CEビット = 1に設定した時点で, 01Hになります。

14.3.3 マスク・タイマ

(1) 8ビット・マスク・タイマ_n (MKT_n: n = 0, 1)

MKT_nレジスタは、分周器から出力されるEDVCM_n信号をマスクする8ビットのタイマです。8ビット単位でリードのみ可能です。



MKT_nレジスタは、32ビット・タイマ/カウンタ (TM3) のカウント・クロック (SLMCLK) の分周クロック (SLMKCLK_n) でカウント・ダウン動作を行います。カウントの開始/停止は、マスク・タイマ・モード・コントロール・レジスタ_n (MKTMC_n) のMKCE_nビットで制御します。ただし、32ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) のTM3CEビットが0のままでは、MKT_nレジスタのクリア条件が発生していることになるので、カウント動作を開始しません。TM3CEビットを1にする必要があります。

カウント・クロックは、MKTMC_nレジスタのMKPRM_{n2}-MKPRM_{n0}ビットによって、SLMCLK/4, SLMCLK/8, SLMCLK/16, SLMCLK/32, SLMCLK/64, SLMCLK/128, SLMCLK/256, SLMCLK/512から選択します。

MKT_nレジスタがクリア (00H) される条件を次に示します。

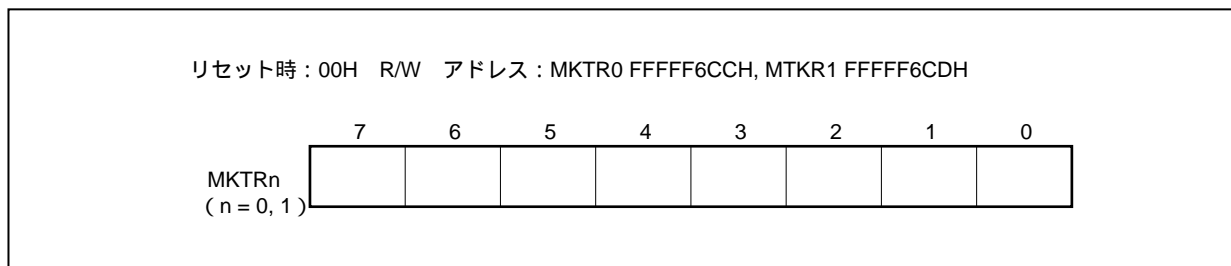
- ・リセット入力
- ・TM3レジスタのカウント停止 (TM3CEビット = 0) 中
- ・アンダフロー
- ・ソフトウェア (MKTMC_nレジスタのMKCS_nビット = 1)

注意 MKT_nレジスタのカウント動作中 (MKCE_nビット = 1) は、カウント・クロック (SLMKCLK_n) を変更しないでください。

(2) マスク期間設定レジスタ_n (MKTR_n : n = 0, 1)

MKTR_nレジスタは、分周器から出力されるEDVCM_n信号のマスク期間を設定し、MKT_nレジスタにカウント値を転送する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。



MKTR_nレジスタからMKT_nレジスタへのデータ転送条件を次に示します。

- ・ カウント停止中 (MKTMC_nレジスタのMKCE_nビット = 0) のMKTR_nレジスタへの書き込み
ただし、TM3レジスタのカウント停止 (TMC3レジスタのTM3CEビット = 0) 中は除く。
- ・ アンダフロー
- ・ カウント停止時 (MKCE_nビット = 1 0に設定)
ただし、TM3レジスタのカウント動作 (TM3CEビット = 1) 中に設定した場合。

注意 MKT_nレジスタのカウント動作中 (MKCE_nビット = 1時) は、MKTR_nレジスタの設定値を変更しないでください。

14.4 制御レジスタ

14.4.1 32ビット・タイマ3

(1) 32ビット・タイマ・モード・コントロール・レジスタ3 (TMC3)

TMC3レジスタは、32ビット・タイマ/カウンタ (TM3) のカウント動作制御、カウント・クロックの選択をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

注意 PRM33-PRM30ビットは、1ビット操作を実行しないでください。

リセット時：00H R/W アドレス：FFFFFF6C0H

	⑦	⑥	⑤	4	3	2	1	0
TMC3	TM3CE	OST3	CS3	0	PRM33	PRM32	PRM31	PRM30

TM3CE	TM3レジスタの動作制御
0	カウント動作禁止 (TM3レジスタ = 00000000Hで停止)
1	カウント動作許可

OST3	TM3レジスタがオーバーフロー後のTM3レジスタのカウント動作制御
0	TM3レジスタを00000000Hにクリアし、カウント動作を継続
1	TM3レジスタを00000000Hにクリアし、カウント動作を停止

・カウント動作の再開条件はCS3ビットへの1書き込みにて行います。
 ・TM3レジスタのカウント動作中 (TM3CEビット = 1設定時) に、OST3ビットの設定を変更することを禁止します。設定を変更する場合は、TM3CEビット = 0に設定してから行ってください。

CS3	ソフトウェアによるTM3のクリア&スタート制御
0	カウント動作を継続
1	TM3レジスタをクリア (00000000H) し、再カウント開始

・CS3ビットはリードすると0が読み出されます。
 ・CS3ビットに連続で1ライトした場合、2回目以降の1ライト (1回目ライト後の4カウント・クロック分) は無視されます。

PRM33	PRM32	PRM31	PRM30	カウント・クロック (SLCLK) の選択
0	0	0	0	f_{xx}
0	0	0	1	$f_{xx}/2$
0	0	1	0	$f_{xx}/4$
0	0	1	1	$f_{xx}/8$
1	1	1	1	TI3端子の有効エッジ (外部クロック)
上記以外				設定禁止

- 注意1.** PRM33-PRM30ビットは、TM3CEビット = 0のとき設定してください。
 TM3CEビット = 1のとき設定を変更するのは禁止です。
- 2.** カウント・クロック (SLMCLK) は4-27 MHzで設定してください。

(2) 立ち上がりエッジ指定レジスタ3 (EGP3)

EGP3レジスタは、ICP3n (n = 11-7) 端子、およびTI3端子入力の立ち上がりエッジを指定する16ビットのレジスタです。

EGP3レジスタの上位8ビットをEGP3Hレジスタ、下位8ビットをEGP3Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能になります。

注意 TM3レジスタのカウンタ動作中 (TM3CEビット = 1設定時) に、EGP3レジスタの設定を変更することを禁止します。設定を変更する場合は、TM3CEビット = 0に設定してから行ってください。

なお、TM3レジスタのカウンタ動作中に変更した場合、ライト命令後キャプチャ動作 (INTCP3n信号発生) する可能性があります。したがって、TM3レジスタのカウンタ動作中に変更する必要が生じる場合は、ライト命令後のキャプチャ・データは破棄してください。

リセット時 : 0000H R/W アドレス : FFFFF6BCH								
EGP3	⑮	14	13	12	⑪	⑩	⑨	⑧
	EGPTI3	0	0	0	EGP311	EGP310	EGP39	EGP38
	⑦	⑥	⑤	④	③	②	①	①
	EGP37	EGP36	EGP35	EGP34	EGP33	EGP32	EGP31	EGP30
EGPTI3	TI3端子入力の有効エッジの指定							
0	立ち上がりエッジを検出しない							
1	立ち上がりエッジを検出する							
EGP3n	ICP3n端子入力の有効エッジの指定 (n = 11-0)							
0	立ち上がりエッジを検出しない							
1	立ち上がりエッジを検出する							

(3) 立ち下がりエッジ指定レジスタ3 (EGN3)

EGN3レジスタは、ICP3n (n = 0-7) 端子入力、およびICP3n (n = 8-11) 端子、TI3端子入力の立ち下がりエッジを指定する16ビットのレジスタです。

EGN3レジスタの上位8ビットをEGN3Hレジスタ、下位8ビットをEGN3Lレジスタとして使用した場合は、8/1ビット単位でリード/ライト可能になります。

注意 TM3レジスタのカウンタ動作中 (TM3CEビット = 1設定時) に、EGN3レジスタの設定を変更することを禁止します。設定を変更する場合は、TM3CEビット = 0に設定してから行ってください。なお、TM3レジスタのカウンタ動作中に変更した場合、ライト命令後キャプチャ動作 (INTCP3n信号発生) する可能性があります。したがって、TM3レジスタのカウンタ動作中に変更する必要が生じる場合は、ライト命令後のキャプチャ・データは破棄してください。

リセット時 : 0000H R/W アドレス : FFFFFFF6BEH

	⑮	14	13	12	⑪	⑩	⑨	⑧
EGN3	EGNTI3	0	0	0	EGN311	EGN310	EGN39	EGN38
	⑦	⑥	⑤	④	③	②	①	①
	EGN37	EGN36	EGN35	EGN34	EGN33	EGN32	EGN31	EGN30

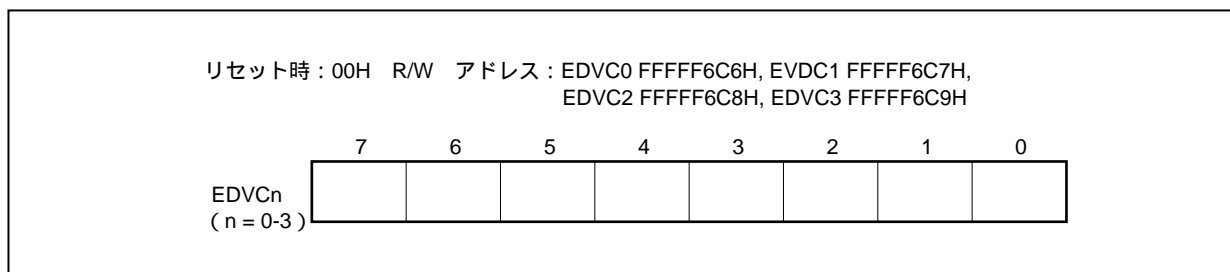
EGNTI3	TI3端子入力の有効エッジの指定
0	立ち下がりエッジを検出しない
1	立ち下がりエッジを検出する

EGN3n	ICP3n端子入力の有効エッジの指定 (n = 11-0)
0	立ち下がりエッジを検出しない
1	立ち下がりエッジを検出する

14.4.2 分周器

(1) イベント・ディバイド・コントロール・レジスタ_n (EDVC_n : n = 0-3)

EDVC_nレジスタは、ICP_n端子入力の有効エッジ (TRG_n信号) の分周比を設定するレジスタです。
8ビット単位でリード/ライト可能です。



EDVC_nレジスタはイベント・ディバイド・カウンタ_n (EDV_n)のカウント値と常に比較しますので、EDVC_nレジスタへの設定値がそのまま分周比となります。ただし、EDVC_nレジスタ = 00Hの場合は、最大分周の256分周になります。EDV_nレジスタのカウント値とEDVC_nレジスタに設定した値が一致すると、その一致信号であるEDVCM_n信号発生します。

n = 0, 1の場合、EDVCM_n信号はマスク・タイマ・ブロックを介して、CP3_nレジスタのキャプチャ・トリガ (CPTTRG_n信号) となります。また、n = 2, 3の場合、EDVCM_n信号は、CP3_nレジスタのキャプチャ・トリガそのものになります。

なお、EDVC_nレジスタにデータを設定すると、TM3CEビット = 1のときEDV_nレジスタは01Hにクリアされます。TM3CEビット = 0のときEDV_nレジスタは00Hのままで、TM3CEビット = 0 1になった時点で01Hになります。

分周比の設定は、次のようになります。

EDVC _n レジスタの設定値	分周比
00H	256分周
01H	分周なし (1分周)
02H	2分周
:	:
FFH	255分周

- 注意1. TM3レジスタのカウント動作中に変更した場合、ライト命令後キャプチャ動作 (INTCP3_n信号発生) する可能性があります。したがって、TM3レジスタのカウント動作中に変更する必要が生じる場合は、ライト命令後のキャプチャ・データは破棄してください。
2. EDVC_nレジスタを書き換えるとき、EVDCM_n信号をマスクしてください。

14.4.3 マスク・タイマ

(1) マスク・タイマ・モード・コントロール・レジスタ_n (MKTMC_n : n = 0, 1)

MKTMC_nレジスタは、マスク・タイマ_n (MKT_n) のカウント動作制御、カウント・クロックの選択をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

注意 MKPRM_{n2}-MKPRM_{n0}ビットは、1ビット操作することを禁止します。

リセット時 : 00H R/W アドレス : MKTMC0 FFFFF6CEH, MKTMC1 FFFFF6CFH

	⑦	⑥	5	4	3	2	1	0
MKTMC _n (n = 0, 1)	MKCEn	MKCSn	0	0	0	MKPRM _{n2}	MKPRM _{n1}	MKPRM _{n0}

MKCEn	MKT _n レジスタの動作制御
0	カウント動作禁止
1	カウント動作許可
<ul style="list-style-type: none"> ・ MKCEnビット = 1 0にすると、MKT_nレジスタは値を保持します (00Hにクリアしません)。 ・ MKCEnビット = 0 1にすると、 <ul style="list-style-type: none"> TM3CEビット = 1のとき、MKTR_nレジスタ MKT_nレジスタにデータ転送 TM3CEビット = 0のとき、MKTR_nレジスタは以前の値を保持 	

MKCSn	ソフトウェアによるMKT _n レジスタのクリア&スタート制御
0	カウント動作を継続
1	MKT _n レジスタをクリア (00H) し、マスク状態を解除する
<ul style="list-style-type: none"> ・ カウント動作の再開条件はCP3_nレジスタへのキャプチャ・トリガ (CPTTRG_n) 発生 ・ MKCSnビットはリードすると0が読み出されます。 ・ MKCSnビット = 1に設定することでMKT_nレジスタがクリアされても、アンダフロー - 割り込み要求信号 (INTMKUD_n) は発生しません。 ・ MKCSnビットに連続して1をライトした場合、2回目以降1をライト (1回目のライト後の4カウント・クロック分 = 4 × SLCLK) しても無視されます。 	

MKPRM _{n2}	MKPRM _{n1}	MKPRM _{n0}	カウント・クロック (SLMCLK _n) の選択
0	0	0	SLMCLK/4
0	0	1	SLMCLK/8
0	1	0	SLMCLK/16
0	1	1	SLMCLK/32
1	0	0	SLMCLK/64
1	0	1	SLMCLK/128
1	1	0	SLMCLK/256
1	1	1	SLMCLK/512
<ul style="list-style-type: none"> ・ MKT_nレジスタのカウント動作中 (MKCEnビット = 1設定時) に、MKPRM_{n2}-MKPRM_{n0}ビットの設定を変更することを禁止します。設定を変更する場合は、MKCEnビット = 0に設定してから行ってください。 			

14.5 動作

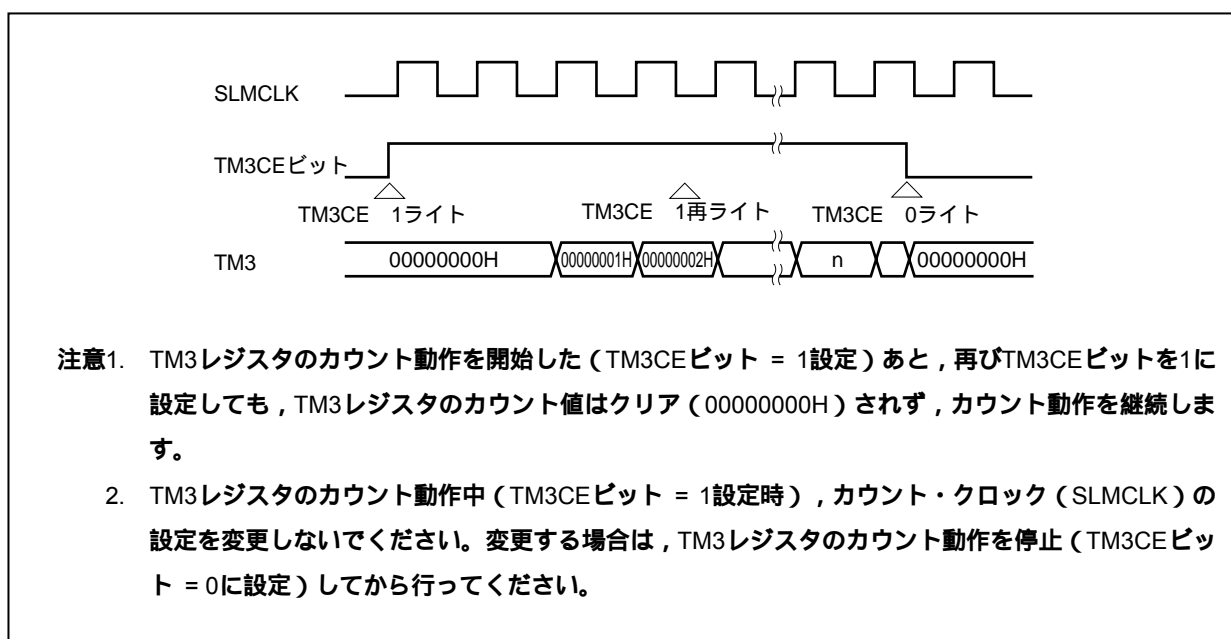
14.5.1 32ビット・タイマ3

(1) カウント動作

タイマ3 (TM3) は、32ビットのフリーランニング・タイマです。また、外部イベント・カウンタとしても機能します。動作の設定は、32ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) で指定します。

TM3レジスタは、TMC3レジスタのPRM33-PRM30ビットで選択されたカウント・クロック (SLMCLK) により、カウント・アップ動作を行います。カウントの開始 / 停止はTMC3レジスタのTM3CEビットで制御します。

図14-4 カウント動作



(2) オーバフロー動作

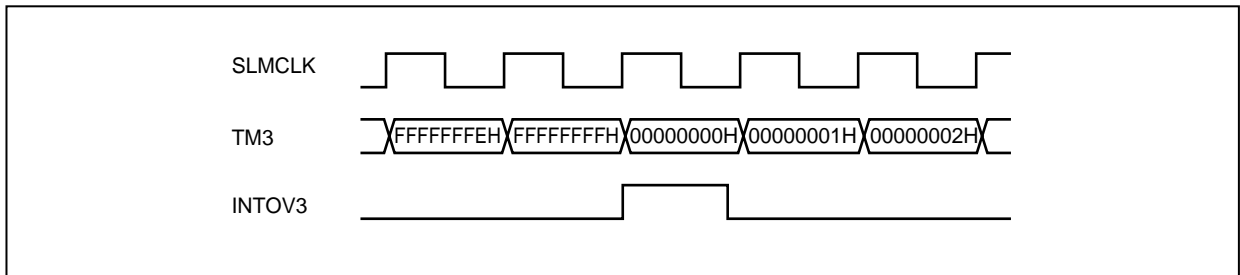
TM3レジスタがFFFFFFFHまでカウントし、次のカウント・クロック (SLMCLK) でオーバフロー割り込み要求信号 (INTOV3) を発生します。

TM3レジスタのオーバフロー後のカウント動作は、TMC3レジスタのOST3ビットの設定により異なります。

(a) TMC3レジスタのOST3ビット = 0のとき

TM3レジスタのオーバフロー後、TM3レジスタのカウント値を00000000Hにクリアし、その後もカウント動作を継続します。

図14 - 5 オーバフロー動作 (OST3 = 0)

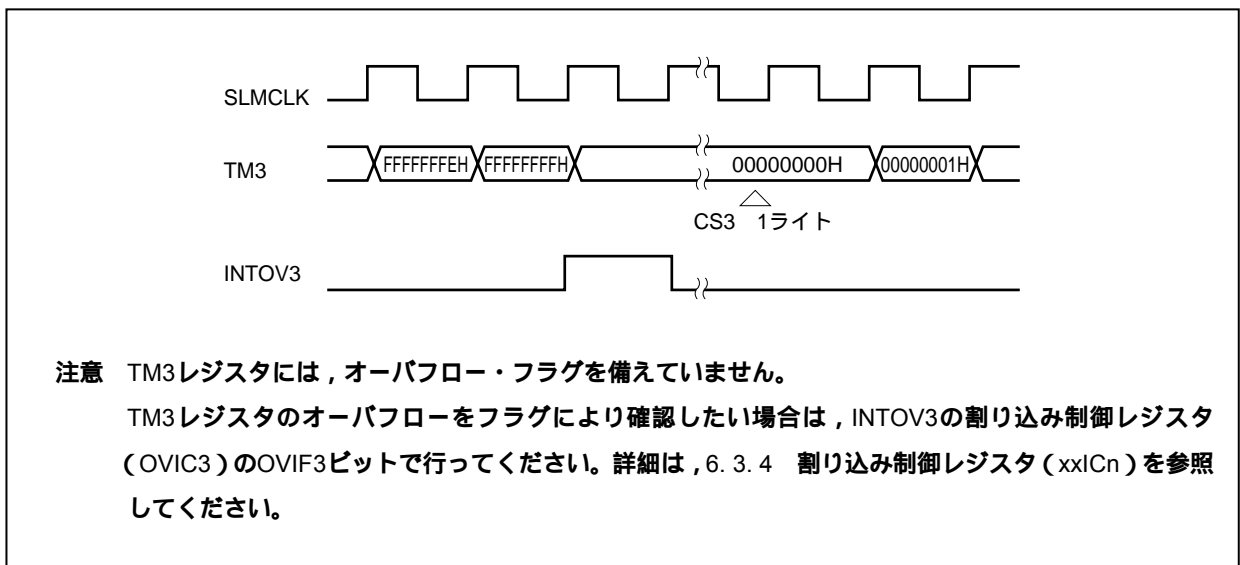


(b) TMC3レジスタのOST3ビット = 1のとき

TM3レジスタのオーバフロー後、TM3レジスタのカウンタ値を00000000Hにクリアし、TM3レジスタのカウンタ値を00000000Hにクリアしたままカウンタ動作を停止します。再びカウンタ動作を開始するには、TMC3レジスタのCS3ビットに1を書き込むことにより行います。

なお、オーバフロー後のカウンタ停止中にTM3CEビットを0に設定した場合、カウンタ動作を再開するには、TM3CEビットに1を書き込むことによるのみ行います (CS3ビットに1を書き込む必要はありません)。

図14 - 6 オーバフロー動作 (OST3 = 1)



注意 TM3レジスタには、オーバフロー・フラグを備えていません。

TM3レジスタのオーバフローをフラグにより確認したい場合は、INTOV3の割り込み制御レジスタ (OVIC3) のOVIF3ビットで行ってください。詳細は、6.3.4 割り込み制御レジスタ (xxICn) を参照してください。

(3) クリア/スタート動作

TM3レジスタのクリア/スタート動作には、オーバフローとソフトウェアによる2種類があります。

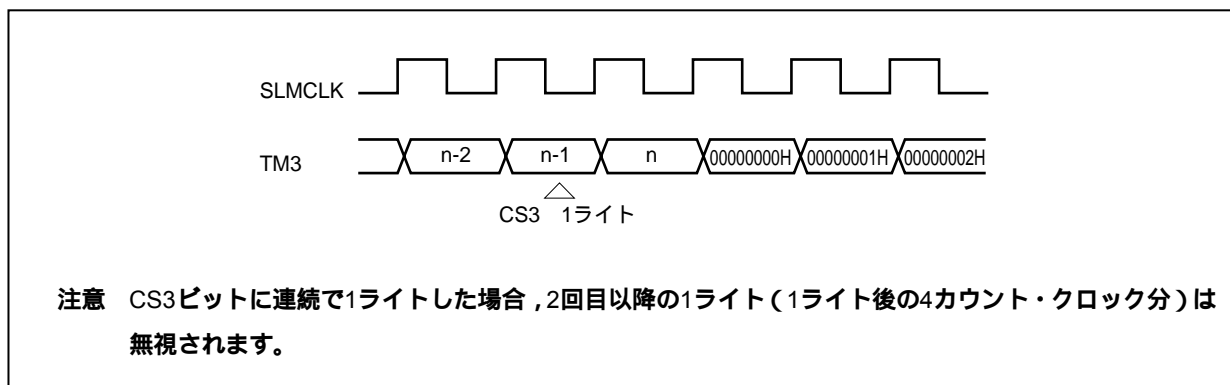
(a) オーバフローの場合

14.5 (2) オーバフロー動作を参照してください。

(b) ソフトウェアの場合

TMC3レジスタのCS3ビットを1に設定すると、TM3レジスタのカウンタ値をクリアします。そのあと、TM3レジスタは再度カウンタ・アップ動作します。

図14-7 クリア/スタート動作



(4) キャプチャ動作

32ビット・キャプチャ・レジスタ (CP3n : n = 0-11) のキャプチャ・トリガ (n = 0, 1 : CPTTRGn信号, n = 2, 3 : EDVCMn信号, n = 4-11 : TRGn信号) が検出されると, TM3レジスタのカウンタ値をCP3nレジスタに取り込み, 保持します (キャプチャ動作)。また, キャプチャ動作が行われると同時に, キャプチャ割り込み要求信号 (INTCP3n) を発生します。

(a) n = 0, 1 (CPTTRGn信号) の場合

ICP3n端子入力の有効エッジが検出されると, TRGn信号を発生します。TRGn信号によりイベント・ディバイド・カウンタn (EDVn) をカウントし, イベント・ディバイド・コントロール・レジスタn (EDVCn) に設定した値だけ分周します。分周された信号 (EDVCMn信号) は, マスク・タイマn (MKTn) によりマスク状態が解除されている場合, キャプチャ・トリガ (CPTTRGn信号) となります。

(b) n = 2, 3 (EDVCMn信号) の場合

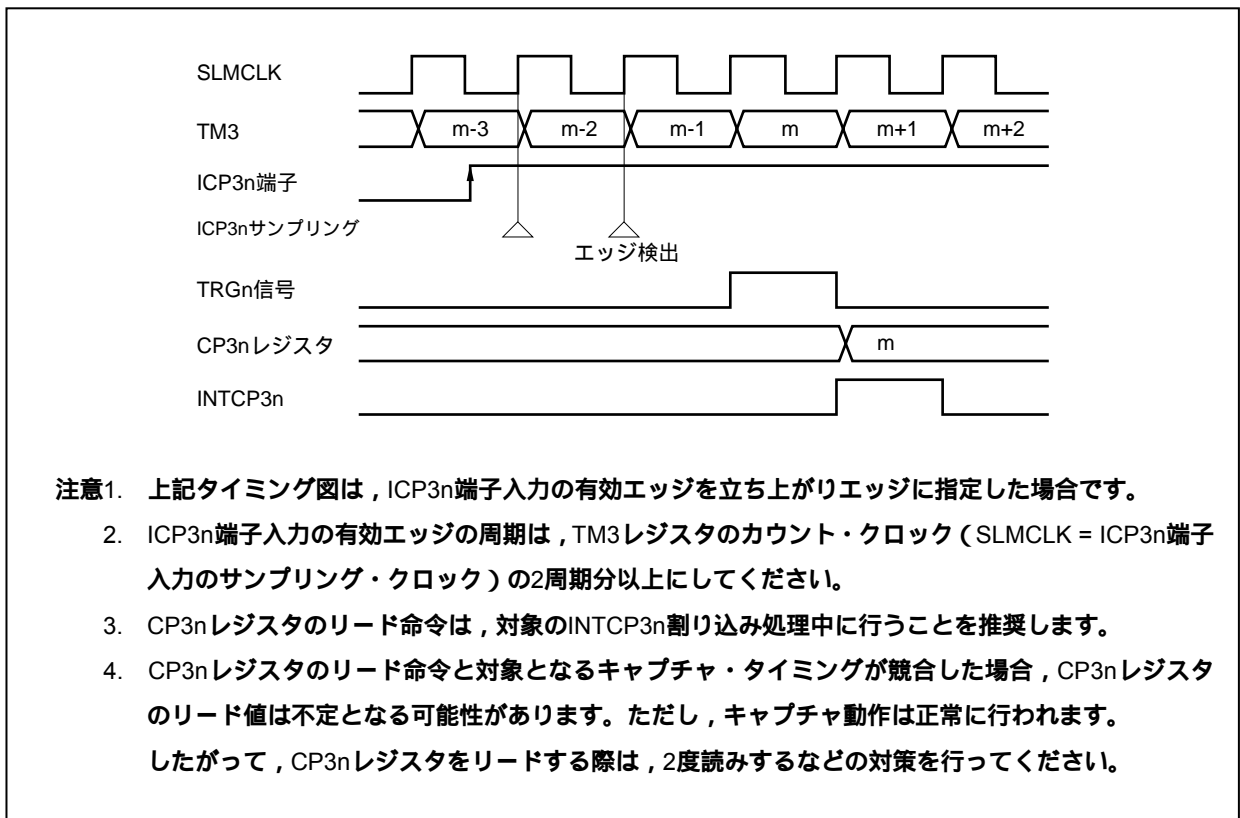
ICP3n端子入力の有効エッジが検出されると, TRGn信号を発生します。TRGn信号によりイベント・ディバイド・カウンタn (EDVn) をカウントし, イベント・ディバイド・コントロール・レジスタn (EDVCn) に設定した値だけ分周します。この分周された信号 (EDVCMn信号) が, キャプチャ・トリガとなります。

(c) n = 4-11 (TRGn信号) の場合

ICP3n端子入力の有効エッジが検出されると, TRGn信号を発生します。このTRGn信号が, キャプチャ・トリガとなります。

ICP3端子入力の有効エッジは, EGP30, EGP31, EGN30, EGN31レジスタにより設定します。詳細は14.4.1(2) 立ち上がりエッジ指定レジスタ3 (EGP3), 14.4.1(3) 立ち下がりエッジ指定レジスタ3 (EGN3) を参照してください。

図14 - 8 キャプチャ動作 (TRGn信号)

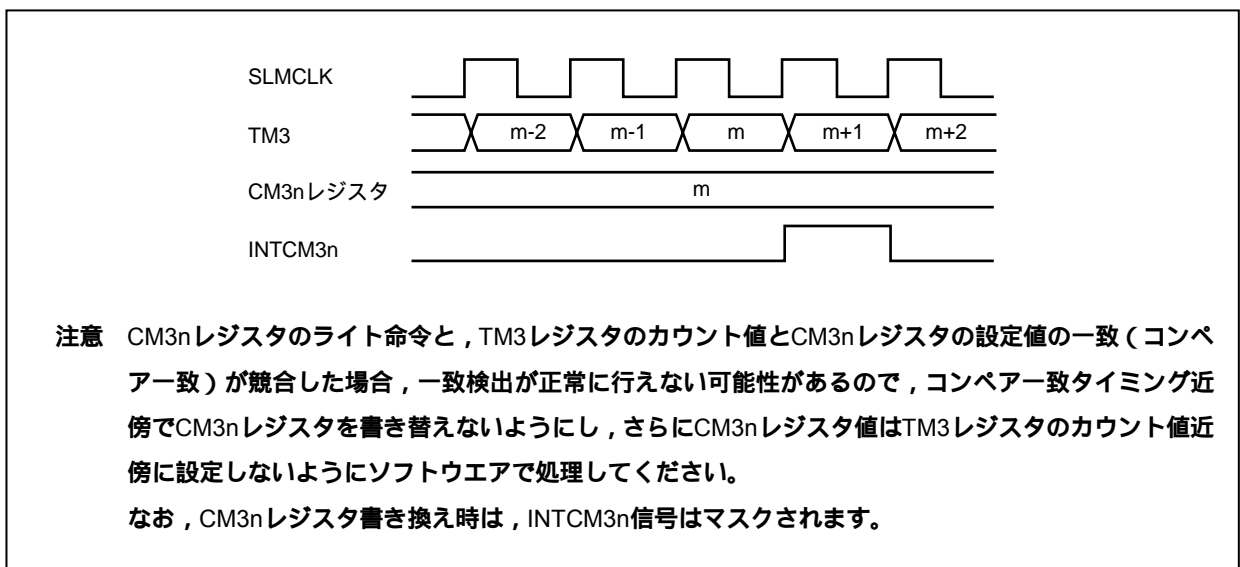


(5) コンペア動作

32ビット・コンペア・レジスタ (CM3n : n = 0, 1) に設定した値とTM3レジスタのカウンタ値を常に比較 (コンペア動作) し、一致すると一致割り込み要求信号 (INTCM3n) を発生します。

コンペア一致したあともカウンタ動作は続きます (TM3レジスタのカウンタ値はクリアされません)。

図14 - 9 コンペア動作



14.5.2 分周器

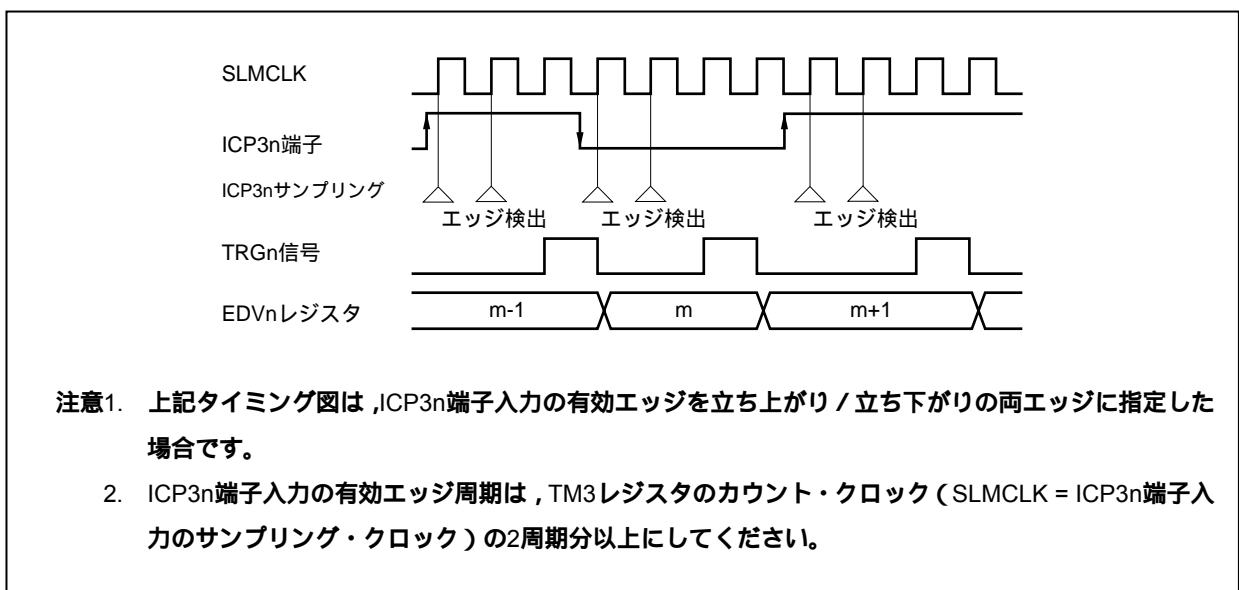
分周器は、ICP3n (n = 0-3) 端子からの入力信号を分周します。最大256分周できます。

(1) カウント動作

イベント・ディバイド・カウンタn (EDVn : n = 0-3) は、ICP3n端子入力の有効エッジ (TRGn信号) をカウント・クロックとして、カウント・アップ動作を行います。

ICP3n端子入力の有効エッジは、EGP3, EGN3レジスタにより設定します。詳細は14.4.1(2) **立ち上がりエッジ指定レジスタ3 (EGP3)**、14.4.1(3) **立ち下がりエッジ指定レジスタ3 (EGN3)** を参照してください。

図14 - 10 カウント動作



(2) 分周後のキャプチャ動作

32ビット・キャプチャ・レジスタ (CP3n : n = 0-11) のキャプチャ・トリガ (n = 0, 1 : CPTTRGn信号, n = 2, 3 : EDVCMn信号) が検出されると、TM3レジスタのカウント値をCP3nレジスタに取り込み、保持します (キャプチャ動作)。また、キャプチャ動作が行われると同時に、キャプチャ割り込み要求信号 (INTCP3n) を発生します。

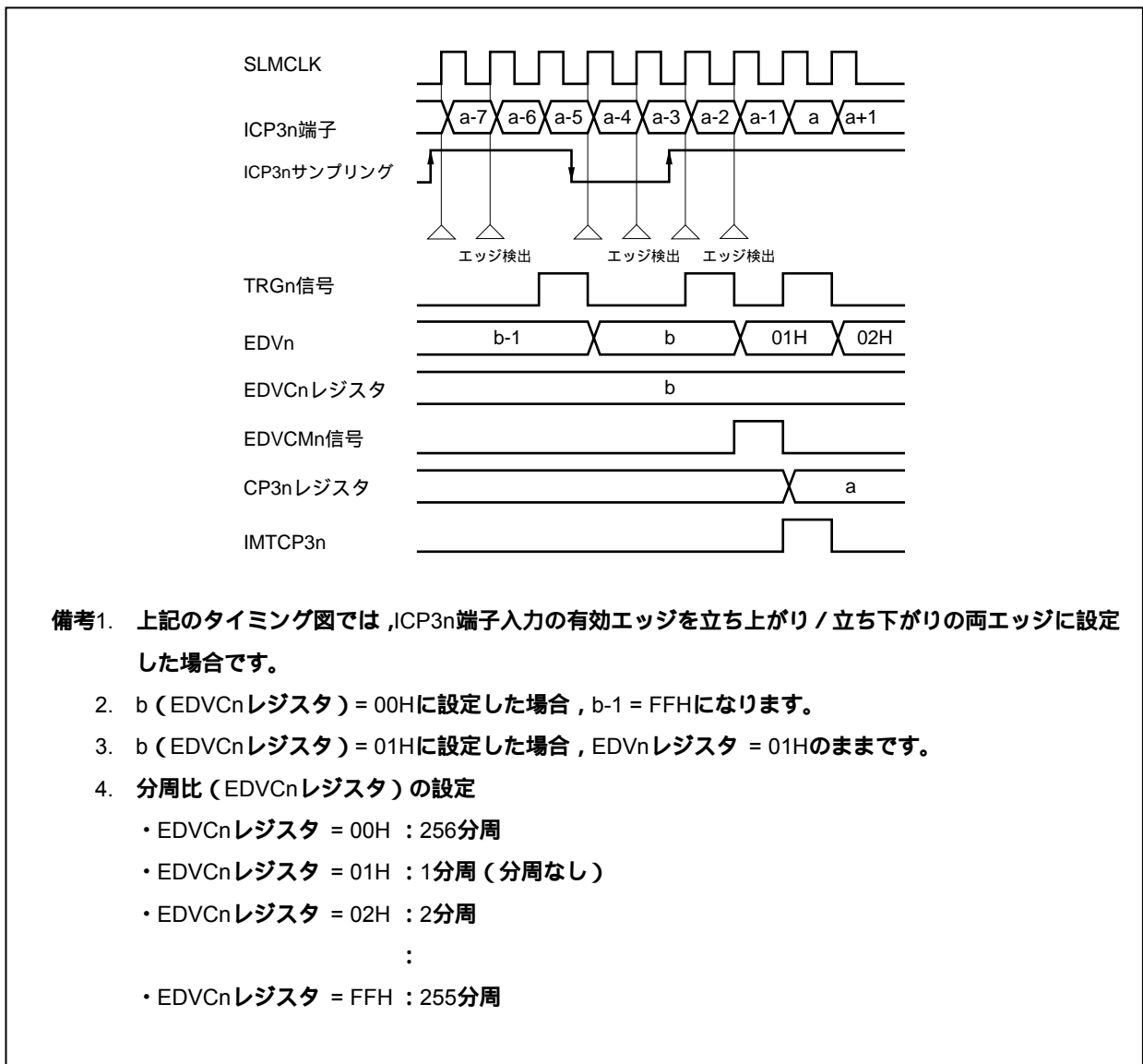
(a) n = 0, 1 (CPTTRGn信号) の場合

ICP3n端子入力の有効エッジが検出されると、TRGn信号を発生します。TRGn信号によりイベント・ディバイド・カウンタn (EDVn) をカウントし、イベント・ディバイド・コントロール・レジスタn (EDVCn) に設定した値だけ分周します。分周された信号 (EDVCMn信号) は、マスク・タイマn (MKTn) によりマスク状態が解除されている場合、キャプチャ・トリガ (CPTTRGn信号) となります。

(b) n = 2, 3 (EDVCMn信号) の場合

ICP3n端子入力の有効エッジが検出されると, TRGn信号を発生します。TRGn信号によりイベント・ディバイド・カウンタn (EDVn) をカウントし, イベント・ディバイド・コントロール・レジスタn (EDVCn) に設定した値だけ分周します。この分周された信号 (EDVCMn信号) が, キャプチャ・トリガとなります。

図14 - 11 分周後のキャプチャ動作



備考1. 上記のタイミング図では, ICP3n端子入力の有効エッジを立ち上がり / 立ち下がり の両エッジに設定した場合です。

2. b (EDVCnレジスタ) = 00Hに設定した場合, b-1 = FFHになります。
3. b (EDVCnレジスタ) = 01Hに設定した場合, EDVnレジスタ = 01Hのままです。
4. 分周比 (EDVCnレジスタ) の設定
 - EDVCnレジスタ = 00H : 256分周
 - EDVCnレジスタ = 01H : 1分周 (分周なし)
 - EDVCnレジスタ = 02H : 2分周
 - :
 - EDVCnレジスタ = FFH : 255分周

14.5.3 マスク・タイマ

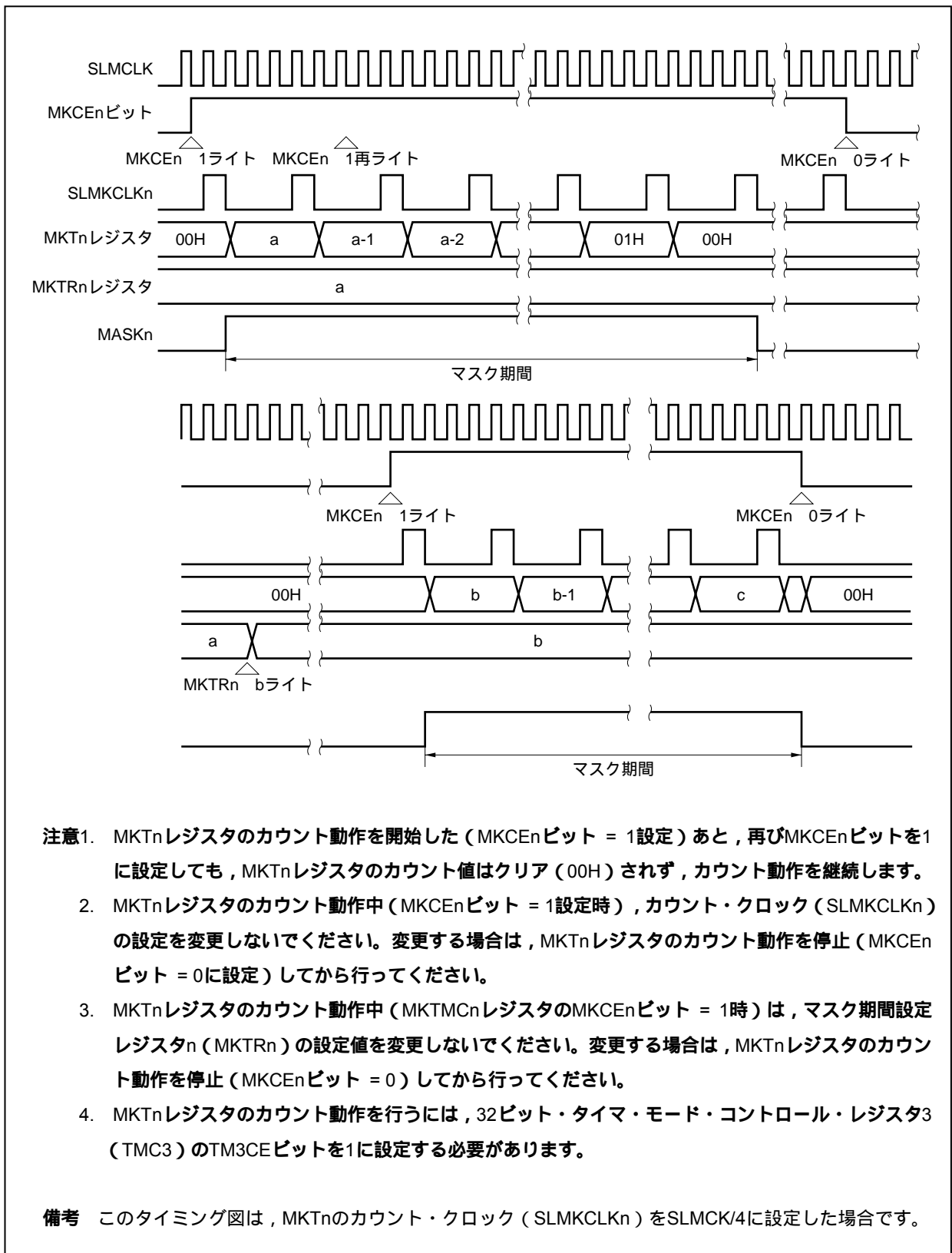
マスク・タイマは、キャプチャ・トリガ (EDVCMn信号) をマスクする期間を生成します。

(1) カウント動作

マスク・タイマn (MKTn : n = 0, 1) は、8ビットのインターバル・タイマです。動作の設定は、マスク・タイマ・モード・コントロール・レジスタn (MKTMCn) で指定します。

MKTnレジスタは、MKTMCnレジスタのMKPRMn2-MKPRMn0ビットで選択されたカウント・クロック (SLMKCLKn) により、カウント・ダウン動作を行います。カウントの開始/停止は、MKTMCnレジスタのMKCEnビットで制御します。

図14 - 12 カウント動作



- 注意1. MKTnレジスタのカウンタ動作を開始した (MKCEnビット = 1設定) あと、再びMKCEnビットを1に設定しても、MKTnレジスタのカウンタ値はクリア (00H) されず、カウンタ動作を継続します。
2. MKTnレジスタのカウンタ動作中 (MKCEnビット = 1設定時)、カウンタ・クロック (SLMKCLKn) の設定を変更しないでください。変更する場合は、MKTnレジスタのカウンタ動作を停止 (MKCEnビット = 0に設定) してから行ってください。
3. MKTnレジスタのカウンタ動作中 (MKTMCnレジスタのMKCEnビット = 1時) は、マスク期間設定レジスタn (MKTRn) の設定値を変更しないでください。変更する場合は、MKTnレジスタのカウンタ動作を停止 (MKCEnビット = 0) してから行ってください。
4. MKTnレジスタのカウンタ動作を行うには、32ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) のTM3CEビットを1に設定する必要があります。

備考 このタイミング図は、MKTnのカウンタ・クロック (SLMKCLKn) をSLMCK/4に設定した場合です。

(2) アンダフロー動作

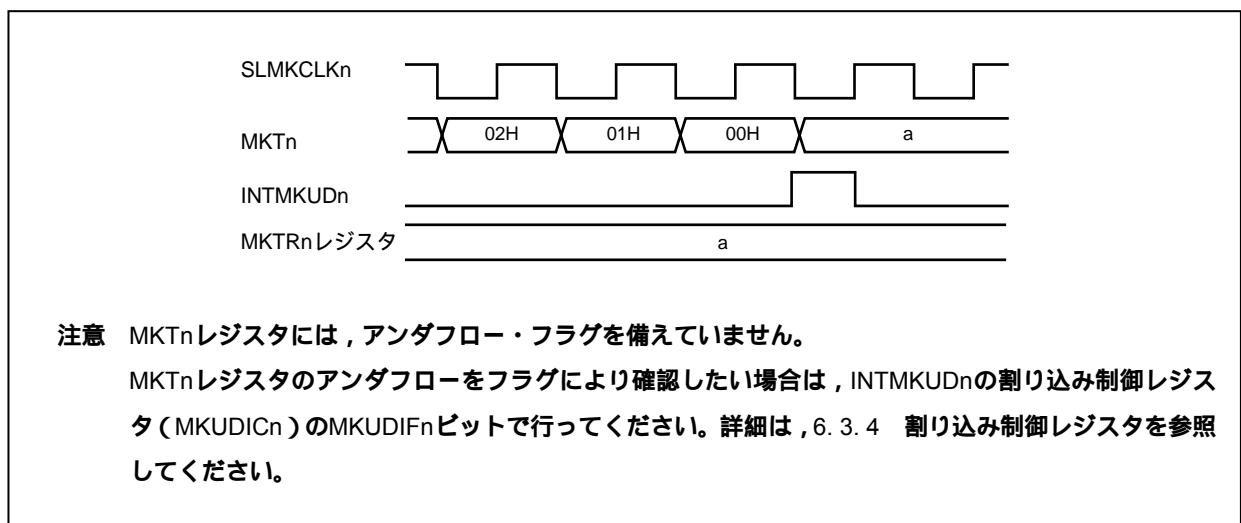
MKTnレジスタが00Hまでカウントし、次のカウント・クロック (SLMKCLKn) でアンダフロー割り込み要求信号 (INTMKUDn) を発生します。

MKTnレジスタのカウント値は、00Hまでカウントしたあと、MKTRnレジスタの値が転送され、そのままカウント動作を停止します。再びカウント動作を開始するには、キャプチャ・トリガ (CPTTRGn信号) を検出することにより行います。

アンダフローすると、キャプチャ・トリガ (EDVCMn信号) のマスク状態が解除されます。

なお、アンダフロー後のカウント停止中にMKCEnビットを0に設定した場合、カウント動作を再開するには、MKCEnビットに1を書き込むことによるのみ行います (CPTTRGn信号を検出しても、カウント動作は再開しません)。

図14 - 13 アンダフロー動作

**(3) クリア/スタート動作**

MKTnレジスタのクリア/スタート動作には、アンダフローとソフトウェアによる2種類があります。

(a) アンダフローの場合

14.5.3 (2) アンダフロー動作を参照してください。

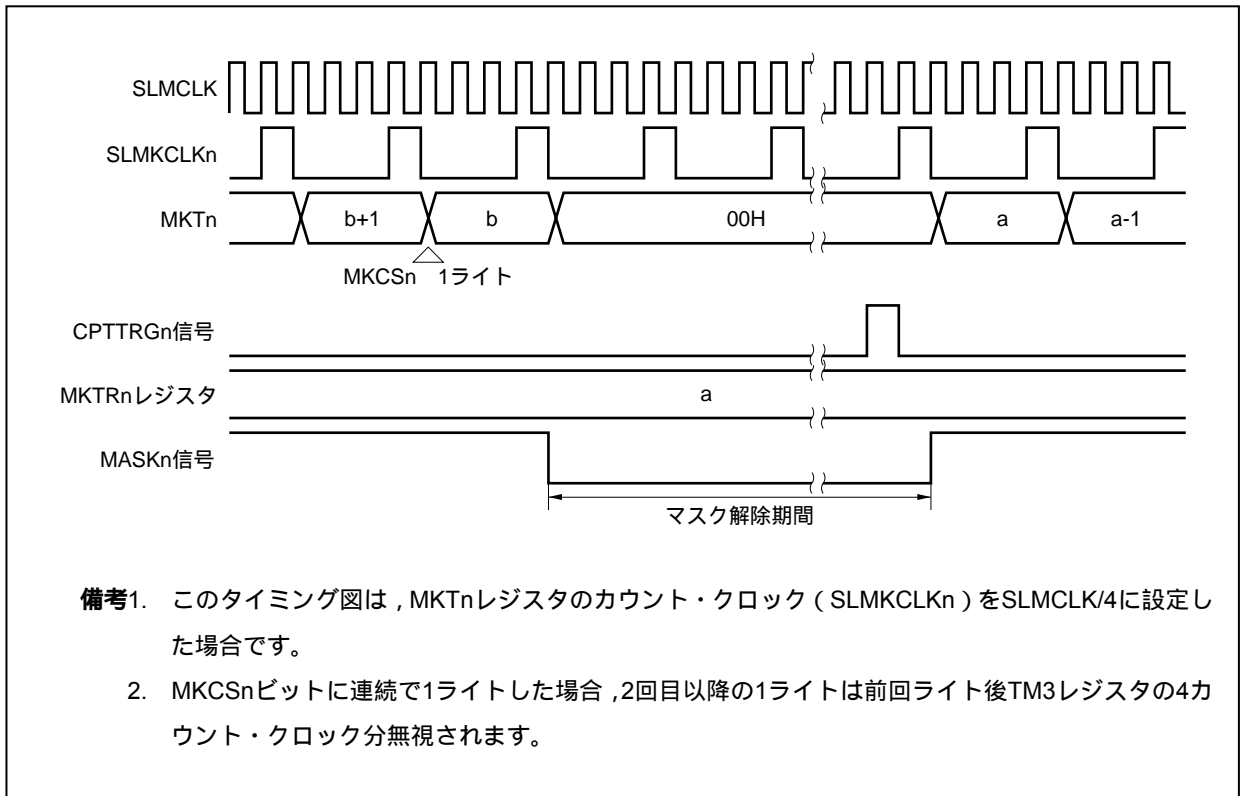
(b) ソフトウェアの場合

MKTMCnレジスタのMKCSnビットを1に設定すると、MKTnレジスタのカウント値をクリアし、次のカウント・クロック (SLMKCLKn) でMKTRnレジスタの値がMKTnレジスタに転送され、そのままカウント動作を停止します。再びカウント動作を開始するには、キャプチャ・トリガ (CPTTRGn信号) を検出することにより行います。

MKCSnビットに1を設定すると、キャプチャ・トリガ (EDVCMn信号) のマスク状態が解除されます。

なお、MKCSビット = 1設定後のカウント停止中にMKCEnビットを0に設定した場合、カウント動作を再開するには、MKCEnビットに1を書き込むことによるのみ行います (CPTTRGn信号を検出しても、カウント動作は再開しません)。

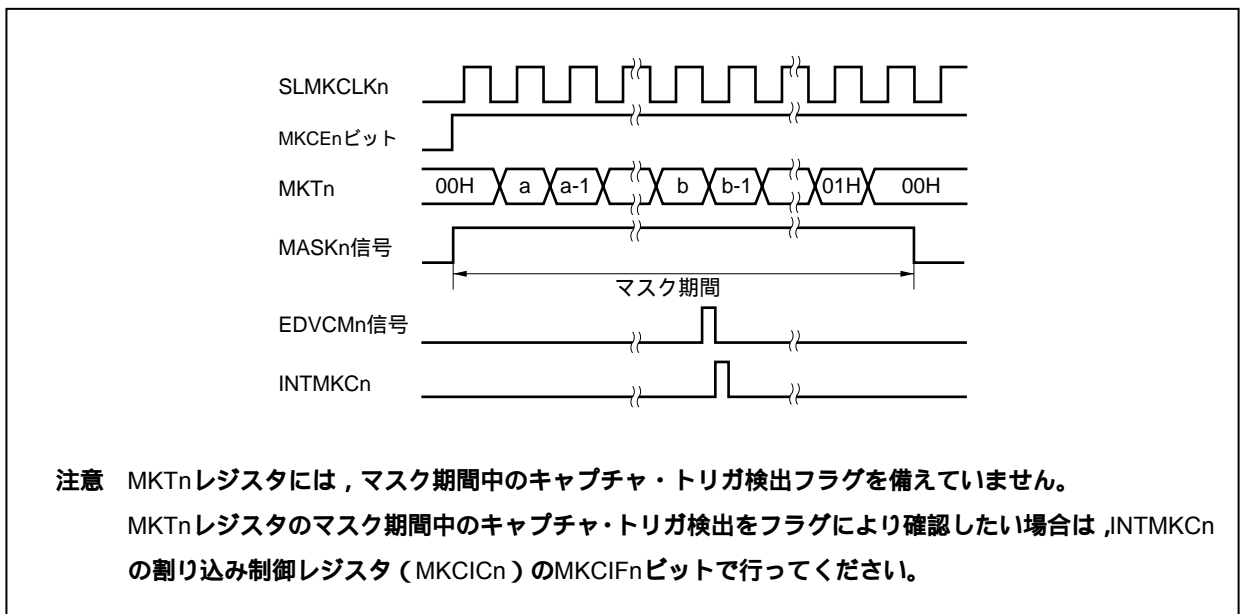
図14 - 14 クリア/スタート動作



(4) マスク期間中のキャプチャ・トリガ検出動作

MKTnレジスタがダウン・カウントを開始してから、アンダフロー、またはMKTMCnレジスタのMKCSnビットを1に設定するまでの期間がキャプチャ・トリガ (EDVCMn信号) をマスクする期間となります。このマスク期間中に、EDVCMn信号が検出されると、マスク中のキャプチャ・トリガ検出割り込み要求信号 (INTMKCn) を発生します。

図14 - 15 マスク期間中のキャプチャ・トリガ検出動作

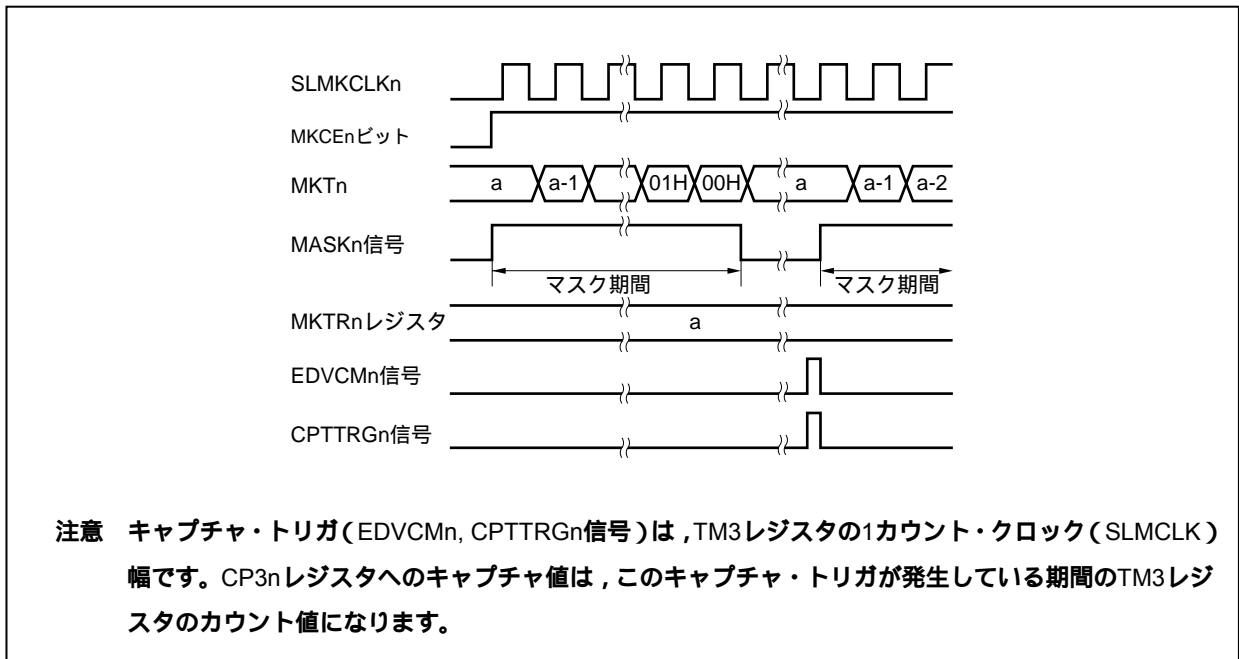


(5) マスク期間解除後のキャプチャ動作

ICP3n端子入力の有効エッジが検出されると、TRGn信号を発生します。TRGn信号によりイベント・ディバイド・カウンタn(EDVn)をカウントし、イベント・ディバイド・コントロール・レジスタn(EDVCn)に設定した値だけ分周します。分周された信号(EDVCMn信号)は、マスク・タイマ(MKTn)によりマスク状態が解除されている場合、キャプチャ・トリガ(CPTTRGn信号)となります。

CPTTRGn信号が発生すると、MKTnレジスタはカウント動作を開始し、マスク状態になります。

図14 - 16 マスク解除後のキャプチャ・トリガ動作



(6) マスク条件

キャプチャ・トリガ(EDVCMn, CPTTRGn信号)のマスク条件(MASKn信号のセット/クリア条件)について次に示します(ただし、TM3CEビット = 1の場合)。

(a) MASKn信号のセット条件(マスク期間)

- ・MKCEnビット = 0 1後, 最初のSLMKCLKnクロック
- ・MKTMCnレジスタのMKCEnビット = 0 1設定時
- ・CPTTRGn信号発生時

(b) MASKn信号のクリア条件(マスク解除期間)

- ・MKTMCnレジスタのMKCEnビット = 1 0設定時
- ・MKTnレジスタのアンダフロー(INTMKUDn発生)時
- ・MKTMCnレジスタのMKCSnビット = 1ライト時

14.5.4 ノイズ除去回路

TI3, ICP3n (n = 0-11) 端子入力のノイズ除去回路は、次に示すサンプリング・クロックによる2点サンプリング・ノイズ除去回路です。

(1) サンプリング・クロック (SMPCLK)

- ・ TI3端子 : fxx (周辺用クロック)
- ・ ICP3n端子 : SLMCLK (TM3のカウント・クロック)

備考 確実に端子からの入力信号として検出するためには、サンプリング・クロック (SMPCLK) の2周期幅以上の入力レベル幅が必要です。

(2) 入力レベル幅

- ・ 入力レベル幅 < SMPCLK : ノイズとして除去
- ・ SMCLK 入力レベル幅 < (2 × SMPCLK) : ノイズとして除去、または入力信号として検出
- ・ 入力レベル幅 (2 × SMPCLK) : 入力信号として検出

第15章 ウォッチドッグ・タイマ機能

15.1 機能

ウォッチドッグ・タイマには、次の動作モードがあります。

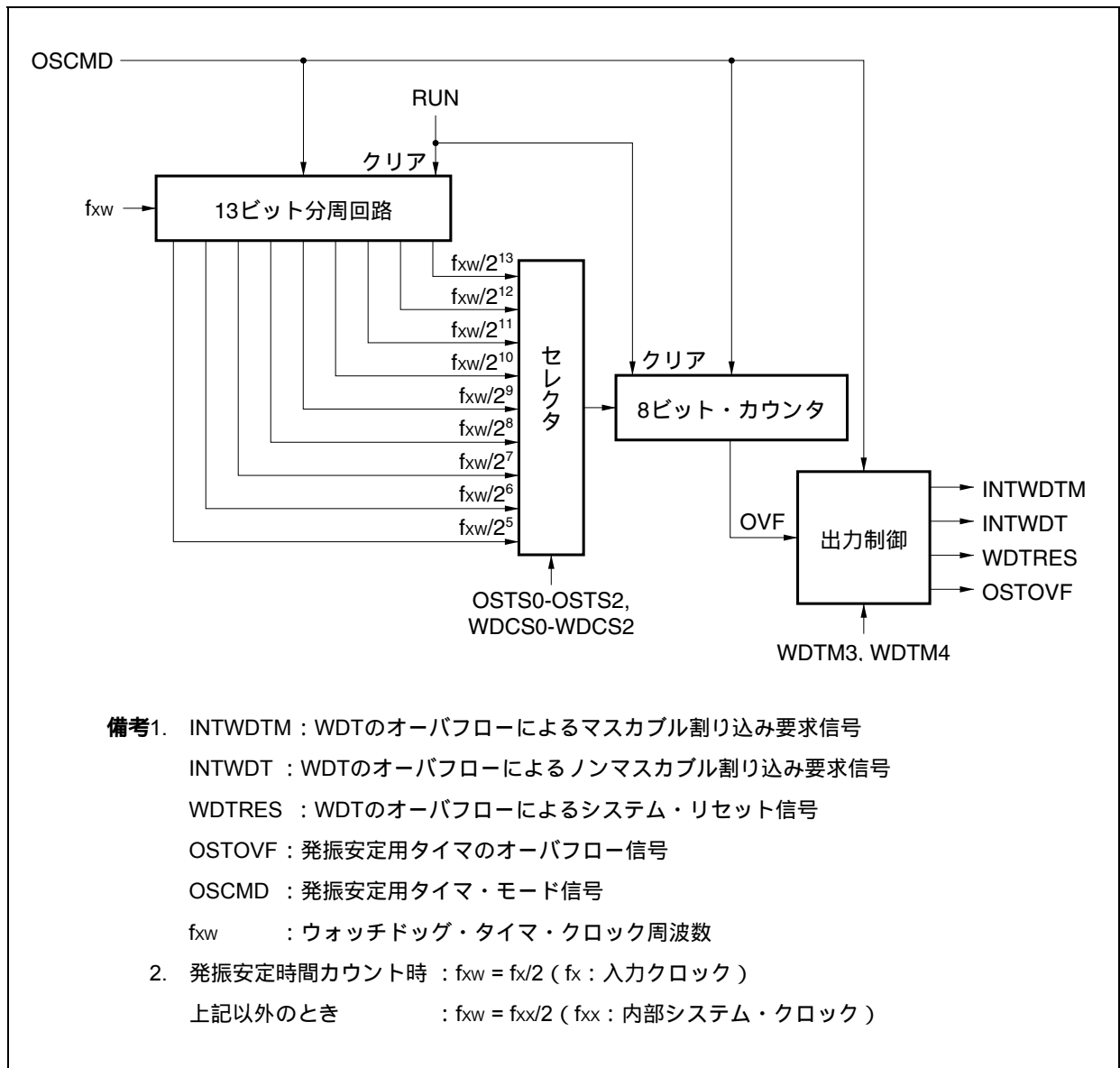
- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

上記動作モードにより、次の機能を実現します。

- ・ウォッチドッグ・タイマのオーバーフローによる、ノンマスクابل割り込み要求信号 (INTWDT) を発生する。
- ・ウォッチドッグ・タイマのオーバーフローによる、システム・リセット信号 (WDTRES) を発生する。
- ・インターバル・タイマのオーバーフローによる、マスクابل割り込み要求信号 (INTWDTM) を発生する。
- ・メイン・システム・クロックの発振安定時間を確保する。

備考 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

図15 - 1 ウォッチドッグ・タイマのブロック図



15.2 構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表15-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	発振安定時間選択レジスタ (OSTS) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

15.3 制御レジスタ

ウォッチドッグ・タイマを制御するレジスタを次に示します。

- ・発振安定時間選択レジスタ (OSTS)
- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

15.3.1 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSレジスタは、8/1ビット・メモリ操作命令で設定します。

RESET入力により01Hになります。

リセット時 : 04H R/W アドレス : FFFFF660H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択			
				f _x			
				7 MHz	10 MHz	13.5 MHz	20 MHz
0	0	0	2 ¹⁴ /f _x	2.3 ms	1.6 ms	1.2 ms	設定禁止
0	0	1	2 ¹⁶ /f _x	9.3 ms	6.5 ms	4.8 ms	3.2 ms
0	1	0	2 ¹⁷ /f _x	18.7 ms	13.1 ms	9.7 ms	6.5 ms
0	1	1	2 ¹⁸ /f _x	37.4 ms	26.2 ms	19.4 ms	13.1 ms
1	0	0	2 ¹⁹ /f _x	74.8 ms	52.4 ms	38.8 ms	26.2 ms
1	0	1	2 ²⁰ /f _x	149.7 ms	104.8 ms	77.6 ms	52.4 ms
1	1	0	2 ²¹ /f _x	299.5 ms	209.7 ms	155.3 ms	104.8 ms
1	1	1	2 ²² /f _x	599.1 ms	419.4 ms	310.6 ms	209.7 ms

注意 発振安定時間は1.0 ms以上で設定してください。

15.3.2 ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSレジスタは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF661H

	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間	f _{xx}			
				f _{xx} = 10 MHz	f _{xx} = 20 MHz	f _{xx} = 27 MHz	f _{xx} = 40.5 MHz
				0	0	0	2 ¹⁴ /f _{xx}
0	0	1	2 ¹⁵ /f _{xx}	3.2 ms	1.6 ms	1.2 ms	0.8 ms
0	1	0	2 ¹⁶ /f _{xx}	6.5 ms	3.2 ms	2.4 ms	1.6 ms
0	1	1	2 ¹⁷ /f _{xx}	13.1 ms	6.5 ms	4.8 ms	3.2 ms
1	0	0	2 ¹⁸ /f _{xx}	26.2 ms	13.1 ms	9.7 ms	6.4 ms
1	0	1	2 ¹⁹ /f _{xx}	52.4 ms	26.2 ms	19.4 ms	12.9 ms
1	1	0	2 ²⁰ /f _{xx}	104.8 ms	52.4 ms	38.8 ms	25.9 ms
1	1	1	2 ²² /f _{xx}	419.4 ms	209.7 ms	155.3 ms	103.6ms

備考 f_{xw} = f_x : ウォッチドッグ・タイマ・クロック周波数

15.3.3 ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。

このレジスタは特定レジスタです。特定のシーケンスによってのみ書き込みができます(3.4.9 特定レジスタ参照)。

WDTMレジスタは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時：00H R/W アドレス：FFFFFF62H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 ^{注1}
0	カウントを停止
1	カウンタをクリアし、カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	インターバル・タイマ・モード
0	1	(オーバーフロー発生時、マスクابل割り込みINTWDTM発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時、ノンマスクابل割り込みINTWDT発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時、リセット動作WDTRESを起動)

注1. RUNビットは、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。

したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2. WDTM4, WDTM3ビットは、一度セット(1)されると、ソフトウェアでクリア(0)することはできません。これらのビットをクリアするには、 $\overline{\text{RESET}}$ 入力のみが有効です。

15.3.4 WDTリセット・レジスタ (WDRES)

WDTリセット・レジスタ (WDRES) は、システム・リセット信号 (WDTRES) のステータスを示す8ビットのレジスタです。WDRESレジスタは特定レジスタで、特定シーケンスの組み合わせによってのみ書き込み可能です (3.4.9 特定レジスタ参照)。

8/1ビット操作命令によりR/W可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時 : 00H R/W アドレス : FFFFF82AH

	7	6	5	4	3	2	1	0
WDRES	0	0	0	0	0	0	0	WRESF

WRESF	WDTRES信号検出フラグ
0	WDTRES信号発生なし
1	WDTRES信号発生あり

注意 WRESFビットは“0”書き込みによるクリアと $\overline{\text{RESET}}$ 端子によるリセットによるクリアが可能です。WRESFビットの書き込みは“0”のみ可能です。

WRESFビットへの“0”書き込みは、フラグ・セットとの競合を避けるために

WRESFビット = 1を確認 (読み出し) 後に行ってください。

15.4 動作

15.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のWDTM4ビットに“1”を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDSC) のWDSC2-WDSC0ビットでウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMレジスタのRUNビットに“1”を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNビットに再度“1”を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNビットに“1”がセットされず、暴走検出時間を越えてしまった場合は、WDTMレジスタのWDTM3ビットの値によりリセット (WDTRES) もしくはノンマスカブル割り込み要求信号 (INTWDT) が発生します。

ウォッチドッグ・タイマは、ソフトウェアSTOPモード時とIDLEモード時は動作を停止します。したがって、ソフトウェアSTOPモードやIDLEモードに入る前にRUNビットを“1”に設定し、ウォッチドッグ・タイマをクリアしてください。

また、HALTモード時はウォッチドッグ・タイマは動作するため、HALTモードを使用するときは、ウォッチドッグ・タイマを使用しないでください。

注意 CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止 (保持) します。

表15-2 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間			
	$f_{xx} = 10 \text{ MHz}$	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 27 \text{ MHz}$	$f_{xx} = 40.5 \text{ MHz}$
$2^{14}/f_{xx}$	16 ms	0.8 ms	0.6 ms	0.4 ms
$2^{15}/f_{xx}$	3.2 ms	1.6 ms	1.2 ms	0.8 ms
$2^{16}/f_{xx}$	6.5 ms	3.2 ms	2.4 ms	1.6 ms
$2^{17}/f_{xx}$	13.1 ms	6.5 ms	4.8 ms	3.2 ms
$2^{18}/f_{xx}$	26.2 ms	13.1 ms	9.7 ms	6.5 ms
$2^{19}/f_{xx}$	52.4 ms	26.2 ms	19.4 ms	12.9 ms
$2^{20}/f_{xx}$	104.8 ms	52.4 ms	38.8 ms	25.9 ms
$2^{22}/f_{xx}$	419.4 ms	209.7 ms	155.3 ms	103.6 ms

備考 $f_{xw} = f_x$: ウォッチドッグ・タイマ・クロック周波数

15.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のWDTM4ビットに“0”を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき、WDTICレジスタの割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR0-WDTPR2) が有効となり、マスカブル割り込み要求信号 (INTWDTM) を発生させることができます。INTWDTM信号のデフォルト優先順位は、マスカブル割り込み要求信号の中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、ソフトウェアSTOPモード時とIDLEモード時は動作を停止します。したがって、ソフトウェアSTOPモード / IDLEモードに入る前にWDTMレジスタのRUNビットを“1”に設定し、インターバル・タイマをクリアしてください。

- 注意1. 一度WDTM4ビットに“1”を設定する(ウォッチドッグ・タイマ・モードを選択する)と、 $\overline{\text{RESET}}$ 入力されないかぎり、インターバル・タイマ・モードにはなりません。
2. CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止(保持)します。

表15-3 インターバル・タイマのインターバル時間

クロック	インターバル時間			
	$f_{xx} = 10 \text{ MHz}$	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 27 \text{ MHz}$	$f_{xxx} = 40.5 \text{ MHz}$
$2^{14}/f_{xx}$	1.6 ms	0.8 ms	0.6 ms	0.4 ms
$2^{15}/f_{xx}$	3.2 ms	1.6 ms	1.2 ms	0.8 ms
$2^{16}/f_{xx}$	6.5 ms	3.2 ms	2.4 ms	1.6 ms
$2^{17}/f_{xx}$	13.1 ms	6.5 ms	4.8 ms	3.2 ms
$2^{18}/f_{xx}$	26.2 ms	13.1 ms	9.7 ms	6.5 ms
$2^{19}/f_{xx}$	52.4 ms	26.2 ms	19.4 ms	12.9 ms
$2^{20}/f_{xx}$	104.8 ms	52.4 ms	38.8 ms	25.9 ms
$2^{22}/f_{xx}$	419.4 ms	209.7 ms	155.3 ms	103.6 ms

備考 $f_{xw} = f_x$: ウォッチドッグ・タイマ・クロック周波数

15.4.3 発振安定時間の選択機能

ソフトウェアSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

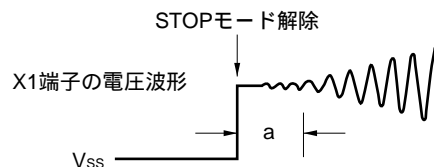
RESET入力により04Hになります。

リセット時：04H R/W アドレス：FFFFFF660H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択				
			fx				
			7 MHz	10 MHz	13.5 MHz	20 MHz	
0	0	0	$2^{14}/f_x$	2.3 ms	1.6 ms	1.2 ms	設定禁止
0	0	1	$2^{16}/f_x$	9.3 ms	6.5 ms	4.8 ms	3.2 ms
0	1	0	$2^{17}/f_x$	18.7 ms	13.1 ms	9.7 ms	6.5 ms
0	1	1	$2^{18}/f_x$	37.4 ms	26.2 ms	19.4 ms	13.1 ms
1	0	0	$2^{19}/f_x$	74.8 ms	52.4 ms	38.8 ms	26.2 ms
1	0	1	$2^{20}/f_x$	149.7 ms	104.8 ms	77.6 ms	52.4 ms
1	1	0	$2^{21}/f_x$	299.5 ms	209.7 ms	155.3 ms	104.8 ms
1	1	1	$2^{22}/f_x$	599.1 ms	419.4 ms	310.6 ms	209.7 ms

注意1. ソフトウェアSTOPモード解除時のウェイト時間は、RESET入力による場合も、割り込み要求信号発生による場合も、ソフトウェアSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



- ビット7-3には必ず“0”を設定してください。
- 発振安定時間は1.0 ms以上で設定してください。
- リセット解除後の発振安定時間は、 $2^{19}/f_x$ (OSTSレジスタの初期値 = 04Hのため) となります

備考 f_x = メイン・クロック発振周波数

第16章 アシクロナス・シリアル・インタフェース_n(UART_n)

16.1 シリアル・インタフェース概要

V850E/SV2は、シリアル・インタフェース機能として、4種類9チャンネルの送受信チャンネルを備え、同時に8チャンネルまで使用できます。

インタフェースの形態として次の4種類があります。

アシクロナス・シリアル・インタフェース×2チャンネル (UART_n : n = 0, 1)

専用ポー・レート・ジェネレータ×2チャンネル (BRG_n : n = 0, 1)

クロック同期式シリアル・インタフェース×4チャンネル (CSI_n : n = 0-3)

専用ポー・レート・ジェネレータ×3チャンネル (BRG_n : n = 2-4)

自動送受信機能付きクロック同期式シリアル・インタフェース×2チャンネル (CSIA_n : n = 0, 1)

専用ポー・レート・ジェネレータ×2チャンネル (BRGA_n : n = 0, 1)

I²Cバス・インタフェース×1チャンネル (IIC) (μPD703166Y, 70F3166Yのみ)

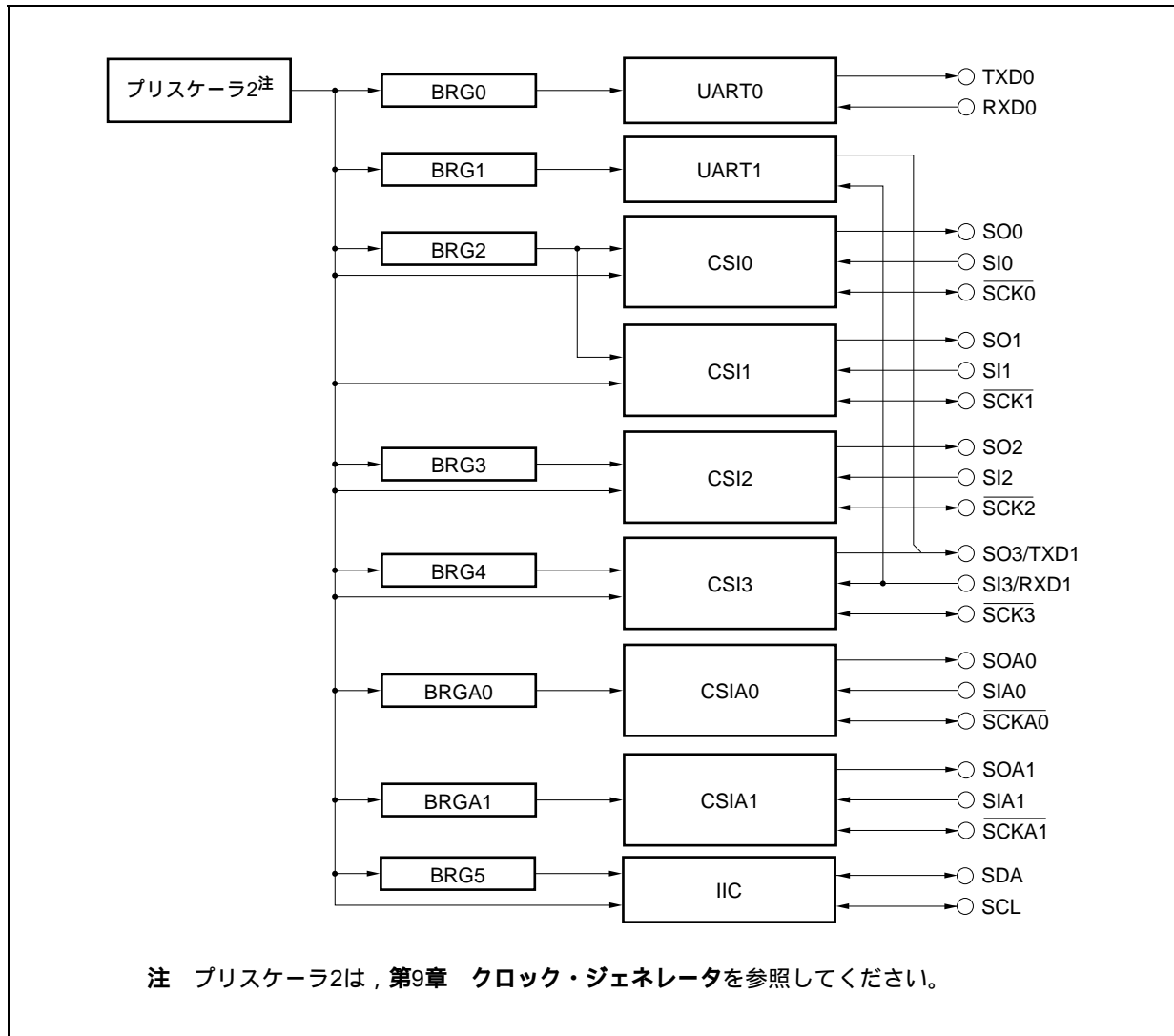
専用ポー・レート・ジェネレータ×1チャンネル (BRG5)

注意 CSI3とUART1は兼用しています。

16.1.1 シリアル・インタフェース構成

V850E/SV2のシリアル・インタフェース機能の全体構成図を次に示します。

図16 - 1 シリアル・インタフェース



16.2 特徴

転送速度 300 bps ~ 312.5 kbps

全二重通信 受信バッファ・レジスタn (RXBn) 内蔵

送信バッファ・レジスタn (TXBn) 内蔵

2端子構成 TXDn: 送信データの出力端子

RXDn: 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース: 3種類

- ・受信エラー割り込み (INTSERn) : 3種類の受信エラーの論理和で割り込みを発生
- ・受信完了割り込み (INTSRn) : 受信許可状態において, シリアル転送完了後シフト・レジスタから受信バッファ・レジスタnへ受信データを転送すると発生
- ・送信完了割り込み (INTSTn) : シリアル送信を行ってシフト・レジスタから送信データ (8/7ビット) をシリアル送信し終わると発生

送受信データのキャラクタ長はASIMnレジスタで指定

キャラクタ長: 7, 8ビット

パリティ機能: 奇数, 偶数, 0, なし

送信ストップ・ビット: 1, 2ビット

転送データのMSB/LSB先頭を切り替え可能

送信データの出力レベル反転機能

専用ポー・レート・ジェネレータ内蔵

備考 n=0, 1

16.2.1 UARTとCSIのモード切り替え

V850E/SV2では, UART1とCSI3は端子が兼用になっており, 同時に使用することはできません。あらかじめ, ポート3モード・コントロール・レジスタ (PMC3), ポート3ファンクション・コントロール・レジスタ (PFC3) を設定する必要があります (10.3.4 **ポート3**参照)。

UART1またはCSI3において, 送信あるいは受信動作中にモードの切り替えを行った場合の動作は保証できません。

16.3 構成

アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn), アシクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn), アシクロナス・シリアル・インタフェース送信ステータス・レジスタn (ASIFn) によって, UARTnを制御します。受信データは受信バッファ・レジスタn (RXBn) に保持され, 送信データは送信バッファ・レジスタn (TXBn) に書き込みます。

アシクロナス・シリアル・インタフェースn (UARTn) は, 図16 - 2のように構成されています。

(1) アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn)

ASIMnレジスタは, アシクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn)

ASISnレジスタは, 受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) され, ASISnレジスタの読み出しによってリセット (0) されます。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタn (ASIFn)

ASIFnレジスタは, 送信時のステータスを示す8ビット・レジスタです。

TXBnレジスタのデータ保持状態を示す送信バッファ・データ・フラグと送信中であることを示す送信シフト・レジスタ・データ・フラグから構成されます。

(4) アシクロナス・シリアル・インタフェース・コントロール・レジスタ0, 1 (ASICL0, ASICL1)

ASICnレジスタは, UARTの転送動作を制御する8ビットのレジスタです。転送データの転送方向とTXDn端子からの出力レベルを設定します。

(5) 受信制御パリティ・チェック

ASIMnレジスタに設定された内容に従って, 受信動作を制御します。また, 受信動作時にパリティ・エラーなどのチェックも行い, エラーが検出された場合は, エラー内容に応じた値をASISnレジスタにセットします。

(6) 受信シフト・レジスタ

RXDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し, ストップ・ビットを検出すると, 受信データをRXBnレジスタへ転送します。

このレジスタは直接操作することはできません。

(7) 受信バッファ・レジスタn (RXBn)

RXBnレジスタは, 受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます。

受信許可状態中は, 受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタからRXBnレジスタに転送されます。

また, RXBnレジスタへの転送により, 受信完了割り込み要求信号 (INTSRn) が発生します。

(8) 送信シフト・レジスタ

送信シフト・レジスタは、TXBnレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

TXBnレジスタから1バイト分のデータが転送されると、送信シフト・レジスタのデータをTXDn端子から出力します。

このレジスタは直接操作することはできません。

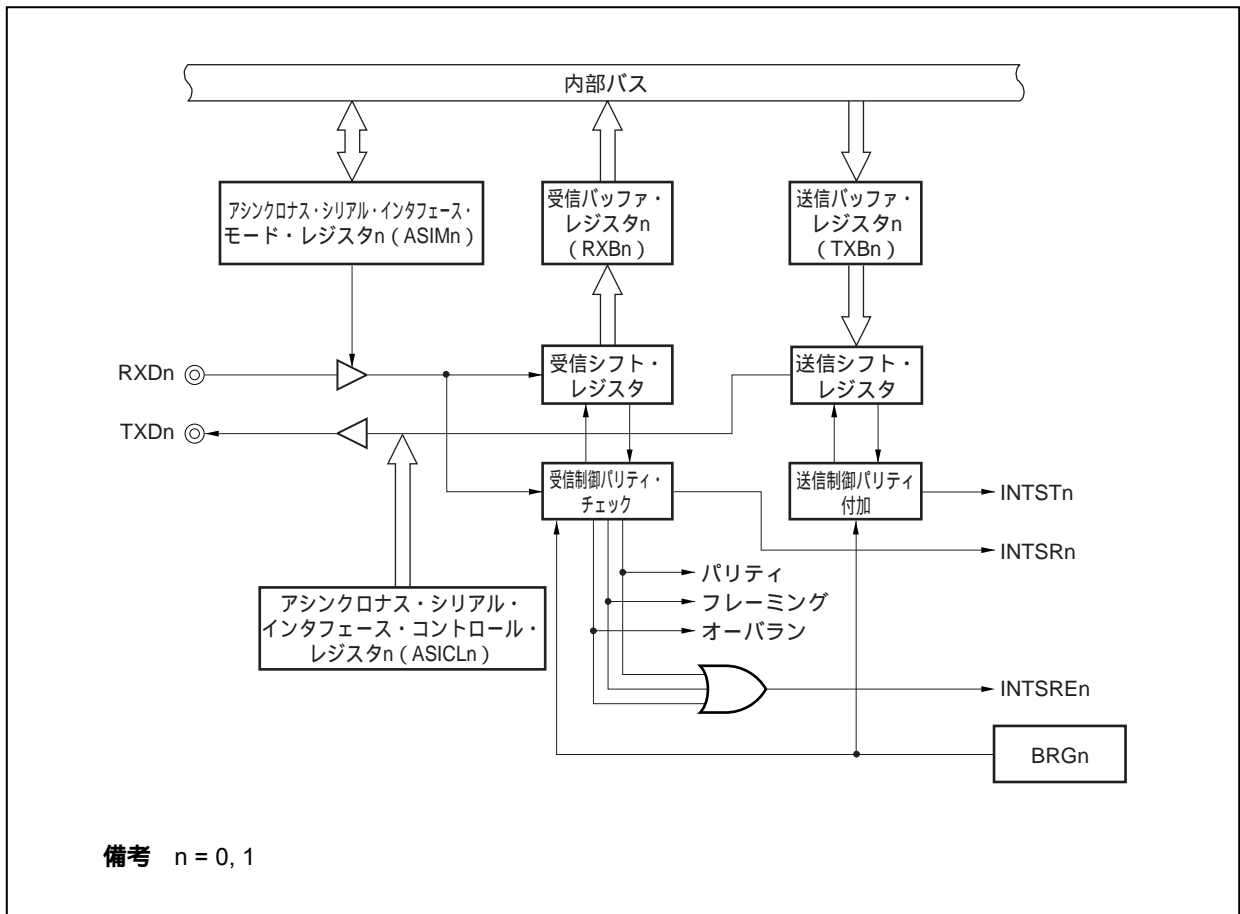
(9) 送信バッファ・レジスタn (TXBn)

TXBnレジスタは、8ビットの送信データ用バッファです。TXBnレジスタへ送信データを書き込むことにより、送信動作が開始されます。1フレームの送終了時に同期して送信完了割り込み要求信号 (INTSTn) を発生します。

(10) 送信制御パリティ付加

ASIMnレジスタに設定された内容に従って、TXBnレジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

図16-2 アシクロナス・シリアル・インタフェースnのブロック図



16.4 制御レジスタ

16.4.1 アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn)

ASIMnレジスタは、UARTnの転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

注意 UARTnを使用する場合には、必ずUARTn機能に関連する外部端子をコントロール・モードに設定したあと、クロック選択レジスタn (CKSRn) とポー・レート・ジェネレータ・コントロール・レジスタn (BRGCn) の設定を行ってからUARTCAEnビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

(1/3)

リセット時 : 01H R/W アドレス : ASIM0 FFFFFFFA00H, ASIM1 FFFFFFFA10H

	⑦	⑥	⑤	4	3	2	1	0
ASIMn	UARTCAEn	TXEn	RXEn	PSn1	PSn0	CLn	SLn	ISRMn

(n = 0, 1)

UARTCAEn	動作クロックを制御
0	UARTnへのクロック供給を停止
1	UARTnへクロックを供給

- UARTCAEnビット = 0にすると、UARTnを非同期にリセットします。
- UARTCAEnビット = 0の場合は、UARTnはリセット状態なので、UARTnを動作させる場合には、まずUARTCAEnビット = 1にしてください。
- UARTCAEnビットを1から0にした場合は、UARTnのすべてのレジスタが初期化されます。再度UARTCAEnビット = 1にする場合には、必ずUARTnのレジスタを再設定してください。
- TXDn端子の出力は、送信禁止状態の場合、UARTCAEnビットの設定にかかわらずハイ・レベルになります。

TXEn	送信許可 / 禁止を指定
0	送信禁止
1	送信許可

- 起動時はUARTCAEnビット = 1にしてから、TXEnビット = 1としてください。また、停止時はTXEnビット = 0にしてから、UARTCAEnビット = 0としてください。
- 送信ユニットを初期化する場合は、TXEnビットをクリア(0)して、Clock (基本クロック) の2周期分の時間を経過してから、再びTXEnビットをセット(1)しなければ、状態の初期化ができない場合があります(基本クロックについては16.7.1 (1) 基本クロック (Clock) 参照)

RXEn	受信許可 / 禁止を指定
0	受信禁止
1	受信許可

・起動時はUARTCAEnビット = 1にしてから、RXEnビット = 1としてください。また、停止時は、RXEnビット = 0にしてから、UARTCAEnビット = 0としてください。

・受信ユニットの状態を初期化する場合は、RXEnビットをクリア (0) して、Clock (基本クロック) の2周期分の時間を経過してから、再びRXEnビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては12.2.6 (1) (a) **基本クロック (Clock)** 参照)。

PSn1	PSn0	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・PSn1, PSn0ビットを書き換えるときは、TXEn, RXEnビットをクリア (0) してから行ってください。

・受信時に「0パリティ」を選択した場合、パリティ判定を行いません。したがって、アシクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) のPEnビットはセットされないため、エラー割り込みも発生しません。

備考1. 受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、受信バッファ・レジスタn (RXBn) への転送処理は行わず、RXBnレジスタの内容は保持されます。受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容をRXBnレジスタに転送します。また、RXBnレジスタへの転送に同期して、受信完了割り込み要求信号 (INTSRn) を発生します。

2. (偶数パリティ)

送信データ中の値が“1”のビット数が奇数個の場合にパリティ・ビットをセット (1) します。値が“1”のビット数が偶数個の場合はパリティ・ビットをクリア (0) します。これにより、送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるように制御します。受信時には、受信データとパリティ・ビットに含まれる値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(奇数パリティ)

偶数パリティとは逆に、送信データとパリティ・ビットの中に含まれる値が“1”のビット数が奇数個になるように制御します。受信時には、受信データとパリティ・ビットに含まれる値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(0パリティ)

送信時には、送信データによらずパリティ・ビットをクリア (0) します。受信時には、パリティ・ビットの検査を行わないため、パリティ・エラーを発生しません。

(パリティなし)

送信データにパリティ・ビットを付加しません。受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

CLn	送受信データ1フレームのキャラクタ長を指定します。
0	7ビット
1	8ビット
<ul style="list-style-type: none"> ・CLnビットを書き換えるときは、TXEn, RXEnビットをクリア(0)してから行ってください。 	

Sln	送信データのストップ・ビット長を指定します。
0	1ビット
1	2ビット
<ul style="list-style-type: none"> ・Slnビットを書き換えるときは、TXEnビットをクリア(0)してから行ってください。 ・受信は常に「ストップ・ビット長 = 1」として動作するので、SLビットの設定は受信動作に影響を与えません。 	

ISRMn	エラー発生時の受信完了割り込み要求発生許可 / 禁止を指定
0	エラー発生時の割り込みとして、受信エラー割り込み要求信号 (INTSERn) を発生します。 この場合、受信完了割り込み要求信号 (INTSRn) は発生しません。
1	エラー発生時の割り込みとして、受信完了割り込み要求信号 (INTSRn) を発生します。 この場合、受信エラー - 割り込み要求信号 (INTSERn) は発生しません。
<ul style="list-style-type: none"> ・ISRMnビットを書き換えるときは、RXEnビットをクリア(0)してから行ってください。 	

16.4.2 アシクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn)

ASISnレジスタは、UARTnの受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PEn, FEn, OVEN) で構成されています。

受信エラーを示すステータス・フラグは、常に最も新しく発生したエラーの状態を示します。すなわち、受信データの読み出し前に複数回の同一エラーが発生した場合、最後に発生したエラーの状態だけ保持しています。

ASISnレジスタは、読み出しにより“00H”にクリアされます。受信エラーが発生した場合は、ASISnレジスタを読み出したあと、受信バッファ・レジスタn (RXBn)を読み出し、エラー・フラグをクリアしてください。8ビット単位でリードだけ可能です。

注意 アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn)のUARTCAEnビット、RXEnビットを“0”に設定したとき、またはASISnレジスタを読み出したとき、ASISnレジスタのPEnビット、FEnビット、OVEnビットはクリア(0)されます。

リセット時：00H R アドレス：ASIS0 FFFFA03H, ASIS1 FFFFA13H

	7	6	5	4	3	2	1	0
ASISn	0	0	0	0	0	PEn	FEn	OVEn

(n = 0, 1)

PEn	パリティ・エラーを示すステータス・フラグ
0	ASIMnレジスタのUARTCAEnビット = 0およびRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたとき
1	受信完了時、送信データのパリティとパリティ・ビットが一致しないとき
・ PEnビットの動作は、ASIMnレジスタのPSn1, PSn0ビットの設定値により異なります。	

FEn	フレーミング・エラーを示すステータス・フラグ
0	ASIMnレジスタのUARTCAEnビット = 0およびRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたとき
1	受信完了時、ストップ・ビットが検出されないとき
・ 受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。	

OVEn	オーバラン・エラーを示すステータス・フラグ
0	ASIMnレジスタのUARTCAEnビット = 0およびRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたとき
1	RXBnレジスタの受信データを読み出す前にUARTnが次の受信動作を完了したとき
・ オーバラン・エラーが発生した場合、次の受信データはRXBnレジスタに書き込まれず、データは破棄されます。	

16.4.3 アシクロナス・シリアル・インタフェース送信ステータス・レジスタn (ASIFn)

ASIFnレジスタは、送信時のステータスを示すレジスタです。2ビットのステータス・フラグで構成されています。

送信バッファ・レジスタn (TXBn) から送信シフト・レジスタへデータが転送されたあとに、次のデータをTXBnレジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。連続して送信を行う場合には、TXBnレジスタへの誤った書き込みを防止するために、ASIFnレジスタのTXBFnビットを参照してから書き込みを行ってください。

8/1ビット単位でリードだけ可能です。

リセット時：00H R アドレス：ASIF0 FFFFA05H, ASIF1 FFFFA15H

	7	6	5	4	3	2	①	②
ASIFn	0	0	0	0	0	0	TXBFn	TXSFn

(n = 0, 1)

TXBFn	送信バッファ・データ・フラグ
0	TXBnレジスタに次に転送すべきデータが存在しない (アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のPOWERnビット = 0またはTXEnビット = 0に設定したとき、または送信シフト・レジスタにデータを転送したとき)
1	TXBnレジスタに次に転送すべきデータが存在する (TXBnレジスタにデータを書き込んだとき)

・連続送信を行う場合は、必ずこのフラグが“0”であることを確認してからTXBnレジスタに書き込んでください。このフラグが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。

TXSFn	送信シフト・レジスタ・データ・フラグ (UARTnの送信状態を示します。)
0	初期状態または送信待ち (ASIMnレジスタのUARTCAEnビット = 0またはTXEnビット = 0に設定したとき、または転送完了後にTXBnレジスタから次のデータ転送がなかったとき)
1	送信中 (TXBnレジスタからデータ転送されたとき)

・送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずこのフラグが“0”であることを確認してから初期化を実行してください。このフラグが“1”のときに初期化を実行した場合の送信データは保証できません。

16.4.4 アシクロナス・シリアル・インタフェース・コントロール・レジスタn (ASICLn)

ASICLnレジスタはUARTの転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

注意 ビット7-2には、必ず“000101B”を設定してください。

備考 n = 0, 1

リセット時：16H								R/W	アドレス ASICL0 FFFFA08H, ASICL1 FFFFA18H							
ASICLn (n = 0, 1)	7	6	5	4	3	2	①	②								
	0	0	0	1	0	1	UDIRn	TXDLVn								
UDIRn		転送方向モード (MSB/LSB) の指定														
0		転送データ先頭ビットMSB														
1		転送データ先頭ビットLSB														
UDIRnビットの書き換えは、アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn0) のTXEn, RXEnビット = 0のときに行ってください。																
TXDLVn		TXDn端子からの出力レベルの非反転 / 反転の指定														
0		通常出力 (スタート・ビットはロウ・レベル)														
1		反転出力 (スタート・ビットはハイ・レベル)														
TXDLVnビットの書き換えは、ASIMn0レジスタのTXEnビット = 0のときに行ってください。																

16.4.5 受信バッファ・レジスタn (RXBn)

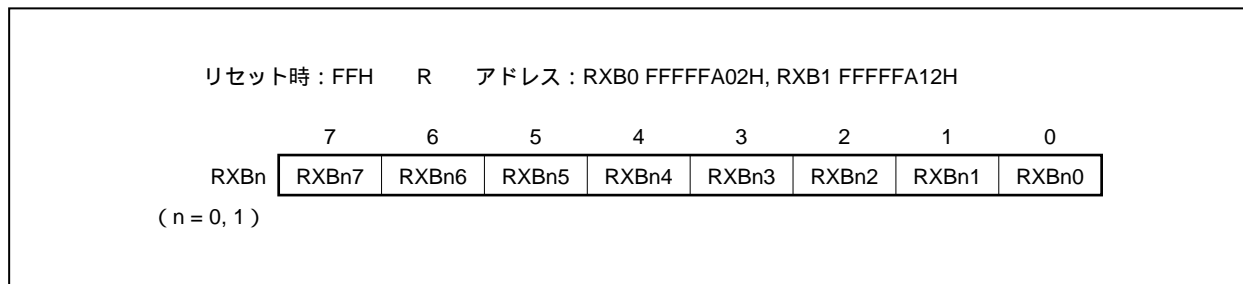
RXBnレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

受信許可状態のとき（アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のRXEnビット = 1）、受信データは1フレーム分のシフト・イン処理終了時に同期して、受信シフト・レジスタからRXBnレジスタに転送されます。また、RXBnレジスタへの転送により、受信完了割り込み要求信号（INTSRn）が発生します。発生するタイミングについては16.6(4) **受信動作**を参照してください。

受信禁止状態のとき（ASIMnレジスタのRXEnビット = 0）、1フレーム分のシフト・イン処理が終了してもRXBnレジスタへの転送は処理されず、RXBnレジスタの内容は保持されます。また、INTSRn信号も発生しません。

データ長を7ビットに指定した場合、受信データはRXBnレジスタのビット6-0に転送され、MSB（ビット7）は必ず0になります。また、オーバラン・エラー（OVEn）が発生した場合、そのときの受信データはRXBnレジスタに転送されません。

リセット入力以外に、ASIMnレジスタのUARTCAEnビット = 0によってもRXBnレジスタはFFHになります。8ビット単位でリードだけ可能です。



16.4.6 送信バッファ・レジスタn (TXBn)

TXBnレジスタは、送信データを設定するための8ビット・バッファ・レジスタです。

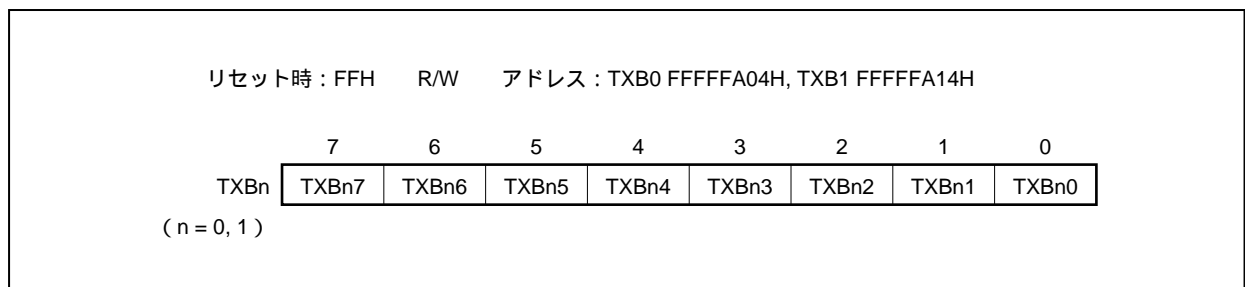
送信許可状態のとき（アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のTXEnビット = 1）、TXBnレジスタにデータを書き込むことで送信動作が開始されます。

送信禁止状態のとき（ASIMnレジスタのTXEnビット = 0）、TXBnレジスタにデータを書き込んでも値は無視されます。

TXBnレジスタのデータが送信シフト・レジスタに転送され、送信シフト・レジスタから1フレーム分の送出終了に同期して送信完了割り込み要求信号 (INTSTn) を発生します。発生するタイミングについては16.6(2) **送信動作**を参照してください。

アシクロナス・シリアル・インタフェース送信ステータス・レジスタn (ASIFn) のTXBFnビット = 1のときは、TXBnレジスタへの書き込みは行わないでください。

8ビット単位でリード/ライト可能可能です。



16.5 割り込み要求

UARTnからは次の3種類の割り込み要求を発生します。

- ・受信エラー割り込み (INTSREn)
- ・受信完了割り込み (INTSRn)
- ・送信完了割り込み (INTSTn)

これら3種類の割り込み要求のデフォルト優先順位は受信エラー割り込みが最も高く、受信完了割り込み、送信完了割り込みの順に低くなります。

表16 - 1 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	1
受信完了	2
送信完了	3

(1) 受信エラー割り込み (INTSREn)

受信許可状態で、アシクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) で説明した3種類の受信エラーの論理和 (OR) で受信エラー割り込みを発生します。アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のISRMnビットにより、エラー発生時に受信エラー割り込み (INTSREn) を発生させるか、受信完了割り込み (INTSRn) を発生させるかを指定できます。

受信禁止状態中は、受信エラー割り込みは発生しません。

(2) 受信完了割り込み (INTSRn)

受信許可状態で、受信シフト・レジスタにデータがシフト・インされ受信バッファ・レジスタ (RXBn) に転送されると受信完了割り込みが発生します。

受信完了割り込み要求は、ASIMnレジスタのISRMnビットにより、受信エラーが起こった場合にも、受信エラー割り込みの代わりとして発生することができます。

受信禁止状態中は、受信完了割り込みは発生しません。

(3) 送信完了割り込み (INTSTn)

送信シフト・レジスタから7ビット/8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされると送信完了割り込みを発生します。

16.6 動作

(1) データ・フォーマット

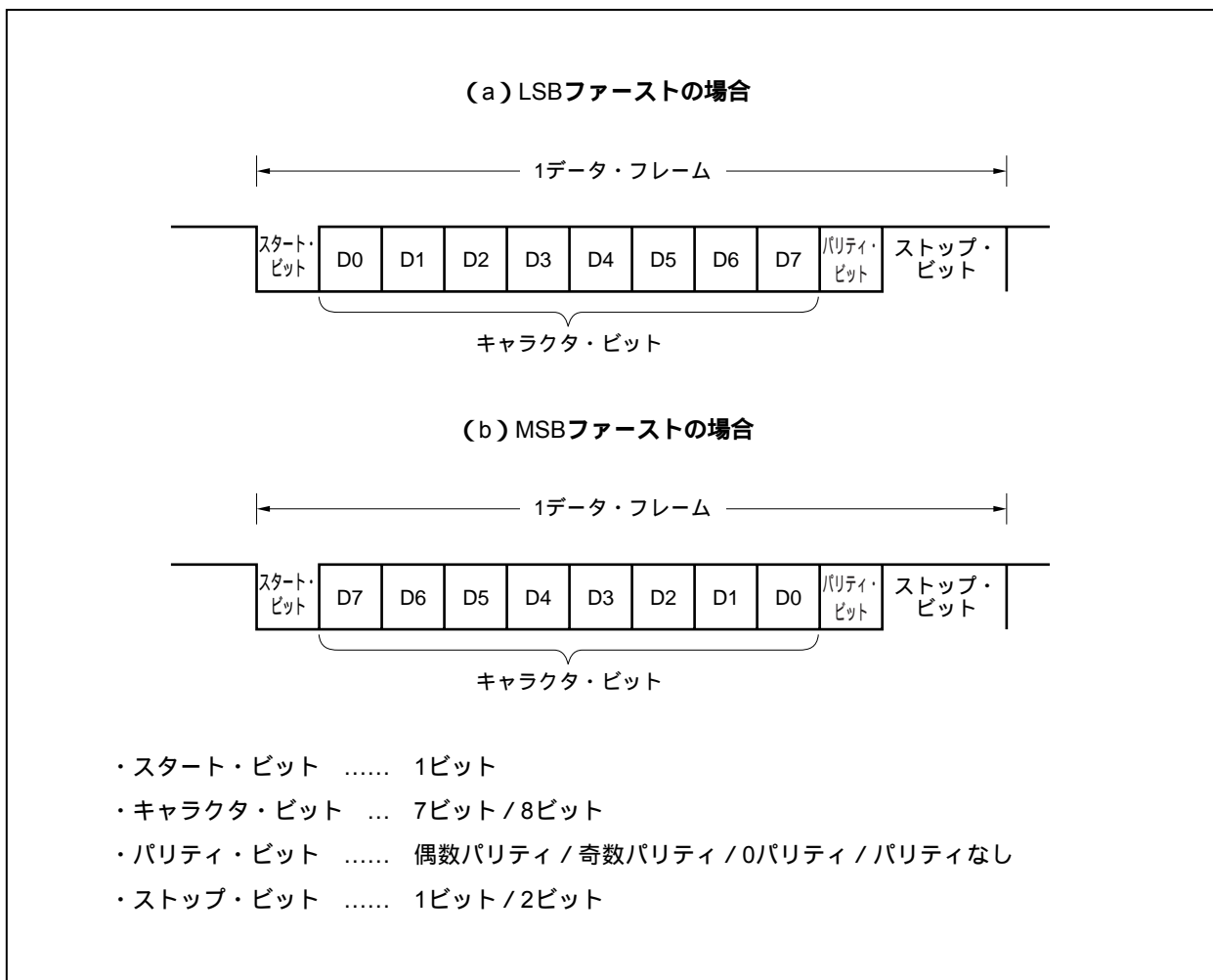
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図16-3に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) によって行います。

また、データはLSBファースト/MSBファーストをASICLnレジスタで設定して転送します。

図16-3 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



(2) 送信動作

ASIMnレジスタのUARTCAEnビット = 1にすることにより、TXDn端子はハイ・レベルを出力します。

次にASIMnレジスタのTXEnビット = 1にすると送信許可状態になり、送信バッファ・レジスタn (TXBn) に送信データを書き込むと送信動作が起動します。

(a) 送信許可状態

ASIMnレジスタのTXEnビットで設定します。

- ・ TXEn = 1 : 送信許可状態
- ・ TXEn = 0 : 送信禁止状態

なお、UARTnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

(b) 送信動作の起動

送信許可状態では、TXBnレジスタに送信データを書き込むと送信動作が起動します。送信動作の開始により、TXBnレジスタ内のデータが送信シフト・レジスタに転送されます。そのあと、送信シフト・レジスタはTXDn端子にデータを出力します (スタート・ビットから順に送信されます)。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

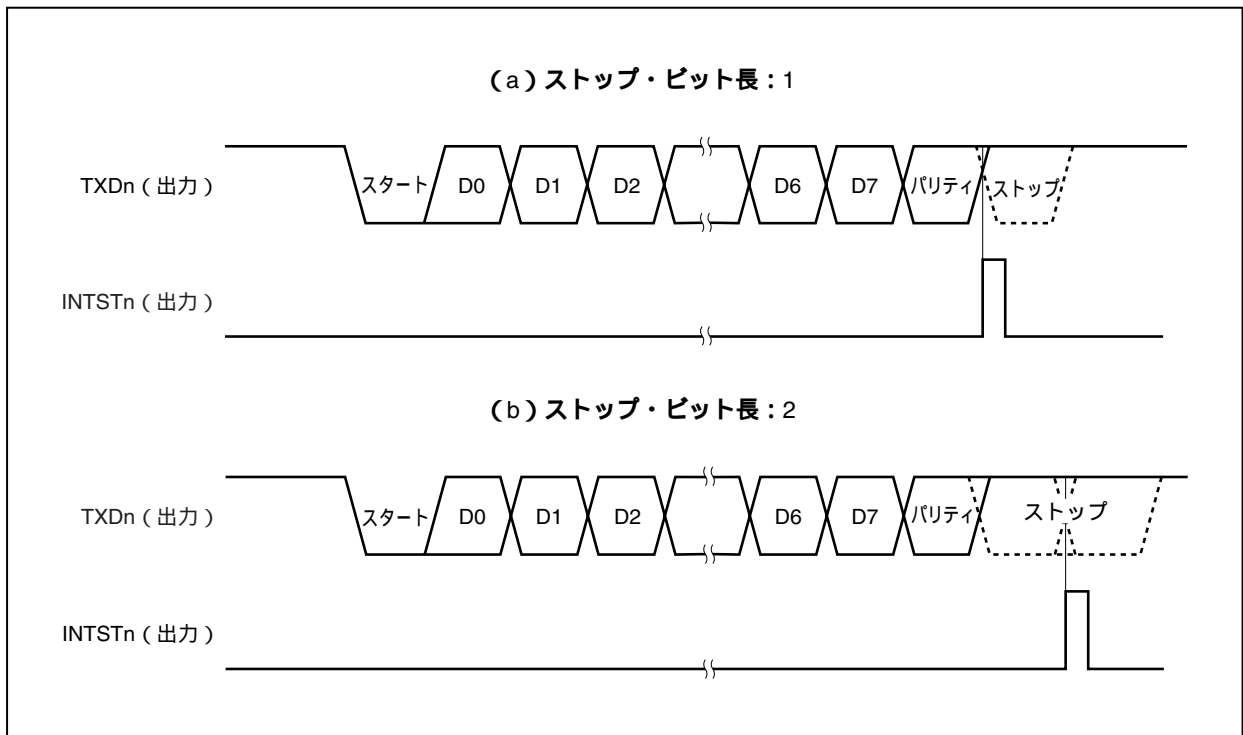
(c) 送信割り込み要求

送信シフト・レジスタが空になると送信完了割り込み要求信号 (INTSTn) が発生します。ストップ・ビット長の指定により、INTSTn信号の発生タイミングが異なります。INTSTn信号は、最後のストップ・ビット出力と同時に発生します。

次に送信するデータをTXBnレジスタに書き込まなければ、送信動作は中断されます。

注意 通常、送信シフト・レジスタが空になったときにINTSTn信号が発生します。しかし、 $\overline{\text{RESET}}$ 入力により送信シフト・レジスタが空になった場合、INTSTn信号は発生しません。

図16 - 4 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



(d) TXDn端子出力のレベル反転

TXDn端子出力レベルを反転しないか反転するかの制御は、アシクロナス・シリアル・インタフェース・コントロール・レジスタn (ASICLn) のTXDLVnビットで選択します。

TXDLVnビットの設定により、TXDn端子から出力されるレベルは、表16 - 2のようになります。

表16 - 2 TXDn端子の出力レベル

TXDn端子出力		反転しない (TXDLVn = 0)	反転する (TXDLVn = 1)
送信待ち		H	L
スタート・ビット		L	H
送信データ		TXBnレジスタのデータ	TXBnレジスタの反転データ
パリティ・ビット	0パリティ	L	H
	奇数パリティ	L/H	H/L
	偶数パリティ	L/H	H/L
ストップ・ビット		H	L

備考 H：ハイ・レベル出力

L：ロウ・レベル出力

(e) 転送データの先頭切り換え

転送データのMSB/LSBファースト切り替えの制御は、ASICLnレジスタのUDIRnビットで選択します。

UDIRnビットの設定により、TXBnレジスタからTXDn端子に出力される転送データの対応表を次に示します。

表16 - 3 転送方向のモード切り替え

TXBnレジスタのデータ (ビット7 ビット0の順)		D7	D6	D5	D4	D3	D2	D1	D0
TXDn端子 (データ出力の順)	LSB (UDIRn = 1)	D0	D1	D2	D3	D4	D5	D6	D7
	MSB (UDIRn = 0)	D7	D6	D5	D4	D3	D2	D1	D0

(3) 連続送信動作

UARTnは、送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをTXBnレジスタへ書き込むことができます。これにより、1データ・フレーム送信後のINTSTn割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、INTSTn信号発生後にアシクロナス・シリアル・インタフェース送信ステータス・レジスタn (ASIFn) のTXSFnビットを読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回(2バイト)のTXBnレジスタへの書き込みができます。

連続送信する場合は、必ずASIFnレジスタのTXBFnビットを参照し、送信状態とTXBnレジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

TXBFn	TXBnレジスタへの書き込み可否
0	書き込み可
1	書き込み不可

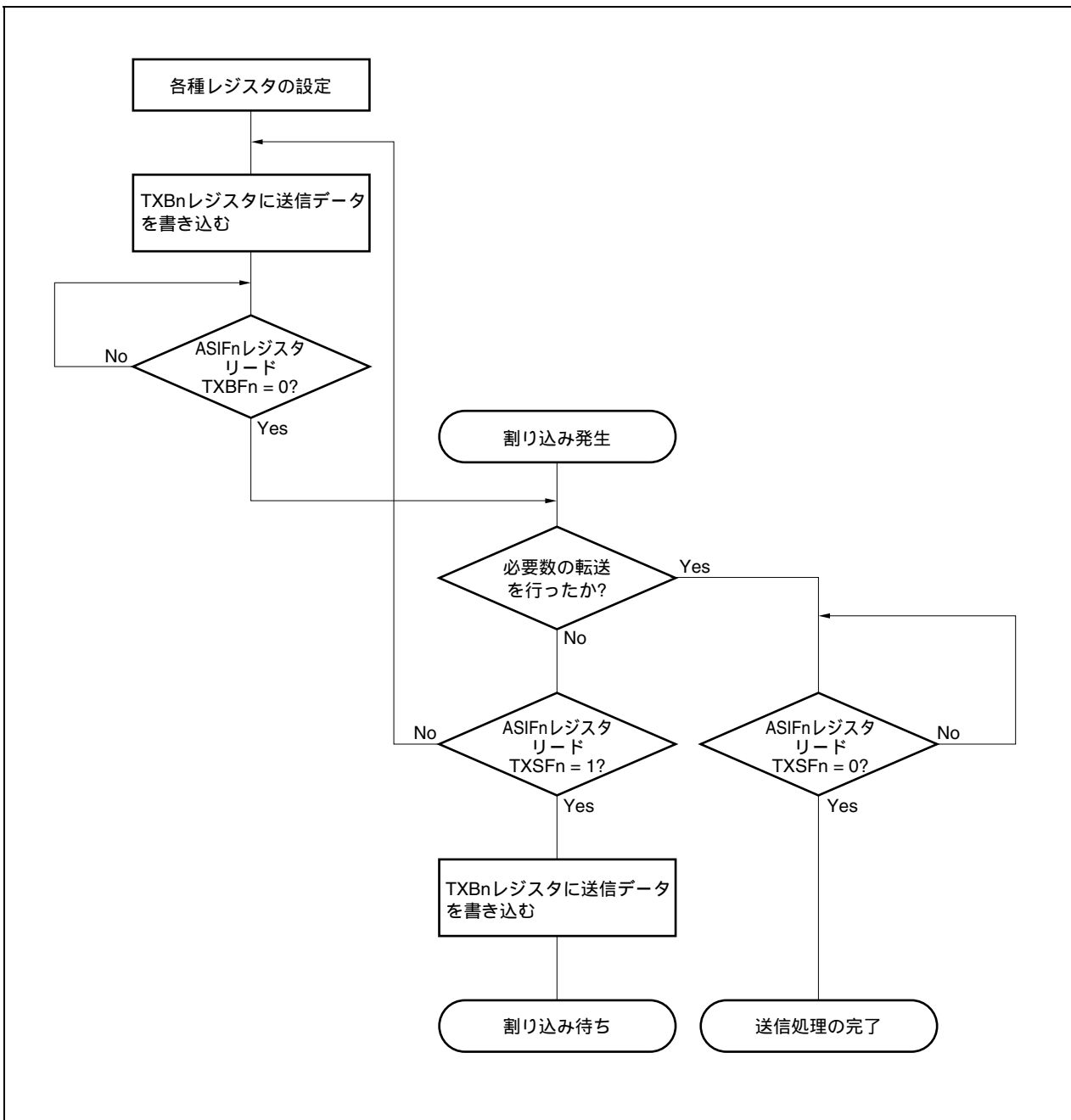
注意 連続送信を行う場合は、最初の送信データ(1バイト目)をTXBnレジスタに書き込んだあと、必ずTXBFnビットが“0”であることを確認してから次の送信データ(2バイト目)をTXBnレジスタに書き込んでください。TXBFnビットが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。

連続送信実行中は、INTSTn信号発生後にTXSFnビットを確認することで、以降のTXBnレジスタへの書き込みを判断できます。

TXSFn	送信状態
0	送信が終了しています。ただしTXBFnビットの注意事項を満たす必要があります。2回(2バイト)の送信データ書き込みができます。
1	送信中です。1回(1バイト)の送信データ書き込みができます。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXBFnビットが“0”であることを確認してから初期化を実行してください。TXBFnビットが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTSTn割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSFnビットを参照することで検出できます。

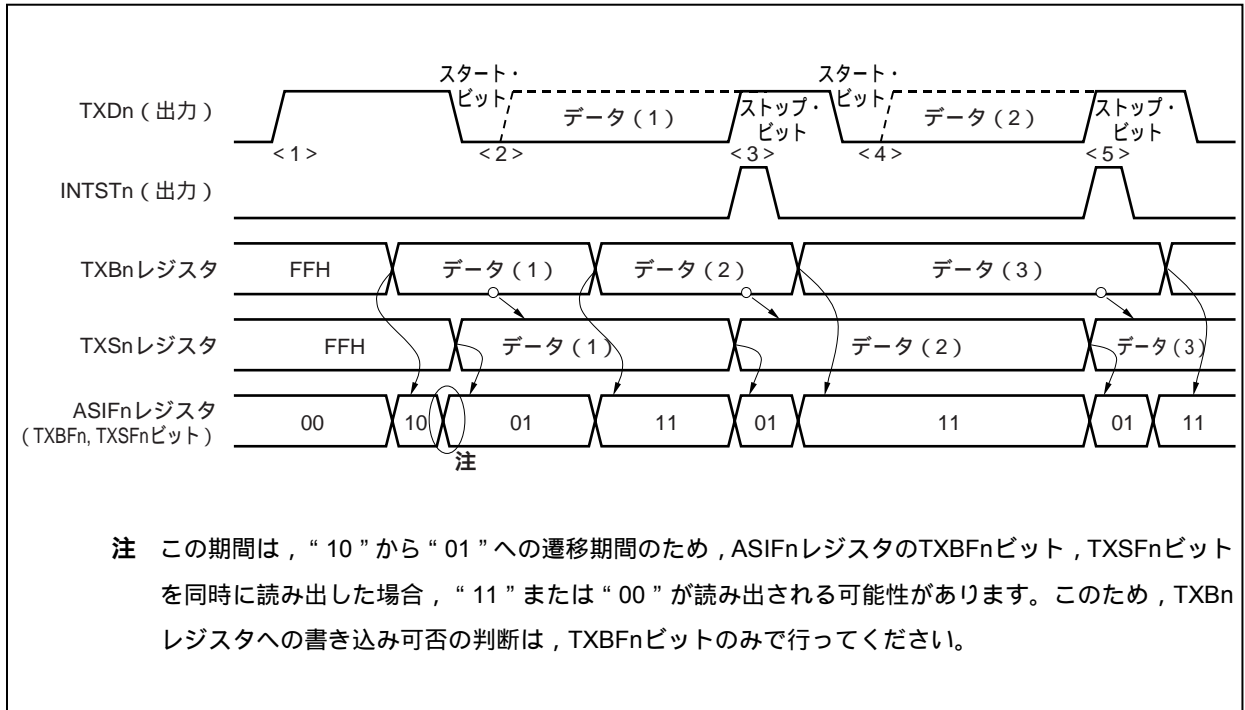
図16 - 5 連続送信の処理フロー



(a) 開始手順

連続送信を開始する手順を次に示します。

図16 - 6 連続送信の開始手順



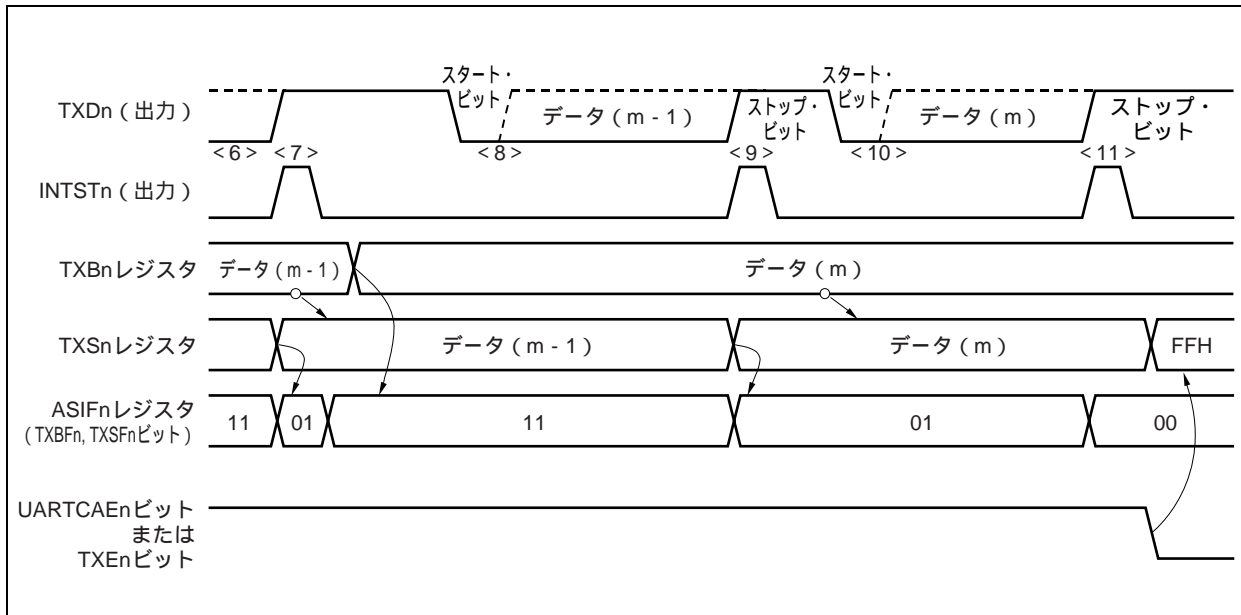
送信開始手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
送信モード設定	<1> 送信ユニットの起動	0	0
データ(1)の書き込み		1	0
	<2> スタート・ビットの生成	1	1/0 ^注
		0	1/0 ^注
	データ(1)送信スタート	0	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)		<u>0</u>	1
データ(2)の書き込み		1	1
	<<送信中>>		
	<3> INTSTn割り込み発生	0	1
ASIFnレジスタのリード (TXBFnビット = nを確認する)		<u>0</u>	1
データ(3)の書き込み		1	1
	<4> スタート・ビットの生成 データ(2)送信スタート <<送信中>>		
	<5> INTSTn割り込み発生	0	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)		<u>0</u>	1
データ(4)の書き込み		1	1

注 遷移期間

(b) 終了手順

連続送信を終了する手順を次に示します。

図16-7 連続送信の終了手順



送信終了手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
ASIFnレジスタのリード (TXBFnビット = 0を確認する) ← データ (m) の書き込み →	<6> データ (m - 2) の送信中	1	1
	<7> INTSTn割り込み発生 →	0	1
		<u>0</u>	1
ASIFnレジスタのリード (TXSFnビット = 1を確認する) ← 書き込みデータはなし	<8> スタート・ビットの生成 データ (m - 1) 送信スタート <<送信中>>	1	1
	<9> INTSTn割り込み発生 →	0	1
		0	<u>1</u>
ASIFnレジスタのリード (TXSFnビット = 0を確認する) ← UARTCAEnビットまたはTXEnビットをクリア (0)	<10> スタート・ビットの生成 データ (m) 送信スタート <<送信中>>		
	<11> INTSTn割り込み発生 →	0	0
		0	<u>0</u>
	内部回路の初期化		

(4) 受信動作

ASIMnレジスタのUARTCAEnビット = 1にし、次にASIMnレジスタのRXEnビット = 1にすることにより、受信待ち状態になります。RXDn端子のサンプリングを開始し、スタート・ビットの検出を行います。スタート・ビットを検出すると受信動作を開始し、設定されたボー・レートにあわせて、順に受信シフト・レジスタに格納していきます。1フレームのデータ受信が終了するごとに受信完了割り込み要求信号 (INTSRn) が発生します。通常、この割り込み処理で受信バッファ・レジスタn (RXBn) からメモリに受信データを転送します (n = 0, 1)。

転送データのMSB/LSBファースト切り替えの制御は、ASICLnレジスタのUDIRnビットで選択します。UDIRnビットの設定により、RXDn端子からRXBnレジスタに入力される転送データの対応表を次に示します。

表16 - 4 転送方向のモード切り替え

RXBnレジスタのデータ (ビット7 ビット0の順)		D7	D6	D5	D4	D3	D2	D1	D0
RXDn端子 (データ入力の場合)	LSB (UDIRn = 1)	D0	D1	D2	D3	D4	D5	D6	D7
	MSB (UDIRn = 0)	D7	D6	D5	D4	D3	D2	D1	D0

(a) 受信許可状態

受信動作はASIMnレジスタのRXEnビットをセット(1)することにより、受信許可状態となります。

- ・ RXEnビット = 1 : 受信許可状態
- ・ RXEnビット = 0 : 受信禁止状態

ただし、クロック同期式シリアル・インタフェース0, 1 (CSI0, CSI1) と兼用となっているUART0, UART1を使用するときは、クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 (CSIM0, CSIM1) のCSICAEnビットを0に設定し、CSIInの動作を禁止したあと、受信許可状態にしてください (n = 0, 1)。

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信完了割り込み / 受信エラー割り込みは発生せず、RXBnレジスタの内容は保持されます。

(b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ボー・レート・ジェネレータn (BRGn) からのシリアル・クロックでRXDn端子をサンプリングします。

(c) 受信完了割り込み要求

ASIMnレジスタのRXEnビット = 1のとき、1フレーム分のデータの受信が完了（ストップ・ビットの検出）すると、INTSRn信号が発生すると同時に、受信シフト・レジスタ内の受信データをRXBnレジスタに転送します。

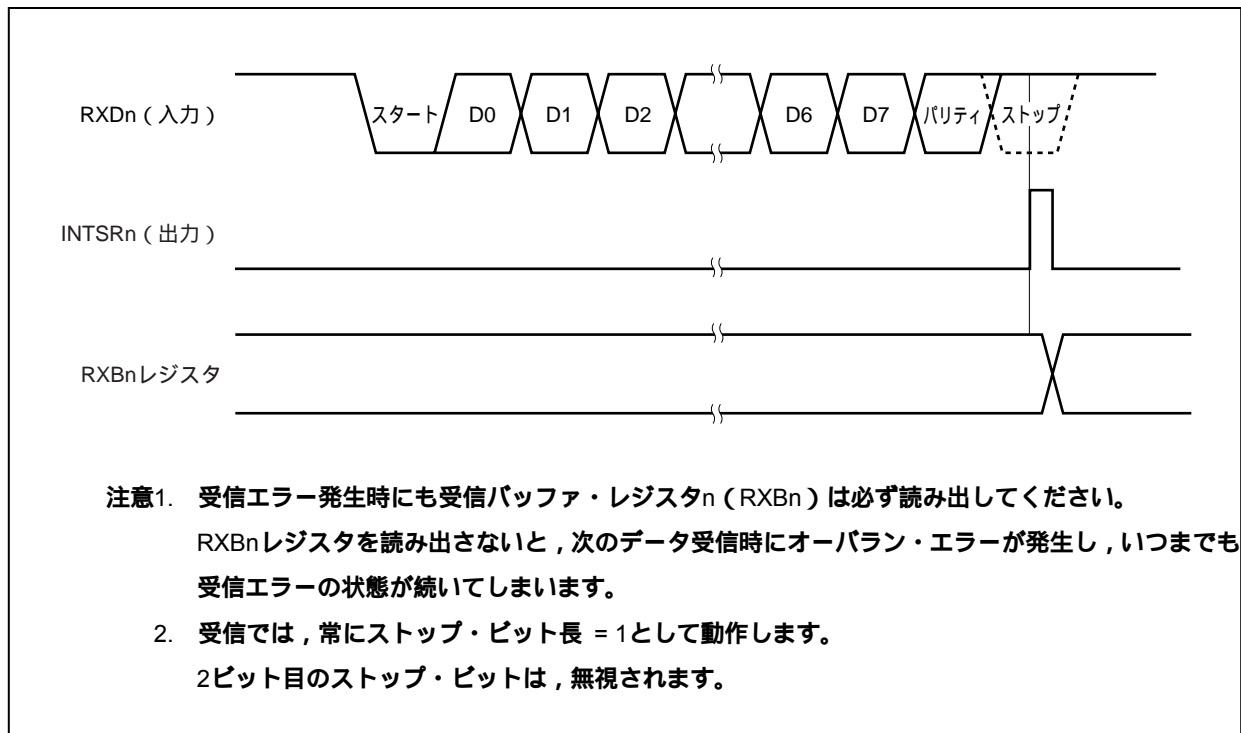
また、オーバーラン・エラー（OVer）が発生した場合、そのときの受信データは、RXBnレジスタに転送されず、ASIMnレジスタのISRMnビットの設定に従って、INTSRn信号、または受信エラー割り込み要求信号（INTSERn）が発生します。

なお、受信動作中にパリティ・エラー（PEn）、またはフレーミング・エラー（FEn）が発生した場合でも、ストップ・ビットの受信位置までは、受信動作を継続し、受信完了後にASIMnレジスタのISRMnビットの設定に従って、INTSRn信号、またはINTSERn信号が発生します（受信シフト・レジスタ内の受信データはRXBnレジスタに転送されます）。

また、受信動作中にRXEnビットをリセット（0）すると、すぐに受信動作を停止します。このときRXBnレジスタとアシクロナス・シリアル・インタフェース・ステータス・レジスタn（ASISn）の内容は変化せず、INTSRn信号、またはINTSERn信号は発生しません。

RXEnビット = 0（受信禁止）では、INTSRn信号は発生しません。

図16 - 8 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



(5) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、ASISnレジスタの各フラグがセット(1)されると同時に、受信エラー割り込み要求信号(INTSERn)、または受信完了割り込み要求信号(INTSRn)が発生します。INTSERn信号またはINTSRn信号のどちらかを発生させるかは、ASIMnレジスタのISRMnビットで指定します。

INTSERn/INTSRn割り込み処理内で、ASISnレジスタの内容を読み出すことによって、受信時に発生したエラーの内容を検出することができます。

ASISnレジスタの内容は、ASISnレジスタの読み出しによってリセット(0)されます。

表16-5 受信エラーの要因

エラー・フラグ	受信エラー	要 因
PEn	パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
FEn	フレーミング・エラー	ストップ・ビットが検出されない
OVEEn	オーバラン・エラー	受信バッファ・レジスタn (RXBn) からデータを読み出す前に次のデータ受信が完了

(a) 受信エラー割り込みの分離

ASIMnレジスタのISRMnビットをリセット(0)することにより、受信エラー割り込みをINTSRn割り込みと分離し、INTSERn割り込みとして発生させることができます。

図16-9 受信エラー割り込みを受信完了割り込み(INTSRn)から分離する場合(ISRMnビット = 0)

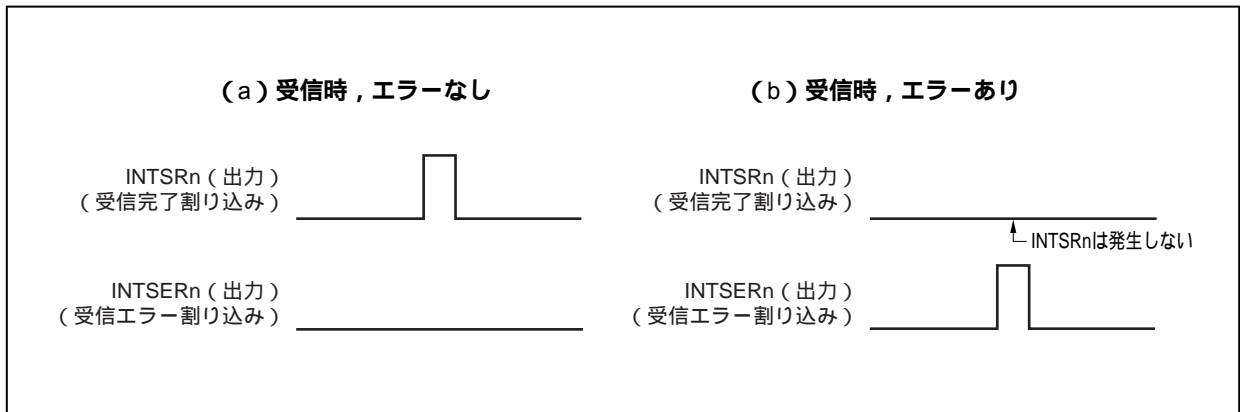
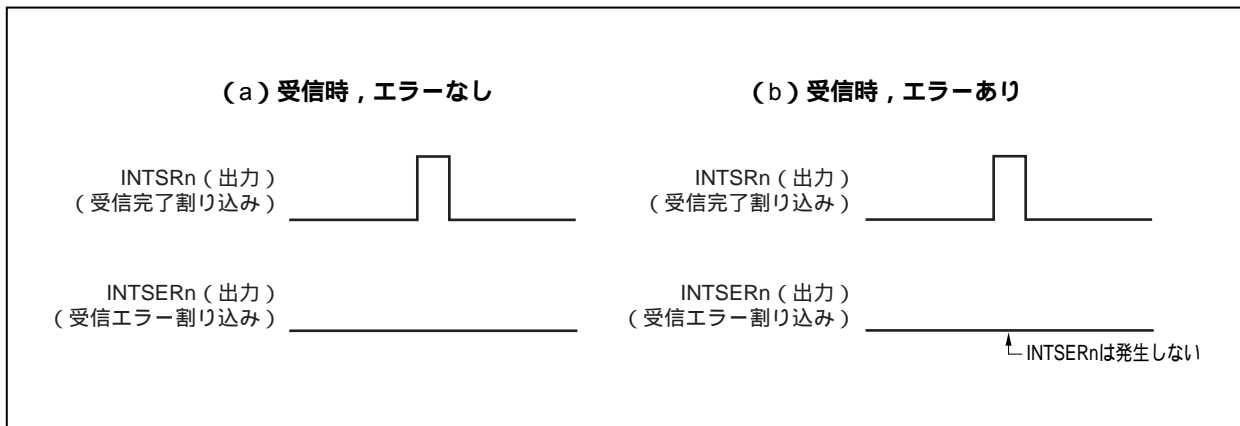


図16-10 受信エラー割り込みも受信完了割り込み(INTSRn)に含める場合(ISRMnビット = 1)



(6) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

(a) 偶数パリティ**(i) 送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ**(i) 送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(7) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロック (Clock) の立ち上がりでRXDn信号をサンプリングします。サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図16 - 12参照)。基本クロックについては16. 7. 1 (1) 基本クロック (Clock) を参照してください。

また、回路は図16 - 11のようになっているため、受信動作の内部での処理は、外部の信号状態により最大2クロック分遅れて動作することになります。

図16 - 11 ノイズ・フィルタ回路

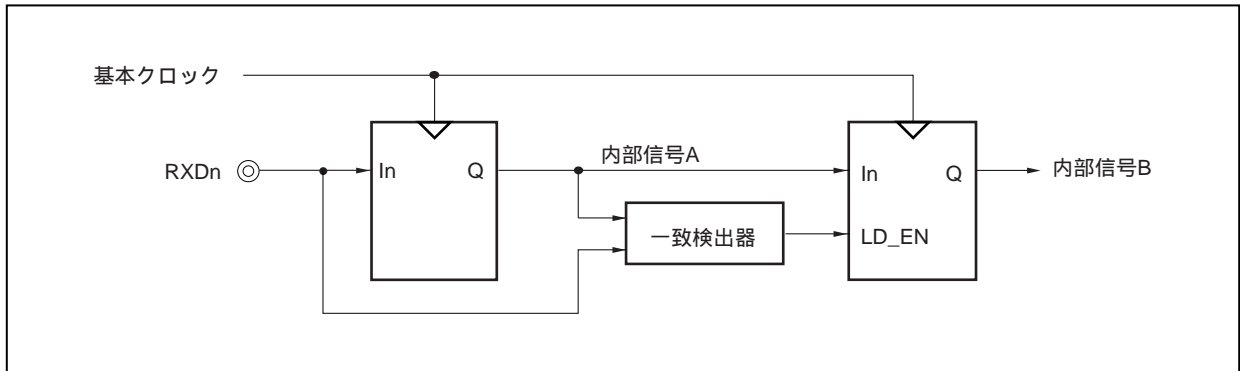
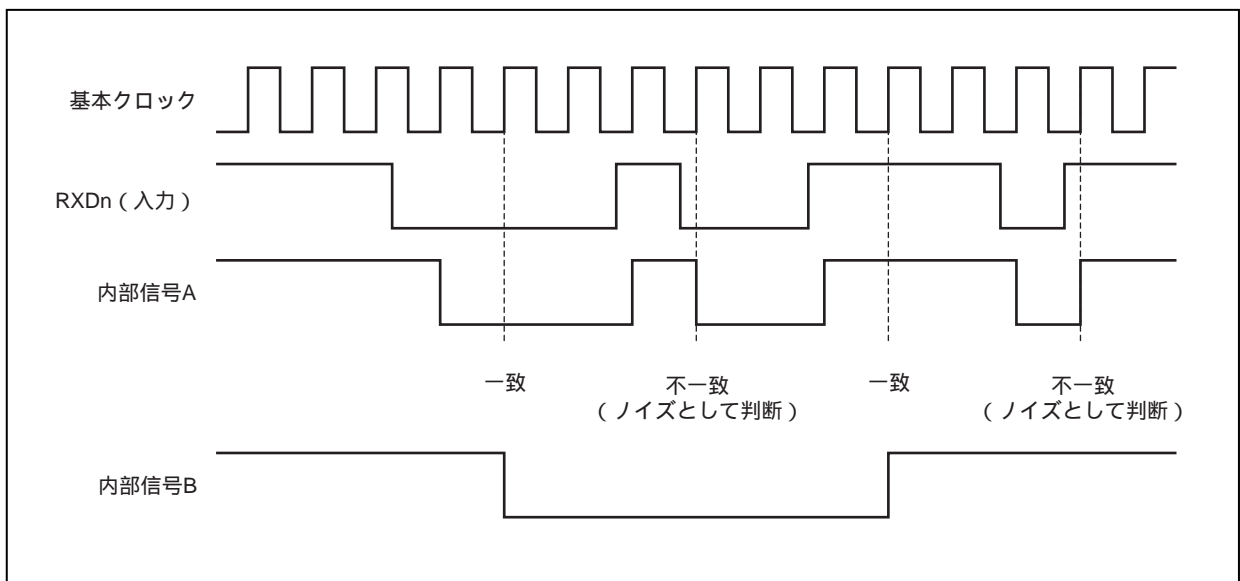


図16 - 12 ノイズとして判断されるRXDn信号のタイミング



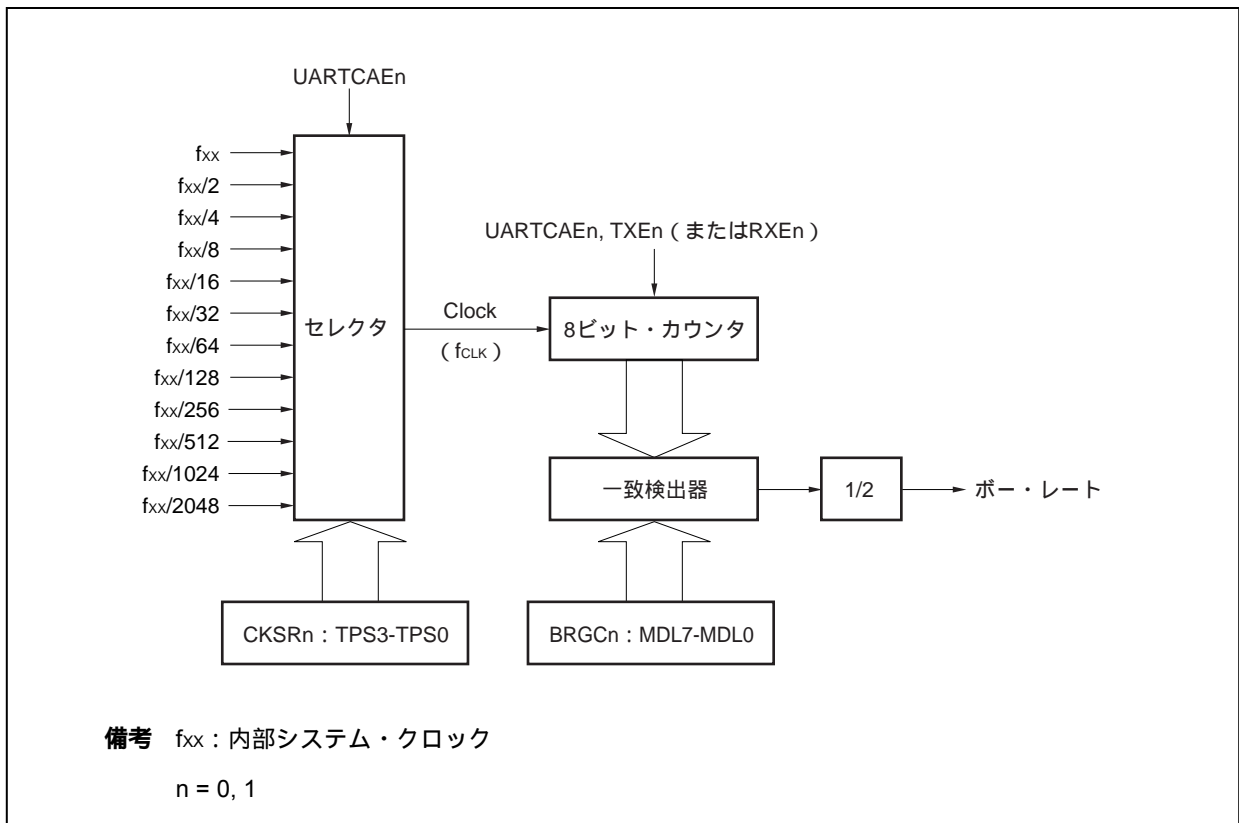
16.7 専用ポー・レート・ジェネレータn (BRGn)

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

16.7.1 ポー・レート・ジェネレータn (BRGn) の構成

図16-13 ポー・レート・ジェネレータn (BRGn) の構成



(1) 基本クロック (Clock)

アシクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) のUARTCAEnビット = 1 のとき、クロック選択レジスタn (CKSRn) のTPS3-TPS0ビットで選択したクロックを送信/受信ユニットに供給します。このクロックを基本クロック (Clock) と呼び、その周波数を f_{CLK} と呼びます。UARTCAEnビット = 0のときは、Clockはロウ・レベルに固定となります。

16.7.2 シリアル・クロックの生成

クロック選択レジスタn (CKSRn) とボー・レート・ジェネレータ・コントロール・レジスタn (BRGCn) の設定により, シリアル・クロックを生成できます。

CKSRnレジスタのTPS3-TPS0ビットにより, 8ビット・カウンタへの基本クロックを選択します。

BRGCnレジスタのMDL7-MDL0ビットにより, 8ビット・カウンタの分周値を設定できます。

(1) クロック選択レジスタn (CKSRn)

CKSRnレジスタは, TPS3-TPS0ビットにより, 基本クロックを選択するための8ビット・レジスタです。TPS3-TPS0ビットで選択されたクロックが, 送受信モジュールの基本クロック (Clock) になります。その周波数を f_{CLK} と呼びます。

8ビット単位でリード/ライト可能です。

注意 TPS3-TPS0ビットを書き換える場合は, ASIMnレジスタのUARTCAEnビット = 0にしてから行ってください。

リセット時: 00H R/W アドレス: CKSR0 FFFFFFFA06H, CKSR1 FFFFFFFA16H

	7	6	5	4	3	2	1	0
CKSRn	0	0	0	0	TPSn3	TPSn2	TPSn1	TPSn0

(n = 0, 1)

TPSn3	TPSn2	TPSn1	TPSn0	受信動作
0	0	0	0	f_{xx}
0	0	0	1	$f_{xx}/2$
0	0	1	0	$f_{xx}/4$
0	0	1	1	$f_{xx}/8$
0	1	0	0	$f_{xx}/16$
0	1	0	1	$f_{xx}/32$
0	1	1	0	$f_{xx}/64$
0	1	1	1	$f_{xx}/128$
1	0	0	0	$f_{xx}/256$
1	0	0	1	$f_{xx}/512$
1	0	1	0	$f_{xx}/1024$
1	0	1	1	$f_{xx}/2048$
上記以外				設定禁止

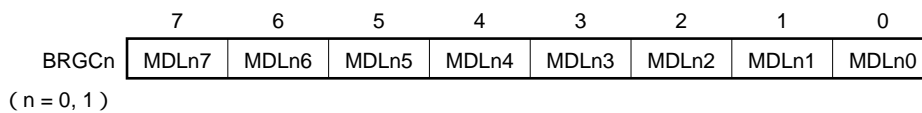
(2) ボー・レート・ジェネレータ・コントロール・レジスタn (BRGCn)

BRGCnレジスタは、UARTnのボー・レート（シリアル転送スピード）を制御する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

注意 MDLn7-MDLn0ビットを書き換える場合は、ASIMnレジスタのTXEnビット = 0, RXEnビット = 0にしてから行ってください。

リセット時：FFH R/W アドレス：BRGC0 FFFFFFFA07H, BRGC1 FFFFFFFA17H



MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0	設定値 (k)	シリアル・クロック
0	0	0	0	0	0	x	x	-	設定禁止
0	0	0	0	0	1	0	0	4	f _{XCLK} /4
0	0	0	0	0	1	0	1	5	f _{XCLK} /5
0	0	0	0	0	1	1	0	6	f _{XCLK} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	0	1	0	250	f _{XCLK} /250
1	1	1	1	1	0	1	1	251	f _{XCLK} /251
1	1	1	1	1	1	0	0	252	f _{XCLK} /252
1	1	1	1	1	1	0	1	253	f _{XCLK} /253
1	1	1	1	1	1	1	0	254	f _{XCLK} /254
1	1	1	1	1	1	1	1	255	f _{XCLK} /255

備考1. f_{XCLK} : CKSRnレジスタのTPSn3-TPSn0ビットで選択した基本クロック (Clock) の周波数 [Hz]

2. k : MDLn7-MDLn0ビットで設定した値 (k = 4, 5, 6, ... , 255)
3. 8ビット・カウンタの出力クロックを2分周したものがボー・レートとなります。
4. x : 任意

(3) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \text{ [bps]}$$

f_{CLK} = CKSRnレジスタのTPSn3-TPSn0ビットで選択した基本クロック (Clock) の周波数 [Hz]

k = BRGCnレジスタのMDLn7-MDLn0ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

(4) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内になしてください。

- 2.** 受信時のボー・レート誤差は、16. 7. 4 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロック (Clock) の周波数 = 20 MHz = 20,000,000 Hz

BRGCnレジスタのMDLn7-MDLn0ビットの設定値 = 01100101B ($k = 65$)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 20 \text{ M} / (2 \times 65) \\ &= 20000000 / (2 \times 65) = 153846 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (153846/153600 - 1) \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

16.7.3 ボー・レート設定例

表16-6 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f _{xx} = 10 MHz			f _{xx} = 20 MHz			f _{xx} = 27 MHz			f _{xx} = 40.5 MHz		
	f _{XCLK}	k	ERR	f _{XCLK}	k	ERR	f _{XCLK}	k	ERR	f _{XCLK}	k	ERR
300	f _{xx} /256	65	0.16	f _{xx} /512	65	0.16	f _{xx} /2048	22	- 0.12	f _{xx} /2048	33	- 0.12
600	f _{xx} /128	65	0.16	f _{xx} /256	65	0.16	f _{xx} /2048	11	- 0.12	f _{xx} /1024	33	- 0.12
1200	f _{xx} /64	65	0.16	f _{xx} /128	65	0.16	f _{xx} /1024	11	- 0.12	f _{xx} /512	33	- 0.12
2400	f _{xx} /32	65	0.16	f _{xx} /64	65	0.16	f _{xx} /512	11	- 0.12	f _{xx} /256	33	- 0.12
4800	f _{xx} /16	65	0.16	f _{xx} /32	65	0.16	f _{xx} /256	11	- 0.12	f _{xx} /128	33	- 0.12
9600	f _{xx} /8	65	0.16	f _{xx} /16	65	0.16	f _{xx} /128	11	- 0.12	f _{xx} /64	33	- 0.12
19200	f _{xx} /4	65	0.16	f _{xx} /8	65	0.16	f _{xx} /64	11	- 0.12	f _{xx} /32	33	- 0.12
31250	f _{xx} /32	5	0.00	f _{xx} /64	5	0.00	f _{xx} /16	27	0.00	f _{xx} /8	81	0.00
38400	f _{xx} /2	65	0.16	f _{xx} /4	65	0.16	f _{xx} /32	11	- 0.12	f _{xx} /16	33	- 0.12
76800	f _{xx}	65	0.16	f _{xx} /2	65	0.16	f _{xx} /16	11	- 0.12	f _{xx} /8	33	- 0.12
153600	f _{xx}	33	- 1.36	f _{xx}	65	0.16	f _{xx} /8	11	- 0.12	f _{xx} /4	33	- 0.12
312500	f _{xx} /4	4	0.00	f _{xx} /8	4	0.00	f _{xx}	43	0.47	f _{xx}	65	- 0.31

注意 基本クロック (f_{XCLK}) の許容周波数は最大25 MHzです。

備考 f_{xx} : システム・クロック周波数

f_{XCLK} : 基本クロック

k : BRGCnレジスタのMDLn7-MDLn0ビットの設定値 (n = 0, 1)

ERR : ボー・レート誤差 [%]

16.7.4 受信時の許容ポー・レート範囲

受信の際に、送信先のポー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のポー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図16 - 14 受信時の許容ポー・レート範囲

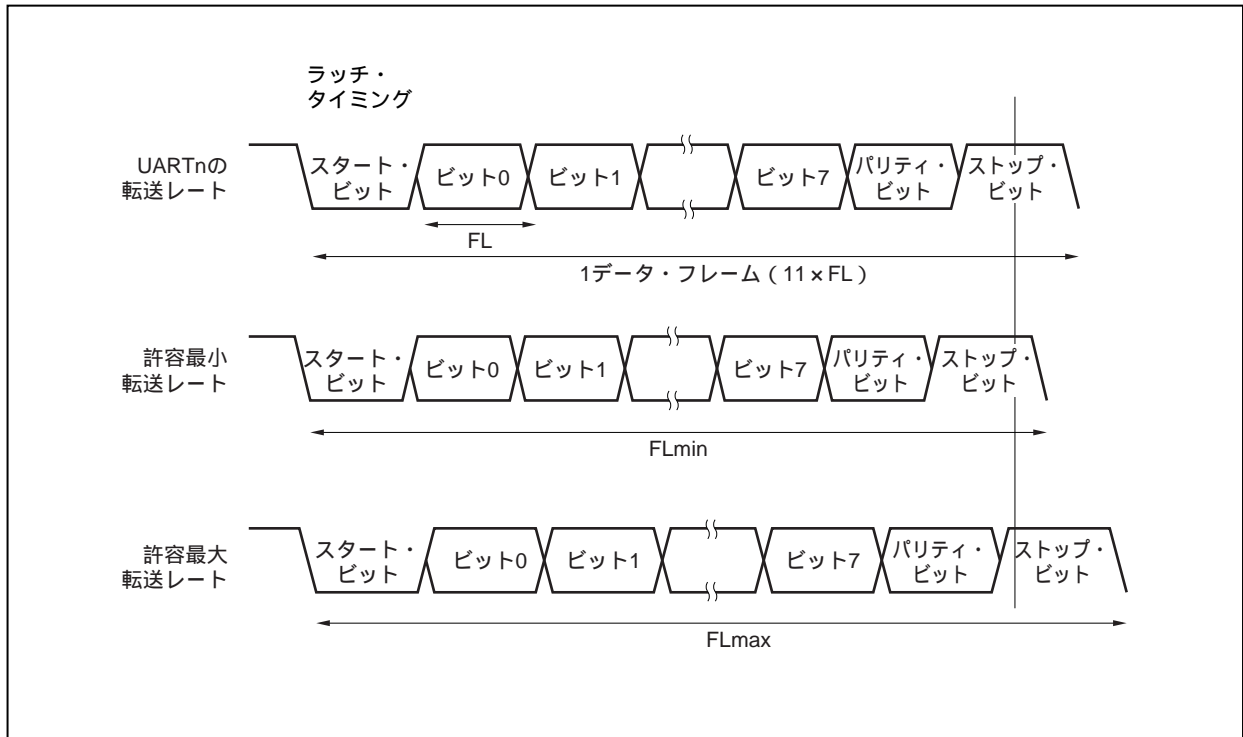


図16 - 14に示すように、スタート・ビット検出後はBRGCnレジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTnのポー・レート

k : BRGCnレジスタの設定値

FL : 1ビット・データ長

ラッチ・タイミングのマーヅンを基本クロック (Clock) の2クロック分とすると、許容最小転送レート (FLmin) は次のようになります。

$$FL_{\min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レート (BRmax) は次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レート (FLmax) を求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FL_{max} = \frac{21k-2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レート (BRmin) は次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表16 - 7 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+ 3.53 %	- 3.61 %
20	+ 4.26 %	- 4.31 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.73 %

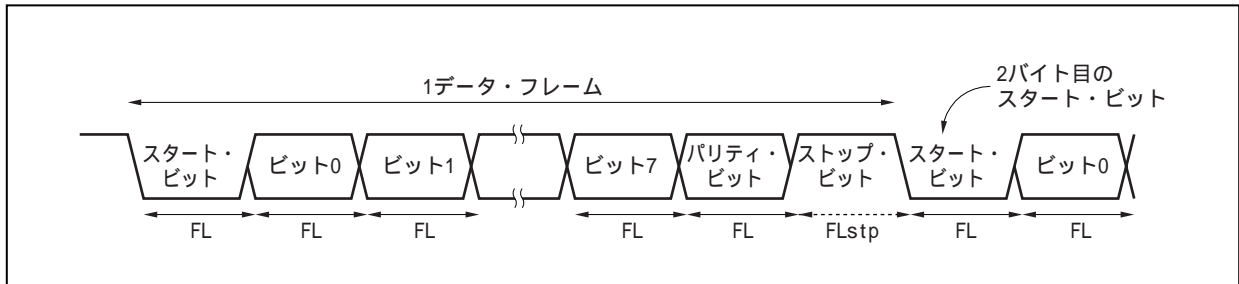
備考1. 受信の精度は、1フレーム・ビット数、基本クロック周波数、分周比 (k) に依存します。基本クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : BRGCnの設定値

16.7.5 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロック (Clock) の2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図16 - 15 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：fCLKとすると次の式が成り立ちます。

$$FLstp = FL + 2 / fCLK$$

したがって、連続送信での転送レートは次のようになります (ストップ・ビット長 = 1の場合)。

$$\text{転送レート} = 11 \times FL + 2 / fCLK$$

16.8 注意事項

UARTnについての注意事項を次に示します。

- (1) UARTnへの供給クロックが停止する場合 (例：IDLE, STOPモード) は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はASIMnレジスタのUARTCAEnビット = 0, RXEnビット = 0, TXEnビット = 0とし、回路を初期化してください。
- (2) UARTnは、送信バッファ・レジスタn (TXBn)，送信シフト・レジスタの2段バッファ構成になっており、それぞれのバッファの状態を示すステータス・フラグ (ASIFnレジスタのTXBFn, TXSFnビット) があります。連続送信でTXBFn, TXSFnビットを同時に読み出した場合、「10」「01」と変化しますが、この変化タイミングはTXBnから送信シフト・レジスタへのデータ遷移期間であるため、タイミングによっては「11」、または「00」が読み出せることがあります。このため、連続送信を行う場合はTXBFnビットのみを読み出してください。

第17章 クロック同期式シリアル・インタフェース_n (CSIn)

17.1 特 徴

高速転送 マスタ・モード時 : 最大5 Mbps (内部システム・クロック : 20 MHz動作時)

スレーブ・モード時 : 最大5 Mbps

半二重通信

マスタ・モードとスレーブ・モードを選択可能

送信データ長 : 8ビット

転送データのMSB先頭 / LSB先頭を切り替え可能

8本のクロック信号を選択可能 (7本のマスタ・クロックと1本のスレーブ・クロック)

3線式 SOn : シリアル・データ出力

SIn : シリアル・データ入力

$\overline{\text{SCKn}}$: シリアル・クロック入出力

割り込みソース1種

・送受信完了割り込み (INTCSIn)

送受信モードと受信専用モードを指定可能

送信バッファ (SOTBn) を内蔵

備考 n = 0-3

17.2 構 成

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIMn) によって、CSInを制御します。送受信データはSIO_nレジスタに書き込み / 読み出しができます。

(1) クロック同期式シリアル・インタフェース・モード・レジスタ0-3 (CSIM0-CSIM3)

CSIMnレジスタは、CSInの動作を指定する8ビット・レジスタです。

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ0-3 (CSIC0-CSIC3)

CSICnレジスタは、CSInの送信動作を制御する8ビット・レジスタです。

(3) シリアルI/Oシフト・レジスタ0-3 (SIO0-SIO3)

SIO_nレジスタは、シリアル・データ / パラレル・データの変換を行う8ビット・レジスタです。SIO_nは送信および受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

SIO_nに対する読み出し / 書き込みにより、実際の送受信動作が制御されます。

(4) クロック同期式シリアル・インタフェース送信バッファ・レジスタ0-3 (SOTB0-SOTB3)

SOTBnレジスタは、送信データを格納する8ビット・バッファ・レジスタです。

(5) セレクタ

使用するシリアル・クロックを選択します。

(6) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また、内部クロック使用時には \overline{SCKn} 端子へ出力するクロックの制御も行います。

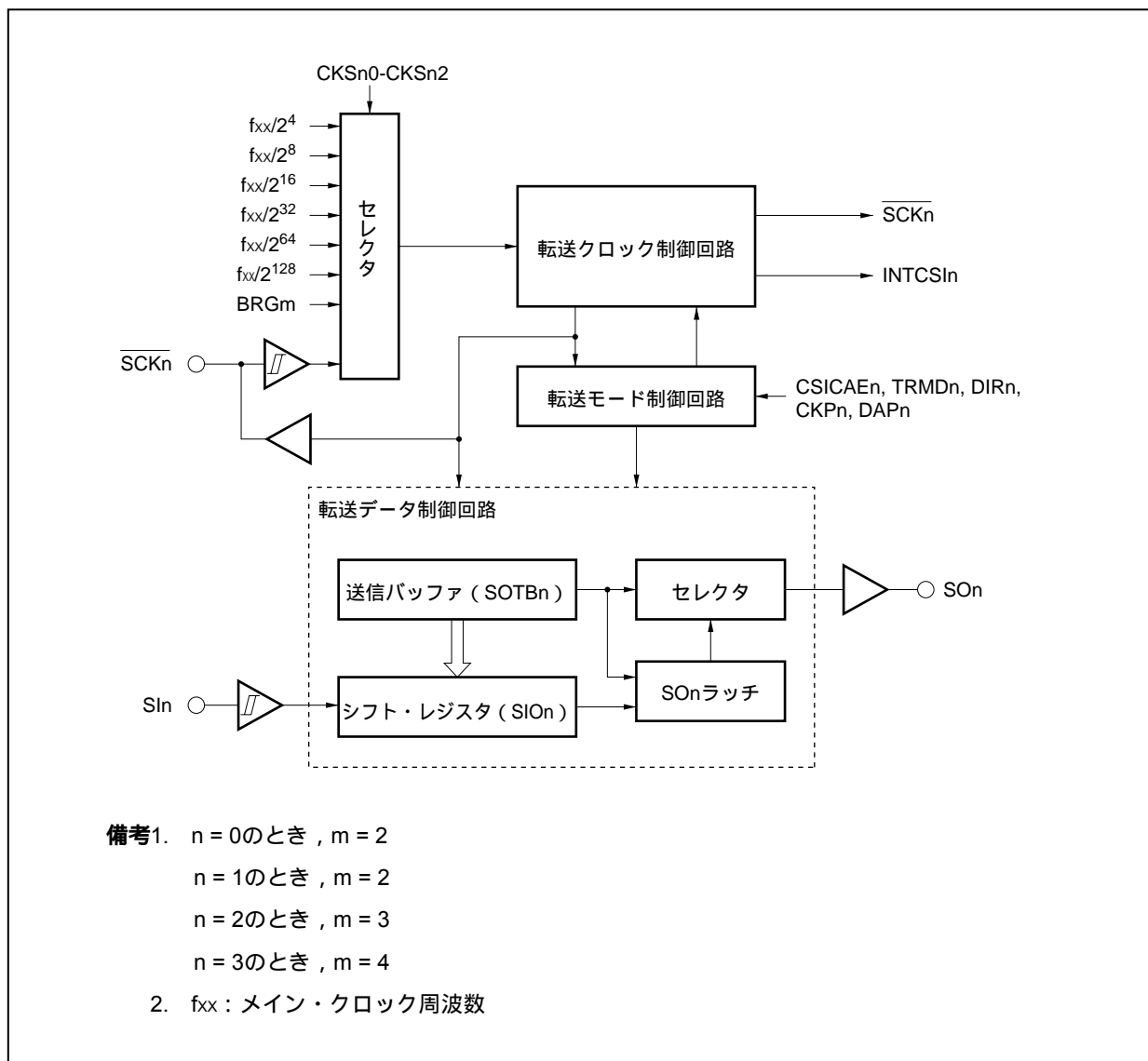
(7) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(8) 割り込み制御回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに、割り込み要求を発生するかしないかを制御します。

図17-1 クロック同期式シリアル・インタフェースのブロック図



17.3 制御レジスタ

17.3.1 クロック同期式シリアル・インタフェース・モード・レジスタ_n (CSIM_n)

CSInの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

注意 CSInを使用する場合には、必ずCSIn機能に関連する外部端子をコントロール・モードに設定し、CSIC_nレジスタを設定したあとCSICAEnビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

備考 n = 0-3

リセット時 : 00H R/W アドレス : CSIM0 FFFFFFFD00H, CSIM1 FFFFFFFD10H,
CSIM2 FFFFFFFD20H, CSIM3 FFFFFFFD30H

	⑦	⑥	5	4	3	2	1	①
CSIMn	CSICAE _n	TRMD _n	0	DIR _n	0	0	0	CSOT _n

CSICAE _n	CSIn動作許可 / 禁止の指定
0	CSIn動作禁止 (SO _n = ロウ・レベル, SCK _n = ハイ・レベル)
1	CSIn動作許可
<ul style="list-style-type: none"> ・ CSICAE_nビット = 0にするとCSInユニットを非同期にリセットします。 ・ CSICAE_nビット = 0のとき, CSInユニットはリセット状態なので, CSInユニットを動作させる場合には, まずCSICAE_nビット = 1にしてください。 ・ CSICAE_nビットを1から0にした場合は, CSInユニットのすべてのレジスタが初期化されます。再度CSIビット = 1にする場合には, 必ずCSInユニットのレジスタを再設定してください 	

TRMD _n	送信モードの指定
0	受信専用モード
1	送受信モード
<ul style="list-style-type: none"> ・ TRMD_nビット = 0なら, 受信だけの転送になります。そして, SO_n端子出力はロウ・レベルに固定されます。SIO_nレジスタの読み出しにより, データ受信を開始します。TRMD_nビット = 1なら, 送受信はSOTB_nレジスタへのデータ書き込みにより開始されます。 ・ TRMD_nビットの書き換えは, CSOT_nビット = 0ときのみ可能です。 	

DIR _n	転送方向モード (MSB/LSB)の指定
0	MSBファースト
1	LSBファースト
<ul style="list-style-type: none"> ・ DIR_nビットの書き換えは, CSOT_nビット = 0ときのみ可能です。 	

CSOT _n	転送状態表示フラグです。
0	アイドル状態
1	転送実行状態
<ul style="list-style-type: none"> ・ 送受信モード (TRMD_nビット = 1) にしてシリアル・データ転送を開始しようとする際にシフト・レジスタ (SIO_n) への書き込みが可能かどうかを判別するための手段として使用します。 ・ CSOT_nビットは, CSICAE_nビットをクリア (0) するとリセットされます。 	

注意 ビット5, 3-1には必ず “ 0 ” を設定してください。

備考 n = 0-3

17.3.2 クロック同期式シリアル・インタフェース・クロック選択レジスタn (CSICn)

CSICnレジスタは、CSInの送信動作を制御する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

注意 CSICnレジスタを変更する場合は、CSIMnレジスタのCSICAEビット = 0にしてから変更してください。

リセット時：00H R/W アドレス：CSIC0 FFFFFFFD01H, CSIC1 FFFFFFFD11H,
CSIC2 FFFFFFFD21H, CSIC3 FFFFFFFD31H

	7	6	5	4	3	2	1	0
CSICn	0	0	0	CKPn	DAPn	CKSn2	CKSn1	CKSn0

CKPn	DAPn	SCKnに対するデータの送受信タイミングの指定
0	0	
0	1	
1	0	
1	1	

CKSn2	CKSn1	CKSn0	入力クロック	モード
0	0	0	f _{xx} /128	マスタ・モード
0	0	1	f _{xx} /64	マスタ・モード
0	1	0	f _{xx} /32	マスタ・モード
0	1	1	f _{xx} /16	マスタ・モード
1	0	0	f _{xx} /8	マスタ・モード
1	0	1	f _{xx} /4	マスタ・モード
1	1	0	BRGm出力 ^{注2}	マスタ・モード
1	1	1	外部クロック (SCKn)	スレーブ・モード

注 n = 0のとき, m = 2
n = 1のとき, m = 2
n = 2のとき, m = 3
n = 3のとき, m = 4

17.3.3 シリアル/Oシフト・レジスタn (SIO_n)

SIO_nレジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。CSIM_nレジスタのTRMD_nビット = 0のとき、SIO_nレジスタを読み出すことにより受信動作が起動します。

リセット入力以外に、CSIM_nレジスタのCSICAE_nビットをクリア (0) しても、SIO_nレジスタは“00H”となります。

データは、MSBまたはLSB側からシフト・イン (受信) またはシフト・アウト (送信) します。

8ビット単位でリードだけ可能です。

注意 アイドル状態中 (CSIM_nレジスタのCSOT_nビット = 0) のときだけ、SIO_nレジスタにアクセスできます。

リセット時 : 00H R アドレス : SIO0 FFFFFFFD02H, SIO1 FFFFFFFD12H,
SIO2 FFFFFFFD22H, SIO3 FFFFFFFD32H

	7	6	5	4	3	2	1	0
SIO _n	SIO _n 7	SIO _n 6	SIO _n 5	SIO _n 4	SIO _n 3	SIO _n 2	SIO _n 1	SIO _n 0

備考 n = 0-3

17.3.4 受信専用シリアル/Oシフト・レジスタn (SIOE_n)

SIOE_nレジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。CSIM_nレジスタのTRMD_nビット = 0のとき、SIOE_nレジスタを読み出しても受信動作が起動しないため、受信動作を起動させずにSIO_nレジスタの値 (受信データ) を読み出すときに使用します。

データは、MSBまたはLSB側からシフト・イン (受信) します。

リセット入力以外に、CSIM_nレジスタのCSICAE_nビットをクリア (0) しても、SIOE_nレジスタは“00H”となります。

8ビット単位でリードだけ可能です。

注意 アイドル状態中 (CSIM_nレジスタのCSOT_nビット = 0) のときだけ、SIOE_nレジスタにアクセスできます。

リセット時 : 00H R アドレス : SIOE0 FFFFFFFD03H, SIOE1 FFFFFFFD13H,
SIOE2 FFFFFFFD23H, SIOE3 FFFFFFFD33H

	7	6	5	4	3	2	1	0
SIOE _n	SIOE _n 7	SIOE _n 6	SIOE _n 5	SIOE _n 4	SIOE _n 3	SIOE _n 2	SIOE _n 1	SIOE _n 0

備考 n = 0-3

17.3.5 クロック同期式シリアル・インタフェース送信バッファ・レジスタ_n (SOTB_n)

SOTB_nレジスタは、送信データを格納する8ビット・バッファ・レジスタです。

送受信モード (CSIM_nレジスタのTRMD_nビット = 1) に設定したとき、SOTB_nレジスタへのデータ書き込みにより送信動作が起動します。

リセット入力により、SOTB_nレジスタは“00H”となります。

8ビット単位でリード/ライト可能です。

注意 アイドル状態中 (CSIM_nレジスタのCSOT_nビット = 0) のときだけ、SOTB_nレジスタにアクセスできません。

リセット時：00H R/W アドレス：SOTB0 FFFFFFFD04H, SOTB1 FFFFFFFD14H,
SOTB2 FFFFFFFD24H, SOTB3 FFFFFFFD34H

	7	6	5	4	3	2	1	0
SOTB _n	SOTB _n 7	SOTB _n 6	SOTB _n 5	SOTB _n 4	SOTB _n 3	SOTB _n 2	SOTB _n 1	SOTB _n 0

備考 n = 0-3

17.4 専用ポー・レート・ジェネレータ

CSI0-CSI3には、シリアル・クロックをチャンネルごとに専用ポー・レート・ジェネレータ出力または内部システム・クロック (fxx) から選択できます。

シリアル・クロック・ソースは、CSIC0-CSIC3レジスタで指定します。

専用ポー・レート・ジェネレータ出力を指定した場合は、CSI0, CSI1の場合はBRG2, CSI2はBRG3, CSI3の場合はBRG4が選択されます。

17.4.1 プリスケアラ・モード・レジスタn (PRSMn)

PRSMnレジスタは、CSInのポー・レート信号の生成を制御します (n = 2-4)。

8/1ビット単位でリード/ライト可能です。

リセット時: 00H R/W アドレス: PRSM2 FFFFFFFD40H, PRSM3 FFFFFFFD50H,
PRSM4 FFFFFFFD60H

	7	6	5	④	3	2	1	0
PRSMn (n = 2-4)	0	0	0	BRGCEn	0	0	BGCSn1	BGCSn0
	BRGCEn							
	ポー・レート用カウンタ動作の設定							
	0	ポー・レート用カウンタ停止, ポー・レート出力信号 "0" 固定						
	1	ポー・レート用カウンタ許可						
	BGCSn1	BGCSn0	入力クロックの選択					
	0	0	fxx/4					
	0	1	fxx/8					
	1	0	fxx/16					
	1	1	fxx/32					

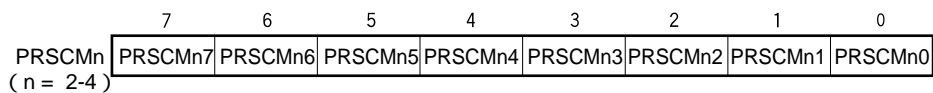
- 注意1.** 送受信動作中に、BGCSn1, BGCSn0ビットの値を変更しないでください。
- PRSMnレジスタの設定はBRGCEnビットに "1" を設定する前に行ってください。
 - ビット7-5, 3, 2には必ず0を設定してください。

17.4.2 プリスケーラ・コンペア・レジスタ_n (PRSCM_n)

8ビットのコンペア・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセット時 : 00H R/W アドレス : PRSCM2 FFFFFFFD41H, PRSCM3 FFFFFFFD51H,
PRSCM4 FFFFFFFD61H



注意1. 送信動作中にPRSCM_nレジスタを書き換えしないでください。

2. PRSCM_nレジスタのBRGCE_nビットに1を設定する前にPRSCM_nレジスタの設定を行ってください。

17.4.3 シリアル・クロック設定例

CKSn2	CKSn1	CKSn0		ボー・レート (Mbps)			
				10 MHz動作時	20 MHz動作時	27 MHz動作時	40.5MHz動作時
0	0	0	$f_{xx}/128$	0.0781	0.1563	0.2109	0.3164
0	0	1	$f_{xx}/64$	0.1562	0.3125	0.4218	0.6328
0	1	0	$f_{xx}/32$	0.3125	6.2500	0.8437	1.2656
0	1	1	$f_{xx}/16$	0.6250	1.2500	1.6875	2.5313
1	0	0	$f_{xx}/8$	1.2500	2.5000	3.3750	5.0625
1	0	1	$f_{xx}/4$	2.5000	5.0000	設定禁止	設定禁止
1	1	0	BRGm出力	17.4.3(1) BRGm出力の計算参照			
1	1	1	外部クロック	-	-	-	-

(1) BRGm出力の計算

クロック同期式シリアル・インタフェース・クロック選択レジスタn (CSICn) でBRGm出力を選択した場合、シリアル・クロックは次のように算出します。

(a) PRSCMmレジスタ = 00H設定時

$$(\text{シリアル・クロック周波数}) = (\text{BRGmの入力クロック周波数}) \div 256 \div 2$$

例: $f_{xx} = 40.5\text{MHz}$, 入力クロック: $f_{xx}/4$ 選択時

$$\text{シリアル・クロック (Mbps)} = (40.5/4) \div 256 \div 2 = 0.0198 \text{ Mbps}$$

(b) PRSCMmレジスタ 00H設定時

$$(\text{シリアル・クロック周期}) = (\text{BRGmの入力クロック周期}) \times (\text{BRGmコンペア値}) \times 2$$

例: $f_{xx} = 40.5\text{MHz}$, 入力クロック: $f_{xx}/4$ 選択, PRSCMm = 0AH (= 10; 10進数) 設定時

$$\text{シリアル・クロック (Mbps)} = (40.5/4) \div 10 \div 2 = 0.5063 \text{ Mbps}$$

- 備考1. BRGmの入力クロック: PRSMmレジスタのBGCSm1, BGCSm0ビットにより選択されたクロック
2. BRGmコンペア値: PRSCMmレジスタの設定値
3. $n = 0-3$
 $m = 2-4$

17.5 動作

(1) 転送モード

CSInは、それぞれ1本のクロック・ラインと2本のデータ・ラインの3線でデータの送受信を行います。

受信専用モード (CSIMnレジスタのTRMDnビット = 0) の場合、SIOOnレジスタをリードすると転送を開始します。受信を開始せずにSIOOnレジスタ値を読み出す場合は、SIOEnレジスタを読み出してください。

送受信モード (CSIMnレジスタのTRMDnビット = 1) の場合、SOTBnレジスタへの書き込みで転送を開始します。

CSInの8ビット転送が終了すると、CSIMnレジスタのCSOTnビットが“0”になり、自動的に停止します。また、転送が終了すると送受信完了割り込み (INTCSIn) を発生します。

- 注意1.** CSIMnレジスタのCSOTnビット = 1のときに、コントロール・レジスタ、データ・レジスタにアクセスしないでください。
2. SOTBnレジスタに送信データをライトしておいて、CSIMnレジスタのTRMDnビットを“0”から“1”に設定しても、シリアル転送は行いません。

備考 n = 0-3

(2) シリアル・クロック

(a) シリアル・クロックとして内部クロックを選択した場合

受信または送信が起動されると、シリアル・クロックをSCKn端子から出力し、CSICnレジスタのCKPn、DAPnビットの設定に従ってシリアル・クロックに同期したタイミングでSIn端子のデータをSIOOnレジスタへ順次取り込み、またはSIOOnレジスタからデータをSON端子へ順次出力します。

(b) シリアル・クロックとして外部クロックを選択した場合

受信または送信が起動されると、CSICnレジスタのCKPn、DAPnビットの設定に従って受信または送信起動後にSCKn端子へ入力されたシリアル・クロックに同期して、SIn端子のデータをSIOOnレジスタへ順次取り込み、またはSIOOnレジスタからデータをSON端子へ順次出力します。

受信または送信が起動されていないときに、シリアル・クロックをSCKn端子へ入力してもシフト動作は行いません。

備考 n = 0-3

図17-2 転送タイミング

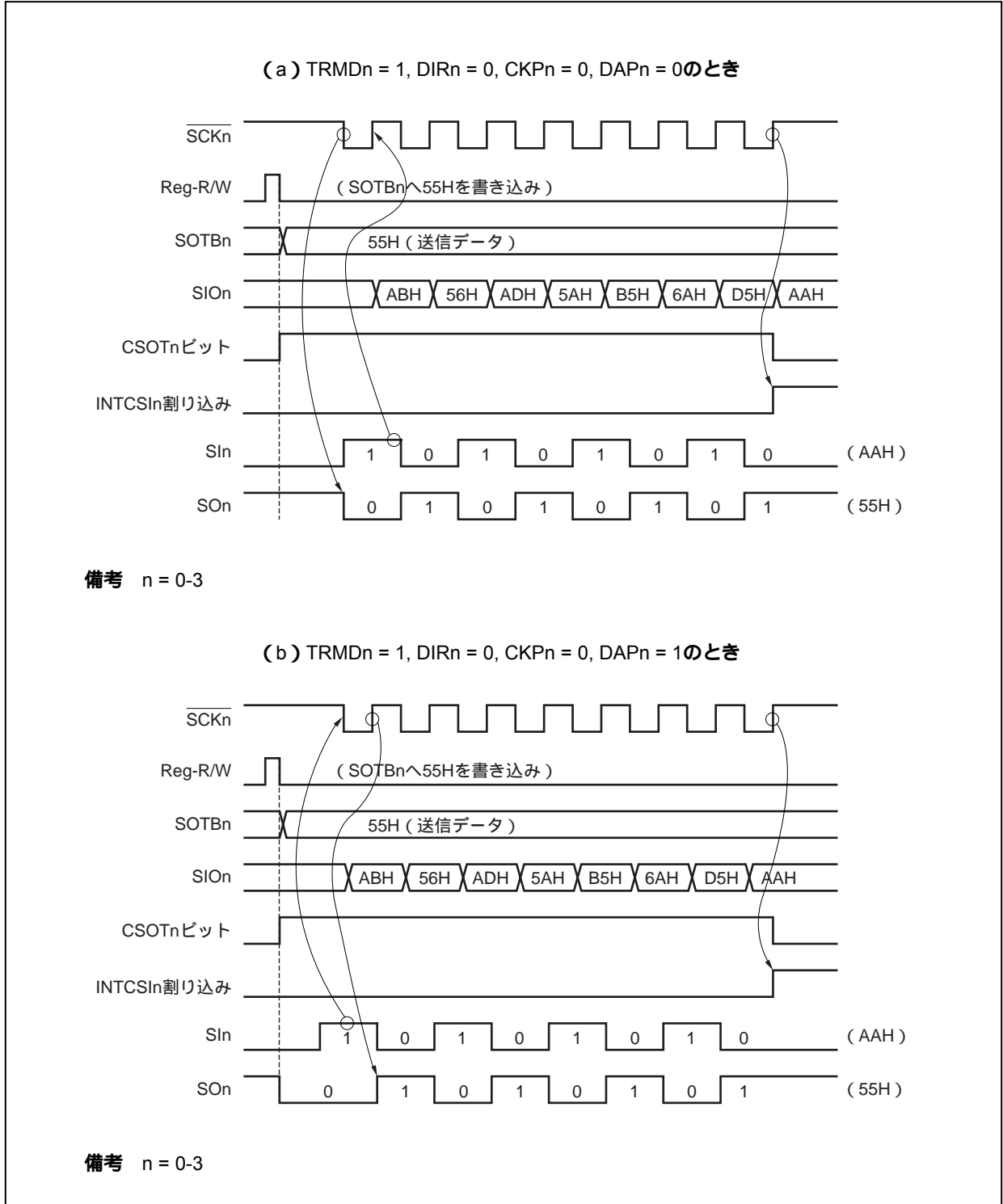
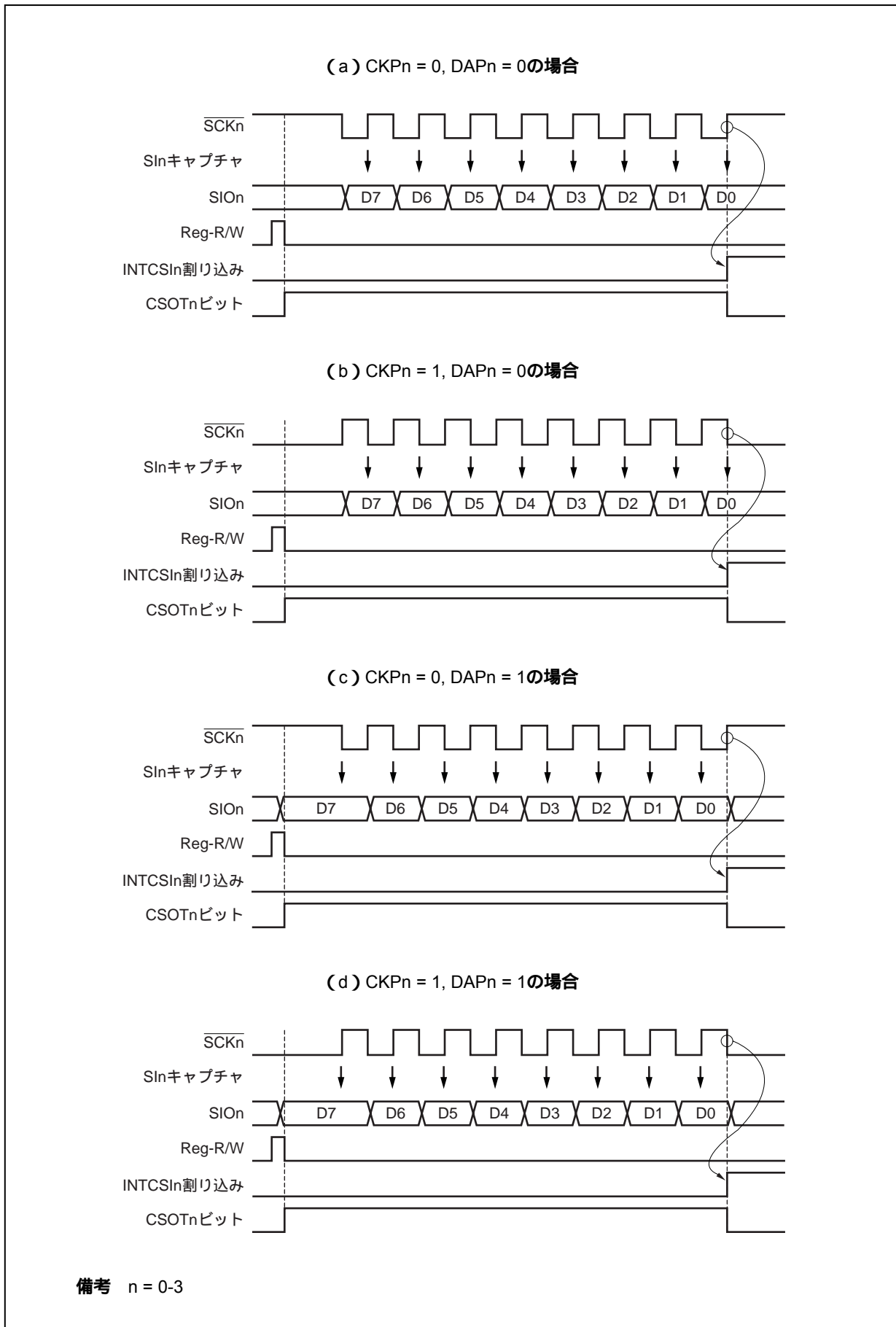


図17-3 クロック・タイミング



17.6 出力端子

(1) $\overline{\text{SCKn}}$ 端子

CSIn動作禁止 (CAICAE_n = 0) のとき、 $\overline{\text{SCKn}}$ 端子出力状態は次のようになります。

CKP _n	$\overline{\text{SCKn}}$ 端子出力
0	ハイ・レベル固定
1	ロウ・レベル固定

備考1. CKP_nビットを書き換えると $\overline{\text{SCKn}}$ 端子の出力が変化します。

2. n = 0-3

(2) SOn端子

CSIn動作禁止 (CAICAE_n = 0) のとき、SOn端子出力状態は次のようになります。

TRMD _n	DAP _n	DIR _n	SOn端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOnラッチの値 (ロウ・レベル)
		0	SOTB _{n7} の値
	1	SOTB _{n0} の値	

備考1. TRMD_n, DAP_n, DIR_nビットのいずれかを書き換えるとSOn端子の出力が変化します。

2. n = 0-3

3. x : 任意

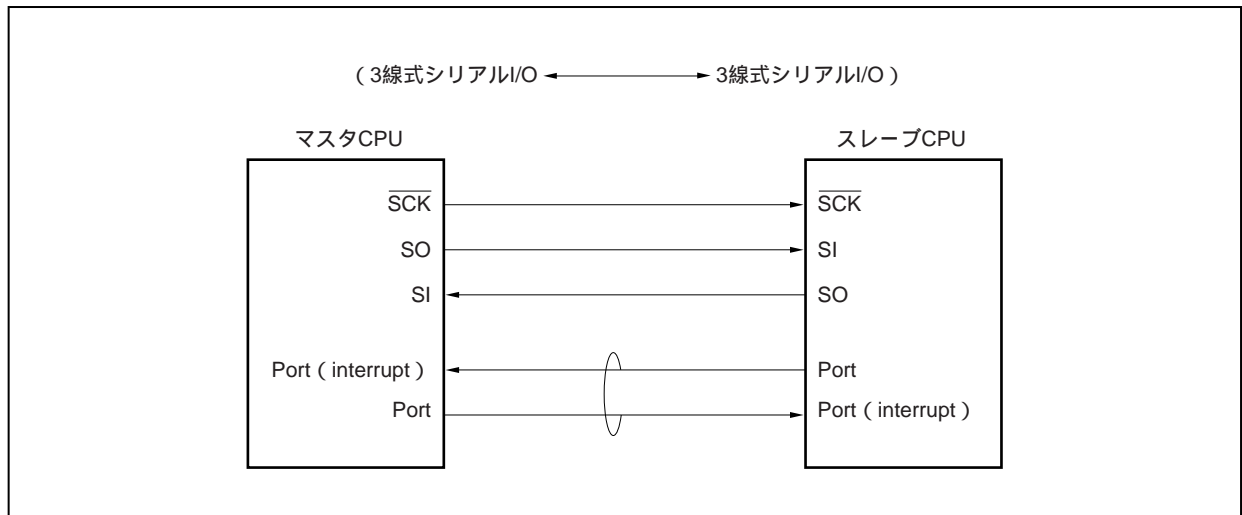
17.7 システム構成例

シリアル・クロック ($\overline{\text{SCKn}}$)、シリアル入力 (SI_n)、シリアル出力 (SO_n) の3種類の信号線によって、8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です (n = 0-3)。

複数のデバイスと接続する場合は、ハンドシェイク用のラインが必要です。

通信先頭ビットがMSBまたはLSBに選択できるので、さまざまなデバイスと通信することができます。

図17 - 4 CSIのシステム構成例



第18章 自動送受信機能付きクロック同期式シリアル・インタフェース (CSIA)

18.1 特徴

シリアル・インタフェースCSIAには、次の3種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック端子 ($\overline{\text{SCKA}}_n$) とシリアル・データ端子 (SIA_n , SOA_n) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

(3) 自動送受信機能付き3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック端子 ($\overline{\text{SCKA}}_n$) とシリアル・データ端子 (SIA_n , SOA_n) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

転送バッファRAMを32バイト内蔵しているので、ソフトウェアを介さずに表示ドライバなどとデータ転送可能です。

高速転送

マスタ・モード : 最大6.25 Mbps (内部システム・クロック : 40.5 MHz動作時)

スレーブ・モード : 最大3.75 Mbps (内部システム・クロック : 40.5 MHz動作時)

マスタ・モードとスレーブ・モードを選択可能

転送データ長 : 8ビット

転送データのMSB/LSB先頭を切り替え可能

自動送受信機能 :

1-32バイトまで転送バイト数を指定可能

転送間隔指定可能 (0-63クロック)

単発転送 / 繰り返し転送を指定可能

専用ポー・レート・ジェネレータ (6/8/16/32分周) 内蔵

3線式 SOAn : シリアル・データ出力
 SIAn : シリアル・データ入力
 $\overline{\text{SCKAn}}$: シリアル・クロック入出力
 送受信完了割り込み : INTCSIA_n
 32バイト・バッファRAM内蔵

備考 n = 0, 1

18.2 構成

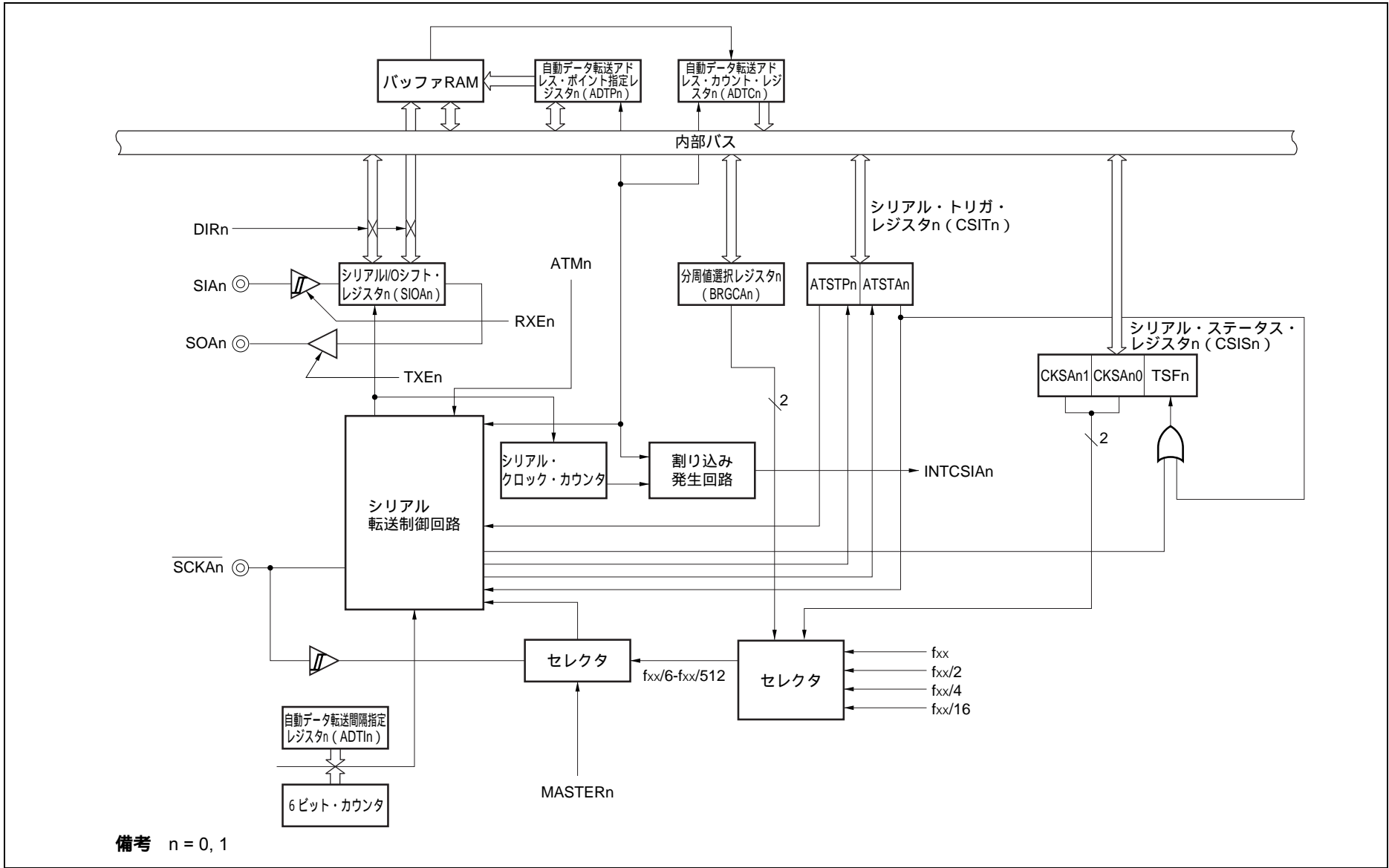
シリアル・インタフェースCSIA_nは、次のハードウェアで構成しています。

表18 - 1 シリアル・インタフェースCSIA_nの構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタ _n (SIOAn) 自動データ転送アドレス・カウント・レジスタ _n (ADTCAn)
制御レジスタ	シリアル動作モード指定レジスタ _n (CSIMAn) シリアル・ステータス・レジスタ _n (CSISAn) シリアル・トリガ・レジスタ _n (CSITAn) 分周値選択レジスタ _n (BRGCA _n) 自動データ転送アドレス・ポイント指定レジスタ _n (ADTPAn) 自動データ転送間隔指定レジスタ _n (ADTIA _n)

備考 n = 0, 1

図18 - 1 シリアル・インタフェースCSIA_nのブロック図



備考 n = 0, 1

18.2.1 シリアル/Oシフト・レジスタ_n (SIOAn)

1バイト転送モード (シリアル動作モード指定レジスタ_n (CSIMAn) のATEAnビット = 0) 時の送信データおよび受信データを格納する8ビットのレジスタです。SIOAnレジスタに送信データを書き込むことにより、転送が開始されます。また転送完了割り込み要求信号 (INTCSIA_n) の出力後 (シリアル・ステータス・レジスタ_n (CSISAn) のTSFAnビット = 0) , SIOAnレジスタからデータを読み出すことにより、受信データを受け取ることができます。

SIOAnレジスタは、8ビット・メモリ操作命令で書き込みと読み出しができます。ただし、CSISAnレジスタのTSFAnビット = 1のとき、SIOAnレジスタへの書き込みは禁止です。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意1. 転送動作の起動は、SIOAnレジスタへの書き込みで行われるため、送信禁止 (CSIMAnレジスタのTXEAnビット = 0) のときも、ダミー・データをSIOAnレジスタに書き込み、転送動作を起動してから受信動作を行ってください。

2. 自動送受信機能が動作しているとき、SIOAnレジスタにデータを書き込まないでください。

備考 $n = 0, 1$

18.2.2 自動データ転送アドレス・カウント・レジスタ_{An} (ADTCAn)

自動転送時におけるバッファRAMのアドレスを示すレジスタです。自動転送を中断した場合に、ADTCAnレジスタの値を読み出すことによって、中断したデータ位置を知ることができます。

ADTCAnレジスタは、8ビット・メモリ操作命令で読み出すことができます。

$\overline{\text{RESET}}$ 入力により、00Hになります。ただし、シリアル・ステータス・レジスタ_{An} (CSISAn) のTSFAnビット = 1のときは、ADTCAnレジスタからの読み出しは禁止です。

リセット時: 00H R アドレス: ADTCA0 FFFFFFFD77H, ADTCA1 FFFFD87H

	7	6	5	4	3	2	1	0
ADTCAn ($n = 0, 1$)	0	0	0	ADTCAn4	ADTCAn3	ADTCAn2	ADTCAn1	ADTCAn0

18.3 制御レジスタ

シリアル・インタフェースCSIA_nは、次の6種類のレジスタで制御します。

- ・シリアル動作モード指定レジスタ_n (CSIMAn)
- ・シリアル・ステータス・レジスタ_n (CSISAn)
- ・シリアル・トリガ・レジスタ_n (CSITAn)
- ・分周値選択レジスタ_n (BRGCAn)
- ・自動データ転送アドレス・ポイント指定レジスタ_n (ADTPAn)
- ・自動データ転送間隔指定レジスタ_n (ADTIAN)

18.3.1 シリアル動作モード指定レジスタ_n (CSIMAn)

シリアル転送動作を制御する8ビットのレジスタです。

CSIMAnレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

リセット時：00H R/W アドレス：CSIMA0 FFFFFFFD70H, CSIMA1 FFFFFFFD80H

	⑦	⑥	⑤	④	③	②	①	0
CSIMAn (n = 0, 1)	CSIAEAn	ATEAn	ATMAAn	MASTERAn	TXEAn	RXEAn	CDIRAn	0
CSIAEAn	CSIAAnの動作許可 / 禁止の制御							
0	CSIAAn動作禁止 (SOAn: ロウ・レベル, SCKAn: ハイ・レベル)							
1	CSIAAn動作許可							
<ul style="list-style-type: none"> CSIAEAn = 0にすると, CSIAAnユニットを非同期にリセットします。 CSIAEAn = 0の場合は, CSIAAnユニットはリセット状態なので, CSIAAnを動作させる場合には, まずCSIAEAnビット = 1にしてください。 CSIAEAnビットを1から0にした場合は, CSIAAnユニットのすべてのレジスタが初期化されます。再度CSIAEAnビット = 1にする場合には, 必ずCSIAAnユニットのレジスタを再設定してください。 CSIAEAnビットを1から0にした場合は, バッファRAMの値は保持されません。 								
ATEAn	自動転送動作の許可 / 禁止の制御							
0	1バイト転送モード							
1	自動転送モード							
ATMAAn	自動転送モードの指定							
0	単発モード (ADTPAnレジスタで指定したアドレスで停止)							
1	繰り返しモード (転送終了後, ADTCAnレジスタを00Hにクリアし転送を再開)							
MASTERAn	CSIAAnのマスタ / スレーブ・モードの指定							
0	スレーブ・モード (SCKAn入力のクロックに同期)							
1	マスタ・モード (内部クロックに同期)							
TXEAn	送信動作の許可 / 禁止の制御							
0	送信動作禁止 (SOAn: ロウ・レベル)							
1	カウント動作許可							
RXEAn	受信動作の許可 / 禁止の制御							
0	受信動作禁止							
1	カウント動作許可							
CDIRAn	転送データの方向の指定							
0	MSBファースト							
1	LSBファースト							

注意1. CSIAEAnビットが0の場合, バッファRAMにアクセスできません。

- CSIAEAnビットを1から0にした場合は, CSIAAnユニットのすべてのレジスタが非同期で初期化されます。再度CSIAEAnビット = 1にする場合には, 必ずCSIAAnユニットのレジスタを再設定してください。
- CSIAEAnビットを1から0にしたあとに, 再度CSIAEAnビットを1にした場合, バッファRAMの値の保持は保証されません。

18.3.2 シリアル・ステータス・レジスタAn (CSISAn)

CSISAnの入クロック選択，転送動作を制御する8ビットのレジスタです。

CSISAnレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。ただし，TSFAnビットが1の場合，CSISAnレジスタの書き換えは禁止です。

リセット時：00H R/W アドレス：CSISA0 FFFFFFFD71H, CSISA1 FFFFD81H

	7	6	5	4	3	2	1	①
CSISAn (n = 0, 1)	CKSAn1	CKSAn0	0	0	0	0	0	TSFAn

CKSAn1	CKSAn0	入クロック (f _{SCKA}) の選択
0	0	f _{xx} /16
0	1	f _{xx} /4
1	0	f _{xx} /2
1	1	f _{xx}

TSFAn	転送状態
0	<ul style="list-style-type: none"> ・ CSISAnレジスタのCSIAEAnビット = 0 ・ リセット入力時 ・ 指定された転送終了時 ・ CSITAnレジスタのATSTPAnビット = 1により転送を中断したとき
1	転送スタートから指定された転送が終了するまで

注意1. ビット1-5には必ず“0”を設定してください。

2. TSFAnビットはリードのみ可能です。

3. TSFAnビットが1のとき，シリアル動作モード指定レジスタAn (CSIMAn)，シリアル・ステータス・レジスタAn (CSISAn)，分周値選択レジスタAn (BRGCAn)，自動データ転送アドレス・ポイント指定レジスタAn (ADTPAn)，自動データ転送間隔指定レジスタAn (ADTIAN)，シリアルI/Oシフト・レジスタAn (SIOAn) への書き換えは禁止です。ただしレジスタのリードおよび同値の再書き込みは可能です。またバッファRAMも転送動作中の書き換えは可能です。

18.3.3 シリアル・トリガ・レジスタAn (CSITAn)

自動データ転送の実行 / 中断を制御する8ビットのレジスタです。

CSITAnレジスタは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。ただし、シリアル動作モード指定レジスタAn (CSIMAn) のATEAnビットが1の場合のみ操作してください (ATEAnビット = 0の場合は操作禁止)。

リセット時：00H R/W アドレス：CSITA0 FFFFD72H, CSITA1 FFFFD82H

	7	6	5	4	3	2	1	0
CSITAn (n = 0, 1)	0	0	0	0	0	0	ATSTPAn	ATSTAAAn

ATSTPAn	自動データ転送の中断
0	通常モード
1	自動データ転送を中断
ATSTPAnビット = 1に設定しても、1バイトの転送が終了するまでは停止しません。 INTCSIAAn割り込み要求信号が発生する直前まで1が保持されます。転送中断後、 ADTCAnレジスタには中断したときの、データ・アドレスが格納されています。	

ATSTAAAn	自動データ転送の開始
0	通常モード
1	自動データ転送を開始
ATSTAAAnビット = 1に設定しても、1バイトの転送が終了するまでは開始しません。 INTCSIAAn割り込み要求信号が発生する直前まで1が保持されます。	

18.3.4 分周値選択レジスタAn (BRGCAn)

シリアル転送スピード (CSIA入力クロックの分周値) を制御する8ビットのレジスタです。

BRGCAnレジスタは、8ビット・メモリ操作命令で設定します。ただし、シリアル・ステータス・レジスタAn (CSISAn) のTSFAnビットが1のときはBRGCAnレジスタへの書き換えは禁止です。

リセット時：00H R/W アドレス：BRGCA0 FFFFD73H, BRGCA1 FFFFD83H

	7	6	5	4	3	2	1	0
BRGCAn (n = 0, 1)	0	0	0	0	0	0	BRGCAn1	BRGCAn0

BRGCAn1	BRGCAn0	CSIAAnシリアル・クロック (BRGCAnの分周比) の選択
0	0	6分周 (f _{SCKA} /6)
0	1	8分周 (f _{SCKA} /8)
1	0	16分周 (f _{SCKA} /16)
1	1	32分周 (f _{SCKA} /32)

18.3.5 自動データ転送アドレス・ポイント指定レジスタAn (ADTPAn)

自動データ転送時 (シリアル動作モード指定レジスタAn (CSIMAn) のATEAnビット = 1) の転送を終了するバッファRAMのアドレスを指定する8ビットのレジスタです。

ADTPAnレジスタは、8ビット・メモリ操作命令で設定します。ただし、シリアル・ステータス・レジスタAn (CSISAn) のTSFAnビットが1のときは、ADTPAnレジスタへの書き換えは禁止です。

V850E/SV2シリーズでは、バッファRAMを32バイト内蔵しているため、00H-1FHまで指定可能です。

例 ADTPAnレジスタに07Hを設定した場合

00H-07Hまでの8バイトが転送されます

繰り返しモード (CSIMAnレジスタのATMAnビット = 1) の場合は、ADTPAnレジスタに設定したアドレス値まで繰り返し転送します。

例 ADTPAnレジスタに07Hを転送した場合 (繰り返しモード)

00H-07H, 00H-07H, ... と繰り返し転送されます

リセット時 : 00H R/W アドレス : ADTPA0 FFFFFFFD74H, ADTPA1 FFFFD84H

	7	6	5	4	3	2	1	0
ADTPAn (n = 0, 1)	0	0	0	ADTPAn4	ADTPAn3	ADTPAn2	ADTPAn1	ADTPAn0

注意 ビット7-5には、必ず0を設定してください。

バッファRAMのアドレス値とADTPAnレジスタの設定値の関係を次に示します。

表18 - 2 バッファRAMのアドレス値とADTPAnレジスタの設定値の関係

バッファRAMのアドレス値		ADTPAnの設定値	バッファRAMのアドレス値		ADTPAnの設定値
CBUF0m	CBUF1m		CBUF0m	CBUF1m	
FE40H	FE60H	00H	FE50H	FE70H	10H
FE41H	FE61H	01H	FE51H	FE71H	11H
FE42H	FE62H	02H	FE52H	FE72H	12H
FE43H	FE63H	03H	FE53H	FE73H	13H
FE44H	FE64H	04H	FE54H	FE74H	14H
FE45H	FE65H	05H	FE55H	FE75H	15H
FE46H	FE66H	06H	FE56H	FE76H	16H
FE47H	FE67H	07H	FE57H	FE77H	17H
FE48H	FE68H	08H	FE58H	FE78H	18H
FE49H	FE69H	09H	FE59H	FE79H	19H
FE4AH	FE6AH	0AH	FE5AH	FE7AH	1AH
FE4BH	FE6BH	0BH	FE5BH	FE7BH	1BH
FE4CH	FE6CH	0CH	FE5CH	FE7CH	1CH
FE4DH	FE6DH	0DH	FE5DH	FE7DH	1DH
FE4EH	FE6EH	0EH	FE5EH	FE7EH	1EH
FE4FH	FE6FH	0FH	FE5FH	FE7FH	1FH

備考 n = 0, 1

m = 0-F

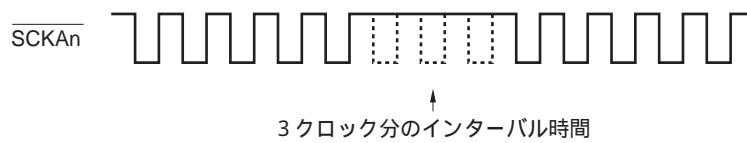
18.3.6 自動データ転送間隔指定レジスタAn (ADTIA_n)

自動データ転送時 (シリアル動作モード指定レジスタAn (CSIMAn) のATEAnビット = 1) の1バイト転送間におけるインターバル期間 (間隔) を指定する8ビットのレジスタです。

ADTIA_nレジスタは、マスタ・モード (CSIMAnレジスタのMASTER = 1) 時に設定してください (スレーブ・モード時は設定不要)。また1バイト転送モード (CSIMAnレジスタのATEAnビット = 0) 時の設定は有効です。1バイト転送終了後ADTIA_nレジスタで指定したインターバル時間を経て、割り込み要求信号 (INTCSIA_n) が出力されます。インターバルのクロック数は0-63クロックまで設定できます。

指定したインターバル時間は、転送クロック (分周値選択レジスタAn (BRGCA_n) で指定) の整数倍の時間となります。

例 ADTIA_nレジスタ = 03Hの場合



ADTIA_nレジスタは、8ビット・メモリ操作命令で設定します。ただし、シリアル・ステータス・レジスタAn (CSISA_n) のTSFA_nビット = 1のときは、ADTIA_nレジスタへの書き換えは禁止です。

リセット時 : 00H R/W アドレス : ADTIA0 FFFFFFFD75H, ADTIA1 FFFFFFFD85H								
	7	6	5	4	3	2	1	0
ADTIA _n (n = 0, 1)	0	0	ADTIA _n 5	ADTIA _n 4	ADTIA _n 3	ADTIA _n 2	ADTIA _n 1	ADTIA _n 0

18.3.7 CSIA_nバッファRAM (CBUF_{nm})

自動転送モードにおける送受信データ (最大32バイト) を1バイト単位で保持する領域です。

CBUF_{nm}レジスタは16ビット単位でのみリード/ライト可能です。ただし, CBUF_{nm}レジスタの上位8ビットをCBUF_{nm}Hレジスタ, 下位8ビットをCBUF_{nm}Lレジスタとして使用した場合は, 8/1ビット単位でリード/ライト可能です。

自動転送を開始させると, CBUF_{n0}Lレジスタから順次, ADTPA_nレジスタ・バイト数だけ送受信されます。

備考 n = 0, 1

m = 0-15

表18 - 3 CSIA_nバッファRAM

アドレス	略号	アドレス	略号
FFFFFFE40H	CBUF00	FFFFFFE60H	CBUF10
FFFFFFE40H	CBUF00L	FFFFFFE60H	CBUF10L
FFFFFFE41H	CBUF00H	FFFFFFE61H	CBUF10H
FFFFFFE42H	CBUF01	FFFFFFE62H	CBUF11
FFFFFFE42H	CBUF01L	FFFFFFE62H	CBUF11L
FFFFFFE43H	CBUF01H	FFFFFFE63H	CBUF11H
FFFFFFE44H	CBUF02	FFFFFFE64H	CBUF12
FFFFFFE44H	CBUF02L	FFFFFFE64H	CBUF12L
FFFFFFE45H	CBUF02H	FFFFFFE65H	CBUF12H
FFFFFFE46H	CBUF03	FFFFFFE66H	CBUF13
FFFFFFE46H	CBUF03L	FFFFFFE66H	CBUF13L
FFFFFFE47H	CBUF03H	FFFFFFE67H	CBUF13H
FFFFFFE48H	CBUF04	FFFFFFE68H	CBUF14
FFFFFFE48H	CBUF04L	FFFFFFE68H	CBUF14L
FFFFFFE49H	CBUF04H	FFFFFFE69H	CBUF14H
FFFFFFE4AH	CBUF05	FFFFFFE6AH	CBUF15
FFFFFFE4AH	CBUF05L	FFFFFFE6AH	CBUF15L
FFFFFFE4BH	CBUF05H	FFFFFFE6BH	CBUF15H
FFFFFFE4CH	CBUF06	FFFFFFE6CH	CBUF16
FFFFFFE4CH	CBUF06L	FFFFFFE6CH	CBUF16L
FFFFFFE4DH	CBUF06H	FFFFFFE6DH	CBUF16H
FFFFFFE4EH	CBUF07	FFFFFFE6EH	CBUF17
FFFFFFE4EH	CBUF07L	FFFFFFE6EH	CBUF17L
FFFFFFE4FH	CBUF07H	FFFFFFE6FH	CBUF17H
FFFFFFE50H	CBUF08	FFFFFFE70H	CBUF18
FFFFFFE50H	CBUF08L	FFFFFFE70H	CBUF18L
FFFFFFE51H	CBUF08H	FFFFFFE71H	CBUF18H
FFFFFFE52H	CBUF09	FFFFFFE72H	CBUF19
FFFFFFE52H	CBUF09L	FFFFFFE72H	CBUF19L
FFFFFFE53H	CBUF09H	FFFFFFE73H	CBUF19H
FFFFFFE54H	CBUF010	FFFFFFE74H	CBUF10A
FFFFFFE54H	CBUF010L	FFFFFFE74H	CBUF110L
FFFFFFE55H	CBUF010H	FFFFFFE75H	CBUF110H
FFFFFFE56H	CBUF011	FFFFFFE76H	CBUF111
FFFFFFE56H	CBUF011L	FFFFFFE76H	CBUF111L
FFFFFFE57H	CBUF011H	FFFFFFE77H	CBUF111H
FFFFFFE58H	CBUF012	FFFFFFE78H	CBUF112
FFFFFFE58H	CBUF012L	FFFFFFE78H	CBUF112L
FFFFFFE59H	CBUF012H	FFFFFFE79H	CBUF112H
FFFFFFE5AH	CBUF013	FFFFFFE7AH	CBUF113
FFFFFFE5AH	CBUF013L	FFFFFFE7AH	CBUF113L
FFFFFFE5BH	CBUF013H	FFFFFFE7BH	CBUF113H
FFFFFFE5CHH	CBUF014	FFFFFFE7CH	CBUF114
FFFFFFE5CH	CBUF014L	FFFFFFE7CH	CBUF114L
FFFFFFE5DH	CBUF014H	FFFFFFE7DH	CBUF114H
FFFFFFE5EH	CBUF015	FFFFFFE7EH	CBUF115
FFFFFFE5EH	CBUF015L	FFFFFFE7EH	CBUF115L
FFFFFFE5FH	CBUF015H	FFFFFFE7FH	CBUF115H

18.4 動作

シリアル・インタフェースCSIA_nは、次の3種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

18.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって消費電力を低減できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード指定レジスタAn (CSIMAn) で行います。

(a) シリアル動作モード指定レジスタAn (CSIMAn)

シリアル転送動作を制御する8ビットのレジスタです。

CSIMAnレジスタは8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H R/W アドレス：CSIMA0 FFFFFFFD70H, CSIMA1 FFFFFFFD80H								
	⑦	⑥	⑤	④	③	②	①	0
CSIMAn (n = 0, 1)	CSIAEAn	ATEAn	ATMAAn	MASTERAn	TXEAn	RXEAn	CDIRAn	0
	CSIAEAn	CSIA _n の動作許可 / 禁止の制御						
	0	CSIA _n 動作禁止 (SOAn : ロウ・レベル, $\overline{\text{SCKAn}}$: ハイ・レベル)						
	1	CSIA _n 動作許可						

18.4.2 3線式シリアルI/Oモード

シリアル動作モード指定レジスタAn (CSIMAn) のATEAビットを0に設定したときのモードで、1バイトごとのデータ送受信を行います。

シリアル・クロック端子 ($\overline{\text{SCKAn}}$)、シリアル・データ出力端子 (SOAn)、シリアル・データ入力端子 (SIAn) の3本のライン通信を行います。

(1) レジスタの設定

シリアル・インタフェースCSIAは、次の3種類のレジスタで制御します。

- ・シリアル動作モード指定レジスタAn (CSIMAn)
- ・シリアル・ステータス・レジスタAn (CSISAn)
- ・分周値選択レジスタAn (BRGCAn)

(a) シリアル動作モード指定レジスタAn (CSIMAn)

シリアル転送動作を制御する8ビットのレジスタです。

CSIMAnレジスタは8/1ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

リセット時：00H R/W アドレス：CSIMA0 FFFFFFFD70H, CSIMA1 FFFFFD80H

	⑦	⑥	⑤	④	③	②	①	0
CSIMAn (n = 0, 1)	CSIAEAn	ATEAn	ATMAAn	MASTERAn	TXEAn	RXEAn	CDIRAn	0
CSIAEAn	CSIAAnの動作許可 / 禁止の制御							
0	CSIAAn動作禁止 (SOAn : ロウ・レベル, SCKAn : ハイ・レベル)							
1	CSIAAn動作許可							
<ul style="list-style-type: none"> ・ CSIAEAn = 0にすると, CSIAAnユニットを非同期にリセットします。 ・ CSIAEAn = 0の場合は, CSIAAnユニットはリセット状態なので, CSIAAnを動作させる場合には, まずCSIAEAnビット = 1にしてください。 ・ CSIAEAnビットを1から0にした場合は, CSIAAnユニットのすべてのレジスタが初期化されます。再度CSIAEAnビット = 1にする場合には, 必ずCSIAAnユニットのレジスタを再設定してください。 ・ CSIAEAnビットを1から0にした場合は, バッファRAMの値は保持されません。 								
ATEAn	自動転送動作の許可 / 禁止の制御							
0	1バイト転送モード							
1	自動転送モード							
ATMAAn	自動転送モードの指定							
0	単発モード (ADTPAnレジスタで指定したアドレスで停止)							
1	繰り返しモード (転送終了後, ADTCAnレジスタを00Hにクリアし転送を再開)							
MASTERAn	CSIAAnのマスタ / スレーブ・モードの指定							
0	スレーブ・モード (SCKAn入力のクロックに同期)							
1	マスタ・モード (内部クロックに同期)							
TXEAn	送信動作の許可 / 禁止の制御							
0	送信動作禁止 (SOAn : ロウ・レベル)							
1	カウント動作許可							
RXEAn	受信動作の許可 / 禁止の制御							
0	受信動作禁止							
1	カウント動作許可							
CDIRAn	転送データの方向の指定							
0	MSBファースト							
1	LSBファースト							

(b) シリアル・ステータス・レジスタAn (CSISAn)

CSISAnの入カロック選択，転送動作を制御する8ビットのレジスタです。

CSISAnレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。ただし，TSFAnビットが1の場合，CSISAnレジスタの書き換えは禁止です。

リセット時：00H R/W アドレス：CSISA0 FFFFFFFD71H, CSISA1 FFFFD81H

	7	6	5	4	3	2	1	①
CSISAn (n = 0, 1)	CKSAn1	CKSAn0	0	0	0	0	0	TSFAn

CKSAn1	CKSAn0	入力クロック (f _{SCKA}) の選択
0	0	f _{xx} /16
0	1	f _{xx} /4
1	0	f _{xx} /2
1	1	f _{xx}

TSFAn	転送状態
0	<ul style="list-style-type: none"> ・ CSISAnレジスタのCSIAEAnビット = 0 ・ リセット入力時 ・ 指定された転送終了時 ・ CSITAnレジスタのATSTPAnビット = 1により転送を中断したとき
1	転送スタートから指定された転送が終了するまで

注意1. ビット1-5には必ず“0”を設定してください。

2. TSFAnビットはリードのみ可能です。

(c) 分周値選択レジスタAn (BRGCAn)

シリアル転送スピード (CSIA入力クロックの分周値) を制御する8ビットのレジスタです。

BRGCAnレジスタは，8ビット・メモリ操作命令で設定します。ただし，シリアル・ステータス・レジスタAn (CSISAn) のTSFAnビットが1のときはBRGCAnレジスタへの書き換えは禁止です。

リセット時：00H R/W アドレス：BRGCA0 FFFFFFFD73H, BRGCA1 FFFFD83H

	7	6	5	4	3	2	1	0
BRGCAn (n = 0, 1)	0	0	0	0	0	0	BRGCAn1	BRGCAn0

BRGCAn1	BRGCAn0	CSISAnシリアル・クロック (BRGCAnの分周比) の選択
0	0	6分周 (f _{SCKA} /6)
0	1	8分周 (f _{SCKA} /8)
1	0	16分周 (f _{SCKA} /16)
1	1	32分周 (f _{SCKA} /32)

(3) 1バイト送受信の通信動作

(a) 1バイト送受信

シリアル動作モード指定レジスタAn (CSIMAn) のCSIAEAn = 1, ATEAn = 0でシリアルI/Oシフト・レジスタAn (SIOAn) に転送データを書き込むと、そのデータをSCKAn端子の立ち下がりに同期してSOAn端子から出力します。また、SCKAn端子の立ち下がりに同期してSIAn端子から入力し、1クロック後の立ち上がりに同期して受信データをSIOAnレジスタに格納します。

データ送信、およびデータ受信を同時に行うことができます。

受信のみを行う際には、SIOAnレジスタにダミーの値を書き込まなければ転送を開始することができません。

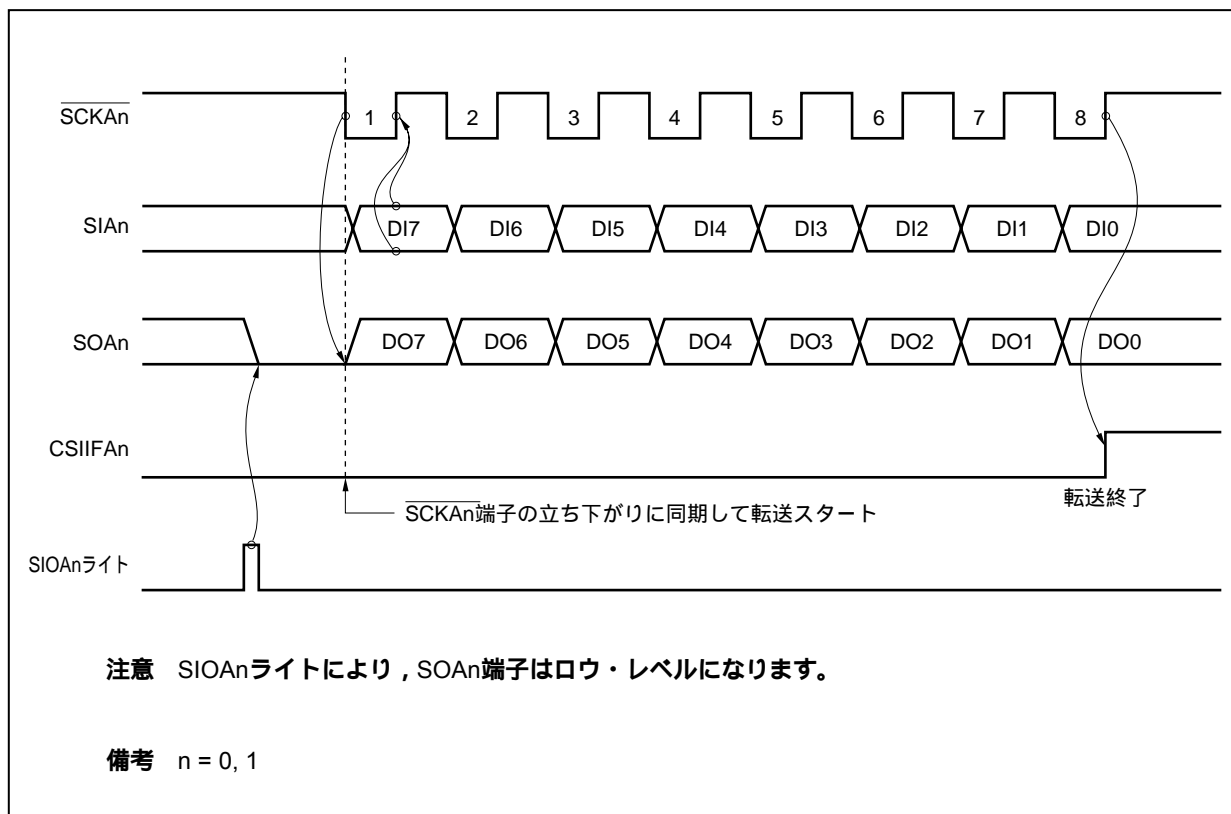
1バイトの転送が終了すると、割り込み要求信号 (INTCSIAAn) を発生します。

1バイト送受信の場合、CSIMAnレジスタのATMAAnビットの設定は無効になります。

データの読み出しはシリアル・ステータス・レジスタAn (CSISAn) のTSFAn = 0であることを確認してから行ってください。

備考 n = 0, 1

図18-2 3線式シリアルI/Oモードのタイミング



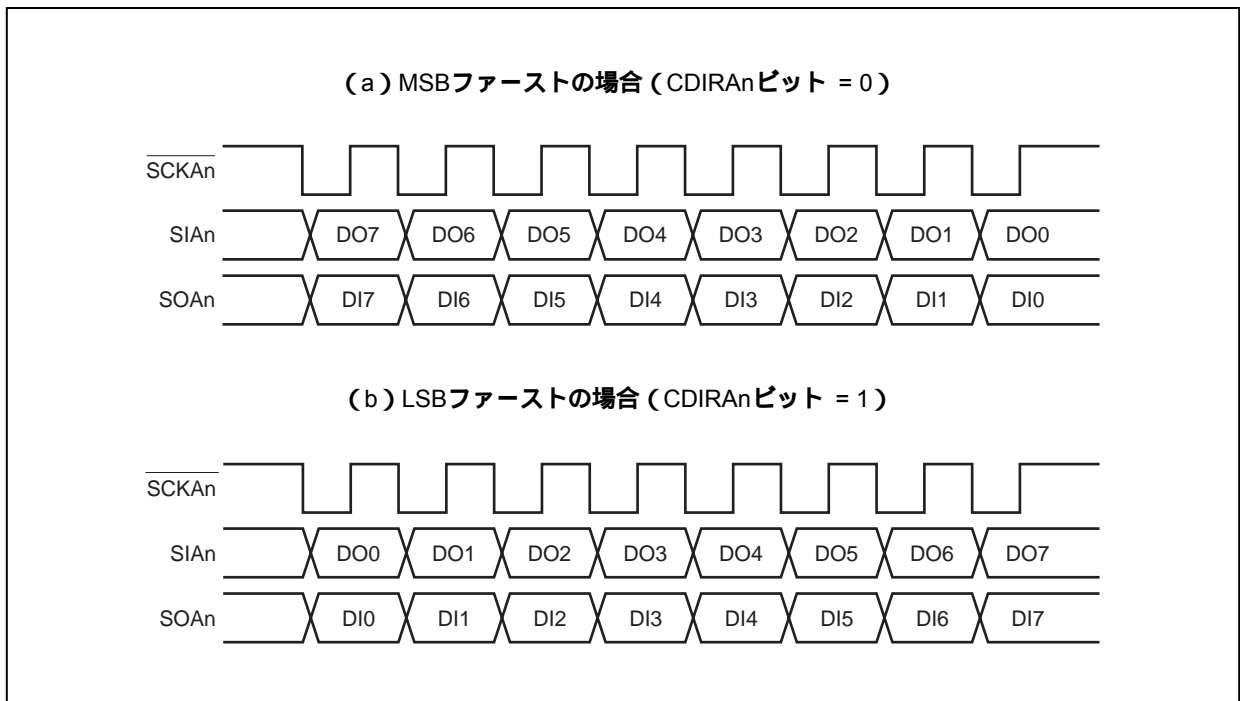
(b) データ・フォーマット

データ・フォーマットは、下記に示すように、 \overline{SCKAn} 端子の立ち下がりに同期してデータが変化します。

データ長は8ビット固定であり、データ転送方向は、シリアル動作モード指定レジスタAn (CSIMAn) のCDIRAnビットの指定により切り替えることができます。

備考 n = 0, 1

図18 - 3 送受信データのフォーマット



(c) MSB/LSB先頭の切り替え

図18 - 4にシリアルI/Oシフト・レジスタAn (SIOAn)，および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し / 書き込みができます。

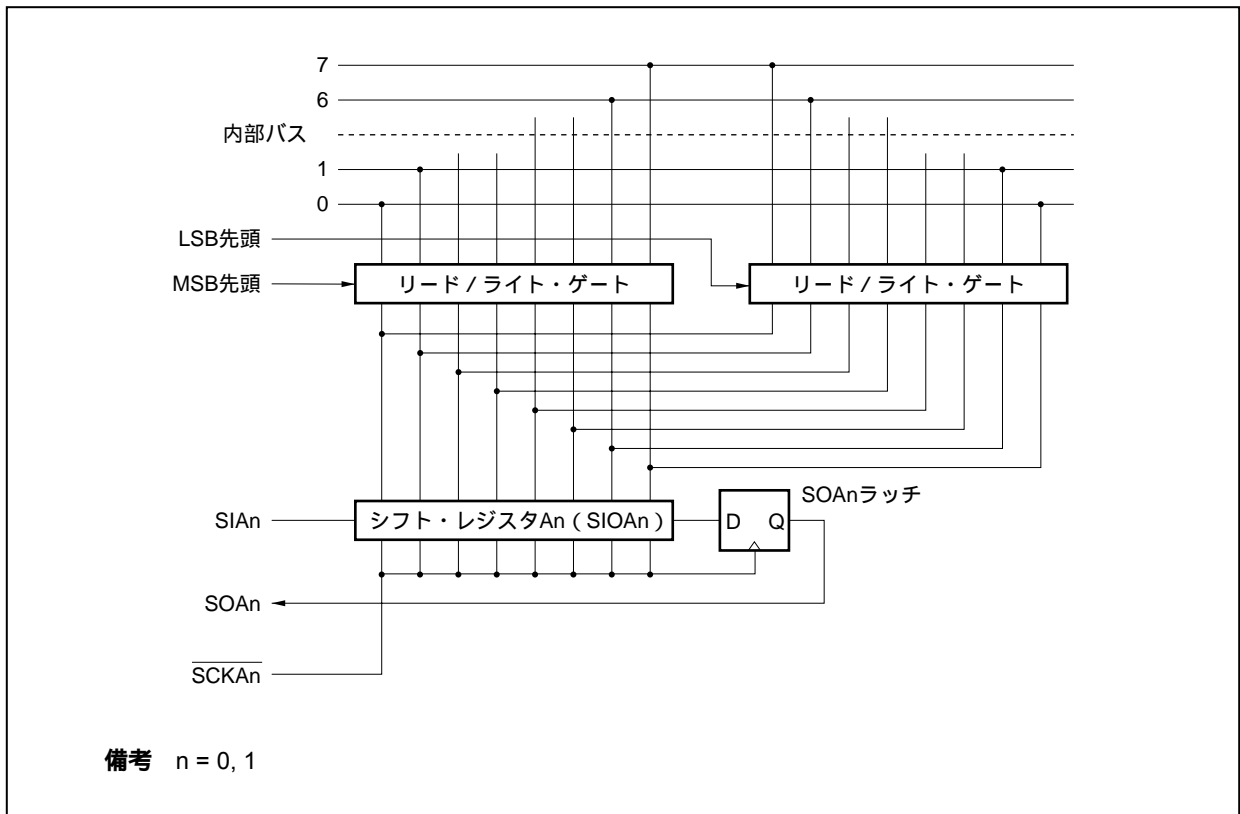
MSB/LSB先頭切り替えは、シリアル動作モード指定レジスタAn (CSIMAn) のCDIRAnビットにより指定できます。

先頭ビットの切り替えは、SIOAnレジスタへのデータ書き込みのビット順を切り替えることによって実現させています。SIOAnレジスタのシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットは、シフト・レジスタにデータを書き込む前に切り替えてください。

備考 n = 0, 1

図18 - 4 転送ビット順切り替え回路



(d) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタAn (SIOAn) に転送データをセットすることで開始します。

- ・シリアル・インタフェースCSIAAnの動作の制御ビット (CSIAEAn) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCKAn端子がハイ・レベルの状態

注意 SIOAnレジスタにデータを書き込んだあと、CSIAEAnビットを“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSIAAn) を発生します。

備考 n = 0, 1

18.4.3 自動送受信機能付き3線式シリアルI/Oモード

シリアル動作モード指定レジスタAn (CSIMAn) のATEAnビットを1に設定したときのモードで、最大32バイトのデータを、ソフトウェアの介在なしに送受信を行います。転送を開始させると、あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり、設定したバイト数だけデータを受信しRAMに格納させることができます。

(1) レジスタの設定

シリアル・インタフェースCSIAは、次の6種類のレジスタで制御します。

- ・シリアル動作モード指定レジスタAn (CSIMAn)
- ・シリアル・ステータス・レジスタAn (CSISAn)
- ・シリアル・トリガ・レジスタAn (CSITAn)
- ・分周値選択レジスタAn (BRGCAn)
- ・自動データ転送アドレス・ポイント指定レジスタAn (ADTPAn)
- ・自動データ転送間隔指定レジスタAn (ADTAn)

(a) シリアル動作モード指定レジスタAn (CSIMAn)

シリアル転送動作を制御する8ビットのレジスタです。

CSIMAnレジスタは8/1ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

リセット時：00H R/W アドレス：CSIMA0 FFFFFFFD70H, CSIMA1 FFFFFD80H

	⑦	⑥	⑤	④	③	②	①	0
CSIMAn (n = 0, 1)	CSIAEAn	ATEAn	ATMAAn	MASTERAn	TXEAn	RXEAn	CDIRAn	0
CSIAEAn	CSIAAnの動作許可 / 禁止の制御							
0	CSIAAn動作禁止 (SOAn : ロウ・レベル, SCKAn : ハイ・レベル)							
1	CSIAAn動作許可							
<ul style="list-style-type: none"> CSIAEAn = 0にすると, CSIAAnユニットを非同期にリセットします。 CSIAEAn = 0の場合は, CSIAAnユニットはリセット状態なので, CSIAAnを動作させる場合には, まずCSIAEAnビット = 1にしてください。 CSIAEAnビットを1から0にした場合は, CSIAAnユニットのすべてのレジスタが初期化されます。再度CSIAEAnビット = 1にする場合には, 必ずCSIAAnユニットのレジスタを再設定してください。 CSIAEAnビットを1から0にした場合は, バッファRAMの値は保持されません。 								
ATEAn	自動転送動作の許可 / 禁止の制御							
0	1バイト転送モード							
1	自動転送モード							
ATMAAn	自動転送モードの指定							
0	単発モード (ADTPAnレジスタで指定したアドレスで停止)							
1	繰り返しモード (転送終了後, ADTCAnレジスタを00Hにクリアし転送を再開)							
MASTERAn	CSIAAnのマスタ / スレーブ・モードの指定							
0	スレーブ・モード (SCKAn入力のクロックに同期)							
1	マスタ・モード (内部クロックに同期)							
TXEAn	送信動作の許可 / 禁止の制御							
0	送信動作禁止 (SOAn : ロウ・レベル)							
1	カウント動作許可							
RXEAn	受信動作の許可 / 禁止の制御							
0	受信動作禁止							
1	カウント動作許可							
CDIRAn	転送データの方向の指定							
0	MSBファースト							
1	LSBファースト							

(b) シリアル・ステータス・レジスタAn (CSISAn)

CSISAnの入力クロック選択，転送動作を制御する8ビットのレジスタです。

CSISAnレジスタは8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。ただし，TSFAnビットが1の場合，CSISAnレジスタの書き換えは禁止です。

リセット時：00H R/W アドレス：CSISA0 FFFFFFFD71H, CSISA1 FFFFD81H

	7	6	5	4	3	2	1	①
CSISAn (n = 0, 1)	CKSAn1	CKSAn0	0	0	0	0	0	TSFAn

CKSAn1	CKSAn0	入力クロック (fsCKA) の選択
0	0	fx/16
0	1	fx/4
1	0	fx/2
1	1	fx

TSFAn	転送状態
0	<ul style="list-style-type: none"> ・ CSIMAnレジスタのCSIAEAnビット = 0 ・ リセット入力時 ・ 指定された転送終了時 ・ CSITAnレジスタのATSTPAnビット = 1により転送を中断したとき
1	転送スタートから指定された転送が終了するまで

注意1. ビット1-5には必ず“0”を設定してください。

2. TSFAnビットはリードのみ可能です。

(c) シリアル・トリガ・レジスタAn (CSITAn)

自動データ転送の実行 / 中断を制御する8ビットのレジスタです。

CSITAnレジスタは，8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。ただし，シリアル動作モード指定レジスタAn (CSIMAn) のATEAnビットが1の場合のみ操作してください (ATEAnビットが0の場合は操作禁止)。

リセット時：00H R/W アドレス：CSITA0 FFFFFFFD72H, CSITA1 FFFFD82H

	7	6	5	4	3	2	1	0
CSITAn (n = 0, 1)	0	0	0	0	0	0	ATSTPAn	ATSTAAAn

ATSTPAn	自動データ転送の中断
0	通常モード
1	自動データ転送を中断

ATSTPAnビット = 1に設定しても、1バイトの転送が終了するまでは停止しません。INTCSIAAn割り込み要求信号が発生する直前まで1が保持されます。転送中断後、ADTCAnレジスタには中断したときの、データ・アドレスが格納されています。

ATSTAAAn	自動データ転送の開始
0	通常モード
1	自動データ転送を開始

ATSTAAAnビット = 1に設定しても、1バイトの転送が終了するまでは開始しません。INTCSIAAn割り込み要求信号が発生する直前まで1が保持されます。

(d) 分周値選択レジスタAn (BRGCAn)

シリアル転送スピード (CSIA入力クロックの分周値) を制御する8ビットのレジスタです。

BRGCAnレジスタは、8ビット・メモリ操作命令で設定します。ただし、シリアル・ステータス・レジスタAn (CSISAn) のTSFAnビットが1のときはBRGCAnレジスタへの書き換えは禁止です。

リセット時：00H R/W アドレス：BRGCA0 FFFFFFFD73H, BRGCA1 FFFFD83H

	7	6	5	4	3	2	1	0
BRGCAn (n = 0, 1)	0	0	0	0	0	0	BRGCAn1	BRGCAn0

BRGCAn1	BRGCAn0	CSIAAnシリアル・クロック (BRGCAnの分周比) の選択
0	0	6分周 (f _{SCKA} /6)
0	1	8分周 (f _{SCKA} /8)
1	0	16分周 (f _{SCKA} /16)
1	1	32分周 (f _{SCKA} /32)

(e) 自動データ転送アドレス・ポイント指定レジスタAn (ADTPAn)

自動データ転送時 (シリアル動作モード指定レジスタAn (CSIMAn) のATEAnビット = 1の転送を終了するバッファRAMのアドレスを指定する8ビットのレジスタです。

ADTPAnレジスタは、8ビット・メモリ操作命令で設定します。ただし、シリアル・ステータス・レジスタAn (CSISAn) のTSFAnビットが1のときは、ADTPAnレジスタへの書き換えは禁止です。

V850E/SV2では、バッファRAMを32バイト内蔵しているので、00H-1FHまで指定可能です。

例 ADTPAnレジスタに07Hを設定した場合
00H-07Hまでの8バイトが転送されます

繰り返しモード (CSIMAnレジスタのATMAAnビット = 1の場合は, ADTPAnレジスタに設定したアドレス値まで繰り返し転送します。

例 ADTPAnレジスタに07Hを転送した場合 (繰り返しモード)
00H-07H, 00H-07H, ...と繰り返し転送されます

リセット時: 00H R/W アドレス: ADTPA0 FFFF74H, ADTPA1 FFFF84H

	7	6	5	4	3	2	1	0
ADTPAn (n = 0, 1)	0	0	0	ADTPAn4	ADTPAn3	ADTPAn2	ADTPAn1	ADTPAn0

注意 ビット7-5には, 必ず0を設定してください。

バッファRAMのアドレス値とADTPAnの設定値の関係を次に示します。

バッファRAMのアドレス値		ADTPAnの設定値	バッファRAMのアドレス値		ADTPAnの設定値
CBUF0m	CBUF1m		CBUF0m	CBUF1m	
FE40H	FE60H	00H	FE50H	FE70H	10H
FE41H	FE61H	01H	FE51H	FE71H	11H
FE42H	FE62H	02H	FE52H	FE72H	12H
FE43H	FE63H	03H	FE53H	FE73H	13H
FE44H	FE64H	04H	FE54H	FE74H	14H
FE45H	FE65H	05H	FE55H	FE75H	15H
FE46H	FE66H	06H	FE56H	FE76H	16H
FE47H	FE67H	07H	FE57H	FE77H	17H
FE48H	FE68H	08H	FE58H	FE78H	18H
FE49H	FE69H	09H	FE59H	FE79H	19H
FE4AH	FE6AH	0AH	FE5AH	FE7AH	1AH
FE4BH	FE6BH	0BH	FE5BH	FE7BH	1BH
FE4CH	FE6CH	0CH	FE5CH	FE7CH	1CH
FE4DH	FE6DH	0DH	FE5DH	FE7DH	1DH
FE4EH	FE6EH	0EH	FE5EH	FE7EH	1EH
FE4FH	FE6FH	0FH	FE5FH	FE7FH	1FH

備考 n = 0, 1

m = 0-F

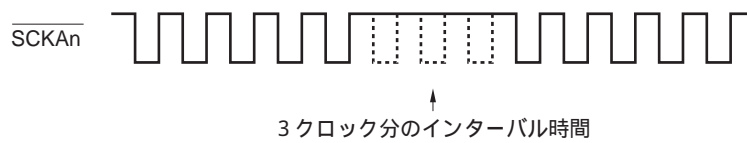
(f) 自動データ転送間隔指定レジスタAn (ADTIA_n)

自動データ転送時 (シリアル動作モード指定レジスタAn (CSIMAn) のATEAnビット = 1) の1バイト転送間におけるインターバル期間 (間隔) を指定する8ビットのレジスタです。

ADTIA_nレジスタは、マスタ・モード (CSIMAnレジスタのMASTERAnビット = 1) 時に設定してください (スレーブ・モード時は設定不要)。また1バイト転送モード (CSIMAnレジスタのATEAnビット = 0) 時の設定は有効です。1バイト転送終了後ADTIA_nレジスタで指定したインターバル時間を経て、割り込み要求信号 (INTCSIA_n) が出力されます。インターバルのクロック数は0-63クロックまで設定できます。

指定したインターバル時間は、転送クロック (分周値選択レジスタAn (BRGCAn) で指定) の整数倍の時間となります。

例 ADTIA_nレジスタ = 03Hの場合



ADTIA_nレジスタは、8ビット・メモリ操作命令で設定します。ただし、シリアル・ステータス・レジスタAn (CSISAn) のTSFAnビット = 1のときは、ADTIA_nレジスタへの書き換えは禁止です。

リセット時 : 00H R/W アドレス : ADTIA0 FFFFFFFD75H, ADTIA1 FFFFD85H								
ADTIA _n (n = 0, 1)	7	6	5	4	3	2	1	0
	0	0	ADTIA _n 5	ADTIA _n 4	ADTIA _n 3	ADTIA _n 2	ADTIA _n 1	ADTIA _n 0

(3) 自動送受信データの設定

(a) 送信データの設定

バッファRAMの最下位アドレスFA00Hから送信データを書き込む（最大FA1FHまで）。送信データ順は、下位アドレスから上位アドレスです。

自動データ転送アドレス・ポイント指定レジスタAn (ADTPAn) に、送信データ・バイト数から1を引いた値を設定する。

備考 n = 0, 1

(b) 自動送受信モードの設定

シリアル動作モード指定レジスタAn (CSIMAn) のCSIAEAnビットに1, ATEAnビットに1を設定する。

CSIMAnレジスタのRXEAnビットとTXEAnビットに1を設定する。

自動データ転送間隔指定レジスタAn (ADTIAN) にデータ送受信の転送間隔を設定する。

シリアル・トリガ・レジスタAn (CSITAn) のATSTAAAnビットに1を設定する。

(a), (b) を行うことによって、次の動作が自動的に行われます。

- ・自動データ転送アドレス・カウント・レジスタAn (ADTCAn) で示された（初期値：00H）バッファRAMのデータをSIOAnレジスタに転送後、送信を行います（自動送受信動作の開始）。
- ・受信したデータは、ADTCAnレジスタで示されたバッファRAMのアドレスへ書き込まれます。
- ・ADTCAnレジスタがインクリメントされ、次のデータの送受信を行います。データの送受信は、ADTCAnレジスタのインクリメント出力が自動データ転送アドレス・ポイント指定レジスタAn (ADTPAn) の設定値と一致するところまで行われます（自動送受信動作の終了）。ただし、CSIMAnレジスタのATMAAnビットに1を設定（繰り返しモード）した場合は、ADTPAnレジスタとADTCAnレジスタが一致したあと、ADTCAnレジスタがクリアされ、繰り返し送受信動作が行われます。
- ・自動送受信動作が終了するとTSFAnビットが0にクリアされます。

備考 n = 0, 1

(4) 自動送受信の通信動作

(a) 自動送受信モード

バッファRAMを用いることにより自動送受信を行うことができます。

(3) 自動送受信データの設定の (a), (b) を行うことによって, バッファRAMに格納したデータをSIOAnレジスタを介してSCKAn端子の立ち下がりに同期してSOAn端子より出力します。

また, SIOAnレジスタを介してシリアル・クロックの立ち下がりに同期してSIAAn端子から入力し, 1クロック後の立ち上がりに同期して受信データをバッファRAMに格納します。

データ転送は, 次のいずれかを満たしたときにシリアル・ステータス・レジスタAn (CSISAn) のTSFAnビット = 0となり, 転送が終了します。

- ・ CSIMAnレジスタのCSICAEAnビット = 0でリセット
- ・ CSITAnレジスタのATSTPAnビット = 1と指定して1バイト分転送が完了
- ・ ADTPAnレジスタで指定した範囲の転送が完了

このとき, CSICAEAnビット = 0の場合を除き, 割り込み要求信号 (INTCSIAAn) を発生します。

一度転送を終了させると, その続きから転送することができません。自動データ転送アドレス・カウンタ・レジスタAn (ADTCAn) を読み出し, どこまで転送が完了したかを確認し, 再度設定して転送してください。

自動送受信モードの動作タイミングを図18 - 5に, 動作フロー・チャートを図18 - 6に示します。また, 6バイト分送受信するときの内部バッファRAMの動作を図18 - 7に示します。

備考 n = 0, 1

図18 - 5 自動送受信モードの動作タイミング

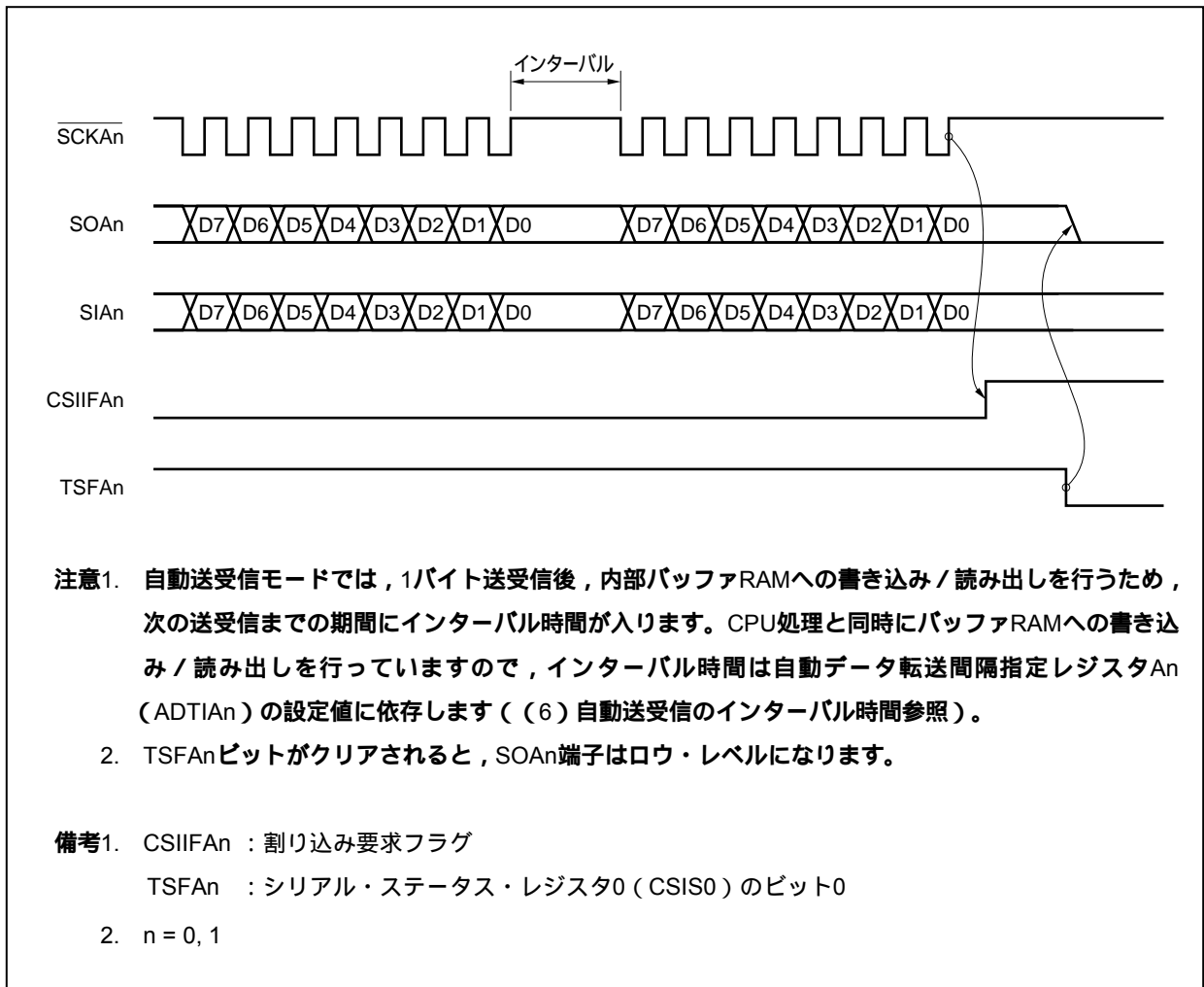
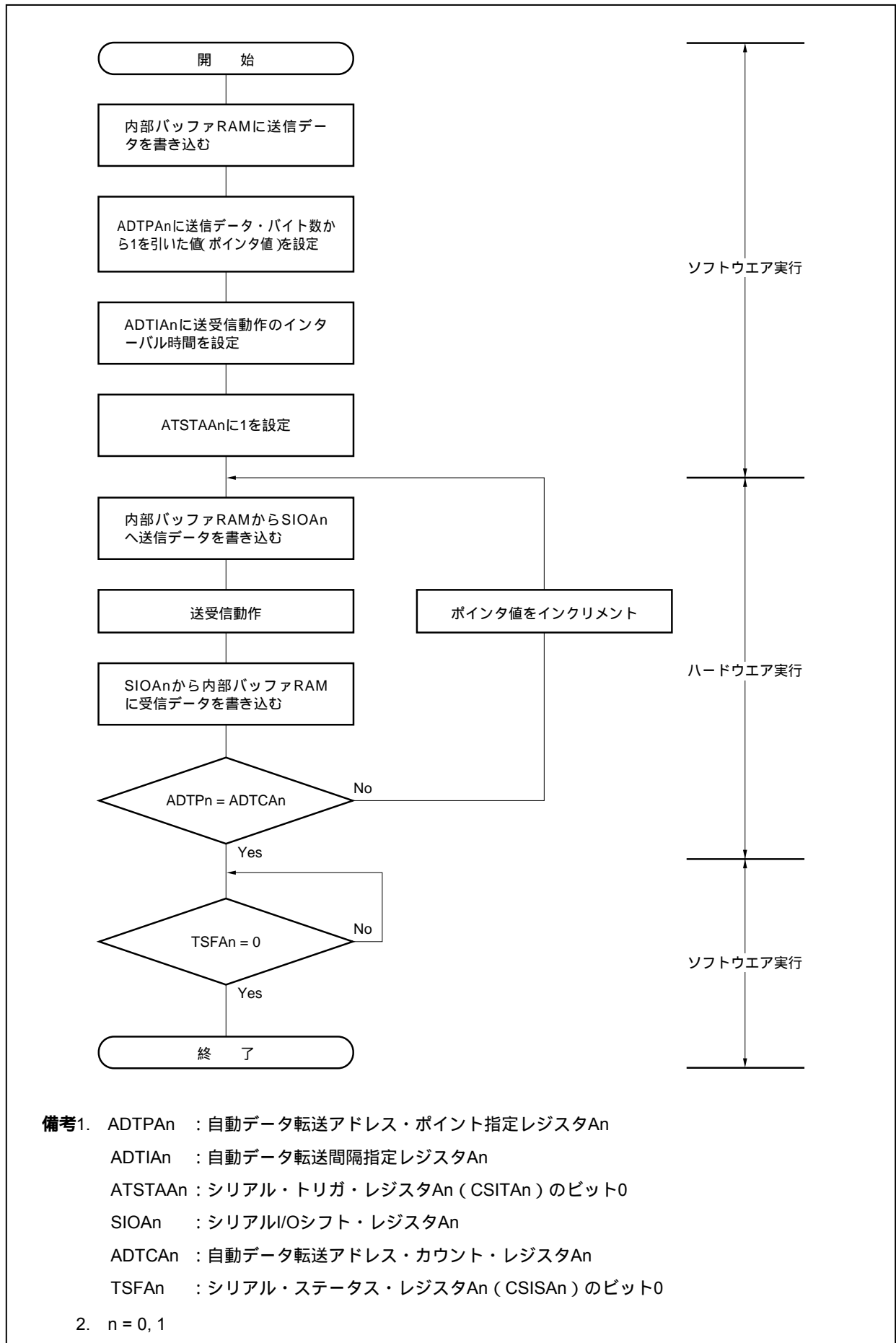


図18-6 自動送受信モードのフロー・チャート



自動送受信モードで6バイト分送受信するとき（シリアル動作モード指定レジスタAn (CSIMAn) の ATMA_nビット = 0, RXEA_nビット = 1, TXEA_nビット = 1），内部バッファRAMは次のような動作をします。

(i) 送受信動作前（図18-7 (a) 参照）

シリアル・トリガ・レジスタAn (CSITAn) のATSTAA_nビットに1を設定すると、内部バッファRAMから送信データ1 (T1) がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると、SIOAnレジスタからバッファRAMへ受信データ1 (R1) が転送され、自動データ転送アドレス・カウンタ・レジスタAn (ADTCAn) がインクリメントされます。続いて内部バッファRAMから送信データ2 (T2) がSIOAnレジスタへ転送されます。

(ii) 4バイト目送受信動作時点（図18-7 (b) 参照）

3バイト目の送受信が完了し、内部バッファRAMから送信データ4 (T4) がSIOAnレジスタへ転送されます。4バイト目の送信が完了すると、SIOAnレジスタから内部バッファRAMへ受信データ4 (R4) が転送され、ADTCAnレジスタがインクリメントされます。

(iii) 送受信完了（図18-7 (c) 参照）

6バイト目の送信が完了すると、SIOAnレジスタから内部バッファRAMへ受信データ6 (R6) が転送され、割り込み要求フラグ (CSIIFAn) がセットされます (INTCSIA_n信号発生)。

図18-7 6バイト分送受信するときの内部バッファRAMの動作（自動送受信モード時）(1/2)

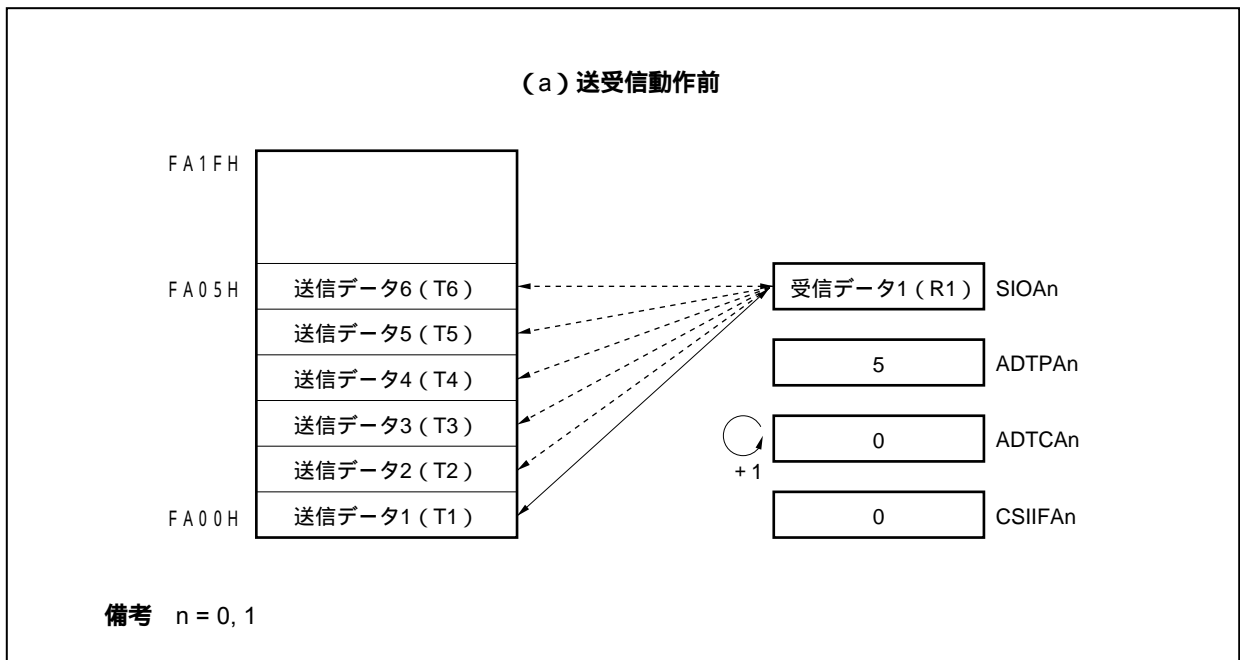
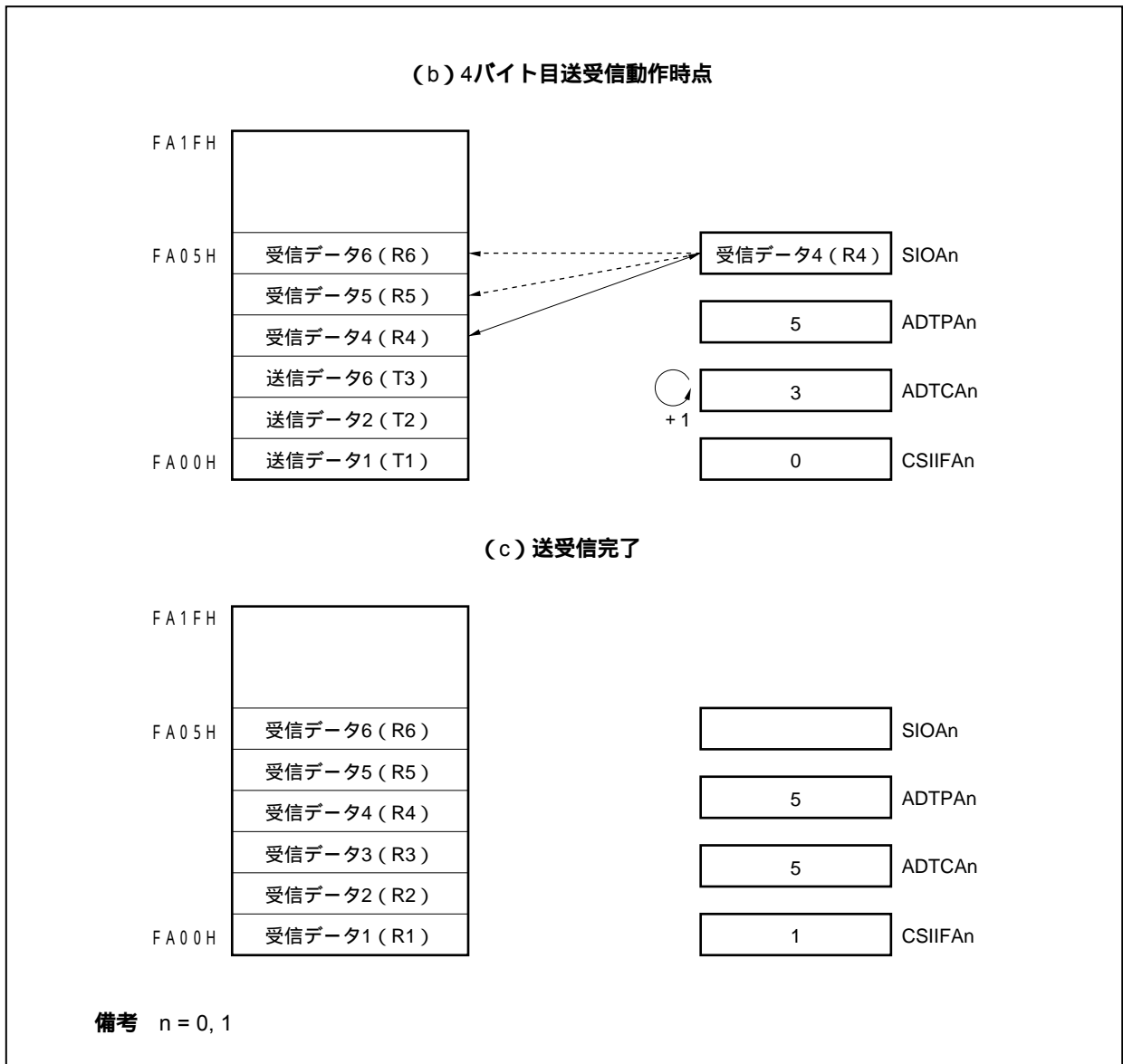


図18-7 6バイト分送受信するときの内部バッファRAMの動作 (自動送受信モード時) (2/2)



(b) 自動送信モード

8ビット単位のデータ送信を指定回数だけ実行する送信モードです。

シリアル転送は、シリアル動作モード指定レジスタAn (CSIMAn) のCSICAEAnビットが1, ATEAnビットが1, TXEAnビットが1にセットされているとき、シリアル・トリガ・レジスタAn (CSITAn) のATSTAAAnビットに1を設定することによって開始します。

最終バイト送信完了時には割り込み要求信号 (INTCSIAAn) が発生します。ただし、自動送受信の終了は、INTCSIAAn信号ではなく、シリアル・ステータス・レジスタAn (CSISAn) のTSFAnビットで判定してください。

自動送信モードの動作タイミングを図18 - 8に、動作フロー・チャートを図18 - 9に示します。また、6バイト分送信するときの内部バッファRAMの動作を図18 - 10に示します。

図18 - 8 自動送信モードの動作タイミング

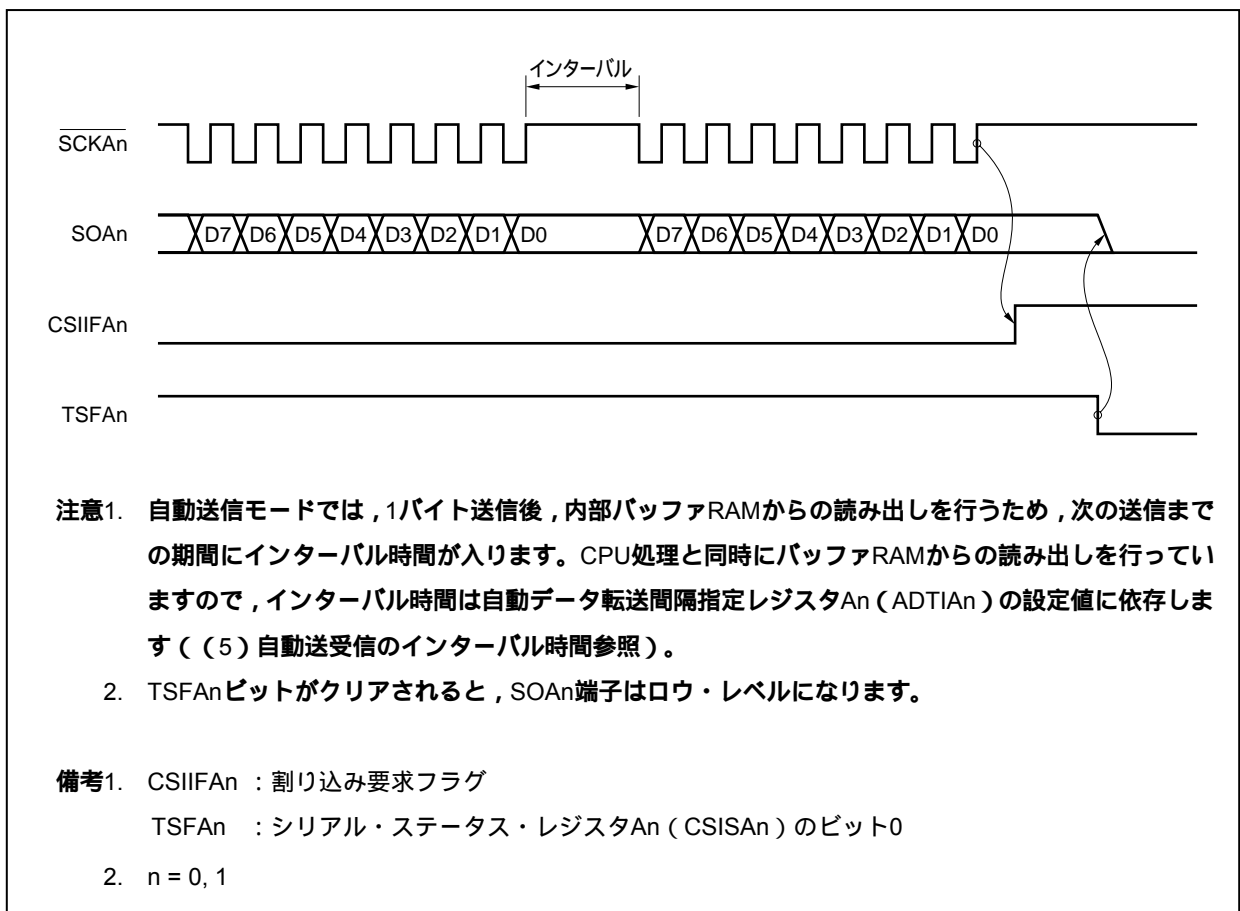
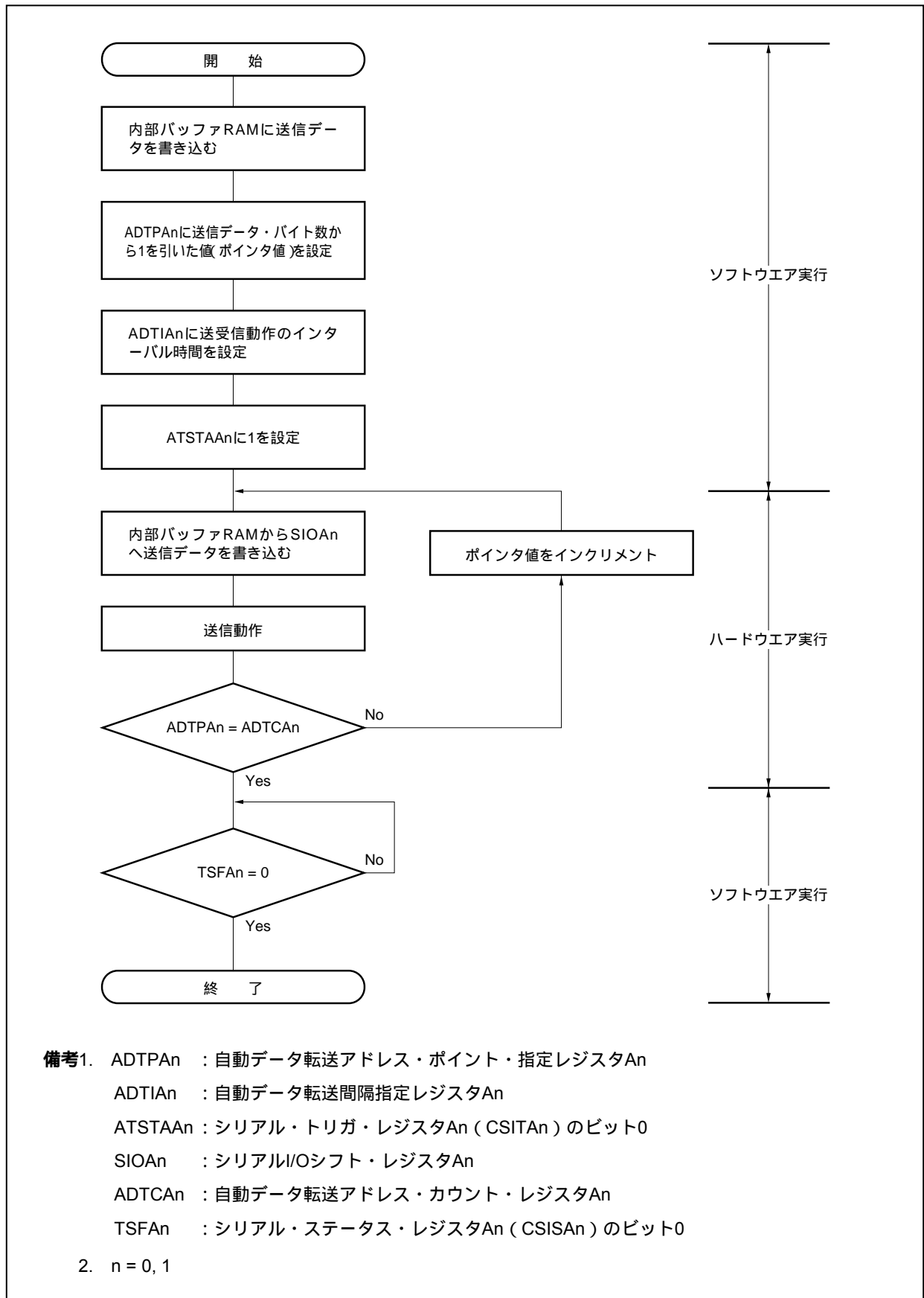


図18 - 9 自動送信モードのフロー・チャート



自動送信モードで6バイト分送信するとき (ATMA_nビット = 0, RXEA_nビット = 0, TXEA_nビット = 1, ATEA_nビット = 1) , 内部バッファRAMは次のような動作をします。

(i) 送信動作前 (図18 - 10 (a) 参照)

シリアル・トリガ・レジスタAn (CSITAn) のATSTAA_nビットに1を設定すると, 内部バッファRAMから送信データ1 (T1) がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると, 自動データ転送アドレス・カウンタ・レジスタAn (ADTCAn) がインクリメントされます。続いて内部バッファRAMから送信データ2 (T2) がSIOAnレジスタへ転送されます。

(ii) 4バイト目送信動作時点 (図18 - 10 (b) 参照)

3バイト目の送信が完了し, 内部バッファRAMから送信データ4 (T4) がSIOAnレジスタへ転送されます。4バイト目の送信が完了すると, ADTCAnレジスタがインクリメントされます。

(iii) 送信完了 (図18 - 10 (c) 参照)

6バイト目の送信が完了すると, 割り込み要求フラグ (CSIIFAn) がセットされます (INTCSIA_n信号発生)。

図18 - 10 6バイト分送信するときの内部バッファRAMの動作 (自動送信モード時) (1/2)

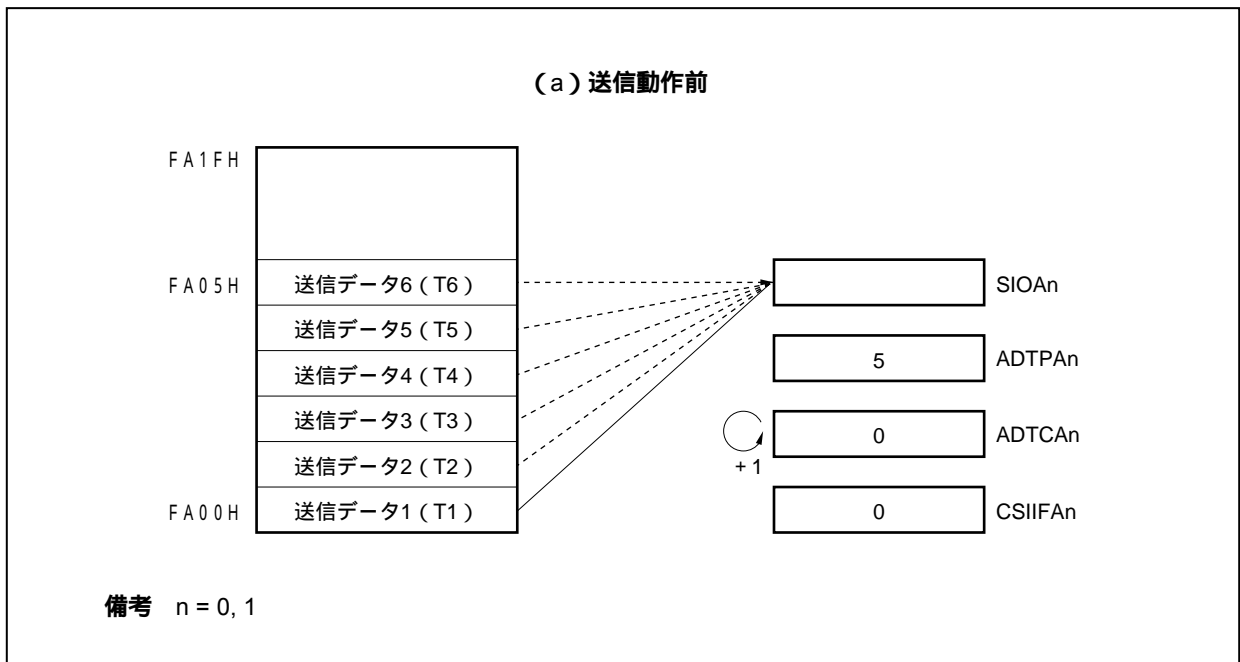
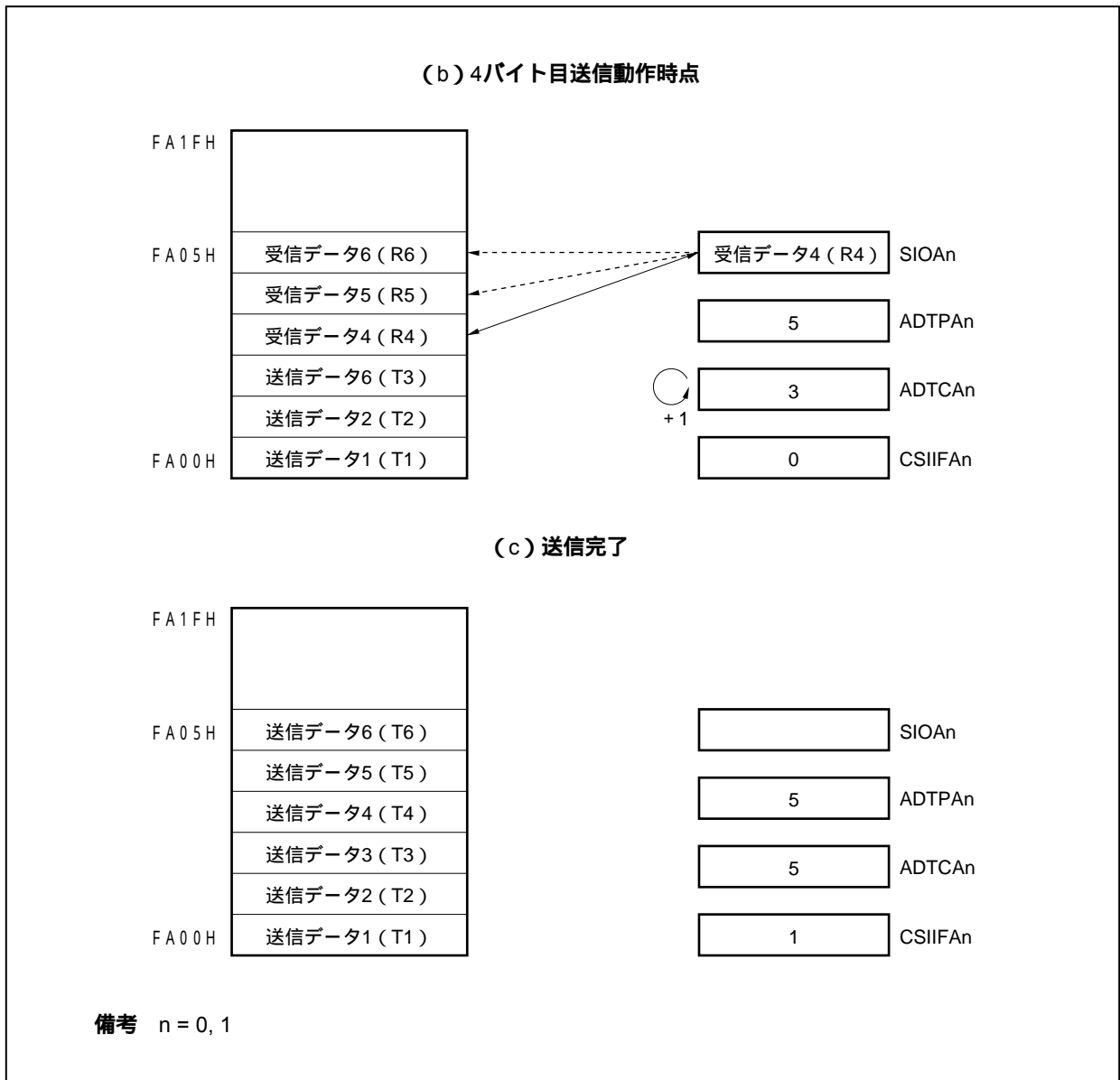


図18 - 10 6バイト分送信するときの内部バッファRAMの動作 (自動送信モード時) (2/2)



(c) 繰り返し送信モード

内部バッファRAMに格納したデータを繰り返し送信するモードです。

シリアル転送は、シリアル動作モード指定レジスタAn (CSIMAn) のCSICAEAnビットが1, ATEAnビットが1, ATMAビットが1, TXEAnビットが1にセットされているとき、シリアル・トリガ・レジスタAn (CSITAn) のATSTAAAnビットに1を設定することによって開始します。

基本送信モードの場合とは異なり、最終バイト (FA1FH番地のデータ) を送信したあと、割り込み要求信号 (INTCSIAAn) は発生せず、自動データ転送アドレス・カウンタ・レジスタAn (ADTCAAn) がリセット (0) され、内部バッファRAMの内容が再送信されます。

繰り返し送信モードの動作タイミングを図18 - 11に、動作フロー・チャートを図18 - 12に示します。また、繰り返し送信モードで6バイト分送信するときの内部バッファRAMの動作を図18 - 13に示します。

図18 - 11 繰り返し送信モードの動作タイミング

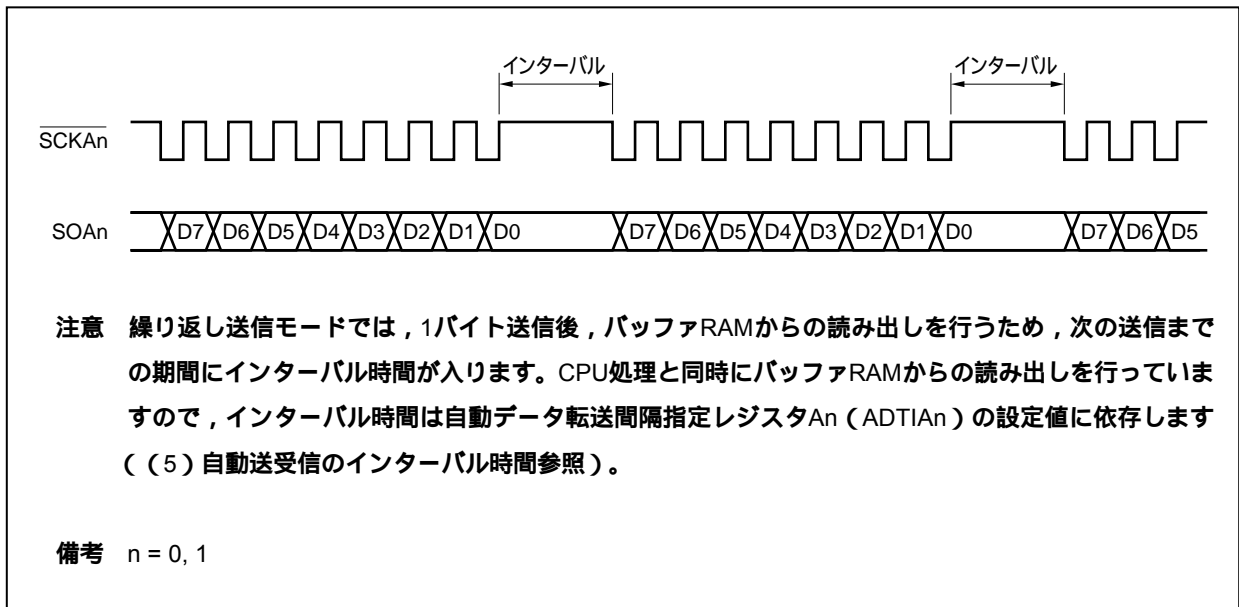
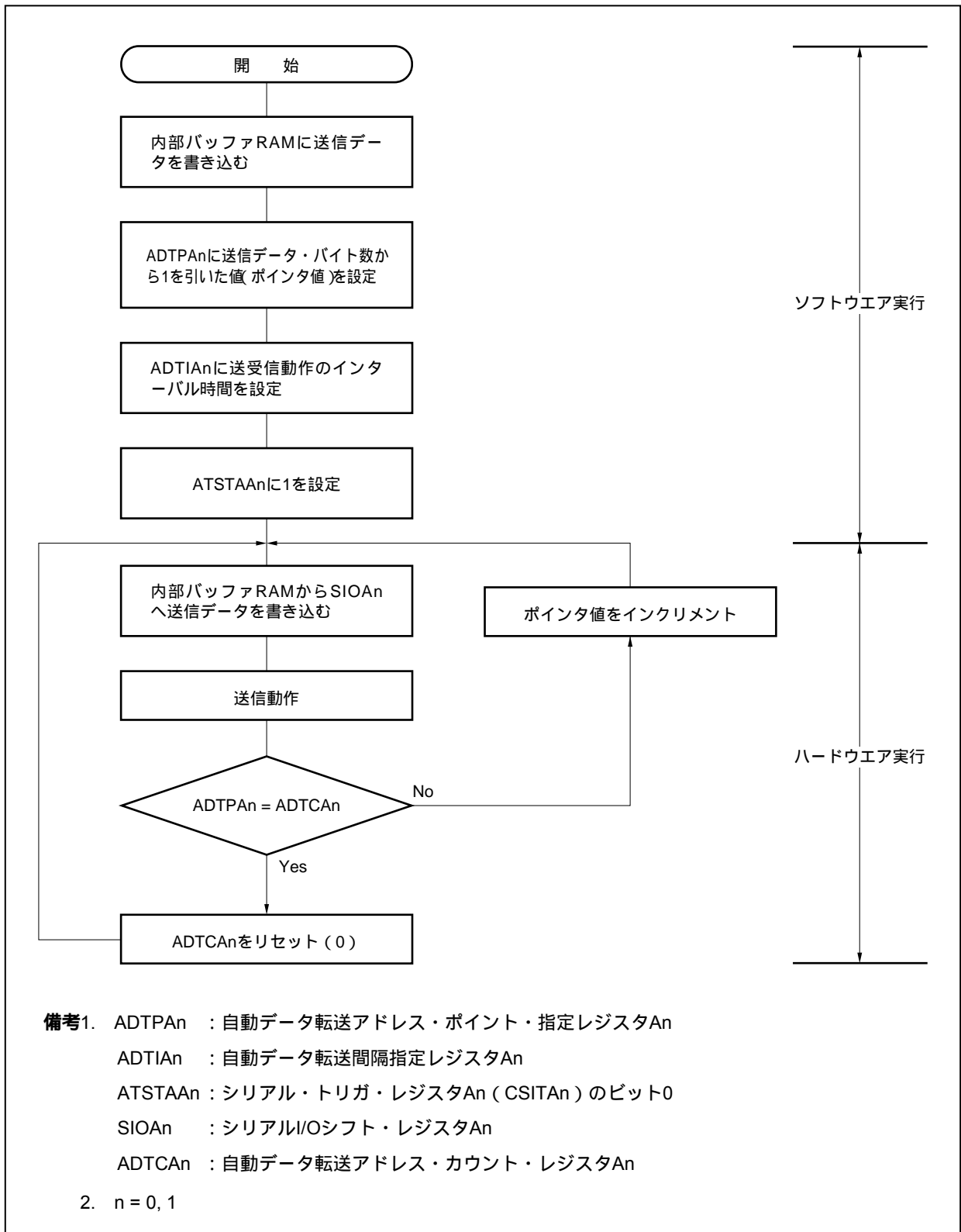


図18 - 12 繰り返し送信モードのフロー・チャート



繰り返し送信モードで6バイト分送信するとき (ATMA_nビット = 1, RXEA_nビット = 0, TXEA_nビット = 1, ATEA_nビット = 1), 内部バッファRAMは次のような動作をします。

(i) 送信動作前 (図18 - 13 (a) 参照)

シリアル・トリガ・レジスタAn (CSITAn) のATSTAA_nビットに1を設定すると, 内部バッファRAMから送信データ1 (T1) がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると, 自動データ転送アドレス・カウンタ・レジスタAn (ADTCAn) がインクリメントされます。続いて内部バッファRAMから送信データ2 (T2) がSIOAnレジスタへ転送されます。

(ii) 6バイト分送信完了時点 (図18 - 13 (b) 参照)

6バイト目の送信が完了しても, 割り込み要求信号 (INTCSIA_n) は発生しません。
ADTCAnレジスタがリセット (0) されます。

(iii) 7バイト目送信動作時点 (図18 - 13 (c) 参照)

再び内部バッファRAMから送信データ1 (T1) がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると, ADTCAnレジスタがインクリメントされます。続いて内部バッファRAMから送信データ2 (T2) がSIOAnレジスタへ転送されます。

図18 - 13 6バイト分送信するときの内部バッファRAMの動作 (繰り返し送信モード時) (1/2)

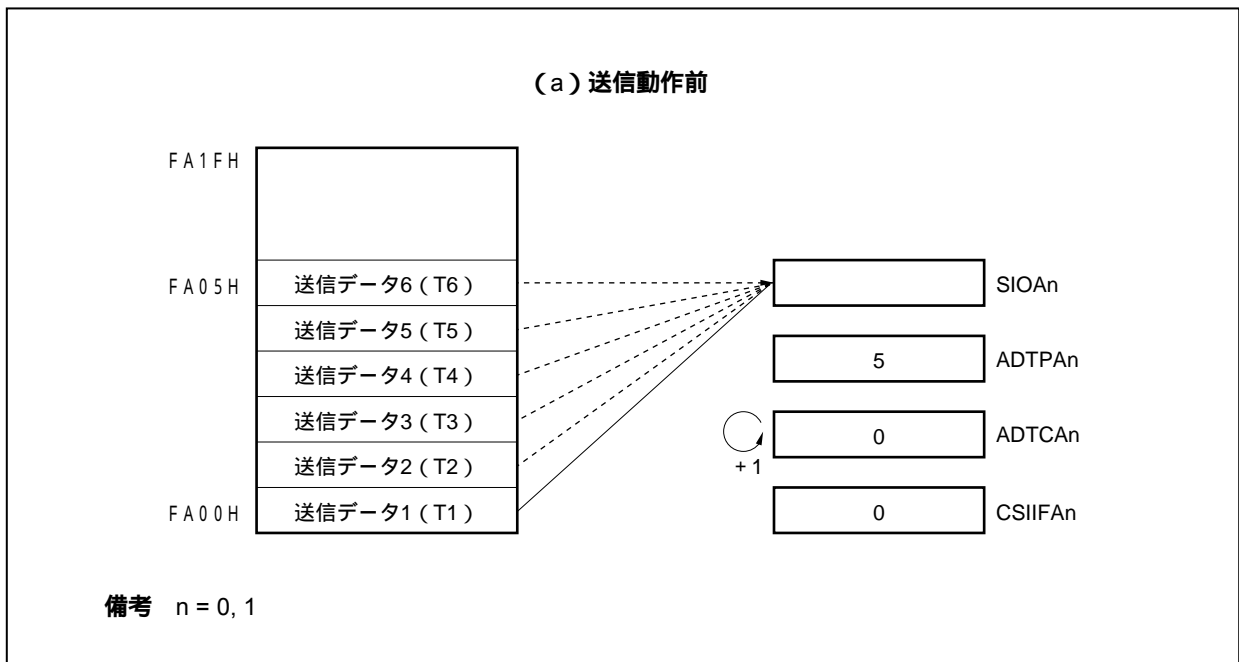
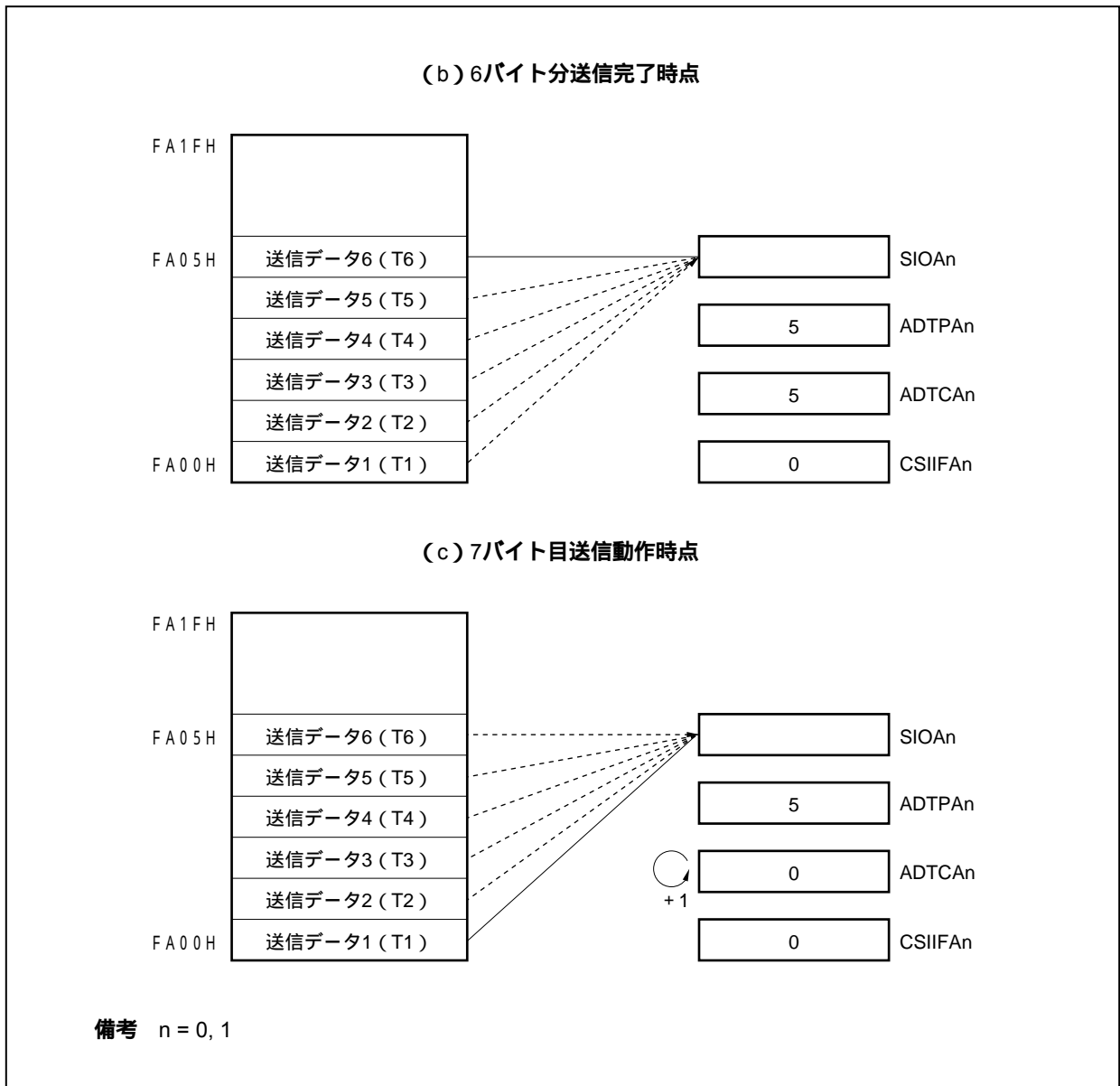


図18 - 13 6バイト分送信するときの内部バッファRAMの動作 (繰り返し送信モード時) (2/2)

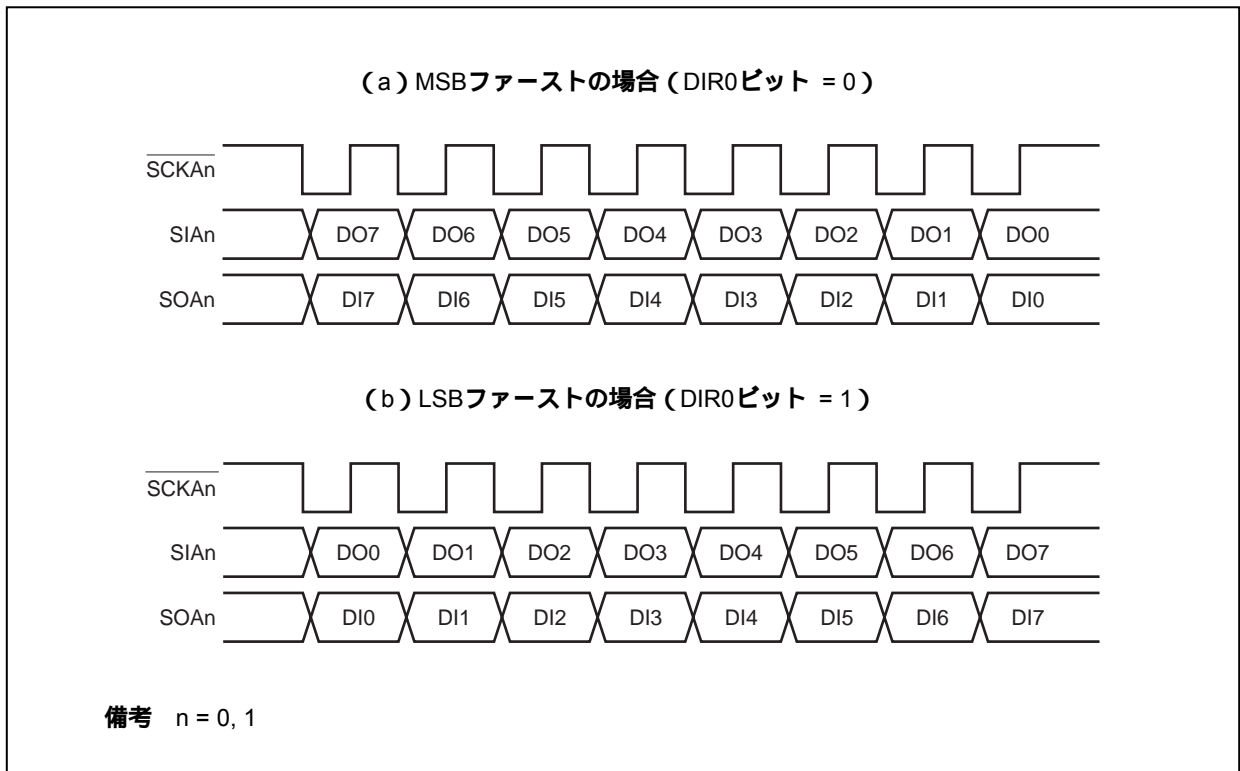


(d) データ・フォーマット

データ・フォーマットは、下記に示すように、 $\overline{\text{SCKAn}}$ 端子の立ち下がりに同期してデータが変化します。

データ長は8ビット固定であり、データ転送方向は、シリアル動作モード指定レジスタAn (CSIMAn) のCDIRAnビットの指定により切り替えることができます。

図18 - 14 CSIAの送受信データのフォーマット



(e) 自動送受信の中断と再開

自動送受信中に送受信動作を一時的に中断したい場合、シリアル・トリガ・レジスタAn (CSITAn) のATSTPAnビットに1を設定することにより動作の中断ができます。

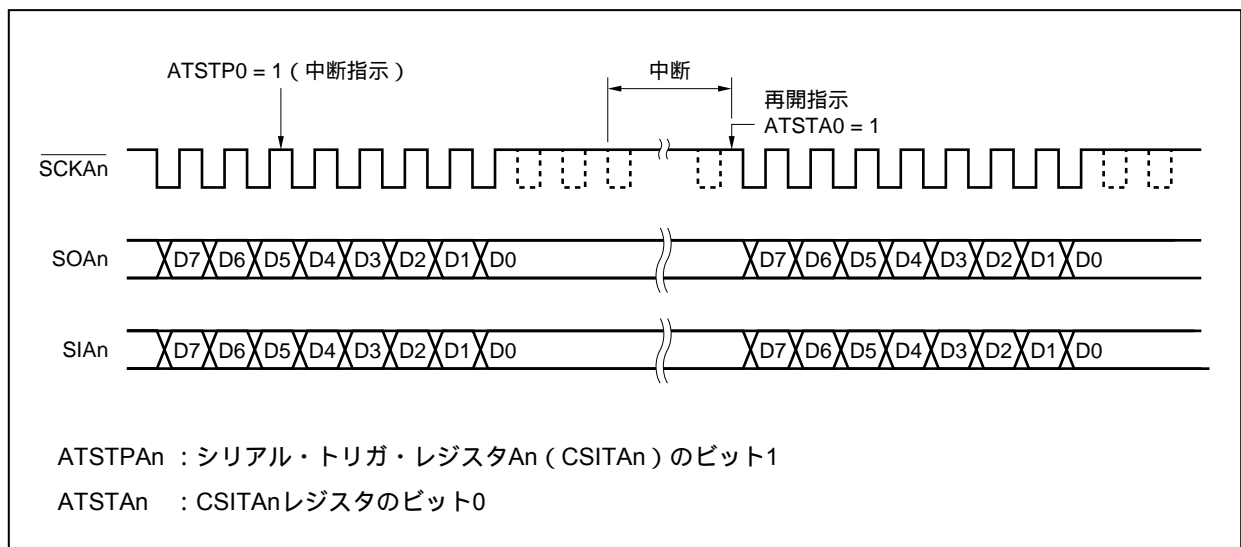
このとき、8ビット・データ転送の途中では中断せず、必ず8ビット・データ転送が完了した時点で中断します。

中断時には、8ビット目のデータを転送したあと、シリアル・ステータス・レジスタAn (CSISAn) のTSFAnビットが0になり、シリアル・インタフェース用端子と兼用しているポート端子がすべてポート・モードになります。

自動送受信を再開するには、CSITAnレジスタのATSTAnビットに1を設定することにより残りのデータを転送できます。

- 注意1.** 自動送受信中にHALT命令を実行すると、8ビット・データ転送の途中でも転送を中断し、HALTモードになります。また、HALTモードを解除すると、自動送受信動作を中断箇所より再開します。
- 2.** 自動送受信動作を中断したとき、TSFAnビット = 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。

図18 - 15 自動送受信の中断と再開

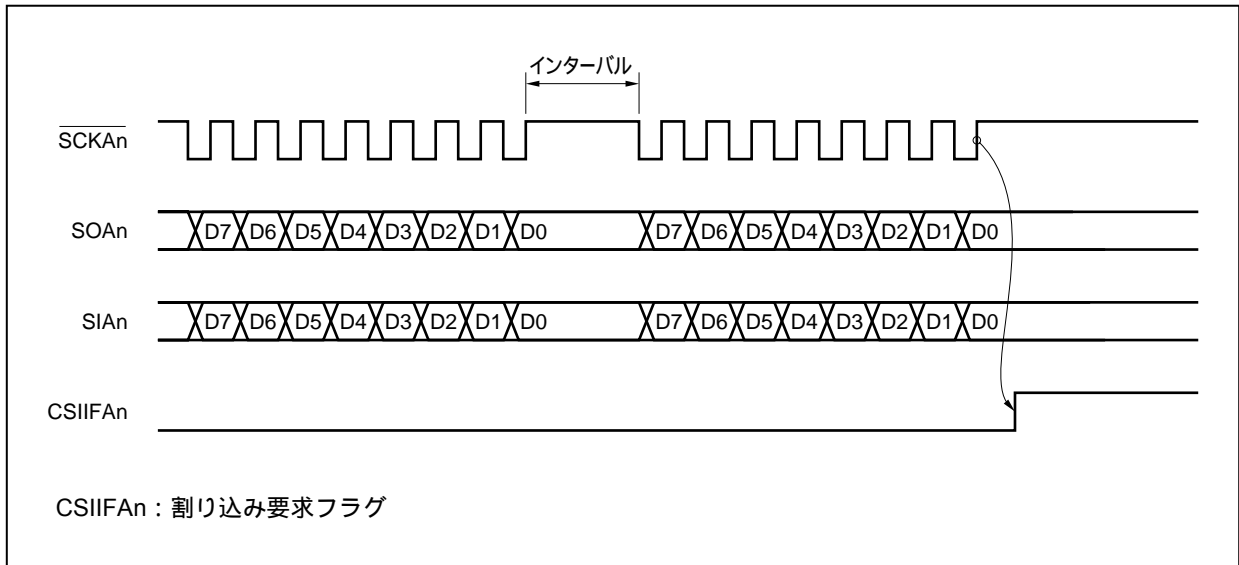


(5) 自動送受信のインターバル時間

自動送受信機能を使用する場合、1バイト送受信後、内部バッファRAMからの書き込み / 読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。

自動送受信機能を内部クロックで動作させる場合、CPU処理と並行してバッファRAMとの書き込み / 読み出しを行うため、インターバル時間は、自動データ転送間隔指定レジスタAn (ADTIAN) の設定値に依存します。

図18 - 16 自動送受信のインターバル時間



第19章 I²Cバス

この機能を使用する場合は、P26/SDA, P27/SCL端子をN-chオープン・ドレイン出力に設定してください。

I²Cバスを内蔵している製品を次に示します。

μPD703166Y, 70F3166Y

I²Cには、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

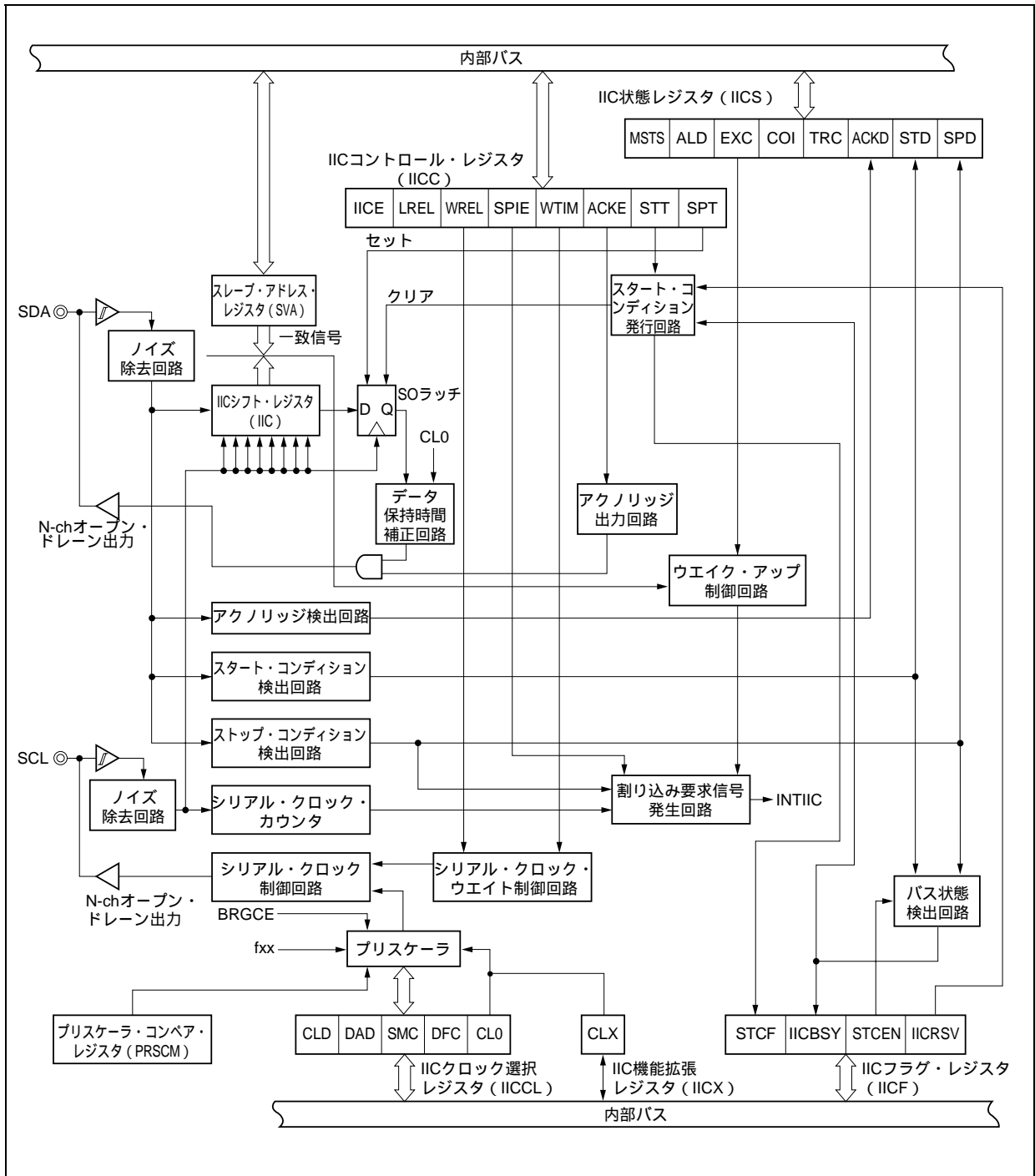
(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック端子 (SCL) とシリアル・データ・バス端子 (SDA) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”，“データ”および“ストップ・コンディション”を出力できます。スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

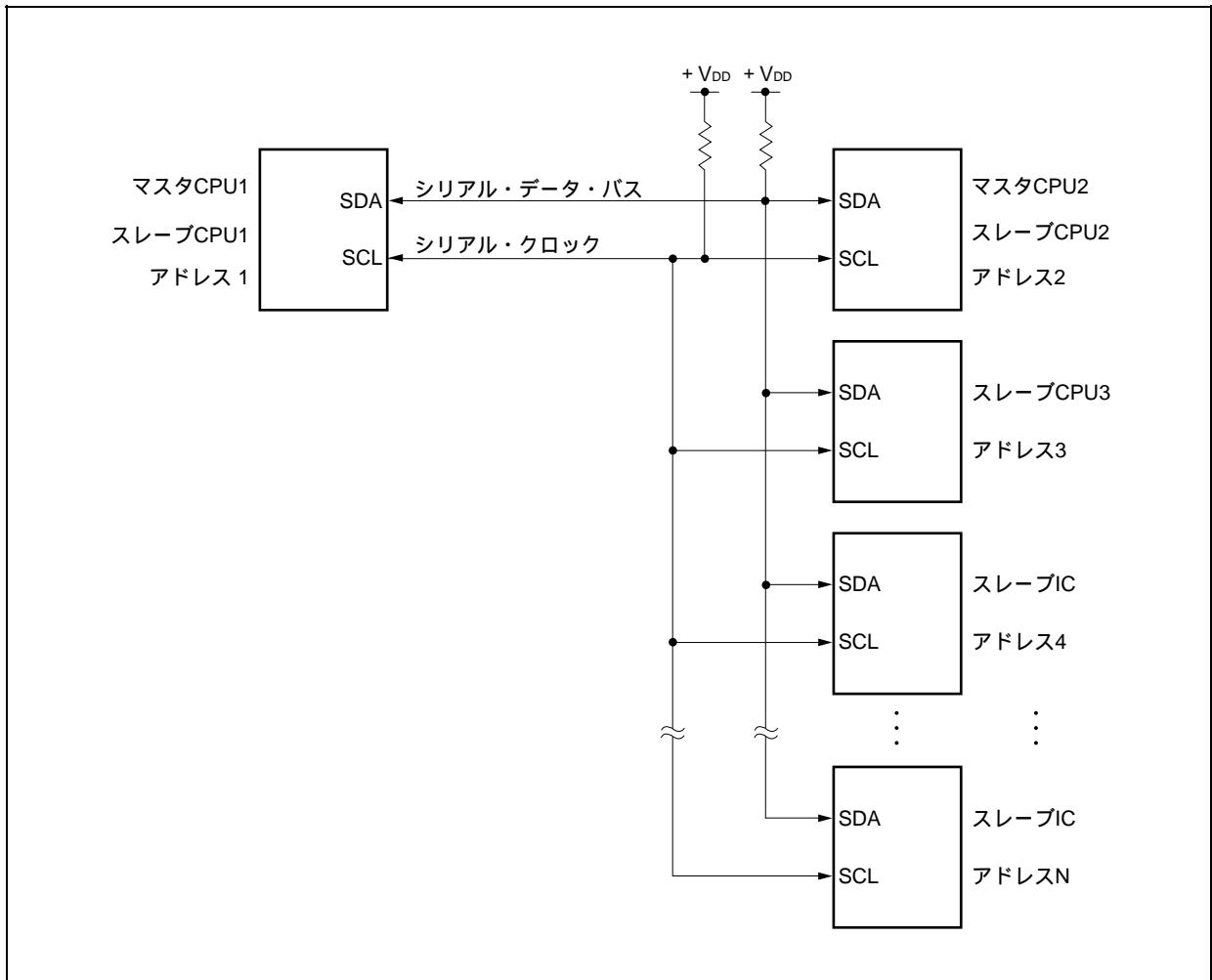
I²Cでは、SCL端子とSDA端子はオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図19-1 I²Cのブロック図



次にシリアル・バス構成例を示します。

図19 - 2 I²Cバスによるシリアル・バス構成例



19.1 構成

I²Cは、次のハードウェアで構成されています。

表19 - 1 I²Cの構成

項 目	構 成
レジスタ	IICシフト・レジスタ (IIC) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	IICコントロール・レジスタ (IICC) IIC状態レジスタ (IICS) IICフラグ・レジスタ (IICCF) IICクロック選択レジスタ (IICCL) IIC機能拡張レジスタ (IICX) プリスケアラ・モード・レジスタ5 (PRSM5) プリスケアラ・コンペア・レジスタ5 (PRSCM5)

(1) IICシフト・レジスタ (IIC)

IICレジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICレジスタは送信および受信の両方に使用されます。

IICレジスタに対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

IICレジスタは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(2) スレーブ・アドレス・レジスタ (SVA)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

SVAレジスタは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(3) SOラッチ

SOラッチは、SDA端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ (SVA) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求を発生させる回路です。

(5) クロック・セクタ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIIC) の発生を制御します。
I²C割り込みは、次の2つのトリガで発生します。

- ・ シリアル・クロックの8クロック目または9クロック目
(IICコントロール・レジスタ (IICC) のWTIMビットで設定)
- ・ ストップ・コンディション検出による割り込み発生
(IICコントロール・レジスタ (IICC) のSPIEビットで設定)

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウエイト制御回路

ウエイト・タイミングを制御します。

(10) アクノリッジ出力回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各種制御信号の出力および検出を行います。

(11) データ保持時間補正回路

SCL端子の立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション発行回路

IICCレジスタのSTTビットがセットされるとスタート・コンディションを発行します。

ただし通信予約禁止状態 (IICフラグ・レジスタ (IICF) のIICRSVビット = 1) で、かつバスが解放されていない (IICFレジスタのIICBSYビット = 1) のときには、スタート・コンディション要求は無視し、STCFフラグをセットします。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、IICFレジスタのSTCENビットにより、初期状態を設定します。

19.2 I²C制御レジスタ

I²Cは、次のレジスタで制御します。

- ・ IICコントロール・レジスタ (IICC)
- ・ IIC状態レジスタ (IICS)
- ・ IICフラグ・レジスタ (IICF)
- ・ IICクロック選択レジスタ (IICCL)
- ・ IIC機能拡張レジスタ (IICX)
- ・ プリスケーラ・モード・レジスタ5 (PRSM5)
- ・ プリスケーラ・コンペア・レジスタ5 (PRSCM5)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ (IIC)
- ・ スレーブ・アドレス・レジスタ (SVA)

(1) IICコントロール・レジスタ (IICC)

I²Cの動作許可/禁止、ウェイト・タイミングの設定、その他I²C動作の設定を行うレジスタです。

IICCレジスタは、8/1ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

注意 I²Cバス・モード時、ポート3モード・レジスタ (PM3) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・ P33 (SDA) を出力モード (PM33 = 0) に設定
- ・ P34 (SCL) を出力モード (PM34 = 0) に設定

リセット時：00H R/W アドレス：FFFFFFD92H

	⑦	⑥	⑤	④	③	②	①	①
IICC	IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT

IICE	I ² C動作許可 / 禁止の指定	
0	動作停止。IIC状態レジスタ (IICS) をプリセット。内部動作も停止。	
1	動作許可。	
クリアされる条件 (IICEビット = 0)		セットされる条件 (IICEビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・命令によるセット

LREL	通信退避	
0	通常動作。	
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL, SDAラインはハイ・インピーダンス状態になる。 STT, SPTビット, IICSレジスタのSTD, ACKD, TRC, COI, EXC, MSTTSビットがクリアされる。	
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信		
クリアされる条件 (LRELビット = 0) 注		セットされる条件 (LRELビット = 1)
<ul style="list-style-type: none"> ・実行後、自動的にクリア ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・命令によるセット

WREL	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。	
クリアされる条件 (WRELビット = 0) 注		セットされる条件 (WRELビット = 1)
<ul style="list-style-type: none"> ・実行後、自動的にクリア ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・命令によるセット

SPIE	ストップ・コンディション検出による割り込み要求発生の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIEビット = 0) 注		セットされる条件 (SPIEビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・命令によるセット

注 IICEビット = 0により、このフラグの信号を無効にします。

WTIM	ウェイトおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定は無効になり, 転送終了後このビットの設定が有効になります。またマスタ時, アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは, アクノリッジ発生後の9クロック目の立ち下がりでウェイトに入ります。拡張コードを受信したスレーブは, 8クロック目の立ち下がりでウェイトに入ります。		
クリアされる条件 (WTIMビット = 0) 注		セットされる条件 (WTIMビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

ACKE	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDAラインをロウ・レベルにする。ただし, アドレス転送中は無効, EXCビット = 1の場合は有効。	
クリアされる条件 (ACKEビット = 0) 注		セットされる条件 (ACKEビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 IICEビット = 0により, このフラグの信号を無効にします。

STT	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（ストップ状態）： スタート・コンディションを生成する（マスタとしての起動）。SDAラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCL端子をロウ・レベルにする。</p> <p>バスに参加していないとき： ・通信予約機能許可の場合（IICFレジスタのIICRSVビット = 0） スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと、自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSVビット = 1） IICFレジスタのSTCFフラグがセットされる。スタート・コンディションは生成しない。</p> <p>ウエイト状態（マスタ時）： ウエイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKEビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能です。</p> <p>マスタ送信の場合：ACK期間中は、正常にスタート・コンディションが生成されていないことがあります。ウエイト期間中にセットしてください。</p> <p>・SPTビットと同時にセットすることは禁止です。</p>	
クリアされる条件（STTビット = 0）	セットされる条件（STTビット = 1）
<ul style="list-style-type: none"> ・命令によるクリア ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LRELビット = 1によるクリア ・IICEビット = 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・命令によるセット

注 IICEビット = 0により、このフラグの信号を無効にします。

備考 STTビットは、データ設定後に読み出すと0になっています。

SPT	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDAラインをロウ・レベルにしたあと、SCLラインをハイ・レベルにするか、またはSCL端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット可能です。</p> <p>マスタ送信の場合：ACK期間中は、正常にストップ・コンディションが生成されないことがあります。ウエイト期間中にセットしてください。</p> <p>・STTビットと同時にセットすることは禁止です。</p> <p>SPTビットのセットは、マスタのときのみ行ってください。^注</p> <p>WTIMビット = 0設定時に、8クロック出力後のウエイト期間中にSPTビットをセットすると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。</p> <p>9クロック目を出力する必要がある場合には、8クロック出力後のウエイト期間中にWTIMビット = 0 1に設定し、9クロック目出力後のウエイト期間中にSPTビットをセットしてください。</p>					
<table border="1"> <thead> <tr> <th>クリアされる条件 (SPTビット = 0)</th> <th>セットされる条件 (SPTビット = 1)</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> ・ 命令によるクリア ・ アービトレーションに負けたとき ・ ストップ・コンディション検出後、自動的にクリア ・ LRELビット = 1によるクリア ・ IICEビット = 0のとき ・ $\overline{\text{RESET}}$入力時 </td> <td> <ul style="list-style-type: none"> ・ 命令によるセット </td> </tr> </tbody> </table>		クリアされる条件 (SPTビット = 0)	セットされる条件 (SPTビット = 1)	<ul style="list-style-type: none"> ・ 命令によるクリア ・ アービトレーションに負けたとき ・ ストップ・コンディション検出後、自動的にクリア ・ LRELビット = 1によるクリア ・ IICEビット = 0のとき ・ $\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・ 命令によるセット
クリアされる条件 (SPTビット = 0)	セットされる条件 (SPTビット = 1)				
<ul style="list-style-type: none"> ・ 命令によるクリア ・ アービトレーションに負けたとき ・ ストップ・コンディション検出後、自動的にクリア ・ LRELビット = 1によるクリア ・ IICEビット = 0のとき ・ $\overline{\text{RESET}}$入力時 	<ul style="list-style-type: none"> ・ 命令によるセット 				

注 SPTビットのセットは、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出するまでにマスタ動作を行うには、一度SPTビットをセットしてストップ・コンディションを生成する必要があります。詳細は、19.13 **注意事項**を参照してください。

注意 IIC状態レジスタ(IICS)のTRCビット = 1のとき、9クロック目にWRELビットをセットしてウエイト解除すると、TRCビットをクリアしてSDAラインをハイ・インピーダンスにします。

備考 SPTビットは、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ (IICS)

I²Cのステータスを表すレジスタです。

IICSレジスタは、8/1ビット・メモリ操作命令で設定します。IICSレジスタは読み出しのみ可能です。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(1/3)

リセット時：00H R アドレス：FFFFFD96H

	⑦	⑥	⑤	④	③	②	①	①
IICS	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD

MSTS	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTSビット = 0)		セットされる条件 (MSTSビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALDビット = 1のとき ・IICコントロール・レジスタ (IICC) のLRELビット = 1によるクリア ・IICCレジスタのIICEビット = 1 0のとき ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALD	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTSビットがクリアされる。	
クリアされる条件 (ALDビット = 0)		セットされる条件 (ALDビット = 1)
<ul style="list-style-type: none"> ・IICSレジスタ読み出し後、自動的にクリア^注 ・IICEビット = 1 0のとき ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

EXC	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信。	
クリアされる条件 (EXCビット = 0)		セットされる条件 (EXCビット = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELビット = 1によるクリア ・IICEビット = 1 0のとき ・$\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> 受信したアドレス・データの上位4ビットが “ 0000 ” または “ 1111 ” のとき (8クロック目の立ち上がりでセット)

注 IICSレジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

COI	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COIビット = 0)		セットされる条件 (COIビット = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELビット = 1によるクリア ・IICEビット = 1 0のとき ・RESET入力時 		受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ (SVA)) と一致したとき (8クロック目の立ち上がりでセット)

TRC	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDAラインをハイ・インピーダンスにする。	
1	送信状態。SDAラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
クリアされる条件 (TRCビット = 0)		セットされる条件 (TRCビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LRELビット = 1によるクリア ・IICEビット = 1 0のとき ・IICCレジスタのWRELビット = 1によるクリア^注 ・ALDビット = 0 1のとき ・RESET入力時 マスタの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・スタート・コンディション検出時 通信不参加の場合		マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) で “1” を入力したとき

ACKD	アクノリッジ検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出する。	
クリアされる条件 (ACKDビット = 0)		セットされる条件 (ACKDビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELビット = 1によるクリア ・IICEビット = 1 0のとき ・RESET入力時 		SCL端子の9クロック目の立ち上がり時にSDA端子がロウ・レベルであったとき

注 TRCビット = 1のとき, 9クロック目にWRELビットをセットしてウエイトを解除すると, TRCビットをクリアしてSDAラインをハイ・インピーダンスにします。

STD	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
	クリアされる条件 (STDビット = 0)	セットされる条件 (STDビット = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELビット = 1によるクリア ・IICEビット = 1 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
	クリアされる条件 (SPDビット = 0)	セットされる条件 (SPDビット = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICEビット = 1 0のとき ・RESET入力時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

(3) IICフラグ・レジスタ (IICF)

I²Cの制御およびフラグ用のレジスタです。

IICFレジスタは、8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(1/2)

リセット時：00H R/W^注 アドレス：FFFFFFD9AH

	⑦	⑥	5	4	3	2	①	①
IICF	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	STTクリア・フラグ	
0	スタート・コンディション発行	
1	STTフラグ・クリア	
クリアされる条件 (STCFビット = 0)		セットされる条件 (STCFビット = 1)
<ul style="list-style-type: none"> ・ IICコントロール・レジスタ (IICC) のSTTビット = 1によるクリア ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSVビット = 1) 設定時のSTTビットのクリア

IICBSY	I ² Cバス状態フラグ	
0	バス解放状態	
1	バス通信状態	
クリアされる条件 (IICBSYビット = 0)		セットされる条件 (IICBSYビット = 1)
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCENビット = 0時のIICCレジスタのIICEビットのセット

注 ビット6, 7はリード・オンリーです。

STCEN	初期スタート許可トリガ	
0	動作許可 (IICEビット = 1) 後, ストップ・コンディションの検出により, スタート・コンディションを生成する。	
1	動作許可 (IICEビット = 1) 後, ストップ・コンディションを検出せずに, スタート・コンディションを生成する。	
クリアされる条件 (STCEビット = 0)		セットされる条件 (STCEビット = 1)
<ul style="list-style-type: none"> ・ $\overline{\text{START}}$・コンディション検出時 ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

- 注意1.** STCENビットへの書き込みは動作停止 (IICEビット = 0) 時のみ行ってください。
- 2.** STCENビット = 1とした場合, 実際のバス状態にかかわらずバス解放状態 (IICBSYビット = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STTビット = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

IICRSV	通信予約機能禁止ビット	
0	通信予約許可	
1	通信予約禁止	
クリアされる条件 (IICRSVビット = 0)		セットされる条件 (IICRSVビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ 命令によるセット

注意 IICRSVビットへの書き込みは動作停止 (IICEビット = 0) 時のみ行ってください。

(4) IICクロック選択レジスタ (IICCL)

I²Cの転送クロックを設定するレジスタです。

IICCLレジスタは、8/1ビット・メモリ操作命令で設定します。SMC, CL0ビットの設定は、IIC機能拡張レジスタ (IICX)のCLXビットと組み合わせて設定します (19. 5. 2(6)I²Cの転送クロックの設定方法参照)。

$\overline{\text{RESET}}$ 入力により、00Hになります。

リセット時：00H R/W^注 アドレス：FFFFFFD94H

	7	6	⑤	④	3	2	1	0
IICCL	0	0	CLD	DAD	SMC	DFC	0	CL0

CLD	SCL端子のレベル検出 (IICコントロール・レジスタ (IICCL) のIICEビット = 1のときのみ有効)	
0	SCL端子がロウ・レベルであることを検出	
1	SCL端子がハイ・レベルであることを検出	
クリアされる条件 (CLDビット = 0)		セットされる条件 (CLDビット = 1)
<ul style="list-style-type: none"> ・ SCL端子がロウ・レベルのとき ・ IICEビット = 0のとき ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ SCL端子がハイ・レベルのとき

DAD	SDA端子のレベル検出 (IICEビット = 1のときのみ有効)	
0	SDA端子がロウ・レベルであることを検出	
1	SDA端子がハイ・レベルであることを検出	
クリアされる条件 (DADビット = 0)		セットされる条件 (DADビット = 1)
<ul style="list-style-type: none"> ・ SDA端子がロウ・レベルのとき ・ IICEビット = 0のとき ・ $\overline{\text{RESET}}$入力時 		<ul style="list-style-type: none"> ・ SDA端子がハイ・レベルのとき

SMC	動作モードの切り替え	
0	標準モードで動作	
1	高速モードで動作	

DFC	デジタル・フィルタの動作制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、高速モード時にのみ使用できます。		
高速モード時はDFCビットのセット/クリアにより、転送クロックが変化することはありません。		

注 ビット4, 5はリード・オンリーです。

(5) IIC機能拡張レジスタ (IICX)

I²Cの機能拡張を設定するレジスタです (高速モード時のみ有効)。

IICXレジスタは、8/1ビット・メモリ操作命令で設定します。CLXビットの設定は、IICクロック選択レジスタ(IICCL)のSMC、CL0ビットとプリスケアラ・コンペア・レジスタ5(PRSCM5)のPRSCM52-PRSCM50ビットを組み合わせることで設定します (19.2 (9) I²Cnの転送クロックの設定方法参照)。

RESET \bar 入力により、00Hになります。

リセット時：00H R/W アドレス：FFFFFFD95H

	7	6	5	4	3	2	1	0
IICX	0	0	0	0	0	0	0	CLX

(6) プリスケアラ・モード・レジスタ5 (PRSM5)

PRSM5レジスタは、I²Cのポー・レート信号の生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセット時：00H R/W アドレス：FFFFFFDA0H

	7	6	5	④	3	2	1	0
PRSM5	0	0	0	BRGCE5	0	0	0	0

BRGCE5	ポー・レート出力	
0	0固定	
1	動作	

注意 ビット7-5, 3-0には必ず“0”を設定してください。

(7) プリスケアラ・コンペア・レジスタ5 (PRSCM5)

8ビットのコンペア・レジスタです。

8ビット単位でリードのみ可能です。

リセット時：00H R アドレス：FFFFFFDA1H

	7	6	5	4	3	2	1	0
PRSCM5	0	0	0	0	0	PRSCM52	PRSCM51	PRSCM50

注意1. 送信動作中にPRSCM5レジスタを書き換えしないでください。
2. PRSM5レジスタのBRGCE5ビットに“1”を設定する前にPRSCM5レジスタの設定を行ってください。

(8) I²Cに入するカウント・クロック

I²Cに入するカウント・クロック (f_{BRG}) を生成します。

また、内部システム・クロック (f_{XX})、PRSCM5レジスタ設定値 (N) とカウント・クロック (f_{BRG}) との関係は次のとおりです。

$$f_{BRG} = \frac{f_{XX}}{N \times 4}$$

備考 f_{BRG} : カウント・クロック

N : PRSCM5レジスタ設定値 (01-07H)

上記設置値以外の値は設定禁止です。

(9) I²Cの転送クロックの設定方法

I²Cの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (m \times T + t_r + t_f)$$

m = 48, 72, 96, 144, 172, 176, 192, 264, 344, 352, 440, 516, 528, 616, 688 (表19 - 2 選択クロックの設定参照)

T : 1/f_{XX}

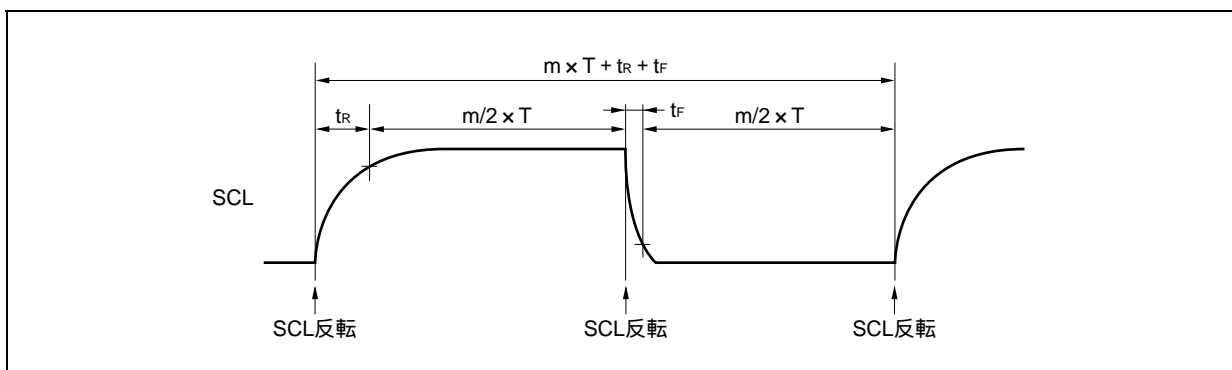
t_r : SCL端子立ち上がり時間

t_f : SCL端子立ち下がり時間

たとえば、f_{XX} = 40.5 MHz、m = 440、t_r = 200 ns、t_f = 50 nsの場合のI²Cの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (440 \times 24.7 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 90.0 \text{ kHz}$$

図19 - 3 I²Cの転送クロック周波数 (f_{SCL})



選択クロックは、IICクロック選択レジスタ (IICCL) のSMC、CL0ビット、IIC機能拡張レジスタ (IICX) のCLXビット、プリスケアラ・コンペア・レジスタ5 (PRSCM5) のPRSCM52-PRSCM50ビットを組み合わせ設定します。

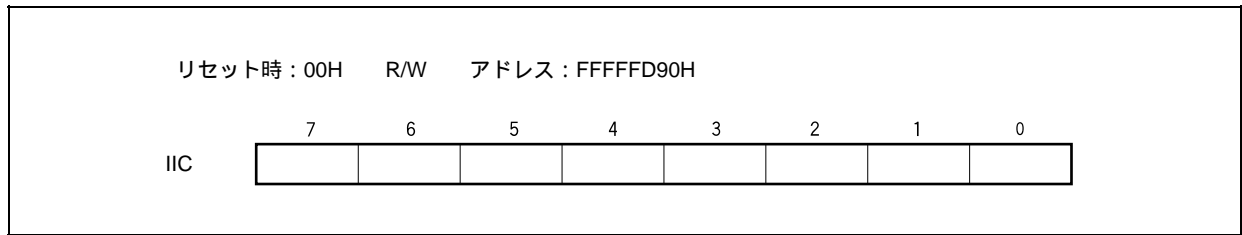
表19 - 2 選択クロックの設定

IICX	IICCL		PRSCM5 レジスタ	BRG5出力	転送クロック	設定可能な メイン・クロック 周波数 (f _{xx}) の範囲	動作モード	
	ビット0	ビット3						ビット0
	CLX	SMC						CL0
0	0	0	01H	f _{xx} /2	設定禁止	-	標準モード (SMCビット = 0)	
0	0	0	02H	f _{xx} /4	f _{xx} /176	10.00 MHz ~ 16.76 MHz		
0	0	0	03H	f _{xx} /6	f _{xx} /264	12.00 MHz ~ 25.14 MHz		
0	0	0	04H	f _{xx} /8	f _{xx} /352	16.00 MHz ~ 33.52 MHz		
0	0	0	05H	f _{xx} /10	f _{xx} /440	20.00 MHz ~ 37.50 MHz		
0	0	0	06H	f _{xx} /12	f _{xx} /528	24.00 MHz ~ 37.50 MHz		
0	0	0	07H	f _{xx} /14	f _{xx} /616	28.00 MHz ~ 37.50 MHz		
0	0	1	01H	f _{xx} /2	f _{xx} /172	10.00 MHz ~ 16.76 MHz		
0	0	1	02H	f _{xx} /4	f _{xx} /344	16.76 MHz ~ 33.52 MHz		
0	0	1	03H	f _{xx} /6	f _{xx} /516	25.14 MHz ~ 40.50 MHz		
0	0	1	04H	f _{xx} /8	f _{xx} /688	33.52 MHz ~ 40.50 MHz		
0	0	1	05H	f _{xx} /10	設定禁止	-		
0	0	1	06H	f _{xx} /12	設定禁止	-		
0	0	1	07H	f _{xx} /14	設定禁止	-		
0	1	x	01H	f _{xx} /2	f _{xx} /48	10.00 MHz ~ 16.76 MHz	高速モード (SMCビット = 1)	
0	1	x	02H	f _{xx} /4	f _{xx} /96	16.00 MHz ~ 33.52 MHz		
0	1	x	03H	f _{xx} /6	f _{xx} /144	24.00 MHz ~ 40.50 MHz		
0	1	x	04H	f _{xx} /8	f _{xx} /192	32.00 MHz ~ 40.50 MHz		
0	1	x	05H	f _{xx} /10	設定禁止	-		
0	1	x	06H	f _{xx} /12	設定禁止	-		
0	1	x	06H	f _{xx} /14	設定禁止	-		
1	1	x	01H	f _{xx} /2	設定禁止	-		
1	1	x	02H	f _{xx} /4	f _{xx} /48	16.00 MHz ~ 16.76 MHz		
1	1	x	03H	f _{xx} /6	f _{xx} /72	24.00 MHz ~ 25.14 MHz		
1	1	x	04H	f _{xx} /8	f _{xx} /96	32.00 MHz ~ 33.52 MHz		
1	1	x	05H	f _{xx} /10	設定禁止	-		
1	1	x	06H	f _{xx} /12	設定禁止	-		
1	1	x	07H	f _{xx} /14	設定禁止	-		

備考 x : Don't care

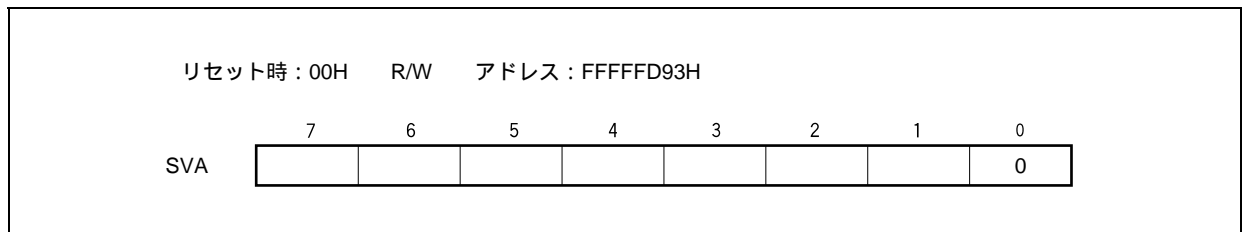
(10) IICシフト・レジスタ (IIC)

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。
8ビット単位でリード/ライト可能ですが、データ転送中にIICレジスタヘデータを書き込まないでください。



(11) スレーブ・アドレス・レジスタ (SVA)

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。
8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。



19.3 I²Cバス・モードの機能

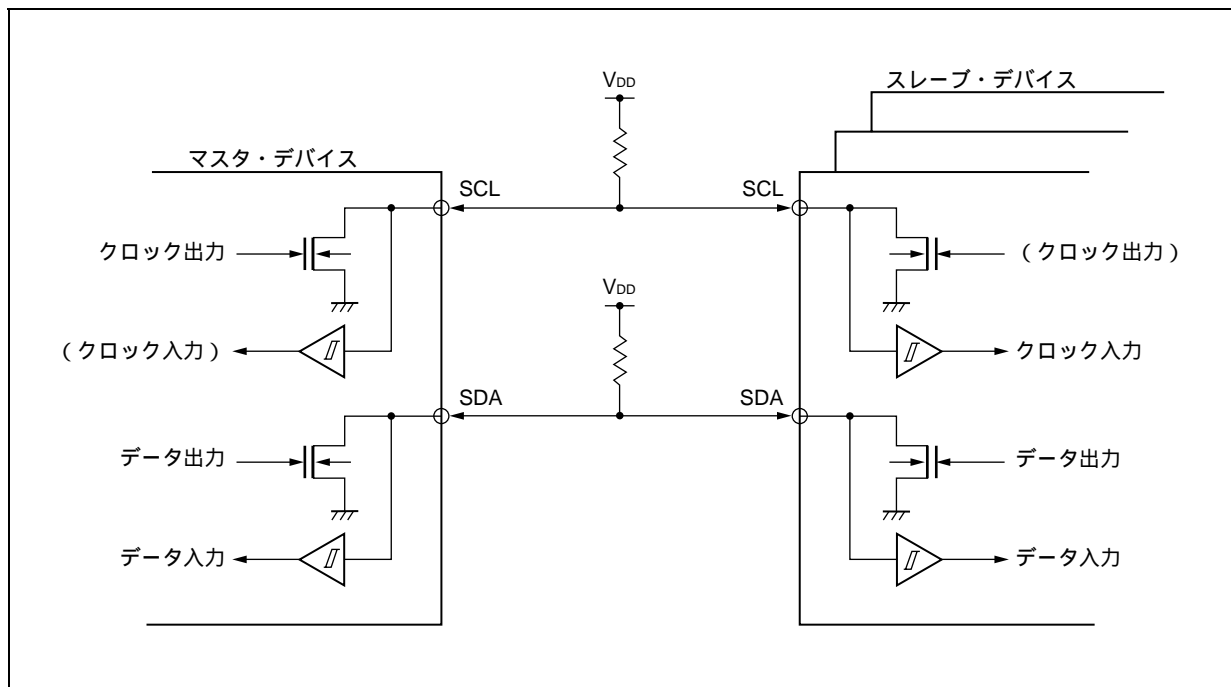
(1) 端子構成

シリアル・クロック端子 (SCL) と、シリアル・データ・バス端子 (SDA) の構成は、次のようになっています)。

- SCL ... シリアル・クロックを入出力するための端子。
 マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。
- SDA ... シリアル・データの入出力兼用端子。
 マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は、シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図19 - 4 端子構成図

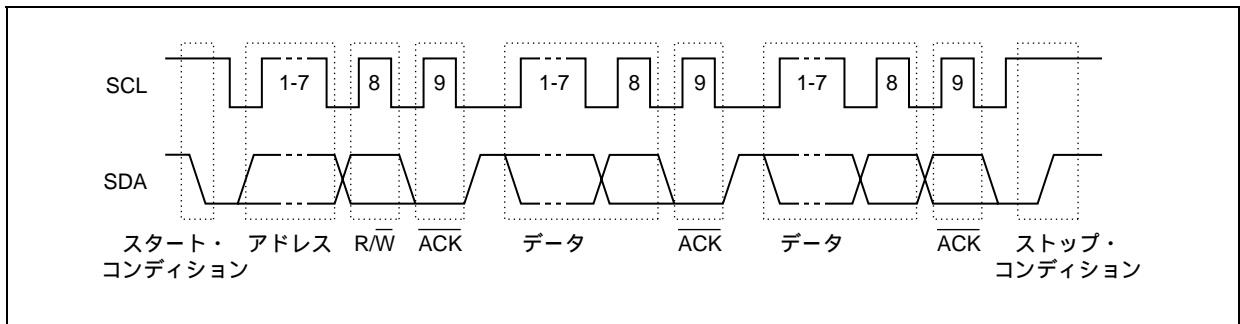


19.4 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”，“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図19-5 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

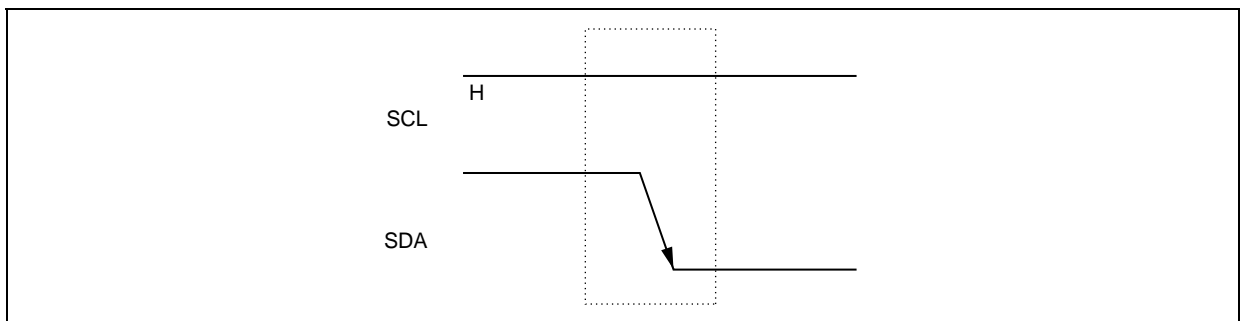
アクノリッジ信号（ $\overline{\text{ACK}}$ ）は，マスタ，スレーブのどちらでも出力できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCL）は，マスタが出力し続けます。ただし，スレーブはSCL端子のロウ・レベル期間を延長し，ウエイトを挿入できます。

(1) スタート・コンディション

SCL端子がハイ・レベルのときに，SDA端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL端子，SDA端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブは，スタート・コンディションを検出するハードウェアを内蔵しています。

図19-6 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（IIC状態レジスタ（IICS）のSPDビット = 1）のときにIICコントロール・レジスタ（IICC）のSTTビットをセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICSレジスタのSTDビットがセット（1）されます。

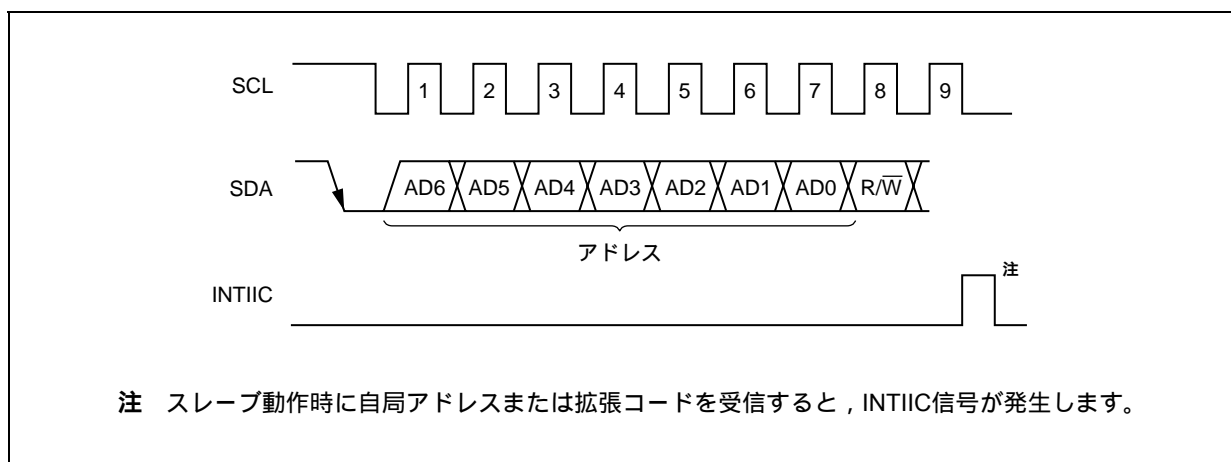
(2) アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ(SVA)と一致しているかを調べます。このとき、7ビット・データとSVAレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図19-7 アドレス



アドレスは、スレーブのアドレスと(3) **転送方向指定**に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ(IIC)に書き込むと出力します。また、受信したアドレスはIICレジスタに書き込まれます。

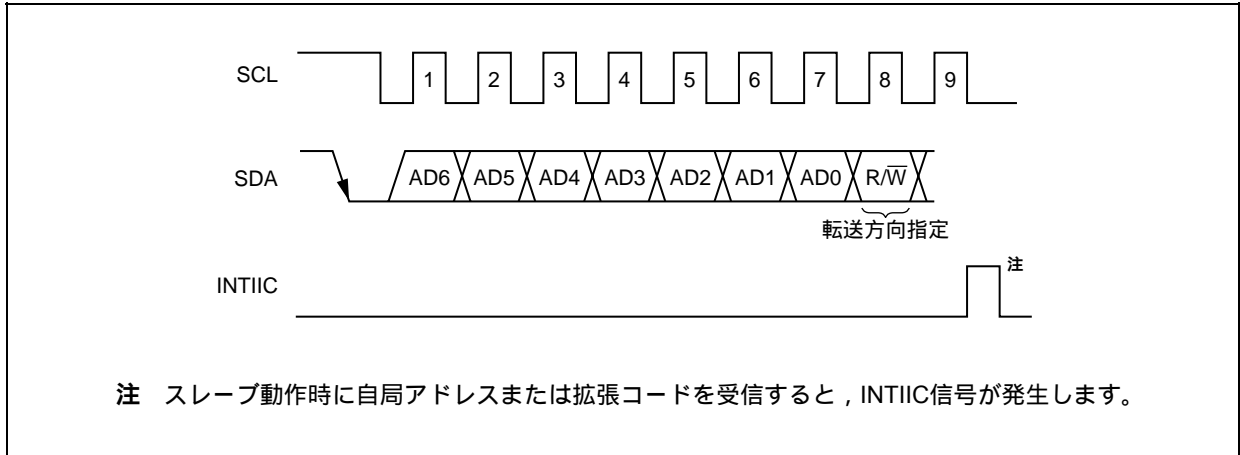
なお、スレーブのアドレスは、IICレジスタの上位7ビットに割り当てられます。

(3) 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図19 - 8 転送方向指定



(4) アクノリッジ信号 ($\overline{\text{ACK}}$)

アクノリッジ信号 ($\overline{\text{ACK}}$) は送信側と受信側におけるシリアル・データ受信を確認するための信号です。

受信側は、8ビット・データを受信するごとに $\overline{\text{ACK}}$ 信号を返します。送信側は通常、8ビット・データ送信後、 $\overline{\text{ACK}}$ 信号を受信します。ただし、マスタが受信の場合、最終データを受信したときは $\overline{\text{ACK}}$ 信号を出力しません。送信側は、8ビット送信後、受信側から $\overline{\text{ACK}}$ 信号が返されたか検出を行います。 $\overline{\text{ACK}}$ 信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブから $\overline{\text{ACK}}$ 信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。 $\overline{\text{ACK}}$ 信号が返らない場合、次の2つの要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

受信側が9クロック目にSDAラインをロウ・レベルにすると、 $\overline{\text{ACK}}$ 信号がアクティブになります（正常受信返答）。

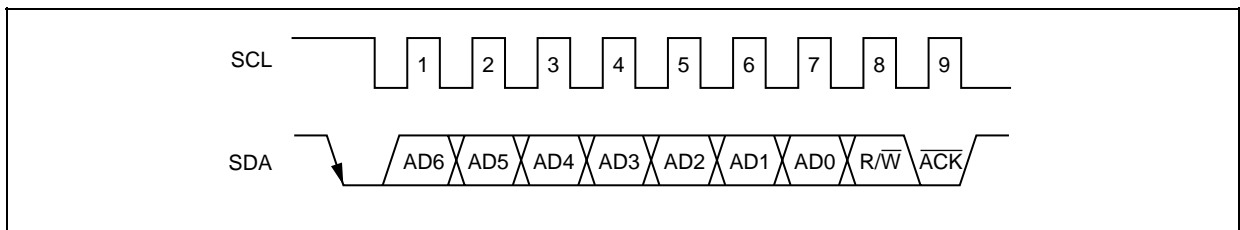
IICコントロール・レジスタ (IICC) のACKEビット = 1で $\overline{\text{ACK}}$ 信号自動発生許可状態になります。

7ビットのアドレス情報に続く8ビット目のデータによりIIC状態レジスタ (IICS) のTRCビットが設定されますが、TRCビットの値が“0”の場合は受信状態なので、ACKEビット = 1にしてください。

スレーブ受信動作時 (TRCビット = 0)、スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKEビット = 0にすると、マスタ側が次の転送を開始しないようになります。

同様に、マスタ受信動作時 (TRCビット = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、 $\overline{\text{ACK}}$ 信号を発生しないようにACKEビット = 0にしてください。これは、スレーブ送信動作時に、SDAラインにデータのMSBデータを出力しないようにするためです（送信停止）。

図19 - 9 アクノリッジ信号



自局アドレス受信時は、ACKEビットの値にかかわらずSCL端子の8クロック目の立ち下がりに同期して $\overline{\text{ACK}}$ 信号を自動出力し、自局アドレス以外の受信時は、 $\overline{\text{ACK}}$ 信号を出力しません。

データ受信時の $\overline{\text{ACK}}$ 信号の出力方法はウェイト・タイミングの設定により次のようになります。

8クロック・ウェイト選択時：ウェイト解除を行う前にACKEビット = 1とすることでSCL端子の8クロック目の立ち下がりに同期して $\overline{\text{ACK}}$ 信号を出力します。

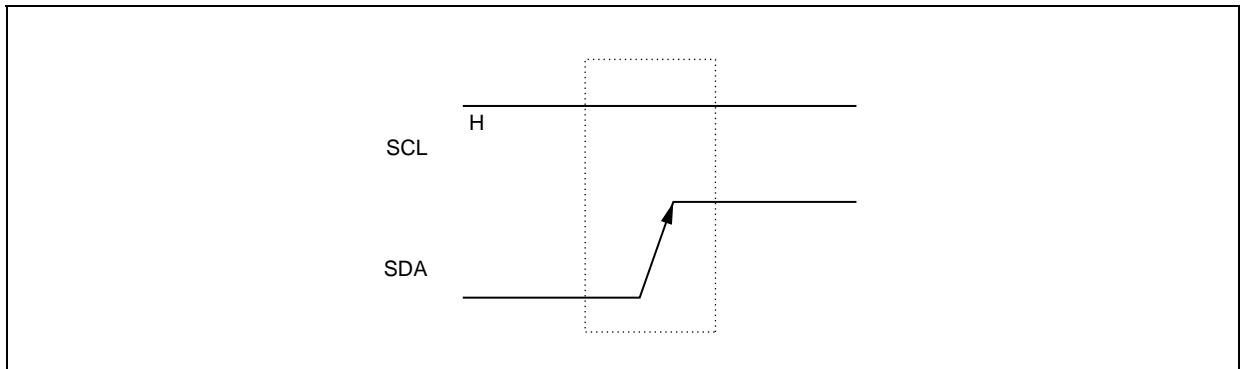
9クロック・ウェイト選択時：あらかじめACKEビット = 1とすることでSCL端子の8クロック目の立ち下がりに同期して $\overline{\text{ACK}}$ 信号を自動出力します。

(5) ストップ・コンディション

SCL端子がハイ・レベルのときに、SDA端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。また、スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図19 - 10 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタ (IICC) のSPTビットをセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタ (IICS) のSPDビットがセット (1) され、IICCレジスタのSPIEビットがセット (1) されている場合にはINTIIC信号が発生します。

(6) ウェイト信号 ($\overline{\text{WAIT}}$)

ウェイト信号 ($\overline{\text{WAIT}}$) は、マスタまたはスレーブがデータの送受信が準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCL端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図19 - 11 ウェイト信号 (1/2)

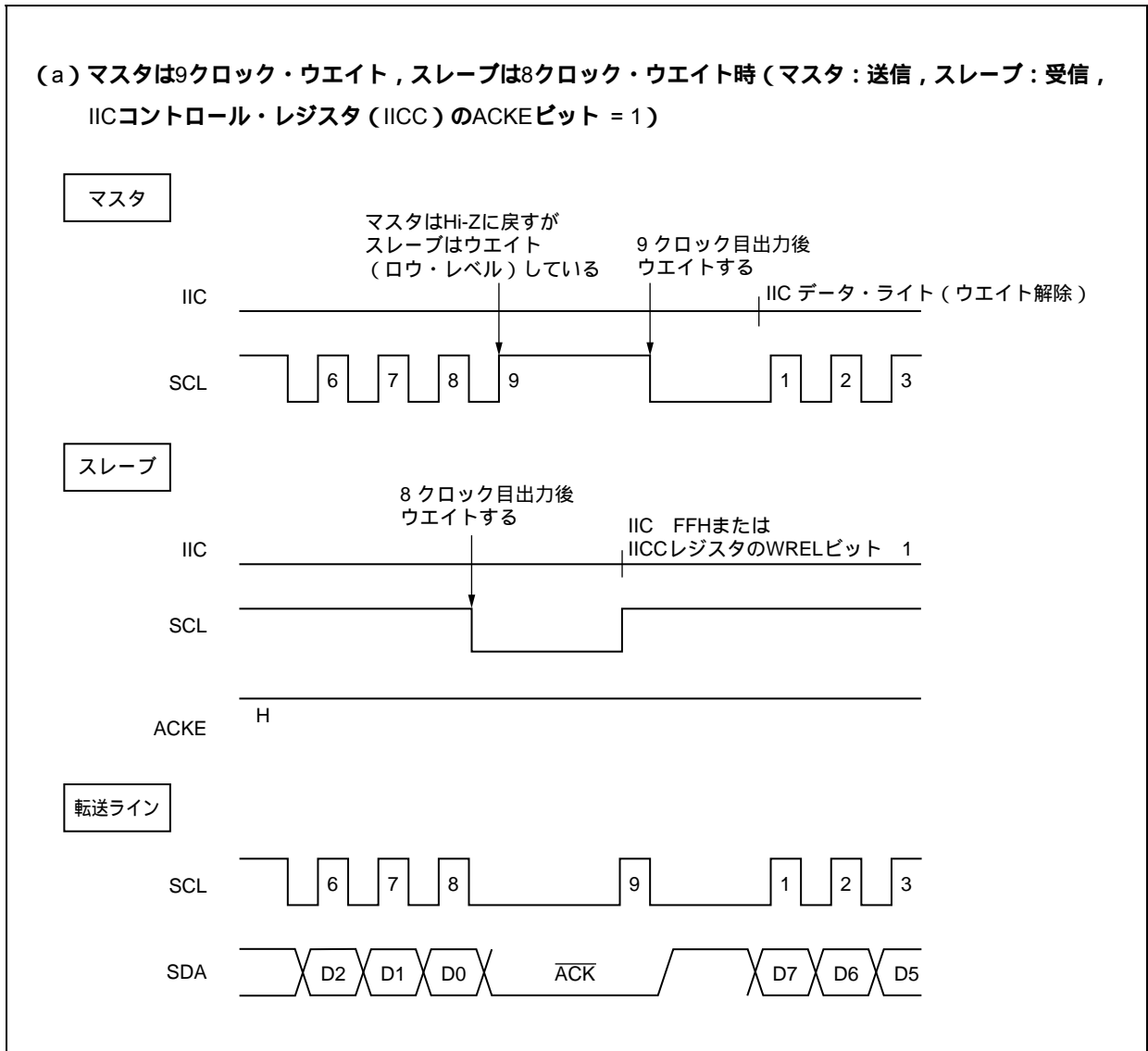
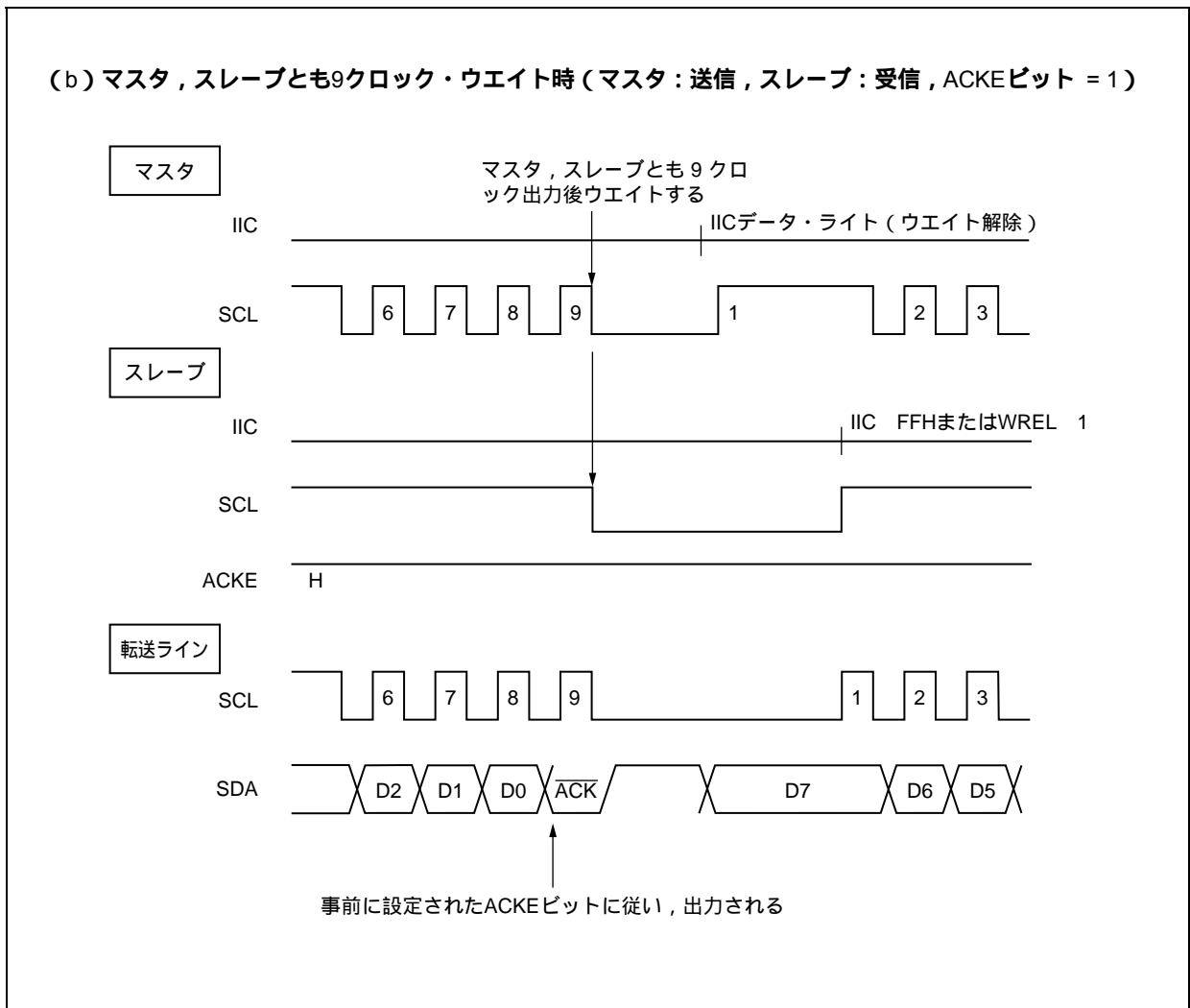


図19 - 11 ウェイト信号 (2/2)



ウェイトは、IICコントロール・レジスタ (IICC) のWTIMビットの設定により自動的に発生します。

通常、受信側はIICCレジスタのWRELビット = 1またはIICシフト・レジスタ (IIC) FFHライトにするとウェイトを解除し、送信側はIICレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ IICCレジスタのSTTビット = 1
- ・ IICCレジスタのSPTビット = 1

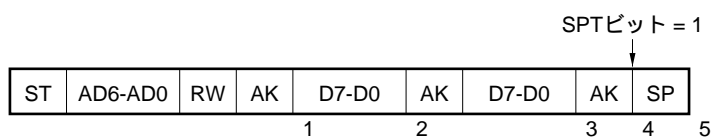
19.5 I²C割り込み要求信号 (INTIIC)

次に、INTIIC割り込み要求信号発生タイミングと、INTIIC信号発生タイミングでのIIC状態レジスタ (IICS) の値を示します。

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

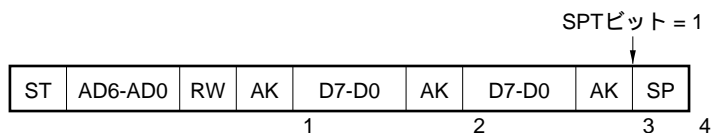
WTIMビット = 0のとき



- 1 : IICSレジスタ = 10XXX110B
- 2 : IICSレジスタ = 10XXX000B
- 3 : IICSレジスタ = 10XXX000B (WTIMビット = 1)
- 4 : IICSレジスタ = 10XXX00B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

WTIMビット = 1のとき

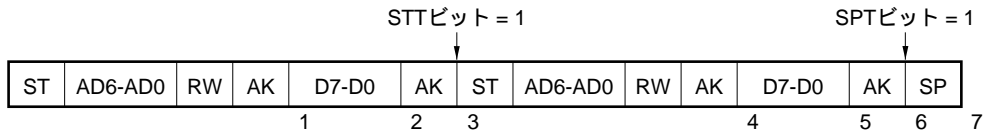


- 1 : IICSレジスタ = 10XXX110B
- 2 : IICSレジスタ = 10XXX100B
- 3 : IICSレジスタ = 10XXX00B
- 4 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

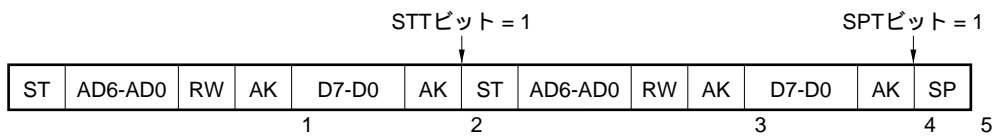
WTIMビット = 0のとき



- 1 : IICSレジスタ = 10XXX110B
- 2 : IICSレジスタ = 10XXX000B (WTIMビット = 1)
- 3 : IICSレジスタ = 10XXX000B (WTIMビット = 0)
- 4 : IICSレジスタ = 10XXX110B (WTIMビット = 0)
- 5 : IICSレジスタ = 10XXX000B (WTIMビット = 1)
- 6 : IICSレジスタ = 10XXX000B
- 7 : IICSレジスタ = 0000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき

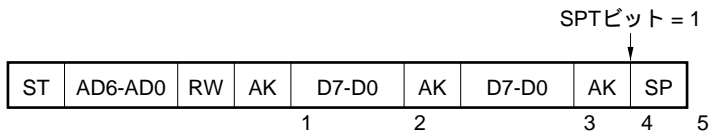


- 1 : IICSレジスタ = 10XXX110B
- 2 : IICSレジスタ = 10XXX000B
- 3 : IICSレジスタ = 10XXX110B
- 4 : IICSレジスタ = 10XXX000B
- 5 : IICSレジスタ = 0000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

WTIMビット = 0のとき



- 1 : IICSレジスタ = 1010X110B
- 2 : IICSレジスタ = 1010X000B
- 3 : IICSレジスタ = 1010X000B (WTIMビット = 1)
- 4 : IICSレジスタ = 1010XX00B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき



- 1 : IICSレジスタ = 1010X110B
- 2 : IICSレジスタ = 1010X100B
- 3 : IICSレジスタ = 1010XX00B
- 4 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(2) スレーブ動作 (スレーブ・アドレス・データ受信時 (アドレス一致))

(a) Start ~ Address ~ Data ~ Data ~ Stop

WTIMビット = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICSレジスタ = 0001X110B

2 : IICSレジスタ = 0001X000B

3 : IICSレジスタ = 0001X000B

4 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICSレジスタ = 0001X110B

2 : IICSレジスタ = 0001X100B

3 : IICSレジスタ = 0001XX00B

4 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

- 1 : IICSレジスタ = 0001X110B
- 2 : IICSレジスタ = 0001X000B
- 3 : IICSレジスタ = 0001X110B
- 4 : IICSレジスタ = 0001X000B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

- 1 : IICSレジスタ = 0001X110B
- 2 : IICSレジスタ = 0001XX00B
- 3 : IICSレジスタ = 0001X110B
- 4 : IICSレジスタ = 0001XX00B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

- 1 : IICSレジスタ = 0001X110B
- 2 : IICSレジスタ = 0001X000B
- 3 : IICSレジスタ = 0010X010B
- 4 : IICSレジスタ = 0010X000B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
				1	2					3	4	5	6

- 1 : IICSレジスタ = 0001X110B
- 2 : IICSレジスタ = 0001XX00B
- 3 : IICSレジスタ = 0010X010B
- 4 : IICSレジスタ = 0010X110B
- 5 : IICSレジスタ = 0010XX00B
- 6 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICSレジスタ = 0001X110B

2 : IICSレジスタ = 0001X000B

3 : IICSレジスタ = 00000X10B

4 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICSレジスタ = 0001X110B

2 : IICSレジスタ = 0001XX00B

3 : IICSレジスタ = 00000X10B

4 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(3) スレーブ動作 (拡張コード受信時)

(a) Start ~ Code ~ Data ~ Data ~ Stop

WTIMビット = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1 : IICSレジスタ = 0010X010B

2 : IICSレジスタ = 0010X000B

3 : IICSレジスタ = 0010X000B

4 : IICSレジスタ = 00000001B

備考 必ず発生

SPIEビット = 1のときだけ発生

X 任意

WTIMビット = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP	
			1	2		3		4	5

1 : IICSレジスタ = 0010X010B

2 : IICSレジスタ = 0010X110B

3 : IICSレジスタ = 0010X100B

4 : IICSレジスタ = 0010XX00B

5 : IICSレジスタ = 00000001B

備考 必ず発生

SPIEビット = 1のときだけ発生

X 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMビット = 0のとき (リスタート後, アドレス一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3	4	5

- 1 : IICSレジスタ = 0010X010B
- 2 : IICSレジスタ = 0010X000B
- 3 : IICSレジスタ = 0001X110B
- 4 : IICSレジスタ = 0001X000B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, アドレス一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5 6

- 1 : IICSレジスタ = 0010X010B
- 2 : IICSレジスタ = 0010X110B
- 3 : IICSレジスタ = 0010XX00B
- 4 : IICSレジスタ = 0001X110B
- 5 : IICSレジスタ = 0001XX00B
- 6 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2					3	4		5

- 1 : IICSレジスタ = 0010X010B
- 2 : IICSレジスタ = 0010X000B
- 3 : IICSレジスタ = 0010X010B
- 4 : IICSレジスタ = 0010X000B
- 5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			1	2		3			4	5		6	7

- 1 : IICSレジスタ = 0010X010B
- 2 : IICSレジスタ = 0010X110B
- 3 : IICSレジスタ = 0010XX00B
- 4 : IICSレジスタ = 0010X010B
- 5 : IICSレジスタ = 0010X110B
- 6 : IICSレジスタ = 0010XX00B
- 7 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3		4

1 : IICSレジスタ = 0010X010B

2 : IICSレジスタ = 0010X000B

3 : IICSレジスタ = 00000X10B

4 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

WTIMビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5

1 : IICSレジスタ = 0010X010B

2 : IICSレジスタ = 0010X110B

3 : IICSレジスタ = 0010XX00B

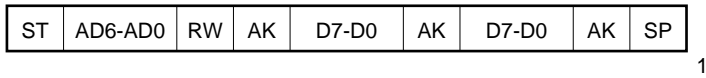
4 : IICSレジスタ = 00000X10B

5 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop



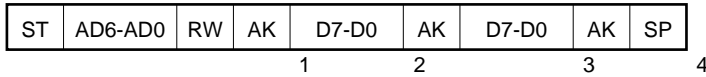
1 : IICSレジスタ = 00000001B

備考 SPIEビット = 1のときだけ発生

(5) アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

WTIMビット = 0のとき



1 : IICSレジスタ = 0101X110B (例 割り込み処理中にALDビットをリード)

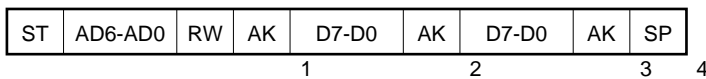
2 : IICSレジスタ = 0001X000B

3 : IICSレジスタ = 0001X000B

4 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

WTIMビット = 1のとき



1 : IICSレジスタ = 0101X110B (例 割り込み処理中にALDビットをリード)

2 : IICSレジスタ = 0001X100B

3 : IICSレジスタ = 0001XX00B

4 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

WTIMビット = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1 : IICSレジスタ = 0110X010B (例 割り込み処理中にALDビットをリード)

2 : IICSレジスタ = 0010X000B

3 : IICSレジスタ = 0010X000B

4 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

WTIMビット = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP	
			1	2		3		4	5

1 : IICSレジスタ = 0110X010B (例 割り込み処理中にALDビットをリード)

2 : IICSレジスタ = 0010X110B

3 : IICSレジスタ = 0010X100B

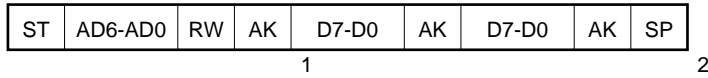
4 : IICSレジスタ = 0010XX00B

5 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生
X 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

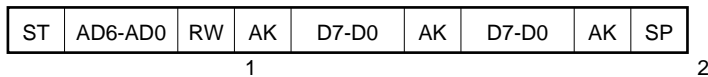


1 : IICSレジスタ = 01000110B (例 割り込み処理中にALDビットをリード)

2 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



1 : IICSレジスタ = 0110X010B (例 割り込み処理中にALDビットをリード)

ソフトでIICCレジスタのLRELビット = 1を設定

2 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(c) データ転送時にアービトレーションに負けた場合

WTIMビット = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2			3

1 : IICSレジスタ = 10001110B

2 : IICSレジスタ = 01000000B (例 割り込み処理中にALDビットをリード)

3 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生

WTIMビット = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2			3

1 : IICSレジスタ = 10001110B

2 : IICSレジスタ = 01000100B (例 割り込み処理中にALDビットをリード)

3 : IICSレジスタ = 00000001B

備考 必ず発生
SPIEビット = 1のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 アドレス不一致)

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1					2		3

1 : IICSレジスタ = 1000X110B

2 : IICSレジスタ = 01000110B (例 割り込み処理中にALDビットをリード)

3 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

拡張コード

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1					2		3

1 : IICSレジスタ = 1000X110B

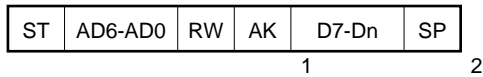
2 : IICSレジスタ = 0110X010B (例 割り込み処理中にALDビットをリード)

ソフトでIICCレジスタのLRELビット = 1を設定

3 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

(e) データ転送時にストップ・コンディションで負けた場合



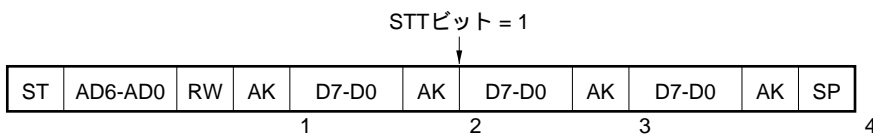
1 : IICSレジスタ = 1000X110B

2 : IICSレジスタ = 01000001B

- 備考** 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

(f) リスタート・コンディションを発生しようとしたが、SDA端子がロウ・レベルでアービトレーションに負けた場合

WTIMビット = 1のとき



1 : IICSレジスタ = 1000X110B

2 : IICSレジスタ = 1000XX00B

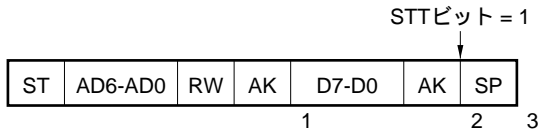
3 : IICSレジスタ = 01000100B (例 割り込み処理中にALDビットをリード)

4 : IICSレジスタ = 00000001B

- 備考** 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIMビット = 1のとき

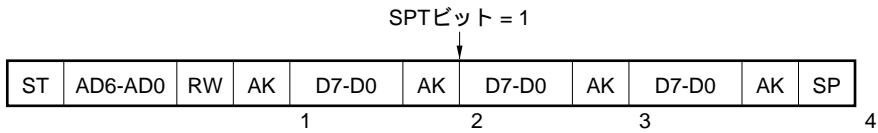


- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000XX00B
- 3 : IICSレジスタ = 01000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

(h) ストップ・コンディションを発生しようとしたが、SDA端子がロウ・レベルでアービトレーションに負けた場合

WTIMビット = 1のとき



- 1 : IICSレジスタ = 1000X110B
- 2 : IICSレジスタ = 1000XX00B
- 3 : IICSレジスタ = 01000000B (例 割り込み処理中にALDビットをリード)
- 4 : IICSレジスタ = 00000001B

備考 必ず発生
 SPIEビット = 1のときだけ発生
 X 任意

19.6 割り込み要求信号 (INTIIC) 発生タイミングおよびウェイト制御

IICコントロール・レジスタ (IICC) のWTIMビットの設定で、次に示すタイミングでINTIIC信号が発生して、ウェイト制御を行います。

表19-3 INTIIC信号発生タイミングおよびウェイト制御

WTIMビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIIC信号およびウェイトは、スレーブ・アドレス・レジスタ (SVA) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICCレジスタのACKEビットの設定にかかわらず、 \overline{ACK} 信号が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIIC信号を発生します。

2. SVAレジスタと受信したアドレスが一致していない場合は、INTIIC信号もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMビットにかかわらず、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・IICCレジスタのWRELビット = 1
- ・IICシフト・レジスタ (IIC) のライト動作
- ・スタート・コンディションのセット (IICCレジスタのSTTビット = 1)
- ・ストップ・コンディションのセット (IICCレジスタのSPTビット = 1)

8クロック・ウェイト選択 (WTIMビット = 0) 時は、ウェイト解除前に \overline{ACK} 信号の出力レベルを決定する必要があります。

(5) ストップ・コンディション検出

INTIIC信号は、ストップ・コンディションを検出すると発生します。

19.7 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。スレーブ・アドレス・レジスタ (SVA) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAレジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC割り込み要求信号が発生します。

19.8 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス端子 (SDA) の状態が、送信しているデバイスのIICシフト・レジスタ (IIC) にも取り込まれるため、送信開始前と送信終了後のIICレジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

19.9 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (IIC状態レジスタ (IICS) のEXCビット) をセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIIC) を発生します。

スレーブ・アドレス・レジスタ (SVA) に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVAレジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIIC信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データの一致 : EXCビット = 1

7ビット・データの一致 : IICSレジスタのCOIビット = 1

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタ (IICC) のLRELビット = 1に設定し、次の通信待機状態となります。

表19-4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUSアドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	x	10ビット・スレーブ・アドレス指定

19.10 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合 (IIC状態レジスタ (IICS) のSTDビット = 1 になる前にIICコントロール・レジスタ (IICC) のSTTビット = 1にしたとき) , データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IICSレジスタのアービトレーション負けフラグ (ALDビット) をセットし, SCL, SDAラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求信号発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALDビット = 1になっていることで検出します。

割り込み要求信号発生タイミングについては, 19.5 I²C割り込み要求信号 (INTIIC) を参照してください。

図19 - 12 アービトレーション・タイミング例

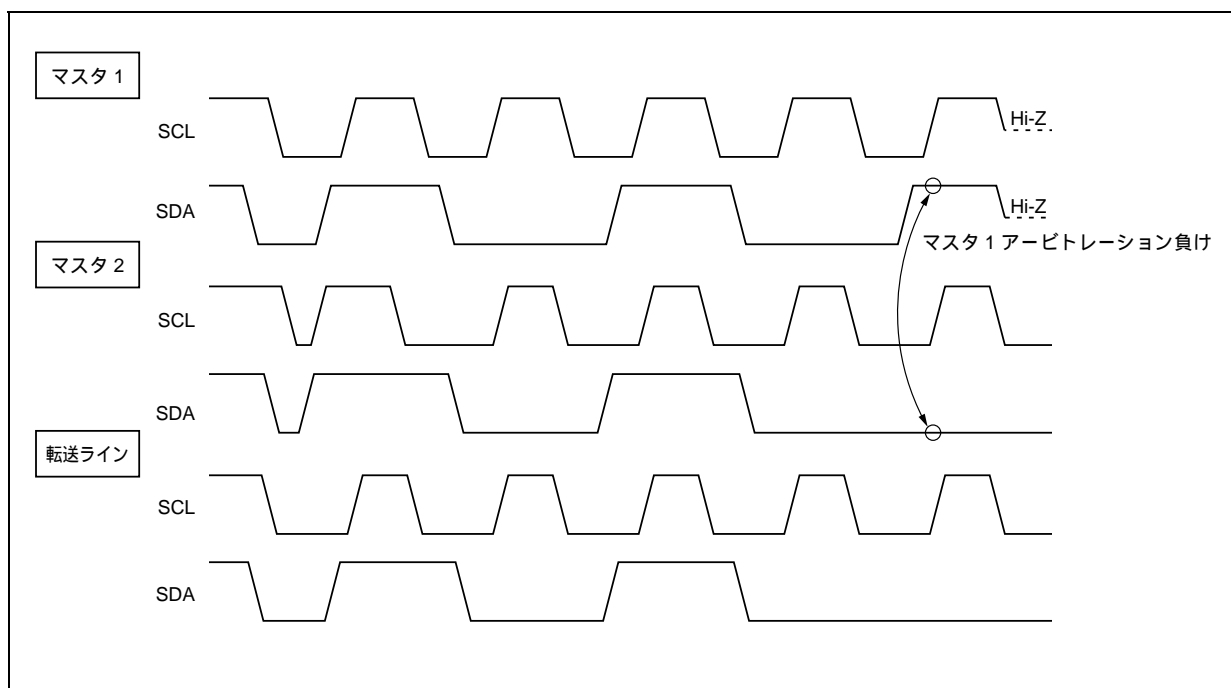


表19-5 アービトレーション発生時の状態と割り込み要求信号発生タイミング

アービトレーション発生時の状態	割り込み要求信号発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のACK信号転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション出力時 (IICCレジスタのSPIEビット = 1時) ^{注2}
リスタート・コンディションを出力しようとしたがSDA端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (SPIEビット = 1時) ^{注2}
ストップ・コンディションを出力しようとしたがSDA端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがSCL端子がロウ・レベル	

注1. IICCレジスタのWTIMビット = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求信号 (INTIIC) を発生します。WTIMビット = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングでINTIIC信号を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIEビット = 1にしてください。

19.11 ウェイク・アップ機能

I²Cバスのスレーブ機能で, 自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIIC) が発生する機能です。アドレスが一致しないときは不要な割り込み要求信号を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを出力した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICコントロール・レジスタ (IICC) のSPIEビットの設定によって, 割り込み要求信号の発生許可/禁止が決定します。

19.12 通信予約

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない（ACK信号を返さず、IICコントロール・レジスタ（IICC）のLRELビット = 1でバスを解放した）とき。

バスに不参加の状態、IICCレジスタのSTTビットをセットすると、バスが解放されたあと（ストップ・コンディション検出後）に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

バスの解放を検出（ストップ・コンディション検出）すると、IICシフト・レジスタ（IIC）ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICCレジスタのSPIEビットをセットしておいてください。

STTビットをセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき …………… スタート・コンディション生成
 バスが解放されていないとき（待機状態） …… 通信予約

通信予約として動作するかどうかを確認するには、STTビットをセットし、ウェイト時間をとったあと、IIC状態レジスタ（IICS）のMSTSビットを確認することで行います。

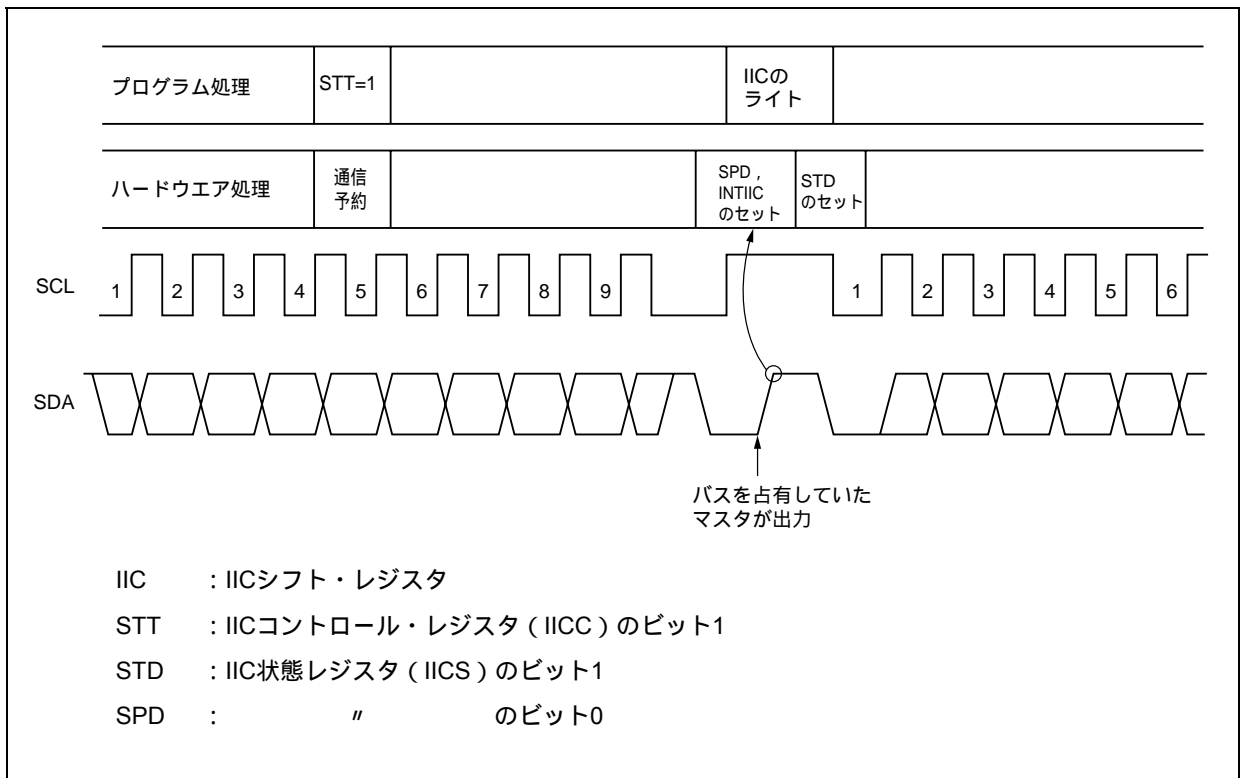
ウェイト時間は、表19-6に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICクロック選択レジスタ（IICCL）のSMC、CL0ビットにより設定できます。

表19-6 ウェイト時間

SMC	CL0	ウェイト時間
0	0	26クロック
0	1	46クロック
1	0	16クロック
1	1	

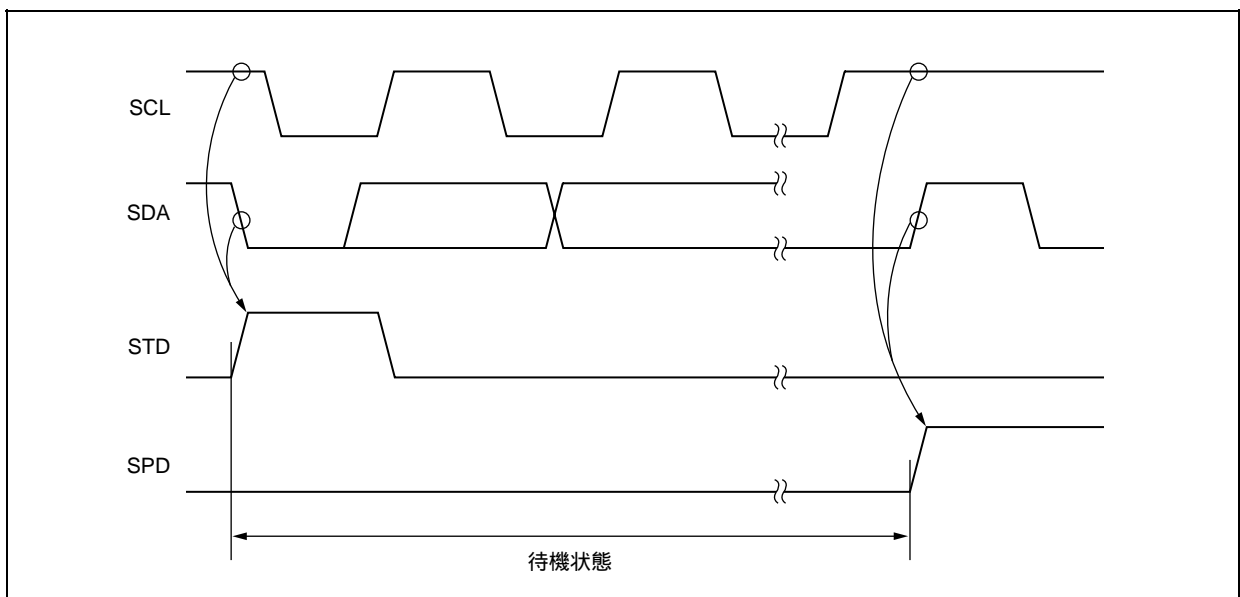
通信予約のタイミングを次に示します。

図19 - 13 通信予約のタイミング



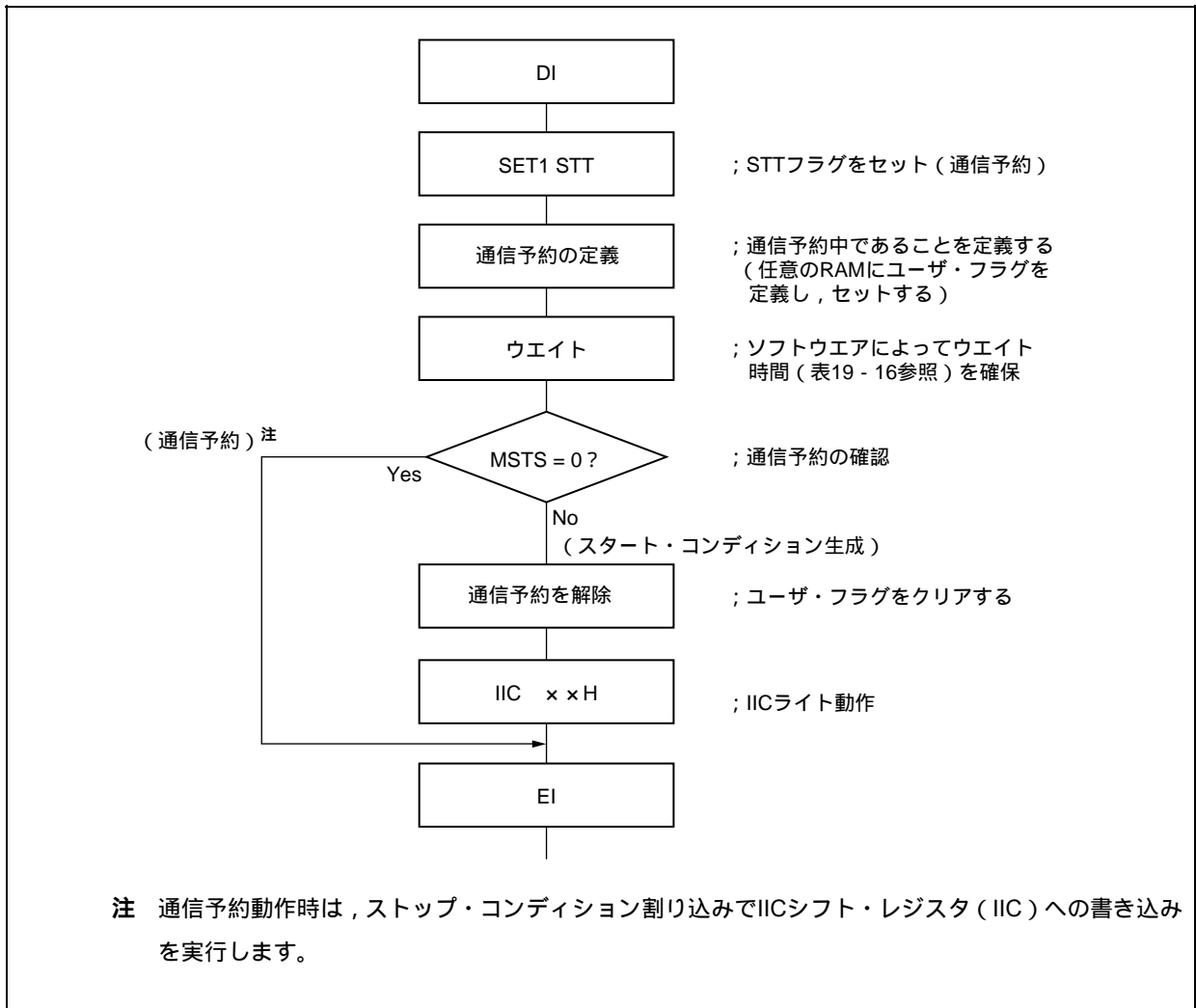
通信予約は次のタイミングで受け付けられます。STDビット = 1になったあと、ストップ・コンディション検出までにSTTビット = 1で通信予約をします。

図19 - 14 通信予約受け付けタイミング



次に通信予約の手順を示します。

図19 - 15 通信予約の手順



19.13 注意事項

リセット後、ストップ・コンディションを検出していない（バスが解放されていない）状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスの解放をしてからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない（ストップ・コンディションを検出していない）状態では、マスタ通信を行えません。

ストップ・コンディションの生成は次の順番で行ってください。

IICクロック選択レジスタ（IICCL）の設定

IICコントロール・レジスタ（IICC）のIICEビットのセット

IICCレジスタのSPTビットのセット

19.14 通信動作

(1) マスタ動作

マスタ通信手順の例を次に示します。

図19 - 16 マスタ動作手順 (1)

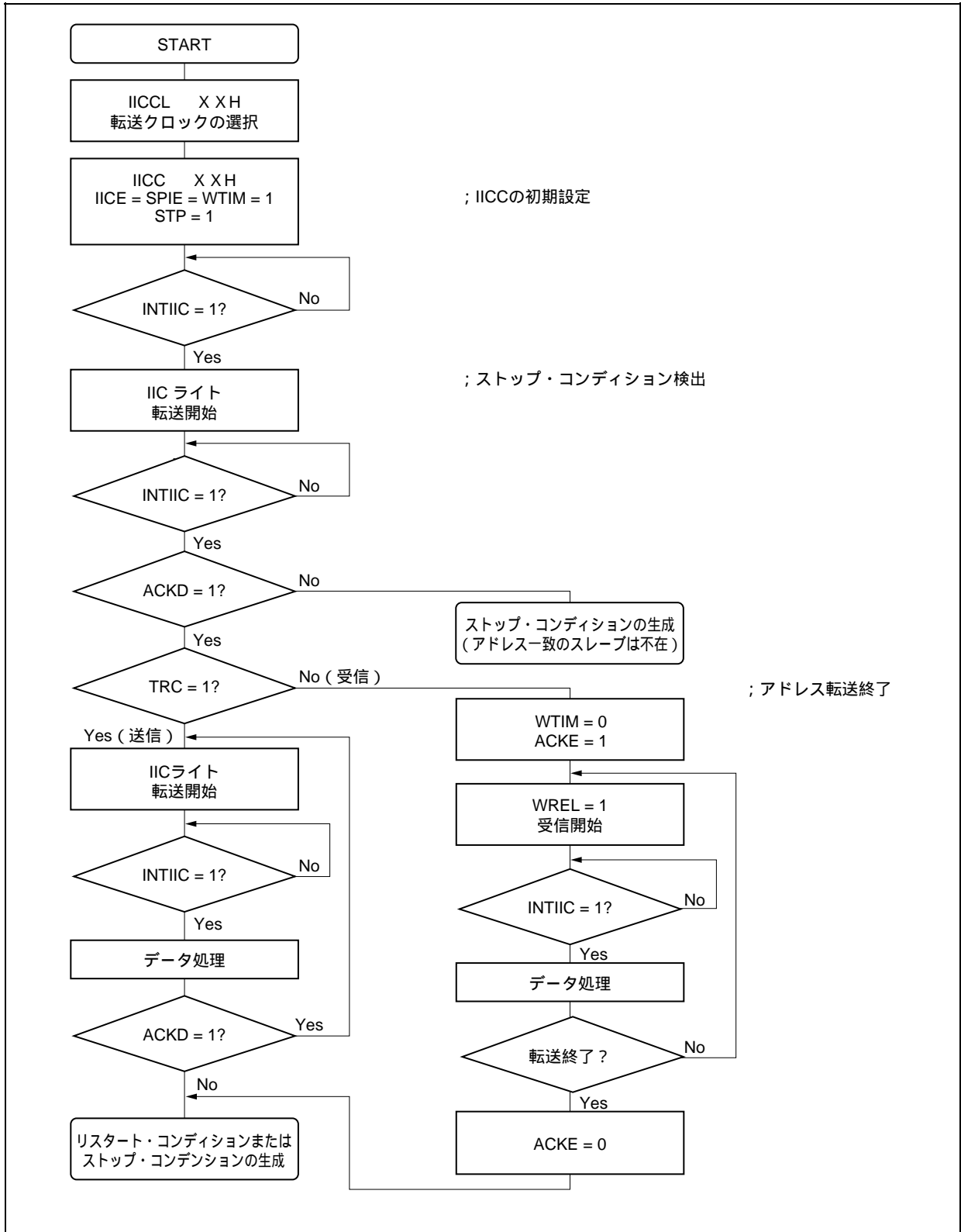
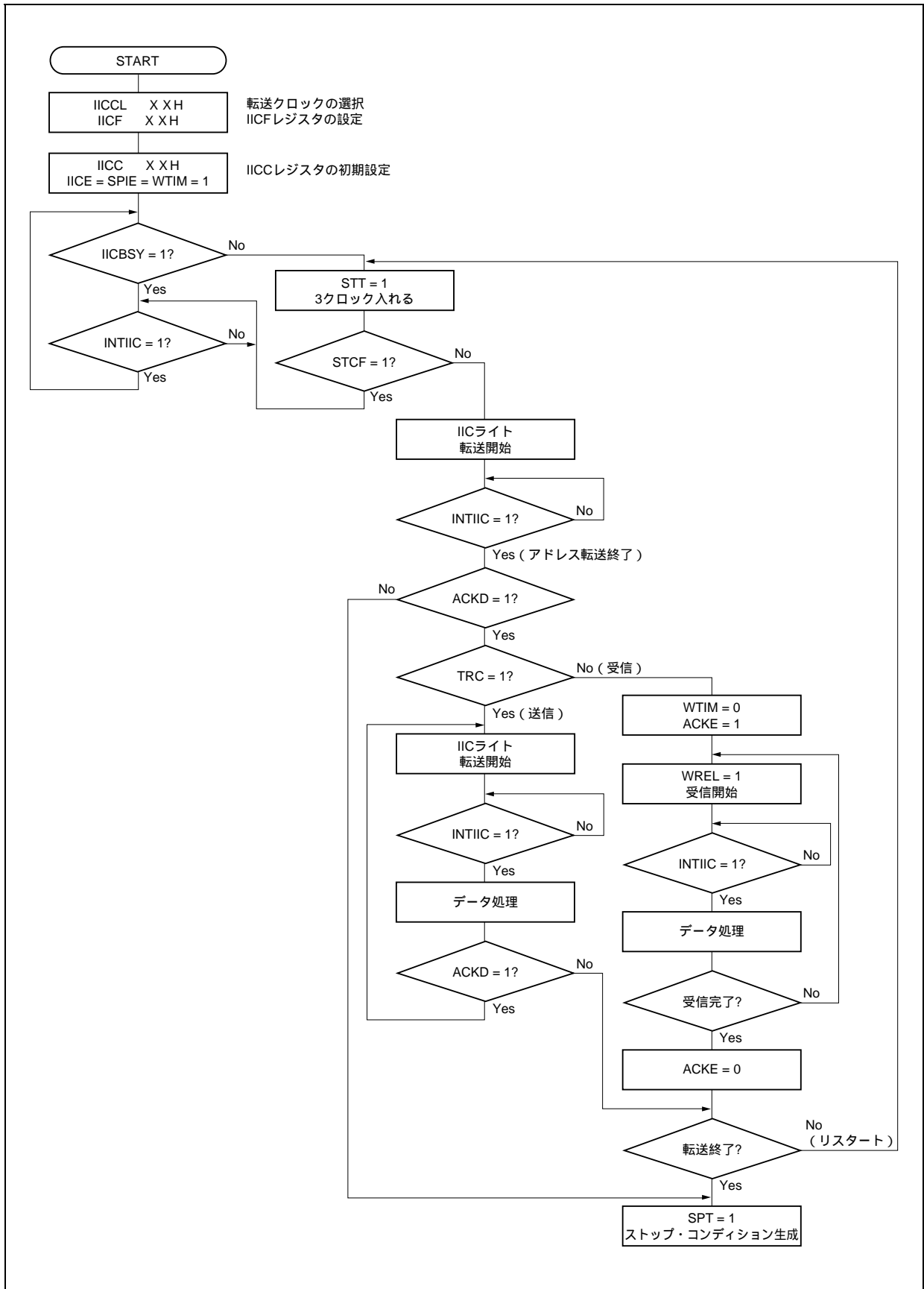


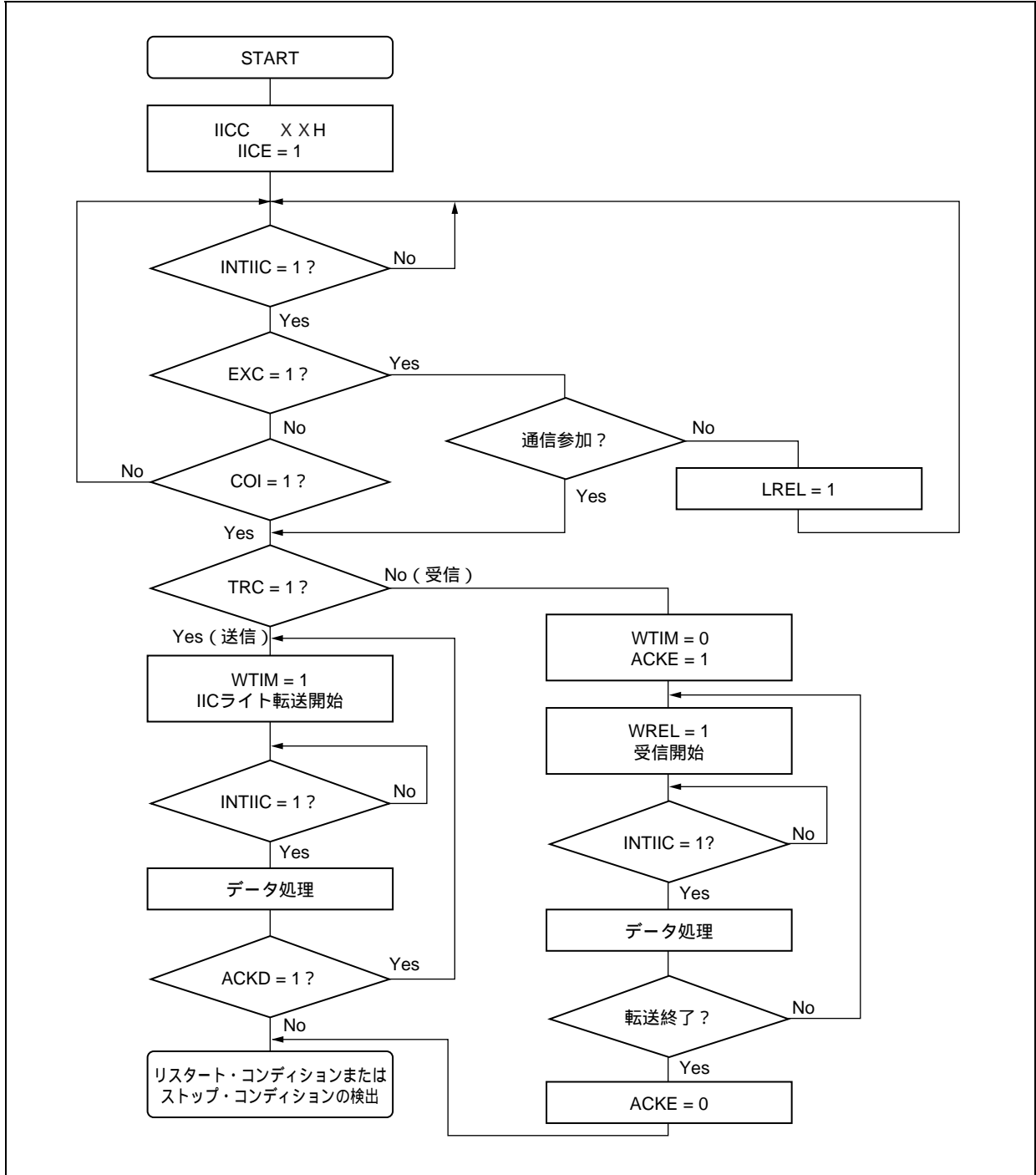
図19 - 17 マスタ動作手順 (2)



(3) スレーブ動作

スレーブ通信手順の例を次に示します。

図19 - 18 スレーブ動作手順



19.15 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIIC状態レジスタ(IICS)のTRCビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック端子(SCL)の立ち下がりに同期してIICバス・シフト・レジスタ(IIC)のシフト動作が行われ、送信データがSOラッチに転送され、SDA端子からMSBファーストで出力されます。

また、SCL端子の立ち上がりでSDA端子に入力されたデータがIICレジスタに取り込まれます。

データ通信のタイミングを次に示します。

図19 - 19 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

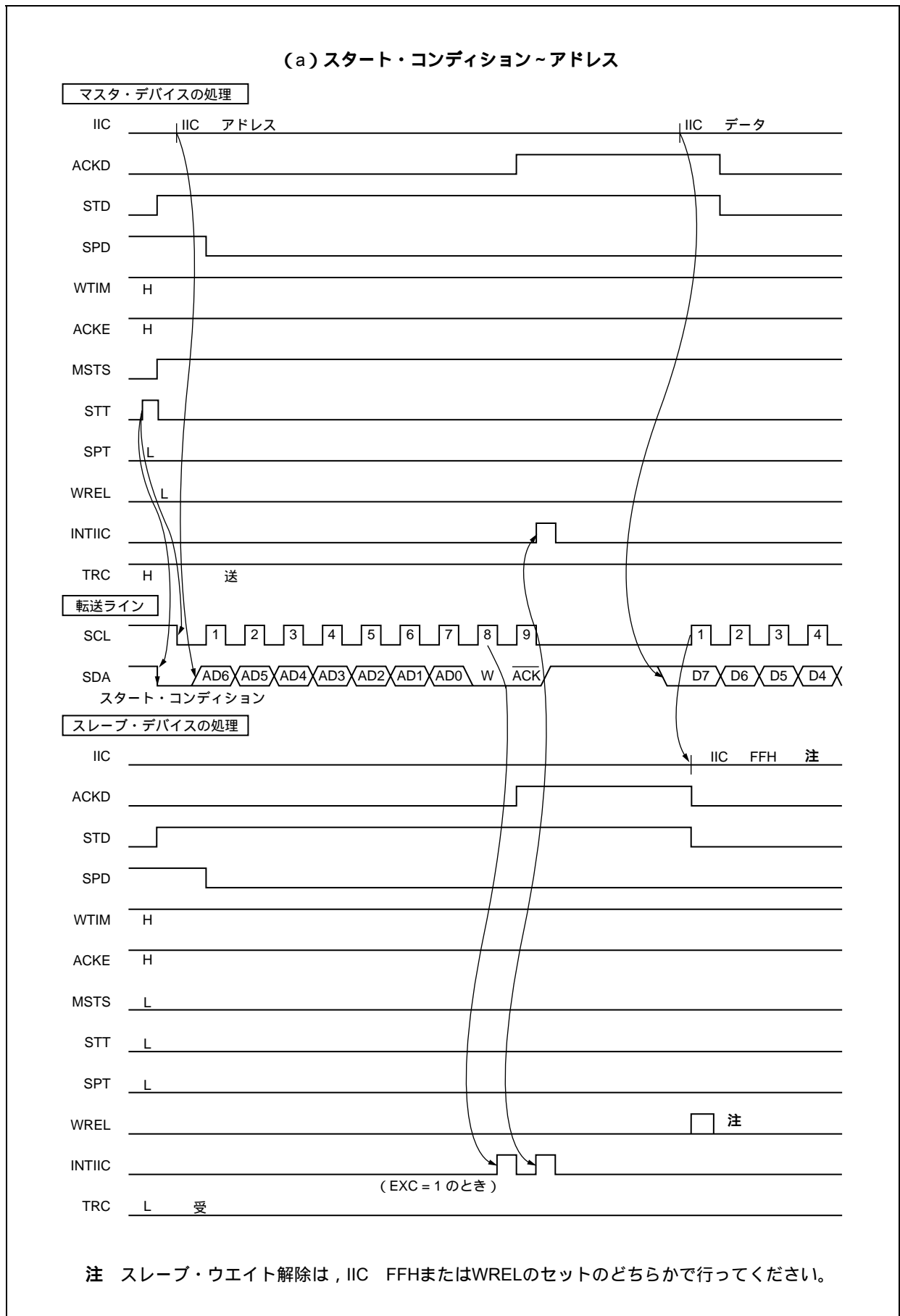


図19 - 19 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

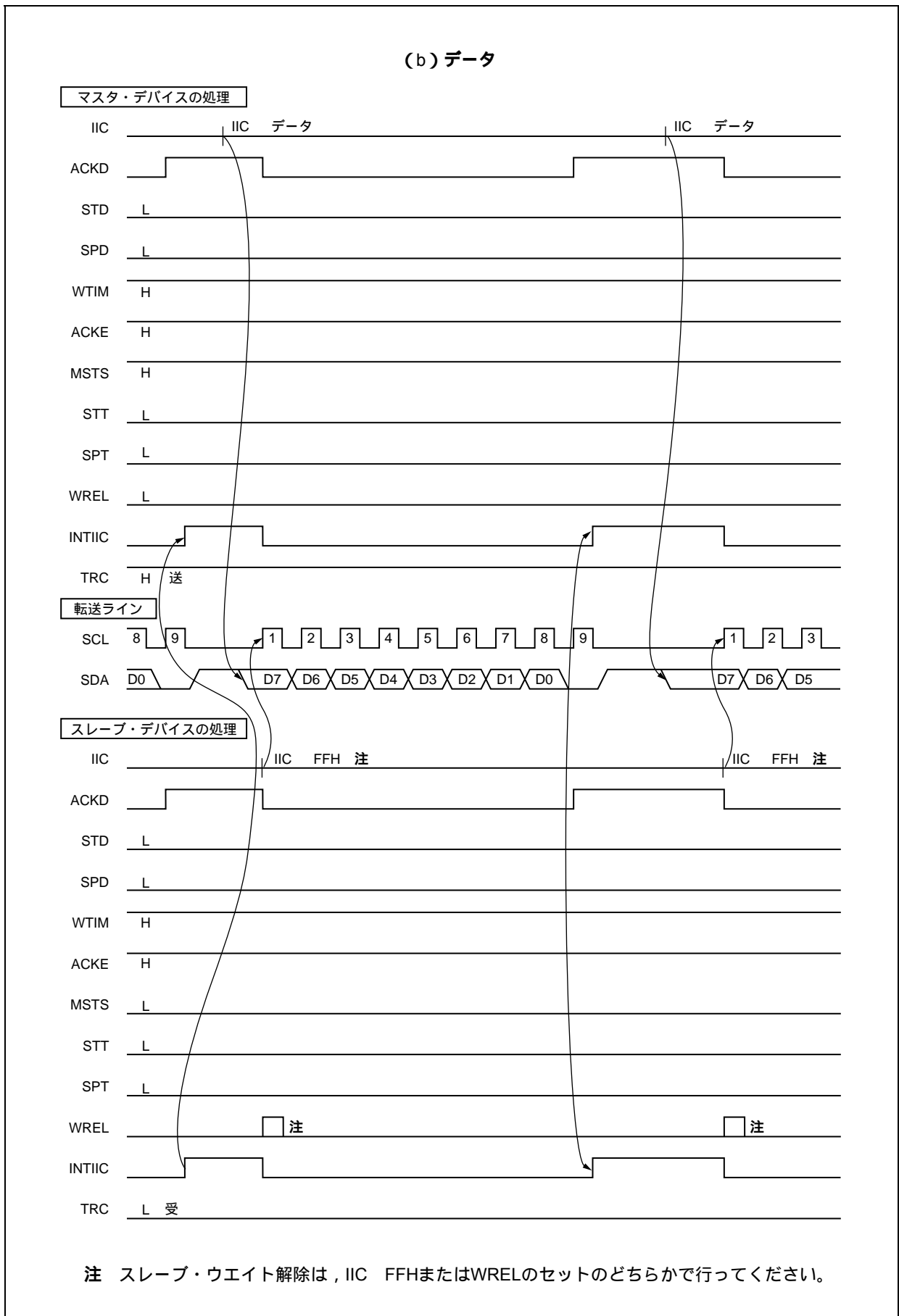


図19 - 19 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

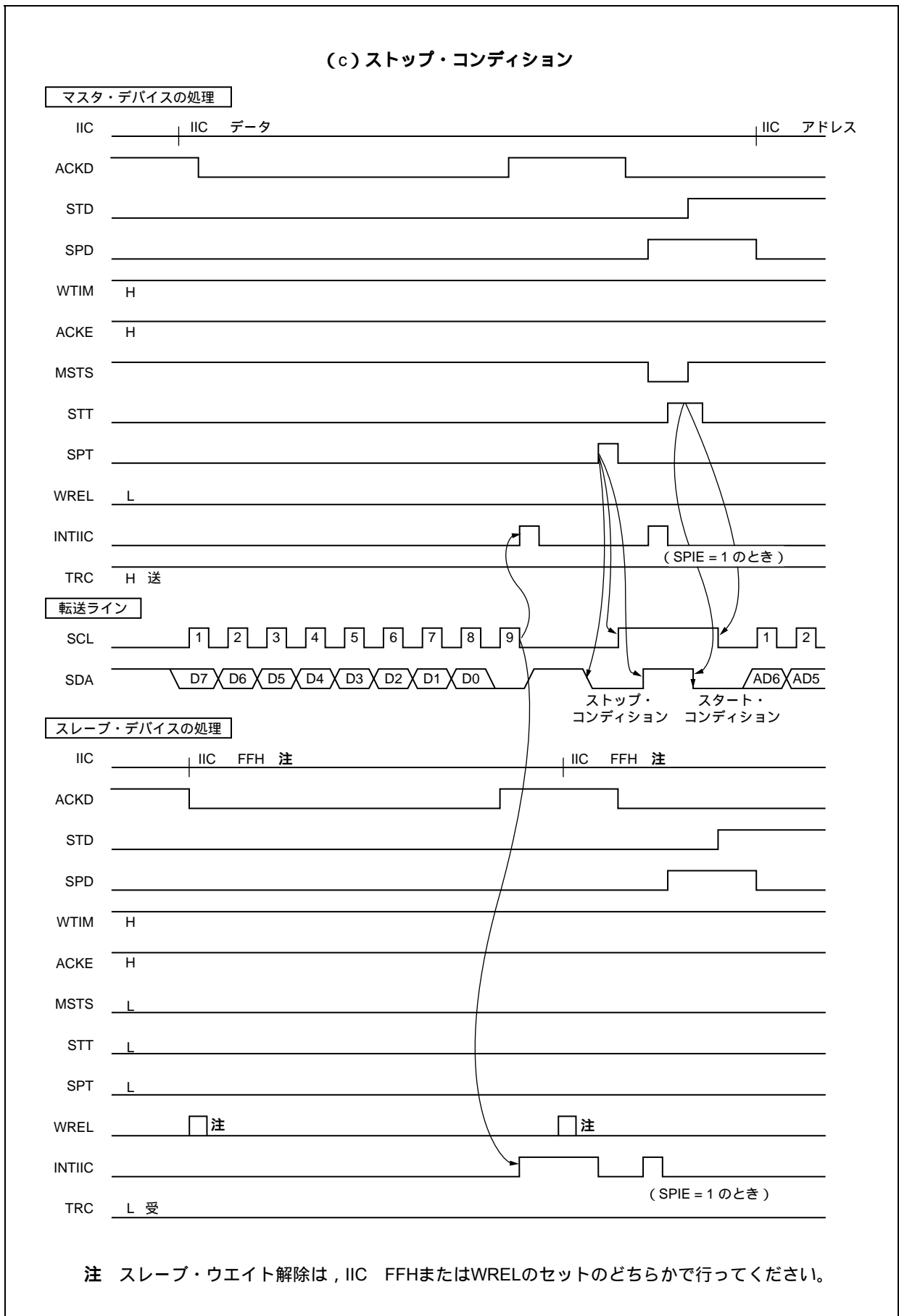


図19 - 20 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

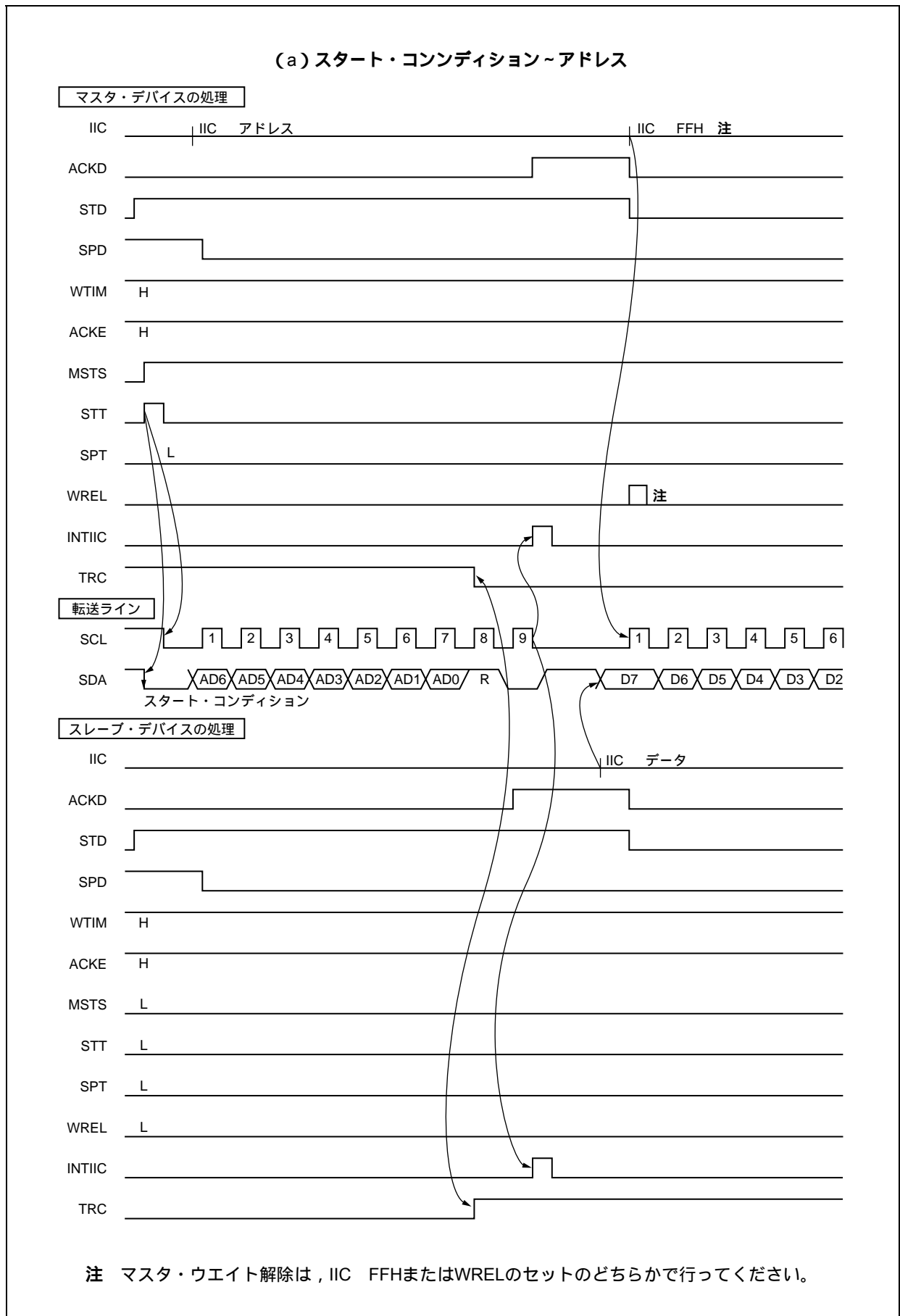


図19 - 20 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

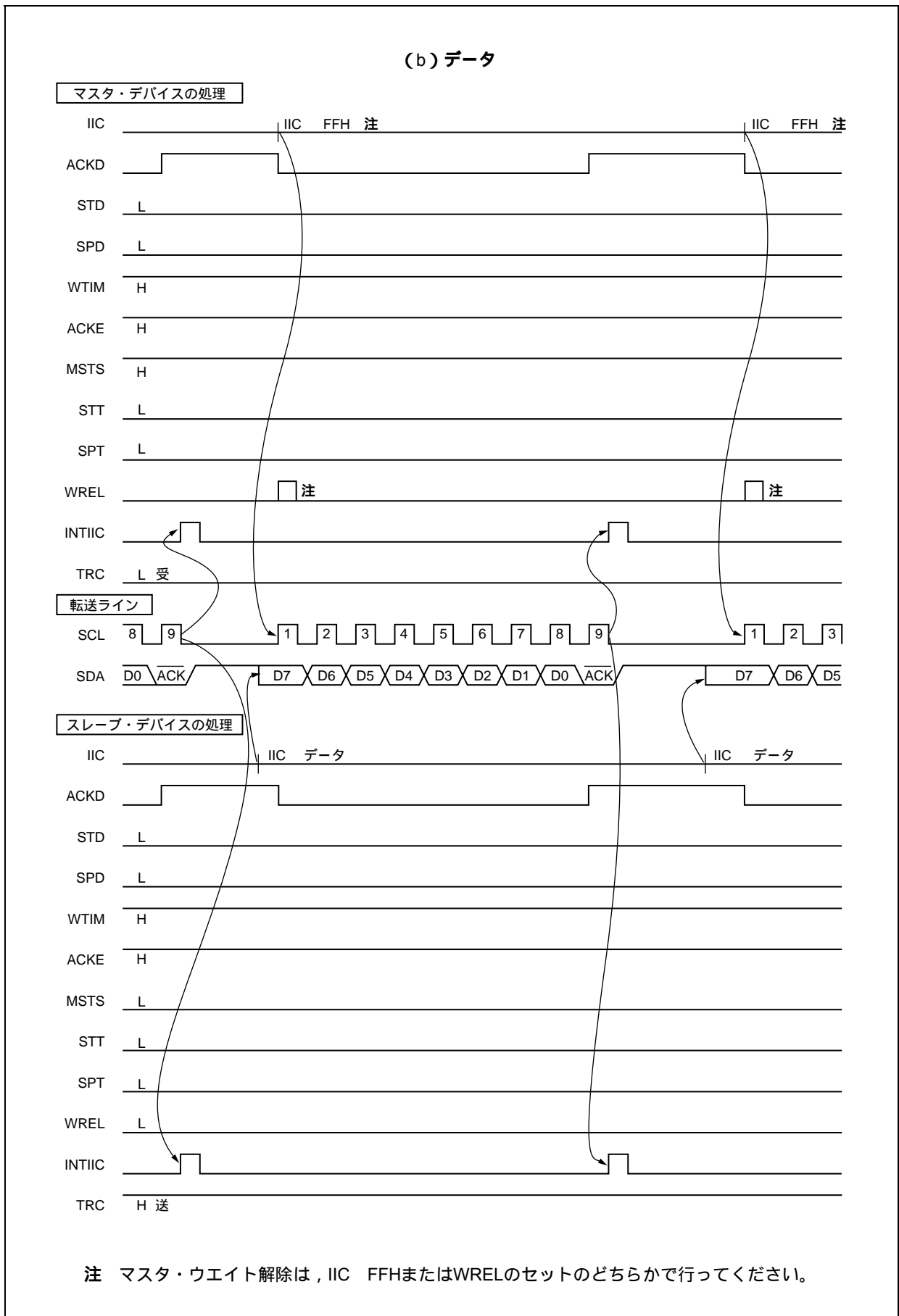
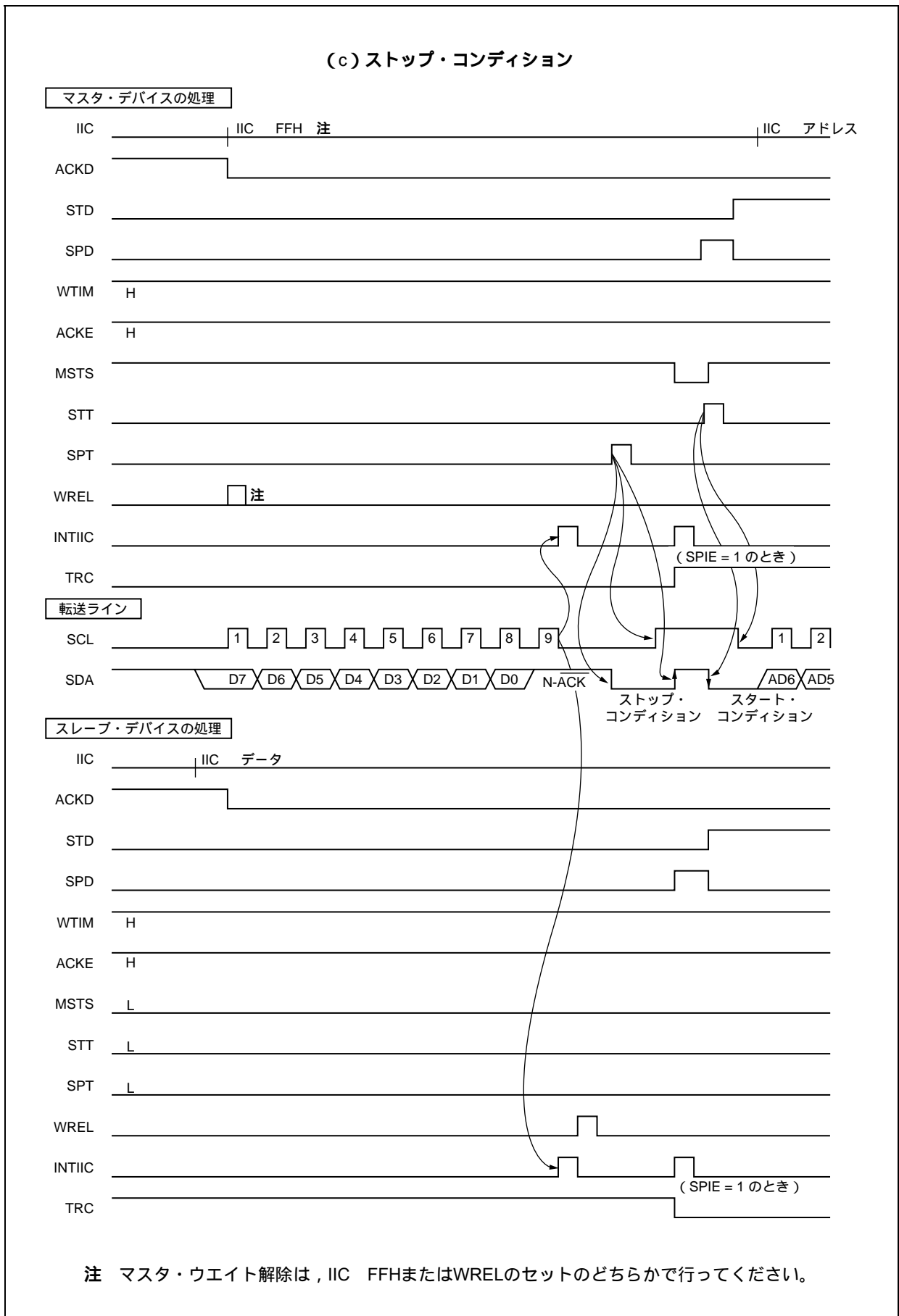


図19 - 20 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)



第20章 A/Dコンバータ

20.1 機能

アナログ入力：24チャンネル

10ビットA/Dコンバータ内蔵

A/D変換結果レジスタ0-23 (ADCR0-ADCR23) 内蔵

10ビット×24本

A/D変換トリガ・モード

ソフトウェア・トリガ・モード

タイマ・トリガ・モード (INTCC000割り込み要求信号)

外部トリガ・モード (ADTRG端子入力)

動作モード

セレクト1バッファ・モード

セレクト4バッファ・モード

スキャン・モード

逐次変換方式

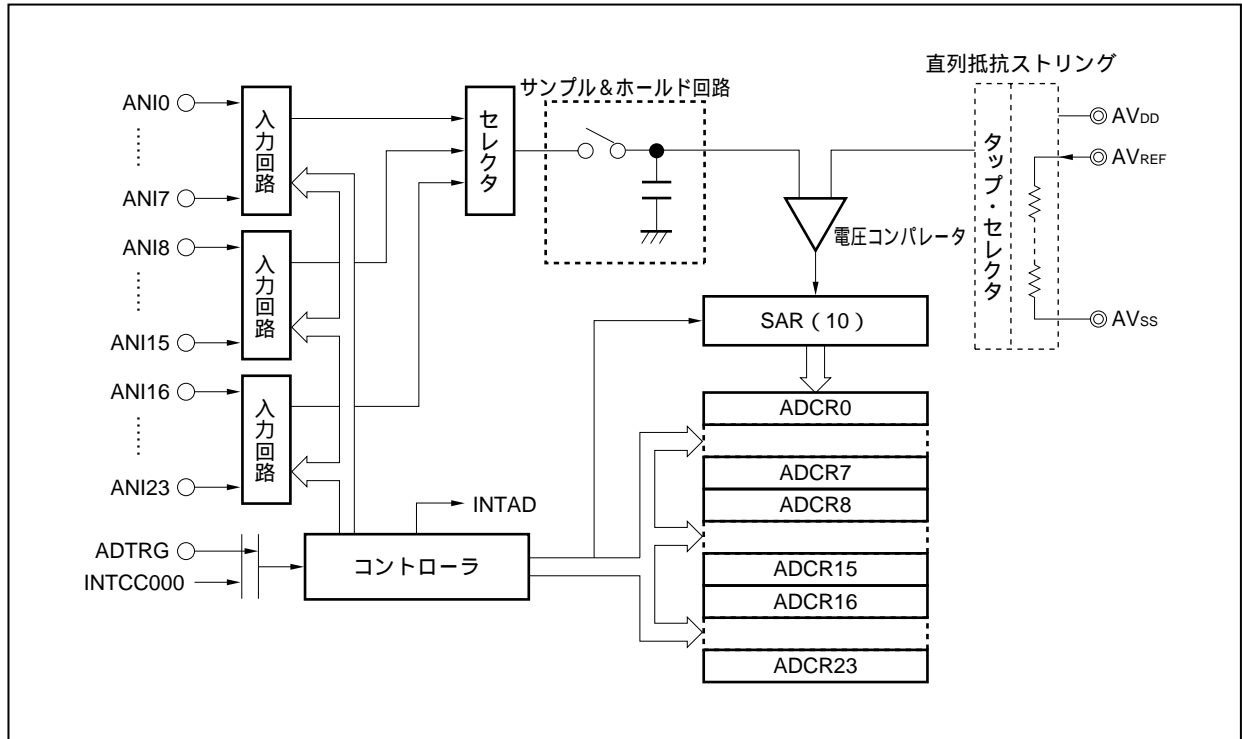
A/D変換時間 : 2.08 μ s ~ 10.40 μ s

A/D基準電圧 (AV_{REF}) : 2.7 ~ 3.6 V (AV_{DD} と同電位にしてください)

動作電圧 (AV_{DD}) : 2.7 ~ 3.6 V

A/Dコンバータは、逐次変換方式を採用しており、A/Dコンバータ・モード・レジスタ0-2 (ADM0-ADM2)、A/D変換結果レジスタ0-23 (ADCR0-ADCR23) を使用してA/D変換動作を行います。

図20 - 1 A/Dコンバータのブロック図



20.2 構 成

A/Dコンバータは、次のハードウェアで構成しています。

表20 - 1 A/Dコンバータの構成

項 目	構 成
アナログ入力	24チャンネル (ANI0-ANI23)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ0-23 (ADCR0-ADCR23) A/D変換結果レジスタ0H-23H (ADCR0H-ADCR23H) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ0 (ADM0) A/Dコンバータ・モード・レジスタ1 (ADM1) A/Dコンバータ・モード・レジスタ2 (ADM2)

(1) 入力回路

ADM0-ADM2レジスタに設定したモードに従ってアナログ入力端子 (ANI0-ANI23) を選択しサンプル&ホールド回路に送ります。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(3) 電圧コンパレータ

入力されたアナログ入力電圧と直列抵抗ストリングの電圧タップの出力電圧を比較します。

(4) 直列抵抗ストリング

直列抵抗ストリングはアナログ入力電圧と一致する電圧を発生させるためのものです。

直接抵抗ストリングは、A/Dコンバータ用の基準電圧端子 (AV_{REF}) とA/Dコンバータ用のグランド端子 (AV_{SS}) 間に接続されています。2端子間を1024の等価な電圧にステップするため、等価な抵抗1023個とその1/2の抵抗値の抵抗2個で構成されています。

直接抵抗ストリングの電圧タップは、逐次変換レジスタ (SAR) で制御されるタップ・セレクタによって選択します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、直接抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する10ビット・レジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了) , そのSARレジスタの内容 (変換結果) は、A/D変換結果レジスタn (ADCRn) に転送されます (n = 0-23) 。

(6) A/D変換結果レジスタ_m (ADCR_m) , A/D変換結果レジスタ_{mH} (ADCR_{mH})

ADCR_mレジスタは、A/D変換結果を保持する10ビット・レジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。16ビット・リード・アクセスのみ可能です。下位6ビットは0固定になります。

また、A/Dコンバータの精度が8ビット分解能でよい場合、ADCR_mレジスタの上位8ビットをADCR_{mH}レジスタとしてリードできます。ADCR_{mH}レジスタは8ビット・リード・アクセスのみ可能です。

RESET入力により、不定になります。

備考 m = 0-23

(7) コントローラ

ADM_nレジスタに設定したモードにしたがって、アナログ入力の選択、サンプル&ホールド回路の動作タイミングの生成、変換トリガの制御を行います (n = 0-2)。

(8) ANI0-ANI23端子

A/Dコンバータへの24チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI23端子入力電圧は規格の範囲内でご使用ください。特にAV_{REF}以上、AV_{SS}以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(8) AV_{REF}端子

A/Dコンバータの基準電圧を入力する端子です。AV_{REF}、AV_{SS}端子間にかかる電圧に基づいて、ANI0-ANI23端子に入力される信号をデジタル信号に変換します。

(9) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

(10) AV_{DD}端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

20.3 制御レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)

20.3.1 A/Dコンバータ・モード・レジスタ0 (ADM0)

ADM0レジスタは、動作モードの指定および変換動作の制御を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。ただしA/D変換動作中にADM0レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。また、ビット6はリードのみで書き込みできません。書き込みは無効になります。

リセット時：00H R/W アドレス：FFFFFF200H

	⑦	⑥	⑤	④	3	2	1	0
ADM0	ADCE	ADCS	BS	MS	0	0	0	0

ADCE	A/D変換の許可 / 禁止
0	A/D変換動作禁止
1	A/D変換動作許可

ADCS	A/Dコンバータの状態
0	A/Dコンバータ停止中
1	A/Dコンバータ動作中

BS	セレクト / モード時のバッファ・モードの指定
0	1バッファ・モード
1	4バッファ・モード

MS	A/Dコンバータの動作モードの指定
0	スキャン・モード
1	セレクト・モード

注意 タイマ・トリガ・モード、外部トリガ・モード時でADCEビットが1のときは、トリガ信号待機状態になります。ADCEビットをクリアするには、“0”を書き込むか、リセットしてください。ソフトウェア・トリガ・モードでは、ADCEビットに1を書き込むことが変換のトリガになります。動作後、ADCEビットをクリアせずにタイマ・クリア・モード、外部トリガ・モードに変更した場合、変更直後からトリガ入力の待機状態になります

20.3.2 A/Dコンバータ・モード・レジスタ1 (ADM1)

ADM1レジスタは、変換動作時間の指定、トリガ・モードの指定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。ただしA/D変換動作中にADM1レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

リセット時：00H R/W アドレス：FFFFF201H

	7	6	5	4	3	2	1	0
ADM1	EGA1	EGA0	TRG1	TRG0	FR3	FR2	FR1	FR0

EGA1	EGA0	外部トリガ (ADTRG) の有効エッジ指定
0	0	エッジ検出しない
0	1	立ち下がりエッジ検出
1	1	立ち上がりエッジ検出
1	0	立ち上がり/立ち下がり両エッジ検出

TRG1	TRG0	トリガ・モードの指定
0	0	ソフトウェア・トリガ・モード
0	1	タイマ・トリガ・モード (INTCC000割り込み要求信号)
1	1	外部トリガ・モード (ADTRG端子入力)
1	0	設定禁止

備考 FR3-FR0ビットの設定については、表20 - 2 変換時間を参照してください。

表20 - 2 変換時間

FR3	FR2	FR1	FR0	A/D変換時間 ^{注1}			安定 時間 ^{注2}	応答 時間 ^{注3}	レジスタ 書き込み 応答時間 ^{注4}	トリガ受け付 け時間 ^{注5}	
				$f_{xx} = 10 \text{ MHz}$	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 37.5 \text{ MHz}$					
0	0	0	0	$26/f_{xx}$	$2.60 \mu\text{s}$	設定禁止	設定禁止	$13/f_{xx}$	$1/f_{xx}$	$3/f_{xx}$	MAX : $4/f_{xx}$ MIN : $3/f_{xx}$
0	0	0	1	$52/f_{xx}$	$5.20 \mu\text{s}$	$2.60 \mu\text{s}$	設定禁止	$26/f_{xx}$	$2/f_{xx}$	$4/f_{xx}$	MAX : $5/f_{xx}$ MIN : $4/f_{xx}$
0	0	1	0	$78/f_{xx}$	$7.80 \mu\text{s}$	$3.90 \mu\text{s}$	$2.08 \mu\text{s}$	$39/f_{xx}$	$3/f_{xx}$	$5/f_{xx}$	MAX : $6/f_{xx}$ MIN : $5/f_{xx}$
0	0	1	1	$104/f_{xx}$	$10.40 \mu\text{s}$	$5.20 \mu\text{s}$	$2.77 \mu\text{s}$	$41/f_{xx}$	$4/f_{xx}$	$6/f_{xx}$	MAX : $7/f_{xx}$ MIN : $6/f_{xx}$
0	1	0	0	$130/f_{xx}$	設定禁止	$6.50 \mu\text{s}$	$3.47 \mu\text{s}$	$41/f_{xx}$	$5/f_{xx}$	$7/f_{xx}$	MAX : $8/f_{xx}$ MIN : $7/f_{xx}$
0	1	0	1	$156/f_{xx}$	設定禁止	$7.80 \mu\text{s}$	$4.16 \mu\text{s}$	$41/f_{xx}$	$6/f_{xx}$	$8/f_{xx}$	MAX : $9/f_{xx}$ MIN : $8/f_{xx}$
0	1	1	0	$182/f_{xx}$	設定禁止	$9.10 \mu\text{s}$	$4.86 \mu\text{s}$	$41/f_{xx}$	$7/f_{xx}$	$9/f_{xx}$	MAX : $10/f_{xx}$ MIN : $9/f_{xx}$
0	1	1	1	$208/f_{xx}$	設定禁止	$10.40 \mu\text{s}$	$5.55 \mu\text{s}$	$41/f_{xx}$	$8/f_{xx}$	$10/f_{xx}$	MAX : $11/f_{xx}$ MIN : $10/f_{xx}$
1	0	0	0	$234/f_{xx}$	設定禁止	設定禁止	$6.24 \mu\text{s}$	$41/f_{xx}$	$9/f_{xx}$	$11/f_{xx}$	MAX : $12/f_{xx}$ MIN : $11/f_{xx}$
1	0	0	1	$260/f_{xx}$	設定禁止	設定禁止	$6.94 \mu\text{s}$	$41/f_{xx}$	$10/f_{xx}$	$12/f_{xx}$	MAX : $13/f_{xx}$ MIN : $12/f_{xx}$
1	0	1	0	$286/f_{xx}$	設定禁止	設定禁止	$7.63 \mu\text{s}$	$41/f_{xx}$	$11/f_{xx}$	$13/f_{xx}$	MAX : $14/f_{xx}$ MIN : $13/f_{xx}$
1	0	1	1	$312/f_{xx}$	設定禁止	設定禁止	$8.32 \mu\text{s}$	$41/f_{xx}$	$12/f_{xx}$	$14/f_{xx}$	MAX : $15/f_{xx}$ MIN : $14/f_{xx}$
1	1	0	0	$338/f_{xx}$	設定禁止	設定禁止	$9.02 \mu\text{s}$	$41/f_{xx}$	$13/f_{xx}$	$15/f_{xx}$	MAX : $16/f_{xx}$ MIN : $15/f_{xx}$
1	1	0	1	$364/f_{xx}$	設定禁止	設定禁止	$9.71 \mu\text{s}$	$41/f_{xx}$	$14/f_{xx}$	$16/f_{xx}$	MAX : $17/f_{xx}$ MIN : $16/f_{xx}$
1	1	1	0	$390/f_{xx}$	設定禁止	設定禁止	$10.40 \mu\text{s}$	$41/f_{xx}$	$15/f_{xx}$	$17/f_{xx}$	MAX : $18/f_{xx}$ MIN : $17/f_{xx}$
1	1	1	1	$416/f_{xx}$	設定禁止	設定禁止	設定禁止	$41/f_{xx}$	$16/f_{xx}$	$18/f_{xx}$	MAX : $19/f_{xx}$ MIN : $18/f_{xx}$

- 注1. A/D変換時間は、2.08 ~ 10.40 μ sの範囲になるように設定してください。
2. ADM0レジスタのADCEビット = 0 1に設定後、1回目のA/D変換のみA/Dコンバータの安定時間を確保する必要があります。V850E/SV2ではFR3-FR0ビットの設定に対して上表のA/D安定時間を確保します。
 3. 応答時間は、ソフトウェア・トリガ・モード時や外部トリガ・モード、タイマ・トリガ・モード時で安定時間内にトリガ入力を受け付けられた場合に挿入されます。
 4. 安定時間後にADM0-ADM2レジスタに書き込みを行った場合、再度A/D変換を開始します。このときA/D変換時間とは別にレジスタ書き込み応答時間が必要になります。
 5. 外部トリガ・モード、タイマ・トリガ・モードでは、安定時間中にトリガを受け付けた場合、A/D変換を開始します。安定時間よりあとにトリガを受け付けた場合は、A/D変換時間とは別にトリガ受け付け時間が必要になります。

注意 A/D変換動作中(ADCEビット = 1)に、A/D変換時間(FR3-FR0ビット)の設定値を変更しないでください。変更する場合は、ADCEビット = 0に設定してから行ってください。

20.3.3 A/Dコンバータ・モード・レジスタ2 (ADM2)

ADM2レジスタは、アナログ入力端子の選択を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。ただしA/D変換動作中にADM2レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

リセット時：00H R/W アドレス：FFFFFF202H								
	7	6	5	4	3	2	1	0
ADM2	0	0	0	ANIS4	ANIS3	ANIS2	ANIS1	ANIS0

表20 - 3 アナログ入力端子の指定

ANIS4	ANIS3	ANIS2	ANIS1	ANIS0	セレクト・モード	スキャン・モード
0	0	0	0	0	ANI0	ANI0
0	0	0	0	1	ANI1	ANI0, ANI1
0	0	0	1	0	ANI2	ANI0-ANI2
0	0	0	1	1	ANI3	ANI0-ANI3
0	0	1	0	0	ANI4	ANI0-ANI4
0	0	1	0	1	ANI5	ANI0-ANI5
0	0	1	1	0	ANI6	ANI0-ANI6
0	0	1	1	1	ANI7	ANI0-ANI7
0	1	0	0	0	ANI8	ANI8
0	1	0	0	1	ANI9	ANI8, ANI9
0	1	0	1	0	ANI10	ANI8-ANI10
0	1	0	1	1	ANI11	ANI8-ANI11
0	1	1	0	0	ANI12	ANI8-ANI12
0	1	1	0	1	ANI13	ANI8-ANI13
0	1	1	1	0	ANI14	ANI8-ANI14
0	1	1	1	1	ANI15	ANI8-ANI15
1	0	0	0	0	ANI16	ANI16
1	0	0	0	1	ANI17	ANI16, ANI17
1	0	0	1	0	ANI18	ANI16-ANI18
1	0	0	1	1	ANI19	ANI16-ANI19
1	0	1	0	0	ANI20	ANI16-ANI20
1	0	1	0	1	ANI21	ANI16-ANI21
1	0	1	1	0	ANI22	ANI16-ANI22
1	0	1	1	1	ANI23	ANI16-ANI23
上記以外					設定禁止	

注意 アナログ入力のないA/D入力チャンネルを指定した場合のA/D変換結果は不定となります。

20.3.4 A/D変換結果レジスタ0-23 (ADCR0-ADCR23)

ADCRmレジスタは、A/D変換の結果を保持する10ビット・レジスタです。24本の10ビット・レジスタを備えています。16ビット・リード・アクセスのみ可能です。下位6ビットは0固定です。

また、A/Dコンバータの精度が8ビット分解能でよい場合、ADCRmレジスタの上位8ビットをADCRmHレジスタとしてリードできます。ADCRmHレジスタは8ビット・リード・アクセスのみ可能です。

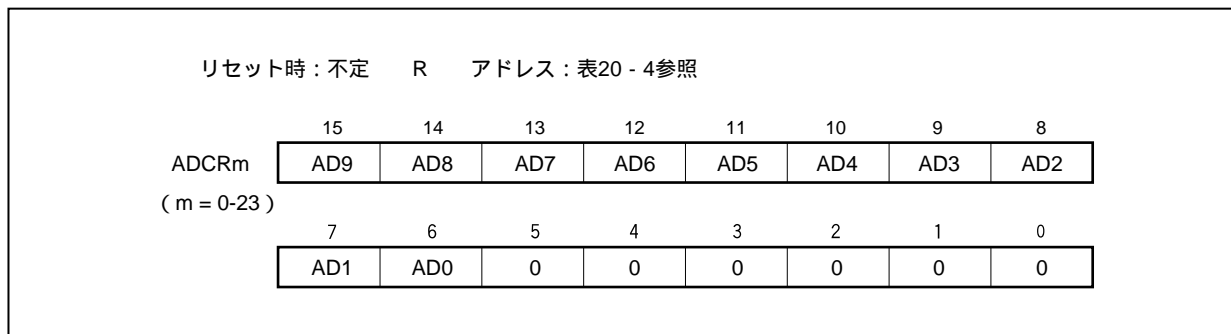


表20 - 4 ADCRm, ADCRmHレジスタのアドレス

ADCRmレジスタ名	アドレス	ADCRmHレジスタ名	アドレス
ADCR0	FFFFFF210H	ADCR0H	FFFFFF211H
ADCR1	FFFFFF212H	ADCR1H	FFFFFF213H
ADCR2	FFFFFF214H	ADCR2H	FFFFFF215H
ADCR3	FFFFFF216H	ADCR3H	FFFFFF217H
ADCR4	FFFFFF218H	ADCR4H	FFFFFF219H
ADCR5	FFFFFF21AH	ADCR5H	FFFFFF21BH
ADCR6	FFFFFF21CH	ADCR6H	FFFFFF21DH
ADCR7	FFFFFF21EH	ADCR7H	FFFFFF21FH
ADCR8	FFFFFF220H	ADCR8H	FFFFFF221H
ADCR9	FFFFFF222H	ADCR9H	FFFFFF223H
ADCR10	FFFFFF224H	ADCR10H	FFFFFF225H
ADCR11	FFFFFF226H	ADCR11H	FFFFFF227H
ADCR12	FFFFFF228H	ADCR12H	FFFFFF229H
ADCR13	FFFFFF22AH	ADCR13H	FFFFFF22BH
ADCR14	FFFFFF22CH	ADCR14H	FFFFFF22DH
ADCR15	FFFFFF22EH	ADCR15H	FFFFFF22FH
ADCR16	FFFFFF230H	ADCR16H	FFFFFF231H
ADCR17	FFFFFF232H	ADCR17H	FFFFFF233H
ADCR18	FFFFFF234H	ADCR18H	FFFFFF235H
ADCR19	FFFFFF236H	ADCR19H	FFFFFF237H
ADCR20	FFFFFF238H	ADCR20H	FFFFFF239H
ADCR21	FFFFFF23AH	ADCR21H	FFFFFF23BH
ADCR22	FFFFFF23CH	ADCR22H	FFFFFF23DH
ADCR23	FFFFFF23EH	ADCR23H	FFFFFF23FH

各アナログ入力端子とADCRm, ADCRmHレジスタの対応を次に示します。

表20 - 5 アナログ入力端子とADCRm, ADCRmHレジスタの対応

アナログ入力端子	セレクト1バッファ・モード/ スキャン・モード	セレクト4バッファ・モード
ANI0	ADCR0, ADCR0H	ADCR0-ADCR3, ADCR0H-ADCR3H
ANI1	ADCR1, ADCR1H	
ANI2	ADCR2, ADCR2H	
ANI3	ADCR3, ADCR3H	
ANI4	ADCR4, ADCR4H	ADCR4-ADCR7, ADCR4H-ADCR7H
ANI5	ADCR5, ADCR5H	
ANI6	ADCR6, ADCR6H	
ANI7	ADCR7, ADCR7H	
ANI8	ADCR8, ADCR8H	ADCR8-ADCR11, ADCR8H-ADCR11H
ANI9	ADCR9, ADCR9H	
ANI10	ADCR10, ADCR10H	
ANI11	ADCR11, ADCR11H	
ANI12	ADCR12, ADCR12H	ADCR12-ADCR15, ADCR12H-ADCR15H
ANI13	ADCR13, ADCR13H	
ANI14	ADCR14, ADCR14H	
ANI15	ADCR15, ADCR15H	
ANI16	ADCR16, ADCR16H	ADCR16-ADCR19, ADCR16H-ADCR19H
ANI17	ADCR17, ADCR17H	
ANI18	ADCR18, ADCR18H	
ANI19	ADCR19, ADCR19H	
ANI20	ADCR20, ADCR20H	ADCR20-ADCR23, ADCR20H-ADCR23H
ANI21	ADCR21, ADCR21H	
ANI22	ADCR22, ADCR22H	
ANI23	ADCR23, ADCR23H	

アナログ入力端子（ANI0-ANI23）に入力されたアナログ入力電圧とA/D変換結果（A/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

または、

$$\left(ADCR - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{IN} < \left(ADCR + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

INT () : () 内の値の整数部を返す関数

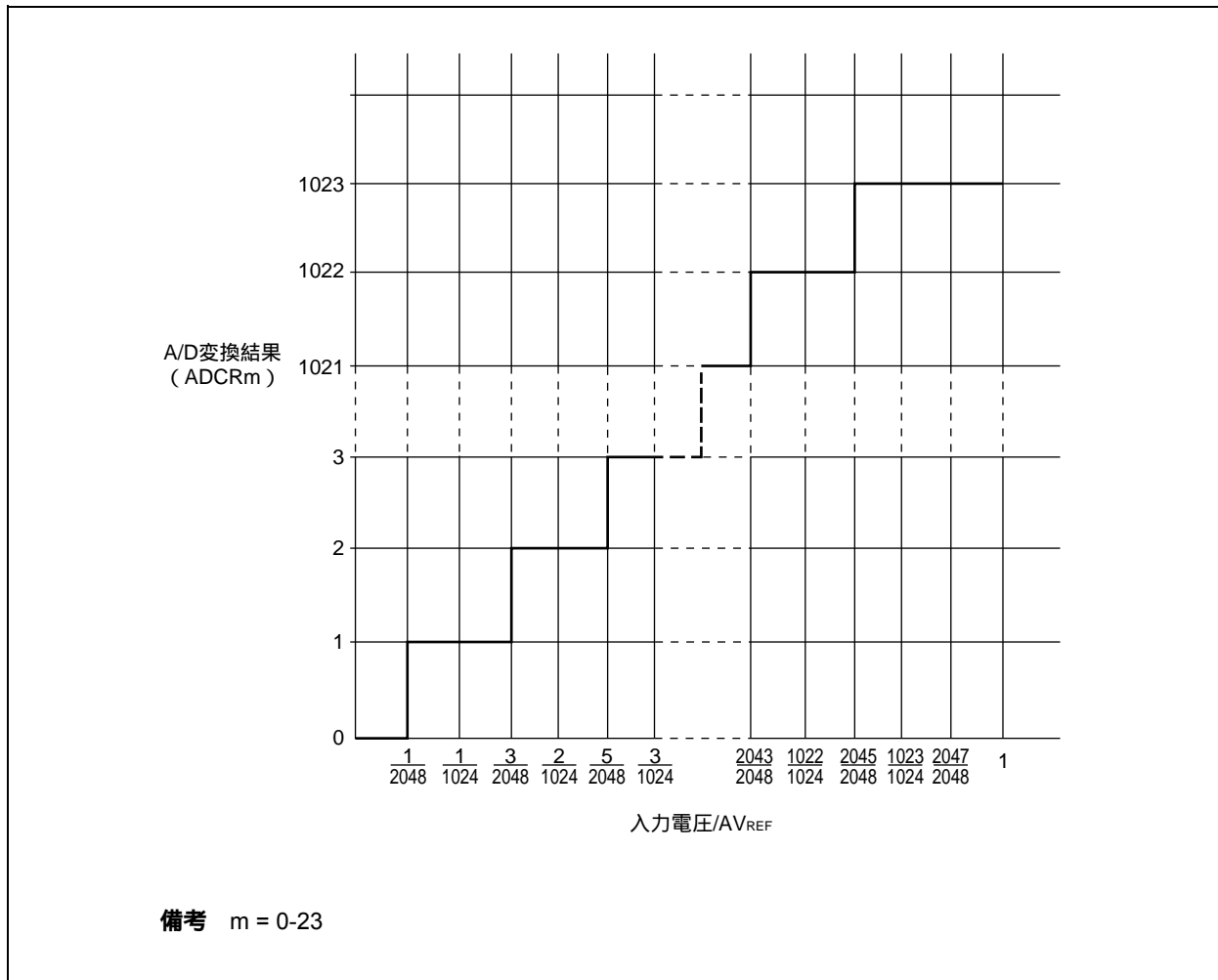
V_{IN} : アナログ入力電圧

AV_{REF} : AV_{REF}端子電圧

ADCR : A/D変換結果レジスタ（ADCR）の値

図20 - 2にアナログ入力電圧とA/D変換結果の関係を示します。

図20 - 2 アナログ入力電圧とA/D変換結果の関係



20.4 動作

20.4.1 基本動作

A/D変換は次の手順で行います。

- (1) アナログ入力端子の選択, 動作モード, トリガ・モードなどの指定を, A/Dコンバータ・モード・レジスタ n (ADM n) に設定します^{注1} ($n = 0-2$)。ADM0レジスタのADCEビットをセット(1)すると, ソフトウェア・トリガ・モード時はA/D変換を開始します。タイマ・トリガ・モード, 外部トリガ・モード時は, トリガ待機状態^{注2}になります。
- (2) 直列抵抗ストリングの電圧タップから発生した電圧とアナログ入力端子の電圧をコンパレータで比較します。
- (3) 10ビットの比較が終了したとき, A/D変換結果レジスタ m (ADCR m) に変換結果を格納します。指定した回数のA/D変換が終了したとき, A/D変換終了割り込み要求信号 (INTAD) を発生します ($m = 0-23$)。

注1. A/D変換動作中にADM n レジスタ ($n = 0-2$) を変更した場合, 変更前のA/D変換動作は停止し, ADCR m レジスタ ($m = 0-23$) へ変換結果を格納しません。

2. タイマ・トリガ・モード, 外部トリガ・モードの場合, ADM0レジスタのADCEビットを1にすると, トリガ待機状態に遷移します。またA/D変換動作は, トリガ信号によって起動 (ADM0レジスタのADCSビット = 1) され, A/D変換動作が終了するとトリガ待機状態 (ADCSビット = 0) に戻ります。

20.4.2 動作モードとトリガ・モード

A/Dコンバータは, 動作モード, トリガ・モードの指定により多彩な変換動作を指定できます。動作モード, トリガ・モードは, ADM0, ADM1レジスタで設定します。

動作モード, トリガ・モードの関係を次に示します。

表20 - 6 動作モード , トリガ・モードの関係

トリガ・モード	動作モード		設定値			アナログ入力
			ADM0	ADM1	ADM2	
ソフトウェア・トリガ	セレクト	1バッファ	xx010000B	0000xxxxB	00000xxxB	ANI0-ANI7
					00001xxxB	ANI8-ANI15
					00010xxxB	ANI16-ANI23
	4バッファ	xx110000B	00000xxxB		ANI0-ANI7	
			00001xxxB		ANI8-ANI15	
			00010xxxB		ANI16-ANI23	
	スキャン		xxx00000B		00000xxxB	ANI0-ANI7
					00001xxxB	ANI8-ANI15
					00010xxxB	ANI16-ANI23
タイマ・トリガ	セレクト	1バッファ	xx010000B	00010xxxB	00000xxxB	ANI0-ANI7
					00001xxxB	ANI8-ANI15
					00010xxxB	ANI16-ANI23
	4バッファ	xx110000B	00000xxxB		ANI0-ANI7	
			00001xxxB		ANI8-ANI15	
			00010xxxB		ANI16-ANI23	
	スキャン		xxx00000B		00000xxxB	ANI0-ANI7
					00001xxxB	ANI8-ANI15
					00010xxxB	ANI16-ANI23
外部トリガ	セレクト	1バッファ	xx010000B	xx10xxxxB	00000xxxB	ANI0-ANI7
					00001xxxB	ANI8-ANI15
					00010xxxB	ANI16-ANI23
	4バッファ	xx110000B	00000xxxB		ANI0-ANI7	
			00001xxxB		ANI8-ANI15	
			00010xxxB		ANI16-ANI23	
	スキャン		xxx00000B		00000xxxB	ANI0-ANI7
					00001xxxB	ANI8-ANI15
					00010xxxB	ANI16-ANI23

(1) トリガ・モード

A/D変換処理の開始タイミングとなるトリガ・モードには、ソフトウェア・トリガ・モード、タイマ・トリガ・モード、外部トリガ・モードの3通りがあります。これらのトリガ・モードは、ADM1レジスタのTRG1、TRG0ビットで設定します。

(a) ソフトウェア・トリガ・モード

ANI0-ANI23端子に設定されたアナログ入力の変換タイミングを、ADM0レジスタのADCEビットを1に設定することによりA/D変換を開始するモードです。

変換終了後ADCEビットを0にしないかぎり、次の変換動作を繰り返し行います。

変換動作中にADM0-ADM2レジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。

(b) タイマ・トリガ・モード

ANI0-ANI23端子に設定されたアナログ入力の変換タイミングを、タイマ00のコンペア・レジスタに設定した値で規定するモードです。

16ビットのタイマ00 (TM00) に接続されたキャプチャ/コンペア・レジスタ (CR000) のコンペア一致割り込み要求信号 (INTCC000) 発生により、アナログ入力変換タイミングを生成します。

ADM0レジスタのADCEビットを1に設定すると、INTCC000信号待機状態となり、INTCC000信号発生により変換動作を開始します (ADM0レジスタのADCSビット = 1)。変換を終了すると再び割り込み待機状態 (ADCSビット = 0) になります。

変換動作中にINTCC000信号が発生すると、再度最初から変換動作を行います。

また、変換動作中にADM0-ADM2レジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。

(c) 外部トリガ・モード

ANI0-ANI23端子に設定されたアナログ入力の変換タイミングを ADTRG端子で指定するモードです。

ADM1レジスタのEGA1, EGA0ビットによりADTRG端子入力のエッジ検出を指定します。

ADM0レジスタのADCEビットを1に設定すると、外部トリガ (ADTRG) 待機状態となり、ADTRG端子入力の有効エッジが検出されると変換動作を開始します (ADM0レジスタのADCSビット = 1)。変換を終了すると再び外部トリガ待機状態 (ADCSビット = 0) になります。

変換動作中にADTRG端子入力の有効エッジを検出すると、再度最初から変換動作を行います。

また、変換動作中にADM0-ADM2レジスタに書き込みを行った場合、変換は中断され、トリガ待ち状態になります。

(2) 動作モード

動作モードには、ANI0-ANI23端子を設定するモードとして、セレクト・モード、スキャン・モードの2通りがあります。セレクト・モードには、サブモードとして1バッファ・モードと4バッファ・モードがあります。これらのモードはADM0レジスタで設定します。

(a) セレクト・モード

ADM2レジスタで指定された1つのアナログ入力をA/D変換します。変換結果は、アナログ入力端子に対応したADCRmレジスタに格納します (m = 0-23)。このモードでは、A/D変換結果の格納方法として1バッファ・モードと4バッファ・モードを備えています。

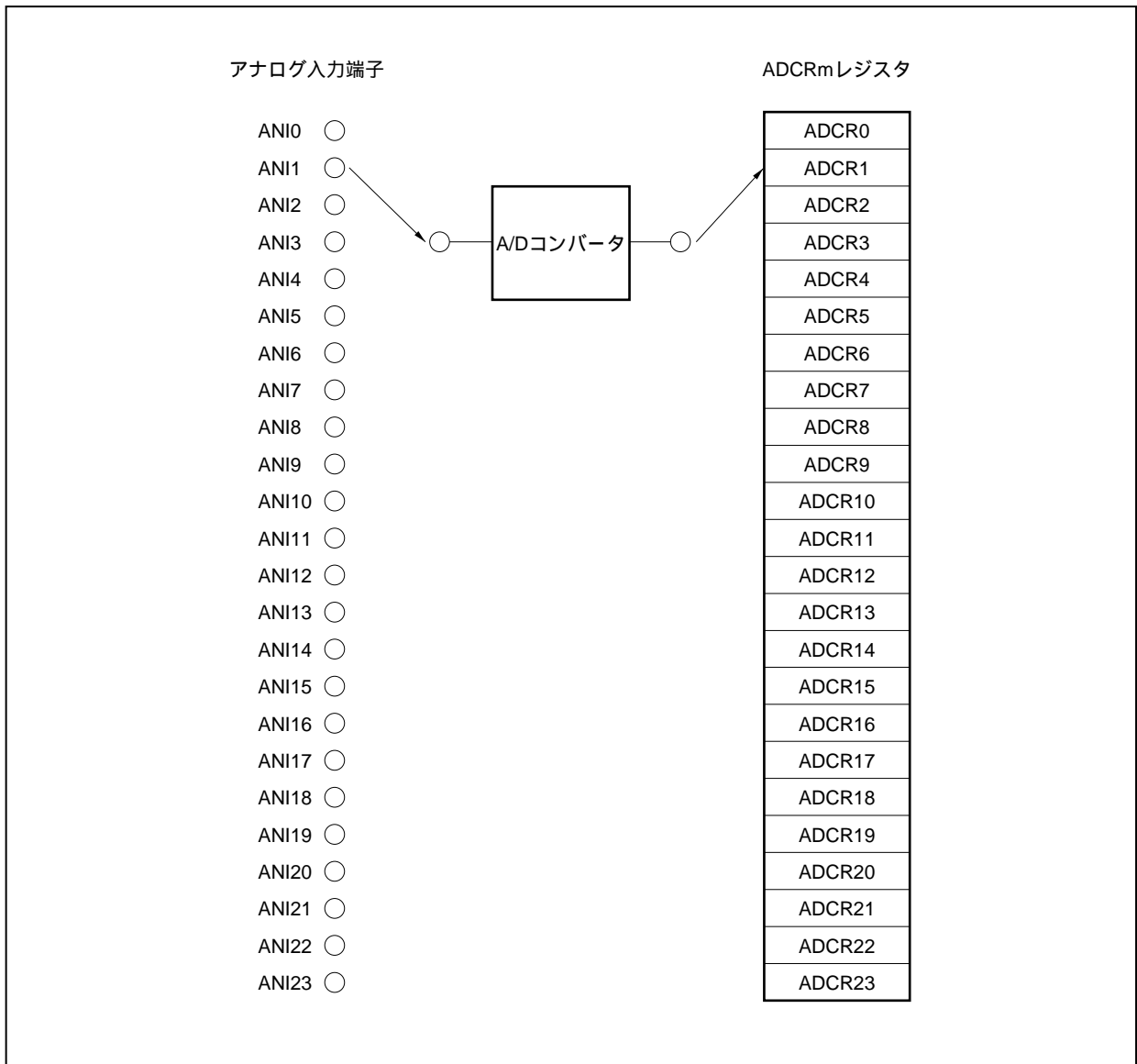
・1バッファ・モード

ADM2レジスタで指定された1つのアナログ入力をA/D変換します。変換結果は、アナログ入力端子に対応したADCRmレジスタに格納します。アナログ入力端子とADCRmレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み要求信号 (INTAD) が発生します。変換終了後はADM0レジスタのADCEビットを0にしないかぎり、次の変換結果を繰り返します。

・4バッファ・モード

1つのアナログ入力を4回A/D変換し,その結果をアナログ入力に対応した4つのADCRmレジスタに格納します。A/D変換終了割り込み要求信号 (INTAD) は,4回のA/D変換が終了した時に発生します。変換終了後はADM0レジスタのADCEビットを0にしないかぎり,次の変換結果を繰り返します。

図20 - 3 セレクト・モードの動作タイミング例：1バッファ・モード (ANI1)

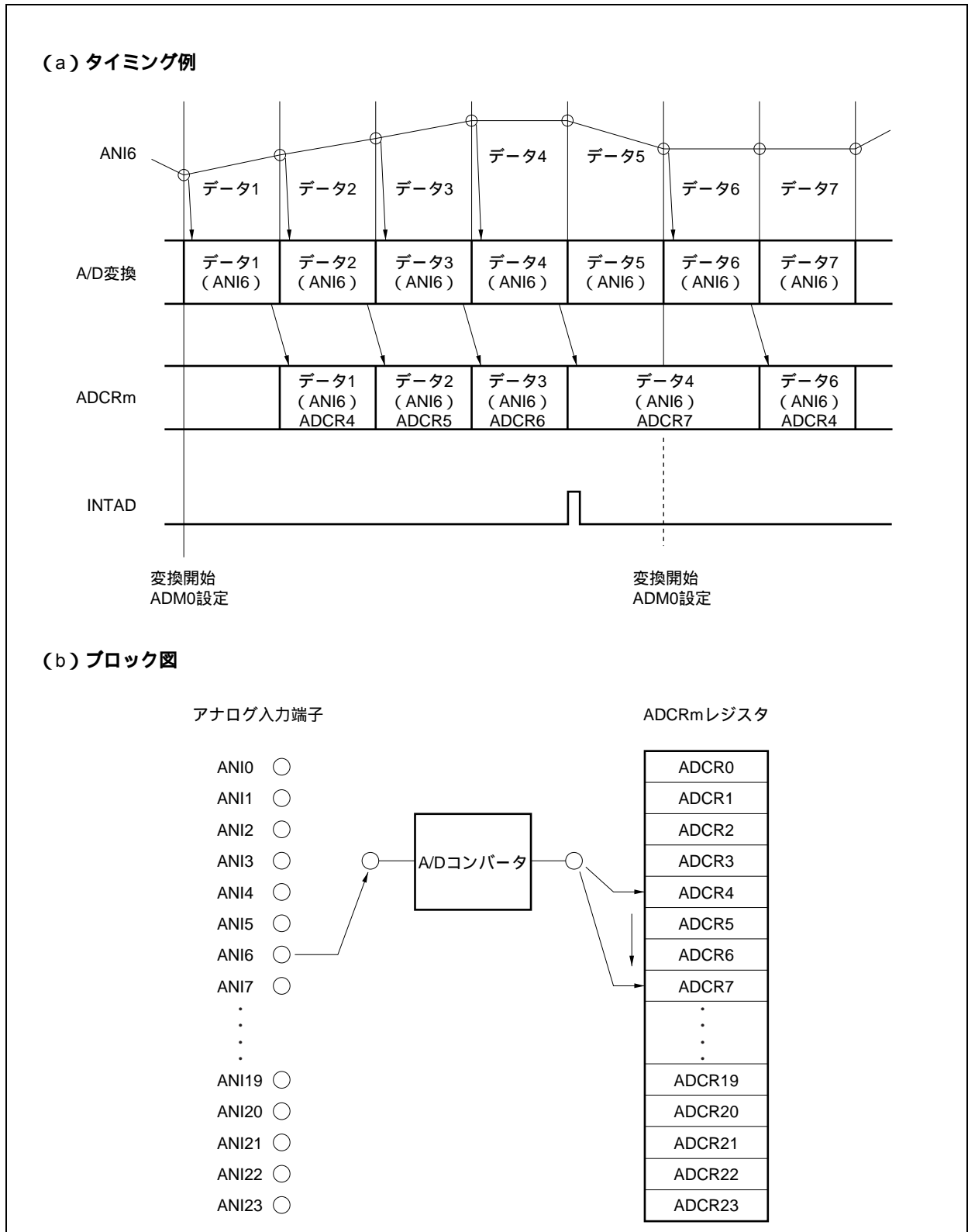


・4バッファ・モード

1つのアナログ入力端子を4回A/D変換し、その結果をアナログ入力端子に対応した4つのADCRmレジスタに格納します。A/D変換終了割り込み要求信号（INTAD）は、4回のA/D変換が終了したときに発生します。

各アナログ入力端子とADCRmレジスタの対応は表20 - 5を参照してください。

図20 - 4 セレクト・モードの動作タイミング例：4バッファ・モード（ANI6）

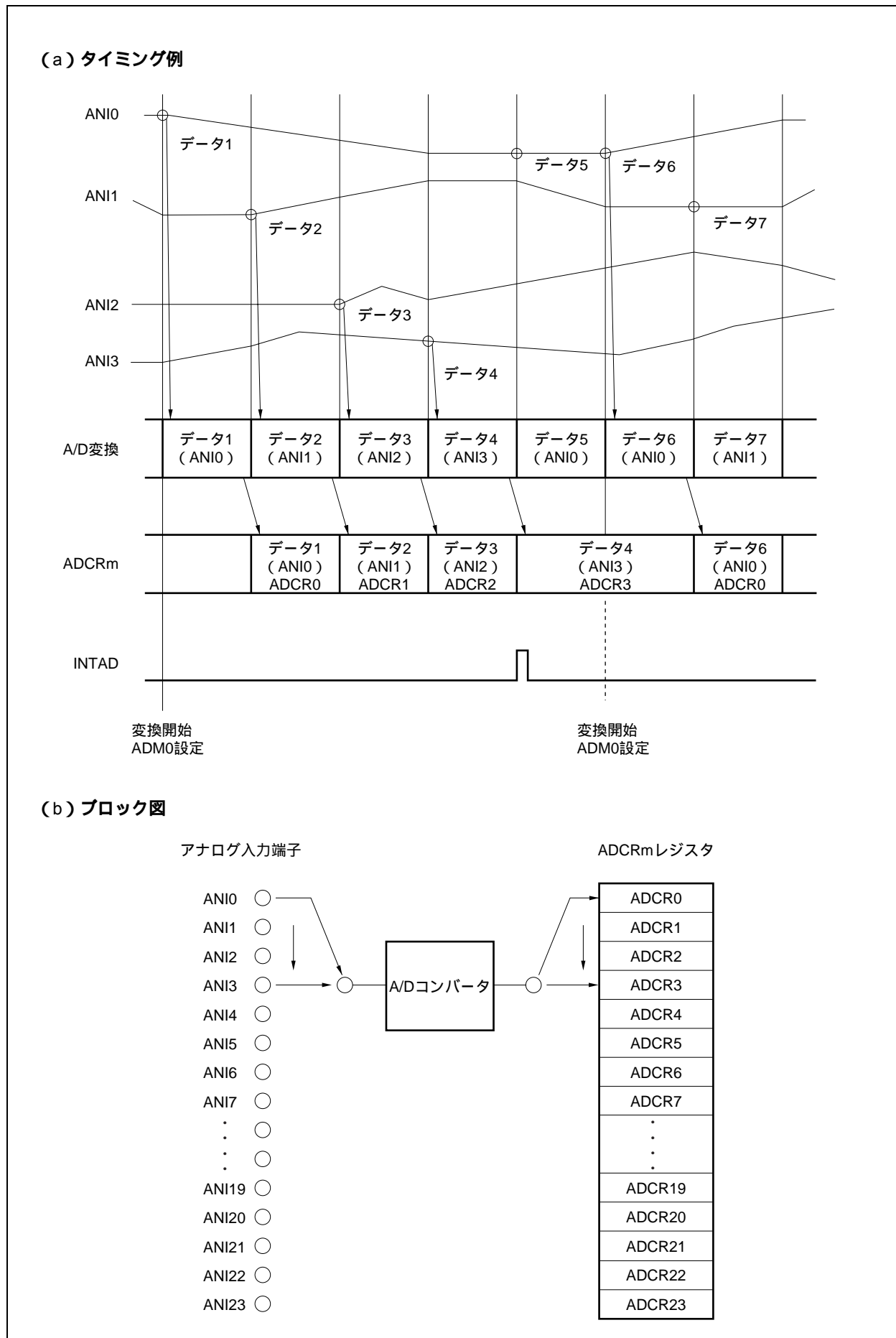


(b) スキャン・モード

ANI0/ANI8/ANI16端子から，ADM2レジスタで指定したアナログ入力端子までを順に選択し，A/D変換します。A/D変換結果は，アナログ入力端子に対応したADCRmレジスタに格納します。指定したアナログ入力の変換が終了すると，INTAD信号が発生します（m = 0-23）。

各アナログ端子とADCRmレジスタの対応表は表20 - 5を参照してください。

図20-5 スキャン・モードの動作タイミング例：4チャンネル・スキャン (ANI0-ANI3)



20.5 ソフトウェア・トリガ時の動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットを1に設定すると、A/D変換を開始します。

20.5.1 セレクト・モードの動作

A/Dコンバータ・モード・レジスタ2 (ADM2) で指定されるアナログ入力端子をA/D変換します。変換結果は、アナログ入力端子に対応したA/D変換結果レジスタm (ADCRm) に格納します。セレクト・モードでは、A/D変換結果の格納法により1バッファ・モードと4バッファ・モードをサポートします (m = 0-23)。

(1) 1バッファ・モード (A/Dトリガ・セレクト1バッファ)

1つのアナログ入力端子を1回A/D変換し、その結果を1つのADCRmレジスタに格納します。アナログ入力端子とADCRmレジスタは、1対1に対応しています (表20-7, 図20-6参照)。

1回のA/D変換ごとにINTAD割り込み要求信号を発生し、A/D変換を終了します。ADM0レジスタのADCEビットを0にしないかぎり、次の変換を繰り返します。

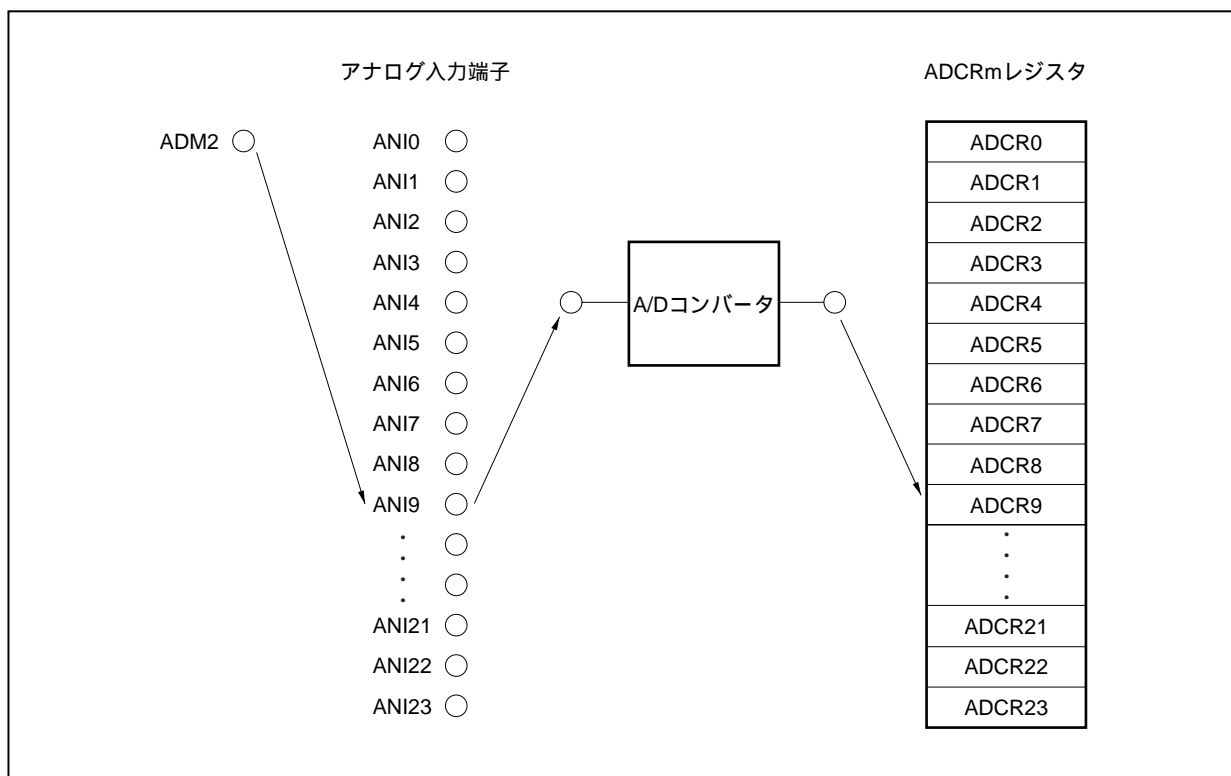
1回のA/D変換ごとに結果を読み出すような応用に最適です。

表20-7 アナログ入力端子とADCRmレジスタの対応

(1バッファ・モード (ソフトウェア・トリガ・セレクト1バッファ))

アナログ入力端子	ADCRmレジスタ
ANI0	ADCR0
ANI1	ADCR1
ANI2	ADCR2
ANI3	ADCR3
ANI4	ADCR4
ANI5	ADCR5
ANI6	ADCR6
ANI7	ADCR7
ANI8	ADCR8
ANI9	ADCR9
ANI10	ADCR10
ANI11	ADCR11
ANI12	ADCR12
ANI13	ADCR13
ANI14	ADCR14
ANI15	ADCR15
ANI16	ADCR16
ANI17	ADCR17
ANI18	ADCR18
ANI19	ADCR19
ANI20	ADCR20
ANI21	ADCR21
ANI22	ADCR22
ANI23	ADCR23

図20 - 6 1バッファ・モード (ソフトウェア・セレクト1バッファ) の動作例 (ANI9)



(2) 4バッファ・モード (ソフトウェア・トリガ・セレクト4バッファ)

1つのアナログ入力端子を4回A/D変換し、その結果を4つのADCRmレジスタに格納します (表20 - 8, 図20 - 7参照)。4回のA/D変換が終了すると、INTAD信号を発生し、A/D変換を終了します。ADM0レジスタのADCEビットを0にしないかぎり、次の変換を繰り返します。

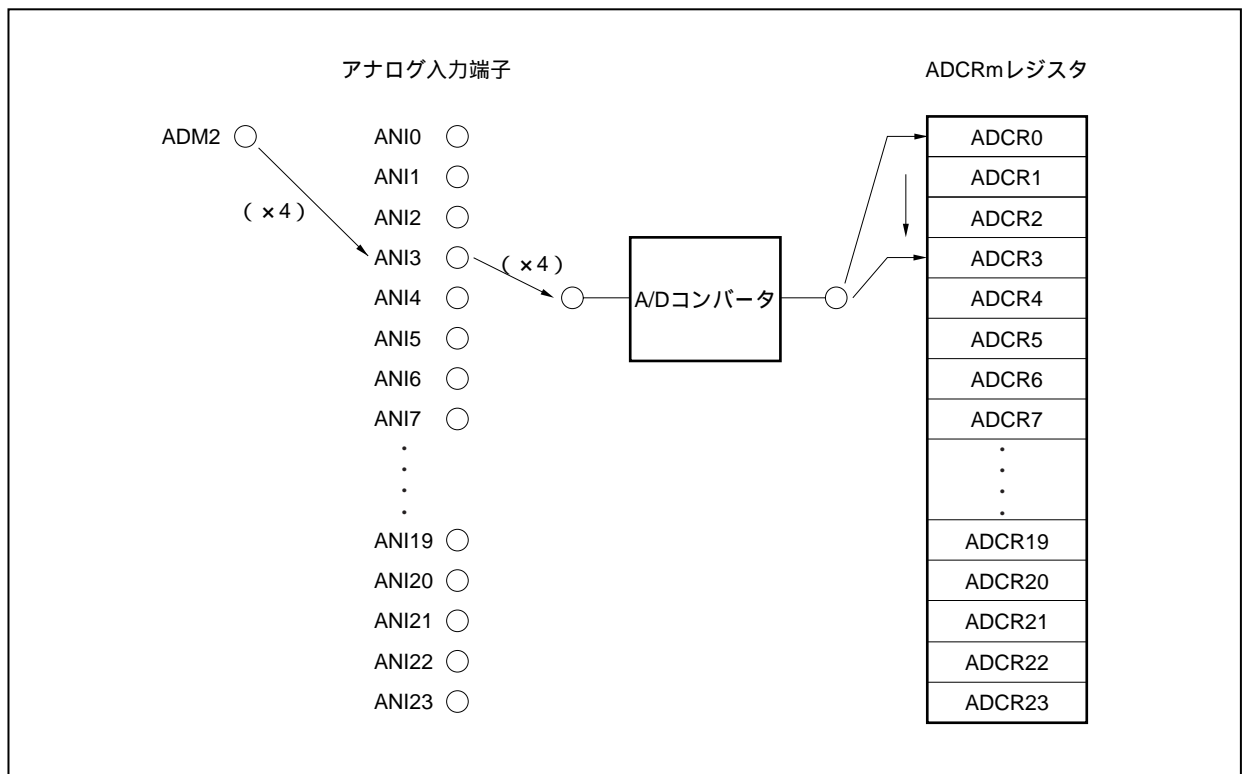
A/D変換結果の平均を求めるような応用に最適です。

表20 - 8 アナログ入力端子とADCRmレジスタの対応

(4バッファ・モード (ソフトウェア・トリガ・セレクト4バッファ))

アナログ入力端子	ADCRmレジスタ	アナログ入力端子	ADCRmレジスタ
ANI0-ANI3	ADCR0 (1回目)	ANI12-ANI15	ADCR12 (1回目)
	ADCR1 (2回目)		ADCR13 (2回目)
	ADCR2 (3回目)		ADCR14 (3回目)
	ADCR3 (4回目)		ADCR15 (4回目)
ANI4-ANI7	ADCR4 (1回目)	ANI16-ANI19	ADCR16 (1回目)
	ADCR5 (2回目)		ADCR17 (2回目)
	ADCR6 (3回目)		ADCR18 (3回目)
	ADCR7 (4回目)		ADCR19 (4回目)
ANI8-ANI11	ADCR8 (1回目)	ANI20-ANI23	ADCR20 (1回目)
	ADCR9 (2回目)		ADCR21 (2回目)
	ADCR10 (3回目)		ADCR22 (3回目)
	ADCR11 (4回目)		ADCR23 (4回目)

図20 - 7 4バッファ・モード (A/Dトリガ・セレクト4バッファ) の動作例 (ANI3)



20.5.2 スキャン・モードの動作

ANI0/ANI8/ANI16端子からADM2レジスタで指定されるアナログ入力端子までを順に選択し、A/D変換します。A/D変換結果をアナログ入力端子に対応したADCRmレジスタに格納します（表20 - 9、図20 - 8参照）。

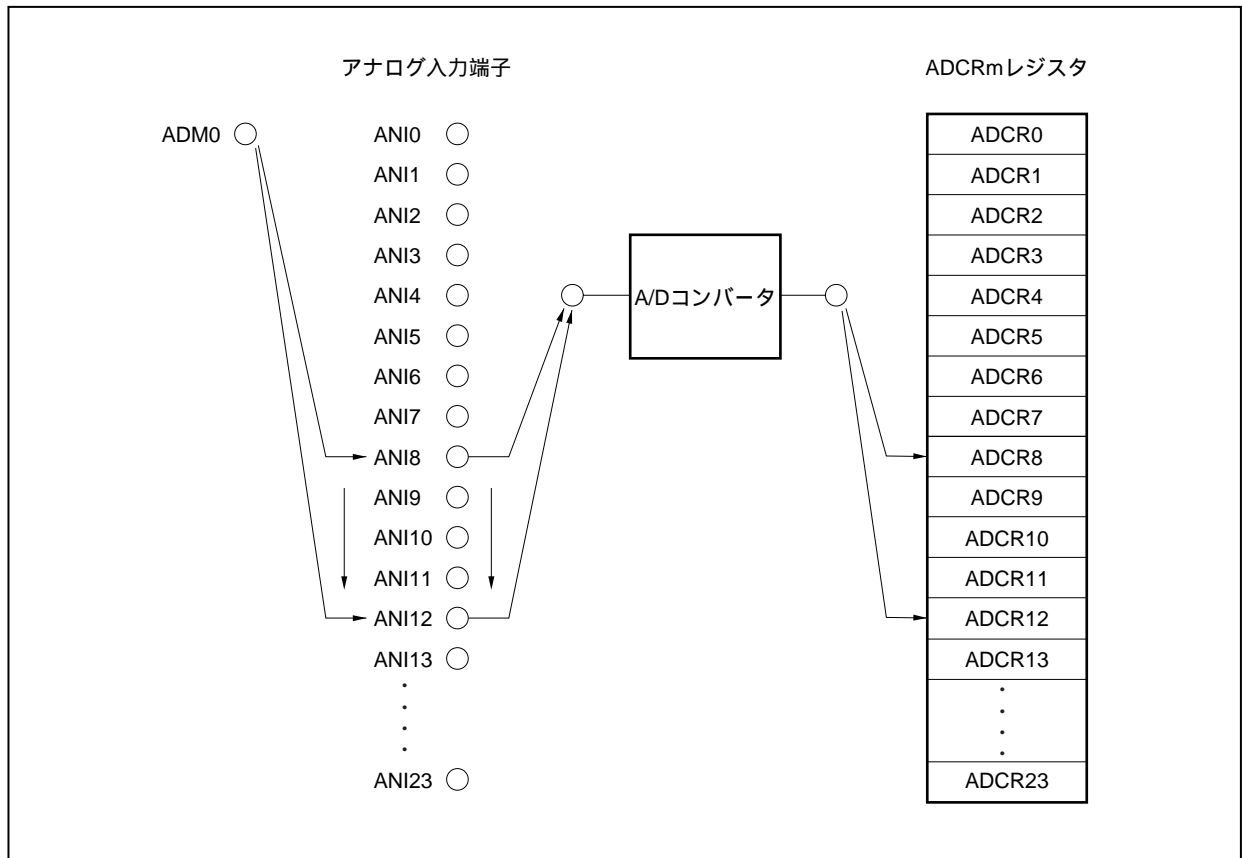
指定したアナログ入力端子の変換をすべて終了すると、INTAD信号を発生し、A/D変換を終了します。ADM0レジスタのADCEビットを0にしないかぎり、次の変換を繰り返します。

複数のアナログ入力を常時監視するような応用に最適です。

表20 - 9 アナログ入力端子とADCRmレジスタの対応（スキャン・モード（ソフトウェア・トリガ・スキャン））

アナログ入力端子	ADCRmレジスタ	アナログ入力端子	ADCRmレジスタ
ANI0	ADCR0	ANI12	ADCR12
ANI1	ADCR1	ANI13	ADCR13
ANI2	ADCR2	ANI14	ADCR14
ANI3	ADCR3	ANI15	ADCR15
ANI4	ADCR4	ANI16	ADCR16
ANI5	ADCR5	ANI17	ADCR17
ANI6	ADCR6	ANI18	ADCR18
ANI7	ADCR7	ANI19	ADCR19
ANI8	ADCR8	ANI20	ADCR20
ANI9	ADCR9	ANI21	ADCR21
ANI10	ADCR10	ANI22	ADCR22
ANI11	ADCR11	ANI23	ADCR23

図20 - 8 スキャン・モード（ソフトウェア・トリガ・スキャン）の動作例（ANI8-ANI12）



20.6 タイマ・トリガ・モード時の動作

ANI0-ANI23端子に設定されたアナログ入力の変換タイミングを、タイマ00のコンペア・レジスタに設定した値で規定するモードです。

16ビットのタイマ00 (TM00) に接続されたキャプチャ/コンペア・レジスタ (CR000) のコンペア一致割り込み要求信号 (INTCC000) 発生により、アナログ入力変換タイミングを生成します。

ADM0レジスタのADCEビットを1に設定すると、割り込み (INTCC000) 待機状態となり、INTCC000信号発生により変換動作を開始します (ADM0レジスタのADCSビット = 1)。変換を終了すると再び割り込み待機状態 (ADCSビット = 0) になります。

変換動作中にINTCC000信号が発生すると、再度最初から変換動作を行います。

また、変換動作中にADM0-ADM2レジスタに書き込みを行った場合、変換は中断され、トリガ待ち状態になります。

20.6.1 セレクト・モードの動作

ADM2レジスタで指定される1つのアナログ入力端子 (ANI0-ANI23) をA/D変換します。変換結果は、アナログ入力端子に対応したADCRmレジスタに格納します。セレクト・モードではA/D変換結果の格納法により、1バッファ・モードと4バッファ・モードの2通りがあります。

(1) 1バッファ・モードの動作 (タイマ・トリガ・セレクト1バッファ)

1つのアナログ入力端子を1回A/D変換し、その結果を1つのADCRmレジスタに格納します (表20 - 10, 図20 - 9参照)。

タイマ00一致割り込み要求信号 (INTCC000) をトリガとして、1つのアナログ入力端子を1回A/D変換し、その結果を1つのADCRmレジスタに格納します。1回のA/D変換ごとにINTAD割り込み要求信号を発生します。

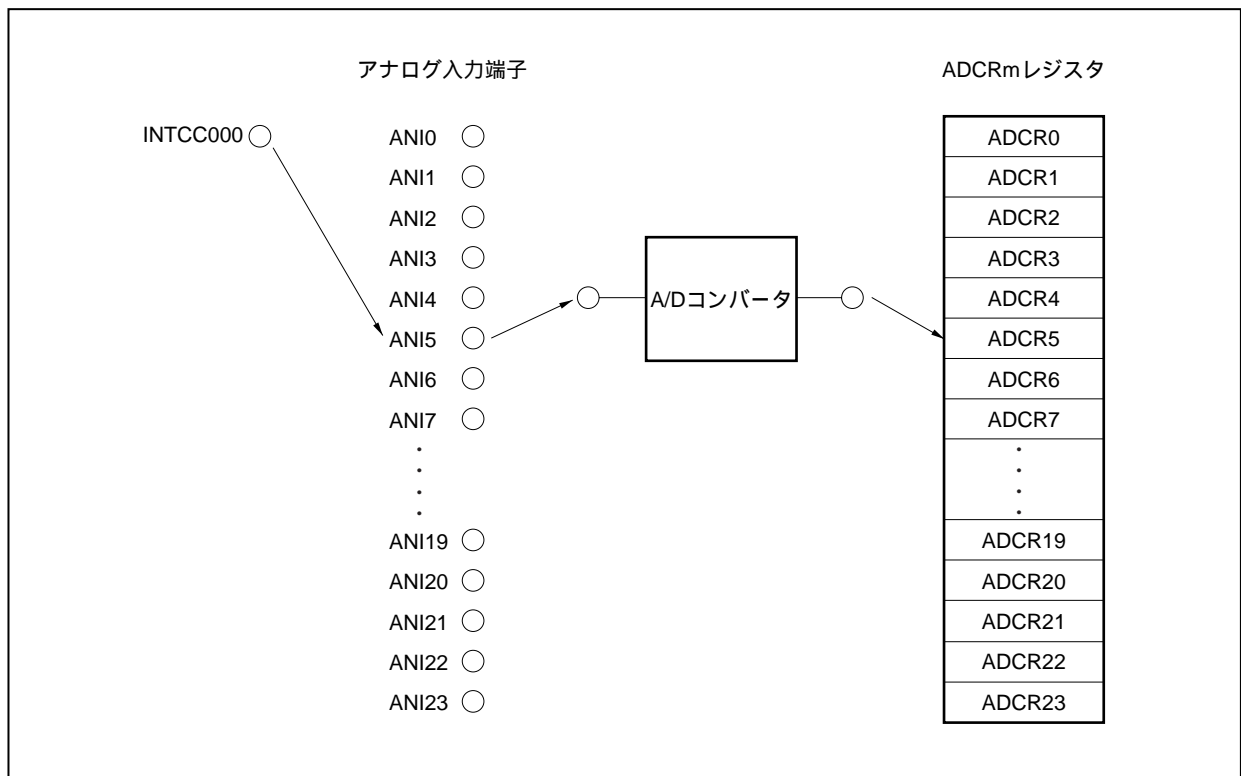
ADM0レジスタのADCEビットを0に設定しないかぎり、INTCC000信号が発生するごとにA/D変換を繰り返します。

表20 - 10 アナログ入力端子とADCRmレジスタの対応

(1バッファ・モード(タイマ・トリガ・セレクト1バッファ))

トリガ	アナログ入力端子	ADCRmレジスタ	トリガ	アナログ入力端子	ADCRmレジスタ
INTCC000割り込み	ANI0	ADCR0	INTCC000割り込み	ANI12	ADCR12
INTCC000割り込み	ANI1	ADCR1	INTCC000割り込み	ANI13	ADCR13
INTCC000割り込み	ANI2	ADCR2	INTCC000割り込み	ANI14	ADCR14
INTCC000割り込み	ANI3	ADCR3	INTCC000割り込み	ANI15	ADCR15
INTCC000割り込み	ANI4	ADCR4	INTCC000割り込み	ANI16	ADCR16
INTCC000割り込み	ANI5	ADCR5	INTCC000割り込み	ANI17	ADCR17
INTCC000割り込み	ANI6	ADCR6	INTCC000割り込み	ANI18	ADCR18
INTCC000割り込み	ANI7	ADCR7	INTCC000割り込み	ANI19	ADCR19
INTCC000割り込み	ANI8	ADCR4	INTCC000割り込み	ANI20	ADCR20
INTCC000割り込み	ANI9	ADCR5	INTCC000割り込み	ANI21	ADCR21
INTCC000割り込み	ANI10	ADCR6	INTCC000割り込み	ANI22	ADCR22
INTCC000割り込み	ANI11	ADCR7	INTCC000割り込み	ANI23	ADCR23

図20 - 9 1バッファ・モード(タイマ・トリガ・セレクト1バッファ)の動作例(ANI5)



(2) 4バッファ・モードの動作 (タイマ・トリガ・セレクト4バッファ)

1つのアナログ入力端子を4回A/D変換し、その結果をADCRmレジスタに格納します (表20 - 11, 図20 - 10参照)。

タイマ00一致割り込み要求信号 (INTCC000) をトリガとして、1つのアナログ入力端子を4回A/D変換し、その結果を4つのADCRmレジスタに格納します。A/D変換が4回終了するとINTAD割り込み要求信号を発生します。

変換終了後はADM0レジスタのADCEビットを0にしないかぎり、次の変換を繰り返します。

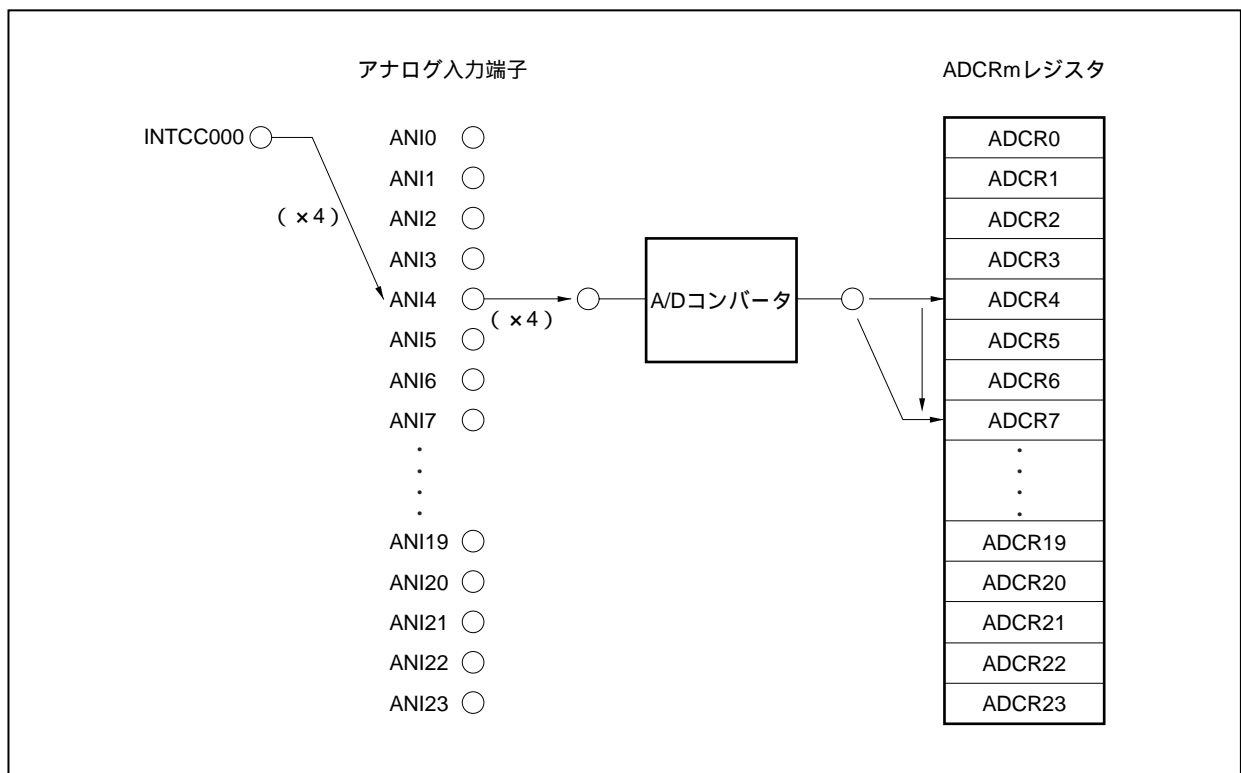
A/D変換結果の平均を求めるような応用に最適です。

表20 - 11 アナログ入力端子とADCRmレジスタの対応

(4バッファ・モード (タイマ・トリガ・セレクト4バッファ))

トリガ	アナログ入力端子	ADCRmレジスタ	トリガ	アナログ入力端子	ADCRmレジスタ
INTCC000割り込み	ANI0-ANI3	ADCR0 (1回目) ADCR1 (2回目) ADCR2 (3回目) ADCR3 (4回目)	INTCC000割り込み	ANI12-ANI15	ADCR12 (1回目) ADCR13 (2回目) ADCR14 (3回目) ADCR15 (4回目)
INTCC000割り込み	ANI4-ANI7	ADCR4 (1回目) ADCR5 (2回目) ADCR6 (3回目) ADCR7 (4回目)	INTCC000割り込み	ANI16-ANI19	ADCR16 (1回目) ADCR17 (2回目) ADCR18 (3回目) ADCR19 (4回目)
INTCC000割り込み	ANI8-ANI11	ADCR8 (1回目) ADCR9 (2回目) ADCR10 (3回目) ADCR11 (4回目)	INTCC000割り込み	ANI20-ANI23	ADCR20 (1回目) ADCR21 (2回目) ADCR22 (3回目) ADCR23 (4回目)

図20 - 10 4バッファ・モード (タイマ・トリガ・セレクト4バッファ) の動作例 (ANI4)



20.6.2 スキャン・モードの動作

ANI0/ANI8/ANI16端子からADM2レジスタで指定されるアナログ入力端子までを順に選択し、タイマー一致割り込み要求信号 (INTCC000) をトリガとして指定された回数のA/D変換を行います。

変換結果はアナログ入力端子に対応したADCRmレジスタに格納します (表20 - 12, 図20 - 11参照)。指定したアナログ入力端子の変換がすべて終了すると、INTAD割り込み要求信号を発生します。

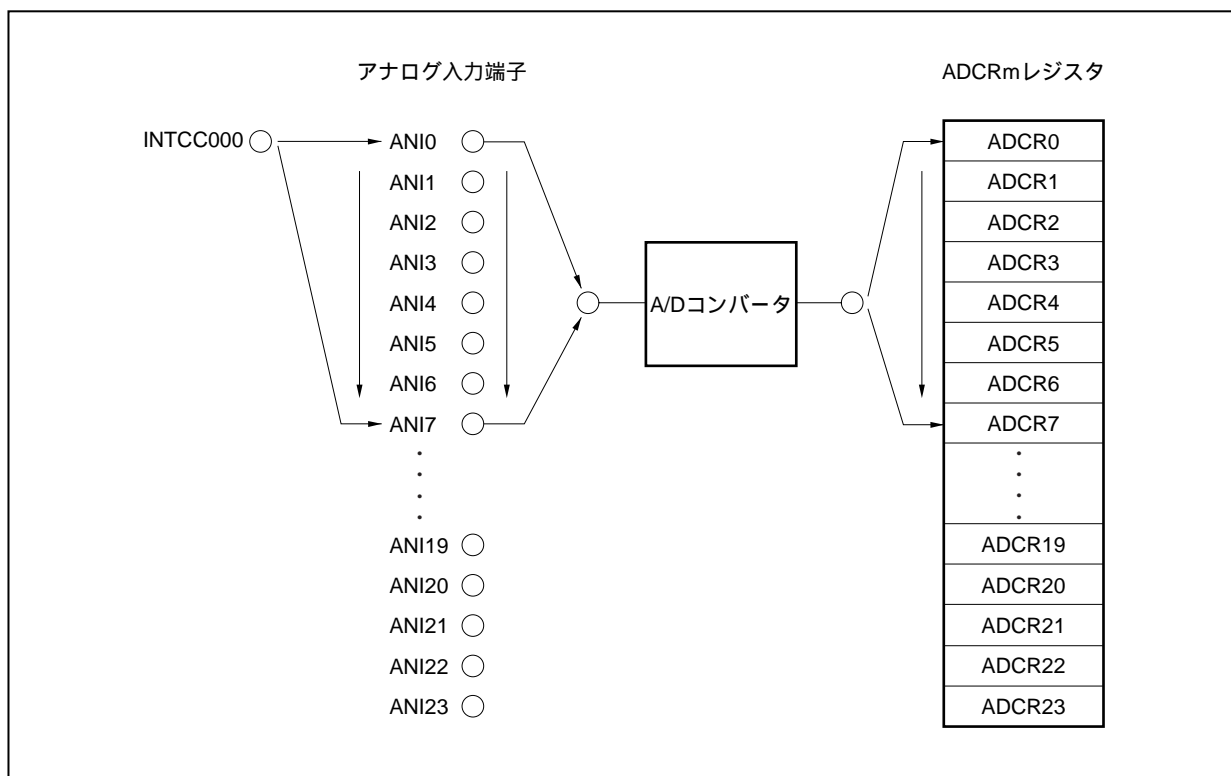
変換終了後は、ADM0レジスタのADCEビットを0にしないかぎり、再びANI0/ANI8/ANI16端子からINTCC000信号をトリガとして変換を開始します。

複数のアナログ入力を常時監視するような応用に最適です。

表20 - 12 アナログ入力端子とADCRmレジスタの対応
(スキャン・モード(タイマ・トリガ・スキャン))

トリガ	アナログ入力端子	ADCRmレジスタ	トリガ	アナログ入力端子	ADCRmレジスタ
INTCC000割り込み	ANI0	ADCR0	INTCC000割り込み	ANI12	ADCR12
INTCC000割り込み	ANI1	ADCR1	INTCC000割り込み	ANI13	ADCR13
INTCC000割り込み	ANI2	ADCR2	INTCC000割り込み	ANI14	ADCR14
INTCC000割り込み	ANI3	ADCR3	INTCC000割り込み	ANI15	ADCR15
INTCC000割り込み	ANI4	ADCR4	INTCC000割り込み	ANI16	ADCR16
INTCC000割り込み	ANI5	ADCR5	INTCC000割り込み	ANI17	ADCR17
INTCC000割り込み	ANI6	ADCR6	INTCC000割り込み	ANI18	ADCR18
INTCC000割り込み	ANI7	ADCR7	INTCC000割り込み	ANI19	ADCR19
INTCC000割り込み	ANI8	ADCR4	INTCC000割り込み	ANI20	ADCR20
INTCC000割り込み	ANI9	ADCR5	INTCC000割り込み	ANI21	ADCR21
INTCC000割り込み	ANI10	ADCR6	INTCC000割り込み	ANI22	ADCR22
INTCC000割り込み	ANI11	ADCR7	INTCC000割り込み	ANI23	ADCR23

図20 - 11 スキャン・モード (タイマ・トリガ・スキャン) の動作例 (ANI0-ANI7)



20.7 外部トリガ・モード時の動作

ANI0-ANI23端子に設定されたアナログ入力の変換タイミングを，ADTRG端子で指定するモードです。

ADM1レジスタのEGA1, EGA0ビットによりADTRG端子入力のエッジ検出を指定します。

ADM0レジスタのADCEビットを1に設定すると，外部トリガ（ADTRG）待機状態となり，ADTRG端子入力の有効エッジが検出されると変換動作を開始します（ADM0レジスタのADCSビット = 1）。変換を終了すると再び外部トリガ待機状態（ADCSビット = 0）になります。

変換動作中にADTRG端子入力の有効エッジを検出すると，再度最初から変換動作を行います。

また，変換動作中にADM0-ADM2レジスタに書き込みを行った場合，変換は中断され，トリガ待ち状態になります。

20.7.1 セレクト・モードの動作

ADM2レジスタで指定する1つのアナログ入力端子（ANI0-ANI23）をA/D変換します。変換結果は，アナログ入力に対応したADCRmレジスタに格納します。セレクト・モードでは，変換結果の格納方法には1バッファ・モードと4バッファ・モードの2通りがあります。

(1) 1バッファ・モード（外部トリガ・セレクト1バッファ）

ADTRG信号をトリガとして1つのアナログ入力端子を1回A/D変換し，その結果を1つのADCRmレジスタに格納します（表20 - 13，図20 - 12参照）。アナログ入力端子とADCRmレジスタは1対1に対応しています。

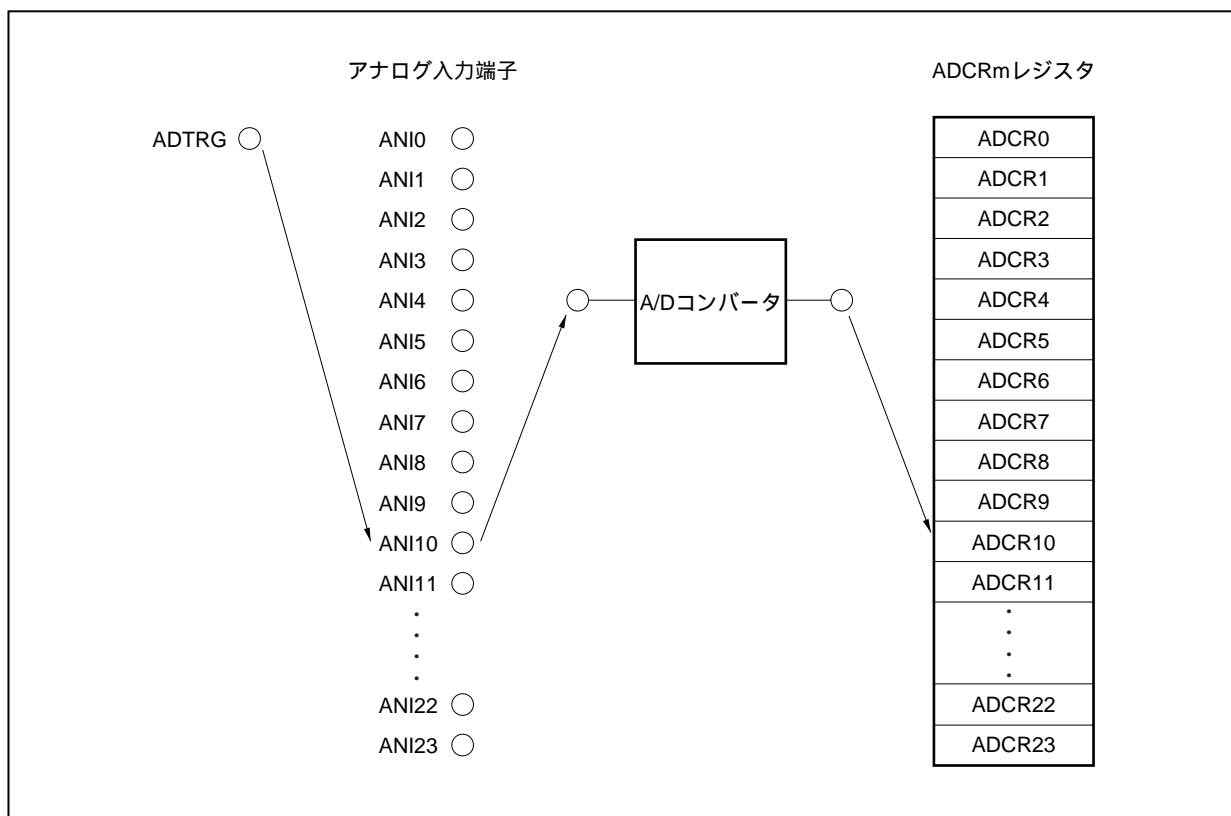
1回のA/D変換ごとに結果を読み出すような応用に最適です。

表20 - 13 アナログ入力端子とADCRmレジスタの対応

（1バッファ・モード（外部トリガ・セレクト1バッファ））

トリガ	アナログ入力端子	ADCRmレジスタ	トリガ	アナログ入力端子	ADCRmレジスタ
ADTRG信号	ANI0	ADCR0	ADTRG信号	ANI12	ADCR12
ADTRG信号	ANI1	ADCR1	ADTRG信号	ANI13	ADCR13
ADTRG信号	ANI2	ADCR2	ADTRG信号	ANI14	ADCR14
ADTRG信号	ANI3	ADCR3	ADTRG信号	ANI15	ADCR15
ADTRG信号	ANI4	ADCR4	ADTRG信号	ANI16	ADCR16
ADTRG信号	ANI5	ADCR5	ADTRG信号	ANI17	ADCR17
ADTRG信号	ANI6	ADCR6	ADTRG信号	ANI18	ADCR18
ADTRG信号	ANI7	ADCR7	ADTRG信号	ANI19	ADCR19
ADTRG信号	ANI8	ADCR4	ADTRG信号	ANI20	ADCR20
ADTRG信号	ANI9	ADCR5	ADTRG信号	ANI21	ADCR21
ADTRG信号	ANI10	ADCR6	ADTRG信号	ANI22	ADCR22
ADTRG信号	ANI11	ADCR7	ADTRG信号	ANI23	ADCR23

図20 - 12 1バッファ・モード (外部トリガ・セレクト1バッファ) の動作例 (ANI10)



(2) 4バッファ・モード (外部トリガ・セレクト4バッファ)

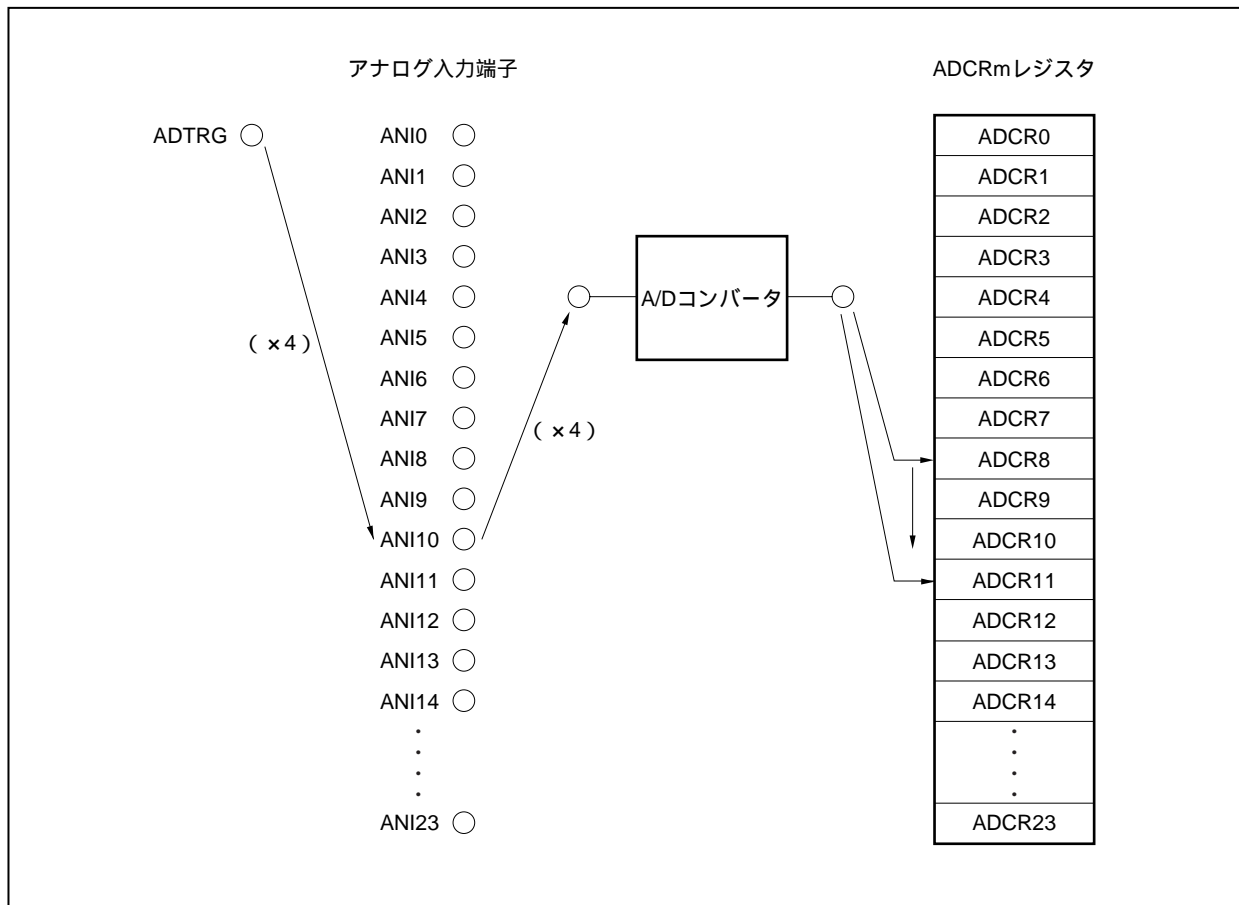
ADTRG信号をトリガとして1つのアナログ入力端子を4回A/D変換し,その結果を4つのADCRmレジスタに格納します (表20 - 14, 図20 - 13参照)。

A/D変換結果の平均を求めるような応用に最適です。

表20 - 14 アナログ入力端子とADCRmレジスタの対応
(4バッファ・モード (外部トリガ・セレクト4バッファ))

トリガ	アナログ入力端子	ADCRmレジスタ	トリガ	アナログ入力端子	ADCRmレジスタ
ADTRG信号	ANI0-ANI3	ADCR0 (1回目) ADCR1 (2回目) ADCR2 (3回目) ADCR3 (4回目)	ADTRG信号	ANI12-ANI15	ADCR12 (1回目) ADCR13 (2回目) ADCR14 (3回目) ADCR15 (4回目)
ADTRG信号	ANI4-ANI7	ADCR4 (1回目) ADCR5 (2回目) ADCR6 (3回目) ADCR7 (4回目)	ADTRG信号	ANI16-ANI19	ADCR16 (1回目) ADCR17 (2回目) ADCR18 (3回目) ADCR19 (4回目)
ADTRG信号	ANI8-ANI11	ADCR8 (1回目) ADCR9 (2回目) ADCR10 (3回目) ADCR11 (4回目)	ADTRG信号	ANI20-ANI23	ADCR20 (1回目) ADCR21 (2回目) ADCR22 (3回目) ADCR23 (4回目)

図20 - 13 4バッファ・モード (外部トリガ・セレクト4バッファ) の動作例 (ANI10)



20.7.2 スキャン・モードの動作

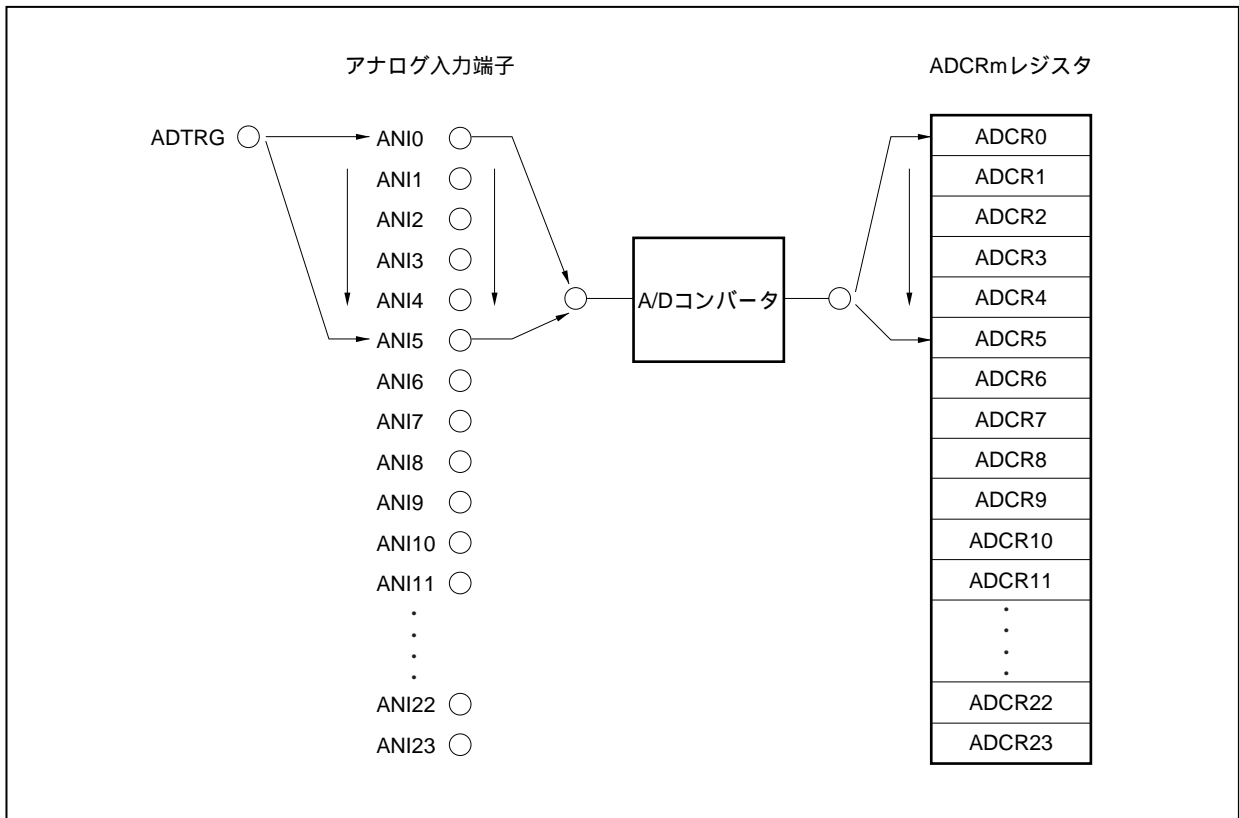
ADTRG信号をトリガとして、ANI0/ANI8/ANI16端子からADM2レジスタで指定されるアナログ入力端子までを順に選択し、A/D変換します。A/D変換結果はアナログ入力端子に対応したADCRmレジスタに格納します(表20-15、図20-14参照)。

複数のアナログ入力を常時監視するような応用に最適です。

表20-15 アナログ入力端子とADCRmレジスタの対応
(スキャン・モード(外部トリガ・スキャン))

トリガ	アナログ入力端子	ADCRmレジスタ	トリガ	アナログ入力端子	ADCRmレジスタ
ADTRG信号	ANI0	ADCR0	ADTRG信号	ANI12	ADCR12
ADTRG信号	ANI1	ADCR1	ADTRG信号	ANI13	ADCR13
ADTRG信号	ANI2	ADCR2	ADTRG信号	ANI14	ADCR14
ADTRG信号	ANI3	ADCR3	ADTRG信号	ANI15	ADCR15
ADTRG信号	ANI4	ADCR4	ADTRG信号	ANI16	ADCR16
ADTRG信号	ANI5	ADCR5	ADTRG信号	ANI17	ADCR17
ADTRG信号	ANI6	ADCR6	ADTRG信号	ANI18	ADCR18
ADTRG信号	ANI7	ADCR7	ADTRG信号	ANI19	ADCR19
ADTRG信号	ANI8	ADCR4	ADTRG信号	ANI20	ADCR20
ADTRG信号	ANI9	ADCR5	ADTRG信号	ANI21	ADCR21
ADTRG信号	ANI10	ADCR6	ADTRG信号	ANI22	ADCR22
ADTRG信号	ANI11	ADCR7	ADTRG信号	ANI23	ADCR23

図20-14 スキャン・モード(外部トリガ・スキャン)の動作例(ANI0-ANI5)



20.8 動作上の注意事項

(1) 変換動作の停止

変換動作中にA/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビットに0を書き込むと変換動作を停止し、A/D変換結果レジスタm (ADCRm) へ変換結果を格納しません (m = 0-23)。

(2) 外部トリガ/タイマ・トリガの間隔

外部トリガまたはタイマ・トリガ・モード時のトリガの間隔(入力時間の間隔)は、A/Dコンバータ・モード・レジスタ1 (ADM1) のFR3-FR0ビットで指定する変換動作時間より長くしてください。

0 < インターバル 変換動作時間の場合

変換動作中に次の外部トリガまたはタイマ・トリガが入力された場合、変換動作を中断し、最後に入力された外部トリガまたはタイマ・トリガに従って変換を開始します。

変換動作を中断した場合、ADCRmレジスタに変換結果を格納しません (m = 0-23)。ただしトリガ入力回数はカウントし、割り込みが発生すると、変換が終了した値をADCRmレジスタへ格納します。

(3) スタンバイ・モード時の動作

HALTモード

A/D変換動作を継続します。NMI入力で解除した場合、ADM0-ADM2レジスタとADCRmレジスタは値を保持します (m = 0-23)。

IDLEモード、ソフトウェアSTOPモード

A/Dコンバータへのクロック供給は止まるため、変換動作は行われません。

NMI入力で解除した場合、ADM0-ADM2レジスタとADCRmレジスタは値を保持します (m = 0-23)。ただし変換動作中にこれらのモードに設定した場合、変換動作を停止します。このときにNMI入力解除すると変換動作を再開しますが、ADCRmレジスタに書き込まれる変換結果は不定です。

IDLE、ソフトウェアSTOPモード時は、ADM0レジスタのADCEビット = 0にするとA/D変換動作も停止しますが、さらに消費電流を削減したい場合は、AVREF端子の電圧をVSSにしてください。

(4) タイマ・トリガ・モード時のコンペア一致割り込み

コンペア・レジスタの一致割り込みがA/D変換開始トリガとなり、変換動作を開始します。このとき、コンペア・レジスタの一致割り込みは、CPUに対するコンペア・レジスタの一致割り込みにもなります。CPUに対するコンペア・レジスタの一致割り込みを発生させないためには、割り込み制御レジスタ (CCIC000) の割り込みマスク・ビット (CMK000) で割り込みを禁止してください。

(5) ANI0-ANI23端子入力範囲について

ANI0-ANI23端子入力電圧は規格の範囲内でご使用ください。特にAVREF以上、AVSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

(6) 競合動作について

変換終了時のADCRmレジスタ・ライトと命令によるADCRmレジスタ・リードとの競合

ADCRmレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCRmレジスタにライトされます。

変換終了時のADCRmレジスタ・ライトと外部トリガ信号入力の競合

A/D変換中の外部トリガ信号は受け付けません。したがって、ADCRmレジスタ・ライト中の外部トリガ信号も受け付けません。

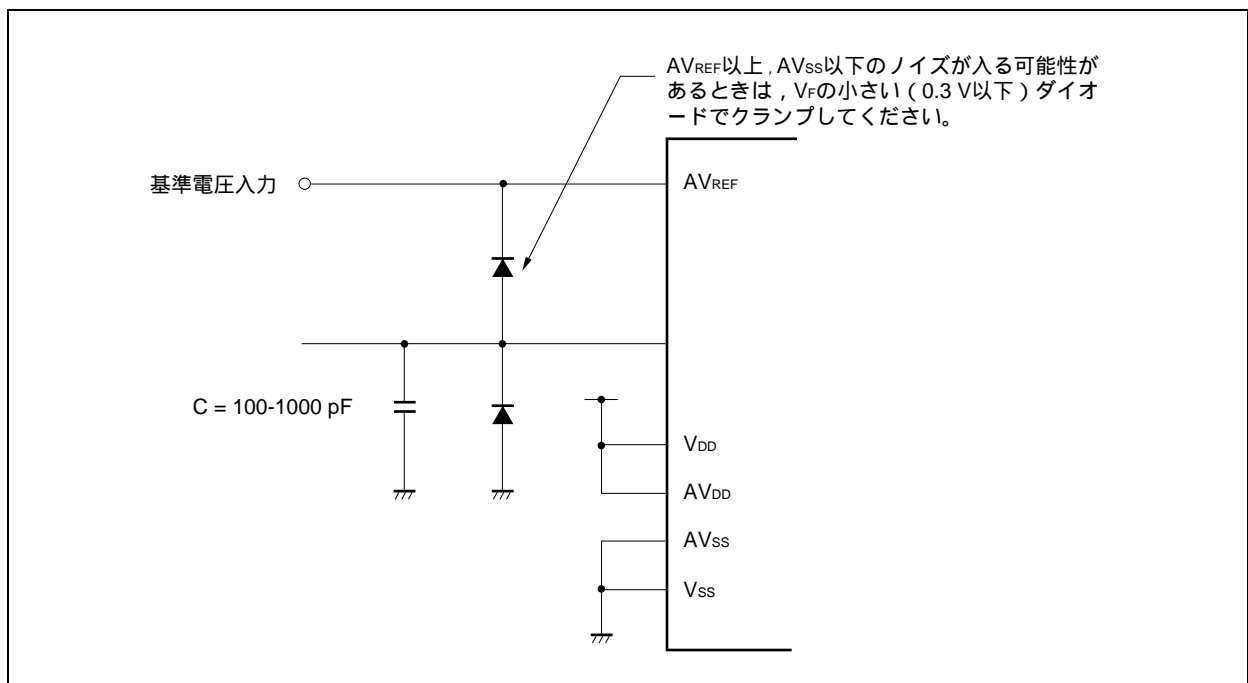
変換終了時のADCRmレジスタ・ライトとADM1レジスタ・ライト、またはADM2レジスタ・ライトの競合

A/D変換終了後のADCRmレジスタ・ライト直後に、ADM1レジスタまたはADM2レジスタへライトした場合、ADCRmレジスタへ変換結果がライトされますが、変換終了割り込み要求信号 (INTAD) を発生しないタイミングがあります。

(7) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} 、ANI0-ANI23端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図20 - 15のようにコンデンサを外付けすることを推奨します。

図20 - 15 アナログ入力端子の処理



(8) ANI0-ANI23端子

アナログ入力 (ANI0-ANI23) 端子はポート端子と兼用になっています。

ANI0-ANI23端子のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(9) AV_{REF}端子の入力インピーダンスについて

AV_{REF}端子とAV_{SS}端子の間には直列抵抗ストリングが接続されています。

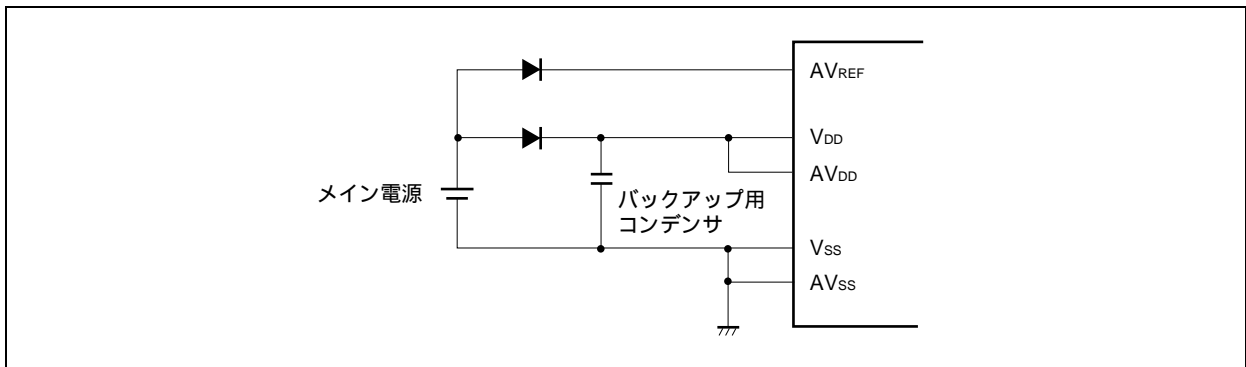
したがって、基準電圧源の出力インピーダンスが高い場合、AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

(10) AV_{DD}端子について

AV_{DD}端子はアナログ回路の電源端子であり、ANI0-ANI23端子の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図20 - 16のように必ずV_{DD}端子と同レベルの電位を印加してください。

図20 - 16 AV_{DD}端子の処理



20.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次の式になります。

$$\begin{aligned} 1 \text{ \%FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{\text{REF}} - 0) / 100 \\ &= AV_{\text{REF}} / 100 \end{aligned}$$

1LSBは分解能10ビットのとき、次のようになります。

$$\begin{aligned} 1\text{LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

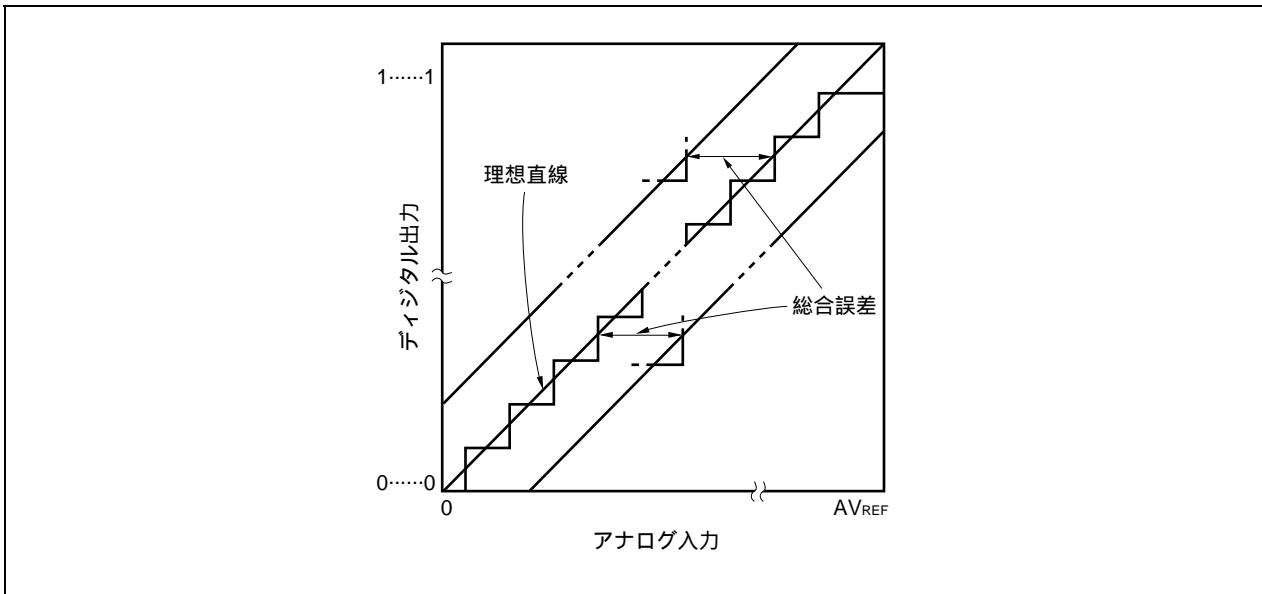
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図20 - 17 総合誤差

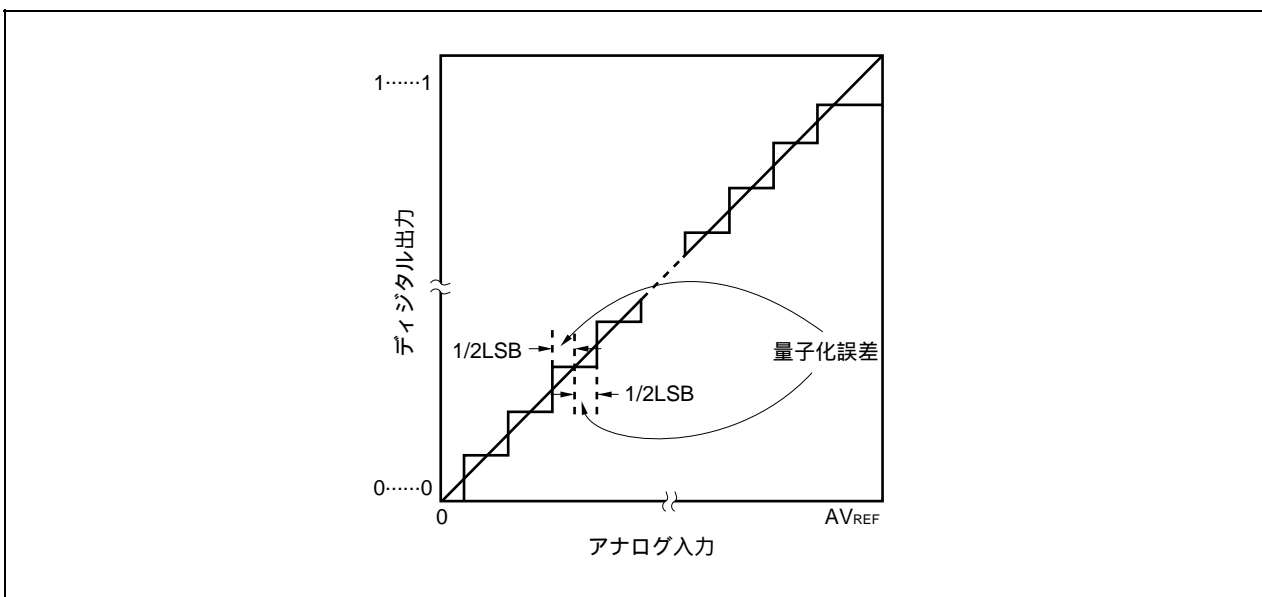


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

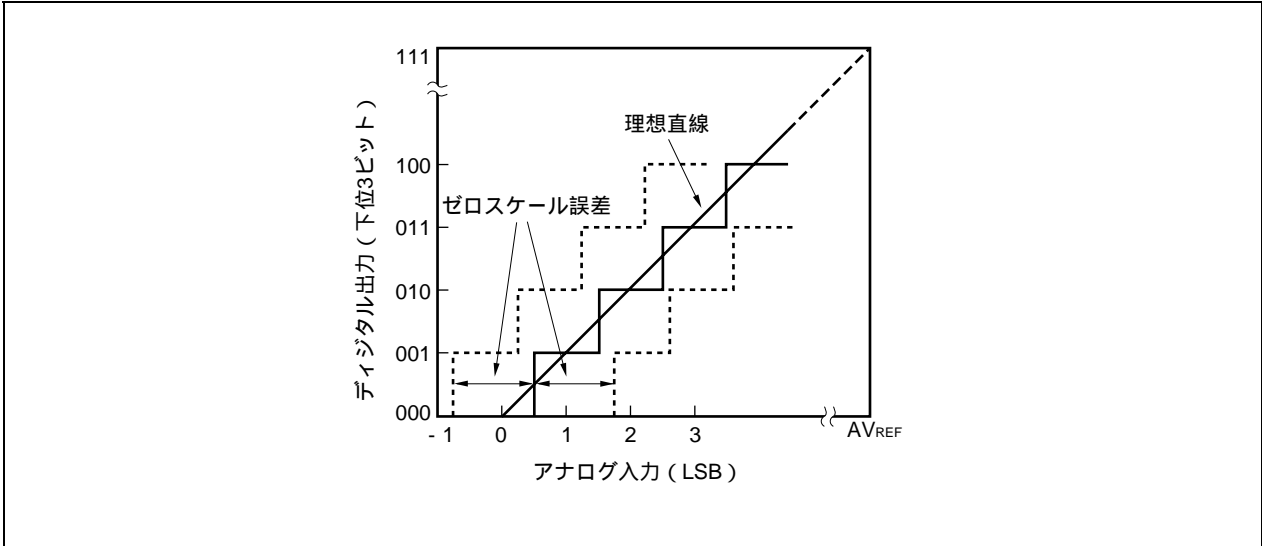
図20 - 18 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 (1/2LSB) との差を表します。

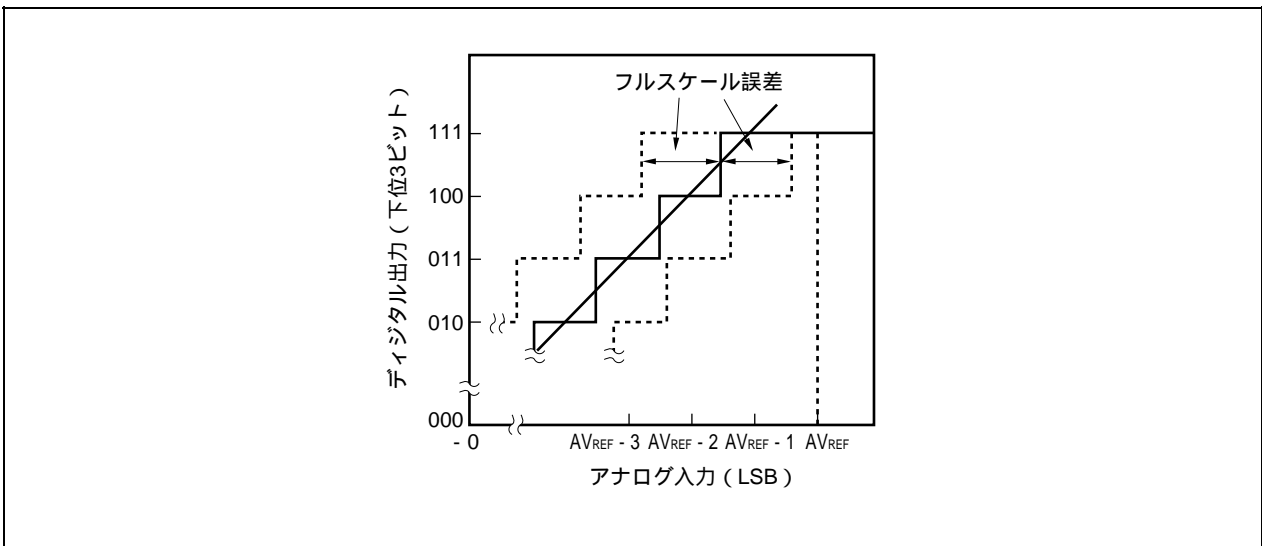
図20 - 19 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール - 3/2LSB) との差を表します。

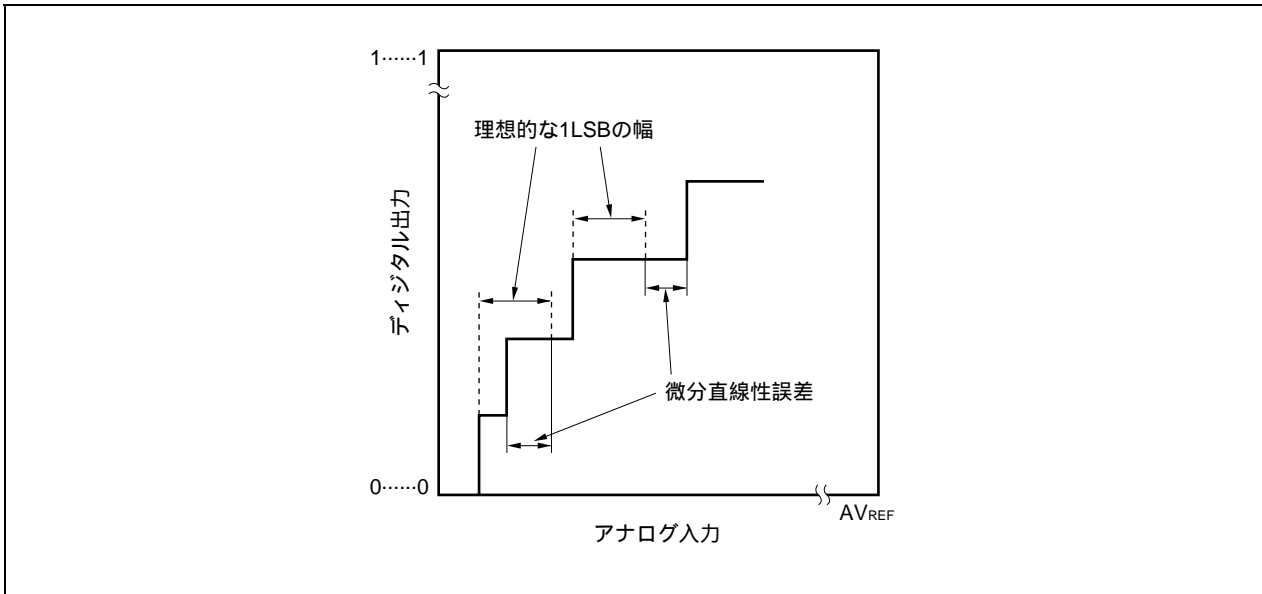
図20 - 20 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

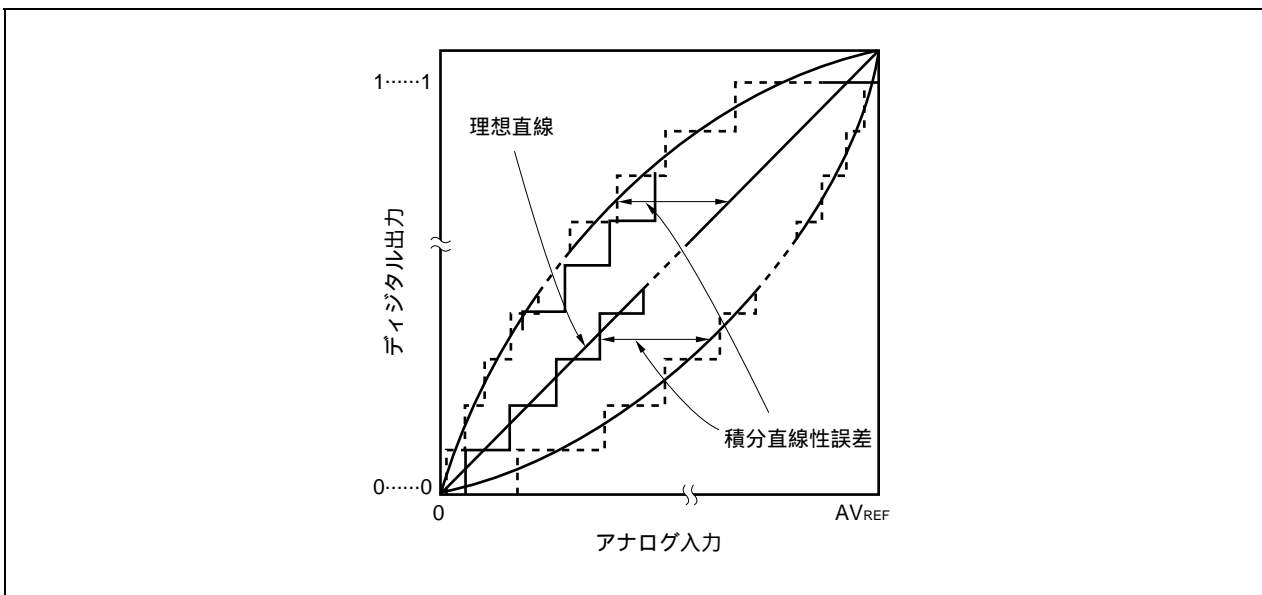
図20 - 21 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図20 - 22 積分直線性誤差



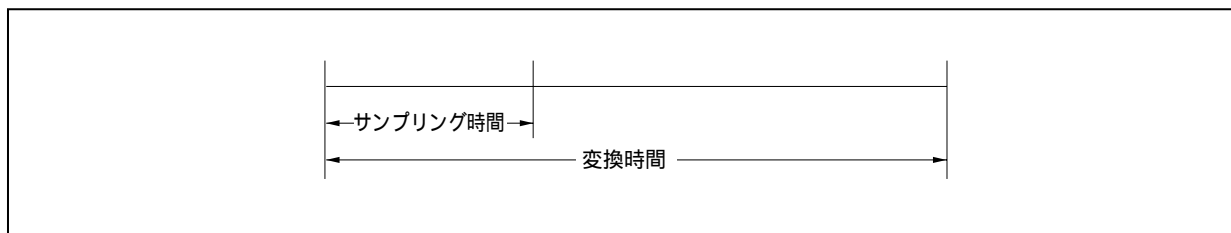
(8) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図20 - 23 サンプリング時間



第21章 PWM機能

21.1 概要

PWMn : 5チャンネル

12-16ビットPWM出力ポート

主パルス + 付加パルス構成

主パルス 4/5/6/7/8ビット

付加パルス 8ビット

繰り返し周波数 : 63.3 kHz · 1.27 MHz ($f_{PWM} = 20.25 \text{ MHz}$ 時 f_{PWM} : PWM動作クロック周波数)

パルス幅書き換え周期選択 : 1パルスごと / 256パルスごと

PWM出力パルスのアクティブ・レベル選択可能

動作クロック : $f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16$ から選択可能 (f_{xx} は内部システム・クロック)

備考 n = 0-4

21.2 構成

PWMnの出力回路の構成は図21 - 1に示します。

(1) プリスケーラ

f_{xx} を分周し、PWM動作クロック (f_{PWM}) を生成します。プリスケーラ出力はPWMコントロール・レジスタn (PWMCn) のCKSn0, CKSn1ビットで選択します ($f_{xx}/2$ - $f_{xx}/16$)。

(2) リロード制御

xビット・ダウン・カウンタと8ビット・カウンタのモジュロ値のリロードを制御します。

リロード・タイミング (PWMパルス幅書き換え周期) はPWMCnレジスタのSYNnビットで $2^x/f_{PWM}$ か $2^{x-8}/f_{PWM}$ を選択します。

(3) 主パルス生成 / 出力制御回路

主パルスの出力タイミングを制御します。

リロード制御部で生成されるリロード信号により、PWMモジュロ・レジスタnH (PWMnH) の値から主パルスを生成します。

(4) 付加パルス生成 / 出力制御回路

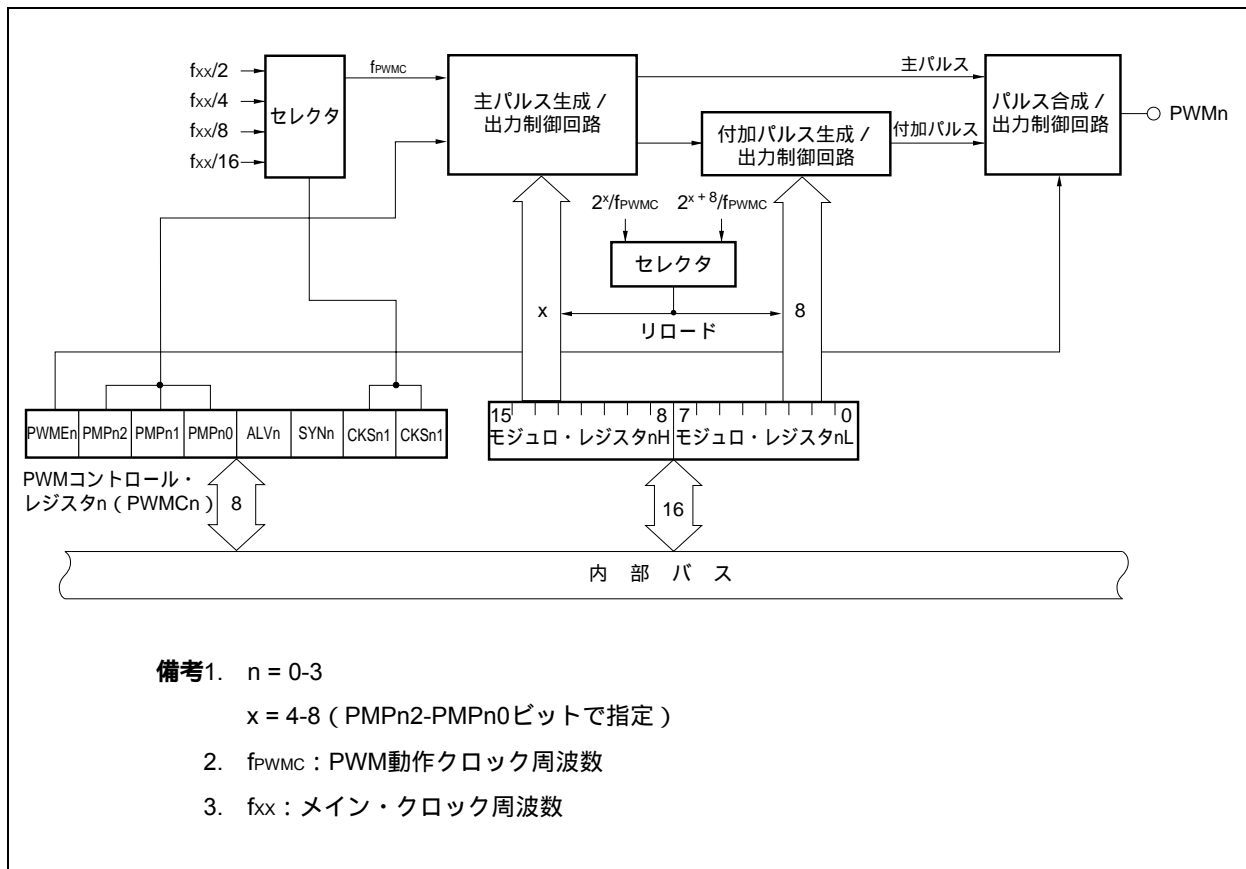
付加パルスの出力タイミングを制御します。

リロード制御部で生成されるリロード信号により、PWMモジュロ・レジスタnL (PWMnL) の値から付加パルスを生成します。

(5) パルス合成 / 出力制御回路

主パルスと付加パルスを合成してPWMパルス信号出力タイミングを制御します。

図21 - 1 PWM機能のブロック図



21.3 制御レジスタ

21.3.1 PWMコントロール・レジスタ0-4 (PWMC0-PWMC4)

PWMの動作制御，出力のアクティブ・レベル指定，主パルスのビット長の指定，およびPWM動作クロック (f_{PWM}) の選択をします。

8/1ビット単位でリード/ライト可能です。このレジスタの内容は，PWMの動作中 (PWME n ビット = 1) も変更できます。

リセット時：08H R/W アドレス：PWMC0 FFFFFFFB00H, PWMC1 FFFFFFFB10H, PWMC2 FFFFFFFB20H, PWMC3 FFFFFFFB30H, PWMC4 FFFFFFFB40H

PWMC n	6		5		4		1		0	
	PWME n	PMP n 2	PMP n 1	PMP n 0	ALV n	SYN n	CKSn1	CKSn0		

PWME n	PWMの動作 / 停止	
0	動作停止	
1	動作開始	

PMP n 2	PMP n 1	PMP n 0	主パルス・ビット長の設定
0	0	0	8ビット
0	0	1	7ビット
0	1	0	6ビット
0	1	1	5ビット
1	0	0	4ビット
その他			設定禁止

ALV n	PWMのアクティブ・レベルを指定	
0	アクティブ・ロウ	
1	アクティブ・ハイ	

SYN n	PWMパルス幅書き換え周期を指定	
0	大周期 (PWM256サイクル ($2^{x+8}/f_{PWM}$) ごと)	
1	小周期 (PWM1サイクル ($2^x/f_{PWM}$) ごと)	

CKSn1	CKSn0	動作クロック (f_{PWM})
0	0	$f_{xx}/2$
0	1	$f_{xx}/4$
1	0	$f_{xx}/8$
1	1	$f_{xx}/16$

注意 PWM n 動作中 (PWME n ビット = 1) にPMP n 2-PMP n 0, SYN n , CKSn1, CKSn0ビットの設定を変更しないでください。

備考 $n = 4$

x : PRP n 2-PRP n 0ビットで指定したビット数

21.3.2 PWMモジュロ・レジスタ0-4 (PWM0-PWM4)

PWMパルスのパルス幅を決定する16ビット・レジスタです。16ビット単位でリード/ライト可能です。

ただし、PWMnレジスタの上位8ビットをPWMnHレジスタ、下位8ビットをPWMnLレジスタとして使用した場合は、8ビット単位でリード/ライト可能です。

このレジスタは、次の2つの部分で構成されます。

PWMモジュロ・レジスタnH (PWMnH) (PWMnレジスタのビット8-15)

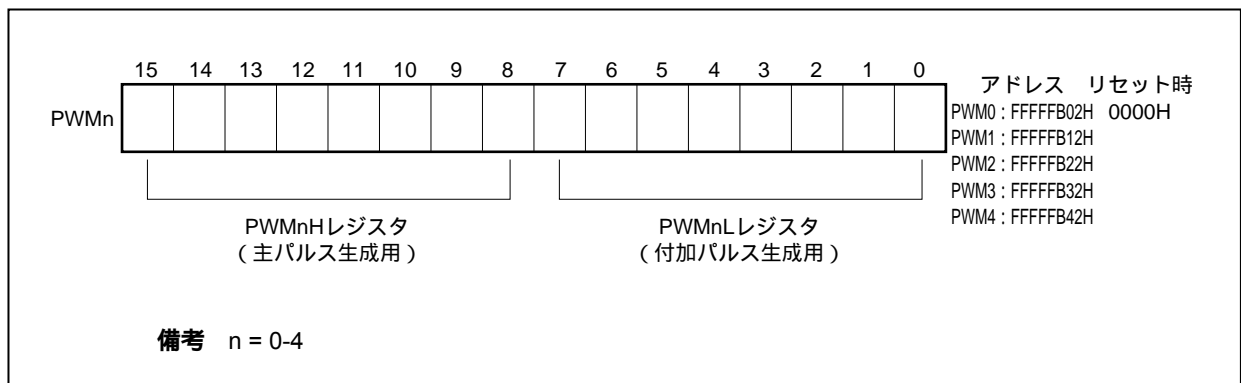
主パルスのアクティブ・レベル幅を設定するレジスタです。

アクティブ・レベル幅のデータは、PWMCnレジスタのPMPn2-PMPn0ビットで指定したビット長のみ有効になります。PMPn2-PMPn0ビットでカウンタに4-7ビットを選択した場合には、無効になります。

PWMモジュロ・レジスタnL (PWMnL) (PWMnレジスタのビット0-7)

このレジスタの値は、微調整を行うための付加パルスの付加タイミングを決定します(図21-2参照)。

なお、PWMnレジスタには、0000H-FFFFHの値を設定でき、PWM出力モリニアに変化します。0000Hの場合はインアクティブ・レベルを保持します。FFFFHの場合、1書き換え周期 ($2^{16}/f_{PWMc}$) で1付加パルス分 ($1/f_{PWMc}$) がインアクティブになります。(図21-3参照)。



21.4 動作

21.4.1 PWM基本動作

このPWMは、4-8ビット精度の主パルスと動作クロックの1クロック分のパルス幅を持つ付加パルスを合成することで、12-16ビット精度の信号を実現しています。

主パルスは、PWMコントロール・レジスタn (PWCn) のPMPn2-PMPn0ビットにより設定して、ビット長をPWMモジュロ・レジスタnH (PWMnH) の値からパルス幅を設定します。PWMパルス出力の繰り返し周波数は、PWCnレジスタのCKSn1, CKSn0ビットで $f_{xx}/2-f_{xx}/16$ のPWM動作クロック (f_{PWM}) を 2^x 分周 ($f_{PWM}/2^x$) した周波数になり、最小パルス幅は $1/f_{PWM}$ になります。

付加パルスは、主パルスが256個出力される間に、PWMモジュロ・レジスタnL (PWMnL) に設定された値の回数だけ生成されます。この主パルスと付加パルスの論理和をPWMパルス信号として出力します。このためPWMパルス信号出力を256個出力したときの平均値が12-16ビット分解能のPWMパルス信号出力となります。

なお、PWMパルス出力のデューティは、PWMnHレジスタに設定する値で次のように決定されます。

(1) 付加パルスが発生しない場合

$$\text{PWMパルス出力のデューティ} = \frac{(\text{PWMnHレジスタの値})}{2^x}$$

(2) 付加パルスが発生する場合

$$\text{PWMパルス出力のデューティ} = \frac{(\text{PWMnHレジスタの値}) + 1}{2^x}$$

備考 x = 4-8 (主パルスのビット長)

図21 - 2 主パルスと付加パルスによるPWM出力例

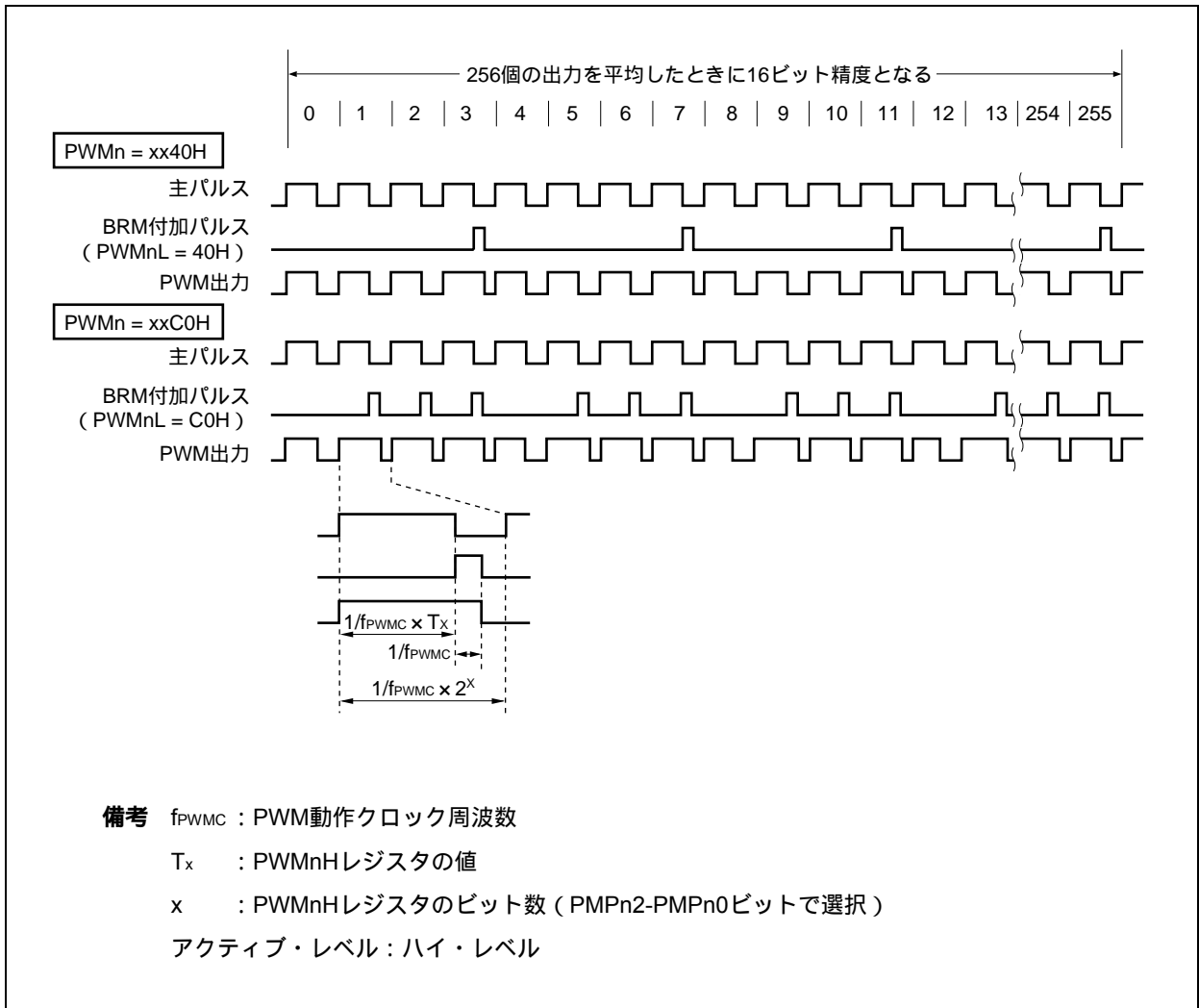
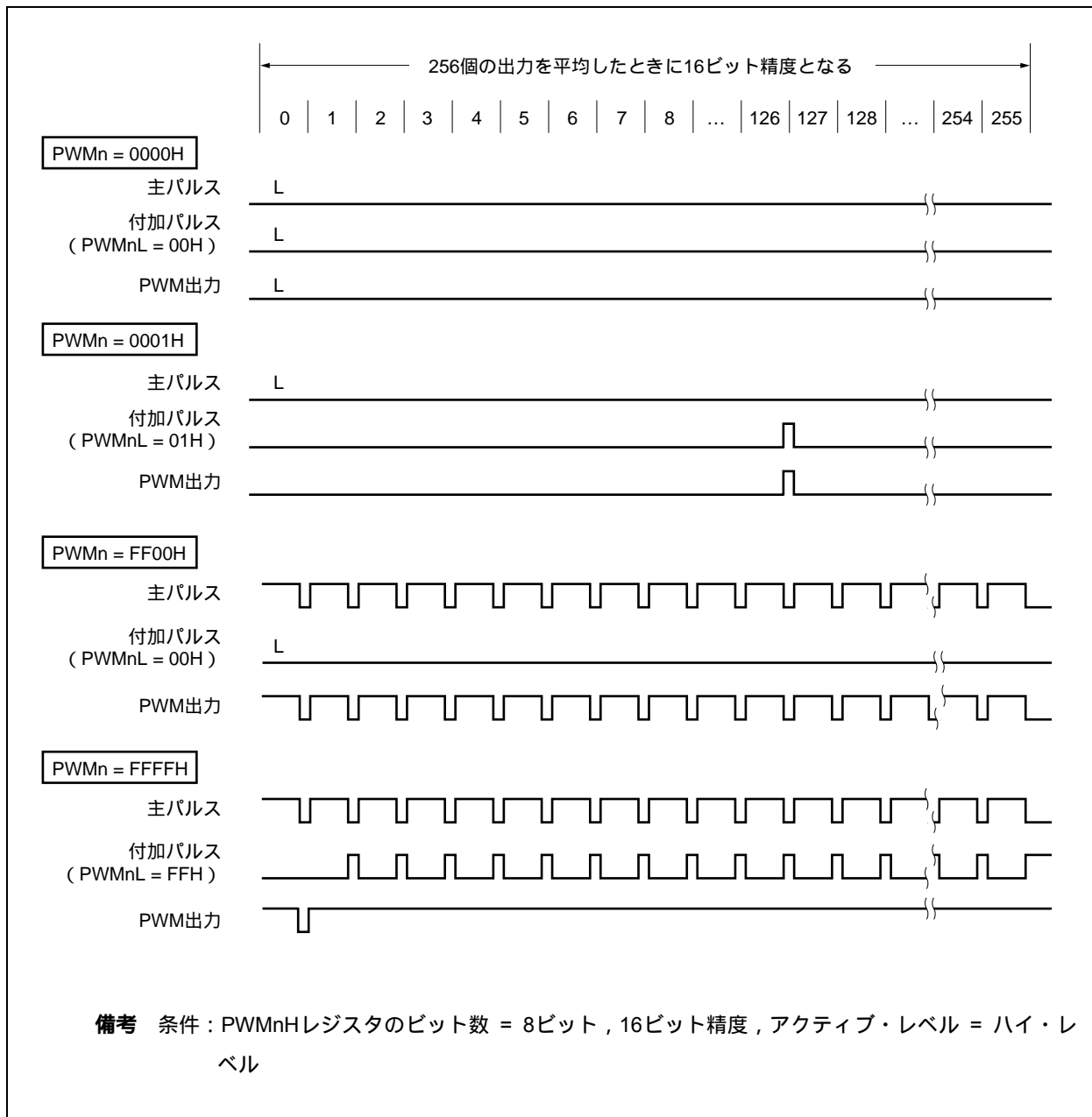


図21 - 3 PWM出力動作例



21.4.2 PWM動作の許可/禁止

PWMパルスを出力するときは、PWMモジュール・レジスタ n (PWM n) にデータを設定したあと、PWMコントロール・レジスタ n (PWMC n) のPWME n ビットをセット (1) します ($n = 0-4$)。

これにより、PWM出力端子 (PWM n) からは、PWMC n レジスタのALV n ビットで指定されたアクティブ・レベルのPWMパルスが出力されます。

PWME n ビットをクリア (0) すると、PWM出力ユニットはただちにPWM出力動作を停止し、PWM n 端子はインアクティブになります。

(1) PWM動作開始時の設定

PWME n ビットをセットすると、PWM n が動作状態になります。ただし動作状態にしたあとも、PWM n レジスタのリロード信号が発生するまで、PWM n 端子はポート・モードの状態を維持します。また、PWM n レジスタの値は x ビット・ダウン・カウンタへロードされません。したがって、パルス幅の書き換えタイミングを 2^{x+8} (大周期: PWMC n レジスタのSYN n ビット = 0) に設定すると、PWME n ビットをセットしてから最大 $2^{x+8}/f_{PWM}$ 後に動作を開始します。なお、PWM出力中にもSYN n ビットを書き換えられます。

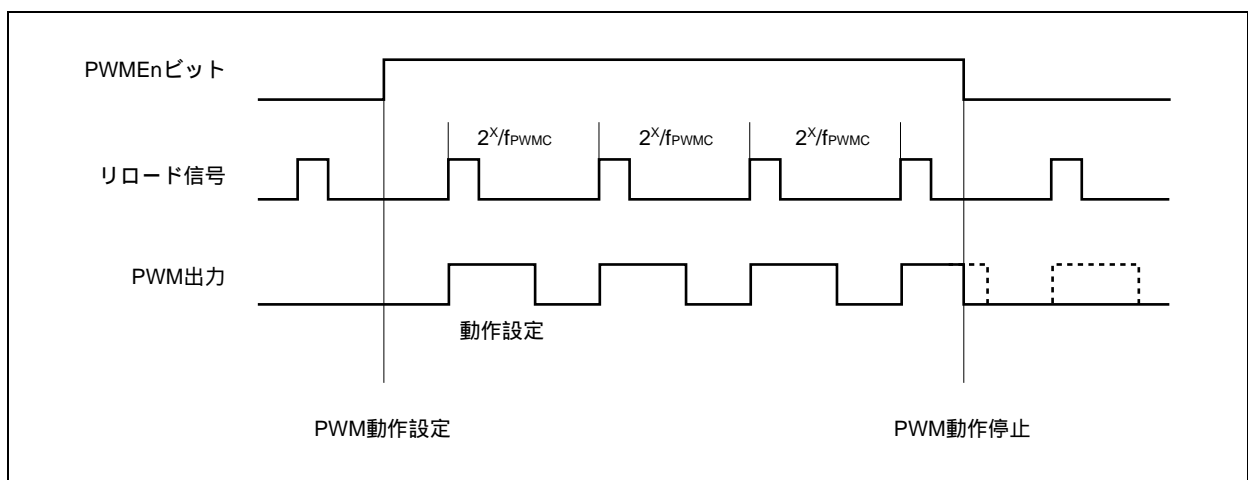
まずPWM n の動作を開始する前に、次のレジスタを初期設定してください。

- ・ PMC10レジスタ : コントロール・モードの設定
- ・ PWM n レジスタ : パルス幅の設定
- ・ PWMC n レジスタ: CKSn1, CKSn0ビット : 動作クロック (f_{PWM}) の指定 ($f_{xx}/2-f_{xx}/16$)
 PMPn2-PMPn0ビット : 主パルスのビット長 (x) の指定
 ALV n ビット : PWMパルスのアクティブ・レベルの指定
 SYN n ビット : PWMパルス幅書き換え周期の指定

(2) PWM動作停止時の設定

PWME n ビットをリセットすると、すぐにPWM動作が停止します。PWM n 出力は、ただちにインアクティブ・レベルとなります。

図21-4 PWM動作タイミング



21.4.3 PWMパルスのアクティブ・レベルの指定

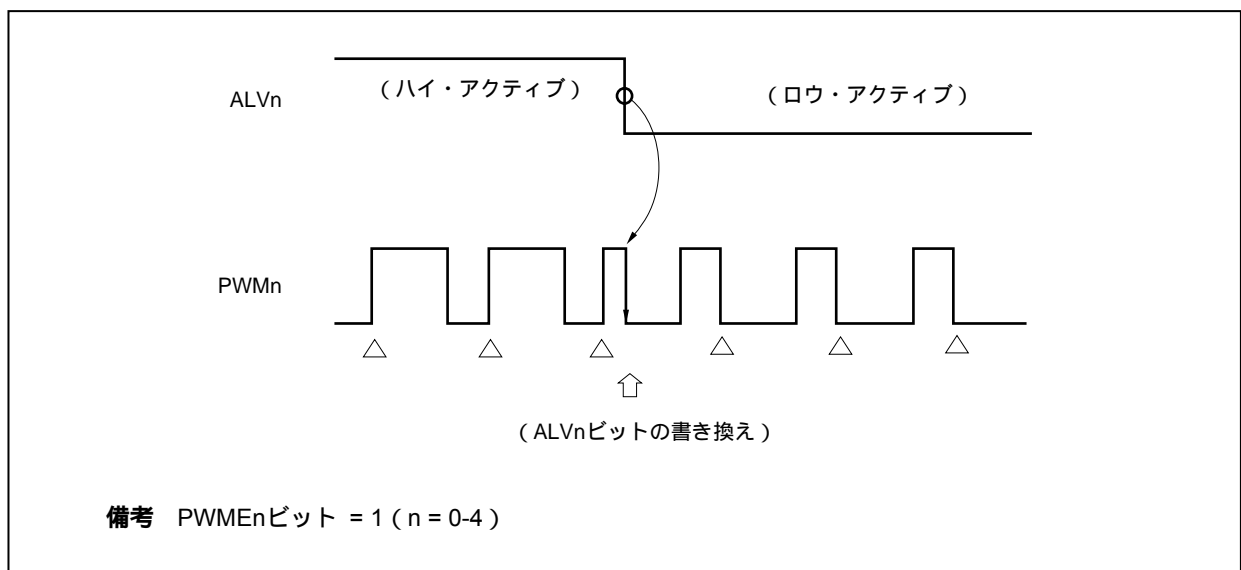
PWMコントロール・レジスタ (PWMCn) のALVnビットは、PWM出力端子から出力されるPWMパルスのアクティブ・レベルを指定します (n = 0-4)。

ALVnビットをセット (1) すると、ハイ・アクティブ・レベルのパルスを出し、クリア (0) するとロウ・アクティブ・レベルのパルスを出します。

ALVnビットを書き換えると、ただちにPWM出力のアクティブ・レベルが変化します。図21 - 5に、PWM出力のアクティブ・レベル設定と端子状態を示します。

なお、PWMCnレジスタのPWMEビット (PWM許可 / 禁止) の設定にかかわらず、ALVnビットの操作でPWM出力のアクティブ・レベルを変更できます。

図21 - 5 PWM出力のアクティブ・レベル設定



22. 4. 4 PWMパルス幅書き換え周期の指定

PWM出力の開始，およびパルス幅の変更は，PWMパルス256サイクル ($2^{x+8}/f_{PWM}$) ごと，あるいは，PWMパルス1サイクル ($2^x/f_{PWM}$) ごとの，いずれかに同期して行われます。このPWMパルス幅書き換え周期の指定は，PWMコントロール・レジスタn (PWMcn) のSYNnビットで行います (n = 0-4)。

SYNnビットをクリア (0) すると，パルス幅の変更は，PWMパルス256サイクル ($2^{x+8}/f_{PWM}$) ごとに行われます。したがって，PWMモジュロ・レジスタn (PWMn) に書き込まれたデータに対応する幅のパルスを出力するようになるまでには，最大 2^{x+8} クロックかかります。

このときのPWM出力タイミング例を図21 - 6に示します。

一方，SYNnビットをセット (1) すると，パルス幅の変更は，PWMパルス1サイクル ($2^x/f_{PWM}$) ごとに行われます。この場合，PWMnレジスタに書き込まれたデータに対応する幅のパルスを出力するようになるまでには，最大 2^x クロックかかります。

なお，PWMパルス書き換え周期を， $2^x/f_{PWM}$ ごとに指定した場合，(SYNnビットをセット (1) した場合)，得られるPWMパルスの精度はxビット以上，(x + 8) ビット以下となり，書き換え周期を $2^{x+8}/f_{PWM}$ ごとに指定したときよりも精度が低下しますが，繰り返し周波数が上がるため応答性はよくなります。

書き換えタイミングが $2^x/f_{PWM}$ の場合のPWM出力タイミング例を，図21 - 7に示します。

図21 - 6 PWM出力タイミング例1 (PWMパルス幅書き換え周期 $2^{x+8}/f_{PWM}$)

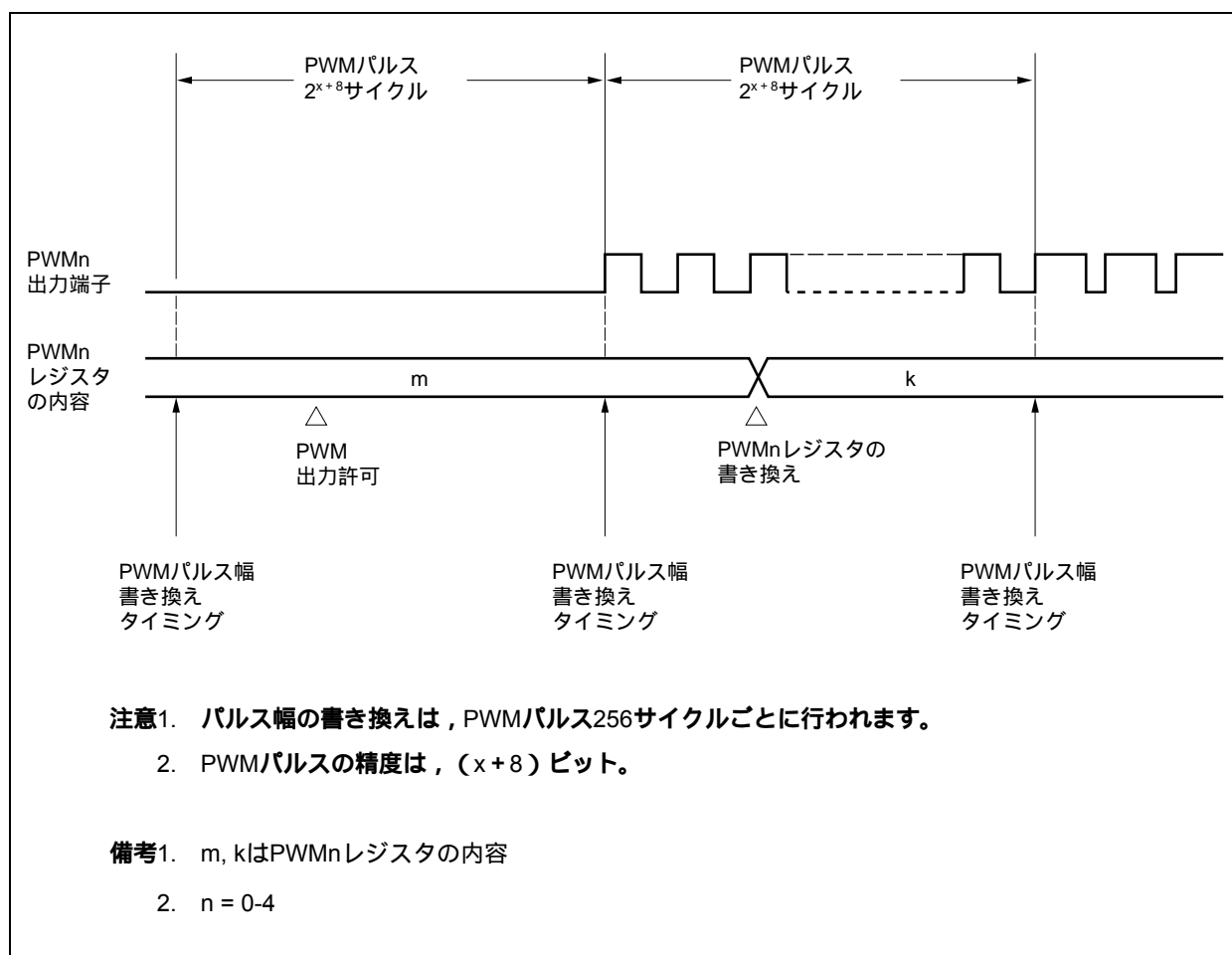
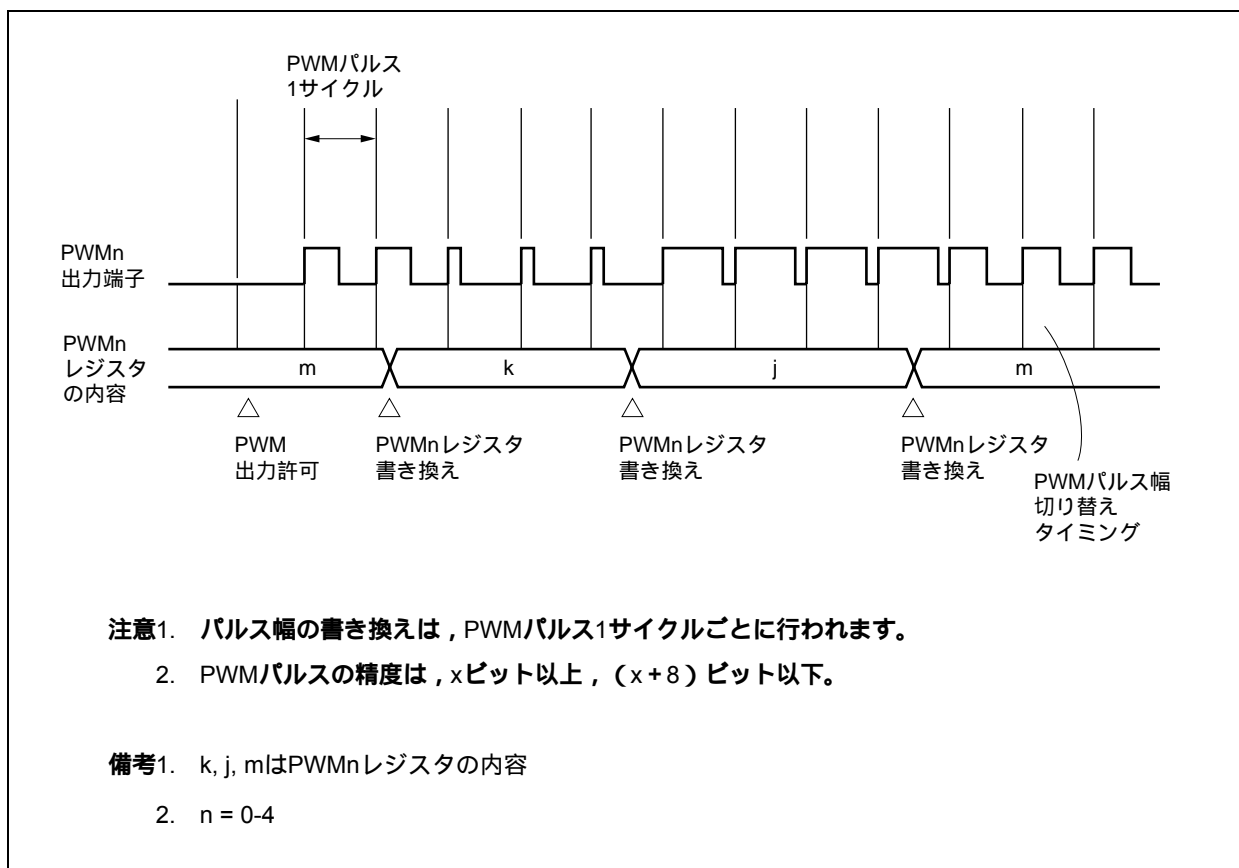


図21 - 7 PWM出力タイミング例2 (PWMパルス幅書き換え周期 $2^x/f_{PWMC}$)



21.4.5 繰り返し周波数

PWMnの繰り返し周波数を次に示します ($n = 0-4$)。

主パルス	付加パルス	繰り返し周波数	パルス幅書き換え周期	
			大周期 (SYNnビット = 0)	小周期 (SYNnビット = 1)
4ビット	8ビット	$f_{PWMC}/16$	$f_{PWMC}/2^{12}$	$f_{PWMC}/2^4$
5ビット	8ビット	$f_{PWMC}/32$	$f_{PWMC}/2^{13}$	$f_{PWMC}/2^5$
6ビット	8ビット	$f_{PWMC}/64$	$f_{PWMC}/2^{14}$	$f_{PWMC}/2^6$
7ビット	8ビット	$f_{PWMC}/128$	$f_{PWMC}/2^{15}$	$f_{PWMC}/2^7$
8ビット	8ビット	$f_{PWMC}/256$	$f_{PWMC}/2^{16}$	$f_{PWMC}/2^8$

備考 f_{PWMC} : PWMコントロール・レジスタ n (PWMcn) のCKSn1, CKSn0ビットで $f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16$ から選択

第22章 リアルタイム出力機能

22.1 機 能

リアルタイム出力バッファ・レジスタ n (RTBL n , RTBH n) にあらかじめ設定したデータを、外部割り込みまたは外部トリガの発生と同時にハードウェアでリアルタイム出力ラッチに転送して、外部に出力することをリアルタイム出力機能 (RTO) といいます ($n=0, 1$)。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

RTOを使用することにより、ジッタのない信号が出力できますので、ステッピング・モータなどの制御に最適です。

1ビット単位でポート・モード/リアルタイム出力ポート・モードの指定ができます。

22.2 特 徴

8ビットのリアルタイム出力ユニット

ポート・モードとリアルタイム出力モードを1ビット単位で選択可能

チャンネル数：8ビット×2チャンネル (各チャンネルは8ビット×1チャンネル/4ビット×2チャンネルを選択可能)

トリガ信号：チャンネル0

外部割り込み：RTPTRG0

内部割り込み：INTCM30, INTTM20

：チャンネル1

外部割り込み：RTPTRG1

内部割り込み：INTCM31, INTTM22

各チャンネルから3本から選択可能

22.3 構 成

RTOは、次のハードウェアで構成しています。

表22 - 1 RTOの構成

項 目	構 成
レジスタ	リアルタイム出力バッファ・レジスタ n (RTBL n , RTBH n)
制御レジスタ	リアルタイム出力ポート・モード・レジスタ n (RTPM n) リアルタイム出力ポート・コントロール・レジスタ n (RTPC n)

備考 $n = 0, 1$

図22 - 1 RTOのブロック図

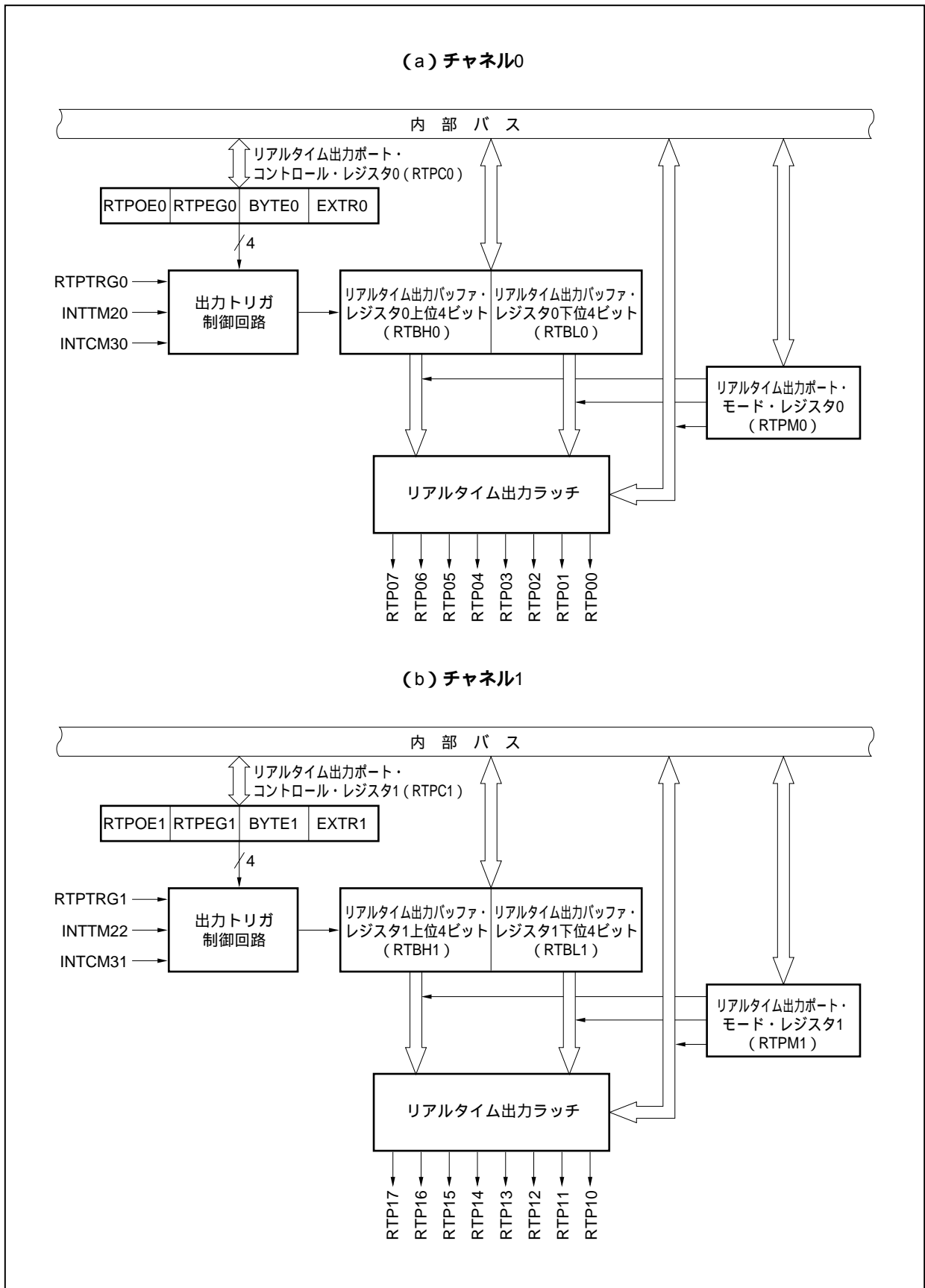


表22 - 2 リアルタイム出力バッファ・レジスタ_nに対する操作時の動作

動作モード	操作対象 レジスタ	リード時 ^{注1}		ライト時 ^{注2}	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×2チャンネル	RTBL _n	RTBH _n	RTBL _n	無効	RTBL _n
	RTBH _n	RTBH _n	RTBL _n	RTBH _n	無効
8ビット×1チャンネル	RTBL _n	RTBH _n	RTBL _n	RTBH _n	RTBL _n
	RTBH _n	RTBH _n	RTBL _n	RTBH _n	RTBL _n

- 注1. リアルタイム出力ポート・モードに指定したビットのみ読み出しができます。ポート・モードに指定したビットに対してリードした場合は、0を読み出します。
2. リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBL_n, RTBH_nレジスタに出力データを設定してください。

(2) リアルタイム出力ラッチ

RTBL_n, RTBH_nレジスタで設定した値がリアルタイム出力トリガ発生によりハードウェア的に転送される出力ラッチです。リアルタイム出力ラッチはリード不可です。

リアルタイム出力ポートに指定したポートは、ポートの出力ラッチにデータを設定できません。リアルタイム出力ポートの初期値を設定する場合は、リアルタイム出力ポート・モードに設定する前にポート・モード時に出力ラッチにデータを設定する必要があります(22.5 使用方法参照)。

22.4 制御レジスタ

RTOは、次の2種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ n (RTPM n)
- ・リアルタイム出力ポート・コントロール・レジスタ n (RTPC n)

22.4.1 リアルタイム出力ポート・モード・レジスタ n (RTPM n)

リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

RTPM n レジスタは、8/1ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

リセット時：00H R/W アドレス：RTPM0 FFFFFB54H, RTPM1 FFFFFB64H

	7	6	5	4	3	2	1	0
RTPM n ($n = 0, 1$)	RTPM n 7	RTPM n 6	RTPM n 5	RTPM n 4	RTPM n 3	RTPM n 2	RTPM n 1	RTPM n 0
RTPM n m	リアルタイム出力ポートの選択 ($m = 0-7$)							
0	ポート・モード							
1	リアルタイム出力ポート・モード							

- 注意1.** リアルタイム出力ポートとして使用する場合、リアルタイム出力を行うポートは出力モードに設定してください (PM13, PM14レジスタ)。
- 2.** リアルタイム出力ポートに指定したポートは、ポートの出力ラッチにデータを設定できません。したがって、初期値を設定する場合には、リアルタイム出力ポート・モードにする前に出力ラッチにデータを設定してください (22.5 使用方法参照)。

22.4.2 リアルタイム出力ポート・コントロール・レジスタ_n (RTPC_n)

リアルタイム出力ポートの動作モード，および出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては表22 - 3，表22 - 4に示すような関係があります。

RTPC_nレジスタは，8/1ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

リセット時：00H R/W アドレス：RTPC0 FFFFFFFB55H, RTPC1 FFFFFFFB65H

	7	6	5	4	3	2	1	0
RTPC _n (n = 0, 1)	RTPOEn	RTPEGn	BYTEn	EXTRn	0	0	0	0

RTPOEn	リアルタイム出力の動作制御
0	動作禁止 ^注
1	動作許可

RTPEGn	RTPTRG _n 信号の有効エッジ
0	立ち下がりエッジ
1	立ち上がりエッジ

BYTEn	リアルタイム出力のチャンネル構成指定
0	4ビット×2チャンネル
1	8ビット×1チャンネル

EXTRn	RTPTRG _n 信号によるリアルタイム出力の制御
0	RTPTRG _n をリアルタイム出力トリガにしない
1	RTPTRG _n をリアルタイム出力トリガにする

注 リアルタイム出力動作禁止 (RTPOEnビット = 0) の場合，リアルタイム出力は全ビット“0”を出力します。

注意 RTPEGn, BYTEn, EXTRnビットの設定は，必ずRTPOEnビット = 0のときに行ってください。

表22 - 3 リアルタイム出力ポートの動作モードと出力トリガ (チャンネル0)

BYTE0	EXTR0	動作モード	RTBH0 ポート出力	RTBL0 ポート出力
0	0	4ビット×2チャンネル	INTTM20	INTCM30
	1		INTCM30	RTPTRG0
1	0	8ビット×1チャンネル	INTCM30	
	1		RTPTRG0	

表22 - 4 リアルタイム出力ポートの動作モードと出力トリガ (チャンネル1)

BYTE1	EXTR1	動作モード	RTBH1 ポート出力	RTBL1 ポート出力
0	0	4ビット×2チャンネル	INTTM22	INTCM31
	1		INTCM31	RTPTRG1
1	0	8ビット×1チャンネル	INTCM31	
	1		RTPTRG1	

22.5 使用方法

(1) リアルタイム出力動作を禁止する。

リアルタイム出力ポート・コントロール・レジスタ n (RTPC n) のRTPOEnビット = 0に設定。

(2) 初期設定

(i) リアルタイム出力ポートに最初に出力する値をポート13, ポート14の出力ラッチに設定する。

(ii) PM13, PM14を出力モードに設定する。

(iii) 1ビット単位でリアルタイム出力ポート・モード/ポート・モードを指定する。

リアルタイム出力ポート・モード・レジスタ n (RTPM n) を設定。

(iv) チャンネル構成, トリガおよび有効エッジを選択する。

RTPC n レジスタのEXTR n , BYTE n , RTPEG n ビットを設定。

(v) (i) と同じ値をリアルタイム出力バッファ・レジスタ n (RTBH n , RTBL n) に設定する。

(3) リアルタイム出力動作を許可する。

RTPOEnビット = 1に設定。

(4) 選択した転送トリガが発生するまでに, 次の出力値をRTBH n , RTBL n レジスタに設定する。

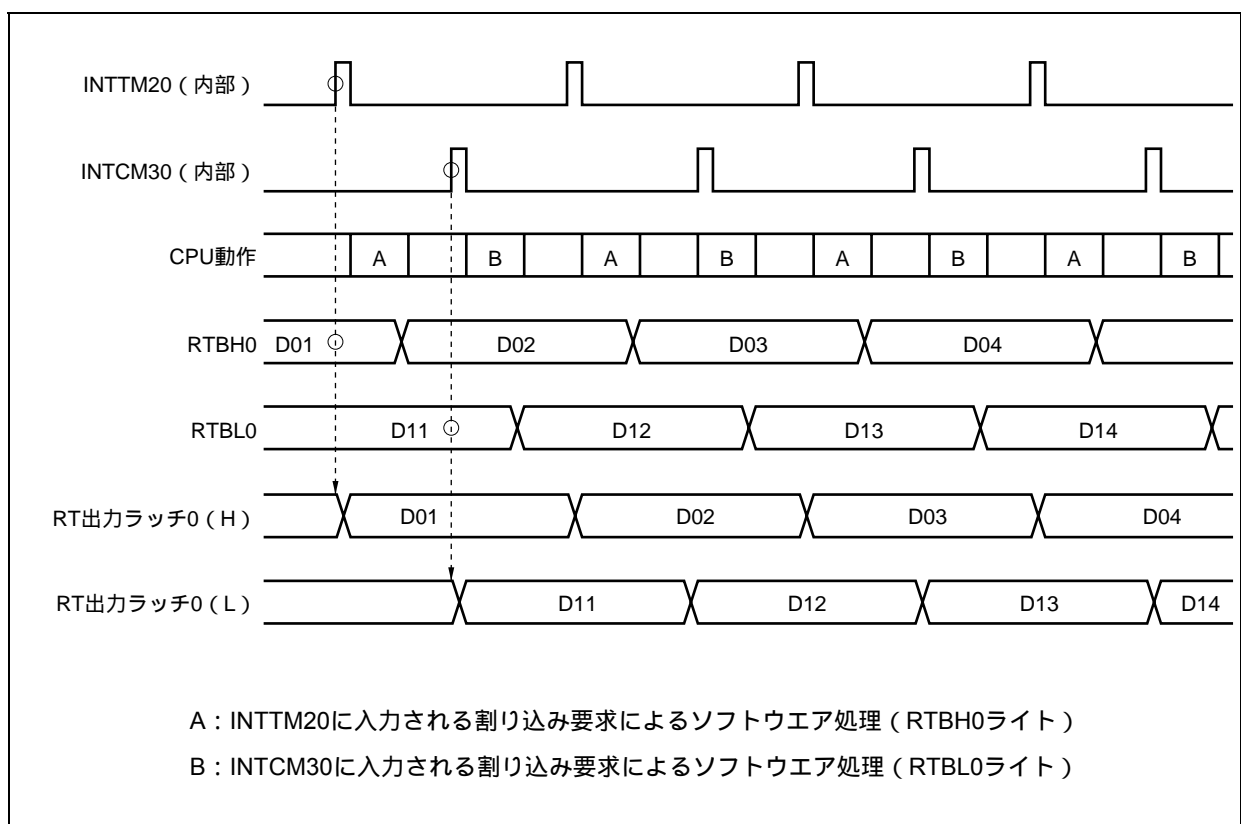
(5) 選択したトリガに対応する割り込み処理により, 順次, 次のリアルタイム出力値をRTBH n , RTBL n レジスタに設定する。

22.6 動作

リアルタイム出力ポート・コントロール・レジスタ n (RTPC n)のRTPOEnビット = 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (RTPC n レジスタのEXTR n , BYTE n ビットで設定) の発生に同期して、リアルタイム出力バッファ・レジスタ n (RTBH n , RTBL n) のデータをリアルタイム出力ラッチに転送します。転送されたデータのうち、リアルタイム出力ポート・モード・レジスタ n (RTPM n) の設定によりリアルタイム出力ポートに指定されたビットのデータのみをRTPn0-RTPn7端子のそれぞれのビットから出力します。RTPM n レジスタでポート・モードに指定されたビットは0を出力します。

RTPOEnビット = 0でリアルタイム出力動作を禁止した場合は、RTPM n レジスタの設定に関係なくRTPn0-RTPn7端子は0を出力します。

図22 - 2 RTO0の動作タイミング例 (EXTR0ビット = 0, BYTE0ビット = 0の場合)



22.7 注意事項

(1) ソフトウェアにより、次の競合を回避してください。

- ・リアルタイム出力動作の禁止 / 許可の切り替え (RTPOEnビット) と選択したリアルタイム出力トリガとの競合
- ・リアルタイム出力動作許可状態におけるリアルタイム出力バッファ・レジスタn (RTBHn, RTBLn) のライトと選択したリアルタイム出力トリガとの競合

(2) 初期設定は、リアルタイム出力動作を禁止 (RTPOEnビット = 0) にしてから行ってください。

(3) 一度リアルタイム出力動作を禁止 (RTPOEnビット = 0) した場合は、リアルタイム出力動作を許可 (RTPOEnビット = 0 1) する前に、必ずRTBHn, RTBLnレジスタに初期値を設定してください。

(4) 出力ラッチの値を読み出すことはできません。

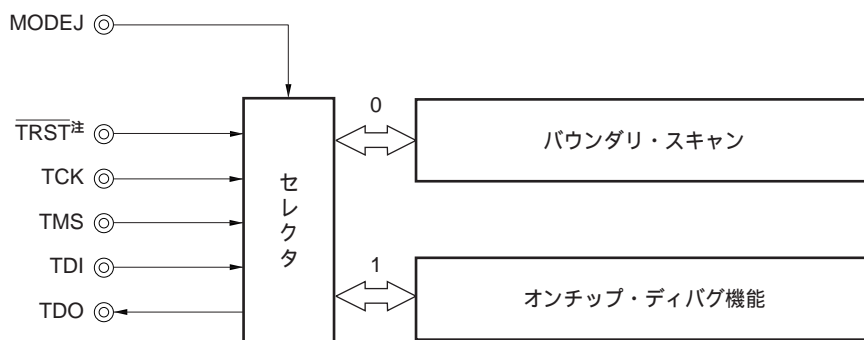
(5) 汎用出力ポートとリアルタイム出力ポートを切り替えるときにリアルタイム出力 (RTP00-RTP07, RTP10-RTP17) が変化する場合があります。

第23章 JTAGインタフェース

23.1 概要

V850E/SV2は、JTAG (Joint Test Action Group) の通信仕様を利用して、IEEE1149.1に準拠したバウンダリ・スキャンとN-Wire型インサーキット・エミュレータを介したオンチップ・ディバグ機能を内蔵しています。

なお、バウンダリ・スキャン機能とオンチップ・ディバグ機能の切り替えは、MODEJ端子への入力レベルにより切り替えます。



MODEJ	JTAGインタフェース端子機能の選択
0	バウンダリ・スキャン
1	オンチップ・ディバグ機能

注 TRST端子には、プルダウ抵抗を接続してください。またフラッシュ・メモリ・プログラミング・モード時は、常にロウ・レベルを入力してください。

第24章 バウンダリ・スキャン

24.1 概 要

バウンダリ・スキャンはIEEE1149.1で規定された信号のテスト方法で、デバイスの外部入出力端子を順次走査するようにテスト・データの入出力を行う方法です。これにより、ユーザ基板上に実装されたデバイス間の接続チェックを行うことができます。

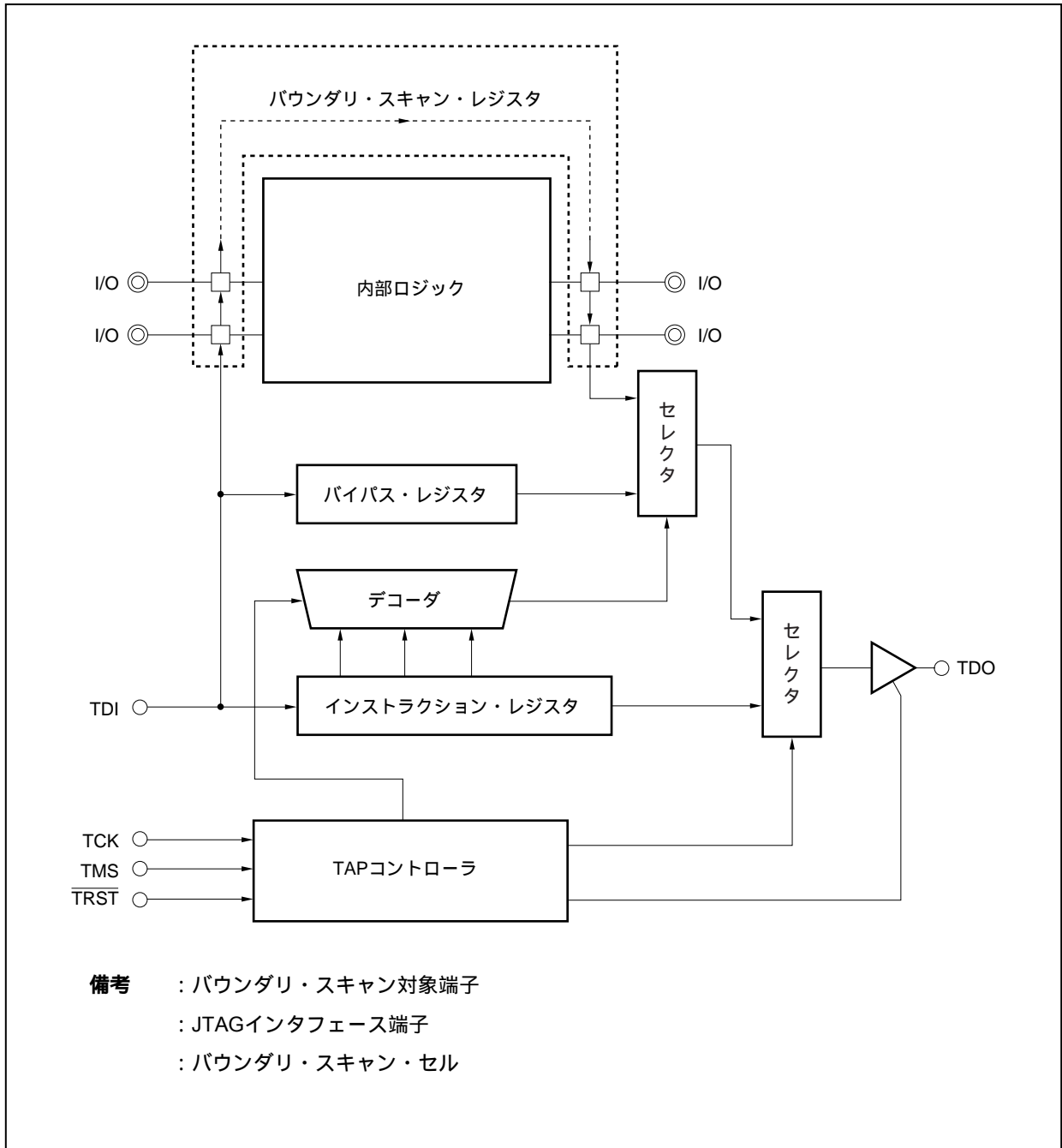
テスト・モード：

- ・ EXTESTモード
- ・ SAMPLE/PRELOADモード
- ・ BYPASSモード
- ・ CLAMPPIOモード

バウンダリ・スキャン対象端子：

P00-P07, P10-P13, P20-P27, P30-P37, P40-P47, P50-P512, P60-P67, P90-P915, P100-P107,
P110-P116, P120-P127, P130-P137, P140-P147, P150-P155, PCD0-PCD3, PCM0-PCM5,
PCS0-PCS7, PCT0-PCT7, PDH0-PDH9, PDL0-PDL15, CKSEL1, MODE0-MODE1, PLLSEL,
RESET

注意 上記以外の端子はバウンダリ・スキャン対象外です。



24.2 バウンダリ・スキャン・テスト用レジスタ

(1) インストラクション・レジスタ

命令コードを格納する3ビットのレジスタです。

テスト・モードに対応したコードを次に示します。

テスト・モード	インストラクション・コード (入力側 (MSB) 出力側 (LSB))
EXTEST	000
SAMPLE	001
BYPASS	111
CLAMPPIO	010

(2) バイパス・レジスタ

バウンダリ・スキャン・パスをバイパスするための1ビットのレジスタです。

(3) バウンダリ・スキャン・レジスタ

バウンダリ・スキャン・テストを行うための345ビットのレジスタで、各端子に1ビット (入力端子)、または2ビット (入出力端子) が割り当てられています。

第25章 オンチップ・ディバグ機能

25.1 概要

V850E/SV2はJTAGインタフェース（ $\overline{\text{TRST}}$, TCK, TMS, TDI, TDO端子）を利用し、N-Wire型インサーキット・エミュレータを介し、オンチップ・ディバグ機能を内蔵しています。

ディバグ機能

- ・ オンボード・ディバグ機能
- ・ 強制リセット機能
- ・ ブレーク・リセット機能
- ・ COMBOブレーク機能
- ・ ブレークポイント機能
- ・ プログラムID機能
- ・ ディバグ・モニタ機能
- ・ リアルタイムRAMモニタ機能
- ・ ダイナミック・メモリ・モディフィケーション機能（DMM機能）
- ・ マスク機能
- ・ ROMセキュリティ機能

注意1. N-wire型インサーキット・エミュレータのドキュメントには、JTAGインタフェース端子は $\overline{\text{DRST}}$, DCK, DMS, DDI, DDOと表現されています。V850E/SV2ではそれぞれ $\overline{\text{TRST}}$, TCK, TMS, TDI, TDO端子に対応しています。

2. トレース機能、イベント機能には対応していません。

第26章 リセット機能

26.1 概要

V850E/SV2のリセット機能には、次に示す2種類があります。

- ・ $\overline{\text{RESET}}$ 端子入力によるシステム・リセット
- ・ ウォッチドッグ・タイマ (WDT) のオーバーフローによるシステム・リセット (WDTRES)

26.1.1 WDTリセット・レジスタ (WDRES)

WDRESレジスタは、WDTRES信号のステータスを示す8ビットのレジスタです。WDRESレジスタは特定レジスタで、特定シーケンスの組み合わせによってのみ書き込み可能です (3.4.9 特定レジスタ参照)。

8/1ビット操作命令によりR/W可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

リセット時 : 00H R/W アドレス : FFFFF82AH

	7	6	5	4	3	2	1	0
WDRES	0	0	0	0	0	0	0	WRESF

WRESF	WDTRES検出フラグ
0	WDTRES発生なし
1	WDTRES発生あり

注意 WRESFビットは“0”書き込みによるクリアと $\overline{\text{RESET}}$ 端子によるリセットによるクリアが可能です。WRESFビットの書き込みは“0”のみ可能です。
WRESFビットへの“0”書き込みは、フラグ・セットとの競合を避けるためにWRESFビット = 1を確認 (読み出し) 後に行ってください。

26.2 動作

26.2.1 RESET端子入力によるリセット動作

RESET端子にロウ・レベルを入力することによりリセット状態となり、各ハードウェアを所定の状態に初期化します。

RESET端子入力をロウ・レベルからハイ・レベルにすることで、リセット状態を解除します。リセット状態を解除した後、CPUはプログラムの実行を開始します。なお、PLLモード時は、PLLロックアップ時間を確保したあとに、リセット状態を解除します。

なお、パワーオン（電源投入）時のリセット、およびソフトウェアSTOPモードのリセットによる解除の際、メイン・クロック発振回路の発振安定時間をRESET端子入力のロウ・レベル幅で確保する必要があります。

RESET端子入力によるリセット期間中とリセット解除後の各ハードウェアの状態を次に示します。

項目	リセット期間中	リセット解除後
メイン・クロック発振回路 (fx)	発振継続	
内部システム・クロック (fxx)	動作継続	
CPUクロック (fCPU)	動作継続 (fCPU = fxx/8に初期化)	
外部バス用基本クロック (fDV)	動作継続 (fDV = fCPU = fxx/8に初期化)	
周辺クロック (fxx-fxx/1024) WDTクロック (fXW)	動作停止	動作開始
CPU	初期化	動作開始
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込み (CPUやDMACによる) とリセット入力が競合 (データ破壊) した場合は不定。それ以外は、リセット入力直前の値を保持。	
I/Oライン (ポート)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化	
内蔵周辺機能	動作停止	動作開始可能

RESET端子入力によるリセット動作タイミング図を次に示します。

図26 - 1 リセット・タイミング (PLLモード: 2逓倍)

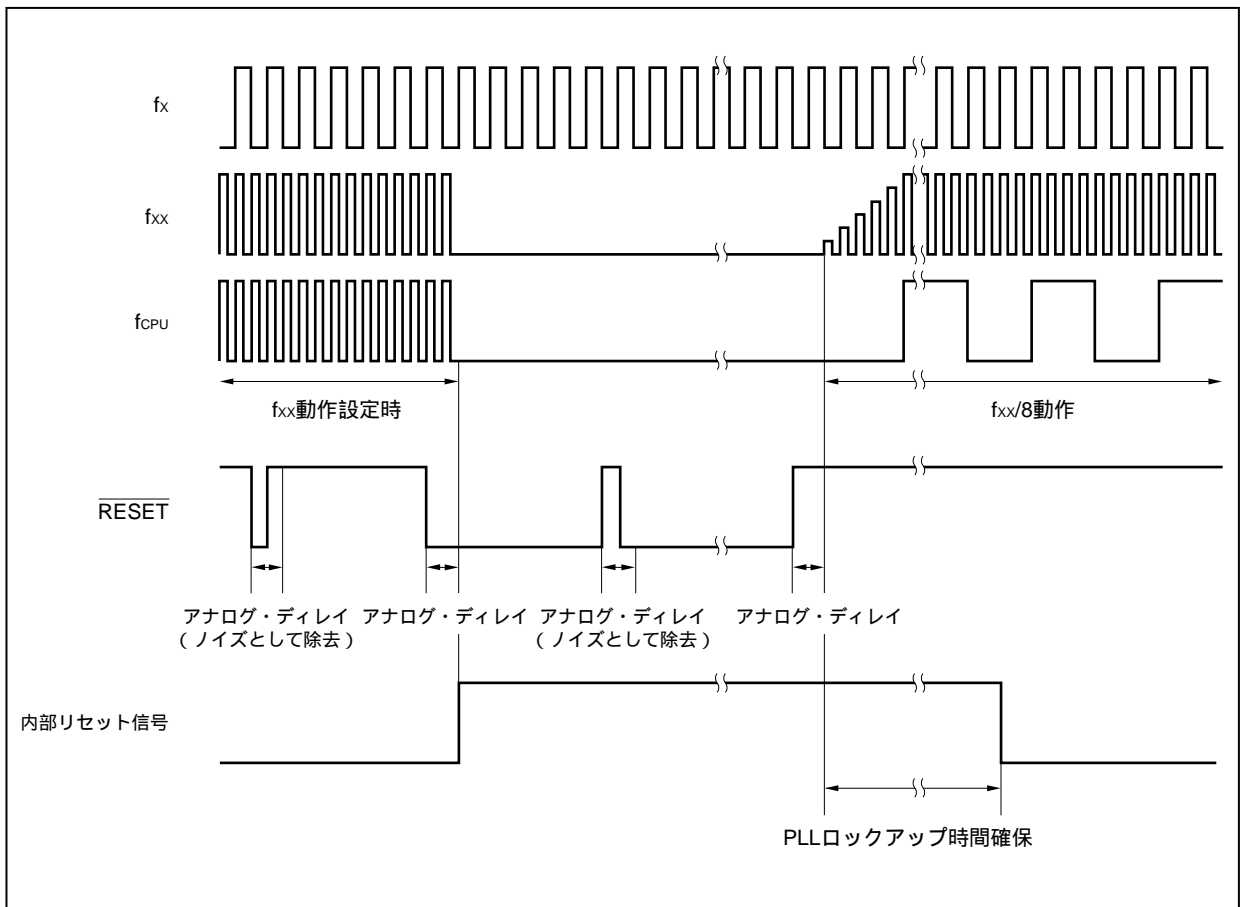


図26 - 2 リセット・タイミング (クロック・スルー・モード)

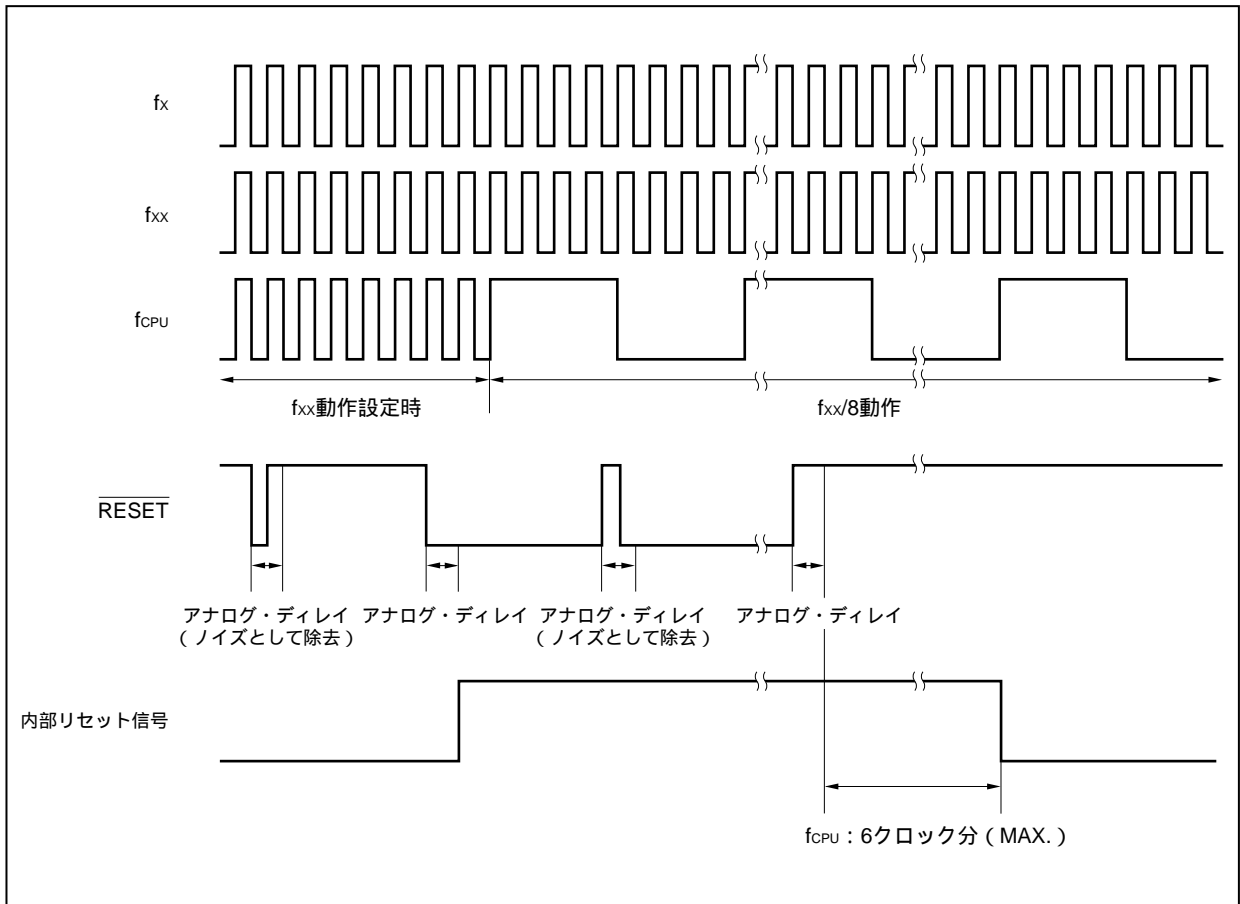
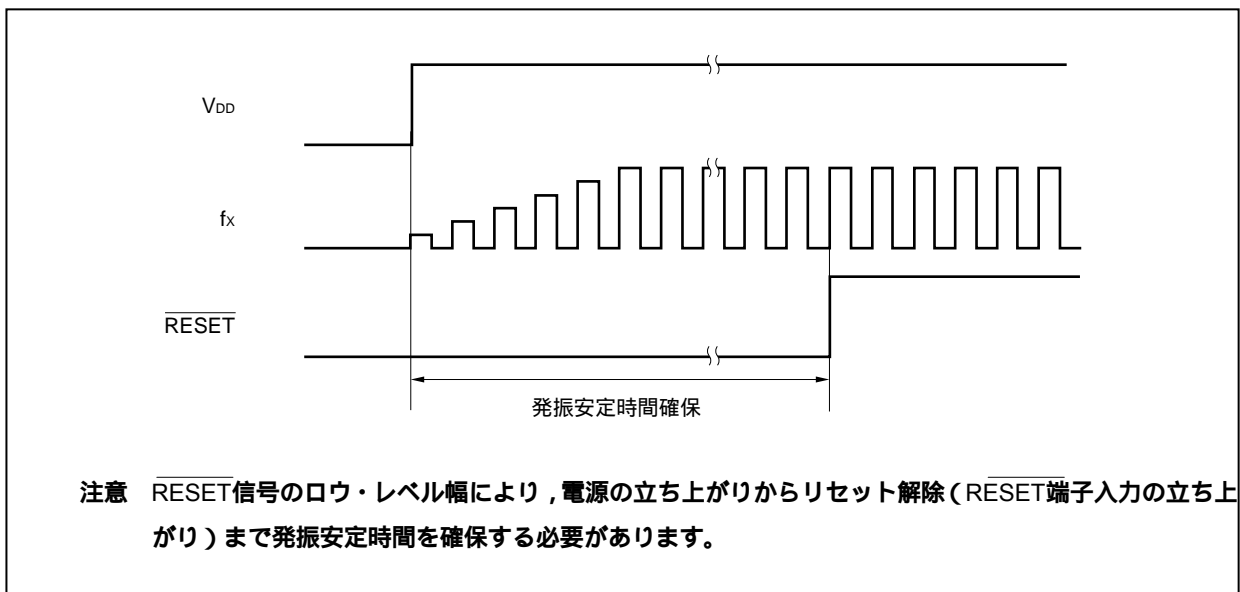


図26 - 3 リセット・タイミング (パワーオン (電源投入) 時)



なお、ソフトウェアSTOPモードのリセットによる解除動作タイミングは、第9章 クロック・ジェネレータを参照してください。

26.2.2 WDTのオーバフローによるリセット動作 (WDTES)

WDTをオーバフローによるリセット動作モードに設定時、WDTがオーバフロー (WDTRES信号発生) すると、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。また、同時にWDTリセット・レジスタ (WDRES) のWRESFフラグが1にセットされます。

WDTのオーバフロー後、所定の時間 (f_{CPU} : 12クロック分) リセット状態となり、その後リセット状態を自動的に解除します。リセット解除後、CPUはプログラムの実行を開始します。

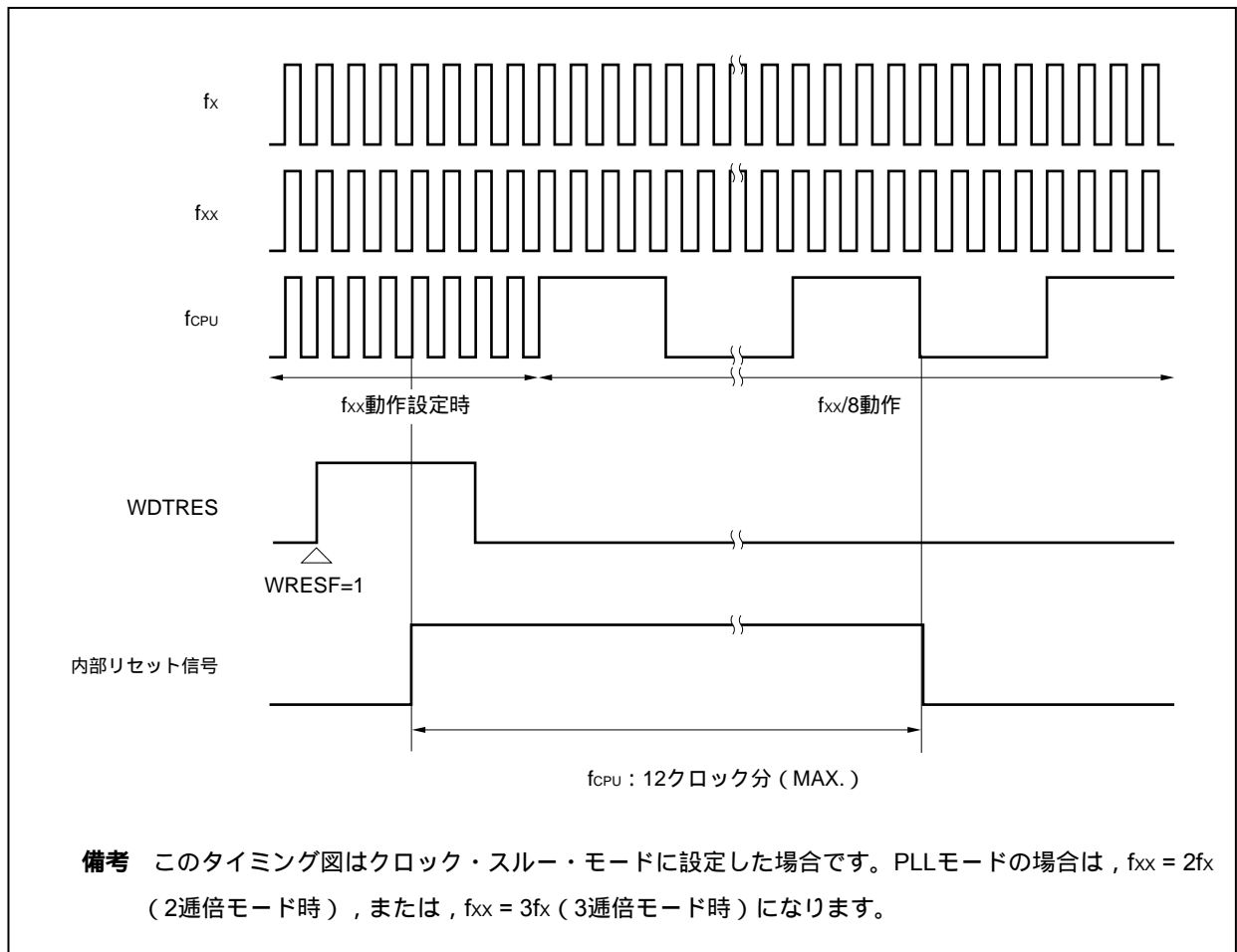
なお、リセット期間中もメイン・クロック発振回路は動作を継続するので、発振安定時間を確保する必要はありません。

WDTRES信号によるリセット期間中とリセット解除後の各ハードウェアの状態を次に示します。

項 目	リセット期間中	リセット解除後
メイン・クロック発振回路 (f_x)	発振継続	
内部システム・クロック (f_x)	動作継続	
CPUクロック (f_{CPU})	動作継続 ($f_{CPU} = f_{xx}/8$ に初期化)	
外部バス用基本クロック (f_{DV})	動作継続 ($f_{DV} = f_{CPU} = f_{xx}/8$ に初期化)	
周辺クロック ($f_{xx}-f_{xx}/1024$) WDTクロック (f_{xw})	動作継続	
CPU	初期化	プログラムの実行開始
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込み (CPUやDMACによる) とリセット入力競合 (データ破壊) した場合は不定。それ以外は、リセット入力直前の値を保持。	
I/Oライン (ポート)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化	
内蔵周辺機能	動作停止	動作開始可能

WDTRES信号によるリセット動作のタイミングは次の図のようになります。

図26 - 4 WDTRES信号によるリセット・タイミング



第27章 フラッシュ・メモリ

μ PD70F3166, 70F3166YはV850E/SV2のフラッシュ・メモリ内蔵品で、8つのブロックで構成される512 Kバイトのフラッシュ・メモリを内蔵しています。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

このフラッシュ・メモリへの命令フェッチは、マスクROM内蔵品と同様に1クロックで4バイトをアクセスできます。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で実行できます。専用フラッシュ・ライタ（PG-FP4など）をターゲット・システムに接続して書き込みます。

フラッシュ・メモリを使用した開発環境および用途として次のようなことが考えられます。

ターゲット・システムにV850E/SV2を半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

27.1 特徴

消去単位

- ・チップ一括消去
- ・ブロック単位消去
 - ブロック0-3：16 Kバイト
 - ブロック4-7：112 Kバイト

消去 / 書き込み方式

- ・専用フラッシュ・ライタ方式（CSIO, UART0）
- ・フラッシュ・セルフ・プログラミング方式

サポート機能

- ・消去 / 書き込み禁止機能（セキュリティ機能）
- ・ブート切り換え機能（ブート・スワップ）

そのほか

- ・オンボード書き換え
- ・単一電源による消去 / 書き込み

27.1.1 消去単位

512 Kバイトのフラッシュ・メモリ内蔵品の消去単位を次に示します。

(1) チップ一括消去

xx000000H-xx05FFFFHの領域を同時に消去できます。

(2) ブロック消去

ブロック単位で消去ができます (112 Kバイト×4, 16 Kバイト×4)。

ブロック0 : 16 Kバイト

ブロック1 : "

ブロック2 : "

ブロック3 : "

ブロック4 : 112 Kバイト

ブロック5 : "

ブロック6 : "

ブロック7 : "

27.2 フラッシュ・ライターによる書き込み方法

専用フラッシュ・ライターにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にV850E/SV2を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・ライターを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にV850E/SV2を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

μ PD70F3166, 70F3166Yに対して、フラッシュ書き込みアダプタ（FA-257F1-FA5-A）を使用して書き込む場合は、次のように配線してください。

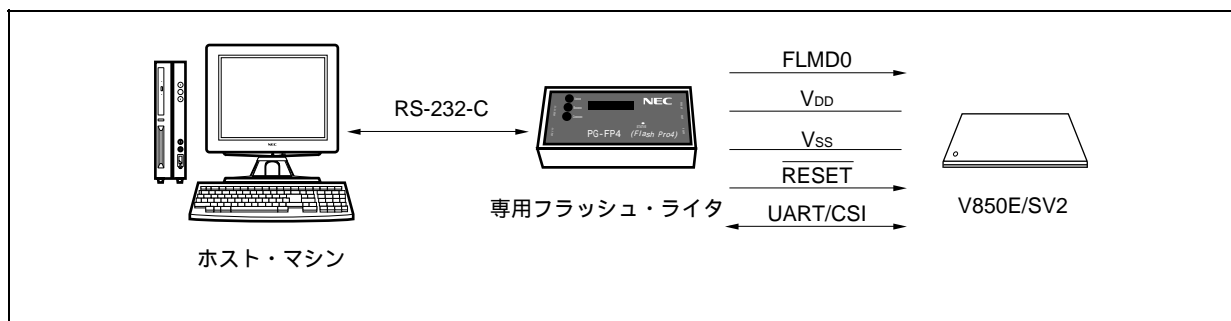
表27 - 1 V850E/SV2フラッシュ書き込みアダプタ（FA-257F1-FA5-A）

FA-257F1-FA5-Aのコネクタ名	モード名		
	CSI	CSI + HS	UART
SO/TXD	P41	P41	P31
SI/RXD	P40	P40	P30
SCK	P42	P42	-
RESET	$\overline{\text{RESET}}$	$\overline{\text{RESET}}$	$\overline{\text{RESET}}$
FLMD0	MODE1	MODE1	MODE1
FLMD1	MODE0	MODE0	MODE0
CLK	X1	X1	X1
H/S	-	PDH0	-
VDE	-	-	-
VDD	AV _{DD} , CV _{DD} , EV _{DD}	AV _{DD} , CV _{DD} , EV _{DD}	AV _{DD} , CV _{DD} , EV _{DD}
VDD2	V _{DD} , PV _{DD}	V _{DD} , PV _{DD}	V _{DD} , PV _{DD}
VPP	-	-	-

27.3 プログラミング環境

V850E/SV2のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図27-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターとV850E/SV2とのインタフェースはUART0またはCSI0を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

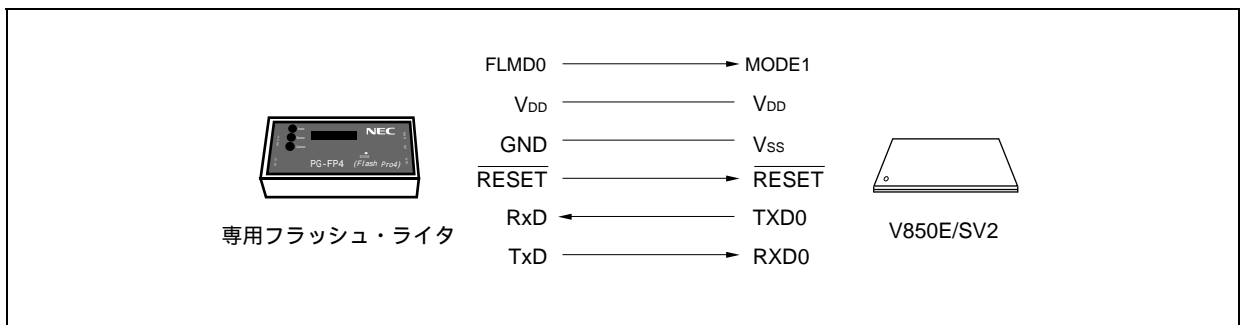
27.4 通信方式

専用フラッシュ・ライターとV850E/SV2との通信は、V850E/SV2のUART0またはCSI0によるシリアル通信で行います。

(1) UART0

転送レート：4800 - 153600 bps

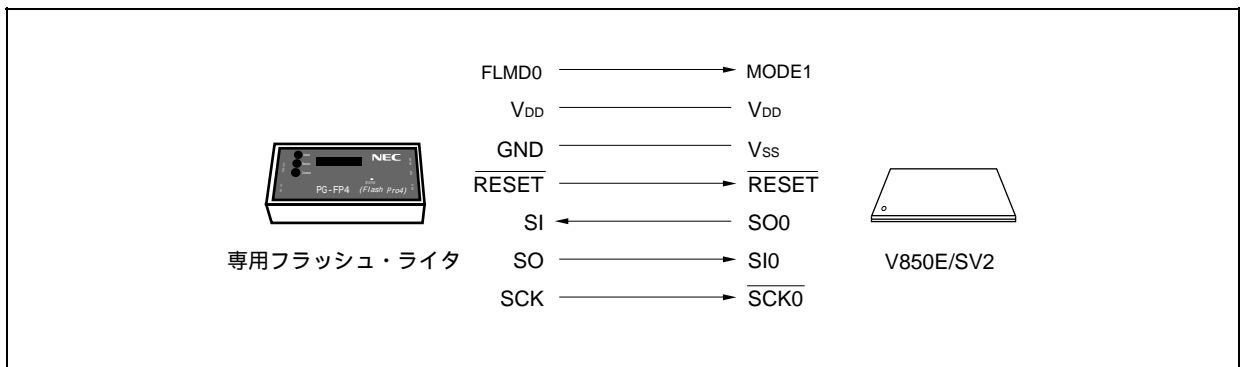
図27 - 2 専用フラッシュ・ライターとの通信 (UART0)



(2) CSI0

シリアル・クロック：～2.5 MHz (MSBファースト)

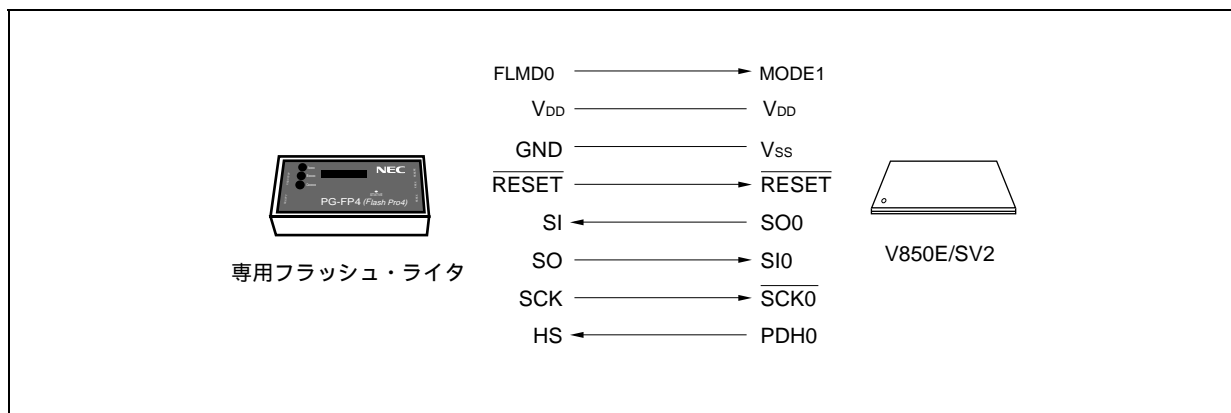
図27 - 3 専用フラッシュ・ライターとの通信 (CSI0)



(3) CSI0+HS

シリアル・クロック：~2.5 MHz (MSBファースト)

図27-4 専用フラッシュ・ライターとの通信 (CSI0+HS)



専用フラッシュ・ライターが転送クロックを出力し、V850E/SV2はスレーブとして動作します。

専用フラッシュ・ライターとしてPG-FP4を使用した場合、PG-FP4はV850E/SV2に対して次の信号を生成します。詳細はPG-FP4 ユーザーズ・マニュアル (U15260J) を参照してください。

表27-2 専用フラッシュ・ライター (PG-FP4) の信号生成

PG-FP4			V850E/SV2	接続時の処置		
信号名	入出力	端子機能	端子名	CSI0	UART0	CSI0 + HS
FLMD0	出力	通常動作モード / フラッシュ・メモリ・プログラミング・モード切り替え	MODE1			
V _{DD}	入出力	V _{DD} 電圧生成/電圧監視	V _{DD}			
GND	-	グランド	V _{SS}			
CLK	出力	V850E/SV2へのクロック出力	X1			
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SO0/TXD0			
SO/TxD	出力	送信信号	SI0/RXD0			
SCK	出力	転送クロック	SCK0		x	
H/S	入力	CSI0+HS通信のハンドシェイク信号	PDH0	x	x	

備考 : 必ず接続してください。

: ターゲット基板上でクロック生成されている際には、接続の必要はありません。

x : 接続の必要はありません。

27.5 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、ポートはすべて出力ハイ・インピーダンス状態になるため、外部デバイスが出力ハイ・インピーダンス状態を認めない場合は端子処理が必要です。

27.5.1 MODE0, MODE1端子

V850E/SV2の動作モードは、MODE0, MODE1端子の入力レベルにより設定します。これらの端子設定は、応用システム上においては固定し、動作中には変更しないでください。動作中に変更した場合の動作の保証はできません。

MODE1	MODE0 ^注	動作モード
0	0	通常動作モード
1	0	フラッシュ・メモリ・プログラミング・モード
上記以外		設定禁止

注 MODE0端子は必ず“0”に固定してください。

27.5.2 シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表27-3 各シリアル・インタフェースが使用する端子

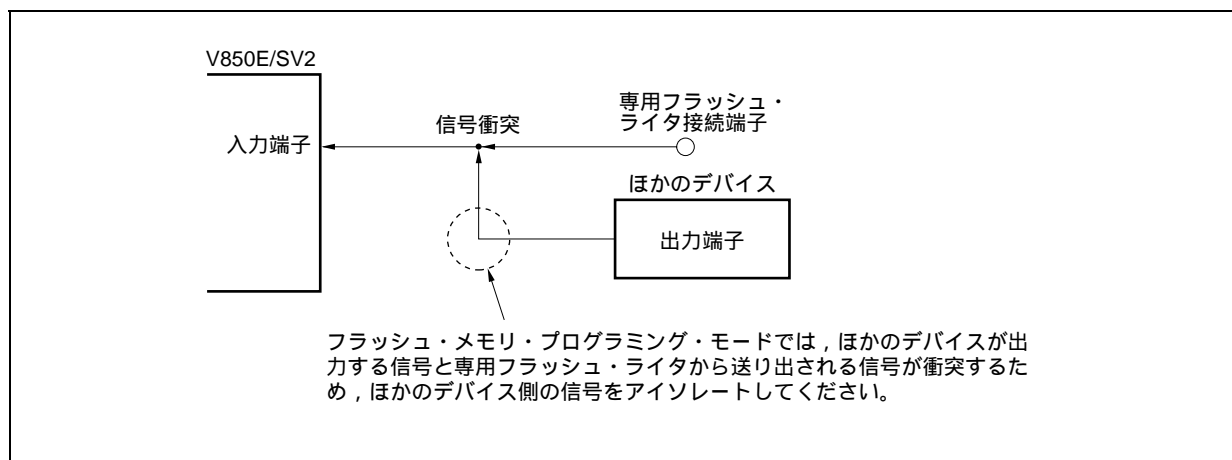
シリアル・インタフェース	使用端子
CSI0	SO0, SI0, $\overline{\text{SCK0}}$
CSI0 + HS	SO0, SI0, $\overline{\text{SCK0}}$, PDH0
UART0	TXD0, RXD0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

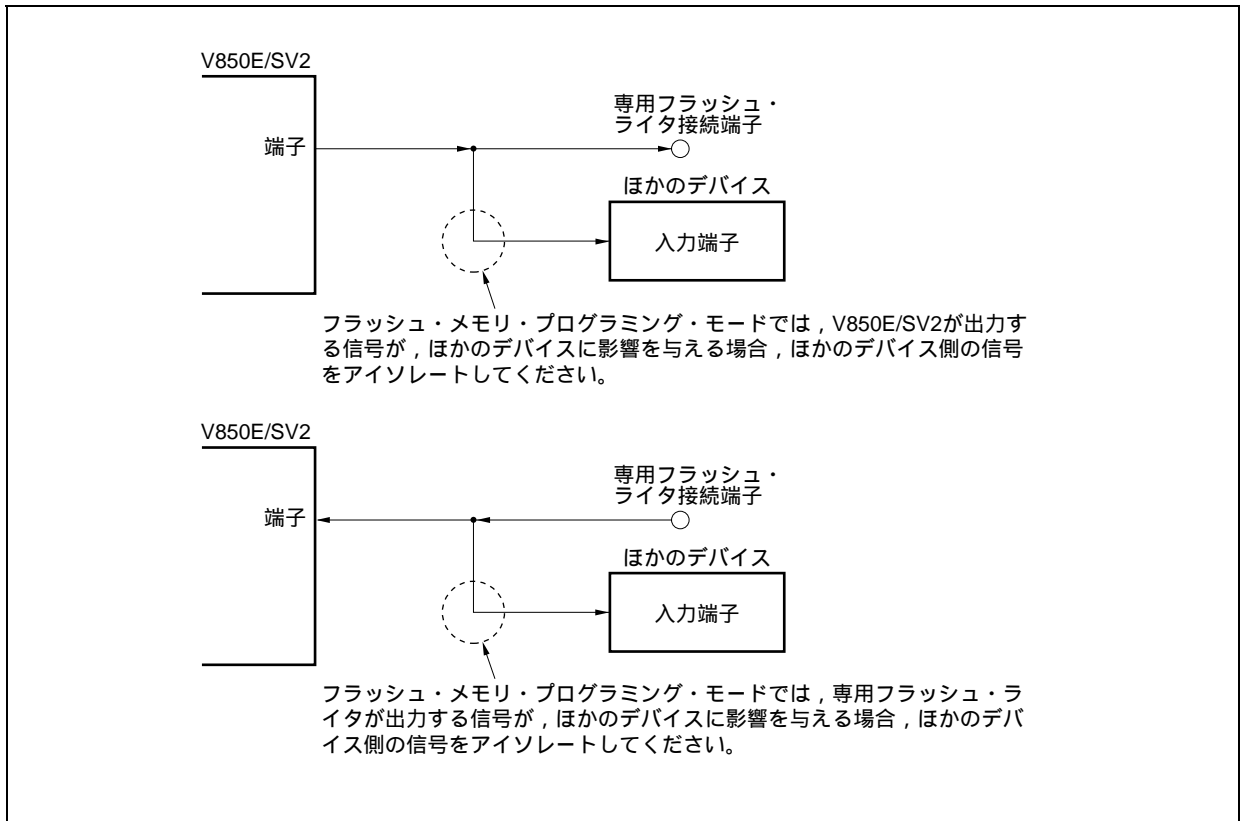
図27-5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライター（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。

図27 - 6 ほかのデバイスの異常動作

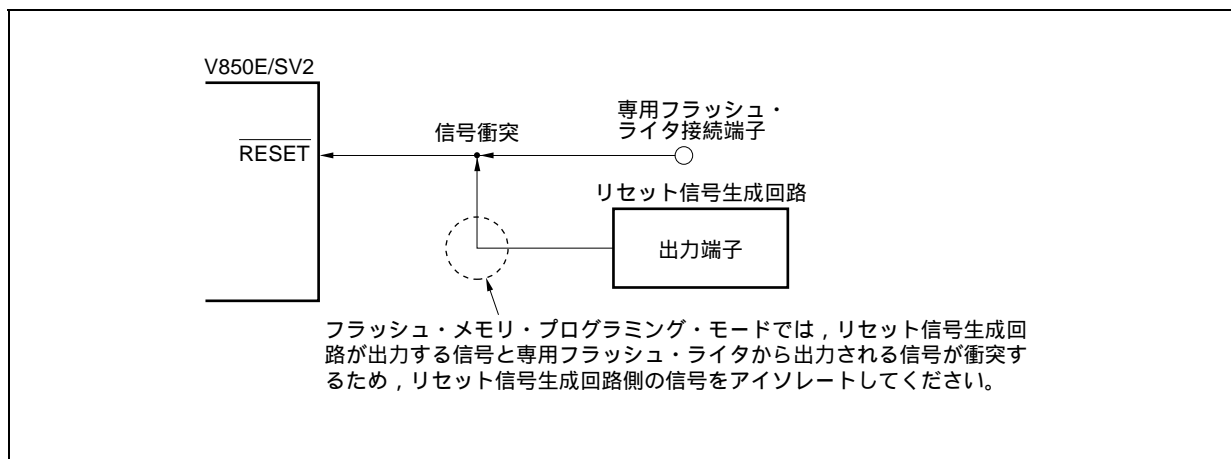


27.5.3 $\overline{\text{RESET}}$ 端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図27-7 信号の衝突 ($\overline{\text{RESET}}$ 端子)



27.5.4 ポート端子 (NMIを含む)

フラッシュ・メモリ・プログラミング・モードに設定すると、専用フラッシュ・ライタと通信する端子を除くすべてのポート端子は出力ハイ・インピーダンス状態になります。なお、ポートに接続されている外部デバイスに出力ハイ・インピーダンス状態禁止などの問題が生じる場合には、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの処置をしてください。

27.5.5 その他の信号端子

$X1$, $X2$, $CKSEL1$, $MODEJ$, $PLLSEL$, TCK , TDI , TDO , TMS , $\overline{\text{TRST}}$, AV_{REF} は、通常動作モード時と同じ状態に接続してください。

27.5.6 電 源

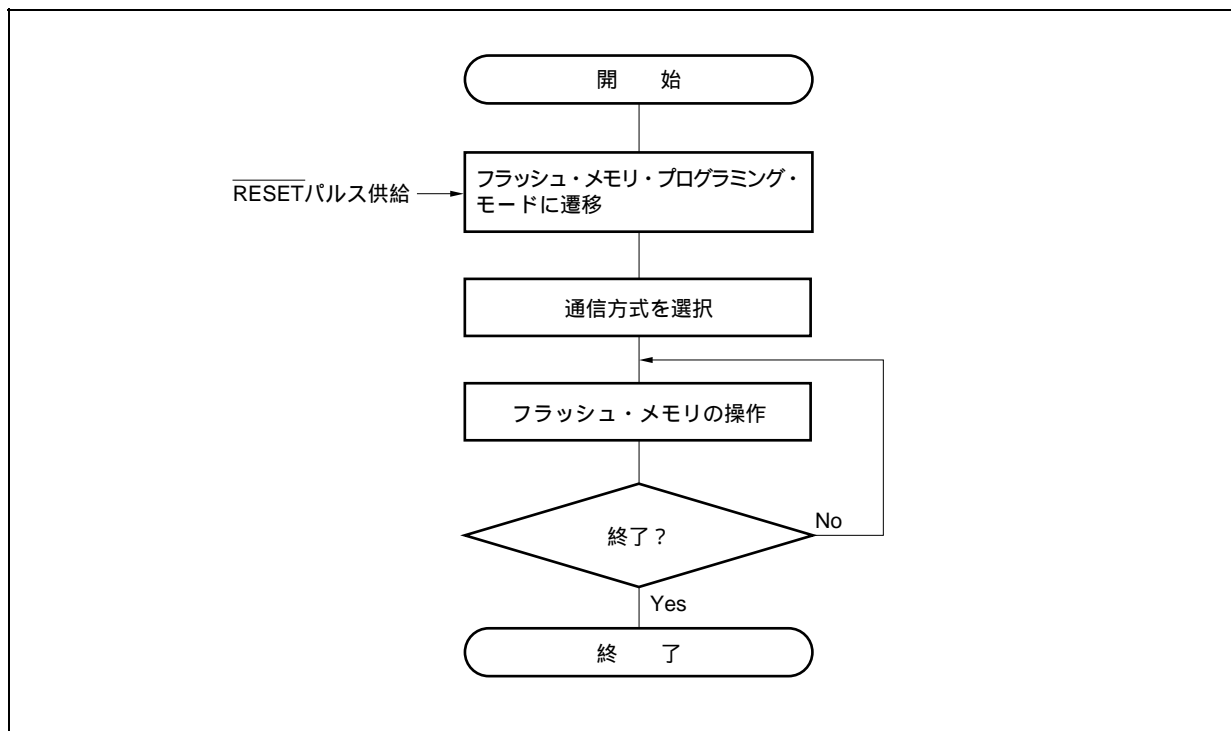
電源 (V_{DD} , V_{SS} , CV_{DD} , CV_{SS} , PV_{DD} , PV_{SS} , EV_{DD} , EV_{SS} , AV_{DD} , AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

27.6 プログラミング方法

27.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図27-8 フラッシュ・メモリの操作手順



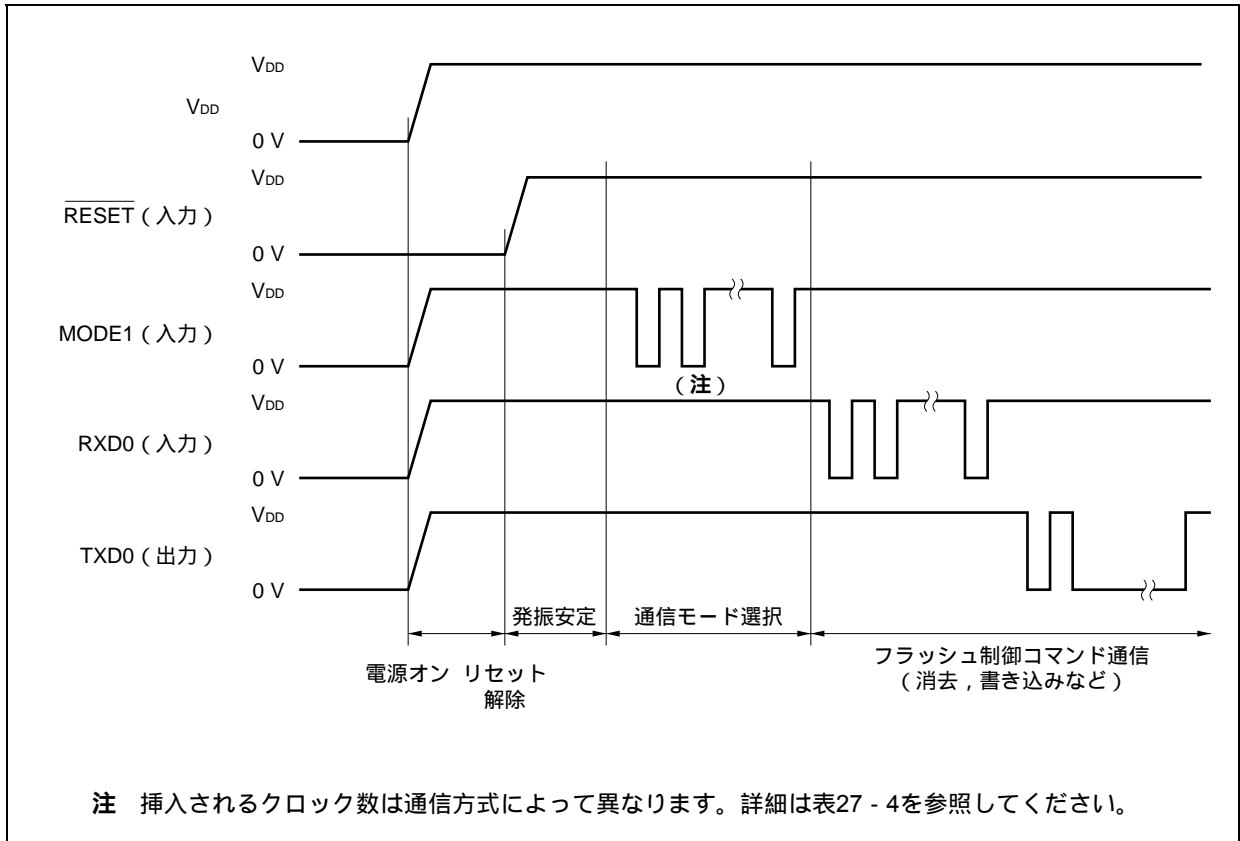
27.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライタを使用してフラッシュ・メモリの内容を書き換えるときは、V850E/SV2をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、MODE0、MODE1端子を設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

注意 MODE0端子は、常に0固定としてください。

図27-9 フラッシュ・メモリ・プログラミング・モード



27.6.3 通信方式の選択

V850E/SV2では、フラッシュ・メモリ・プログラミング・モードに遷移後、MODE1端子にパルス（最大16パルス）を入力することで通信方式を選択します。このMODE1パルスは専用フラッシュ・ライタが生成し、FLMD0から出力します。

パルス数と通信方式の関係を次に示します。

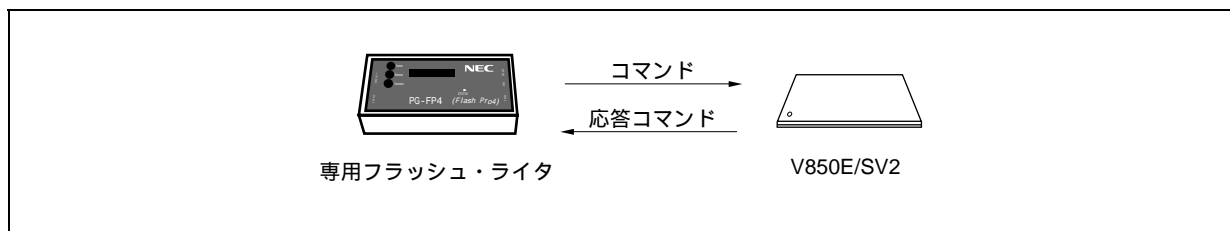
表27-4 通信方式一覧

MODE1パルス	通信方式	備考
0	UART0	通信レート：9600 bps（リセット時）、LSBファースト
8	CSI0	V850E/SV2はスレーブ動作、MSBファースト
11	CSI0 + HS	V850E/SV2はスレーブ動作、MSBファースト
その他	RFU	設定禁止

27.6.4 通信コマンド

V850E/SV2と専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタからV850E/SV2へ送られるコマンドを「コマンド」と呼び、V850E/SV2から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図27 - 10 通信コマンド



V850E/SV2のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され、V850E/SV2がコマンドに対応した各処理を行います。

表27 - 5 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSI	CSI+HS	UART	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				全メモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
書き込み	書き込みコマンド				書き込みアドレス、書き込みバイト数の指定によりデータを書き込み、ペリファイ・チェックを実行
ペリファイ	ペリファイ・コマンド				全メモリの内容と入力したデータを比較
システム設定、制御	リセット・コマンド				各状態からの脱出
	発振周波数設定コマンド				発振周波数の設定
	ポー・レート設定コマンド	-	-		UART使用時のポー・レート設定
	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	バージョン取得コマンド				デバイスのバージョン情報を読み出す
	ステータス・コマンド			-	動作状況のステータスを得る
	セキュリティ設定コマンド				チップ消去、ブロック消去、書き込みのセキュリティの設定
チェックサム・コマンド				メモリ内容のチェックサム値を得る	

V850E/SV2は、専用フラッシュ・ライタから発行されたコマンドに対して、応答コマンドを返します。V850E/SV2が送出する応答コマンドを次に示します。

表27 - 6 応答コマンド

応答コマンド名称	機能
ACK (アクノリッジ)	コマンド/データなどのアクノリッジ
NAK (ノット・アクノリッジ)	不正なコマンド/データなどのアクノリッジ

第28章 電気的特性 (ターゲット)

絶対最大定格

($T_A = 25$, $V_{SS} = 0$ V)

項目	略号	条件	定格	単位
電源電圧	V_{DD}		- 0.5 ~ + 3.6	V
	AV_{DD}		- 0.5 ~ + 4.6	V
	CV_{DD}		- 0.5 ~ + 4.6	V
	EV_{DD}		- 0.5 ~ + 4.6	V
	PV_{DD}		- 0.5 ~ + 3.6	V
	AV_{SS}		- 0.5 ~ + 0.5	V
	CV_{SS}		- 0.5 ~ + 0.5	V
	EV_{SS}		- 0.5 ~ + 0.5	V
	PV_{SS}		- 0.5 ~ + 0.5	V
入力電圧	V_I	下記以外の端子, $EV_{DD} = 2.7 \sim 3.6$ V	- 0.5 ~ $EV_{DD} + 0.5$ ^注	V
クロック入力電圧	V_K	X1, X2端子, $CV_{DD} = 2.7 \sim 3.6$ V	- 0.5 ~ $CV_{DD} + 0.5$ ^注	V
アナログ入力電圧	V_{IAN}	ポート7, 8 (兼用端子含む), $AV_{DD} = 2.7 \sim 3.6$ V	- 0.5 ~ $AV_{DD} + 0.5$ ^注	V
アナログ基準入力電圧	AV_{REF}	AV_{REF} 端子, $AV_{DD} = 2.7 \sim 3.6$ V	- 0.5 ~ $AV_{DD} + 0.5$ ^注	V
ロウ・レベル出力電流	I_{OL}	1端子	4.0	mA
		端子合計	250	mA
ハイ・レベル出力電流	I_{OH}	1端子	- 4.0	mA
		端子合計	- 250	mA
出力電圧	V_O	$EV_{DD} = 2.7 \sim 3.6$ V	- 0.5 ~ $EV_{DD} + 0.5$ ^注	V
動作周囲温度	T_A	通常動作モード	- 10 ~ + 70	
		フラッシュ・メモリ・プログラミング時	- 10 ~ + 70	
保存温度	T_{stg}		- 40 ~ + 125	

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

- 注意1. IC製品の出力 (または入出力) 端子同士を直結したり, V_{DD} または V_{CC} や GND に直結したりしないでください。ただし, オープン・ドレイン端子やオープン・コネクタ端子同士は直結できます。また, ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で, 製品をご使用ください。
- DC特性とAC特性に示す規格や条件が, 製品の正常動作, 品質保証の範囲です。

容量

($T_A = 25\text{ }^\circ\text{C}$, $V_{DD} = AV_{DD} = CV_{DD} = EV_{DD} = PV_{DD} = V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_i	fx = 1 MHz 被測定ピン以外は0 V			10	pF
入出力容量	C_{io}				10	pF
出力容量	C_o				10	pF

動作条件

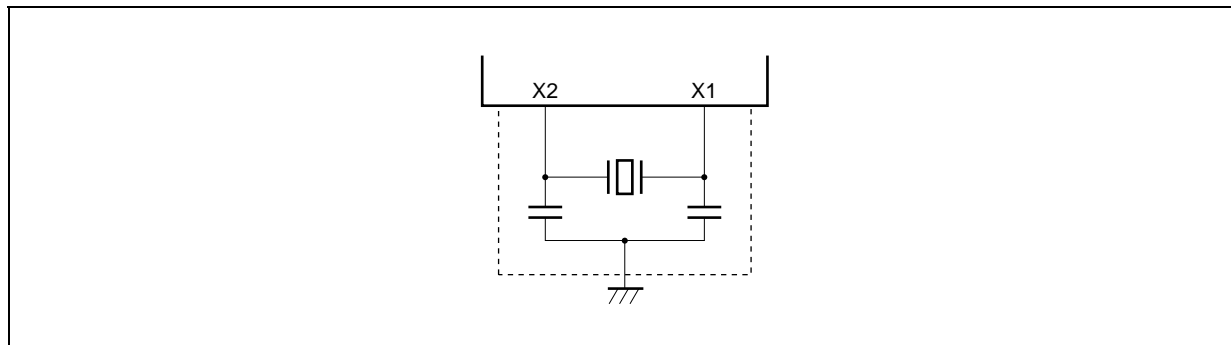
($T_A = -10\text{ }^\circ\text{C} \sim +70\text{ }^\circ\text{C}$, $V_{DD} = 2.3\text{ V} \sim 2.7\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内部システム・クロック 周波数	f_{xx}	PLL : 2通倍モード	20		40	MHz
		PLL : 3通倍モード	21		40.5	MHz
		クロック・スルー・モード	10		20	MHz
CPUクロック周波数	f_{CPU}	PLL : 2通倍モード	2.5		40	MHz
		PLL : 3通倍モード	2.625		40.5	MHz
		クロック・スルー・モード	1.25		20	MHz

推奨発振回路

(1) メイン・クロック発振回路

(a) 推奨, セラミック発振子



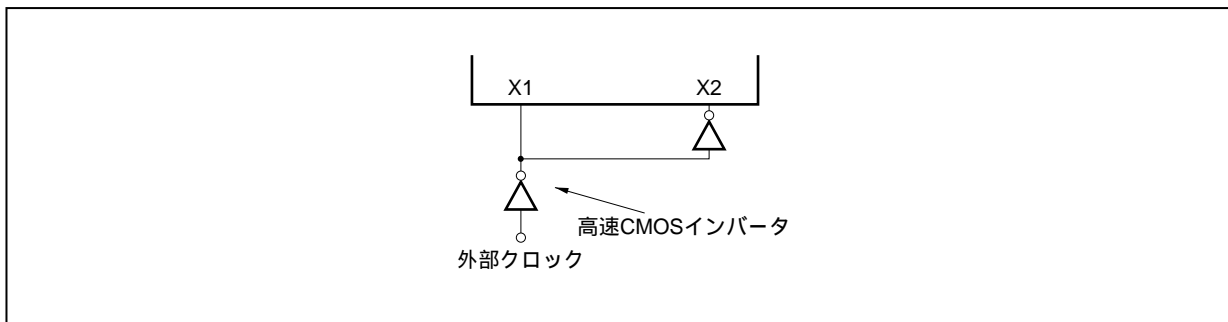
($T_A = -10 \sim +70$, $CV_{DD} = 2.7 \sim 3.6$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
発振周波数	f_x	PLL : 2通倍モード	10		20	MHz
		PLL : 3通倍モード	7		13.5	MHz
		クロック・スルー・モード	10		20	MHz
発振安定時間		ソフトウェアSTOPモード解除時	1	注		ms

注 発振安定時間選択レジスタ (OSTS) の設定値によります。

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
2. 破線の範囲内に他の信号線を通さないでください。
 3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。
 4. 発振波形のデューティ比は、45~55%に収まるようにしてください。

(b) 外部クロック入力



($T_A = -10 \sim +70$, $C_{VDD} = 2.7 \sim 3.6$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	fx	PLL : 2通倍モード	10		20	MHz
		PLL : 3通倍モード	7		13.5	MHz
		クロック・スルー・モード	10		20	MHz

- 注意1. 高速CMOSインバータはX1, X2端子にできるかぎり近づけてください。
2. V850E/SV2と高速CMOSインバータのマッチングについては, 十分な評価を行ってください。
 3. 入力波形のデューティ比は, 45 ~ 55 %に収まるようにしてください。

DC特性

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,

$V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V)

(1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	注1の端子 (CMOS)	$0.7EV_{DD}$		EV_{DD}	V
	V_{IH2}	注2の端子 (シュミット)	$0.8EV_{DD}$		EV_{DD}	V
	V_{IH3}	注3の端子	$0.7AV_{DD}$		AV_{DD}	V
	V_{IH4}	X1端子, X2端子	$0.7CV_{DD}$		CV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	注1の端子 (CMOS)	EV_{SS}		$0.3EV_{DD}$	V
	V_{IL2}	注2の端子 (シュミット)	EV_{SS}		$0.2EV_{DD}$	V
	V_{IL3}	注3の端子	AV_{SS}		$0.3AV_{DD}$	V
	V_{IL4}	X1端子, X2端子	CV_{SS}		$0.3CV_{DD}$	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -100 \mu A$	$EV_{DD} - 0.5$			V
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 3mA$			0.4	V
ハイ・レベル入力リーク電流	I_{LIH1}	$V_i = AV_{DD} = CV_{DD}$	X1, X2以外の端子		5	μA
	I_{LIH2}	$= EV_{DD}$	X1, X2		20	μA
ロウ・レベル入力リーク電流	I_{LIL1}	$V_i = 0$ V	X1, X2以外の端子		- 5	μA
	I_{LIL2}		X1, X2		- 20	μA
ハイ・レベル出力リーク電流	I_{LOH}	$V_O = AV_{DD} = CV_{DD} = EV_{DD}$			5	μA
ロウ・レベル出力リーク電流	I_{LOL}	$V_O = 0$ V			- 5	μA
プルアップ抵抗	R_L		10	30	100	$k\Omega$

- 注1. P20, P23, P30, P32, P35, P40, P43, P46, P47, P90-P915, P110-P117, P130-P137, P140-P147, P150-P155, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDH0-PDH9, PDL0-PDL15 (兼用端子も含まます)
2. P00-P07, P10-P13, P21, P22, P24-P27, P31, P33, P34, P36, P37, P41, P42, P44, P45, P50-P512, P60-P67, P100-P107, P120-P127(兼用端子を含みます), \overline{TRST} , TCK, TMS, TDI, \overline{RESET} , PLLSEL, CKSEL1, MODE0, MODE1, MODEJ
3. P70-P715, P80-P87

DC特性

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,

$V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V)

(2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
内部 電源電流 (V_{DD}, PV_{DD})	μ PD70F3166, μ PD70F3166Y	I _{DD1}	通常動作 ($f_{xx} = 40.5$ MHz)		$1.5 \times f_{xx}$	$2.5 \times f_{xx}$	mA
			全周辺機能動作		61	101	mA
		I _{DD2}	HALTモード ($f_{xx} = 40.5$ MHz)		$0.7 \times f_{xx}$	$1.4 \times f_{xx}$	mA
			全周辺機能動作		28	57	mA
	I _{DD3}	IDLEモード ($f_{xx} = 40.5$ MHz)		$0.13 \times f_{xx}$	$0.21 \times f_{xx}$	mA	
		全周辺機能停止		5	9	mA	
	I _{DD4}	ソフトウェアSTOPモード 全周辺機能停止		8	250	μ A	
	μ PD703166, μ PD703166Y	I _{DD1}	通常動作 ($f_{xx} = 40.5$ MHz)		$1.0 \times f_{xx}$	$1.8 \times f_{xx}$	mA
			全周辺機能動作		41	73	mA
		I _{DD2}	HALTモード ($f_{xx} = 40.5$ MHz)		$0.6 \times f_{xx}$	$1.3 \times f_{xx}$	mA
			全周辺機能動作		24	53	mA
		I _{DD3}	IDLEモード ($f_{xx} = 40.5$ MHz)		$0.13 \times f_{xx}$	$0.21 \times f_{xx}$	mA
全周辺機能停止			5	9	mA		
I _{DD4}	ソフトウェアSTOPモード 全周辺機能停止		7	150	μ A		
CV _{DD} 電源電流	μ PD70F3166, μ PD70F3166Y	Cl _{DD1}	通常動作, HALTモード, IDLEモード		T.B.D.		mA
		Cl _{DD2}	ソフトウェアSTOPモード		T.B.D.		μ A
	μ PD703166, μ PD703166Y	Cl _{DD1}	通常動作, HALTモード, IDLEモード		T.B.D.		mA
		Cl _{DD2}	ソフトウェアSTOPモード		T.B.D.		μ A

注意 TYP.値の V_{DD} は2.5 Vです。出力バッファで消費される電流は含んでいません。

データ保持特性

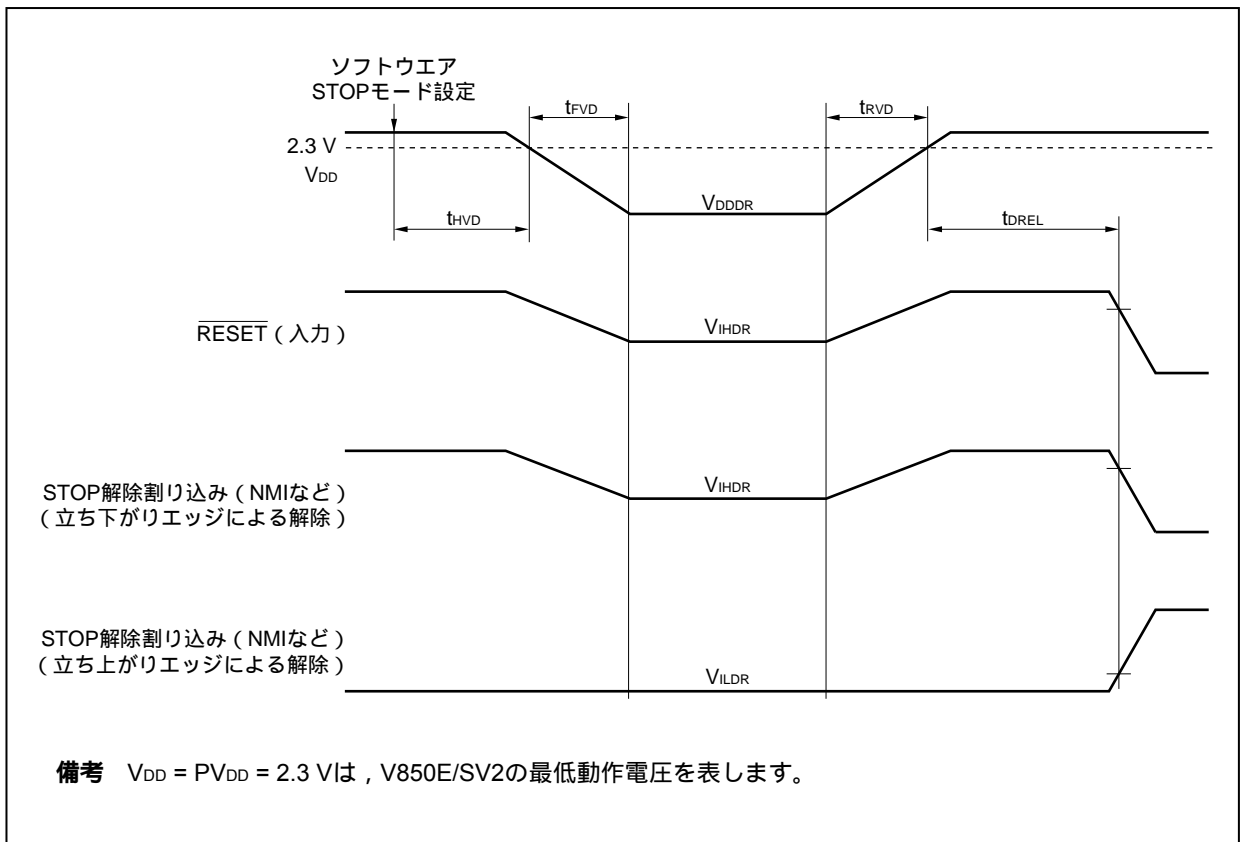
($T_A = -10 \sim +70$, $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
データ保持電圧	V_{DDDR}	ソフトウェア STOPモード ^{注1}	V_{DD}, PV_{DD}	1.8		2.7	V
			$AV_{DD}, CV_{DD}, EV_{DD}$	2.7		3.6	V
データ保持電流	I_{DDDR}	$V_{DDDR} = V_{DD}$	注2		8	250	μA
			注3		7	150	
電源電圧立ち上がり時間	t_{rVD}	V_{DD}, PV_{DD}	200			μs	
電源電圧立ち下がり時間	t_{fVD}	V_{DD}, PV_{DD}	200			μs	
電源電圧保持時間	t_{hVD}	対ソフトウェアSTOPモード	0			s	
ソフトウェアSTOPモード 解除信号入力	t_{dREL}		0			s	
データ保持ハイ・レベル 入力電圧	V_{IHDR}	全入力ポート	V_{IHn}		EV_{DD}	V	
データ保持ロウ・レベル 入力電圧	V_{ILDR}	全入力ポート	EV_{SS}		V_{ILn}	V	

注意1. ソフトウェアSTOPモードへの移行, およびソフトウェアSTOPモードからの復帰は,

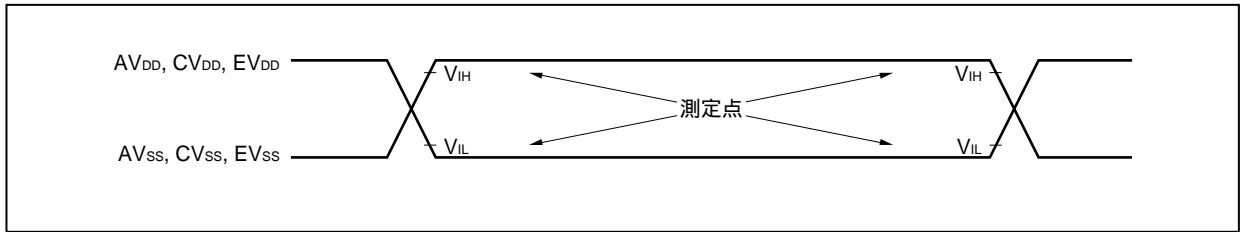
$V_{DD} = PV_{DD} = 2.3V$ 以上 ($AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6V$) で行ってください。

2. $\mu PD70F3166, 70F3166Y$
3. $\mu PD703166, 703166Y$

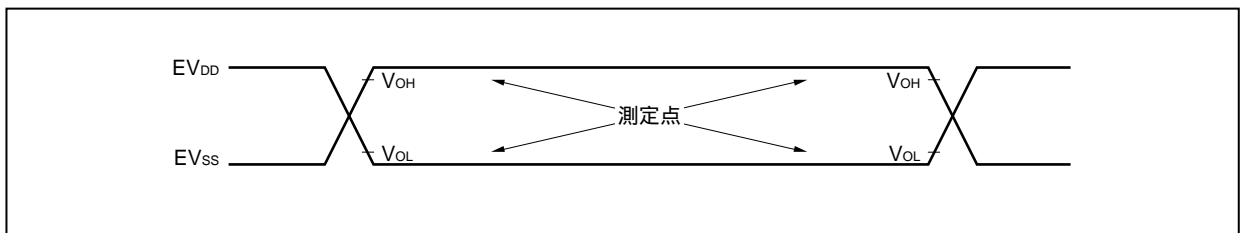


AC特性

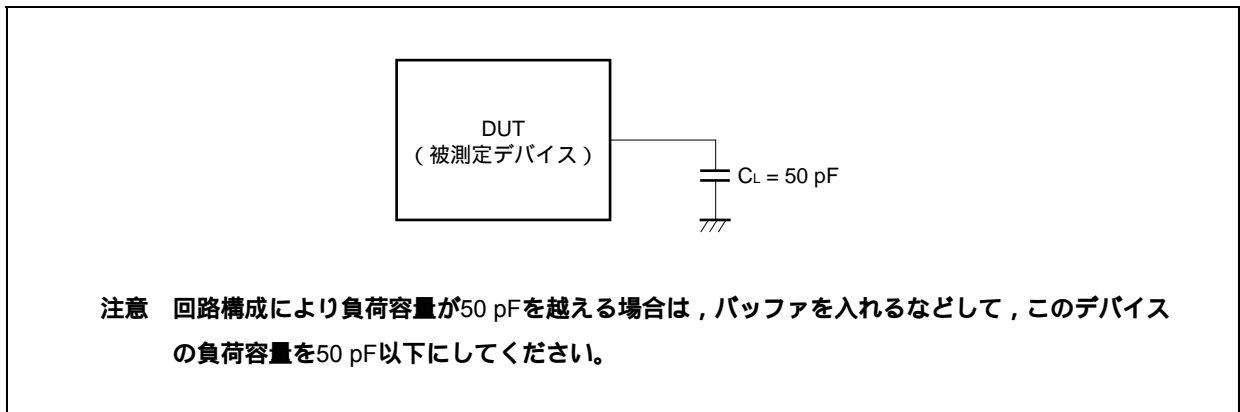
ACテスト入力波形



ACテスト出力波形



負荷条件



クロック・タイミング

X1, X2外部クロック入力タイミング

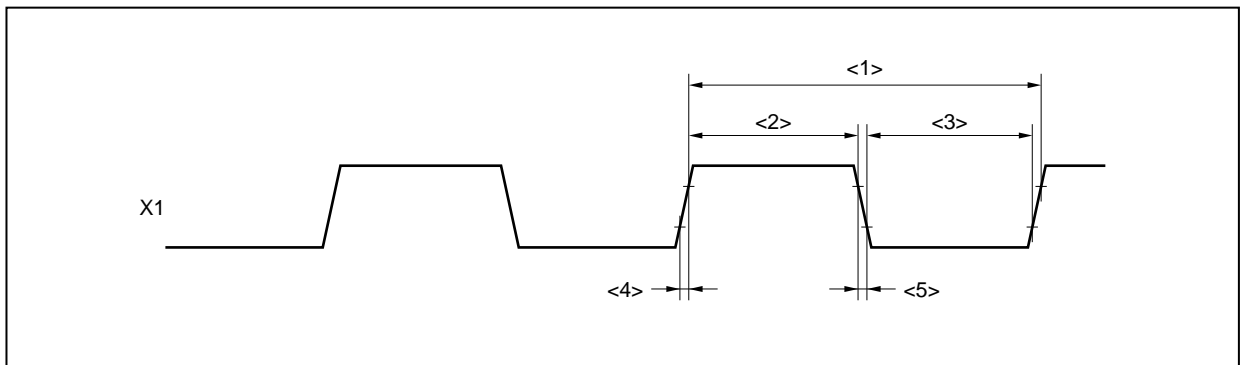
($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,
 $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
入力周期	t_{CYX}	<1> PLL : 2逓倍モード	50	100	ns
		PLL : 3逓倍モード	74.1	142.8	ns
		クロック・スルー・モード	50	100	ns
ハイ・レベル幅	t_{WXH}	<2> PLL : 2逓倍モード	22.5		ns
		PLL : 3逓倍モード	33.4		ns
		クロック・スルー・モード	22.5		ns
ロウ・レベル幅	t_{WXL}	<3> PLL : 2逓倍モード	22.5		ns
		PLL : 3逓倍モード	33.4		ns
		クロック・スルー・モード	22.5		ns
立ち上がり時間	t_{XR}	<4>		0.5 ($t_{CYX} - t_{WXH} - t_{WXL}$)	ns
立ち下がり時間	t_{XF}	<5>		0.5 ($t_{CYX} - t_{WXH} - t_{WXL}$)	ns

注意 デューティ比は45~55 %に収めてください。

備考 $t_{WXH} (MIN.) = t_{WXL} (MIN.) = t_{CYX} (MIN.) \times 45 \%$

外部クロック入力タイミング図



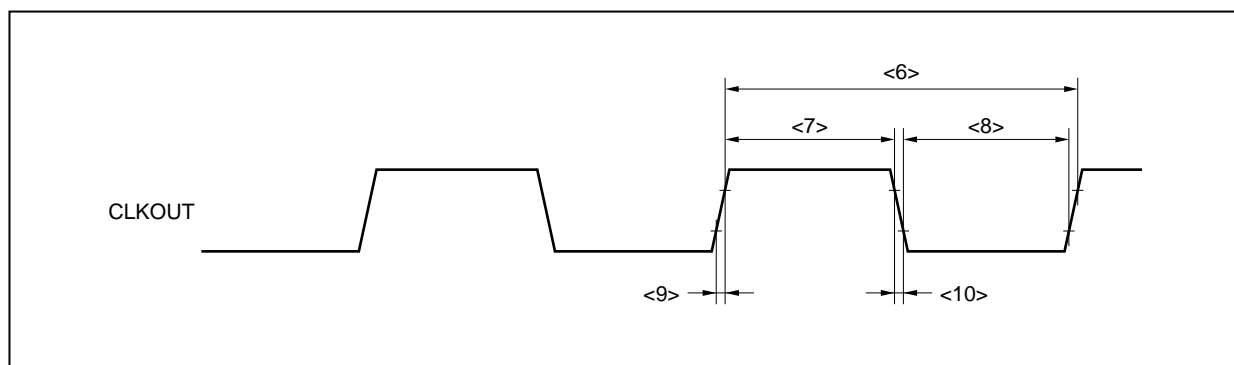
CLKOUT出力タイミング

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,
 $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	<6> PLL : 2通倍モード	25	800	ns
		PLL : 3通倍モード	24.7	761.9	ns
		クロックスルー・モード	50	1600	ns
ハイ・レベル幅	t_{WKH}	<7>	$0.4t_{CYK} - 10$		ns
ロウ・レベル幅	t_{WKL}	<8>	$0.4t_{CYK} - 10$		ns
立ち上がり時間	t_{KR}	<9>		10	ns
立ち下がり時間	t_{KF}	<10>		10	ns

備考 $t_{WKH} (MIN.) = t_{WKL} (MIN.) = t_{CYK} (MIN.) \times 40 \% - t_{KR} (MIN.) \times 40 \% - t_{KF} (MAX.)$
 デューティ比は40~60%の範囲になります。

CLKOUT出力タイミング図



CLO出力タイミング

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,
 $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

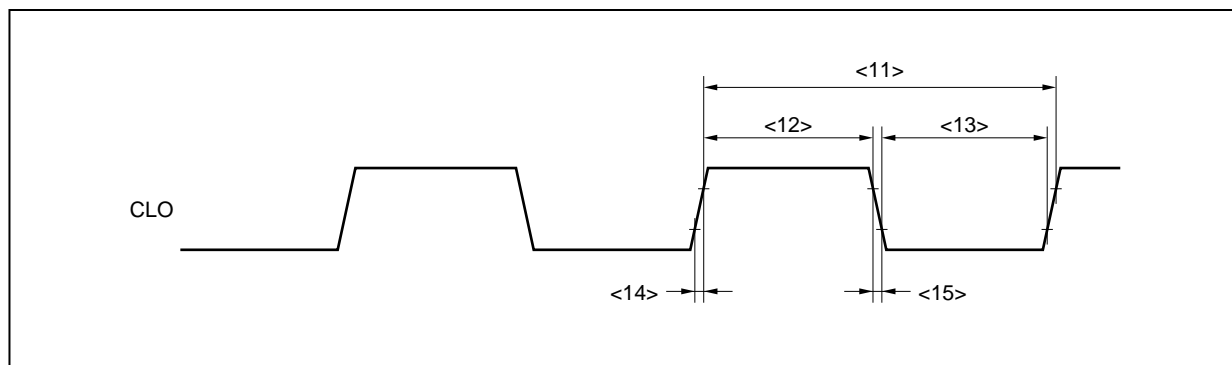
項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK2}	<11> PLL : 2逓倍モード	50	800	ns
		PLL : 3逓倍モード	49.4	761.9	ns
		クロックスルー・モード	100	1600	ns
ハイ・レベル幅	t_{WKH2}	<12>	$0.4t_{CYK2} - 10$		ns
ロウ・レベル幅	t_{WKL2}	<13>	$0.4t_{CYK2} - 10$		ns
立ち上がり時間	t_{KR2}	<14>		10	ns
立ち下がり時間	t_{KF2}	<15>		10	ns

備考 $t_{WKH2} (MIN.) = t_{WKL2} (MIN.)$

$$= t_{CYK2} (MIN.) \times 40 \% - t_{KR2} (MIN.) \times 40 \% - t_{KF2} (MAX.)$$

デューティ比は40 ~ 60 %の範囲になります。

CLO出力タイミング図

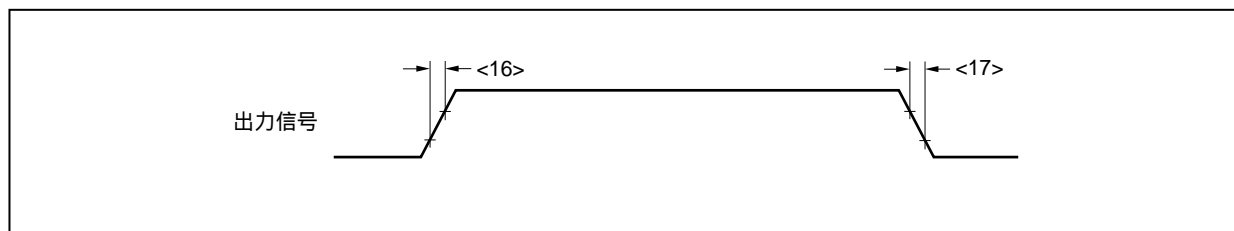


出力信号のタイミング (外部バス・インタフェース端子を除く)

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,
 $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
立ち上がり時間	t_{oR}	<16>		10	ns
立ち下がり時間	t_{oF}	<17>		10	ns

出力信号タイミング図



バス・タイミング

CLKOUT非同期

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,

$V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	t_{SAST}	<18>	0.5T - 16		ns
アドレス保持時間 (対ASTB)	t_{HSTA}	<19>	0.5T - 16		ns
\overline{WR} アドレス・フロート遅延時間	t_{FRDA}	<20>		11	ns
アドレス データ入力設定時間	t_{SAID}	<21>		(2+n)T - 40	ns
\overline{RD} データ入力設定時間	t_{SRDID}	<22>		(1+n)T - 40	ns
ASTB \overline{RD} , \overline{WR} 遅延時間	t_{DSTRW}	<23>	0.5T - 15		ns
データ入力保持時間 (対 \overline{RD})	t_{HRDID}	<24>	0		ns
\overline{RD} アドレス出力時間	t_{DRDA}	<25>	(1+i)T - 15		ns
\overline{RD} , \overline{WR} ASTB 遅延時間	t_{DRWST}	<26>	0.5T - 15		ns
\overline{RD} ASTB 遅延時間	t_{DRDST}	<27>	(1.5+i)T - 15		ns
\overline{RD} , \overline{WR} ロウ・レベル幅	t_{WRWL}	<28>	(1+n)T - 22		ns
ASTB ハイ・レベル幅	t_{WSTH}	<29>	T - 15		ns
\overline{WR} データ出力時間	t_{DWROD}	<30>		10	ns
データ出力設定時間 (対 \overline{WR})	t_{SODWR}	<31>	(1+n)T - 25		ns
データ出力保持時間 (対 \overline{WR})	t_{HWROD}	<32>	T - 20		ns
WAIT設定時間 (対アドレス)	t_{SAWT1}	<33>	n 1	1.5T - 40	ns
	t_{SAWT2}	<34>		(1.5+n)T - 40	ns
WAIT保持時間 (対アドレス)	t_{HAWT1}	<35>	n 1	(0.5+n)T	ns
	t_{HAWT2}	<36>		(1.5+n)T	ns
WAIT設定時間 (対ASTB)	t_{SSTWT1}	<37>		T - 32	ns
	t_{SSTWT2}	<38>		(1+n)T - 32	ns
WAIT保持時間 (対ASTB)	t_{HSTWT1}	<39>		nT	ns
	t_{HSTWT2}	<40>		(1+n)T	ns
HLDQRQハイ・レベル幅	t_{WHQH}	<41>	T + 10		ns
HLDQRQロウ・レベル幅	t_{WHAL}	<42>	T - 15		ns
HLDQRQ バス出力遅延時間	t_{DHAC}	<43>	- 7		ns
HLDQRQ HLDQRQ 遅延時間	t_{DHQHA1}	<44>	2T		ns
HLDQRQ HLDQRQ 遅延時間	t_{DHQHA2}	<45>	0.5T	1.5T + 30	ns

備考1. $T = 1/f_{DV}$ (f_{DV} : 外部バス用基本クロック周波数)

2. n: バス・サイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わる。

3. i: リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

4. 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値。

CLKOUT同期

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,

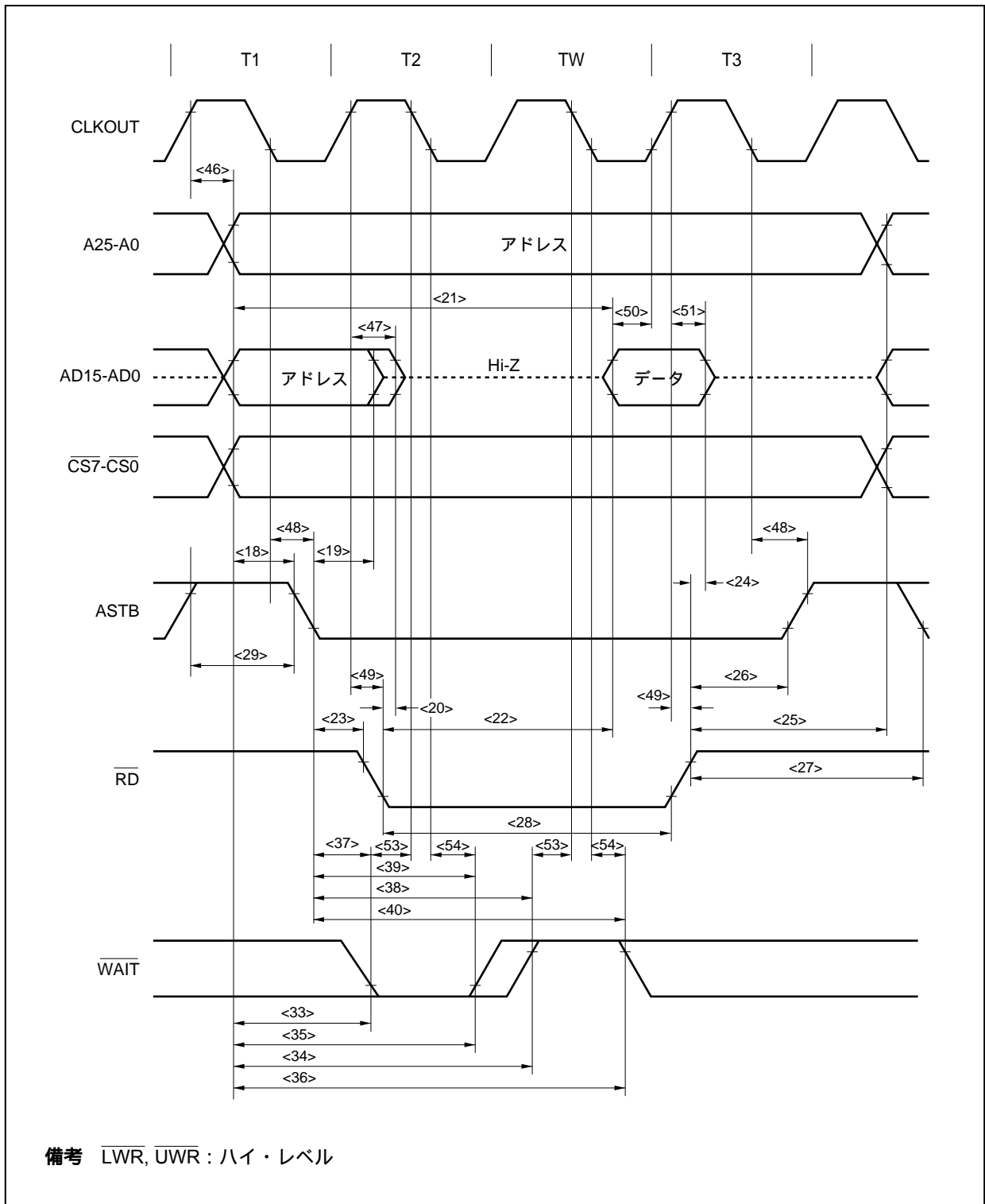
$V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t _{DKA}	<46>	- 7	19	ns
CLKOUT アドレス・フロート遅延時間	t _{FKA}	<47>	- 12	15	ns
CLKOUT ASTB遅延時間	t _{DKST}	<48>	- 3	19	ns
CLKOUT RD, WR遅延時間	t _{DKRW}	<49>	- 5	19	ns
データ入力設定時間 (対CLKOUT)	t _{SIDK}	<50>	21		ns
データ入力保持時間 (対CLKOUT)	t _{HKID}	<51>	5		ns
CLKOUT データ出力遅延時間	t _{DKOD}	<52>		19	ns
WAIT設定時間 (対CLKOUT)	t _{SWTK}	<53>	21		ns
WAIT保持時間 (対CLKOUT)	t _{HKWT}	<54>	5		ns
HLDQR設定時間 (対CLKOUT)	t _{SHQK}	<55>	21		ns
HLDQR保持時間 (対CLKOUT)	t _{HKHQ}	<56>	5		ns
CLKOUT バス・フロート遅延時間	t _{DKF}	<57>		19	ns
CLKOUT HLDAR遅延時間	t _{DKHA}	<58>		19	ns

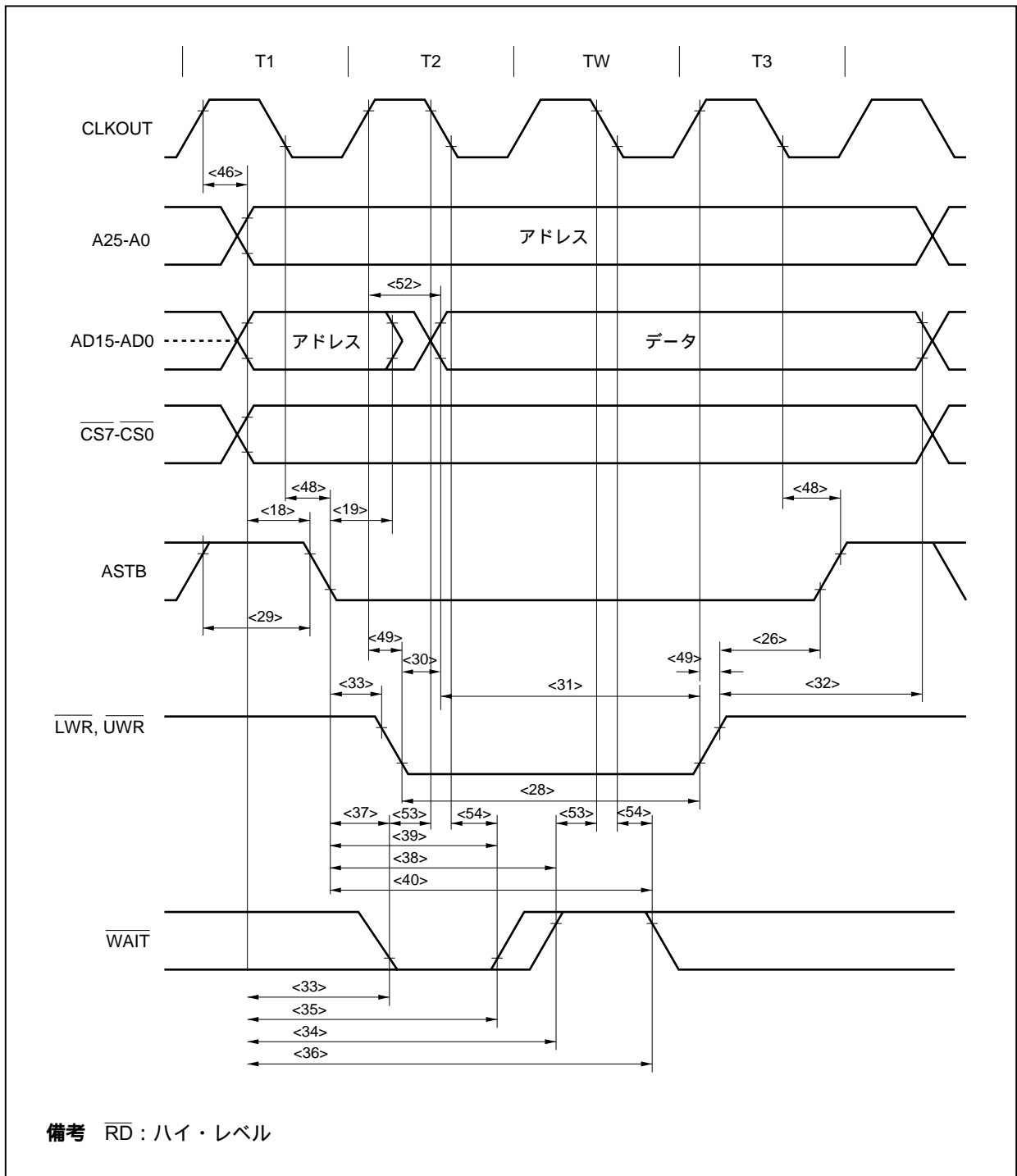
備考 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値。

バス・タイミング図

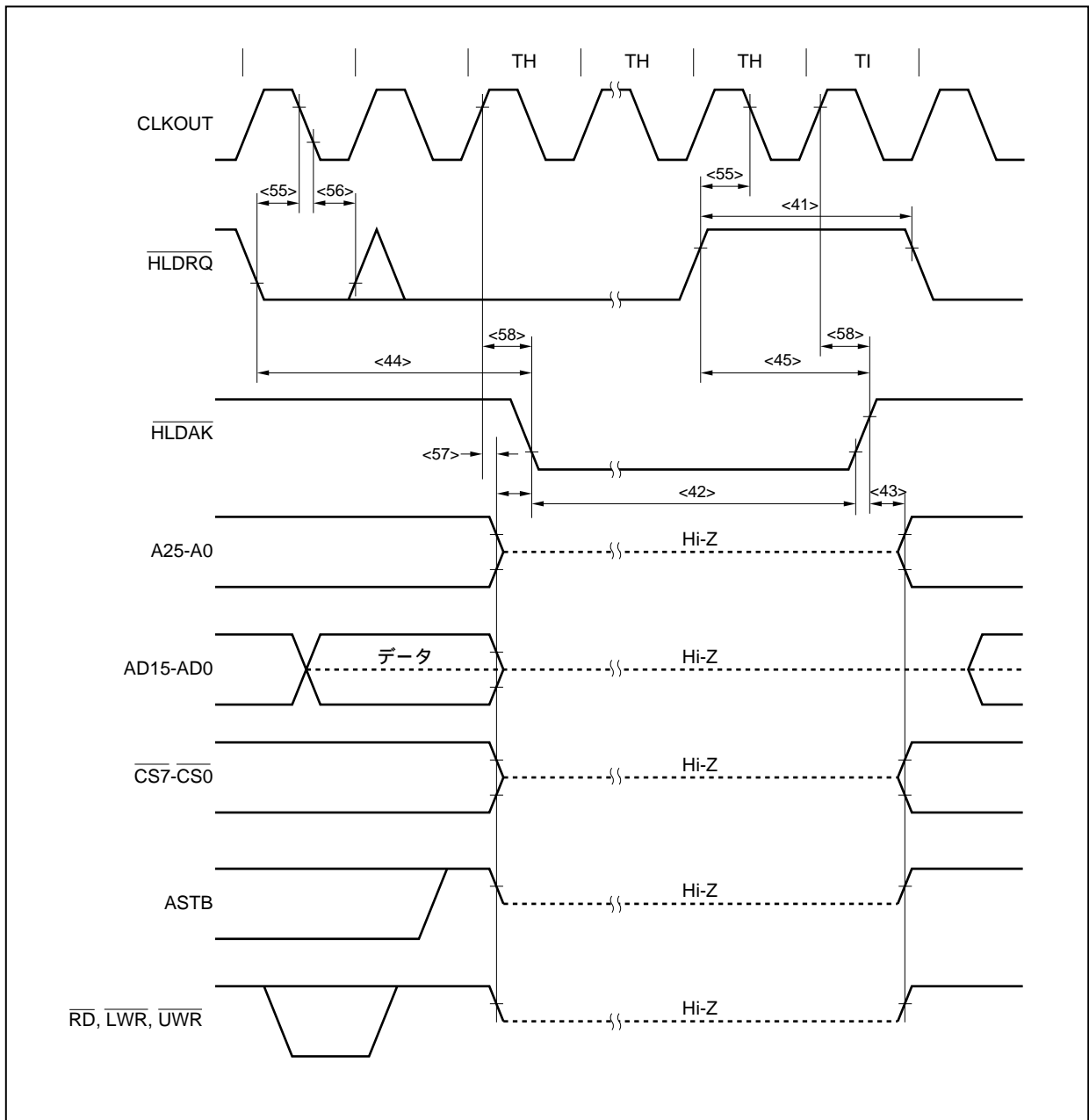
(1) リード・サイクル (CLKOUT非同期/同期, 1ウエイト)



(2) ライト・サイクル



(3) バス・ホールド



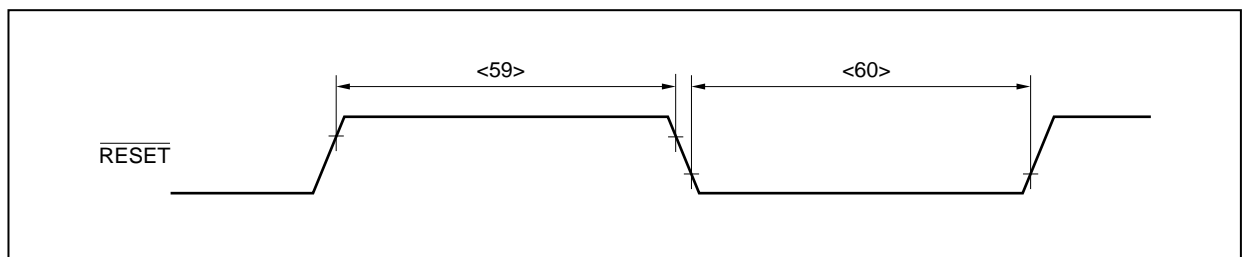
リセット / 外部割り込みタイミング

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,
 $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

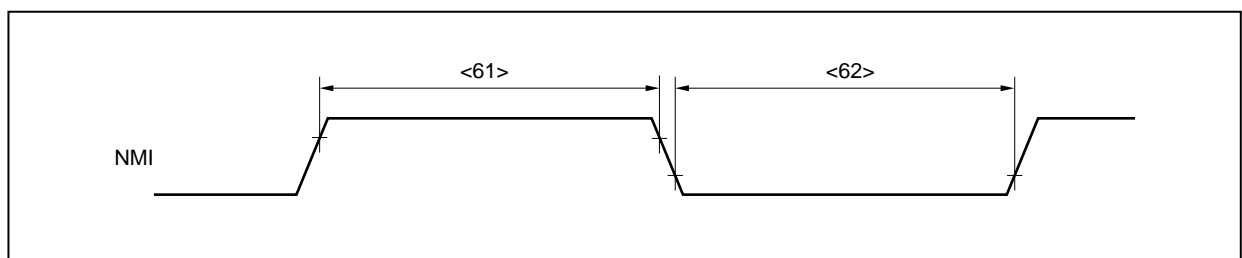
項目	略号	条件	MIN.	MAX.	単位
RESETハイ・レベル幅	t_{WRSH}	<59> フラッシュ消去 / 書き込み中	1500		ns
		上記以外	500		ns
RESETロウ・レベル幅	t_{WRSL}	<60> フラッシュ消去 / 書き込み中	1500		ns
		上記以外	500		ns
NMIハイ・レベル幅	t_{WNIH}	<61>	500		ns
NMIロウ・レベル幅	t_{WNIL}	<62>	500		ns
INTPnハイ・レベル幅	t_{WITH}	<63>	500		ns
INTPnロウ・レベル幅	t_{WITL}	<64>	500		ns

備考 n = 0-10

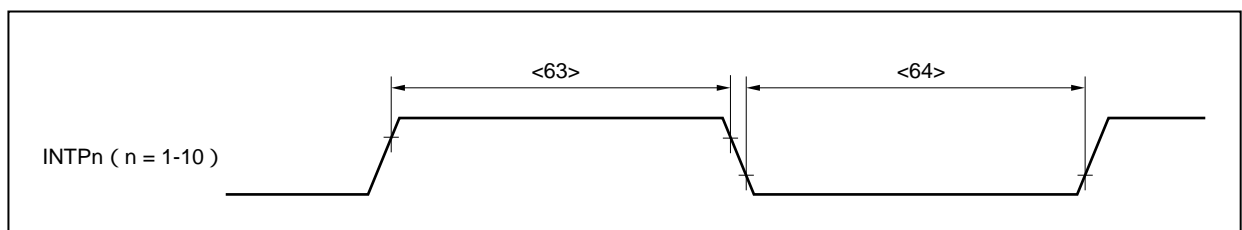
リセット入力タイミング



NMI入力タイミング図



外部割り込み (INTPn) 入力タイミング図



タイマ入力タイミング

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,
 $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

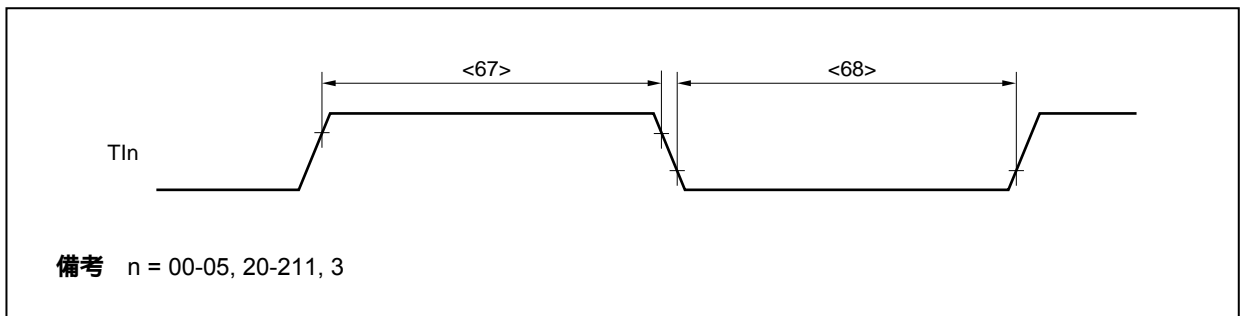
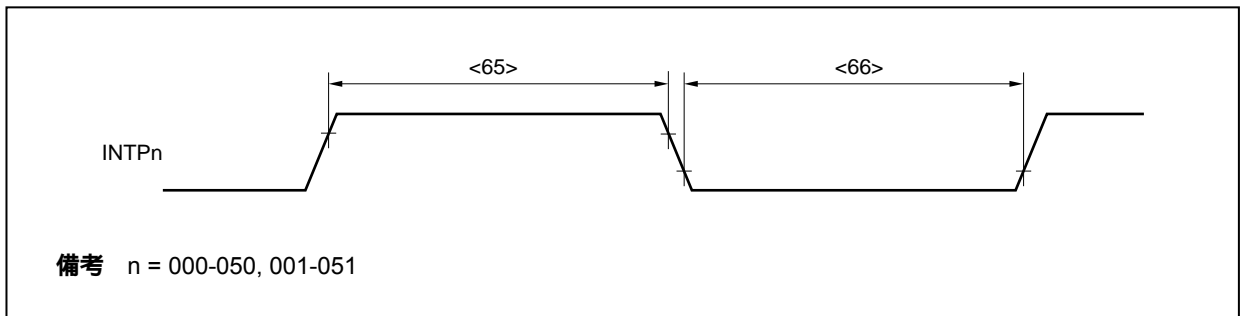
項目	略号	条件	MIN.	MAX.	単位
INTPnハイ・レベル幅	t_{WITnHn}	<65> n = 000-050, 001-051 (TM0)	$2T + 20$		ns
INTPnロウ・レベル幅	t_{WITnLn}	<66> n = 000-050, 001-051 (TM0)	$2T + 20$		ns
TInハイ・レベル幅	t_{WTIHn}	<67> n = 00-05 (TM0)	$2T + 20$		ns
TInロウ・レベル幅	t_{WTILn}	<68> n = 00-05 (TM0)	$2T + 20$		ns
TCLRnハイ・レベル幅	t_{WTCHn}	<69> n = 00-05 (TM0)	$2T + 20$		ns
TCLRnロウ・レベル幅	t_{WTCLn}	<70> n = 00-05 (TM0)	$2T + 20$		ns
TInハイ・レベル幅	t_{WTIHn}	<67> n = 20-211 (TM2)	40		ns
TInロウ・レベル幅	t_{WTILn}	<68> n = 20-211 (TM2)	40		ns
ICPハイ・レベル幅	t_{WICHn}	<71> n = 30-311 (TM3)	$2T_{sam} + 20$		ns
ICPロウ・レベル幅	t_{WICLn}	<72> n = 30-311 (TM3)	$2T_{sam} + 20$		ns
TInハイ・レベル幅	t_{WTIHn}	<67> n = 3 (TM3)	$2T + 20$		ns
TInロウ・レベル幅	t_{WTILn}	<68> n = 3 (TM3)	$2T + 20$		ns

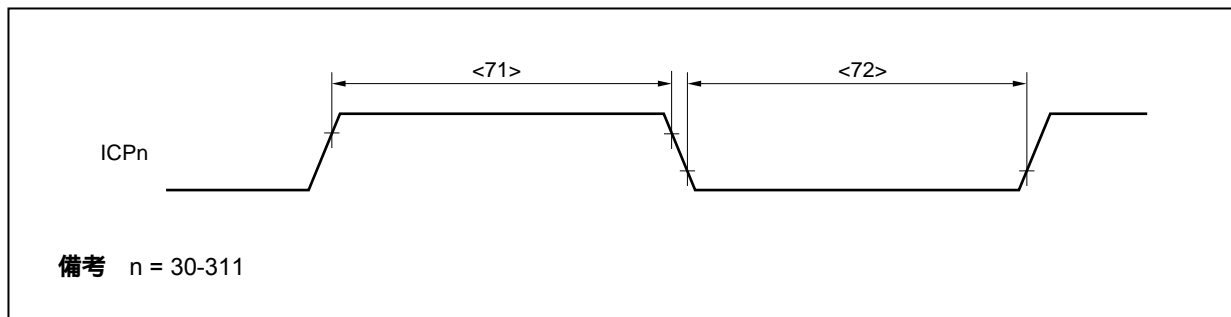
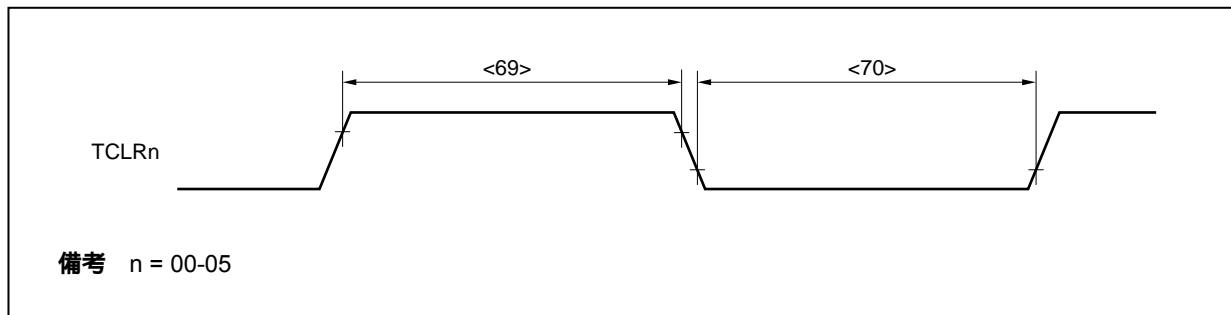
備考1. $T = 1/f_{xx}$

- T_{sam} は、32ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) のPRM33-PRM30ビットにより選択されたクロックになります。

$T_{sam} = T, 2T, 4T, 8T$ ($T = 4 \sim 27$ MHz) , TI3入力周期

タイマ入力タイミング図





クロック同期式シリアル・インタフェース・タイミング

マスタ・モード

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,
 $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
\overline{SCKn} サイクル・タイム	t_{kCY1}	<73>	197.6		ns
\overline{SCKn} ハイ・レベル幅	t_{kH1}	<74> $0.5 t_{kCY1} - 10$	88.8		ns
\overline{SCKn} ロウ・レベル幅	t_{kL1}	<75> $0.5 t_{kCY1} - 10$	88.8		ns
SIn セットアップ時間 (対 \overline{SCKn})	t_{sIK1}	<76>	30		ns
SIn ホールド時間 (対 \overline{SCKn})	t_{kSI1}	<77>	30		ns
\overline{SCKn} SOn 出力遅延時間	t_{kSO1}	<78>		30	ns

備考 n = 0-3

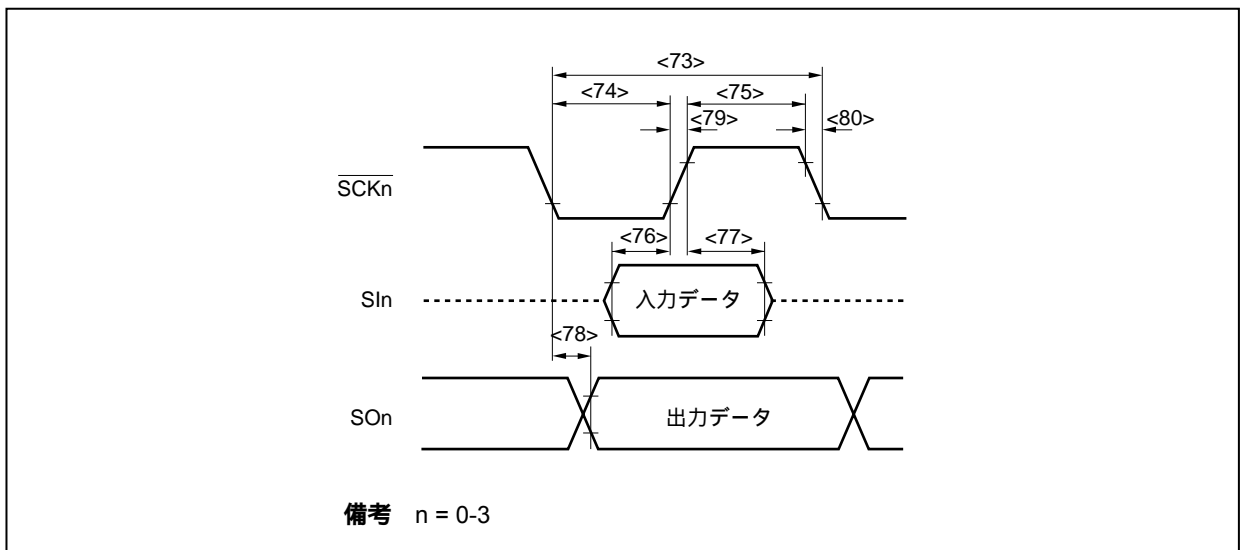
スレーブ・モード

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,
 $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
\overline{SCKn} サイクル・タイム	t_{kCY2}	<73>	200		ns
\overline{SCKn} ハイ・レベル幅	t_{kH2}	<74> $0.5 t_{kCY2} - 10$	90		ns
\overline{SCKn} ロウ・レベル幅	t_{kL2}	<75> $0.5 t_{kCY2} - 10$	90		ns
\overline{SCKn} 立ち上がり時間	t_{r2}	<79>		50	ns
\overline{SCKn} 立ち下がり時間	t_{f2}	<80>		50	ns
SIn セットアップ時間 (対 \overline{SCKn})	t_{sIK2}	<76>	50		ns
SIn ホールド時間 (対 \overline{SCKn})	t_{kSI2}	<77>	50		ns
\overline{SCKn} SOn 出力遅延時間	t_{kSO2}	<78>		50	ns

備考 n = 0-3

クロック同期式シリアル・インタフェース・タイミング図



自動送受信機能付きクロック同期式シリアル・インタフェース・タイミング

マスタ・モード

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,
 $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
SCKAnサイクル時間	t _{KCYA1}	<81>	148.2		ns
SCKAnハイ・レベル幅	t _{KHA1}	<82>	0.5 t _{KCYA1} - 10	64.0	ns
SCKAnロウ・レベル幅	t _{KLA1}	<83>	0.5 t _{KCYA1} - 10	64.0	ns
SIA \overline{n} セットアップ時間 (対SCKAn)	t _{SIKA1}	<84>	30		ns
SIA \overline{n} ホールド時間 (対SCKAn)	t _{KSIA1}	<85>	30		ns
SCKAn SOAn出力遅延時間	t _{KSOA1}	<86>		30	ns

備考 n = 0-3

スレーブ・モード

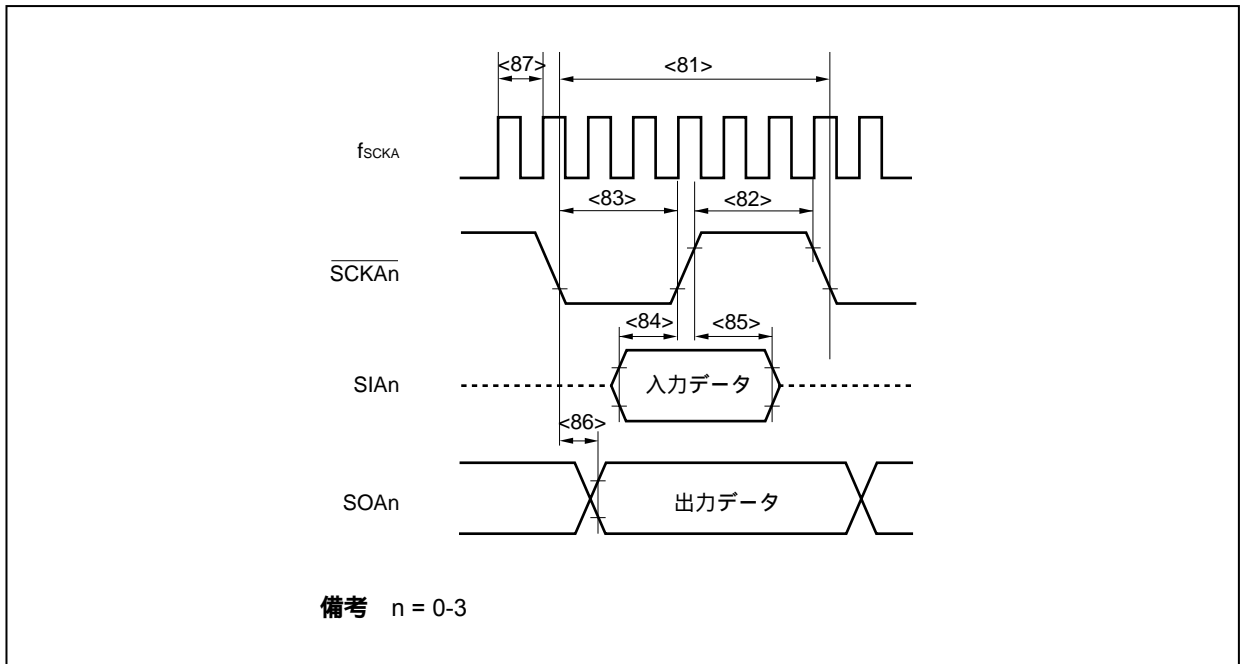
($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,
 $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
入力クロック・サイクル時間	t _{CYA}	<87>	注	24.7	ns
SCKAnサイクル時間	t _{KCYA2}	<81>	10 × t _{CYA}	247.0	ns
SCKAnハイ・レベル幅	t _{KHA2}	<82>	0.5 t _{KCY2} - 10	113.5	ns
SCKAnロウ・レベル幅	t _{KLA2}	<83>	0.5 t _{KCY2} - 10	113.5	ns
SIA \overline{n} セットアップ時間 (対SCKAn)	t _{SIKA2}	<84>		50	ns
SIA \overline{n} ホールド時間 (対SCKAn)	t _{KSIA2}	<85>		50	ns
SCKAn SOAn出力遅延時間	t _{KSOA2}	<86>	t _{CYA} × 2 + 30	79.4	ns

注 シリアル・ステータス・レジスタAn (CSISAn) のCKSAn1, CKSAn0ビットの設定値 (f_{SCKA})

備考 n = 0-3

自動送受信機能付きクロック同期式シリアル・インタフェース・タイミング図



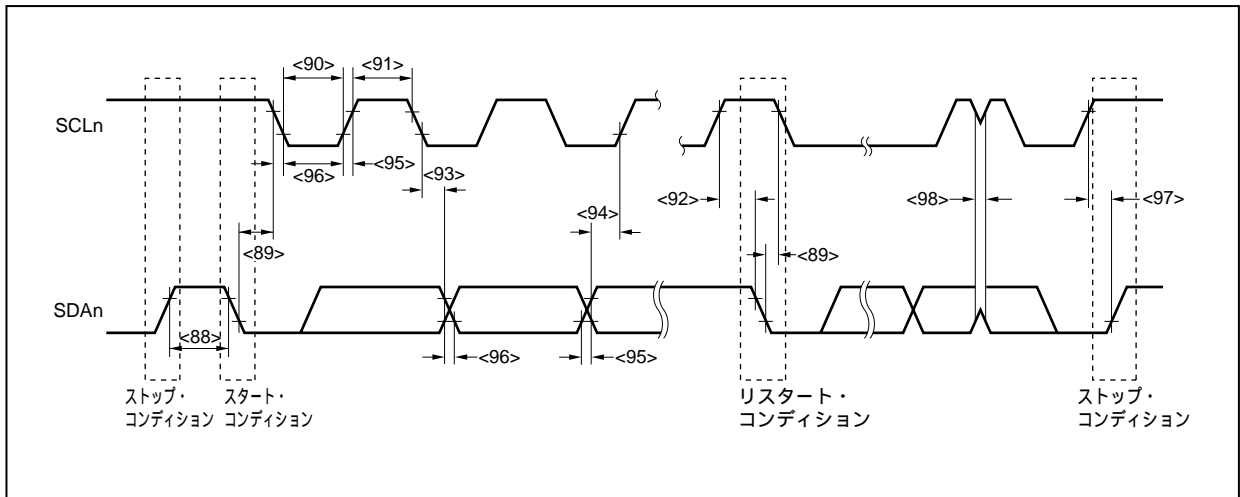
I²Cバス・モード (μ PD703166Y, 70F3166Yのみ)

(T_A = -10 ~ +70 , V_{DD} = PV_{DD} = 2.3 ~ 2.7 V, AV_{DD} = CV_{DD} = EV_{DD} = 2.7 ~ 3.6 V,
V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0 V, C_L = 50 pF)

項目	略号		標準モード		高速モード		単位	
			MIN.	MAX.	MIN.	MAX.		
SCLクロック周波数	f _{CLK}		0	100	0	400	ns	
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<88>	4.7	-	1.3	-	μs	
ホールド時間 ^{注1}	t _{HD : STA}	<89>	4.0	-	0.6	-	μs	
SCLnクロックのロウ・レベル幅	t _{LOW}	<90>	4.7	-	1.3	-	μs	
SCLnクロックのハイ・レベル幅	t _{HIGH}	<91>	4.0	-	0.6	-	μs	
スタート/リスタート・コンディションのセットアップ時間	t _{SU : STA}	<92>	4.7	-	0.6	-	μs	
データ・ホールド時間	CBUS互換マスタの場合 I ² Cバス・モードの場合	t _{HD : DAT}	<93>	5.0	-	-	-	μs
				0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU : DAT}	<94>	250	-	100 ^{注4}	-	ns	
SDAおよびSCL信号の立ち上がり時間	t _R	<95>	-	1000	20 + 0.1Cb ^{注5}	300	ns	
SDAおよびSCL信号の立ち下がり時間	t _F	<96>	-	300	20 + 0.1Cb ^{注5}	300	ns	
ストップ・コンディションのセットアップ時間	t _{SU : STO}	<97>	4.0	-	0.6	-	μs	
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<98>	-	-	0	50	ns	
各バス・ラインの容量性負荷	Cb		-	400	-	400	pF	

- 注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。
- 装置は、SCL信号の立ち下がり端の未定義領域を埋めるために (SCL信号のV_{IHmin}.での) SDA信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
 - 装置がSCLn信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD : DAT}) のみ満たすことが必要です。
 - 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。
 - 装置がSCL信号のロウ状態ホールド時間を延長しない場合
t_{SU : DAT} 250 ns
 - 装置がSCL信号のロウ状態ホールド時間を延長する場合
SCLラインが解放される (t_{Rmax.} + t_{SU : DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDAラインに送出してください。
 - C_b : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

I²Cバス・モード (μPD703166Y, 70F3166Yのみ)



A/Dコンバータ特性

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,

$V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $CL = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能				10		bit
総合誤差 ^{注1}		$AV_{REF} = 2.7 \sim 3.6$ V			± 0.5	%FSR
変換時間	T_{CONV}	3.0 V AV_{DD} 3.6 V	2		10	μ s
		2.7 V AV_{DD} 3.0 V	3		10	μ s
ゼロスケール誤差 ^{注1}					± 0.4	%FSR
フルスケール誤差 ^{注1}					± 0.4	%FSR
積分直線性誤差 ^{注2}					± 4.0	LSB
微分直線性誤差 ^{注2}					± 4.0	LSB
アナログ基準電圧	AV_{REF}	$AV_{REF} = AV_{DD}$	2.7		3.6	V
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF}	V
AV_{REF} 電流	AI_{REF}	通常動作モード時		1.5	T.B.D.	mA
A/Dコンバータ電源電流	AI_{DD}	通常動作モード時		2	T.B.D.	mA
	AI_{DDS}	ソフトウェアSTOPモード時 ^{注3}		10	T.B.D.	μ A

注1. 量子化誤差 (± 0.05 %FSR) は含みません。

2. 量子化誤差 (± 0.5 LSB) は含みません。

3. AV_{DD} 電源電流以外に AV_{REF} 電流も含まれます。また、ソフトウェアSTOPモードに設定する前に、A/Dコンバータの動作を停止 (A/Dコンバータ・モード・レジスタ0 (ADM0) のADCEビット = 0) にしてください。

備考 FSR : Full Scale Range

LSB : Least Significant Bit

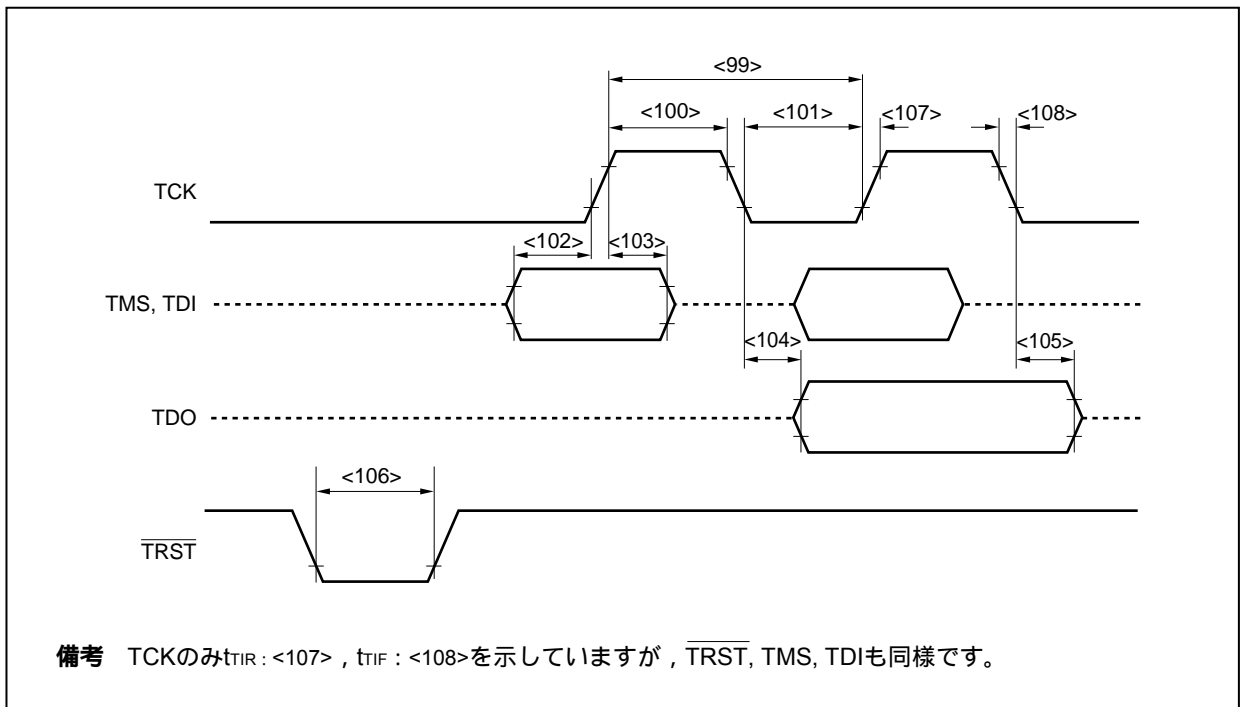
JTAGインタフェース・タイミング

バウンダリ・スキャン・インタフェース・タイミング

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,
 $V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
TCKサイクル・タイム	t_{TCKW}	<99>	T.B.D.		ns
TCKハイ・レベル幅	t_{TCKWH}	<100>	T.B.D.		ns
TCKロウ・レベル幅	t_{TCKWL}	<101>	T.B.D.		ns
TMS, TDIセットアップ時間 (対 TCK)	t_{TISU}	<102>	T.B.D.		ns
TMS, TDIホールド時間 (対 TCK)	t_{TIH}	<103>	T.B.D.		ns
TDO出力遅延時間 (対 TCK)	t_{TDODE}	<104>		T.B.D.	ns
TDO出力ディスエーブル 時間 (対 TCK)	t_{TDODI}	<105>		T.B.D.	ns
\overline{TRST} ロウ・レベル幅	t_{TRSTWL}	<106>	T.B.D.		ns
\overline{TRST} , TCK, TMS, TDI 入力立ち上がり時間	t_{TIR}	<107>		T.B.D.	ns
\overline{TRST} , TCK, TMS, TDI 入力立ち下がり時間	t_{TIF}	<108>		T.B.D.	ns

バウンダリ・スキャン・インタフェース・タイミング図



フラッシュ・メモリ・プログラミング・モード (μ PD70F3166, 70F3166Y)

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,

$V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き換え回数	Cerwr			100		回

注意 出荷品に対する初回書き込み時, 「書き込みのみ」の場合も書き換え1回となります。

例 P: 書き込み, E: 消去

出荷品 P E P E P: 書き換え回数3回

出荷品 E P E P E P: 書き換え回数3回

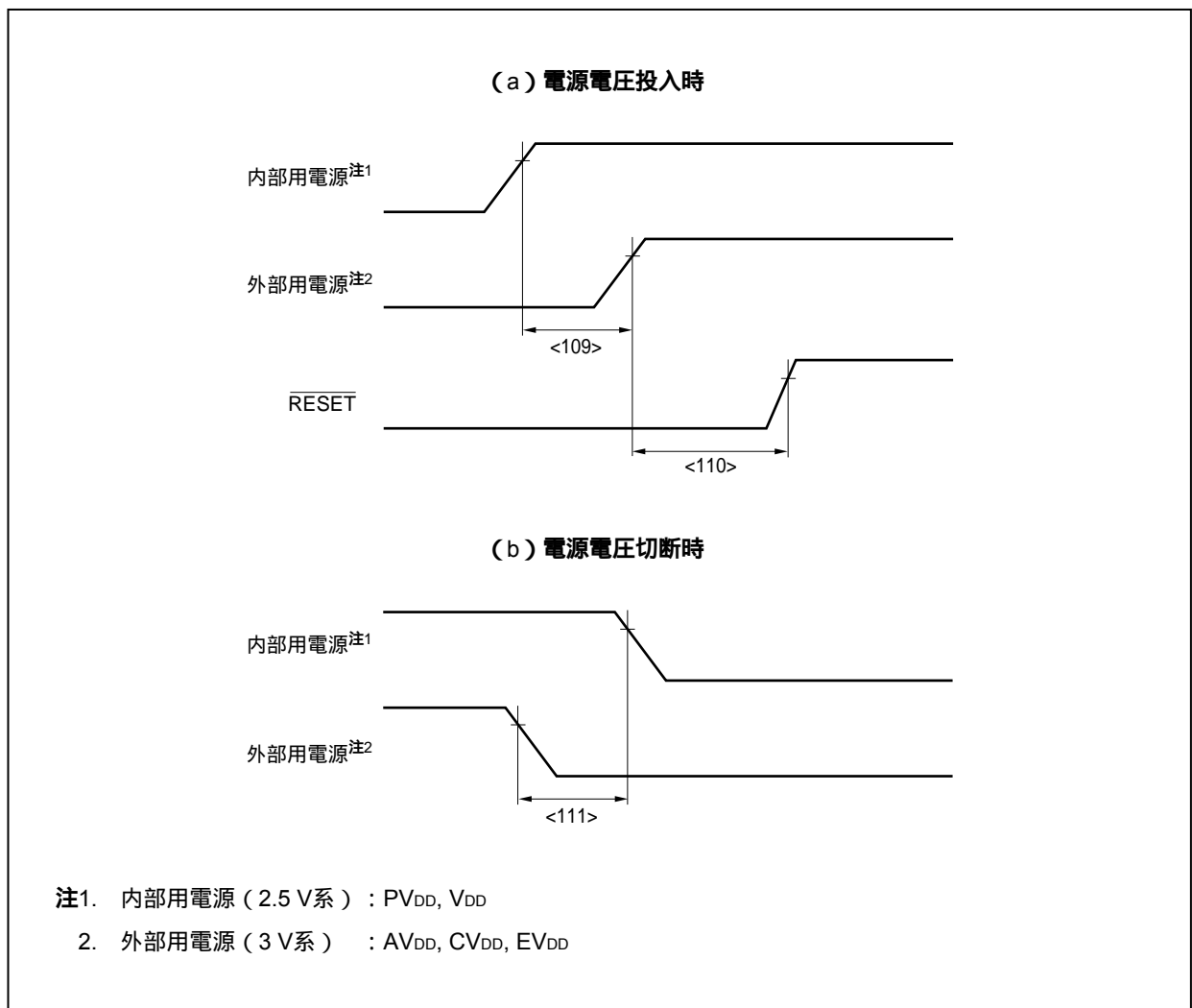
電源電圧投入 / 切断タイミング

($T_A = -10 \sim +70$, $V_{DD} = PV_{DD} = 2.3 \sim 2.7$ V, $AV_{DD} = CV_{DD} = EV_{DD} = 2.7 \sim 3.6$ V,

$V_{SS} = AV_{SS} = CV_{SS} = EV_{SS} = PV_{SS} = 0$ V, $C_L = 50$ pF)

項目	略号	条件	MIN.	MAX.	単位
内部用電源立ち上がり 外部用電源立ち上がり遅延時間	t_{DVIE}	<109>	0		ns
外部用電源立ち上がり \overline{RESET} 遅延時間	t_{DVER}	<110>	$T_{osc} + 1$		ms
外部用電源立ち上がり 内部用電源立ち上がり遅延時間	t_{DVEI}	<111>	0		ns

備考 T_{osc} : メイン・クロック発振機の発振安定時間 (使用する発振子, または発振器により異なります)



付録A レジスタ索引

(1/14)

略号	名称	ユニット	ページ
ADCRn	A/D変換結果レジスタn (n = 0-23)	ADC	607
ADCRnH	A/D変換結果レジスタnH (n = 0-23)	ADC	607
ADIC	割り込み制御レジスタ	INTC	171
ADM0	A/Dコンバータ・モード・レジスタ0	ADC	602
ADM1	A/Dコンバータ・モード・レジスタ1	ADC	603
ADM2	A/Dコンバータ・モード・レジスタ2	ADC	606
ADTCA0	自動データ転送アドレス・カウント・レジスタA0	CSI	494
ADTCA1	自動データ転送アドレス・カウント・レジスタA1	CSI	494
ADTIA0	自動データ転送間隔指定レジスタA0	CSI	501
ADTIA1	自動データ転送間隔指定レジスタA1	CSI	501
ADTPA0	自動データ転送アドレス・ポイント指定レジスタA0	CSI	499
ADTPA1	自動データ転送アドレス・ポイント指定レジスタA1	CSI	499
ASICL0	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ0	UART	451
ASICL1	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ1	UART	451
ASIF0	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	UART	450
ASIF1	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	UART	450
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART	446
ASIM1	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	UART	446
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART	449
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART	449
AWC	アドレス・ウェイト・コントロール・レジスタ	BCU	134
BCC	バス・サイクル・コントロール・レジスタ	BCU	136
BCT0	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCU	124
BCT1	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCU	124
BRGC0	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRG	470
BRGC1	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRG	470
BRGCA0	分周値選択レジスタA0	BRG	498
BRGCA1	分周値選択レジスタA1	BRG	498
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	126
CBUF0n	CSIA0用バッファRAMn (n = 0-15)	CSI	502
CBUF0nH	CSIA0用バッファRAMnH (n = 0-15)	CSI	502
CBUF0nL	CSIA0用バッファRAMnL (n = 0-15)	CSI	502
CBUF1n	CSIA1用バッファRAMn (n = 0-15)	CSI	502
CBUF1nH	CSIA1用バッファRAMnH (n = 0-15)	CSI	502
CBUF1nL	CSIA1用バッファRAMnL (n = 0-15)	CSI	502
CC000	16ビット・キャプチャ/コンペア・レジスタ000	TM0	353
CC001	16ビット・キャプチャ/コンペア・レジスタ001	TM0	353
CC010	16ビット・キャプチャ/コンペア・レジスタ010	TM0	353
CC011	16ビット・キャプチャ/コンペア・レジスタ011	TM0	353

略号	名称	ユニット	ページ
CC020	16ビット・キャプチャ/コンペア・レジスタ020	TM0	353
CC021	16ビット・キャプチャ/コンペア・レジスタ021	TM0	353
CC030	16ビット・キャプチャ/コンペア・レジスタ030	TM0	353
CC031	16ビット・キャプチャ/コンペア・レジスタ031	TM0	353
CC040	16ビット・キャプチャ/コンペア・レジスタ040	TM0	353
CC041	16ビット・キャプチャ/コンペア・レジスタ041	TM0	353
CC050	16ビット・キャプチャ/コンペア・レジスタ050	TM0	353
CC051	16ビット・キャプチャ/コンペア・レジスタ051	TM0	353
CCIC000	割り込み制御レジスタ	INTC	171
CCIC001	割り込み制御レジスタ	INTC	171
CCIC010	割り込み制御レジスタ	INTC	171
CCIC011	割り込み制御レジスタ	INTC	171
CCIC020	割り込み制御レジスタ	INTC	171
CCIC021	割り込み制御レジスタ	INTC	171
CCIC030	割り込み制御レジスタ	INTC	171
CCIC031	割り込み制御レジスタ	INTC	171
CCIC040	割り込み制御レジスタ	INTC	171
CCIC041	割り込み制御レジスタ	INTC	171
CCIC050	割り込み制御レジスタ	INTC	171
CCIC051	割り込み制御レジスタ	INTC	171
CKSR0	クロック選択レジスタ0	UART	469
CKSR1	クロック選択レジスタ1	UART	469
CLOM	クロック出力モード・レジスタ	CG	221
CM10	16ビット・コンペア・レジスタ10	TM1	379
CM11	16ビット・コンペア・レジスタ11	TM1	379
CM12	16ビット・コンペア・レジスタ12	TM1	379
CM13	16ビット・コンペア・レジスタ13	TM1	379
CM14	16ビット・コンペア・レジスタ14	TM1	379
CM15	16ビット・コンペア・レジスタ15	TM1	379
CM30	32ビット・コンペア・レジスタ30	TM3	411
CM30H	32ビット・コンペア・レジスタ30H	TM3	411
CM30L	32ビット・コンペア・レジスタ30L	TM3	411
CM31	32ビット・コンペア・レジスタ31	TM3	411
CM31H	32ビット・コンペア・レジスタ31H	TM3	411
CM31L	32ビット・コンペア・レジスタ31L	TM3	411
CMIC10	割り込み制御レジスタ	INTC	171
CMIC11	割り込み制御レジスタ	INTC	171
CMIC12	割り込み制御レジスタ	INTC	171
CMIC13	割り込み制御レジスタ	INTC	171
CMIC14	割り込み制御レジスタ	INTC	171
CMIC15	割り込み制御レジスタ	INTC	171
CMIC30	割り込み制御レジスタ	INTC	171
CMIC31	割り込み制御レジスタ	INTC	171
CORAD0	コレクション・アドレス・レジスタ0	ROMC	213

略号	名称	ユニット	ページ
CORAD0H	コレクション・アドレス・レジスタ0H	ROMC	213
CORAD0L	コレクション・アドレス・レジスタ0L	ROMC	213
CORAD1	コレクション・アドレス・レジスタ1	ROMC	213
CORAD1H	コレクション・アドレス・レジスタ1H	ROMC	213
CORAD1L	コレクション・アドレス・レジスタ1L	ROMC	213
CORAD2	コレクション・アドレス・レジスタ2	ROMC	213
CORAD2H	コレクション・アドレス・レジスタ2H	ROMC	213
CORAD2L	コレクション・アドレス・レジスタ2L	ROMC	213
CORAD3	コレクション・アドレス・レジスタ3	ROMC	213
CORAD3H	コレクション・アドレス・レジスタ3H	ROMC	213
CORAD3L	コレクション・アドレス・レジスタ3L	ROMC	213
CORAD4	コレクション・アドレス・レジスタ4	ROMC	213
CORAD4H	コレクション・アドレス・レジスタ4H	ROMC	213
CORAD4L	コレクション・アドレス・レジスタ4L	ROMC	213
CORAD5	コレクション・アドレス・レジスタ5	ROMC	213
CORAD5H	コレクション・アドレス・レジスタ5H	ROMC	213
CORAD5L	コレクション・アドレス・レジスタ5L	ROMC	213
CORAD6	コレクション・アドレス・レジスタ6	ROMC	213
CORAD6H	コレクション・アドレス・レジスタ6H	ROMC	213
CORAD6L	コレクション・アドレス・レジスタ6L	ROMC	213
CORAD7	コレクション・アドレス・レジスタ7	ROMC	213
CORAD7H	コレクション・アドレス・レジスタ7H	ROMC	213
CORAD7L	コレクション・アドレス・レジスタ7L	ROMC	213
CORCN	コレクション・コントロール・レジスタ	ROMC	214
CP30	32ビット・キャプチャ・レジスタ30	TM3	409
CP30H	32ビット・キャプチャ・レジスタ30H	TM3	409
CP30L	32ビット・キャプチャ・レジスタ30L	TM3	409
CP31	32ビット・キャプチャ・レジスタ31	TM3	409
CP310	32ビット・キャプチャ・レジスタ310	TM3	409
CP310H	32ビット・キャプチャ・レジスタ310H	TM3	409
CP310L	32ビット・キャプチャ・レジスタ310L	TM3	409
CP311	32ビット・キャプチャ・レジスタ311	TM3	409
CP311H	32ビット・キャプチャ・レジスタ311H	TM3	409
CP311L	32ビット・キャプチャ・レジスタ311L	TM3	409
CP31H	32ビット・キャプチャ・レジスタ31H	TM3	409
CP31L	32ビット・キャプチャ・レジスタ31L	TM3	409
CP32	32ビット・キャプチャ・レジスタ32	TM3	409
CP32H	32ビット・キャプチャ・レジスタ32H	TM3	409
CP32L	32ビット・キャプチャ・レジスタ32L	TM3	409
CP33	32ビット・キャプチャ・レジスタ33	TM3	409
CP33H	32ビット・キャプチャ・レジスタ33H	TM3	409
CP33L	32ビット・キャプチャ・レジスタ33L	TM3	409
CP34	32ビット・キャプチャ・レジスタ34	TM3	409
CP34H	32ビット・キャプチャ・レジスタ34H	TM3	409

略号	名称	ユニット	ページ
CP34L	32ビット・キャプチャ・レジスタ34L	TM3	409
CP35	32ビット・キャプチャ・レジスタ35	TM3	409
CP35H	32ビット・キャプチャ・レジスタ35H	TM3	409
CP35L	32ビット・キャプチャ・レジスタ35L	TM3	409
CP36	32ビット・キャプチャ・レジスタ36	TM3	409
CP36H	32ビット・キャプチャ・レジスタ36H	TM3	409
CP36L	32ビット・キャプチャ・レジスタ36L	TM3	409
CP37	32ビット・キャプチャ・レジスタ37	TM3	409
CP37H	32ビット・キャプチャ・レジスタ37H	TM3	409
CP37L	32ビット・キャプチャ・レジスタ37L	TM3	409
CP38	32ビット・キャプチャ・レジスタ38	TM3	409
CP38H	32ビット・キャプチャ・レジスタ38H	TM3	409
CP38L	32ビット・キャプチャ・レジスタ38L	TM3	409
CP39	32ビット・キャプチャ・レジスタ39	TM3	409
CP39H	32ビット・キャプチャ・レジスタ39H	TM3	409
CP39L	32ビット・キャプチャ・レジスタ39L	TM3	409
CPIC30	割り込み制御レジスタ	INTC	171
CPIC31	割り込み制御レジスタ	INTC	171
CPIC310	割り込み制御レジスタ	INTC	171
CPIC311	割り込み制御レジスタ	INTC	171
CPIC32	割り込み制御レジスタ	INTC	171
CPIC33	割り込み制御レジスタ	INTC	171
CPIC34	割り込み制御レジスタ	INTC	171
CPIC35	割り込み制御レジスタ	INTC	171
CPIC36	割り込み制御レジスタ	INTC	171
CPIC37	割り込み制御レジスタ	INTC	171
CPIC38	割り込み制御レジスタ	INTC	171
CPIC39	割り込み制御レジスタ	INTC	171
CR20	8ビット・コンペア・レジスタ20	TM2	387
CR201	16ビット・コンペア・レジスタ201	TM2	400
CR21	8ビット・コンペア・レジスタ21	TM2	387
CR210	8ビット・コンペア・レジスタ210	TM2	387
CR21011	16ビット・コンペア・レジスタ21011	TM2	400
CR211	8ビット・コンペア・レジスタ211	TM2	387
CR22	8ビット・コンペア・レジスタ22	TM2	387
CR223	16ビット・コンペア・レジスタ223	TM2	400
CR23	8ビット・コンペア・レジスタ23	TM2	387
CR24	8ビット・コンペア・レジスタ24	TM2	387
CR245	16ビット・コンペア・レジスタ245	TM2	400
CR25	8ビット・コンペア・レジスタ25	TM2	387
CR26	8ビット・コンペア・レジスタ26	TM2	387
CR267	16ビット・コンペア・レジスタ267	TM2	400
CR27	8ビット・コンペア・レジスタ27	TM2	387
CR28	8ビット・コンペア・レジスタ28	TM2	387

略号	名称	ユニット	ページ
CR289	16ビット・コンペア・レジスタ289	TM2	400
CR29	8ビット・コンペア・レジスタ29	TM2	387
CSC0	チップ・エリア選択コントロール・レジスタ0	BCU	121
CSC1	チップ・エリア選択コントロール・レジスタ1	BCU	121
CSIC0	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSI	480
CSIC1	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSI	480
CSIC2	クロック同期式シリアル・インタフェース・クロック選択レジスタ2	CSI	480
CSIC3	クロック同期式シリアル・インタフェース・クロック選択レジスタ3	CSI	480
CSIIC0	割り込み制御レジスタ	INTC	171
CSIIC1	割り込み制御レジスタ	INTC	171
CSIIC2	割り込み制御レジスタ	INTC	171
CSIIC3	割り込み制御レジスタ	INTC	171
CSICA0	割り込み制御レジスタ	INTC	171
CSICA1	割り込み制御レジスタ	INTC	171
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSI	478
CSIM1	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSI	478
CSIM2	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSI	478
CSIM3	クロック同期式シリアル・インタフェース・モード・レジスタ3	CSI	478
CSIMA0	シリアル動作モード指定レジスタA0	CSI	495
CSIMA1	シリアル動作モード指定レジスタA1	CSI	495
CSISA0	シリアル・ステータス・レジスタA0	CSI	497
CSISA1	シリアル・ステータス・レジスタA1	CSI	497
CSITA0	シリアル・トリガ・レジスタA0	CSI	498
CSITA1	シリアル・トリガ・レジスタA1	CSI	498
CTPC	CALLT実行時状態退避レジスタ	CPU	80
CTPSW	CALLT実行時状態退避レジスタ	CPU	80
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMAC	197
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMAC	197
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMAC	197
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMAC	197
DBC0	DMA転送カウント・レジスタ0	DMAC	196
DBC1	DMA転送カウント・レジスタ1	DMAC	196
DBC2	DMA転送カウント・レジスタ2	DMAC	196
DBC3	DMA転送カウント・レジスタ3	DMAC	196
DBPC	例外/ディバグ・トラップ時状態退避レジスタ	CPU	80
DBPSW	例外/ディバグ・トラップ時状態退避レジスタ	CPU	80
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	198
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	198
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	198
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	198
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	194
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	194
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	194
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	194

略号	名称	ユニット	ページ
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	194
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	194
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	194
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	194
DDIS	DMAディスエーブル・ステータス・レジスタ	DMAC	199
DMAIC0	割り込み制御レジスタ	INTC	171
DMAIC1	割り込み制御レジスタ	INTC	171
DMAIC2	割り込み制御レジスタ	INTC	171
DMAIC3	割り込み制御レジスタ	INTC	171
DRST	DMAリスタート・レジスタ	DMAC	199
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	192
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	192
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	192
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	192
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	192
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	192
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	192
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	192
DTFR0	DMAトリガ要因レジスタ0	DMAC	200
DTFR1	DMAトリガ要因レジスタ1	DMAC	200
DTFR2	DMAトリガ要因レジスタ2	DMAC	200
DTFR3	DMAトリガ要因レジスタ3	DMAC	200
DVC	バス・クロック分周コントロール・レジスタ	BCU	139
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	133
DWC1	データ・ウェイト・コントロール・レジスタ1	BCU	133
ECR	割り込み要因レジスタ	CPU	80
EDV0	イベント・ディバイド・カウンタ0	TM3	411
EDV1	イベント・ディバイド・カウンタ1	TM3	411
EDV2	イベント・ディバイド・カウンタ2	TM3	411
EDV3	イベント・ディバイド・カウンタ3	TM3	411
EDVC0	イベント・ディバイド・コントロール・レジスタ0	TM3	418
EDVC1	イベント・ディバイド・コントロール・レジスタ1	TM3	418
EDVC2	イベント・ディバイド・コントロール・レジスタ2	TM3	418
EDVC3	イベント・ディバイド・コントロール・レジスタ3	TM3	418
EGN3	立ち下がりエッジ検出指定レジスタ3	TM3	417
EGN3H	立ち下がりエッジ検出指定レジスタ3H	TM3	417
EGN3L	立ち下がりエッジ検出指定レジスタ3L	TM3	417
EGP3	立ち上がりエッジ検出指定レジスタ3	TM3	416
EGP3H	立ち上がりエッジ検出指定レジスタ3H	TM3	416
EGP3L	立ち上がりエッジ検出指定レジスタ3L	TM3	416
EIPC	割り込み時状態退避レジスタ	CPU	80
EIPSW	割り込み時状態退避レジスタ	CPU	80
FEPC	NMI時状態退避レジスタ	CPU	80
FEPSW	NMI時状態退避レジスタ	CPU	80

略号	名称	ユニット	ページ
IIC	IICシフト・レジスタ	I ² C	537
IICC	IICコントロール・レジスタ	I ² C	539
IICCL	IIC転送クロック選択レジスタ	I ² C	549
IICF	IICフラグ・レジスタ	I ² C	547
IICIC	割り込み制御レジスタ	INTC	171
IICS	IIC状態レジスタ	I ² C	544
IICX	IIC機能拡張レジスタ	I ² C	550
IMR0	割り込みマスク・レジスタ0	INTC	175
IMR0H	割り込みマスク・レジスタ0H	INTC	175
IMR0L	割り込みマスク・レジスタ0L	INTC	175
IMR1	割り込みマスク・レジスタ1	INTC	175
IMR1H	割り込みマスク・レジスタ1H	INTC	175
IMR1L	割り込みマスク・レジスタ1L	INTC	175
IMR2	割り込みマスク・レジスタ2	INTC	175
IMR2H	割り込みマスク・レジスタ2H	INTC	175
IMR2L	割り込みマスク・レジスタ2L	INTC	175
IMR3	割り込みマスク・レジスタ3	INTC	175
IMR3H	割り込みマスク・レジスタ3H	INTC	175
IMR3L	割り込みマスク・レジスタ3L	INTC	175
IMR4	割り込みマスク・レジスタ4	INTC	175
IMR4H	割り込みマスク・レジスタ4H	INTC	175
IMR4L	割り込みマスク・レジスタ4L	INTC	175
IMR5	割り込みマスク・レジスタ5	INTC	175
IMR5L	割り込みマスク・レジスタ5L	INTC	175
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	243
INTF1	外部割り込み立ち下がりエッジ指定レジスタ1	INTC	249
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	244
INTR1	外部割り込み立ち上がりエッジ指定レジスタ1	INTC	250
ISPR	インサース・プライオリティ・レジスタ	INTC	177
MKCIC0	割り込み制御レジスタ	INTC	171
MKCIC1	割り込み制御レジスタ	INTC	171
MKT0	マスク・タイマ0	TM3	412
MKT1	マスク・タイマ1	TM3	412
MKTMC0	マスク・タイマ・モード・コントロール・レジスタ0	TM3	419
MKTMC1	マスク・タイマ・モード・コントロール・レジスタ1	TM3	419
MKTR0	マスク期間設定レジスタ0	TM3	413
MKTR1	マスク期間設定レジスタ1	TM3	413
MKUDIC0	割り込み制御レジスタ	INTC	171
MKUDIC1	割り込み制御レジスタ	INTC	171
OSTS	発振安定時間選択レジスタ	WDT	434
OVFIC000	割り込み制御レジスタ	INTC	171
OVFIC001	割り込み制御レジスタ	INTC	171
OVFIC002	割り込み制御レジスタ	INTC	171
OVFIC003	割り込み制御レジスタ	INTC	171

略号	名称	ユニット	ページ
OVFIC004	割り込み制御レジスタ	INTC	171
OVFIC005	割り込み制御レジスタ	INTC	171
OVIC3	割り込み制御レジスタ	INTC	171
P0	ポート0	ポート	240
P1	ポート1	ポート	247
P10	ポート10	ポート	294
P11	ポート11	ポート	300
P12	ポート12	ポート	305
P13	ポート13	ポート	311
P14	ポート14	ポート	315
P15	ポート15	ポート	319
P2	ポート2	ポート	252
P3	ポート3	ポート	260
P4	ポート4	ポート	270
P5	ポート5	ポート	277
P5H	ポート5H	ポート	277
P5L	ポート5L	ポート	277
P6	ポート6	ポート	281
P7	ポート7	ポート	286
P7H	ポート7H	ポート	286
P7L	ポート7L	ポート	286
P8	ポート8	ポート	288
P9	ポート9	ポート	290
P9H	ポート9H	ポート	290
P9L	ポート9L	ポート	290
PC	プログラム・カウンタ	CPU	81
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	220
PCD	ポートCD	ポート	324
PCM	ポートCM	ポート	327
PCS	ポートCS	ポート	333
PCT	ポートCT	ポート	336
PDH	ポートDH	ポート	341
PDHH	ポートDHH	ポート	341
PDHL	ポートDHL	ポート	341
PDL	ポートDL	ポート	345
PDLH	ポートDLH	ポート	345
PDLL	ポートDLL	ポート	345
PF2	ポート2ファンクション・レジスタ	ポート	255
PFC10	ポート10ファンクション・コントロール・レジスタ	ポート	297
PFC12	ポート12ファンクション・コントロール・レジスタ	ポート	308
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	263
PIC0	割り込み制御レジスタ	INTC	171
PIC1	割り込み制御レジスタ	INTC	171
PIC10	割り込み制御レジスタ	INTC	171

略号	名称	ユニット	ページ
PIC2	割り込み制御レジスタ	INTC	171
PIC3	割り込み制御レジスタ	INTC	171
PIC4	割り込み制御レジスタ	INTC	171
PIC5	割り込み制御レジスタ	INTC	171
PIC6	割り込み制御レジスタ	INTC	171
PIC7	割り込み制御レジスタ	INTC	171
PIC8	割り込み制御レジスタ	INTC	171
PIC9	割り込み制御レジスタ	INTC	171
PM0	ポート0モード・レジスタ	ポート	241
PM1	ポート1モード・レジスタ	ポート	248
PM10	ポート10モード・レジスタ	ポート	295
PM11	ポート11モード・レジスタ	ポート	301
PM12	ポート12モード・レジスタ	ポート	306
PM13	ポート13モード・レジスタ	ポート	312
PM14	ポート14モード・レジスタ	ポート	316
PM15	ポート15モード・レジスタ	ポート	320
PM2	ポート2モード・レジスタ	ポート	253
PM3	ポート3モード・レジスタ	ポート	261
PM4	ポート4モード・レジスタ	ポート	271
PM5	ポート5モード・レジスタ	ポート	278
PM5H	ポート5モード・レジスタH	ポート	278
PM5L	ポート5モード・レジスタL	ポート	278
PM6	ポート6モード・レジスタ	ポート	282
PM9	ポート9モード・レジスタ	ポート	292
PM9H	ポート9モード・レジスタH	ポート	292
PM9L	ポート9モード・レジスタL	ポート	292
PMC0	ポート0モード・コントロール・レジスタ	ポート	242
PMC1	ポート1モード・コントロール・レジスタ	ポート	248
PMC10	ポート10モード・コントロール・レジスタ	ポート	296
PMC11	ポート11モード・コントロール・レジスタ	ポート	302
PMC12	ポート12モード・コントロール・レジスタ	ポート	307
PMC13	ポート13モード・コントロール・レジスタ	ポート	313
PMC14	ポート14モード・コントロール・レジスタ	ポート	316
PMC15	ポート15モード・コントロール・レジスタ	ポート	320
PMC2	ポート2モード・コントロール・レジスタ	ポート	254
PMC3	ポート3モード・コントロール・レジスタ	ポート	262
PMC4	ポート4モード・コントロール・レジスタ	ポート	272
PMC5	ポート5モード・コントロール・レジスタ	ポート	279
PMC5H	ポート5モード・コントロール・レジスタH	ポート	279
PMC5L	ポート5モード・コントロール・レジスタL	ポート	279
PMC6	ポート6モード・コントロール・レジスタ	ポート	283
PMC9	ポート9モード・コントロール・レジスタ	ポート	292
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	329
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	334

略号	名称	ユニット	ページ
PMCCT	ポートCTモード・コントロール・レジスタ	ポート	338
PMCD	ポートCDモード・レジスタ	ポート	325
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	343
PMCDHH	ポートDHモード・コントロール・レジスタH	ポート	343
PMCDHL	ポートDHモード・コントロール・レジスタL	ポート	343
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	347
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	347
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	347
PMCM	ポートCMモード・レジスタ	ポート	328
PMCS	ポートCSモード・レジスタ	ポート	334
PMCT	ポートCTモード・レジスタ	ポート	337
PMDH	ポートDHモード・レジスタ	ポート	342
PMDHH	ポートDHモード・レジスタH	ポート	342
PMDHL	ポートDHモード・レジスタL	ポート	342
PMDL	ポートDLモード・レジスタ	ポート	347
PMDLH	ポートDLモード・レジスタH	ポート	347
PMDLL	ポートDLモード・レジスタL	ポート	347
PRCMD	コマンド・レジスタ	CPU	115
PRSCM2	プリスケラ・コンペア・レジスタ2	BRG	484
PRSCM3	プリスケラ・コンペア・レジスタ3	BRG	484
PRSCM4	プリスケラ・コンペア・レジスタ4	BRG	484
PRSCM5	プリスケラ・コンペア・レジスタ5	BRG	550
PRSM2	プリスケラ・モード・レジスタ2	BRG	483
PRSM3	プリスケラ・モード・レジスタ3	BRG	483
PRSM4	プリスケラ・モード・レジスタ4	BRG	483
PRSM5	プリスケラ・モード・レジスタ5	BRG	550
PSC	パワー・セーブ・コントロール・レジスタ	CPU	226
PSMR	パワー・セーブ・モード・レジスタ	CPU	225
PSW	プログラム・ステータス・ワード	CPU	83
PU0	ブルアップ抵抗オプション・レジスタ0	ポート	243
PU1	ブルアップ抵抗オプション・レジスタ1	ポート	249
PU10	ブルアップ抵抗オプション・レジスタ10	ポート	297
PU11	ブルアップ抵抗オプション・レジスタ11	ポート	302
PU12	ブルアップ抵抗オプション・レジスタ12	ポート	309
PU13	ブルアップ抵抗オプション・レジスタ13	ポート	313
PU14	ブルアップ抵抗オプション・レジスタ14	ポート	317
PU15	ブルアップ抵抗オプション・レジスタ15	ポート	321
PU2	ブルアップ抵抗オプション・レジスタ2	ポート	255
PU3	ブルアップ抵抗オプション・レジスタ3	ポート	263
PU4	ブルアップ抵抗オプション・レジスタ4	ポート	272
PU5	ブルアップ抵抗オプション・レジスタ5	ポート	279
PU5H	ブルアップ抵抗オプション・レジスタ5H	ポート	279
PU5L	ブルアップ抵抗オプション・レジスタ5L	ポート	279
PU6	ブルアップ抵抗オプション・レジスタ6	ポート	284

略号	名称	ユニット	ページ
PWM0	PWMモジュロ・レジスタ0	PWM	641
PWM0H	PWMモジュロ・レジスタ0H	PWM	641
PWM0L	PWMモジュロ・レジスタ0L	PWM	641
PWM1	PWMモジュロ・レジスタ1	PWM	641
PWM1H	PWMモジュロ・レジスタ1H	PWM	641
PWM1L	PWMモジュロ・レジスタ1L	PWM	641
PWM2	PWMモジュロ・レジスタ2	PWM	641
PWM2H	PWMモジュロ・レジスタ2H	PWM	641
PWM2L	PWMモジュロ・レジスタ2L	PWM	641
PWM3	PWMモジュロ・レジスタ3	PWM	641
PWM3H	PWMモジュロ・レジスタ3H	PWM	641
PWM3L	PWMモジュロ・レジスタ3L	PWM	641
PWM4	PWMモジュロ・レジスタ4	PWM	641
PWM4H	PWMモジュロ・レジスタ4H	PWM	641
PWM4L	PWMモジュロ・レジスタ4L	PWM	641
PWMC0	PWMコントロール・レジスタ0	PWM	640
PWMC1	PWMコントロール・レジスタ1	PWM	640
PWMC2	PWMコントロール・レジスタ2	PWM	640
PWMC3	PWMコントロール・レジスタ3	PWM	640
PWMC4	PWMコントロール・レジスタ4	PWM	640
r0-r31	汎用レジスタ	CPU	81
RTBH0	リアルタイム出力バッファ・レジスタH0	RTP	651
RTBH1	リアルタイム出力バッファ・レジスタH1	RTP	651
RTBL0	リアルタイム出力バッファ・レジスタL0	RTP	651
RTBL1	リアルタイム出力バッファ・レジスタL1	RTP	651
RTPC0	リアルタイム出力ポート・コントロール・レジスタ0	RTP	654
RTPC1	リアルタイム出力ポート・コントロール・レジスタ1	RTP	654
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RTP	653
RTPM1	リアルタイム出力ポート・モード・レジスタ1	RTP	653
RXB0	受信バッファ・レジスタ0	UART	452
RXB1	受信バッファ・レジスタ1	UART	452
SERIC0	割り込み制御レジスタ	INTC	171
SERIC1	割り込み制御レジスタ	INTC	171
SES00	有効エッジ選択レジスタ00	INTC	359
SES01	有効エッジ選択レジスタ01	INTC	359
SES02	有効エッジ選択レジスタ02	INTC	359
SES03	有効エッジ選択レジスタ03	INTC	359
SES04	有効エッジ選択レジスタ04	INTC	359
SES05	有効エッジ選択レジスタ05	INTC	359
SIO0	シフト・レジスタ0	CSI	481
SIO1	シフト・レジスタ1	CSI	481
SIO2	シフト・レジスタ2	CSI	481
SIO3	シフト・レジスタ3	CSI	481
SIOA0	シフト・レジスタA0	CSI	494

略号	名称	ユニット	ページ
SIOA1	シフト・レジスタA1	CSI	494
SIOE0	受信専用シフト・レジスタ0	CSI	481
SIOE1	受信専用シフト・レジスタ1	CSI	481
SIOE2	受信専用シフト・レジスタ2	CSI	481
SIOE3	受信専用シフト・レジスタ3	CSI	481
SOTB0	送信データ・バッファ・レジスタ0	CSI	482
SOTB1	送信データ・バッファ・レジスタ1	CSI	482
SOTB2	送信データ・バッファ・レジスタ2	CSI	482
SOTB3	送信データ・バッファ・レジスタ3	CSI	482
SRIC0	割り込み制御レジスタ	INTC	171
SRIC1	割り込み制御レジスタ	INTC	171
STIC0	割り込み制御レジスタ	INTC	171
STIC1	割り込み制御レジスタ	INTC	171
SVA	スレーブ・アドレス・レジスタ	I ² C	537
TCL20	タイマ・クロック選択レジスタ20	TM2	388
TCL201	タイマ・クロック選択レジスタ201	TM2	388
TCL21	タイマ・クロック選択レジスタ21	TM2	388
TCL210	タイマ・クロック選択レジスタ210	TM2	389
TCL21011	タイマ・クロック選択レジスタ21011	TM2	389
TCL211	タイマ・クロック選択レジスタ211	TM2	389
TCL22	タイマ・クロック選択レジスタ22	TM2	388
TCL223	タイマ・クロック選択レジスタ223	TM2	388
TCL23	タイマ・クロック選択レジスタ23	TM2	388
TCL24	タイマ・クロック選択レジスタ24	TM2	388
TCL245	タイマ・クロック選択レジスタ245	TM2	388
TCL25	タイマ・クロック選択レジスタ25	TM2	388
TCL26	タイマ・クロック選択レジスタ26	TM2	389
TCL267	タイマ・クロック選択レジスタ267	TM2	389
TCL27	タイマ・クロック選択レジスタ27	TM2	389
TCL28	タイマ・クロック選択レジスタ28	TM2	389
TCL289	タイマ・クロック選択レジスタ289	TM2	389
TCL29	タイマ・クロック選択レジスタ29	TM2	389
TIIC3	割り込み制御レジスタ	INTC	171
TM00	16ビット・タイマ・カウンタ00	TM0	351
TM01	16ビット・タイマ・カウンタ01	TM0	351
TM02	16ビット・タイマ・カウンタ02	TM0	351
TM03	16ビット・タイマ・カウンタ03	TM0	351
TM04	16ビット・タイマ・カウンタ04	TM0	351
TM05	16ビット・タイマ・カウンタ05	TM0	351
TM10	16ビット・タイマ・カウンタ10	TM1	378
TM11	16ビット・タイマ・カウンタ11	TM1	378
TM12	16ビット・タイマ・カウンタ12	TM1	378
TM13	16ビット・タイマ・カウンタ13	TM1	378
TM14	16ビット・タイマ・カウンタ14	TM1	378

略号	名称	ユニット	ページ
TM15	16ビット・タイマ・カウンタ15	TM1	378
TM20	8ビット・タイマ・カウンタ20	TM2	387
TM201	16ビット・タイマ・カウンタ201	TM2	400
TM21	8ビット・タイマ・カウンタ21	TM2	387
TM210	8ビット・タイマ・カウンタ210	TM2	387
TM21011	16ビット・タイマ・カウンタ21011	TM2	400
TM211	8ビット・タイマ・カウンタ211	TM2	387
TM22	8ビット・タイマ・カウンタ22	TM2	387
TM223	16ビット・タイマ・カウンタ223	TM2	400
TM23	8ビット・タイマ・カウンタ23	TM2	387
TM24	8ビット・タイマ・カウンタ24	TM2	387
TM245	16ビット・タイマ・カウンタ245	TM2	400
TM25	8ビット・タイマ・カウンタ25	TM2	387
TM26	8ビット・タイマ・カウンタ26	TM2	387
TM267	16ビット・タイマ・カウンタ267	TM2	400
TM27	8ビット・タイマ・カウンタ27	TM2	387
TM28	8ビット・タイマ・カウンタ28	TM2	387
TM289	16ビット・タイマ・カウンタ289	TM2	400
TM29	8ビット・タイマ・カウンタ29	TM2	387
TM3	32ビット・タイマ・カウンタ3	TM3	408
TMC000	16ビット・タイマ・モード・コントロール・レジスタ000	TM0	355
TMC001	16ビット・タイマ・モード・コントロール・レジスタ001	TM0	357
TMC010	16ビット・タイマ・モード・コントロール・レジスタ010	TM0	355
TMC011	16ビット・タイマ・モード・コントロール・レジスタ011	TM0	357
TMC020	16ビット・タイマ・モード・コントロール・レジスタ020	TM0	355
TMC021	16ビット・タイマ・モード・コントロール・レジスタ021	TM0	357
TMC030	16ビット・タイマ・モード・コントロール・レジスタ030	TM0	355
TMC031	16ビット・タイマ・モード・コントロール・レジスタ031	TM0	357
TMC040	16ビット・タイマ・モード・コントロール・レジスタ040	TM0	355
TMC041	16ビット・タイマ・モード・コントロール・レジスタ041	TM0	357
TMC050	16ビット・タイマ・モード・コントロール・レジスタ050	TM0	355
TMC051	16ビット・タイマ・モード・コントロール・レジスタ051	TM0	357
TMC10	16ビット・タイマ・モード・コントロール・レジスタ10	RPU	381
TMC11	16ビット・タイマ・モード・コントロール・レジスタ11	RPU	381
TMC12	16ビット・タイマ・モード・コントロール・レジスタ12	RPU	381
TMC13	16ビット・タイマ・モード・コントロール・レジスタ13	RPU	381
TMC14	16ビット・タイマ・モード・コントロール・レジスタ14	RPU	381
TMC15	16ビット・タイマ・モード・コントロール・レジスタ15	RPU	381
TMC20	8ビット・タイマ・モード・コントロール・レジスタ20	TM2	390
TMC201	16ビット・タイマ・モード・コントロール・レジスタ201	TM2	390
TMC21	8ビット・タイマ・モード・コントロール・レジスタ21	TM2	390
TMC210	8ビット・タイマ・モード・コントロール・レジスタ210	TM2	390
TMC21011	16ビット・タイマ・モード・コントロール・レジスタ21011	TM2	390
TMC211	8ビット・タイマ・モード・コントロール・レジスタ211	TM2	390

略号	名称	ユニット	ページ
TMC22	8ビット・タイマ・モード・コントロール・レジスタ22	TM2	390
TMC223	16ビット・タイマ・モード・コントロール・レジスタ223	TM2	390
TMC23	8ビット・タイマ・モード・コントロール・レジスタ23	TM2	390
TMC24	8ビット・タイマ・モード・コントロール・レジスタ24	TM2	390
TMC245	16ビット・タイマ・モード・コントロール・レジスタ245	TM2	390
TMC25	8ビット・タイマ・モード・コントロール・レジスタ25	TM2	390
TMC26	8ビット・タイマ・モード・コントロール・レジスタ26	TM2	390
TMC267	16ビット・タイマ・モード・コントロール・レジスタ267	TM2	390
TMC27	8ビット・タイマ・モード・コントロール・レジスタ27	TM2	390
TMC28	8ビット・タイマ・モード・コントロール・レジスタ28	TM2	390
TMC289	16ビット・タイマ・モード・コントロール・レジスタ289	TM2	390
TMC29	8ビット・タイマ・モード・コントロール・レジスタ29	TM2	390
TMC3	32ビット・タイマ・モード・コントロール・レジスタ3	TM3	414
TMIC20	割り込み制御レジスタ	INTC	171
TMIC21	割り込み制御レジスタ	INTC	171
TMIC210	割り込み制御レジスタ	INTC	171
TMIC211	割り込み制御レジスタ	INTC	171
TMIC22	割り込み制御レジスタ	INTC	171
TMIC23	割り込み制御レジスタ	INTC	171
TMIC24	割り込み制御レジスタ	INTC	171
TMIC25	割り込み制御レジスタ	INTC	171
TMIC26	割り込み制御レジスタ	INTC	171
TMIC27	割り込み制御レジスタ	INTC	171
TMIC28	割り込み制御レジスタ	INTC	171
TMIC29	割り込み制御レジスタ	INTC	171
TXB0	送信バッファ・レジスタ0	UART	453
TXB1	送信バッファ・レジスタ1	UART	453
VSWC	システム・ウェイト・コントロール・レジスタ	CPU	117
WDCS	ウォッチドッグ・タイマ時間選択レジスタ	WDT	435
WDRES	WDTリセット・レジスタ	WDT	437
WDTIC	割り込み制御レジスタ	INTC	171
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	436

★

付録B 改版履歴

B.1 本版で改訂された主な箇所

箇所	内容
修正版 (U16384JJ1V1UD00) で改訂された主な箇所	
p.33	1.4 オータ情報を変更
p.34	1.5 端子接続図を変更
p.725	付録B 改版履歴を追加

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
