

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル

# V850ES/ST2

32ビット・シングルチップ・マイクロコントローラ

ハードウェア編

---

μPD703220

資料番号 U17031JJ3V0UD00 (第3版)

発行年月 April 2008 NS

© NEC Electronics Corporation 2004

(メモ)

## 目次要約

第1章	イントロダクション	...	16
第2章	端子機能	...	25
第3章	CPU機能	...	38
第4章	ポート機能	...	69
第5章	バス制御機能	...	133
第6章	クロック発生機能	...	160
第7章	16ビット・タイマ/イベント・カウンタP (TMP)	...	165
第8章	16ビット・インターバル・タイマM (TMM)	...	257
第9章	ウォッチドッグ・タイマ機能	...	265
第10章	リアルタイム出力機能 (RTO)	...	271
第11章	A/Dコンバータ	...	278
第12章	D/Aコンバータ	...	302
第13章	アシンクロナス・シリアル・インタフェースA (UARTA)	...	307
第14章	3線式可変長シリアルI/O (CSIB)	...	336
第15章	割り込み/例外処理機能	...	383
第16章	スタンバイ機能	...	420
第17章	リセット機能	...	432
第18章	レギュレータ	...	436
第19章	電気的特性	...	438
第20章	外形図	...	477
第21章	半田付け推奨条件	...	479
付録A	注意事項	...	480
付録B	ターゲット・システム設計上の注意	...	484
付録C	レジスタ索引	...	488
付録D	命令セット一覧	...	494
付録E	改版履歴	...	503

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

- 本資料に記載されている内容は2008年4月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

# はじめに

- 対象者** このマニュアルは、V850ES/ST2 ( $\mu$ PD703220) の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850ES/ST2のユーザズ・マニュアルは、ハードウェア編(このマニュアル)と、アーキテクチャ編(V850ES ユーザズ・マニュアル アーキテクチャ編)の2冊に分かれています。

## ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・電気的特性

## アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

一通りV850ES/ST2の機能を理解しようとするとき

目次に従ってお読みください。

レジスタ名がわかっていて、レジスタの詳細を確認するとき

**付録C レジスタ索引**を利用してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

命令機能の詳細を理解しようとするとき

別冊のV850ES **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

V850ES/ST2の電気的特性を知りたいとき

**第19章 電気的特性**を参照してください。



このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラでは正しく認識できませんので、注意してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例**
- データ表記の重み：左が上位桁，右が下位桁
  - アクティブ・ロウの表記：xxx (端子，信号名称に上線)
  - メモリ・マップのアドレス：上部 - 上位，下部 - 下位
  - 注：本文中に付けた注の説明
  - 注意：気を付けて読んでいただきたい内容
  - 備考：本文の補足説明
  - 数の表記：2進数 ... xxxxまたはxxxxB
    - 10進数 ... xxxx
    - 16進数 ... xxxxH
  - 2のべき数を示す接頭語（アドレス空間，メモリ容量）：
    - K（キロ）： $2^{10} = 1024$
    - M（メガ）： $2^{20} = 1024^2$
    - G（ギガ）： $2^{30} = 1024^3$

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

**V850ES/ST2に関する資料**

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J
V850ES/ST2 ユーザーズ・マニュアル ハードウェア編	このマニュアル

**開発ツールに関する資料**

資料名	資料番号	
IE-V850ES-G1 (インサーキット・エミュレータ)	U16313J	
IE-703220-G1-EM1 (インサーキット・エミュレータ・エミュレーション・ボード)	U17205J	
CA850 Ver.3.20 Cコンパイラ・パッケージ	操作編	U18512J
	C言語編	U18513J
	アセンブリ言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+ Ver.6.30	U18416J	
ID850 Ver.3.00 統合デバッガ	操作編	U17358J
SM850 Ver.2.50 システム・シミュレータ	操作編	U16218J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストール編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro Ver.3.21 リアルタイムOS	基礎編	U18165J
	インストール編	U17421J
	テクニカル編	U13772J
	タスク・デバッガ編	U17422J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J	

# 目 次

## 第1章 イン트로ダクション ... 16

- 1.1 概 説 ... 16
- 1.2 特 徴 ... 17
- 1.3 応用分野 ... 18
- 1.4 オーダ情報 ... 18
- 1.5 端子接続図 (Top View) ... 19
- 1.6 機能ブロック構成 ... 22
  - 1.6.1 内部ブロック図 ... 22
  - 1.6.2 内部ユニット ... 23

## 第2章 端子機能 ... 25

- 2.1 端子機能一覧 ... 25
- 2.2 端子状態 ... 32
- 2.3 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理 ... 33

## 第3章 CPU機能 ... 38

- 3.1 特 徴 ... 38
- 3.2 CPUレジスタ・セット ... 39
  - 3.2.1 プログラム・レジスタ・セット ... 40
  - 3.2.2 システム・レジスタ・セット ... 41
- 3.3 動作モード ... 47
  - 3.3.1 動作モード指定 ... 47
- 3.4 アドレス空間 ... 48
  - 3.4.1 CPUアドレス空間 ... 48
  - 3.4.2 CPUアドレス空間のラップ・アラウンド ... 49
  - 3.4.3 メモリ・マップ ... 50
  - 3.4.4 領 域 ... 52
  - 3.4.5 アドレス空間の推奨使用方法 ... 54
  - 3.4.6 周辺I/Oレジスタ ... 57
  - 3.4.7 特定レジスタ ... 63
  - 3.4.8 注意事項 ... 67

## 第4章 ポート機能 ... 69

- 4.1 特 徴 ... 69
- 4.2 ポートの基本構成 ... 69
- 4.3 ポートの構成 ... 70
  - 4.3.1 ポート0 ... 75
  - 4.3.2 ポート1 ... 77
  - 4.3.3 ポート3 ... 78
  - 4.3.4 ポート4 ... 83
  - 4.3.5 ポート5 ... 85

- 4.3.6 ポート7 ... 89
- 4.3.7 ポート9 ... 90
- 4.3.8 ポートCM ... 95
- 4.3.9 ポートCS ... 97
- 4.3.10 ポートCT ... 99
- 4.3.11 ポートDH ... 101
- 4.4 **ブロック図** ... 103
- 4.5 **兼用機能使用時のポートのレジスタ設定** ... 126
- 4.6 **注意事項** ... 131
  - 4.6.1 ポート端子設定上の注意事項 ... 131
  - 4.6.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項 ... 131
  - 4.6.3 セパレート・バス・モード時の注意事項 ... 132

## 第5章 **バス制御機能** ... 133

- 5.1 **特 徴** ... 133
- 5.2 **バス制御端子** ... 133
  - 5.2.1 内蔵RAM, 内蔵周辺I/O, CS0-CS3アクセス時の端子状態 ... 134
  - 5.2.2 各動作モードの端子状態 ... 134
- 5.3 **メモリ・ブロック機能** ... 135
  - 5.3.1 チップ・セレクト制御機能 ... 136
- 5.4 **外部バス・インタフェース・モード制御機能** ... 136
- 5.5 **バス・アクセス** ... 137
  - 5.5.1 アクセス・クロック数 ... 137
  - 5.5.2 バス・サイズ設定機能 ... 137
  - 5.5.3 バス・サイズによるアクセス ... 138
- 5.6 **ウェイト機能** ... 145
  - 5.6.1 プログラマブル・ウェイト機能 ... 145
  - 5.6.2 外部ウェイト機能 ... 146
  - 5.6.3 プログラマブル・ウェイトと外部ウェイトの関係 ... 147
  - 5.6.4 プログラマブル・アドレス・ウェイト機能 ... 148
- 5.7 **アイドル・ステート挿入機能** ... 149
- 5.8 **バス・ホールド機能** ... 150
  - 5.8.1 機能概要 ... 150
  - 5.8.2 バス・ホールド手順 ... 151
  - 5.8.3 パワー・セーブ・モード時の動作 ... 151
- 5.9 **バスの優先順位** ... 152
- 5.10 **バス・タイミング** ... 153

## 第6章 **クロック発生機能** ... 160

- 6.1 **概 要** ... 160
- 6.2 **構 成** ... 160
- 6.3 **制御レジスタ** ... 162
- 6.4 **動 作** ... 163
  - 6.4.1 各クロックの動作 ... 163
  - 6.4.2 クロック出力機能 ... 164
  - 6.4.3 外部クロック入力機能 ... 164

## 第7章 16ビット・タイマ/イベント・カウンタP (TMP) ... 165

- 7.1 概要 ... 165
- 7.2 機能 ... 165
- 7.3 構成 ... 166
- 7.4 レジスタ ... 168
- 7.5 タイマ出力動作説明 ... 180
- 7.6 動作 ... 180
  - 7.6.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000) ... 187
  - 7.6.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001) ... 197
  - 7.6.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010) ... 206
  - 7.6.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011) ... 218
  - 7.6.5 PWM出力モード (TPnMD2-TPnMD0ビット = 100) 225
  - 7.6.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101) ... 234
  - 7.6.7 パルス幅測定モード (TPnMD2-TPnMD0ビット = 110) ... 251

## 第8章 16ビット・インターバル・タイマM (TMM) ... 257

- 8.1 概要 ... 257
- 8.2 構成 ... 258
- 8.3 制御レジスタ ... 259
- 8.4 動作 ... 260
  - 8.4.1 インターバル・タイマ・モード ... 260
- 8.5 注意事項 ... 264

## 第9章 ウォッチドッグ・タイマ機能 ... 265

- 9.1 機能 ... 265
- 9.2 構成 ... 266
- 9.3 制御レジスタ ... 267
- 9.4 動作 ... 269
  - 9.4.1 ウォッチドッグ・タイマとしての動作 ... 269
  - 9.4.2 インターバル・タイマとしての動作 ... 270

## 第10章 リアルタイム出力機能 (RTO) ... 271

- 10.1 機能 ... 271
- 10.2 構成 ... 272
- 10.3 制御レジスタ ... 274
- 10.4 動作 ... 276
- 10.5 使用方法 ... 277
- 10.6 注意事項 ... 277

## 第11章 A/Dコンバータ ... 278

- 11.1 概要 ... 278
- 11.2 機能 ... 278
- 11.3 構成 ... 279
- 11.4 レジスタ ... 281
- 11.5 動作 ... 287
  - 11.5.1 基本動作 ... 287

- 11.5.2 トリガ・モード ... 289
- 11.5.3 動作モード ... 290
- 11.6 注意事項 ... 294
- 11.7 A/Dコンバータ特性表の読み方 ... 298

## 第12章 D/Aコンバータ ... 302

- 12.1 機能 ... 302
- 12.2 構成 ... 302
- 12.3 制御レジスタ ... 303
- 12.4 動作 ... 305
  - 12.4.1 通常モード時の動作 ... 305
  - 12.4.2 リアルタイム出力モード時の動作 ... 305
  - 12.4.3 使用上の注意点 ... 306

## 第13章 アシンクロナス・シリアル・インタフェースA (UARTA) ... 307

- 13.1 CSIB4とUARTA0のモード切り替え ... 307
- 13.2 特徴 ... 308
- 13.3 構成 ... 309
- 13.4 レジスタ ... 311
- 13.5 割り込み要求信号 ... 317
- 13.6 動作 ... 318
  - 13.6.1 データ・フォーマット ... 318
  - 13.6.2 UART送信 ... 320
  - 13.6.3 連続送信の手順説明 ... 320
  - 13.6.4 UART受信 ... 323
  - 13.6.5 受信エラー ... 324
  - 13.6.6 パリティの種類と動作 ... 325
  - 13.6.7 受信データのノイズ・フィルタ ... 327
- 13.7 専用ポー・レート・ジェネレータ ... 328
- 13.8 注意事項 ... 335

## 第14章 3線式可変長シリアルI/O (CSIB) ... 336

- 14.1 CSIB4とUARTA0のモード切り替え ... 336
- 14.2 特徴 ... 337
- 14.3 構成 ... 338
- 14.4 制御レジスタ ... 340
- 14.5 割り込み要求信号 ... 348
- 14.6 動作 ... 349
  - 14.6.1 シングル転送モード (マスタ・モード, 送信モード) ... 349
  - 14.6.2 シングル転送モード (マスタ・モード, 受信モード) ... 351
  - 14.6.3 シングル転送モード (マスタ・モード, 送受信モード) ... 353
  - 14.6.4 シングル転送モード (スレーブ・モード, 送信モード) ... 355
  - 14.6.5 シングル転送モード (スレーブ・モード, 受信モード) ... 357
  - 14.6.6 シングル転送モード (スレーブ・モード, 送受信モード) ... 359
  - 14.6.7 連続転送モード (マスタ・モード, 送信モード) ... 361
  - 14.6.8 連続転送モード (マスタ・モード, 受信モード) ... 363
  - 14.6.9 連続転送モード (マスタ・モード, 送受信モード) ... 366
  - 14.6.10 連続転送モード (スレーブ・モード, 送信モード) ... 370

- 14.6.11 連続転送モード(スレーブ・モード,受信モード) ... 372
- 14.6.12 連続転送モード(スレーブ・モード,送受信モード) ... 375
- 14.6.13 受信エラー ... 379
- 14.6.14 クロック・タイミング ... 380
- 14.7 出力端子 ... 382

## 第15章 割り込み / 例外処理機能 ... 383

- 15.1 特 徴 ... 383
- 15.2 ノンマスカブル割り込み ... 386
  - 15.2.1 動 作 ... 389
  - 15.2.2 復 帰 ... 390
  - 15.2.3 NPフラグ ... 391
- 15.3 マスカブル割り込み ... 392
  - 15.3.1 動 作 ... 392
  - 15.3.2 復 帰 ... 394
  - 15.3.3 マスカブル割り込みの優先順位 ... 395
  - 15.3.4 割り込み制御レジスタ (xxICn) ... 399
  - 15.3.5 割り込みマスク・レジスタ0-2 (IMR0-IMR2) ... 401
  - 15.3.6 インサースビス・プライオリティ・レジスタ (ISPR) ... 403
  - 15.3.7 IDフラグ ... 404
  - 15.3.8 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 405
- 15.4 外部割り込み要求入力端子 (NMI, INTP0-INTP7) ... 406
  - 15.4.1 ノイズ除去 ... 406
  - 15.4.2 エッジ検出 ... 407
- 15.5 ソフトウェア例外 ... 411
  - 15.5.1 動 作 ... 411
  - 15.5.2 復 帰 ... 412
  - 15.5.3 EPフラグ ... 413
- 15.6 例外トラップ ... 414
  - 15.6.1 不正命令コード ... 414
  - 15.6.2 デバッグ・トラップ ... 416
- 15.7 CPUの割り込み応答時間 ... 417
- 15.8 CPUが割り込みを受け付けない期間 ... 419
- 15.9 注意事項 ... 419

## 第16章 スタンバイ機能 ... 420

- 16.1 概 要 ... 420
- 16.2 制御レジスタ ... 422
- 16.3 HALTモード ... 425
  - 16.3.1 設定および動作状態 ... 425
  - 16.3.2 HALTモードの解除 ... 425
- 16.4 IDLEモード ... 427
  - 16.4.1 設定および動作状態 ... 427
  - 16.4.2 IDLEモードの解除 ... 427
- 16.5 STOPモード ... 429
  - 16.5.1 設定および動作状態 ... 429
  - 16.5.2 STOPモードの解除 ... 429
- 16.6 STOPモード解除時の発振安定時間の確保 ... 431

<b>第17章</b>	<b>リセット機能</b>	...	432
17.1	概 要	...	432
17.2	構 成	...	432
17.3	動 作	...	433
<b>第18章</b>	<b>レギュレータ</b>	...	436
18.1	概 要	...	436
18.2	動 作	...	437
<b>第19章</b>	<b>電気的特性</b>	...	438
19.1	絶対最大定格	...	438
19.2	容 量	...	439
19.3	動作条件	...	439
19.4	メイン・クロック発振回路特性	...	439
19.5	レギュレータ特性	...	440
19.6	DC特性	...	441
19.7	AC特性	...	443
19.7.1	X1外部クロック入力タイミング	...	445
19.7.2	CLKOUT出力タイミング	...	445
19.7.3	バス・タイミング	...	446
19.8	基本動作	...	473
<b>第20章</b>	<b>外形図</b>	...	477
<b>第21章</b>	<b>半田付け推奨条件</b>	...	479
<b>付録A</b>	<b>注意事項</b>	...	480
A.1	sld命令と割り込み競合に関する制限事項	...	480
A.1.1	内 容	...	480
A.1.2	回 避 策	...	480
A.2	A/Dコンバータ動作中における再変換要因の発生タイミングに関する制限事項	...	481
A.2.1	内 容	...	481
A.2.2	回 避 策	...	483
<b>付録B</b>	<b>ターゲット・システム設計上の注意</b>	...	484
<b>付録C</b>	<b>レジスタ索引</b>	...	488
<b>付録D</b>	<b>命令セット一覧</b>	...	494
D.1	凡 例	...	494
D.2	インストラクション・セット (アルファベット順)	...	497



付録E 改版履歴 ... 503

- E.1 本版で改訂された主な箇所 ... 503
- E.2 前版までの改版履歴 ... 504

# 第1章 イントロダクション

V850ES/ST2は、NECエレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコントローラ「V850マイコン」のロウ・パワー・シリーズの1製品です。

## 1.1 概 説

V850ES/ST2は、V850ES CPUコアを使用し、RAM、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータ、D/Aコンバータなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

V850ES/ST2は、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、リアルタイム制御システムとして、DVDリライタブル・ドライブなどへの応用が、きわめて高いコスト・パフォーマンスで実現できます。

## 1.2 特 徴

最小命令実行時間 29.4 ns (システム・クロック ( $f_{xx}$ ) = 34 MHz動作時)

汎用レジスタ 32ビット × 32本

CPUの特徴 符号付き乗算 (16 × 16 32) : 1-2クロック)

飽和演算 (オーバフロー / アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング / ショート形式を持つロード / ストア命令

符号付きロード命令

メモリ空間 64 Mバイト・リニア・アドレス空間 (プログラム / データ共用)

外部拡張 : 12 Mバイトまで可能

・内蔵メモリ RAM : 48 Kバイト

・外部バス・インタフェース

セパレート・バス / マルチプレクス・バス出力選択可能 (CS1のみ)

8/16ビット・データ・バス・サイジング機能

チップ・セレクト機能 : 4空間

ウエイト機能

・プログラマブル・ウエイト機能

・外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

割り込み / 例外

ノンマスカブル割り込み : 2要因

マスカブル割り込み : 35要因

外部8要因, 内部27要因

ソフトウェア例外 : 32要因

例外トラップ : 2要因

I/Oライン 入出力ポート : 65

タイマ機能

タイマM (TMM) : 1ch

タイマP (TMP) : 6ch

ウォッチドッグ・タイマ : 1ch

リアルタイム出力機能 6ビット × 1ch または 4ビット × 1ch と 2ビット × 1ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースA (UARTA)

3線式可変長シリアル・インタフェースB (CSIB)

UARTA/CSIB : 1ch

UARTA : 1ch

CSIB : 1ch

A/Dコンバータ 10ビット分解能 : 8ch

D/Aコンバータ 8ビット分解能 : 2ch

クロック・ジェネレータ CPUクロック6段階 ( fxx, fxx/2, fxx/4, fxx/8, fxx/16, fxx/32 )  
PLL ( 2逓倍 )

パワー・セーブ機能 HALT/IDLE/STOPモード

パッケージ 120ピン・プラスチックTQFP ( ファインピッチ ) ( 14 × 14 )

144ピン・プラスチックLQFP ( ファインピッチ ) ( 20 × 20 )

### 1.3 応用分野

DVDリライタブル・ドライブ , DVDレコーダなどの光ストレージ機器

### 1.4 オーダ情報

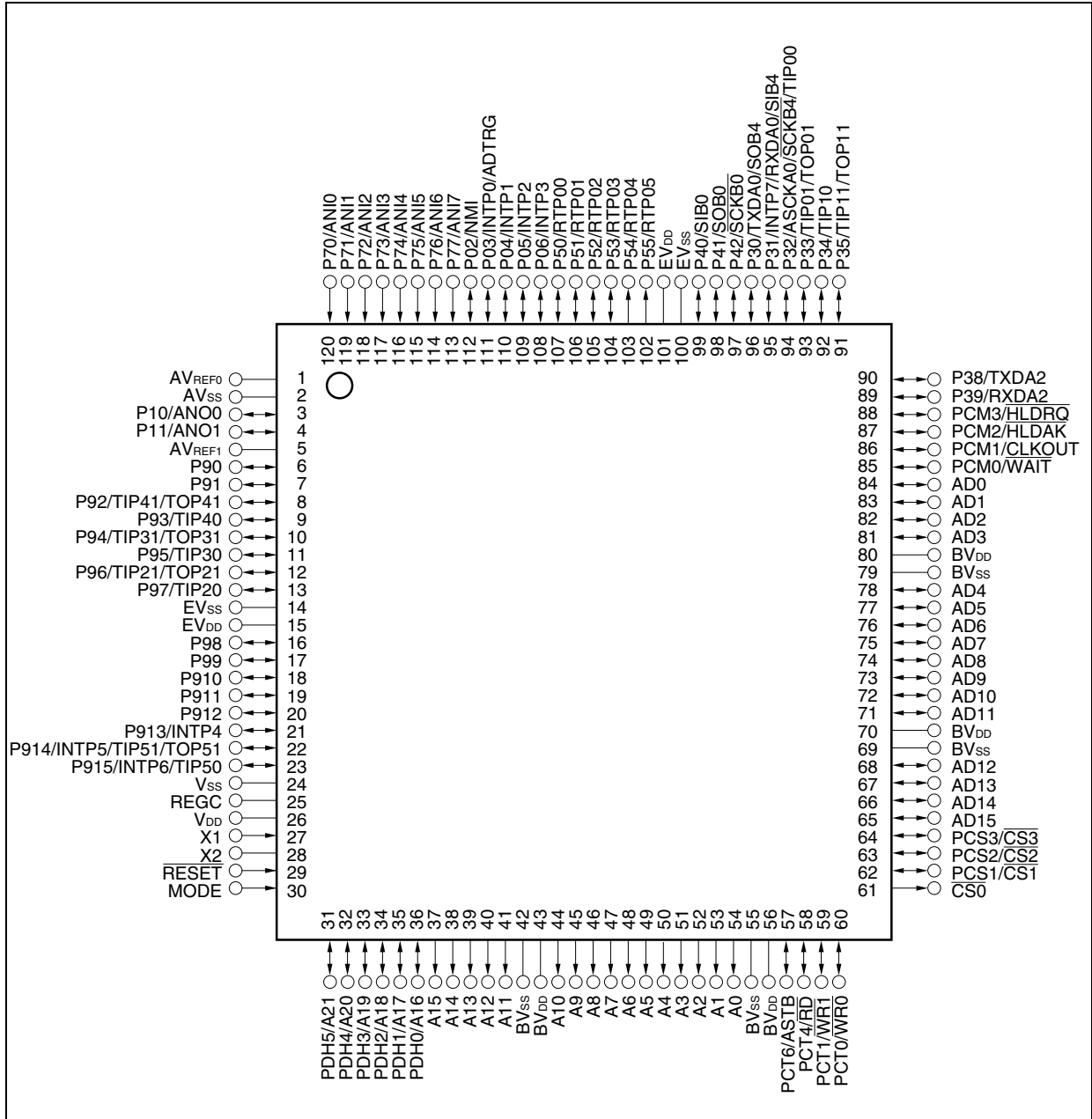
品 名	パッケージ
μ PD703220GC-9EB-A	120ピン・プラスチックTQFP ( ファインピッチ ) ( 14 × 14 )
μ PD703220GJ-UEN-A	144ピン・プラスチックLQFP ( ファインピッチ ) ( 20 × 20 )

**備考** V850ES/ST2は , 鉛フリー製品です。

## 1.5 端子接続図 (Top View)

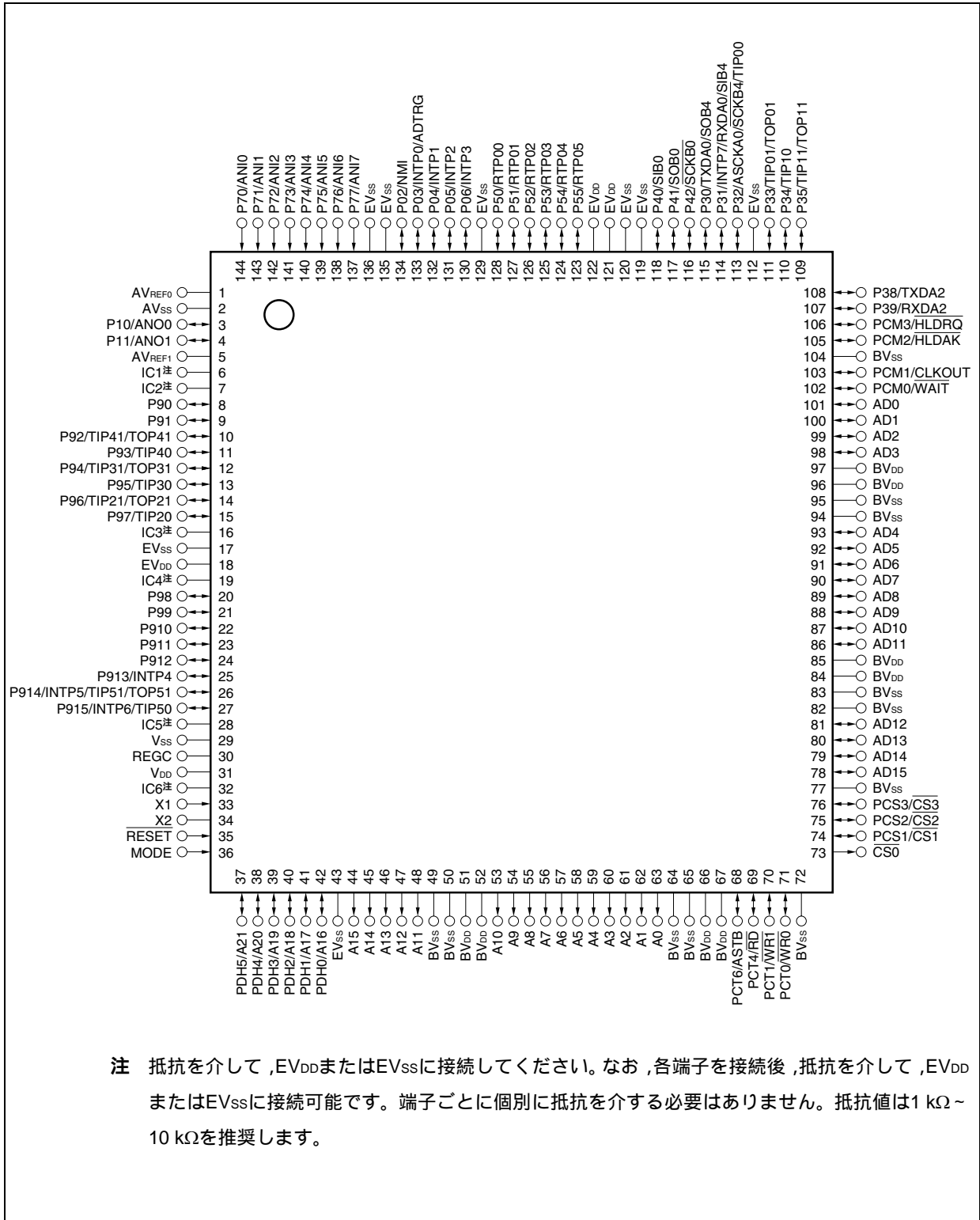
120ピン・プラスチックTQFP (ファインピッチ) (14×14)

μPD703220GC-9EB-A



144ピン・プラスチックLQFP (ファインピッチ) (20×20)

μPD703220GJ-UEN-A



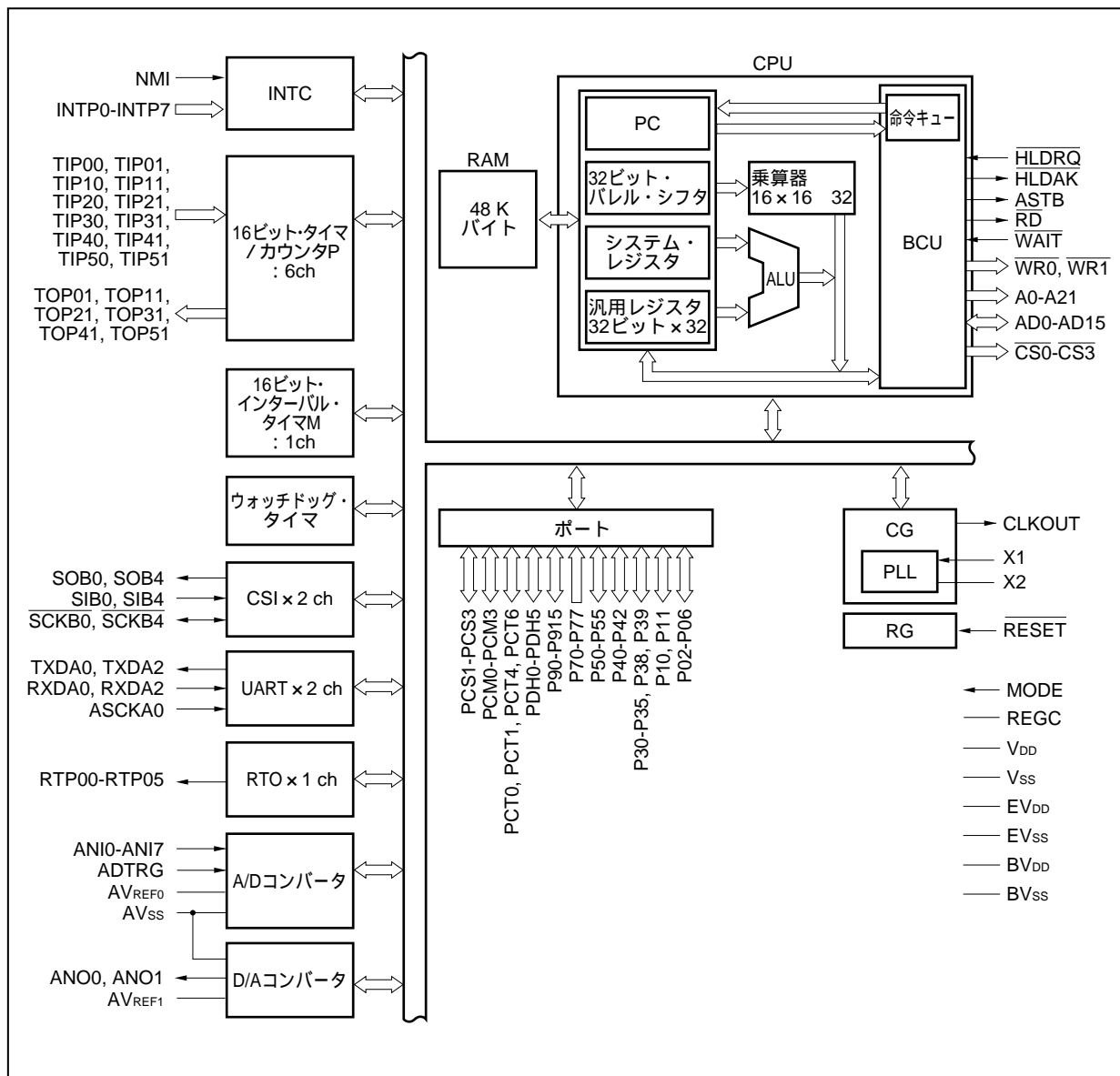
注 抵抗を介して, EV<sub>DD</sub>またはEV<sub>SS</sub>に接続してください。なお,各端子を接続後,抵抗を介して, EV<sub>DD</sub>またはEV<sub>SS</sub>に接続可能です。端子ごとに個別に抵抗を介する必要はありません。抵抗値は1 kΩ ~ 10 kΩを推奨します。

端子名称

A0-A21	: Address Bus	PCS1-PCS3	: Port CS
AD0-AD15	: Address/Data Bus	PCT0, PCT1,	: Port CT
ADTRG	: A/D Trigger Input	PCT4, PCT6	
ANI0-ANI7	: Analog Input	PDH0-PDH5	: Port DH
ANO0, ANO1	: Analog Output	$\overline{RD}$	: Read Strobe
ASCKA0	: Asynchronous Serial Clock	REGC	: Regulator Control
ASTB	: Address Strobe	$\overline{RESET}$	: Reset
AVREF0, AVREF1	: Analog Reference Voltage	RTP00-RTP05	: Real-time Output Port
AVSS	: Analog Vss	RXDA0, RXDA2	: Receive Data
BVDD	: Power Supply for Bus Interface	$\overline{SCKB0}$ , $\overline{SCKB4}$	: Serial Clock
BVSS	: Ground for Bus Interface	SIB0, SIB4	: Serial Input
CLKOUT	: Clock Output	SOB0, SOB4	: Serial Output
$\overline{CS0-CS3}$	: Chip Select	TIP00, TIP01,	: Timer Input
EVDD	: Power Supply for Port	TIP10, TIP11,	
EVSS	: Ground for Port	TIP20, TIP21,	
$\overline{HLDAK}$	: Hold Acknowledge	TIP30, TIP31,	
$\overline{HLDRQ}$	: Hold Request	TIP40, TIP41,	
IC1-IC6	: Internally Connected	TIP50, TIP51	
INTP0-INTP7	: External Interrupt Input	TOP01, TOP11,	: Timer Output
MODE	: Mode	TOP21, TOP31,	
NMI	: Non-maskable Interrupt Request	TOP41, TOP51	
P02-P06	: Port 0	TXDA0, TXDA2	: Transmit Data
P10, P11	: Port 1	VDD	: Power Supply
P30-P35, P38, P39	: Port 3	VSS	: Ground
P40-P42	: Port 4	$\overline{WAIT}$	: Wait
P50-P55	: Port 5	$\overline{WR0}$	: Write Strobe Low Level Data
P70-P77	: Port 7	$\overline{WR1}$	: Write Strobe High Level Data
P90-P915	: Port 9	X1, X2	: Crystal for Main Clock
PCM0-PCM3	: Port CM		

## 1.6 機能ブロック構成

### 1.6.1 内部ブロック図





## 1.6.2 内部ユニット

### (1) CPU

アドレス計算、算術論理演算、データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器 (16ビット×16ビット 32ビット)、バレル・シフタ (32ビット) などの専用ハードウェアを内蔵し、複雑な処理の高速化を図っています。

### (2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は、プリフェッチ・アドレスを生成し、命令コードのプリフェッチを行います。プリフェッチされた命令コードは、内部の命令キューに取り込まれます。

### (3) RAM

3FF3000H-3FFEFFFH番地にマッピングされる48 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

### (4) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア、および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP7) を処理します。これらの割り込み要求は、8レベルの割り込み優先順位を指定でき、多重処理制御ができます。

### (5) クロック・ジェネレータ (CG)

システム・クロック ( $f_{xx}$ ) 用の発振回路を内蔵しています。6種類 ( $f_{xx}$ ,  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ ) のクロックを生成し、そのうちの1つをCPUの動作クロック ( $f_{CPU}$ ) として供給します。

### (6) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタ (TMP) を6チャンネル、16ビットのインターバル・タイマ (TMM) を1チャンネル内蔵しています。

### (7) ウォッチドッグ・タイマ

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

### (8) リアルタイム出力機能

あらかじめ設定しておいた6ビット・データを、タイマのコンペア・レジスタの一致信号により出力ラッチに転送します。

(9) シリアル・インタフェース

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTA) , 3線式可変長シリアル/CSIB)を内蔵しており ,最大3チャンネルを同時に使用できます。このうち1チャンネルはUARTAとCSIBの切り替えができます。

UARTAは , TXDA0, TXDA2, RXDA0, RXDA2端子によりデータ転送を行います。

CSIBは , SOB0, SOB4, SIB0, SIB4, SCKB0, SCKB4端子によりデータ転送を行います。

(10) A/Dコンバータ

8本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(11) D/Aコンバータ

8ビット分解能のD/Aコンバータを2チャンネル内蔵しています。R-2Rラダー方式です。

(12) ポート

次に示すように , 汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
P0	5ビット入出力	NMI , 外部割り込み , A/Dコンバータ・トリガ
P1	2ビット入出力	D/Aコンバータ・アナログ出力
P3	8ビット入出力	外部割り込み , シリアル・インタフェース , タイマ入出力
P4	3ビット入出力	シリアル・インタフェース
P5	6ビット入出力	リアルタイム出力
P7	8ビット入力	A/Dコンバータ・アナログ入力
P9	16ビット入出力	タイマ入出力 , 外部割り込み
PCM	4ビット入出力	外部バス制御信号
PCT	4ビット入出力	外部バス制御信号
PDH	6ビット入出力	外部アドレス・バス
PCS	3ビット入出力	外部バス制御信号

## 第2章 端子機能

### 2.1 端子機能一覧

V850ES/ST2の端子名称と機能を次に示します。

端子の入出力バッファ電源には、 $AV_{REF0}$ 、 $AV_{REF1}$ 、 $EV_{DD}$ 、 $BV_{DD}$ の4系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子
$AV_{REF0}$	ポート7
$AV_{REF1}$	ポート1
$EV_{DD}$	ポート0, 3-5, 9, $\overline{RESET}$
$BV_{DD}$	ポートCM, CT, CS, DH

## (1) ポート端子

(1/2)

端子名称	ピン番号		入出力	機 能	兼用端子
	GC	GJ			
P02	112	134	入出力	ポート0 5ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	NMI
P03	111	133			INTP0/ADTRG
P04	110	132			INTP1
P05	109	131			INTP2
P06	108	130			INTP3
P10	3	3	入出力	ポート1 2ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	ANO0
P11	4	4			ANO1
P30	96	115	入出力	ポート3 8ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TXDA0/SOB4
P31	95	114			INTP7/RXDA0/SIB4
P32	94	113			ASCKA0/ $\overline{\text{SCKB4}}$ /TIP00
P33	93	111			TIP01/TOP01
P34	92	110			TIP10
P35	91	109			TIP11/TOP11
P38	90	108			TXDA2
P39	89	107			RXDA2
P40	99	118	入出力	ポート4 3ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SIB0
P41	98	117			SOB0
P42	97	116			$\overline{\text{SCKB0}}$
P50	107	128	入出力	ポート5 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	RTP00
P51	106	127			RTP01
P52	105	126			RTP02
P53	104	125			RTP03
P54	103	124			RTP04
P55	102	123			RTP05
P70	120	144	入力	ポート7 8ビット入力ポート 1ビット単位で入力のみ可能	ANI0
P71	119	143			ANI1
P72	118	142			ANI2
P73	117	141			ANI3
P74	116	140			ANI4
P75	115	139			ANI5
P76	114	138			ANI6
P77	113	137			ANI7

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

端子名称	ピン番号		入出力	機 能	兼用端子
	GC	GJ			
P90	6	8	入出力	ポート9 16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	-
P91	7	9			-
P92	8	10			TIP41/TOP41
P93	9	11			TIP40
P94	10	12			TIP31/TOP31
P95	11	13			TIP30
P96	12	14			TIP21/TOP21
P97	13	15			TIP20
P98	16	20			-
P99	17	21			-
P910	18	22			-
P911	19	23			-
P912	20	24			-
P913	21	25			INTP4
P914	22	26			INTP5/TIP51/TOP51
P915	23	27	INTP6/TIP50		
PCM0	85	102	入出力	ポートCM 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	WAIT
PCM1	86	103			CLKOUT
PCM2	87	105			HLD $\overline{\text{AK}}$
PCM3	88	106			HLD $\overline{\text{RQ}}$
PCS1	62	74	入出力	ポートCS 3ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	CS1
PCS2	63	75			CS2
PCS3	64	76			CS3
PCT0	60	71	入出力	ポートCT 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	WR0
PCT1	59	70			WR1
PCT4	58	69			RD
PCT6	57	68			ASTB
PDH0	36	42	入出力	ポートDH 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A16
PDH1	35	41			A17
PDH2	34	40			A18
PDH3	33	39			A19
PDH4	32	38			A20
PDH5	31	37			A21

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

(2) ポート以外の端子

(1/4)

端子名	ピン番号		入出力	機 能	兼用端子名
	GC	GJ			
A0	54	63	出力	外部メモリに対するアドレス・バス (セパレート・バス使用時)	-
A1	53	62			-
A2	52	61			-
A3	51	60			-
A4	50	59			-
A5	49	58			-
A6	48	57			-
A7	47	56			-
A8	46	55			-
A9	45	54			-
A10	44	53			-
A11	41	48			-
A12	40	47			-
A13	39	46			-
A14	38	45			-
A15	37	44	-		
A16	36	42	出力	外部メモリに対するアドレス・バス	PDH0
A17	35	41			PDH1
A18	34	40			PDH2
A19	33	39			PDH3
A20	32	38			PDH4
A21	31	37			PDH5
AD0	84	101	入出力	外部メモリに対するアドレス/データ・バス	-
AD1	83	100			-
AD2	82	99			-
AD3	81	98			-
AD4	78	93			-
AD5	77	92			-
AD6	76	91			-
AD7	75	90			-
AD8	74	89			-
AD9	73	88			-
AD10	72	87			-
AD11	71	86			-
AD12	68	81			-
AD13	67	80			-
AD14	66	79			-
AD15	65	78	-		
ADTRG	111	133	入力	A/Dコンバータ外部トリガ入力	P03/INTP0

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

端子名	ピン番号		入出力	機能	兼用端子名
	GC	GJ			
ANI0	120	144	入力	A/Dコンバータ用アナログ電圧入力	P70
ANI1	119	143			P71
ANI2	118	142			P72
ANI3	117	141			P73
ANI4	116	140			P74
ANI5	115	139			P75
ANI6	114	138			P76
ANI7	113	137			P77
ANO0	3	3	出力	D/Aコンバータ用アナログ電圧出力	P10
ANO1	4	4			P11
ASCKA0	94	113	入力	UARTA0のポー・レート・クロック入力	P32/SCKB4/TIP00
ASTB	57	68	出力	外部メモリに対するアドレス・ストローブ信号出力	PCT6
AVREF0	1	1	-	A/Dコンバータ用正電源供給兼基準電圧入力( $V_{DD}$ と同電位)	-
AVREF1	5	5	-	D/Aコンバータ用正電源供給兼基準電圧入力( $V_{DD}$ と同電位)	-
AVSS	2	2	-	A/D, D/Aコンバータ用グランド電位( $V_{SS}$ と同電位)	-
BVDD	注1	注1	-	バス・インタフェース用正電源供給	-
BVSS	注2	注2	-	バス・インタフェース用グランド電位	-
CLKOUT	86	103	出力	内部システム・クロック出力	PCM1
CS0	61	73	出力	チップ・セレクト出力	-
CS1	62	74			PCS1
CS2	63	75			PCS2
CS3	64	76			PCS3
EVDD	注3	注3	-	外部およびOSC用正電源供給( $V_{DD}$ と同電位)	-
EVSS	注4	注4	-	外部およびOSC用グランド電位( $V_{SS}$ と同電位)	-
HLD $\overline{AK}$	87	105	出力	バス・ホールド・アクノリッジ出力	PCM2
HLD $\overline{RQ}$	88	106	入力	バス・ホールド要求入力	PCM3

注1. GC : 43, 56, 70, 80

GJ : 51, 52, 66, 67, 84, 85, 96, 97

2. GC : 42, 55, 69, 79

GJ : 49, 50, 64, 65, 72, 77, 82, 83, 94, 95, 104

3. GC : 15, 101

GJ : 18, 121, 122

4. GC : 14, 100

GJ : 17, 43, 112, 119, 120, 129, 135, 136

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

端子名	ピン番号		入出力	機 能	兼用端子名
	GC	GJ			
IC1	-	6	-	内部接続端子	-
IC2	-	7	-		-
IC3	-	16	-		-
IC4	-	19	-		-
IC5	-	28	-		-
IC6	-	32	-		-
INTP0	111	133	入力	外部割り込み要求入力( マスカブル, アナログ・ノイズ除去)	P03/ADTRG
INTP1	110	132			P04
INTP2	109	131			P05
INTP3	108	130			P06
INTP4	21	25			P913
INTP5	22	26			P914/TIP51/TOP51
INTP6	23	27			P915/TIP50
INTP7	95	114			P31/RXDA0/SIB4
MODE	30	36	入力	モード設定端子	-
NMI	112	134	入力	外部割り込み入力( ノンマスカブル, アナログ・ノイズ除去)	P02
$\overline{RD}$	58	69	出力	外部メモリに対するリード・ストローク信号出力	PCT4
REGC	25	30	-	レギュレータ出力安定容量接続	-
$\overline{RESET}$	29	35	入力	システム・リセット入力	-
RTP00	107	128	出力	リアルタイム出力ポート	P50
RTP01	106	127			P51
RTP02	105	126			P52
RTP03	104	125			P53
RTP04	103	124			P54
RTP05	102	123			P55
RXDA0	95	114	入力	シリアル受信データ入力( UAR <sub>T</sub> A0)	P31/INTP7/SIB4
RXDA2	89	107		シリアル受信データ入力( UAR <sub>T</sub> A2)	P39
$\overline{SCKB0}$	97	116	入出力	シリアル・クロック入出力( CS <sub>I</sub> 0)	P42
$\overline{SCKB4}$	94	113		シリアル・クロック入出力( CS <sub>I</sub> 4)	P32/ASCKA0/TIP00
SIB0	99	118	入力	シリアル受信データ入力( CS <sub>I</sub> B0)	P40
SIB4	95	114		シリアル受信データ入力( CS <sub>I</sub> B4)	P31/INTP7/RXDA0
SOB0	98	117	出力	シリアル送信データ出力( CS <sub>O</sub> B0)	P41
SOB4	96	115		シリアル送信データ出力( CS <sub>O</sub> B4)	P30/TXDA0

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)



端子名	ピン番号		入出力	機 能	兼用端子名
	GC	GJ			
TIP00	94	113	入力	キャプチャ・トリガ入力 / 外部イベント・カウント入力 / 外部トリガ入力 (TMP0)	P32/ASCKA0/SCKB4
TIP01	93	111		キャプチャ・トリガ入力 (TMP0)	P33/TOP01
TIP10	92	110		キャプチャ・トリガ入力 / 外部イベント・カウント入力 / 外部トリガ入力 (TMP1)	P34
TIP11	91	109		キャプチャ・トリガ入力 (TMP1)	P35/TOP11
TIP20	13	15		キャプチャ・トリガ入力 / 外部イベント・カウント入力 / 外部トリガ入力 (TMP2)	P97
TIP21	12	14		キャプチャ・トリガ入力 (TMP2)	P96/TOP21
TIP30	11	13		キャプチャ・トリガ入力 / 外部イベント・カウント入力 / 外部トリガ入力 (TMP3)	P95
TIP31	10	12		キャプチャ・トリガ入力 (TMP3)	P94/TOP31
TIP40	9	11		キャプチャ・トリガ入力 / 外部イベント・カウント入力 / 外部トリガ入力 (TMP4)	P93
TIP41	8	10		キャプチャ・トリガ入力 (TMP4)	P92/TOP41
TIP50	23	27		キャプチャ・トリガ入力 / 外部イベント・カウント入力 / 外部トリガ入力 (TMP5)	P915/INTP6
TIP51	22	26		キャプチャ・トリガ入力 (TMP5)	P914/INTP5/TOP51
TOP01	93	111		出力	タイマ出力 (TMP0)
TOP11	91	109	タイマ出力 (TMP1)		P35/TIP11
TOP21	12	14	タイマ出力 (TMP2)		P96/TIP21
TOP31	10	12	タイマ出力 (TMP3)		P94/TIP31
TOP41	8	10	タイマ出力 (TMP4)		P92/TIP41
TOP51	22	26	タイマ出力 (TMP5)		P914/INTP5/TIP51
TXDA0	96	115	出力	シリアル送信データ出力 (UARTA0)	P30/SOB4
TXDA2	90	108		シリアル送信データ出力 (UARTA2)	P38
V <sub>DD</sub>	26	31	-	内部用正電源供給端子	-
V <sub>SS</sub>	24	29	-	内部用グランド電位	-
WAIT	85	102	入力	外部ウエイト入力	PCM0
WR0	60	71	出力	外部メモリ (下位8ビット) に対するライト・ストロープ信号出力	PCT0
WR1	59	70		外部メモリ (上位8ビット) に対するライト・ストロープ信号出力	PCT1
X1	27	33	入力	メイン・クロック用発振子接続	-
X2	28	34	-		-

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

## 2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

表2-2 動作モードによる各端子の動作状態

端子	動作状態	リセット <sup>注1</sup>	HALTモード	IDLEモード/ STOPモード	アイドル・ ステート <sup>注2</sup>	バス・ホールド
AD0-AD15		Hi-Z	Hi-Z	Hi-Z	保持	Hi-Z
A0-A15 <sup>注3</sup>		Hi-Z	不定	Hi-Z	保持	Hi-Z
A16-A21 (PDH0-PDH5)		Hi-Z	不定	Hi-Z	保持	Hi-Z
WAIT (PCM0)		Hi-Z	-		-	-
CLKOUT (PCM1)		Hi-Z	動作	L	動作	動作
CS0		Hi-Z	H	H	保持	Hi-Z
CS1-CS3 (PCS1-PCS3)		Hi-Z	H	H	保持	Hi-Z
WR0, WR1 (PCT0, PCT1)		Hi-Z	H	H	H	Hi-Z
RD (PCT4)		Hi-Z	H	H	H	Hi-Z
ASTB (PCT6)		Hi-Z	H	H	H	Hi-Z
HLDK (PCM2)		Hi-Z	動作	H	H	L
HLDK (PCM3)		Hi-Z	動作	-	-	動作

注1. バス制御端子はポート端子と兼用のため、リセット時には、ポート・モード（入力）に初期化されます。

- マルチプレクス・バス・モード時T3，セパレート・バス・モード時T2ステート後に挿入されるアイドル・ステート時の端子状態を示します。
- セパレート・バス・モード時のみ

備考 Hi-Z : ハイ・インピーダンス

H : ハイ・レベル出力

L : ロウ・レベル出力

- : 入力非サンプリング（入力受け付け不可能）

## 2.3 端子の入出力回路タイプ，入出力バッファ電源と未使用時の処理

(1/4)

端子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法
		GC	GJ		
P02	NMI	112	134	8	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P03	INTP0/ADTRG	111	133		
P04	INTP1	110	132		
P05	INTP2	109	131		
P06	INTP3	108	130		
P10	ANO0	3	3	12-D	入力時：個別に抵抗を介して，AV <sub>REF1</sub> またはAV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P11	ANO1	4	4		
P30	TXDA0/SOB4	96	115	5	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P31	RXDA0/SIB4/INTP7	95	114	8	
P32	ASCKA0/SCKB4/TIP00	94	113		
P33	TIP01/TOP01	93	111		
P34	TIP10	92	110		
P35	TIP11/TOP11	91	109		
P38	TXDA2	90	108		
P39	RXDA2	89	107	8	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P40	SIB0	99	118	8	
P41	SOB0	98	117	5	
P42	SCKB0	97	116	8	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P50	RTP00	107	128	5	
P51	RTP01	106	127		
P52	RTP02	105	126		
P53	RTP03	104	125		
P54	RTP04	103	124		
P55	RTP05	102	123		
P70	ANIO	120	144	9	個別に抵抗を介して，AV <sub>REF0</sub> またはAV <sub>SS</sub> に接続してください。
P71	ANIO	119	143		
P72	ANIO	118	142		
P73	ANIO	117	141		
P74	ANIO	116	140		
P75	ANIO	115	139		
P76	ANIO	114	138		
P77	ANIO	113	137		

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

端子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法
		GC	GJ		
P90	-	6	8	5	入力時：個別に抵抗を介して，EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P91	-	7	9		
P92	TIP41/TOP41	8	10	8	
P93	TIP40	9	11		
P94	TIP31/TOP31	10	12		
P95	TIP30	11	13		
P96	TIP21/TOP21	12	14		
P97	TIP20	13	15		
P98	-	16	20	5	
P99	-	17	21		
P910	-	18	22		
P911	-	19	23		
P912	-	20	24		
P913	INTP4	21	25	8	
P914	INTP5/TIP51/TOP51	22	26		
P915	INTP6/TIP50	23	27		
PCM0	WAIT	85	102	5	入力時：個別に抵抗を介して，BV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
PCM1	CLKOUT	86	103		
PCM2	HLDK	87	105		
PCM3	HLDK	88	106		
PCS1	CS1	62	74	5	入力時：個別に抵抗を介して，BV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
PCS2	CS2	63	75		
PCS3	CS3	64	76		
PCT0	WR0	60	71	5	入力時：個別に抵抗を介して，BV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
PCT1	WR1	59	70		
PCT4	RD	58	69		
PCT6	ASTB	57	68		
PDH0	A16	36	42	5	入力時：個別に抵抗を介して，BV <sub>DD</sub> またはBV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
PDH1	A17	35	41		
PDH2	A18	34	40		
PDH3	A19	33	39		
PDH4	A20	32	38		
PDH5	A21	31	37		

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

端子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法
		GC	GJ		
A0	-	54	63	5	オープンにしてください。
A1	-	53	62		
A2	-	52	61		
A3	-	51	60		
A4	-	50	59		
A5	-	49	58		
A6	-	48	57		
A7	-	47	56		
A8	-	46	55		
A9	-	45	54		
A10	-	44	53		
A11	-	41	48		
A12	-	40	47		
A13	-	39	46		
A14	-	38	45		
A15	-	37	44		
AD0	-	84	101	5	オープンにしてください。
AD1	-	83	100		
AD2	-	82	99		
AD3	-	81	98		
AD4	-	78	93		
AD5	-	77	92		
AD6	-	76	91		
AD7	-	75	90		
AD8	-	74	89		
AD9	-	73	88		
AD10	-	72	87		
AD11	-	71	86		
AD12	-	68	81		
AD13	-	67	80		
AD14	-	66	79		
AD15	-	65	78		

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

端子	兼用端子名	ピン番号		入出力回路タイプ	推奨接続方法
		GC	GJ		
AV <sub>REF0</sub>	-	1	1	-	V <sub>DD</sub> に直接接続してください。
AV <sub>REF1</sub>	-	5	5	-	V <sub>DD</sub> に直接接続してください。
AV <sub>SS</sub>	-	2	2	-	V <sub>SS</sub> に直接接続してください。
BV <sub>DD</sub>	-	注1	注1	-	-
BV <sub>SS</sub>	-	注2	注2	-	-
CS <sub>0</sub>	-	61	73	5	-
EV <sub>DD</sub>	-	注3	注3	-	-
EV <sub>SS</sub>	-	注4	注4	-	-
IC1	-	-	6	-	抵抗を介して ,EV <sub>DD</sub> またはEV <sub>SS</sub> に接続してください。
IC2	-	-	7	-	
IC3	-	-	16	-	
IC4	-	-	19	-	
IC5	-	-	28	-	
IC6	-	-	32	-	
MODE	-	30	36	-	V <sub>SS</sub> に直接接続してください。
REGC	-	25	30	-	レギュレータ出力安定容量接続
RESET	-	29	35	2	-
V <sub>DD</sub>	-	26	31	-	-
V <sub>SS</sub>	-	24	29	-	-
X1	-	27	33	-	-
X2	-	28	34	-	-

注1. GC : 43, 56, 70, 80

GJ : 51, 52, 66, 67, 84, 85, 96, 97

2. GC : 42, 55, 69, 79

GJ : 49, 50, 64, 65, 72, 77, 82, 83, 94, 95, 104

3. GC : 15, 101

GJ : 18, 121, 122

4. GC : 14, 100

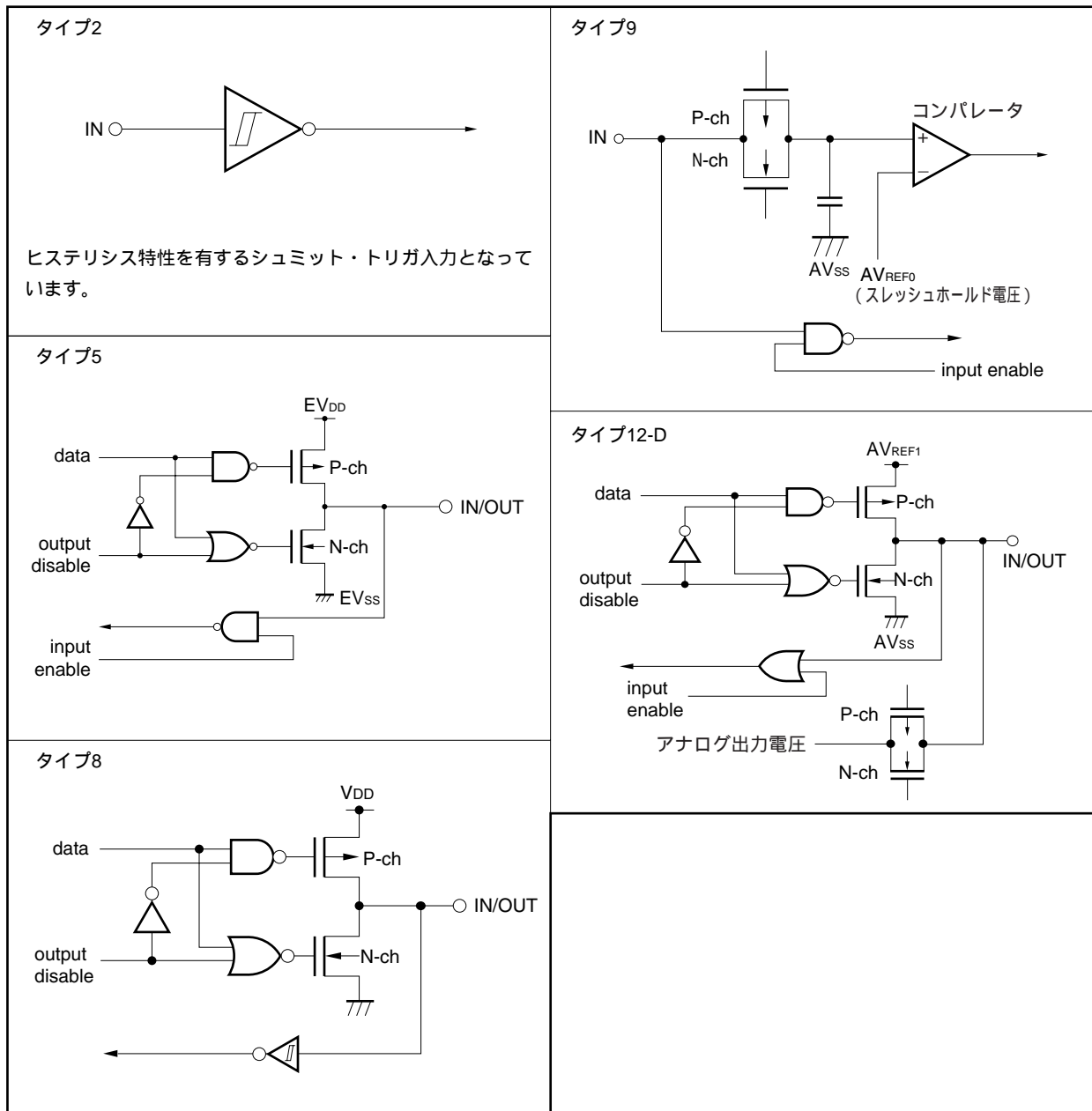
GJ : 17, 43, 112, 119, 120, 129, 135, 136

5. GJ : 6, 7, 16, 19, 28, 32

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

図2 - 1 端子の入出力回路タイプ







## 3.2 CPUレジスタ・セット

V850ES/ST2のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES ユーザーズ・マニュアル アーキテクチャ編 (U15943J) を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外 / デバッグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外 / デバッグ・トラップ時状態回避レジスタ)
r15			
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

### 3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

#### (1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1、r3-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

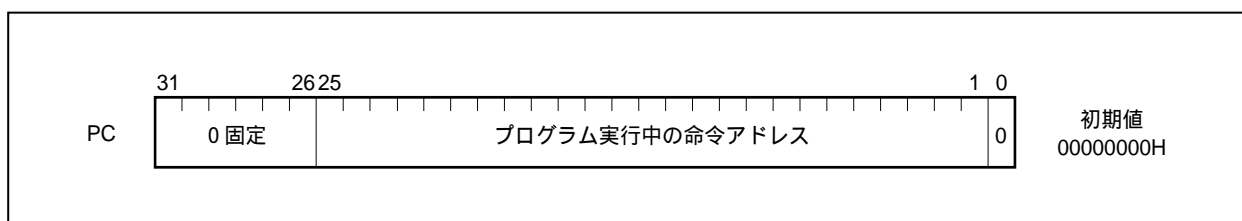
名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス / データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス / データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

**備考** アセンブラやCコンパイラで使用されるr1、r3-r5、r31の詳細な説明は、CA850 **ユーザーズ・マニュアル アセンブリ言語編**を参照してください。

#### (2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



### 3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) <sup>注1</sup>		
1	割り込み時状態退避レジスタ (EIPSW) <sup>注1</sup>		
2	NMI時状態退避レジスタ (FEPC) <sup>注1</sup>		
3	NMI時状態退避レジスタ (FEPSW) <sup>注1</sup>		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	注2	注2
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	注2	注2
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. これらのレジスタは1組しかないので、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

**注意** LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

**備考** : アクセス可能

x : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

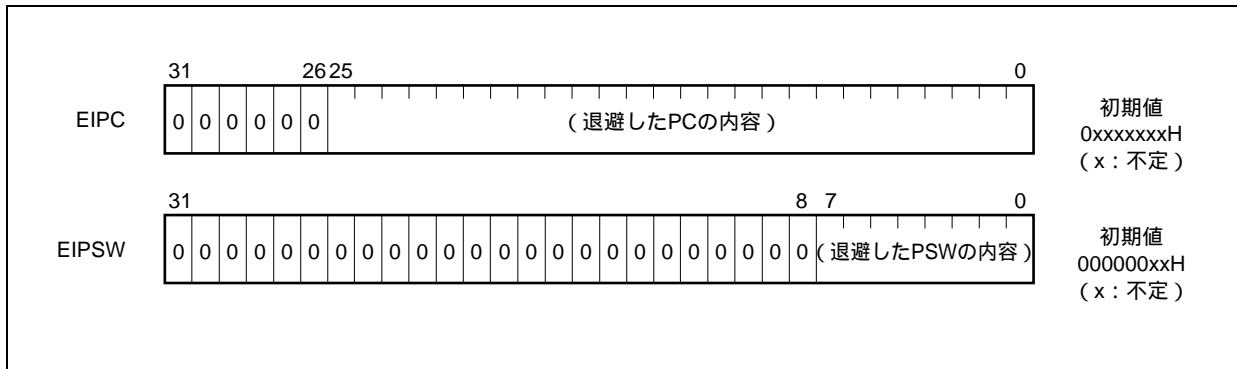
EIPCには、一部の命令 (15.8 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

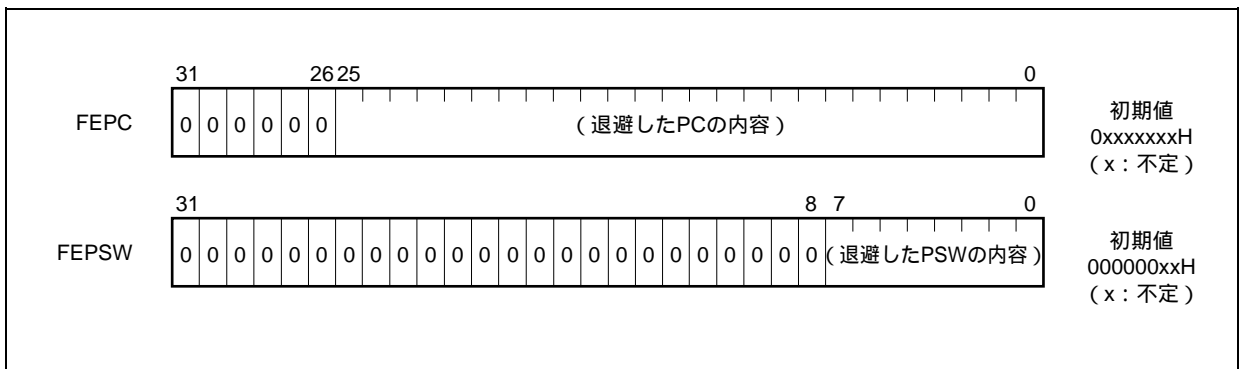
FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

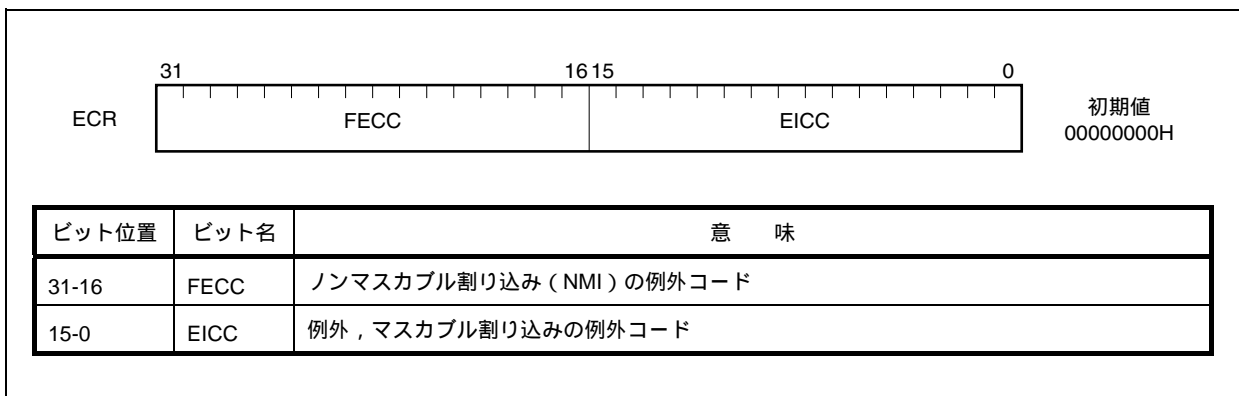
なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。ただし、IDフラグをセット (1) する場合、LDSR命令実行中から割り込み要求の受け付けを禁止します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

(1/2)

PSW	<div style="display: flex; justify-content: space-between; align-items: center;"> <span>31</span> <span>8 7 6 5 4 3 2 1 0</span> </div> <div style="border: 1px solid black; padding: 5px; text-align: center; margin-top: 5px;"> <span style="font-size: 2em;">RFU</span> <span style="font-size: 2em; margin-left: 20px;">NP EP ID SAT CY OV S Z</span> </div>	初期値 00000020H
ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み可 (EI) 1: 割り込み不可 (DI)
4	SAT <sup>注</sup>	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV <sup>注</sup>	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。
1	S <sup>注</sup>	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

**備考** 注の説明は次ページに記載しています。

**注** 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

**(5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)**

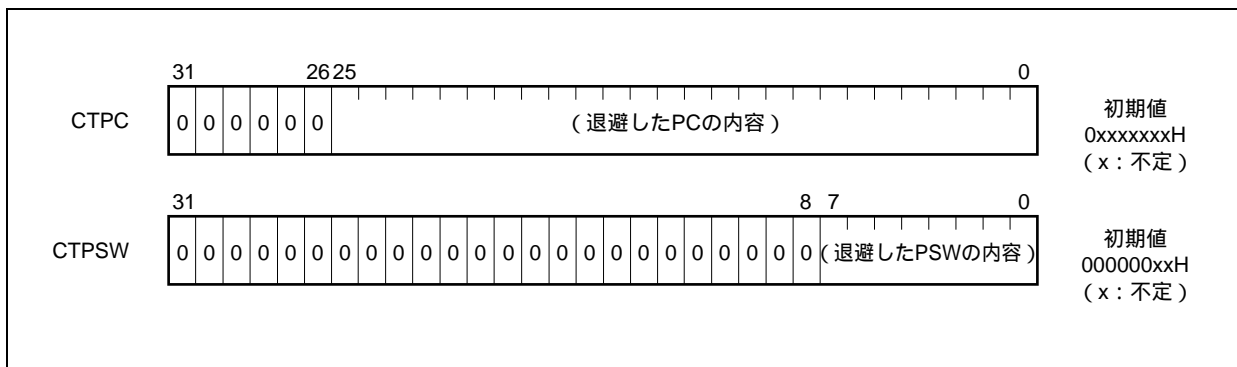
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外 / デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはデバッグ・トラップが発生すると、プログラム・カウンタ(PC)の内容がDBPC に、プログラム・ステータス・ワード (PSW) の内容がDBPSWに退避されます。

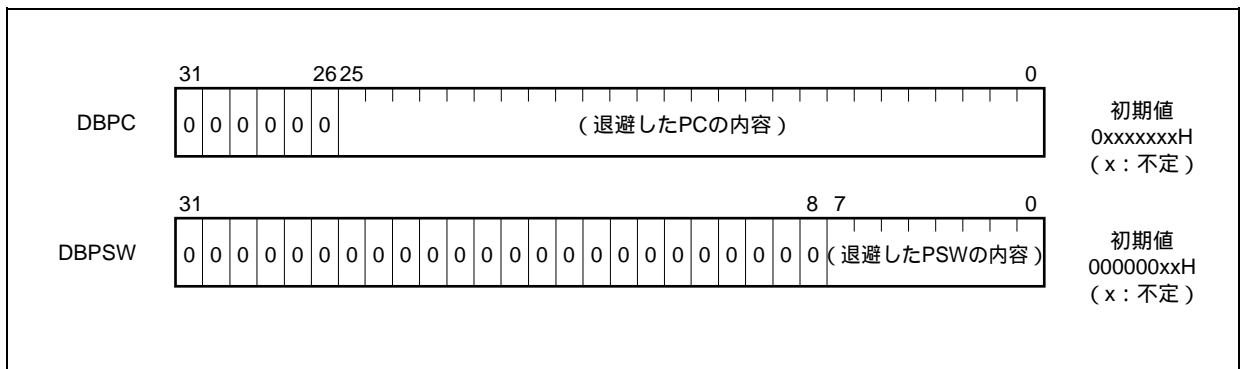
DBPCに退避される内容は、例外トラップ,またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには、現在のPSWの内容が退避されます。

このレジスタへのリード/ライトは、DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお、DBPCのビット31-26とDBPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。

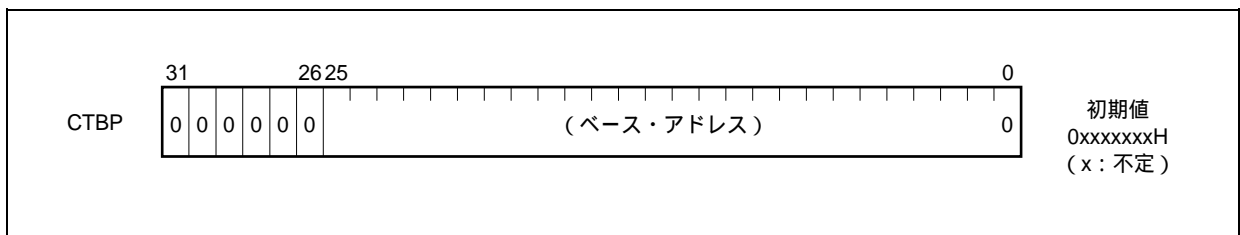
DBRET命令により、DBPCの値はPCへ、DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は、テーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお、ビット31-26は、将来の機能拡張のために予約されています(“0”に固定)。





### 3.3 動作モード

V850ES/ST2は次に示す動作モードを備えます。モードの指定はMODE端子により行います。

#### (1) 通常動作モード (ROMレス・モード)

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、外部メモリから命令フェッチを行い、処理を開始します。外部デバイスと接続していないバス・インタフェース関連の端子は、命令によりポート・モードにすることもできます。

#### 3.3.1 動作モード指定

MODE端子の状態により、動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし、動作中に変更した場合の動作は保証しません。

MODE端子	動作モード
L	通常動作モード
H	設定禁止

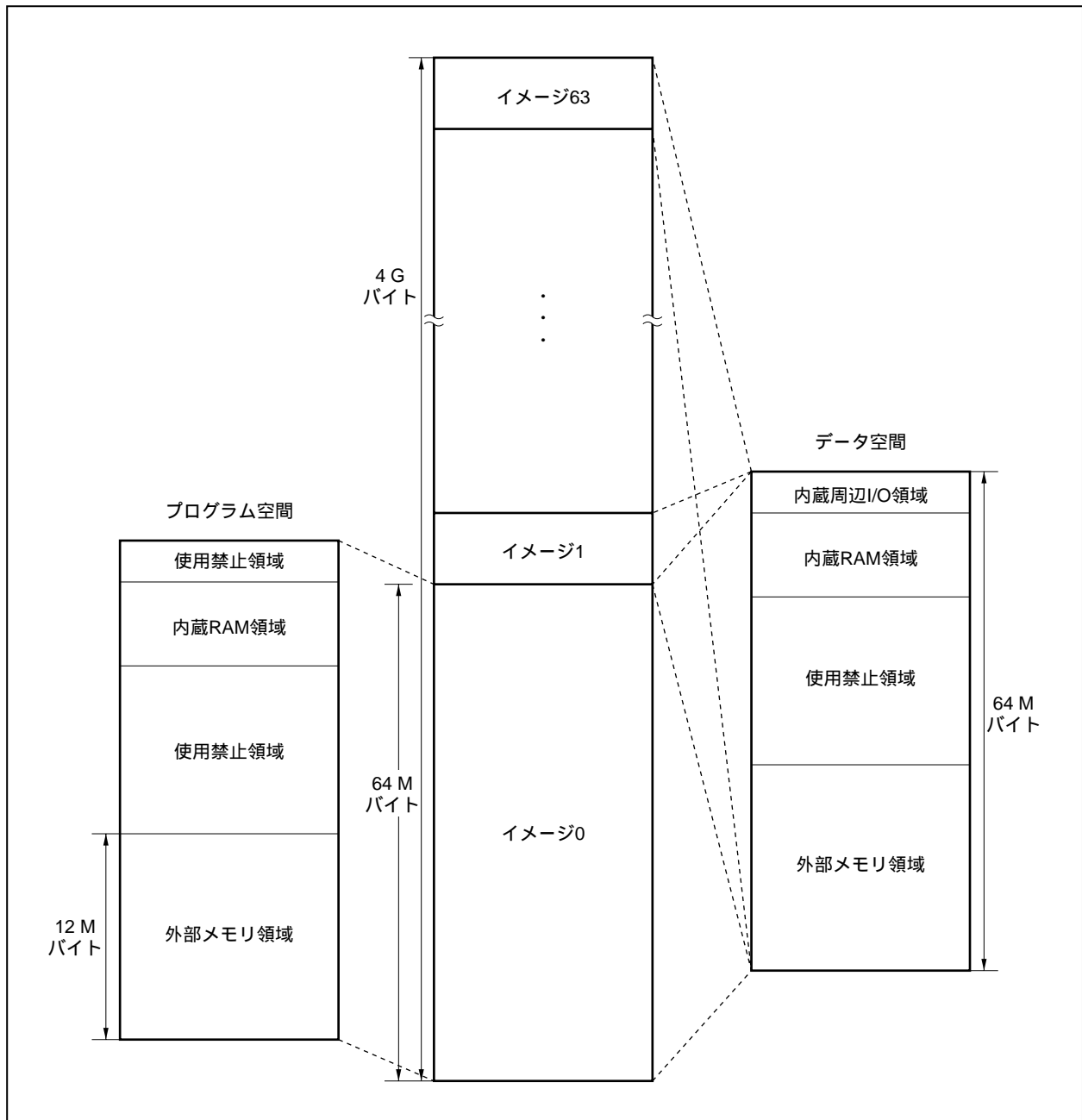
**備考** L: ロウ・レベル入力  
H: ハイ・レベル入力

## 3.4 アドレス空間

### 3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大12 Mバイトの外部メモリ領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-ビット26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3 - 1 アドレス空間上のイメージ



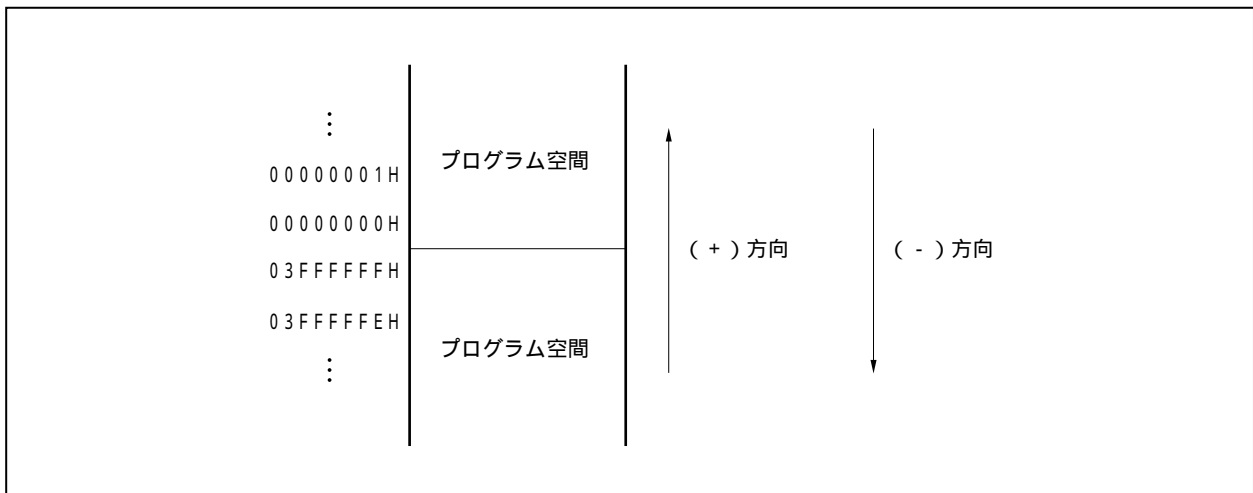
### 3.4.2 CPUアドレス空間のラップ・アラウンド

#### (1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限の03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

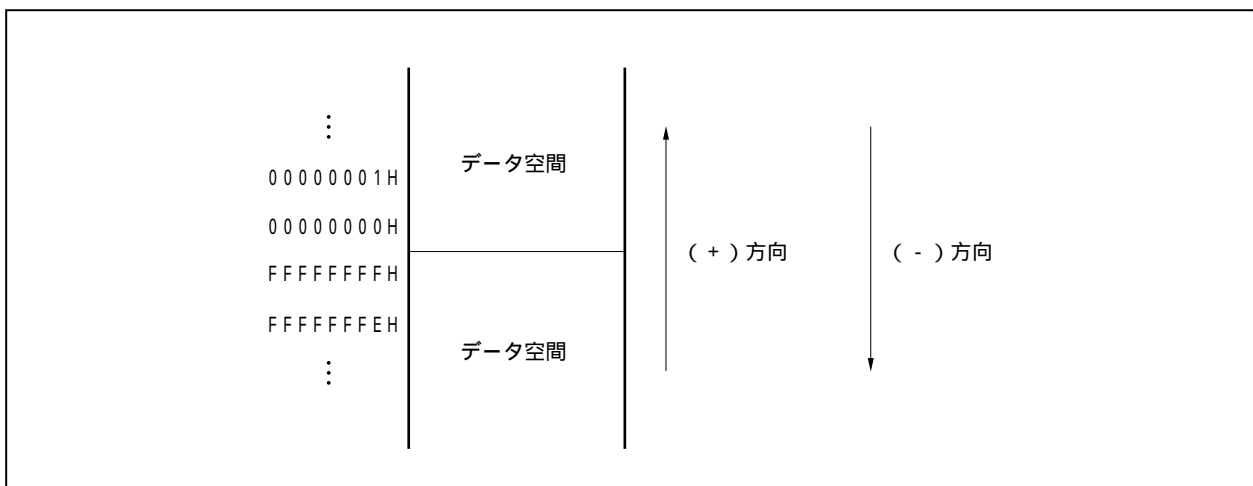
**注意** 03FFF000H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



#### (2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の上限のFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



### 3.4.3 メモリ・マップ

V850ES/ST2では、次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ(物理アドレス)

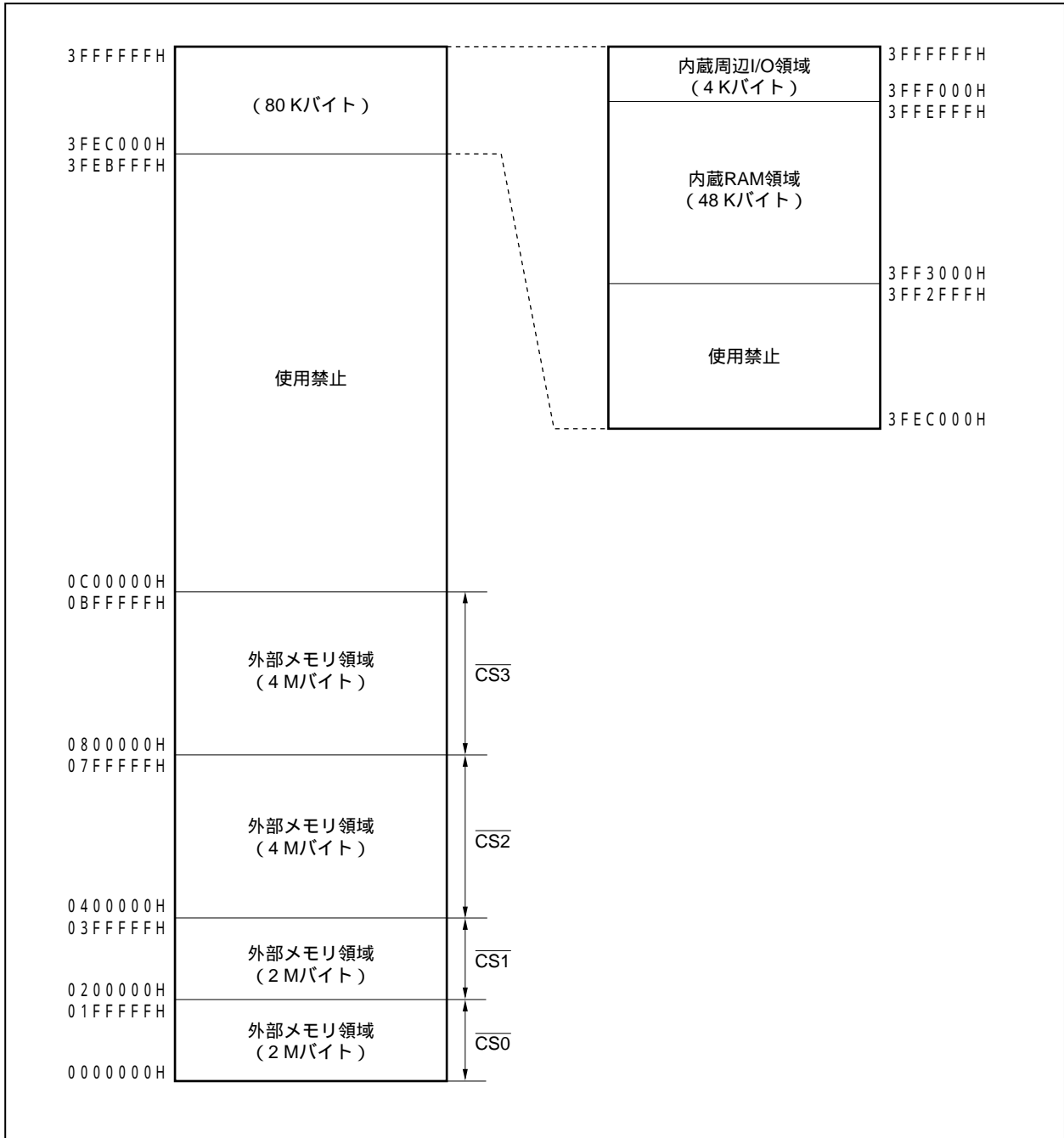
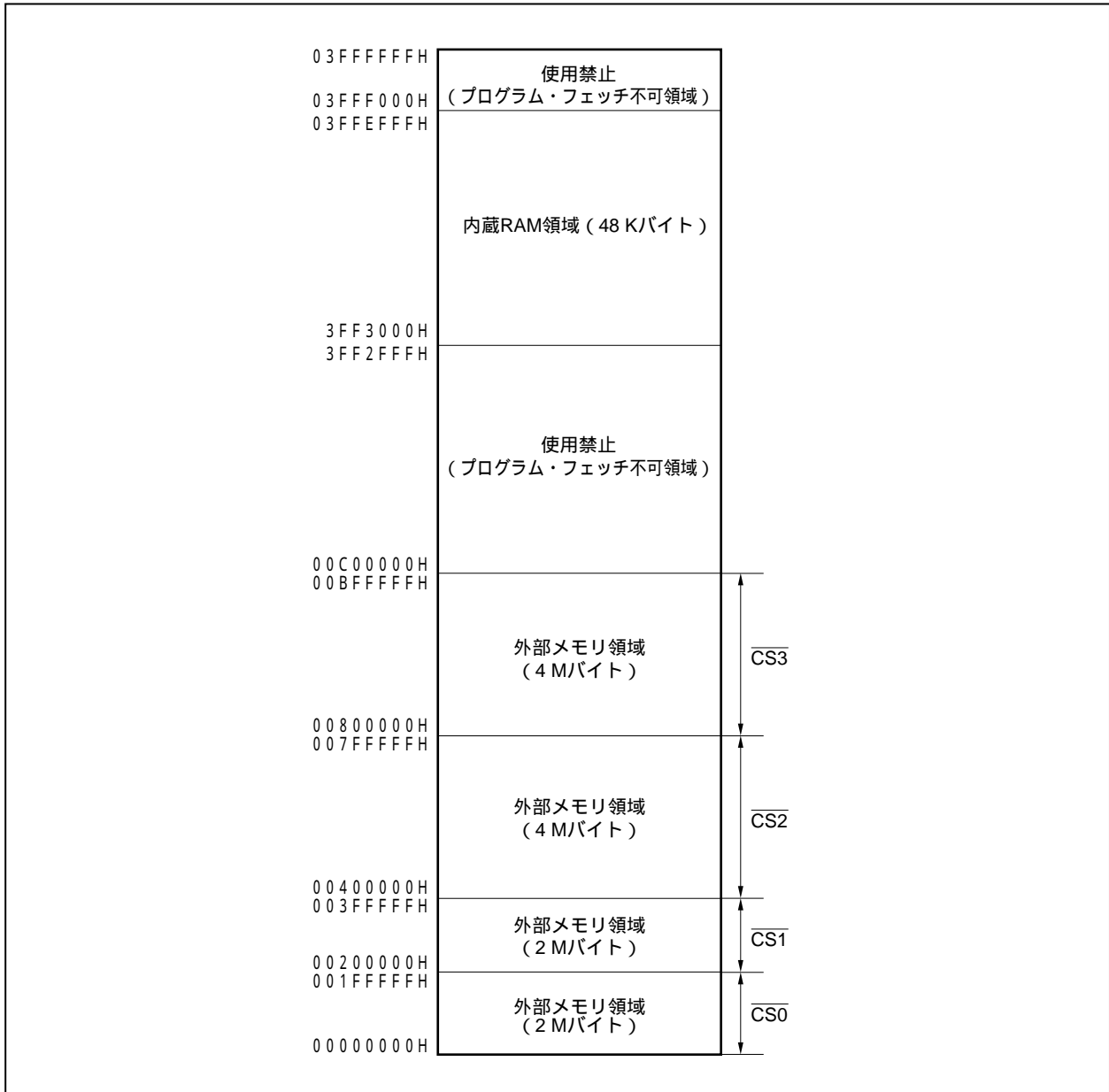


図3-3 プログラム・メモリ・マップ



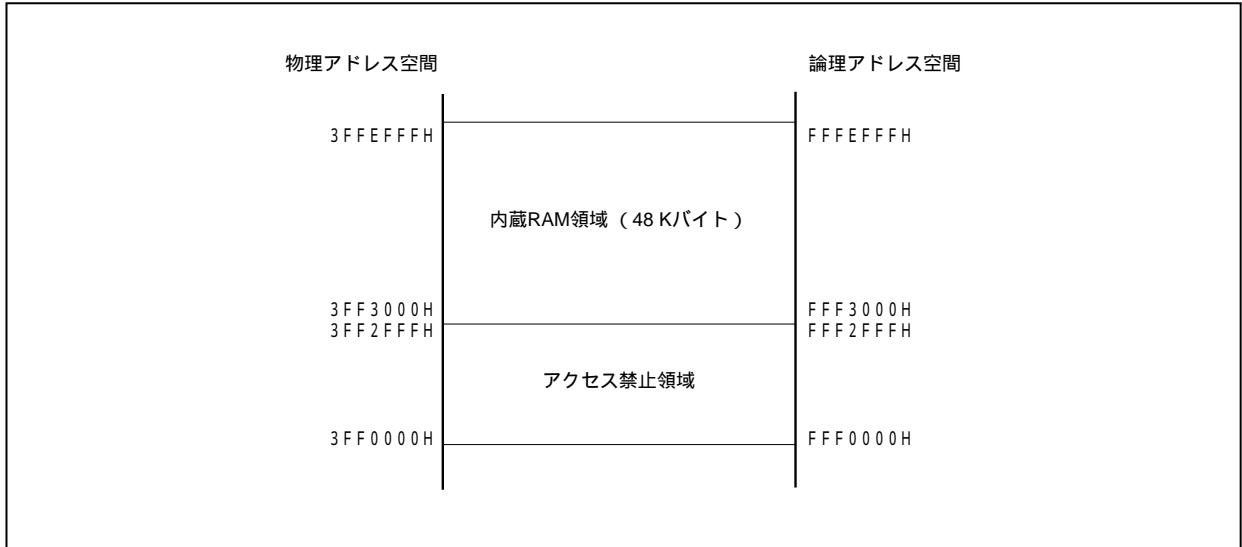
### 3.4.4 領域

#### (1) 内蔵RAM領域

内蔵RAM領域は、3FF0000H-3FFEFFFH番地の60 Kバイトが予約されています。

V850ES/ST2では、物理内蔵RAMとして3FF3000H-3FFEFFFH番地の48 Kバイトを実装しています。

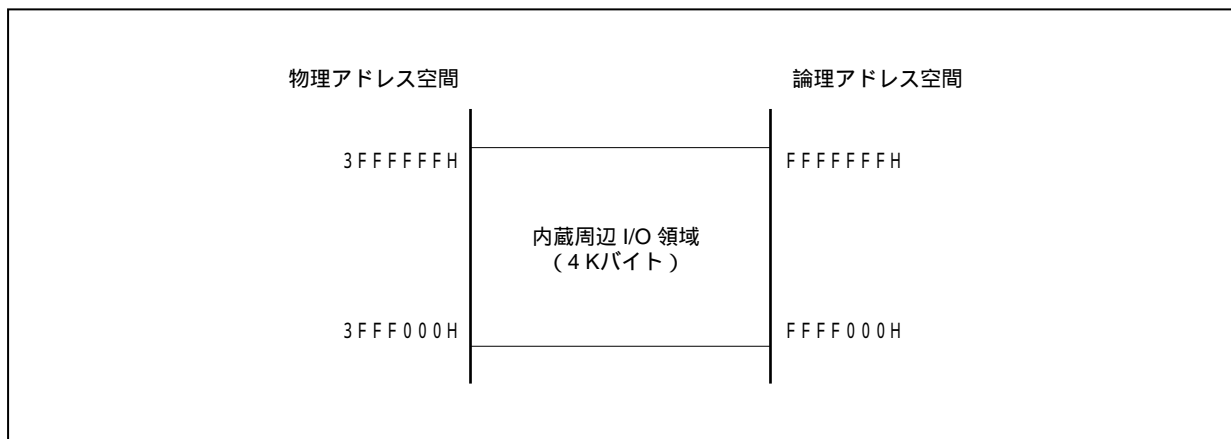
図3 - 4 内蔵RAM領域 (48 Kバイト)



## (2) 内蔵周辺I/O領域

内蔵周辺I/O領域として3FFF000H-3FFFFFFH番地の4 Kバイトを実装しています。

図3 - 5 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
  3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。
  4. 内蔵RAM領域と、内蔵周辺I/O領域のアドレスは連続しています。  
そのため、ポインタ操作などでアドレスをインクリメント/デクリメントしながらアクセスする場合は、誤って内蔵RAM領域を越えて内蔵周辺I/O領域へアクセスしないでください。

## (3) 外部メモリ領域

外部メモリ領域として12 Mバイト(0000000H-0BFFFFFFH)あります。詳細は第5章 バス制御機能を参照してください。

### 3.4.5 アドレス空間の推奨使用方法

V850ES/ST2のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

#### (1) プログラム空間

PC(プログラム・カウンタ)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、3FF3000H-3FFEFFFH番地に対してアクセスしてください。

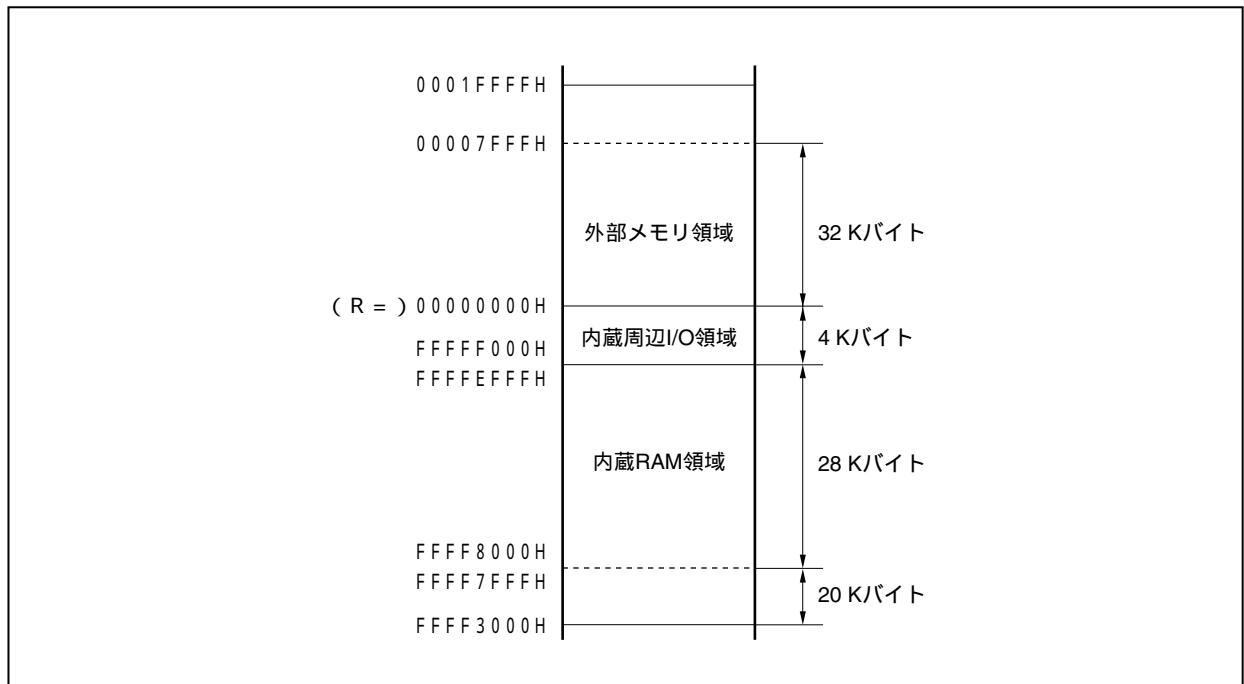
**注意** 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。

#### (2) データ空間

V850ES/ST2では、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。



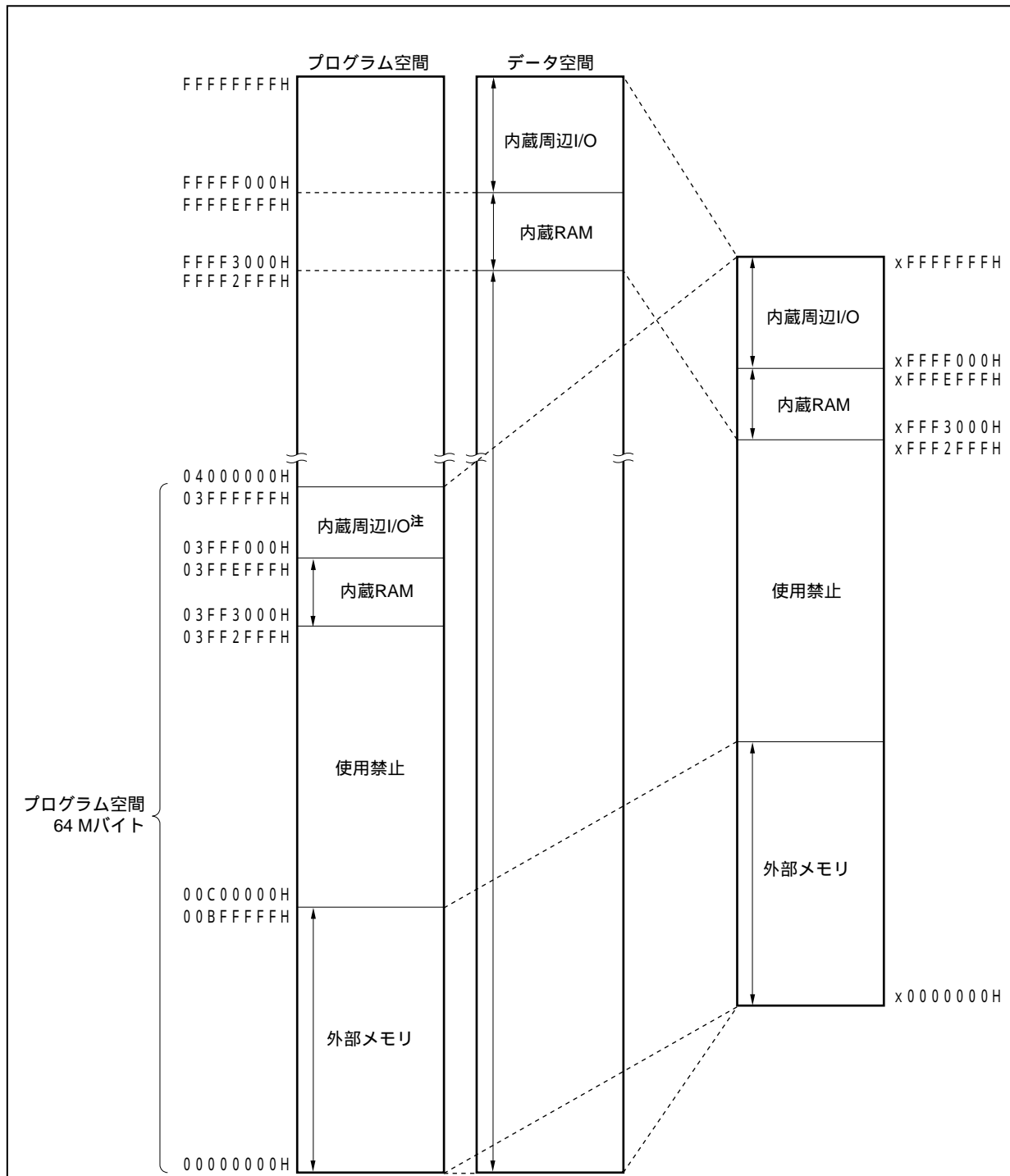
例 ラップ・アラウンドを利用した応用例は次のようになります。



LD/ST disp16[ R ]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ (r0) はハードウェアでゼロ固定のレジスタであり、ポインタ専用に使わずレジスタは実質不要となります。

図3-6 推奨メモリ・マップ



**注** この領域はアクセス禁止です。この領域の内蔵周辺I/OにアクセスするときにはFFFFFF000H-FFFFFFFH番地を指定してください。

**備考** †は推奨使用領域です。

## 3.4.6 周辺I/Oレジスタ

(1/6)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF006H	ポートDHレジスタ	PDH	R/W				00H <sup>注1</sup>
FFFFFF008H	ポートCSレジスタ	PCS					不定 <sup>注2</sup>
FFFFFF00AH	ポートCTレジスタ	PCT					00H <sup>注1</sup>
FFFFFF00CH	ポートCMレジスタ	PCM					00H <sup>注1</sup>
FFFFFF026H	ポートDHモード・レジスタ	PMDH					FFH
FFFFFF028H	ポートCSモード・レジスタ	PMCS					FFH
FFFFFF02AH	ポートCTモード・レジスタ	PMCT					FFH
FFFFFF02CH	ポートCMモード・レジスタ	PMCM					FFH
FFFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH					3FH
FFFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS					01H
FFFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT					13H
FFFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM					00H
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC					5555H
FFFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC					77H
FFFFFF100H	割り込みマスク・レジスタ0	IMR0					FFFFH
FFFFFF100H	割り込みマスク・レジスタ0L	IMR0L					FFH
FFFFFF101H	割り込みマスク・レジスタ0H	IMR0H					FFH
FFFFFF102H	割り込みマスク・レジスタ1	IMR1					FFFFH
FFFFFF102H	割り込みマスク・レジスタ1L	IMR1L					FFH
FFFFFF103H	割り込みマスク・レジスタ1H	IMR1H					FFH
FFFFFF104H	割り込みマスク・レジスタ2	IMR2					FFFFH
FFFFFF104H	割り込みマスク・レジスタ2L	IMR2L					FFH
FFFFFF110H	割り込み制御レジスタ	WDTIC					47H
FFFFFF112H	割り込み制御レジスタ	PIC0					47H
FFFFFF114H	割り込み制御レジスタ	PIC1					47H
FFFFFF116H	割り込み制御レジスタ	PIC2					47H
FFFFFF118H	割り込み制御レジスタ	PIC3					47H
FFFFFF11AH	割り込み制御レジスタ	PIC4					47H
FFFFFF11CH	割り込み制御レジスタ	PIC5					47H
FFFFFF11EH	割り込み制御レジスタ	PIC6					47H
FFFFFF120H	割り込み制御レジスタ	PIC7				47H	
FFFFFF122H	割り込み制御レジスタ	TP0OVIC				47H	
FFFFFF124H	割り込み制御レジスタ	TP0CCIC0				47H	
FFFFFF126H	割り込み制御レジスタ	TP0CCIC1				47H	
FFFFFF128H	割り込み制御レジスタ	TP1OVIC				47H	
FFFFFF12AH	割り込み制御レジスタ	TP1CCIC0				47H	
FFFFFF12CH	割り込み制御レジスタ	TP1CCIC1				47H	
FFFFFF12EH	割り込み制御レジスタ	TP2OVIC				47H	
FFFFFF130H	割り込み制御レジスタ	TP2CCIC0				47H	
FFFFFF132H	割り込み制御レジスタ	TP2CCIC1				47H	

注1. ポート・モード時，出力ラッチは00Hになります。入力時は端子の状態を読み出します。

2. ポート・モード時，出力ラッチは0000000xBになります。入力時は端子の状態を読み出します。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFF134H	割り込み制御レジスタ	TP3OVIC	R/W				47H	
FFFFFF136H	割り込み制御レジスタ	TP3CCIC0					47H	
FFFFFF138H	割り込み制御レジスタ	TP3CCIC1					47H	
FFFFFF13AH	割り込み制御レジスタ	TP4OVIC					47H	
FFFFFF13CH	割り込み制御レジスタ	TP4CCIC0					47H	
FFFFFF13EH	割り込み制御レジスタ	TP4CCIC1					47H	
FFFFFF140H	割り込み制御レジスタ	TP5OVIC					47H	
FFFFFF142H	割り込み制御レジスタ	TP5CCIC0					47H	
FFFFFF144H	割り込み制御レジスタ	TP5CCIC1					47H	
FFFFFF146H	割り込み制御レジスタ	TM0EQIC0					47H	
FFFFFF148H	割り込み制御レジスタ	CB0RIC					47H	
FFFFFF14AH	割り込み制御レジスタ	CB0TIC					47H	
FFFFFF14CH	割り込み制御レジスタ	UA0RIC/CB4RIC					47H	
FFFFFF14EH	割り込み制御レジスタ	UA0TIC/CB4TIC					47H	
FFFFFF150H	割り込み制御レジスタ	UA2RIC					47H	
FFFFFF152H	割り込み制御レジスタ	UA2TIC					47H	
FFFFFF154H	割り込み制御レジスタ	ADIC					47H	
FFFFFF1FAH	インサースビス・プライオリティ・レジスタ	ISPR		R				00H
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定	
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H	
FFFFFF200H	A/Dコンバータ・モード・レジスタ0	ADA0M0					00H	
FFFFFF201H	A/Dコンバータ・モード・レジスタ1	ADA0M1					00H	
FFFFFF202H	A/Dコンバータ・チャンネル指定レジスタ	ADA0S					00H	
FFFFFF210H	A/D変換結果レジスタ0	ADA0CR0	R				不定	
FFFFFF211H	A/D変換結果レジスタ0H	ADA0CR0H						不定
FFFFFF212H	A/D変換結果レジスタ1	ADA0CR1						不定
FFFFFF213H	A/D変換結果レジスタ1H	ADA0CR1H						不定
FFFFFF214H	A/D変換結果レジスタ2	ADA0CR2						不定
FFFFFF215H	A/D変換結果レジスタ2H	ADA0CR2H						不定
FFFFFF216H	A/D変換結果レジスタ3	ADA0CR3						不定
FFFFFF217H	A/D変換結果レジスタ3H	ADA0CR3H						不定
FFFFFF218H	A/D変換結果レジスタ4	ADA0CR4						不定
FFFFFF219H	A/D変換結果レジスタ4H	ADA0CR4H						不定
FFFFFF21AH	A/D変換結果レジスタ5	ADA0CR5						不定
FFFFFF21BH	A/D変換結果レジスタ5H	ADA0CR5H						不定
FFFFFF21CH	A/D変換結果レジスタ6	ADA0CR6						不定
FFFFFF21DH	A/D変換結果レジスタ6H	ADA0CR6H						不定
FFFFFF21EH	A/D変換結果レジスタ7	ADA0CR7					不定	
FFFFFF21FH	A/D変換結果レジスタ7H	ADA0CR7H					不定	
FFFFFF280H	D/A変換値設定レジスタ0	DA0CS0	R/W				00H	
FFFFFF281H	D/A変換値設定レジスタ1	DA0CS1						00H
FFFFFF282H	D/Aコンバータ・モード・レジスタ	DA0M						00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF400H	ポート0レジスタ	P0	R/W				00H <sup>注1</sup>
FFFFFF402H	ポート1レジスタ	P1					00H <sup>注1</sup>
FFFFFF406H	ポート3レジスタ	P3					0000H <sup>注1</sup>
FFFFFF406H	ポート3レジスタL	P3L					00H <sup>注1</sup>
FFFFFF407H	ポート3レジスタH	P3H					00H <sup>注1</sup>
FFFFFF408H	ポート4レジスタ	P4					00H <sup>注1</sup>
FFFFFF40AH	ポート5レジスタ	P5					00H <sup>注1</sup>
FFFFFF40EH	ポート7レジスタ	P7	R				不定 <sup>注2</sup>
FFFFFF412H	ポート9レジスタ	P9	R/W				0000H <sup>注1</sup>
FFFFFF412H	ポート9レジスタL	P9L					00H <sup>注1</sup>
FFFFFF413H	ポート9レジスタH	P9H					00H <sup>注1</sup>
FFFFFF420H	ポート0モード・レジスタ	PM0					FFH
FFFFFF422H	ポート1モード・レジスタ	PM1					FFH
FFFFFF426H	ポート3モード・レジスタ	PM3					FFFFH
FFFFFF426H	ポート3モード・レジスタL	PM3L					FFH
FFFFFF427H	ポート3モード・レジスタH	PM3H					FFH
FFFFFF428H	ポート4モード・レジスタ	PM4					FFH
FFFFFF42AH	ポート5モード・レジスタ	PM5					FFH
FFFFFF432H	ポート9モード・レジスタ	PM9					FFFFH
FFFFFF432H	ポート9モード・レジスタL	PM9L					FFH
FFFFFF433H	ポート9モード・レジスタH	PM9H					FFH
FFFFFF440H	ポート0モード・コントロール・レジスタ	PMC0					00H
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3					0000H
FFFFFF446H	ポート3モード・コントロール・レジスタL	PMC3L					00H
FFFFFF447H	ポート3モード・コントロール・レジスタH	PMC3H					00H
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4					00H
FFFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5					00H
FFFFFF452H	ポート9モード・コントロール・レジスタ	PMC9					0000H
FFFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L					00H
FFFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H					00H
FFFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0					00H
FFFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3					0000H
FFFFFF466H	ポート3ファンクション・コントロール・レジスタL	PFC3L					00H
FFFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5					00H
FFFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9					0000H
FFFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L					00H
FFFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H					00H
FFFFFF484H	データ・ウエイト・コントロール・レジスタ0	DWC0					7777H
FFFFFF488H	アドレス・ウエイト・コントロール・レジスタ	AWC					FFFFH
FFFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC					AAAAH

注1. ポート・モード時，出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

2. ポート・モード時，端子の状態を読み出します。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF590H	TMP0制御レジスタ0	TP0CTL0	R/W				00H
FFFFF591H	TMP0制御レジスタ1	TP0CTL1					00H
FFFFF592H	TMP0I/O制御レジスタ0	TP0IOC0					00H
FFFFF593H	TMP0I/O制御レジスタ1	TP0IOC1					00H
FFFFF594H	TMP0I/O制御レジスタ2	TP0IOC2					00H
FFFFF595H	TMP0オプション・レジスタ0	TP0OPT0					00H
FFFFF596H	TMP0キャプチャ/コンペア・レジスタ0	TP0CCR0					0000H
FFFFF598H	TMP0キャプチャ/コンペア・レジスタ1	TP0CCR1					0000H
FFFFF59AH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R				0000H
FFFFF5A0H	TMP1制御レジスタ0	TP1CTL0	R/W				00H
FFFFF5A1H	TMP1制御レジスタ1	TP1CTL1					00H
FFFFF5A2H	TMP1I/O制御レジスタ0	TP1IOC0					00H
FFFFF5A3H	TMP1I/O制御レジスタ1	TP1IOC1					00H
FFFFF5A4H	TMP1I/O制御レジスタ2	TP1IOC2					00H
FFFFF5A5H	TMP1オプション・レジスタ0	TP1OPT0					00H
FFFFF5A6H	TMP1キャプチャ/コンペア・レジスタ0	TP1CCR0					0000H
FFFFF5A8H	TMP1キャプチャ/コンペア・レジスタ1	TP1CCR1					0000H
FFFFF5AAH	TMP1カウンタ・リード・バッファ・レジスタ	TP1CNT	R				0000H
FFFFF5B0H	TMP2制御レジスタ0	TP2CTL0	R/W				00H
FFFFF5B1H	TMP2制御レジスタ1	TP2CTL1					00H
FFFFF5B2H	TMP2I/O制御レジスタ0	TP2IOC0					00H
FFFFF5B3H	TMP2I/O制御レジスタ1	TP2IOC1					00H
FFFFF5B4H	TMP2I/O制御レジスタ2	TP2IOC2					00H
FFFFF5B5H	TMP2オプション・レジスタ0	TP2OPT0					00H
FFFFF5B6H	TMP2キャプチャ/コンペア・レジスタ0	TP2CCR0					0000H
FFFFF5B8H	TMP2キャプチャ/コンペア・レジスタ1	TP2CCR1					0000H
FFFFF5BAH	TMP2カウンタ・リード・バッファ・レジスタ	TP2CNT	R				0000H
FFFFF5C0H	TMP3制御レジスタ0	TP3CTL0	R/W				00H
FFFFF5C1H	TMP3制御レジスタ1	TP3CTL1					00H
FFFFF5C2H	TMP3I/O制御レジスタ0	TP3IOC0					00H
FFFFF5C3H	TMP3I/O制御レジスタ1	TP3IOC1					00H
FFFFF5C4H	TMP3I/O制御レジスタ2	TP3IOC2					00H
FFFFF5C5H	TMP3オプション・レジスタ0	TP3OPT0					00H
FFFFF5C6H	TMP3キャプチャ/コンペア・レジスタ0	TP3CCR0					0000H
FFFFF5C8H	TMP3キャプチャ/コンペア・レジスタ1	TP3CCR1					0000H
FFFFF5CAH	TMP3カウンタ・リード・バッファ・レジスタ	TP3CNT	R				0000H
FFFFF5D0H	TMP4制御レジスタ0	TP4CTL0	R/W				00H
FFFFF5D1H	TMP4制御レジスタ1	TP4CTL1					00H
FFFFF5D2H	TMP4I/O制御レジスタ0	TP4IOC0					00H
FFFFF5D3H	TMP4I/O制御レジスタ1	TP4IOC1					00H
FFFFF5D4H	TMP4I/O制御レジスタ2	TP4IOC2					00H
FFFFF5D5H	TMP4オプション・レジスタ0	TP4OPT0					00H
FFFFF5D6H	TMP4キャプチャ/コンペア・レジスタ0	TP4CCR0					0000H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFF5D8H	TMP4キャプチャ / コンペア・レジスタ1	TP4CCR1	R/W				0000H	
FFFFF5DAH	TMP4カウンタ・リード・バッファ・レジスタ	TP4CNT	R				0000H	
FFFFF5E0H	TMP5制御レジスタ0	TP5CTL0	R/W				00H	
FFFFF5E1H	TMP5制御レジスタ1	TP5CTL1					00H	
FFFFF5E2H	TMP5I/O制御レジスタ0	TP5IOC0					00H	
FFFFF5E3H	TMP5I/O制御レジスタ1	TP5IOC1					00H	
FFFFF5E4H	TMP5I/O制御レジスタ2	TP5IOC2					00H	
FFFFF5E5H	TMP5オプション・レジスタ0	TP5OPT0					00H	
FFFFF5E6H	TMP5キャプチャ / コンペア・レジスタ0	TP5CCR0					0000H	
FFFFF5E8H	TMP5キャプチャ / コンペア・レジスタ1	TP5CCR1					0000H	
FFFFF5EAH	TMP5カウンタ・リード・バッファ・レジスタ	TP5CNT		R				0000H
FFFFF690H	TMM0制御レジスタ0	TM0CTL0		R/W				00H
FFFFF694H	TMM0コンペア・レジスタ0	TM0CMP0					0000H	
FFFFF6C1H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS					00H	
FFFFF6C2H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM					00H	
FFFFF6D0H	発振安定時間選択レジスタ	OSTS					09H	
FFFFF6E0H	リアルタイム出力バッファ・レジスタ0L	RTBL0					00H	
FFFFF6E2H	リアルタイム出力バッファ・レジスタ0H	RTBH0					00H	
FFFFF6E4H	リアルタイム出力ポート・モード・レジスタ0	RTPM0					00H	
FFFFF6E5H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0					00H	
FFFFF706H	ポート3ファンクション・コントロール拡張レジスタL	PFCE3L					00H	
FFFFF70AH	ポート5ファンクション・コントロール拡張レジスタ	PFCE5					00H	
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタ	PFCE9					0000H	
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタL	PFCE9L					00H	
FFFFF713H	ポート9ファンクション・コントロール拡張レジスタH	PFCE9H					00H	
FFFFF802H	システム・ステータス・レジスタ	SYS					00H	
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR					00H	
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC					03H	
FFFFFA00H	UARTA0制御レジスタ0	UA0CTL0					10H	
FFFFFA01H	UARTA0制御レジスタ1	UA0CTL1					00H	
FFFFFA02H	UARTA0制御レジスタ2	UA0CTL2					FFH	
FFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0				14H		
FFFFFA04H	UARTA0状態レジスタ	UA0STR				00H		
FFFFFA06H	UARTA0受信データ・レジスタ	UA0RX	R			FFH		
FFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W				FFH	
FFFFFA20H	UARTA2制御レジスタ0	UA2CTL0					10H	
FFFFFA21H	UARTA2制御レジスタ1	UA2CTL1					00H	
FFFFFA22H	UARTA2制御レジスタ2	UA2CTL2					FFH	
FFFFFA23H	UARTA2オプション制御レジスタ0	UA2OPT0					14H	
FFFFFA24H	UARTA2状態レジスタ	UA2STR					00H	
FFFFFA26H	UARTA2受信データ・レジスタ	UA2RX		R			FFH	
FFFFFA27H	UARTA2送信データ・レジスタ	UA2TX	R/W				FFH	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0	R/W				00H
FFFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3					00H
FFFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H					00H
FFFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0					00H
FFFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3					00H
FFFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H					00H
FFFFFFD00H	CSIB0制御レジスタ0	CB0CTL0					01H
FFFFFFD01H	CSIB0制御レジスタ1	CB0CTL1					00H
FFFFFFD02H	CSIB0制御レジスタ2	CB0CTL2					00H
FFFFFFD03H	CSIB0状態レジスタ	CB0STR				00H	
FFFFFFD04H	CSIB0受信データ・レジスタ	CB0RX	R				0000H
FFFFFFD04H	CSIB0受信データ・レジスタL	CB0RXL					00H
FFFFFFD06H	CSIB0送信データ・レジスタ	CB0TX	R/W				0000H
FFFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL					00H
FFFFFFD40H	CSIB4制御レジスタ0	CB4CTL0					01H
FFFFFFD41H	CSIB4制御レジスタ1	CB4CTL1					00H
FFFFFFD42H	CSIB4制御レジスタ2	CB4CTL2					00H
FFFFFFD43H	CSIB4状態レジスタ	CB4STR					00H
FFFFFFD44H	CSIB4受信データ・レジスタ	CB4RX	R				0000H
FFFFFFD44H	CSIB4受信データ・レジスタL	CB4RXL					00H
FFFFFFD46H	CSIB4送信データ・レジスタ	CB4TX	R/W				0000H
FFFFFFD46H	CSIB4送信データ・レジスタL	CB4TXL					00H
FFFFFFBEH	外部バス・インタフェース・モード・コントロール・レジスタ	EXIMC					01H



### 3.4.7 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/ST2には次の3つの特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、PRCMDレジスタがあり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はSYSレジスタに報告されます。

**(1) 特定レジスタへのデータ設定**

特定レジスタへのデータ設定は次のシーケンスで行います。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

PRCMDレジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）<sup>注</sup>

[記述例] PSCレジスタの場合

```
ST.B  r11, PSMR [ r0 ] ;PSMRレジスタ設定 ( IDLE, STOPモードの設定)
MOV   0x02, r10
ST.B  r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
ST.B  r10, PSC [ r0 ] ;PSCレジスタ設定
NOP                                       ;ダミー命令
NOP                                       ;ダミー命令
NOP                                       ;ダミー命令
NOP                                       ;ダミー命令
NOP                                       ;ダミー命令
```

(next instruction)

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

**注** IDLE, STOPモードに移行する場合（PSC.STPビット = 1）には、直後にNOP命令を5命令以上挿入する必要があります。

- 注意1.** コマンド・レジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記 , を連続したストア命令で行うことを前提としているためです。 , の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります
- 2.** PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定（例 ）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例 ）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

## (2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定期間への書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。

リセット時：不定    W    アドレス：FFFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

**(3) システム・ステータス・レジスタ (SYS)**

SYSレジスタには、システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H							
	7	6	5	4	3	2	1	①								
SYS	0	0	0	0	0	0	0	PRERR								
PRERR	プロテクション・エラーの検出															
0	プロテクション・エラーは発生していない															
1	プロテクション・エラーが発生している															

PRERRフラグの動作条件を次に示します。

**(a) セット条件 (PRERRフラグ = 1)**

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.4.7(1) **特定レジスタへのデータ設定**で示す を行わずに を行なったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の周辺I/Oレジスタに書き込み動作 (ビット操作命令を含む) を行なったとき (3.4.7(1) **特定レジスタへのデータ設定**で示す が特定レジスタでなかったとき)。

**備考** WDTMレジスタ以外の特定レジスタ (PCC, PSCレジスタ) は、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など (内蔵RAMへのアクセスなど) を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

**(b) クリア条件 (PRERRフラグ = 0)**

- (i) SYS.PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

**注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。

- 2. PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

### 3.4.8 注意事項

#### (1) システム・ウェイト・コントロール・レジスタ (VSWC)

V850ES/ST2を使用するには、必ず最初にVSWCレジスタを設定してください。

VSWCレジスタを設定したあとに、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあとに、ポート関連のレジスタの設定により、各端子を兼用するバス制御端子に設定してください。

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウェイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック（ノー・ウェイト時）ですが、V850ES/ST2では動作周波数によりウェイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード/ライト可能です（アドレス：FFFFFF06EH、初期値：77H）。

動作周波数 (f <sub>CLK</sub> )	VSWCの設定値	ウェイト数
f <sub>CLK</sub> 16.6 MHz	00H	0 (ノー・ウェイト)
16.6 MHz < f <sub>CLK</sub> 25 MHz	01H	1
25 MHz < f <sub>CLK</sub> 34 MHz	11H	2

**(2) 特定の内蔵周辺I/Oレジスタへのアクセスについて**

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数が次に示すウェイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウェイト以外に、さらにウェイトを要する場合があります。

その際のアクセス方法と、挿入されるウェイト数（CPUクロック数）の算出方法を次に示します。

周辺機能	レジスタ名称	アクセス方法	k
タイマP (TMP)	TP0CNT-TP5CNT	リード	1 (固定)
	TP0CCR0-TP5CCR0, TP0CCR1-TP5CCR1	リード/ライト <sup>注</sup>	1 (固定)
リアルタイム出力	RTBH0, RTBL0	ライト (RTPOE0ビット = 0)	1 (固定)
ウォッチドッグ・タイマ (WDT)	WDTM	ライト (WDT動作)	2 (固定)
A/Dコンバータ	ADA0M0, ADA0CR0-ADA0CR7, ADA0CR0H-ADA0CR7H	リード	1 (固定)

注 ライト時は、コンペア動作時の連続書き込みのみ最大1回のウェイトが発生しますが、コンペア動作時の1回書き込みではウェイトは発生しません。

ウェイトにより増加するクロック数 = (2 + m) × k [クロック] (k は最大ウェイト回数)

備考 VSWC = 00H時 : m = 0

VSWC = 01H時 : m = 1

VSWC = 11H時 : m = 2

## 第4章 ポート機能

### 4.1 特 徴

入力専用ポート : 8本

入出力ポート : 57本

1ビット単位で入力 / 出力指定可能

### 4.2 ポートの基本構成

V850ES/ST2は、ポート0, 1, 3-5, 7, 9, CM, CS, CT, DHの合計65本の入出力ポート(うち8本は入力専用ポート)を内蔵しています。ポートの構成を次に示します。

図4-1 ポートの構成図

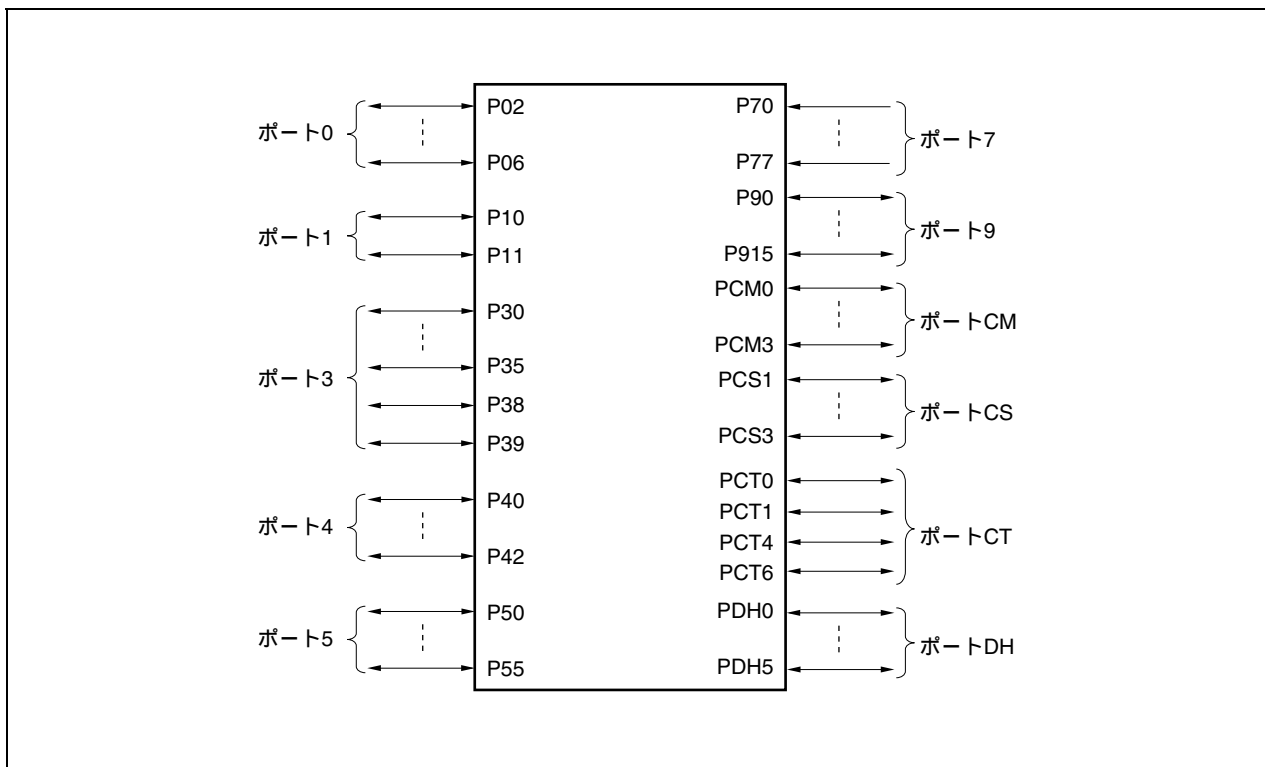


表4-1 各端子の入出力バッファ電源

電 源	対応する端子
AV <sub>REF0</sub>	ポート7
AV <sub>REF1</sub>	ポート1
BV <sub>DD</sub>	ポートCM, CS, CT, DH
EV <sub>DD</sub>	RESET, ポート0, 3-5, 9

### 4.3 ポートの構成

表4-2 ポートの構成

項目	構成
制御レジスタ	ポートnモード・レジスタ (PMn : n = 0, 1, 3-5, 9, CM, CS, CT, DH) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 3-5, 9, CM, CS, CT, DH) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 3, 5, 9) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 3, 5, 9)
ポート	入出力 : 57本, 入力専用 : 8本

#### (1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。

リセット時 : 00H (出力ラッチ)		R/W						
	7	6	5	7	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
	出力データの制御 (出力モード時)							
	0	0を出力						
	1	1を出力						

PMCnレジスタの設定によらず、Pnレジスタへの書き込みや読み出しは次のようになります。

表4-3 ポート・モード時のPnレジスタへの書き込み/読み出しについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます <sup>注1</sup> 。 ポート・モード (PMCn = 0) の場合、出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します <sup>注2</sup> 。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません <sup>注1</sup> 。	端子状態を読み出します <sup>注3</sup> 。

注1. 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。

2. 兼用機能を使用する場合は、対象ポートのPMn.PMnmビットをセット(1)して入力モードに設定してください。

3. 次の兼用機能の場合は、端子状態にかかわらずロウ・レベルを読み出します。

TXDA0, TXDA2, SOB0, SOB4, RTP00-RTP05, CLKOUT, HLD $\overline{AK}$ , CS1-CS3, WR0, WR1, RD, ASTB, A16-A21



(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: FFH    R/W							
7	6	5	4	3	2	1	0
PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御						
0	出力モード						
1	入力モード						

(3) ポートnモード・コントロール・レジスタ (PMcn)

ポート・モード/兼用機能を指定します。

PMcnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: 00H    R/W							
7	6	5	4	3	2	1	0
PMcn7	PMcn6	PMcn5	PMcn4	PMcn3	PMcn2	PMcn1	PMcn0
PMcnm	動作モードの指定						
0	ポート・モード						
1	兼用機能モード						

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

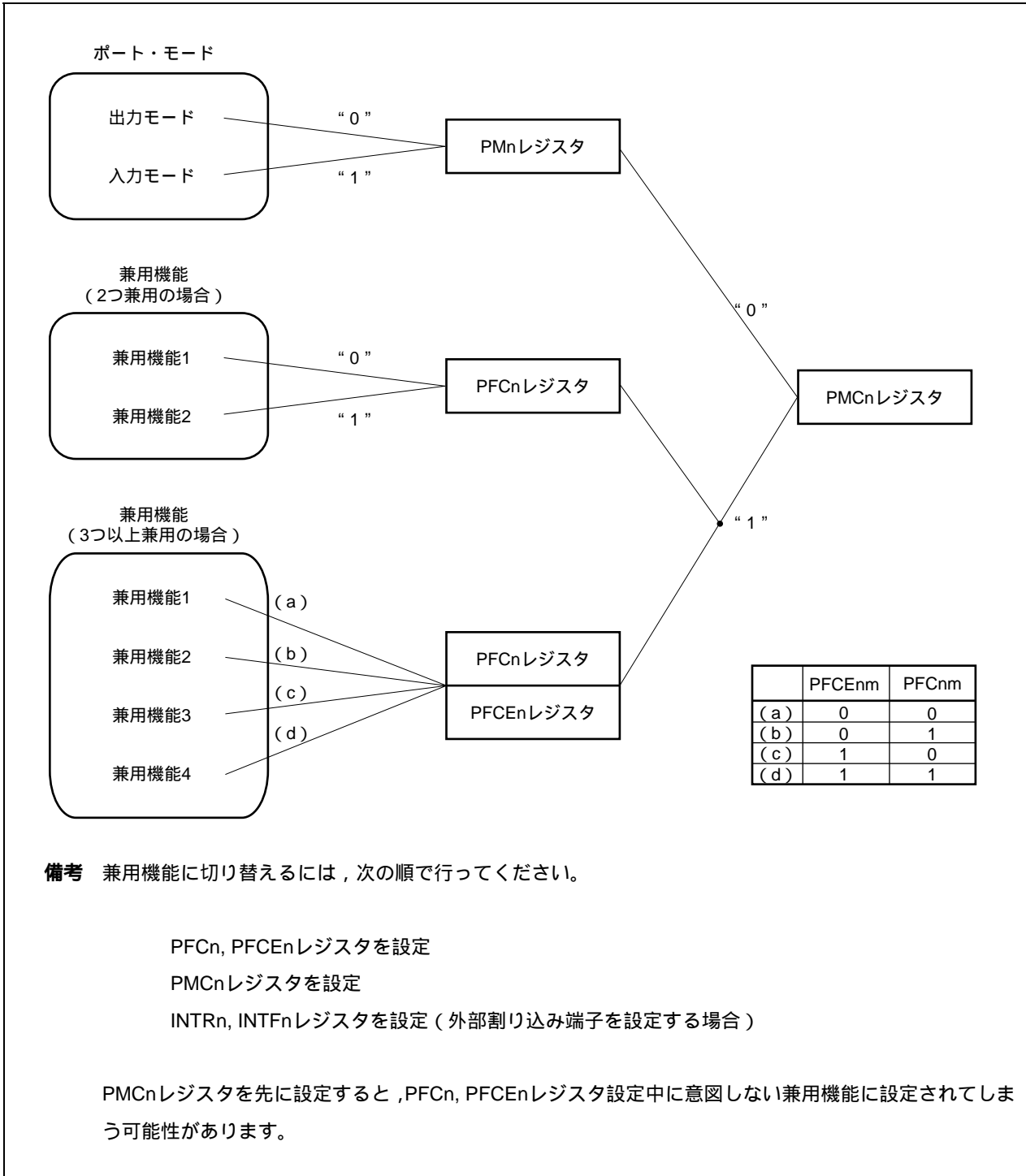
  

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(6) ポートの設定

ポートの設定は、次のように設定してください。

図4-2 各レジスタの設定と端子の機能



**(7) ポート制御時の注意点**

(a) 各制御レジスタ内で、“0”もしくは“1”に固定されているビットには、固定値と同一の値を書いてください。

(b) ポート・ファンクション・コントロール・レジスタ $n$  (PFC $n$ )、ポート・ファンクション・コントロール拡張レジスタ $m$  (PFCE $m$ )が存在するポートを制御する場合は、設定禁止状態にならないように次の設定を行ってください。

(i) PFCE $m$ レジスタ設定 (PFCE $m$ レジスタがない場合、(ii)からはじめる)

PFCE $m$ レジスタのビットを設定し、使用する兼用機能を指定してください。

(ii) PFC $n$ レジスタ設定

PFC $n$ レジスタのビットを設定し、使用する兼用機能を指定してください。

(iii) PMC $n$ レジスタ設定

PMC $n$ レジスタのビットを兼用機能に指定し兼用機能に設定してください。

**備考**  $n = 0, 3, 3L, 5, 9, 9L, 9H$

$m = 3L, 5, 9, 9L, 9H$

### 4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できる5ビットのポートです。

ポート0は、次に示す端子と兼用しています。

表4-4 ポート0の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GC	GJ				
P02	112	134	NMI	入力	-	F-1
P03	111	133	INTP0/ADTRG	入力		G-1
P04	110	132	INTP1	入力		F-1
P05	109	131	INTP2	入力		F-1
P06	108	130	INTP3	入力		F-7

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

#### (1) ポート0レジスタ (P0)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF400H

	7	6	5	4	3	2	1	0
P0	0	P06	P05	P04	P03	P02	0	0

P0n	出力データの制御 (出力モード時) (n = 2-6)
0	0を出力
1	1を出力

#### (2) ポート0モード・レジスタ (PM0)

リセット時 : FFH R/W アドレス : FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	1	1

PM0n	入出力モードの制御 (n = 2-6)
0	出力モード
1	入力モード

(3) ポート0モード・コントロール・レジスタ (PMC0)

リセット時：00H R/W アドレス：FFFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05	PMC04	PMC03	PMC02	0	0

PMC06	P06端子の動作モードの指定	
0	入出力ポート	
1	INTP3入力	

PMC05	P05端子の動作モードの指定	
0	入出力ポート	
1	INTP2入力	

PMC04	P04端子の動作モードの指定	
0	入出力ポート	
1	INTP1入力	

PMC03	P03端子の動作モードの指定	
0	入出力ポート	
1	INTP0/ADTRG入力	

PMC02	P02端子の動作モードの指定	
0	入出力ポート	
1	NMI入力	

(4) ポート0ファンクション・コントロール・レジスタ (PFC0)

リセット時：00H R/W アドレス：FFFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	PFC06 <sup>注</sup>	0	0	PFC03	0	0	0

PFC03	P03端子の兼用機能の指定	
0	INTP0入力	
1	ADTRG入力	

**注** PFC06ビット = 1に設定する前に、INTR0.INTR06ビットおよびINTF0.INTF06ビットの設定を行ってください。詳細は、15. 4. 2(1) 外部割り込み立ち上がり、立ち下がりエッジ指定レジスタ0 (INTR0, INTF0) を参照してください。

### 4.3.2 ポート1

ポート1は1ビット単位で入出力を制御できる2ビットのポートです。

ポート1は、次に示す端子と兼用しています。

表4-5 ポート1の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GC	GJ				
P10	3	3	ANO0	出力	-	A-2
P11	4	4	ANO1	出力		A-2

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

#### (1) ポート1レジスタ (P1)

リセット時: 00H (出力ラッチ) R/W アドレス: FFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	P11	P10

P1n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

**注意** D/A変換中にP1レジスタをリード/ライトしないでください (12.4.3 使用上の注意点参照)。

#### (2) ポート1モード・レジスタ (PM1)

リセット時: FFH R/W アドレス: FFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	PM11	PM10

PM1n	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

**注意1.** P10, P11を兼用機能 (ANO0, ANO1) として使用する場合、一括してFFHに設定してください。

**2.** 1本を入出力ポート, 1本をD/A出力端子として使用する場合, D/A出力中は, ポートの入出力レベルが変化しないようなアプリケーションで使用してください。

## 4.3.3 ポート3

ポート3は1ビット単位で入出力を制御できる8ビットのポートです。

ポート3は、次に示す端子と兼用しています。

表4-6 ポート3の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GC	GJ				
P30	96	115	TXDA0/SOB4	出力	-	E-1
P31	95	114	INTP7/RXDA0/SIB4	入力		G-2
P32	94	113	ASCKA0/SCKB4/TIP00	入出力		F-2
P33	93	111	TIP01/TOP01	入出力		E-2
P34	92	110	TIP10	入力		D-1
P35	91	109	TIP11/TOP11	入出力		E-2
P38	90	108	TXDA2	出力		C-2
P39	89	107	RXDA2	入力		D-1

**備考** GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)



(1) ポート3レジスタ (P3)

リセット時：0000H (出力ラッチ) R/W アドレス：P3 FFFFF406H,  
P3L FFFFF406H, P3H FFFFF407H

	15	14	13	12	11	10	9	8
P3 (P3H <sup>注</sup> )	0	0	0	0	0	0	P39	P38
	7	6	5	4	3	2	1	0
(P3L)	0	0	P35	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0-5, 8, 9)
0	0を出力
1	1を出力

**注** P3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P3Hレジスタのビット0-7として指定してください。

**備考** P3レジスタは、16ビット単位でのみリード/ライト可能です。

ただし、P3レジスタの上位8ビットをP3Hレジスタ、下位8ビットをP3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ポート3モード・レジスタ (PM3)

リセット時：FFFFH R/W アドレス：PM3 FFFFF426H,  
PM3L FFFFF426H, PM3H FFFFF427H

	15	14	13	12	11	10	9	8
PM3 (PM3H <sup>注</sup> )	1	1	1	1	1	1	PM39	PM38
	7	6	5	4	3	2	1	0
(PM3L)	1	1	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-5, 8, 9)
0	出力モード
1	入力モード

**注** PM3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM3Hレジスタのビット0-7として指定してください。

**備考** PM3レジスタは、16ビット単位でのみリード/ライト可能です。

ただし、PM3レジスタの上位8ビットをPM3Hレジスタ、下位8ビットをPM3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(3) ポート3モード・コントロール・レジスタ (PMC3)

リセット時：0000H R/W アドレス：PMC3 FFFF446H,  
PMC3L FFFF446H, PMC3H FFFF447H

	15	14	13	12	11	10	9	8
PMC3 (PMC3H <sup>注</sup> )	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
(PMC3L)	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC39	P39端子の動作モードの指定
0	入出力ポート
1	RXDA2入力

PMC38	P38端子の動作モードの指定
0	入出力ポート
1	TXDA2出力

PMC35	P35端子の動作モードの指定
0	入出力ポート
1	TIP11/TOP11入出力

PMC34	P34端子の動作モードの指定
0	入出力ポート
1	TIP10入力

PMC33	P33端子の動作モードの指定
0	入出力ポート
1	TIP01/TOP01入出力

PMC32	P32端子の動作モードの指定
0	入出力ポート
1	ASCKA0/SCKB4/TIP00入出力

PMC31	P31端子の動作モードの指定
0	入出力ポート
1	INTP7/RXDA0/SIB4入力

PMC30	P30端子の動作モードの指定
0	入出力ポート
1	TXDA0/SOB4出力

**注** PMC3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC3Hレジスタのビット0-7として指定してください。

**備考** PMC3レジスタは、16ビット単位でのみリード/ライト可能です。  
ただし、PMC3レジスタの上位8ビットをPMC3Hレジスタ、下位8ビットをPMC3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(4) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時 : 0000H R/W アドレス : PFC3 FFFFF466H, PFC3L FFFFF466H

	15	14	13	12	11	10	9	8
PFC3	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
(PFC3L)	0	0	PFC35	0	PFC33	PFC32	PFC31	PFC30

- 備考1.** PFC3レジスタは、16ビット単位でのみリード/ライト可能です。  
 ただし、PFC3レジスタの下位8ビットをPFC3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
- 2.** 兼用機能の指定については4. 3. 3 (6) **ポート3の兼用機能の指定**を参照してください。

(5) ポート3ファンクション・コントロール拡張レジスタ (PFCE3L)

リセット時 : 00H R/W アドレス : FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	0	0	PFCE32	0	0

- 備考** 兼用機能の指定については4. 3. 3(6)**ポート3の兼用機能の指定**を参照してください。

## (6) ポート3の兼用機能の指定

PFC35	P35端子の兼用機能の指定	
0	TIP11入力	
1	TOP11出力	

PFC33	P33端子の兼用機能の指定	
0	TIP01入力	
1	TOP01出力	

PFCE32	PFC32	P32端子の兼用機能の指定
0	0	ASCKA0入力
0	1	SCKB4入出力
1	0	TIP00入力
1	1	設定禁止

PFC31	P31端子の兼用機能の指定	
0	INTP7/RXDA0 <sup>注</sup> 入力	
1	SIB4入力	

PFC30	P30端子の兼用機能の指定	
0	TXDA0出力	
1	SOB4出力	

注 INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は、兼用しているINTP7端子のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。またINTP7端子として使用する場合は、UARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0)。

### 4.3.4 ポート4

ポート4は1ビット単位で入出力を制御できる3ビットのポートです。

ポート4は、次に示す端子と兼用しています。

表4-7 ポート4の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GC	GJ				
P40	99	118	SIB0	入力	-	D-1
P41	98	117	SOB0	出力		C-2
P42	97	116	$\overline{\text{SCKB0}}$	入出力		D-3

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

#### (1) ポート4レジスタ (P4)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40

P4n	出力データの制御 (出力モード時) (n = 0-2)
0	0を出力
1	1を出力

#### (2) ポート4モード・レジスタ (PM4)

リセット時 : FFH R/W アドレス : FFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	入出力モードの制御 (n = 0-2)
0	出力モード
1	入力モード

(3) ポート4モード・コントロール・レジスタ (PMC4)

リセット時 : 00H R/W アドレス : FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

PMC42	P42端子の動作モードの指定	
0	入出力ポート	
1	SCKB0入出力	

PMC41	P41端子の動作モードの指定	
0	入出力ポート	
1	SOB0出力	

PMC40	P40端子の動作モードの指定	
0	入出力ポート	
1	SIB0入力	

### 4.3.5 ポート5

ポート5は1ビット単位で入出力を制御できる6ビットのポートです。

ポート5は、次に示す端子と兼用しています。

表4-8 ポート5の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GC	GJ				
P50	107	128	RTP00	出力	-	F-3
P51	106	127	RTP01	出力		F-3
P52	105	126	RTP02	出力		F-3
P53	104	125	RTP03	出力		F-3
P54	103	124	RTP04	出力		F-3
P55	102	123	RTP05	出力		F-3

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

#### (1) ポート5レジスタ (P5)

リセット時: 00H (出力ラッチ)    R/W    アドレス: FFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	0	P55	P54	P53	P52	P51	P50

P5n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

#### (2) ポート5モード・レジスタ (PM5)

リセット時: FFH    R/W    アドレス: FFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(3) ポート5モード・コントロール・レジスタ (PMC5)

リセット時 : 00H R/W アドレス : FFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50
PMC55	P55端子の動作モードの指定							
0	入出力ポート							
1	兼用機能選択							
PMC54	P54端子の動作モードの指定							
0	入出力ポート							
1	兼用機能選択							
PMC53	P53端子の動作モードの指定							
0	入出力ポート							
1	兼用機能選択							
PMC52	P52端子の動作モードの指定							
0	入出力ポート							
1	兼用機能選択							
PMC51	P51端子の動作モードの指定							
0	入出力ポート							
1	兼用機能選択							
PMC50	P50端子の動作モードの指定							
0	入出力ポート							
1	兼用機能選択							

**備考** 兼用機能の指定については4. 3. 5(6)ポート5の兼用機能の指定を参照してください。

(4) ポート5ファンクション・コントロール・レジスタ (PFC5)

リセット時 : 00H R/W アドレス : FFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

**備考** 兼用機能の指定については4. 3. 5(6)ポート5の兼用機能の指定を参照してください。



(5) ポート5ファンクション・コントロール拡張レジスタ (PFCE5)

リセット時 : 00H R/W アドレス : FFFFFFF0AH

	7	6	5	4	3	2	1	0
PFCE5	0	0	PFCE55	PFCE54	PFCE53	PFCE52	PFCE51	PFCE50

**備考** 兼用機能の指定については4. 3. 5(6)ポート5の兼用機能の指定を参照してください。

## (6) ポート5の兼用機能の指定

PFCE55	PFC55	P55端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	設定禁止
1	1	RTP05出力

PFCE54	PFC54	P54端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	設定禁止
1	1	RTP04出力

PFCE53	PFC53	P53端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	設定禁止
1	1	RTP03出力

PFCE52	PFC52	P52端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	設定禁止
1	1	RTP02出力

PFCE51	PFC51	P51端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	設定禁止
1	1	RTP01出力

PFCE50	PFC50	P50端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	設定禁止
1	1	RTP00出力

### 4.3.6 ポート7

ポート7は1ビット単位で入力を制御できる8ビットのポートです。

ポート7は、次に示す端子と兼用しています。

表4-9 ポート7の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GC	GJ				
P70	120	144	ANI0	入力	-	A-1
P71	119	143	ANI1	入力		A-1
P72	118	142	ANI2	入力		A-1
P73	117	141	ANI3	入力		A-1
P74	116	140	ANI4	入力		A-1
P75	115	139	ANI5	入力		A-1
P76	114	138	ANI6	入力		A-1
P77	113	137	ANI7	入力		A-1

備考 GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

#### (1) ポート7レジスタ (P7)

リセット時：不定 R アドレス：FFFFFF40EH

	7	6	5	4	3	2	1	0
P7	P77	P76	P75	P74	P73	P72	P71	P70

注意 A/D変換中にP7レジスタをリード/ライトしないでください(11.6(4)兼用入力について参照)。

## 4.3.7 ポート9

ポート9は1ビット単位で入出力を制御できる16ビットのポートです。

ポート9は、次に示す端子と兼用しています。

表4 - 10 ポート9の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GC	GJ				
P90	6	8	-	-	-	B-1
P91	7	9	-	-		B-1
P92	8	10	TIP41/TOP41	入出力		F-4
P93	9	11	TIP40	入力		E-3
P94	10	12	TIP31/TOP31	入出力		F-4
P95	11	13	TIP30	入力		E-3
P96	12	14	TIP21/TOP21	入出力		F-5
P97	13	15	TIP20	入力		F-6
P98	16	20	-	-		B-1
P99	17	21	-	-		B-1
P910	18	22	-	-		B-1
P911	19	23	-	-		B-1
P912	20	24	-	-		B-1
P913	21	25	INTP4	入力		G-3
P914	22	26	INTP5/TIP51/TOP51	入出力		H-1
P915	23	27	INTP6/TIP50	入力	H-2	

**備考** GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

(1) ポート9レジスタ (P9)

リセット時 : 0000H (出力ラッチ) R/W アドレス : P9 FFFFF412H,  
P9L FFFFF412H, P9H FFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H <sup>注</sup> )	P915	P914	P913	P912	P911	P910	P99	P98
	7	6	5	4	3	2	1	0
(P9L)	P97	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

**注** P9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P9Hレジスタのビット0-7として指定してください。

**備考** P9レジスタは、16ビット単位でのみリード/ライト可能です。  
ただし、P9レジスタの上位8ビットをP9Hレジスタ、下位8ビットをP9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ポート9モード・レジスタ (PM9)

リセット時 : FFFFH R/W アドレス : PM9 FFFFF432H,  
PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H <sup>注</sup> )	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

PM9n	入出力モードの制御(n = 0-15)
0	出力モード
1	入力モード

**注** PM9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM9Hレジスタのビット0-7として指定してください。

**備考** PM9レジスタは、16ビット単位でのみリード/ライト可能です。  
ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(3) ポート9モード・コントロール・レジスタ (PMC9)

リセット時 : 0000H R/W アドレス : PMC9 FFFFF452H,  
PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 ( PMC9H <sup>注</sup> )	PMC915	PMC914	PMC913	0	0	0	0	0
	7	6	5	4	3	2	1	0
( PMC9L )	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	0	0

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	INTP6/TIP50入力

PMC914	P914端子の動作モードの指定
0	入出力ポート
1	INTP5/TIP51/TOP51入出力

PMC913	P913端子の動作モードの指定
0	入出力ポート
1	INTP4入力

PMC97	P97端子の動作モードの指定
0	入出力ポート
1	TIP20入力

PMC96	P96端子の動作モードの指定
0	入出力ポート
1	TIP21/TOP21入出力

PMC95	P95端子の動作モードの指定
0	入出力ポート
1	TIP30入力

PMC94	P94端子の動作モードの指定
0	入出力ポート
1	TIP31/TOP31入出力

PMC93	P93端子の動作モードの指定
0	入出力ポート
1	TIP40入力

PMC92	P92端子の動作モードの指定
0	入出力ポート
1	TIP41/TOP41入出力

**注** PMC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC9Hレジスタのビット0-7として指定してください。

**備考** PMC9レジスタは、16ビット単位でのみリード/ライト可能です。  
ただし、PMC9レジスタの上位8ビットをPMC9Hレジスタ、下位8ビットをPMC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(4) ポート9ファンクション・コントロール・レジスタ (PFC9)

リセット時：0000H R/W アドレス：PFC9 FFFFF472H,  
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H <sup>注</sup> )	PFC915	PFC914	PFC913	0	0	0	0	0
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	0	0

注 PFC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。

- 備考1. PFC9レジスタは、16ビット単位でのみリード/ライト可能です。  
ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
2. 兼用機能の指定については4. 3. 7 (6) **ポート9の兼用機能の指定**を参照してください。

(5) ポート9ファンクション・コントロール拡張レジスタ (PFCE9)

リセット時：0000H R/W アドレス：PFCE9 FFFFF712H,  
PFCE9L FFFFF712H, PFCE9H FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H <sup>注</sup> )	PFCE915	PFCE914	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	0	PFCE94	0	PFCE92	0	0

注 PFCE9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFCE9Hレジスタのビット0-7として指定してください。

- 備考1. PFCE9レジスタは、16ビット単位でのみリード/ライト可能です。  
ただし、PFCE9レジスタの上位8ビットをPFCE9Hレジスタ、下位8ビットをPFCE9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。
2. 兼用機能の指定については4. 3. 7 (6) **ポート9の兼用機能の指定**を参照してください。

## (6) ポート9の兼用機能の指定

PFCE915	PFC915	P915端子の兼用機能の指定
0	0	設定禁止
0	1	INTP6入力
1	0	TIP50入力
1	1	設定禁止

PFCE914	PFC914	P914端子の兼用機能の指定
0	0	設定禁止
0	1	INTP5入力
1	0	TIP51入力
1	1	TOP51出力

PFC913	P913端子の兼用機能の指定
0	設定禁止
1	INTP4入力

PFCE97	PFC97	P97端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	TIP20入力
1	1	設定禁止

PFCE96	PFC96	P96端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	TIP21入力
1	1	TOP21出力

PFC95	P95端子の兼用機能の指定
0	設定禁止
1	TIP30入力

PFCE94	PFC94	P94端子の兼用機能の指定
0	0	設定禁止
0	1	TIP31入力
1	0	TOP31出力
1	1	設定禁止

PFC93	P93端子の兼用機能の指定
0	設定禁止
1	TIP40入力

PFCE92	PFC92	P92端子の兼用機能の指定
0	0	設定禁止
0	1	TIP41入力
1	0	TOP41出力
1	1	設定禁止



## 4.3.8 ポートCM

ポートCMは1ビット単位で入出力を制御できる4ビットのポートです。

ポートCMは、次に示す端子と兼用しています。

表4 - 11 ポートCMの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GC	GJ				
PCM0	85	102	$\overline{\text{WAIT}}$	入力	-	C-1
PCM1	86	103	CLKOUT	出力		C-2
PCM2	87	105	$\overline{\text{HLDAK}}$	出力		C-2
PCM3	88	106	$\overline{\text{HLDRQ}}$	入力		C-1

**備考** GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

(1) ポートCMレジスタ (PCM)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF0CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(2) ポートCMモード・レジスタ (PMCM)

リセット時：FFH R/W アドレス：FFFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

(3) ポートCMモード・コントロール・レジスタ (PMCCM)

リセット時：00H R/W アドレス：FFFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0

PMCCM3	PCM3端子の動作モードの指定
0	入出力ポート
1	HLD $\overline{RQ}$ 入力

PMCCM2	PCM2端子の動作モードの指定
0	入出力ポート
1	HLD $\overline{AK}$ 出力

PMCCM1	PCM1端子の動作モードの指定
0	入出力ポート
1	CLKOUT出力

PMCCM0	PCM0端子の動作モードの指定
0	入出力ポート
1	WAIT入力

## 4.3.9 ポートCS

ポートCSは1ビット単位で入出力を制御できる3ビットのポートです。

ポートCSは、次に示す端子と兼用しています。

表4 - 12 ポートCSの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GC	GJ				
PCS1	62	74	$\overline{\text{CS1}}$	出力	-	C-3
PCS2	63	75	$\overline{\text{CS2}}$	出力		C-3
PCS3	64	76	$\overline{\text{CS3}}$	出力		C-3

**備考** GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

(1) ポートCSレジスタ (PCS)

リセット時：不定 R/W アドレス：FFFFFF08H

	7	6	5	4	3	2	1	0
PCS	0	0	0	0	PCS3	PCS2	PCS1	不定

PCS <sub>n</sub>	出力データの制御 (出力モード時) (n = 1-3)
0	0を出力
1	1を出力

(2) ポートCSモード・レジスタ (PMCS)

リセット時：FFH R/W アドレス：FFFFFF028H

	7	6	5	4	3	2	1	0
PMCS	1	1	1	1	PMCS3	PMCS2	PMCS1	1

PMCS <sub>n</sub>	入出力モードの制御 (n = 1-3)
0	出力モード
1	入力モード

(3) ポートCSモード・コントロール・レジスタ (PMCCS)

リセット時：01H R/W アドレス：FFFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	0	0	0	0	PMCCS3	PMCCS2	PMCCS1	1

PMCCS <sub>n</sub>	PCS <sub>n</sub> 端子の動作モードの指定 (n = 1-3)
0	入出力ポート
1	CS <sub>n</sub> 出力

## 4.3.10 ポートCT

ポートCTは1ビット単位で入出力を制御1できる4ビットのポートです。

ポートCTは、次に示す端子と兼用しています。

表4 - 13 ポートCTの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GC	GJ				
PCT0	60	71	$\overline{WR0}$	出力	-	C-3
PCT1	59	70	$\overline{WR1}$	出力		C-3
PCT4	58	69	$\overline{RD}$	出力		C-3
PCT6	57	68	ASTB	出力		C-3

**備考** GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

(1) ポートCTレジスタ (PCT)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF00AH

	7	6	5	4	3	2	1	0
PCT	0	PCT6	0	PCT4	0	0	PCT1	PCT0

PCTn	出力データの制御(出力モード時) (n = 0, 1, 4, 6)
0	0を出力
1	1を出力

(2) ポートCTモード・レジスタ (PMCT)

リセット時 : FFH R/W アドレス : FFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0

PMCTn	入出力モードの制御 (n = 0, 1, 4, 6)
0	出力モード
1	入力モード

(3) ポートCTモード・コントロール・レジスタ (PMCCT)

リセット時 : 13H R/W アドレス : FFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT6	PCT6端子の動作モードの指定
0	入出力ポート
1	ASTB出力

PMCCT4	PCT4端子の動作モードの指定
0	入出力ポート
1	$\overline{RD}$ 出力

PMCCT1	PCT1端子の動作モードの指定
0	入出力ポート
1	$\overline{WR1}$ 出力

PMCCT0	PCT0端子の動作モードの指定
0	入出力ポート
1	$\overline{WR0}$ 出力

## 4.3.11 ポートDH

ポートDHは1ビット単位で入出力を制御できる6ビットのポートです。

ポートDHは、次に示す端子と兼用しています。

表4 - 14 ポートDHの兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GC	GJ				
PDH0	36	42	A16	出力	-	C-3
PDH1	35	41	A17	出力		C-3
PDH2	34	40	A18	出力		C-3
PDH3	33	39	A19	出力		C-3
PDH4	32	38	A20	出力		C-3
PDH5	31	37	A21	出力		C-3

**備考** GC : 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

GJ : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

(1) ポートDHレジスタ (PDH)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF06H

	7	6	5	4	3	2	1	0
PDH	0	0	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0

PDHn	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(2) ポートDHモード・レジスタ (PMDH)

リセット時：FFH R/W アドレス：FFFFFF026H

	7	6	5	4	3	2	1	0
PMDH	1	1	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0

PMDHn	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(3) ポートDHモード・コントロール・レジスタ (PMCDH)

リセット時：3FH R/W アドレス：FFFFFF046H

	7	6	5	4	3	2	1	0
PMCDH	0	0	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0

PMCDHn	PDHn端子の動作モードの指定 (n = 0-5)
0	入出力ポート
1	Am出力 (アドレス・バス出力) (m = 16-21)

**注意** セパレート・バスでA16-A21端子を1本でも使用する場合は、ポートDHは、ポート端子として使用できません。したがって、PMCDHレジスタは、一括して3FHに8ビット設定してください。

セパレート・バス・モードでA16-A21端子を1本も使用しない場合は、ポートDHはポート端子として使用できます。



## 4.4 ブロック図

図4 - 3 タイプA-1のブロック図

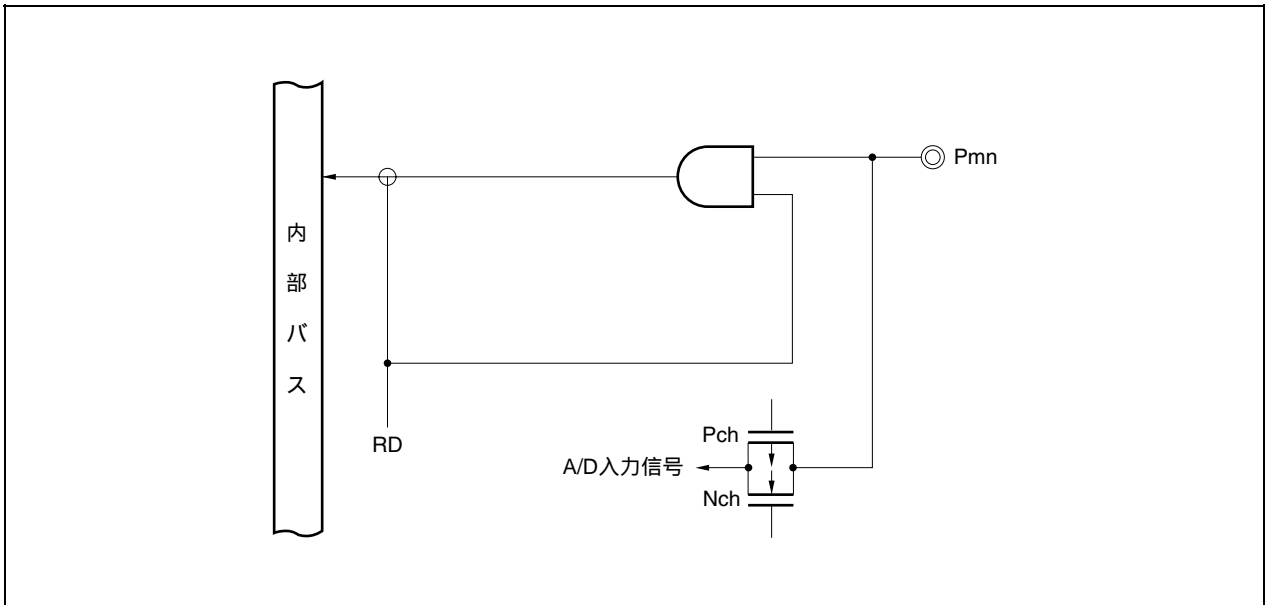


図4 - 4 タイプA-2のブロック図

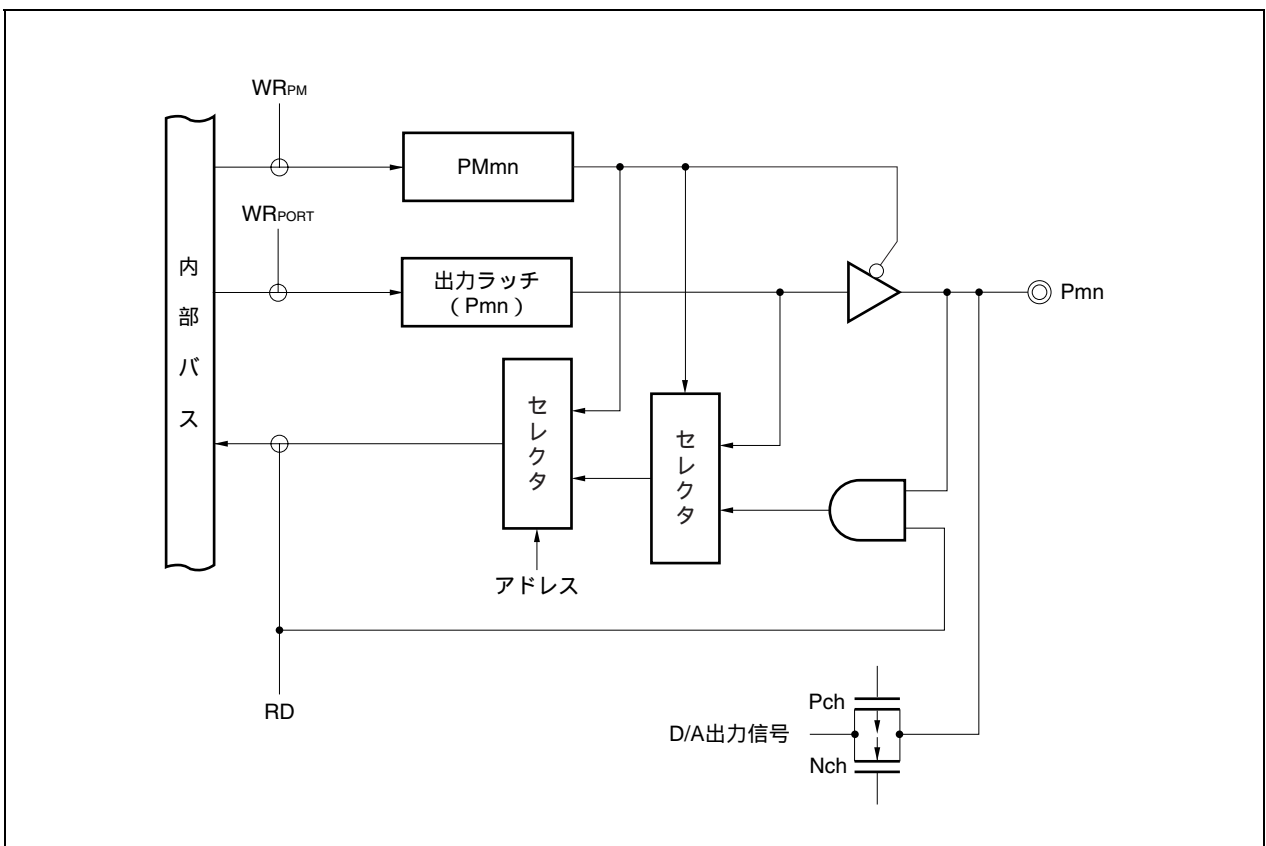


図4 - 5 タイプB-1のブロック図

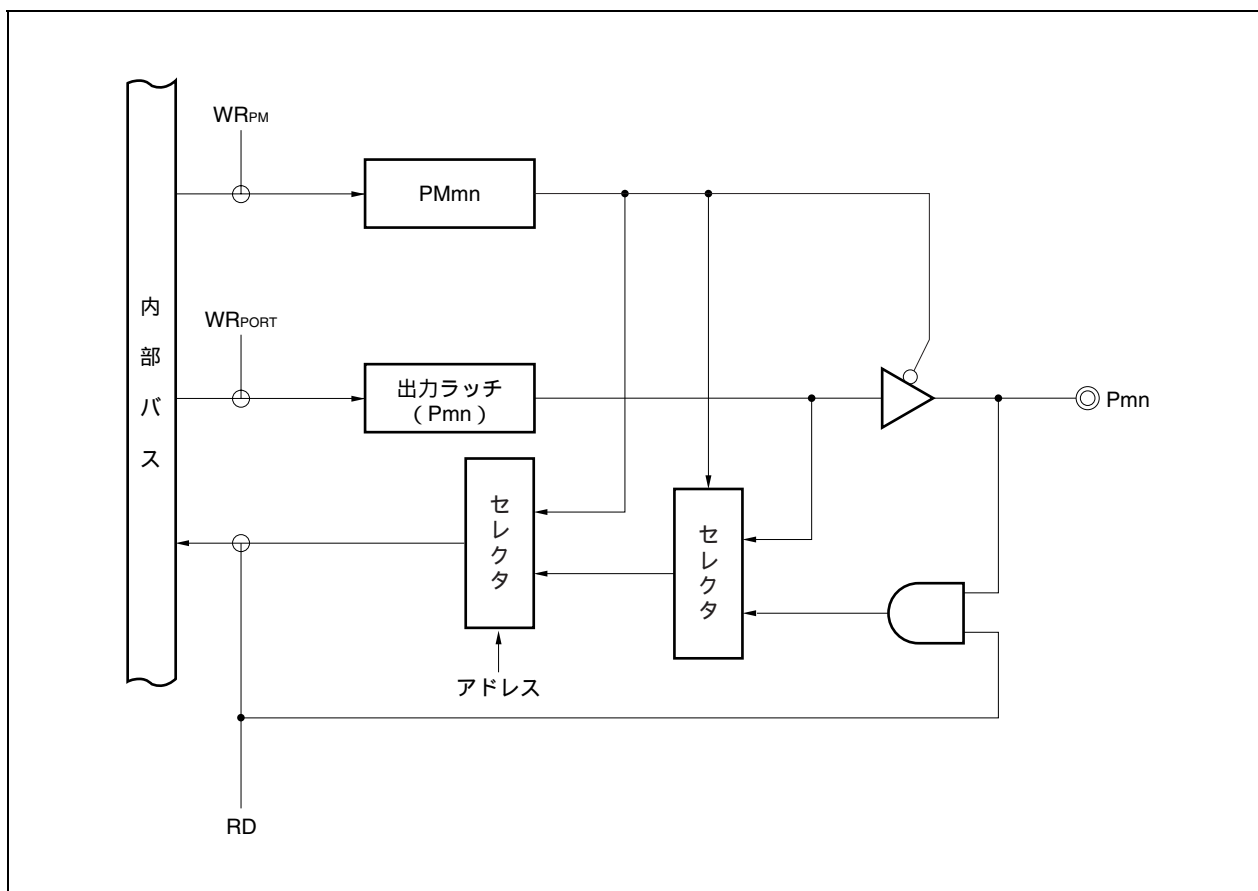


図4 - 6 タイプC-1のブロック図

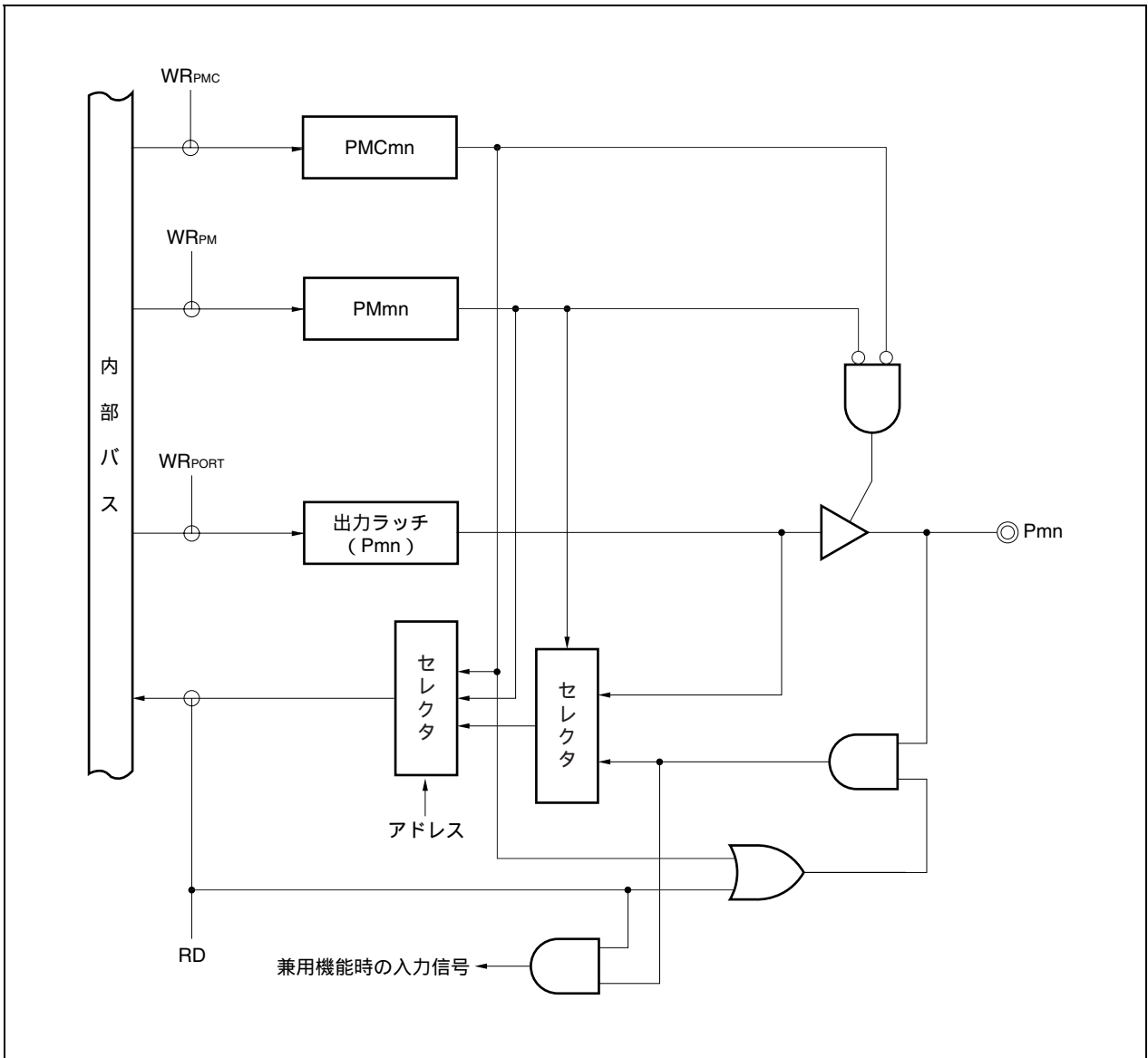


図4-7 タイプC-2のブロック図

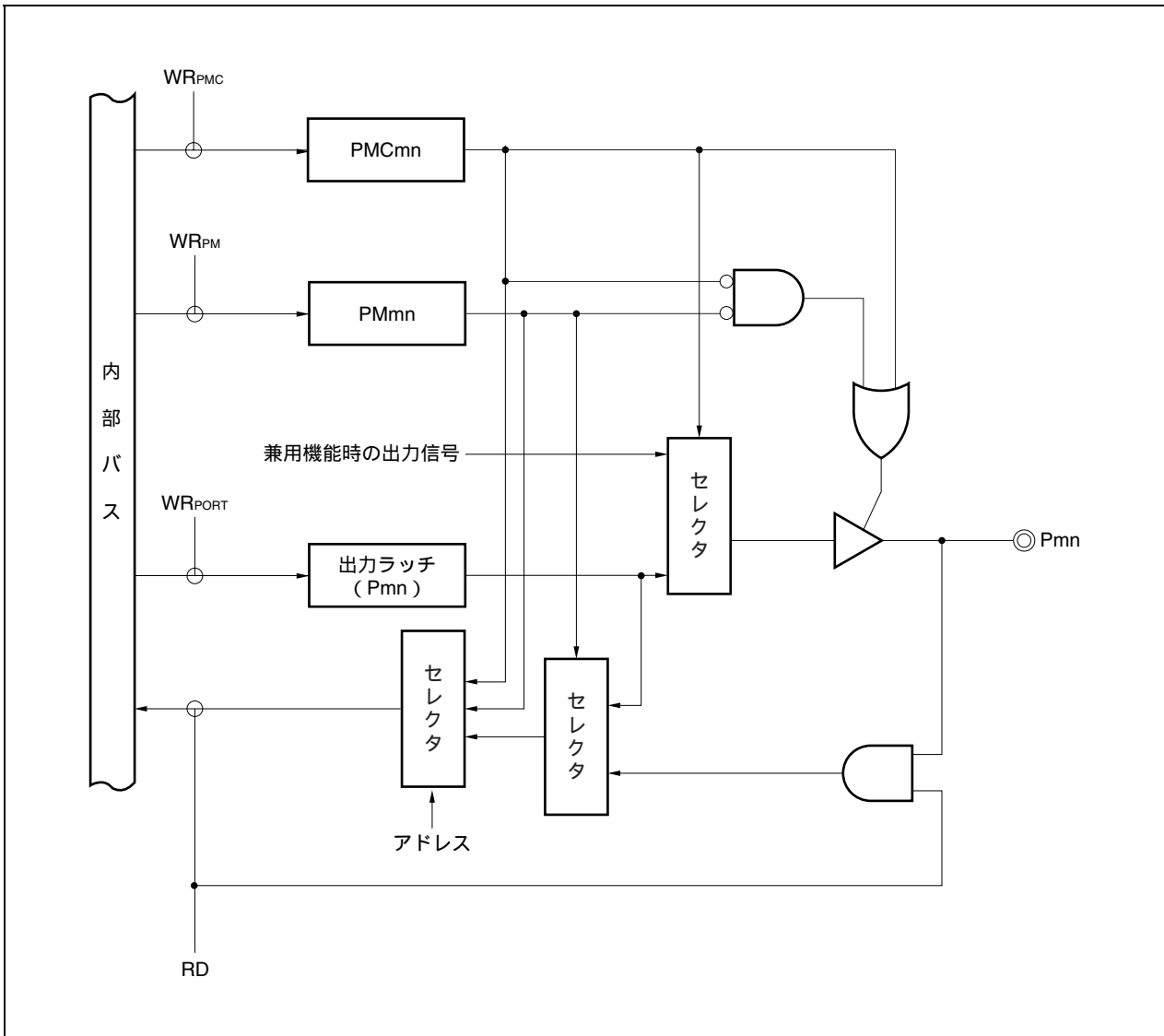


図4 - 8 タイプC-3のブロック図

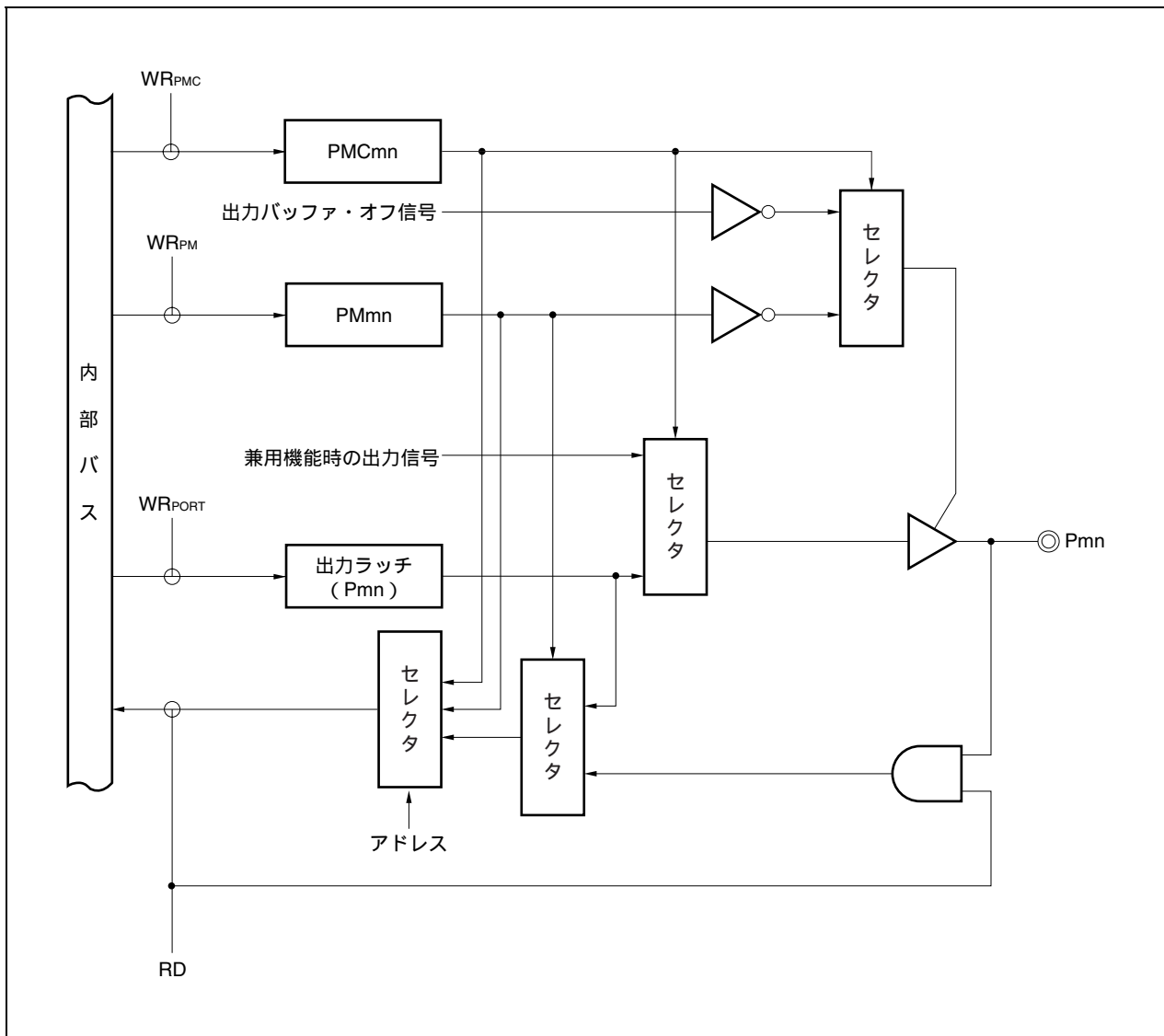


図4-9 タイプD-1のブロック図

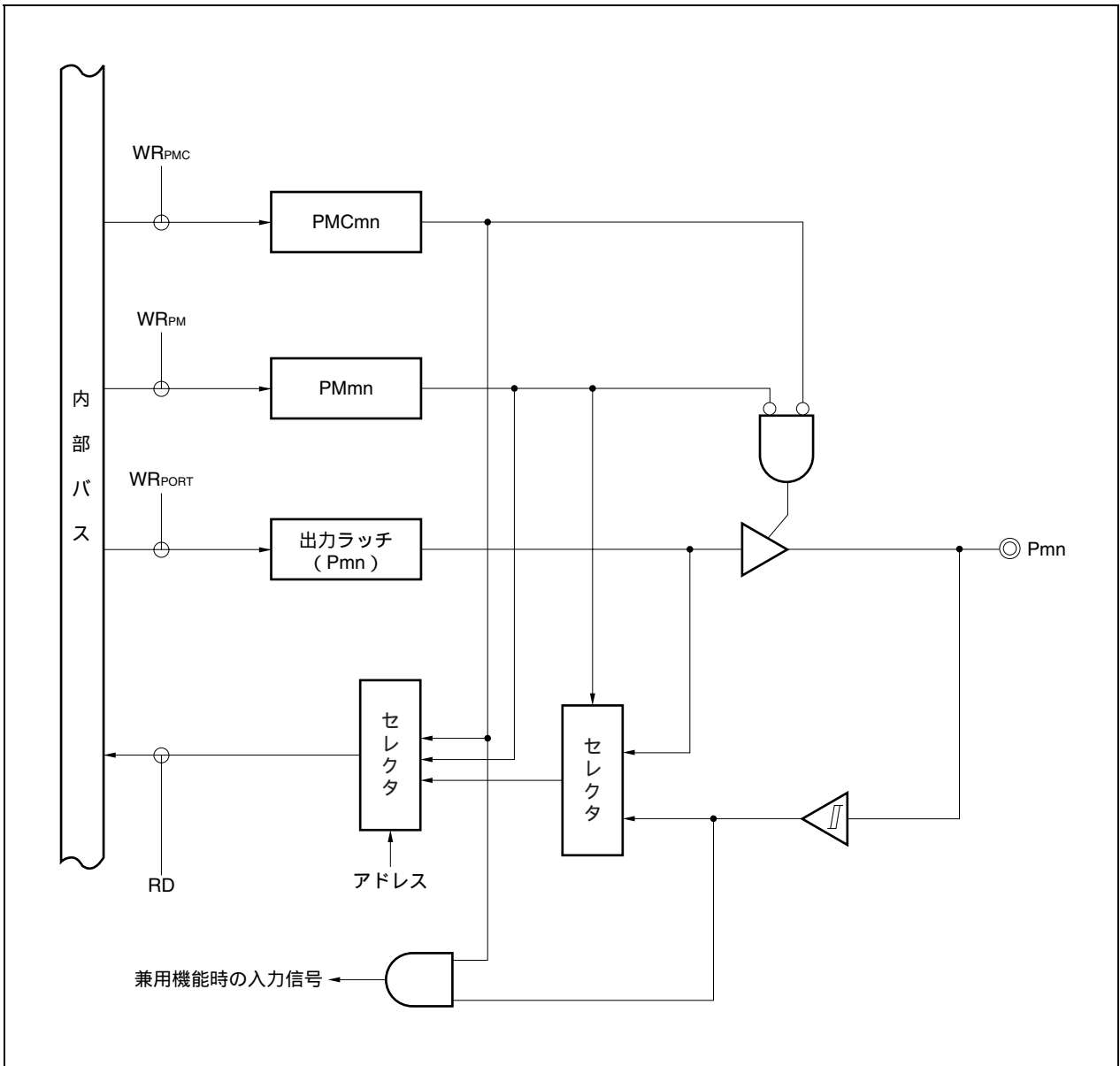


図4-10 タイプD-2のブロック図

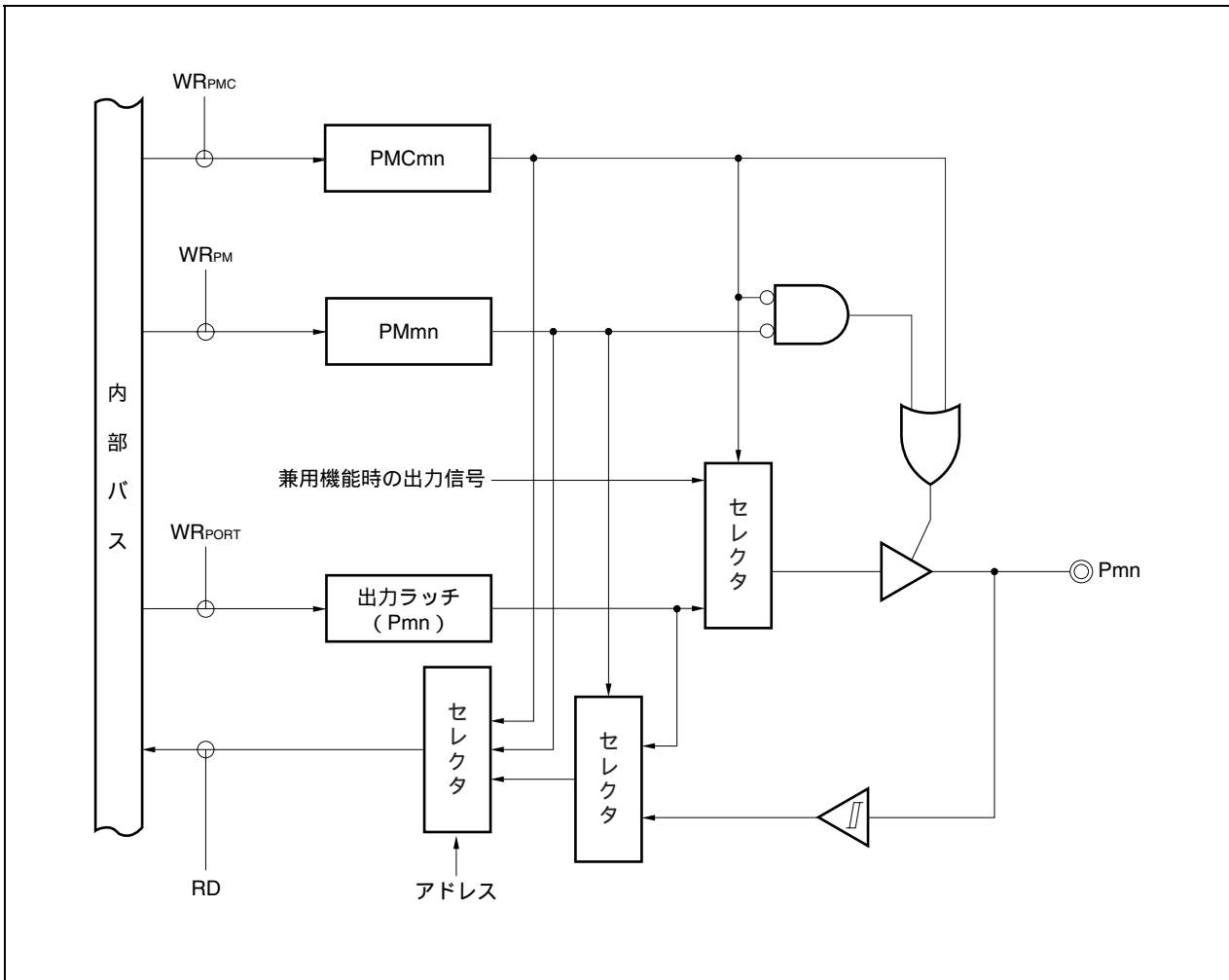


図4 - 11 タイプD-3のブロック図

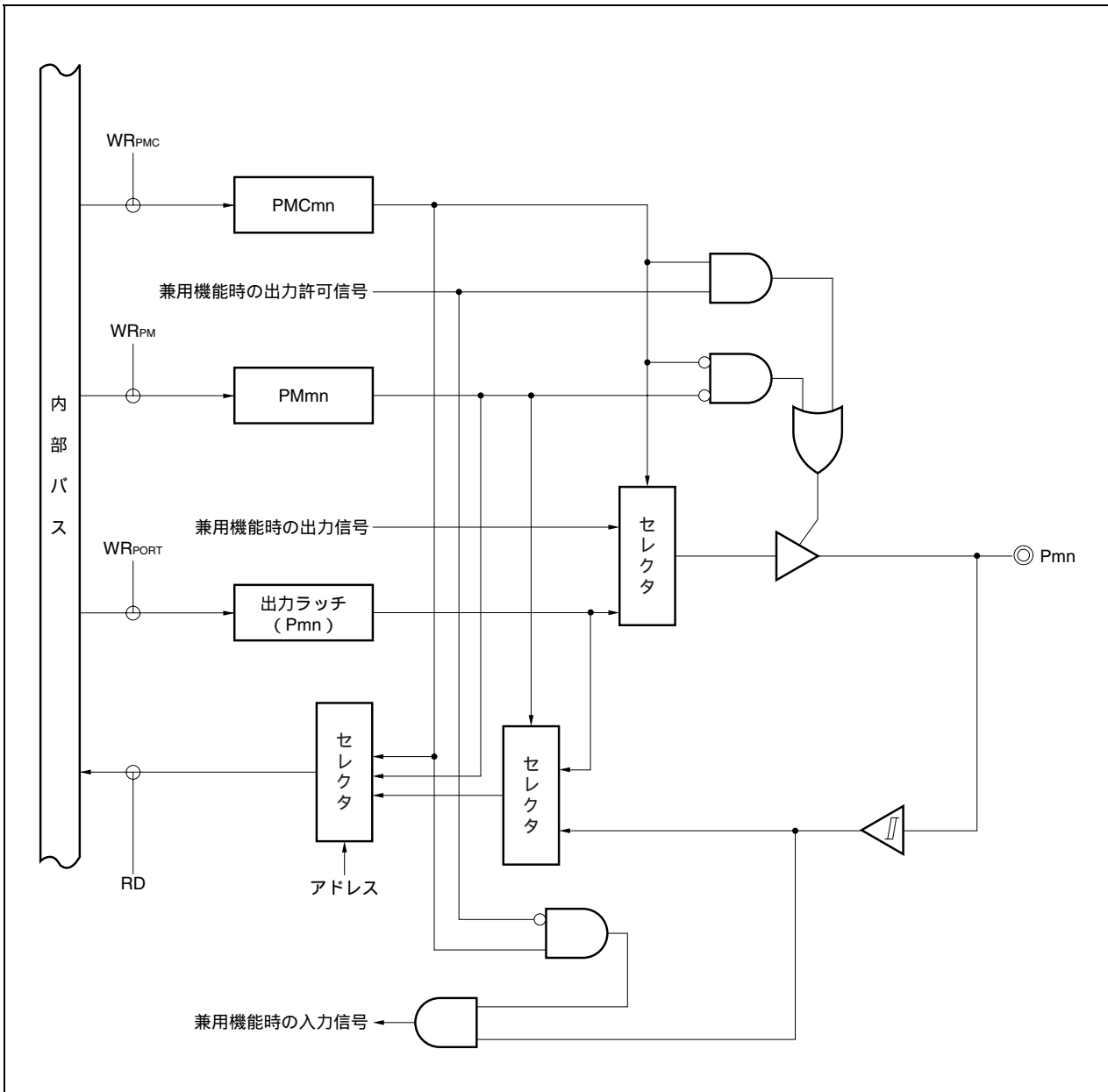




図4 - 12 タイプE-1のブロック図

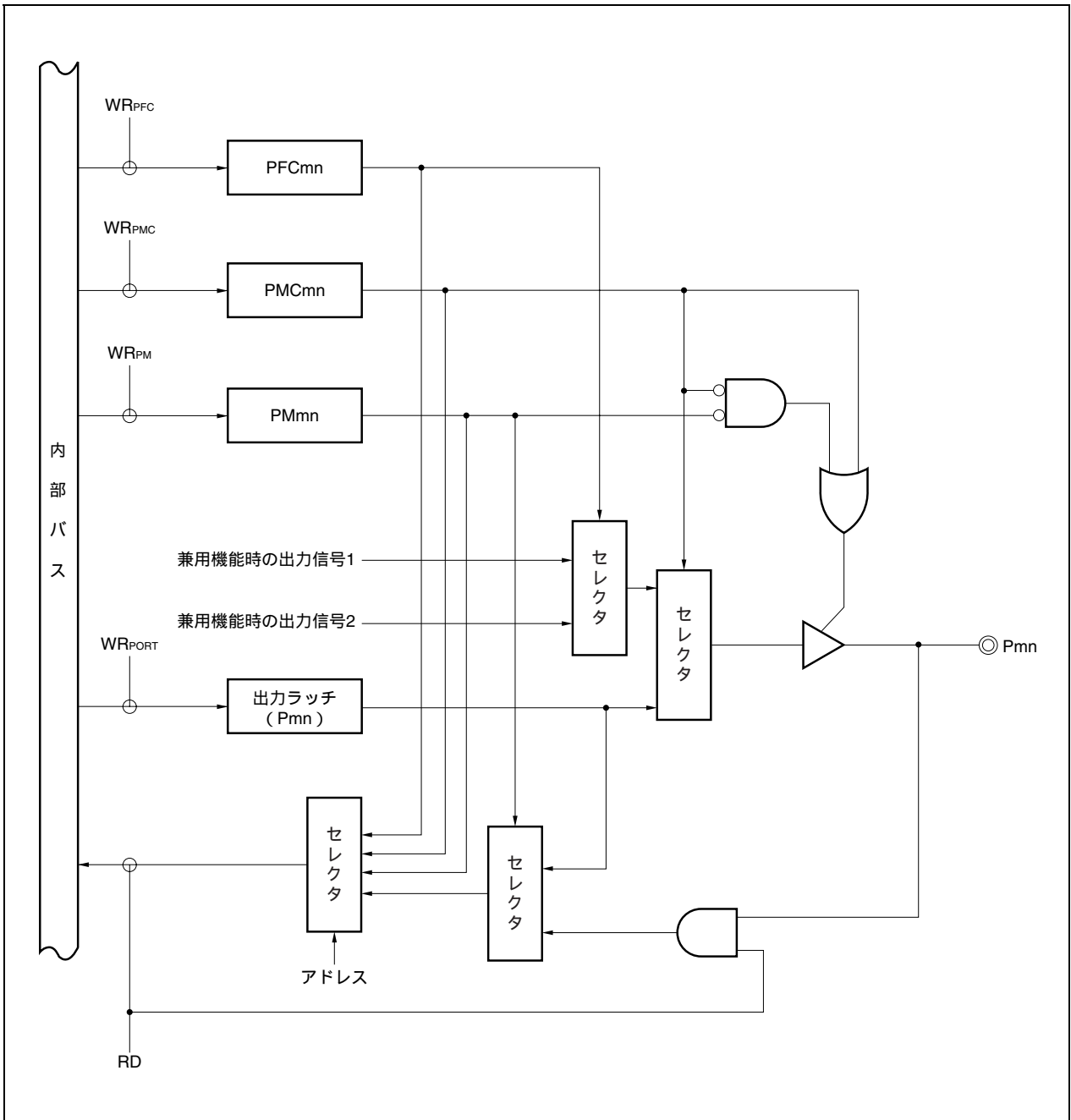


図4 - 13 タイプE-2のブロック図

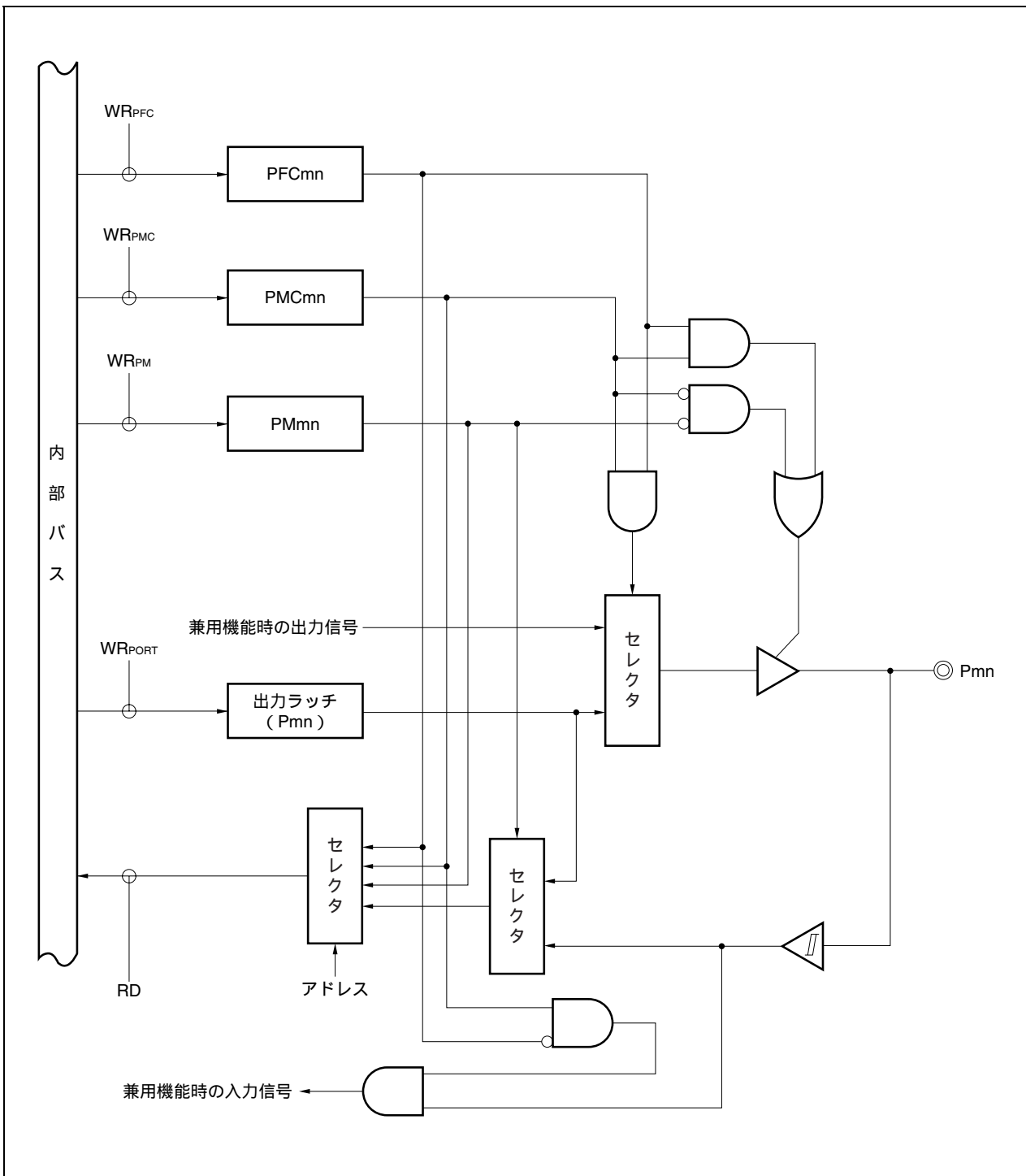




図4 - 15 タイプF-1のブロック図

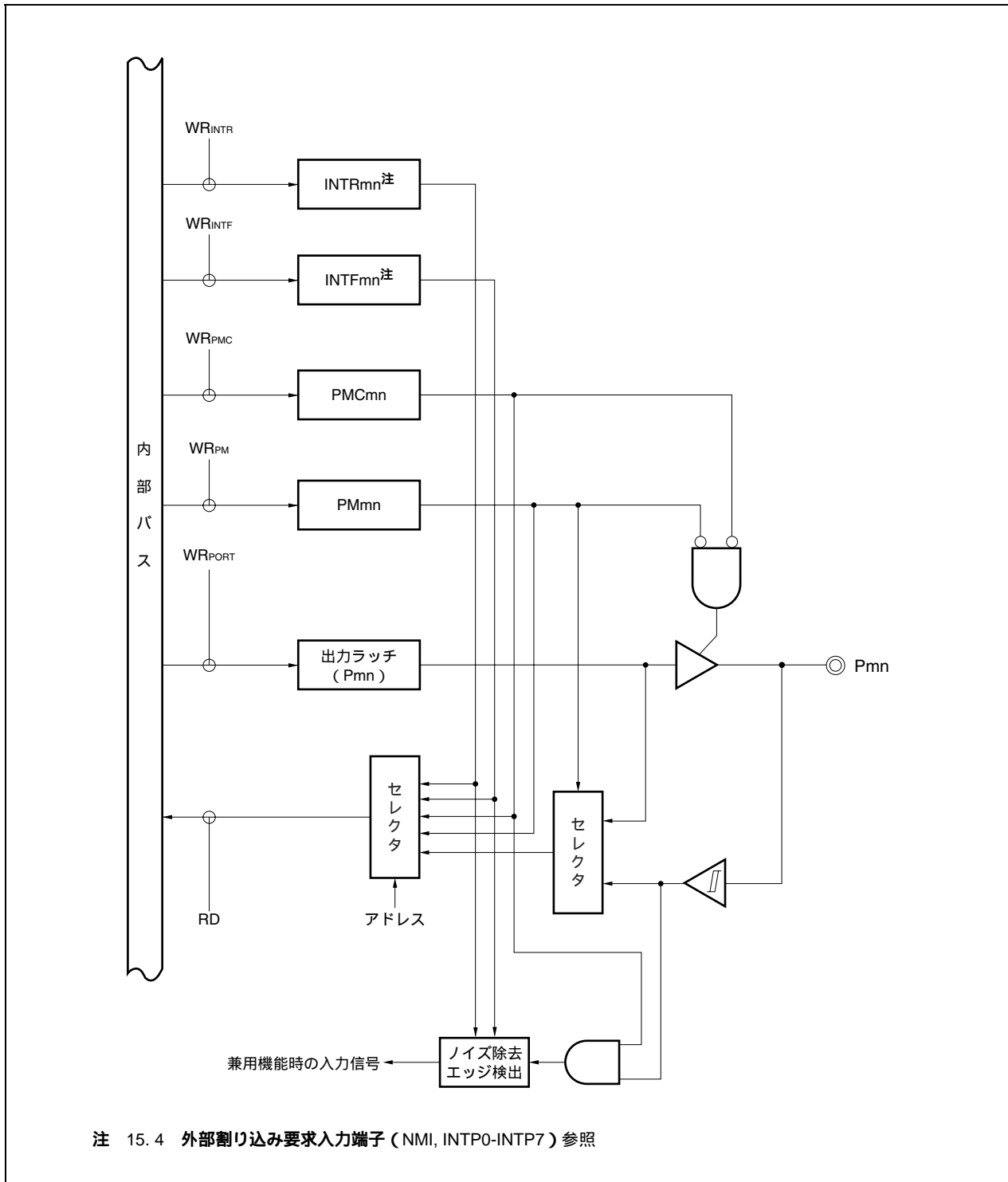


図4 - 16 タイプF-2のブロック図

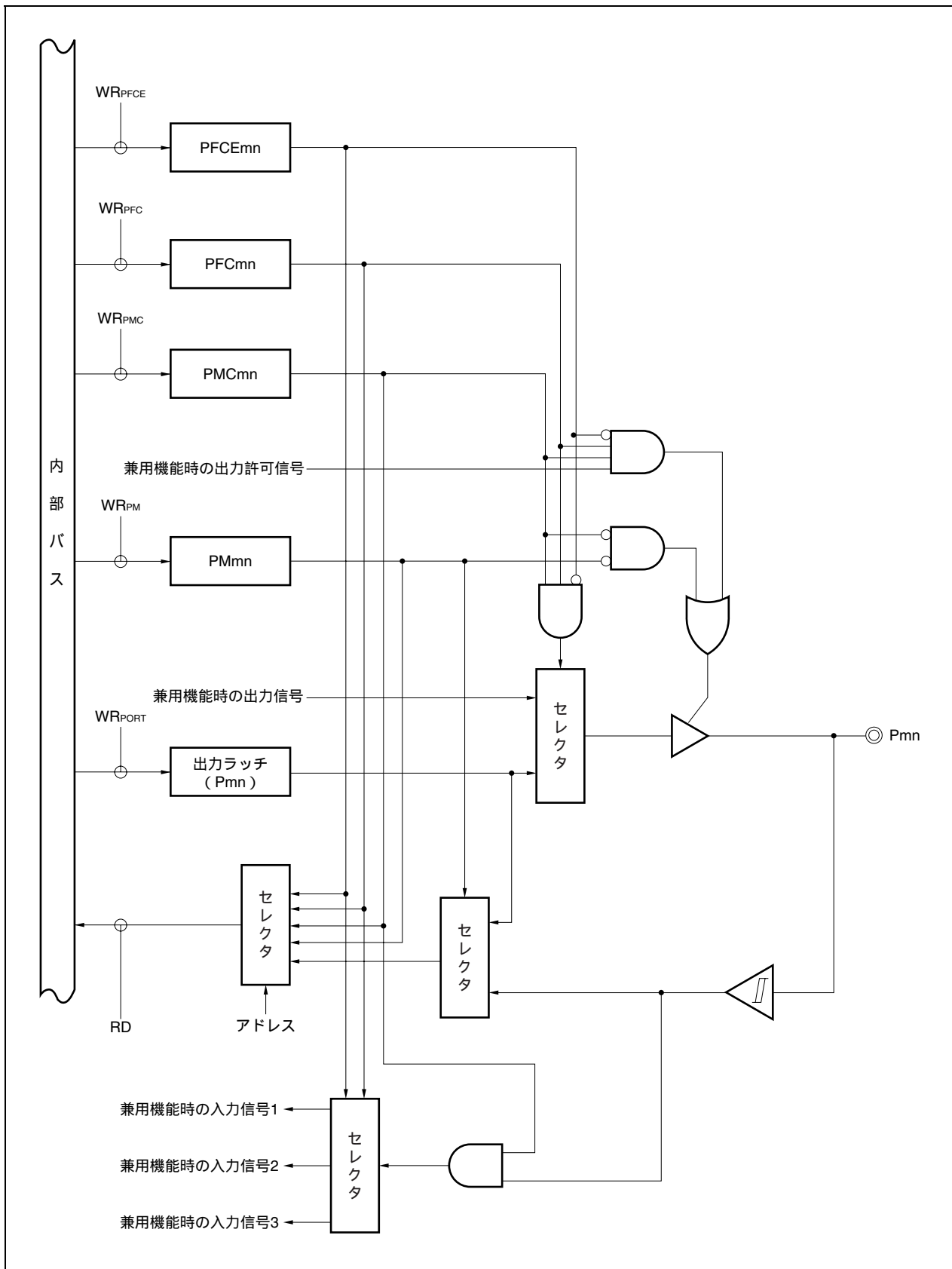


図4 - 17 タイプF-3のブロック図

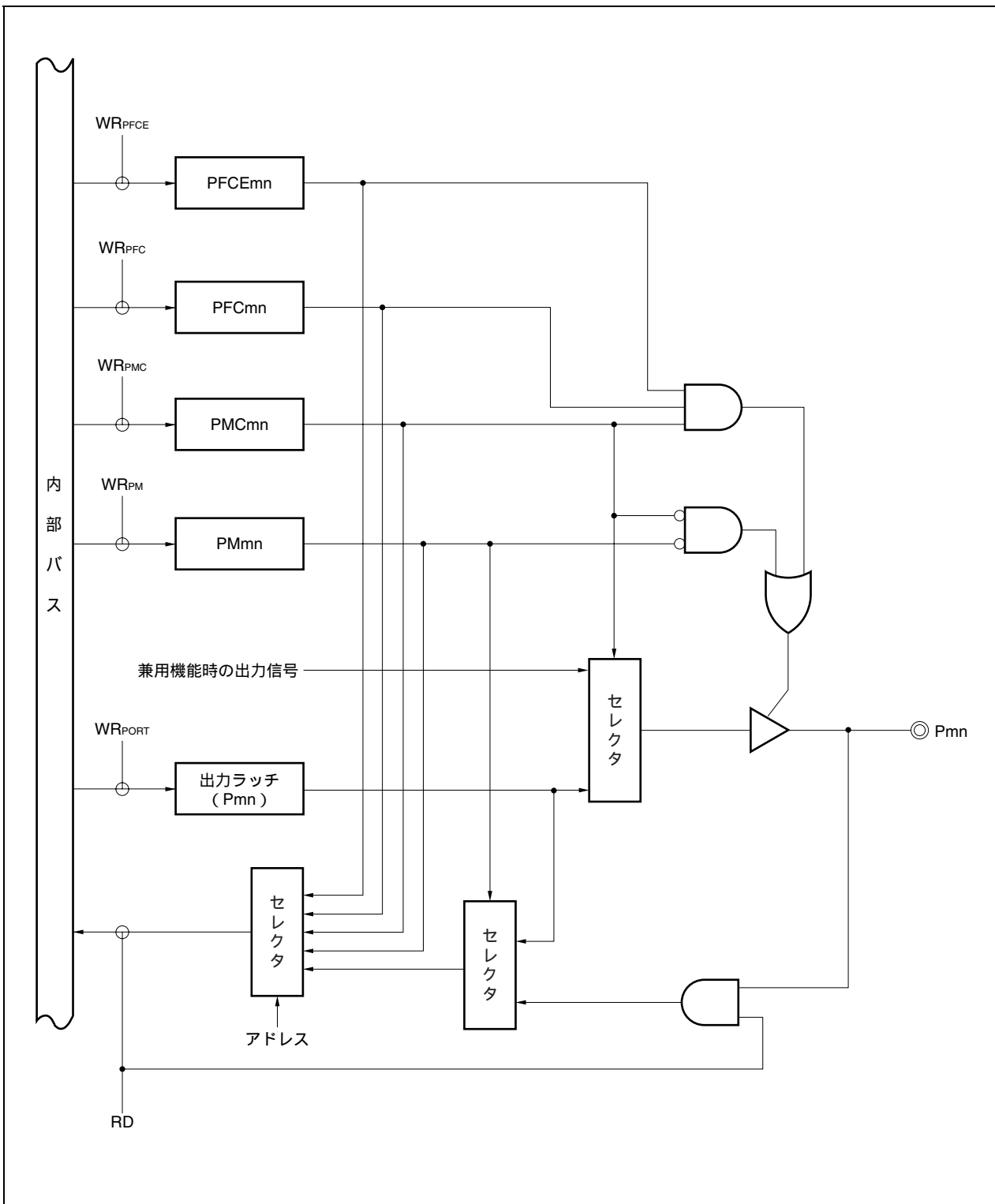




図4 - 19 タイプF-5のブロック図

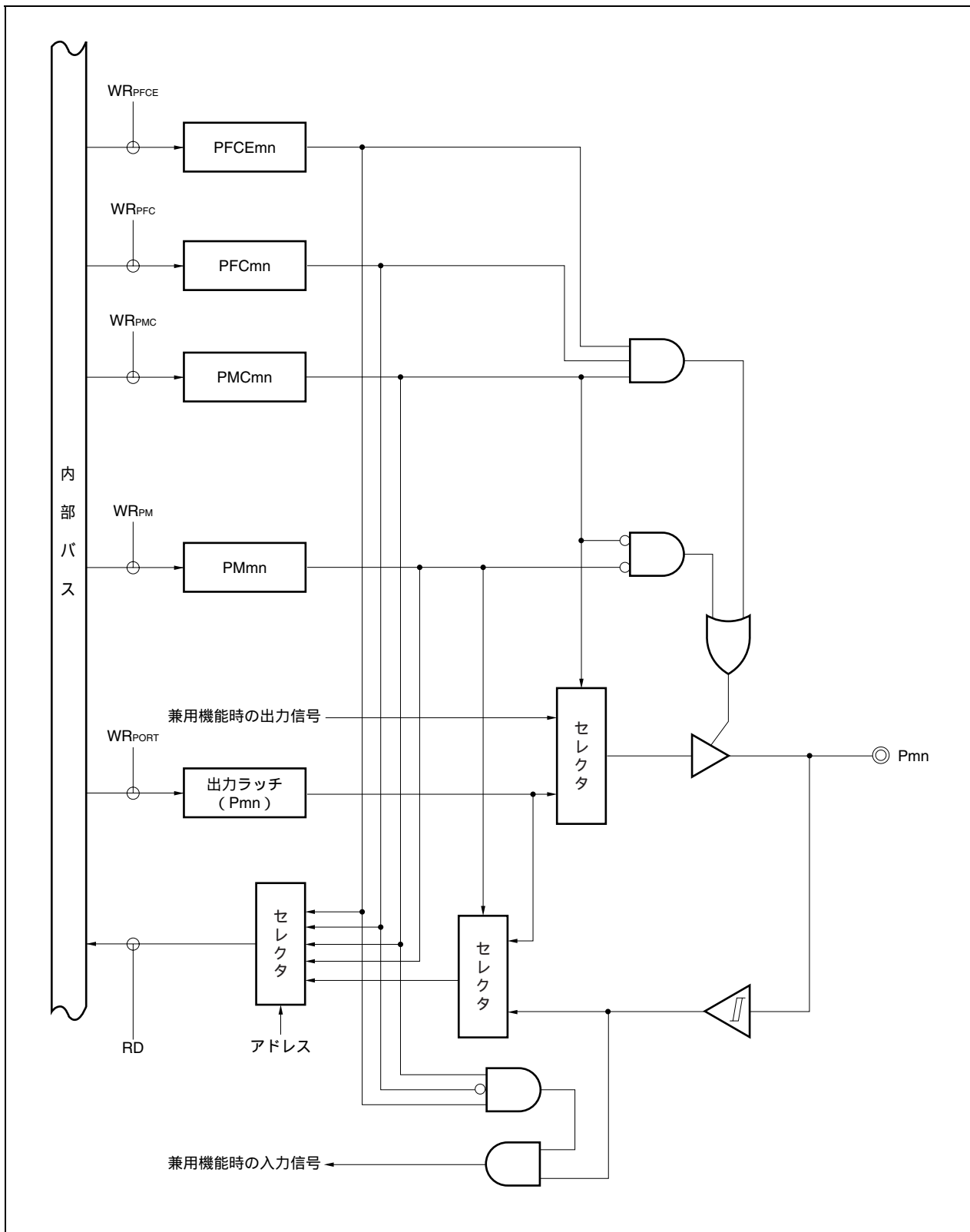




図4 - 20 タイプF-6のブロック図

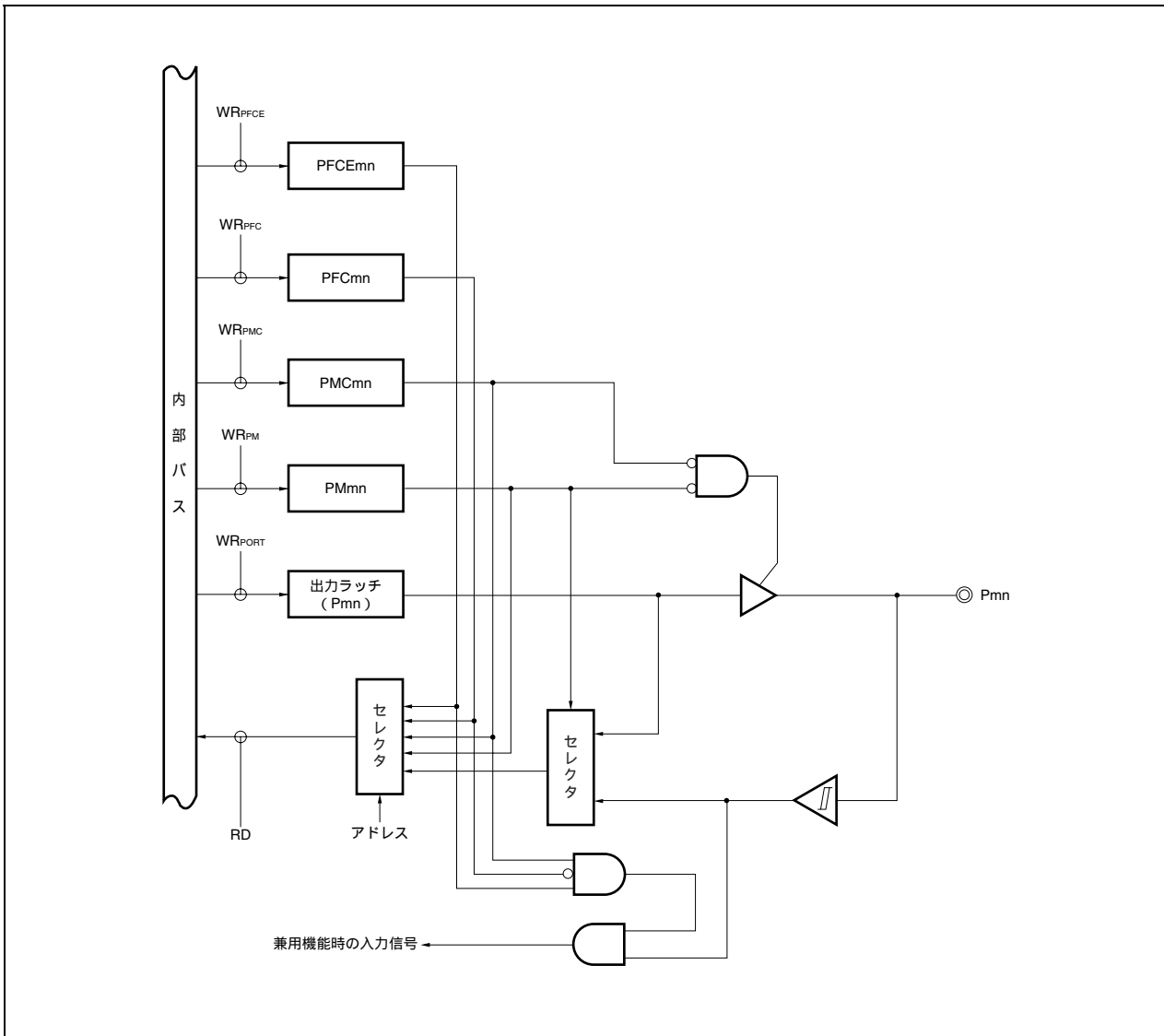


図4 - 21 タイプF-7のブロック図

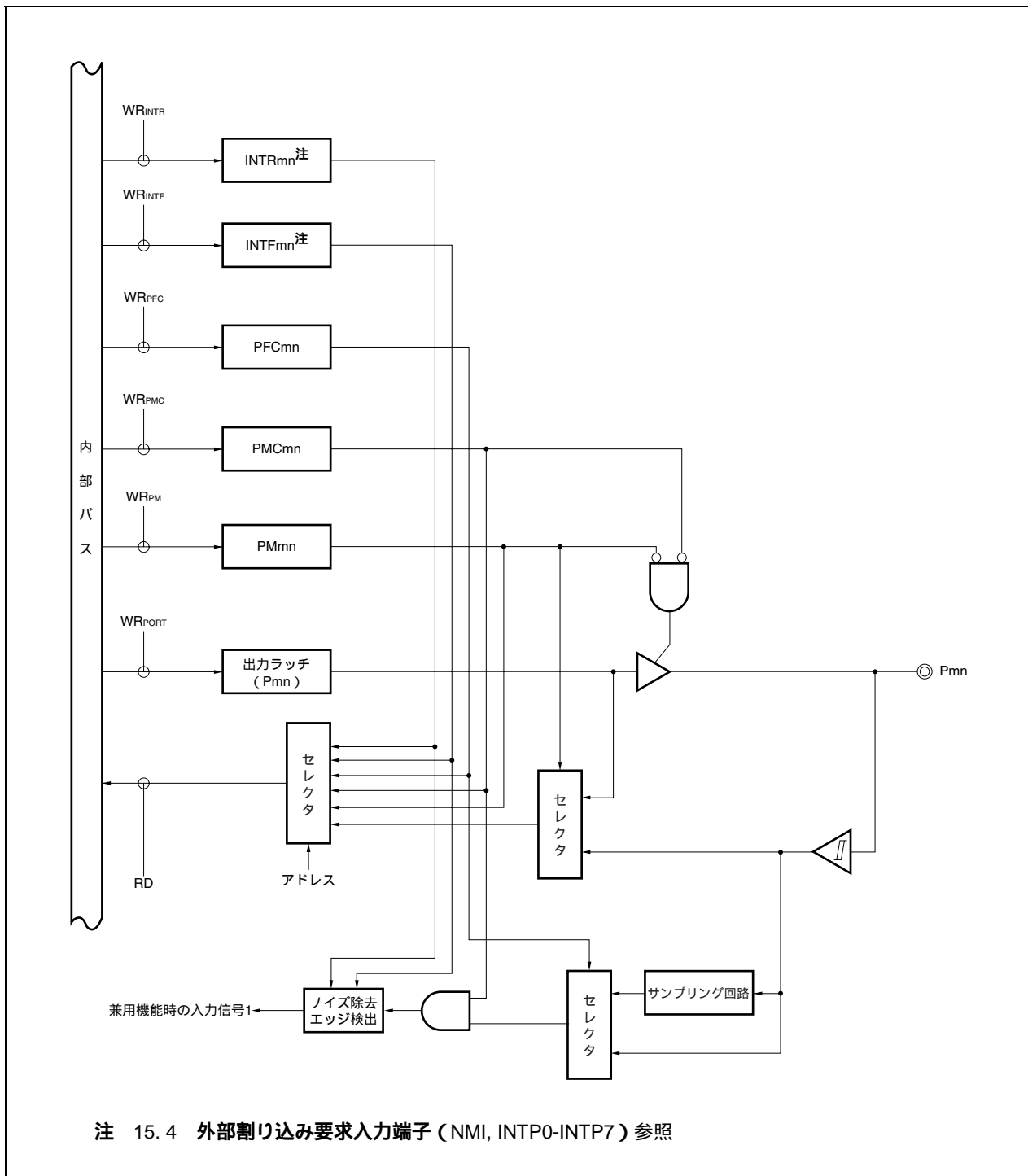


図4-22 タイプG-1のブロック図

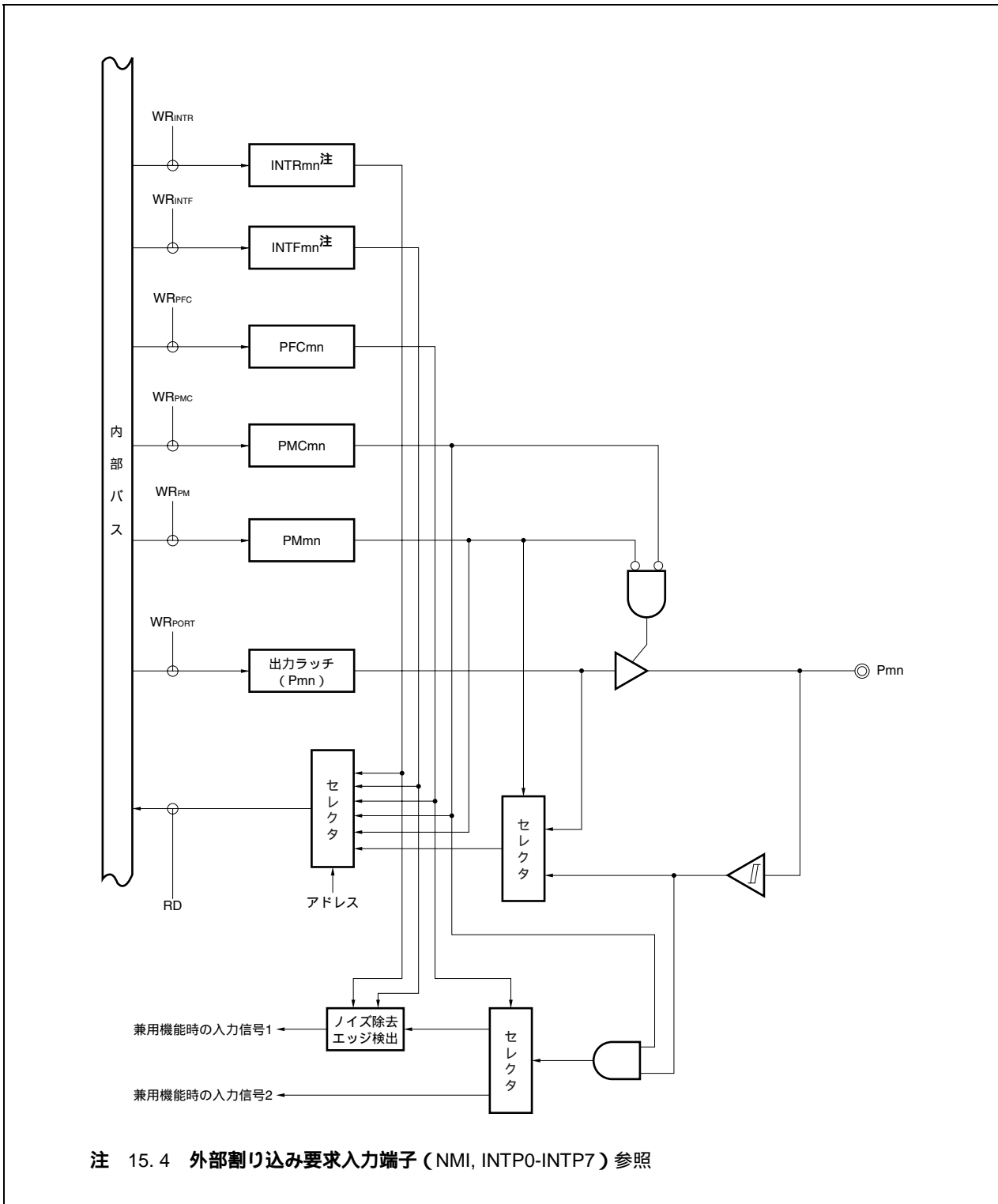


図4 - 23 タイプG-2のブロック図

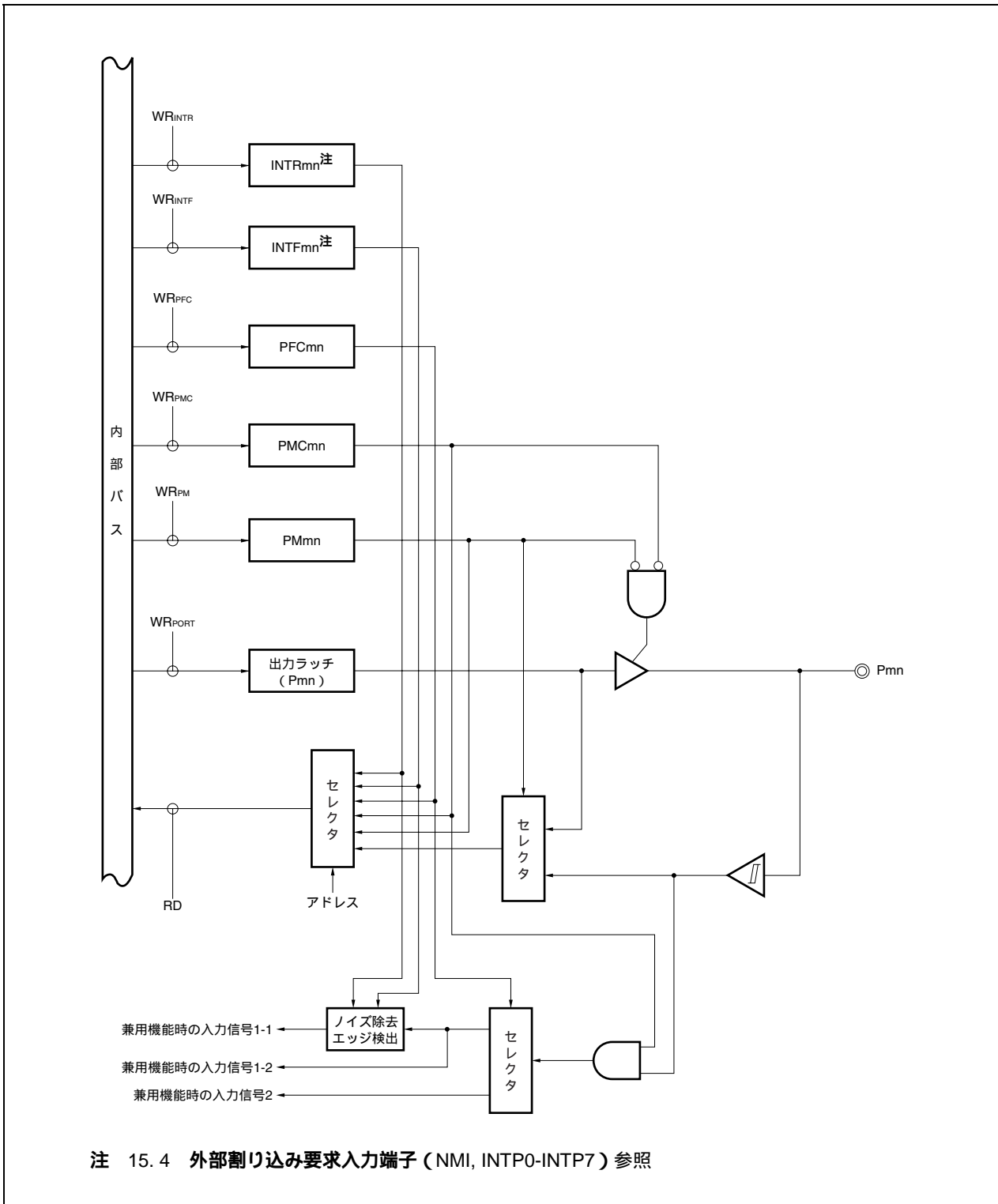


図4-24 タイプG-3のブロック図

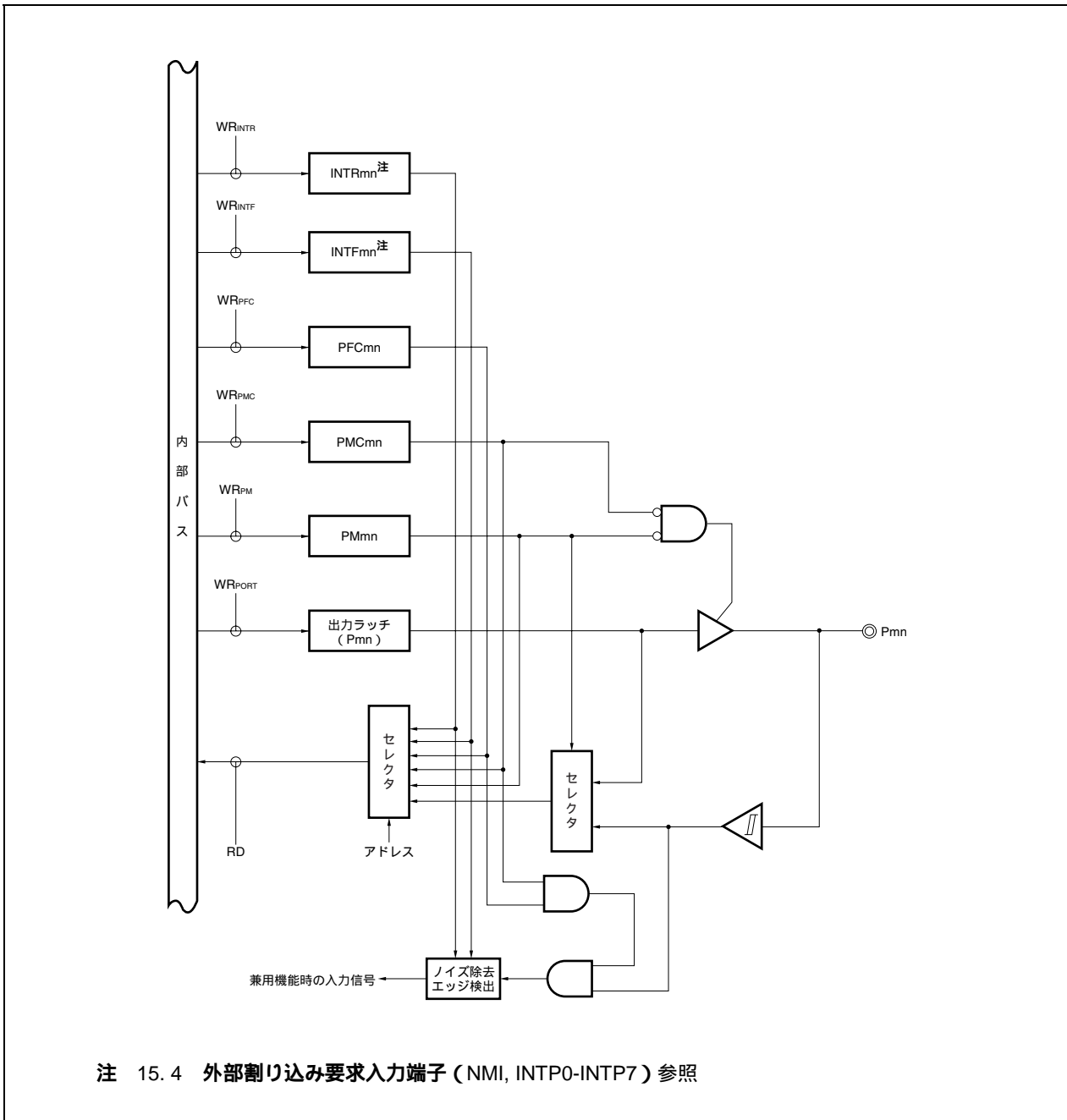


図4-25 タイプH-1のブロック図

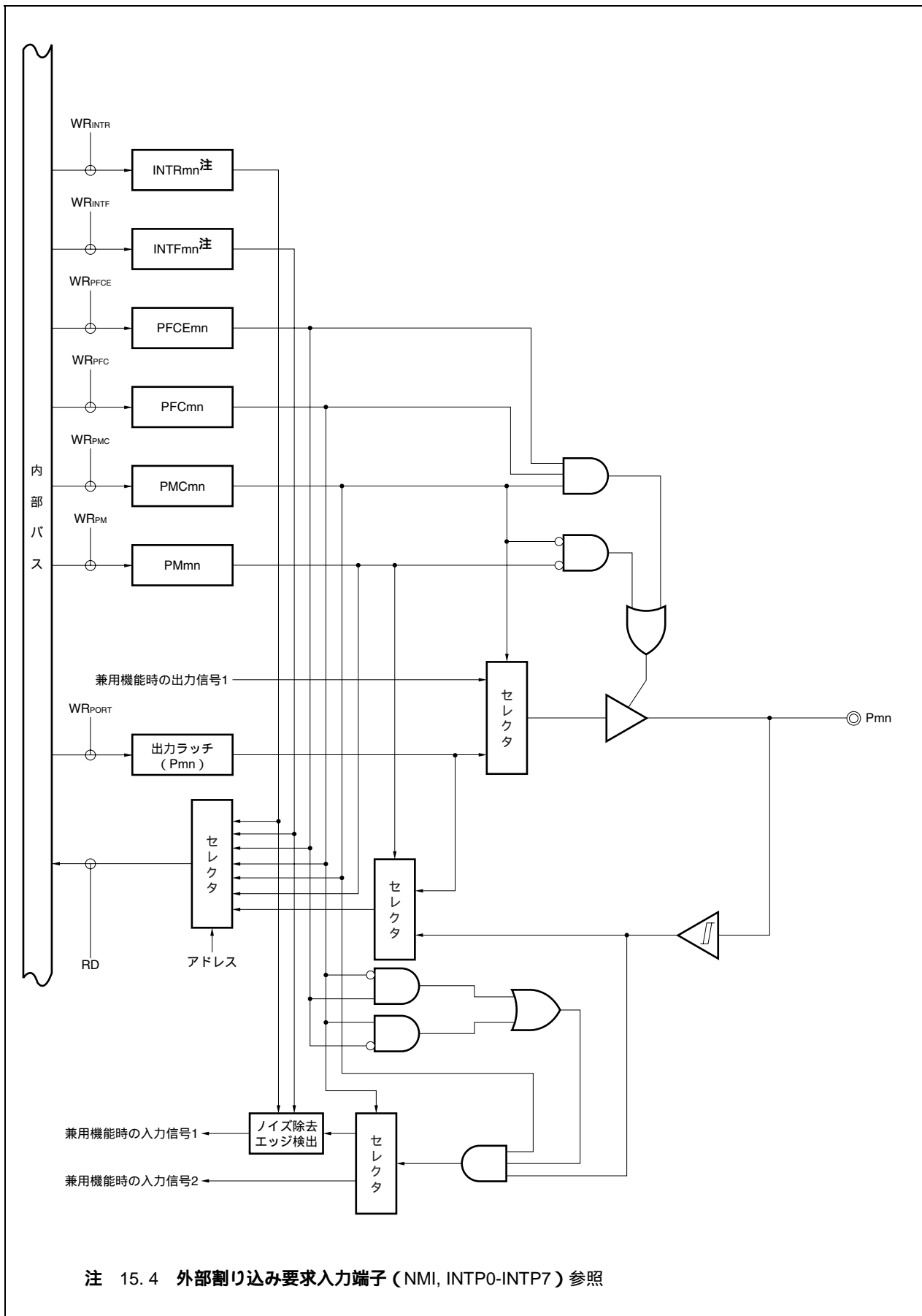
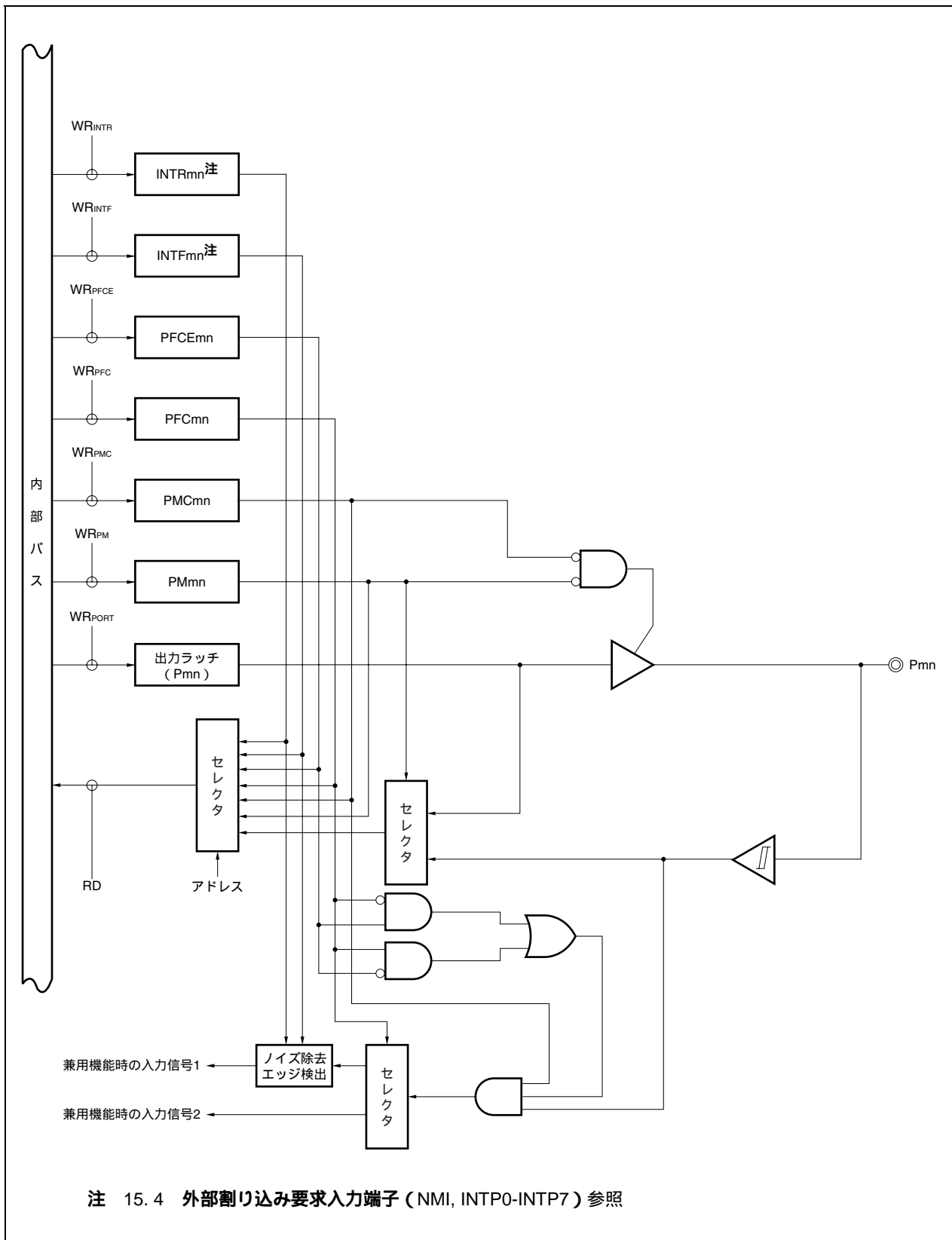


図4 - 26 タイプH-2のブロック図



## 4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4 - 15に示します。  
兼用端子として使用する場合は各機能を参照してください。



表4 - 15 ポート端子を兼用端子として使用する場合 (1/4)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	-	
P03	INTP0	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	PFC03 = 0	
	ADTRG	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	PFC03 = 1	
P04	INTP1	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	-	-	
P05	INTP2	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-	
P06	INTP3	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	-	-	
P10	ANO0	出力	P10 = 設定不要	PM10 = 1	-	-	-	
P11	ANO1	出力	P11 = 設定不要	PM11 = 1	-	-	-	
P30	TXDA0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	PFC30 = 0	
	SOB4	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	PFC30 = 1	
P31	RXDA0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	注, PFC31 = 0	
	SIB4	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	PFC31 = 1	
	INTP7	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	注, PFC31 = 0	
P32	ASCKA0	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 0	
	SCKB4	入出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 1	
	TIP00	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 0	
P33	TIP01	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 0	
	TOP01	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 1	
P34	TIP10	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	-	-	
P35	TIP11	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 0	
	TOP11	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 1	

注 INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は、兼用しているINTP7端子のエッジ検出を無効にしてください (INTF.INTF31ビット = 0, INTR.INTR31ビット = 0に設定)。また、INTP7端子として使用する場合は、UARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0)。

注意1. P10, P11端子を兼用機能 (ANO0, ANO1端子) として使用する場合、PM1レジスタ = FFHに設定してください。

2. P10, P11端子を、1本を入出力ポート、1本をD/A出力端子 (ANO0, ANO1) として使用する場合、D/A出力中は、ポートの入出力レベルが変化しないようにしてください。

表4 - 15 ポート端子を兼用端子として使用する場合 (2/4)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P38	TXDA2	出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	-	PFC38 = 0	
P39	RXDA2	入力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	-	PFC39 = 0	
P40	SIB0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	-	
P41	SOB0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	-	
P42	$\overline{\text{SCKB0}}$	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	-	
P50	RTP00	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 1	
P51	RTP01	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 1	
P52	RTP02	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 1	
P53	RTP03	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 1	
P54	RTP04	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 1	PFC54 = 1	
P55	RTP05	出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 1	PFC55 = 1	
P70	ANI0	入力	P70 = 設定不要	-	-	-	-	
P71	ANI1	入力	P71 = 設定不要	-	-	-	-	
P72	ANI2	入力	P72 = 設定不要	-	-	-	-	
P73	ANI3	入力	P73 = 設定不要	-	-	-	-	
P74	ANI4	入力	P74 = 設定不要	-	-	-	-	
P75	ANI5	入力	P75 = 設定不要	-	-	-	-	
P76	ANI6	入力	P76 = 設定不要	-	-	-	-	
P77	ANI7	入力	P77 = 設定不要	-	-	-	-	

表4 - 15 ポート端子を兼用端子として使用する場合 (3/4)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P92	TIP41	入力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 1	
	TOP41	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 1	PFC92 = 0	
P93	TIP40	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	-	PFC93 = 1	
P94	TIP31	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 1	
	TOP31	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 1	PFC94 = 0	
P95	TIP30	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	-	PFC95 = 1	
P96	TIP21	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 0	
	TOP21	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 1	
P97	TIP20	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 0	
P913	INTP4 <sup>注</sup>	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	-	PFC913 = 1	
P914	INTP5 <sup>注</sup>	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 1	
	TIP51	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 0	
	TOP51	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 1	
P915	INTP6 <sup>注</sup>	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 1	
	TIP50	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 0	
PCM0	WAIT	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	-	-	
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	-	-	
PCM2	HLDK	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	-	-	
PCM3	HLDRQ	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	-	-	
PCS1	CS1	出力	PCS1 = 設定不要	PMCS1 = 設定不要	PMCCS1 = 1	-	-	
PCS2	CS2	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	-	-	
PCS3	CS3	出力	PCS3 = 設定不要	PMCS3 = 設定不要	PMCCS3 = 1	-	-	

注 INTP4-INTP6として使用しない場合はエッジ検出を無効にしてください (INTF9H.INTF9nビット = 0, INTR9H.INTR9nビット = 0 (n = 13-15) に設定)。

表4 - 15 ポート端子を兼用端子として使用する場合 (4/4)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PCT0	$\overline{WR0}$	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCT0 = 1	-	-	
PCT1	$\overline{WR1}$	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCT1 = 1	-	-	
PCT4	$\overline{RD}$	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCT4 = 1	-	-	
PCT6	ASTB	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCCT6 = 1	-	-	
PDH0	A16	出力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	-	-	注
PDH1	A17	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	-	-	注
PDH2	A18	出力	PDH2 = 設定不要	PMDH2 = 設定不要	PMCDH2 = 1	-	-	注
PDH3	A19	出力	PDH3 = 設定不要	PMDH3 = 設定不要	PMCDH3 = 1	-	-	注
PDH4	A20	出力	PDH4 = 設定不要	PMDH4 = 設定不要	PMCDH4 = 1	-	-	注
PDH5	A21	出力	PDH5 = 設定不要	PMDH5 = 設定不要	PMCDH5 = 1	-	-	注

注 セパレート・バスでA16-A21端子を1本でも使用する場合は、ポートDHは、ポート端子として使用できません。したがって、PMCDHレジスタは、一括して3FHIに8ビット設定してください。

## 4.6 注意事項

### 4.6.1 ポート端子設定上の注意事項

(1) ポートのレジスタ設定は、次の順で行ってください。

PFCn, PFCEnレジスタを設定

PMcNレジスタを設定

INTFn, INTRnレジスタを設定

PMcNレジスタを先に設定したあとに、PFCn, PFCEnレジスタを設定すると、PFCn, PFCEnレジスタ設定中に意図しない周辺機能端子に設定されてしまう可能性があります。

### 4.6.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90端子は出力ポート、P91-P97端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、P90端子の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル”とすると、ポート・ラッチの値は、“FFH”になります。

説明：PM9mビット = 1であるポートのP9Lレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令はV850ES/ST2内部で、次の順序で行われます。

<1> P9Lレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

<3> P9Lレジスタへ8ビット単位で書き込み

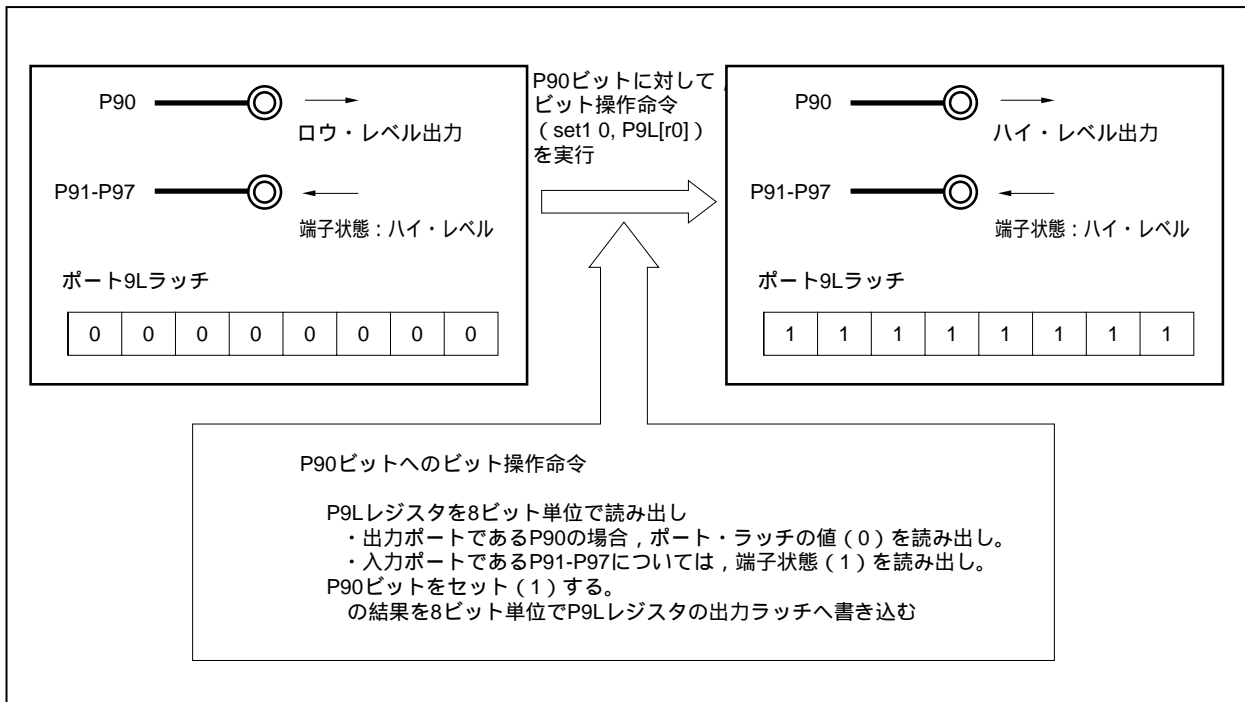
<1> のとき、出力ポートであるP90端子は出力ラッチの値(0)を読み出しますが、入力ポートであるP91-P97端子は端子状態を読み出します。このときP91-P97端子の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

**備考** m = 0-7

図4 - 27 ビット操作命令 (P90端子の場合)



#### 4.6.3 セパレート・バス・モード時の注意事項

セパレート・バスでA16-A21端子を1本でも使用する場合は、ポートDHは、ポート端子として使用できません。したがって、PMCDHレジスタは、一括して3FHに8ビット設定してください。

セパレート・バス・モードでA16-A21端子を1本も使用しない場合は、ポートDHはポート端子として使用できます。

## 第5章 バス制御機能

V850ES/ST2は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

### 5.1 特 徴

最小で3バス・サイクルのマルチプレクス・バスと、最小で2バス・サイクルのセパレート・バス出力選択可能

4空間のチップ・セレクト機能

セパレート・バス ( $\overline{CS0}$ ,  $\overline{CS2}$ ,  $\overline{CS3}$ )

マルチプレクス/セパレート・バス選択可能 ( $\overline{CS1}$ のみ)

- ・  $\overline{CS1}$ をマルチプレクス・バスに設定した場合は、 $\overline{CS1}$ からのデータ・アクセスのみ可能 (命令フェッチ不可)

8ビット/16ビット・データ・バス切り替え可能

ウエイト機能

- ・ 最大で7ステートのプログラマブル・ウエイト機能

- ・  $\overline{WAIT}$ 端子による外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

ポートとの兼用端子で外部デバイスに接続可能

リトル・エンディアン固定

ミス・アライン・アクセス可能

最大4Mバイトは物理メモリを接続可能

### 5.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表5-1 バス制御端子一覧 (マルチプレクス・バス選択時)

バス制御端子	兼用端子	入出力	機 能
AD0-AD15	-	入出力	アドレス/データ・バス
A16-A21	PDH0-PDH5	出力	アドレス・バス
$\overline{WAIT}$	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
$\overline{CS1}$	PCS1	出力	チップ・セレクト
$\overline{WR0}$ , $\overline{WR1}$	PCT0, PCT1	出力	ライト・ストロープ信号
$\overline{RD}$	PCT4	出力	リード・ストロープ信号
$\overline{ASTB}$	PCT6	出力	アドレス・ストロープ信号
$\overline{HLDRQ}$	PCM3	入力	バス・ホールド制御
$\overline{HLDAK}$	PCM2	出力	

表5 - 2 バス制御端子一覧（セパレート・バス選択時）

バス制御端子	兼用端子	入出力	機能
AD0-AD15	-	入出力	データ・バス
A0-A15	-	出力	アドレス・バス
A16-A21	PDH0-PDH5	出力	アドレス・バス
WAIT $\bar{}$	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
CS0	-	出力	チップ・セレクト
CS1-CS3	PCS1-PCS3	出力	チップ・セレクト
WR0, WR1	PCT0, PCT1	出力	ライト・ストロブ信号
RD	PCT4	出力	リード・ストロブ信号
HLD $\bar{}$ RQ	PCM3	入力	バス・ホールド制御
HLD $\bar{}$ AK	PCM2	出力	

### 5. 2. 1 内蔵RAM，内蔵周辺I/O，CS0-CS3アクセス時の端子状態

内蔵RAM，内蔵周辺I/O，CS0-CS3へアクセスした場合，各端子状態は次のようになります。

表5 - 3 内蔵RAM，内蔵周辺I/O，CS0-CS3アクセス時の端子状態一覧

バス制御端子	内蔵RAM	内蔵周辺I/O	CS0, CS2, CS3 (セパレート ・バスのみ)	CS1 (マルチプレクス ・バス選択時)	CS1 (セパレート ・バス選択時)
A0-A15	L	不定	アドレス・バス として動作	H	アドレス・バス として動作
A16-A21	L	不定	アドレス・バス として動作	アドレス・バス として動作	アドレス・バス として動作
AD0-AD15	Hi-Z	Hi-Z	データ・バス として動作	アドレス/ データ・バス として動作	データ・バス として動作

### 5. 2. 2 各動作モードの端子状態

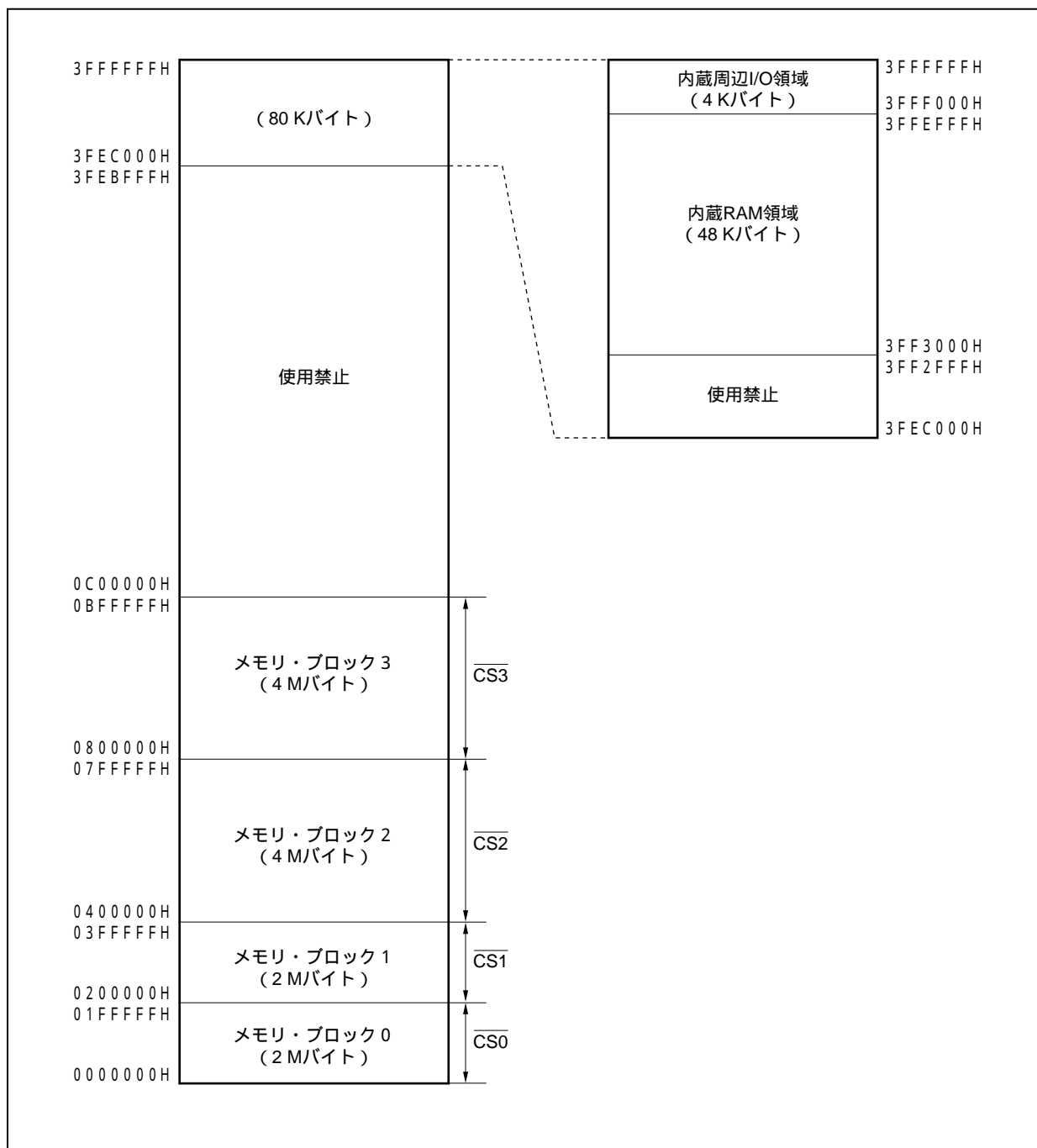
V850ES/ST2の各動作モードの端子状態については，2. 2 端子状態を参照してください。



### 5.3 メモリ・ブロック機能

12 Mバイトの外部メモリ空間は下位2 M, 2 M, 4 M, 4 Mバイト単位のメモリ・ブロックに分割され, 1ブロック単位にプログラマブル・ウエイト機能, バス・サイクル動作モードなどを独立に制御できます。

図5 - 1 データ・メモリ・マップ：物理アドレス



### 5.3.1 チップ・セレクト制御機能

アドレス空間：64 Mバイト（リニア）のうち、下位12 Mバイト（0000000H-0BFFFFFFH）は、 $\overline{CS0}$ - $\overline{CS3}$ の4本のチップ・セレクト信号を制御できます。 $\overline{CS0}$ - $\overline{CS3}$ で選択される領域は固定されています

チップ・セレクト制御機能により、メモリ・ブロックを分割してメモリ空間を有効に利用できます。メモリ・ブロックの割り当てを次に示します。

端子	V850ES/ST2
$\overline{CS0}$	0000000H-01FFFFFFH（2 Mバイト）
$\overline{CS1}$	0200000H-03FFFFFFH（2 Mバイト）
$\overline{CS2}$	0400000H-07FFFFFFH（4 Mバイト）
$\overline{CS3}$	0800000H-0BFFFFFFH（4 Mバイト）

### 5.4 外部バス・インタフェース・モード制御機能

V850ES/ST2は、外部バス・インタフェースとして次の2つのモードがあります。

- ・マルチプレクス・バス・モード
- ・セパレート・バス・モード

2つのモードの切り替えは、EXIMCレジスタで設定します。

#### (1) 外部バス・インタフェース・モード・コントロール・レジスタ (EXIMC)

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時：01H								R/W	アドレス：FFFFFFBEH								
	7	6	5	4	3	2	1	0									
EXIMC	0	0	0	0	0	0	0	0	SMSEL								
	SMSEL	モード切り替え															
	0	マルチプレクス・バス・モード															
	1	セパレート・バス・モード															

**注意**  $\overline{CS1}$ 領域をマルチプレクス・バスとして使用する場合は、 $\overline{CS1}$ 領域へアクセスする前に、SMSELビット = 0に設定してください。また、一度SMSELビット = 0に設定した場合、SMSELビット = 1への変更は禁止します。

また、EXIMCレジスタ設定後には、必ずBR命令を挿入してください。

## 5.5 バス・アクセス

### 5.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

領域 (バス幅)	内蔵RAM (32ビット)	外部メモリ (16ビット)
バス・サイクル・タイプ		
命令フェッチ (通常アクセス)	1 <sup>注1</sup>	3+n <sup>注2</sup>
命令フェッチ (分岐)	2 <sup>注1</sup>	3+n <sup>注2</sup>
オペランド・データ・アクセス	1	3+n <sup>注2</sup>

注1. データ・アクセスと競合した場合は+1されます。

2. セパレート・バス選択時は、2+nクロック (n: ウェイト数) です。

備考 単位はクロック/アクセスです。

### 5.5.2 バス・サイズ設定機能

外部メモリ領域は、 $\overline{CSn}$ で選択される領域ごとにバス・サイズをBSCレジスタで設定できます。ただし、設定可能なバス・サイズは8ビットと16ビットのみです。

外部メモリ領域は、 $\overline{CS0-CS3}$ で選択されます。

#### (1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

リセットにより5555Hになります。

注意1.  $\overline{CS0}$ 空間へのデータ・バス幅は16ビット固定です。

- BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、変更対象となる $\overline{CSn}$ 空間に対してアクセスしないでください。

リセット時: 5555H R/W アドレス: FFFFF066H

	15	14	13	12	11	10	9	8
BSC	0	1	0	1	0	1	0	1
	7	6	5	4	3	2	1	0
	0	BS30	0	BS20	0	BS10	0	1
		$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$
BSn0	$\overline{CSn}$ 空間のデータ・バス幅 (n=1-3)							
0	8ビット							
1	16ビット							

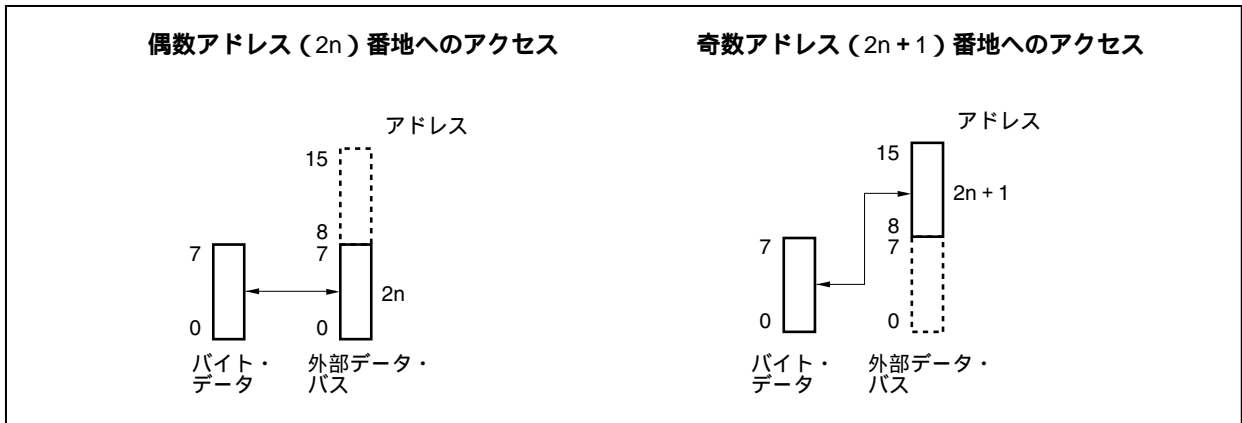
注意1. BSCレジスタ設定後には、必ずBR命令を挿入してください。

- ビット14, 12, 10, 8, 0には必ず1を設定し、ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。

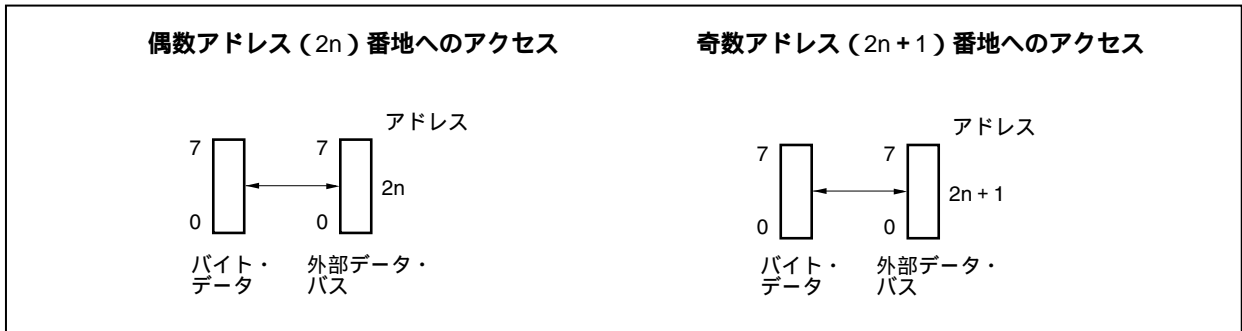


(2) バイト・アクセス (8ビット)

(a) 16ビット・データ・バス幅のとき

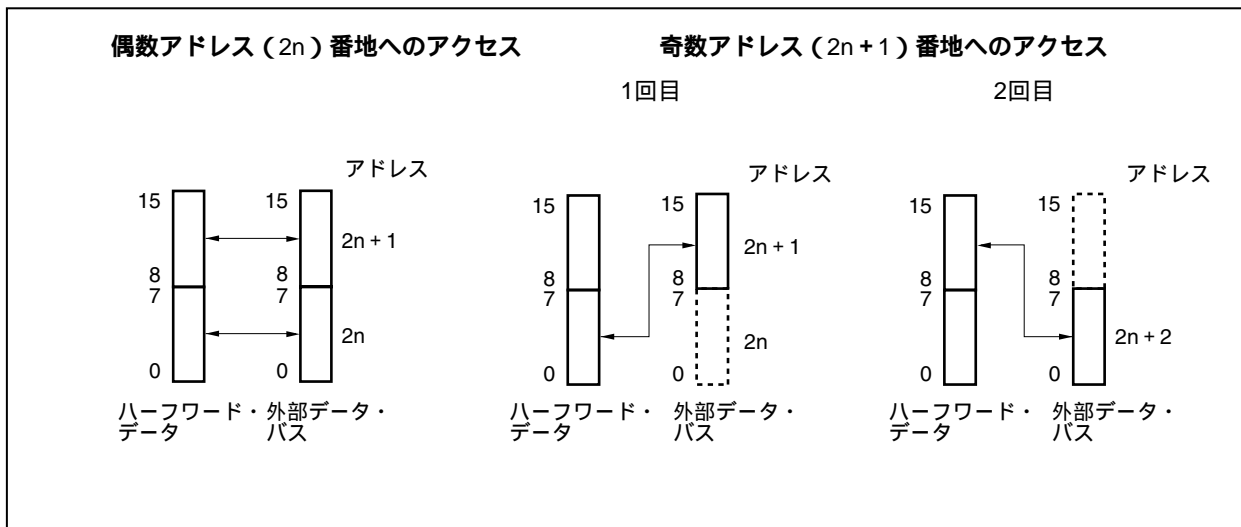


(b) 8ビット・データ・バス幅のとき

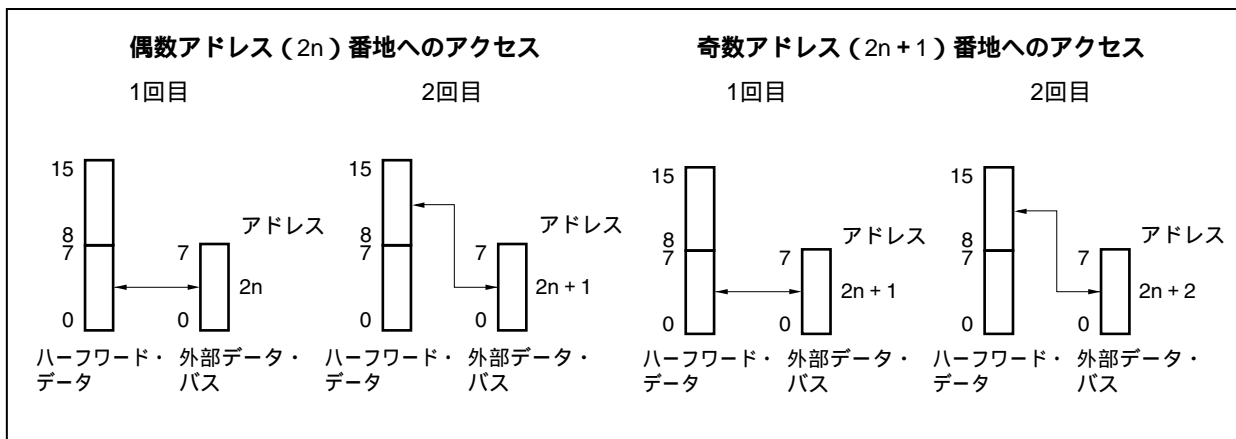


(3) ハーフワード・アクセス (16ビット)

(a) 16ビット・データ・バス幅のとき

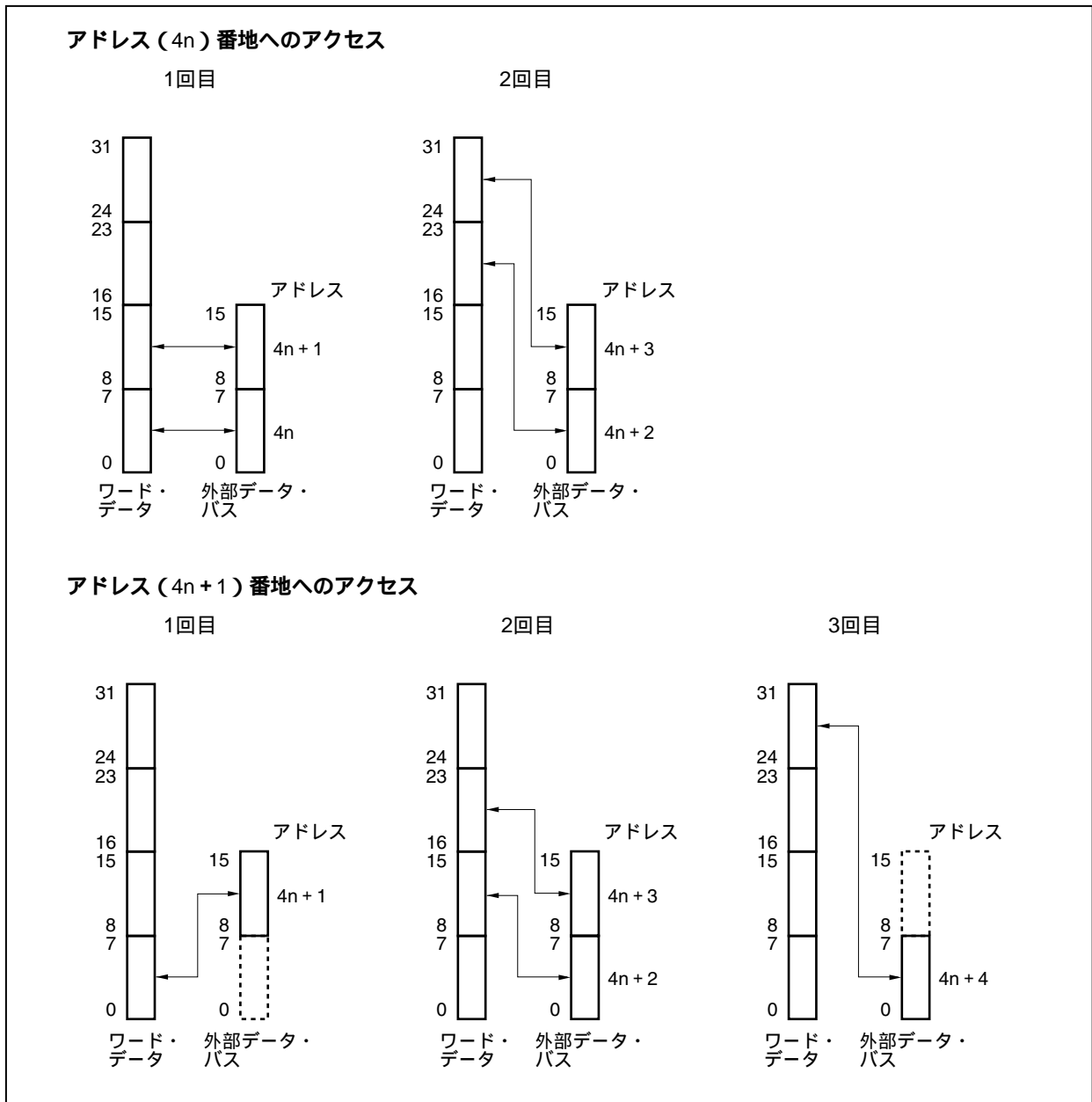


(b) 8ビット・データ・バス幅のとき



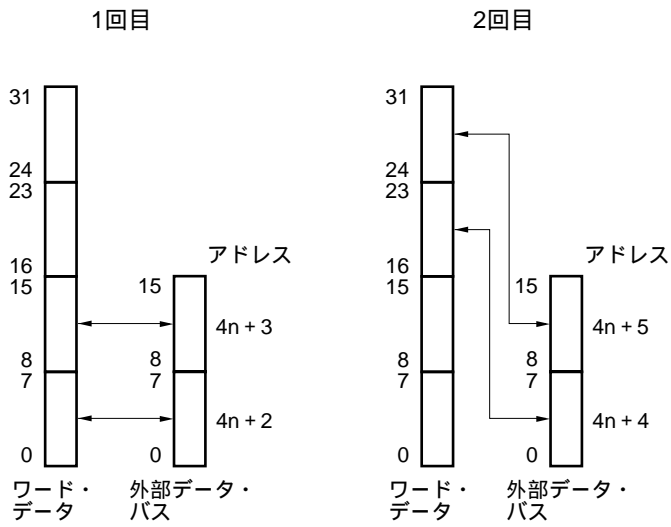
(4) ワード・アクセス (32ビット)

(a) 16ビット・データ・バス幅のとき (1/2)

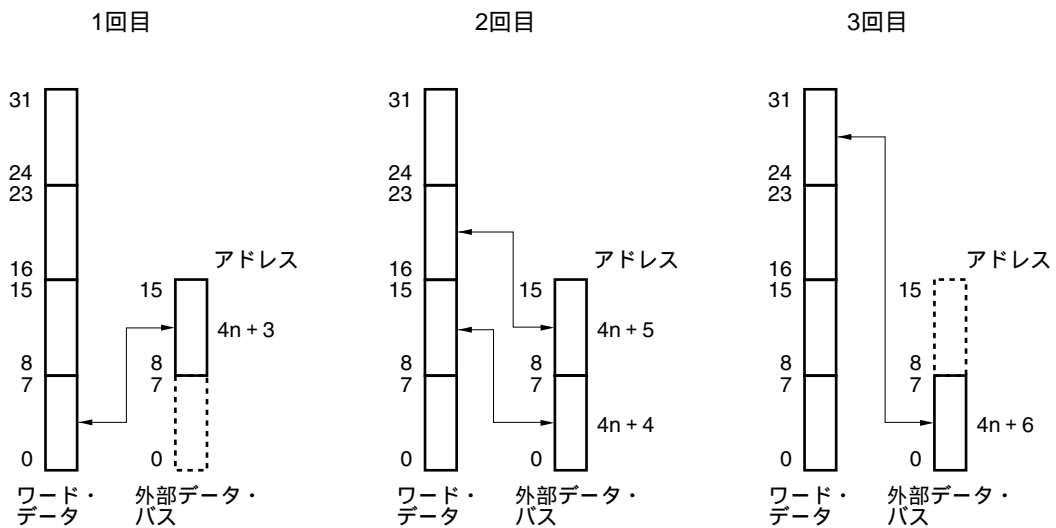


(a) 16ビット・データ・バス幅のとき (2/2)

アドレス  $(4n+2)$  番地へのアクセス

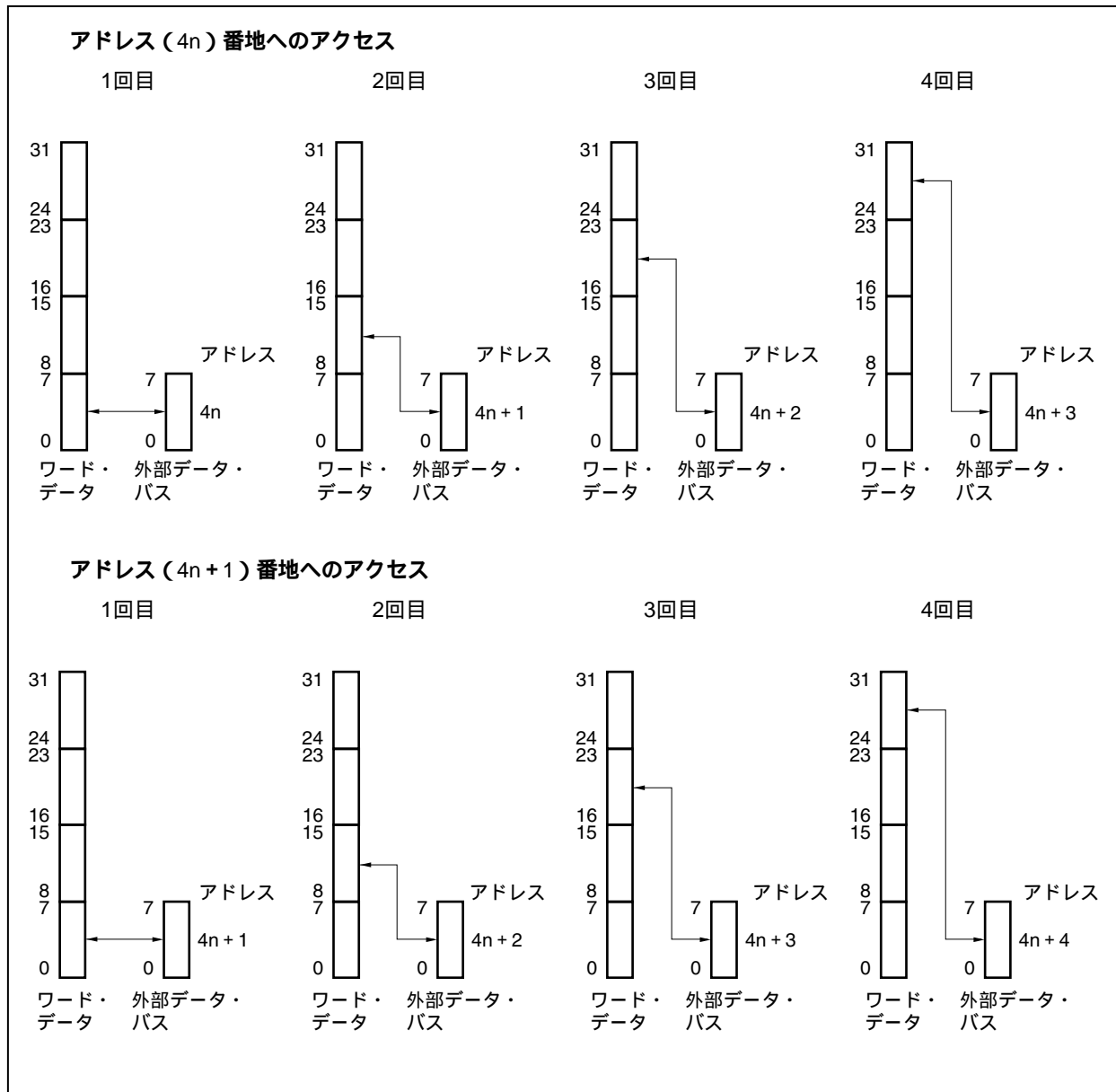


アドレス  $(4n+3)$  番地へのアクセス

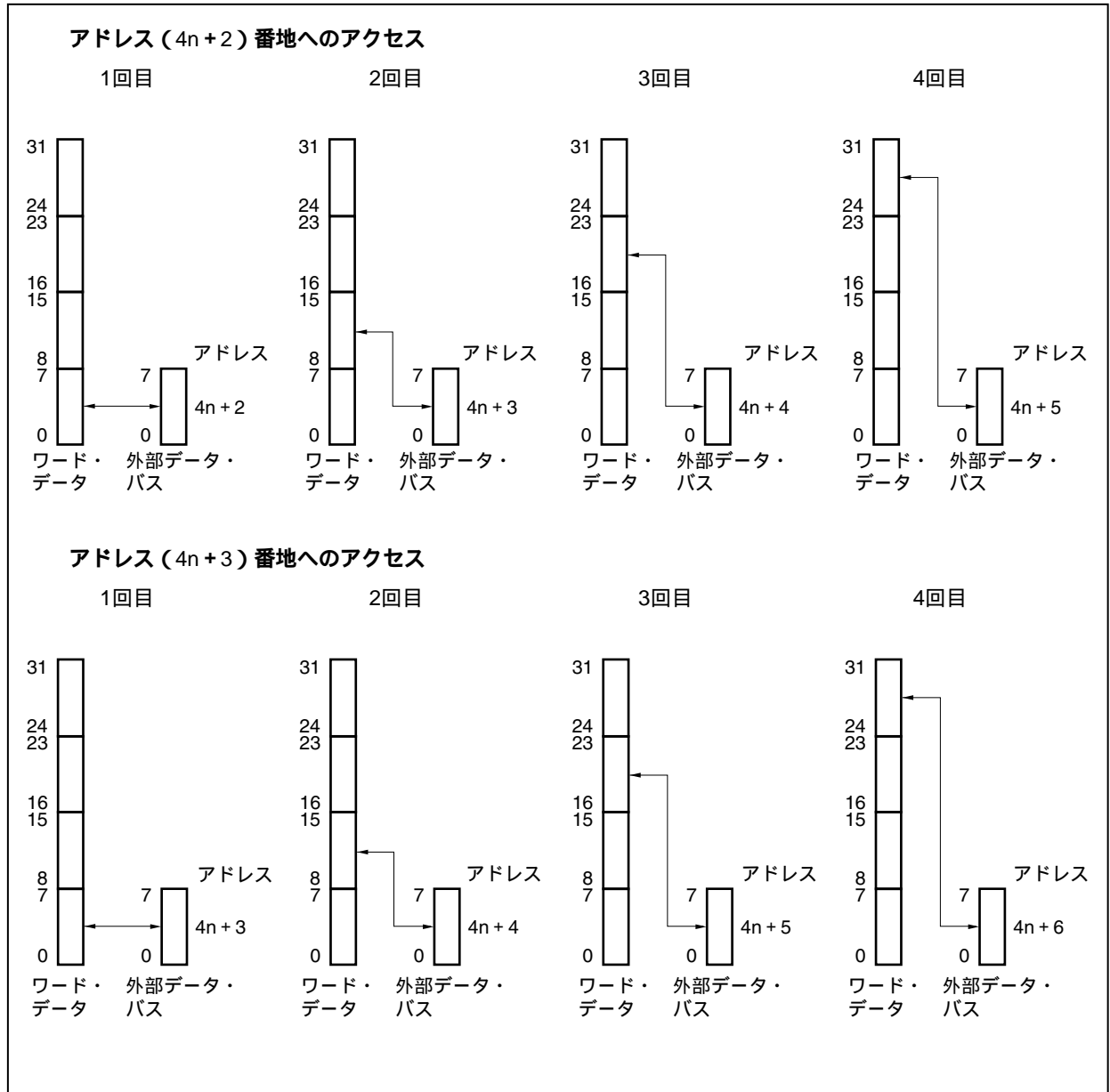




(b) 8ビット・データ・バス幅のとき (1/2)



(b) 8ビット・データ・バス幅のとき (2/2)



## 5.6 ウェイト機能

### 5.6.1 プログラマブル・ウェイト機能

#### (1) データ・ウェイト・コントロール・レジスタ0 (DWC0)

低速メモリ，I/Oに対するインタフェースを容易に実現させることを目的とし，各CS $\bar{n}$ 空間ごとに起動されるバス・サイクルに対し，最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は，DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は，全外部メモリ領域に対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

**注意1.** 内蔵RAM領域は，プログラマブル・ウェイトの対象外で，常にノー・ウェイト・アクセスを行います。また，内蔵周辺I/O領域も，プログラマブル・ウェイトの対象外で，各周辺機能からのウェイト制御だけ行われます。

2. DWC0レジスタ設定後には，必ずBR命令を挿入してください。

リセット時：7777H R/W アドレス：FFFFFF484H

15	14	13	12	11	10	9	8
0	DW32	DW31	DW30	0	DW22	DW21	DW20
$\overline{CS3}$				$\overline{CS2}$			
7	6	5	4	3	2	1	0
0	DW12	DW11	DW10	0	DW02	DW01	DW00
$\overline{CS1}$				$\overline{CS0}$			

DWn2	DWn1	DWn0	CS $\bar{n}$ 空間の挿入ウェイト数 (n = 0-3)
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

**注意** ビット15, 11, 7, 3には必ず0を設定してください。

### 5.6.2 外部ウエイト機能

極端に遅いメモリや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ( $\overline{\text{WAIT}}$ ) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

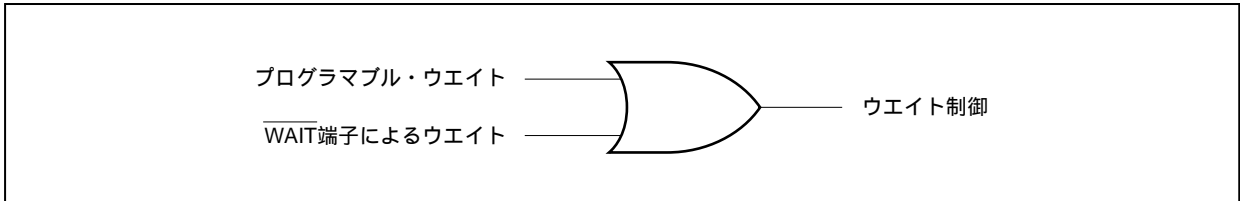
PCM0端子が兼用機能に設定されている場合に、外部ウエイト機能が有効になります。

内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、マルチプレクス・バス時にはバス・サイクルのT2、TWステートのクロックの立ち下がりでサンプリングされます。セパレート・バス時にはバス・サイクルのT1とTWステート直後のクロックの立ち上がりでサンプリングされます。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

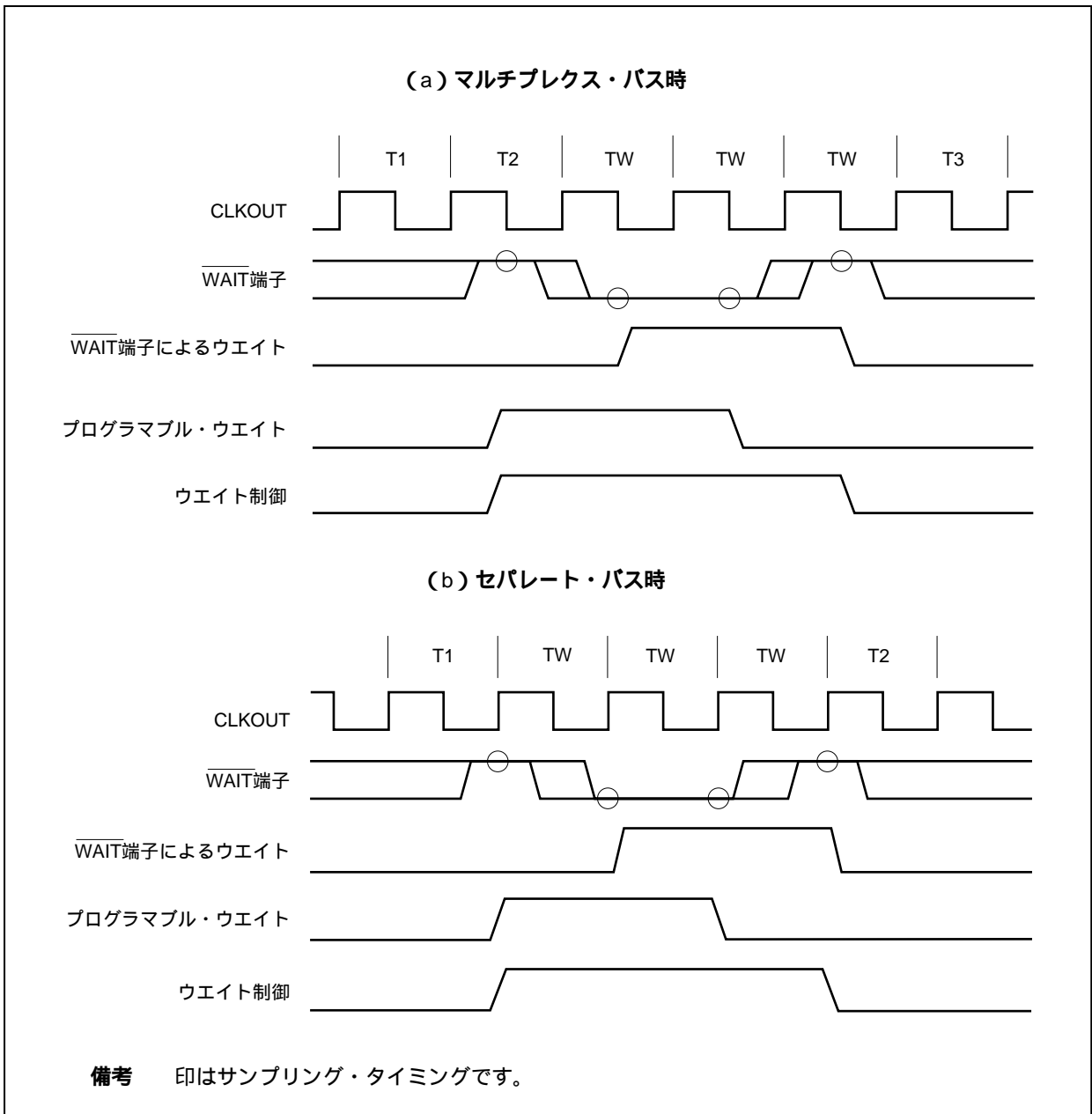
### 5.6.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図5-3 ウエイト挿入例



### 5.6.4 プログラマブル・アドレス・ウエイト機能

AWCレジスタにより、各バス・サイクルに対して挿入するアドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイトを設定できます。アドレス・ウエイト挿入は各チップ・セレクト領域（CS0-CS3）ごとに設定します。

アドレス・セットアップ・ウエイトを挿入すると、T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また、アドレス・ホールド・ウエイトを挿入すると、T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

#### (1) アドレス・ウエイト・コントロール・レジスタ (AWC)

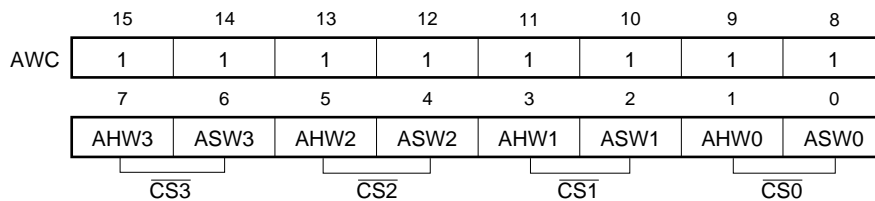
16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

**注意1.** 内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイト挿入の対象外になります。

**2.** AWCレジスタ設定後には、必ずBR命令を挿入してください。

リセット時：FFFFH R/W アドレス：FFFFFF488H



AHWn	アドレス・ホールド・ウエイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

ASWn	アドレス・セットアップ・ウエイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

**注意1.** ビット15-8には必ず1を設定してください。

**2.** CS1領域をマルチプレクス・バスとして使用する場合は、必ずASW1ビット = 1に設定してください。

## 5.7 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、 $\overline{CS0}$ - $\overline{CS3}$ で選択される空間ごとに起動されるバス・サイクルに対し、マルチプレクス・アドレス/データ・バス時にはT3ステート後に、1ステートのアイドル・ステート (TI) を挿入できます。また、セパレート・バス時には、T2ステート後に1ステートのアイドル・ステート (TI) を挿入できます。アイドル・ステートを挿入することにより、リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます (ライト・アクセス時には、アイドル・ステートは挿入できません)。

アイドル・ステートの挿入指定は、BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は、全領域に対してアイドル・ステートの挿入状態になります。

### (1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード/ライト可能です。

リセットによりAAAAHになります。

**注意1.** 内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。

**2.** BCCレジスタ設定後には、必ずBR命令を挿入してください。

リセット時: AAAAH R/W アドレス: FFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0
	7	6	5	4	3	2	1	0
	BC31	0	BC21	0	BC11	0	BC01	0
	<input type="checkbox"/>		<input type="checkbox"/>		<input type="checkbox"/>		<input type="checkbox"/>	
	$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$	

BCn1	アイドル・ステート挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

**注意** ビット15, 13, 11, 9には必ず1を設定し,ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。

## 5.8 バス・ホールド機能

### 5.8.1 機能概要

PCM2, PCM3端子が兼用機能に設定されていれば,  $\overline{\text{HLDRQ}}$ ,  $\overline{\text{HLDAK}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バスをハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

バス・ホールド期間中は, 内蔵周辺I/Oレジスタ・アクセスあるいは, 外部メモリ・アクセスがあるまで, 内蔵RAMからのプログラムの実行を継続します。

バス・ホールド状態は,  $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

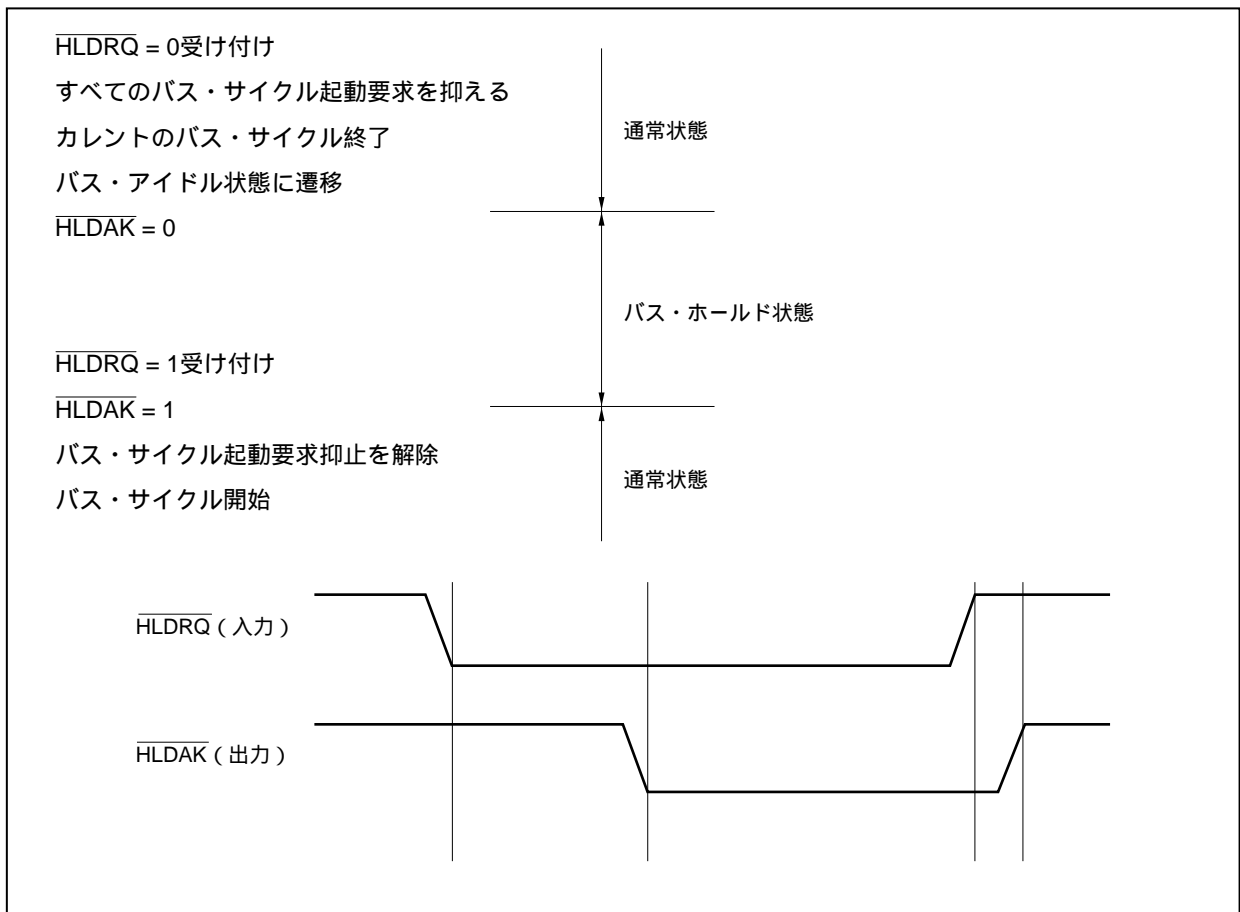
なお, バス・サイジングおよびビット操作命令による複数アクセスのサイクル中は, バス・ホールド要求を受け付けません。

状 態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間 2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間
			3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間



### 5.8.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



### 5.8.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLEモード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDARQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDARQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDAR}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDARQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDAR}}$ 端子もインアクティブになり、バス・ホールド状態は解除されます。

## 5.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の4つがあります。

優先順位はバス・ホールドが最も高く、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、バス・サイズの関係で、数回のアクセスで命令を実行するとき、アクセスとアクセスの間には命令フェッチとバス・ホールドは挿入されません。

表5 - 4 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	オペランド・データ・アクセス	CPU
	命令フェッチ（分岐）	CPU
	命令フェッチ（連続）	CPU

## 5.10 バス・タイミング

図5-4 マルチプレクス・バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

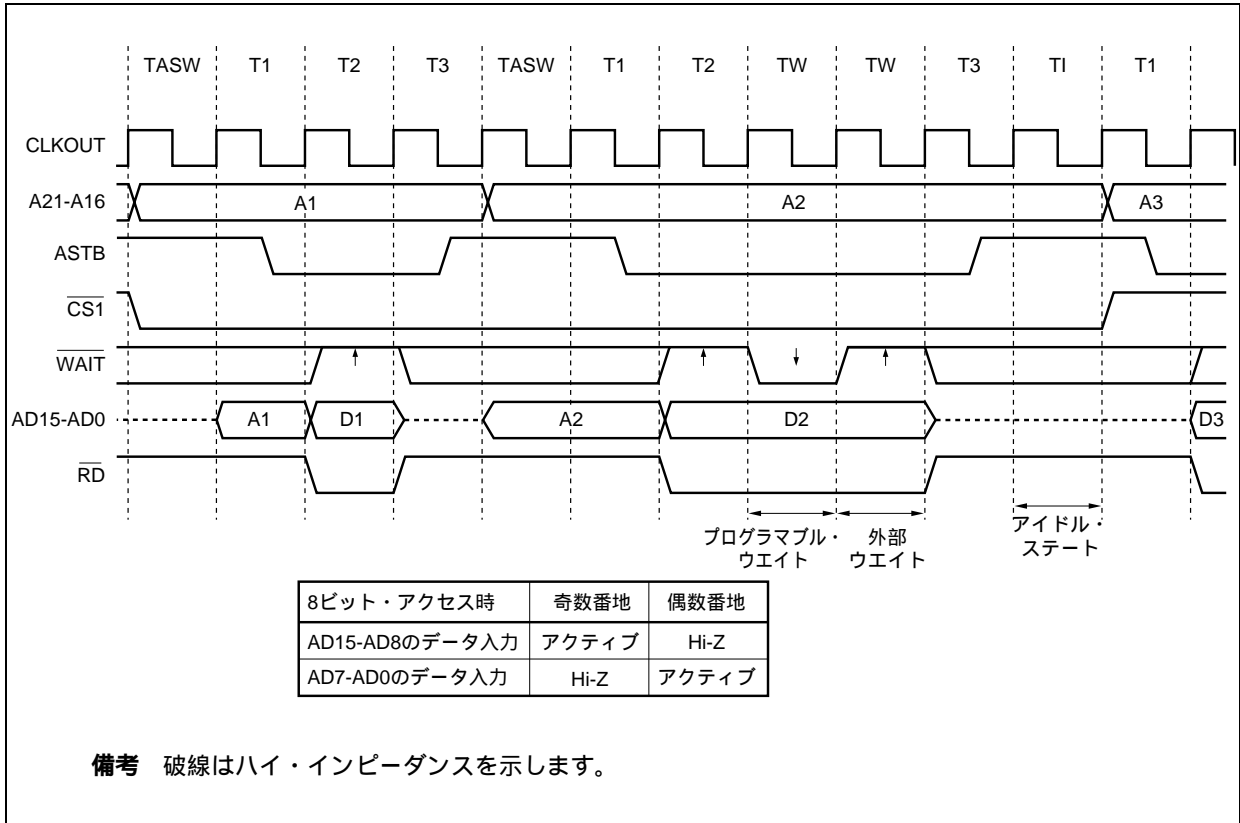


図5-5 マルチプレクス・バス・リード・タイミング (バス・サイズ: 8ビット)

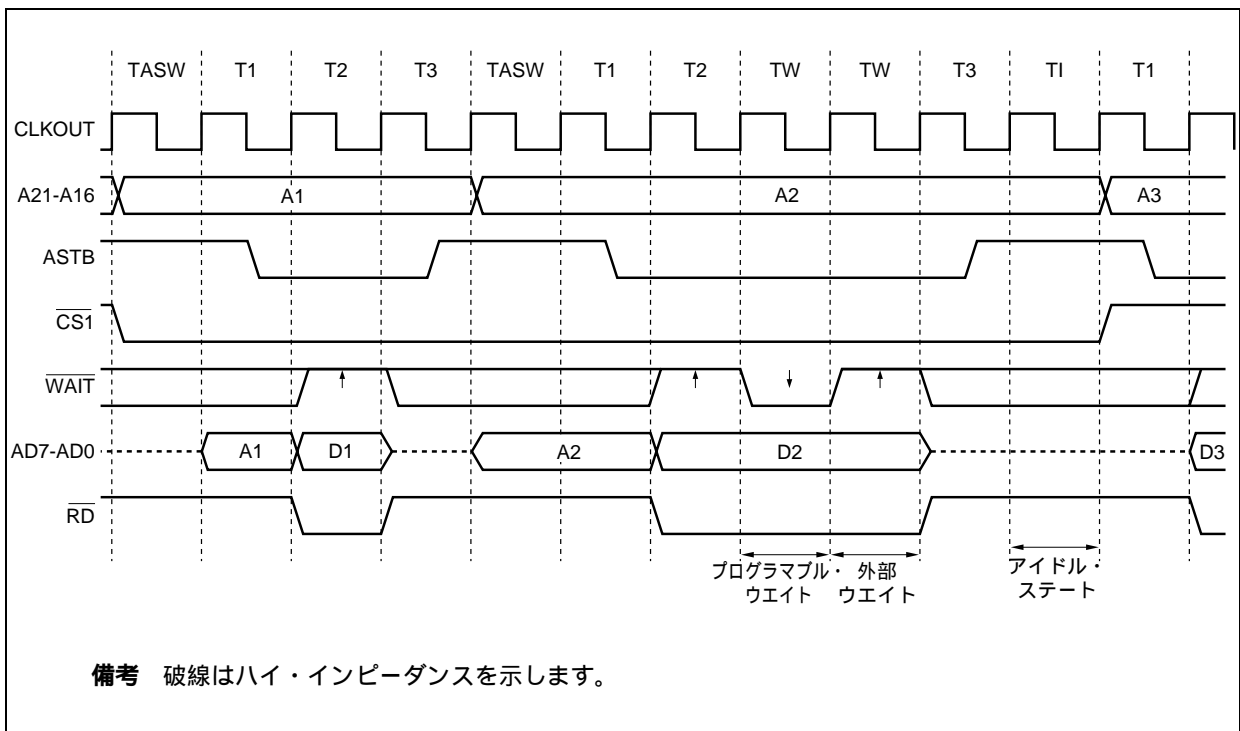


図5-6 マルチプレクス・バス・ライト・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

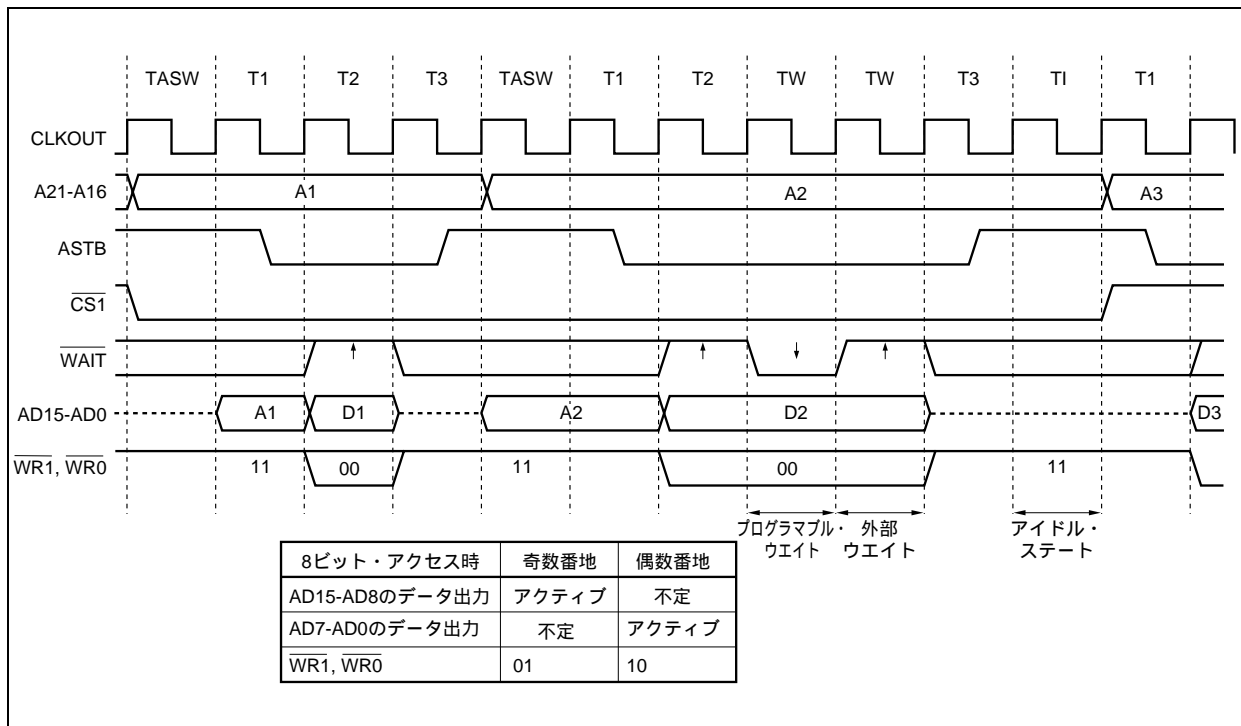


図5-7 マルチプレクス・バス・ライト・タイミング (バス・サイズ: 8ビット)

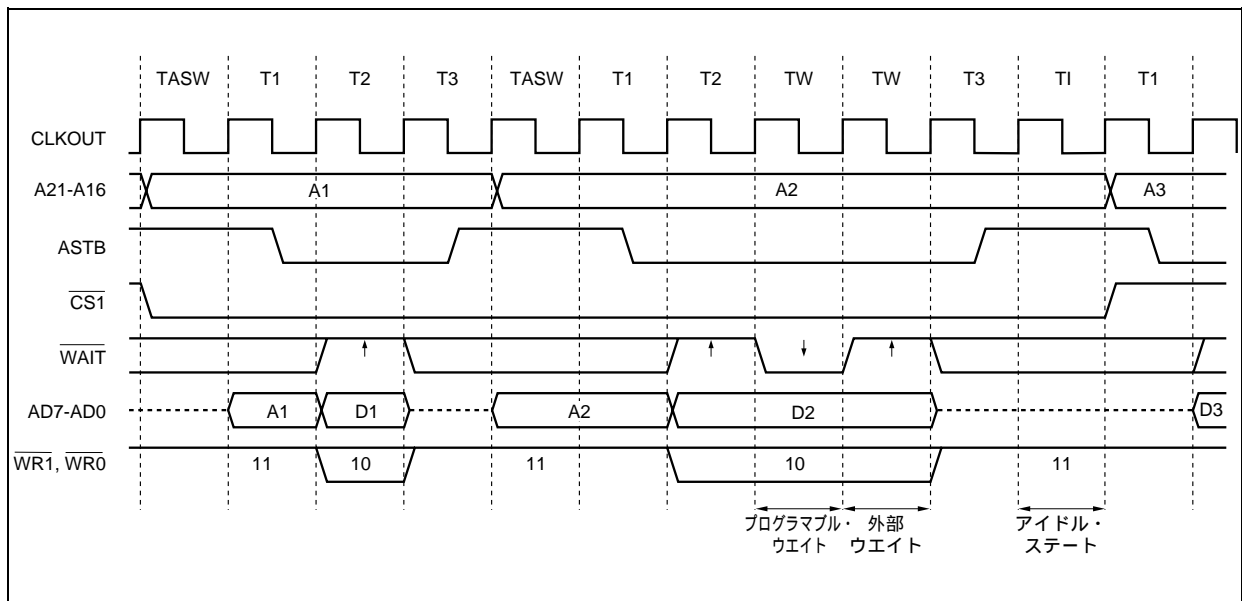


図5-8 マルチプレクス・バス・ホールド・タイミング(バス・サイズ:16ビット,16ビット・アクセス時)

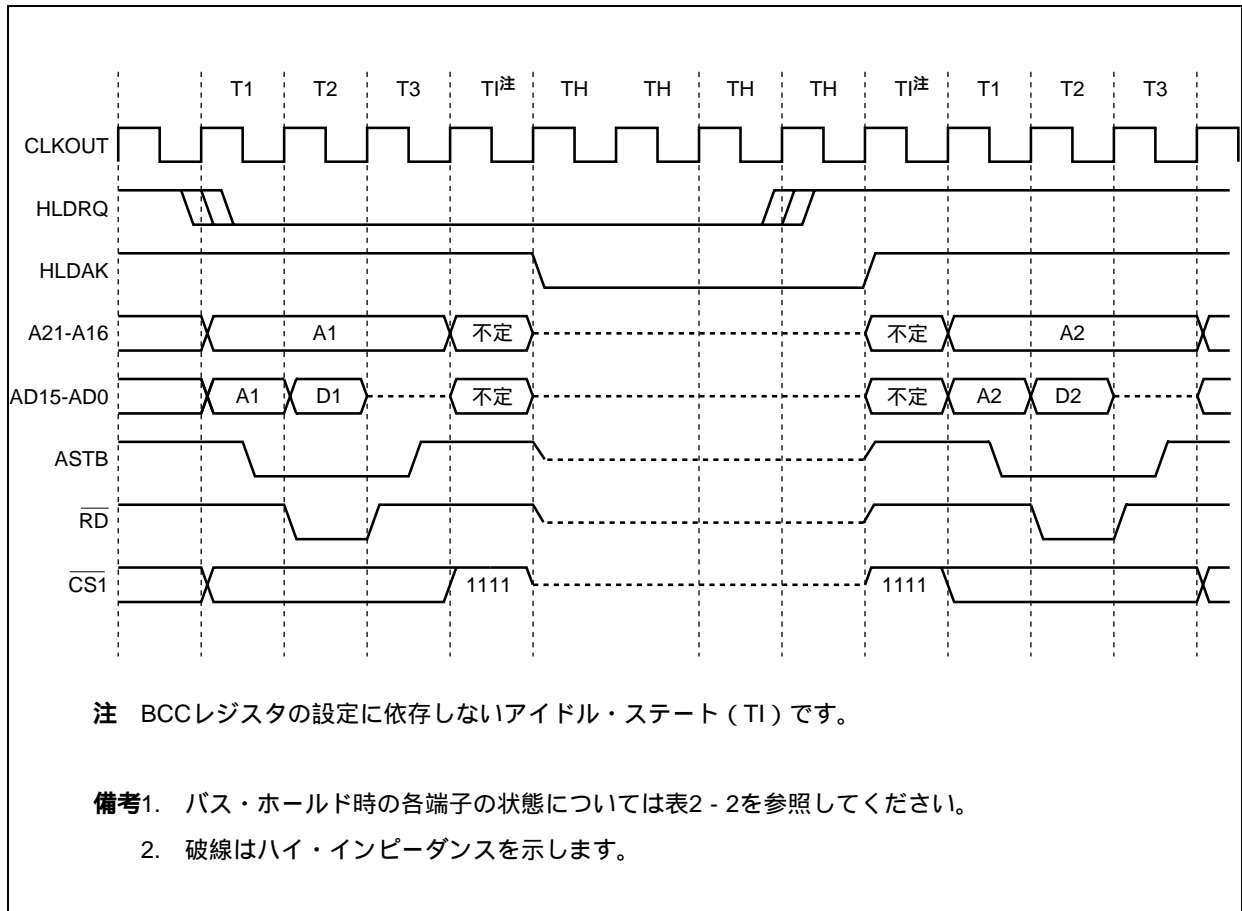


図5-9 アドレス・ウエイト・タイミング  
 (マルチプレクス・バス・リード, バス・サイズ: 16ビット, 16ビット・アクセス時)

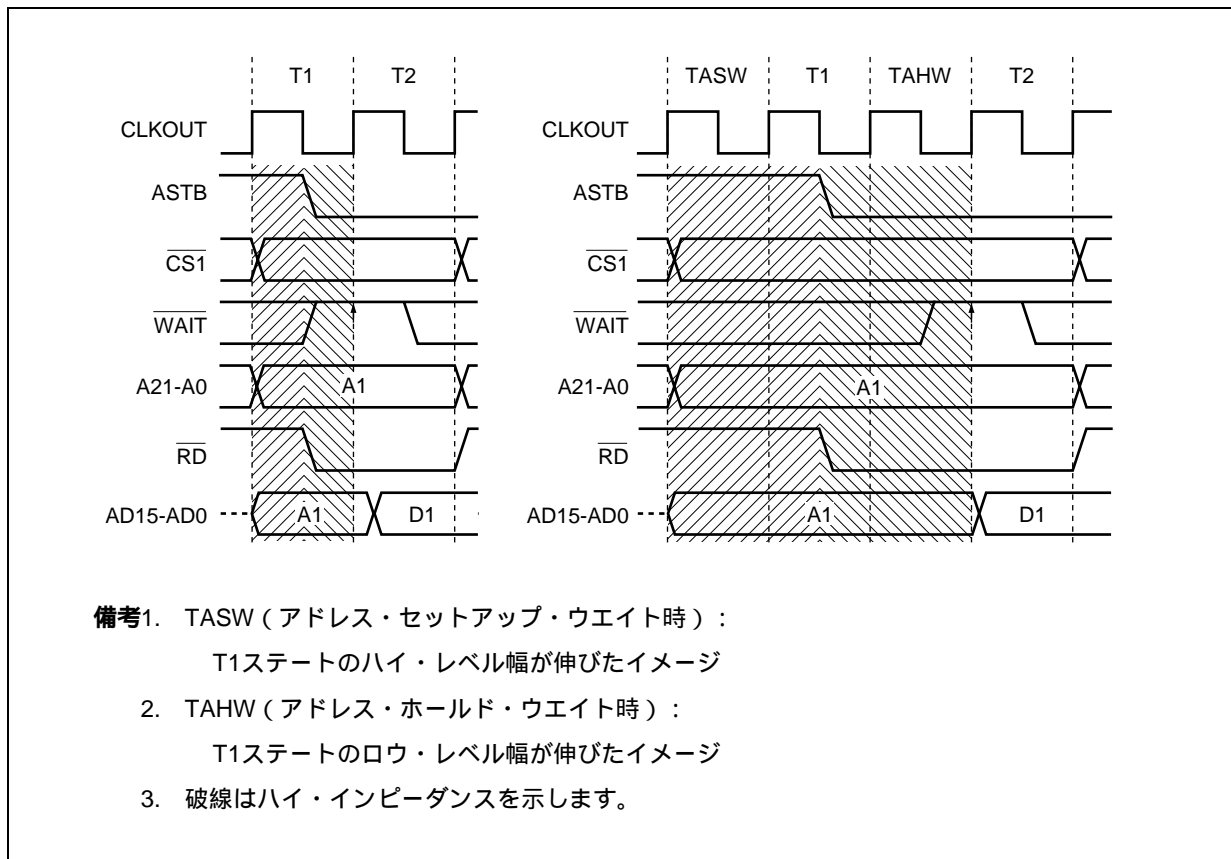


図5 - 10 セパレート・バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

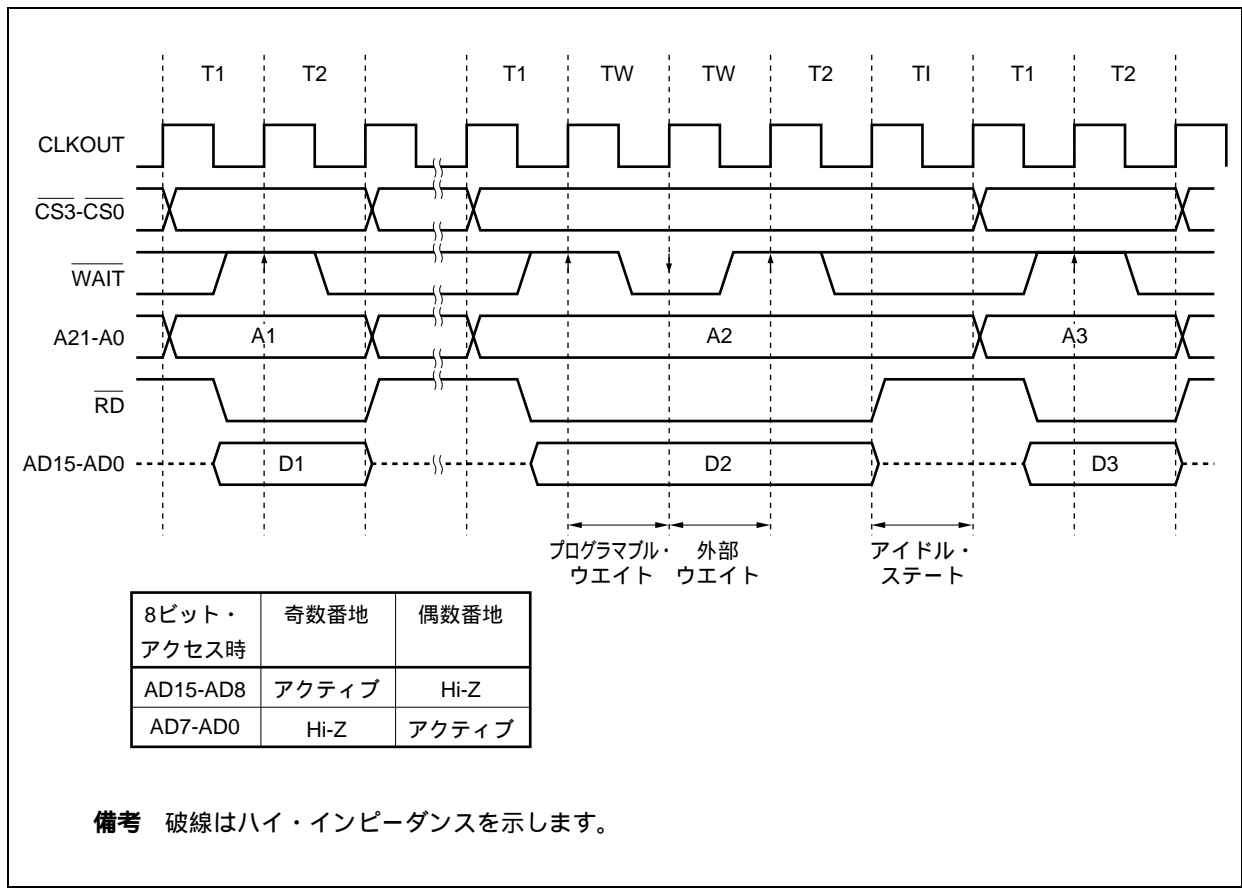


図5 - 11 セパレート・バス・リード・タイミング (バス・サイズ: 8ビット)

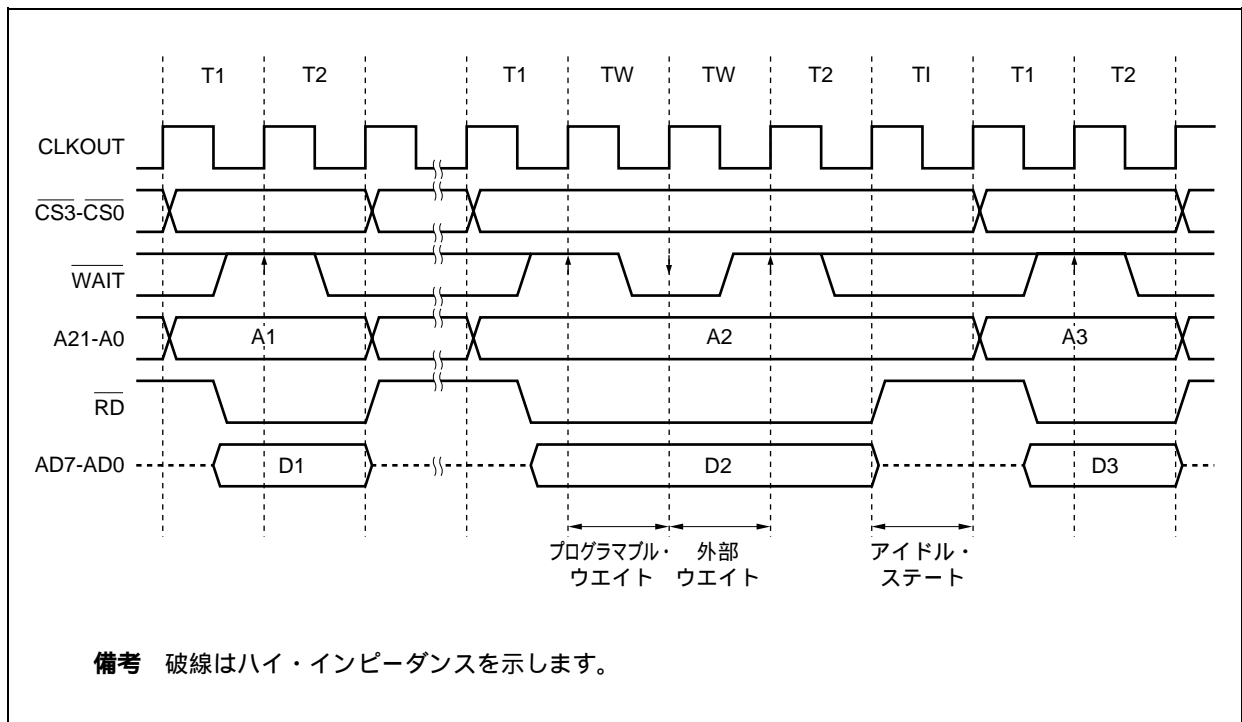


図5 - 12 セパレート・バス・ライト・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

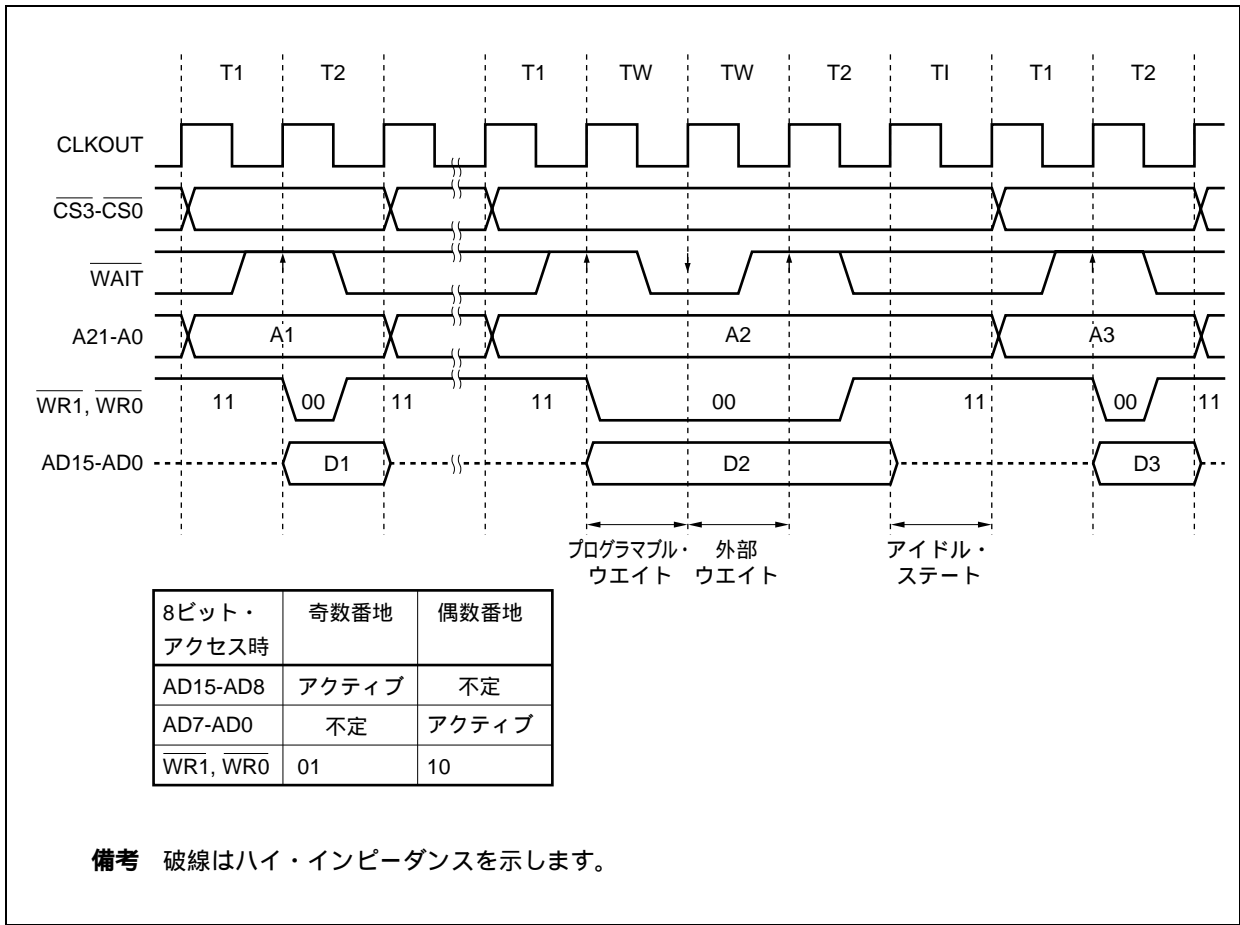


図5 - 13 セパレート・バス・ライト・タイミング (バス・サイズ: 8ビット)

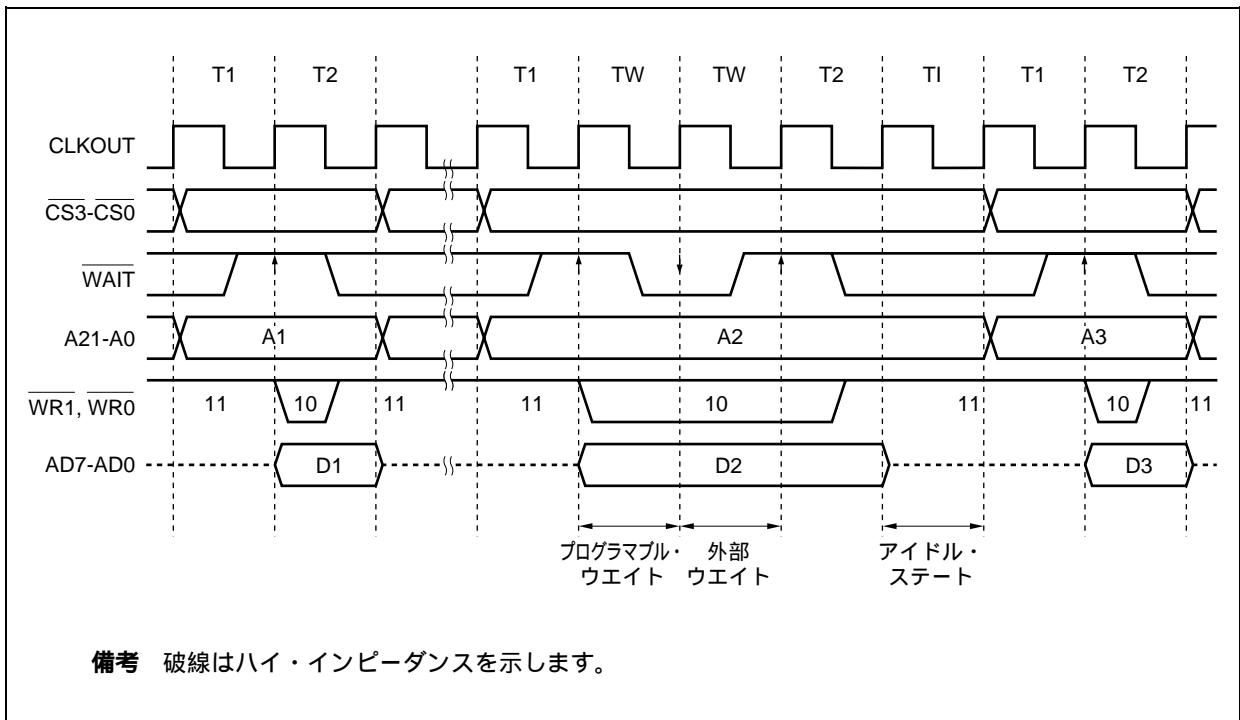




図5 - 14 セパレート・バス・ホールド・タイミング (バス・サイズ: 8ビット, ライト時)

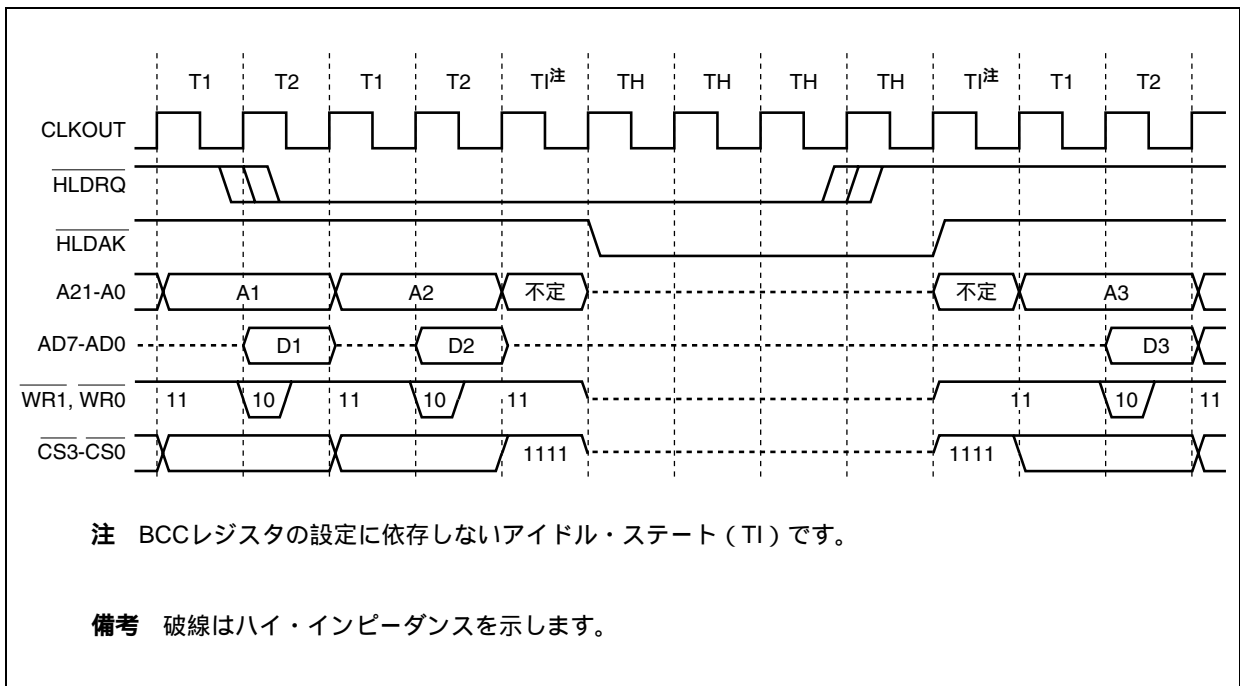
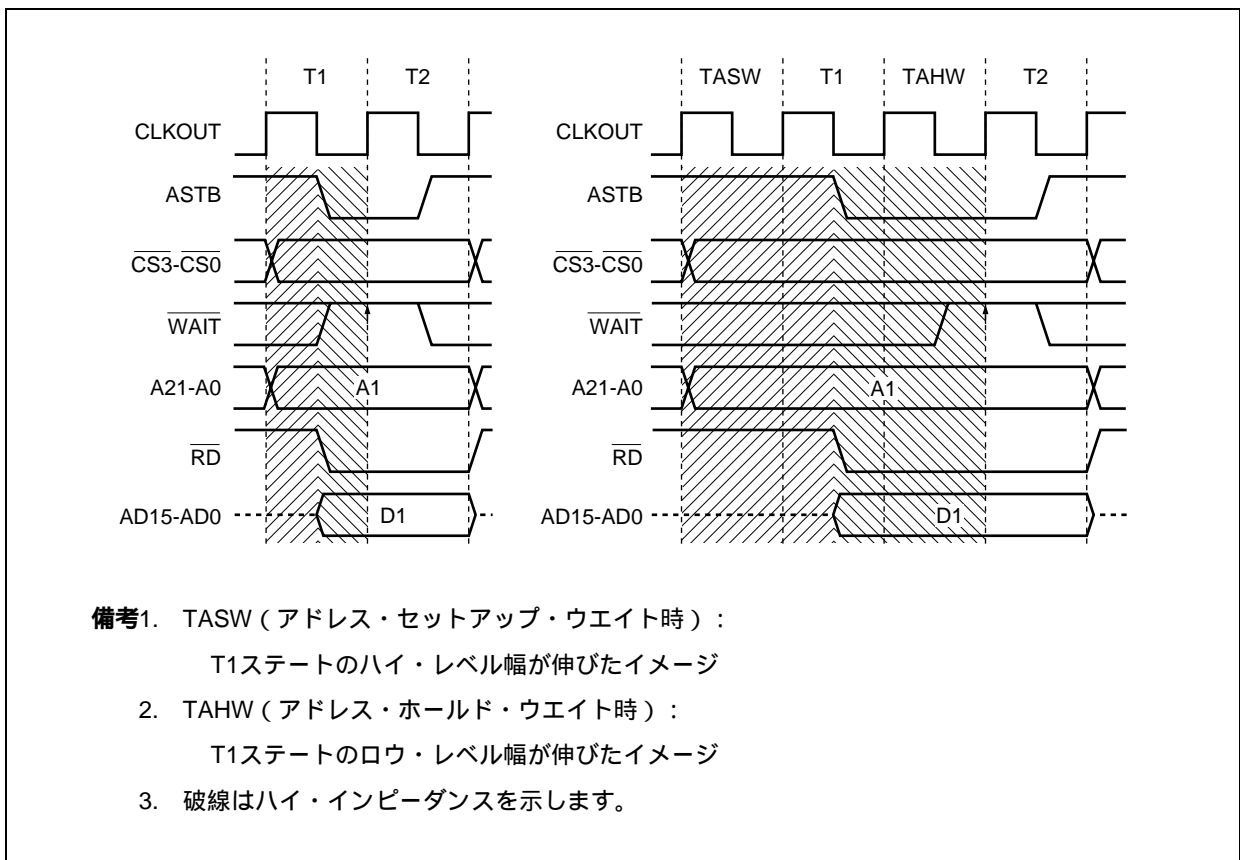


図5 - 15 アドレス・ウエイト・タイミング  
(セパレート・バス・リード, バス・サイズ: 16ビット, 16ビット・アクセス時)



# 第6章 クロック発生機能

## 6.1 概要

クロック発生機能の概要を次に示します。

クロック発振回路

$f_x = 10 \sim 17 \text{ MHz}$  ( $f_{xx} = 20 \sim 34 \text{ MHz}$ )

外部クロック入力可能 (X1, X2端子入力)

PLL (Phase Locked Loop) による逡倍機能 (2逡倍)

内部システム・クロックの生成

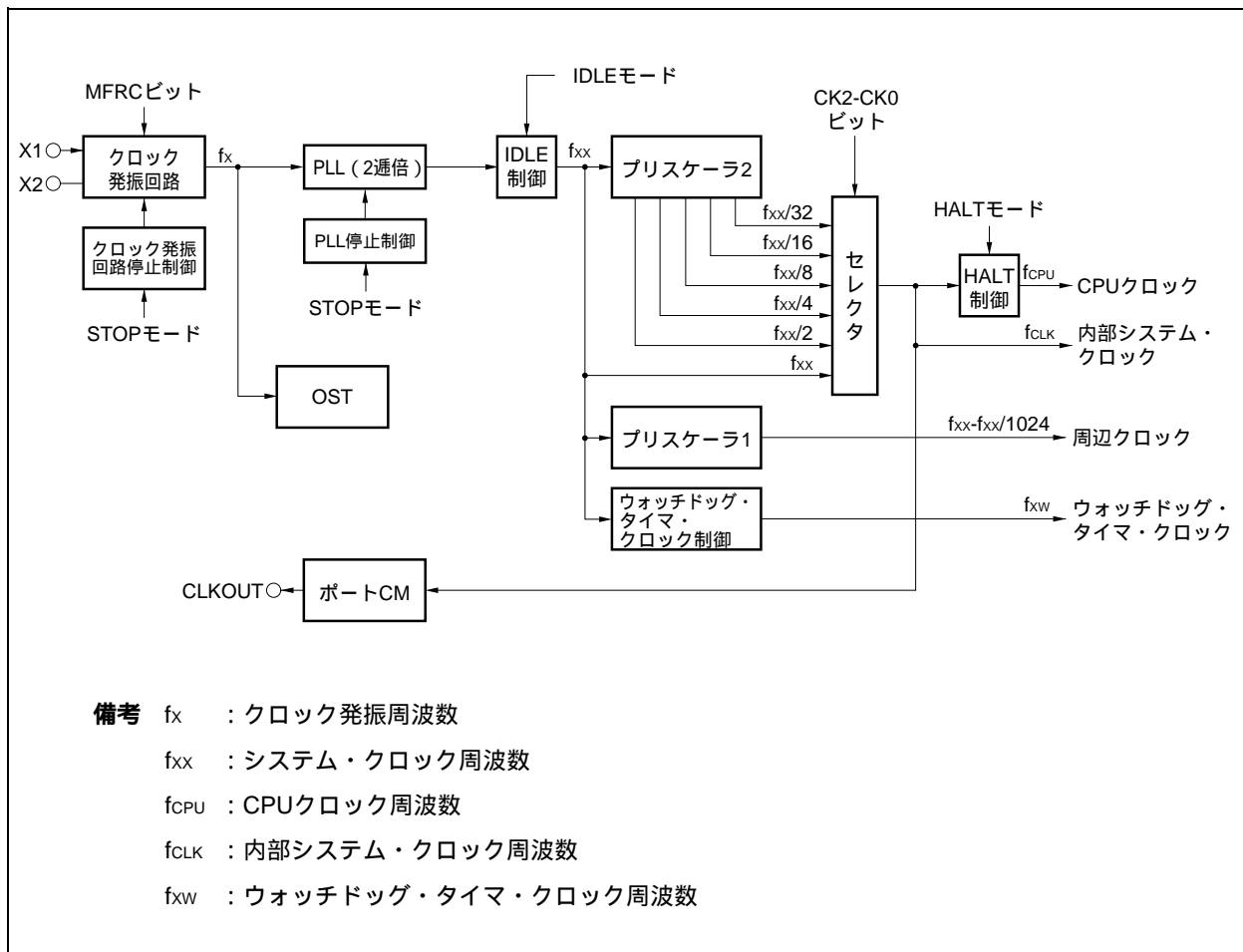
・6段階 ( $f_{xx}$ ,  $f_{xx}/2$ ,  $f_{xx}/4$ ,  $f_{xx}/8$ ,  $f_{xx}/16$ ,  $f_{xx}/32$ )

周辺クロックの生成

クロック出力機能

## 6.2 構成

図6-1 クロック発生回路



**(1) クロック発振回路**

次の周波数 ( $f_x$ ) を発振します。

$$\cdot f_x = 10 \sim 17 \text{ MHz}$$

**(2) クロック発振回路停止制御**

クロック発振回路の発振を停止する制御信号を生成します。

STOPモードに設定した場合、クロック発振回路の発振を停止します。

**(3) プリスケーラ1**

内蔵周辺機能に供給するクロック ( $f_{xx-fxx}/1024$ ) を生成します。

クロック供給の対象となるブロックを次に示します。

タイマM, タイマP0-P5, CSIB0, CSIB4, UARTA0, UARTA2, A/Dコンバータ, D/Aコンバータ, リアルタイム出力

**(4) プリスケーラ2**

システム・クロック ( $f_{xx}$ ) を分周する回路です。

CPUクロック ( $f_{CPU}$ ), 内部システム・クロック ( $f_{CLK}$ ) を生成するセレクトに、プリスケーラ2で生成したクロック ( $f_{xx-fxx}/32$ ) を供給します。

なお、 $f_{CLK}$ は、INTC, RAMブロックに供給するクロックで、CLKOUT端子から出力できます。

**(5) ウォッチドッグ・タイマ・クロック制御**

システム・クロック ( $f_{xx}$ ) を分周して、ウォッチドッグ・タイマに供給するクロック ( $f_{xw}$ ) を生成します。

**(6) PLL**

クロック発振回路および外部から入力されるクロック ( $f_x$ ) を2逓倍します。

**(7) PLL停止制御**

PLLの発振を停止する制御信号を生成します。

STOPモードに設定した場合、PLLの発振を停止します。

**(8) OST**

発振安定時間をカウントするカウンタです。

## 6.3 制御レジスタ

### (1) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます

(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時 : 03H    R/W    アドレス : FFFFF828H

	7	6	5	4	3	2	1	0
PCC	0	0	MFRC	0	0	CK2	CK1	CK0

MFRC	クロック (fx) の内蔵帰還抵抗の選択
0	使用する
1	使用しない

CK2	CK1	CK0	クロックの選択 (f <sub>CLK</sub> /f <sub>CPU</sub> )
0	0	0	f <sub>xx</sub>
0	0	1	f <sub>xx</sub> /2
0	1	0	f <sub>xx</sub> /4
0	1	1	f <sub>xx</sub> /8
1	0	0	f <sub>xx</sub> /16
1	0	1	f <sub>xx</sub> /32
1	1	X	設定禁止

**注意1.** CLKOUTを出力している間は、CPUクロック (CK2-CK0ビット) を変更しないでください。

**2.** ビット3, 4, 6, 7には必ず0を設定してください。

**備考** X : 任意

## 6.4 動作

### 6.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表6 - 1 各クロックの動作状態

動作状態 対象クロック	リセット中	発振安定時間 カウンタ中	PLLロック アップ時間 カウンタ中	HALTモード	IDLEモード	STOPモード
クロック発振回路 (fx)	×					×
CPUクロック (fcPU)	×	×	×	×	×	×
内部システム・クロック (fCLK)	×	×	×		×	×
周辺クロック (fxx-fxx/1024)	×	×	×		×	×
ウォッチドッグ・タイマ・クロック	×	×	×		×	×
PLL	×	×				×

備考 : 動作可能

× : 停止

表6 - 2 各動作状態解除 (移行) 時に挿入される待ち時間とOSC, PLLの関係

動作状態	クロック発振回路	PLL ( )内は動作開始のタイミング	挿入される待ち時間
リセット 解除	停止 発振	停止 動作 (OSC発振安定時間カウンタ終了後)	OSC発振安定時間 + PLLロックアップ時間 ( $2^{14}/f_x$ )
WDTリセット 解除	発振	発振	OSC発振安定時間 + PLLロックアップ時間 ( $2^{14}/f_x$ )
クロック発振 回路動作 / PLL動作	IDLE 解除	動作	なし
	STOP 解除	停止 動作 (OSC発振安定時間カウンタ終了後)	OSC発振安定時間 + PLLロックアップ時間 ( $2^{14}/f_x$ )

### 6.4.2 クロック出力機能

クロック出力機能は、内部システム・クロック (f<sub>CLK</sub>) をCLKOUT端子から出力します。

内部システム・クロック (f<sub>CLK</sub>) は、PCC.CK2-CK0ビットで選択します。

CLKOUT端子は、PCM1端子と兼用しており、PMCCMレジスタを設定することにより、クロック出力端子として機能します。

CLKOUT端子の状態は、表6-1の内部システム・クロックと同じ状態になり、(動作可能)のときにクロックを出力できます。また、×(停止)のときにはロウ・レベルを出力します。ただし、リセット後、CLKOUT端子の出力設定をするまでは、ポート・モード(PCM1:入力モード)となるので、端子の状態はHi-Zになります。

### 6.4.3 外部クロック入力機能

クロック発振回路には、外部クロックを直接入力することができます。この場合、X1端子からクロック入力、X2端子から、その反転を入力し、PCC.MFRCビット = 1(内蔵帰還抵抗を使用しない)としてください。ただし、外部クロック・モード時でも、発振安定時間は挿入されます。

## 第7章 16ビット・タイマ/イベント・カウンタP (TMP)

タイマP (TMP) は、16ビットのタイマ/イベント・カウンタです。  
V850ES/ST2は、TMP0-TMP5を内蔵しています。

### 7.1 概 要

TMPnの概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 2本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・オーバフロー割り込み要求信号	: 1本
・タイマ出力端子	: 1本

備考 n = 0-5

### 7.2 機 能

TMPnの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定

備考 n = 0-5

### 7.3 構成

TMPnは、次のハードウェアで構成されています。

表7-1 TMPnの構成

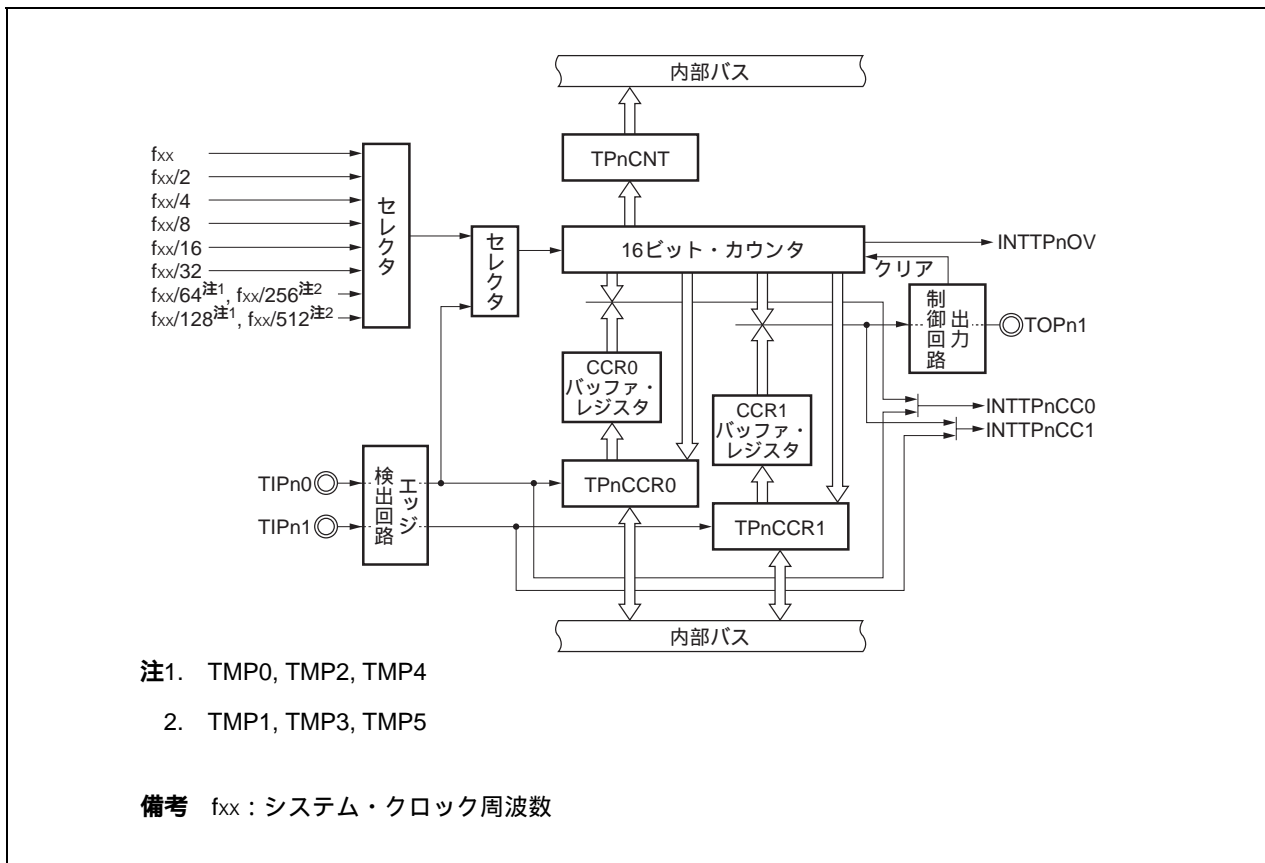
項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	2本 (TIPn0 <sup>注</sup> , TIPn1端子)
タイマ出力	1本 (TOPn1端子)
制御レジスタ	TMPn制御レジスタ0, 1 (TPnCTL0, TPnCTL1) TMPnI/O制御レジスタ0-2 (TPnIOC0-TPnIOC2) TMPnオプション・レジスタ0 (TPnOPT0)

注1. TIPn0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

2. TIPn0, TIPn1, TOPn1端子の機能を使用する場合は、表4-15 ポート端子を兼用端子として使用する場合を参照してください。

備考 n = 0-5

図7-1 TMPnのブロック図





**(1) 16ビット・カウンタ**

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TPnCNTレジスタでリードできます。

TPnCTL0.TPnCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTPnCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTPnCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

**(2) CCR0バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR0レジスタをコンペア・レジスタとして使用するとき、TPnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPnCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

**(3) CCR1バッファ・レジスタ**

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR1レジスタをコンペア・レジスタとして使用するとき、TPnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPnCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

**(4) エッジ検出回路**

TIPn0, TIPn1端子に入力される有効エッジを検出します。有効エッジは、TPnIOC1, TPnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

**(5) 出力制御回路**

TOPn1端子の出力を制御します。TOPn1端子の出力は、TPnIOC0レジスタで制御します。

**(6) セレクタ**

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

## 7.4 レジスタ

TMPnを制御するレジスタを次に示します。

- ・TMPn制御レジスタ0 (TPnCTL0)
- ・TMPn制御レジスタ1 (TPnCTL1)
- ・TMPn I/O制御レジスタ0 (TPnIOC0)
- ・TMPn I/O制御レジスタ1 (TPnIOC1)
- ・TMPn I/O制御レジスタ2 (TPnIOC2)
- ・TMPnオプション・レジスタ0 (TPnOPT0)
- ・TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)
- ・TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)
- ・TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

**備考1.** TIPn0, TIPn1, TOPn1端子の機能を使用する場合は、表4 - 15 **ポート端子を兼用端子として使用する場合**を参照してください。

2. n = 0-5

(1) TMPn制御レジスタ0 (TPnCTL0)

TPnCTL0レジスタは、TMPnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TPnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TP0CTL0 FFFFF590H, TP1CTL0 FFFFF5A0H,  
TP2CTL0 FFFFF5B0H, TP3CTL0 FFFFF5C0H,  
TP4CTL0 FFFFF5D0H, TP5CTL0 FFFFF5E0H

	⑦	6	5	4	3	2	1	0
TPnCTL0 (n = 0-5)	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0

TPnCE	TMPnの動作の制御
0	TMPn動作禁止 (TMPnを非同期にリセット注)
1	TMPn動作許可。TMPn動作開始

TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択	
			n = 0, 2, 4	n = 1, 3, 5
0	0	0	f <sub>xx</sub>	
0	0	1	f <sub>xx</sub> /2	
0	1	0	f <sub>xx</sub> /4	
0	1	1	f <sub>xx</sub> /8	
1	0	0	f <sub>xx</sub> /16	
1	0	1	f <sub>xx</sub> /32	
1	1	0	f <sub>xx</sub> /64	f <sub>xx</sub> /256
1	1	1	f <sub>xx</sub> /128	f <sub>xx</sub> /512

注 TPnOPT0.TPnOVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOPn1端子) も16ビット・カウンタと同時にTPnIOC0レジスタの設定状態にリセットされます。

注意1. TPnCKS2-TPnCKS0ビットは、TPnCEビット = 0のときに設定してください。TPnCEビットを“0”から“1”に設定するときに、同時にTPnCKS2-TPnCKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 f<sub>xx</sub> : システム・クロック周波数

(2) TMPn制御レジスタ1 (TPnCTL1)

TPnCTL1レジスタは、TMPnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0CTL1 FFFFF591H, TP1CTL1 FFFFF5A1H,  
TP2CTL1 FFFFF5B1H, TP3CTL1 FFFFF5C1H,  
TP4CTL1 FFFFF5D1H, TP5CTL1 FFFFF5E1H

	7	6	5	4	3	2	1	0
TPnCTL1 (n = 0-5)	0	TPnEST	TPnEEE	0	0	TPnMD2	TPnMD1	TPnMD0

TPnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TPnESTビットへの"1"ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TPnESTビットへの"1"ライトをトリガとして、PWM波形を出力
TPnESTビットのリード値は常に0です。	

TPnEEE	カウント・クロックの選択
0	外部イベント・カウント入力 (TIPn0端子) での動作禁止 (TPnCTL0.TPnCKS0-TPnCKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (TIPn0端子) での動作許可 (外部イベント・カウント入力信号 (TIPn0端子) の有効エッジごとにカウント動作を行う)
TPnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1. TPnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 外部イベント・カウント・モードのときは、TPnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
  - TPnEEE, TPnMD2-TPnMD0ビットは、TPnCTL0.TPnCEビット = 0のときに設定してください (TPnCEビット = 1のときの同値書き込みは可能)。TPnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
  - ビット3, 4, 7には必ず“0”を設定してください。
  - 外部イベント・カウント・モードを使用する場合、TIPn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TPnIOC1.TPnIS1, TPnIS0ビットを“00”) に設定してください。
  - 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット = 0に設定) してください。

(3) TMPnI/O制御レジスタ0 (TPnIOC0)

TPnIOC0レジスタは、タイマ出力 (TOPn1端子) を制御する8ビットのレジスタです。  
 8/1ビット単位でリード/ライト可能です。  
 リセットにより00Hになります。

リセット時：00H    R/W    アドレス：TP0IOC0 FFFFFFF592H, TP1IOC0 FFFFFFF5A2H,  
 TP2IOC0 FFFFFFF5B2H, TP3IOC0 FFFFFFF5C2H,  
 TP4IOC0 FFFFFFF5D2H, TP5IOC0 FFFFFFF5E2H

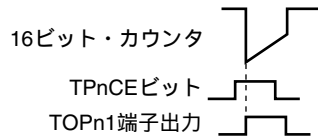
	7	6	5	4	3	②	1	0
TPnIOC0 (n = 0-5)	0	0	0	0	TPnOL1	TPnOE1	0	0

TPnOL1	TOPn1端子出力レベルの設定 <sup>注</sup>
0	TOPn1端子ハイ・レベル・スタート
1	TOPn1端子ロウ・レベル・スタート

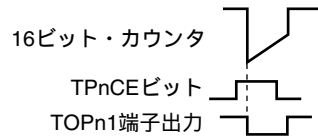
TPnOE1	TOPn1端子出力の設定
0	タイマ出力禁止 ・ TPnOL1ビット = 0のときTOPn1端子からロウ・レベルを出力 ・ TPnOL1ビット = 1のときTOPn1端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn1端子からパルスを出力)

**注** TPnOL1ビットの指定によるタイマ出力端子 (TOPn1) の出力レベルを次に示します。

・ TPnOL1ビット = 0の場合



・ TPnOL1ビット = 1の場合



- 注意1.** ポート設定がTOPn1出力設定の場合、TPnIOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。
- TPnOL1, TPnOE1ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
  - TPnCEビット = 0, TPnOE1ビット = 0の状態において、TPnOL1ビットを操作した場合でも、TOPn1端子の出力レベルは変化します。
  - ビット0, 1, 4-7には必ず“0”を設定してください。

(4) TMPnI/O制御レジスタ1 (TPnIOC1)

TPnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIPn0, TIPn1端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：TP0IOC1 FFFFF593H, TP1IOC1 FFFFF5A3H,  
TP2IOC1 FFFFF5B3H, TP3IOC1 FFFFF5C3H,  
TP4IOC1 FFFFF5D3H, TP5IOC1 FFFFF5E3H

	7	6	5	4	3	2	1	0
TPnIOC1 (n = 0-5)	0	0	0	0	TPnIS3	TPnIS2	TPnIS1	TPnIS0

TPnIS3	TPnIS2	キャプチャ・トリガ入力信号 (TIPn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnIS1	TPnIS0	キャプチャ・トリガ入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1. TPnIS3-TPnIS0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
2. TPnIS3-TPnIS0ビットは、フリー・ランニング・タイマ・モード (TPnOPT0.TPnCCS1, TPnCCS0ビット = 11時のみ) と、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。
3. ビット4-7には必ず“0”を設定してください。

(5) TMPnI/O制御レジスタ2 (TPnIOC2)

TPnIOC2レジスタは、外部イベント・カウント入力信号 (TIPn0端子)、外部トリガ入力信号 (TIPn0端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H    R/W    アドレス：TP0IOC2 FFFFF594H, TP1IOC2 FFFFF5A4H,  
TP2IOC2 FFFFF5B4H, TP3IOC2 FFFFF5C4H,  
TP4IOC2 FFFFF5D4H, TP5IOC2 FFFFF5E4H

	7	6	5	4	3	2	1	0
TPnIOC2 (n = 0-5)	0	0	0	0	TPnEES1	TPnEES0	TPnETS1	TPnETS0

TPnEES1	TPnEES0	外部イベント・カウント入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnETS1	TPnETS0	外部トリガ入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1. TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは、  
TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCE  
ビット = 1のときの同値書き込みは可能)。誤って書き換えた場合  
は、TPnCEビットをクリア (0) してから再設定してください。
- TPnEES1, TPnEES0ビットは、TPnCTL1.TPnEEEビット = 1、または外部イベント・カウント・モード (TPnCTL1.TPnMD2-TPnMD0ビット = 001) に設定したときのみ有効です。
  - ビット4-7には必ず“0”を設定してください。
  - TPnETS1, TPnETS0ビットは、外部トリガ・パルス出力モード (TPnCTL1.TPnMD2-TPnMD0ビット = 010)、ワンショット・パルス出力モード (TPnCTL1.TPnMD2-TPnMD0 = 011) に設定したときのみ有効です。

(6) TMPnオプション・レジスタ0 (TPnOPT0)

TPnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0OPT0 FFFFF595H, TP1OPT0 FFFFF5A5H,  
TP2OPT0 FFFFF5B5H, TP3OPT0 FFFFF5C5H,  
TP4OPT0 FFFFF5D5H, TP5OPT0 FFFFF5E5H

	7	6	5	4	3	2	1	①
TPnOPT0 (n = 0-5)	0	0	TPnCCS1	TPnCCS0	0	0	0	TPnOVF

TPnCCS1	TPnCCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TPnCTL0.TPnCEビット = 0によりクリア)
TPnCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnCCS0	TPnCCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TPnCTL0.TPnCEビット = 0によりクリア)
TPnCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnOVF	TMPnのオーバフロー検出フラグ
セット (1)	オーバフロー発生
リセット (0)	TPnOVFビットへの0ライトまたはTPnCTL0.TPnCEビット = 0
<ul style="list-style-type: none"> <li>TPnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウンタ値がFFFFHから0000Hにオーバフローするときセット (1) されます。</li> <li>TPnOVFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTPnOV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTPnOV信号は発生しません。</li> <li>TPnOVFビット = 1のときにTPnOVFビットまたはTPnOPT0レジスタをリードしても、TPnOVFビットはクリア (0) されません。</li> <li>INTTPnOV信号発生後、TPnOVFビットをクリア (0) する場合は、必ずTPnOVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。</li> <li>TPnOVFビットはリード/ライト可能ですが、ソフトウェアでTPnOVFビットをセット (1) することはできません。“1”をライトしてもTMPnの動作に影響はありません。</li> </ul>	

**注意1.** TPnCCS1, TPnCCS0ビットは、TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。

**2.** ビット1-3, 6, 7には必ず“0”を設定してください。



(7) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

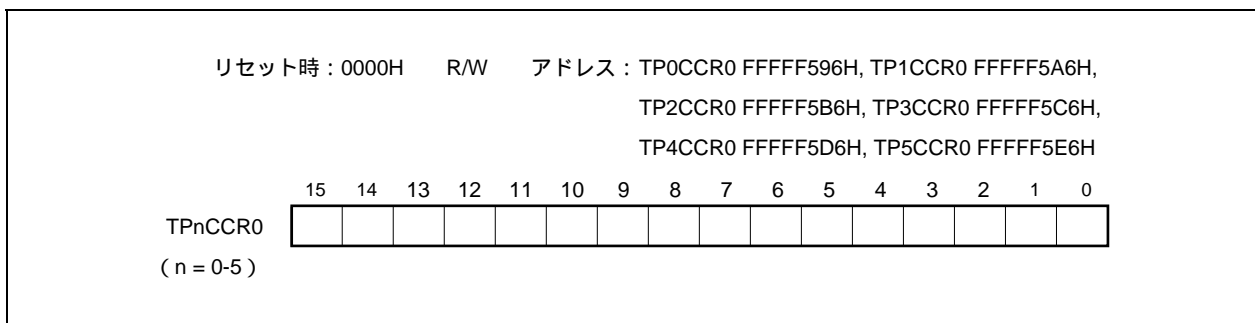
TPnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** TPnCCR0レジスタへのアクセスはウエイトを要する場合があります。詳細は、3. 4. 8 (2) を参照してください。



(a) コンペア・レジスタとしての機能

TPnCCR0レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TPnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TPnCTL0.TPnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR0レジスタのリードが競合しても、TPnCCR0レジスタは正しい値をリードできます。

TPnCTL0.TPnCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 n = 0-5

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TPnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2) 随時書き込みと一斉書き込みを参照してください。

(8) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

TPnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TPnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

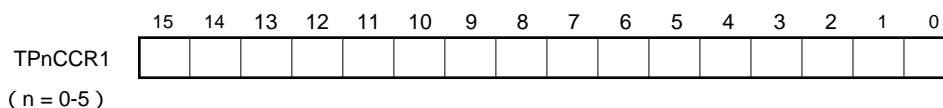
TPnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**注意** TPnCCR1レジスタへのアクセスはウエイトを要する場合があります。詳細は、3. 4. 8 (2) を参照してください。

リセット時：0000H    R/W    アドレス：TP0CCR1 FFFFF598H, TP1CCR1 FFFFF5A8H,  
 TP2CCR1 FFFFF5B8H, TP3CCR1 FFFFF5C8H,  
 TP4CCR1 FFFFF5D8H, TP5CCR1 FFFFF5E8H



## (a) コンペア・レジスタとしての機能

TPnCCR1レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC1) を発生し、TOPn1端子出力を許可している場合、TOPn1端子出力を反転します。

TPnCTL0.TPnCEビット = 0によりコンペア・レジスタはクリアされません。

## (b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR1レジスタのリードが競合しても、TPnCCR1レジスタは正しい値をリードできます。

TPnCTL0.TPnCEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み <sup>注</sup>
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	なし

注 TPnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2) 随時書き込みと一斉書き込みを参照してください。

(9) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

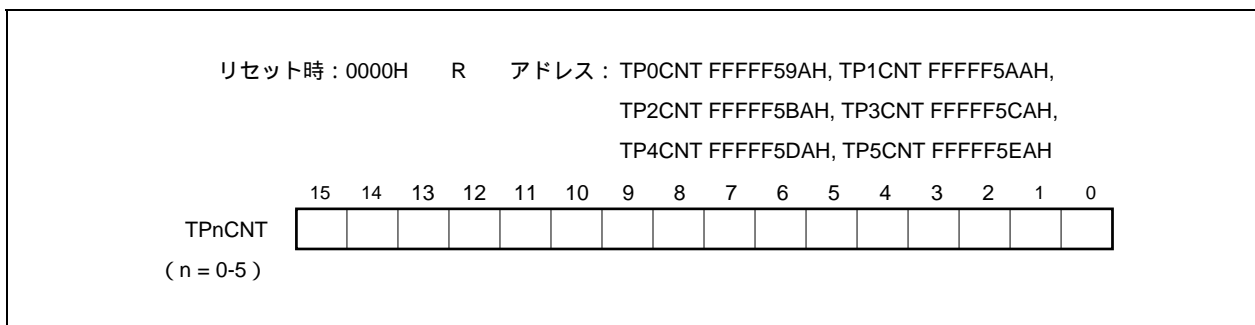
TPnCTL0.TPnCEビット = 1のときにTPnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TPnCEビット = 0のとき、TPnCNTレジスタは0000Hになります。このときにTPnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。

リセットによりTPnCEビット = 0になるため、TPnCNTレジスタは0000Hになります。

**注意** TPnCNTレジスタへのアクセスはウエイトを要する場合があります。詳細は、3. 4. 8 (2) を参照してください。



## 7.5 タイマ出力動作説明

次にTOPn1端子の動作，および出力レベルを示します。

表7-4 各モードによるタイマ出力制御

動作モード	TOPn1端子
インターバル・タイマ・モード	方形波出力
外部イベント・カウント・モード	なし
外部トリガ・パルス出力モード	外部トリガ・パルス出力
ワンショット・パルス出力モード	ワンショット・パルス出力
PWM出力モード	PWM出力
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)
パルス幅測定モード	-

備考 n = 0-5

表7-5 タイマ出力制御ビットによるTOPn1端子の真理値表

TPnIOC0.TPnOL1ビット	TPnIOC0.TPnOE1ビット	TPnCTL0.TPnCEビット	TOPn1端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル， カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル， カウント開始後はロウ・レベル

備考 n = 0-5

## 7.6 動作

TMPnには次のような動作があります。

動作	TPnCTL1.TPnESTビット (ソフトウェア・トリガ・ビット)	TIPn0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード <sup>注1</sup>	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード <sup>注2</sup>	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード <sup>注2</sup>	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合，TIPn0端子のキャプチャ・トリガ入力の有効エッジの設定を，エッジを検出しない (TPnIOC1.TPnIS1, TPnIS0ビットを“00”) に設定してください。

注2. 外部トリガ・パルス出力モード，ワンショット・パルス出力モード，パルス幅測定モードを使用する場合，カウンタ・クロックは内部クロックを選択（TPnCTL1.TPnEEEビット = 0に設定）してください。

備考 n = 0-5

### (1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

備考 n = 0-5

#### (a) カウント開始動作

TMPnの16ビット・カウンタは，すべてのモードで初期値FFFFHからカウントを開始します。

カウント動作は，FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

#### (b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合，16ビット・カウンタは0000Hにクリアされます。なお，カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって，INTTPnCC0, INTTPnCC1割り込み信号は発生しません。

#### (c) オーバフロー動作

16ビット・カウンタのオーバフローは，フリー・ランニング・モードおよびパルス幅測定モード時に，FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバフローが発生すると，TPnOPT0.TPnOVFビットがセット（1）され，割り込み要求信号（INTTPnOV）が発生します。なお，次の条件ではINTTPnOV信号は発生しません。

- ・ カウント動作開始直後
- ・ コンペア値がFFFFHで一致&クリアされた場合
- ・ パルス幅測定モード時のFFFFHをキャプチャし，クリアした場合のFFFFHから0000Hになるタイミング

**注意** オーバフロー割り込み要求信号(INTTPnOV)発生後は **必ずオーバフロー・フラグ**(TPnOVFビット) が“1”にセットされているのを確認してください。

#### (d) カウント動作中のカウンタ・リード動作

TMPnでは，TPnCNTレジスタにより，カウント動作中の16ビット・カウンタの値をリードできます。

TPnCTL0.TPnCEビット = 1のときは，TPnCNTレジスタをリードすることにより，16ビット・カウンタの値をリードできます。ただし，TPnCEビット = 0のときは，16ビット・カウンタがFFFFHで，TPnCNTレジスタが0000Hです。

#### (e) 割り込み動作

TMPnでは，次の3種類の割り込み要求信号を発生します。

- ・INTTPnCC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号, およびTPnCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・INTTPnCC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号, およびTPnCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・INTTPnOV割り込み : オーバフロー割り込み要求信号として機能します。



(2) 随時書き込みと一斉書き込み

TMPnでは、タイマ動作中 (TPnCTL0.TPnCEビット = 1) でもTPnCCR0, TPnCCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTPnCCR0, TPnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います (n = 0-5)。

図7-2 随時書き込みの基本動作フロー・チャート

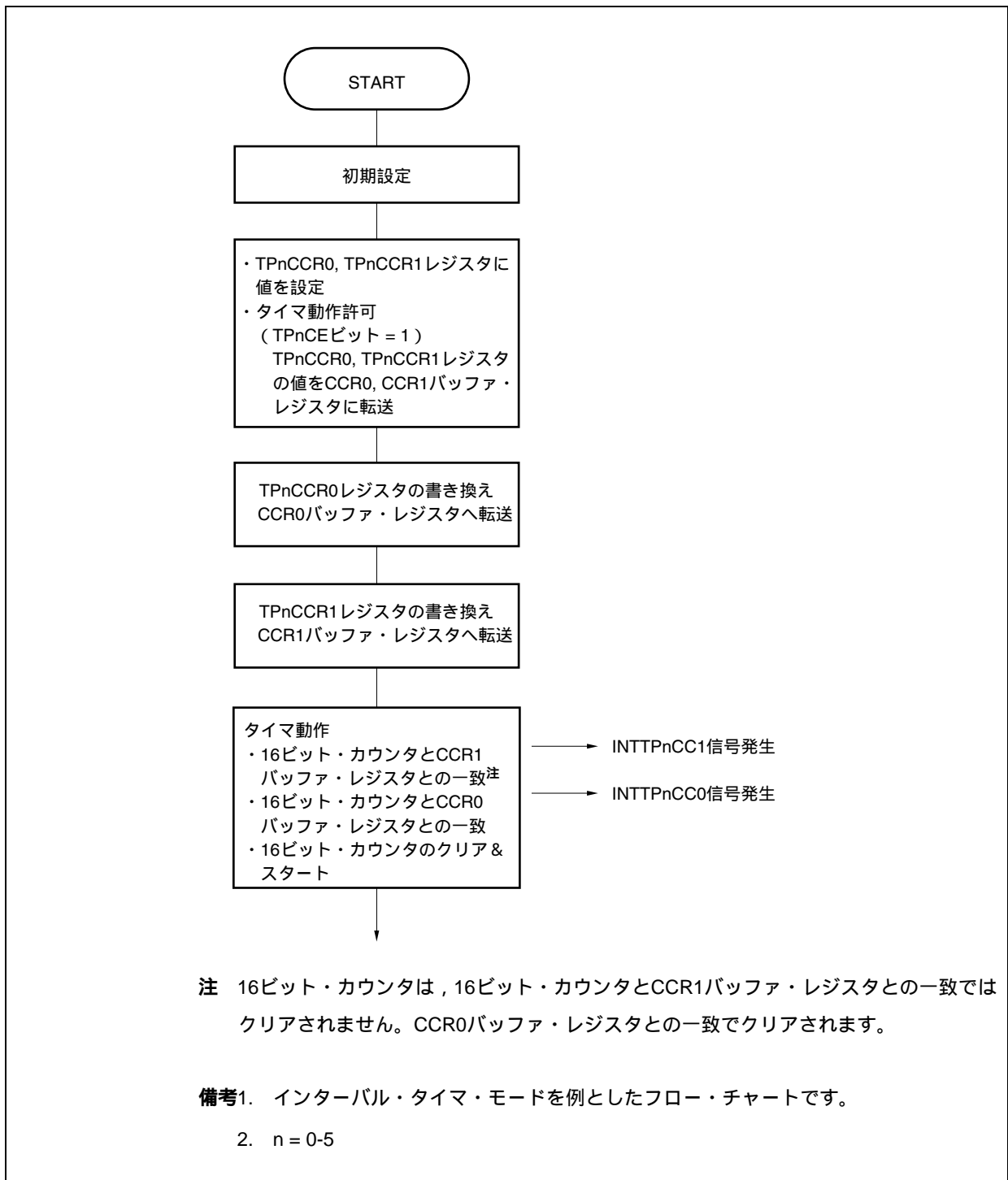
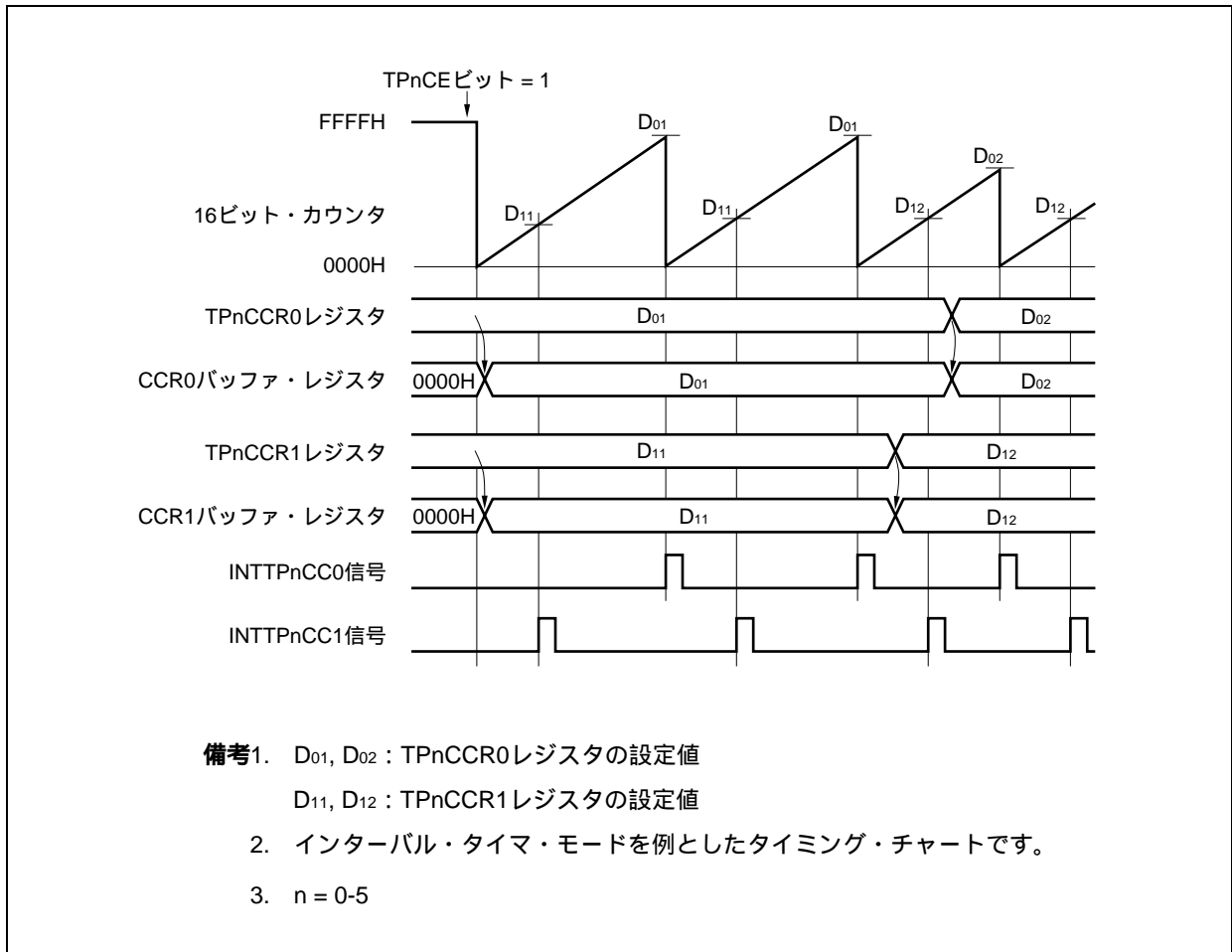


図7-3 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中にTPnCCR0, TPnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTPnCCR1レジスタへの書き込みとなります。TPnCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TPnCCR0, TPnCCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0, CCR1バッファ・レジスタに転送される)には、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致する前にTPnCCR0レジスタを書き換え、次にTPnCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値との一致タイミングで、TPnCCR0, TPnCCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TPnCCR0レジスタの値だけ書き換えたい場合でも、TPnCCR1レジスタに同値(すでに設定したTPnCCR1レジスタと同じ値)を書き込んでください。

図7-4 一斉書き込みの基本動作フロー・チャート

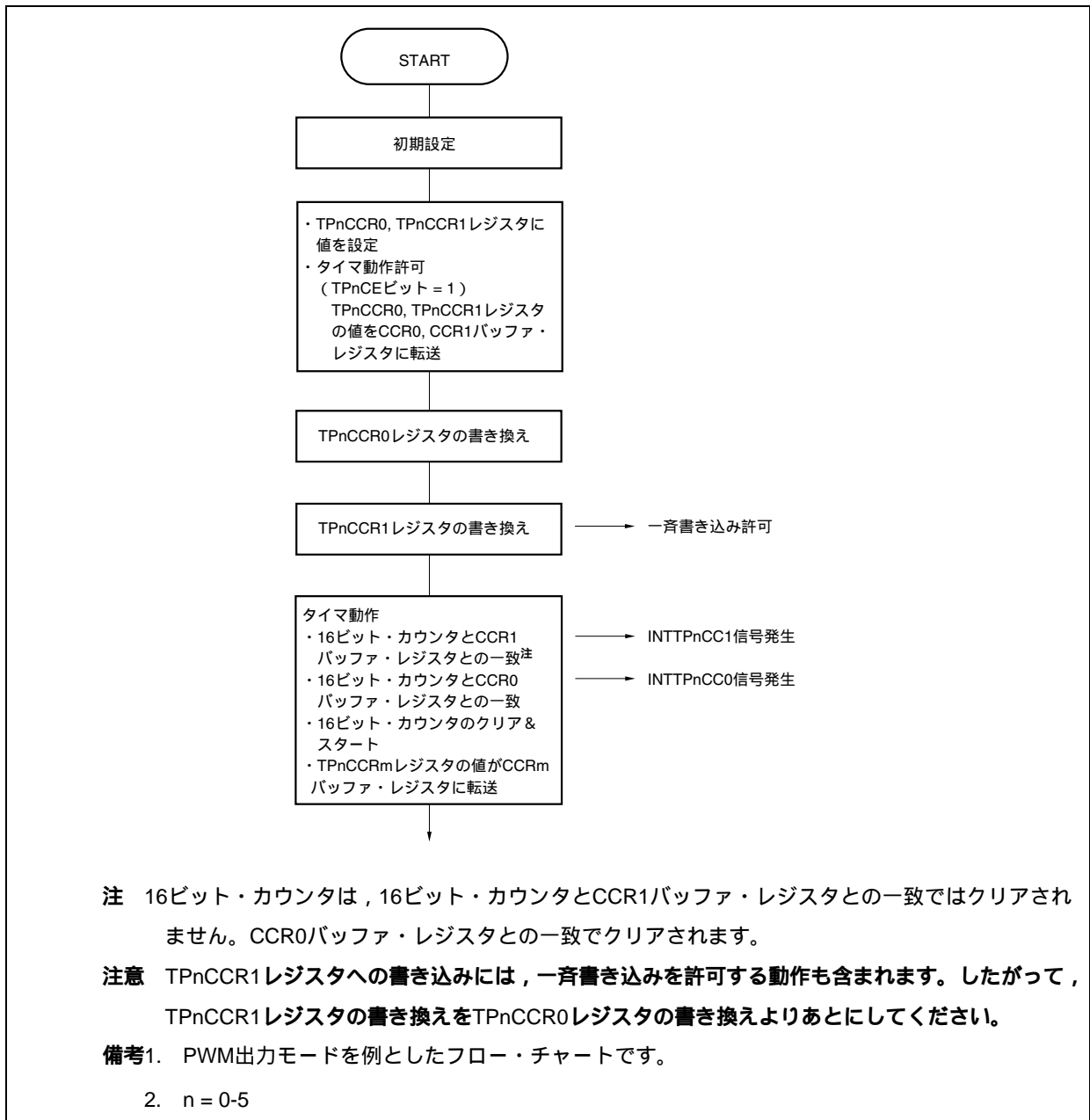
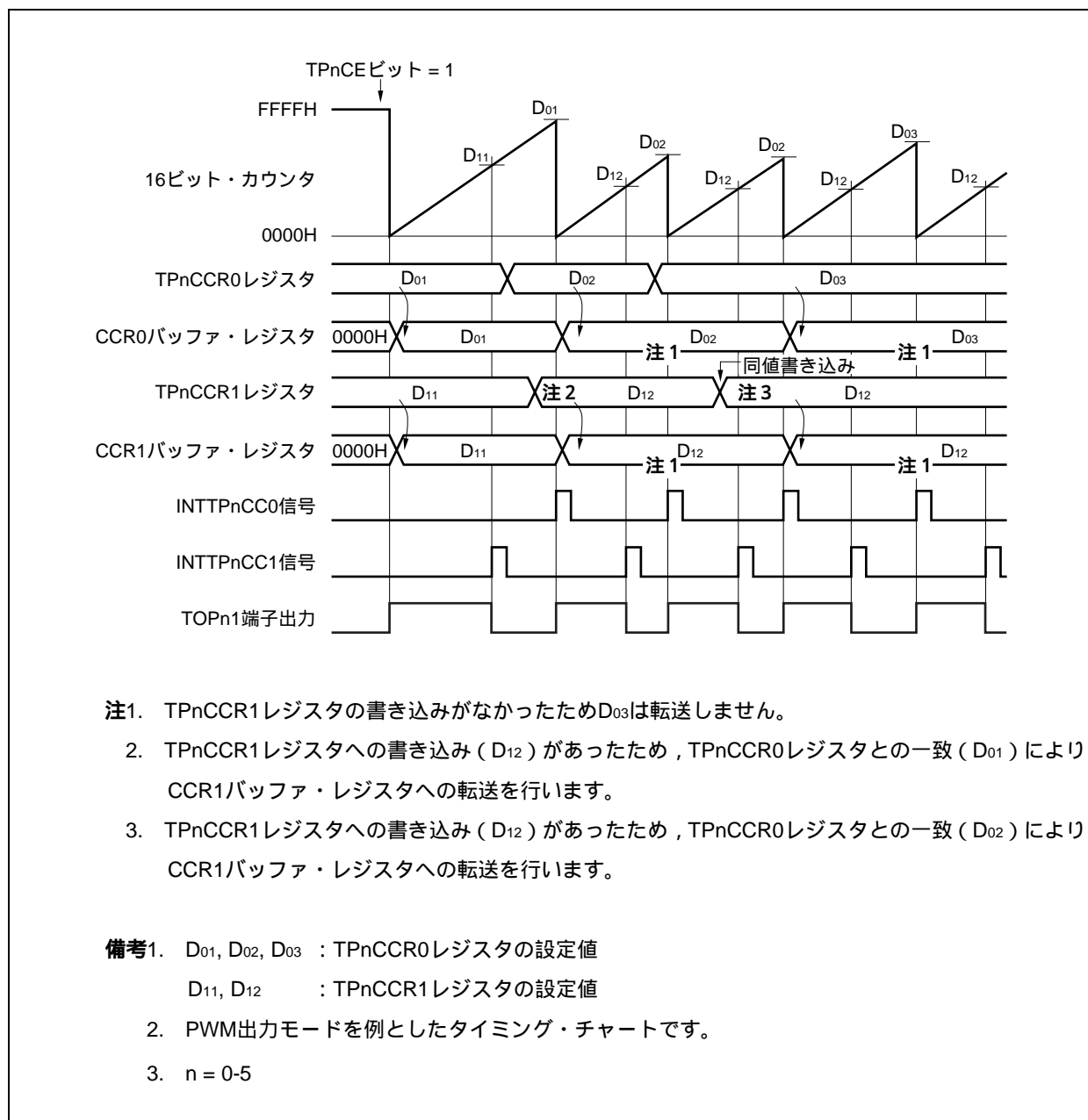


図7-5 一斉書き込みのタイミング



### 7.6.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)

インターバル・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTPnCC0) を発生します。

インターバル・タイマ・モードでは、通常、TPnCCR1レジスタを使用しません。ただし、方形波を出力したい場合には、TPnCCR0レジスタの設定値と同じ値をTPnCCR1レジスタに設定することにより、TOPn1端子から、インターバル間隔を半周期とする方形波を出力できます。

図7-6 インターバル・タイマの構成図

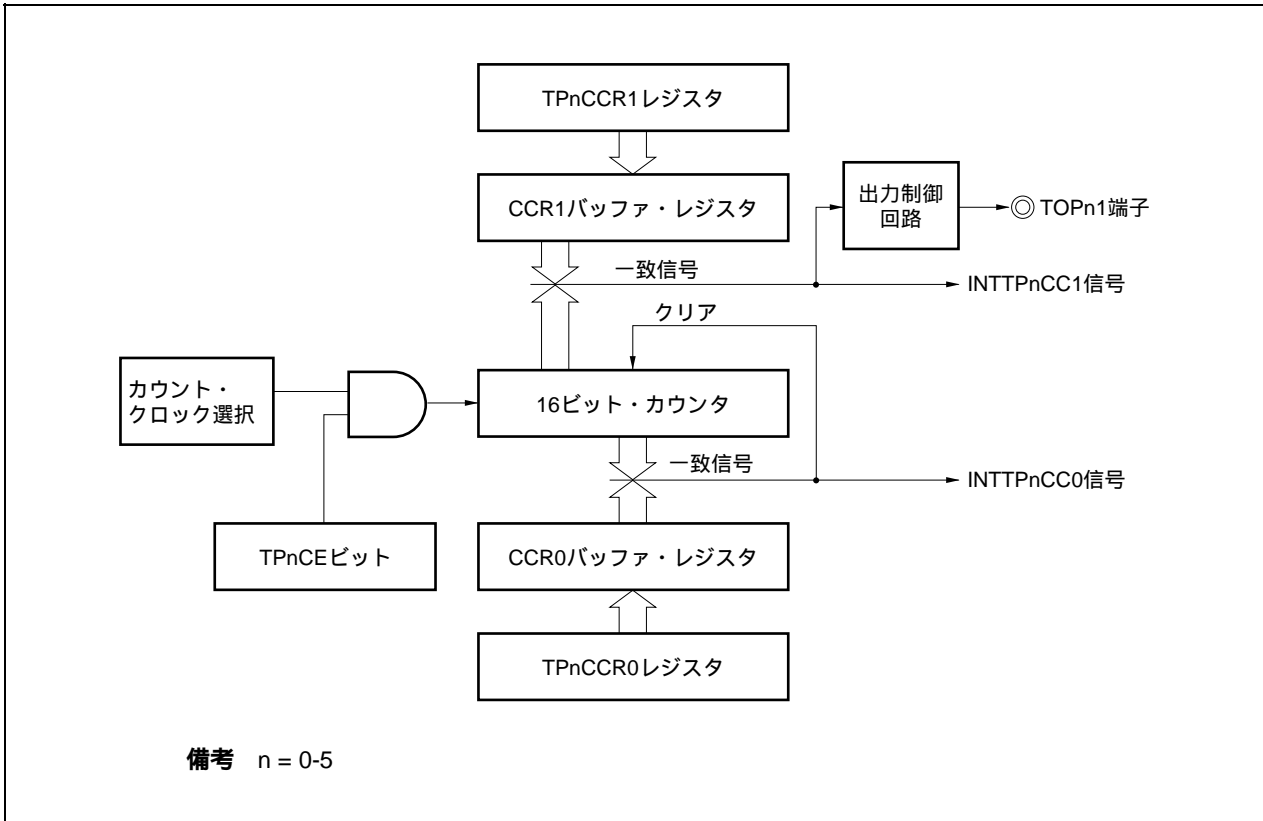
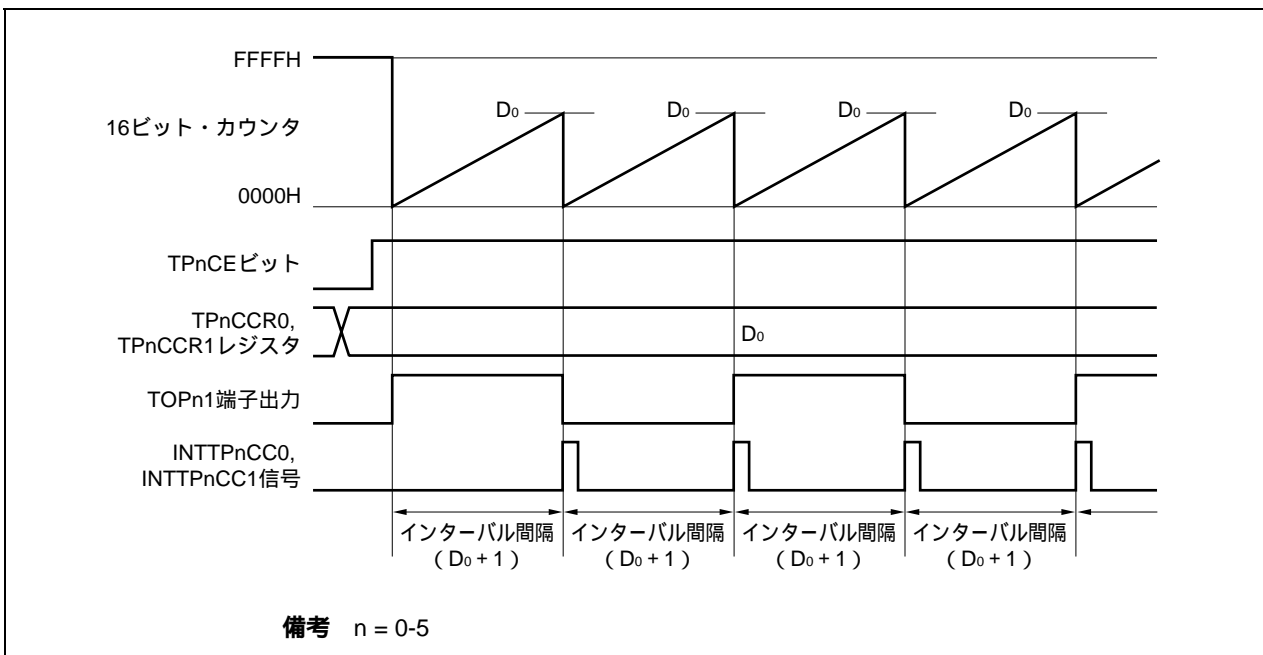


図7-7 インターバル・タイマ・モード動作の基本タイミング



TPnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOPn1端子出力を反転します。また、TPnCCRmレジスタの設定値がCCRmバッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOPn1端子出力を反転させて (TPnCCR0レジスタ設定値 = TPnCCR1レジスタ設定値のとき)、コンパレー一致割り込み要求信号 (INTTPnCC0, INTTPnCC1) を発生します。

インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TPnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-5, m = 0, 1

図7-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)

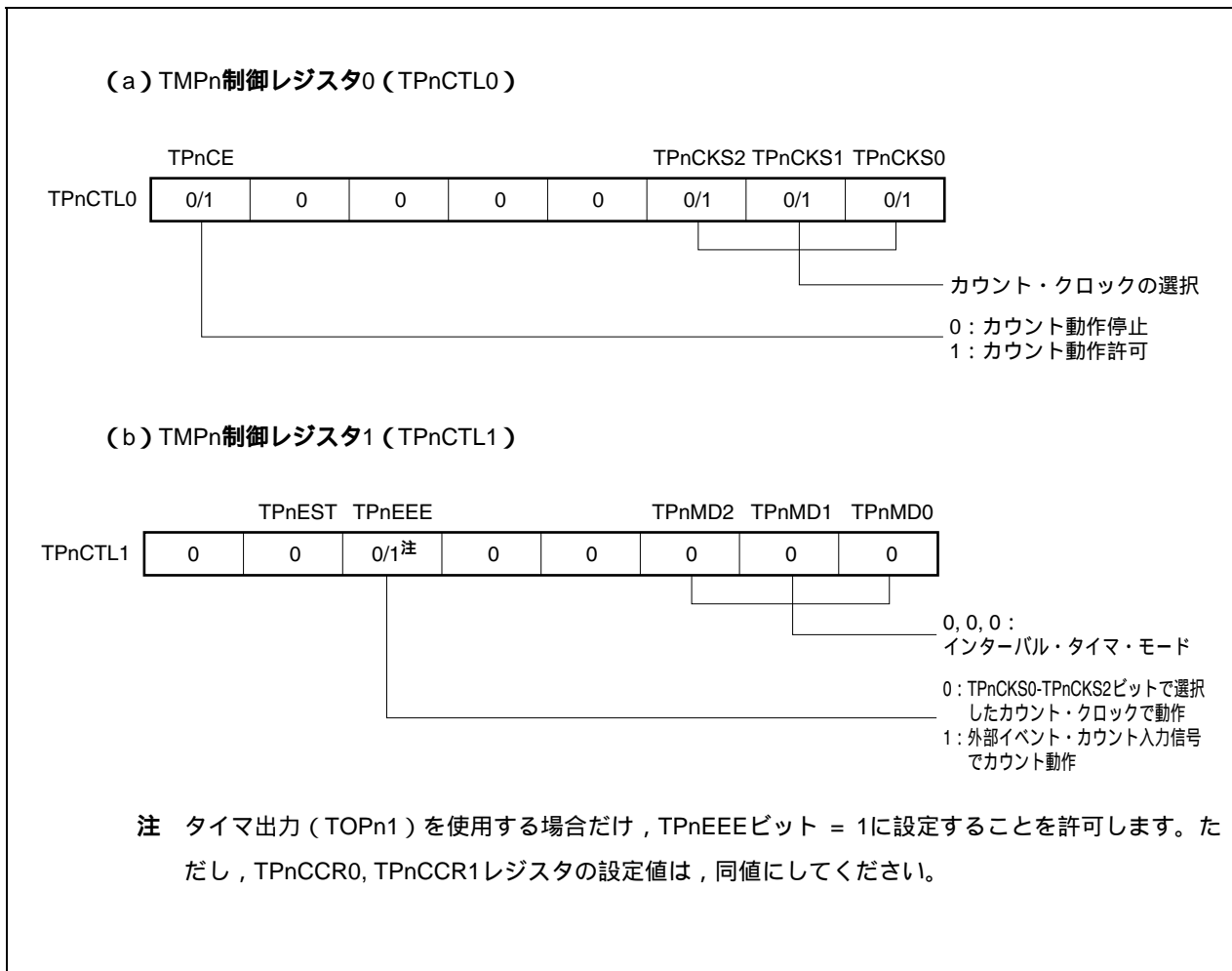
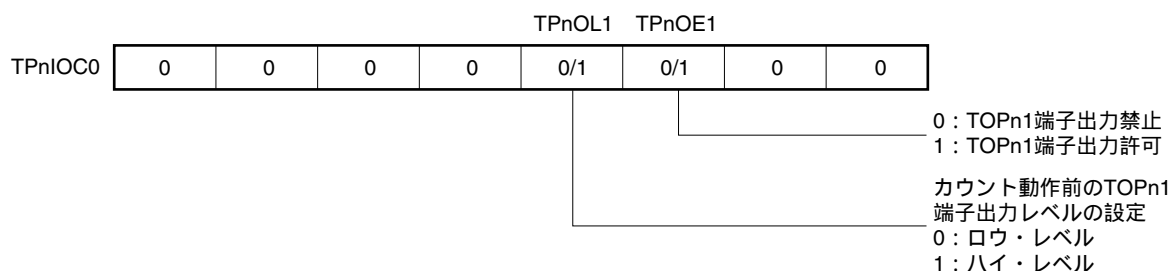
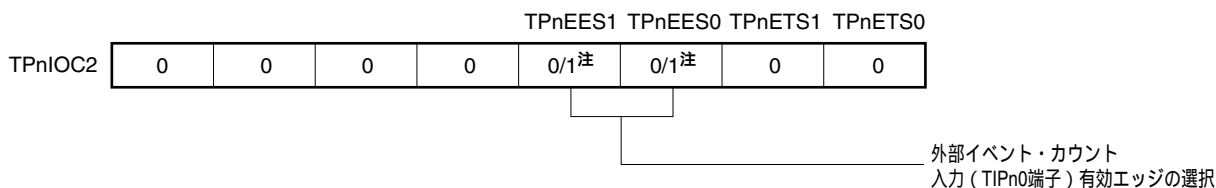


図7-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(c) TMPnI/O制御レジスタ0 (TPnIOC0)



(d) TMPnI/O制御レジスタ2 (TPnIOC2)



注 タイマ出力 (TOPn1) を使用する場合だけ、TPnEES1, TPnEES0ビットを設定することを許可します。ただし、TPnCCR0, TPnCCR1レジスタは同値に設定してください。

(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタにD<sub>0</sub>を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

(g) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、TOPn1端子出力を反転し、コンペア一致割り込み要求信号 (INTTPnCC1) が発生します。

TPnCCR0レジスタの設定値と同じ値を設定することにより、TOPn1端子から50%デューティの方形波を出力できます。

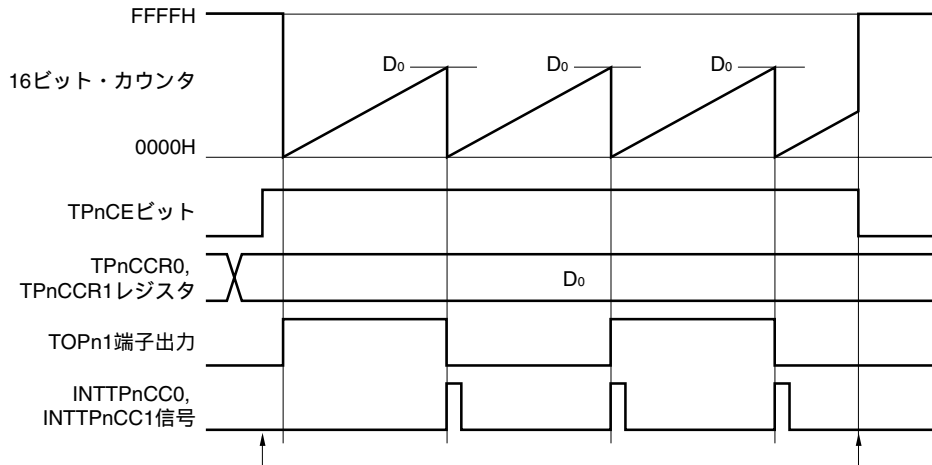
TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TPnCCIC1.TPnCCMK1) でマスク設定しておいてください。

備考1. TMPnI/O制御レジスタ1 (TPnIOC1), TMPnオプション・レジスタ0 (TPnOPT0) は、インターバル・タイマ・モードでは使用しません。

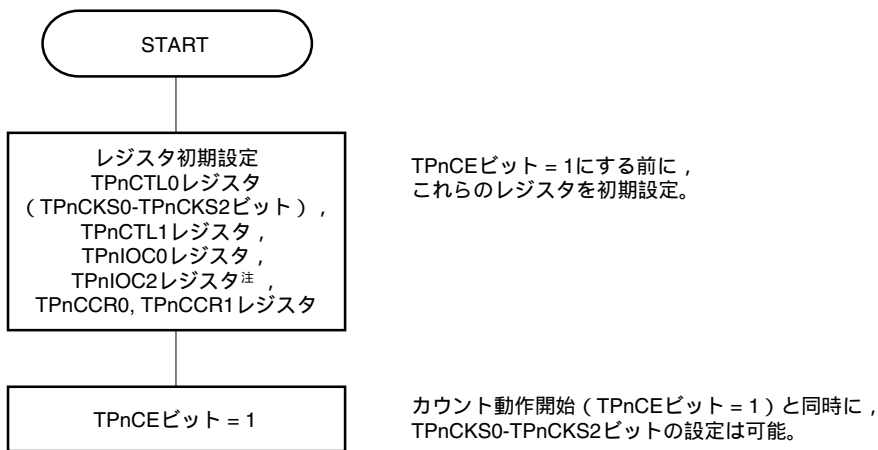
2. n = 0-5

(1) インターバル・タイマ・モード動作フロー

図7-9 インターバル・タイマ・モード使用時のソフトウェア処理フロー

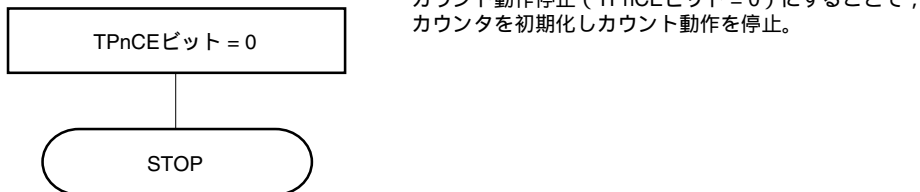


カウント動作開始フロー



注 タイマ出力 (TOPn1) を使用する場合だけ、TPnEES1, TPnEES0ビットを設定することを許可します。ただし、TPnCCR0, TPnCCR1レジスタは同値に設定してください。

カウント動作停止フロー



備考 n = 0-5

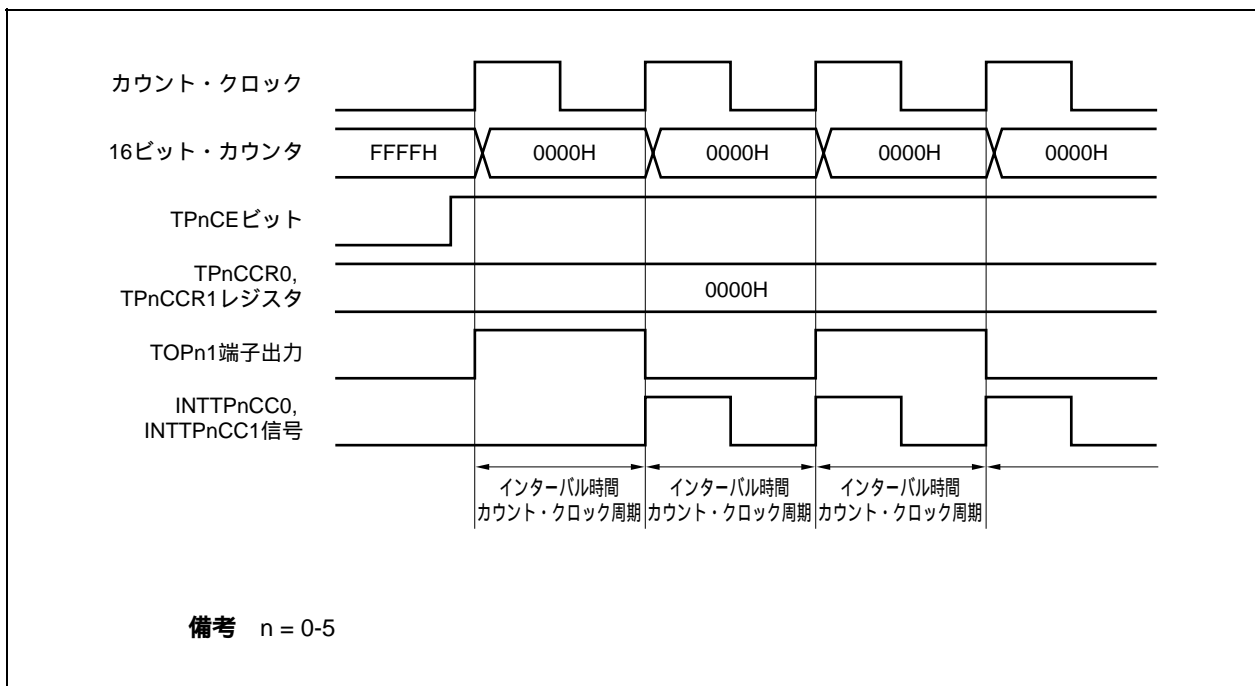


(2) インターバル・タイマ・モード動作タイミング

(a) TPnCCR0, TPnCCR1レジスタに0000Hを設定した場合の動作

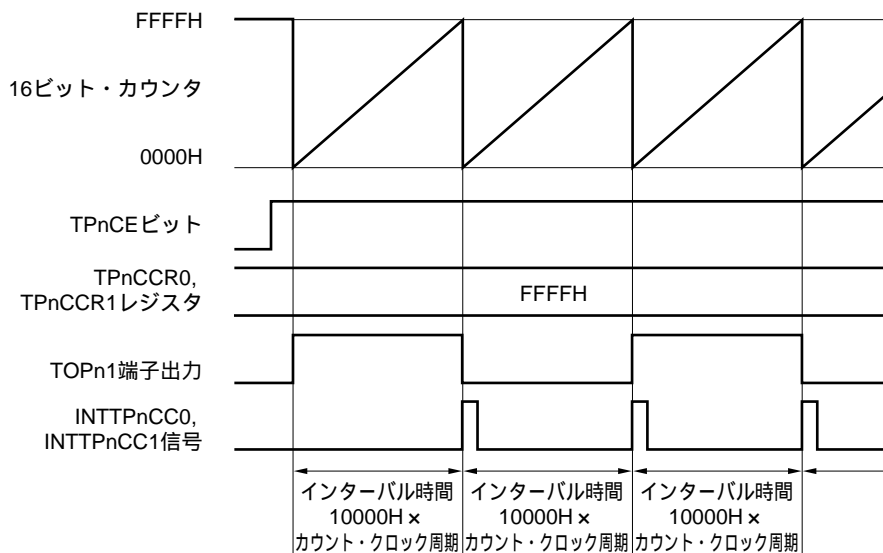
TPnCCR0, TPnCCR1レジスタに0000Hを設定した場合、カウント・クロックごとにINTTPnCC0, INTTPnCC1信号を発生し、TOPn1端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TPnCCR0, TPnCCR1レジスタにFFFFHを設定した場合の動作

TPnCCR0, TPnCCR1レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPnCC0, INTTPnCC1信号を発生し、TOPn1端子の出力を反転します。このとき、オーバーフロー割り込み要求信号 (INTTPnOV) は発生せず、オーバーフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されません。

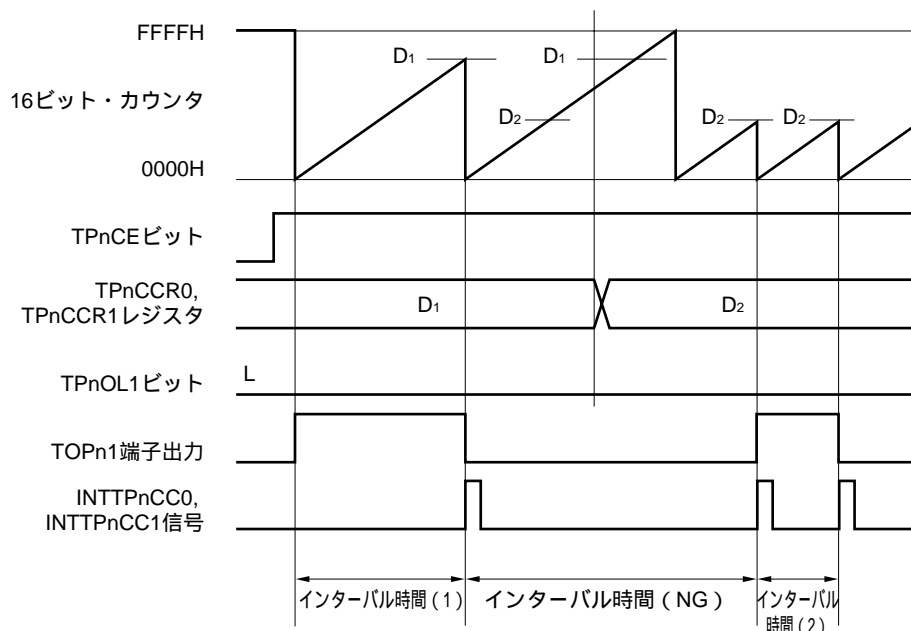


備考 n = 0-5

## (c) TPnCCR0, TPnCCR1レジスタの書き換えに関する注意事項

カウント動作中にTPnCCR0, TPnCCR1レジスタの値を小さい値に書き換えると, 16ビット・カウンタがオーバーフローする場合がありますので注意してください。

オーバーフローする可能性がある場合には, 一度カウント動作を停止させ, その後, 設定値を変更してください。



- 備考1. インターバル時間 (1) :  $(D_1 + 1) \times \text{カウント・クロック周期}$   
 インターバル時間 (NG) :  $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$   
 インターバル時間 (2) :  $(D_2 + 1) \times \text{カウント・クロック周期}$
2.  $n = 0-5$

カウント値が $D_2$ よりも大きく $D_1$ よりも小さい状態において, TPnCCR0, TPnCCR1レジスタを $D_1$ から $D_2$ に書き換えると, 書き換えたタイミングでCCR0, CCR1バッファ・レジスタに転送されるため, 16ビット・カウンタとのコンペア値が $D_2$ となります。

しかし, カウント値はすでに $D_2$ を越えているためにFFFFHまでカウントを行い, オーバフロー後, 0000Hから再度カウント・アップを行います。そして,  $D_2$ との一致でINTTPnCC0, INTTPnCC1信号を発生しTOPn1端子出力を反転します。

したがって, 本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント・クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント・クロック周期}$ 」でINTTPnCC0, INTTPnCC1信号は発生せずに, 「 $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$ 」の間隔でINTTPnCC0, INTTPnCC1信号が発生する場合があります。

(d) TPnCCR1レジスタの動作

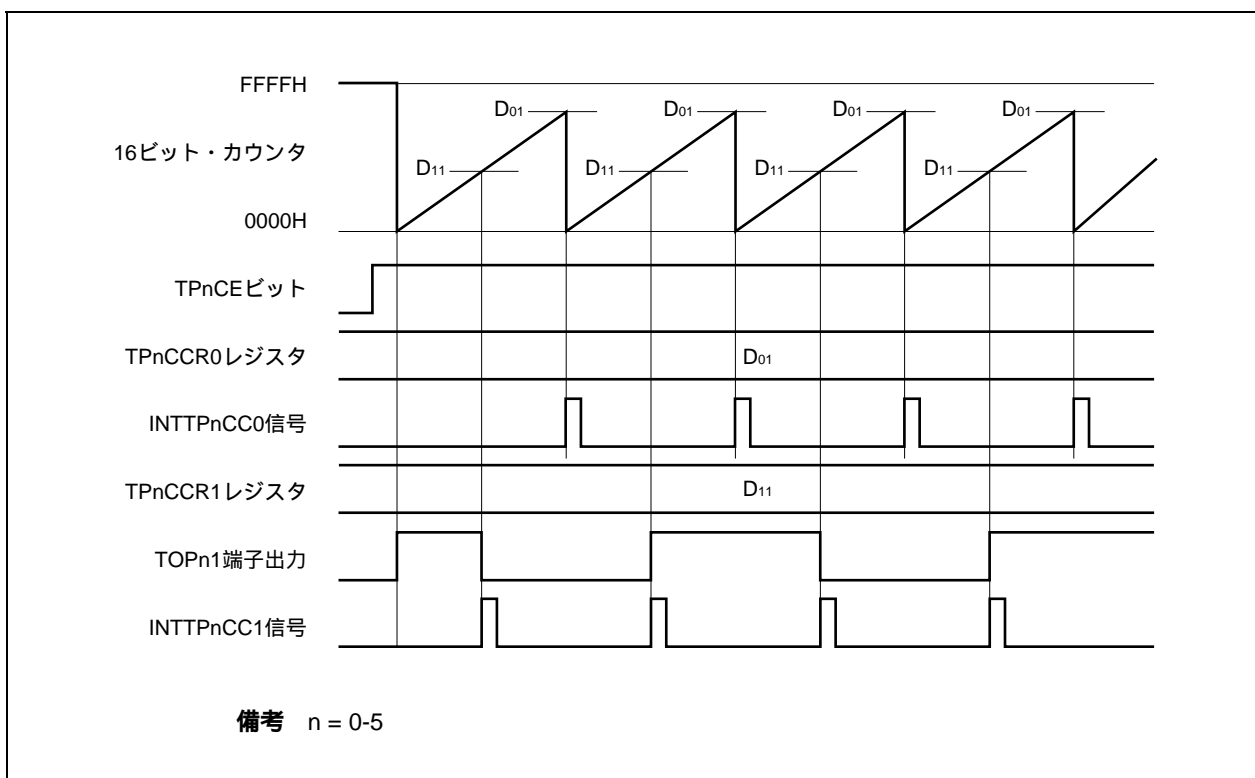
TPnCCR1レジスタにTPnCCR0レジスタの設定値と同じ値を設定すると、INTTPnCC0信号と同じタイミングでINTTPnCC1信号が発生し、TOPn1端子出力が反転します。すなわち、TOPn1端子から50%デューティの方形波を出力できます。

TPnCCR0レジスタの設定値とは異なる値をTPnCCR1レジスタに設定した場合の動作を次に示します。

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。また、同じタイミングでTOPn1端子出力は反転します。

TOPn1端子出力は、最初に短い幅のパルスを出力したあと、方形波を出力します。

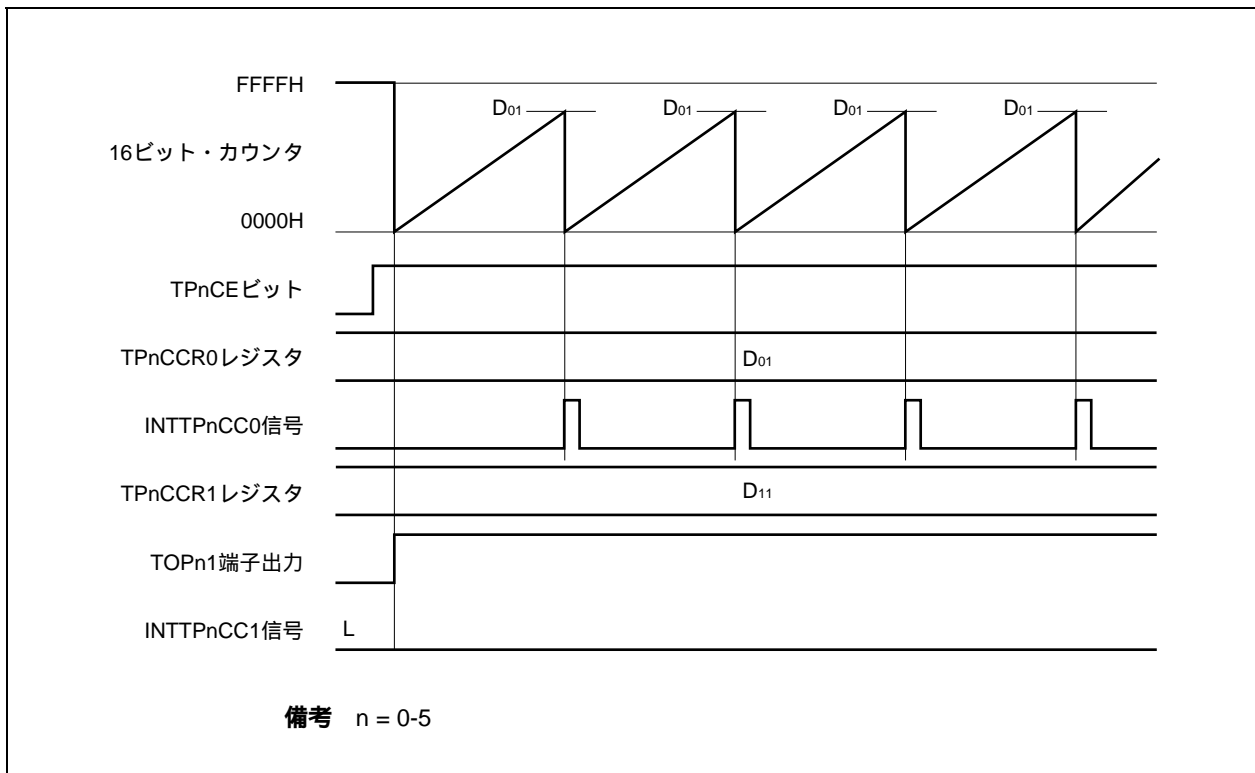
図7 - 10 D<sub>01</sub> D<sub>11</sub>の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。また、TOPn1端子出力も変化しません。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図7 - 11 D<sub>01</sub> < D<sub>11</sub>の場合のタイミング図



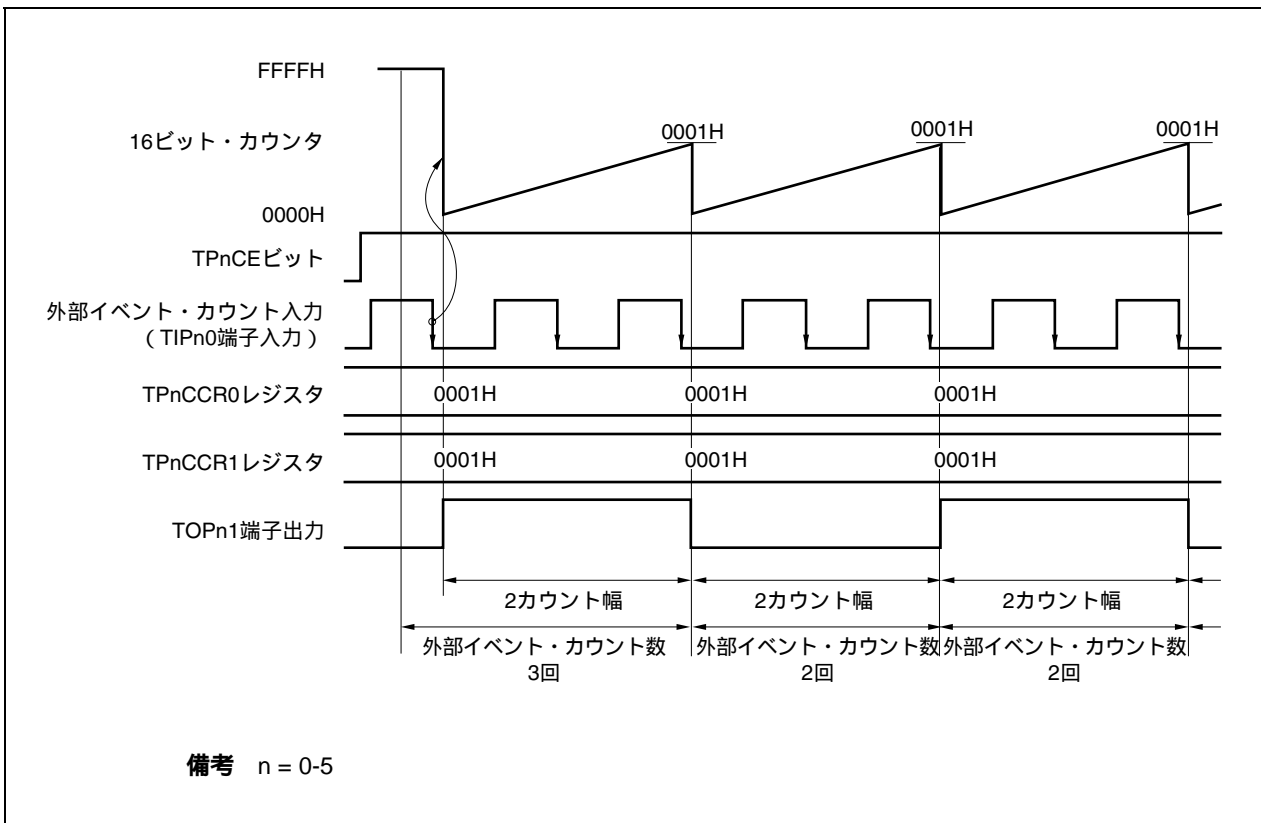
(3) 外部イベント・カウント入力 (TIPn0) による動作

(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力(TIPn0)の有効エッジで16ビット・カウンタをカウントする場合、TPnCEビットを0から1に設定した直後に、16ビット・カウンタをFFFFHから0000Hにクリアするために、1回の外部イベント・カウント入力の有効エッジが必要です。

TPnCCR0, TPnCCR1レジスタに0001Hを設定(同値設定)すると、16ビット・カウンタの2カウントごとにTOPn1端子の出力を反転します。

外部イベント・カウント入力でタイマ出力(TOPn1)を使用する場合だけ、インターバル・タイマ・モード時にTPnCTL1.TPnEEEビット = 1の設定が可能です。



### 7.6.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001)

外部イベント・カウント・モードは、TPnCTL0.TPnCEビットをセット(1)することで、外部イベント・カウント入力(TIPn0)の有効エッジをカウントし、TPnCCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号(INTTPnCC0)を発生します。TOPn1端子は使用できません。外部イベント・カウント入力(TIPn0)でTOPn1端子を使用する場合は、インターバル・タイマ・モード時にTPnCTL1.TPnEEEビット = 1に設定してください(7.6.1(3)外部イベント・カウント入力(TIPn0)による動作参照)。

外部イベント・カウント・モードでは、TPnCCR1レジスタは使用しません。

**注意** 外部イベント・カウント・モードでは、TPnCCR0, TPnCCR1レジスタに0000Hを設定することは禁止します。

図7-12 外部イベント・カウント・モードの構成図

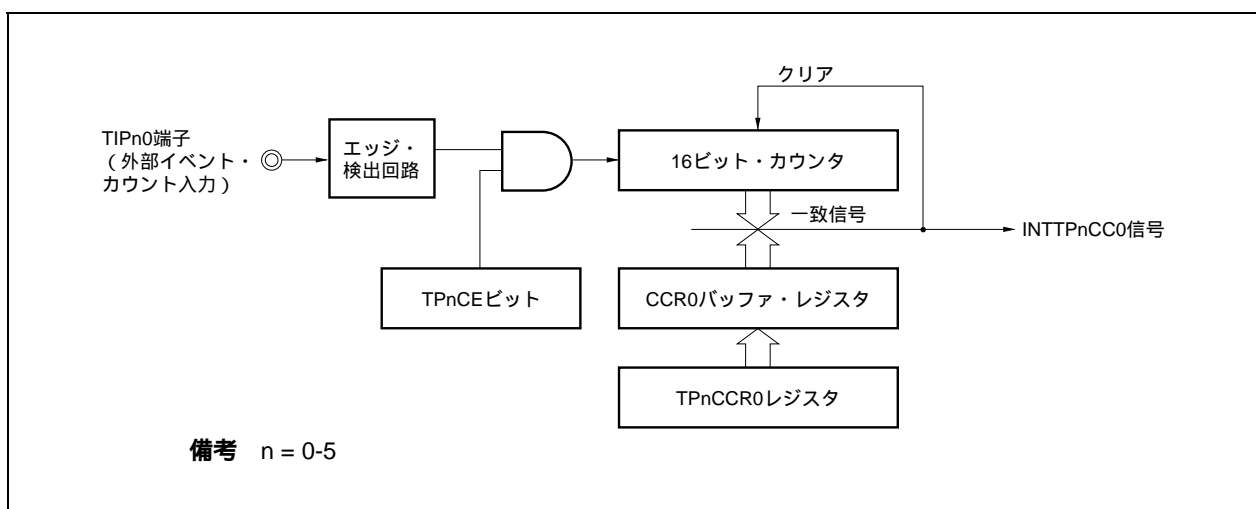
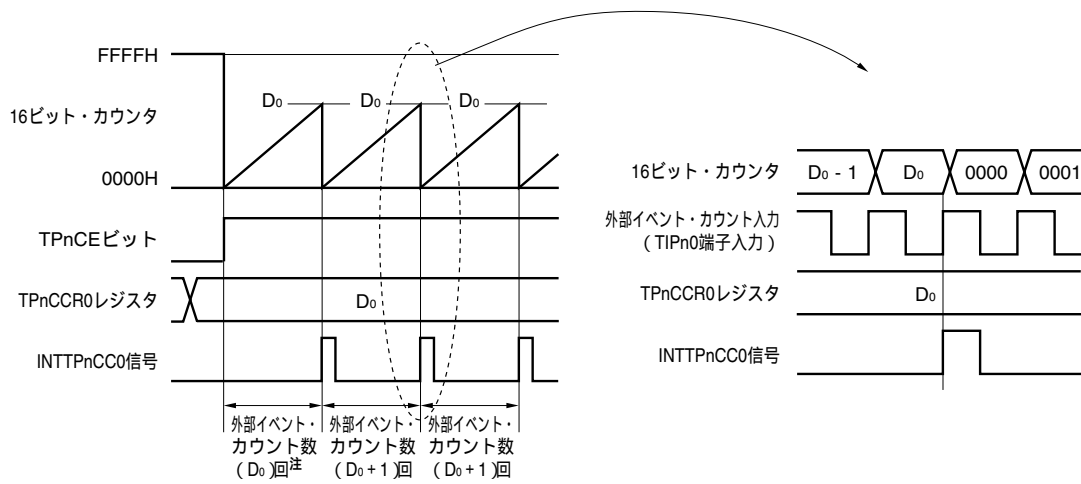


図7-13 外部イベント・カウント・モードの基本タイミング



**注** 外部イベント・カウント・モードでは、TPnCTL0.TPnCEビットをセット（1）する（動作開始）と同時に16ビット・カウンタをFFFFHから0000Hにクリアします。1回目のカウント動作は外部イベント・カウント入力の有効エッジを検出することにより0001Hより行うため、1回目のカウント数は2回目以降のカウント数より1回だけ少なくなります。

**注意** 外部イベント・カウント入力の有効エッジを、立ち上がりエッジに指定した場合

**備考** n = 0-5



TPnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することによりカウント動作を行います。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTPnCC0)を発生します。

INTTPnCC0信号の発生は、1回目のINTTPnCC0信号の場合は外部イベント・カウント入力の有効エッジを(TPnCCR0レジスタに設定した値)回検出で発生し、2回目以降のINTTPnCC0信号の場合は外部イベント・カウント入力の有効エッジを(TPnCCR0レジスタに設定した値+1)回検出することにより発生します。

図7-14 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

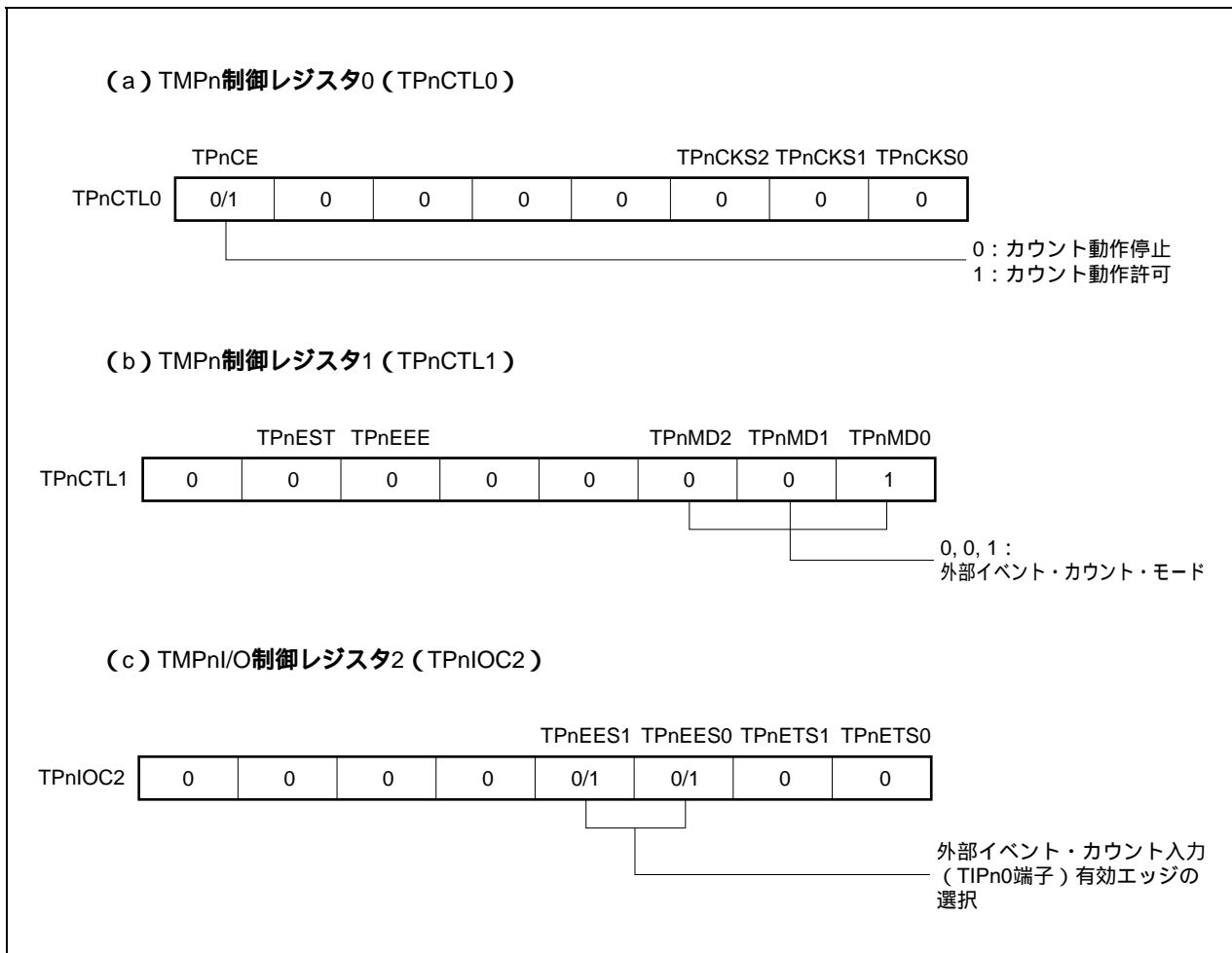


図7 - 14 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

**(d) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)**

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

**(e) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)**

TPnCCR0レジスタにD<sub>0</sub>を設定した場合、1回目のコンペア一致割り込み要求信号 (INTTPnCC0) は外部イベント・カウント数が (D<sub>0</sub>) 回、2回目以降のコンペア一致割り込み要求信号 (INTTPnCC0) は外部イベント・カウント数が (D<sub>0</sub> + 1) 回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

**(f) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)**

外部イベント・カウント・モードでは、TPnCCR1レジスタは使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPnCC1) が発生します。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TPnCCIC1.TPnCCMK1) でマスク設定してください。

**注意1.** TPnIOC0レジスタには00Hを設定してください。

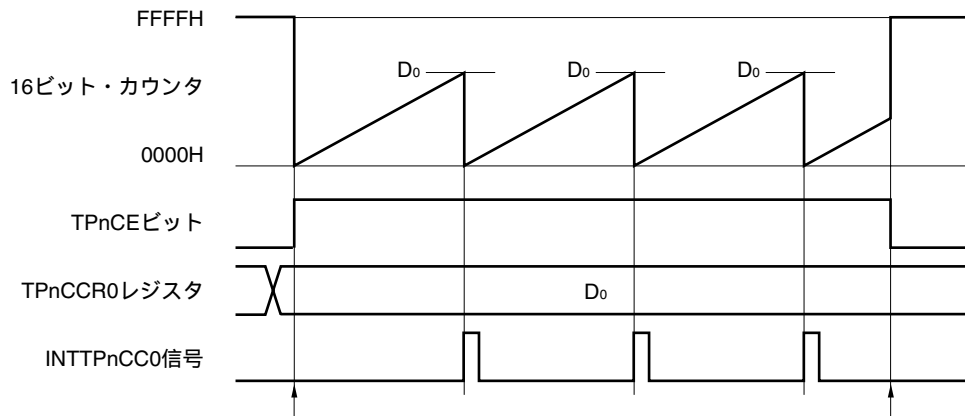
2. カウント・クロックとして外部クロックを使用するときは、外部クロックはTIPn0端子からのみ入力できます。このとき、TPnIOC1.TPnIS1, TPnIS0ビット = 00 (キャプチャ・トリガ入力 (TIPn0端子) : エッジ検出なし) に設定してください。

**備考1.** TMPnI/O制御レジスタ1 (TPnIOC1), TMPnオプション・レジスタ0 (TPnOPT0) は、外部イベント・カウント・モードでは使用しません。

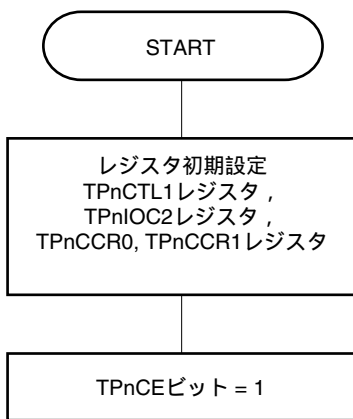
2. n = 0-5

(1) 外部イベント・カウント・モード動作フロー

図7-15 外部イベント・カウント・モード使用時のソフトウェア処理フロー

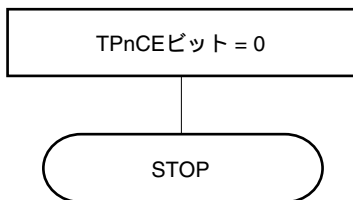


カウント動作開始フロー



TPnCEビット = 1にする前に、  
これらのレジスタを初期設定。

カウント動作停止フロー



カウント動作停止 (TPnCEビット = 0) にすることで、  
カウンタを初期化しカウント動作を停止。

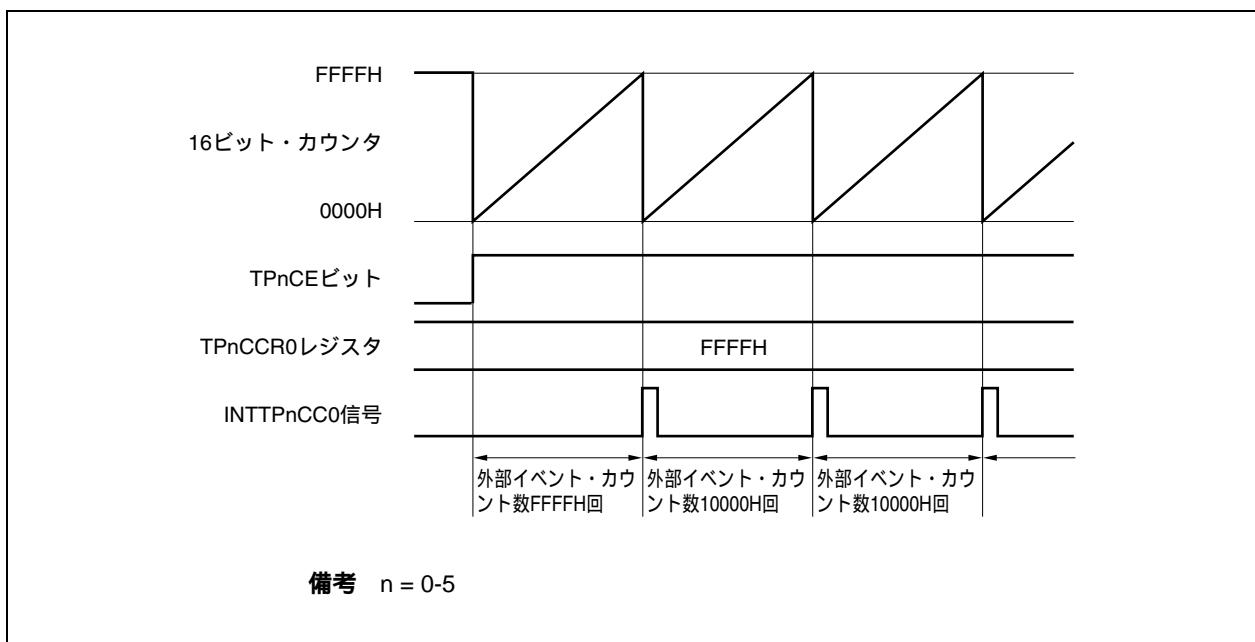
備考 n = 0-5

(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時, TPnCCR0, TPnCCR1レジスタに0000Hを設定することは禁止します。
2. 外部イベント・カウント・モード時, タイマ出力 (TOPn1) は使用禁止です。外部イベント・カウント入力 (TIPn0) でタイマ出力 (TOPn1) を使用する場合は, インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TPnCTL1.TPnEEEビット = 1) に設定してください (7. 6. 1 (3) 外部イベント・カウント入力 (TIPn0) による動作参照)。

(a) TPnCCR0レジスタにFFFFHを設定した場合の動作

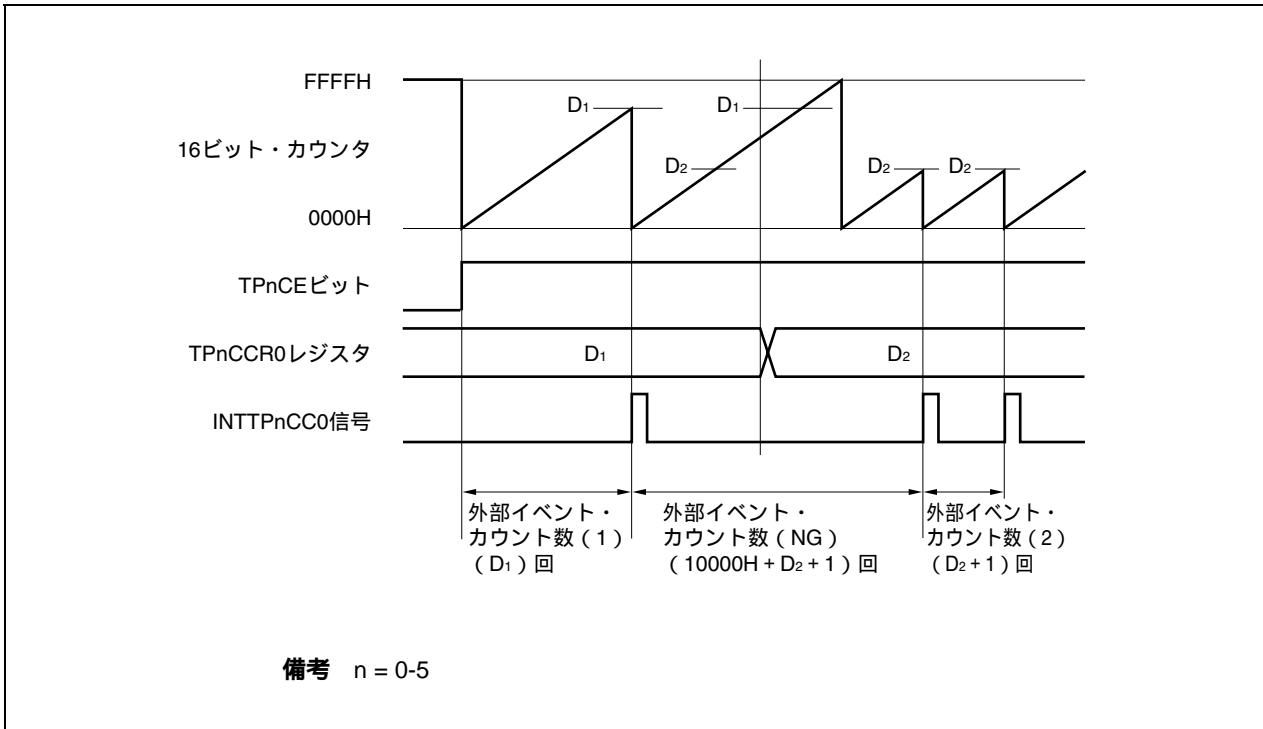
TPnCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTPnCC0信号を発生します。このとき, TPnOPT0.TPnOVFビットはセットされません



## (b) TPnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。

オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



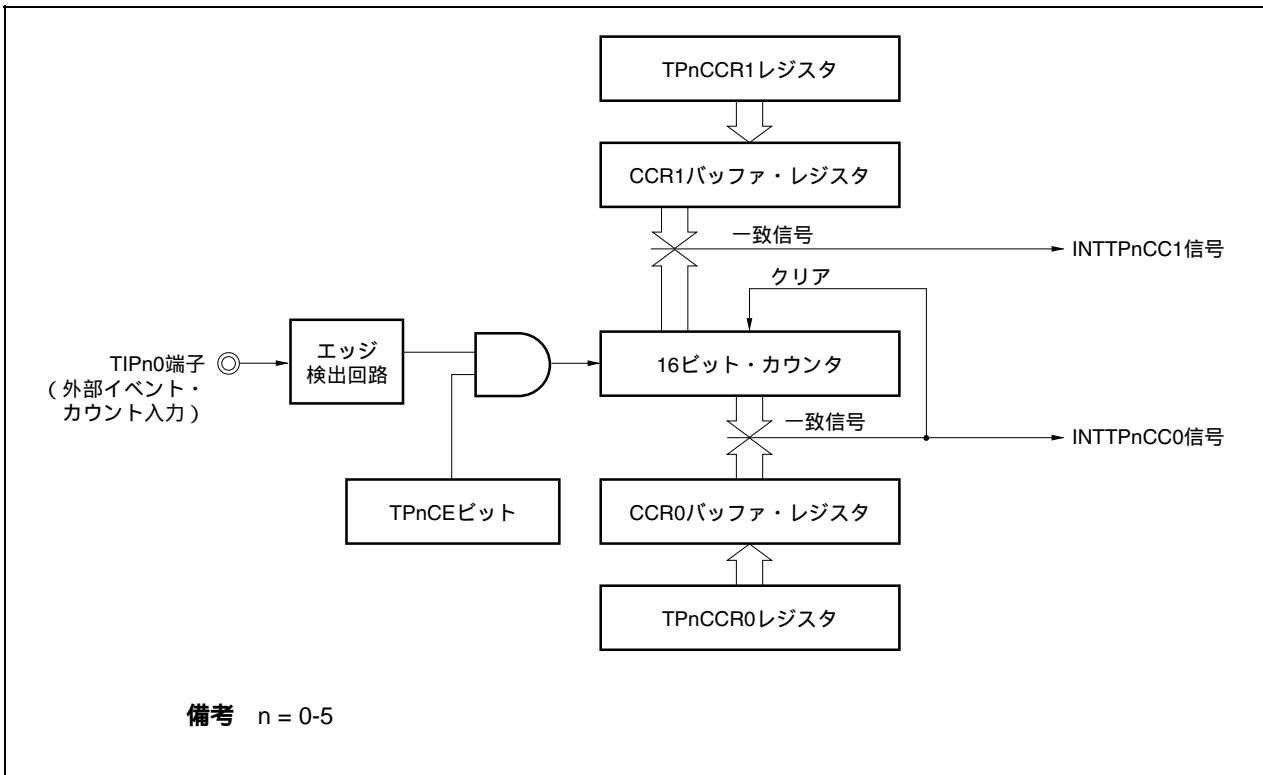
カウント値がD<sub>2</sub>よりも大きくD<sub>1</sub>よりも小さい状態において、TPnCCR0レジスタをD<sub>1</sub>からD<sub>2</sub>に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD<sub>2</sub>となります。

しかし、カウント値はすでにD<sub>2</sub>を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D<sub>2</sub>との一致でINTTPnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D<sub>1</sub> + 1)回」または「(D<sub>2</sub> + 1)回」の有効エッジ数でINTTPnCC0信号は発生せずに、「(10000H + D<sub>2</sub> + 1)回」の有効エッジ数でINTTPnCC0信号が発生する場合があります。

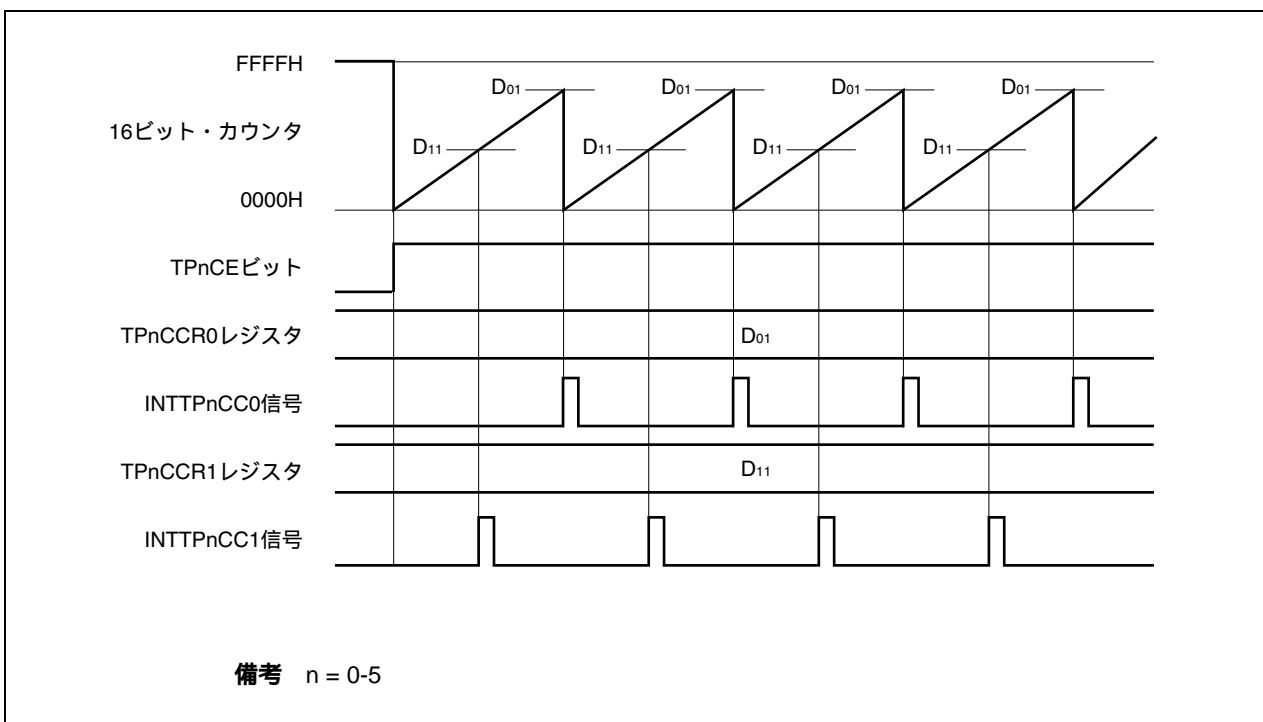
(c) TPnCCR1レジスタの動作

図7 - 16 TPnCCR1レジスタの構成図



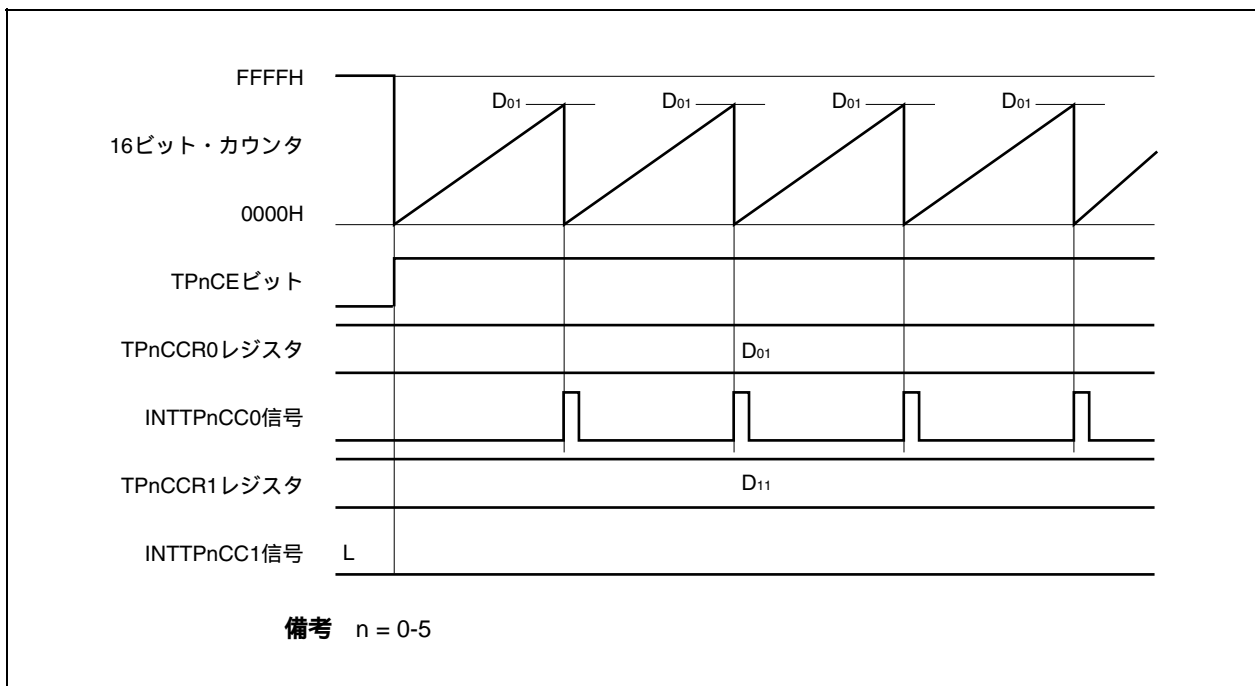
TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。

図7 - 17 D<sub>01</sub> D<sub>11</sub>の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図7 - 18 D<sub>01</sub> < D<sub>11</sub>の場合のタイミング図



### 7.6.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)

外部トリガ・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力 (TIPn0) の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。

図7 - 19 外部トリガ・パルス出力モードの構成図

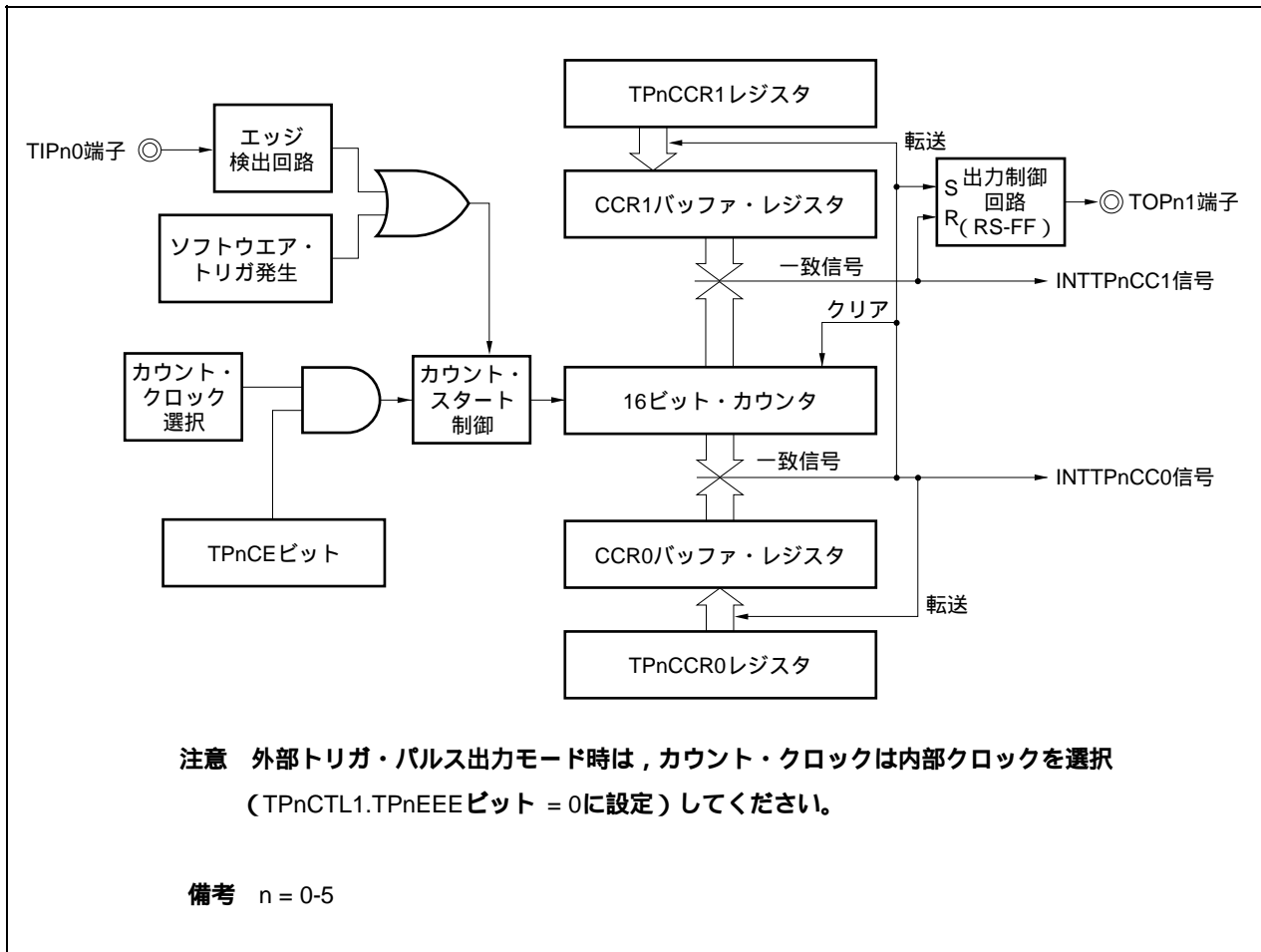
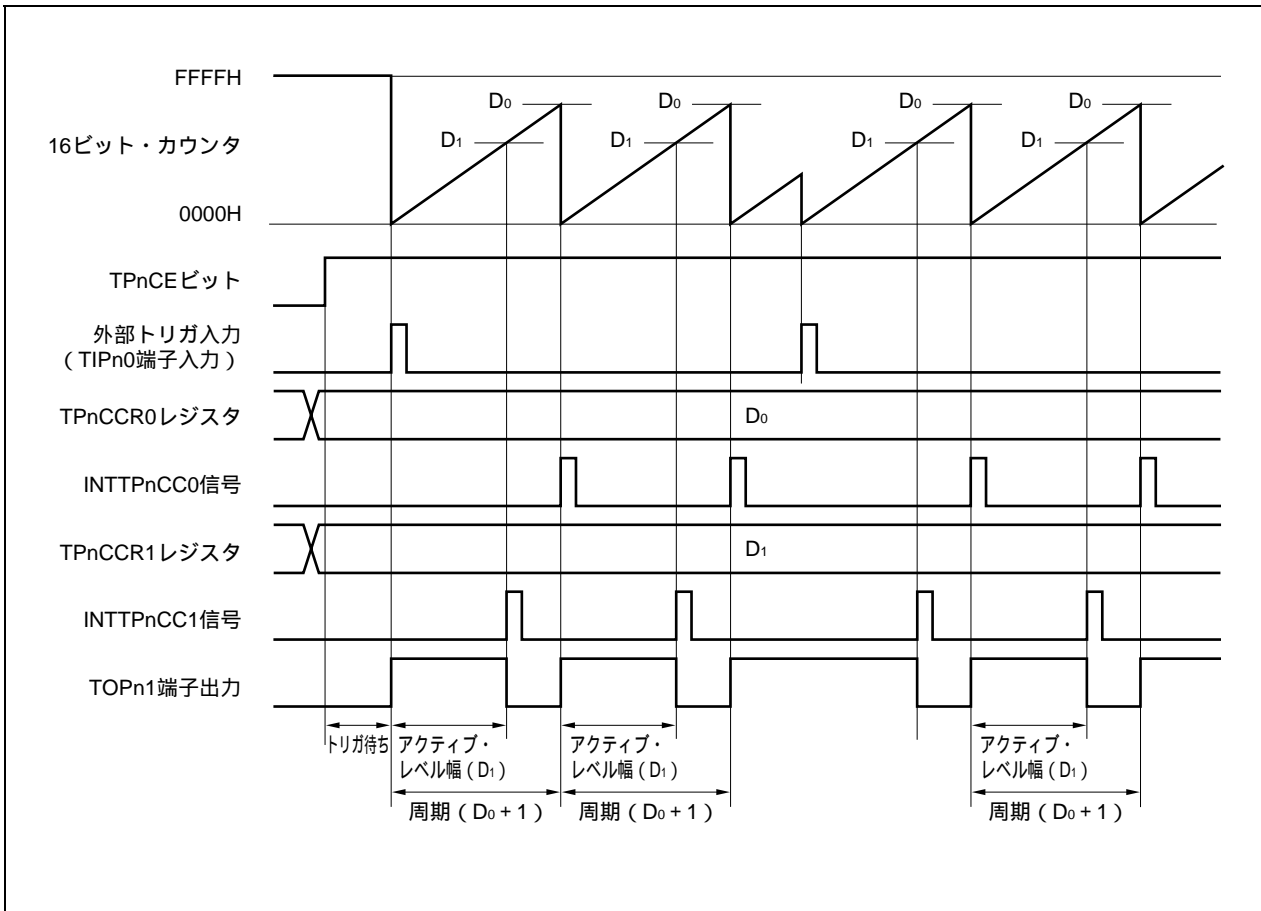




図7-20 外部トリガ・パルス出力モードの基本タイミング



TPnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPn1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOPn1端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

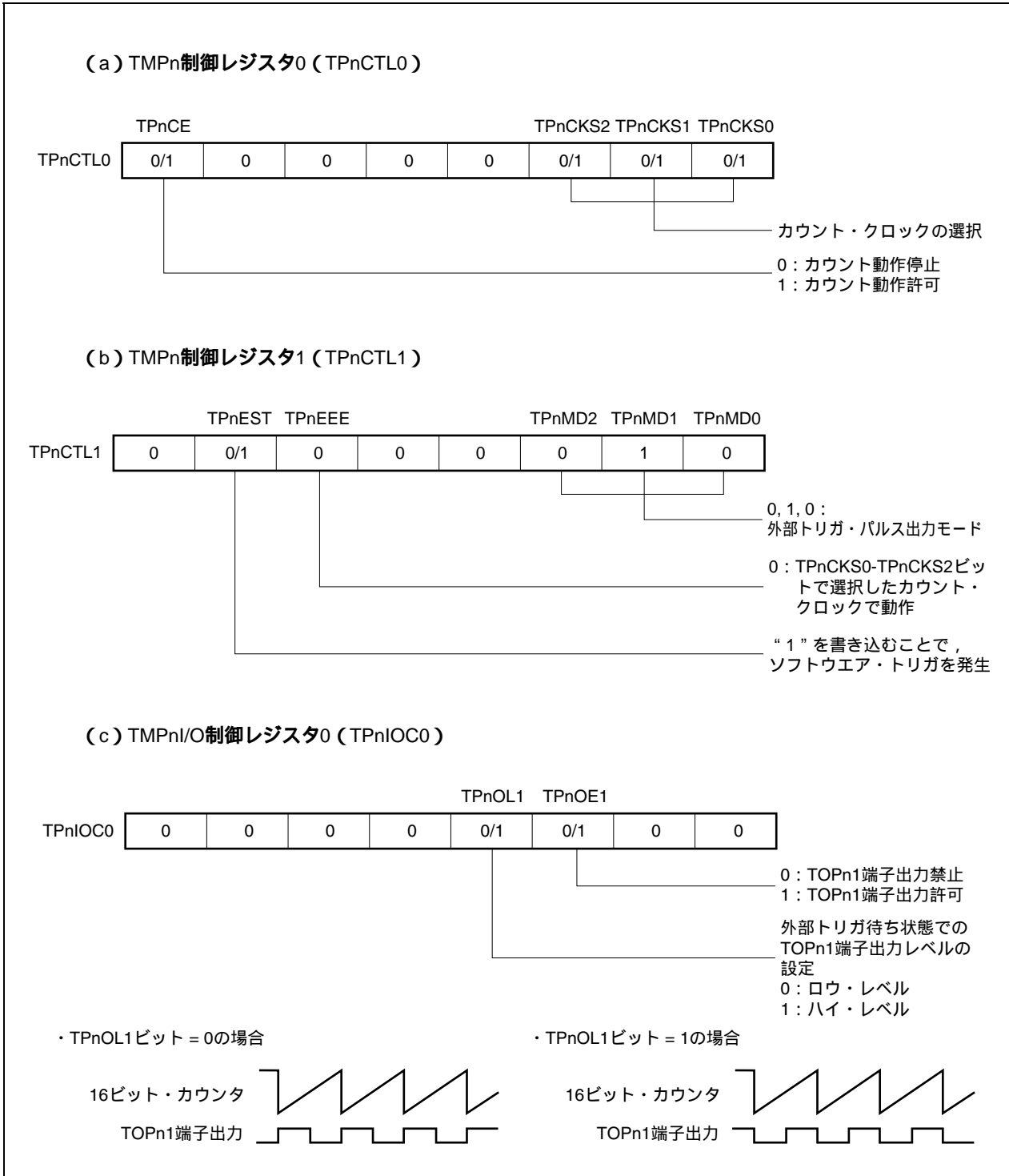
コンペアー一致割り込み要求信号(INTTPnCC0)は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号(INTTPnCC1)は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRmレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力(TIPn0)の有効エッジ、またはソフトウェア・トリガ(TPnCTL1.TPnESTビット)のセット(1)があります。

備考 n = 0-5,  
m = 0, 1

図7 - 21 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)





(1) 外部トリガ・パルス出力モード動作フロー

図7-22 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

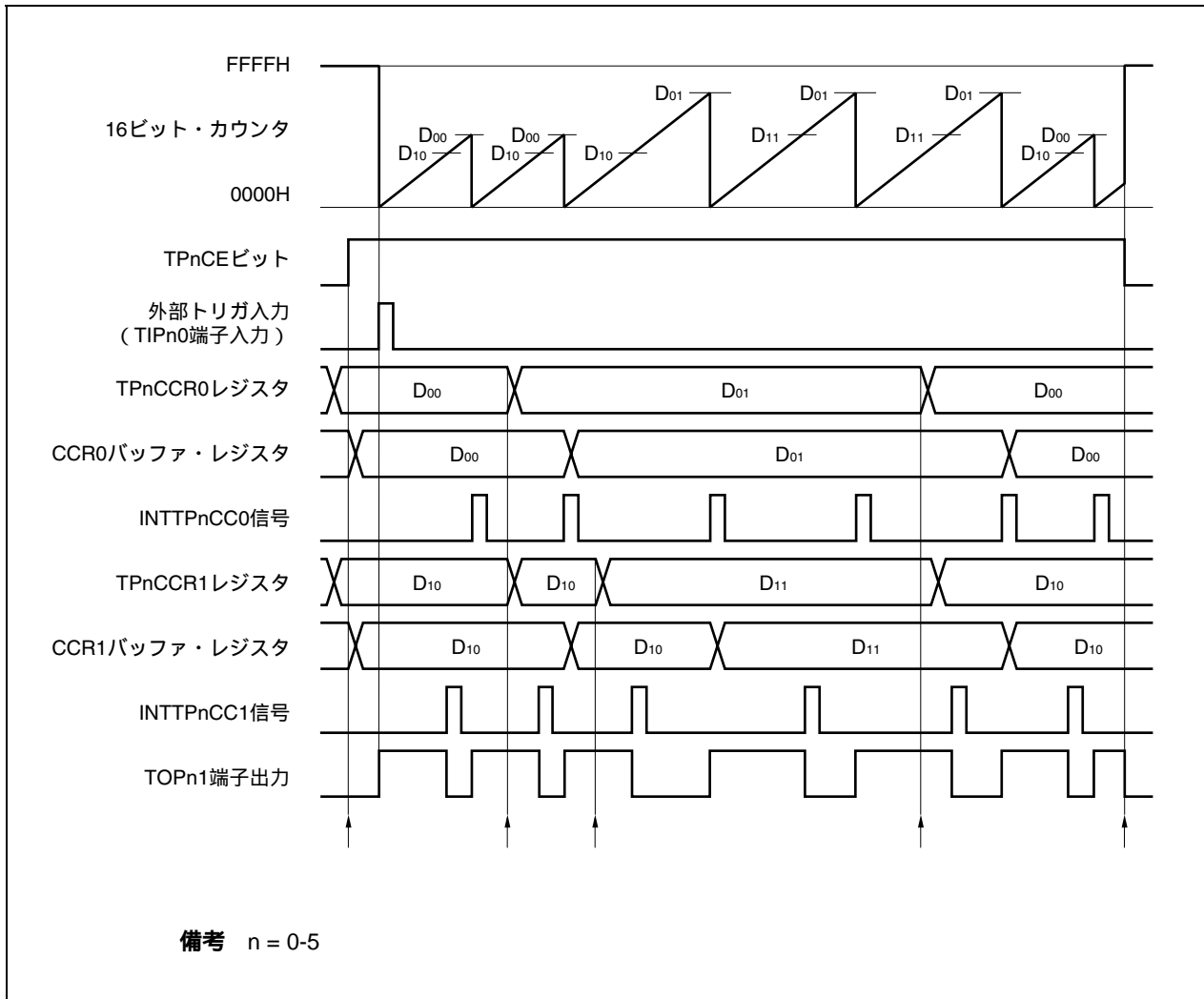
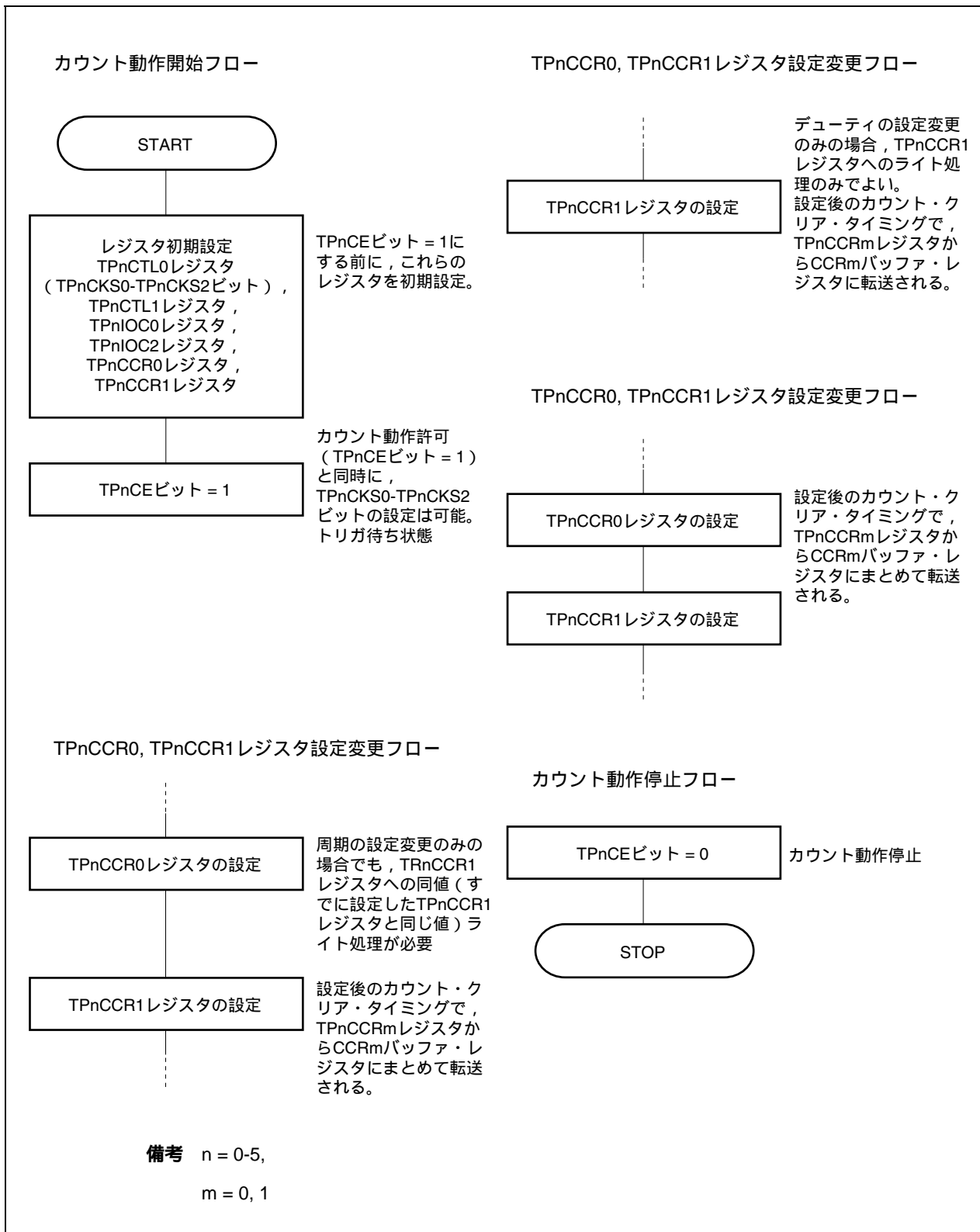


図7 - 22 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

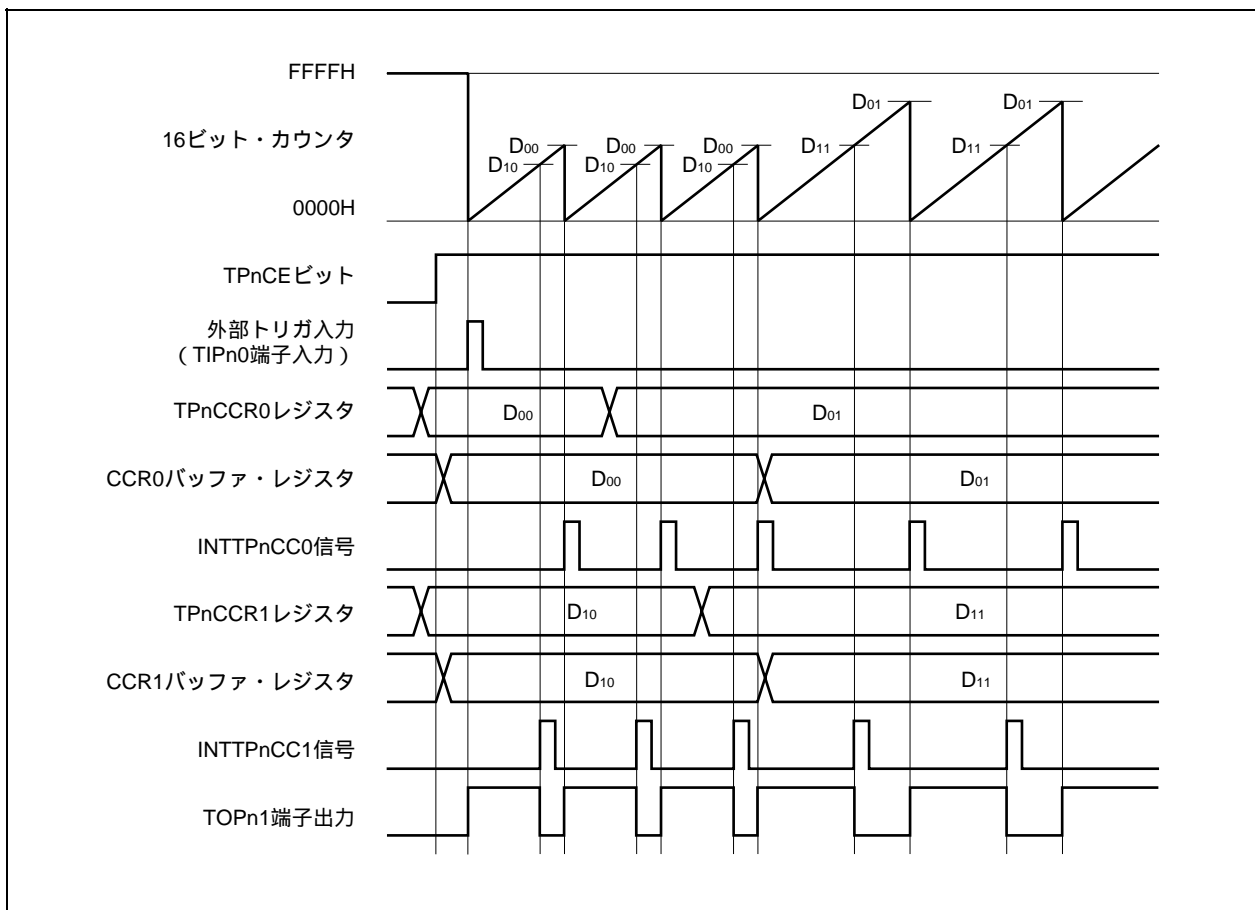


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。



TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値（すでに設定したTPnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

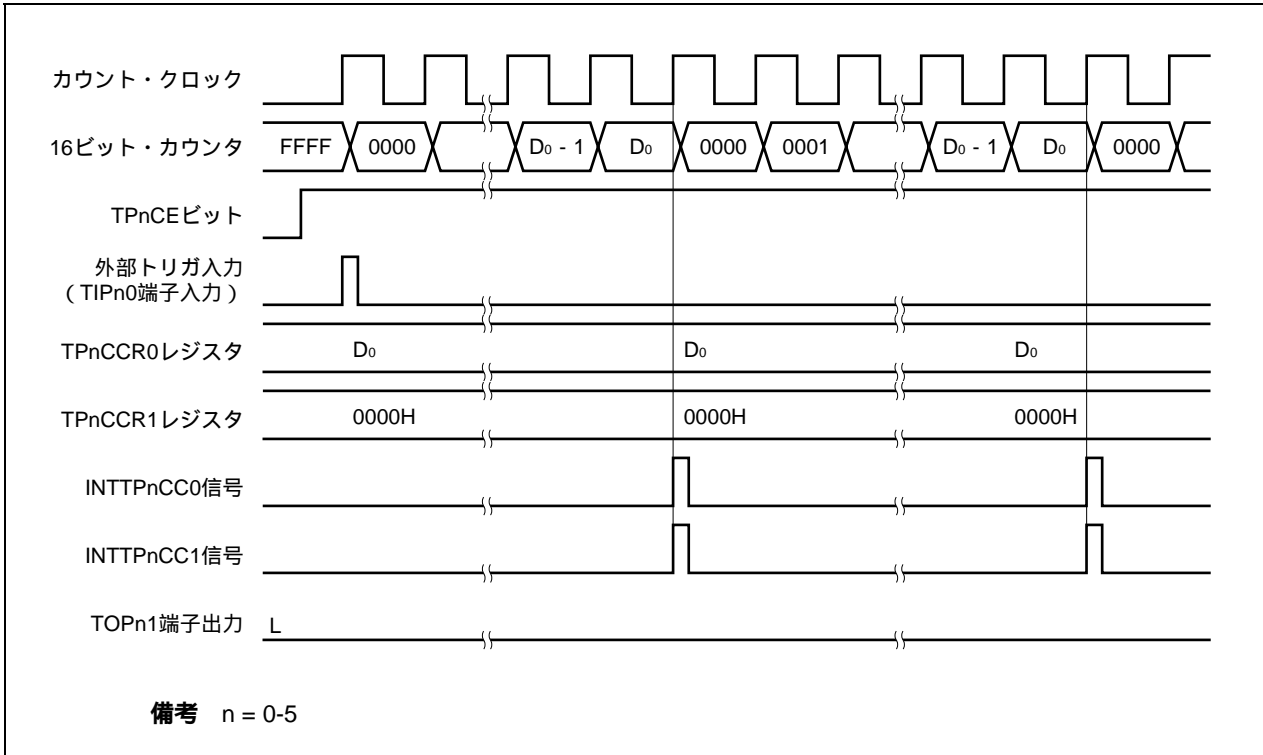
また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TPnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

**備考** n = 0-5,

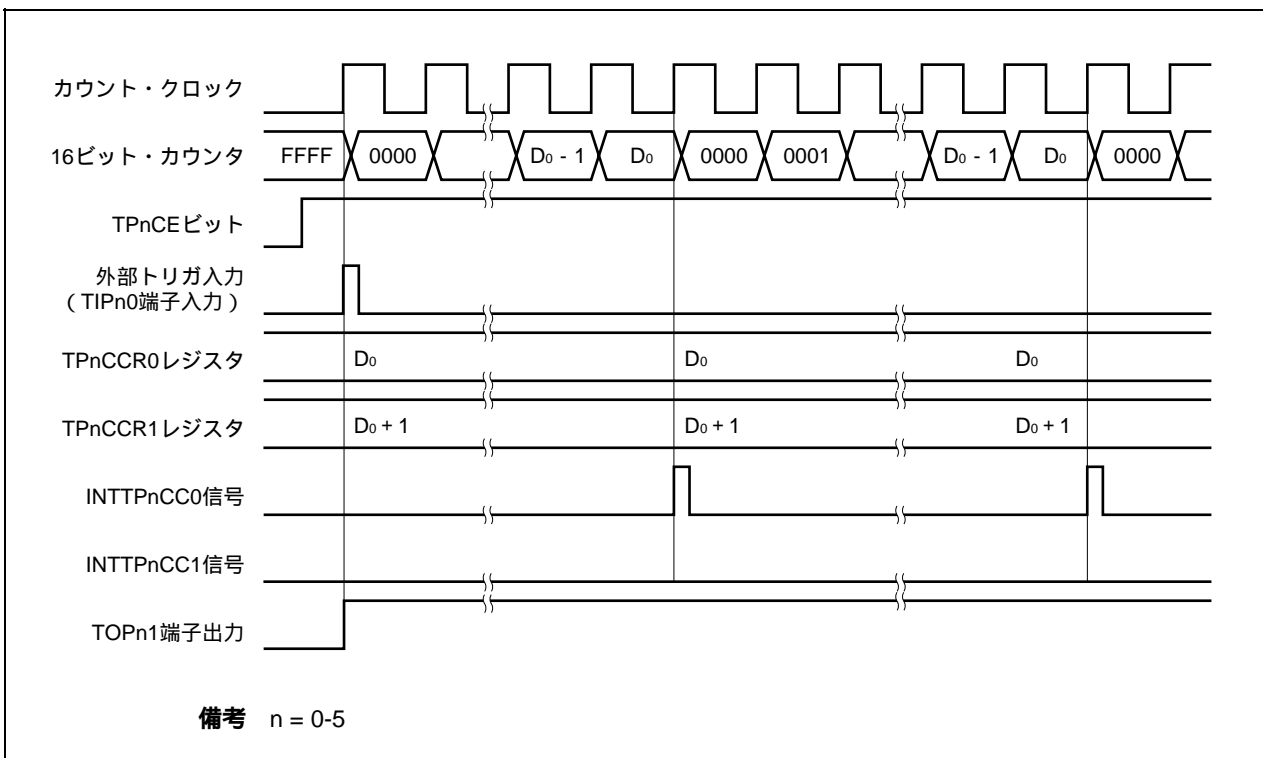
m = 0, 1

(b) PWM波形の0 % / 100 %出力

0 %波形を出力するためには、TPnCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTPnCC0信号とINTTPnCC1信号が発生します。



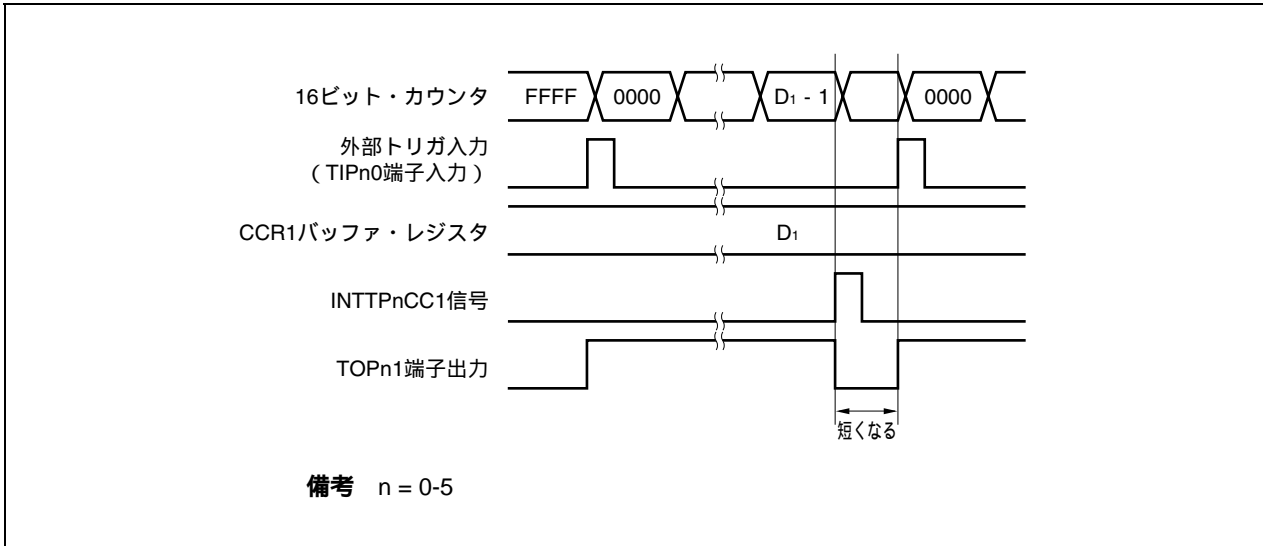
100 %波形を出力するためには、TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



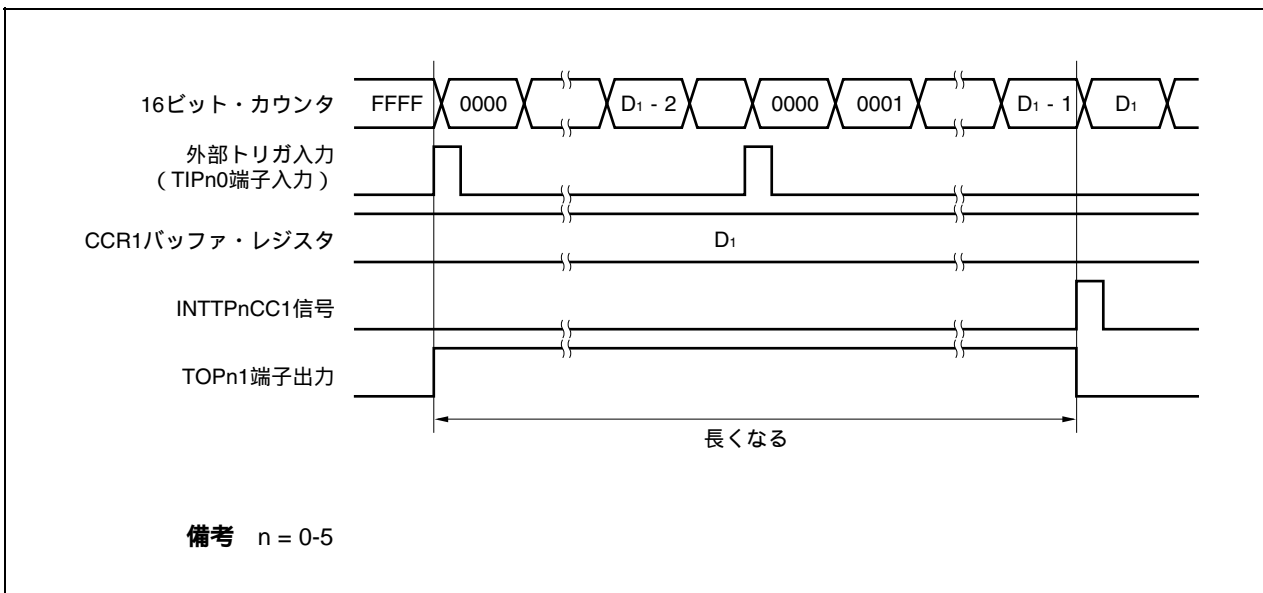


(c) トリガ検出とCCR1バッファ・レジスタとの一致の競合

INTTPnCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

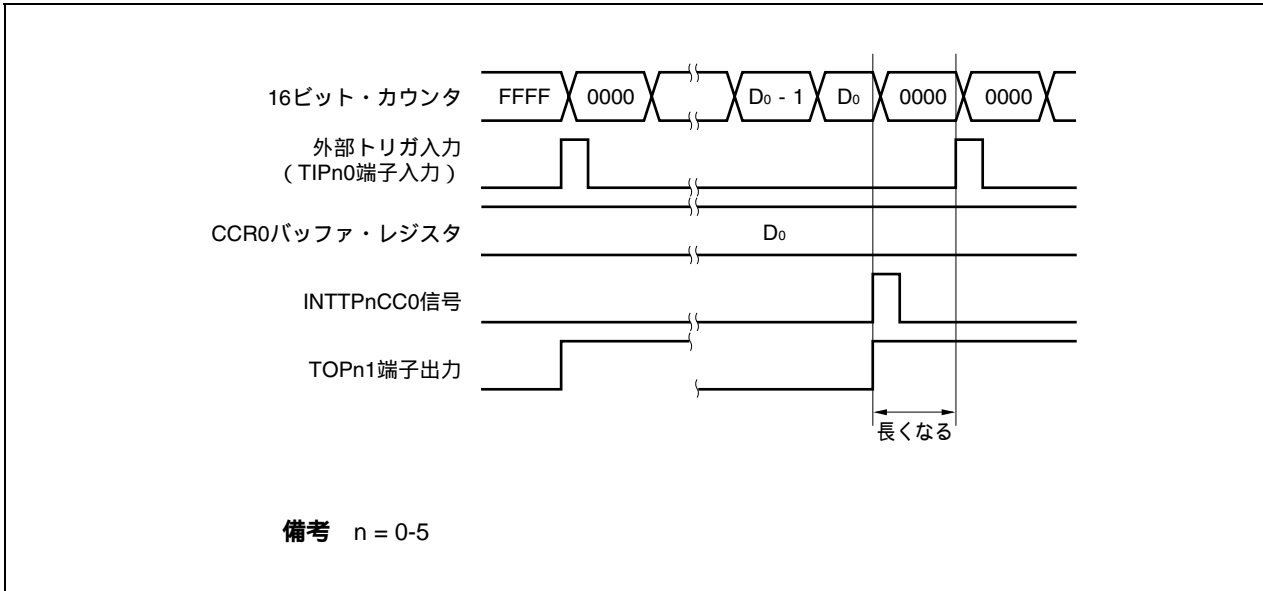


INTTPnCC1信号発生直前にトリガを検出した場合には、INTTPnCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOPn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

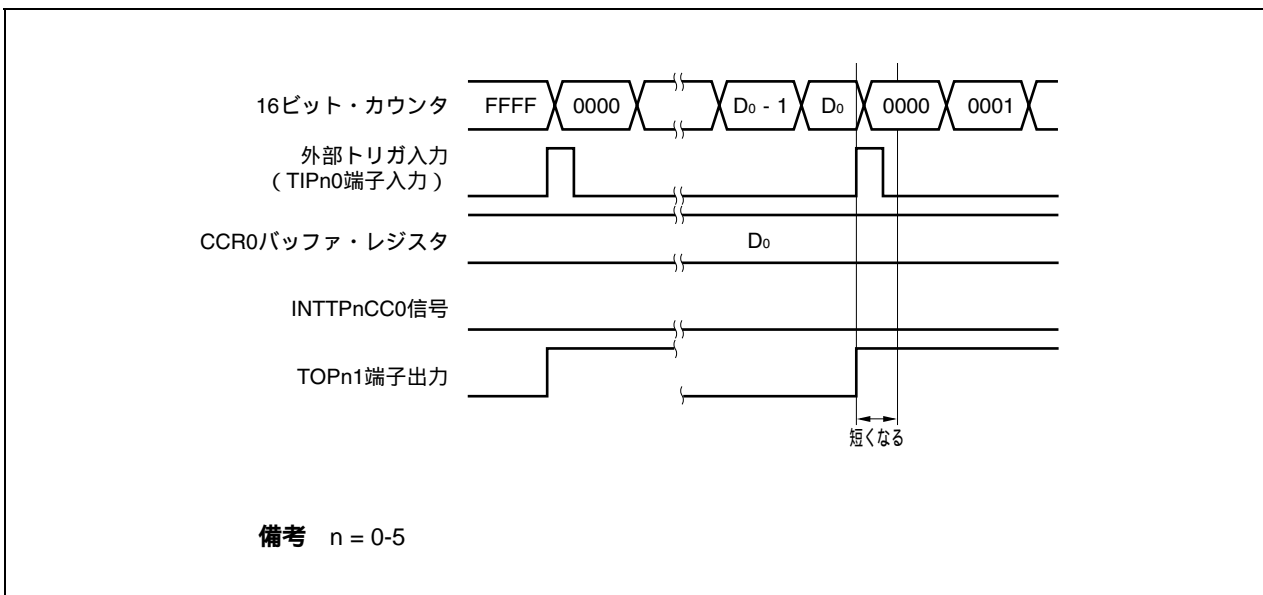


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTPnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOPn1端子出力のアクティブ期間が、INTTPnCC0信号発生からトリガ検出までの分だけ長くなります。

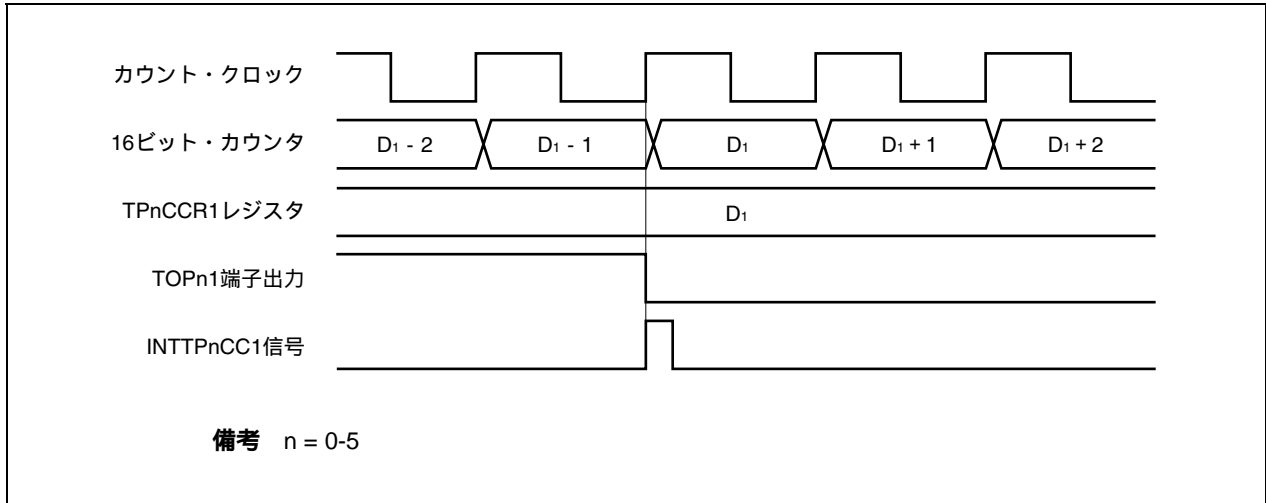


INTTPnCC0信号発生直前にトリガを検出した場合、INTTPnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



## (e) コンパレー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 7.6.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011)

ワンショット・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力(TIPn0)の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からワンショット・パルスを出力します。

外部トリガ入力(TIPn0)の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。

図7-23 ワンショット・パルス出力モードの構成図

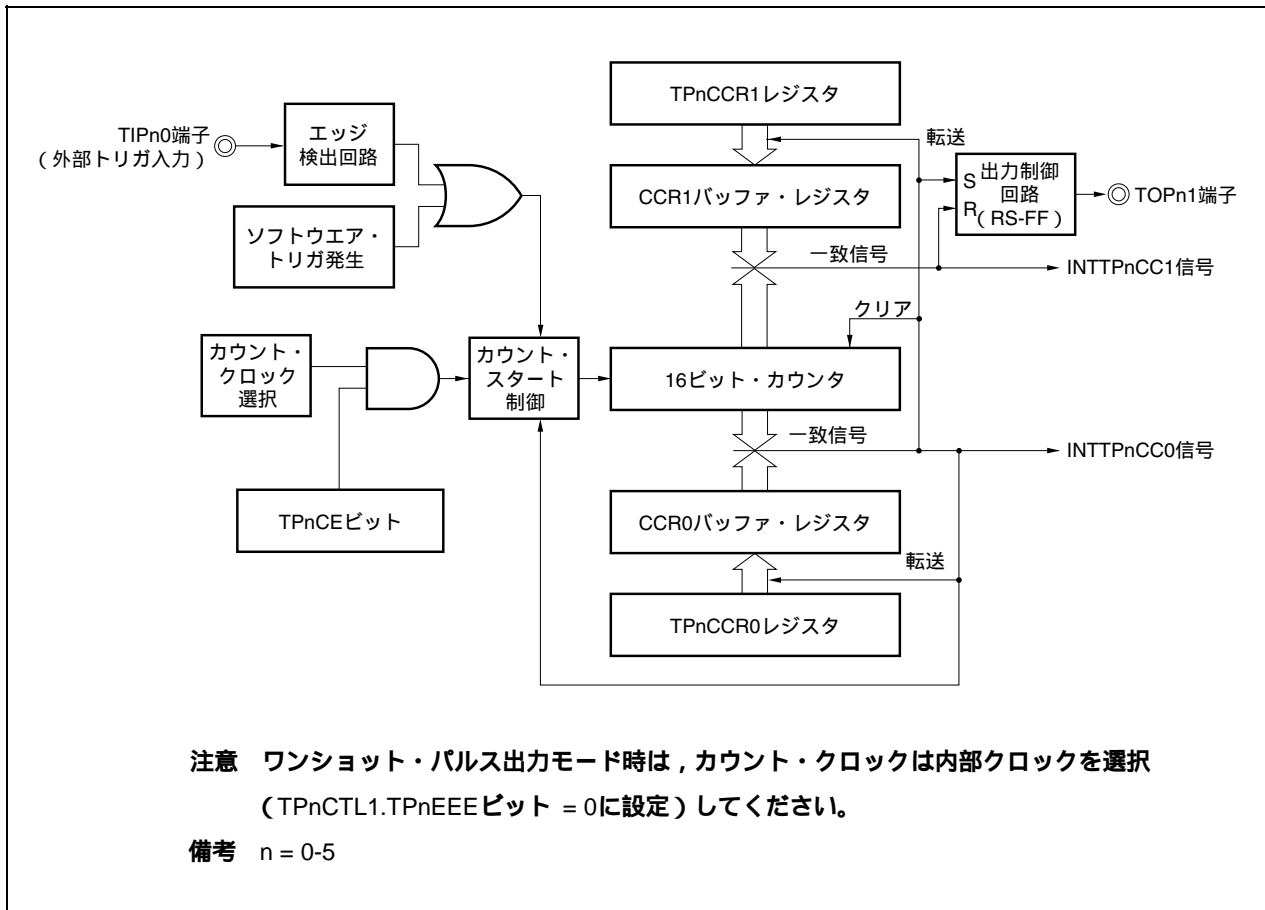
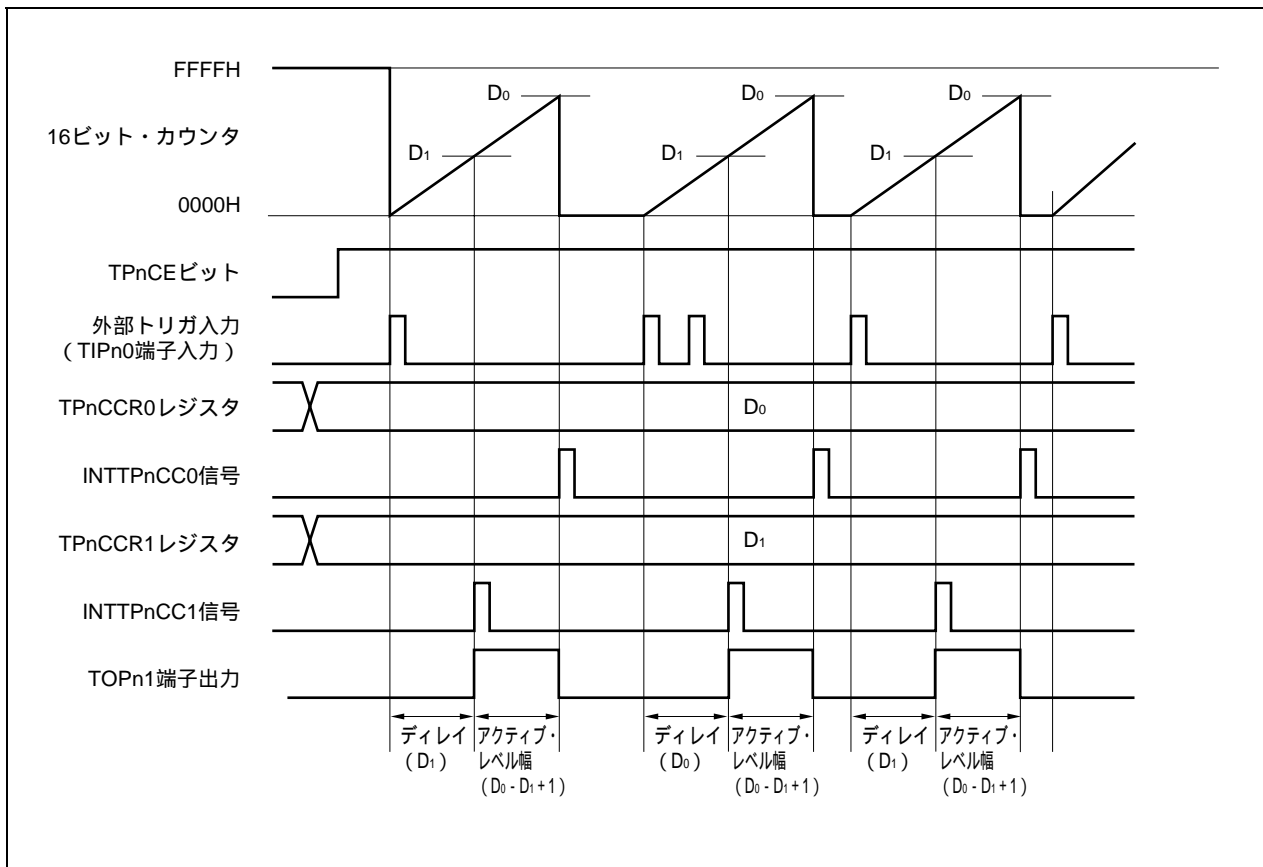


図7-24 ワンショット・パルス出力モードの基本タイミング



TPnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPn1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタをFFFFHにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hからカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TPnCCR0レジスタの設定値} - \text{TPnCCR1レジスタの設定値} + 1) \\ \times \text{カウント・クロック周期}$$

コンパレー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンパレー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力 (TIPn0端子) の有効エッジ、またはソフトウェア・トリガ (TPnCTL1.TPnESTビット) のセット(1)があります。

**備考** n = 0-5

図7-25 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

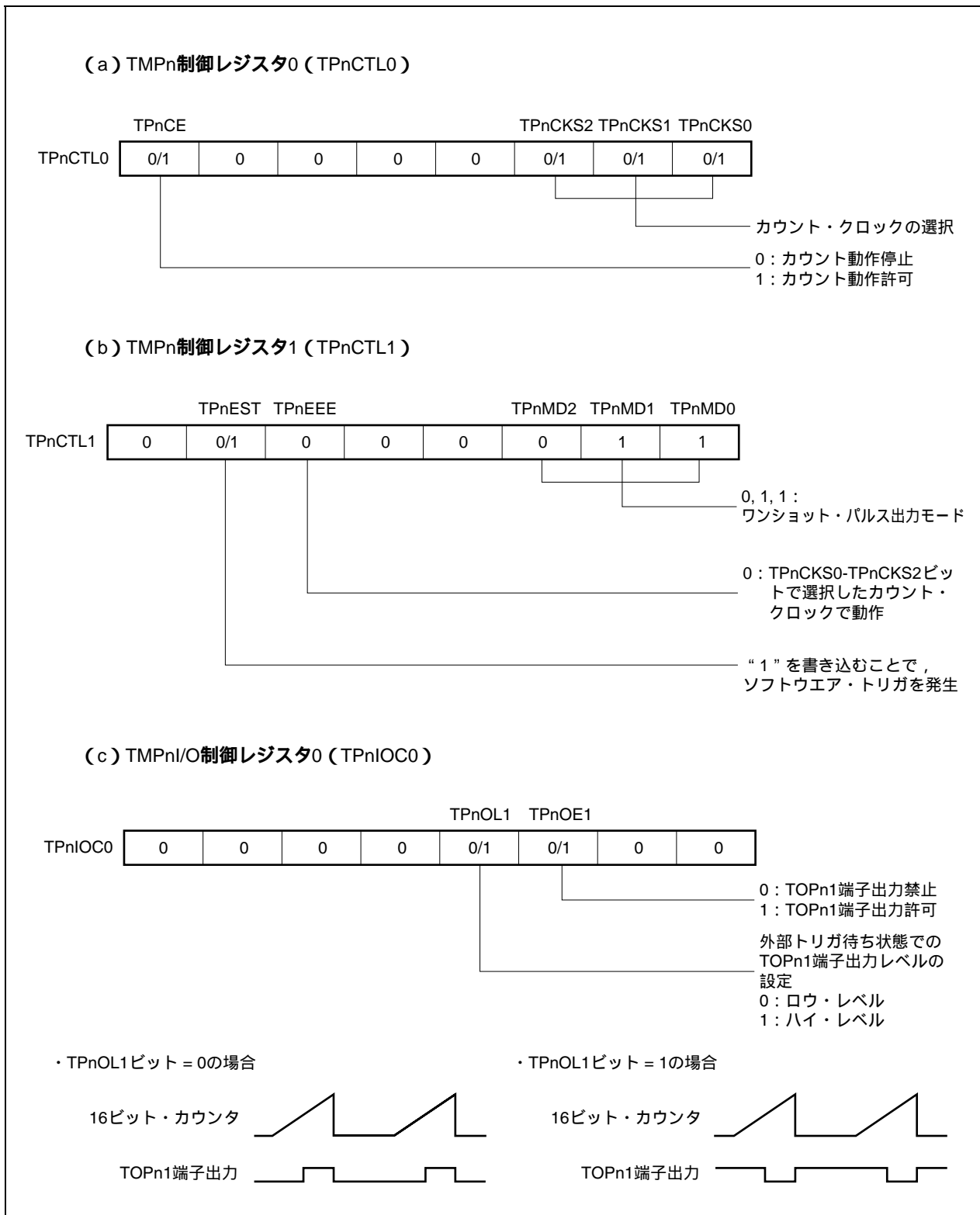
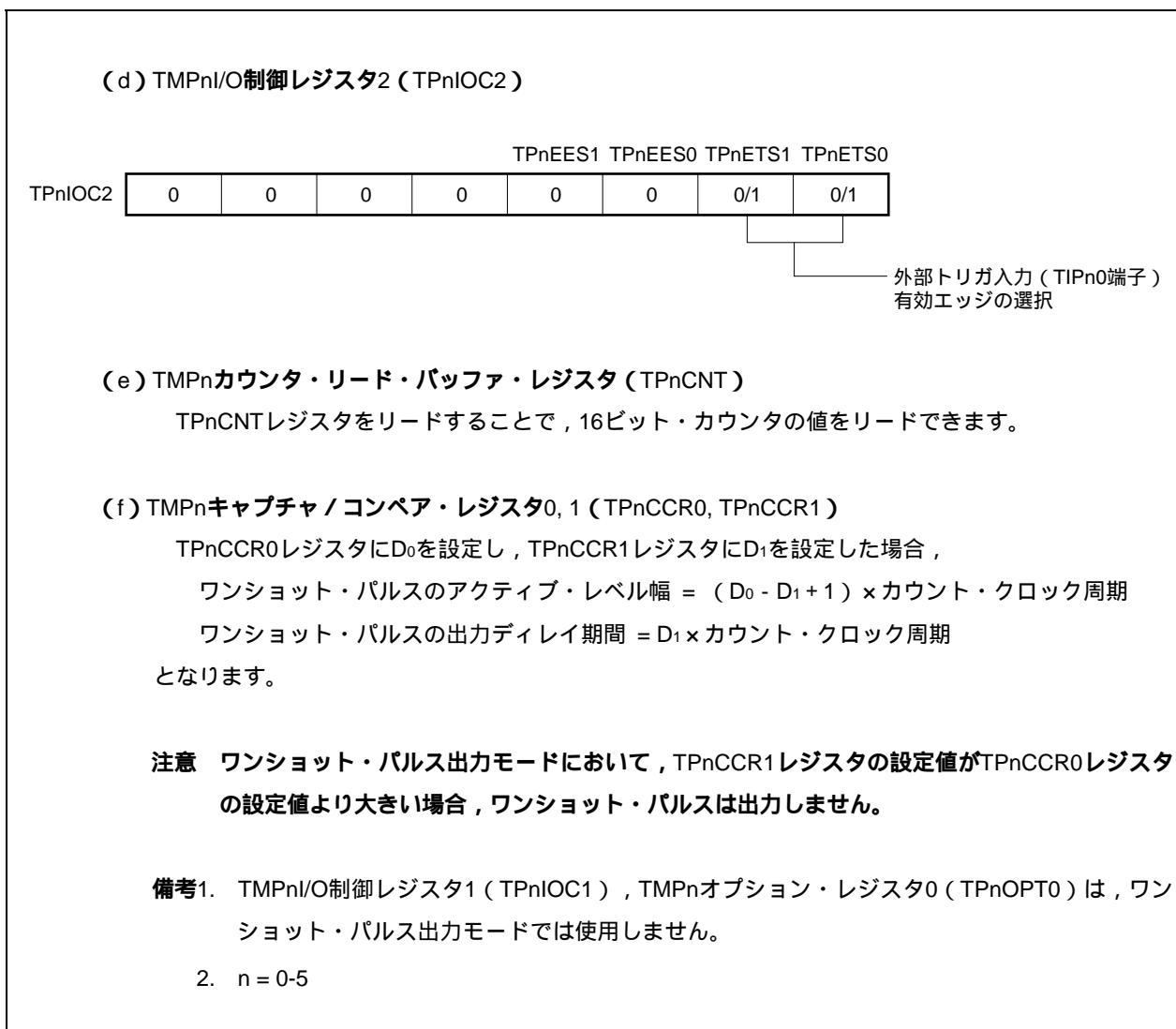
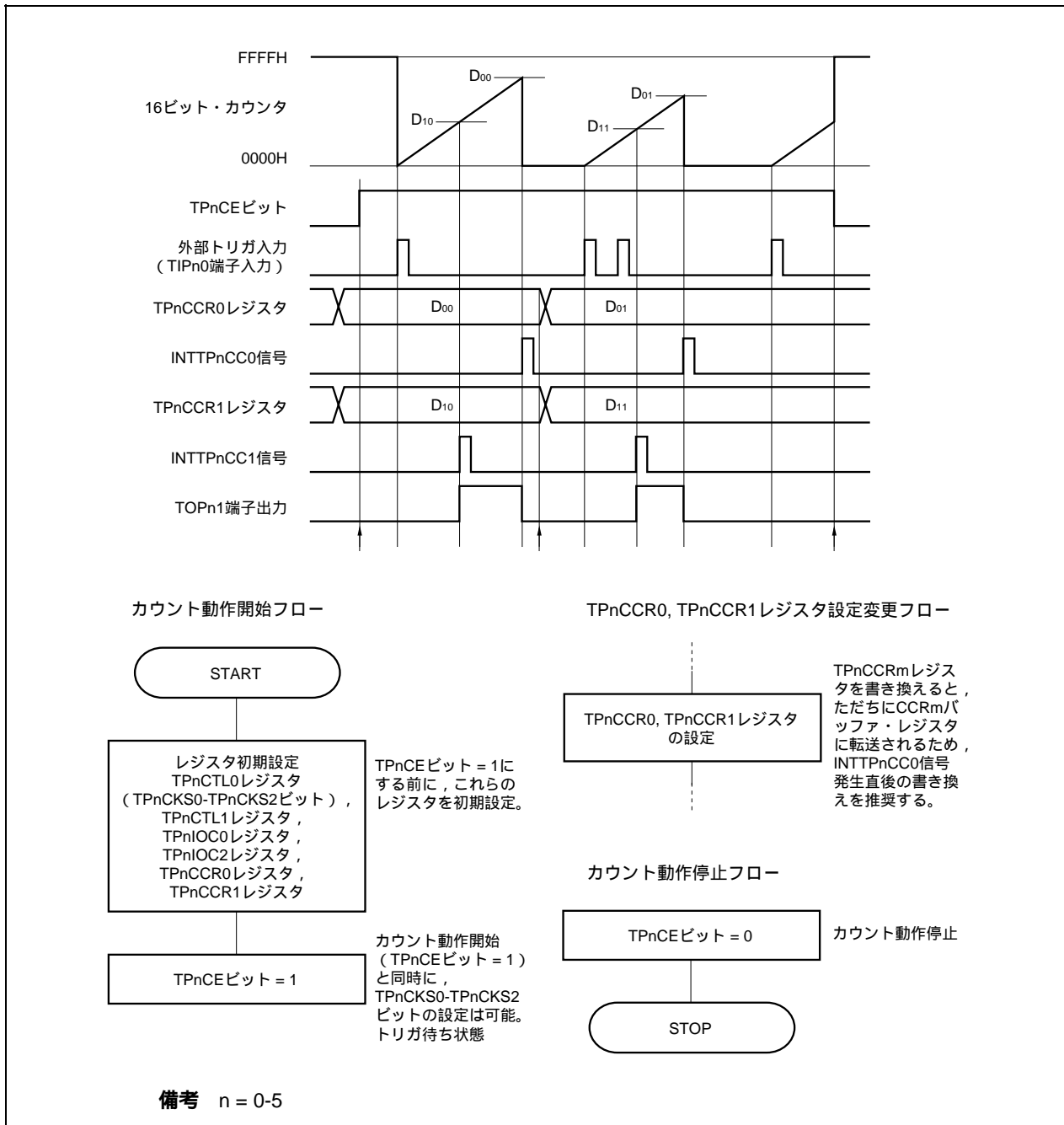


図7 - 25 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) ワンショット・パルス出力モード動作フロー

図7-26 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

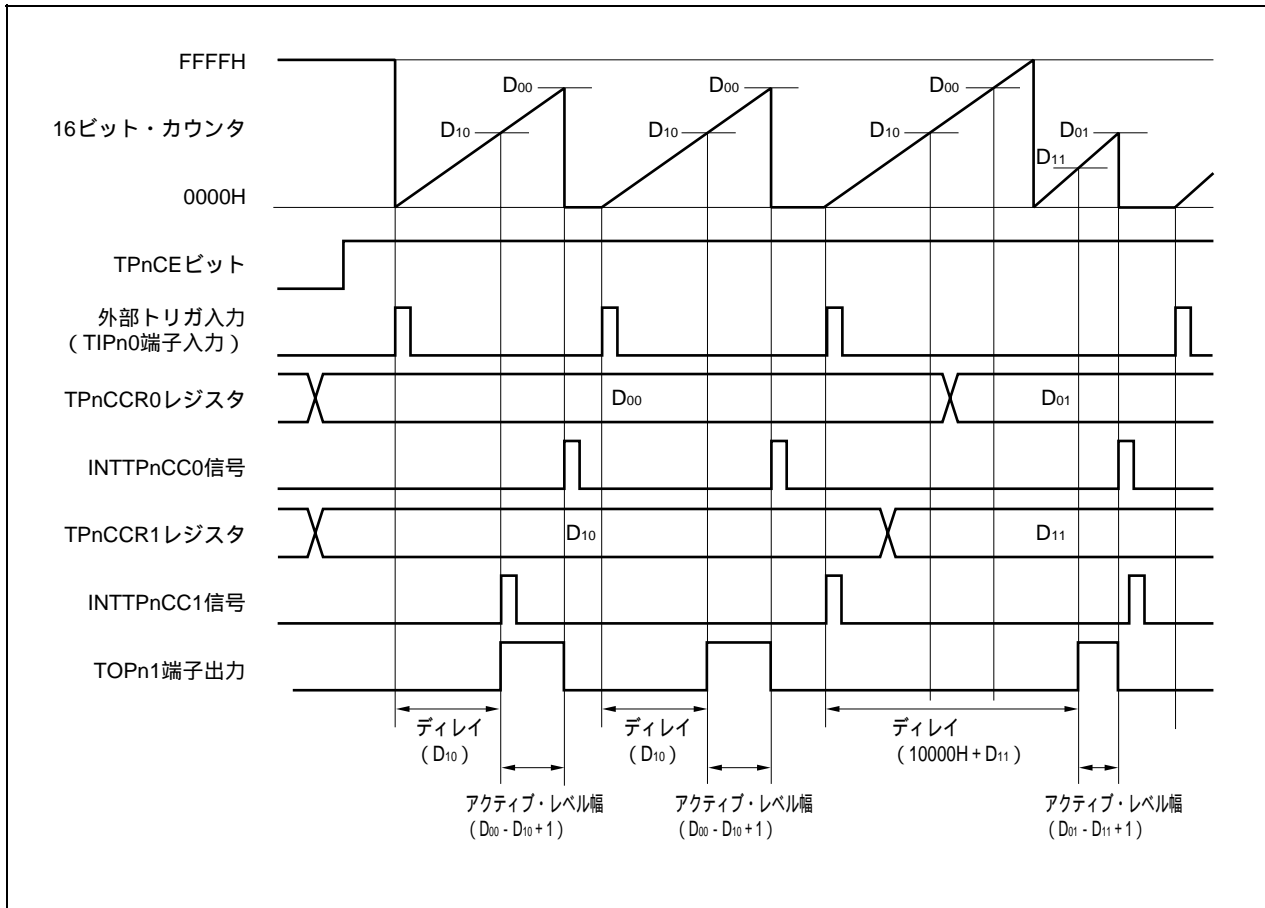




## (2) ワンショット・パルス出力モード動作タイミング

## (a) TPnCCRmレジスタの書き換えに関する注意事項

カウント動作中にTPnCCRmレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



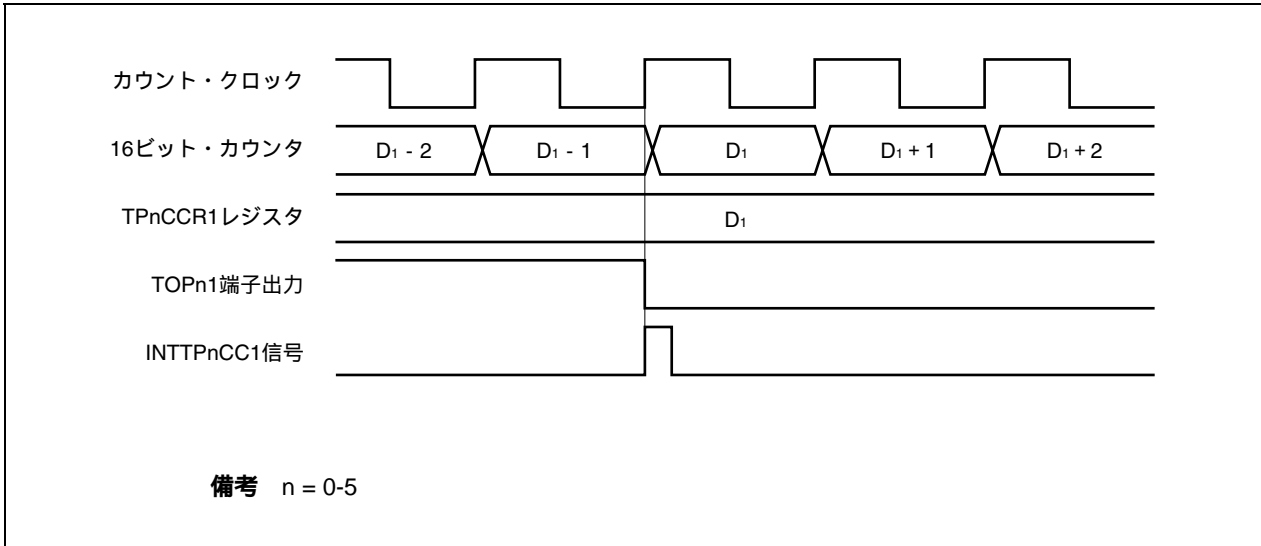
TPnCCR0レジスタをD00からD01に、TPnCCR1レジスタをD10からD11に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{10} > D_{11}$ の状態では、16ビット・カウンタのカウンタ値がD11よりも大きくD10よりも小さい状態のときTPnCCR1レジスタを書き換え、カウンタ値がD01よりも大きくD00よりも小さい状態でTPnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D11との一致でINTTPnCC1信号を発生してTOPn1端子出力をアクティブ・レベルにし、D01との一致でINTTPnCC0信号を発生してTOPn1端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

**備考** n = 0-5,  
m = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 n = 0-5

### 7.6.5 PWM出力モード (TPnMD2-TPnMD0ビット = 100)

PWM出力モードは、TPnCTL0.TPnCEビットをセット(1)することで、TOPn1端子からPWM波形を出力します。

図7-27 PWM出力モードの構成図

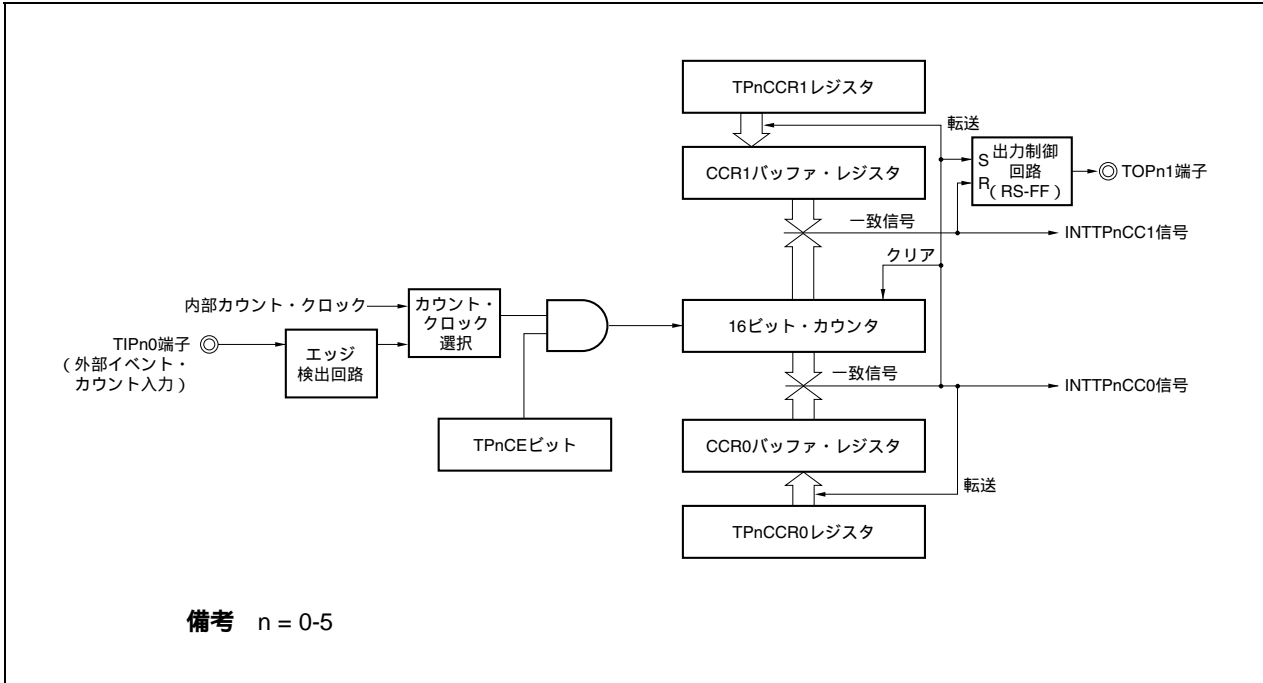
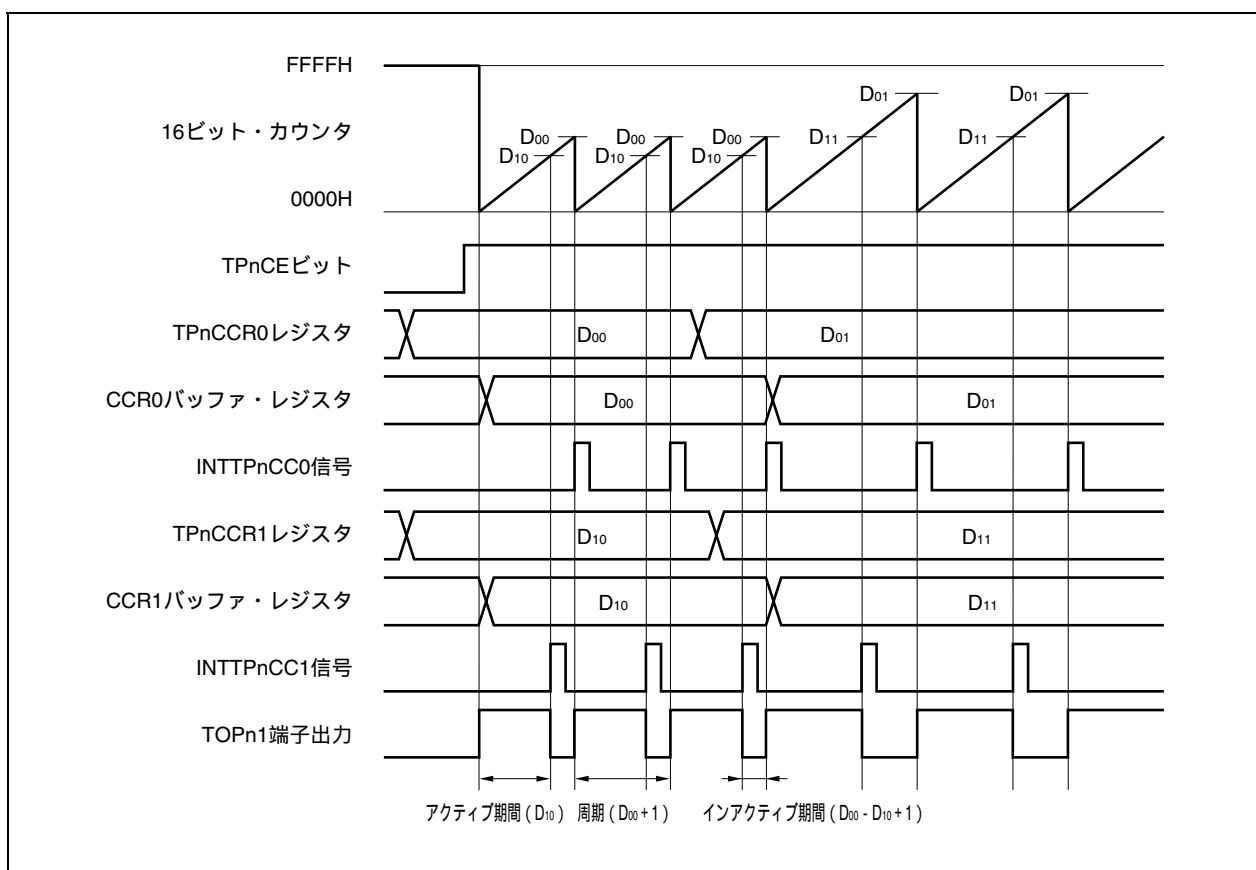


図7-28 PWM出力モードの基本タイミング



TPnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

動作中にTPnCCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンパレー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

**備考** n = 0-5,

m = 0, 1

図7 - 29 PWM出力モード動作時のレジスタ設定内容 (1/2)

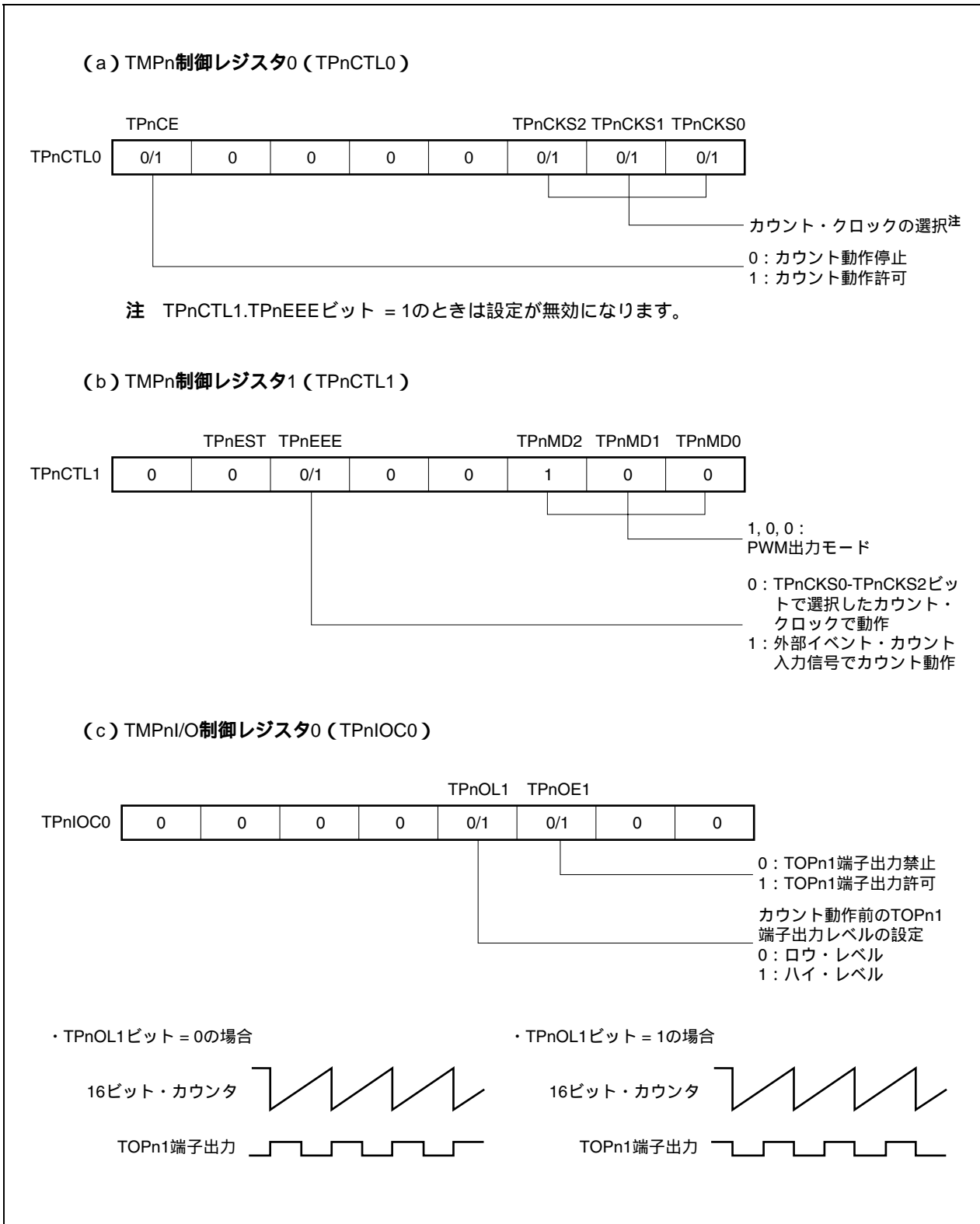
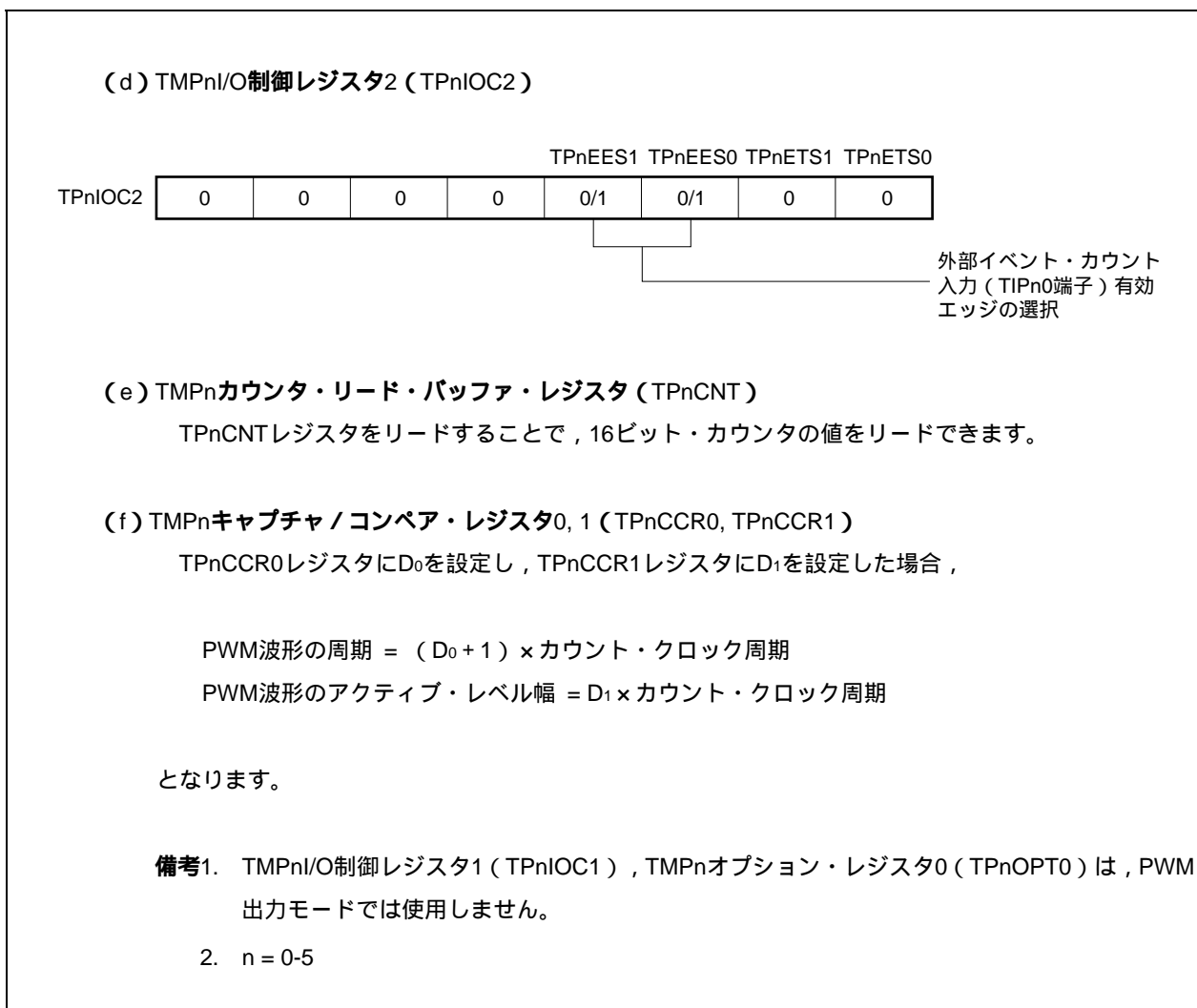


図7 - 29 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図7 - 30 PWM出力モード使用時のソフトウェア処理フロー (1/2)

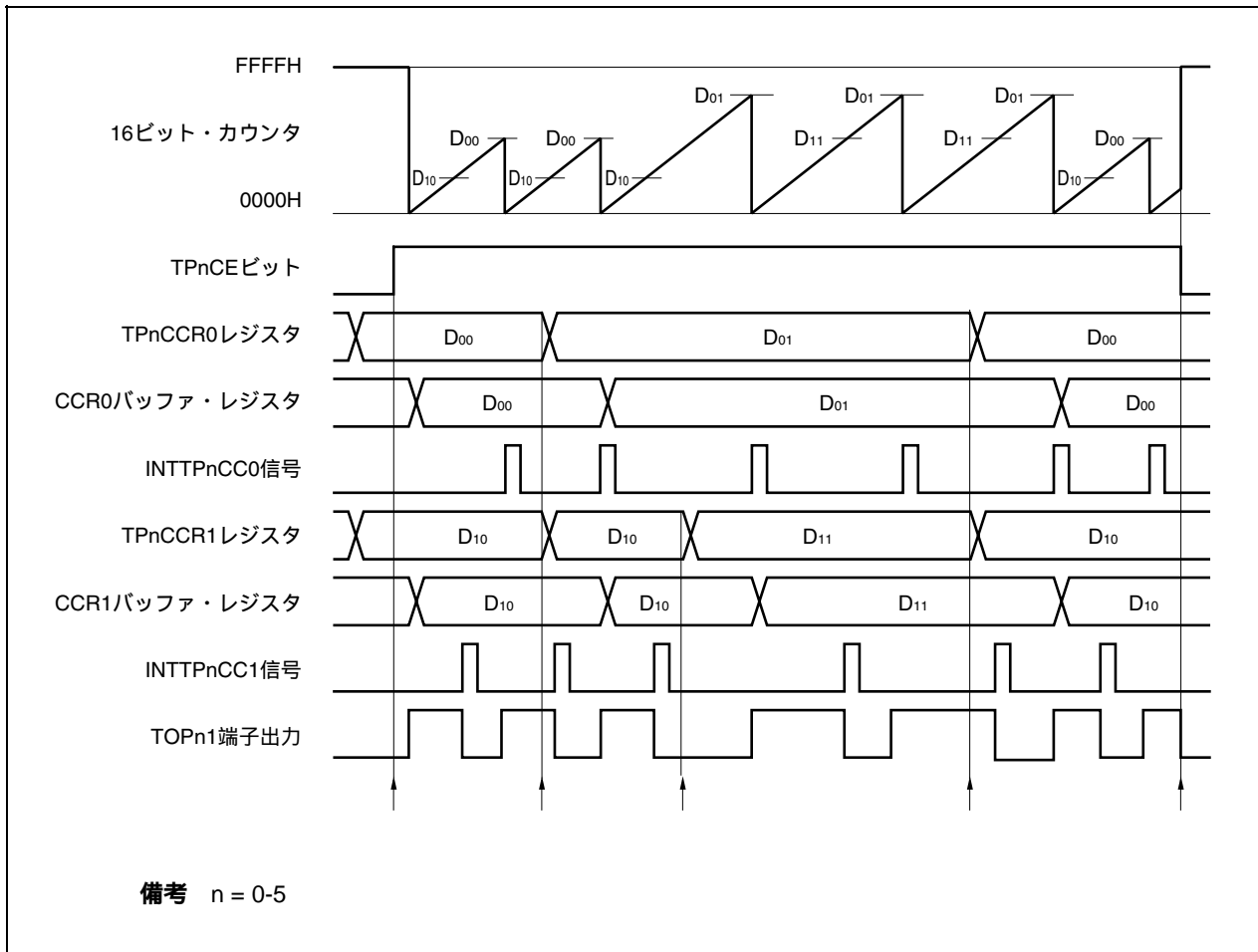
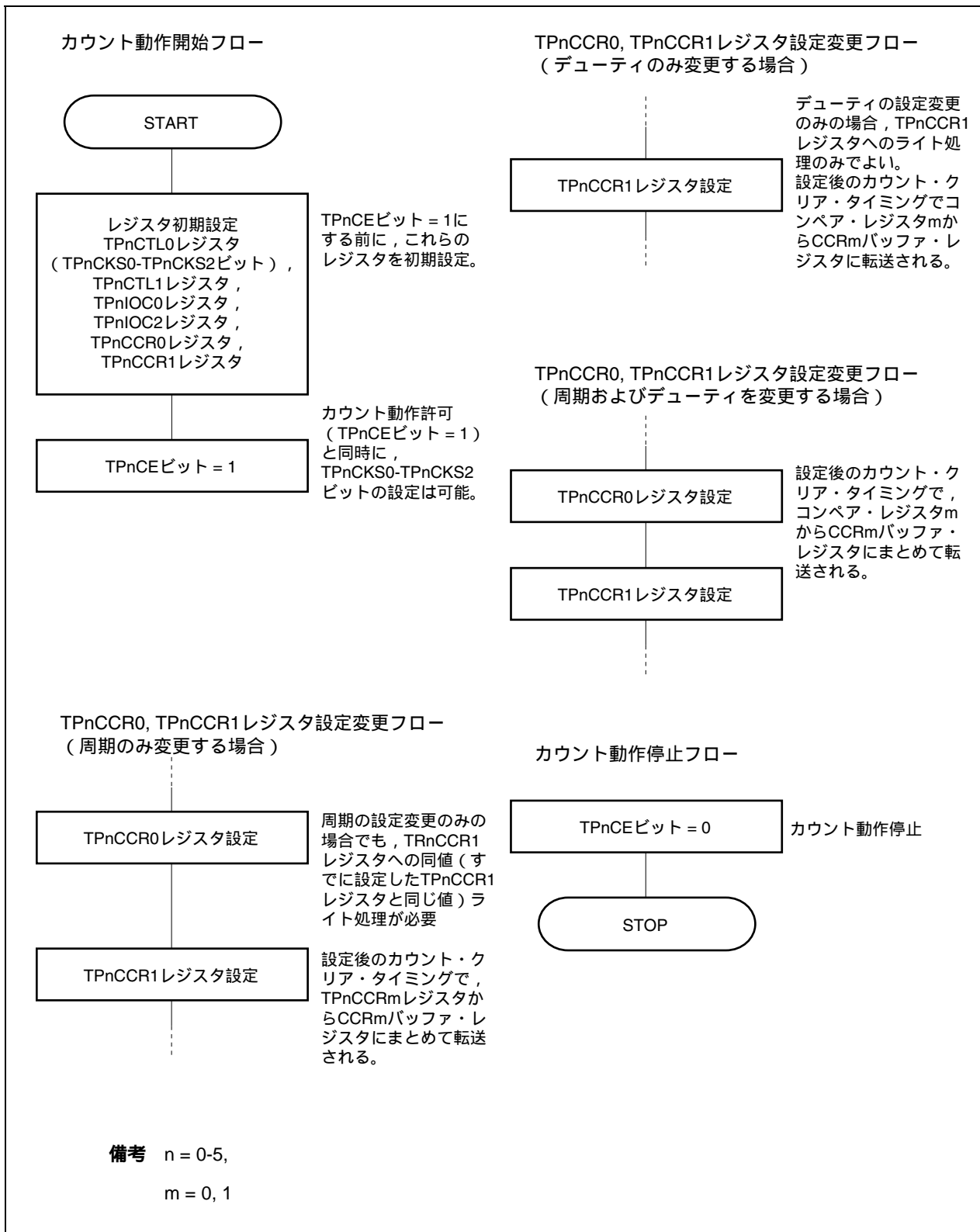


図7 - 30 PWM出力モード使用時のソフトウェア処理フロー (2/2)



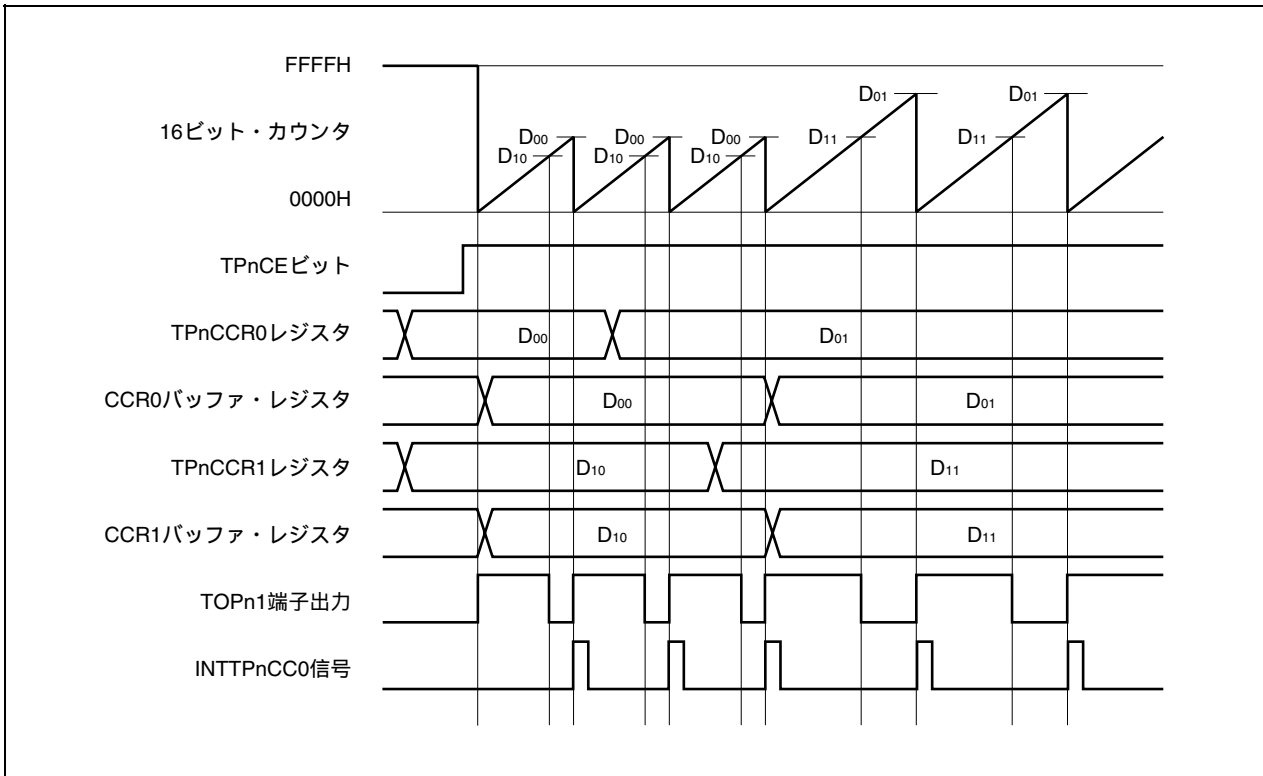


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC1信号を検出後に書き換えてください。



TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値（すでに設定したTPnCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

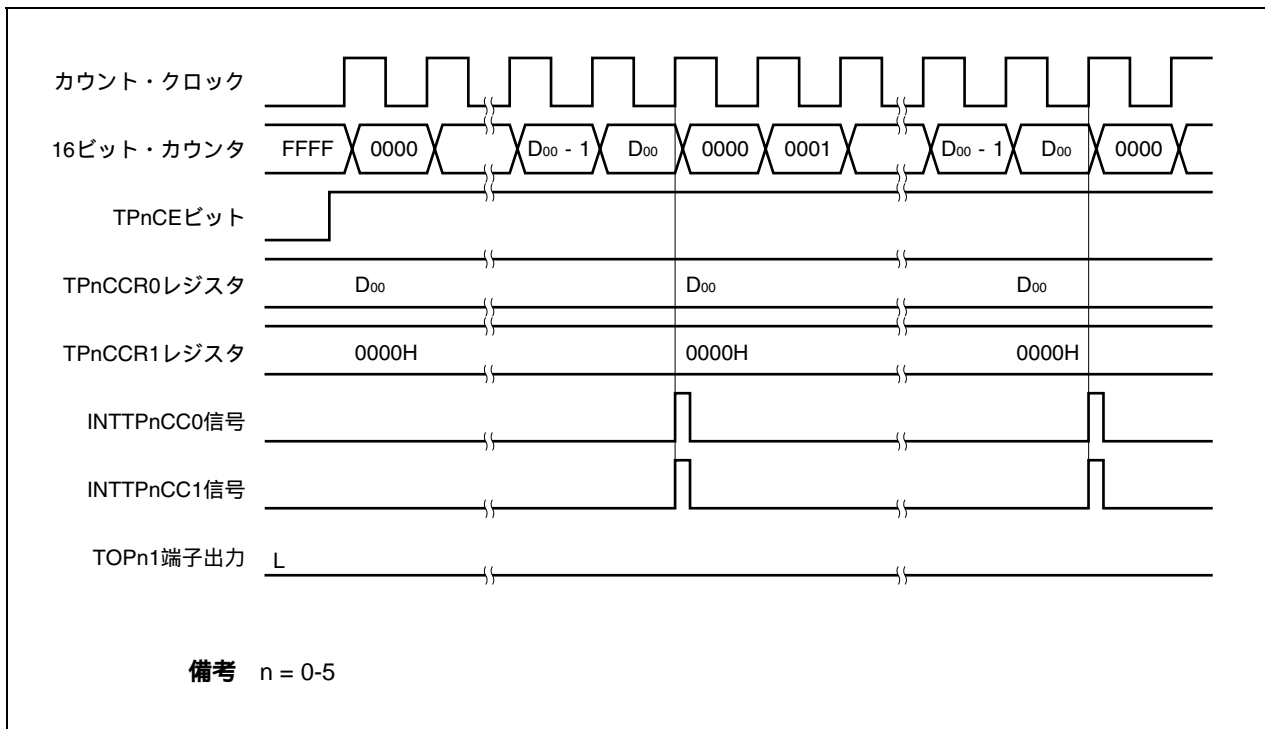
TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TPnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

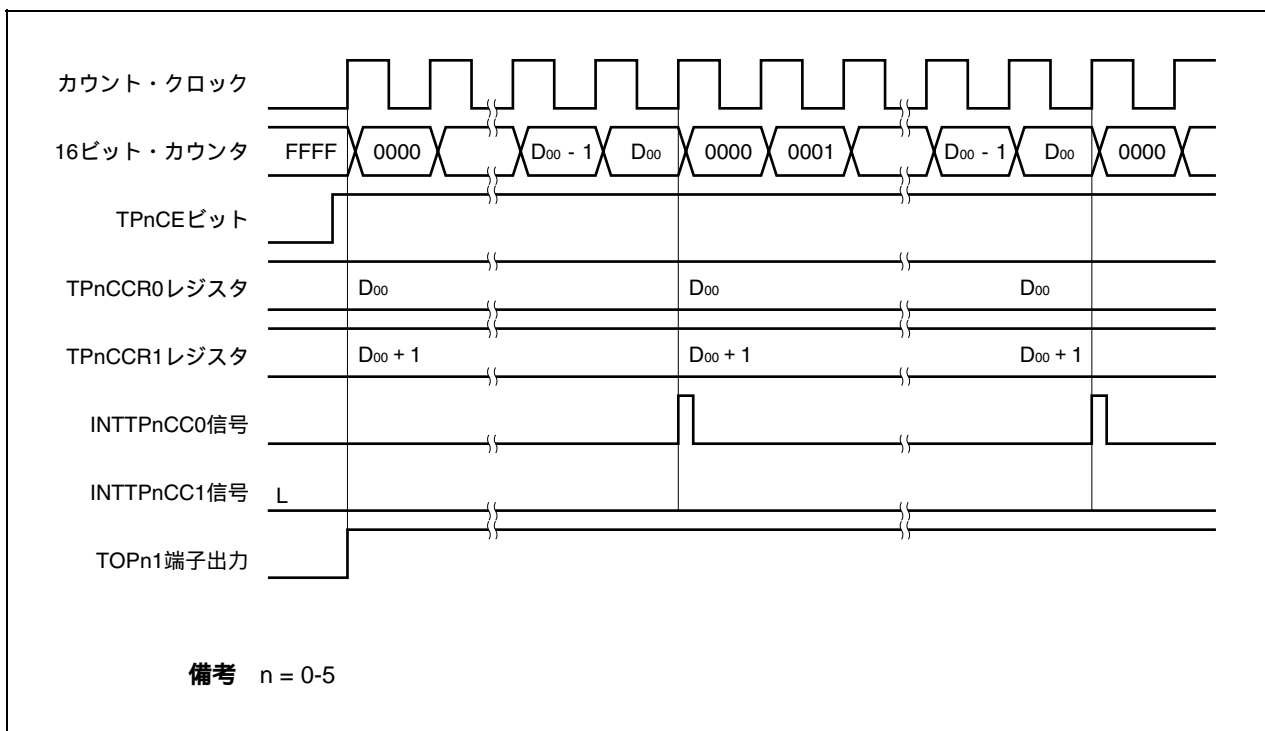
備考 n = 0-5, m = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TPnCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTPnCC0信号とINTTPnCC1信号が発生します。

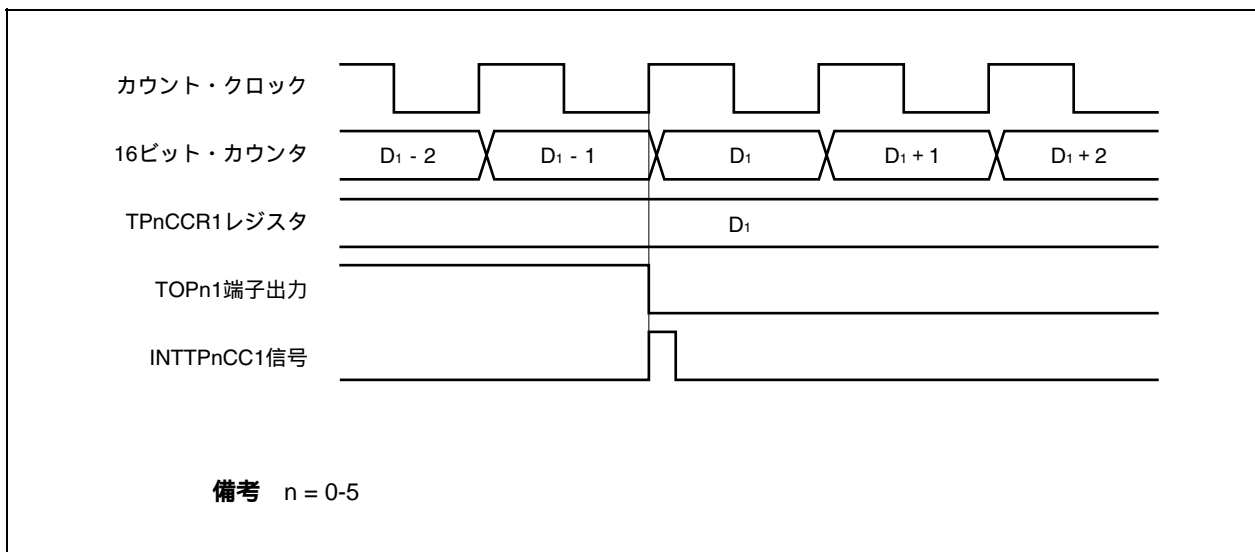


100 % 波形を出力するためには、TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には、100 % 出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

PWM出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのモードのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



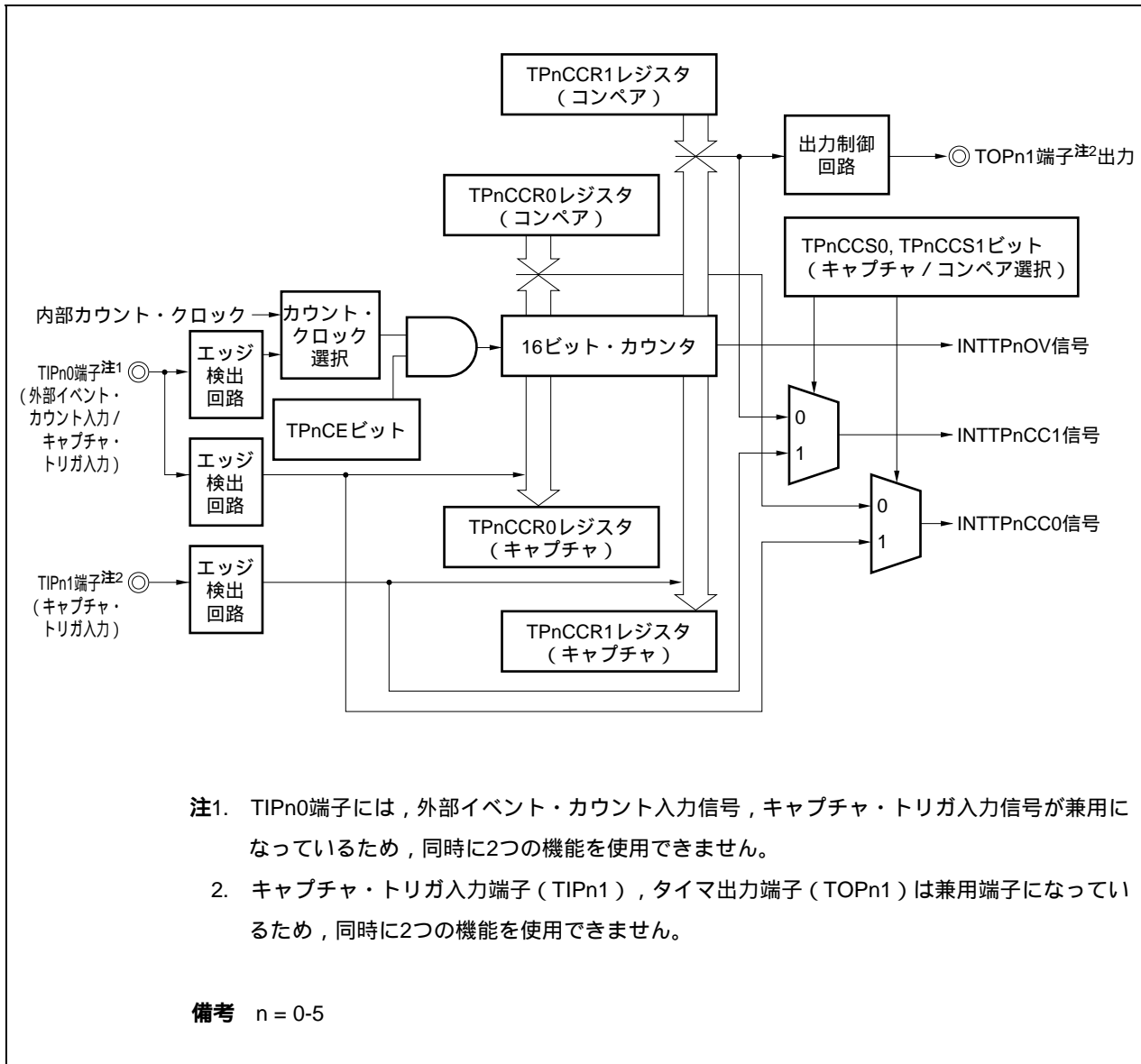
通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

### 7.6.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始します。このときのTPnCCR0, TPnCCR1レジスタの動作は、TPnOPT0.TPnCCS0, TPnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-31 フリー・ランニング・タイマ・モードの構成図



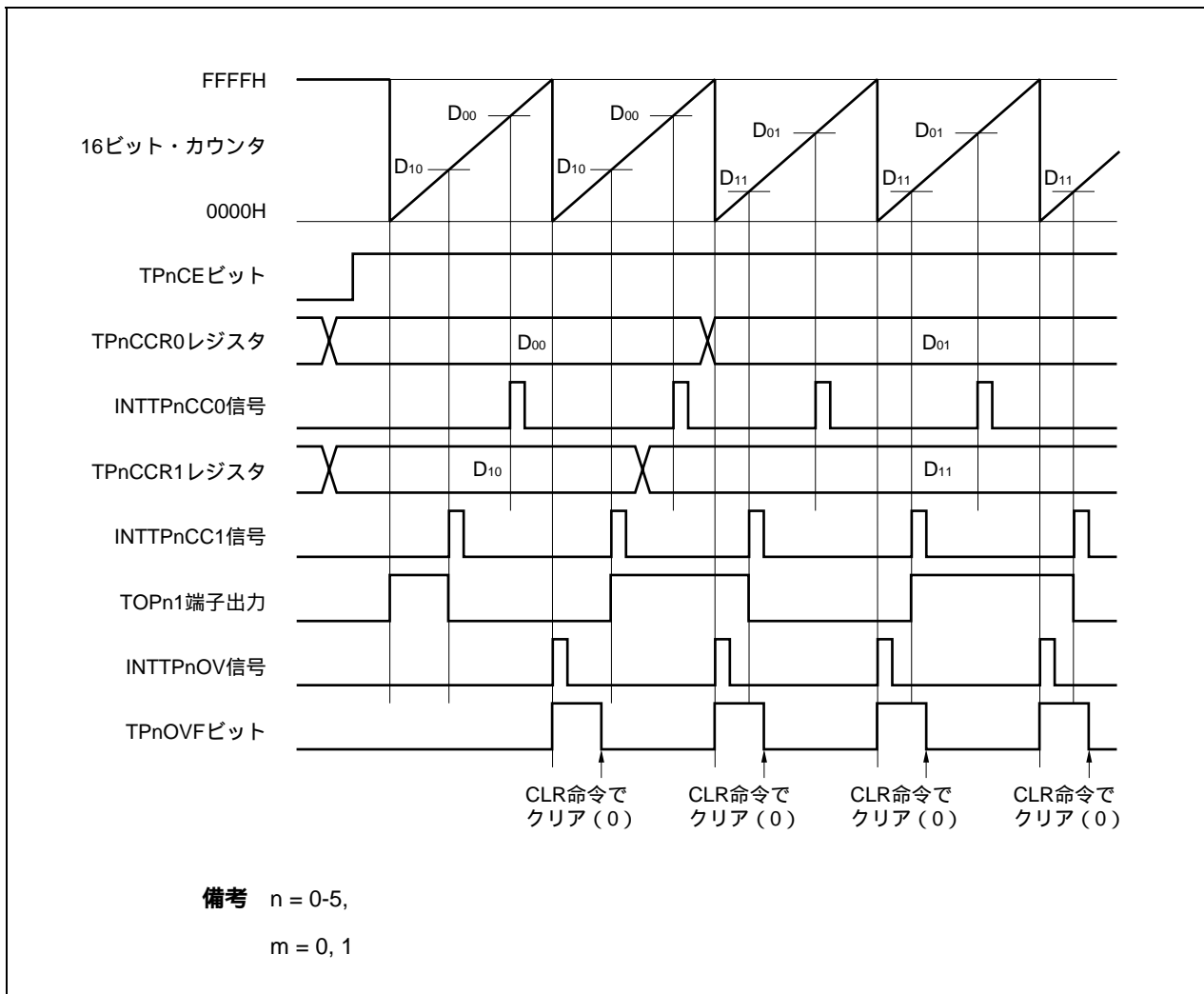
・コンペア動作

TPnCEビットをセット(1)することで、カウント動作を開始し、TOPn1端子出力を反転します。その後、16ビット・カウンタのカウント値とTPnCCRmレジスタの設定値が一致すると、コンペア一致割り込み要求信号(INTTPnCCm)を発生し、TPnCCR1レジスタの設定値との一致ではTOPn1端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバーフロー・フラグは、オーバーフロー・フラグがセット(1)されていることを確認したあとに、ソフトウェアでCLR命令を実行してクリア(0)してください。

TPnCCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図7-32 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



・キャプチャ動作

TPnCEビットをセット(1)することで、カウント動作を開始します。その後、TIPnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、キャプチャ割り込み要求信号(INTTPnCCm)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバーフロー・フラグは、オーバーフロー・フラグがセット(1)されていることを確認したあとに、ソフトウェアでCLR命令を実行してクリア(0)してください。

図7-33 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

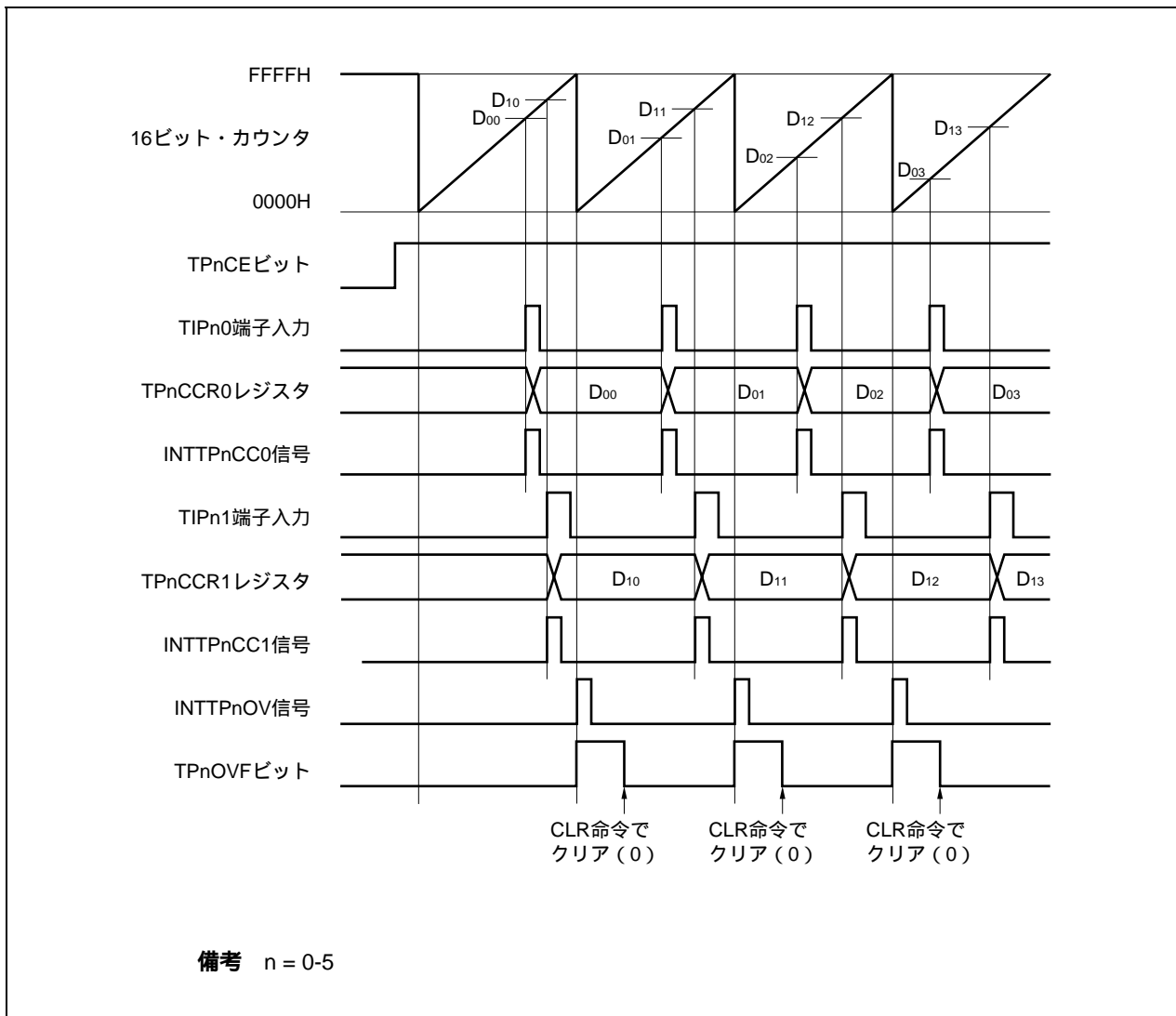
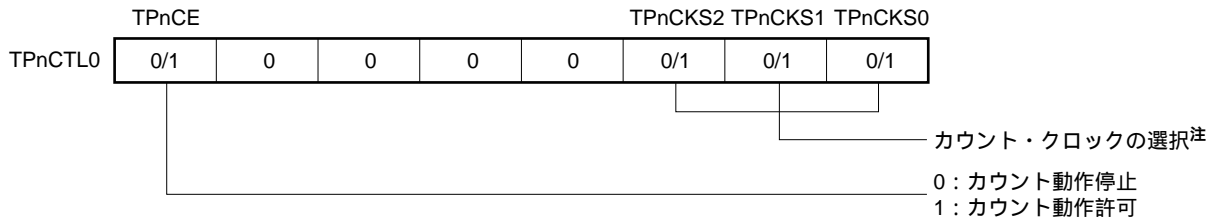


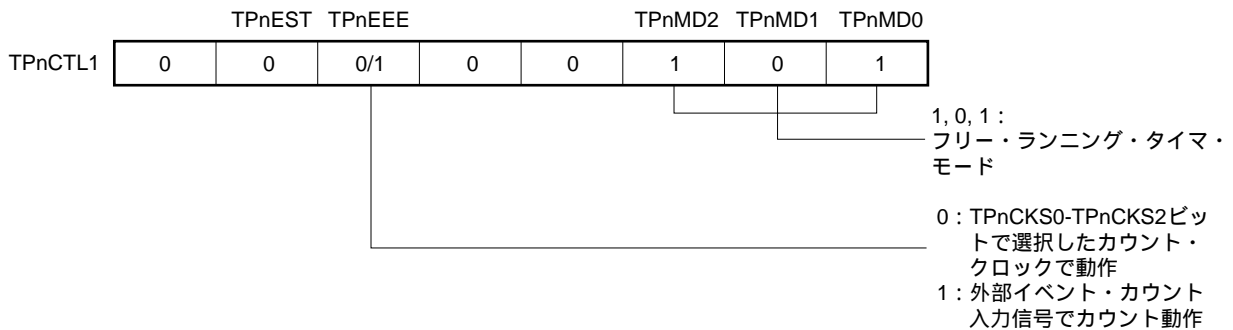
図7-34 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/2)

(a) TMPn制御レジスタ0 (TPnCTL0)

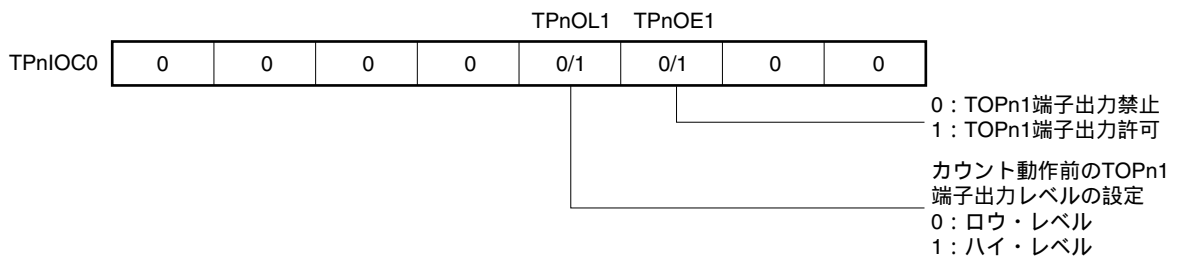


注 TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

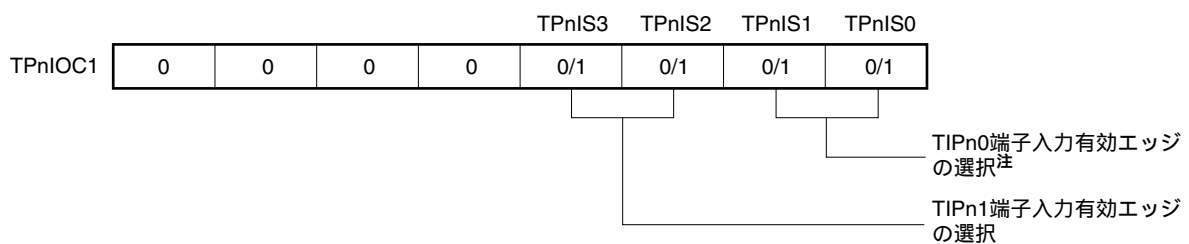
(b) TMPn制御レジスタ1 (TPnCTL1)



(c) TMPnI/O制御レジスタ0 (TPnIOC0)



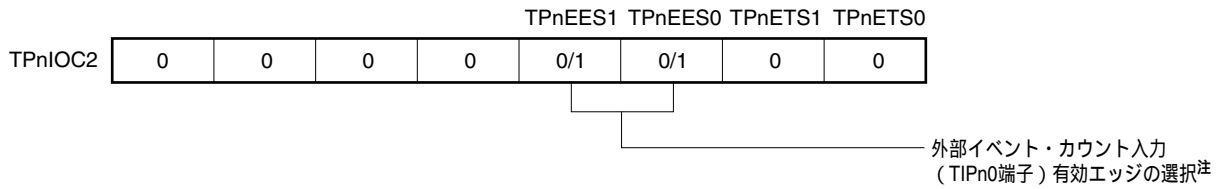
(d) TMPnI/O制御レジスタ1 (TPnIOC1)



注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

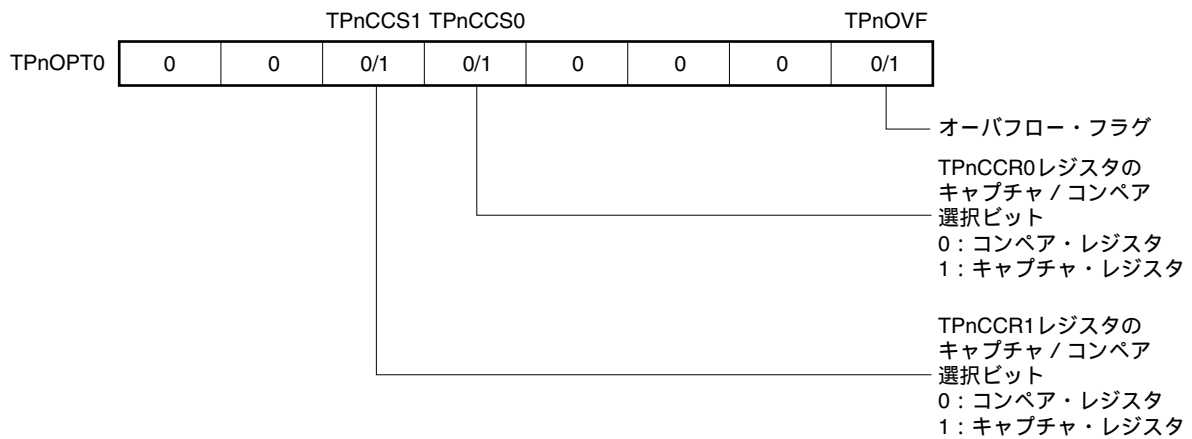
図7-34 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

(e) TMPnI/O制御レジスタ2 (TPnIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は，“エッジ検出なし”に設定してください。

(f) TMPnオプション・レジスタ0 (TPnOPT0)



(g) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TPnOPT0.TPnCCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIPnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TPnCCRmレジスタにD<sub>m</sub>を設定した場合、カウンタが(D<sub>m</sub> + 1)になるタイミングでINTTPnCCm信号を発生し、カウンタが(D<sub>1</sub> + 1)になるタイミングではTOPn1端子出力を反転します。

備考 n = 0-5,  
m = 0, 1



(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-35 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

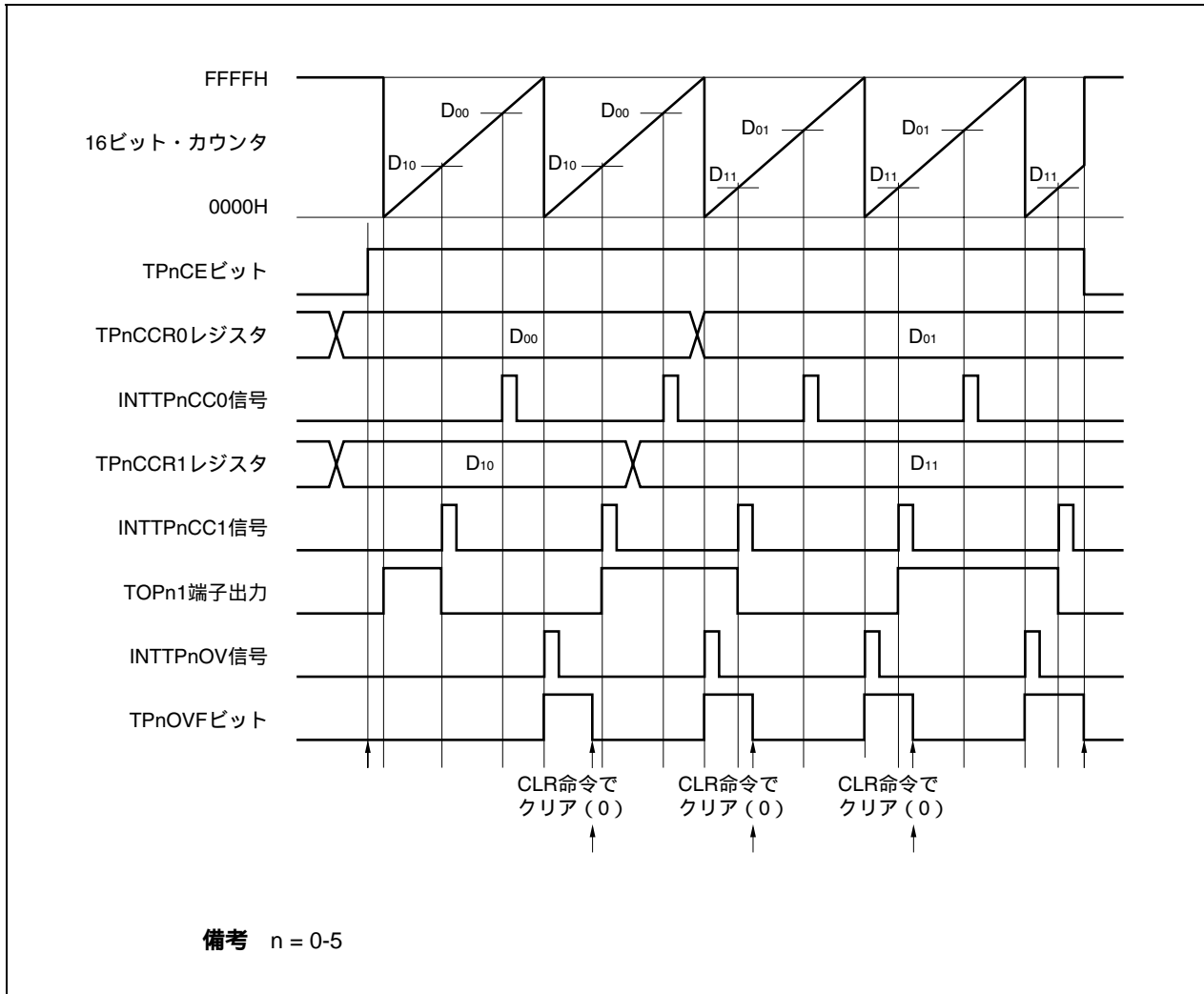
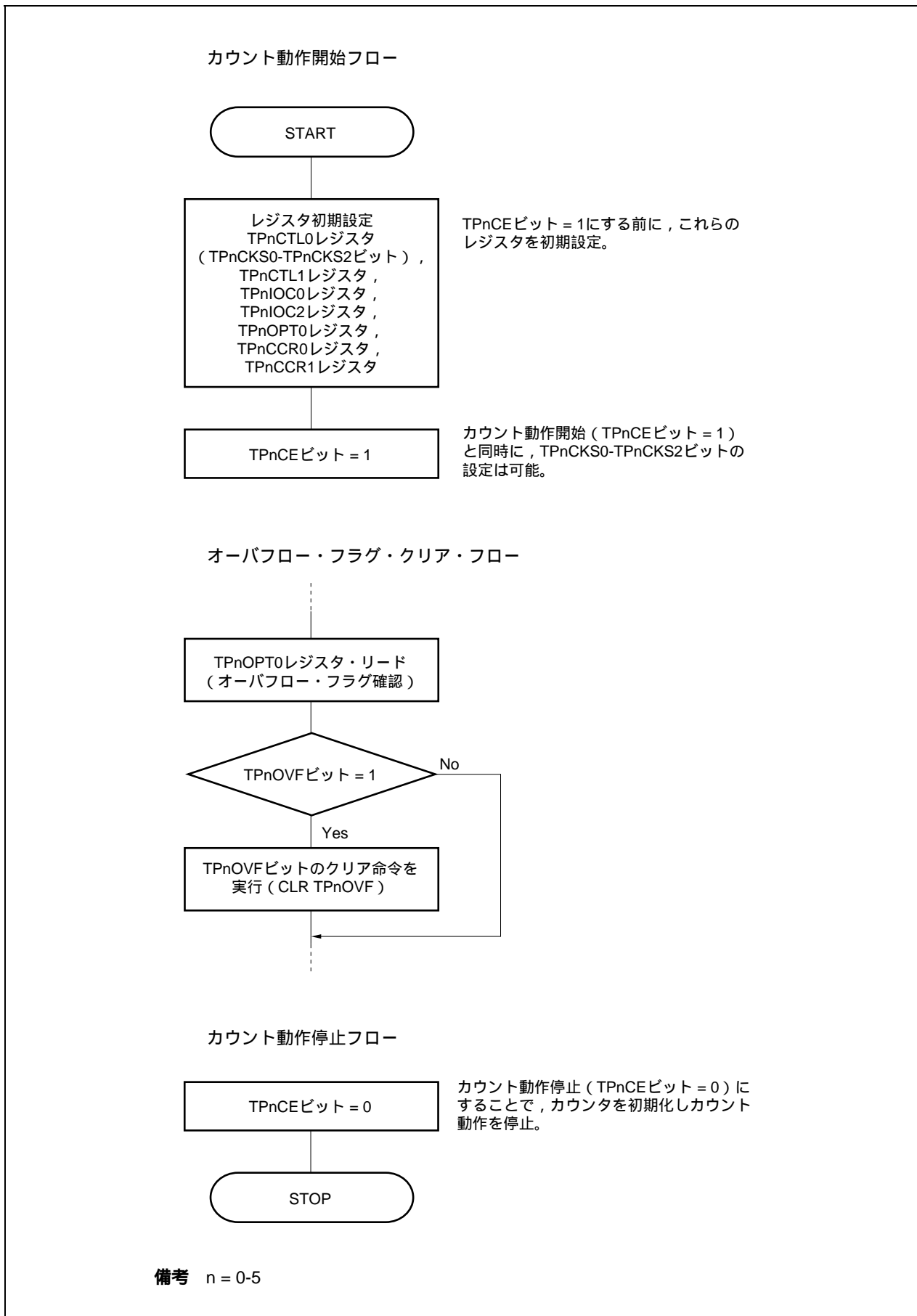


図7 - 35 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7 - 36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

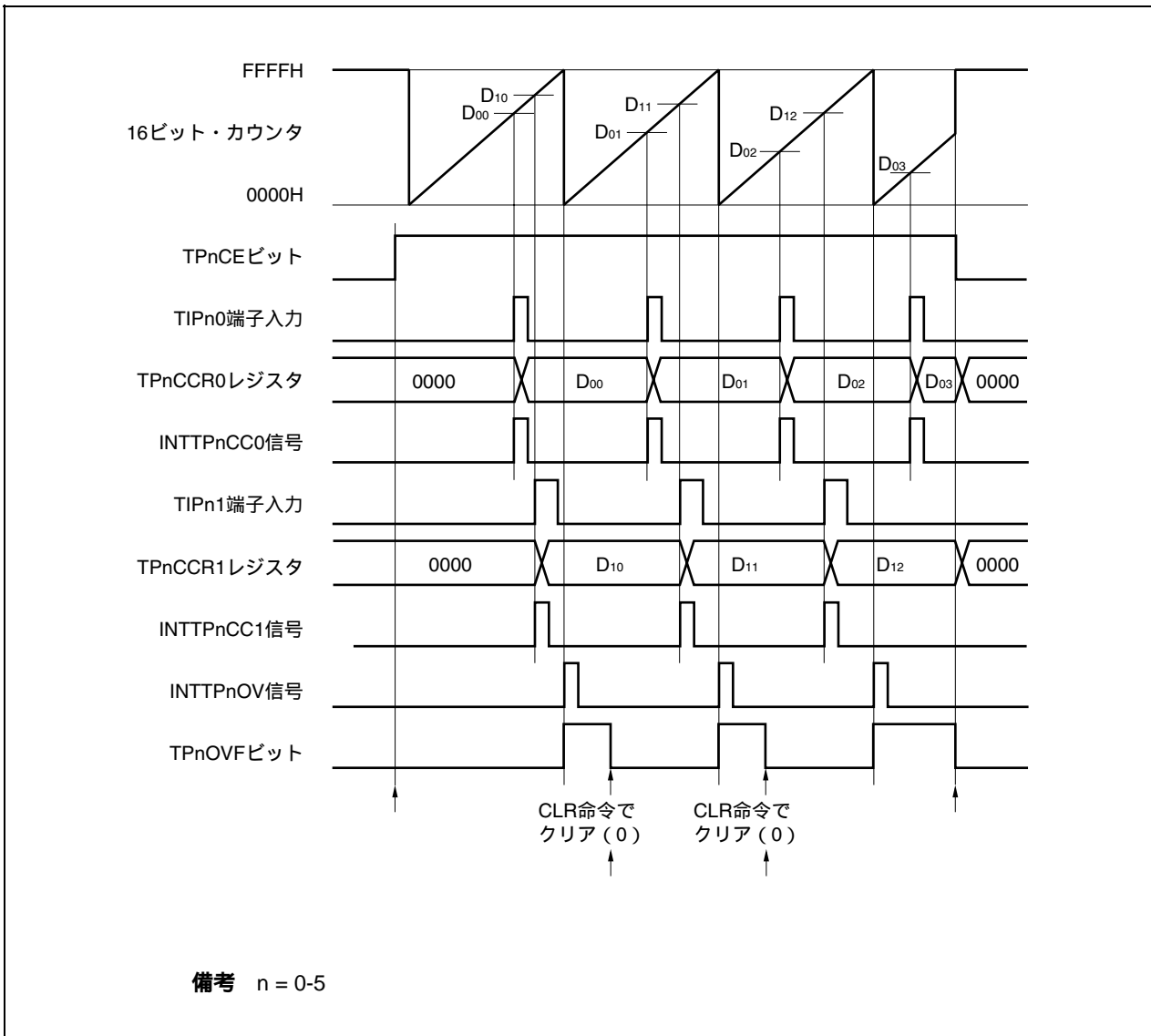
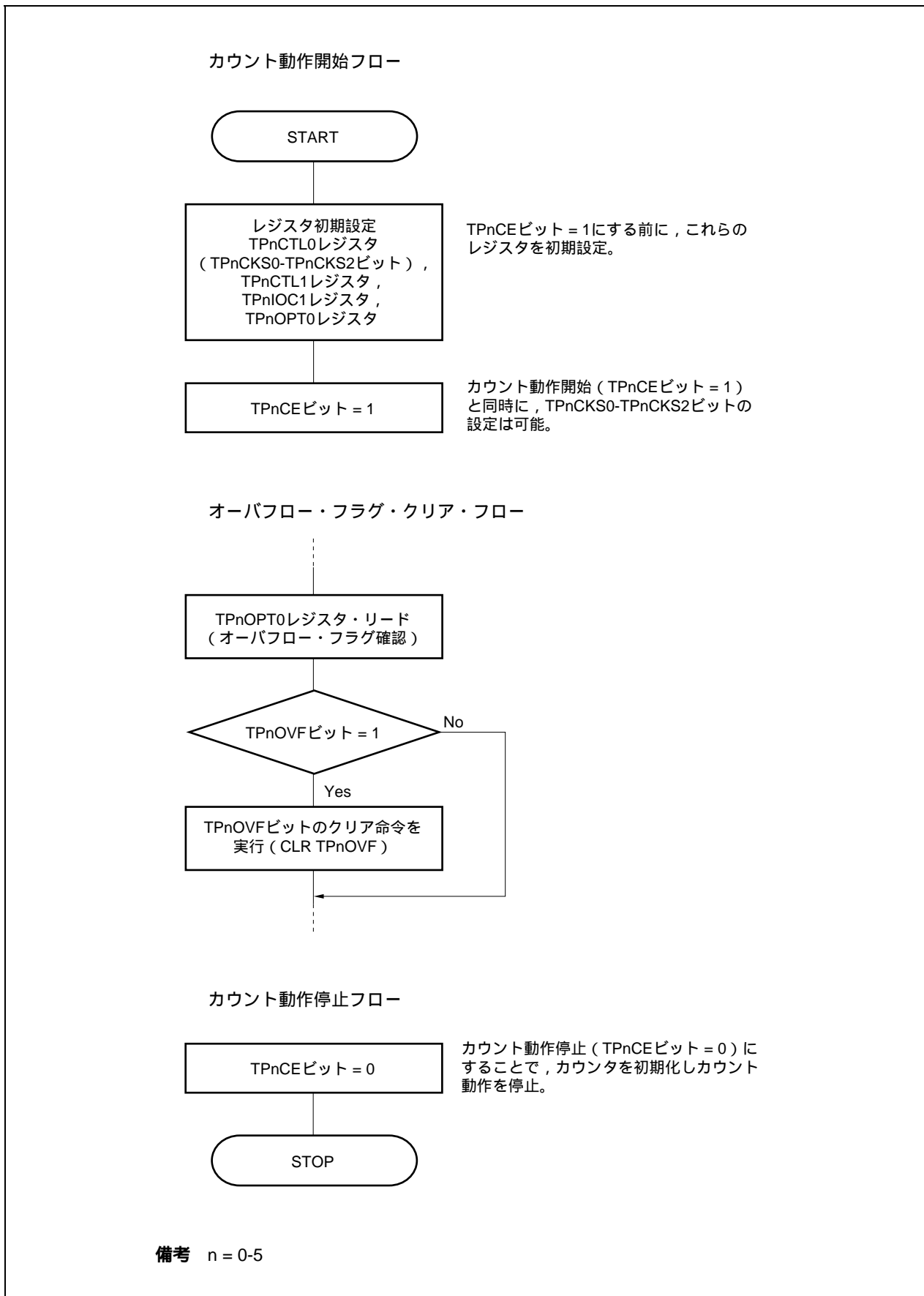


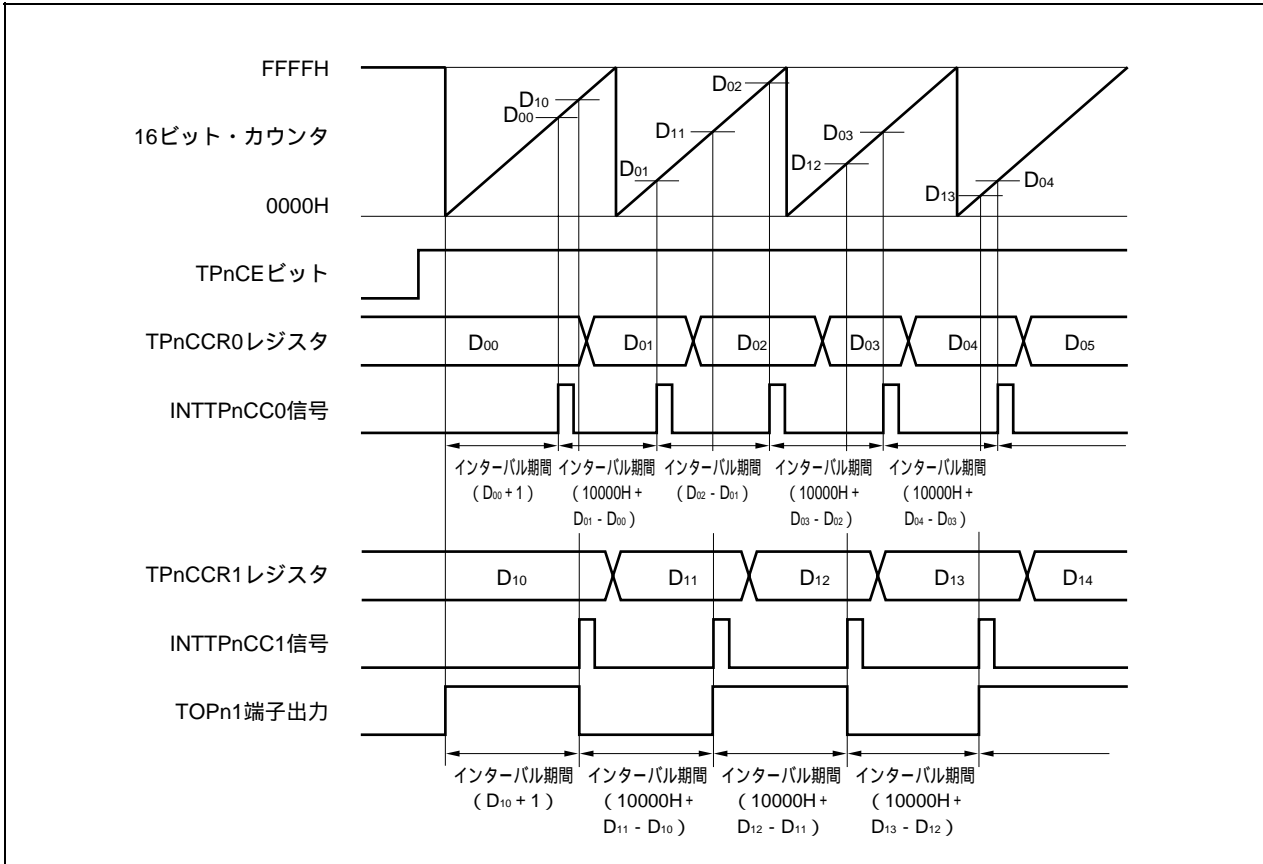
図7 - 36 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TPnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTPnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTPnCCm信号を検出したときの割り込み処理中に、対応するTPnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ $D_m$ ”とすると、次のように求められます。

コンペア・レジスタ初期値 :  $D_m - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 +  $D_m$

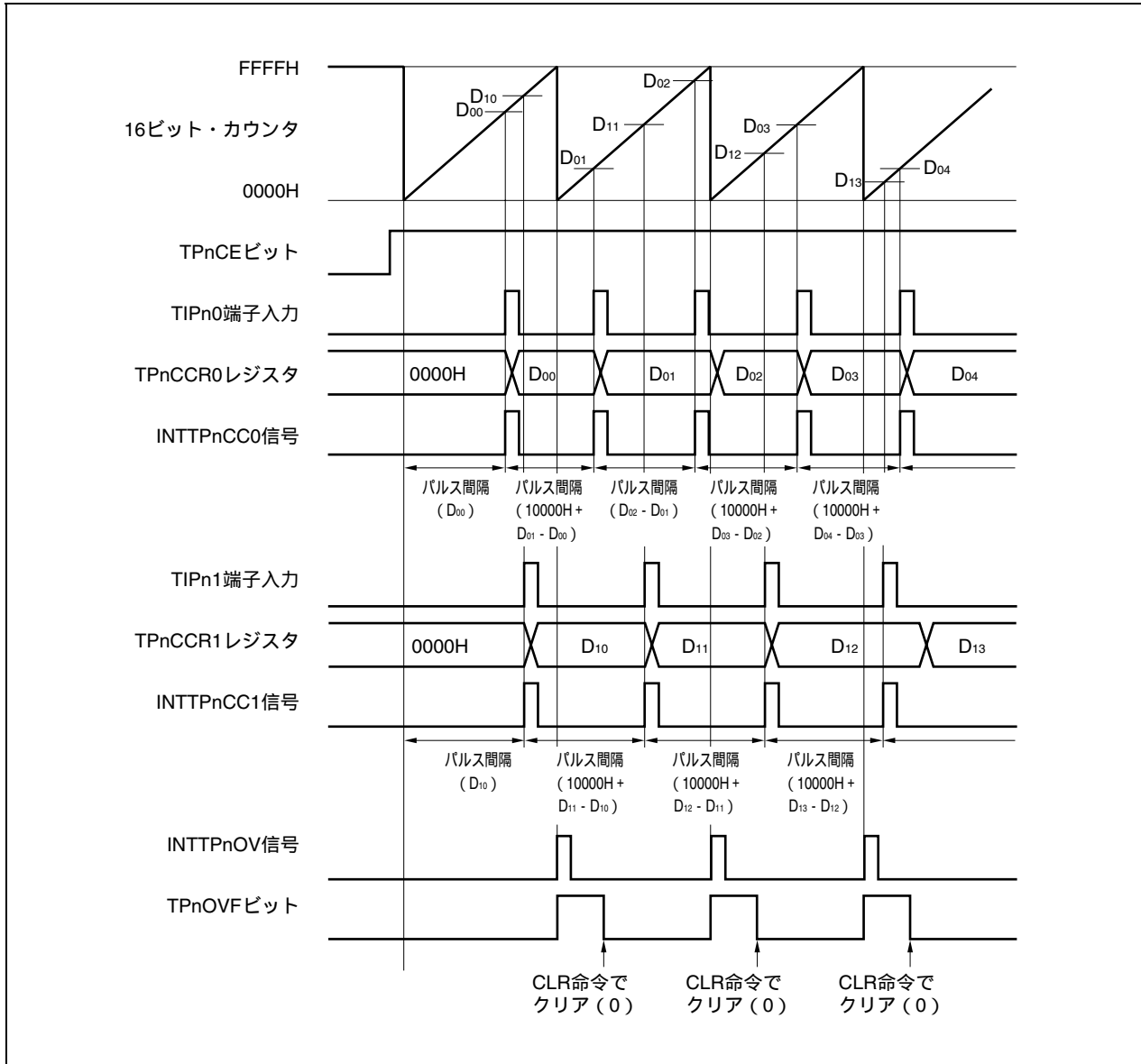
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考  $n = 0-5,$

$m = 0, 1$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TPnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTPnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

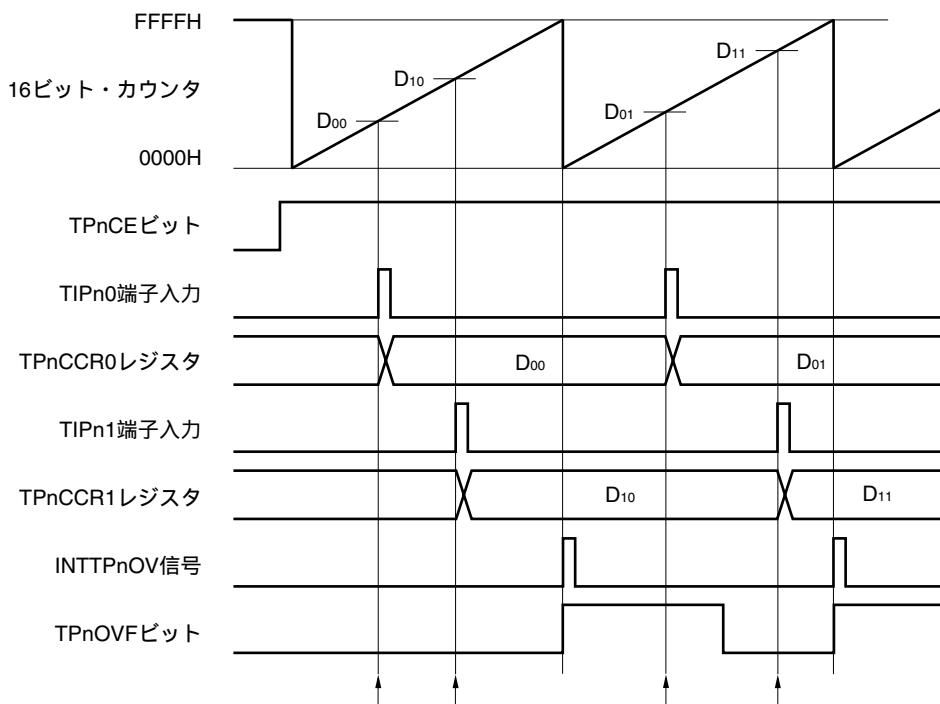
パルス幅測定を行う場合、INTTPnCCm信号に同期してTPnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考  $n = 0-5,$   
 $m = 0, 1$

## (c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIPn1端子入力の初期値設定)。

TPnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TPnCCR1レジスタをリードする。

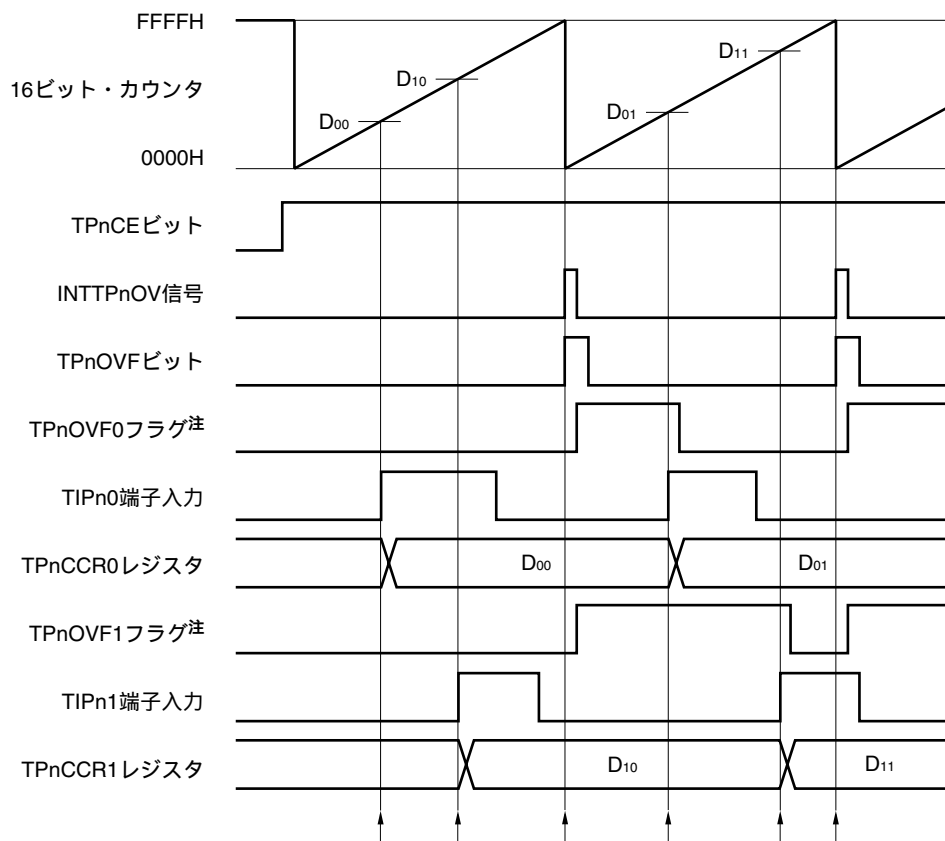
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は  $(D_{11} - D_{10})$  で求められます (NG)。

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIPn1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TPnOVF0, TPnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TPnCCR0レジスタをリードする。

TPnOVF0フラグをリードする。 TPnOVF0フラグが“1”だった場合、クリア (0) する。

TPnOVF0フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TPnCCR1レジスタをリードする。

TPnOVF1フラグをリードする。 TPnOVF1フラグが“1”だった場合、クリア (0) する ( でクリア (0) されたのはTPnOVF0フラグであり、TPnOVF1フラグは“1”のまま)。

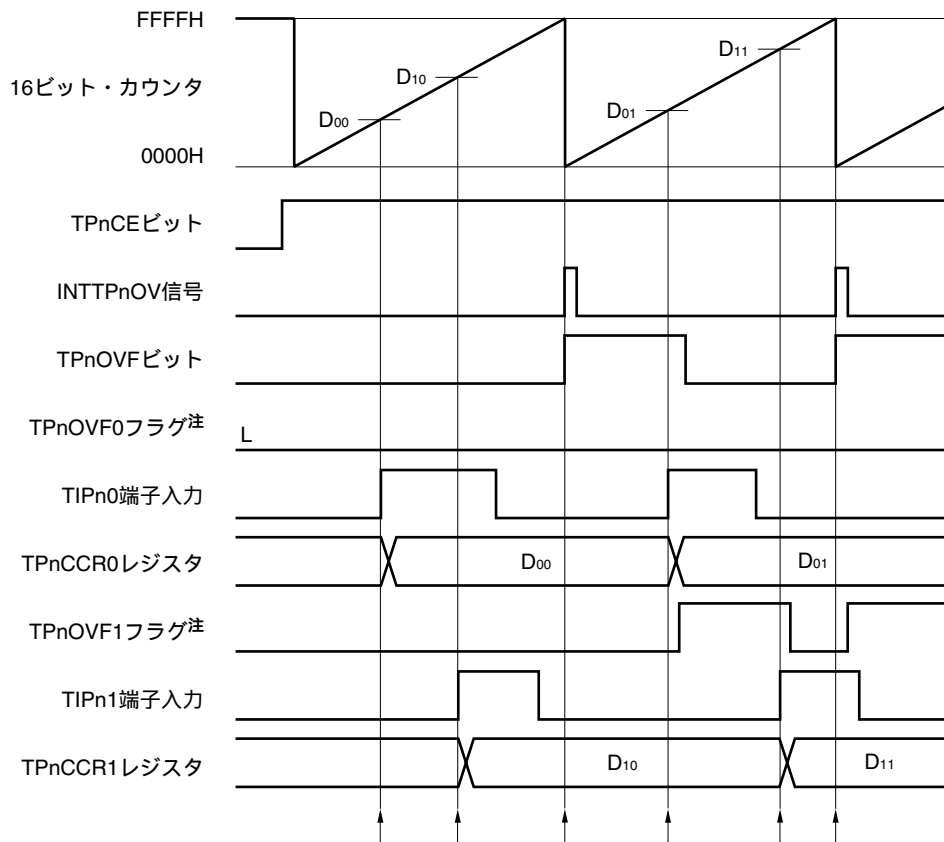
TPnOVF1フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます (OK)。

と同じです。

備考 n = 0-5



2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする（TIPn0端子入力の初期値設定）。

TPnCCR1レジスタをリードする（TIPn1端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TPnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TPnOVF1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は  $(10000H + D_{01} - D_{00})$  で求められます。

TPnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

TPnOVF1フラグをリードする。TPnOVF1フラグが“1”だった場合、クリア（0）する。

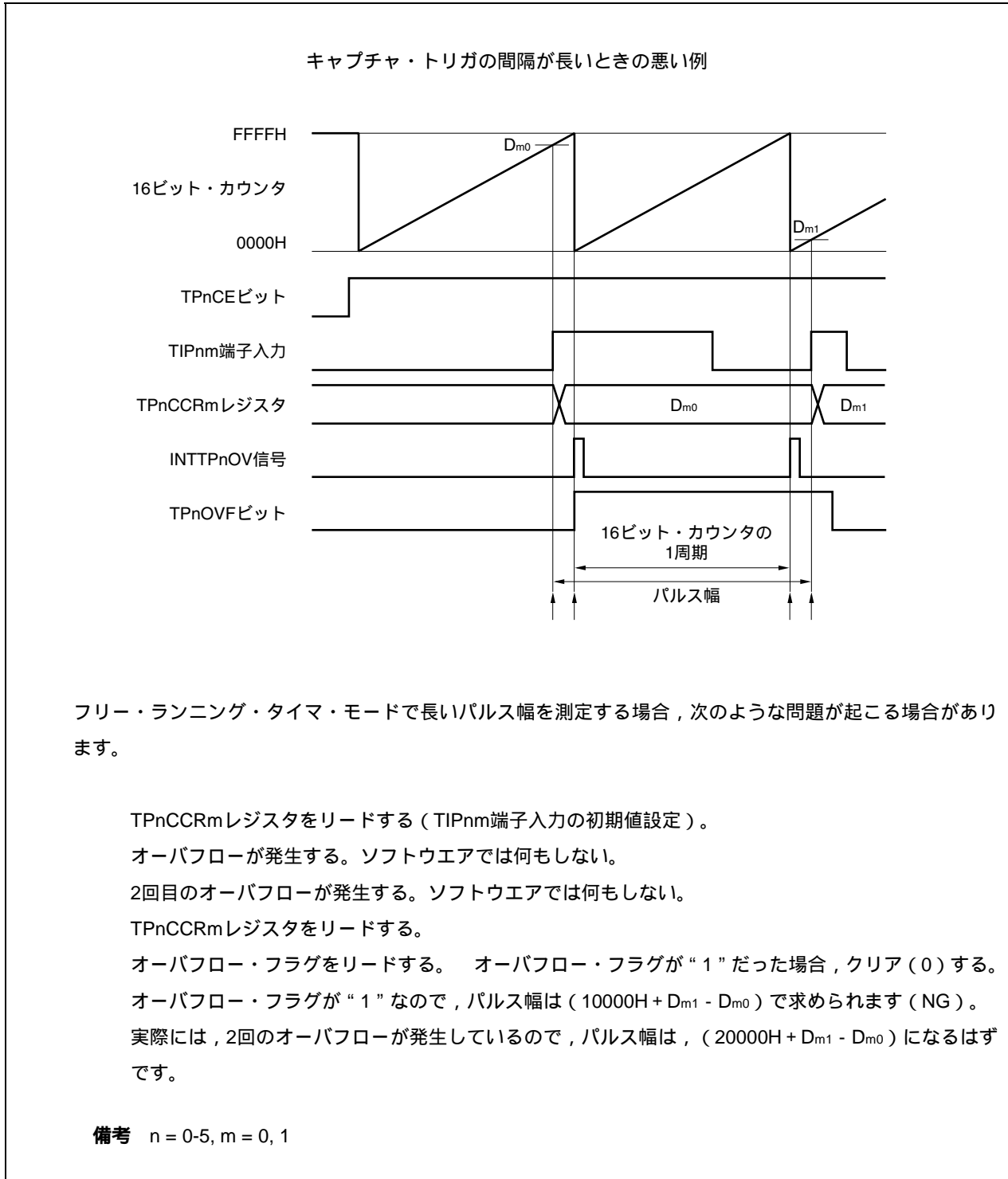
TPnOVF1フラグが“1”なので、パルス幅は  $(10000H + D_{11} - D_{10})$  で求められます（OK）。

と同じです。

備考 n = 0-5

## (d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

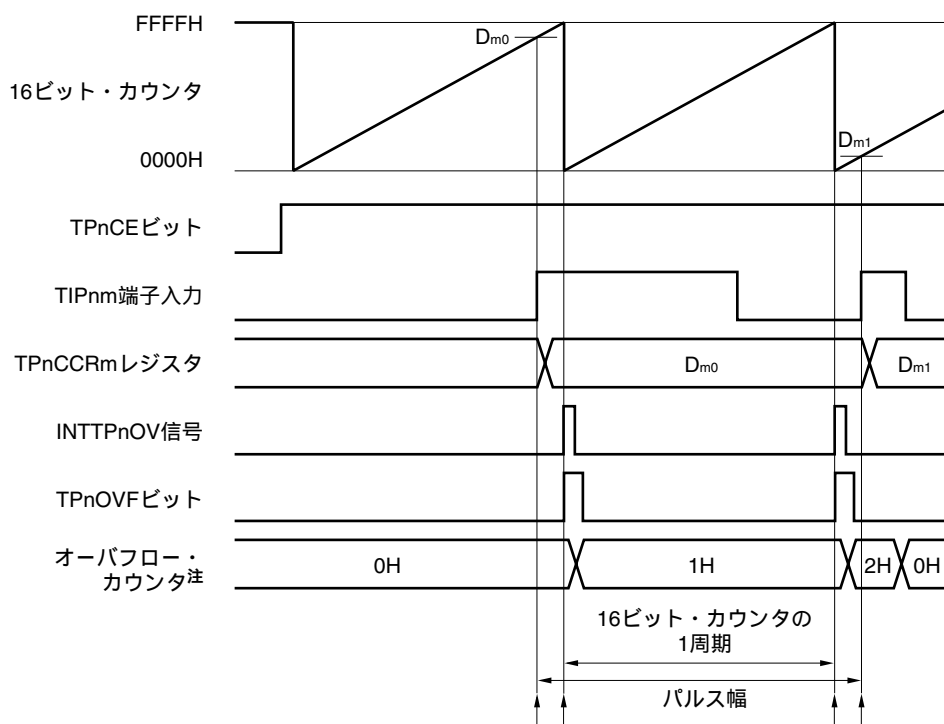
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCRmレジスタをリードする (TIPnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TPnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが “N” のとき、パルス幅は  $(N \times 10000H + D_{m1} - D_{m0})$  で求められる。

この例では、2回のオーバフローが発生しているなので、パルス幅は、 $(20000H + D_{m1} - D_{m0})$  になります。

オーバフロー・カウンタをクリア (0H) する。

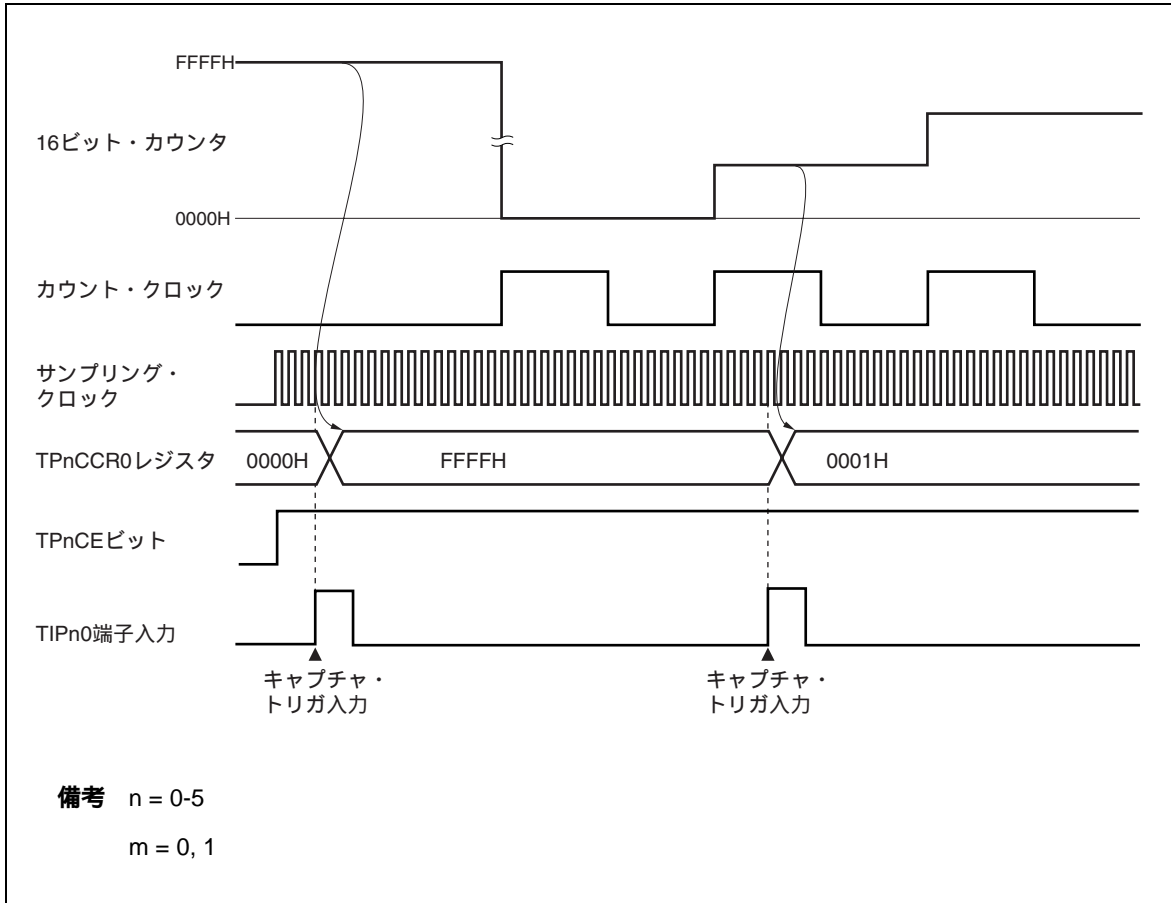
備考  $n = 0-5, m = 0, 1$

#### (e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビット = 1をリードしたあとにTPnOVFビットをCLR命令でクリア (0) する方法と、TPnOVFビット = 1をリードしたあとにTPnOPT0レジスタに8ビット・データ (ビット0は “0”) をライトする方法があります。

(3) キャプチャ動作の注意事項

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPnCTL0.TPnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TPnCCRmレジスタに0000HではなくFFFFHがキャプチャされる場合があります。



### 7.6.7 パルス幅測定モード (TPnMD2-TPnMD0ビット = 110)

パルス幅測定モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始し、TIPnm端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTPnCCm)が発生したあと、TPnCCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図7-38のような場合は、キャプチャ・トリガ入力端子としてTIPn0、TIPn1端子のいずれか1本を使用し、使用しない端子は、TPnIOC1レジスタで“エッジ検出なし”に設定してください。

図7-37 パルス幅測定モードの構成図

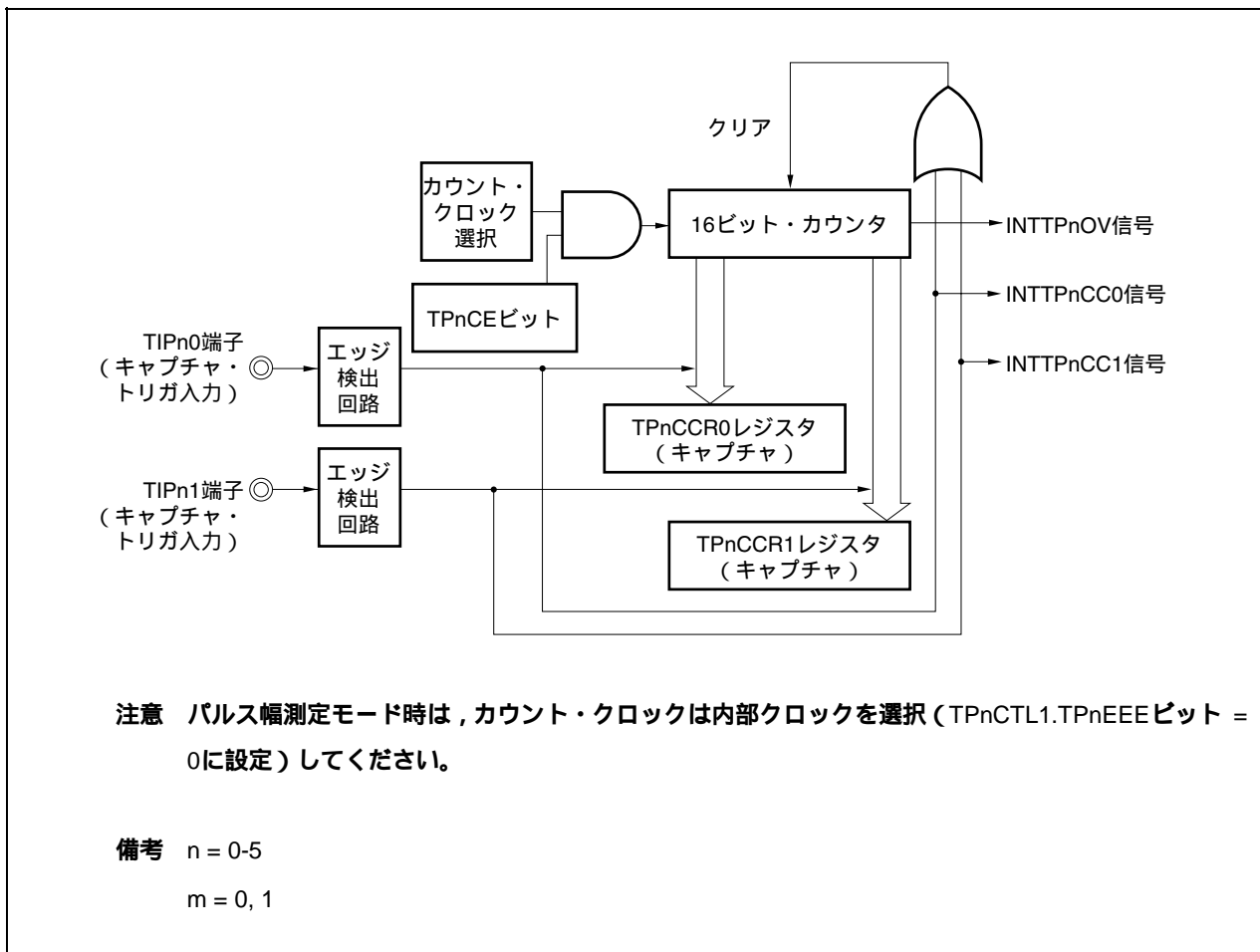
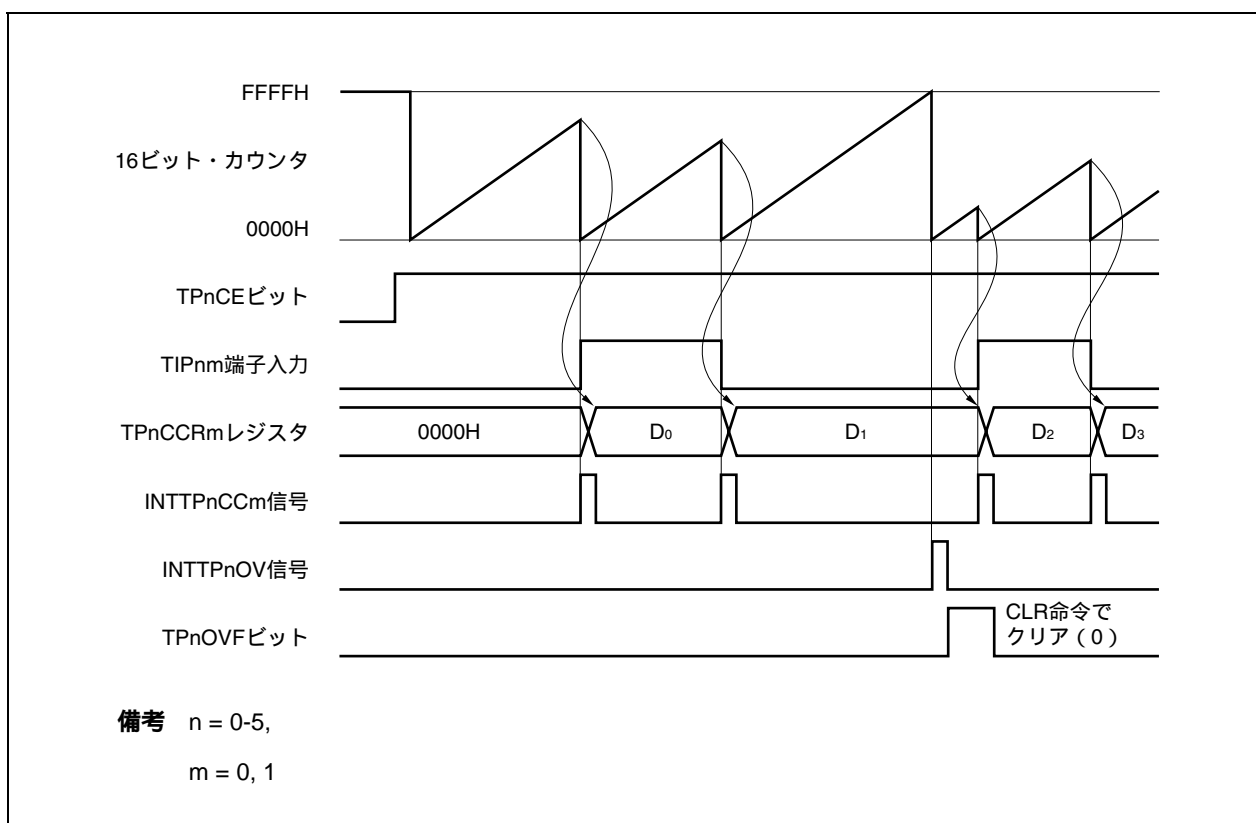


図7-38 パルス幅測定モードの基本タイミング



TPnCEビットをセット(1)することで、カウント動作を開始します。その後、TIPnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTPnCCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TPnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0-5,  
m = 0, 1

図7 - 39 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

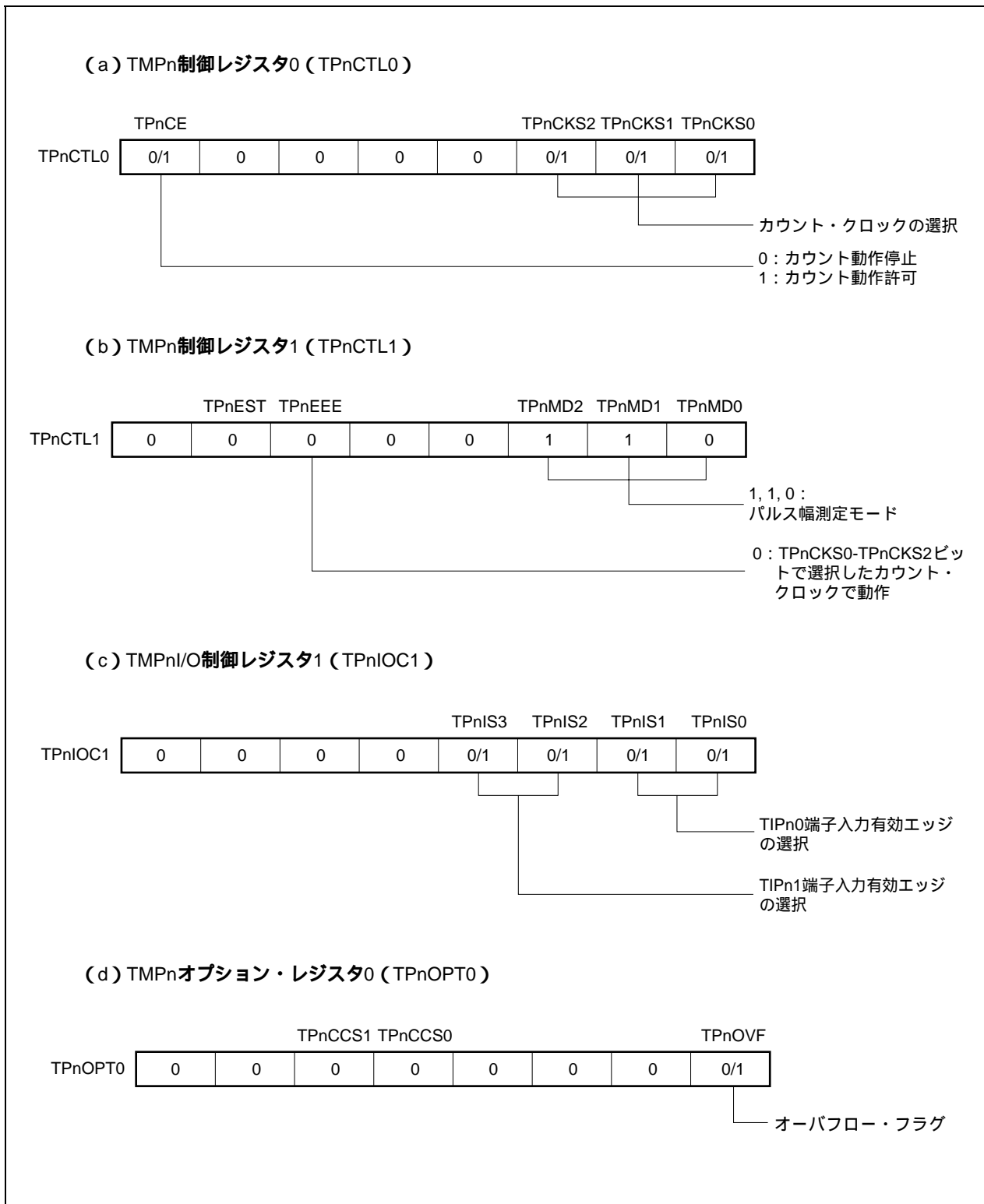


図7 - 39 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TIPn0, TIPn1端子入力の有効エッジ検出により、16ビット・カウンタのカウンタ値を格納します。

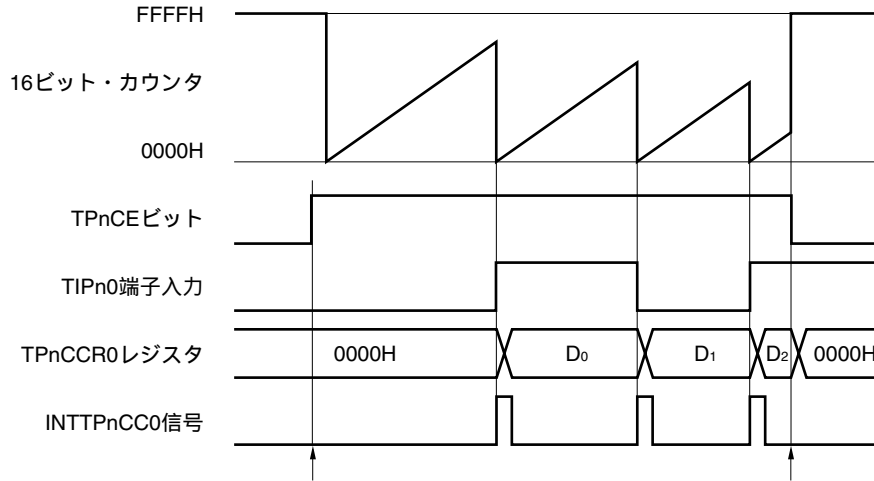
**備考1.** パルス幅測定モードでは、TMPnI/O制御レジスタ0 (TPnIOC0)、TMPnI/O制御レジスタ2 (TPnIOC2) は使用しません。

2. n = 0-5

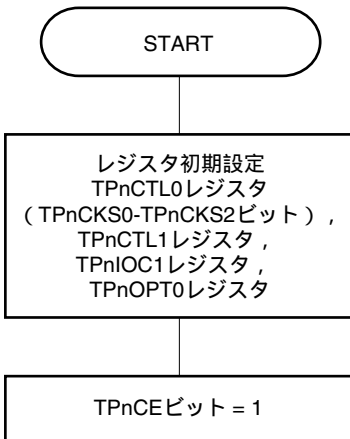


(1) パルス幅測定モード動作フロー

図7 - 40 パルス幅測定モード使用時のソフトウェア処理フロー



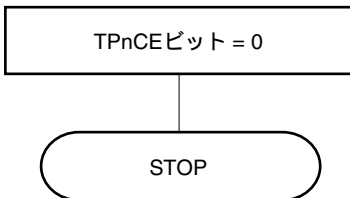
カウント動作開始フロー



TPnCEビット = 1にする前に、  
これらのレジスタを初期設定。

カウント動作開始 (TPnCEビット = 1) と同時に、  
TPnCKS0-TPnCKS2ビットの設定は可能。

カウント動作停止フロー



カウント動作停止 (TPnCEビット = 0) にすることで、  
カウンタを初期化しカウント動作を停止。

備考 n = 0-5

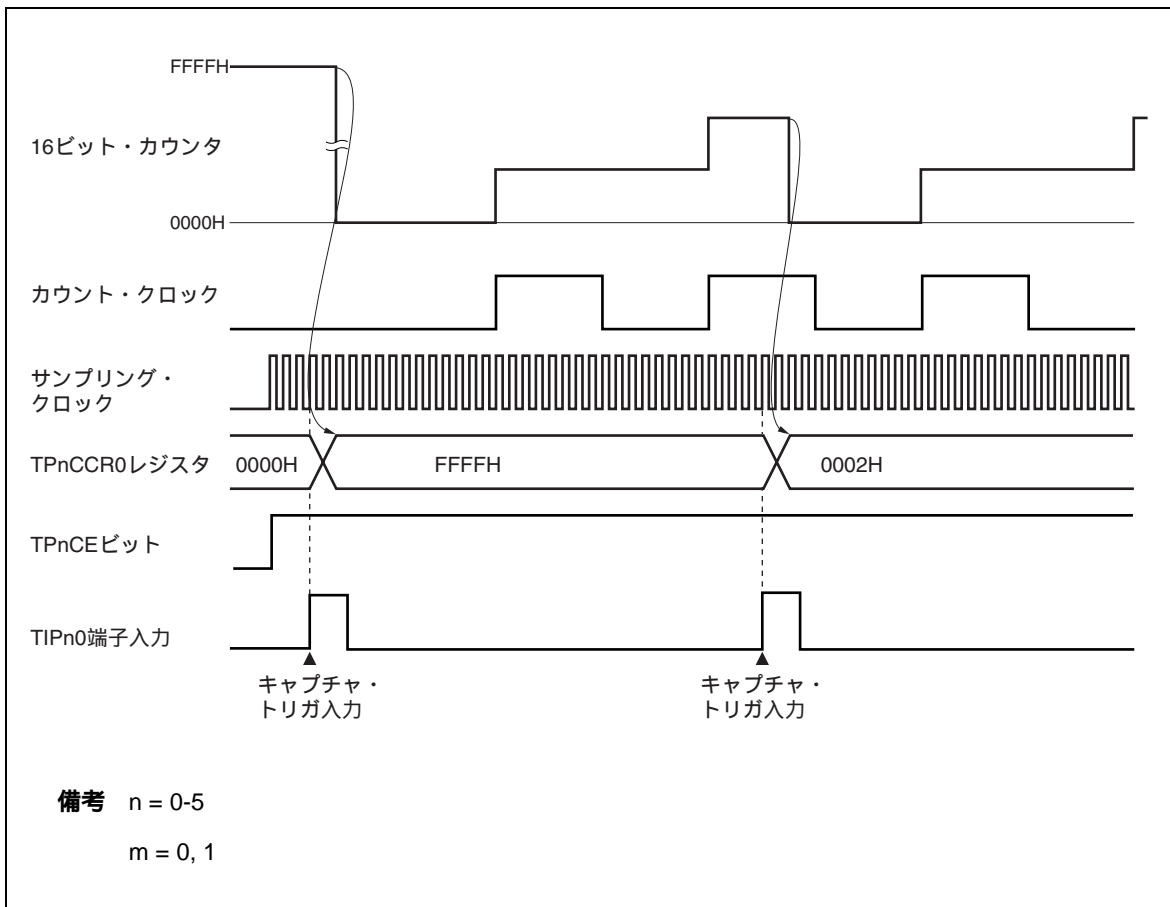
(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビット = 1をリードしたあとにTPnOVFビットをCLR命令でクリア (0) する方法と、TPnOVFビット = 1をリードしたあとにTPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) 注意事項

カウント・クロックとして遅いクロックを選択した場合、TPnCTL0.TPnCEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TPnCCRmレジスタに0000HではなくFFFFHがキャプチャされる場合があります。



## 第8章 16ビット・インターバル・タイマM (TMM)

タイマM (TMM) は、16ビットのインターバル・タイマです。

V850ES/ST2では、TMM0を内蔵しています。

### 8.1 概 要

TMM0の概要を次に示します。

- ・インターバル機能
- ・クロック選択×8
- ・16ビット・カウンタ×1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ×1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み×1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

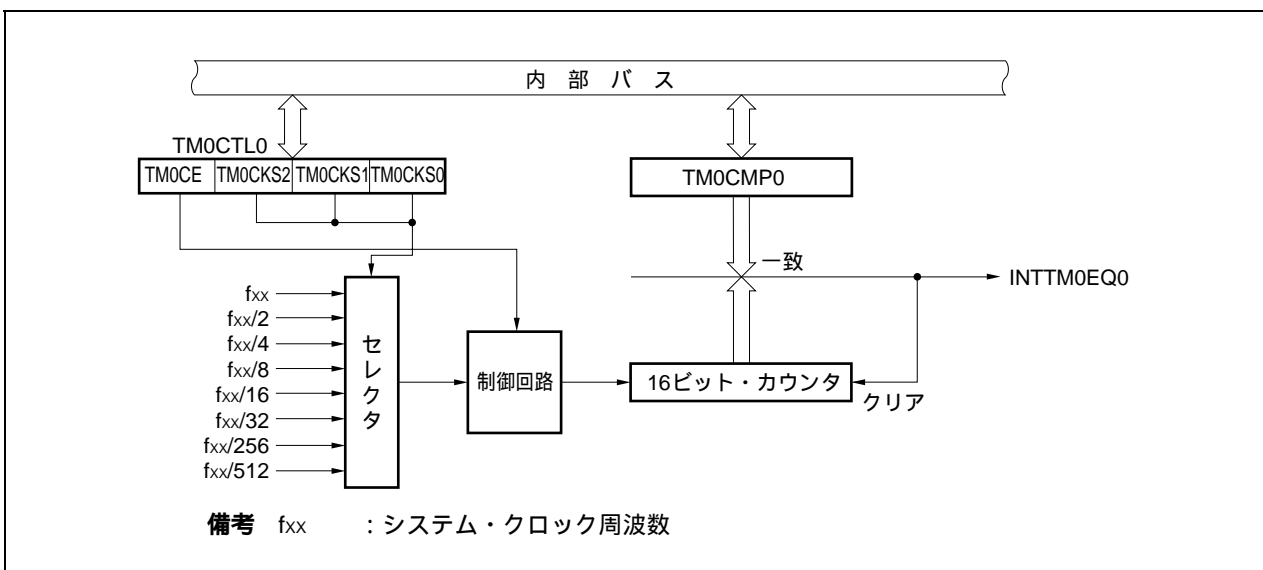
## 8.2 構成

TMM0は、次のハードウェアで構成されています。

表8 - 1 TMM0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMM0コンペア・レジスタ0 (TM0CMP0)
制御レジスタ	TMM0制御レジスタ0 (TM0CTL0)

図8 - 1 TMM0のブロック図



### (1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。  
16ビット・カウンタはリード/ライトできません。

### (2) TMM0コンペア・レジスタ0 (TM0CMP0)

TM0CMP0レジスタは16ビットのコンペア・レジスタです。  
16ビット単位でリード/ライト可能です。  
リセットにより0000Hになります。  
TM0CMP0レジスタは、常時ソフトウェアでの同値書き込みができます。  
TM0CTL0.TMOCEビット = 1のとき、TM0CMP0レジスタの書き換えは禁止です。



## 8.3 制御レジスタ

### (1) TMM0制御レジスタ0 (TM0CTL0)

TM0CTL0レジスタはTMM0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TM0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：FFFFFF690H

	⑦	6	5	4	3	2	1	0
TM0CTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	内部クロック動作許可 / 禁止指定
0	TMM0動作禁止 (16ビット・カウンタを非同期にリセット)。動作クロック供給停止
1	TMM0動作許可。動作クロック供給開始。TMM0動作開始

TM0CEビットにより、TMM0の内部クロックの制御と内部回路のリセットを非同期に行います。TM0CEビットをクリア (0) すると、TMM0の内部クロックは停止 (口ウ・レベル固定) し、16ビット・カウンタが非同期にリセットされます。

TM0CKS2	TM0CKS1	TM0CKS0	カウント・クロックの選択
0	0	0	fx
0	0	1	fx/2
0	1	0	fx/4
0	1	1	fx/8
1	0	0	fx/16
1	0	1	fx/32
1	1	0	fx/256
1	1	1	fx/512

**注意1.** TM0CKS2-TM0CKS0ビットはTM0CEビット = 0のときに設定してください。

TM0CEビットを“0”から“1”に設定するときに、同時にTM0CKS2-TM0CKS0ビットを設定することはできません。

**2.** ビット3-6には必ず“0”を設定してください。

**備考** fxx : システム・クロック周波数

## 8.4 動作

注意 TM0CMP0レジスタには、FFFFHを設定しないでください。

### 8.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TM0CTL0.TM0CEビットをセット(1)することで、TM0CMP0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTM0EQ0)を発生します。

図8-2 インターバル・タイマの構成図

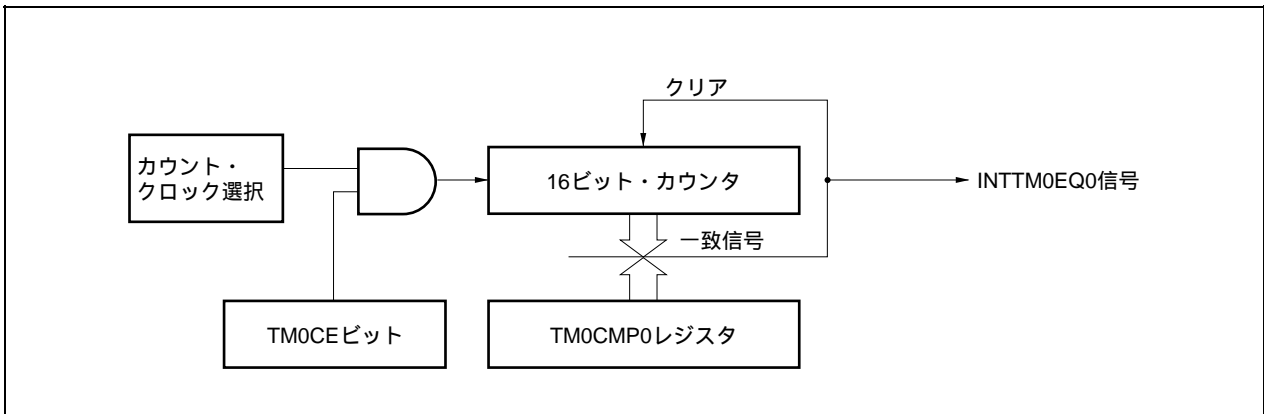
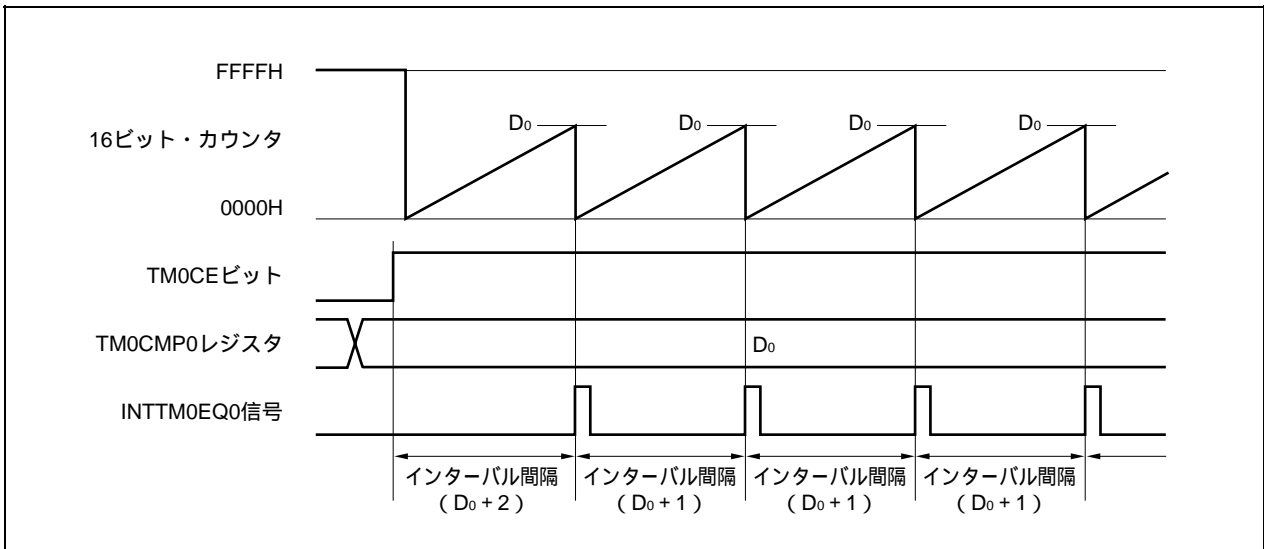


図8-3 インターバル・タイマ・モード動作の基本タイミング



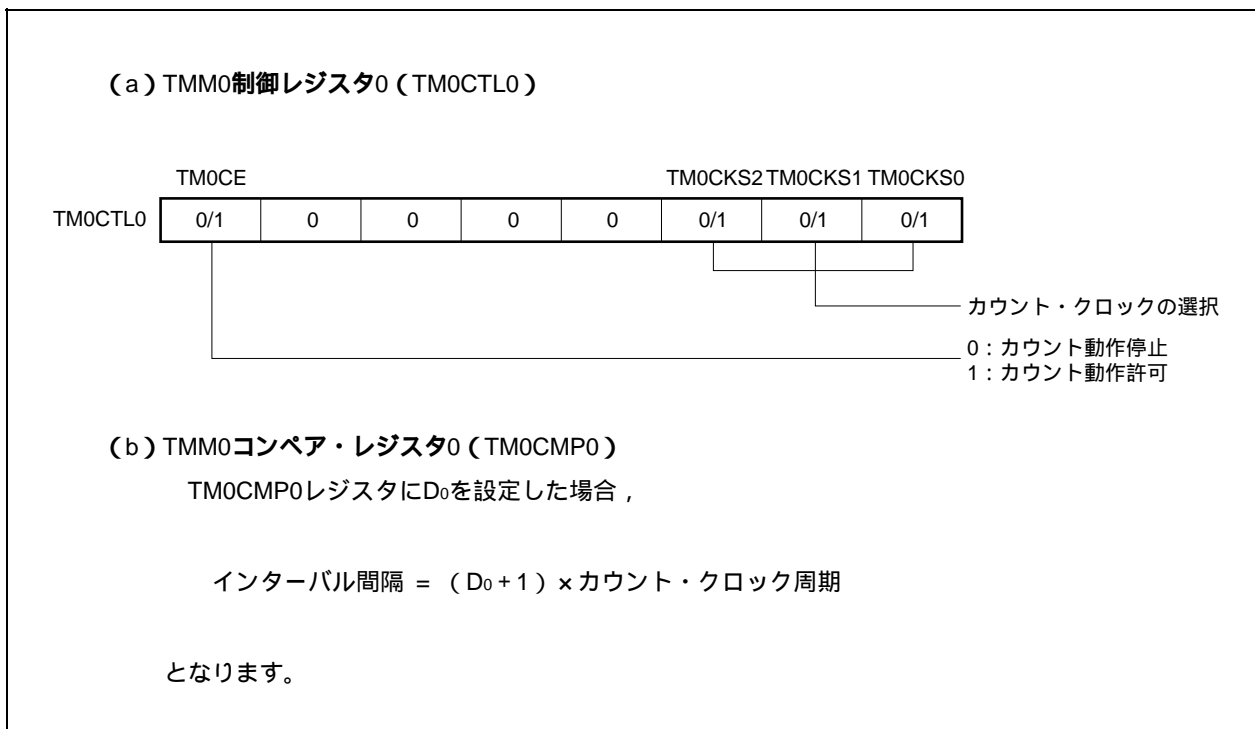
TM0CEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。

16ビット・カウンタのカウント値とTM0CMP0レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号(INTTM0EQ0)を発生します。

インターバル間隔は次のようになります。

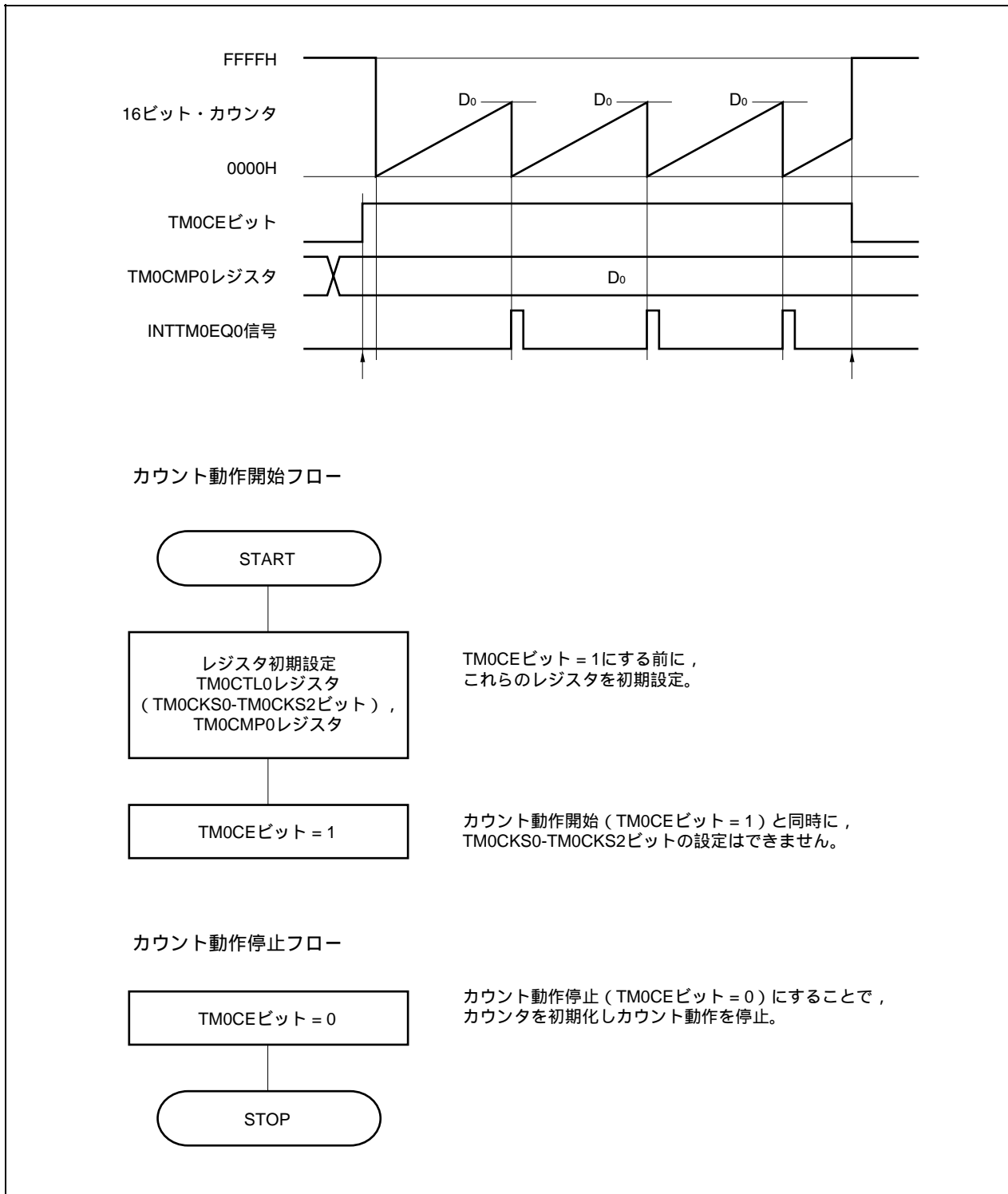
$$\text{インターバル間隔} = (\text{TM0CMP0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図8-4 インターバル・タイマ・モード動作時のレジスタ設定内容



(1) インターバル・タイマ・モード動作フロー

図8-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー





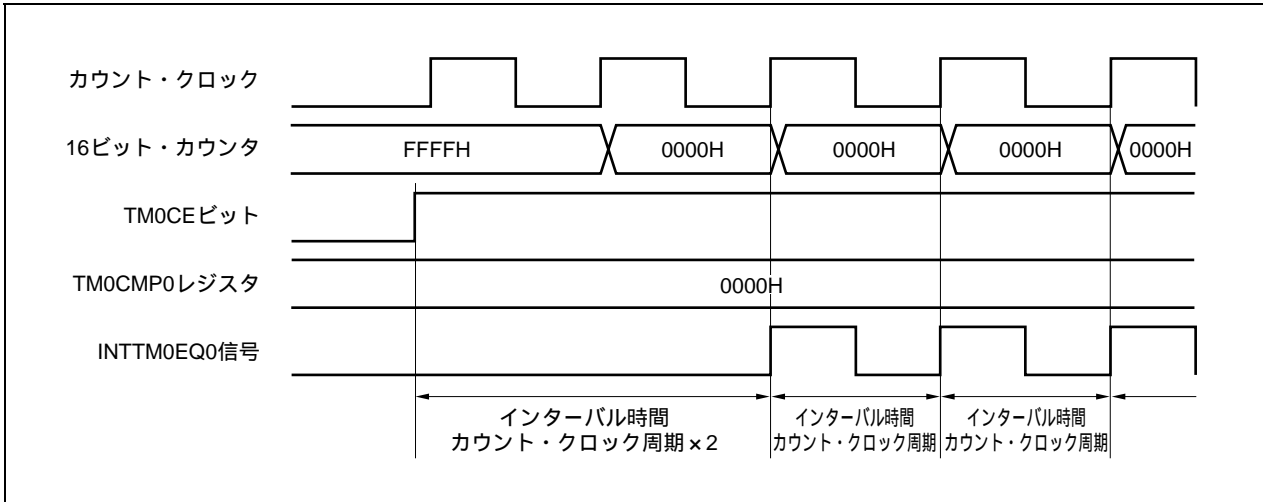
(2) インターバル・タイマ・モード動作タイミング

注意 TM0CMP0レジスタには, FFFFHを設定しないでください。

(a) TM0CMP0レジスタに0000Hを設定した場合の動作

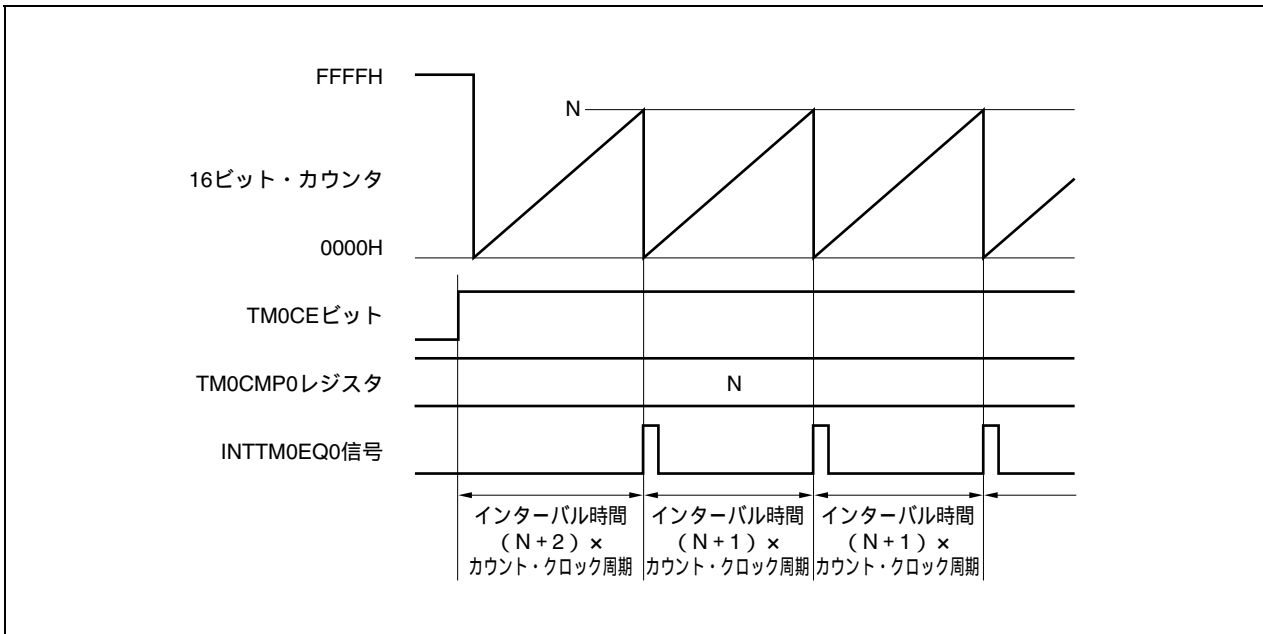
TM0CMP0レジスタに0000Hを設定した場合, カウント・クロックごとにINTTM0EQ0信号を発生します。

16ビット・カウンタは, 常に0000Hとなります。



(b) TM0CMP0レジスタにNを設定した場合の動作

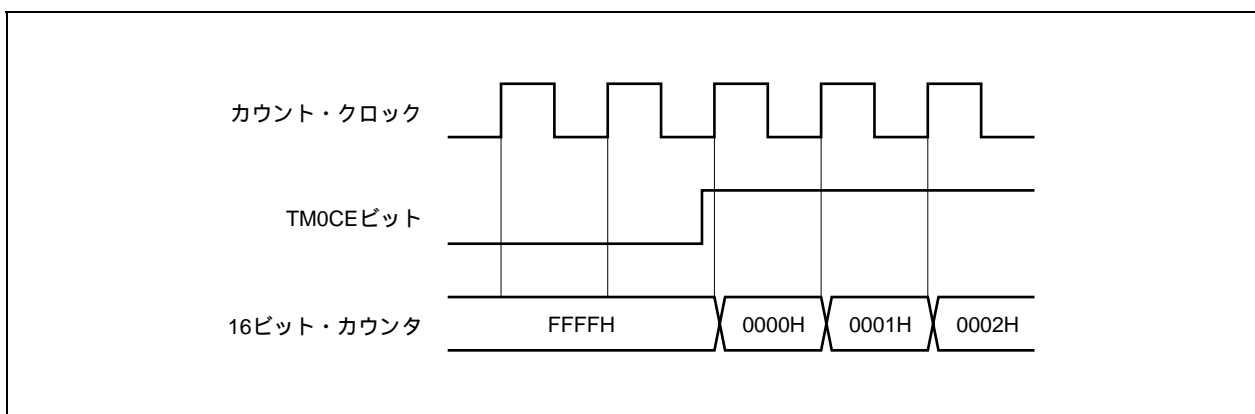
TM0CMP0レジスタにNを設定した場合, 16ビット・カウンタはNまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTM0EQ0信号を発生します。



## 8.5 注意事項

### (1) タイマ・スタート時の誤差

TM0CTL0.TM0CEビット = 0 1にしてTMM0をスタートしてから、最初のコンペアー一致割り込み要求信号 (INTTM0EQ0) が発生するまでの時間は、1クロック長くなります。これは、TM0CEビット = 0のときの16ビット・カウンタの値がFFFFHであるためと、TMM0のスタートがカウント・クロックと非同期で行われるためです。



### (2) TM0CMP0, TM0CTL0レジスタはTMM0動作中の書き換えは禁止です。

TM0CTL0.TM0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TM0CEビットをクリア (0) してから再設定してください。

### (3) TM0CMP0レジスタにはFFFFHを設定しないでください。

## 第9章 ウォッチドッグ・タイマ機能

### 9.1 機 能

ウォッチドッグ・タイマには、次の動作モードがあります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

上記動作モードにより、次の機能を実現します。

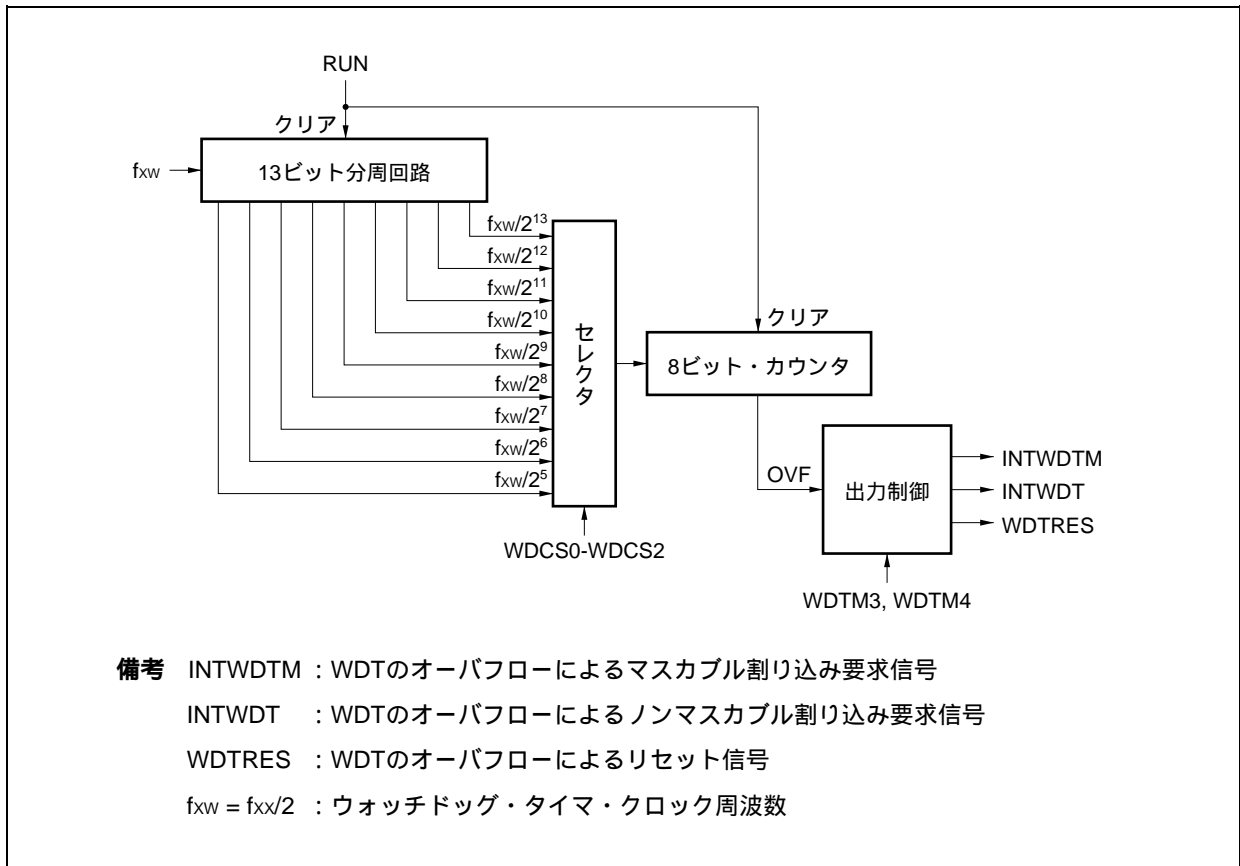
- ・ウォッチドッグ・タイマのオーバーフローによる、ノンマスクブル割り込み要求信号 (INTWDT) を発生する。
- ・ウォッチドッグ・タイマのオーバーフローによる、システム・リセット信号 (WDTRES) を発生する。
- ・インターバル・タイマのオーバーフローによる、マスクブル割り込み要求信号 (INTWDTM) を発生する。

**備考** ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、WDTMレジスタで選択してください。

## 9.2 構 成

次にウォッチドッグ・タイマのブロック図を示します。

図9 - 1 ウォッチドッグ・タイマのブロック図



ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9 - 1 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

## 9.3 制御レジスタ

### (1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

WDCSレジスタは、ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF6C1H

	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間	f <sub>xx</sub>		
				34 MHz	32 MHz	20 MHz
				0	0	0
0	0	1	2 <sup>15</sup> /f <sub>xx</sub>	964 μs	1.024 ms	1.638 ms
0	1	0	2 <sup>16</sup> /f <sub>xx</sub>	1.928 ms	2.048 ms	3.277 ms
0	1	1	2 <sup>17</sup> /f <sub>xx</sub>	3.855 ms	4.096 ms	6.554 ms
1	0	0	2 <sup>18</sup> /f <sub>xx</sub>	7.710 ms	8.192 ms	13.11 ms
1	0	1	2 <sup>19</sup> /f <sub>xx</sub>	15.42 ms	16.38 ms	26.21 ms
1	1	0	2 <sup>20</sup> /f <sub>xx</sub>	30.84 ms	32.77 ms	52.43 ms
1	1	1	2 <sup>22</sup> /f <sub>xx</sub>	123.4 ms	131.1 ms	209.7 ms

**備考** f<sub>xw</sub> = f<sub>xx</sub>/2 : ウォッチドッグ・タイマ・クロック周波数

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。

このレジスタは特定レジスタです。特定のシーケンスによってのみ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF6C2H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 <sup>注1</sup>
0	カウントを停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 <sup>注2</sup>
0	0	インターバル・タイマ・モード
0	1	(オーバーフロー発生時，マスカブル割り込みINTWDTM発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込みINTWDT発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作WDTRESを起動)

注1. RUNビットは，一度セット(1)されると，ソフトウェアでクリア(0)することはできません。

したがって，カウントを開始すると，リセット以外で停止させることはできません。

2. WDTM4, WDTM3ビットは，RUNビットが一度セット(1)されると，ソフトウェアでクリア(0)することはできません。これらのビットをクリアするには，リセットのみが有効です。

**注意** WDTMレジスタへのアクセスはウェイトを要する場合があります。詳細は，3.4.8(2)を参照してください。

## 9.4 動作

### 9.4.1 ウォッチドッグ・タイマとしての動作

WDTM.WDTM4ビットをセット(1)することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

WDCS.WDCS2-WDCS0ビットでウォッチドッグ・タイマのカウント・クロック(暴走検出時間間隔)を選択できます。

WDTM.RUNビットをセット(1)することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNビットに再度セット(1)すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNビットがセット(1)されず、暴走検出時間を越えてしまった場合は、WDTM.WDTM3ビットの値によりリセット信号(WDTRES)またはノンマスクブル割り込み要求信号(INTWDT)が発生します。

ウォッチドッグ・タイマは、STOPモード時とIDLEモード時は動作を停止します。STOPモードやIDLEモードに入る前にRUNビットをセット(1)し、ウォッチドッグ・タイマをクリアしてください。

また、HALTモード時はウォッチドッグ・タイマは動作するため、HALT中にオーバフローが発生しないように注意してください。

**注意** 一度WDTM4ビットに“0”を設定(インターバル・タイマ・モードを選択)したときは、リセットされるまでウォッチドッグ・タイマ・モードには変更しないでください。

表9-2 ウォッチドッグ・タイマの暴走検出時間

クロック	暴走検出時間		
	$f_{xx} = 34 \text{ MHz}$	$f_{xx} = 32 \text{ MHz}$	$f_{xx} = 20 \text{ MHz}$
$2^{14}/f_{xx}$	482 $\mu\text{s}$	512 $\mu\text{s}$	819 $\mu\text{s}$
$2^{15}/f_{xx}$	964 $\mu\text{s}$	1.024 ms	1.638 ms
$2^{16}/f_{xx}$	1.928 ms	2.048 ms	3.277 ms
$2^{17}/f_{xx}$	3.855 ms	4.096 ms	6.554 ms
$2^{18}/f_{xx}$	7.710 ms	8.192 ms	13.11 ms
$2^{19}/f_{xx}$	15.42 ms	16.38 ms	26.21 ms
$2^{20}/f_{xx}$	30.84 ms	32.77 ms	52.43 ms
$2^{22}/f_{xx}$	123.4 ms	131.1 ms	209.7 ms

**備考**  $f_{xw} = f_{xx}/2$  : ウォッチドッグ・タイマ・クロック周波数

### 9.4.2 インターバル・タイマとしての動作

WDTM.WDTM4ビットに“0”を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき、WDTIC.WDTMKフラグと優先順位指定フラグ(WDTIC.WDTPR0-WDTPR2ビット)が有効となり、マスカブル割り込み要求信号(INTWDTM)を発生させることができます。INTWDTM信号のデフォルト優先順位は、マスカブル割り込み要求信号の中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時とIDLEモード時は動作を停止します。

**注意** 一度WDTM4ビットに“1”を設定(ウォッチドッグ・タイマ・モードを選択する)し、RUNビットをセット(1)すると、リセットされないうえ、インターバル・タイマ・モードに変更はできません。

表9-3 インターバル・タイマのインターバル時間

クロック	暴走検出時間		
	$f_{xx} = 34 \text{ MHz}$	$f_{xx} = 32 \text{ MHz}$	$f_{xx} = 20 \text{ MHz}$
$2^{14}/f_{xx}$	482 $\mu\text{s}$	512 $\mu\text{s}$	819 $\mu\text{s}$
$2^{15}/f_{xx}$	964 $\mu\text{s}$	1.024 ms	1.638 ms
$2^{16}/f_{xx}$	1.928 ms	2.048 ms	3.277 ms
$2^{17}/f_{xx}$	3.855 ms	4.096 ms	6.554 ms
$2^{18}/f_{xx}$	7.710 ms	8.192 ms	13.11 ms
$2^{19}/f_{xx}$	15.42 ms	16.38 ms	26.21 ms
$2^{20}/f_{xx}$	30.84 ms	32.77 ms	52.43 ms
$2^{22}/f_{xx}$	123.4 ms	131.1 ms	209.7 ms

**備考**  $f_{wx} = f_{xx}/2$  : ウォッチドッグ・タイマ・クロック周波数



## 第10章 リアルタイム出力機能 (RTO)

### 10.1 機 能

RTBL0, RTBH0レジスタにあらかじめ設定したデータを, タイマ割り込みの発生と同時にハードウェアで出力ラッチに転送して, 外部に出力することをリアルタイム出力機能 (RTO) といいます。また, 外部へ出力する端子をリアルタイム出力ポートと呼びます。

RTOを使用することにより, ジッタのない信号を出力できますので, ステッピング・モータなどの制御に最適です。

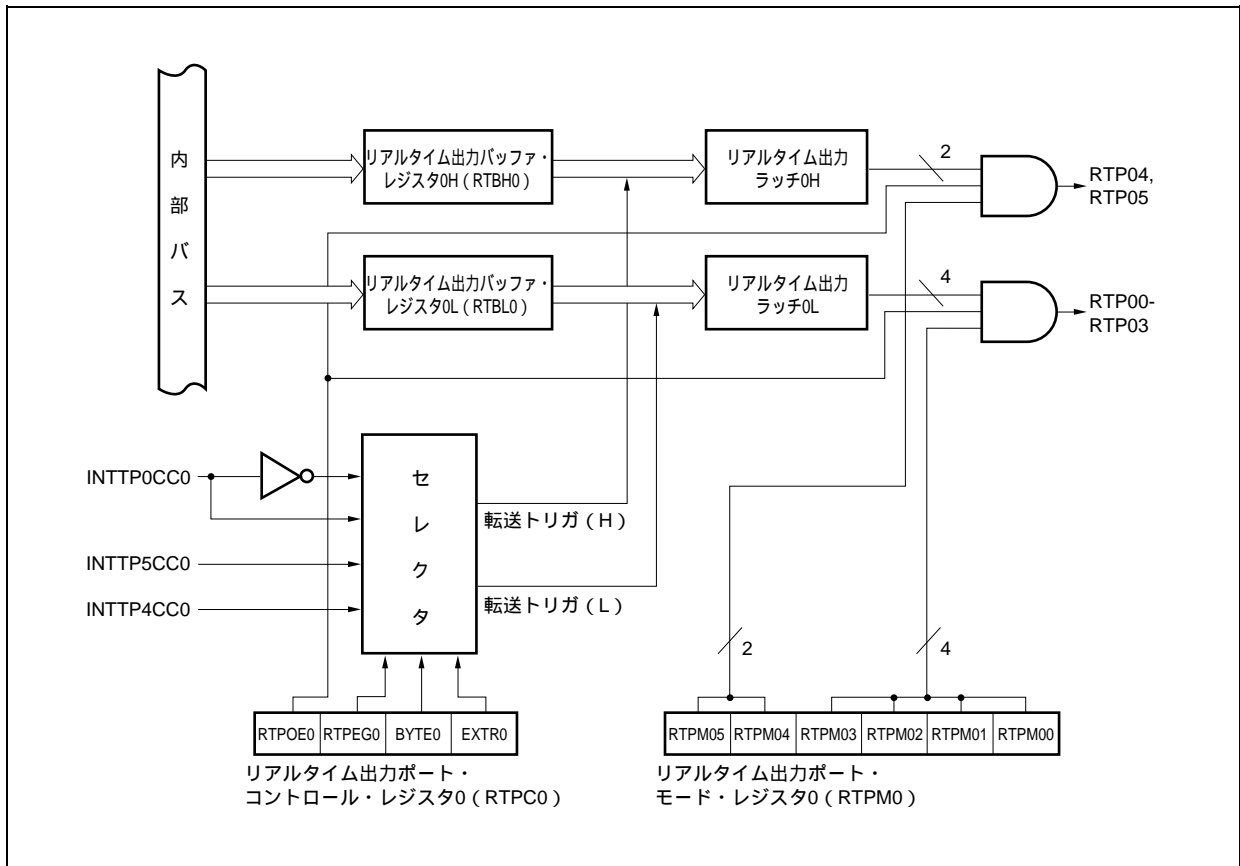
V850ES/ST2では, 6ビット・リアルタイム出力ポートを1チャンネル搭載しています。

1ビット単位でポート・モード / リアルタイム出力ポート・モードの指定ができます。

## 10.2 構成

次にRTOのブロック図を示します。

図10 - 1 RTOのブロック図



RTOは、次のハードウェアで構成しています。

表10 - 1 RTOの構成

項目	構成
レジスタ	リアルタイム出力バッファ・レジスタ0L, 0H (RTBL0, RTBH0)
制御レジスタ <sup>注</sup>	リアルタイム出力ポート・モード・レジスタ0 (RTPM0) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

注 RTP00-RTP05端子の機能を使用する場合は、表4 - 15 ポート端子を兼用端子として使用する場合を参照してください。

(1) リアルタイム出力バッファ・レジスタ0L, 0H (RTBL0, RTBH0)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL0, RTBH0レジスタは、周辺I/Oレジスタ領域内でそれぞれ独立したアドレスにマッピングされています。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

4ビット×1チャンネル、2ビット×1チャンネルの動作モードを指定したとき (RTPC0.BYTE0ビット = 0) は、RTBL0, RTBH0レジスタはそれぞれ独立にデータを設定できます。また、RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

6ビット×1チャンネルの動作モードを指定したとき (BYTE0ビット = 1) は、RTBL0, RTBH0レジスタのどちらか一方に8ビット・データを書き込むことにより、RTBL0, RTBH0レジスタそれぞれにデータを設定できます。また、RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

表10 - 2にRTBL0, RTBH0レジスタに対する操作時の動作を示します。

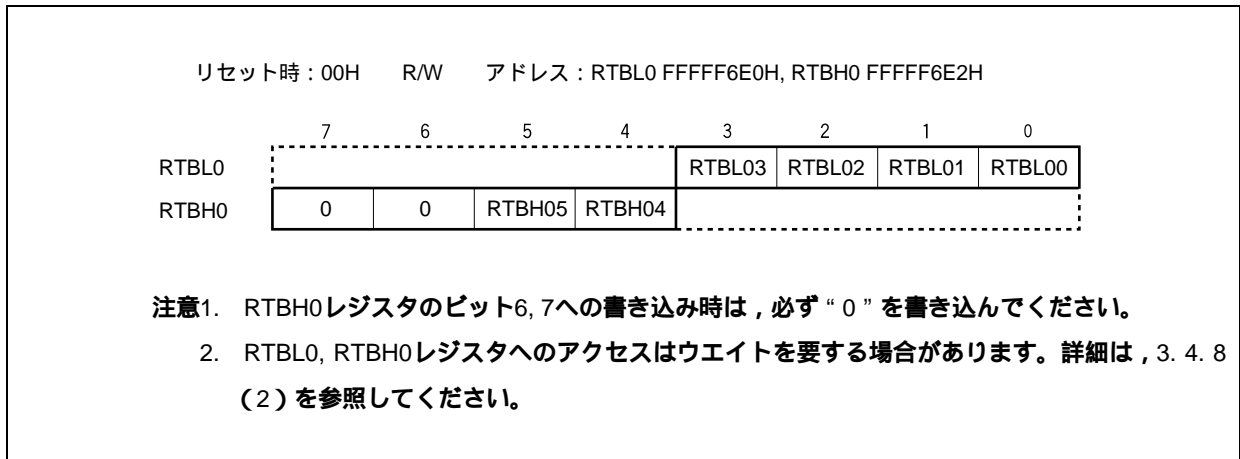


表10 - 2 RTBL0, RTBH0レジスタに対する操作時の動作

動作モード	操作対象 レジスタ	リード時		ライト時 <sup>注</sup>	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×1チャンネル, 2ビット×1チャンネル	RTBL0	RTBH0	RTBL0	無効	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	無効
6ビット×1チャンネル	RTBL0	RTBH0	RTBL0	RTBH0	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	RTBL0

**注** リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBL0, RTBH0レジスタに出力データを設定してください。

## 10.3 制御レジスタ

RTOは、次の2種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ0 (RTPM0)
- ・リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

**備考** RTP00-RTP05端子の機能を使用する場合は、表4 - 15 ポート端子を兼用端子として使用する場合は参照してください。

### (1) リアルタイム出力ポート・モード・レジスタ0 (RTPM0)

RTPM0レジスタは、リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF6E4H

	7	6	5	4	3	2	1	0
RTPM0	0	0	RTPM05	RTPM04	RTPM03	RTPM02	RTPM01	RTPM00
RTPM0m	リアルタイム出力ポートの制御 (m = 0-5)							
	0	リアルタイム出力禁止						
	1	リアルタイム出力許可						

- 注意1.** リアルタイム出力動作を許可 (RTPC0.RTPOE0ビット = 1) することにより、RTP00-RTP05信号のうちリアルタイム出力許可されたビットはリアルタイム出力を行い、リアルタイム出力動作禁止に指定されたビットは“0”を出力します。
2. リアルタイム出力動作を禁止 (RTPOE0ビット = 0) した場合は、RTPM0レジスタの設定にかかわらず、リアルタイム出力端子 (RTP00-RTP05) は全ビット“0”を出力します。
3. リアルタイム出力端子 (RTP00-RTP05) として使用するには、PMC, PFCレジスタでリアルタイム出力ポートに設定してください。
4. ビット6, 7には必ず“0”を設定してください。

(2) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

RTPC0レジスタは、リアルタイム出力ポートの動作モード、および出力トリガを設定するレジスタです。リアルタイム出力ポートの動作モードと出力トリガについては表10 - 3に示すような関係があります。8/1ビット単位でリード/ライト可能です。リセットにより00Hになります。

リセット時：00H    R/W    アドレス：FFFFFF6E5H

⑦	6	5	4	3	2	1	0
RTPC0	RTPOE0	RTPEG0	BYTE0	EXTR0	0	0	0

RTPOE0	リアルタイム出力の動作制御
0	動作禁止 <sup>注1</sup>
1	動作許可

RTPEG0	INTTP0CC0信号の有効エッジ
0	立ち下がりエッジ <sup>注2</sup>
1	立ち上がりエッジ

BYTE0	リアルタイム出力のチャンネル構成指定
0	4ビット×1チャンネル, 2ビット×1チャンネル
1	6ビット×1チャンネル

**注1.** リアルタイム出力動作禁止 (RTPOE0ビット = 0) の場合、リアルタイム出力信号 (RTP00-RTP05) は全ビット“0”を出力します。

**注2.** INTTP0CC0信号は、TMP0で選択しているカウント・クロックの1クロック分出力されません。

**注意** RTPEG0, BYTE0, EXTR0ビットの設定は、必ずRTPOE0ビット = 0のときに行ってください。

表10 - 3 リアルタイム出力ポートの動作モードと出力トリガ

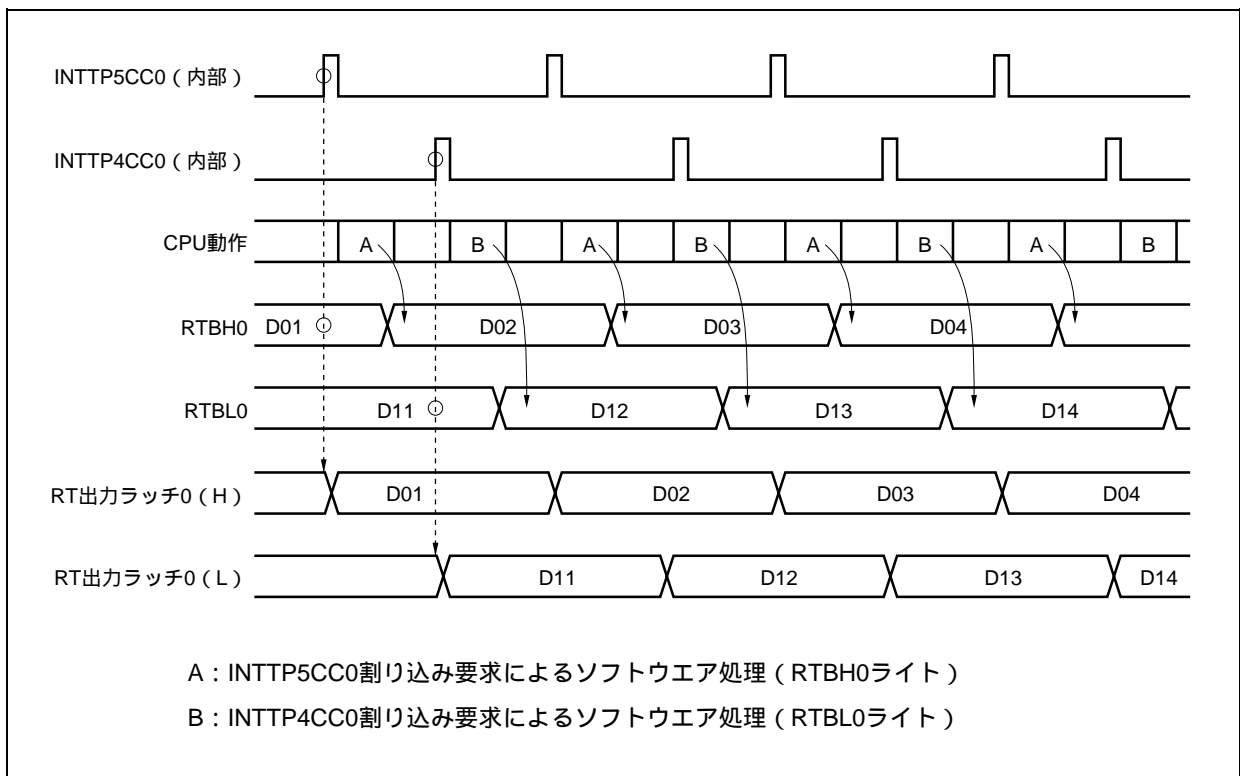
BYTE0	EXTR0	動作モード	RTBH0 ( RTP04, RTP05 )	RTBL0 ( RTP00-RTP03 )
0	0	4ビット×1チャンネル,	INTTP5CC0	INTTP4CC0
	1	2ビット×1チャンネル	INTTP4CC0	INTTP0CC0
1	0	6ビット×1チャンネル	INTTP4CC0	
	1		INTTP0CC0	

## 10.4 動作

RTPC0.RTPOE0ビット = 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (RTPC0.EXTR0, BYTE0ビットで設定) の発生に同期して、RTBH0, RTBL0レジスタのデータをリアルタイム出力ラッチに転送します。転送されたデータのうちRTPM0レジスタの設定により、リアルタイム出力を許可されたビットのデータのみをRTP00-RTP05のそれぞれのビットから出力します。RTPM0レジスタでリアルタイム出力動作禁止に指定されたビットは0を出力します。

RTPOE0ビット = 0でリアルタイム出力動作を禁止した場合は、RTPM0レジスタの設定に関係なくRTP00-RTP05信号は0を出力します。

図10 - 2 RTO0の動作タイミング例 (EXTR0ビット = 0, BYTE0ビット = 0の場合)



**備考** スタンバイ時の動作については、第16章 **スタンバイ機能**を参照してください。

## 10.5 使用方法

(1) リアルタイム出力動作を禁止する。

RTPC0.RTPOE0ビット = 0に設定。

(2) 初期設定

- ・ポート5の兼用端子を設定

PFC5.PFC5nビット, PFCE5.PFCE5nビットに1を設定後, PMC5.PMC5nビットに1を設定する(n = 0-5)。

- ・ビット単位でリアルタイム出力ポート・モード/ポート・モードを指定する。

RTPM0レジスタを設定。

- ・チャンネル構成, トリガおよび有効エッジを選択する。

RTPC0.EXTR0, BYTE0, RTPEG0ビットを設定。

- ・初期値をRTBH0, RTBL0レジスタに設定する<sup>注1</sup>。

(3) リアルタイム出力動作を許可する。

RTPOE0ビット = 1に設定。

(4) 選択した転送トリガが発生するまでに, 次の出力値をRTBH0, RTBL0レジスタに設定する<sup>注2</sup>。

(5) 選択したトリガに対応する割り込み処理により, 順次, 次のリアルタイム出力値をRTBH0, RTBL0レジスタに設定する。

注1. RTPOE0ビット = 0のとき, RTBH0, RTBL0レジスタに対してライトを行うと, その値がそれぞれリアルタイム出力ラッチ0H, リアルタイム出力ラッチ0Lに転送されます。

2. RTPOE0ビット = 1のとき, RTBH0, RTBL0レジスタに対してライトを行っても, リアルタイム出力ラッチ0H, リアルタイム出力ラッチ0Lにデータ転送はされません。

## 10.6 注意事項

(1) ソフトウェアにより, 次の競合を回避してください。

- ・リアルタイム出力動作の禁止/許可の切り替え (RTPOE0ビット) と選択したリアルタイム出力トリガとの競合

- ・リアルタイム出力動作許可状態におけるRTBH0, RTBL0レジスタのライトと選択したリアルタイム出力トリガとの競合

(2) 初期設定は, リアルタイム出力動作を禁止 (RTPOE0ビット = 0) にしてから行ってください。

(3) 一度リアルタイム出力動作を禁止 (RTPOE0ビット = 0) した場合は, リアルタイム出力動作を許可 (RTPOE0ビット = 0 1) する前に, 必ずRTBH0, RTBL0レジスタに初期値を設定してください。

# 第11章 A/Dコンバータ

## 11.1 概 要

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、10ビット分解能、8チャンネル：ANI0-ANI7の構成になっています。

次にA/Dコンバータの特徴について示します。

10ビット分解能

8チャンネル

逐次比較変換方式

動作電圧： $AV_{REF0} = 3.0 \sim 3.6 \text{ V}$

アナログ入力電圧： $AV_{REF0}$

動作モードとして、次の機能があります。

- ・連続セレクト・モード
- ・連続スキャン・モード
- ・ワンショット・セレクト・モード
- ・ワンショット・スキャン・モード

トリガ・モードとして、次の機能があります。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（外部1本）

## 11.2 機 能

### (1) 10ビット分解能A/D変換

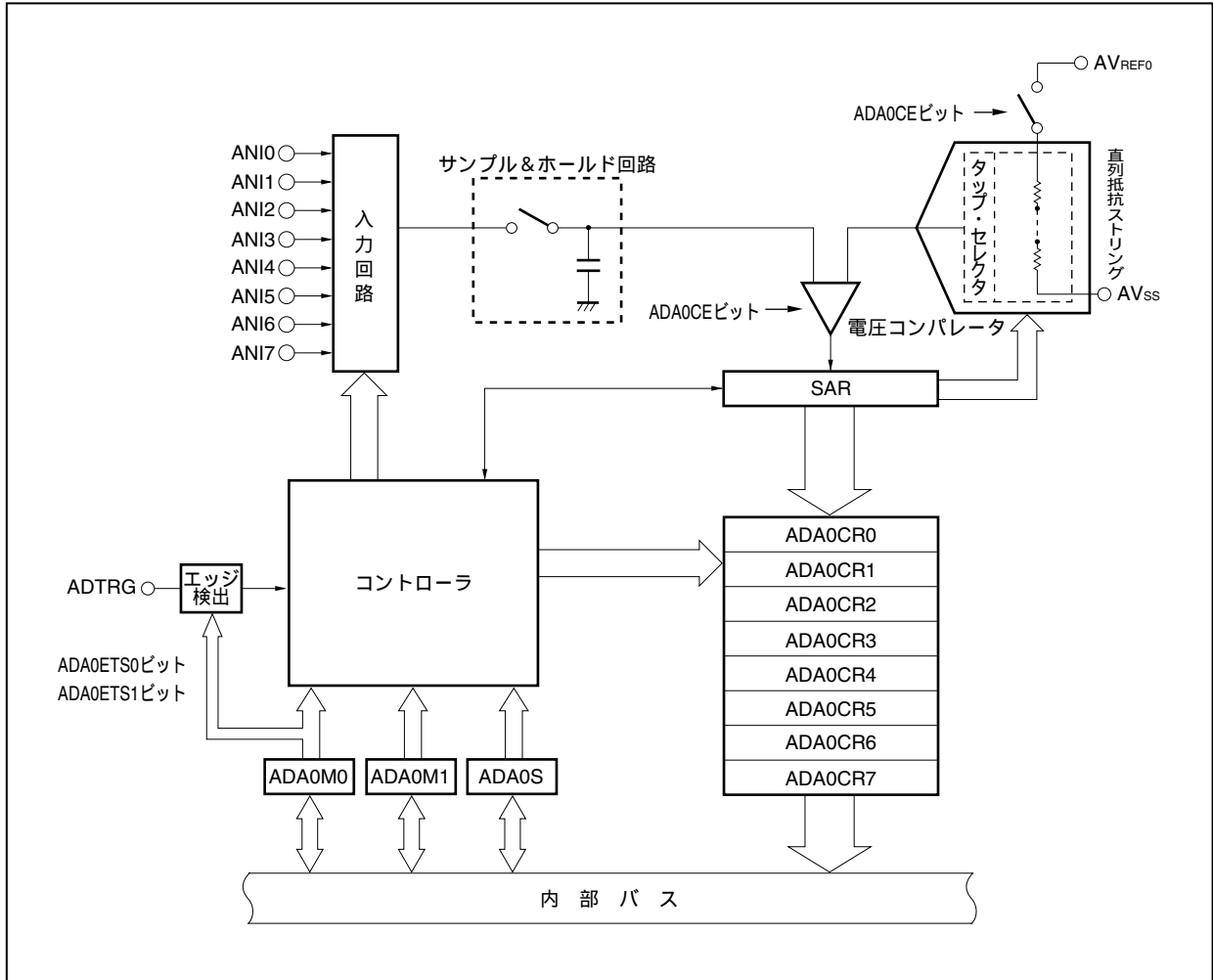
アナログ入力をANI0-ANI7から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します。



### 11.3 構成

次にブロック図を示します。

図11-1 A/Dコンバータのブロック図



A/Dコンバータは、次のハードウェアで構成しています。

表11-1 A/Dコンバータの構成

項目	構成
アナログ入力	8チャンネル ( ANI0-ANI7端子 )
レジスタ	逐次変換レジスタ ( SAR ) A/D変換結果レジスタ ( ADA0CR0-ADA0CR7 ) A/D変換結果レジスタH ( ADCR0H-ADCR7H ) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ0, 1 ( ADA0M0, ADA0M1 ) A/Dコンバータ・チャンネル指定レジスタ ( ADA0S )

**(1) 逐次変換レジスタ (SAR)**

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し, その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了), SARレジスタの内容はADA0CRnレジスタに転送されます。

**備考**  $n = 0-7$

**(2) A/D変換結果レジスタn (ADA0CRn), A/D変換結果レジスタH (ADA0CRnH)**

ADA0ARnレジスタはA/D変換の結果を格納する16ビットのレジスタです。8本のレジスタで構成されており, A/D変換結果はアナログ入力に対応したADCRnレジスタの上位10ビットに格納します (下位6ビットは0に固定)。

**(3) A/Dコンバータ・モード・レジスタ0 (ADA0M0)**

動作モードの指定および変換動作の制御を行うレジスタです。

**(4) A/Dコンバータ・モード・レジスタ1 (ADA0M1)**

A/D変換するアナログ入力の変換時間を設定するレジスタです。

**(5) A/Dコンバータ・チャンネル指定レジスタ (ADA0S)**

A/D変換するアナログ電圧の入力ポートを設定するレジスタです。

**(6) サンプル&ホールド回路**

サンプル&ホールド回路は, 入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし, 電圧コンパレータに送ります。また, そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

**(7) 電圧コンパレータ**

電圧コンパレータは, アナログ入力と直列抵抗ストリングの出力電圧を比較します。

**(8) 直列抵抗ストリング**

直列抵抗ストリングは $AV_{REF0}$ - $AV_{SS}$ 間に接続されており, アナログ入力と比較する電圧を発生します。

**(9) ANI0-ANI7端子**

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は, 入力ポートとして使用できます。

**注意** ANI0-ANI7入力電圧は規格の範囲内で使用してください。特に $AV_{REF0}$ 以上の電圧が入力されると, そのチャンネルの変換値が不定となり, またほかのチャンネルの変換値にも影響を与えることがあります。

**(10) AV<sub>REF0</sub>端子**

A/Dコンバータの基準電圧を入力する端子です。AV<sub>REF0</sub>、AV<sub>SS</sub>間にかかる電圧に基づいて、ANI0-ANI7に入力される信号をデジタル信号に変換します。A/Dコンバータを使用しないときでも、常にV<sub>DD</sub>端子と同電位で使用してください。

**(11) AV<sub>SS</sub>端子**

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV<sub>SS</sub>端子と同電位で使用してください。

## 11.4 レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ0, 1 (ADA0M0, ADA0M1)
- ・ A/Dコンバータ・チャンネル指定レジスタ (ADA0S)

また、次のレジスタも使用します。

- ・ A/D変換結果レジスタn, nH (ADA0CRn, ADA0CRnH)

(1) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ADA0EFビットはリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF200H

	⑦	6	5	4	3	2	1	①
ADA0M0	ADA0CE	0	ADA0MD1	ADA0MD0	ADA0ETS1	ADA0ETS0	ADA0TMD	ADA0EF

ADA0CE	A/D変換動作の制御	
0	変換動作停止	
1	変換動作許可	

ADA0MD1	ADA0MD0	A/Dコンバータ動作モードを指定
0	0	連続セレクト・モード
0	1	連続スキャン・モード
1	0	ワンショット・セレクト・モード
1	1	ワンショット・スキャン・モード

ADA0ETS1	ADA0ETS0	外部トリガ (ADTRG) の有効エッジを指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち上がり/立ち下がり両エッジ検出

ADA0TMD	トリガ・モードを指定
0	ソフトウェア・トリガ・モード
1	外部トリガ・モード

ADA0EF	A/Dコンバータの状態を提示
0	A/D変換停止中
1	A/D変換動作中

- 注意1. ビット0に書き込みを行った場合、書き込みは無視されます。
2. A/D変換動作中 (ADA0CE0ビット = 1) はADA0M1.ADA0FR2-ADA0FR0ビットの変更は禁止です。
  3. A/Dコンバータを使用しない場合は、消費電力を小さくするために、ADA0CEビット = 0として動作を停止させてください。
  4. ADA0M0レジスタへのアクセスはウエイトを要する場合があります。詳細は、3.4.8(2)を参照してください。
  5. 外部トリガ・モードを指定した場合、および変換動作中のADA0M0, ADA0Sレジスタへの書き込みを行った場合の動作については、A.2 A/Dコンバータ動作中における再変換要因の発生タイミングに関する制限事項を参照してください。

(2) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

変換時間の指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF201H

	7	6	5	4	3	2	1	0
ADA0M1	ADA0HS1	0	0	0	ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0

ADA0HS1	A/D変換時間の通常変換モード/高速変換モードを指定
0	通常変換モード
1	高速変換モード

**注意1.** A/D変換動作許可中(ADA0M0.ADA0CEビット = 1)にADA0M1レジスタを変更することは禁止します。

**2.** ビット6-4には必ず“0”を設定してください。

**備考** A/D変換時間の設定例は表11 - 2 , 表11 - 3を参照してください

表11 - 2 通常変換モード時の設定例

ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0	A/D変換時間 <sup>注</sup> (安定時間+変換時間+ウエイト時間)			f <sub>xx</sub> = 34 MHz	f <sub>xx</sub> = 32 MHz	f <sub>xx</sub> = 20 MHz
				安定時間	変換時間	ウエイト時間			
0	0	0	0	13/f <sub>xx</sub>	26/f <sub>xx</sub>	26/f <sub>xx</sub>	設定禁止	設定禁止	設定禁止
0	0	0	1	26/f <sub>xx</sub>	52/f <sub>xx</sub>	52/f <sub>xx</sub>	設定禁止	設定禁止	6.50 μs
0	0	1	0	39/f <sub>xx</sub>	78/f <sub>xx</sub>	78/f <sub>xx</sub>	5.74 μs	6.09 μs	9.75 μs
0	0	1	1	50/f <sub>xx</sub>	104/f <sub>xx</sub>	104/f <sub>xx</sub>	7.59 μs	8.06 μs	12.90 μs
0	1	0	0	50/f <sub>xx</sub>	130/f <sub>xx</sub>	130/f <sub>xx</sub>	9.12 μs	9.69 μs	15.50 μs
0	1	0	1	50/f <sub>xx</sub>	156/f <sub>xx</sub>	156/f <sub>xx</sub>	10.65 μs	11.31 μs	18.10 μs
0	1	1	0	50/f <sub>xx</sub>	182/f <sub>xx</sub>	182/f <sub>xx</sub>	12.18 μs	12.94 μs	20.70 μs
0	1	1	1	50/f <sub>xx</sub>	208/f <sub>xx</sub>	208/f <sub>xx</sub>	13.71 μs	14.56 μs	23.30 μs
1	0	0	0	50/f <sub>xx</sub>	234/f <sub>xx</sub>	234/f <sub>xx</sub>	15.24 μs	16.19 μs	設定禁止
1	0	0	1	50/f <sub>xx</sub>	260/f <sub>xx</sub>	260/f <sub>xx</sub>	16.76 μs	17.81 μs	設定禁止
1	0	1	0	50/f <sub>xx</sub>	286/f <sub>xx</sub>	286/f <sub>xx</sub>	18.29 μs	19.44 μs	設定禁止
1	0	1	1	50/f <sub>xx</sub>	312/f <sub>xx</sub>	312/f <sub>xx</sub>	19.82 μs	21.06 μs	設定禁止
1	1	0	0	50/f <sub>xx</sub>	338/f <sub>xx</sub>	338/f <sub>xx</sub>	21.35 μs	22.69 μs	設定禁止
1	1	0	1	50/f <sub>xx</sub>	364/f <sub>xx</sub>	364/f <sub>xx</sub>	22.88 μs	24.31 μs	設定禁止
1	1	1	0	50/f <sub>xx</sub>	390/f <sub>xx</sub>	390/f <sub>xx</sub>	24.41 μs	設定禁止	設定禁止
1	1	1	1	50/f <sub>xx</sub>	416/f <sub>xx</sub>	416/f <sub>xx</sub>	設定禁止	設定禁止	設定禁止

注 5.74 μs 変換時間 24.41 μsになるように設定してください。

表11 - 3 高速変換モード時の設定例

ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0	A/D変換時間 <sup>注1</sup>	f <sub>xx</sub> = 34 MHz	f <sub>xx</sub> = 32 MHz	f <sub>xx</sub> = 20 MHz	A/D安定時間 <sup>注2</sup>
0	0	0	0	26/f <sub>xx</sub>	設定禁止	設定禁止	設定禁止	13/f <sub>xx</sub>
0	0	0	1	52/f <sub>xx</sub>	設定禁止	設定禁止	2.60 μs	26/f <sub>xx</sub>
0	0	1	0	78/f <sub>xx</sub>	2.29 μs	2.44 μs	3.90 μs	39/f <sub>xx</sub>
0	0	1	1	104/f <sub>xx</sub>	3.06 μs	3.25 μs	5.20 μs	50/f <sub>xx</sub>
0	1	0	0	130/f <sub>xx</sub>	3.82 μs	4.06 μs	6.50 μs	50/f <sub>xx</sub>
0	1	0	1	156/f <sub>xx</sub>	4.59 μs	4.88 μs	7.80 μs	50/f <sub>xx</sub>
0	1	1	0	182/f <sub>xx</sub>	5.35 μs	5.69 μs	9.10 μs	50/f <sub>xx</sub>
0	1	1	1	208/f <sub>xx</sub>	6.12 μs	6.50 μs	10.40 μs	50/f <sub>xx</sub>
1	0	0	0	234/f <sub>xx</sub>	6.88 μs	7.31 μs	設定禁止	50/f <sub>xx</sub>
1	0	0	1	260/f <sub>xx</sub>	7.65 μs	8.13 μs	設定禁止	50/f <sub>xx</sub>
1	0	1	0	286/f <sub>xx</sub>	8.41 μs	8.94 μs	設定禁止	50/f <sub>xx</sub>
1	0	1	1	312/f <sub>xx</sub>	9.18 μs	9.75 μs	設定禁止	50/f <sub>xx</sub>
1	1	0	0	338/f <sub>xx</sub>	9.94 μs	設定禁止	設定禁止	50/f <sub>xx</sub>
1	1	0	1	364/f <sub>xx</sub>	設定禁止	設定禁止	設定禁止	50/f <sub>xx</sub>
1	1	1	0	390/f <sub>xx</sub>	設定禁止	設定禁止	設定禁止	50/f <sub>xx</sub>
1	1	1	1	416/f <sub>xx</sub>	設定禁止	設定禁止	設定禁止	50/f <sub>xx</sub>

注1. 2.29 μs 変換時間 9.94 μsになるように設定してください。

2. A/Dコンバータ安定時間 (1 μs) 確保のため、ADA0M0.ADA0CEビット: 0 1とすると、1回目の変換前のみ上記クロック数を入れたあとに開始されます。

(3) A/Dコンバータ・チャンネル指定レジスタ (ADA0S)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFF202H								
	7	6	5	4	3	2	1	0
ADA0S	0	0	0	0	0	ADA0S2	ADA0S1	ADA0S0
	ADA0S2	ADA0S1	ADA0S0	セレクト・モード	スキャン・モード			
	0	0	0	ANIO	ANIO			
	0	0	1	ANI1	ANIO-ANI1			
	0	1	0	ANI2	ANIO-ANI2			
	0	1	1	ANI3	ANIO-ANI3			
	1	0	0	ANI4	ANIO-ANI4			
	1	0	1	ANI5	ANIO-ANI5			
	1	1	0	ANI6	ANIO-ANI6			
	1	1	1	ANI7	ANIO-ANI7			

注意1. 外部トリガ・モードを指定した場合、および変換動作中のADA0M0, ADA0Sレジスタへの書き込みを行った場合の動作については、A. 2 A/Dコンバータ動作中における再変換要因の発生タイミングに関する制限事項を参照してください。

2. ビット7-3には必ず“0”を設定してください。

(4) A/D変換結果レジスタ<sub>n</sub>, nH (ADA0CR<sub>n</sub>, ADA0CR<sub>n</sub>H)

ADA0CR<sub>n</sub>, ADA0CR<sub>n</sub>Hレジスタは、A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし、16ビット・アクセス時はADA0CR<sub>n</sub>レジスタを指定、8ビット・アクセス時はADA0CR<sub>n</sub>Hレジスタを指定します。ADA0CR<sub>n</sub>レジスタは上位10ビットに変換結果の10ビットが読み出され、下位6ビットには0が読み出されます。ADA0CR<sub>n</sub>Hレジスタには変換結果の上位8ビットが読み出されます。

リセットにより不定になります。

リセット時：不定 R アドレス：ADA0CR0 FFFFF210H, ADA0CR1 FFFFF212H,  
ADA0CR2 FFFFF214H, ADA0CR3 FFFFF216H,  
ADA0CR4 FFFFF218H, ADA0CR5 FFFFF21AH,  
ADA0CR6 FFFFF21CH, ADA0CR7 FFFFF21EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA0CR <sub>n</sub> (n = 0-7)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定 R アドレス：ADA0CR0H FFFFF211H, ADA0CR1H FFFFF213H,  
ADA0CR2H FFFFF215H, ADA0CR3H FFFFF217H,  
ADA0CR4H FFFFF219H, ADA0CR5H FFFFF21BH,  
ADA0CR6H FFFFF21DH, ADA0CR7H FFFFF21FH

	7	6	5	4	3	2	1	0
ADA0CR <sub>n</sub> H (n = 0-7)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

- 注意1.** ADA0M0, ADA0M1, ADA0Sレジスタに対して書き込み動作を行ったとき、ADA0CR<sub>n</sub>レジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0, ADA0M1, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。
- また、外部トリガを受け付けたときも、ADA0CR<sub>n</sub>レジスタの内容は不定になることがあります。変換結果は、変換動作終了後、次の外部トリガを受け付ける前に読み出してください。それ以外のタイミングでは、すべてのチャンネルの変換結果が正しく読み出されないことがあります。
- 2.** ADA0CR<sub>n</sub>, ADA0CR<sub>n</sub>Hレジスタへのアクセスはウェイトを要する場合があります。詳細は3.4.8(2)を参照してください。

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧とA/D変換結果 (ADA0CRnレジスタ) には次式に示す関係があります。

$$SAR = INT \left( \frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5 \right)$$

$$ADA0CRn^{\#} = SAR \times 64$$

または,

$$(SAR - 0.5) \times \frac{AV_{REF0}}{1024} < V_{IN} < (SAR + 0.5) \times \frac{AV_{REF0}}{1024}$$

INT ( ) : ( ) 内の値の整数部を返す関数

$V_{IN}$  : アナログ入力電圧

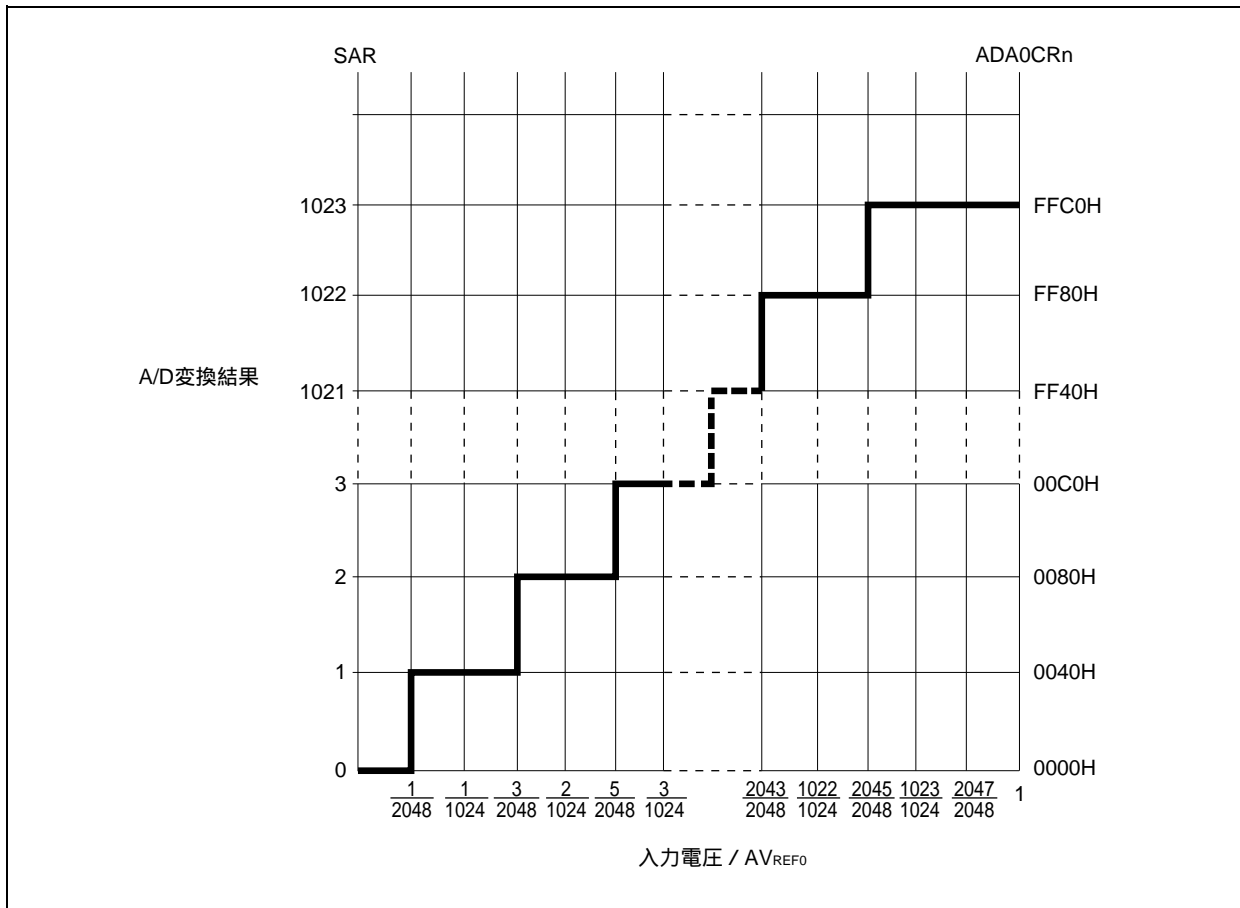
$AV_{REF0}$  :  $AV_{REF0}$ 端子電圧

ADA0CR : ADA0CRnレジスタの値

注 ADA0CRnレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図11 - 2 アナログ入力電圧とA/D変換結果の関係





## 11.5 動作

### 11.5.1 基本動作

A/D変換する動作モード、トリガ・モード、変換時間などをADA0M0, ADA0M1, ADA0Sレジスタで設定します。ADA0M0.ADA0CEビットをセットすると、ソフトウェア・トリガ・モード時は変換を開始し、外部トリガ・モード時はトリガ待機状態になります。

A/D変換が開始されると選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ(SAR)のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを $(1/2)AV_{REF0}$ にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 $(1/2)AV_{REF0}$ よりも大きければ、SARレジスタのMSBをセットしたままです。また、 $(1/2)AV_{REF0}$ よりも小さければMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

・ビット9 = 1 :  $(3/4)AV_{REF0}$

・ビット9 = 0 :  $(1/4)AV_{REF0}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

アナログ入力電圧 電圧タップ : ビット8 = 1

アナログ入力電圧 電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

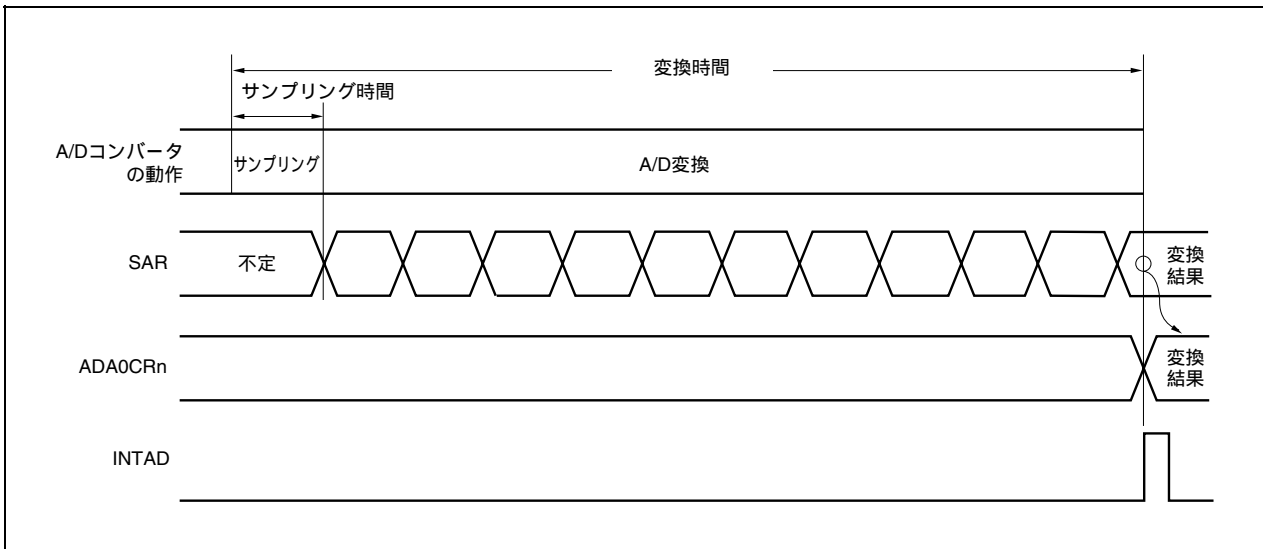
10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がADA0CRnレジスタに転送され格納されます。そのあと、A/D変換終了割り込み要求信号(INTAD)を発生します。

ワンショット・セレクト・モードの場合は、変換を停止します<sup>注</sup>。ワンショット・スキャン・モードの場合は、スキャンを一巡すると停止します<sup>注</sup>。連続セレクト・モードの場合はADA0M0.ADA0CEビット = 0とするまで ~ を繰り返します。連続スキャン・モードの場合もそれぞれのチャンネルに対して ~ を繰り返します。ただし、連続スキャン・モードの場合、ADA0Sレジスタにより選択されたチャンネルをすべて測定したあとに、割り込み要求信号(INTAD)を発生します。

**注** 外部トリガ・モード時はトリガ待機状態になります。トリガ待機状態とは、安定時間経過後の状態を示

します。

図11-3 A/Dコンバータの基本動作



## 11.5.2 トリガ・モード

トリガ・モードの設定により、変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウェア・トリガ・モード、外部トリガ・モードの2つがあります。トリガ・モードの設定はADA0M0.ADA0TMDビットで行います。

### (1) ソフトウェア・トリガ・モード

ADA0M0.ADA0CEビットを“1”に設定すると、ADA0Sレジスタで指定したアナログ入力（ANI0-ANI7端子）に対し、変換動作を開始します。変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、A/D変換終了割り込み要求信号（INTAD）を発生します。

ADA0M0.ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/スキャン・モードであれば、変換終了後はADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。動作モードがワンショット・セレクト/スキャン・モードであれば、1回で変換を終了します。

変換が開始されると、ADA0M0.ADA0EFビット = 1（動作中）となります。

変換動作中にADA0M0, ADA0Sレジスタに書き込みを行った場合の動作については、A.2 A/Dコンバータ動作中における再変換要因の発生タイミングに関する制限事項を参照してください。

### (2) 外部トリガ・モード

外部トリガ（ADTRG端子）の入力により、ADA0Sレジスタで指定したアナログ入力（ANI0-ANI7端子）に対し、変換動作を開始するモードです。ADA0M0.ADA0ETS1, ADA0ETS0ビットの設定により、外部トリガのエッジ検出（立ち上がり、立ち下がり、立ち上がり/立ち下がりの両エッジ）の指定ができます。ADA0CEビットをセット（1）するとトリガ待機状態となり、外部トリガが入力された後に変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/連続スキャン/ワンショット・セレクト/ワンショット・スキャン・モードにかかわらず、変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、INTAD信号を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1（動作中）となります。ただし、トリガ待機状態のときはADA0EFビット = 0（停止中）となります。

変換動作中に有効なトリガが入力された場合、または変換動作中にADA0M0, ADA0Sレジスタに書き込みを行った場合の動作については、A.2 A/Dコンバータ動作中における再変換要因の発生タイミングに関する制限事項を参照してください。

**備考** トリガ待機状態とは、安定時間経過後の状態を示します。

### 11.5.3 動作モード

動作モードには、ANI0-ANI7端子を設定するモードとして、連続セレクト・モード、連続スキャン・モード、ワンショット・セレクト・モード、ワンショット・スキャン・モードの4つがあります。

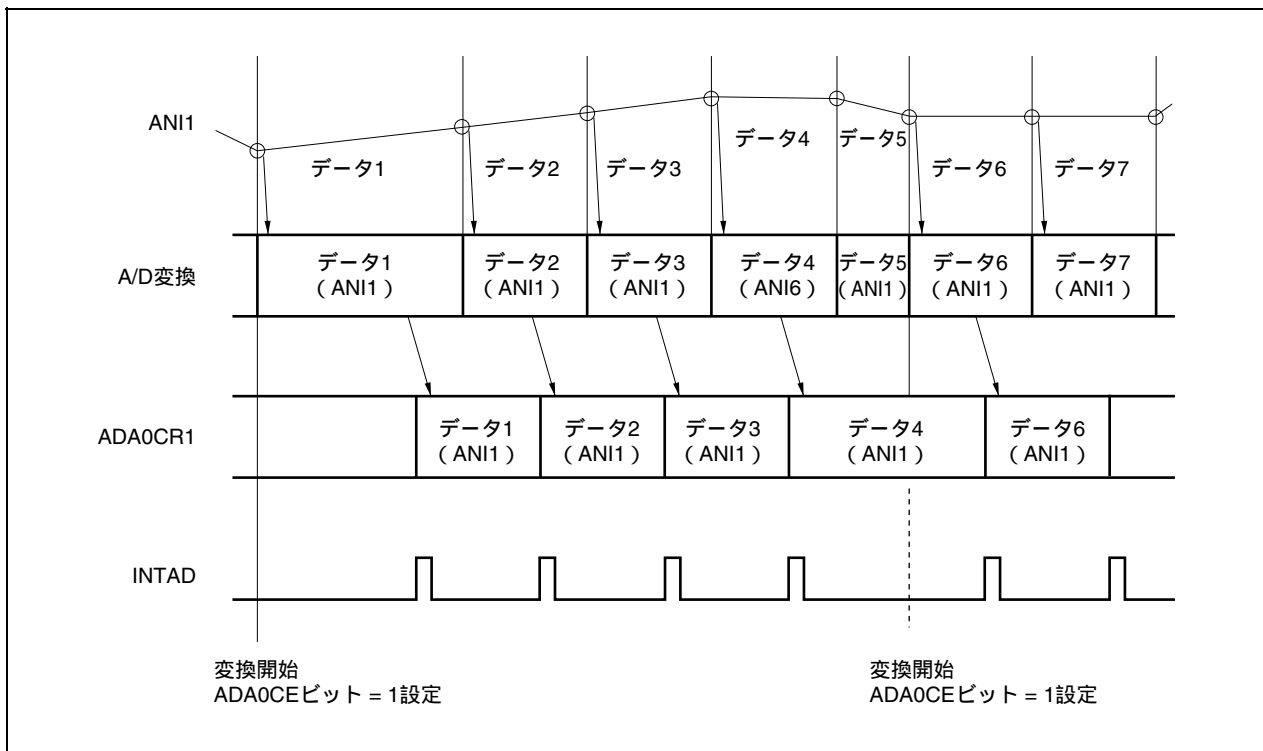
動作モードはADA0M0.ADA0MD1, ADA0MD0ビットで設定します。

#### (1) 連続セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み要求信号 (INTAD) が発生します。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返していきます (n = 0-7)。

図11-4 連続セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)

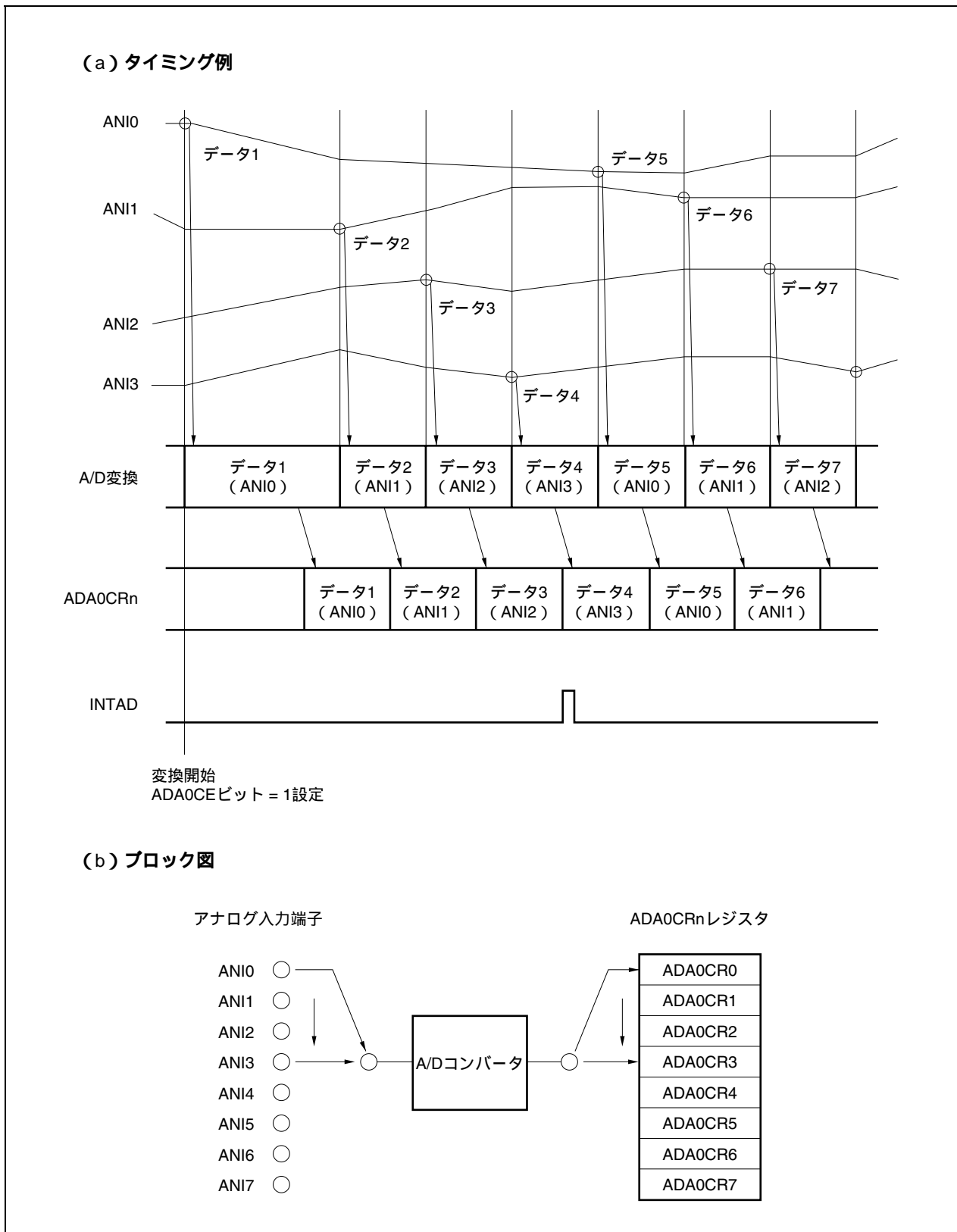


#### (2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換を連続で行います。

A/D変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、ADA0CEビットを“0”にしないかぎり、再びANI0端子からA/D変換を開始します (n = 0-7)。

図11-5 連続スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)

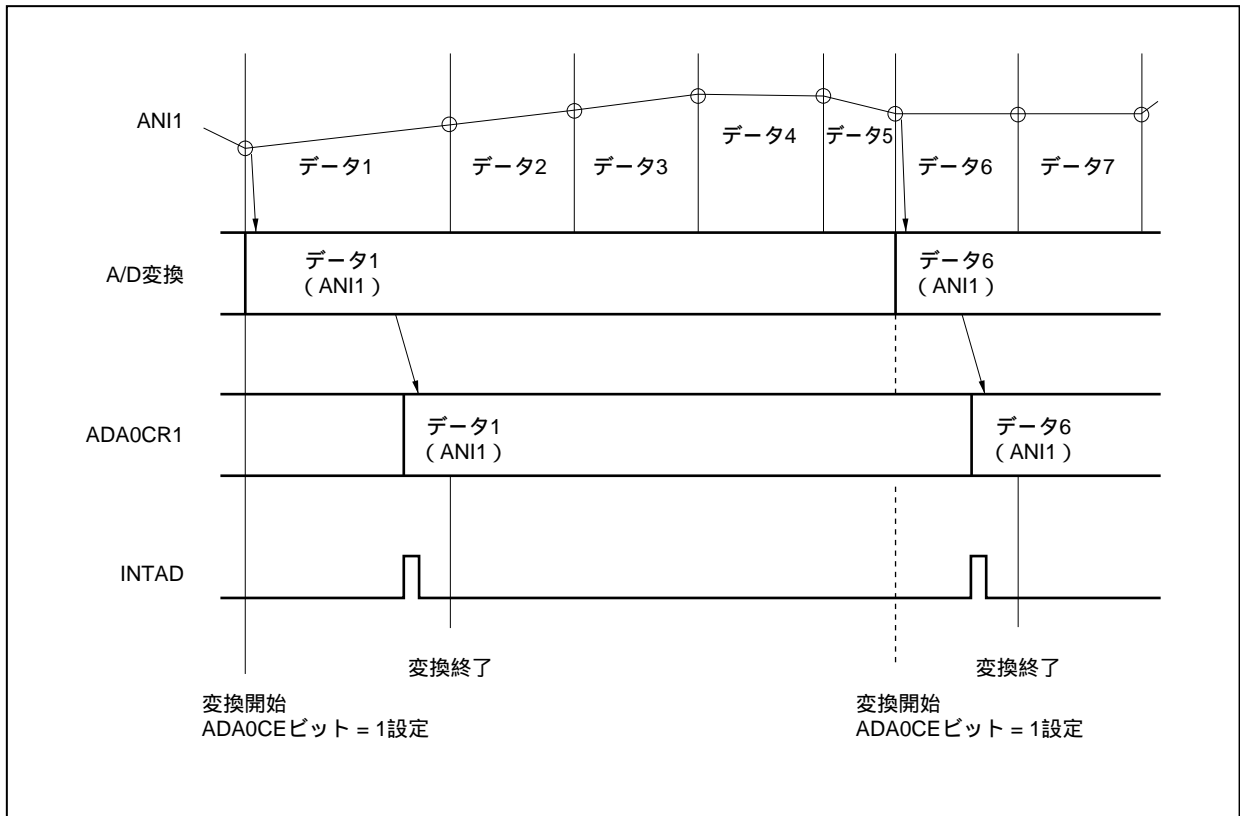


(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子を1回のみA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了後、INTAD信号が発生します。A/D変換終了後はA/D変換動作を停止します (n = 0-7)。

図11 - 6 ワンショット・セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)

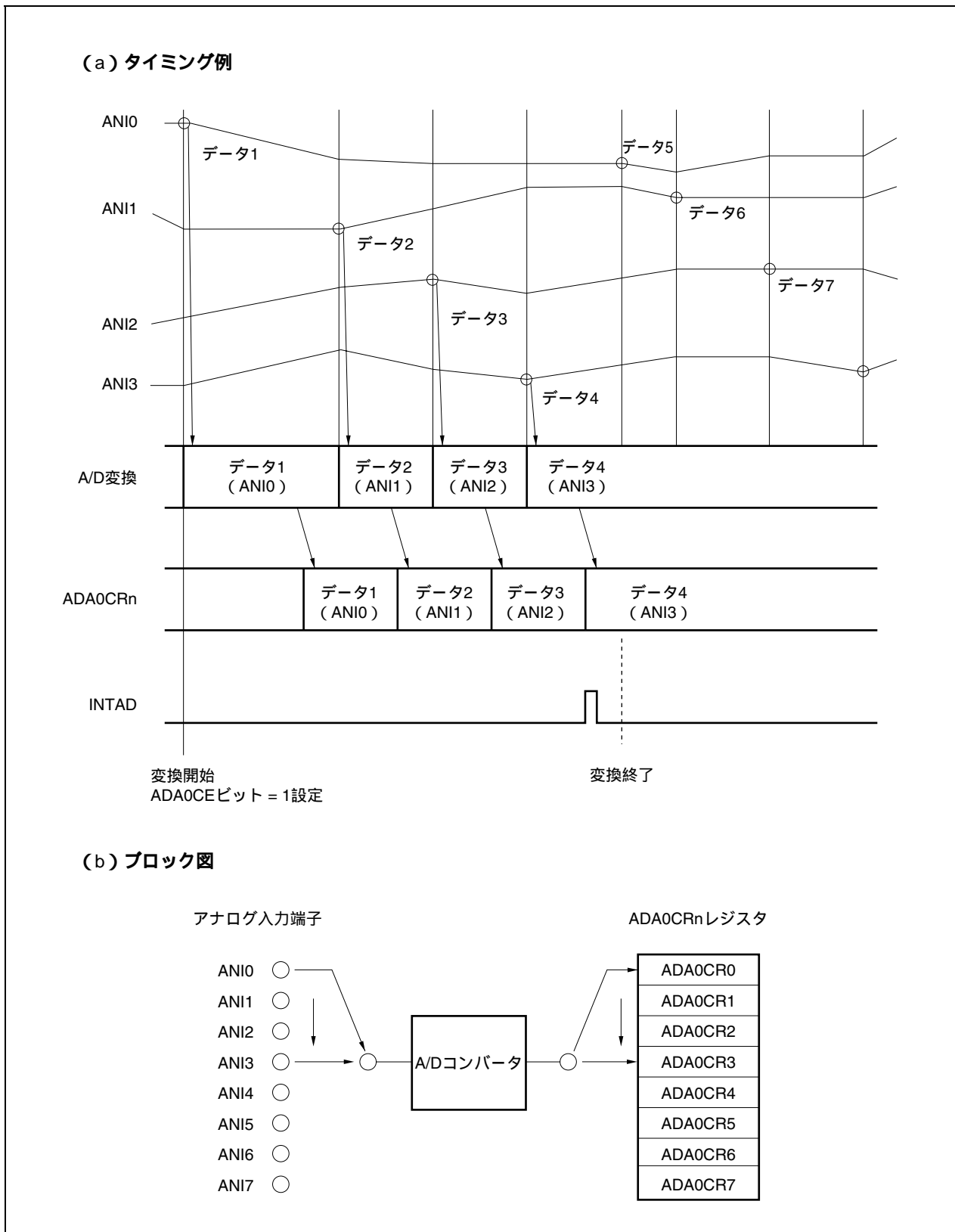


(4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換します。

A/D変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、A/D変換終了後はA/D変換動作を停止します (n = 0-7)。

図11-7 ワンショット・スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)



## 11.6 注意事項

### (1) A/Dコンバータ未使用時について

未使用時は、ADA0M0.ADA0CEビット = 0とすることにより消費電力を低減できます。

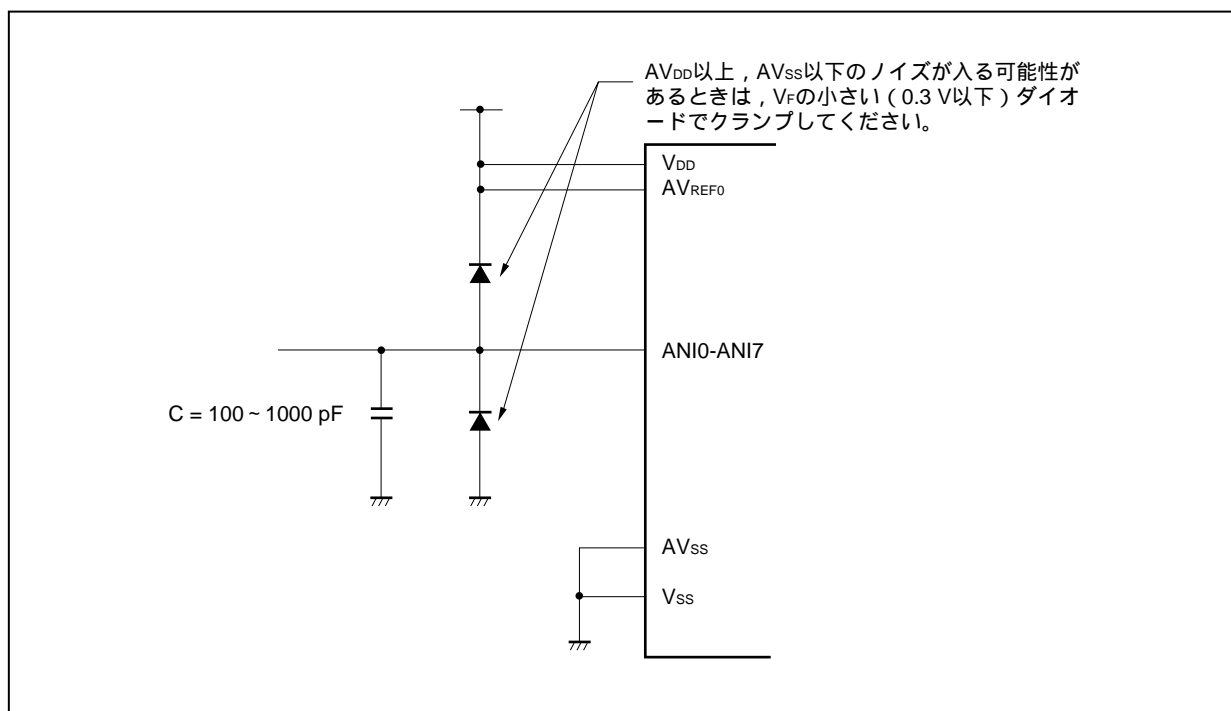
### (2) ANI0-ANI7端子入力範囲について

ANI0-ANI7端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であっても $AV_{REF0}$ 以上、 $AV_{SS}$ 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) ノイズ対策について

10ビット分解能を保つためには、ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-8のようにコンデンサを外付けすることを推奨します。

図11-8 アナログ入力端子の処理



### (4) 兼用入力について

アナログ入力 (ANI0-ANI7) 端子はポート端子と兼用になっています。ANI0-ANI7端子のいずれかを選択してA/D変換をする場合、変換中に入力ポートへの読み出し命令を実行しないでください。変換分解能が低下することがあります。

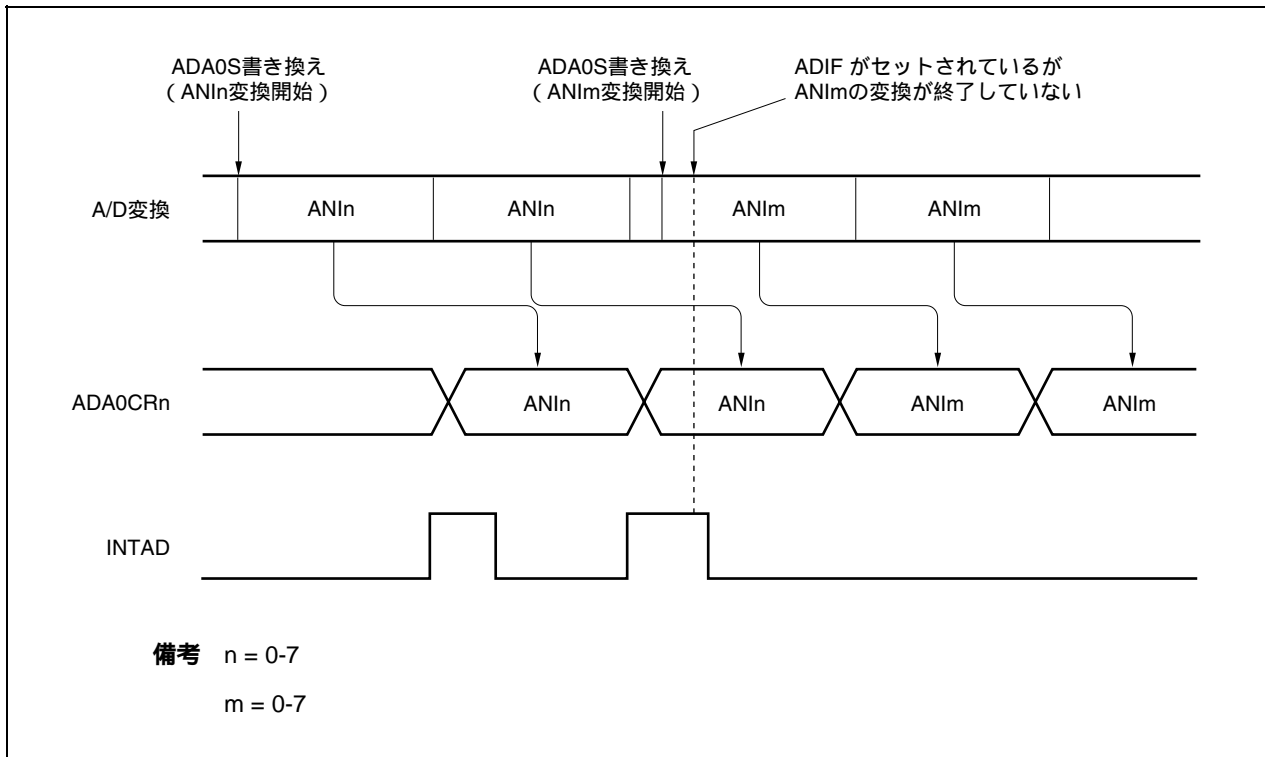
また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加したりデジタル・パルスを出力したりすると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。



(5) 割り込み要求フラグ (ADIF) について

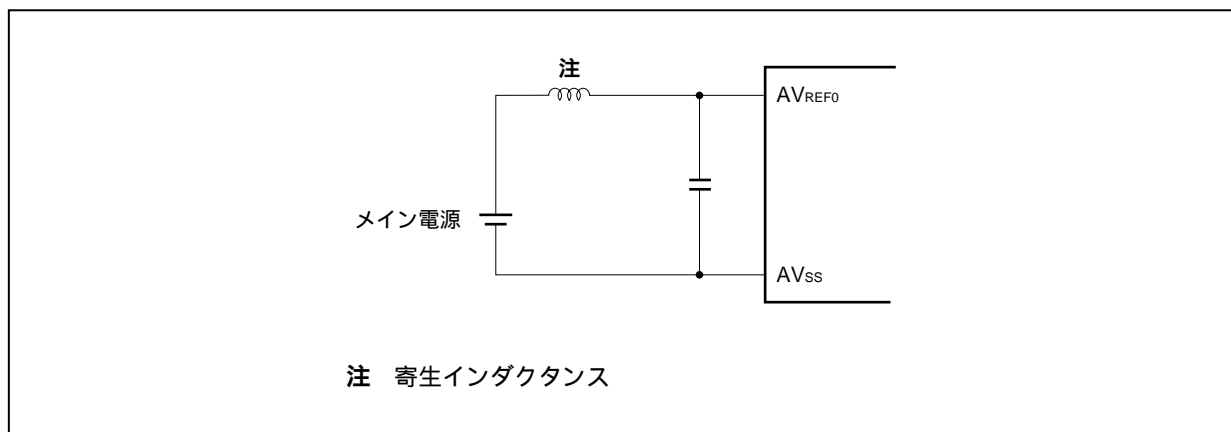
ADA0Sレジスタを変更しても、割り込み要求フラグ (ADIF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります、ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。

図11 - 9 A/D変換終了割り込み要求発生タイミング



(6) AV<sub>REF0</sub>端子について

- (a) AV<sub>REF0</sub>端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図11 - 10のように必ずV<sub>DD</sub>と同じ電位を印加してください。
- (b) AV<sub>REF0</sub>端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV<sub>REF0</sub>端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図11 - 10のようにAV<sub>REF0</sub>端子とAV<sub>SS</sub>端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV<sub>REF0</sub>端子への供給部に直流抵抗値（ダイオード挿入など）が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図11 - 10 AV<sub>REF0</sub>端子の処理例

## (7) ADA0CRnレジスタの読み出しについて

ADA0M0, ADA0M1, ADA0Sレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0, ADA0M1, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。

また、外部トリガを受け付けたときも、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、次の外部トリガを受け付ける前に読み出してください。それ以外のタイミングでは、すべてのチャンネルの変換結果が正しく読み出されないことがあります。

## (8) スタンバイ・モードについて

A/Dコンバータは、STOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できません。

ただし、IDLEモードでは動作が保持されるため、消費電力を低減する場合にはADA0M0.ADA0CEビット = 0にしてください。

**(9) A/D変換結果のばらつき**

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

**(10) A/D変換のヒステリシス特性**

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行している場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

## 11.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

### (1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1 \text{ \%FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

分解能10ビットのとき、1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

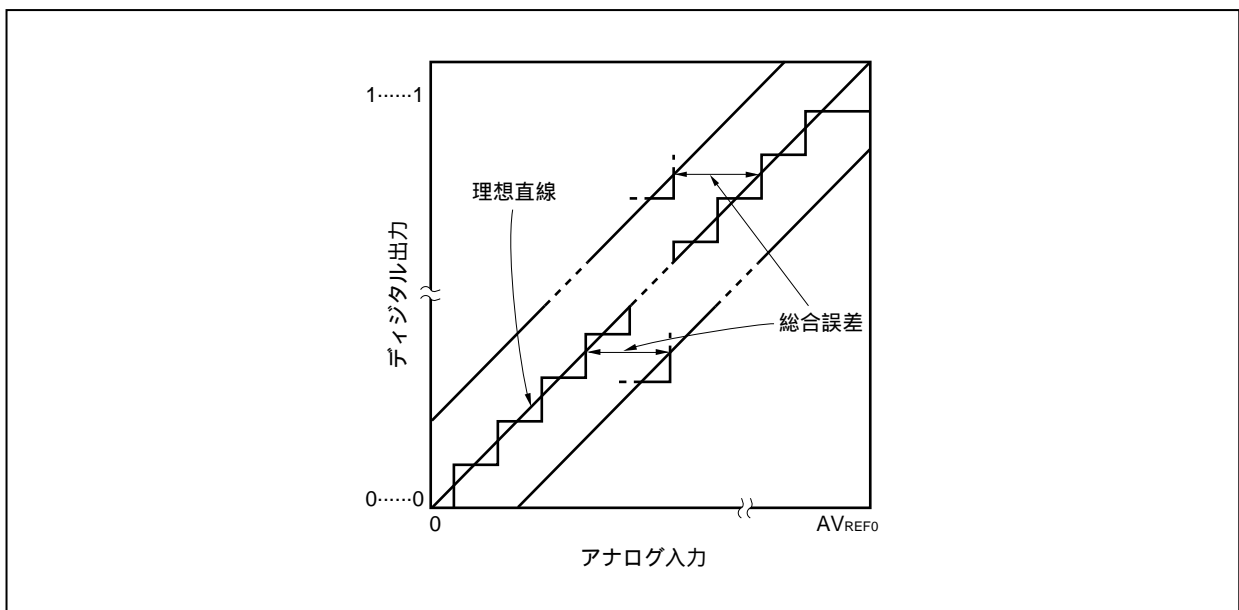
### (2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図11 - 11 総合誤差

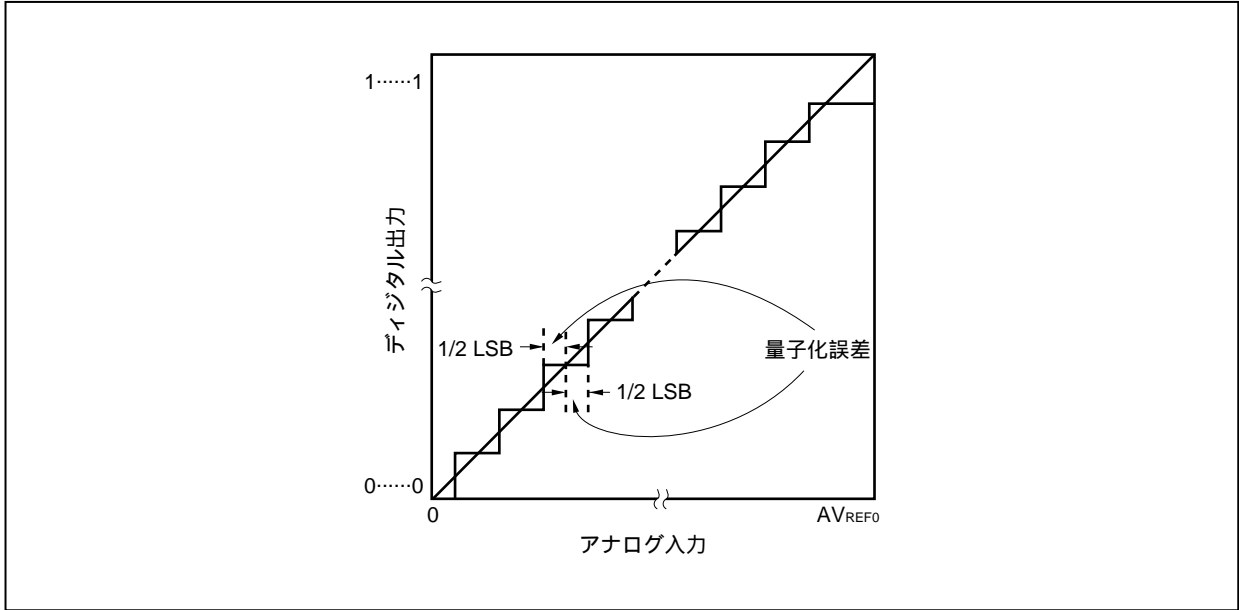


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる  $\pm 1/2$  LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$  LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

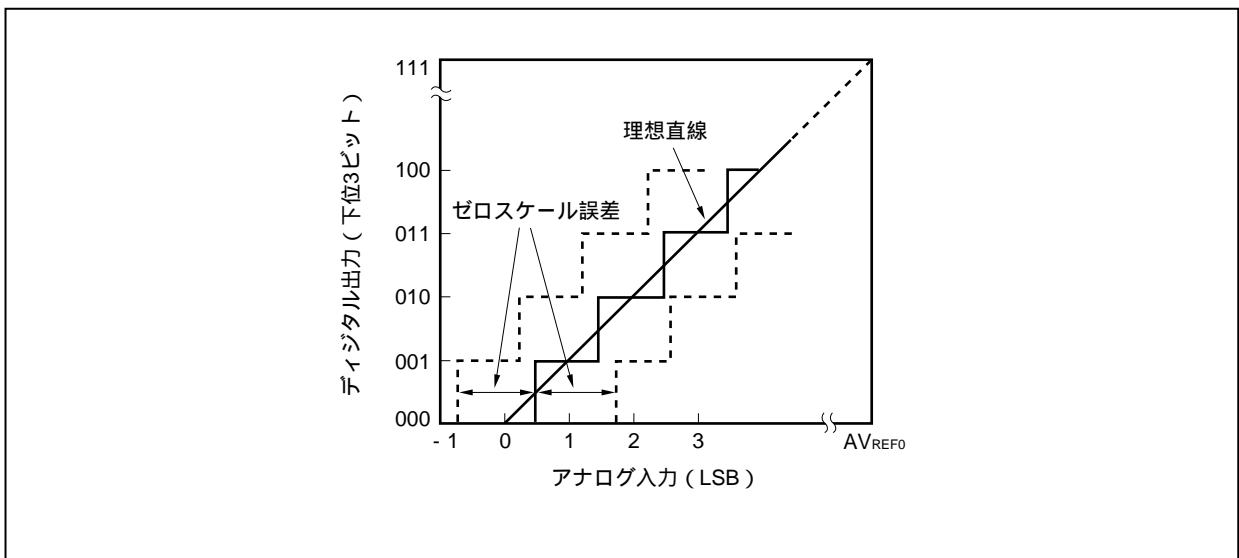
図11 - 12 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ( $1/2$  LSB) との差を表します。

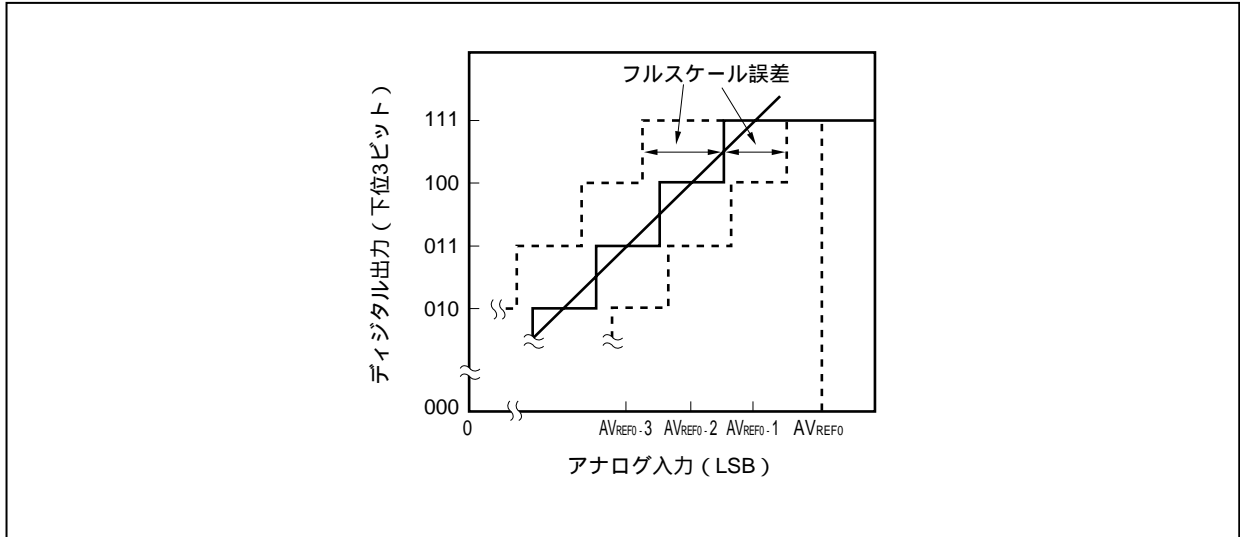
図11 - 13 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール -  $3/2$  LSB）との差を表します。

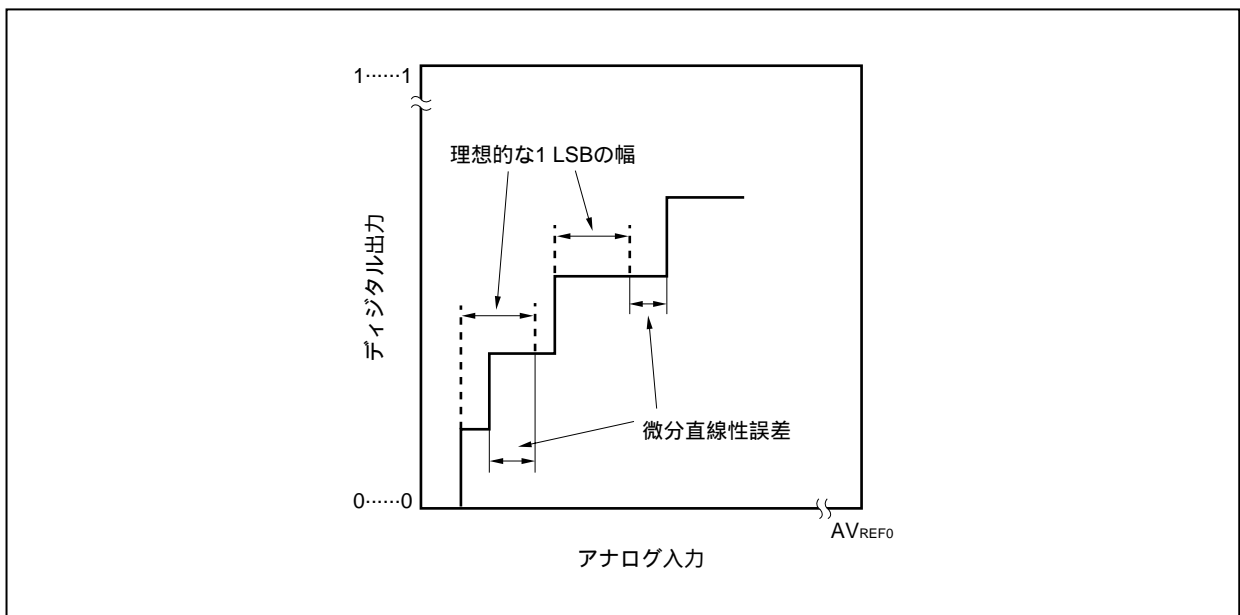
図11 - 14 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

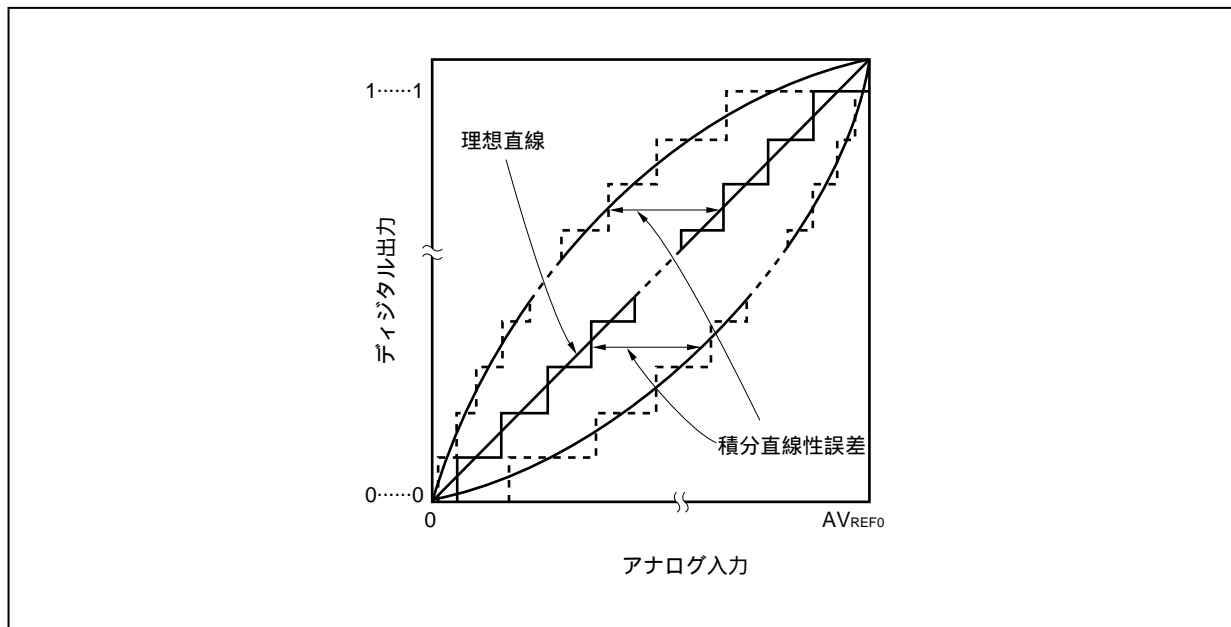
図11 - 15 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図11 - 16 積分直線性誤差



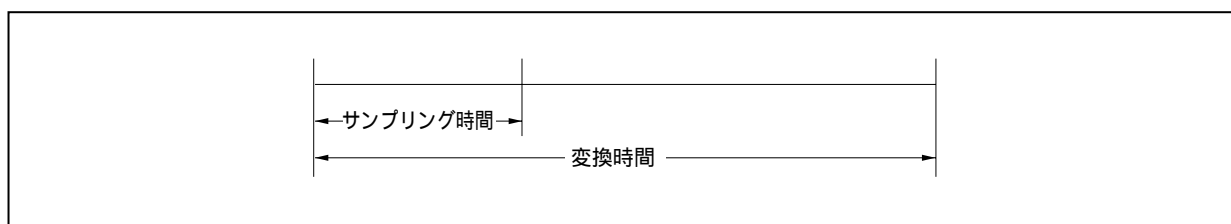
(8) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図11 - 17 サンプリング時間



## 第12章 D/Aコンバータ

### 12.1 機能

D/Aコンバータには、次のような機能があります。

8ビット分解能 × 2ch (DA0CS0, DA0CS1)

R-2Rラダー方式

変換時間：3  $\mu$ s (MAX.) ( $AV_{REF1} = 3.0 \sim 3.6$  V)

アナログ出力電圧： $AV_{REF1} \times m/256$  ( $m = 0-255$ ; DA0CSnレジスタに設定した値)

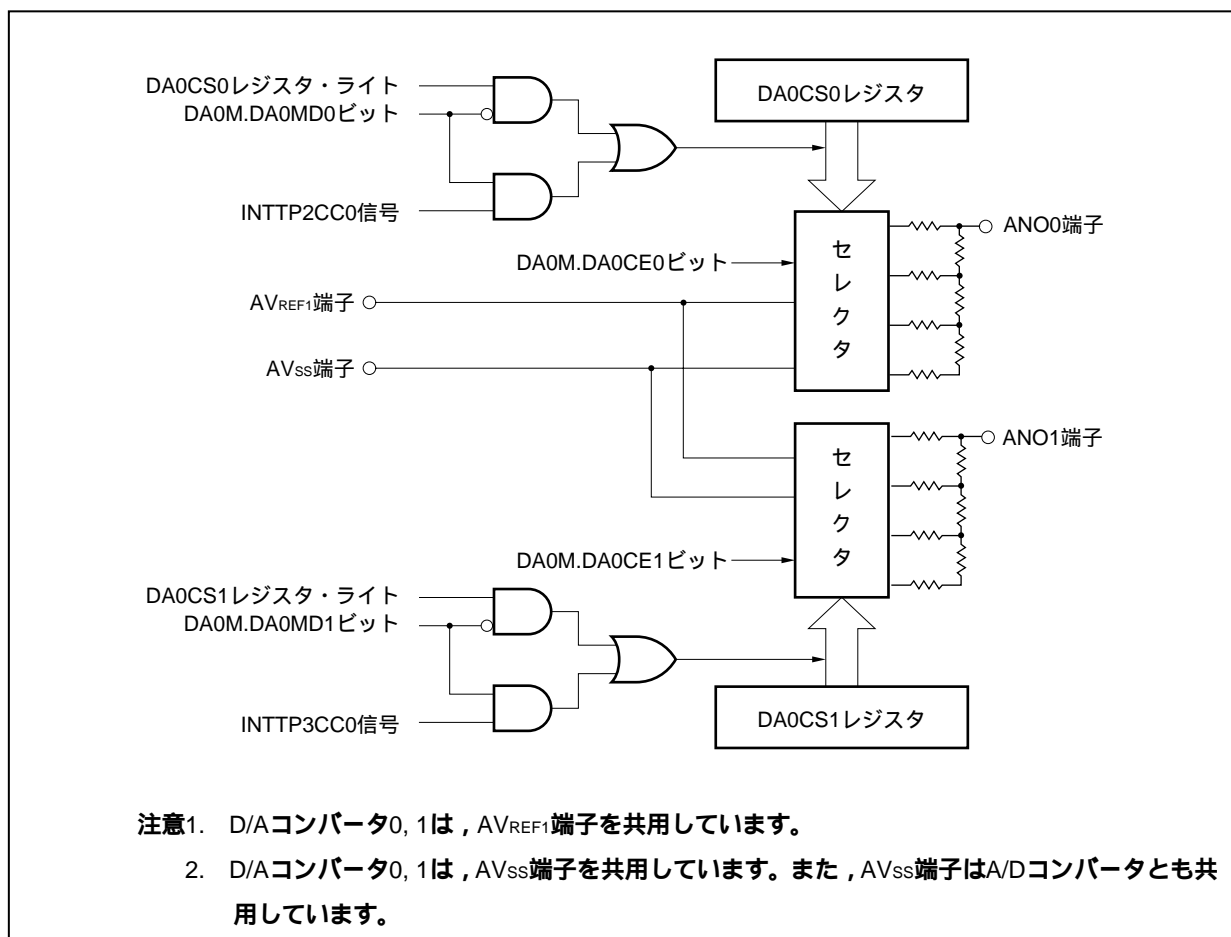
動作モード：通常モード / リアルタイム出力モード

備考 n = 0, 1

### 12.2 構成

次にD/Aコンバータの構成について示します。

図12-1 D/Aコンバータのブロック図





D/Aコンバータは、次のハードウェアで構成されています。

表12 - 1 D/Aコンバータの構成

項目	構成
制御レジスタ	D/Aコンバータ・モード・レジスタ (DA0M) D/Aコンバータ変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

### 12.3 制御レジスタ

D/Aコンバータを制御するレジスタを次に示します。

- ・ D/Aコンバータ・モード・レジスタ (DA0M)
- ・ D/Aコンバータ変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

#### (1) D/Aコンバータ・モード・レジスタ (DA0M)

D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : FFFFF282H								
	7	6	⑤	④	3	2	1	0
DA0M	0	0	DA0CE1	DA0CE0	0	0	DA0MD1	DA0MD0

DA0CE <sub>n</sub>	D/Aコンバータの動作許可/禁止制御 (n = 0, 1)
0	動作禁止
1	動作許可

DA0MD <sub>n</sub>	D/Aコンバータの動作モードの選択 (n = 0, 1)
0	通常モード
1	リアルタイム出力モード <sup>注</sup>

**注** リアルタイム出力モード (DA0MD<sub>n</sub>ビット = 1) 時の出力トリガは、次のとおりです。

- ・ n = 0のとき : INTTP2CC0信号 (第7章 16ビット・タイマ/イベント・カウンタP (TMP) 参照)
- ・ n = 1のとき : INTTP3CC0信号 (第7章 16ビット・タイマ/イベント・カウンタP (TMP) 参照)

## (2) D/Aコンバータ変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

ANO0, ANO1端子に出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H    R/W    アドレス : DA0CS0 FFFFF280H, DA0CS1 FFFFF281H

	7	6	5	4	3	2	1	0
DA0CSn	DA0CSn7	DA0CSn6	DA0CSn5	DA0CSn4	DA0CSn3	DA0CSn2	DA0CSn1	DA0CSn0

**注意** リアルタイム出力モード (DA0M.DA0MDnビット = 1) のとき, INTTP2CC0/INTTP3CC0信号が発生する前に, DA0CSnレジスタを設定してください。INTTP2CC0/INTTP3CC0信号発生でD/A変換を開始します。

**備考** n = 0, 1

## 12.4 動作

### 12.4.1 通常モード時の動作

DA0CSnレジスタへのライト動作を起動トリガとして、D/A変換を行います。  
次に、その設定方法を示します。

DA0M.DA0MDnビット = 0 (通常モード) に設定します。  
DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。  
以上、を初期設定として行います。  
DA0M.DA0CEnビット = 1 (D/A変換動作許可) に設定します。  
これによりD/A変換が開始します。  
以降、D/A変換を行う場合は、DA0CSnレジスタへのライト動作を行います。  
なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

- 備考1. 兼用端子の設定は表4 - 15 **ポート端子を兼用端子として使用する場合**を参照してください。
2.  $n = 0, 1$

### 12.4.2 リアルタイム出力モード時の動作

TMP2, TMP3の割り込み要求信号 (INTTP2CC0, INTTP3CC0) を起動トリガとして、D/A変換を行います。  
次に、その設定方法を示します。

DA0M.DA0MDnビット = 1 (リアルタイム出力モード) に設定します。  
DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。  
DA0M.DA0CEnビット = 1 (D/A変換動作許可) に設定します。  
以上、を初期設定として行います。  
TMP2, TMP3を動作させます。  
INTTP2CC0, INTTP3CC0信号が発生すると、D/A変換を開始します。  
以降、DA0CSnレジスタに設定した値がINTTP2CC0, INTTP3CC0信号のタイミングで出力されます。

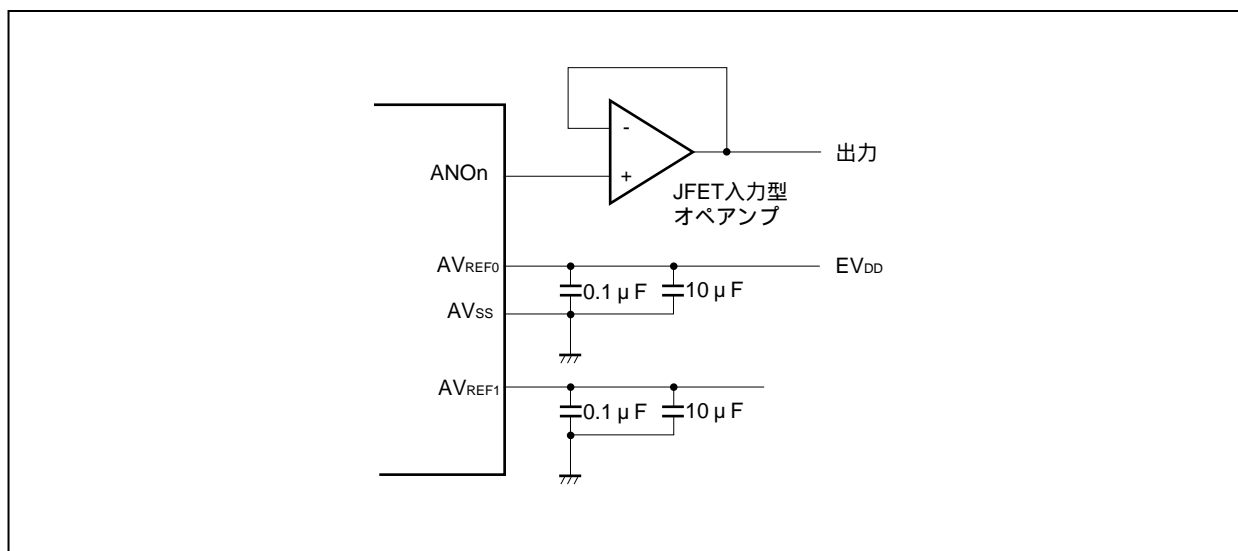
- 備考1. までのANO0, ANO1端子の出力値は不定です。
2. HALT, IDLE, STOPモード時のANO0, ANO1端子の出力値については、第16章 **スタンバイ機能**を参照してください。
  3. 兼用端子の設定は表4 - 15 **ポート端子を兼用端子として使用する場合**を参照してください。

## 12.4.3 使用上の注意点

D/Aコンバータを使用する際の注意事項を次に示します。

- (1) リアルタイム出力モード時、トリガ信号が出ている間にDA0CSnレジスタの設定値を変更しないでください。
- (2) 動作モードを切り替える場合は、必ずDA0M.DA0CEnビット = 0にしたあとに行ってください。
- (3) P10/ANO0, P11/ANO1端子をポートとして使用する場合は、レベル変化の少ないポート入力として使用してください。
- (4)  $AV_{REF0} = EV_{DD} = AV_{REF1} = 3.0 \sim 3.6 \text{ V}$ の範囲で使用してください。それ以外の場合の動作は保証できません。
- (5)  $AV_{REF1}$ の電源投入および電源切断は、 $AV_{REF0}$ と同じタイミングで行ってください。
- (6) D/Aコンバータの出力インピーダンスが高いため、 $ANOn$ 端子 ( $n = 0, 1$ ) から電流を取り出すことはできません。2 M $\Omega$ 以下の抵抗を接続する場合には、抵抗と $ANOn$ 端子の間にJFET入力型オペアンプを挿入してください。

図12-2 外部端子の接続例



- (7) D/Aコンバータは、STOPモード時に動作が停止するため、ANO0, ANO1端子は、ハイ・インピーダンスになり消費電力を低減できます。ただし、IDLEモードでは端子は保持されるため、消費電力を低減する場合にはDA0M.DA0CEnビット = 0にしてください。

# 第13章 アシクロナス・シリアル・インタフェースA (UARTA)

## 13.1 CSIB4とUARTA0のモード切り替え

V850ES/ST2では、CSIB4とUARTA0は端子が兼用になっており、同時には使用できません。CSIB4とUARTA0の切り替えは、あらかじめPMC3, PFC3, PFCE3Lレジスタで設定する必要があります。

- 注意1. CSIB4とUARTA0は端子を共有しているため、どちらか一方を選択し使用してください。
2. CSIB4またはUARTA0において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図13 - 1 CSIB4とUARTA0のモード切り替え設定

リセット時：0000H R/W アドレス：FFFFFF446H, FFFFFFF447H

	15	14	13	12	11	10	9	8
PMC3	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：0000H R/W アドレス：FFFFFF466H, FFFFFFF467H

	15	14	13	12	11	10	9	8
PFC3	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
	0	0	PFC35	0	PFC33	PFC32	PFC31	PFC30

リセット時：00H R/W アドレス：FFFFFF706H

	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	0	0	PFCE32	0	0

PMC32	PFCE32	PFC32	動作モード
0	x	x	ポート入出力モード
1	0	0	ASCKA0
1	0	1	SCKB4

PMC3n	PFC3n	動作モード
0	x	ポート入出力モード
1	0	UARTA0モード
1	1	CSIB4モード

備考1. n = 0, 1

2. x = don't care

## 13.2 特 徴

転送速度 300 bps ~ 312.5 kbps (内部システム・クロック34 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 UARTAn受信データ・レジスタ (UAnRX) 内蔵

UARTAn送信データ・レジスタ (UAnTX) 内蔵

2端子構成 TXDAn: 送信データの出力端子

RXDAn: 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース: 2種類

- ・受信完了割り込み (INTUAnR) : 受信許可状態において, シリアル転送完了後, 受信シフト・レジスタからUAnRXレジスタへ受信データを転送すると発生
- ・送信許可割り込み (INTUAnT) : 送信許可状態において, UAnTXレジスタから送信シフト・レジスタへ送信データを転送すると発生

キャラクタ長: 7, 8ビット

パリティ機能: 奇数, 偶数, 0, なし

送信ストップ・ビット: 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

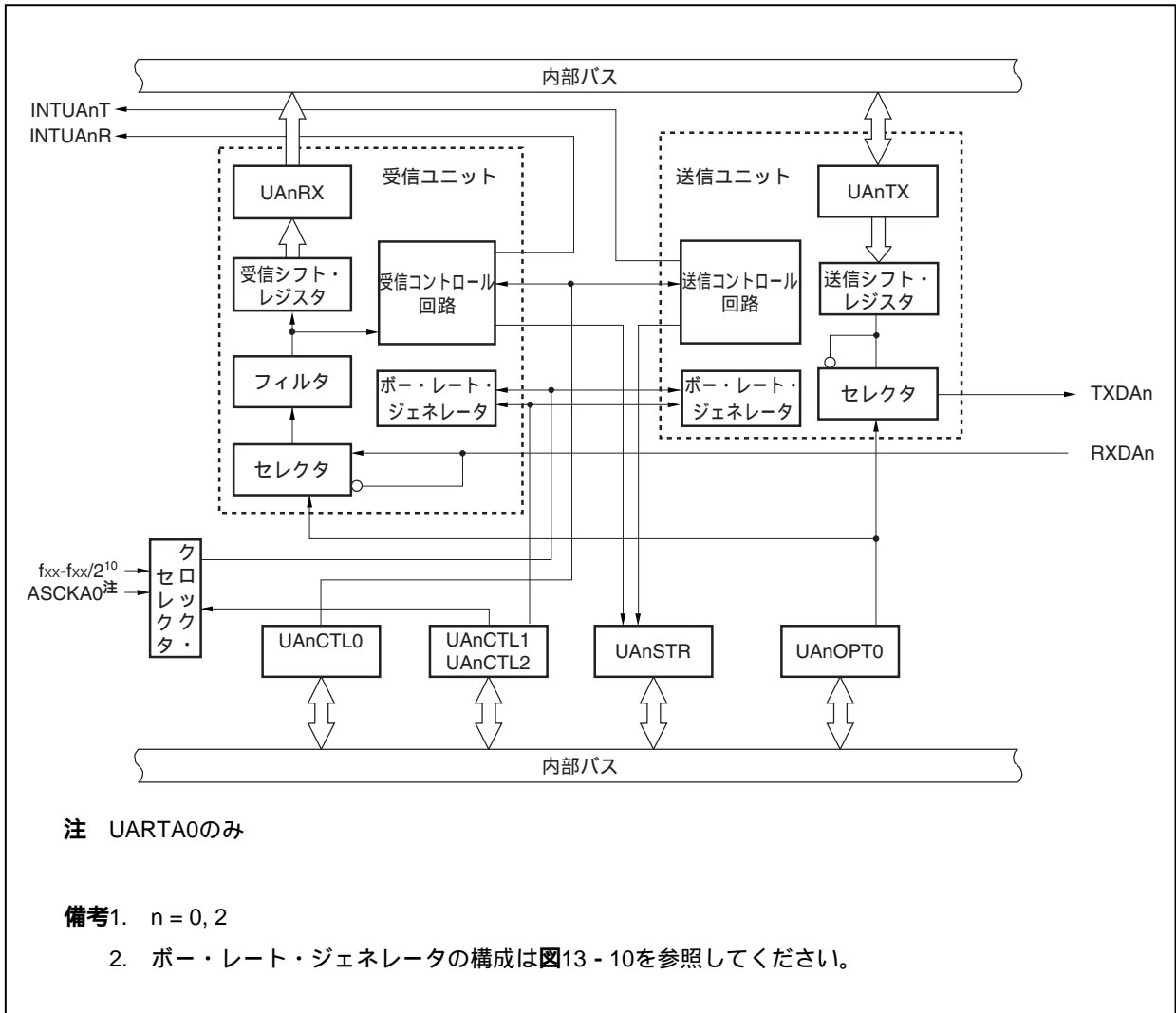
送受信データの反転入出力が可能

**備考** n = 0, 2

### 13.3 構成

次にUARTAnのブロック図を示します。

図13 - 2 アシクロナス・シリアル・インタフェースAnのブロック図



UARTAnは、次のハードウェアで構成されています。

表13 - 1 UARTAnの構成

項目	構成
レジスタ	UARTAn制御レジスタ0 (UAnCTL0) UARTAn制御レジスタ1 (UAnCTL1) UARTAn制御レジスタ2 (UAnCTL2) UARTAnオプション制御レジスタ0 (UAnOPT0) UARTAn状態レジスタ (UAnSTR) UARTAn受信シフトレジスタ UARTAn受信データレジスタ (UAnRX) UARTAn送信シフトレジスタ UARTAn送信データレジスタ (UAnTX)

**(1) UARTAn制御レジスタ0 (UAnCTL0)**

UAnCTL0レジスタは、UARTAnの動作を指定する8ビット・レジスタです。

**(2) UARTAn制御レジスタ1 (UAnCTL1)**

UAnCTL1レジスタは、UARTAnの入力クロックを選択する8ビット・レジスタです。

**(3) UARTAn制御レジスタ2 (UAnCTL2)**

UAnCTL2レジスタは、UARTAnのポー・レート制御する8ビット・レジスタです。

**(4) UARTAnオプション制御レジスタ0 (UAnOPT0)**

UAnOPT0レジスタは、UARTAnのシリアル転送を制御する8ビット・レジスタです。

**(5) UARTAn状態レジスタ (UAnSTR)**

UAnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット(1)されます。

**(6) UARTAn受信シフト・レジスタ**

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUAnRXレジスタへ転送します。このレジスタは直接操作することはできません。

**(7) UARTAn受信データ・レジスタ (UAnRX)**

UAnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます(LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また、UAnRXレジスタへの転送により、受信完了割り込み要求信号(INTUAnR)が発生します。

**(8) UARTAn送信シフト・レジスタ**

送信シフト・レジスタは、UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

**(9) UARTAn送信データ・レジスタ (UAnTX)**

UAnTXレジスタは、8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる(UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される)と、送信許可割り込み要求信号(INTUAnT)が発生します。



## 13.4 レジスタ

### (1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnシリアル転送動作を制御する8ビットのレジスタです。  
 8/1ビット単位でリード/ライト可能です。  
 リセットにより10Hになります。

(1/2)

リセット時：10H    R/W    アドレス：UA0CTL0 FFFFFFFA00H, UA1CTL0 FFFFFFFA10H,  
 UA2CTL0 FFFFFFFA20H

	⑦	⑥	⑤	④	3	2	1	0
UAnCTL0	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL

(n = 0-2)

UAnPWR	UARTAnの動作の制御
0	UARTAn動作禁止 (UARTAnを非同期にリセット)
1	UARTAn動作許可

UAnPWRビットにより、UARTAn動作の制御を行います。UAnPWRビットをクリア (0) すると、TXDAn端子の出力はハイ・レベルに固定されます (UAnOPT0. UAnTDLビット = 1のときは、ロウ・レベルに固定されます)。

UAnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

- ・ 起動時はUAnPWRビット = 1にしてから、UAnTXEビット = 1としてください。
- ・ 送信ユニットを初期化する場合は、UAnTXEビットをクリア (0) して、基本クロック (f<sub>UCLK</sub>) の2周期分の時間を経過してから、再びUAnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては13.7 (1) (a) **基本クロック**参照)。
- ・ 動作許可 (UAnPWRビット = 1) した場合には、UAnTXEビット = 1としたあと、基本クロック (f<sub>UCLK</sub>) の2周期分以上の時間を経過してから送信動作が許可状態になります。
- ・ UAnPWRビット = 0にすると、UAnTXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnTXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、送信動作は許可状態になります。

UAnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

・起動時はUAnPWRビット = 1にしてから，UAnRXEビット = 1としてください。  
 ・受信ユニットの状態を初期化する場合は，UAnRXEビットをクリア (0) して，基本クロックの2周期分の時間を経過してから，再びUAnRXEビットをセット (1) しなければ，状態の初期化ができない場合があります (基本クロックについては 13.7 (1) (a) **基本クロック**参照)。  
 ・動作許可 (UAnPWRビット = 1) した場合には，UAnRXEビット = 1としたあと，基本クロック (f<sub>CLK</sub>) の2周期分以上の時間を経過してから受信動作が許可状態になります。受信動作の許可状態前にスタート・ビットを受信した場合は，スタート・ビットは無視されます。  
 ・UAnPWRビット = 0にすると，UAnRXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnRXEビット = 0の状態と同等になります。なお，再びUAnPWRビット = 1にすると，受信動作は許可状態になります。

UAnDIR <sup>注</sup>	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

UAnPS1 <sup>注</sup>	UAnPS0 <sup>注</sup>	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・受信時に「0パリティとして受信」を選択した場合，パリティ判定を行いません。したがって，UAnSTR.UAnPEビットはセットされません。

UAnCL <sup>注</sup>	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

UAnSL <sup>注</sup>	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

受信データのストップ・ビットは，UAnSLビットの値に関わらず，最初の1ビットのみチェックします。

**注** UAnPWRビット = 0，またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。ただし，同時にUAnPWR，UAnTXE，UAnRXEビットのいずれか，またはすべてを1とするのは可能です。

**備考** パリティについての詳細は，13.6.6 **パリティの種類と動作**を参照してください。

(2) UARTAn制御レジスタ1 (UAnCTL1)

詳細は、13.7 (2) UARTAn制御レジスタ1 (UAnCTL1) を参照してください。

(3) UARTAn制御レジスタ2 (UAnCTL2)

詳細は、13.7 (3) UARTAn制御レジスタ2 (UAnCTL2) を参照してください。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

リセット時：14H    R/W    アドレス：UA0OPT0 FFFFFFFA03H, UA2OPT0 FFFFFFFA23H

	7	6	5	4	3	2	1	0
UAnOPT0 (n = 0, 2)	0	0	0	1	0	1	UAnTDL	UAnRDL

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力
<ul style="list-style-type: none"> <li>・ UAnTDLビットによりTXDAn端子の出力レベルを反転できます。</li> <li>・ UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。</li> </ul>	

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力
<ul style="list-style-type: none"> <li>・ UAnRDLビットによりRXDAn端子の入力レベルを反転できます。</li> <li>・ UAnPWRビット = 0またはUAnRXEビット = 0のとき設定できます。</li> <li>・ UAnRDLビット = 1 (受信データ反転入力) と設定した場合は、必ず受信開始時にデータ受信端子をUART受信用端子 (RXDAn) に設定してから、受信許可 (UAnCTL0.UAnRXEビット = 1) にする必要があります。受信許可後に端子モードを変更すると、そのときの端子レベルがハイ・レベルの場合にはスタート・ビットを誤検出します。</li> </ul>	

**注意** ビット7-5, 3には必ず“0”を設定し、ビット4, 2には必ず“1”を設定してください。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UAnTSFビットはリードのみ可能で、UAnPE, UAnFE, UAnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません (“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UAnSTRレジスタ	<ul style="list-style-type: none"> <li>・リセット</li> <li>・UAnCTL0.UAnPWRビット = 0</li> </ul>
UAnTSFビット	<ul style="list-style-type: none"> <li>・UAnCTL0.UAnTXEビット = 0</li> </ul>
UAnPE, UAnFE, UAnOVEビット	<ul style="list-style-type: none"> <li>・0の書き込み</li> <li>・UAnCTL0.UAnRXEビット = 0</li> </ul>

**注意** UAnPE, UAnFE, UAnOVEビットのエラー・フラグは、必ずリードしてフラグの状態を確認後、“0”ライトしてクリアしてください。

リセット時：00H R/W アドレス：UA0STR FFFFFFFA04H, UA2STR FFFFFFFA24H

	⑦	6	5	4	3	②	①	①
UAnSTR (n = 0, 2)	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

UAnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> <li>・UAnPWRビット = 0, またはUAnTXEビット = 0に設定したとき</li> <li>・転送完了後に, UAnTXレジスタに次のデータ転送がなかったとき</li> </ul>
1	UAnTXレジスタへの書き込み
<p>連続送信を行っている場合にはUAnTSFビットは常に“1”になっています。 送信ユニットの初期化を行う場合には, UAnTSFビット = 0になっていることを確認してから初期化を行ってください。UAnTSFビット = 1の状態での初期化を行った場合の送信データは保証できません。</p>	

UAnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> <li>・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき</li> <li>・“0”をライトしたとき</li> </ul>
1	受信時, データのパリティとパリティ・ビットが一致しないとき
<ul style="list-style-type: none"> <li>・UAnPEビットの動作は, UAnCTL0.UAnPS1, UAnPS0ビットの設定により左右されます。</li> <li>・UAnPEビットはリード/ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。</li> </ul>	

UAnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> <li>・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき</li> <li>・“0”をライトしたとき</li> </ul>
1	受信時, ストップ・ビットが検出されないとき
<ul style="list-style-type: none"> <li>・受信データのストップ・ビットは, UAnCTL0.UAnSLビットの値に関わらず, 最初の1ビットのみチェックします。</li> <li>・UAnFEビットはリード/ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。</li> </ul>	

UAnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> <li>・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき</li> <li>・“0”をライトしたとき</li> </ul>
1	UAnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき
<ul style="list-style-type: none"> <li>・オーバラン・エラーが発生したとき, 次の受信データはUAnRXレジスタに書き込まれず, データは破棄されます。</li> <li>・UAnOVEビットはリード/ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。</li> </ul>	

(6) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

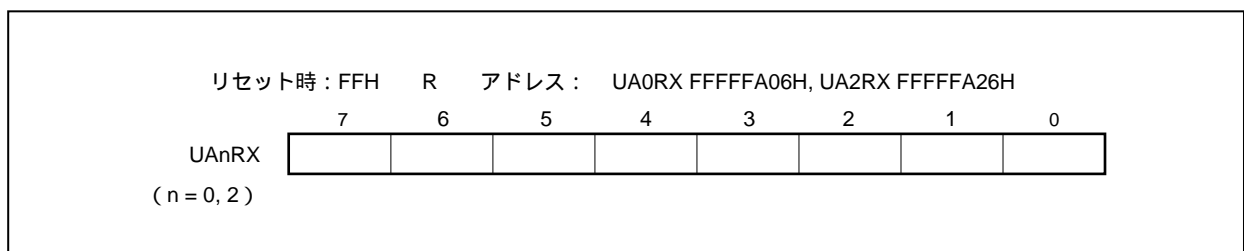
1バイト・データの受信完了により受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。このタイミングで受信完了割り込み要求信号 (INTUAnR) を発生します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUAnRXレジスタのビット6-ビット0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUAnRXレジスタのビット7-ビット1に転送されLSBは必ず“0”になります。

オーバラン・エラー (UAnSTR.UAnOVEビット = 1)が発生した場合は、そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に、UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。



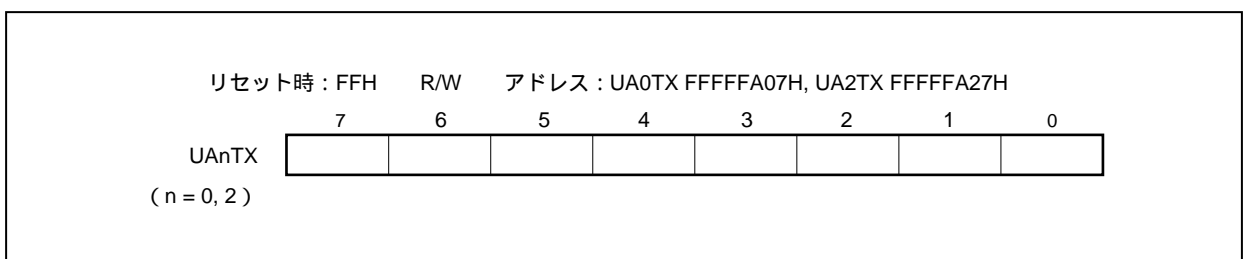
(7) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、送信データを設定するための8ビット・レジスタです。

送信許可状態 (UAnCTL0.UAnTXEビット = 1) のときに、UAnTXレジスタへ送信データを書き込むことにより送信動作が開始されます。UAnTXレジスタのデータを送信シフト・レジスタに転送完了したタイミングで、送信許可割り込み要求信号 (INTUAnT) を発生します。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



## 13.5 割り込み要求信号

UARTAnからは次の2種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTUAnR)
- ・送信許可割り込み要求信号 (INTUAnT)

これら2種類の割り込み要求信号のデフォルト優先順位は受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表13-2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

### (1) 受信完了割り込み要求信号 (INTUAnR)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号を受け付け、データを読み出すときに、UAnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

### (2) 送信許可割り込み要求信号 (INTUAnT)

送信許可状態で、UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

## 13.6 動作

### 13.6.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図13-3に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットでデータ・フレームを構成します。

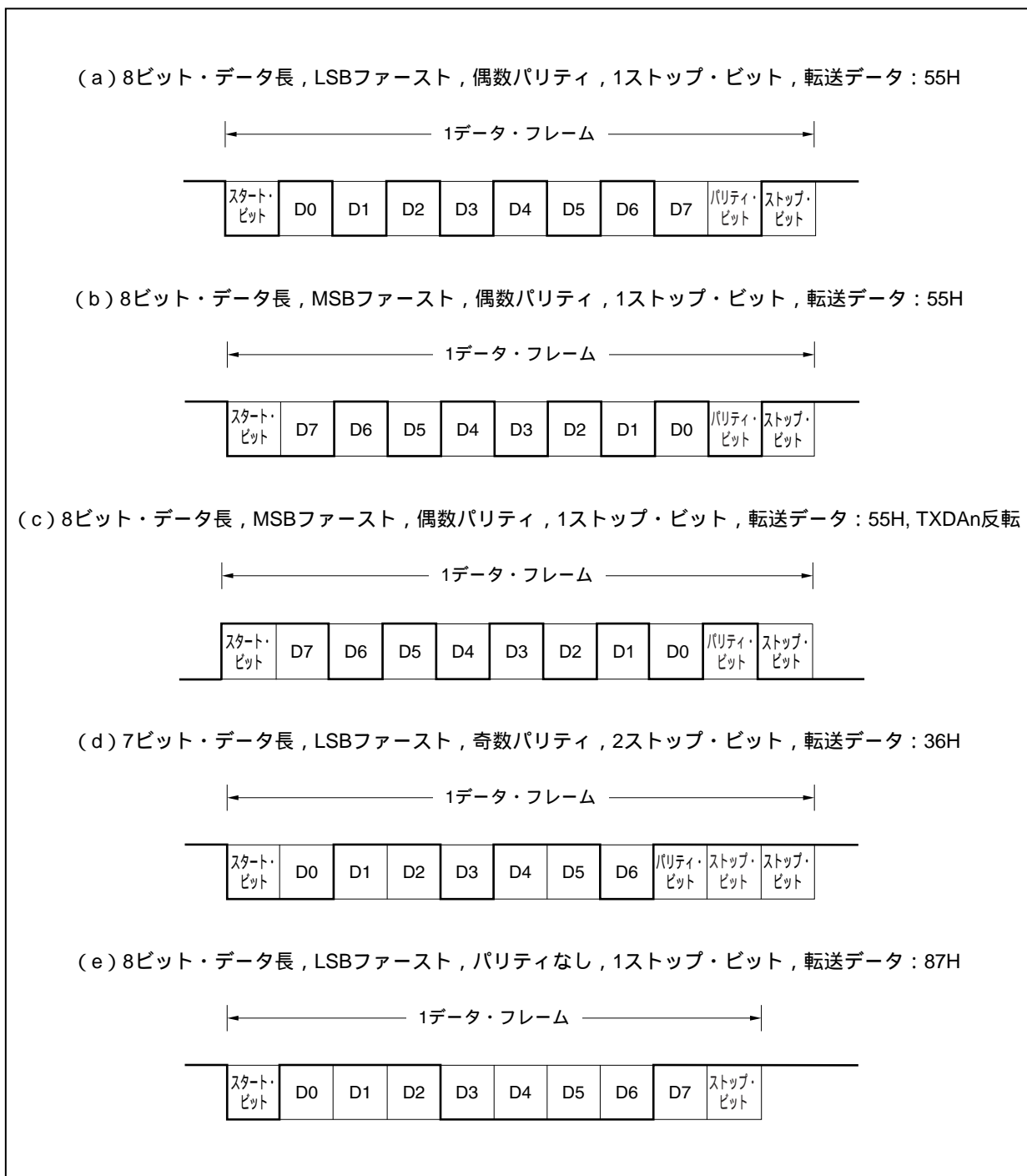
1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UAnCTL0レジスタによって行います。

また、UAnOPT0.UAnTDLビットでTXDAn端子のUART出力/反転出力の制御を行います。

- ・スタート・ビット ..... 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット ..... 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット ..... 1ビット/2ビット



図13-3 UARTAの送受信データのフォーマット



### 13.6.2 UART送信

UAnCTL0.UAnPWRビット = 1とすることにより、TXDAn端子からハイ・レベルを出力します。

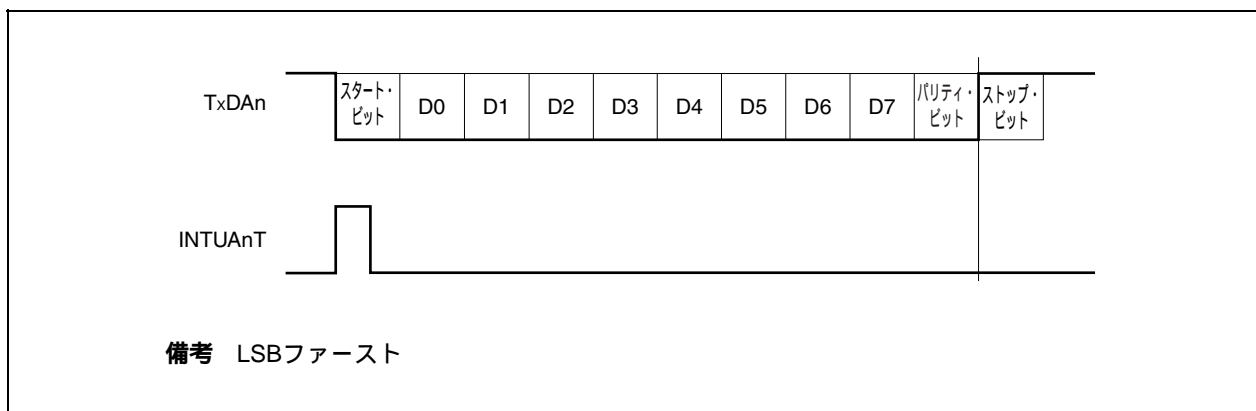
次に、UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり、UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加します。

なお、UARTAnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により、UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送完了したタイミングで、送信許可割り込み要求信号 (INTUAnT) を発生し、そのあとUARTAn送信シフト・レジスタから順次、TXDAn端子に出力します。INTUAnT信号の発生後、UAnTXレジスタに次の転送データの書き込みができます。

図13 - 4 UART送信



### 13.6.3 連続送信の手順説明

UARTAnはUARTAn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUAnT) で判断できます。次に送信するデータを、転送中にUAnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

**注意** 送信の初期化を行う場合、連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認して初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合、送信データの保証はできません。

図13 - 5 連続送信の処理フロー

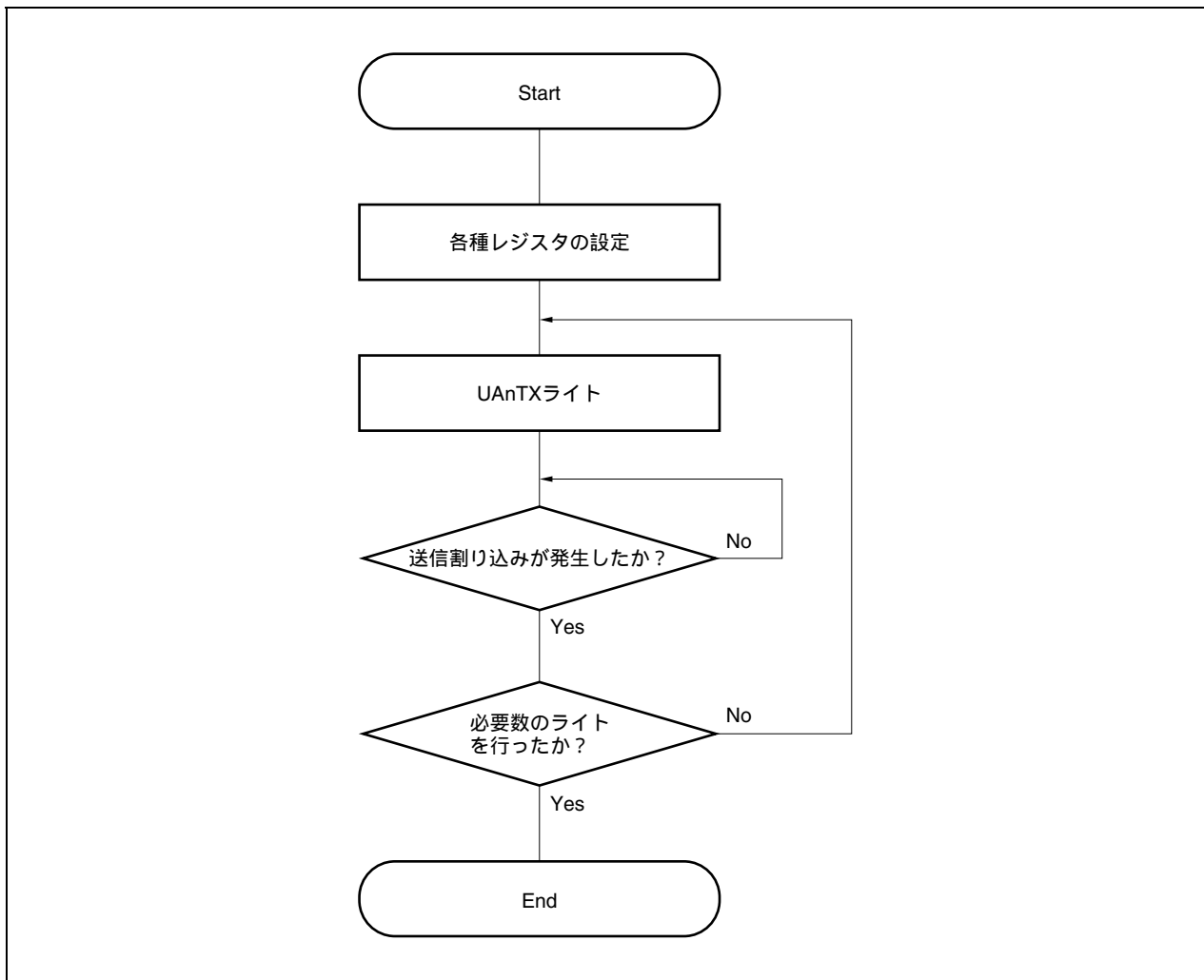
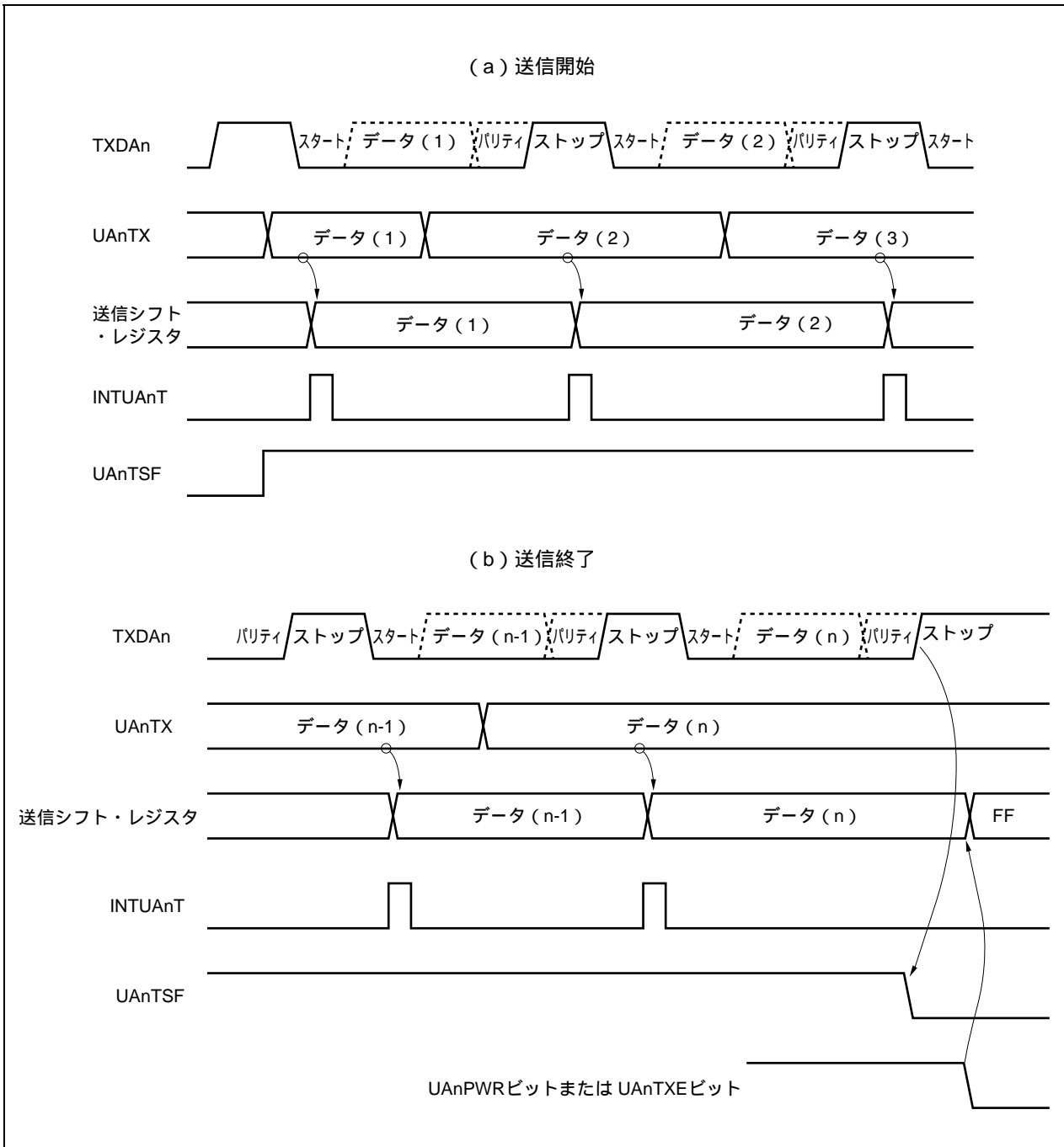


図13-6 連続送信動作のタイミング



### 13.6.4 UART受信

UAnCTL0.UAnPWRビット = 1にして、次にUAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDAn端子をモニタし、スタート・ビットの検出を行います。

なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

まずRXDAn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDAn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、UARTAn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信完了割り込み要求信号 (INTUAnR) を発生すると同時に、UARTAn受信シフト・レジスタのデータをUAnRXレジスタに書き込みます。ただし、オーバラン・エラー (UAnSTR.UAnOVEビット = 1) が発生した場合は、そのときの受信データはUAnRXレジスタに書き込まれずに破棄されます。

受信途中に、パリティ・エラー (UAnSTR.UAnPEビット = 1)、フレーミング・エラー (UAnSTR.UAnFEビット = 1) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信完了後にINTUAnR信号を発生します。

図13 - 7 UART受信



- 注意1. 受信エラー発生時にも、UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと、次のデータ受信にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。
2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. 受信終了時は、受信完了割り込み要求信号 (INTUAnR) 発生後、UAnRXレジスタを読み出してからUAnPWRビット = 0またはUAnRXEビット = 0としてください。INTUAnR信号が発生する前にUAnPWRビット = 0またはUAnRXEビット = 0とした場合、UAnRXレジスタのリード値は保証できません。
4. UARTAnの受信完了処理 (INTUAnR信号の発生) と、UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合、UAnRXレジスタにデータを格納していないにもかかわらず、INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには、必ず割り込み制御レジスタ (UAnRIC) の割り込みマスク・フラグ (UAnRMK) をセット (1) してから、UAnPWRビット = 0またはUAnRXEビット = 0とし、さらにUAnRICレジスタの割り込み要求フラグ (UAnRIF) をクリア (0) してください。

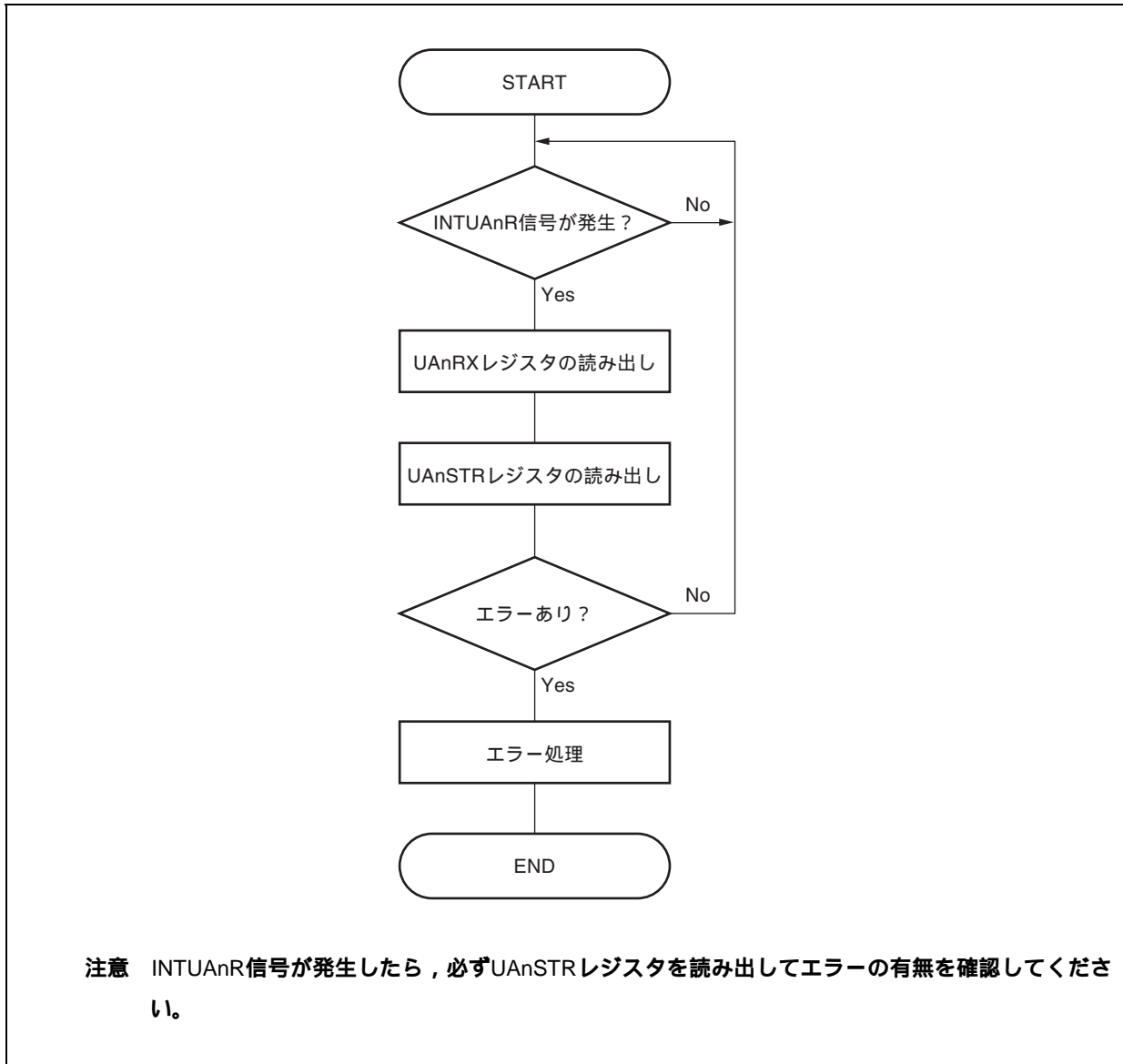
### 13.6.5 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され、受信完了割り込み要求信号 (INTUAnR) を発生します。

UAnSTRレジスタの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは、“0” ライトによりクリアしてください。

・受信データの読み出しフロー



・受信エラーの要因

エラー・フラグ	受信エラー	要 因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバーラン・エラー	UAnRXレジスタからデータを読み出す前に次のデータ受信が完了

受信エラー発生時は、エラーの内容によって、次の処理を行ってください。

・パリティ・エラー

受信ラインへのノイズなどによって誤ったデータを受信しているため、受信データを破棄し、再度通信を行ってください。

・フレーミング・エラー

送信側との間でポー・レートずれが発生しているか、何らかの理由で誤ってスタート・ビットを検出してしまったことが考えられます。通信フォーマットのフェータルなエラーであるため、送信側の動作停止を確認後、互いに初期化処理を行って再度通信を開始してください。

・オーバラン・エラー

受信データを読み出す前に次の受信が完了してしまったため、1フレーム分のデータが破棄された状態になっています。必要なデータであれば再度通信をやり直してください。

**注意** 連続受信時に受信エラー割り込みが発生した場合は、次の受信が完了する前にUAnSTRレジスタの内容を読み出してエラー処理を実施してください。

### 13.6.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

#### (a) 偶数パリティ

##### (i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

##### (ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

#### (b) 奇数パリティ

##### (i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

**(ii) 受信時**

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

**(c) 0パリティ**

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

**(d) パリティなし**

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。



### 13.6.7 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロック ( $f_{CLK}$ ) でRXDAn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図13-9参照)。基本クロックについては13.7(1)(a)基本クロックを参照してください。

また、回路は図13-8のようにになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

図13-8 ノイズ・フィルタ回路

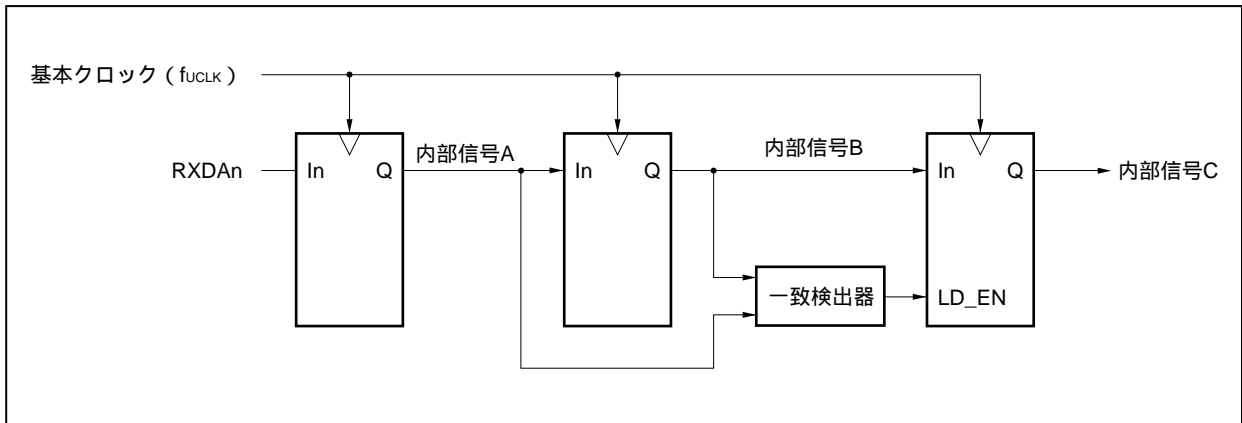
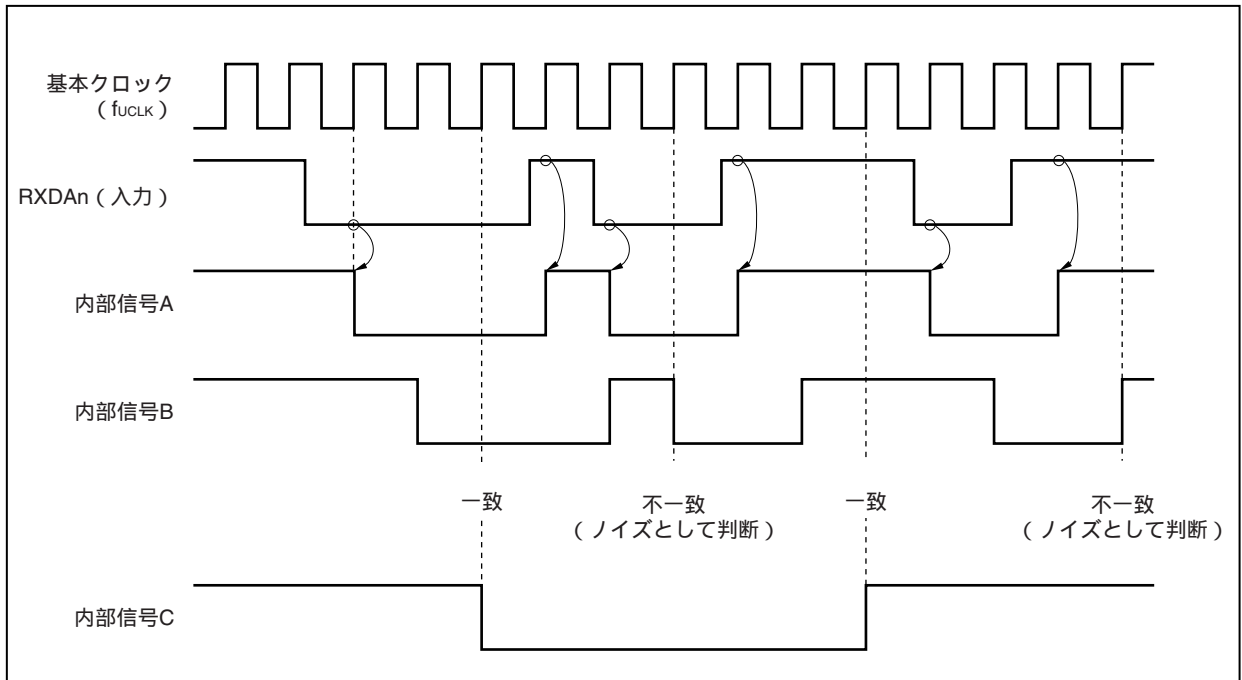


図13-9 ノイズとして判断されるRXDAn信号のタイミング



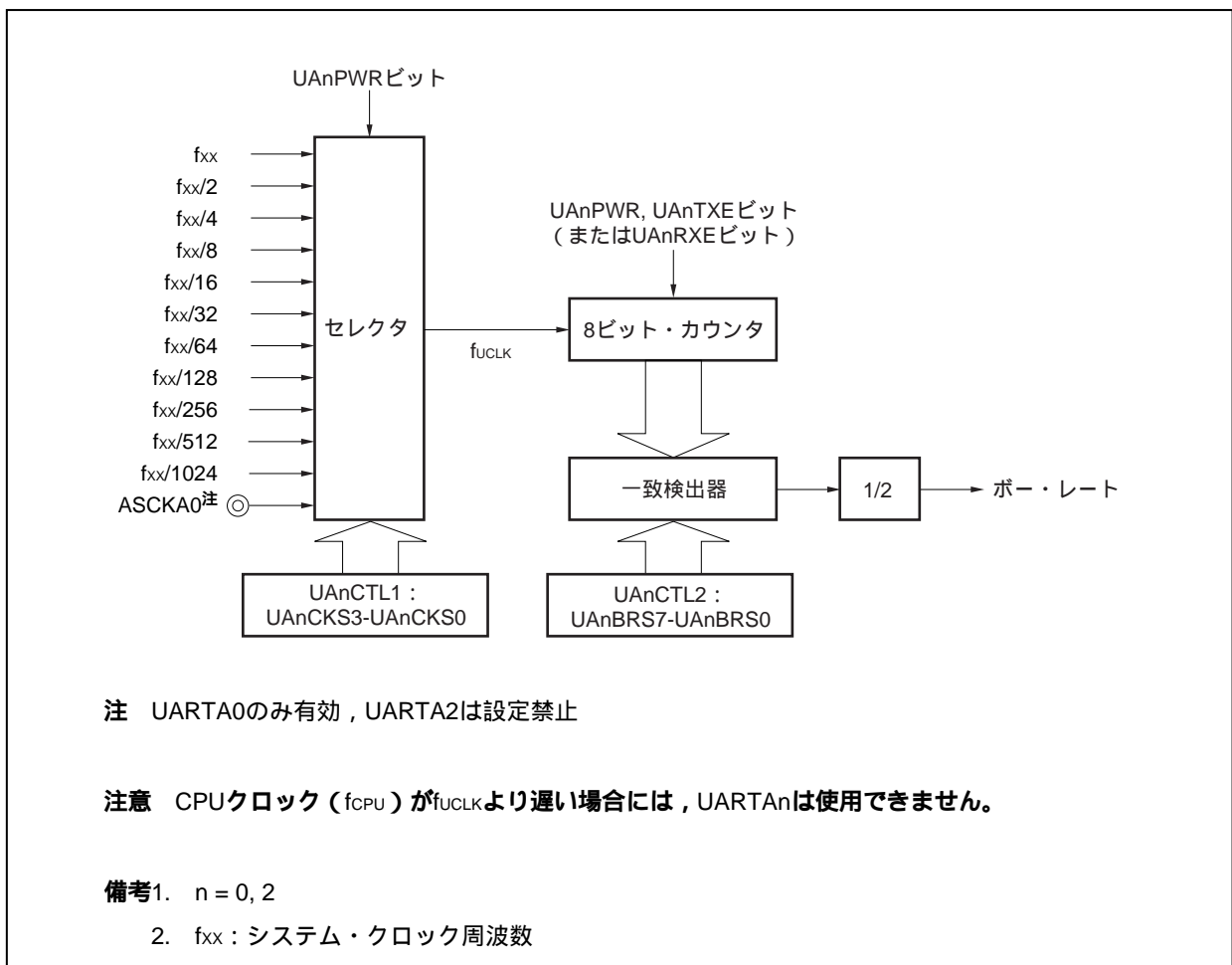
## 13.7 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

### (1) ポー・レート・ジェネレータの構成

図13 - 10 ポー・レート・ジェネレータの構成



#### (a) 基本クロック

$UAnCTL0.UAnPWR$ ビット = 1のとき、 $UAnCTL1.UAnCKS3-UAnCKS0$ ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック ( $f_{UCLK}$ ) と呼びます。 $UAnPWR$ ビット = 0のときは、 $f_{UCLK}$ はロウ・レベルに固定となります。

#### (b) シリアル・クロックの生成

$UAnCTL1$ レジスタと $UAnCTL2$ レジスタの設定により、シリアル・クロックを生成できます ( $n = 0, 2$ )。  $UAnCTL1.UAnCKS3-UAnCKS0$ ビットにより、基本クロック ( $f_{UCLK}$ ) を選択します。  $UAnCTL2.UAnBRS7-UAnBRS0$ ビットにより、8ビット・カウンタの分周値を設定できます。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時：00H    R/W    アドレス：UA0CTL1 FFFFFFFA01H, UA2CTL1 FFFFFFFA21H

	7	6	5	4	3	2	1	0
UAnCTL1	0	0	0	0	UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0

(n = 0, 2)

UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0	基本クロック (f <sub>CLK</sub> ) の選択
0	0	0	0	f <sub>xx</sub>
0	0	0	1	f <sub>xx</sub> /2
0	0	1	0	f <sub>xx</sub> /4
0	0	1	1	f <sub>xx</sub> /8
0	1	0	0	f <sub>xx</sub> /16
0	1	0	1	f <sub>xx</sub> /32
0	1	1	0	f <sub>xx</sub> /64
0	1	1	1	f <sub>xx</sub> /128
1	0	0	0	f <sub>xx</sub> /256
1	0	0	1	f <sub>xx</sub> /512
1	0	1	0	f <sub>xx</sub> /1024
1	0	1	1	外部クロック <sup>注</sup> (ASCKA0端子)
上記以外				設定禁止

**注** UARTA0のみ有効，UARTA2は設定禁止

**備考** f<sub>xx</sub> : システム・クロック周波数

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

**注意** UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE, UAnRXEビット = 00にしてから行ってください。

リセット時：FFH    R/W    アドレス：UA0CTL2 FFFFFFFA02H, UA2CTL2 FFFFFFFA22H

	7	6	5	4	3	2	1	0	
UAnCTL2	UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0	

(n = 0, 2)

UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	f <sub>uclk</sub> /4
0	0	0	0	0	1	0	1	5	f <sub>uclk</sub> /5
0	0	0	0	0	1	1	0	6	f <sub>uclk</sub> /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f <sub>uclk</sub> /252
1	1	1	1	1	1	0	1	253	f <sub>uclk</sub> /253
1	1	1	1	1	1	1	0	254	f <sub>uclk</sub> /254
1	1	1	1	1	1	1	1	255	f <sub>uclk</sub> /255

**備考** f<sub>uclk</sub> : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

## (4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \text{ [ bps ]}$$

内部クロックを使用する場合は、次の式になります (UARTA0でASCKA0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{ボー・レート} = \frac{f_{\text{xx}}}{2^{m+1} \times k} \text{ [ bps ]}$$

**備考**  $f_{\text{UCLK}}$  = UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

$f_{\text{xx}}$  : システム・クロック周波数

$m$  = UAnCTL1.UAnCKS3-UAnCKS0ビットで設定した値 ( $m = 0-10$ )

$k$  = UAnCTL2.UAnBRS7-UAnBRS0ビットで設定した値 ( $k = 4-255$ )

ボー・レート誤差は次の式によって求められます。

$$\begin{aligned} \text{誤差 (\%)} &= \left[ \frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right] \times 100 \text{ [\%]} \\ &= \left[ \frac{f_{\text{UCLK}}}{2 \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 \text{ [\%]} \end{aligned}$$

内部クロックを使用する場合は、次の式になります (UARTA0でASCKA0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{誤差 (\%)} = \left[ \frac{f_{\text{xx}}}{2^{m+1} \times k \times \text{目標ボー・レート}} - 1 \right] \times 100 \text{ [\%]}$$

**注意1.** 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

**2.** 受信時のボー・レート誤差は、(5) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

ボー・レートを設定するときは、次のように計算してUAnCTL1, UAnCTL2レジスタを設定してください (内部クロック使用時)。

$k = f_{\text{xx}} / (2 \times \text{目標ボー・レート})$  とし、 $m = 0$ としてください。

$k > 256$ のとき、 $k = k/2$ とし、 $m = m + 1$ としてください。

$k < 256$ になるまで、を繰り返してください。

$k$ の小数点第一位を四捨五入します。

四捨五入して、 $k = 256$ になったときは、もう一度 を行ってください ( $k = 128$ になります)。  
 $m$ をUAnCTL1レジスタに、 $k$ をUAnCTL2レジスタに設定してください。

例： $f_{xx} = 20 \text{ MHz}$ ，目標ボー・レート：153,600 bpsの場合

$$k = 20,000,000 / (2 \times 153,600) = 65.10\dots, m = 0$$

$$, \quad k = 65.10\dots < 256, m = 0$$

UAnCTL2レジスタ設定値： $k = 65 = 41\text{H}$ ，UAnCTL1レジスタ設定値： $m = 0$

$$\begin{aligned} \text{実際のボー・レート} &= 20,000,000 / (2 \times 65) \\ &= 153,846 \text{ [ bps ]} \end{aligned}$$

$$\begin{aligned} \text{ボー・レート誤差} &= \{ 20,000,000 / (2 \times 65 \times 153,600) - 1 \} \times 100 \\ &= 0.160 \text{ [ \% ]} \end{aligned}$$

次に、代表的なボー・レートの設定例を示します。

表13-3 ボー・レート・ジェネレータ設定データ

ボー・レート ( bps )	$f_{xx} = 34 \text{ MHz}$			$f_{xx} = 33.8 \text{ MHz}$			$f_{xx} = 20 \text{ MHz}$		
	UAnCTL1	UAnCTL2	ERR ( % )	UAnCTL1	UAnCTL2	ERR ( % )	UAnCTL1	UAnCTL2	ERR ( % )
300	08H	DDH	0.16	08H	DCH	0.02	08H	82H	0.16
600	07H	DDH	0.16	07H	DCH	0.02	07H	82H	0.16
1200	06H	DDH	0.16	06H	DCH	0.02	06H	82H	0.16
2400	05H	DDH	0.16	05H	DCH	0.02	05H	82H	0.16
4800	04H	DDH	0.16	04H	DCH	0.02	04H	82H	0.16
9600	03H	DDH	0.16	03H	DCH	0.02	03H	82H	0.16
19200	02H	DDH	0.16	02H	DCH	0.02	02H	82H	0.16
31250	02H	88H	0.00	02H	87H	0.15	01H	A0H	0.00
38400	01H	DDH	0.16	01H	DCH	0.02	01H	82H	0.16
76800	00H	DDH	0.16	00H	DCH	0.02	00H	82H	0.16
153600	00H	6FH	- 0.29	00H	6EH	0.02	00H	41H	0.16
312500	00H	36H	0.74	00H	36H	0.15	00H	20H	0.00

備考  $f_{xx}$  : システム・クロック周波数

ERR : ボー・レート誤差 [ % ]

(5) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

**注意** 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図13 - 11 受信時の許容ボー・レート範囲

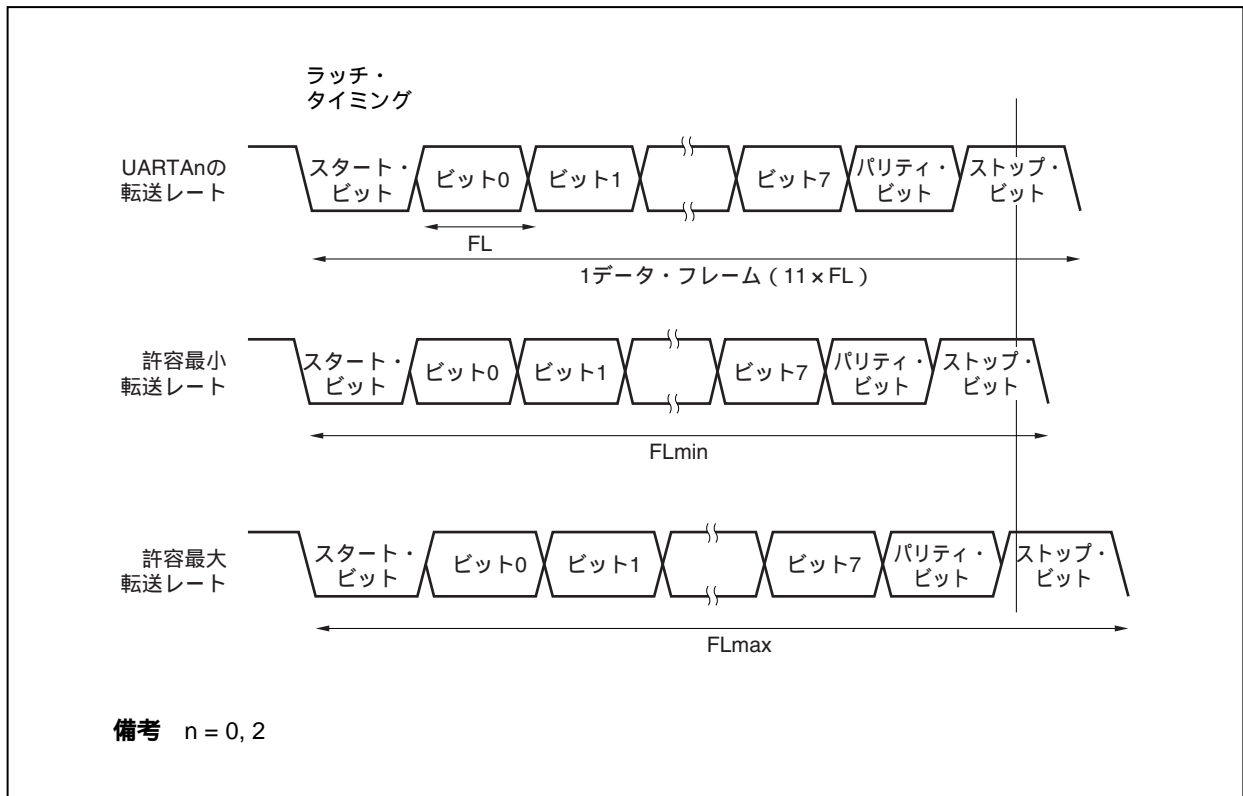


図13 - 11に示すように、スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTAnのボー・レート (n = 0, 2)

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0, 2)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{\min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTAnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表13 - 4 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

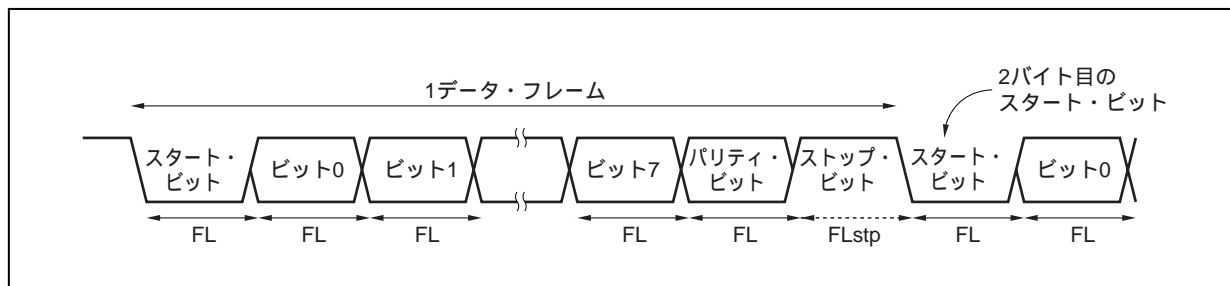
2. k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0, 2)

(6) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。



図13 - 12 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：fuCLKとすると次の式が成り立ちます。

$$FLstp = FL + 2 / fuCLK$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / fuCLK)$$

## 13.8 注意事項

- (1) UARTAnへの供給クロックが停止する場合（例：IDLE, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXEn, UAnTXEnビット = 000とし、回路を初期化してください。
- (2) UARTAnの起動は次の順序で行ってください。
  - UAnCTL0.UAnPWRビット = 1
  - ポートの設定
  - UAnCTL0.UAnTXEビット = 1, UAnCTL0.UAnRXEビット = 1
- (3) UARTAnの停止は次の順序で行ってください。
  - UAnCTL0.UAnTXEビット = 0, UAnCTL0.UAnRXEビット = 0
  - ポートの設定, UAnCTL0.UAnPWRビット = 0（ポートの設定は変更しなくても問題ありません）
- (4) 送信モード中(UAnCTL0.UAnPWRビット = 1,かつUAnCTL0.UAnTXEビット = 1)に、ソフトウェアでUAnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。
- (5) 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信レートが、通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出でタイミングの初期化を行うため、受信結果には影響しません。

## 第14章 3線式可変長シリアルI/O (CSIB)

### 14.1 CSIB4とUARTA0のモード切り替え

V850ES/ST2では,CSIB4とUARTA0は端子が兼用になっており,同時には使用できません。CSIB4とUARTA0の切り替えは,あらかじめPMC3, PFC3, PFCE3Lレジスタで設定する必要があります。

- 注意1. CSIB4とUARTA0は端子を共有しているので,どちらか一方を選択し使用してください。
2. CSIB4またはUARTA0において,送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図14 - 1 CSIB4とUARTA0のモード切り替え設定

リセット時 : 0000H    R/W    アドレス : FFFFF446H, FFFFF447H								
PMC3	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
リセット時 : 0000H    R/W    アドレス : FFFFF466H, FFFFF467H								
PFC3	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
	0	0	PFC35	0	PFC33	PFC32	PFC31	PFC30
リセット時 : 00H    R/W    アドレス : FFFFF706H								
PFCE3L	7	6	5	4	3	2	1	0
	0	0	0	0	0	PFCE32	0	0
PMC32	PFCE32	PFC32	動作モード					
0	x	x	ポート入出力モード					
1	0	0	ASCKA0					
1	0	1	SCKB4					
PMC3n	PFC3n	動作モード						
0	x	ポート入出力モード						
1	0	UARTA0モード						
1	1	CSIB4モード						
備考1. n = 0, 1								
2. x = don't care								

## 14.2 特 徴

転送速度 : 8.5 Mbps ~ 265.6 kbps (  $f_{xx} = 34$  MHz , 内部クロック使用時 )

マスタ・モードとスレーブ・モードを選択可能

8-16ビット転送 , 3線式シリアル・インタフェース

割り込み要求信号 ( INTCBnT, INTCBnR )

シリアル・クロックとデータのフェーズ切り替えが可能

転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭/LSB先頭を切り替え可能

3線式 SOBn : シリアル・データ出力

SIBn : シリアル・データ入力

$\overline{\text{SCKBn}}$  : シリアル・クロック入出力

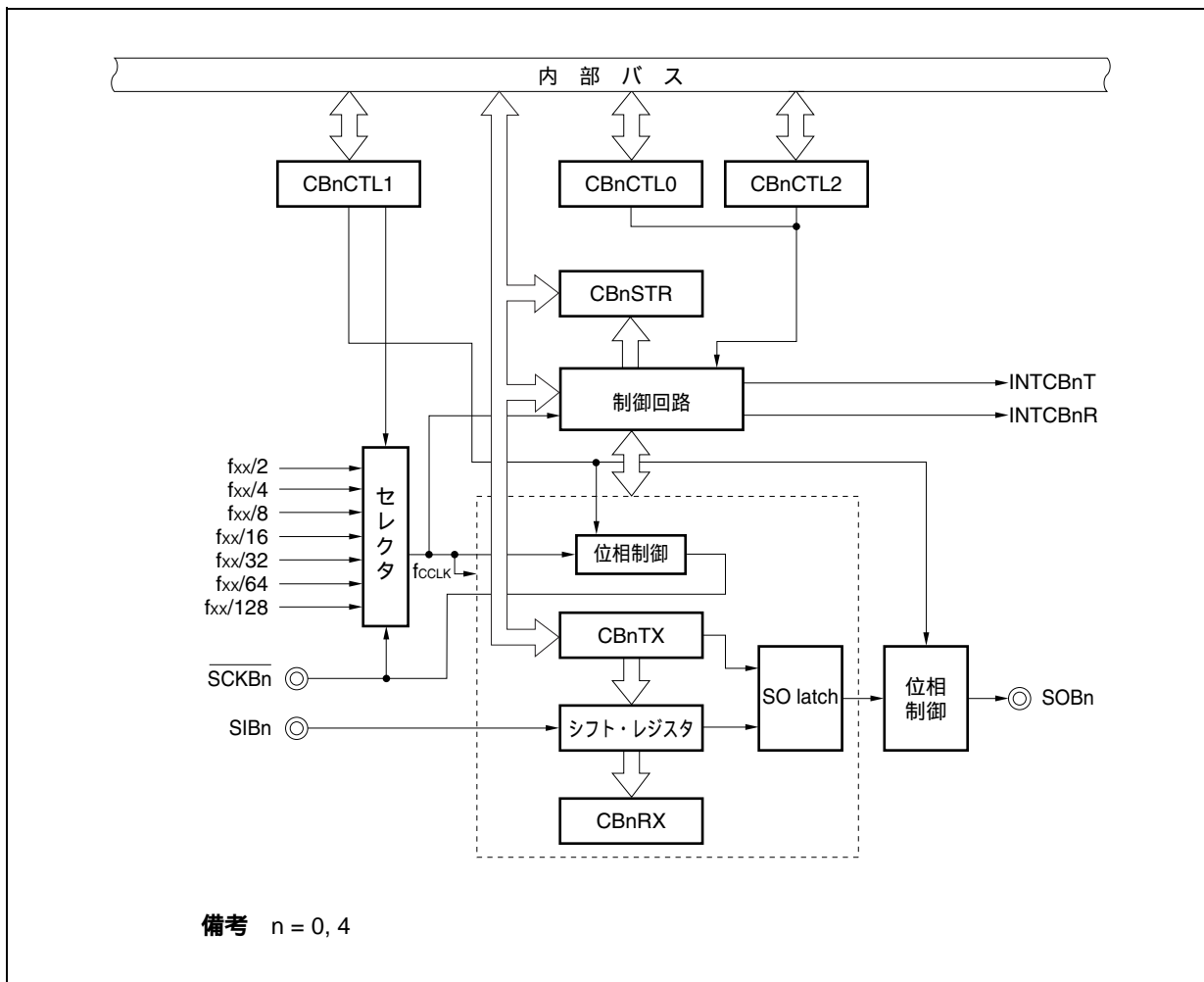
送信モード , 受信モード , 送受信モードを指定可能

**備考** n = 0, 4

### 14.3 構成

次にCSIBnのブロック図を示します。

図14 - 2 CSIBnのブロック図



CSIBnは、次のハードウェアで構成されています。

表14 - 1 CSIBnの構成

項目	構成
レジスタ	CSIBn受信データ・レジスタ (CBnRX) CSIBn送信データ・レジスタ (CBnTX)
制御レジスタ	CSIBn制御レジスタ0 (CBnCTL0) CSIBn制御レジスタ1 (CBnCTL1) CSIBn制御レジスタ2 (CBnCTL2) CSIBn状態レジスタ (CBnSTR)

## (1) CSIBn受信データ・レジスタ (CBnRX)

CBnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

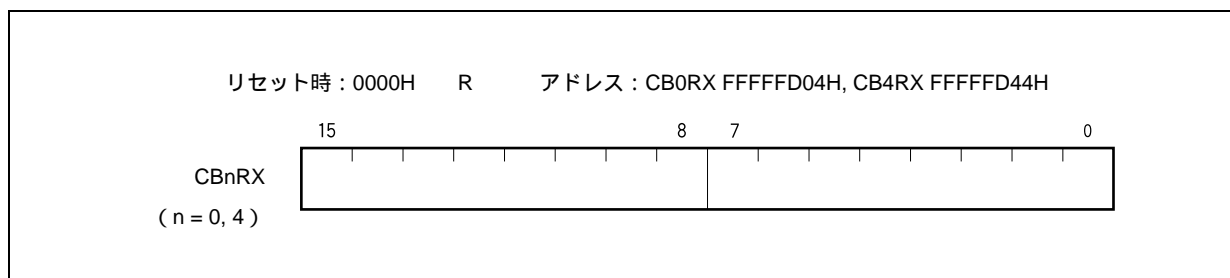
16ビット単位でリードのみ可能です。

受信許可状態中に、CBnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CBnRXレジスタの下位8ビットをCBnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CBnCTL0レジスタのCBnPWRビットをクリア(0)しても初期化されます。



## (2) CSIBn送信データ・レジスタ (CBnTX)

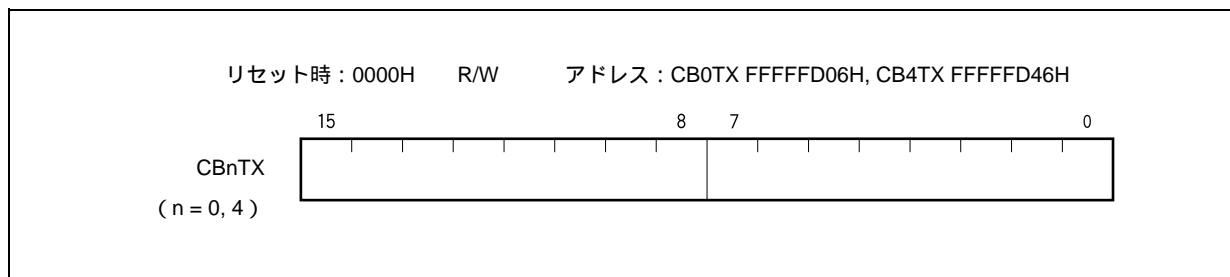
CBnTXレジスタは、CSIBnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信許可状態のときは、CBnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CBnTXレジスタの下位8ビットをCBnTXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

**備考** 通信開始条件について

送信モード (CBnTXEビット = 1, CBnRXEビット = 0)    : CBnTXレジスタへのライト

送受信モード (CBnTXEビット = 1, CBnRXEビット = 1)    : CBnTXレジスタへのライト

受信モード (CBnTXEビット = 0, CBnRXEビット = 1)    : CBnRXレジスタのリード

## 14.4 制御レジスタ

CSIBnを制御するレジスタには、次のものがあります。

- CSIBn制御レジスタ0 (CBnCTL0)
- ・ CSIBn制御レジスタ1 (CBnCTL1)
- ・ CSIBn制御レジスタ2 (CBnCTL2)
- ・ CSIBn状態レジスタ (CBnSTR)

### (1) CSIBn制御レジスタ0 (CBnCTL0)

CSIBnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/3)

リセット時：01H R/W アドレス：CB0CTL0 FFFFFFFD00H, CB4CTL0 FFFFFFFD40H

	⑦	⑥	⑤	④	3	2	1	①
CBnCTL0 (n = 0, 4)	CBnPWR	CBnTXE <sup>注</sup>	CBnRXE <sup>注</sup>	CBnDIR <sup>注</sup>	0	0	CBnTMS <sup>注</sup>	CBnSCE

CBnPWR	CSIBn動作禁止 / 許可の指定
0	CSIBn動作禁止, CBnSTRレジスタをリセットする
1	CSIBn動作許可
・ CBnPWRビットはCSIBnの動作の制御と内部回路のリセットを行います。	

CBnTXE <sup>注</sup>	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・ CBnTXEビット = 0のとき, SOBn出力はロウ・レベルとなります。	

CBnRXE <sup>注</sup>	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・ CBnRXEビット = 0にすることで受信動作を禁止するため, 規定のデータを転送されても受信完了割り込みは出力されず, 受信データ (CBnRXレジスタ) は更新されません。	

**注** CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

**注意1.** 送受信を強制中断する場合は, CBnTXE, CBnRXEビットではなく, CBnPWRビットをクリア (0) してください。このとき, クロック出力も停止します。

2. ビット3, 2には必ず0を設定してください。

CBnDIR <sup>注</sup>	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CBnTMS <sup>注</sup>	転送モードの指定
0	シングル転送モード
1	連続転送モード

**【シングル転送モード】**

通信の完了で受信完了割り込み (INTCBnR) を発生します。送信許可 (CBnTXEビット = 1) の場合でも送信許可割り込み (INTCBnT) は発生しません。通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) も、通信中 (CBnSTR.CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

**【連続転送モード】**

通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトすることで連続送信が可能です。次の送信データがライト可能になるのは、送信許可割り込み (INTCBnT) 発生後です。

また、連続転送モードで受信のみの通信に設定 (CBnTXEビット = 0, CBnRXEビット = 1) すると、CBnRXレジスタのリード操作に関係なく、受信完了割り込み (INTCBnR) 後、連続して次の受信を開始します。

そのため、速やかにCBnRXレジスタから受信データを読み出してください。読み出しが遅れるとオーバーラン・エラー (CBnOVEビット = 1) が発生します。

**注** CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

CBnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時  
通信起動トリガの有効 / 無効を制御するビットです。  
(a) シングル送信 / 送受信モード, 連続送信 / 送受信モード時  
CBnSCEビットの設定は, 動作に影響ありません。  
(b) シングル受信モード時  
受信データ (CBnRXレジスタ) のリードで受信動作が起動されるため, 最終受信データのリードを行う前にCBnSCEビットを“0”に設定して次の受信動作の起動を無効にしてください<sup>注1</sup>。  
(c) 連続受信モード時  
最終データの受信が完了する1通信クロック前までにCBnSCEビットを“0”に設定して最終データ受信後の受信動作の起動を無効にしてください<sup>注2</sup>。

・スレーブ・モード時  
通信起動トリガの有効 / 無効を制御するビットです。  
CBnSCEビットは“1”に設定してください。<sup>注3</sup>

- 注1. CBnSCEビットが“1”のままリードした場合, 次回の通信動作が起動されます。
2. 最終データの受信を完了する1通信クロック前までにCBnSCEビットを“0”にしない場合, 自動的に次回の通信動作が起動されます。  
なお, 最終データのリード後に再び通信動作を起動したい場合, CBnSCEビットを“1”に設定し, CBnRXレジスタをダミー・リードします。
3. 受信を開始する場合には, ダミー・リードが必要です。



**(a) CBnSCEビットの使用法****(i) シングル受信モード時**

INTCBnR割り込み処理で最終データの受信が完了している場合は、CBnSCEビット = 0にしてから、CBnRXレジスタを読み出します。

最終データの受信完了後、受信を禁止する場合は、CBnSTR.CBnTSFビットが“0”であることを確認したあと、CBnPWRビット = 0, CBnRXEビット = 0にします。続けて受信する場合は、CBnSCEビット = 1にして、CBnRXレジスタのダミー・リードにより次の受信動作を開始します。

**(ii) 連続受信モード時**

最終受信1つ前の受信によるINTCBnR割り込み処理で最終データの受信中にCBnSCEビット = 0にしてから、CBnRXレジスタを読み出します。

最終受信のINTCBnR信号を受けて、CBnRXレジスタにより最終データを読み出します。

最終データの受信完了後、受信を禁止する場合は、CBnSTR.CBnTSFビットが“0”であることを確認したあと、CBnPWRビット = 0, CBnRXEビット = 0にします。続けて受信する場合は、CBnSCEビット = 1にして、CBnRXレジスタのダミー・リードにより次の受信動作を開始します。

**注意** 連続受信の場合、ダミー・リードで受信を開始したあと、CBnSCEビット = 0設定時に実行中の受信が完了するまでシリアル・クロックは停止しません。

(2) CSIBn制御レジスタ1 (CBnCTL1)

CSIBnのシリアル転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** CBnCTL1レジスタは、CBnCTL0.CBnPWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL1 FFFFFFFD01H, CB4CTL1 FFFFFFF41H

	7	6	5	4	3	2	1	0
CBnCTL1	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0
(n = 0, 4)								

	CBnCKP	CBnDAP	SCKBnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CBnCKS2	CBnCKS1	CBnCKS0	通信クロック (f <sub>CLK</sub> ) 注1	モード
0	0	0	f <sub>xx</sub> /2注2	マスタ・モード
0	0	1	f <sub>xx</sub> /4	マスタ・モード
0	1	0	f <sub>xx</sub> /8	マスタ・モード
0	1	1	f <sub>xx</sub> /16	マスタ・モード
1	0	0	f <sub>xx</sub> /32	マスタ・モード
1	0	1	f <sub>xx</sub> /64	マスタ・モード
1	1	0	f <sub>xx</sub> /128	マスタ・モード
1	1	1	外部クロック (SCKBn)	スレーブ・モード

注1. 通信クロック (f<sub>CLK</sub>) は、8.5 MHz以下になるように設定してください。

2. f<sub>xx</sub> > 17 MHz動作時は設定禁止です。

(3) CSIBn制御レジスタ2 (CBnCTL2)

CSIBnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

**注意** CBnCTL2レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnTXE, CBnRXEビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL2 FFFFFFFD02H, CB4CTL2 FFFFFFFD42H

	7	6	5	4	3	2	1	0
CBnCTL2 (n = 0, 4)	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	x	x	x	16ビット

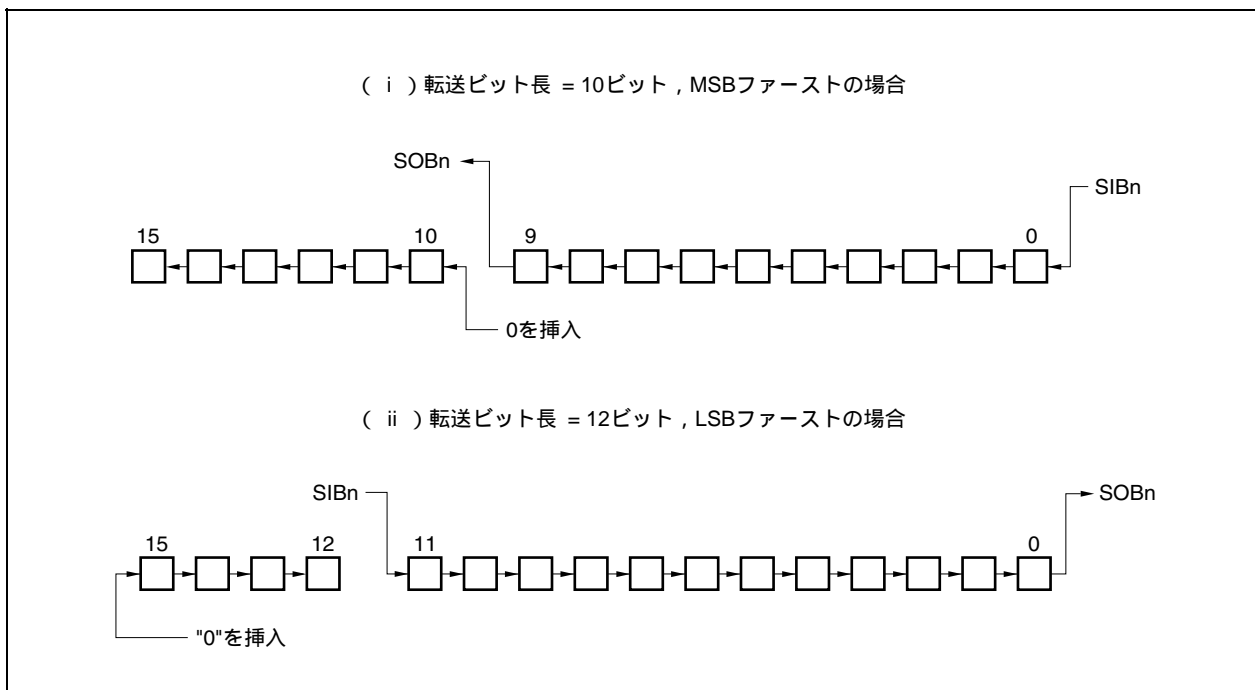
**備考1.** 転送ビット数が8/16ビットではない場合には、CBnTX, CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

2. x : don't care

(a) 転送データ長変更機能

CSIBnの転送データ長はCBnCTL2.CBnCL3-CBnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CBnTX, CBnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。



(4) CSIBn状態レジスタ (CBnSTR)

CSIBnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) する場合も初期化されます。

リセット時：00H    R/W    アドレス：CB0STR FFFFFFFD03H, CB1STR FFFFFFFD13H,  
CB2STR FFFFFFFD23H, CB3STR FFFFFFFD33H,  
CB4STR FFFFFFFD43H

	⑦	6	5	4	3	2	1	①
CBnSTR (n = 0-4)	CBnTSF	0	0	0	0	0	0	CBnOVE

CBnTSF	通信状態フラグ
0	通信停止
1	通信中
<ul style="list-style-type: none"> <li>送信時にはCBnTXレジスタにデータを準備したタイミングでセットされます。受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。転送終了時、クロックの最後のエッジでクリア (0) されます。</li> </ul>	

CBnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり
<ul style="list-style-type: none"> <li>受信時もしくは受信動作完了後に、CBnRXレジスタの値をCPUリードせずに次の受信が開始した場合、オーバラン・エラーとなります。CBnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。</li> <li>シングル転送モード時もCBnOVEビットは有効です。そのため、送信のみで使用する場合は、次のように対応してください。 <ul style="list-style-type: none"> <li>CBnOVEフラグのチェックを行わない。(推奨)</li> <li>受信データを読み出す必要がない場合でも読み出す。</li> </ul> </li> <li>CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません。</li> </ul>	

**注意** シングル転送モードでは、CBnTSFビット = 1の状態でもCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。シングル転送モードではなく連続転送モードを使用してください。

## 14.5 割り込み要求信号

CSIBnからは次の2種類の割り込み要求信号を発生します。

- ・ 受信完了割り込み要求信号 (INTCBnR)
- ・ 送信許可割り込み要求信号 (INTCBnT)

これら2種類の割り込み要求信号のデフォルト優先順位は、受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表16 - 2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

### (1) 受信完了割り込み要求信号 (INTCBnR)

受信許可状態中で、CBnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、オーバラン・エラーが起こった場合にも発生します。

受信完了割り込み要求信号を受け付け、データを読み出すときに、CBnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

また、シングル転送モード時は送信のみにおいても、送信完了のタイミングで、INTCBnR割り込み要求信号が発生します。

### (2) 送信許可割り込み要求信号 (INTCBnT)

連続送信 / 連続送受信モードにおいて、CBnTXレジスタから送信データが転送され、CBnTXへの書き込みが可能となった時点で送信許可割り込み要求信号を発生します。

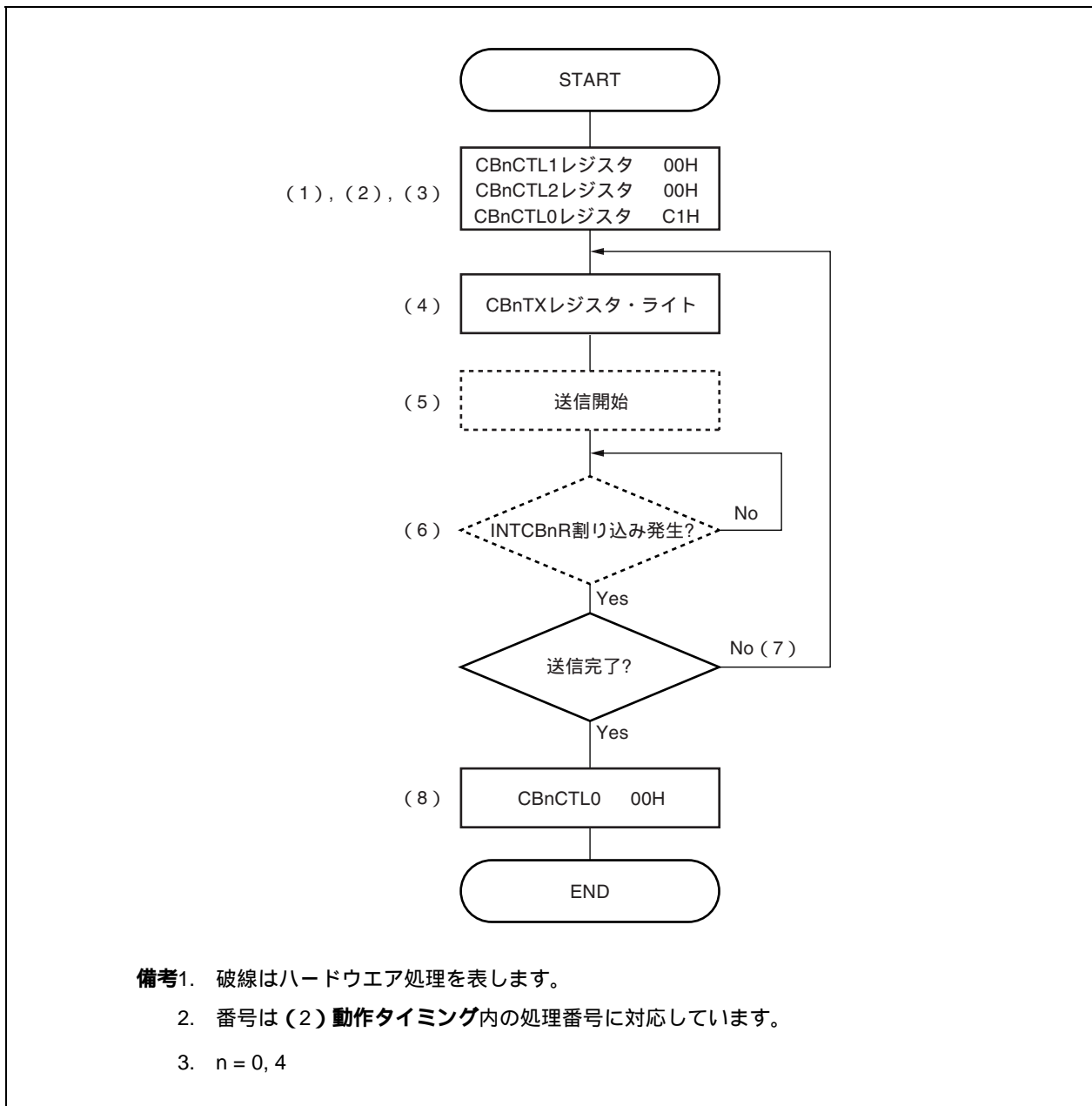
シングル送信 / シングル送受信モードにおいては、INTCBnT割り込みは発生しません。

## 14.6 動作

### 14.6.1 シングル転送モード (マスタ・モード, 送信モード)

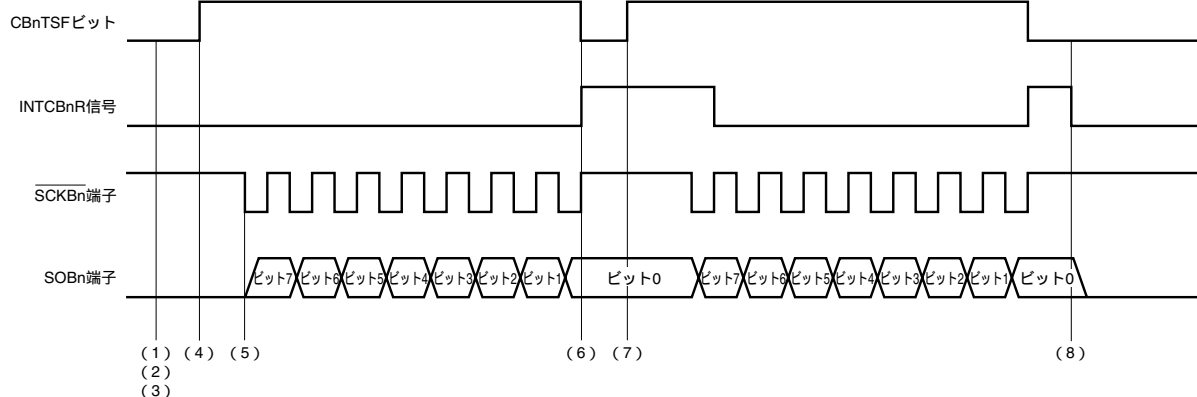
MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック ( $f_{CLK}$ ) =  $f_{xx}/2$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

#### (1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は (2) 動作タイミング内の処理番号に対応しています。
  3.  $n = 0, 4$

## (2) 動作タイミング



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{CCLK}$ ) =  $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック ( $f_{CCLK}$ ) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、送信を開始する。
- (5) 送信が開始されると、 $\overline{SCKBn}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア(0)する。
- (7) 続けて送信を行う場合は、INTCBnR信号発生後、再びCBnTXレジスタに送信データをライトすることで次の送信を開始する。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

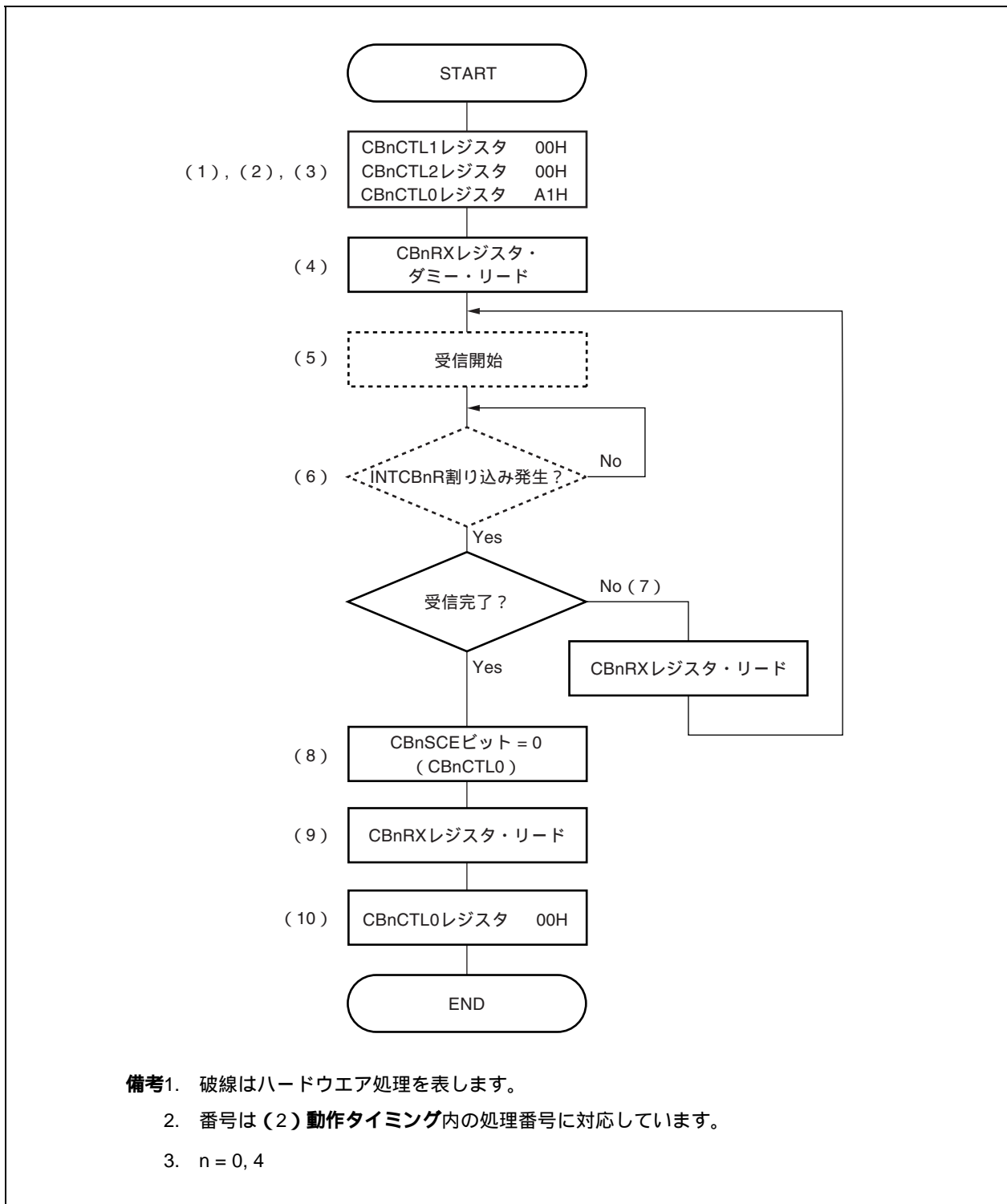
**備考** n = 0, 4



### 14. 6. 2 シングル転送モード (マスタ・モード, 受信モード)

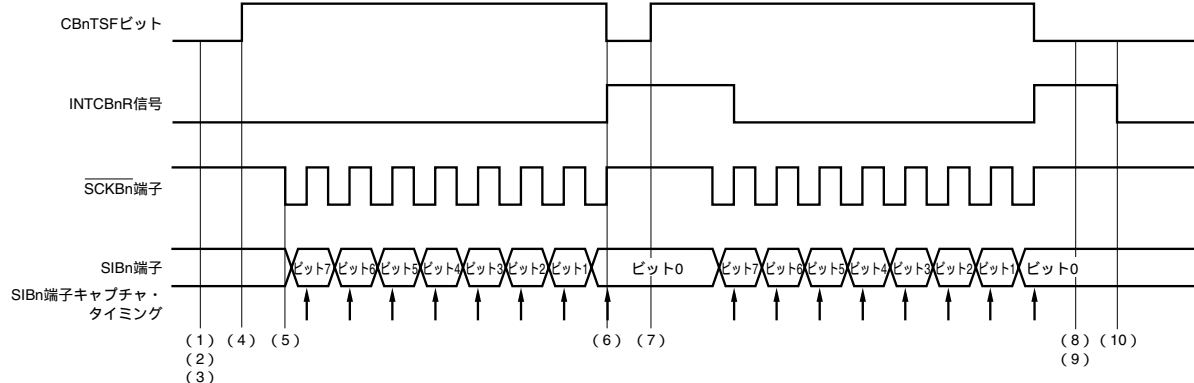
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック( $f_{CLK}$ ) =  $f_{xx}/2$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

#### (1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
  3.  $n = 0, 4$

## (2) 動作タイミング



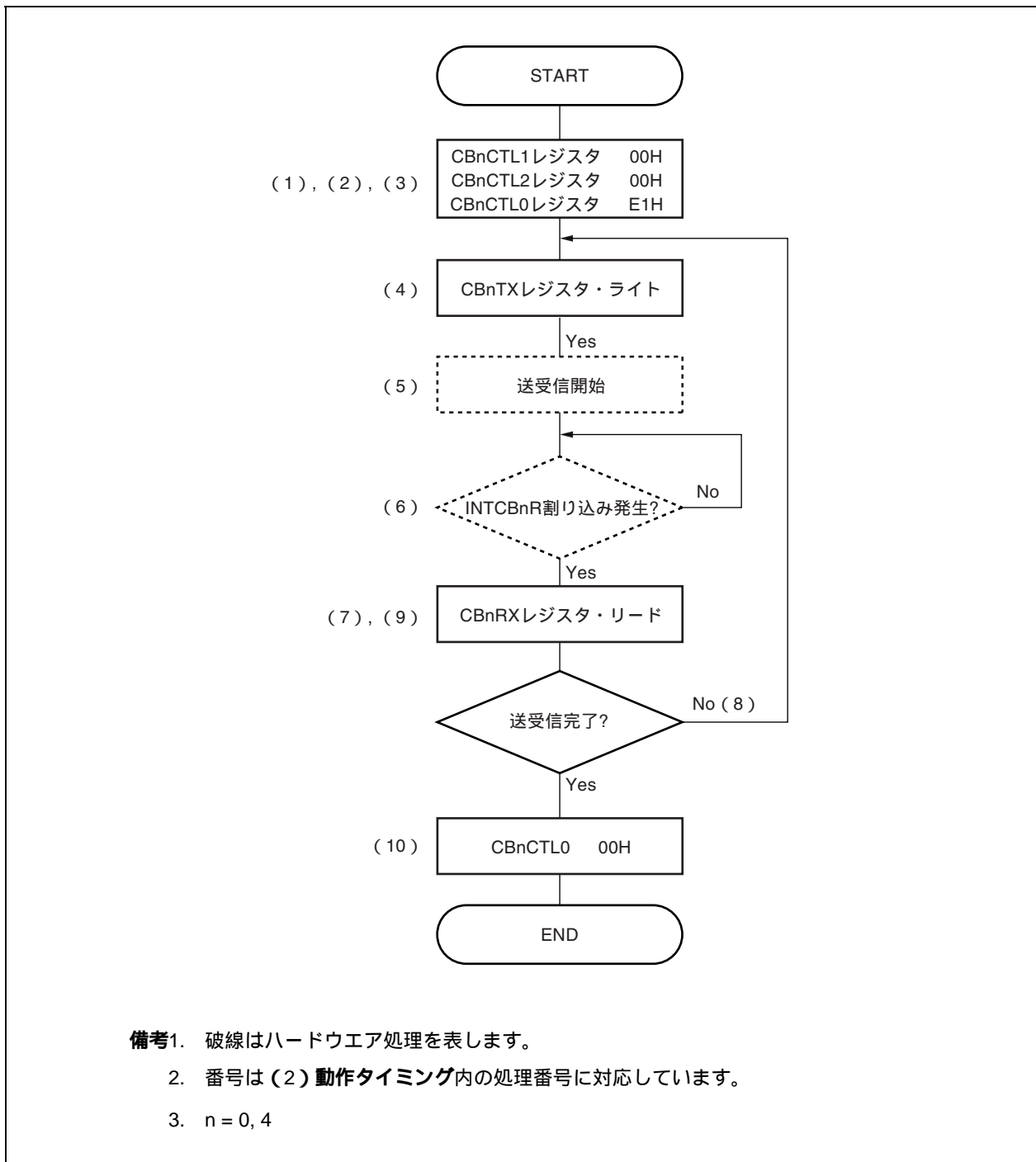
- (1) CbNCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CCLK}}$ ) =  $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CbNCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CbNCTL0レジスタにA1Hをライトし、通信クロック ( $f_{\text{CCLK}}$ ) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CbNRXレジスタをダミー・リードすることで、CbNSTR.CbNtSFビットがセット(1)され、受信を開始する。
- (5) 受信が開始されると、SCKbN端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) CbNCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック出力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCbNr) を発生し、CbNtSFビットをクリア(0)する。
- (7) 続けて受信を行う場合は、ITNCbNr信号発生後、CbNCTL0.CbNSCEビット = 1のまま、CbNRXレジスタをリードする。
- (8) 次の受信を開始させずにCbNRXレジスタをリードする場合には、CbNSCEビット = 0をライトする。
- (9) CbNRXレジスタをリードする。
- (10) 受信を完了する場合は、CbNCTL0.CbNPWRビット = 0, CbNCTL0.CbNRXEビット = 0をライトする。

**備考**  $n = 0, 4$

### 14.6.3 シングル転送モード (マスタ・モード, 送受信モード)

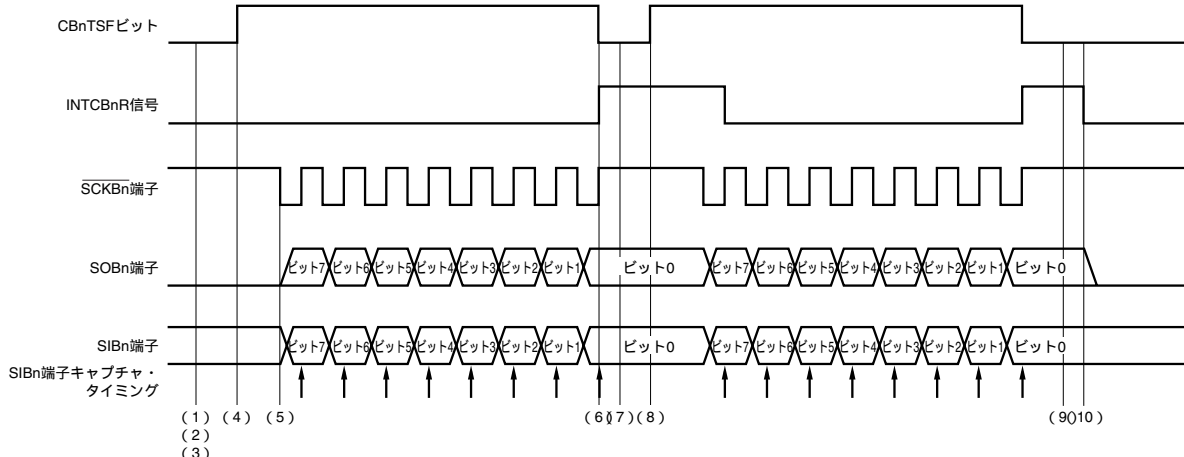
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f<sub>CCLK</sub>) = f<sub>xx</sub>/2 (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

#### (1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は (2) 動作タイミング内の処理番号に対応しています。
  3. n = 0, 4

(2) 動作タイミング



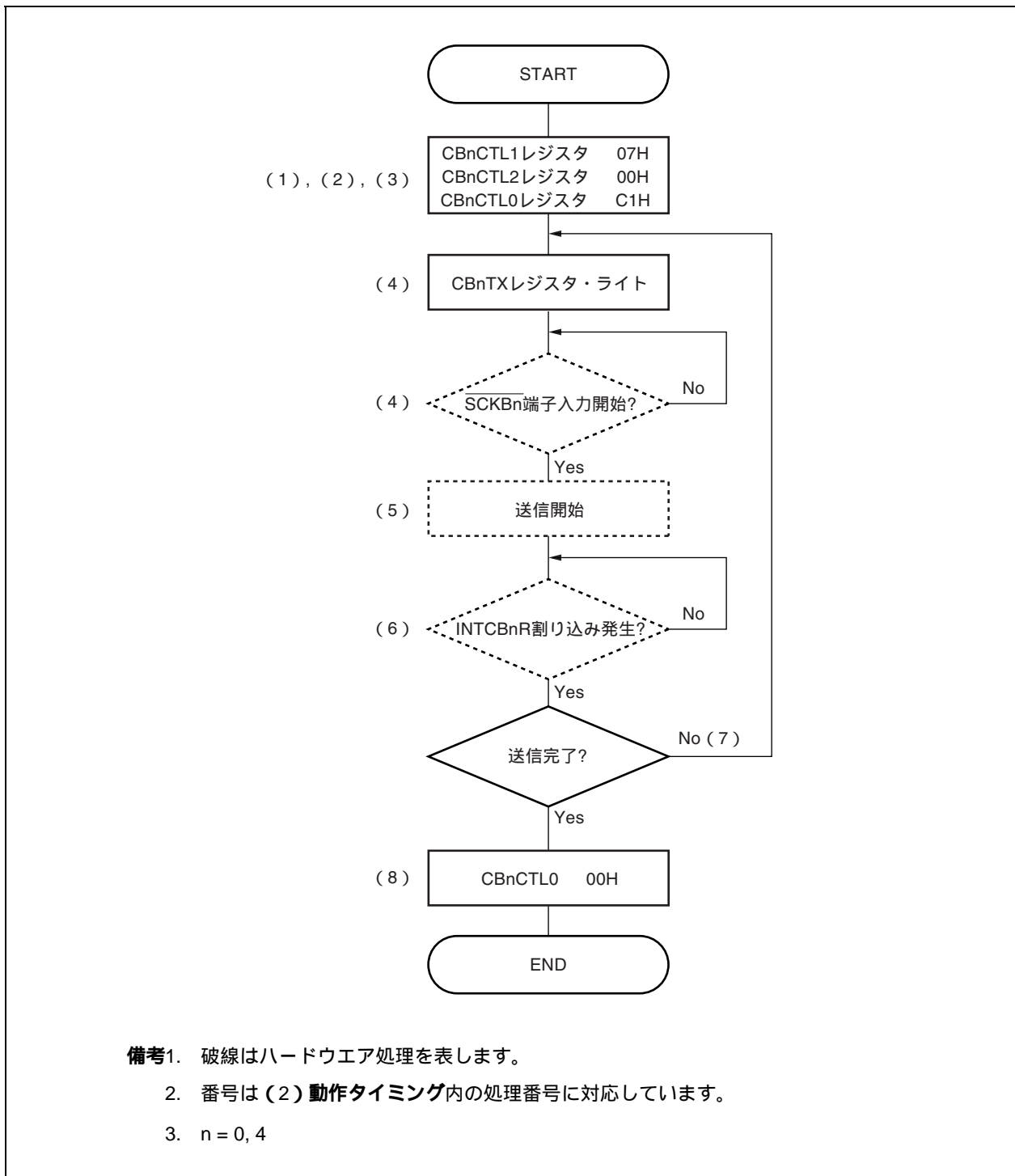
- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{cCLK}$ ) =  $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし、通信クロック ( $f_{cCLK}$ ) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSPビットがセット (1) され、送受信を開始する。
- (5) 送受信が開始されると、 $\overline{SCKBn}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子に送信データを出力し、SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSPビットをクリア (0) する。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCBnTXレジスタに送信データをライトする。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0, 4

### 14.6.4 シングル転送モード (スレーブ・モード, 送信モード)

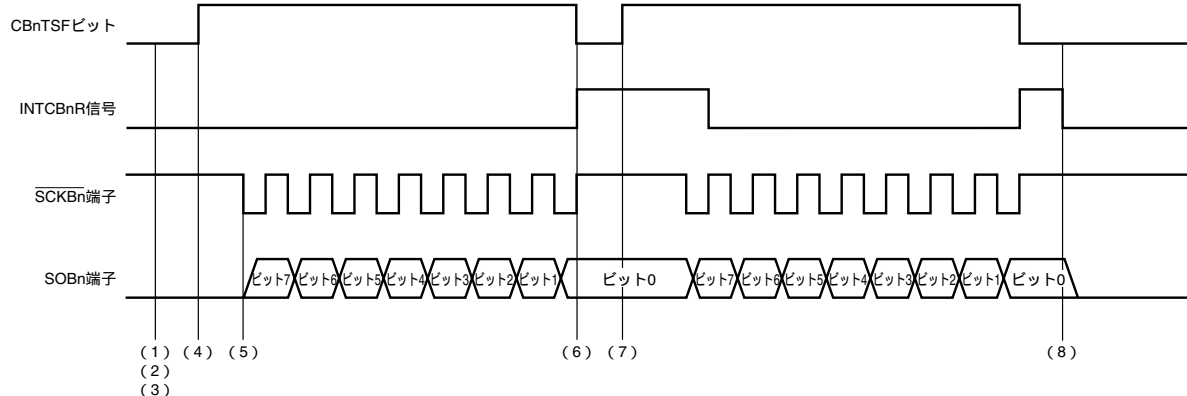
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック( $f_{CCLK}$ ) = 外部クロック( $SCKBn$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

#### (1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
  3.  $n = 0, 4$

## (2) 動作タイミング



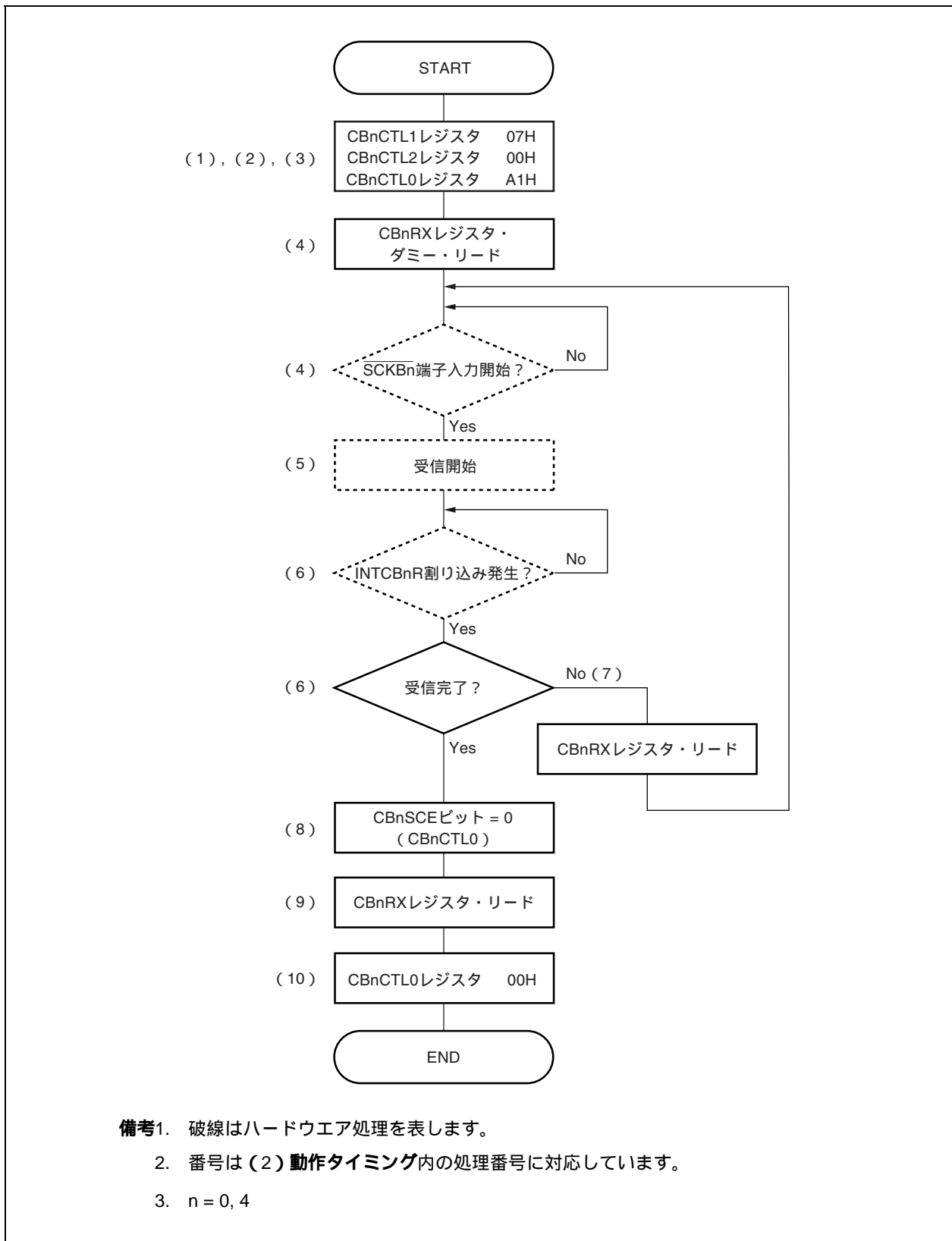
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{CLK}$ ) = 外部クロック ( $SCKBn$ )、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック ( $f_{CLK}$ ) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの入力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア (0) する。
- (7) 続けて送信を行う場合は、INTCBnR信号発生後、再びCBnTXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

**備考** n = 0, 4

### 14.6.5 シングル転送モード (スレーブ・モード, 受信モード)

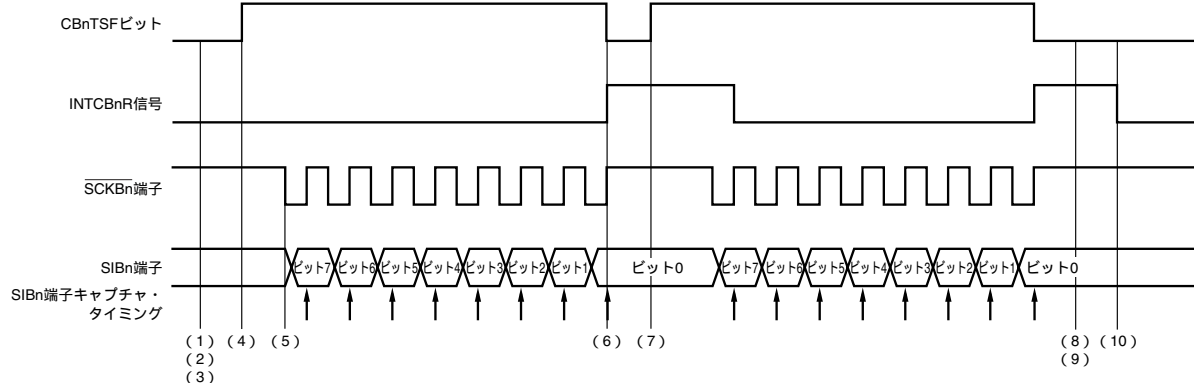
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f<sub>CCLK</sub>) = 外部クロック( $\overline{SCKBn}$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

#### (1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。  
 2. 番号は(2)動作タイミング内の処理番号に対応しています。  
 3. n = 0, 4

## (2) 動作タイミング



- (1) CnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f<sub>CLK</sub>) = 外部クロック (SCKn)、スレーブ・モードを選択する。
- (2) CnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CnCTL0レジスタにA1Hをライトし、通信クロック (f<sub>CLK</sub>) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CnRXレジスタをダミー・リードすることで、CnSTR.CnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) CnCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロックの入力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCnR) を発生し、CnTSFビットをクリア(0)する。
- (7) 続けて受信を行う場合は、INTCnR信号発生後、CnCTL0.CnSCEビット = 1のまま、CnRXレジスタをリードし、シリアル・クロックの入力を待つ。
- (8) 受信を完了する場合は、CnSCEビット = 0をライトする。
- (9) CnRXレジスタをリードする。
- (10) 受信を完了する場合は、CnCTL0.CnPWRビット = 0, CnCTL0.CnRXEビット = 0をライトする。

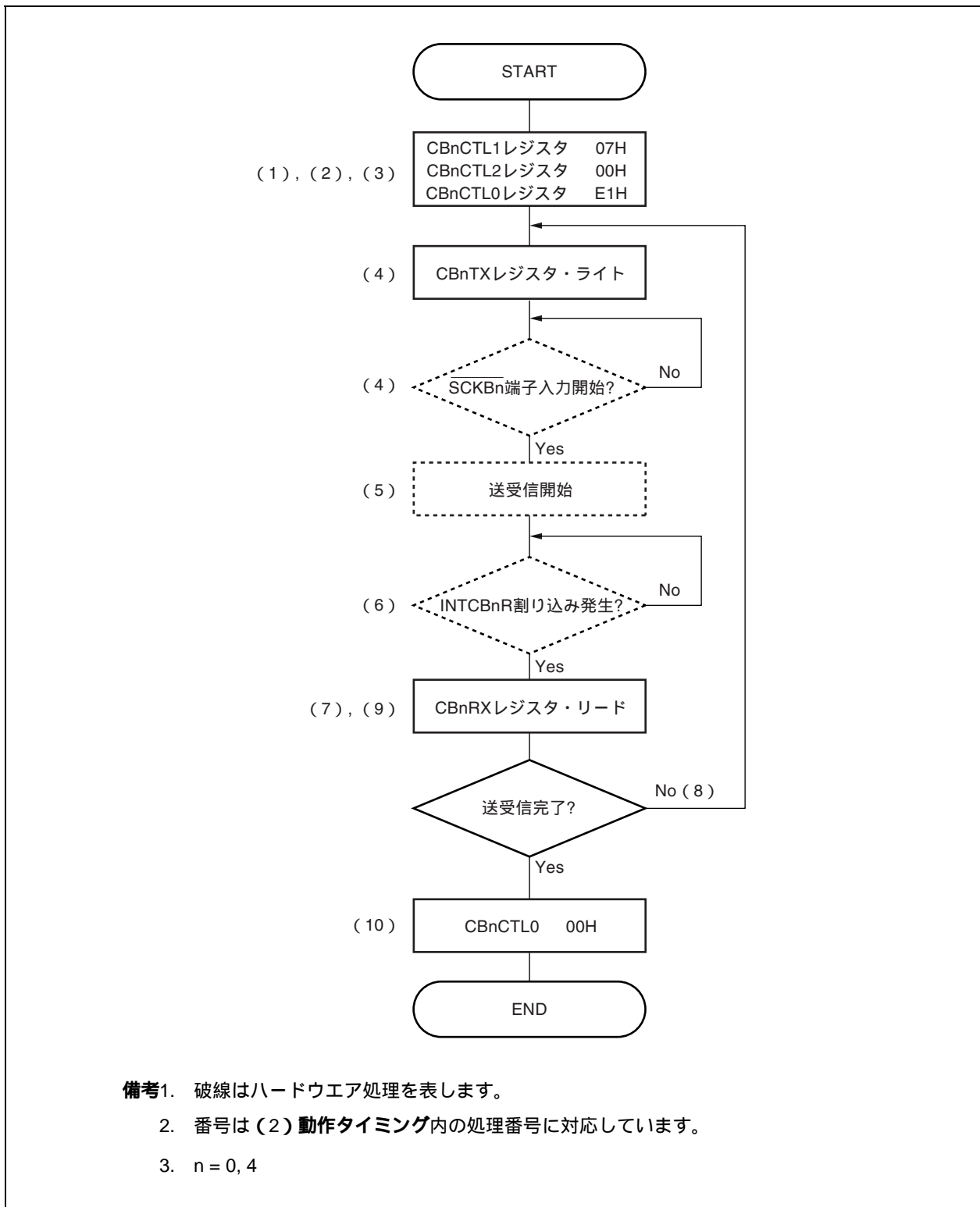
**備考** n = 0, 4



### 14.6.6 シングル転送モード (スレーブ・モード, 送受信モード)

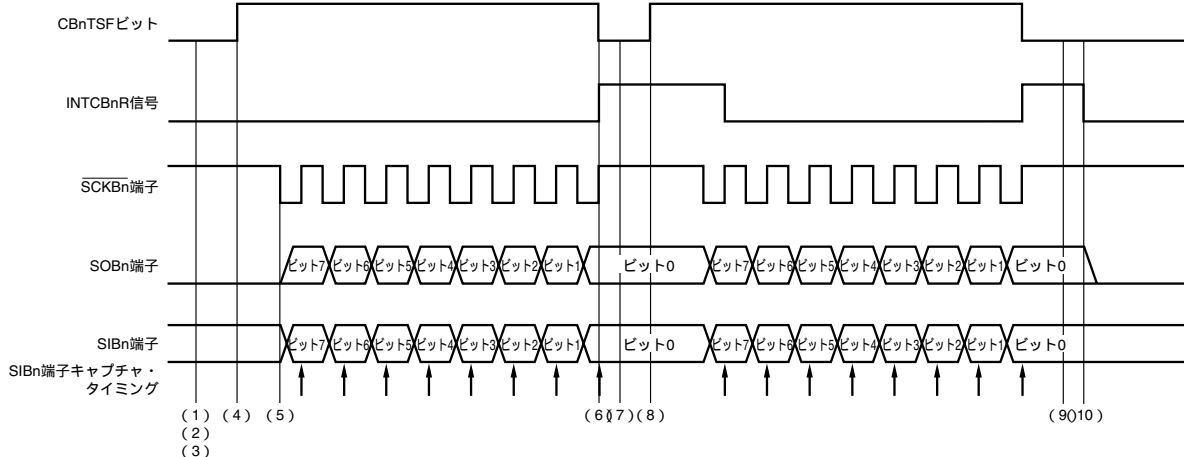
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f<sub>CCLK</sub>) = 外部クロック(SCKBn)(CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

#### (1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
  3. n = 0, 4

## (2) 動作タイミング



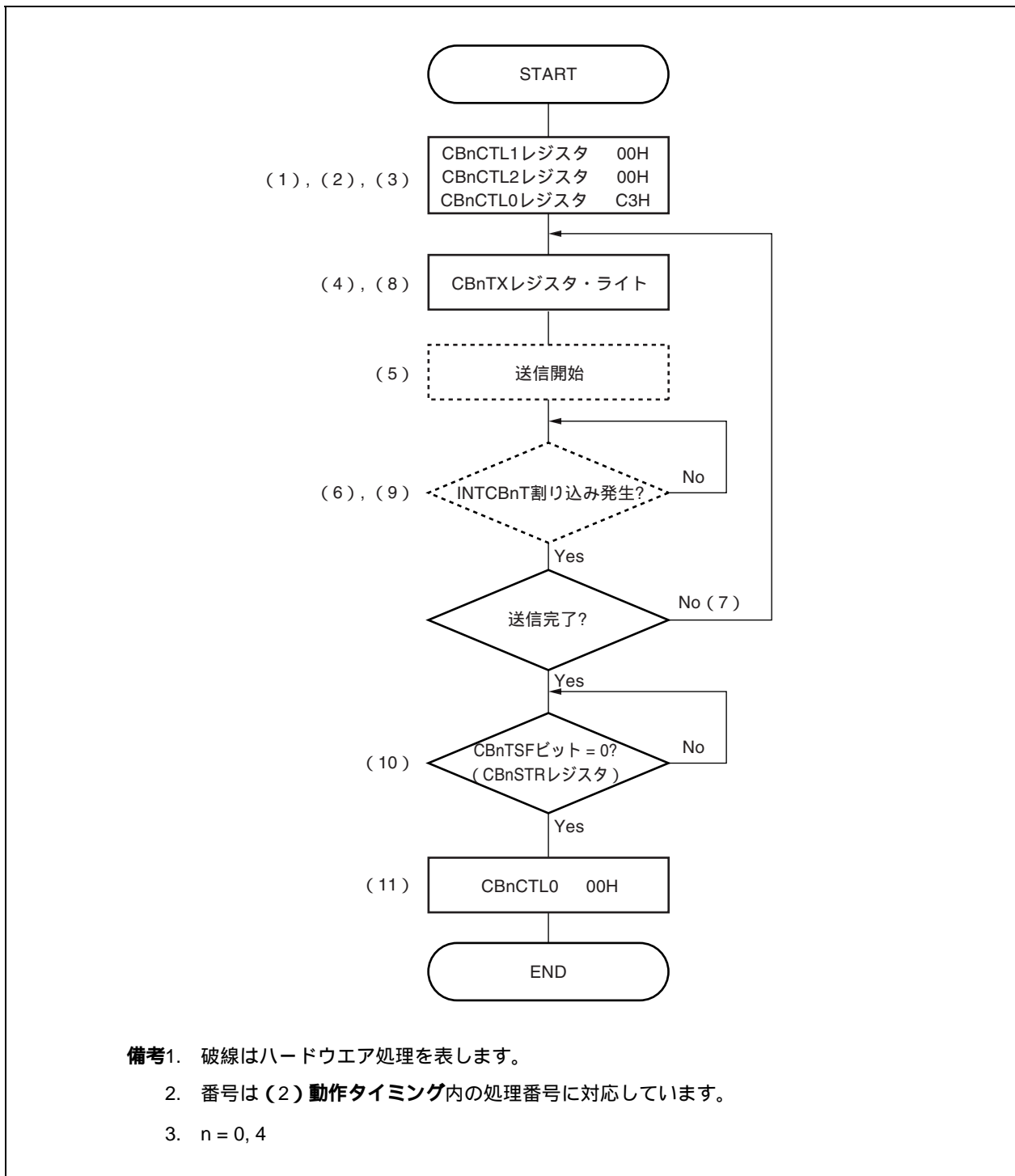
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f<sub>CLK</sub>) = 外部クロック (SCKBn)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし、通信クロック (f<sub>CLK</sub>) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSPビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの入力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSPビットをクリア (0) する。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCBnTXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

**備考** n = 0, 4

### 14.6.7 連続転送モード (マスタ・モード, 送信モード)

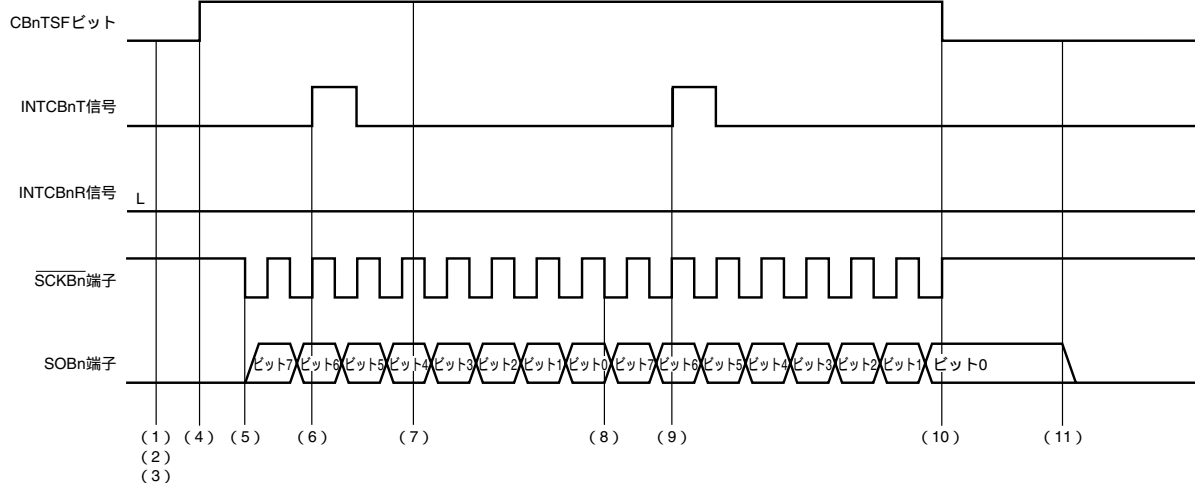
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック( $f_{CCLK}$ ) =  $f_x/2$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

#### (1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。  
 2. 番号は(2)動作タイミング内の処理番号に対応しています。  
 3. n = 0, 4

## (2) 動作タイミング



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{CCLK}$ ) =  $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック ( $f_{CCLK}$ ) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、送信を開始する。
- (5) 送信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) 通信完了前に新たな送信データがCBnTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCBnT信号が発生する。現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は、転送完了後、SCKBn端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア(0)する。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

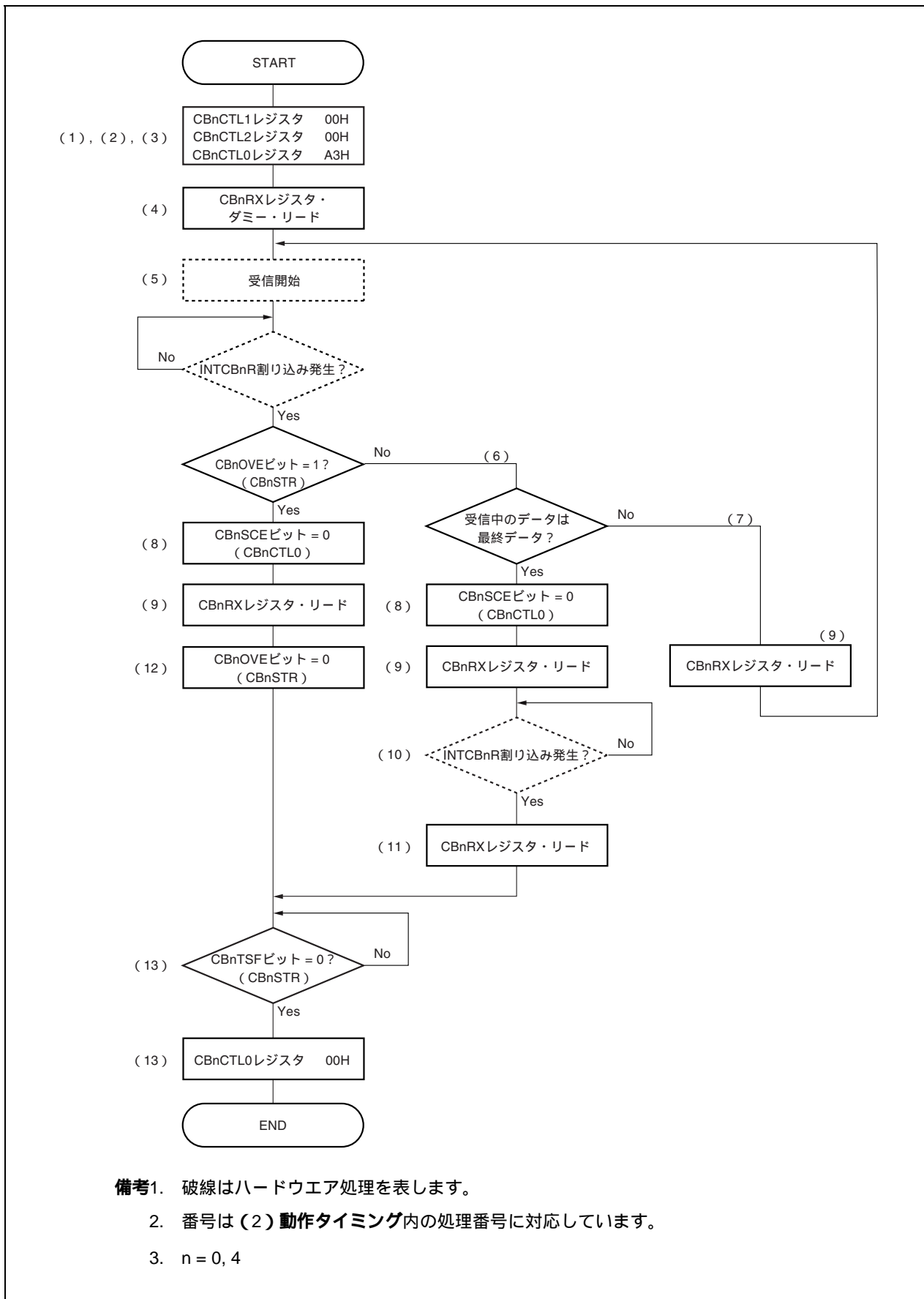
**注意** 連続送信モードでは、受信完了割り込み要求信号 (INTCBnR) は発生しません。

**備考** n = 0, 4

#### 14. 6. 8 連続転送モード (マスタ・モード, 受信モード)

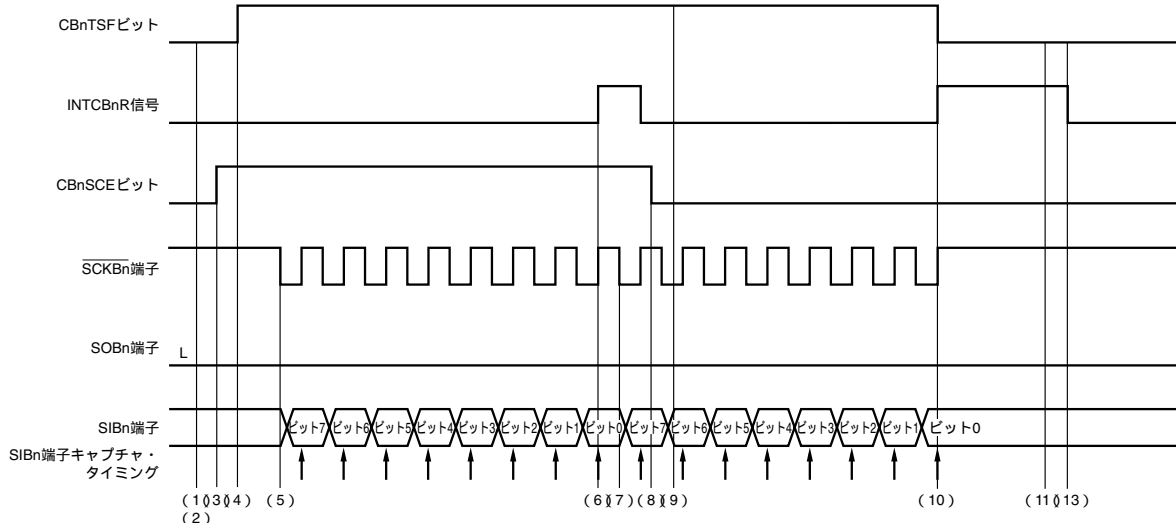
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック( $f_{\text{CCLK}}$ ) =  $f_{\text{xx}}/2$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. n = 0, 4

## (2) 動作タイミング



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック ( $f_{\text{CLK}}$ ) =  $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし、通信クロック ( $f_{\text{CLK}}$ ) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット(1)され、受信を開始する。
- (5) 受信が開始されると、 $\overline{\text{SCKBn}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信完了割り込み要求信号 (INTCBnR) が発生し、CBnRXレジスタのリードが可能になる。
- (7) 通信完了時にCBnCTL0.CBnSCEビット = 1だと、通信完了後に続けて次の通信を開始する。
- (8) 現受信で連続受信を完了する場合は、CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると、INTCBnR信号が発生し、CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると、 $\overline{\text{SCKBn}}$ 端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア(0)し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnRXEビット = 0をライトする。

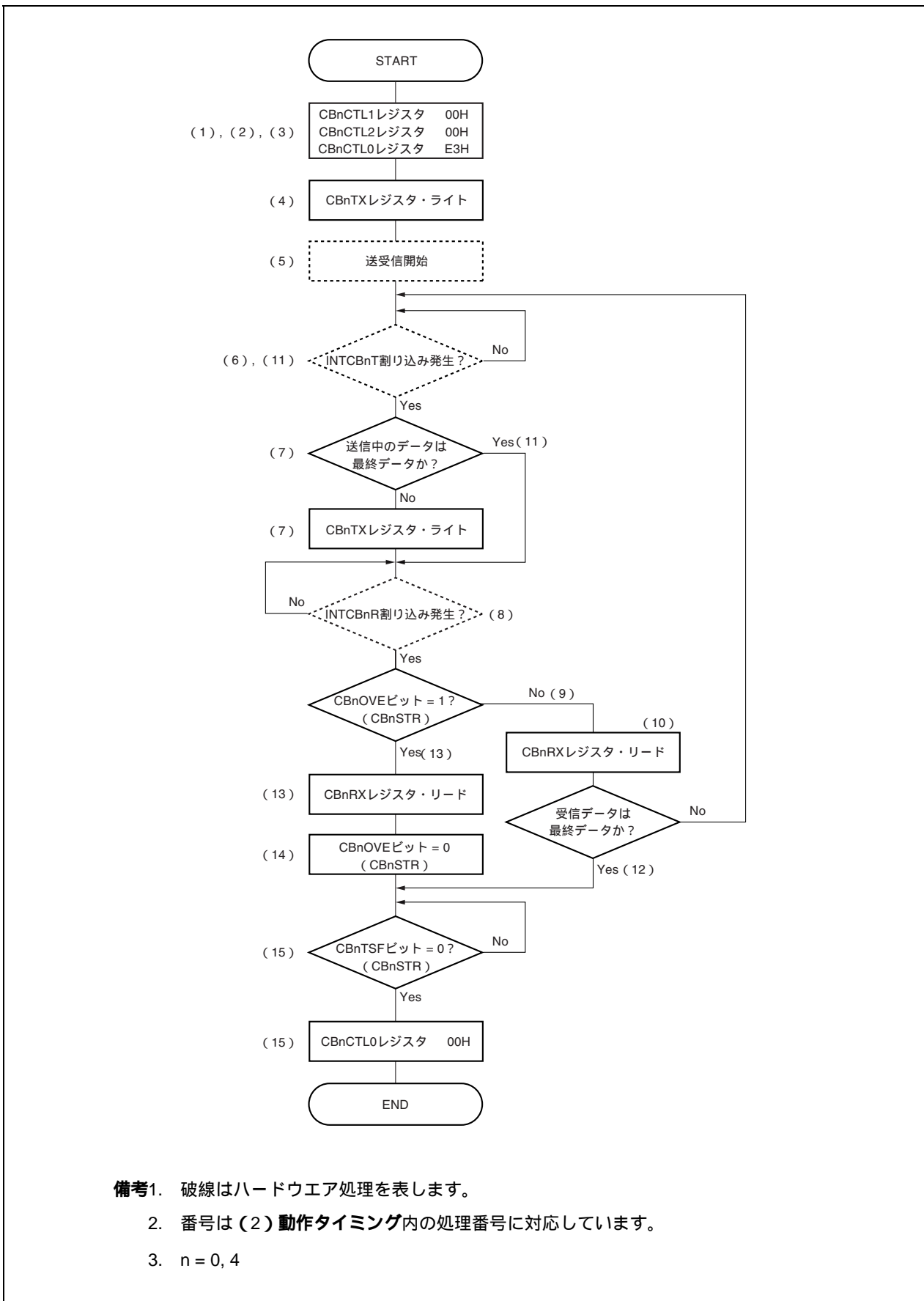
**備考** n = 0, 4

### 14.6.9 連続転送モード (マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック( $f_{\text{CCLK}}$ ) =  $f_{\text{xx}}/2$  (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合



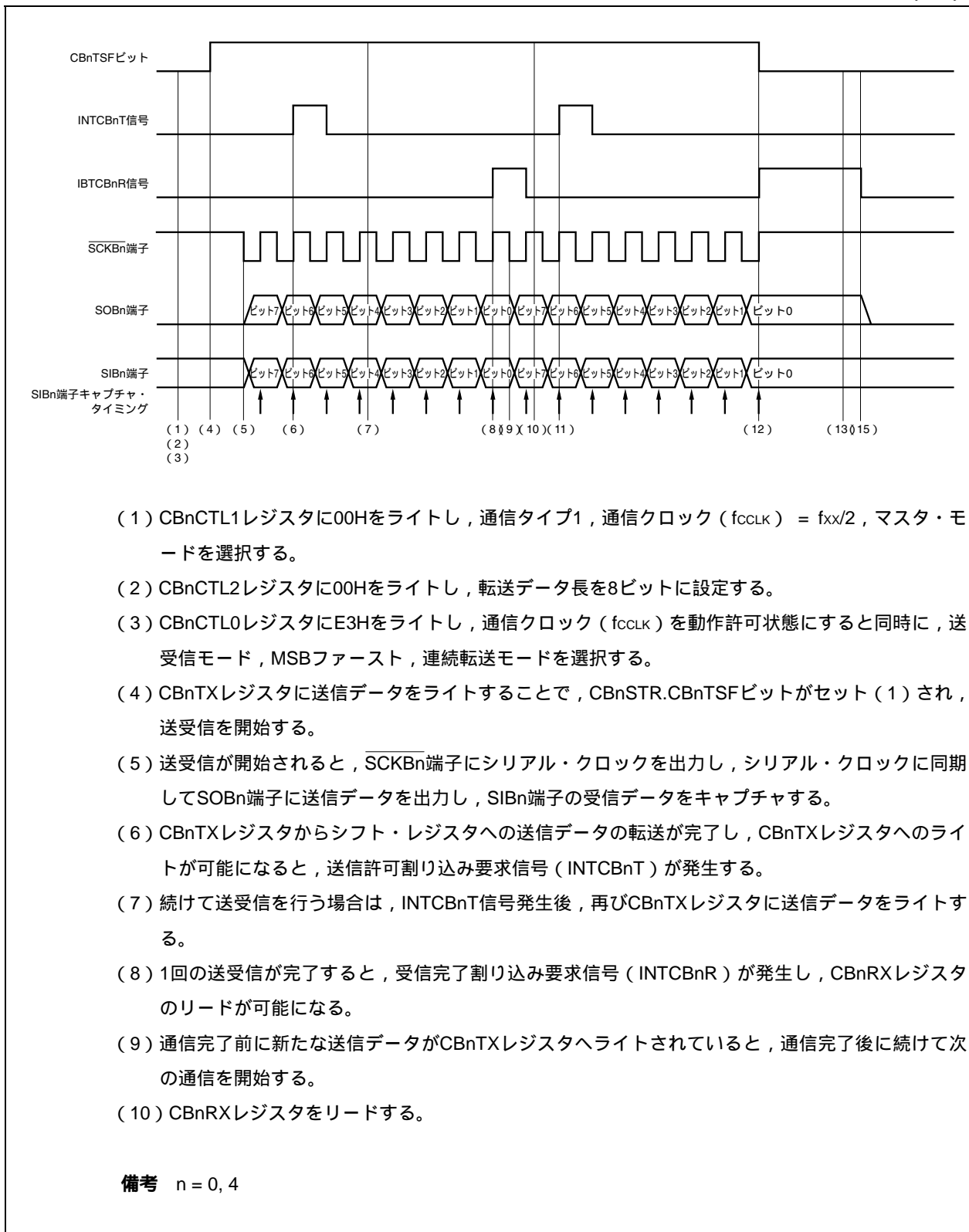
(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
- 2. 番号は(2)動作タイミング内の処理番号に対応しています。
- 3. n = 0, 4

(2) 動作タイミング

(1/2)



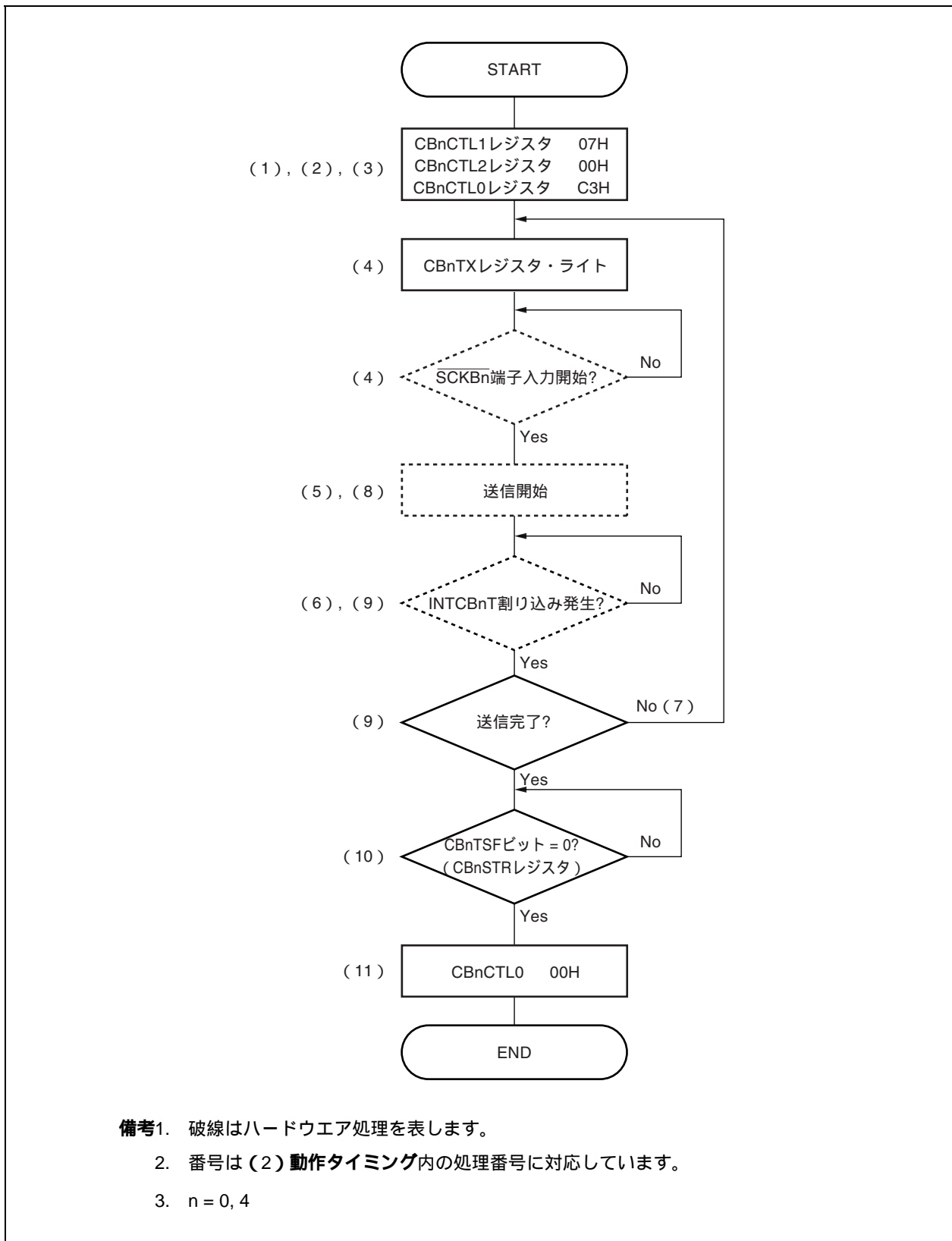
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (12) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は、転送完了後、 $\overline{\text{SCKBn}}$ 端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア(0)する。
- (13) 受信エラー割り込み要求信号 (INTCBnR) 発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

**備考** n = 0, 4

### 14.6.10 連続転送モード (スレーブ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック( $f_{CCLK}$ ) = 外部クロック(SCKBn)(CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

#### (1) 動作フロー

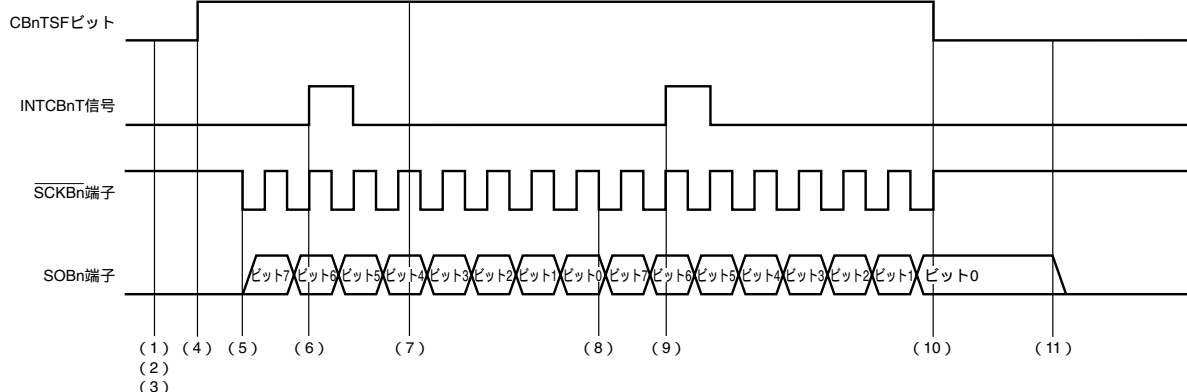


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. n = 0, 4

## (2) 動作タイミング



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック ( $f_{CLK}$ ) = 外部クロック ( $SCKBn$ )、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック ( $f_{CLK}$ ) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の送信が完了後に続けてシリアル・クロックが入力されると、連続送信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、CBnTSFビットをクリア (0) し、送信を終了する。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0をライトする。

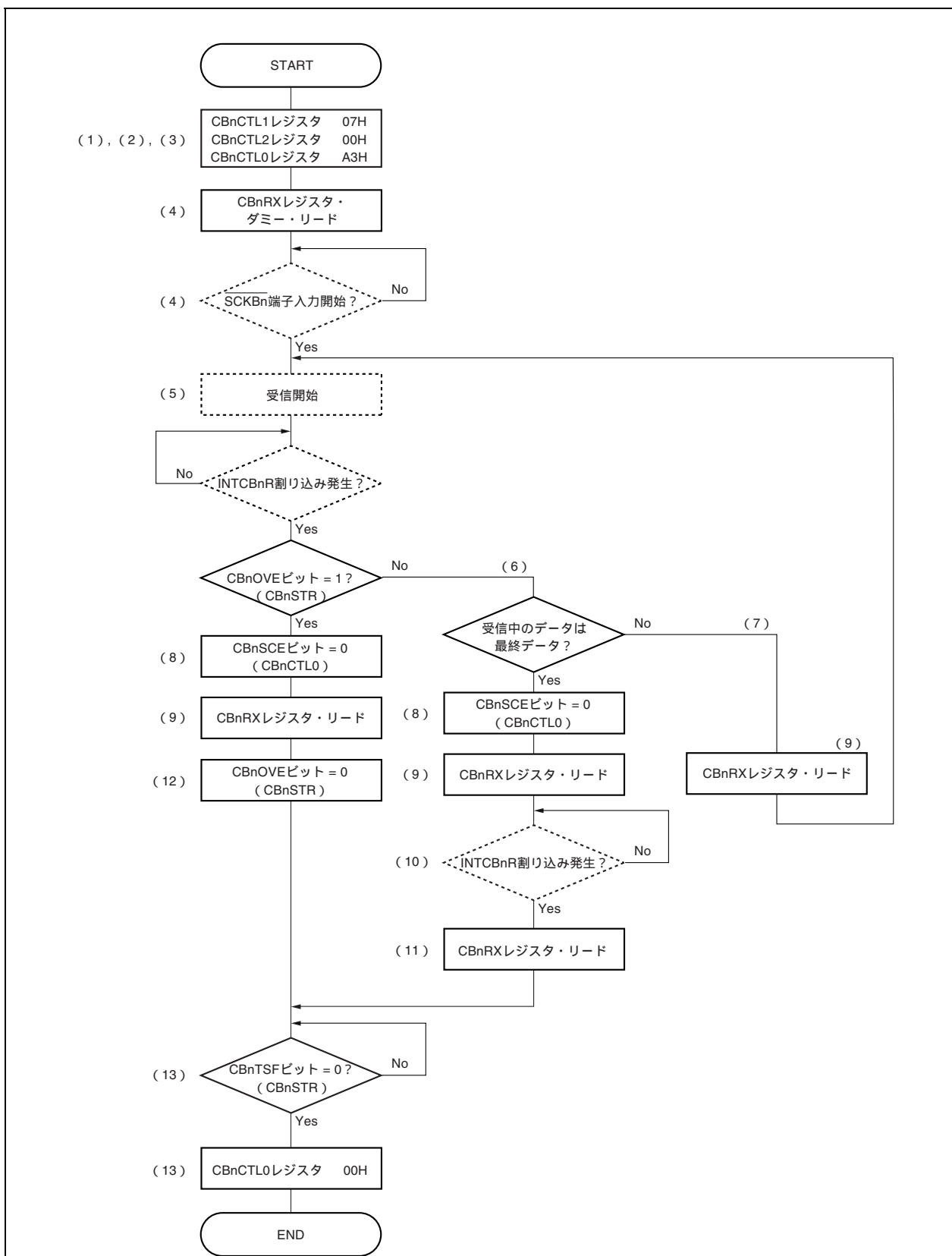
**注意** 連続送信モードでは、受信完了割り込み要求信号 (INTCBnR) は発生しません。

**備考**  $n = 0, 4$

#### 14. 6. 11 連続転送モード (スレーブ・モード, 受信モード)

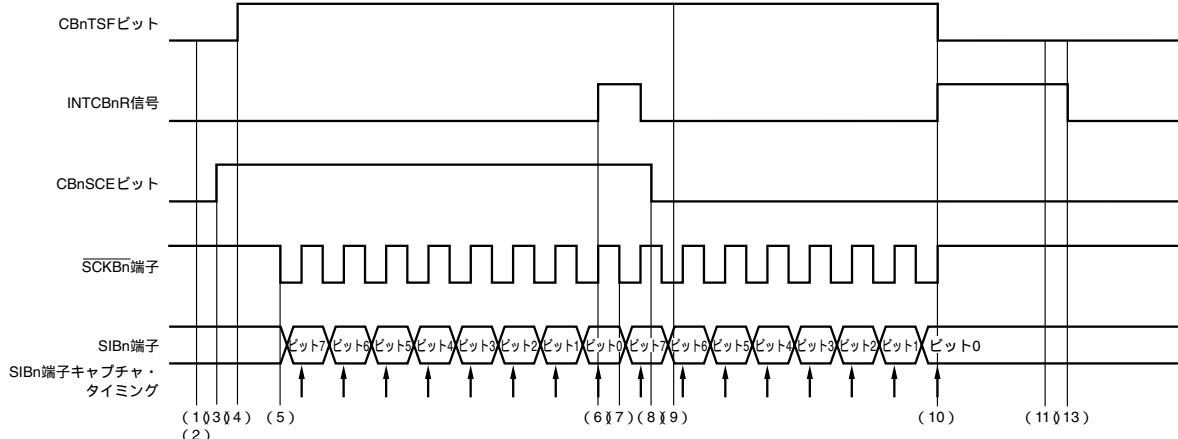
MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック( $f_{\text{CCLK}}$ ) = 外部クロック( $\overline{\text{SCKBn}}$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
  3. n = 0, 4

(2) 動作タイミング



- (1) CBnCTL1レジスタに07Hをライトし，通信タイプ1，通信クロック ( f<sub>CCLK</sub> ) = 外部クロック ( SCKBn ) ，スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし，転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし，通信クロック ( f<sub>CCLK</sub> ) を動作許可状態にすると同時に，受信モード，MSBファースト，連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで，CBnSTR.CBnTSFビットがセット (1) され，シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると，シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると，受信完了割り込み要求信号 ( INTCBnR ) が発生し，CBnRXレジスタのリードが可能になる。
- (7) CBnCTL0.CBnSCEビット = 1状態でシリアル・クロックが入力されると，連続して受信動作を開始する。
- (8) 現受信で連続受信を完了する場合は，CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると，INTCBnR信号が発生し，CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると，CBnTSFビットをクリア (0) し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は，CBnSTR.CBnOVEビット = 0をライトして，エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は，CBnTSFビット = 0を確認後，CBnCTL0.CBnPWRビット = 0，CBnCTL0.CBnRXEビット = 0をライトする。

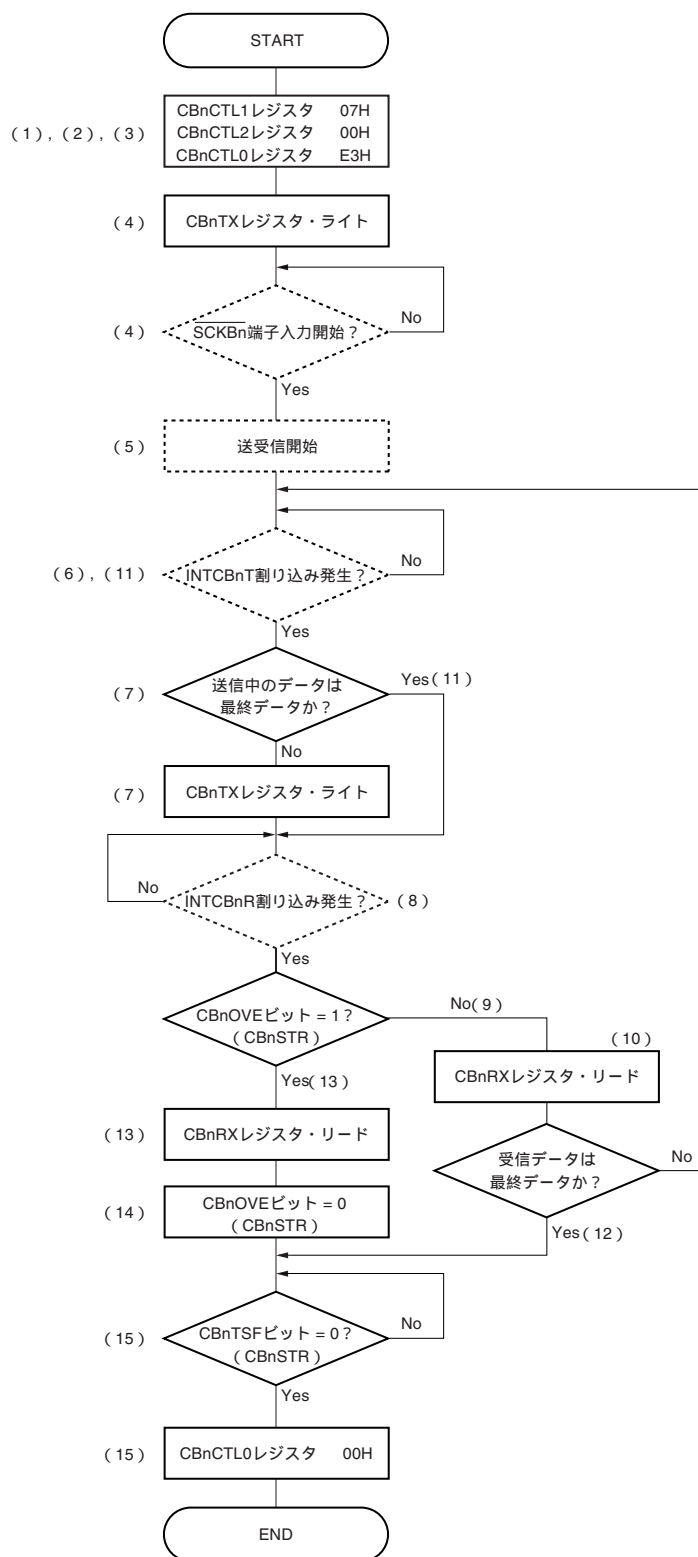
備考 n = 0, 4



#### 14. 6. 12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック( $f_{\text{CLK}}$ ) = 外部クロック( $\overline{\text{SCKBn}}$ ) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



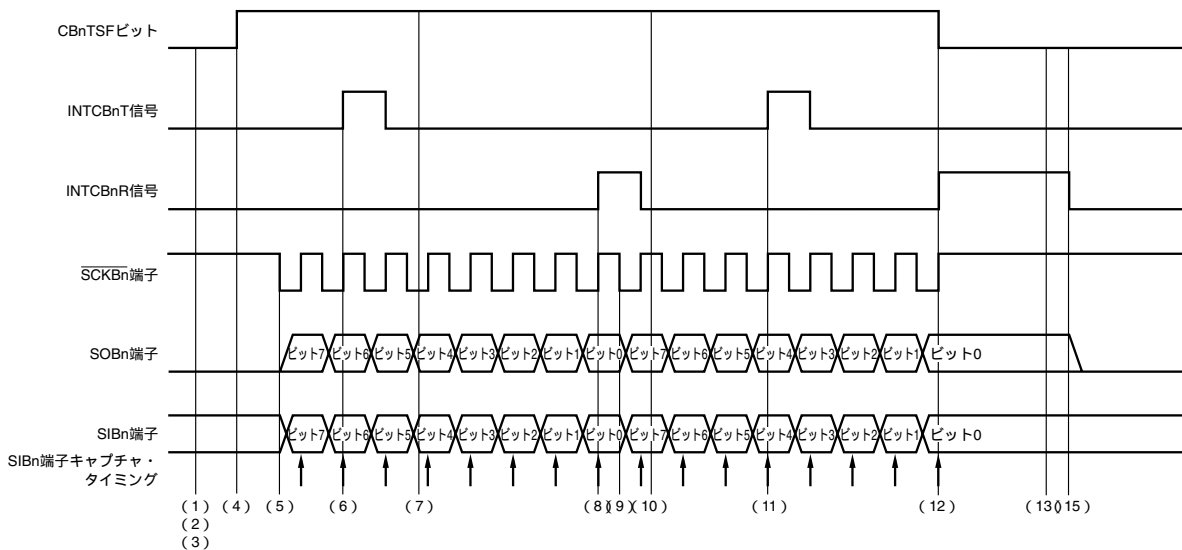
備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

3. n = 0, 4

(2) 動作タイミング

(1/2)



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f<sub>CLK</sub>) = 外部クロック (SCKBn)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし、通信クロック (f<sub>CLK</sub>) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnRXレジスタのリードが可能になる。
- (9) 続けてシリアル・クロックが入力されると、連続送受信を開始する。
- (10) CBnRXレジスタをリードする。
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。

備考 n = 0, 4

- (12) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCBnR信号が発生し、CBnTSFビットをクリア(0)し、送受信を終了する。
- (13) INTCBnR信号発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

**備考** n = 0, 4

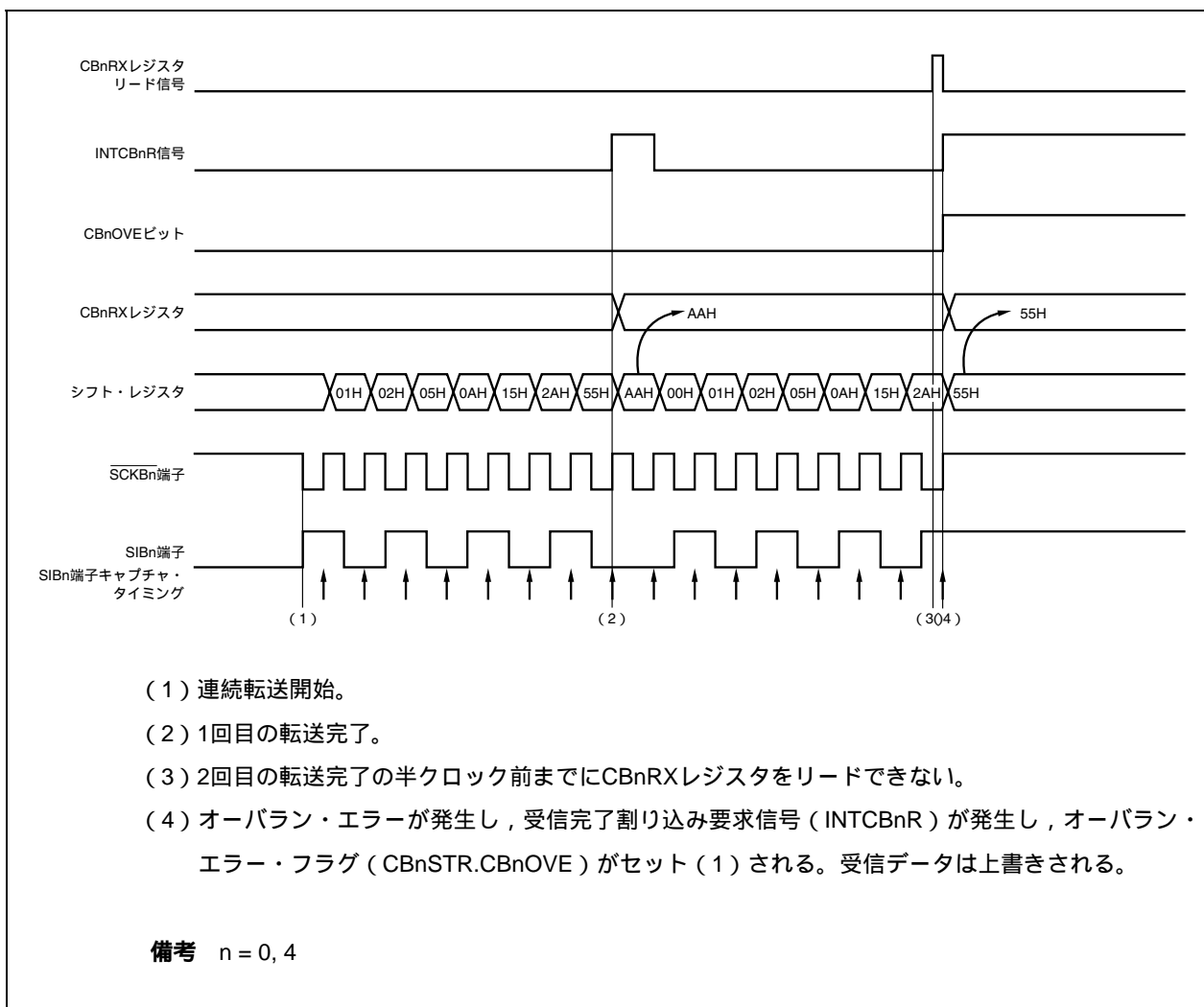
### 14.6.13 受信エラー

連続転送モード時に受信許可 (CBnCTL0.CBnRXEビット = 1) で転送を行う場合、受信完了割り込み要求信号 (INTCBnR) 発生後、CBnRXレジスタをリードする前に次の受信動作が完了すると再度INTCBnR信号が発生し、オーバラン・エラー・フラグ (CBnSTR.CBnOVE) がセット (1) されます。

オーバラン・エラーが発生した場合でも、CBnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCBnRXレジスタをリードしないと、次の受信完了で再びINTCBnR信号が発生します。

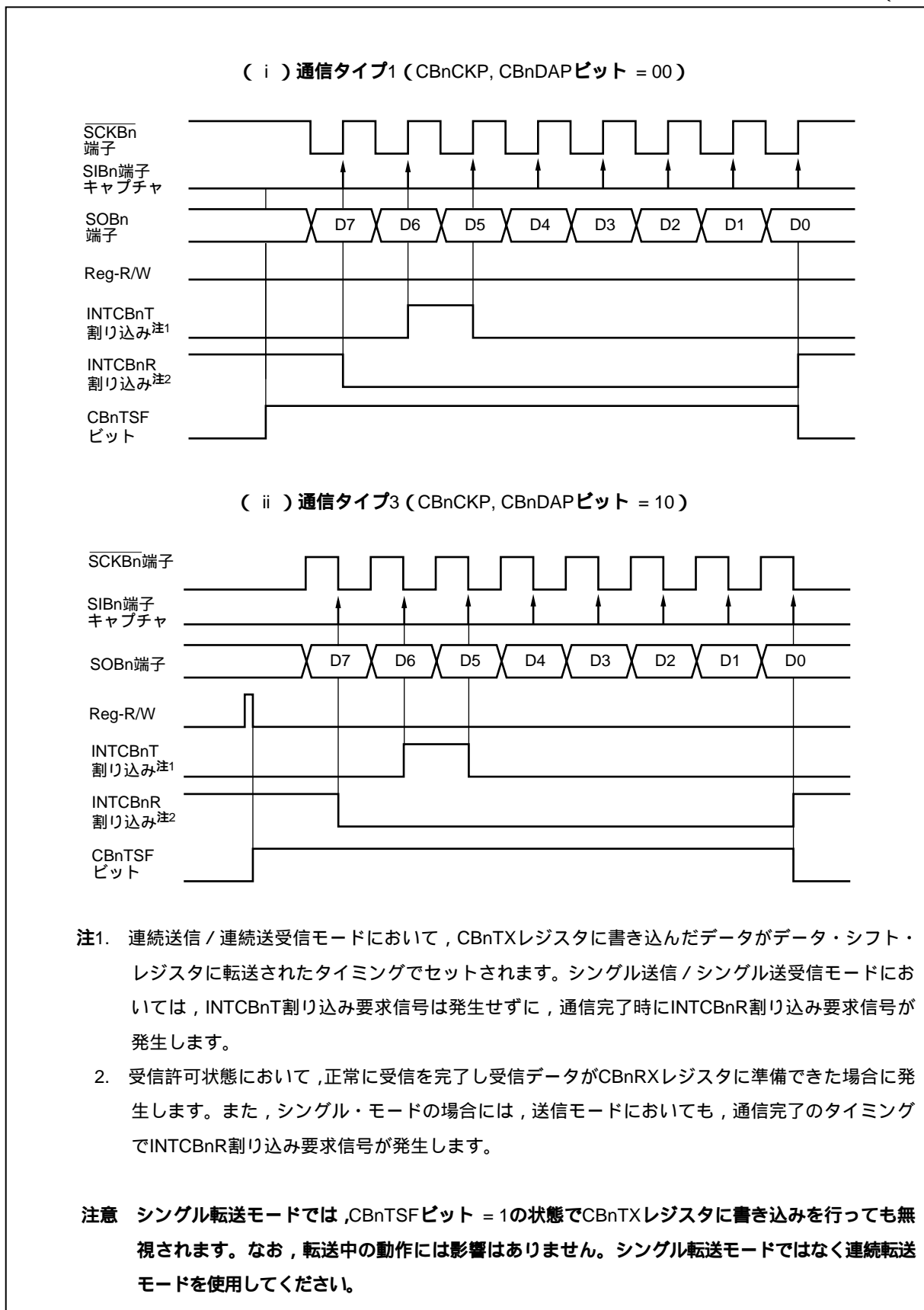
オーバラン・エラーを回避するためには、INTCBnR信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までに、CBnRXレジスタのリードを完了してください。

#### (1) 動作タイミング

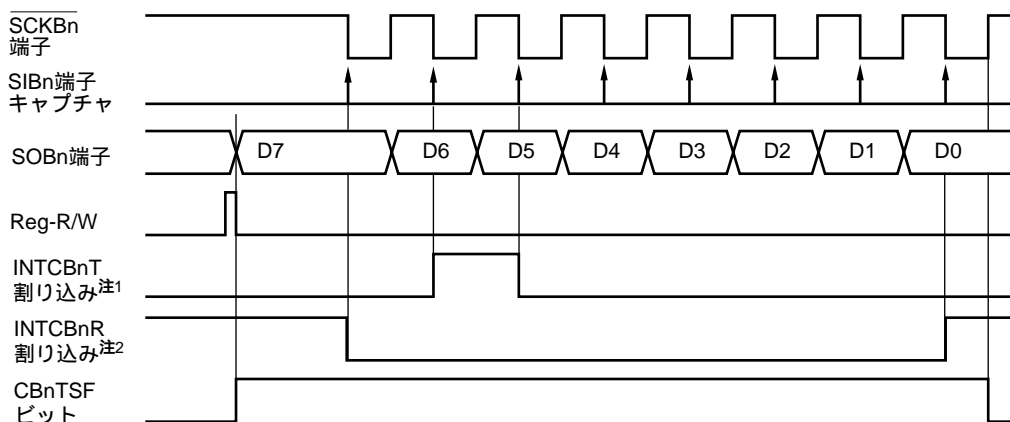


14.6.14 クロック・タイミング

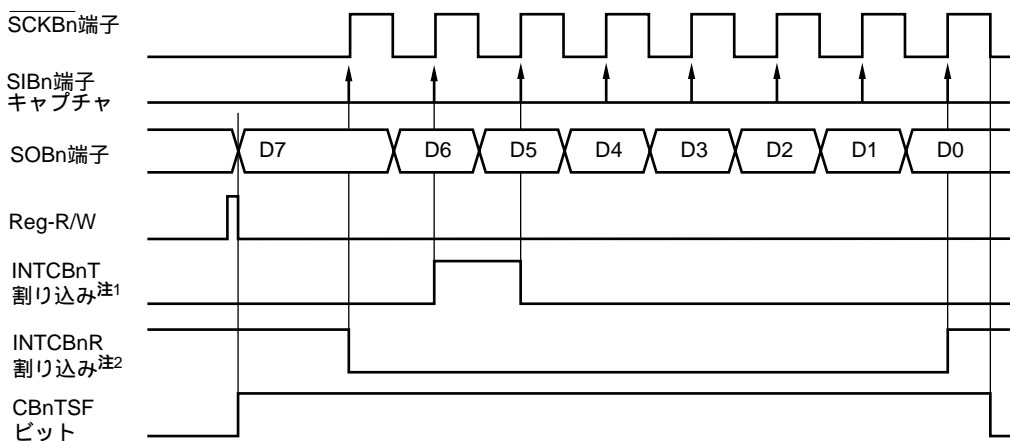
(1/2)



( iii ) 通信タイプ2 (CBnCKP, CBnDAPビット = 01)



( iv ) 通信タイプ4 (CBnCKP, CBnDAPビット = 11)



注1. 連続送信 / 連続送受信モードにおいて、CBnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCBnT割り込み要求信号は発生せずに、通信完了時にINTCBnR割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を完了し受信データがCBnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCBnR割り込み要求信号が発生します。

**注意** シングル転送モードでは、CBnTSFビット = 1の状態でもCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。シングル転送モードではなく連続転送モードを使用してください。

## 14.7 出力端子

### (1) $\overline{\text{SCKBn}}$ 端子

CSIBn動作禁止 (CBnCTL0.CBnPWRビット = 0) のとき,  $\overline{\text{SCKBn}}$ 端子出力状態は次のようになります。

CBnCKP	CBnCKS2	CBnCKS1	CBnCKS0	$\overline{\text{SCKBn}}$ 端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考1. CBnCTL1.CBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えると $\overline{\text{SCKBn}}$ 端子の出力が変化します。

2.  $n = 0, 4$

### (2) SOBn端子

CSIBn動作禁止 (CBnPWRビット = 0) のとき, SOBn端子出力状態は次のようになります。

CBnTXE	CBnDAP	CBnDIR	SOBn端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOBnラッチの値 (ロウ・レベル)
	1	0	CBnTXの値 (MSB)
		1	CBnTXの値 (LSB)

備考1. CBnCTL0.CBnTXE, CBnDIRビット, CBnCTL1.CBnDAPビットのいずれかを書き換えるとSOBn端子の出力が変化します。

2.  $n = 0, 4$

3. x: 任意



## 第15章 割り込み / 例外処理機能

V850ES/ST2は、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計37要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850ES/ST2では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

### 15.1 特 徴

#### 割り込み

- ・ ノンマスクابل割り込み : 2要因
- ・ マスカブル割り込み : 外部8本, 内部27要因
- ・ 8レベルのプログラマブル優先順位制御 (マスカブル割り込み)
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスカブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

#### 例外

- ・ ソフトウェア例外 : 32要因
- ・ 例外トラップ : 2要因 (不正命令コード例外, デバッグ・トラップ)

これらの割り込み / 例外要因を表15 - 1に示します。

表15 - 1 割り込み要因一覧 (1/2)

種類	分類	デフォルト・ 優先リティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	外部要因：RESET端子 入力 内部要因：WDTのオー バフロー	端子	0000H	00000000H	不定	-
ノンマス カブル	割り込み	-	NMI	NMI端子有効エッジ入 力	端子	0010H	00000010H	nextPC	-
		-	INTWDT	WDTのオーバフロー	WDT	0020H	00000020H	nextPC	-
ソフトウ エア例外	例外	-	TRAP0 <sup>注</sup>	TRAP命令	-	004nH <sup>注</sup>	00000040H	nextPC	-
		-	TRAP1n <sup>注</sup>	TRAP命令	-	005nH <sup>注</sup>	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBG0	不正命令コード / DBTRAP命令	-	0060H	00000060H	nextPC	-
マスカブル	割り込み	0	INTWDTM	WDTOVFマスカブル		0080H	00000080H	nextPC	WDTIC
		1	INTP0	INTP0端子有効エッジ 入力	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	INTP1端子有効エッジ 入力	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	INTP2端子有効エッジ 入力	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	INTP3端子有効エッジ 入力	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	INTP4端子有効エッジ 入力	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	INTP5端子有効エッジ 入力	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	INTP6端子有効エッジ 入力	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTP7	INTP0端子有効エッジ 入力	端子	0100H	00000100H	nextPC	PIC7
		9	INTTP0OV	TMP0オーバフロー	TMP0	0110H	00000110H	nextPC	TP0OVIC
		10	INTTP0CC0	TMP0キャプチャ0 / コンペア0一致	TMP0	0120H	00000120H	nextPC	TP0CCIC0
		11	INTTP0CC1	TMP0キャプチャ1 / コンペア1一致	TMP0	0130H	00000130H	nextPC	TP0CCIC1
		12	INTTP1OV	TMP1オーバフロー	TMP1	0140H	00000140H	nextPC	TP1OVIC
		13	INTTP1CC0	TMP1キャプチャ0 / コンペア0一致	TMP1	0150H	00000150H	nextPC	TP1CCIC0
		14	INTTP1CC1	TMP1キャプチャ1 / コンペア1一致	TMP1	0160H	00000160H	nextPC	TP1CCIC1
15	INTTP2OV	TMP2オーバフロー	TMP2	0170H	00000170H	nextPC	TP2OVIC		

注 nは0-FHの値

**注意** INTWDTによるノンマスカブル割り込みが発生した場合、割り込み処理後にシステム・リセットを行ってください。RETI命令による復帰はできません。

表15 - 1 割り込み要因一覧 (2/2)

種類	分類	デフォルト・ プライオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	16	INTTP2CC0	TMP2キャプチャ0 / コンペア0一致	TMP2	0180H	00000180H	nextPC	TP2CCIC0
		17	INTTP2CC1	TMP2キャプチャ1 / コンペア1一致	TMP2	0190H	00000190H	nextPC	TP2CCIC1
		18	INTTP3OV	TMP3オーバフロー	TMP3	01A0H	000001A0H	nextPC	TP3OVIC
		19	INTTP3CC0	TMP3キャプチャ0 / コンペア0一致	TMP3	01B0H	000001B0H	nextPC	TP3CCIC0
		20	INTTP3CC1	TMP3キャプチャ1 / コンペア1一致	TMP3	01C0H	000001C0H	nextPC	TP3CCIC1
		21	INTTP4OV	TMP4オーバフロー	TMP4	01D0H	000001D0H	nextPC	TP4OVIC
		22	INTTP4CC0	TMP4キャプチャ0 / コンペア0一致	TMP4	01E0H	000001E0H	nextPC	TP4CCIC0
		23	INTTP4CC1	TMP4キャプチャ1 / コンペア1一致	TMP4	01F0H	000001F0H	nextPC	TP4CCIC1
		24	INTTP5OV	TMP5オーバフロー	TMP5	0200H	00000200H	nextPC	TP5OVIC
		25	INTTP5CC0	TMP5キャプチャ0 / コンペア0一致	TMP5	0210H	00000210H	nextPC	TP5CCIC0
		26	INTTP5CC1	TMP5キャプチャ1 / コンペア1一致	TMP5	0220H	00000220H	nextPC	TP5CCIC1
		27	INTTM0EQ0	TMM0コンペア一致	TMM0	0230H	00000230H	nextPC	TM0EQIC0
		28	INTCB0R	CSIB0の受信終了	CSIB0	0240H	00000240H	nextPC	CB0RIC
		29	INTCB0T	CSIB0の連続送信書き 込み許可	CSIB0	0250H	00000250H	nextPC	CB0TIC
		30	INTUA0R/ INTCB4R	UARTA0の受信終了 / CSIB4の受信終了	UARTA 0/CSIB4	0260H	00000260H	nextPC	UA0RIC/ CB4RIC
		31	INTUA0T/ INTCB4T	UARTA0の送信許可 / CSIB4の連続送信書き 込み許可	UARTA 0/CSIB4	0270H	00000270H	nextPC	UA0TIC/ CB4TIC
		32	INTUA2R	UARTA2の受信終了	UARTA2	0280H	00000280H	nextPC	UA2RIC
33	INTUA2T	UARTA2の送信終了	UARTA2	0290H	00000290H	nextPC	UA2TIC		
34	INTAD	A/D変換終了	A/D	02A0H	000002A0H	nextPC	ADIC		

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。  
ノンマスカブル割り込みの優先順位は次のとおりです。

・ INTWDT > NMI

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令実行中にノンマスカブル/マスカブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます）。

- ・ ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・ 除算命令（DIV, DIVH, DIVU, DIVHU）
- ・ PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。

## 15.2 ノンマスクابل割り込み

ノンマスクابل割り込み要求は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求に対して最優先されます。

この製品のノンマスクابل割り込み要求には、次の2つがあります。

- ・ NMI端子入力（NMI）
- ・ ウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求（INTWDT）

NMI端子の有効エッジは、“立ち上がりエッジ”、“立ち下がりエッジ”、“両エッジ”、“エッジ検出なし”の4種類から選択できます。

ウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み（INTWDT）はWDTM.WDTM4, WDTM3ビットを“10”と設定することで機能します。

複数のノンマスクابل割り込みが重なって発生した場合は、次の優先順位に従って順位の高い処理が事項されます（優先順位の低い割り込み要求は無視されます）。

INTWDT > NMI

なお、NMI 処理中に、新たに NMI, INTWDT 要求が発生した場合は、次のような処理を行います。

### （1）NMI 処理中に、新たに NMI 要求が発生した場合

PSW.NP ビットの値によらず、新たな NMI 要求は保留されます。保留された NMI 要求は、現在実行中の NMI 処理終了後（RETI 命令実行後）に受け付けられます。

### （2）NMI 処理中に、新たに INTWDT 要求が発生した場合

NMI 処理中に NP ビットがセット（1）されたままであれば、新たな INTWDT 要求は保留されます。保留された INTWDT 要求は、現在実行中の NMI 処理終了後（RETI 命令実行後）に受け付けられます。

NMI 処理中に NP ビットをクリア（0）すれば、新たに発生した INTWDT 要求が実行されます（NMI 処理は中断されます）。

**注意** ノンマスクابل割り込み要求が発生した場合、PC, PSWの値はNMI時状態退避レジスタ(FEPC, FEPSW)に退避されますが、このときRETI命令によって復帰できるのはNMIだけです。INTWDTの場合はRETI命令による復帰はできないため、割り込み処理終了後にシステム・リセットを行ってください。

図15 - 1 ノンマスクابل割り込み要求の受け付け動作 (1/2)

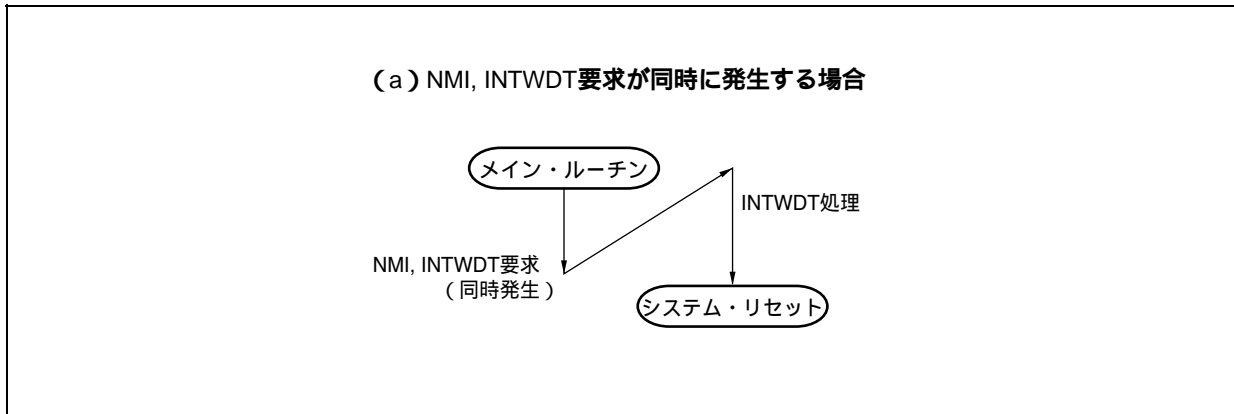


図15 - 1 ノンマスクブル割り込み要求の受け付け動作 (2/2)

(b) ノンマスクブル割り込み処理中に新たにノンマスクブル割り込み要求が発生する場合	
処理中の ノンマスクブル 割り込み	ノンマスクブル割り込み処理中に新たに発生するノンマスクブル割り込み要求
NMI	INTWDT
<p>・ NMI処理中にNMI要求が発生</p> <p>メイン・ルーチン</p> <p>NMI要求</p> <p>NMI要求 (保留)</p> <p>(保留された) NMI処理</p>	<p>・ NMI処理中にINTWDT要求が発生 (INTWDT要求前にNP = 1のまま)</p> <p>メイン・ルーチン</p> <p>NMI要求</p> <p>INTWDT要求 (保留)</p> <p>INTWDT処理</p> <p>システム・リセット</p> <p>・ NMI処理中にINTWDT要求が発生 (INTWDT要求前にNP = 0にする)</p> <p>メイン・ルーチン</p> <p>NMI要求</p> <p>INTWDT要求</p> <p>NP = 0</p> <p>NMI処理</p> <p>INTWDT処理</p> <p>システム・リセット</p> <p>・ NMI処理中にINTWDT要求が発生 (INTWDT要求後にNP = 0にする)</p> <p>メイン・ルーチン</p> <p>NMI要求</p> <p>INTWDT要求 (保留)</p> <p>NP = 0</p> <p>NMI処理</p> <p>INTWDT処理</p> <p>システム・リセット</p>
<p>INTWDT</p> <p>・ INTWDT処理中にNMI要求が発生</p> <p>メイン・ルーチン</p> <p>INTWDT要求</p> <p>NMI要求 (無効)</p> <p>システム・リセット</p>	<p>・ INTWDT処理中にINTWDT要求が発生</p> <p>メイン・ルーチン</p> <p>INTWDT要求</p> <p>INTWDT要求 (無効)</p> <p>システム・リセット</p>

### 15.2.1 動作

NMI入力によりノンマスクابل割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

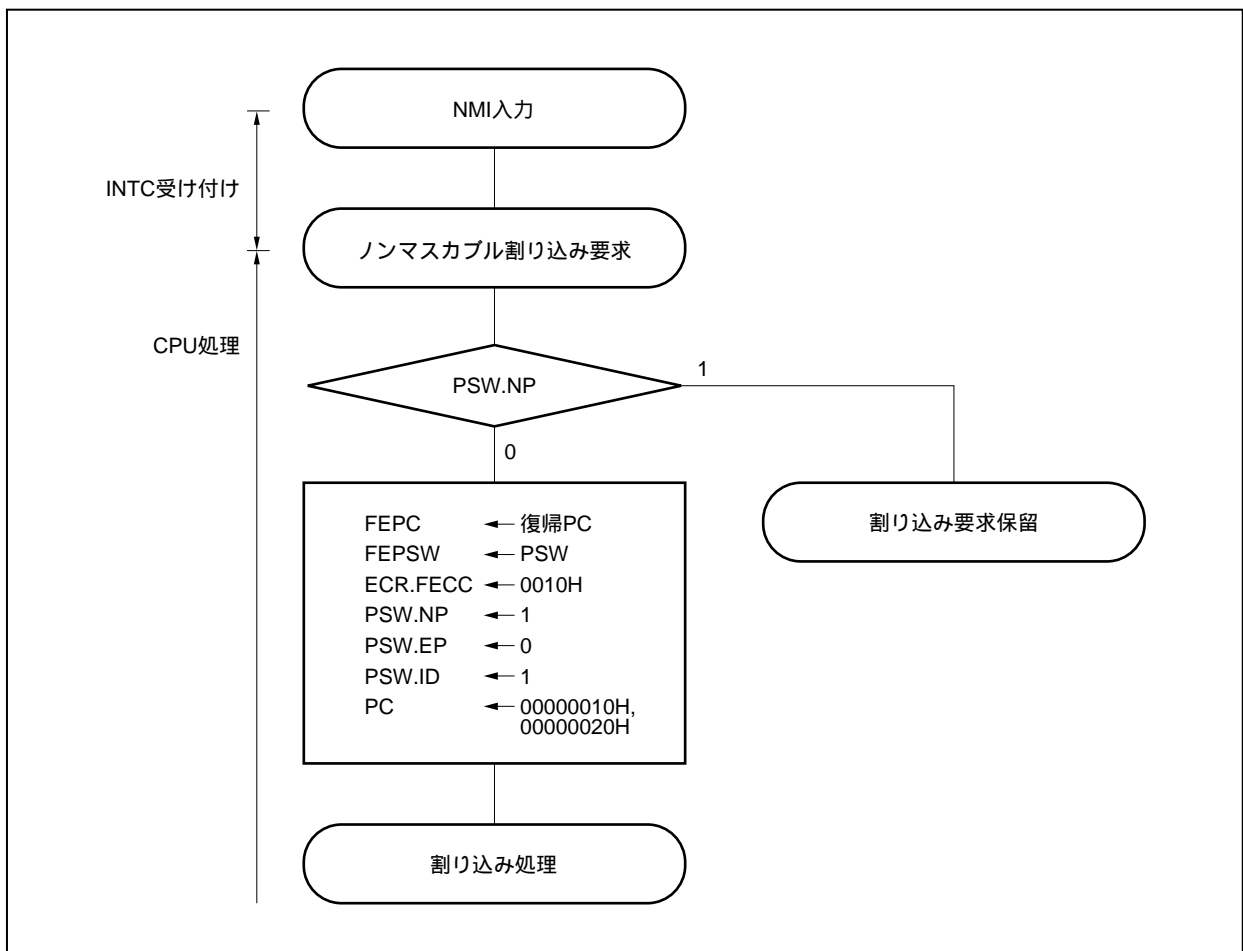
ECRの上位ハーフワード (FECC) に例外コード (0010H, 0020H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクابل割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし, 制御を移します。

ノンマスクابل割り込みの処理形態を次に示します。

図15-2 ノンマスクابل割り込みの処理形態



## 15.2.2 復 帰

### (1) NMI端子入力の場合

NMI処理からの復帰は、RETI命令により行います。

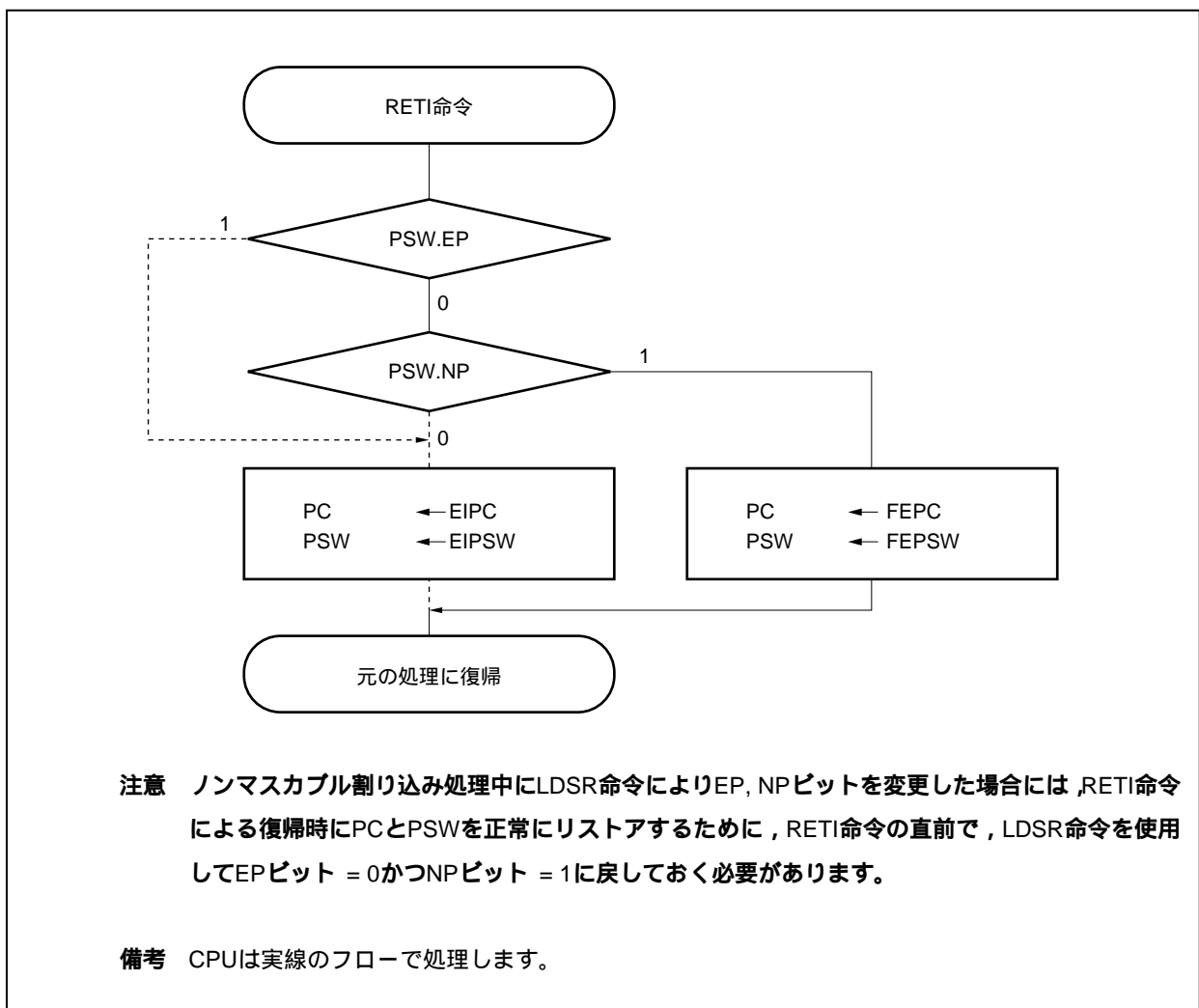
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC、FEPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図15 - 3 RETI命令の処理形態



### (2) INTWDT信号の場合

RETI命令による復帰は、できません。割り込み処理後に、システム・リセットを行ってください。



### 15.2.3 NPフラグ

NPフラグは、ノンマスクابل割り込みの処理中であることを示すステータス・フラグです。

ノンマスクابل割り込み要求を受け付けるとセットされ、ノンマスクابل割り込み要求をマスクして多重割り込みを禁止します。

リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0
PSW	0			NP	EP	ID	SAT	CY	OV	S	Z

NP	ノンマスクابل割り込み処理状態
0	ノンマスクابل割り込み処理中でない
1	ノンマスクابل割り込み処理中

## 15.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、35種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC、EIPSWをメモリ、または汎用レジスタに退避し、RETI命令を実行する前にDIを行って、EIPC、EIPSWを元の値に復帰してください。

ウォッチドッグ・タイマのオーバフローによるマスカブル割り込み（INTWDTM）は、WDTM.WDTM4ビットを“0”と設定することで機能します。

### 15.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

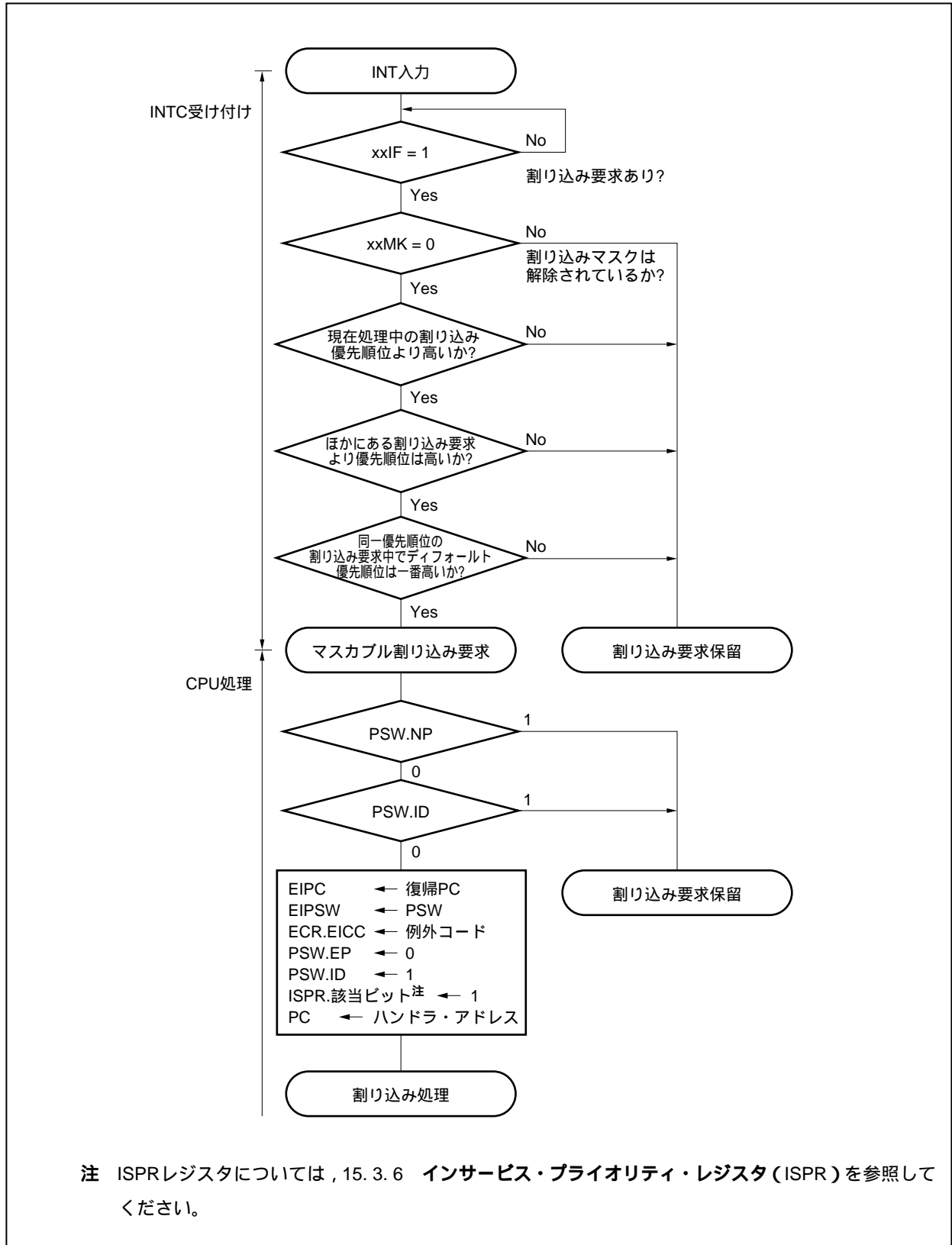
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているマスカブル割り込み要求と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図15 - 4 マスカブル割り込みの処理形態



### 15.3.2 復 帰

マスクابل割り込み処理からの復帰は、RETI命令により行います。

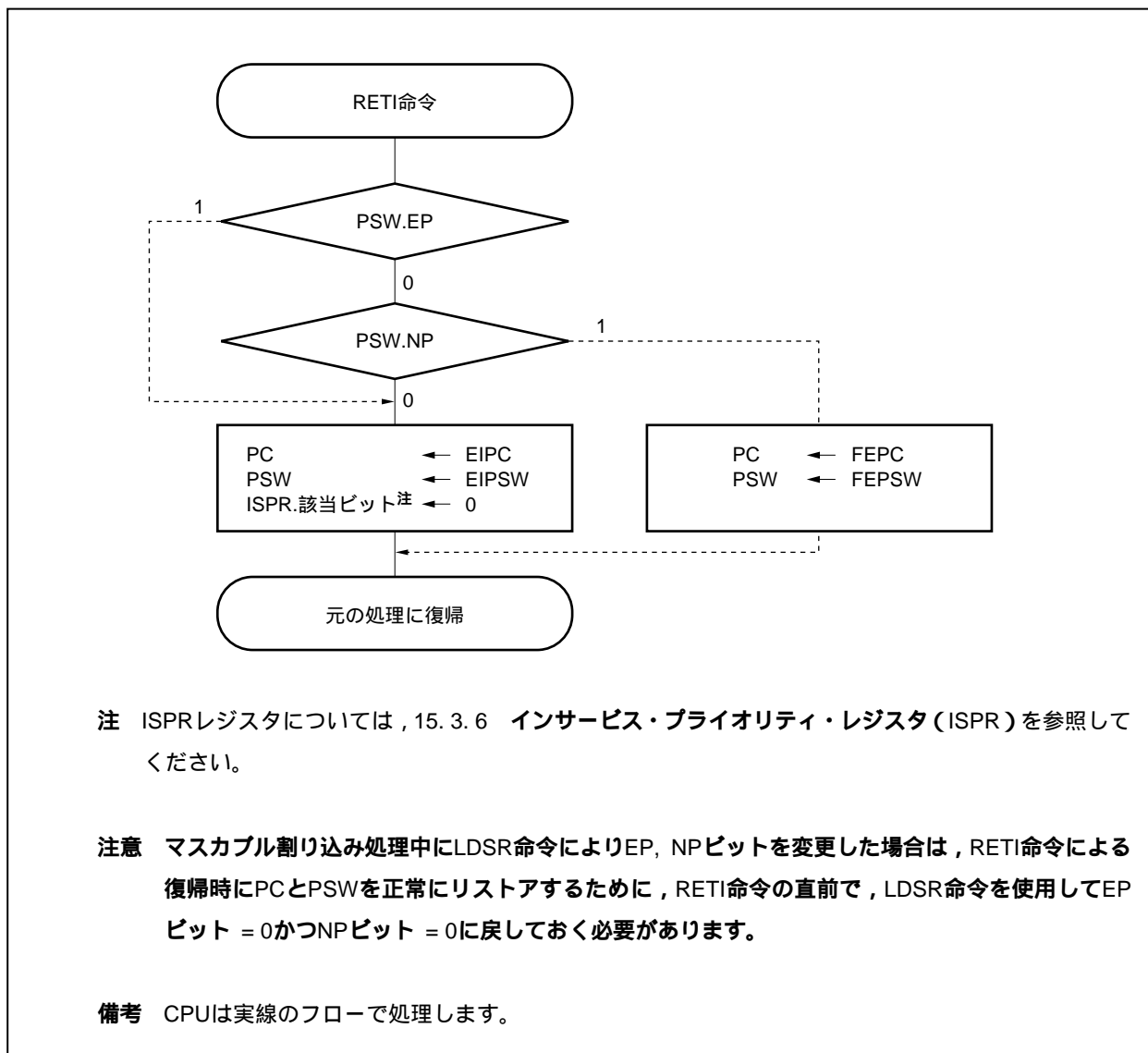
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図15 - 5 RETI命令の処理形態



### 15.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表15-1 **割り込み要因一覧**参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

**備考** xx : 各周辺ユニット識別名称 (表15-2 **割り込み制御レジスタ (xxICn)** 参照)

n : 周辺ユニット番号 (表15-2 **割り込み制御レジスタ (xxICn)** 参照)

図15 - 6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

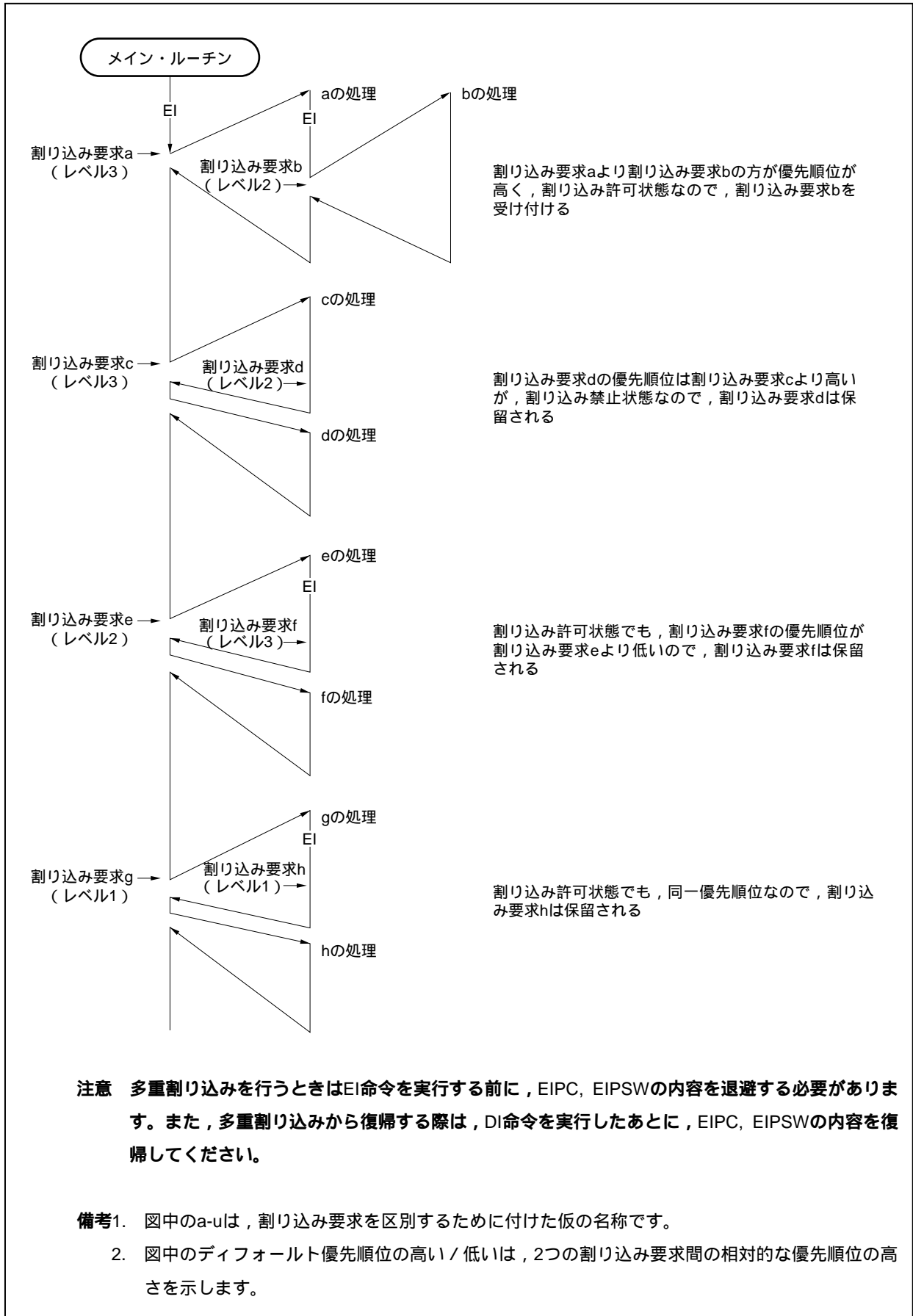


図15 - 6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

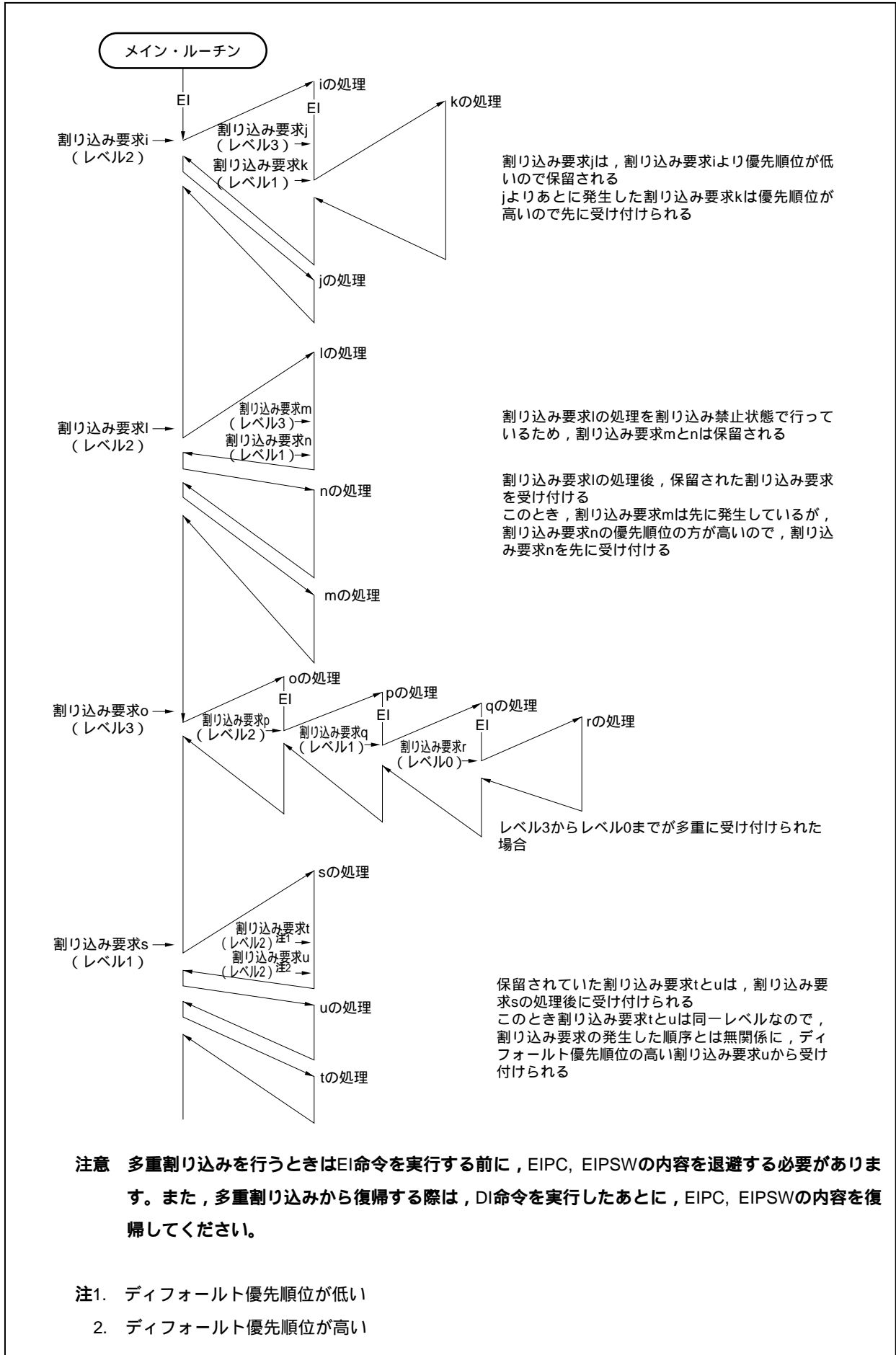
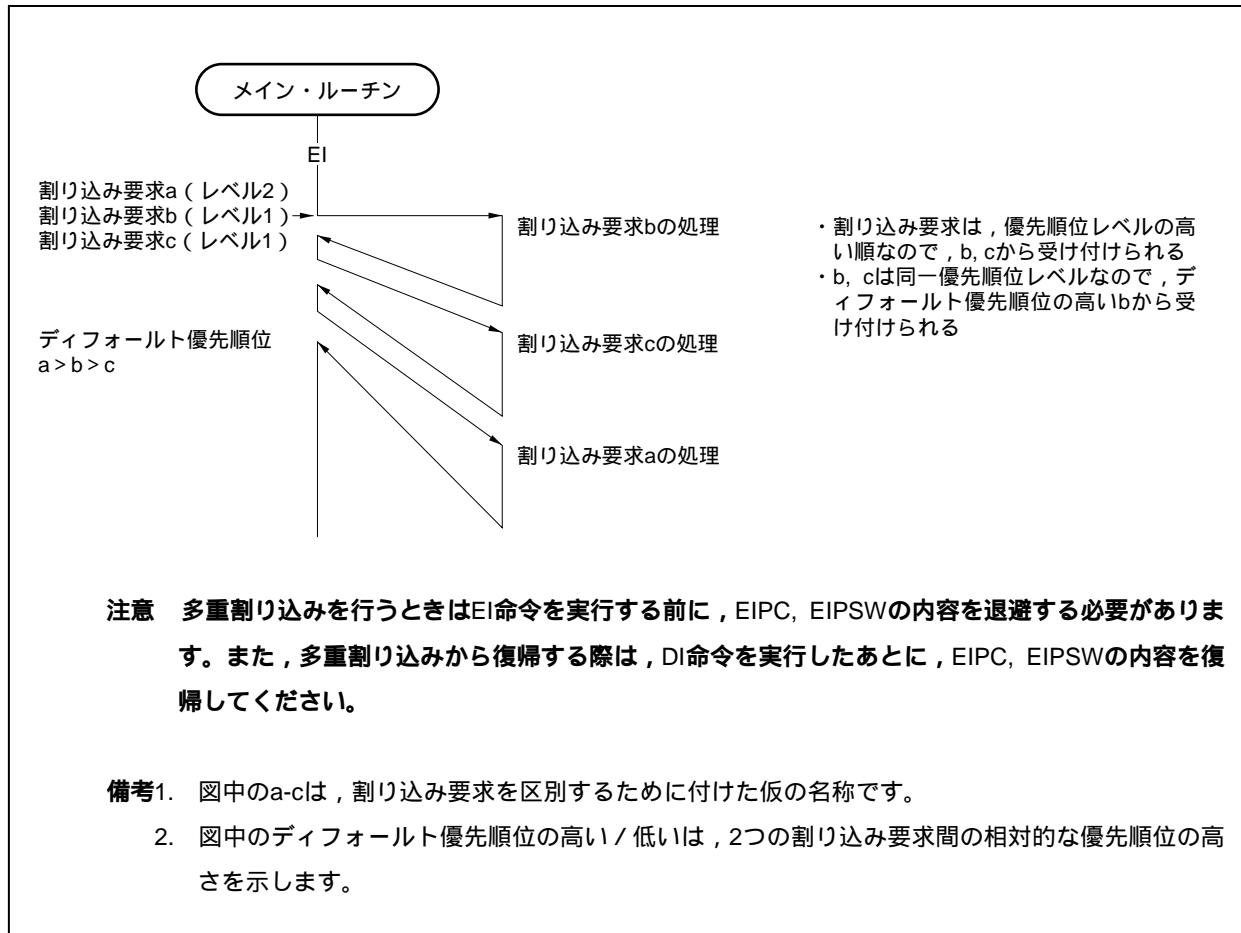


図15 - 7 同時発生した割り込み要求の処理例





### 15.3.4 割り込み制御レジスタ (xxICn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。  
8/1ビット単位でリード/ライト可能です。  
リセットにより47Hになります。

- 注意1. xxICn.xxIFnビットを読み出す場合は, 割り込み禁止 (DI) 状態または割り込みをマスクした状態で行ってください。割り込み許可 (EI) 状態または割り込みマスクを解除した状態でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しタイミングが競合した場合に, 正常な値が読み出せないことがあります。
2. 割り込み要求が発生する状態 (割り込み禁止 (DI) 状態を含む) でxxICn.xxMKnビットを操作する場合は, 必ずビット操作命令で操作するか, IMRm.xxMKnビットで操作してください (m = 0-2)。

リセット時: 47H    R/W    アドレス: FFFFF110H-FFFFFF154H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ <sup>注</sup>
0	割り込み要求なし
1	割り込み要求あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1 を指定
0	1	0	レベル2 を指定
0	1	1	レベル3 を指定
1	0	0	レベル4 を指定
1	0	1	レベル5 を指定
1	1	0	レベル6 を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx : 各周辺ユニット識別名称 (表15 - 2 割り込み制御レジスタ (xxICn) 参照)  
n : 周辺ユニット番号 (表15 - 2 割り込み制御レジスタ (xxICn) 参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表15 - 2 割り込み制御レジスタ (xxlCn)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF110H	WDTIC	WDTIF	WDTMK	0	0	0	WDTPR2	WDTPR1	WDTPR0
FFFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFFF118H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFFF11AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFFF120H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFFF122H	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFFF124H	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR2	TP0CCPR1	TP0CCPR0
FFFFFF126H	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFFF128H	TP1OVIC	TP1OVIF	TP1OVMK	0	0	0	TP1OVPR2	TP1OVPR1	TP1OVPR0
FFFFFF12AH	TP1CCIC0	TP1CCIF0	TP1CCMK0	0	0	0	TP1CCPR2	TP1CCPR1	TP1CCPR0
FFFFFF12CH	TP1CCIC1	TP1CCIF1	TP1CCMK1	0	0	0	TP1CCPR12	TP1CCPR11	TP1CCPR10
FFFFFF12EH	TP2OVIC	TP2OVIF	TP2OVMK	0	0	0	TP2OVPR2	TP2OVPR1	TP2OVPR0
FFFFFF130H	TP2CCIC0	TP2CCIF0	TP2CCMK0	0	0	0	TP2CCPR2	TP2CCPR1	TP2CCPR0
FFFFFF132H	TP2CCIC1	TP2CCIF1	TP2CCMK1	0	0	0	TP2CCPR12	TP2CCPR11	TP2CCPR10
FFFFFF134H	TP3OVIC	TP3OVIF	TP3OVMK	0	0	0	TP3OVPR2	TP3OVPR1	TP3OVPR0
FFFFFF136H	TP3CCIC0	TP3CCIF0	TP3CCMK0	0	0	0	TP3CCPR2	TP3CCPR1	TP3CCPR0
FFFFFF138H	TP3CCIC1	TP3CCIF1	TP3CCMK1	0	0	0	TP3CCPR12	TP3CCPR11	TP3CCPR10
FFFFFF13AH	TP4OVIC	TP4OVIF	TP4OVMK	0	0	0	TP4OVPR2	TP4OVPR1	TP4OVPR0
FFFFFF13CH	TP4CCIC0	TP4CCIF0	TP4CCMK0	0	0	0	TP4CCPR2	TP4CCPR1	TP4CCPR0
FFFFFF13EH	TP4CCIC1	TP4CCIF1	TP4CCMK1	0	0	0	TP4CCPR12	TP4CCPR11	TP4CCPR10
FFFFFF140H	TP5OVIC	TP5OVIF	TP5OVMK	0	0	0	TP5OVPR2	TP5OVPR1	TP5OVPR0
FFFFFF142H	TP5CCIC0	TP5CCIF0	TP5CCMK0	0	0	0	TP5CCPR2	TP5CCPR1	TP5CCPR0
FFFFFF144H	TP5CCIC1	TP5CCIF1	TP5CCMK1	0	0	0	TP5CCPR12	TP5CCPR11	TP5CCPR10
FFFFFF146H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR2	TM0EQPR1	TM0EQPR0
FFFFFF148H	CB0RIC	CB0RIF	CB0RMK	0	0	0	CB0RPR2	CB0RPR1	CB0RPR0
FFFFFF14AH	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFFF14CH	UA0RIC/ CB4RIC	UA0RIF/ CB4RIF	UA0RMK/ CB4RMK	0	0	0	UA0RPR2/ CB4RPR2	UA0RPR1/ CB4RPR1	UA0RPR0/ CB4RPR0
FFFFFF14EH	UA0TIC/ CB4TIC	UA0TIF/ CB4TIF	UA0TMK/ CB4TMK	0	0	0	UA0TPR2/ CB4TPR2	UA0TPR1/ CB4TPR1	UA0TPR0/ CB4TPR0
FFFFFF150H	UA2RIC	UA2RIF	UA2RMK	0	0	0	UA2RPR2	UA2RPR1	UA2RPR0
FFFFFF152H	UA2TIC	UA2TIF	UA2TMK	0	0	0	UA2TPR2	UA2TPR1	UA2TPR0
FFFFFF154H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR11	ADPR0

### 15.3.5 割り込みマスク・レジスタ0-2 (IMR0-IMR2)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR2レジスタのxxMKnビットとxxICnレジスタのxxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-2)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとした場合は、8/1ビット単位でリード/ライト可能です (m = 0-2)。ただし、IMR2レジスタの上位8ビットにはxxMKnビットは割り付けられていませんので、IMR2Hレジスタとしてアクセスしないでください。

リセットによりFFFFHになります。

**注意** デバイス・ファイルでは、xxICn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

リセット時：FFFFH R/W アドレス：IMR2 FFFFF104H, IMR2L FFFFF104H

	15	14	13	12	11	10	9	8
IMR2	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
(IMR2L)	1	1	1	1	1	ADMK	UA1TMK	UA1RMK

リセット時：FFFFH R/W アドレス：IMR1 FFFFF102H,

IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H <sup>注</sup> )	UA0TMK/ CB1TMK	UA0RMK/ CB1RMK	CB0TMK	CB0RMK	TM0EQMK0	TP5CCMK1	TP5CCMK0	TP5OVMK
	7	6	5	4	3	2	1	0
(IMR1L)	TP4CCMK1	TP4CCMK0	TP4OVMK	TP3CCMK1	TP3CCMK0	TP3OVMK	TP2CCMK1	TP2CCMK0

リセット時：FFFFH R/W アドレス：IMR0 FFFFF100H,

IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H <sup>注</sup> )	TP2OVMK	TP1CCMK1	TP1CCMK0	TP1OVMK	TP0CCMK1	TP0CCMK0	TP0OVMK	PMK7
	7	6	5	4	3	2	1	0
(IMR0L)	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	WDTMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

**注** IMR0, IMR1レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は, IMR0H, IMR1Hレジスタのビット0-7として指定してください。

**注意** IMR2レジスタのビット3-15には, 必ず“1”を設定してください。変更した場合の動作は, 保証できません。

**備考** xx : 各周辺ユニット識別名称 (表15 - 2 割り込み制御レジスタ (xxICn) 参照)  
n : 周辺ユニット番号 (表15 - 2 割り込み制御レジスタ (xxICn) 参照)

### 15.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット(1)され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット(1)されているビットのうち、最も優先順位の高い割り込み要求に対応するビットがハードウェアにより自動的にクリア(0)されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア(0)されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

**注意** 割り込み許可(EI)状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止(DI)状態でリードしてください。

リセット時: 00H    R    アドレス: FFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求を受け付けていない
1	優先順位nの割り込み要求を受け付け中

**備考** n : 0-7 (優先順位のレベル)

### 15.3.7 IDフラグ

マスクブル割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止制御情報を記憶します。割り込み禁止フラグ (ID) は、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0				
PSW	0							NP	EP	ID	SAT	CY	OV	S	Z

ID	マスクブル割り込み処理の指定 <sup>注</sup>
0	マスクブル割り込み要求の受け付けを許可
1	マスクブル割り込み要求の受け付けを禁止

**注** 割り込み禁止フラグ (ID) の機能

DI命令でセット (1) , EI命令でクリア (0) されます。また , RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスクブル割り込み要求および例外は、このフラグの状態に関係なく受け付けられます。また、マスクブル割り込み要求を受け付けると、IDフラグはハードウェアで自動的にセット(1)されます。受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求は、xxICn.xxIFnビットがセット (1) され、IDフラグがクリア (0) されると受け付けられます。

### 15.3.8 ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

このレジスタは、特定レジスタです。特定のシーケンスによってのみ書き込みができます。マスクブル割り込み (INTWDTM) を発生させるには、WDTM4ビットに0を設定してください。

8/1ビット単位でリード/ライト可能です (詳細は第9章 ウォッチドッグ・タイマ機能参照)。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF6C2H

	⑦	6	5	4	3	2	1	0
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0

RUN	ウォッチドッグ・タイマの動作モードの選択 <sup>注1</sup>
0	カウントを停止
1	カウンタをクリアし、カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 <sup>注2</sup>
0	0	インターバル・タイマ・モード
0	1	(オーバーフロー発生時、マスクブル割り込みINTWDTM発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時、ノンマスクブル割り込みINTWDT発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時、リセット動作WDTRESを起動)

注1. RUNビットは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。

したがって、カウントを開始すると、リセット以外で停止させることはできません。

2. WDTM4, WDTM3ビットは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。これらのビットをクリアするには、リセットのみが有効です。

## 15.4 外部割り込み要求入力端子 (NMI, INTP0-INTP7)

### 15.4.1 ノイズ除去

#### (1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用できます。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

#### (2) INTP0-INTP7端子のノイズ除去

INTP0-INTP7端子はエッジ検出モード時、アナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

INTP3端子はレベル検出モード時、デジタル・ディレイによるノイズ除去回路<sup>注</sup>を内蔵しています。

**注** INTP3端子はハイ・レベルのノイズ入力に対してのみノイズ除去を行います。ハイ・レベル入力期間中にロウ・レベルのノイズが入力されると、レベル入力割り込みがいったん解除される場合があります。

#### (3) INTP3端子のレベル検出モード

INTP3端子のレベル検出モードは、デジタル・ディレイによるノイズ除去回路でノイズ除去された信号に対して $f_{xx}/8$ のタイミングごとにサンプリングを行い、ハイ・レベルを検出するとPIC3.PIF3ビットがセット(1)され割り込みが発生します。このため、CPUが割り込みを受け付けてPIF3ビットをクリア(0)しても、すぐにPIF3ビットがセット(1)され、連続的に割り込みが発生する可能性があります。この状態を回避するためには、割り込み処理ルーチン内で、外部デバイスに対してINTP3端子をインアクティブにする処理を行ったあと、PIF3ビットを強制的にクリア(0)する必要があります。

PIF3ビットをクリア(0)する場合、INTP3端子入力がインアクティブになってから2サンプリング・クロック( $16 \times f_{xx}$ )経過後、クリア(0)してください。

INTP3の割り込み処理が終了する前に新たに発生したINTP3の割り込みは保留されます。この新たに発生した割り込みを受け付けたくない場合は、PIF3ビットをクリア(0)してください。



## 15.4.2 エッジ検出

NMI, INTP0-INTP7端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・エッジ検出なし

リセット後のNMI, INTP0-INTP7端子は“エッジ検出なし”になっていますので、INTF0, INTR0, INTF3, INTR3, INTF9, INTR9レジスタで有効エッジを許可しないと、割り込み要求を受け付けません(通常ポートとして機能します)。

P02-P06, P31, P913-P915端子を入出力ポートとして使用する場合は、NMI, INTP0-INTP7端子の有効エッジを“エッジ検出なし”に設定してください。

### (1) 外部割り込み立ち上がり、立ち下がりエッジ指定レジスタ0 (INTR0, INTF0)

NMI, INTP0-INTP3端子の立ち上がり、立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1.** 外部割り込み機能(兼用機能)からポート機能に切り替える際、エッジ検出を行う可能性があるため、INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。
- 2.** ポート機能から外部割り込み機能(兼用機能)に切り替える際、エッジ検出を行う可能性があるため、INTF0n, INTR0nビット = 00に設定したあとに兼用機能に設定してください。

リセット時：00H								R/W	アドレス：INTR0 FFFFFFFC20H, INTF0 FFFFFFFC00H								
	7	6	5	4	3	2	1	0									
INTR0	0	INTR06	INTR05	INTR04	INTR03	INTR02	0	0									
		INTP3		INTP2	INTP1	INTP0	NMI										
	7	6	5	4	3	2	1	0									
INTF0	0	INTF06	INTF05	INTF04	INTF03	INTF02	0	0									
		INTP3		INTP2	INTP1	INTP0	NMI										

**備考** 有効エッジの指定については表15 - 3を参照してください。

表15 - 3 NMI, INTP0-INTP3端子の有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 2-5)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

PFC06 <sup>注</sup>	INTF06	INTR06	有効エッジの指定
0	0	0	エッジ検出なし
	0	1	立ち上がりエッジ
	1	0	立ち下がりエッジ
	1	1	両エッジ
1	0	0	設定禁止
	0	1	レベル検出あり
	1	0	設定禁止
	1	1	設定禁止

注 PFC06ビット = 1に設定する前に、INTF06, INTR06ビットを設定してください。

- 注意1. NMI, INTP0-INTP3端子として使用しない場合、必ずINTF0m, INTR0mビット = 00に設定してください (m = 2-6)。
- IDLE/STOPモードに移行する場合、移行する2システム・クロック以上前にINTP3をロウ・レベルにしてください。IDLE/STOPモードに移行する2システム・クロック以内にハイ・レベルの期間が存在する場合、IDLE/STOPモード中にINTP3をロウ・レベルにしてもIDLE/STOPモード解除時に、不正にINTP3を1回検出する場合があります。
  - レベル検出モードに設定した場合、IDLE/STOPモード解除時にINTP3を使用することはできません。

備考 INTF02, INTR02 : NMI端子の制御  
 INTF03-INTF05, INTR03-INTR05 : INTP0-INTP2端子の制御  
 INTF06, INTR06 : INTP3端子の制御

(2) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ3 (INTR3, INTF3)

INTP7端子の立ち上がり, 立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF31, INTR31ビット = 00に設定したあとにポート・モードに設定してください。
2. ポート機能から外部割り込み機能(兼用機能)に切り替える際, エッジ検出を行う可能性があるため, INTF31, INTR31ビット = 00に設定したあとに兼用機能に設定してください。
3. INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は, 兼用しているINTP7端子のエッジ検出を無効にしてください (INTF.INTF31ビット = 0, INTR.INTR31ビット = 0に設定)。また, INTP7端子として使用する場合は, UARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0)。

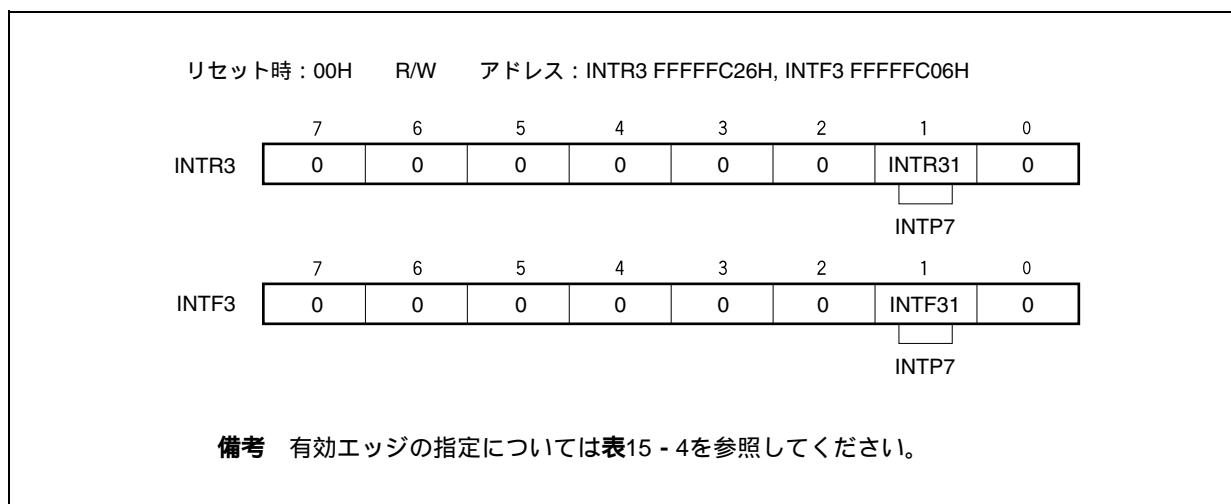


表15 - 4 INTP7端子の有効エッジの指定

INTF31	INTR31	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP7端子として使用しない場合, 必ずINTF31, INTR31ビット = 00に設定してください。

(3) 外部割り込み立ち上がり, 立ち下がりエッジ指定レジスタ9H (INTR9H, INTF9H)

INTP4-INTP6端子の立ち上がり, 立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF9n, INTR9nビット = 00に設定したあとにポート・モードに設定してください。
2. ポート機能から外部割り込み機能(兼用機能)に切り替える際, エッジ検出を行う可能性があるため, INTF9n, INTR9nビット = 00に設定したあとに兼用機能に設定してください。

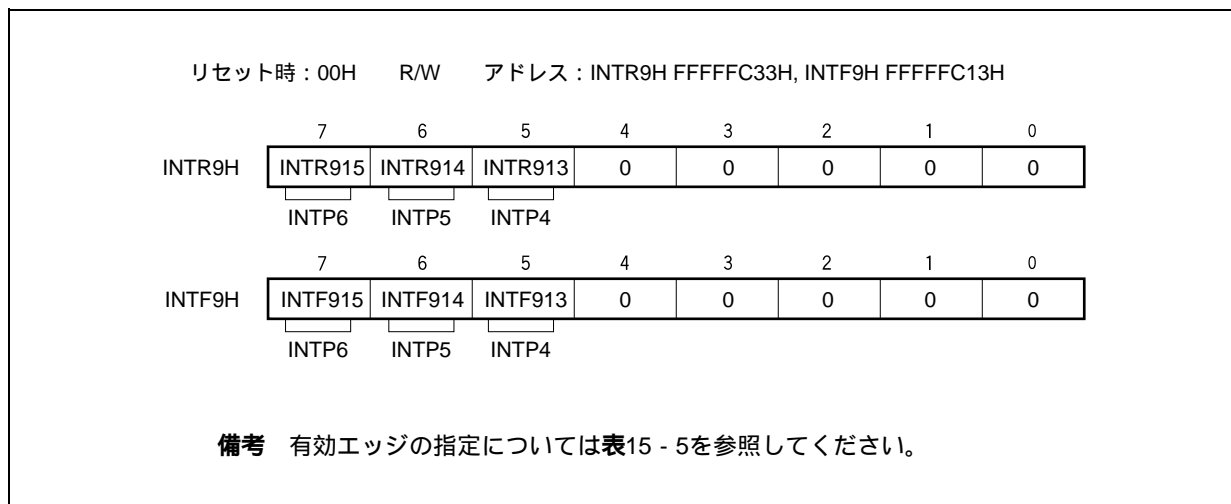


表15 - 5 INTP4-INTP6端子の有効エッジの指定

INTF9n	INTR9n	有効エッジの指定 (n = 13-15)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP4-INTP6端子として使用しない場合, 必ずINTR9n, INTF9nビット = 00に設定してください。

備考 n = 13-15 : INTP4-INTP6端子の制御

## 15.5 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

### 15.5.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

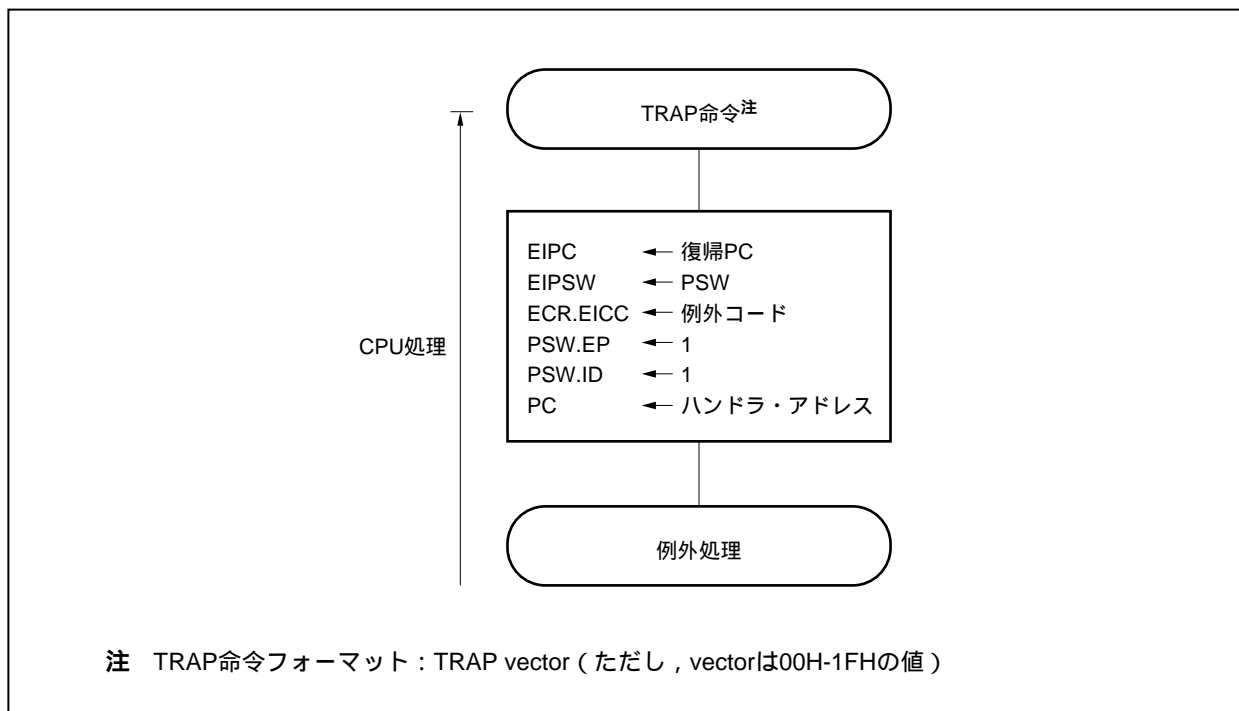
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を次に示します。

図15 - 8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

### 15.5.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

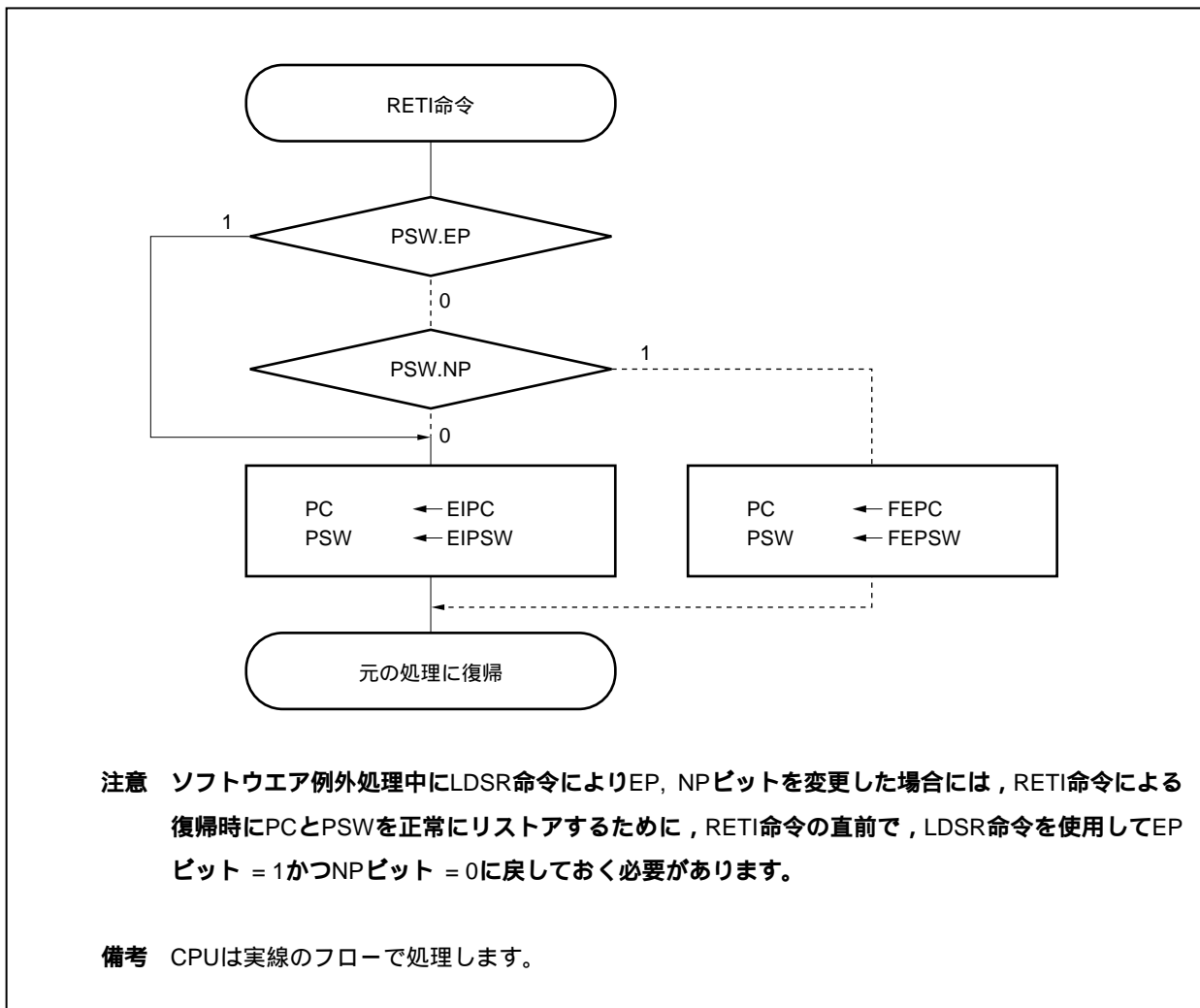
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

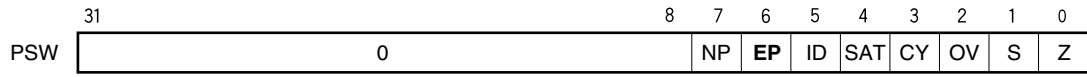
図15 - 9 RETI命令の処理形態



### 15.5.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。リセットにより00000020Hになります。

リセット時：00000020H



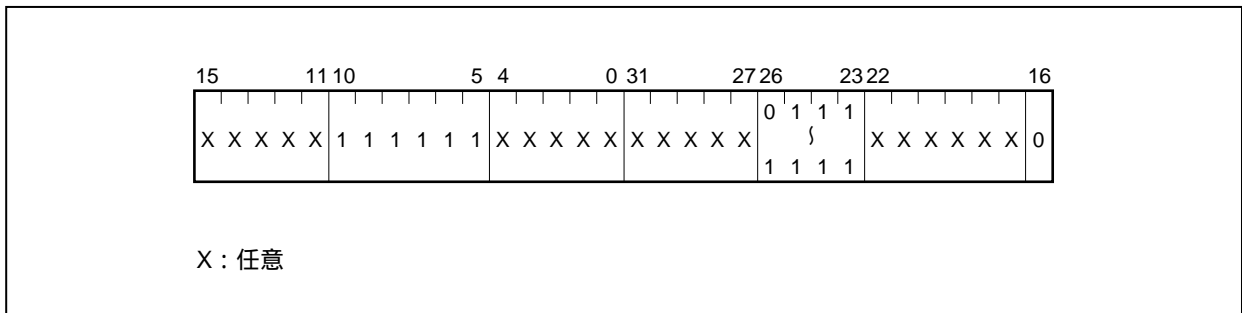
EP	例外処理状態
0	例外処理中でない
1	例外処理中

## 15.6 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850ES/ST2では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

### 15.6.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



**注意** 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

#### (1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

現在のPSWをDBPSWに退避します。

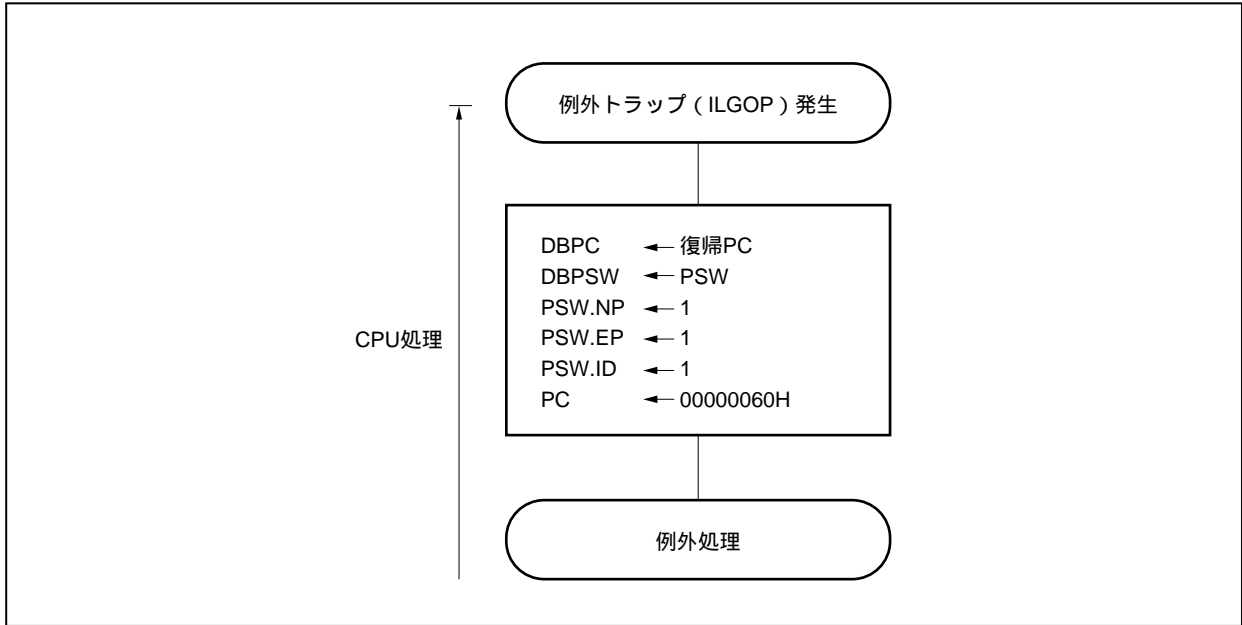
PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を次に示します。



図15 - 10 例外トラップの処理形態



(2) 復 帰

例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

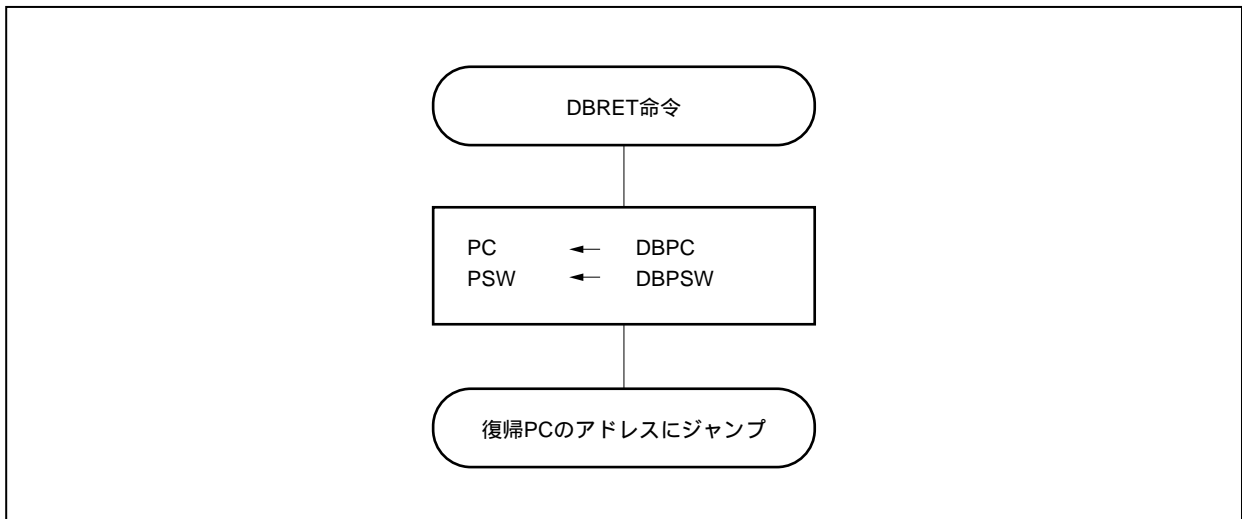
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

**注意** DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

例外トラップからの復帰の処理形態を次に示します。

図15 - 11 例外トラップからの復帰の処理形態



## 15.6.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

### (1) 動作

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

復帰PCをDBPCに退避します。

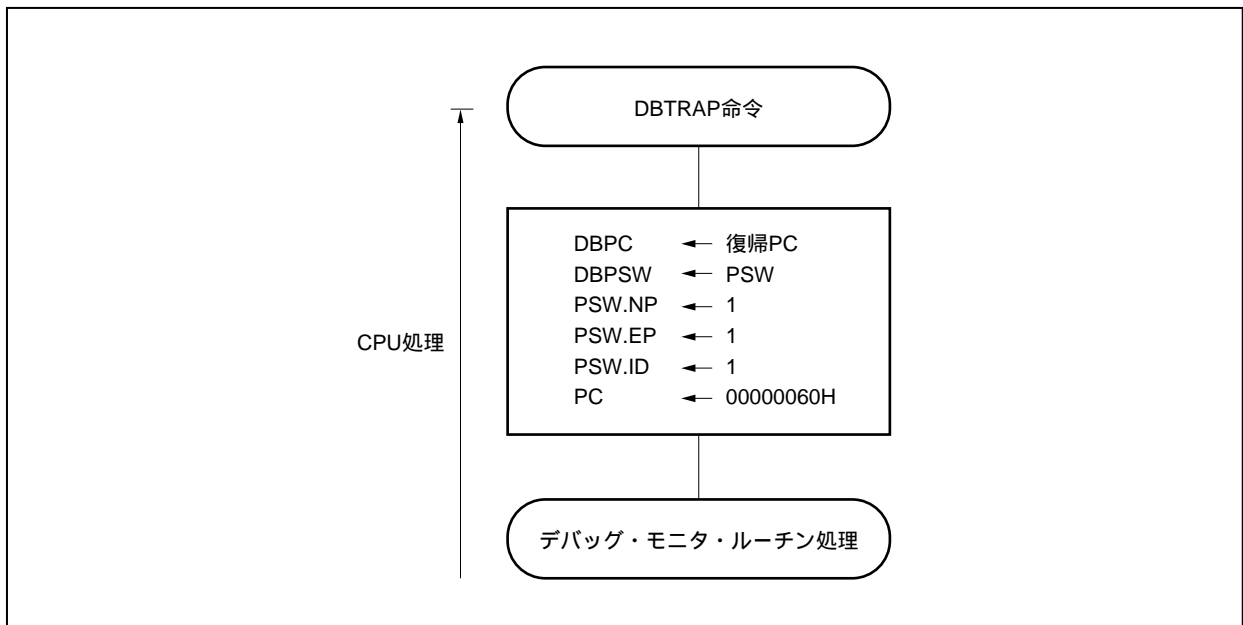
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を次に示します。

図15 - 12 デバッグ・トラップの処理形態



## (2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

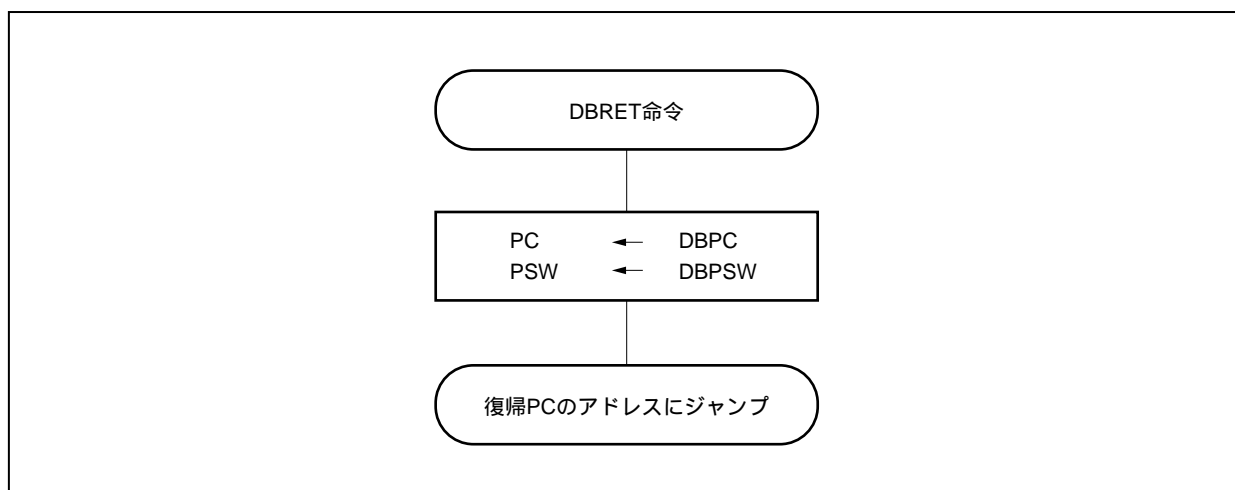
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

**注意** DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

デバッグ・トラップからの復帰の処理形態を次に示します。

図15 - 13 デバッグ・トラップからの復帰の処理形態



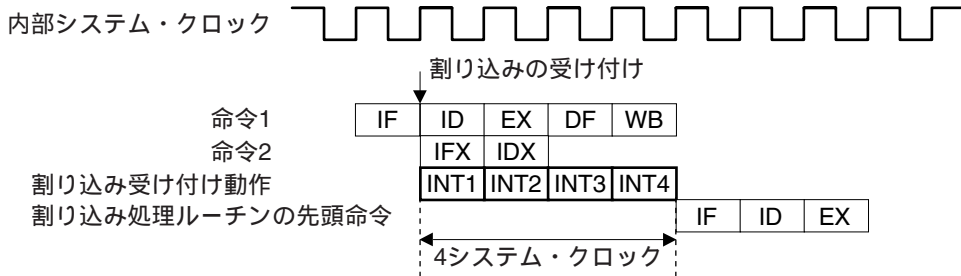
## 15.7 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求を入力する必要があります。

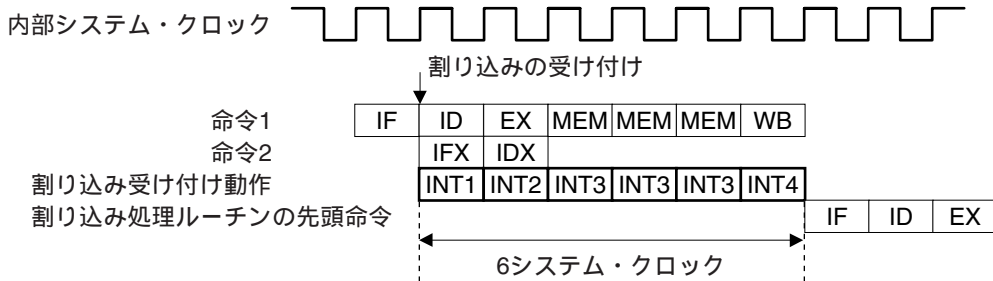
- ・ IDLE/STOPモード時
- ・ 外部バス・アクセス時
- ・ 割り込み要求非サンプル命令（15.8 CPUが割り込みを受け付ける期間参照）が連続しているとき
- ・ 割り込み制御レジスタへのアクセス時
- ・ 内蔵周辺I/Oレジスタへのアクセス時

図15 - 14 割り込み要求受け付け時のパイプライン動作例 (概略)

(1) 最小割り込み応答時間



(2) 最大割り込み応答時間



- 備考1. INT1-INT4 : 割り込み受け付け処理  
 IFX : 無効となる命令フェッチ  
 IDX : 無効となる命令デコード

2. 4サイクルの割り込み受け付け時間中に同じ割り込み要求信号が発生すると、新しい割り込み要求信号は廃棄されます。同じ要因からの次の割り込み要求信号は、4サイクル後に登録されます。

	割り込み応答時間 (内部システム・クロック)		条 件
	内部割り込み	外部割り込み	
最小	4	4 + アナログ・ディレイ時間	次の場合は除きます。 ・ IDLE, STOPモード時 ・ 外部バス・アクセス時 ・ 割り込み要求非サンプル命令が連続しているとき ・ 割り込み制御レジスタへのアクセス時 ・ 内蔵周辺I/Oレジスタへのアクセス時
最大	6	6 + アナログ・ディレイ時間	

## 15.8 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI 命令
- ・ DI 命令
- ・ LDSR reg2, 0x5 命令（対 PSW）
- ・ PRCMD レジスタに対するストア命令
- ・ 次のレジスタに対するストア命令および SET1, NOT1, CLR1 命令
  - ・ 割り込み関連のレジスタ：
    - 割り込み制御レジスタ (xxICn)，割り込みマスク・レジスタ 0-2 (IMR0-IMR2)
  - ・ パワー・セーブ・コントロール・レジスタ (PSC)

**備考** xx：各周辺ユニット識別名称（表15-2 割り込み制御レジスタ (xxICn) 参照）

n：周辺ユニット番号（表15-2 割り込み制御レジスタ (xxICn) 参照）

## 15.9 注意事項

### (1) NMI端子について

NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを選択してください。

### (2) 割り込み制御レジスタ (xxICn) について

割り込み要求が発生する状態（割り込み禁止 (DI) 状態を含む）でxxICn.xxMKnビットを操作する場合は、必ずビット操作命令で操作するか、IMRm.xxMKnビットで操作してください (m = 0-2)。

### (3) インサース・プライオリティ・レジスタ (ISPR) について

割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。

## 第16章 スタンバイ機能

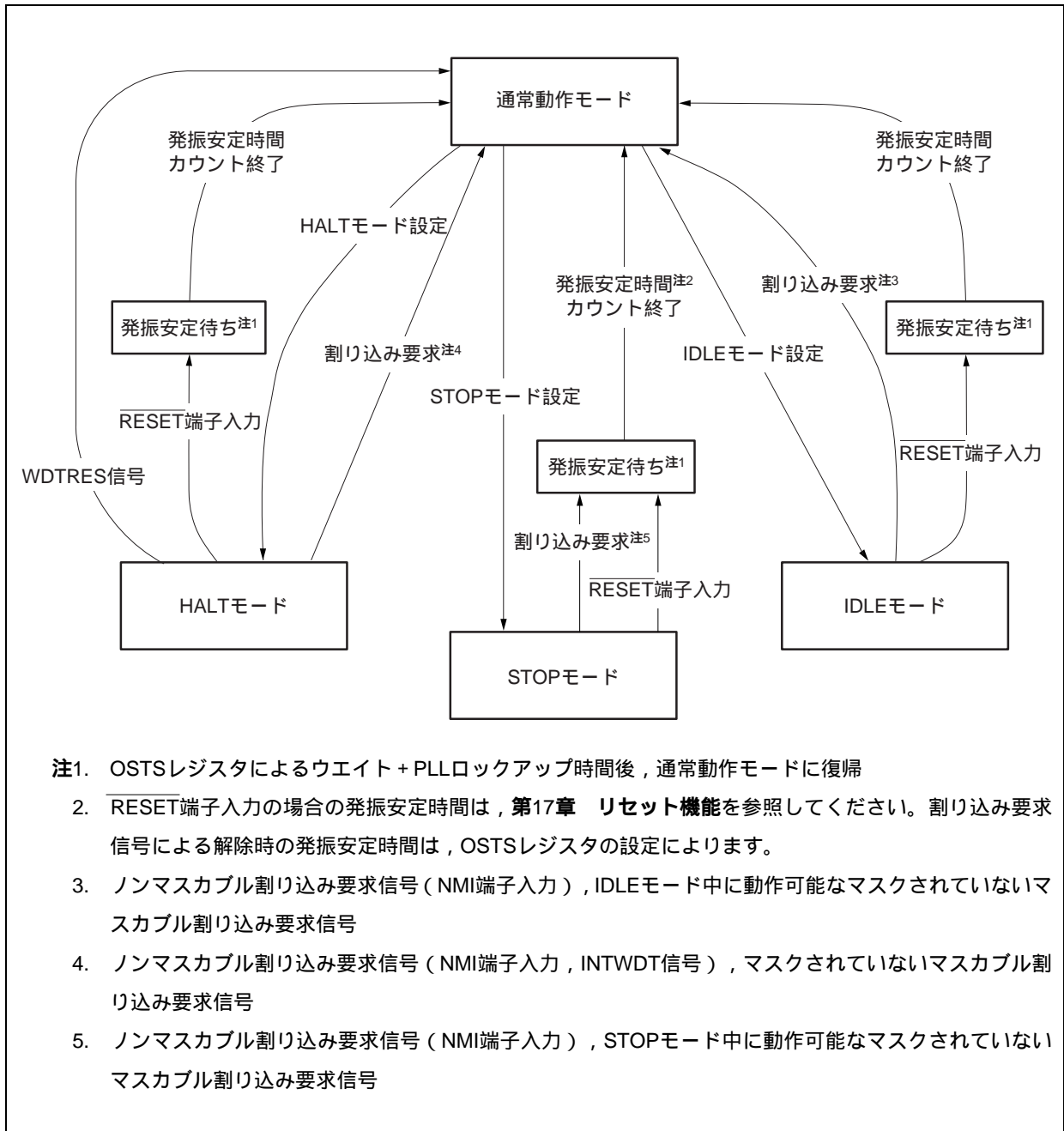
### 16.1 概 要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表16 - 1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLEモード	発振回路以外の内部回路の動作をすべて停止させるモード
STOPモード	内部回路の動作をすべて停止させるモード

図16-1 状態遷移図



## 16.2 制御レジスタ

### (1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりIDLE/STOPモードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF1FEH

	7	⑥	⑤	④	3	2	①	0
PSC	0	NMI1M	NMI0M	INTM	0	0	STP	0

NMI1M	INTWDT信号発生によるスタンバイ・モード解除制御
0	INTWDT信号によるスタンバイ・モード解除許可
1	INTWDT信号によるスタンバイ・モード解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード解除制御
0	NMI端子入力によるスタンバイ・モード解除許可
1	NMI端子入力によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御
0	マスカブル割り込み要求信号によるスタンバイ・モード解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード解除禁止

STP	スタンバイ・モード <sup>注</sup> の設定
0	通常モード
1	スタンバイ・モード

注 STPビットにおけるスタンバイ・モード：IDLE, STOPモード

- 注意1. IDLE, STOPモードに設定する場合は、PSMR.PSMビットを設定してから、STPビット = 1に設定してください。
2. NMI1M, NMI0M, INTMビットの設定は、HALTモード解除時は無効です。
3. NMI1M, NMI0M, INTMビットと、STPビットを同時にセット(1)した場合は、NMI1M, NMI0M, INTMビットの設定は無効になります。したがって、STOPモードに移行するときにマスクされていない保留中の割り込み要求がある場合は、その割り込み要求に対するビット(NMI1M, NMI0M, INTM)をセット(1)したあとにSTPビットをセット(1)してください。



(2) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードの動作状態を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM

PSM	スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

**注意1.** ビット1-7には、必ず0を設定してください。

2. PSMビットは、PSC.STPビット = 1のときのみ有効です。

**備考** IDLE : クロック発振回路とPLL以外の動作を停止するモードです。

IDLEモード解除後、発振安定時間を確保する必要なく、通常モードに復帰します。

STOP : すべての回路の動作を停止するモードです。

STOPモード解除後、OSTSレジスタで指定した発振安定時間を確保した後、通常モードに復帰します。

(3) 発振安定時間選択レジスタ (OSTS)

STOPモードを解除してから発振が安定するまでのウェイト時間を制御します。

8ビット単位でのみリード/ライト可能です。

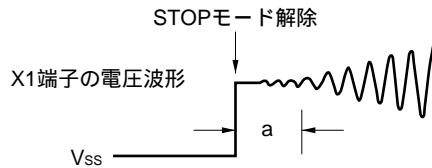
リセットにより09Hになります。

リセット時：09H R/W アドレス：FFFFFF6D0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	OSTS3	OSTS2	OSTS1	OSTS0

OSTS3	OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				fx		
				17 MHz	10 MHz	
0	0	0	0	$2^{10}/f_x$	60.24 $\mu$ s	102.4 $\mu$ s
0	0	0	1	$2^{11}/f_x$	120.5 $\mu$ s	204.8 $\mu$ s
0	0	1	0	$2^{12}/f_x$	240.9 $\mu$ s	409.6 $\mu$ s
0	0	1	1	$2^{13}/f_x$	481.9 $\mu$ s	819.2 $\mu$ s
0	1	0	0	$2^{14}/f_x$	963.8 $\mu$ s	1.638 ms
0	1	0	1	$2^{15}/f_x$	1.928 ms	3.277 ms
0	1	1	0	$2^{16}/f_x$	3.855 ms	6.554 ms
0	1	1	1	$2^{17}/f_x$	7.710 ms	13.11 ms
1	0	0	0	$2^{18}/f_x$	15.42 ms	26.21 ms
1	0	0	1	$2^{19}/f_x$	30.84 ms	52.43 ms
1	0	1	0	$2^{20}/f_x$	61.68 ms	104.9 ms
1	0	1	1	$2^{21}/f_x$	123.4 ms	209.7 ms
上記以外				設定禁止		

注意1. STOPモード解除時のウェイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



2. ビット7-3には必ず“0”を設定してください。
3. 発振安定時間は1.5 ms以上で設定してください。
4. リセット解除後の発振安定時間は、 $2^{19}/f_x$  (OSTSレジスタの初期値は = 09Hのため) となります。

備考 fx：クロック発振周波数

## 16.3 HALTモード

### 16.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表16-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減することができます。

**注意1.** HALT命令の後には、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

### 16.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT信号）、マスクされていないマスクابل割り込み要求信号、RESET端子入力、WDTオーバフローによるリセット信号（WDTRES）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

#### (1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表16-2 割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

#### (2) RESET端子入力、WDTRES信号による解除

通常のリセット動作と同じです。

表16 - 3 HALTモード時の動作状態

項 目	動作状態	
クロック発振回路	発振可能	
PLL	発振可能	
CPU	動作停止	
割り込みコントローラ	動作可能	
タイマP (TMP0-TMP5)	動作可能	
タイマM (TMM0)	動作可能	
ウォッチドッグ・タイマ (WDT)	動作可能	
シリアル・インタフェース	CSIB0, CSIB4	動作可能
	UARTA0, UARTA2	動作可能
A/Dコンバータ	動作可能	
D/Aコンバータ	動作可能	
リアルタイム出力機能 (RTO)	動作可能	
外部バス・インタフェース	2.2 端子状態参照	
ポート機能	HALTモード設定前の状態を保持	
内部データ	CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持	

## 16.4 IDLEモード

### 16.4.1 設定および動作状態

通常動作モード時、PSMR.PSMビットを“0”に設定し、PSC.STPビットを“1”に設定することにより、IDLEモードに設定されます。

IDLEモードに設定すると、クロック発振回路は動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLEモード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表16-5にIDLEモード時の動作状態を示します。

IDLEモードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、クロック発振回路は停止しないので、IDLEモード解除時、HALTモードと同様に発振安定時間を確保することなく、通常動作モードに復帰できます。

**注意** IDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

### 16.4.2 IDLEモードの解除

IDLEモードは、ノンマスクابل割り込み要求信号（NMI端子入力）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、RESET端子入力により解除されます。

IDLEモードの解除により、通常動作モードに移行します。

#### (1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号（NMI端子入力）、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLEモードに設定した場合は次のようになります。

**注意** PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLEモードは解除されません。

(a) 現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号が発生するとIDLEモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、IDLEモードの解除とともにこの割り込み要求信号を受け付けます。

表16 - 4 割り込み要求信号によるIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) RESET端子入力による解除

通常のリセット動作と同じです。

表16 - 5 IDLEモード時の動作状態

項 目	動作状態
クロック発振回路	発振可能
PLL	発振可能
CPU	動作停止
割り込みコントローラ	動作停止
タイマP (TMP0-TMP5)	動作停止
タイマM (TMM0)	動作停止
ウォッチドッグ・タイマ (WDT)	動作停止
シリアル・インタフェース	CSIB0, CSIB4 カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0, 4)
フェース	UARTA0, UARTA2 動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)
A/Dコンバータ	動作保持 (変換結果も保持) <sup>注</sup>
D/Aコンバータ	動作保持 (出力保持) <sup>注</sup>
リアルタイム出力機能 (RTO)	動作停止 (出力保持)
外部バス・インタフェース	2.2 端子状態参照
ポート機能	IDLEモード設定前の状態を保持
内部データ	CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLEモード設定前の状態を保持

注 低消費電力を実現するためには, IDLEモードに遷移する前にA/Dコンバータ, D/Aコンバータを停止してください。

## 16.5 STOPモード

### 16.5.1 設定および動作状態

通常動作モード時、PSMR.PSMビットを“1”に設定し、PSC.STPビットを“1”に設定することにより、STOPモードに設定されます。

STOPモードに設定するとクロック発振回路は動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表16-7にSTOPモード時の動作状態を示します。

STOPモードは、クロック発振回路の動作が停止するので、IDLEモードよりさらに低消費電力を実現できます。また、外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます。

**注意** STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

### 16.5.2 STOPモードの解除

STOPモードは、ノンマスクابل割り込み要求信号（NMI端子入力）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、RESET端子入力により解除されます。

STOPモードの解除により、OSC発振安定時間およびPLLロックアップ時間を確保したあと、通常動作モードに移行します。

#### (1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

**注意** PSC.NMI1M, NMI0M, INTMビット = 1（割り込み禁止）されている割り込み要求は無効になり、STOPモードは解除されません。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとSTOPモードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、STOPモードの解除とともにこの割り込み要求信号を受け付けます。

表16 - 6 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	OSC発振安定時間+PLLロックアップ時間確保後, ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	OSC発振安定時間+PLLロックアップ時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	OSC発振安定時間+PLLロックアップ時間確保後, 次の命令を実行

(2) RESET端子入力による解除

通常のリセット動作と同じです。

表16 - 7 STOPモード時の動作状態

項目	動作状態	
クロック発振回路	発振停止	
PLL	発振停止	
CPU	動作停止	
割り込みコントローラ	動作停止	
タイマP (TMP0-TMP5)	動作停止	
タイマM (TMM0)	動作停止	
ウォッチドッグ・タイマ (WDT)	動作停止	
シリアル・インタフェース	CSIB0, CSIB4	カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0, 4)
フェース	UARTA0, UARTA2	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)
A/Dコンバータ		動作停止 (変換結果も不定) <sup>注1, 2</sup>
D/Aコンバータ		動作停止 <sup>注3, 4</sup> (出力はハイ・インピーダンス)
リアルタイム出力機能 (RTO)		動作停止 (出力保持)
外部バス・インタフェース		2.2 端子状態参照
ポート機能		STOPモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持

注1. A/Dコンバータを動作したままSTOPモードに遷移した場合, STOPモード期間中A/Dコンバータは自動的に停止しますが, STOPモード解除後, 再び動作を開始します。ただし, その場合STOPモード解除後から2回目までのA/D変換結果は無効です (3回目から有効です)。また, STOPモード遷移前のA/D変換結果はすべて無効です。

2. A/Dコンバータを動作したままSTOPモードに遷移した場合でも, STOPモード遷移前にA/Dコンバータを停止した場合と同等に消費電力を低減できます。
3. D/Aコンバータを動作したままSTOPモードに遷移した場合, STOPモード期間中D/Aコンバータは自動的に停止し, 端子状態はハイ・インピーダンスになります。STOPモード解除後, 再び動作を開始しセトリング時間を経て, STOPモード遷移前の出力レベルにもどります。
4. D/Aコンバータを動作したままSTOPモードに遷移した場合でも, STOPモード遷移前にD/Aコンバータを停止した場合と同等に消費電力を低減できます。

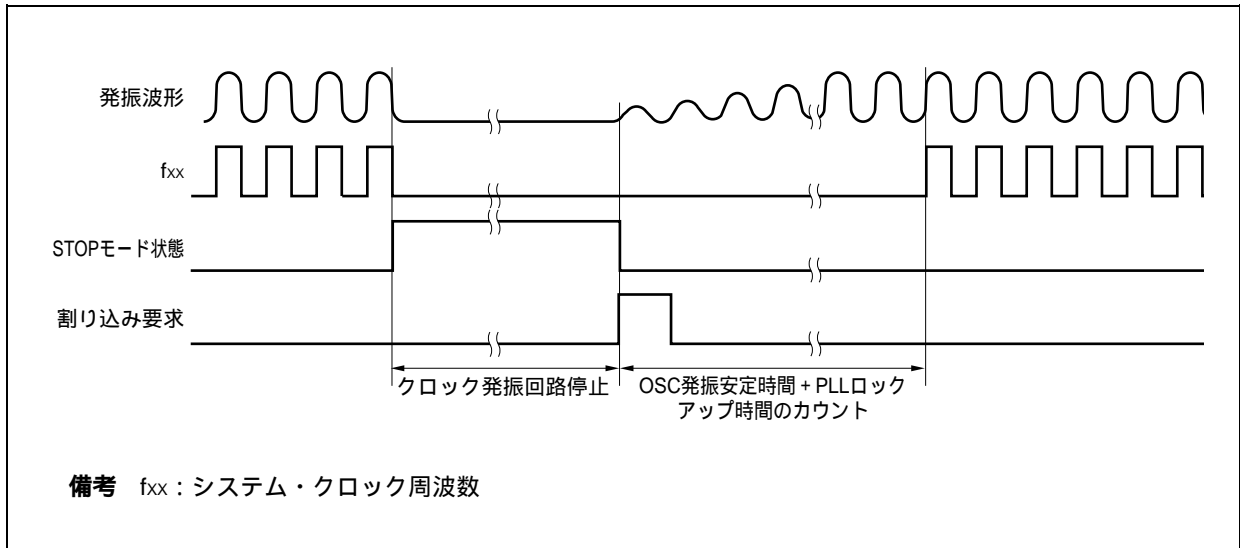


## 16.6 STOPモード解除時の発振安定時間の確保

STOPモードを解除すると、OSTSレジスタで設定していた時間およびPLLロックアップ時間 ( $2^{14}/f_x$ ) だけ発振安定時間を確保します。ただし、 $\overline{\text{RESET}}$ 端子入力による解除時は、OSTSレジスタのリセット値 ( $2^{19}/f_x$ ) およびPLLロックアップ時間 ( $2^{14}/f_x$ ) となります。

STOPモードを割り込み要求で解除した場合の動作を次に示します。

図16-2 発振安定時間



**注意** OSTSレジスタの詳細は、16.2(3)発振安定時間選択レジスタ (OSTS) を参照してください。

# 第17章 リセット機能

## 17.1 概 要

リセット機能の概要を次に示します。

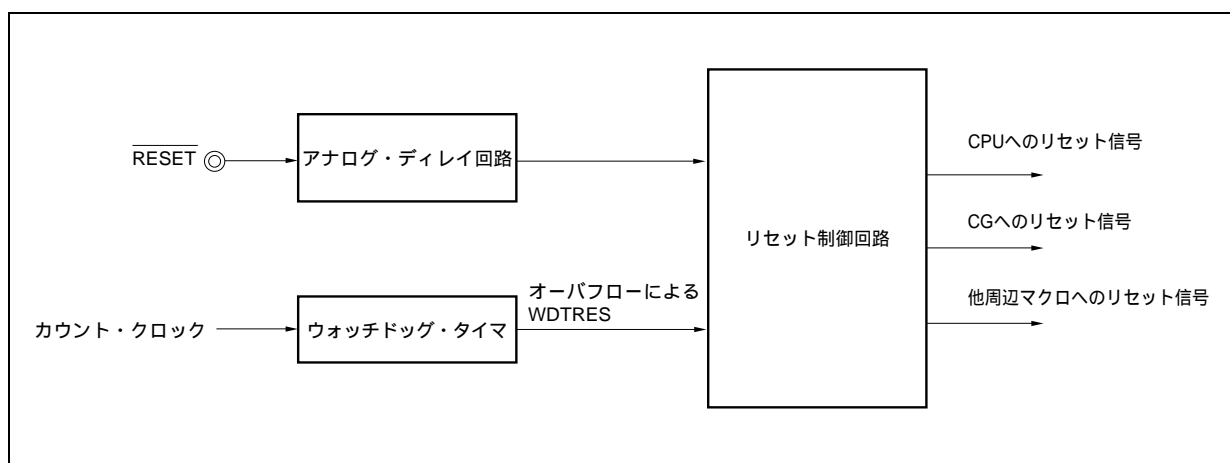
- ・  $\overline{\text{RESET}}$ 端子入力によるリセット機能
- ・ WDTのオーバーフローによるリセット機能 (WDTRES)

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

$\overline{\text{RESET}}$ 端子はノイズによる誤動作を防ぐためにアナログ・ディレイによるノイズ除去回路を内蔵しています。

## 17.2 構 成

図17-1 リセットのブロック図



## 17.3 動作

### (1) RESET端子によるリセット動作

RESET端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを初期化します。

RESET端子にロウ・レベルを入力期間中は、クロック発振回路およびPLLは停止するので、システム全体の消費電力を低減することができます。

RESET端子入力をロウ・レベルからハイ・レベルに変化させると、リセット状態を解除します。

RESET端子入力によるリセット解除後、OSC発振安定時間（OSTSレジスタのリセット値： $2^{19}/f_x$ ）およびPLLロックアップ時間を確保したあと、CPUはプログラムの実行を開始します。

表17-1 RESET端子入力時の各ハードウェアの状態

項目	リセット中	リセット後
クロック発振回路 ( $f_x$ )	発振停止	発振開始
PLL	発振停止	OSC発振安定時間確保後、発振開始
周辺クロック ( $f_{xx}$ - $f_{xx}/1024$ )	動作停止	PLLロックアップ時間確保後、動作開始
内部システム・クロック ( $f_{CLK}$ ) , CPUクロック ( $f_{CPU}$ )	動作停止	PLLロックアップ時間確保後、動作開始 ( $f_{xx}/8$ に初期化)
CPU	初期化	PLLロックアップ時間確保後、プログラムの実行開始
ウォッチドッグ・タイマ	動作停止	PLLロックアップ時間確保後、動作開始可能
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込み(CPUによる)とリセット入力が競合(データ破壊)した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン(ポート/兼用端子)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
上記以外の内蔵周辺機能	動作停止	PLLロックアップ時間確保後、動作開始可能

備考 PLLロックアップ時間： $2^{14}/f_x$

図17-2 RESET端子入力によるリセット動作のタイミング

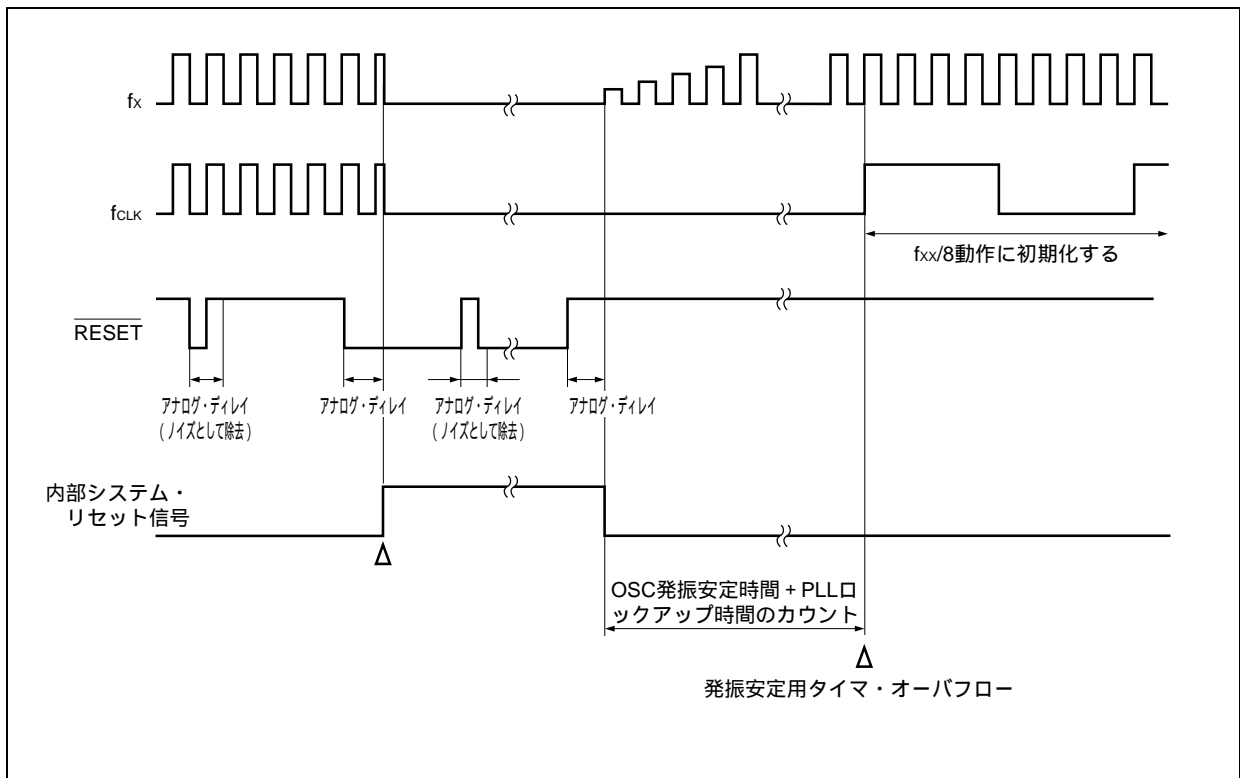
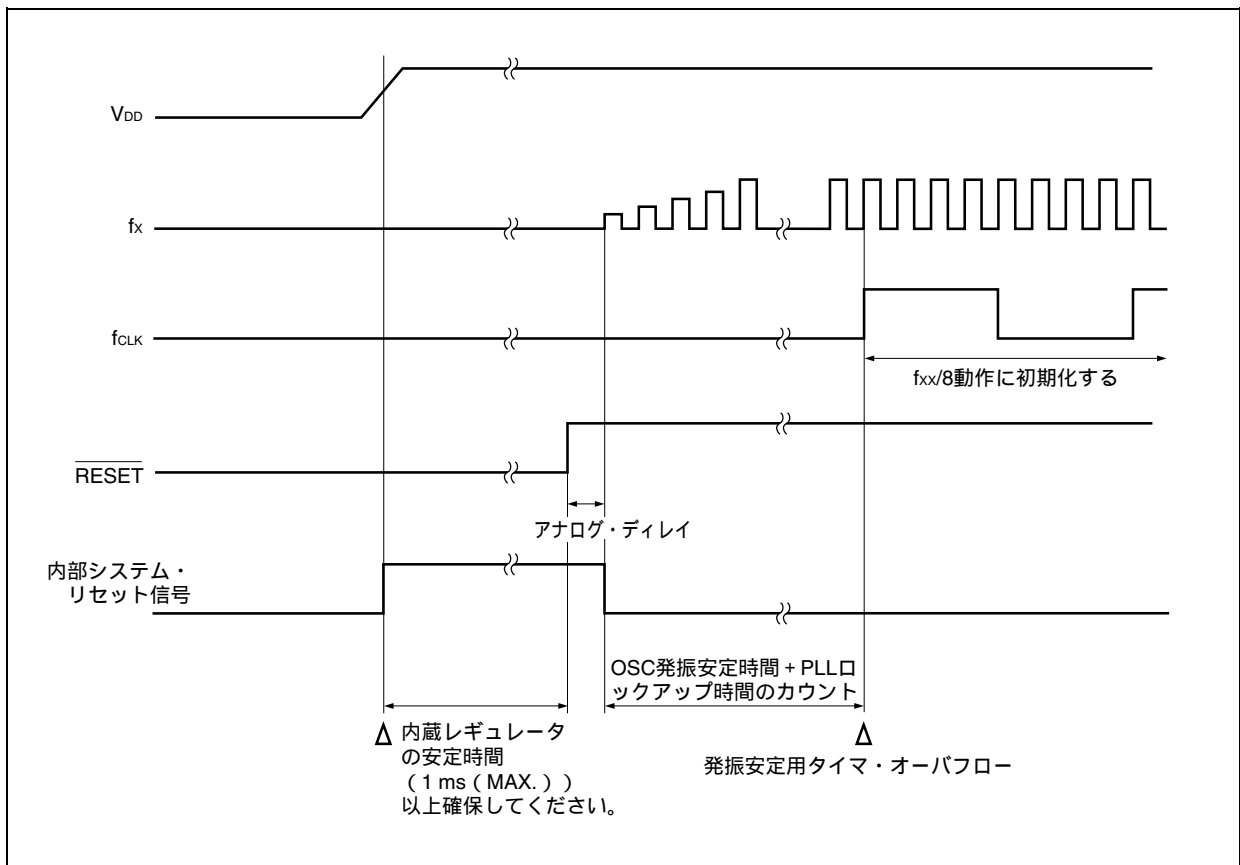


図17-3 パワーオン時のリセット動作のタイミング



(2) WDTによるリセット動作 (WDTRES)

WDTをオーバフローによるリセット動作モードに設定時，WDTがオーバフロー（WDTRES信号発生）すると，システム・リセットがかかり各ハードウェアを所定の状態に初期化します。

WDTのオーバフロー後，所定の時間（アナログ・ディレイ分）リセット状態となり，その後リセット状態を自動的に解除します。WDTRES信号によるリセットの解除後，CPUはプログラムの実行を開始します。

なお，リセット期間中もクロック発振回路は停止するので，発振安定時間を確保します。

表17 - 2 WDTRES信号入力時の各ハードウェアの状態

項 目	リセット中	リセット後
クロック発振回路 (fx)	発振継続 <sup>注</sup>	
PLL	発振継続	
周辺クロック (fxx-fxx/1024)	動作停止	動作開始
内部システム・クロック (fCLK) , CPUクロック (fCPU)	動作停止	動作開始 (fxx/8に初期化)
CPU	初期化	プログラムの実行開始
ウォッチドッグ・タイマ	動作継続	
内蔵RAM	RAMへのデータ書き込み (CPUによる) とリセット入力競合 (データ破壊) した場合，不定。 それ以外は，リセット入力直前の値を保持。	
I/Oライン (ポート/兼用端子)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
上記以外の内蔵周辺機能	動作停止	動作開始可能

注 内蔵フィードバック抵抗は，“接続する”に初期化します。

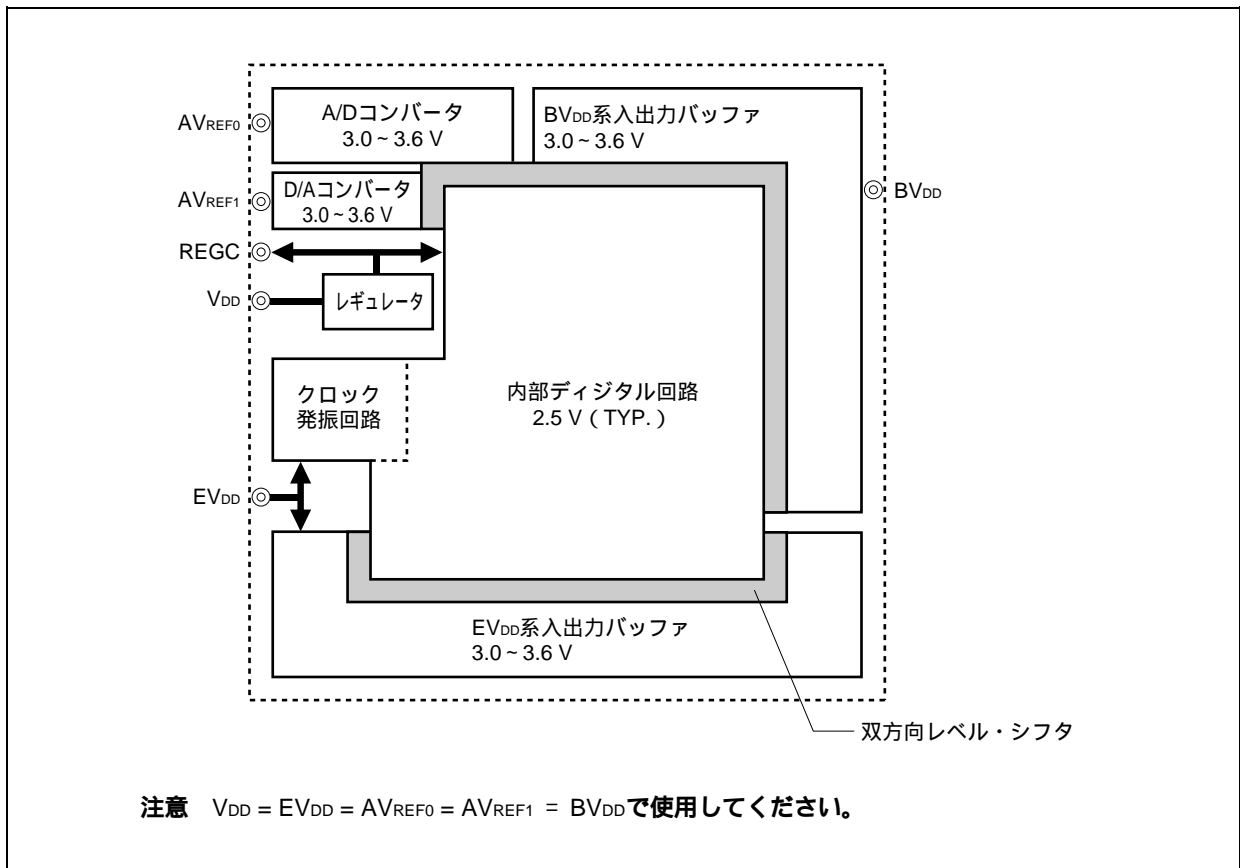
# 第18章 レギュレータ

## 18.1 概要

この製品では、低消費電力/低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振ブロックと内部ロジック回路（A/Dコンバータ，D/Aコンバータ，入出力バッファは除く）に、 $V_{DD}$ 電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は、2.5 V（TYP.）に設定しています。

図18 - 1 レギュレータ



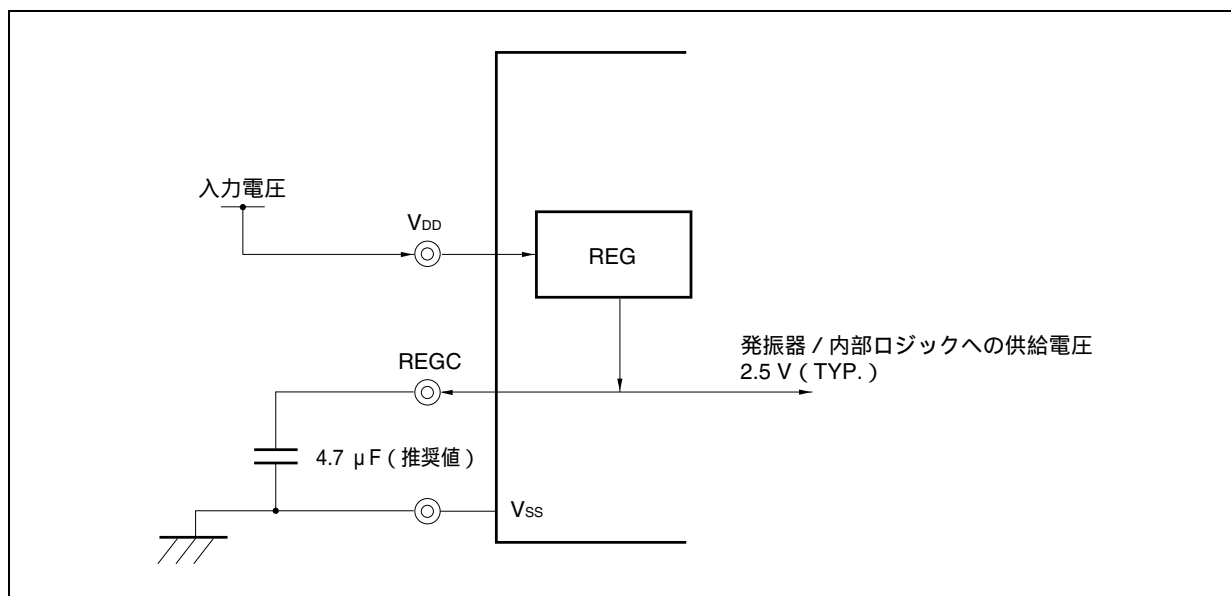
## 18.2 動作

この製品のレギュレータは、いかなるモード（通常動作モード / HALTモード / IDLEモード / STOPモード / リセット中）でも常に動作します。

また、レギュレータの出力を安定させるためにREGC端子にコンデンサ（ $4.7 \mu\text{F}$ （推奨値））を接続してください。

次に端子の接続の方法を示します。

図18 - 2 REGC端子の接続



## 第19章 電気的特性

### 19.1 絶対最大定格

( $T_A = 25$  )

項目	略号	条件	定格	単位	
電源電圧	$V_{DD}$	$V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1}$	- 0.5 ~ + 4.6	V	
	$EV_{DD}$	$V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1}$	- 0.5 ~ + 4.6	V	
	$BV_{DD}$	$V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1}$	- 0.5 ~ + 4.6	V	
	$AV_{REF0}$	$V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1}$	- 0.5 ~ + 4.6	V	
	$AV_{REF1}$	$V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1}$	- 0.5 ~ + 4.6	V	
	$V_{SS}$	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	- 0.5 ~ + 0.5	V	
	$EV_{SS}$	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	- 0.5 ~ + 0.5	V	
	$BV_{SS}$	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	- 0.5 ~ + 0.5	V	
	$AV_{SS}$	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	- 0.5 ~ + 0.5	V	
入力電圧	$V_{I1}$	P02-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90-P915, $\overline{RESET}$ , MODE0	- 0.5 ~ $EV_{DD} + 0.5$ <sup>注</sup>	V	
	$V_{I2}$	PCM0-PCM3, PCS1-PCS3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH5, AD0-AD15	- 0.5 ~ $BV_{DD} + 0.5$ <sup>注</sup>	V	
	$V_{I3}$	X1, X2	- 0.5 ~ $V_{DD} + 0.5$ <sup>注</sup>	V	
	$V_{I4}$	P10, P11	- 0.5 ~ $AV_{REF1} + 0.5$ <sup>注</sup>	V	
アナログ入力電圧	$V_{IAN}$	P70-P77	- 0.5 ~ $AV_{REF0} + 0.5$ <sup>注</sup>	V	
ロウ・レベル出力電流	$I_{OL}$	P02-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90-P915	1端子	4	mA
			合計	80	mA
		PCM0-PCM3, PCS1-PCS3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH5, AD0-AD15, A0-A15, CS0	1端子	4	mA
			合計	40	mA
		P10, P11	1端子	4	mA
			合計	8	mA
ハイ・レベル出力電流	$I_{OH}$	P02-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90-P915	1端子	- 4	mA
			合計	- 80	mA
		PCM0-PCM3, PCS1-PCS3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH5, AD0-AD15, A0-A15, CS0	1端子	- 4	mA
			合計	- 40	mA
		P10, P11	1端子	- 4	mA
			合計	- 8	mA
動作周囲温度	$T_A$		- 40 ~ + 85		
保存温度	$T_{stg}$		- 60 ~ + 150		

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

注意1. IC製品の出力 (または入出力) 端子同士を直結したり、 $V_{DD}$  または  $V_{CC}$  や GND に直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。



つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の特性は、ポート端子以外の機能として使用しても同じです。

## 19.2 容量

( $T_A = 25\text{ }^\circ\text{C}$ ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
入出力容量	$C_{IO}$	$f_x = 1\text{ MHz}$ 被測定ピン以外は0 V			10	pF

## 19.3 動作条件

( $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0\sim 3.6\text{ V}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$ )

内部システム・クロック周波数 ( $f_{xx}$ )	動作周囲温度 ( $T_A$ )	動作電源電圧 ( $V_{DD}$ )
20 ~ 34 MHz	$T_A = -40\sim +85$	$V_{DD} = 3.0\sim 3.6\text{ V}$

## 19.4 メイン・クロック発振回路特性

( $T_A = -40\sim +85$ ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0\sim 3.6\text{ V}$ ,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$ ) (1/2)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 ( $f_x$ )		10		17	MHz
		発振安定時間 <sup>注1</sup>	リセット解除後		$2^{19}/f_x + 2^{14}/f_x$		s
			STOPモード解除後		注2		s
水晶振動子		発振周波数 ( $f_x$ )		10		17	MHz
		発振安定時間 <sup>注1</sup>	リセット解除後		$2^{19}/f_x + 2^{14}/f_x$		s
			STOPモード解除後		注2		s

注1. 発振安定時間 = OSCの発振安定時間 + PLLのロックアップ時間

- OSTSレジスタの設定によって値が異なります (OSTSレジスタの設定は必ずSTOPモード設定前に行ってください)。

備考1. 発振回路はX1, X2にできるかぎり近づけてください。

- 破線の範囲内に他の信号線を通さないでください。
- 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V) (2/2)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
外部クロック		X1, X2入力周波数 (fx)		10		17	MHz

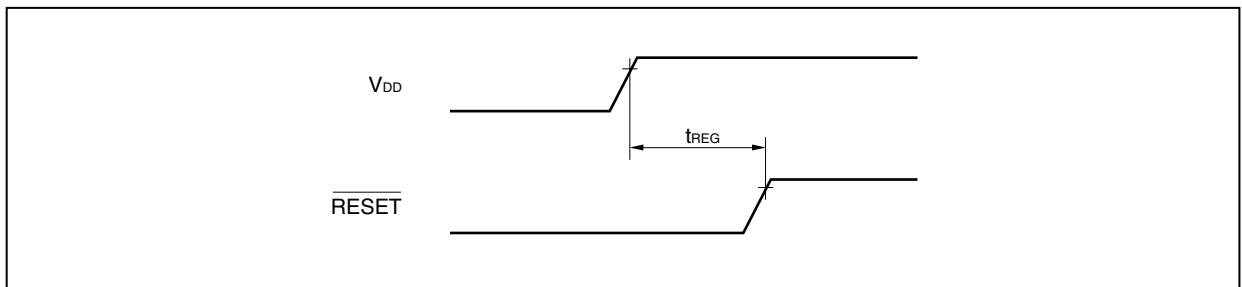
- 注意1. 高速CMOSインバータはX1, X2端子にできるかぎり近づけてください。  
 2. V850ES/ST2と高速CMOSインバータのマッチングについては、十分な評価を行ってください。

### 19.5 レギュレータ特性

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧安定時間	t <sub>REG</sub>	V <sub>DD</sub> が3.0 V (MIN.) に達したあと、 安定化容量 : C = 4.7 μF			1	ms

注意 電源電圧 (V<sub>DD</sub>) を立ち上げる場合は、必ずRESET = V<sub>SS</sub> = EV<sub>SS</sub> = BV<sub>SS</sub> = 0 Vの状態で行ってください。また、RESET信号は、t<sub>REG</sub>期間経過したあとにハイ・レベルにしてください。



## 19.6 DC特性

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	$V_{IH1}$	P30, P38, P41, P50-P55, P90, P91, P98-P912		0.7 $EV_{DD}$		$EV_{DD}$	V
	$V_{IH2}$	PCM0-PCM3, PCS1-PCS3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH5, AD0-AD15		0.7 $BV_{DD}$		$BV_{DD}$	V
	$V_{IH3}$	P02-P06, P31-P35, P39, P40, P42, P92-P97, P913-P915, RESET, MODE		0.8 $EV_{DD}$		$EV_{DD}$	V
	$V_{IH4}$	P70-P77		0.7 $AV_{REF0}$		$AV_{REF0}$	V
	$V_{IH5}$	P10, P11		0.7 $AV_{REF1}$		$AV_{REF1}$	V
	$V_{IH6}$	X1, X2		0.8 $V_{DD}$		$V_{DD}$	V
ロウ・レベル入力電圧	$V_{IL1}$	P30, P38, P41, P50-P55, P90, P91, P98-P912		$EV_{SS}$		0.3 $EV_{DD}$	V
	$V_{IL2}$	PCM0-PCM3, PCS1-PCS3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH5, AD0-AD15		$BV_{SS}$		0.3 $BV_{DD}$	V
	$V_{IL3}$	P02-P06, P31-P35, P39, P40, P42, P92-P97, P913-P915, RESET, MODE		$EV_{SS}$		0.2 $EV_{DD}$	V
	$V_{IL4}$	P70-P77		$AV_{SS}$		0.3 $AV_{REF0}$	V
	$V_{IL5}$	P10, P11		$AV_{SS}$		0.3 $AV_{REF1}$	V
	$V_{IL6}$	X1, X2		$V_{SS}$		0.2 $V_{DD}$	V
ハイ・レベル出力電圧	$V_{OH1}$	注1	1端子 $I_{OH} = -1.0$ mA	$EV_{DD} - 0.5$		$EV_{DD}$	V
	$V_{OH2}$	注2	1端子 $I_{OH} = -1.0$ mA	$BV_{DD} - 0.5$		$BV_{DD}$	V
	$V_{OH3}$	P10, P11	1端子 $I_{OH} = -0.4$ mA	$AV_{REF1} - 1.0$		$AV_{REF1}$	V
ロウ・レベル出力電圧	$V_{OL1}$	注1	1端子 $I_{OL} = 1.0$ mA	0		0.4	V
	$V_{OL2}$	注2	1端子 $I_{OL} = 1.0$ mA	0		0.4	V
	$V_{OL3}$	P10, P11	1端子 $I_{OL} = 0.4$ mA	$AV_{REF1} - 1.0$		$AV_{REF1}$	V

注1. P02-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90-P915

2. PCM0-PCM3, PCS1-PCS3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH5, AD0-AD15, A0-A15, CS0

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V) (2/2)

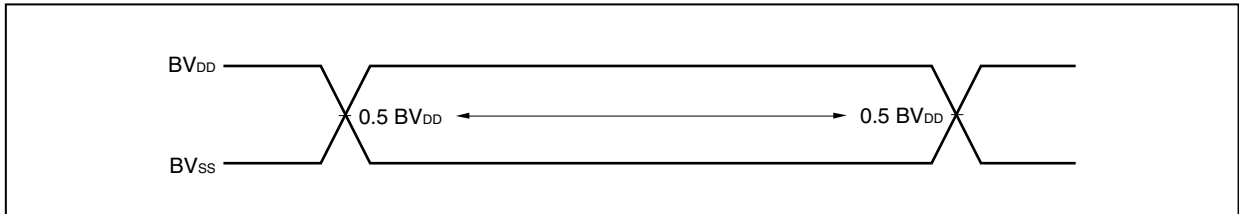
項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I <sub>LIH1</sub>	V <sub>IN</sub> = 3.0 ~ 3.6 V	X1以外の端子			5	μA
	I <sub>LIH2</sub>		X1			20	μA
ロウ・レベル入力リーク電流	I <sub>LIL1</sub>	V <sub>IN</sub> = 0 V	X1以外の端子			- 5	μA
	I <sub>LIL2</sub>		X1			- 20	μA
ハイ・レベル出力リーク電流	I <sub>LOH</sub>	V <sub>OUT</sub> = 3.0 ~ 3.6 V				5	μA
ロウ・レベル出力リーク電流	I <sub>LOL</sub>	V <sub>OUT</sub> = 0 V				- 5	μA
電源電流 <sup>注</sup>	I <sub>DD1</sub>	通常動作	f <sub>xx</sub> = 34 MHz		35	70	mA
	I <sub>DD2</sub>	HALTモード	f <sub>xx</sub> = 34 MHz		15	25	mA
	I <sub>DD3</sub>	IDLEモード	f <sub>x</sub> = 17 MHz		3	5	mA
	I <sub>DD4</sub>	STOPモード	OSC停止		150	250	μA

注 V<sub>DD</sub>の電流です(全ポート停止時)。EV<sub>DD</sub>, BV<sub>DD</sub>, AV<sub>REF0</sub>, AV<sub>REF1</sub>は含みません。

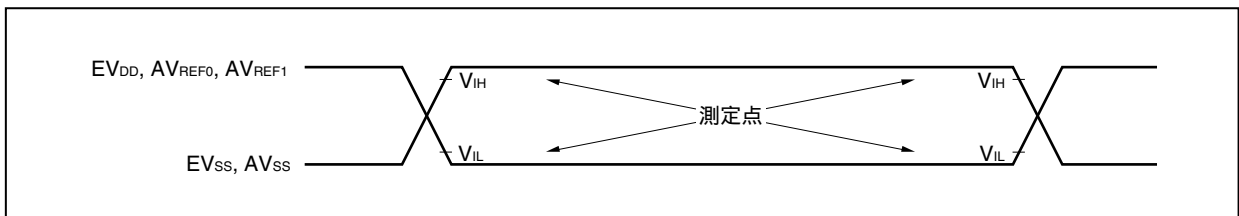
## 19.7 AC特性

### (1) ACテスト入力測定点

(a) (PCM0-PCM3, PCS1-PCS3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH5, AD0-AD15)



(b) 上記 (a) 以外

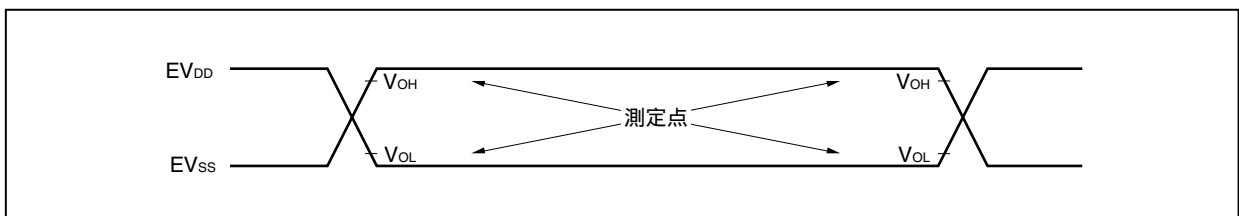


### (2) ACテスト出力測定点

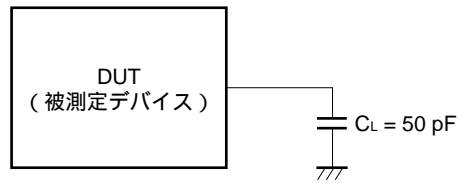
(a) (PCM0-PCM3, PCS1-PCS3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH5, AD0-AD15, A0-A15,  $\overline{CS0}$ )



(b) 上記 (a) 以外



## (3) 負荷条件



**注意** 回路構成により負荷容量が50 pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を50 pF以下にしてください。

### 19.7.1 X1外部クロック入力タイミング

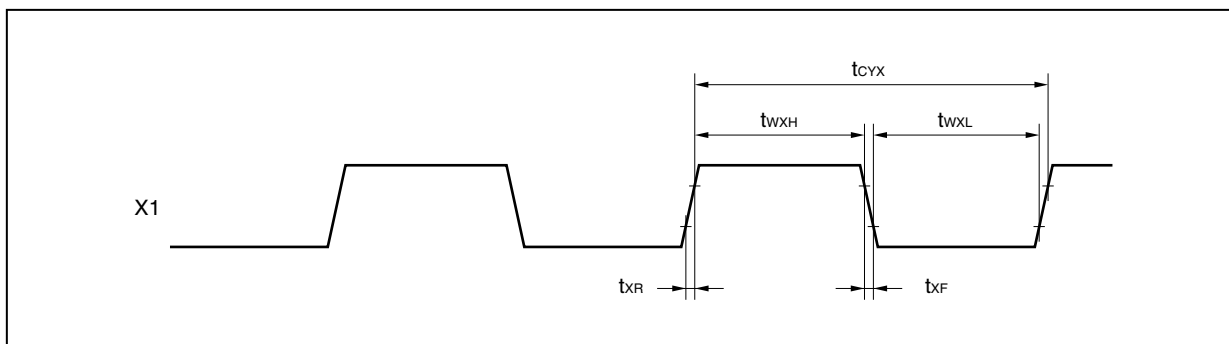
( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
入力周期	t <sub>CYX</sub>		58.8	100	ns
ハイ・レベル幅	t <sub>WXH</sub>		26.5		ns
ロウ・レベル幅	t <sub>WXL</sub>		26.5		ns
立ち上がり時間	t <sub>xR</sub>			0.5 (t <sub>CYX</sub> - t <sub>WXH</sub> - t <sub>WXL</sub> )	ns
立ち下がり時間	t <sub>xF</sub>			0.5 (t <sub>CYX</sub> - t <sub>WXH</sub> - t <sub>WXL</sub> )	ns

**注意** デューティ比は45% ~ 55%に収めてください

**備考** t<sub>WXH</sub> (MIN.) = t<sub>WXL</sub> (MIN.) = t<sub>CYX</sub> (MIN.) × 45%

#### 外部クロック入力タイミング

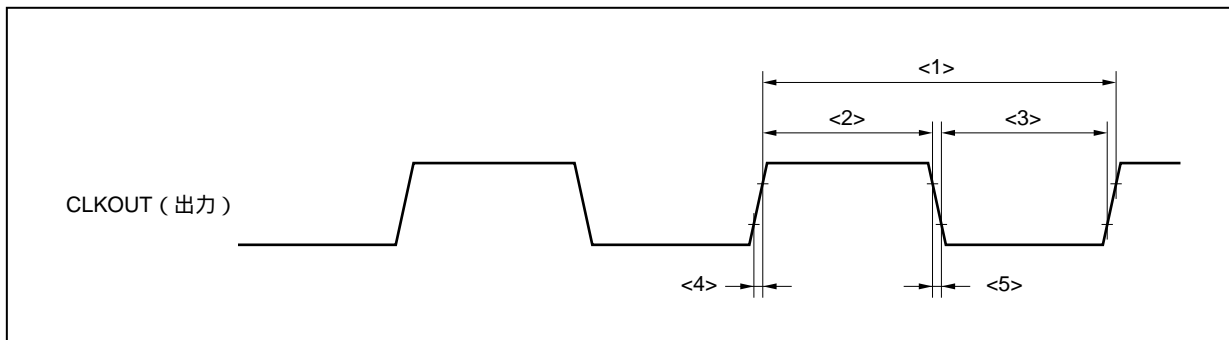


### 19.7.2 CLKOUT出力タイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t <sub>CYK</sub>	<1>	27.4 ns	1.665 μs	
ハイ・レベル幅	t <sub>WKH</sub>	<2>	t <sub>CYK</sub> /2 - 9		ns
ロウ・レベル幅	t <sub>WKL</sub>	<3>	t <sub>CYK</sub> /2 - 9		ns
立ち上がり時間	t <sub>KR</sub>	<4>		9	ns
立ち下がり時間	t <sub>KF</sub>	<5>		9	ns

#### クロック・タイミング



### 19.7.3 バス・タイミング

#### (1) セバレート・バス・モード時<sup>1</sup>

$\overline{CS1}$ 空間のモード設定にかかわらず、すべての場合に対象となります。

#### (a) リード・サイクル (CLKOUT非同期) (1/2)

: セバレート・アクセス セバレート・アクセス セバレート・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
アドレス $\overline{RD}$ 遅延時間	$t_{DARD1}$	<6>		$(0.5 + W_{AS}) T - 10$	ns
$\overline{RD}$ アドレス保持時間	$t_{HRDA1}$	<7>		$iT - 3^{\text{注}}$	ns
アドレス データ入力時間	$t_{DAID1}$	<8>		$(2 + W_D + W + W_{AS} + W_{AH}) T - 17$	ns
$\overline{RD}$ データ入力時間	$t_{DRDID1}$	<9>		$(1.5 + W_D + W + W_{AH}) T - 16$	ns
データ入力保持時間 (対 $\overline{RD}$ )	$t_{HRDID1}$	<10>		- 2	ns
$\overline{RD}$ ロウ・レベル幅	$t_{WRDL1}$	<11>		$(1.5 + W_D + W + W_{AH}) T - 10$	ns
アドレス $\overline{WAIT}$ 入力時間	$t_{DAWT1}$	<12>		$(1 + W_D + W + W_{AS} + W_{AH}) T - 20$	ns
アドレス $\overline{WAIT}$ 保持時間	$t_{HAWT1}$	<13>		$(1 + W_D + W + W_{AS} + W_{AH}) T$	ns
$\overline{RD}$ $\overline{WAIT}$ 入力時間	$t_{DRDWT1}$	<14>		$(0.5 + W_D + W + W_{AH}) T - 20$	ns
$\overline{RD}$ $\overline{WAIT}$ 保持時間	$t_{HRDWT1}$	<15>		$(0.5 + W_D + W + W_{AH}) T$	ns
$\overline{RD}$ データ出力遅延時間	$t_{DRDOD1}$	<16>		$(1 + i + W_{AS}) T - 7$	ns
$\overline{RD}$ ハイ・レベル幅	$t_{WRDH1}$	<17>		$(0.5 + i + W_{AS}) T - 3$	ns
$\overline{RD}$ $\overline{WRm}$ ハイ・レベル保持時間	$t_{HRDWR1}$	<18>		$(1 + i + W_{AS} + W_{AH}) T - 3$	ns

注  $\overline{RD}$ のロウ・レベル期間中にアドレスが変更される場合があります。アドレスの変更を回避する必要がある場合には、必ずアイドル・ウェイトを挿入してください。

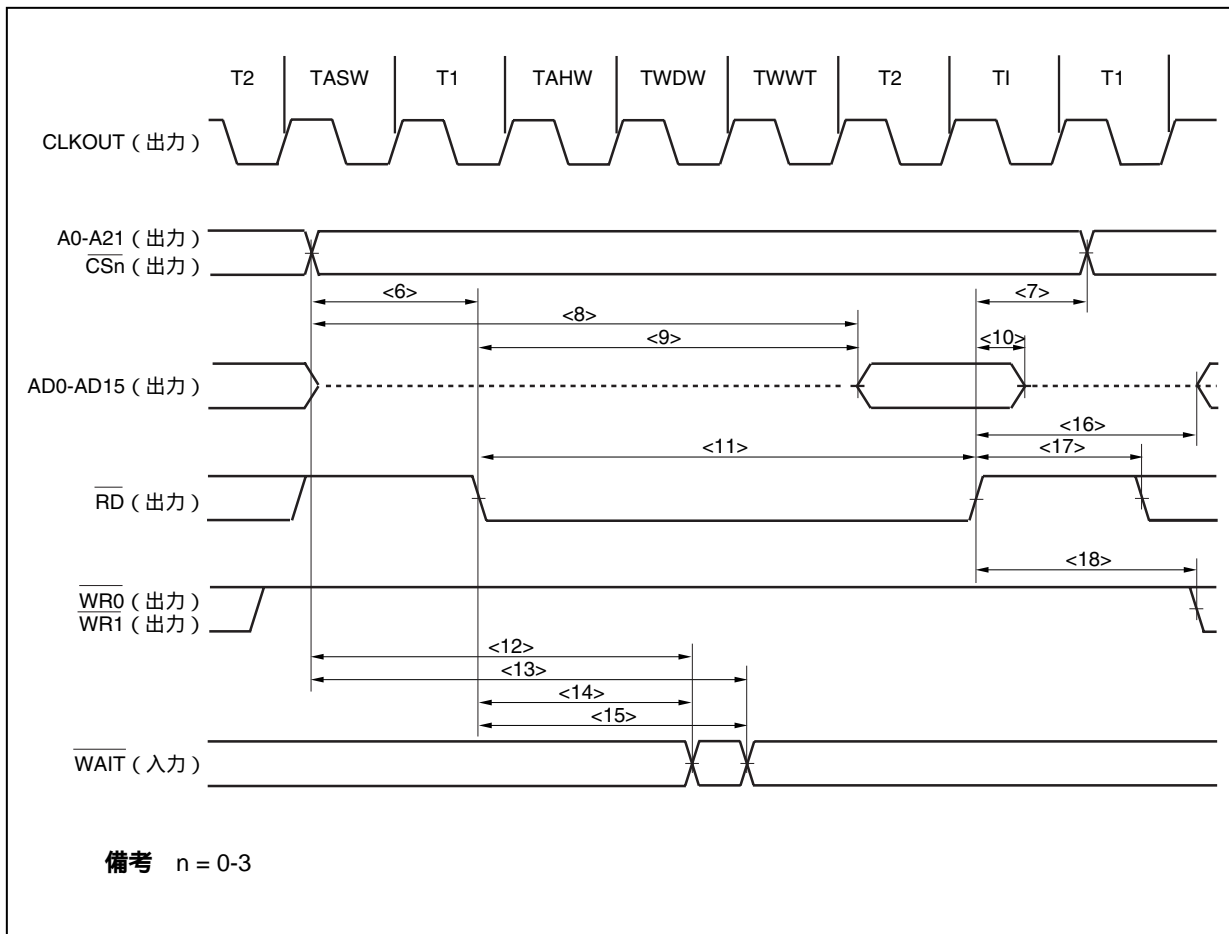
備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2.  $t_R$  : 入力パルス立ち上がり時間
3.  $t_F$  : 入力パルス立ち下がり時間
4.  $W_{AS}$  : AWC.ASWnビットによるアドレス・セットアップ・ウェイト数 ( $n = 0-3$ )
5.  $W_{AH}$  : AWC.AHWnビットによるアドレス・ホールド・ウェイト数 ( $n = 0-3$ )
6.  $W_D$  : DWC0レジスタによるウェイト数
7.  $w$  :  $\overline{WAIT}$ によるウェイト数
8.  $i$  : アイドル・ステート数
9.  $m = 0, 1$



(a) リード・サイクル (CLKOUT非同期) (2/2)

: セパレート・アクセス セパレート・アクセス セパレート・アクセス時

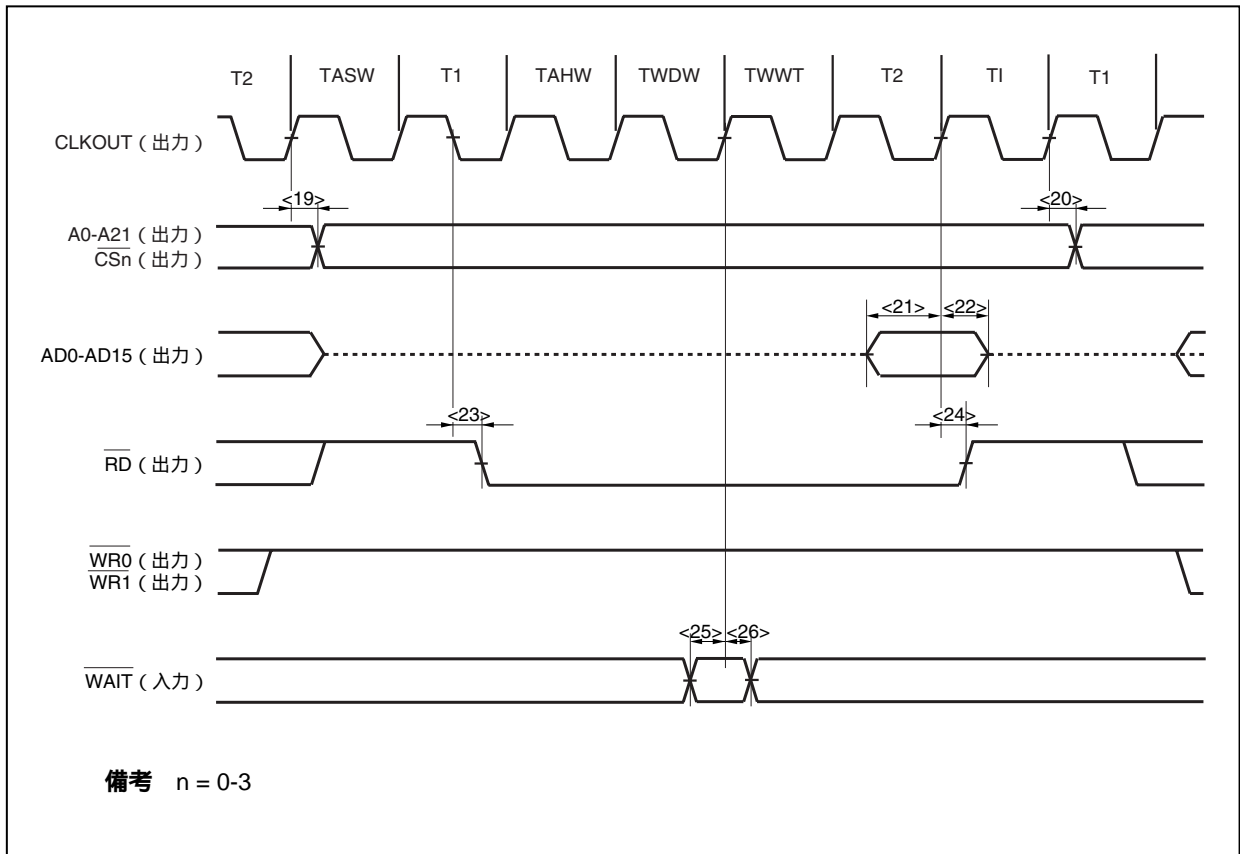


(b) リード・サイクル (CLKOUT同期)

: セバレート・アクセス セバレート・アクセス セバレート・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	$t_{DKA1}$	<19>	- 3	11	ns
CLKOUT アドレス保持時間	$t_{HKA1}$	<20>	- 3	11	ns
データ入力設定時間 (対CLKOUT )	$t_{SIDK1}$	<21>	18		ns
データ入力保持時間 (対CLKOUT )	$t_{HKID1}$	<22>	0		ns
CLKOUT $\overline{RD}$ 遅延時間	$t_{DKRD1}$	<23>	- 3	11	ns
CLKOUT $\overline{RD}$ 遅延時間	$t_{DKRD2}$	<24>	- 3	11	ns
WAIT設定時間 (対CLKOUT )	$t_{SWTK1}$	<25>	18		ns
WAIT保持時間 (対CLKOUT )	$t_{HKWT1}$	<26>	0		ns



(c) ライト・サイクル (CLKOUT非同期) (1/2)

: セバレート・アクセス セバレート・アクセス セバレート・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

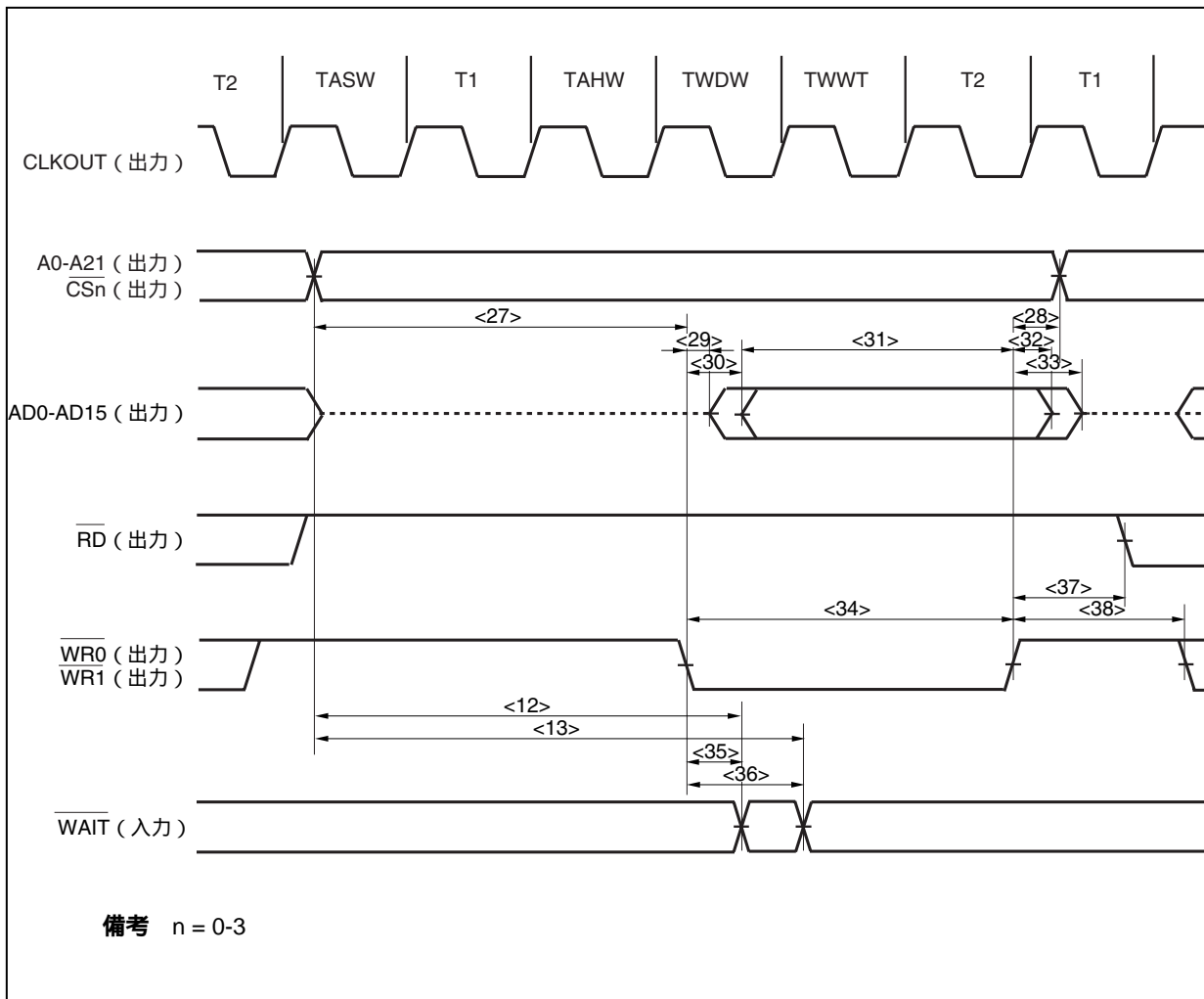
項目	略号	条件	MIN.	MAX.	単位
アドレス $\overline{WRm}$ 遅延時間	$t_{DAWR1}$	<27>	$(1 + W_{AS} + W_{AH}) T - 10$		ns
$\overline{WRm}$ アドレス保持時間	$t_{HWR1}$	<28>	$0.5T - 10$		ns
$\overline{WRm}$ バス出力遅延時間	$t_{DWR0D1}$	<29>	- 5		ns
$\overline{WRm}$ データ出力遅延時間	$t_{DWR0D2}$	<30>		7	ns
データ出力 $\overline{WRm}$ 遅延時間	$t_{DODWR1}$	<31>	$(0.5 + W_D + W) T - 10$		ns
$\overline{WRm}$ データ出力保持時間	$t_{HWR0D1}$	<32>	$0.5T - 10$		ns
$\overline{WRm}$ データ・フロート遅延時間	$t_{FWROD}$	<33>		$0.5T + 10$	ns
$\overline{WRm}$ ロウ・レベル幅	$t_{WWR1}$	<34>	$(0.5 + W_D + W) T - 10$		ns
アドレス $\overline{WAIT}$ 入力時間	$t_{DAWT1}$	<12>		$(1 + W_D + W + W_{AS} + W_{AH}) T - 20$	ns
アドレス $\overline{WAIT}$ 保持時間	$t_{HAWT1}$	<13>	$(1 + W_D + W + W_{AS} + W_{AH}) T$		ns
$\overline{WRm}$ $\overline{WAIT}$ 入力時間	$t_{DWRWT1}$	<35>		$(W_D + W) T - 20$	ns
$\overline{WRm}$ $\overline{WAIT}$ 保持時間	$t_{HWRWT1}$	<36>	$(W_D + W) T$		ns
$\overline{WRm}$ $\overline{RD}$ ハイ・レベル保持時間	$t_{HWRRD1}$	<37>	$(1 + W_{AS}) T - 10$		ns
$\overline{WRm}$ ハイ・レベル幅	$t_{WWRH1}$	<38>	$(1.5 + W_{AS} + W_{AH}) T - 10$		ns

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2.  $t_R$  : 入力パルス立ち上がり時間
3.  $t_F$  : 入力パルス立ち下がり時間
4.  $W_{AS}$  : AWC.ASWnビットによるアドレス・セットアップ・ウエイト数 ( $n = 0-3$ )
5.  $W_{AH}$  : AWC.AHWnビットによるアドレス・ホールド・ウエイト数 ( $n = 0-3$ )
6.  $W_D$  : DWC0レジスタによるウエイト数
7.  $W$  :  $\overline{WAIT}$ によるウエイト数
8.  $m = 0, 1$

(c) ライト・サイクル (CLKOUT非同期) (2/2)

: セパレート・アクセス セパレート・アクセス セパレート・アクセス時



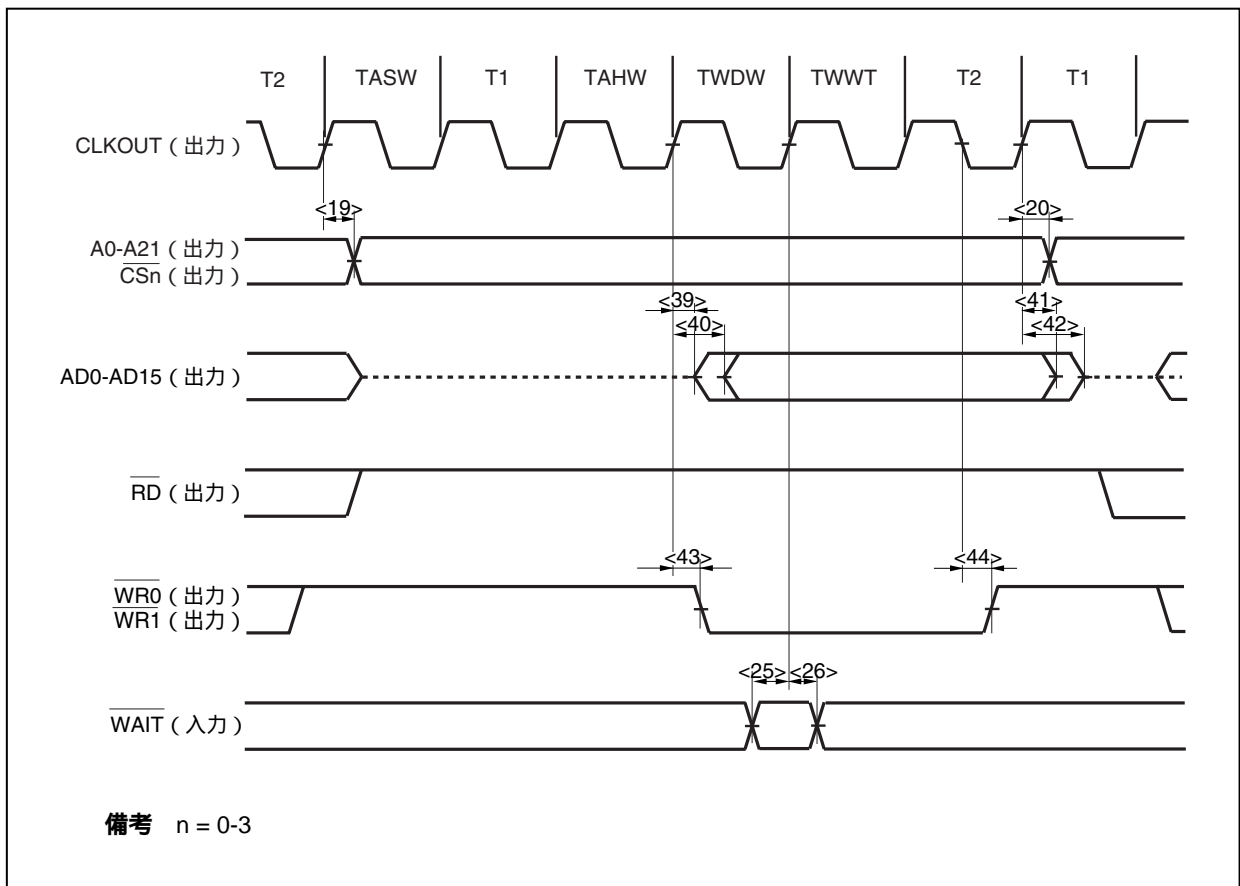
(d) ライト・サイクル (CLKOUT同期)

: セパレート・アクセス セパレート・アクセス セパレート・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	$t_{DKA1}$	<19>	- 3	11	ns
CLKOUT アドレス保持時間	$t_{HKA1}$	<20>	- 3	11	ns
CLKOUT バス出力遅延時間	$t_{DKOD1}$	<39>	0		ns
CLKOUT データ出力遅延時間	$t_{DKOD2}$	<40>		11	ns
CLKOUT データ出力保持時間	$t_{HKOD1}$	<41>	- 3		ns
CLKOUT ↑→データ・フロート遅延時間	$t_{FKOD}$	<42>		11	ns
CLKOUT $\overline{WRm}$ 遅延時間	$t_{DKWR1}$	<43>	- 3	11	ns
CLKOUT $\overline{WRm}$ 遅延時間	$t_{DKWR2}$	<44>	- 3	11	ns
WAIT設定時間 (対CLKOUT)	$t_{SWTK1}$	<25>	18		ns
WAIT保持時間 (対CLKOUT)	$t_{HKWT1}$	<26>	0		ns

備考 m = 0, 1



(2) マルチプレクス・バス・モード時1

$\overline{CS1}$ 空間をマルチプレクス・バス・モードで使用する場合，対象となります。

(a) リード・サイクル (CLKOUT非同期) (1/3)

：マルチプレクス・アクセス マルチプレクス・アクセス マルチプレクス・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_r = t_f = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
アドレス ASTB 遅延時間	$t_{DAST2}$	<45>	$(0.5 + W_{AS}) T - 8$		ns
ASTBハイ・レベル幅	$t_{WSTH}$	<46>	$(1 + W_{AS} + i) T - 8$		ns
ASTB アドレス保持時間	$t_{HSTA}$	<47>	$(0.5 + W_{AH}) T - 8$		ns
$\overline{RD}$ アドレス保持時間	$t_{HRDA2}$	<48>	$(1 + i) T - 10$		ns
アドレス $\overline{RD}$ 遅延時間	$t_{DARD2}$	<49>	$(1 + W_{AS} + W_{AH}) T - 8$		ns
$\overline{RD}$ アドレス・フロート遅延時間	$t_{FRDA}$	<50>		4	ns
アドレス データ入力時間	$t_{DAID2}$	<51>		$(2 + W_D + W + W_{AS} + W_{AH}) T - 20$	ns
ASTB データ入力時間	$t_{DSTID}$	<52>		$(1.5 + W_D + W + W_{AH}) T - 20$	ns
$\overline{RD}$ データ入力時間	$t_{DRDID2}$	<53>		$(1 + W_D + W) T - 20$	ns
ASTB $\overline{RD}$ 遅延時間	$t_{DSTRD3}$	<54>	$(0.5 + W_{AH}) T - 10$		ns
データ入力保持時間 (対 $\overline{RD}$ )	$t_{HRDID2}$	<55>	0		ns
$\overline{RD}$ バス出力遅延時間	$t_{DRDOD2}$	<56>	$(1 + i) T - 10$		ns
$\overline{RD}$ ASTB 遅延時間	$t_{DRDST}$	<57>	$0.5T - 8$		ns
$\overline{RD}$ ロウ・レベル幅	$t_{WRDL2}$	<58>	$(1 + W_D + W) T - 10$		ns
$\overline{RD}$ ハイ・レベル幅	$t_{WRDH2}$	<59>	$(2 + i + W_{AS} + W_{AH}) T - 10$		ns
$\overline{RD}$ $\overline{WRm}$ ハイ・レベル保持時間	$t_{HRDWR2}$	<60>	$(2 + i + W_{AS} + W_{AH}) T - 10$		ns

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

2.  $t_r$  : 入力パルス立ち上がり時間
3.  $t_f$  : 入力パルス立ち下がり時間
4.  $W_{AS}$  : AWC.ASWnビットによるアドレス・セットアップ・ウエイト数 ( $n = 0-3$ )
5.  $W_{AH}$  : AWC.AHWnビットによるアドレス・ホールド・ウエイト数 ( $n = 0-3$ )
6.  $W_D$  : DWC0レジスタによるウエイト数
7.  $w$  :  $\overline{WAIT}$ によるウエイト数
8.  $i$  : アイドル・ステート数
9.  $m = 0, 1$

(a) リード・サイクル (CLKOUT非同期) (2/3)

: マルチプレクス・アクセス マルチプレクス・アクセス マルチプレクス・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

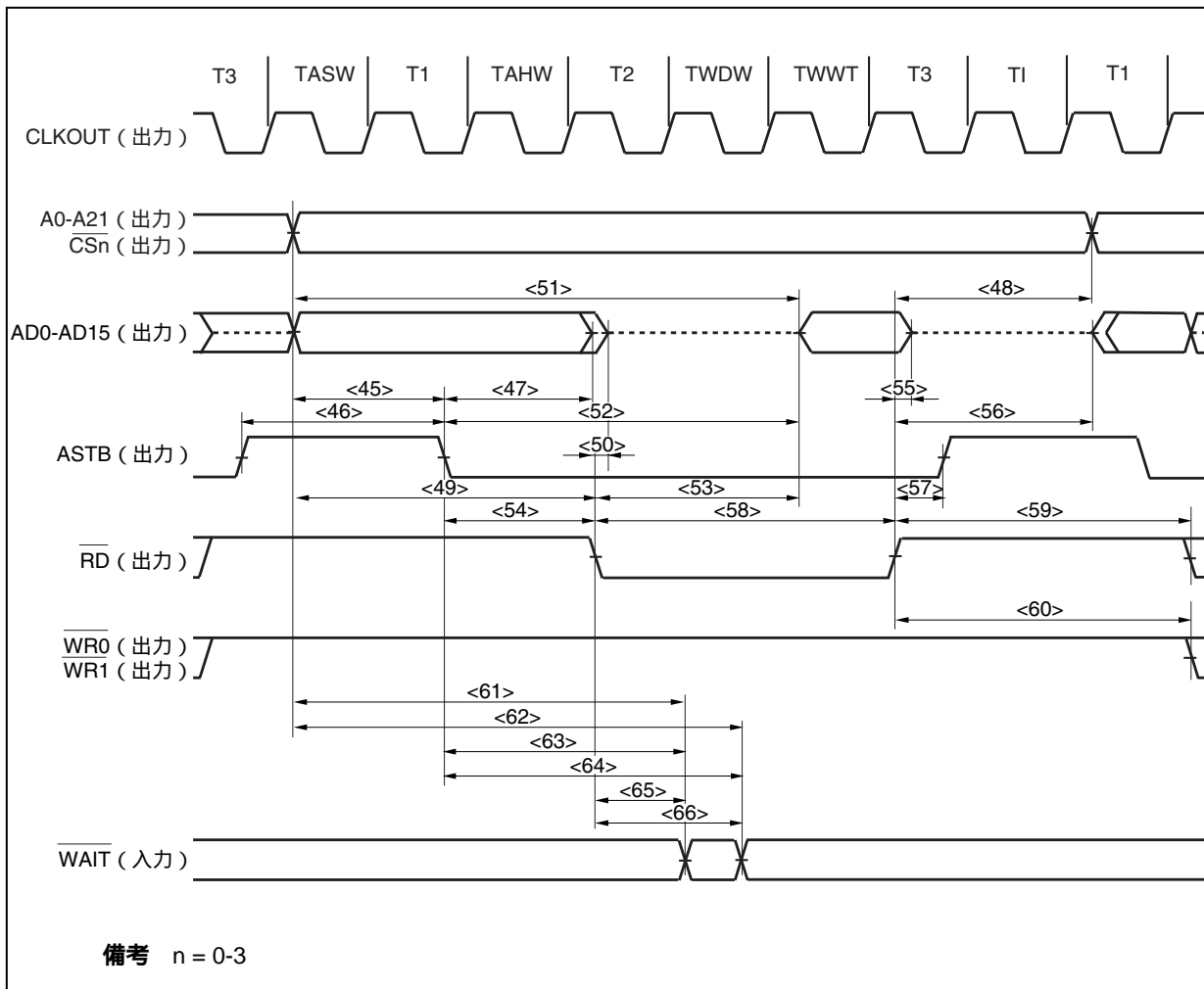
項目	略号	条件	MIN.	MAX.	単位
アドレス $\overline{WAIT}$ 入力時間	$t_{DAWT2}$	<61>		$(1.5 + W_D + W + W_{AS} + W_{AH}) T - 20$	ns
アドレス $\overline{WAIT}$ 保持時間	$t_{HAWT2}$	<62>	$(1.5 + W_D + W + W_{AS} + W_{AH}) T$		ns
ASTB $\overline{WAIT}$ 入力時間	$t_{dSTWT}$	<63>		$(1 + W_D + W + W_{AH}) T - 20$	ns
ASTB $\overline{WAIT}$ 保持時間	$t_{hSTWT}$	<64>	$(1 + W_D + W + W_{AH}) T$		ns
RD $\overline{WAIT}$ 入力時間	$t_{DRDWT2}$	<65>		$(0.5 + W_D + W) T - 20$	ns
RD $\overline{WAIT}$ 保持時間	$t_{HRDWT2}$	<66>	$(0.5 + W_D + W) T$		ns

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2.  $t_R$  : 入力パルス立ち上がり時間
3.  $t_F$  : 入力パルス立ち下がり時間
4.  $W_{AS}$  : AWC.ASWnビットによるアドレス・セットアップ・ウエイト数 ( $n = 0-3$ )
5.  $W_{AH}$  : AWC.AHWnビットによるアドレス・ホールド・ウエイト数 ( $n = 0-3$ )
6.  $W_D$  : DWC0レジスタによるウエイト数
7.  $W$  :  $\overline{WAIT}$ によるウエイト数

(a) リード・サイクル (CLKOUT非同期) (3/3)

: マルチプレクス・アクセス マルチプレクス・アクセス マルチプレクス・アクセス時



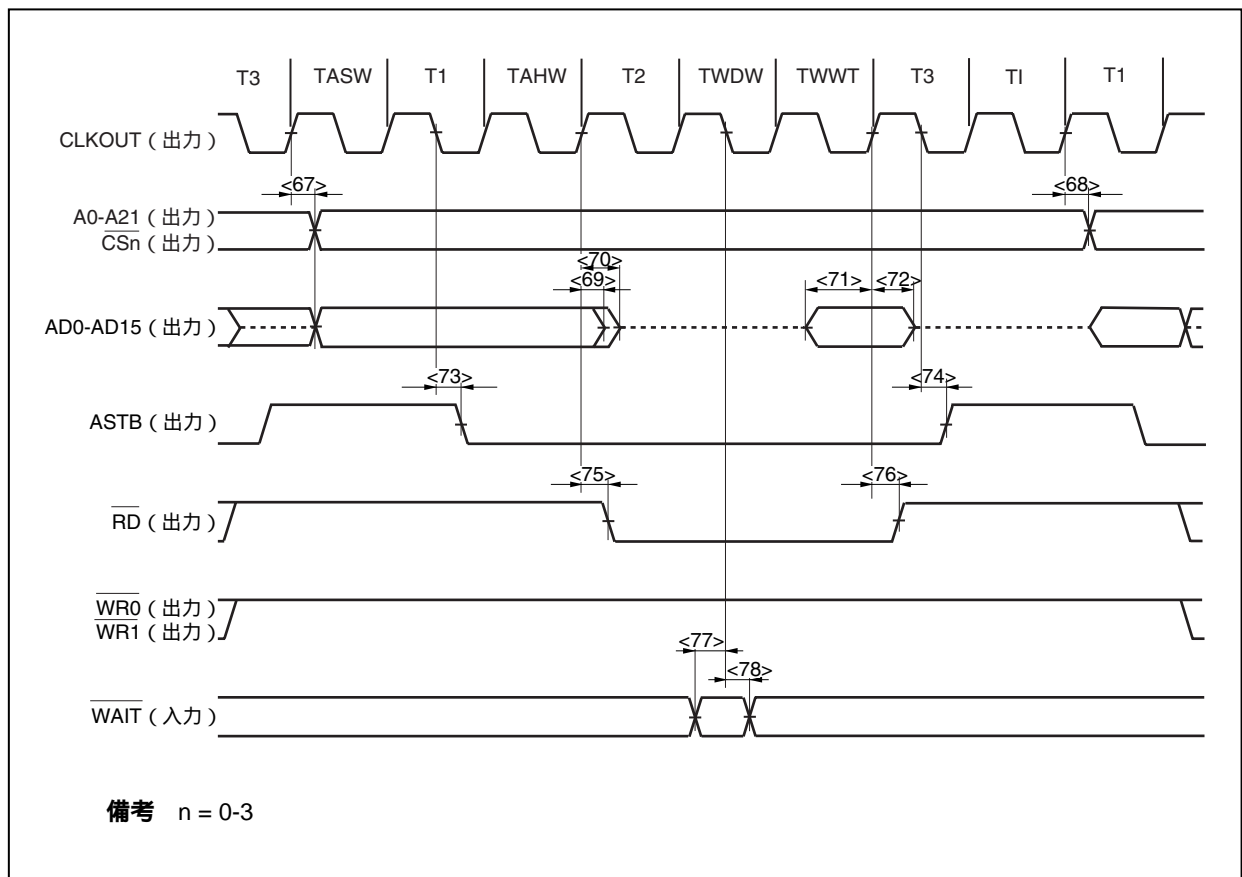


(b) リード・サイクル (CLKOUT同期)

: マルチプレクス・アクセス マルチプレクス・アクセス マルチプレクス・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	$t_{DKA2}$	<67>	- 3	11	ns
CLKOUT アドレス保持時間	$t_{HKA2}$	<68>	- 3	11	ns
	$t_{HKA3}$	<69>	- 3	11	ns
CLKOUT ↑ → アドレス・フロート遅延時間	$t_{FKA}$	<70>		11	ns
データ入力設定時間 (対CLKOUT)	$t_{SIDK2}$	<71>	18		ns
データ入力保持時間 (対CLKOUT)	$t_{HKID2}$	<72>	0		ns
CLKOUT ASTB 遅延時間	$t_{DKST3}$	<73>	- 3	11	ns
CLKOUT ASTB 遅延時間	$t_{DKST4}$	<74>	- 3	11	ns
CLKOUT $\overline{RD}$ 遅延時間	$t_{DKRD3}$	<75>	- 3	11	ns
CLKOUT $\overline{RD}$ 遅延時間	$t_{DKRD4}$	<76>	- 3	11	ns
WAIT設定時間 (対CLKOUT)	$t_{SWTK2}$	<77>	18		ns
WAIT保持時間 (対CLKOUT)	$t_{HKWT2}$	<78>	0		ns



(c) ライト・サイクル (CLKOUT非同期) (1/2)

: マルチプレクス・アクセス マルチプレクス・アクセス マルチプレクス・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

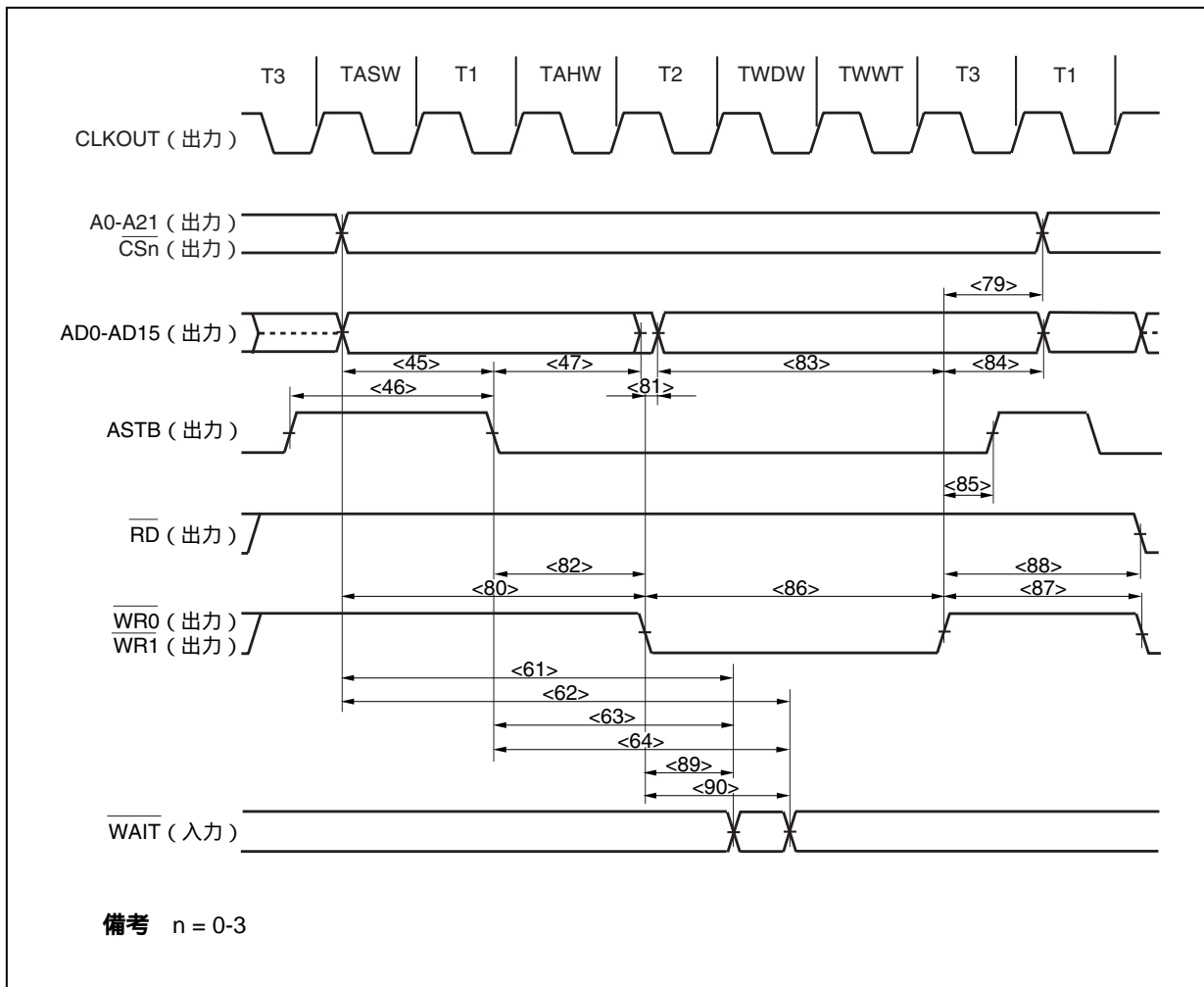
項目	略号	条件	MIN.	MAX.	単位
アドレス ASTB 遅延時間	$t_{DAST2}$	<45>	$(0.5 + W_{AS}) T - 8$		ns
ASTBハイ・レベル幅	$t_{WSTH}$	<46>	$(1 + W_{AS} + i) T - 8$		ns
ASTB アドレス保持時間	$t_{HSTA}$	<47>	$(0.5 + W_{AH}) T - 8$		ns
$\overline{WRm}$ アドレス保持時間	$t_{HWRA2}$	<79>	$T - 10$		ns
アドレス $\overline{WRm}$ 遅延時間	$t_{DAWR2}$	<80>	$(1 + W_{AS} + W_{AH}) T - 10$		ns
$\overline{WRm}$ データ出力遅延時間	$t_{DWRD3}$	<81>		10	ns
ASTB $\overline{WRm}$ 遅延時間	$t_{DSTWR3}$	<82>	$(0.5 + W_{AH}) T - 10$		ns
データ出力 $\overline{WRm}$ 遅延時間	$t_{DODWR2}$	<83>	$(1 + W_D + w) T - 10$		ns
$\overline{WRm}$ データ出力保持時間	$t_{HWROD2}$	<84>	$T - 10$		ns
$\overline{WRm}$ ASTB 遅延時間	$t_{DWRST}$	<85>	$0.5T - 8$		ns
$\overline{WRm}$ 口ウ・レベル幅	$t_{WWRL2}$	<86>	$(1 + W_D + w) T - 10$		ns
$\overline{WRm}$ ハイ・レベル幅	$t_{WWRH2}$	<87>	$(2 + W_{AS} + W_{AH}) T - 10$		ns
$\overline{WRm}$ RDハイ・レベル保持時間	$t_{HWRRD2}$	<88>	$(2 + W_{AS} + W_{AH}) T - 10$		ns
アドレス $\overline{WAIT}$ 入力時間	$t_{DAWT2}$	<61>		$(1.5 + W_D + w + W_{AS} + W_{AH}) T - 20$	ns
アドレス $\overline{WAIT}$ 入力保持時間	$t_{HAWT2}$	<62>	$(1.5 + W_D + w + W_{AS} + W_{AH}) T$		ns
ASTB $\overline{WAIT}$ 入力時間	$t_{DSTWT}$	<63>		$(1 + W_D + w + W_{AH}) T - 20$	ns
ASTB $\overline{WAIT}$ 入力保持時間	$t_{HSTWT}$	<64>	$(1 + W_D + w + W_{AH}) T$		ns
$\overline{WRm}$ $\overline{WAIT}$ 入力時間	$t_{DWRWT2}$	<89>		$(0.5 + W_D + w) T - 20$	ns
$\overline{WRm}$ $\overline{WAIT}$ 入力保持時間	$t_{HWRWT2}$	<90>	$(0.5 + W_D + w) T$		ns

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2.  $t_R$  : 入力パルス立ち上がり時間
3.  $t_F$  : 入力パルス立ち下がり時間
4.  $W_{AS}$  : AWC.ASWnビットによるアドレス・セットアップ・ウエイト数 ( $n = 0-3$ )
5.  $W_{AH}$  : AWC.AHWnビットによるアドレス・ホールド・ウエイト数 ( $n = 0-3$ )
6.  $W_D$  : DWC0レジスタによるウエイト数
7.  $w$  :  $\overline{WAIT}$ によるウエイト数
8.  $i$  : アイドル・ステート数
9.  $m = 0, 1$

(c) ライト・サイクル (CLKOUT非同期) (2/2)

: マルチプレクス・アクセス マルチプレクス・アクセス マルチプレクス・アクセス時



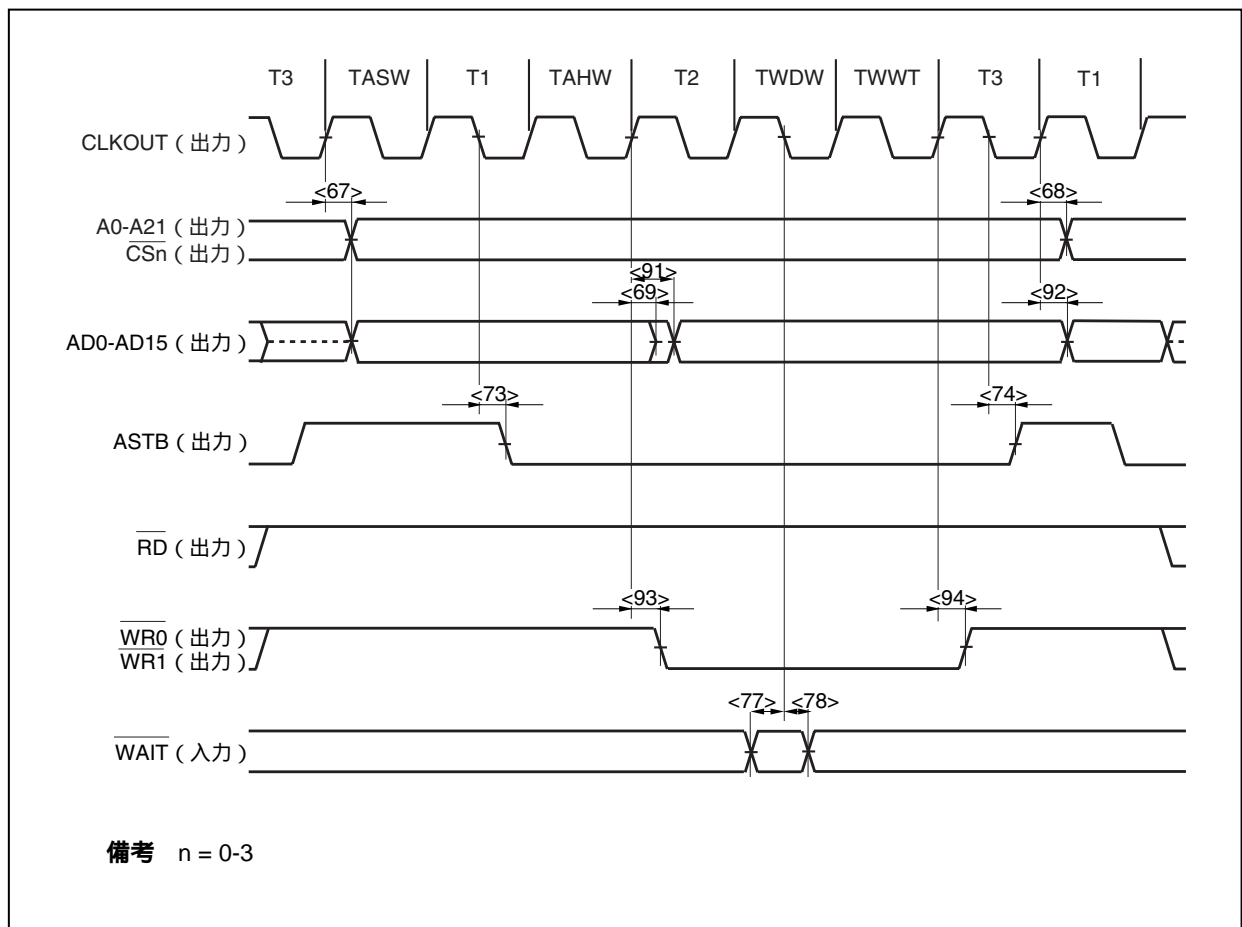
(d) ライト・サイクル (CLKOUT同期)

: マルチプレクス・アクセス マルチプレクス・アクセス マルチプレクス・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	$t_{DKA2}$	<67>	- 3	11	ns
CLKOUT アドレス保持時間	$t_{HKA2}$	<68>	- 3	11	ns
	$t_{HKA3}$	<69>	- 3	11	ns
CLKOUT ASTB 遅延時間	$t_{DKST3}$	<73>	- 3	11	ns
CLKOUT ASTB 遅延時間	$t_{DKST4}$	<74>	- 3	11	ns
CLKOUT データ出力遅延時間	$t_{DKOD3}$	<91>		11	ns
CLKOUT データ出力保持時間	$t_{HKOD2}$	<92>	- 3		ns
CLKOUT $\overline{WRm}$ 遅延時間	$t_{DKWR3}$	<93>	- 3	11	ns
CLKOUT $\overline{WRm}$ 遅延時間	$t_{DKWR4}$	<94>	- 3	11	ns
WAIT設定時間 (対CLKOUT)	$t_{SWTK2}$	<77>	18		ns
WAIT保持時間 (対CLKOUT)	$t_{HKWT2}$	<78>	0		ns

備考 m = 0, 1



(3) セバレート・バス・モード時2

$\overline{CS1}$ 空間をマルチプレクス・バス・モードに設定した場合が対象となります。

(a) リード・サイクル (CLKOUT非同期) (1/2)

: マルチプレクス・アクセス セバレート・アクセス マルチプレクス・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_r = t_f = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
アドレス $\overline{RD}$ 遅延時間	$t_{DARD1}$	<6>	$(0.5 + W_{AS}) T - 10$		ns
$\overline{RD}$ アドレス保持時間	$t_{HRDA1}$	<7>	$iT - 3^{\text{注}}$		ns
アドレス データ入力時間	$t_{DAID1}$	<8>		$(2 + W_D + W + W_{AS} + W_{AH}) T - 17$	ns
$\overline{RD}$ データ入力時間	$t_{DRDID1}$	<9>		$(1.5 + W_D + W + W_{AH}) T - 16$	ns
データ入力保持時間 (対 $\overline{RD}$ )	$t_{HRDID1}$	<10>	- 2		ns
$\overline{RD}$ ロウ・レベル幅	$t_{WRDL1}$	<11>	$(1.5 + W_D + W + W_{AH}) T - 10$		ns
アドレス $\overline{WAIT}$ 入力時間	$t_{DAWT1}$	<12>		$(1 + W_D + W + W_{AS} + W_{AH}) T - 20$	ns
アドレス $\overline{WAIT}$ 保持時間	$t_{HAWT1}$	<13>	$(1 + W_D + W + W_{AS} + W_{AH}) T$		ns
$\overline{RD}$ $\overline{WAIT}$ 入力時間	$t_{DRDWT1}$	<14>		$(0.5 + W_D + W + W_{AH}) T - 20$	ns
$\overline{RD}$ $\overline{WAIT}$ 保持時間	$t_{HRDWT1}$	<15>	$(0.5 + W_D + W + W_{AH}) T$		ns
$\overline{RD}$ データ出力遅延時間	$t_{DRDOD3}$	<95>	$(i + W_{AS}) T - 7$		ns
$\overline{RD}$ ハイ・レベル幅	$t_{WRDH3}$	<96>	$(1 + i + W_{AS} + W_{AH}) T - 3$		ns
$\overline{RD}$ $\overline{WRm}$ ハイ・レベル保持時間	$t_{HRDWR1}$	<18>	$(1 + i + W_{AS} + W_{AH}) T - 3$		ns

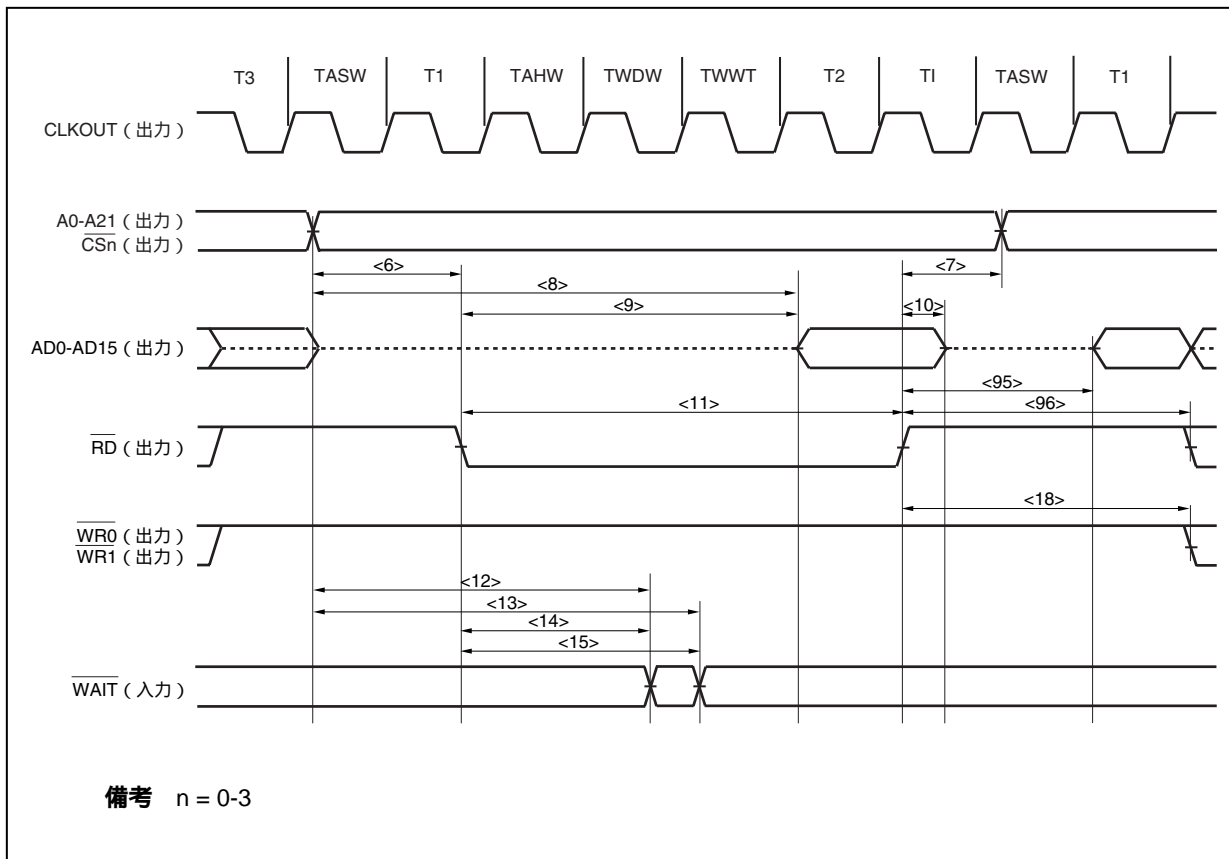
注  $\overline{RD}$ のロウ・レベル期間中にアドレスが変更される場合があります。アドレスの変更を回避する必要がある場合には、必ずアイドル・ウエイトを挿入してください。

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2.  $t_r$  : 入力パルス立ち上がり時間
3.  $t_f$  : 入力パルス立ち下がり時間
4.  $W_{AS}$  : AWC.ASWnビットによるアドレス・セットアップ・ウエイト数 ( $n = 0-3$ )
5.  $W_{AH}$  : AWC.AHWnビットによるアドレス・ホールド・ウエイト数 ( $n = 0-3$ )
6.  $W_D$  : DWC0レジスタによるウエイト数
7.  $w$  :  $\overline{WAIT}$ によるウエイト数
8.  $i$  : アイドル・ステート数
9.  $m = 0, 1$

(a) リード・サイクル (CLKOUT非同期) (2/2)

: マルチプレクス・アクセス セパレート・アクセス マルチプレクス・アクセス時

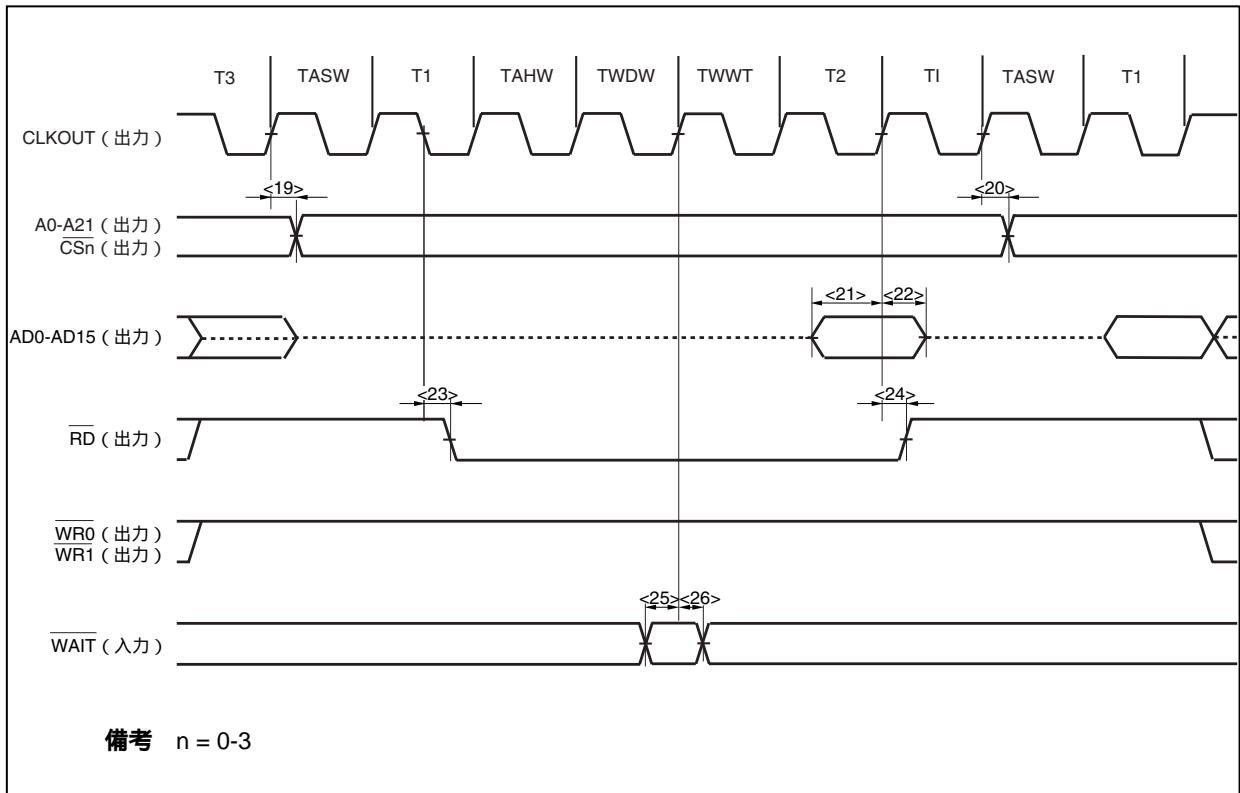


(b) リード・サイクル (CLKOUT同期)

: マルチプレクス・アクセス セパレート・アクセス マルチプレクス・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	$t_{DKA1}$	<19>	- 3	11	ns
CLKOUT アドレス保持時間	$t_{HKA1}$	<20>	- 3	11	ns
データ入力設定時間 (対CLKOUT )	$t_{SIDK1}$	<21>	18		ns
データ入力保持時間 (対CLKOUT )	$t_{HKID1}$	<22>	0		ns
CLKOUT $\overline{RD}$ 遅延時間	$t_{DKRD1}$	<23>	- 3	11	ns
CLKOUT $\overline{RD}$ 遅延時間	$t_{DKRD2}$	<24>	- 3	11	ns
WAIT設定時間 (対CLKOUT )	$t_{SWTK1}$	<25>	18		ns
WAIT保持時間 (対CLKOUT )	$t_{HKWT1}$	<26>	0		ns



(c) ライト・サイクル (CLKOUT非同期) (1/2)

: マルチプレクス・アクセス セパレート・アクセス マルチプレクス・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
アドレス $\overline{WR}_m$ 遅延時間	$t_{DAWR1}$	<27>	$(1 + W_{AS} + W_{AH}) T - 10$		ns
$\overline{WR}_m$ アドレス保持時間	$t_{HWR1}$	<28>	$0.5T - 10$		ns
$\overline{WR}_m$ バス出力遅延時間	$t_{DWR0D1}$	<29>	- 5		ns
$\overline{WR}_m$ データ出力遅延時間	$t_{DWR0D2}$	<30>		7	ns
データ出力 $\overline{WR}_m$ 遅延時間	$t_{DODWR1}$	<31>	$(0.5 + W_D + W) T - 10$		ns
$\overline{WR}_m$ データ出力保持時間	$t_{HWR0D1}$	<32>	$0.5T - 10$		ns
$\overline{WR}_m$ データ・フロート遅延時間	$t_{FWROD}$	<33>		$0.5T + 10$	ns
$\overline{WR}_m$ ロウ・レベル幅	$t_{WWR1}$	<34>	$(0.5 + W_D + W) T - 10$		ns
アドレス $\overline{WAIT}$ 入力時間	$t_{DAWT1}$	<12>		$(1 + W_D + W + W_{AS} + W_{AH}) T - 20$	ns
アドレス $\overline{WAIT}$ 保持時間	$t_{HAWT1}$	<13>	$(1 + W_D + W + W_{AS} + W_{AH}) T$		ns
$\overline{WR}_m$ $\overline{WAIT}$ 入力時間	$t_{DWRWT1}$	<35>		$(W_D + W) T - 20$	ns
$\overline{WR}_m$ $\overline{WAIT}$ 保持時間	$t_{HWRWT1}$	<36>	$(W_D + W) T$		ns
$\overline{WR}_m$ $\overline{RD}$ ハイ・レベル保持時間	$t_{HWRRD3}$	<97>	$(1.5 + W_{AS} + W_{AH}) T - 10$		ns
$\overline{WR}_m$ ハイ・レベル幅	$t_{WWRH1}$	<38>	$(1.5 + W_{AS} + W_{AH}) T - 10$		ns

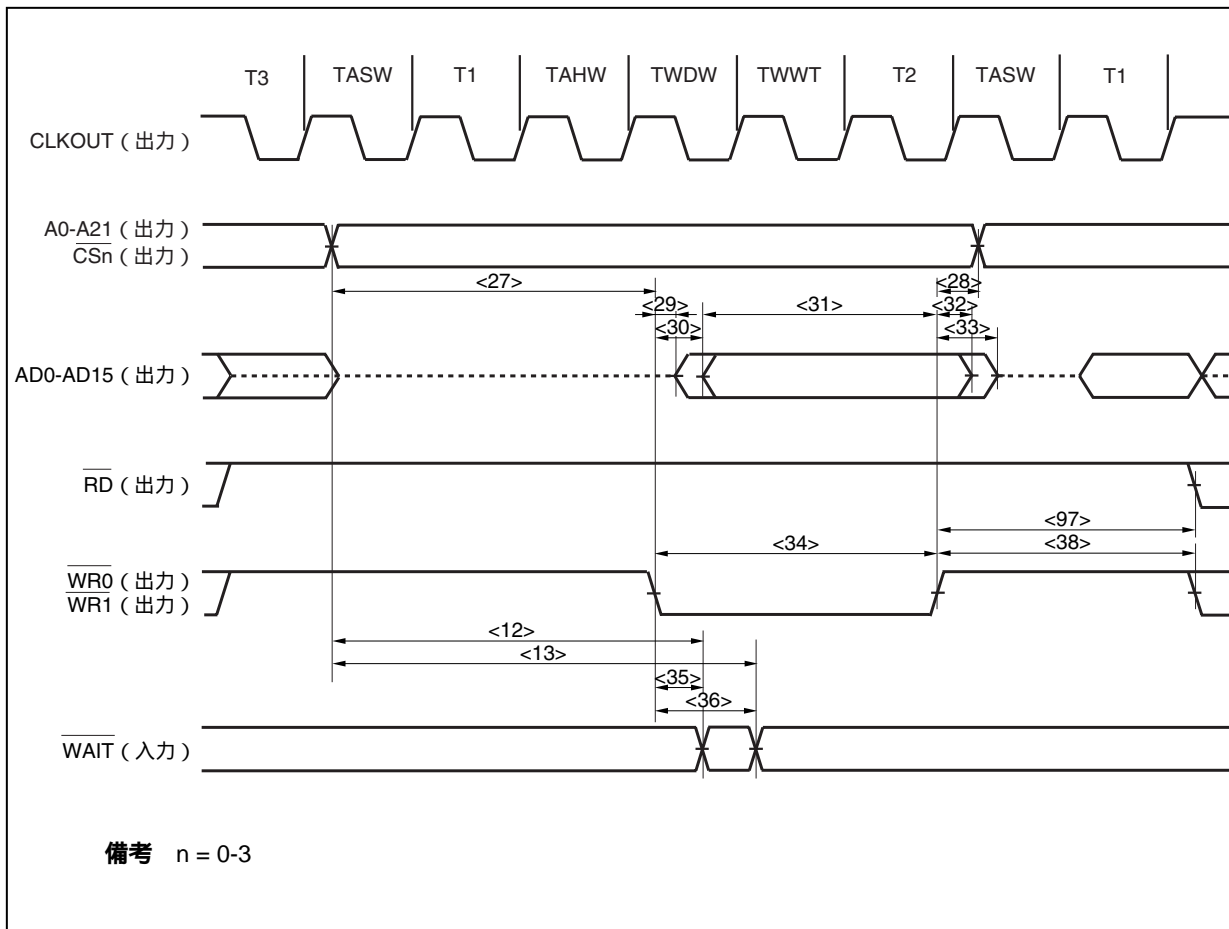
備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2.  $t_R$  : 入力パルス立ち上がり時間
3.  $t_F$  : 入力パルス立ち下がり時間
4.  $W_{AS}$  : AWC.ASWnビットによるアドレス・セットアップ・ウエイト数 ( $n = 0-3$ )
5.  $W_{AH}$  : AWC.AHWnビットによるアドレス・ホールド・ウエイト数 ( $n = 0-3$ )
6.  $W_D$  : DWC0レジスタによるウエイト数
7.  $W$  :  $\overline{WAIT}$ によるウエイト数
8.  $m = 0, 1$



(c) ライト・サイクル (CLKOUT非同期) (2/2)

: マルチプレクス・アクセス セパレート・アクセス マルチプレクス・アクセス時



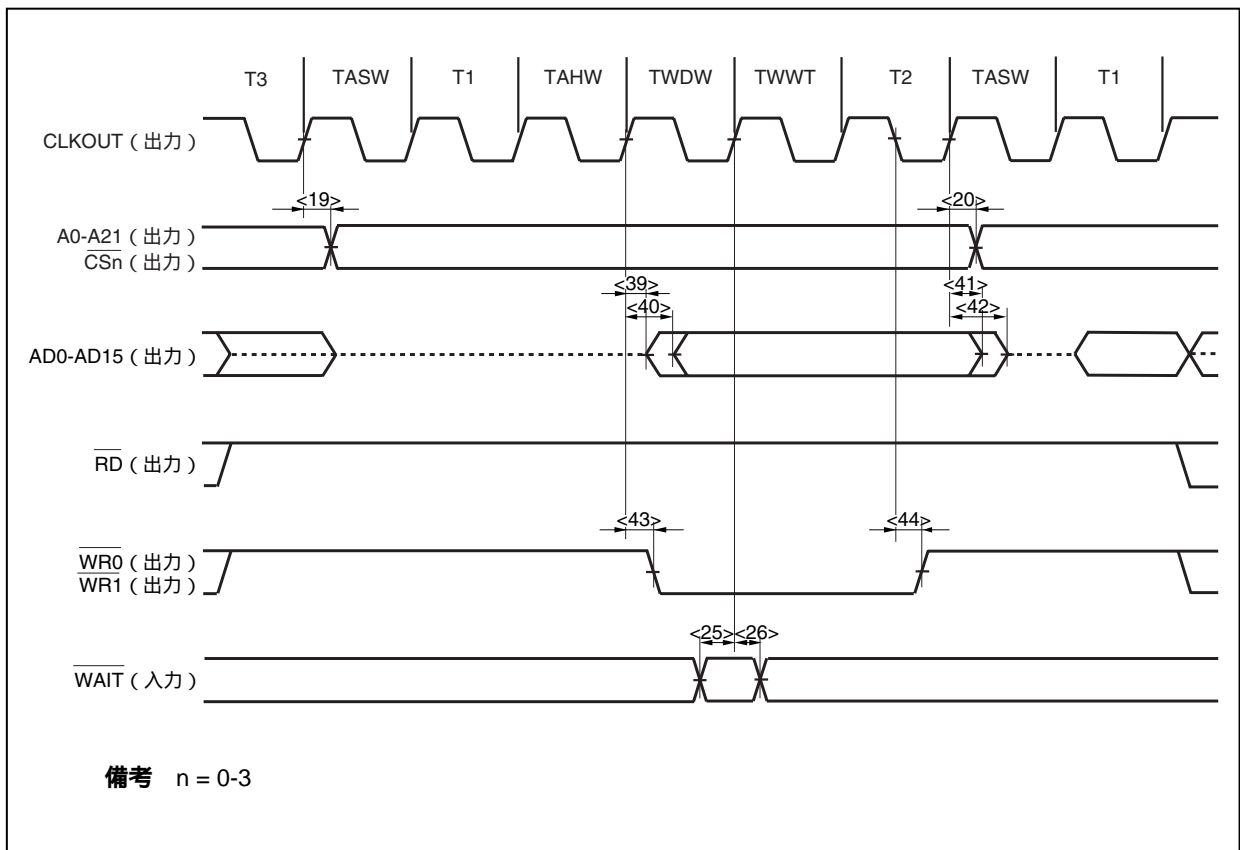
(d) ライト・サイクル (CLKOUT同期)

: マルチプレクス・アクセス セパレート・アクセス マルチプレクス・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	$t_{DKA1}$	<19>	- 3	11	ns
CLKOUT アドレス保持時間	$t_{HKA1}$	<20>	- 3	11	ns
CLKOUT バス出力遅延時間	$t_{DKOD1}$	<39>	0		ns
CLKOUT データ出力遅延時間	$t_{DKOD2}$	<40>		11	ns
CLKOUT データ出力保持時間	$t_{HKOD1}$	<41>	- 3		ns
CLKOUT ↑→データ・フロート遅延時間	$t_{FKOD}$	<42>		11	ns
CLKOUT $\overline{WRm}$ 遅延時間	$t_{DKWR1}$	<43>	- 3	11	ns
CLKOUT $\overline{WRm}$ 遅延時間	$t_{DKWR2}$	<44>	- 3	11	ns
WAIT設定時間 (対CLKOUT)	$t_{SWTK1}$	<25>	18		ns
WAIT保持時間 (対CLKOUT)	$t_{HKWT1}$	<26>	0		ns

備考 m = 0, 1



(4) マルチプレクス・バス・モード時2

$\overline{CS1}$ 空間をマルチプレクス・バス・モードで使用する場合、対象となります。

(a) リード・サイクル (CLKOUT非同期) (1/2)

: セパレート・アクセス マルチプレクス・アクセス セパレート・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
アドレス ASTB 遅延時間	$t_{DAST3}$	<98>	0.5T - 8		ns
ASTBハイ・レベル幅	$t_{WSTH}$	<46>	$(1 + W_{AS} + i) T - 8$		ns
ASTB アドレス保持時間	$t_{HSTA}$	<47>	$(0.5 + W_{AH}) T - 8$		ns
$\overline{RD}$ アドレス保持時間	$t_{HRDA2}$	<48>	$(1 + i) T - 10$		ns
アドレス $\overline{RD}$ 遅延時間	$t_{DARD3}$	<99>	$(1 + W_{AH}) T - 8$		ns
$\overline{RD}$ アドレス・フロート遅延時間	$t_{FRDA}$	<50>		4	ns
アドレス データ入力時間	$t_{DAID3}$	<100>		$(2 + W_D + W + W_{AH}) T - 20$	ns
ASTB データ入力時間	$t_{DSTID}$	<52>		$(1.5 + W_D + W + W_{AH}) T - 20$	ns
$\overline{RD}$ データ入力時間	$t_{DRDID2}$	<53>		$(1 + W_D + W) T - 20$	ns
ASTB $\overline{RD}$ 遅延時間	$t_{DSTRD3}$	<54>	$(0.5 + W_{AH}) T - 10$		ns
データ入力保持時間 (対 $\overline{RD}$ )	$t_{HRDID2}$	<55>	0		ns
$\overline{RD}$ バス出力遅延時間	$t_{DRDOD4}$	<101>	$(2 + i + W_{AS}) T - 10$		ns
$\overline{RD}$ ASTB 遅延時間	$t_{DRDST}$	<57>	0.5T - 8		ns
$\overline{RD}$ ロウ・レベル幅	$t_{WRDL2}$	<58>	$(1 + W_D + W) T - 10$		ns
$\overline{RD}$ ハイ・レベル幅	$t_{WRDH4}$	<102>	$(1.5 + i + W_{AS}) T - 10$		ns
$\overline{RD}$ $\overline{WRm}$ ハイ・レベル保持時間	$t_{HRDWR2}$	<60>	$(2 + i + W_{AS} + W_{AH}) T - 10$		ns

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2.  $t_R$  : 入力パルス立ち上がり時間
3.  $t_F$  : 入力パルス立ち下がり時間
4.  $W_{AS}$  : AWC.ASWnビットによるアドレス・セットアップ・ウエイト数 ( $n = 0-3$ )
5.  $W_{AH}$  : AWC.AHWnビットによるアドレス・ホールド・ウエイト数 ( $n = 0-3$ )
6.  $W_D$  : DWC0レジスタによるウエイト数
7.  $w$  :  $\overline{WAIT}$ によるウエイト数
8.  $i$  : アイドル・ステート数
9.  $m = 0, 1$

(a) リード・サイクル (CLKOUT非同期) (2/2)

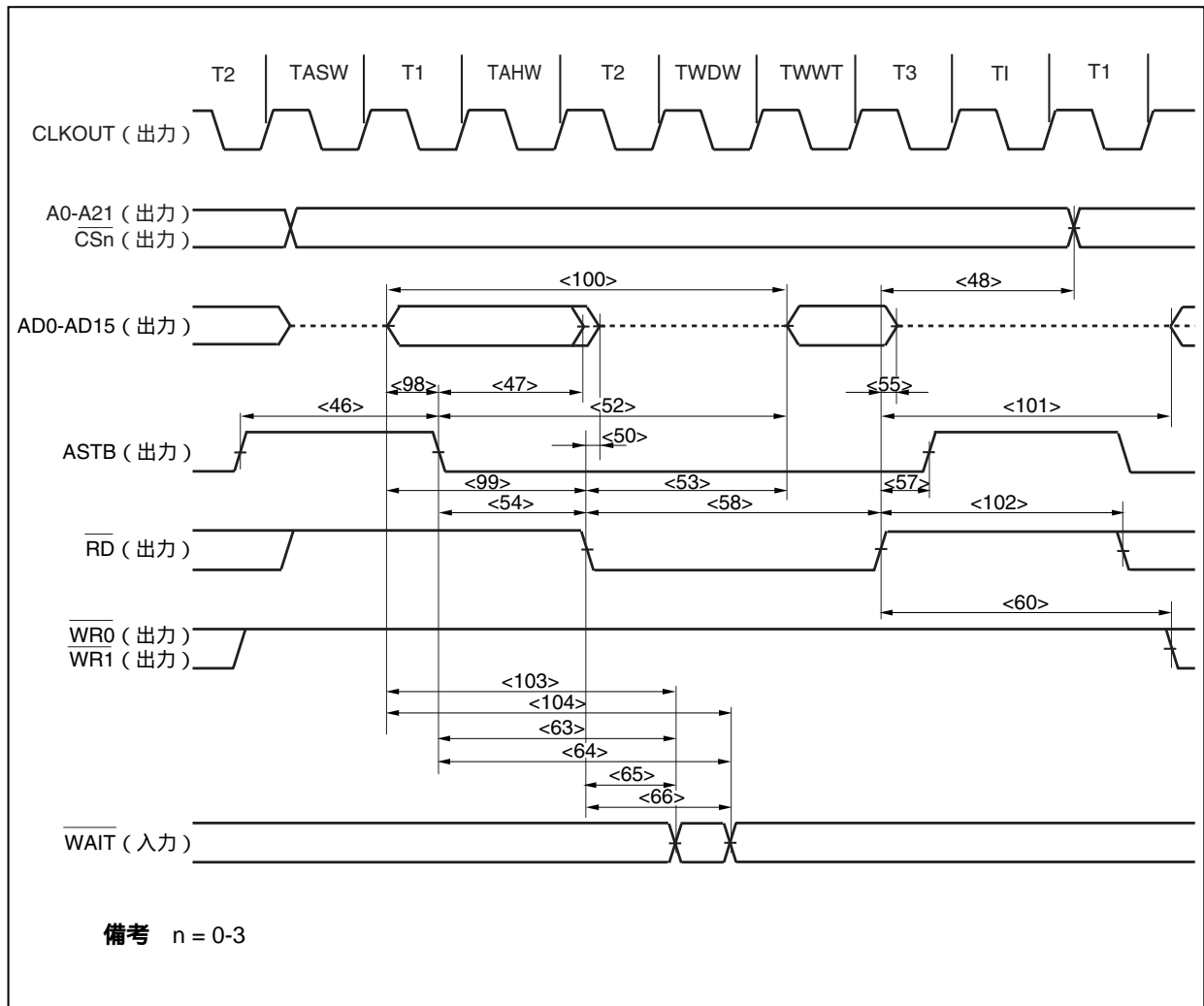
: セバレート・アクセス マルチプレクス・アクセス セバレート・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
アドレス $\overline{\text{WAIT}}$ 入力時間	$t_{DAWT3}$	<103>		$(1.5 + w_D + w + w_{WAH}) T - 20$	ns
アドレス $\overline{\text{WAIT}}$ 保持時間	$t_{HAWT3}$	<104>	$(1.5 + w_D + w + w_{WAH}) T$		ns
$\overline{\text{ASTB}}$ $\overline{\text{WAIT}}$ 入力時間	$t_{DSTWT}$	<63>		$(1 + w_D + w + w_{WAH}) T - 20$	ns
$\overline{\text{ASTB}}$ $\overline{\text{WAIT}}$ 保持時間	$t_{HSTWT}$	<64>	$(1 + w_D + w + w_{WAH}) T$		ns
$\overline{\text{RD}}$ $\overline{\text{WAIT}}$ 入力時間	$t_{DRDWT2}$	<65>		$(0.5 + w_D + w) T - 20$	ns
$\overline{\text{RD}}$ $\overline{\text{WAIT}}$ 保持時間	$t_{HRDWT2}$	<66>	$(0.5 + w_D + w) T$		ns

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2.  $t_R$  : 入力パルス立ち上がり時間
3.  $t_F$  : 入力パルス立ち下がり時間
4.  $w_{WAH}$ : AWC.AHWnビットによるアドレス・ホールド・ウエイト数 ( $n = 0-3$ )
5.  $w_D$ : DWC0レジスタによるウエイト数
6.  $w$ :  $\overline{\text{WAIT}}$ によるウエイト数

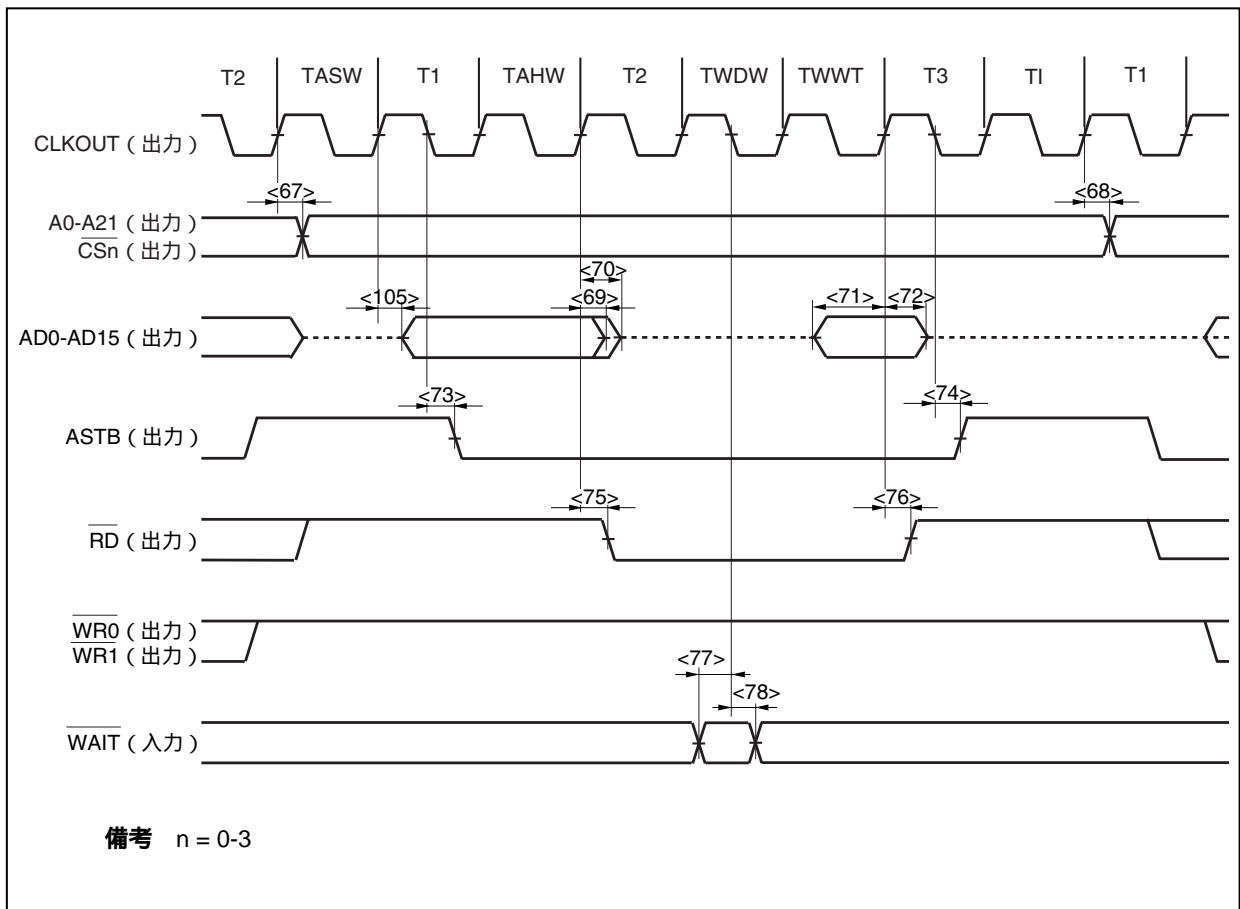


(b) リード・サイクル (CLKOUT同期)

: セパレート・アクセス マルチプレクス・アクセス セパレート・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t <sub>DKA2</sub>	<67>	- 3	11	ns
	t <sub>DKA3</sub>	<105>	- 3	11	ns
CLKOUT アドレス保持時間	t <sub>HKA2</sub>	<68>	- 3	11	ns
	t <sub>HKA3</sub>	<69>	- 3	11	ns
CLKOUT ↑→アドレス・フロート遅延時間	t <sub>FKA</sub>	<70>		11	ns
データ入力設定時間 (対CLKOUT )	t <sub>SDK2</sub>	<71>	18		ns
データ入力保持時間 (対CLKOUT )	t <sub>HKID2</sub>	<72>	0		ns
CLKOUT ASTB 遅延時間	t <sub>DKST3</sub>	<73>	- 3	11	ns
CLKOUT ASTB 遅延時間	t <sub>DKST4</sub>	<74>	- 3	11	ns
CLKOUT $\overline{RD}$ 遅延時間	t <sub>DKRD3</sub>	<75>	- 3	11	ns
CLKOUT $\overline{RD}$ 遅延時間	t <sub>DKRD4</sub>	<76>	- 3	11	ns
WAIT設定時間 (対CLKOUT )	t <sub>SWTK2</sub>	<77>	18		ns
WAIT保持時間 (対CLKOUT )	t <sub>HKWT2</sub>	<78>	0		ns



(c) ライト・サイクル (CLKOUT非同期) (1/2)

: セバレート・アクセス マルチプレクス・アクセス セバレート・アクセス時

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

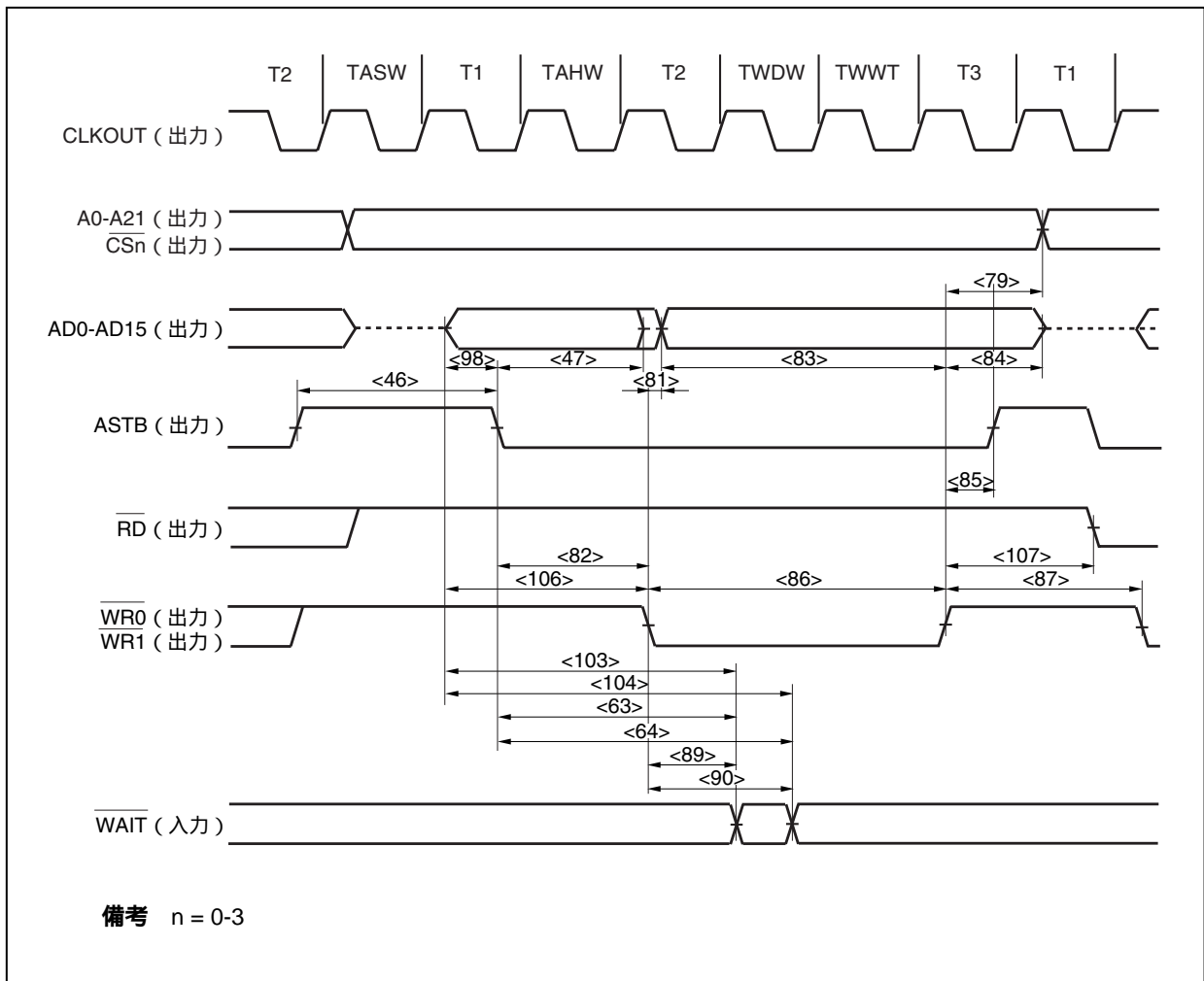
項目	略号	条件	MIN.	MAX.	単位
アドレス ASTB 遅延時間	$t_{DAST3}$	<98>	0.5T - 8		ns
ASTBハイ・レベル幅	$t_{WSTH}$	<46>	$(1 + W_{AS} + i) T - 8$		ns
ASTB アドレス保持時間	$t_{HSTA}$	<47>	$(0.5 + W_{AH}) T - 8$		ns
$\overline{WRm}$ アドレス保持時間	$t_{HWRA2}$	<79>	T - 10		ns
アドレス $\overline{WRm}$ 遅延時間	$t_{DAWR3}$	<106>	$(1 + W_{AH}) T - 10$		ns
$\overline{WRm}$ データ出力遅延時間	$t_{DWRD3}$	<81>		10	ns
ASTB $\overline{WRm}$ 遅延時間	$t_{DSTWR3}$	<82>	$(0.5 + W_{AH}) T - 10$		ns
データ出力 $\overline{WRm}$ 遅延時間	$t_{DODWR2}$	<83>	$(1 + W_D + W) T - 10$		ns
$\overline{WRm}$ データ出力保持時間	$t_{HWROD2}$	<84>	T - 10		ns
$\overline{WRm}$ ASTB 遅延時間	$t_{DWRST}$	<85>	0.5T - 8		ns
$\overline{WRm}$ ロウ・レベル幅	$t_{WURL2}$	<86>	$(1 + W_D + W) T - 10$		ns
$\overline{WRm}$ ハイ・レベル幅	$t_{WWRH2}$	<87>	$(2 + W_{AS} + W_{AH}) T - 10$		ns
$\overline{WRm}$ RDハイ・レベル保持時間	$t_{HWRRD4}$	<107>	$(1.5 + W_{AS}) T - 10$		ns
アドレス $\overline{WAIT}$ 入力時間	$t_{DAWT3}$	<103>		$(1.5 + W_D + W + W_{AH}) T - 20$	ns
アドレス $\overline{WAIT}$ 入力保持時間	$t_{HAWT3}$	<104>	$(1.5 + W_D + W + W_{AH}) T$		ns
ASTB $\overline{WAIT}$ 入力時間	$t_{DSTWT}$	<63>		$(1 + W_D + W + W_{AH}) T - 20$	ns
ASTB $\overline{WAIT}$ 入力保持時間	$t_{HSTWT}$	<64>	$(1 + W_D + W + W_{AH}) T$		ns
$\overline{WRm}$ $\overline{WAIT}$ 入力時間	$t_{DWRWT2}$	<89>		$(0.5 + W_D + W) T - 20$	ns
$\overline{WRm}$ $\overline{WAIT}$ 入力保持時間	$t_{HWRWT2}$	<90>	$(0.5 + W_D + W) T$		ns

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$ : CPU動作クロック周波数)

2.  $t_R$  : 入力パルス立ち上がり時間
3.  $t_F$  : 入力パルス立ち下がり時間
4.  $W_{AS}$  : AWC.ASWnビットによるアドレス・セットアップ・ウエイト数 ( $n = 0-3$ )
5.  $W_{AH}$  : AWC.AHWnビットによるアドレス・ホールド・ウエイト数 ( $n = 0-3$ )
6.  $W_D$  : DWC0レジスタによるウエイト数
7.  $W$  :  $\overline{WAIT}$ によるウエイト数
8.  $i$  : アイドル・ステート数
9.  $m = 0, 1$

(c) ライト・サイクル (CLKOUT非同期) (2/2)

: セパレート・アクセス マルチプレクス・アクセス セパレート・アクセス時



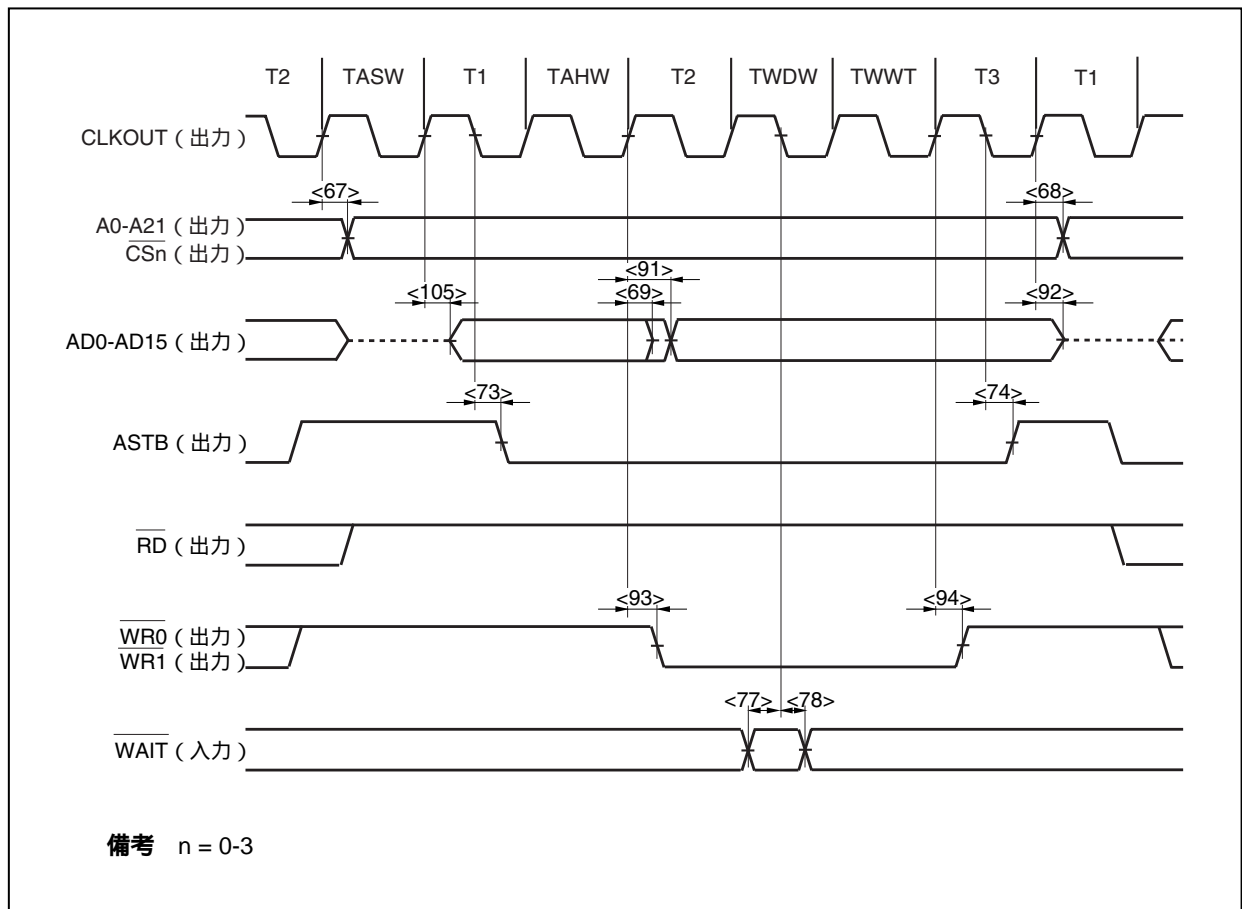
(d) ライト・サイクル (CLKOUT同期)

: セパレート・アクセス マルチプレクス・アクセス セパレート・アクセス時

(TA = -40 ~ +85 , VDD = EVDD = BVDD = AVREF0 = AVREF1 = 3.0 ~ 3.6 V, VSS = EVSS = BVSS = AVSS = 0 V, CL = 50 pF, tR = tF = 5 ns)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	tDKA2	<67>	-3	11	ns
	tDKA3	<105>	-3	11	ns
CLKOUT アドレス保持時間	tHKA2	<68>	-3	11	ns
	tHKA3	<69>	-3	11	ns
CLKOUT ASTB 遅延時間	tDKST3	<73>	-3	11	ns
CLKOUT ASTB 遅延時間	tDKST4	<74>	-3	11	ns
CLKOUT データ出力遅延時間	tDKOD3	<91>		11	ns
CLKOUT データ出力保持時間	tHKOD2	<92>	-3		ns
CLKOUT $\overline{\text{WRm}}$ 遅延時間	tDKWR3	<93>	-3	11	ns
CLKOUT $\overline{\text{WRm}}$ 遅延時間	tDKWR4	<94>	-3	11	ns
WAIT設定時間 (対CLKOUT)	tSWTK2	<77>	18		ns
WAIT保持時間 (対CLKOUT)	tHKWT2	<78>	0		ns

備考 m = 0, 1





(5) バス・ホールド時

(a) CLKOUT非同期

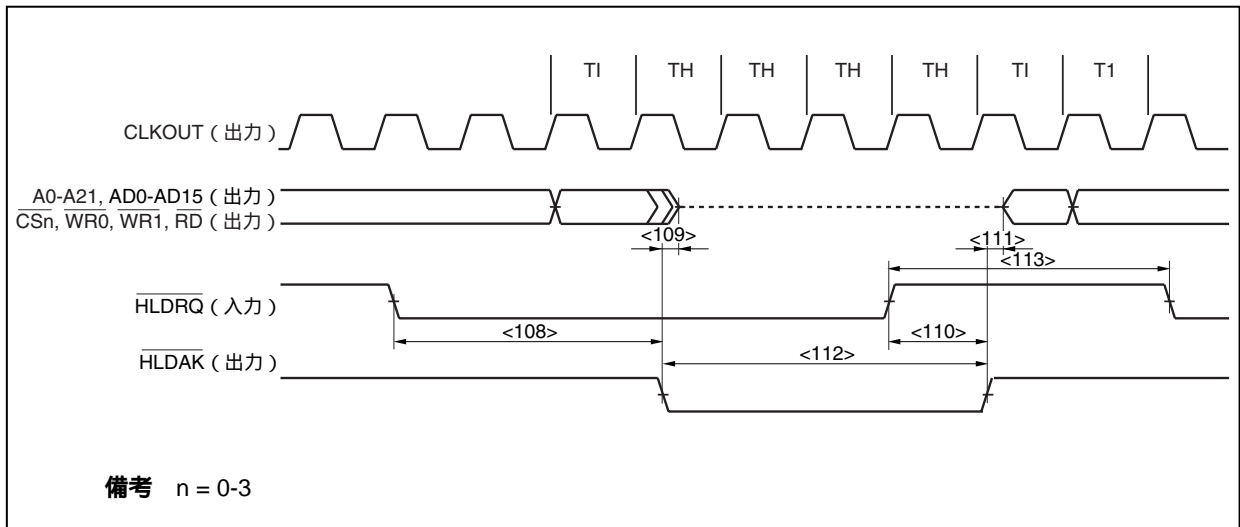
( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_R = t_F = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
H $\overline{LDRQ}$ H $\overline{LDAK}$ 遅延時間	$t_{DHQHA1}$	<108>	2.5T - 10	注	ns
H $\overline{LDAK}$ バス・フロート遅延時間	$t_{FHAB}$	<109>		0	ns
H $\overline{LDRQ}$ H $\overline{LDAK}$ 遅延時間	$t_{DHQHA2}$	<110>	0.5T	1.5T + 20	ns
H $\overline{LDAK}$ バス出力遅延時間	$t_{DHABO}$	<111>	- 8		ns
H $\overline{LDAK}$ ロウ・レベル幅	$t_{WHAL}$	<112>	T + 10		ns
H $\overline{LDRQ}$ ハイ・レベル幅	$t_{WHQH}$	<113>	T + 10		ns

注 H $\overline{LDRQ}$  H $\overline{LDAK}$  遅延時間は、H $\overline{LDRQ}$ 信号をアクティブにした時点での外部バス・サイクルの状態（ウェイト数など）に依存するため、MAX.値は規定できません。そのため、MIN.値のみ規定します。

備考1.  $T = 1/f_{CPU}$  ( $f_{CPU}$  : CPU動作クロック周波数)

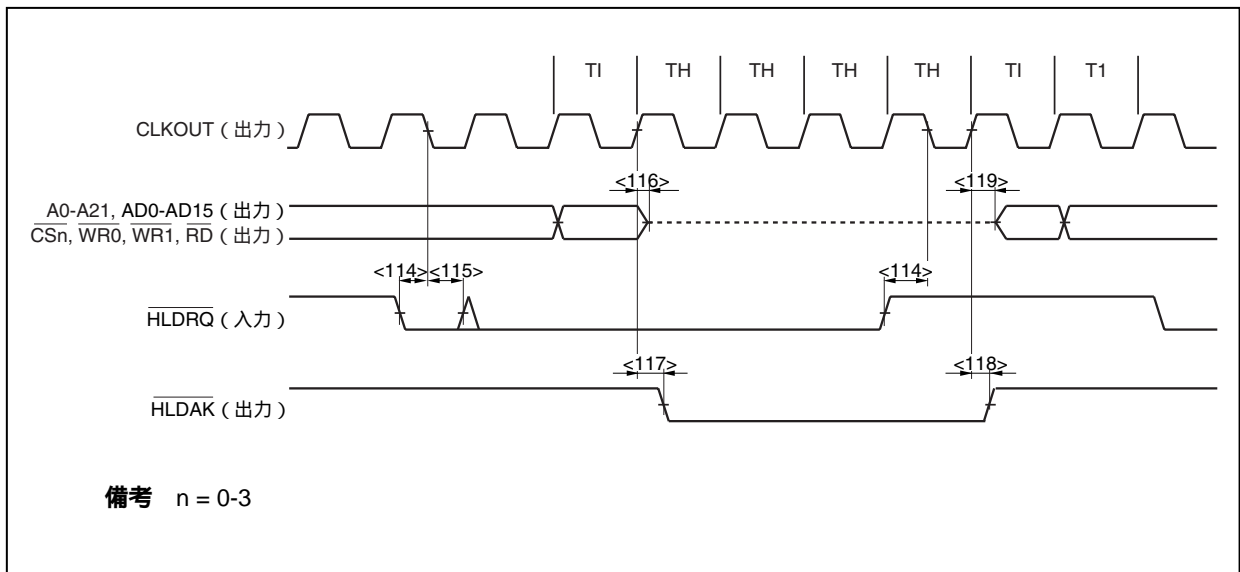
2.  $t_R$  : 入力パルス立ち上がり時間
3.  $t_F$  : 入力パルス立ち下がり時間



(b) CLKOUT同期

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF,  $t_r = t_f = 5$  ns)

項目	略号	条件	MIN.	MAX.	単位
HLDQR設定時間(対CLKOUT)	t <sub>SHQK</sub>	<114>	18		ns
HLDQR保持時間(対CLKOUT)	t <sub>HKHQ</sub>	<115>	0		ns
CLKOUT バス・フロート遅延時間	t <sub>DKBF</sub>	<116>		11	ns
CLKOUT $\overline{HLDAK}$ 遅延時間	t <sub>DKHA1</sub>	<117>	-3	11	ns
CLKOUT $\overline{HLDAK}$ 遅延時間	t <sub>DKHA2</sub>	<118>	-3	11	ns
CLKOUT バス出力遅延時間	t <sub>DKBO</sub>	<119>	-3		ns



## 19.8 基本動作

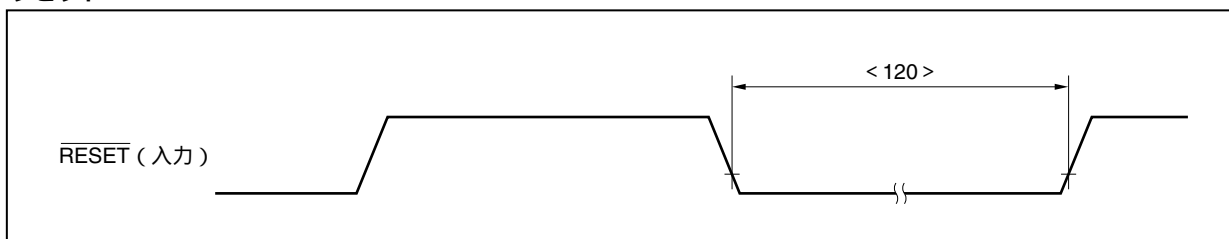
### (1) リセット, 割り込みタイミング

( $T_A = -40 \sim +85$ ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

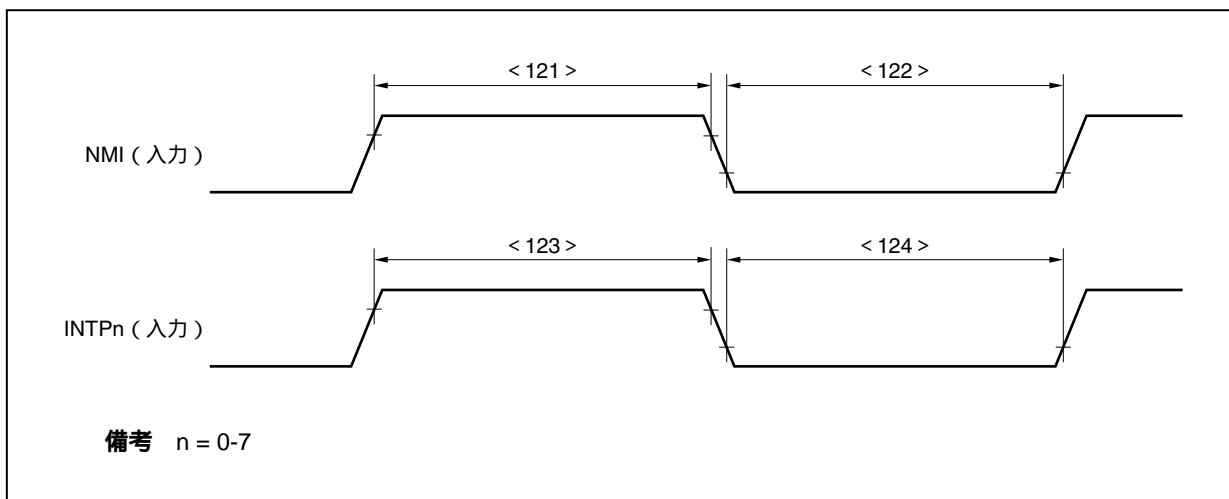
項目	略号	条件	MIN.	MAX.	単位
RESETロウ・レベル幅	$t_{WRSL}$ <120>	電源投入時は除く <sup>注1</sup>	500		ns
NMIハイ・レベル幅	$t_{WNIH}$ <121>		500		ns
NMIロウ・レベル幅	$t_{WNIL}$ <122>		500		ns
INTPnハイ・レベル幅	$t_{WITh}$ <123>	n = 0-7 (アナログ・ノイズ除去)	500		ns
INTPnロウ・レベル幅	$t_{WITL}$ <124>	n = 0-7 (アナログ・ノイズ除去)	500		ns

注 電源投入時のRESETロウ・レベル幅については、レギュレータ特性の注意を参照してください。

#### リセット



#### 割り込み



(2) タイマ・タイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
TI入力ハイ・レベル幅 <sup>注</sup>	t <sub>TIH</sub>		2T + 20		ns
TI入力ロウ・レベル幅 <sup>注</sup>	t <sub>TIL</sub>		2T + 20		ns

注 TI入力は, TIPn0-TIPn1 (n = 0-5)

備考  $T = 1/f_{xx}$

(3) UARTタイミング

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
送信レート				312.5	kbps
ASCKA0周波数				10	MHz

(4) CSIタイミング

(a) マスタ・モード

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
SCKBn周期	$t_{KCYn}$	<125> 出力	117		ns
SCKBnハイ / ロウ・レベル幅	$t_{KHn}$ $t_{KLn}$	<126> 出力	$t_{KCYn}/2 - 10$		ns
SIBnセットアップ時間 (対SCKBn)	$t_{SIKn}$	<127>	25		ns
SIBnホールド時間 (対SCKBn)	$t_{SIN}$	<128>	25		ns
SCKBn SOBn出力遅延時間	$t_{KSON}$	<129>		25	ns

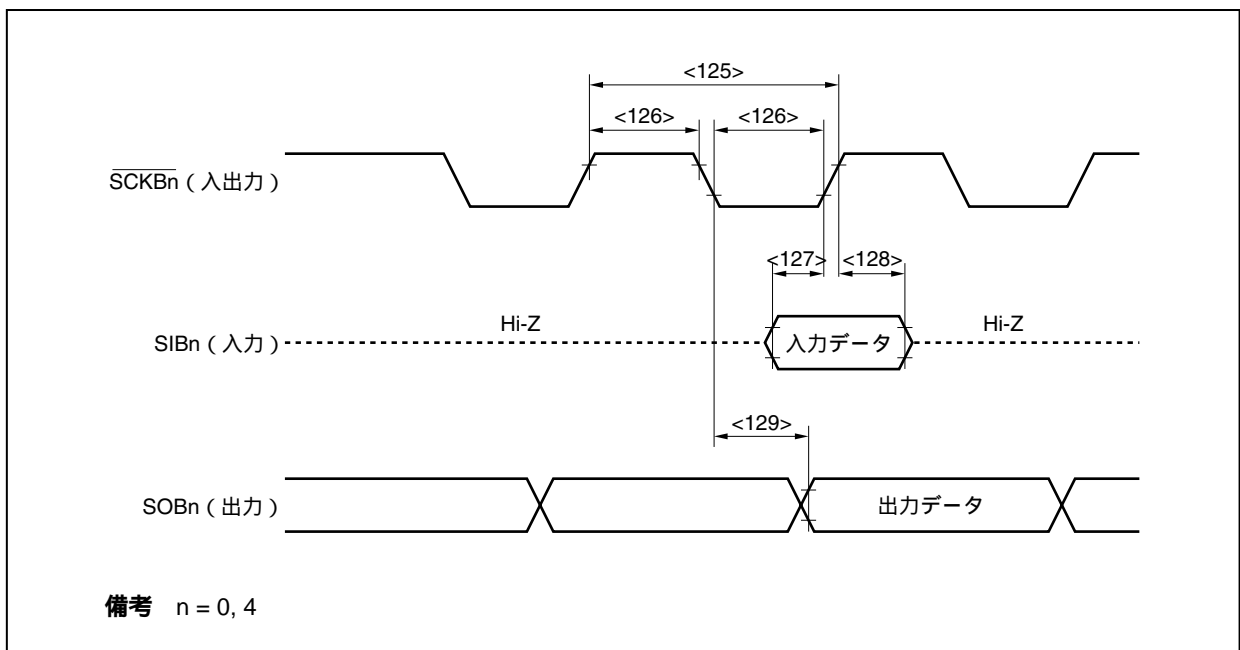
備考 n = 0, 4

(b) スレーブ・モード

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	MAX.	単位
SCKBn周期	$t_{KCYn}$	<125> 入力	117		ns
SCKBnハイ / ロウ・レベル幅	$t_{KHn}$ $t_{KLn}$	<126> 入力	$t_{KCYn}/2 - 5$		ns
SIBnセットアップ時間 (対SCKBn)	$t_{SIKn}$	<127>	30		ns
SIBnホールド時間 (対SCKBn)	$t_{SIN}$	<128>	30		ns
SCKBn SOBn出力遅延時間	$t_{KSON}$	<129>		35	ns

備考 n = 0, 4



(5) A/Dコンバータ

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 <sup>注</sup>					±0.6	%FSR
変換時間	t <sub>CONV</sub>		2.29		24.41	μs
アナログ入力電圧	V <sub>IAN</sub>		AV <sub>SS</sub>		AV <sub>REF0</sub>	V
AV <sub>REF0</sub> 電流	AI <sub>REF0</sub>	通常変換モード時		3	6.5	mA
		高速変換モード時		4	10	mA
		A/D変換停止時			10	μA

注 量子化誤差 ( ±0.05 %FSR ) は含みません。

注意 A/D変換中にP7レジスタをリードしないでください。変換分解能が低下する事があります。

備考 FSR : Full Scale Range

(6) D/Aコンバータ

( $T_A = -40 \sim +85$  ,  $V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1} = 3.0 \sim 3.6$  V,  $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0$  V,  $C_L = 50$  pF)

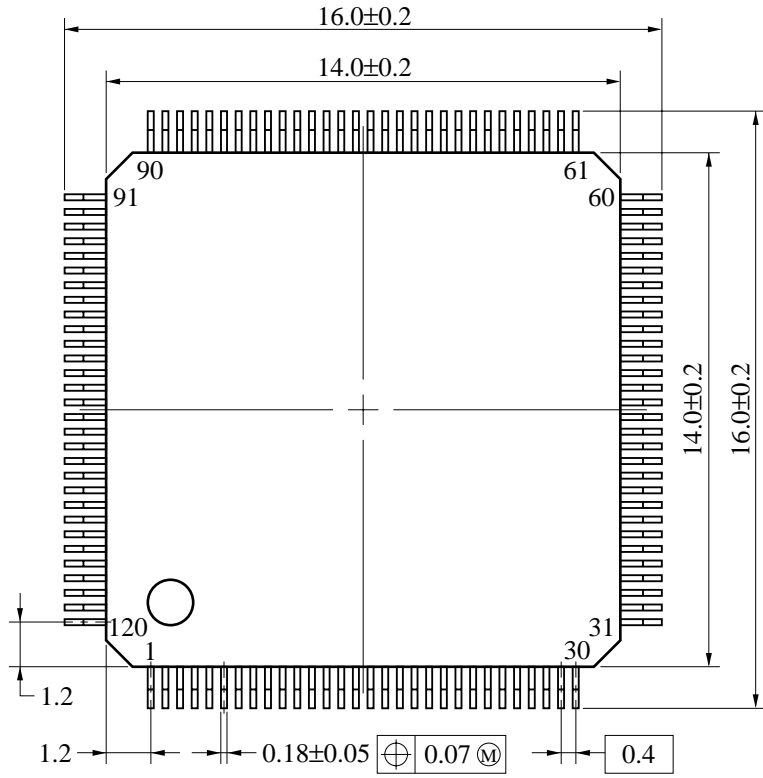
項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			8	8	8	bit
総合誤差 <sup>注1</sup>		負荷条件R = 2 MΩ			1.2	%FSR
セットリング・タイム <sup>注1</sup>		負荷条件C = 20 pF			3	μs
出力抵抗	R <sub>O</sub>	出力データ55H		3.5		kΩ
AV <sub>REF1</sub> 電流 <sup>注2</sup>	AI <sub>REF1</sub>	D/A変換動作時		1	2.5	mA
		D/A変換停止時			10	μA

注1. Rは出力端子の負荷抵抗, Cは出力端子の負荷容量です。

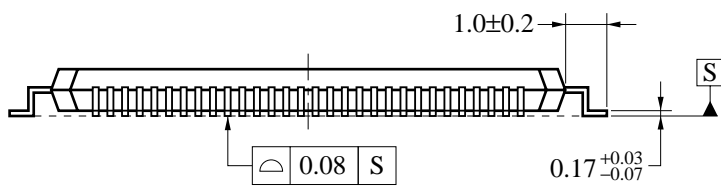
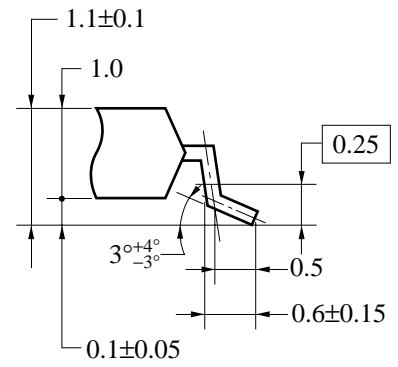
2. D/Aコンバータ1チャンネル分の値

# 第20章 外形図

120ピン・プラスチック TQFP (ファインピッチ)(14x14) 外形図 (単位 : mm)

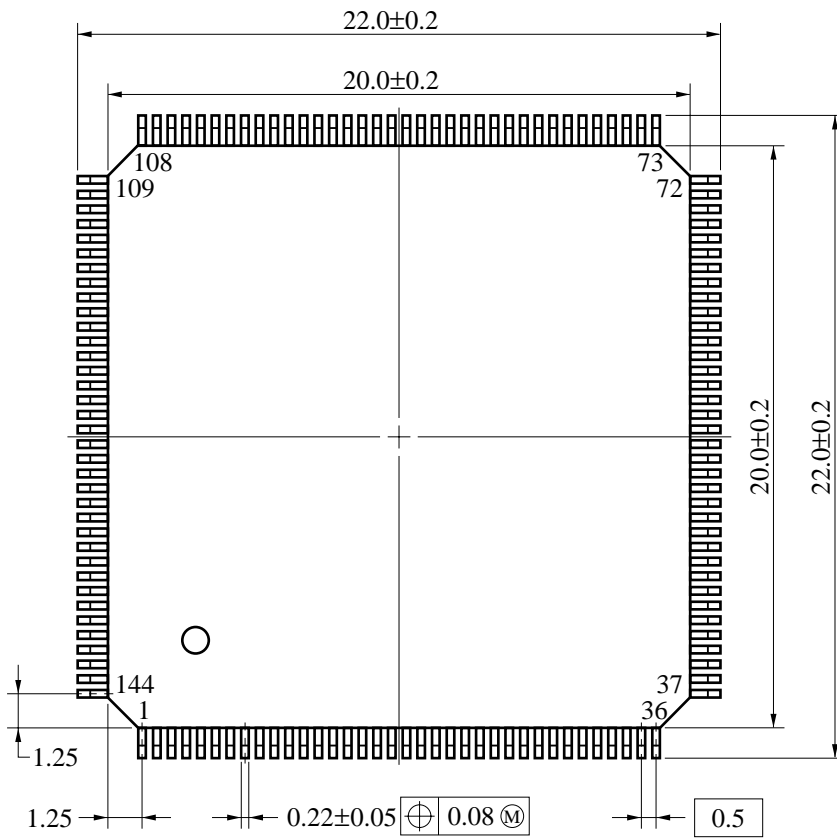


端子先端形状詳細図

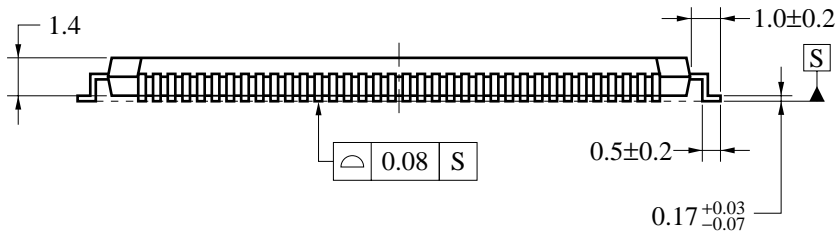
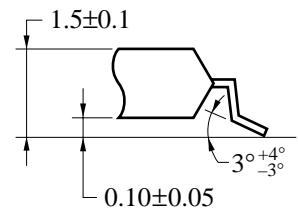


S120GC-40-9EB-2

144ピン・プラスチック LQFP (ファインピッチ)(20x20) 外形図 (単位: mm)



端子先端形状詳細図



S144GJ-50-UEN



## 第21章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表21 - 1 表面実装タイプの半田付け条件

μ PD703220GC-9EB-A 120ピン・プラスチックTQFP (ファインピッチ) (14×14)

μ PD703220GJ-UEN-A 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 <sup>注</sup> （以降は125℃プリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-107-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管状態は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. V850ES/ST2は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

# 付録A 注意事項

## A. 1 sld命令と割り込み競合に関する制限事項

### A. 1. 1 内 容

次の命令<1>の事項が完了する前に、後続のsld命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< > ld.w [r11], r10	・ ・ ・	< >のld命令の実行が完了する前に、< >のsld命令の直前のmov命令< >のデコード動作と割り込み要求が競合した場合、< >のld命令の実行結果がレジスタに格納されないことがあります。
< > mov r10, r28		
< > sld.w 0x28, r10		

### A. 1. 2 回 避 策

#### (1) コンパイラ (CA850) 使用時

CA850はVer.2.61以降を使用してください。該当命令シーケンスの生成を自動的に抑止します。

#### (2) アセンブラでの対策

命令< >の直後にsld命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld命令の直前にnop命令を入れる。
- ・ sld命令のディスティネーション・レジスタと同じレジスタを、sld命令の直前で実行する上記< >の命令で使用しない。

## A. 2 A/Dコンバータ動作中における再変換要因の発生タイミングに関する制限事項

### A. 2. 1 内 容

(1) - (4) の制限事項があります。

- (1) A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) 後, A/Dコンバータのセットアップのために挿入されるA/Dコンバータ安定時間 (図A - 1, 図A - 2参照) の終了タイミングと, 再変換要因<sup>注</sup>が競合した場合, 安定時間が64クロック再挿入されます。さらに再挿入された安定時間の終了タイミングと, 再変換要因<sup>注</sup>が再度競合した場合, 再度安定時間が挿入されます。なお, どちらの場合も安定時間は再挿入されますが変換動作は正常に終了します。
- (2) 通常変換モード (ADA0M1.ADA0HS1ビット = 0) で, かつワンショット・セレクト・モード, または外部トリガによるセレクト・モードのA/D変換動作の終了タイミング (ウェイト時間の前) (図A - 1参照) と, 再変換要因<sup>注</sup>が競合した場合, 再度最初から開始すべき変換動作が行われず, A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) でA/D変換停止中 (ADA0M0.ADA0EFビット = 0) の状態で変換動作を停止します。このとき, A/D変換終了割り込み要求信号 (INTAD) は発生せず, 変換結果の格納も行われません。
- (3) 通常変換モード (ADA0M1.ADA0HS1ビット = 0) で, A/D変換動作の終了タイミング (ウェイト時間の前) (図A - 1参照) と, 再変換要因<sup>注</sup>が競合した場合, 再度最初から開始すべき変換動作が行われず, A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) でA/D変換動作中 (ADA0M0.ADA0EFビット = 1) の状態で変換動作を停止します。このとき, A/D変換終了割り込み要求信号 (INTAD) は発生せず, 変換結果の格納も行われません。
- (4) 高速変換モード (ADA0M1.ADA0HS1ビット = 1) で, かつソフトウェア・トリガによるワンショット・セレクト・モード/ワンショット・スキャン・モードのA/D変換動作の終了タイミング (図A - 2参照) と, 再変換要因<sup>注</sup>が競合した場合, 再度最初から開始すべき変換動作が行われず, A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) でA/D変換停止中 (ADA0M0.ADA0EFビット = 0) の状態で停止します。このとき, A/D変換終了割り込み要求信号 (INTAD) は発生せず, 変換結果の格納も行われません。

注 再変換要因には次の2つがあります。

- ・ ADA0M0, ADA0Sレジスタへの書き込み
- ・ 外部トリガ (ADTRG端子) の有効エッジ検出

上記制限事項が非該当の場合, A/D変換動作中に再変換要因が発生したときは, 変換は中断され, 再度最初から変換を行います。

表A-1 制限事項の該当/非該当一覧

トリガ・モード	動作モード	通常変換モード				高速変換モード			
		(1)	(2)	(3)	(4)	(1)	(2)	(3)	(4)
ソフトウェア・トリガ	連続セレクト		×		-		-	-	×
	連続スキャン		×		-		-	-	×
	ワンショット・セレクト		注1	注1	-		-	-	
	ワンショット・スキャン		注2		-		-	-	
外部トリガ	セレクト		注1	注1	-		-	-	×
	スキャン		注2		-		-	-	×

注1. A/D変換動作の終了タイミングと再変換要因の競合時の内部状態により(2)または(3)が発生します。

2. スキャン・モードでADA0Sレジスタ = 00H設定時の場合は、この制限事項に該当します。

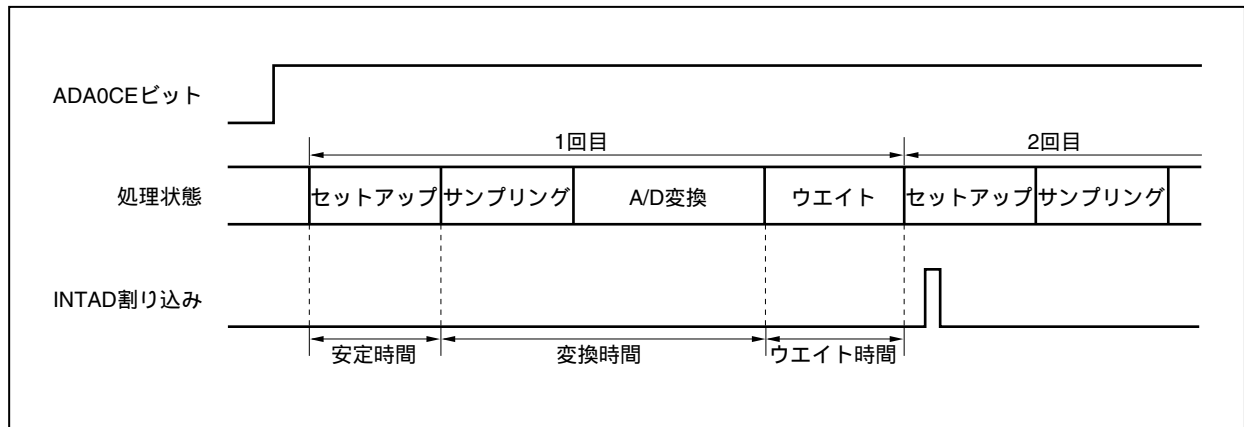
備考1. : 該当

× : 非該当

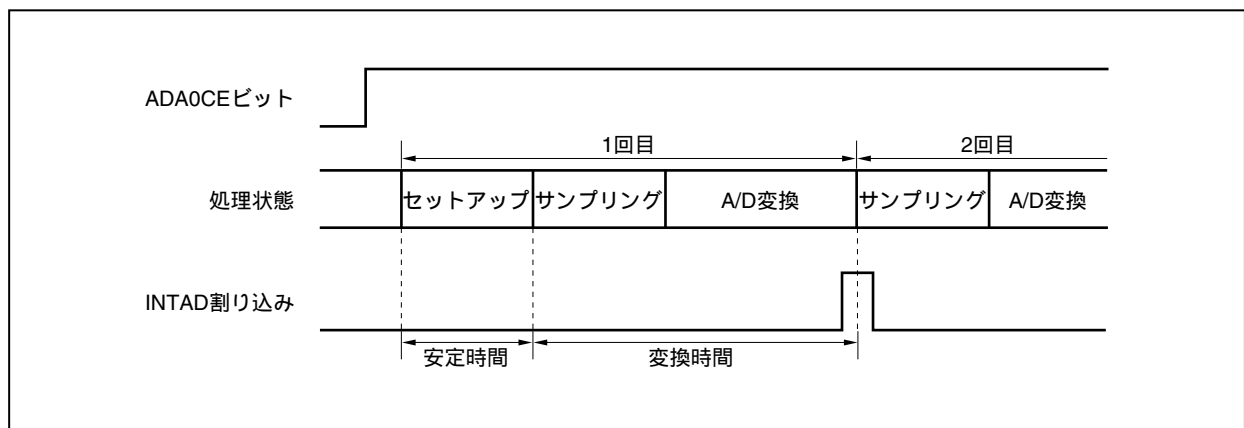
- : 対象外

2. (1) - (4) は制限事項の番号と対応しています。

図A-1 通常変換モード時の動作



図A-2 高速変換モード時の動作



## A. 2. 2 回避策

回避策は2つあり、A. 2. 1 (1) - (4) のすべてに該当します。

### (1) 外部トリガ・モード (ADA0M0.ADA0TMDビット = 1) の場合

外部トリガ・モード時は、高速変換モード (ADA0M1.ADA0HS1ビット = 1) に設定してください。また、外部トリガは、A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) 後、A/Dコンバータ安定時間 (表11 - 3 参照) が経過してから入力してください。

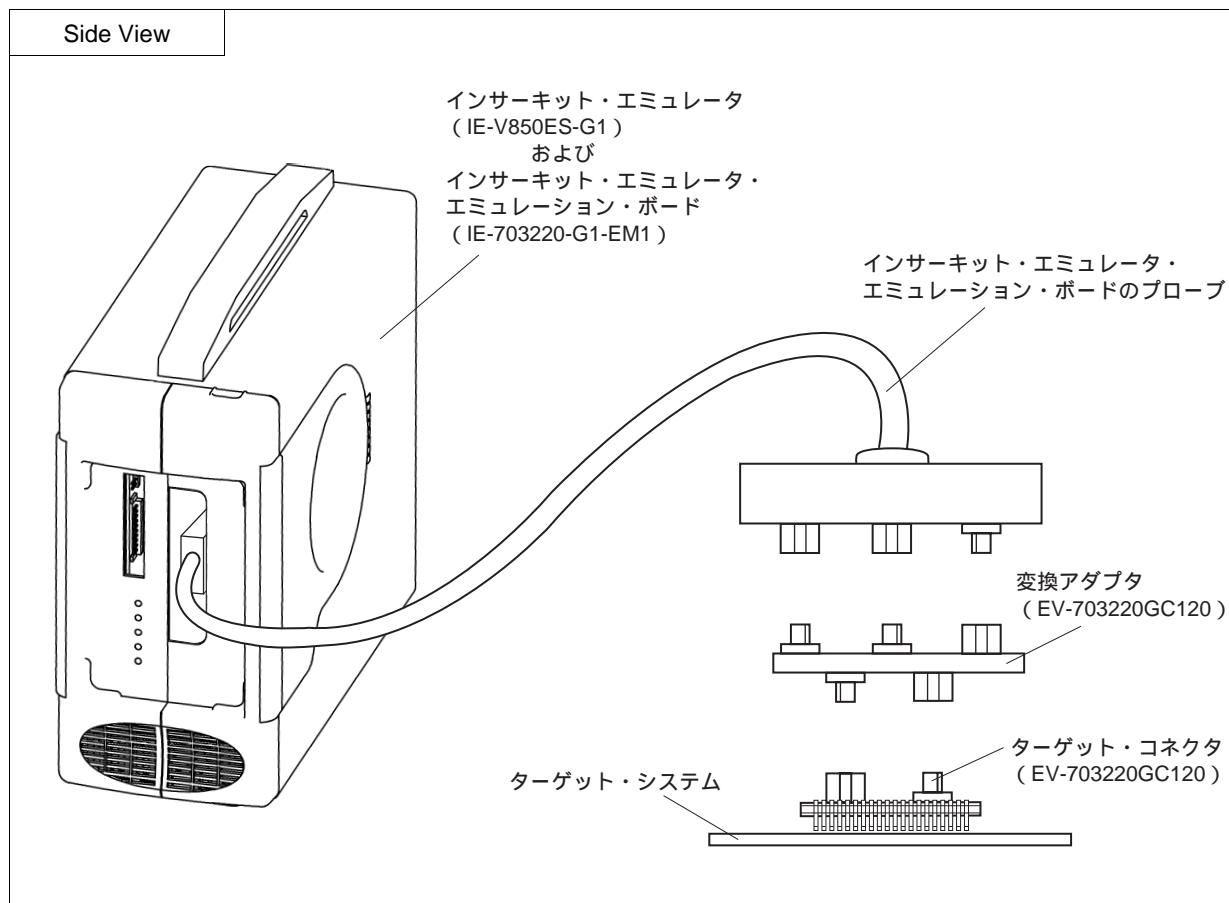
### (2) A/D変換動作中にADA0M0, ADA0Sレジスタへの書き込みを行った場合

A/D変換動作中のADA0M0, ADA0Sレジスタへの書き込みは、A/D変換動作を停止 (ADA0M0.ADA0CEビット = 0) してから行ってください。

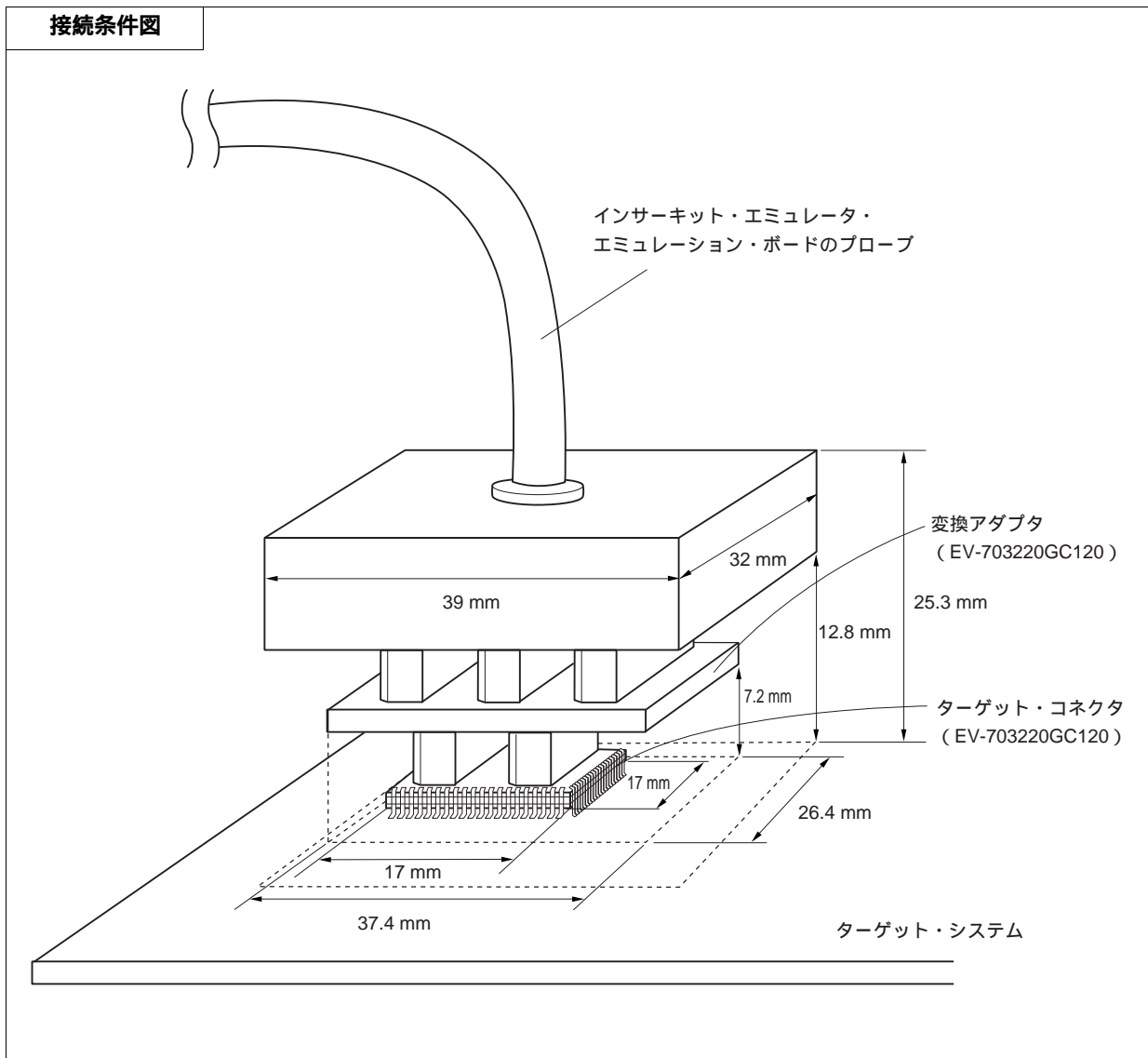
## 付録B ターゲット・システム設計上の注意

インサーキット・エミュレータ・エミュレーション・ボードと変換コネクタの接続条件図を次に示します。この構成を基にターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。

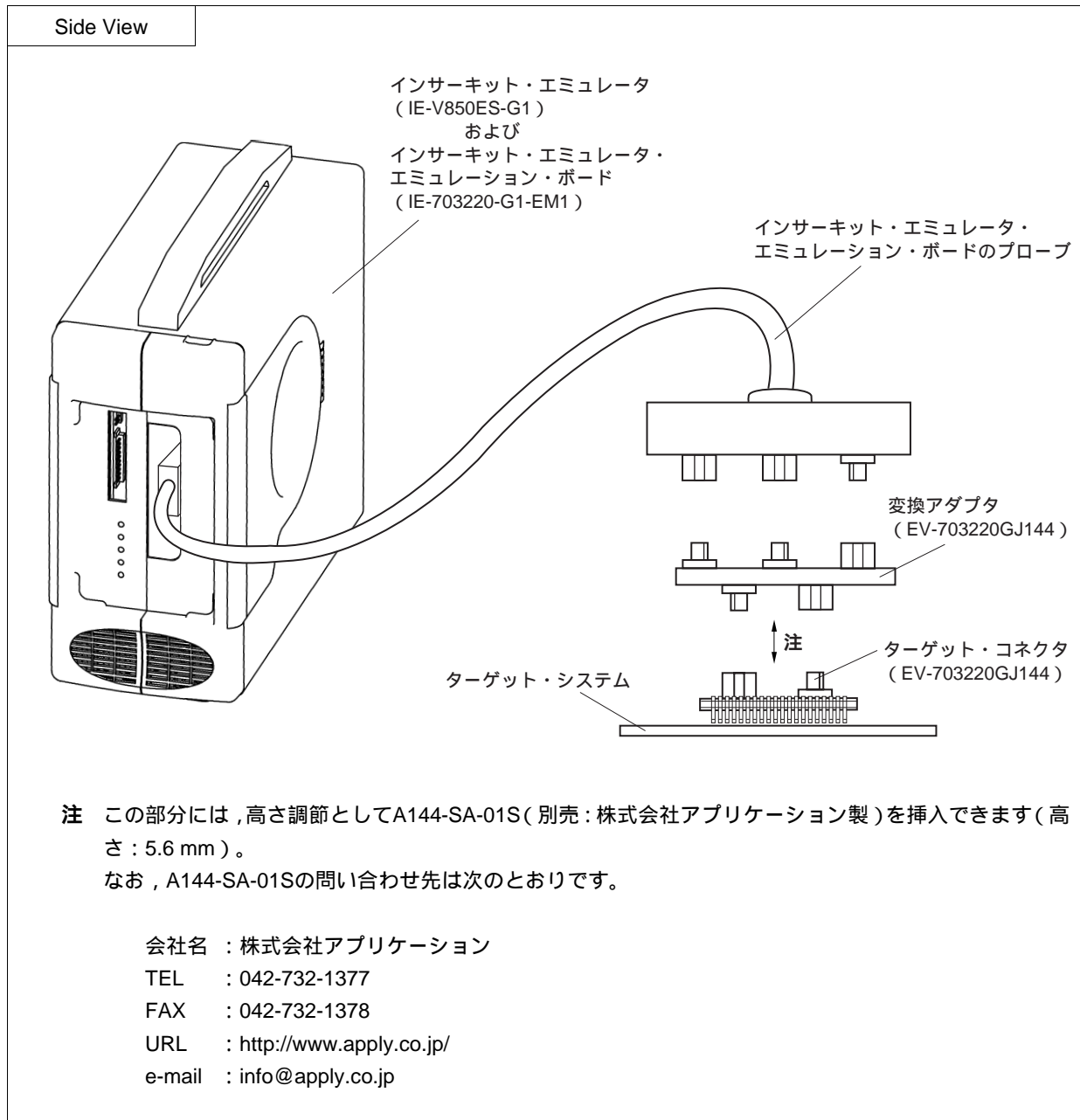
図B - 1 120ピン・プラスチックTQFP (ファインピッチ) (14×14) の場合 (1/2)



図B - 1 120ピン・プラスチックTQFP (ファインピッチ) (14×14) の場合 (2/2)

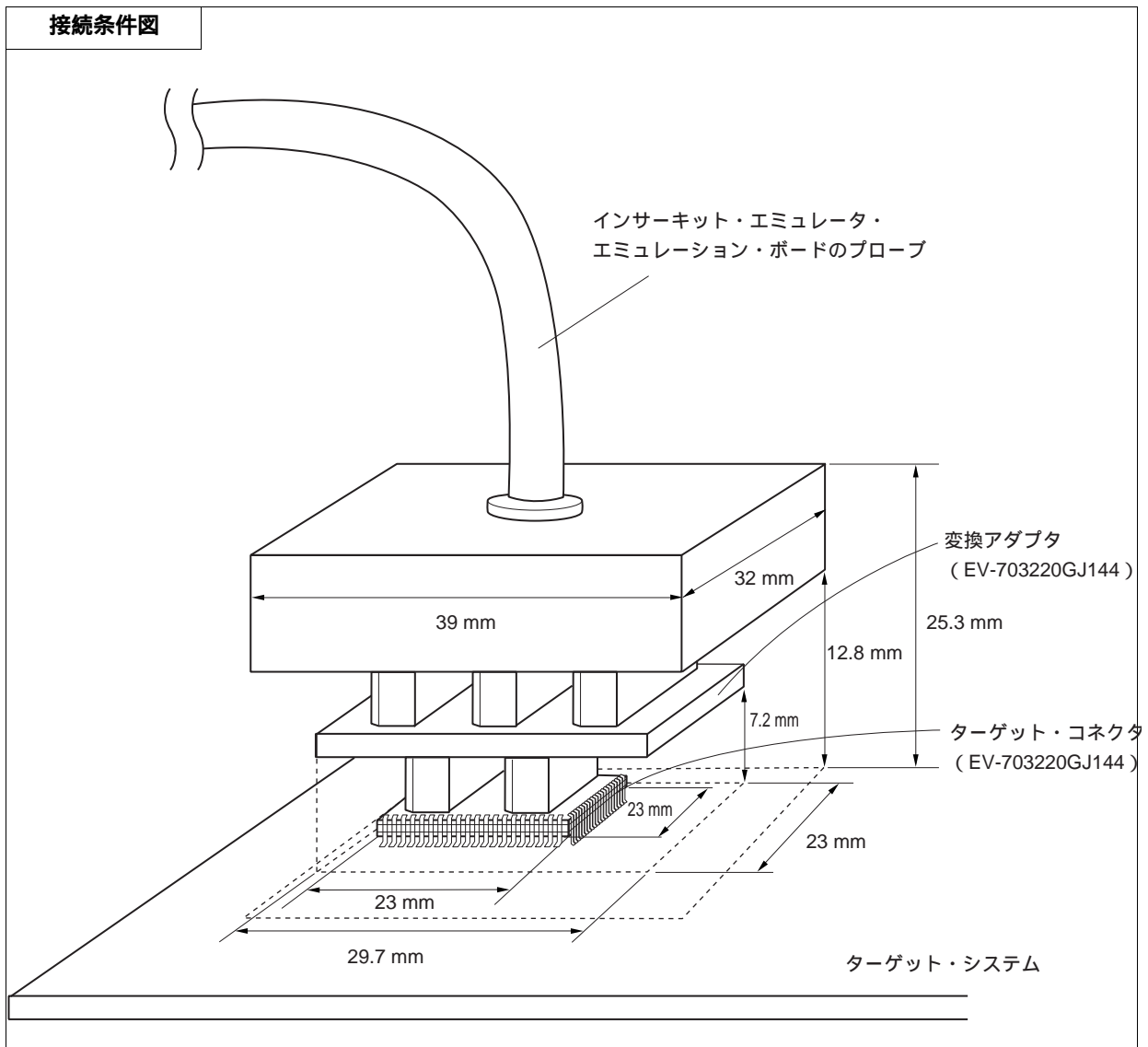


図B - 2 144ピン・プラスチックLQFP (ファインピッチ) (20×20) の場合 (1/2)





図B - 2 144ピン・プラスチックLQFP (ファインピッチ) (20×20) の場合 (2/2)



## 付録C レジスタ索引

( 1/6 )

略号	名称	ユニット	ページ
ADA0CR0	A/D変換結果レジスタ0	ADC	285
ADA0CR0H	A/D変換結果レジスタ0H	ADC	285
ADA0CR1	A/D変換結果レジスタ1	ADC	285
ADA0CR1H	A/D変換結果レジスタ1H	ADC	285
ADA0CR2	A/D変換結果レジスタ2	ADC	285
ADA0CR2H	A/D変換結果レジスタ2H	ADC	285
ADA0CR3	A/D変換結果レジスタ3	ADC	285
ADA0CR3H	A/D変換結果レジスタ3H	ADC	285
ADA0CR4	A/D変換結果レジスタ4	ADC	285
ADA0CR4H	A/D変換結果レジスタ4H	ADC	285
ADA0CR5	A/D変換結果レジスタ5	ADC	285
ADA0CR5H	A/D変換結果レジスタ5H	ADC	285
ADA0CR6	A/D変換結果レジスタ6	ADC	285
ADA0CR6H	A/D変換結果レジスタ6H	ADC	285
ADA0CR7	A/D変換結果レジスタ7	ADC	285
ADA0CR7H	A/D変換結果レジスタ7H	ADC	285
ADA0M0	A/Dコンバータ・モード・レジスタ0	ADC	282
ADA0M1	A/Dコンバータ・モード・レジスタ1	ADC	283
ADA0S	A/Dコンバータ・チャンネル指定レジスタ	ADC	284
ADIC	割り込み制御レジスタ	INTC	399
AWC	アドレス・ウェイト・コントロール・レジスタ	BCU	148
BCC	バス・サイクル・コントロール・レジスタ	BCU	149
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	137
CB0CTL0	CSIB0制御レジスタ0	CSI	340
CB0CTL1	CSIB0制御レジスタ1	CSI	344
CB0CTL2	CSIB0制御レジスタ2	CSI	345
CB0RIC	割り込み制御レジスタ	INTC	399
CB0RX	CSIB0受信データ・レジスタ	CSI	339
CB0RXL	CSIB0受信データ・レジスタL	CSI	339
CB0STR	CSIB0状態レジスタ	CSI	347
CB0TIC	割り込み制御レジスタ	INTC	399
CB0TX	CSIB0送信データ・レジスタ	CSI	339
CB0TXL	CSIB0送信データ・レジスタL	CSI	339
CB4CTL0	CSIB4制御レジスタ0	CSI	340
CB4CTL1	CSIB4制御レジスタ1	CSI	344
CB4CTL2	CSIB4制御レジスタ2	CSI	345
CB4RX	CSIB4受信データ・レジスタ	CSI	339
CB4RXL	CSIB4受信データ・レジスタL	CSI	339
CB4STR	CSIB4状態レジスタ	CSI	347

略号	名称	ユニット	ページ
CB4TX	CSIB4送信データ・レジスタ	CSI	339
CB4TXL	CSIB4送信データ・レジスタL	CSI	339
CTBP	CALLTベース・ポインタ	CPU	46
CTPC	CALLT実行時状態退避レジスタ	CPU	45
CTPSW	CALLT実行時状態退避レジスタ	CPU	45
DA0CS0	D/Aコンバータ変換値設定レジスタ0	DAC	304
DA0CS1	D/Aコンバータ変換値設定レジスタ1	DAC	304
DA0M	D/Aコンバータ・モード・レジスタ	DAC	303
DBPC	例外/デバッグ・トラップ時状態退避レジスタ	CPU	46
DBPSW	例外/デバッグ・トラップ時状態退避レジスタ	CPU	46
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	145
ECR	割り込み要因レジスタ	CPU	43
EIPC	割り込み状態退避レジスタ	CPU	42
EIPSW	割り込み状態退避レジスタ	CPU	42
EXIMC	外部バス・インタフェース・モード・コントロール・レジスタ	BCU	136
FEPC	NMI時状態退避レジスタ	CPU	43
FEPSW	NMI時状態退避レジスタ	CPU	43
IMR0	割り込みマスク・レジスタ0	INTC	401
IMR0H	割り込みマスク・レジスタ0H	INTC	401
IMR0L	割り込みマスク・レジスタ0L	INTC	401
IMR1	割り込みマスク・レジスタ1	INTC	401
IMR1H	割り込みマスク・レジスタ1H	INTC	401
IMR1L	割り込みマスク・レジスタ1L	INTC	401
IMR2	割り込みマスク・レジスタ2	INTC	401
IMR2L	割り込みマスク・レジスタ2L	INTC	401
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	407
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	409
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	410
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	407
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	409
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	410
ISPR	インサービス・プライオリティ・レジスタ	INTC	403
OSTS	発振安定時間選択レジスタ	WDT	424
P0	ポート0レジスタ	ポート	75
P1	ポート1レジスタ	ポート	77
P3	ポート3レジスタ	ポート	79
P3H	ポート3レジスタH	ポート	79
P3L	ポート3レジスタL	ポート	79
P4	ポート4レジスタ	ポート	83
P5	ポート5レジスタ	ポート	85
P7	ポート7レジスタ	ポート	89
P9	ポート9レジスタ	ポート	91
P9H	ポート9レジスタH	ポート	91
P9L	ポート9レジスタL	ポート	91

略号	名称	ユニット	ページ
PC	プログラム・カウンタ	CPU	40
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	162
PCM	ポートCMレジスタ	ポート	96
PCS	ポートCSレジスタ	ポート	98
PCT	ポートCTレジスタ	ポート	100
PDH	ポートDHレジスタ	ポート	102
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	72
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	81
PFC3L	ポート3ファンクション・コントロール・レジスタL	ポート	81
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	86
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	93
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	93
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	93
PFCE3L	ポート3ファンクション・コントロール拡張レジスタL	ポート	81
PFCE5	ポート5ファンクション・コントロール拡張レジスタ	ポート	87
PFCE9	ポート9ファンクション・コントロール拡張レジスタ	ポート	93
PFCE9H	ポート9ファンクション・コントロール拡張レジスタH	ポート	93
PFCE9L	ポート9ファンクション・コントロール拡張レジスタL	ポート	93
PIC0	割り込み制御レジスタ	INTC	399
PIC1	割り込み制御レジスタ	INTC	399
PIC2	割り込み制御レジスタ	INTC	399
PIC3	割り込み制御レジスタ	INTC	399
PIC4	割り込み制御レジスタ	INTC	399
PIC5	割り込み制御レジスタ	INTC	399
PIC6	割り込み制御レジスタ	INTC	399
PIC7	割り込み制御レジスタ	INTC	399
PM0	ポート0モード・レジスタ	ポート	75
PM1	ポート1モード・レジスタ	ポート	77
PM3	ポート3モード・レジスタ	ポート	79
PM3H	ポート3モード・レジスタH	ポート	79
PM3L	ポート3モード・レジスタL	ポート	79
PM4	ポート4モード・レジスタ	ポート	83
PM5	ポート5モード・レジスタ	ポート	85
PM9	ポート9モード・レジスタ	ポート	91
PM9H	ポート9モード・レジスタH	ポート	91
PM9L	ポート9モード・レジスタL	ポート	91
PMC0	ポート0モード・コントロール・レジスタ	ポート	76
PMC3	ポート3モード・コントロール・レジスタ	ポート	80
PMC3H	ポート3モード・コントロール・レジスタH	ポート	80
PMC3L	ポート3モード・コントロール・レジスタL	ポート	80
PMC4	ポート4モード・コントロール・レジスタ	ポート	84
PMC5	ポート5モード・コントロール・レジスタ	ポート	86
PMC9	ポート9モード・コントロール・レジスタ	ポート	92
PMC9H	ポート9モード・コントロール・レジスタH	ポート	92

略号	名称	ユニット	ページ
PMC9L	ポート9モード・コントロール・レジスタL	ポート	92
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	96
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	98
PMCCT	ポートCTモード・コントロール・レジスタ	ポート	100
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	102
PMCM	ポートCMモード・レジスタ	ポート	96
PMCS	ポートCSモード・レジスタ	ポート	98
PMCT	ポートCTモード・レジスタ	ポート	100
PMDH	ポートDHモード・レジスタ	ポート	102
PRCMD	コマンド・レジスタ	CPU	65
PSC	パワー・セーブ・コントロール・レジスタ	CPU	422
PSMR	パワー・セーブ・モード・レジスタ	CPU	423
PSW	プログラム・ステータス・ワード	CPU	44
r0-r31	汎用レジスタ	CPU	40
RTBH0	リアルタイム出力バッファ・レジスタ0H	RTO	273
RTBL0	リアルタイム出力バッファ・レジスタ0L	RTO	273
RTPC0	リアルタイム出力ポート・コントロール・レジスタ0	RTO	275
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RTO	274
SYS	システム・ステータス・レジスタ	CPU	66
TM0CMP0	TMM0コンペア・レジスタ0	RPU	258
TM0CTL0	TMM0制御レジスタ0	RPU	259
TM0EQIC0	割り込み制御レジスタ	INTC	399
TP0CCIC0	割り込み制御レジスタ	INTC	399
TP0CCIC1	割り込み制御レジスタ	INTC	399
TP0CCR0	TMP0キャプチャ/コンペア・レジスタ0	RPU	175
TP0CCR1	TMP0キャプチャ/コンペア・レジスタ1	RPU	177
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	RPU	179
TP0CTL0	TMP0制御レジスタ0	RPU	169
TP0CTL1	TMP0制御レジスタ1	RPU	170
TP0IOC0	TMP0I/O制御レジスタ0	RPU	171
TP0IOC1	TMP0I/O制御レジスタ1	RPU	172
TP0IOC2	TMP0I/O制御レジスタ2	RPU	173
TP0OPT0	TMP0オプション・レジスタ0	RPU	174
TP0OVIC	割り込み制御レジスタ	INTC	399
TP1CCIC0	割り込み制御レジスタ	INTC	399
TP1CCIC1	割り込み制御レジスタ	INTC	399
TP1CCR0	TMP1キャプチャ/コンペア・レジスタ0	RPU	175
TP1CCR1	TMP1キャプチャ/コンペア・レジスタ1	RPU	177
TP1CNT	TMP1カウンタ・リード・バッファ・レジスタ	RPU	179
TP1CTL0	TMP1制御レジスタ0	RPU	169
TP1CTL1	TMP1制御レジスタ1	RPU	169
TP1IOC0	TMP1I/O制御レジスタ0	RPU	171
TP1IOC1	TMP1I/O制御レジスタ1	RPU	172
TP1IOC2	TMP1I/O制御レジスタ2	RPU	173

略号	名称	ユニット	ページ
TP1OPT0	TMP1オプション・レジスタ0	RPU	174
TP1OVIC	割り込み制御レジスタ	INTC	399
TP2CCIC0	割り込み制御レジスタ	INTC	399
TP2CCIC1	割り込み制御レジスタ	INTC	399
TP2CCR0	TMP2キャプチャ / コンペア・レジスタ0	RPU	175
TP2CCR1	TMP2キャプチャ / コンペア・レジスタ1	RPU	177
TP2CNT	TMP2カウンタ・リード・バッファ・レジスタ	RPU	179
TP2CTL0	TMP2制御レジスタ0	RPU	169
TP2CTL1	TMP2制御レジスタ1	RPU	170
TP2IOC0	TMP2I/O制御レジスタ0	RPU	171
TP2IOC1	TMP2I/O制御レジスタ1	RPU	172
TP2IOC2	TMP2I/O制御レジスタ2	RPU	173
TP2OPT0	TMP2オプション・レジスタ0	RPU	174
TP2OVIC	割り込み制御レジスタ	INTC	399
TP3CCIC0	割り込み制御レジスタ	INTC	399
TP3CCIC1	割り込み制御レジスタ	INTC	399
TP3CCR0	TMP3キャプチャ / コンペア・レジスタ0	RPU	175
TP3CCR1	TMP3キャプチャ / コンペア・レジスタ1	RPU	177
TP3CNT	TMP3カウンタ・リード・バッファ・レジスタ	RPU	179
TP3CTL0	TMP3制御レジスタ0	RPU	169
TP3CTL1	TMP3制御レジスタ1	RPU	170
TP3IOC0	TMP3I/O制御レジスタ0	RPU	171
TP3IOC1	TMP3I/O制御レジスタ1	RPU	172
TP3IOC2	TMP3I/O制御レジスタ2	RPU	173
TP3OPT0	TMP3オプション・レジスタ0	RPU	174
TP3OVIC	割り込み制御レジスタ	INTC	399
TP4CCIC0	割り込み制御レジスタ	INTC	399
TP4CCIC1	割り込み制御レジスタ	INTC	399
TP4CCR0	TMP4キャプチャ / コンペア・レジスタ0	RPU	175
TP4CCR1	TMP4キャプチャ / コンペア・レジスタ1	RPU	177
TP4CNT	TMP4カウンタ・リード・バッファ・レジスタ	RPU	179
TP4CTL0	TMP4制御レジスタ0	RPU	169
TP4CTL1	TMP4制御レジスタ1	RPU	170
TP4IOC0	TMP4I/O制御レジスタ0	RPU	171
TP4IOC1	TMP4I/O制御レジスタ1	RPU	172
TP4IOC2	TMP4I/O制御レジスタ2	RPU	173
TP4OPT0	TMP4オプション・レジスタ0	RPU	174
TP4OVIC	割り込み制御レジスタ	INTC	399
TP5CCIC0	割り込み制御レジスタ	INTC	399
TP5CCIC1	割り込み制御レジスタ	INTC	399
TP5CCR0	TMP5キャプチャ / コンペア・レジスタ0	RPU	175
TP5CCR1	TMP5キャプチャ / コンペア・レジスタ1	RPU	177
TP5CNT	TMP5カウンタ・リード・バッファ・レジスタ	RPU	179
TP5CTL0	TMP5制御レジスタ0	RPU	169

略号	名称	ユニット	ページ
TP5CTL1	TMP5制御レジスタ1	RPU	170
TP5IOC0	TMP5I/O制御レジスタ0	RPU	171
TP5IOC1	TMP5I/O制御レジスタ1	RPU	172
TP5IOC2	TMP5I/O制御レジスタ2	RPU	173
TP5OPT0	TMP5オプション・レジスタ0	RPU	174
TP5OVIC	割り込み制御レジスタ	INTC	399
UA0CTL0	UARTA0制御レジスタ0	UART	311
UA0CTL1	UARTA0制御レジスタ1	UART	329
UA0CTL2	UARTA0制御レジスタ2	UART	330
UA0OPT0	UARTA0オプション制御レジスタ0	UART	313
UA0RIC/CB4RIC	割り込み制御レジスタ	INTC	399
UA0RX	UARTA0受信データ・レジスタ	UART	316
UA0STR	UARTA0状態レジスタ	UART	314
UA0TIC/CB4TIC	割り込み制御レジスタ	INTC	399
UA0TX	UARTA0送信データ・レジスタ	UART	316
UA2CTL0	UARTA2制御レジスタ0	UART	311
UA2CTL1	UARTA2制御レジスタ1	UART	329
UA2CTL2	UARTA2制御レジスタ2	UART	330
UA2OPT0	UARTA2オプション制御レジスタ0	UART	313
UA2RIC	割り込み制御レジスタ	INTC	399
UA2RX	UARTA2受信データ・レジスタ	UART	316
UA2STR	UARTA2状態レジスタ	UART	314
UA2TIC	割り込み制御レジスタ	INTC	399
UA2TX	UARTA2送信データ・レジスタ	UART	316
VSWC	システム・ウェイト・コントロール・レジスタ	CPU	67
WDCS	ウォッチドッグ・タイマ・クロック選択レジスタ	WDT	267
WDTIC	割り込み制御レジスタ	INTC	399
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	268

## 付録D 命令セット一覧

### D.1 凡 例

#### (1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

#### (2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ



## (3) オペレーションに使われる略号

略号	説明
	代入
GR [ ]	汎用レジスタ
SR [ ]	システム・レジスタ
zero-extend ( n )	nをワード長までゼロ拡張する。
sign-extend ( n )	nをワード長まで符号拡張する。
load-memory ( a, b )	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory ( a, b, c )	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit ( a, b )	アドレス「a」のビット「b」を読み出す。
store-memory-bit ( a, b, c )	アドレス「a」のビット「b」に「c」を書き込む。
saturated ( n )	nの飽和处理を行う ( nは2の補数)。 nが計算の結果、n 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト ( 8ビット )
Half-word	ハーフワード ( 16ビット )
Word	ワード ( 32ビット )
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

## (4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 ( issue )
r	命令実行直後に同一命令を繰り返す場合 ( repeat )
l	命令実行結果を命令実行直後の命令で利用する場合 ( latency )

## (5) フラグの動作に使われる略号

略号	説明
( ブランク )	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

## (6) 条件コード

条件名 ( cond )	条件コード ( cccc )	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower ( Less than )
NC/NL	1001	$CY = 0$	No carry No lower ( Greater than or equal )
Z	0010	$Z = 1$	Zero
NZ	1010	$Z = 0$	Not zero
NH	0011	$( CY \text{ or } Z ) = 1$	Not higher ( Less than or equal )
H	1011	$( CY \text{ or } Z ) = 0$	Higher ( Greater than )
S/N	0100	$S = 1$	Negative
NS/P	1100	$S = 0$	Positive
T	0101	-	Always ( 無条件 )
SA	1101	$SAT = 1$	Saturated
LT	0110	$( S \text{ xor } OV ) = 1$	Less than signed
GE	1110	$( S \text{ xor } OV ) = 0$	Greater than or equal signed
LE	0111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 1$	Less than or equal signed
GT	1111	$( ( S \text{ xor } OV ) \text{ or } Z ) = 0$	Greater than signed

## D.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x		
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x		
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x		
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	x	x		
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	2	2	2					
			then PC PC + sign-extend (disp9)	注2	注2	注2						
			条件不成立時	1	1	1						
BSH	reg2, reg3	rrrrr1111100000 wwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x		
BSW	reg2, reg3	rrrrr1111100000 wwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x		
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr,Half-word))	4	4	4						
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, 0)	3	3	3					x	
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100100	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, 0)	3	3	3					x	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1						
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1						
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x		
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	3	3	3	R	R	R	R	R	
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	3	3	3	R	R	R	R	R	
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	3	3	3						
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup>	35	35	35		x	x	x	
	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW010110000010	GR[reg2] GR[reg2] ÷ GR[reg1] <sup>注6</sup> GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW010110000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
EI		1000011111100000 0000000101100000	PSW.ID 0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr11111100000 WWWWW01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x	
JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	2	2	2					
JMP	[reg1]	00000000011RRRRR	PC GR[reg1]	3	3	3					
JR	disp22	0000011110dddddd ddddddddddddddd0 注7	PC PC + sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注11					
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1				
				regID = PSW	1	1	1	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr11111RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注11					

モニタック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11						
MOV	reg1, reg2	rrrrr00000RRRRR	GR[reg2] GR[reg1]	1	1	1						
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1						
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2						
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1						
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 <sup>16</sup> )	1	1	1						
MUL <sup>注21</sup>	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100000	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	4	5						
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] <sup>注6</sup> × GR[reg1] <sup>注6</sup>	1	1	2						
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] <sup>注6</sup> × sign-extend (imm5)	1	1	2						
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] <sup>注6</sup> × imm16	1	1	2						
MULU <sup>注21</sup>	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100010	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5						
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	4	5						
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1						
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT ( GR[reg1] )	1	1	1		0	x	x		
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					x	
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					x	
					注3	注3	注3					
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x		
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	x	x		
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4						
	list12, imm5, sp/imm <sup>注14</sup>	0000011110iiiiL LLLLLLLLLLLff011 imm16/imm32 注15	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp - zero-extend (imm5) ep sp/imm	n+2 注4	n+2 注4	n+2 注4						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1] )	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5) )	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1] )	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16) )	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2] )	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) ) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) ) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注17	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte) )	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注18	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword) )	1	1	注9					

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注17, 19	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword) )	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注20	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注18	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注20	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0) )	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0) )	1	1	1					
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3) )	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2) )	3	3	3	注3	注3	注3		x
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	00000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0) )	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0) )	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は3。
  3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
  4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ数。n = 0の場合, n = 1と同じ動作)
  5. RRRRR : 00000以外
  6. 下位ハーフワード・データだけ有効
  7. ddddddddddddddddddddはdisp22の上位21ビットです。
  8. ddddddddddddddddはdisp16の上位15ビットです。
  9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
  10. b : disp16のビット0
  11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
  12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
    - rrrrr = regID指定
    - RRRRR = reg2指定
  13. iiii : imm9の下位5ビット  
IIII : imm9の上位4ビット
  14. sp/imm : サブオペコードのビット19, 20で指定
  15. ff = 00 : spをepにロード
    - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
    - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
    - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
  16. imm = imm32の場合はn + 3クロック
  17. rrrrr : 00000以外
  18. dddddはdisp8の上位7ビットです。
  19. ddddはdisp5の上位4ビットです。
  20. dddddはdisp8の上位6ビットです。
  21. 「MUL reg1, reg2, reg3」命令, 「MULU reg1, reg2, reg3」命令において, 次の条件をすべて満たすレジスタの組み合わせは行わないでください。この条件に当てはまる命令を実行した場合の動作は保証しません。
    - reg1 = reg3
    - reg1 ≠ reg2
    - reg1 ≠ r0
    - reg3 ≠ r0



## 付録E 改版履歴

### E.1 本版で改訂された主な箇所

(1/2)

箇所	内容
p.40	3.2.1(1) 汎用レジスタ (r0-r31) 記述変更
p.44	3.2.2(4) プログラム・ステータス・ワード (PSW) 記述変更
p.53	3.4.4(2) 内蔵周辺I/O領域 記述変更
p.77	4.3.2(2) ポート1モード・レジスタ (PM1) 記述変更
p.102	4.3.11(3) ポートDHモード・コントロール・レジスタ (PMCDH) 記述変更
p.127, 130	表4-15 ポート端子を兼用端子として使用する場合 記述変更
p.132	4.6.3 セバレート・バス・モード時の注意事項 追加
p.133	5.1 特徴 記述変更
p.146	5.6.2 外部ウエイト機能 記述変更
p.150	5.8.1 機能概要 記述変更
p.165	7.1 概要 記述変更
p.166	7.3 構成 記述変更
p.168-174, 176, 178	7.4 レジスタ 記述変更
p.180	表7-4 各モードによるタイマ出力制御 記述変更
p.183	図7-2 随時書き込みの基本動作フロー・チャート 記述変更
p.185, 186	7.6(2)(b) 一斉書き込み 記述変更
p.188, 189	図7-8 インターバル・タイマ・モード動作時のレジスタ設定内容 記述変更
p.190	図7-9 インターバル・タイマ・モード使用時のソフトウェア処理フロー 記述変更
p.193	7.6.1(2)(c) TPnCCR0, TPnCCR1レジスタの書き換えに関する注意事項 記述変更
p.194	7.6.1(2)(d) TPnCCR1レジスタの動作 記述変更
p.196	7.6.1(3) 外部イベント・カウント入力 (TIPn0) による動作 追加
p.197-205	7.6.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001) 記述変更
p.206-211, 213-217	7.6.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)
p.218-224	7.6.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011) 記述変更
p.225-233	7.6.5 PWM出力モード (TPnMD2-TPnMD0ビット = 100) 記述変更
p.235, 237, 238	7.6.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101) 記述変更
p.239, 241	7.6.6(1) フリー・ランニング・タイマ・モード動作フロー 記述変更
p.244-249	7.6.6(2) フリー・ランニング・タイマ・モード動作フロー 記述変更
p.250	7.6.6(3) キャプチャ動作の注意事項 記述変更
p.251-254	7.6.7 パルス幅測定モード (TPnMD2-TPnMD0ビット = 110) 記述変更
p.255	7.6.7(1) パルス幅測定モード動作フロー 記述変更
p.256	7.6.7(3) 注意事項 追加
p.259	8.3 制御レジスタ 記述変更
p.260, 263	8.4 動作 記述変更
p.264	8.5 注意事項 記述変更

箇所	内容
p.274	10.3 制御レジスタ 記述変更
p.279	図11-1 A/Dコンバータのブロック図 記述変更
p.287	11.5.1 基本動作 記述変更
p.289	11.5.2 トリガ・モード
p.302	図12-1 D/Aコンバータのブロック図 記述変更
p.309, 310	13.3 構成 記述変更
p.311-314, 316	13.4 レジスタ 記述変更
p.320	図13-6 連続送信動作のタイミング 記述変更
p.323	図13-7 UART受信 記述変更
p.328	図13-10 ボー・レート・ジェネレータの構成 記述変更
p.331, 332	13.7(4) ボー・レート 記述変更
p.335	13.8 注意事項 記述変更
p.340-345, 347	14.4 制御レジスタ 記述変更
p.348	14.5 割り込み要求信号 追加
p.349	14.6.1 シングル転送モード(マスタ・モード, 送信モード) 記述変更
p.351	14.6.2 シングル転送モード(マスタ・モード, 受信モード) 記述変更
p.353	14.6.3 シングル転送モード(マスタ・モード, 送受信モード) 記述変更
p.355	14.6.4 シングル転送モード(スレーブ・モード, 送信モード) 記述変更
p.357	14.6.5 シングル転送モード(スレーブ・モード, 受信モード) 記述変更
p.359	14.6.6 シングル転送モード(スレーブ・モード, 送受信モード) 記述変更
p.361	14.6.7 連続転送モード(マスタ・モード, 送信モード) 記述変更
p.363	14.6.8 連続転送モード(マスタ・モード, 受信モード) 記述変更
p.366	14.6.9 連続転送モード(マスタ・モード, 送受信モード) 記述変更
p.370	14.6.10 連続転送モード(スレーブ・モード, 送信モード) 記述変更
p.372	14.6.11 連続転送モード(スレーブ・モード, 受信モード) 記述変更
p.375	14.6.12 連続転送モード(スレーブ・モード, 送受信モード) 記述変更
p.399	15.3.4 割り込み制御レジスタ(xxlCn) 記述変更
p.402	15.3.5 割り込みマスク・レジスタ0-2(IMR0-IMR2) 記述変更
p.406	15.4.1 ノイズ除去 記述変更
p.412	15.5.2 復帰 記述変更
p.418	図15-14 割り込み要求受け付け時のパイプライン動作例(概略) 記述変更
p.419	15.9 注意事項 追加
p.434	図17-3 パワーオン時のリセット動作のタイミング 記述変更
p.436	18.1 概要 記述変更
p.438	図18-2 REGC端子の接続 記述変更
p.446	19.7.3(1)(a) リード・サイクル(CLKOUT非同期) 記述変更
p.459	19.7.3(3)(a) リード・サイクル(CLKOUT非同期) 記述変更
p.479	第21章 半田付け推奨条件 記述変更

## E.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/2)

版数	内容	適用箇所
第2版	・全製品のオーダ名称を鉛フリー製品に変更 ・全製品が開発中 開発済み ・NC端子をIC1-IC6端子に変更	全般
	2.1 (1) ポート端子 記述変更	第2章 端子機能
	2.3 端子の入出力回路タイプ，入出力バッファ電源と未使用時の処理 記述変更	
	図2-1 端子の入出力回路タイプ 記述変更	
	表3-2 システム・レジスタ番号 記述変更	第3章 CPU機能
	3.2.2 (6) 例外/デバッグ・トラップ時状態回避レジスタ (DBPC, DBPSW) 記述変更	
	表4-3 ポート・モード時のPnレジスタへの書き込み/読み出しについて 記述追加	第4章 ポート機能
	表4-6 ポート3の兼用端子 記述変更	
	表4-7 ポート4の兼用端子 記述変更	
	5.4 (1) 外部バス・インタフェース・モード・コントロール・レジスタ (EXIMC) 記述変更	第5章 バス制御機能
	5.5.2 (1) バス・サイズ・コンフィギュレーション・レジスタ (BSC) 記述変更	
	5.6.1 (1) データ・ウェイト・コントロール・レジスタ0 (DWC0) 記述変更	
	5.6.4 (1) アドレス・ウェイト・コントロール・レジスタ (AWC) 記述変更	
	5.7 (1) バス・サイクル・コントロール・レジスタ (BCC) 記述変更	
	8.2 (2) TMM0コンペア・レジスタ0 (TM0CMP0) 記述追加	第8章 16ビット・インターバル・タイマ (TMM)
	8.3 (1) TMM0制御レジスタ0 (TM0CTL0) 記述変更	
	9.3 (2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) 記述変更	第9章 ウォッチドッグ・タイマ機能
	9.4.2 インターバル・タイマとしての動作 記述変更	
	11.4 (1) A/Dコンバータ・モード・レジスタ0 (ADA0M0) 記述追加	第11章 A/Dコンバータ
	11.4 (2) A/Dコンバータ・モード・レジスタ1 (ADA0M1) 記述追加	
	11.4 (3) A/Dコンバータ・チャンネル指定レジスタ (ADA0S) 記述追加	
	11.4 (4) A/D変換結果レジスタn, nH (ADA0CRn, ADA0CRnH) 記述変更	
	11.5.2 (1) ソフトウェア・トリガ・モード, (2) 外部トリガ・モード 記述変更	
	11.6 (4) 兼用入力について, (7) ADA0CRnレジスタの読み出しについて 記述変更	
	11.6 (9) A/D変換結果のばらつき, (10) A/D変換のヒステリシス特性 追加	
	12.1 機能 記述変更	第12章 D/Aコンバータ
	表13-3 ポー・レート・ジェネレータ設定データ 記述変更	第13章 アシンクロナス・シリアル・インタフェースA (UARTA)
	15.6.1 (2) 復帰 記述追加	第15章 割り込み / 例外処理機能
	15.6.2 (2) 復帰 記述追加	
	16.2 (1) パワー・セーブ・コントロール・レジスタ (PSC) 記述追加	第16章 スタンバイ機能
図17-3 パワーオン時のリセット動作のタイミング 記述変更	第17章 リセット機能	

版 数	内 容	適応箇所
	図18 - 1 レギュレータ 図変更	第18章 レギュレータ
	バス・タイミング (2) (c) ライト・サイクル (CLKOUT非同期) 記述変更	第19章 電気的特性
	バス・タイミング (4) (c) ライト・サイクル (CLKOUT非同期) 記述変更	
	第21章 半田付け推奨条件 追加	第21章 半田付け推奨条件
	A. 2 A/Dコンバータ動作中における再変換要因の発生タイミングに関する制限事項 追加	付録A 注意事項
	付録E 改版履歴 追加	付録E 改版履歴

[メモ]

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

---

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

---

## 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

---

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。

---