お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル（暫定）

V850ES/SG2

32ビット・シングルチップ・マイクロコンピュータ

ハードウエア編

μPD703262HY
μPD703263HY
μPD70F3263HY
μPD703272HY
μPD703273HY
μPD70F3273HY
μPD703282HY
μPD703283HY
μPD70F3283HY

資料番号　U17644JJ1V0UD00（第1版）
発行年月　July 2005 N　CP(K)

© NEC Electronics Corporation 2005

〔メ　モ〕

目次要約

第1章　イントロダクション　…　21
第2章　端子機能　…　34
第3章　CPU機能　…　49
第4章　ポート機能　…　89
第5章　バス制御機能　…　172
第6章　クロック発生機能　…　198
第7章　16ビット・タイマ／イベント・カウンタP（TMP）　…　211
第8章　16ビット・タイマ／イベント・カウンタQ（TMQ）　…　300
第9章　16ビット・インターバル・タイマM（TMM）　…　400
第10章　時計タイマ機能　…　409
第11章　ウォッチドッグ・タイマ2機能　…　419
第12章　リアルタイム出力機能（RTO）　…　424
第13章　A/Dコンバータ　…　431
第14章　D/Aコンバータ　…　466
第15章　アシンクロナス・シリアル・インタフェースA（UARTA）　…　471
第16章　3線式可変長シリアルI/O（CSIB）　…　508
第17章　I^2Cバス　…　539
第18章　IEBusコントローラ　…　617
第19章　CANコントローラ　…　689
第20章　DMA機能（DMAコントローラ）　…　835
第21章　CRC機能　…　858
第22章　割り込み／例外処理機能　…　863
第23章　キー割り込み機能　…　901
第24章　スタンバイ機能　…　903
第25章　リセット機能　…　923
第26章　クロック・モニタ　…　935
第27章　レギュレータ　…　940
第28章　ROMコレクション機能　…　942
第29章　フラッシュ・メモリ　…　947
第30章　オンチップ・ディバグ機能　…　970
第31章　電気的特性（ターゲット）　…　981
第32章　外 形 図　…　1016
第33章　半田付け推奨条件　…　1017
付録A　開発ツール　…　1018
付録B　レジスタ索引　…　1028
付録C　命令セット一覧　…　1040

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

IEBus, Inter Equipment Bus, IECUBEは，NECエレクトロニクス株式会社の登録商標です。

Windows, Windows XP，およびWindows NTは，米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは，米国IBM社の商標です。

SPARCstationは，米国SPARC International, Inc.の商標です。

Solaris, SunOSは，米国サン・マイクロシステムズ社の商標です。

本製品のうち，外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては，日本国外に輸出する際に，同法に基づき日本国政府の輸出許可が必要です。

非該当品　　：μPD70F3263HY, 70F3273HY, 70F3283HY

ユーザ判定品：μPD703262HY, 703263HY, 703272HY, 703273HY, 703282HY, 703283HY

- 本資料は，この製品の企画段階で作成していますので，予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。当社は，本資料の誤りに関し，一切その責を負いません。
- 当社は，本資料に掲載された当社製品の使用に関連し発生した第三者の特許権，著作権その他の知的財産権の侵害等に関し，一切その責を負いません。当社は，本資料に基づき当社または第三者の特許権，著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路，ソフトウエアおよびこれらに関連する情報は，半導体製品の動作例，応用例を説明するものです。お客様の機器の設計において，回路，ソフトウエアおよびこれらに関する情報を使用する場合には，お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し，当社は，一切その責を負いません。
- 当社は，当社製品の品質，信頼性の向上に努めておりますが，当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命，身体および財産に対する損害の危険を最小限度にするために，冗長設計，延焼対策設計，誤動作防止設計等安全設計を行ってください。
- 当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また，各品質水準は，以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認ください。

  標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

  特別水準：輸送機器（自動車，電車，船舶等），交通用信号機器，防災・防犯装置，各種安全装置，生命維持を目的として設計されていない医療機器

  特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート，データ・ブック等の資料で特に品質水準の表示がない場合は，標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には，事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは，NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは，（1）において定義された当社の開発，製造製品をいう。

M5　02.11

はじめに

対 象 者　このマニュアルは，V850ES/SG2のうち，32 MHzで動作する次の製品についての機能を理解し，それを用いた応用システムを設計するユーザを対象とします。

- μPD703262HY，703263HY，70F3263HY，703272HY，703273HY，70F3273HY，703282HY，703283HY, 70F3283HY

目　　的　このマニュアルは，次の構成に示すハードウエア機能をユーザに理解していただくことを目的としています。

構　　成　V850ES/SG2のユーザーズ・マニュアルは，ハードウエア編（このマニュアル）と，アーキテクチャ編（V850ES　ユーザーズ・マニュアル　アーキテクチャ編）の2冊に分かれています。

ハードウエア編	アーキテクチャ編
・端子機能	・データ・タイプ
・CPU機能	・レジスタ・セット
・内蔵周辺機能	・命令形式と命令セット
・フラッシュ・メモリ・プログラミング	・割り込みと例外
・電気的特性（ターゲット）	・パイプラインの動作

読 み 方　このマニュアルの読者には，電気，論理回路，およびマイクロコンピュータに関する一般知識を必要とします。

一通りV850ES/SG2の機能を理解しようとするとき
　→目次に従ってお読みください。

レジスタ名がわかっていて，レジスタの詳細を確認するとき
　→付録B　レジスタ索引を利用してください。

V850ES/SG2の電気的特性を知りたいとき
　→第31章　電気的特性（ターゲット）を参照してください。

命令機能の詳細を理解しようとするとき
　→別冊のV850ES　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

レジスタ・フォーマットの見方
　→ビット番号を○で囲んでいるものは，そのビット名称がデバイス・ファイルで予約語に定義されているものです。

このマニュアルでは，「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし，プログラムにそのまま「xxx.yyy」と記述しても，コンパイラ／アセンブラは正しく認識できませんので，注意してください。

凡　例　データ表記の重み：左が上位桁，右が下位桁

アクティブ・ロウの表記：$\overline{\text{xxx}}$（端子，信号名称に上線）

メモリ・マップのアドレス：上部－上位，下部－下位

注　：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：2進数　…　xxxxまたはxxxxB

10進数　…　xxxx

16進数　…　xxxxH

2のべき数を示す接頭語（アドレス空間，メモリ容量）：

K（キロ）：$2^{10} = 1024$

M（メガ）：$2^{20} = 1024^2$

G（ギガ）：$2^{30} = 1024^3$

関連資料　関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/SG2に関する資料

資　料　名	資料番号
V850ES　ユーザーズ・マニュアル　アーキテクチャ編	U15943J
V850ES/SG2　ユーザーズ・マニュアル　ハードウエア編	U16541J
V850ES/SG2　（32 MHz動作品）　ユーザーズ・マニュアル　ハードウエア編	このマニュアル

開発ツールに関する資料（ユーザーズ・マニュアル）

資　料　名		資料番号
IE-V850ES-G1（インサーキット・エミュレータ）		U16313J
IE-703288-G1-EM1（インサーキット・エミュレータ・オプション・ボード）		作成予定
IE-V850E1-CD-NW（PCMCIA　カード型オンチップ・デバッグ・エミュレータ）		U16647J
QB-V850ESSX2（インサーキット・エミュレータ）		U17091J
CA850　Ver.3.00　Cコンパイラ・パッケージ	操作編	U17293J
	C言語編	U17291J
	アセンブリー言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM+　Ver.6.00　プロジェクト・マネージャ		U17178J
ID850　Ver.3.00　統合デバッガ	操作編	U17358J
ID850QB　Ver.3.10　統合デバッガ	操作編	U17435J
TW850　Ver.2.00　性能解析チューニング・ツール		U17241J
SM850　Ver.2.50　システム・シミュレータ	操作編	U16218J
SM850　Ver.2.00以上　システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
SM+　システム・シミュレータ	操作編	U17246J
	ユーザ・オープン・インタフェース編	U17247J
RX850　Ver.3.20　リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro　Ver.3.20　リアルタイムOS	基礎編	U13773J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッガ編	U17422J
AZ850　Ver.3.30　システム・パフォーマンス・アナライザ		U17423J
PG-FP4　フラッシュ・メモリ・プログラマ		U15260J

目　　次

第1章　イントロダクション　…　21

1. 1　概　　説　…　21
1. 2　特　　徴　…　25
1. 3　応用分野　…　26
1. 4　オーダ情報　…　27
1. 5　端子接続図（Top View）　…　27
1. 6　機能ブロック構成　…　30
　1. 6. 1　内部ブロック図　…　30
　1. 6. 2　内部ユニット　…　31

第2章　端子機能　…　34

2. 1　端子機能一覧　…　34
2. 2　端子状態　…　43
2. 3　端子の入出力回路タイプ，入出力バッファ電源と未使用時の処理　…　44
2. 4　注意事項　…　48

第3章　CPU機能　…　49

3. 1　特　　徴　…　49
3. 2　CPUレジスタ・セット　…　50
　3. 2. 1　プログラム・レジスタ・セット　…　51
　3. 2. 2　システム・レジスタ・セット　…　52
3. 3　動作モード　…　58
　3. 3. 1　動作モード指定　…　58
3. 4　アドレス空間　…　59
　3. 4. 1　CPUアドレス空間　…　59
　3. 4. 2　CPUアドレス空間のラップ・アラウンド　…　60
　3. 4. 3　メモリ・マップ　…　61
　3. 4. 4　領　　域　…　63
　3. 4. 5　アドレス空間の推奨使用方法　…　67
　3. 4. 6　周辺I/Oレジスタ　…　69
　3. 4. 7　プログラマブル周辺I/Oレジスタ　…　80
　3. 4. 8　特定レジスタ　…　80
　3. 4. 9　注意事項　…　84

第4章　ポート機能　…　89

4. 1　特　　徴　…　89
4. 2　ポートの基本構成　…　89
4. 3　ポートの構成　…　90
　4. 3. 1　ポート0　…　95
　4. 3. 2　ポート1　…　98

4.3.3 ポート3 … 99
4.3.4 ポート4 … 105
4.3.5 ポート5 … 107
4.3.6 ポート7 … 112
4.3.7 ポート9 … 114
4.3.8 ポートCM … 122
4.3.9 ポートCT … 124
4.3.10 ポートDH … 126
4.3.11 ポートDL … 128
4.4 ブロック図 … 131
4.5 兼用機能使用時のポートのレジスタ設定 … 159
4.6 注意事項 … 167
4.6.1 ポート端子設定上の注意事項 … 167
4.6.2 ポートnレジスタ（Pn）に対するビット操作命令に関する注意事項 … 170
4.6.3 オンチップ・ディバグ用端子に関する注意事項 … 171
4.6.4 P05/INTP2/$\overline{\text{DRST}}$端子に関する注意事項 … 171
4.6.5 P10, P11, P53端子に関する電源投入時の注意事項 … 171
4.6.6 ヒステリシス特性について … 171

第5章 バス制御機能 … 172

5.1 特 徴 … 172
5.2 バス制御端子 … 173
5.2.1 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態 … 173
5.2.2 各動作モードの端子状態 … 173
5.3 メモリ・ブロック機能 … 174
5.4 外部バス・インタフェース・モード制御機能 … 175
5.5 バス・アクセス … 176
5.5.1 アクセス・クロック数 … 176
5.5.2 バス・サイズ設定機能 … 176
5.5.3 バス・サイズによるアクセス … 177
5.6 ウエイト機能 … 184
5.6.1 プログラマブル・ウエイト機能 … 184
5.6.2 外部ウエイト機能 … 185
5.6.3 プログラマブル・ウエイトと外部ウエイトの関係 … 186
5.6.4 プログラマブル・アドレス・ウエイト機能 … 187
5.7 アイドル・ステート挿入機能 … 188
5.8 バス・ホールド機能 … 189
5.8.1 機能概要 … 189
5.8.2 バス・ホールド手順 … 190
5.8.3 パワー・セーブ・モード時の動作 … 190
5.9 バスの優先順位 … 191
5.10 バス・タイミング … 192

第6章 クロック発生機能 … 198

6.1 概 要 … 198
6.2 構 成 … 199
6.3 レジスタ … 201

6.4 動　　作 … 206
6.4.1 各クロックの動作 … 206
6.4.2 クロック出力機能 … 206
6.5 PLL機能 … 207
6.5.1 概　　要 … 207
6.5.2 レジスタ … 207
6.5.3 使用方法 … 210

第7章 16ビット・タイマ／イベント・カウンタP（TMP） … 211

7.1 概　　要 … 211
7.2 機　　能 … 211
7.3 構　　成 … 212
7.4 レジスタ … 214
7.5 動　　作 … 226
7.5.1 インターバル・タイマ・モード（TPnMD2-TPnMD0ビット = 000） … 227
7.5.2 外部イベント・カウント・モード（TPnMD2-TPnMD0ビット = 001） … 237
7.5.3 外部トリガ・パルス出力モード（TPnMD2-TPnMD0ビット = 010） … 245
7.5.4 ワンショット・パルス出力モード（TPnMD2-TPnMD0ビット = 011） … 257
7.5.5 PWM出力モード（TPnMD2-TPnMD0ビット = 100） … 264
7.5.6 フリー・ランニング・タイマ・モード（TPnMD2-TPnMD0ビット = 101） … 273
7.5.7 パルス幅測定モード（TPnMD2-TPnMD0ビット = 110） … 290
7.5.8 タイマ出力動作説明 … 296
7.6 セレクタ機能 … 297
7.7 注意事項 … 299

第8章 16ビット・タイマ／イベント・カウンタQ（TMQ） … 300

8.1 概　　要 … 300
8.2 機　　能 … 300
8.3 構　　成 … 301
8.4 レジスタ … 304
8.5 動　　作 … 320
8.5.1 インターバル・タイマ・モード（TQ0MD2-TQ0MD0ビット = 000） … 321
8.5.2 外部イベント・カウント・モード（TQ0MD2-TQ0MD0ビット = 001） … 330
8.5.3 外部トリガ・パルス出力モード（TQ0MD2-TQ0MD0ビット = 010） … 339
8.5.4 ワンショット・パルス出力モード（TQ0MD2-TQ0MD0ビット = 011） … 352
8.5.5 PWM出力モード（TQ0MD2-TQ0MD0ビット = 100） … 361
8.5.6 フリー・ランニング・タイマ・モード（TQ0MD2-TQ0MD0ビット = 101） … 372
8.5.7 パルス幅測定モード（TQ0MD2-TQ0MD0ビット = 110） … 392
8.5.8 タイマ出力動作説明 … 398
8.6 セレクタ機能 … 398
8.7 注意事項 … 399

第9章 16ビット・インターバル・タイマM（TMM） … 400

9.1 概　　要 … 400
9.2 構　　成 … 401
9.3 レジスタ … 403

9.4 動　　作 … 404
9.4.1 インターバル・タイマ・モード … 404
9.4.2 注意事項 … 408

第10章 時計タイマ機能 … 409

10.1 機　　能 … 409
10.2 構　　成 … 410
10.3 レジスタ … 412
10.4 動　　作 … 416
10.4.1 時計タイマとしての動作 … 416
10.4.2 インターバル・タイマとしての動作 … 417
10.4.3 注意事項 … 418

第11章 ウォッチドッグ・タイマ2機能 … 419

11.1 機　　能 … 419
11.2 構　　成 … 420
11.3 レジスタ … 421
11.4 動　　作 … 423

第12章 リアルタイム出力機能（RTO） … 424

12.1 機　　能 … 424
12.2 構　　成 … 425
12.3 レジスタ … 427
12.4 動　　作 … 429
12.5 使用方法 … 430
12.6 注意事項 … 430

第13章 A/Dコンバータ … 431

13.1 概　　要 … 431
13.2 機　　能 … 431
13.3 構　　成 … 432
13.4 レジスタ … 435
13.5 動　　作 … 445
13.5.1 基本動作 … 445
13.5.2 変換動作タイミング … 446
13.5.3 トリガ・モード … 447
13.5.4 動作モード … 449
13.5.5 パワー・フェイル比較モード … 453
13.6 注意事項 … 458
13.7 A/Dコンバータ特性表の読み方 … 462

第14章 D/Aコンバータ … 466

14.1 機　　能 … 466
14.2 構　　成 … 466

14. 3　レジスタ　…　467
14. 4　動　　作　…　469
14. 4. 1　通常モード時の動作　…　469
14. 4. 2　リアルタイム出力モード時の動作　…　469
14. 4. 3　使用上の注意点　…　470

第15章　アシンクロナス・シリアル・インタフェースA（UARTA）　…　471

15. 1　UARTAとほかのシリアル・インタフェースのモード切り替え　…　471
15. 1. 1　CSIB4とUARTA0のモード切り替え　…　471
15. 1. 2　UARTA2とI^2C00のモード切り替え　…　472
15. 1. 3　UARTA1とI^2C02のモード切り替え　…　473
15. 2　特　　徴　…　474
15. 3　構　　成　…　475
15. 4　レジスタ　…　477
15. 5　割り込み要求信号　…　483
15. 6　動　　作　…　484
15. 6. 1　データ・フォーマット　…　484
15. 6. 2　SBF送信／受信フォーマット　…　486
15. 6. 3　SBF送信　…　488
15. 6. 4　SBF受信　…　489
15. 6. 5　UART送信　…　490
15. 6. 6　連続送信の手順説明　…　490
15. 6. 7　UART受信　…　493
15. 6. 8　受信エラー　…　495
15. 6. 9　パリティの種類と動作　…　497
15. 6. 10　受信データのノイズ・フィルタ　…　498
15. 7　専用ボー・レート・ジェネレータ　…　499
15. 8　注意事項　…　507

第16章　3線式可変長シリアルI/O（CSIB）　…　508

16. 1　CSIBとほかのシリアル・インタフェースのモード切り替え　…　508
16. 1. 1　CSIB4とUARTA0のモード切り替え　…　508
16. 1. 2　CSIB0とI^2C01のモード切り替え　…　509
16. 2　特　　徴　…　510
16. 3　構　　成　…　511
16. 4　レジスタ　…　513
16. 5　動　　作　…　520
16. 5. 1　シングル転送モード（マスタ・モード，送受信モード）　…　520
16. 5. 2　シングル転送モード（マスタ・モード，受信モード）　…　521
16. 5. 3　連続モード（マスタ・モード，送受信モード）　…　522
16. 5. 4　連続モード（マスタ・モード，受信モード）　…　523
16. 5. 5　連続受信モード（エラー時）　…　524
16. 5. 6　連続モード（スレーブ・モード，送受信モード）　…　525
16. 5. 7　連続モード（スレーブ・モード，受信モード）　…　526
16. 5. 8　クロック・タイミング　…　527
16. 6　出力端子　…　529
16. 7　動作フロー　…　530

16. 8　ボー・レート・ジェネレータ　…　536
16. 8. 1　ボー・レートの生成　…　537
16. 9　注意事項　…　538

第17章　I²Cバス　…　539

17. 1　I²Cバスとほかのシリアル・インタフェースのモード切り替え　…　539
17. 1. 1　UARTA2とI²C00のモード切り替え　…　539
17. 1. 2　CSIB0とI²C01のモード切り替え　…　540
17. 1. 3　UARTA1とI²C02のモード切り替え　…　541
17. 2　特　　徴　…　542
17. 3　構　　成　…　543
17. 4　レジスタ　…　547
17. 5　I²Cバス・モードの機能　…　563
17. 5. 1　端子構成　…　563
17. 6　I²Cバスの定義および制御方法　…　564
17. 6. 1　スタート・コンディション　…　565
17. 6. 2　アドレス　…　566
17. 6. 3　転送方向指定　…　567
17. 6. 4　アクノリッジ（$\overline{\text{ACK}}$）　…　568
17. 6. 5　ストップ・コンディション　…　569
17. 6. 6　ウエイト　…　570
17. 6. 7　ウエイト解除方法　…　572
17. 7　I²C割り込み要求信号（INTIICn）　…　573
17. 7. 1　マスタ動作　…　573
17. 7. 2　スレーブ動作（スレーブ・アドレス・データ受信時（アドレス一致））　…　576
17. 7. 3　スレーブ動作（拡張コード受信時）　…　580
17. 7. 4　通信不参加の動作　…　584
17. 7. 5　アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）　…　585
17. 7. 6　アービトレーション負けの動作（アービトレーション負けのあと，不参加）　…　587
17. 8　割り込み要求信号（INTIICn）発生タイミングおよびウエイト制御　…　594
17. 9　アドレスの一致検出方法　…　596
17. 10　エラーの検出　…　596
17. 11　拡張コード　…　596
17. 12　アービトレーション　…　597
17. 13　ウエイク・アップ機能　…　598
17. 14　通信予約　…　599
17. 14. 1　通信予約機能許可の場合（IICFn.IICRSVnビット = 0）　…　599
17. 14. 2　通信予約機能禁止の場合（IICFn.IICRSVnビット = 1）　…　603
17. 15　注意事項　…　604
17. 16　通信動作　…　605
17. 16. 1　マスタ動作1　…　605
17. 16. 2　マスタ動作2　…　606
17. 16. 3　スレーブ動作　…　607
17. 17　データ通信のタイミング　…　610

第18章　IEBusコントローラ　…　617

18. 1　機　　能　…　617
18. 1. 1　IEBusの通信プロトコル　…　617
18. 1. 2　バス占有権の決定（アービトレーション）　…　618
18. 1. 3　通信モード　…　618
18. 1. 4　通信アドレス　…　619
18. 1. 5　同報通信　…　619
18. 1. 6　IEBusの伝送フォーマット　…　620
18. 1. 7　伝送データ　…　630
18. 1. 8　ビット・フォーマット　…　633
18. 2　構　　成　…　634
18. 3　レジスタ　…　636
18. 4　IEBusコントローラの割り込み動作　…　668
18. 4. 1　割り込み制御部　…　668
18. 4. 2　割り込み判定例　…　671
18. 4. 3　割り込み要因一覧　…　674
18. 4. 4　通信エラー要因処理一覧　…　675
18. 5　割り込み要求信号発生タイミングおよび主なCPU処理内容　…　677
18. 5. 1　マスタ送信　…　677
18. 5. 2　マスタ受信　…　679
18. 5. 3　スレーブ送信　…　681
18. 5. 4　スレーブ受信　…　683
18. 5. 5　IEBus制御用割り込み要求信号発生間隔　…　685

第19章　CANコントローラ　…　689

19. 1　概　　要　…　689
19. 1. 1　特　　徴　…　689
19. 1. 2　機能概要　…　690
19. 1. 3　構　　成　…　691
19. 2　CANプロトコル　…　692
19. 2. 1　フレーム・フォーマット　…　692
19. 2. 2　フレーム・タイプ　…　693
19. 2. 3　データ・フレーム／リモート・フレーム　…　693
19. 2. 4　エラー・フレーム　…　701
19. 2. 5　オーバロード・フレーム　…　702
19. 3　機　　能　…　703
19. 3. 1　バス・プライオリティの決定　…　703
19. 3. 2　ビット・スタッフ　…　703
19. 3. 3　マルチマスタ　…　703
19. 3. 4　マルチキャスト　…　704
19. 3. 5　CANスリープ・モード／CANストップ・モード機能　…　704
19. 3. 6　エラー制御機能　…　704
19. 3. 7　ボー・レート制御機能　…　710
19. 4　ターゲット・システムとの接続　…　714
19. 5　CANコントローラの内部レジスタ　…　715
19. 5. 1　CANコントローラの構成　…　715
19. 5. 2　レジスタ・アクセス・タイプ　…　716

19. 5. 3　レジスタのビット構成　…　733
19. 6　レジスタ　…　737
19. 7　ビットのセット／クリア機能　…　772
19. 8　CANコントローラの初期化処理　…　774
19. 8. 1　CANモジュールの初期化　…　774
19. 8. 2　メッセージ・バッファの初期化　…　774
19. 8. 3　メッセージ・バッファの再定義　…　774
19. 8. 4　動作モードへの移行　…　776
19. 8. 5　CANモジュールのエラー・カウンタC0ERCのリセット　…　777
19. 9　メッセージ受信　…　778
19. 9. 1　メッセージ受信　…　778
19. 9. 2　受信ヒストリ・リスト機能　…　779
19. 9. 3　マスク機能　…　781
19. 9. 4　マルチ・バッファ受信ブロック機能　…　783
19. 9. 5　リモート・フレーム受信　…　784
19. 10　メッセージ送信　…　785
19. 10. 1　メッセージ送信　…　785
19. 10. 2　送信ヒストリ・リスト機能　…　787
19. 10. 3　自動ブロック送信機能（ABT：Automatic Block Transmission）　…　789
19. 10. 4　送信中断処理　…　790
19. 10. 5　リモート・フレーム送信　…　791
19. 11　パワー・セーブ・モード　…　792
19. 11. 1　CANスリープ・モード　…　792
19. 11. 2　CANストップ・モード　…　795
19. 11. 3　パワー・セーブ・モード使用例　…　796
19. 12　割り込み機能　…　797
19. 13　診断機能と特殊動作モード　…　798
19. 13. 1　受信オンリー・モード　…　798
19. 13. 2　シングル・ショット・モード　…　799
19. 13. 3　セルフ・テスト・モード　…　800
19 .14　タイム・スタンプ機能　…　801
19. 14. 1　タイム・スタンプ機能　…　801
19. 15　ボー・レート設定について　…　802
19. 15. 1　ボー・レート設定について　…　802
19. 15. 2　代表的なボー・レート設定例　…　806
19. 16　CANコントローラの動作　…　810

第20章　DMA機能（DMAコントローラ）　…　835

20. 1　特　　徴　…　835
20. 2　構　　成　…　836
20. 3　レジスタ　…　837
20. 4　転送対象　…　844
20. 5　転送モード　…　844
20. 6　転送タイプ　…　845
20. 7　DMAチャネルの優先順位　…　846
20. 8　DMA転送に関する各種時間　…　846
20. 9　DMA転送起動要因　…　847
20. 10　DMAの中断要因　…　848

20. 11　DMA転送の終了　…　848
20. 12　動作タイミング　…　848
20. 13　注意事項　…　853

第21章　CRC機能　…　858

21. 1　機　　能　…　858
21. 2　構　　成　…　858
21. 3　レジスタ　…　859
21. 4　動　　作　…　860
21. 5　使用方法　…　861

第22章　割り込み／例外処理機能　…　863

22. 1　特　　徴　…　863
22. 2　ノンマスカブル割り込み　…　867
　22. 2. 1　動　　作　…　870
　22. 2. 2　復　　帰　…　871
　22. 2. 3　NPフラグ　…　872
22. 3　マスカブル割り込み　…　873
　22. 3. 1　動　　作　…　873
　22. 3. 2　復　　帰　…　875
　22. 3. 3　マスカブル割り込みの優先順位　…　876
　22. 3. 4　割り込み制御レジスタ（xxICn）　…　880
　22. 3. 5　割り込みマスク・レジスタ0-3（IMR0-IMR3）　…　882
　22. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）　…　884
　22. 3. 7　IDフラグ　…　885
　22. 3. 8　ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2）　…　885
22. 4　ソフトウエア例外　…　886
　22. 4. 1　動　　作　…　886
　22. 4. 2　復　　帰　…　887
　22. 4. 3　EPフラグ　…　888
22. 5　例外トラップ　…　889
　22. 5. 1　不正命令コード　…　889
　22. 5. 2　ディバグ・トラップ　…　891
22. 6　外部割り込み要求入力端子（NMI, INTP0-INTP7）　…　893
　22. 6. 1　ノイズ除去　…　893
　22. 6. 2　エッジ検出　…　893
22. 7　CPUの割り込み応答時間　…　898
22. 8　CPUが割り込みを受け付けない期間　…　900
22. 9　注意事項　…　900

第23章　キー割り込み機能　…　901

23. 1　機　　能　…　901
23. 2　レジスタ　…　902
23. 3　注意事項　…　902

第24章　スタンバイ機能　…　903

24. 1　概　　要　…　903
24. 2　レジスタ　…　905
24. 3　HALTモード　…　908
　24. 3. 1　設定および動作状態　…　908
　24. 3. 2　HALTモードの解除　…　908
24. 4　IDLE1モード　…　910
　24. 4. 1　設定および動作状態　…　910
　24. 4. 2　IDLE1モードの解除　…　910
24. 5　IDLE2モード　…　912
　24. 5. 1　設定および動作状態　…　912
　24. 5. 2　IDLE2モードの解除　…　912
　24. 5. 3　IDLE2モード解除時のセットアップ時間の確保　…　914
24. 6　STOPモード　…　915
　24. 6. 1　設定および動作状態　…　915
　24. 6. 2　STOPモードの解除　…　915
　24. 6. 3　STOPモード解除時の発振安定時間の確保　…　918
24. 7　サブクロック動作モード　…　919
　24. 7. 1　設定および動作状態　…　919
　24. 7. 2　サブクロック動作モードの解除　…　919
24. 8　サブIDLEモード　…　921
　24. 8. 1　設定および動作状態　…　921
　24. 8. 2　サブIDLEモードの解除　…　921

第25章　リセット機能　…　923

25. 1　概　　要　…　923
25. 2　リセット要因を確認するレジスタ　…　924
25. 3　動　　作　…　925
　25. 3. 1　$\overline{\text{RESET}}$端子によるリセット動作　…　925
　25. 3. 2　ウォッチドッグ・タイマ2によるリセット動作　…　927
　25. 3. 3　リセット解除後の動作　…　929
　25. 3. 4　リセット機能の動作フロー　…　931
25. 4　内蔵RAMデータの有効／無効　…　932
　25. 4. 1　RAM保持電圧検出動作　…　933
　25. 4. 2　エミュレーション機能　…　934

第26章　クロック・モニタ　…　935

26. 1　機　　能　…　935
26. 2　構　　成　…　935
26. 3　レジスタ　…　936
26. 4　動　　作　…　937

第27章　レギュレータ　…　940

27. 1　概　　要　…　940
27. 2　動　　作　…　941

第28章　ROMコレクション機能　…　942

28. 1　**概　　要**　…　942
28. 2　**レジスタ**　…　943
28. 3　ROM**コレクションの動作とプログラムの流れ**　…　944
28. 4　**注意事項**　…　946

第29章　フラッシュ・メモリ　…　947

29. 1　**特　　徴**　…　947
29. 2　**メモリ構成**　…　948
29. 3　**機能概要**　…　949
29. 4　**専用フラッシュ・ライタでの書き換え**　…　951
29. 4. 1　**プログラミング環境**　…　951
29. 4. 2　**通信方式**　…　952
29. 4. 3　**フラッシュ・メモリ制御**　…　958
29. 4. 4　**通信方式の選択**　…　959
29. 4. 5　**通信コマンド**　…　960
29. 4. 6　**端子処理**　…　961
29. 5　**セルフ・プログラミングによる書き換え**　…　965
29. 5. 1　**概　　要**　…　965
29. 5. 2　**特　　徴**　…　966
29. 5. 3　**標準セルフ・プログラミング・フロー**　…　967
29. 5. 4　**フラッシュ関数一覧**　…　968
29. 5. 5　**端子処理**　…　968
29. 5. 6　**使用する内部資源**　…　969

第30章　オンチップ・ディバグ機能　…　970

30. 1　**特　　徴**　…　970
30. 2　**接続回路例**　…　971
30. 3　**インタフェース信号**　…　971
30. 4　**レジスタ**　…　973
30. 5　**動　　作**　…　975
30. 6　ROM**セキュリティ機能**　…　976
30. 6. 1　**セキュリティ**ID　…　976
30. 6. 2　**設定方法**　…　977
30. 7　**注意事項**　…　979

第31章　電気的特性（ターゲット）　…　981

第32章　外 形 図　…　1016

第33章　半田付け推奨条件　…　1017

付録A　開発ツール　…　1018

A. 1　**ソフトウエア・パッケージ**　…　1021
A. 2　**言語処理用ソフトウエア**　…　1021

A. 3　**制御ソフトウエア**　…　1021
A. 4　**ディバグ用ツール（ハードウエア）**　…　1022
A. 4. 1　**インサーキット・エミュレータ**　IE-V850ES-G1**を使用する場合**　…　1022
A. 4. 2　IECUBE　QB-V850ESSX2**を使用する場合**　…　1024
A. 5　**ディバグ用ツール（ソフトウエア）**　…　1026
A. 6　**組み込み用ソフトウエア**　…　1027
A. 7　**フラッシュ・メモリ書き込み用ツール**　…　1027

付録B　**レジスタ索引**　…　1028

付録C　**命令セット一覧**　…　1040

C. 1　**凡　　例**　…　1040
C. 2　**インストラクション・セット（アルファベット順）**　…　1043

第1章　イントロダクション

V850ES/SG2は，NECエレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコンピュータV850シリーズのロウ・パワー・シリーズの1製品です。

このマニュアルでは，V850ES/SG2のうち，32 MHzで動作する次の製品について説明しています。

- μPD703262HY，703263HY，70F3263HY，703272HY，703273HY，70F3273HY，703282HY，703283HY，70F3283HY

1.1　概　　説

V850ES/SG2は，V850ES CPUコアを使用し，ROM/RAM，タイマ／カウンタ，シリアル・インタフェース，A/Dコンバータ，D/Aコンバータ，などの周辺機能を内蔵した32ビット・シングルチップ・マイクロコンピュータです。V850ES/SG2では，車輌内LANとして，IEBus®（Inter Equipment Bus®）またはCAN（Controller Area Network）を内蔵した製品も用意しています。

V850ES/SG2は，高いリアルタイム応答性と1クロック・ピッチの基本命令に加え，ディジタル・サーボ制御の応用に最適な命令として，ハードウエア乗算器による乗算命令，飽和演算命令，ビット操作命令などを持っています。また，リアルタイム制御システムとして，低消費電力を必要とするオーディオ，カー・オーディオなどへの応用が，きわめて高いコスト・パフォーマンスで実現できます。

表1－1にV850ES/SG2の製品一覧について示します。

V850ES/SG2に対して，I/O，タイマ／カウンタ，シリアル･インタフェースなどの機能を拡張したV850ES/SJ2を用意しています。表1－2にV850ES/SJ2の製品一覧について示します。

表1－1　V850ES/SG2の製品一覧

機能 / 製品名	ROM 種類	ROM サイズ	RAM サイズ	動作周波数 (MAX.)	I²C 内蔵	IEBus 内蔵	CAN 内蔵	マスカブル割り込み 外部	マスカブル割り込み 内部	ノンマスカブル割り込み
μPD703260	マスクROM	256 Kバイト	24 Kバイト	20 MHz	なし	なし	なし	8	47	2
μPD703260Y					あり					
μPD703261		384 Kバイト	32 Kバイト		なし					
μPD703261Y					あり					
μPD70F3261	フラッシュ・メモリ				なし					
μPD70F3261Y					あり					
μPD703262	マスクROM	512 Kバイト	40 Kバイト		なし					
μPD703262Y					あり					
μPD703262HY				32 MHz					46	
μPD703263		640 Kバイト	48 Kバイト	20 MHz	なし				47	
μPD703263Y					あり					
μPD703263HY				32 MHz					46	
μPD70F3263	フラッシュ・メモリ			20MHz	なし				47	
μPD70F3263Y					あり					
μPD70F3263HY				32 MHz					46	
μPD703270	マスクROM	256 Kバイト	24 Kバイト	20 MHz	なし	あり			51	
μPD703270Y					あり					
μPD703271		384 Kバイト	32 Kバイト		なし					
μPD703271Y					あり					
μPD70F3271	フラッシュ・メモリ				なし					
μPD70F3271Y					あり					
μPD703272	マスクROM	512 Kバイト	40 Kバイト		なし					
μPD703272Y					あり					
μPD703272HY				32 MHz					50	
μPD703273		640 Kバイト	48 Kバイト	20 MHz	なし				51	
μPD703273Y					あり					
μPD703273HY				32 MHz					50	
μPD70F3273	フラッシュ・メモリ			20 MHz	なし				51	
μPD70F3273Y					あり					
μPD70F3273HY				32 MHz					50	
μPD703280	マスクROM	256 Kバイト	24 Kバイト	20 MHz	なし	なし	あり		51	
μPD703280Y					あり					
μPD703281		384 Kバイト	32 Kバイト		なし					
μPD703281Y					あり					
μPD70F3281	フラッシュ・メモリ				なし					
μPD70F3281Y					あり					
μPD703282	マスクROM	512 Kバイト	40 Kバイト		なし					
μPD703282Y					あり					
μPD703282HY				32 MHz					50	
μPD703283		640 Kバイト	48 Kバイト	20 MHz	なし				51	
μPD703283Y					あり					
μPD703283HY				32 MHz					50	
μPD70F3283	フラッシュ・メモリ			20 MHz	なし				51	
μPD70F3283Y					あり					
μPD70F3283HY				32 MHz					50	

備考　このマニュアルでは，V850ES/SG2の品名を次のように記載しています。

・マスクROM内蔵品

μPD703260, 703260Y, 703261, 703261Y, 703262, 703262Y, **703262HY**, 703263, 703263Y, **703263HY**, 703270, 703270Y, 703271, 703271Y, 703272, 703272Y, **703272HY**, 703273, 703273Y, **703273HY**, 703280, 703280Y, 703281, 703281Y, 703282, 703282Y, **703282HY**, 703283, 703283Y, **703283HY**

・フラッシュ・メモリ内蔵品

μPD70F3261, 70F3261Y, 70F3263, 70F3263Y, **70F3263HY**, 70F3271, 70F3271Y, 70F3273, 70F3273Y, **70F3273HY**, 70F3281, 70F3281Y, 70F3283, 70F3283Y, **70F3283HY**

・I^2Cバス内蔵品（Y品）：32 MHzで動作するV850ES/SG2は，すべてI^2Cバスを内蔵しています。

μPD703260Y, 703261Y, 703262Y, **703262HY**, 703263Y, **703263HY**, 703270Y, 703271Y, 703272Y, **703272HY**, 703273Y, **703273HY**, 703280Y, 703281Y, 703282Y, **703282HY**, 703283Y, **703283HY**, 70F3261Y, 70F3263Y, **70F3263HY**, 70F3271Y, 70F3273Y, **70F3273HY**, 70F3281Y, 70F3283Y, **70F3283HY**

・汎用品

μPD703260, 703260Y, 703261, 703261Y, 703262, 703262Y, **703262HY**, 703263, 703263Y, **703263HY**, 70F3261, 70F3261Y, 70F3263, 70F3263Y, **70F3263HY**

・IEBusコントローラ内蔵品

μPD703270, 703270Y, 703271, 703271Y, 703272, 703272Y, **703272HY**, 703273, 703273Y, **703273HY**, 70F3271, 70F3271Y, 70F3273, 70F3273Y, **70F3273HY**

・CANコントローラ内蔵品

μPD703280, 703280Y, 703281, 703281Y, 703282, 703282Y, **703282HY**, 703283, 703283Y, **703283HY**, 70F3281, 70F3281Y, 70F3283, 70F3283Y, **70F3283HY**

このマニュアルでは，**下線のある太字の製品**について説明しています。
それ以外の製品につきましては，V850ES/SG2　ユーザーズ・マニュアル　ハードウエア編（U16541J）を参照してください。

表1－2　V850ES/SJ2の製品一覧

機能 / 製品名	ROM 種類	ROM サイズ	RAM サイズ	動作周波数 (MAX.)	I²C 内蔵	IEBus 内蔵	CAN 内蔵	マスカブル割り込み 外部	マスカブル割り込み 内部	ノンマスカブル割り込み
μPD703264	マスクROM	384 Kバイト	32 Kバイト	20 MHz	なし	なし	なし	9	60	2
μPD703264Y					あり					
μPD70F3264	フラッシュ・メモリ				なし					
μPD70F3264Y					あり					
μPD703265	マスクROM	512 Kバイト	40 Kバイト		なし					
μPD703265Y					あり					
μPD703265HY				32 MHz					59	
μPD703266		640 Kバイト	48 Kバイト	20 MHz	なし				60	
μPD703266Y					あり					
μPD703266HY				32 MHz					59	
μPD70F3266	フラッシュ・メモリ			20 MHz	なし				60	
μPD70F3266Y					あり					
μPD70F3266HY				32 MHz					59	
μPD703274	マスクROM	384 Kバイト	32 Kバイト	20 MHz	なし	あり			64	
μPD703274Y					あり					
μPD70F3274	フラッシュ・メモリ				なし					
μPD70F3274Y					あり					
μPD703275	マスクROM	512 Kバイト	40 Kバイト		なし					
μPD703275Y					あり					
μPD703275HY				32 MHz					63	
μPD703276		640 Kバイト	48 Kバイト	20 MHz	なし				64	
μPD703276Y					あり					
μPD703276HY				32 MHz					63	
μPD70F3276	フラッシュ・メモリ			20 MHz	なし				64	
μPD70F3276Y					あり					
μPD70F3276HY				32 MHz					63	
μPD703284	マスクROM	384 Kバイト	32 Kバイト	20 MHz	なし	なし	1 ch		64	
μPD703284Y					あり					
μPD70F3284	フラッシュ・メモリ				なし					
μPD70F3284Y					あり					
μPD703285	マスクROM	512 Kバイト	40 Kバイト		なし					
μPD703285Y					あり					
μPD703285HY				32 MHz					63	
μPD703286		640 Kバイト	48 Kバイト	20 MHz	なし				64	
μPD703286Y					あり					
μPD703286HY				32 MHz					63	
μPD70F3286	フラッシュ・メモリ			20 MHz	なし				64	
μPD70F3286Y					あり					
μPD70F3286HY				32 MHz					63	
μPD703287	マスクROM	512 Kバイト	40 Kバイト	20 MHz	なし		2 ch		68	
μPD703287Y					あり					
μPD703287HY				32 MHz					67	
μPD703288		640 Kバイト	48 Kバイト	20 MHz	なし				68	
μPD703288Y					あり					
μPD703288HY				32 MHz					67	
μPD70F3288	フラッシュ・メモリ			20 MHz	なし				68	
μPD70F3288Y					あり					
μPD70F3288HY				32 MHz					67	

1.2 特　　徴

○最小命令実行時間　31.25 ns（メイン・クロック（fxx）= 32 MHz動作時）

○汎用レジスタ　32ビット×32本

○CPUの特徴　符号付き乗算（16×16→32）：1-2クロック）

符号付き乗算（32×32→64）：1-5クロック）

飽和演算（オーバフロー／アンダフロー検出機能付き）

32ビット・シフト命令：1クロック

ビット操作命令

ロング／ショート形式を持つロード／ストア命令

○メモリ空間　64 Mバイト・リニア・アドレス空間（プログラム／データ共用）

外部拡張：16 Mバイトまで可能

（このうち1 Mバイトは内部ROM/RAM空間として使用）

・内蔵メモリ　RAM　：40/48 Kバイト（表1ー1参照）

マスクROM　：512/640 Kバイト（表1ー1参照）

フラッシュ・メモリ：640 Kバイト（表1ー1参照）

・外部バス・インタフェース

セパレート・バス／マルチプレクス・バス出力選択可能

8/16ビット・データ・バス・サイジング機能

ウエイト機能

・プログラマブル・ウエイト機能

・外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

○割り込み／例外

ノンマスカブル割り込み：2要因

マスカブル割り込み　：54/58要因（表1ー1参照）

ソフトウエア例外　：32要因

例外トラップ　：2要因

○I/Oライン　入出力ポート：84

○タイマ機能

16ビット・インターバル・タイマM（TMM）　：1ch

16ビット・タイマ／イベント・カウンタP（TMP）：6ch

16ビット・タイマ／イベント・カウンタQ（TMQ）：1ch

時計用タイマ　：1ch

ウォッチドッグ・タイマ　：1ch

○リアルタイム出力ポート　6ビット×1ch

○シリアル・インタフェース

アシンクロナス・シリアル・インタフェースA（UARTA）

3線式可変長シリアル・インタフェースB（CSIB）

I^2Cバス・インタフェース（I^2C）

UARTA/CSIB	：1ch
UARTA/I^2C	：2ch
CSIB/I^2C	：1ch
CSIB	：3ch

○IEBusコントローラ：1ch（IEBusコントローラ内蔵品のみ）

○CANコントローラ：1ch（CANコントローラ内蔵品のみ）

○A/Dコンバータ　10ビット分解能：12ch

○D/Aコンバータ　8ビット分解能：2ch

○DMAコントローラ：4ch

○CRC機能　8ビット単位のデータに対して16ビットの誤り検出用コードを生成

○オンチップ・ディバグ機能　JTAGインタフェース（N-Wire型式）（フラッシュ・メモリ内蔵品のみ）

○ROMコレクション：4箇所修正可能

○クロック・ジェネレータ　メイン・クロック／サブクロック動作

CPUクロック7段階（f_{XX}, $f_{XX}/2$, $f_{XX}/4$, $f_{XX}/8$, $f_{XX}/16$, $f_{XX}/32$, f_{XT}）

クロック・スルー・モード／PLLモード選択可

○内蔵発振クロック：200 kHz（TYP.）

○パワー・セーブ機能　HALT/IDLE1/IDLE2/STOP/サブクロック／サブIDLEモード

○パッケージ　100ピン・プラスチックLQFP（ファインピッチ）（14×14）

1.3　応用分野

オーディオ，カー・オーディオ，その他民生機器

1.4　オーダ情報

オーダ名称	パッケージ	内蔵ROM
μPD703262HYGC-xxx-8EA-A	100ピン・プラスチックLQFP（ファインピッチ）（14×14）	512 Kバイト（マスクROM）
μPD703263HYGC-xxx-8EA-A	〃	640 Kバイト（マスクROM）
μPD703272HYGC-xxx-8EA-A	〃	512 Kバイト（マスクROM）
μPD703273HYGC-xxx-8EA-A	〃	640 Kバイト（マスクROM）
μPD703282HYGC-xxx-8EA-A	〃	512 Kバイト（マスクROM）
μPD703283HYGC-xxx-8EA-A	〃	640 Kバイト（マスクROM）
μPD70F3263HYGC-8EA-A	〃	640Kバイト（フラッシュ・メモリ）
μPD70F3273HYGC-8EA-A	〃	〃
μPD70F3283HYGC-8EA-A	〃	〃

備考1.　xxxはROMコード番号です。

2.　オーダ情報末尾「-A」の製品は，鉛フリー製品です。

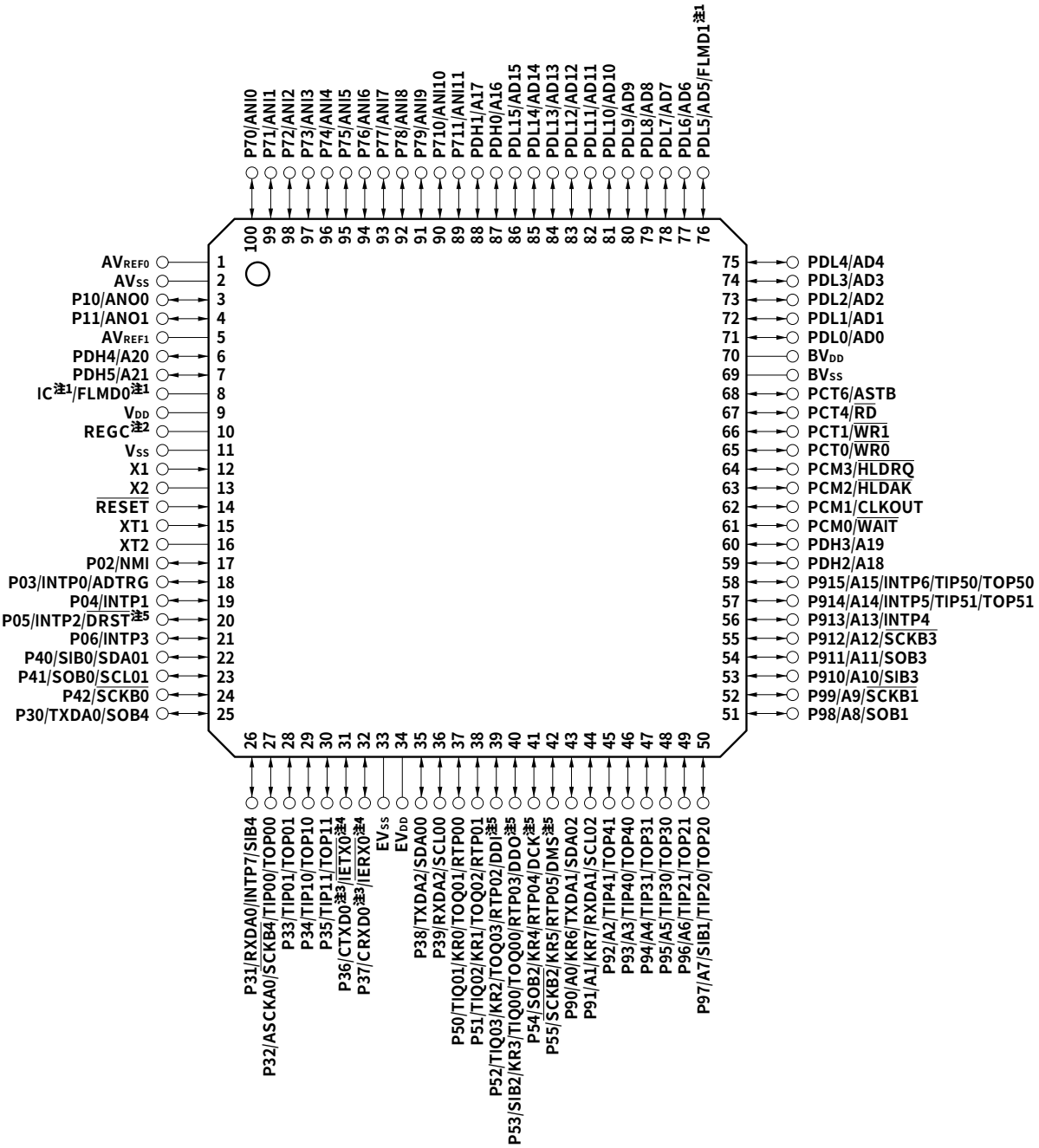
1.5　端子接続図（Top View）

100ピン・プラスチックLQFP（ファインピッチ）（14×14）

μPD703262HYGC-xxx-8EA-A　μPD703272HYGC-xxx-8EA-A　μPD703282HYGC-xxx-8EA-A

μPD703263HYGC-xxx-8EA-A　μPD703273HYGC-xxx-8EA-A　μPD703283HYGC-xxx-8EA-A

μPD70F3263HYGC-8EA-A　μPD70F3273HYGC-8EA-A　μPD70F3283HYGC-8EA-A



注1.　IC　　：VSSに直接接続してください（マスクROM内蔵品のみ）。

FLMD0　：通常モード時はVSSに接続してください（フラッシュ・メモリ内蔵品のみ）。

FLMD1　：フラッシュ・メモリ内蔵品のみ。

2. REGC端子は4.7 μFのコンデンサを介し，VSSに接続してください。

3. CTXD0, CRXD0はCANコントローラ内蔵品のみ有効。

4. $\overline{\text{IETX0}}$, $\overline{\text{IERX0}}$はIEBusコントローラ内蔵品のみ有効。

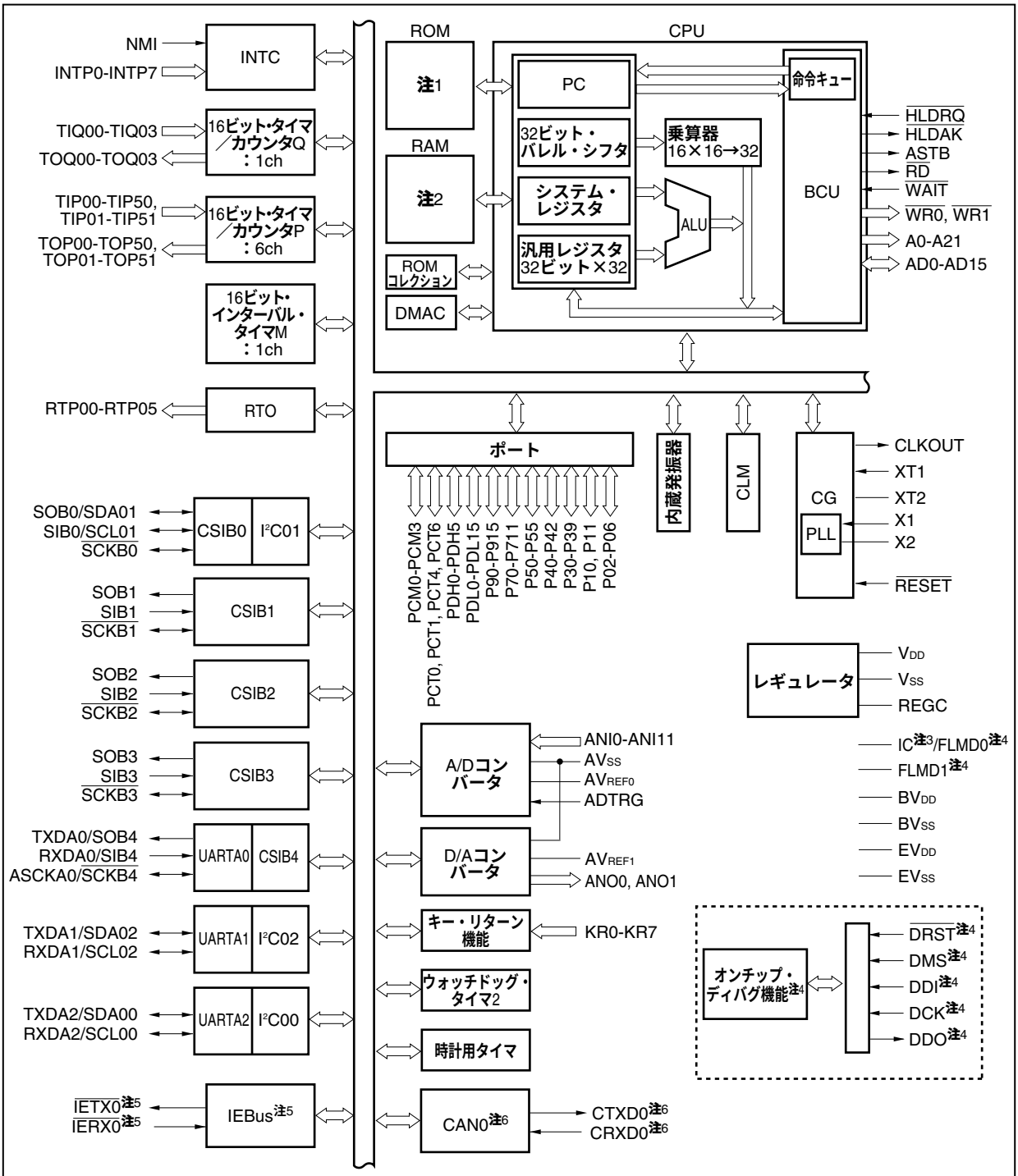
5. $\overline{\text{DRST}}$, DDI, DDO, DCK, DMSはフラッシュ・メモリ内蔵品のみ有効。

端子名称

A0-A21	：Address Bus
AD0-AD15	：Address/Data Bus
ADTRG	：A/D Trigger Input
ANI0-ANI11	：Analog Input
ANO0, ANO1	：Analog Output
ASCKA0	：Asynchronous Serial Clock
ASTB	：Address Strobe
AV_{REF0}, AV_{REF1}	：Analog Reference Voltage
AV_{SS}	：Analog V_{SS}
BV_{DD}	：Power Supply for Bus Interface
BV_{SS}	：Ground for Bus Interface
CLKOUT	：Clock Output
CRXD0	：CAN Receive Data
CTXD0	：CAN Transmit Data
DCK	：Debug Clock
DDI	：Debug Data Input
DDO	：Debug Data Output
DMS	：Debug Mode Select
$\overline{DRST}$	：Debug Reset
EV_{DD}	：Power Supply for Port
EV_{SS}	：Ground for Port
FLMD0, FLMD1	：Flash Programming Mode
$\overline{HLDAK}$	：Hold Acknowledge
$\overline{HLDRQ}$	：Hold Request
IC	：Internally Connected
$\overline{IERX0}$	：IEBus Receive Data
$\overline{IETX0}$	：IEBus Transmit Data
INTP0-INTP7	：External Interrupt Input
KR0-KR7	：Key Return
NMI	：Non-maskable Interrupt Request
P02-P06	：Port 0
P10, P11	：Port 1
P30-P39	：Port 3
P40-P42	：Port 4
P50-P55	：Port 5
P70-P711	：Port 7
P90-P915	：Port 9
PCM0-PCM3	：Port CM
PCT0, PCT1, PCT4, PCT6	：Port CT
PDH0-PDH5	：Port DH
PDL0-PDL15	：Port DL
$\overline{RD}$	：Read Strobe
REGC	：Regulator Control
$\overline{RESET}$	：Reset
RTP00-RTP05	：Real-time Output Port
RXDA0-RXDA2	：Receive Data
$\overline{SCKB0}$-$\overline{SCKB4}$	：Serial Clock
SCL00-SCL02	：Serial Clock
SDA00-SDA02	：Serial Data
SIB0-SIB4	：Serial Input
SOB0-SOB4	：Serial Output
TIP00, TIP01, TIP10, TIP11 TIP20, TIP21, TIP30, TIP31, TIP40, TIP41, TIP50, TIP51 TIQ00-TIQ03	：Timer Input
TOP00, TOP01, TOP10, TOP11, TOP20, TOP21, TOP30, TOP31, TOP40, TOP41, TOP50, TOP51 TOQ00-TOQ03	：Timer Output
TXDA0-TXDA2	：Transmit Data
V_{DD}	：Power Supply
V_{SS}	：Ground
$\overline{WAIT}$	：Wait
$\overline{WR0}$	：Lower Byte Write Strobe
$\overline{WR1}$	：Upper Byte Write Strobe
X1, X2	：Crystal for Main Clock
XT1, XT2	：Crystal for Subclock

1. 6　機能ブロック構成

1. 6. 1　内部ブロック図



注1.　512/640 Kバイト（マスクROM）（表1－1参照），
640 Kバイト（フラッシュ・メモリ）（表1－1参照）

2.　40/48 Kバイト（表1－1参照）

3.　マスクROM内蔵品のみ

4.　フラッシュ・メモリ内蔵品のみ

5.　IEBusコントローラ内蔵品のみ

6.　CANコントローラ内蔵品のみ

1.6.2　内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を，5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット→32ビット），バレル・シフタ（32ビット）などの専用ハードウエアを内蔵し，複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット（BCU）

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(3) ROM

0000000H-009FFFFH/0000000H-007FFFFH番地にマッピングされる640/512 Kバイトのマスク ROMまたはフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(4) RAM

3FF3000H-3FFEFFFH/3FF5000H-3FFEFFFH番地にマッピングされる48/40 Kバイトの RAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(5) 割り込みコントローラ（INTC）

内蔵周辺ハードウエア，および外部からのハードウエア割り込み要求（NMI, INTP0-INTP7）を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，多重処理制御ができます。

(6) クロック・ジェネレータ（CG）

メイン・クロック発振回路とサブクロック発振回路があり，メイン・クロック発振周波数（f_X）とサブクロック周波数（f_{XT}）を生成しています。メイン・クロック周波数（f_{XX}）として，f_Xをそのまま使用するクロック・スルー・モードと，f_Xを4/8逓倍して使用するPLLモードがあります。

CPUクロック周波数（f_{CPU}）としては，f_{XX}, $f_{XX}/2$, $f_{XX}/4$, $f_{XX}/8$, $f_{XX}/16$, $f_{XX}/32$, f_{XT}の7種類から選択できます。

(7) 内蔵発振器

内蔵発振器を搭載しています。発振周波数は200 kHz（TYP.）です。ウォッチドッグ・タイマ2とタイマMへクロック供給します。

(8) タイマ／カウンタ

16ビットのタイマ／イベント・カウンタP（TMP）を6チャネル，16ビットのタイマ／イベント・カウンタQ（TMQ）を1チャネル，16ビットのインターバル・タイマM（TMM）を1チャネル内蔵しています。

(9) 時計用タイマ

サブクロック（32.768 kHz）またはプリスケーラ3からのf_{BRG}（32.768 kHz）から時計カウント用の基準時間（0.5秒）をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

(10) ウォッチドッグ・タイマ2

プログラムの暴走，システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとして内蔵発振クロック，メイン・クロック，サブクロックを選択できます。

オーバフローでノンマスカブル割り込み要求信号（INTWDT2），またはシステム・リセット信号（WDT2RES）を発生します。

(11) シリアル・インタフェース

V850ES/SG2には，シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA（UARTA），3線式可変長シリアル・インタフェースB（CSIB），I^2Cバス・インタフェース（I^2C）を内蔵しています。

UARTAは，TXDA0-TXDA2, RXDA0-RXDA2端子によりデータ転送を行います。

CSIBは，SOB0-SOB4, SIB0-SIB4, $\overline{SCKB0}$-$\overline{SCKB4}$端子によりデータ転送を行います。

I^2Cは，SDA00-SDA02, SCL00-SCL02端子によりデータ転送を行います。

(12) IEBusコントローラ

IEBusコントローラは，ユニット間のデータ転送を行うことを目的とした小規模のディジタル・データ伝送システムです。

IEBusコントローラは，IEBusコントローラ内蔵品だけに内蔵されています（表1－1参照）。

(13) CANコントローラ

CANコントローラは，ユニット間のデータ転送を行うことを目的とした小規模のディジタル・データ伝送システムです。

CANコントローラはCANコントローラ内蔵品だけに内蔵されています（表1－1参照）。

(14) A/Dコンバータ

12本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(15) D/Aコンバータ

8ビット分解能のD/Aコンバータを2チャネル内蔵しています。R-2Rラダー方式です。

(16) DMAコントローラ

4チャネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて，内蔵RAM，内蔵周辺I/O，外部メモリ間でデータを転送します。

(17) ROMコレクション

マスクROM内のプログラムの一部を内蔵RAMのプログラムで置き換えて実行する機能です。4箇所修正可能です。

（18）キー割り込み機能

8チャネルのキー入力端子に立ち下がりエッジを入力することによって，キー割り込み要求信号（INTKR）を発生させることができます。

（19）リアルタイム出力機能

あらかじめ設定しておいた6ビット・データをタイマのコンペア・レジスタの一致信号により出力ラッチに転送します。

（20）CRC機能

8ビットのデータ設定により，16ビットのCRC（Cyclic Redundancy Check）コードを生成する，CRC演算回路を内蔵します。

（21）オンチップ・ディバグ機能

JTAG（Joint Test Action Group）の通信仕様を利用して，N-Wire型エミュレータを介したオンチップ・ディバグ機能を内蔵しています。通常ポート機能とオンチップ・ディバグ機能の切り替えは，制御端子の入力レベルとオンチップ・ディバグ・モード・レジスタ（OCDM）の2つで行います。

オンチップ・ディバグ機能は，フラッシュ・メモリ内蔵品だけに内蔵されています。

（22）ポート

次に示すように，汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
P0	5ビット入出力	NMI，外部割り込み，A/Dコンバータ・トリガ，ディバグ・リセット
P1	2ビット入出力	D/Aコンバータ・アナログ出力
P3	10ビット入出力	外部割り込み，シリアル・インタフェース，タイマ入出力，CANデータ入出力，IEBusデータ入出力
P4	3ビット入出力	シリアル・インタフェース
P5	6ビット入出力	タイマ入出力，リアルタイム出力，キー割り込み入力，シリアル・インタフェース，
P7	12ビット入出力	A/Dコンバータ・アナログ入力
P9	16ビット入出力	外部アドレス・バス，シリアル・インタフェース，キー割り込み入力，タイマ入出力，外部割り込み
PCM	4ビット入出力	外部制御信号
PCT	4ビット入出力	外部制御信号
PDH	6ビット入出力	外部アドレス・バス
PDL	16ビット入出力	外部アドレス／データ・バス

第2章　端子機能

2.1　端子機能一覧

V850ES/SG2の端子名称と機能を次に示します。

端子の入出力バッファ電源には，AV_{REF0}, AV_{REF1}, BV_{DD}, EV_{DD}の4系統があります。それぞれの電源と端子の関係を次に示します。

表2－1　各端子の入出力バッファ電源

電　源	対応する端子
AV_{REF0}	ポート7
AV_{REF1}	ポート1
BV_{DD}	ポートCM, CT, DH（ビット0-3），DL
EV_{DD}	$\overline{RESET}$，ポート0, 3-5, 9, DH（ビット4, 5）

（1）ポート端子

（1/3）

端子名称	ピン番号	入出力	機　　能	兼用端子
P02	17	入出力	ポート0 5ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレーン出力指定可能 5 Vトレラント対応	NMI
P03	18			INTP0/ADTRG
P04	19			INTP1
P05[注1]	20			INTP2/$\overline{DRST}$[注2]
P06	21			INTP3
P10	3	入出力	ポート1 2ビット入出力ポート 1ビット単位で入力／出力の指定が可能	ANO0
P11	4			ANO1
P30	25	入出力	ポート3 10ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレーン出力指定可能 5 Vトレラント対応	TXDA0/SOB4
P31	26			RXDA0/INTP7/SIB4
P32	27			ASCKA0/$\overline{SCKB4}$/TIP00/TOP00
P33	28			TIP01/TOP01
P34	29			TIP10/TOP10
P35	30			TIP11/TOP11
P36	31			CTXD0[注3]/$\overline{IETX0}$[注4]
P37	32			CRXD0[注3]/$\overline{IERX0}$[注4]
P38	35			TXDA2/SDA00
P39	36			RXDA2/SCL00

注1.　プルダウン抵抗を内蔵しています。OCDM.OCDM0ビットをクリア（0）することでプルダウン抵抗を切断できます。

2.　フラッシュ・メモリ内蔵品のみ

3.　CANコントローラ内蔵品のみ

4.　IEBusコントローラ内蔵品のみ

(2/3)

端子名称	ピン番号	入出力	機　　能	兼用端子
P40	22	入出力	ポート4 3ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレーン出力指定可能 5 Vトレラント対応	SIB0/SDA01
P41	23			SOB0/SCL01
P42	24			$\overline{\text{SCKB0}}$
P50	37	入出力	ポート5 6ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレーン出力指定可能 5 Vトレラント対応	TIQ01/KR0/TOQ01/RTP00
P51	38			TIQ02/KR1/TOQ02/RTP01
P52	39			TIQ03/KR2/TOQ03/RTP02/DDI注
P53	40			SIB2/KR3/TIQ00/TOQ00/RTP03/DDO注
P54	41			SOB2/KR4/RTP04/DCK注
P55	42			$\overline{\text{SCKB2}}$/KR5/RTP05/DMS注
P70	100	入出力	ポート7 12ビット入出力ポート 1ビット単位で入力／出力の指定が可能	ANI0
P71	99			ANI1
P72	98			ANI2
P73	97			ANI3
P74	96			ANI4
P75	95			ANI5
P76	94			ANI6
P77	93			ANI7
P78	92			ANI8
P79	91			ANI9
P710	90			ANI10
P711	89			ANI11
P90	43	入出力	ポート9 16ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレーン出力指定可能 5 Vトレラント対応	A0/KR6/TXDA1/SDA02
P91	44			A1/KR7/RXDA1/SCL02
P92	45			A2/TIP41/TOP41
P93	46			A3/TIP40/TOP40
P94	47			A4/TIP31/TOP31
P95	48			A5/TIP30/TOP30
P96	49			A6/TIP21/TOP21
P97	50			A7/SIB1/TIP20/TOP20
P98	51			A8/SOB1
P99	52			A9/$\overline{\text{SCKB1}}$
P910	53			A10/SIB3
P911	54			A11/SOB3
P912	55			A12/$\overline{\text{SCKB3}}$
P913	56			A13/INTP4
P914	57			A14/INTP5/TIP51/TOP51
P915	58			A15/INTP6/TIP50/TOP50

注　フラッシュ・メモリ内蔵品のみ

(3/3)

端子名称	ピン番号	入出力	機　　能	兼用端子
PCM0	61	入出力	ポートCM	$\overline{\text{WAIT}}$
PCM1	62		4ビット入出力ポート	CLKOUT
PCM2	63		1ビット単位で入力／出力の指定が可能	$\overline{\text{HLDAK}}$
PCM3	64			$\overline{\text{HLDRQ}}$
PCT0	65	入出力	ポートCT	$\overline{\text{WR0}}$
PCT1	66		4ビット入出力ポート	$\overline{\text{WR1}}$
PCT4	67		1ビット単位で入力／出力の指定が可能	$\overline{\text{RD}}$
PCT6	68			ASTB
PDH0	87	入出力	ポートDH	A16
PDH1	88		6ビット入出力ポート	A17
PDH2	59		1ビット単位で入力／出力の指定が可能	A18
PDH3	60			A19
PDH4	6			A20
PDH5	7			A21
PDL0	71	入出力	ポートDL	AD0
PDL1	72		16ビット入出力ポート	AD1
PDL2	73		1ビット単位で入力／出力の指定が可能	AD2
PDL3	74			AD3
PDL4	75			AD4
PDL5	76			AD5/FLMD1[注]
PDL6	77			AD6
PDL7	78			AD7
PDL8	79			AD8
PDL9	80			AD9
PDL10	81			AD10
PDL11	82			AD11
PDL12	83			AD12
PDL13	84			AD13
PDL14	85			AD14
PDL15	86			AD15

注　フラッシュ・メモリ内蔵品のみ

(2) ポート以外の端子

(1/6)

端子名称	ピン番号	入出力	機　　能	兼用端子名
A0	43	出力	外部メモリに対するアドレス・バス （セパレート・バス使用時）。 N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P90/KR6/TXDA1/SDA02
A1	44			P91/KR7/RXDA1/SCL02
A2	45			P92/TIP41/TOP41
A3	46			P93/TIP40/TOP40
A4	47			P94/TIP31/TOP31
A5	48			P95/TIP30/TOP30
A6	49			P96/TIP21/TOP21
A7	50			P97/SIB1/TIP20/TOP20
A8	51			P98/SOB1
A9	52			P99/$\overline{\text{SCKB1}}$
A10	53			P910/SIB3
A11	54			P911/SOB3
A12	55			P912/$\overline{\text{SCKB3}}$
A13	56			P913/INTP4
A14	57			P914/INTP5/TIP51/TOP51
A15	58			P915/INTP6/TIP50/TOP50
A16	87	出力	外部メモリに対するアドレス・バス	PDH0
A17	88			PDH1
A18	59			PDH2
A19	60			PDH3
A20	6			PDH4
A21	7			PDH5
AD0	71	入出力	外部メモリに対するアドレス／データ・バス	PDL0
AD1	72			PDL1
AD2	73			PDL2
AD3	74			PDL3
AD4	75			PDL4
AD5	76			PDL5/FLMD1[注]
AD6	77			PDL6
AD7	78			PDL7
AD8	79			PDL8
AD9	80			PDL9
AD10	81			PDL10
AD11	82			PDL11
AD12	83			PDL12
AD13	84			PDL13
AD14	85			PDL14
AD15	86			PDL15
ADTRG	18	入力	A/Dコンバータ外部トリガ入力。5 Vトレラント対応。	P03/INTP0

注　フラッシュ・メモリ内蔵品のみ

(2/6)

端子名称	ピン番号	入出力	機　　能	兼用端子名
ANI0	100	入力	A/Dコンバータ用アナログ電圧入力	P70
ANI1	99			P71
ANI2	98			P72
ANI3	97			P73
ANI4	96			P74
ANI5	95			P75
ANI6	94			P76
ANI7	93			P77
ANI8	92			P78
ANI9	91			P79
ANI10	90			P710
ANI11	89			P711
ANO0	3	出力	D/Aコンバータ用アナログ電圧出力	P10
ANO1	4			P11
ASCKA0	27	入力	UARTA0のボー・レート・クロック入力。5 Vトレラント対応。	P32/$\overline{\text{SCKB4}}$/TIP00/TOP00
ASTB	68	出力	外部メモリに対するアドレス・ストローブ信号出力	PCT6
AV_{REF0}	1	－	A/Dコンバータ用基準電圧入力，兼ポート7用正電源供給	－
AV_{REF1}	5		D/Aコンバータ用基準電圧入力，兼ポート1用正電源供給	－
AV_{SS}	2	－	A/D, D/Aコンバータ用グランド電位（V_{SS}と同電位）	－
BV_{DD}	70	－	バス・インタフェースおよび兼用ポート用正電源供給	－
BV_{SS}	69	－	バス・インタフェースおよび兼用ポート用グランド電位	－
CLKOUT	62	出力	内部システム・クロック出力	PCM1
CRXD0[注1]	32	入力	CAN受信データ入力。5 Vトレラント対応。	P37/$\overline{\text{IERX0}}$[注2]
CTXD0[注1]	31	出力	CAN送信データ出力。 N-chオープン・ドレーン出力選択可能。5 Vトレラント対応。	P36/$\overline{\text{IETX0}}$[注2]
DCK[注3]	41	入力	ディバグ・クロック入力。5 Vトレラント対応。	P54/SOB2/KR4/RTP04
DDI[注3]	39	入力	ディバグ・データ入力。5 Vトレラント対応。	P52/TIQ03/KR2/TOQ03/RTP02
DDO[注3, 4]	40	出力	ディバグ・データ出力 N-chオープン・ドレーン出力選択可能。5 Vトレラント対応。	P53/SIB2/KR3/TIQ00/TOQ00/ RTP03
DMS[注3]	42	入力	ディバグ・モード・セレクト入力。5 Vトレラント対応。	P55/$\overline{\text{SCKB2}}$/KR5/RTP05
$\overline{\text{DRST}}$[注3]	20	入力	ディバグ・リセット入力。5 Vトレラント対応。	P05/INTP2
EV_{DD}	34	－	外部用正電源供給（V_{DD}と同電位）	－
EV_{SS}	33	－	外部用グランド電位（V_{SS}と同電位）	－
FLMD0[注3]	8	入力	フラッシュ・メモリ・プログラミング・モード引き込み用 端子	－
FLMD1[注3]	76			PDL5/AD5
$\overline{\text{HLDAK}}$	63	出力	バス・ホールド・アクノリッジ出力	PCM2
$\overline{\text{HLDRQ}}$	64	入力	バス・ホールド要求入力	PCM3
IC[注5]	8	－	内部接続	－

注1. CANコントローラ内蔵品のみ

2. IEBusコントローラ内蔵品のみ

3. フラッシュ・メモリ内蔵品のみ

4. オンチップ・ディバグ・モード時，強制的にハイ・レベル出力に設定されます。

5. マスクROM内蔵品のみ

(3/6)

端子名称	ピン番号	入出力	機　　能	兼用端子名
$\overline{\text{IERX0}}$[注1]	32	入力	IEBus受信データ入力。5 Vトレラント対応。	P37/CRXD0[注2]
$\overline{\text{IETX0}}$[注1]	31	出力	IEBus送信データ出力。 N-chオープン・ドレーン出力選択可能。5 Vトレラント対応。	P36/CTXD0[注2]
INTP0	18	入力	外部割り込み要求入力(マスカブル,アナログ・ノイズ除去)。 INTP3端子は，アナログ・ノイズ除去／ディジタル・ノイズ除去選択可能。 5 Vトレラント対応。	P03/ADTRG
INTP1	19			P04
INTP2	20			P05/$\overline{\text{DRST}}$[注3]
INTP3	21			P06
INTP4	56			P913/A13
INTP5	57			P914/A14/TIP51/TOP51
INTP6	58			P915/A15/TIP50/TOP50
INTP7	26			P31/RXDA0/SIB4
KR0[注4]	37	入力	キー割り込み入力（アナログ・ノイズ除去回路内蔵）。 5 Vトレラント対応。	P50/TIQ01/TOQ01/RTP00
KR1[注4]	38			P51/TIQ02/TOQ02/RTP01
KR2[注4]	39			P52/TIQ03/TOQ03/ RTP02/DDI[注3]
KR3[注4]	40			P53/SIB2/TIQ00/TOQ00/ RTP03/DDO[注3]
KR4[注4]	41			P54/SOB2/RTP04/DCK[注3]
KR5[注4]	42			P55/$\overline{\text{SCKB2}}$/RTP05/DMS[注3]
KR6[注4]	43			P90/A0/TXDA1/SDA02
KR7[注4]	44			P91/A1/RXDA1/SCL02
NMI[注5]	17	入力	外部割り込み入力(ノンマスカブル,アナログ・ノイズ除去)。 5 Vトレラント対応。	P02
$\overline{\text{RD}}$	67	出力	外部メモリに対するリード・ストローブ信号出力	PCT4
REGC	10	－	レギュレータ出力安定容量接続（4.7 μF）	－
$\overline{\text{RESET}}$	14	入力	システム・リセット入力	－
RTP00	37	出力	リアルタイム出力ポート。 N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P50/TIQ01/KR0/TOQ01
RTP01	38			P51/TIQ02/KR1/TOQ02
RTP02	39			P52/TIQ03/KR2/TOQ03/DDI[注3]
RTP03	40			P53/SIB2/KR3/TIQ00/TOQ00/ DDO[注3]
RTP04	41			P54/SOB2/KR4/DCK[注3]
RTP05	42			P55/$\overline{\text{SCKB2}}$/KR5/DMS[注3]

注1. IEBusコントローラ内蔵品のみ

2. CANコントローラ内蔵品のみ

3. フラッシュ・メモリ内蔵品のみ

4. 外部でプルアップ処理を行ってください。

5. NMI端子はP02端子と兼用しており，リセット後はP02端子として機能します。NMI端子を有効にする場合は，PMC0.PMC02ビットをセット（1）してください。また，NMI端子の初期設定は“エッジ検出なし”になっています。INTF0, INTR0レジスタでNMI端子の有効エッジを選択してください。

(4/6)

端子名称	ピン番号	入出力	機　　能	兼用端子名
RXDA0	26	入力	シリアル受信データ入力（UARTA0-UARTA2）。 5 Vトレラント対応。	P31/INTP7/SIB4
RXDA1	44			P91/A1/KR7/SCL02
RXDA2	36			P39/SCL00
$\overline{\text{SCKB0}}$	24	入出力	シリアル・クロック入出力（CSIB0-CSIB4）。 N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P42
$\overline{\text{SCKB1}}$	52			P99/A9
$\overline{\text{SCKB2}}$	42			P55/KR5/RTP05/DMS注
$\overline{\text{SCKB3}}$	55			P912/A12
$\overline{\text{SCKB4}}$	27			P32/ASCKA0/TIP00/TOP00
SCL00	36	入出力	シリアル・クロック入出力（I^2C00-I^2C02）。 N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P39/RXDA2
SCL01	23			P41/SOB0
SCL02	44			P91/A1/KR7/RXDA1
SDA00	35	入出力	シリアル送受信データ入出力（I^2C00-I^2C02）。 N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P38/TXDA2
SDA01	22			P40/SIB0
SDA02	43			P90/A0/KR6/TXDA1
SIB0	22	入力	シリアル受信データ入力（CSIB0-CSIB4）。 5 Vトレラント対応。	P40/SDA01
SIB1	50			P97/A7/TIP20/TOP20
SIB2	40			P53/KR3/TIQ00/TOQ00/ RTP03/DDO注
SIB3	53			P910/A10
SIB4	26			P31/RXDA0/INTP7
SOB0	23	出力	シリアル送信データ出力（CSIB0-CSIB4）。 N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P41/SCL01
SOB1	51			P98/A8
SOB2	41			P54/KR4/RTP04/DCK注
SOB3	54			P911/A11
SOB4	25			P30/TXDA0
TIP00	27	入力	外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力（TMP0）。 5 Vトレラント対応。	P32/ASCKA0/$\overline{\text{SCKB4}}$/TOP00
TIP01	28		キャプチャ・トリガ入力（TMP0）。 5 Vトレラント対応。	P33/TOP01
TIP10	29		外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力（TMP1）。 5 Vトレラント対応。	P34/TOP10
TIP11	30		キャプチャ・トリガ入力（TMP1）。 5 Vトレラント対応。	P35/TOP11
TIP20	50		外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力（TMP2）。 5 Vトレラント対応。	P97/A7/SIB1/TOP20
TIP21	49		キャプチャ・トリガ入力（TMP2）。 5 Vトレラント対応。	P96/A6/TOP21

注　フラッシュ・メモリ内蔵品のみ

(5/6)

端子名称	ピン番号	入出力	機　　能	兼用端子名
TIP30	48	入力	外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力（TMP3）。 5 Vトレラント対応。	P95/A5/TOP30
TIP31	47		キャプチャ・トリガ入力（TMP3）。 5 Vトレラント対応。	P94/A4/TOP31
TIP40	46		外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力（TMP4）。 5 Vトレラント対応。	P93/A3/TOP40
TIP41	45		キャプチャ・トリガ入力（TMP4）。 5 Vトレラント対応。	P92/A2/TOP41
TIP50	58		外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力（TMP5）。 5 Vトレラント対応。	P915/A15/INTP6/TOP50
TIP51	57		キャプチャ・トリガ入力（TMP5）。 5 Vトレラント対応。	P914/A14/INTP5/TOP51
TIQ00	40	入力	外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力（TMQ0）。 5 Vトレラント対応。	P53/SIB2/KR3/TOQ00/RTP03/DDO注
TIQ01	37		キャプチャ・トリガ入力（TMQ0）。 5 Vトレラント対応。	P50/KR0/TOQ01/RTP00
TIQ02	38			P51/KR1/TOQ02/RTP01
TIQ03	39			P52/KR2/TOQ03/RTP02/DDI注
TOP00	27	出力	タイマ出力（TMP0） N-chオープン・ドレーン出力選択可能。5 Vトレラント対応。	P32/ASCKA0/$\overline{\text{SCKB4}}$/TIP00
TOP01	28			P33/TIP01
TOP10	29		タイマ出力（TMP1） N-chオープン・ドレーン出力選択可能。5 Vトレラント対応。	P34/TIP10
TOP11	30			P35/TIP11
TOP20	50		タイマ出力（TMP2） N-chオープン・ドレーン出力選択可能。5 Vトレラント対応。	P97/A7/SIB1/TIP20
TOP21	49			P96/A6/TIP21
TOP30	48		タイマ出力（TMP3） N-chオープン・ドレーン出力選択可能。5 Vトレラント対応。	P95/A5/TIP30
TOP31	47			P94/A4/TIP31
TOP40	46		タイマ出力（TMP4） N-chオープン・ドレーン出力選択可能。5 Vトレラント対応。	P93/A3/TIP40
TOP41	45			P92/A2/TIP41
TOP50	58		タイマ出力（TMP5） N-chオープン・ドレーン出力選択可能。5 Vトレラント対応。	P915/A15/INTP6/TIP50
TOP51	57			P914/A14/INTP5/TIP51
TOQ00	40	出力	タイマ出力（TMQ0） N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P53/SIB2/KR3/TIQ00/RTP03/DDO注
TOQ01	37			P50/TIQ01/KR0/RTP00
TOQ02	38			P51/TIQ02/KR1/RTP01
TOQ03	39			P52/TIQ03/KR2/RTP02/DDI注
TXDA0	25	出力	シリアル送信データ出力（UARTA0-UARTA2） N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P30/SOB4
TXDA1	43			P90/A0/KR6/SDA02
TXDA2	35			P38/SDA00

注　フラッシュ・メモリ内蔵品のみ

(6/6)

端子名称	ピン番号	入出力	機　　能	兼用端子名
V_{DD}	9	－	内部用正電源供給端子	－
V_{SS}	11	－	内部用グランド電位	－
$\overline{WAIT}$	61	入力	外部ウエイト入力	PCM0
$\overline{WR0}$	65	出力	外部メモリ（下位8ビット）に対するライト・ストローブ	PCT0
$\overline{WR1}$	66		外部メモリ（上位8ビット）に対するライト・ストローブ	PCT1
X1	12	入力	メイン・クロック用発振子接続	－
X2	13	－		－
XT1	15	入力	サブクロック用発振子接続	－
XT2	16	－		－

2.2　端子状態

動作モードによる各端子の動作状態を次に示します。

表2－2　動作モードによる各端子の動作状態

端子名称	電源投入時[注1]	リセット中（電源投入時以外）	HALTモード[注2]	IDLE1, IDLE2, サブIDLEモード[注2]	STOPモード[注2]	アイドル・ステート[注3]	バス・ホールド
P05/$\overline{\text{DRST}}$[注4]	プルダウン	プルダウン[注5]	保持	保持	保持	保持	保持
P10/ANO0, P11/ANO1	不定	Hi-Z	保持	保持	Hi-Z	保持	保持
P53/DDO[注4]		Hi-Z[注6]	保持	保持	保持	保持	保持
AD0-AD15	Hi-Z[注7]	Hi-Z[注7]	注8, 9	Hi-Z	Hi-Z	保持	Hi-Z
A0-A15			不定[注8, 10]				
A16-A21			不定[注8]				
$\overline{\text{WAIT}}$			－	－	－	－	－
CLKOUT			動作	L	L	動作	動作
$\overline{\text{WR0}}$, $\overline{\text{WR1}}$			H[注8]	H	H	H	Hi-Z
$\overline{\text{RD}}$							
ASTB							
$\overline{\text{HLDAK}}$			動作[注8]				L
$\overline{\text{HLDRQ}}$				－	－	－	動作
その他のポート端子	Hi-Z	Hi-Z	保持	保持	保持	保持	保持

注1.　電源投入時，電源電圧が動作電源電圧範囲（下限）に達してから，1 ms経過するまでの期間です。

2.　兼用機能が動作しているときは動作します。

3.　セパレート・バス・モード時は，T2ステート後に挿入されるアイドル・ステート時の端子状態を示します。
マルチプレクス・バス・モード時は，T3ステート後に挿入されるアイドル・ステート時の端子状態を示します。

4.　フラッシュ・メモリ内蔵品のみ

5.　外部リセット時はプルダウンされます。ウォッチドッグ・タイマやクロック・モニタなどによる内部リセット時は，OCDM.OCDM0ビットの設定によって異なります。

6.　オンチップ・ディバグ・モード時には，DDO出力になります。

7.　バス制御端子はポート端子と兼用するので，入力モード（ポート・モード）に初期化します。

8.　HALTモード時でもDMA動作中は動作します。

9.　セパレート・バス・モード時　　：Hi-Z
マルチプレクス・バス・モード時　：不定

10.　セパレート・バス・モード時

備考　Hi-Z　：ハイ・インピーダンス
保持　：直前の外部バス・サイクルでの状態を保持
L　　：ロウ・レベル出力
H　　：ハイ・レベル出力
－　　：入力非サンプリング（受け付けない）

2. 3　端子の入出力回路タイプ，入出力バッファ電源と未使用時の処理

(1/3)

端　子	兼用端子名	ピン番号	入出力回路タイプ	推奨接続方法
P02	NMI	17	10-D	入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P03	INTP0/ADTRG	18		
P04	INTP1	19		
P05	INTP2/$\overline{DRST}$注1	20	10-N	入力時：個別に抵抗を介して，EV_{SS}に接続してください。 V_{DD}レベルへの固定は禁止です。 出力時：オープンにしてください。 $\overline{RESET}$端子によるリセット時，内部でプルダウンされます。
P06	INTP3	21	10-D	入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P10, P11	ANO0, ANO1	3, 4	12-D	入力時：個別に抵抗を介して，AV_{REF1}またはAV_{SS}に接続してください。 出力時：オープンにしてください。
P30	TXDA0/SOB4	25	10-G	入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P31	RXDA0/INTP7/SIB4	26	10-D	
P32	ASCKA0/$\overline{SCKB4}$/TIP00	27		
P33	TIP01/TOP01	28		
P34	TIP10/TOP10	29		
P35	TIP11/TOP11	30		
P36	CTXD0注2/$\overline{IETX0}$注3	31	10-G	
P37	CRXD0注2/$\overline{IERX0}$注3	32	10-D	
P38	TXDA2/SDA00	35		
P39	RXDA2/SCL00	36		
P40	SIB0/SDA01	22		
P41	SOB0/SCL01	23		
P42	$\overline{SCKB0}$	24		
P50	TIQ01/KR0/TOQ01/RTP00	37		
P51	TIQ02/KR1/TOQ02/RTP01	38		
P52	TIQ03/KR2/TOQ03/RTP02/DDI注1	39		
P53	SIB2/KR3/TIQ00/TOQ00/RTP03/DDO注1	40		
P54	SOB2/KR4/RTP04/DCK注1	41		
P55	$\overline{SCKB2}$/KR5/RTP05/DMS注1	42		

注1.　フラッシュ・メモリ内蔵品のみ

2.　CANコントローラ内蔵品のみ

3.　IEBusコントローラ内蔵品のみ

(2/3)

端　子	兼用端子名	ピン番号	入出力回路タイプ	推奨接続方法
P70-P711	ANI0-ANI11	100-89	11-G	入力時：個別に抵抗を介して，AV_{REF0}またはAV_{SS}に接続してください。 出力時：オープンにしてください。
P90	A0/KR6/TDXA1/SDA02	43	10-D	入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P91	A1/KR7/RXDA1/SCL02	44		
P92	A2/TIP41/TOP41	45		
P93	A3/TIP40/TOP40	46		
P94	A4/TIP31/TOP31	47		
P95	A5/TIP30/TOP30	48		
P96	A6/TIP21/TOP21	49		
P97	A7/SIB1/TIP20/TOP20	50		
P98	A8/SOB1	51	10-G	
P99	A9/$\overline{\text{SCKB1}}$	52	10-D	
P910	A10/SIB3	53		
P911	A11/SOB3	54	10-G	
P912	A12/$\overline{\text{SCKB3}}$	55	10-D	
P913	A13/INTP4	56		
P914	A14/INTP5/TIP51/TOP51	57		
P915	A15/INTP6/TIP50/TOP50	58		
PCM0	$\overline{\text{WAIT}}$	61	5	入力時：個別に抵抗を介して，BV_{DD}またはBV_{SS}に接続してください。 出力時：オープンにしてください。
PCM1	CLKOUT	62		
PCM2	$\overline{\text{HLDAK}}$	63		
PCM3	$\overline{\text{HLDRQ}}$	64		
PCT0, PCT1	$\overline{\text{WR0}}$, $\overline{\text{WR1}}$	65, 66		
PCT4	$\overline{\text{RD}}$	67		
PCT6	ASTB	68		
PDH0-PDH3	A16-A19	87, 88, 59, 60		
PDH4, PDH5	A20, A21	6, 7		入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
PDL0-PDL4	AD0-AD4	71-75		入力時：個別に抵抗を介して，BV_{DD}またはBV_{SS}に接続してください。 出力時：オープンにしてください。
PDL5	AD5/FLMD1[注]	76		
PDL6-PDL15	AD6-AD15	77-86		
AV_{REF0}	－	1	－	V_{DD}に直接接続し常に電源を供給してください。
AV_{REF1}	－	5	－	V_{DD}に直接接続し常に電源を供給してください。
AV_{SS}	－	2	－	V_{SS}に直接接続し常に電源を供給してください。
BV_{DD}	－	70	－	V_{DD}に直接接続し常に電源を供給してください。
BV_{SS}	－	69	－	V_{SS}に直接接続し常に電源を供給してください。
EV_{DD}	－	34	－	－
EV_{SS}	－	33	－	－

注　フラッシュ・メモリ内蔵品のみ

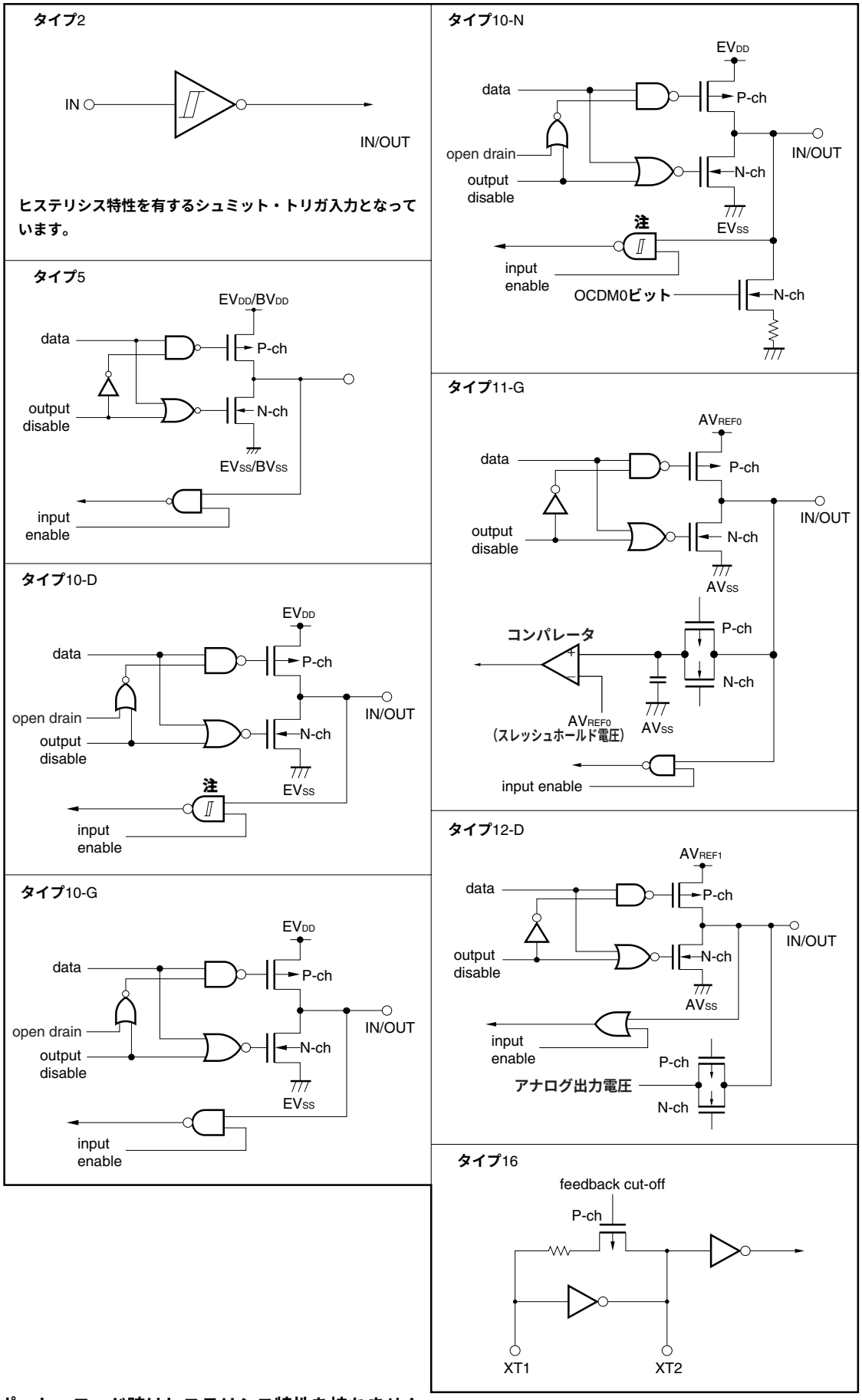
(3/3)

端　子	兼用端子名	ピン番号	入出力回路タイプ	推奨接続方法
FLMD0[注1]	−	8	−	フラッシュ・メモリ・プログラミング・モード時以外はV_{SS}に直接接続してください。
IC[注2]	−	8	−	V_{SS}に直接接続してください。
REGC	−	10	−	レギュレータ出力安定容量接続
$\overline{RESET}$	−	14	2	−
V_{DD}	−	9	−	−
V_{SS}	−	11	−	−
X1	−	12	−	−
X2	−	13	−	−
XT1	−	15	16	V_{SS}に接続してください。
XT2	−	16	16	オープンにしてください。

注1.　フラッシュ・メモリ内蔵品のみ

2.　マスクROM内蔵品のみ

図2－1　端子の入出力回路タイプ



注　ポート・モード時はヒステリシス特性を持ちません。

2.4　注意事項

次に示す端子は，電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- P10/ANO0**端子**
- P11/ANO1**端子**
- P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO**端子**[注]

注　DDO**端子はフラッシュ・メモリ内蔵品のみ**

第3章　CPU機能

V850ES/SG2のCPUは，RISCアーキテクチャをベースとして，5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3. 1　特　　徴

○最小命令実行時間：31.25 ns（32 MHz動作時）
　　30.5 μs（サブクロック（f_{XT}）= 32.768 kHz動作時）
○メモリ空間　　プログラム（物理アドレス）空間：64 Mバイト・リニア
　　データ（論理アドレス）空間　　：4 Gバイト・リニア
○汎用レジスタ：32ビット×32本
○内部32ビット・アーキテクチャ
○5段パイプライン制御
○乗除算命令
○飽和演算命令
○32ビット・シフト命令：1クロック
○ロング／ショート形式を持つロード／ストア命令
○ビット操作命令4種
- SET1
- CLR1
- NOT1
- TST1

3. 2　CPUレジスタ・セット

V850ES/SG2のレジスタは，汎用のプログラム・レジスタ・セットと，専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES　ユーザーズ・マニュアル　アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット

31　　0

r0	(ゼロ・レジスタ)
r1	(アセンブラ予約レジスタ)
r2	
r3	(スタック・ポインタ (SP))
r4	(グローバル・ポインタ (GP))
r5	(テキスト・ポインタ (TP))
r6	
r7	
r8	
r9	
r10	
r11	
r12	
r13	
r14	
r15	
r16	
r17	
r18	
r19	
r20	
r21	
r22	
r23	
r24	
r25	
r26	
r27	
r28	
r29	
r30	(エレメント・ポインタ (EP))
r31	(リンク・ポインタ (LP))

31　　0

PC	(プログラム・カウンタ)

(2) システム・レジスタ・セット

31　　0

EIPC	(割り込み時状態退避レジスタ)
EIPSW	(割り込み時状態退避レジスタ)

FEPC	(NMI時状態退避レジスタ)
FEPSW	(NMI時状態退避レジスタ)

ECR	(割り込み要因レジスタ)

PSW	(プログラム・ステータス・ワード)

CTPC	(CALLT実行時状態退避レジスタ)
CTPSW	(CALLT実行時状態退避レジスタ)

DBPC	(例外／ディバグ・トラップ時状態退避レジスタ)
DBPSW	(例外／ディバグ・トラップ時状態退避レジスタ)

CTBP	(CALLTベース・ポインタ)

3. 2. 1　プログラム・レジスタ・セット

プログラム・レジスタには，汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ（r0-r31）

汎用レジスタとして，r0-r31の32本が用意されています。これらのレジスタは，どれでもデータ変数またはアドレス変数として利用できます。

ただし，r0とr30は命令により暗黙的に使用しますので，これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで，0を使用する演算やオフセット0のアドレシングで使用されます。r30はSLD命令とSST命令により，メモリをアクセスするときのベース・ポインタとして使用されます。また，r1, r3-r5, r31は，アセンブラとCコンパイラが暗黙的に使用しますので，これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し，使用後に元に戻す必要があります。r2は，リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は，変数用レジスタとしてr2を使用できます。

表3－1　プログラム・レジスター覧

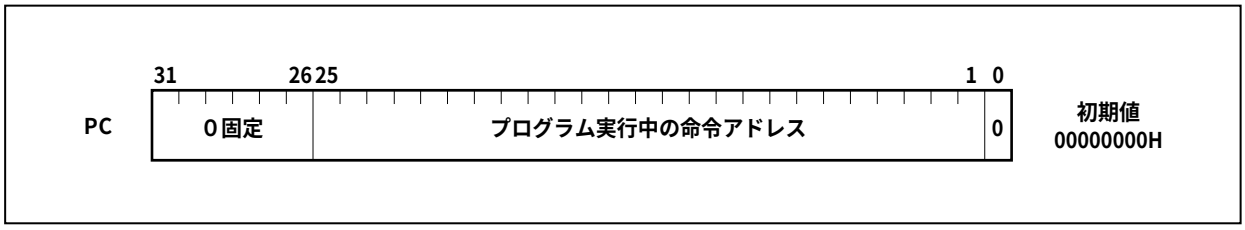
名　称	用　　途	動　　作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミーディエト作成用のワーキング・レジスタとして使用
r2	アドレス／データ変数用レジスタ（使用するリアルタイムOSがr2を使用していない場合）	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域（プログラム・コードを配置する領域）の先頭を指すレジスタとして使用
r6-r29	アドレス／データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

備考　アセンブラやCコンパイラで使用されるr1, r3-r5, r31の詳細な説明は，CA850（Cコンパイラ・パッケージ）　ユーザーズ・マニュアル　アセンブリー言語編を参照してください。

(2) プログラム・カウンタ（PC）

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で，ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また，ビット0は0に固定されており，奇数番地への分岐はできません。



3. 2. 2　システム・レジスタ・セット

システム・レジスタは，CPUの状態制御，割り込み情報保持などを行います。

システム・レジスタへのリード／ライトは，システム・レジスタ・ロード／ストア命令（LDSR, STSR命令）により，次に示すシステム・レジスタ番号を設定することで行います。

表3－2　システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ（EIPC）注1	○	○
1	割り込み時状態退避レジスタ（EIPSW）注1	○	○
2	NMI時状態退避レジスタ（FEPC）注1	○	○
3	NMI時状態退避レジスタ（FEPSW）注1	○	○
4	割り込み要因レジスタ（ECR）	×	○
5	プログラム・ステータス・ワード（PSW）	○	○
6-15	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×
16	CALLT実行時状態退避レジスタ（CTPC）	○	○
17	CALLT実行時状態退避レジスタ（CTPSW）	○	○
18	例外／ディバグ・トラップ時状態退避レジスタ（DBPC）	○注2	○注2
19	例外／ディバグ・トラップ時状態退避レジスタ（DBPSW）	○注2	○注2
20	CALLTベース・ポインタ（CTBP）	○	○
21-31	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×

注1.　これらのレジスタは1組しかないため，多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2.　DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

注意　LDSR命令によりEIPCかFEPC，またはCTPCのビット0をセット（1）しても，割り込み処理後のRETI命令で復帰するときにビット0は無視されます（PCのビット0を0固定してあるため）。EIPC, FEPC, CTPCに値を設定する場合は，偶数値（ビット0 = 0）を設定してください。

備考　○：アクセス可能
　　×：アクセス禁止

（1）割り込み時状態退避レジスタ（EIPC, EIPSW）

割り込み時状態退避レジスタには，EIPCとEIPSWがあります。

ソフトウエア例外やマスカブル割り込みが発生した場合，プログラム・カウンタ（PC）の内容がEIPCに，プログラム・ステータス・ワード（PSW）の内容がEIPSWに退避されます（ノンマスカブル割り込み（NMI）発生時には，NMI時状態退避レジスタ（FEPC, FEPSW）に退避されます）。

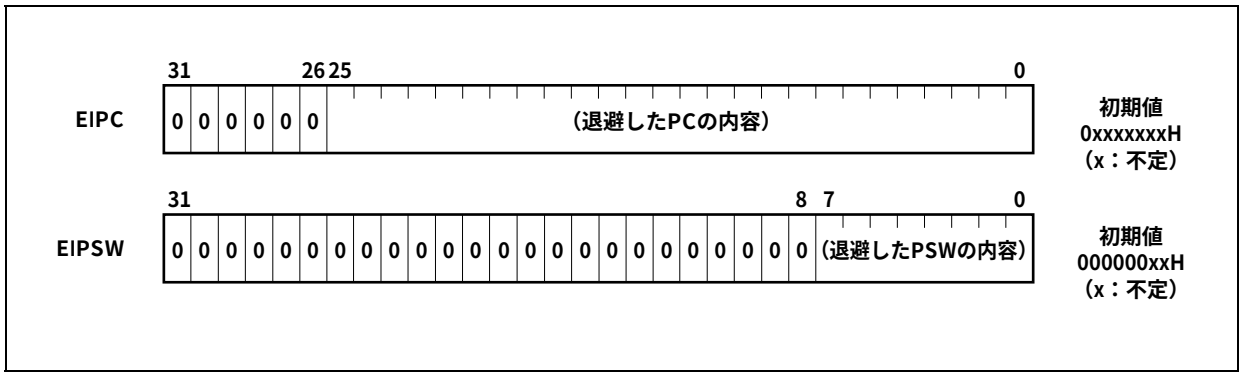
EIPCには，一部の命令（22.8　CPUが割り込みを受け付けない期間参照）を除き，ソフトウエア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには，現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないため，多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお，EIPCのビット31-26とEIPSWのビット31-8は，将来の機能拡張のために予約されています（0に固定）。

RETI命令により，EIPCの値はPCへ，EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ（FEPC, FEPSW）

NMI時状態退避レジスタには，FEPCとFEPSWがあります。

ノンマスカブル割り込み（NMI）が発生した場合，プログラム・カウンタ（PC）の内容がFEPCに，プログラム・ステータス・ワード（PSW）の内容がFEPSW に退避されます。

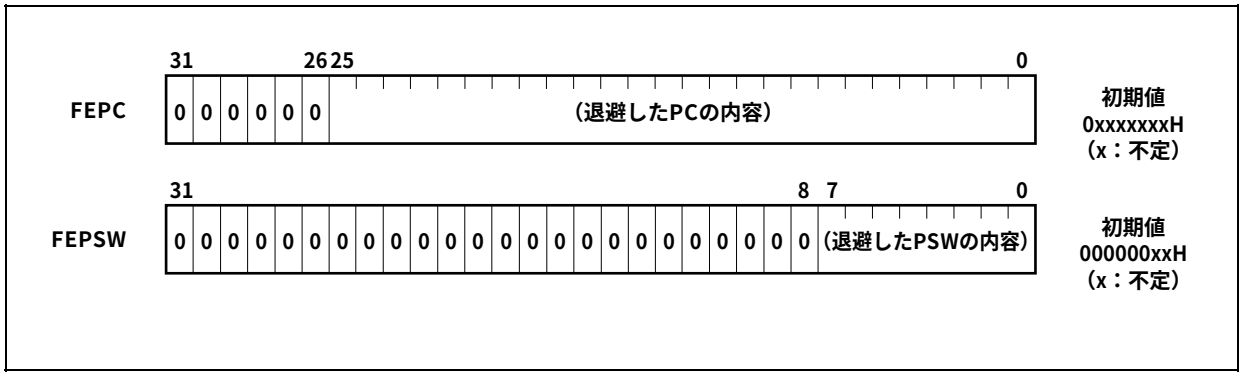
FEPCには，一部の命令を除き，NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには，現在のPSWの内容が退避されます。

NMI時状態退避レジスタは1組しかないため，多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

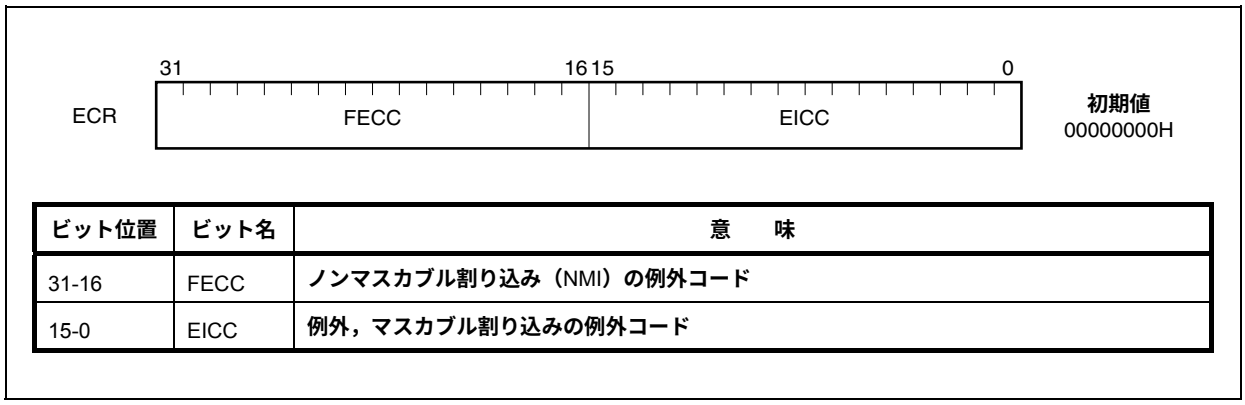
なお，FEPCのビット31-26とFEPSWのビット31-8は，将来の機能拡張のために予約されています（0に固定）。

RETI命令により，FEPCの値はPCへ，FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ（ECR）

割り込み要因レジスタ（ECR）は，例外や割り込みが発生した場合に，その要因を保持するレジスタです。ECRが保持する値は，割り込み要因ごとにコード化された例外コードです。なお，このレジスタは読み出し専用のため，LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



ビット位置	ビット名	意　味
31-16	FECC	ノンマスカブル割り込み（NMI）の例外コード
15-0	EICC	例外，マスカブル割り込みの例外コード

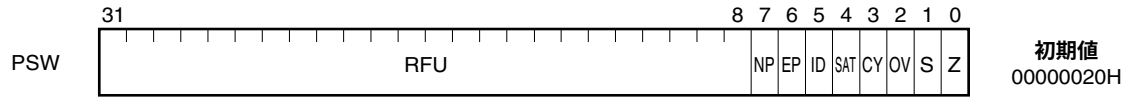
(4) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワード（PSW）は，プログラムの状態（命令実行の結果）やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は，LDSR命令実行終了直後から変更内容が有効となります。ただし，IDフラグをセット（1）する場合，LDSR命令実行中から割り込み要求の受け付けを禁止します。

なお，ビット31-8は，将来の機能拡張のために予約されています（0に固定）。

(1/2)



ビット位置	フラグ名	意　味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み（NMI）処理中であることを示します。NMI要求が受け付けられるとセット“1”され，多重割り込みを禁止します。 0：NMI処理中でない。 1：NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお，このビットがセットされても割り込み要求は受け付けます。 0：例外処理中でない。 1：例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0：割り込み可 1：割り込み不可
4	SAT注	飽和演算命令の演算結果がオーバフローし，演算結果が飽和していることを示します。累積フラグのため，飽和演算命令で演算結果が飽和するとセット“1”され，以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は，LDSR命令により行います。なお，算術演算命令の実行では，セット“1”もクリア“0”も行いません。 0：飽和していない。 1：飽和している。
3	CY	演算結果にキャリー，またはボローがあったかどうかを示します。 0：キャリー，またはボローは発生していない。 1：キャリー，またはボローが発生した。
2	OV注	演算中にオーバフローが発生したかどうかを示します。 0：オーバフローは発生していない。 1：オーバフローが発生した。
1	S注	演算の結果が負かどうかを示します。 0：演算の結果は，正または0であった。 1：演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0：演算の結果は0でなかった。 1：演算の結果は0であった。

備考　注の説明は次ページに記載しています。

(2/2)

注　飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また，飽和演算時に OV フラグがセット（1）された場合だけ，SAT フラグはセット（1）されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の値を保持	0	0	演算結果そのもの
負（最大値を越えない）			1	

(5) CALLT実行時状態退避レジスタ（CTPC, CTPSW）

CALLT実行時状態退避レジスタには，CTPCとCTPSWがあります。

CALLT命令が実行されると，プログラム・カウンタ（PC）の内容がCTPCに，プログラム・ステータス・ワード（PSW）の内容がCTPSWに退避されます。

CTPCに退避される内容は，CALLT命令の次の命令のアドレスです。

CTPSWには，現在のPSWの内容が退避されます。

なお，CTPCのビット31-26とCTPSWのビット31-8は，将来の機能拡張のために予約されています（“0”に固定）。

(6) 例外／ディバグ・トラップ時状態退避レジスタ（DBPC, DBPSW）

例外／ディバグ・トラップ時状態退避レジスタとして，DBPCとDBPSWがあります。

例外トラップ，またはディバグ・トラップが発生すると，プログラム・カウンタ（PC）の内容がDBPC に，プログラム・ステータス・ワード（PSW）の内容がDBPSWに退避されます。

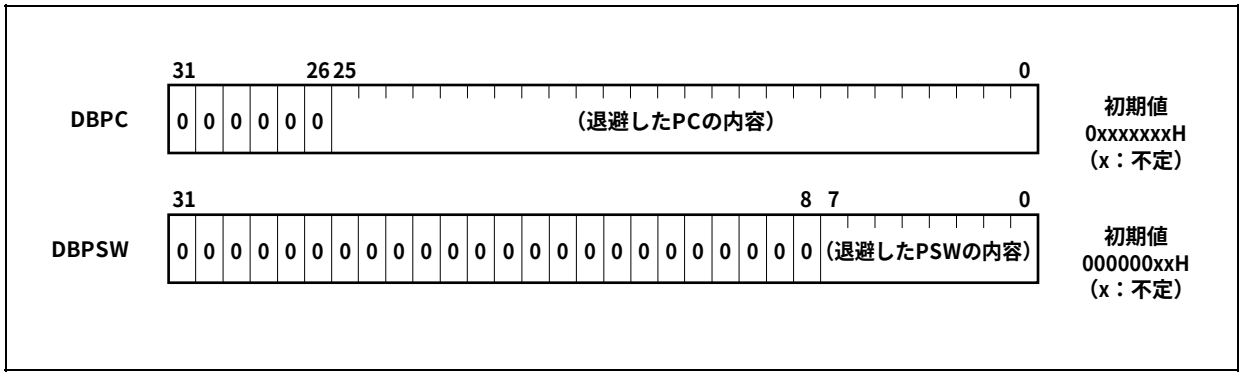
DBPCに退避される内容は，例外トラップ，またはディバグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには，現在のPSWの内容が退避されます。

このレジスタへのリード／ライトは，DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお，DBPCのビット31-26とDBPSWのビット31-8は，将来の機能拡張のために予約されています（“0”に固定）。

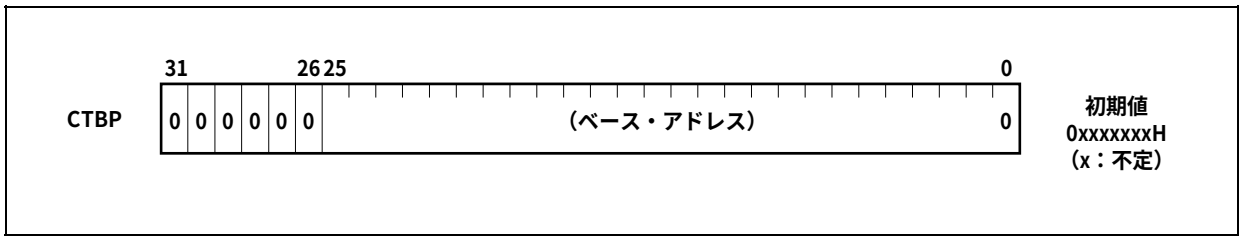
DBRET命令により，DBPCの値はPCへ，DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ（CTBP）

CALLTベース・ポインタ（CTBP）は，テーブル・アドレスの指定，ターゲット・アドレスの生成に使用されます（ビット0は“0”に固定）。

なお，ビット31-26は，将来の機能拡張のために予約されています（“0”に固定）。



3. 3　動作モード

V850ES/SG2は次に示す動作モードを備えます。

(1) 通常動作モード

システム・リセット解除後，バス・インタフェース関連の各端子はポート・モードになり，内蔵ROMのリセット・エントリ・アドレスに分岐し，命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると，フラッシュ・ライタによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

次に示す製品はV850ES/SG2のフラッシュ・メモリ内蔵品です。

・μPD70F3263HY, 70F3273HY, 70F3283HY

(3) オンチップ・ディバグ・モード

JTAG（Joint Test Action Group）の通信仕様を利用して，N-Wire型エミュレータを介したオンチップ・ディバグ機能を内蔵しています。

オンチップ・ディバグ機能は，フラッシュ・メモリ内蔵品だけに内蔵されています。

詳細は第30章　オンチップ・ディバグ機能を参照してください。

3. 3. 1　動作モード指定

FLMD0, FLMD1端子の状態により，動作モードを指定します。

通常モード時は，リセット解除時に，FLMD0/IC端子にロウ・レベルを入力してください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は，フラッシュ・ライタ接続時はフラッシュ・ライタから行いますが，セルフ・プログラミング時は外部回路で行ってください。

リセット解除時の動作		リセット後の動作モード
FLMD0	FLMD1	
L	×	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

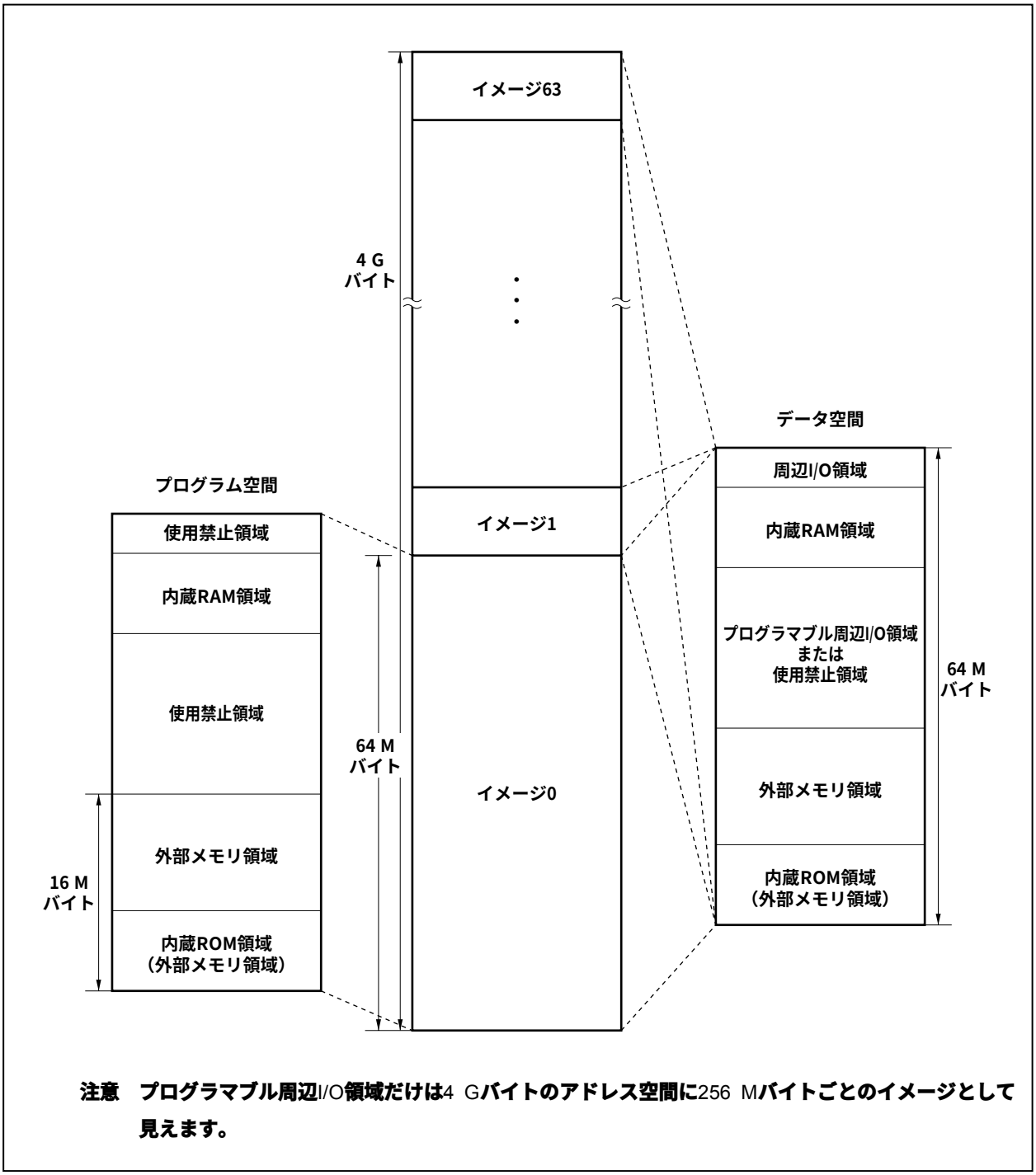
備考　L：ロウ・レベル入力
　　H：ハイ・レベル入力
　　×：任意

3. 4　アドレス空間

3. 4. 1　CPUアドレス空間

命令アドレスのアドレシングにおいては，最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大16 Mバイトの外部メモリ領域および内蔵ROM領域と，内蔵RAM領域をサポートしています。オペランド・アドレシング（データ・アクセス）においては，最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし，4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり，ビット31-26がどのような値でも，同じ64 Mバイトの物理アドレス空間をアクセスします。

図3－1　アドレス空間上のイメージ



注意　プログラマブル周辺I/O領域だけは4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。

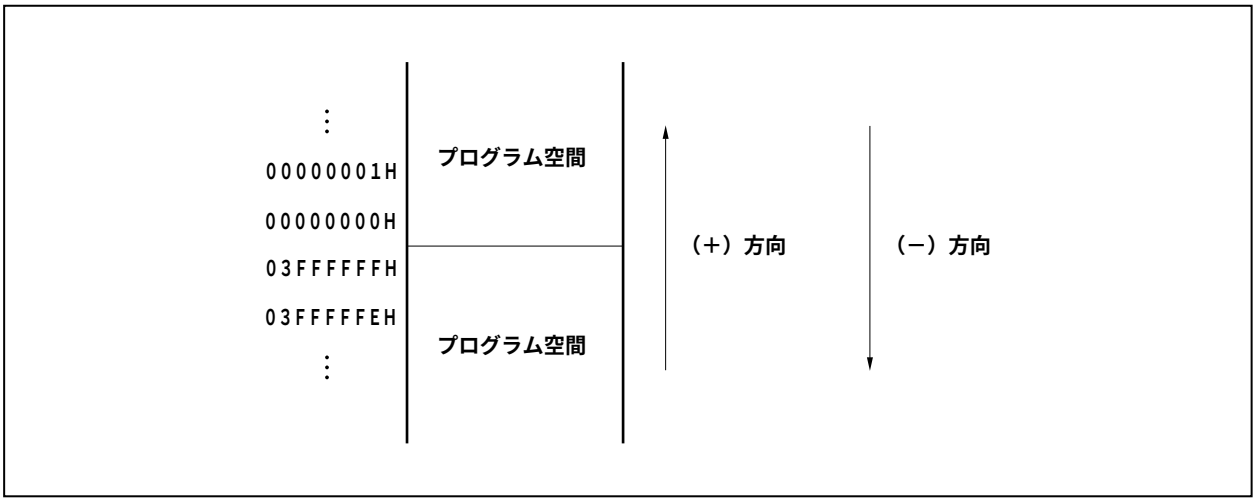
3. 4. 2　CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC（プログラム・カウンタ）は32ビットのうち上位6ビットが0固定で，下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって，プログラム空間の上限である03FFFFFFH番地と，下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

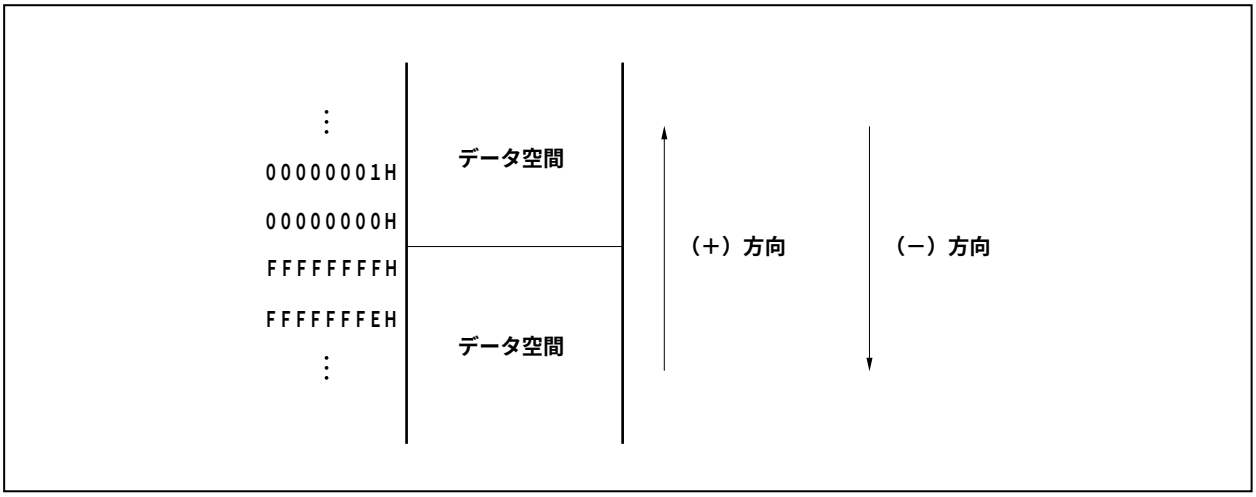
注意　03FFF000H-03FFFFFFHの4 Kバイトの領域は，内蔵周辺I/O領域のため，命令フェッチすることができません。したがって，分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

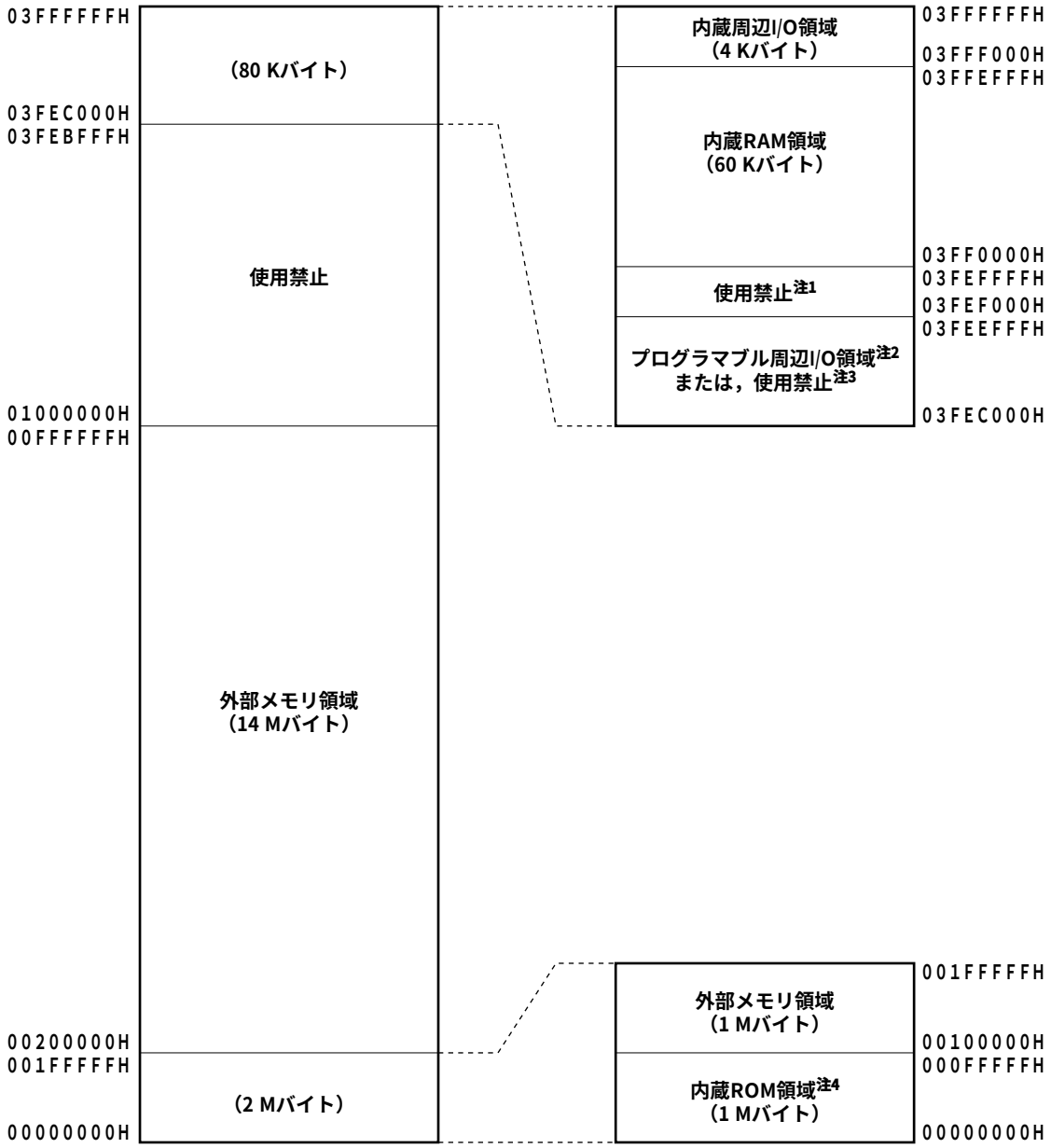
したがって，データ空間の上限であるFFFFFFFFH番地と，下限である00000000H番地は連続したアドレスになり，この境界でラップ・アラウンドします。



3. 4. 3　メモリ・マップ

V850ES/SG2では，次に示すように各領域を予約しています。

図3－2　データ・メモリ・マップ（物理アドレス）



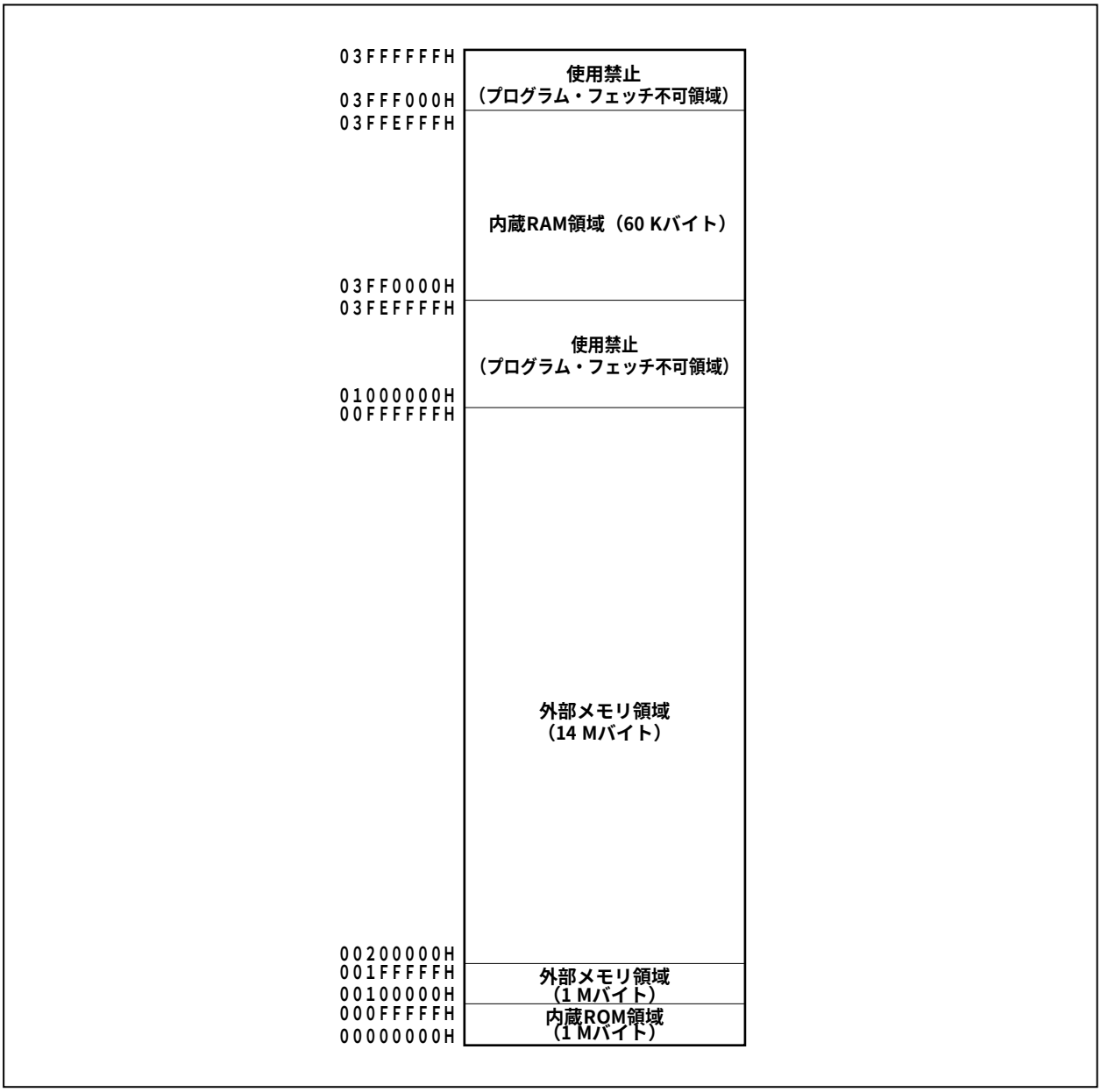
注1.　03FEF000H-03FEFFFFH番地は，内蔵周辺I/O領域と同じ領域となるため，使用禁止となります。

2.　プログラマブル周辺I/O領域だけは4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。

3.　03FEC000H-03FEEFFFH番地は，CANコントローラ内蔵品では，プログラマブル周辺I/O領域として03FEC000H-03FECBFFH番地を割り付けています。CANコントローラを内蔵していない製品では使用禁止となります。

4.　00000000H-000FFFFFH番地へのフェッチ・アクセスおよびリード・アクセスは内蔵ROM領域に対して行われますが，データ・ライト・アクセス時は外部メモリ領域として行われます。

図3－3　プログラム・メモリ・マップ



3.4.4 領　　域

(1) 内蔵ROM領域

内蔵ROM領域は，最大1 Mバイトが予約されています。

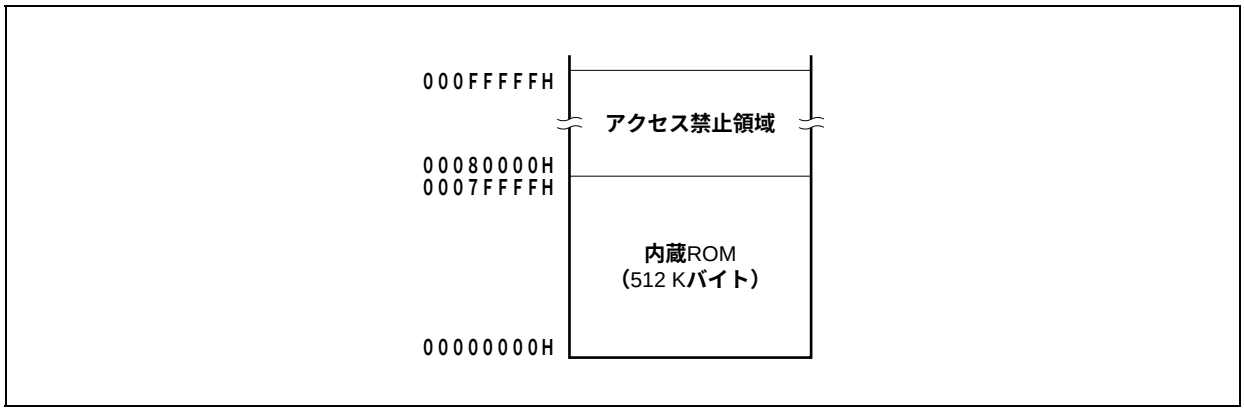
(a) 内蔵ROM（512 Kバイト）

次の製品には00000000Hから0007FFFFH番地に512 KバイトのマスクROMを実装しています。

00080000Hから000FFFFFH番地はアクセス禁止領域です。

・μPD703262HY, 703272HY, 703282HY

図3－4　内蔵ROM領域（512 Kバイト）



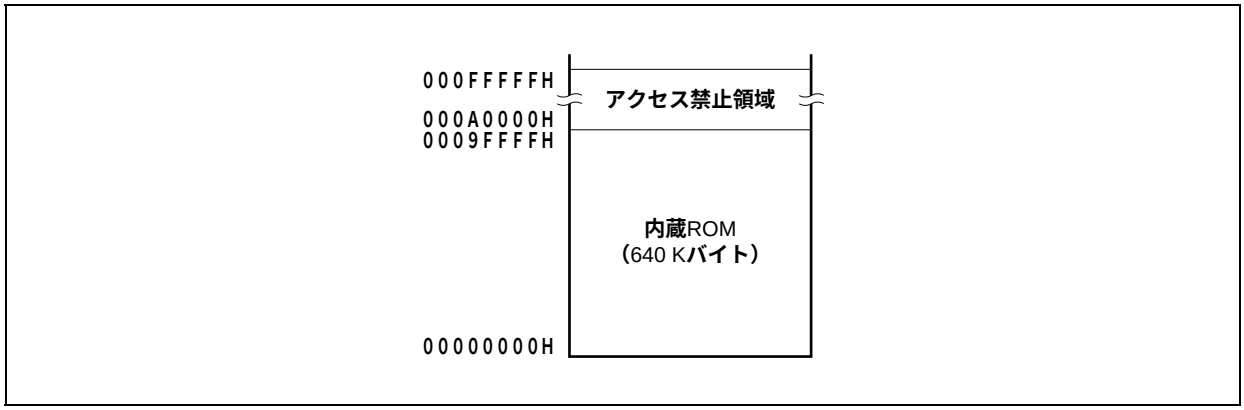
(b) 内蔵ROM（640 Kバイト）

次の製品には00000000Hから0009FFFFH番地に640 KバイトのマスクROMまたはフラッシュ・メモリを実装しています。

000A0000Hから000FFFFFH番地はアクセス禁止領域です。

・μPD703263HY, 703273HY, 703283HY, 70F3263HY, 70F3273HY, 70F3283HY

図3－5　内蔵ROM領域（640 Kバイト）



(2) 内蔵RAM領域

内蔵RAM領域は，最大60 Kバイトが予約されています。

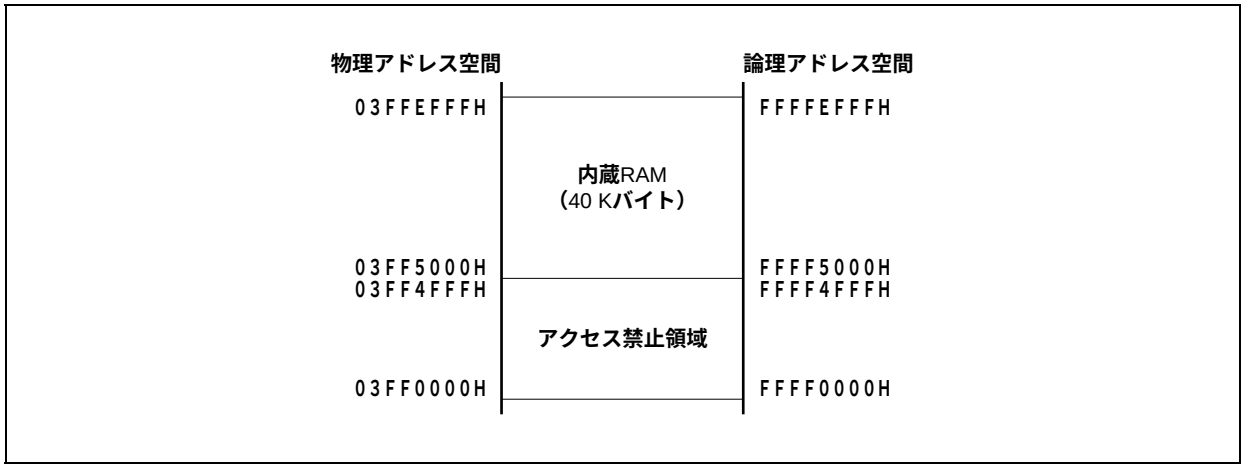
(a) 内蔵RAM（40 Kバイト）

次の製品には03FF5000Hから03FFEFFFH番地に40 KバイトのRAMを実装しています。

03FF0000Hから03FF4FFFH番地はアクセス禁止領域です。

・μPD703262HY, 703272HY, 703282HY

図3－6　内蔵RAM領域（40 Kバイト）



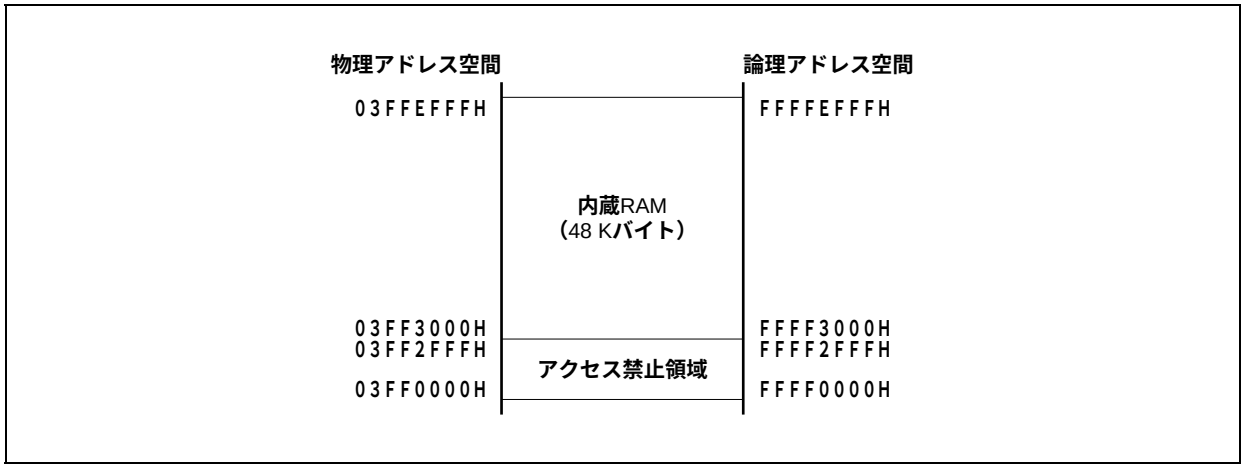
(b) 内蔵RAM（48 Kバイト）

次の製品には03FF3000Hから03FFEFFFH番地に48 KバイトのRAMを実装しています。

03FF0000Hから03FF2FFFH番地はアクセス禁止領域です。

・μPD703263HY, 703273HY, 703283HY, 70F3263HY, 70F3273HY, 70F3283HY

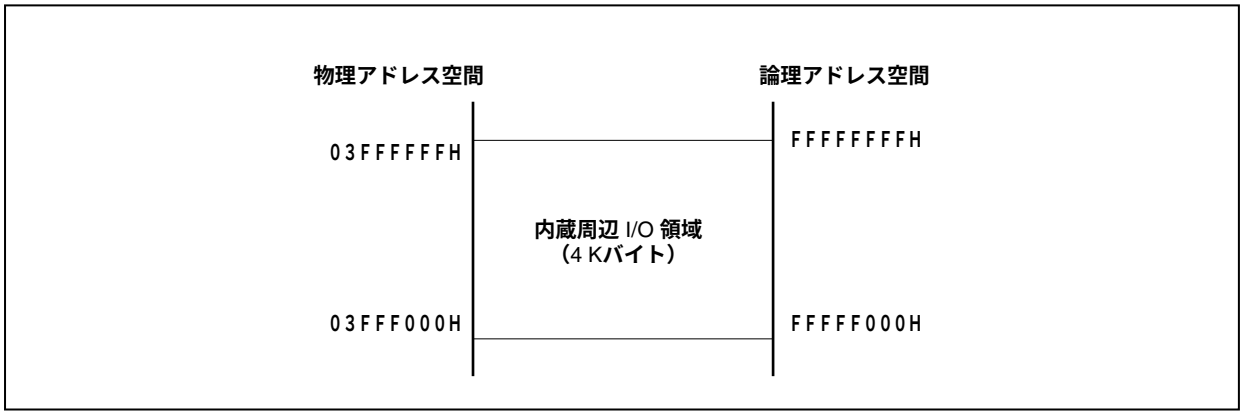
図3－7　内蔵RAM領域（48 Kバイト）



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域として03FFF000H-03FFFFFFH番地の4 Kバイトを予約しています。

図3－8　内蔵周辺I/O領域



内蔵周辺I/O領域には，内蔵周辺I/Oの動作モード指定，状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

注意1. レジスタにワード・アクセスを行うと，アドレスの下位2ビットを無視したワード領域に対し下位，上位の順番でハーフワード・アクセスを2回行います。

2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合，リード時は上位8ビットが不定になり，ライト時は下位8ビット・データがレジスタに書き込まれます。

3. レジスタとして定義されていないアドレスは，将来の拡張用に予約されており，アクセスした場合の動作は不定であり，保証しません。

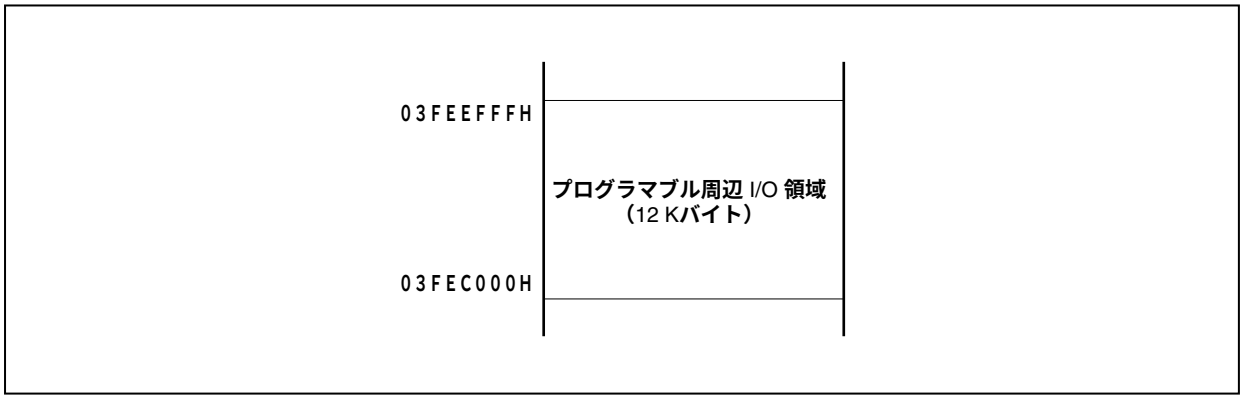
(4) プログラマブル周辺I/O領域

注意1. プログラマブル周辺I/O領域は，CANコントローラ内蔵品だけにあります。CANコントローラを内蔵していない製品では，使用禁止となります。

2. プログラマブル周辺I/O領域は，4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。

プログラマブル周辺I/O領域として03FEC000H-03FEEFFFH番地の12 Kバイトを予約しています。

図3－9　プログラマブル周辺I/O領域



(5) 外部メモリ領域

外部メモリ領域として15 Mバイト（00100000H-00FFFFFFH）あります。詳細は第5章　バス制御機能を参照してください。

注意　V850ES/SG2ではアドレス端子が22本（A0-A21）であり，外部メモリ領域は4 Mバイトのイメージが繰り返し見えます。アドレス端子を22本使用する場合，EV_{DD} = BV_{DD} = V_{DD}で使用してください。

3.4.5　アドレス空間の推奨使用方法

V850ES/SG2のアーキテクチャでは，データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには，命令から直接オペランド・データ・アクセスが行えます。しかし，ポインタ用レジスタとして使う汎用レジスタには限りがあるため，ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで，変数用の汎用レジスタを最大限に確保し，かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC（プログラム・カウンタ）は，32ビットのうち上位6ビットは0に固定であり，下位26ビットだけ有効となります。したがって，プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は，次の番地に対してアクセスしてください。

注意　内蔵RAM領域の上限に分岐命令がある場合，内蔵周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。

RAMサイズ	アクセス番地
48 Kバイト	03FF3000H-03FFEFFFH
40 Kバイト	03FF5000H-03FFEFFFH

(2) データ空間

V850ES/SG2では，4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため，この26ビット・アドレスの最上位ビット（ビット25）を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16 [R] 命令でR = r0（ゼロ・レジスタ）とした場合，符号拡張したdisp16により，00000000H番地±32 Kバイトの範囲がアドレシング可能です。内蔵ハードウエアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ（r0）はハードウエアでゼロ固定のレジスタであり，ポインタ専用に費やすレジスタは実質不要となります。

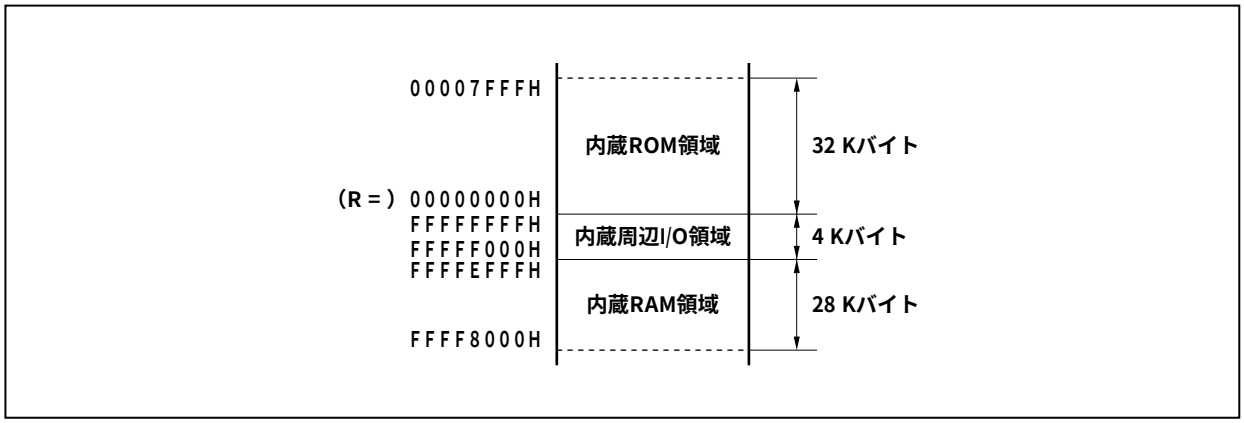
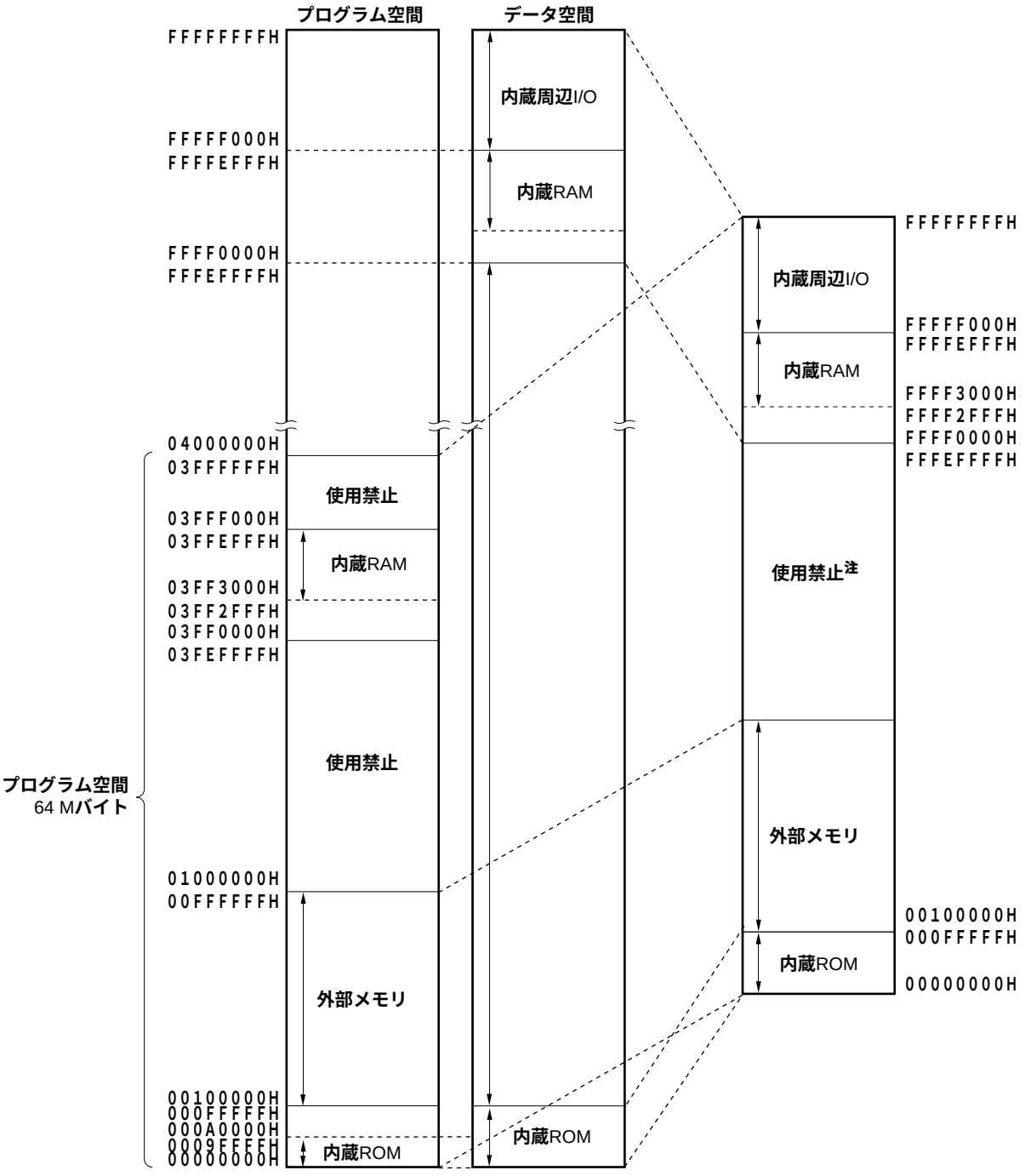


図3－10　推奨メモリ・マップ



注　CANコントローラ内蔵品では，データ空間の03FEC000H-03FEEFFFH番地をプログラマブル周辺I/O領域として割り付けています。プログラマブル周辺I/O領域だけは，4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。

備考1.　↕ は推奨使用領域です。

2.　この図はμPD703263HYの場合の推奨メモリ・マップです。

3.4.6　周辺I/Oレジスタ

(1/11)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF004H	ポートDLレジスタ	PDL	R/W			○	0000H[注1]
FFFFF004H	ポートDLレジスタL	PDLL		○	○		00H[注1]
FFFFF005H	ポートDLレジスタH	PDLH		○	○		00H[注1]
FFFFF006H	ポートDHレジスタ	PDH		○	○		00H[注1]
FFFFF00AH	ポートCTレジスタ	PCT		○	○		00H[注1]
FFFFF00CH	ポートCMレジスタ	PCM		○	○		00H[注1]
FFFFF024H	ポートDLモード・レジスタ	PMDL				○	FFFFH
FFFFF024H	ポートDLモード・レジスタL	PMDLL		○	○		FFH
FFFFF025H	ポートDLモード・レジスタH	PMDLH		○	○		FFH
FFFFF026H	ポートDHモード・レジスタ	PMDH		○	○		FFH
FFFFF02AH	ポートCTモード・レジスタ	PMCT		○	○		FFH
FFFFF02CH	ポートCMモード・レジスタ	PMCM		○	○		FFH
FFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL				○	0000H
FFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL		○	○		00H
FFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH		○	○		00H
FFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH		○	○		00H
FFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT		○	○		00H
FFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM		○	○		00H
FFFFF064H	周辺I/O領域セレクト制御レジスタ	BPC[注2]				○	0000H
FFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC				○	5555H
FFFFF06EH	システム・ウエイト・コントロール・レジスタ	VSWC			○		77H
FFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L				○	不定
FFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H				○	不定
FFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L				○	不定
FFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H				○	不定
FFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L				○	不定
FFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H				○	不定
FFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L				○	不定
FFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H				○	不定
FFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L				○	不定
FFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H				○	不定
FFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L				○	不定
FFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H				○	不定
FFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L				○	不定
FFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H				○	不定
FFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L				○	不定
FFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H				○	不定
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0				○	不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1				○	不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2				○	不定

注1.　出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

2.　CANコントローラ内蔵品のみ

(2/11)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3	R/W			○	不定
FFFFF0D0H	DMAアドレシング・コントロール・レジスタ0	DADC0				○	0000H
FFFFF0D2H	DMAアドレシング・コントロール・レジスタ1	DADC1				○	0000H
FFFFF0D4H	DMAアドレシング・コントロール・レジスタ2	DADC2				○	0000H
FFFFF0D6H	DMAアドレシング・コントロール・レジスタ3	DADC3				○	0000H
FFFFF0E0H	DMAチャネル・コントロール・レジスタ0	DCHC0		○	○		00H
FFFFF0E2H	DMAチャネル・コントロール・レジスタ1	DCHC1		○	○		00H
FFFFF0E4H	DMAチャネル・コントロール・レジスタ2	DCHC2		○	○		00H
FFFFF0E6H	DMAチャネル・コントロール・レジスタ3	DCHC3		○	○		00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0				○	FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L		○	○		FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H		○	○		FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1				○	FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L		○	○		FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H		○	○		FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2				○	FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L		○	○		FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H		○	○		FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3				○	FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L		○	○		FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H		○	○		FFH
FFFFF112H	割り込み制御レジスタ	PIC0		○	○		47H
FFFFF114H	割り込み制御レジスタ	PIC1		○	○		47H
FFFFF116H	割り込み制御レジスタ	PIC2		○	○		47H
FFFFF118H	割り込み制御レジスタ	PIC3		○	○		47H
FFFFF11AH	割り込み制御レジスタ	PIC4		○	○		47H
FFFFF11CH	割り込み制御レジスタ	PIC5		○	○		47H
FFFFF11EH	割り込み制御レジスタ	PIC6		○	○		47H
FFFFF120H	割り込み制御レジスタ	PIC7		○	○		47H
FFFFF122H	割り込み制御レジスタ	TQ0OVIC		○	○		47H
FFFFF124H	割り込み制御レジスタ	TQ0CCIC0		○	○		47H
FFFFF126H	割り込み制御レジスタ	TQ0CCIC1		○	○		47H
FFFFF128H	割り込み制御レジスタ	TQ0CCIC2		○	○		47H
FFFFF12AH	割り込み制御レジスタ	TQ0CCIC3		○	○		47H
FFFFF12CH	割り込み制御レジスタ	TP0OVIC		○	○		47H
FFFFF12EH	割り込み制御レジスタ	TP0CCIC0		○	○		47H
FFFFF130H	割り込み制御レジスタ	TP0CCIC1		○	○		47H
FFFFF132H	割り込み制御レジスタ	TP1OVIC		○	○		47H
FFFFF134H	割り込み制御レジスタ	TP1CCIC0		○	○		47H
FFFFF136H	割り込み制御レジスタ	TP1CCIC1		○	○		47H
FFFFF138H	割り込み制御レジスタ	TP2OVIC		○	○		47H
FFFFF13AH	割り込み制御レジスタ	TP2CCIC0		○	○		47H
FFFFF13CH	割り込み制御レジスタ	TP2CCIC1		○	○		47H

(3/11)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF13EH	割り込み制御レジスタ	TP3OVIC	R/W	○	○		47H
FFFFF140H	割り込み制御レジスタ	TP3CCIC0		○	○		47H
FFFFF142H	割り込み制御レジスタ	TP3CCIC1		○	○		47H
FFFFF144H	割り込み制御レジスタ	TP4OVIC		○	○		47H
FFFFF146H	割り込み制御レジスタ	TP4CCIC0		○	○		47H
FFFFF148H	割り込み制御レジスタ	TP4CCIC1		○	○		47H
FFFFF14AH	割り込み制御レジスタ	TP5OVIC		○	○		47H
FFFFF14CH	割り込み制御レジスタ	TP5CCIC0		○	○		47H
FFFFF14EH	割り込み制御レジスタ	TP5CCIC1		○	○		47H
FFFFF150H	割り込み制御レジスタ	TM0EQIC0		○	○		47H
FFFFF152H	割り込み制御レジスタ	CB0RIC/IICIC1		○	○		47H
FFFFF154H	割り込み制御レジスタ	CB0TIC		○	○		47H
FFFFF156H	割り込み制御レジスタ	CB1RIC		○	○		47H
FFFFF158H	割り込み制御レジスタ	CB1TIC		○	○		47H
FFFFF15AH	割り込み制御レジスタ	CB2RIC		○	○		47H
FFFFF15CH	割り込み制御レジスタ	CB2TIC		○	○		47H
FFFFF15EH	割り込み制御レジスタ	CB3RIC		○	○		47H
FFFFF160H	割り込み制御レジスタ	CB3TIC		○	○		47H
FFFFF162H	割り込み制御レジスタ	UA0RIC/CB4RIC		○	○		47H
FFFFF164H	割り込み制御レジスタ	UA0TIC/CB4TIC		○	○		47H
FFFFF166H	割り込み制御レジスタ	UA1RIC/IICIC2		○	○		47H
FFFFF168H	割り込み制御レジスタ	UA1TIC		○	○		47H
FFFFF16AH	割り込み制御レジスタ	UA2RIC/IICIC0		○	○		47H
FFFFF16CH	割り込み制御レジスタ	UA2TIC		○	○		47H
FFFFF16EH	割り込み制御レジスタ	ADIC		○	○		47H
FFFFF170H	割り込み制御レジスタ	DMAIC0		○	○		47H
FFFFF172H	割り込み制御レジスタ	DMAIC1		○	○		47H
FFFFF174H	割り込み制御レジスタ	DMAIC2		○	○		47H
FFFFF176H	割り込み制御レジスタ	DMAIC3		○	○		47H
FFFFF178H	割り込み制御レジスタ	KRIC		○	○		47H
FFFFF17AH	割り込み制御レジスタ	WTIIC		○	○		47H
FFFFF17CH	割り込み制御レジスタ	WTIC		○	○		47H
FFFFF17EH	割り込み制御レジスタ	ERRIC0[注1]/ ERRIC[注2]		○	○		47H
FFFFF180H	割り込み制御レジスタ	WUPIC0[注1]/ STAIC[注2]		○	○		47H
FFFFF182H	割り込み制御レジスタ	RECIC0[注1]/ IEIC1[注2]		○	○		47H
FFFFF184H	割り込み制御レジスタ	TRXIC0[注1]/ IEIC2[注2]		○	○		47H

注1.　CANコントローラ内蔵品のみ

2.　IEBusコントローラ内蔵品のみ

(4/11)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF1FAH	インサービス・プライオリティ・レジスタ	ISPR	R	○	○		00H
FFFFF1FCH	コマンド・レジスタ	PRCMD	W		○		不定
FFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W	○	○		00H
FFFFF200H	A/Dコンバータ・モード・レジスタ0	ADA0M0		○	○		00H
FFFFF201H	A/Dコンバータ・モード・レジスタ1	ADA0M1		○	○		00H
FFFFF202H	A/Dコンバータ・チャネル指定レジスタ	ADA0S		○	○		00H
FFFFF203H	A/Dコンバータ・モード・レジスタ2	ADA0M2		○	○		00H
FFFFF204H	パワー・フェイル比較モード・レジスタ	ADA0PFM		○	○		00H
FFFFF205H	パワー・フェイル比較しきい値レジスタ	ADA0PFT		○	○		00H
FFFFF210H	A/D変換結果レジスタ0	ADA0CR0	R			○	不定
FFFFF211H	A/D変換結果レジスタ0H	ADA0CR0H			○		不定
FFFFF212H	A/D変換結果レジスタ1	ADA0CR1				○	不定
FFFFF213H	A/D変換結果レジスタ1H	ADA0CR1H			○		不定
FFFFF214H	A/D変換結果レジスタ2	ADA0CR2				○	不定
FFFFF215H	A/D変換結果レジスタ2H	ADA0CR2H			○		不定
FFFFF216H	A/D変換結果レジスタ3	ADA0CR3				○	不定
FFFFF217H	A/D変換結果レジスタ3H	ADA0CR3H			○		不定
FFFFF218H	A/D変換結果レジスタ4	ADA0CR4				○	不定
FFFFF219H	A/D変換結果レジスタ4H	ADA0CR4H			○		不定
FFFFF21AH	A/D変換結果レジスタ5	ADA0CR5				○	不定
FFFFF21BH	A/D変換結果レジスタ5H	ADA0CR5H			○		不定
FFFFF21CH	A/D変換結果レジスタ6	ADA0CR6				○	不定
FFFFF21DH	A/D変換結果レジスタ6H	ADA0CR6H			○		不定
FFFFF21EH	A/D変換結果レジスタ7	ADA0CR7				○	不定
FFFFF21FH	A/D変換結果レジスタ7H	ADA0CR7H			○		不定
FFFFF220H	A/D変換結果レジスタ8	ADA0CR8				○	不定
FFFFF221H	A/D変換結果レジスタ8H	ADA0CR8H			○		不定
FFFFF222H	A/D変換結果レジスタ9	ADA0CR9				○	不定
FFFFF223H	A/D変換結果レジスタ9H	ADA0CR9H			○		不定
FFFFF224H	A/D変換結果レジスタ10	ADA0CR10				○	不定
FFFFF225H	A/D変換結果レジスタ10H	ADA0CR10H			○		不定
FFFFF226H	A/D変換結果レジスタ11	ADA0CR11				○	不定
FFFFF227H	A/D変換結果レジスタ11H	ADA0CR11H			○		不定
FFFFF280H	D/Aコンバータ変換値設定レジスタ0	DA0CS0	R/W		○		00H
FFFFF281H	D/Aコンバータ変換値設定レジスタ1	DA0CS1			○		00H
FFFFF282H	D/Aコンバータ・モード・レジスタ	DA0M		○	○		00H
FFFFF300H	キー・リターン・モード・レジスタ	KRM		○	○		00H
FFFFF308H	セレクタ動作制御レジスタ	SELCNT0		○	○		00H
FFFFF310H	CRCインプット・レジスタ	CRCIN			○		00H
FFFFF312H	CRCデータ・レジスタ	CRCD				○	0000H
FFFFF318H	ノイズ除去制御レジスタ	NFC			○		00H
FFFFF320H	BRG1プリスケーラ・モード・レジスタ	PRSM1		○	○		00H
FFFFF321H	BRG1プリスケーラ・コンペア・レジスタ	PRSCM1			○		00H

(5/11)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF324H	BRG2プリスケーラ・モード・レジスタ	PRSM2	R/W	○	○		00H
FFFFF325H	BRG2プリスケーラ・コンペア・レジスタ	PRSCM2			○		00H
FFFFF328H	BRG3プリスケーラ・モード・レジスタ	PRSM3		○	○		00H
FFFFF329H	BRG3プリスケーラ・コンペア・レジスタ	PRSCM3			○		00H
FFFFF340H	IIC分周クロック選択レジスタ0	OCKS0			○		00H
FFFFF344H	IIC分周クロック選択レジスタ1	OCKS1			○		00H
FFFFF348H	IEBusクロック選択レジスタ	OCKS2[注1]			○		00H
FFFFF360H	IEBusコントロール・レジスタ	BCR[注1]		○	○		00H
FFFFF361H	IEBusパワー・セーブ・レジスタ	PSR[注1]		○	○		00H
FFFFF362H	IEBusスレーブ・ステータス・レジスタ	SSR[注1]	R	○	○		81H
FFFFF363H	IEBusユニット・ステータス・レジスタ	USR[注1]		○	○		00H
FFFFF364H	IEBusインタラプト・ステータス・レジスタ	ISR[注1]	R/W	○	○		00H
FFFFF365H	IEBusエラー・ステータス・レジスタ	ESR[注1]		○	○		00H
FFFFF366H	IEBusユニット・アドレス・レジスタ	UAR[注1]				○	0000H
FFFFF368H	IEBusスレーブ・アドレス・レジスタ	SAR[注1]				○	0000H
FFFFF36AH	IEBusパートナ・アドレス・レジスタ	PAR[注1]	R			○	0000H
FFFFF36CH	IEBus受信スレーブ・アドレス・レジスタ	RSA[注1]				○	0000H
FFFFF36EH	IEBusコントロール・データ・レジスタ	CDR[注1]	R/W		○		00H
FFFFF36FH	IEBus電文長レジスタ	DLR[注1]			○		01H
FFFFF370H	IEBusデータ・レジスタ	DR[注1]			○		00H
FFFFF371H	IEBusフィールド・ステータス・レジスタ	FSR[注1]	R		○		00H
FFFFF372H	IEBusサクセス・カウント・レジスタ	SCR[注1]			○		01H
FFFFF373H	IEBusコミュニケーション・カウント・レジスタ	CCR[注1]			○		20H
FFFFF400H	ポート0レジスタ	P0	R/W	○	○		00H[注2]
FFFFF402H	ポート1レジスタ	P1		○	○		00H[注2]
FFFFF406H	ポート3レジスタ	P3				○	0000H[注2]
FFFFF406H	ポート3レジスタL	P3L		○	○		00H[注2]
FFFFF407H	ポート3レジスタH	P3H		○	○		00H[注2]
FFFFF408H	ポート4レジスタ	P4		○	○		00H[注2]
FFFFF40AH	ポート5レジスタ	P5		○	○		00H[注2]
FFFFF40EH	ポート7レジスタL	P7L		○	○		00H[注2]
FFFFF40FH	ポート7レジスタH	P7H		○	○		00H[注2]
FFFFF412H	ポート9レジスタ	P9				○	0000H[注2]
FFFFF412H	ポート9レジスタL	P9L		○	○		00H[注2]
FFFFF413H	ポート9レジスタH	P9H		○	○		00H[注2]
FFFFF420H	ポート0モード・レジスタ	PM0		○	○		FFH
FFFFF422H	ポート1モード・レジスタ	PM1		○	○		FFH
FFFFF426H	ポート3モード・レジスタ	PM3				○	FFFFH
FFFFF426H	ポート3モード・レジスタL	PM3L		○	○		FFH
FFFFF427H	ポート3モード・レジスタH	PM3H		○	○		FFH
FFFFF428H	ポート4モード・レジスタ	PM4		○	○		FFH

注1.　IEBusコントローラ内蔵品のみ

2.　出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(6/11)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF42AH	ポート5モード・レジスタ	PM5	R/W	○	○		FFH
FFFFF42EH	ポート7モード・レジスタL	PM7L		○	○		FFH
FFFFF42FH	ポート7モード・レジスタH	PM7H		○	○		FFH
FFFFF432H	ポート9モード・レジスタ	PM9				○	FFFFH
FFFFF432H	ポート9モード・レジスタL	PM9L		○	○		FFH
FFFFF433H	ポート9モード・レジスタH	PM9H		○	○		FFH
FFFFF440H	ポート0モード・コントロール・レジスタ	PMC0		○	○		00H
FFFFF446H	ポート3モード・コントロール・レジスタ	PMC3				○	0000H
FFFFF446H	ポート3モード・コントロール・レジスタL	PMC3L		○	○		00H
FFFFF447H	ポート3モード・コントロール・レジスタH	PMC3H		○	○		00H
FFFFF448H	ポート4モード・コントロール・レジスタ	PMC4		○	○		00H
FFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5		○	○		00H
FFFFF452H	ポート9モード・コントロール・レジスタ	PMC9				○	0000H
FFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L		○	○		00H
FFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H		○	○		00H
FFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0		○	○		00H
FFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3				○	0000H
FFFFF466H	ポート3ファンクション・コントロール・レジスタL	PFC3L		○	○		00H
FFFFF467H	ポート3ファンクション・コントロール・レジスタH	PFC3H		○	○		00H
FFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4		○	○		00H
FFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5		○	○		00H
FFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9				○	0000H
FFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L		○	○		00H
FFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H		○	○		00H
FFFFF484H	データ・ウエイト・コントロール・レジスタ0	DWC0				○	7777H
FFFFF488H	アドレス・ウエイト・コントロール・レジスタ	AWC				○	FFFFH
FFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC				○	AAAAH
FFFFF540H	TMQ0制御レジスタ0	TQ0CTL0		○	○		00H
FFFFF541H	TMQ0制御レジスタ1	TQ0CTL1		○	○		00H
FFFFF542H	TMQ0I/O制御レジスタ0	TQ0IOC0		○	○		00H
FFFFF543H	TMQ0I/O制御レジスタ1	TQ0IOC1		○	○		00H
FFFFF544H	TMQ0I/O制御レジスタ2	TQ0IOC2		○	○		00H
FFFFF545H	TMQ0オプション・レジスタ0	TQ0OPT0		○	○		00H
FFFFF546H	TMQ0キャプチャ／コンペア・レジスタ0	TQ0CCR0				○	0000H
FFFFF548H	TMQ0キャプチャ／コンペア・レジスタ1	TQ0CCR1				○	0000H
FFFFF54AH	TMQ0キャプチャ／コンペア・レジスタ2	TQ0CCR2				○	0000H
FFFFF54CH	TMQ0キャプチャ／コンペア・レジスタ3	TQ0CCR3				○	0000H
FFFFF54EH	TMQ0カウンタ・リード・バッファ・レジスタ	TQ0CNT	R			○	0000H
FFFFF590H	TMP0制御レジスタ0	TP0CTL0	R/W	○	○		00H
FFFFF591H	TMP0制御レジスタ1	TP0CTL1		○	○		00H
FFFFF592H	TMP0I/O制御レジスタ0	TP0IOC0		○	○		00H
FFFFF593H	TMP0I/O制御レジスタ1	TP0IOC1		○	○		00H
FFFFF594H	TMP0I/O制御レジスタ2	TP0IOC2		○	○		00H

(7/11)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF595H	TMP0オプション・レジスタ0	TP0OPT0	R/W	○	○		00H
FFFFF596H	TMP0キャプチャ／コンペア・レジスタ0	TP0CCR0				○	0000H
FFFFF598H	TMP0キャプチャ／コンペア・レジスタ1	TP0CCR1				○	0000H
FFFFF59AH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R			○	0000H
FFFFF5A0H	TMP1制御レジスタ0	TP1CTL0	R/W	○	○		00H
FFFFF5A1H	TMP1制御レジスタ1	TP1CTL1		○	○		00H
FFFFF5A2H	TMP1I/O制御レジスタ0	TP1IOC0		○	○		00H
FFFFF5A3H	TMP1I/O制御レジスタ1	TP1IOC1		○	○		00H
FFFFF5A4H	TMP1I/O制御レジスタ2	TP1IOC2		○	○		00H
FFFFF5A5H	TMP1オプション・レジスタ0	TP1OPT0		○	○		00H
FFFFF5A6H	TMP1キャプチャ／コンペア・レジスタ0	TP1CCR0				○	0000H
FFFFF5A8H	TMP1キャプチャ／コンペア・レジスタ1	TP1CCR1				○	0000H
FFFFF5AAH	TMP1カウンタ・リード・バッファ・レジスタ	TP1CNT	R			○	0000H
FFFFF5B0H	TMP2制御レジスタ0	TP2CTL0	R/W	○	○		00H
FFFFF5B1H	TMP2制御レジスタ1	TP2CTL1		○	○		00H
FFFFF5B2H	TMP2I/O制御レジスタ0	TP2IOC0		○	○		00H
FFFFF5B3H	TMP2I/O制御レジスタ1	TP2IOC1		○	○		00H
FFFFF5B4H	TMP2I/O制御レジスタ2	TP2IOC2		○	○		00H
FFFFF5B5H	TMP2オプション・レジスタ0	TP2OPT0		○	○		00H
FFFFF5B6H	TMP2キャプチャ／コンペア・レジスタ0	TP2CCR0				○	0000H
FFFFF5B8H	TMP2キャプチャ／コンペア・レジスタ1	TP2CCR1				○	0000H
FFFFF5BAH	TMP2カウンタ・リード・バッファ・レジスタ	TP2CNT	R			○	0000H
FFFFF5C0H	TMP3制御レジスタ0	TP3CTL0	R/W	○	○		00H
FFFFF5C1H	TMP3制御レジスタ1	TP3CTL1		○	○		00H
FFFFF5C2H	TMP3I/O制御レジスタ0	TP3IOC0		○	○		00H
FFFFF5C3H	TMP3I/O制御レジスタ1	TP3IOC1		○	○		00H
FFFFF5C4H	TMP3I/O制御レジスタ2	TP3IOC2		○	○		00H
FFFFF5C5H	TMP3オプション・レジスタ0	TP3OPT0		○	○		00H
FFFFF5C6H	TMP3キャプチャ／コンペア・レジスタ0	TP3CCR0				○	0000H
FFFFF5C8H	TMP3キャプチャ／コンペア・レジスタ1	TP3CCR1				○	0000H
FFFFF5CAH	TMP3カウンタ・リード・バッファ・レジスタ	TP3CNT	R			○	0000H
FFFFF5D0H	TMP4制御レジスタ0	TP4CTL0	R/W	○	○		00H
FFFFF5D1H	TMP4制御レジスタ1	TP4CTL1		○	○		00H
FFFFF5D2H	TMP4I/O制御レジスタ0	TP4IOC0		○	○		00H
FFFFF5D3H	TMP4I/O制御レジスタ1	TP4IOC1		○	○		00H
FFFFF5D4H	TMP4I/O制御レジスタ2	TP4IOC2		○	○		00H
FFFFF5D5H	TMP4オプション・レジスタ0	TP4OPT0		○	○		00H
FFFFF5D6H	TMP4キャプチャ／コンペア・レジスタ0	TP4CCR0				○	0000H
FFFFF5D8H	TMP4キャプチャ／コンペア・レジスタ1	TP4CCR1				○	0000H
FFFFF5DAH	TMP4カウンタ・リード・バッファ・レジスタ	TP4CNT	R			○	0000H
FFFFF5E0H	TMP5制御レジスタ0	TP5CTL0	R/W	○	○		00H
FFFFF5E1H	TMP5制御レジスタ1	TP5CTL1		○	○		00H
FFFFF5E2H	TMP5I/O制御レジスタ0	TP5IOC0		○	○		00H
FFFFF5E3H	TMP5I/O制御レジスタ1	TP5IOC1		○	○		00H

(8/11)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFF5E4H	TMP5I/O制御レジスタ2	TP5IOC2	R/W	○	○			00H
FFFFF5E5H	TMP5オプション・レジスタ0	TP5OPT0		○	○			00H
FFFFF5E6H	TMP5キャプチャ／コンペア・レジスタ0	TP5CCR0				○		0000H
FFFFF5E8H	TMP5キャプチャ／コンペア・レジスタ1	TP5CCR1				○		0000H
FFFFF5EAH	TMP5カウンタ・リード・バッファ・レジスタ	TP5CNT	R			○		0000H
FFFFF680H	時計タイマ動作モード・レジスタ	WTM	R/W	○	○			00H
FFFFF690H	TMM0制御レジスタ0	TM0CTL0		○	○			00H
FFFFF694H	TMM0コンペア・レジスタ0	TM0CMP0				○		0000H
FFFFF6C0H	発振安定時間選択レジスタ	OSTS			○			06H
FFFFF6C1H	PLLロックアップ時間指定レジスタ	PLLS			○			03H
FFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2			○			67H
FFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE			○			9AH
FFFFF6E0H	リアルタイム出力バッファ・レジスタ0L	RTBL0		○	○			00H
FFFFF6E2H	リアルタイム出力バッファ・レジスタ0H	RTBH0		○	○			00H
FFFFF6E4H	リアルタイム出力ポート・モード・レジスタ0	RTPM0		○	○			00H
FFFFF6E5H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0		○	○			00H
FFFFF706H	ポート3ファンクション・コントロール拡張レジスタL	PFCE3L		○	○			00H
FFFFF70AH	ポート5ファンクション・コントロール拡張レジスタ	PFCE5		○	○			00H
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタ	PFCE9				○		0000H
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタL	PFCE9L		○	○			00H
FFFFF713H	ポート9ファンクション・コントロール拡張レジスタH	PFCE9H		○	○			00H
FFFFF802H	システム・ステータス・レジスタ	SYS		○	○			00H
FFFFF80CH	内蔵発振モード・レジスタ	RCM		○	○			00H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0		○	○			00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1		○	○			00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2		○	○			00H
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3		○	○			00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR		○	○			00H
FFFFF822H	クロック・コントロール・レジスタ	CKC		○	○			0AH
FFFFF824H	ロック・レジスタ	LOCKR	R	○	○			00H
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W	○	○			03H
FFFFF82CH	PLLコントロール・レジスタ	PLLCTL		○	○			01H
FFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R	○	○			00H
FFFFF840H	コレクション・アドレス・レジスタ0	CORAD0	R/W				○	00000000H
FFFFF840H	コレクション・アドレス・レジスタ0L	CORAD0L				○		0000H
FFFFF842H	コレクション・アドレス・レジスタ0H	CORAD0H				○		0000H
FFFFF844H	コレクション・アドレス・レジスタ1	CORAD1					○	00000000H
FFFFF844H	コレクション・アドレス・レジスタ1L	CORAD1L				○		0000H
FFFFF846H	コレクション・アドレス・レジスタ1H	CORAD1H				○		0000H
FFFFF848H	コレクション・アドレス・レジスタ2	CORAD2					○	00000000H
FFFFF848H	コレクション・アドレス・レジスタ2L	CORAD2L				○		0000H
FFFFF84AH	コレクション・アドレス・レジスタ2H	CORAD2H				○		0000H

(9/11)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFF84CH	コレクション・アドレス・レジスタ3	CORAD3	R/W				○	00000000H
FFFFF84CH	コレクション・アドレス・レジスタ3L	CORAD3L				○		0000H
FFFFF84EH	コレクション・アドレス・レジスタ3H	CORAD3H				○		0000H
FFFFF870H	クロック・モニタ・モード・レジスタ	CLM		○	○			00H
FFFFF880H	コレクション・コントロール・レジスタ	CORCN		○	○			00H
FFFFF888H	リセット要因フラグ・レジスタ	RESF		○	○			00H
FFFFF892H	内蔵RAMデータ・ステータス・レジスタ	RAMS		○	○			01H
FFFFF8B0H	プリスケーラ・モード・レジスタ	PRSM0		○	○			00H
FFFFF8B1H	プリスケーラ・コンペア・レジスタ	PRSCM0			○			00H
FFFFF9FCH	オンチップ・ディバグ・モード・レジスタ	OCDM		○	○			01H
FFFFF9FEH	周辺エミュレーション・レジスタ1	PEMU1[注]		○	○			00H
FFFFFA00H	UARTA0制御レジスタ0	UA0CTL0		○	○			10H
FFFFFA01H	UARTA0制御レジスタ1	UA0CTL1			○			00H
FFFFFA02H	UARTA0制御レジスタ2	UA0CTL2			○			FFH
FFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0		○	○			14H
FFFFFA04H	UARTA0状態レジスタ	UA0STR		○	○			00H
FFFFFA06H	UARTA0受信データ・レジスタ	UA0RX	R		○			FFH
FFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W		○			FFH
FFFFFA10H	UARTA1制御レジスタ0	UA1CTL0		○	○			10H
FFFFFA11H	UARTA1制御レジスタ1	UA1CTL1			○			00H
FFFFFA12H	UARTA1制御レジスタ2	UA1CTL2			○			FFH
FFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0		○	○			14H
FFFFFA14H	UARTA1状態レジスタ	UA1STR		○	○			00H
FFFFFA16H	UARTA1受信データ・レジスタ	UA1RX	R		○			FFH
FFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W		○			FFH
FFFFFA20H	UARTA2制御レジスタ0	UA2CTL0		○	○			10H
FFFFFA21H	UARTA2制御レジスタ1	UA2CTL1			○			00H
FFFFFA22H	UARTA2制御レジスタ2	UA2CTL2			○			FFH
FFFFFA23H	UARTA2オプション制御レジスタ0	UA2OPT0		○	○			14H
FFFFFA24H	UARTA2状態レジスタ	UA2STR		○	○			00H
FFFFFA26H	UARTA2受信データ・レジスタ	UA2RX	R		○			FFH
FFFFFA27H	UARTA2送信データ・レジスタ	UA2TX	R/W		○			FFH
FFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0		○	○			00H
FFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3		○	○			00H
FFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H		○	○			00H
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0		○	○			00H
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3		○	○			00H
FFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H		○	○			00H
FFFFFC60H	ポート0ファンクション制御レジスタ	PF0		○	○			00H
FFFFFC66H	ポート3ファンクション制御レジスタ	PF3				○		0000H
FFFFFC66H	ポート3ファンクション制御レジスタL	PF3L		○	○			00H
FFFFFC67H	ポート3ファンクション制御レジスタH	PF3H		○	○			00H

注　エミュレーション時のみ

（10/11）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFC68H	ポート4ファンクション制御レジスタ	PF4	R/W	○	○		00H
FFFFFC6AH	ポート5ファンクション制御レジスタ	PF5		○	○		00H
FFFFFC72H	ポート9ファンクション制御レジスタ	PF9				○	0000H
FFFFFC72H	ポート9ファンクション制御レジスタL	PF9L		○	○		00H
FFFFFC73H	ポート9ファンクション制御レジスタH	PF9H		○	○		00H
FFFFFD00H	CSIB0制御レジスタ0	CB0CTL0		○	○		01H
FFFFFD01H	CSIB0制御レジスタ1	CB0CTL1		○	○		00H
FFFFFD02H	CSIB0制御レジスタ2	CB0CTL2			○		00H
FFFFFD03H	CSIB0状態レジスタ	CB0STR		○	○		00H
FFFFFD04H	CSIB0受信データ・レジスタ	CB0RX	R			○	0000H
FFFFFD04H	CSIB0受信データ・レジスタL	CB0RXL			○		00H
FFFFFD06H	CSIB0送信データ・レジスタ	CB0TX	R/W			○	0000H
FFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL			○		00H
FFFFFD10H	CSIB1制御レジスタ0	CB1CTL0		○	○		01H
FFFFFD11H	CSIB1制御レジスタ1	CB1CTL1		○	○		00H
FFFFFD12H	CSIB1制御レジスタ2	CB1CTL2			○		00H
FFFFFD13H	CSIB1状態レジスタ	CB1STR		○	○		00H
FFFFFD14H	CSIB1受信データ・レジスタ	CB1RX	R			○	0000H
FFFFFD14H	CSIB1受信データ・レジスタL	CB1RXL			○		00H
FFFFFD16H	CSIB1送信データ・レジスタ	CB1TX	R/W			○	0000H
FFFFFD16H	CSIB1送信データ・レジスタL	CB1TXL			○		00H
FFFFFD20H	CSIB2制御レジスタ0	CB2CTL0		○	○		01H
FFFFFD21H	CSIB2制御レジスタ1	CB2CTL1		○	○		00H
FFFFFD22H	CSIB2制御レジスタ2	CB2CTL2			○		00H
FFFFFD23H	CSIB2状態レジスタ	CB2STR		○	○		00H
FFFFFD24H	CSIB2受信データ・レジスタ	CB2RX	R			○	0000H
FFFFFD24H	CSIB2受信データ・レジスタL	CB2RXL			○		00H
FFFFFD26H	CSIB2送信データ・レジスタ	CB2TX	R/W			○	0000H
FFFFFD26H	CSIB2送信データ・レジスタL	CB2TXL			○		00H
FFFFFD30H	CSIB3制御レジスタ0	CB3CTL0		○	○		01H
FFFFFD31H	CSIB3制御レジスタ1	CB3CTL1		○	○		00H
FFFFFD32H	CSIB3制御レジスタ2	CB3CTL2			○		00H
FFFFFD33H	CSIB3状態レジスタ	CB3STR		○	○		00H
FFFFFD34H	CSIB3受信データ・レジスタ	CB3RX	R			○	0000H
FFFFFD34H	CSIB3受信データ・レジスタL	CB3RXL			○		00H
FFFFFD36H	CSIB3送信データ・レジスタ	CB3TX	R/W			○	0000H
FFFFFD36H	CSIB3送信データ・レジスタL	CB3TXL			○		00H
FFFFFD40H	CSIB4制御レジスタ0	CB4CTL0		○	○		01H
FFFFFD41H	CSIB4制御レジスタ1	CB4CTL1		○	○		00H
FFFFFD42H	CSIB4制御レジスタ2	CB4CTL2			○		00H
FFFFFD43H	CSIB4状態レジスタ	CB4STR		○	○		00H
FFFFFD44H	CSIB4受信データ・レジスタ	CB4RX	R			○	0000H
FFFFFD44H	CSIB4受信データ・レジスタL	CB4RXL			○		00H

（11/11）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD46H	CSIB4送信データ・レジスタ	CB4TX	R/W			○	0000H
FFFFFD46H	CSIB4送信データ・レジスタL	CB4TXL			○		00H
FFFFFD80H	IICシフト・レジスタ0	IIC0			○		00H
FFFFFD82H	IICコントロール・レジスタ0	IICC0		○	○		00H
FFFFFD83H	スレーブ・アドレス・レジスタ0	SVA0			○		00H
FFFFFD84H	IICクロック選択レジスタ0	IICCL0		○	○		00H
FFFFFD85H	IIC機能拡張レジスタ0	IICX0		○	○		00H
FFFFFD86H	IIC状態レジスタ0	IICS0	R	○	○		00H
FFFFFD8AH	IICフラグ・レジスタ0	IICF0	R/W	○	○		00H
FFFFFD90H	IICシフト・レジスタ1	IIC1			○		00H
FFFFFD92H	IICコントロール・レジスタ1	IICC1		○	○		00H
FFFFFD93H	IICスレーブ・アドレス・レジスタ1	SVA1			○		00H
FFFFFD94H	IICクロック選択レジスタ1	IICCL1		○	○		00H
FFFFFD95H	IIC機能拡張レジスタ1	IICX1		○	○		00H
FFFFFD96H	IIC状態レジスタ1	IICS1	R	○	○		00H
FFFFFD9AH	IICフラグ・レジスタ1	IICF1	R/W	○	○		00H
FFFFFDA0H	IICシフト・レジスタ2	IIC2			○		00H
FFFFFDA2H	IICコントロール・レジスタ2	IICC2		○	○		00H
FFFFFDA3H	IICスレーブ・アドレス・レジスタ2	SVA2			○		00H
FFFFFDA4H	IICクロック選択レジスタ2	IICCL2		○	○		00H
FFFFFDA5H	IIC機能拡張レジスタ2	IICX2		○	○		00H
FFFFFDA6H	IIC状態レジスタ2	IICS2	R	○	○		00H
FFFFFDAAH	IICフラグ・レジスタ2	IICF2	R/W	○	○		00H
FFFFFFBEH	外部バス・インタフェース・モード・コントロール・レジスタ	EXIMC		○	○		00H

3.4.7　プログラマブル周辺I/Oレジスタ

プログラマブル周辺I/Oレジスタ領域の選択にはBPCレジスタを使用します。

(1) 周辺I/O領域セレクト制御レジスタ（BPC）

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BPC	PA15	0	PA13	PA12	PA11	PA10	PA09	PA08	PA07	PA06	PA05	PA04	PA03	PA02	PA01	PA00	FFFFF064H	0000H

ビット位置	ビット名	意　味
15	PA15	プログラマブル周辺I/O領域の使用許可／不許可を設定します。 PA15：プログラマブル周辺I/O領域の使用許可／不許可 0：プログラマブル周辺I/O領域の使用を不許可 1：プログラマブル周辺I/O領域の使用を許可
13-0	PA13-PA00	プログラマブル周辺I/O領域のアドレスを設定します（A27-A14に対応）。

注意　PA15ビット = 1にする場合は，必ずBPCレジスタに8FFBHを設定してください。

PA15ビット = 0にする場合は，必ずBPCレジスタに0000Hを設定してください。

プログラマブル周辺I/Oレジスタ領域の一覧は，表19－16　**レジスタ・アクセス・タイプ**を参照してください。

3.4.8　特定レジスタ

特定レジスタは，プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/SG2には次の7個の特定レジスタがあります。

- パワー・セーブ・コントロール・レジスタ（PSC）
- クロック・コントロール・レジスタ（CKC）
- プロセッサ・クロック・コントロール・レジスタ（PCC）
- クロック・モニタ・モード・レジスタ（CLM）
- リセット要因フラグ・レジスタ（RESF）
- 内蔵RAMデータ・ステータス・レジスタ（RAMS）
- オンチップ・ディバグ・モード・レジスタ（OCDM）

また，プログラムの暴走により応用システムが不用意に停止しないように，特定レジスタへの書き込み動作に対するプロテクション・レジスタとして，PRCMDレジスタがあり，特定レジスタへのライト・アクセスは特定のシーケンスで行われ，不正なストア動作はSYSレジスタに報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

① DMA動作を禁止する。

② 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

③ PRCMDレジスタに②で用意したデータを書き込む。

④ 特定レジスタに設定データを書き込む（次の命令で行う）。

・ストア命令（ST/SST命令）

・ビット操作命令（SET1/CLR1/NOT1命令）

（⑤-⑨NOP命令を挿入する（5命令）。）注

⑩ DMA動作が必要な場合，DMA動作を許可する。

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```
  ST.B r11, PSMR [r0]    ;PSMRレジスタ設定（IDLE1, IDLE2, STOPモードの設定）
①CLR1 0, DCHCn [r0]      ;DMA動作禁止，n = 0-3
②MOV  0x02, r10
③ST.B r10, PRCMD [r0]    ;PRCMDレジスタ書き込み
④ST.B r10, PSC [r0]      ;PSCレジスタ設定
⑤NOP注                   ;ダミー命令
⑥NOP注                   ;ダミー命令
⑦NOP注                   ;ダミー命令
⑧NOP注                   ;ダミー命令
⑨NOP注                   ;ダミー命令
⑩SET1 0，DCHCn [r0]      ;DMA動作許可，n = 0-3
(next instruction)
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注 IDLE1, IDLE2, STOPモードに移行する場合（PSC.STPビット = 1）には，直後にNOP命令を5命令以上挿入する必要があります。

注意1. コマンド・レジスタに対するストア命令では，割り込みを受け付けません。これはプログラムで上記③，④を連続したストア命令で行うことを前提としているためです。③，④の間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があり，誤動作の要因となります。

2. PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（例④）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例③）でも使用してください。アドレシングに汎用レジスタを使用する場合も同様です。

(2) コマンド・レジスタ（PRCMD）

PRCMDレジスタは，プログラムの暴走などにより，応用システムが不用意に停止しないように，システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ，PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ，レジスタの値が書き換えられ，不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合，不定データを読み出します）。

リセットにより不定になります。

リセット時：不定　W　**アドレス：**FFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ（SYS）

システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF802H

	7	6	5	4	3	2	1	⓪
SYS	0	0	0	0	0	0	0	PRERR

PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない
1	プロテクション・エラーが発生している

PRERRフラグの動作条件を次に示します。

(a) セット条件（PRERRフラグ = 1）

(i) PRCMDレジスタへの書き込み動作を行わず，特定レジスタへの書き込み動作を行ったとき（3. 4. 8（1）特定レジスタへのデータ設定で示す③を行わずに④を行ったとき）。

(ii) PRCMDレジスタへの書き込み動作後，特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作（ビット操作命令を含む）を行ったとき（3. 4. 8（1）特定レジスタへのデータ設定で示す③が特定レジスタでなかったとき）。

備考 特定レジスタは，PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に，内蔵周辺I/Oレジスタの読み出し動作（ビット操作命令を除く）など（内蔵RAMへのアクセスなど）を行っても，PRERRフラグはセットされず，特定レジスタに設定データを書き込むことができます。

(b) クリア条件（PRERRフラグ = 0）

(i) PRERRフラグに0を書き込んだとき。

(ii) システム・リセットしたとき。

注意1. PRCMDレジスタへの書き込み動作直後に，特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合，PRERRビットは“0”になります（ライト優先）。

2. PRCMDレジスタへの書き込み動作直後に，特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合，PRERRビットは“1”になります。

3.4.9　注意事項

(1) 最初に設定するレジスタ

V850ES/SG2を使用する際には，必ず最初に次のレジスタを設定してください。

・システム・ウエイト・コントロール・レジスタ（VSWC）
・オンチップ・ディバグ・モード・レジスタ（OCDM）
・ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2）

VSWC, OCDM, WDTM2レジスタを設定後，必要に応じてその他の各レジスタを設定してください。

なお，外部バスを使用する場合は上記レジスタを設定したあと，ただちにポート関連のレジスタの設定により，各端子を兼用するバス制御端子に設定してください。

(a) システム・ウエイト・コントロール・レジスタ（VSWC）

VSWCレジスタは，内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック（ノー・ウエイト時）ですが，V850ES/SG2では動作周波数によりウエイトが必要です。使用する動作周波数に応じて，VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード／ライト可能です（アドレス：FFFFF06EH，初期値：77H）。

動作周波数（f_{CLK}）	VSWCの設定値	ウエイト数
32 kHz≦f_{CLK}＜16.6 MHz	00H	0（ノー・ウエイト）
16.6 MHz≦f_{CLK}＜25 MHz	01H	1
25 MHz≦f_{CLK}≦32 MHz	11H	2

(b) オンチップ・ディバグ・モード・レジスタ（OCDM）

詳細は，第30章　オンチップ・ディバグ機能を参照してください。

(c) ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2）

WDTM2レジスタは，ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

ウォッチドッグ・タイマ2は，リセット解除後に自動的にリセット・モードでスタートします。動作を確定するために，WDTM2レジスタへ書き込みを行ってください。

詳細は，第11章　ウォッチドッグ・タイマ2機能を参照してください。

(2) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は，内部に2種類のシステム・バスを有しています。

1つはCPU用バスで，もう1つは低速周辺ハードウエアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため，CPUと周辺ハードウエアとのアクセス間に競合が発生した場合は，予期せぬ不正データの受け渡しが行われる可能性があります。したがって，競合の恐れがある周辺ハードウエアへのアクセス時は，CPUは正しいデータの受け渡しが行われるよう，アクセス・サイクル数が変わります。その結果，CPUは次の命令処理に移行せず，CPU処理としてウエイト状態となるため，このウエイトが発生した場合，命令の実行クロック数が次に示すウエイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は，この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に，VSWCレジスタで設定したウエイト以外に，さらにウエイトを要する場合があります。

その際のアクセス条件と，挿入されるウエイト数（CPUクロック数）の算出方法を次に示します。

(1/2)

周辺機能	レジスタ名称	アクセス	k
16ビット・タイマ／イベント・カウンタP（TMP） (n = 0-5)	TPnCNT	リード	1-2
	TPnCCR0, TPnCCR1	ライト	・1回目：ウエイトなし ・連続書き込み：3-4
		リード	1-2
16ビット・タイマ／イベント・カウンタQ（TMQ）	TQ0CNT	リード	1-2
	TQ0CCR0-TQ0CCR3	ライト	・1回目：ウエイトなし ・連続書き込み：3-4
		リード	1-2
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト (WDT2動作時)	3
リアルタイム出力機能（RTO）	RTBL0	ライト (RTPC0.RTPOE0 ビット = 0)	1
	RTBH0	ライト (RTPC0.RTPOE0 ビット = 0)	1
A/Dコンバータ	ADA0M0	リード	1-2
	ADA0CR0-ADA0CR11	リード	1-2
	ADA0CR0H-ADA0CR11H	リード	1-2
I^2C00-I^2C02	IICS0-IICS2	リード	1

(2/2)

周辺機能	レジスタ名称	アクセス	k
CANコントローラ (m = 0-31, a = 1-4)	C0GMCTRL, C0GMCS, C0GMABT, C0GMABTD, C0MASKaL, C0MASKaH, C0CTRL, C0LEC, C0INFO, C0ERC, C0IE, C0INTS, C0BRP, C0BTR, C0TS	リード／ライト	(f_{XX}/f_{CANMOD}+1) / (2+j) (MIN.) 注 (2×f_{XX}/f_{CANMOD}+1) / (2+j) (MAX.) 注
	C0RGPT, C0TGPT	ライト	(f_{XX}/f_{CANMOD}+1) / (2+j) (MIN.) 注 (2×f_{XX}/f_{CANMOD}+1) / (2+j) (MAX.) 注
		リード	(3×f_{XX}/f_{CANMOD}+1) / (2+j) (MIN.) 注 (4×f_{XX}/f_{CANMOD}+1) / (2+j) (MAX.) 注
	C0LIPT, C0LOPT	リード	(3×f_{XX}/f_{CANMOD}+1) / (2+j) (MIN.) 注 (4×f_{XX}/f_{CANMOD}+1) / (2+j) (MAX.) 注
	C0MDATA01m, C0MDATA0m, C0MDATA1m, C0MDATA23m, C0MDATA2m, C0MDATA3m, C0MDATA45m, C0MDATA4m, C0MDATA5m, C0MDATA67m, C0MDATA6m, C0MDATA7m, C0MDLCm, C0MCONFm, C0MIDLm, C0MIDHm, C0MCTRLm	ライト（8ビット）	(4×f_{XX}/f_{CANMOD}+1) / (2+j) (MIN.) 注 (5×f_{XX}/f_{CANMOD}+1) / (2+j) (MAX.) 注
		ライト（16ビット）	(2×f_{XX}/f_{CANMOD}+1) / (2+j) (MIN.) 注 (3×f_{XX}/f_{CANMOD}+1) / (2+j) (MAX.) 注
		リード（8/16ビット）	(3×f_{XX}/f_{CANMOD}+1) / (2+j) (MIN.) 注 (4×f_{XX}/f_{CANMOD}+1) / (2+j) (MAX.) 注
CRC	CRCD	ライト	1

アクセスに必要なクロック数　= 3＋i＋j＋（2＋j）×k

注　小数点以下切り上げ

注意　次に示す状態において，上記レジスタへのアクセスは禁止です。ウエイトが発生した場合，解除する方法はリセットだけです。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

備考　f_{XX}　：メイン・クロック周波数

f_{CANMOD}　：CANモジュール・システム・クロック

i　：VSWCレジスタの上位4ビットの値（0）

j　：VSWCレジスタの下位4ビットの値（0, 1）

(3) システム予約領域

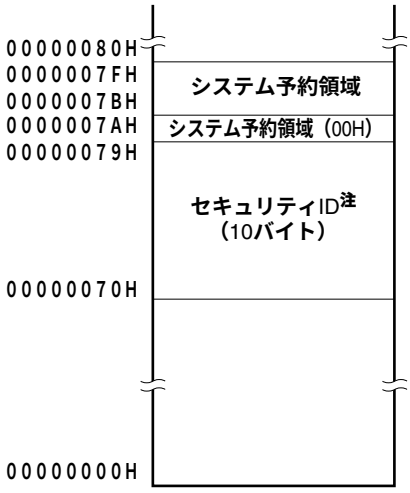
V850ES/SG2では，0000007AH-0000007FHを機能拡張のためのシステム予約領域としているため，これらの領域を使用しないことを推奨します。

ただし，次に示す特定バージョンでは，必ず0000007AHに00Hを設定してください。

- μPD70F3261, 70F3261Y, 70F3271, 70F3271Y, 70F3281, 70F3281Y ：Ver.1.0の製品
- μPD70F3263, 70F3263Y, **70F3263HY**, 70F3273, 70F3273Y, **70F3273HY**, 70F3283 70F3283Y, **70F3283HY**：該当バージョンなし

備考1. 上記特定バージョンに該当しない製品（このマニュアルで記載するすべての製品を含む）で0000007AHに00Hを設定しても動作に問題はありません。

2. 製品バージョンは，パッケージ捺印の3段目にあるDS, ES, CSに続く数字により確認してください。なお，愛称（V850ES/SG2など）が捺印されている場合は，上記制限には該当しません。不明点については，当社販売員にお問い合わせください。



注　セキュリティIDについては，30. 6. 1　セキュリティIDを参照してください。

注意　フラッシュ・メモリのデータは消去状態では，すべて“1”となります。

(4) sld命令と割り込み競合に関する制限事項

(a) 内　　容

次の命令<1>の事項が完了する前に，後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合，先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ld 命令　　：ld.b, ld.h, ld.w, ld.bu, ld.hu
- sld 命令　　：sld.b, sld.h, sld.w, sld.bu, sld.hu
- 乗算命令　：mul, mulh, mulhi, mulu

命令<2>

mov　reg1, reg2	not　reg1, reg2	satsubr　reg1, reg2	satsub　reg1, reg2
satadd　reg1, reg2	satadd　imm5, reg2	or　reg1, reg2	xor　reg1, reg2
and　reg1, reg2	tst　reg1, reg2	subr　reg1, reg2	sub　reg1, reg2
add　reg1, reg2	add　imm5, reg2	cmp　reg1, reg2	cmp　imm5, reg2
mulh　reg1, reg2	shr　imm5, reg2	sar　imm5, reg2	shl　imm5, reg2

<例>

```
< i >   ld.w    [r11], r10
          .
          .
          .
< ii >  mov     r10, r28
<iii>   sld.w   0x28, r10
```

< i >の ld 命令の実行が完了する前に，<iii>の sld 命令の直前の mov 命令< ii >のデコード動作と割り込み要求が競合した場合，< i >の ld 命令の実行結果がレジスタに格納されないことがあります。

(b) 回 避 策

① **コンパイラ（CA850）使用時**

Ver.2.61以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

② **アセンブラでの対策**

命令< ii >の直後にsld命令を実行する場合は，次のいずれかの方法を用いて，上記動作を回避してください。

- sld 命令の直前に nop 命令を入れる。
- sld 命令のディスティネーション・レジスタと同じレジスタを，sld 命令の直前で実行する上記< ii >の命令で使用しない。

第4章　ポート機能

4.1　特　　徴

○入出力ポート：84本

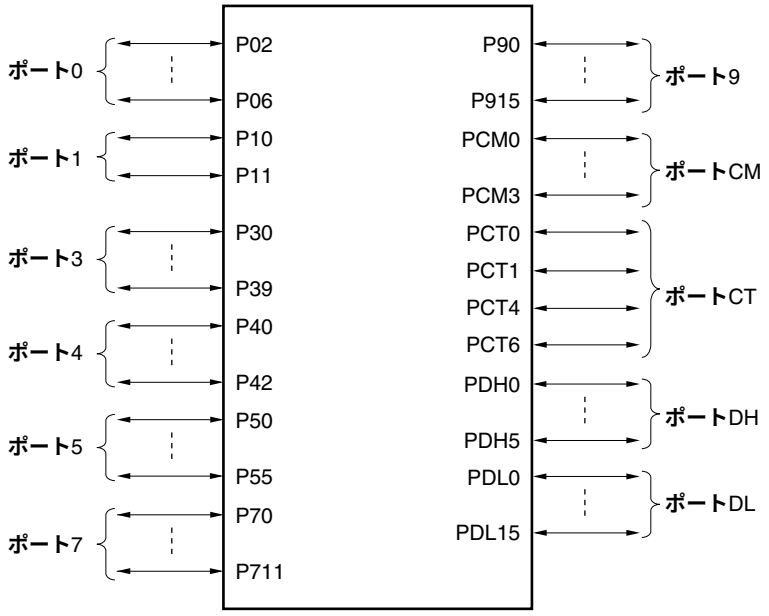
・5 Vトレラント/N-chオープン・ドレーン出力切り替え可能：40本（ポート0, 3-5, 9）

○1ビット単位で入力／出力指定可能

4.2　ポートの基本構成

V850ES/SG2は，ポート0, 1, 3-5, 7, 9, CM, CT, DH, DLの合計84本の入出力ポートを内蔵しています。ポートの構成を次に示します。

図4－1　ポートの構成図



注意　ポート0, 3-5, 9は，5 Vトレラント対応

表4－1　各端子の入出力バッファ電源

電　源	対応する端子
AV_{REF0}	ポート7
AV_{REF1}	ポート1
BV_{DD}	ポートCM, CT, DH（ビット0-3），DL
EV_{DD}	$\overline{RESET}$，ポート0, 3-5, 9, DH（ビット4, 5）

4.3　ポートの構成

表4－2　ポートの構成

項　　目	構　　成
制御レジスタ	ポートnモード・レジスタ（PMn：n = 0, 1, 3-5, 7, 9, CM, CT, DH, DL） ポートnモード・コントロール・レジスタ（PMCn：n = 0, 3-5, 9, CM, CT, DH, DL） ポートnファンクション・コントロール・レジスタ（PFCn：n = 0, 3-5, 9） ポートnファンクション・コントロール拡張レジスタ（PFCEn：n = 3, 5, 9） ポートnファンクション・レジスタ（PFn：n = 0, 3-5, 9）
ポート	入出力：84本

(1) ポートnレジスタ（Pn）

外部とのデータ入出力は，Pnレジスタへの書き込み，および読み出しによって行います。Pnレジスタは，出力データを保持するポート・ラッチ，および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位でリード／ライト可能です。

リセット時：00H（出力ラッチ）　R/W

	7	6	5	7	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0

Pnm	出力データの制御（出力モード時）
0	0を出力
1	1を出力

PMCnレジスタの設定によらず，Pnレジスタへの書き込みや読み出しは次のようになります。

表4－3　Pnレジスタへの書き込み／読み出しについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード （PMnm = 0）	出力ラッチに対して書き込みます注。 ポート・モード（PMCn = 0）の場合，出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
入力モード （PMnm = 1）	出力ラッチに対して書き込みます。 端子の状態には影響ありません注。	端子状態を読み出します。

注　出力ラッチに書き込まれた値は，再度出力ラッチに値を書き込まれるまで保持されます。

(2) **ポートnモード・レジスタ（PMn）**

ポートの入力モード／出力モードを指定します。

PMnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：FFH　　R/W

	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0

PMnm	入出力モードの制御
0	出力モード
1	入力モード

(3) **ポートnモード・コントロール・レジスタ（PMCn）**

ポート・モード／兼用機能を指定します。

PMCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　　R/W

	7	6	5	4	3	2	1	0
PMCn	PMCn7	PMCn6	PMCn5	PMCn4	PMCn3	PMCn2	PMCn1	PMCn0

PMCnm	動作モードの指定
0	ポート・モード
1	兼用機能モード

(4) ポートnファンクション・コントロール・レジスタ（PFCn）

1本の端子に兼用機能が2つ以上存在する場合に，使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポートnファンクション・コントロール拡張レジスタ（PFCEn）

1本の端子に兼用機能が3つ以上存在する場合に，使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0
	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(6) ポートnファンクション・レジスタ（PFn）

通常出力/N-chオープン・ドレーン出力を指定するレジスタです。

PFnレジスタの各ビットは，それぞれポートnの端子1本ずつに対応しており，1ビット単位で指定可能です。

リセット時：00H　　R/W

	7	6	5	4	3	2	1	0
PFn	PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0

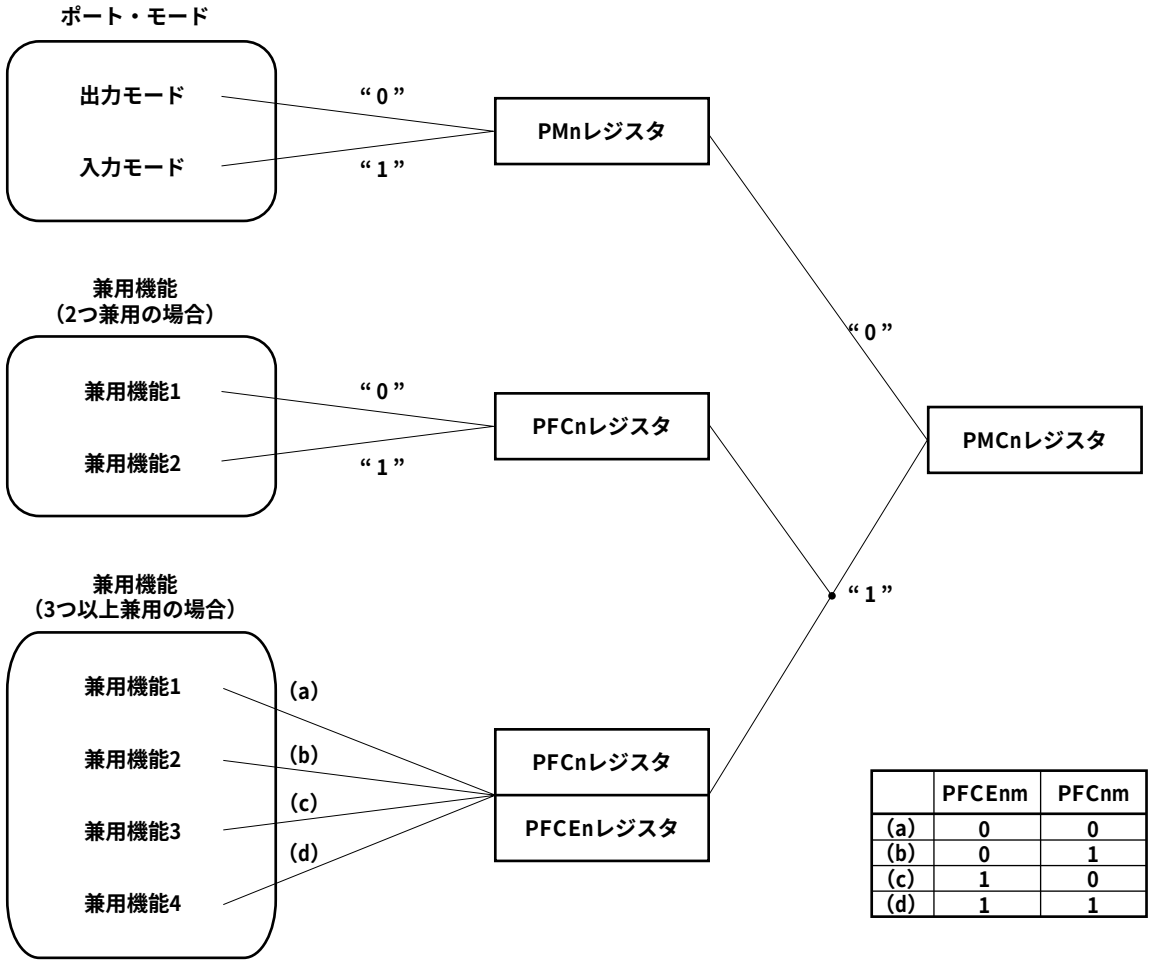
PFnm注	通常出力/N-chオープン・ドレーン出力の制御
0	通常出力（CMOS出力）
1	N-chオープン・ドレーン出力

注　ポート・モード時（PMCnmビット = 0），PFnレジスタのPFnmビットは，PMnレジスタのPMnmビット = 0（出力モード時）のときのみ有効です。PMnmビット = 1（入力モード時）のときは，PFnレジスタの設定値は無効です。

(7) ポートの設定

ポートの設定は，次のように設定してください。

図4－2　各レジスタの設定と端子の機能



	PFCEnm	PFCnm
(a)	0	0
(b)	0	1
(c)	1	0
(d)	1	1

備考　兼用機能に切り替えるには，次の順で行ってください。

① PFCn, PFCEnレジスタを設定
② PMCnレジスタを設定
③ INTRn, INTFnレジスタを設定（外部割り込み端子を設定する場合）

PMCnレジスタを先に設定すると，PFCn, PFCEnレジスタ設定中に意図しない兼用機能に設定されてしまう可能性があります。

4. 3. 1　ポート0

ポート0は1ビット単位で入出力を制御できる5ビットのポートです。

ポート0は，次に示す端子と兼用しています。

表4－4　ポート0の兼用端子

端子名	ピン番号	兼用端子名	入出力	備　考	ブロック・タイプ
P02	17	NMI	入力	N-chオープン・ドレーン出力選択可能	L-1
P03	18	INTP0/ADTRG	入力		N-1
P04	19	INTP1	入力		L-1
P05	20	INTP2/$\overline{\text{DRST}}$注	入力		AA-1
P06	21	INTP3	入力		L-1

注　$\overline{\text{DRST}}$端子はオンチップ・ディバグ用の端子です（フラッシュ・メモリ内蔵品のみ）。
オンチップ・ディバグを使用しない場合，$\overline{\text{RESET}}$端子によるリセット解除後から，OCDM.OCDM0ビットをクリア（0）するまで，P05/INTP2/$\overline{\text{DRST}}$端子状態をロウ・レベルに固定してください。マスクROM内蔵品はオンチップ・ディバグ・モードに対応していませんが，P05/INTP2端子はフラッシュ・メモリ内蔵品と同様の処置を行ってください。
詳細は，4. 6. 3　オンチップ・ディバグ用端子に関する注意事項を参照してください。

注意　P02-P06端子は，兼用機能の入力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

（1）ポート0レジスタ（P0）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF400H

	7	6	5	4	3	2	1	0
P0	0	P06	P05	P04	P03	P02	0	0

P0n	出力データの制御（出力モード時）（n = 2-6）
0	0を出力
1	1を出力

(2) ポート0モード・レジスタ（PM0）

リセット時：FFH　R/W　**アドレス：**FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	1	1

PM0n	入出力モードの制御（n = 2-6）
0	出力モード
1	入力モード

(3) ポート0モード・コントロール・レジスタ（PMC0）

リセット時：00H　R/W　**アドレス：**FFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05	PMC04	PMC03	PMC02	0	0

PMC06	P06端子の動作モードの指定
0	入出力ポート
1	INTP3入力

PMC05	P05端子の動作モードの指定
0	入出力ポート
1	INTP2入力

PMC04	P04端子の動作モードの指定
0	入出力ポート
1	INTP1入力

PMC03	P03端子の動作モードの指定
0	入出力ポート
1	INTP0入力/ADTRG入力

PMC02	P02端子の動作モードの指定
0	入出力ポート
1	NMI入力

注意　P05/INTP2/$\overline{\text{DRST}}$端子は，OCDM.OCDM0ビット = 1のときは，PMC05ビットの値に関係なく$\overline{\text{DRST}}$端子となります。

(4) ポート0ファンクション・コントロール・レジスタ（PFC0）

リセット時：00H　R/W　アドレス：FFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	PFC03	0	0	0

PFC03	P03端子の兼用機能の指定
0	INTP0入力
1	ADTRG入力

(5) ポート0ファンクション・レジスタ（PF0）

リセット時：00H　R/W　アドレス：FFFFFC60H

	7	6	5	4	3	2	1	0
PF0	0	PF06	PF05	PF04	PF03	PF02	0	0

PF0n	通常出力/N-chオープン・ドレーン出力の制御（n = 2-6）
0	通常出力（CMOS出力）
1	N-chオープン・ドレーン出力

注意　出力端子に対してEV_{DD}以上の電圧でプルアップする場合は，必ず該当するPF0nビットを1に設定してください。

4. 3. 2　ポート1

ポート1は1ビット単位で入出力を制御できる2ビットのポートです。

ポート1は，次に示す端子と兼用しています。

表4－5　ポート1の兼用端子

端子名	ピン番号	兼用端子名	入出力	備　考	ブロック・タイプ
P10	3	ANO0	出力	－	A-2
P11	4	ANO1	出力	－	A-2

注意　P10, P11端子は，電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

（1）ポート1レジスタ（P1）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	P11	P10

P1n	出力データの制御（出力モード時）（n = 0, 1）
0	0を出力
1	1を出力

注意　D/A変換中にP1レジスタをリード／ライトしないでください（14. 4. 3　使用上の注意点参照）。

（2）ポート1モード・レジスタ（PM1）

リセット時：FFH　R/W　アドレス：FFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	PM11	PM10

PM1n	入出力モードの制御（n = 0, 1）
0	出力モード
1	入力モード

注意1.　P1nを兼用機能（ANOn端子出力）として使用する場合，PM1nビットを1に設定してください。

2.　1本を入出力ポート，1本をD/A出力端子として使用する場合，D/A出力中は，ポートの入出力レベルが変化しないようなアプリケーションで使用してください。

4.3.3　ポート3

ポート3は1ビット単位で入出力を制御できる10ビットのポートです。

ポート3は，次に示す端子と兼用しています。

表4－6　ポート3の兼用端子

端子名	ピン番号	兼用端子名	入出力	備　考	ブロック・タイプ
P30	25	TXDA0/SOB4	出力	N-chオープン・ドレーン出力選択可能	G-3
P31	26	RXDA0/INTP7/SIB4	入力		N-3
P32	27	ASCKA0/$\overline{\text{SCKB4}}$/TIP00/TOP00	入出力		U-1
P33	28	TIP01/TOP01	入出力		G-1
P34	29	TIP10/TOP10	入出力		G-1
P35	30	TIP11/TOP11	入出力		G-1
P36	31	CTXD0[注1]/$\overline{\text{IETX0}}$[注2]	出力		G-3
P37	32	CRXD0[注1]/$\overline{\text{IERX0}}$[注2]	入力		G-4
P38	35	TXDA2/SDA00	入出力		G-12
P39	36	RXDA2/SCL00	入出力		G-6

注1.　CANコントローラ内蔵品のみ

2.　IEBusコントローラ内蔵品のみ

注意　P31-P35, P37-P39端子は，兼用機能の入力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

（1）ポート3レジスタ（P3）

リセット時：0000H（出力ラッチ）　R/W　アドレス：P3 FFFFF406H,
P3L FFFFF406H, P3H FFFFF407H

	15	14	13	12	11	10	9	8
P3（P3H）	0	0	0	0	0	0	P39	P38
	7	6	5	4	3	2	1	0
（P3L）	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御（出力モード時）（n = 0-9）
0	0を出力
1	1を出力

備考1.　P3レジスタは，16ビット単位でリード／ライト可能です。
ただし，P3レジスタの上位8ビットをP3Hレジスタ，下位8ビットをP3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

2.　P3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，P3Hレジスタのビット0-7として指定してください。

(2) ポート3モード・レジスタ（PM3）

リセット時：FFFFH　R/W　アドレス：PM3 FFFFF426H,
PM3L FFFFF426H, PM3H FFFFF427H

	15	14	13	12	11	10	9	8
PM3（PM3H）	1	1	1	1	1	1	PM39	PM38
	7	6	5	4	3	2	1	0
（PM3L）	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御（n = 0-9）
0	出力モード
1	入力モード

備考1. PM3レジスタは，16ビット単位でリード／ライト可能です。
ただし，PM3レジスタの上位8ビットをPM3Hレジスタ，下位8ビットをPM3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

2. PM3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PM3Hレジスタのビット0-7として指定してください。

(3) ポート3モード・コントロール・レジスタ（PMC3）

(1/2)

リセット時：0000H　R/W　アドレス：PMC3 FFFFF446H,
PMC3L FFFFF446H, PMC3H FFFFF447H

	15	14	13	12	11	10	9	8
PMC3（PMC3H）	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
（PMC3L）	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC39	P39端子の動作モードの指定
0	入出力ポート
1	RXDA2入力/SCL00入出力

PMC38	P38端子の動作モードの指定
0	入出力ポート
1	TXDA2出力/SDA00入出力

(2/2)

PMC37	P37端子の動作モードの指定
0	入出力ポート
1	CRXD0入力/$\overline{\text{IERX0}}$入力

PMC36	P36端子の動作モードの指定
0	入出力ポート
1	CTXD0出力/$\overline{\text{IETX0}}$出力

PMC35	P35端子の動作モードの指定
0	入出力ポート
1	TIP11入力/TOP11出力

PMC34	P34端子の動作モードの指定
0	入出力ポート
1	TIP10入力/TOP10出力

PMC33	P33端子の動作モードの指定
0	入出力ポート
1	TIP01入力/TOP01出力

PMC32	P32端子の動作モードの指定
0	入出力ポート
1	ASCKA0入力/$\overline{\text{SCKB4}}$入出力/TIP00入力/TOP00出力

PMC31	P31端子の動作モードの指定
0	入出力ポート
1	RXDA0入力/SIB4入力/INTP7入力

PMC30	P30端子の動作モードの指定
0	入出力ポート
1	TXDA0出力/SOB4出力

備考1.　PMC3レジスタは，16ビット単位でリード／ライト可能です。
ただし，PMC3レジスタの上位8ビットをPMC3Hレジスタ，下位8ビットをPMC3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

2.　PMC3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PMC3Hレジスタのビット0-7として指定してください。

(4) ポート3ファンクション・コントロール・レジスタ（PFC3）

リセット時：0000H　R/W　アドレス：PFC3 FFFFF466H,
PFC3L FFFFF466H, PFC3H FFFFF467H

	15	14	13	12	11	10	9	8
PFC3（PFC3H）	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
（PFC3L）	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

備考1.　兼用機能の指定については4. 3. 3（6）ポート3の兼用機能の指定を参照してください。

2.　PFC3レジスタは，16ビット単位でリード／ライト可能です。
ただし，PFC3レジスタの上位8ビットをPFC3Hレジスタ，下位8ビットをPFC3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

3.　PFC3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PFC3Hレジスタのビット0-7として指定してください。

(5) ポート3ファンクション・コントロール拡張レジスタL（PFCE3L）

リセット時：00H　R/W　アドレス：FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	0	0	PFCE32	0	0

備考　兼用機能の指定については4. 3. 3（6）ポート3の兼用機能の指定を参照してください。

(6) ポート3の兼用機能の指定

PFC39	P39端子の兼用機能の指定
0	RXDA2入力
1	SCL00入出力

PFC38	P38端子の兼用機能の指定
0	TXDA2出力
1	SDA00入出力

PFC37	P37端子の兼用機能の指定
0	CRXD0入力
1	$\overline{\text{IERX0}}$入力

PFC36	P36端子の兼用機能の指定
0	CTXD0出力
1	$\overline{\text{IETX0}}$出力

PFC35	P35端子の兼用機能の指定
0	TIP11入力
1	TOP11出力

PFC34	P34端子の兼用機能の指定
0	TIP10入力
1	TOP10出力

PFC33	P33端子の兼用機能の指定
0	TIP01入力
1	TOP01出力

PFCE32	PFC32	P32端子の兼用機能の指定
0	0	ASCKA0入力
0	1	$\overline{\text{SCKB4}}$入出力
1	0	TIP00入力
1	1	TOP00出力

PFC31	P31端子の兼用機能の指定
0	RXDA0入力/INTP7[注]入力
1	SIB4入力

PFC30	P30端子の兼用機能の指定
0	TXDA0出力
1	SOB4出力

注　INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は，兼用しているINTP7端子のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定）。また，INTP7端子として使用する場合は，UARTA0を受信動作停止としてください（UA0CTL0.UA0RXEビット = 0）。

(7) ポート3ファンクション・レジスタ（PF3）

リセット時：0000H　R/W　アドレス：PF3 FFFFFC66H,
PF3L FFFFFC66H, PF3H FFFFFC67H

	15	14	13	12	11	10	9	8
PF3（PF3H）	0	0	0	0	0	0	PF39	PF38

	7	6	5	4	3	2	1	0
（PF3L）	PF37	PF36	PF35	PF34	PF33	PF32	PF31	PF30

PF3n	通常出力/N-chオープン・ドレーン出力の制御（n = 0-9）
0	通常出力（CMOS出力）
1	N-chオープン・ドレーン出力

注意　出力端子に対してEV_{DD}以上の電圧でプルアップする場合は，必ず該当するPF3nビットを1に設定してください。

備考1.　PF3レジスタは，16ビット単位でリード／ライト可能です。
ただし，PF3レジスタの上位8ビットをPF3Hレジスタ，下位8ビットをPF3Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

2.　PF3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PF3Hレジスタのビット0-7として指定してください。

4. 3. 4　ポート4

ポート4は1ビット単位で入出力を制御できる3ビットのポートです。

ポート4は，次に示す端子と兼用しています。

表4－7　ポート4の兼用端子

端子名	ピン番号	兼用端子名	入出力	備　考	ブロック・タイプ
P40	22	SIB0/SDA01	入出力	N-chオープン・ドレーン出力選択可能	G-6
P41	23	SOB0/SCL01	入出力		G-12
P42	24	$\overline{\text{SCKB0}}$	入出力		E-3

注意　P40-P42端子は，兼用機能の入力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート4レジスタ（P4）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40

P4n	出力データの制御（出力モード時）（n = 0-2）
0	0を出力
1	1を出力

(2) ポート4モード・レジスタ（PM4）

リセット時：FFH　R/W　アドレス：FFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	入出力モードの制御（n = 0-2）
0	出力モード
1	入力モード

(3) ポート4モード・コントロール・レジスタ（PMC4）

リセット時：00H　R/W　アドレス：FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

PMC42	P42端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{SCKB0}}$入出力

PMC41	P41端子の動作モードの指定
0	入出力ポート
1	SOB0出力/SCL01入出力

PMC40	P40端子の動作モードの指定
0	入出力ポート
1	SIB0入力/SDA01入出力

(4) ポート4ファンクション・コントロール・レジスタ（PFC4）

リセット時：00H　R/W　アドレス：FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	0	PFC41	PFC40

PFC41	P41端子の兼用機能の指定
0	SOB0出力
1	SCL01入出力

PFC40	P40端子の兼用機能の指定
0	SIB0入力
1	SDA01入出力

(5) ポート4ファンクション・レジスタ（PF4）

リセット時：00H　R/W　アドレス：FFFFFC68H

	7	6	5	4	3	2	1	0
PF4	0	0	0	0	0	PF42	PF41	PF40

PF4n	通常出力/N-chオープン・ドレーン出力の制御（n = 0-2）
0	通常出力（CMOS出力）
1	N-chオープン・ドレーン出力

注意　出力端子に対してEV_{DD}以上の電圧でプルアップする場合は，必ず該当するPF4nビットを1に設定してください。

4. 3. 5　ポート5

ポート5は1ビット単位で入出力を制御できる6ビットのポートです。

ポート5は，次に示す端子と兼用しています。

表4－8　ポート5の兼用端子

端子名	ピン番号	兼用端子名	入出力	備　考	ブロック・タイプ
P50	37	TIQ01/KR0/TOQ01/RTP00	入出力	N-chオープン・ドレーン出力選択可能	U-5
P51	38	TIQ02/KR1/TOQ02/RTP01	入出力		U-5
P52	39	TIQ03/KR2/TOQ03/RTP02/DDI注	入出力		U-6
P53	40	SIB2/KR3/TIQ00/TOQ00/RTP03/DDO注	入出力		U-7
P54	41	SOB2/KR4/RTP04/DCK注	入出力		U-8
P55	42	$\overline{\text{SCKB2}}$/KR5/RTP05/DMS注	入出力		U-9

注　DDI, DDO, DCK, DMS端子はオンチップ・ディバグ用の端子です（フラッシュ・メモリ内蔵品のみ）。
オンチップ・ディバグを使用しない場合，$\overline{\text{RESET}}$端子によるリセット解除後から，OCDM.OCDM0ビットをクリア（0）するまで，P05/INTP2/$\overline{\text{DRST}}$端子状態をロウ・レベルに固定してください。マスクROM内蔵品はオンチップ・ディバグ・モードに対応していませんが，P05/INTP2端子はフラッシュ・メモリ内蔵品と同様の処置を行ってください。
詳細は，4. 6. 3　オンチップ・ディバグ用端子に関する注意事項を参照してください。

注意1.　P53端子は，電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。
2.　P50-P55端子は，兼用機能の入力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

（1）ポート5レジスタ（P5）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	0	P55	P54	P53	P52	P51	P50

P5n	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

(2) ポート5モード・レジスタ（PM5）

リセット時：FFH　R/W　アドレス：FFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御（n = 0-5）
0	出力モード
1	入力モード

(3) ポート5モード・コントロール・レジスタ（PMC5）

リセット時：00H　R/W　アドレス：FFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50

PMC55	P55端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{SCKB2}}$入出力/KR5入力/RTP05出力

PMC54	P54端子の動作モードの指定
0	入出力ポート
1	SOB2出力/KR4入力/RTP04出力

PMC53	P53端子の動作モードの指定
0	入出力ポート
1	SIB2入力/KR3入力/TIQ00入力/TOQ00出力/RTP03出力

PMC52	P52端子の動作モードの指定
0	入出力ポート
1	TIQ03入力/KR2入力/TOQ03出力/RTP02出力

PMC51	P51端子の動作モードの指定
0	入出力ポート
1	TIQ02入力/KR1入力/TOQ02出力/RTP01出力

PMC50	P50端子の動作モードの指定
0	入出力ポート
1	TIQ01入力/KR0入力/TOQ01出力/RTP00出力

(4) ポート5ファンクション・コントロール・レジスタ（PFC5）

リセット時：00H　R/W　アドレス：FFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

備考　兼用機能の指定については4. 3. 5（6）ポート5の兼用機能の指定を参照してください。

(5) ポート5ファンクション・コントロール拡張レジスタ（PFCE5）

リセット時：00H　R/W　アドレス：FFFFF70AH

	7	6	5	4	3	2	1	0
PFCE5	0	0	PFCE55	PFCE54	PFCE53	PFCE52	PFCE51	PFCE50

備考　兼用機能の指定については4. 3. 5（6）ポート5の兼用機能の指定を参照してください。

(6) ポート5の兼用機能の指定

PFCE55	PFC55	P55端子の兼用機能の指定
0	0	$\overline{\text{SCKB2}}$入出力
0	1	KR5入力
1	0	設定禁止
1	1	RTP05出力

PFCE54	PFC54	P54端子の兼用機能の指定
0	0	SOB2出力
0	1	KR4入力
1	0	設定禁止
1	1	RTP04出力

PFCE53	PFC53	P53端子の兼用機能の指定
0	0	SIB2入力
0	1	TIQ00入力/KR3注入力
1	0	TOQ00出力
1	1	RTP03出力

PFCE52	PFC52	P52端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ03入力/KR2注入力
1	0	TOQ03出力
1	1	RTP02出力

PFCE51	PFC51	P51端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ02入力/KR1注入力
1	0	TOQ02出力
1	1	RTP01出力

PFCE50	PFC50	P50端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ01入力/KR0注入力
1	0	TOQ01出力
1	1	RTP00出力

注　KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は，兼用しているKRn端子のキー・リターン検出を無効にしてください（KRM.KRMnビットに0を設定）。また，KRn端子として使用する場合は，兼用しているTIQ0m端子のエッジ検出を無効にしてください（n = 0-3, m = 0-3）。

端子名称	TIQ0m端子として使用する場合	KRn端子として使用する場合
KR0/TIQ01	KRM.KRM0ビット = 0	TQ0IOC1.TQ0TIG2, TQ0TIG3ビット = 0
KR1/TIQ02	KRM.KRM1ビット = 0	TQ0IOC1.TQ0TIG4, TQ0TIG5ビット = 0
KR2/TIQ03	KRM.KRM2ビット = 0	TQ0IOC1.TQ0TIG6, TQ0TIG7ビット = 0
KR3/TIQ00	KRM.KRM3ビット = 0	TQ0IOC1.TQ0TIG0, TQ0TIG1ビット = 0 TQ0IOC2.TQ0EES0, TQ0EES1ビット = 0 TQ0IOC2.TQ0ETS0, TQ0ETS1ビット = 0

(7) ポート5ファンクション・レジスタ（PF5）

リセット時：00H　　R/W　　アドレス：FFFFFC6AH

	7	6	5	4	3	2	1	0
PF5	0	0	PF55	PF54	PF53	PF52	PF51	PF50

PF5n	通常出力/N-chオープン・ドレーン出力の制御（n = 0-5）
0	通常出力（CMOS出力）
1	N-chオープン・ドレーン出力

注意　出力端子に対してEV_{DD}以上の電圧でプルアップする場合は，必ず該当するPF5nビットを1に設定してください。

4. 3. 6　ポート7

ポート7は1ビット単位で入出力を制御できる12ビットのポートです。

ポート7は，次に示す端子と兼用しています。

表4－9　ポート7の兼用端子

端子名	ピン番号	兼用端子名	入出力	備　考	ブロック・タイプ
P70	100	ANI0	入力	－	A-1
P71	99	ANI1	入力		A-1
P72	98	ANI2	入力		A-1
P73	97	ANI3	入力		A-1
P74	96	ANI4	入力		A-1
P77	95	ANI5	入力		A-1
P76	94	ANI6	入力		A-1
P77	93	ANI7	入力		A-1
P78	92	ANI8	入力		A-1
P79	91	ANI9	入力		A-1
P710	90	ANI10	入力		A-1
P711	89	ANI11	入力		A-1

(1) ポート7レジスタH，ポート7レジスタL（P7H, P7L）

リセット時：00H（**出力ラッチ**）　R/W　**アドレス：**P7L FFFFF40EH, P7H FFFFF40FH

	7	6	5	4	3	2	1	0
P7H	0	0	0	0	P711	P710	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御（出力モード時）（n = 0-11）
0	0を出力
1	1を出力

注意　A/D**変換中に**P7H, P7L**レジスタをリード／ライトしないでください（**13. 6（4）**兼用入出力について参照）。**

備考　P7**レジスタとして**16**ビット・アクセスはできません。**P7H, P7L**レジスタとして**8/1**ビット単位でリード／ライト可能です。**

(2) ポート7モード・レジスタH，ポート7モード・レジスタL（PM7H, PM7L）

リセット時：FFH　R/W　**アドレス：**PM7L FFFFF42EH, PM7H FFFFF42FH

	7	6	5	4	3	2	1	0
PM7H	1	1	1	1	PM711	PM710	PM79	PM78

	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	入出力モードの制御（n = 0-11）
0	出力モード
1	入力モード

注意　P7n**端子を兼用機能（**ANIn**端子）として使用する場合は，**PM7n**ビット** = 1**に設定してください。**

備考　PM7**レジスタとして**16**ビット・アクセスはできません。**PM7H, PM7L**レジスタとして**8/1**ビット単位でリード／ライト可能です。**

4.3.7　ポート9

ポート9は1ビット単位で入出力を制御できる16ビットのポートです。

ポート9は，次に示す端子と兼用しています。

表4－10　ポート9の兼用端子

端子名	ピン番号	兼用端子名	入出力	備　考	ブロック・タイプ
P90	43	A0/KR6/TXDA1/SDA02	入出力	N-chオープン・ドレーン出力選択可能	U-10
P91	44	A1/KR7/RXDA1/SCL02	入出力		U-11
P92	45	A2/TIP41/TOP41	入出力		U-12
P93	46	A3/TIP40/TOP40	入出力		U-12
P94	47	A4/TIP31/TOP31	入出力		U-12
P95	48	A5/TIP30/TOP30	入出力		U-12
P96	49	A6/TIP21/TOP21	入出力		U-13
P97	50	A7/SIB1/TIP20/TOP20	入出力		U-14
P98	51	A8/SOB1	出力		G-3
P99	52	A9/$\overline{\text{SCKB1}}$	入出力		G-5
P910	53	A10/SIB3	入出力		G-2
P911	54	A11/SOB3	出力		G-3
P912	55	A12/$\overline{\text{SCKB3}}$	入出力		G-5
P913	56	A13/INTP4	入出力		N-2
P914	57	A14/INTP5/TIP51/TOP51	入出力		U-15
P915	58	A15/INTP6/TIP50/TOP50	入出力		U-15

注意　P90-P97, P99, P910, P912-P915端子は，兼用機能の入力時にはヒステリシス特性を持ちますが，ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート9レジスタ（P9）

リセット時：0000H（出力ラッチ）　R/W　アドレス：P9 FFFFF412H,
P9L FFFFF412H, P9H FFFFF413H

	15	14	13	12	11	10	9	8
P9（P9H）	P915	P914	P913	P912	P911	P910	P99	P98

	7	6	5	4	3	2	1	0
（P9L）	P97	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御（出力モード時）（n = 0-15）
0	0を出力
1	1を出力

備考1.　P9レジスタは，16ビット単位でリード／ライト可能です。
ただし，P9レジスタの上位8ビットをP9Hレジスタ，下位8ビットをP9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

2.　P9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，P9Hレジスタのビット0-7として指定してください。

(2) ポート9モード・レジスタ（PM9）

リセット時：FFFFH　R/W　アドレス：PM9 FFFFF432H,
PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9（PM9H）	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98

	7	6	5	4	3	2	1	0
（PM9L）	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

PM9n	入出力モードの制御（n = 0-15）
0	出力モード
1	入力モード

備考1.　PM9レジスタは，16ビット単位でリード／ライト可能です。
ただし，PM9レジスタの上位8ビットをPM9Hレジスタ，下位8ビットをPM9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

2.　PM9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PM9Hレジスタのビット0-7として指定してください。

(3) ポート9モード・コントロール・レジスタ（PMC9）

(1/2)

リセット時：0000H　R/W　アドレス：PMC9 FFFFF452H,
PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9（PMC9H）	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98

	7	6	5	4	3	2	1	0
（PMC9L）	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	A15出力/INTP6入力/TIP50入力/TOP50出力

PMC914	P914端子の動作モードの指定
0	入出力ポート
1	A14出力/INTP5入力/TIP51入力/TOP51出力

PMC913	P913端子の動作モードの指定
0	入出力ポート
1	A13出力/INTP4入力

PMC912	P912端子の動作モードの指定
0	入出力ポート
1	A12出力/$\overline{\text{SCKB3}}$入出力

PMC911	P911端子の動作モードの指定
0	入出力ポート
1	A11出力/SOB3出力

PMC910	P910端子の動作モードの指定
0	入出力ポート
1	A10出力/SIB3入力

PMC99	P99端子の動作モードの指定
0	入出力ポート
1	A9出力/$\overline{\text{SCKB1}}$入出力

PMC98	P98端子の動作モードの指定
0	入出力ポート
1	A8出力/SOB1出力

備考1. PMC9レジスタは，16ビット単位でリード／ライト可能です。
ただし，PMC9レジスタの上位8ビットをPMC9Hレジスタ，下位8ビットをPMC9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

2. PMC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PMC9Hレジスタのビット0-7として指定してください。

(2/2)

PMC97	P97端子の動作モードの指定
0	入出力ポート
1	A7出力/SIB1入力/TIP20入力/TOP20出力

PMC96	P96端子の動作モードの指定
0	入出力ポート
1	A6出力/TIP21入力/TOP21出力

PMC95	P95端子の動作モードの指定
0	入出力ポート
1	A5出力/TIP30入力/TOP30出力

PMC94	P94端子の動作モードの指定
0	入出力ポート
1	A4出力/TIP31入力/TOP31出力

PMC93	P93端子の動作モードの指定
0	入出力ポート
1	A3出力/TIP40入力/TOP40出力

PMC92	P92端子の動作モードの指定
0	入出力ポート
1	A2出力/TIP41入力/TOP41出力

PMC91	P91端子の動作モードの指定
0	入出力ポート
1	A1出力/KR7入力/RXDA1入力/SCL02入出力

PMC90	P90端子の動作モードの指定
0	入出力ポート
1	A0出力/KR6入力/TXDA1出力/SDA02入出力

注意　P90-P915**端子の兼用機能として**A0-A15**端子を使用する場合のみ，**PMC9**レジスタを**16**ビット一括して**FFFFH**としてください。**

（4）ポート9ファンクション・コントロール・レジスタ（PFC9）

注意　セパレート・アドレス・バス出力（A0-A15）を行う場合，PFC9レジスタを0000Hに設定後，PMC9レジスタをFFFFHに16ビット一括で設定してください。

リセット時：0000H　R/W　アドレス：PFC9 FFFFF472H,
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9（PFC9H）	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98

	7	6	5	4	3	2	1	0
（PFC9L）	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

備考1.　兼用機能の指定については4. 3. 7（6）ポート9の兼用機能の指定を参照してください。

2.　PFC9レジスタは，16ビット単位でリード／ライト可能です。
ただし，PFC9レジスタの上位8ビットをPFC9Hレジスタ，下位8ビットをPFC9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

3.　PFC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PFC9Hレジスタのビット0-7として指定してください。

（5）ポート9ファンクション・コントロール拡張レジスタ（PFCE9）

リセット時：0000H　R/W　アドレス：PFCE9 FFFFF712H,
PFCE9L FFFFF712H, PFCE9H FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9（PFCE9H）	PFCE915	PFCE914	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
（PFCE9L）	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

備考1.　兼用機能の指定については4. 3. 7（6）ポート9の兼用機能の指定を参照してください。

2.　PFCE9レジスタは，16ビット単位でリード／ライト可能です。
ただし，PFCE9レジスタの上位8ビットをPFCE9Hレジスタ，下位8ビットをPFCE9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

3.　PFCE9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PFCE9Hレジスタのビット0-7として指定してください。

(6) ポート9の兼用機能の指定

PFCE915	PFC915	P915端子の兼用機能の指定
0	0	A15出力
0	1	INTP6入力
1	0	TIP50入力
1	1	TOP50出力

PFCE914	PFC914	P914端子の兼用機能の指定
0	0	A14出力
0	1	INTP5入力
1	0	TIP51入力
1	1	TOP51出力

PFC913	P913端子の兼用機能の指定
0	A13出力
1	INTP4入力

PFC912	P912端子の兼用機能の指定
0	A12出力
1	$\overline{\text{SCKB3}}$入出力

PFC911	P911端子の兼用機能の指定
0	A11出力
1	SOB3出力

PFC910	P910端子の兼用機能の指定
0	A10出力
1	SIB3入力

PFC99	P99端子の兼用機能の指定
0	A9出力
1	$\overline{\text{SCKB1}}$入出力

PFC98	P98端子の兼用機能の指定
0	A8出力
1	SOB1出力

PFCE97	PFC97	P97端子の兼用機能の指定
0	0	A7出力
0	1	SIB1入力
1	0	TIP20入力
1	1	TOP20出力

PFCE96	PFC96	P96端子の兼用機能の指定
0	0	A6出力
0	1	設定禁止
1	0	TIP21入力
1	1	TOP21出力

PFCE95	PFC95	P95端子の兼用機能の指定
0	0	A5出力
0	1	TIP30入力
1	0	TOP30出力
1	1	設定禁止

PFCE94	PFC94	P94端子の兼用機能の指定
0	0	A4出力
0	1	TIP31入力
1	0	TOP31出力
1	1	設定禁止

PFCE93	PFC93	P93端子の兼用機能の指定
0	0	A3出力
0	1	TIP40入力
1	0	TOP40出力
1	1	設定禁止

PFCE92	PFC92	P92端子の兼用機能の指定
0	0	A2出力
0	1	TIP41入力
1	0	TOP41出力
1	1	設定禁止

PFCE91	PFC91	P91端子の兼用機能の指定
0	0	A1出力
0	1	KR7入力
1	0	RXDA1入力/KR7入力[注]
1	1	SCL02入出力

PFCE90	PFC90	P90端子の兼用機能の指定
0	0	A0出力
0	1	KR6入力
1	0	TXDA1出力
1	1	SDA02入出力

注　RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は，KR7端子を使用しないでください。また，KR7端子を使用する場合は，RXDA1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。

(7) ポート9ファンクション・レジスタ（PF9）

リセット時：0000H　R/W　アドレス：PF9 FFFFFC72H,
PF9L FFFFFC72H, PF9H FFFFFC73H

	15	14	13	12	11	10	9	8
PF9（PF9H）	PF915	PF914	PF913	PF912	PF911	PF910	PF99	PF98

	7	6	5	4	3	2	1	0
（PF9L）	PF97	PF96	PF95	PF94	PF93	PF92	PF91	PF90

PF9n	通常出力/N-chオープン・ドレーン出力の制御（n = 0-15）
0	通常出力（CMOS出力）
1	N-chオープン・ドレーン出力

注意　出力端子に対してEV_{DD}以上の電圧でプルアップする場合は，必ず該当するPF9nビットを1に設定してください。

備考1.　PF9レジスタは，16ビット単位でリード／ライト可能です。
ただし，PF9レジスタの上位8ビットをPF9Hレジスタ，下位8ビットをPF9Lレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

2.　PF9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PF9Hレジスタのビット0-7として指定してください。

4. 3. 8　ポートCM

ポートCMは1ビット単位で入出力を制御できる4ビットのポートです。

ポートCMは，次に示す端子と兼用しています。

表4－11　ポートCMの兼用端子

端子名	ピン番号	兼用端子名	入出力	備　考	ブロック・タイプ
PCM0	61	$\overline{\text{WAIT}}$	入力	－	D-1
PCM1	62	CLKOUT	出力		D-2
PCM2	63	$\overline{\text{HLDAK}}$	出力		D-2
PCM3	64	$\overline{\text{HLDRQ}}$	入力		D-1

(1) ポートCMレジスタ（PCM）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御（出力モード時）（n = 0-3）
0	0を出力
1	1を出力

(2) ポートCMモード・レジスタ（PMCM）

リセット時：FFH　R/W　アドレス：FFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御（n = 0-3）
0	出力モード
1	入力モード

(3) ポートCMモード・コントロール・レジスタ（PMCCM）

リセット時：00H　　R/W　　アドレス：FFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0

PMCCM3	PCM3端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{HLDRQ}}$入力

PMCCM2	PCM2端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{HLDAK}}$出力

PMCCM1	PCM1端子の動作モードの指定
0	入出力ポート
1	CLKOUT出力

PMCCM0	PCM0端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{WAIT}}$入力

4. 3. 9　ポートCT

ポートCTは1ビット単位で入出力を制御1できる4ビットのポートです。

ポートCTは次に示す端子と兼用しています。

表4－12　ポートCTの兼用端子

端子名	ピン番号	兼用端子名	入出力	備　考	ブロック・タイプ
PCT0	65	$\overline{WR0}$	出力	－	D-2
PCT1	66	$\overline{WR1}$	出力		D-2
PCT4	67	$\overline{RD}$	出力		D-2
PCT6	68	ASTB	出力		D-2

(1) ポートCTレジスタ（PCT）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF00AH

	7	6	5	4	3	2	1	0
PCT	0	PCT6	0	PCT4	0	0	PCT1	PCT0

PCTn	出力データの制御（出力モード時）（n =0, 1, 4, 6）
0	0を出力
1	1を出力

(2) ポートCTモード・レジスタ（PMCT）

リセット時：FFH　R/W　アドレス：FFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0

PMCTn	入出力モードの制御（n = 0, 1, 4, 6）
0	出力モード
1	入力モード

(3) ポートCTモード・コントロール・レジスタ（PMCCT）

リセット時：00H　　R/W　　アドレス：FFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT6	PCT6端子の動作モードの指定
0	入出力ポート
1	ASTB出力

PMCCT4	PCT4端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{RD}}$出力

PMCCT1	PCT1端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{WR1}}$出力

PMCCT0	PCT0端子の動作モードの指定
0	入出力ポート
1	$\overline{\text{WR0}}$出力

4. 3. 10　ポートDH

ポートDHは1ビット単位で入出力を制御できる6ビットのポートです。

ポートDHは，次に示す端子と兼用しています。

表4－13　ポートDHの兼用端子

端子名	ピン番号	兼用端子名	入出力	備　考	ブロック・タイプ
PDH0	87	A16	出力	－	D-2
PDH1	88	A17	出力		D-2
PDH2	59	A18	出力		D-2
PDH3	60	A19	出力		D-2
PDH4	6	A20	出力		D-2
PDH5	7	A21	出力		D-2

(1) ポートDHレジスタ（PDH）

リセット時：00H（出力ラッチ）　R/W　アドレス：FFFFF006H

	7	6	5	4	3	2	1	0
PDH	0	0	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0

PDHn	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

(2) ポートDHモード・レジスタ（PMDH）

リセット時：FFH　R/W　アドレス：FFFFF026H

	7	6	5	4	3	2	1	0
PMDH	1	1	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0

PMDHn	入出力モードの制御（n = 0-5）
0	出力モード
1	入力モード

(3) ポートDHモード・コントロール・レジスタ（PMCDH）

リセット時：00H　R/W　アドレス：FFFFF046H

	7	6	5	4	3	2	1	0
PMCDH	0	0	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0

PMCDHn	PDHn端子の動作モードの指定（n = 0-5）
0	入出力ポート
1	Am出力（アドレス・バス出力）（m = 16-21）

4. 3. 11　ポートDL

ポートDLは1ビット単位で入出力を制御できる16ビットのポートです。

ポートDLは，次に示す端子と兼用しています。

表4－14　ポートDLの兼用端子

端子名	ピン番号	兼用端子名	入出力	備　考	ブロック・タイプ
PDL0	71	AD0	入出力	－	D-3
PDL1	72	AD1	入出力		D-3
PDL2	73	AD2	入出力		D-3
PDL3	74	AD3	入出力		D-3
PDL4	75	AD4	入出力		D-3
PDL5	76	AD5/FLMD1注	入出力		D-3
PDL6	77	AD6	入出力		D-3
PDL7	78	AD7	入出力		D-3
PDL8	79	AD8	入出力		D-3
PDL9	80	AD9	入出力		D-3
PDL10	81	AD10	入出力		D-3
PDL11	82	AD11	入出力		D-3
PDL12	83	AD12	入出力		D-3
PDL13	84	AD13	入出力		D-3
PDL14	85	AD14	入出力		D-3
PDL15	86	AD15	入出力		D-3

注　フラッシュ・メモリ・プログラミング・モード時に設定する端子なので，ポート制御用レジスタで操作する必要はありません。詳細は第29章　フラッシュ・メモリを参照してください。

(1) ポートDLレジスタ（PDL）

リセット時：0000H（出力ラッチ）　R/W　アドレス：PDL FFFFF004H,
PDLL FFFFF004H, PDLH FFFFF005H

	15	14	13	12	11	10	9	8
PDL（PDLH）	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8

	7	6	5	4	3	2	1	0
（PDLL）	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御（出力モード時）（n = 0-15）
0	0を出力
1	1を出力

備考1.　PDLレジスタは，16ビット単位でリード／ライト可能です。
ただし，PDLレジスタの上位8ビットをPDLHレジスタ，下位8ビットをPDLLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

2.　PDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PDLHレジスタのビット0-7として指定してください。

(2) ポートDLモード・レジスタ（PMDL）

リセット時：FFFFH　R/W　アドレス：PMDL FFFFF024H,
PMDLL FFFFF024H, PMDLH FFFFF025H

	15	14	13	12	11	10	9	8
PMDL（PMDLH）	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8

	7	6	5	4	3	2	1	0
（PMDLL）	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御（n = 0-15）
0	出力モード
1	入力モード

備考1.　PMDLレジスタは，16ビット単位でリード／ライト可能です。
ただし，PMDLレジスタの上位8ビットをPMDLHレジスタ，下位8ビットをPMDLLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

2.　PMDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PMDLHレジスタのビット0-7として指定してください。

(3) ポートDLモード・コントロール・レジスタ（PMCDL）

リセット時：0000H　R/W　アドレス：PMCDL FFFFF044H,
PMCDLL FFFFF044H, PMCDLH FFFFF045H

	15	14	13	12	11	10	9	8
PMCDL（PMCDLH）	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8

	7	6	5	4	3	2	1	0
（PMCDLL）	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0

PMCDLn	PDLn端子の動作モードの指定（n = 0-15）
0	入出力ポート
1	ADn入出力（アドレス／データ・バス入出力）

注意　EXIMCレジスタのSMSELビット = 1（セパレート・モード）かつBSCレジスタのBS30-BS00ビット = 0（8ビット・バス幅）のとき，AD8-AD15端子を指定しないでください。

備考1.　PMCDLレジスタは，16ビット単位でリード／ライト可能です。
ただし，PMCDLレジスタの上位8ビットをPMCDLHレジスタ，下位8ビットをPMCDLLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です。

2.　PMCDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，PMCDLHレジスタのビット0-7として指定してください。

4.4　ブロック図

図4－3　タイプA－1のブロック図

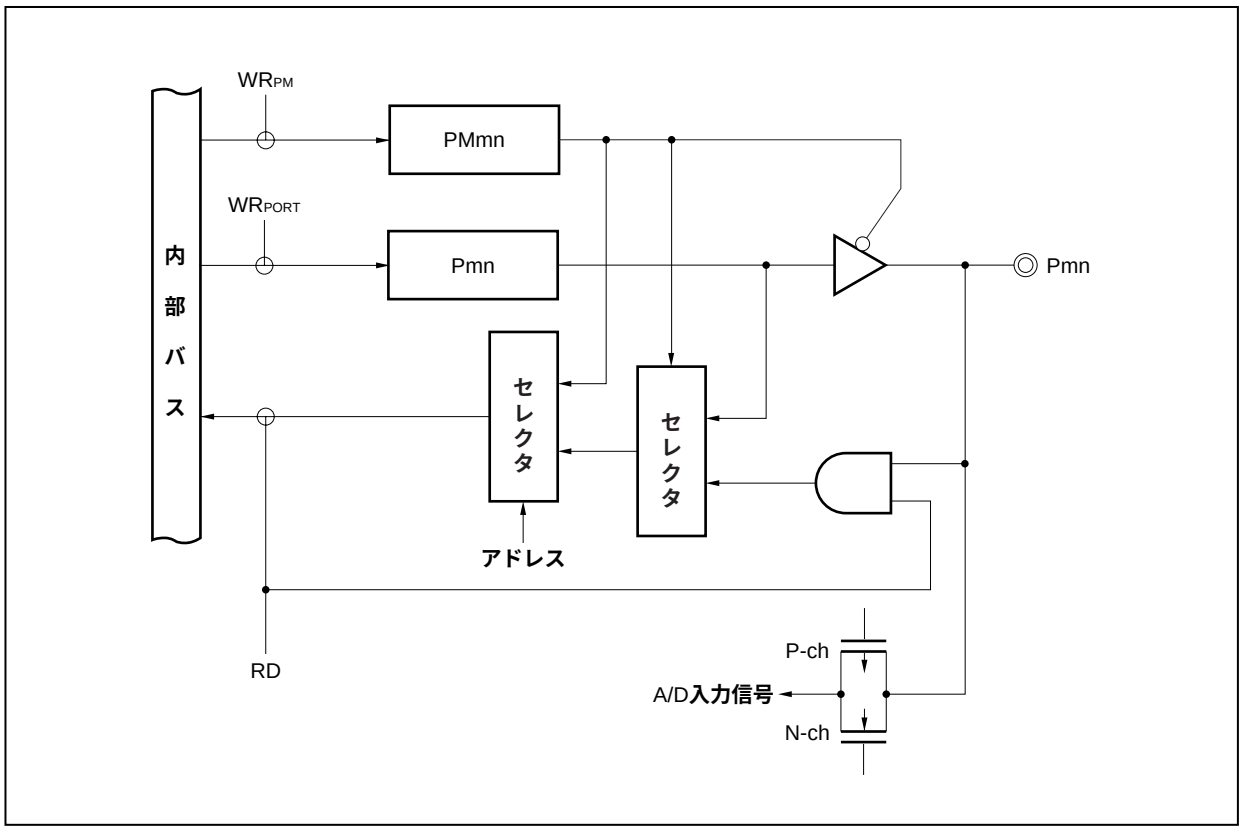


図4－4　タイプA－2のブロック図

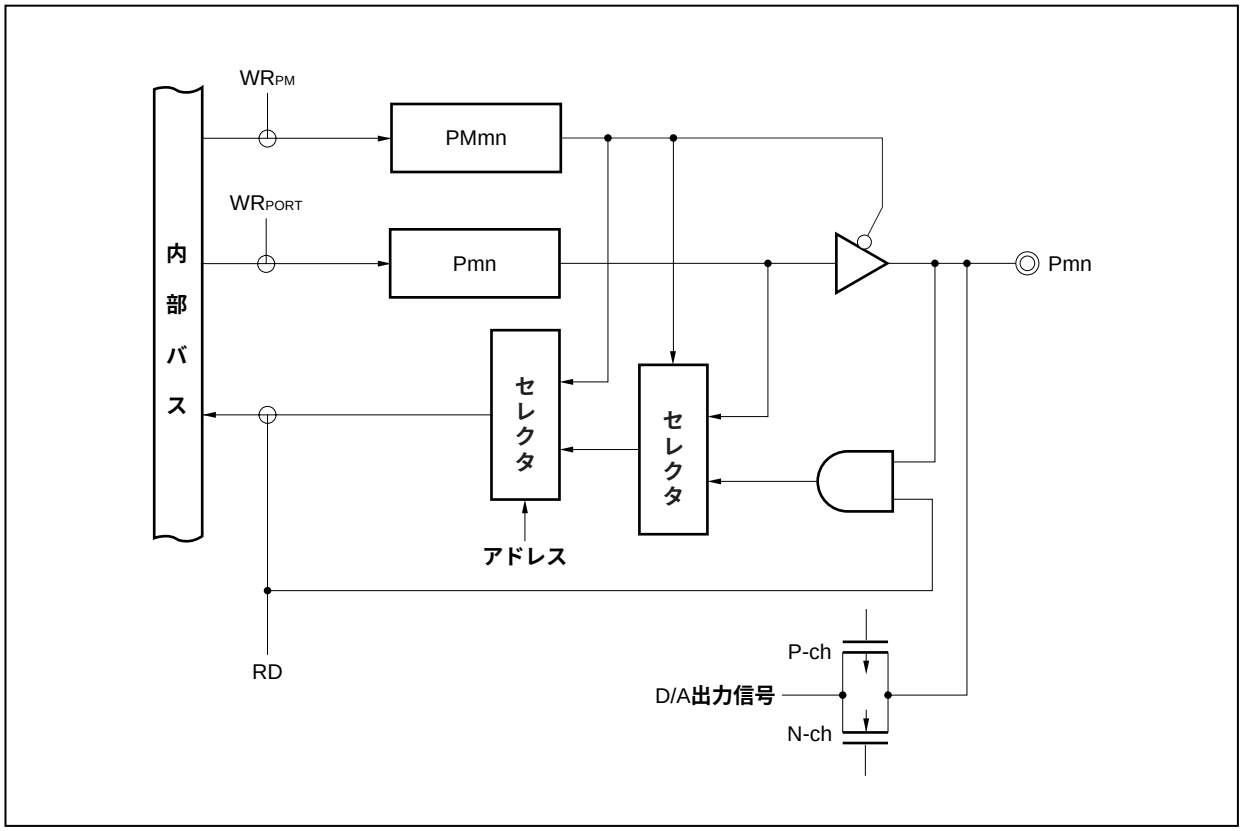


図4－5　タイプD－1のブロック図

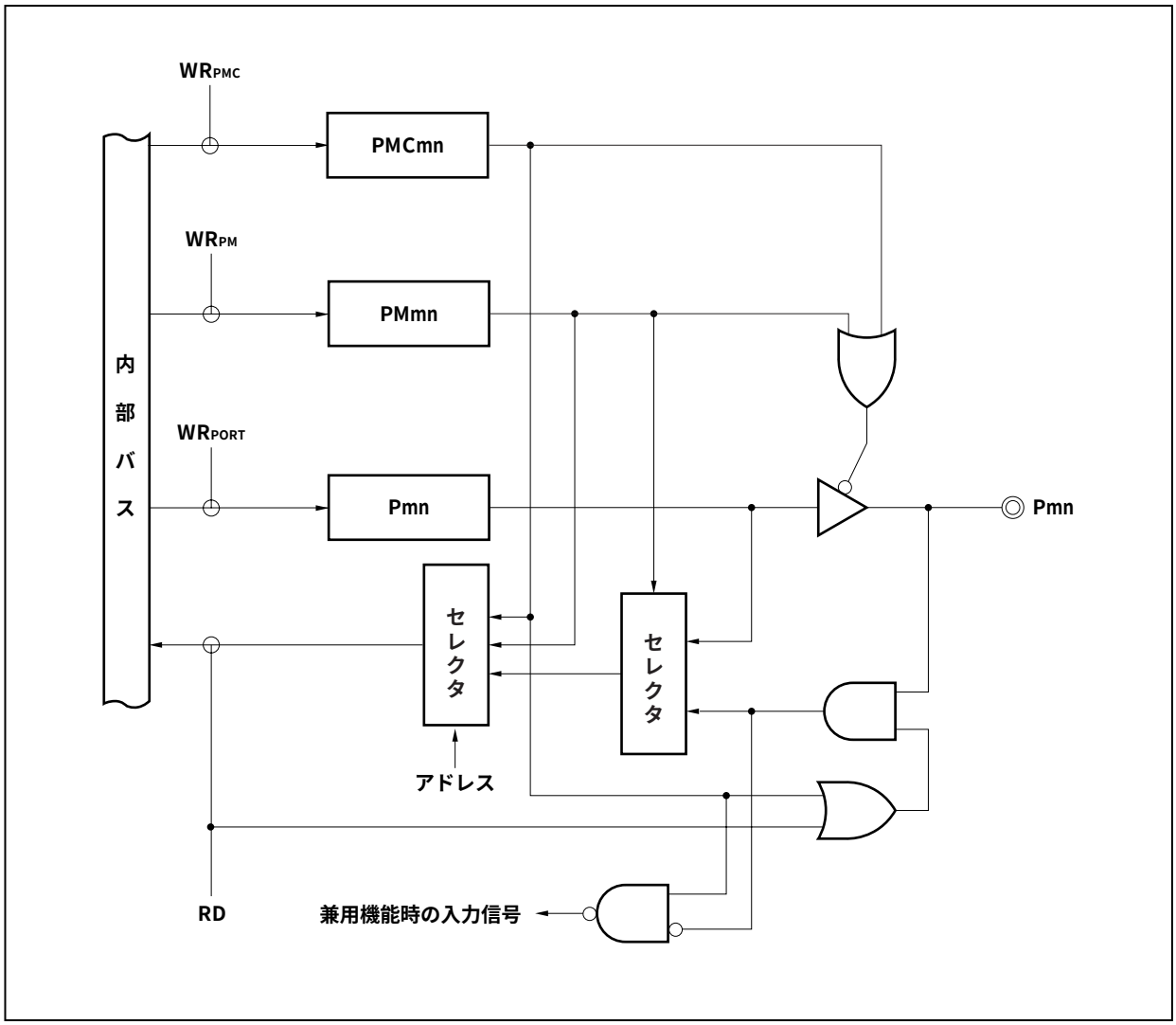


図4－6　タイプD－2のブロック図

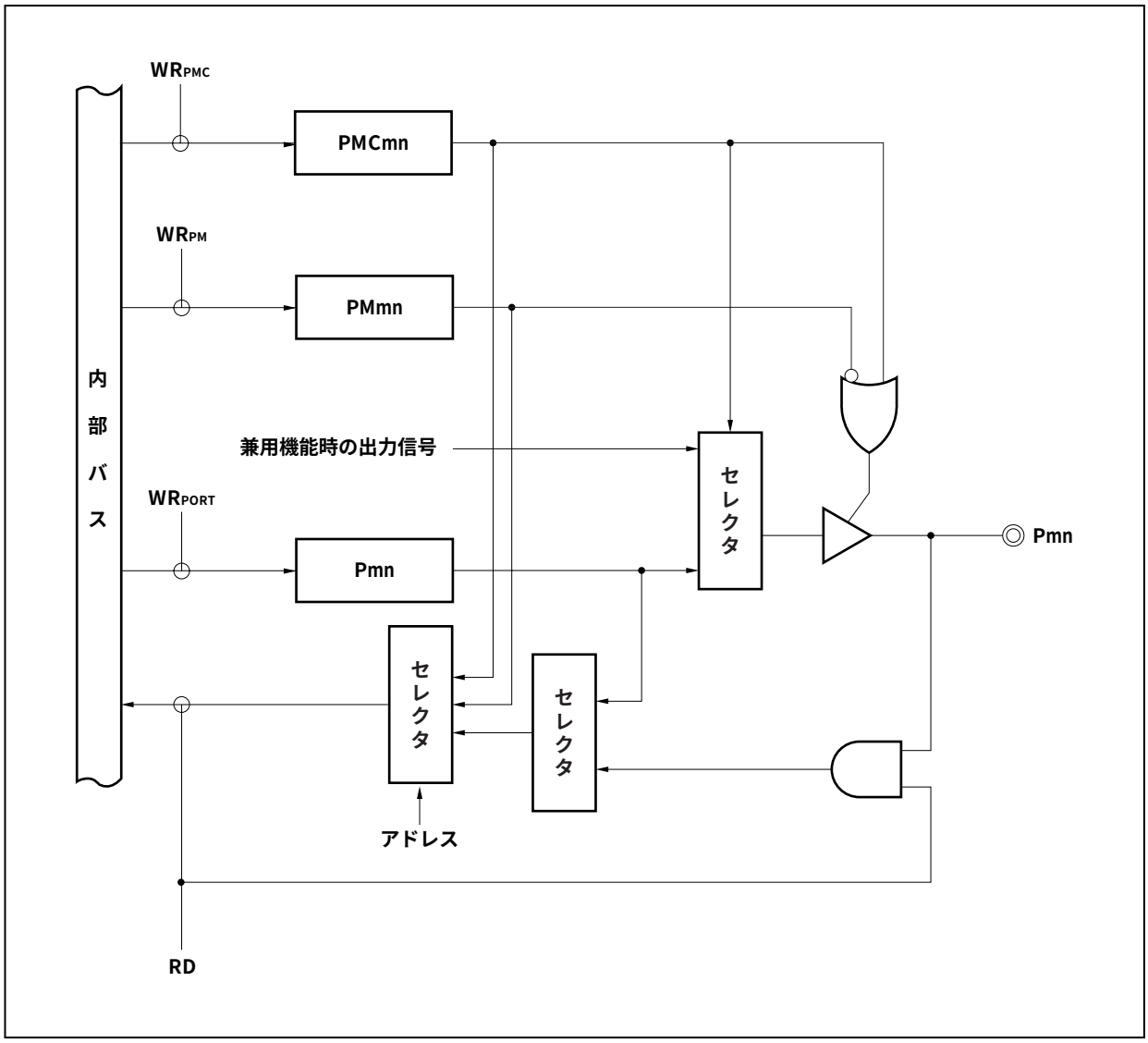


図4－7　タイプD－3のブロック図

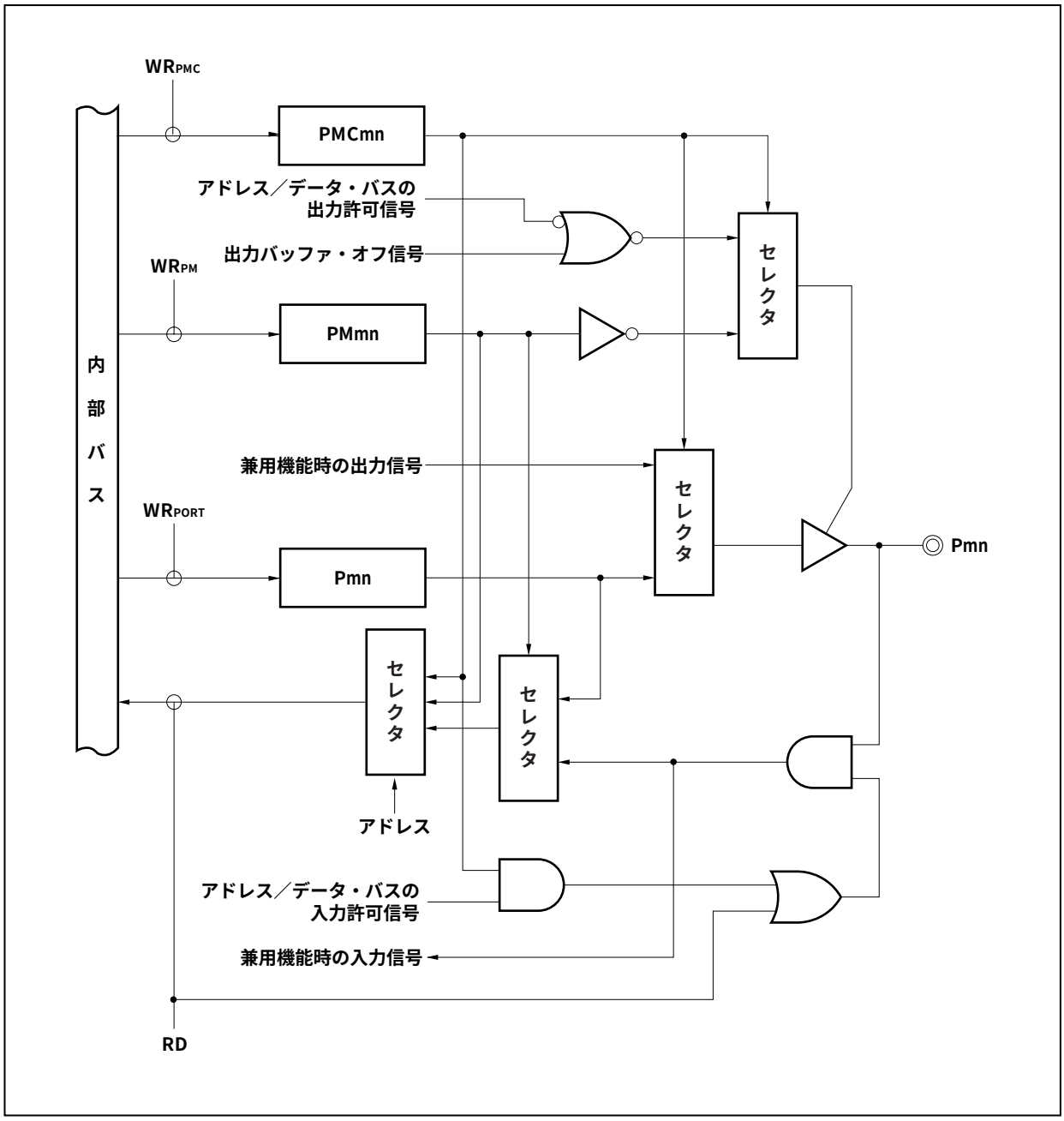
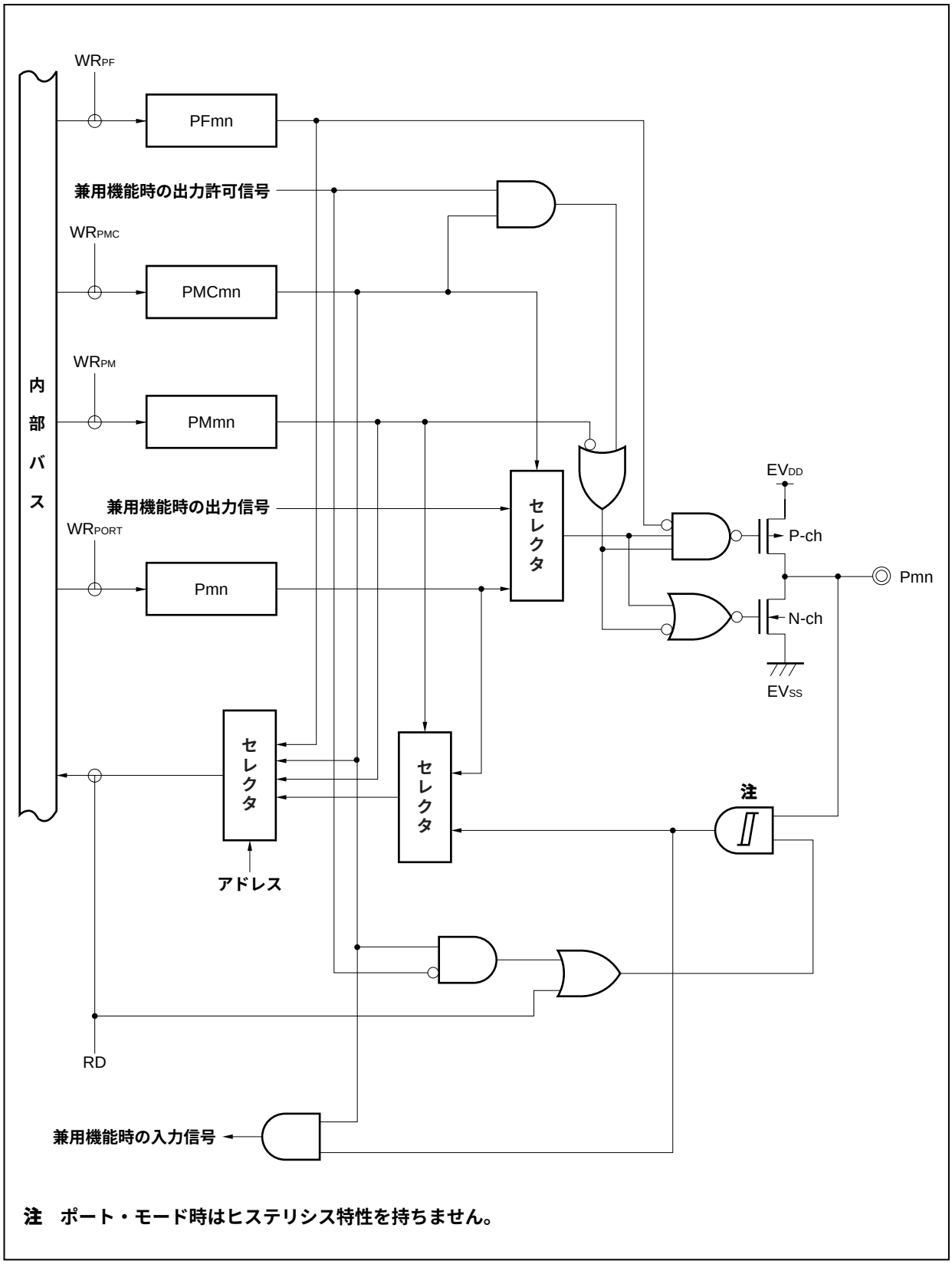
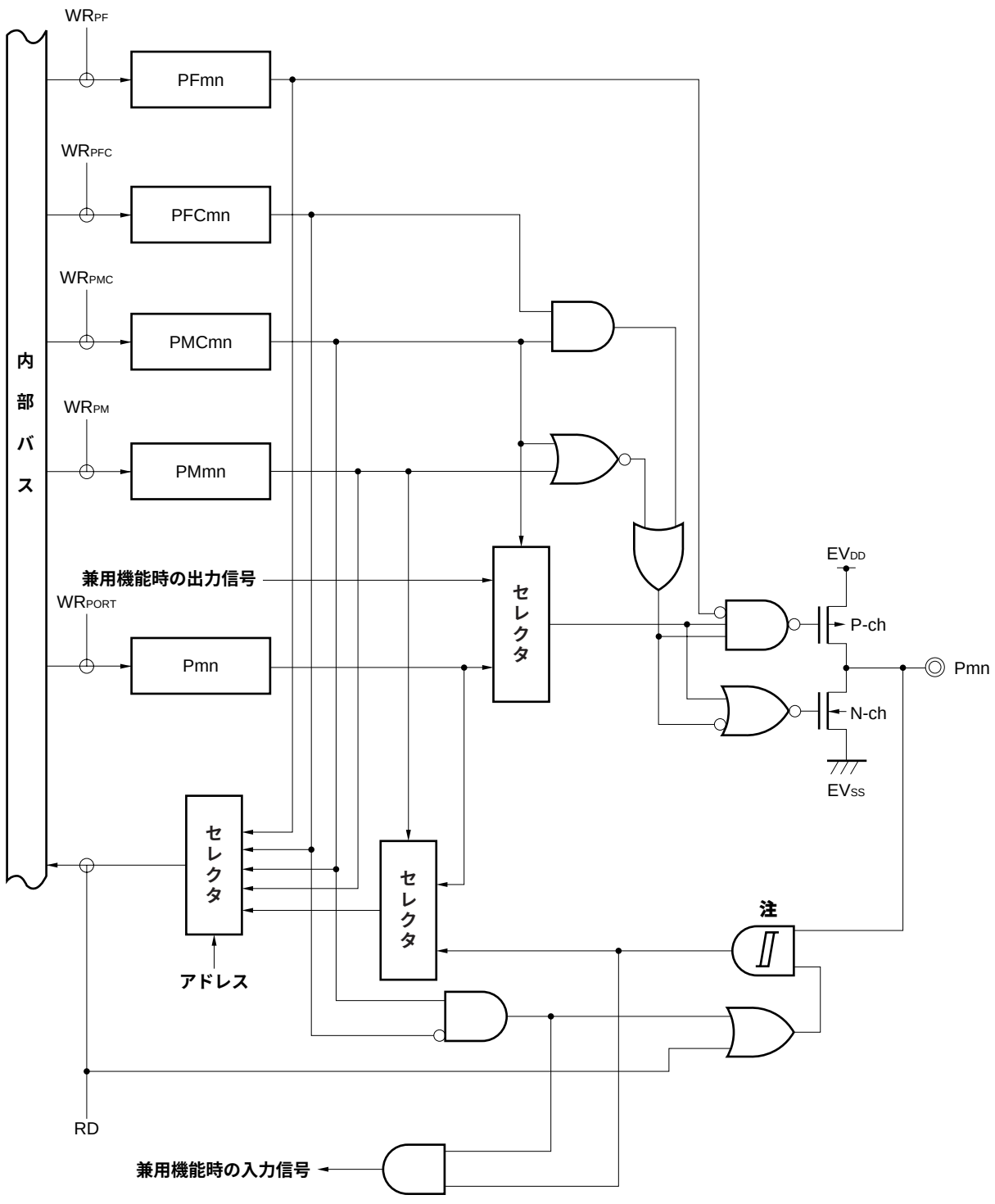


図4－8　タイプE－3のブロック図



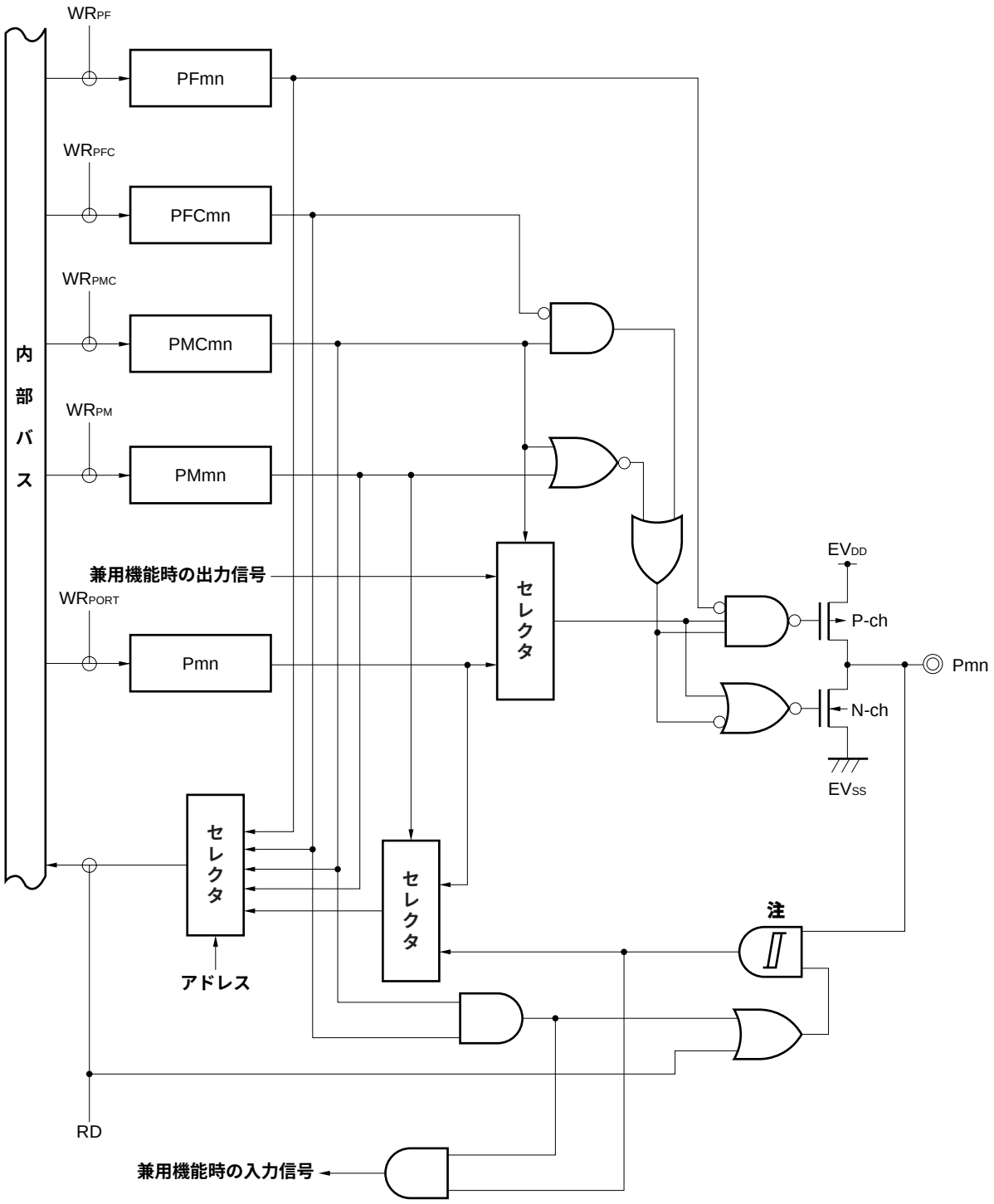
注　ポート・モード時はヒステリシス特性を持ちません。

図4－9　タイプG－1のブロック図



注　ポート・モード時はヒステリシス特性を持ちません。

図4－10　タイプG－2のブロック図



注　ポート・モード時はヒステリシス特性を持ちません。

図4－11　タイプG－3のブロック図

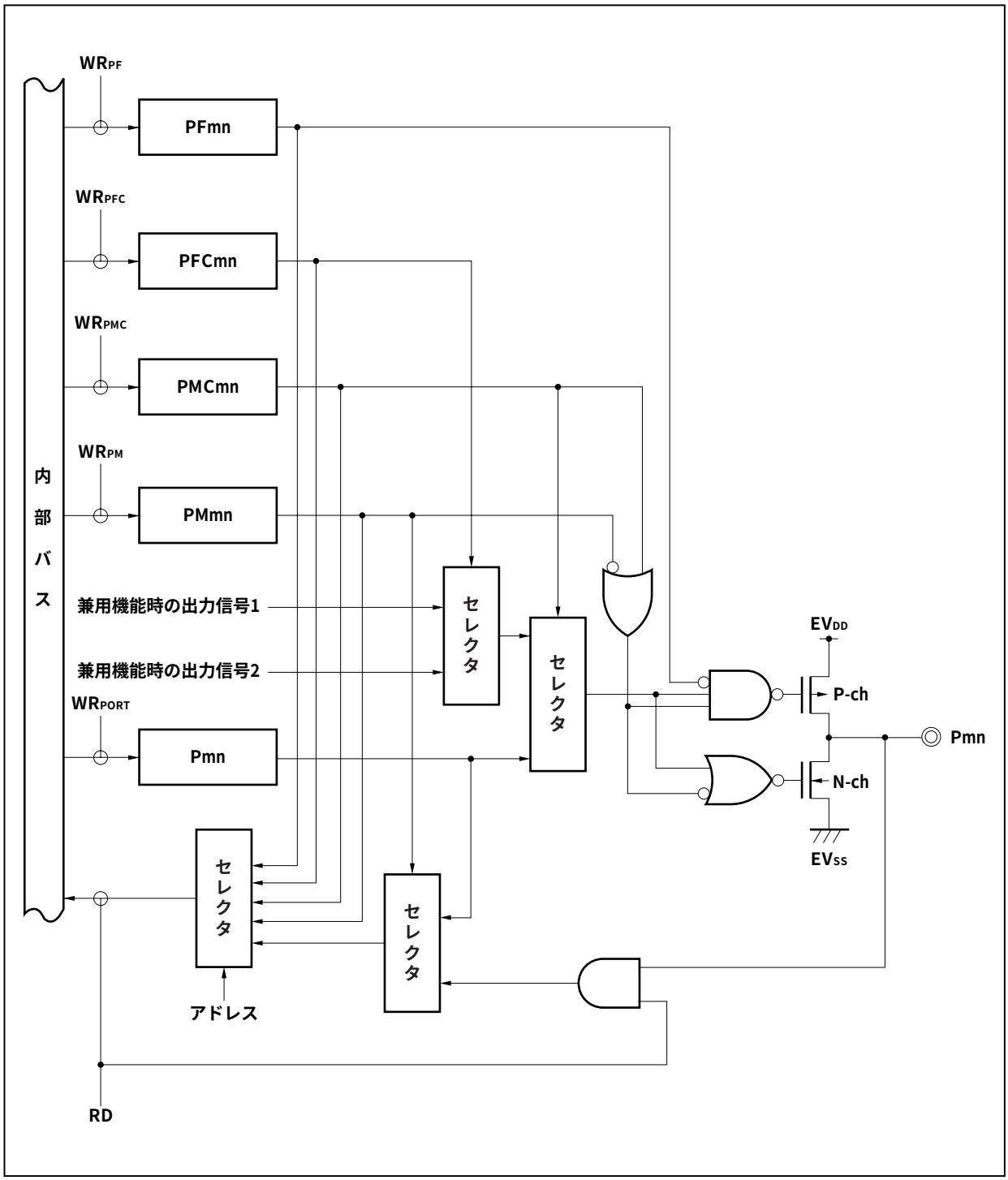
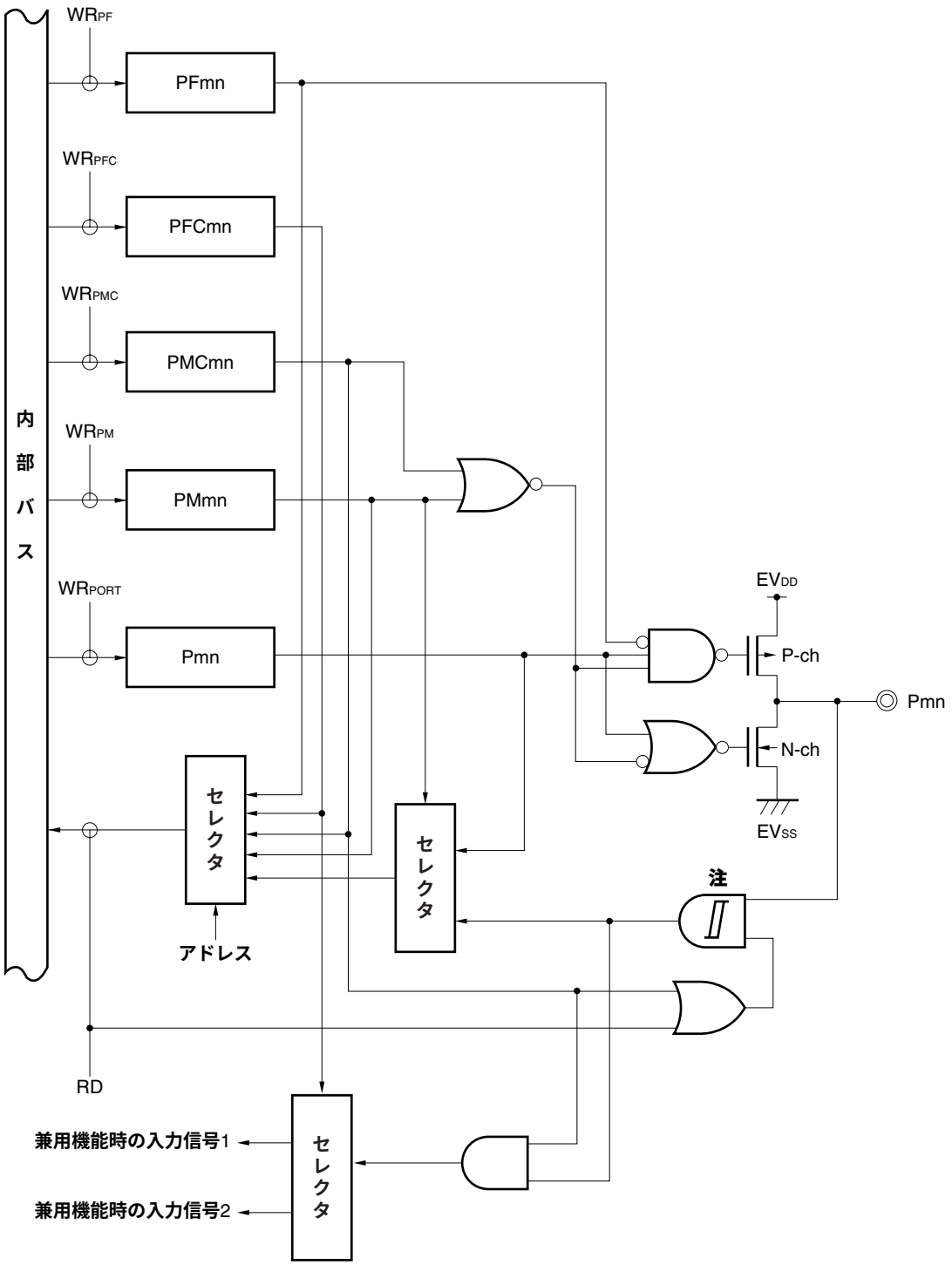
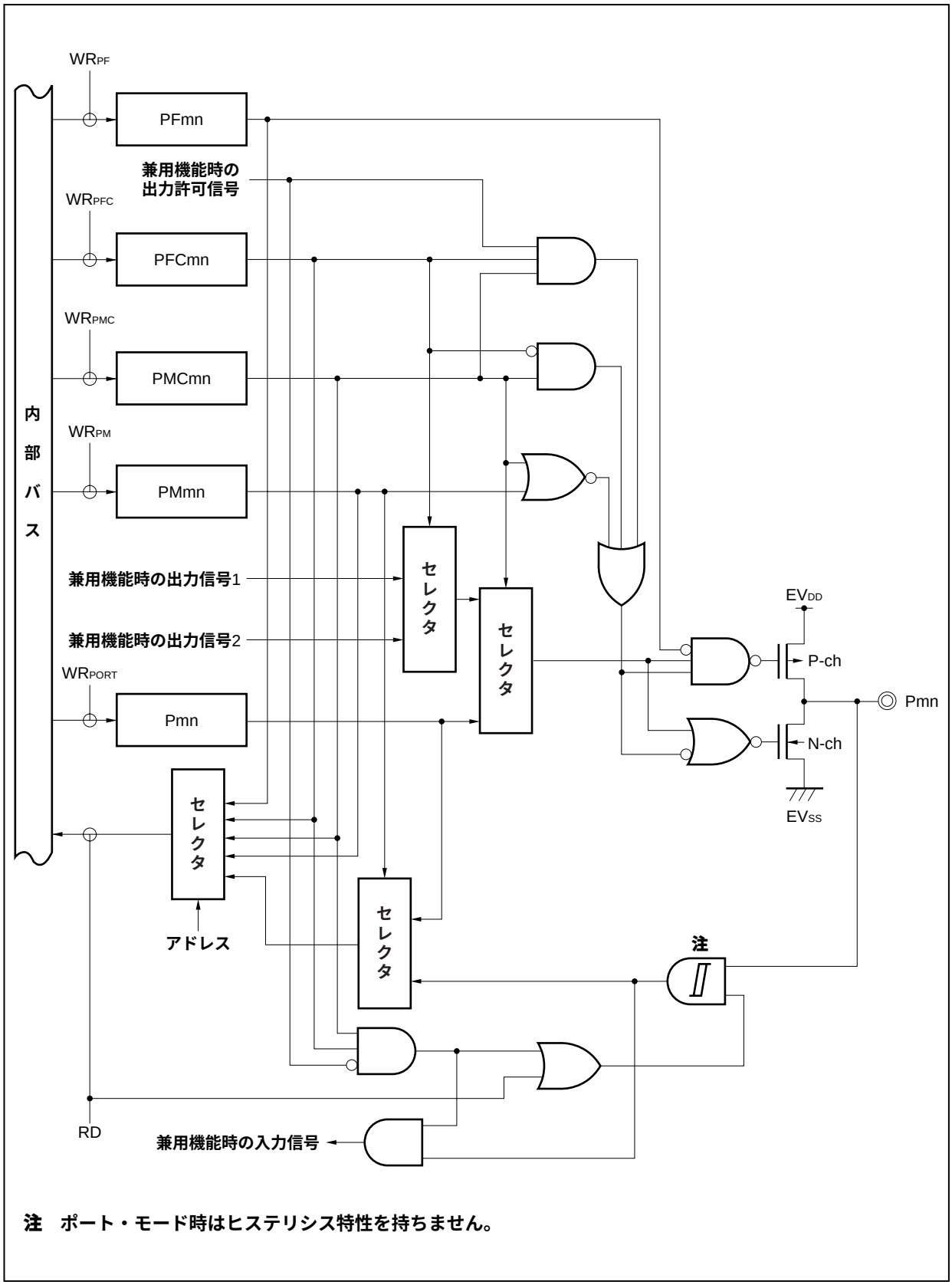


図4－12　タイプG－4のブロック図



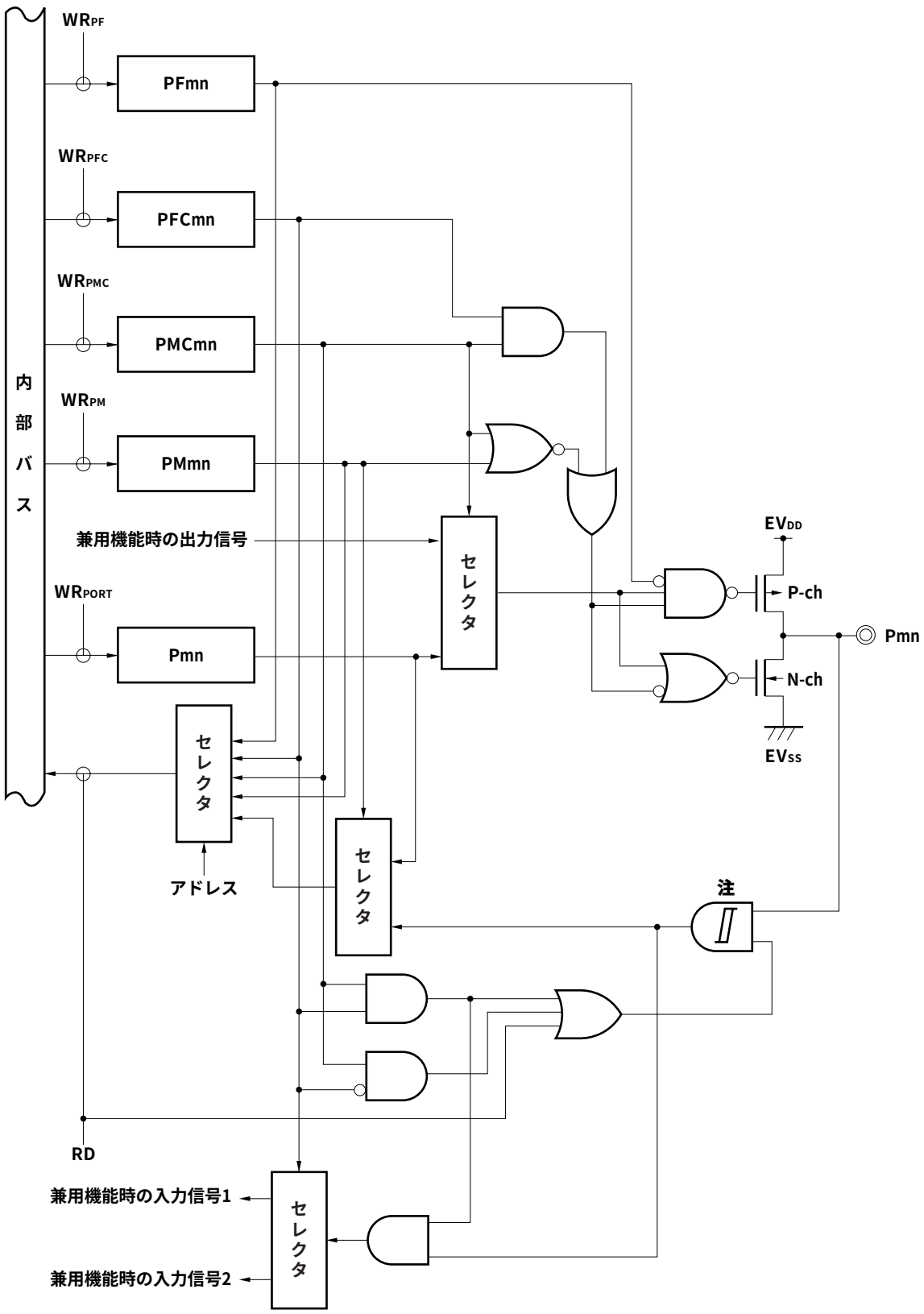
注　ポート・モード時はヒステリシス特性を持ちません。

図4－13　タイプG－5のブロック図



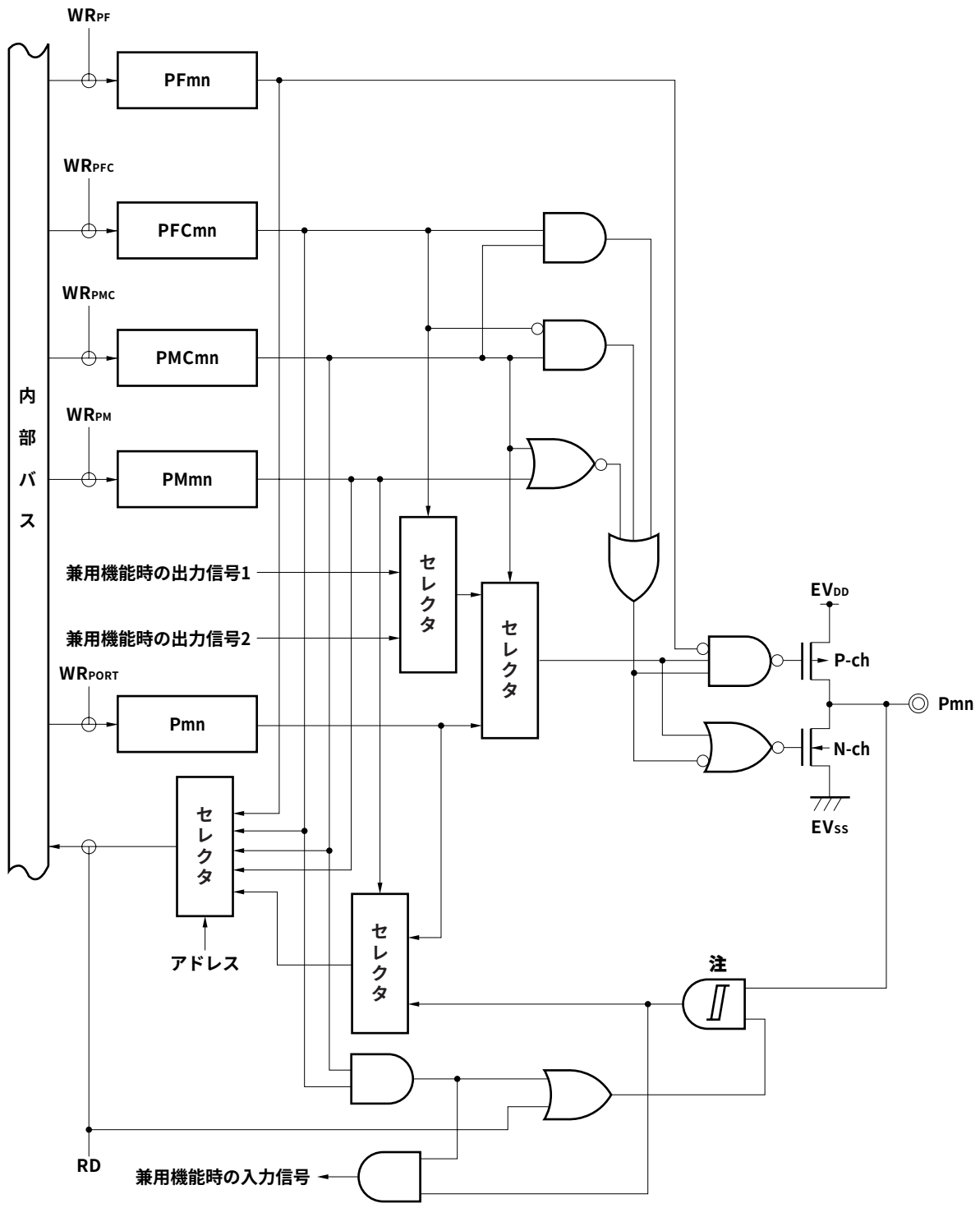
注　ポート・モード時はヒステリシス特性を持ちません。

図4－14　タイプG－6のブロック図



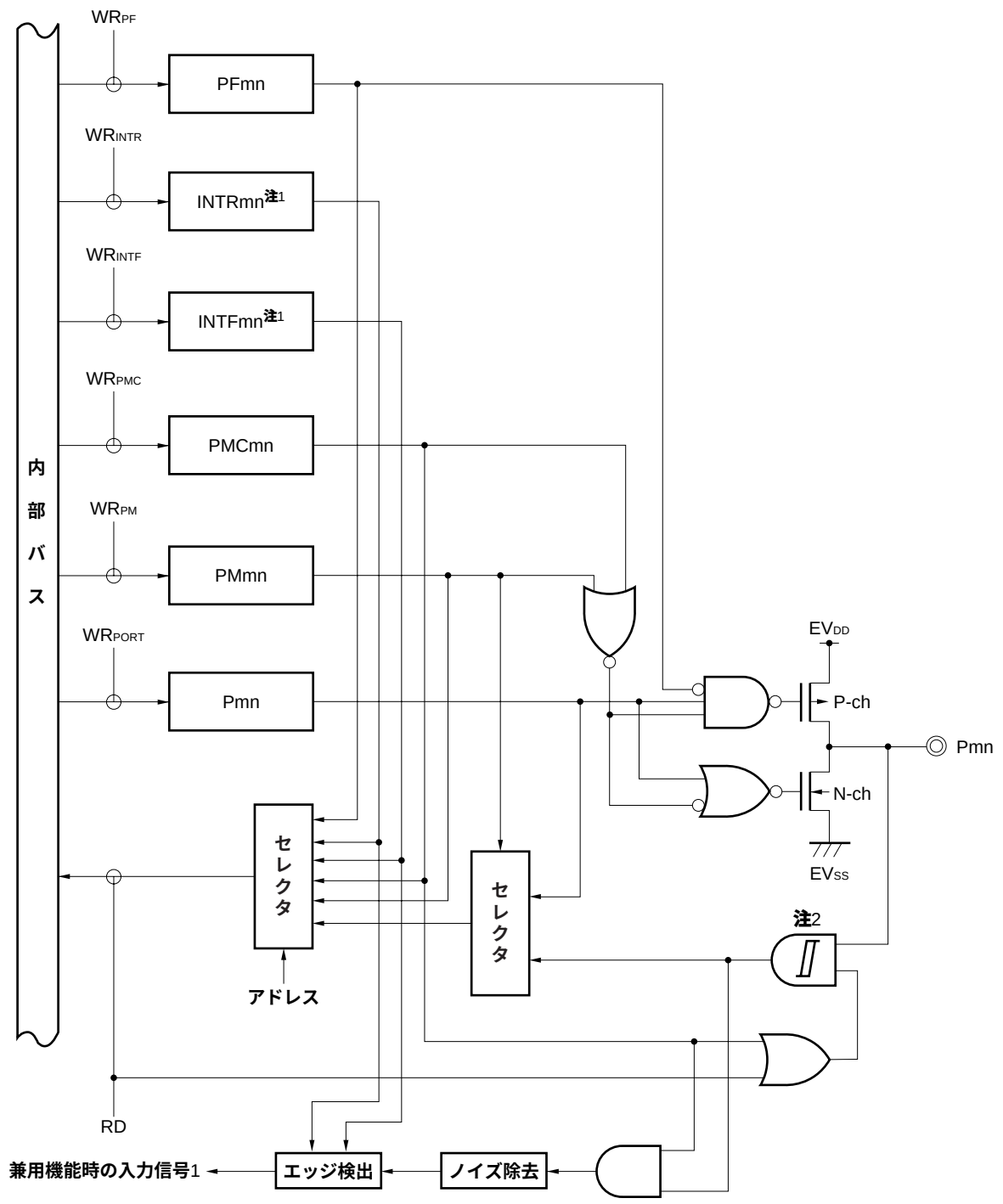
注　ポート・モード時はヒステリシス特性を持ちません。

図4－15　タイプG－12のブロック図



注　ポート・モード時はヒステリシス特性を持ちません。

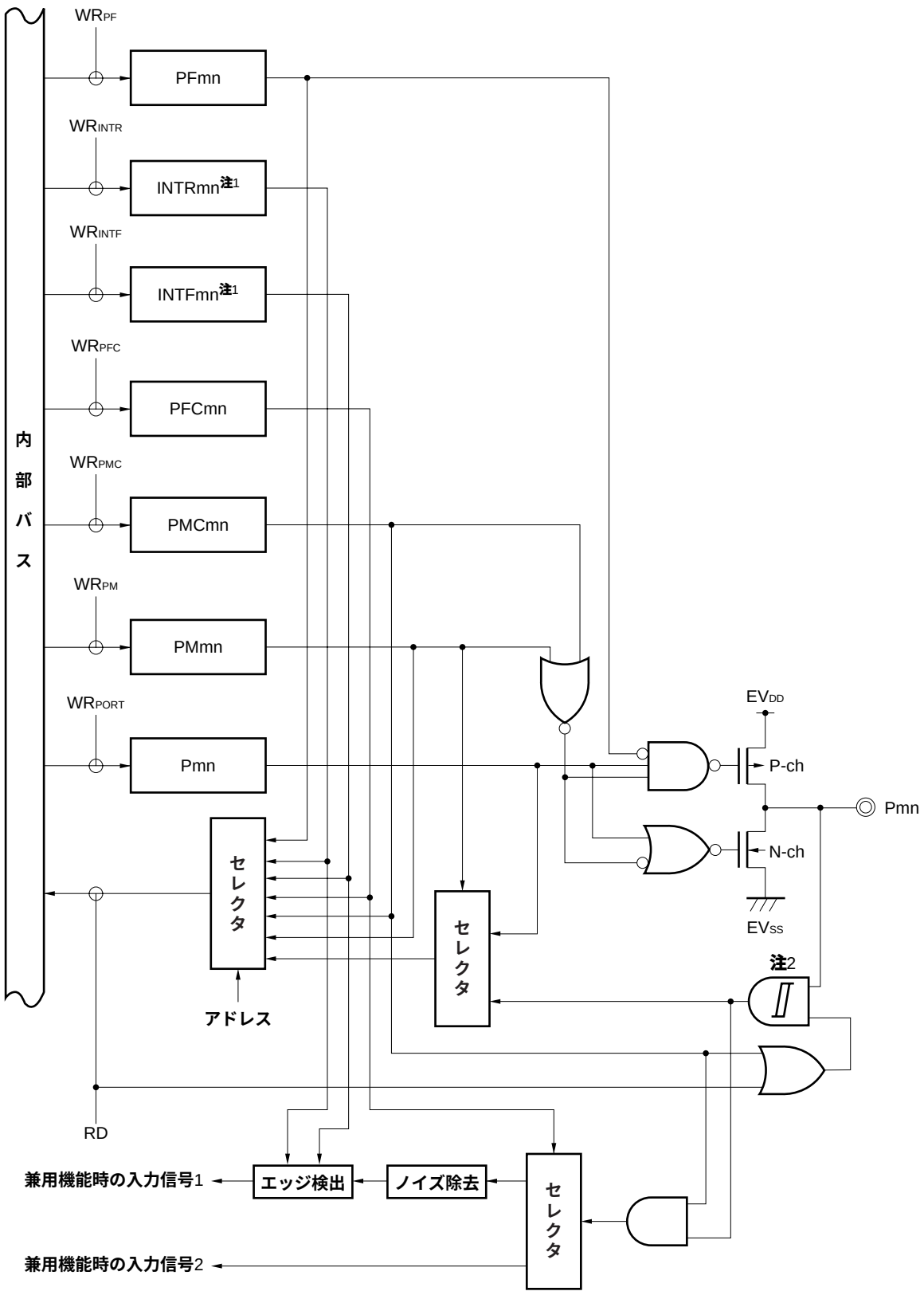
図4－16　タイプL－1のブロック図



注1.　22. 6　**外部割り込み要求入力端子（**NMI, INTP0-INTP7**）参照**

2.　**ポート・モード時はヒステリシス特性を持ちません。**

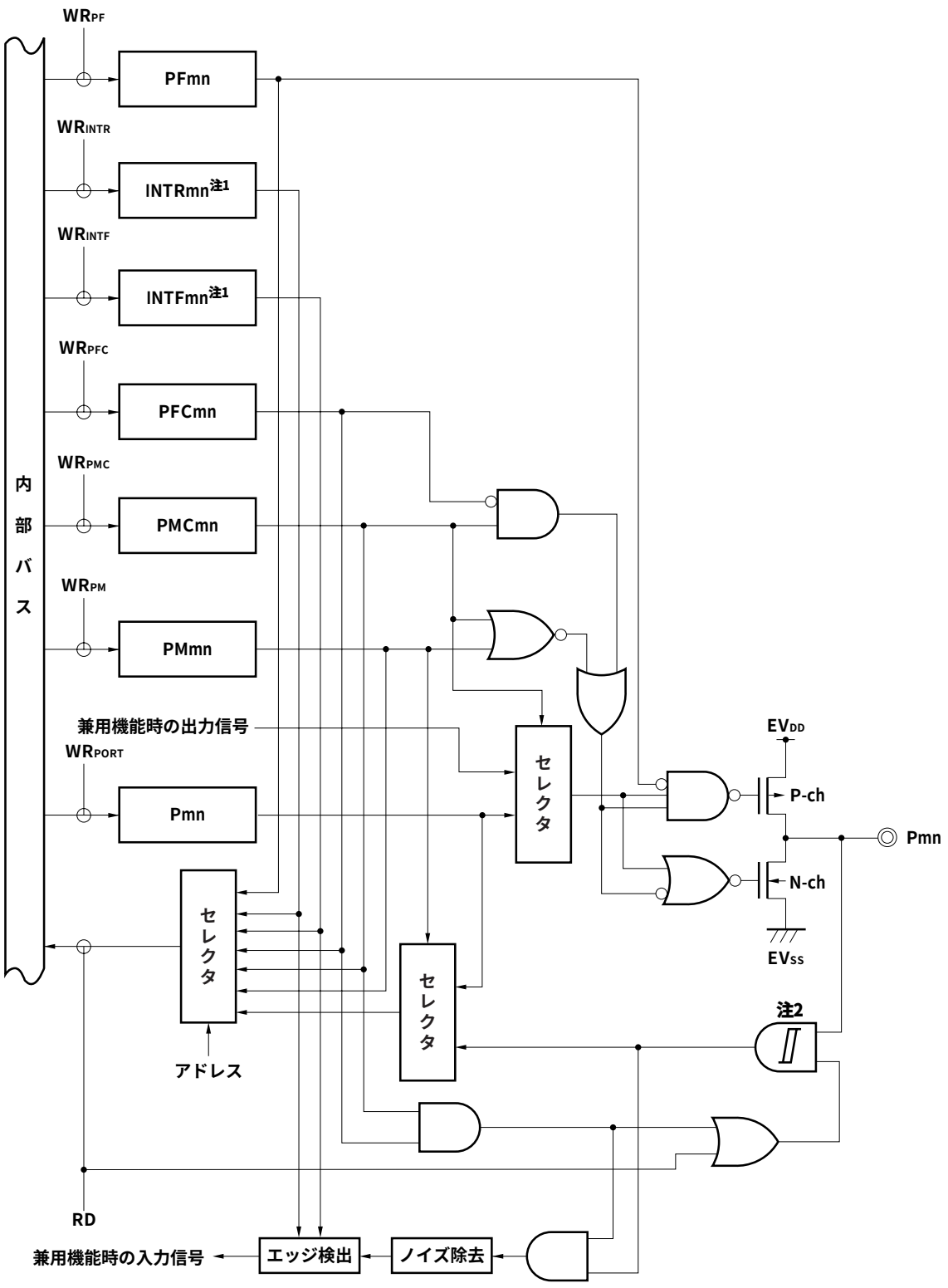
図4－17　タイプN－1のブロック図



注1.　22. 6　**外部割り込み要求入力端子**（NMI, INTP0-INTP7）**参照**

2.　**ポート・モード時はヒステリシス特性を持ちません。**

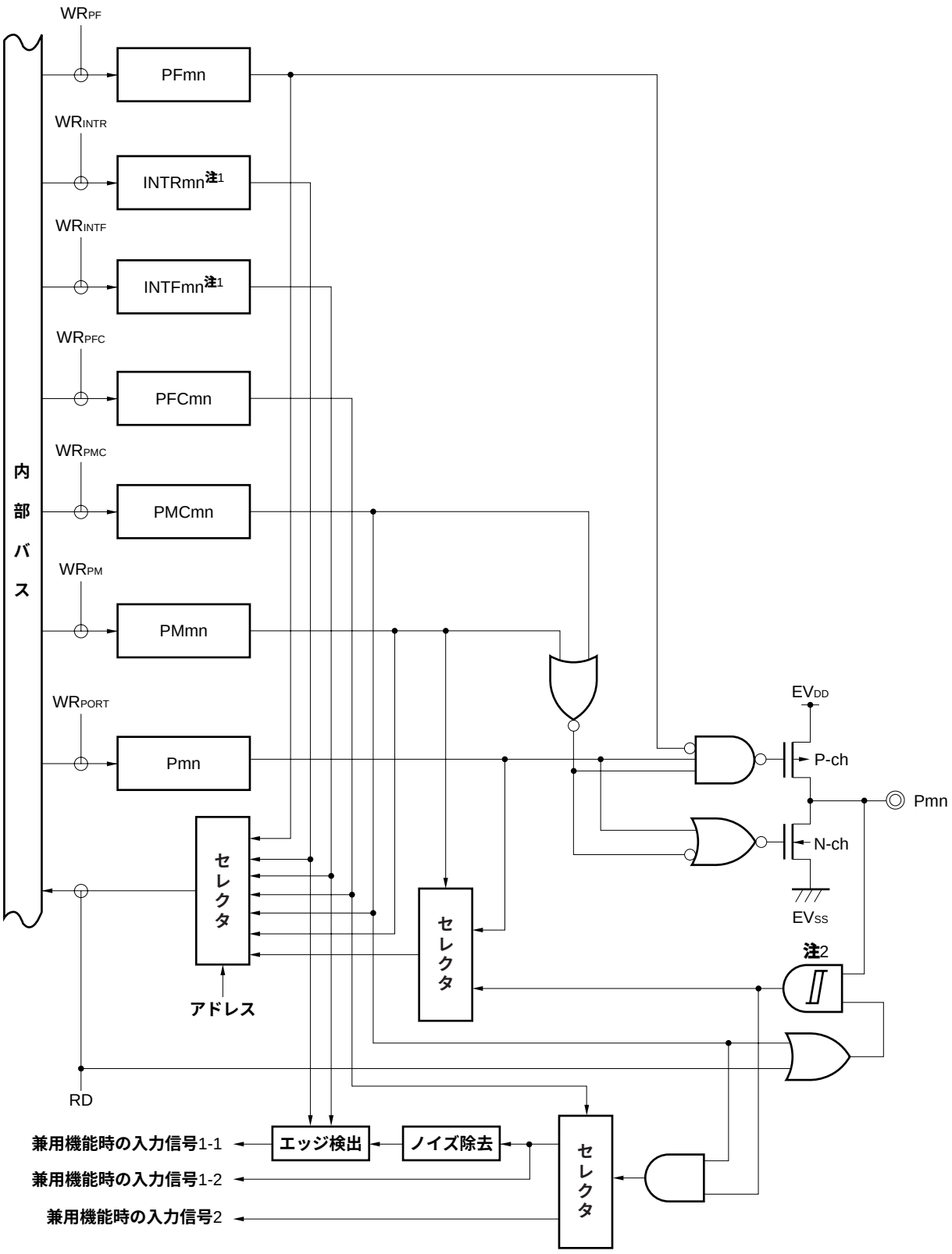
図4－18　タイプN－2のブロック図



注1.　22. 6　**外部割り込み要求入力端子（**NMI, INTP0-INTP7**）参照**

2.　**ポート・モード時はヒステリシス特性を持ちません。**

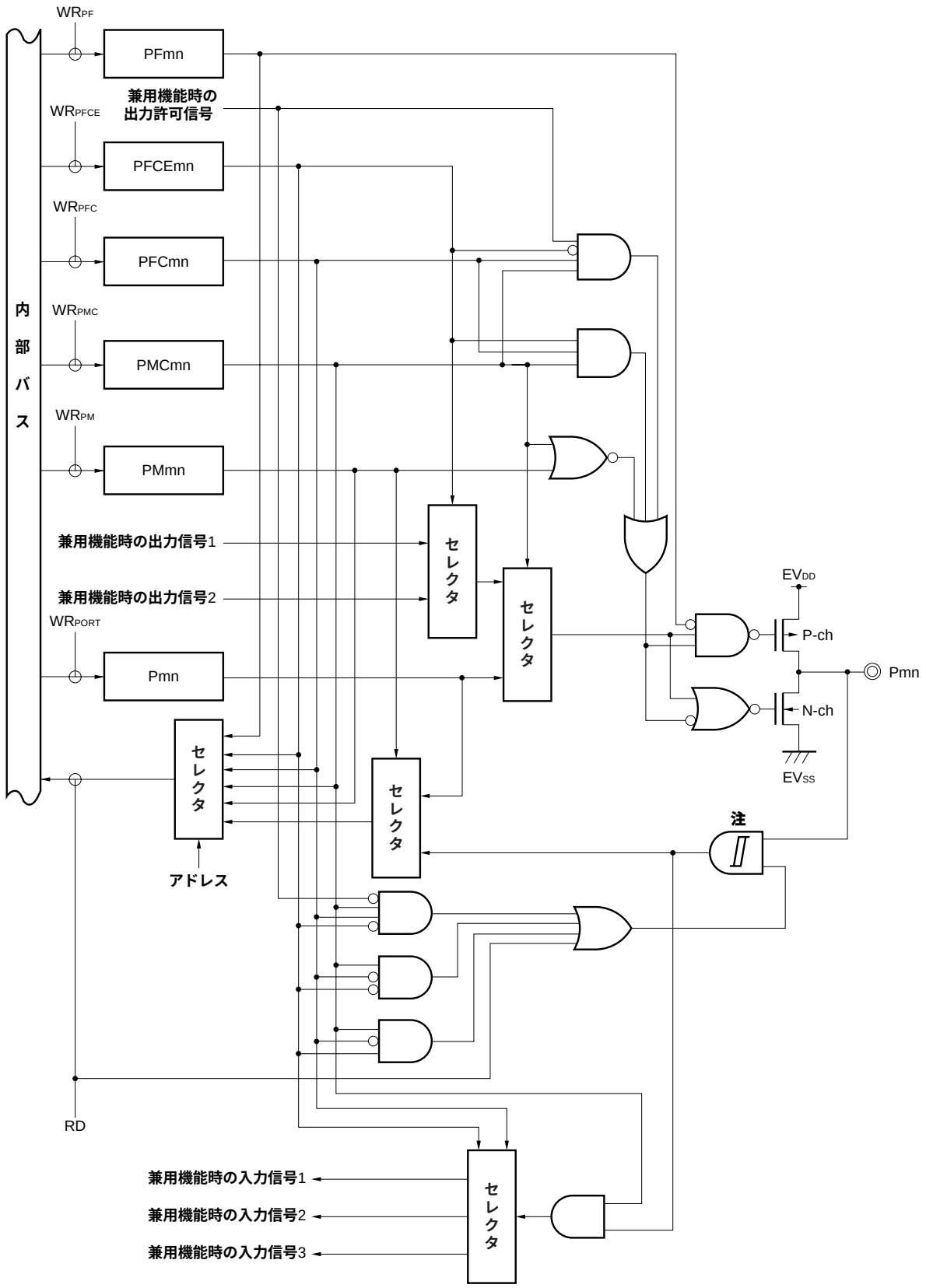
図4－19　タイプN－3のブロック図



注1.　22. 6　**外部割り込み要求入力端子**（NMI, INTP0-INTP7）**参照**

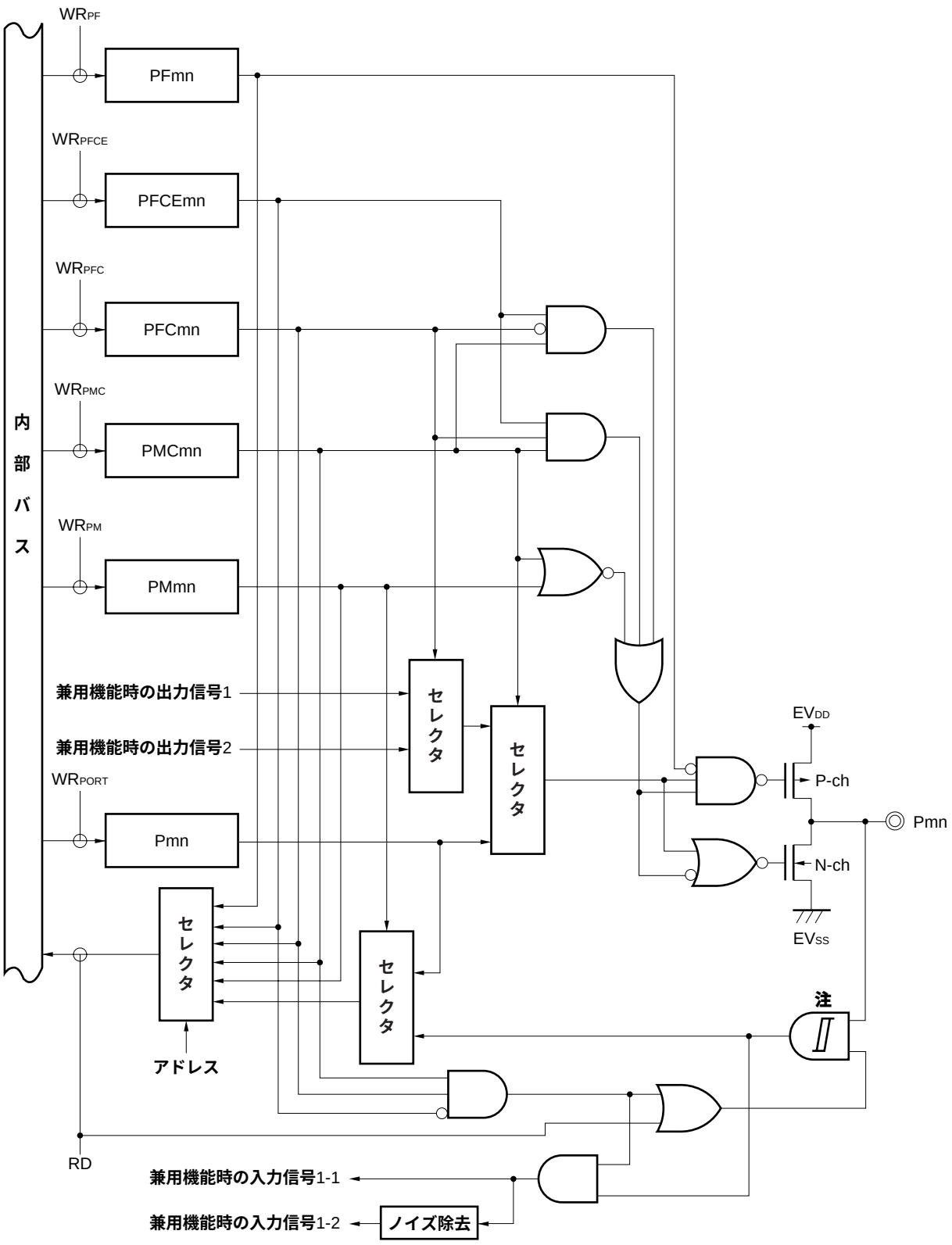
2.　**ポート・モード時はヒステリシス特性を持ちません。**

図4－20　タイプU－1のブロック図



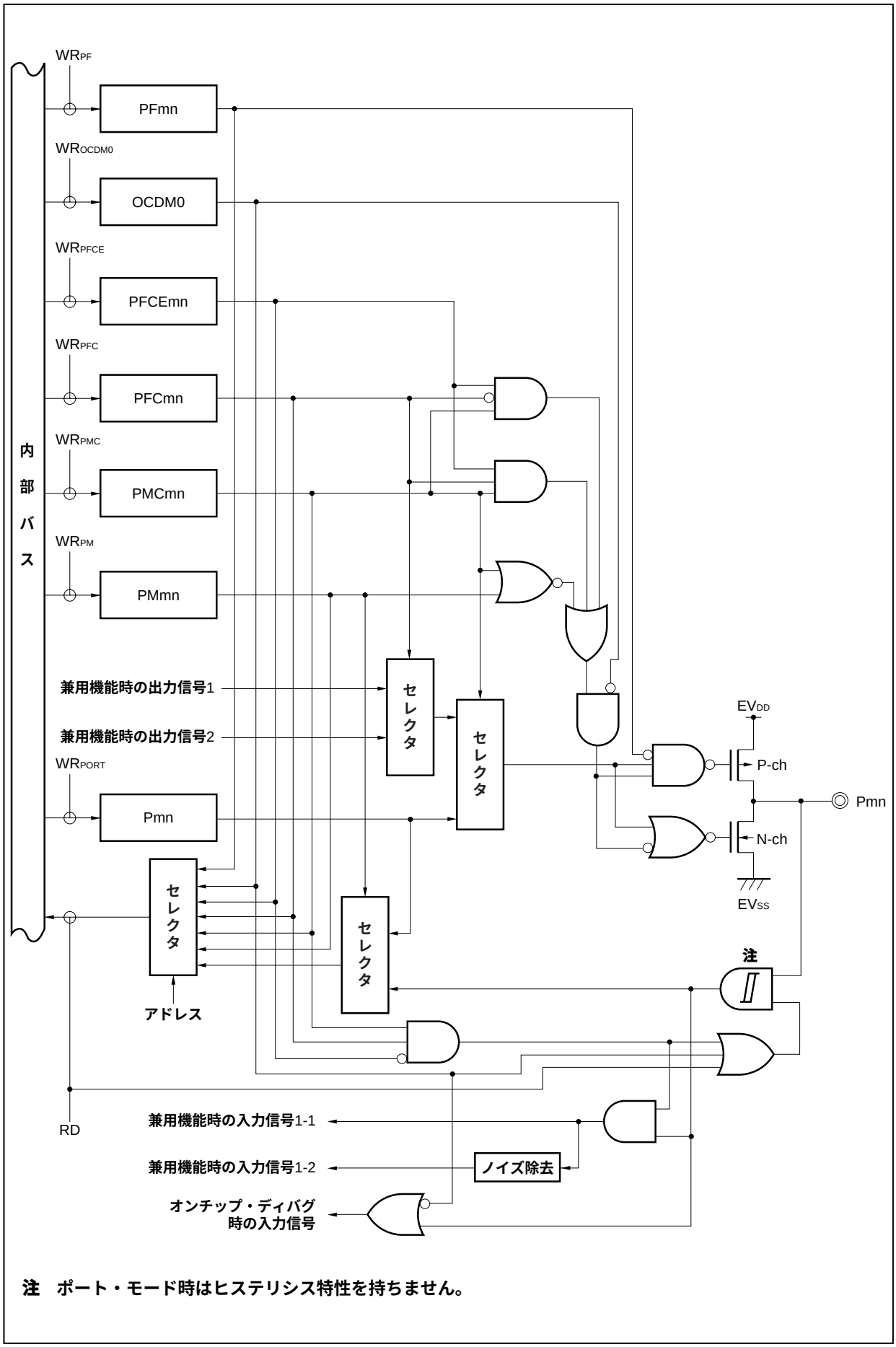
注　ポート・モード時はヒステリシス特性を持ちません。

図4－21　タイプU－5のブロック図



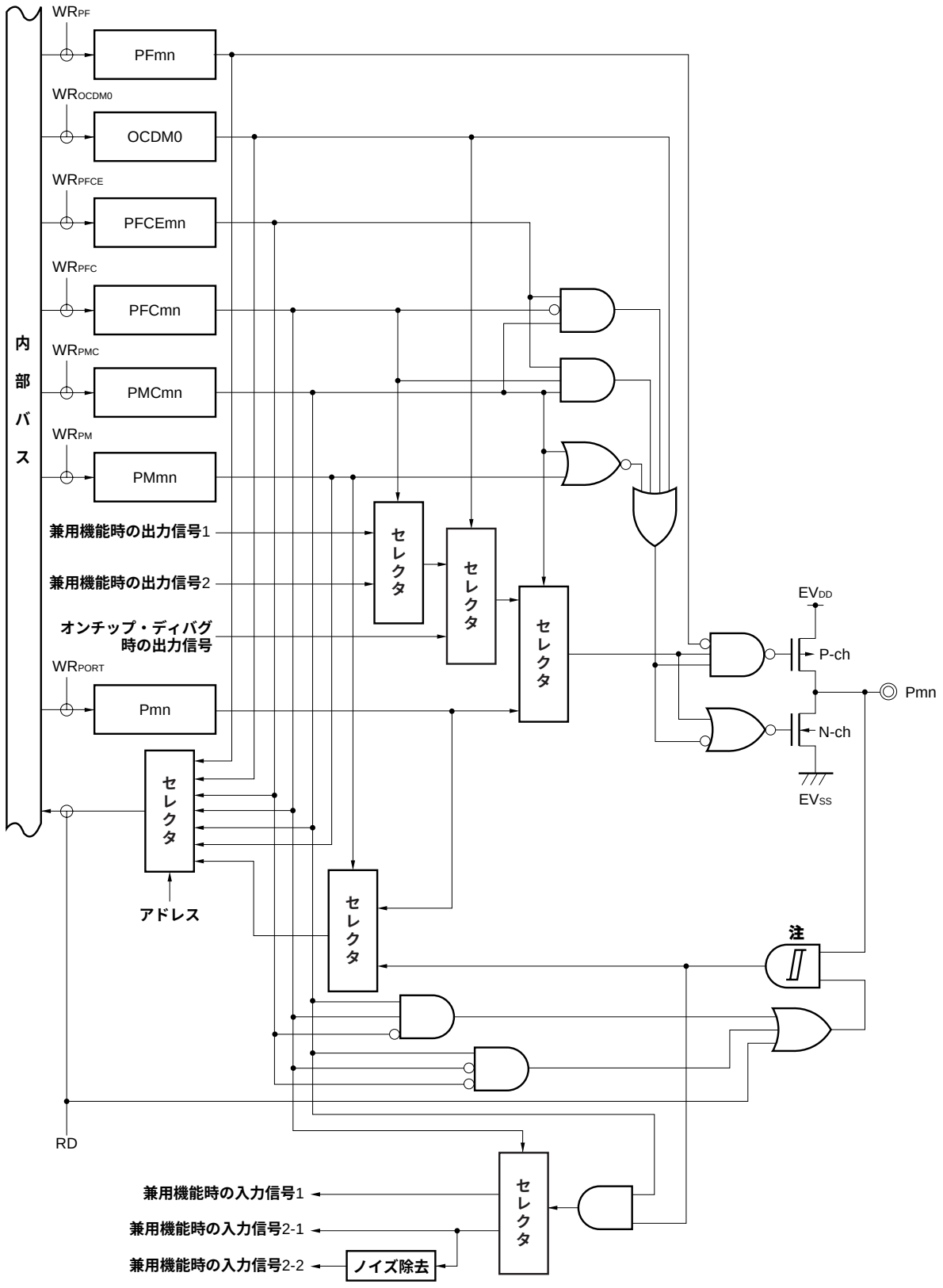
注　ポート・モード時はヒステリシス特性を持ちません。

図4－22　タイプU－6のブロック図



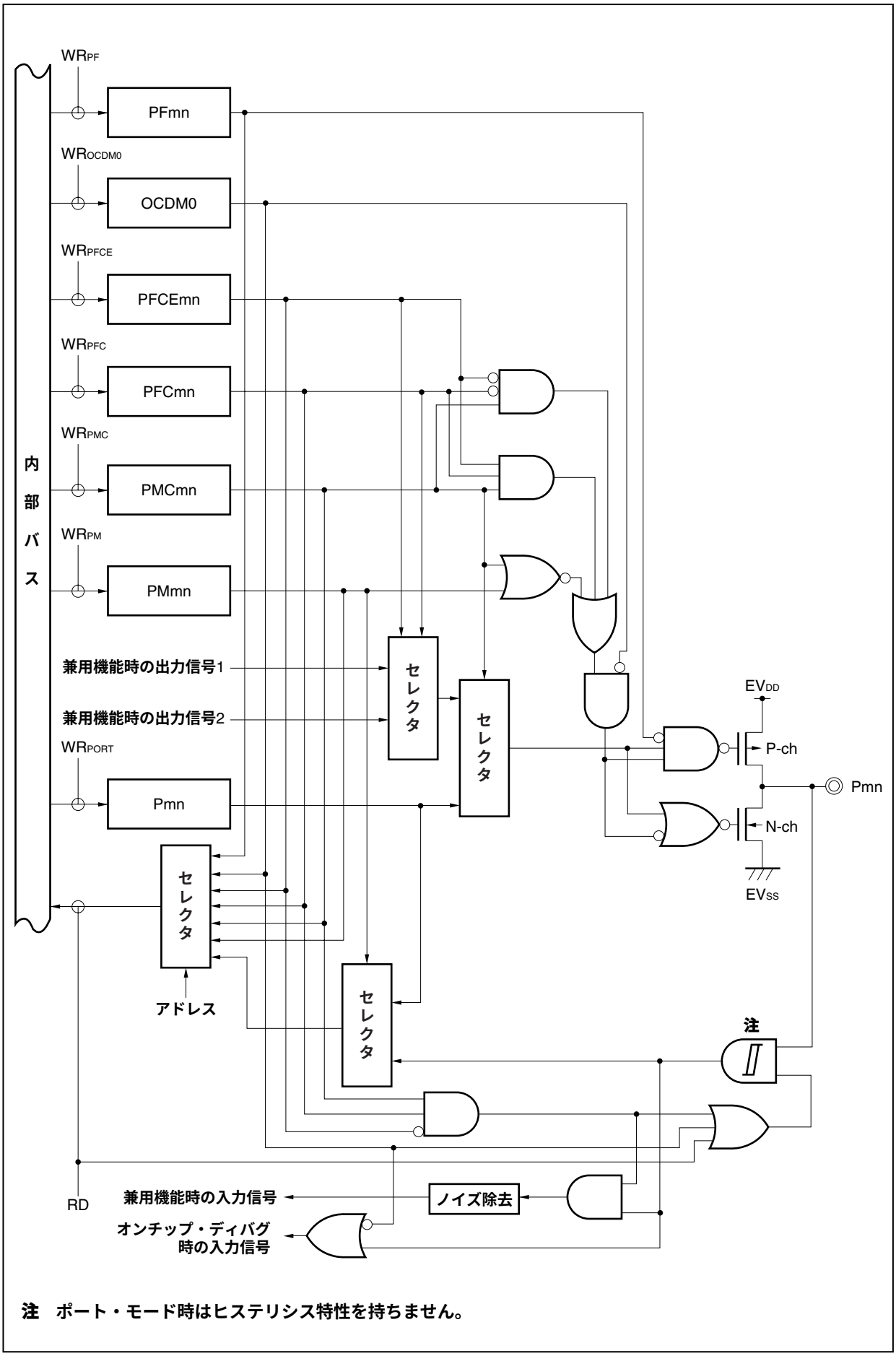
注　ポート・モード時はヒステリシス特性を持ちません。

図4－23　タイプU－7のブロック図



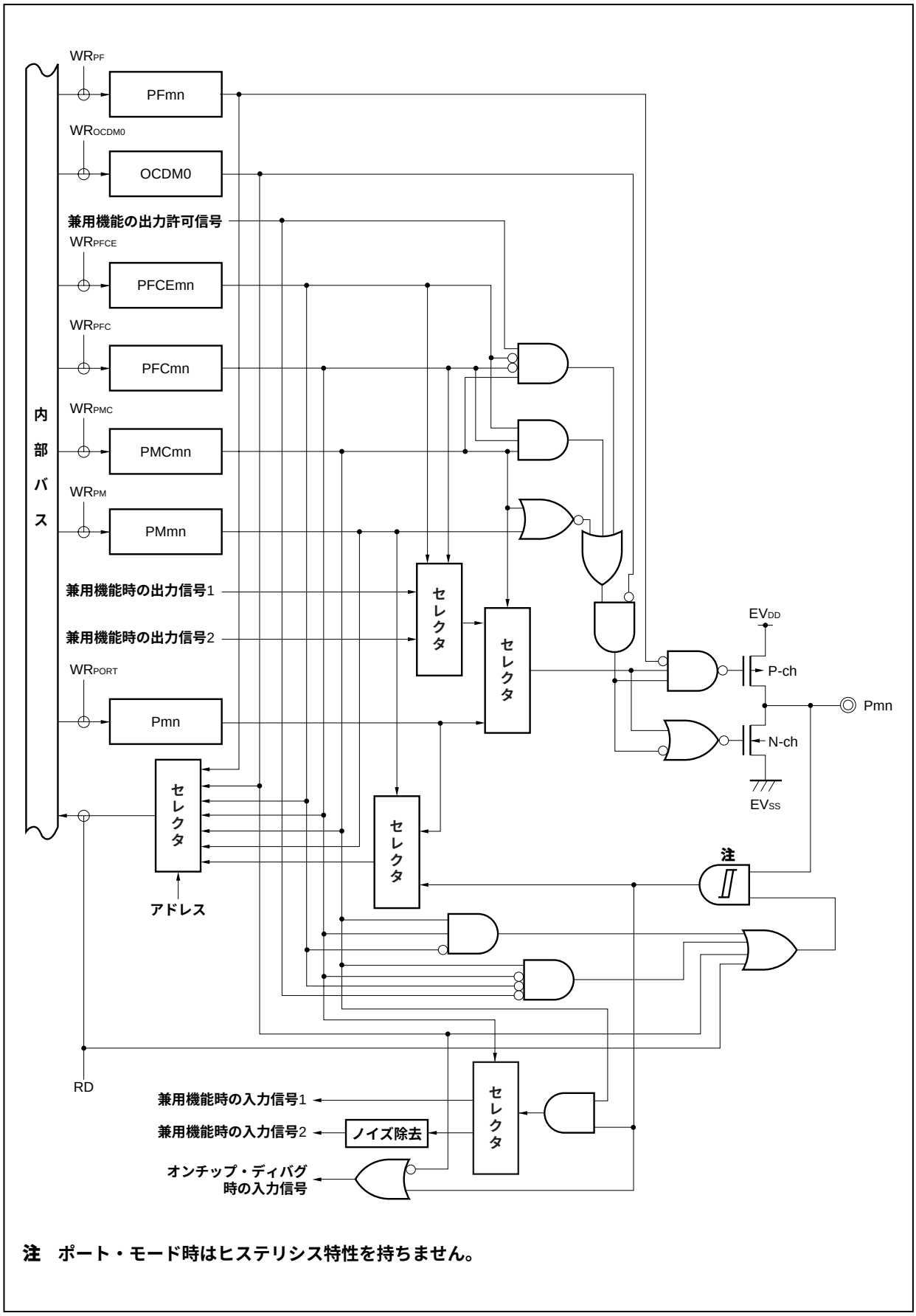
注　ポート・モード時はヒステリシス特性を持ちません。

図4－24　タイプU－8のブロック図



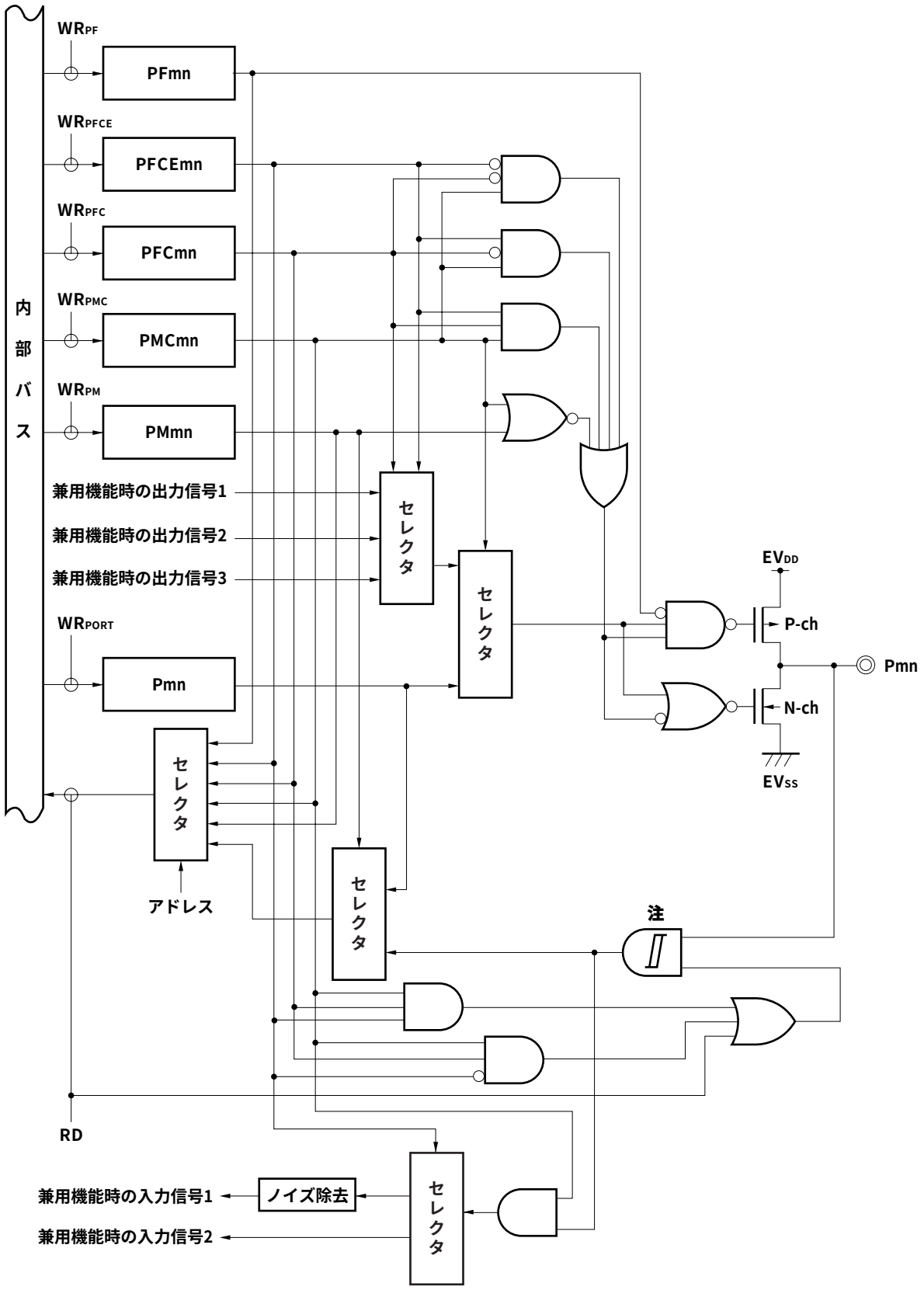
注　ポート・モード時はヒステリシス特性を持ちません。

図4－25　タイプU－9のブロック図



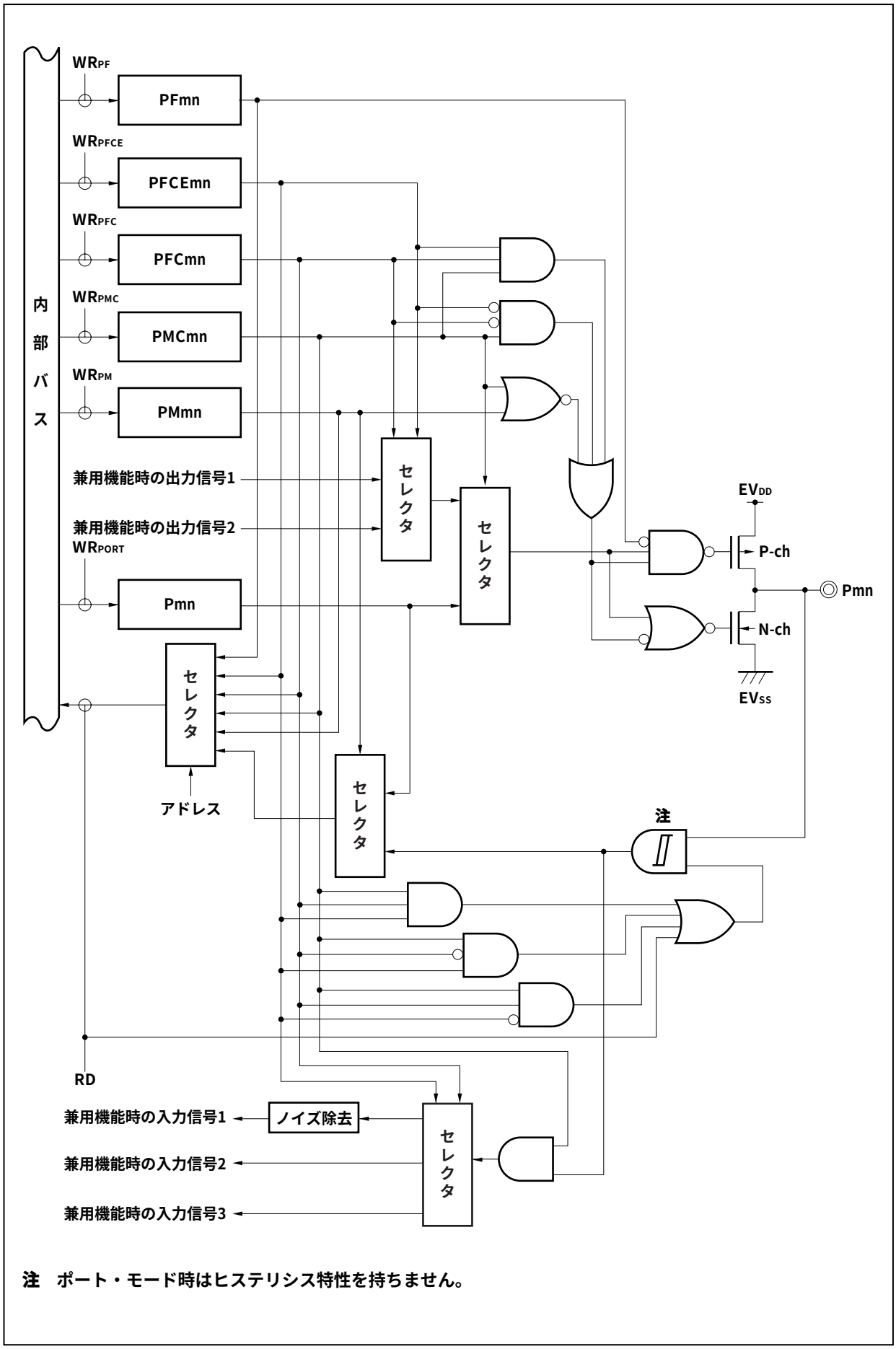
注　ポート・モード時はヒステリシス特性を持ちません。

図4－26　タイプU－10のブロック図



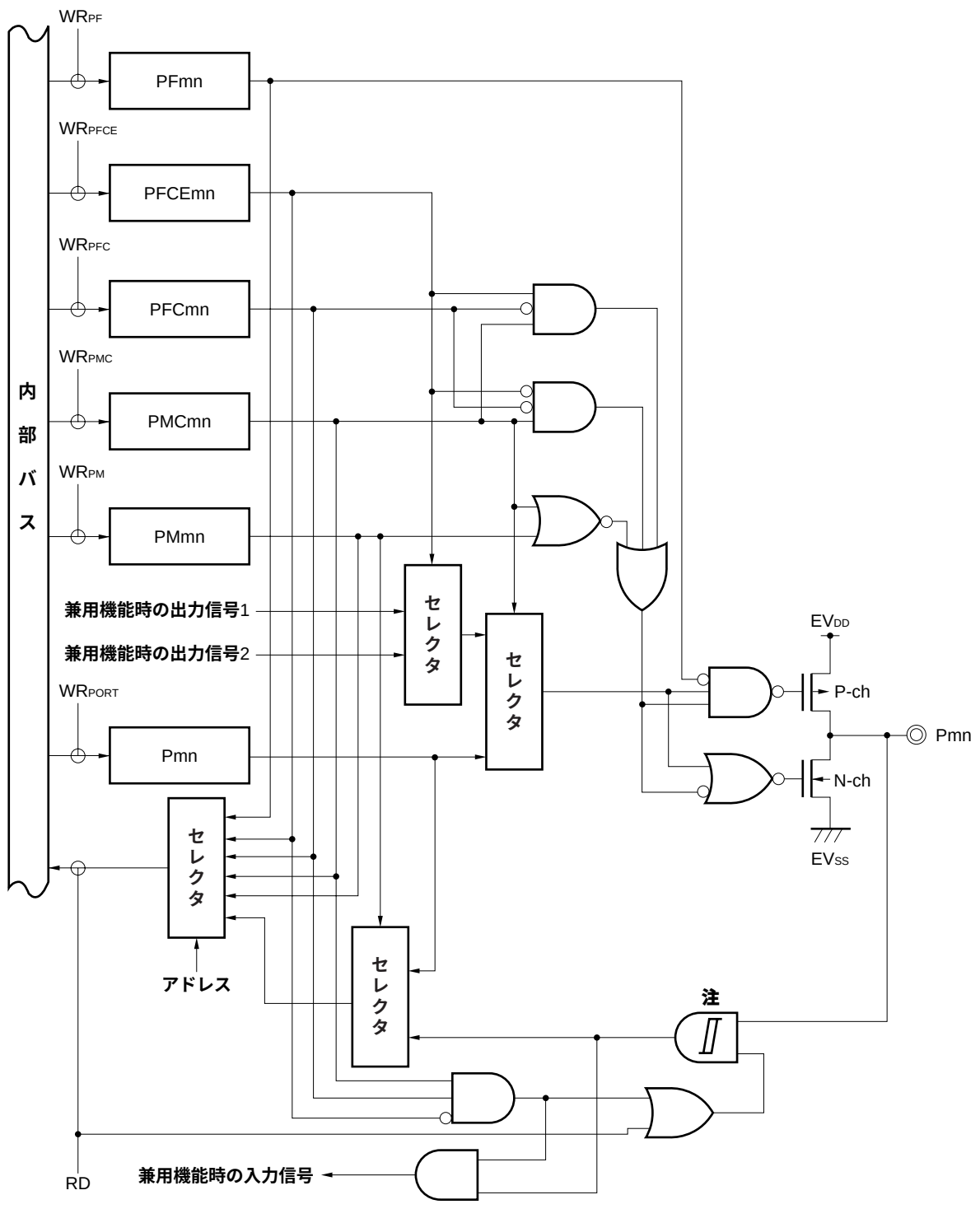
注　ポート・モード時はヒステリシス特性を持ちません。

図4－27　タイプU－11のブロック図



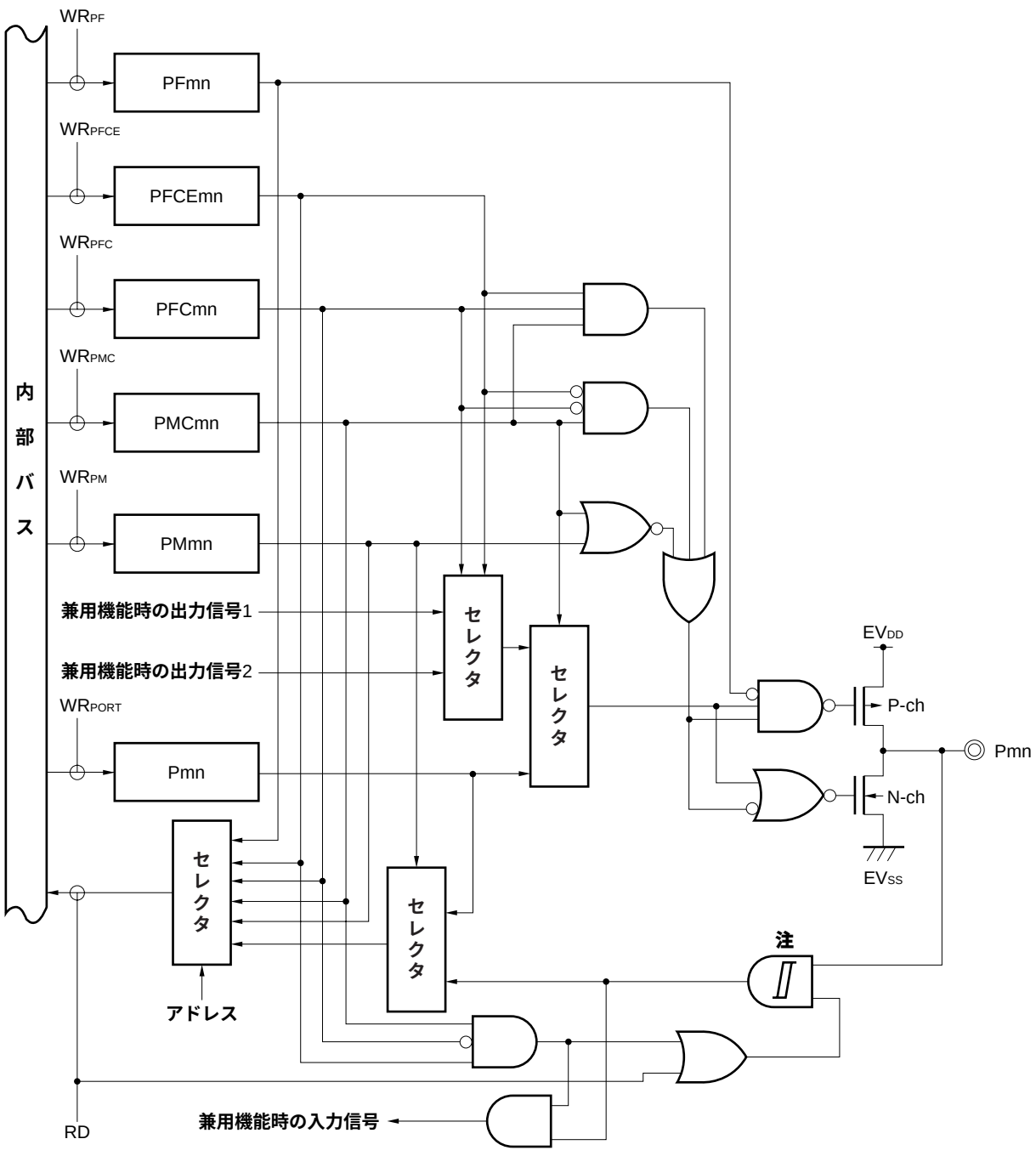
注　ポート・モード時はヒステリシス特性を持ちません。

図4－28　タイプU－12のブロック図



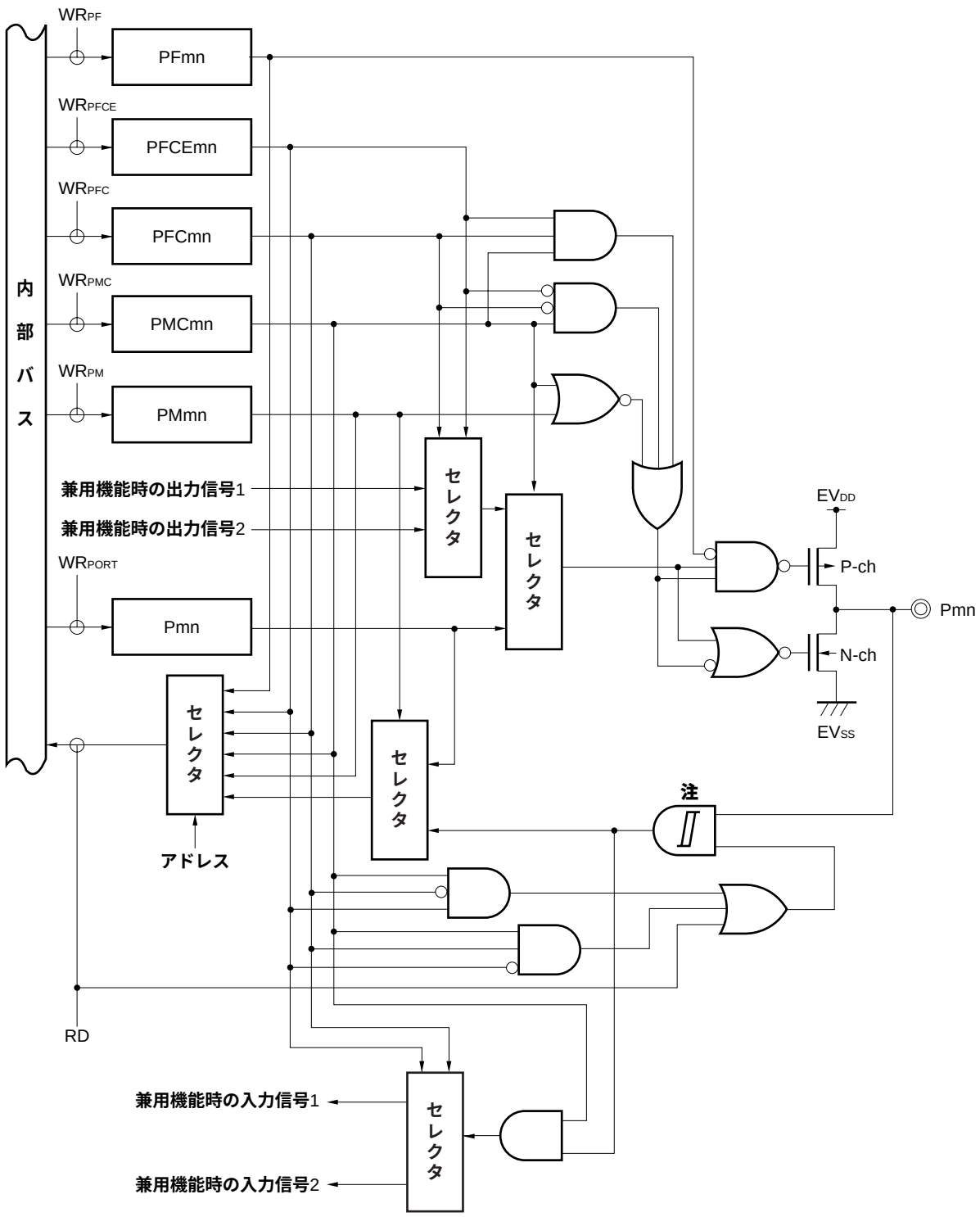
注　ポート・モード時はヒステリシス特性を持ちません。

図4－29　タイプU－13のブロック図



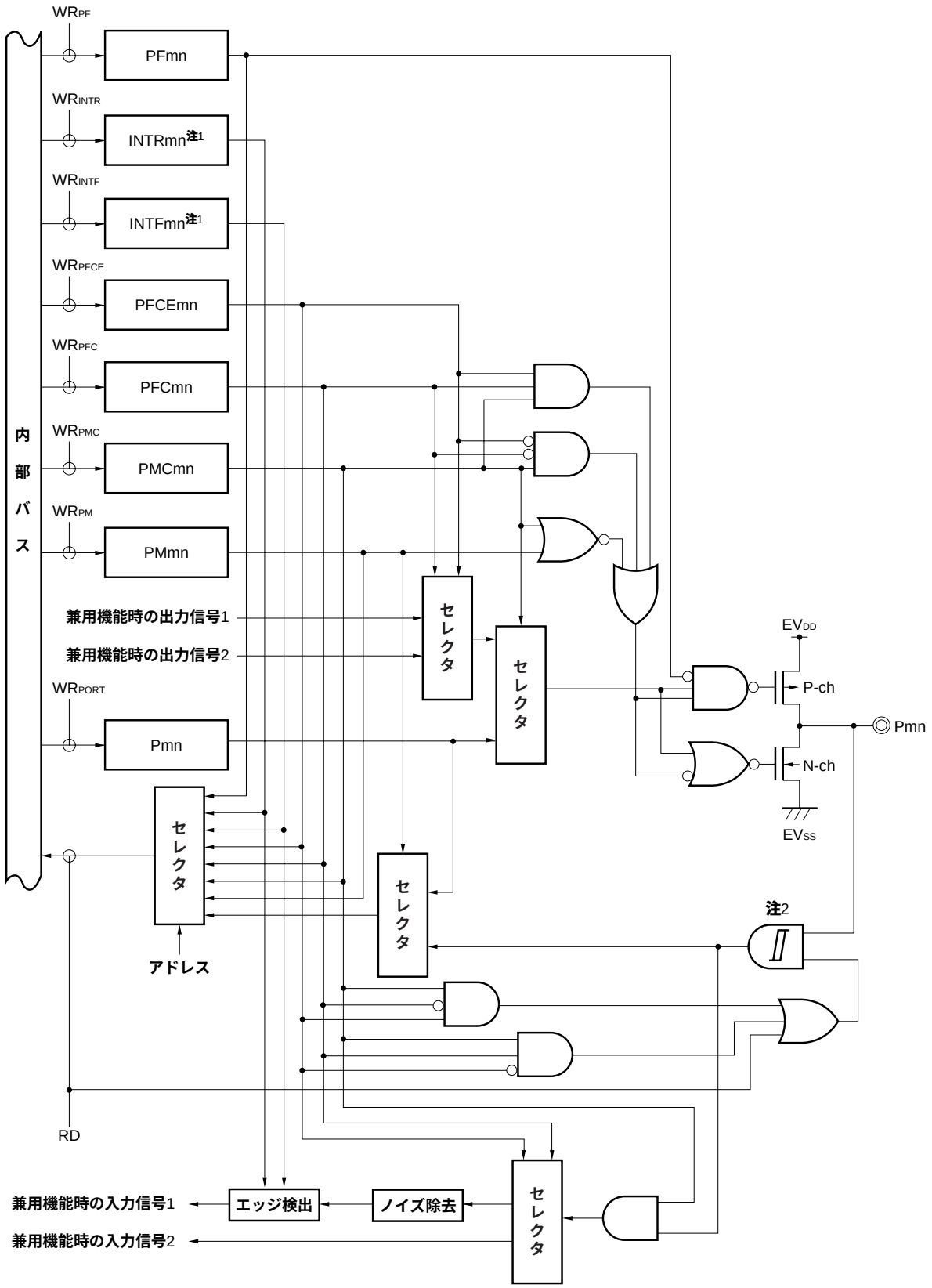
注　ポート・モード時はヒステリシス特性を持ちません。

図4－30　タイプU－14のブロック図



注　ポート・モード時はヒステリシス特性を持ちません。

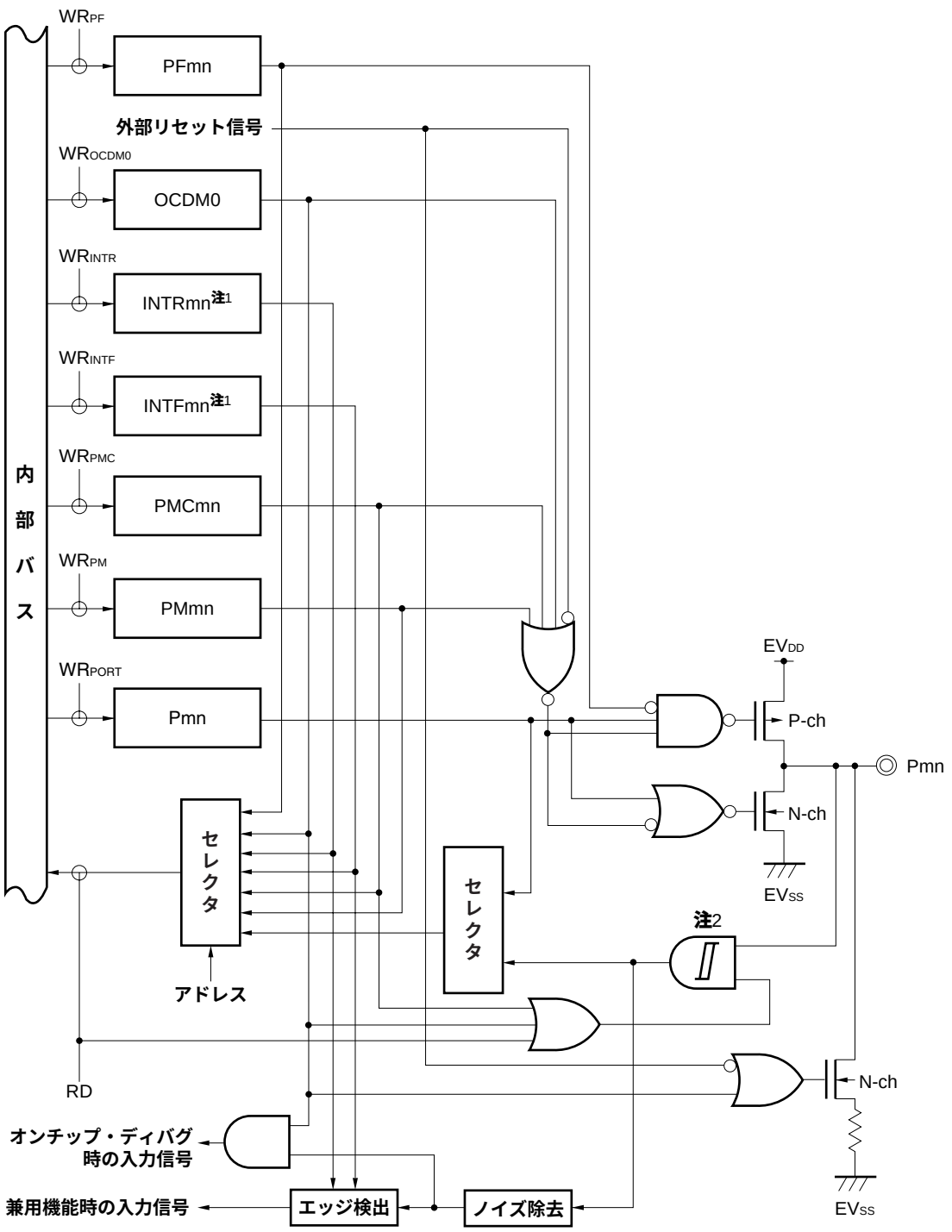
図4－31　タイプU－15のブロック図



注1.　22. 6　**外部割り込み要求入力端子（**NMI, INTP0-INTP7**）参照**

2.　**ポート・モード時はヒステリシス特性を持ちません。**

図4－32　タイプAA－1のブロック図



注1.　22. 6　外部割り込み要求入力端子（NMI, INTP0-INTP7）参照

2.　ポート・モード時はヒステリシス特性を持ちません。

4 .5　兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4－15に示します。

兼用端子として使用する場合は各機能を参照してください。

表4－15　ポート端子を兼用端子として使用する場合（1/7）

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCEnレジスタの	PFCnレジスタの	その他のビット
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCEnxビット	PFCnxビット	（レジスタ）
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	－	－	
P03	INTP0	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	－	PFC03 = 0	
	ADTRG	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	－	PFC03 = 1	
P04	INTP1	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	－	－	
P05	INTP2	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	－	－	
	$\overline{\text{DRST}}$注1	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 設定不要	－	－	OCDM0（OCDM）= 1
P06	INTP3	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	－	－	
P10	ANO0	出力	P10 = 設定不要	PM10 = 1	－	－	－	
P11	ANO1	出力	P11 = 設定不要	PM11 = 1	－	－	－	
P30	TXDA0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	－	PFC30 = 0	
	SOB4	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	－	PFC30 = 1	
P31	RXDA0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	－	注2, PFC31 = 0	
	INTP7	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	－	注2, PFC31 = 0	
	SIB4	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	－	PFC31 = 1	
P32	ASCKA0	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 0	
	$\overline{\text{SCKB4}}$	入出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 1	
	TIP00	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 0	
	TOP00	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 1	
P33	TIP01	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	－	PFC33 = 0	
	TOP01	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	－	PFC33 = 1	

注1.　フラッシュ・メモリ内蔵品のみ

2.　INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定）。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください（UA0CTL0.UA0RXEビット = 0）。

注意　P10, P11端子を，1本を入出力ポート，1本をD/A出力端子（ANO0, ANO1）として使用する場合，D/A出力中は，ポートの入出力レベルが変化しないようにしてください。

表4－15　ポート端子を兼用端子として使用する場合（2/7）

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCEnレジスタの	PFCnレジスタの	その他のビット
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCEnxビット	PFCnxビット	（レジスタ）
P34	TIP10	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	－	PFC34 = 0	
	TOP10	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	－	PFC34 = 1	
P35	TIP11	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	－	PFC35 = 0	
	TOP11	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	－	PFC35 = 1	
P36	CTXD0[注1]	出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	－	PFC36 = 0	
	$\overline{\text{IETX0}}$[注2]	出力	P36 = 設定不要	PM36 = 設定不要	PMC36 = 1	－	PFC36 = 1	
P37	CRXD0[注1]	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	－	PFC37 = 0	
	$\overline{\text{IERX0}}$[注2]	入力	P37 = 設定不要	PM37 = 設定不要	PMC37 = 1	－	PFC37 = 1	
P38	TXDA2	出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	－	PFC38 = 0	
	SDA00	入出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	－	PFC38 = 1	
P39	RXDA2	入力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	－	PFC39 = 0	
	SCL00	入出力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	－	PFC39 = 1	
P40	SIB0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	－	PFC40 = 0	
	SDA01	入出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	－	PFC40 = 1	
P41	SOB0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	－	PFC41 = 0	
	SCL01	入出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	－	PFC41 = 1	
P42	$\overline{\text{SCKB0}}$	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	－	－	
P50	TIQ01	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	KRM0（KRM）= 0
	KR0	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	TQ0TIG2, TQ0TIG3（TQ0IOC1）= 0
	TOQ01	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 0	
	RTP00	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 1	

注1.　CANコントローラ内蔵品のみ

2.　IEBusコントローラ内蔵品のみ

表4－15　ポート端子を兼用端子として使用する場合（3/7）

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット（レジスタ）
	名称	入出力						
P51	TIQ02	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	KRM1（KRM）= 0
	KR1	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	TQ0TIG4, TQ0TIG5（TQ0IOC1）= 0
	TOQ02	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 0	
	RTP01	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 1	
P52	TIQ03	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	KRM2（KRM）= 0
	KR2	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	TQ0TIG6, TQ0TIG7（TQ0I0C1）= 0
	TOQ03	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 0	
	RTP02	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 1	
	DDI注	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 設定不要	PFCE52 = 設定不要	PFC52 = 設定不要	OCDM0（OCDM）= 1
P53	SIB2	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 0	
	TIQ00	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	KRM3（KRM）= 0
	KR3	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	TQ0TIG0, TQ0TIG1（TQ0IOC1）= 0, TQ0EES0, TQ0EES1（TQ0IOC2）= 0, TQ0ETS0, TQ0ETS1（TQ0IOC2）= 0
	TOQ00	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 0	
	RTP03	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 1	
	DDO注	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 設定不要	PFCE53 = 設定不要	PFC53 = 設定不要	OCDM0（OCDM）= 1
P54	SOB2	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 0	PFC54 = 0	
	KR4	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 0	PFC54 = 1	
	RTP04	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 1	PFC54 = 1	
	DCK注	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 設定不要	PFCE54 = 設定不要	PFC54 = 設定不要	OCDM0（OCDM）= 1
P55	$\overline{\text{SCKB2}}$	入出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 0	
	KR5	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 1	
	RTP05	出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 1	PFC55 = 1	
	DMS注	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 設定不要	PFCE55 = 設定不要	PFC55 = 設定不要	OCDM0（OCDM）= 1

注　フラッシュ・メモリ内蔵品のみ

表4－15　ポート端子を兼用端子として使用する場合（4/7）

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCEnレジスタの	PFCnレジスタの	その他のビット
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCEnxビット	PFCnxビット	（レジスタ）
P70	ANI0	入力	P70 = 設定不要	PM70 = 1	－	－	－	
P71	ANI1	入力	P71 = 設定不要	PM71 = 1	－	－	－	
P72	ANI2	入力	P72 = 設定不要	PM72 = 1	－	－	－	
P73	ANI3	入力	P73 = 設定不要	PM73 = 1	－	－	－	
P74	ANI4	入力	P74 = 設定不要	PM74 = 1	－	－	－	
P75	ANI5	入力	P75 = 設定不要	PM75 = 1	－	－	－	
P76	ANI6	入力	P76 = 設定不要	PM76 = 1	－	－	－	
P77	ANI7	入力	P77 = 設定不要	PM77 = 1	－	－	－	
P78	ANI8	入力	P78 = 設定不要	PM78 = 1	－	－	－	
P79	ANI9	入力	P79 = 設定不要	PM79 = 1	－	－	－	
P710	ANI10	入力	P710 = 設定不要	PM710 = 1	－	－	－	
P711	ANI11	入力	P711 = 設定不要	PM711 = 1	－	－	－	
P90	A0	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 0	注1
	KR6	入力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 1	
	TXDA1	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 0	
	SDA02	入出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 1	
P91	A1	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 0	注1
	KR7	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 1	
	RXDA1/KR7注2	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 0	
	SCL02	入出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 1	

注1.　A0-A15端子に設定する際は，一括してPMC9レジスタ = FFFFHに16ビット設定してください。

2.　RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は，KR7端子を使用しないでください。また，KR7端子を使用する場合は，RXDA1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。

表4－15　ポート端子を兼用端子として使用する場合（5/7）

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCEnレジスタの	PFCnレジスタの	その他のビット
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCEnxビット	PFCnxビット	（レジスタ）
P92	A2	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 0	注
	TIP41	入力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 1	
	TOP41	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 1	PFC92 = 0	
P93	A3	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 0	注
	TIP40	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 1	
	TOP40	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 1	PFC93 = 0	
P94	A4	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 0	注
	TIP31	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 1	
	TOP31	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 1	PFC94 = 0	
P95	A5	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 0	注
	TIP30	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 1	
	TOP30	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 1	PFC95 = 0	
P96	A6	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 0	PFC96 = 0	注
	TIP21	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 0	
	TOP21	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 1	
P97	A7	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 0	注
	SIB1	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 1	
	TIP20	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 0	
	TOP20	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 1	
P98	A8	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	－	PFC98 = 0	注
	SOB1	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	－	PFC98 = 1	
P99	A9	出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	－	PFC99 = 0	注
	$\overline{\text{SCKB1}}$	入出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	－	PFC99 = 1	

注　A0-A15端子に設定する際は，一括してPMC9レジスタ = FFFFHに16ビット設定してください。

表4－15　ポート端子を兼用端子として使用する場合（6/7）

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCEnレジスタの	PFCnレジスタの	その他のビット
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCEnxビット	PFCnxビット	（レジスタ）
P910	A10	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	－	PFC910 = 0	注
	SIB3	入力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	－	PFC910 = 1	
P911	A11	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	－	PFC911 = 0	注
	SOB3	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	－	PFC911 = 1	
P912	A12	出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	－	PFC912 = 0	注
	$\overline{\text{SCKB3}}$	入出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	－	PFC912 = 1	
P913	A13	出力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	－	PFC913 = 0	注
	INTP4	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	－	PFC913 = 1	
P914	A14	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 0	注
	INTP5	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 1	
	TIP51	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 0	
	TOP51	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 1	
P915	A15	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 0	注
	INTP6	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 1	
	TIP50	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 0	
	TOP50	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 1	
PCM0	$\overline{\text{WAIT}}$	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	－	－	
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	－	－	
PCM2	$\overline{\text{HLDAK}}$	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	－	－	
PCM3	$\overline{\text{HLDRQ}}$	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	－	－	
PCT0	$\overline{\text{WR0}}$	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCT0 = 1	－	－	
PCT1	$\overline{\text{WR1}}$	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCT1 = 1	－	－	
PCT4	$\overline{\text{RD}}$	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCT4 = 1	－	－	
PCT6	ASTB	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCCT6 = 1	－	－	

注　A0-A15端子に設定する際は，一括してPMC9レジスタ = FFFFHに16ビット設定してください。

表4－15　ポート端子を兼用端子として使用する場合（7/7）

端子名称	兼用端子		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCEnレジスタの	PFCnレジスタの	その他のビット
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCEnxビット	PFCnxビット	（レジスタ）
PDH0	A16	出力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	－	－	
PDH1	A17	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	－	－	
PDH2	A18	出力	PDH2 = 設定不要	PMDH2 = 設定不要	PMCDH2 = 1	－	－	
PDH3	A19	出力	PDH3 = 設定不要	PMDH3 = 設定不要	PMCDH3 = 1	－	－	
PDH4	A20	出力	PDH4 = 設定不要	PMDH4 = 設定不要	PMCDH4 = 1	－	－	
PDH5	A21	出力	PDH5 = 設定不要	PMDH5 = 設定不要	PMCDH5 = 1	－	－	
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	－	－	
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	－	－	
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	－	－	
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	－	－	
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	－	－	
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	－	－	
	FLMD1[注]	入力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 設定不要	－	－	
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	－	－	
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	－	－	
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	－	－	
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	－	－	
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	－	－	
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	－	－	
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	－	－	
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	－	－	
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	－	－	
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	－	－	

注　フラッシュ・メモリ・プログラミング・モード時に設定する端子なので，ポート制御用レジスタで操作する必要はありません。詳細は第29章　フラッシュ・メモリを参照してください。

4.6　注意事項

4.6.1　ポート端子設定上の注意事項

(1) V850ES/SG2では，1本の端子に汎用ポートと複数の周辺機能の入出力端子が兼用されています。汎用ポート（ポート・モード）と，周辺機能の入出力端子（兼用機能モード）との切り替えは，PMCnレジスタで設定します。このレジスタの設定順序に関して，次の点に注意してください。

(a) ポート・モードから兼用機能モードへ切り替える場合の注意事項

ポート・モードから兼用機能モードへ切り替える場合は，次の順序で行ってください。

① PFnレジスタを設定[注]　：N-chオープン・ドレーン設定
② PFCn, PFCEnレジスタを設定　：兼用端子機能選択
③ PMCnレジスタの該当ビットに1を設定　：兼用機能モードへ切り替え

PMCnレジスタを先に設定すると，その瞬間，またそのあとのPFn, PFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては，意図しない動作に陥る可能性があるので注意してください。
【例】に具体例を示します。

注　N-chオープン・ドレーン出力端子のみ

注意　ポート・モード／兼用機能モードに関係なく，Pnレジスタのリード／ライトは次のようになります。
・Pnレジスタのリード　：ポート出力ラッチの値（PMn.PMnmビット = 0時），または端子状態（PMn.PMnmビット = 1時）の読み出し
・Pnレジスタへのライト：ポート出力ラッチへの書き込み

【例】SCL01端子の設定例

SCL01端子は，P41/SOB0と兼用されています。有効な端子機能を，PMC4, PFC4, PF4レジスタによって次のように選択します。

PMC41ビット	PFC41ビット	PF41ビット	有効な端子機能
0	don't care	1	P41（出力ポート・モードの場合，N-chオープン・ドレーン出力）
1	0	1	SOB0出力（N-chオープン・ドレーン出力）
	1	1	SCL01入出力（N-chオープン・ドレーン出力）

次に，P41端子からSCL01端子への切り替え時に，問題が発生する可能性がある設定順序を示します。

設定順	設定内容	端子状態	端子レベル
①	初期値 （PMC41ビット = 0, PFC41ビット = 0, PF41ビット = 0）	ポート・モード （入力）	Hi-Z
②	PMC41ビット←1	SOB0出力	ロウ・レベル（CSIB0の設定によってはハイ・レベル）
③	PFC41ビット←1	SCL01入出力	ハイ・レベル（CMOS出力）
④	PF41ビット←1	SCL01入出力	Hi-Z（N-chオープン・ドレーン出力）

②で，兼用されているSOB0出力が端子に出力されるため，I^2C通信に影響を与える可能性があります。また，②，③のCMOS出力の期間に，不要な電流が発生する可能性があります。

(b) 兼用機能モード（入力）に関する注意事項

兼用機能ブロックへの入力信号は，PMCnレジスタの設定値と端子レベルのAND出力のため，PMCn.PMCnmビット = 0のときはロウ・レベルとなります。そのため，ポート設定と兼用機能動作許可のタイミングによっては，意図しない動作に陥る可能性があります。したがって，PMCnレジスタによるポート・モードと兼用機能モードの切り替えは，次に示す順序で実行してください。

・ポート・モードから兼用機能モード（入力）へ切り替える場合
　PMCnレジスタで端子を兼用機能モードにしてから，兼用機能の動作を許可してください。
・兼用機能モード（入力）からポート・モードへ切り替える場合
　兼用機能の動作を停止してから，端子をポート・モードへ切り替えてください。

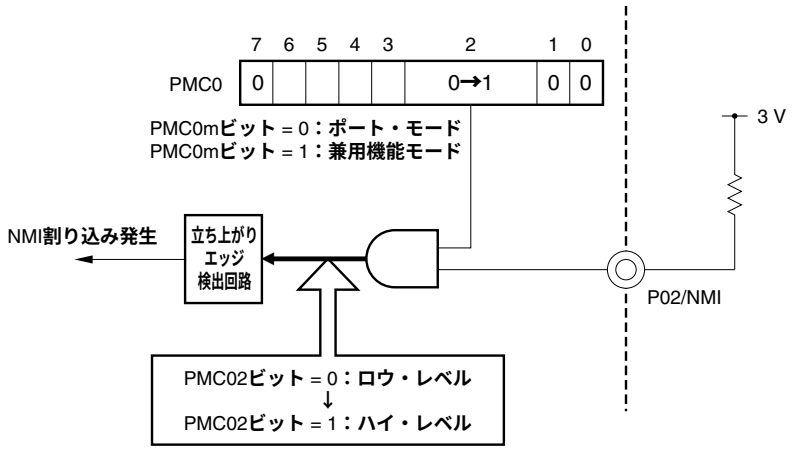
【例1】，【例2】に具体例を示します。

【例1】汎用ポート（P02）から外部割り込み端子（NMI）への切り替え

P02/NMI端子が図4－33のようにプルアップされており，かつNMI端子のエッジ検出設定で立ち上がりエッジを指定している場合に，P02端子からNMI端子へ切り替えたとき（PMC02ビット = 0→1），NMI端子にはハイ・レベルが入力され続けているにもかかわらず,ロウ・レベル→ハイ・レベルと変化したかのように立ち上がりエッジとして検出し，NMI割り込みが発生します。

対策として，P02端子からNMI端子へ切り替えてから，NMI端子の有効エッジを設定してください。

図4－33　P02からNMIへの切り替え（悪い例）

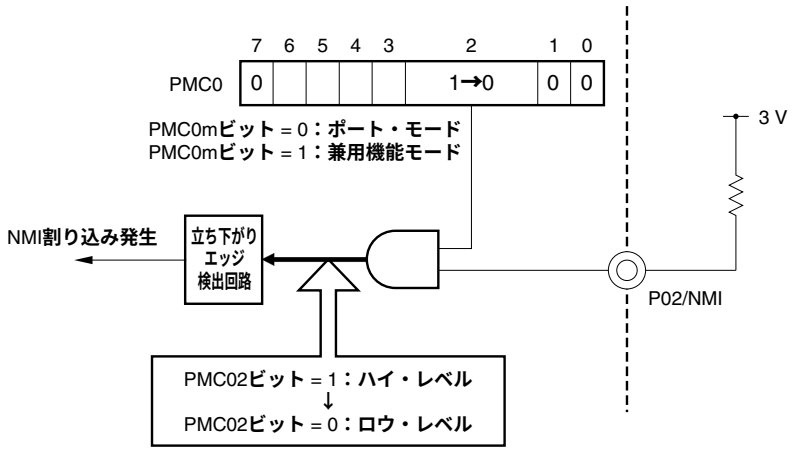


備考　m = 2-6

【例2】外部割り込み端子（NMI）から，汎用ポート（P02）への切り替え

P02/NMI端子が図4－34のようにプルアップされており，かつNMI端子のエッジ検出設定で立ち下がりエッジを指定している場合に，NMI端子からP02端子へ切り替えたとき（PMC02ビット = 1→0），NMI端子にはハイ・レベルが入力され続けているにもかかわらず，ハイ・レベル→ロウ・レベルと変化したかのように立ち下がりエッジとして検出し，NMI割り込みが発生します。対策として，NMI端子のエッジ検出設定を“エッジ検出しない”にしてから，NMI端子からP02端子へ切り替えてください。

図4－34　NMIからP02への切り替え（悪い例）



備考　m = 2-6

（2）ポート・モードにおいてPFn.PFnmビットは，出力モード（PMn.PMnmビット = 0）時のみ有効となります。入力モード（PMnmビット = 1）のとき，PFnmビットの値はバッファに反映されません。

4. 6. 2　ポートnレジスタ（Pn）に対するビット操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞ P90端子は出力ポート，P91-P97端子は入力ポート（端子状態はすべてハイ・レベル）で，かつポート・ラッチの値が“00H”のとき，P90端子の出力をビット操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート・ラッチの値は，“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み／読み出しの対象は，それぞれ出力ラッチ／端子状態です。

また，ビット操作命令はV850ES/SG2内部で，次の順序で行われます。

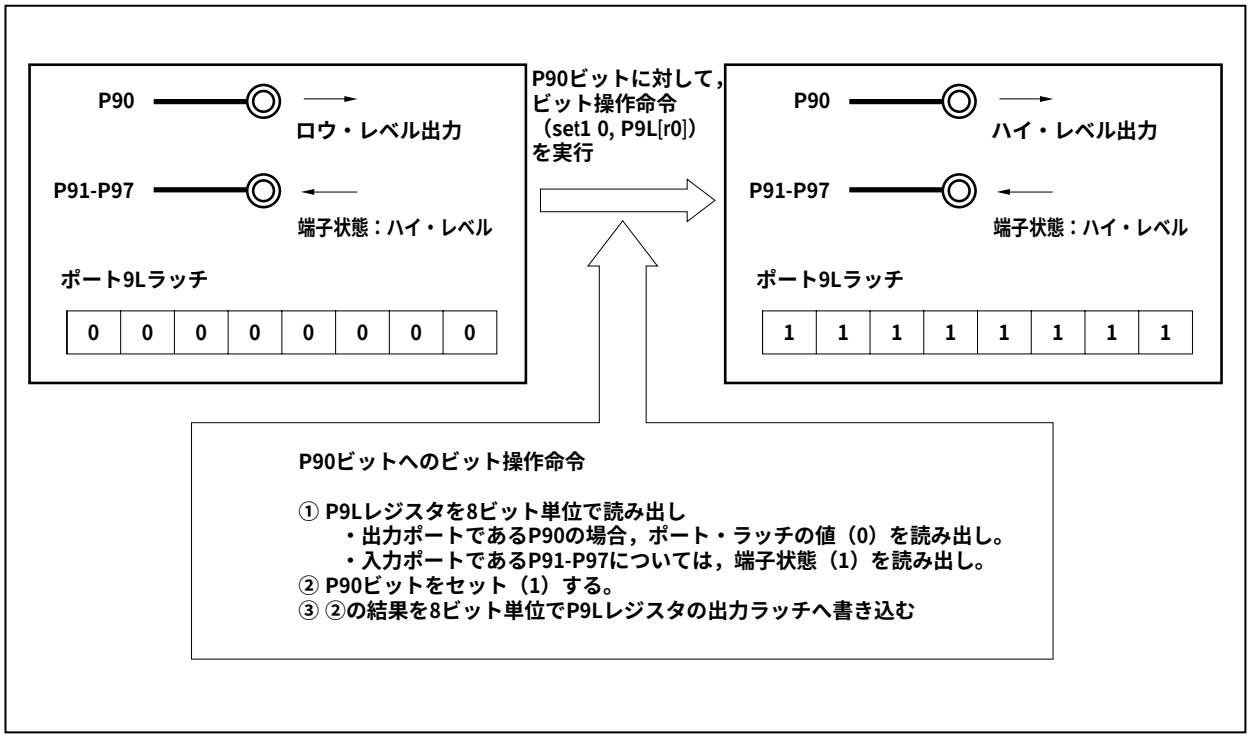
<1> Pnレジスタを8ビット単位で読み出し
<2> 対象の1ビットを操作
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP90端子は出力ラッチの値（0）を読み出しますが，入力ポートであるP91-P97端子は端子状態を読み出します。このときP91-P97端子の端子状態が“ハイ・レベル”とすると，読み出し値は“FEH”となります。

<2> の操作で，値は“FFH”となります。

<3> の操作で，出力ラッチに“FFH”が書き込まれます。

図4－35　ビット操作命令（P90端子の場合）



4.6.3　オンチップ・ディバグ用端子に関する注意事項

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子はオンチップ・ディバグ用の端子です（フラッシュ・メモリ内蔵品のみ）。

$\overline{\text{RESET}}$端子によるリセット後，P05/INTP2/$\overline{\text{DRST}}$端子はオンチップ・ディバグ用端子（$\overline{\text{DRST}}$）に初期化されます。このとき$\overline{\text{DRST}}$端子にハイ・レベルを入力すると，オンチップ・ディバグ・モードになり，DCK, DMS, DDI, DDO端子が使用可能になります。

オンチップ・ディバグを使用しない場合は，次の処置が必要です。

- OCDMレジスタ（特定レジスタ）のOCDM0ビットをクリア（0）

このとき，$\overline{\text{RESET}}$端子によるリセット解除時から，上記の処理を終えるまで，P05/INTP2/$\overline{\text{DRST}}$端子をロウ・レベル固定にしてください。

上記処置を行う前に$\overline{\text{DRST}}$端子にハイ・レベルを入力すると，誤動作（CPUデッド・ロック）の原因となるため，P05端子の取り扱いには十分注意してください。

注意　WDT2RES信号，クロック・モニタ（CLM）によるリセット時は，P05/INTP2/$\overline{\text{DRST}}$端子はオンチップ・ディバグ用端子（$\overline{\text{DRST}}$）に初期化されません。また，OCDMレジスタも値を保持します。

4.6.4　P05/INTP2/$\overline{\text{DRST}}$端子に関する注意事項

P05/INTP2/$\overline{\text{DRST}}$端子はプルダウン抵抗（30 kΩ（TYP.））を内蔵しています。$\overline{\text{RESET}}$端子によるリセット後は，プルダウン抵抗が接続されています。OCDM0ビットをクリア（0）することにより，プルダウン抵抗は切断されます。

4.6.5　P10, P11, P53端子に関する電源投入時の注意事項

次に示す端子は，電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- P10/ANO0端子
- P11/ANO1端子
- P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO[注]端子

注　DDO端子はフラッシュ・メモリ内蔵品のみ

4.6.6　ヒステリシス特性について

ポート・モードでは，次のポートはヒステリシス特性をもちません。

P02-P06
P31-P35, P37-P39
P40-P42
P50-P55
P90-P97, P99, P910, P912-P915

第5章　バス制御機能

V850ES/SG2は，外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

5. 1　特　　徴

○最小で3バス・サイクルのマルチプレクス・バスと，最小で2バス・サイクルのセパレート・バス出力選択可能

○8ビット/16ビット・データ・バス切り替え可能

○ウエイト機能

・最大で7ステートのプログラマブル・ウエイト機能

・$\overline{\text{WAIT}}$端子による外部ウエイト機能

○アイドル・ステート機能

○バス・ホールド機能

○最大4 Mバイト物理メモリを接続可能（うち，1 Mバイトは内蔵ROM空間）

○$BV_{DD} \leqq EV_{DD} = V_{DD}$とすることで，バスを動作電圧と異なった電圧で制御可能。ただし，セパレート・バス・モード時や，A20, A21端子を使用する場合は，$BV_{DD} = EV_{DD} = V_{DD}$としてください。

5. 2　バス制御端子

外部デバイスの接続には，次の端子を使用します。

表5－1　バス制御端子一覧（マルチプレクス・バス選択時）

バス制御端子	兼用端子	入出力	機　　能
AD0-AD15	PDL0-PDL15	入出力	アドレス／データ・バス
A16-A21	PDH0-PDH5	出力	アドレス・バス
$\overline{\text{WAIT}}$	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
$\overline{\text{WR0}}$, $\overline{\text{WR1}}$	PCT0, PCT1	出力	ライト・ストローブ信号
$\overline{\text{RD}}$	PCT4	出力	リード・ストローブ信号
ASTB	PCT6	出力	アドレス・ストローブ信号
$\overline{\text{HLDRQ}}$	PCM3	入力	バス・ホールド制御
$\overline{\text{HLDAK}}$	PCM2	出力	

表5－2　バス制御端子一覧（セパレート・バス選択時）

バス制御端子	兼用端子	入出力	機　　能
AD0-AD15	PDL0-PDL15	入出力	データ・バス
A0-A15	P90-P915	出力	アドレス・バス
A16-A21	PDH0-PDH5	出力	アドレス・バス
$\overline{\text{WAIT}}$	PCM0	入力	外部ウエイト制御
CLKOUT	PCM1	出力	内部システム・クロック
$\overline{\text{WR0}}$, $\overline{\text{WR1}}$	PCT0, PCT1	出力	ライト・ストローブ信号
$\overline{\text{RD}}$	PCT4	出力	リード・ストローブ信号
$\overline{\text{HLDRQ}}$	PCM3	入力	バス・ホールド制御
$\overline{\text{HLDAK}}$	PCM2	出力	

5. 2. 1　内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態

内蔵ROM，内蔵RAM，内蔵周辺I/Oへアクセスした場合，各端子状態は次のようになります。

表5－3　内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態一覧

セパレート・バス・モード		マルチプレクス・バス・モード	
アドレス・バス（A21-A0）	不定	アドレス・バス（A21-A16）	不定
データ・バス（AD15-AD0）	Hi-Z	アドレス／データ・バス（AD15-AD0）	不定
制御信号	インアクティブ	制御信号	インアクティブ

注意　内蔵ROM領域へライト・アクセスしたときには，外部メモリ領域へのアクセスと同じく，アドレス，データ，制御信号ともに活性化されます。

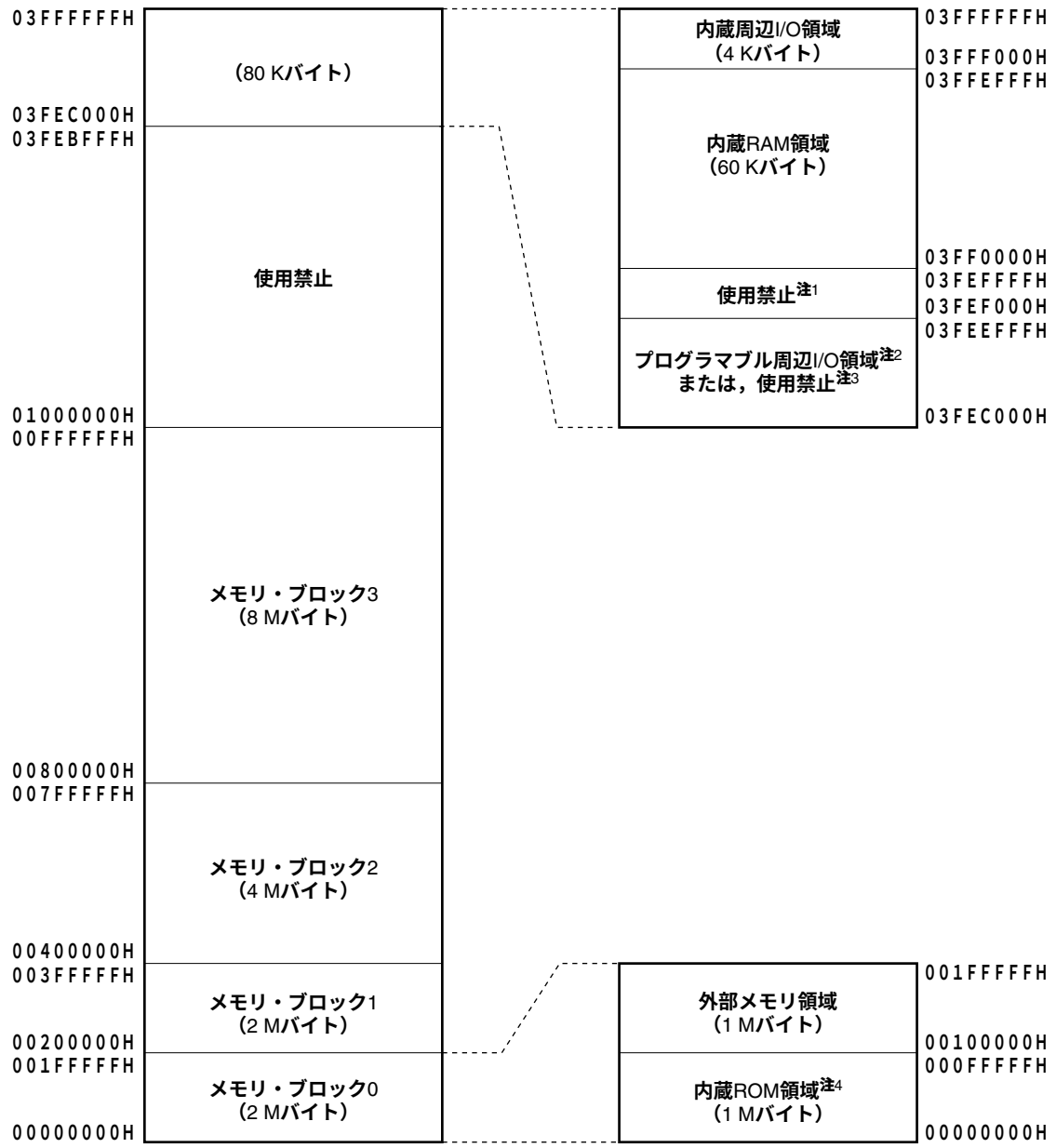
5. 2. 2　各動作モードの端子状態

V850ES/SG2各動作モードの端子状態については，2. 2　端子状態を参照してください。

5. 3　メモリ・ブロック機能

16 Mバイトの外部メモリ空間は下位2 M, 2 M, 4 M, 8 Mバイト単位のメモリ・ブロックに分割され，1ブロック単位にプログラマブル・ウエイト機能，バス・サイクル動作モードなどを独立に制御できます。

図5－1　データ・メモリ・マップ：物理アドレス



注1.　03FEF000H-03FEFFFFH番地は，内蔵周辺I/O領域と同じ領域となるため，使用禁止となります。

2.　プログラマブル周辺I/O領域だけは4 Gバイトのアドレス空間に256 Mバイトごとのイメージとして見えます。

3.　03FEC000H-03FEEFFFH番地は，CANコントローラ内蔵品では，プログラマブル周辺I/O領域として03FEC000H-03FECBFFH番地を割り付けています。CANコントローラを内蔵していない製品では使用禁止となります。

4.　データ・ライト・アクセス時は，外部メモリ領域になります。

5.4　外部バス・インタフェース・モード制御機能

V850ES/SG2は，外部バス・インタフェースとして次の2つのモードがあります。

・マルチプレクス・バス・モード
・セパレート・バス・モード

2つのモードの切り替えは，EXIMCレジスタで設定します。

(1) 外部バス・インタフェース・モード・コントロール・レジスタ（EXIMC）

8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFFFBEH

	7	6	5	4	3	2	1	0
EXIMC	0	0	0	0	0	0	0	SMSEL

SMSEL	モード切り替え
0	マルチプレクス・バス・モード
1	セパレート・バス・モード

注意　EXIMCレジスタの設定は，外部アクセスを行う前に，内蔵ROMまたは内蔵RAM領域から行ってください。
また，EXIMCレジスタ設定後には，必ずNOP命令を1つ挿入してください。

5.5　バス・アクセス

5.5.1　アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

領域（バス幅） バス・サイクル・タイプ	内蔵ROM（32ビット）	内蔵RAM（32ビット）	外部メモリ（16ビット）
命令フェッチ（通常アクセス）	1	1注1	3＋n注2
命令フェッチ（分岐）	2	2注1	3＋n注2
オペランド・データ・アクセス	3	1	3＋n注2

注1.　データ・アクセスと競合した場合は，＋1されます。

2.　セパレート・バス選択時は，2＋nクロック（n：ウエイト数）です。

備考　単位はクロック／アクセスです。

5.5.2　バス・サイズ設定機能

外部メモリ領域は，メモリ・ブロックnで選択される領域ごとにBSCレジスタで設定できます。ただし，設定可能なバス・サイズは8ビットと16ビットのみです。

V850ES/SG2の外部メモリ領域は，メモリ・ブロック0-3で選択されます。

(1) バス・サイズ・コンフィギュレーション・レジスタ（BSC）

16ビット単位でリード／ライト可能です。

リセットにより5555Hになります。

注意　BSCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BSCレジスタの初期設定が終わるまでは，外部メモリ領域をアクセスしないでください。

リセット時：5555H　R/W　アドレス：FFFFF066H

	15	14	13	12	11	10	9	8
BSC	0	1	0	1	0	1	0	1
	7	6	5	4	3	2	1	0
	0	BS30	0	BS20	0	BS10	0	BS00
		メモリ・ブロック3		メモリ・ブロック2		メモリ・ブロック1		メモリ・ブロック0

BSn0	メモリ・ブロックn空間のデータ・バス幅（n = 0-3）
0	8ビット
1	16ビット

注意　ビット14, 12, 10, 8には必ず1を設定し，ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。

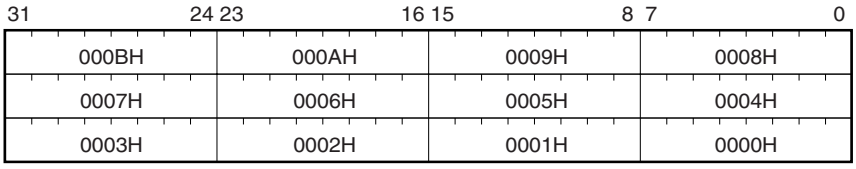
5. 5. 3　バス・サイズによるアクセス

V850ES/SG2が内蔵周辺I/Oアクセス，外部メモリ・アクセスを行う場合には，8, 16, 32ビット・アクセスがあります。またバス・サイズは次のとおりです。

- 内蔵周辺I/Oのバス・サイズは16ビット固定
- 外部メモリのバス・サイズは8ビット/16ビット選択可能（BSCレジスタにより設定）

次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。
V850ES/SG2は，リトル・エンディアン形式のみ対応しています。

図5－2　ワード内のリトル・エンディアン・アドレス



(1) データ空間

V850ES/SG2はアドレス・ミス・アライン機能を内蔵しています。

この機能により，データの形式（ワード・データ，ハーフワード・データ）にかかわらず，すべてのアドレスに対してデータを配置できます。ただし，ワード・データ，ハーフワード・データの場合，データが境界整列していないと，バス・サイクルが最低2回は発生し，バス効率が低下します。

(a) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき，バイト長のバス・サイクルを2回生成します。

(b) ワード長のデータ・アクセスの場合

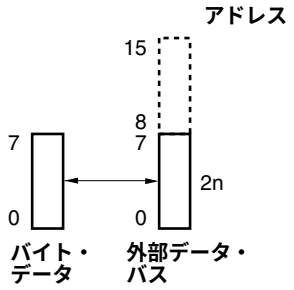
(i) アドレスの最下位ビットが1のとき，バイト長のバス・サイクル，ハーフワード長のバス・サイクル，バイト長のバス・サイクルの順でバス・サイクルを生成します。

(ii) アドレスの下位2ビットが10のとき，ハーフワード長のバス・サイクルを2回生成します。

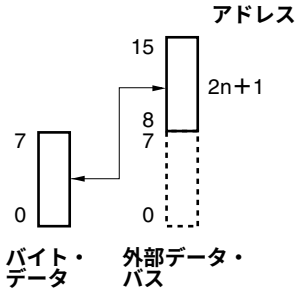
(2) バイト・アクセス（8ビット）

(a) 16ビット・データ・バス幅のとき

① 偶数アドレス（2n）番地へのアクセス

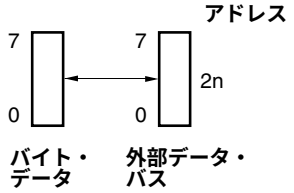


② 奇数アドレス（2n＋1）番地へのアクセス

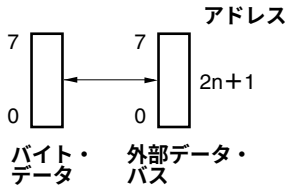


(b) 8ビット・データ・バス幅のとき

① 偶数アドレス（2n）番地へのアクセス

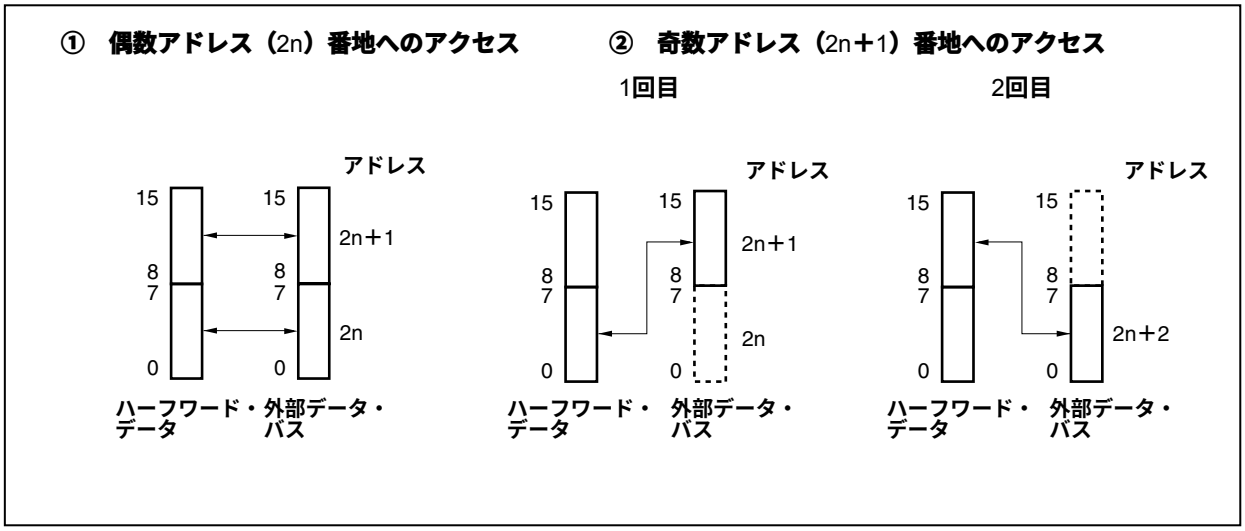


② 奇数アドレス（2n＋1）番地へのアクセス

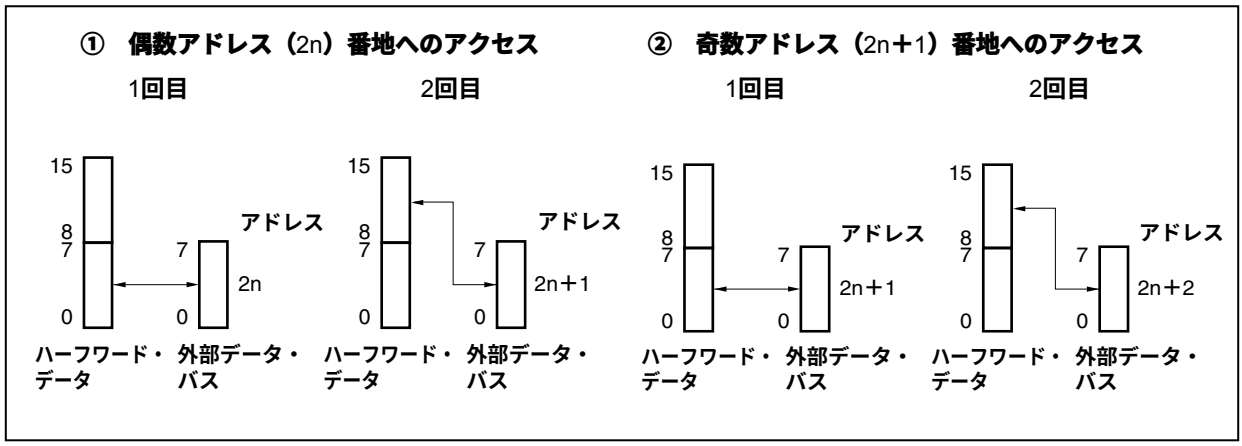


(3) ハーフワード・アクセス（16ビット）

(a) 16ビット・データ・バス幅のとき



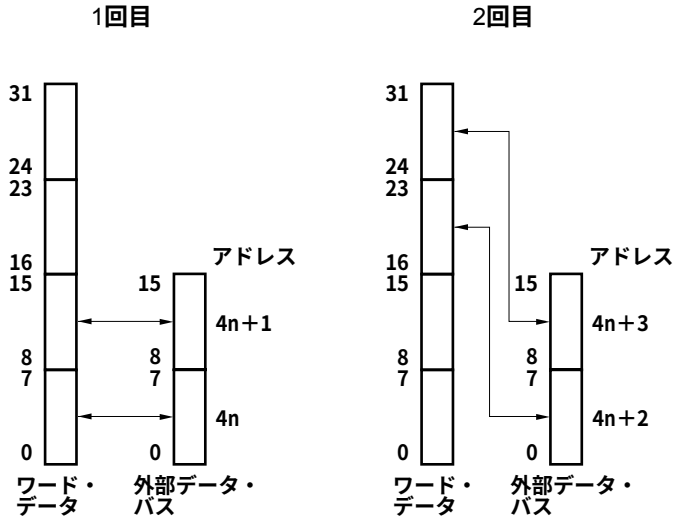
(b) 8ビット・データ・バス幅のとき



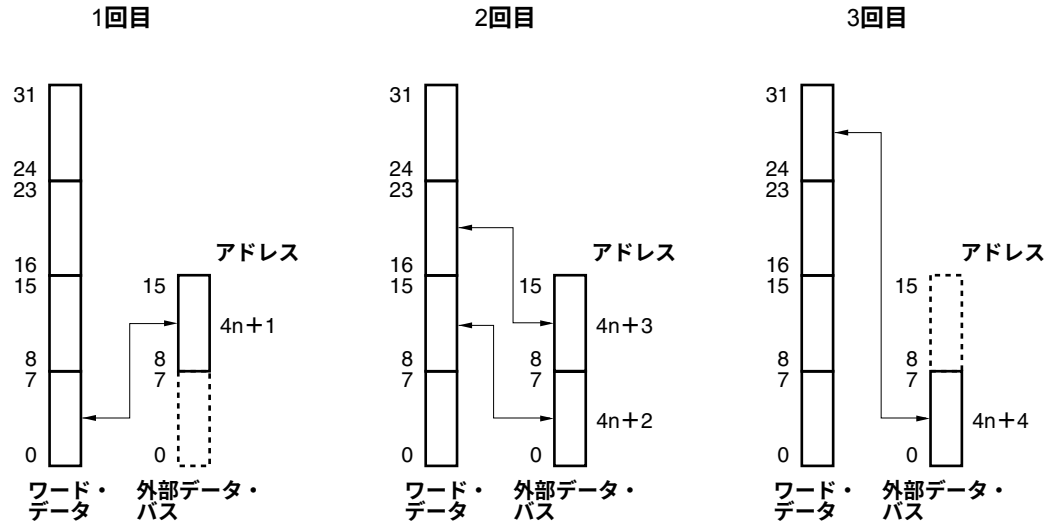
(4) ワード・アクセス（32ビット）

(a) 16ビット・データ・バス幅のとき（1/2）

① アドレス（4n）番地へのアクセス

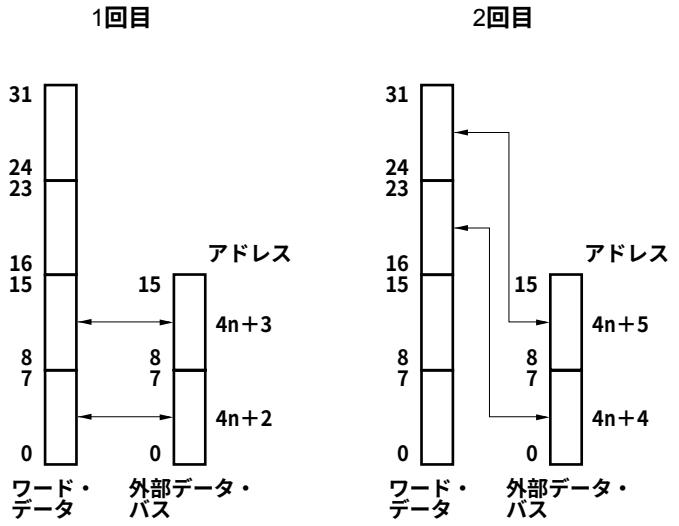


② アドレス（4n+1）番地へのアクセス

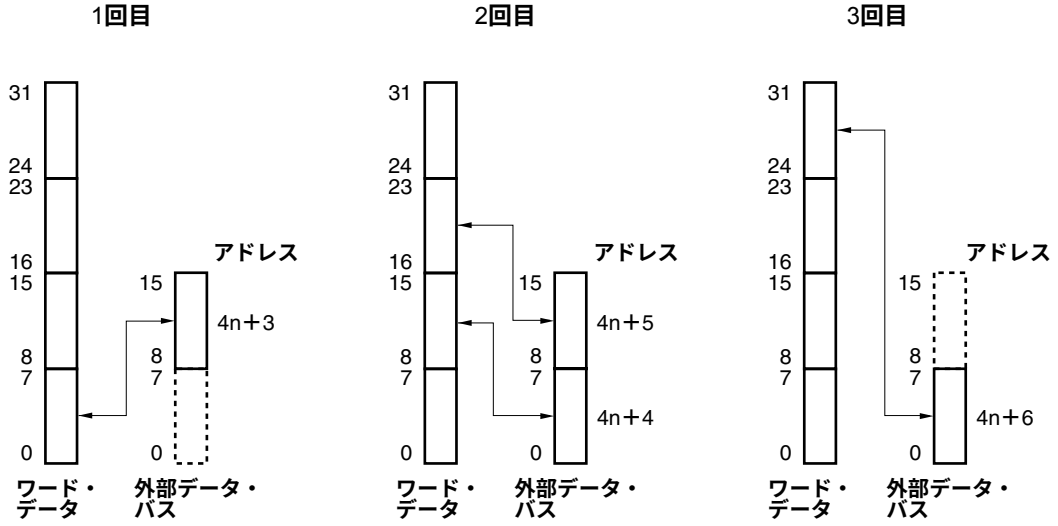


（a）16ビット・データ・バス幅のとき（2/2）

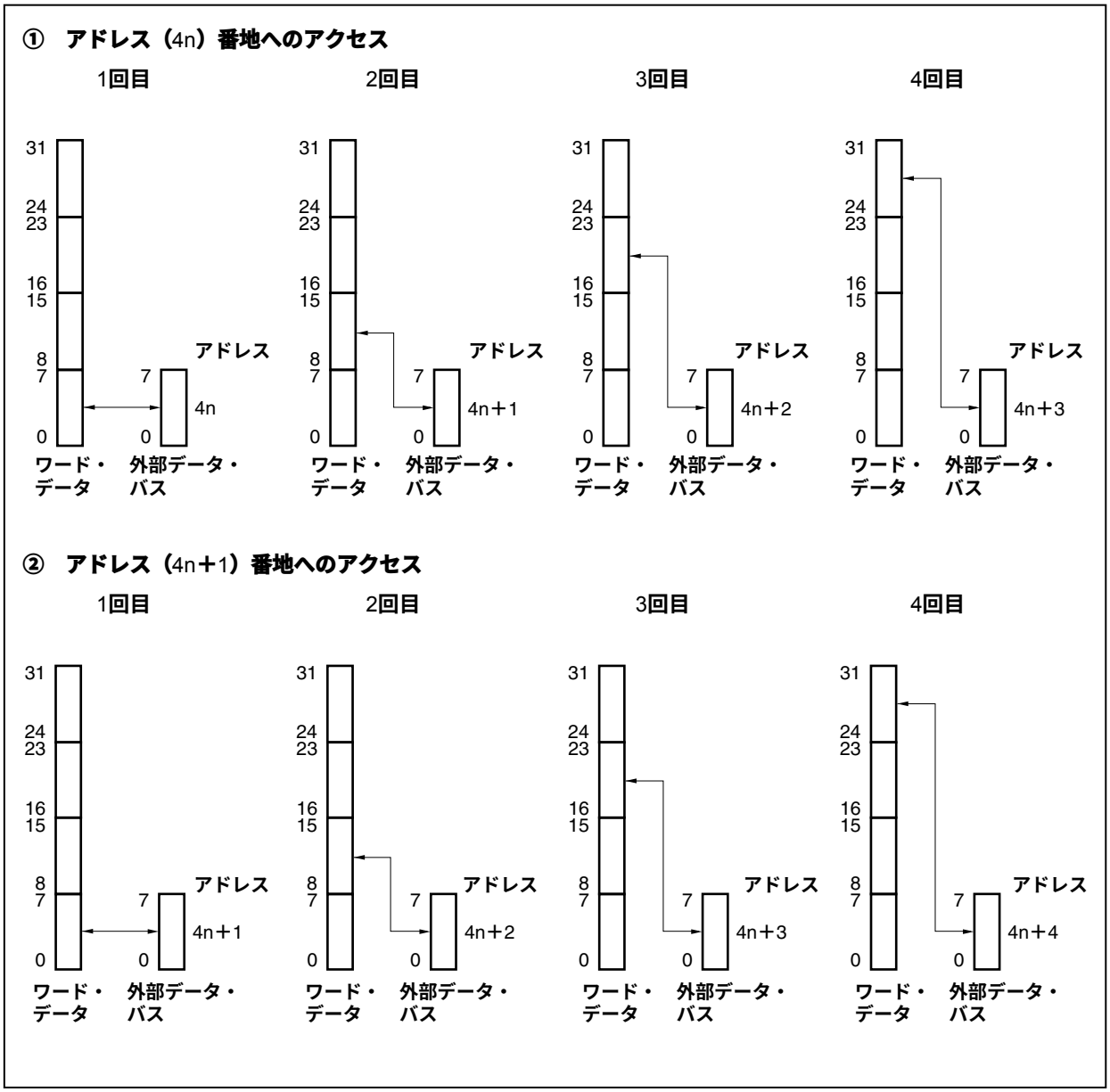
③　アドレス（4n＋2）番地へのアクセス



④　アドレス（4n＋3）番地へのアクセス

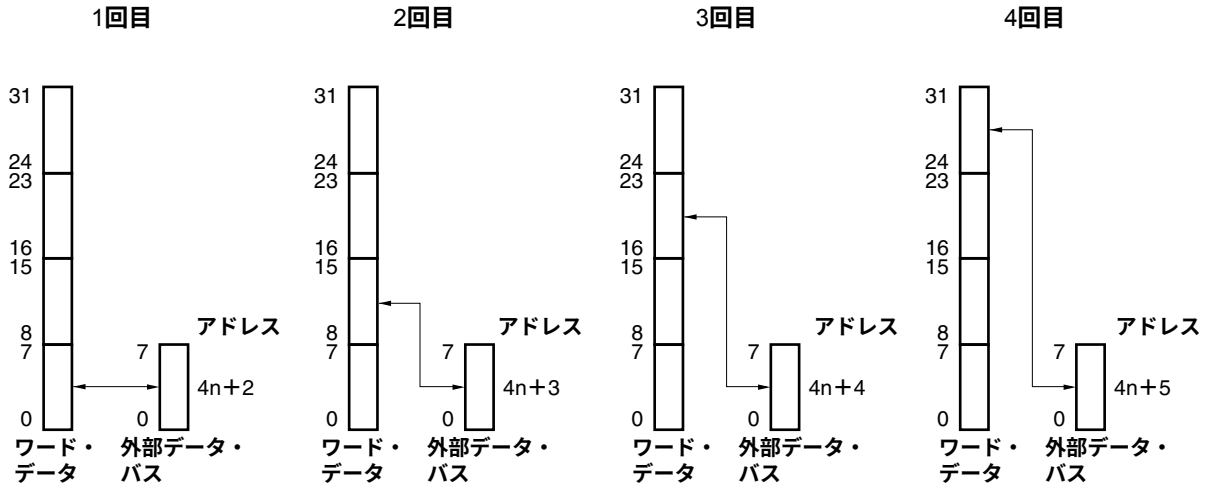


（b）8ビット・データ・バス幅のとき（1/2）

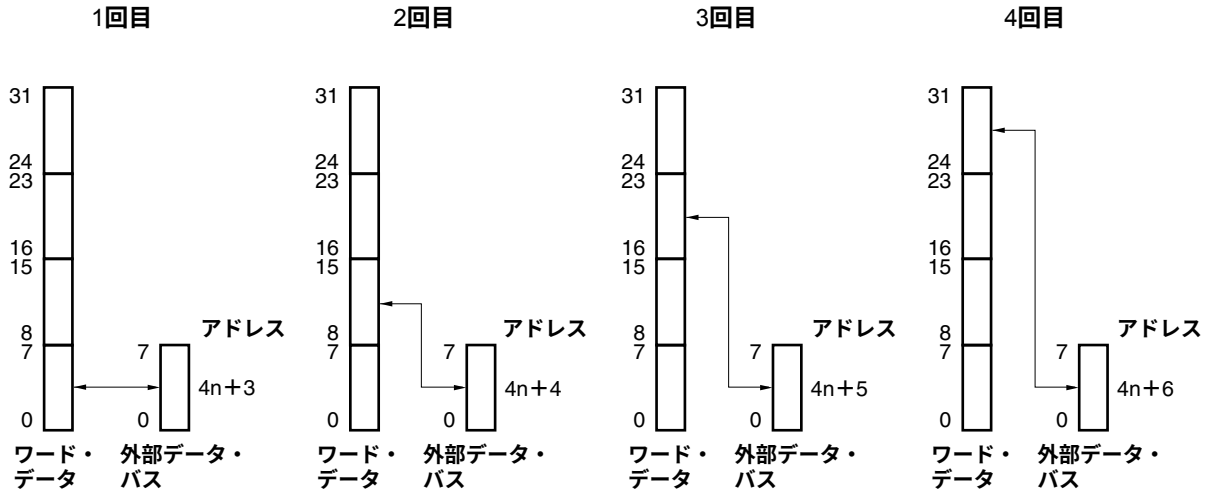


（b）8ビット・データ・バス幅のとき（2/2）

③　アドレス（4n＋2）番地へのアクセス



④　アドレス（4n＋3）番地へのアクセス



5. 6　ウエイト機能

5. 6. 1　プログラマブル・ウエイト機能

(1) データ・ウエイト・コントロール・レジスタ0（DWC0）

低速メモリ，I/Oに対するインタフェースを容易に実現させることを目的とし，各メモリ・ブロック空間ごとに起動されるバス・サイクルに対し，最大7ステートのデータ・ウエイトを挿入可能です。

ウエイト数は，DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は，全ブロックに対して7データ・ウエイトの挿入状態になります。

16ビット単位でリード／ライト可能です。

リセットにより7777Hになります。

注意1. 内蔵ROM領域，内蔵RAM領域は，プログラマブル・ウエイトの対象外で，常にノー・ウエイト・アクセスを行います。また，内蔵周辺I/O領域も，プログラマブル・ウエイトの対象外で，各周辺機能からのウエイト制御だけ行われます。

2. DWC0レジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，DWC0レジスタの初期設定が終わるまでは，外部メモリ領域をアクセスしないでください。

3. セパレート・バスで使用し，かつfxx＞20 MHzで動作させる場合，必ずウエイトを1つ以上挿入してください。

リセット時：7777H　R/W　アドレス：FFFFF484H

	15	14	13	12	11	10	9	8
DWC0	0	DW32	DW31	DW30	0	DW22	DW21	DW20
		メモリ・ブロック3				メモリ・ブロック2		

7	6	5	4	3	2	1	0
0	DW12	DW11	DW10	0	DW02	DW01	DW00
	メモリ・ブロック1				メモリ・ブロック0		

DWn2	DWn1	DWn0	CSn空間の挿入ウエイト数（n = 0-3）		
			マルチプレクス・バス	セパレート・バス	
				fxx≦20 MHz	fxx＞20 MHz
0	0	0	挿入しない	挿入しない	設定禁止
0	0	1	1		
0	1	0	2		
0	1	1	3		
1	0	0	4		
1	0	1	5		
1	1	0	6		
1	1	1	7		

注意　ビット15, 11, 7, 3には必ず0を設定してください。

5. 6. 2　外部ウエイト機能

極端に遅いメモリや，I/O，非同期システムに接続する場合など，外部デバイスに同期をとる目的で，外部ウエイト端子（$\overline{\text{WAIT}}$）によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

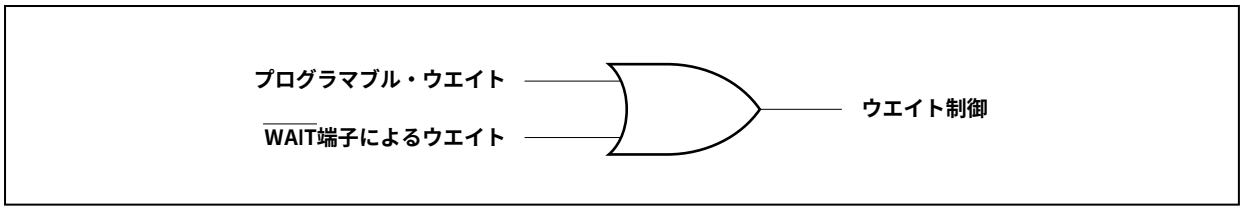
PCM0端子が兼用機能に設定されている場合に，外部ウエイト機能が有効になります。

内蔵ROM，内蔵RAM，内蔵周辺I/Oの各領域へのアクセスに対しては，プログラマブル・ウエイトと同様に，外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$入力は，CLKOUTに対する非同期入力が可能で，マルチプレクス・バス時にはバス・サイクルのT2, TWステートのクロックの立ち下がりでサンプリングされます。セパレート・バス時にはバス・サイクルのT1とTWステート直後のクロックの立ち上がりでサンプリングされます。サンプル・タイミングにおける設定／保持時間を満たさないときは，次のステートでウエイトを挿入するか，挿入しないかのどちらかになります。

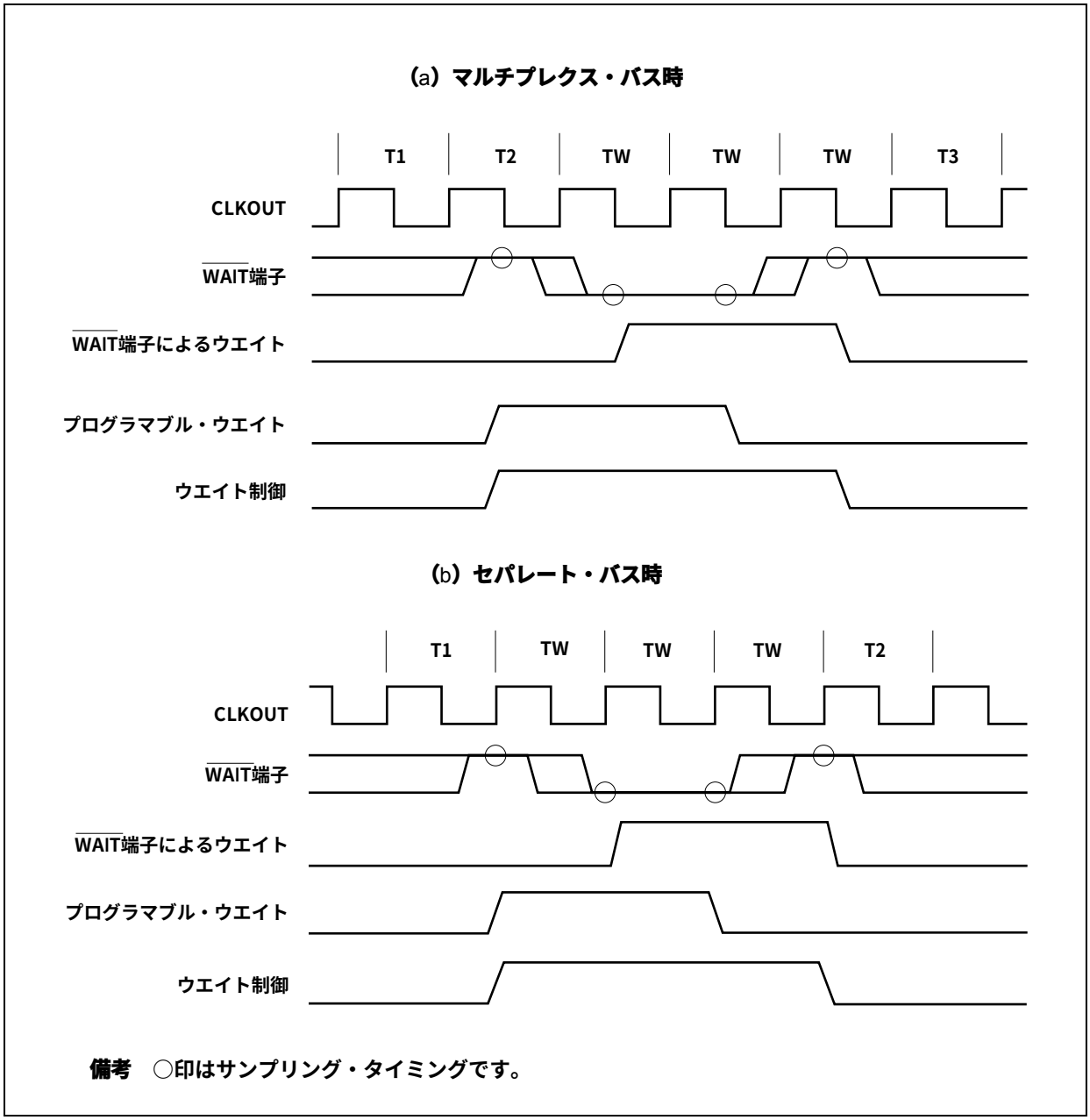
5. 6. 3　プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは，プログラマブル・ウエイトの設定値によるウエイト・サイクルと，$\overline{\text{WAIT}}$端子制御によるウエイト・サイクルの論理和（OR）として挿入されます。



たとえば，プログラマブル・ウエイト，$\overline{\text{WAIT}}$端子が次のようなタイミングのとき，バス・サイクルは，3ウエイトになります。

図5－3　ウエイト挿入例



備考　○印はサンプリング・タイミングです。

5. 6. 4　プログラマブル・アドレス・ウエイト機能

AWCレジスタにより，各バス・サイクルに対して挿入するアドレス・セットアップ・ウエイト／アドレス・ホールド・ウエイトを設定できます。アドレス・ウエイト挿入は各メモリ・ブロック領域（メモリ・ブロック0-3）ごとに設定します。

アドレス・セットアップ・ウエイトを挿入すると，T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また，アドレス・ホールド・ウエイトを挿入すると，T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

(1) アドレス・ウエイト・コントロール・レジスタ（AWC）

16ビット単位でリード／ライト可能です。

リセットによりFFFFHになります。

注意1.　内蔵ROM領域，内蔵RAM領域，内蔵周辺I/O領域は，アドレス・セットアップ・ウエイト／アドレス・ホールド・ウエイト挿入の対象外になります。

2.　AWCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，AWCレジスタの初期設定が終わるまでは，外部メモリ領域をアクセスしないでください。

3.　fxx＞20 MHzで動作させる場合，必ずアドレス・ホールド・ウエイトとアドレス・セットアップ・ウエイトを挿入してください。

リセット時：FFFFH　R/W　アドレス：FFFFF488H

	15	14	13	12	11	10	9	8
AWC	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	AHW3	ASW3	AHW2	ASW2	AHW1	ASW1	AHW0	ASW0
	メモリ・ブロック3		メモリ・ブロック2		メモリ・ブロック1		メモリ・ブロック0	

AHWn	アドレス・ホールド・ウエイト挿入指定（n = 0-3）	
	fxx≦20 MHz	fxx＞20 MHz
0	挿入しない	設定禁止
1	挿入する	挿入する

ASWn	アドレス・セットアップ・ウエイト挿入指定（n = 0-3）	
	fxx≦20 MHz	fxx＞20 MHz
0	挿入しない	設定禁止
1	挿入する	挿入する

注意　ビット15-8には必ず1を設定してください。

5. 7　アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし，メモリ・ブロックで選択される空間ごとに起動されるバス・サイクルに対し，マルチプレクス・アドレス／データ・バス時にはT3ステート後に，1ステートのアイドル・ステート（TI）を挿入できます。また，セパレート・バス時には，T2ステート後に1ステートのアイドル・ステート（TI）を挿入できます。アイドル・ステートを挿入することにより，リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます（ライト・アクセス時には，アイドル・ステートは挿入できません）。

アイドル・ステートの挿入指定は，BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は，全領域に対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル・コントロール・レジスタ（BCC）

16ビット単位でリード／ライト可能です。

リセットによりAAAAHになります。

注意1.　内蔵ROM領域，内蔵RAM領域，内蔵周辺I/O領域は，アイドル・ステート挿入の対象外になります。

2.　BCCレジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，BCCレジスタの初期設定が終わるまでは，外部メモリ領域をアクセスしないでください。

リセット時：AAAAH　R/W　アドレス：FFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0
	7	6	5	4	3	2	1	0
	BC31	0	BC21	0	BC11	0	BC01	0
	メモリ・ブロック3		メモリ・ブロック2		メモリ・ブロック1		メモリ・ブロック0	

BCn1	アイドル・ステート挿入指定（n = 0-3）
0	挿入しない
1	挿入する

注意　ビット15, 13, 11, 9には必ず1を設定し，ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。

5. 8　バス・ホールド機能

5. 8. 1　機能概要

PCM2, PCM3端子が兼用機能に設定されていれば，$\overline{\text{HLDRQ}}$, $\overline{\text{HLDAK}}$機能が有効になります。

ほかのバス・マスタからのバス獲得要求として$\overline{\text{HLDRQ}}$端子がアクティブ（ロウ・レベル）になったことを受け付けると，外部アドレス／データ・バスをハイ・インピーダンス状態にし，解放します（バス・ホールド状態）。$\overline{\text{HLDRQ}}$端子がインアクティブ（ハイ・レベル）になりバス獲得要求が解除されれば，再びこれらの端子の駆動を開始します。

バス・ホールド期間中は，内蔵周辺I/Oレジスタ・アクセスあるいは，外部メモリ・アクセスがあるまで，内蔵ROM，内蔵RAMからのプログラムの実行を継続します。

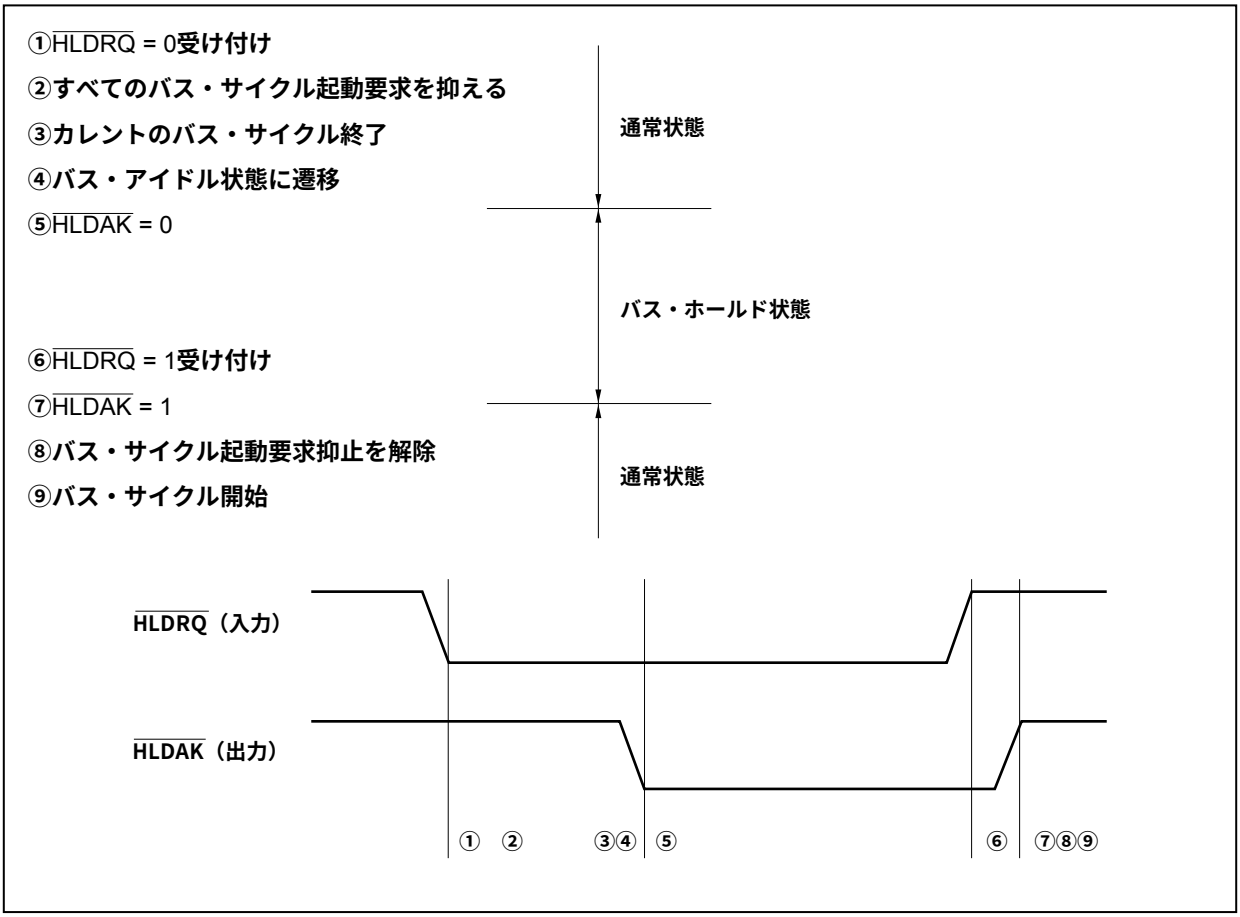
バス・ホールド状態は，$\overline{\text{HLDAK}}$端子がアクティブ（ロウ・レベル）になったことにより知ることができます。マルチプロセッサ構成など，バス・マスタが複数存在するようなシステムを構成できます。

なお，バス・サイジングおよびビット操作命令による複数アクセスのサイクル中は，バス・ホールド要求を受け付けません。

状　態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間
			2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間
			3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	－	－	リード・アクセスとライト・アクセスの間

5. 8. 2　バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



5. 8. 3　パワー・セーブ・モード時の動作

STOPモード期間中およびIDLE1, IDLE2モード期間中は，内部システム・クロックが停止するため，$\overline{\text{HLDRQ}}$端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは，$\overline{\text{HLDRQ}}$端子がアクティブになると，ただちに$\overline{\text{HLDAK}}$端子がアクティブになり，バス・ホールド状態になります。その後，$\overline{\text{HLDRQ}}$端子がインアクティブになると，$\overline{\text{HLDAK}}$端子もインアクティブになり，バス・ホールド状態は解除されます。

5.9　バスの優先順位

外部バス・サイクルには，バス・ホールド，命令フェッチ（分岐），命令フェッチ（連続），オペランド・データ・アクセス，DMA転送の5つがあります。

優先順位はバス・ホールドが最も高く，DMA転送，オペランド・データ・アクセス，命令フェッチ（分岐），命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には，命令フェッチが挿入されることがあります。

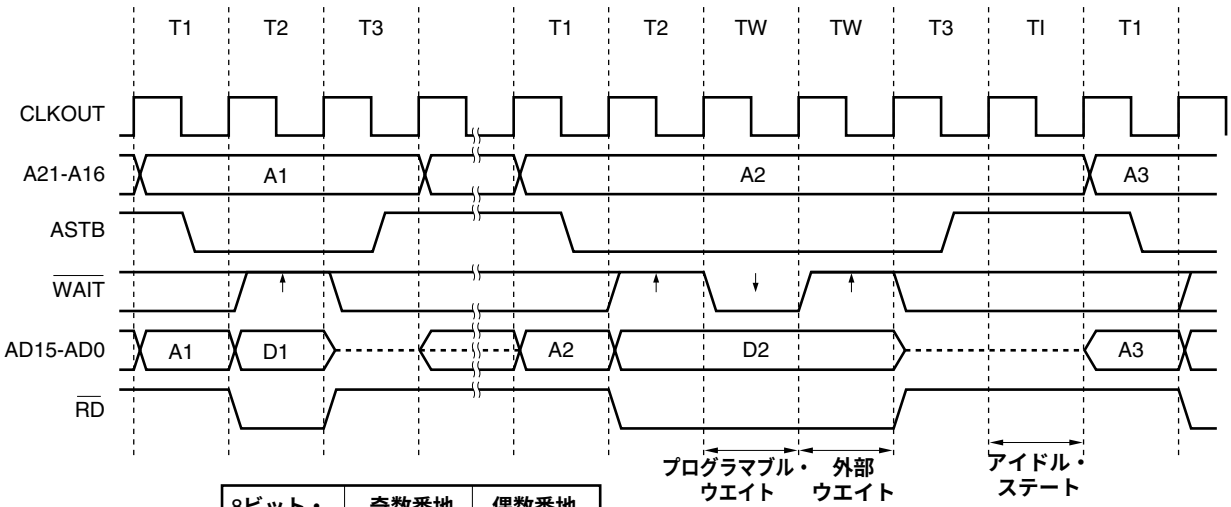
なお，バス・サイズの関係で，数回のアクセスで命令を実行するとき，アクセスとアクセスの間には命令フェッチとバス・ホールドは挿入されません。

表5－4　バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い	バス・ホールド	外部デバイス
↑	DMA転送	DMAC
	オペランド・データ・アクセス	CPU
↓	命令フェッチ（分岐）	CPU
低い	命令フェッチ（連続）	CPU

5. 10　バス・タイミング

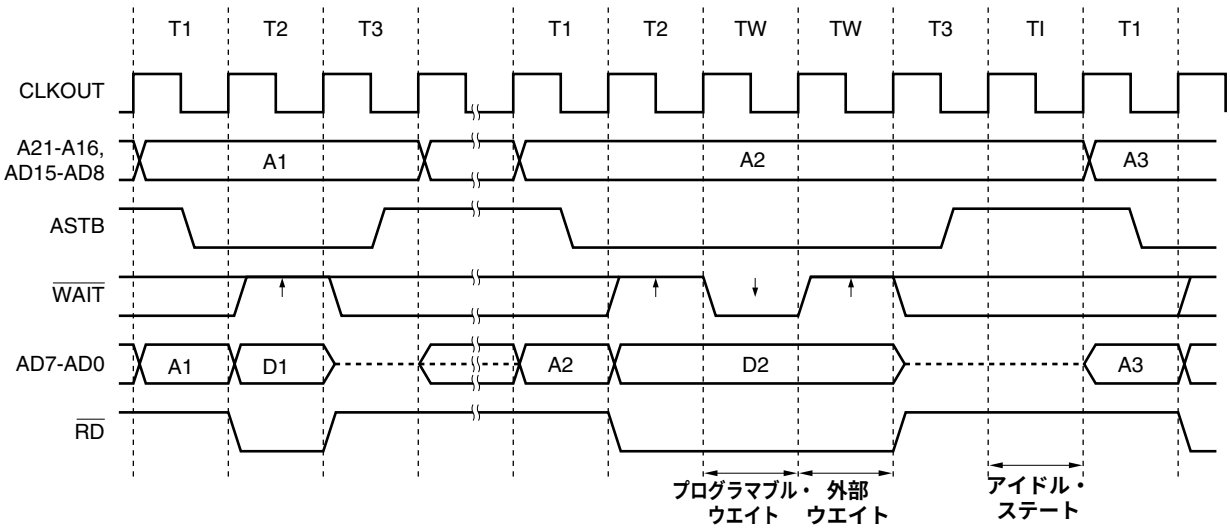
図5－4　マルチプレクス・バス・リード・タイミング（バス・サイズ：16ビット，16ビット・アクセス時）



8ビット・アクセス時	奇数番地	偶数番地
AD15-AD8	アクティブ	Hi-Z
AD7-AD0	Hi-Z	アクティブ

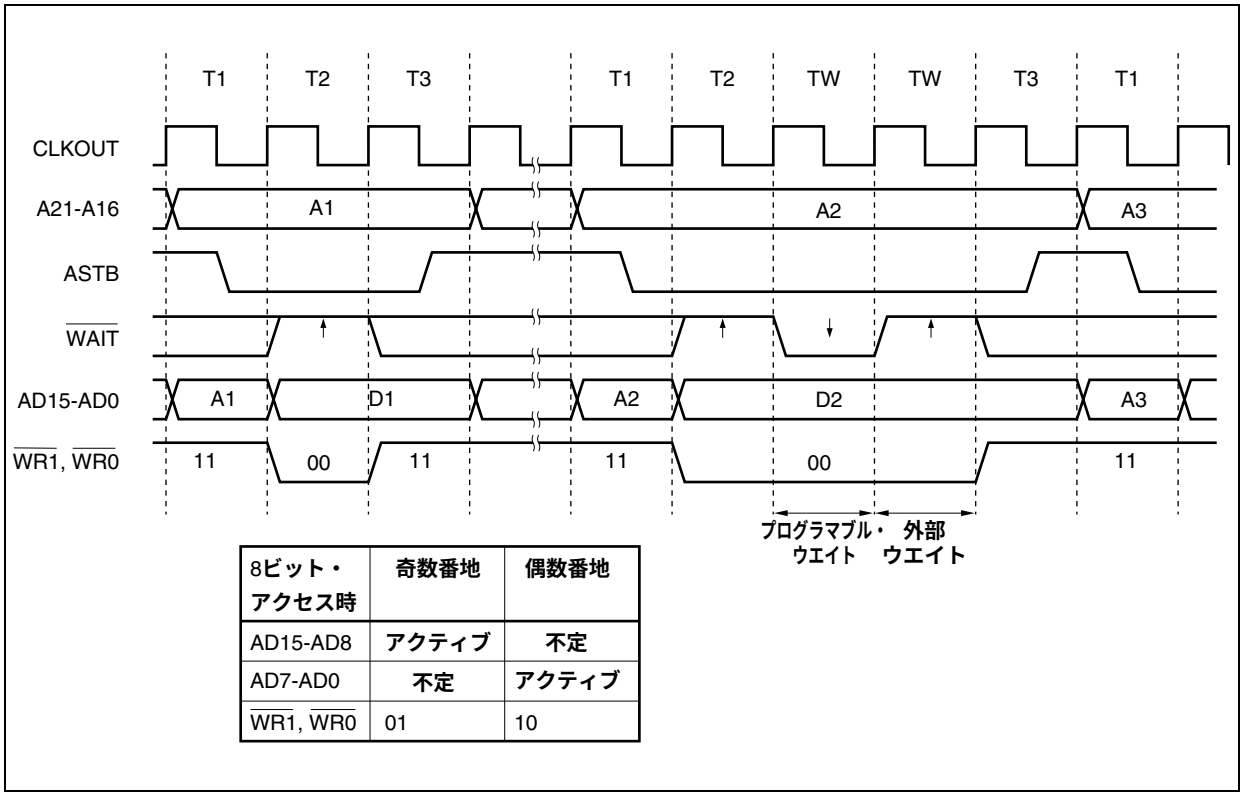
備考　破線はハイ・インピーダンスを示します。

図5－5　マルチプレクス・バス・リード・タイミング（バス・サイズ：8ビット）



備考　破線はハイ・インピーダンスを示します。

図5ー6　マルチプレクス・バス・ライト・タイミング（バス・サイズ：16ビット，16ビット・アクセス時）



8ビット・アクセス時	奇数番地	偶数番地
AD15-AD8	アクティブ	不定
AD7-AD0	不定	アクティブ
$\overline{WR1}$, $\overline{WR0}$	01	10

図5ー7　マルチプレクス・バス・ライト・タイミング（バス・サイズ：8ビット）

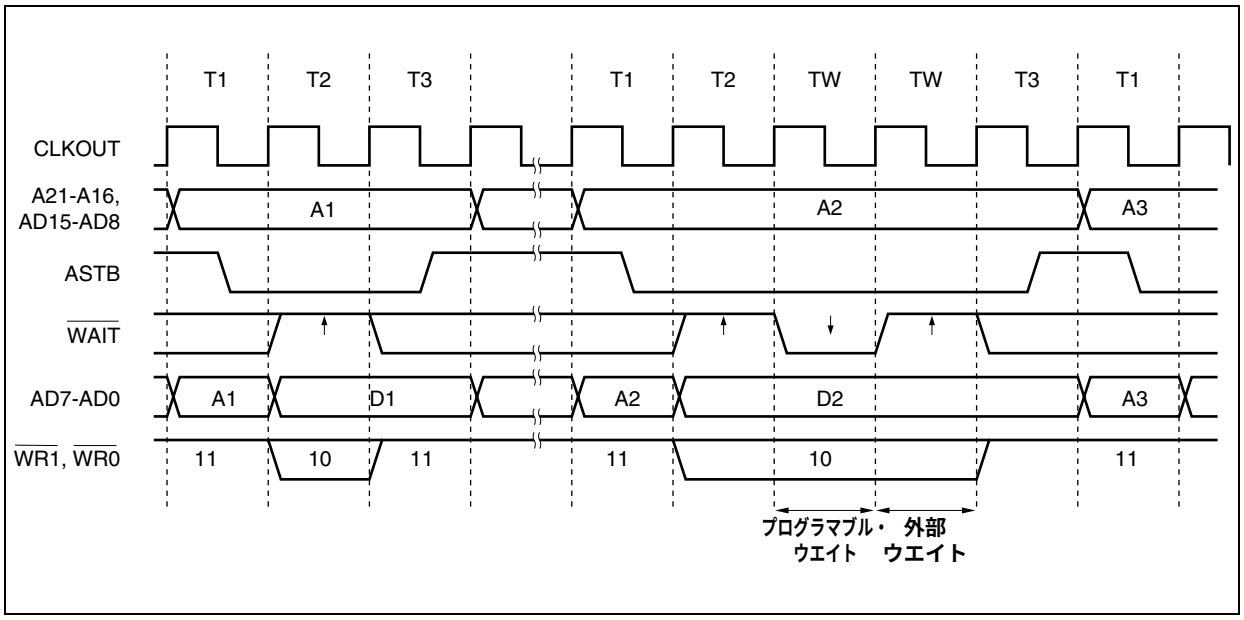
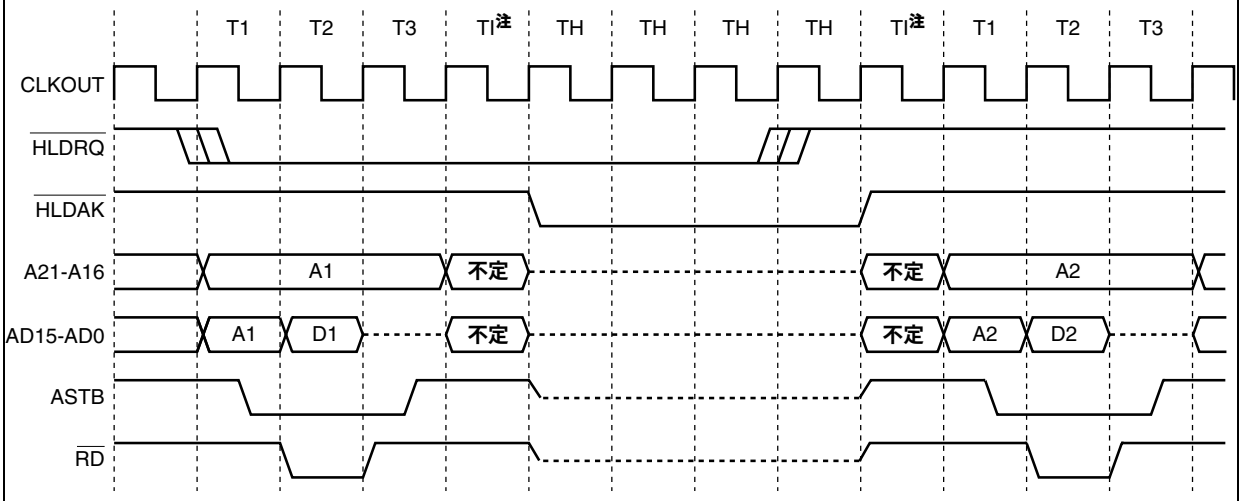


図5－8　マルチプレクス・バス・ホールド・タイミング（バス・サイズ：16ビット，16ビット・アクセス時）

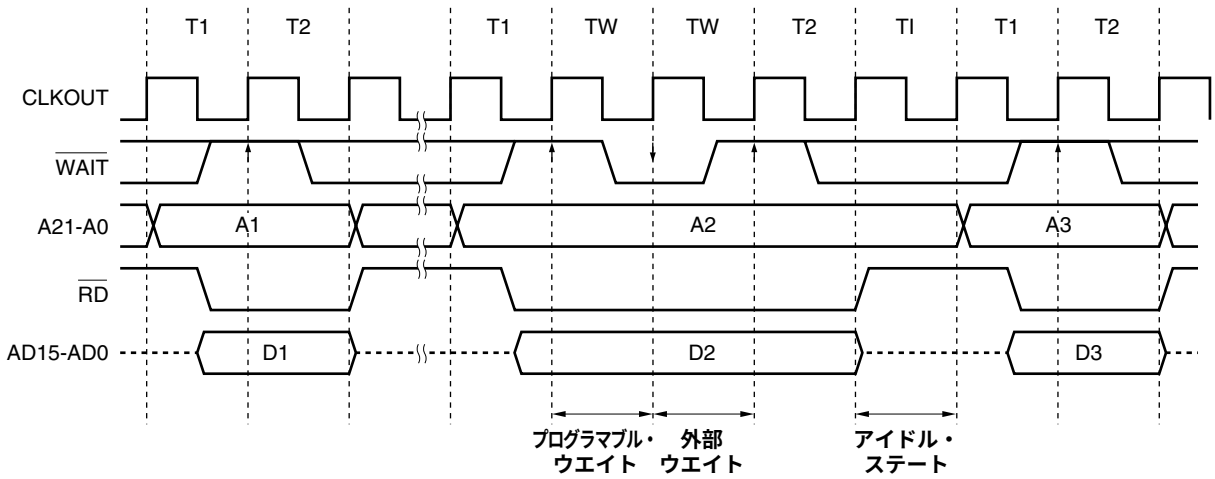


注　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

備考1.　バス・ホールド時の各端子の状態については表2－2を参照してください。

2.　破線はハイ・インピーダンスを示します。

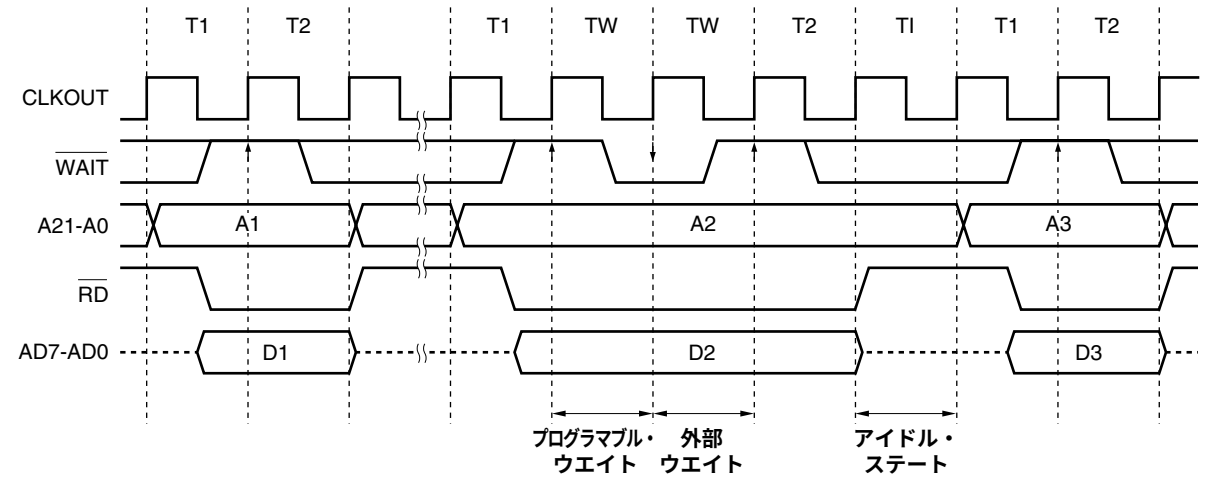
図5－9　セパレート・バス・リード・タイミング（バス・サイズ：16ビット，16ビット・アクセス時）



8ビット・アクセス時	奇数番地	偶数番地
AD15-AD8	アクティブ	Hi-Z
AD7-AD0	Hi-Z	アクティブ

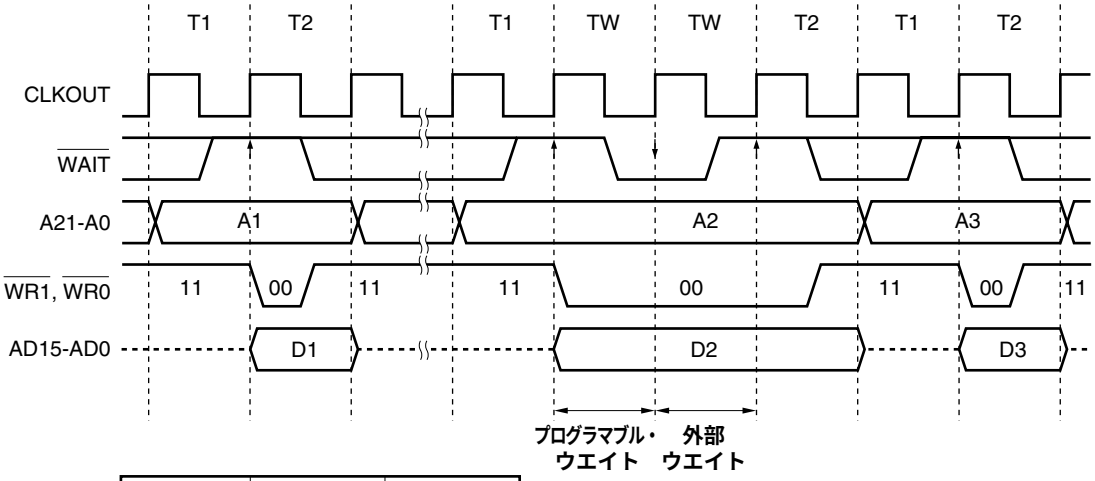
備考　破線はハイ・インピーダンスを示します。

図5－10　セパレート・バス・リード・タイミング（バス・サイズ：8ビット）



備考　破線はハイ・インピーダンスを示します。

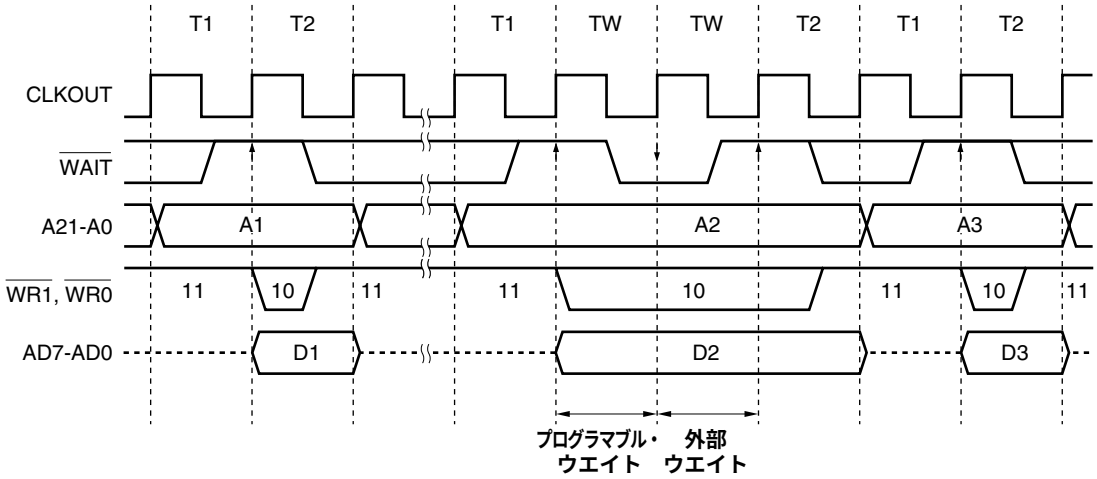
図5－11　セパレート・バス・ライト・タイミング（バス・サイズ：16ビット，16ビット・アクセス時）



8ビット・アクセス時	奇数番地	偶数番地
AD15-AD8	アクティブ	不定
AD7-AD0	不定	アクティブ
$\overline{WR1}$, $\overline{WR0}$	01	10

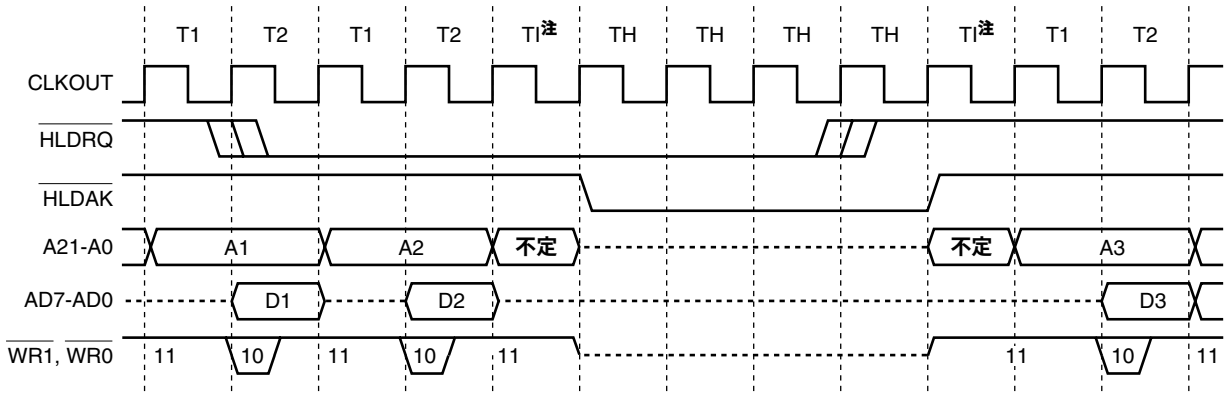
備考　破線はハイ・インピーダンスを示します。

図5－12　セパレート・バス・ライト・タイミング（バス・サイズ：8ビット）



備考　破線はハイ・インピーダンスを示します。

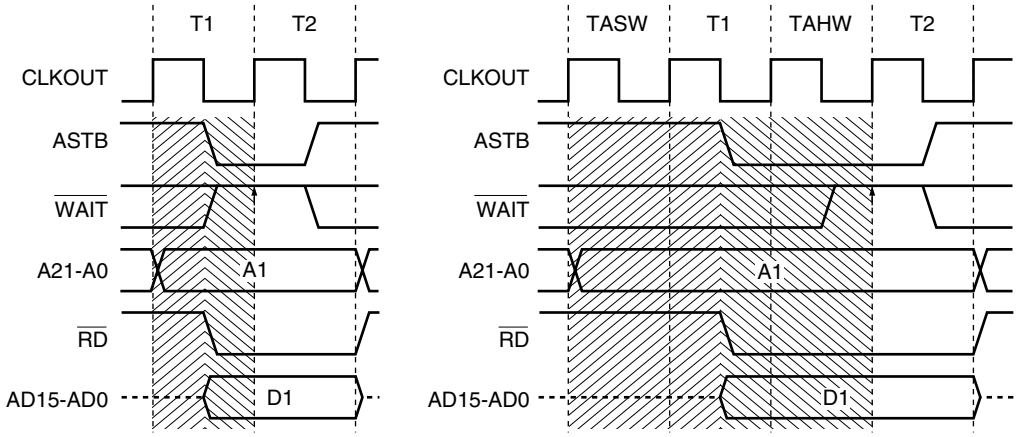
図5－13　セパレート・バス・ホールド・タイミング（バス・サイズ：8ビット，ライト時）



注　BCCレジスタの設定に依存しないアイドル・ステート（TI）です。

備考　破線はハイ・インピーダンスを示します。

図5－14　アドレス・ウエイト・タイミング
（セパレート・バス・リード，バス・サイズ：16ビット，16ビット・アクセス時）



備考1.　TASW（アドレス・セットアップ・ウエイト時）：
　　T1ステートのハイ・レベル幅が伸びたイメージ
　2.　TAHW（アドレス・ホールド・ウエイト時）：
　　T1ステートのロウ・レベル幅が伸びたイメージ
　3.　破線はハイ・インピーダンスを示します。

第6章　クロック発生機能

6.1　概　　要

クロック発生機能の概要を次に示します。

○メイン・クロック発振回路

・クロック・スルー・モード時

f_X = 2.5〜8 MHz（f_{XX} = 2.5〜8 MHz）

・PLLモード時

f_X = 2.5〜5 MHz（4逓倍：f_{XX} = 10〜20 MHz）

f_X = 2.5〜4 MHz（8逓倍：20〜32 MHz）

○サブクロック発振回路

・32.768 kHz

○PLL（Phase Locked Loop）による逓倍機能（4/8逓倍）

・クロック・スルー・モード/PLLモード選択可

○内蔵発振器

・f_R = 200 kHz（TYP.）

○内部システム・クロックの生成

・7段階（f_{XX}, f_{XX}/2, f_{XX}/4, f_{XX}/8, f_{XX}/16, f_{XX}/32, f_{XT}）

○周辺クロックの生成

○クロック出力機能

備考　f_X ：メイン・クロック発振周波数

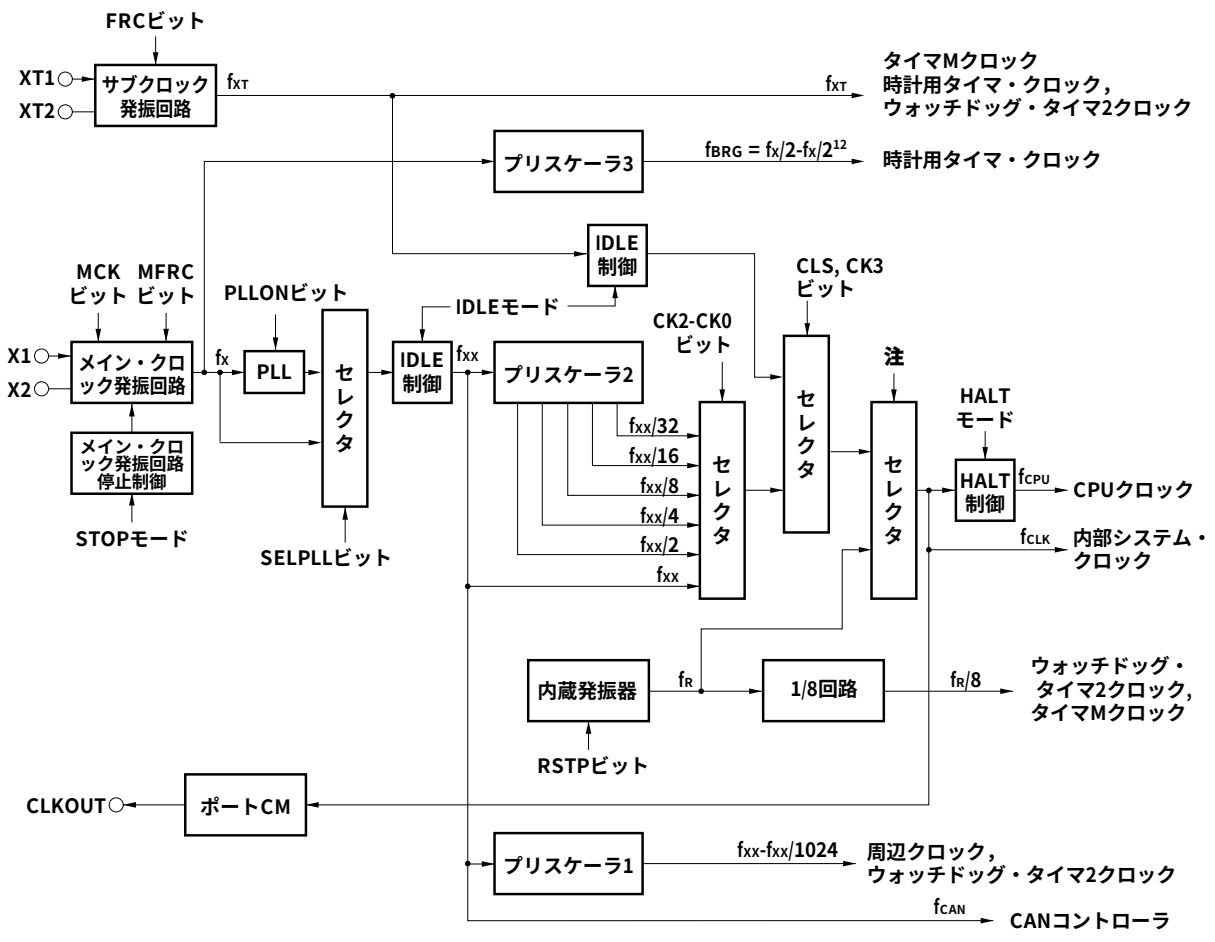
f_{XX}：メイン・クロック周波数

f_R ：内蔵発振クロック周波数

f_{XT}：サブクロック周波数

6.2 構　　成

図6－1　クロック発生回路



注　発振安定期間中にウォッチドッグ・タイマ2がオーバフローした場合，内蔵発振クロックが選択されます。

備考　f_X　：メイン・クロック発振周波数

f_{XX}　：メイン・クロック周波数

f_{CLK}　：内部システム・クロック周波数

f_{XT}　：サブクロック周波数

f_{CPU}　：CPUクロック周波数

f_{BRG}　：時計タイマ・クロック周波数

f_R　：内蔵発振クロック周波数

f_{CAN}　：CANクロック周波数

(1) メイン・クロック発振回路

次の周波数（f_X）を発振します。

・クロック・スルー・モード時

f_X = 2.5～8 MHz

・PLLモード時

f_X = 2.5～5 MHz（4逓倍）

f_X = 2.5～4 MHz（8逓倍）

(2) サブクロック発振回路

32.768 kHzの周波数（f_{XT}）を発振します。

(3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時，またはPCC.MCKビット = 1（PCC.CLSビット = 1のときだけ有効）のとき，メイン・クロック発振回路の発振を停止します。

(4) 内蔵発振器

200 kHz（TYP.）の周波数（f_R）を発振します。

(5) プリスケーラ1

内蔵周辺機能に供給するクロック（f_{XX}-f_{XX}/1024）を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0-TMP5, TMQ0, TMM0, CSIB0-CSIB4, UARTA0-UARTA2, I^2C00-I^2C02, ADC, WDT2, CAN0[注1], IEBus[注2]

注1. CANコントローラ内蔵品のみ

2. IEBus内蔵品のみ

(6) プリスケーラ2

メイン・クロック（f_{XX}）を分周する回路です。

CPUクロック（f_{CPU}），内部システム・クロック（f_{CLK}）を生成するセレクタに，プリスケーラ2で生成したクロック（f_{XX}-f_{XX}/32）を供給します。

なお，f_{CLK}は，INTC, ROMコレクション，ROM, RAMブロックに供給するクロックで，CLKOUT端子から出力できます。

(7) プリスケーラ3

メイン・クロック発振回路で生成するクロック（fx）を所定の周波数（32.768 kHz）まで分周する回路で，時計用タイマ・ブロックに供給します。

詳細は，第10章　時計タイマ機能を参照してください。

(8) PLL

メイン・クロック発振回路で生成するクロック（fx）を4/8逓倍します。

PLLCTL.SELPLLビットにより，fxをそのまま出力するクロック・スルー・モードと，逓倍クロックを出力するPLLモードを選択します。

また，CKC.CKDIV0ビットにより4/8逓倍を選択し，PLLCTL.PLLONビットによりPLLを動作，停止します。

6.3　レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ（PCC）

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3.4.8　特定レジスタ参照）。

8/1ビット単位でリード／ライト可能です。

リセットにより03Hになります。

リセット時：03H　　R/W　　アドレス：FFFFF828H

	7	⑥	5	④	③	2	1	0
PCC	FRC	MCK	MFRC	CLS注	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止

・CPUクロックがメイン・クロックで動作中にMCKビットをセット（1）しても，メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更したあと，停止します。
・MCKビットを0から1にセットする前に，メイン・クロックで動作している内蔵周辺機能を停止してください。
・メイン・クロックを停止させてサブクロックで動作している場合に，再度CPUクロックをメイン・クロックに切り替えるとき，または内蔵周辺機能を動作させたいときは，MCKビットをクリア（0）し，ソフトウエアで発振安定時間を確保したあとにCPUクロックを切り替え，または内蔵周辺機能を動作させてください。

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS注	CPUクロック（f_{CPU}）の状態
0	メイン・クロック動作
1	サブクロック動作

CK3	CK2	CK1	CK0	クロックの選択（f_{CLK}/f_{CPU}）
0	0	0	0	f_{XX}
0	0	0	1	$f_{XX}/2$
0	0	1	0	$f_{XX}/4$
0	0	1	1	$f_{XX}/8$
0	1	0	0	$f_{XX}/16$
0	1	0	1	$f_{XX}/32$
0	1	1	X	設定禁止
1	X	X	X	f_{XT}

注　CLSビットはリードのみ可能です。

注意1.　CLKOUTを出力している間は，CPUクロック（CK3-CK0ビット）を変更しないでください。

2.　CK3ビットを操作する際は，ビット操作命令で行ってください。8ビット操作命令で行う場合は，CK2-CK0ビットの設定値を変更しないでください。

備考　X：任意

(a) メイン・クロック動作→サブクロック動作の設定例

① CK3ビット ← 1　　：ビット操作命令推奨。CK2-CK0ビットは変更しないでください。

② サブクロック動作　　：CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと，サブクロック動作に切り替わるまでの時間は次のとおりです。

最大：1/f_{XT}（1/サブクロック周波数）

③ MCKビット ← 1　　：メイン・クロックを停止するときだけ，MCKビットを1に設定します。

注意1. メイン・クロックを停止する場合は，PLLを停止してください。また，メイン・クロックで動作している内蔵周辺機能を動作停止にしてください。

2. 次の条件を満たしていない場合は，条件を満たすようにCK2-CK0ビットを変更後，サブクロック動作モードに移行してください。

内部システム・クロック（f_{CLK}）＞サブクロック（f_{XT}：32.768 kHz）×4

備考　内部システム・クロック（f_{CLK}）：CK2-CK0ビットの設定によってメイン・クロック（f_{XX}）から生成するクロック

[記述例]

```
  _DMA_DISABLE :
  clr1        0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
① _SET_SUB_RUN :
   st.b       r0, PRCMD[r0]
   set1       3, PCC[r0]            -- CK3ビット ← 1
② _CHECK_CLS :
   tst1       4, PCC[r0]            -- サブクロック動作に切り替わるまでウエイト
   bz         _CHECK_CLS
③ _STOP_MAIN_CLOCK :
   st.b       r0, PRCMD[r0]
   set1       6, PCC[r0]            -- MCKビット ← 1，メイン・クロック停止
  _DMA_ENABLE :
   set1       0, DCHCn[r0]          -- DMA動作許可 n=0-3
```

備考　この記述例はあくまでも一例です。特に，②において閉ループでCLSビットをリードしていますので，注意してください。

(b) サブクロック動作→メイン・クロック動作の設定例

① MCKビット ← 0　　：メイン・クロック発振開始

② プログラムによりウエイトを挿入して，メイン・クロックの発振安定時間が経過するまで待ちます。

③ CK3ビット ← 0　　：ビット操作命令を推奨します。CK2-CK0ビットは変更しないでください。

④ メイン・クロック動作　：CK3ビットを設定したあと，メイン・クロック動作に切り替わるまでの時間は次のとおりです。

最大：1/f_{XT}（1/サブクロック周波数）

したがって，CK3ビットを0とした直後にNOP命令を1つ挿入するか，またはCLSビットをリードして，メイン・クロック動作に切り替わったかどうかを確認してください。

注意　メイン・クロックで動作する内蔵周辺機能は，メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると，誤動作する可能性があります。

[記述例]

```
  _DMA_DISABLE :
  clr1        0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
① _START_MAIN_OSC :
   st.b       r0, PRCMD[r0]         -- 特定レジスタ，プロテクション解除
   clr1       6, PCC[r0]            -- メイン・クロック発振開始
② movea       0x55, r0, r11         -- 発振安定時間待ち
  _WAIT_OST :
   nop
   nop
   nop
   addi       -1, r11, r11
   cmp        r0, r11
   bne              _WAIT_OST
③ st.b        r0, PRCMD[r0]
   clr1       3, PCC[r0]            -- CK3 ← 0
④ _CHECK_CLS :
   tst1       4, PCC[r0]            -- メイン・クロック動作に切り替わるまでウエイト
   bnz        _CHECK_CLS
  _DMA_ENABLE :
   set1       0, DCHCn[r0]          -- DMA動作許可 n = 0-3
```

備考　この記述例はあくまでも一例です。特に，④において閉ループでCLSビットをリードしていますので，注意してください。

(2) 内蔵発振モード・レジスタ（RCM）

RCMレジスタは，内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF80CH

	7	6	5	4	3	2	1	⓪
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振／停止
0	内蔵発振器発振
1	内蔵発振器停止

注意1. CPUが内蔵発振クロックで動作している間（CCLS.CCLSFビット = 1）は内蔵発振器を停止できません。RSTOPビットをセット（1）しないでください。

2. RSTOPビットがセット（1）されている場合でも，CCLS.CCLSFビットがセット（1）されると（発振安定時間中にWDTオーバフローが発生），内蔵発振器は発振します。このときRSTOPビットはセット（1）されたままです。

(3) CPU動作クロック・ステータス・レジスタ（CCLS）

CCLSレジスタは，CPU動作クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H注　R　アドレス：FFFFF82EH

	7	6	5	4	3	2	1	0
CCLS	0	0	0	0	0	0	0	CCLSF

CCLSF	CPU動作クロックの状態
0	メイン・クロック（f_X）またはサブクロック（f_{XT}）で動作
1	内蔵発振クロック（f_R）で動作

注　リセット解除後の発振安定時間中にWDTオーバフローが発生した場合，CCLSFビットがセット（1）され，リセット値は01Hになります。

6.4 動　　作

6.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表6－1　各クロックの動作状態

レジスタ設定および動作状態 ＼ 対象クロック	PCCレジスタ								
	CLSビット = 0, MCKビット = 0					CLSビット = 1, MCKビット = 0		CLSビット = 1, MCKビット = 1	
	リセット中	発振安定時間カウント中	HALTモード	IDLE1, IDLE2モード	STOPモード	サブクロック・モード	サブIDLEモード	サブクロック・モード	サブIDLEモード
メイン・クロック発振回路（f_X）	×	○	○	○	×	○	○	×	×
サブクロック発振回路（f_{XT}）	○	○	○	○	○	○	○	○	○
CPUクロック(f_{CPU})	×	×	×	×	×	○	×	○	×
内部システム・クロック（f_{CLK}）	×	×	○	×	×	○	×	○	×
メイン・クロック（PLLモード時，f_{XX}）	×	○注	○	×	×	○	○	×	×
周辺クロック（f_{XX}-f_{XX}/1024）	×	×	○	×	×	○	×	×	×
WTクロック（メイン）	×	○	○	○	×	○	○	×	×
WTクロック（サブ）	○	○	○	○	○	○	○	○	○
WDT2クロック（内蔵発振）	×	○	○	○	○	○	○	○	○
WDT2クロック（メイン）	×	×	○	×	×	○	×	×	×
WDT2クロック（サブ）	○	○	○	○	○	○	○	○	○

注　ロックアップ時間

備考　○：動作可能
　　×：停止

6.4.2 クロック出力機能

クロック出力機能は，内部システム・クロック（f_{CLK}）をCLKOUT端子から出力します。

内部システム・クロック（f_{CLK}）は，PCC.CK3-CK0ビットで選択します。

CLKOUT端子はPCM1端子と兼用しており，ポートCMの制御レジスタを操作することにより，クロック出力端子として機能します。

CLKOUT端子の状態は表6－1の内部システム・クロックと同じ状態になり，○（動作可能）のときにクロックを出力できます。また，×（停止）のときにはロウ・レベルを出力します。ただし，リセット後，CLKOUT端子の出力設定をするまでは，ポート・モード（PCM1端子：入力モード）となるので，端子の状態はHi-Zになります。

6. 5　PLL機能

6. 5. 1　概　　要

V850ES/SG2では，CPUおよび内蔵周辺機能の動作クロックとしてPLL機能による発振周波数の4逓倍/8逓倍出力とクロック・スルー・モードを選択できます。

PLL機能使用時（4逓倍）　：入力クロック = 2.5〜5 MHz（出力10〜20 MHz）
PLL機能使用時（8逓倍）　：入力クロック = 2.5〜4 MHz（出力20〜32 MHz）
クロック・スルー・モード　：入力クロック = 2.5〜8 MHz（出力2.5〜8 MHz）

6. 5. 2　レジスタ

（1）PLLコントロール・レジスタ（PLLCTL）

PLLを制御する8ビット・レジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより01Hになります。

リセット時：01H　R/W　アドレス：FFFFF82CH

	7	6	5	4	3	2	①	⓪
PLLCTL	0	0	0	0	0	0	SELPLL	PLLON

PLLON	PLL動作停止レジスタ
0	PLL停止
1	PLL動作（PLLを動作開始後，周波数が安定するまで所定のロックアップ時間が必要）

SELPLL	CPU動作クロック選択レジスタ
0	クロック・スルー・モード
1	PLLモード

注意1. PLLONビット = 0に設定すると，自動的にSELPLLビット = 0（クロック・スルー・モード）になります。
2. SELPLLビット = 1の設定は，PLLクロック周波数が安定した状態のときのみ可能です。安定していないとき（アンロック中）にSELPLLビットをライトすると“0”がライトされます。

(2) クロック・コントロール・レジスタ（CKC）

CKCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3.4. 8　特定レジスタ参照）

CKCレジスタは，PLLモード時の内部システム・クロックを制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより0AHになります。

リセット時：0AH　　R/W　　アドレス：FFFFF822H

	7	6	5	4	3	2	1	0
CKC	0	0	0	0	1	0	1	CKDIV0

CKDIV0	PLLモード時の内部システム・クロック（f_{XX}）
0	$f_{XX} = 4 \times f_X$（f_X = 2.5～5.0 MHz）
1	$f_{XX} = 8 \times f_X$（f_X = 2.5～4.0 MHz）

注意1.　f_X = 5.0～8.0 MHzではPLLモードは使用できません。

2.　CKCレジスタで4逓倍/8逓倍を切り替える場合は，クロック・スルー・モードに設定し，PLLを停止してから逓倍率を変更してください。

3.　ビット3, 1には必ず1を設定し，ビット7-4, 2には必ず0を設定してください。

備考　CKCレジスタでの分周は，CPUクロックと周辺クロックの両方が対象となりますが，PCCレジスタでの分周は，CPUクロックのみ対象になります。

(3) ロック・レジスタ（LOCKR）

電源投入後，またはSTOPモード解除直後から所定の周波数でフェーズ・ロックし，安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの状態をロックアップ状態と呼び，安定した状態をロック状態と呼びます。

LOCKRレジスタには，PLL周波数の安定状態を反映するLOCKビットがあります。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H　R　アドレス：FFFFF824H

	7	6	5	4	3	2	1	⓪
LOCKR	0	0	0	0	0	0	0	LOCK

LOCK	PLLのロック状態の確認
0	ロック状態
1	アンロック（ロックしていない）状態

注意　LOCKビットはPLLのロック状態をリアルタイムに反映するものではありません。セット／クリア条件は次のとおりです。

【セット条件】

- システム・リセット時[注]
- IDLE2, STOPモード時
- PLL停止を設定した時（PLLCTL.PLLONビットに“0”を設定）
- CPUをサブクロック動作としメイン・クロックを停止したとき（PCC.CK3ビットに“1”を設定し，PCC.MCKビットに“1”を設定）

注　リセットで01Hになり，リセット解除後の発振安定時間経過後に00Hになります。

【クリア条件】

- リセット解除後の発振安定用タイマのオーバフロー（OSTSレジスタの初期値の時間（24. 2（3）発振安定時間選択レジスタ（OSTS）参照））
- PLL動作状態でSTOPモードを設定した場合の，STOPモード解除後の発振安定用タイマのオーバフロー（OSTSレジスタで時間設定）
- PLLCTL.PLLONビットを0→1に設定した時の，PLLロックアップ時間タイマのオーバフロー（PLLSレジスタで時間設定）
- PLL動作状態でIDLE2モードを設定した場合の，IDLE2モード解除時に挿入されるセットアップ時間解除後（OSTSレジスタで時間設定）

(4) PLLロックアップ時間指定レジスタ（PLLS）

PLLSレジスタは，PLLCTL.PLLONビットを0→1に設定したときの，PLLロックアップ時間を選択する8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより03Hになります。

リセット時：03H　R/W　アドレス：FFFFF6C1H

	7	6	5	4	3	2	1	0
PLLS	0	0	0	0	0	0	PLLS1	PLLS0

PLLS1	PLLS0	PLLロックアップ時間の選択
0	0	$2^{10}/f_X$
0	1	$2^{11}f_X$
1	0	$2^{12}/f_X$
1	1	$2^{13}/f_X$（初期値）

注意1.　ロックアップ時間は，800 μs以上になるように設定してください。

2.　ロックアップ期間中は，PLLSレジスタの設定を変更しないでください。

6.5.3　使用方法

(1) PLLを使用する場合

- リセット解除後は，PLLは動作（PLLCTL.PLLONビット = 1）していますが，初期設定はクロック・スルー・モード（PLLCTL.SELPLLビット = 0）のため，PLLモード（SELPLLビット = 1）に変更してください。
- PLLを動作させる場合はPLLONビット = 1として，LOCKR.LOCKビット = 0となってからSELPLLビット = 1としてください。PLLを停止させる場合は，最初にクロック・スルー・モード（SELPLLビット = 0）として，8クロック以上後に，PLL停止（PLLONビット = 0）としてください。
- IDLE2/STOPモードへ遷移時は，設定にかかわらずPLLは停止しますが，IDLE2/STOPモードからは遷移前の状態で復帰します。復帰にかかる時間は次のとおりです。

(a) クロック・スルー・モード時にIDLE2/STOPモードへ遷移する場合

- STOPモード：発振安定時間が1 ms（MIN.）以上となるようにOSTSレジスタを設定してください。
- IDLE2モード：セットアップ時間が350 μs（MIN.）以上となるようにOSTSレジスタを設定してください。

(b) PLL動作モードのままIDLE2/STOPモードへ遷移する場合

- STOPモード：発振安定時間が1 ms（MIN.）以上となるようにOSTSレジスタを設定してください。
- IDLE2モード：セットアップ時間が800 μs（MIN.）以上となるようにOSTSレジスタを設定してください。

IDLE1モードへ遷移時は，PLLは停止しません。必要に応じて停止してください。

(2) PLLを使用しない場合

- リセット解除後は，クロック・スルー・モード（SELPLLビット = 0）ですが，PLLは動作（PLLONビット = 1）しているので，PLLを停止（PLLONビット = 0）してください。

第7章　16ビット・タイマ／イベント・カウンタP（TMP）

タイマP（TMP）は，16ビットのタイマ／イベント・カウンタです。
V850ES/SG2は，TMP0-TMP5を内蔵しています。

7.1　概　　要

TMPnの概要を次に示します。

- クロック選択　：8通り
- キャプチャ・トリガ入力端子　：2本
- 外部イベント・カウント入力端子　：1本
- 外部トリガ入力端子　：1本
- タイマ・カウンタ　：1本
- キャプチャ／コンペア・レジスタ　：2本
- キャプチャ／コンペア一致割り込み要求信号　：2本
- タイマ出力端子　：2本

備考　n = 0-5

7.2　機　　能

TMPnの機能を次に示します。

- インターバル・タイマ
- 外部イベント・カウンタ
- 外部トリガ・パルス出力
- ワンショット・パルス出力
- PWM出力
- フリー・ランニング・タイマ
- パルス幅測定

備考　n = 0-5

7.3 構　　成

TMPnは，次のハードウエアで構成されています。

表7－1　TMPnの構成

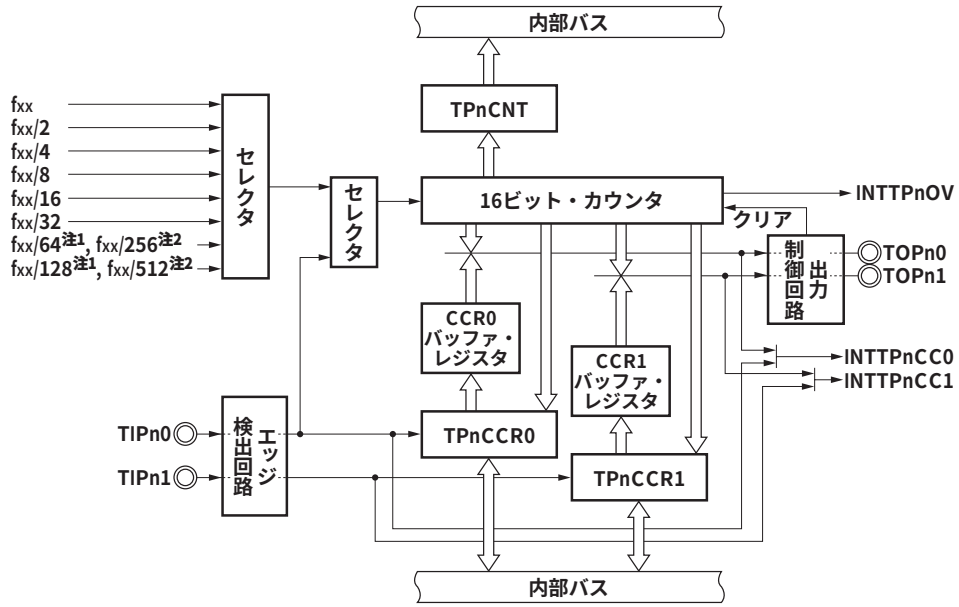
項　　目	構　　成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMPnキャプチャ／コンペア・レジスタ0, 1（TPnCCR0, TPnCCR1） TMPnカウンタ・リード・バッファ・レジスタ（TPnCNT） CCR0, CCR1バッファ・レジスタ
タイマ入力	2本（TIPn0注1, TIPn1端子）
タイマ出力	2本（TOPn0, TOPn1端子）
制御レジスタ注2	TMPn制御レジスタ0, 1（TPnCTL0, TPnCTL1） TMPnI/O制御レジスタ0-2（TPnIOC0-TPnIOC2） TMPnオプション・レジスタ0（TPnOPT0）

注1.　TIPn0端子には，キャプチャ・トリガ入力信号，外部イベント・カウント入力信号，外部トリガ入力信号が兼用されています。

2.　TIPn0, TIPn1, TOPn0, TOPn1端子の機能を使用する場合は，表4－15　ポート端子を兼用端子として使用する場合を参照してください。

備考　n = 0-5

図7－1　TMPnのブロック図



注1.　TMP0, TMP2, TMP4

2.　TMP1, TMP3, TMP5

備考　fxx：メイン・クロック周波数

(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は，TPnCNTレジスタでリードできます。

TPnCTL0.TPnCEビット = 0のとき，16ビット・カウンタはFFFFHになります。このときTPnCNTレジスタをリードすると，0000Hがリードされます。

リセットによりTPnCEビット = 0になるため，16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR0レジスタをコンペア・レジスタとして使用するとき，TPnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると，コンペア一致割り込み要求信号（INTTPnCC0）を発生します。

CCR0バッファ・レジスタは，直接リード／ライトできません。

リセットによりTPnCCR0レジスタが0000Hになるため，CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR1レジスタをコンペア・レジスタとして使用するとき，TPnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると，コンペア一致割り込み要求信号（INTTPnCC1）を発生します。

CCR1バッファ・レジスタは，直接リード／ライトできません。

リセットによりTPnCCR1レジスタが0000Hになるため，CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIPn0, TIPn1端子に入力される有効エッジを検出します。有効エッジは，TPnIOC1, TPnIOC2レジスタにより，エッジ検出なし，立ち上がり，立ち下がり，立ち上がり／立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOPn0, TOPn1端子の出力を制御します。TOPn0, TOPn1端子の出力は，TPnIOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして，8種類の内部クロックまたは外部イベントから選択できます。

7.4　レジスタ

TMPnを制御するレジスタを次に示します。

- TMPn制御レジスタ0（TPnCTL0）
- TMPn制御レジスタ1（TPnCTL1）
- TMPnI/O制御レジスタ0（TPnIOC0）
- TMPnI/O制御レジスタ1（TPnIOC1）
- TMPnI/O制御レジスタ2（TPnIOC2）
- TMPnオプション・レジスタ0（TPnOPT0）
- TMPnキャプチャ／コンペア・レジスタ0（TPnCCR0）
- TMPnキャプチャ／コンペア・レジスタ1（TPnCCR1）
- TMPnカウンタ・リード・バッファ・レジスタ（TPnCNT）

備考1.　TIPn0, TIPn1, TOPn0, TOPn1端子の機能を使用する場合は，表4－15　ポート端子を兼用端子として使用する場合を参照してください。

2.　n = 0-5

（1）TMPn制御レジスタ0（TPnCTL0）

TPnCTL0レジスタは，TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

TPnCTL0レジスタは，常時ソフトウエアでの同値書き込みができます。

リセット時：00H　R/W　アドレス：TP0CTL0 FFFFF590H, TP1CTL0 FFFFF5A0H,
TP2CTL0 FFFFF5B0H, TP3CTL0 FFFFF5C0H,
TP4CTL0 FFFFF5D0H, TP5CTL0 FFFFF5E0H

	⑦	6	5	4	3	2	1	0
TPnCTL0 （n = 0-5）	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0

TPnCE	TMPnの動作の制御
0	TMPn動作禁止（TMPnを非同期にリセット注）
1	TMPn動作許可。TMPn動作開始

TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択	
			n = 0, 2, 4	n = 1, 3, 5
0	0	0	fxx	
0	0	1	fxx/2	
0	1	0	fxx/4	
0	1	1	fxx/8	
1	0	0	fxx/16	
1	0	1	fxx/32	
1	1	0	fxx/64	fxx/256
1	1	1	fxx/128	fxx/512

注　TPnOPT0.TPnOVFビット，16ビット・カウンタ，タイマ出力（TOPn0, TOPn1端子）。

注意1.　TPnCKS2-TPnCKS0ビットは，TPnCEビット = 0のときに設定してください。TPnCEビットを“0”から“1”に設定するときに，同時にTPnCKS2-TPnCKS0ビットを設定できます。

2.　ビット3-6には必ず“0”を設定してください。

備考　fxx：メイン・クロック周波数

（2）TMPn制御レジスタ1（TPnCTL1）

TPnCTL1レジスタは，TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　**アドレス：**TP0CTL1 FFFFF591H, TP1CTL1 FFFFF5A1H,
TP2CTL1 FFFFF5B1H, TP3CTL1 FFFFF5C1H,
TP4CTL1 FFFFF5D1H, TP5CTL1 FFFFF5E1H

	7	⑥	⑤	4	3	2	1	0
TPnCTL1	0	TPnEST	TPnEEE	0	0	TPnMD2	TPnMD1	TPnMD0

（n = 0-5）

TPnEST	ソフトウエア・トリガ制御
0	－
1	**外部トリガ入力への有効な信号を作成** **・ワンショット・パルス出力モード時：**TPnESTビットへの”1”ライトをトリガとして，ワンショット・パルスを出力 **・外部トリガ・パルス出力モード時：**TPnESTビットへの”1”ライトをトリガとして，PWM波形を出力

TPnEEE	カウント・クロックの選択
0	**外部イベント・カウント入力での動作禁止** （TPnCTL0.TPnCK0-TPnCK2ビットによって選択されたカウント・クロックでカウント動作を行う）
1	**外部イベント・カウント入力での動作許可** （外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う）
TPnEEEビットは，内部カウント・クロックか，または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

注意1. TPnESTビットは，外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは，“1”をライトしても無視されます。

2. 外部イベント・カウント・モードのときは，TPnEEEビットの値にかかわらず外部イベント・カウント入力が選択されます。

3. TPnEEE，TPnMD2-TPnMD0ビットは，TPnCTL0.TPnCEビット = 0のときに設定してください（TPnCEビット = 1のときの同値書き込みは可能）。TPnCEビット = 1のときに書き換えた場合，動作を保証できません。誤って書き換えた場合は，TPnCEビットをクリア（0）してから再設定してください。

4. ビット3, 4, 7には必ず“0”を設定してください。

（3）TMPnI/O制御レジスタ0（TPnIOC0）

TPnIOC0レジスタは，タイマ出力（TOPn0, TOPn1端子）を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TP0IOC0 FFFFF592H, TP1IOC0 FFFFF5A2H,
TP2IOC0 FFFFF5B2H, TP3IOC0 FFFFF5C2H,
TP4IOC0 FFFFF5D2H, TP5IOC0 FFFFF5E2H

	7	6	5	4	3	②	1	⓪
TPnIOC0	0	0	0	0	TPnOL1	TPnOE1	TPnOL0	TPnOE0

（n = 0-5）

TPnOL1	TOPn1端子出力レベルの設定
0	TOPn1端子出力反転禁止
1	TOPn1端子出力反転許可

TPnOE1	TOPn1端子出力の設定
0	タイマ出力禁止 ・TPnOL1ビット = 0のときTOPn1端子からロウ・レベルを出力 ・TPnOL1ビット = 1のときTOPn1端子からハイ・レベルを出力
1	タイマ出力許可（TOPn1端子から方形波を出力）

TPnOL0	TOPn0端子出力レベルの設定
0	TOPn0端子出力反転禁止
1	TOPn0端子出力反転許可

TPnOE0	TOPn0端子出力の設定
0	タイマ出力禁止 ・TPnOL0ビット = 0のときTOPn0端子からロウ・レベルを出力 ・TPnOL0ビット = 1のときTOPn0端子からハイ・レベルを出力
1	タイマ出力許可（TOPn0端子から方形波を出力）

注意1. TPnOL1, TPnOE1, TPnOL0, TPnOE0ビットは，TPnCTL0.TPnCEビット = 0のときに書き換えてください（TPnCEビット = 1のときの同値書き込みは可能）。誤まって書き換えた場合は，TPnCEビットをクリア（0）してから再設定してください。

2. TPnCEビット = 0, TPnOEmビット = 0の状態において，TPnOLmビットを操作した場合でも，TOPnm端子の出力レベルは変化します（m = 0, 1）。

（4）TMPnI/O制御レジスタ1（TPnIOC1）

TPnIOC1レジスタは，キャプチャ・トリガ入力信号（TIPn0，TIPn1端子）に対する有効エッジを制御する8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TP0IOC1 FFFFF593H, TP1IOC1 FFFFF5A3H,
TP2IOC1 FFFFF5B3H, TP3IOC1 FFFFF5C3H,
TP4IOC1 FFFFF5D3H, TP5IOC1 FFFFF5E3H

	7	6	5	4	3	2	1	0
TPnIOC1	0	0	0	0	TPnIS3	TPnIS2	TPnIS1	TPnIS0

（n = 0-5）

TPnIS3	TPnIS2	キャプチャ・トリガ入力信号（TIPn1端子）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnIS1	TPnIS0	キャプチャ・トリガ入力信号（TIPn0端子）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意1.　TPnIS3-TPnIS0ビットは，TPnCTL0.TPnCEビット = 0のときに書き換えてください（TPnCEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は，TPnCEビットをクリア（0）してから再設定してください。

2.　TPnIS3-TPnIS0ビットは，フリー・ランニング・タイマ・モードと，パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

（5）TMPnI/O制御レジスタ2（TPnIOC2）

TPnIOC2レジスタは，外部イベント・カウント入力信号（TIPn0端子），外部トリガ入力信号（TIPn0端子）に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TP0IOC2 FFFFF594H, TP1IOC2 FFFFF5A4H,
TP2IOC2 FFFFF5B4H, TP3IOC2 FFFFF5C4H,
TP4IOC2 FFFFF5D4H, TP5IOC2 FFFFF5E4H

	7	6	5	4	3	2	1	0
TPnIOC2 （n = 0-5）	0	0	0	0	TPnEES1	TPnEES0	TPnETS1	TPnETS0

TPnEES1	TPnEES0	外部イベント・カウント入力信号（TIPn0端子）の有効エッジの設定
0	0	エッジ検出なし（外部イベント・カウント無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnETS1	TPnETS0	外部トリガ入力信号（TIPn0端子）の有効エッジの設定
0	0	エッジ検出なし（外部トリガ無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意1.　TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは，TPnCTL0.TPnCEビット = 0のときに書き換えてください（TPnCEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は，TPnCEビットをクリア（0）してから再設定してください。

2.　TPnEES1, TPnEES0ビットは，TPnCTL1.TPnEEEビット = 1，または外部イベント・カウント・モード（TPnCTL1.TPnMD2-TPnMD0ビット = 001）に設定したときのみ有効です。

3.　TPnETS1，TPnETS0ビットは，外部トリガ・パルス出力モード（TPnCTL1.TPnMD2-TPnMD0ビット = 010），ワンショット・パルス出力モード（TPnCTL1.TPnMD2-TPnMD0 = 011）に設定したときのみ有効です。

(6) TMPnオプション・レジスタ0（TPnOPT0）

TPnOPT0レジスタは，キャプチャ／コンペア動作の設定，オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：TP0OPT0 FFFFF595H, TP1OPT0 FFFFF5A5H,
TP2OPT0 FFFFF5B5H, TP3OPT0 FFFFF5C5H,
TP4OPT0 FFFFF5D5H, TP5OPT0 FFFFF5E5H

	7	6	5	4	3	2	1	⓪
TPnOPT0 (n = 0-5)	0	0	TPnCCS1	TPnCCS0	0	0	0	TPnOVF

TPnCCS1	TPnCCR1レジスタのキャプチャ／コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TPnCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnCCS0	TPnCCR0レジスタのキャプチャ／コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TPnCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnOVF	TMPnのオーバフロー検出フラグ
セット（1）	オーバフロー発生
リセット（0）	TPnOVFビットへの0ライトまたはTPnCTL0.TPnCEビット = 0
・TPnOVFビットは，フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に，16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット（1）されます。 ・TPnOVFビットがセット（1）されると同時に，割り込み要求信号（INTTPnOV）が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では，INTTPnOV信号は発生しません。 ・TPnOVFビット = 1のときにTPnOVFビットまたはTPnOPT0レジスタをリードしても，TPnOVFビットはクリアされません。 ・TPnOVFビットはリード／ライト可能ですが，ソフトウエアでTPnOVFビットをセット（1）することはできません。“1”をライトしてもTMPnの動作に影響はありません。	

注意1. TPnCCS1, TPnCCS0ビットは，TPnCEビット = 0のときに書き換えてください（TPnCEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は，TPnCEビットをクリア（0）してから再設定してください。

2. ビット1-3, 6, 7には必ず“0”を設定してください。

（7）TMPnキャプチャ／コンペア・レジスタ0（TPnCCR0）

TPnCCR0レジスタは，各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TPnCCR0レジスタは，フリー・ランニング・タイマ・モードの場合のみ，TPnOPT0.TPnCCS0ビットの設定により，キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は，キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは，コンペア・レジスタとしてのみ使用します。

TPnCCR0レジスタは，動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意　次に示す状態において，TPnCCR0レジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H　R/W　アドレス：TP0CCR0 FFFFF596H, TP1CCR0 FFFFF5A6H,
TP2CCR0 FFFFF5B6H, TP3CCR0 FFFFF5C6H,
TP4CCR0 FFFFF5D6H, TP5CCR0 FFFFF5E6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPnCCR0 (n = 0-5)																

(a) コンペア・レジスタとしての機能

TPnCCR0レジスタは，TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号（INTTPnCC0）を発生し，TOPn0端子出力を許可している場合，TOPn0端子出力を反転します。

インターバル・タイマ・モード，外部イベント・カウント・モード，外部トリガ・パルス出力モード，ワンショット・パルス出力モード，PWM出力モードにおいて，TPnCCR0レジスタを周期レジスタとして使用する場合は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア（0000H）します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて，TPnCCR0レジスタをキャプチャ・レジスタとして使用する場合，キャプチャ・トリガ入力（TIPn0端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTPnCCR0レジスタに格納します。パルス幅測定モードの場合は，キャプチャ・トリガ入力（TIPn0端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTPnCCR0レジスタに格納し，16ビット・カウンタをクリア（0000H）します。

キャプチャ動作とTPnCCR0レジスタのリードが競合しても，TPnCCR0レジスタは正しい値をリードできます。

各動作モードと，対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表7－2　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	－

（8）TMPnキャプチャ／コンペア・レジスタ1（TPnCCR1）

TPnCCR1レジスタは，各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TPnCCR1レジスタは，フリー・ランニング・タイマ・モードの場合のみ，TPnOPT0.TPnCCS1ビットの設定により，キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は，キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは，コンペア・レジスタとしてのみ使用します。

TPnCCR1レジスタは，動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意　次に示す状態において，TPnCCR1レジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H　R/W　アドレス：TP0CCR1 FFFFF598H, TP1CCR1 FFFFF5A8H,
TP2CCR1 FFFFF5B8H, TP3CCR1 FFFFF5C8H,
TP4CCR1 FFFFF5D8H, TP5CCR1 FFFFF5E8H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPnCCR1																

（n = 0-5）

(a) コンペア・レジスタとしての機能

TPnCCR1レジスタは，TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号（INTTPnCC1）を発生し，TOPn1端子出力を許可している場合，TOPn1端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて，TPnCCR1レジスタをキャプチャ・レジスタとして使用する場合，キャプチャ・トリガ入力（TIPn1端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTPnCCR1レジスタに格納します。パルス幅測定モードの場合は，キャプチャ・トリガ入力（TIPn1端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTPnCCR1レジスタに格納し，16ビット・カウンタをクリア（0000H）します。

キャプチャ動作とTPnCCR1レジスタのリードが競合しても，TPnCCR1レジスタは正しい値をリードできます。

各動作モードと，対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表7－3　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	－

（9）TMPnカウンタ・リード・バッファ・レジスタ（TPnCNT）

TPnCNTレジスタは，16ビットのカウント値をリードできるリード・バッファ・レジスタです。

TPnCTL0.TPnCEビット = 1のときにTPnCNTレジスタをリードすると，16ビット・カウンタのカウント値をリードできます。

16ビット単位でリードのみ可能です。

TPnCEビット = 0のとき，TPnCNTレジスタは0000Hになります。このときにTPnCNTレジスタをリードすると，16ビット・カウンタの値（FFFFH）をリードせず，そのまま0000Hをリードします。

リセットによりTPnCEビット = 0になるため，TPnCNTレジスタは0000Hになります。

注意　次に示す状態において，TPnCNTレジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H　R　アドレス：TP0CNT FFFFF59AH, TP1CNT FFFFF5AAH,
TP2CNT FFFFF5BAH, TP3CNT FFFFF5CAH,
TP4CNT FFFFF5DAH, TP5CNT FFFFF5EAH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPnCNT （n = 0-5）																

7.5 動　　作

TMPnには次のような動作があります。

動　作	TPnCTL1.TPnESTビット（ソフトウエア・トリガ・ビット）	TIPn0端子（外部トリガ入力）	キャプチャ／コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード注1	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード注2	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード注2	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード注2	無効	無効	キャプチャ専用	対象外

注1.　外部イベント・カウント・モードを使用する場合，TIPn0端子のキャプチャ・トリガ入力の有効エッジの設定を，エッジを検出しない（TPnIOC1.TPnIS1, TPnIS0ビットを“00”）に設定してください。

2.　外部トリガ・パルス出力モード，ワンショット・パルス出力モード，パルス幅測定モードを使用する場合，カウント・クロックは内部クロックを選択（TPnCTL1.TPnEEEビット = 0に設定）してください。

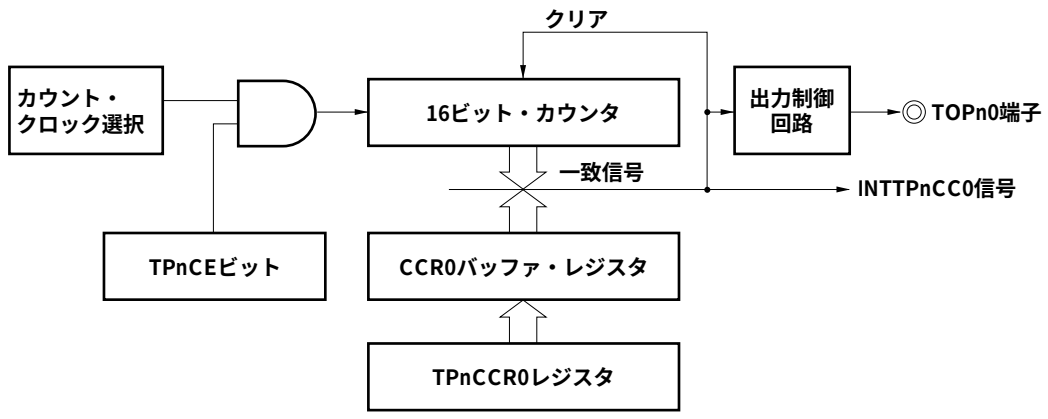
備考　n = 0-5

7. 5. 1　インターバル・タイマ・モード（TPnMD2-TPnMD0ビット = 000）

インターバル・タイマ・モードは，TPnCTL0.TPnCEビットをセット（1）することで，任意のインターバル間隔にて割り込み要求信号（INTTPnCC0）を発生します。また，TOPn0端子から，インターバル間隔を半周期とする方形波を出力できます。

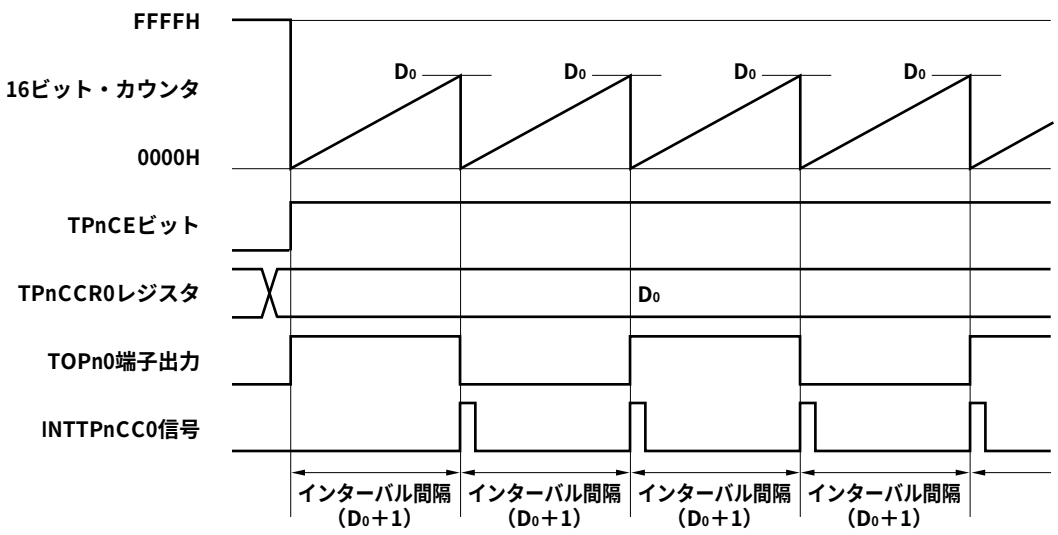
インターバル・タイマ・モードでは，通常，TPnCCR1レジスタを使用しません。

図7－2　インターバル・タイマの構成図



備考　n = 0-5

図7－3　インターバル・タイマ・モード動作の基本タイミング



備考　n = 0-5

TPnCEビットをセット（1）することで，カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし，カウント動作を開始します。このときTOPn0端子出力を反転します。また，TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると，16ビット・カウンタを0000Hにクリアし，TOPn0端子出力を反転させて，コンペア一致割り込み要求信号（INTTPnCC0）を発生します。

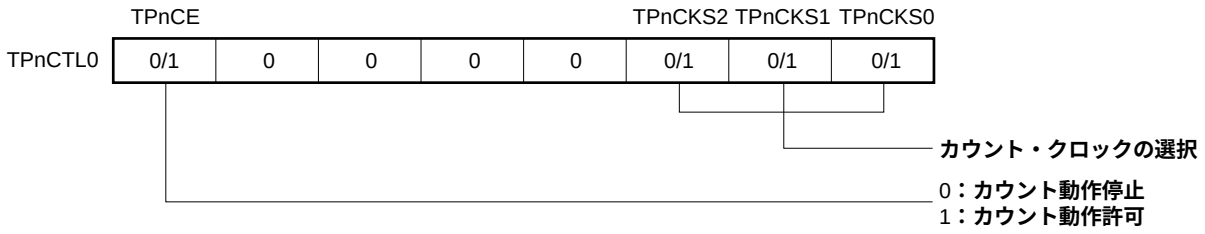
インターバル間隔は次のようになります。

インターバル間隔 ＝ （TPnCCR0レジスタ設定値＋1）×カウント・クロック周期

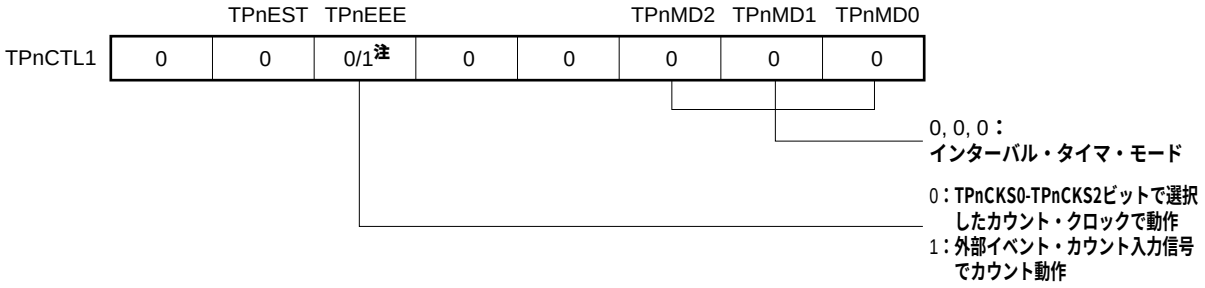
備考　n = 0-5

図7－4　インターバル・タイマ・モード動作時のレジスタ設定内容（1/2）

（a）TMPn制御レジスタ0（TPnCTL0）



（b）TMPn制御レジスタ1（TPnCTL1）



注　割り込み要求信号（INTTPnCC0, INTTPnCC1）を割り込みマスク・フラグ（TPnCCMK0, TPnCCMK1）でマスク設定し，タイマ出力（TOPn1）する場合だけ，1に設定することを許可します。ただし，TPnCCR0, TPnCCR1レジスタの設定値は，同値にしてください（7. 5. 1（2）（d）TPnCCR1レジスタの動作参照）。

図7－4　インターバル・タイマ・モード動作時のレジスタ設定内容（2/2）

（c）TMPnI/O制御レジスタ0（TPnIOC0）

					TPnOL1	TPnOE1	TPnOL0	TPnOE0
TPnIOC0	0	0	0	0	0/1	0/1	0/1	0/1

0：TOPn0端子出力禁止
1：TOPn0端子出力許可

TOPn0端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

0：TOPn1端子出力禁止
1：TOPn1端子出力許可

TOPn1端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

（d）TMPnカウンタ・リード・バッファ・レジスタ（TPnCNT）

TPnCNTレジスタをリードすることで，16ビット・カウンタのカウント値をリードできます。

（e）TMPnキャプチャ／コンペア・レジスタ0（TPnCCR0）

TPnCCR0レジスタにD_0を設定した場合，

インターバル間隔 ＝ （D_0＋1）×カウント・クロック周期

となります。

（f）TMPnキャプチャ／コンペア・レジスタ1（TPnCCR1）

インターバル・タイマ・モードでは，通常，TPnCCR1レジスタを使用しません。しかし，TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号（INTTPnCC1）が発生します。

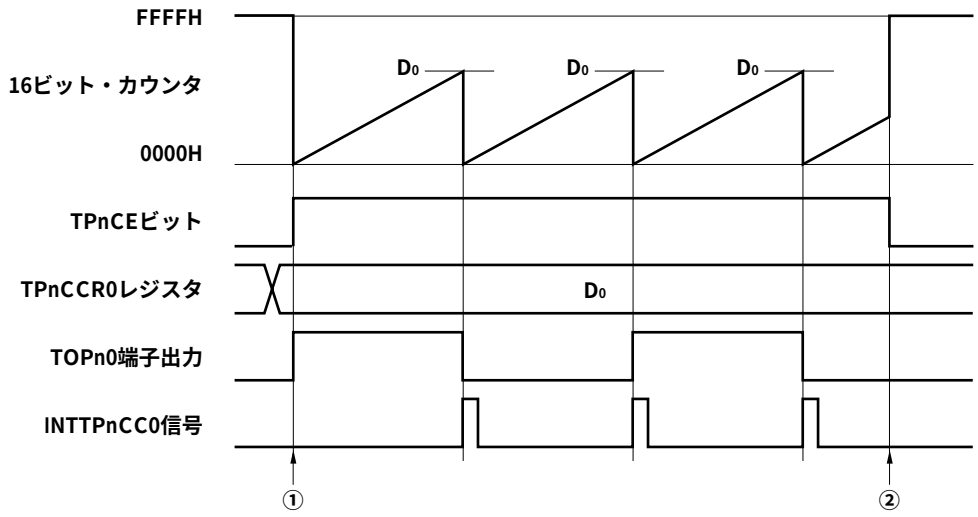
したがって，割り込みマスク・フラグ（TPnCCMK1）でマスク設定しておいてください。

備考1.　TMPnI/O制御レジスタ1（TPnIOC1），TMPnI/O制御レジスタ2（TPnIOC2），TMPnオプション・レジスタ0（TPnOPT0）は，インターバル・タイマ・モードでは使用しません。

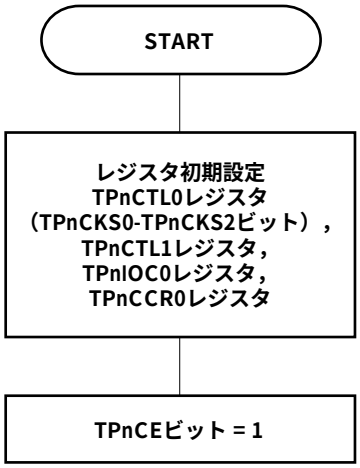
2.　n = 0-5

(1) インターバル・タイマ・モード動作フロー

図7－5　インターバル・タイマ・モード使用時のソフトウエア処理フロー



① カウント動作開始フロー



TPnCEビット = 1にする前に，
これらのレジスタを初期設定。

カウント動作開始（TPnCEビット = 1）と同時に，
TPnCKS0-TPnCKS2ビットの設定は可能。

② カウント動作停止フロー

カウント動作停止（TPnCEビット = 0）にすることで，
カウンタを初期化しカウント動作を停止。

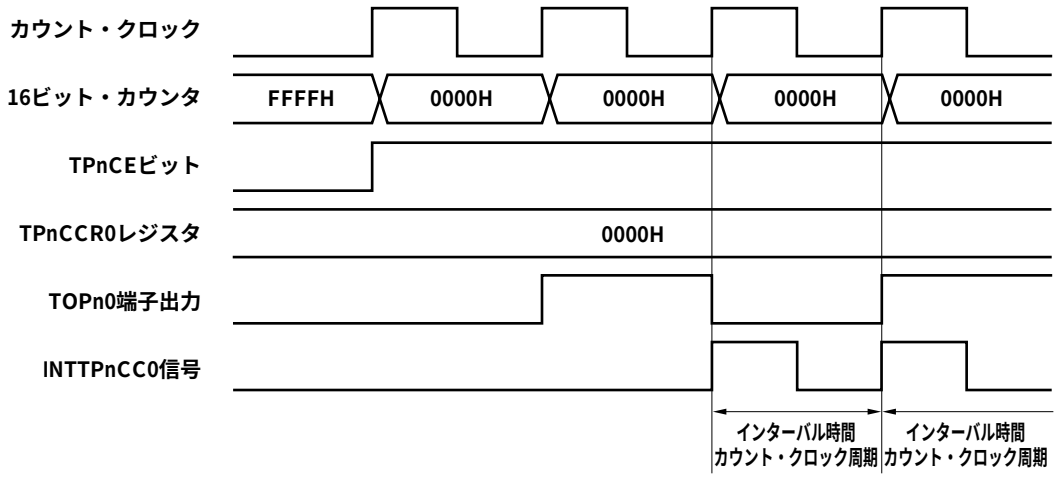
備考　n = 0-5

(2) インターバル・タイマ・モード動作タイミング

(a) TPnCCR0レジスタに0000Hを設定した場合の動作

TPnCCR0レジスタに0000Hを設定した場合，2クロック目以降のカウント・クロックごとにINTTPnCC0信号を発生し，TOPn0端子の出力を反転します。

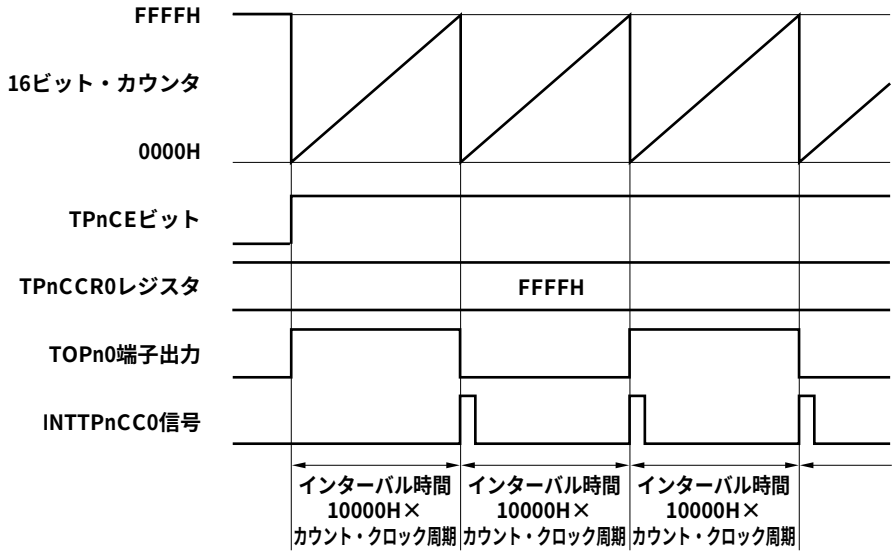
16ビット・カウンタは，常に0000Hとなります。



備考　n = 0-5

(b) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合，16ビット・カウンタはFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTPnCC0信号を発生し，TOPn0端子の出力を反転します。このとき，オーバフロー割り込み要求信号（INTTPnOV）は発生せず，オーバフロー・フラグ（TPnOPT0.TPnOVFビット）もセット（1）されません。

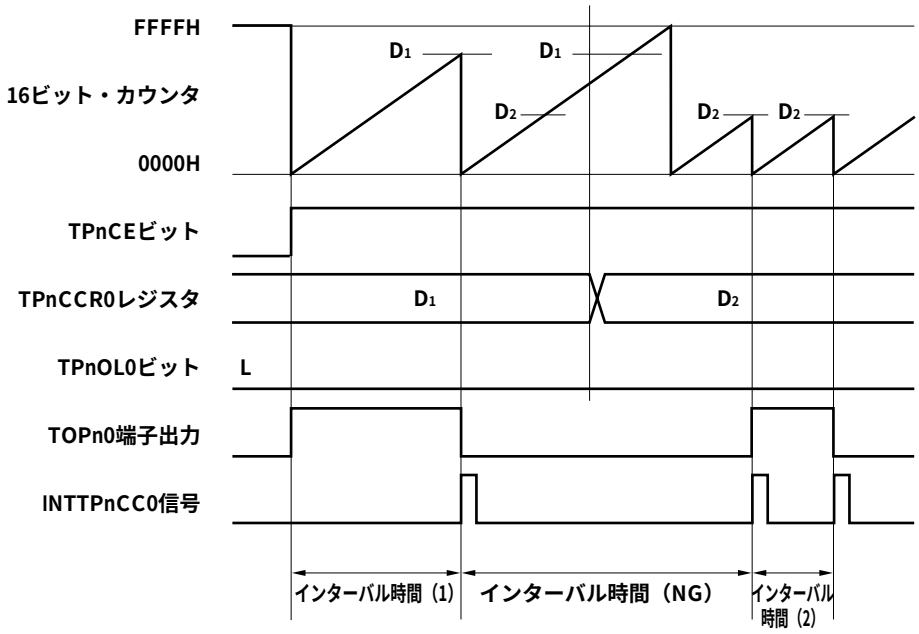


備考　n = 0-5

（c）TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には，一度カウント動作を停止させ，その後，設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると，16ビット・カウンタがオーバフローする場合があるので注意してください。



備考1.　インターバル時間（1）　：（D_1＋1）×カウント・クロック周期

インターバル時間（NG）　：（10000H＋D_2＋1）×カウント・クロック周期

インターバル時間（2）　：（D_2＋1）×カウント・クロック周期

2.　n = 0-5

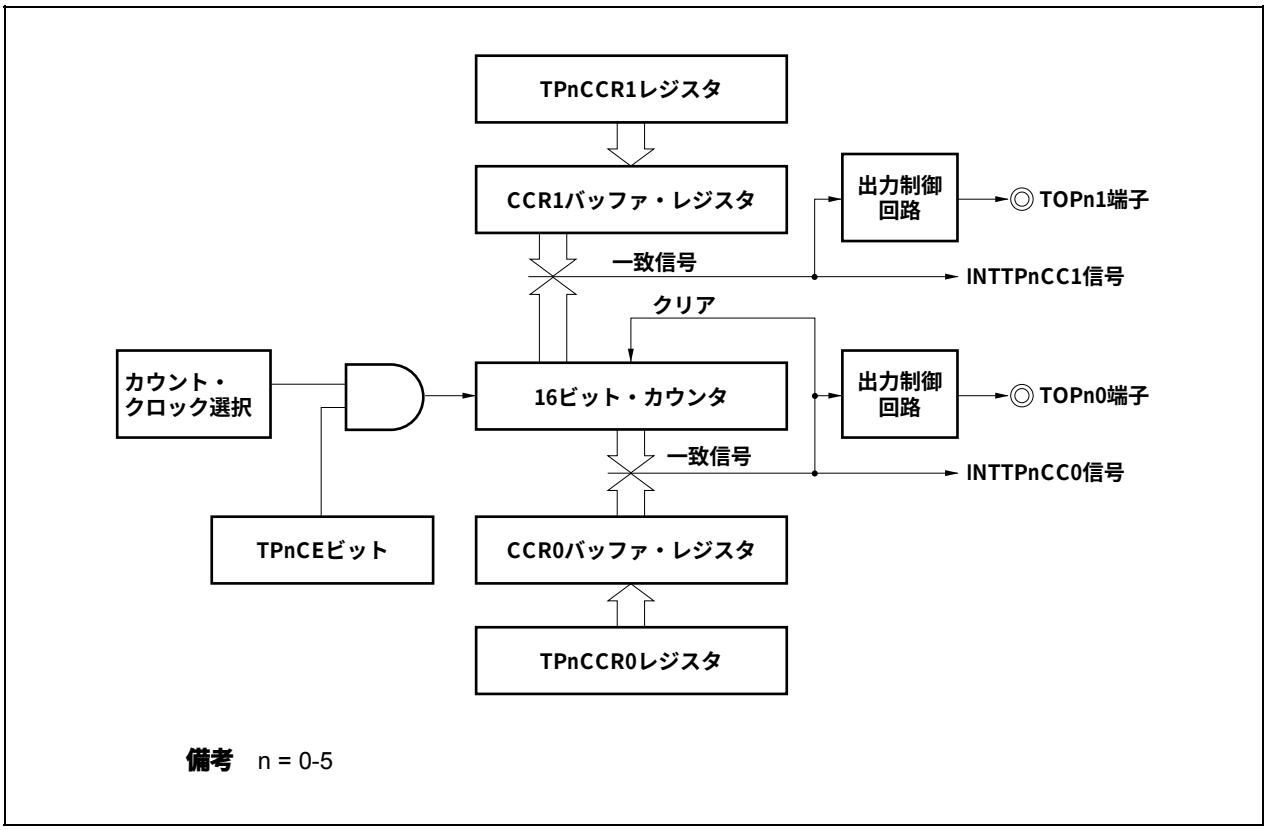
カウント値がD_2よりも大きくD_1よりも小さい状態において，TPnCCR0レジスタをD_1からD_2に書き換えると，書き換えたタイミングでCCR0バッファ・レジスタに転送されるため，16ビット・カウンタとのコンペア値がD_2となります。

しかし，カウント値はすでにD_2を越えているためにFFFFHまでカウントを行い，オーバフロー後，0000Hから再度カウント・アップを行います。そして，D_2との一致でINTTPnCC0信号を発生しTOPn0端子出力を反転します。

したがって，本来期待しているインターバル時間である「（D_1＋1）×カウント・クロック周期」または「（D_2＋1）×カウント・クロック周期」でINTTPnCC0信号は発生せずに，「（10000H＋D_2＋1）×カウント・クロック周期」の間隔でINTTPnCC0信号が発生する場合があります。

（d）TPnCCR1レジスタの動作

図7－6　TPnCCR1レジスタの構成図

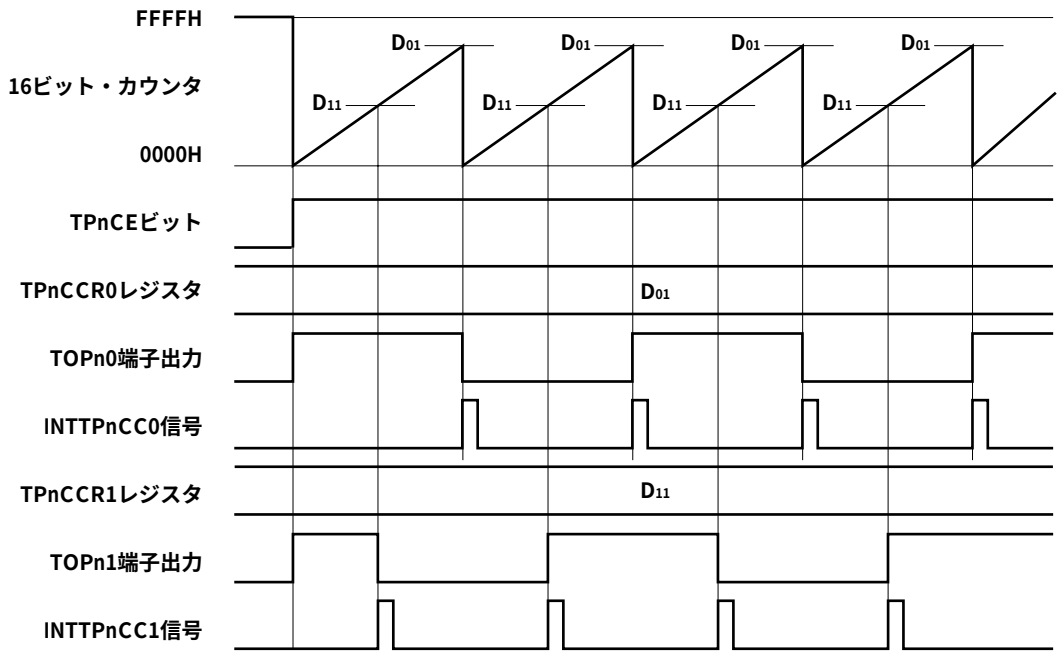


備考　n = 0-5

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には，1周期に1回のINTTPnCC1信号が発生します。また，同じタイミングでTOPn1端子出力は反転します。

TOPn1端子出力は，TOPn0端子出力と同じ周期の方形波を出力します。

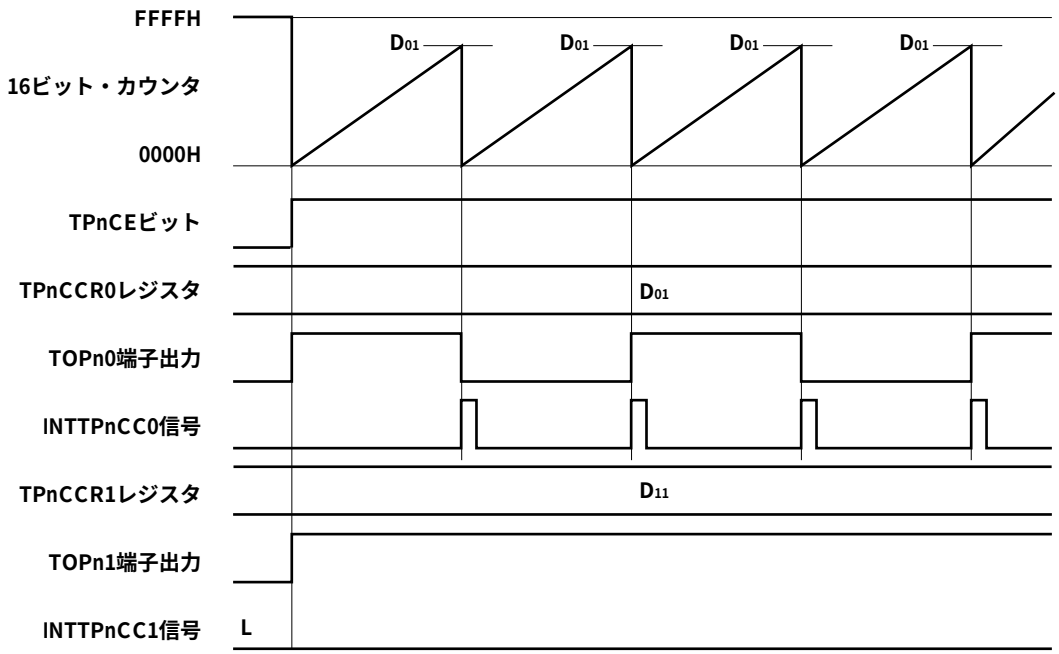
図7－7　$D_{01} \geqq D_{11}$の場合のタイミング図



備考　n = 0-5

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には，16ビット・カウンタのカウント値とTPnCCR1レジスタの値が一致しないので，INTTPnCC1信号は発生しません。また，TOPn1端子出力も変化しません。

図7－8　D_{01}＜D_{11}の場合のタイミング図



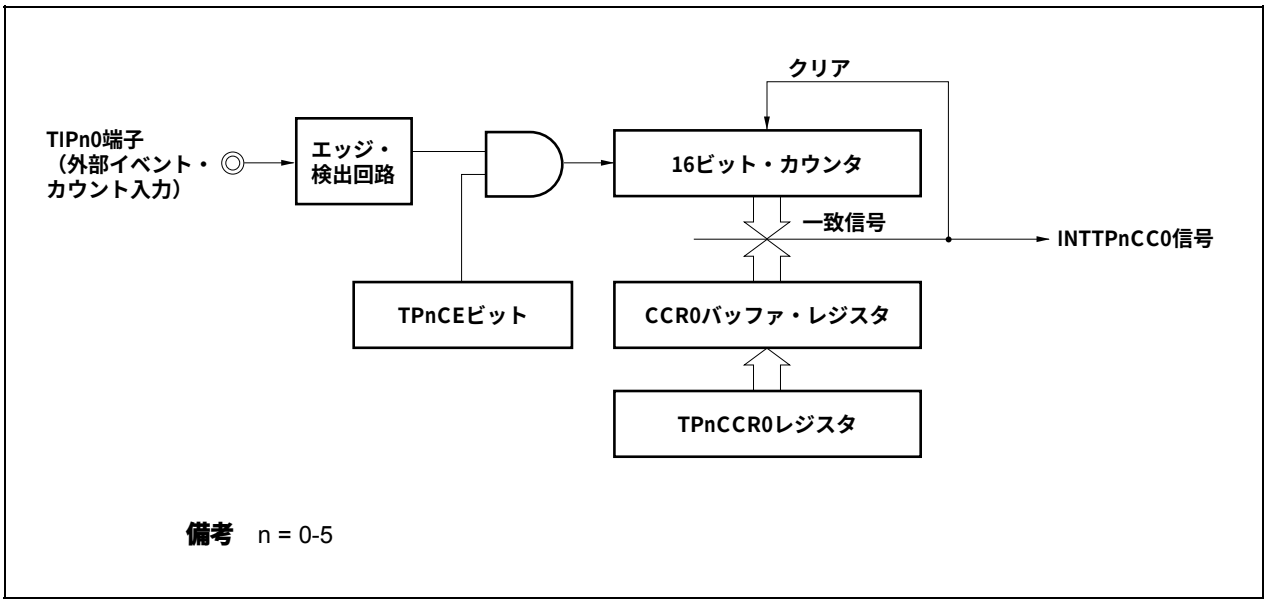
備考　n = 0-5

7. 5. 2　外部イベント・カウント・モード（TPnMD2-TPnMD0ビット = 001）

外部イベント・カウント・モードは，TPnCTL0.TPnCEビットをセット（1）することで，外部イベント・カウント入力の有効エッジをカウントし，任意のカウント数をカウントするごとに割り込み要求信号（INTTPnCC0）を発生します。TOPn0端子は使用できません。

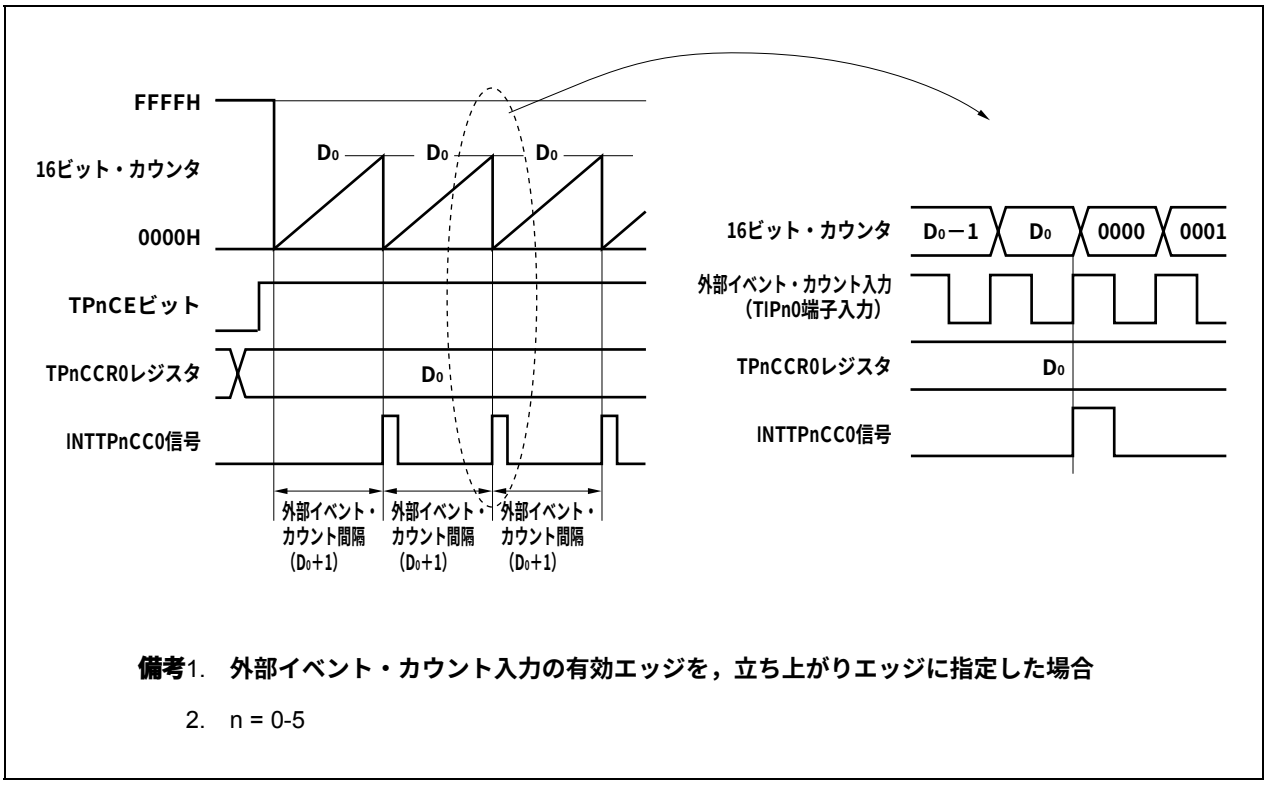
外部イベント・カウント・モードでは，通常，TPnCCR1レジスタは使用しません。

図7－9　外部イベント・カウント・モードの構成図



備考　n = 0-5

図7－10　外部イベント・カウント・モードの基本タイミング



備考1.　外部イベント・カウント入力の有効エッジを，立ち上がりエッジに指定した場合

2.　n = 0-5

TPnCEビットをセット（1）することで，16ビット・カウンタをFFFFHから0000Hにクリアし，外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また，TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると，16ビット・カウンタを0000Hにクリアし，コンペア一致割り込み要求信号（INTTPnCC0）を発生します。

INTTPnCC0信号は，外部イベント・カウント入力の有効エッジを（TPnCCR0レジスタに設定した値＋1）回検出するごとに発生します。

図7－11　外部イベント・カウント・モード動作時のレジスタ設定内容（1/2）

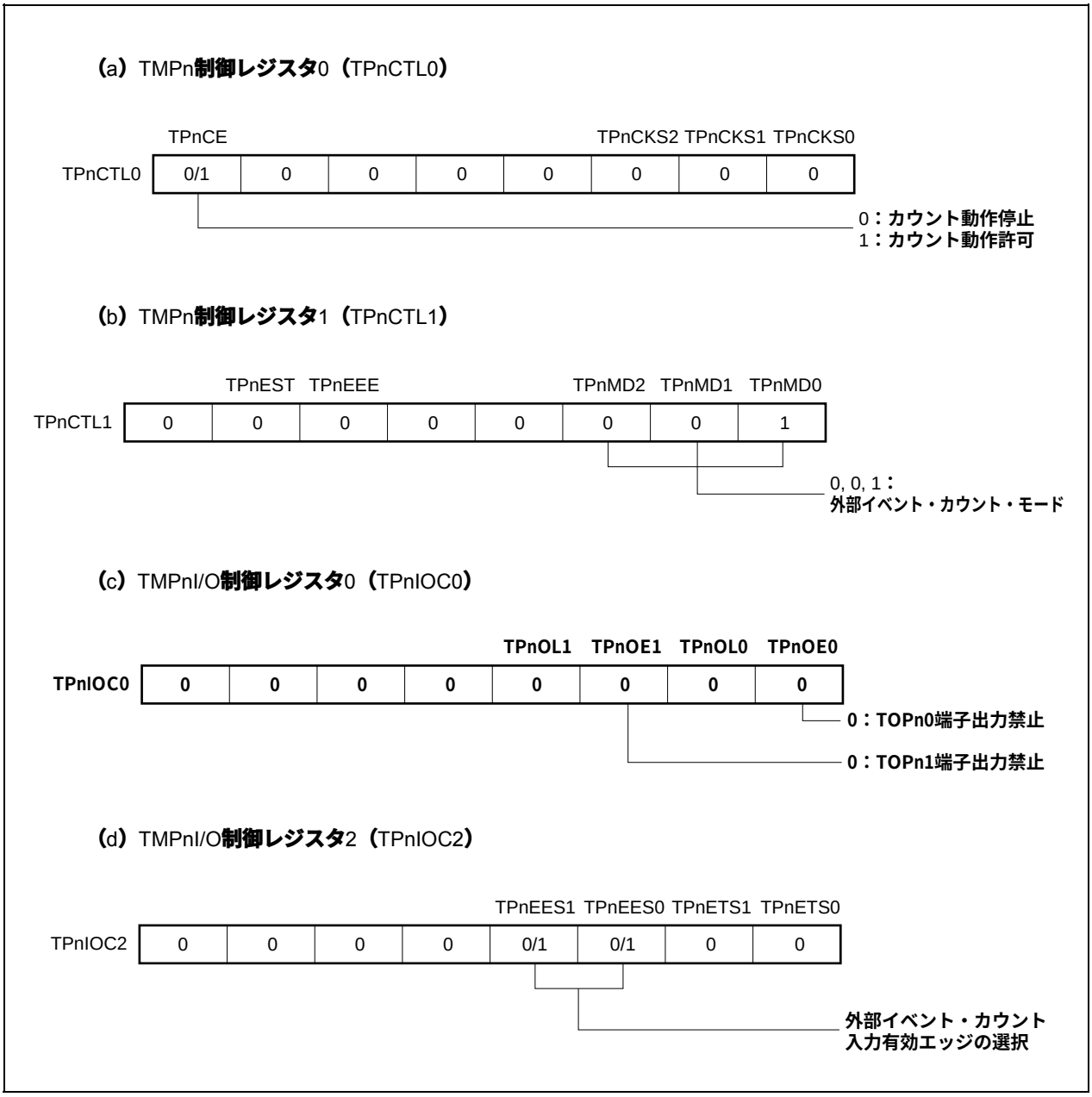


図7－11　外部イベント・カウント・モード動作時のレジスタ設定内容（2/2）

（e）TMPnカウンタ・リード・バッファ・レジスタ（TPnCNT）

TPnCNTレジスタをリードすることで，16ビット・カウンタのカウント値をリードできます。

（f）TMPnキャプチャ／コンペア・レジスタ0（TPnCCR0）

TPnCCR0レジスタにD_0を設定した場合，外部イベント・カウント数が（D_0＋1）回となるとカウントをクリアしコンペア一致割り込み要求信号（INTTPnCC0）を発生します。

（g）TMPnキャプチャ／コンペア・レジスタ1（TPnCCR1）

外部イベント・カウント・モードでは，通常，TPnCCR1レジスタは使用しません。しかし，TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号（INTTPnCC1）が発生します。

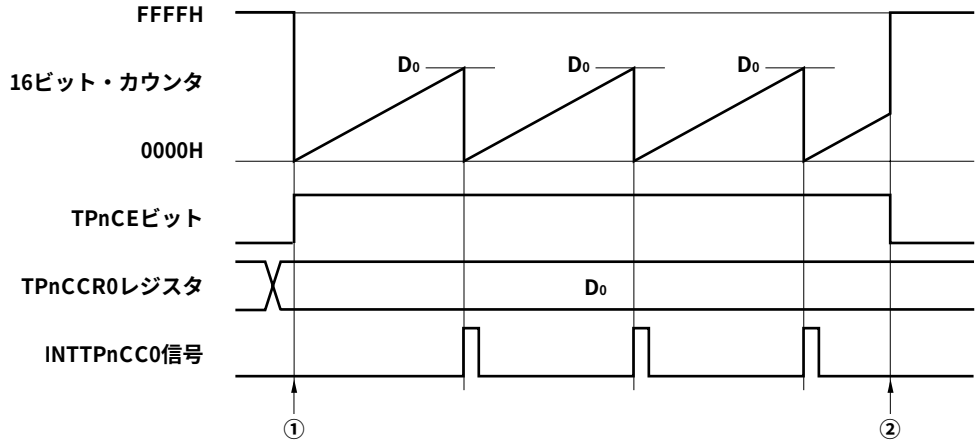
したがって，割り込みマスク・フラグ（TPnCCMK1）でマスク設定しておいてください。

備考1.　TMPnI/O制御レジスタ1（TPnIOC1），TMPnオプション・レジスタ0（TPnOPT0）は，外部イベント・カウント・モードでは使用しません。

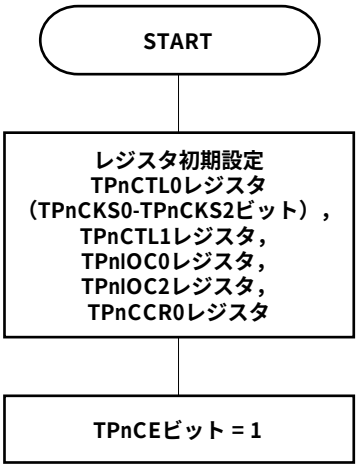
2.　n = 0-5

（1）外部イベント・カウント・モード動作フロー

図7－12　外部イベント・カウント・モード使用時のソフトウエア処理フロー



① カウント動作開始フロー



TPnCEビット＝1にする前に，
これらのレジスタを初期設定。

カウント動作開始（TPnCEビット＝1）と同時に，
TPnCKS0-TPnCKS2ビットの設定は可能。

② カウント動作停止フロー

カウント動作停止（TPnCEビット＝0）にすることで，
カウンタを初期化しカウント動作を停止。

備考　n = 0-5

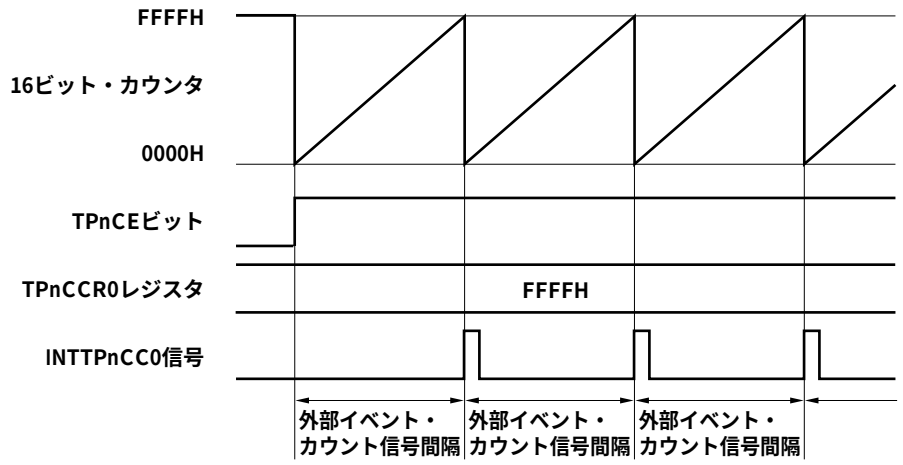
(2) 外部イベント・カウント・モード動作タイミング

注意1. 外部イベント・カウント・モード時，TPnCCR0レジスタには，0000Hを設定しないでください。

2. 外部イベント・カウント・モード時，タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は，インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください
（TPnCTL1.TPnMD2-TPnMD0ビット = 000, TPnCTL1.TPnEEEビット = 1）。

(a) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合，16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTPnCC0信号を発生します。このとき，TPnOPT0.TPnOVFビットはセットされません。

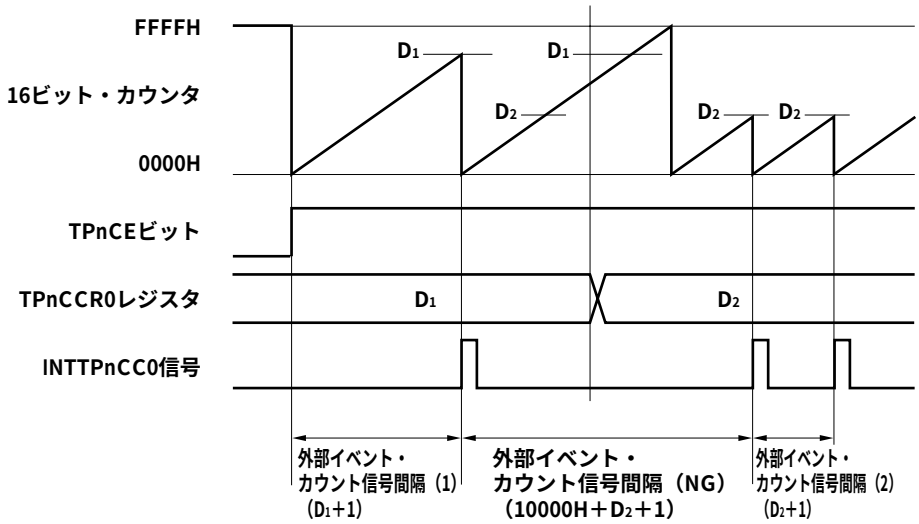


備考　n = 0-5

(b) TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には，一度カウント動作を停止させ，その後，設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると，16ビット・カウンタがオーバフローする場合があるので注意してください。



備考　n = 0-5

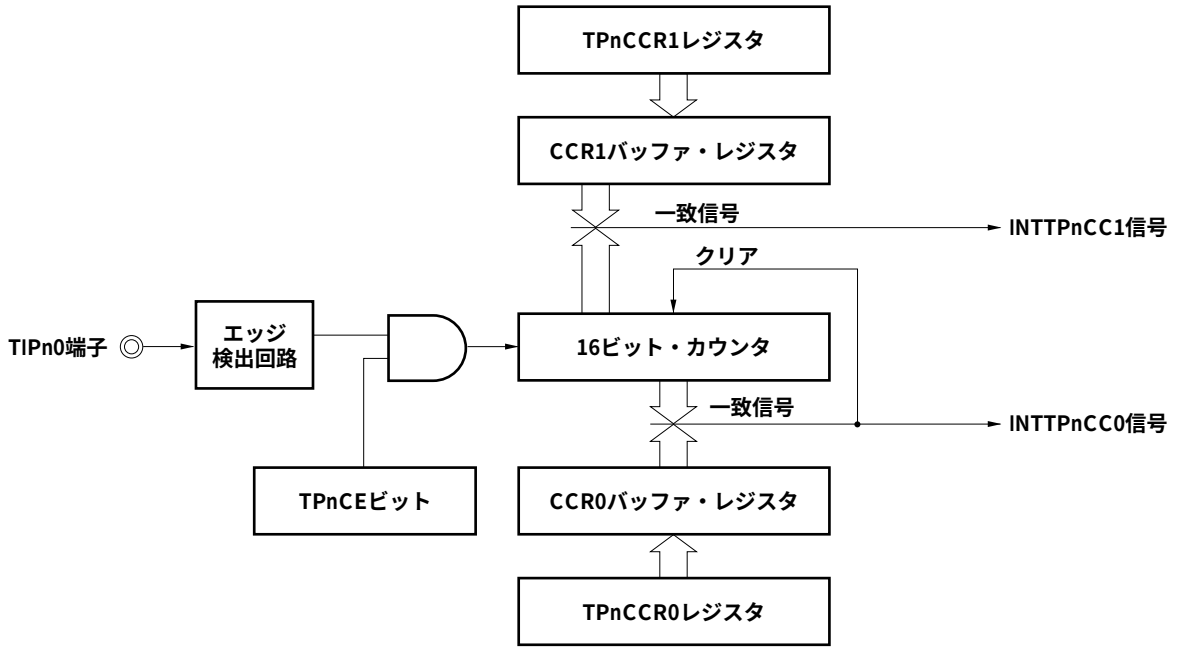
カウント値がD_2よりも大きくD_1よりも小さい状態において，TPnCCR0レジスタをD_1からD_2に書き換えると，書き換えたタイミングでCCR0バッファ・レジスタに転送されるため，16ビット・カウンタとのコンペア値がD_2となります。

しかし，カウント値はすでにD_2を越えているためにFFFFHまでカウントを行い，オーバフロー後，0000Hから再度カウント・アップを行います。そして，D_2との一致でINTTPnCC0信号を発生します。

したがって，本来期待している外部イベント・カウント数である「（D_1＋1）回」または「（D_2＋1）回」の有効エッジ数でINTTPnCC0信号は発生せずに，「（10000H＋D_2＋1）回」の有効エッジ数でINTTPnCC0信号が発生する場合があります。

（c）TPnCCR1レジスタの動作

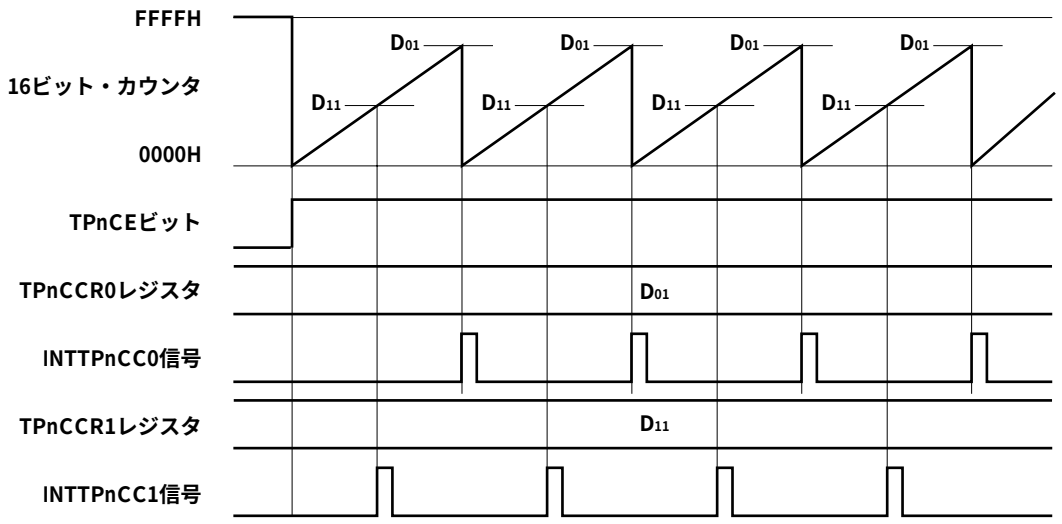
図7－13　TPnCCR1レジスタの構成図



備考　n = 0-5

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には，1周期に1回のINTTPnCC1信号が発生します。

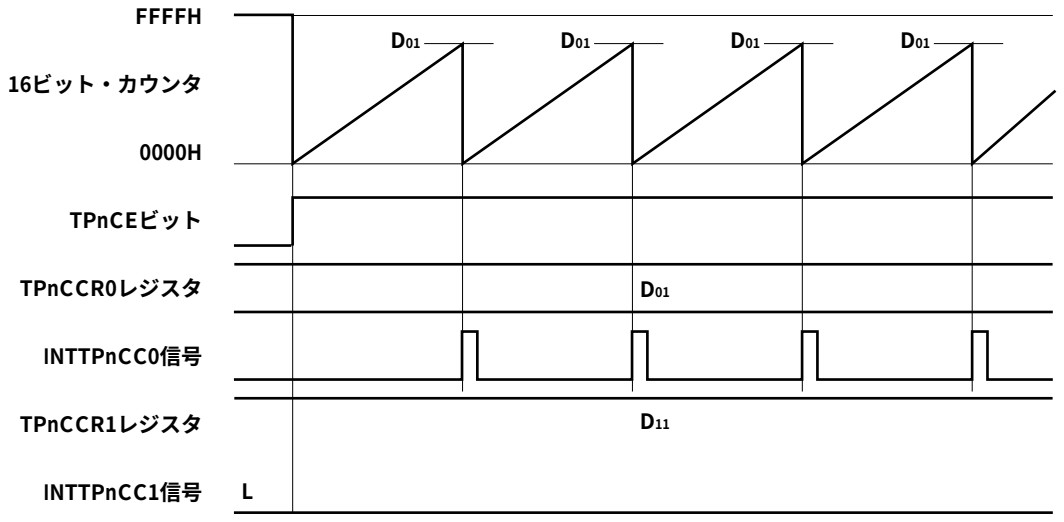
図7－14　$D_{01} \geqq D_{11}$の場合のタイミング図



備考　n = 0-5

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には，16ビット・カウンタのカウント値とTPnCCR1レジスタの値が一致しないので，INTTPnCC1信号は発生しません。

図7－15　D_{01}＜D_{11}の場合のタイミング図



備考　n = 0-5

7. 5. 3　外部トリガ・パルス出力モード（TPnMD2-TPnMD0ビット = 010）

外部トリガ・パルス出力モードは，TPnCTL0.TPnCEビットをセット（1）することでトリガ待ち状態となり，外部トリガ入力の有効エッジを検出すると，カウント動作を開始し，TOPn1端子からPWM波形を出力します。

外部トリガ入力の代わりに，ソフトウエア・トリガを発生させることでもパルスを出力できます。ソフトウエア・トリガを使用する場合，TOPn0端子から，PWM波形の1周期を半周期とする方形波を出力できます。

図7－16　外部トリガ・パルス出力モードの構成図

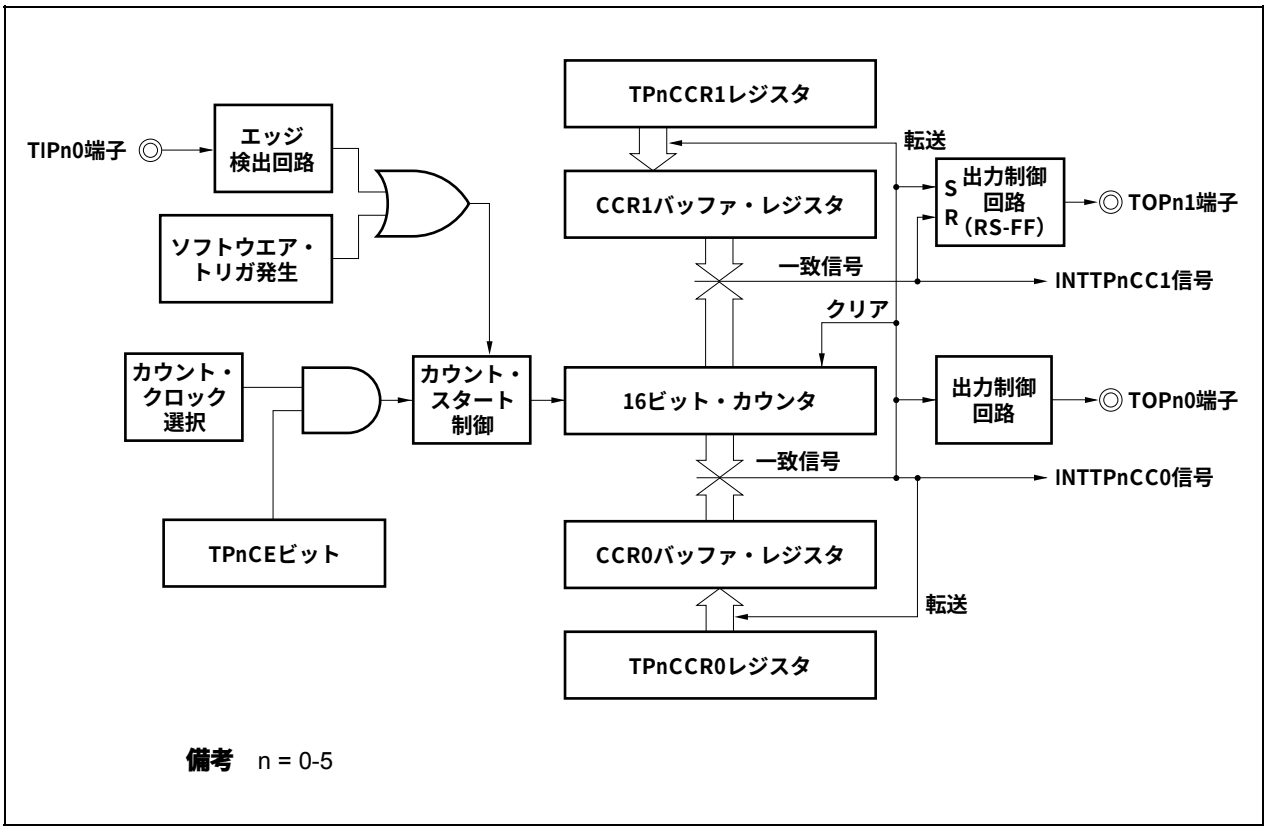
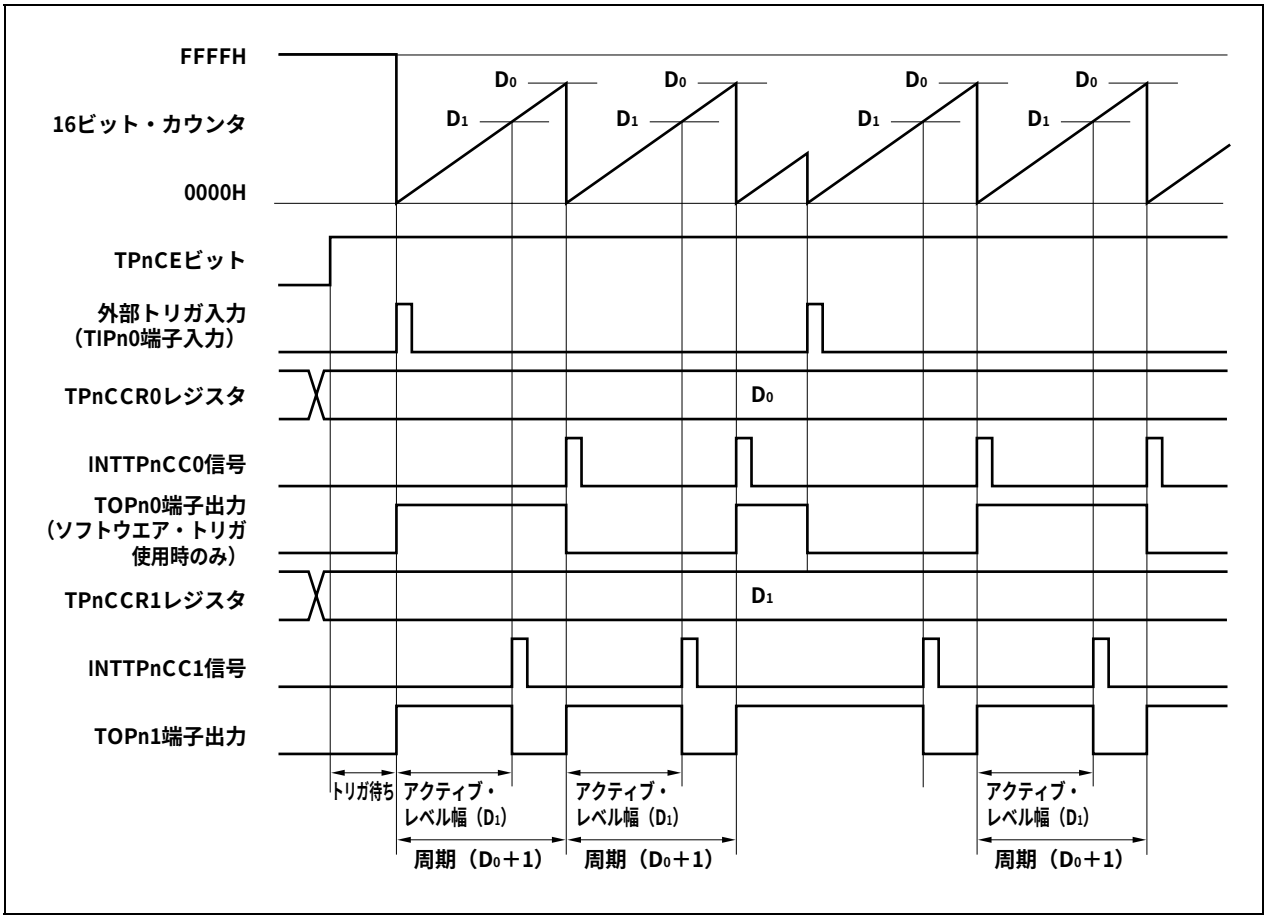


図7－17　外部トリガ・パルス出力モードの基本タイミング



TPnCEビットをセット（1）することで，トリガ待ち状態となります。トリガが発生すると，16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し，TOPn1端子からPWM波形を出力します。動作中に，再度トリガが発生した場合には，カウンタを0000Hにクリアし再スタートします（TOPn0端子出力は反転します。TOPn1端子出力は，ロウ・レベル出力，ハイ・レベル出力にかかわらず，ハイ・レベル出力になります）。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

アクティブ・レベル幅 ＝ （TPnCCR1レジスタの設定値）×カウント・クロック周期
周期 ＝ （TPnCCR0レジスタの設定値＋1）×カウント・クロック周期
デューティ ＝ （TPnCCR1レジスタの設定値）／（TPnCCR0レジスタの設定値＋1）

コンペア一致割り込み要求信号（INTTPnCC0）は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し，同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号（INTTPnCC1）は，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRmレジスタに設定した値は，16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し，16ビット・カウンタを0000Hにクリアするタイミングでで CCRmバッファ・レジスタに転送されます。

トリガには，外部トリガ入力の有効エッジ，またはソフトウエア・トリガ（TPnCTL1.TPnESTビット）のセット（1）があります。

備考　n = 0-5, m = 0, 1

図7－18　外部トリガ・パルス出力モード動作時のレジスタ設定内容（1/2）

（a）TMPn制御レジスタ0（TPnCTL0）

	TPnCE					TPnCKS2	TPnCKS1	TPnCKS0
TPnCTL0	0/1	0	0	0	0	0/1	0/1	0/1

カウント・クロックの選択注1

0：カウント動作停止
1：カウント動作許可

（b）TMPn制御レジスタ1（TPnCTL1）

		TPnEST	TPnEEE			TPnMD2	TPnMD1	TPnMD0
TPnCTL1	0	0/1	0/1	0	0	0	1	0

0, 1, 0：
外部トリガ・パルス出力モード

0：TPnCKS0-TPnCKS2ビットで選択したカウント・クロックで動作
1：外部イベント入力信号でカウント動作

“1”を書き込むことで，ソフトウエア・トリガを発生

（c）TMPnI/O制御レジスタ0（TPnIOC0）

					TPnOL1	TPnOE1	TPnOL0	TPnOE0
TPnIOC0	0	0	0	0	0/1	0/1	0/1	0/1注2

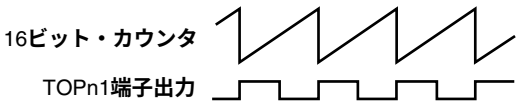
0：TOPn0端子出力禁止
1：TOPn0端子出力許可

TOPn0端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

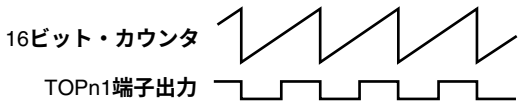
0：TOPn1端子出力禁止
1：TOPn1端子出力許可

TOPn1端子出力のアクティブ・レベル指定
0：ハイ・アクティブ
1：ロウ・アクティブ

・TPnOL1ビット = 0の場合



・TPnOL1ビット = 1の場合



注1.　TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。
　　2.　外部トリガ・パルス出力モードでTOPn0端子を使用しない場合は，“0”に設定してください。

図7－18　外部トリガ・パルス出力モード動作時のレジスタ設定内容（2/2）

（d）TMPnI/O制御レジスタ2（TPnIOC2）

					TPnEES1	TPnEES0	TPnETS1	TPnETS0
TPnIOC2	0	0	0	0	0/1	0/1	0/1	0/1

外部トリガ入力有効エッジの選択

外部イベント・カウント
入力有効エッジの選択

（e）TMPnカウンタ・リード・バッファ・レジスタ（TPnCNT）

TPnCNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

（f）TMPnキャプチャ／コンペア・レジスタ0, 1（TPnCCR0, TPnCCR1）

TPnCCR0レジスタにD_0を設定し，TPnCCR1レジスタにD_1を設定した場合，

PWM波形の周期 = （D_0＋1）×カウント・クロック周期

PWM波形のアクティブ・レベル幅 = D_1×カウント・クロック周期

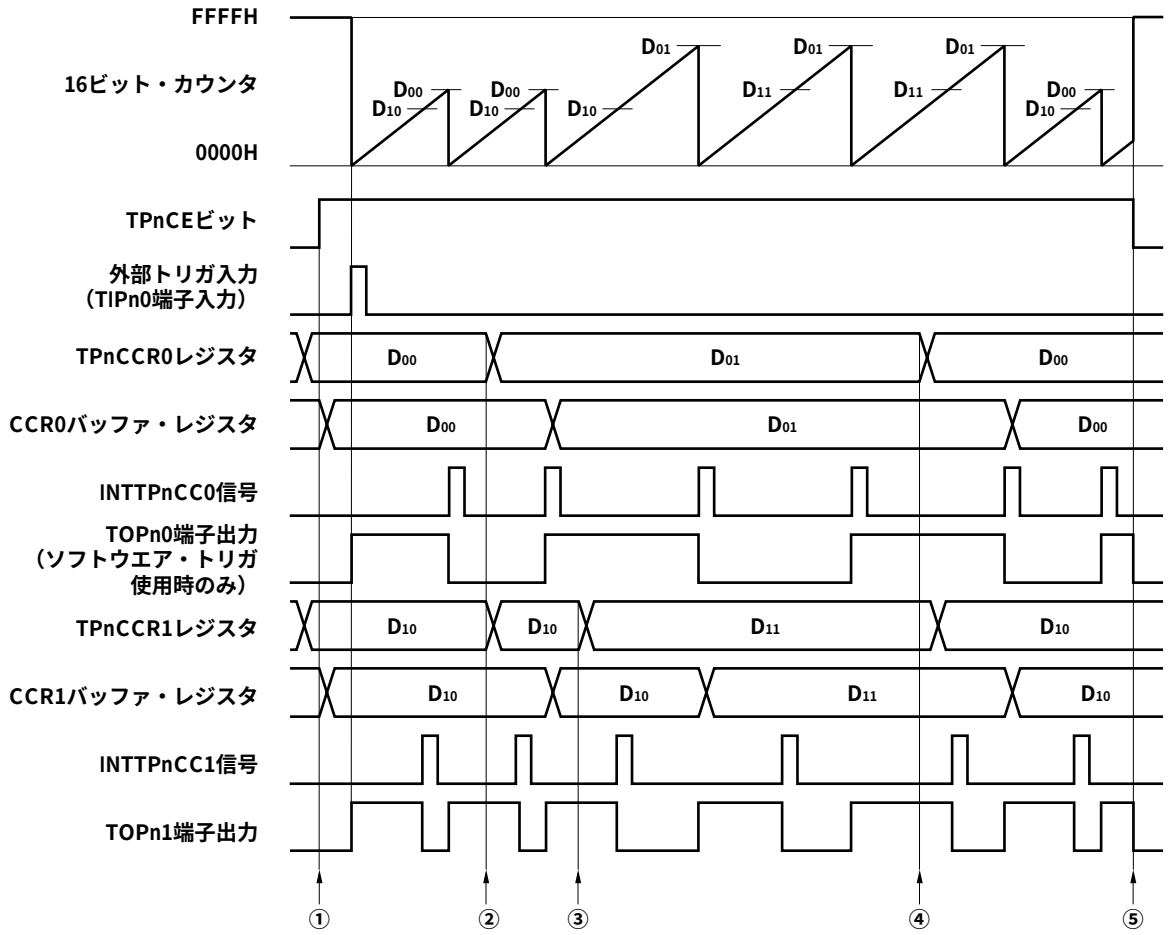
となります。

備考1.　TMPnI/O制御レジスタ1（TPnIOC1），TMPnオプション・レジスタ0（TPnOPT0）は，外部トリガ・パルス出力モードでは使用しません。

2.　n = 0-5

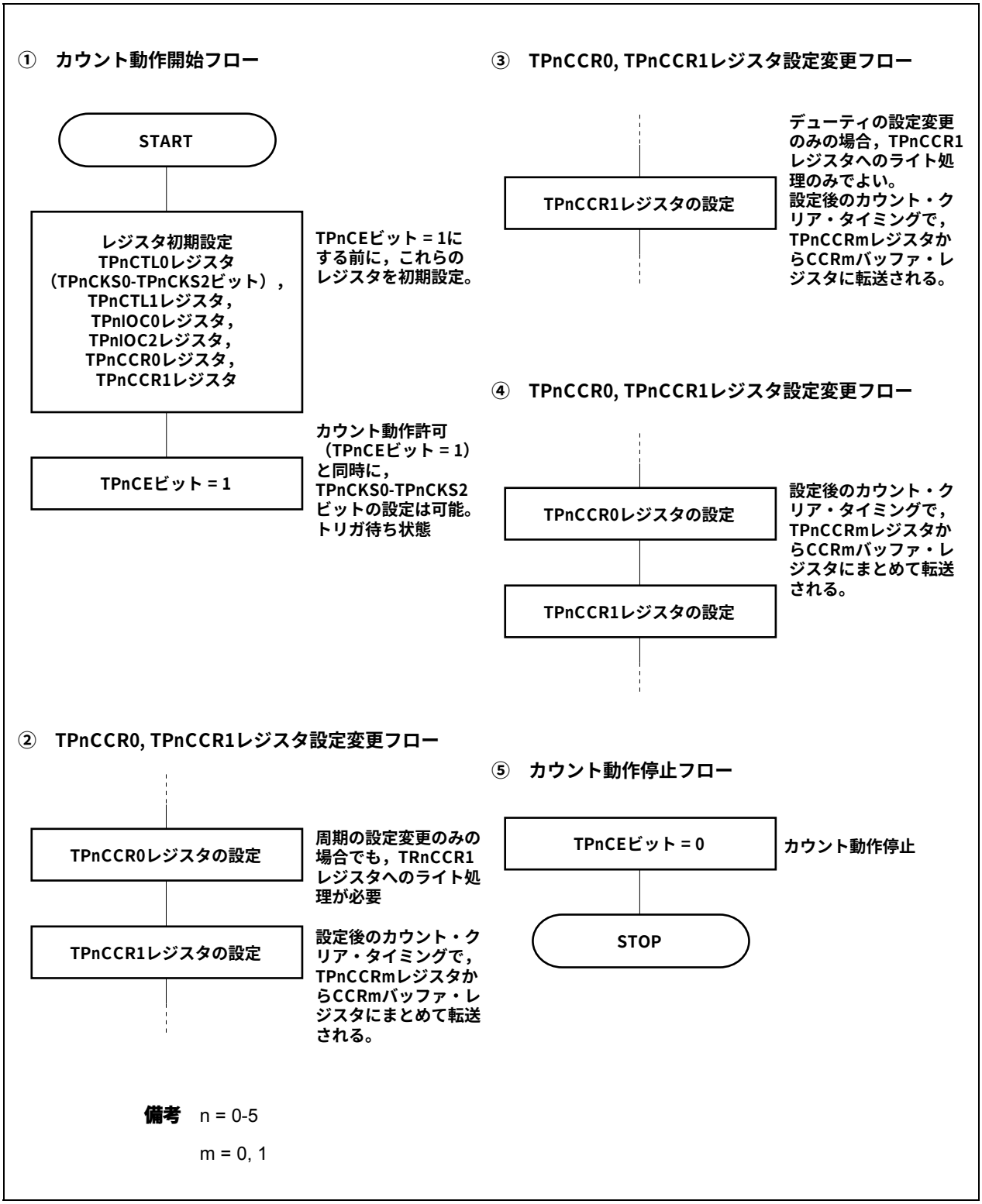
（1）外部トリガ・パルス出力モード動作フロー

図7－19　外部トリガ・パルス出力モード使用時のソフトウエア処理フロー（1/2）



備考　n = 0-5

図7－19　外部トリガ・パルス出力モード使用時のソフトウエア処理フロー（2/2）



備考　n = 0-5

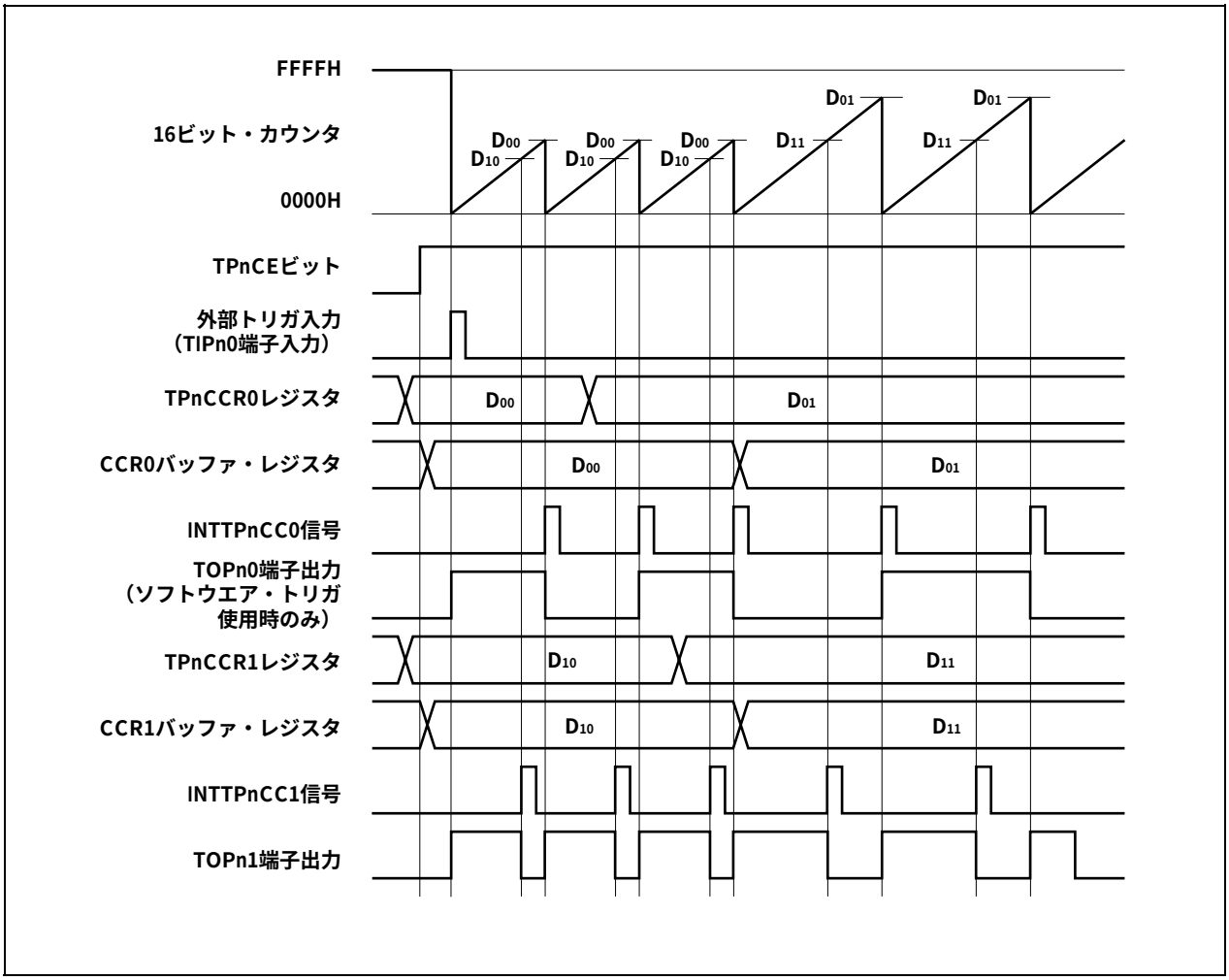
m = 0, 1

(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には，最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後，再度TPnCCRmレジスタの書き換えを行う場合には，INTTPnCC0信号を検出後に書き換えてください。



TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには，TPnCCR1レジスタに対してライトする必要があります。

このとき，PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には，まずTPnCCR0レジスタに周期を設定し，そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には，まずTPnCCR0レジスタに周期を設定し，そのあとでTPnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は，TPnCCR1レジスタのみの設定でかまいません。

TPnCCR1レジスタにライトしたあと，16ビット・カウンタのクリア・タイミングに同期して，TPnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され，16ビット・カウンタとのコンペア値となります。

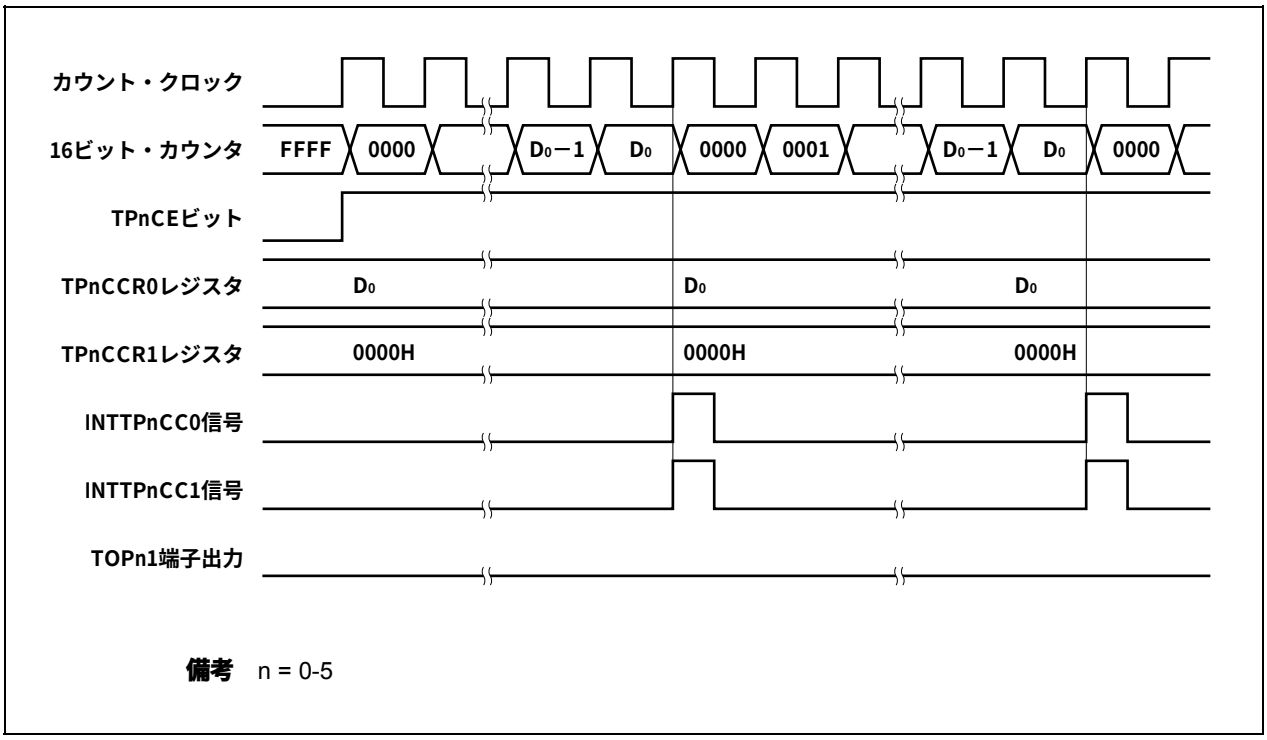
また，一度TPnCCR1レジスタにライトしたあとで，再度TPnCCR0，またはTPnCCR1レジスタへのライトを行う場合は， INTTPnCC0信号の発生後に行ってください。これを守れない場合には，TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと，TPnCCRmレジスタの書き換えの競合により，CCRmバッファ・レジスタの値が不定値になる場合があります。

備考　n = 0-5

m = 0, 1

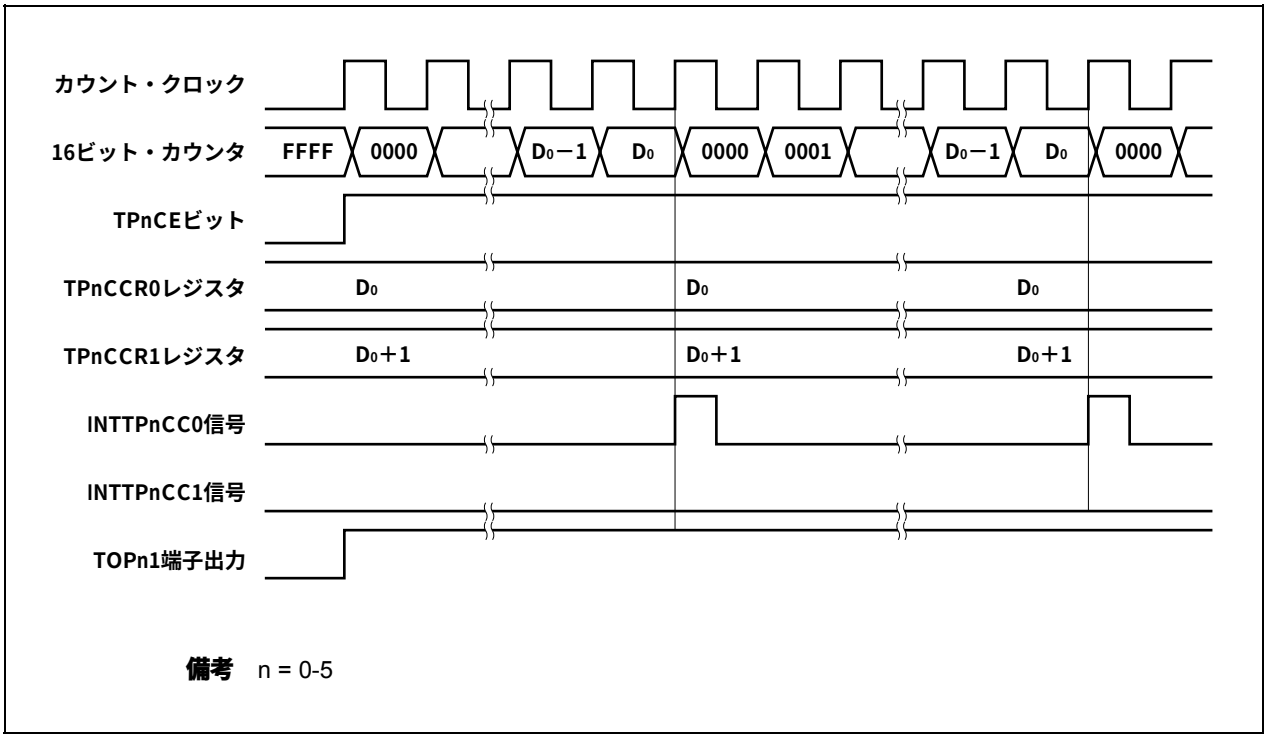
（b）PWM波形の0 %／100 %出力

0 %波形を出力するためには，TPnCCR1レジスタに対して0000Hを設定します。ただし，TPnCCR0レジスタの設定値がFFFFHの場合には，INTTPnCC1信号が定期的に発生します。



備考　n = 0-5

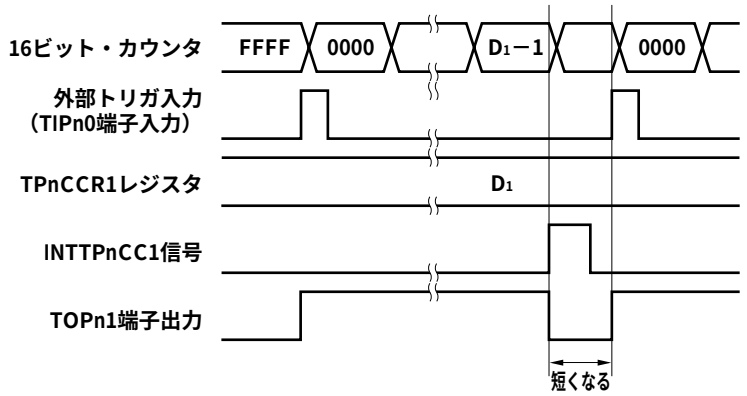
100 %波形を出力するためには，TPnCCR1レジスタに対して（TPnCCR0レジスタの設定値＋1）の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には，100 %出力はできません。



備考　n = 0-5

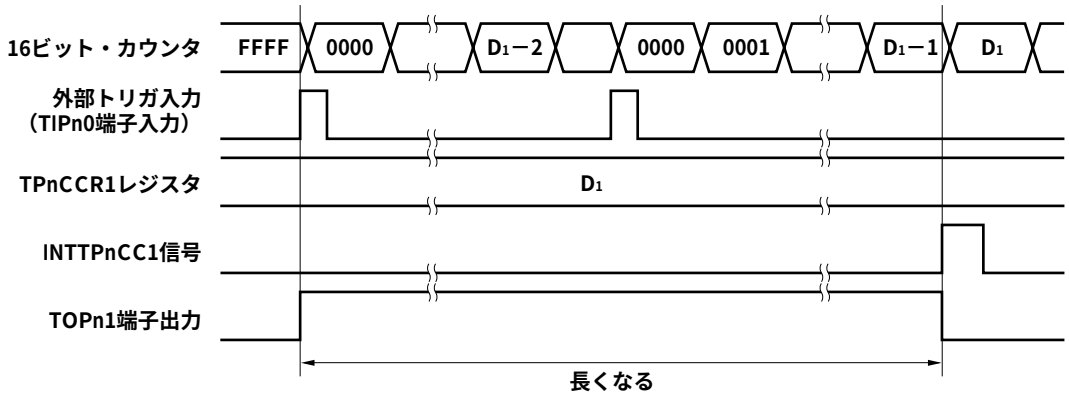
(c) トリガ検出とTPnCCR1レジスタとの一致の競合

INTTPnCC1信号発生直後にトリガが検出された場合には，トリガ検出とともに16ビット・カウンタを0000Hにクリアし，TOPn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため，PWM波形のインアクティブ期間が短くなります。



備考　n = 0-5

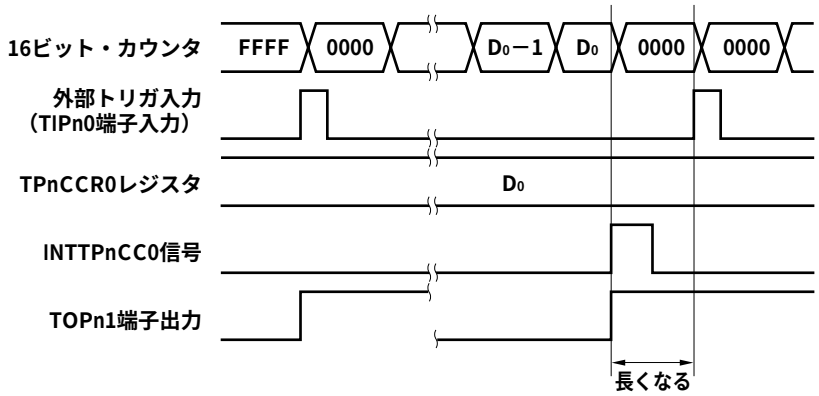
INTTPnCC1信号発生直前にトリガを検出した場合には， INTTPnCC1信号を発生することなく，16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOPn1端子出力はアクティブ・レベルのままとなるため，PWM波形のアクティブ期間が長くなります。



備考　n = 0-5

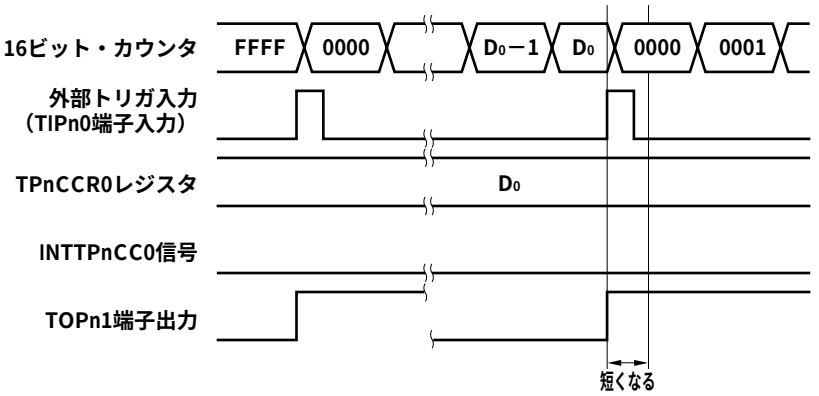
(d) トリガ検出とTPnCCR0レジスタとの一致の競合

INTTPnCC0信号発生直後にトリガを検出した場合，そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって，TOPn1端子出力のアクティブ期間が，INTTPnCC0信号発生からトリガ検出までの分だけ長くなります。



備考　n = 0-5

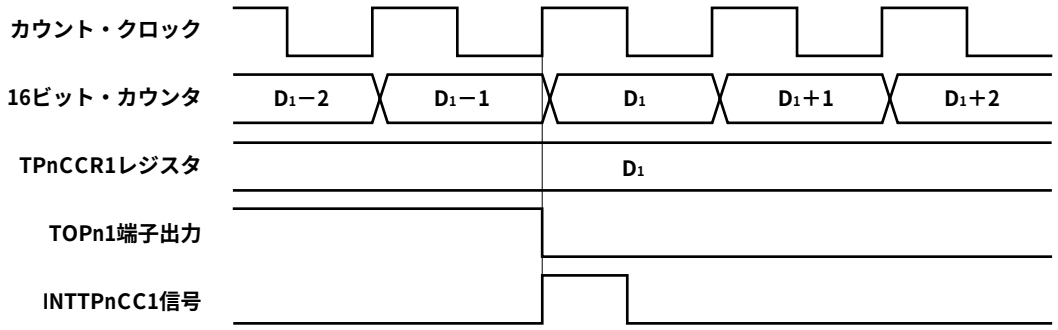
INTTPnCC0信号発生直前にトリガを検出した場合，INTTPnCC0信号を発生することなく，16ビット・カウンタを0000Hにクリアし，TOPn1端子出力をアクティブ・レベルにして，カウント動作を継続します。そのため，それまで出力していたPWM波形のインアクティブ期間は短くなります。



備考　n = 0-5

（e）コンペア一致割り込み要求信号（INTTPnCC1）の発生タイミング

外部トリガ・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは，ほかのINTTPnCC1信号と異なり，16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致と同時に発生します。



備考　n = 0-5

通常，INTTPnCC1信号は，16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致後，次のカウント・アップに同期して発生します。

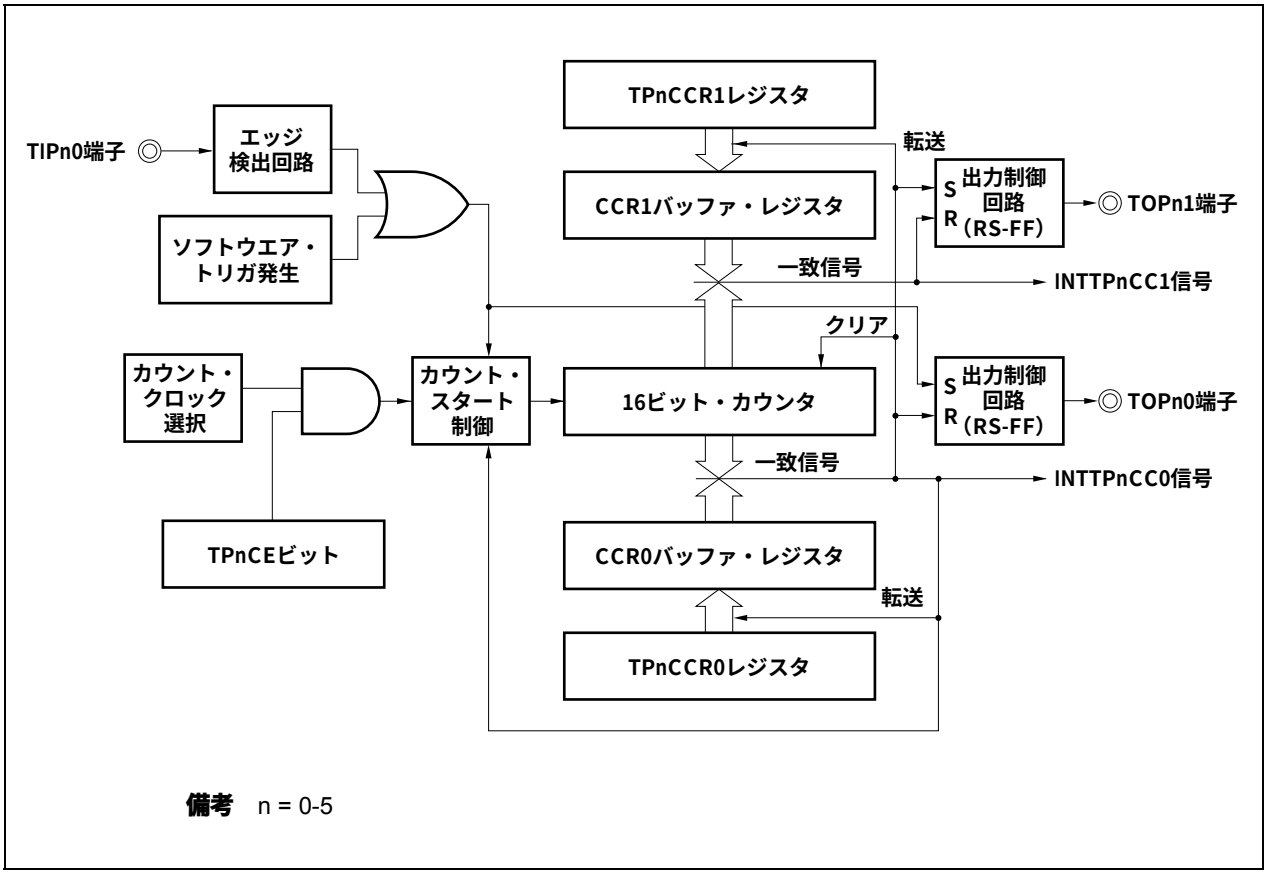
しかし，外部トリガ・パルス出力モードの場合，1クロック早いタイミングで発生します。これは，TOPn1端子出力の変化タイミングとあわせるために，タイミングを変更しているからです。

7. 5. 4　ワンショット・パルス出力モード（TPnMD2-TPnMD0ビット = 011）

ワンショット・パルス出力モードは，TPnCTL0.TPnCEビットをセット（1）することでトリガ待ち状態となり，外部トリガ入力の有効エッジを検出すると，カウント動作を開始し，TOPn1端子からワンショット・パルスを出力します。

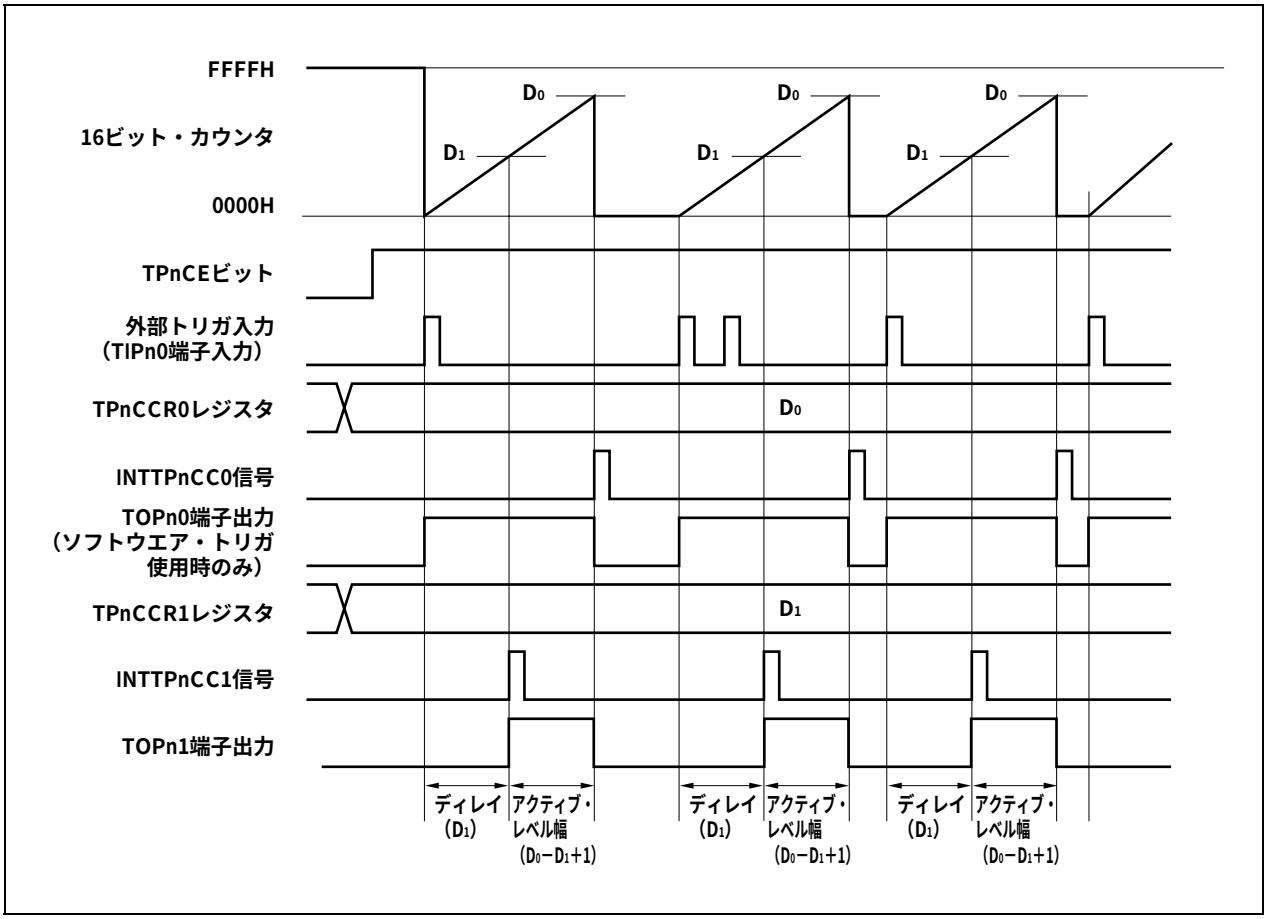
外部トリガ入力の代わりに，ソフトウエア・トリガを発生させることでもパルスを出力できます。ソフトウエア・トリガを使用する場合，TOPn0端子から，16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し，カウント停止（トリガ待ち状態）中のときはインアクティブ・レベルを出力できます。

図7－20　ワンショット・パルス出力モードの構成図



備考　n = 0-5

図7－21　ワンショット・パルス出力モードの基本タイミング



TPnCEビットをセット（1）することで，トリガ待ち状態となります。トリガが発生すると，16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し，TOPn1端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと，16ビット・カウンタをFFFFHにしてカウント動作を停止し，トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間，およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 ＝ （TPnCCR1レジスタの設定値）×カウント・クロック周期

アクティブ・レベル幅 ＝ （TPnCCR0レジスタの設定値－TPnCCR1レジスタの設定値＋1）
×カウント・クロック周期

コンペア一致割り込み要求信号（INTTPnCC0）は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペア一致割り込み要求信号（INTTPnCC1）は，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには，外部トリガ入力の有効エッジ，またはソフトウエア・トリガ（TPnCTL1.TPnESTビット）のセット（1）があります。

備考　n = 0-5

m = 0, 1

図7－22　ワンショット・パルス出力モード動作時のレジスタ設定内容（1/2）

（a）TMPn制御レジスタ0（TPnCTL0）

	TPnCE					TPnCKS2	TPnCKS1	TPnCKS0
TPnCTL0	0/1	0	0	0	0	0/1	0/1	0/1

カウント・クロックの選択注1

0：カウント動作停止
1：カウント動作許可

（b）TMPn制御レジスタ1（TPnCTL1）

		TPnEST	TPnEEE			TPnMD2	TPnMD1	TPnMD0
TPnCTL1	0	0/1	0/1	0	0	0	1	**1**

0, 1, 1：
ワンショット・パルス出力モード

0：TPnCKS0-TPnCKS2ビットで選択したカウント・クロックで動作
1：外部イベント・カウント入力信号でカウント動作

“1”を書き込むことで，ソフトウエア・トリガを発生

（c）TMPnI/O制御レジスタ0（TPnIOC0）

					TPnOL1	TPnOE1	TPnOL0	TPnOE0
TPnIOC0	0	0	0	0	0/1	0/1	0/1	0/1注2

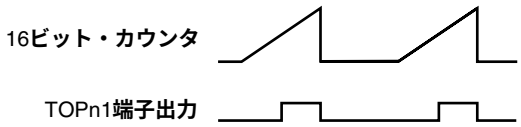
0：TOPn0端子出力禁止
1：TOPn0端子出力許可

TOPn0端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

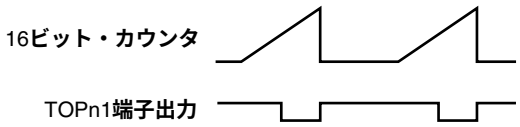
0：TOPn1端子出力禁止
1：TOPn1端子出力許可

TOPn1端子出力のアクティブ・レベル指定
0：ハイ・アクティブ
1：ロウ・アクティブ

・TPnOL1ビット = 0の場合



・TPnOL1ビット = 1の場合



注1.　TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

2.　ワンショット・パルス出力モードでTOPn0端子を使用しない場合は，“0”に設定してください。

図7－22　ワンショット・パルス出力モード動作時のレジスタ設定内容（2/2）

（d）TMPnI/O制御レジスタ2（TPnIOC2）

					TPnEES1	TPnEES0	TPnETS1	TPnETS0
TPnIOC2	0	0	0	0	0/1	0/1	0/1	0/1

外部トリガ入力有効エッジの選択

外部イベント・カウント入力有効エッジの選択

（e）TMPnカウンタ・リード・バッファ・レジスタ（TPnCNT）

TPnCNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

（f）TMPnキャプチャ／コンペア・レジスタ0, 1（TPnCCR0, TPnCCR1）

TPnCCR0レジスタにD_0を設定し，TPnCCR1レジスタにD_1を設定した場合，

ワンショット・パルスのアクティブ・レベル幅 = （$D_1 - D_0 + 1$）×カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = （D_1）×カウント・クロック周期

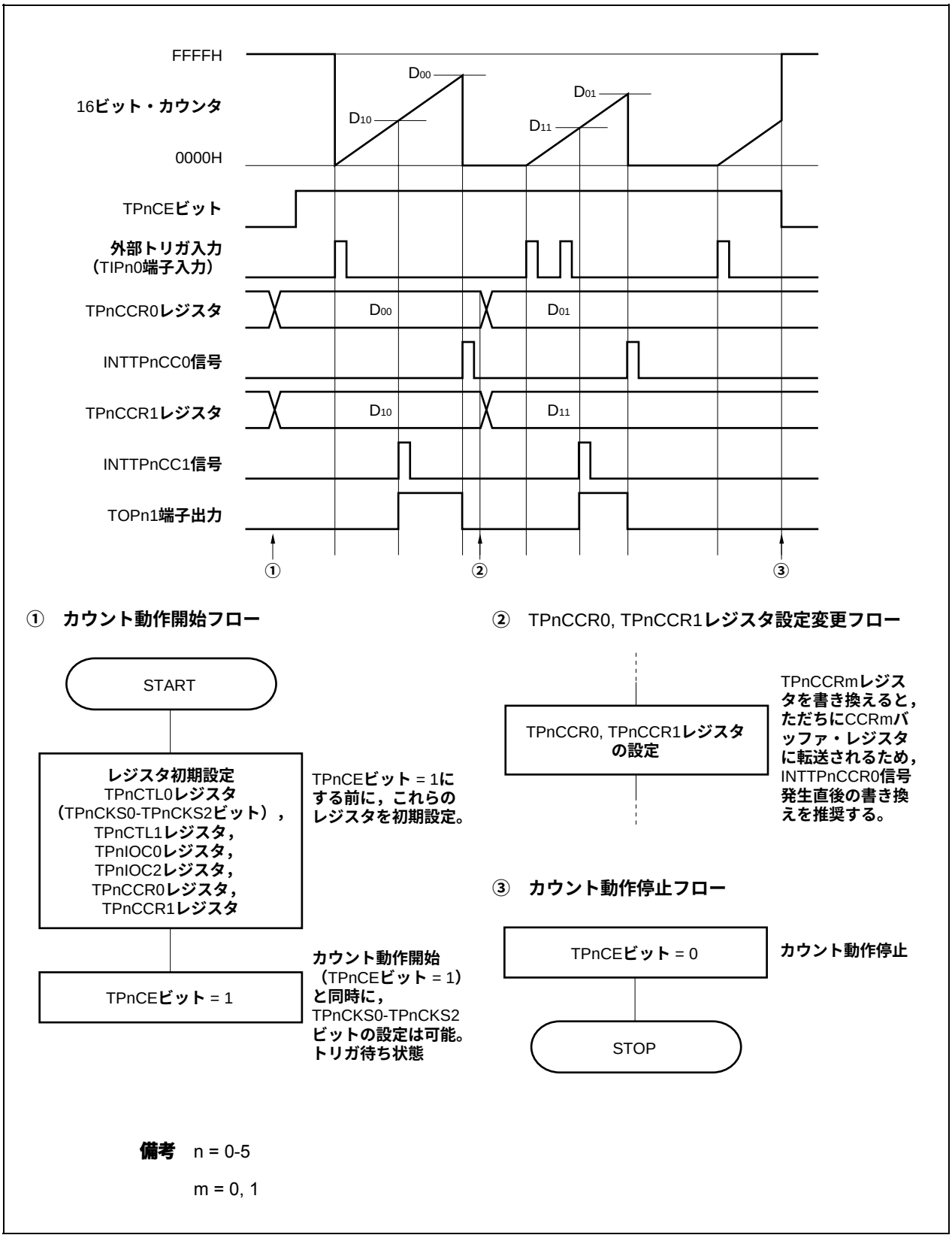
となります。

備考1.　TMPnI/O制御レジスタ1（TPnIOC1），TMPnオプション・レジスタ0（TPnOPT0）は，ワンショット・パルス出力モードでは使用しません。

2.　n = 0-5

(1)　ワンショット・パルス出力モード動作フロー

図7－23　ワンショット・パルス出力モード使用時のソフトウエア処理フロー



備考　n = 0-5

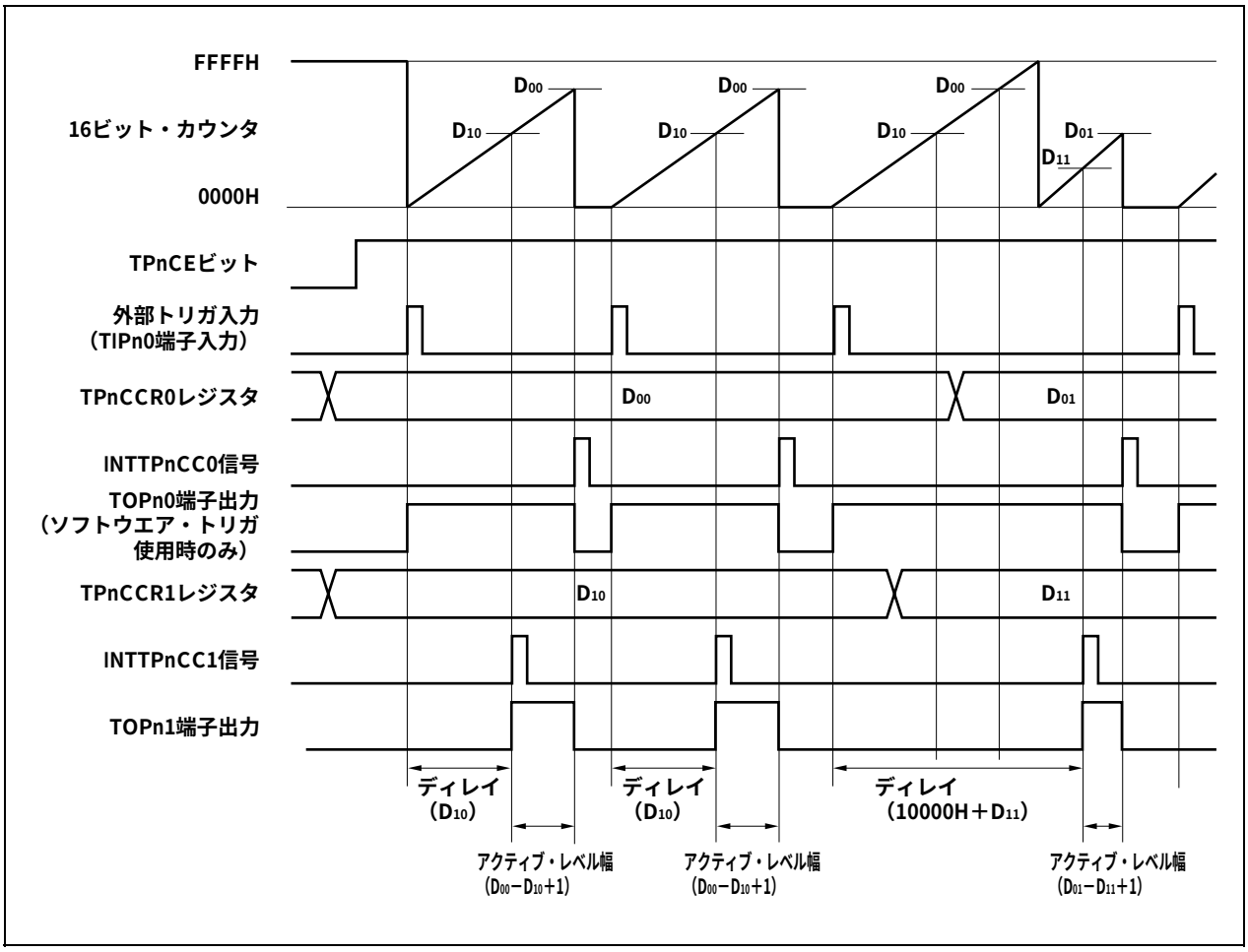
m = 0, 1

(2) ワンショット・パルス出力モード動作タイミング

(a) TPnCCRmレジスタの書き換えに関する注意事項

TPnCCRmレジスタの設定値を小さい値に変更する場合には，一度カウント動作を停止させ，その後，設定値を変更してください。

カウント動作中にTPnCCRmレジスタの値を小さい値に書き換えると，16ビット・カウンタがオーバフローする場合があるので注意してください。



TPnCCR0レジスタをD_{00}からD_{01}に，TPnCCR1レジスタをD_{10}からD_{11}に書き換える場合において，$D_{00}>D_{01}$, $D_{10}>D_{11}$の状態で，16ビット・カウンタのカウント値がD_{11}よりも大きくD_{10}よりも小さい状態のときTPnCCR1レジスタを書き換え，カウント値がD_{01}よりも大きくD_{00}よりも小さい状態でTPnCCR0レジスタを書き換えた場合，書き換えたタイミングで，それぞれの設定値は反映されてカウント値と比較されるために，カウント値はFFFFHまでカウント動作を行い，その後，0000Hから再度カウント・アップを行います。そして，D_{11}との一致でINTTPnCC1信号を発生してTOPn1端子出力をアクティブ・レベルにし，D_{01}との一致でINTTPnCC0信号を発生してTOPn1端子出力をインアクティブにしてカウント動作を停止します。

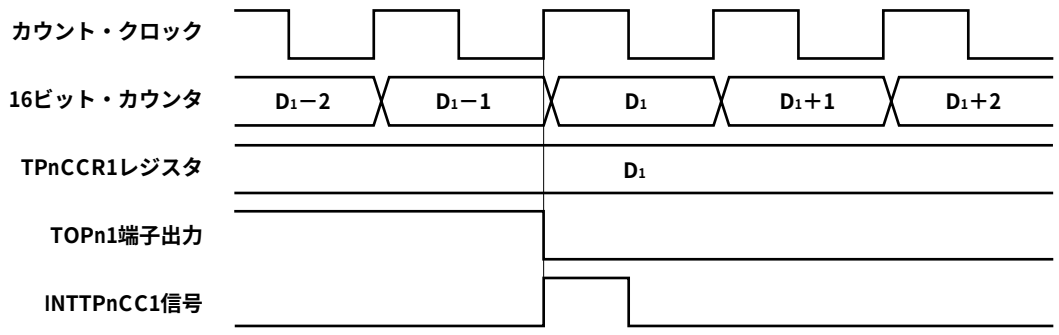
したがって，本来期待しているワンショット・パルス出力に対し，ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考　n = 0-5

m = 0, 1

(b) コンペア一致割り込み要求信号（INTTPnCC1）の発生タイミング

ワンショット・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは，ほかのINTTPnCC1信号と異なり，16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致と同時に発生します。



備考　n = 0-5

通常，INTTPnCC1信号は，16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致後，次のカウント・アップに同期して発生します。

しかし，ワンショット・パルス出力モードの場合，1クロック早いタイミングで発生します。これは，TOPn1端子出力の変化タイミングとあわせるために，タイミングを変更しているからです。

備考　n = 0-5

7. 5. 5　PWM出力モード（TPnMD2-TPnMD0ビット = 100）

PWM出力モードは，TPnCTL0.TPnCEビットをセット（1）することで，TOPn1端子からPWM波形を出力します。

また，TOPn0端子から，PWM波形の1周期を半周期とするパルスを出力します。

図7－24　PWM出力モードの構成図

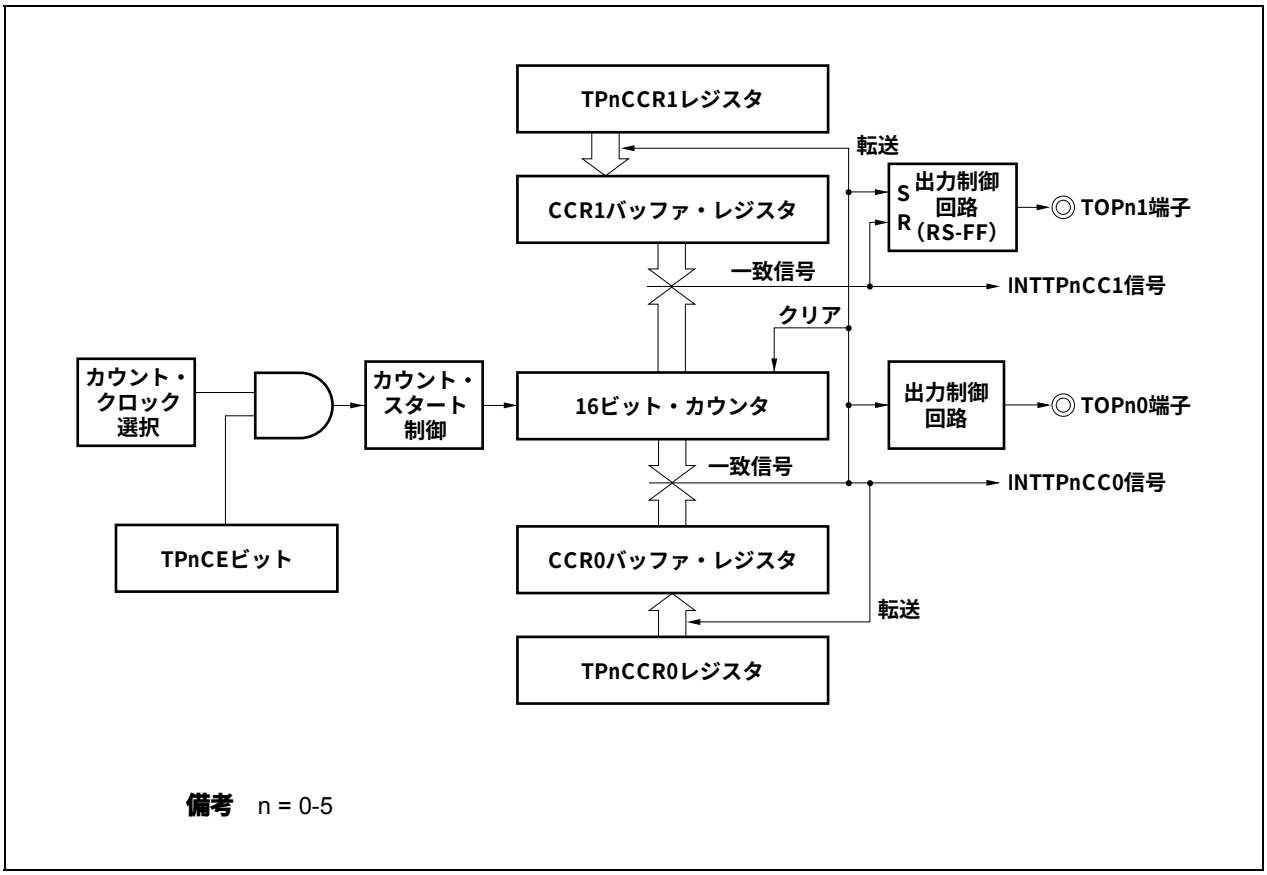
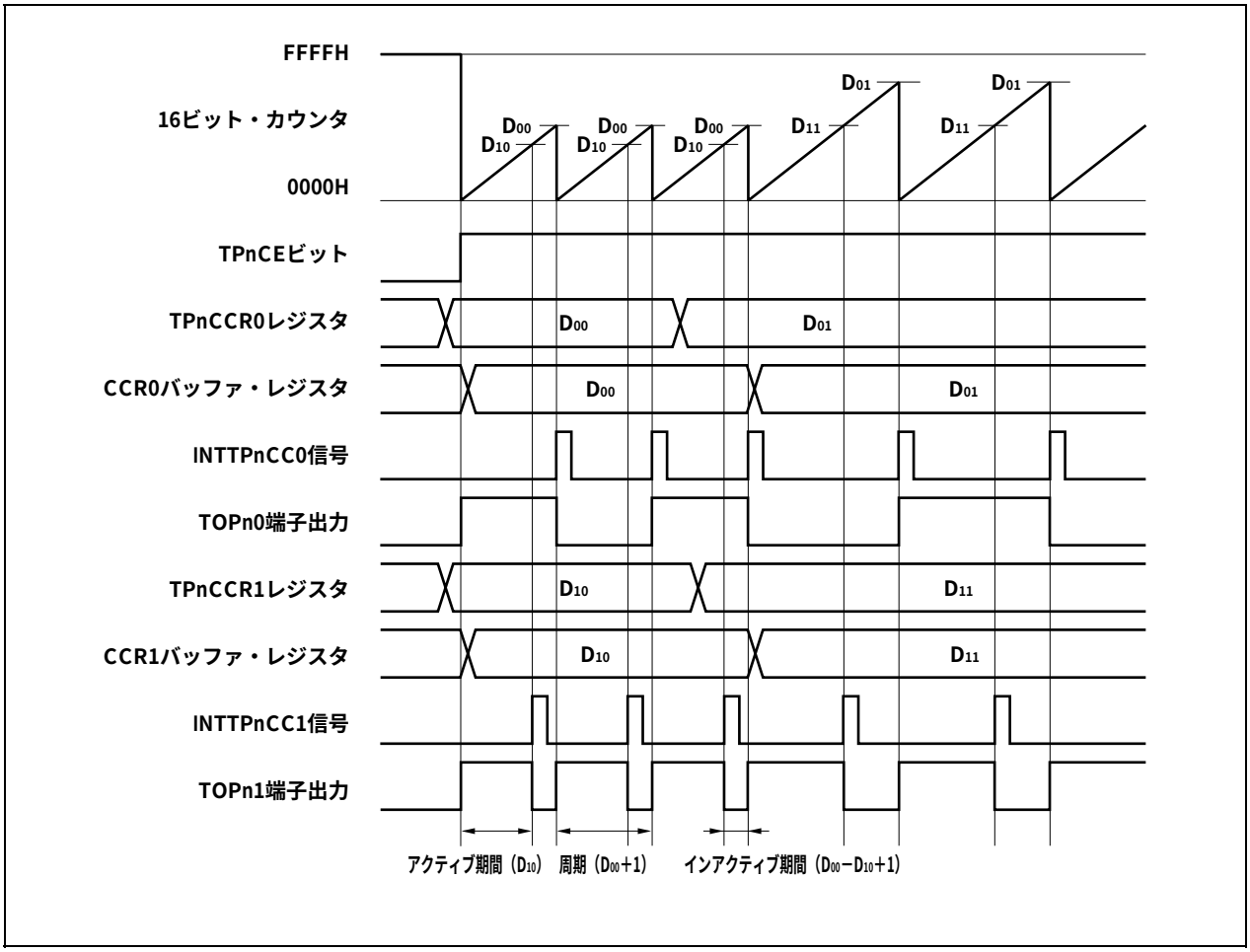


図7－25　PWM出力モードの基本タイミング



TPnCEビットをセット（1）することで，16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し，TOPn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

アクティブ・レベル幅 ＝ （TPnCCR1レジスタの設定値）×カウント・クロック周期

周期 ＝ （TPnCCR0レジスタの設定値＋1）×カウント・クロック周期

デューティ ＝ （TPnCCR1レジスタの設定値）／（TPnCCR0レジスタの設定値＋1）

動作中にTPnCCRmレジスタを書き換えることにより，PWM波形を変更できます。書き換えた値は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し，16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペア一致割り込み要求信号（INTTPnCC0）は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し，同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号（INTTPnCC1）は，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRmレジスタに設定した値は，16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し，16ビット・カウンタを0000Hにクリアするタイミングで CCRmバッファ・レジスタに転送されます。

備考　n = 0-5, m = 0, 1

図7－26　PWM出力モード動作時のレジスタ設定内容（1/2）

（a）TMPn制御レジスタ0（TPnCTL0）

	TPnCE					TPnCKS2	TPnCKS1	TPnCKS0
TPnCTL0	0/1	0	0	0	0	0/1	0/1	0/1

カウント・クロックの選択注1

0：カウント動作停止
1：カウント動作許可

（b）TMPn制御レジスタ1（TPnCTL1）

		TPnEST	TPnEEE			TPnMD2	TPnMD1	TPnMD0
TPnCTL1	0	0	0/1	0	0	1	0	0

1, 0, 0：
PWM出力モード

0：TPnCKS0-TPnCKS2ビットで選択したカウント・クロックで動作
1：外部イベント・カウント入力信号でカウント動作

（c）TMPnI/O制御レジスタ0（TPnIOC0）

					TPnOL1	TPnOE1	TPnOL0	TPnOE0
TPnIOC0	0	0	0	0	0/1	0/1	0/1	0/1注2

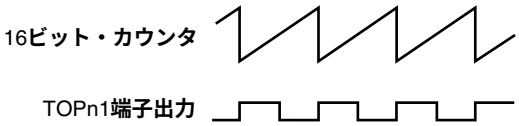
0：TOPn0端子出力禁止
1：TOPn0端子出力許可

TOPn0端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

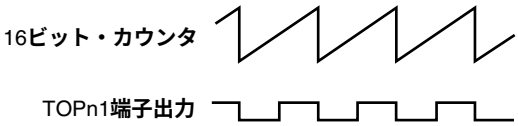
0：TOPn1端子出力禁止
1：TOPn1端子出力許可

TOPn1端子出力のアクティブ・レベル指定
0：ハイ・アクティブ
1：ロウ・アクティブ

・TPnOL1ビット = 0の場合



・TPnOL1ビット = 1の場合



注1.　TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

2.　PWM出力モードでTOPn0端子を使用しない場合は，“0”に設定してください。

図7－26　PWM出力モード動作時のレジスタ設定内容（2/2）

（d）TMPnI/O制御レジスタ2（TPnIOC2）

					TPnEES1	TPnEES0	TPnETS1	TPnETS0
TPnIOC2	0	0	0	0	0/1	0/1	0	0

外部イベント・カウント入力有効エッジの選択

（e）TMPnカウンタ・リード・バッファ・レジスタ（TPnCNT）

TPnCNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

（f）TMPnキャプチャ／コンペア・レジスタ0, 1（TPnCCR0, TPnCCR1）

TPnCCR0レジスタにD_0を設定し，TPnCCR1レジスタにD_1を設定した場合，

PWM波形の周期 = （D_0＋1）×カウント・クロック周期

PWM波形のアクティブ・レベル幅 = D_1×カウント・クロック周期

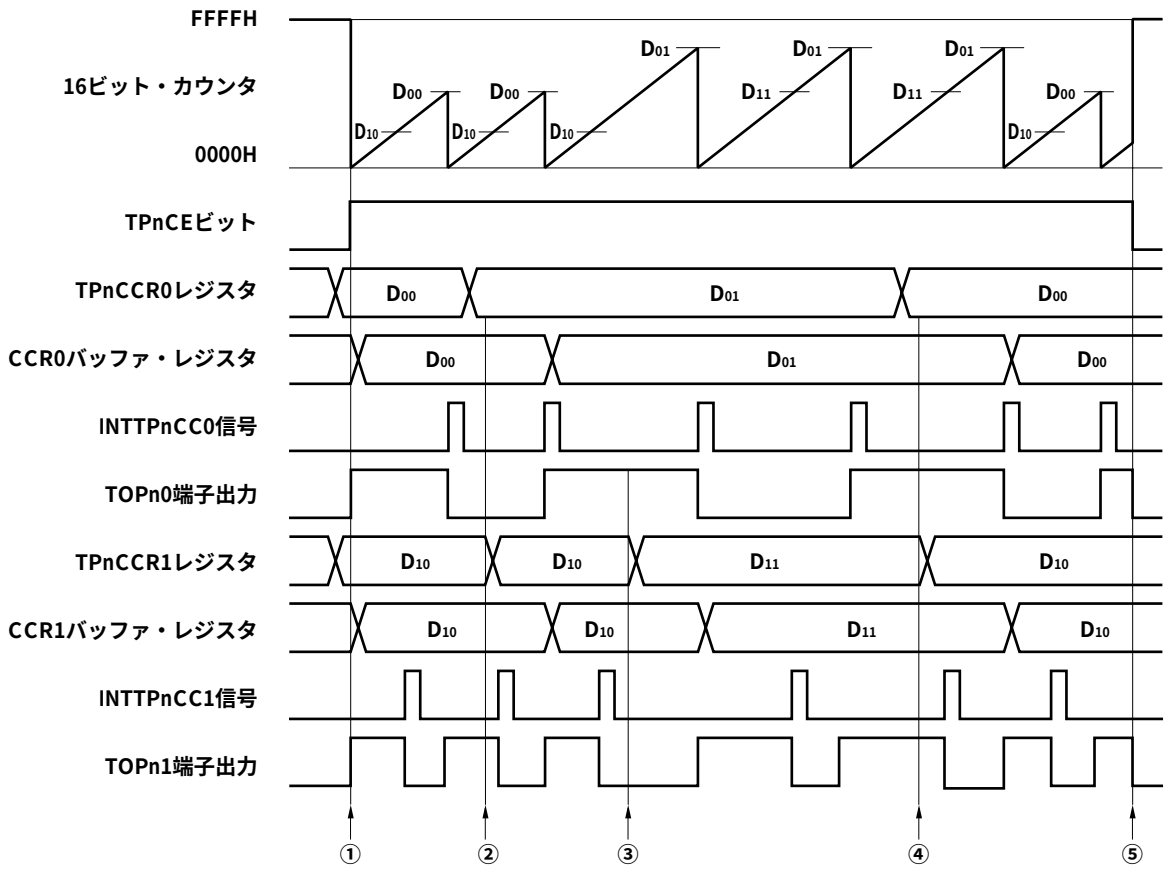
となります。

備考1.　TMPnI/O制御レジスタ1（TPnIOC1），TMPnオプション・レジスタ0（TPnOPT0）は，PWM出力モードでは使用しません。

2.　n = 0-5

（1）PWM出力モード動作フロー

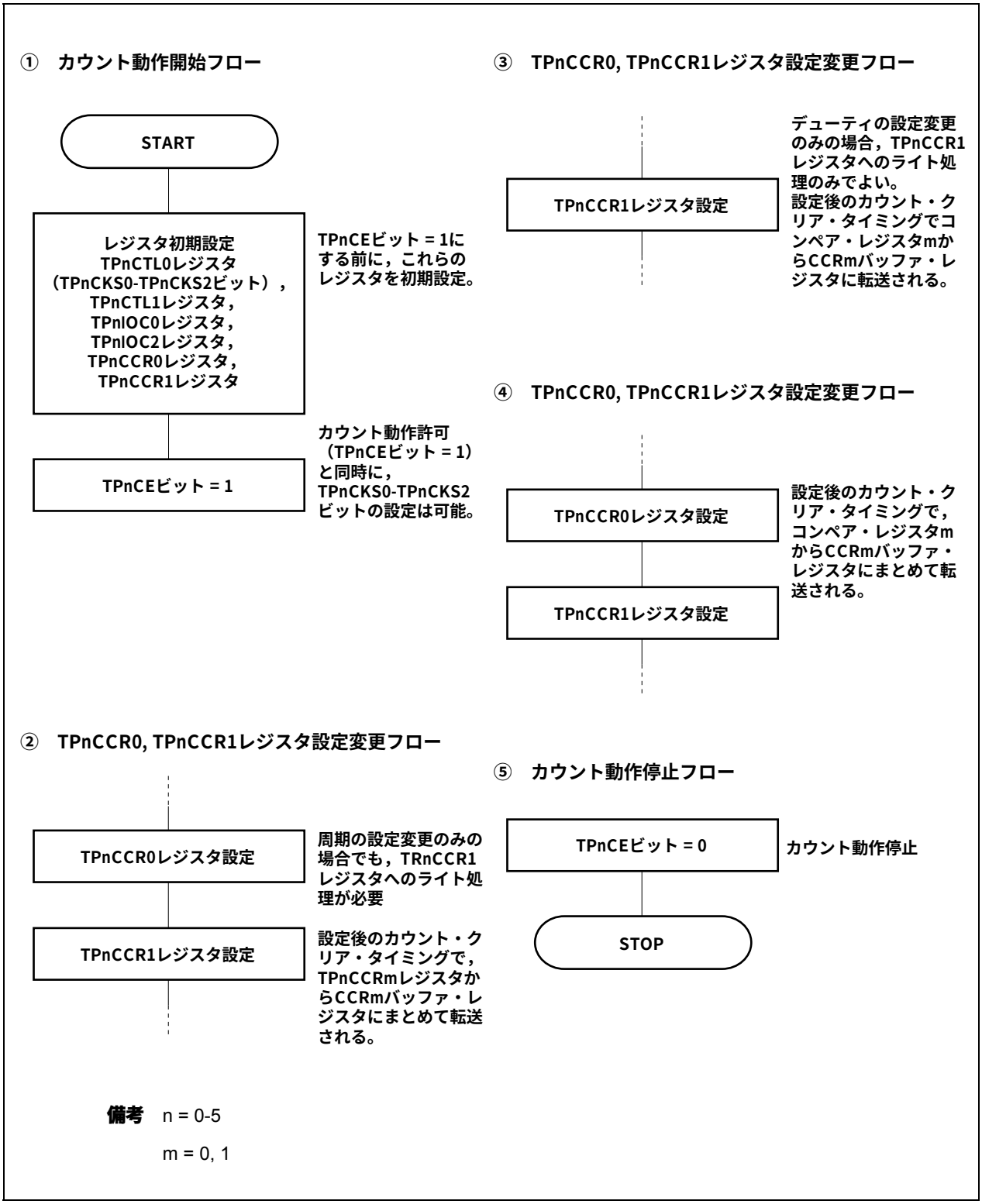
図7－27　PWM出力モード使用時のソフトウエア処理フロー（1/2）



備考　n = 0-5

m = 0, 1

図7－27　PWM出力モード使用時のソフトウエア処理フロー（2/2）



備考　n = 0-5

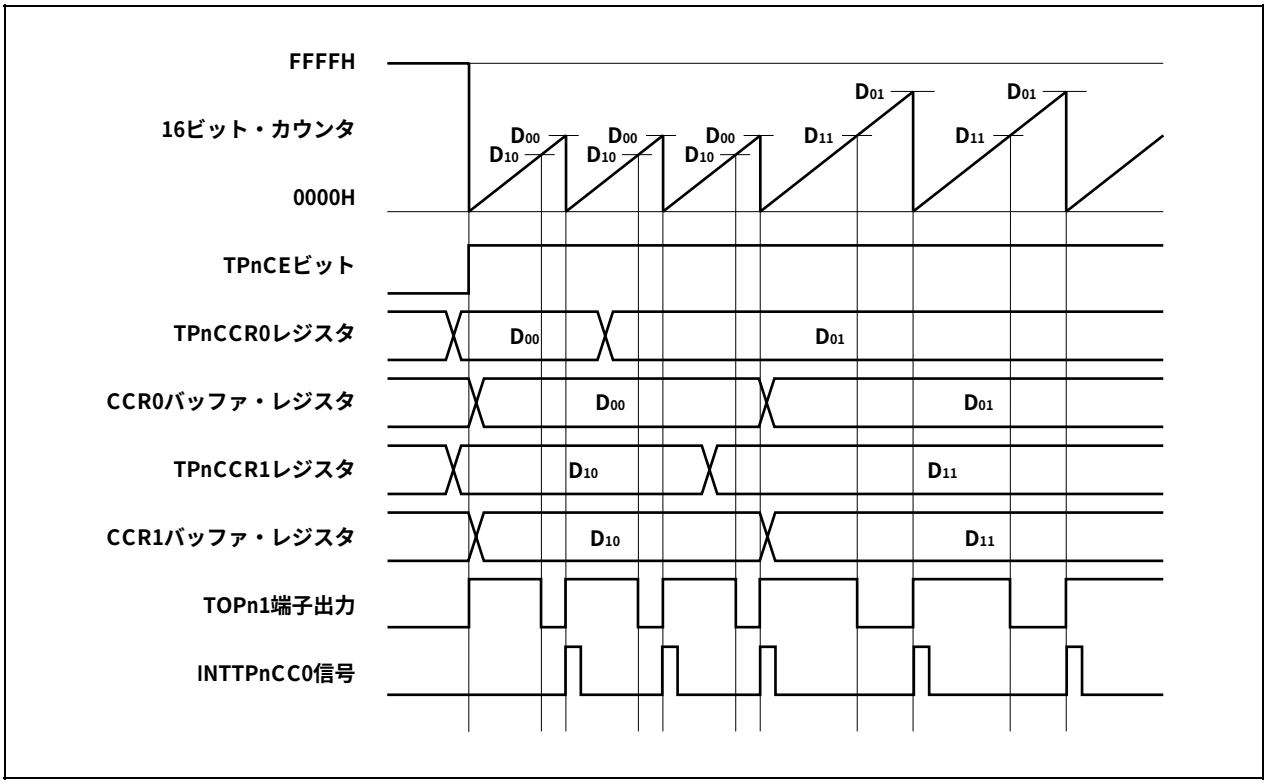
m = 0, 1

(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には，最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後，再度TPnCCRmレジスタの書き換えを行う場合には，INTTPnCC1信号を検出後に書き換えてください。



TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには，TPnCCR1レジスタに対してライトする必要があります。

このとき，PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には，まずTPnCCR0レジスタに周期を設定し，そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には，まずTPnCCR0レジスタに周期を設定し，そのあとでTPnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は，TPnCCR1レジスタのみの設定でかまいません。

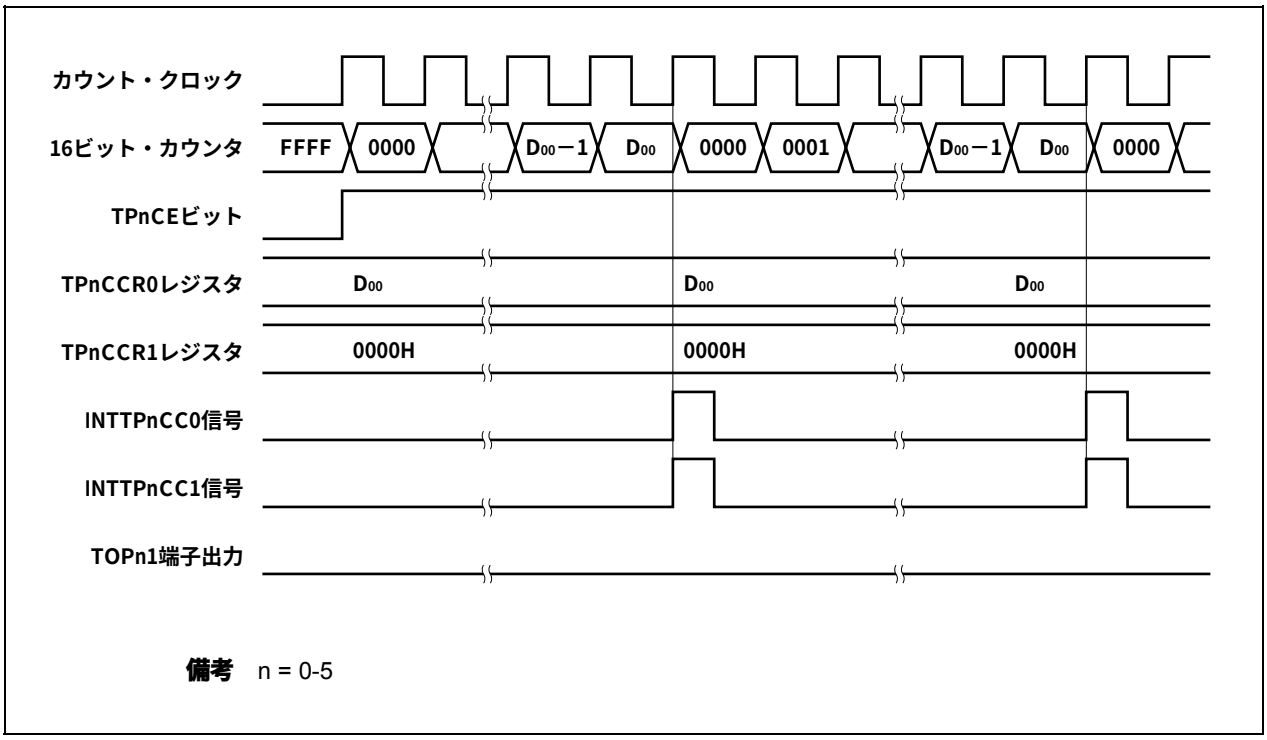
TPnCCR1レジスタにライトしたあと，16ビット・カウンタのクリア・タイミングに同期して，TPnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され，16ビット・カウンタとのコンペア値となります。

また，一度TPnCCR1レジスタにライトしたあとで，再度TPnCCR0，またはTPnCCR1レジスタへのライトを行う場合は， INTTPnCC0信号の発生後に行ってください。これを守れない場合には，TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと，TPnCCRmレジスタの書き換えの競合により，CCRmバッファ・レジスタの値が不定値になる場合があります。

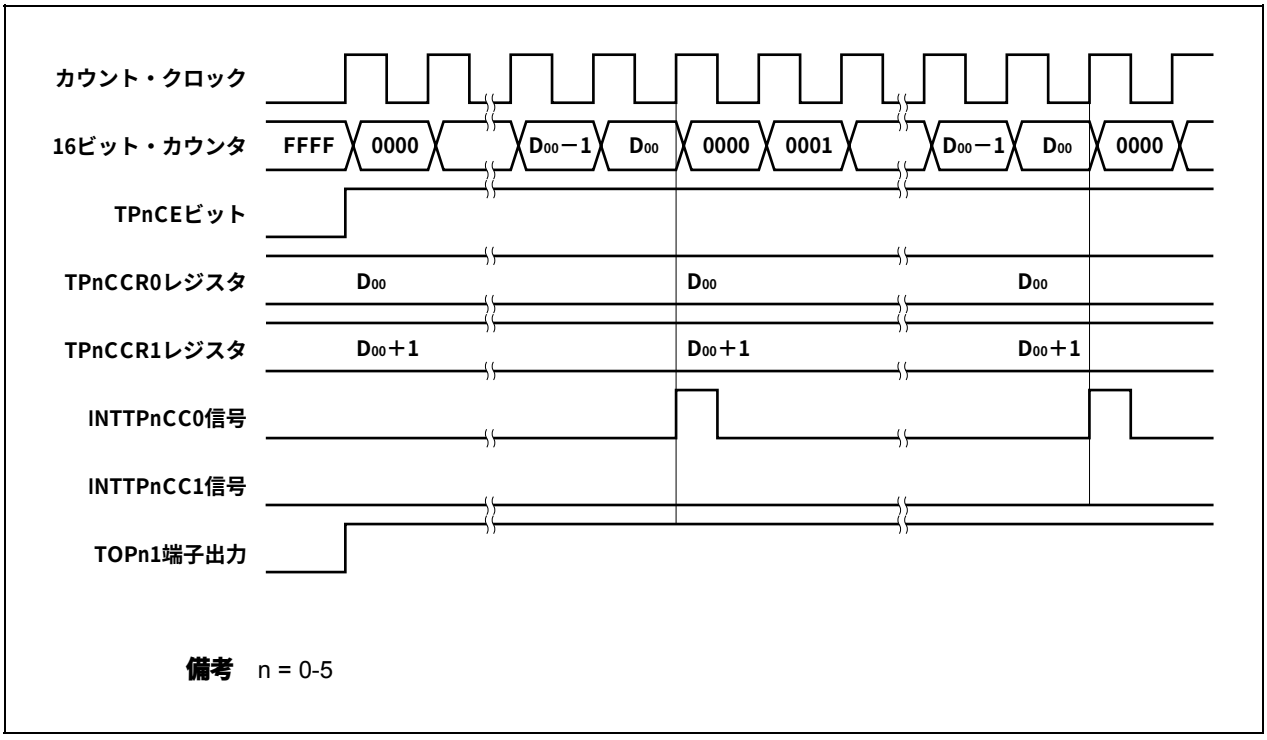
備考　n = 0-5, m = 0, 1

（b）PWM波形の0 %／100 %出力

0 %波形を出力するためには，TPnCCR1レジスタに対して0000Hを設定します。ただし，TPnCCR0レジスタの設定値がFFFFHの場合には，INTTPnCC1信号が定期的に発生します。

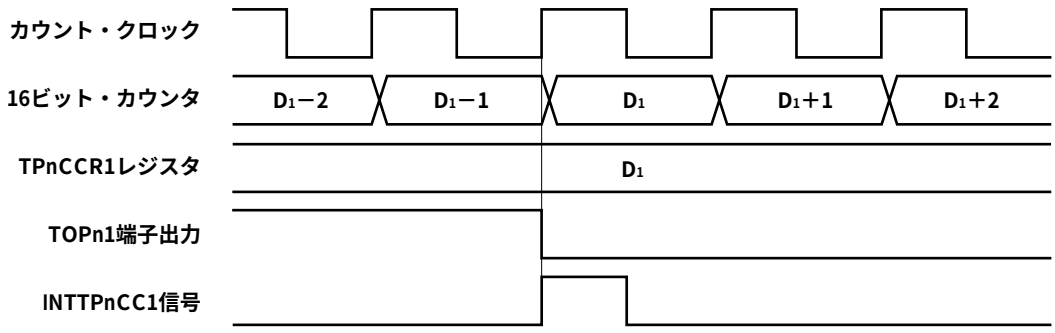


100 %波形を出力するためには，TPnCCR1レジスタに対して（TPnCCR0レジスタの設定値＋1）の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には，100 %出力はできません。



(c) コンペア一致割り込み要求信号（INTTPnCC1）の発生タイミング

PWM出力モードにおけるINTTPnCC1信号の発生タイミングは，ほかのINTTPnCC1信号と異なり，16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致と同時に発生します。



備考　n = 0-5

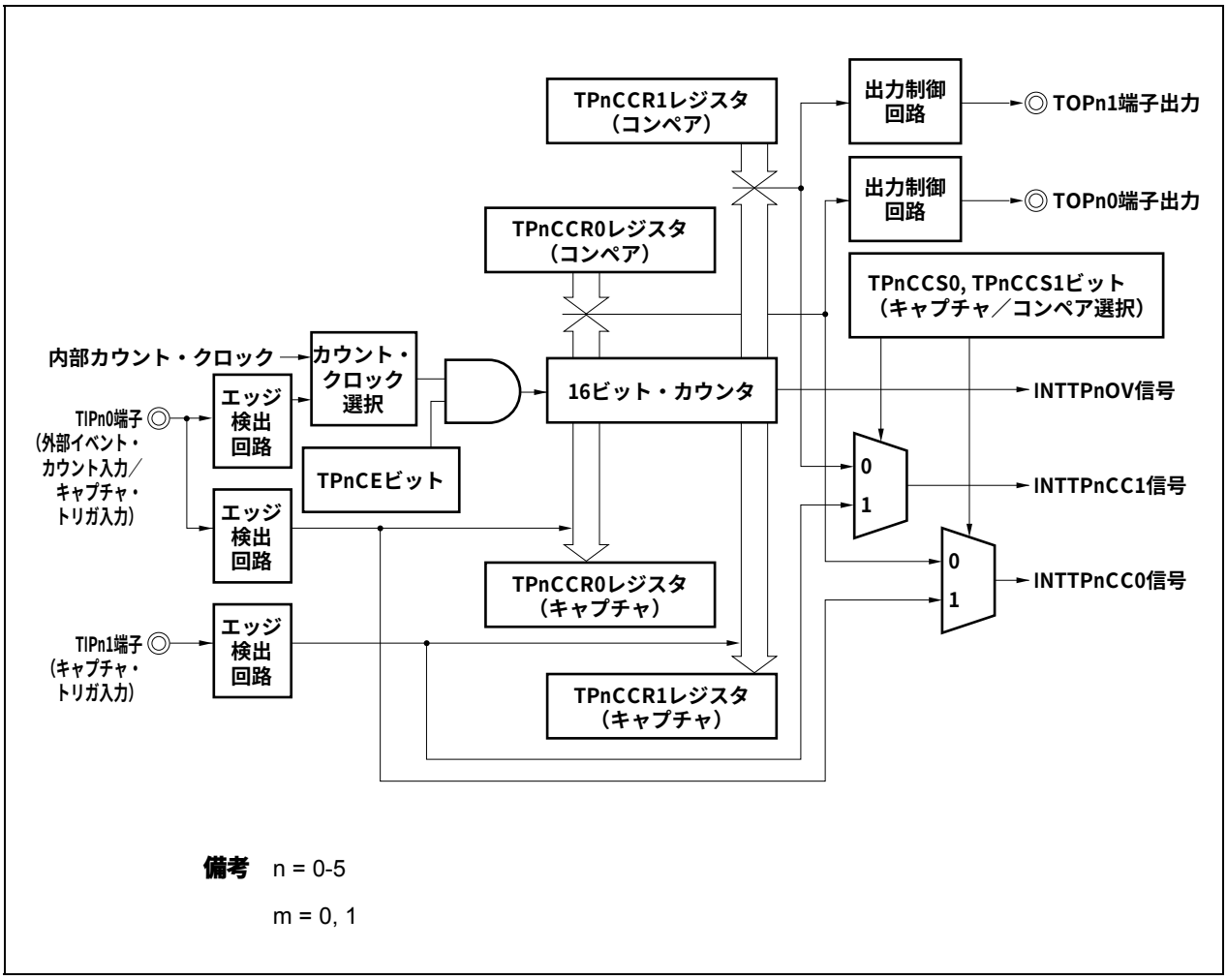
通常，INTTPnCC1信号は，16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致後，次のカウント・アップに同期して発生します。

しかし，PWM出力モードの場合，1クロック早いタイミングで発生します。これは，TOPn1端子出力の変化タイミングとあわせるために，タイミングを変更しているからです。

7. 5. 6　フリー・ランニング・タイマ・モード（TPnMD2-TPnMD0ビット = 101）

フリー・ランニング・タイマ・モードは，TPnCTL0.TPnCEビットをセット（1）することでカウント動作を開始します。このときのTPnCCRmレジスタの動作は，TPnOPT0.TPnCCS0, TPnCCS1ビットの設定により，コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7－28　フリー・ランニング・タイマ・モードの構成図



備考　n = 0-5

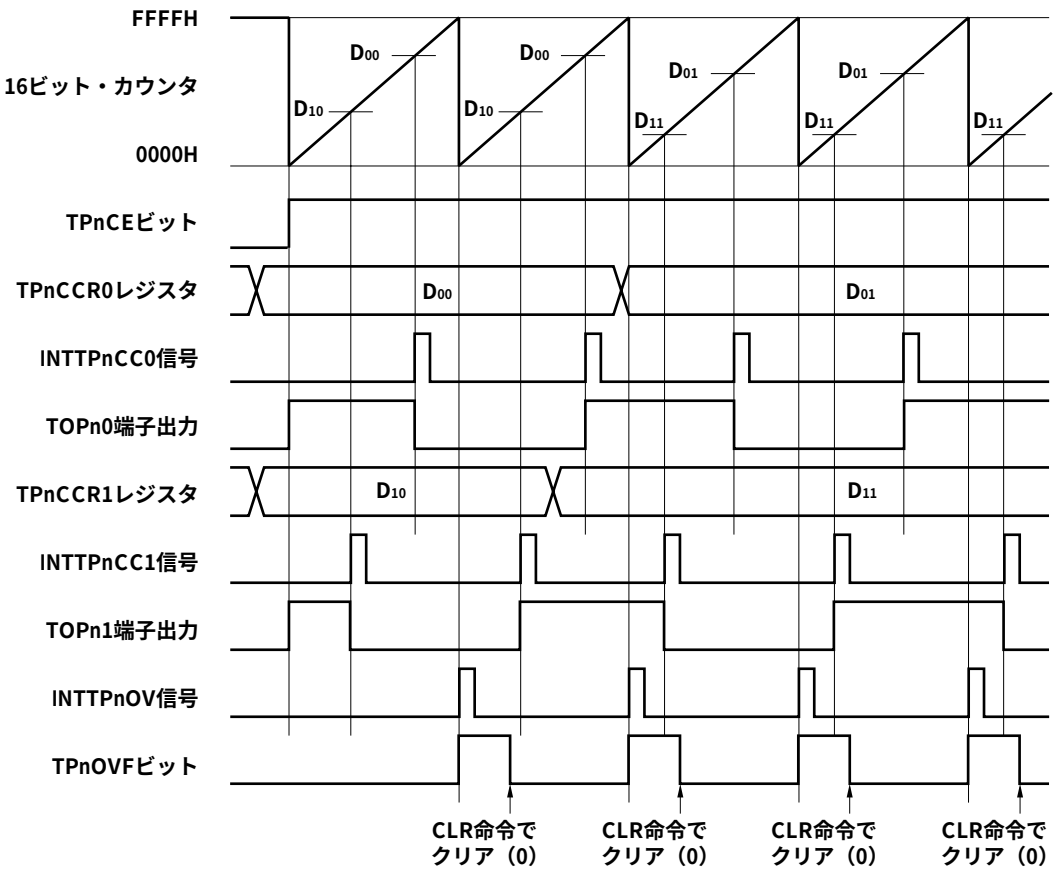
m = 0, 1

TPnCEビットをセット（1）することで，カウント動作を開始し，TOPn0, TOPn1端子出力を反転します。その後，16ビット・カウンタのカウント値とTPnCCRmレジスタの設定値が一致すると，コンペア一致割り込み要求信号（INTTPnCCm）を発生し，TOPnm端子出力を反転します。

16ビット・カウンタは，カウント・クロックに同期してカウント動作を続け，FFFFHまでカウントすると，次のクロックでオーバフロー割り込み要求信号（INTTPnOV）を発生するとともに，0000Hにクリアしカウント動作を継続します。また，このときオーバフロー・フラグ（TPnOPT0.TPnOVFビット）もセット（1）されます。オーバフロー・フラグは，ソフトウエアでCLR命令を実行してクリア（0）してください。

TPnCCRmレジスタは，カウント動作中の書き換えを許可しています。書き換えた場合，随時書き換えた値が反映され，カウント値と比較されます。

図7－29　フリー・ランニング・タイマ・モードの基本タイミング（コンペア機能）



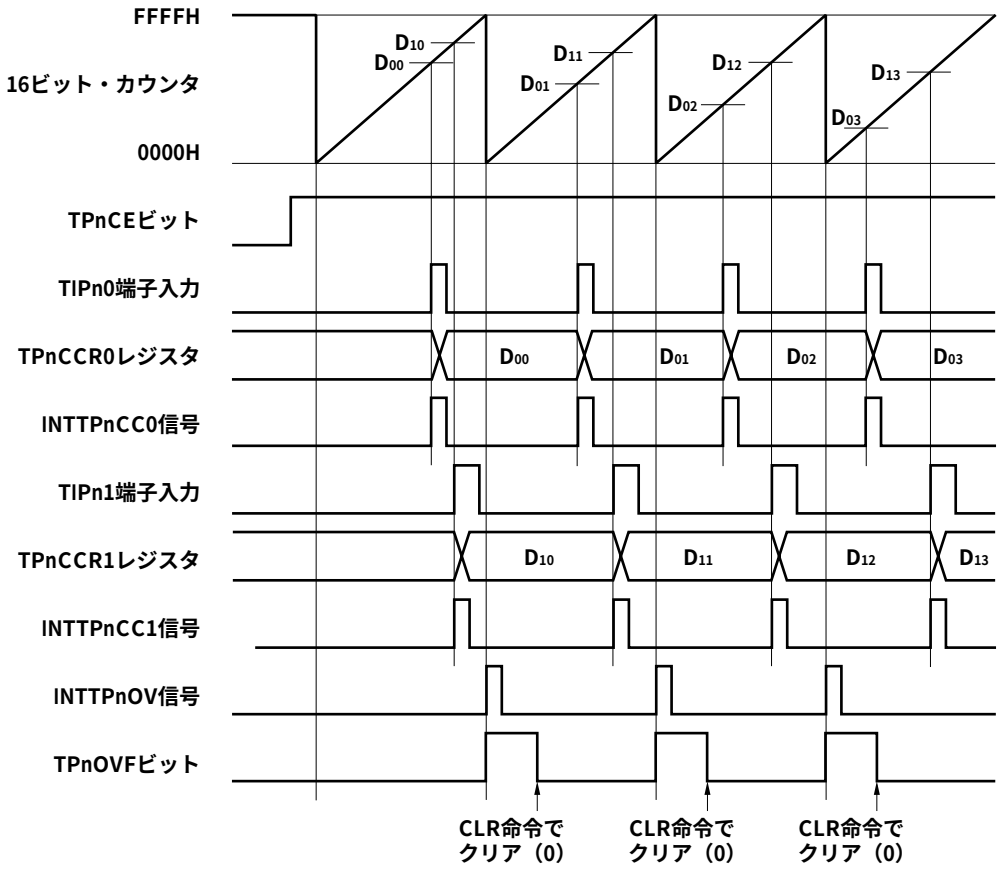
備考　n = 0-5

m = 0, 1

TPnCEビットをセット（1）することで，カウント動作を開始します。その後，TIPnm端子入力の有効エッジを検出することにより，16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し，キャプチャ割り込み要求信号（INTTPnCCm）を発生します。

16ビット・カウンタは，カウント・クロックに同期してカウント動作を続け，FFFFHまでカウントすると，次のクロックでオーバフロー割り込み要求信号（INTTPnOV）を発生するとともに，0000Hにクリアしカウント動作を継続します。また，このときオーバフロー・フラグ（TPnOPT0.TPnOVFビット）もセット（1）されます。オーバフロー・フラグは，ソフトウエアでCLR命令を実行してクリア（0）してください。

図7－30　フリー・ランニング・タイマ・モードの基本タイミング（キャプチャ機能）



備考　n = 0-5

図7－31　フリー・ランニング・タイマモード動作時のレジスタ設定内容（1/2）

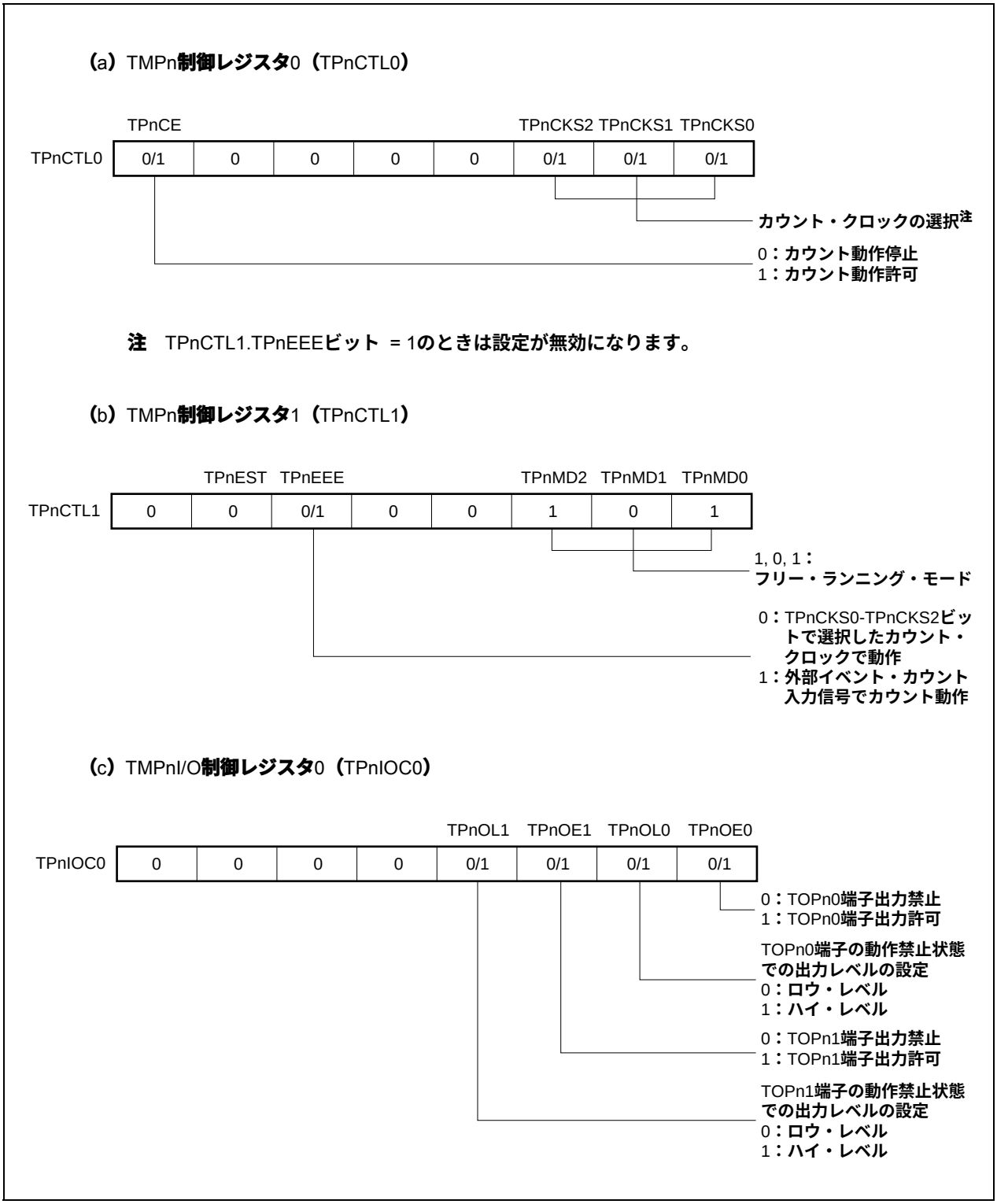
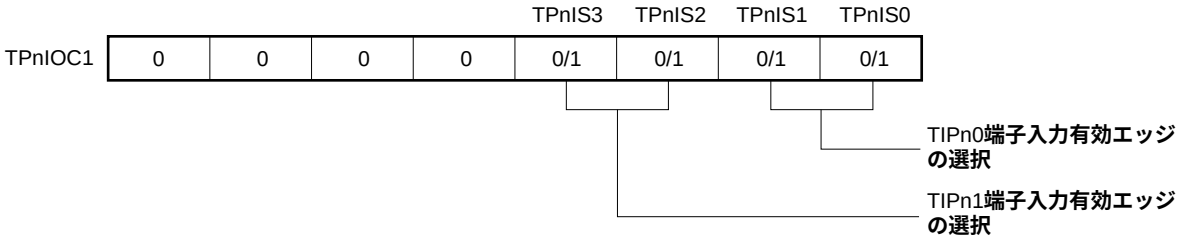
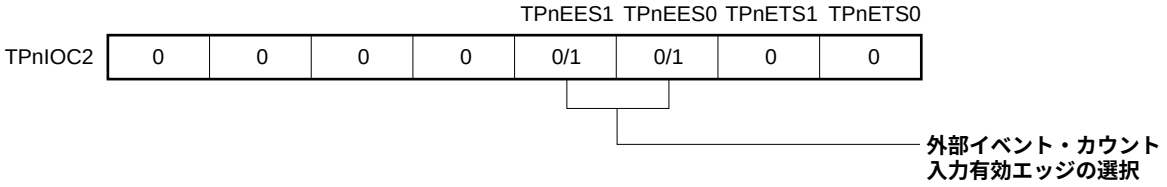


図7－31　フリー・ランニング・タイマ・モード動作時のレジスタ設定内容（2/2）

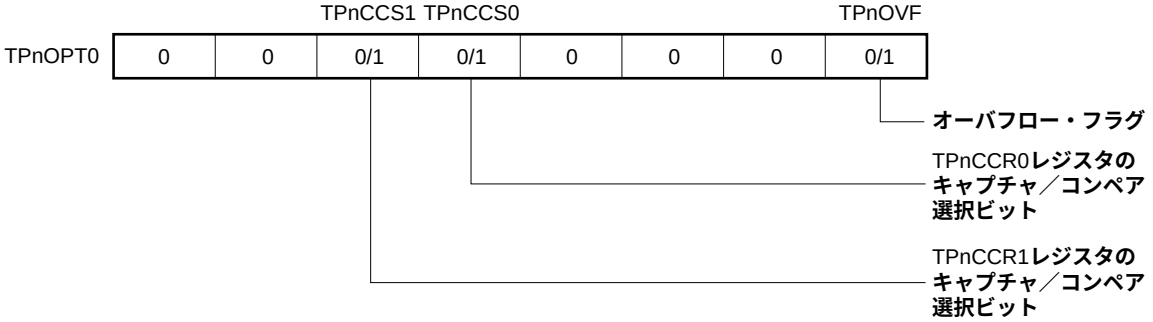
（d）TMPnI/O制御レジスタ1（TPnIOC1）



（e）TMPnI/O制御レジスタ2（TPnIOC2）



（f）TMPnオプション・レジスタ0（TPnOPT0）



（g）TMPnカウンタ・リード・バッファ・レジスタ（TPnCNT）

TPnCNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

（h）TMPnキャプチャ／コンペア・レジスタ0, 1（TPnCCR0, TPnCCR1）

TPnOPT0.TPnCCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には，TIPnm端子入力の有効エッジ検出により，16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には，TPnCCRmレジスタにD_mを設定した場合，カウンタが（D_m＋1）になるタイミングでINTTPnCCm信号を発生し，TOPnm端子出力を反転します。

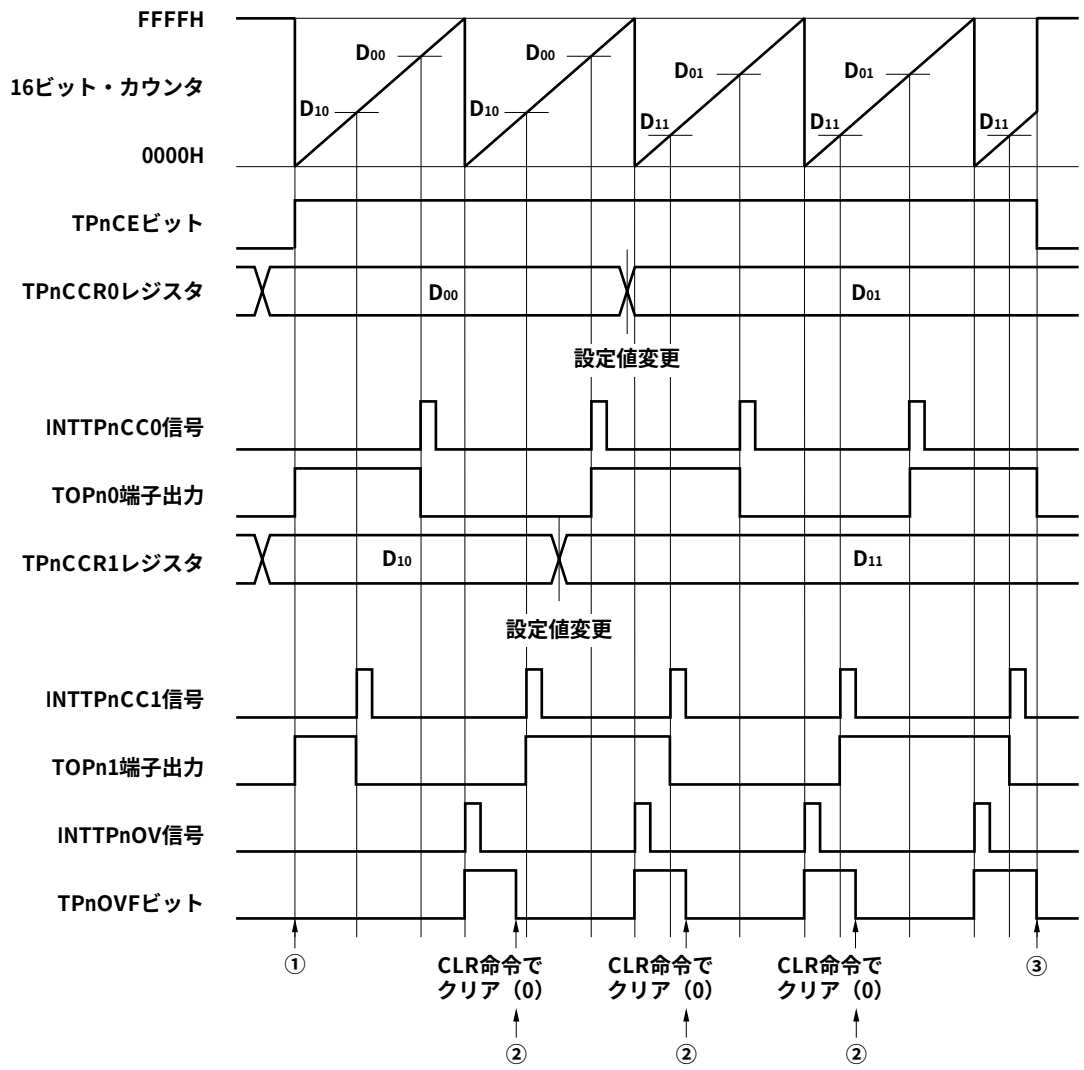
備考　n = 0-5

m = 0, 1

（1）フリー・ランニング・タイマ・モード動作フロー

（a）キャプチャ／コンペア・レジスタをコンペア・レジスタとして使用した場合

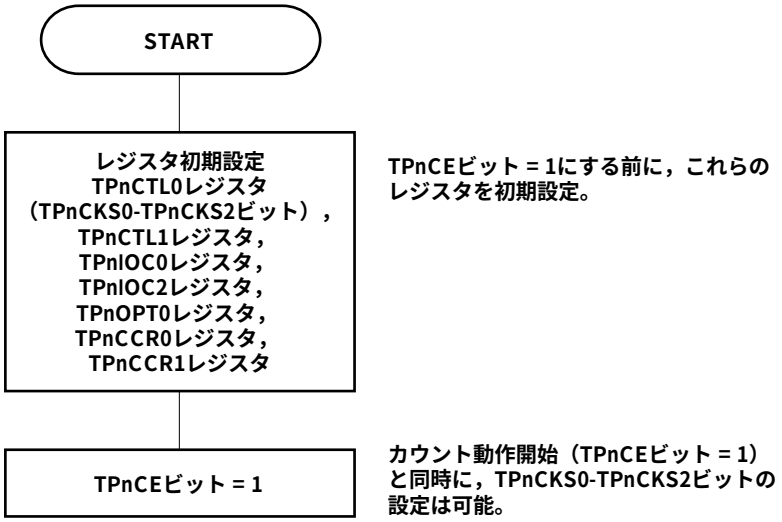
図7－32　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（コンペア機能）（1/2）



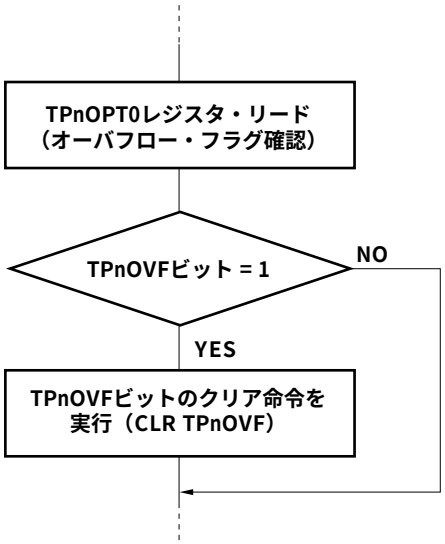
備考　n = 0-5

図7－32　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（コンペア機能）（2/2）

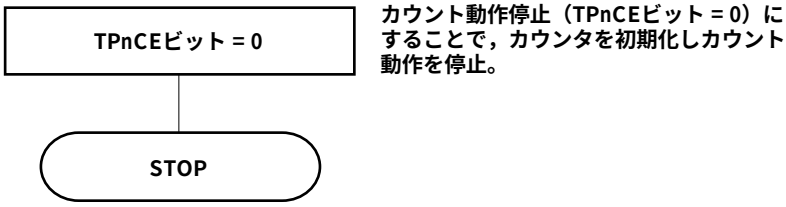
① カウント動作開始フロー



② オーバフロー・フラグ・クリア・フロー



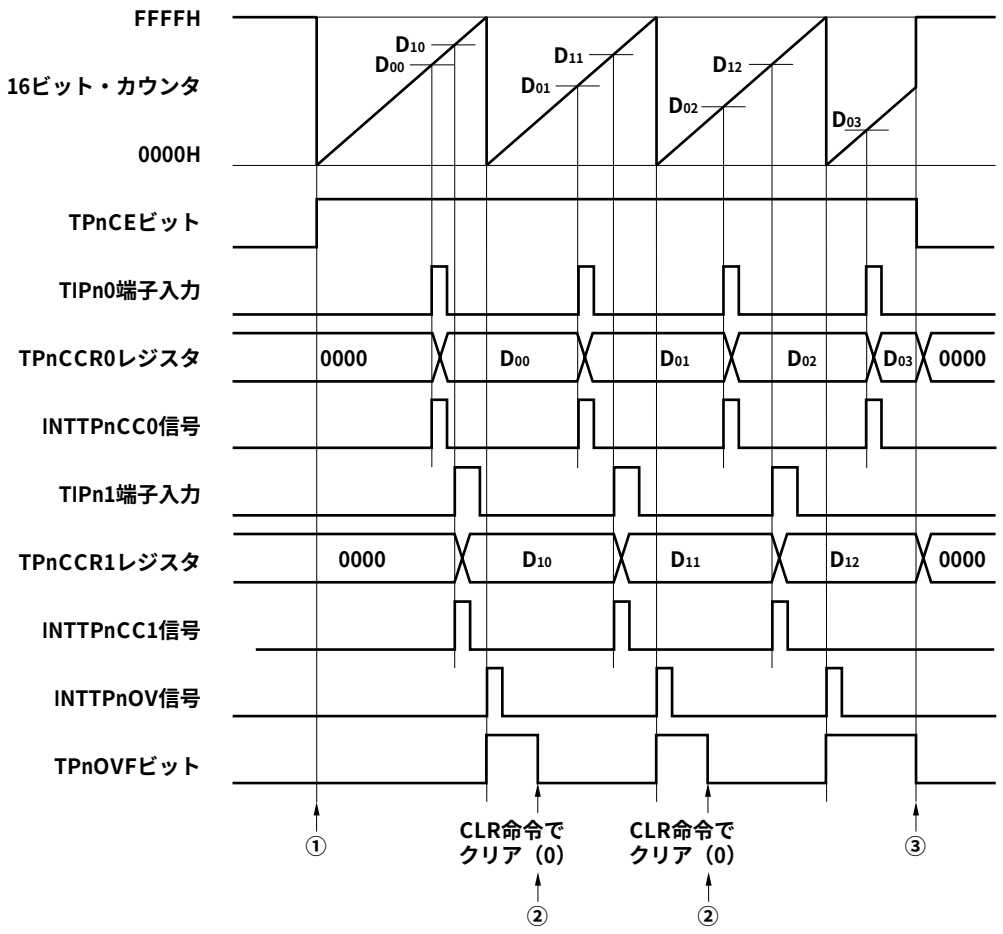
③ カウント動作停止フロー



備考　n = 0-5

（b）キャプチャ／コンペア・レジスタをキャプチャ・レジスタとして使用する場合

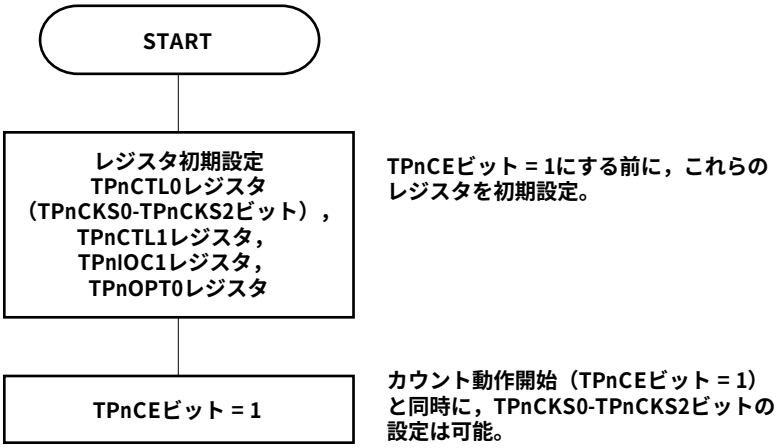
図7－33　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（キャプチャ機能）（1/2）



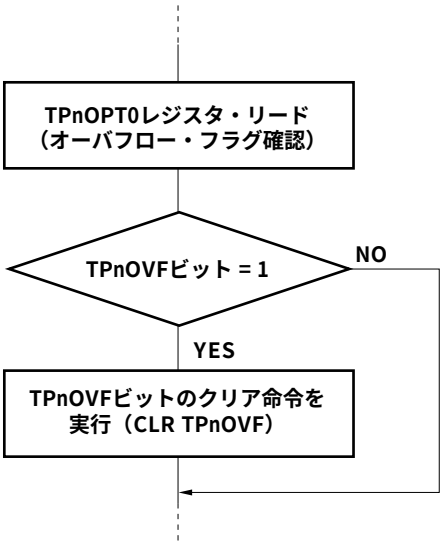
備考　n = 0-5

図7－33　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（キャプチャ機能）（2/2）

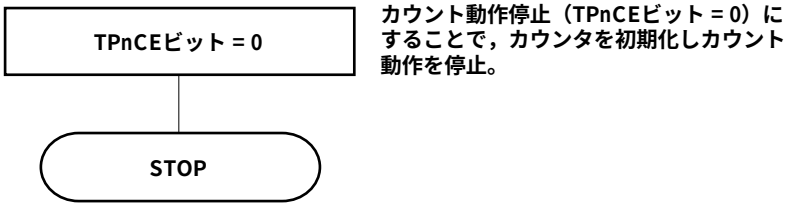
① カウント動作開始フロー



② オーバフロー・フラグ・クリア・フロー



③ カウント動作停止フロー

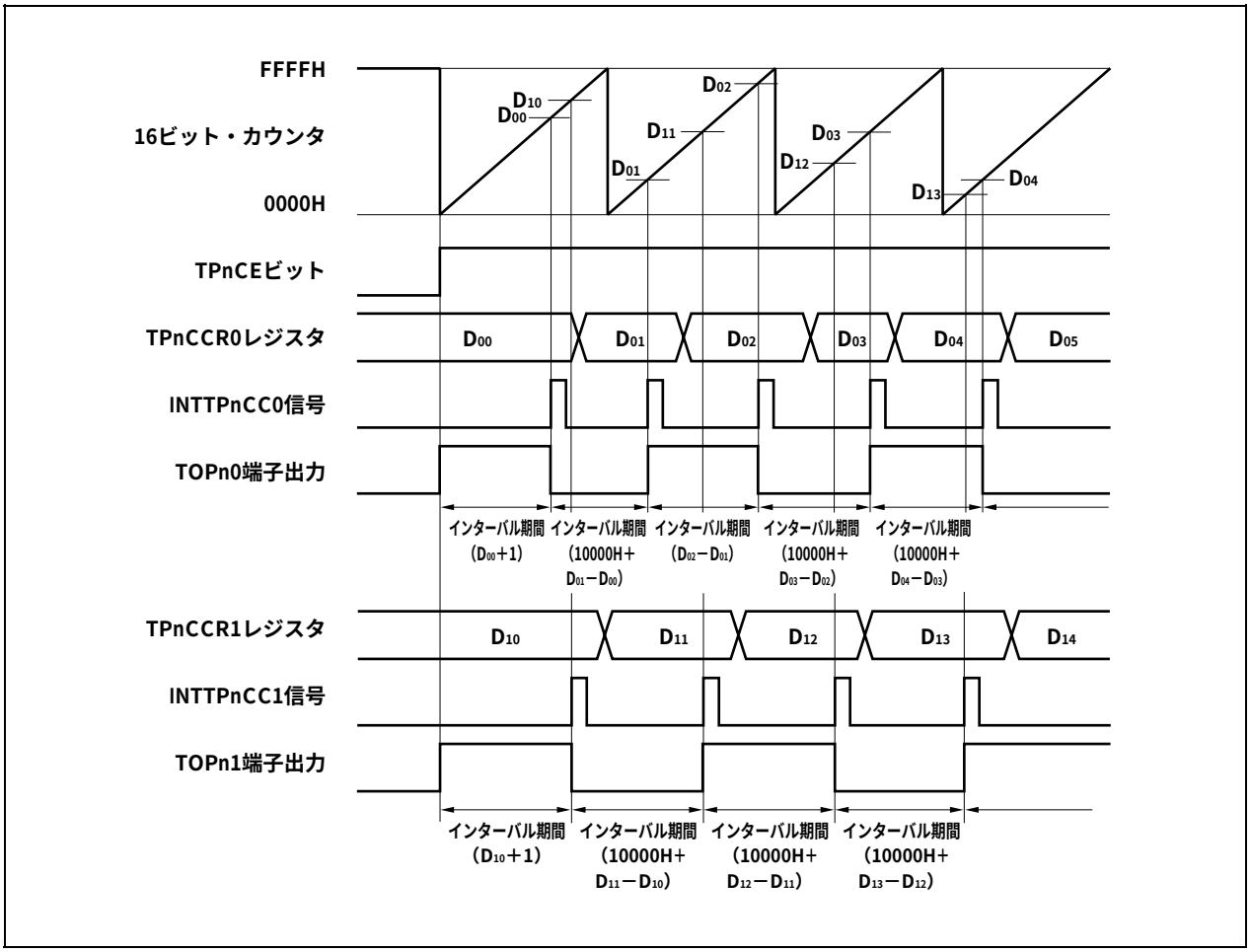


備考　n = 0-5

(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し，インターバル動作をさせる場合

TPnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合，INTTPnCCm信号を検出するごとに，次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウエア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合，1チャネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合，INTTPnCCm信号を検出したときの割り込み処理中に，対応するTPnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は，インターバル期間を“D_m”とすると，次のように求められます。

コンペア・レジスタ初期値：D_m-1

2回目以降のコンペア・レジスタ設定値 ＝ 前回の設定値＋D_m

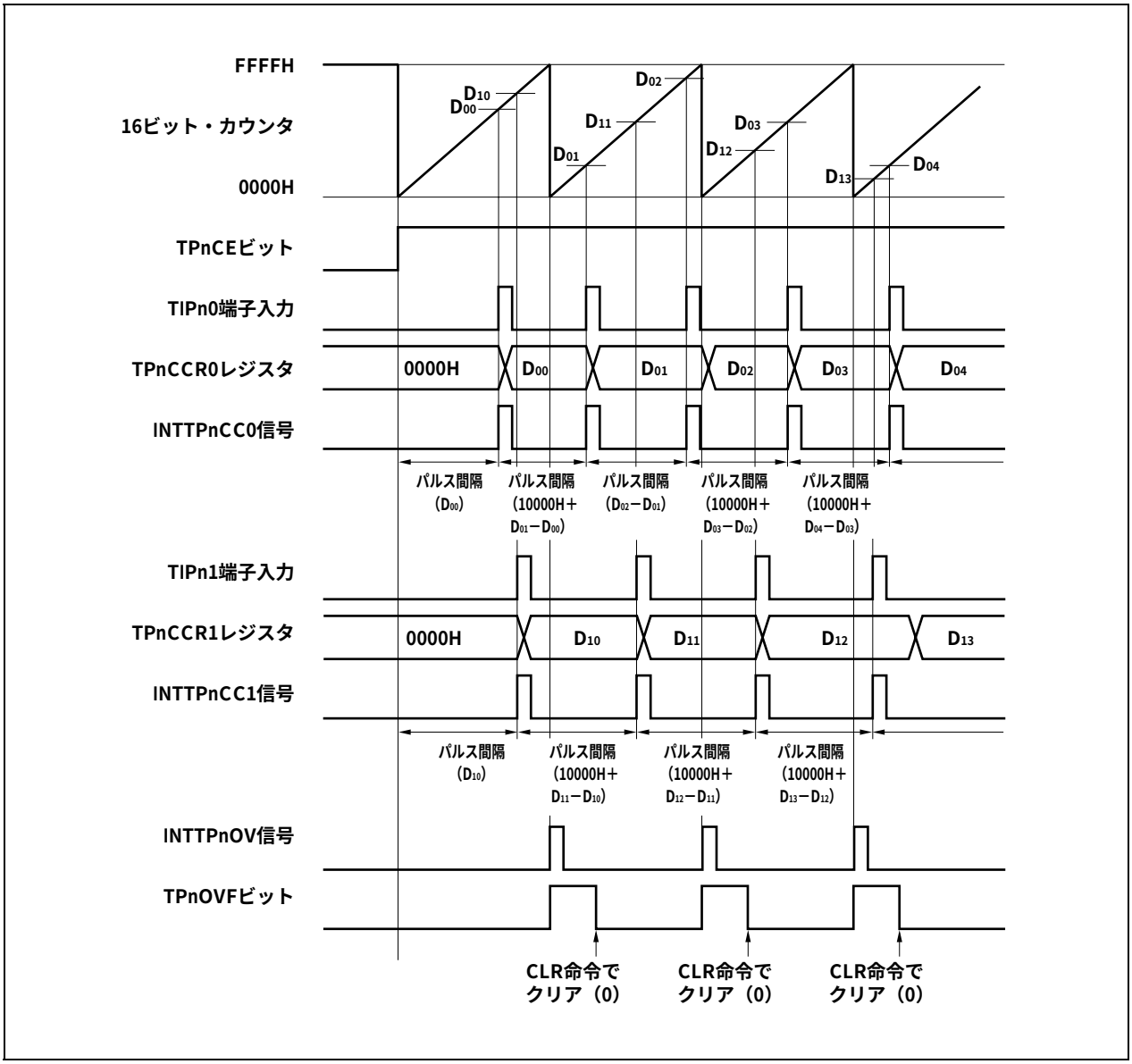
（演算結果がFFFFHよりも大きい場合には，演算結果から10000Hを引いた値を設定してください）

備考　n = 0-5

m = 0, 1

(b) キャプチャ・レジスタとして使用し，パルス幅測定をさせる場合

TPnCCRmレジスタをキャプチャ・レジスタとして使用し，パルス幅測定を行う場合，INTTPnCCm信号を検出するごとに，キャプチャ・レジスタをリードし，間隔を算出するソフトウエア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合，1チャネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合，INTTPnCCm信号に同期してTPnCCRmレジスタの値をリードし，同一キャプチャ・レジスタの前回のリード・データとの差分を求めることでパルス幅を算出できます。

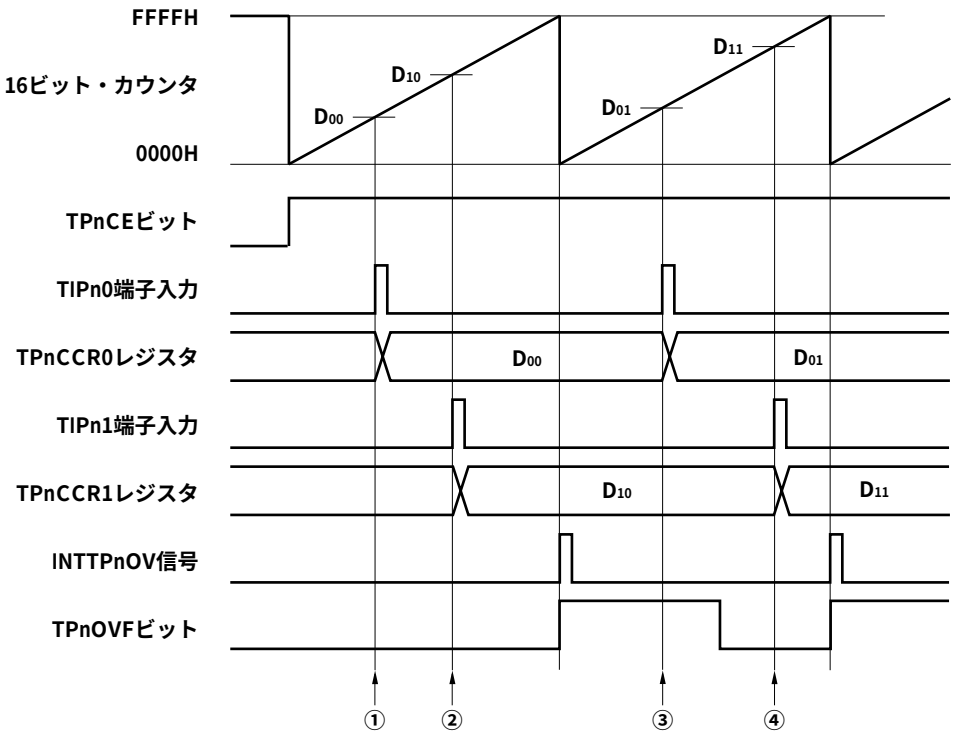
備考　n = 0-5

m = 0, 1

（c）2つのキャプチャ・レジスタを使用した場合のオーバフローの処理方法

2つのキャプチャを使用する場合には，オーバフロー・フラグの処理に注意が必要です。まず悪い例を，次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合，次のような問題が起こる場合があります。

① TPnCCR0レジスタをリードする（TIPn0端子入力の初期値設定）。

② TPnCCR1レジスタをリードする（TIPn1端子入力の初期値設定）。

③ TPnCCR0レジスタをリードする。
オーバフロー・フラグをリードする。→オーバフロー・フラグが“1”だった場合，クリア（0）する。
オーバフロー・フラグが“1”なので，パルス幅は（10000H＋D_{01}－D_{00}）で求められます。

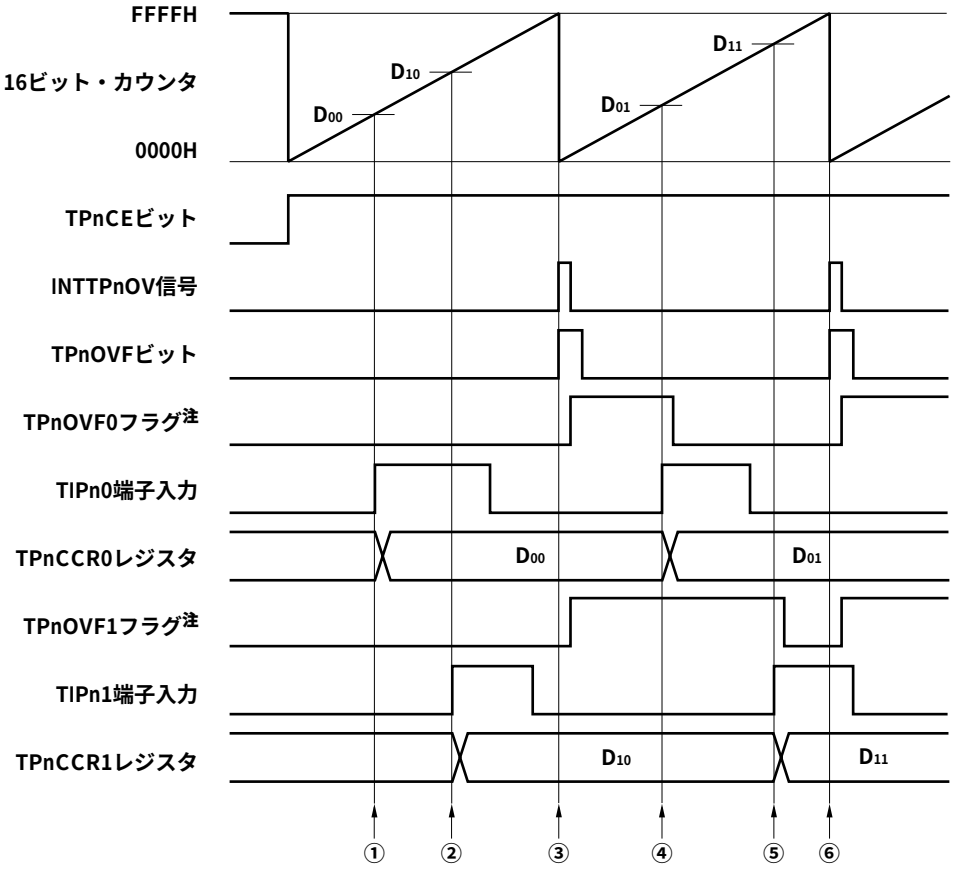
④ TPnCCR1レジスタをリードする。
オーバフロー・フラグをリードする。→③でクリア（0）されているため，0がリードされます。
オーバフロー・フラグが“0”なので，パルス幅は（D_{11}－D_{10}）で求められます（NG）。

このように，2つのキャプチャを使用する場合に，1つのキャプチャでオーバフロー・フラグをクリア（0）してしまうと，もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には，ソフトウエアで対応してください。次に，ソフトウエア対応例を示します。

（1/2）

2つのキャプチャを使用するときの対応例（オーバフロー割り込みを使用）



注　TPnOVF0, TPnOVF1フラグは，ソフトウエアにより，内蔵RAM上に任意に設定したものです。

① TPnCCR0レジスタをリードする（TIPn0端子入力の初期値設定）。

② TPnCCR1レジスタをリードする（TIPn1端子入力の初期値設定）。

③ オーバフローが発生する。オーバフロー割り込み処理の中で，TPnOVF0, TPnOVF1フラグをセット（1）し，オーバフロー・フラグをクリア（0）する。

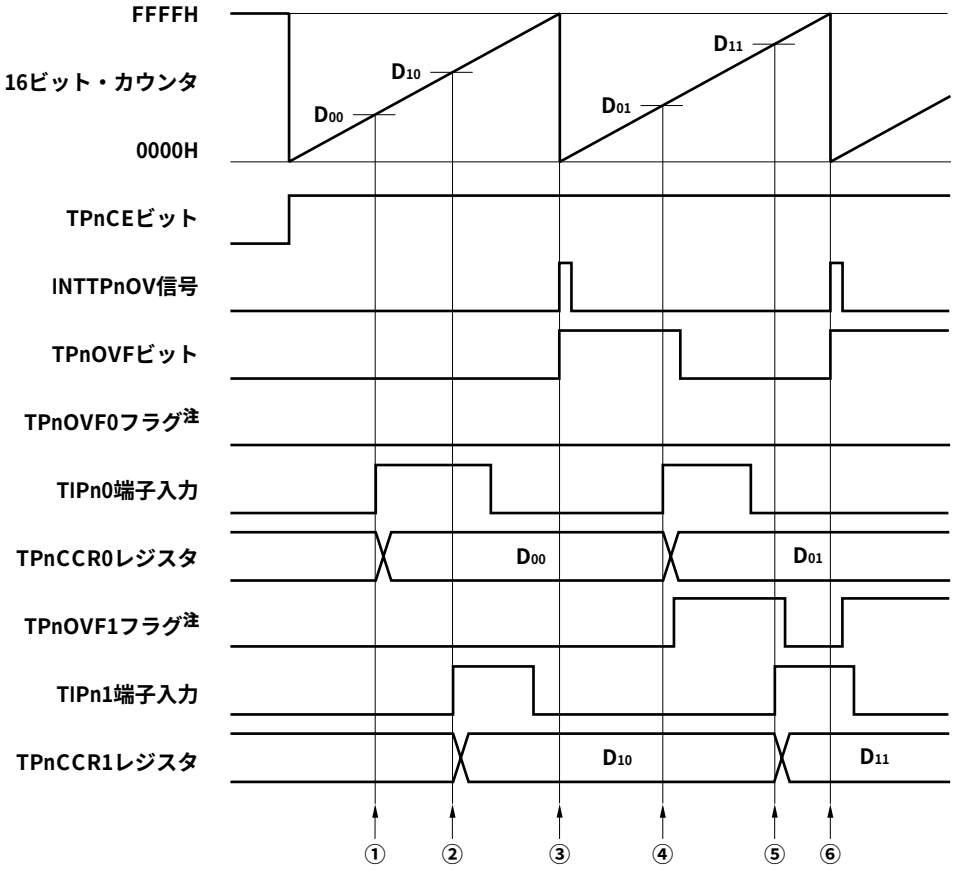
④ TPnCCR0レジスタをリードする。
TPnOVF0フラグをリードする。→TPnOVF0フラグが“1”だった場合，クリア（0）する。
TPnOVF0フラグが“1”なので，パルス幅は（10000H＋D_{01}－D_{00}）で求められます。

⑤ TPnCCR1レジスタをリードする。
TPnOVF1フラグをリードする。→TPnOVF1フラグが“1”だった場合，クリア（0）する（④でクリア（0）されたのはTPnOVF0フラグであり，TPnOVF1フラグは“1”のまま）。
TPnOVF1フラグが“1”なので，パルス幅は（10000H＋D_{11}－D_{10}）で求められます（OK）。

⑥ ③と同じです。

（2/2）

2つのキャプチャを使用するときの対応例（オーバフロー割り込みを使用しない）



注　TPnOVF0, TPnOVF1フラグは，ソフトウエアにより，内蔵RAM上に任意に設定したものです。

① TPnCCR0レジスタをリードする（TIPn0端子入力の初期値設定）。

② TPnCCR1レジスタをリードする（TIPn1端子入力の初期値設定）。

③ オーバフローが発生する。ソフトウエアでは何もしない。

④ TPnCCR0レジスタをリードする。
オーバフロー・フラグをリードする。→オーバフロー・フラグが“1”だった場合，TPnOVF1フラグのみをセット（1）し，オーバフロー・フラグをクリア（0）する。
オーバフロー・フラグが“1”なので，パルス幅は（10000H＋D_{01}－D_{00}）で求められます。

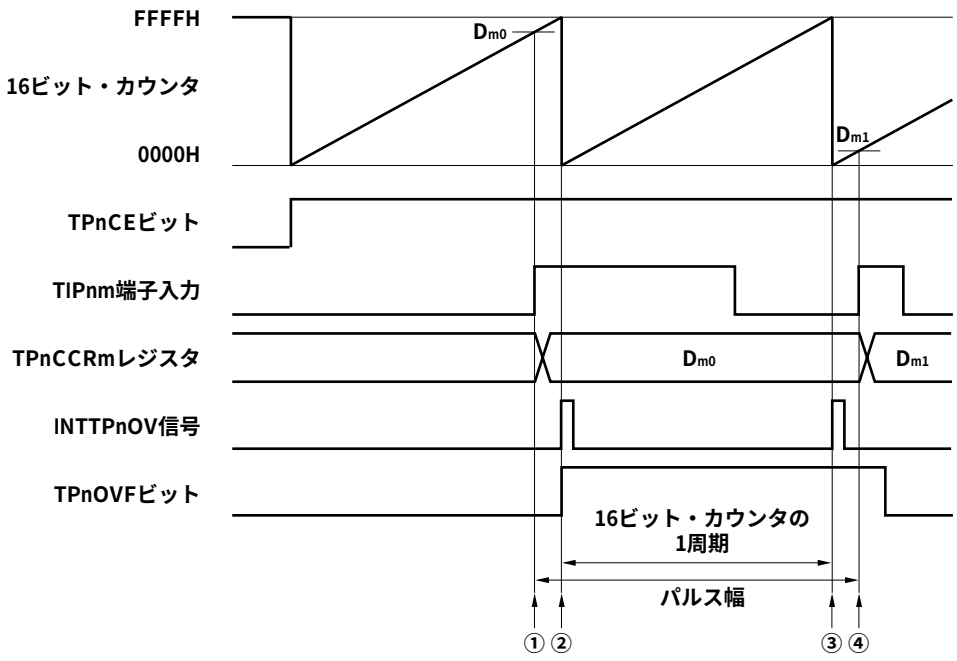
⑤ TPnCCR1レジスタをリードする。
オーバフロー・フラグをリードする。オーバフロー・フラグは④でクリア（0）されているので“0”がリードされる。
TPnOVF1フラグをリードする。→TPnOVF1フラグが“1”だった場合，クリア（0）する。
TPnOVF1フラグが“1”なので，パルス幅は（10000H＋D_{11}－D_{10}）で求められます（OK）。

⑥ ③と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合，キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を，次に示します。

キャプチャ・トリガの間隔が長いときの悪い例



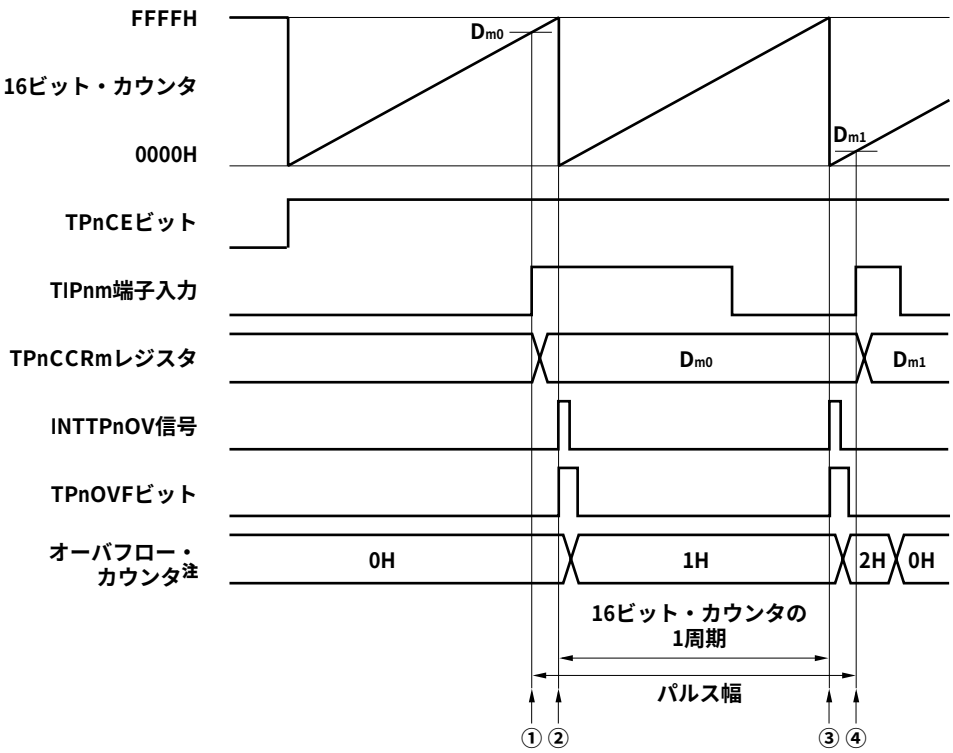
フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合，次のような問題が起こる場合があります。

① TPnCCRmレジスタをリードする（TIPnm端子入力の初期値設定）。
② オーバフローが発生する。ソフトウエアでは何もしない。
③ 2回目のオーバフローが発生する。ソフトウエアでは何もしない。
④ TPnCCRmレジスタをリードする。
オーバフロー・フラグをリードする。→オーバフロー・フラグが“1”だった場合，クリア（0）する。
オーバフロー・フラグが“1”なので，パルス幅は（10000H＋D_{m1}－D_{m0}）で求められます（NG）。
実際には，2回のオーバフローが発生しているので，パルス幅は，（20000H＋D_{m1}－D_{m0}）になるはずです。

このように，キャプチャ・トリガの間隔が長い場合に，2回以上のオーバフローが発生すると，正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には，カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか，ソフトウエアで対応してください。次に，ソフトウエア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注　オーバフロー・カウンタは，ソフトウエアにより，内蔵RAM上に任意に設定したものです。

① TPnCCRmレジスタをリードする（TIPnm端子入力の初期値設定）。

② オーバフローが発生する。オーバフロー割り込み処理の中で，オーバフロー・カウンタをインクリメントし，オーバフロー・フラグをクリア（0）する。

③ 2回目のオーバフローが発生する。オーバフロー割り込み処理の中で，オーバフロー・カウンタをインクリメント（＋1）し，オーバフロー・フラグをクリア（0）する。

④ TPnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

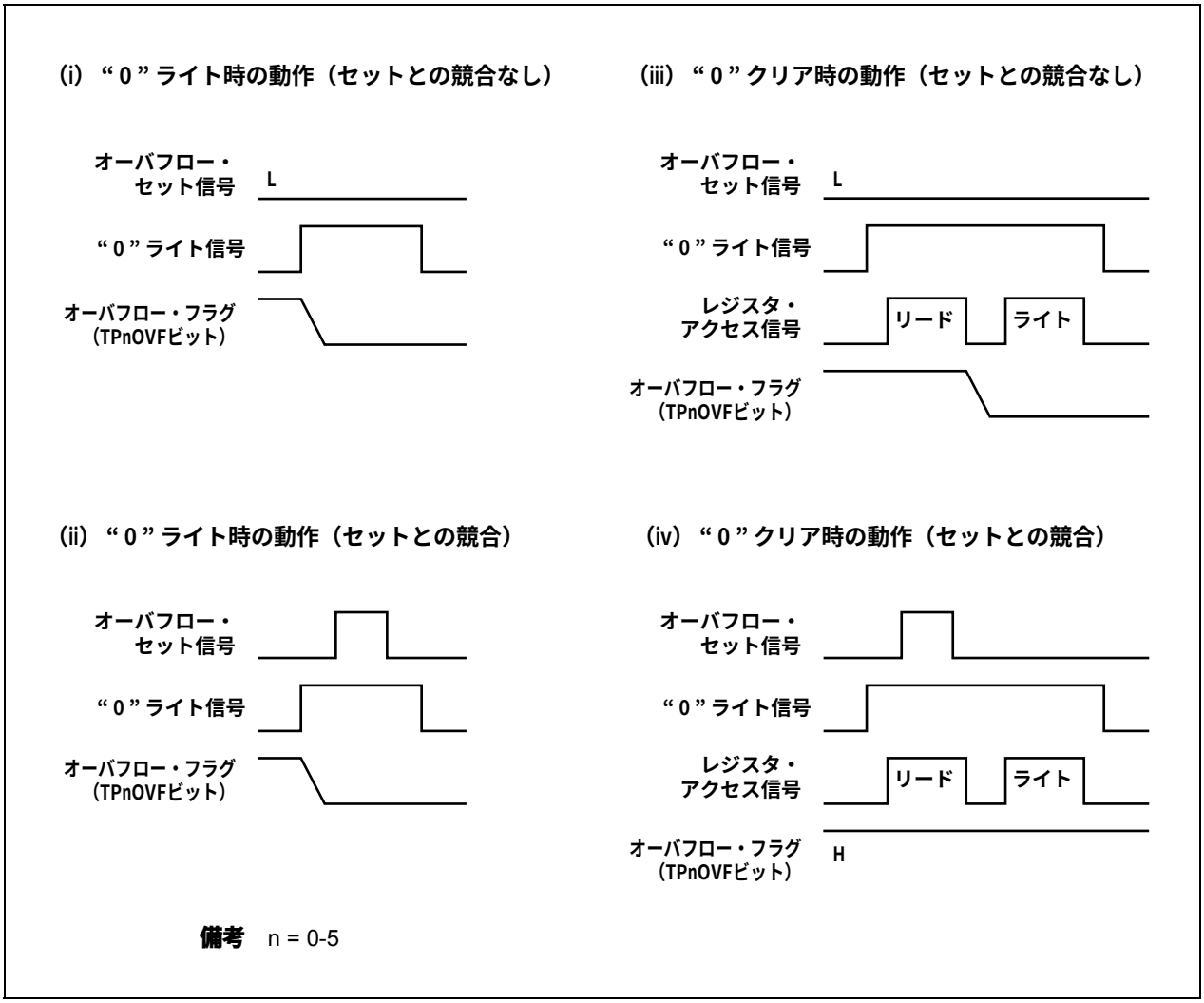
→オーバフロー・カウンタが“N”のとき，パルス幅は（N×10000H＋D_{m1}－D_{m0}）で求められる。

この例では，2回のオーバフローが発生しているので，パルス幅は，（20000H＋D_{m1}－D_{m0}）になります。

オーバフロー・カウンタをクリア（0H）する。

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア（0）する方法は，TPnOVFビットをCLR命令でクリア（0）する方法と，TPnOPT0レジスタに8ビット・データ（ビット0は“0”）をライトする方法がありますが，確実にオーバフローを検出するために，TPnOVFビット = 1をリードしたあと，ビット操作命令でクリア（0）してください。



オーバフロー・フラグをクリア（0）する場合には，リードしてオーバフロー・フラグがセット（1）されていることを確認したあと，CLR命令でクリア（0）してください。確認せずに0をライトすると，オーバフローのセット情報を“0”ライトで消してしまう場合があります（上図の（ii））。そのために，実際にはオーバフローが発生したにもかかわらず，ソフトウエアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア（0）するときに，CLR命令の実行とオーバフロー発生のタイミングが競合した場合，クリア命令実行後もオーバフロー・フラグはセット（1）されたままになります。

7. 5. 7　パルス幅測定モード（TPnMD2-TPnMD0ビット = 110）

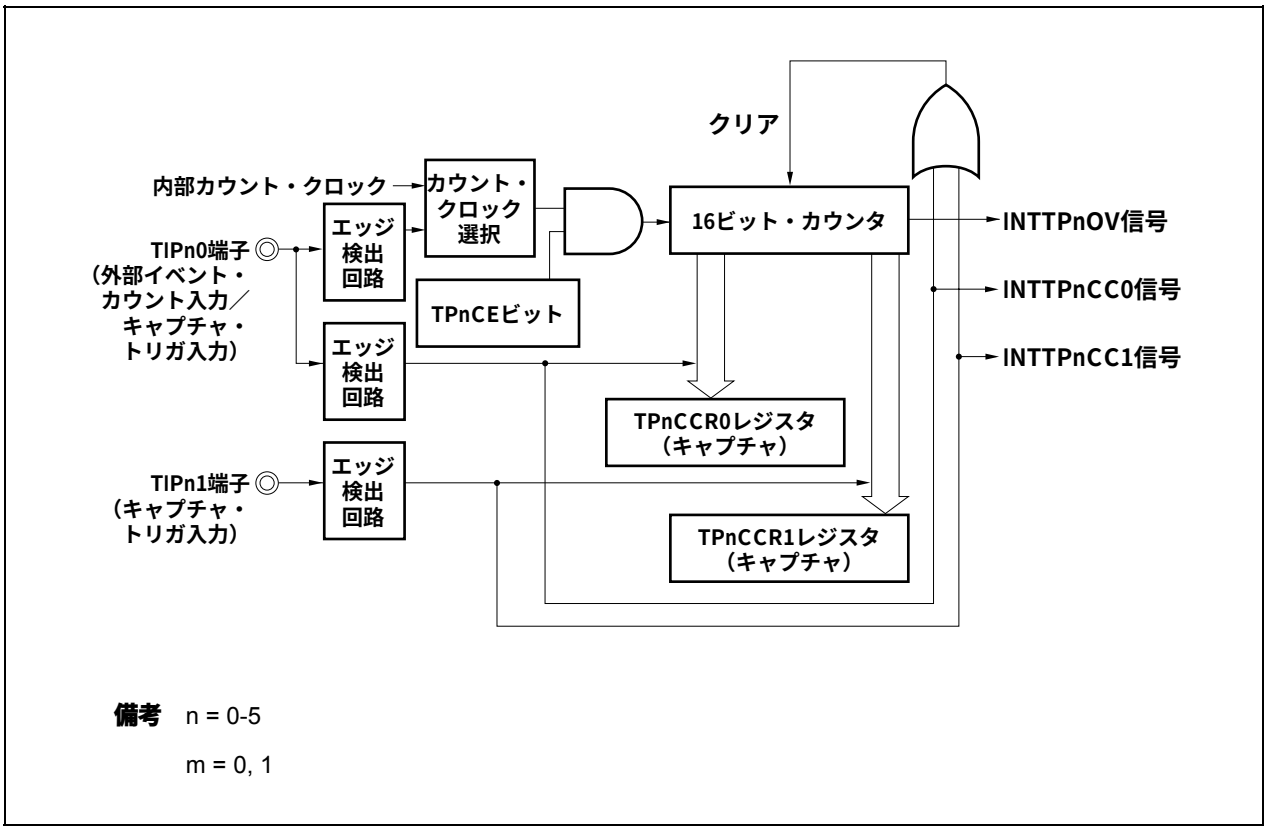
パルス幅測定モードは，TPnCTL0.TPnCEビットをセット（1）することでカウント動作を開始し，TIPnm端子入力の有効エッジを検出するごとに，16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し，16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号（INTTPnCCm）が発生したあと，TPnCCRmレジスタをリードすることにより，有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として，TIPn0, TIPn1端子のいずれか1本を使用してください。使用しない端子は，TPnIOC1レジスタで“エッジ検出なし”に設定してください。

また，カウント・クロックとして外部クロックを使用するときは，外部クロックはTIPn0端子固定ですので，TIPn1端子のパルス幅を測定してください。このとき，TPnIOC1.TPnIS1, TPnIS0ビット = 00（キャプチャ・トリガ入力（TIPn0端子）：エッジ検出なし）に設定してください。

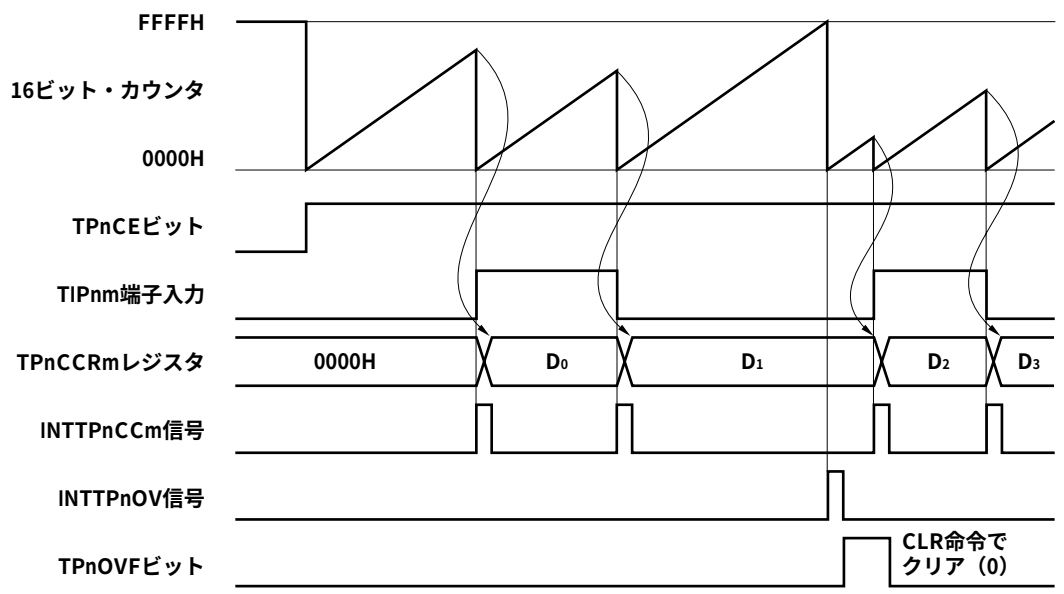
図7－34　パルス幅測定モードの構成図



備考　n = 0-5

m = 0, 1

図7－35　パルス幅測定モードの基本タイミング



備考　n = 0-5

m = 0, 1

TPnCEビットをセット（1）することで，カウント動作を開始します。その後，TIPnm端子入力の有効エッジを検出することにより，16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し，16ビット・カウンタを0000Hにクリアし，キャプチャ割り込み要求信号（INTTPnCCm）を発生します。

パルス幅は次のように求められます。

パルス幅 ＝ キャプチャされた値×カウント・クロック周期

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合，次のクロックでオーバフロー割り込み要求信号（INTTPnOV）を発生するとともに，0000Hにクリアしカウント動作を継続します。また，このときオーバフロー・フラグ（TPnOPT0.TPnOVFビット）もセット（1）されます。オーバフロー・フラグは，ソフトウエアでCLR命令を実行してクリア（0）してください。

オーバフロー・フラグがセット（1）した場合，パルス幅は次のように求められます。

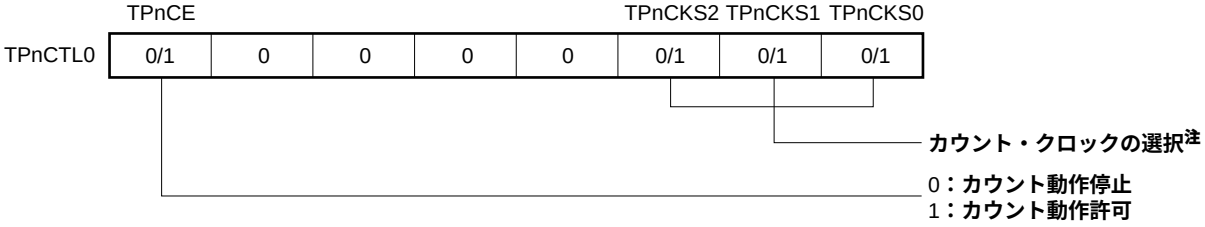
パルス幅 ＝（10000H×TPnOVFビットがセット（1）された回数＋キャプチャされた値）
×カウント・クロック周期

備考　n = 0-5

m = 0, 1

図7－36　パルス幅測定モード動作時のレジスタ設定内容（1/2）

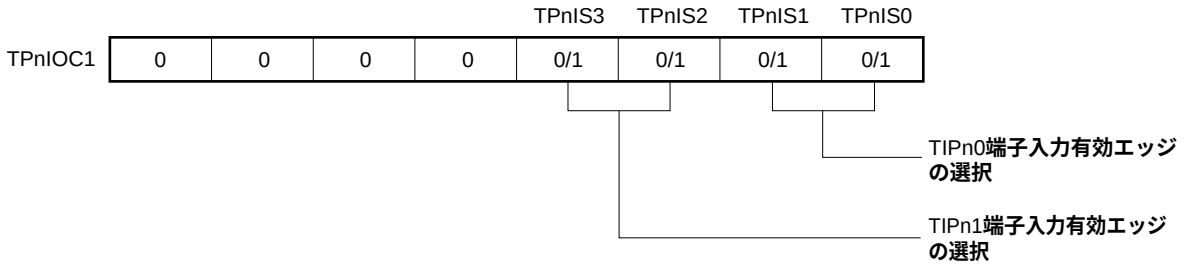
（a）TMPn制御レジスタ0（TPnCTL0）



注　TPnEEEビット = 1のときは設定が無効になります。

（b）TMPn制御レジスタ1（TPnCTL1）

（c）TMPnI/O制御レジスタ1（TPnIOC1）



（d）TMPnI/O制御レジスタ2（TPnIOC2）

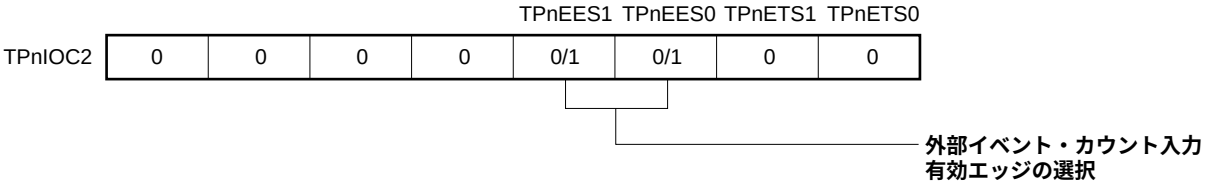


図7－36　パルス幅測定モード動作時のレジスタ設定内容（2/2）

（e）TMPn**オプション・レジスタ**0（TPnOPT0）

			TPnCCS1	TPnCCS0				TPnOVF
TPnOPT0	0	0	0	0	0	0	0	0/1

オーバフロー・フラグ

（f）TMPn**カウンタ・リード・バッファ・レジスタ**（TPnCNT）

TPnCNT**レジスタをリードすることで，**16**ビット・カウンタの値をリードできます。**

（g）TMPn**キャプチャ／コンペア・レジスタ**0, 1（TPnCCR0, TPnCCR1）

TIPnm**端子入力の有効エッジ検出により，**16**ビット・カウンタのカウント値を格納します。**

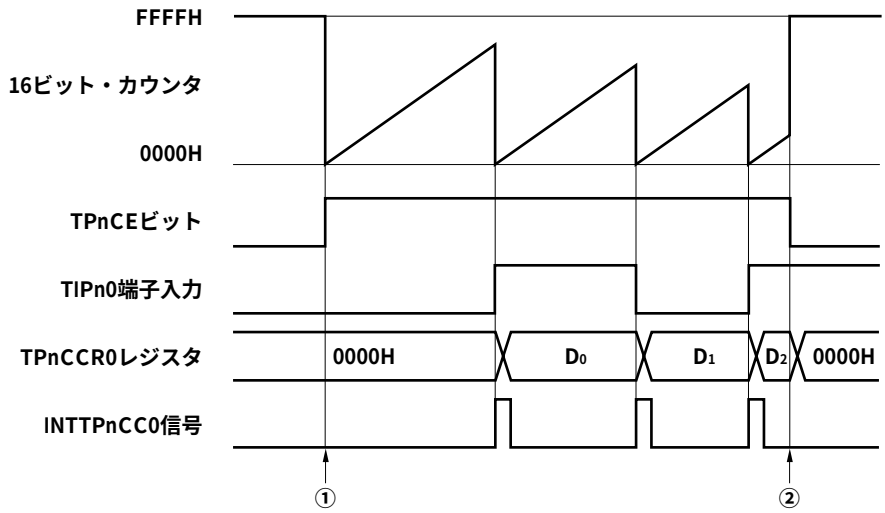
備考1.　**パルス幅測定モードでは，**TMPnI/O**制御レジスタ**0（TPnIOC0）**は使用しません。**

2.　n = 0-5

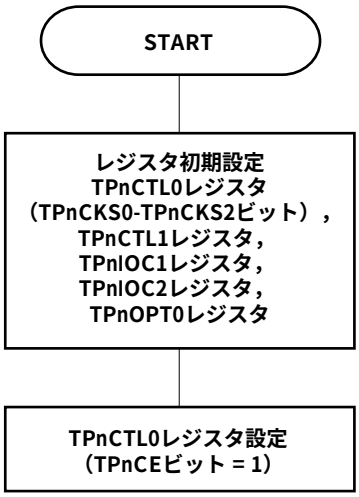
m = 0, 1

（1）パルス幅測定モード動作フロー

図7－37　パルス幅測定モード使用時のソフトウエア処理フロー



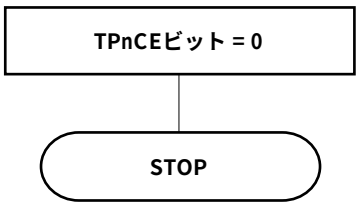
① カウント動作開始フロー



TPnCEビット = 1にする前に，
これらのレジスタを初期設定。

カウント動作開始（TPnCEビット = 1）と同時に，
TPnCKS0-TPnCKS2ビットの設定は可能。

② カウント動作停止フロー



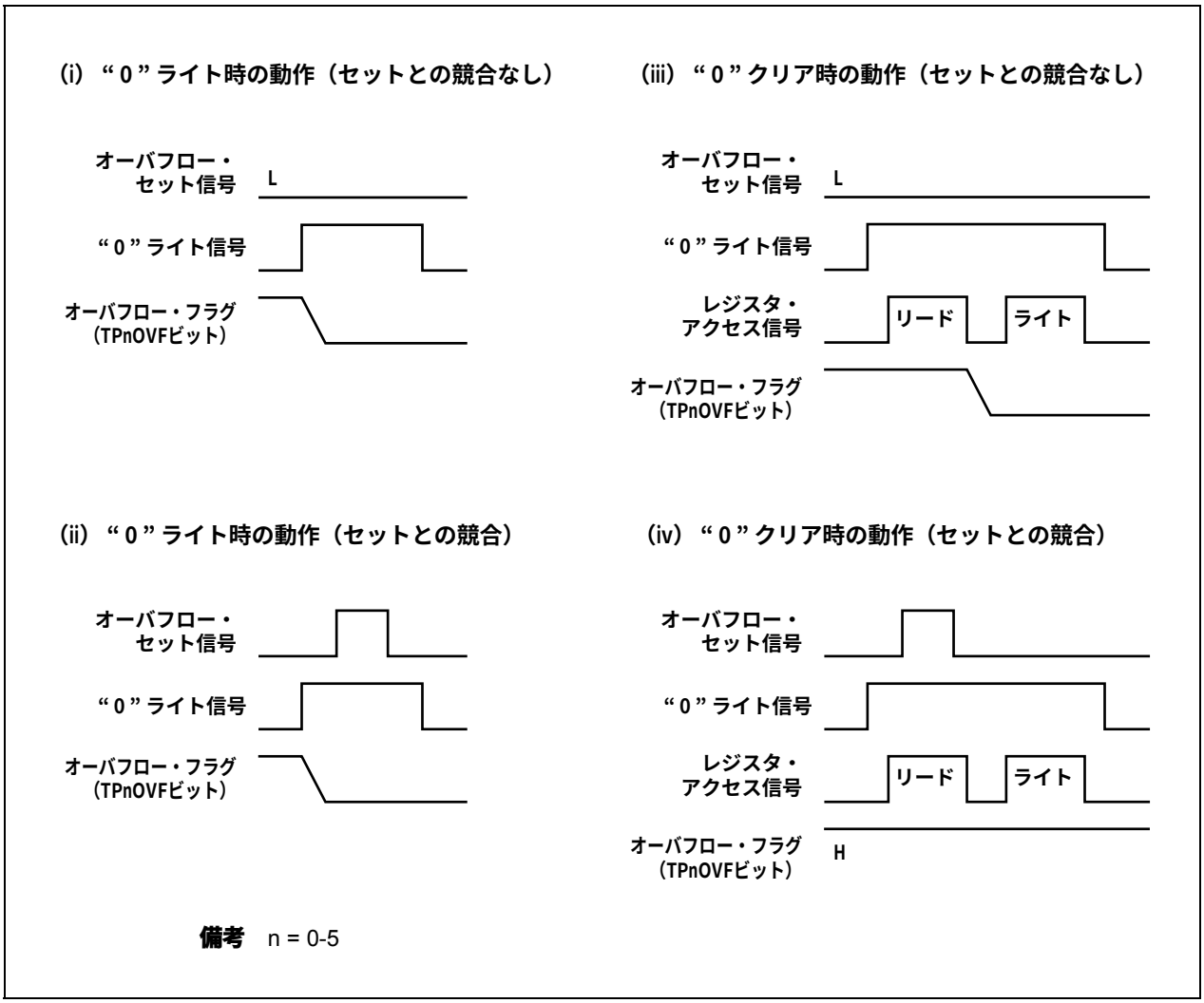
カウント動作停止（TPnCEビット = 0）にすることで，
カウンタを初期化しカウント動作を停止。

備考　n = 0-5

(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア（0）する方法は，TPnOVFビットをCLR命令でクリア（0）する方法と，TPnOPT0レジスタに8ビット・データ（ビット0は“0”）をライトする方法がありますが，確実にオーバフローを検出するために，TPnOVFビット = 1をリードしたあと，ビット操作命令でクリア（0）してください。



オーバフロー・フラグをクリア（0）する場合には，リードしてオーバフロー・フラグがセット（1）されていることを確認したあと，CLR命令でクリア（0）してください。確認せずに0をライトすると，オーバフローのセット情報を“0”ライトで消してしまう場合があります（上図の（ii））。そのために，実際にはオーバフローが発生したにもかかわらず，ソフトウエアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア（0）するときに，CLR命令の実行とオーバフロー発生のタイミングが競合した場合，クリア命令実行後もオーバフロー・フラグはセット（1）されたままになります。

7. 5. 8　タイマ出力動作説明

次にTOPn0, TOPn1端子の動作，および出力レベルを示します。

表7－4　各モードによるタイマ出力制御

動作モード	TOPn1端子	TOPn0端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	方形波出力	－
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力（コンペア機能のときのみ）	
パルス幅測定モード	－	

備考　n = 0-5

表7－5　タイマ出力制御ビットによるTOPn0, TOPn1端子の真理値表

TPnIOC0.TPnOLmビット	TPnIOC0.TPnOEmビット	TPnCTL0.TPnCEビット	TOPnm端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル， カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル， カウント開始後はロウ・レベル

備考　n = 0-5

m = 0, 1

7.6　セレクタ機能

V850ES/SG2ではTMP, TMQのキャプチャ・トリガ入力を，ポートの兼用端子と周辺I/O（TMP, TMQ, UARTA, CANコントローラ）信号とで選択が可能です。

この機能を利用して，次のことが可能です。

- TMQ0のTIQ02入力信号を，ポートのタイマ兼用端子（TIQ02端子）とCANコントローラのTSOUT信号とで選択。
  →CAN0のTSOUT信号を選択すると，CANコントローラのタイム・スタンプ機能として使用
- TMP1のTIP10, TIP11入力信号を，ポートのタイマ兼用端子（TIP10, TIP11端子）とUARTAの受信兼用端子（RXDA0, RXDA1）とで選択。
  →UARTA0, UARTA1のRXDA0, RXDA1信号を選択すると，UARTAのLIN受信転送レートのボー・レート誤差算出として使用

注意1.　セレクタ機能を使用する場合は，接続されるTMP, TMQをキャプチャ・トリガ入力に設定してください。

2.　セレクタ機能を設定する場合は，接続される周辺I/O（TMP, TMQ, UARTA, CANコントローラ）を動作禁止にしてから設定してください。

セレクタ機能によるキャプチャ入力の設定は次のレジスタで設定します。

（1）　セレクタ動作制御レジスタ0（SELCNT0）

SELCNT0 レジスタは，TMP1, TMP3, TMQ0 のキャプチャ・トリガを選択する 8 ビット・レジスタです。

8/1 ビット単位でリード／ライト可能です。

リセットにより 00H になります。

リセット時：00H　　R/W　　アドレス：FFFFF308H

	7	6	5	④	③	2	1	⓪
SELCNT0	0	0	0	ISEL4	ISEL3	0	0	ISEL0

ISEL4	TIP11入力信号選択（TMP1）
0	TIP11端子入力
1	RXDA1端子入力

ISEL3	TIP10入力信号選択（TMP1）
0	TIP10端子入力
1	RXDA0端子入力

ISEL0注	TIQ02入力信号選択（TMQ0）
0	TIQ02端子入力
1	CAN0のTSOUT信号

注　ISEL0ビットは，CANコントローラ内蔵品のみ有効。

注意1. ISEL0, ISEL3, ISEL4の各ビットを“1”に設定する場合は，対応する機能端子をキャプチャ入力に設定してください。

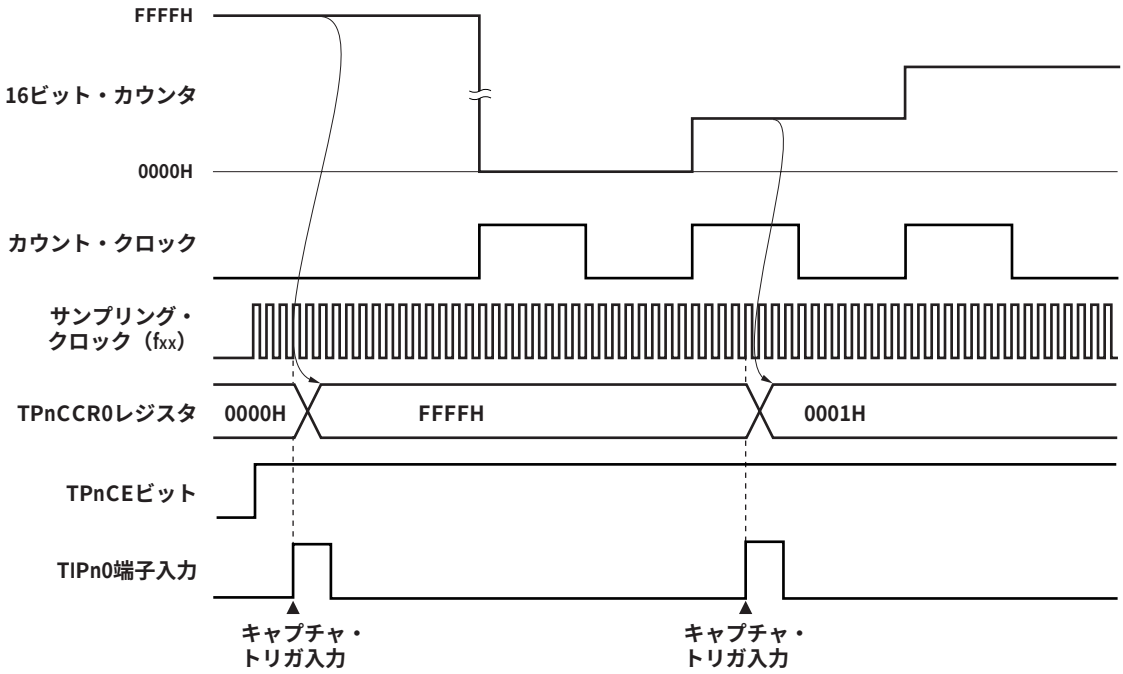
2. ビット7-5, 2, 1には必ず0を設定してください。

7.7　注意事項

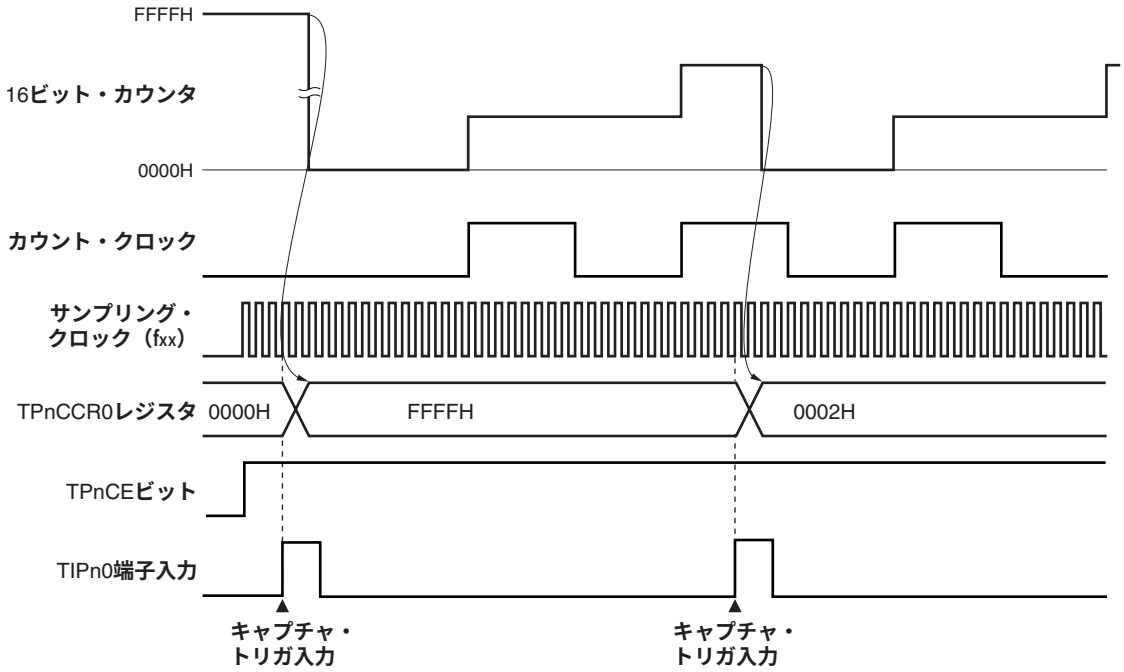
(1) キャプチャ動作

キャプチャ動作を使用し，かつカウント・クロックとして遅いクロックを選択した場合，TPnCEビットをセット（1）したすぐあとに，キャプチャ・トリガが入力されると，TPnCCR0, TPnCCR1レジスタに0000HではなくFFFFHがキャプチャされる場合があります。

(a) フリー・ランニング・タイマ・モード



(b) パルス幅測定モード



第8章　16ビット・タイマ／イベント・カウンタQ（TMQ）

タイマQ（TMQ）は，16ビットのタイマ／イベント・カウンタです。
V850ES/SG2は，TMQ0を内蔵しています。

8.1　概　　要

TMQ0の概要を次に示します。

- クロック選択　：8通り
- キャプチャ・トリガ入力端子　：4本
- 外部イベント・カウント入力端子　：1本
- 外部トリガ入力端子　：1本
- タイマ・カウンタ　：1本
- キャプチャ／コンペア・レジスタ　：4本
- キャプチャ／コンペア一致割り込み要求信号　：4本
- タイマ出力端子　：4本

8.2　機　　能

TMQ0の機能を次に示します。

- インターバル・タイマ
- 外部イベント・カウンタ
- 外部トリガ・パルス出力
- ワンショット・パルス出力
- PWM出力
- フリー・ランニング・タイマ
- パルス幅測定

8.3 構　　成

TMQ0は，次のハードウエアで構成されています。

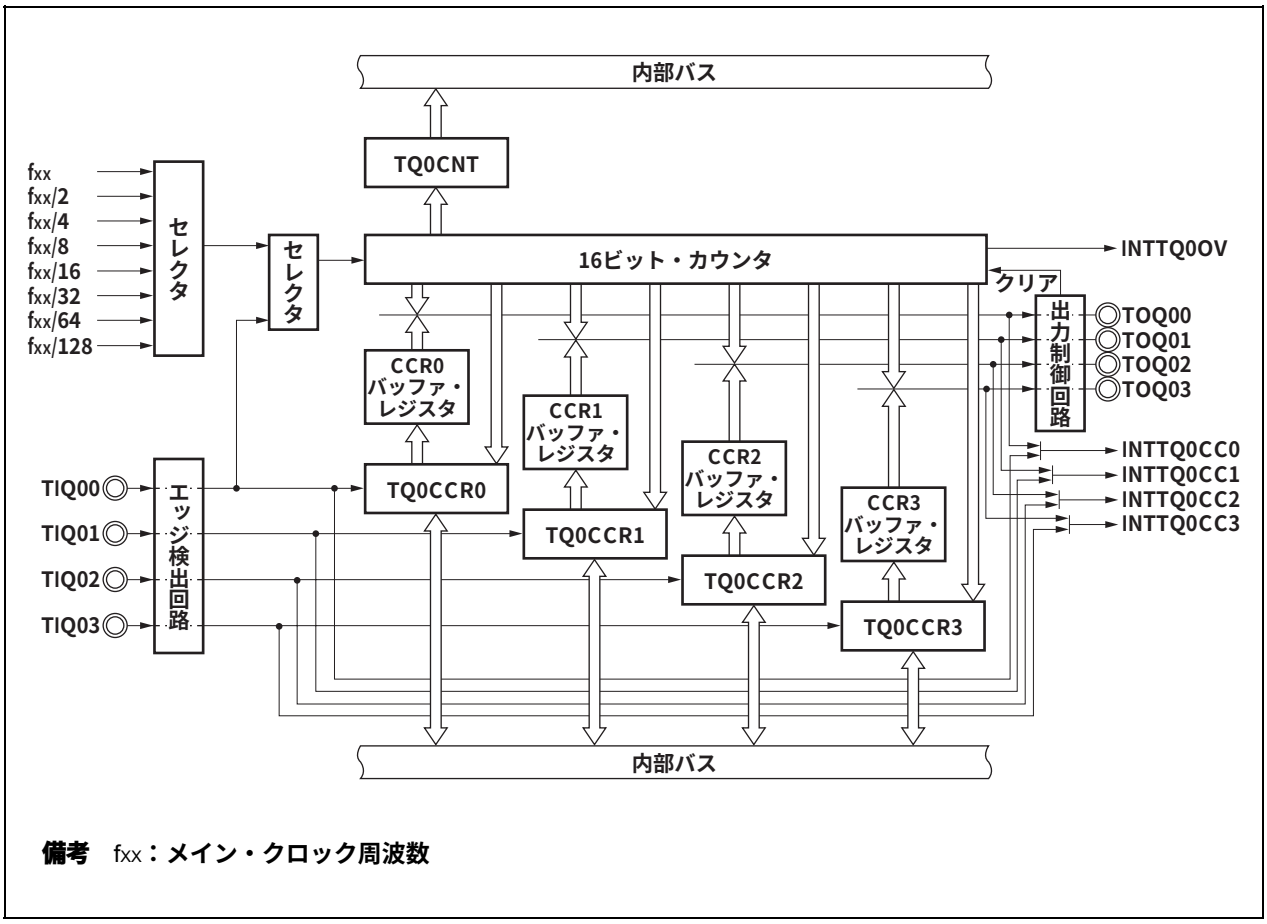
表8－1　TMQ0の構成

項　　目	構　　成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMQ0キャプチャ／コンペア・レジスタ0-3（TQ0CCR0-TQ0CCR3） TMQ0カウンタ・リード・バッファ・レジスタ（TQ0CNT） CCR0-CCR3バッファ・レジスタ
タイマ入力	4本（TIQ00[注1]-TIQ03端子）
タイマ出力	4本（TOQ00-TOQ03端子）
制御レジスタ[注2]	TMQ0制御レジスタ0, 1（TQ0CTL0, TQ0CTL1） TMQ0I/O制御レジスタ0-2（TQ0IOC0-TQ0IOC2） TMQ0オプション・レジスタ0（TQ0OPT0）

注1.　TIQ00端子には，キャプチャ・トリガ入力信号，外部イベント・カウント入力信号，外部トリガ入力信号が兼用されています。

2.　TIQ00-TIQ03, TOQ00-TOQ03端子の機能を使用する場合は，表4－15　ポート端子を兼用端子として使用する場合を参照してください。

図8－1　TMQ0のブロック図



備考　fxx：メイン・クロック周波数

(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は，TQ0CNTレジスタでリードできます。

TQ0CTL0.TQ0CEビット = 0のとき，16ビット・カウンタはFFFFHになります。このときTQ0CNTレジスタをリードすると，0000Hがリードされます。

リセットによりTQ0CEビット = 0になるため，16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR0レジスタをコンペア・レジスタとして使用するとき，TQ0CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると，コンペア一致割り込み要求信号（INTTQ0CC0）を発生します。

CCR0バッファ・レジスタは，直接リード／ライトできません。

リセットによりTQ0CCR0レジスタが0000Hになるため，CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR1レジスタをコンペア・レジスタとして使用するとき，TQ0CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると，コンペア一致割り込み要求信号（INTTQ0CC1）を発生します。

CCR1バッファ・レジスタは，直接リード／ライトできません。

リセットによりTQ0CCR1レジスタが0000Hになるため，CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR2レジスタをコンペア・レジスタとして使用するとき，TQ0CCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると，コンペア一致割り込み要求信号（INTTQ0CC2）を発生します。

CCR2バッファ・レジスタは，直接リード／ライトできません。

リセットによりTQ0CCR2レジスタが0000Hになるため，CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR3レジスタをコンペア・レジスタとして使用するとき，TQ0CCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると，コンペア一致割り込み要求信号（INTTQ0CC3）を発生します。

CCR3バッファ・レジスタは，直接リード／ライトできません。

リセットによりTQ0CCR3レジスタが0000Hになるため，CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIQ00-TIQ03端子に入力される有効エッジを検出します。有効エッジは，TQ0IOC1，TQ0IOC2レジスタにより，エッジ検出なし，立ち上がり，立ち下がり，立ち上がり／立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOQ00-TOQ03端子の出力を制御します。TOQ00-TOQ03端子の出力は，TQ0IOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして，8種類の内部クロックまたは外部イベントから選択できます。

8.4　レジスタ

TMQ0を制御するレジスタを次に示します。

- TMQ0制御レジスタ0（TQ0CTL0）
- TMQ0制御レジスタ1（TQ0CTL1）
- TMQ0I/O制御レジスタ0（TQ0IOC0）
- TMQ0I/O制御レジスタ1（TQ0IOC1）
- TMQ0I/O制御レジスタ2（TQ0IOC2）
- TMQ0オプション・レジスタ0（TQ0OPT0）
- TMQ0キャプチャ／コンペア・レジスタ0（TQ0CCR0）
- TMQ0キャプチャ／コンペア・レジスタ1（TQ0CCR1）
- TMQ0キャプチャ／コンペア・レジスタ2（TQ0CCR2）
- TMQ0キャプチャ／コンペア・レジスタ3（TQ0CCR3）
- TMQ0カウンタ・リード・バッファ・レジスタ（TQ0CNT）

備考　TIQ00-TIQ03，TOQ00-TOQ03端子の機能を使用する場合は，表4－15　ポート端子を兼用端子として使用する場合を参照してください。

（1）TMQ0制御レジスタ0（TQ0CTL0）

TQ0CTL0レジスタは，TMQ0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

TQ0CTL0レジスタは，常時ソフトウエアでの同値書き込みができます。

リセット時：00H　R/W　アドレス：FFFFF540H

	⑦	6	5	4	3	2	1	0
TQ0CTL0	TQ0CE	0	0	0	0	TQ0CKS2	TQ0CKS1	TQ0CKS0

TQ0CE	TMQ0の動作の制御
0	TMQ0動作禁止（TMQ0を非同期にリセット注）
1	TMQ0動作許可。TMQ0動作開始

TQ0CKS2	TQ0CKS1	TQ0CKS0	内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注　TQ0OPT0.TQ0OVFビット，16ビット・カウンタ，タイマ出力（TOQ00-TOQ03端子）。

注意1.　TQ0CKS2-TQ0CKS0ビットは，TQ0CEビット = 0のときに設定してください。TQ0CEビットを“0”から“1”に設定するときに，同時にTQ0CKS2-TQ0CKS0ビットを設定できます。

2.　ビット3-6には必ず“0”を設定してください。

備考　fxx：メイン・クロック周波数

（2）TMQ0制御レジスタ1（TQ0CTL1）

TQ0CTL1レジスタは，TMQ0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF541H

	7	⑥	⑤	4	3	2	1	0
TQ0CTL1	0	TQ0EST	TQ0EEE	0	0	TQ0MD2	TQ0MD1	TQ0MD0

TQ0EST	ソフトウエア・トリガ制御
0	－
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TQ0ESTビットへの“1”ライトをトリガとして，ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時　：TQ0ESTビットへの“1”ライトをトリガとして，PWM波形を出力

TQ0EEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 （TQ0CTL0.TQ0CK0-TQ0CK2ビットによって選択されたカウント・クロックでカウント動作を行う）
1	外部イベント・カウント入力での動作許可 （外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う）
TQ0EEEビットは，内部カウント・クロックか，または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TQ0MD2	TQ0MD1	TQ0MD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

注意1. TQ0ESTビットは，外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは，“1”をライトしても無視されます。

2. 外部イベント・カウント・モードのときは，TQ0EEEビットの値にかかわらず外部イベント・カウント入力が選択されます。

3. TQ0EEE, TQ0MD2-TQ0MD0ビットは，TQ0CTL0.TQ0CEビット = 0のときに設定してください（TQ0CEビット = 1のときの同値書き込みは可能）。TQ0CEビット = 1のときに書き換えた場合，動作を保証できません。誤って書き換えた場合は，TQ0CEビットをクリア（0）してから再設定してください。

4. ビット3, 4, 7は必ず“0”を設定してください。

（3）TMQ0I/O制御レジスタ0（TQ0IOC0）

TQ0IOC0レジスタは，タイマ出力（TOQ00-TOQ03端子）を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF542H

	7	⑥	5	④	3	②	1	⓪
TQ0IOC0	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0

TQ0OLm	TOQ0m端子出力レベルの設定（m = 0-3）
0	TOQ0m端子出力反転禁止
1	TOQ0m端子出力反転許可

TQ0OEm	TOQ0m端子出力の設定（m = 0-3）
0	タイマ出力禁止 ・TQ0OLmビット = 0のときTOQ0m端子からロウ・レベルを出力 ・TQ0OLmビット = 1のときTOQ0m端子からハイ・レベルを出力
1	タイマ出力許可（TOQ0m端子から方形波を出力）

注意1.　TQ0OLm, TQ0OEmビットは，TQ0CTL0.TQ0CEビット = 0のときに書き換えてください（TQ0CEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は，TQ0CEビットをクリア（0）してから再設定してください。

2.　TQ0CEビット= 0, TQ0OEmビット= 0の状態において，TQ0OLmビットを操作した場合でも，TOQ0m端子の出力レベルは変化します。

備考　m = 0-3

（4）TMQ0I/O制御レジスタ1（TQ0IOC1）

TQ0IOC1レジスタは，キャプチャ・トリガ入力信号（TIQ00-TIQ03端子）に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF543H

	7	6	5	4	3	2	1	0
TQ0IOC1	TQ0IS7	TQ0IS6	TQ0IS5	TQ0IS4	TQ0IS3	TQ0IS2	TQ0IS1	TQ0IS0

TQ0IS7	TQ0IS6	キャプチャ・トリガ入力信号（TIQ03端子）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS5	TQ0IS4	キャプチャ・トリガ入力信号（TIQ02端子）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS3	TQ0IS2	キャプチャ・トリガ入力信号（TIQ01端子）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS1	TQ0IS0	キャプチャ・トリガ入力信号（TIQ00端子）の有効エッジの設定
0	0	エッジ検出なし（キャプチャ動作無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意1. TQ0IS7-TQ0IS0ビットは，TQ0CTL0.TQ0CEビット= 0のときに書き換えてください（TQ0CEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は，TQ0CEビットをクリア（0）してから再設定してください。

2. TQ0IS7-TQ0IS0ビットは，フリー・ランニング・タイマ・モードと，パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

（5）TMQ0I/O制御レジスタ2（TQ0IOC2）

TQ0IOC2レジスタは，外部イベント・カウント入力信号（TIQ00端子），外部トリガ入力信号（TIQ00端子）に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF544H

	7	6	5	4	3	2	1	0
TQ0IOC2	0	0	0	0	TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0

TQ0EES1	TQ0EES0	外部イベント・カウント入力信号（TIQ00端子）の有効エッジの設定
0	0	エッジ検出なし（外部イベント・カウント無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0ETS1	TQ0ETS0	外部トリガ入力信号（TIQ00端子）の有効エッジの設定
0	0	エッジ検出なし（外部トリガ無効）
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

注意1. TQ0EES1, TQ0EES0, TQ0ETS1, TQ0ETS0ビットは，TQ0CTL0.TQ0CEビット = 0のときに書き換えてください（TQ0CEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は，TQ0CEビットをクリア（0）してから再設定してください。

2. TQ0EES1, TQ0EES0ビットは，TQ0CTL1.TQ0EEEビット = 1，または外部イベント・カウント・モード（TQ0CTL1.TQ0MD2-TQ0MD0ビット = 001）に設定したときのみ有効です。

3. TQ0ETS1, TQ0ETS0ビットは，外部トリガ・パルス出力モード（TQ0CTL1.TQ0MD2-TQ0MD0ビット = 010），ワンショット・パルス出力モード（TQ0CTL1.TQ0MD2-TQ0MD0ビット = 011）に設定したときのみ有効です。

（6）TMQ0オプション・レジスタ0（TQ0OPT0）

TQ0OPT0レジスタは，キャプチャ／コンペア動作の設定，オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF545H

	7	6	5	4	3	2	1	⓪
TQ0OPT0	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0	0	0	0	TQ0OVF

TQ0CCSm	TQ0CCRmレジスタのキャプチャ／コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TQ0CCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TQ0OVF	TMQ0のオーバフロー検出
セット（1）	オーバフロー発生
リセット（0）	TQ0OVFビットへの0ライトまたはTQ0CTL0.TQ0CEビット = 0
・TQ0OVFビットは，カウントフリー・ランニング・タイマ・モードおよびパルス幅測定モード時に，16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット（1）されます。 ・TQ0OVFビットがセット（1）されると同時に，割り込み要求信号（INTTQ0OV）が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では，INTTQ0OV信号は発生しません。 ・TQ0OVFビット = 1のときにTQ0OVFビットまたはTQ0OPT0レジスタをリードしてもTQ0OVFビットはクリアされません。 ・TQ0OVFビットはリード／ライト可能ですが，ソフトウエアでTQ0OVFビットをセット（1）することはできません。“1”をライトしてもTMQ0の動作に影響はありません。	

注意1.　TQ0CCS3-TQ0CCS0ビットは，TQ0CTL0.TQ0CEビット = 0のときに書き換えてください（TQ0CEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は，TQ0CEビットをクリア（0）してから再設定してください。

2.　ビット1-3には必ず“0”を設定してください。

備考　m = 0-3

（7）TMQ0キャプチャ／コンペア・レジスタ0（TQ0CCR0）

TQ0CCR0レジスタは，各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR0レジスタは，フリー・ランニング・タイマ・モードの場合のみ，TQ0OPT0.TQ0CCS0ビットの設定により，キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は，キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは，コンペア・レジスタとしてのみ使用します。

TQ0CCR0レジスタは，動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意　次に示す状態において，TQ0CCR0レジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H　R/W　アドレス：FFFFF546H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CCR0																

(a) コンペア・レジスタとしての機能

TQ0CCR0レジスタは，TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR0レジスタの設定値はCCR0バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号（INTTQ0CC0）を発生し，TOQ00端子出力を許可している場合，TOQ00端子出力を反転します。

インターバル・タイマ・モード，外部イベント・カウント・モード，外部トリガ・パルス出力モード，ワンショット・パルス出力モード，PWM出力モードにおいて，TQ0CCR0レジスタを周期レジスタとして使用する場合は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア（0000H）します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて，TQ0CCR0レジスタをキャプチャ・レジスタとして使用する場合，キャプチャ・トリガ入力（TIQ00端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTQ0CCR0レジスタに格納します。パルス幅測定モードの場合は，キャプチャ・トリガ入力（TIQ00端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTQ0CCR0レジスタに格納し，16ビット・カウンタをクリア（0000H）します。

キャプチャ動作とTQ0CCR0レジスタのリードが競合しても，TQ0CCR0レジスタは正しい値をリードできます。

各動作モードと，対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表8－2　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	－

（8）TMQ0キャプチャ／コンペア・レジスタ1（TQ0CCR1）

TQ0CCR1レジスタは，各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR1レジスタは，フリー・ランニング・タイマ・モードの場合のみ，TQ0OPT0.TQ0CCS1ビットの設定により，キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は，キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは，コンペア・レジスタとしてのみ使用します。

TQ0CCR1レジスタは，動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意　次に示す状態において，TQ0CCR1レジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H　R/W　アドレス：FFFFF548H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CCR1																

(a) コンペア・レジスタとしての機能

TQ0CCR1レジスタは，TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号（INTTQ0CC1）を発生し，TOQ01端子出力を許可している場合，TOQ01端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて，TQ0CCR1レジスタをキャプチャ・レジスタとして使用する場合，キャプチャ・トリガ入力（TIQ01端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTQ0CCR1レジスタに格納します。パルス幅測定モードの場合は，キャプチャ・トリガ入力（TIQ01端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTQ0CCR1レジスタに格納し，16ビット・カウンタをクリア（0000H）します。

キャプチャ動作とTQ0CCR1レジスタのリードが競合しても，TQ0CCR1レジスタは正しい値をリードできます。

各動作モードと，対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表8－3　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	－

（9）TMQ0キャプチャ／コンペア・レジスタ2（TQ0CCR2）

TQ0CCR2レジスタは，各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR2レジスタは，フリー・ランニング・タイマ・モードの場合のみ，TQ0OPT0.TQ0CCS2ビットの設定により，キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は，キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは，コンペア・レジスタとしてのみ使用します。

TQ0CCR2レジスタは，動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意　次に示す状態において，TQ0CCR2レジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H　R/W　アドレス：FFFFF54AH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CCR2																

(a) コンペア・レジスタとしての機能

TQ0CCR2レジスタは，TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR2レジスタの設定値はCCR2バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号（INTTQ0CC2）を発生し，TOQ02端子出力を許可している場合，TOQ02端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて，TQ0CCR2レジスタをキャプチャ・レジスタとして使用する場合，キャプチャ・トリガ入力（TIQ02端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTQ0CCR2レジスタに格納します。パルス幅測定モードの場合は，キャプチャ・トリガ入力（TIQ02端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTQ0CCR2レジスタに格納し，16ビット・カウンタをクリア（0000H）します。

キャプチャ動作とTQ0CCR2レジスタのリードが競合しても，TQ0CCR2レジスタは正しい値をリードできます。

各動作モードと，対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表8－4　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	－

（10）TMQ0キャプチャ／コンペア・レジスタ3（TQ0CCR3）

TQ0CCR3レジスタは，各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR3レジスタは，フリー・ランニング・タイマ・モードの場合のみ，TQ0OPT0.TQ0CCS3ビットの設定により，キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は，キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは，コンペア・レジスタとしてのみ使用します。

TQ0CCR3レジスタは，動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意　次に示す状態において，TQ0CCR3レジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H　R/W　アドレス：FFFFF54CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CCR3																

(a) コンペア・レジスタとしての機能

TQ0CCR3レジスタは，TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR3レジスタの設定値はCCR3バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号（INTTQ0CC3）を発生し，TOQ03端子出力を許可している場合，TOQ03端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて，TQ0CCR3レジスタをキャプチャ・レジスタとして使用する場合，キャプチャ・トリガ入力（TIQ03端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTQ0CCR3レジスタに格納します。パルス幅測定モードの場合は，キャプチャ・トリガ入力（TIQ03端子）の有効エッジを検出すると，16ビット・カウンタのカウント値をTQ0CCR3レジスタに格納し，16ビット・カウンタをクリア（0000H）します。

キャプチャ動作とTQ0CCR3レジスタのリードが競合しても，TQ0CCR3レジスタは正しい値をリードできます。

各動作モードと，対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表8－5　各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	－

（11）TMQ0カウンタ・リード・バッファ・レジスタ（TQ0CNT）

TQ0CNTレジスタは，16ビットのカウント値をリードできるリード・バッファ・レジスタです。

TQ0CTL0.TQ0CEビット = 1のときにTQ0CNTレジスタをリードすると，16ビット・カウンタのカウント値をリードできます。

16ビット単位でリードのみ可能です。

TQ0CEビット = 0のとき，TQ0CNTレジスタは0000Hになります。このときにTQ0CNTレジスタをリードすると，16ビット・カウンタの値（FFFFH）をリードせず，そのまま0000Hをリードします。

リセットによりTQ0CEビット = 0になるため，TQ0CNTレジスタは0000Hになります。

注意　次に示す状態において，TQ0CNTレジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H　R　アドレス：FFFFF54EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CNT																

8.5 動　　作

TMQ0には次のような動作があります。

動　作	TQ0CTL1.TQ0ESTビット（ソフトウエア・トリガ・ビット）	TIQ00端子（外部トリガ入力）	キャプチャ／コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード注1	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード注2	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード注2	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード注2	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合，TIQ00端子のキャプチャ・トリガ入力の有効エッジの設定を，エッジを検出しない（TQ0IOC1.TQ0IS1, TQ0IS0ビットを“00”）に設定してください。

2. 外部トリガ・パルス出力モード，ワンショット・パルス出力モード，パルス幅測定モードを使用する場合，カウント・クロックは内部クロックを選択（TQ0CTL1.TQ0EEEビット = 0に設定）してください。

8. 5. 1　インターバル・タイマ・モード（TQ0MD2-TQ0MD0ビット = 000）

インターバル・タイマ・モードは，TQ0CTL0.TQ0CEビットをセット（1）することで，任意のインターバル間隔にて割り込み要求信号（INTTQ0CC0）を発生します。また，TOQ00端子から，インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは，通常，TQ0CCR1-TQ0CCR3レジスタを使用しません。

図8－2　インターバル・タイマの構成図

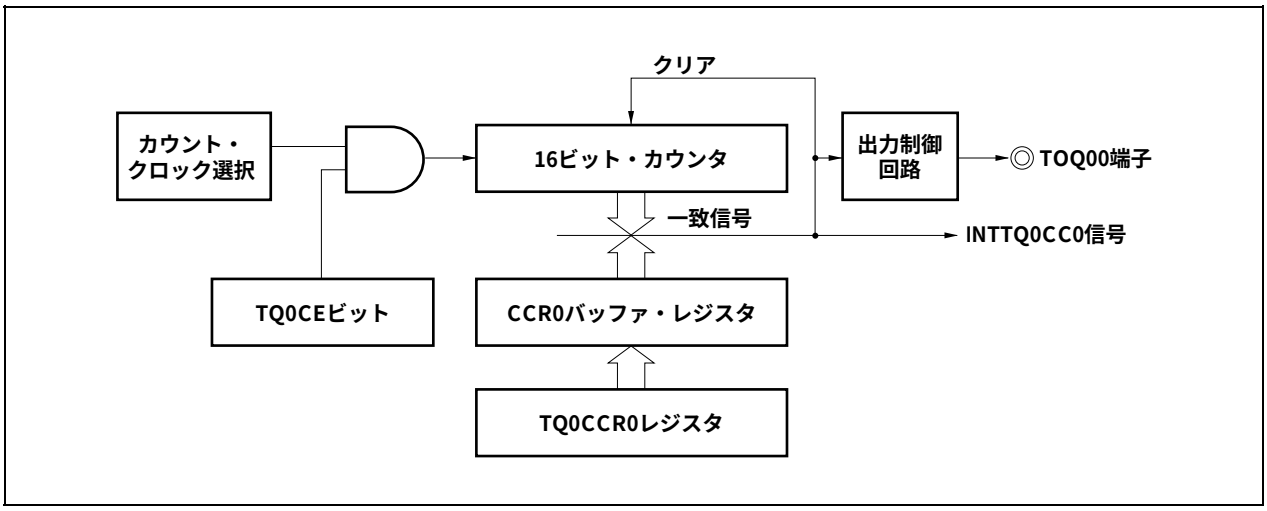
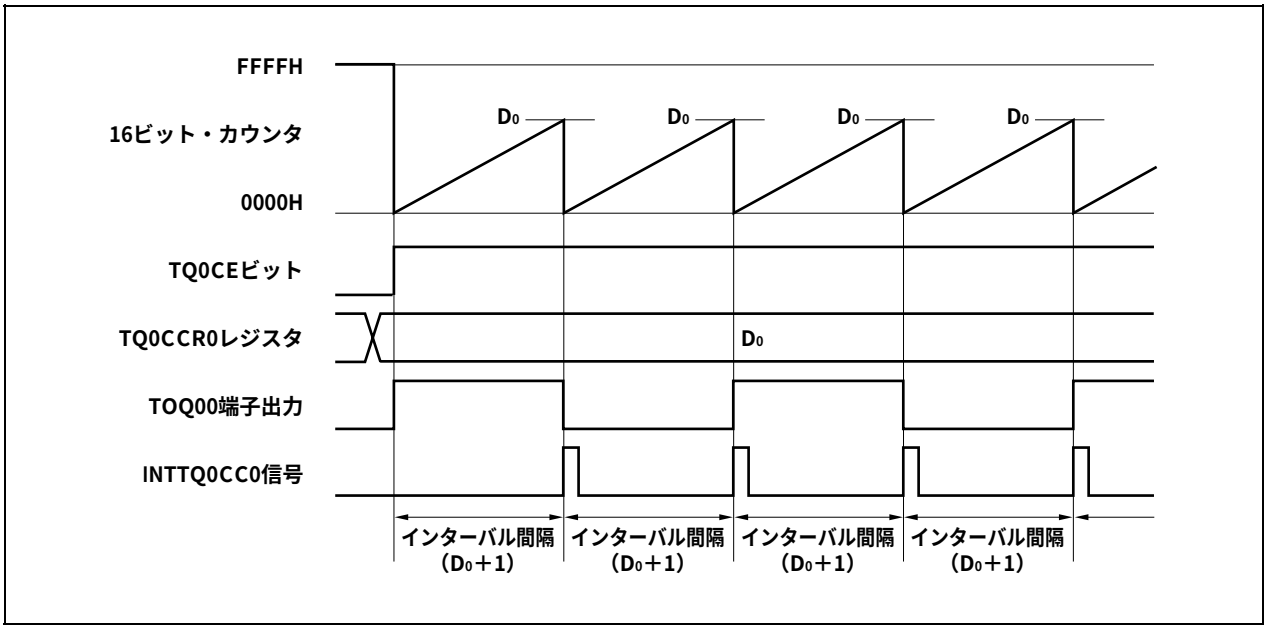


図8－3　インターバル・タイマ・モード動作の基本タイミング



TQ0CEビットをセット（1）することで，カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし，カウント動作を開始します。このときTOQ00端子出力を反転します。また，TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

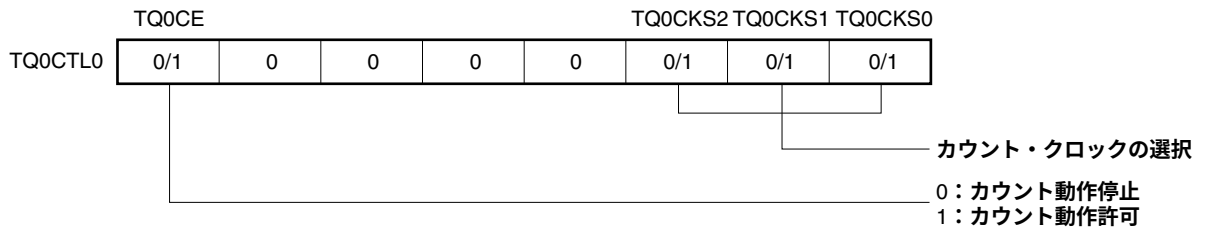
16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると，16ビット・カウンタを0000Hにクリアし，TOQ00端子出力を反転させて，コンペア一致割り込み要求信号（INTTQ0CC0）を発生します。

インターバル間隔は次のようになります。

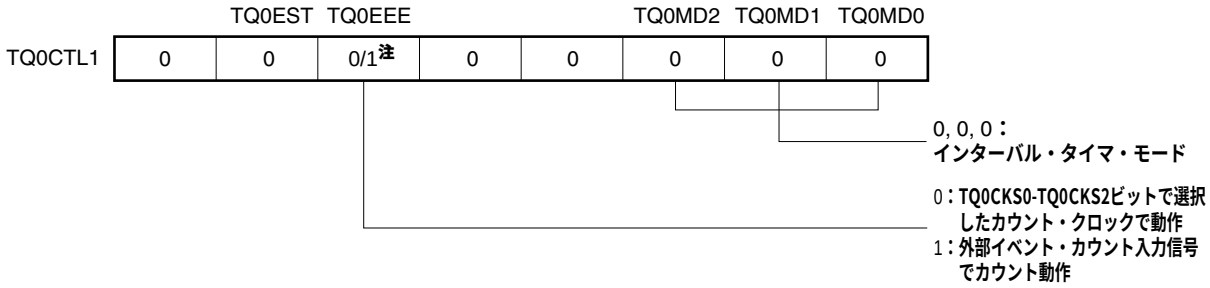
インターバル間隔 = （TQ0CCR0レジスタ設定値＋1）×カウント・クロック周期

図8－4　インターバル・タイマ・モード動作時のレジスタ設定内容（1/2）

（a）TMQ0制御レジスタ0（TQ0CTL0）



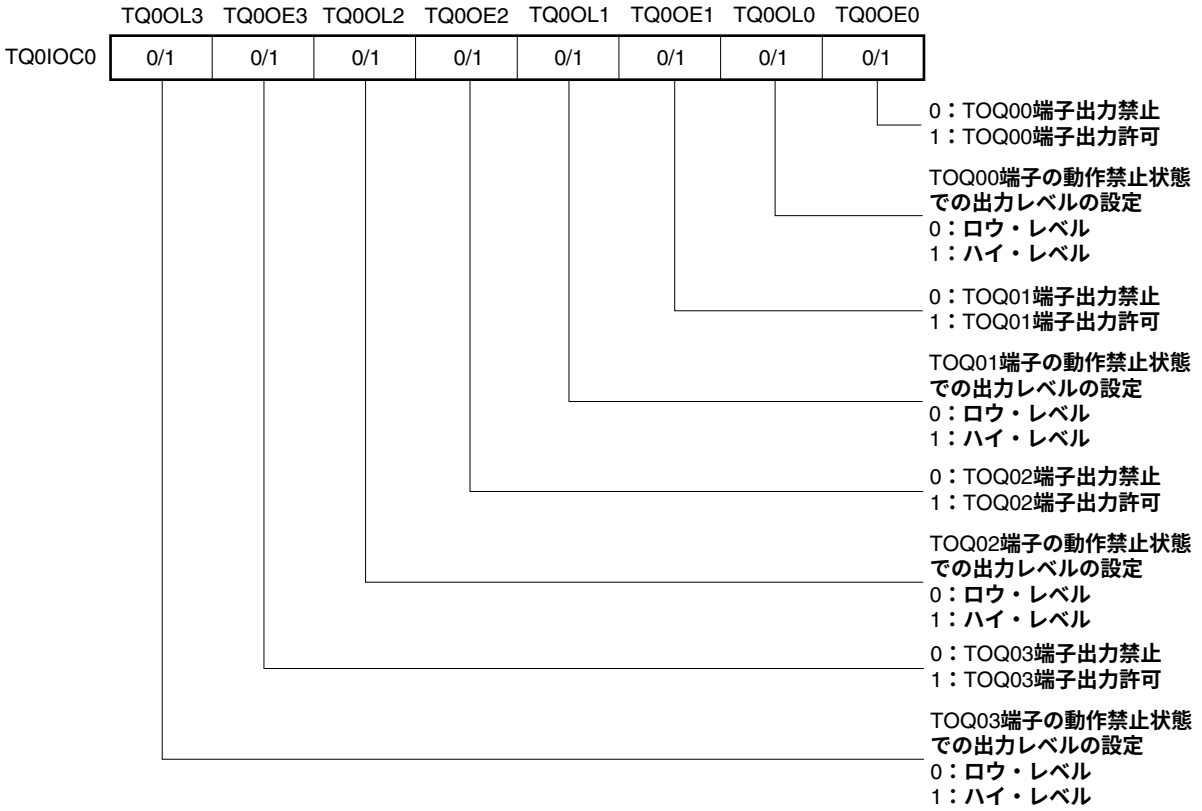
（b）TMQ0制御レジスタ1（TQ0CTL1）



注　割り込み要求信号（INTTQ0CC0, INTTQ0CCk）を割り込みマスク・フラグ（TQ0CCMK0, TQ0CCMKk）でマスク設定し，タイマ出力（TOQ0k）する場合だけ，1に設定することを許可します。ただし，TQ0CCR0, TQ0CCRkレジスタの設定値は，同値にしてください（8. 5. 1（2）（d）TQ0CCR1-TQ0CCR3レジスタの動作参照）（k = 1-3）。

図8－4　インターバル・タイマ・モード動作時のレジスタ設定内容（2/2）

（c）TMQ0I/O制御レジスタ0（TQ0IOC0）



（d）TMQ0カウンタ・リード・バッファ・レジスタ（TQ0CNT）

TQ0CNTレジスタをリードすることで，16ビット・カウンタのカウント値をリードできます。

（e）TMQ0キャプチャ／コンペア・レジスタ0（TQ0CCR0）

TQ0CCR0レジスタにD_0を設定した場合，

インターバル間隔 ＝ （D_0＋1）×カウント・クロック周期

となります。

（f）TMQ0キャプチャ／コンペア・レジスタ1-3（TQ0CCR1-TQ0CCR3）

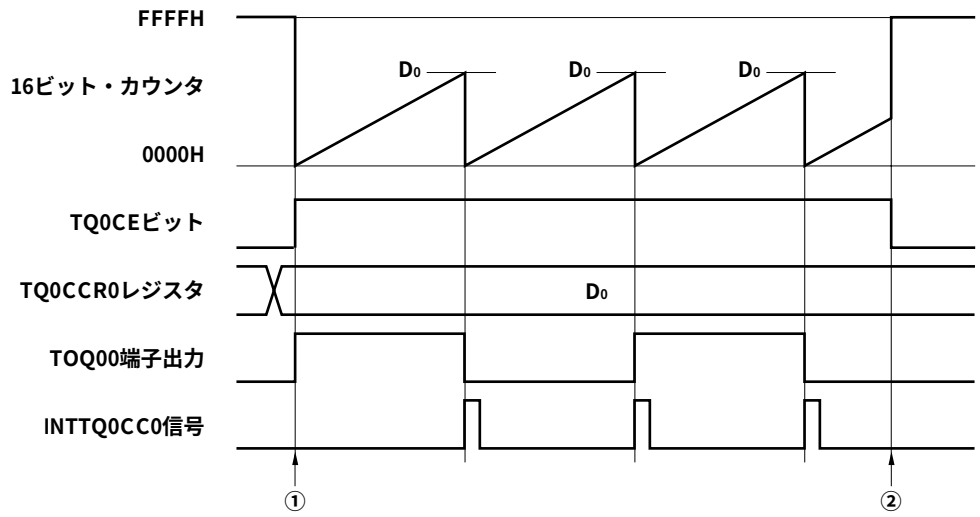
インターバル・タイマ・モードでは，通常，TQ0CCR1-TQ0CCR3レジスタを使用しません。しかし，TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号（INTTQ0CC1-INTTQ0CC3）が発生します。

したがって，割り込みマスク・フラグ（TQ0CCMK1-TQ0CCMK3）でマスク設定しておいてください。

備考　TMQ0I/O制御レジスタ1（TQ0IOC1），TMQ0I/O制御レジスタ2（TQ0IOC2），TMQ0オプション・レジスタ0（TQ0OPT0）は，インターバル・タイマ・モードでは使用しません。

（1）インターバル・タイマ・モード動作フロー

図8－5　インターバル・タイマ・モード使用時のソフトウエア処理フロー



① カウント動作開始フロー

TQ0CEビット = 1にする前に，
これらのレジスタを初期設定。

カウント動作開始（TQ0CEビット = 1）と同時に，
TQ0CKS0-TQ0CKS2ビットの設定は可能。

② カウント動作停止フロー

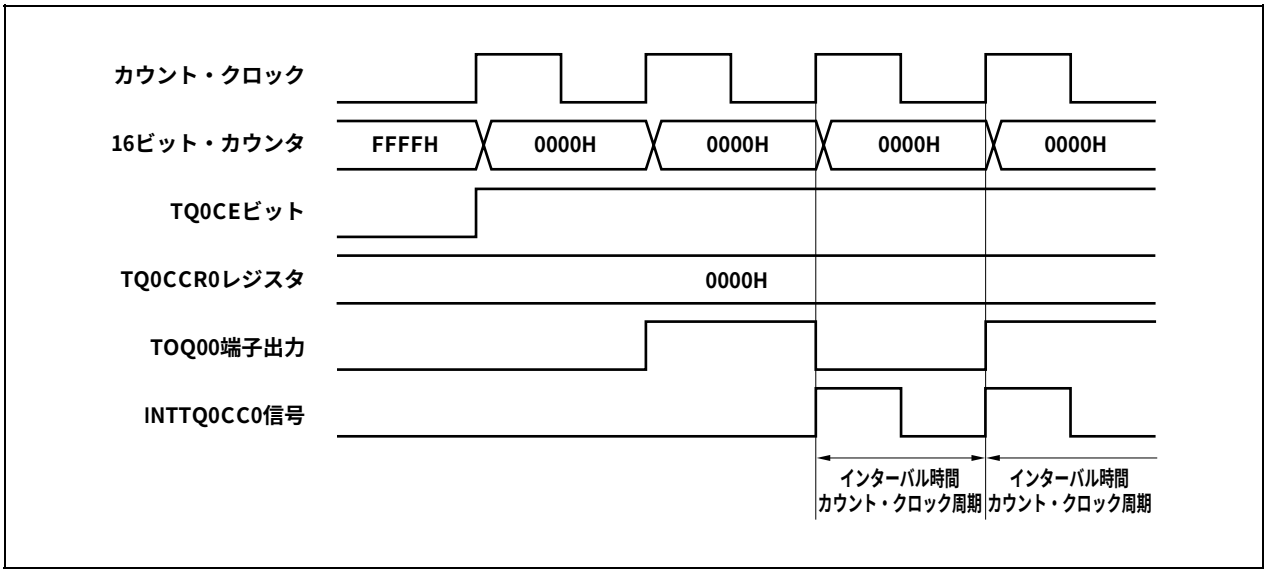
カウント動作停止（TQ0CEビット = 0）にすることで，
カウンタを初期化しカウント動作を停止。

(2) インターバル・タイマ・モード動作タイミング

(a) TQ0CCR0レジスタに0000Hを設定した場合の動作

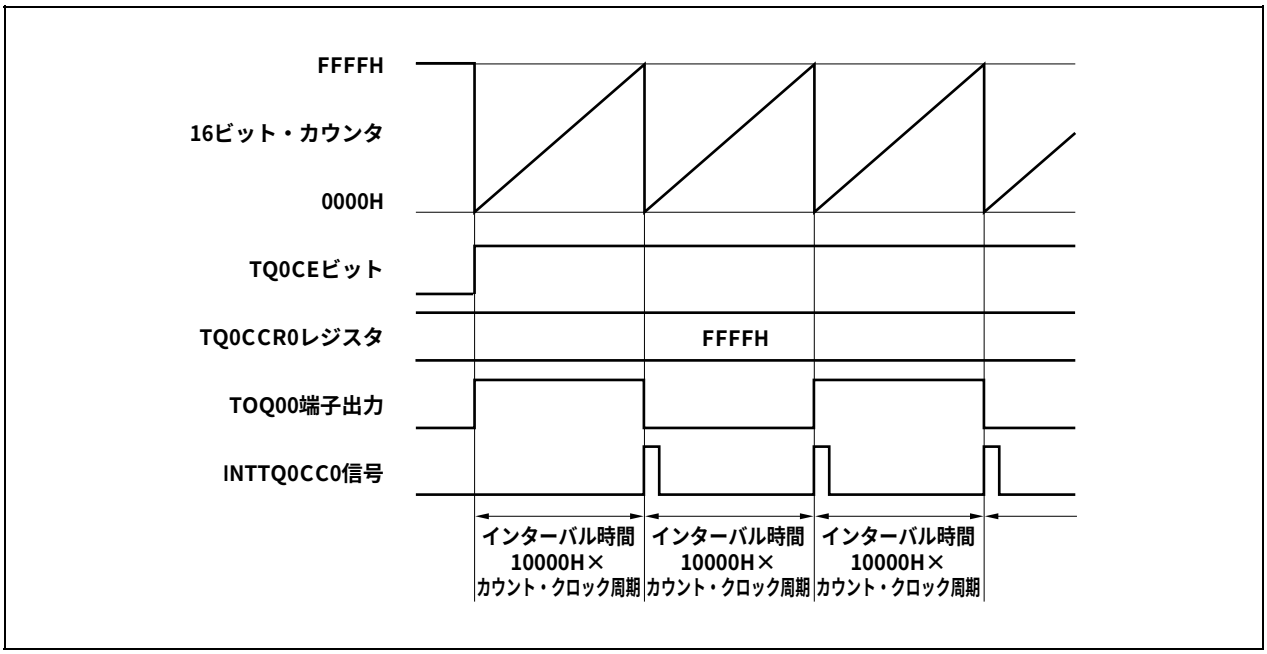
TQ0CCR0レジスタに0000Hを設定した場合，2クロック目以降のカウント・クロックごとにINTTQ0CC0信号を発生し，TOQ00端子の出力を反転します。

16ビット・カウンタは，常に0000Hとなります。



(b) TQ0CCR0レジスタにFFFFHを設定した場合の動作

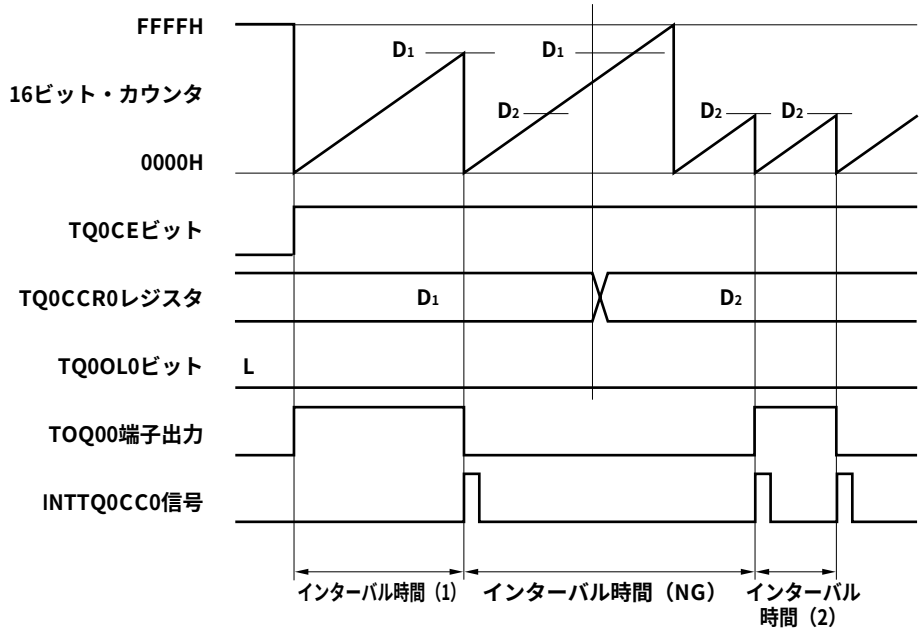
TQ0CCR0レジスタにFFFFHを設定した場合，16ビット・カウンタはFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTQ0CC0信号を発生し，TOQ00端子の出力を反転します。このとき，オーバフロー割り込み要求信号（INTTQ0OV）は発生せず，オーバフロー・フラグ（TQ0OPT0.TQ0OVFビット）もセット（1）されません。



（c）TQ0CCR0レジスタの書き換えに関する注意事項

TQ0CCR0レジスタの設定値を小さい値に変更する場合には，一度カウント動作を停止させ，その後，設定値を変更してください。

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると，16ビット・カウンタがオーバフローする場合があるので注意してください。



備考　インターバル時間（1）　：（D_1＋1）×カウント・クロック周期
　　インターバル時間（NG）　：（10000H＋D_2＋1）×カウント・クロック周期
　　インターバル時間（2）　：（D_2＋1）×カウント・クロック周期

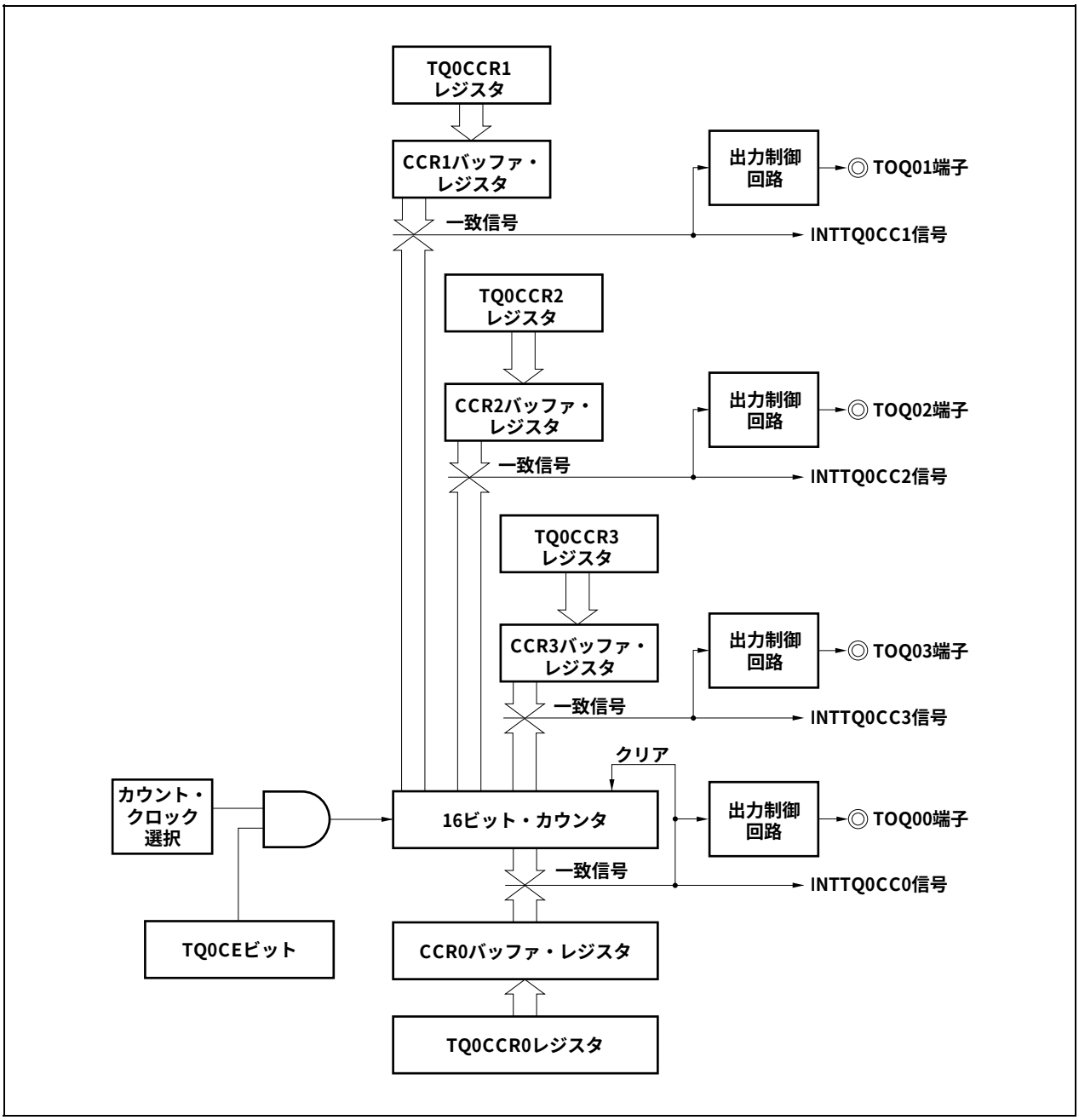
カウント値がD_2よりも大きくD_1よりも小さい状態において，TQ0CCR0レジスタをD_1からD_2に書き換えると，書き換えたタイミングでCCR0バッファ・レジスタに転送されるため，16ビット・カウンタとのコンペア値がD_2となります。

しかし，カウント値はすでにD_2を越えているためにFFFFHまでカウントを行い，オーバフロー後，0000Hから再度カウント・アップを行います。そして，D_2との一致でINTTQ0CC0信号を発生しTOQ00端子出力を反転します。

したがって，本来期待しているインターバル時間である「（D_1＋1）×カウント・クロック周期」または「（D_2＋1）×カウント・クロック周期」でINTTQ0CC0信号は発生せずに，「（10000H＋D_2＋1）×カウント・クロック周期」の間隔でINTTQ0CC0信号が発生する場合があります。

（d）TQ0CCR1-TQ0CCR3レジスタの動作

図8－6　TQ0CCR1-TQ0CCR3レジスタの構成図

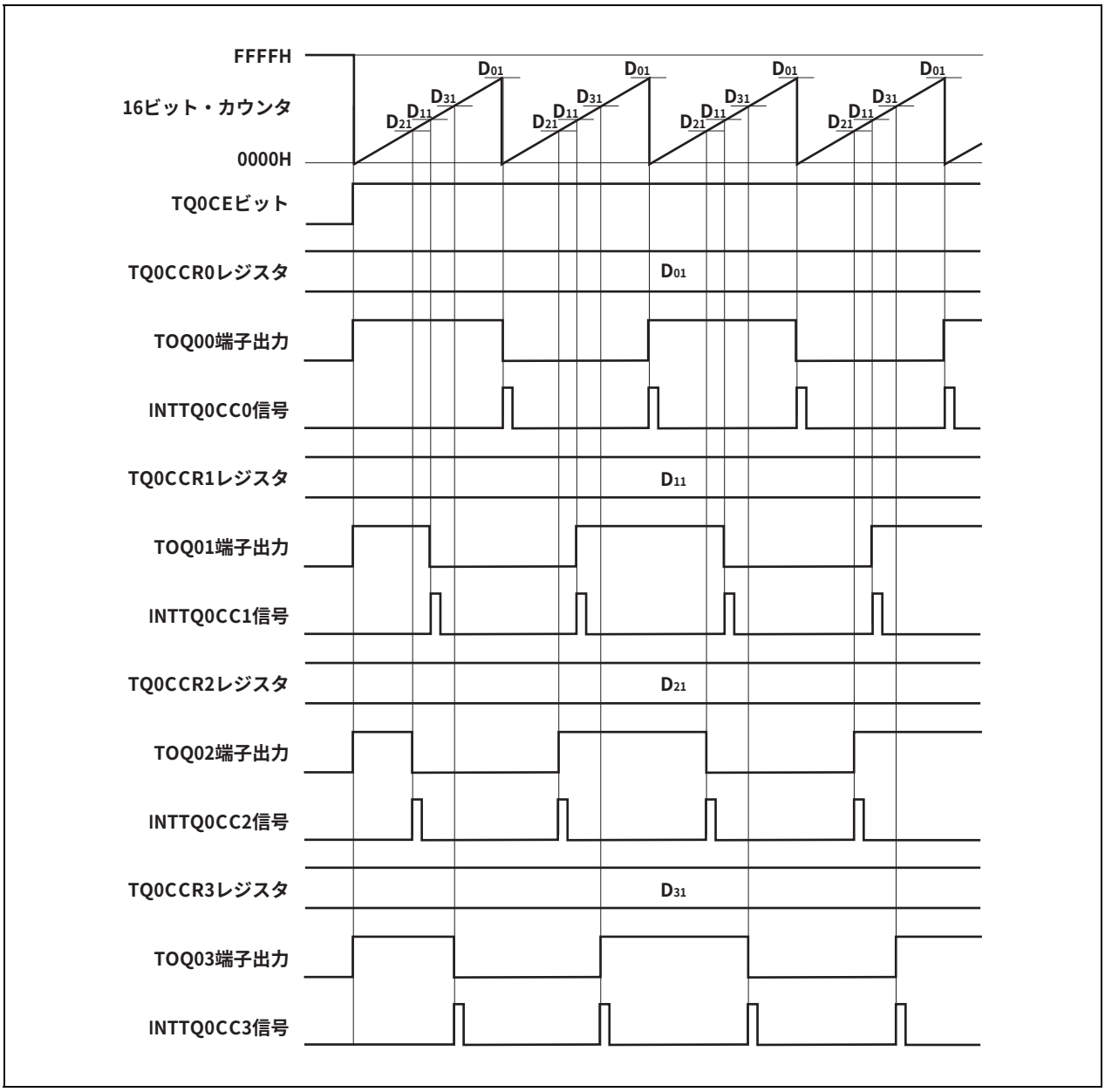


TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には，1周期に1回のINTTQ0CCk信号が発生します。また，同じタイミングでTOQ0k端子出力は反転します。

TOQ0k端子出力は，TOQ00端子出力と同じ周期の方形波を出力します。

備考　k = 1-3

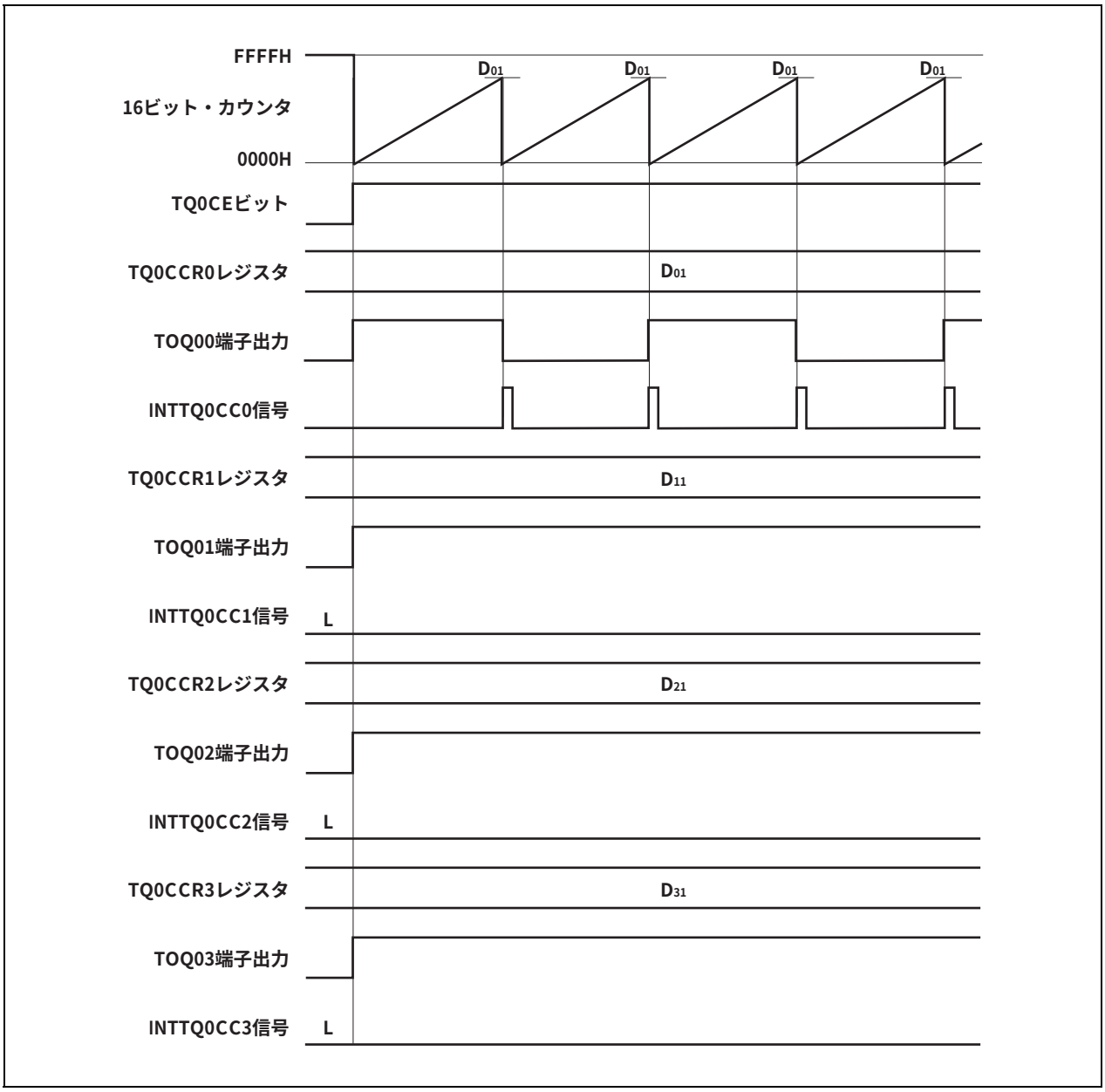
図8－7　$D_{01} \geqq D_{k1}$の場合のタイミング図



TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には，16ビット・カウンタのカウント値とTQ0CCRkレジスタの値が一致しないので，INTTQ0CCk信号は発生しません。また，TOQ0k端子出力も変化しません。

備考　k = 1-3

図8－8　D_{01}＜D_{k1}の場合のタイミング図



8. 5. 2　外部イベント・カウント・モード（TQ0MD2-TQ0MD0ビット = 001）

外部イベント・カウント・モードは，TQ0CTL0.TQ0CEビットをセット（1）することで，外部イベント・カウント入力の有効エッジをカウントし，任意のカウント数をカウントするごとに割り込み要求信号（INTTQ0CC0）を発生します。TOQ00端子は使用できません。

外部イベント・カウント・モードでは，通常，TQ0CCR1-TQ0CCR3レジスタは使用しません。

図8－9　外部イベント・カウント・モードの構成図

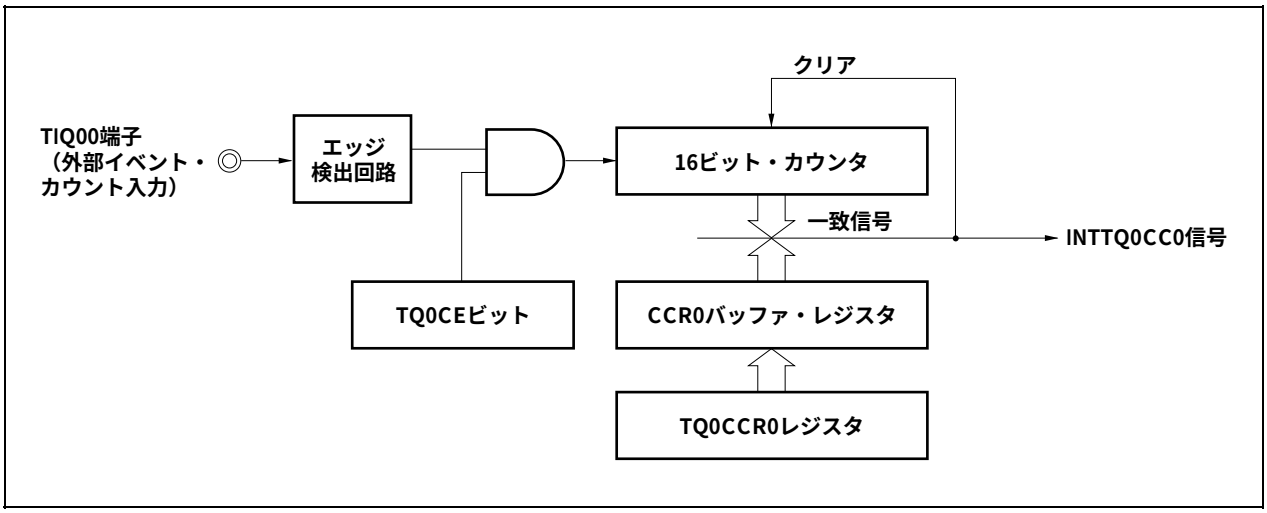
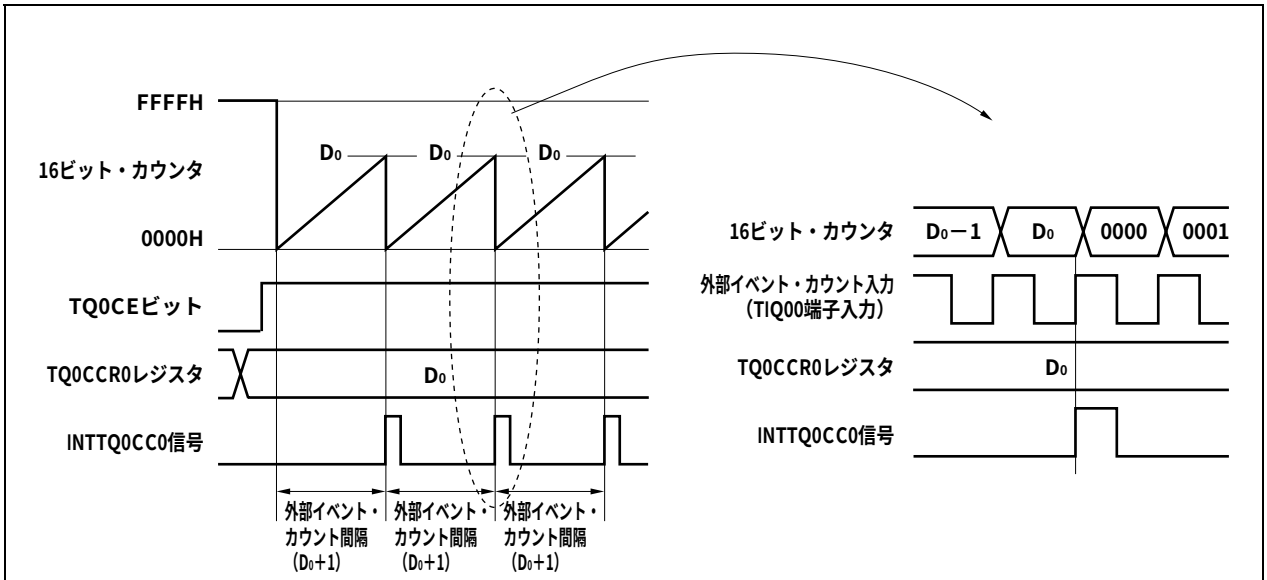


図8－10　外部イベント・カウント・モードの基本タイミング



備考　外部イベント・カウント入力の有効エッジを，立ち上がりエッジに指定した場合

TQ0CEビットをセット（1）することで，16ビット・カウンタをFFFFHから0000Hにクリアし，外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また，TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると，16ビット・カウンタを0000Hにクリアし，コンペア一致割り込み要求信号（INTTQ0CC0）を発生します。

INTTQ0CC0信号は，外部イベント・カウント入力の有効エッジを（TQ0CCR0レジスタに設定した値＋1）回検出するごとに発生します。

図8－11　外部イベント・カウント・モード動作時のレジスタ設定内容（1/2）

（a）TMQ0制御レジスタ0（TQ0CTL0）

	TQ0CE					TQ0CKS2	TQ0CKS1	TQ0CKS0
TQ0CTL0	0/1	0	0	0	0	0	0	0

0：カウント動作停止
1：カウント動作許可

（b）TMQ0制御レジスタ1（TQ0CTL1）

		TQ0EST	TQ0EEE			TQ0MD2	TQ0MD1	TQ0MD0
TQ0CTL1	0	0	0	0	0	0	0	1

0, 0, 1：
外部イベント・カウント・モード

（c）TMQ0I/O制御レジスタ0（TQ0IOC0）

	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0
TQ0IOC0	0	0	0	0	0	0	0	0

0：TOQ00端子出力禁止
0：TOQ01端子出力禁止
0：TOQ02端子出力禁止
0：TOQ03端子出力禁止

（d）TMQ0I/O制御レジスタ2（TQ0IOC2）

					TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0
TQ0IOC2	0	0	0	0	0/1	0/1	0	0

外部イベント・カウント
入力有効エッジの選択

（e）TMQ0カウンタ・リード・バッファ・レジスタ（TQ0CNT）

TQ0CNTレジスタをリードすることで，16ビット・カウンタのカウント値をリードできます。

図8－11　外部イベント・カウント・モード動作時のレジスタ設定内容（2/2）

(f) TMQ0キャプチャ／コンペア・レジスタ0（TQ0CCR0）

TQ0CCR0レジスタにD_0を設定した場合，外部イベント・カウント数が（D_0＋1）回となるとカウントをクリアしコンペア一致割り込み要求信号（INTTQ0CC0）を発生します。

(g) TMQ0キャプチャ／コンペア・レジスタ1-3（TQ0CCR1-TQ0CCR3）

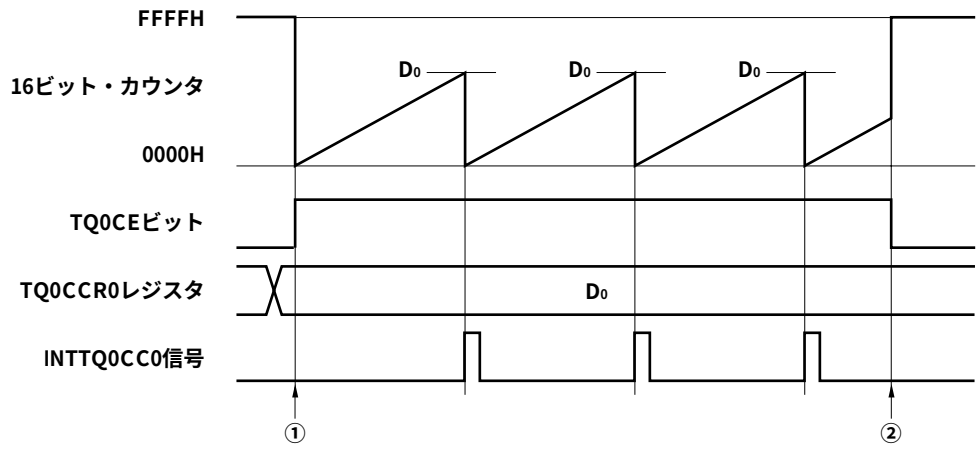
外部イベント・カウント・モードでは，通常，TQ0CCR1-TQ0CCR3レジスタは使用しません。しかし，TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され，16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号（INTTQ0CC1-INTTQ0CC3）が発生します。

したがって，割り込みマスク・フラグ（TQ0CCMK1-TQ0CCMK3）でマスク設定しておいてください。

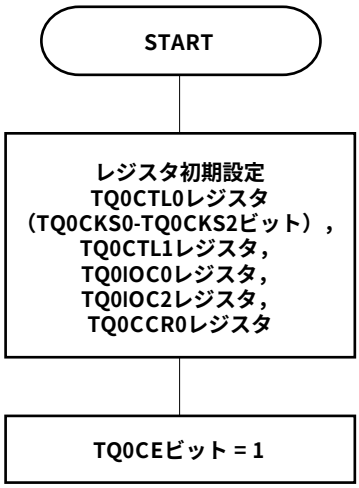
備考　TMQ0I/O制御レジスタ1（TQ0IOC1），TMQ0オプション・レジスタ0（TQ0OPT0）は，外部イベント・カウント・モードでは使用しません。

（1）外部イベント・カウント・モード動作フロー

図8－12　外部イベント・カウント・モード使用時のソフトウエア処理フロー



① カウント動作開始フロー



TQ0CEビット = 1にする前に，
これらのレジスタを初期設定。

カウント動作開始（TQ0CEビット = 1）と同時に，
TQ0CKS0-TQ0CKS2ビットの設定は可能。

② カウント動作停止フロー

カウント動作停止（TQ0CEビット = 0）にすることで，
カウンタを初期化しカウント動作を停止。

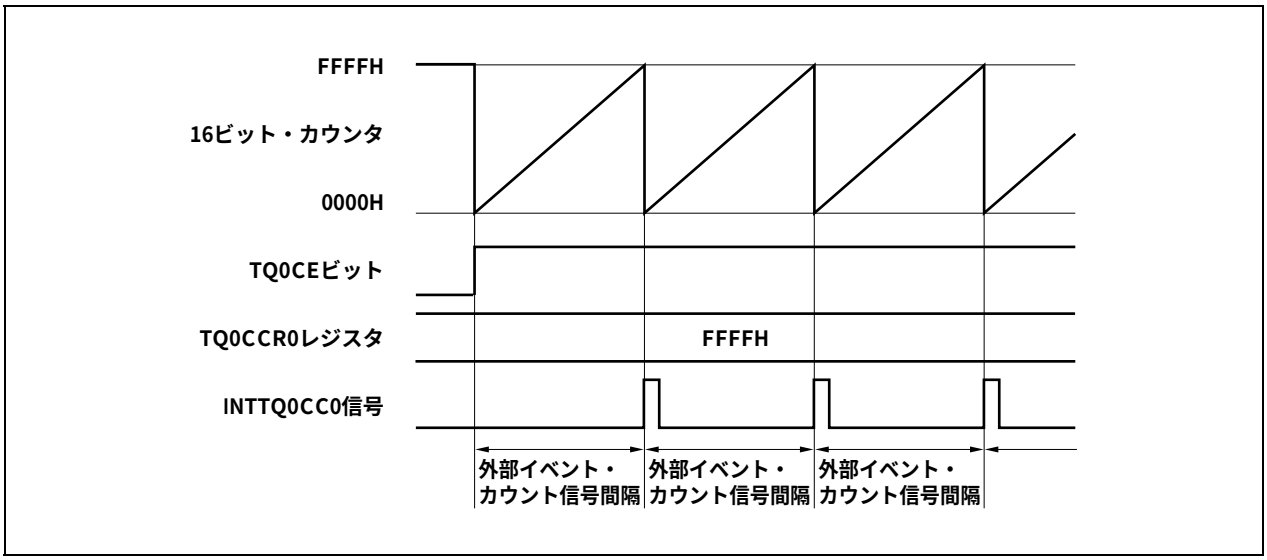
(2) 外部イベント・カウント・モード動作タイミング

注意1. 外部イベント・カウント・モード時，TQ0CCR0レジスタには，0000Hを設定しないでください。

2. 外部イベント・カウント・モード時，タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は，インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください
（TQ0CTL1.TQ0MD2-TQ0MD0ビット = 000, TQ0CTL1.TQ0EEEビット = 1）。

(a) TQ0CCR0レジスタにFFFFHを設定した場合の動作

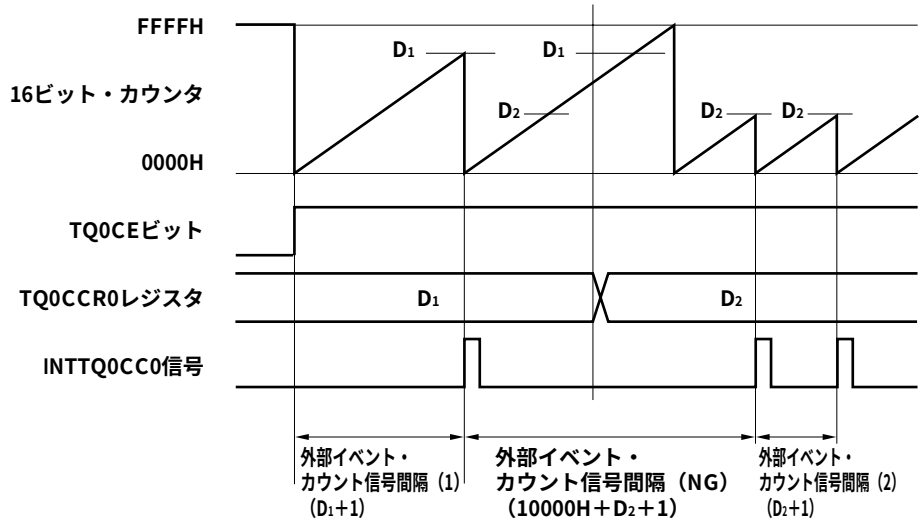
TQ0CCR0レジスタにFFFFHを設定した場合，16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTQ0CC0信号を発生します。このとき，TQ0OPT0.TQ0OVFビットはセットされません。



（b）TQ0CCR0レジスタの書き換えに関する注意事項

TQ0CCR0レジスタの設定値を小さい値に変更する場合には，一度カウント動作を停止させ，その後，設定値を変更してください。

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると，16ビット・カウンタがオーバフローする場合があるので注意してください。



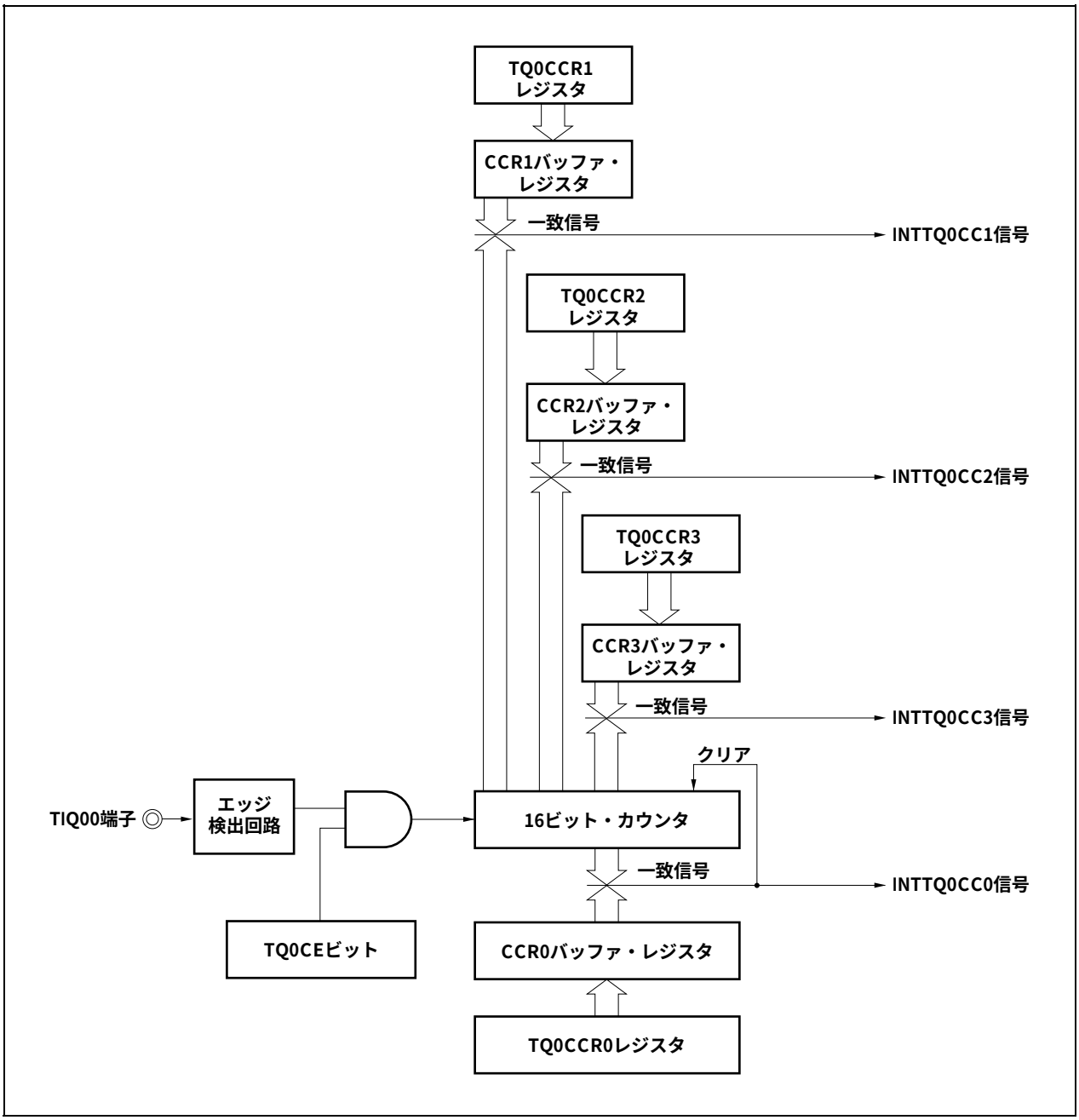
カウント値がD2よりも大きくD1よりも小さい状態において，TQ0CCR0レジスタをD1からD2に書き換えると，書き換えたタイミングでCCR0バッファ・レジスタに転送されるため，16ビット・カウンタとのコンペア値がD2となります。

しかし，カウント値はすでにD2を越えているためにFFFFHまでカウントを行い，オーバフロー後，0000Hから再度カウント・アップを行います。そして，D2との一致でINTTQ0CC0信号を発生します。

したがって，本来期待している外部イベント・カウント数である「（D1＋1）回」または「（D2＋1）回」の有効エッジ数でINTTQ0CC0信号は発生せずに，「（10000H＋D2＋1）回」の有効エッジ数でINTTQ0CC0信号が発生する場合があります。

（c）TQ0CCR1-TQ0CCR3レジスタの動作

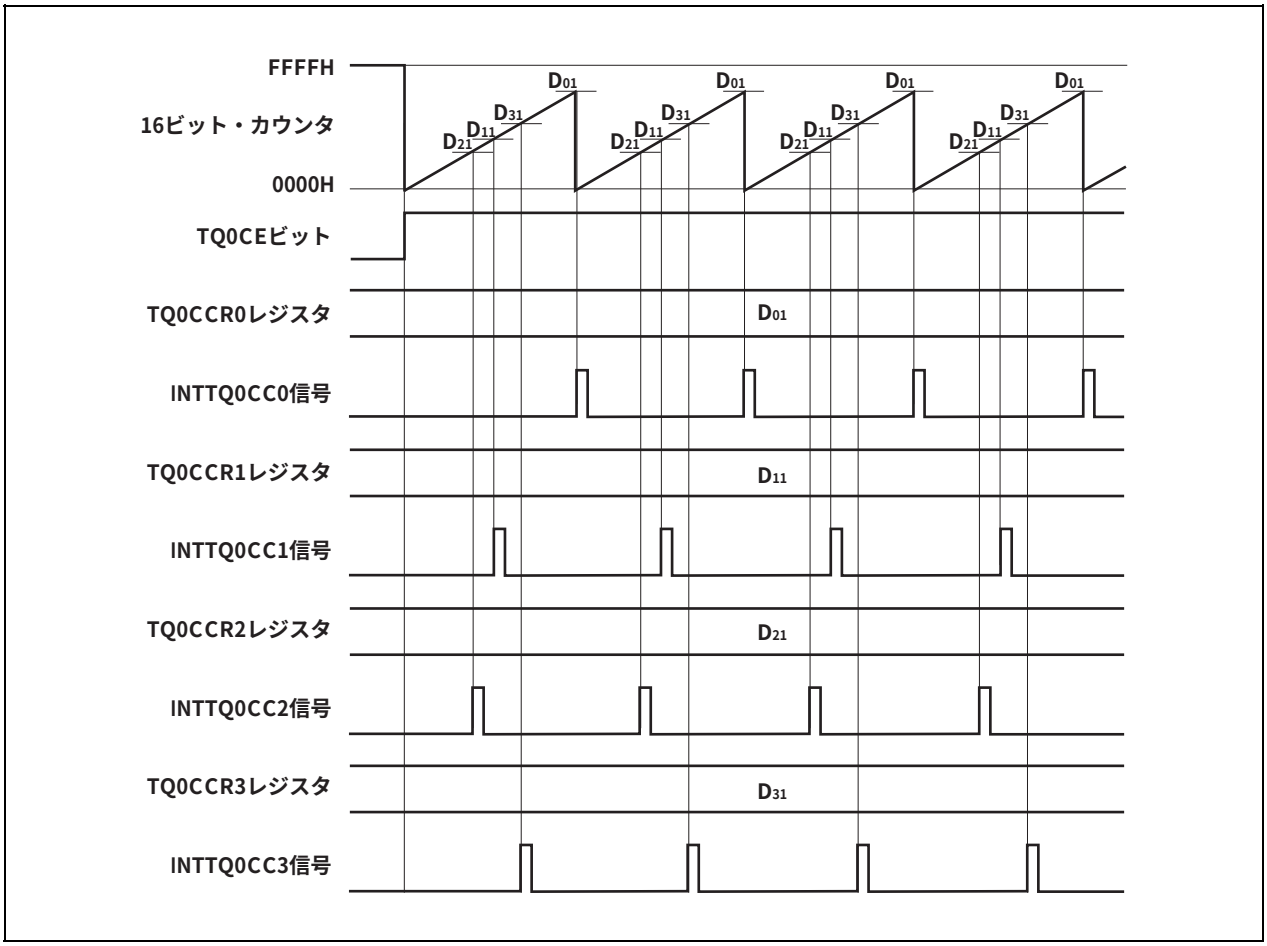
図8－13　TQ0CCR1-TQ0CCR3レジスタの構成図



TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には，1周期に1回のINTTQ0CCk信号が発生します。

備考　k = 1-3

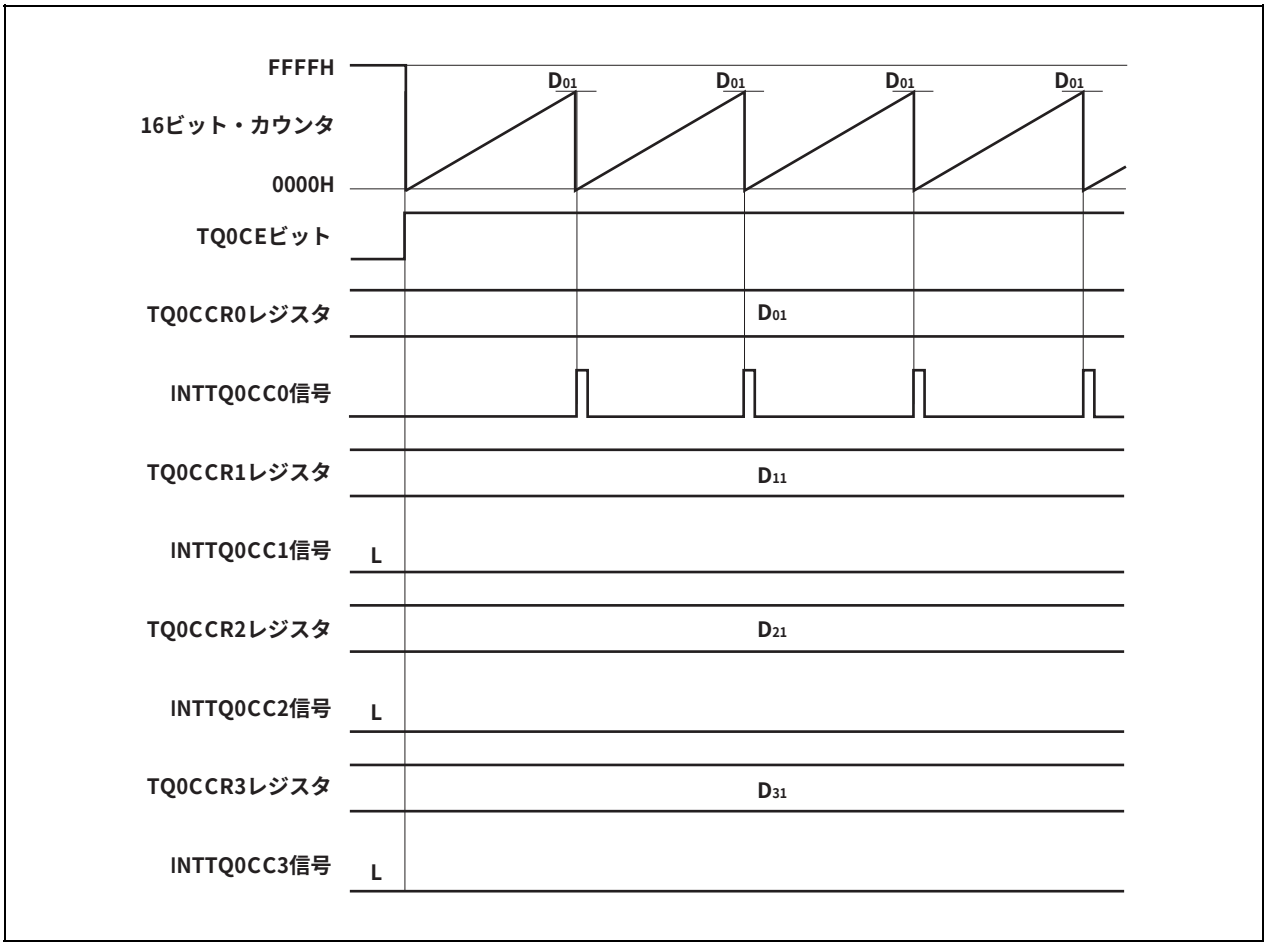
図8－14　$D_{01} \geqq D_{k1}$の場合のタイミング図



TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には，16ビット・カウンタのカウント値とTQ0CCRkレジスタの値が一致しないので，INTTQ0CCk信号は発生しません。

備考　k = 1-3

図8－15　D_{01}＜D_{k1}の場合のタイミング図



8. 5. 3　外部トリガ・パルス出力モード（TQ0MD2-TQ0MD0ビット = 010）

外部トリガ・パルス出力モードは，TQ0CTL0.TQ0CEビットをセット（1）することでトリガ待ち状態となり，外部トリガ入力の有効エッジを検出すると，カウント動作を開始し，TOQ01-TOQ03端子から最大3相のPWM波形を出力します。

外部トリガ入力の代わりに，ソフトウエア・トリガを発生させることでもパルスを出力できます。ソフトウエア・トリガを使用する場合，TOQ00端子から，PWM波形の1周期を半周期とする方形波を出力できます。

図8－16　外部トリガ・パルス出力モードの構成図

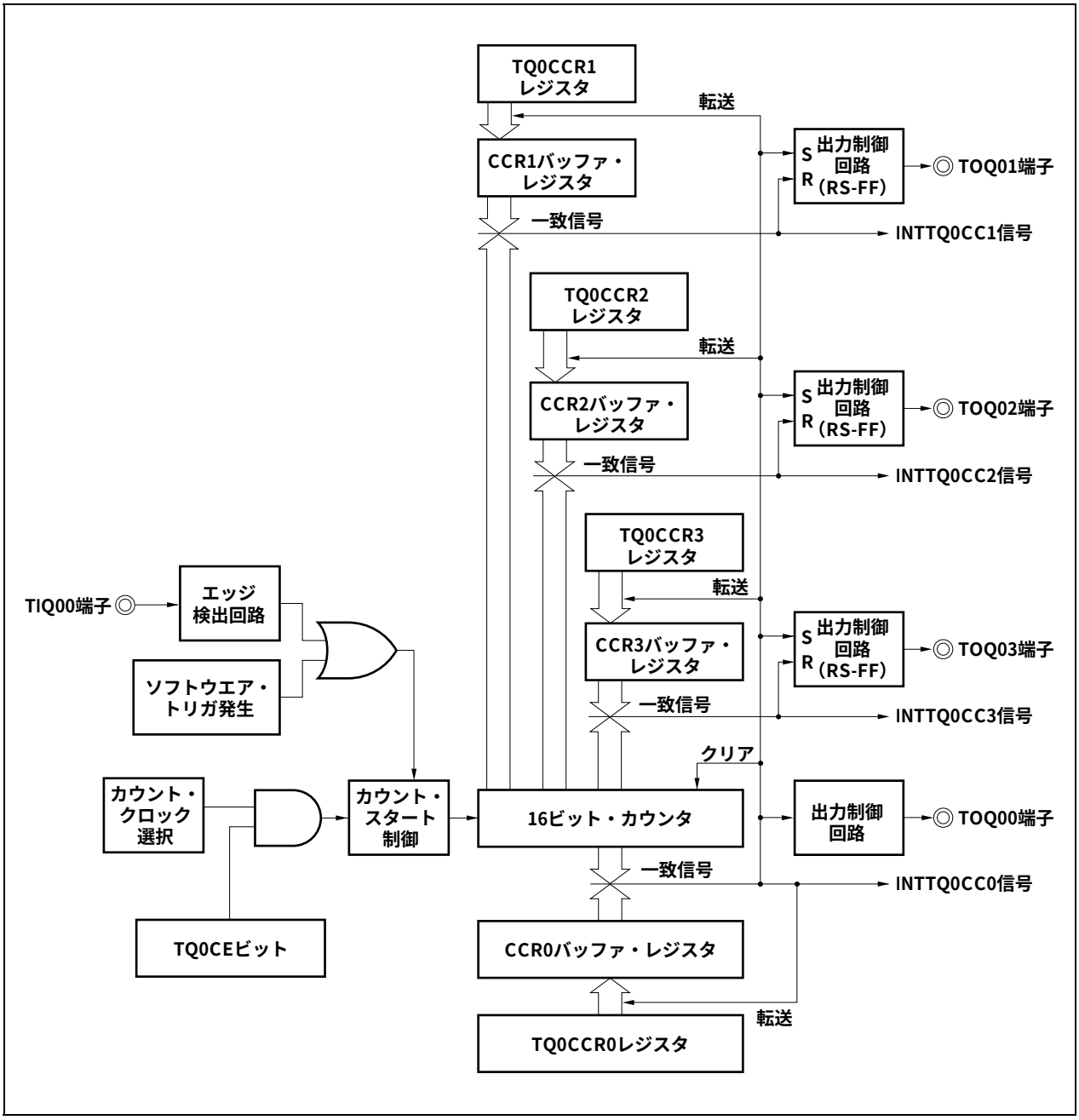
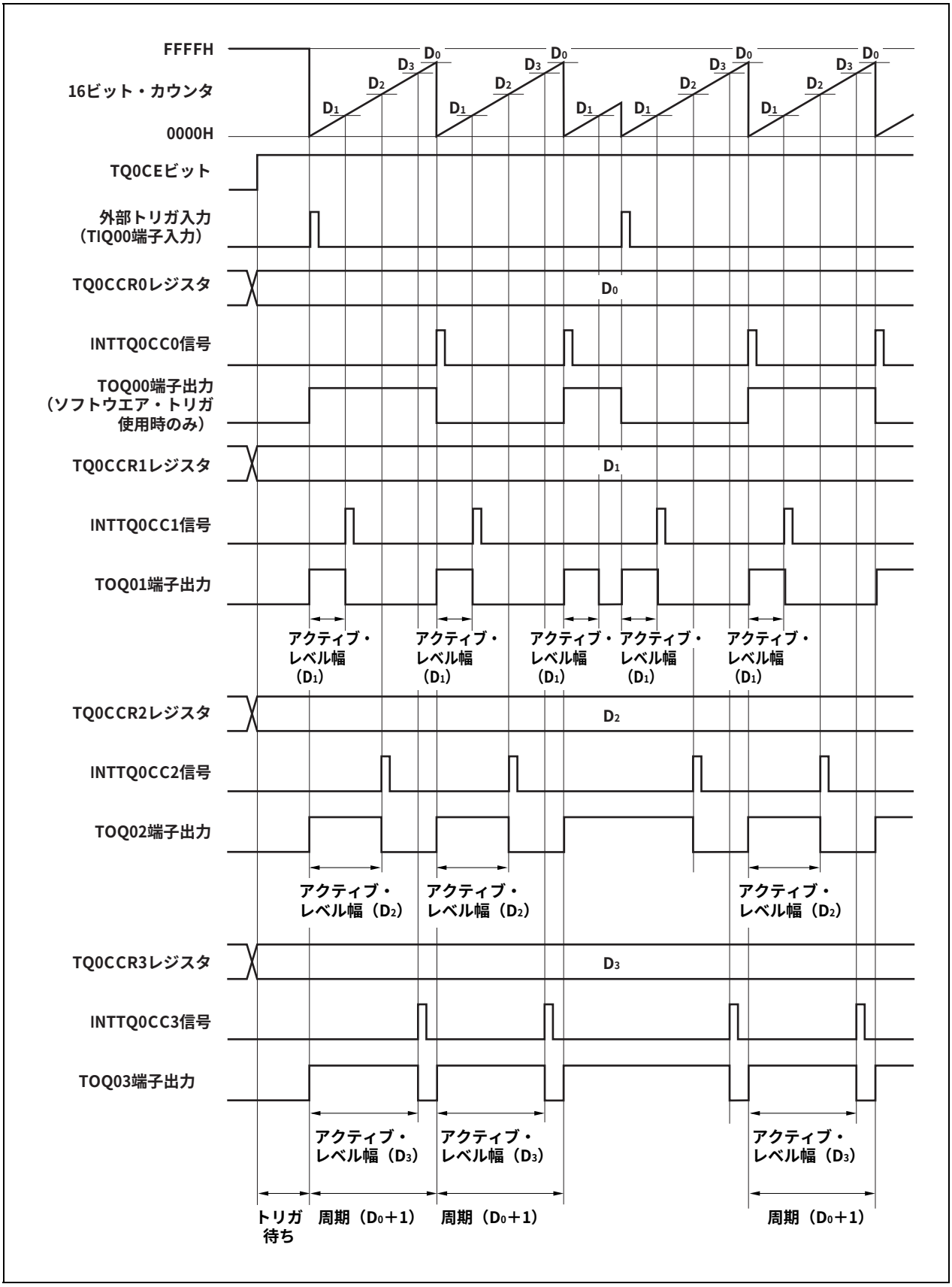


図8－17　外部トリガ・パルス出力モードの基本タイミング



TQ0CEビットをセット（1）することで，トリガ待ち状態となります。トリガが発生すると，16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し，TOQ0k端子からPWM波形を出力します。動作中に，再度トリガが発生した場合には，カウンタを0000Hにクリアし再スタートします（TOQ00端子出力は反転します。TOQ0k端子出力は，ロウ・レベル出力，ハイ・レベル出力にかかわらず，ハイ・レベル出力になります）。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

アクティブ・レベル幅 = （TQ0CCRkレジスタの設定値）×カウント・クロック周期
周期 = （TQ0CCR0レジスタの設定値＋1）×カウント・クロック周期
デューティ = （TQ0CCRkレジスタの設定値）／（TQ0CCR0レジスタの設定値＋1）

コンペア一致割り込み要求信号（INTTQ0CC0）は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し，同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号（INTTQ0CCk）は，16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

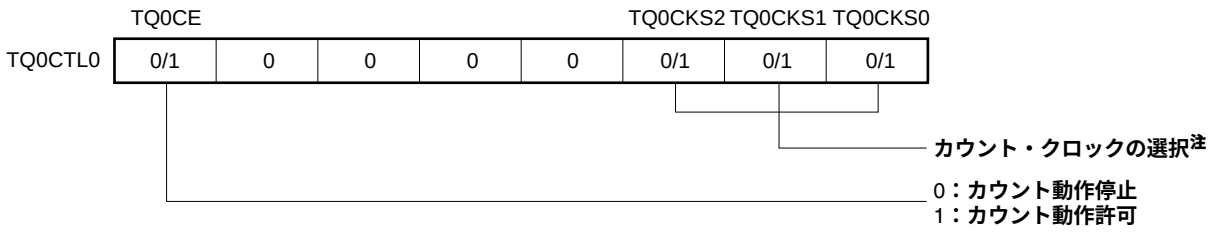
TQ0CCRmレジスタに設定した値は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し，16ビット・カウンタを0000Hにクリアするタイミングで CCRmバッファ・レジスタに転送されます。

トリガには，外部トリガ入力の有効エッジ，またはソフトウエア・トリガ（TQ0CTL1.TQ0ESTビット）のセット（1）があります。

備考　k = 1-3
m = 0-3

図8－18　外部トリガ・パルス出力モード動作時のレジスタ設定内容（1/3）

（a）TMQ0制御レジスタ0（TQ0CTL0）



注　TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

図8－18　外部トリガ・パルス出力モード動作時のレジスタ設定内容（2/3）

（b）TMQ0制御レジスタ1（TQ0CTL1）

	TQ0EST	TQ0EEE			TQ0MD2	TQ0MD1	TQ0MD0
TQ0CTL1	0	0/1	0/1	0	0	0	1	0

0, 1, 0：
外部トリガ・パルス出力モード

0：TQ0CKS0-TQ0CKS2ビットで選択したカウント・クロックで動作
1：外部イベント入力信号でカウント動作

“1”を書き込むことで，ソフトウエア・トリガを発生

（c）TMQ0I/O制御レジスタ0（TQ0IOC0）

	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0
TQ0IOC0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1注

0：TOQ00端子出力禁止
1：TOQ00端子出力許可

TOQ00端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

0：TOQ01端子出力禁止
1：TOQ01端子出力許可

TOQ01端子出力のアクティブ・レベル指定
0：ハイ・アクティブ
1：ロウ・アクティブ

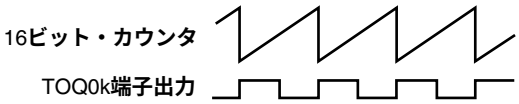
0：TOQ02端子出力禁止
1：TOQ02端子出力許可

TOQ02端子出力のアクティブ・レベル指定
0：ハイ・アクティブ
1：ロウ・アクティブ

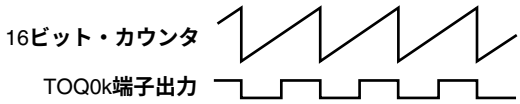
0：TOQ03端子出力禁止
1：TOQ03端子出力許可

TOQ03端子出力のアクティブ・レベル指定
0：ハイ・アクティブ
1：ロウ・アクティブ

・TQ0OLkビット = 0の場合



・TQ0OLkビット = 1の場合



注　外部トリガ・パルス出力モードでTOQ00端子を使用しない場合は，“0”に設定してください。

図8－18　外部トリガ・パルス出力モード動作時のレジスタ設定内容（3/3）

（d）TMQ0I/O制御レジスタ2（TQ0IOC2）

					TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0
TQ0IOC2	0	0	0	0	0/1	0/1	0/1	0/1

外部トリガ入力有効エッジの選択

外部イベント・カウント入力有効エッジの選択

（e）TMQ0カウンタ・リード・バッファ・レジスタ（TQ0CNT）

TQ0CNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

（f）TMQ0キャプチャ／コンペア・レジスタ0-3（TQ0CCR0-TQ0CCR3）

TQ0CCR0レジスタにD_0を設定し，TQ0CCR1レジスタにD_1を，TQ0CCR2レジスタにD_2を，TQ0CCR3レジスタにD_3を設定した場合，

PWM波形の周期 ＝ （D_0＋1）×カウント・クロック周期

TOQ01端子からのPWM波形のアクティブ・レベル幅 ＝ D_1×カウント・クロック周期

TOQ02端子からのPWM波形のアクティブ・レベル幅 ＝ D_2×カウント・クロック周期

TOQ03端子からのPWM波形のアクティブ・レベル幅 ＝ D_3×カウント・クロック周期

となります。

備考1.　TMQ0I/O制御レジスタ1（TQ0IOC1），TMQ0オプション・レジスタ0（TQ0OPT0）は，外部トリガ・パルス出力モードでは使用しません。

2.　TMQ0キャプチャ／コンペア・レジスタ2（TQ0CCR2），TMQ0キャプチャ／コンペア・レジスタ3（TQ0CCR3）の更新は，TMQ0キャプチャ／コンペア・レジスタ1（TQ0CCR1）への書き込みにより有効になります。

（1）外部トリガ・パルス出力モード動作フロー

図8－19　外部トリガ・パルス出力モード使用時のソフトウエア処理フロー（1/2）

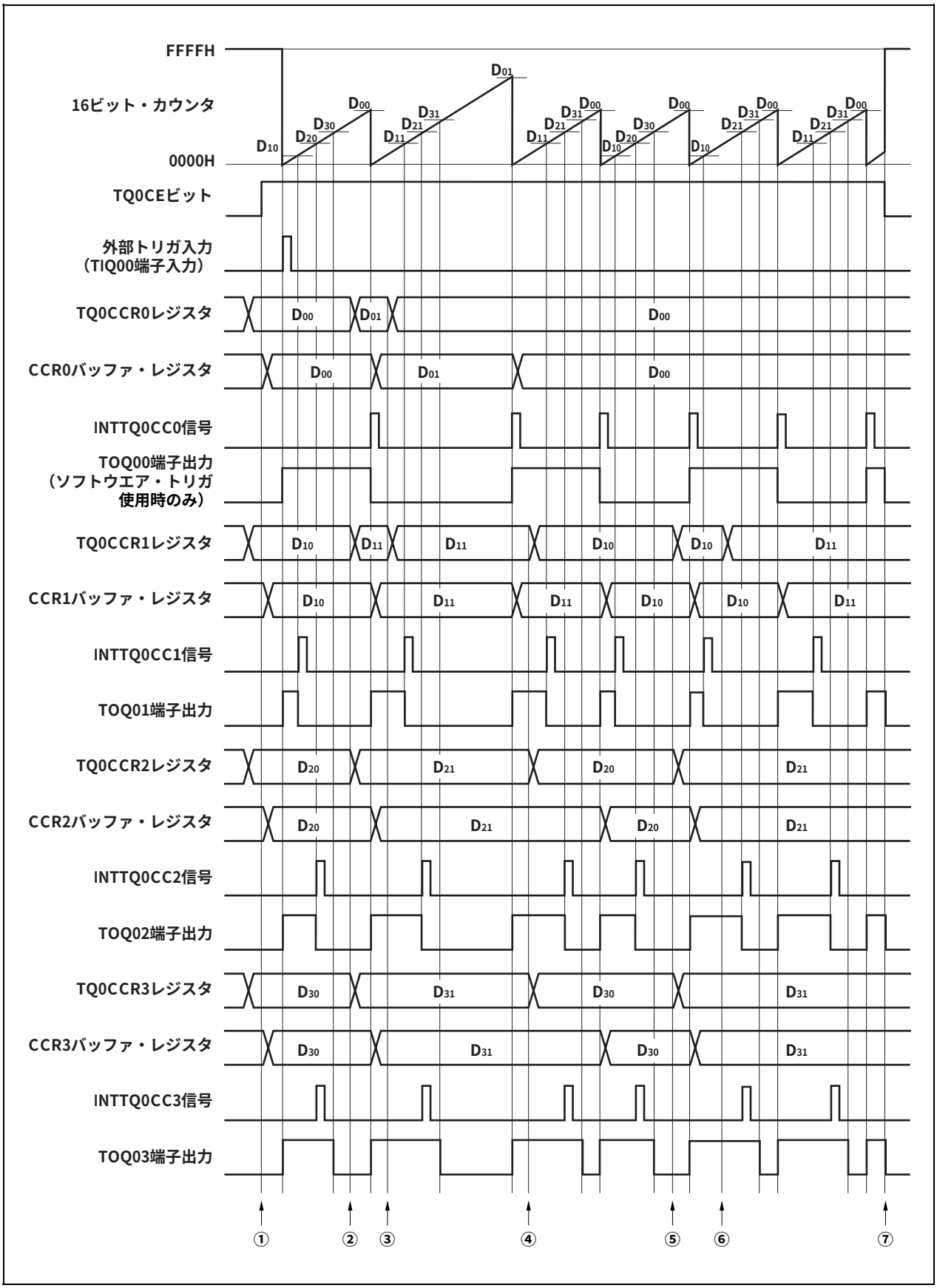
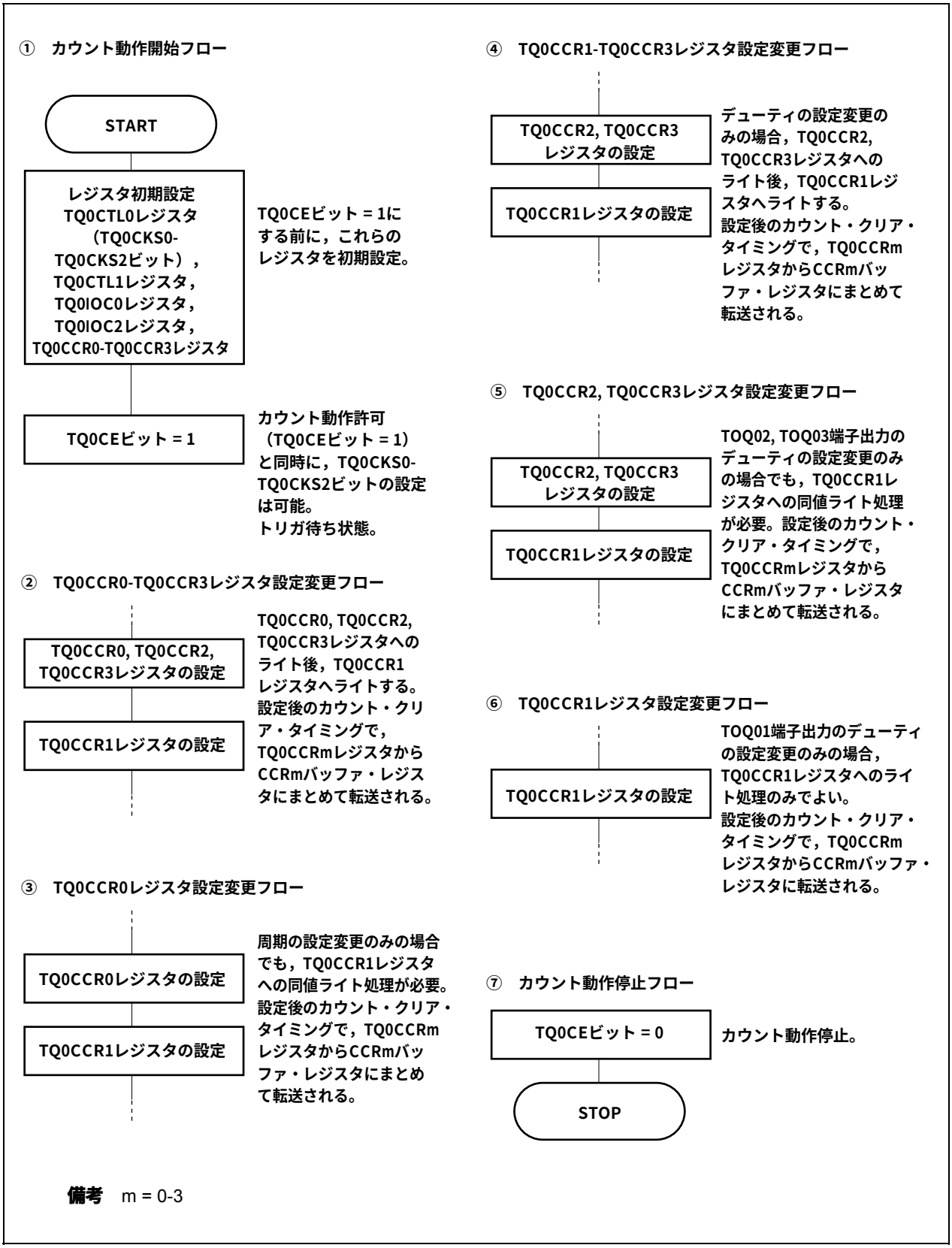


図8－19　外部トリガ・パルス出力モード使用時のソフトウエア処理フロー（2/2）



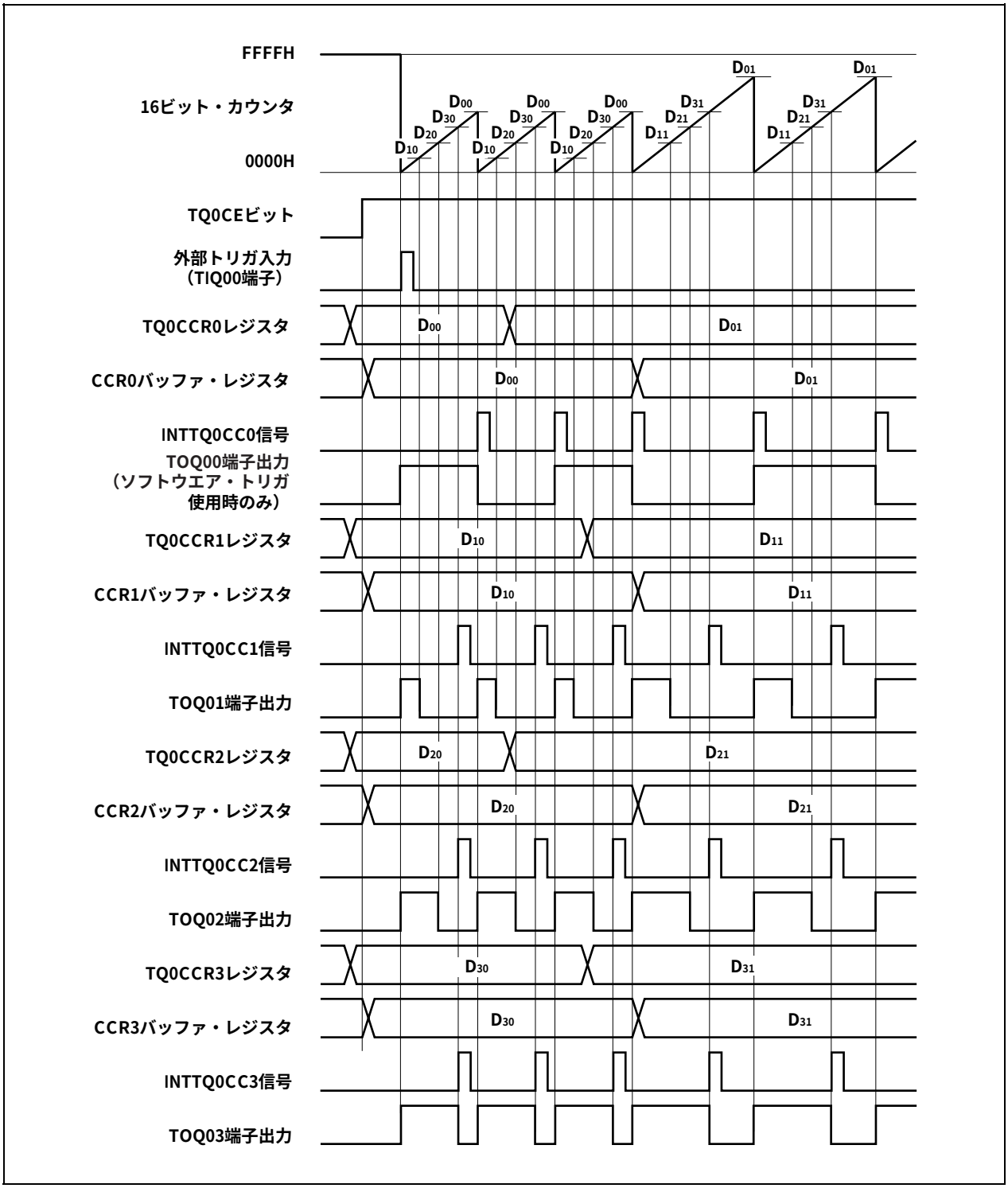
備考　m = 0-3

(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には，最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後，再度TQ0CCRkレジスタの書き換えを行う場合には，INTTQ0CC0信号を検出後に書き換えてください。



TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには，TQ0CCR1レジスタに対してライトする必要があります。

このとき，PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には，まずTQ0CCR0レジスタに周期を，TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し，最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には，まずTQ0CCR0レジスタに周期を設定し，そのあとでTQ0CCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には，まず，TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し，最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は，TQ0CCR1レジスタのみの設定でかまいません。

TOQ02，TOQ03端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は，まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し，そのあとでTQ0CCR1レジスタに同値をライトしてください。

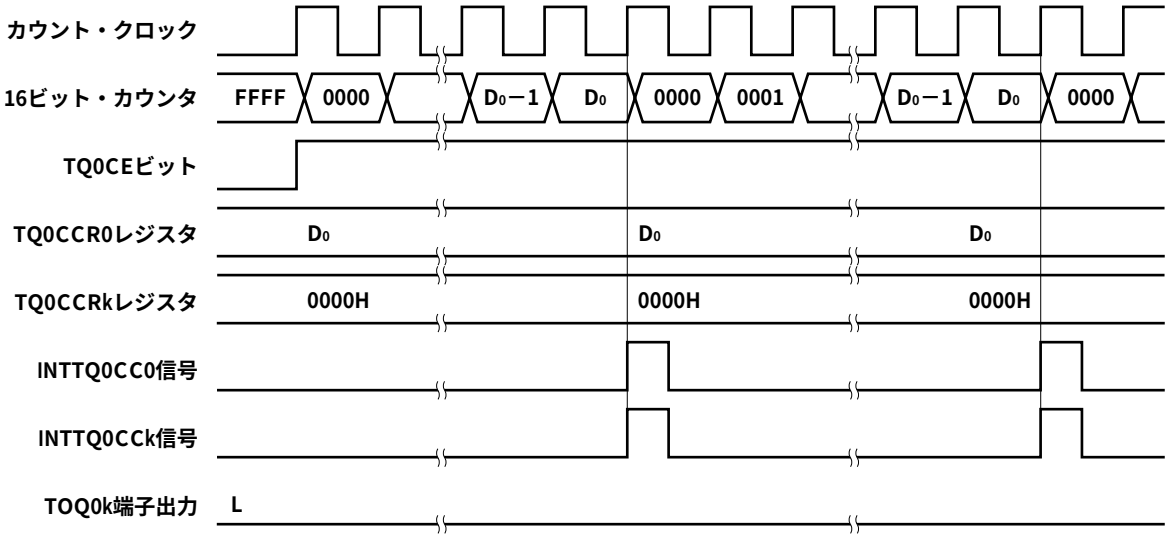
TQ0CCR1レジスタにライトしたあと，16ビット・カウンタのクリア・タイミングに同期して，TQ0CCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され，16ビット・カウンタとのコンペア値となります。

また，一度TQ0CCR1レジスタにライトしたあとで，再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は， INTTQ0CC0信号の発生後に行ってください。これを守れない場合には，TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと，TQ0CCRmレジスタの書き換えの競合により，CCRmバッファ・レジスタの値が不定値になる場合があります。

備考　m = 0-3

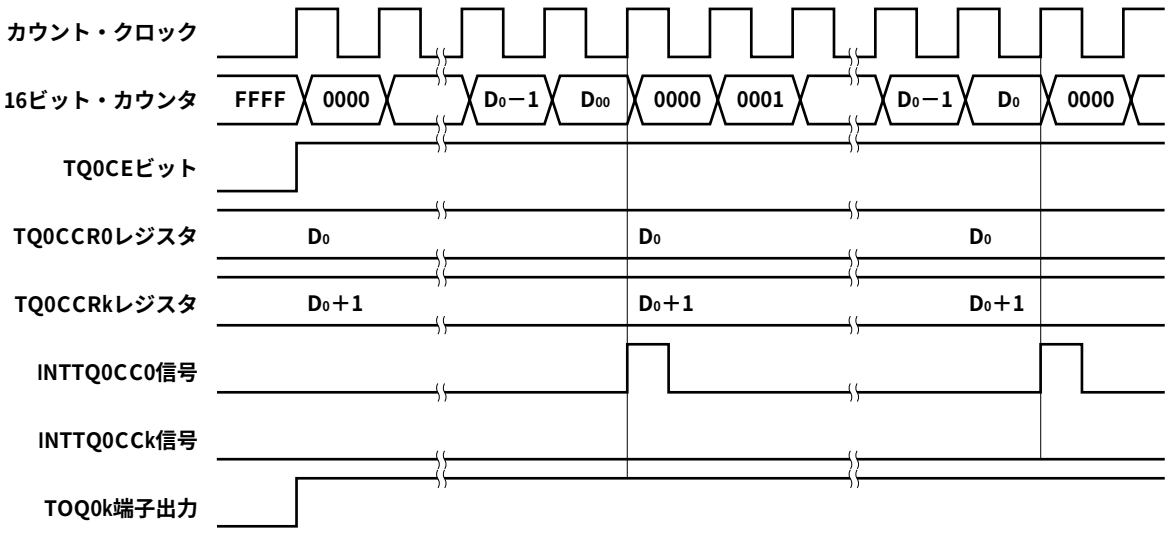
（b）PWM波形の0 %／100 %出力

0 %波形を出力するためには，TQ0CCRkレジスタに対して0000Hを設定します。ただし，TQ0CCR0レジスタの設定値がFFFFHの場合には，INTTQ0CCk信号が定期的に発生します。



備考　k = 1-3

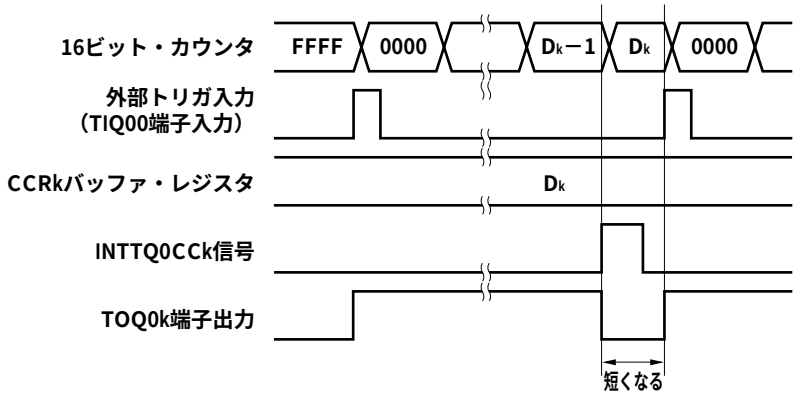
100 %波形を出力するためには，TQ0CCRkレジスタに対して（TQ0CCR0レジスタの設定値＋1）の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には，100 %出力はできません。



備考　k = 1-3

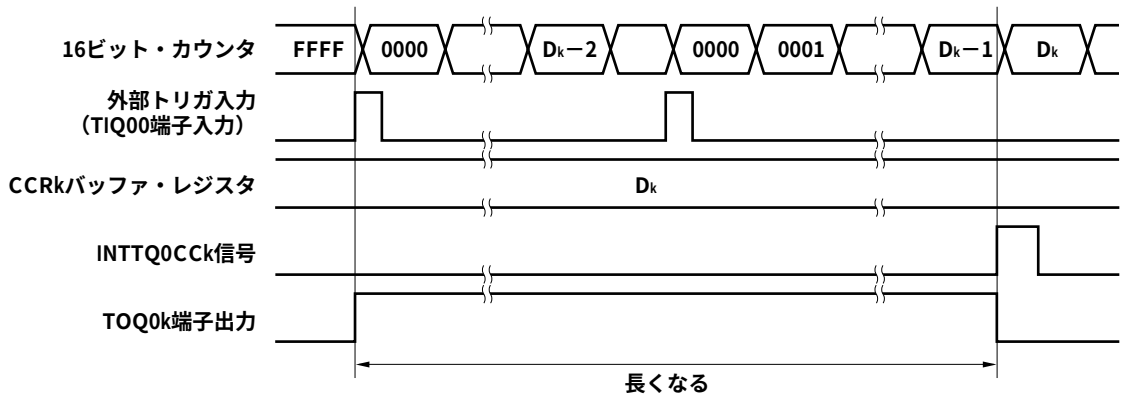
(c) トリガ検出とCCRkバッファ・レジスタとの一致の競合

INTTQ0CCk信号発生直後にトリガが検出された場合には，トリガ検出とともに16ビット・カウンタを0000Hにクリアし，TOQ0k端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため，PWM波形のインアクティブ期間が短くなります。



備考　k = 1-3

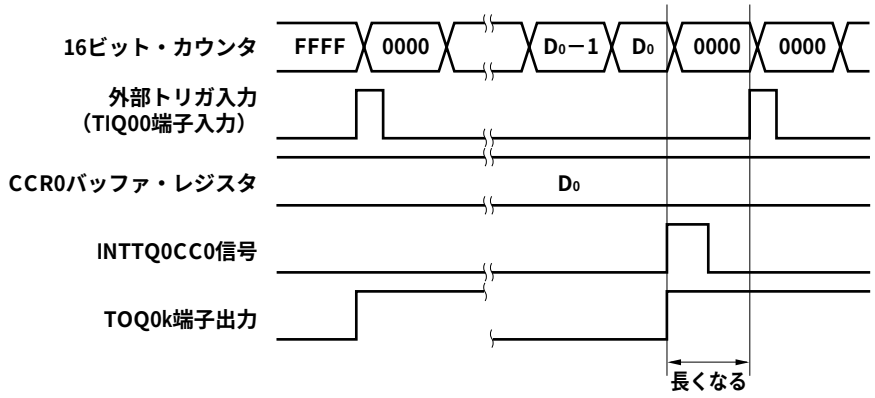
INTTQ0CCk信号発生直前にトリガを検出した場合には， INTTQ0CCk信号を発生することなく，16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOQ0k端子出力はアクティブ・レベルのままとなるため，PWM波形のアクティブ期間が長くなります。



備考　k = 1-3

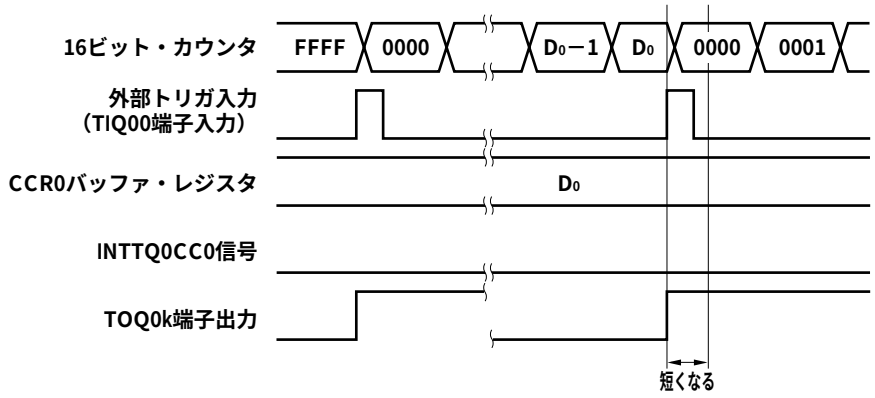
(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTQ0CC0信号発生直後にトリガを検出した場合，そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって，TOQ0k端子出力のアクティブ期間が，INTTQ0CC0信号発生からトリガ検出までの分だけ長くなります。



備考　k = 1-3

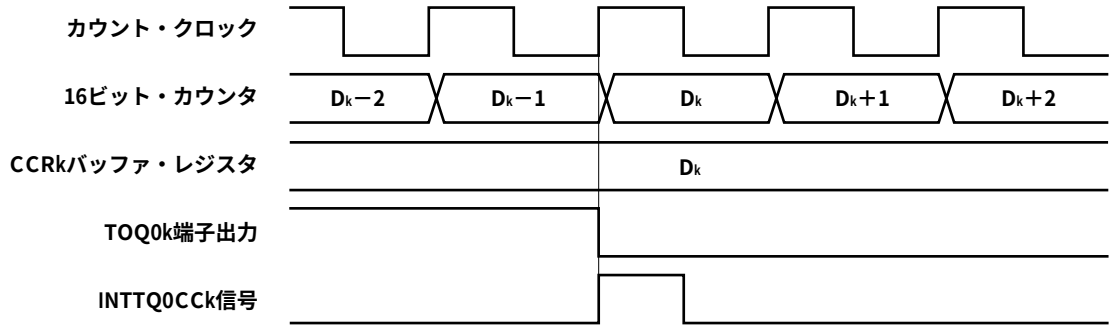
INTTQ0CC0信号発生直前にトリガを検出した場合，INTTQ0CC0信号を発生することなく，16ビット・カウンタを0000Hにクリアし，TOQ0k端子出力をアクティブ・レベルにして，カウント動作を継続します。そのため，それまで出力していたPWM波形のインアクティブ期間は短くなります。



備考　k = 1-3

（e）コンペア一致割り込み要求信号（INTTQ0CCk）の発生タイミング

外部トリガ・パルス出力モードにおけるINTTQ0CCk信号の発生タイミングは，ほかのINTTQ0CCk信号と異なり，16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値との一致と同時に発生します。



備考　k = 1-3

通常，INTTQ0CCk信号は，16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値との一致後，次のカウント・アップに同期して発生します。

しかし，外部トリガ・パルス出力モードの場合，1クロック早いタイミングで発生します。これは，TOQ0k端子出力の変化タイミングとあわせるために，タイミングを変更しているからです。

8. 5. 4　ワンショット・パルス出力モード（TQ0MD2-TQ0MD0ビット = 011）

ワンショット・パルス出力モードは，TQ0CTL0.TQ0CEビットをセット（1）することでトリガ待ち状態となり，外部トリガ入力の有効エッジを検出すると，カウント動作を開始し，TOQ01-TOQ03端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに，ソフトウエア・トリガを発生させることでもパルスを出力できます。ソフトウエア・トリガを使用する場合，TOQ00端子から，16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し，カウント停止（トリガ待ち状態）中のときはインアクティブ・レベルを出力できます。

図8－20　ワンショット・パルス出力モードの構成図

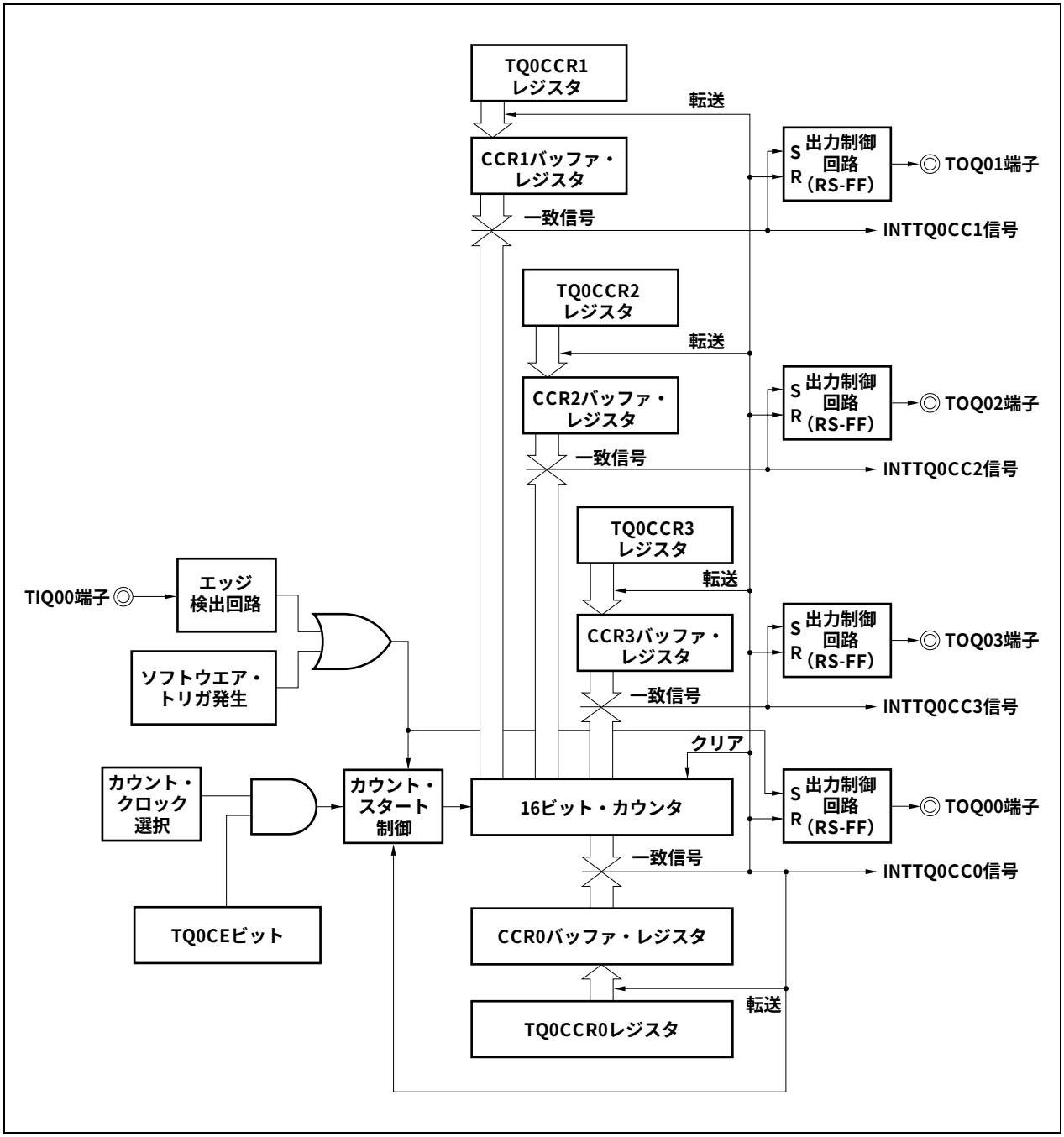
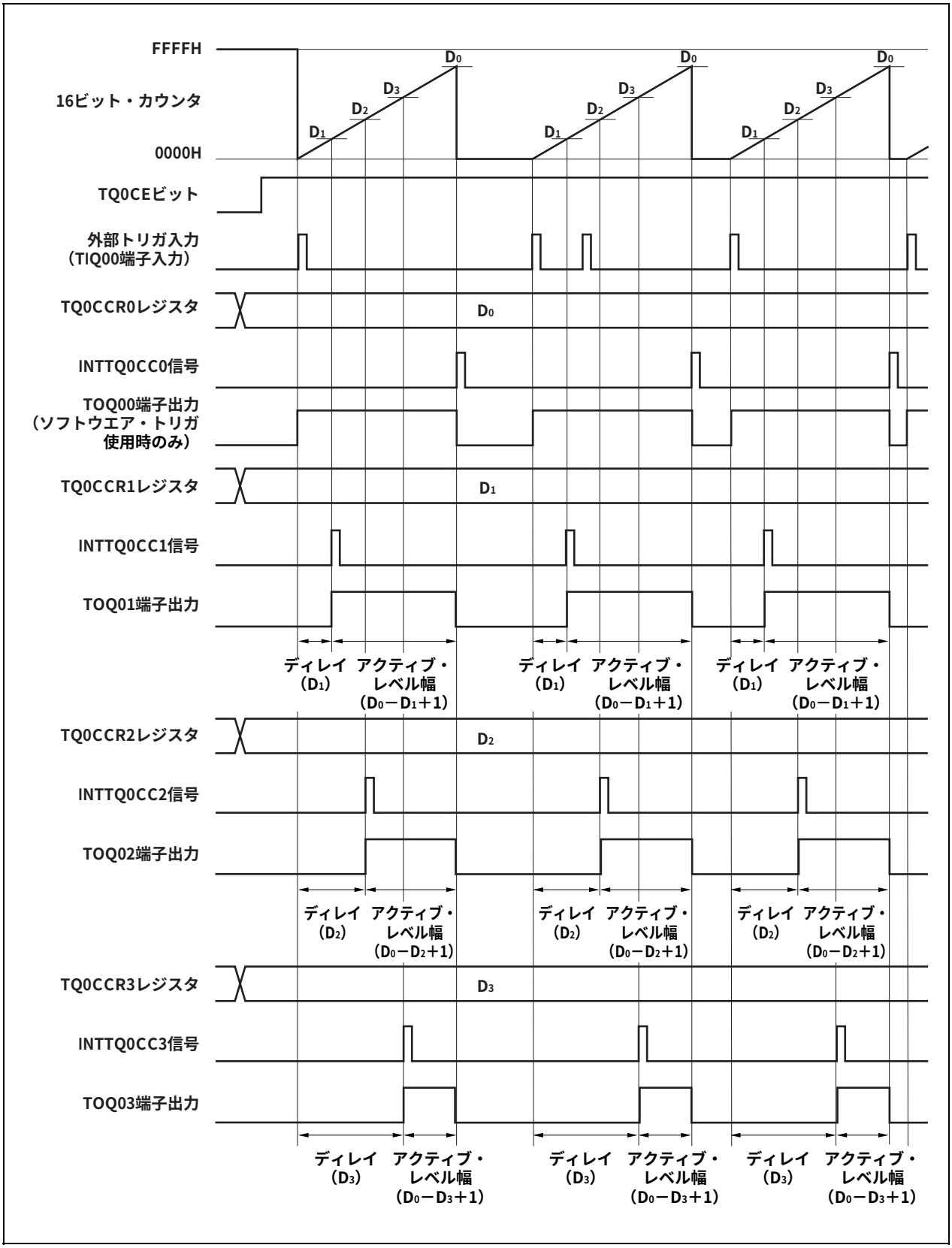


図8－21　ワンショット・パルス出力モードの基本タイミング



TQ0CEビットをセット（1）することで，トリガ待ち状態となります。トリガが発生すると，16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し，TOQ0k端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと，16ビット・カウンタをFFFFHにしてカウント動作を停止し，トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間，およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = （TQ0CCRkレジスタの設定値）×カウント・クロック周期

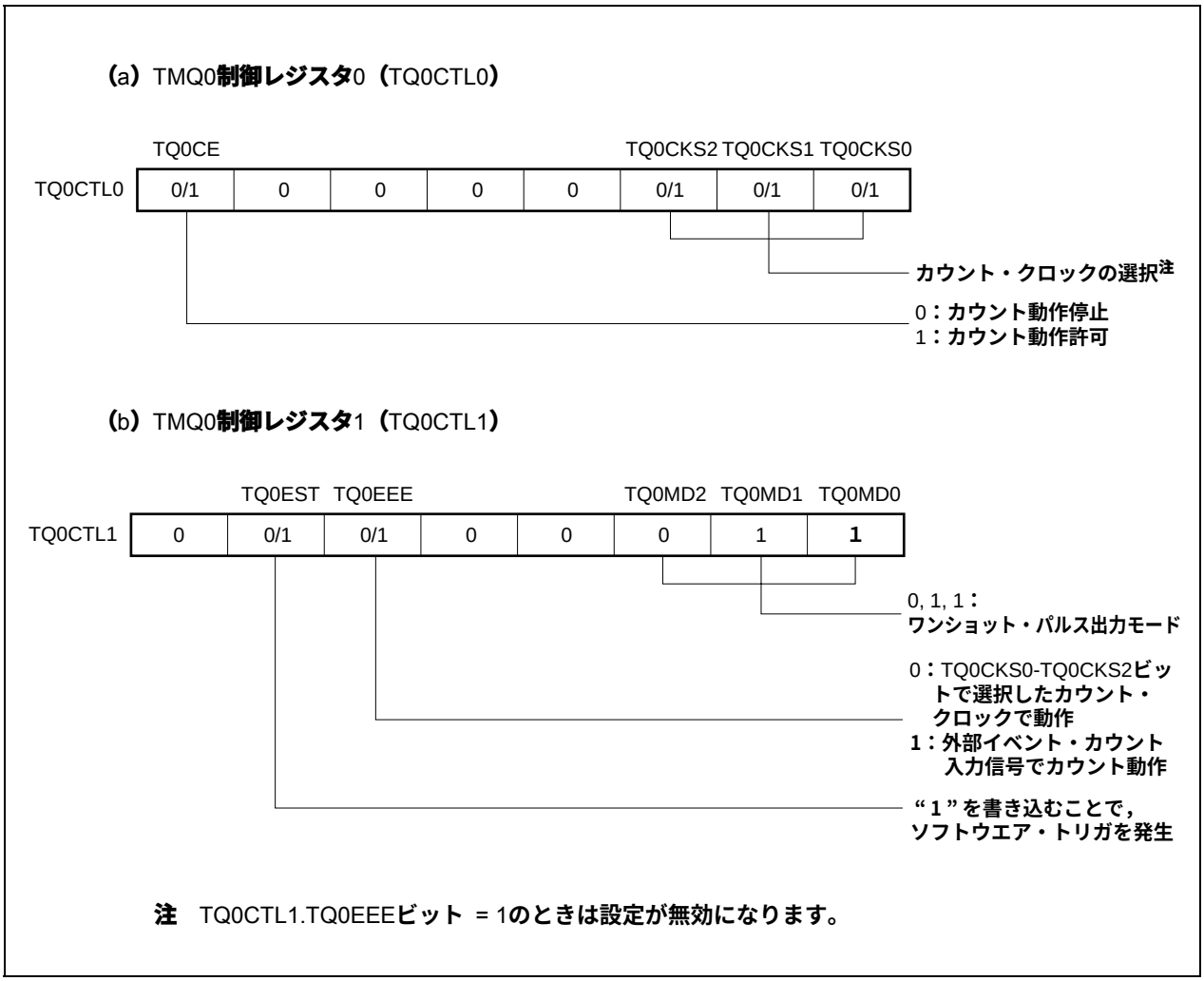
アクティブ・レベル幅 = （TQ0CCR0レジスタの設定値－TQ0CCRkレジスタの設定値＋1）
×カウント・クロック周期

コンペア一致割り込み要求信号（INTTQ0CC0）は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペア一致割り込み要求信号（INTTQ0CCk）は，16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

トリガには，外部トリガ入力の有効エッジ，またはソフトウエア・トリガ（TQ0CTL1.TQ0ESTビット）のセット（1）があります。

備考　k = 1-3

図8－22　ワンショット・パルス出力モード動作時のレジスタ設定内容（1/3）



注　TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

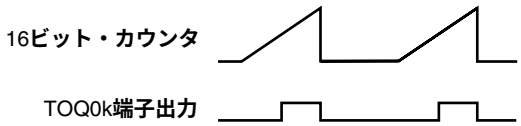
図8－22　ワンショット・パルス出力モード動作時のレジスタ設定内容（2/3）

（c）TMQ0I/O制御レジスタ0（TQ0IOC0）

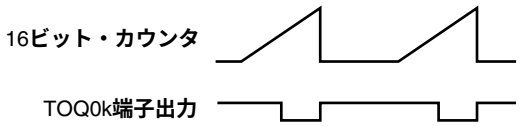
	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0
TQ0IOC0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1注

- TQ0OE0：0：TOQ00端子出力禁止　1：TOQ00端子出力許可
- TQ0OL0：TOQ00端子の動作禁止状態での出力レベルの設定　0：ロウ・レベル　1：ハイ・レベル
- TQ0OE1：0：TOQ01端子出力禁止　1：TOQ01端子出力許可
- TQ0OL1：TOQ01端子出力のアクティブ・レベル指定　0：ハイ・アクティブ　1：ロウ・アクティブ
- TQ0OE2：0：TOQ02端子出力禁止　1：TOQ02端子出力許可
- TQ0OL2：TOQ02端子出力のアクティブ・レベル指定　0：ハイ・アクティブ　1：ロウ・アクティブ
- TQ0OE3：0：TOQ03端子出力禁止　1：TOQ03端子出力許可
- TQ0OL3：TOQ03端子出力のアクティブ・レベル指定　0：ハイ・アクティブ　1：ロウ・アクティブ

・TQ0OLkビット＝0の場合



・TQ0OLkビット＝1の場合



（d）TMQ0I/O制御レジスタ2（TQ0IOC2）

					TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0
TQ0IOC2	0	0	0	0	0/1	0/1	0/1	0/1

- TQ0ETS1，TQ0ETS0：外部トリガ入力有効エッジの選択
- TQ0EES1，TQ0EES0：外部イベント・カウント入力有効エッジの選択

（e）TMQ0カウンタ・リード・バッファ・レジスタ（TQ0CNT）

TQ0CNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

注　ワンショット・パルス出力モードでTOQ00端子を使用しない場合は，“0”に設定してください。

図8－22　ワンショット・パルス出力モード動作時のレジスタ設定内容（3/3）

（f）TMQ0キャプチャ／コンペア・レジスタ0-3（TQ0CCR0-TQ0CCR3）

TQ0CCR0レジスタにD_0を設定し，TQ0CCRkレジスタにD_kを設定した場合，

ワンショット・パルスのアクティブ・レベル幅 = （D_k－D_0＋1）×カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = （D_k）×カウント・クロック周期

となります。

備考1.　TMQ0I/O制御レジスタ1（TQ0IOC1），TMQ0オプション・レジスタ0（TQ0OPT0）は，ワンショット・パルス出力モードでは使用しません。

2.　k = 1-3

（1）ワンショット・パルス出力モード動作フロー

図8－23　ワンショット・パルス出力モード使用時のソフトウエア処理フロー（1/2）

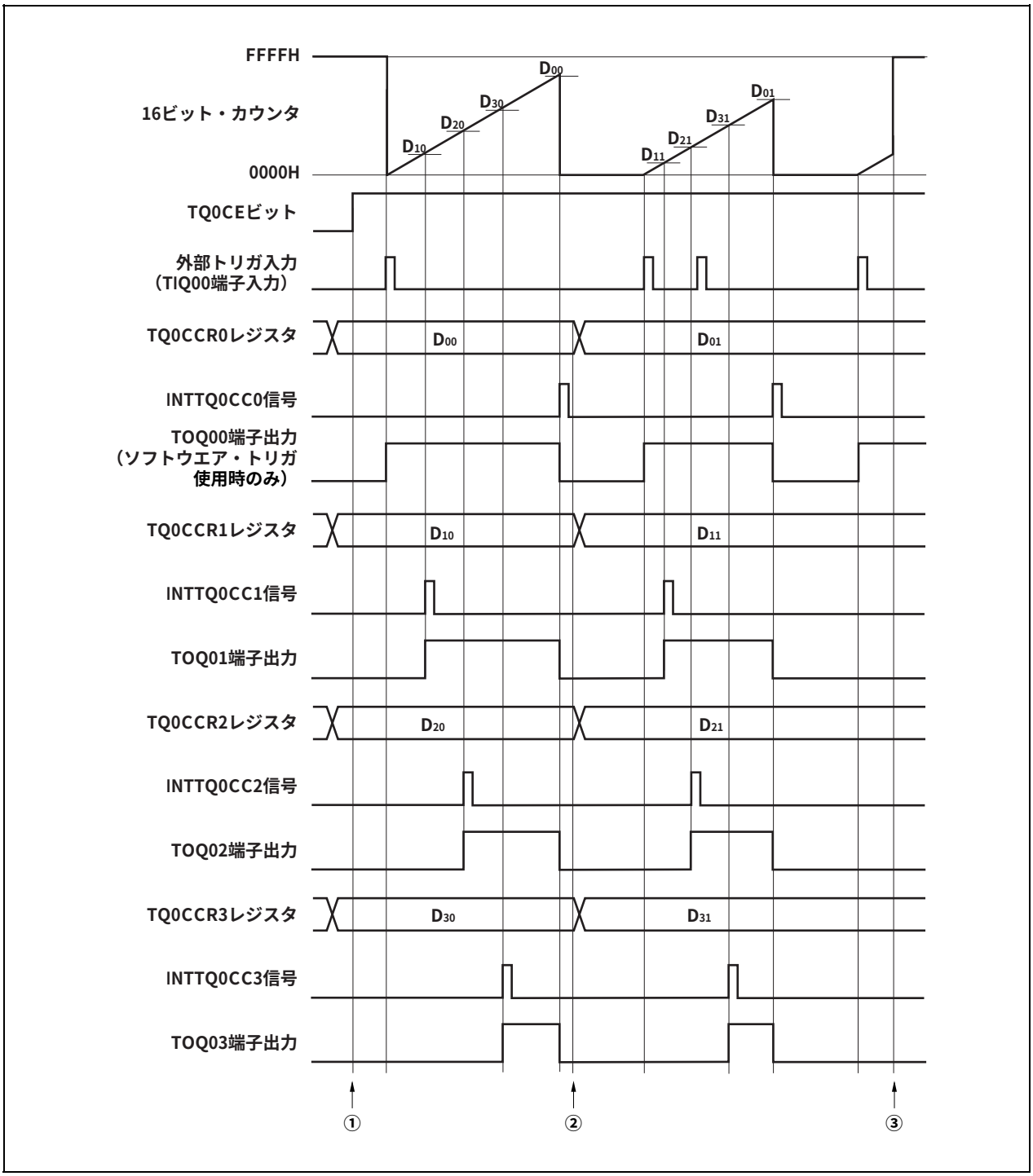
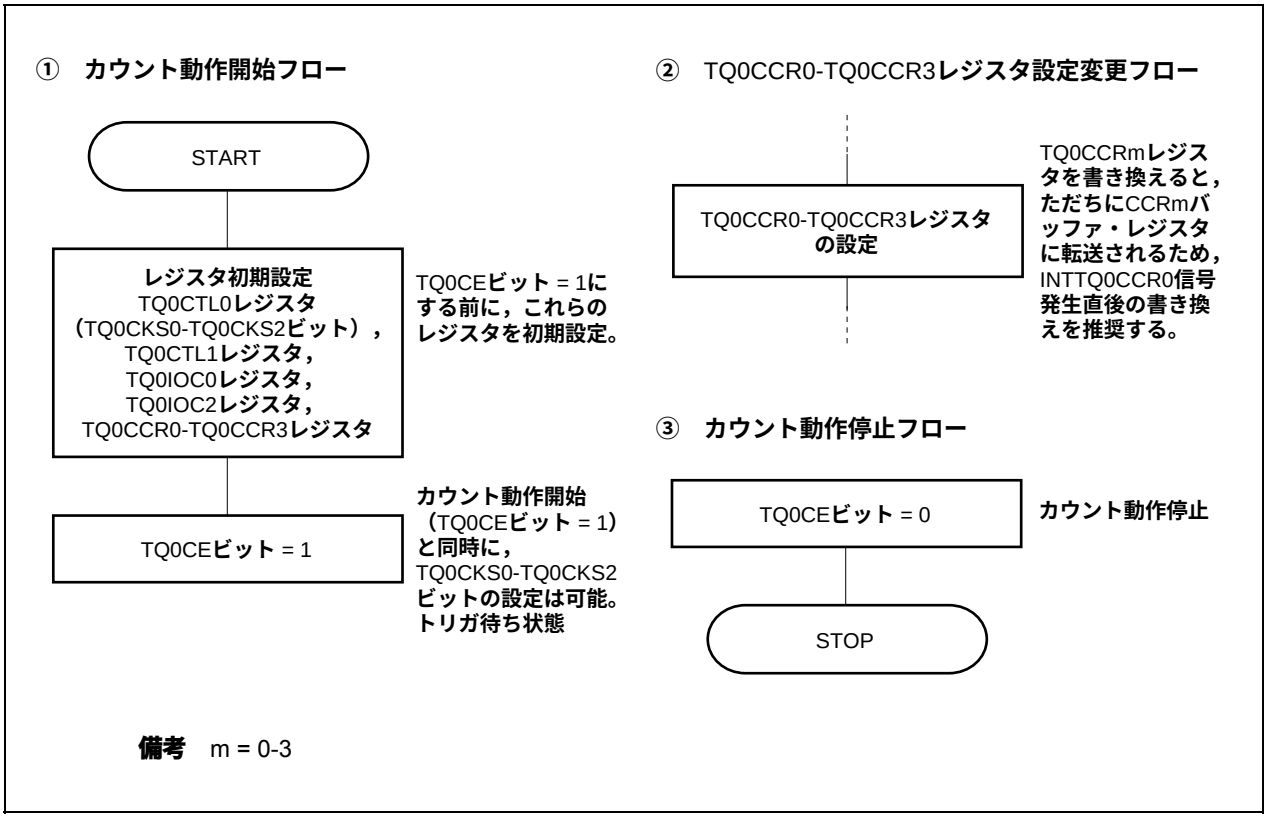


図8－23　ワンショット・パルス出力モード使用時のソフトウエア処理フロー（2/2）



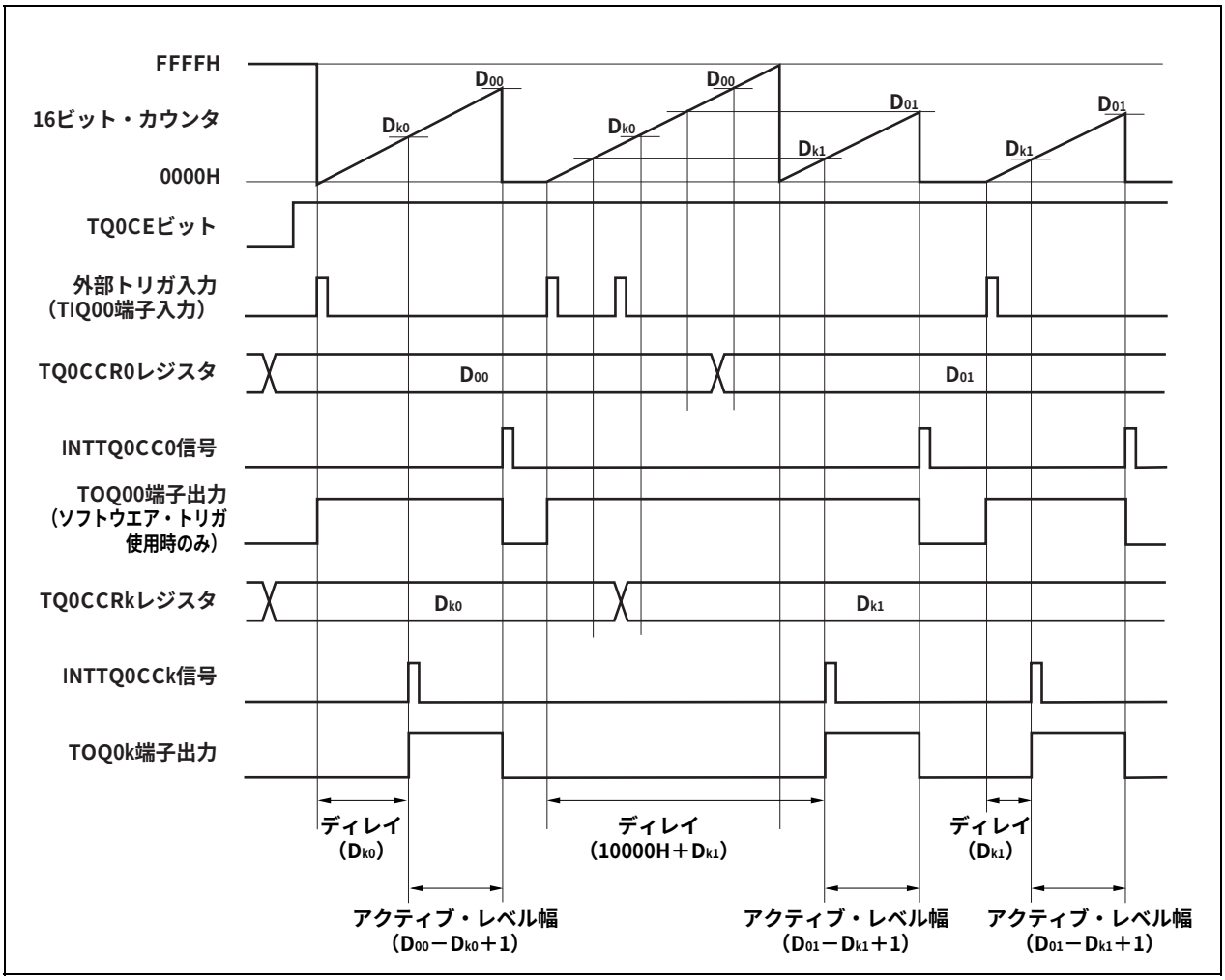
備考　m = 0-3

(2) ワンショット・パルス出力モード動作タイミング

(a) TQ0CCRmレジスタの書き換えに関する注意事項

TQ0CCRmレジスタの設定値を小さい値に変更する場合には，一度カウント動作を停止させ，その後，設定値を変更してください。

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると，16ビット・カウンタがオーバフローする場合があるので注意してください。



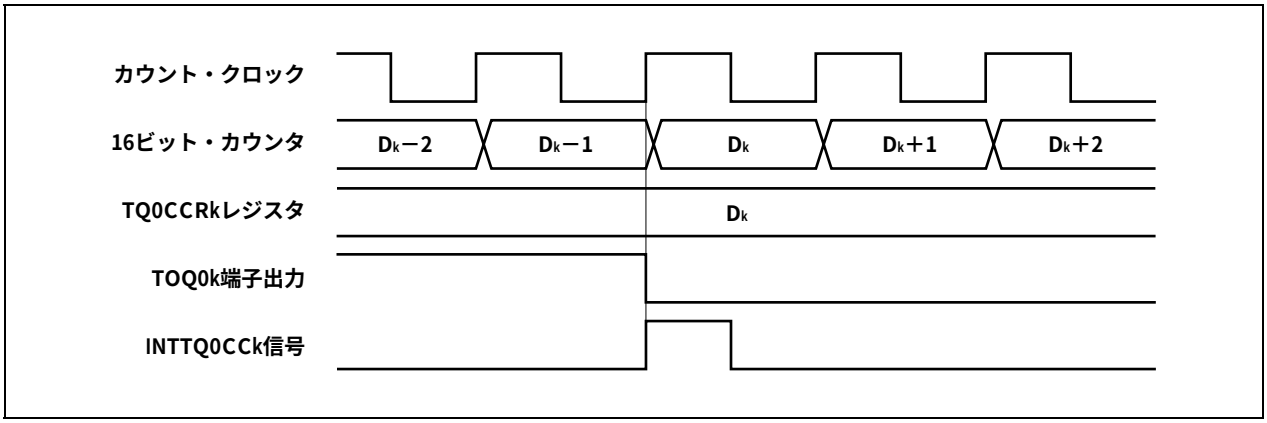
TQ0CCR0レジスタをD_{00}からD_{01}に，TQ0CCRkレジスタをD_{k0}からD_{k1}に書き換える場合において，$D_{00}>D_{01}$, $D_{k0}>D_{k1}$の状態で，16ビット・カウンタのカウント値がD_{k1}よりも大きくD_{k0}よりも小さい状態のときTQ0CCRkレジスタを書き換え，カウント値がD_{01}よりも大きくD_{00}よりも小さい状態でTQ0CCR0レジスタを書き換えた場合，書き換えたタイミングで，それぞれの設定値は反映されてカウント値と比較されるために，カウント値はFFFFHまでカウント動作を行い，その後，0000Hから再度カウント・アップを行います。そして，D_{k1}との一致でINTTQ0CCk信号を発生してTOQ0k端子出力をアクティブ・レベルにし，D_{01}との一致でINTTQ0CC0信号を発生してTOQ0k端子出力をインアクティブにしてカウント動作を停止します。

したがって，本来期待しているワンショット・パルス出力に対し，ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考　k = 1-3

(b) コンペア一致割り込み要求信号（INTTQ0CCk）の発生タイミング

ワンショット・パルス出力モードにおけるINTTQ0CCk信号の発生タイミングは，ほかのINTTQ0CCk信号と異なり，16ビット・カウンタのカウント値とTQ0CCRkレジスタの値との一致と同時に発生します。



通常，INTTQ0CCk信号は，16ビット・カウンタのカウント値とTQ0CCRkレジスタの値との一致後，次のカウント・アップに同期して発生します。

しかし，ワンショット・パルス出力モードの場合，1クロック早いタイミングで発生します。これは，TOQ0k端子出力の変化タイミングとあわせるために，タイミングを変更しているからです。

備考　k = 1-3

8. 5. 5　PWM出力モード（TQ0MD2-TQ0MD0ビット = 100）

PWM出力モードは，TQ0CTL0.TQ0CEビットをセット（1）することで，TOQ01-TOQ03端子からPWM波形を出力します。

また，TOQ00端子から，PWM波形の1周期を半周期とするパルスを出力します。

図8－24　PWM出力モードの構成図

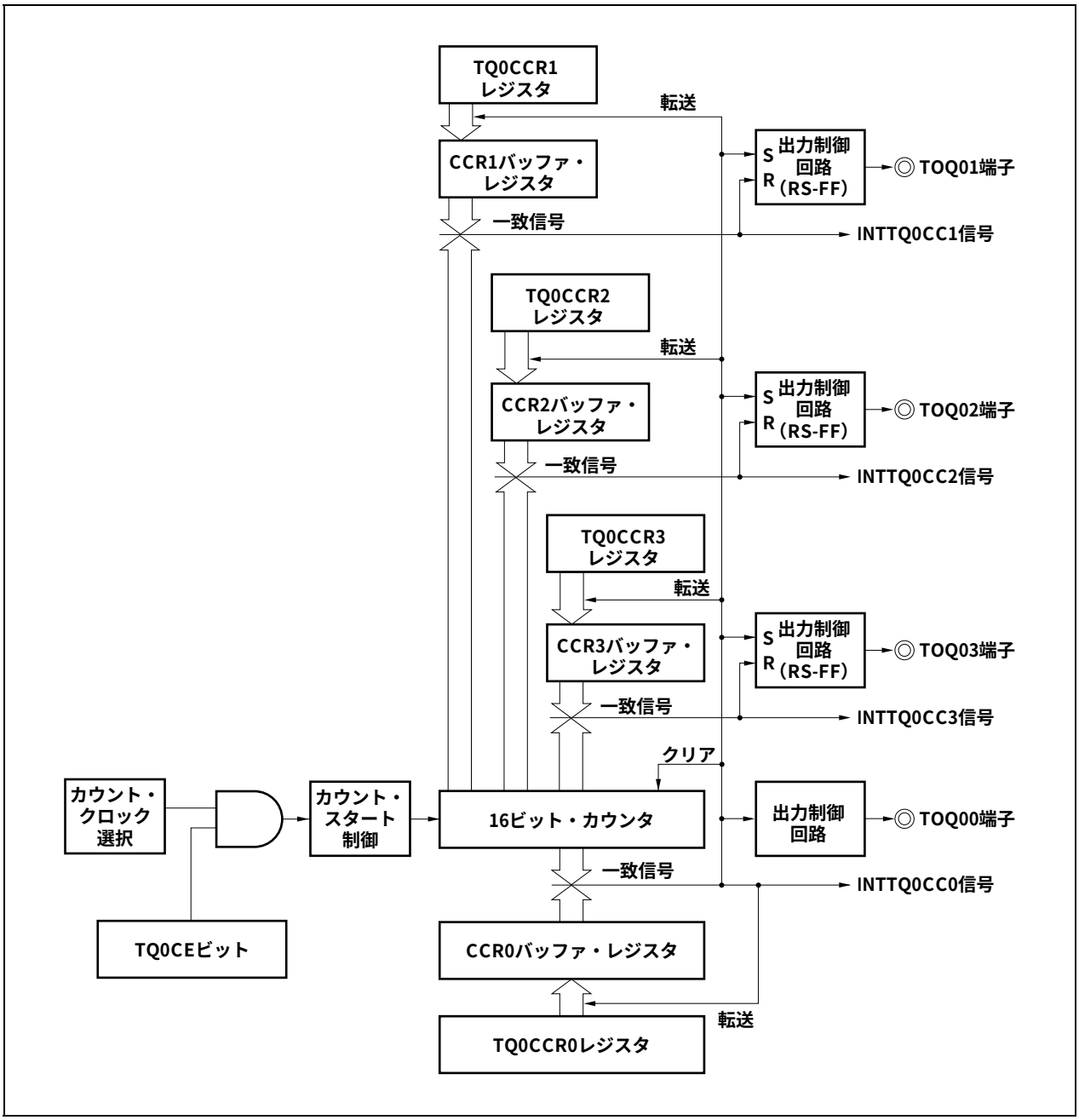
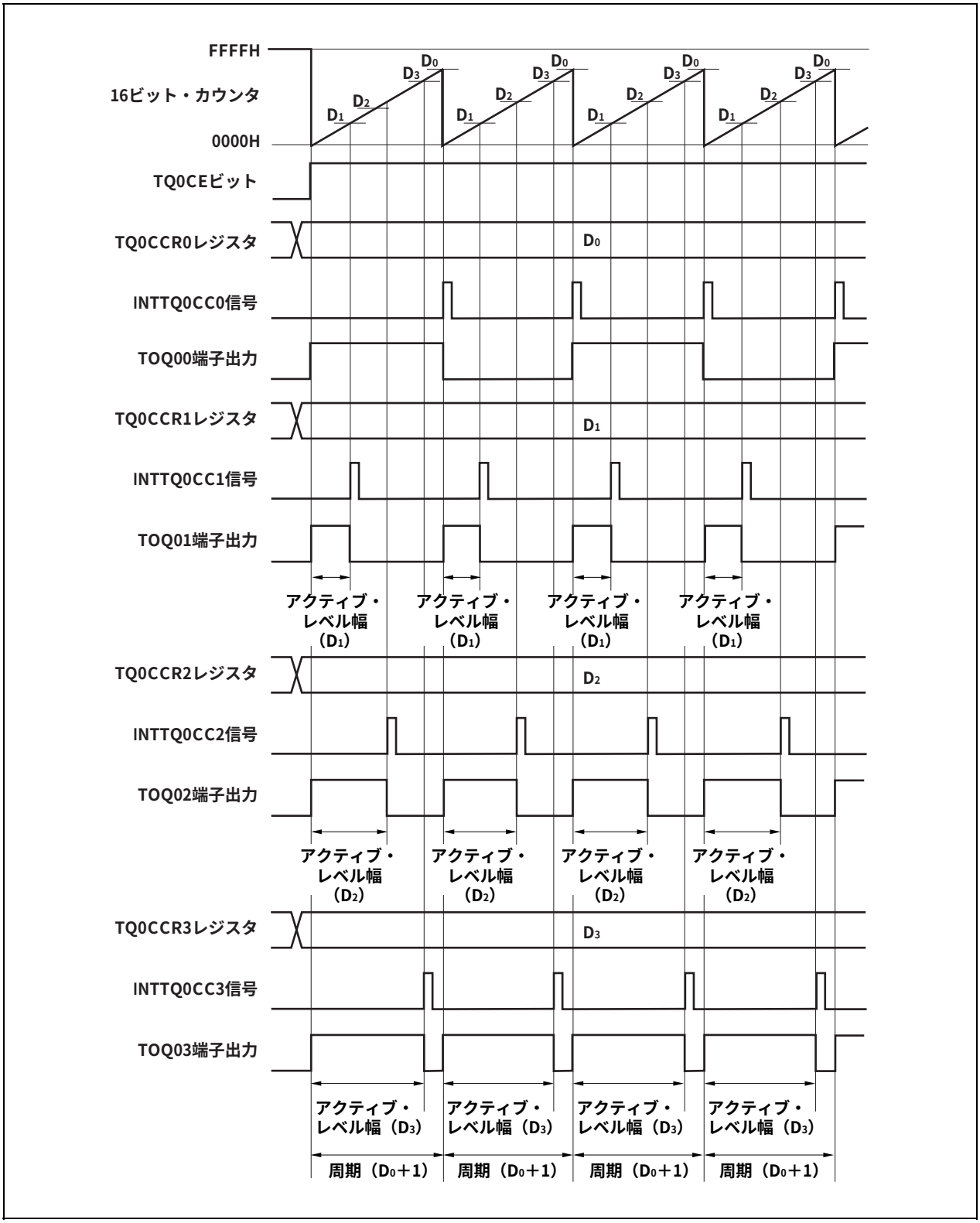


図8－25　PWM出力モードの基本タイミング



TQ0CEビットをセット（1）することで，16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し，TOQ0k端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅，周期，およびデューティは次のように求められます。

アクティブ・レベル幅 = （TQ0CCRkレジスタの設定値）×カウント・クロック周期

周期 = （TQ0CCR0レジスタの設定値＋1）×カウント・クロック周期

デューティ = （TQ0CCRkレジスタの設定値）／（TQ0CCR0レジスタの設定値＋1）

動作中にTQ0CCRmレジスタを書き換えることにより，PWM波形を変更できます。書き換えた値は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し，16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペア一致割り込み要求信号（INTTQ0CC0）は，16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し，同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号（INTTQ0CCk）は，16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

備考　k = 1-3

m = 0-3

図8－26　PWM出力モード動作時のレジスタ設定内容（1/3）

（a）TMQ0制御レジスタ0（TQ0CTL0）

	TQ0CE					TQ0CKS2	TQ0CKS1	TQ0CKS0
TQ0CTL0	0/1	0	0	0	0	0/1	0/1	0/1

カウント・クロックの選択注

0：カウント動作停止
1：カウント動作許可

（b）TMQ0制御レジスタ1（TQ0CTL1）

		TQ0EST	TQ0EEE			TQ0MD2	TQ0MD1	TQ0MD0
TQ0CTL1	0	0	0/1	0	0	1	0	0

1, 0, 0：
PWM出力モード

0：TQ0CKS0-TQ0CKS2ビットで選択したカウント・クロックで動作
1：外部イベント・カウント入力信号でカウント動作

注　TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

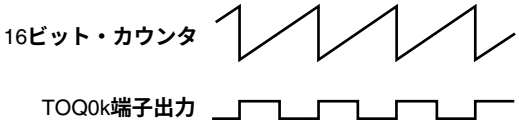
図8－26　PWM出力モード動作時のレジスタ設定内容（2/3）

（c）TMQ0I/O制御レジスタ0（TQ0IOC0）

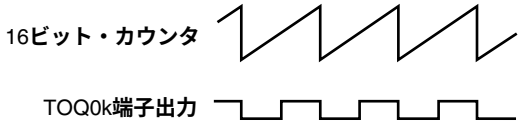
	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0
TQ0IOC0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1注

- TQ0OE0：0：TOQ00端子出力禁止　1：TOQ00端子出力許可
- TQ0OL0：TOQ00端子の動作禁止状態での出力レベルの設定　0：ロウ・レベル　1：ハイ・レベル
- TQ0OE1：0：TOQ01端子出力禁止　1：TOQ01端子出力許可
- TQ0OL1：TOQ01端子出力のアクティブ・レベル指定　0：ハイ・アクティブ　1：ロウ・アクティブ
- TQ0OE2：0：TOQ02端子出力禁止　1：TOQ02端子出力許可
- TQ0OL2：TOQ02端子出力のアクティブ・レベル指定　0：ハイ・アクティブ　1：ロウ・アクティブ
- TQ0OE3：0：TOQ03端子出力禁止　1：TOQ03端子出力許可
- TQ0OL3：TOQ03端子出力のアクティブ・レベル指定　0：ハイ・アクティブ　1：ロウ・アクティブ

・TQ0OLkビット = 0の場合



・TQ0OLkビット = 1の場合



（d）TMQ0I/O制御レジスタ2（TQ0IOC2）

					TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0
TQ0IOC2	0	0	0	0	0/1	0/1	0	0

- TQ0EES1, TQ0EES0：外部イベント・カウント入力有効エッジの選択

（e）TMQ0カウンタ・リード・バッファ・レジスタ（TQ0CNT）

TQ0CNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

注　PWM出力モードでTOQ00端子を使用しない場合は，“0”に設定してください。

図8－26　PWM出力モード動作時のレジスタ設定内容（3/3）

（f）TMQ0キャプチャ／コンペア・レジスタ0-3（TQ0CCR0-TQ0CCR3）

TQ0CCR0レジスタにD_0を設定し，TQ0CCRkレジスタにD_kを設定した場合，

PWM波形の周期 = （D_0＋1）×カウント・クロック周期

PWM波形のアクティブ・レベル幅 = D_k×カウント・クロック周期

となります。

備考1.　TMQ0I/O制御レジスタ1（TQ0IOC1），TMQ0オプション・レジスタ0（TQ0OPT0）は，PWM出力モードでは使用しません。

2.　TMQ0キャプチャ／コンペア・レジスタ2（TQ0CCR2），TMQ0キャプチャ／コンペア・レジスタ3（TQ0CCR3）の更新は，TMQ0キャプチャ／コンペア・レジスタ1（TQ0CCR1）への書き込みにより有効になります。

（1）PWM出力モード動作フロー

図8－27　PWM出力モード使用時のソフトウエア処理フロー（1/2）

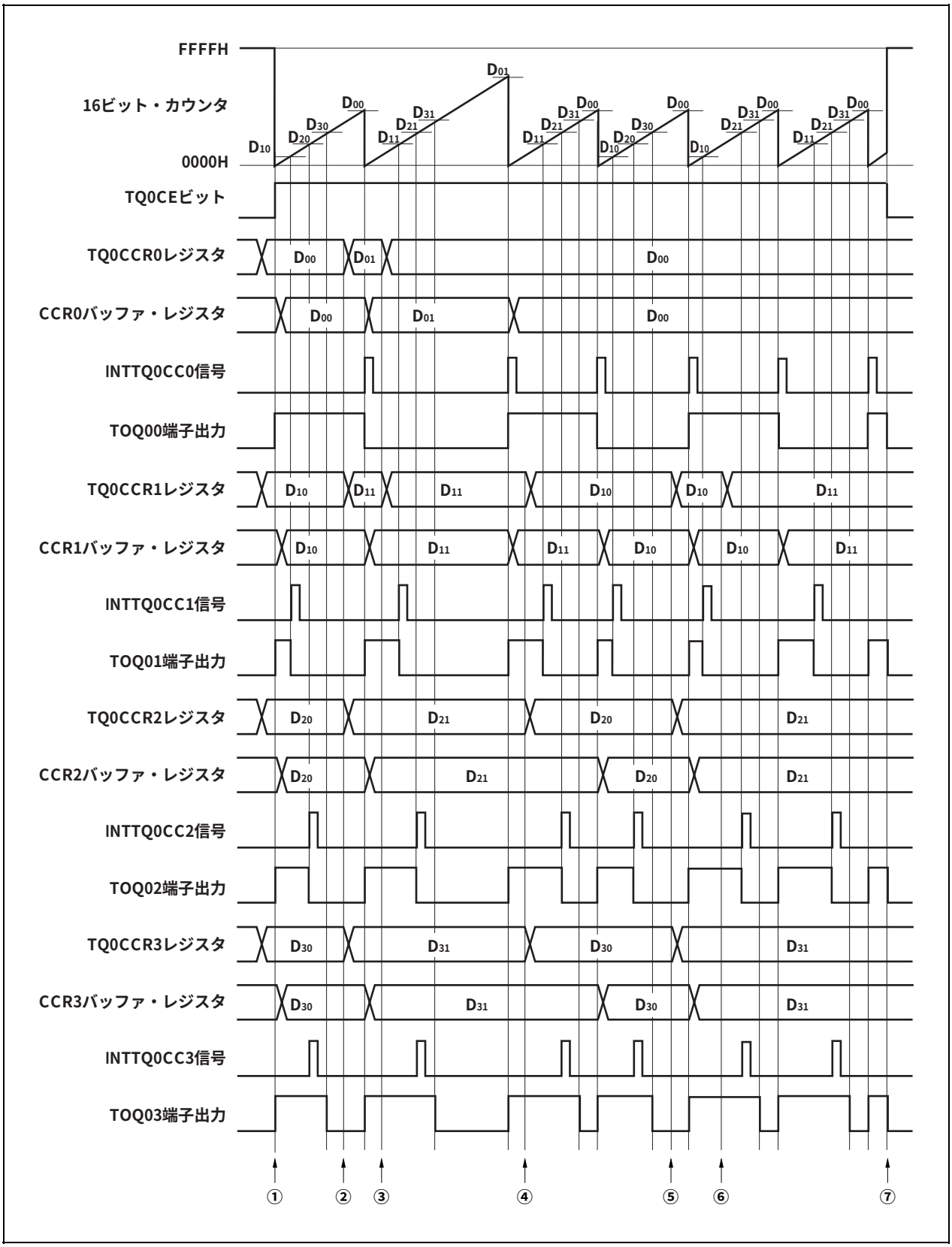
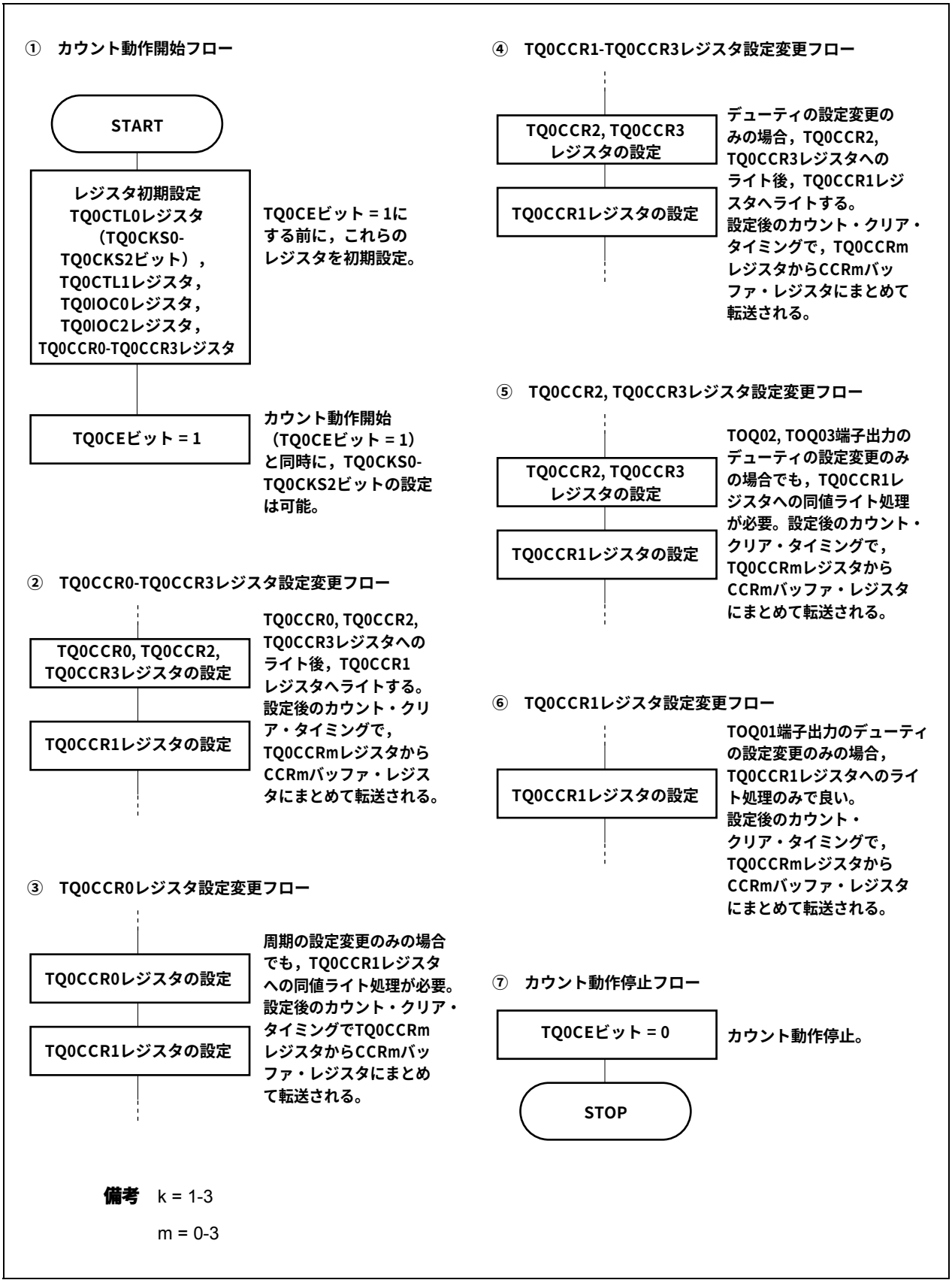


図8－27　PWM出力モード使用時のソフトウエア処理フロー（2/2）



備考　k = 1-3

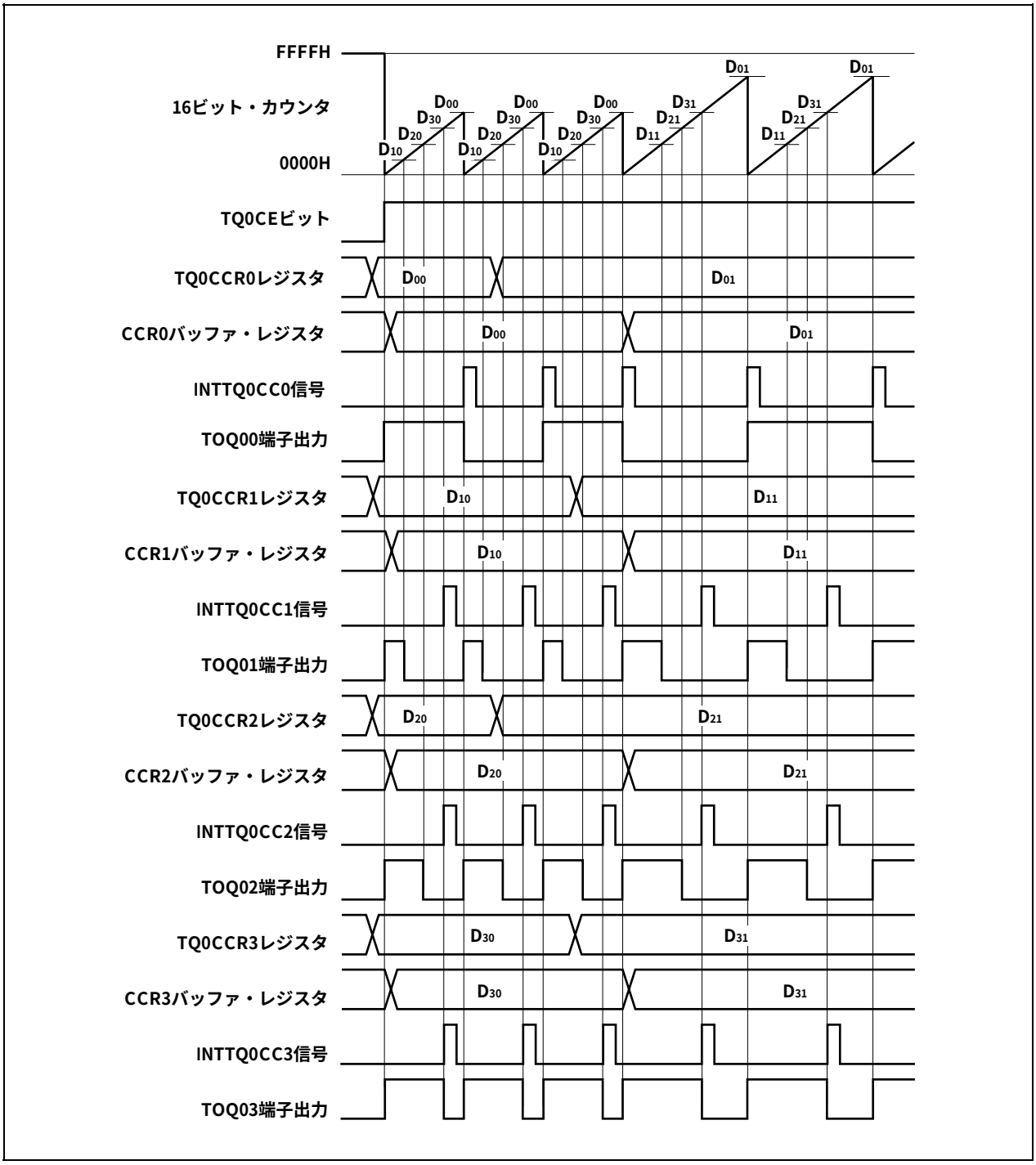
m = 0-3

(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には，最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後，再度TQ0CCRkレジスタの書き換えを行う場合には，INTTQ0CC1信号を検出後に書き換えてください。



TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには，TQ0CCR1レジスタに対してライトする必要があります。

このとき，PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には，まずTQ0CCR0レジスタに周期を，TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し，最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には，まずTQ0CCR0レジスタに周期を設定し，そのあとでTQ0CCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には，まず，TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し，最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は，TQ0CCR1レジスタのみの設定でかまいません。

TOQ02，TOQ03端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は，まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し，そのあとでTQ0CCR1レジスタに同値をライトしてください。

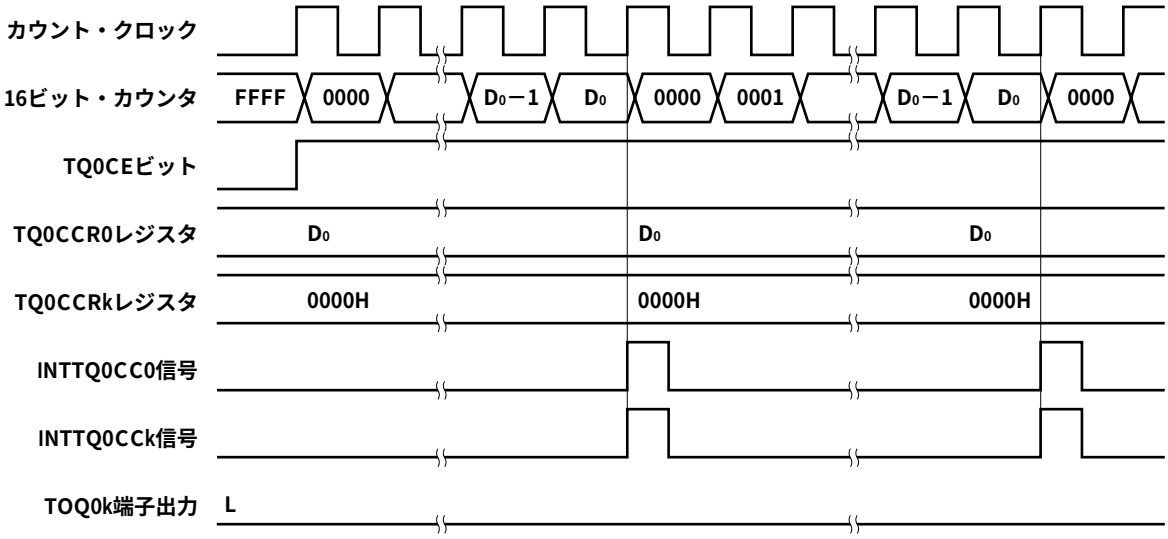
TQ0CCR1レジスタにライトしたあと，16ビット・カウンタのクリア・タイミングに同期して，TQ0CCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され，16ビット・カウンタとのコンペア値となります。

また，一度TQ0CCR1レジスタにライトしたあとで，再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は， INTTQ0CC0信号の発生後に行ってください。これを守れない場合には，TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと，TQ0CCRmレジスタの書き換えの競合により，CCRmバッファ・レジスタの値が不定値になる場合があります。

備考　m = 0-3

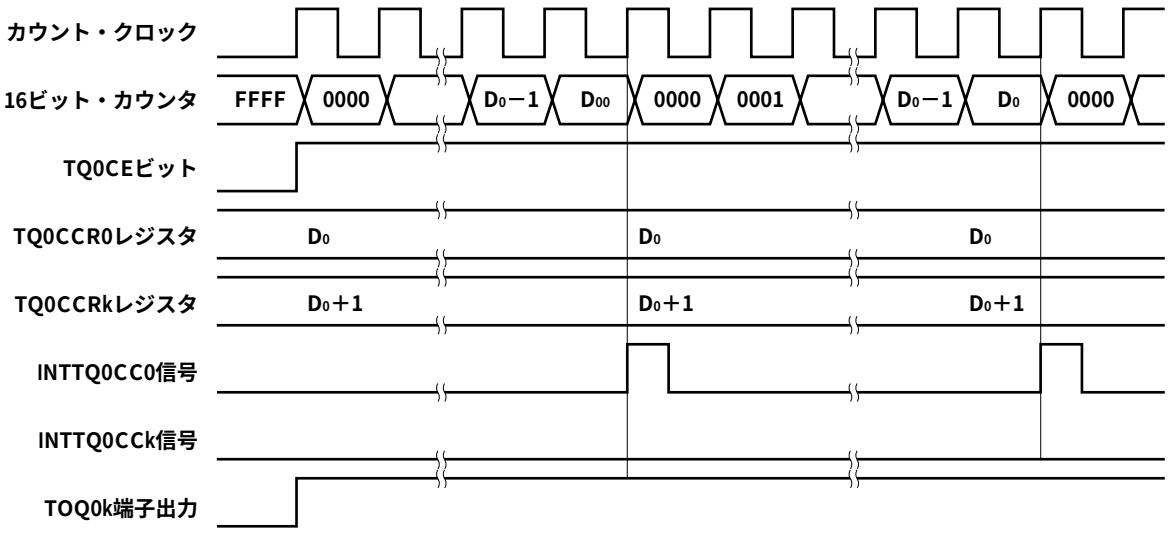
（b）PWM波形の0 %／100 %出力

0 %波形を出力するためには，TQ0CCRkレジスタに対して0000Hを設定します。ただし，TQ0CCR0レジスタの設定値がFFFFHの場合には，INTTQ0CCk信号が定期的に発生します。



備考　k = 1-3

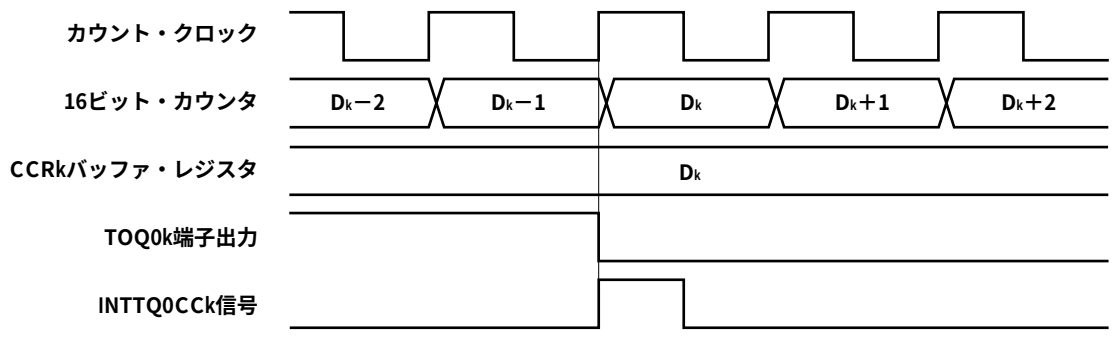
100 %波形を出力するためには，TQ0CCRkレジスタに対して（TQ0CCR0レジスタの設定値＋1）の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には，100 %出力はできません。



備考　k = 1-3

（c）コンペア一致割り込み要求信号（INTTQ0CCk）の発生タイミング

PWM出力モードにおけるINTTQ0CCk信号の発生タイミングは，ほかのINTTQ0CCk信号と異なり，16ビット・カウンタのカウント値とTQ0CCRkレジスタの値との一致と同時に発生します。



備考　k = 1-3

通常，INTTQ0CCk信号は，16ビット・カウンタのカウント値とTQ0CCRkレジスタの値との一致後，次のカウント・アップに同期して発生します。

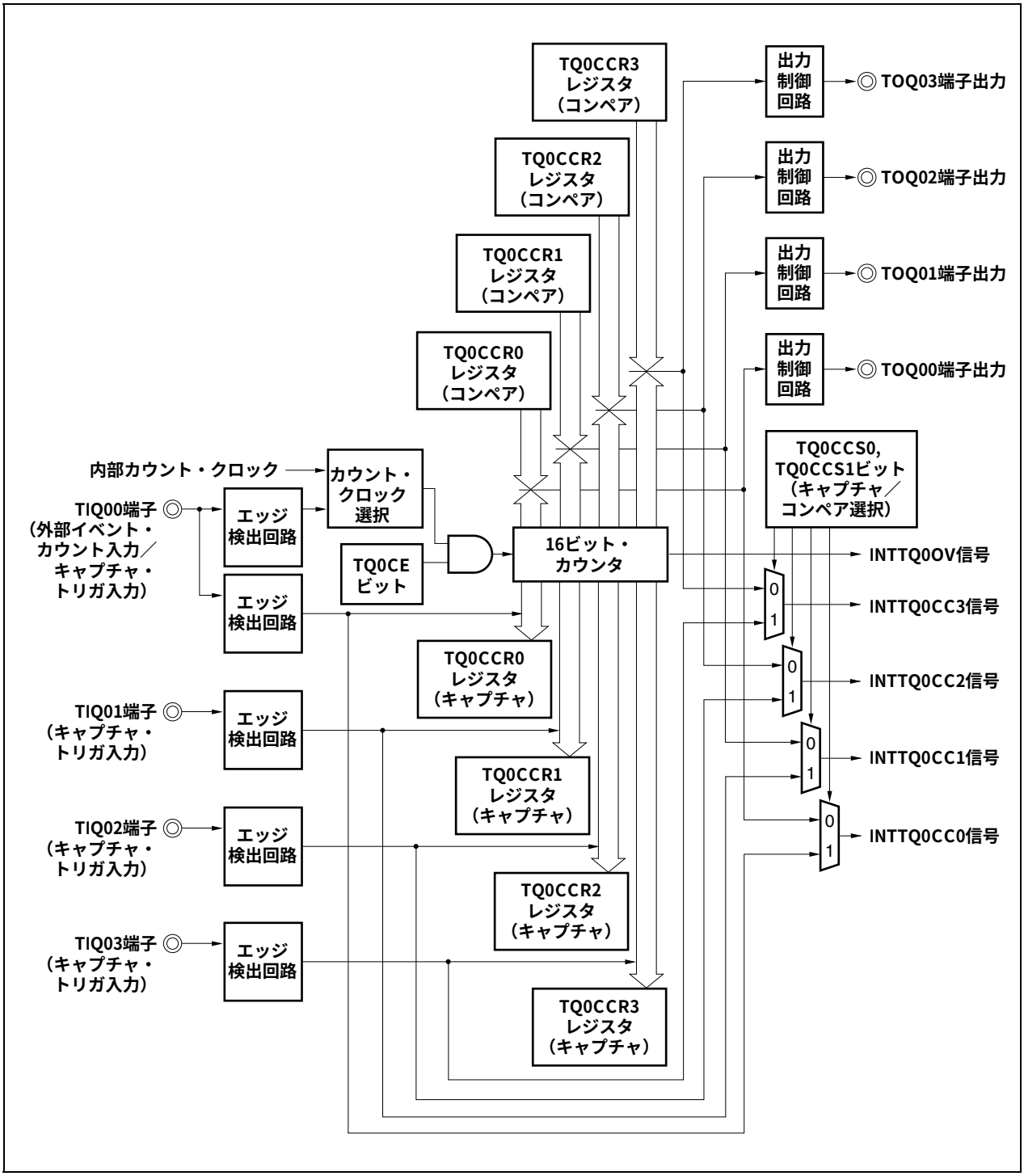
しかし，PWM出力モードの場合，1クロック早いタイミングで発生します。これは，TOQ0k端子出力の変化タイミングとあわせるために，タイミングを変更しているからです。

8. 5. 6　フリー・ランニング・タイマ・モード（TQ0MD2-TQ0MD0ビット = 101）

フリー・ランニング・タイマ・モードは，TQ0CTL0.TQ0CEビットをセット（1）することでカウント動作を開始します。このときのTQ0CCRmレジスタの動作は，TQ0OPT0.TQ0CCS0，TQ0CCS1ビットの設定により，コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

備考　m = 0-3

図8－28　フリー・ランニング・タイマ・モードの構成図

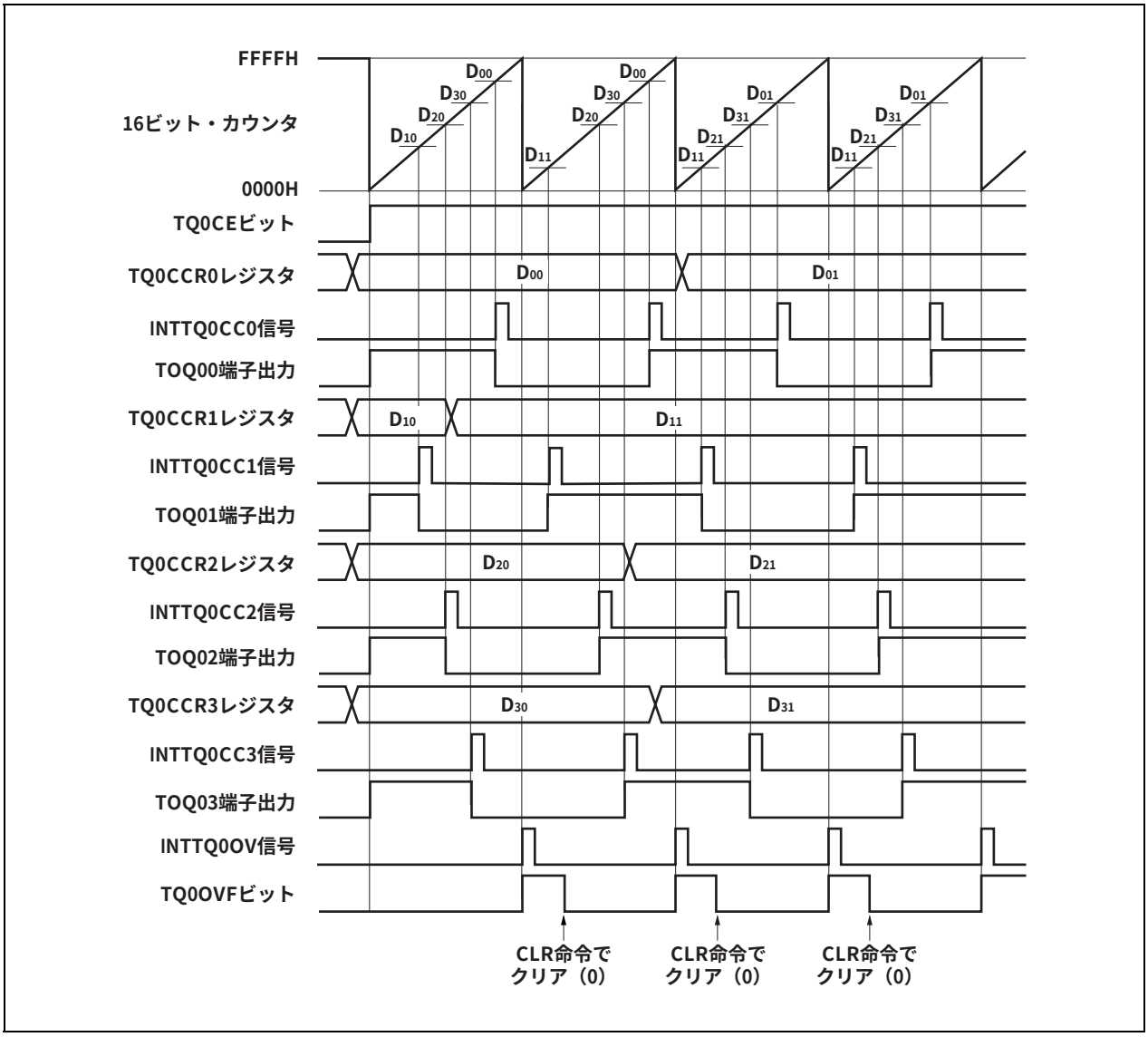


TQ0CEビットをセット（1）することで，カウント動作を開始し，TOQ00-TOQ03端子出力を反転します。その後，16ビット・カウンタのカウント値とTQ0CCRmレジスタの設定値が一致すると，コンペア一致割り込み要求信号（INTTQ0CCm）を発生し，TOQ0m端子出力を反転します。

16ビット・カウンタは，カウント・クロックに同期してカウント動作を続け，FFFFHまでカウントすると，次のクロックでオーバフロー割り込み要求信号（INTTQ0OV）を発生するとともに，0000Hにクリアしカウント動作を継続します。また，このときオーバフロー・フラグ（TQ0OPT0.TQ0OVFビット）もセット（1）されます。オーバフロー・フラグは，ソフトウエアでCLR命令を実行してクリア（0）してください。

TQ0CCRmレジスタは，カウント動作中の書き換えを許可しています。書き換えた場合，随時書き換えた値が反映され，カウント値と比較されます。

図8－29　フリー・ランニング・タイマ・モードの基本タイミング（コンペア機能）



TQ0CEビットをセット（1）することで，カウント動作を開始します。その後，TIQ0m端子入力の有効エッジを検出することにより，16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し，キャプチャ割り込み要求信号（INTTQ0CCm）を発生します。

16ビット・カウンタは，カウント・クロックに同期してカウント動作を続け，FFFFHまでカウントすると，次のクロックでオーバフロー割り込み要求信号（INTTQ0OV）を発生するとともに，0000Hにクリアしカウント動作を継続します。また，このときオーバフロー・フラグ（TQ0OVFビット）もセット（1）されます。オーバフロー・フラグは，ソフトウエアでCLR命令を実行してクリア（0）してください。

図8－30　フリー・ランニング・タイマ・モードの基本タイミング（キャプチャ機能）

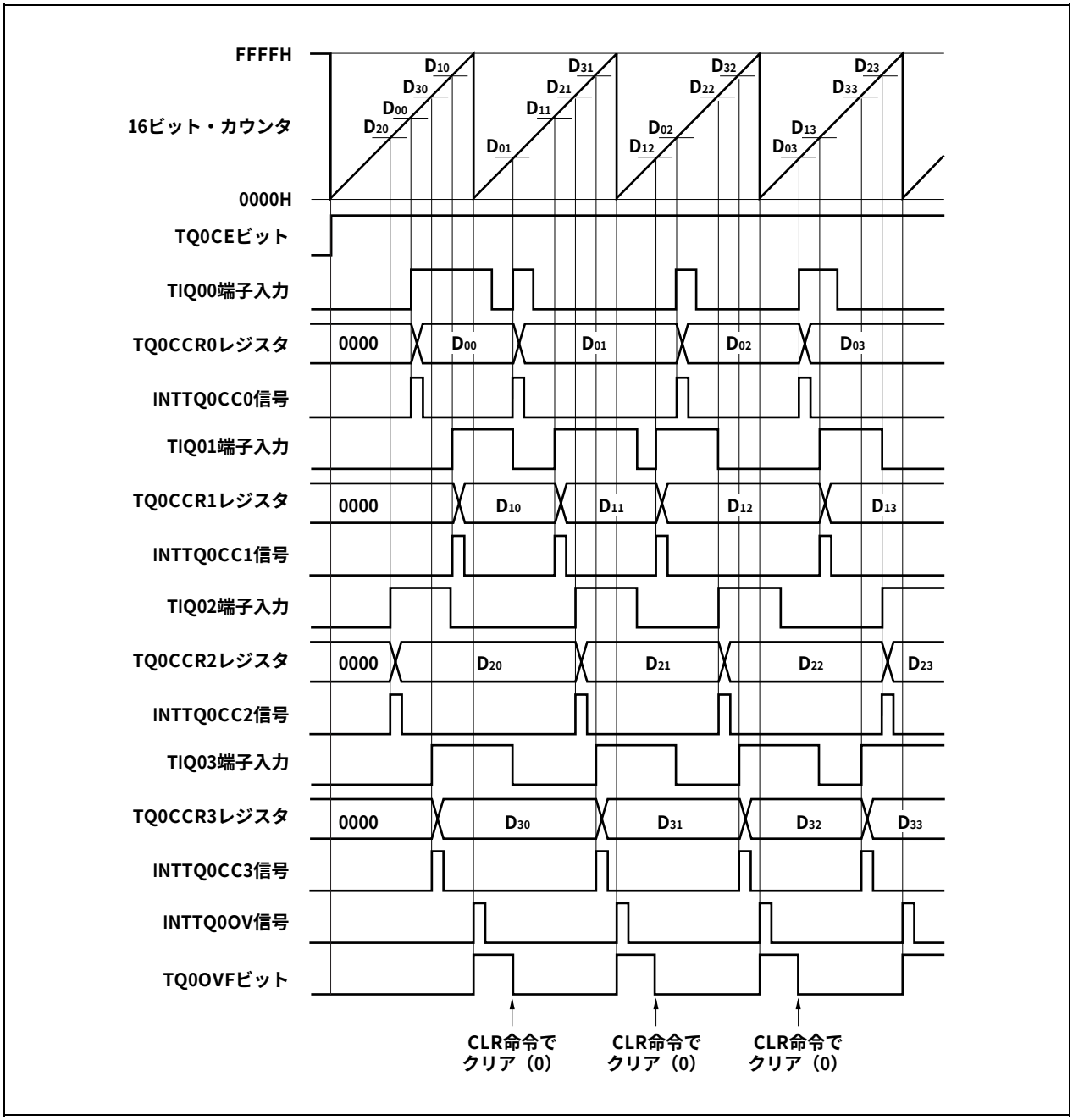


図8－31　フリー・ランニング・タイマ・モード動作時のレジスタ設定内容（1/3）

（a）TMQ0制御レジスタ0（TQ0CTL0）

	TQ0CE					TQ0CKS2	TQ0CKS1	TQ0CKS0
TQ0CTL0	0/1	0	0	0	0	0/1	0/1	0/1

カウント・クロックの選択注

0：カウント動作停止
1：カウント動作許可

注　TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

（b）TMQ0制御レジスタ1（TQ0CTL1）

		TQ0EST	TQ0EEE			TQ0MD2	TQ0MD1	TQ0MD0
TQ0CTL1	0	0	0/1	0	0	1	0	1

1, 0, 1：
フリー・ランニング・モード

0：TQ0CKS0-TQ0CKS2ビットで選択したカウント・クロックで動作
1：外部イベント・カウント入力信号でカウント動作

（c）TMQ0I/O制御レジスタ0（TQ0IOC0）

	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0
TQ0IOC0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1

0：TOQ00端子出力禁止
1：TOQ00端子出力許可

TOQ00端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

0：TOQ01端子出力禁止
1：TOQ01端子出力許可

TOQ01端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

0：TOQ02端子出力禁止
1：TOQ02端子出力許可

TOQ02端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

0：TOQ03端子出力禁止
1：TOQ03端子出力許可

TOQ03端子の動作禁止状態での出力レベルの設定
0：ロウ・レベル
1：ハイ・レベル

図8－31　フリー・ランニング・タイマ・モード動作時のレジスタ設定内容（2/3）

（d）TMQ0I/O制御レジスタ1（TQ0IOC1）

	TQ0IS7	TQ0IS6	TQ0IS5	TQ0IS4	TQ0IS3	TQ0IS2	TQ0IS1	TQ0IS0
TQ0IOC1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1

- TQ0IS0：TIQ00端子入力有効エッジの選択
- TQ0IS1：TIQ01端子入力有効エッジの選択
- TQ0IS2：TIQ02端子入力有効エッジの選択
- TQ0IS3：TIQ03端子入力有効エッジの選択

（e）TMQ0I/O制御レジスタ2（TQ0IOC2）

					TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0
TQ0IOC2	0	0	0	0	0/1	0/1	0	0

- TQ0EES1，TQ0EES0：外部イベント・カウント入力有効エッジの選択

（f）TMQ0オプション・レジスタ0（TQ0OPT0）

	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0				TQ0OVF
TQ0OPT0	0/1	0/1	0/1	0/1	0	0	0	0/1

- TQ0OVF：オーバフロー・フラグ
- TQ0CCS0：TQ0CCR0レジスタのキャプチャ／コンペア選択ビット
- TQ0CCS1：TQ0CCR1レジスタのキャプチャ／コンペア選択ビット
- TQ0CCS2：TQ0CCR2レジスタのキャプチャ／コンペア選択ビット
- TQ0CCS3：TQ0CCR3レジスタのキャプチャ／コンペア選択ビット

（g）TMQ0カウンタ・リード・バッファ・レジスタ（TQ0CNT）

TQ0CNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

図8－31　フリー・ランニング・タイマ・モード動作時のレジスタ設定内容（3/3）

（h）TMQ0キャプチャ／コンペア・レジスタ0-3（TQ0CCR0-TQ0CCR3）

TQ0OPT0.TQ0CCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には，TIQ0m端子入力の有効エッジ検出により，16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には，TQ0CCRmレジスタにD_mを設定した場合，カウンタが（D_m＋1）になるタイミングでINTTQ0CCm信号を発生し，TOQ0m端子出力を反転します。

備考　m = 0-3

（1）フリー・ランニング・タイマ・モード動作フロー

（a）キャプチャ／コンペア・レジスタをコンペア・レジスタとして使用した場合

図8－32　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（コンペア機能）（1/2）

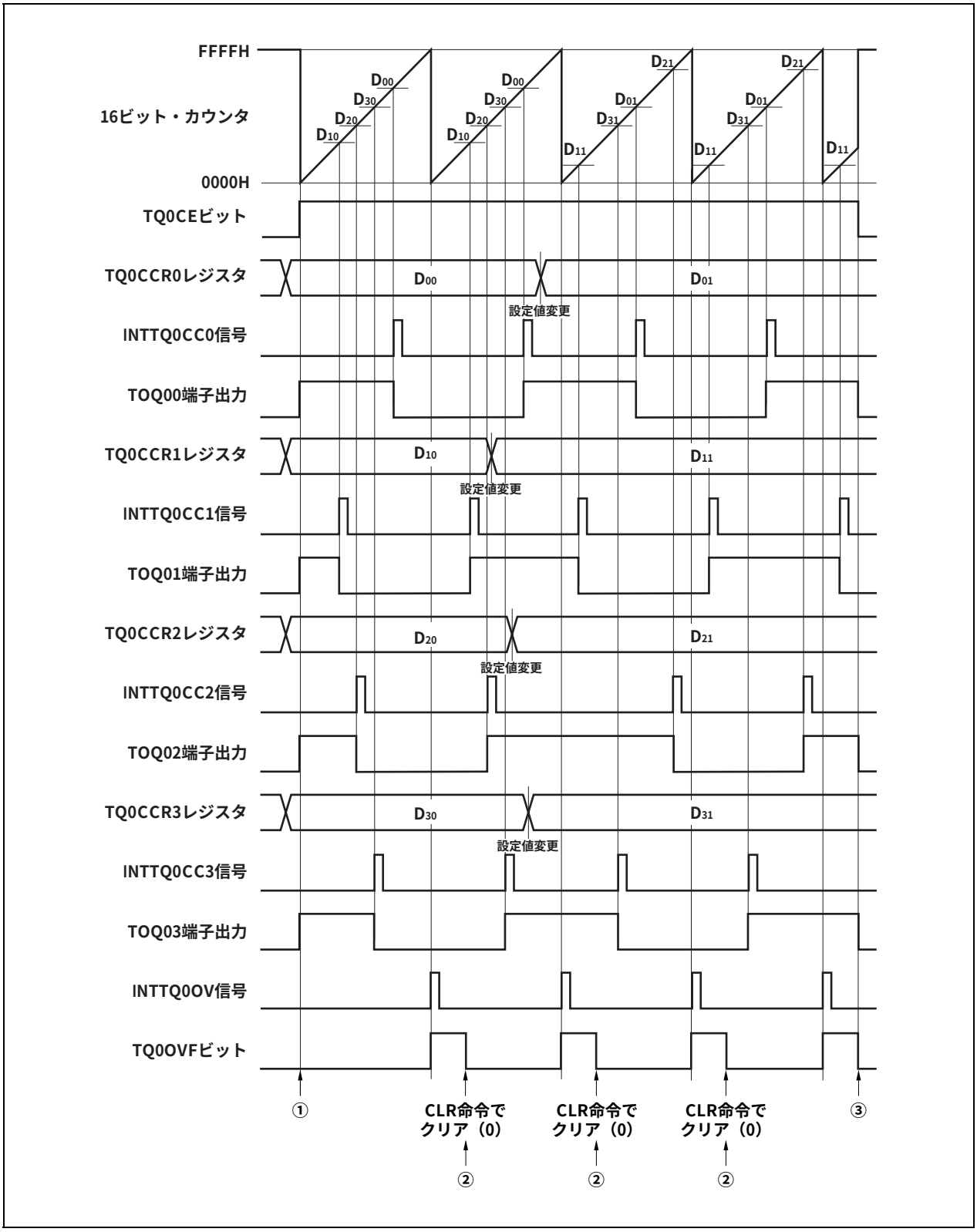
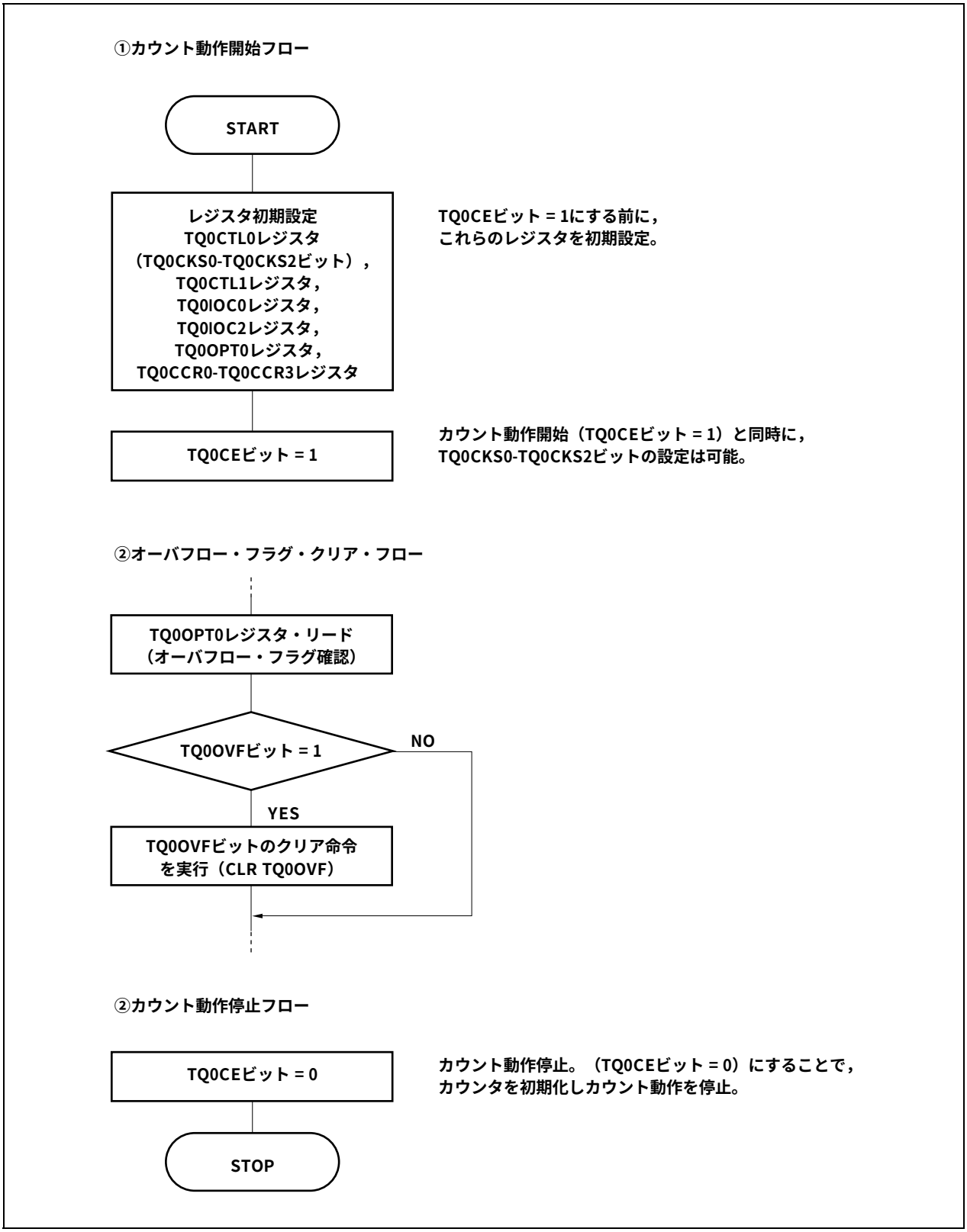


図8－32　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（コンペア機能）（2/2）



（b）キャプチャ／コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図8－33　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（キャプチャ機能）（1/2）

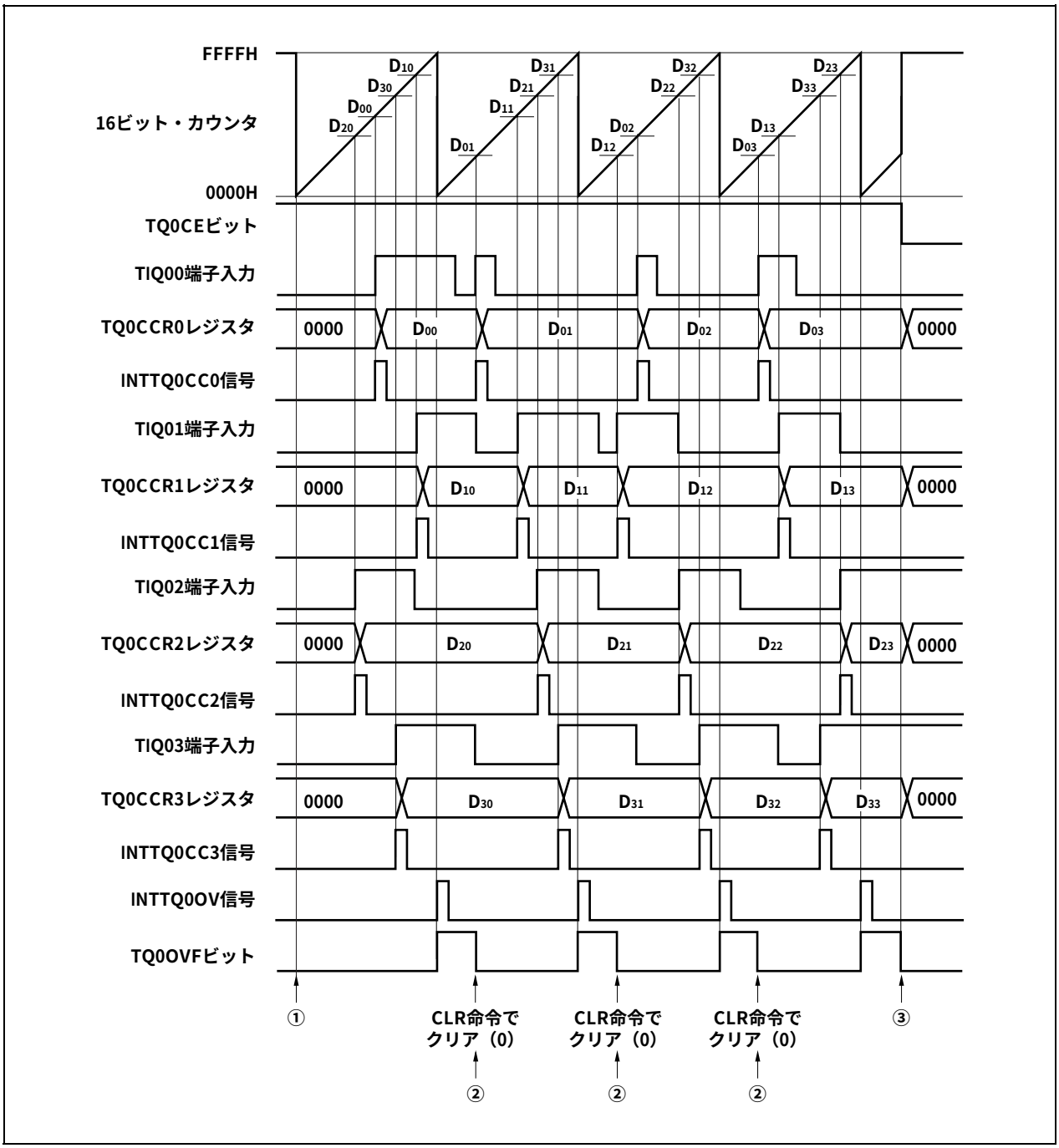
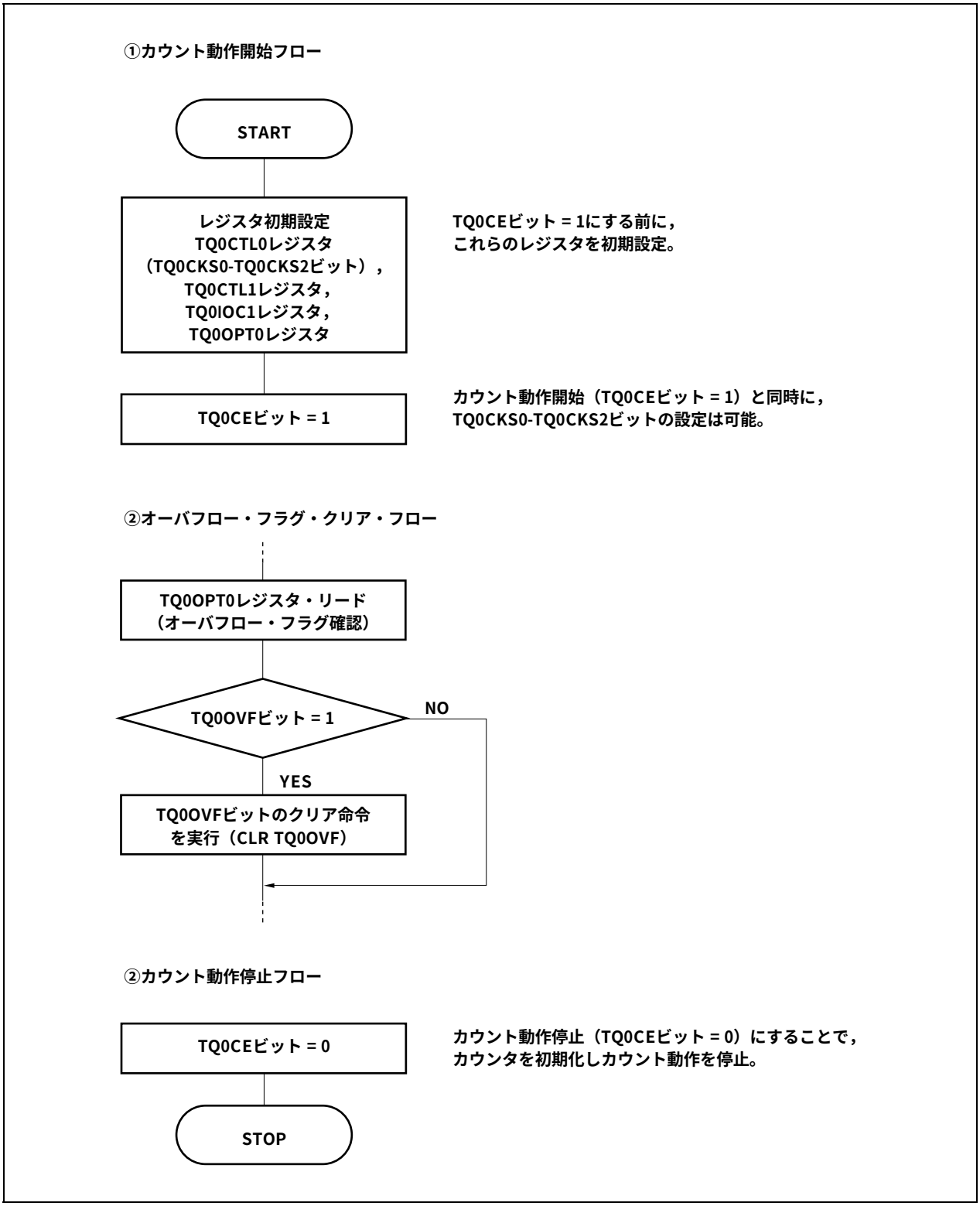


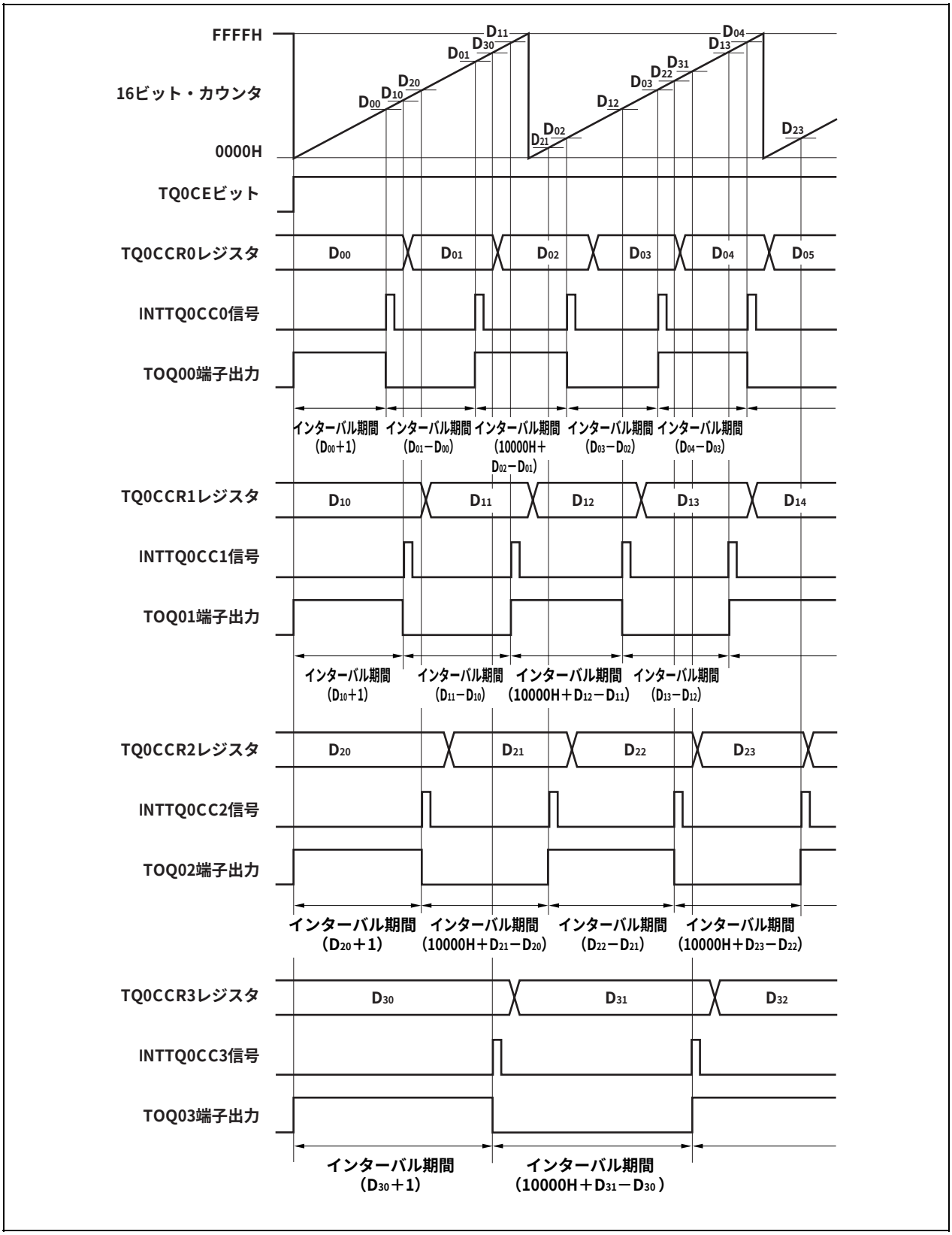
図8－33　フリー・ランニング・タイマ・モード使用時のソフトウエア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し，インターバル動作をさせる場合

TQ0CCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合，INTTQ0CCm信号を検出するごとに,次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウエア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合，4つのインターバル時間を設定できます。

インターバル動作を行う場合，INTTQ0CCm信号を検出したときの割り込み処理中に，対応するTQ0CCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は，インターバル期間を“D_m”とすると，次のように求められます。

コンペア・レジスタ初期値：D_m－1

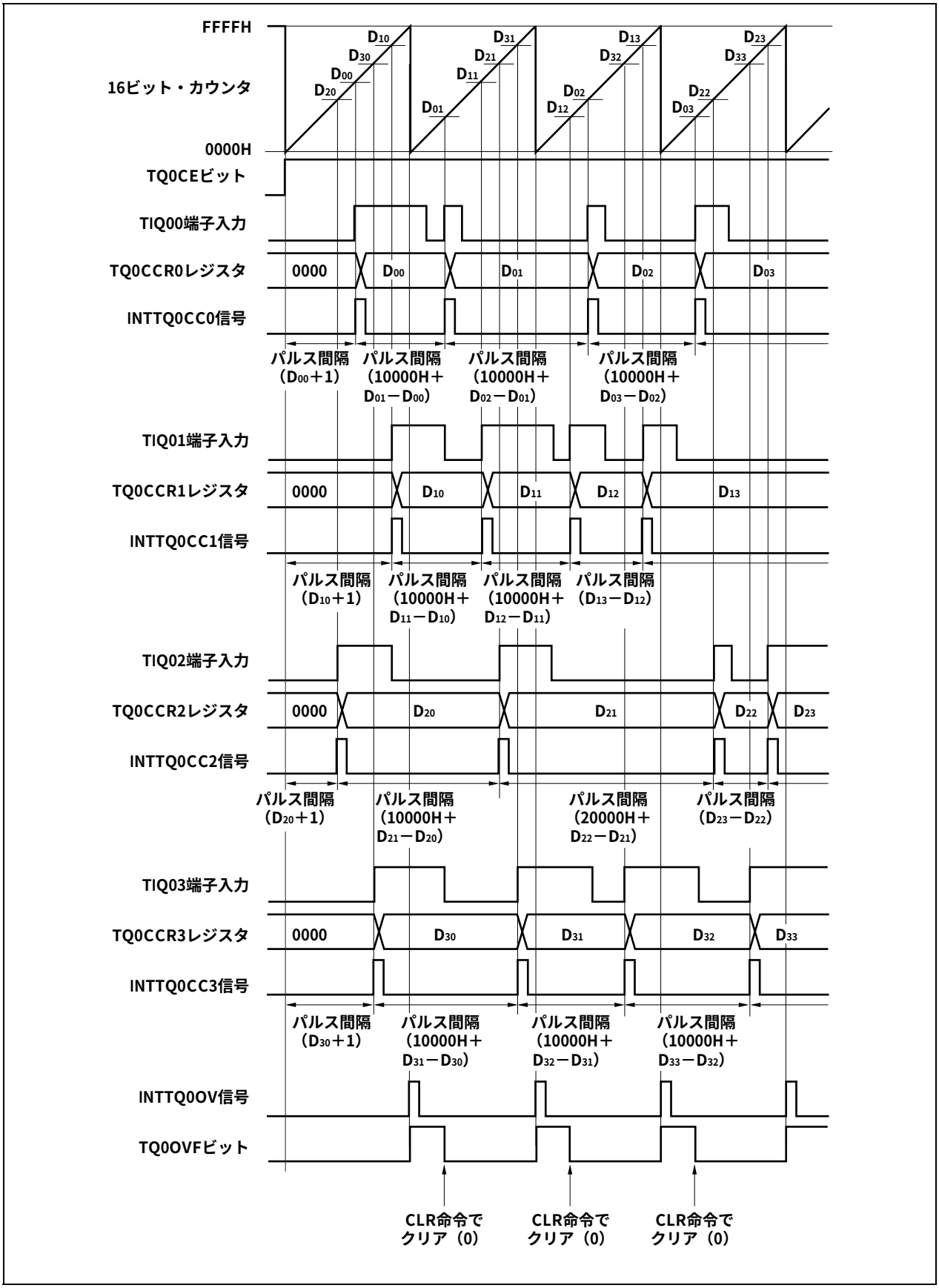
2回目以降のコンペア・レジスタ設定値 ＝ 前回の設定値＋D_m

（演算結果がFFFFHよりも大きい場合には，演算結果から10000Hを引いた値を設定してください。）

備考　m = 0-3

(b) キャプチャ・レジスタとして使用し，パルス幅測定をさせる場合

TQ0CCRmレジスタをキャプチャ・レジスタとして使用し，パルス幅測定を行う場合，INTTQ0CCm信号を検出するごとに，キャプチャ・レジスタをリードし，間隔を算出するソフトウエア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合，4つのパルス幅測定ができます。

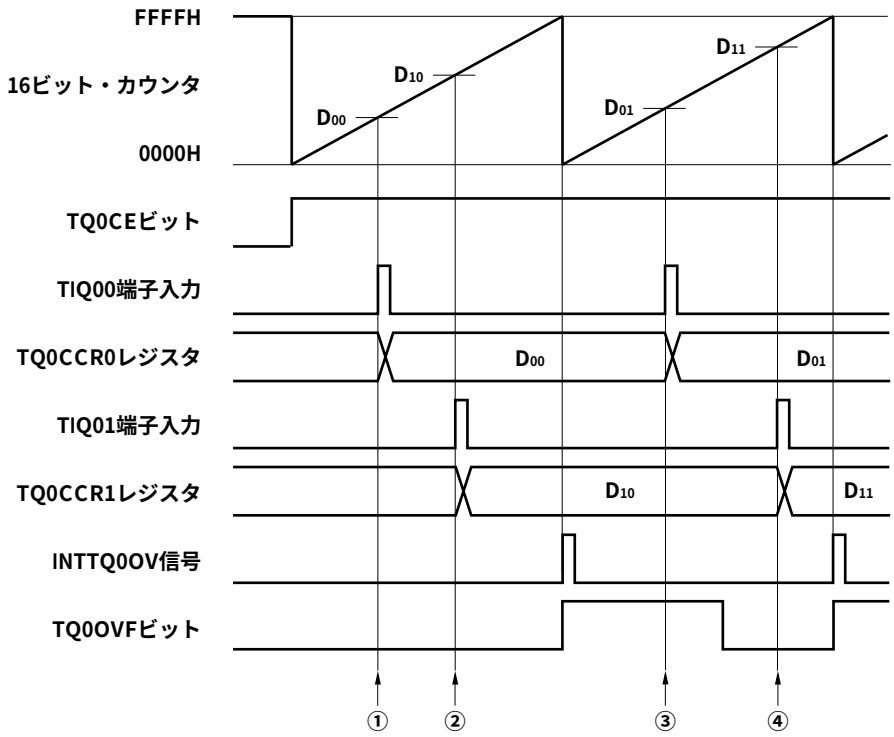
パルス幅測定を行う場合，INTTQ0CCm信号に同期してTQ0CCRmレジスタの値をリードし，同一キャプチャ・レジスタの前回のリード・データとの差分を求めることでパルス幅を算出できます。

備考　m = 0-3

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバフローの処理方法

2つ以上のキャプチャを使用する場合には，オーバフロー・フラグの処理に注意が必要です。まず悪い例を，次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合，次のような問題が起こる場合があります。

① TQ0CCR0レジスタをリードする（TIQ00端子入力の初期値設定）。

② TQ0CCR1レジスタをリードする（TIQ01端子入力の初期値設定）。

③ TQ0CCR0レジスタをリードする。
オーバフロー・フラグをリードする。→オーバフロー・フラグが“1”だった場合，クリア（0）する。
オーバフロー・フラグが“1”なので，パルス幅は（10000H＋D_{01}－D_{00}）で求められます。

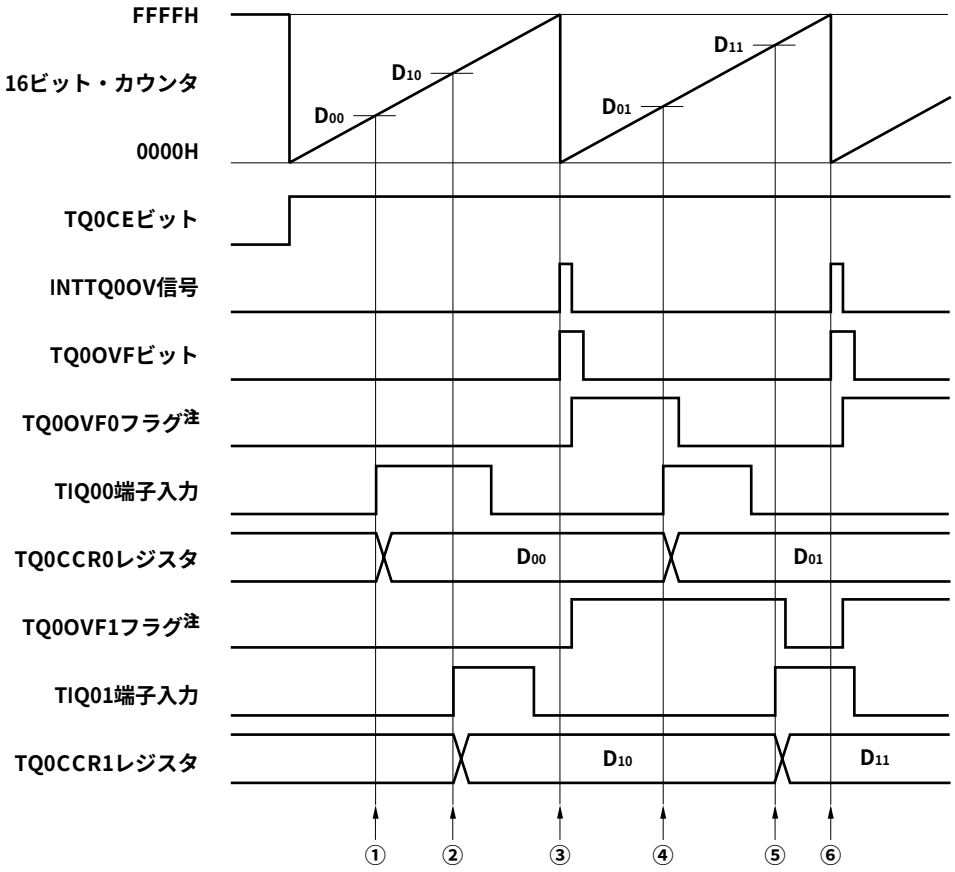
④ TQ0CCR1レジスタをリードする。
オーバフロー・フラグをリードする。→③でクリア（0）されているため，0がリードされます。
オーバフロー・フラグが“0”なので，パルス幅は（D_{11}－D_{10}）で求められます（NG）。

このように，2つ以上のキャプチャを使用する場合に，1つのキャプチャでオーバフロー・フラグをクリア（0）してしまうと，他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には，ソフトウエアで対応してください。次に，ソフトウエア対応例を示します。

（1/2）

2つのキャプチャを使用するときの対応例（オーバフロー割り込みを使用）



注　TQ0OVF0, TQ0OVF1フラグは，ソフトウエアにより，内蔵RAM上に任意に設定したものです。

① TQ0CCR0レジスタをリードする（TIQ00端子入力の初期値設定）。

② TQ0CCR1レジスタをリードする（TIQ01端子入力の初期値設定）。

③ オーバフローが発生する。オーバフロー割り込み処理の中で，TQ0OVF0, TQ0OVF1フラグをセット（1）し，オーバフロー・フラグをクリア（0）する。

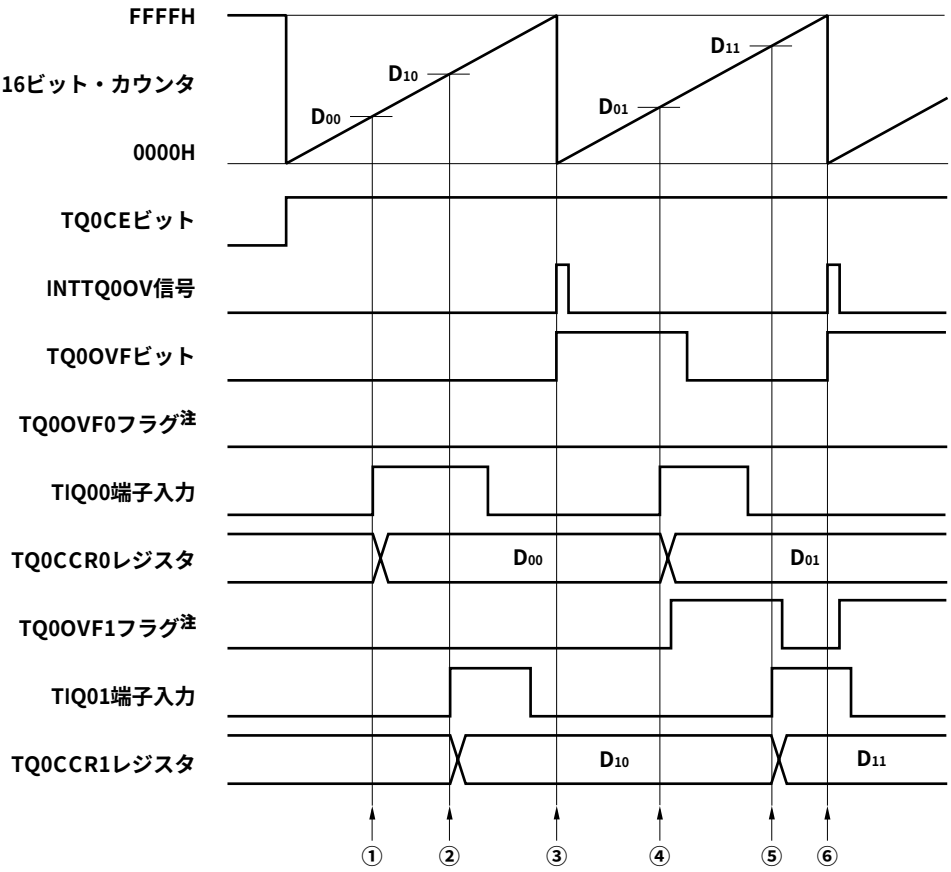
④ TQ0CCR0レジスタをリードする。
TQ0OVF0フラグをリードする。→TQ0OVF0フラグが“1”だった場合，クリア（0）する。
TQ0OVF0フラグが“1”なので，パルス幅は（10000H＋D_{01}－D_{00}）で求められます。

⑤ TQ0CCR1レジスタをリードする。
TQ0OVF1フラグをリードする。→TQ0OVF1フラグが“1”だった場合，クリア（0）する（④でクリア（0）されたのはTQ0OVF0フラグであり，TQ0OVF1フラグは“1”のまま）。
TQ0OVF1フラグが“1”なので，パルス幅は（10000H＋D_{11}－D_{10}）で求められます（OK）。

⑥ ③と同じです。

（2/2）

2つのキャプチャを使用するときの対応例（オーバフロー割り込みを使用しない）



注　TQ0OVF0, TQ0OVF1フラグは，ソフトウエアにより，内蔵RAM上に任意に設定したものです。

① TQ0CCR0レジスタをリードする（TIQ00端子入力の初期値設定）。

② TQ0CCR1レジスタをリードする（TIQ01端子入力の初期値設定）。

③ オーバフローが発生する。ソフトウエアでは何もしない。

④ TQ0CCR0レジスタをリードする。
オーバフロー・フラグをリードする。→オーバフロー・フラグが“1”だった場合，TQ0OVF1フラグのみをセット（1）し，オーバフロー・フラグをクリア（0）する。
オーバフロー・フラグが“1”なので，パルス幅は（10000H＋D_{01}－D_{00}）で求められます。

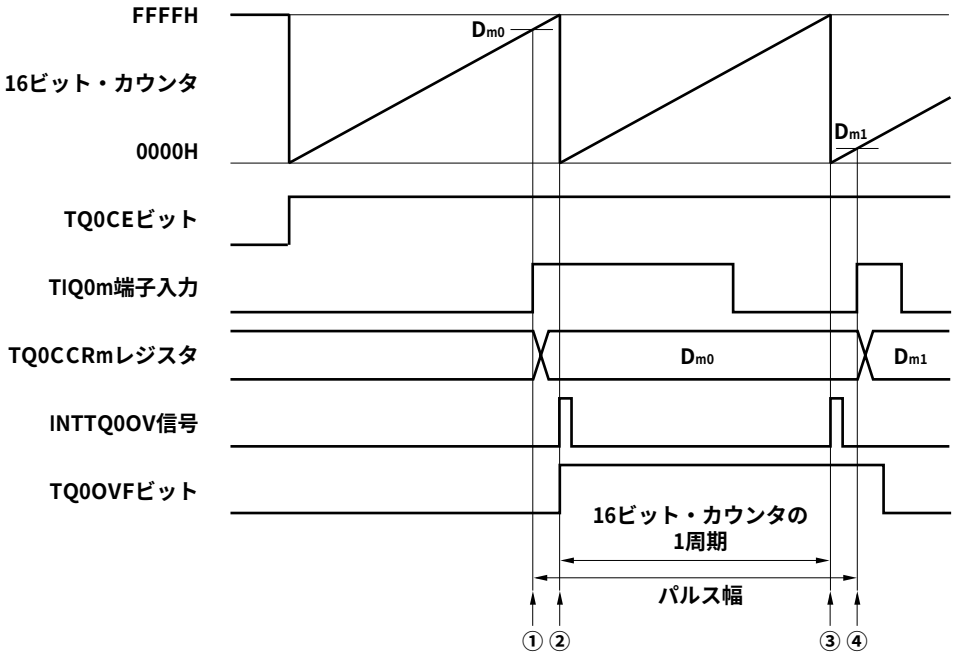
⑤ TQ0CCR1レジスタをリードする。
オーバフロー・フラグをリードする。オーバフロー・フラグは④でクリア（0）されているので“0”がリードされる。
TQ0OVF1フラグをリードする。→TQ0OVF1フラグが“1”だった場合，クリア（0）する。
TQ0OVF1フラグが“1”なので，パルス幅は（10000H＋D_{11}－D_{10}）で求められます（OK）。

⑥ ③と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合，キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を，次に示します。

キャプチャ・トリガの間隔が長いときの悪い例



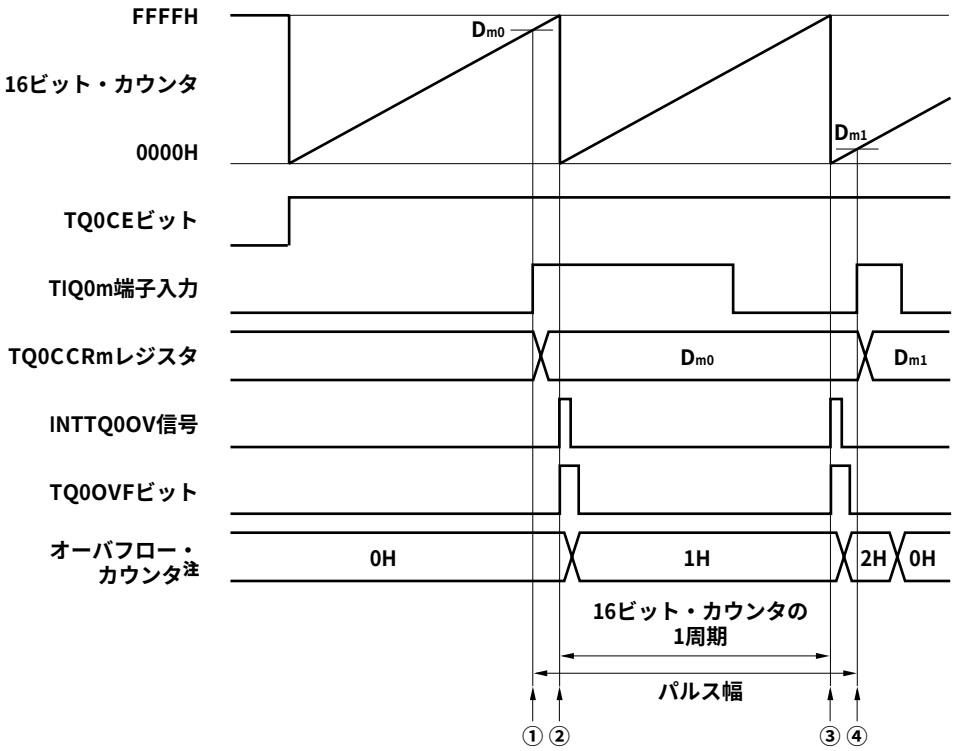
フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合，次のような問題が起こる場合があります。

① TQ0CCRmレジスタをリードする（TIQ0m端子入力の初期値設定）。
② オーバフローが発生する。ソフトウエアでは何もしない。
③ 2回目のオーバフローが発生する。ソフトウエアでは何もしない。
④ TQ0CCRmレジスタをリードする。
オーバフロー・フラグをリードする。→オーバフロー・フラグが“1”だった場合，クリア（0）する。
オーバフロー・フラグが“1”なので，パルス幅は（10000H＋D_{m1}－D_{m0}）で求められます（NG）。
実際には，2回のオーバフローが発生しているので，パルス幅は，（20000H＋D_{m1}－D_{m0}）になるはずです。

このように，キャプチャ・トリガの間隔が長い場合に，2回以上のオーバフローが発生すると，正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には，カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか，ソフトウエアで対応してください。次に，ソフトウエア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注　オーバフロー・カウンタは，ソフトウエアにより，内蔵RAM上に任意に設定したものです。

① TQ0CCRmレジスタをリードする（TIQ0m端子入力の初期値設定）。

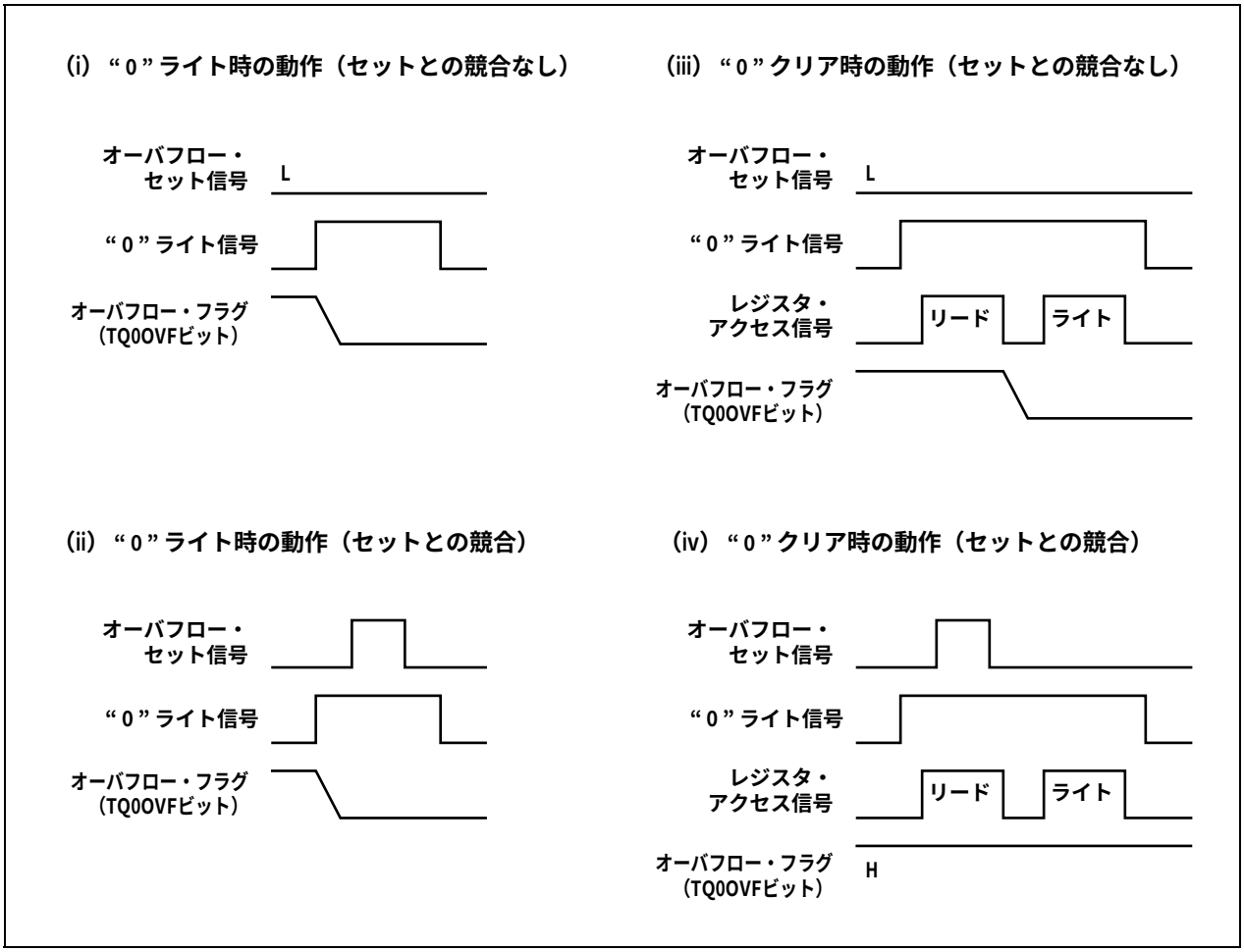
② オーバフローが発生する。オーバフロー割り込み処理の中で，オーバフロー・カウンタをインクリメントし，オーバフロー・フラグをクリア（0）する。

③ 2回目のオーバフローが発生する。オーバフロー割り込み処理の中で，オーバフロー・カウンタをインクリメントし，オーバフロー・フラグをクリア（0）する。

④ TQ0CCRmレジスタをリードする。
オーバフロー・カウンタをリードする。
→オーバフロー・カウンタが“N”のとき，パルス幅は（N×10000H＋D_{m1}－D_{m0}）で求められる。
この例では，2回のオーバフローが発生しているので，パルス幅は，（20000H＋D_{m1}－D_{m0}）になります。
オーバフロー・カウンタをクリア（0H）する。

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア（0）する方法は，TQ0OVFビットをCLR命令でクリア（0）する方法と，TQ0OPT0レジスタに8ビット・データ（ビット0は“0”）をライトする方法がありますが，確実にオーバフローを検出するために，TQ0OVFビット = 1をリードしたあと，ビット操作命令でクリア（0）してください。



オーバフロー・フラグをクリア（0）する場合には，リードしてオーバフロー・フラグがセット（1）されていることを確認したあと，CLR命令でクリア（0）してください。確認せずに0をライトすると，オーバフローのセット情報を“0”ライトで消してしまう場合があります（上図の（ii））。そのために，実際にはオーバフローが発生したにもかかわらず，ソフトウエアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア（0）するときに，CLR命令の実行とオーバフロー発生のタイミングが競合した場合，クリア命令実行後もオーバフロー・フラグはセット（1）されたままになります。

8. 5. 7　パルス幅測定モード（TQ0MD2-TQ0MD0ビット = 110）

パルス幅測定モードは，TQ0CTL0.TQ0CEビットをセット（1）することでカウント動作を開始し，TIQ0m端子入力の有効エッジを検出するごとに，16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し，16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号（INTTQ0CCm）が発生したあと，TQ0CCRmレジスタをリードすることにより，有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として，TIQ00-TIQ03端子のいずれか1本を使用してください。使用しない端子は，TQ0IOC1レジスタで“エッジ検出なし”に設定してください。

また，カウント・クロックとして外部クロックを使用するときは，外部クロックはTIQ00端子固定ですので，TIQ0k端子のパルス幅を測定してください。このとき，TQ0IOC1.TQ0IS1, TQ0IS0ビット = 00（キャプチャ・トリガ入力（TIQ00端子）：エッジ検出なし）に設定してください。

備考　m = 0-3

k = 1-3

図8－34　パルス幅測定モードの構成図

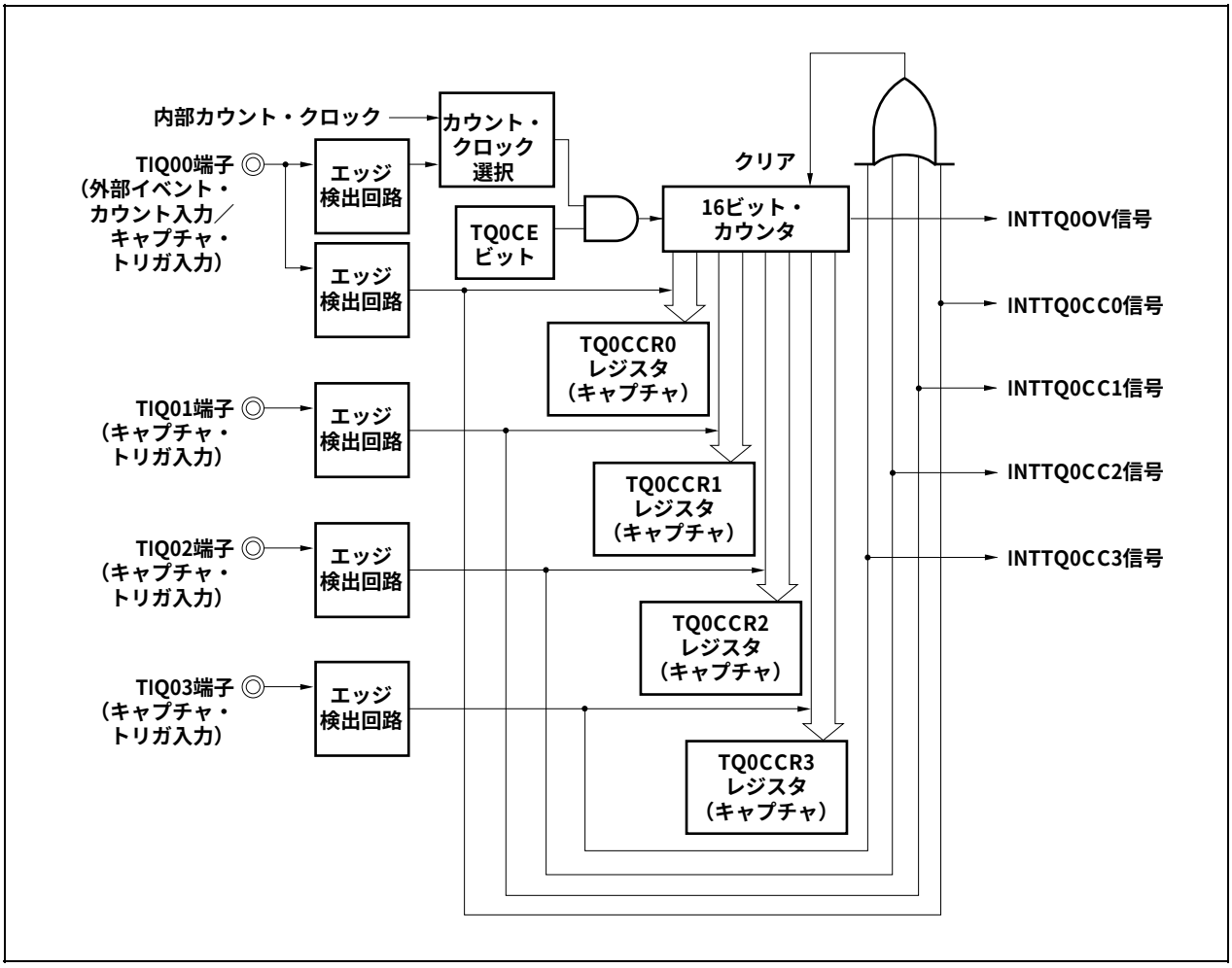
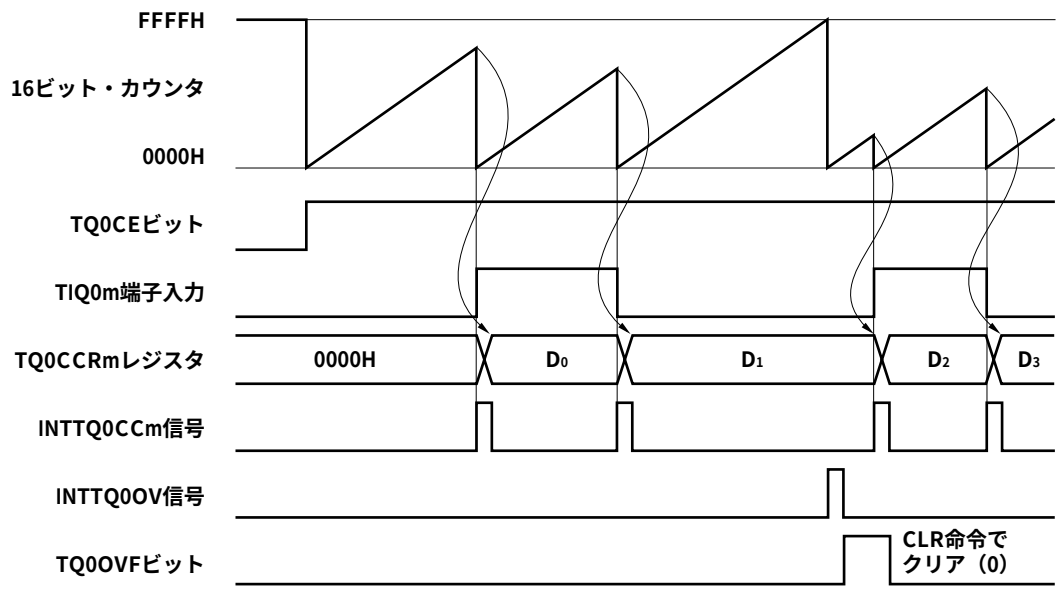


図8－35　パルス幅測定モードの基本タイミング



備考　m = 0-3

TQ0CEビットをセット（1）することで，カウント動作を開始します。その後，TIQ0m端子入力の有効エッジを検出することにより，16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し，16ビット・カウンタを0000Hにクリアし，キャプチャ割り込み要求信号（INTTQ0CCm）を発生します。

パルス幅は次のように求められます。

パルス幅 = キャプチャされた値×カウント・クロック周期

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合，次のクロックでオーバフロー割り込み要求信号（INTTQ0OV）を発生するとともに，0000Hにクリアしカウント動作を継続します。また，このときオーバフロー・フラグ（TQ0OPT0.TQ0OVFビット）もセット（1）されます。オーバフロー・フラグは，ソフトウエアでCLR命令を実行してクリア（0）してください。

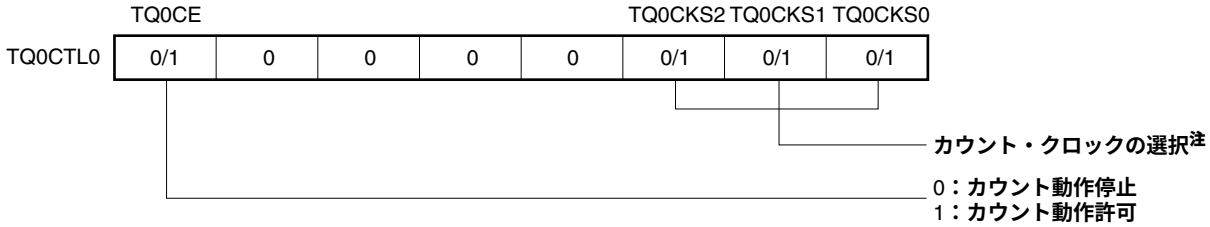
オーバフロー・フラグがセット（1）した場合，パルス幅は次のように求められます。

パルス幅 =（10000H×TQ0OVFビットがセット（1）された回数＋キャプチャされた値）
×カウント・クロック周期

備考　m = 0-3

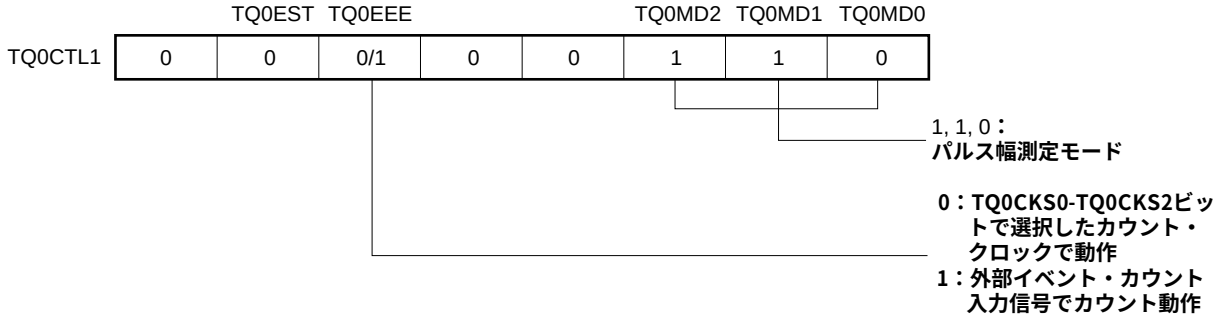
図8－36　パルス幅測定モード動作時のレジスタ設定内容（1/2）

（a）TMQ0制御レジスタ0（TQ0CTL0）

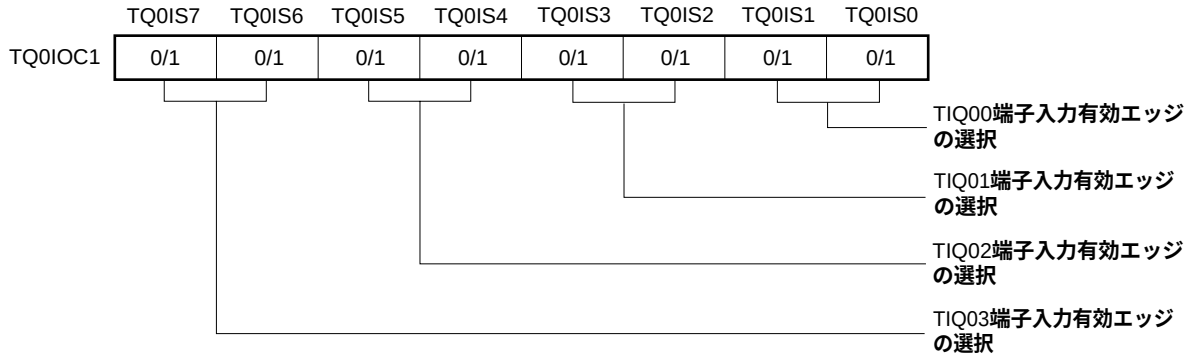


注　TQ0EEEビット = 1のときは設定が無効になります。

（b）TMQ0制御レジスタ1（TQ0CTL1）



（c）TMQ0I/O制御レジスタ1（TQ0IOC1）



（d）TMQ0I/O制御レジスタ2（TQ0IOC2）

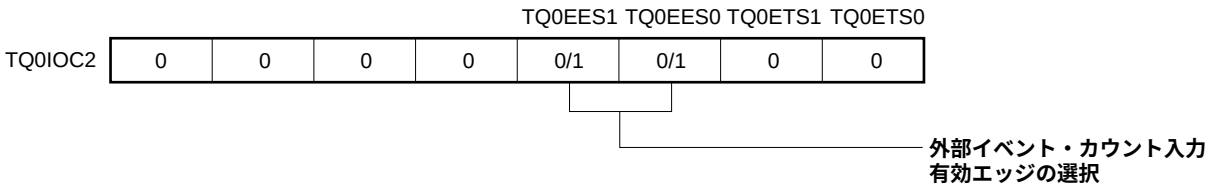


図8－36　パルス幅測定モード動作時のレジスタ設定内容（2/2）

（e）TMQ0オプション・レジスタ0（TQ0OPT0）

	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0				TQ0OVF
TQ0OPT0	0	0	0	0	0	0	0	0/1

オーバフロー・フラグ

（f）TMQ0カウンタ・リード・バッファ・レジスタ（TQ0CNT）

TQ0CNTレジスタをリードすることで，16ビット・カウンタの値をリードできます。

（g）TMQ0キャプチャ／コンペア・レジスタ0-3（TQ0CCR0-TQ0CCR3）

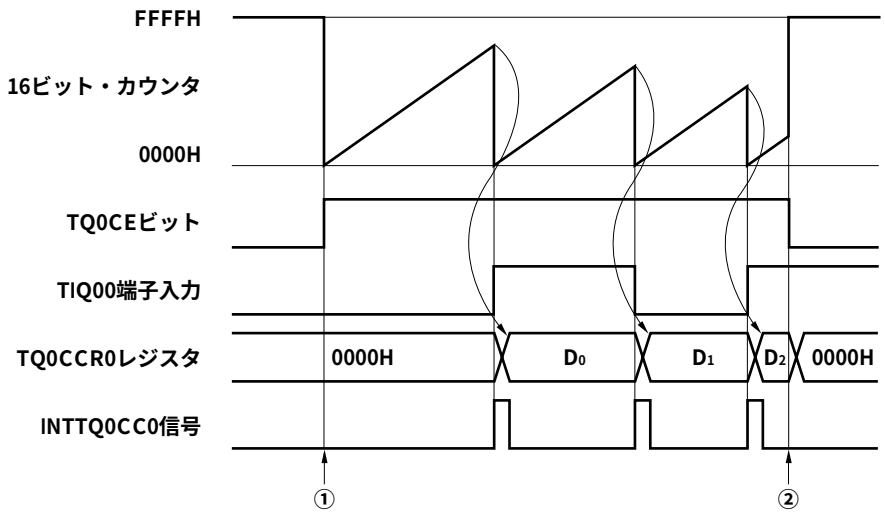
TIQ0m端子入力の有効エッジ検出により，16ビット・カウンタのカウント値を格納します。

備考1.　パルス幅測定モードでは，TMQ0I/O制御レジスタ0（TQ0IOC0）は使用しません。

2.　m = 0-3

（1）パルス幅測定モード動作フロー

図8－37　パルス幅測定モード使用時のソフトウエア処理フロー



① カウント動作開始フロー

TQ0CEビット = 1にする前に，
これらのレジスタを初期設定。

カウント動作開始（TQ0CEビット = 1）と同時に，
TQ0CKS0-TQ0CKS2ビットの設定は可能。

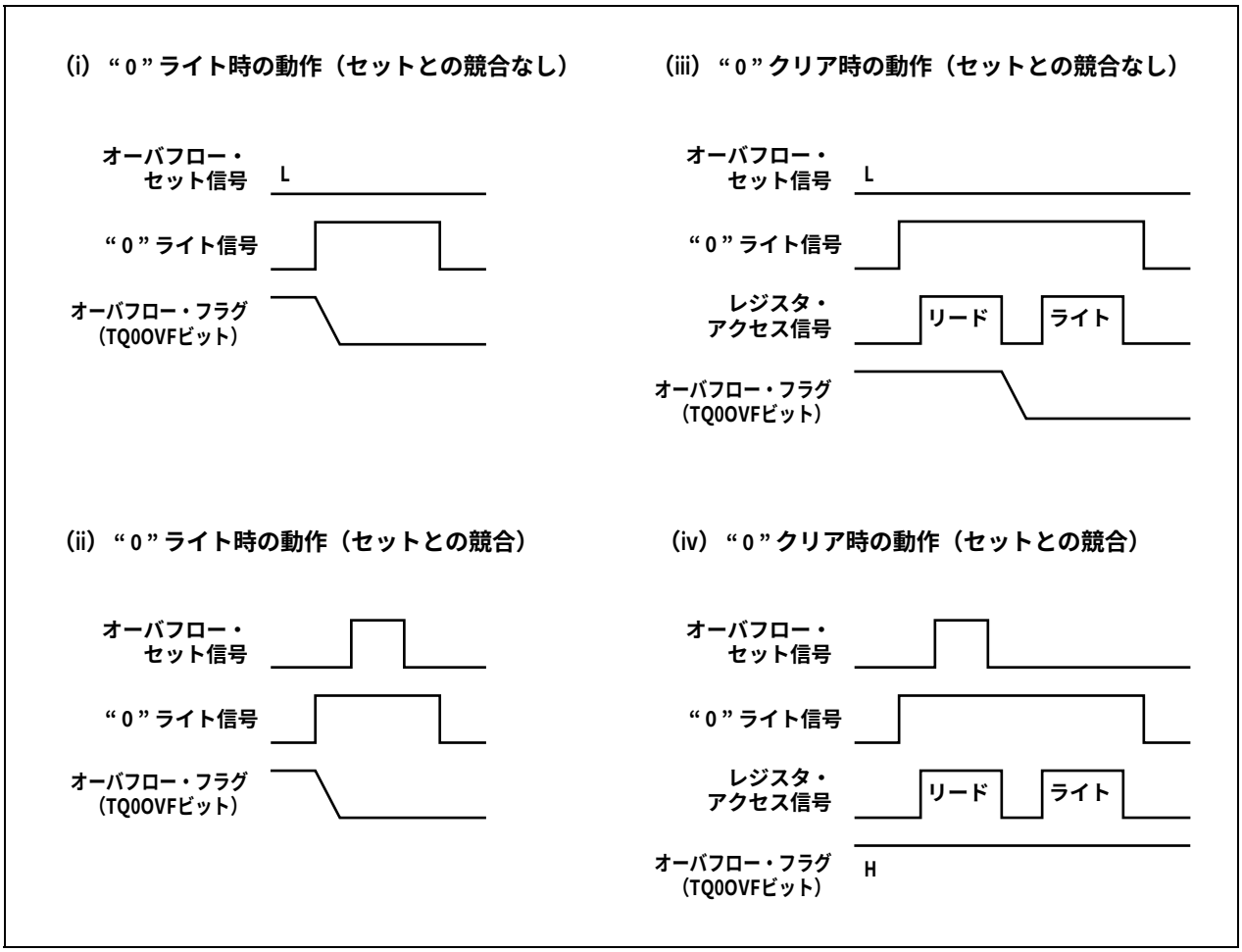
② カウント動作停止フロー

カウント動作停止（TQ0CEビット = 0）にすることで，
カウンタを初期化しカウント動作を停止。

(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア（0）する方法は，TQ0OVFビットをCLR命令でクリア（0）する方法と，TQ0OPT0レジスタに8ビット・データ（ビット0は“0”）をライトする方法がありますが，確実にオーバフローを検出するために，TQ0OVFビット = 1をリードしたあと，ビット操作命令でクリア（0）してください。



オーバフロー・フラグをクリア（0）する場合には，リードしてオーバフロー・フラグがセット（1）されていることを確認したあと，CLR命令でクリア（0）してください。確認せずに0をライトすると，オーバフローのセット情報を“0”ライトで消してしまう場合があります（上図の（ii））。そのために，実際にはオーバフローが発生したにもかかわらず，ソフトウエアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア（0）するときに，CLR命令の実行とオーバフロー発生のタイミングが競合した場合，クリア命令実行後もオーバフロー・フラグはセット（1）されたままになります。

8.5.8　タイマ出力動作説明

次にTOQ00-TOQ03端子の動作，および出力レベルを示します。

表8－6　各モードによるタイマ出力制御

動作モード	TOQ00端子	TOQ01端子	TOQ02端子	TOQ03端子
インターバル・タイマ・モード	方形波出力			
外部イベント・カウント・モード	方形波出力	－		
外部トリガ・パルス出力モード	方形波出力	外部トリガ・パルス出力	外部トリガ・パルス出力	外部トリガ・パルス出力
ワンショット・パルス出力モード		ワンショット・パルス出力	ワンショット・パルス出力	ワンショット・パルス出力
PWM出力モード		PWM出力	PWM出力	PWM出力
フリー・ランニング・タイマ・モード	方形波出力（コンペア機能のときのみ）			
パルス幅測定モード	－			

表8－7　タイマ出力制御ビットによるTOQ00-TOQ03端子の真理値表

TQ0IOC0.TQ0OLmビット	TQ0IOC0.TQ0OEmビット	TQ0CTL0.TQ0CEビット	TOQ0m端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル，カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル，カウント開始後はロウ・レベル

備考　m = 0-3

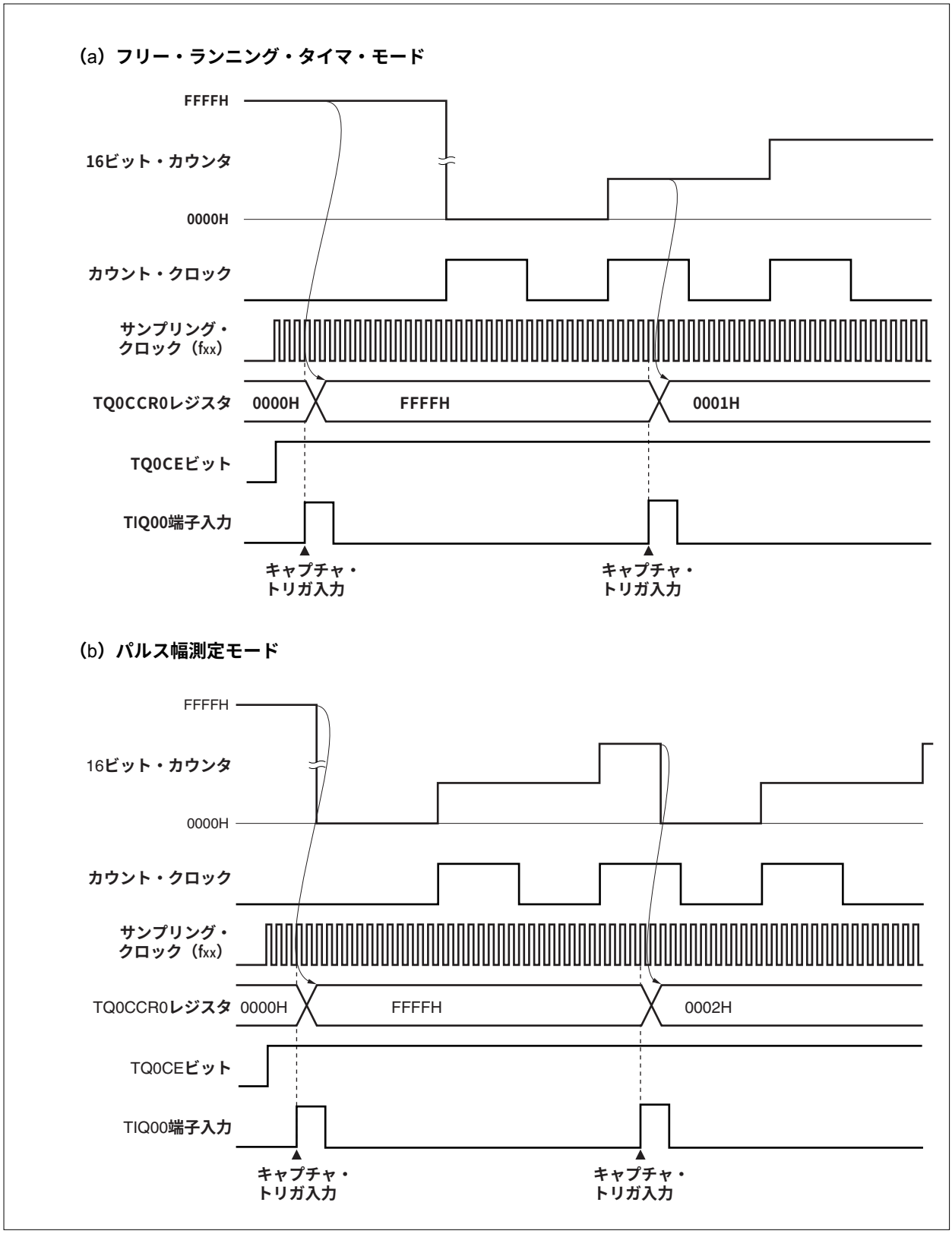
8.6　セレクタ機能

セレクタ機能については7.6　セレクタ機能を参照してください。

8. 7　注意事項

（1）キャプチャ動作

キャプチャ動作を使用し，かつカウント・クロックとして遅いクロックを選択した場合，TQ0CEビットをセット（1）したすぐあとに，キャプチャ・トリガが入力されると，TQ0CCR0，TQ0CCR1，TQ0CCR2，TQ0CCR3レジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第9章　16ビット・インターバル・タイマM（TMM）

9.1　概　　要

- インターバル機能
- クロック選択×8
- 16ビット・カウンタ×1（タイマ・カウント動作中のカウンタ・リードはできません。）
- コンペア・レジスタ×1（タイマ・カウント動作中のコンペア・レジスタへのライトはできません。）
- コンペア一致割り込み×１

タイマMはクリア＆スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

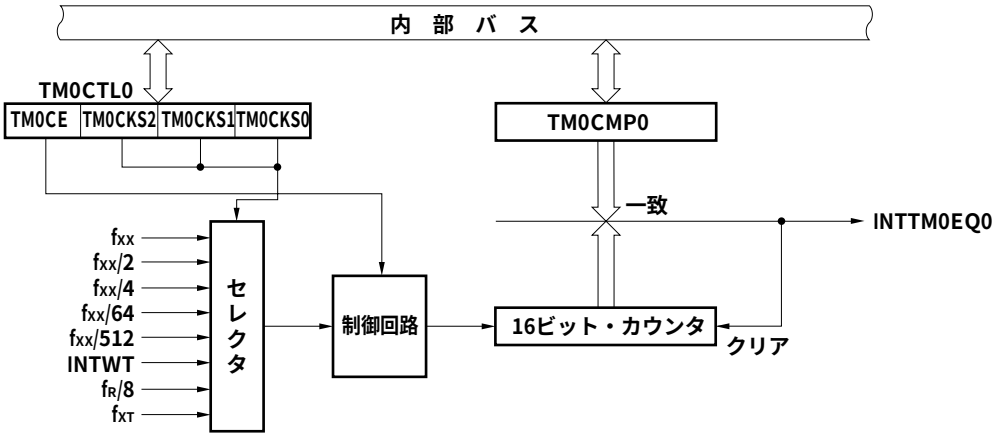
9.2 構　　成

TMM0は，次のハードウエアで構成されています。

表9ー1　TMM0の構成

項　　目	構　　成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMM0コンペア・レジスタ0（TM0CMP0）
制御レジスタ	TMM0制御レジスタ0（TM0CTL0）

図9ー1　TMM0のブロック図



備考　f_{XX}　：メイン・クロック周波数

f_R　：内蔵発振クロック周波数

f_{XT}　：サブクロック周波数

INTWT　：時計タイマ割り込み要求信号

（1）16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード／ライトできません。

（2）TMM0コンペア・レジスタ0（TM0CMP0）

TM0CMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

TM0CMP0レジスタは，常時ソフトウエアでの同値書き込みができます。

TM0CTL0.TM0CEビット = 1のとき，TM0CMP0レジスタの書き換えは禁止です。

リセット時：0000H　R/W　アドレス：FFFFF694H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TM0CMP0																

9. 3　レジスタ

（1）TMM0制御レジスタ0（TM0CTL0）

TM0CTL0レジスタはTMM0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

TM0CTL0レジスタは，常時ソフトウエアでの同値書き込みができます。

リセット時：00H　R/W　アドレス：FFFFF690H

	⑦	6	5	4	3	2	1	0
TM0CTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	内部クロック動作許可／禁止指定
0	TMM0動作禁止（16ビット・カウンタを非同期にリセット）。動作クロック供給停止
1	TMM0動作許可。動作クロック供給開始。TMM0動作開始
TM0CEビットにより，TMM0の内部クロックの制御と内部回路のリセットを非同期に行います。TM0CEビットをクリア（0）すると，TMM0の内部クロックは停止（ロウ・レベル固定）し，16ビット・カウンタが非同期にリセットされます。	

TM0CKS2	TM0CKS1	TM0CKS0	カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/64
1	0	0	fxx/512
1	0	1	INTWT
1	1	0	f_R/8
1	1	1	f_{XT}

注意1.　TM0CKS2-TM0CKS0ビットはTM0CEビット = 0のときに設定してください。
TM0CEビットを“0”から“1”に設定するときに，同時にTM0CKS2-TM0CKS0ビットを設定できません。

2.　ビット3-6には必ず“0”を設定してください。

備考　f_{XX}：メイン・クロック周波数
f_R：内蔵発振クロック周波数
f_{XT}：サブクロック周波数

9.4 動　　作

注意　TM0CMP0レジスタには，FFFFHを設定しないでください。

9.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは，TM0CTL0.TM0CEビットをセット（1）することで，任意のインターバル間隔にて割り込み要求信号（INTTM0EQ0）を発生します。

図9－2　インターバル・タイマの構成図

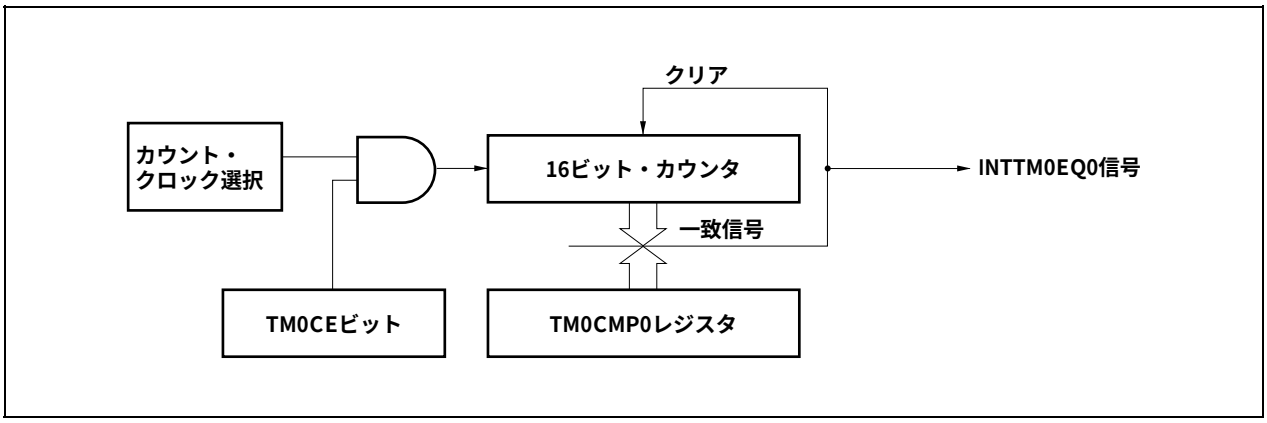
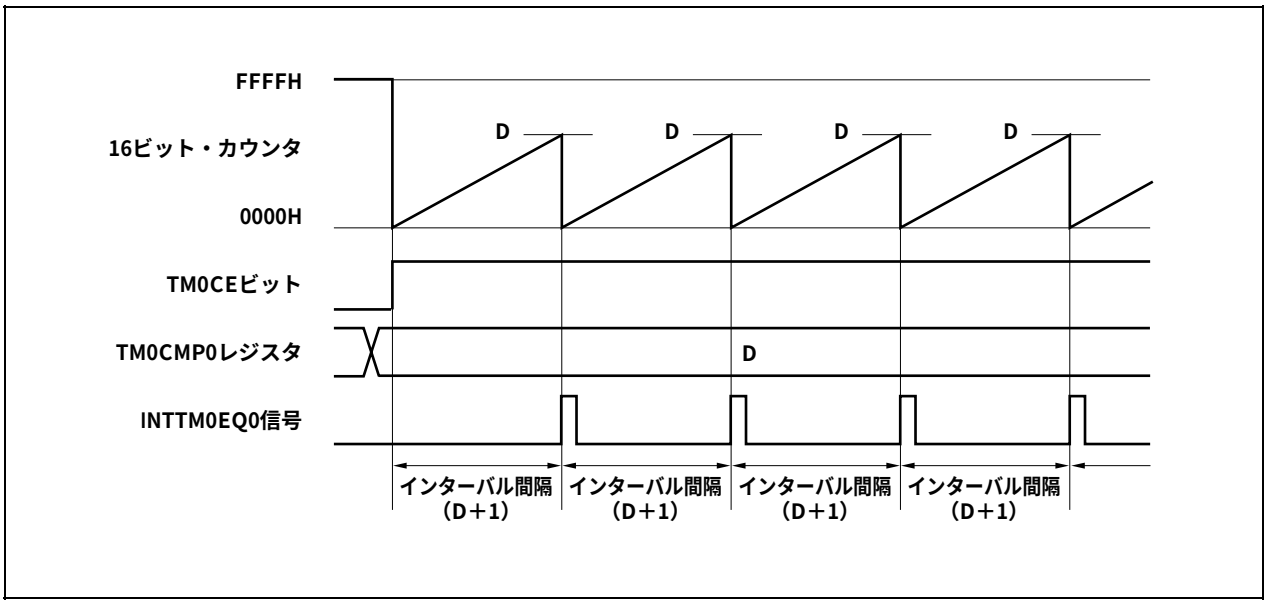


図9－3　インターバル・タイマ・モード動作の基本タイミング



TM0CEビットをセット（1）することで，カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし，カウント動作を開始します。

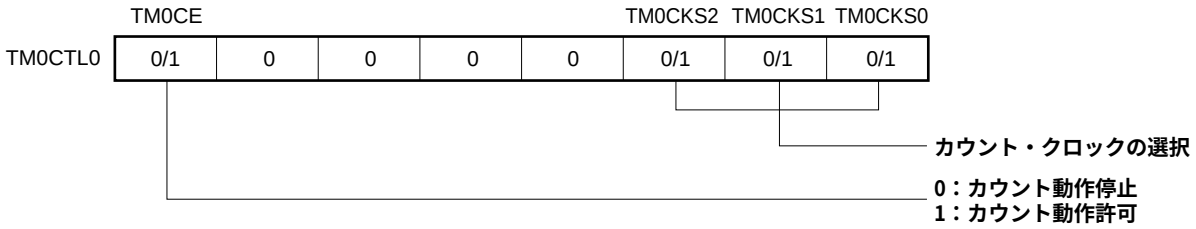
16ビット・カウンタのカウント値とTM0CMP0レジスタの値が一致すると，16ビット・カウンタを0000Hにクリアし，コンペア一致割り込み要求信号（INTTM0EQ0）を発生します。

インターバル間隔は次のようになります。

インターバル間隔 ＝ （TM0CMP0レジスタ設定値＋1）×カウント・クロック周期

図9－4　インターバル・タイマ・モード動作時のレジスタ設定内容

（a）TMM0制御レジスタ0（TM0CTL0）



（b）TMM0コンペア・レジスタ0（TM0CMP0）

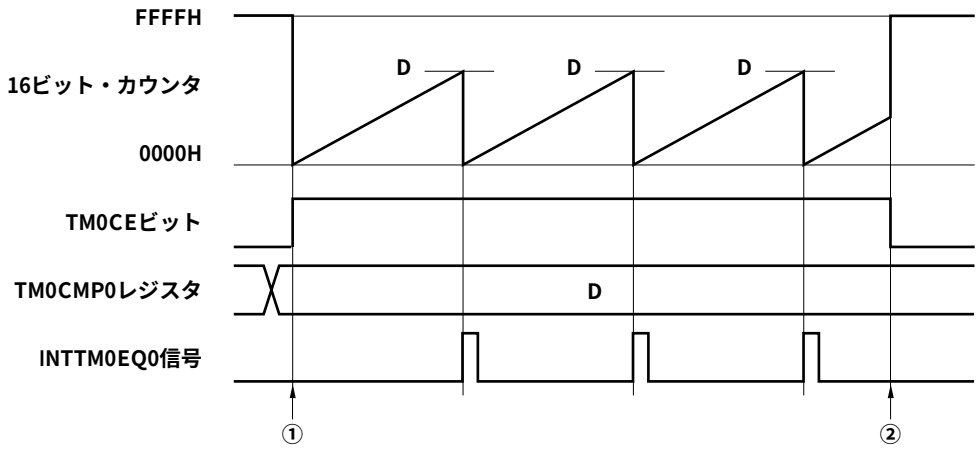
TM0CMP0レジスタにDを設定した場合，

インターバル間隔 ＝ （D＋1）×カウント・クロック周期

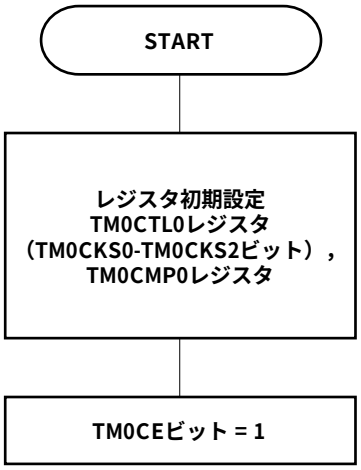
となります。

（1）インターバル・タイマ・モード動作フロー

図9－5　インターバル・タイマ・モード使用時のソフトウエア処理フロー



① カウント動作開始フロー



TM0CEビット = 1にする前に，
これらのレジスタを初期設定。

カウント動作開始（TM0CEビット = 1）と同時に，
TM0CKS0-TM0CKS2ビットの設定は可能。

② カウント動作停止フロー

カウント動作停止（TM0CEビット = 0）にすることで，
カウンタを初期化しカウント動作を停止。

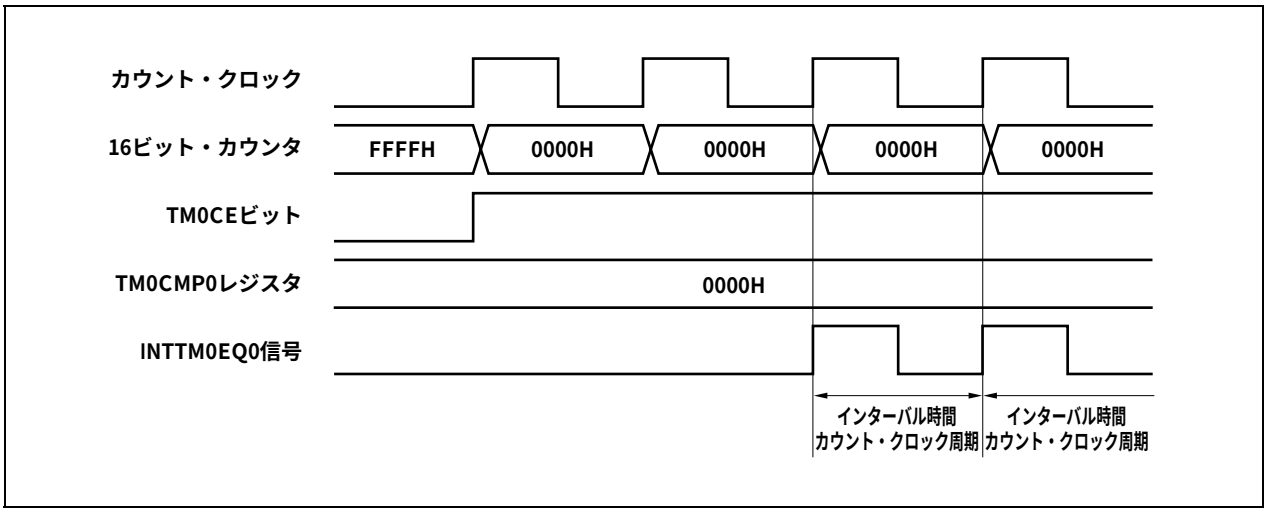
(2) インターバル・タイマ・モード動作タイミング

注意　TM0CMP0レジスタには，FFFFHを設定しないでください。

(a) TM0CMP0レジスタに0000Hを設定した場合の動作

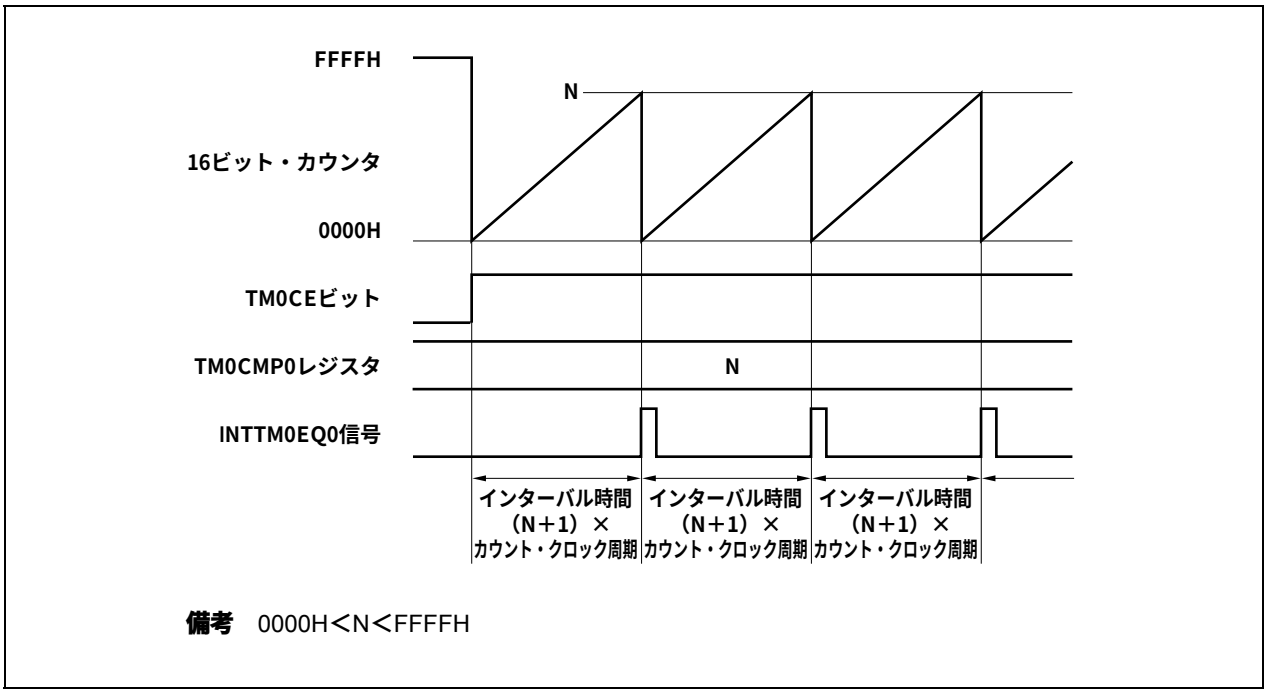
TM0CMP0レジスタに0000Hを設定した場合，カウント・クロックごとにINTTM0EQ0信号を発生します。

16ビット・カウンタは，常に0000Hとなります。



(b) TM0CMP0レジスタにNを設定した場合の動作

TM0CMP0レジスタにNを設定した場合，16ビット・カウンタはNまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTM0EQ0信号を発生します。



備考　0000H＜N＜FFFFH

9. 4. 2　注意事項

（1）TM0CTL0.TM0CEビット ＝ 1としてからカウント開始するまで，選択したカウント・クロックによって次の時間が最大かかります。

選択したカウント・クロック	カウント開始までの最大時間
f_{XX}	$2/f_{XX}$
$f_{XX}/2$	$6/f_{XX}$
$f_{XX}/4$	$24/f_{XX}$
$f_{XX}/64$	$128/f_{XX}$
$f_{XX}/512$	$1024/f_{XX}$
INTWT	INTWT信号の2回目の立ち上がり
$f_R/8$	$16/f_R$
f_{XT}	$2/f_{XT}$

（2）TM0CMP0, TM0CTL0レジスタはTMM0動作中の書き換えは禁止です。
TM0CEビット ＝ 1のときに書き換えた場合，動作を保証できません。誤って書き換えた場合は，TM0CTL0.TM0CEビットをクリア（0）してから再設定してください。

第10章　時計タイマ機能

10.1　機　　能

時計タイマには，次のような機能があります。

・時計タイマ　　：メイン・クロックまたはサブクロックを使用することで，0.5秒または0.25秒の時間間隔で割り込み要求信号（INTWT）を発生します。

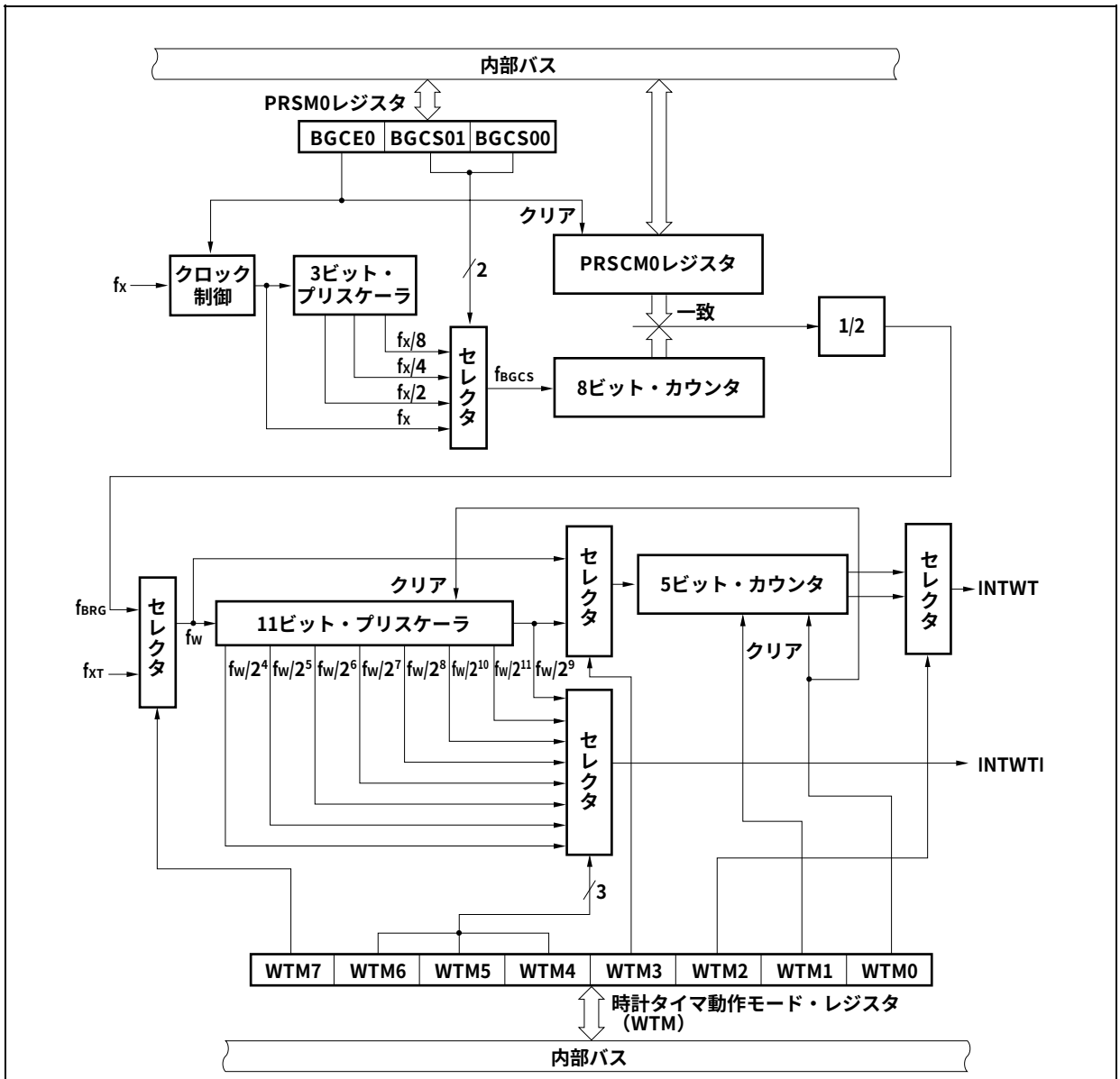
・インターバル・タイマ：あらかじめ設定した時間間隔で割り込み要求信号（INTWTI）を発生します。

時計タイマとインターバル・タイマは，同時に使用できます。

10. 2　構　　成

次に時計タイマのブロック図を示します。

図10－1　時計タイマのブロック図



備考　f_X　：メイン・クロック発振周波数

f_{BGCS}　：時計タイマ・ソース・クロック周波数

f_{BRG}　：時計タイマ・カウント・クロック周波数

f_{XT}　：サブクロック周波数

f_W　：時計タイマ・クロック周波数

INTWT　：時計タイマ割り込み要求信号

INTWTI　：インターバル・タイマ割り込み要求信号

(1) クロック制御

時計タイマのメイン・クロックでの動作クロック（f_X）の供給／停止を制御します。

(2) 3 ビット・プリスケーラ

f_Xを分周して，$f_X/2$, $f_X/4$, $f_X/8$を生成します。

(3) 8 ビット・カウンタ

ソース・クロック（f_{BGCS}）をカウントする8ビットのカウンタです。

(4) 11 ビット・プリスケーラ

f_Wを分周して，$f_W/2^4$-$f_W/2^{11}$のクロックを生成します。

(5) 5 ビット・カウンタ

f_Wまたは$f_W/2^9$をカウントして，$2^4/f_W$, $2^5/f_W$, $2^{13}/f_W$または$2^{14}/f_W$ごとに時計タイマ割り込み要求信号（INTWT）を発生します。

(6) セレクタ

時計タイマには，次の5つのセレクタがあります。

- 時計タイマのソース・クロックとして，f_X, $f_X/2$, $f_X/4$, $f_X/8$のうちの1つを選択します。
- 時計タイマのクロックとして，メイン・クロック（f_X）かサブクロック（f_{XT}）かを選択します。
- 5ビット・カウンタのカウント・クロック周波数として，f_Wか$f_W/2^9$かを選択します。
- INTWT信号発生時間間隔として，$2^4/f_W$または$2^{13}/f_W$か，$2^5/f_W$または$2^{14}/f_W$かを選択します。
- インターバル・タイマ割り込み要求信号（INTWTI）発生時間間隔として，$2^4/f_W$-$2^{11}/f_W$から選択します。

(7) PRSCM レジスタ

インターバル時間を設定する8ビットのコンペア・レジスタです。

(8) PRSM レジスタ

時計タイマへのクロック供給を制御するレジスタです。

(9) WTM レジスタ

時計タイマ／インターバル・タイマの動作制御や割り込み要求信号発生間隔を設定する8ビットのレジスタです。

10. 3　レジスタ

時計タイマには次のレジスタがあります。

・プリスケーラ・モード・レジスタ0（PRSM0）
・プリスケーラ・コンペア・レジスタ0（PRSCM0）
・時計タイマ動作モード・レジスタ（WTM）

（1）プリスケーラ・モード・レジスタ 0（PRSM0）

PRSM0レジスタは，時計タイマのカウント・クロックの生成を制御します。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	メイン・クロックでの動作許可
0	禁止
1	許可

BGCS01	BGCS00	時計タイマ・ソース・クロック（f_{BGCS}）の選択		
			5 MHz	4 MHz
0	0	fx	200 ns	250 ns
0	1	fx/2	400 ns	500 ns
1	0	fx/4	800 ns	1 μs
1	1	fx/8	1.6 μs	2 μs

注意1.　時計タイマ動作中に，BGCS01, BGCS00ビットの値を変更しないでください。
2.　PRSM0レジスタの設定はBGCE0ビットをセット（1）する前に行ってください。
3.　f_{BRG}の周波数が32.768 kHzとなるよう，使用するメイン・クロック周波数にあわせて，PRSM0, PRSCM0レジスタの設定を行ってください。

(2) プリスケーラ・コンペア・レジスタ 0（PRSCM0）

8ビットのコンペア・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

注意1. 時計タイマ動作中にPRSCM0レジスタを書き換えないでください。

2. PRSM0.BGCE0ビットをセット（1）する前にPRSCM0レジスタの設定を行ってください。

3. f_{BRG}の周波数が32.768 kHzとなるよう，使用するメイン・クロック周波数にあわせて，PRSM0, PRSCM0レジスタの設定を行ってください。

f_{BRG}の計算式を次に示します。

$$f_{BRG} = f_{BGCS}/2N$$

備考　f_{BGCS} ：PRSM0レジスタで設定した時計タイマ・ソース・クロック

N　：PRSCM0レジスタの設定値 = 1-256

ただし，N = 256となるのは，PRSCM0レジスタに00Hを設定した場合です。

(3) 時計タイマ動作モード・レジスタ（WTM）

時計タイマのカウント・クロックおよび動作の許可／禁止，プリスケーラのインターバル時間，5ビット・カウンタの動作制御および時計フラグのセット時間を設定するレジスタです。

WTMレジスタを設定する前にPRSM0レジスタを設定してください。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

（1/2）

リセット時：00H　R/W　アドレス：FFFFF680H

	7	6	5	4	3	2	①	⓪
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	WTM6	WTM5	WTM4	プリスケーラのインターバル時間の選択
0	0	0	0	$2^4/f_W$（488 μs：$f_W = f_{XT}$）
0	0	0	1	$2^5/f_W$（977 μs：$f_W = f_{XT}$）
0	0	1	0	$2^6/f_W$（1.95 ms：$f_W = f_{XT}$）
0	0	1	1	$2^7/f_W$（3.91 ms：$f_W = f_{XT}$）
0	1	0	0	$2^8/f_W$（7.81 ms：$f_W = f_{XT}$）
0	1	0	1	$2^9/f_W$（15.6 ms：$f_W = f_{XT}$）
0	1	1	0	$2^{10}/f_W$（31.3 ms：$f_W = f_{XT}$）
0	1	1	1	$2^{11}/f_W$（62.5 ms：$f_W = f_{XT}$）
1	0	0	0	$2^4/f_W$（488 μs：$f_W = f_{BRG}$）
1	0	0	1	$2^5/f_W$（977 μs：$f_W = f_{BRG}$）
1	0	1	0	$2^6/f_W$（1.95 ms：$f_W = f_{BRG}$）
1	0	1	1	$2^7/f_W$（3.91 ms：$f_W = f_{BRG}$）
1	1	0	0	$2^8/f_W$（7.81 ms：$f_W = f_{BRG}$）
1	1	0	1	$2^9/f_W$（15.6 ms：$f_W = f_{BRG}$）
1	1	1	0	$2^{10}/f_W$（31.3 ms：$f_W = f_{BRG}$）
1	1	1	1	$2^{11}/f_W$（62.5 ms：$f_W = f_{BRG}$）

(2/2)

WTM7	WTM3	WTM2	時計用フラグのセット時間の選択
0	0	0	2^{14}/fw（0.5 s：fw = f_{XT}）
0	0	1	2^{13}/fw（0.25 s：fw = f_{XT}）
0	1	0	2^{5}/fw（977 μs：fw = f_{XT}）
0	1	1	2^{4}/fw（488 μs：fw = f_{XT}）
1	0	0	2^{14}/fw（0.5 s：fw = f_{BRG}）
1	0	1	2^{13}/fw（0.25 s：fw = f_{BRG}）
1	1	0	2^{5}/fw（977 μs：fw = f_{BRG}）
1	1	1	2^{4}/fw（488 μs：fw = f_{BRG}）

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止（プリスケーラ，5ビット・カウンタともにクリア）
1	動作許可

注意　WTM2-WTM7ビットを書き換える場合は，WTM0, WTM1ビットがともに0の状態で行ってください。

備考1.　fw：時計タイマ・クロック周波数

2.　（　）内は，fw = 32.768 kHz動作時

10.4 動　　作

10.4.1 時計タイマとしての動作

時計タイマは，一定の時間間隔ごとに割り込み要求信号（INTWT）を発生します。

サブクロック（32.768 kHz）またはメイン・クロックを使用して，0.25秒または0.5秒の時間間隔の時計タイマとして動作します。

WTM.WTM1, WTM0ビットに“11”を設定するとカウント動作がスタートします。WTM0ビットに0を設定すると11ビット・プリスケーラと5ビット・カウンタがクリアされ，カウント動作が停止します。

時計タイマをインターバル・タイマと同時に動作させているとき，WTM1ビットをクリア（0）して5ビット・カウンタをクリアすることにより，時刻合わせができます。このとき，インターバル・タイマには影響はありませんが，時計タイマは最大で15.6 msの誤差が発生することがあります。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは，PRSM0.BGCS01, BGCS00ビットでカウント・クロックを，PRSCM0レジスタで8ビットのコンペア値を設定し，時計タイマのカウント・クロック周波数（f_{BRG}）が32.768 kHzになるようにしてください。

PRSM0.BGCE0ビットをセット（1）すると，時計タイマにf_{BRG}を供給します。

f_{BRG}は，次の式で求められます。

$$f_{BRG} = f_X/(2^{m+1} \times N)$$

f_{BRG}を32.768 kHzにするには，次のように計算してBGCS01, BGCS00ビット，PRSCM0レジスタを設定してください。

① N = f_X/65,536とし，m = 0としてください。
② Nの小数点第一位を四捨五入した値が偶数のとき，四捨五入する前のN = N/2とし，m = m＋1としてください。
③ Nが奇数になるか，またはm = 3になるまで，②を繰り返してください。
④ Nの小数点第一位を四捨五入した値をPRSCM0レジスタに，mをBGCS01, BGCS00ビットに設定してください。

例：f_X = 4.00 MHzの場合

① N = 4,000,000/65,536 = 61.03…，m = 0
②，③ N（小数点第一位を四捨五入）は奇数なので，N = 61, m = 0のまま
④ PRSCM0レジスタ設定値：3DH（61），BGCS01, BGCS00ビット設定値：00

このとき，実際のf_{BRG}の周波数は，次のようになります。

$f_{BRG} = f_X/(2^{m+1} \times N)$ = 4,000,000/（2×61）

= 32.787 kHz

備考　m ：分周値（BGCS01, BGCS00ビット設定値） = 0-3
N ：PRSCM0レジスタ設定値 = 1-256
ただし，N = 256となるのは，PRSCM0レジスタに00Hを設定した場合です。
f_X ：メイン・クロック発振周波数

10. 4. 2　インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし，繰り返し割り込み要求信号（INTWTI）を発生するインターバル・タイマとして動作します。

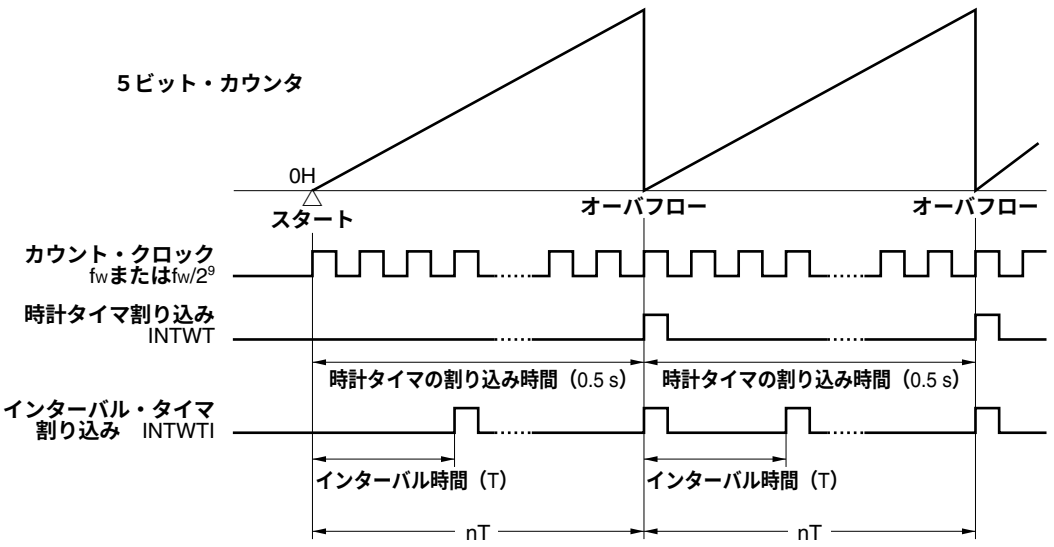
WTMレジスタのWTM4-WTM7ビットにより，インターバル時間を選択できます。

表10ー1　インターバル・タイマのインターバル時間

WTM7	WTM6	WTM5	WTM4	インターバル時間	
0	0	0	0	2^4×1/fw	488 μs（f_W = f_{XT} = 32.768 kHz動作時）
0	0	0	1	2^5×1/fw	977 μs（f_W = f_{XT} = 32.768 kHz動作時）
0	0	1	0	2^6×1/fw	1.95 ms（f_W = f_{XT} = 32.768 kHz動作時）
0	0	1	1	2^7×1/fw	3.91 ms（f_W = f_{XT} = 32.768 kHz動作時）
0	1	0	0	2^8×1/fw	7.81 ms（f_W = f_{XT} = 32.768 kHz動作時）
0	1	0	1	2^9×1/fw	15.6 ms（f_W = f_{XT} = 32.768 kHz動作時）
0	1	1	0	2^{10}×1/fw	31.3 ms（f_W = f_{XT} = 32.768 kHz動作時）
0	1	1	1	2^{11}×1/fw	62.5 ms（f_W = f_{XT} = 32.768 kHz動作時）
1	0	0	0	2^4×1/fw	488 μs（f_W = f_{BRG} = 32.768 kHz動作時）
1	0	0	1	2^5×1/fw	977 μs（f_W = f_{BRG} = 32.768 kHz動作時）
1	0	1	0	2^6×1/fw	1.95 ms（f_W = f_{BRG} = 32.768 kHz動作時）
1	0	1	1	2^7×1/fw	3.91 ms（f_W = f_{BRG} = 32.768 kHz動作時）
1	1	0	0	2^8×1/fw	7.81 ms（f_W = f_{BRG} = 32.768 kHz動作時）
1	1	0	1	2^9×1/fw	15.6 ms（f_W = f_{BRG} = 32.768 kHz動作時）
1	1	1	0	2^{10}×1/fw	31.3 ms（f_W = f_{BRG} = 32.768 kHz動作時）
1	1	1	1	2^{11}×1/fw	62.5 ms（f_W = f_{BRG} = 32.768 kHz動作時）

備考　f_W：時計タイマ・クロック周波数

図10－2　時計タイマ／インターバル・タイマの動作タイミング



備考1.　時計タイマの割り込み時間として，0.5秒を設定した場合

2.　fw：時計タイマ・クロック周波数

（　）内は，fw = 32.768 kHz動作時

n：インターバル・タイマ動作の回数

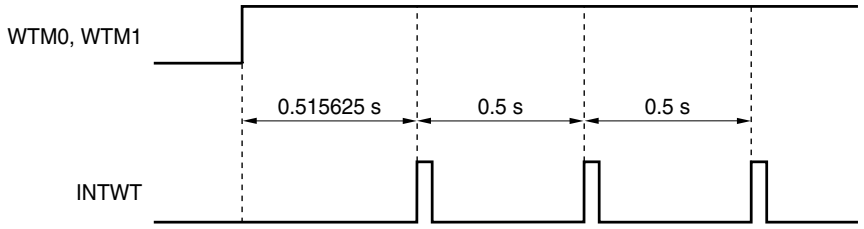
10. 4. 3　注意事項

動作許可（WTM.WTM1, WTM0ビット = 1）してから，最初の1回目の時計タイマ割り込み要求信号（INTWT）が発生するまで多少時間がかかります。

図10－3　時計タイマ割り込み要求信号（INTWT）の発生例（割り込み周期 = 0.5 sの場合）

1回目のINTWT信号が発生するまでに，最大0.515625 sかかります（最大2^9×1/32768 = 0.015625 s長くかかります）。

そのあとは0.5 sごとにINTWT信号が発生します。



第11章　ウォッチドッグ・タイマ2機能

11.1　機　　能

ウォッチドッグ・タイマ2には，次のような機能があります。

・ディフォールト・スタート・ウォッチドッグ・タイマ[注1]
　→リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDT2RES信号を発生）
　→ノンマスカブル割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）[注2]
・ソース・クロックとしてメイン・クロック，内蔵発振クロック，サブクロックからの入力を選択可能

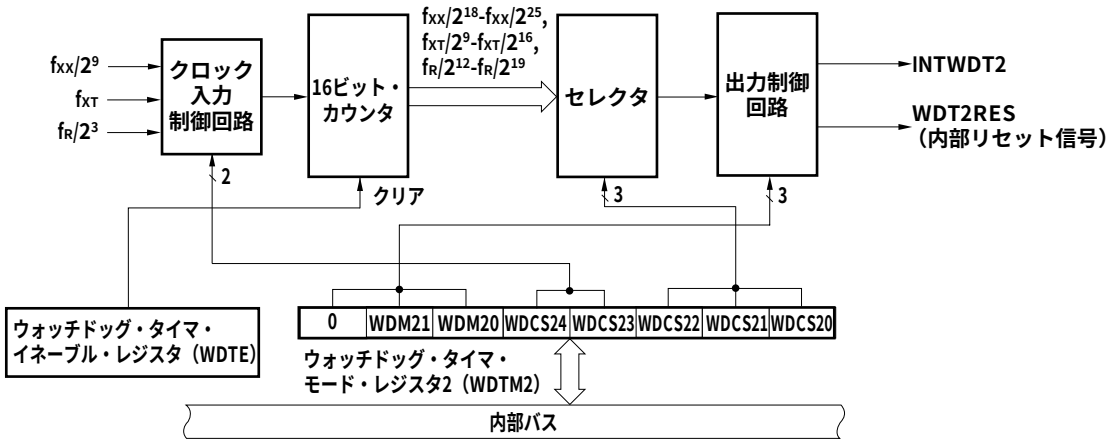
注1.　ウォッチドッグ・タイマ2は，リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は，この機能によるリセットが発生する前に停止するか，一度ウォッチドッグ・タイマ2をクリアし，次のインターバル時間内で停止してください。
また，ディフォールトの設定（リセット・モード，インターバル時間：$f_R/2^{19}$）で変更する必要がない場合も，動作を確定するために，1回だけWDTM2レジスタへの書き込みを行ってください。

2.　ノンマスカブル割り込み要求信号（INTWDT2）によるノンマスカブル割り込み処理については22.2.2（2）INTWDT2信号の場合を参照してください。

11.2 構　　成

次にウォッチドッグ・タイマ2のブロック図を示します。

図11－1　ウォッチドッグ・タイマ2のブロック図



備考　f_{XX}　：メイン・クロック周波数

f_{XT}　：サブクロック周波数

f_R　：内蔵発振クロック周波数

INTWDT2　：ウォッチドッグ・タイマ2によるノンマスカブル割り込み要求信号

WDTRES2：ウォッチドッグ・タイマ2リセット信号

ウォッチドッグ・タイマ2は，次のハードウエアで構成されています。

表11－1　ウォッチドッグ・タイマ2の構成

項　　目	構　　成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2） ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

11.3　レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ2（WDTM2）

ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

WDTM2は8ビット単位でリード／ライト可能です。ただし，リードは何回でもできますが，ライトはリセット解除後に1回のみできます。

リセットにより67Hになります。

注意　次に示す状態において，WDTM2レジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：67H　R/W　アドレス：FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード（INTWDT2信号を発生）
1	－	リセット・モード（WDT2RES信号を発生）

注意1.　WDCS24-WDCS20ビットについては表11－2　ウォッチドッグ・タイマ2のクロック選択を参照してください。

2. 内蔵発振器の停止のみでウォッチドッグ・タイマ2は停止しますが，動作を確定するため（誤書き込みで，メイン・クロックやサブクロックが選択されないようにする），WDTM2レジスタに00Hを設定してください。

3. リセット後，WDTM2レジスタに2回書き込んだ場合，強制的にオーバフロー信号を発生し，カウンタをリセットします。

4. 意図的にオーバフロー信号を発生させたい場合は，WDTM2レジスタに2回だけ書き込むか，WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。

5. ウォッチドッグ・タイマ2の動作を停止する場合は，RCM.RSTPビット = 1に設定（内蔵発振器の停止）するとともに，WDTM2レジスタに00Hを書き込んでください。RCM.RSTPビット = 1に設定できない場合は，WDCS23ビット = 1に設定してください（2^n/fxxが選択され，IDLE1，IDLE2，サブIDLE，サブクロック動作モードでクロックを停めることができます）。

表11－2　ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	100 kHz（MIN.）	200 kHz（TYP.）	400 kHz（MAX.）
0	0	0	0	0	$2^{12}/f_R$	41.0 ms	20.5 ms	10.2 ms
0	0	0	0	1	$2^{13}/f_R$	81.9 ms	41.0 ms	20.5 ms
0	0	0	1	0	$2^{14}/f_R$	163.8 ms	81.9 ms	41.0 ms
0	0	0	1	1	$2^{15}/f_R$	327.7 ms	163.8 ms	81.9 ms
0	0	1	0	0	$2^{16}/f_R$	655.4 ms	327.7 ms	163.8 ms
0	0	1	0	1	$2^{17}/f_R$	1310.7 ms	655.4 ms	327.7 ms
0	0	1	1	0	$2^{18}/f_R$	2621.4 ms	1310.7 ms	655.4 ms
0	0	1	1	1	$2^{19}/f_R$	5242.9 ms	2621.47 ms	1310.7 ms
						f_{XX} = 32 MHz時	f_{XX} = 20 MHz時	f_{XX} = 10 MHz時
0	1	0	0	0	$2^{18}/f_{XX}$	8.2 ms	13.1 ms	26.2 ms
0	1	0	0	1	$2^{19}/f_{XX}$	16.4 ms	26.2 ms	52.4 ms
0	1	0	1	0	$2^{20}/f_{XX}$	32.8 ms	52.4 ms	104.9 ms
0	1	0	1	1	$2^{21}/f_{XX}$	65.5 ms	104.9 ms	209.7 ms
0	1	1	0	0	$2^{22}/f_{XX}$	131.1 ms	209.7 ms	419.4 ms
0	1	1	0	1	$2^{23}/f_{XX}$	262.1 ms	419.4 ms	838.9 ms
0	1	1	1	0	$2^{24}/f_{XX}$	524.3 ms	838.9 ms	1677.7 ms
0	1	1	1	1	$2^{25}/f_{XX}$	1048.6 ms	1677.7 ms	3355.4 ms
						f_{XT} = 32.768 kHz		
1	×	0	0	0	$2^{9}/f_{XT}$	15.625 ms		
1	×	0	0	1	$2^{10}/f_{XT}$	31.25 ms		
1	×	0	1	0	$2^{11}/f_{XT}$	62.5 ms		
1	×	0	1	1	$2^{12}/f_{XT}$	125 ms		
1	×	1	0	0	$2^{13}/f_{XT}$	250 ms		
1	×	1	0	1	$2^{14}/f_{XT}$	500 ms		
1	×	1	1	0	$2^{15}/f_{XT}$	1000 ms		
1	×	1	1	1	$2^{16}/f_{XT}$	2000 ms		

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマ2のカウンタをクリアし，再びカウントを開始します。

8ビット単位でリード／ライト可能です。

リセットにより9AHになります。

リセット時：9AH　R/W　アドレス：FFFFF6D1H

	7	6	5	4	3	2	1	0
WDTE								

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合，強制的にオーバフロー信号を発生します。

2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合，強制的にオーバフロー信号を発生します。

3. 意図的にオーバフロー信号を発生させたい場合は，WDTEレジスタに“ACH”以外の値を1回だけ書き込むか，WDTM2レジスタに2回だけ書き込んでください。

4. WDTEレジスタのリード値は，“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

11.4 動　　作

ウォッチドッグ・タイマ2は，リセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みは，バイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は，動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後，動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで，ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。

WDTEレジスタにACHを書き込むことにより，ウォッチドッグ・タイマ2のカウンタをクリアし，再度カウント動作を開始します。カウント動作を開始したあと，設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず，暴走検出時間を越えてしまった場合は，WDTM2.WDM21, WDM20ビットの設定値により，リセット信号（WDT2RES）またはノンマスカブル割り込み要求信号（INTWDT2）が発生します。

WDTM2.WDM21ビット = 1（リセット・モード）に設定している場合，リセットやスタンバイ解除後の発振安定時間中にWDTオーバフローが発生すると，内部リセットは発生せずに，CPUクロックが内蔵発振クロックに切り替わります。

ウォッチドッグ・タイマ2を使用しない場合は，WDTM2レジスタに00Hを書き込んでください。

また，ノンマスカブル割り込み要求モードに設定した場合，ノンマスカブル割り込み処理については22. 2. 2 (2) INTWDT2信号の場合を参照してください。

第12章　リアルタイム出力機能（RTO）

12. 1　機　　能

RTBL0, RTBH0レジスタにあらかじめ設定したデータを，タイマ割り込みの発生と同時にハードウエアで出力ラッチに転送して，外部に出力することをリアルタイム出力機能（RTO）といいます。また，外部へ出力する端子をリアルタイム出力ポートと呼びます。

RTOを使用することにより，ジッタのない信号を出力できますので，ステッピング・モータなどの制御に最適です。

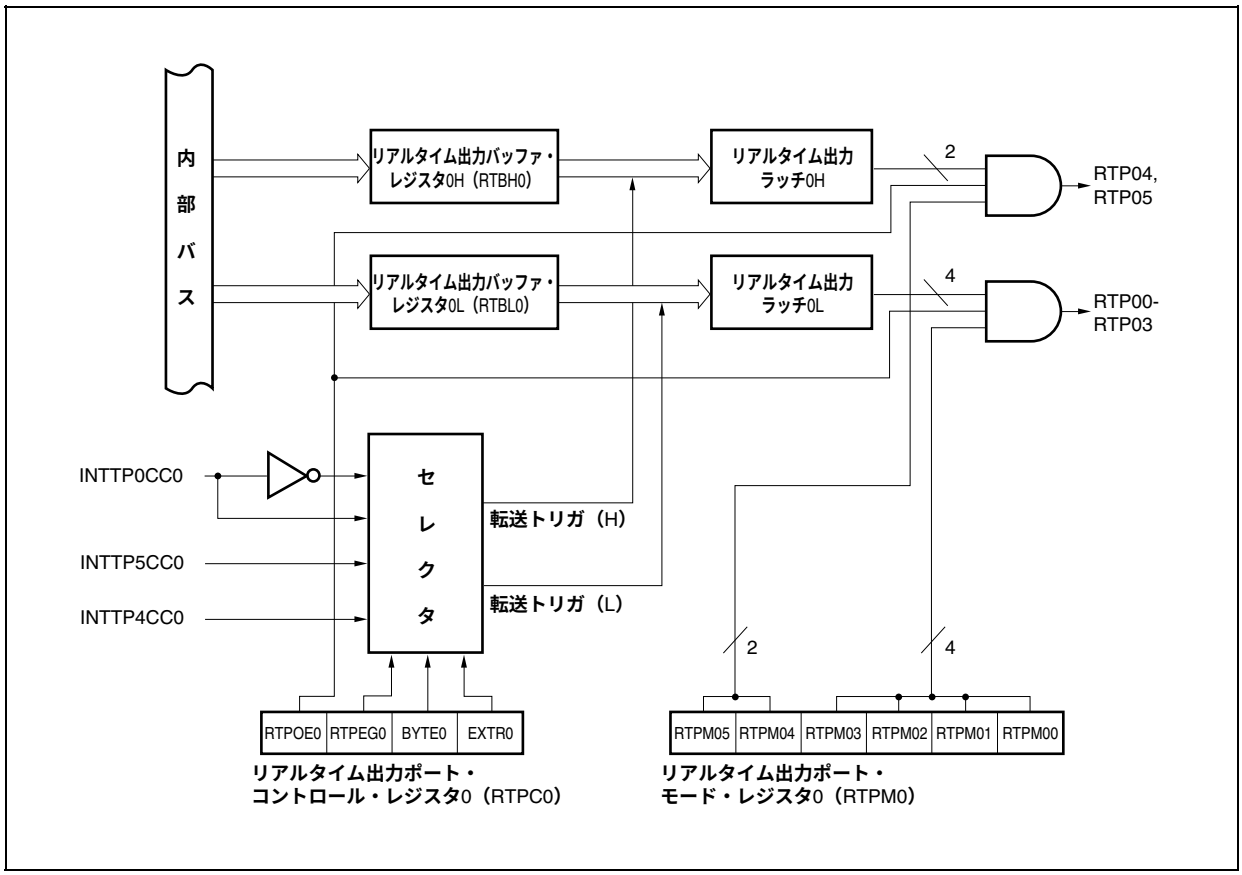
V850ES/SG2では，6ビット・リアルタイム出力ポートを1チャネル搭載しています。

1ビット単位でポート・モード／リアルタイム出力ポート・モードの指定ができます。

12. 2　構　　成

次にRTOのブロック図を示します。

図12ー1　RTOのブロック図



RTOは，次のハードウエアで構成しています。

表12ー1　RTOの構成

項　　目	構　　成
レジスタ	リアルタイム出力バッファ・レジスタ0L, 0H（RTBL0, RTBH0）
制御レジスタ	リアルタイム出力ポート・モード・レジスタ0（RTPM0） リアルタイム出力ポート・コントロール・レジスタ0（RTPC0）

（1）リアルタイム出力バッファ・レジスタ0L, 0H（RTBL0, RTBH0）

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL0, RTBH0レジスタは，周辺I/Oレジスタ領域内でそれぞれ独立したアドレスにマッピングされています。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

4ビット×1チャネル，2ビット×1チャネルの動作モードを指定したとき（RTPC0.BYTE0ビット = 0）は，RTBL0, RTBH0レジスタはそれぞれ独立にデータを設定できます。また，RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

6ビット×1チャネルの動作モードを指定したとき（BYTE0ビット = 1）は，RTBL0, RTBH0レジスタのどちらか一方に8ビット・データを書き込むことにより，RTBL0, RTBH0レジスタそれぞれにデータを設定できます。また，RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

表12－2にRTBL0, RTBH0レジスタに対する操作時の動作を示します。

リセット時：00H　R/W　アドレス：RTBL0 FFFFF6E0H, RTBH0 FFFFF6E2H

	7	6	5	4	3	2	1	0
RTBL0					RTBL03	RTBL02	RTBL01	RTBL00
RTBH0	0	0	RTBH05	RTBH04				

注意1.　RTBH0レジスタのビット6, 7への書き込み時は，必ず“0”を書き込んでください。

2.　次に示す状態において，RTBL0, RTBH0レジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

表12－2　RTBL0, RTBH0レジスタに対する操作時の動作

動作モード	操作対象レジスタ	リード時		ライト時注	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×1チャネル，2ビット×1チャネル	RTBL0	RTBH0	RTBL0	無効	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	無効
6ビット×1チャネル	RTBL0	RTBH0	RTBL0	RTBH0	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	RTBL0

注　リアルタイム出力ポートに設定後，リアルタイム出力トリガが発生されるまでにRTBL0, RTBH0レジスタに出力データを設定してください。

12. 3　レジスタ

RTOは，次の2種類のレジスタで制御します。

・リアルタイム出力ポート・モード・レジスタ0（RTPM0）
・リアルタイム出力ポート・コントロール・レジスタ0（RTPC0）

（1）リアルタイム出力ポート・モード・レジスタ0（RTPM0）

RTPM0レジスタは，リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H　R/W　アドレス：FFFFF6E4H

	7	6	5	4	3	2	1	0
RTPM0	0	0	RTPM05	RTPM04	RTPM03	RTPM02	RTPM01	RTPM00

RTPM0m	リアルタイム出力ポートの制御（m = 0-5）
0	リアルタイム出力禁止
1	リアルタイム出力許可

注意1. リアルタイム出力動作を許可（RTPC0.RTPOE0ビット = 1）することにより，RTP00-RTP05信号のうちリアルタイム出力許可されたビットはリアルタイム出力を行い，リアルタイム出力動作禁止に指定されたビットは“0”を出力します。

2. リアルタイム出力動作を禁止（RTPOE0ビット = 0）した場合は，RTPM0レジスタの設定にかかわらず，リアルタイム出力端子（RTP00-RTP05）は全ビット“0”を出力します。

3. リアルタイム出力端子（RTP00-RTP05）として使用するには，PMC, PFCレジスタでリアルタイム出力ポートに設定してください。

(2) リアルタイム出力ポート・コントロール・レジスタ0（RTPC0）

RTPC0レジスタは，リアルタイム出力ポートの動作モード，および出力トリガを設定するレジスタです。
リアルタイム出力ポートの動作モードと出力トリガについては表12－3に示すような関係があります。
8/1ビット単位でリード／ライト可能です。
リセットにより，00Hになります。

リセット時：00H　R/W　アドレス：FFFFF6E5H

	⑦	6	5	4	3	2	1	0
RTPC0	RTPOE0	RTPEG0	BYTE0	EXTR0	0	0	0	0

RTPOE0	リアルタイム出力の動作制御
0	動作禁止注1
1	動作許可

RTPEG0	INTTP0CC0信号の有効エッジ
0	立ち下がりエッジ注2
1	立ち上がりエッジ

BYTE0	リアルタイム出力のチャネル構成指定
0	4ビット×2チャネル，2ビット×2チャネル
1	6ビット×2チャネル

注1. リアルタイム出力動作禁止（RTPOE0ビット = 0）の場合，リアルタイム出力信号（RTP00-RTP05）は全ビット“0”を出力します。

2. INTTP0CC0信号は，TMP0で選択しているカウント・クロックの1クロック分出力されます。

注意 RTPEG0, BYTE0, EXTR0ビットの設定は，必ずRTPOE0ビット = 0のときに行ってください。

表12－3　リアルタイム出力ポートの動作モードと出力トリガ

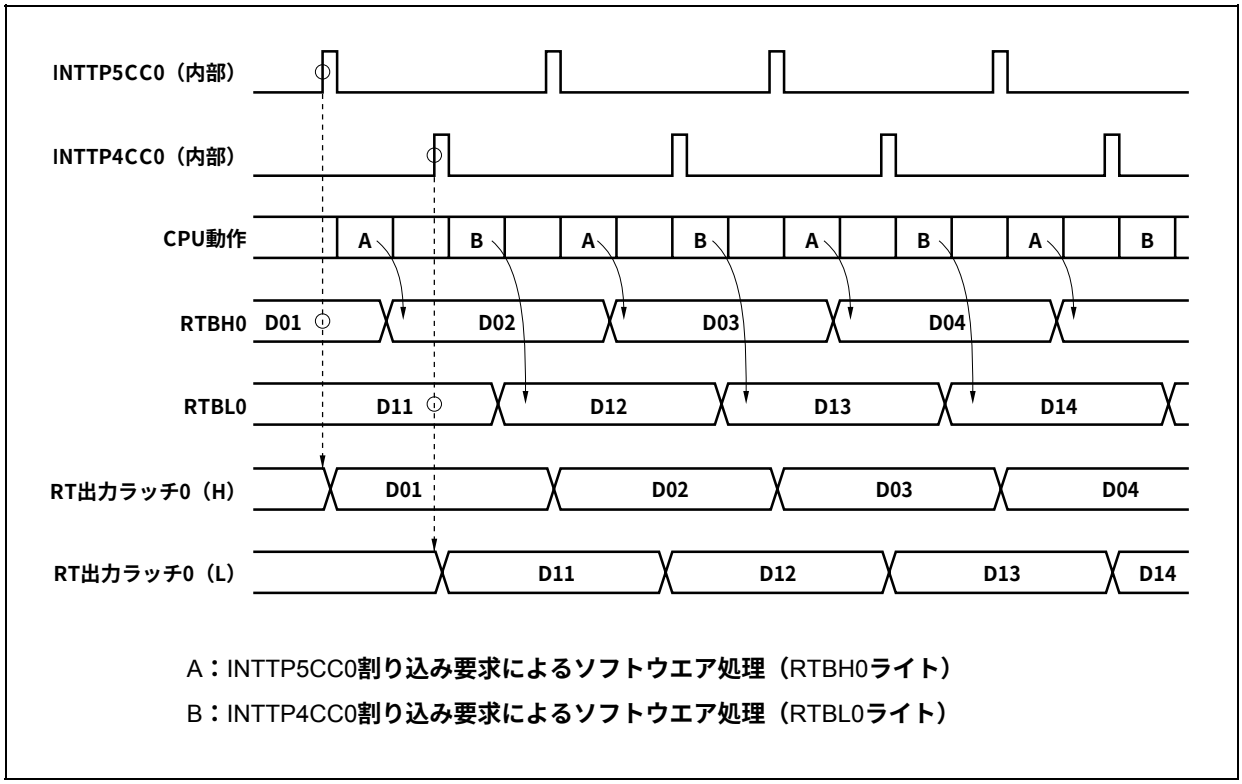
BYTE0	EXTR0	動作モード	RTBH0（RTP04, RTP05）	RTBL0（RTP00-RTP03）
0	0	4ビット×1チャネル，2ビット×1チャネル	INTTP5CC0	INTTP4CC0
	1		INTTP4CC0	INTTP0CC0
1	0	6ビット×1チャネル	INTTP4CC0	
	1		INTTP0CC0	

12.4 動　　作

RTPC0.RTPOE0ビット = 1でリアルタイム出力動作を許可した場合，選択された転送トリガ（RTPC0.EXTR0, BYTE0ビットで設定）の発生に同期して，RTBH0, RTBL0レジスタのデータをリアルタイム出力ラッチに転送します。転送されたデータのうちRTPM0レジスタの設定により，リアルタイム出力を許可されたビットのデータのみをRTP00-RTP05のそれぞれのビットから出力します。RTPM0レジスタでリアルタイム出力動作禁止に指定されたビットは0を出力します。

RTPOE0ビット = 0でリアルタイム出力動作を禁止した場合は，RTPM0レジスタの設定に関係なくRTP00-RTP05信号は0を出力します。

図12ー2　RTO0の動作タイミング例（EXTR0ビット = 0, BYTE0ビット = 0の場合）



備考　スタンバイ時の動作については，第24章　スタンバイ機能を参照してください。

12.5　使用方法

（1）リアルタイム出力動作を禁止する。

RTPC0.RTPOE0ビット = 0に設定。

（2）初期設定

・ポート5の兼用端子を設定する。

PFC5.PFC5mビット，PFCE5.PFCE5mビットに1を設定後，PMC5.PMC5mビットに1を設定する（m = 0-5）。

・ビット単位でリアルタイム出力ポート・モード／ポート・モードを指定する。

RTPM0レジスタを設定。

・チャネル構成，トリガおよび有効エッジを選択する。

RTPC0.EXTR0, BYTE0, RTPEG0ビットを設定。

・初期値をRTBH0, RTBL0レジスタに設定する[注1]。

（3）リアルタイム出力動作を許可する。

RTPOE0ビット = 1に設定。

（4）選択した転送トリガが発生するまでに，次の出力値をRTBH0, RTBL0レジスタに設定する[注2]。

（5）選択したトリガに対応する割り込み処理により，順次，次のリアルタイム出力値をRTBH0, RTBL0レジスタに設定する。

注1. RTPOE0ビット = 0のとき，RTBH0, RTBL0レジスタに対してライトを行うと，その値がそれぞれリアルタイム出力ラッチ0H，リアルタイム出力ラッチ0Lに転送されます。

2. RTPOE0ビット = 1のとき，RTBH0, RTBL0レジスタに対してライトを行っても，リアルタイム出力ラッチ0H，リアルタイム出力ラッチ0Lにデータ転送はされません。

12.6　注意事項

（1）ソフトウエアにより，次の競合を回避してください。

・リアルタイム出力動作の禁止／許可の切り替え（RTPOE0ビット）と選択したリアルタイム出力トリガとの競合

・リアルタイム出力動作許可状態におけるRTBH0, RTBL0レジスタのライトと選択したリアルタイム出力トリガとの競合

（2）初期設定は，リアルタイム出力動作を禁止（RTPOE0ビット = 0）にしてから行ってください。

（3）一度リアルタイム出力動作を禁止（RTPOE0ビット = 0）した場合は，リアルタイム出力動作を許可（RTPOE0ビット = 0→1）する前に，必ずRTBH0, RTBL0レジスタに初期値を設定してください。

第13章　A/Dコンバータ

13. 1　概　　要

A/Dコンバータは，アナログ入力をディジタル値に変換するコンバータで，10ビット分解能，12チャネル：ANI0-ANI11端子の構成になっています。

次にA/Dコンバータの特徴について示します。

○10ビット分解能

○12チャネル

○逐次比較変換方式

○動作電圧：AV_{REF0} = 3.0〜3.6 V

○アナログ入力電圧：0 V〜AV_{REF0}

○動作モードとして，次の機能があります。

・連続セレクト・モード

・連続スキャン・モード

・ワンショット・セレクト・モード

・ワンショット・スキャン・モード

○トリガ・モードとして，次の機能があります。

・ソフトウエア・トリガ・モード

・外部トリガ・モード（外部1本）

・タイマ・トリガ・モード

○パワー・フェイル監視機能（変換結果比較機能）

13. 2　機　　能

(1) 10ビット分解能A/D変換

アナログ入力をANI0-ANI11から1チャネル選択し，10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに，割り込み要求信号（INTAD）を発生します。

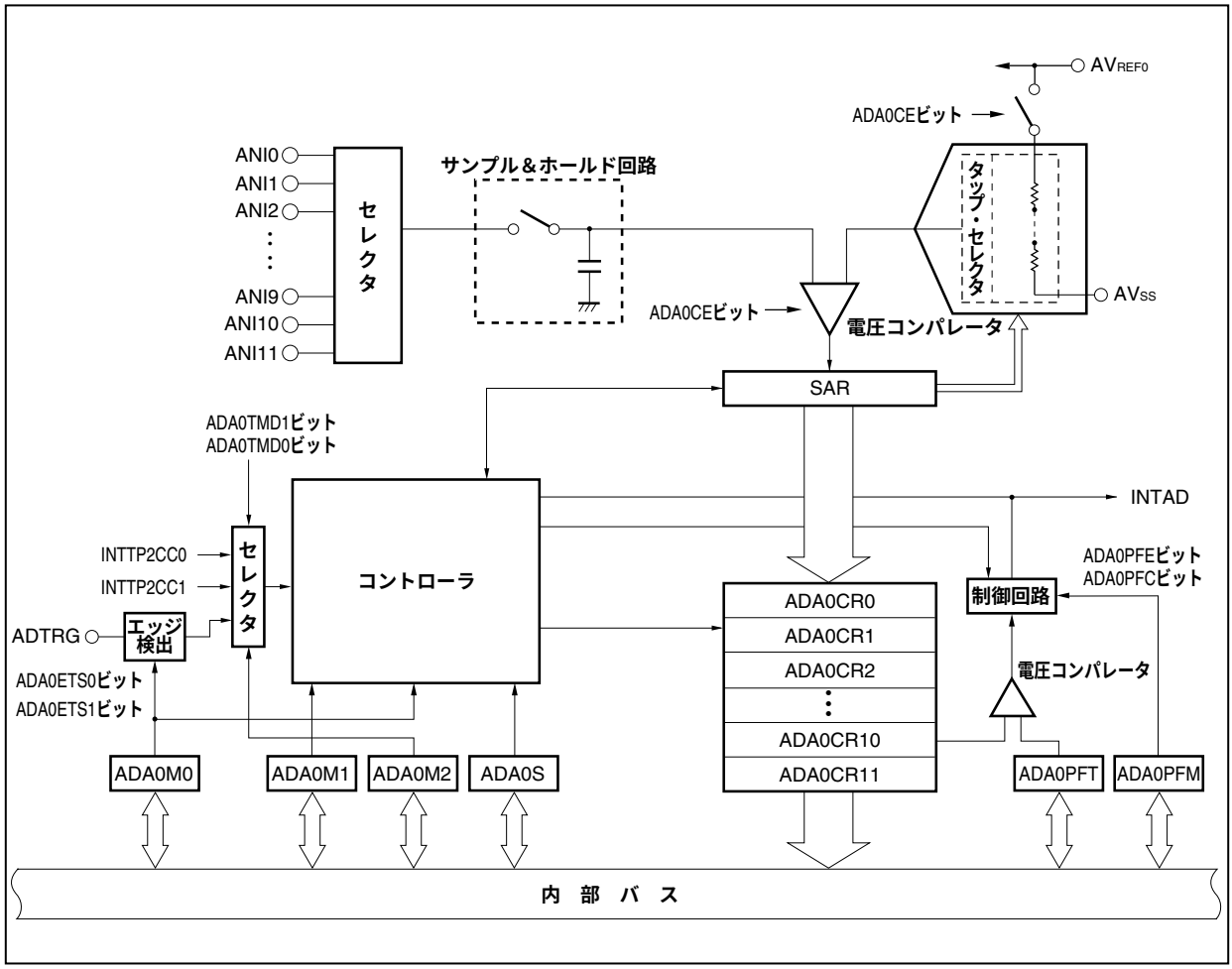
(2) パワー・フェイル検出機能

バッテリ電圧低下を検出するための機能です。A/D変換結果（ADA0CRnHレジスタ値）とADA0PFTレジスタの値との大小比較を行い，比較条件に合致した場合のみINTAD信号を発生します（n = 0-11）。

13. 3　構　　成

次にブロック図を示します。

図13－1　A/Dコンバータのブロック図



A/Dコンバータは，次のハードウエアで構成しています。

表13－1　A/Dコンバータの構成

項　　目	構　　成
アナログ入力	12チャネル（ANI0-ANI11端子）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ0-11（ADA0CR0-ADA0CR11） A/D変換結果レジスタ0H-11H（ADCR0H-ADCR11H）：上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ0-2（ADA0M0-ADA0M2） A/Dコンバータ・チャネル指定レジスタ0（ADA0S） パワー・フェイル比較モード・レジスタ（ADA0PFM） パワー・フェイル比較しきい値レジスタ（ADA0PFT）

(1) 逐次変換レジスタ（SAR）

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し，その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで保持すると（A/D変換終了），SARレジスタの内容はADA0CRnレジスタに転送されます。

備考　n = 0-11

(2) A/D変換結果レジスタn（ADA0CRn），A/D変換結果レジスタnH（ADA0CRnH）

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。12本のレジスタで構成されており，A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します（下位6ビットは0に固定）。

(3) A/Dコンバータ・モード・レジスタ0（ADA0M0）

動作モードの指定および変換動作の制御を行うレジスタです。

(4) A/Dコンバータ・モード・レジスタ1（ADA0M1）

A/D変換するアナログ入力の変換時間を設定するレジスタです。

(5) A/Dコンバータ・モード・レジスタ2（ADA0M2）

ハードウエア・トリガのモードを設定するレジスタです。

(6) A/Dコンバータ・チャネル指定レジスタ（ADA0S）

A/D変換するアナログ電圧の入力ポートを設定するレジスタです。

(7) パワー・フェイル比較モード・レジスタ（ADA0PFM）

パワー・フェイル監視モードを設定するレジスタです。

(8) パワー・フェイル比較しきい値レジスタ（ADA0PFT）

A/D変換結果レジスタnH（ADA0CRnH）と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット（ADA0CRnH）が比較されます。

(9) 制御回路

A/D変換が終了するか，パワー・フェイル検出機能使用時，A/D変換結果（ADA0CRnHレジスタ値）とADA0PFTレジスタの値との大小比較を行い，比較条件に合致した場合のみINTAD信号を発生します。

(10) サンプル＆ホールド回路

サンプル＆ホールド回路は，入力回路で選択されたアナログ入力信号をサンプリングし，電圧コンパレータに送ります。また，そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

（11）電圧コンパレータ

電圧コンパレータは，サンプリングされ保持された電圧値と直列抵抗ストリングの出力電圧を比較します。

（12）直列抵抗ストリング

直列抵抗ストリングはAV_{REF0}-AV_{SS}間に接続されており，アナログ入力と比較する電圧を発生します。

（13）ANI0-ANI11端子

A/Dコンバータへの12チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は，入力ポートとして使用できます。

注意　ANI0-ANI11端子入力電圧は規格の範囲内で使用してください。特にAV_{REF0}以上の電圧が入力されると，そのチャネルの変換値が不定となり，またほかのチャネルの変換値にも影響を与えることがあります。

（14）AV_{REF0}端子

A/Dコンバータの基準電圧を入力する端子です。A/Dコンバータを使用しないときでも，常にV_{DD}端子と同電位で使用してください。

AV_{REF0}，AV_{SS}間にかかる電圧に基づいて，ANI0-ANI11端子に入力される信号をディジタル信号に変換します。

（15）AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも，常にV_{SS}端子と同電位で使用してください。

13. 4　レジスタ

A/Dコンバータは，次に示すレジスタで制御します。

- A/Dコンバータ・モード・レジスタ0, 1, 2（ADA0M0, ADA0M1, ADA0M2）
- A/Dコンバータ・チャネル指定レジスタ0（ADA0S）
- パワー・フェイル比較モード・レジスタ（ADA0PFM）

また，次のレジスタも使用します。

- A/D変換結果レジスタn（ADA0CRn）
- A/D変換結果レジスタnH（ADA0CRnH）
- パワー・フェイル比較しきい値レジスタ（ADA0PFT）

（1）A/Dコンバータ・モード・レジスタ0（ADA0M0）

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。ただし，ADA0EFビットはリードのみ可能です。

リセットにより，00Hになります。

注意　次に示す状態において，ADA0M0レジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

（1/2）

リセット時：00H　R/W　アドレス：FFFFF200H

	⑦	6	5	4	3	2	1	⓪
ADA0M0	ADA0CE	0	ADA0MD1	ADA0MD0	ADA0ETS1	ADA0ETS0	ADA0TMD	ADA0EF

ADA0CE	A/D変換動作の制御
0	A/D変換動作停止
1	A/D変換動作許可

ADA0MD1	ADA0MD0	A/Dコンバータ動作モードを指定
0	0	連続セレクト・モード
0	1	連続スキャン・モード
1	0	ワンショット・セレクト・モード
1	1	ワンショット・スキャン・モード

(2/2)

ADA0ETS1	ADA0ETS0	外部トリガ（ADTRG端子）入力の有効エッジを指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち上がり／立ち下がり両エッジ検出

ADA0TMD	トリガ・モードを指定
0	ソフトウエア・トリガ・モード
1	外部トリガ・モード／タイマ・トリガ・モード

ADA0EF	A/Dコンバータの状態を提示
0	A/D変換停止中
1	A/D変換動作中

注意1. ビット0に書き込みを行った場合，書き込みは無視されます。

2. A/D変換動作許可中（ADA0CEビット = 1）は，ADA0M1.ADA0FR2-ADA0FR0ビットの変更は禁止です。

3. 次のモードでは，ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みはA/D変換動作停止（ADA0CEビット = 0）の状態で行い，そのあとでA/D変換動作許可（ADA0CEビット = 1）してください。

   - 通常変換モード
   - 高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

   また，そのほかのモードでA/D変換動作中（ADA0EFビット = 1）にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合には各モードにより次のようになります。

   - ソフトウエア・トリガ・モード時
     A/D変換動作は中断され，再度，最初から変換動作を行います。
   - ハードウエア・トリガ・モード時
     A/D変換動作は中断され，再度，トリガ待機状態になります。

4. 外部トリガ・モード／タイマ・トリガ・モードを選択する場合（ADA0TMDビット = 1）は，高速変換モード（ADA0M1.ADA0HS1ビット = 1）に設定してください。また，A/D変換動作許可（ADA0CEビット = 1）したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

5. A/Dコンバータを使用しない場合は，消費電力を小さくするために，ADA0CEビット = 0として動作を停止させてください。

(2) A/Dコンバータ・モード・レジスタ1（ADA0M1）

変換時間の指定を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H　R/W　アドレス：FFFFF201H

	7	6	5	4	3	2	1	0
ADA0M1	ADA0HS1	0	0	0	ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0

ADA0HS1	A/D変換時間の通常変換モード／高速変換モードを指定
0	通常変換モード
1	高速変換モード

注意1. A/D変換動作許可中（ADA0M0.ADA0CEビット = 1）は，ADA0M1レジスタの変更は禁止です。

2. 外部トリガ・モード／タイマ・トリガ・モードを選択する場合（ADA0M0.ADA0TMDビット = 1）は，高速変換モード（ADA0HS1ビット = 1）に設定してください。また，A/D変換動作許可（ADA0CEビット = 1）したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

3. ビット6-4には必ず“0”を設定してください。

備考　A/D変換時間の設定例は表13－2，表13－3を参照してください。

表13－2　通常変換モード時の変換時間の選択（ADA0HS1ビット = 0）

ADA0FR3-ADA0FR0 ビット	A/D 変換時間					
	安定時間＋変換時間＋ウエイト時間	f_{XX} = 32 MHz	f_{XX} = 20 MHz	f_{XX} = 16 MHz	f_{XX} = 4 MHz	トリガ応答時間
0000	13/f_{XX}＋26/f_{XX}＋26/f_{XX}	設定禁止	設定禁止	設定禁止	16.25 μs	4/f_{XX}
0001	26/f_{XX}＋52/f_{XX}＋52/f_{XX}	設定禁止	6.5 μs	8.125 μs	設定禁止	5/f_{XX}
0010	39/f_{XX}＋78/f_{XX}＋78/f_{XX}	設定禁止	9.75 μs	12.1875 μs	設定禁止	6/f_{XX}
0011	50/f_{XX}＋104/f_{XX}＋104/f_{XX}	8.0625 μs	12.9 μs	16.125 μs	設定禁止	7/f_{XX}
0100	50/f_{XX}＋130/f_{XX}＋130/f_{XX}	9.6875 μs	15.5 μs	19.375 μs	設定禁止	8/f_{XX}
0101	50/fxx＋156/fxx＋156/f_{XX}	11.3125 μs	18.1 μs	22.625 μs	設定禁止	9/f_{XX}
0110	50/fxx＋182/fxx＋182/f_{XX}	12.9375 μs	20.7 μs	設定禁止	設定禁止	10/f_{XX}
0111	50/f_{XX}＋208/f_{XX}＋208/f_{XX}	14.5625 μs	23.3 μs	設定禁止	設定禁止	11/f_{XX}
1000	50/f_{XX}＋234/f_{XX}＋234/f_{XX}	16.1875 μs	設定禁止	設定禁止	設定禁止	12/f_{XX}
1001	50/f_{XX}＋260/f_{XX}＋260/f_{XX}	17.8125 μs	設定禁止	設定禁止	設定禁止	13/f_{XX}
1010	50/f_{XX}＋286/f_{XX}＋286/f_{XX}	19.4375 μs	設定禁止	設定禁止	設定禁止	14/f_{XX}
1011	50/f_{XX}＋312/f_{XX}＋312/f_{XX}	21.0625 μs	設定禁止	設定禁止	設定禁止	15/f_{XX}
上記以外	設定禁止					

備考　安定時間　　：A/Dコンバータのセットアップ時間（1 μs以上）

変換時間　　：実際にA/D変換にかかる時間（2.6～10.4 μs）

ウエイト時間　：次の変換までに挿入されるウエイト時間

トリガ応答時間：ソフトウエア・トリガ，外部トリガ，またはタイマ・トリガが安定時間経過後に発生した場合，変換時間の前に挿入されます。

通常変換モードでは，ADA0M0.ADA0CEビットをセット（1）してから，安定時間後に変換を開始し，変換時間（2.6～10.4 μs）の間だけA/D変換動作を行います。変換終了後，動作を停止し，ウエイト時間が経過してからA/D変換終了割り込み要求信号（INTAD）が発生します。

ウエイト時間中は変換動作を停止しているため，動作電流を低減することができます。

注意　2.6 μs≦変換時間≦10.4 μsになるように設定してください。

表13－3　高速変換モード時の変換時間の選択（ADA0HS1ビット = 1）

ADA0FR3-ADA0FR0 ビット	A/D 変換時間					
	変換時間（＋安定時間）	f_{XX} = 32 MHz	f_{XX} = 20 MHz	f_{XX} = 16 MHz	f_{XX} = 4 MHz	トリガ応答時間
0000	26/f_{XX}（＋13/f_{XX}）	設定禁止	設定禁止	設定禁止	6.5 μs (＋3.25 μs)	4/f_{XX}
0001	52/f_{XX}（＋26/f_{XX}）	設定禁止	2.6 μs (＋1.3 μs)	3.25 μs (＋1.625 μs)	設定禁止	5/f_{XX}
0010	78/f_{XX}（＋39/f_{XX}）	設定禁止	3.9 μs (＋1.95 μs)	4.875 μs (＋2.4375 μs)	設定禁止	6/f_{XX}
0011	104/f_{XX}（＋50/f_{XX}）	3.25 μs (＋1.5625 μs)	5.2 μs (＋2.5 μs)	6.5 μs (＋3.125 μs)	設定禁止	7/f_{XX}
0100	130/f_{XX}（＋50/f_{XX}）	4.0625 μs (＋1.5625 μs)	6.5 μs (＋2.5 μs)	8.125 μs (＋3.125 μs)	設定禁止	8/f_{XX}
0101	156/f_{XX}（＋50/f_{XX}）	4.875 μs (＋1.5625 μs)	7.8 μs (＋2.5 μs)	9.75 μs (＋3.125 μs)	設定禁止	9/f_{XX}
0110	182/f_{XX}（＋50/f_{XX}）	5.6875 μs (＋1.5625 μs)	9.1 μs (＋2.5 μs)	設定禁止	設定禁止	10/f_{XX}
0111	208/f_{XX}（＋50/f_{XX}）	6.5 μs (＋1.5625 μs)	10.4 μs (＋2.5 μs)	設定禁止	設定禁止	11/f_{XX}
1000	234/f_{XX}（＋50/f_{XX}）	7.3125 μs (＋1.5625 μs)	設定禁止	設定禁止	設定禁止	12/f_{XX}
1001	260/f_{XX}（＋50/f_{XX}）	8.125 μs (＋1.5625 μs)	設定禁止	設定禁止	設定禁止	13/f_{XX}
1010	286/f_{XX}（＋50/f_{XX}）	8.9375 μs (＋1.5625 μs)	設定禁止	設定禁止	設定禁止	14/f_{XX}
1011	312/f_{XX}（＋50/f_{XX}）	9.75 μs (＋1.5625 μs)	設定禁止	設定禁止	設定禁止	15/f_{XX}
上記以外	設定禁止					

備考　変換時間　　：実際にA/D変換にかかる時間（2.6～10.4 μs）

安定時間　　：A/Dコンバータのセットアップ時間（1 μs以上）

トリガ応答時間：ソフトウエア・トリガ，外部トリガ，またはタイマ・トリガが安定時間経過後に発生した場合，変換時間の前に挿入されます。

高速変換モードでは，ADA0M0.ADA0CEビットをセット（1）してから，安定時間後に変換を開始し，変換時間（2.6～10.4 μs）の間A/D変換動作を行います。変換終了後，ただちにA/D変換終了割り込み要求信号（INTAD）が発生します。

連続変換モードの場合，1回目の変換前だけに安定時間が挿入され，2回目以降は安定時間が挿入されません（A/Dコンバータは起動したままです）。

注意　2.6 μs≦変換時間≦10.4 μsになるように設定してください。

(3) A/Dコンバータ・モード・レジスタ2（ADA0M2）

ハードウエア・トリガのモードを指定します。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H　R/W　アドレス：FFFFF203H

	7	6	5	4	3	2	1	0
ADA0M2	0	0	0	0	0	0	ADA0TMD1	ADA0TMD0

ADA0TMD1	ADA0TMD0	ハードウエア・トリガ・モードの指定
0	0	外部トリガ・モード（ADTRG端子の有効エッジ検出時）
0	1	タイマ・トリガ・モード0（INTTP2CC0割り込み要求発生時）
1	0	タイマ・トリガ・モード1（INTTP2CC1割り込み要求発生時）
1	1	設定禁止

注意1. 次のモードでは，ADA0M2レジスタへの書き込みはA/D変換動作停止（ADA0M0.ADA0CEビット = 0）の状態で行い，そのあとでA/D変換動作許可（ADA0CEビット = 1）してください。

- 通常変換モード
- 高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

2. ビット7-2には必ず“0”を設定してください。

（4）A/Dコンバータ・チャネル指定レジスタ0（ADA0S）

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H　R/W　アドレス：FFFFF202H

	7	6	5	4	3	2	1	0
ADA0S	0	0	0	0	ADA0S3	ADA0S2	ADA0S1	ADA0S0

ADA0S3	ADA0S2	ADA0S1	ADA0S0	セレクト・モード	スキャン・モード
0	0	0	0	ANI0	ANI0
0	0	0	1	ANI1	ANI0-ANI1
0	0	1	0	ANI2	ANI0-ANI2
0	0	1	1	ANI3	ANI0-ANI3
0	1	0	0	ANI4	ANI0-ANI4
0	1	0	1	ANI5	ANI0-ANI5
0	1	1	0	ANI6	ANI0-ANI6
0	1	1	1	ANI7	ANI0-ANI7
1	0	0	0	ANI8	ANI0-ANI8
1	0	0	1	ANI9	ANI0-ANI9
1	0	1	0	ANI10	ANI0-ANI10
1	0	1	1	ANI11	ANI0-ANI11
1	1	0	0	設定禁止	設定禁止
1	1	0	1	設定禁止	設定禁止
1	1	1	0	設定禁止	設定禁止
1	1	1	1	設定禁止	設定禁止

注意1.　次のモードでは，ADA0Sレジスタへの書き込みはA/D変換動作停止（ADA0M0.ADA0CEビット = 0）の状態で行い，そのあとでA/D変換動作許可（ADA0CEビット = 1）してください。

- 通常変換モード
- 高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

2.　ビット7-4には必ず“0”を設定してください。

（5）A/D変換結果レジスタn, nH（ADA0CRn, ADA0CRnH）

ADA0CRn, ADA0CRnHレジスタは，A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし，16ビット・アクセス時はADA0CRnレジスタを指定，8ビット・アクセス時はADA0CRnHレジスタを指定します。ADA0CRnレジスタは上位10ビットに変換結果の10ビットが読み出され，下位6ビットには0が読み出されます。ADA0CRnHレジスタには変換結果の上位8ビットが読み出されます。

注意　次に示す状態において，ADA0CRn, ADA0CRnHレジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：不定　　R　　アドレス：ADA0CR0 FFFFF210H, ADA0CR1 FFFFF212H,
ADA0CR2 FFFFF214H, ADA0CR3 FFFFF216H,
ADA0CR4 FFFFF218H, ADA0CR5 FFFFF21AH,
ADA0CR6 FFFFF21CH, ADA0CR7 FFFFF21EH,
ADA0CR8 FFFFF220H, ADA0CR9 FFFFF222H,
ADA0CR10 FFFFF224H, ADA0CR11 FFFFF226H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA0CRn (n = 0-11)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定　　R　　アドレス：ADA0CR0H FFFFF211H, ADA0CR1H FFFFF213H,
ADA0CR2H FFFFF215H, ADA0CR3H FFFFF217H,
ADA0CR4H FFFFF219H, ADA0CR5H FFFFF21BH,
ADA0CR6H FFFFF21DH, ADA0CR7H FFFFF21FH,
ADA0CR8H FFFFF221H, ADA0CR9H FFFFF223H,
ADA0CR10H FFFFF225H, ADA0CR11H FFFFF227H

	7	6	5	4	3	2	1	0
ADA0CRnH (n = 0-11)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

注意　ADA0M0, ADA0S**レジスタに対して書き込み動作を行ったとき，**ADA0CRn**レジスタの内容は不定になることがあります。変換結果は，変換動作終了後，**ADA0M0, ADA0S**レジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。**

アナログ入力端子（ANI0-ANI11**）に入力されたアナログ入力電圧と**A/D**変換結果（**ADA0CRn**レジスタ）には次式に示す関係があります。**

$$SAR = INT\left(\frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5\right)$$

$$ADA0CR^{注} = SAR \times 64$$

または，

$$(SAR - 0.5) \times \frac{AV_{REF0}}{1024} \leqq V_{IN} < (SAR + 0.5) \times \frac{AV_{REF0}}{1024}$$

INT（　）：（　）**内の値の整数部を返す関数**

V_{IN}　　：**アナログ入力電圧**

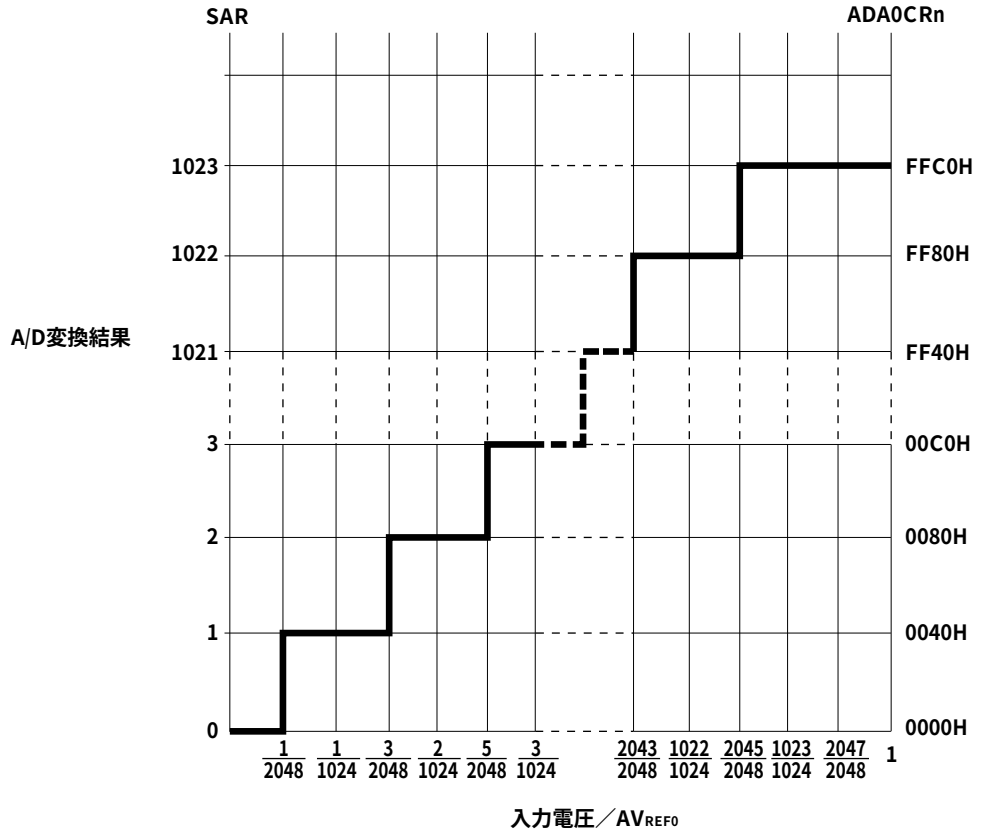
AV_{REF0}　：AV_{REF0}**端子電圧**

ADA0CR　：ADA0CRn**レジスタの値**

注　ADA0CRn**レジスタの下位**6**ビットは**0**固定です。**

次にアナログ入力電圧とA/D変換結果の関係を示します。

図13－2　アナログ入力電圧とA/D変換結果の関係



(6) パワー・フェイル比較モード・レジスタ（ADA0PFM）

ADA0PFMレジスタは，パワー・フェイル比較モードの設定を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H　　R/W　　アドレス：FFFFF204H

	⑦	6	5	4	3	2	1	0
ADA0PFM	ADA0PFE	ADA0PFC	0	0	0	0	0	0

ADA0PFE	パワー・フェイル比較許可／禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

ADA0PFC	パワー・フェイル比較モードの選択
0	ADA0CRnH≧ADA0PFTで割り込み要求信号（INTAD）を発生
1	ADA0CRnH＜ADA0PFTで割り込み要求信号（INTAD）を発生

注意1.　セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し，結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが，一致しない場合は割り込みを発生しません。

2.　スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し，結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが，一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず，比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが，スキャン終了後のINTAD信号は発生しません。

3.　次のモードでは，ADA0PFMレジスタへの書き込みはA/D変換動作停止（ADA0M0.ADA0CEビット = 0）の状態で行い，そのあとでA/D変換動作許可（ADA0CEビット = 1）してください。

- 通常変換モード
- 高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

（7）パワー・フェイル比較しきい値レジスタ（ADA0PFT）

ADA0PFTレジスタは，パワー・フェイル比較モード時の比較値を設定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H　　R/W　　アドレス：FFFFF205H

	7	6	5	4	3	2	1	0
ADA0PFT								

注意　次のモードでは，ADA0PFTレジスタへの書き込みはA/D変換動作停止（ADA0M0.ADA0CEビット = 0）の状態で行い，そのあとでA/D変換動作許可（ADA0CEビット = 1）してください。

- 通常変換モード
- 高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

13. 5　動　　作

13. 5. 1　基本動作

① A/D変換する動作モード，トリガ・モード，変換時間などをADA0M0, ADA0M1, ADA0M2, ADA0Sレジスタで設定します。ADA0M0レジスタのADA0CEビットをセットすると，ソフトウエア・トリガ・モード時は変換を開始し，外部／タイマ・トリガ・モード時はトリガ待機状態になります。

② A/D変換が開始されると選択されたアナログ入力チャネルに入力されている電圧を，サンプル＆ホールド回路でサンプリングします。

③ 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，入力されたアナログ電圧をA/D変換が終了するまで保持します。

④ 逐次変換レジスタ（SAR）のビット9をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）AV_{REF0}にします。

⑤ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし，アナログ入力が（1/2）AV_{REF0}よりも大きければ，SARレジスタのMSBをセットしたままです。また，（1/2）AV_{REF0}よりも小さければMSBをリセットします。

⑥ 次にSARレジスタのビット8が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップが選択されます。
・ビット9 = 1：（3/4）AV_{REF0}
・ビット9 = 0：（1/4）AV_{REF0}
この電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。
アナログ入力電圧≧電圧タップ：ビット8 = 1
アナログ入力電圧≦電圧タップ：ビット8 = 0

⑦ このような比較をSARレジスタのビット0まで続けます。

⑧ 10ビットの比較が終了したとき，SARレジスタには有効なディジタルの結果が残り，その値がADA0CRnレジスタに転送され格納されます。そのあと，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑨ ワンショット・セレクト・モードの場合は，変換を停止します[注]。ワンショット・スキャン・モードの場合は，スキャンを一巡すると停止します[注]。連続セレクト・モードの場合はADA0M0.ADA0CEビット = 0とするまで②～⑧を繰り返します。連続スキャン・モードの場合もそれぞれのチャネルに対して②～⑧を繰り返します。

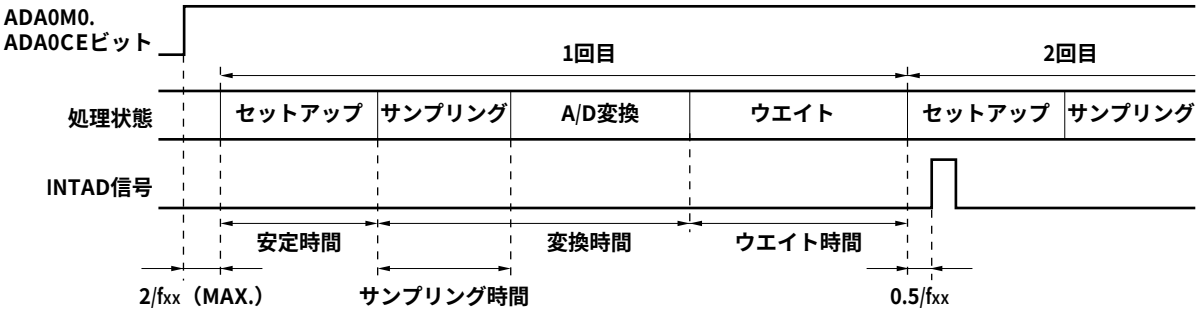
注　外部トリガ・モード，タイマ・トリガ・モード0，タイマ・トリガ・モード1時はトリガ待機状態になります。

備考　トリガ待機状態とは，安定時間経過後の状態を示します。

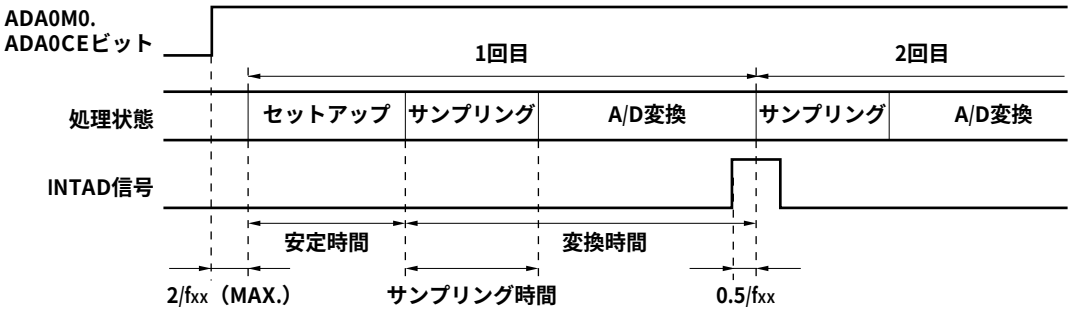
13. 5. 2　変換動作タイミング

図13－3　変換動作タイミング（連続変換）

（1）通常変換モード時の動作（ADA0HS1ビット = 0）



（2）高速変換モード時の動作（ADA0HS1ビット = 1）



ADA0FR3-ADA0FR0 ビット	安定時間	変換時間（サンプリング時間）	ウエイト時間	トリガ応答時間
0000	13/fxx	26/fxx（4/fxx）	26/fxx	4/fxx
0001	26/fxx	52/fxx（8/fxx）	52/fxx	5/fxx
0010	39/fxx	78/fxx（12/fxx）	78/fxx	6/fxx
0011	50/fxx	104/fxx（16/fxx）	104/fxx	7/fxx
0100	50/fxx	130/fxx（20/fxx）	130/fxx	8/fxx
0101	50/fxx	156/fxx（24/fxx）	156/fxx	9/fxx
0110	50/fxx	182/fxx（28/fxx）	182/fxx	10/fxx
0111	50/fxx	208/fxx（32/fxx）	208/fxx	11/fxx
1000	50/fxx	234/fxx（36/fxx）	234/fxx	12/fxx
1001	50/fxx	260/fxx（40/fxx）	260/fxx	13/fxx
1010	50/fxx	286/fxx（44/fxx）	286/fxx	14/fxx
1011	50/fxx	312/fxx（48/fxx）	312/fxx	15/fxx
上記以外	設定禁止			

備考　上記のタイミングは安定時間内にトリガが発生した場合です。安定時間経過後にトリガが発生した場合は，トリガ応答時間が挿入されます。

13. 5. 3　トリガ・モード

トリガ・モードの設定により，変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウエア・トリガ・モード，ハードウエア・トリガ・モードがあり，ハードウエア・トリガ・モードでは，タイマ・トリガ・モード0, 1，外部トリガ・モードの3つがあります。トリガ・モードの設定はADA0M0.ADA0TMDビットで行い，ハードウエア・トリガ・モードの設定はADA0M2.ADA0TMD1, ADA0TMD0ビットで行います。

(1) ソフトウエア・トリガ・モード

ADA0M0.ADA0CEビットを“1”に設定すると，ADA0Sレジスタで指定したアナログ入力（ANI0-ANI11端子）に対し，変換動作を開始します。変換を終了すると，変換結果をADA0CRnレジスタに格納し，同時に，A/D変換終了割り込み要求信号（INTAD）を発生します。

ADA0M0.ADA0MD1, ADA0MD0ビットで設定される動作モードが，連続セレクト／スキャン・モードであれば，変換終了後はADA0CEビットを“0”にしないかぎり，次の変換を繰り返し行います。動作モードがワンショット・セレクト／スキャン・モードであれば，1回で変換を終了します。

変換が開始されると，ADA0M0.ADA0EFビット = 1（動作中）となります。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合，変換は中断され，再度最初から変換を行います。ただし，通常変換モード時，高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード時の書き込みは禁止です。

(2) 外部トリガ・モード

外部トリガ（ADTRG端子）の入力により，ADA0Sレジスタで指定したアナログ入力（ANI0-ANI11端子）に対し，変換動作を開始するモードです。ADA0M0.ADA0ETS1, ATA0ETS0ビットの設定により，外部トリガのエッジ検出（立ち上がり，立ち下がり，立ち上がり／立ち下がりの両エッジ）の指定ができます。ADA0CEビットをセット（1）設定するとトリガ待機状態となり，外部トリガが入力された後に変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが，連続セレクト／連続スキャン／ワンショット・セレクト／ワンショット・スキャン・モードにかかわらず，変換を終了すると，変換結果をADA0CRnレジスタに格納し，同時に，INTAD信号を発生し，再びトリガ待機状態になります。

変換が開始されると，ADA0EFビット = 1（動作中）となります。ただし，トリガ待機状態のときはADA0EFビット = 0（停止中）となります。変換動作中に有効なトリガが入力されると，変換は中断され，再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合，変換は中断され，再度トリガ待機状態になります。ただし，ワンショット・セレクト・モード／ワンショット・スキャン・モード時の書き込みは禁止です。

注意　外部トリガ・モードを選択する場合は，高速変換モードに設定してください。また，A/D変換動作許可（ADA0M0.ADA0CEビット = 1）したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

備考　トリガ待機状態とは，安定時間経過後の状態を示します。

(3) タイマ・トリガ・モード

タイマに接続されたキャプチャ／コンペア・レジスタのコンペア一致割り込み要求信号（INTTP2CC0, INTTP2CC1）により，ADA0Sレジスタで指定したアナログ入力（ANI0-ANI11端子）に対し，変換動作を開始するモードです。ADA0TMD1, ADA0TMD0ビットの設定により，INTTP2CC0, INTTP2CC1信号のいずれかを指定し，指定されたコンペア一致割り込み要求信号の立ち上がりエッジで変換を開始します。ADA0CEビットをセット（1）するとトリガ待機状態となり，タイマのコンペア一致割り込み要求信号が入力されたあとに変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが，連続セレクト／連続スキャン／ワンショット・セレクト／ワンショット・スキャン・モードにかかわらず，変換を終了すると，変換結果をADA0CRnレジスタに格納し，同時に，INTAD信号を発生し，再びトリガ待機状態になります。

変換が開始されると，ADA0EFビット = 1（動作中）となります。ただし，トリガ待機状態の時はADA0EFビット = 0（停止中）となります。変換動作中に有効なトリガが入力されると，変換は中断され，再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合，変換は中断され，再度，トリガ待機状態になります。ただし，ワンショット・セレクト・モード／ワンショット・スキャン・モード時の書き込みは禁止です。

注意　タイマ・トリガ・モードを選択する場合は，高速変換モードに設定してください。また，A/D変換動作許可（ADA0M0.ADA0CEビット = 1）したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

備考　トリガ待機状態とは，安定時間経過後の状態を示します。

13. 5. 4　動作モード

動作モードには，ANI0-ANI11端子を設定するモードとして，連続セレクト・モード，連続スキャン・モード，ワンショット・セレクト・モード，ワンショット・スキャン・モードの4つがあります。

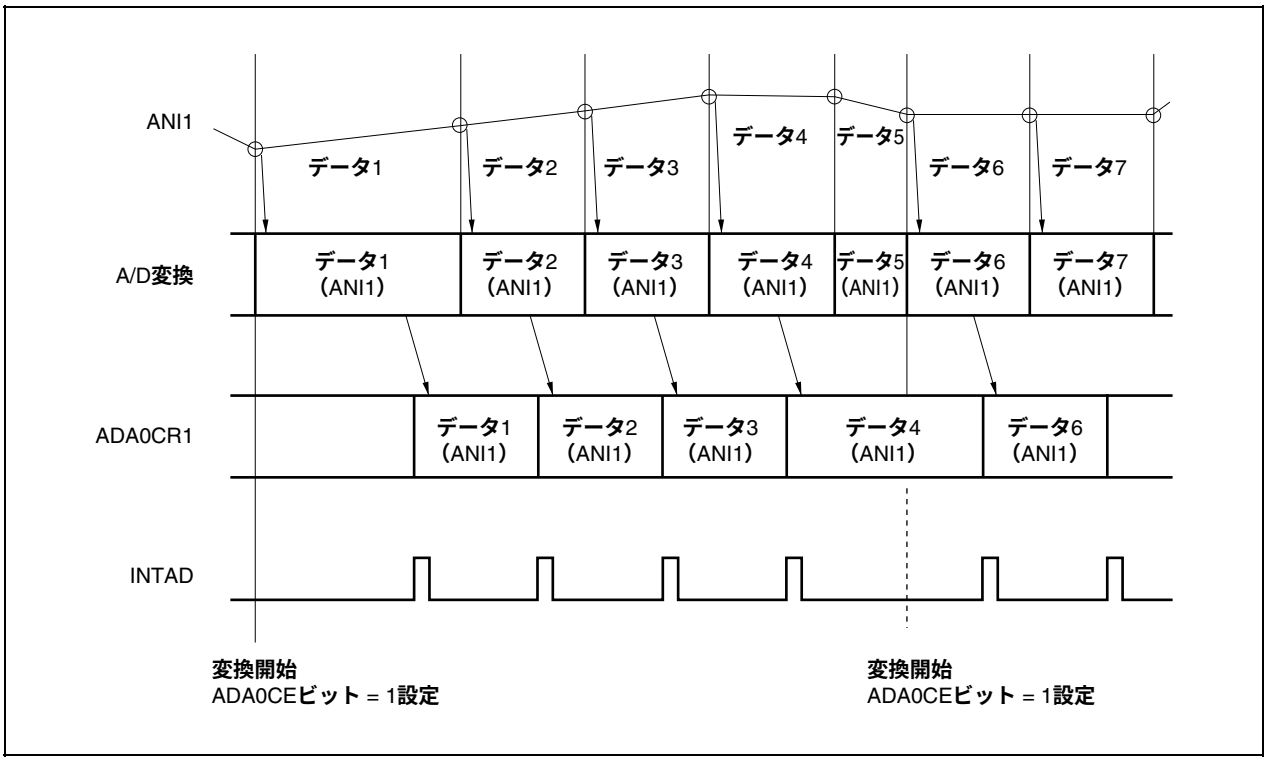
動作モードはADA0M0.ADA0MD1, ADA0MD0ビットで設定します。

(1) 連続セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており，1回のA/D変換終了ごとにA/D変換終了割り込み要求信号（INTAD）が発生します。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり，次の変換を繰り返し行います（n = 0-11）。

図13－4　連続セレクト・モード動作タイミング例（ADA0Sレジスタ = 01H）



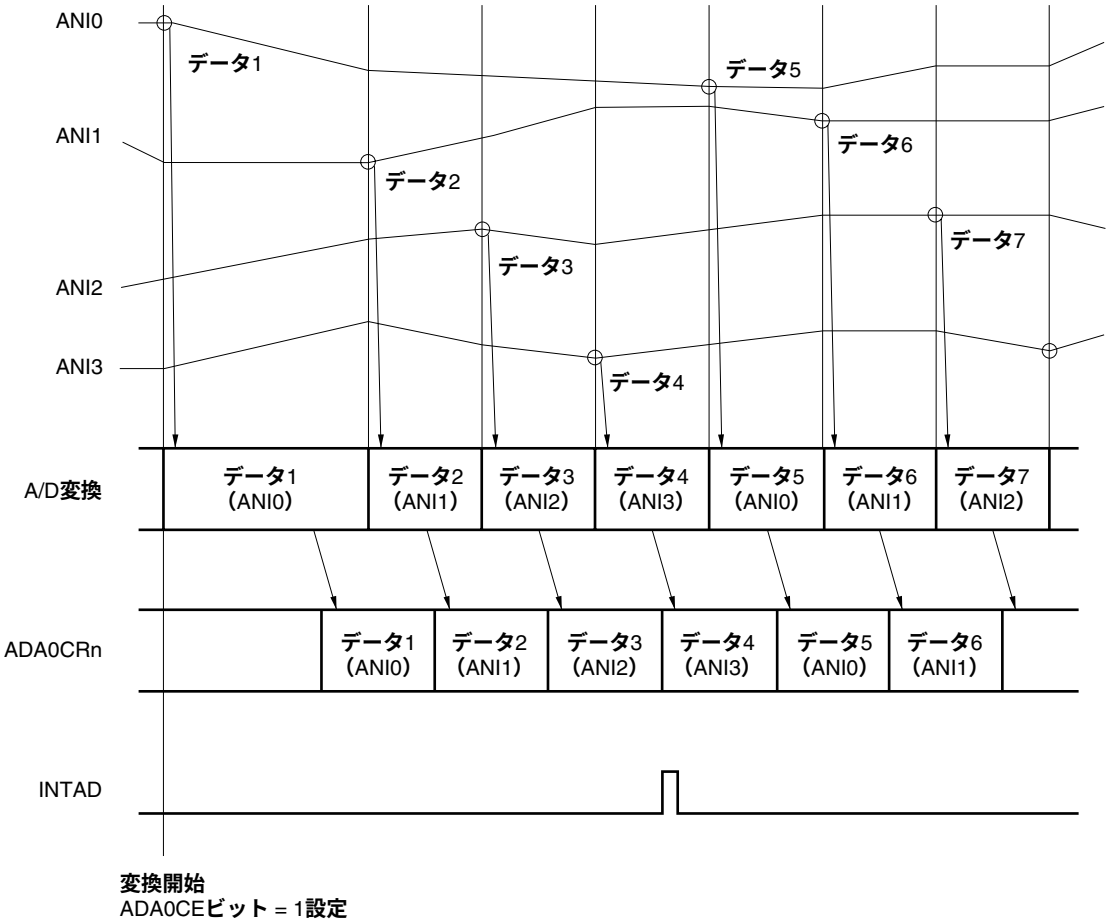
(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し，A/D変換を連続で行います。

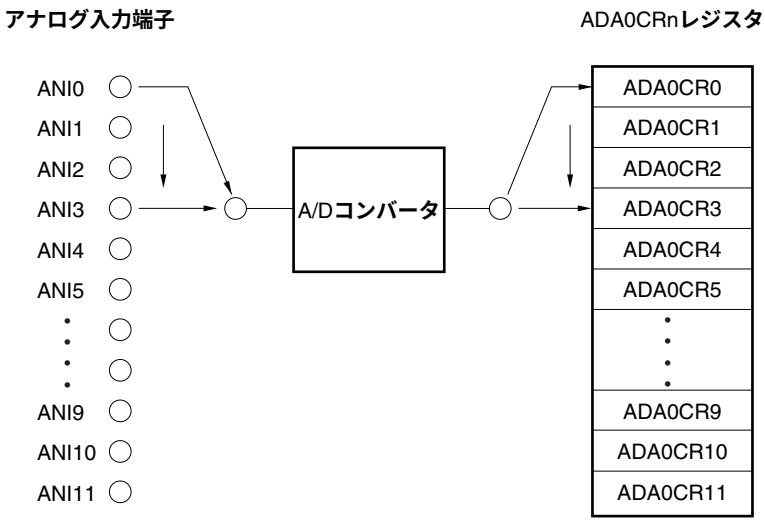
変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると，INTAD信号が発生し，ADA0CEビットを“0”にしないかぎり，再びANI0端子からA/D変換を開始します（n = 0-11）。

図13－5　連続スキャン・モード動作タイミング例（ADA0Sレジスタ = 03H）

(a) タイミング例



(b) ブロック図

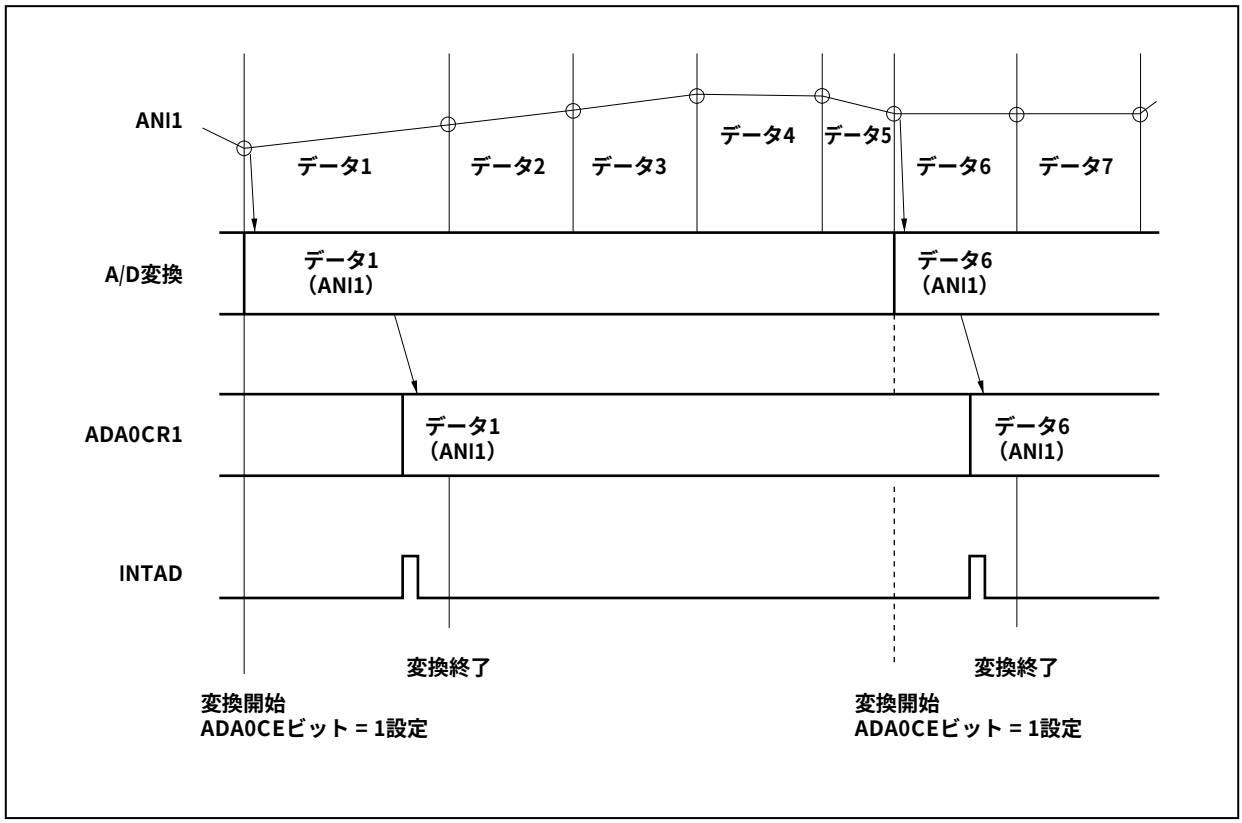


(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子を1回のみA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており，1回のA/D変換終了後，INTAD信号が発生します。A/D変換終了後はA/D変換動作を停止します（n = 0-11）。

図13－6　ワンショット・セレクト・モード動作タイミング例（ADA0Sレジスタ = 01H）



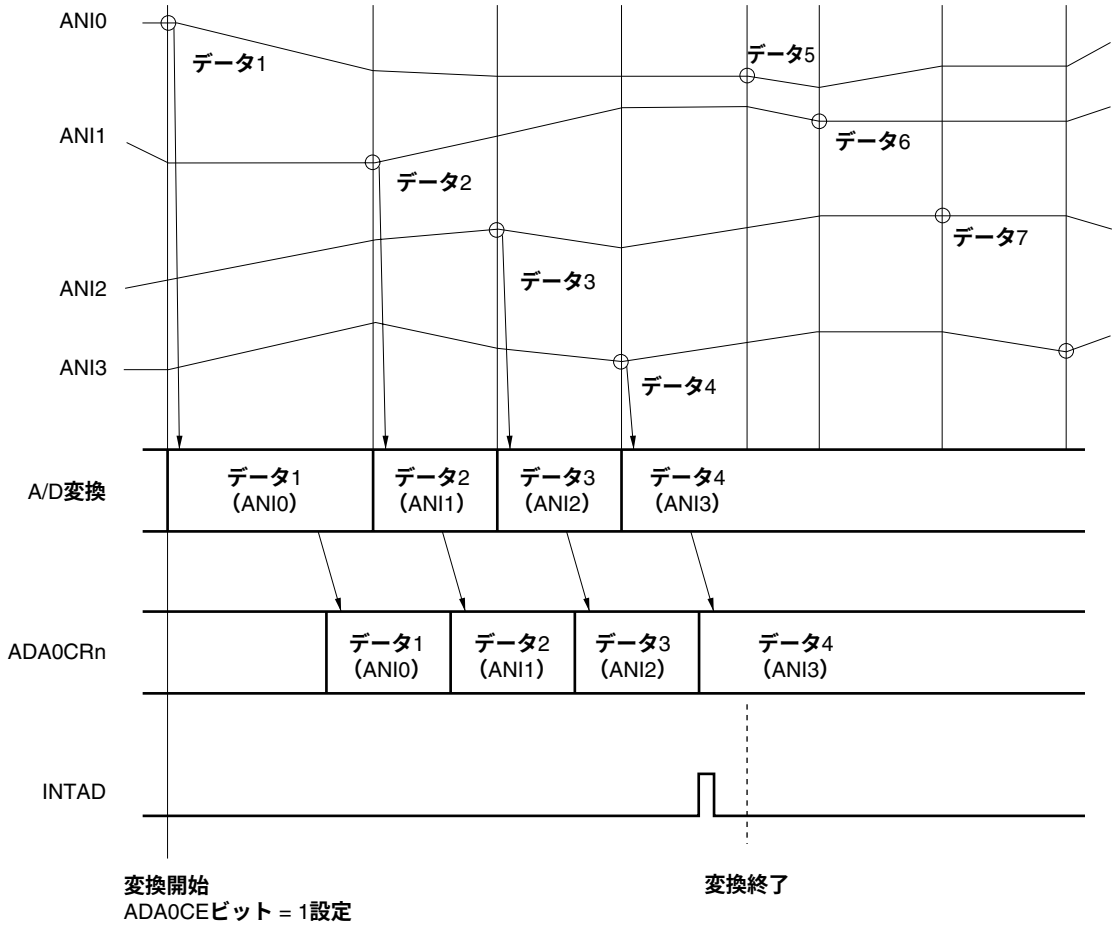
(4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し，A/D変換します。

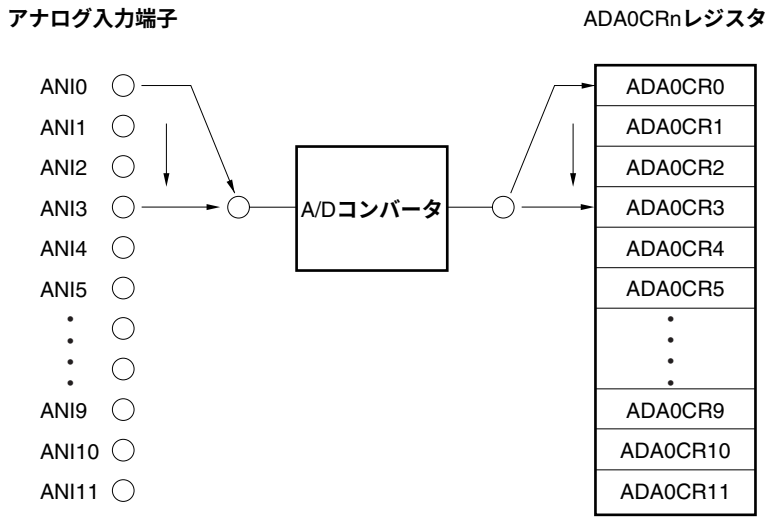
変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると，INTAD信号が発生し，A/D変換終了後はA/D変換動作を停止します（n = 0-11）。

図13－7　ワンショット・スキャン・モード動作タイミング例（ADA0Sレジスタ = 03H）

(a) タイミング例



(b) ブロック図



13. 5. 5　パワー・フェイル比較モード

ADA0PFM, ADA0PFTレジスタにより，A/D変換終了割り込み要求信号（INTAD）を次のように制御できます。

- ADA0PFM.ADA0PFEビット = 0の場合，変換終了ごとにINTAD信号が発生します（通常のA/Dコンバータとして使用）。
- ADA0PFEビット = 1かつADA0PFM.ADA0PFCビット = 0の場合，変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し，ADA0CRnH≧ADA0PFTの場合のみ，INTAD信号を発生します。
- ADA0PFEビット = 1かつADA0PFCビット = 1の場合，変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し，ADA0CRnH＜ADA0PFTの場合のみ，INTAD信号を発生します。

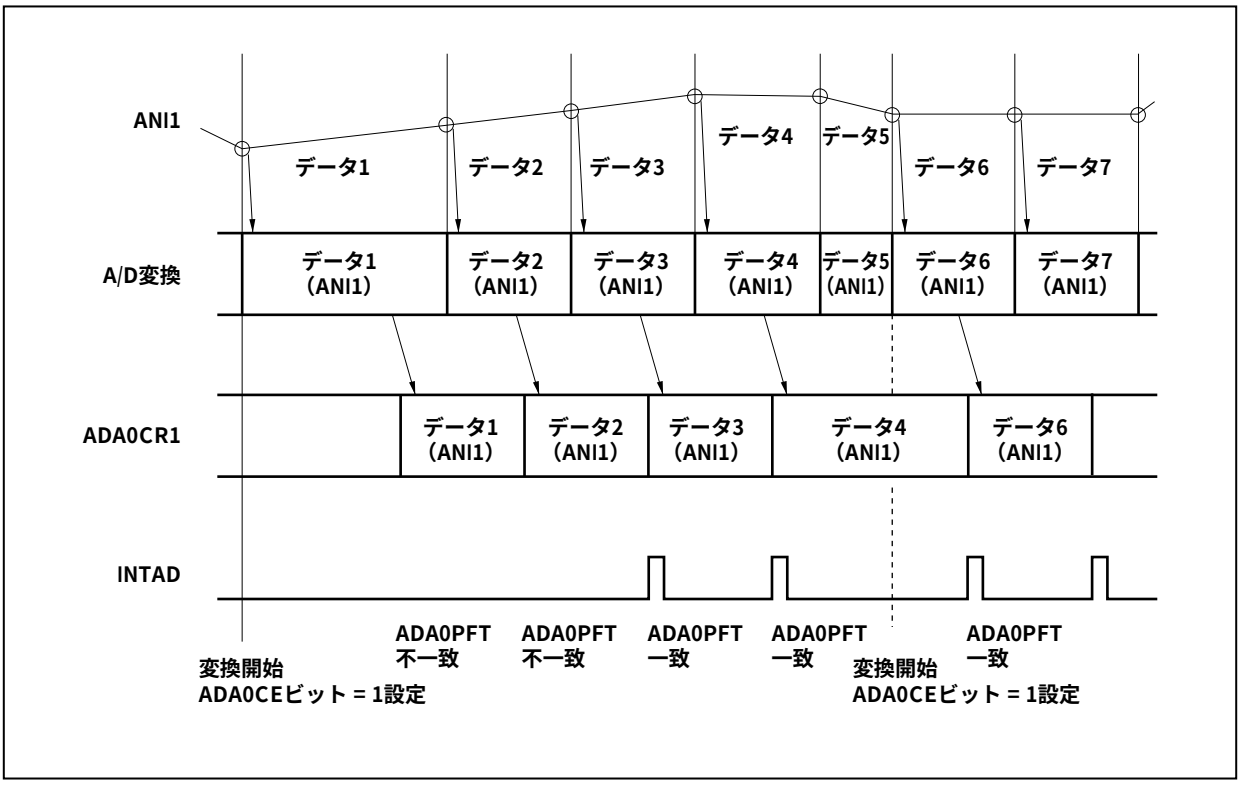
備考　n = 0-11

パワー・フェイル比較モードにもANI0-ANI11端子を設定するモードとして，連続セレクト・モード，連続スキャン・モード，ワンショット・セレクト・モード，ワンショット・スキャン・モードの4つがあります。

(1) 連続セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子電圧の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合，変換結果をADA0CRnレジスタに格納し，INTAD信号が発生します。一致しない場合，変換結果をADA0CRnレジスタに格納し，INTAD信号を発生しません。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり，次の変換を繰り返し行います（n = 0-11）。

図13－8　連続セレクト・モード動作タイミング例（パワー・フェイル比較時：ADA0Sレジスタ = 01H）



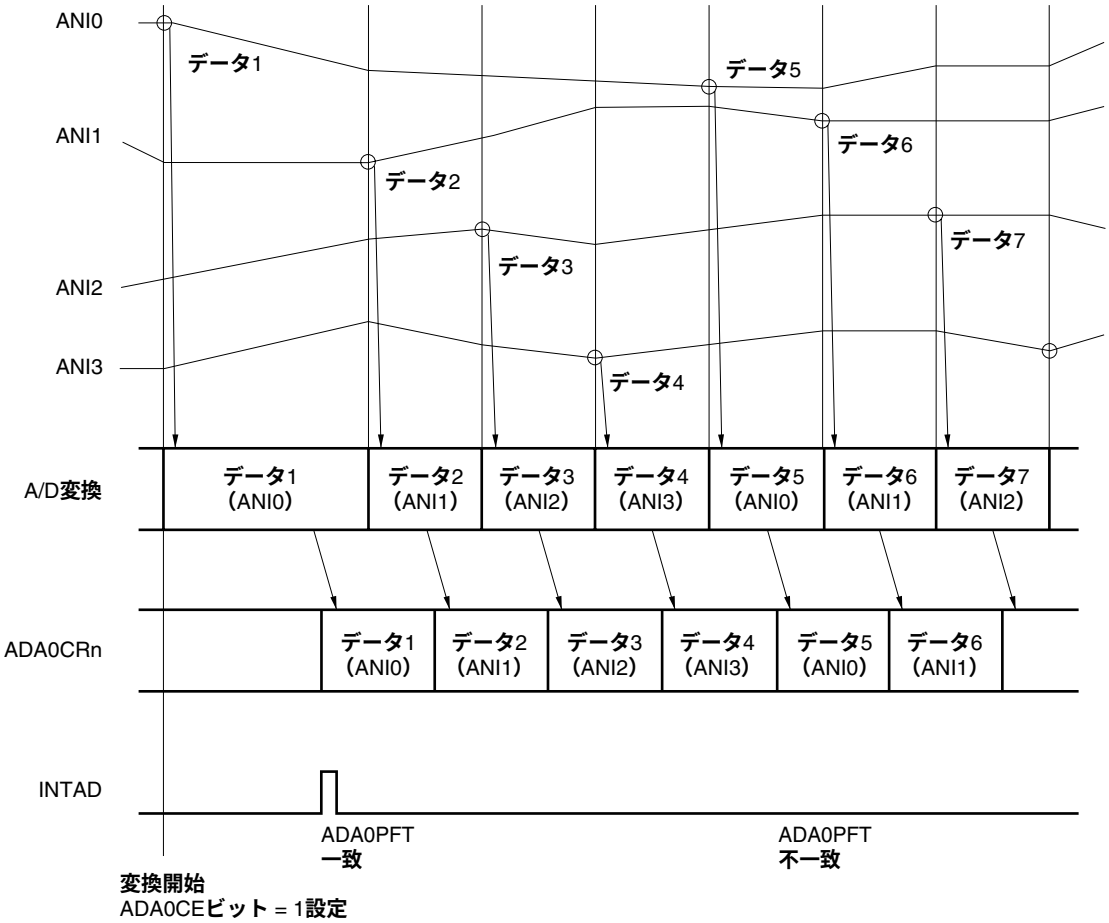
(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し，チャネル0のADA0CR0Hレジスタと ADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合，変換結果をADA0CR0レジスタに格納し，INTAD信号を発生します。一致しない場合，変換結果をADA0CR0レジスタに格納し，INTAD信号を発生しません。

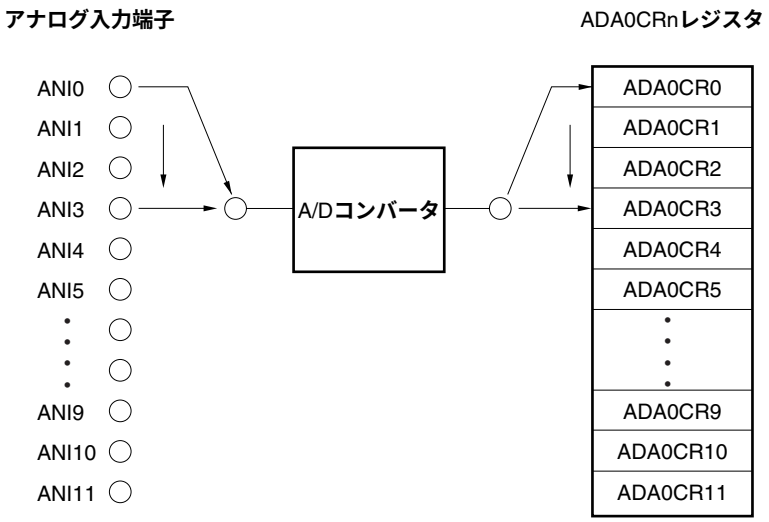
ADA0CR0レジスタに格納後，ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後はADA0CEビットを“0”にしないかぎり，再びANI0端子から変換を開始します。

図13－9　連続スキャン・モード動作タイミング例（パワー・フェイル比較時：ADA0Sレジスタ = 03H）

(a) タイミング例



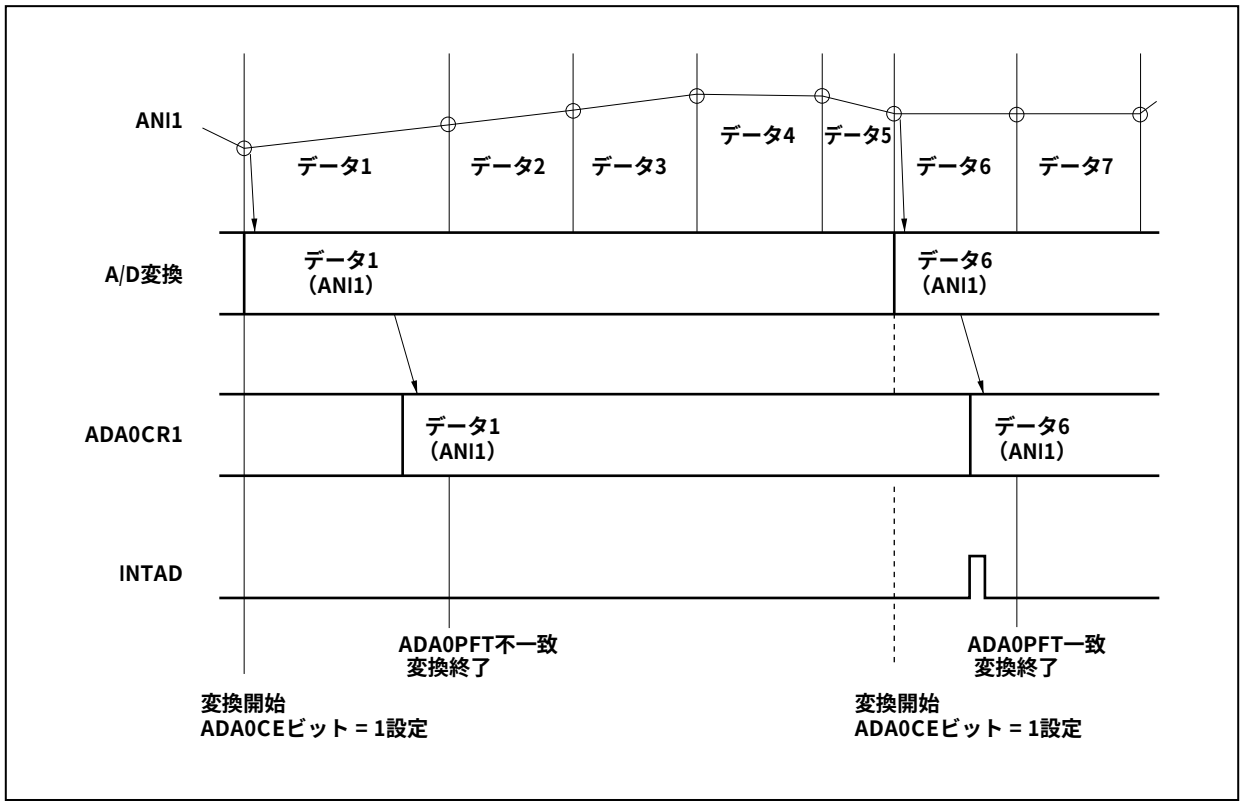
(b) ブロック図



(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合，変換結果をADA0CRnレジスタに格納し，INTAD信号が発生します。一致しない場合，変換結果をADA0CRnレジスタに格納し，INTAD信号を発生しません。変換終了後は変換を停止します。

図13－10　ワンショット・セレクト・モード動作タイミング例（パワー・フェイル比較時：ADA0Sレジスタ = 01H）

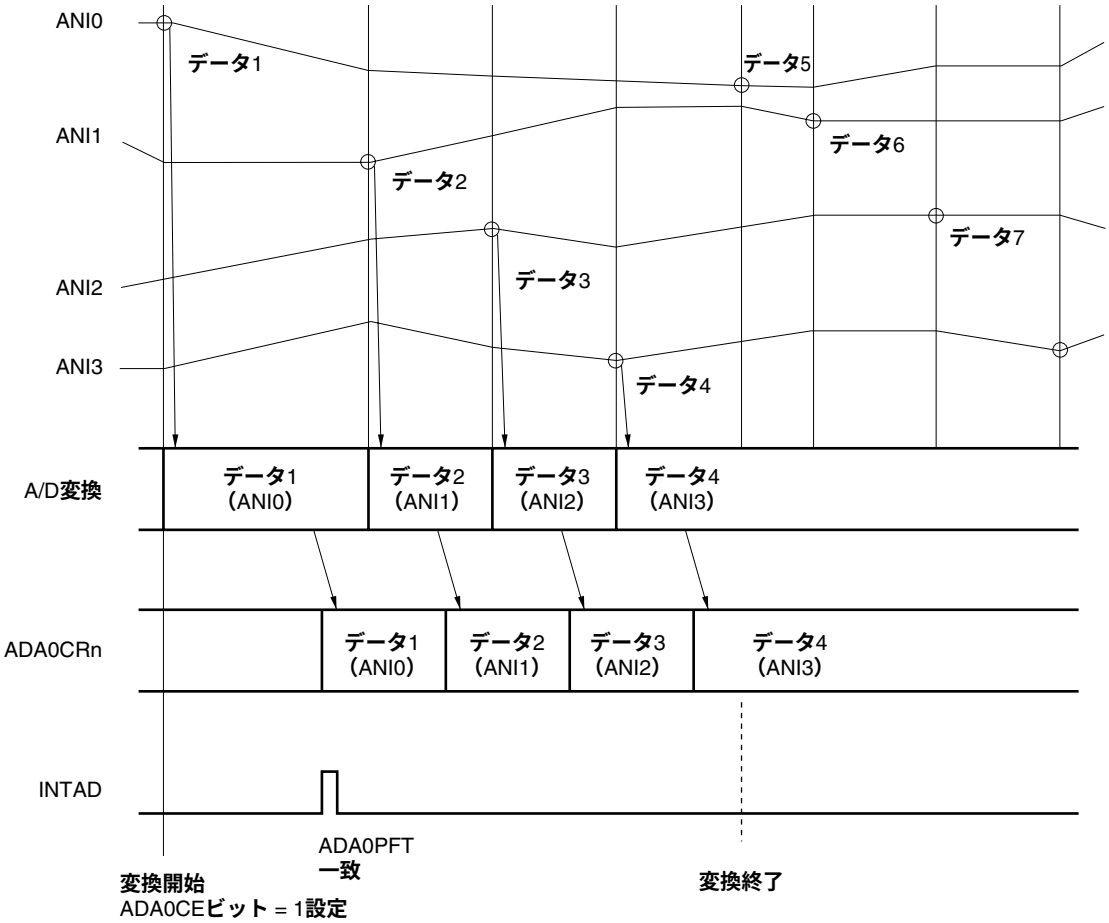


(4) ワンショット・スキャン・モード

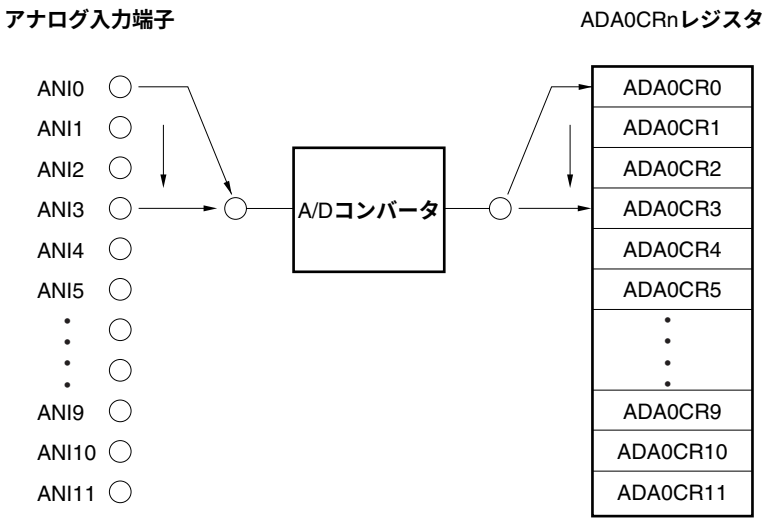
ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し，チャネル0のADA0CR0Hレジスタと ADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合，変換結果をADA0CR0レジスタに格納し，INTAD信号を発生します。一致しない場合，変換結果をADA0CR0レジスタに格納し，INTAD信号を発生しません。ADA0CR0レジスタに格納後，ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後は変換を停止します。

図13－11　ワンショット・スキャン・モード動作タイミング例（パワー・フェイル比較時：ADA0Sレジスタ = 03H）

(a) タイミング例



(b) ブロック図



13. 6　注意事項

(1) A/Dコンバータ未使用時について

未使用時は，ADA0M0.ADA0CEビット = 0とすることにより消費電力を低減できます。

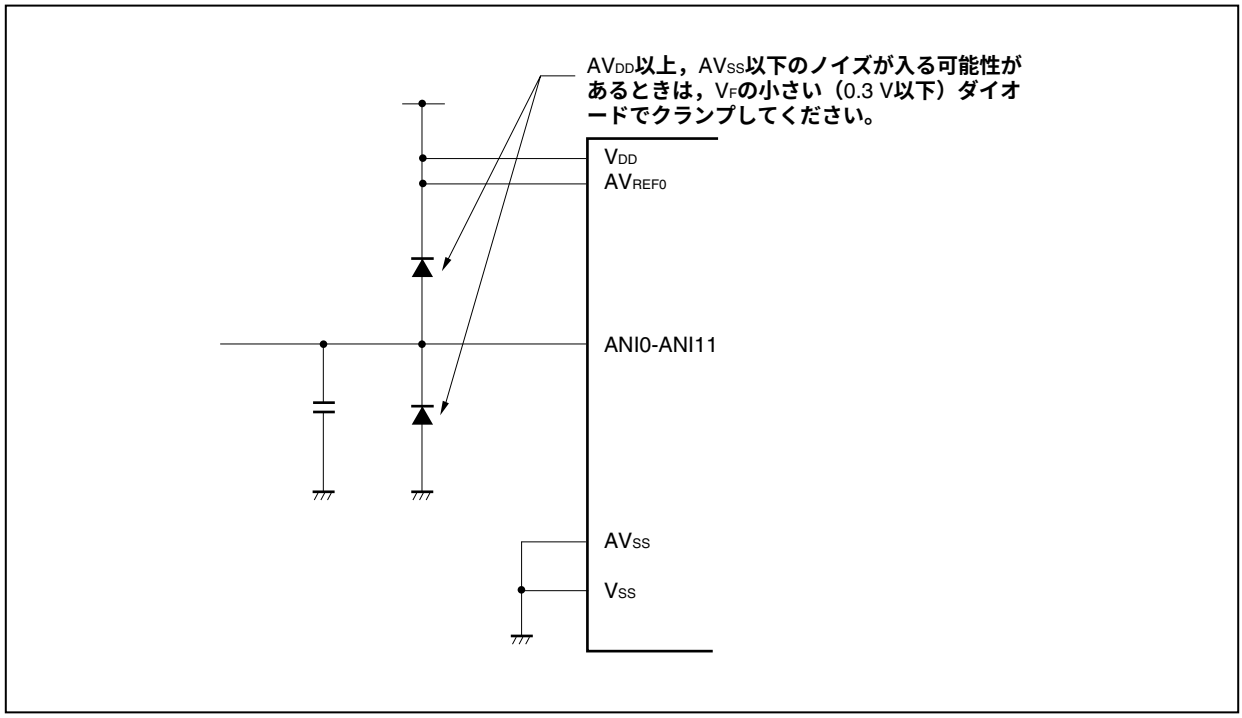
(2) ANI0-ANI11端子入力範囲について

ANI0-ANI11端子の入力電圧は規格の範囲内で使用してください。ただし，絶対最大定格の範囲内であってもAV$_{REF0}$以上，AV$_{SS}$以下の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

10ビット分解能を保つためには，ANI0-ANI11端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図13－12のようにコンデンサを外付けすることを推奨します。

図13－12　アナログ入力端子の処理



(4) 兼用入出力について

アナログ入力（ANI0-ANI11）端子はポート端子と兼用になっています。ANI0-ANI11端子のいずれかを選択してA/D変換をする場合，変換中に入力ポートへの読み出し命令，または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

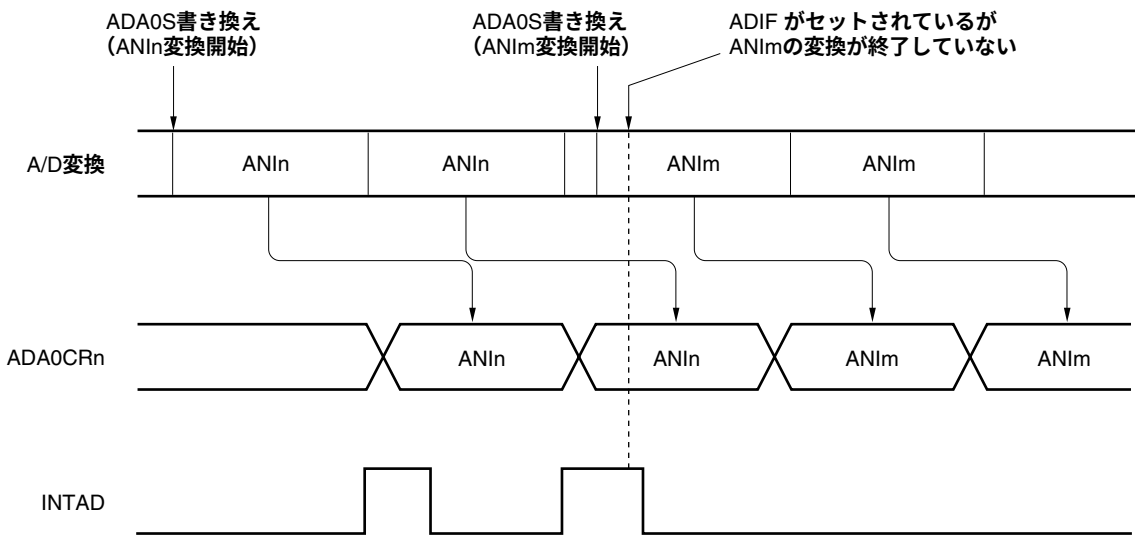
また，A/D変換中に出力ポートに設定している端子で，ポート端子に接続される外部回路の影響で出力電流が変動する場合も変換分解能が低下することがあります。

A/D変換中の端子に隣接する端子へディジタル・パルスを印加したりディジタル・パルスを出力したりすると，カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって，A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

(5) 割り込み要求フラグ（ADIF）について

ADA0Sレジスタを変更しても，割り込み要求フラグ（ADIF）はクリアされません。したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり，ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと，変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また，A/D変換を一度停止させて再開する場合は，再開する前にADIFフラグをクリアしてください。

図13－13　A/D変換終了割り込み要求発生タイミング



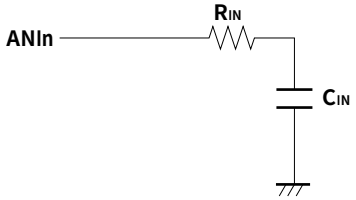
備考　n = 0-11

m = 0-11

(6) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図13－14　ANIn端子内部等価回路



R_{IN}	C_{IN}
2 kΩ	4.9 pF

備考1.　値は参考値です。

2.　n = 0-11

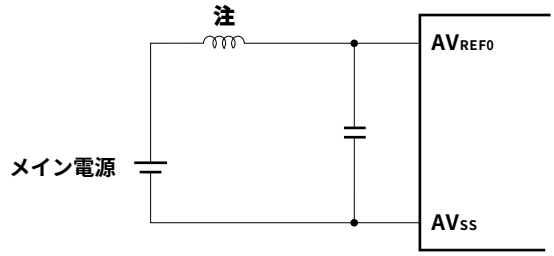
(7) AV_{REF0}端子について

(a) AV_{REF0}端子はA/Dコンバータの電源端子を兼用しており，また兼用ポートにも電源を供給しています。したがって，バックアップ電源に切り替えるようなアプリケーションにおいても図13－15のように必ずV_{DD}と同じ電位を印加してください。

(b) AV_{REF0}端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって，AV_{REF0}端子への供給部のインピーダンス値が高い場合や，電源の電流供給能力が低い場合，変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し，変換精度が悪くなるおそれがあります。これを避けるため図13－15のようにAV_{REF0}端子とAV_{SS}端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。

(c) AV_{REF0}端子への供給部に直流抵抗値（ダイオード挿入など）が高いと，A/D変換電流による電圧降下により，変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図13－15　AV_{REF0}端子の処理例



注　寄生インダクタンス

(8) ADA0CRnレジスタの読み出しについて

ADA0M0-ADA0M2, ADA0Sレジスタに対して書き込み動作を行ったとき，ADA0CRnレジスタの内容は不定になることがあります。変換結果は，変換動作終了後，ADA0M0-ADA0M2, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

(9) スタンバイ・モードについて

A/Dコンバータは，STOPモード時に動作が停止するため，変換結果は無効になり消費電力を低減できます。STOPモード解除後，再び動作を開始しますが，STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は，STOPモード設定前またはSTOPモード解除後にADA0M0.ADA0CEビット = 0に設定してからSTOPモード解除後にADA0CEビット = 1に設定してください。

IDLE1, IDLE2モード，サブクロック動作モードでは動作が保持されるため，消費電力を低減する場合にはADA0M0.ADA0CEビット = 0にしてください。ただし，IDLE1, IDLE2モード期間中は，アナログ入力電圧値が保持できなくなるため，IDLE1, IDLE2モード解除後のA/D変換結果は無効です。また，IDLE1, IDLE2モード設定前のA/D変換結果は有効です。

（10）各モードに関する制限について

（a）外部トリガ・モード／タイマ・トリガ・モードを選択する場合は，高速変換モードに設定してください。また，A/D変換動作許可（ADA0M0.ADA0CEビット = 1）したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

（b）次のモードでは，A/D制御レジスタへの書き込みはA/D変換動作停止（ADA0CEビット = 0）の状態で行い，そのあとでA/D変換動作許可（ADA0CEビット = 1）してください。

・通常変換モード
・高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

備考　A/D制御レジスタ：ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタ

（11）A/D変換結果のばらつきについて

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は，A/D変換結果の平均値をとるなど，プログラムで対策してください。

（12）A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは，内部のサンプル＆ホールド用コンデンサにアナログ入力電圧を保持し，そのあと，A/D変換を行います。A/D変換が終了したあとも，内部のサンプル＆ホールド用コンデンサには，アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

・同一チャネルでA/D変換を実行する場合，以前のA/D変換時よりも高い電圧，または低い電圧に変化していると，変換結果が以前の値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。
・アナログ入力チャネルを切り替える場合，1つのA/Dコンバータを用いてA/D変換を行っているため，変換結果が以前のチャネルの値に影響されるヒステリシス特性が現れ，同じ電位でも変換結果が異なる場合があります。

13. 7　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分 解 能

識別可能な最小アナログ入力電圧，つまり，ディジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

1 %FSR =（変換可能なアナログ入力電圧の最大値－変換可能なアナログ入力電圧の最小値）/100

= （AV_{REF0}－0）/100

= AV_{REF0}/100

分解能10ビットのとき，1 LSBは次のようになります。

1 LSB = $1/2^{10}$ = 1/1024

= 0.098 %FSR

精度は分解能とは関係なく，総合誤差によって決まります。

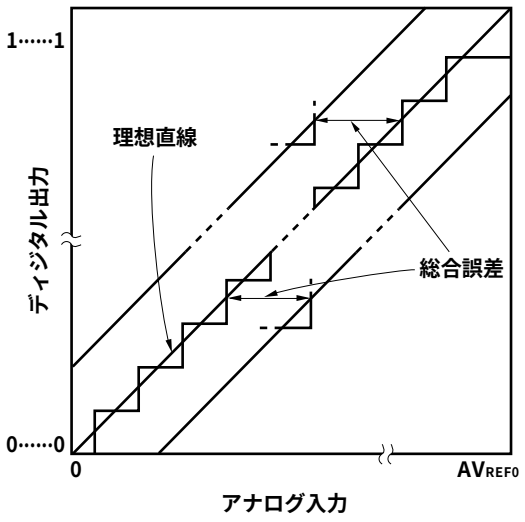
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，直線性誤差，およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

図13－16　総合誤差

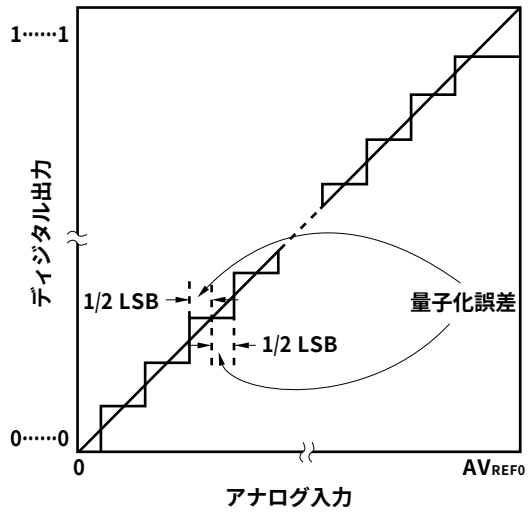


(3) 量子化誤差

アナログ値をディジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じディジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

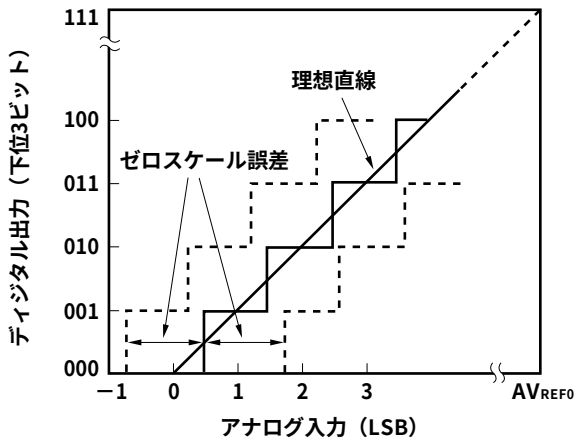
図13－17　量子化誤差



(4) ゼロスケール誤差

ディジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。

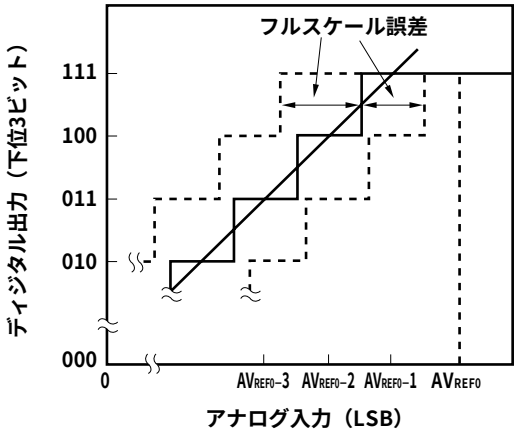
図13－18　ゼロスケール誤差



(5) フルスケール誤差

ディジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

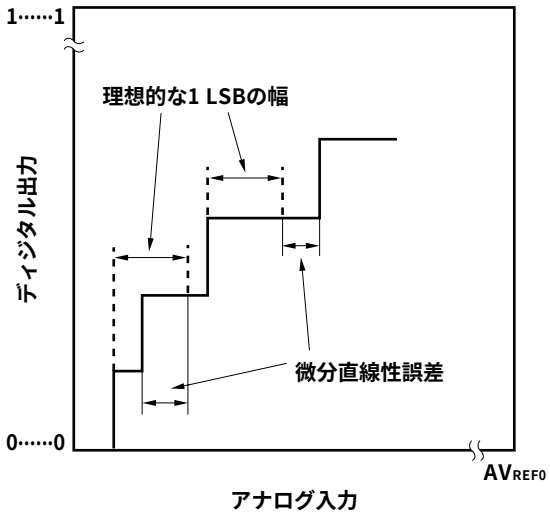
図13－19　フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。同一チャネルのアナログ入力端子に印加する電圧をAV_{SS}からAV_{REF0}まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャネルを使用する場合は，13. 7 (2) **総合誤差**を参照してください。

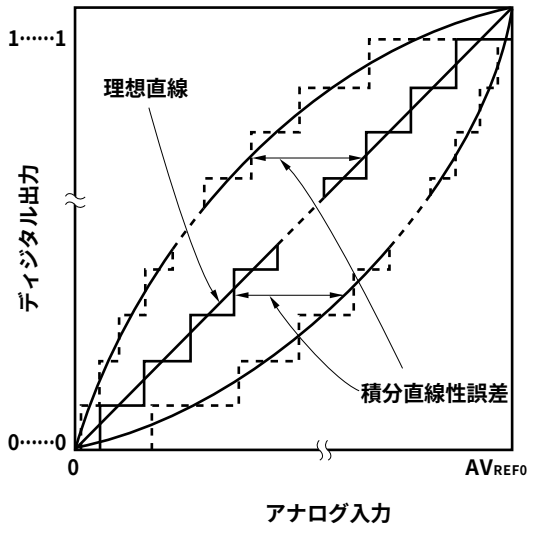
図13－20　微分直線性誤差



(7) 積分直線性誤差

変換特性が，理想的な直線関係からはずれている程度を指します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

図13－21　積分直線性誤差



(8) 変換時間

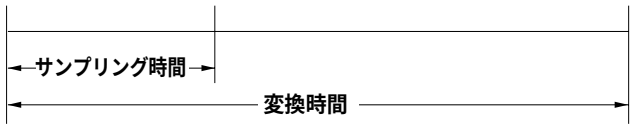
各トリガが発生してから，ディジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。

図13－22　サンプリング時間



第14章　D/Aコンバータ

14. 1　機　　能

D/Aコンバータには，次のような機能があります。

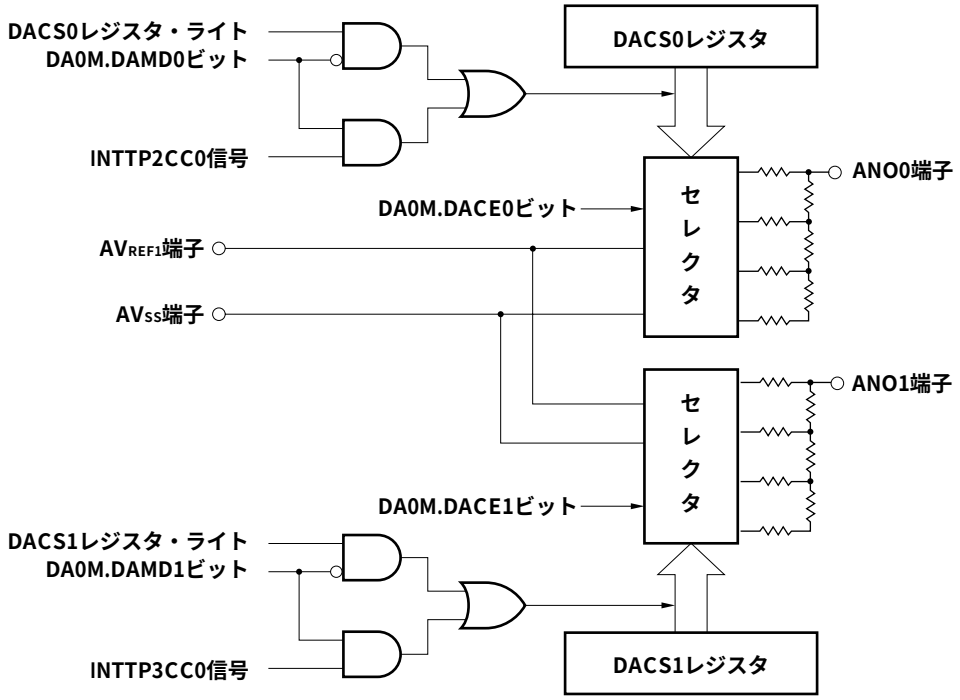
○8ビット分解能×2ch（DA0CS0, DA0CS1）
○R-2Rラダー方式
○セトリング・タイム：3 μs（MAX.）（AV_{REF1} = 3.0〜3.6 V，外部負荷20 pF時）
○アナログ出力電圧：AV_{REF1}×m/256（m = 0-255；DA0CSnレジスタに設定した値）
○動作モード：通常モード／リアルタイム出力モード

備考　n = 0, 1

14. 2　構　　成

次にD/Aコンバータの構成について示します。

図14－1　D/Aコンバータのブロック図



注意1.　DAC0, DAC1は，AV_{REF1}端子を共用しています。
2.　DAC0, DAC1は，AV_{SS}端子を共用しています。また，AV_{SS}端子はA/Dコンバータとも共用しています。

D/Aコンバータは，次のハードウエアで構成されています。

表14－1　D/Aコンバータの構成

項　　目	構　　成
制御レジスタ	D/Aコンバータ・モード・レジスタ（DA0M） D/A変換値設定レジスタ0, 1（DA0CS0, DA0CS1）

14. 3　レジスタ

D/Aコンバータを制御するレジスタを次に示します。

- D/Aコンバータ・モード・レジスタ（DA0M）
- D/A変換値設定レジスタ0, 1（DA0CS0, DA0CS1）

（1）D/Aコンバータ・モード・レジスタ（DA0M）

D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF282H

	7	6	⑤	④	3	2	1	0
DA0M	0	0	DA0CE1	DA0CE0	0	0	DA0MD1	DA0MD0

DA0CEn	D/Aコンバータの動作許可／禁止制御（n = 0, 1 ）
0	動作禁止
1	動作許可

DA0MDn	D/Aコンバータの動作モードの選択（n = 0, 1）
0	通常モード
1	リアルタイム出力モード注

注　リアルタイム出力モード（DA0MDnビット = 1）時の出力トリガは，次のとおりです。

- n = 0のとき：INTTP2CC0信号（第7章　16ビット・タイマ／イベント・カウンタP（TMP）参照）
- n = 1のとき：INTTP3CC0信号（第7章　16ビット・タイマ／イベント・カウンタP（TMP）参照）

（2）D/A変換値設定レジスタ0, 1（DA0CS0, DA0CS1）

ANO0, ANO1端子に出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：DA0CS0 FFFFF280H, DA0CS1 FFFFF281H

	7	6	5	4	3	2	1	0
DA0CSn	DA0CSn7	DA0CSn6	DA0CSn5	DA0CSn4	DA0CSn3	DA0CSn2	DA0CSn1	DA0CSn0

注意　リアルタイム出力モード（DA0M.DA0MDnビット = 1）のとき，INTTP2CC0/INTTP3CC0信号が発生する前に，DA0CSnレジスタを設定してください。INTTP2CC0/INTTP3CC0信号発生でD/A変換を開始します。

備考　n = 0, 1

14.4　動　　作

14.4.1　通常モード時の動作

DA0CSnレジスタへのライト動作を起動トリガとして，D/A変換を行います。
次に，その設定方法を示します。

① DA0M.DA0MDnビット = 0（通常モード）に設定します。
② DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。
以上①，②を初期設定として行います。
③ DA0M.DA0CEnビット = 1（D/A変換動作許可）に設定します。
これによりD/A変換が開始します。
④ 以降，D/A変換を行う場合は，DA0CSnレジスタへのライト動作を行います。
なお，次のD/A変換を行うまでは，前回D/A変換した結果を保持します。

備考1. 兼用端子の設定は表4－15　ポート端子を兼用端子として使用する場合を参照してください。
2. n = 0, 1

14.4.2　リアルタイム出力モード時の動作

TMP2, TMP3の割り込み要求信号（INTTP2CC0, INTTP3CC0）を起動トリガとして，D/A変換を行います。
次に，その設定方法を示します。

① DA0M.DA0MDnビット = 1（リアルタイム出力モード）に設定します。
② DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。
③ DA0M.DA0CEnビット = 1（D/A変換動作許可）に設定します。
以上①～③を初期設定として行います。
④ TMP2, TMP3を動作させます。
⑤ INTTP2CC0, INTTP3CC0信号が発生すると，D/A変換を開始します。
⑥ 以降，DA0CSnレジスタに設定した値がINTTP2CC0, INTTP3CC0信号のタイミングで出力されます。

備考1. ⑤までのANO0, ANO1端子の出力値は不定です。
2. HALT, IDLE1, IDLE2, STOPモード時のANO0, ANO1端子の出力値については，第24章スタンバイ機能を参照してください。
3. 兼用端子の設定は表4－15　ポート端子を兼用端子として使用する場合を参照してください。

14. 4. 3　使用上の注意点

D/Aコンバータを使用する際の注意事項を次に示します。

(1) リアルタイム出力モード時，トリガ信号が出ている間にDA0CSnレジスタの設定値を変更しないでください。

(2) 動作モードを切り替える場合は，必ずDA0M.DA0CEnビット = 0にしたあとに行ってください。

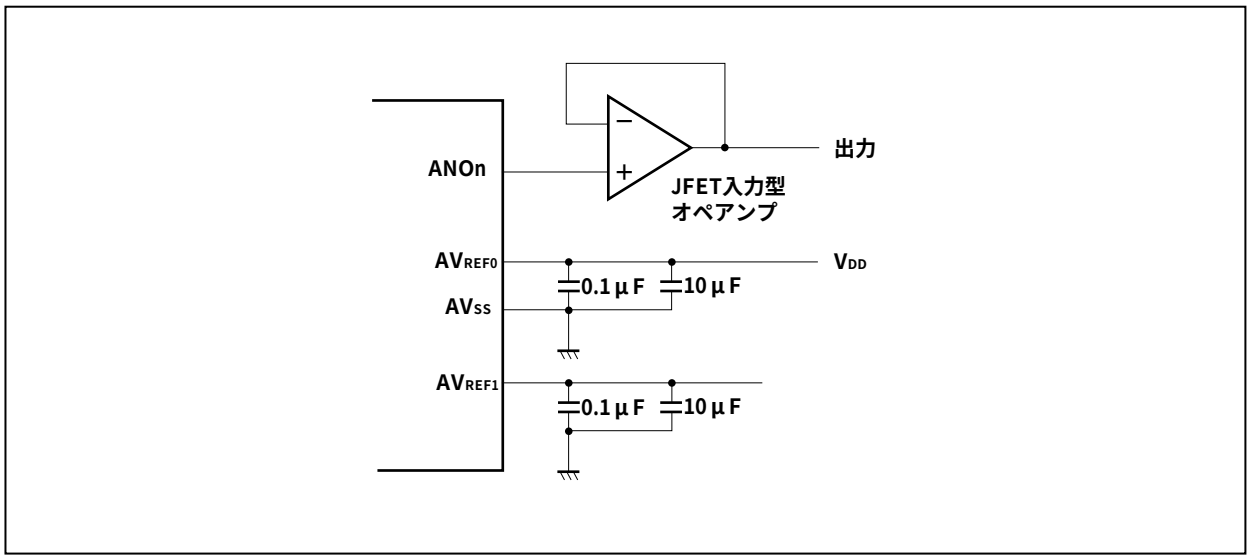
(3) P10/ANO0, P11/ANO1端子を，1本を入出力ポート，1本をD/A出力端子として使用する場合，D/A出力中はポートの入出力レベルが変化しないようなアプリケーションで使用してください。

(4) AV_{REF0} = V_{DD} = AV_{REF1} = 3.0〜3.6 Vの範囲で使用してください。それ以外の場合の動作は保証できません。

(5) AV_{REF1}の電源投入および電源切断は，AV_{REF0}と同じタイミングで行ってください。

(6) D/Aコンバータの出力インピーダンスが高いため，ANOn端子（n = 0, 1）から電流を取り出すことはできません。2 MΩ以下の抵抗を接続する場合には，抵抗とANOn端子の間にJFET入力型オペアンプを挿入してください。

図14－2　外部端子の接続例



(7) D/Aコンバータは，STOPモード時に動作が停止するため，ANO0, ANO1端子は，ハイ・インピーダンスになり消費電力を低減できます。
ただし，IDLE1, IDLE2モード，サブクロック動作モードでは端子は保持されるため，消費電力を低減する場合にはDA0M.DA0CEnビット = 0にしてください。

第15章　アシンクロナス・シリアル・インタフェースA（UARTA）

15. 1　UARTAとほかのシリアル・インタフェースのモード切り替え

15. 1. 1　CSIB4とUARTA0のモード切り替え

V850ES/SG2では，CSIB4とUARTA0は端子が兼用になっており，同時には使用できません。UARTA0を使用するときは，あらかじめPMC3, PFC3レジスタで設定する必要があります。

注意　CSIB4またはUARTA0において，送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15－1　CSIB4とUARTA0のモード切り替え設定

リセット時：0000H　R/W　アドレス：FFFFF446H, FFFFF447H

	15	14	13	12	11	10	9	8
PMC3	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：0000H　R/W　アドレス：FFFFF466H, FFFFF467H

	15	14	13	12	11	10	9	8
PFC3	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

リセット時：00H　R/W　アドレス：FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	0	0	PFCE32	0	0

PMC32	PFCE32	PFC32	動作モード
0	×	×	ポート入出力モード
1	0	0	ASCKA0
1	0	1	$\overline{\text{SCKB4}}$

PMC3n	PFC3n	動作モード
0	×	ポート入出力モード
1	0	UARTA0モード
1	1	CSIB4モード

備考1.　n = 0, 1

2.　x = don’t care

15. 1. 2　UARTA2とI²C00のモード切り替え

V850ES/SG2では，UARTA2とI²C00は端子が兼用になっており，同時には使用できません。UARTA2を使用するときは，あらかじめPMC3, PFC3レジスタで設定する必要があります。

注意　UARTA2またはI²C00において，送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15ー2　UARTA2とI²C00のモード切り替え設定

リセット時：0000H　R/W　アドレス：FFFFF446H, FFFFF447H

	15	14	13	12	11	10	9	8
PMC3	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：0000H　R/W　アドレス：FFFFF466H, FFFFF467H

	15	14	13	12	11	10	9	8
PFC3	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

PMC3n	PFC3n	動作モード
0	×	ポート入出力モード
1	0	UARTA2モード
1	1	I²C00モード

備考1.　n = 8, 9

2.　x = don’t care

15. 1. 3　UARTA1とI²C02のモード切り替え

V850ES/SG2では，UARTA1とI²C02は端子が兼用になっており，同時には使用できません。UARTA1を使用するときは，あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意　UARTA1とI²C02において，送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15ー3　UARTA1とI²C02のモード切り替え設定

リセット時：0000H　R/W　アドレス：FFFFF452H, FFFFF453H

	15	14	13	12	11	10	9	8
PMC9	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

リセット時：0000H　R/W　アドレス：FFFFF472H, FFFFF473H

	15	14	13	12	11	10	9	8
PFC9	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

リセット時：0000H　R/W　アドレス：FFFFF712H, FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9	PFCE915	PFCE914	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

PMC9n	PFCE9n	PFC9n	動作モード
1	1	0	UARTA1モード
1	1	1	I²C02モード

備考　n = 0, 1

15. 2　特　　徴

○転送速度　300 bps～312.5 kbps（内部システム・クロック32 MHz，専用ボー・レート・ジェネレータ使用）

○全二重通信　UARTAn受信データ・レジスタ（UAnRX）内蔵
　　UARTAn送信データ・レジスタ（UAnTX）内蔵

○2端子構成　TXDAn：送信データの出力端子
　　RXDAn：受信データの入力端子

○受信エラー検出機能
- パリティ・エラー
- フレーミング・エラー
- オーバラン・エラー

○割り込みソース：2種類
- 受信完了割り込み（INTUAnR）　：受信許可状態において，シリアル転送完了後，受信シフト・レジスタから受信データ・レジスタへ受信データを転送すると発生
- 送信許可割り込み（INTUAnT）　：送信許可状態において，送信データ・レジスタから送信シフト・レジスタへ送信データを転送すると発生

○キャラクタ長：7, 8ビット

○パリティ機能：奇数，偶数，0，なし

○送信ストップ・ビット：1, 2ビット

○専用ボー・レート・ジェネレータ内蔵

○MSB/LSBファースト転送選択可能

○送受信データの反転入出力が可能

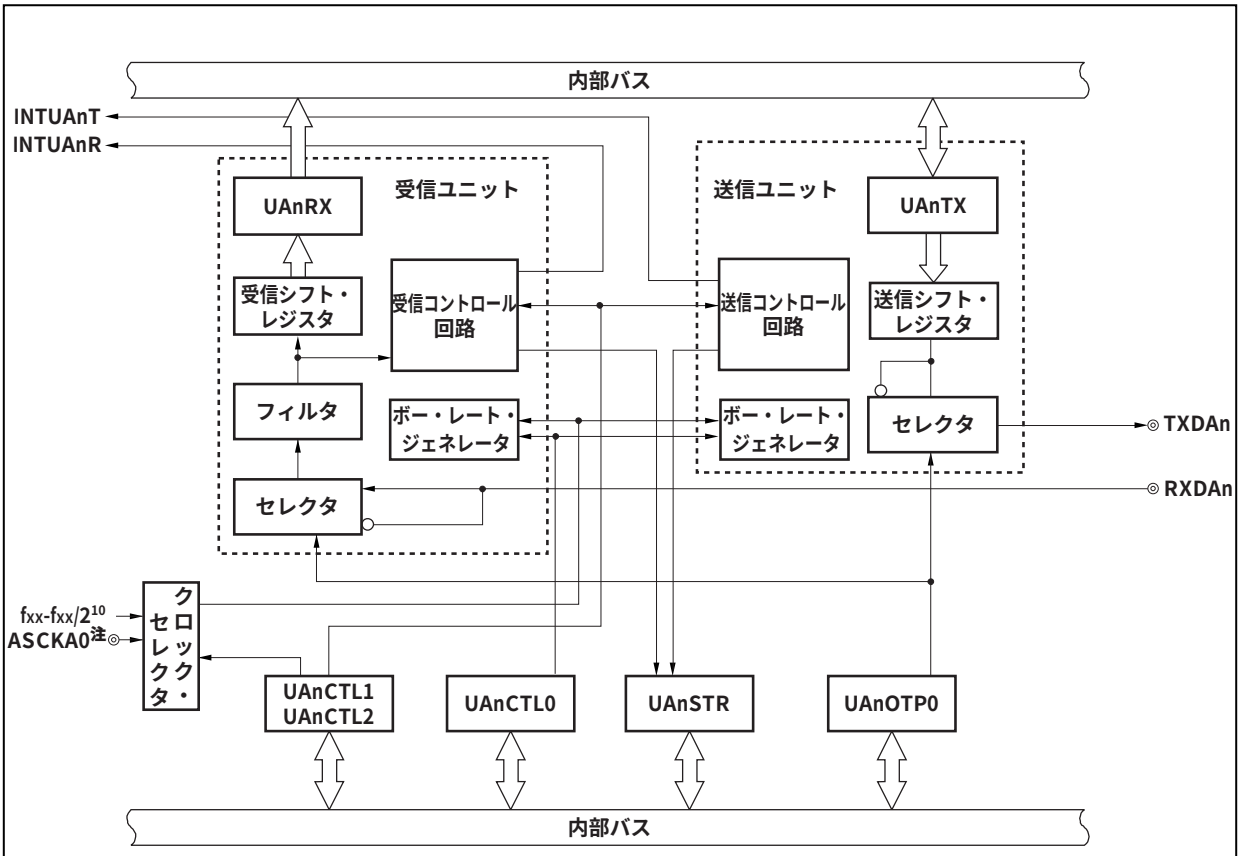
○LIN（Local Interconnect Network）通信フォーマットにおけるSBF（Synch Break Field）送信可能
- SBF送信は13-20ビットまで選択可能
- SBF受信は11ビット以上認識可能
- SBF受信フラグあり

備考　n = 0-2

15. 3　構　　成

次にUARTAnのブロック図を示します。

図15ー4　アシンクロナス・シリアル・インタフェースAnのブロック図



注　UARTA0のみ

備考1.　n = 0-2

2.　ボー・レート・ジェネレータの構成は図15ー16を参照してください。

UARTAnは，次のハードウエアで構成されています。

表15ー1　UARTAnの構成

項　　目	構　　成
レジスタ	UARTAn制御レジスタ0（UAnCTL0） UARTAn制御レジスタ1（UAnCTL1） UARTAn制御レジスタ2（UAnCTL2） UARTAnオプション制御レジスタ0（UAnOPT0） UARTAn状態レジスタ（UAnSTR） UARTAn受信シフト・レジスタ UARTAn受信データ・レジスタ（UAnRX） UARTAn送信シフト・レジスタ UARTAn送信データ・レジスタ（UAnTX）

（1）UARTAn制御レジスタ0（UAnCTL0）

UAnCTL0レジスタは，UARTAnの動作を指定する8ビット・レジスタです。

（2）UARTAn制御レジスタ1（UAnCTL1）

UAnCTL1レジスタは，UARTAnの入力クロックを選択する8ビット・レジスタです。

（3）UARTAn制御レジスタ2（UAnCTL2）

UAnCTL2レジスタは，UARTAnのボー・レートを制御する8ビット・レジスタです。

（4）UARTAnオプション制御レジスタ0（UAnOPT0）

UAnOPT0レジスタは，UARTAnのシリアル転送を制御する8ビット・レジスタです。

（5）UARTAn状態レジスタ（UAnSTR）

UAnSTRレジスタは，受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット（1）され，UAnSTRレジスタの読み出しによってリセット（0）されます。

（6）UARTAn受信シフト・レジスタ

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し，ストップ・ビットを検出すると，受信データをUAnRXレジスタへ転送します。

このレジスタは直接操作することはできません。

（7）UARTAn受信データ・レジスタ（UAnRX）

UAnRXレジスタは，受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます（LSBファースト受信時）。

受信許可状態中は，受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また，UAnRXレジスタへの転送により，受信完了割り込み要求信号（INTUAnR）が発生します。

（8）UARTAn送信シフト・レジスタ

送信シフト・レジスタは，UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると，シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

（9）UARTAn送信データ・レジスタ（UAnTX）

UAnTXレジスタは，8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより，送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる（UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される）と，送信許可割り込み要求信号（INTUAnT）を発生します。

15. 4　レジスタ

（1）UARTAn制御レジスタ0（UAnCTL0）

UAnCTL0レジスタは，UARTAnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより10Hになります。

（1/2）

リセット時：10H　R/W　アドレス：UA0CTL0 FFFFFA00H, UA1CTL0 FFFFFA10H, UA2CTL0 FFFFFA20H

	⑦	⑥	⑤	④	3	2	1	0
UAnCTL0	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL

（n = 0-2）

UAnPWR	UARTAnの動作の制御
0	UARTAn動作禁止（UARTAnを非同期にリセット）
1	UARTAn動作許可

UAnPWRビットにより，UARTAn動作の制御を行います。UAnPWRビットをクリア（0）すると，TXDAn端子の出力はハイ・レベルに固定されます（UAnOPT0. UAnTDLビット = 1のときは，ロウ・レベルに固定されます）。

UAnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

- 起動時はUAnPWRビット = 1にしてから，UAnTXEビット = 1としてください。また，停止時はUAnTXEビット = 0にしてから，UAnPWRビット = 0としてください。
- 送信ユニットを初期化する場合は，UAnTXEビットをクリア（0）して，基本クロックの2周期分の時間を経過してから，再びUAnTXEビットをセット（1）しなければ，状態の初期化ができない場合があります（基本クロックについては15. 7（1）（a）基本クロック参照）。

UAnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

- 起動時はUAnPWRビット = 1にしてから，UAnRXEビット = 1としてください。また，停止時は，UAnRXEビット = 0にしてから，UAnPWRビット = 0としてください。
- 受信ユニットの状態を初期化する場合は，UAnRXEビットをクリア（0）して，基本クロックの2周期分の時間を経過してから，再びUAnRXEビットをセット（1）しなければ，状態の初期化ができない場合があります（基本クロックについては15. 7（1）（a）基本クロック参照）。

（2/2）

UAnDIR	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト
UAnPWRビット = 0，またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。	

UAnPS1	UAnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

- UAnPWRビット = 0，またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。
- 受信時に「0パリティとして受信」を選択した場合，パリティ判定を行いません。したがって，UAnSTR.UAnPEビットはセットされません。
- LINのフォーマットで送受信を行う場合，UAnPS1, UAnPS0ビットは“ 00 ”に設定してください。

UAnCL	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット
UAnPWRビット = 0，またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。	

UAnSL	送信データのストップ・ビット長指定
0	1ビット
1	2ビット
UAnPWRビット = 0，またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。	

備考　パリティについての詳細は，15. 6. 9　**パリティの種類と動作**を参照してください。

（2）UARTAn制御レジスタ1（UAnCTL1）

詳細は，15. 7（2）UARTAn制御レジスタ1（UAnCTL1）を参照してください。

（3）UARTAn制御レジスタ2（UAnCTL2）

詳細は，15. 7（3）UARTAn制御レジスタ2（UAnCTL2）を参照してください。

（4）UARTAnオプション制御レジスタ0（UAnOPT0）

UAnOPT0レジスタは，UARTAnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより14Hになります。

（1/2）

リセット時：14H　R/W　アドレス：UA0OPT0 FFFFFA03H, UA1OPT0 FFFFFA13H, UA2OPT0 FFFFFA23H

UAnOPT0（n = 0-2）

⑦	6	5	4	3	2	1	0
UAnSRF	UAnSRT	UAnSTT	UAnSLS2	UAnSLS1	UAnSLS0	UAnTDL	UAnRDL

UAnSRF	SBF受信フラグ
0	UAnCTL0.UAnPWRビット = UAnRXEビット = 0に設定したとき。またはSBF受信正常終了したとき。
1	SBF受信中

・LIN通信でのSBF（Synch Break Field）を受信していることを判断します。
・SBF受信エラー時，UAnSRFビットは“1”を保持し，そのあと再度SBF受信を開始します。

UAnSRT	SBF受信トリガ
0	—
1	SBF受信トリガ

・LIN通信でのSBFの受信トリガ・ビットであり，読み出した場合，常に“0”が読み出されます。SBFを受信する場合，UAnSRTビットをセット（1）しSBF受信可能状態にしてください。
・UAnPWRビット = UAnRXEビット = 1としてからUAnSRTビットを設定してください。

UAnSTT	SBF送信トリガ
0	—
1	SBF送信トリガ

・LIN通信でのSBFの送信トリガ・ビットであり，読み出した場合，常に“0”が読み出されます。
・UAnPWRビット = UAnTXEビット = 1としてからUAnSTTビットを設定してください。

注意　UAnSRT, UAnSTTビットは，SBF受信中（UAnSRFビット = 1）にセット（1）しないでください。

（2/2）

UAnSLS2	UAnSLS1	UAnSLS0	SBF送信長選択
1	0	1	13ビット長で出力（リセット値）
1	1	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	0	0	20ビット長で出力
UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。			

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力
・UAnTDLビットによりTXDAn端子の出力レベルを反転できます。 ・UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。	

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力
・UAnRDLビットによりRXDAn端子の入力レベルを反転できます。 ・UAnPWRビット = 0またはUAnRXEビット = 0のとき設定できます。	

（5）UARTAn状態レジスタ（UAnSTR）

UAnSTRレジスタは，UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。UAnTSFビットはリードのみ可能で，UAnPE，UAnFE，UAnOVEビットについてはリード／ライト可能ですが，ライト時は“0”ライトによるクリアのみ可能で，“1”ライトによるセット動作はできません（“1”をライトしても値を保持します）。

次に初期化条件を示します。

レジスタ／ビット	初期化条件
UAnSTRレジスタ	・リセット ・UAnCTL0.UAnPWRビット = 0
UAnTSFビット	・UAnCTL0.UAnTXEビット = 0
UAnPE, UAnFE, UAnOVEビット	・0の書き込み ・UAnCTL0.UAnRXEビット = 0

リセット時：00H　R/W　**アドレス：**UA0STR FFFFFA04H, UA1STR FFFFFA14H, UA2STR FFFFFA24H

	⑦	6	5	4	3	②	①	⓪
UAnSTR	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

（n = 0-2）

UAnTSF	転送状態フラグ
0	・UAnPWRビット = 0，またはUAnTXEビット = 0に設定したとき ・転送完了後に，UAnTXレジスタに次のデータ転送がなかったとき
1	UAnTXレジスタへの書き込み

連続送信を行っている場合にはUAnTSFビットは常に“1”になっています。
送信ユニットの初期化を行う場合には，UAnTSFビット = 0になっていることを確認してから初期化を行ってください。UAnTSFビット = 1の状態で初期化を行った場合の送信データは保証できません。

UAnPE	パリティ・エラー・フラグ
0	・UAnPWRビット = 0，またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	受信時，データのパリティとパリティ・ビットが一致しないとき

- UAnPEビットの動作は，UAnCTL0.UAnPS1, UAnPS0ビットの設定により左右されます。
- UAnPEビットはリード／ライト可能となっていますが，“0”ライトによるクリアのみ可能で，“1”ライトによるセット動作はできません。“1”をライトした場合，値を保持します。

UAnFE	フレーミング・エラー・フラグ
0	・UAnPWRビット = 0，またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	受信時，ストップ・ビットが検出されないとき

- 受信データのストップ・ビットは，UAnCTL0.UAnSLビットの値に関わらず，最初の1ビットのみチェックします。
- UAnFEビットはリード／ライト可能となっていますが，“0”ライトによるクリアのみ可能で，“1”ライトによるセット動作はできません。“1”をライトした場合，値を保持します。

UAnOVE	オーバラン・エラー・フラグ
0	・UAnPWRビット = 0，またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	UAnRXレジスタに受信データがセットされ，それを読み出す前に次の受信動作が完了したとき

- オーバラン・エラーが発生したとき，次の受信データは受信バッファに書き込まれず，データは破棄されます。
- UAnOVEビットはリード／ライト可能となっていますが，“0”ライトによるクリアのみ可能で，“1”ライトによるセット動作はできません。“1”をライトした場合，値を保持します。

（6）UARTAn受信データ・レジスタ（UAnRX）

UAnRXレジスタは，受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

1バイト・データの受信完了により受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。

データ長を7ビットに指定し，LSBファーストで受信する場合，受信データはUAnRXレジスタのビット6-ビット0に転送され，MSBは必ず“ 0 ”になります。MSBファーストで受信する場合，受信データはUAnRXレジスタのビット7-ビット1に転送されLSBは必ず “ 0 ” になります。

オーバラン・エラー（UAnOVE）が発生した場合は，そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に，UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。

リセット時：FFH　R　アドレス：UA0RX FFFFFA06H, UA1RX FFFFFA16H, UA2RX FFFFFA26H

	7	6	5	4	3	2	1	0
UAnRX （n = 0-2）								

（7）UARTAn送信データ・レジスタ（UAnTX）

UAnTXレジスタは，送信データを設定するための8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセットによりFFHになります。

リセット時：FFH　R/W　アドレス：UA0TX FFFFFA07H, UA1TX FFFFFA17H, UA2TX FFFFFA27H

	7	6	5	4	3	2	1	0
UAnTX （n = 0-2）								

15. 5　割り込み要求信号

UARTAnからは次の2種類の割り込み要求信号を発生します。

・受信完了割り込み要求信号（INTUAnR）
・送信許可割り込み要求信号（INTUAnT）

これら2種類の割り込み要求信号のディフォールト優先順位は受信完了割り込み要求信号の方が高く，送信許可割り込み要求信号の方が低くなっています。

表15－2　発生する割り込みとディフォールト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

（1）受信完了割り込み要求信号（INTUAnR）

受信許可状態中で，受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号を受け付け，データを読み出すときに，UAnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

受信禁止状態中は，受信完了割り込み要求信号は発生しません。

（2）送信許可割り込み要求信号（INTUAnT）

送信許可状態で，UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

15. 6　動　　作

15. 6. 1　データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図15－5に示すとおり，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定，MSB/LSBファーストの転送指定は，UAnCTL0レジスタによって行います。

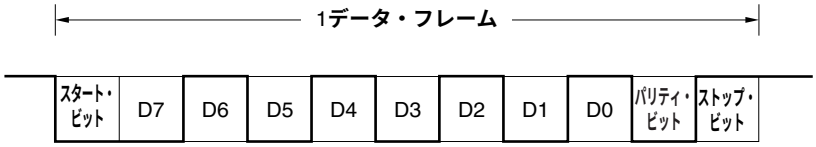
また，UAnOPT0.UAnTDLビットでTXDAn端子のUART出力／反転出力の制御を行います。

- スタート・ビット　……　1ビット
- キャラクタ・ビット　…　7ビット/8ビット
- パリティ・ビット　……　偶数パリティ／奇数パリティ/0パリティ／パリティなし
- ストップ・ビット　……　1ビット/2ビット

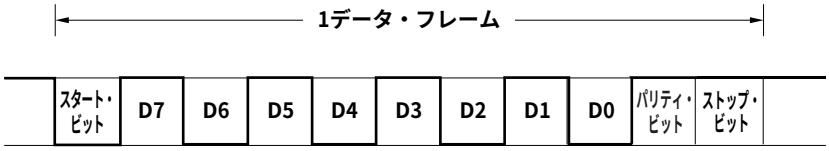
図15－5　UARTAの送受信データのフォーマット

（a）8ビット・データ長，LSBファースト，偶数パリティ，1ストップ・ビット，転送データ：55H

（b）8ビット・データ長，MSBファースト，偶数パリティ，1ストップ・ビット，転送データ：55H

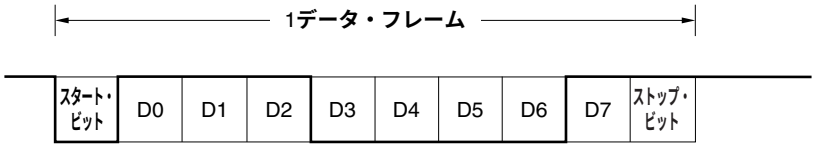


（c）8ビット・データ長，MSBファースト，偶数パリティ，1ストップ・ビット，転送データ：55H, TXDAn反転



（d）7ビット・データ長，LSBファースト，奇数パリティ，2ストップ・ビット，転送データ：36H

（e）8ビット・データ長，LSBファースト，パリティなし，1ストップ・ビット，転送データ：87H



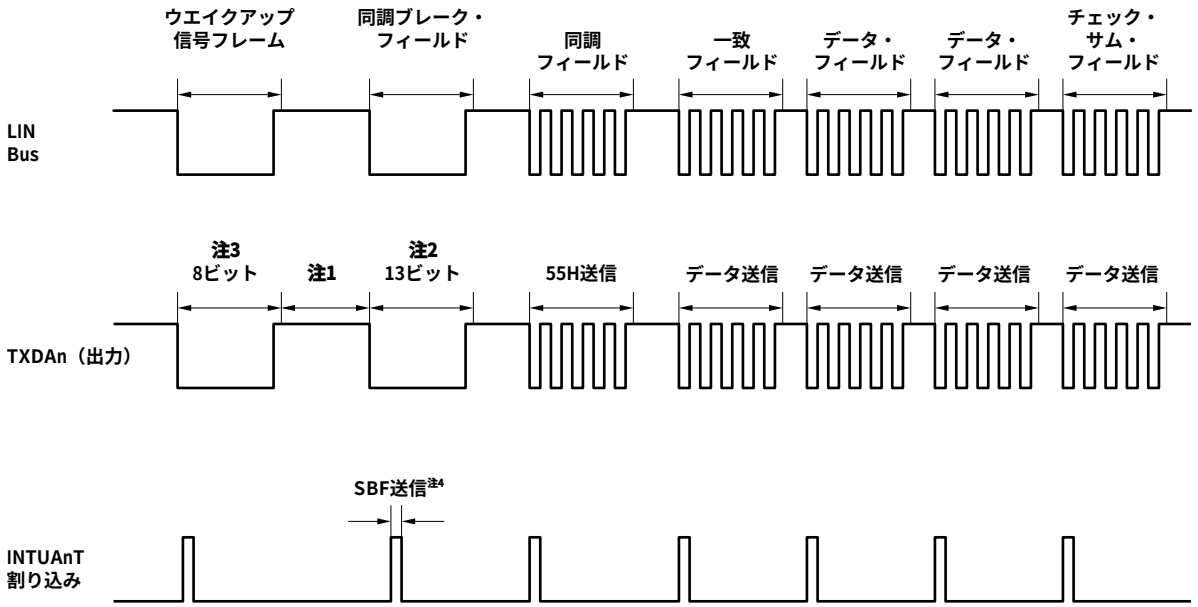
15. 6. 2　SBF送信／受信フォーマット

V850ES/SG2にはLIN機能として使用するために，SBF（Synch Break Field）送信／受信制御機能があります。

備考　LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。
LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。
LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。
また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。
LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

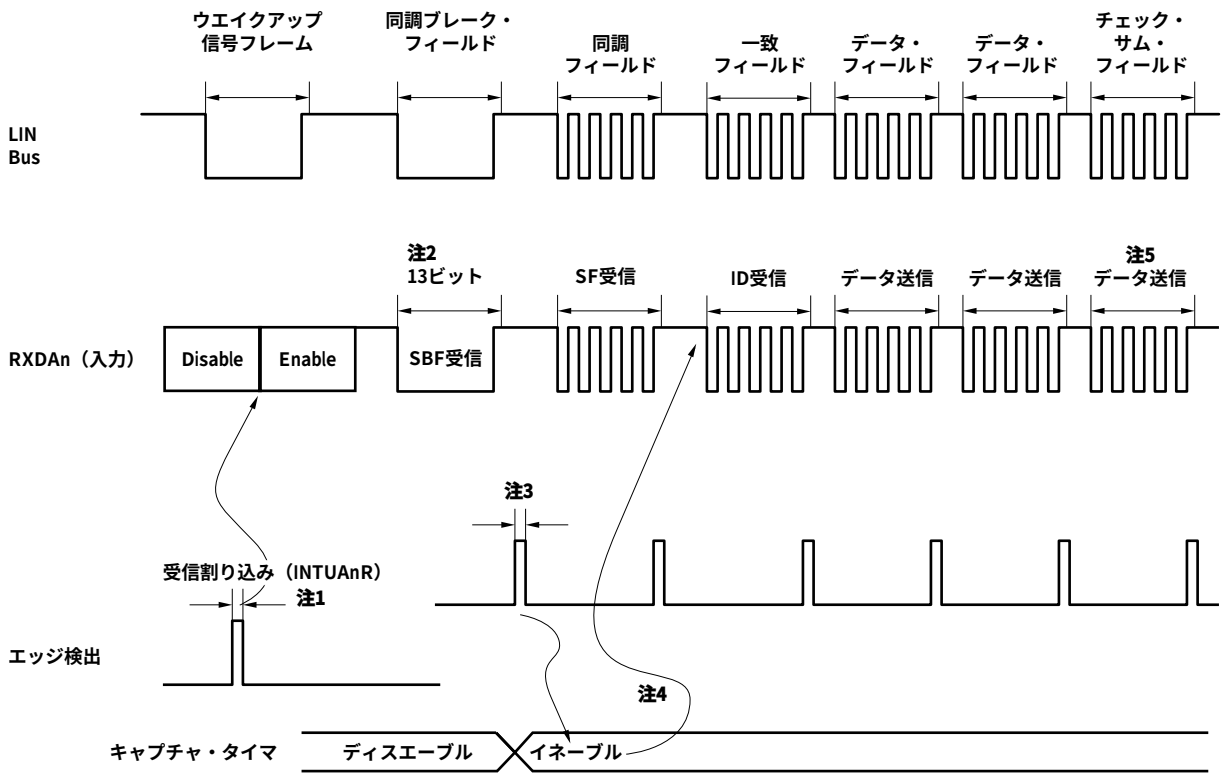
LINの送信操作と受信操作の概略を，図15－6，図15－7に示します。

図15－6　LINの送信操作概略



注1.　各フィールド間の間隔はソフトウエアで制御します。
2.　SBFの出力はハードウエアで行います。出力幅はUAnOPT0.UAnSLS2-UAnSLS0ビットで設定したビット長になります。さらに細かい出力幅調整が必要な場合は，UAnCTL2.UAnBRS7-UAnBRS0ビット値で調整します。
3.　ウエイクアップ信号フレームは，8ビット・モードの80H転送で代用します。
4.　各送信開始時には送信許可割り込み要求信号（INTUAnT）を出力します。SBF送信開始時もINTUAnT信号を出力します。

図15－7　LINの受信操作概略



注1.　ウエイクアップ・シグナルは，端子のエッジ検出器で行い，UARTAnをイネーブルし，SBF受信モードに設定します。

2.　STOPビットの検出まで受信動作を行います。11ビット以上のSBF受信を検出したら，正常SBF受信終了と判断し，割り込み信号を出力します。11ビット以下のSBF受信を検出したら，SBF受信エラーと判断し，割り込み信号を出力せず，SBF受信モードに戻ります。

3.　正常にSBF受信を終了した場合，割り込み要求信号を出力します。SBF受信完了割り込みでタイマをイネーブルにします。また，UAnSTR.UAnOVE, UAnPE, UAnFEビットの各エラー検出は抑制され，UART通信のエラー検出処理，およびUARTAn受信シフト・レジスタとUAnRXレジスタのデータ転送も行われません。UARTAn受信シフト・レジスタは初期値のFFHを保持します。

4.　RXDAn端子をタイマのTI（キャプチャ入力）に接続し転送レートを計算し，ボー・レート誤差を算出します。SF受信後にUARTAのイネーブルを落としてからボー・レート誤差を補正したUAnCTL2レジスタの値を再セットし，受信状態にします。

5.　チェック・サム・フィールドの区別はソフトウエアで行います。CSF受信後にUARTAnを初期化し，再びSBF受信モードに設定する処理もソフトウエアにて行います。

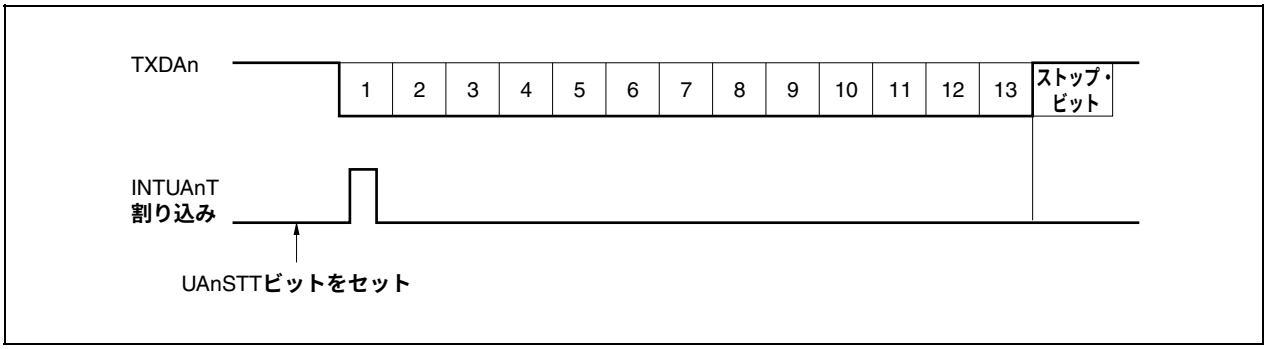
15. 6. 3　SBF送信

UAnCTL0.UAnPWRビット = UAnTXEビット = 1にすると送信許可状態となり，SBF送信トリガ（UAnOPT0.UAnSTTビット）をセット（1）することによりSBF送信動作は起動します。

そのあとUAnOPT0.UAnSLS2-UAnSLS0ビットで指定された13ビットから20ビット分までの幅のロウ・レベルを出力します。SBF送信開始時には送信許可割り込み要求信号（INTUAnT）を発生します。SBF送信を終了したあと，UAnSTTビットは自動的にクリアされます。そのあと，UART送信モードに戻ります。

次に送信するデータをUAnTXレジスタに書き込み，あるいはSBF送信トリガ（UAnSTTビット）をセットするまで，送信動作は中断します。

図15ー8　SBF送信



15. 6. 4　SBF受信

UAnCTL0.UAnPWRビット = 1にして，次に，UAnCTL0.UAnRXEビット = 1にすることにより，受信待ち状態になります。

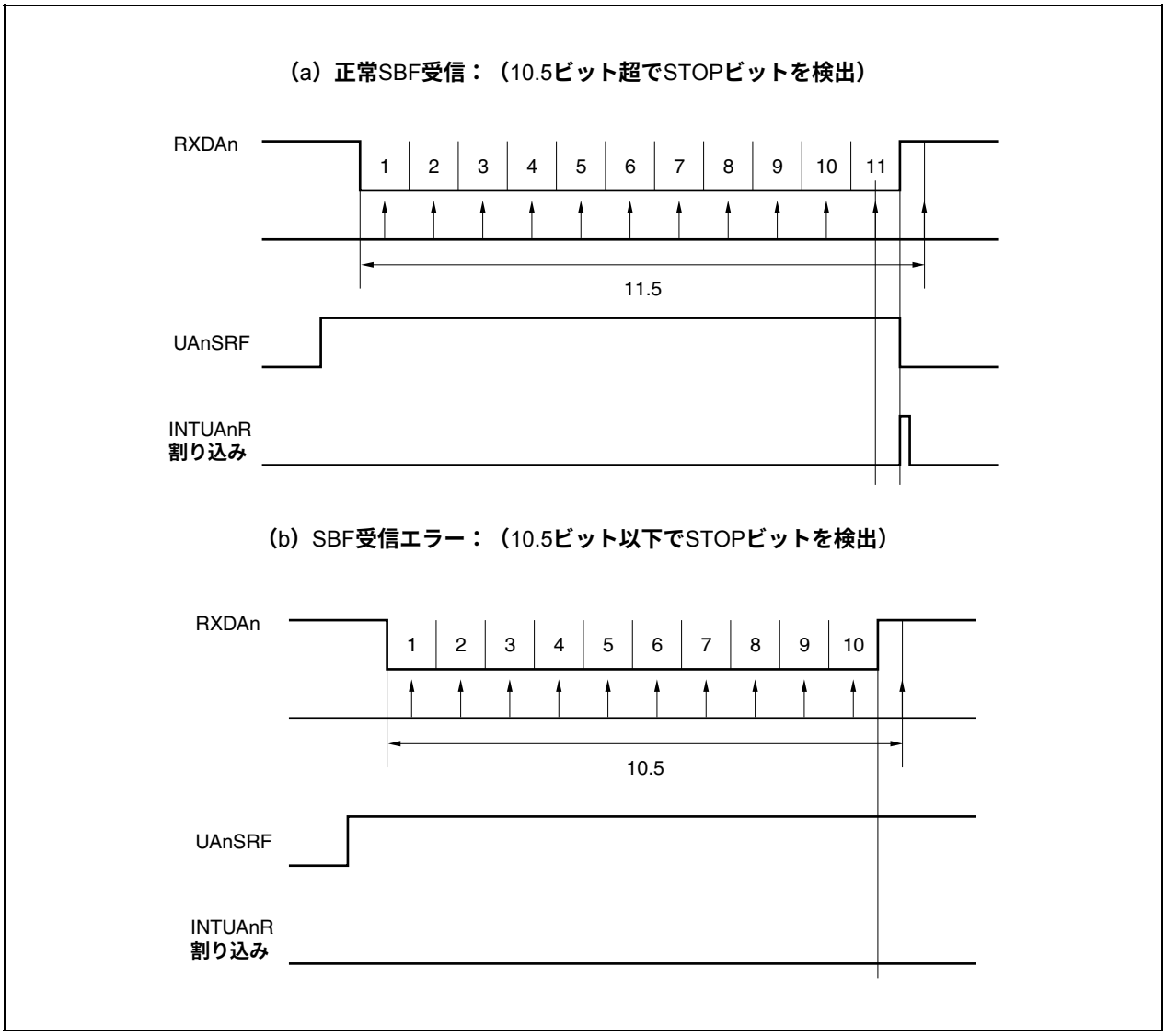
SBF受信トリガ（UAnOPT0.UAnSRTビット）をセット（1）することで，SBF受信待ち状態になります。

SBF受信待ち状態はUARTの受信待ち状態と同じくRXDAn端子をモニタし，スタート・ビットの検出を行います。

スタート・ビットを検出したら，受信動作を開始し，設定されたボー・レートにあわせて，内蔵カウンタをカウント・アップします。

ストップ・ビットを受信したら，SBFの幅が11ビット長以上の場合，正常処理として，受信完了割り込み要求信号（INTUAnR）を発生します。UAnOPT0.UAnSRFビットは自動的にクリアされ，SBF受信を終了します。UAnSTR.UAnOVE，UAnPE，UAnFEビットの各エラー検出は抑制されUART通信のエラー検出処理は行われません。また，UARTAn受信シフト・レジスタとUAnRXレジスタのデータの転送も行われず，初期値のFFHを保持します。SBFの幅が10ビット長以下の場合，エラー処理として，割り込みを出さずに受信を終了し，再びSBF受信モードに戻ります。その際UAnSRFビットはクリアされません。

図15ー9　SBF受信



15. 6. 5　UART送信

UAnCTL0.UAnPWRビット = 1とすることにより，TXDAn端子からハイ・レベルを出力します。

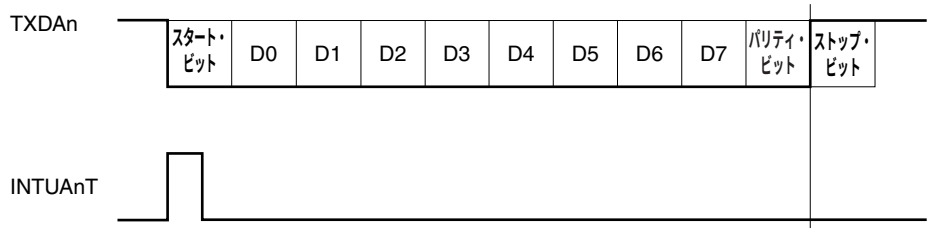
次に，UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり，UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加します。

なお，UARTAnにはCTS（送信許可信号）入力端子がないので，相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により，UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送完了したタイミングで，送信許可割り込み要求信号（INTUAnT）を発生し，そのあとUARTAn送信シフト・レジスタから順次，TXDAn端子に出力します。INTUAnT信号の発生後，UAnTXレジスタに次の転送データの書き込みができます。

図15－10　UART送信



備考　LSBファースト

15. 6. 6　連続送信の手順説明

UARTAnはUARTAn送信シフト・レジスタがシフト動作を開始した時点で，次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは，送信許可割り込み要求信号（INTUAnT）で判断できます。次に送信するデータを，転送中にUAnTXレジスタに書き込むことにより，効率的な通信レートを実現できます。

注意　送信の初期化を行う場合，連続送信実行中は，UAnSTR.UAnTSFビットが“0”であることを確認してから初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。

図15－11　連続送信の処理フロー

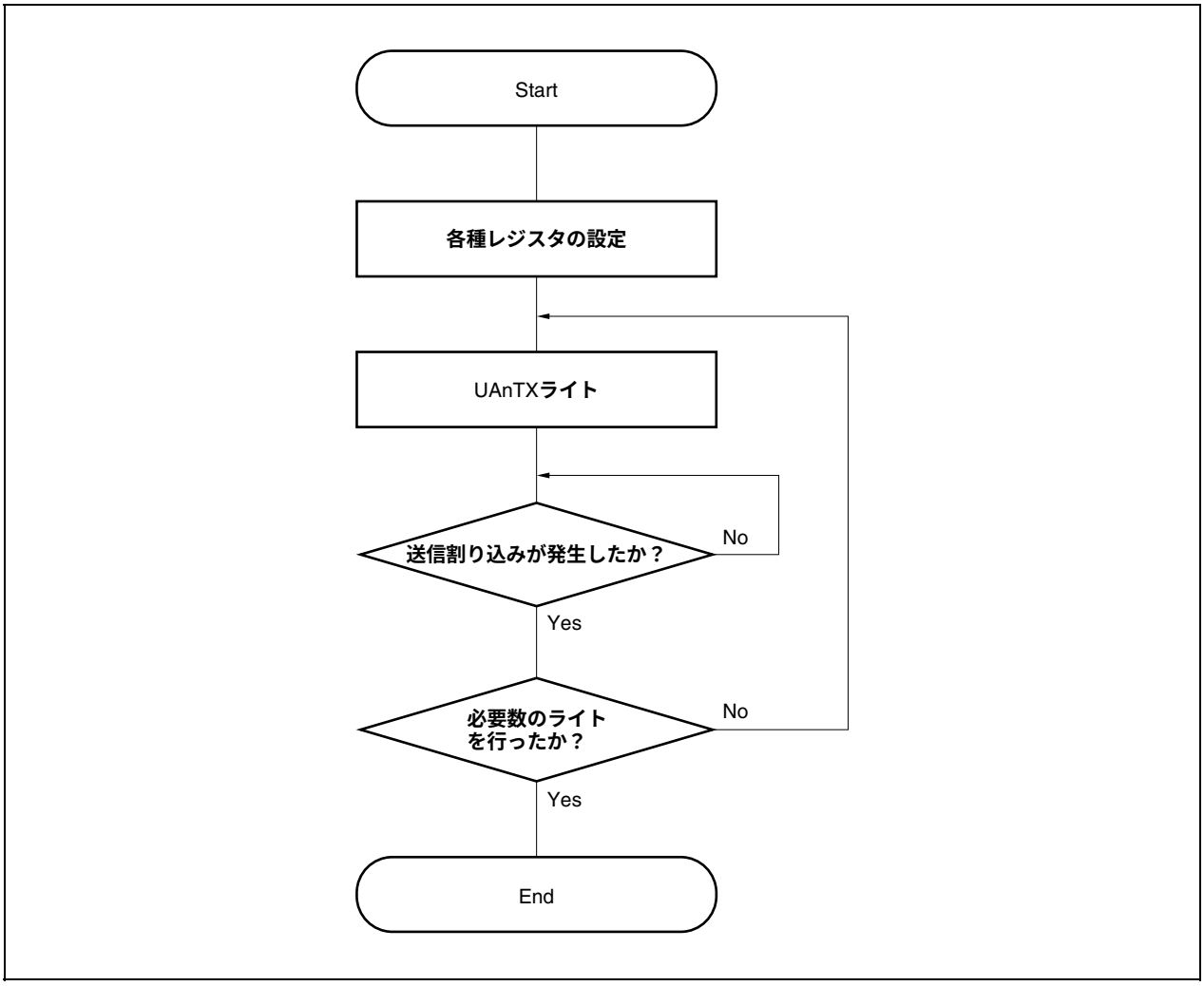
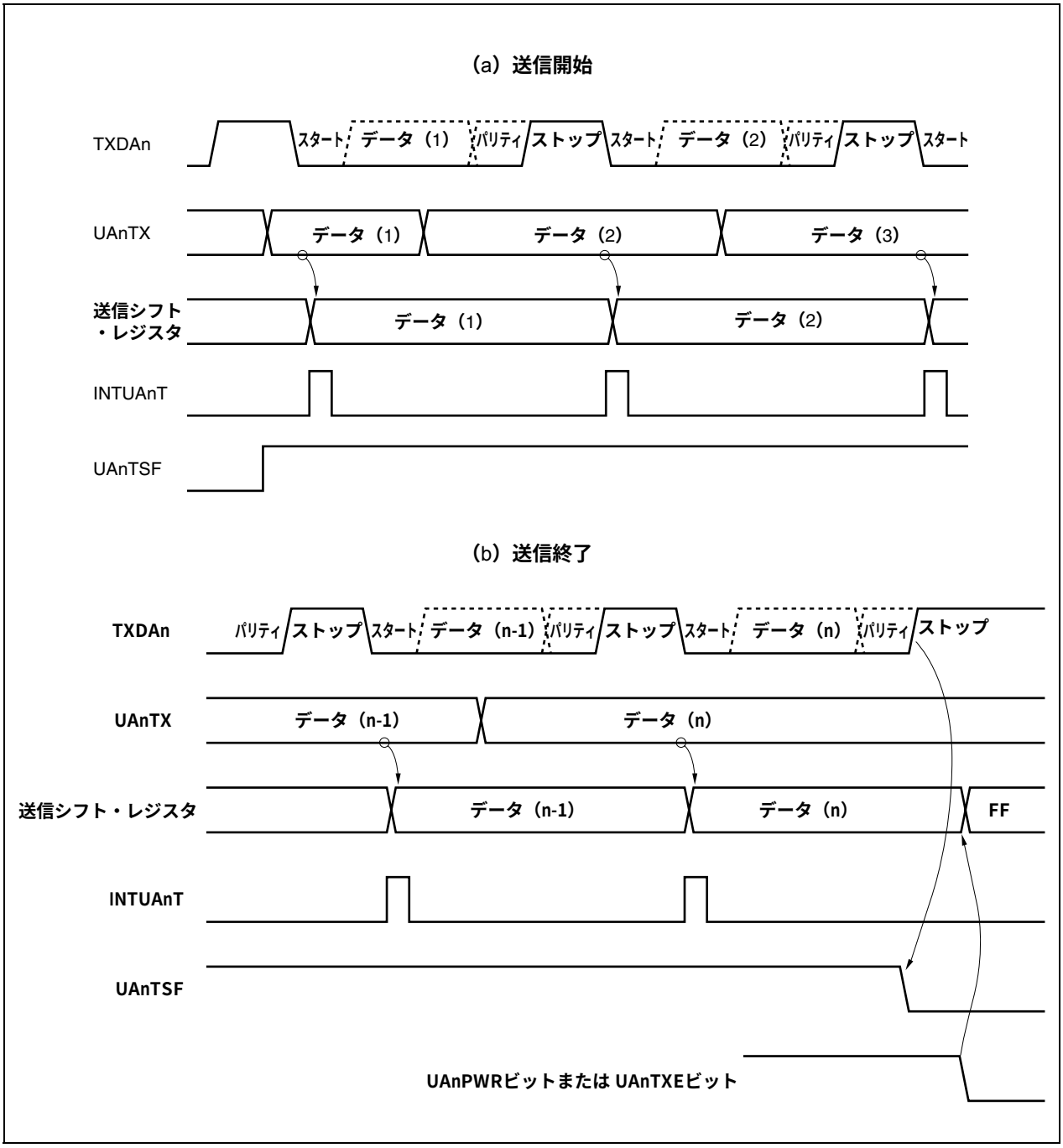


図15－12　連続送信動作のタイミング



15. 6. 7　UART受信

UAnCTL0.UAnPWRビット = 1にして，次にUAnCTL0.UAnRXEビット = 1にすることにより，受信待ち状態になります。受信待ち状態では，RXDAn端子をモニタし，スタート・ビットの検出を行います。

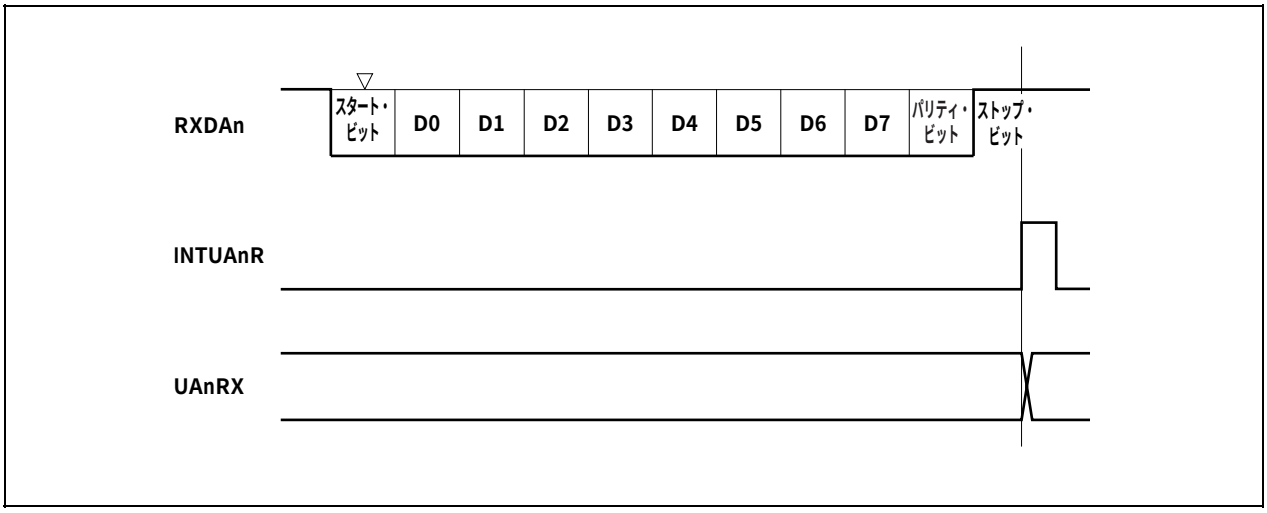
なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

まずRXDAn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDAn端子がロウ・レベルであれば，スタート・ビットと認識します。スタート・ビットが認識されたら，受信動作を開始し，設定されたボー・レートにあわせて，シリアル・データを順次，UARTAn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら，受信完了割り込み要求信号（INTUAnR）を発生すると同時に，UARTAn受信シフト・レジスタのデータをUAnRXレジスタに書き込みます。ただし，オーバラン・エラー（UAnSTR.UAnOVEビット）が発生した場合は，そのときの受信データをUAnRXレジスタに書き込まれずに破棄されます。

受信途中に，パリティ・エラー（UAnSTR.UAnPEビット），フレーミング・エラー（UAnSTR.UAnFEビット）が発生しても，1ビット目のストップ・ビットの受信位置までは，受信を継続し，受信完了後にINTUAnR信号を発生します。

図15－13　UART受信



注意1. 受信エラー発生時にも，UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと，次のデータ受信にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続くことになります。

2. 受信時は，常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは，無視されます。

3. 受信終了時は，受信完了割り込み要求信号（INTUAnR）発生後，UAnRXレジスタを読み出してからUAnPWRビット = 0またはUAnRXEビット = 0としてください。INTUAnR信号が発生する前にUAnPWRビット = 0またはUAnRXEビット = 0とした場合，UAnRXレジスタのリード値は保証できません。

4. UARTAnの受信完了処理（INTUAnR信号の発生）と，UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合，UAnRXレジスタにデータを格納していないにもかかわらず，INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには，必ず割り込み制御レジスタ（UAnRIC）の割り込みマスク・フラグ（UAnRMK）をセット（1）してから，UAnPWRビット = 0またはUAnRXEビット = 0とし，さらにUAnRICレジスタの割り込み要求フラグ（UAnRIF）をクリア（0）してください。

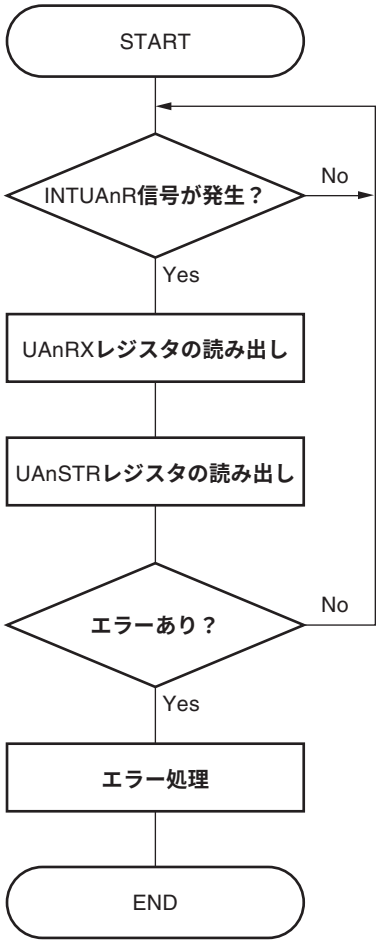
15. 6. 8　受信エラー

受信動作時のエラーは，パリティ・エラー，フレーミング・エラー，オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され，受信完了割り込み要求信号（INTUAnR）を発生します。

UAnSTRレジスタの内容を読み出すことによって，いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは，“0”ライトによりクリアしてください。

・受信データの読み出しフロー



注意　INTUAnR信号が発生したら，必ずUAnSTRレジスタを読み出してエラーの有無を確認してください。

・受信エラーの要因

エラー・フラグ	受信エラー	要　　因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了

受信エラー発生時は，エラーの内容によって，次の処理を行ってください。

・パリティ・エラー
受信ラインへのノイズなどによって誤ったデータを受信しているため，受信データを破棄し，再度通信を行ってください。

・フレーミング・エラー
送信側との間でボー・レートずれが発生しているか，何らかの理由で誤ってスタート・ビットを検出してしまったことが考えられます。通信フォーマットのフェータルなエラーであるため，送信側の動作停止を確認後，互いに初期化処理を行って再度通信を開始してください。

・オーバラン・エラー
受信データを読み出す前に次の受信が完了してしまったため，1フレーム分のデータが破棄された状態になっています。必要なデータであれば再度通信をやり直してください。

注意　連続受信時に受信エラー割り込みが発生した場合は，次の受信が完了する前にUAnSTRレジスタの内容を読み出してエラー処理を実施してください。

15. 6. 9　パリティの種類と動作

注意　LIN機能を使用する場合，UAnCTL0.UAnPS1, UAnPS0ビットを“00”に固定してください。

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティビットは同一の種類のものを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の，値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

・送信データ中に値が“1”のビット数が奇数個：1
・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に，パリティ・ビットを含めた送信データ中の，値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

・送信データ中に，値が“1”のビット数が奇数個：0
・送信データ中に，値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には，送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって，パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

15. 6. 10　受信データのノイズ・フィルタ

プリスケーラ部出力の基本クロックでRXDAn端子をサンプリングします。

サンプリング値が同じ値を2回取ると，一致検出器の出力が変化し，入力データとしてサンプリングされます。したがって，2クロック幅以下のデータはノイズとして判断され，内部回路には伝わりません（図15－15参照）。基本クロックについては15. 7（1）（a）基本クロックを参照してください。

また，回路は図15－14のようになっているので，受信動作の内部での処理は，外部の信号状態より3クロック分遅れて動作することになります。

図15－14　ノイズ・フィルタ回路

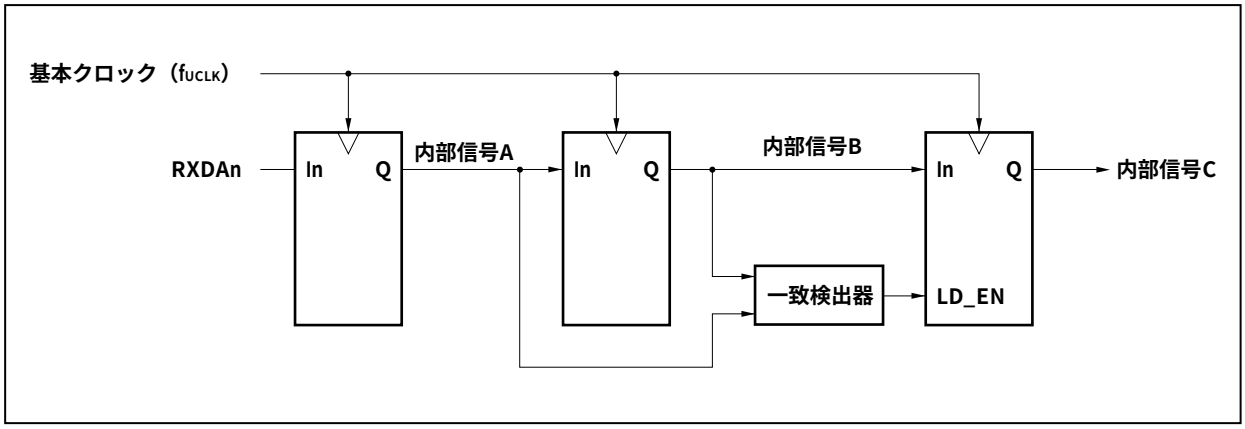
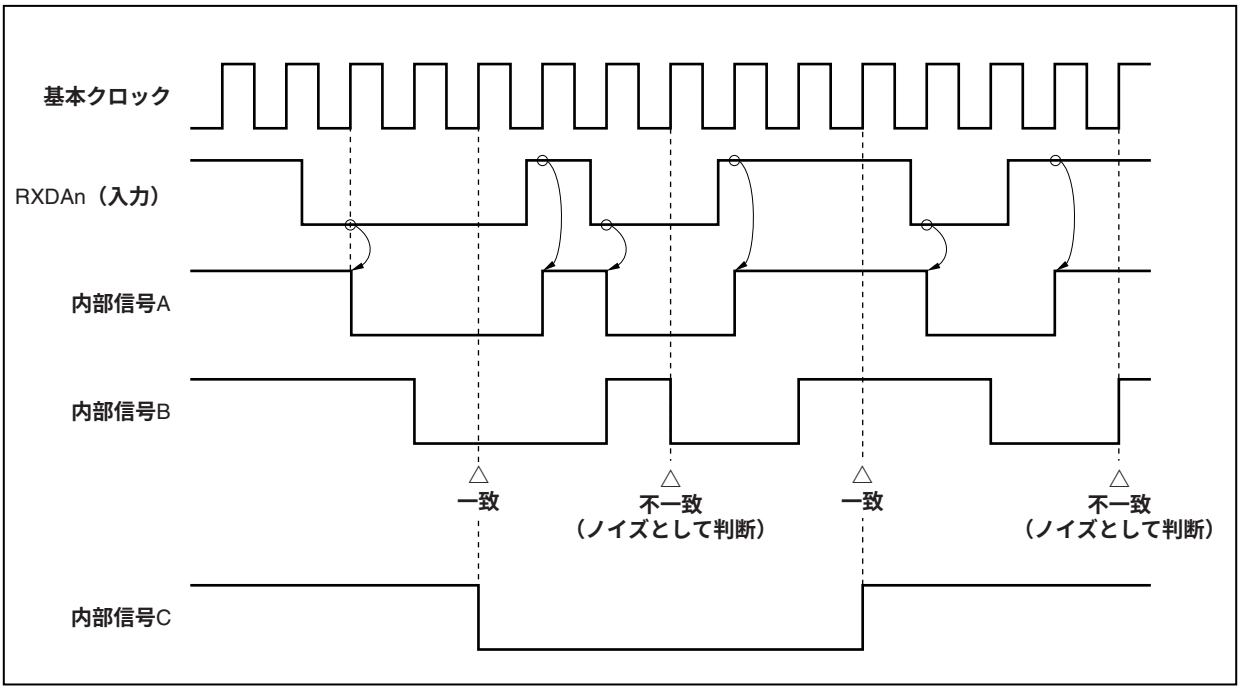


図15－15　ノイズとして判断されるRXDAn信号のタイミング



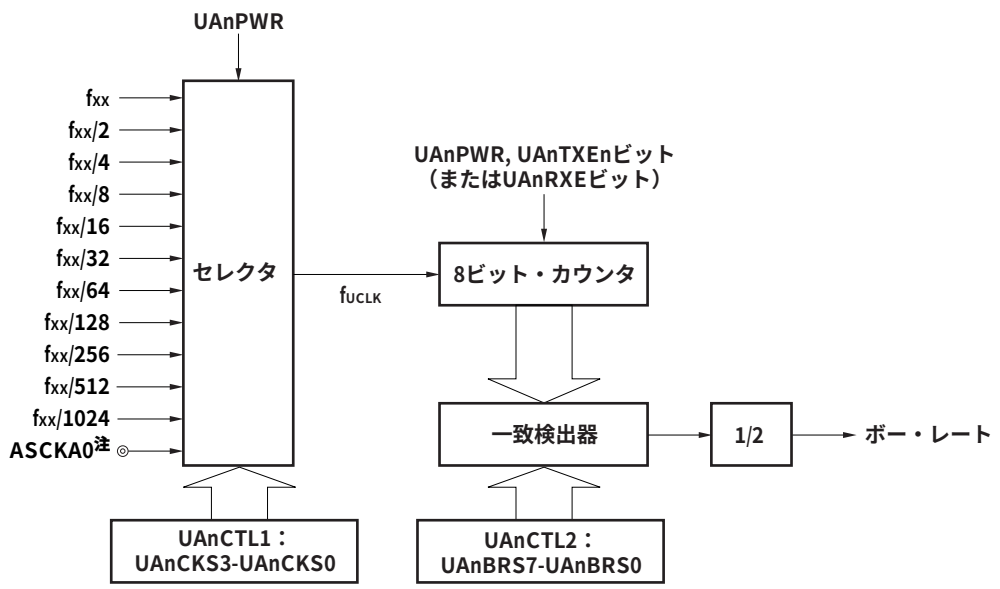
15. 7　専用ボー・レート・ジェネレータ

専用ボー・レート・ジェネレータは，ソース・クロック・セレクタ部と8ビットのプログラマブル・カウンタにより構成され，UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは，チャネルごとに専用ボー・レート・ジェネレータ出力を選択できます。

なお，8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

図15－16　ボー・レート・ジェネレータの構成



注　UARTA0のみ有効，UARTA1, UARTA2は設定禁止

備考1.　n = 0-2

2.　fxx　：メイン・クロック周波数

3.　fUCLK　：基本クロック周波数

(a) 基本クロック

UAnCTL0.UAnPWRビット = 1のとき，UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック（fUCLK）と呼びます。

(b) シリアル・クロックの生成

UAnCTL1レジスタとUAnCTL2レジスタの設定により，シリアル・クロックを生成できます（n = 0-2）。

UAnCTL1.UAnCKS3-UAnCKS0ビットにより，基本クロックを選択します。

UAnCTL2.UAnBRS7-UAnBRS0ビットにより，8ビット・カウンタの分周値を設定できます。

（2）UARTAn制御レジスタ1（UAnCTL1）

UAnCTL1レジスタは，UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　UAnCTL1レジスタを書き換える場合は，UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時：00H　R/W　アドレス：UA0CTL1 FFFFFA01H, UA1CTL1 FFFFFA11H, UA2CTL1 FFFFFA21H

	7	6	5	4	3	2	1	0
UAnCTL1 (n = 0-2)	0	0	0	0	UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0

UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0	基本クロック（f_{UCLK}）の選択
0	0	0	0	fxx
0	0	0	1	fxx/2
0	0	1	0	fxx/4
0	0	1	1	fxx/8
0	1	0	0	fxx/16
0	1	0	1	fxx/32
0	1	1	0	fxx/64
0	1	1	1	fxx/128
1	0	0	0	fxx/256
1	0	0	1	fxx/512
1	0	1	0	fxx/1024
1	0	1	1	外部クロック注（ASCKA0端子）
上記以外				設定禁止

注　UARTA0のみ有効，UARTA1, UARTA2は設定禁止

備考　fxx：メイン・クロック周波数

（3）UARTAn制御レジスタ2（UAnCTL2）

UAnCTL2レジスタは，UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットによりFFHになります。

注意　UAnCTL2レジスタを書き換える場合は，UAnCTL0.UAnPWRビット = 0，またはUAnTXE, UAnRXEビット = 00にしてから行ってください。

リセット時：FFH　R/W　アドレス：UA0CTL2 FFFFFA02H, UA1CTL2 FFFFFA12H, UA2CTL2 FFFFFA22H

	7	6	5	4	3	2	1	0
UAnCTL2	UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0

（n = 0-2）

UAn BRS7	UAn BRS6	UAn BRS5	UAn BRS4	UAn BRS3	UAn BRS2	UAn BRS1	UAn BRS0	規定値（k）	シリアル・クロック
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	$f_{UCLK}/4$
0	0	0	0	0	1	0	1	5	$f_{UCLK}/5$
0	0	0	0	0	1	1	0	6	$f_{UCLK}/6$
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	$f_{UCLK}/252$
1	1	1	1	1	1	0	1	253	$f_{UCLK}/253$
1	1	1	1	1	1	1	0	254	$f_{UCLK}/254$
1	1	1	1	1	1	1	1	255	$f_{UCLK}/255$

備考　f_{UCLK}：UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロック周波数

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{UCLK}}{2 \times k} \quad [\text{bps}]$$

内部クロックを使用する場合は，次の式になります（UARTA0でASCKA0端子入力をクロックとして使用する場合は，上の式で計算してください）。

$$\text{ボー・レート} = \frac{f_{XX}}{2^{m+1} \times k} \quad [\text{bps}]$$

備考　f_{UCLK} = UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

f_{XX}：メイン・クロック周波数

m = UAnCTL1.UAnCKS3-UAnCKS0ビットで設定した値（m = 0-10）

k = UAnCTL2.UAnBRS7-UAnBRS0ビットで設定した値（k = 4-255）

ボー・レート誤差は次の式によって求められます。

$$\text{誤差（\%）} = \left(\frac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{目標ボー・レート（正常なボー・レート）}} - 1 \right) \times 100 \ [\%]$$

$$= \left(\frac{f_{UCLK}}{2 \times k \times \text{目標ボー・レート}} - 1 \right) \times 100 \ [\%]$$

内部クロックを使用する場合は，次の式になります（UARTA0でASCKA0端子入力をクロックとして使用する場合は，上の式で計算してください）。

$$\text{誤差（\%）} = \left(\frac{f_{XX}}{2^{m+1} \times k \times \text{目標ボー・レート}} - 1 \right) \times 100 \ [\%]$$

注意1.　**送信時のボー・レート誤差は，受信先の許容誤差以内にしてください。**

2.　**受信時のボー・レート誤差は，（5）受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。**

ボー・レートを設定するときは，次のように計算してUAnCTL1, UAnCTL2レジスタを設定してください（内部クロック使用時）。

① k = fxx/（2×目標ボー・レート）　とし，m = 0としてください。
② k≧256のとき，k = k/2とし，m = m＋1としてください。
③ k＜256になるまで，②を繰り返してください。
④ kの小数点第一位を四捨五入します。
四捨五入して，k = 256になったときは，もう一度②を行ってください（k = 128になります）。
⑤ mをUAnCTL1レジスタに，kをUAnCTL2レジスタに設定してください。

例：fxx = 32 MHz，目標ボー・レート：153,600 bpsの場合
① k = 32,000,000/（2×153,600）　= 104.16…，m = 0
②，③　k = 104.16…＜256，m = 0
④　UAnCTL2レジスタ設定値：k = 104 = 68H，UAnCTL1レジスタ設定値：m = 0

実際のボー・レート　= 32,000,000/（2×104）
= 153,846　[bps]

ボー・レート誤差　=　{32,000,000/（2×104×153,600）－1}　×100
= 0.160　[%]

次に，代表的なボー・レートの設定例を示します。

表15－3　ボー・レート・ジェネレータ設定データ

ボー・レート	fxx = 32 MHz			fxx = 20 MHz			fxx = 10 MHz		
(bps)	UAnCTL1	UAnCTL2	ERR（%）	UAnCTL1	UAnCTL2	ERR（%）	UAnCTL1	UAnCTL2	ERR（%）
300	08H	D0H	0.16	08H	82H	0.16	07H	82H	0.16
600	07H	D0H	0.16	07H	82H	0.16	06H	82H	0.16
1200	06H	D0H	0.16	06H	82H	0.16	05H	82H	0.16
2400	05H	D0H	0.16	05H	82H	0.16	04H	82H	0.16
4800	04H	D0H	0.16	04H	82H	0.16	03H	82H	0.16
9600	03H	D0H	0.16	03H	82H	0.16	02H	82H	0.16
19200	02H	D0H	0.16	02H	82H	0.16	01H	82H	0.16
31250	02H	80H	0.00	01H	A0H	0.00	00H	A0H	0.00
38400	01H	D0H	0.16	01H	82H	0.16	00H	82H	0.16
76800	00H	D0H	0.16	00H	82H	0.16	00H	41H	0.16
153600	00H	68H	0.16	00H	41H	0.16	00H	21H	－1.36
312500	00H	33H	0.39	00H	20H	0.00	00H	10H	0.00

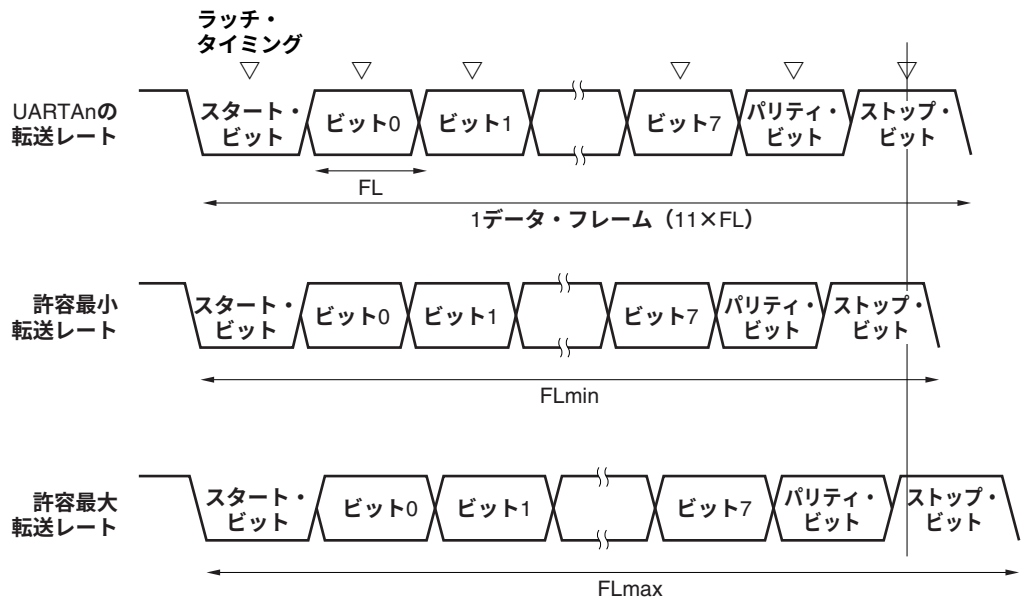
備考　fxx　：メイン・クロック周波数
ERR ：ボー・レート誤差 [%]

(5) 受信時の許容ボー・レート範囲

受信の際に，送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意　受信時のボー・レート誤差は，下記に示す算出式を使用して，必ず許容誤差範囲内になるように設定してください。

図15－17　受信時の許容ボー・レート範囲



備考　n = 0-2

図15－17に示すように，スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上，次のようになります。

$$FL = (Brate)^{-1}$$

Brate　：UARTAnのボー・レート（n = 0-2）

k　：UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値（n = 0-2）

FL　：1ビット・データ長

ラッチ・タイミングのマージン：2クロック

許容最小転送レート：$FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$

したがって，受信可能な送信先の最大ボー・レートは次のようになります。

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2}\ Brate$$

同様に，許容最大転送レートを求めると，次のようになります。

$$\frac{10}{11} \times FLmax = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k}\ FL$$

$$FLmax = \frac{21k-2}{20k}\ FL \times 11$$

したがって，受信可能な送信先の最小ボー・レートは次のようになります。

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2}\ Brate$$

前述の最小／最大ボー・レート値の算出式から，UARTAnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表15－4　許容最大／最小ボー・レート誤差

分周比（k）	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	＋2.32 %	－2.43 %
8	＋3.52 %	－3.61 %
20	＋4.26 %	－4.30 %
50	＋4.56 %	－4.58 %
100	＋4.66 %	－4.67 %
255	＋4.72 %	－4.72 %

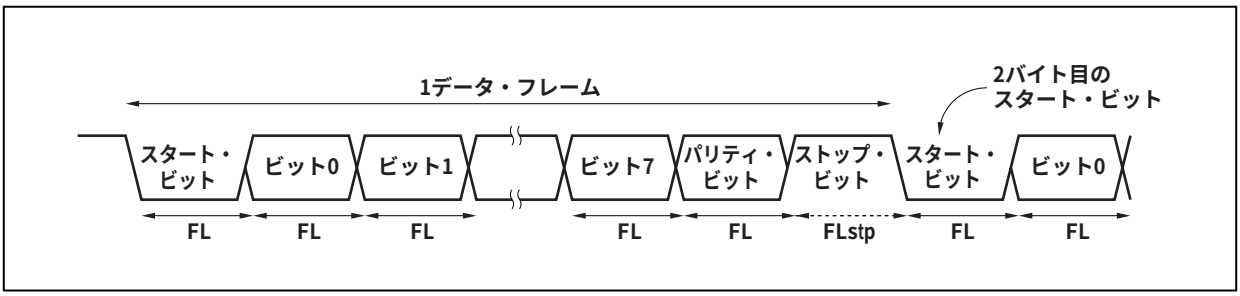
備考1.　受信の精度は，1フレーム・ビット数，入力クロック周波数，分周比（k）に依存します。入力クロック周波数が高く，分周比（k）が大きくなるほど精度は高くなります。

2.　k：UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値（n = 0-2）

（6）連続送信時の転送レート

連続送信する場合，ストップ・ビットから次のスタート･ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし，受信側はスタート・ビットの検出により，タイミングの初期化が行われるので転送結果には影響しません。

図15－18　連続送信時の転送レート



1ビット・データ長：FL，**ストップ・ビット長：**FLstp，**基本クロック周波数：**f_{UCLK}**とすると次の式が成り立ちます。**

$$FLstp = FL + 2 / f_{UCLK}$$

したがって，連続送信での転送レートは次のようになります。

転送レート $= 11 \times FL + (2 / f_{UCLK})$

15. 8　注意事項

（1）UARTAnへの供給クロックが停止する場合（例：IDLE1, IDLE2, STOPモード）は，各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持，出力します。ただし，クロック供給の再開後の動作は保証しません。したがって，再開後はUAnCTL0.UAnPWR, UAnRXEn, UAnTXEnビット = 000とし，回路を初期化してください。

（2）RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は，KR7端子を使用しないでください。また，KR7端子を使用する場合は，RXDA1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。

（3）UARTAnでは，通信エラーによる割り込みを発生しません。そのため，DMA転送で送信データ，受信データの転送を行う場合，転送中にエラー（パリティ／オーバラン／フレーミング）が発生しても，エラー処理を行えません。DMA転送終了後にUAnSTRレジスタを読み出してエラーがなかったことを確認するか，通信中に適宜UAnSTRレジスタを読み出してエラーの有無を確認してください。

（4）UARTAnの起動は次の順序で行ってください。

① UAnCTL0.UAnPWRビット = 1

② ポートの設定

③ UAnCTL0.UAnTXEビット = 1, UAnCTL0.UAnRXEビット = 1

（5）UARTAnの停止は次の順序で行ってください。

① UAnCTL0.UAnTXEビット = 0, UAnCTL0.UAnRXEビット = 0

② ポートの設定，UAnCTL0.UAnPWRビット = 0（ポートの設定は変更しなくても問題ありません）

（6）送信モード中（UAnCTL0.UAnPWRビット = 1，かつUAnCTL0.UAnTXEビット = 1）に，ソフトウエアでUAnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。

（7）連続送信の場合，ストップ・ビットから次のスタート・ビットまでの通信レートが，通常より基本クロックの2クロック分延びます。ただし，受信側はスタート・ビットの検出でタイミングの初期化を行うため，受信結果には影響しません。

第16章　3線式可変長シリアルI/O（CSIB）

16. 1　CSIBとほかのシリアル・インタフェースのモード切り替え

16. 1. 1　CSIB4とUARTA0のモード切り替え

V850ES/SG2では，CSIB4とUARTA0は端子が兼用になっており，同時には使用できません。CSIB4を使用するときは，あらかじめPMC3, PFC3レジスタで設定する必要があります。

注意　CSIB4またはUARTA0において，送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16－1　CSIB4とUARTA0のモード切り替え設定

リセット時：0000H　R/W　**アドレス：**FFFFF446H, FFFFF447H

	15	14	13	12	11	10	9	8
PMC3	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：0000H　R/W　**アドレス：**FFFFF466H, FFFFF467H

	15	14	13	12	11	10	9	8
PFC3	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

リセット時：00H　R/W　**アドレス：**FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	0	0	PFCE32	0	0

PMC32	PFCE32	PFC32	動作モード
0	×	×	ポート入出力モード
1	0	0	ASCKA0
1	0	1	$\overline{\text{SCKB4}}$

PMC3n	PFC3n	動作モード
0	×	ポート入出力モード
1	0	UARTA0モード
1	1	CSIB4モード

備考1.　n = 0, 1

2.　× = don’t care

16. 1. 2　CSIB0とI²C01のモード切り替え

V850ES/SG2では，CSIB0とI²C01は端子が兼用になっており，同時には使用できません。CSIB0を使用するときは，あらかじめPMC4, PFC4レジスタで設定する必要があります。

注意　CSIB0またはI²C01において，送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16－2　CSIB0とI²C01のモード切り替え設定

リセット時：00H　R/W　アドレス：FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

リセット時：00H　R/W　アドレス：FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	0	PFC41	PFC40

PMC4n	PFC4n	動作モード
0	×	ポート入出力モード
1	0	CSIB0モード
1	1	I²C01モード

備考1.　n = 0, 1

2.　× = don’t care

16. 2 特　　徴

○転送速度：最大8 Mbps（fxx = 32 MHz，内部クロック使用時）

○マスタ・モードとスレーブ・モ―ドを選択可能

○8-16ビット転送，3線式シリアル・インタフェース

○割り込み要求信号（INTCBnT, INTCBnR）×2

○シリアル・クロックとデータのフェーズ切り替えが可能

○転送データ長を8-16ビットに1ビット単位で選択可能

○転送データのMSB先頭/LSB先頭を切り替え可能

○3線式　SOBn　　：シリアル・データ出力

　　SIBn　　：シリアル・データ入力

　　$\overline{\text{SCKBn}}$　　：シリアル・クロック入出力

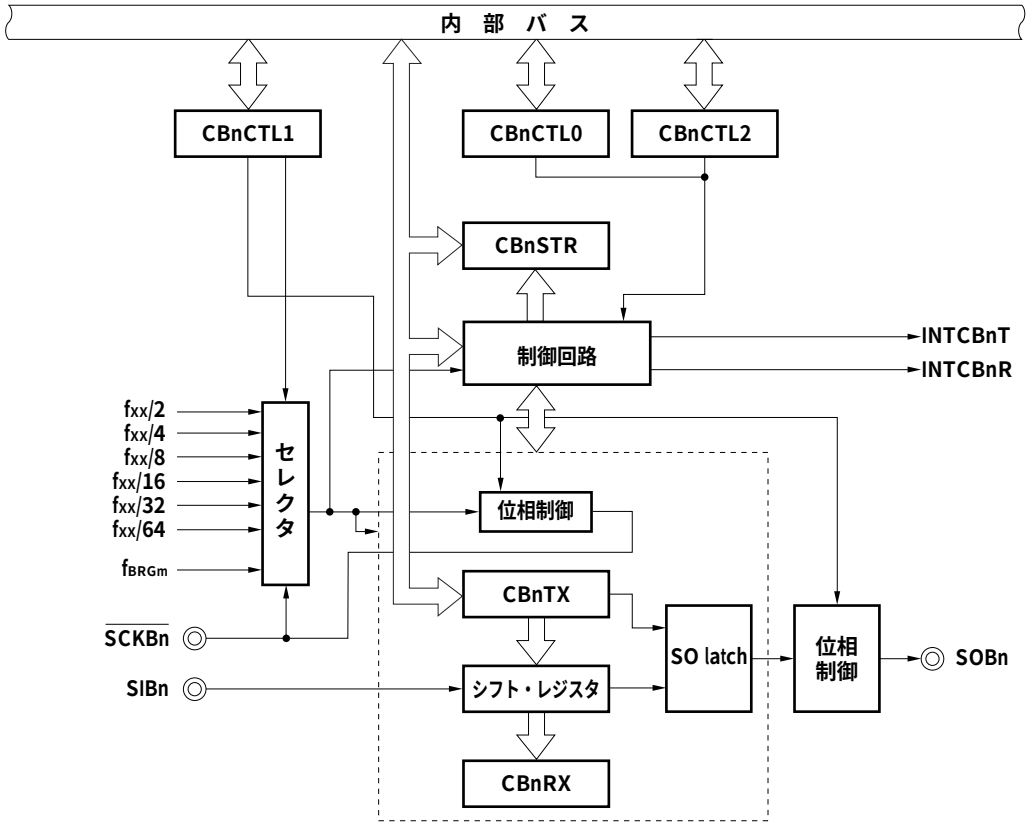
送信モード，受信モード，送受信モードを指定可能

備考　n = 0-4

16. 3　構　　成

次にCSIBnのブロック図を示します。

図16ー3　CSIBnのブロック図



備考　n = 0-4

m = 1（n = 0, 1）

m = 2（n = 2, 3）

m = 3（n = 4）

CSIBnは，次のハードウエアで構成されています。

表16ー1　CSIBnの構成

項　　目	構　　成
レジスタ	CSIBn受信データ・レジスタ（CBnRX） CSIBn送信データ・レジスタ（CBnTX）
制御レジスタ	CSIBn制御レジスタ0（CBnCTL0） CSIBn制御レジスタ1（CBnCTL1） CSIBn制御レジスタ2（CBnCTL2） CSIBn状態レジスタ（CBnSTR）

（1）CSIBn受信データ・レジスタ（CBnRX）

CBnRXレジスタは，受信データを保持する16ビットのバッファ・レジスタです。

16ビット単位でリードのみ可能です。

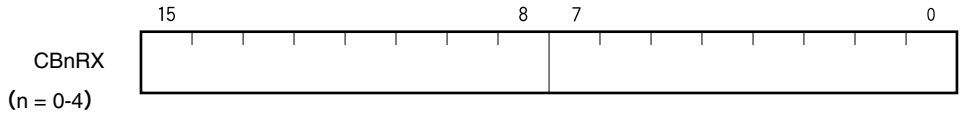
受信許可状態中に，CBnRXレジスタをリードすることにより，受信動作を開始します。

転送データ長が8ビットの場合は，CBnRXレジスタの下位8ビットをCBnRXLレジスタとして，8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に，CBnCTL0レジスタのCBnPWRビットをクリア（0）しても初期化されます。

リセット時：0000H　R　アドレス：CB0RX FFFFFD04H, CB1RX FFFFFD14H,
CB2RX FFFFFD24H, CB3RX FFFFFD34H,
CB4RX FFFFFD44H



（2）CSIB送信データ・レジスタ（CBnTX）

CBnTXレジスタは，CSIBnの転送データを書き込む16ビットのバッファ・レジスタです。

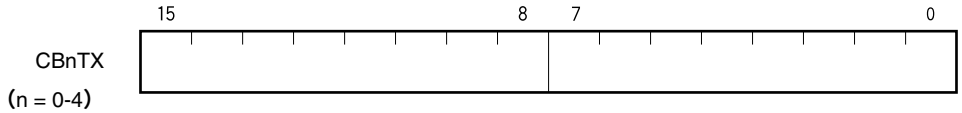
16ビット単位でリード／ライト可能です。

送信許可状態のときは，CBnTXレジスタにデータをライトすることにより，送信動作を開始します。

転送データ長が8ビットの場合は，CBnTXレジスタの下位8ビットをCBnTXLレジスタとして，8ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

リセット時：0000H　R/W　アドレス：CB0TX FFFFFD06H, CB1TX FFFFFD16H,
CB2TX FFFFFD26H, CB3TX FFFFFD36H,
CB4TX FFFFFD46H



備考　通信開始条件について

送信モード（CBnTXEビット = 1, CBnRXEビット = 0）　：CBnTXレジスタへのライト

送受信モード（CBnTXEビット = 1, CBnRXEビット = 1）　：CBnTXレジスタへのライト

受信モード（CBnTXEビット = 0, CBnRXEビット = 1）　：CBnRXレジスタのリード

16. 4　レジスタ

CSIBnを制御するレジスタには，次のものがあります。

- CSIBn制御レジスタ0（CBnCTL0）
- CSIBn制御レジスタ1（CBnCTL1）
- CSIBn制御レジスタ2（CBnCTL2）
- CSIBn状態レジスタ（CBnSTR）

（1）CSIBn制御レジスタ0（CBnCTL0）

CSIBnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより01Hになります。

（1/3）

リセット時：01H　R/W　アドレス：CB0CTL0 FFFFFD00H, CB1CTL0 FFFFFD10H,
CB2CTL0 FFFFFD20H, CB3CTL0 FFFFFD30H,
CB4CTL0 FFFFFD40H

	⑦	⑥	⑤	④	3	2	1	⓪
CBnCTL0	CBnPWR	CBnTXE注	CBnRXE注	CBnDIR注	0	0	CBnTMS注	CBnSCE

（n = 0-4）

CBnPWR	CSIBn動作禁止／許可の指定
0	CSIBn動作禁止，CBnSTRレジスタをリセットする
1	CSIBn動作許可
・CBnPWRビット はCSIBnの動作の制御と内部回路のリセットを行います。	

CBnTXE注	送信動作禁止／許可の指定
0	送信動作禁止
1	送信動作許可
・CBnTXEビット = 0のとき，SOBn出力はロウ・レベルとなります。	

CBnRXE注	受信動作禁止／許可の指定
0	受信動作禁止
1	受信動作許可
・CBnRXEビット = 0にすることで受信動作を禁止するため，規定のデータを転送されても受信完了割り込みは出力されず，受信データ（CBnRXレジスタ）は更新されません。	

注　CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

注意　送受信を強制中断する場合は，CBnRXEビットではなく，CBnPWRビットをクリア（0）してください。このとき，クロック出力も停止します。

（2/3）

CBnDIR注	転送方向モード（MSB/LSB）の指定
0	MSBファースト
1	LSBファースト

CBnTMS注	転送モードの指定
0	シングル転送モード
1	連続転送モード

【シングル転送モード】
通信の完了で受信完了割り込み（INTCBnR）を発生します。
送信許可（CBnTXEビット = 1）の場合でも送信許可割り込み（INTCBnT）は発生しません。
通信中（CBnSTR.CBnTSFビット = 1）に次の送信データをライトしても無視され，次の通信は起動しません。また，受信のみの通信に設定したとき（CBnTXEビット = 0, CBnRXEビット = 1）も，通信中（CBnSTR.CBnTSFビット = 1）に受信データをリードしても次の通信は起動しません。
【連続転送モード】
通信中（CBnSTR.CBnTSFビット = 1）に次の送信データをライトすることで連続送信が可能です。
次の送信データがライト可能になるのは，送信許可割り込み（INTCBnT）発生後です。
また，連続転送モードで受信のみの通信に設定（CBnTXEビット = 0, CBnRXEビット = 1）すると，CBnRXレジスタのリード操作に関係なく，受信完了割り込み（INTCBnR）後，連続して次の受信を開始します。
そのため，速やかにCBnRXレジスタから受信データを読み出してください。読み出しが遅れるとオーバラン・エラー（CBnOVEビット = 1）が発生します。

注　CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

（3/3）

CBnSCE	起動転送無効／許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時

通信起動トリガの有効／無効を制御するビットです。

（a）シングル送信／送受信モード，連続送信／送受信モード時

CBnSCEビットの設定は，動作に影響ありません。

（b）シングル受信モード時

受信データ（CBnRXレジスタ）のリードで受信動作が起動されるため，最終受信データのリードを行う前にCBnSCEビットを“0”に設定して次の受信動作の起動を無効にしてください注1。

（c）連続受信モード時

最終データの受信が完了する1通信クロック前までにCBnSCEビットを“0”に設定して最終データ受信後の受信動作の起動を無効にしてください注2。

・スレーブ・モード時

通信起動トリガの有効／無効を制御するビットです。

CBnSCEビットは“1”に設定してください。

【CBnSCEビットの使用方法】

・シングル受信モード時

①INTCBnR割り込み処理で最終データの受信が完了している場合には，CBnSCEビット＝0にしてからCBnRXレジスタを読み出す。

②CBnSTR.CBnTSFビット＝0を確認後，受信を禁止する場合，CBnRXEビット＝0とする。

続けて受信をする場合には，CBnSCEビット＝1にしてCBnRXレジスタのダミー・リードにより次の受信動作を起動する。

・連続受信モード時

①INTCBnR割り込み処理で最終データ受信中にCBnSCEビット＝0とする。

②CBnRXレジスタを読み出す。

③CBnTIR割り込みを受けて，CBnRXレジスタを読み出すことで，最終受信データを読み出す。

④CBnSTR.CBnTSFビット＝0を確認後，受信を禁止する場合，CBnRXEビット＝0とする。

続けて受信をする場合には，CBnSCEビット＝1にしてCBnRXレジスタのダミー・リードにより次の受信動作まで待つ。

注1.　CBnSCEビットが“1”のままリードした場合，次回の通信動作が起動されます。

2.　最終データの受信を完了する1通信クロック前までにCBnSCEビットを“0”にしない場合，自動的に次回の通信動作が起動されます。

注意　ビット3, 2には必ず0を設定してください。

（2）CSIBn制御レジスタ1（CBnCTL1）

CSIBnのシリアル転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　CBnCTL1レジスタは，CBnCTL0.CBnPWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H　R/W　アドレス：CB0CTL1 FFFFFD01H, CB1CTL1 FFFFFD11H,
CB2CTL1 FFFFFD21H, CB3CTL1 FFFFFD31H,
CB4CTL1 FFFFFD41H

	7	6	5	4	3	2	1	0
CBnCTL1	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0

（n = 0-4）

	CBnCKP	CBnDAP	$\overline{\text{SCKBn}}$に対するデータの送受信タイミングの指定
通信タイプ1	0	0	$\overline{\text{SCKBn}}$（入出力） SOBn（出力）　D7 D6 D5 D4 D3 D2 D1 D0 SIBnキャプチャ
通信タイプ2	0	1	$\overline{\text{SCKBn}}$（入出力） SOBn（出力）　D7 D6 D5 D4 D3 D2 D1 D0 SIBnキャプチャ
通信タイプ3	1	0	$\overline{\text{SCKBn}}$（入出力） SOBn（出力）　D7 D6 D5 D4 D3 D2 D1 D0 SIBnキャプチャ
通信タイプ4	1	1	$\overline{\text{SCKBn}}$（入出力） SOBn（出力）　D7 D6 D5 D4 D3 D2 D1 D0 SIBnキャプチャ

CBnCKS2	CBnCKS1	CBnCKS0	通信クロック	モード
0	0	0	$f_{XX}/2$	マスタ・モード
0	0	1	$f_{XX}/4$	マスタ・モード
0	1	0	$f_{XX}/8$	マスタ・モード
0	1	1	$f_{XX}/16$	マスタ・モード
1	0	0	$f_{XX}/32$	マスタ・モード
1	0	1	$f_{XX}/64$	マスタ・モード
1	1	0	f_{BRGm}	マスタ・モード
1	1	1	外部クロック（$\overline{\text{SCKBn}}$）	スレーブ・モード

備考　n = 0, 1の場合，m = 1

n = 2, 3の場合，m = 2

n = 4の場合，m = 3

f_{BRGm}についての詳細は16. 8　ボー・レート・ジェネレータを参照してください。

（3）CSIBn制御レジスタ2（CBnCTL2）

CSIBnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　CBnCTL2レジスタは，CBnCTL0.CBnPWRビット = 0，またはCBnTXE, CBnRXEビット = 0の場合のみ書き換えが可能です。

リセット時：00H　R/W　アドレス：CB0CTL2 FFFFFD02H, CB1CTL2 FFFFFD12H, CB2CTL2 FFFFFD22H, CB3CTL2 FFFFFD32H, CB4CTL2 FFFFFD42H

	7	6	5	4	3	2	1	0
CBnCTL2 （n = 0-4）	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	×	×	×	16ビット

備考1.　転送ビット数が8/16ビットではない場合には，CBnTX, CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

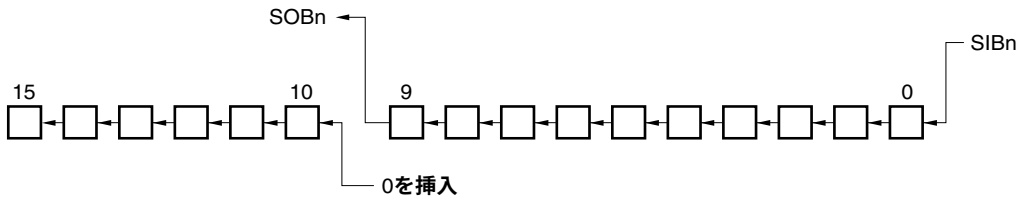
2.　×：don’t care

(a) 転送データ長変更機能

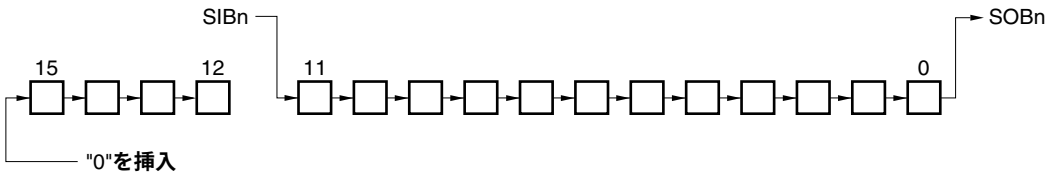
CSIBnの転送データ長はCBnCTL2.CBnCL3-CBnCL0ビットによって，8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合，CBnTX，CBnRXレジスタへは，転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが，シリアル転送後の受信データは“0”になります。

（i）転送ビット長 = 10ビット，MSBファーストの場合



（ii）転送ビット長 = 12ビット，LSBファーストの場合



（4）CSIBn状態レジスタ（CBnSTR）

CSIBnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード／ライト可能ですが，CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に，CBnCTL0.CBnPWRビットをクリア（0）する場合も初期化されます。

リセット時：00H　R/W　アドレス：CB0STR FFFFFD03H, CB1STR FFFFFD13H,
CB2STR FFFFFD23H, CB3STR FFFFFD33H,
CB4STR FFFFFD43H

	⑦	6	5	4	3	2	1	⓪
CBnSTR	CBnTSF	0	0	0	0	0	0	CBnOVE

（n = 0-4）

CBnTSF	通信状態フラグ
0	通信停止
1	通信中

・送信時にはCBnTXレジスタにデータを準備したタイミングでセットされます。
受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。
転送終了時，クロックの最後のエッジでクリア（0）されます。

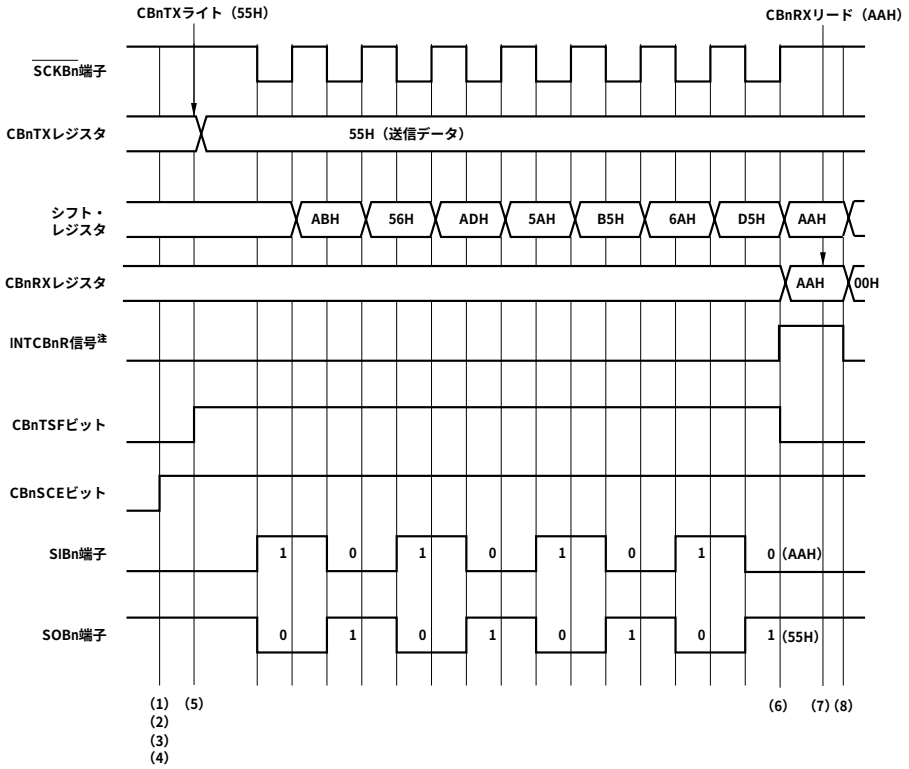
CBnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり

・受信時もしくは受信動作完了後に，受信バッファの値をCPUがリードせずに次の受信が開始した場合，オーバラン・エラーとなります。
CBnOVEフラグは，このような場合のオーバラン・エラーの発生状態を示します。
・シングル転送モード時もCBnOVEビットは有効です。そのため，送信のみで使用する場合は，次のように対応してください。
　・CBnOVEフラグのチェックを行わない。
　・受信データを読み出す必要がない場合でも読み出す。
・CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません。

16. 5　動　　作

16. 5. 1　シングル転送モード（マスタ・モード，送受信モード）

MSBファースト（CBnCTL0.CBnDIRビット = 0），通信タイプ1（16. 4（2）CSIBn制御レジスタ1（CBnCTL1）参照），転送データ長8ビット（CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0）の場合を示します。



（1）CBnCTL0.CBnPWRビットを“0”にする。

（2）CBnCTL1, CBnCTL2レジスタを設定し，転送モードを指定する。

（3）CBnDIRビットによって転送モードを指定すると同時に，CBnCTL0.CBnTXE, CBnRXE, CBnSCEビットを“1”にして送受信許可状態にする。

（4）CBnPWRビット = 1にして，CSIBnの動作を許可する。

（5）CBnTXレジスタに，転送データをライトする（送信開始）。

（6）受信完了割り込み要求信号（INTCBnR）を発生する。

（7）CBnPWRビットを“0”にする前にCBnRXレジスタをリードする。

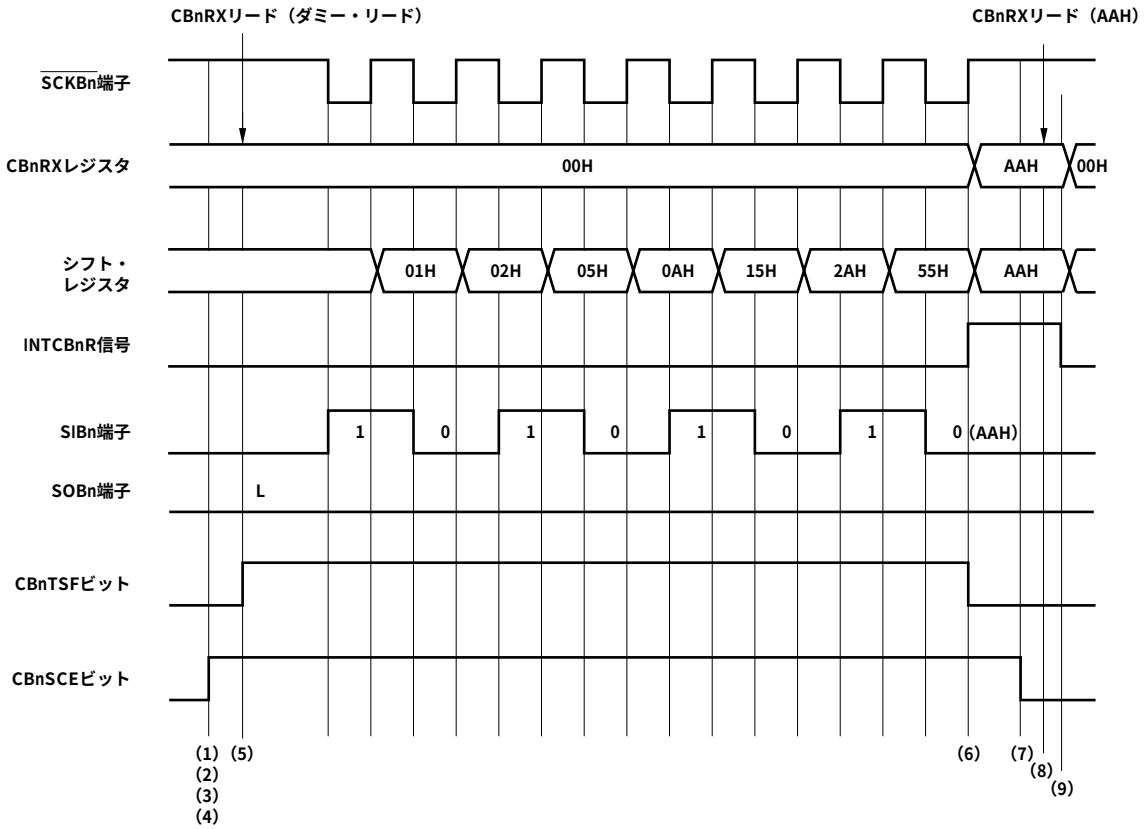
（8）CBnSTR.CBnTSFビット = 0を確認し， CBnPWRビットを“0”にしてCSIBnの動作を停止させる（送受信終了）。

注　シングル送信，シングル送受信モードでは，INTCBnT信号は発生しません。
通信完了時にはINTCBnR信号が発生します。

備考　（3），（4）の処理は同時に設定可能です。

16. 5. 2　シングル転送モード（マスタ・モード，受信モード）

MSBファースト（CBnCTL0.CBnDIRビット = 0），通信タイプ1（16. 4（2）CSIBn制御レジスタ1（CBnCTL1）参照），転送データ長8ビット（CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0）の場合を示します。



（1）CBnCTL0.CBnPWRビットを“0”にする。

（2）CBnCTL1, CBnCTL2レジスタを設定し，転送モードを指定する。

（3）CBnDIRビットによって転送モードを指定すると同時に，CBnCTL0.CBnRXE, CBnSCEビットを“1”にして受信許可状態にする。

（4）CBnPWRビット = 1にして，CSIBnの動作を許可する。

（5）CBnRXレジスタをダミー・リードする（受信開始トリガ）

（6）受信完了割り込み要求信号（INTCBnR）を発生する。

（7）CBnSCEビット = 0にして受信最終データ状態にする。

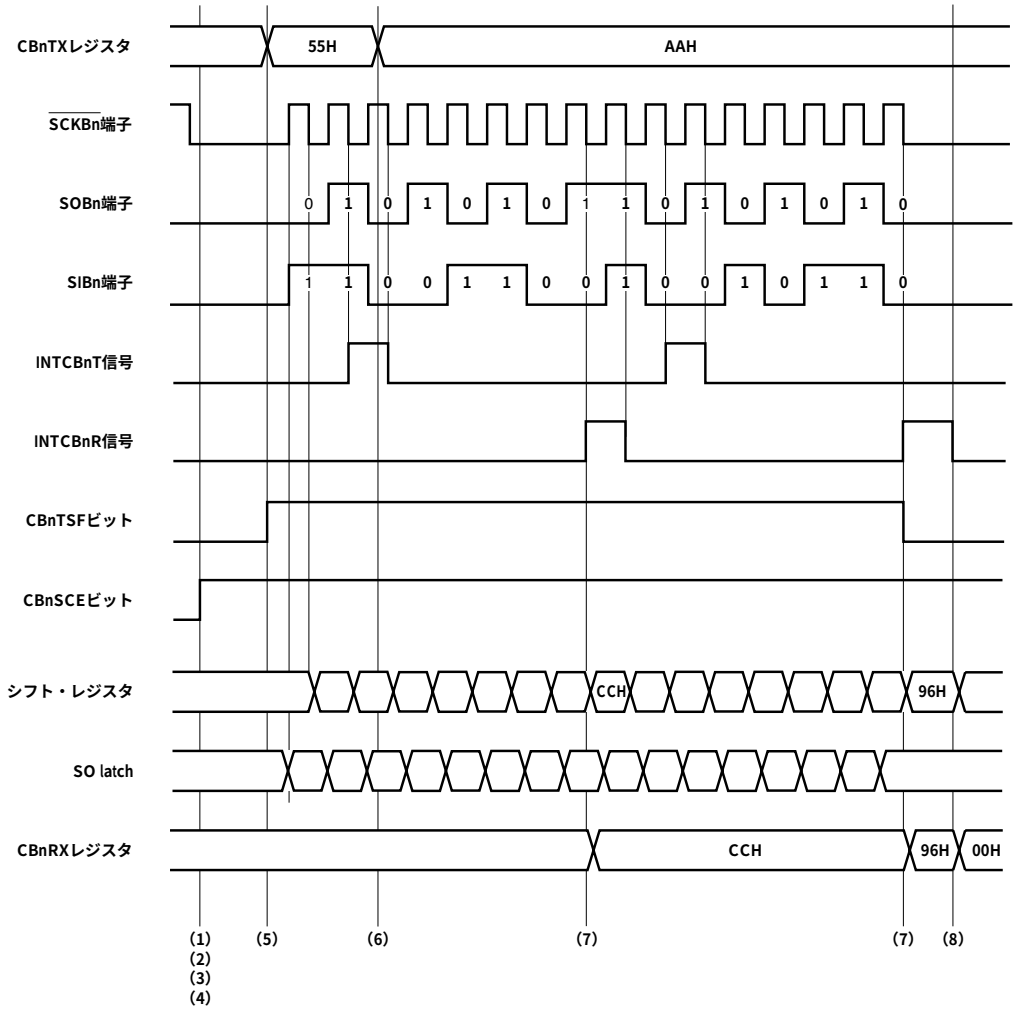
（8）CBnRXレジスタをリードする。

（9）CBnSTR.CBnTSFビット = 0を確認し，CBnPWRビットを“0”にしてCSIBnの動作を停止させる（受信終了）。

備考　（3），（4）の処理は同時に設定可能です。

16. 5. 3　連続モード（マスタ・モード，送受信モード）

MSBファースト（CBnCTL0.CBnDIRビット = 0），通信タイプ3（16. 4（2）CSIBn制御レジスタ1（CBnCTL1）参照），転送データ長8ビット（CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0）の場合を示します。



（1）CBnCTL0.CBnPWRビットを“0”にする。

（2）CBnCTL1, CBnCTL2レジスタを設定し，転送モードを指定する。

（3）CBnDIRビットによって転送モードを指定すると同時に，CBnCTL0.CBnTXE, CBnRXE, CBnSCEビットを“1”にして送受信許可状態にする。

（4）CBnPWRビット = 1にして，CSIBnの動作を許可する。

（5）CBnTXレジスタに，転送データをライトする（送信開始）。

（6）送信許可割り込み要求信号（INTCBnT）を受けて，CBnTXレジスタに転送データをライトする。

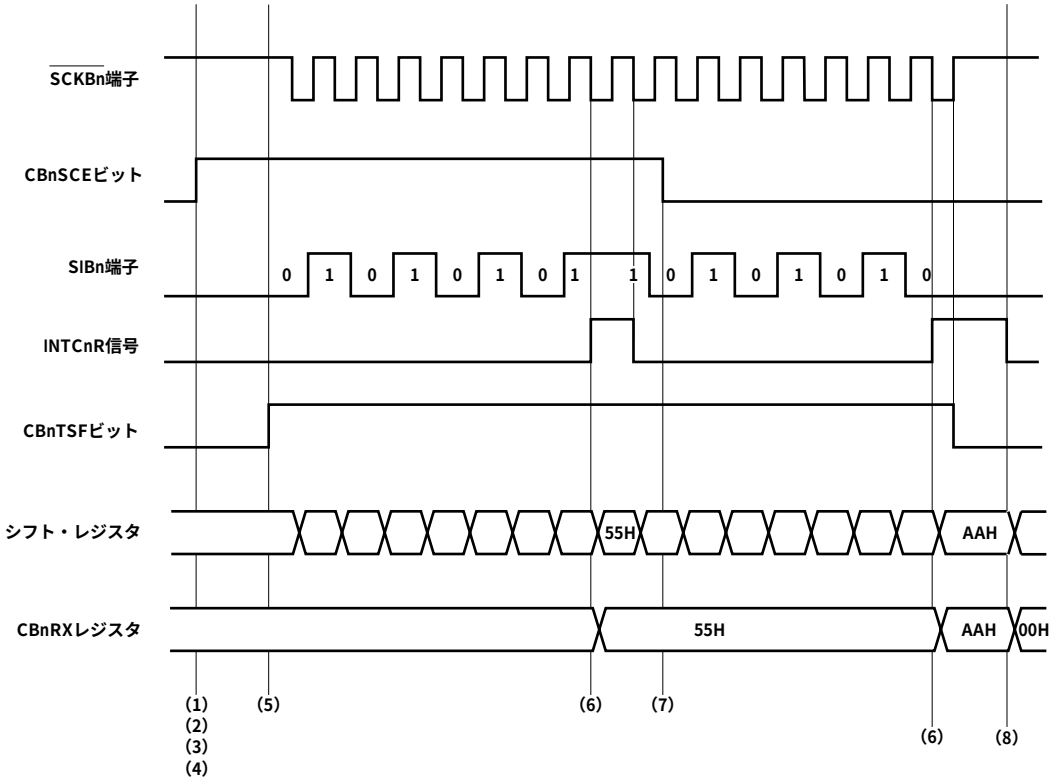
（7）受信完了割り込み要求信号（INTCBnR）を発生する。
次の受信データがくる前，またはCBnPWRビットを“0”にする前に，CBnRXレジスタをリードする。

（8）CBnSTR.CBnTSFビット = 0を確認し，CBnPWRビットを“0”にしてCSIBnの動作を停止させる（送受信終了）。

さらに転送を行いたい場合には，（8）の前に（5）～（7）を繰り返す。
なお，送信モード，送受信モードにおいては，CBnRXレジスタのリードでは通信を開始しない。

16. 5. 4　連続モード（マスタ・モード，受信モード）

MSBファースト（CBnCTL0.CBnDIRビット = 0），通信タイプ2（16. 4（2）CSIBn制御レジスタ1（CBnCTL1）参照），転送データ長8ビット（CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0）の場合を示します。



（1）CBnCTL0.CBnPWRビットを“0”にする。

（2）CBnCTL1, CBnCTL2レジスタを設定し，転送モードを指定する。

（3）CBnDIRビットによって転送モードを指定すると同時に，CBnCTL0.CBnRXEビットを“1”にして受信許可状態にする。

（4）CBnPWRビット = 1にして，CSIBnの動作を許可する。

（5）CBnRXレジスタをダミー・リードする（受信開始トリガ）

（6）受信完了割り込み要求信号（INTCBnR）を発生する。
次の受信データがくる前，またはCBnPWRビットを“0”にする前に，CBnRXレジスタをリードする。

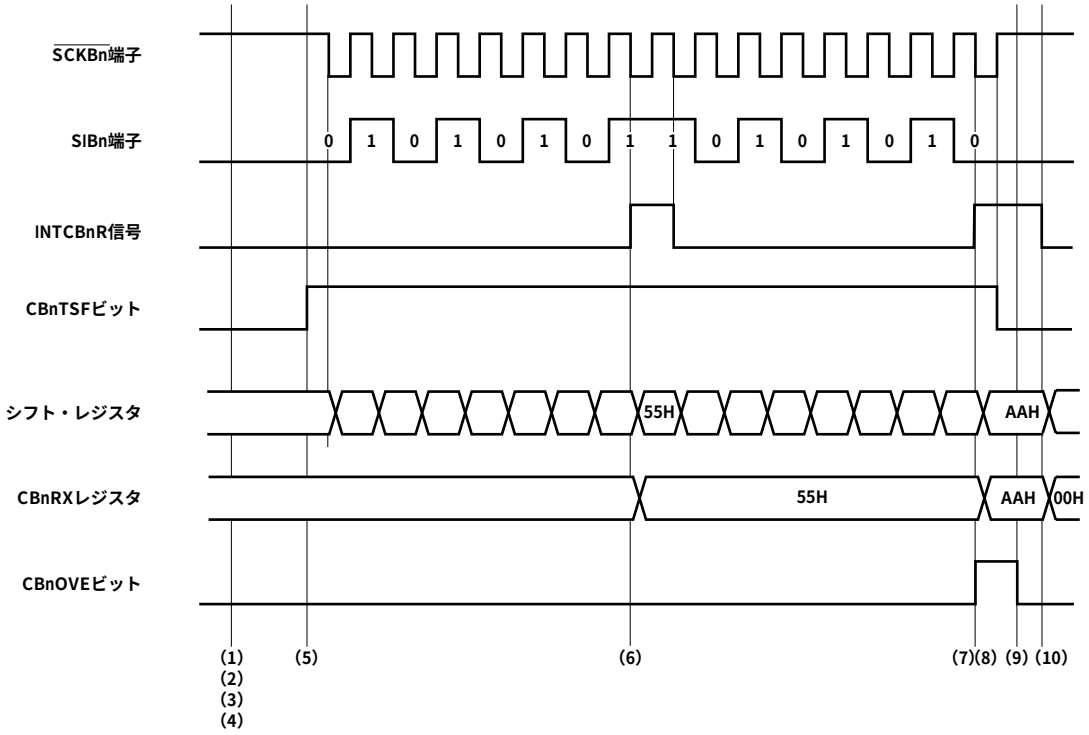
（7）最終データ受信中にCBnCTL0.CBnSCEビット = 0にして受信最終データ状態にする。

（8）CBnSTR.CBnTSFビット = 0を確認し，CBnPWRビットを“0”にしてCSIBnの動作を停止させる（受信終了）。

さらに転送を行いたい場合には，（7）の前に（5），（6）を繰り返す。

16. 5. 5　連続受信モード（エラー時）

MSBファースト（CBnCTL0.CBnDIRビット = 0），通信タイプ2（16. 4（2）CSIBn制御レジスタ1（CBnCTL1）参照），転送データ長8ビット（CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0）の場合を示します。



（1）CBnCTL0.CBnPWRビットを“0”にする。

（2）CBnCTL1, CBnCTL2レジスタを設定し転送モードを指定する。

（3）CBnDIRビットによって転送モードを指定すると同時に，CBnCTL0.CBnRXEビット = 1にして受信許可状態にする。

（4）CBnPWRビット = 1にして，CSIBnの動作を許可する。

（5）CBnRXレジスタをダミー・リードする（受信開始トリガ）。

（6）受信完了割り込み要求信号（INTCBnR）を発生する。

（7）次の転送が終了するまでにデータを読み出せなかった場合には，受信終了時にCBnSTR.CBnOVEフラグがセット（1）されINTCBnR信号が発行される。

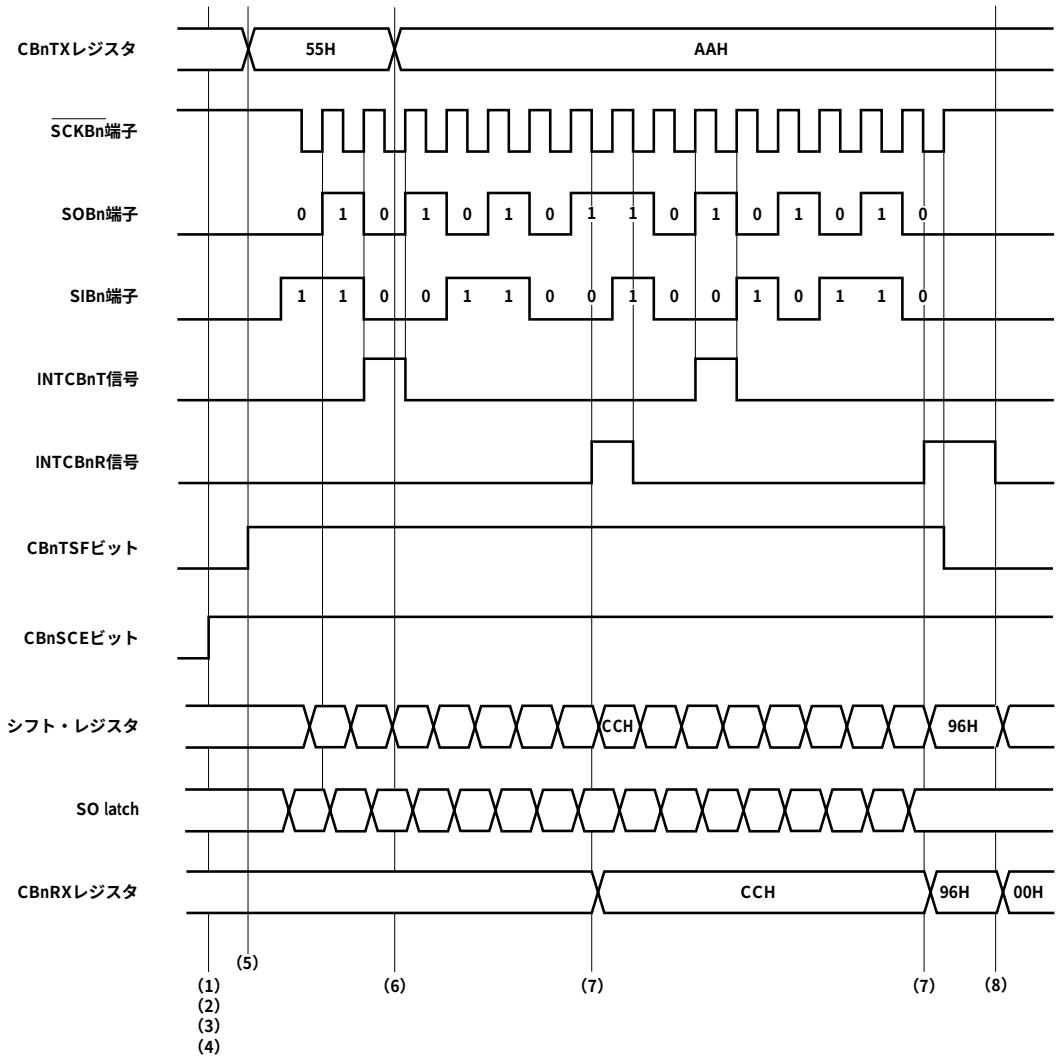
（8）INTCBnR割り込み処理内にてCBnOVEビット = 1を確認したらオーバラン・エラー処理を行う。

（9）CBnOVEビットをクリア（0）する。

（10）CBnSTR.CBnTSFビット = 0を確認し， CBnPWRビットを“0”にしてCSIBnの動作を停止させる（受信終了）。

16. 5. 6　連続モード（スレーブ・モード，送受信モード）

MSBファースト（CBnCTL0.CBnDIRビット = 0），通信タイプ2（16. 4（2）CSIBn制御レジスタ1（CBnCTL1）参照），転送データ長8ビット（CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0）の場合を示します。



（1）CBnCTL0.CBnPWRビットを“0”にする。

（2）CBnCTL1, CBnCTL2レジスタを設定し，転送モードを指定する。

（3）CBnDIRビットによって転送モードを指定すると同時に，CBnCTL0.CBnTXE, CBnRXE, CBnSCEビットを“1”にして送受信許可状態にする。

（4）CBnPWRビット = 1にして，CSIBnの動作を許可する。

（5）CBnTXレジスタに，転送データをライトする。

（6）送信許可割り込み要求信号（INTCBnT）を受けて，CBnTXレジスタに転送データをライトする。

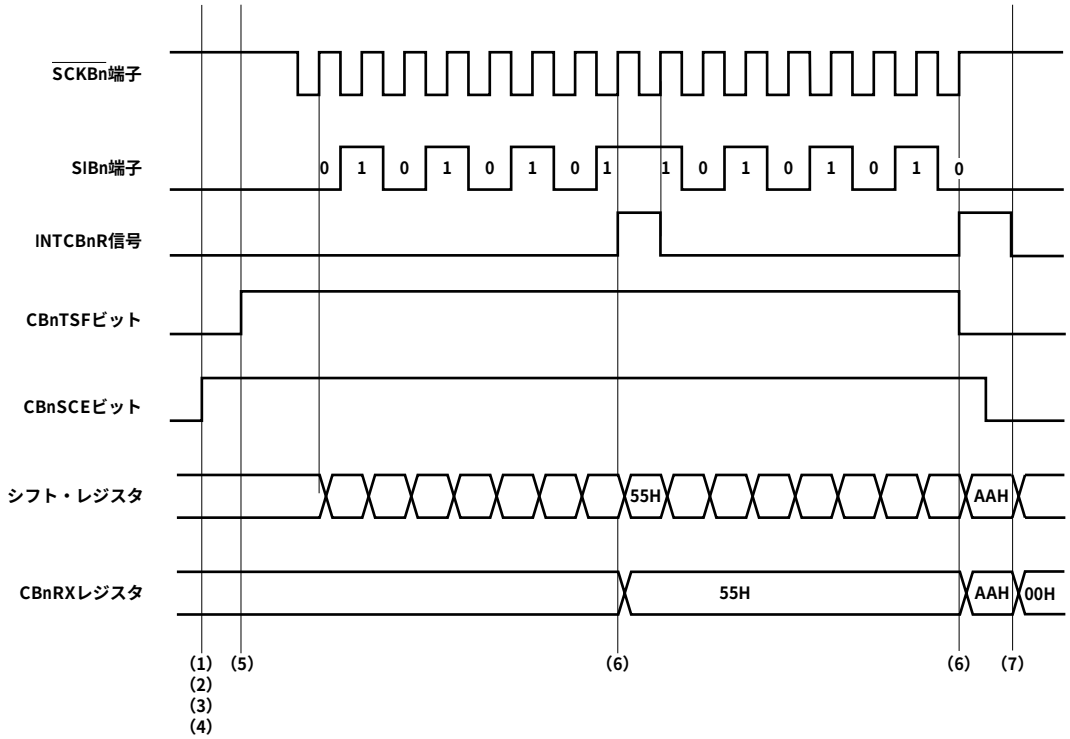
（7）受信完了割り込み要求信号（INTCBnR）を発生する。
CBnRXレジスタをリードする。

（8）CBnSTR.CBnTSFビット = 0を確認し，CBnPWRビットを“0”にしてCSIBnの動作を停止させる（送受信終了）。

さらに転送を行いたい場合には，（8）の前に（5）～（7）を繰り返す。

16. 5. 7　連続モード（スレーブ・モード，受信モード）

MSBファースト（CBnCTL0.CBnDIRビット = 0），通信タイプ1（16. 4（2）CSIBn制御レジスタ1（CBnCTL1）参照），転送データ長8ビット（CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0）の場合を示します。



（1）CBnCTL0.CBnPWRビットを“0”にする。

（2）CBnCTL1, CBnCTL2レジスタを設定し，転送モードを指定する。

（3）CBnDIRビットによって転送モードを指定すると同時に，CBnCTL0.CBnRXE, CBnSCEビット = 1にして受信許可状態にする。

（4）CBnPWRビット = 1にして，CSIBnの動作を許可する。

（5）CBnRXレジスタをダミー・リードする（受信開始トリガ）

（6）受信完了割り込み要求信号（INTCBnR）を発生する。
CBnRXレジスタをリードする。最終データの場合は，CBnCTL0.CBnSCEビットを0にしてからCBnRXレジスタをリードする。

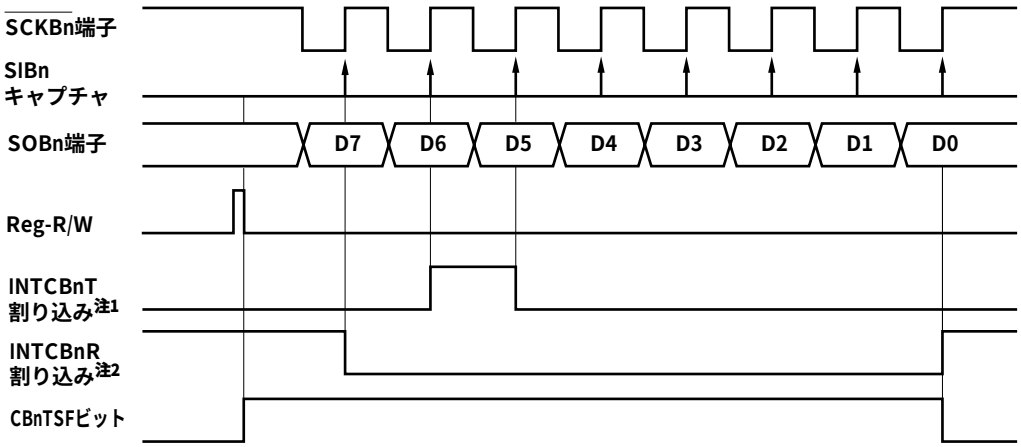
（7）CBnSTR.CBnTSFビット = 0を確認し，CBnPWRビットを“0”にしてCSIBnの動作を停止させる（受信終了）。

さらに転送を行いたい場合には，（7）の前に（5），（6）を繰り返す。

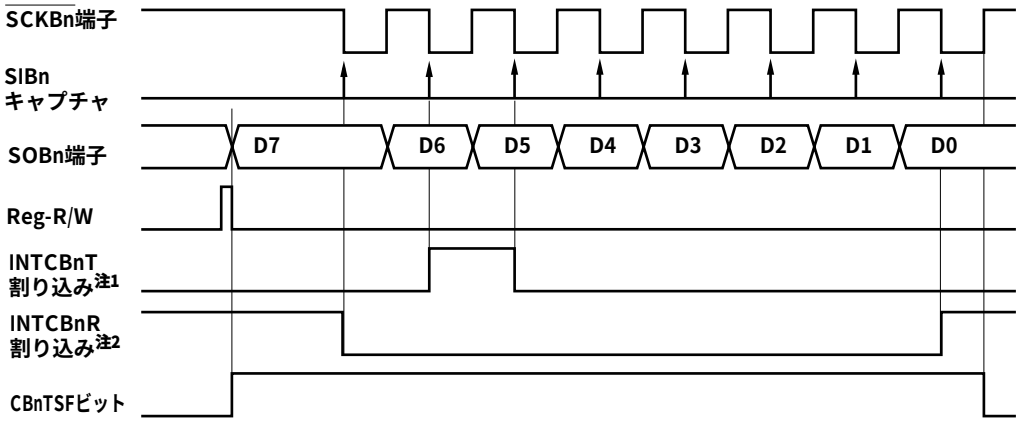
16. 5. 8　クロック・タイミング

（1/2）

（1）通信タイプ1（CBnCKP = 0, CBnDAP = 0）



（2）通信タイプ2（CBnCKP = 0, CBnDAP = 1）



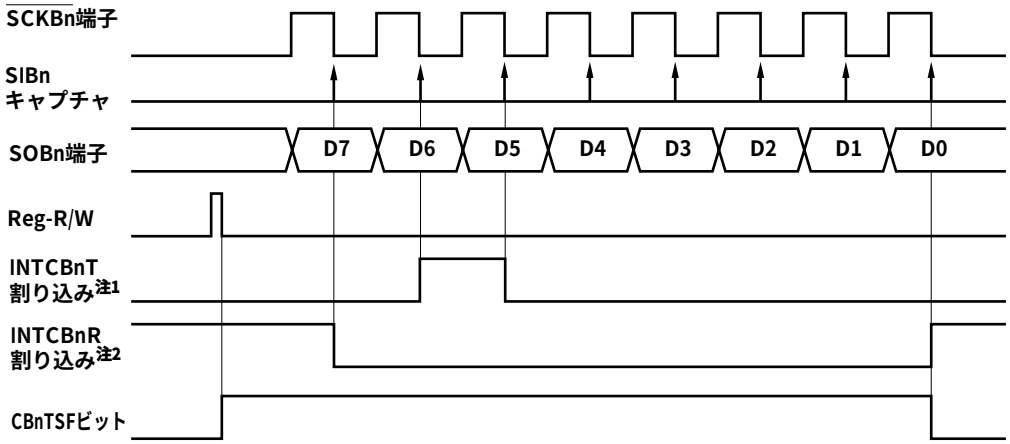
注1.　連続送信／連続送受信モードにおいて，送信バッファに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信／シングル送受信モードにおいては，INTCBnT割り込み要求信号は発生せずに，通信完了時にINTCBnR割り込み要求信号が発生します。

2.　受信許可状態において，正常に受信を完了し受信データがCBnRXレジスタに準備できた場合，およびオーバラン・エラーを発生した場合に発生します。また，シングル・モードの場合には，送信モードにおいても，通信完了のタイミングでINTCBnR割り込み要求信号が発生します。

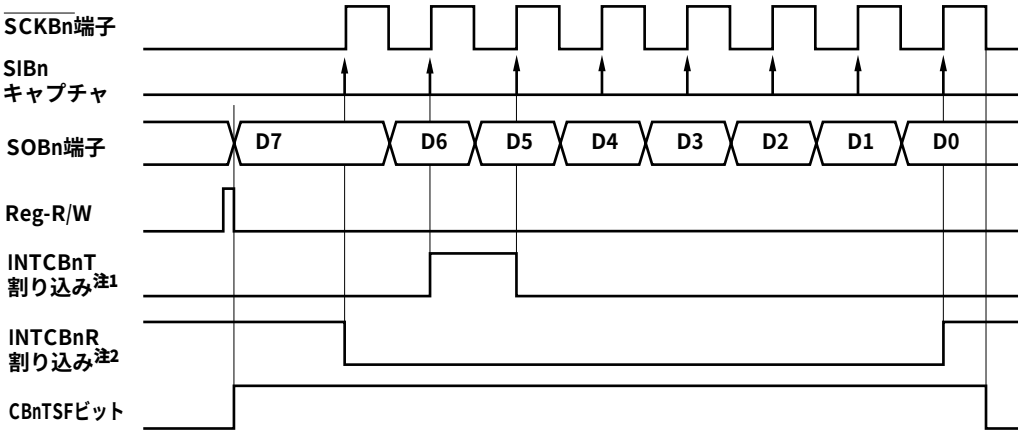
注意　通信タイプ2では，INTCBnR割り込み要求信号発生後，$\overline{\text{SCKBn}}$半クロック後にCBnTSFビットがクリアされます。

（2/2）

（3）通信タイプ3（CBnCKP = 1, CBnDAP = 0）



（4）通信タイプ4（CBnCKP = 1, CBnDAP = 1）



注1.　連続送信／連続送受信モードにおいて，送信バッファに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信／シングル送受信モードにおいては，INTCBnT割り込み要求信号は発生せずに，通信完了時にINTCBnR割り込み要求信号が発生します。

2.　受信許可状態において，正常に受信を完了し受信データがCBnRXレジスタに準備できた場合，およびオーバラン・エラーを発生した場合に発生します。また，シングル・モードの場合には，送信モードにおいても，通信完了のタイミングでINTCBnR割り込み要求信号が発生します。

注意　通信タイプ4では，INTCBnR割り込み要求信号発生後，$\overline{\text{SCKBn}}$半クロック後にCBnTSFビットがクリアされます。

16. 6　出力端子

(1) $\overline{\text{SCKBn}}$端子

CSIBn動作禁止（CBnCTL0.CBnPWRビット = 0）のとき，$\overline{\text{SCKBn}}$端子出力状態は次のようになります。

CBnCKS2	CBnCKS1	CBnCKS0	CBnCKP	$\overline{\text{SCKBn}}$端子出力
1	1	1	x	ハイ・インピーダンス
上記以外			0	ハイ・レベル固定
			1	ロウ・レベル固定

備考1.　CBnCTL1.CBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えると$\overline{\text{SCKBn}}$端子の出力が変化します。

2.　n = 0-4

3.　x：任意

(2) SOBn端子

CSIBn動作禁止（CBnPWRビット = 0）のとき，SOBn端子出力状態は次のようになります。

CBnTXE	CBnDAP	CBnDIR	SOBn端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOBnラッチの値（ロウ・レベル）
	1	0	CBnTXレジスタの値（MSB）
		1	CBnTXレジスタの値（LSB）

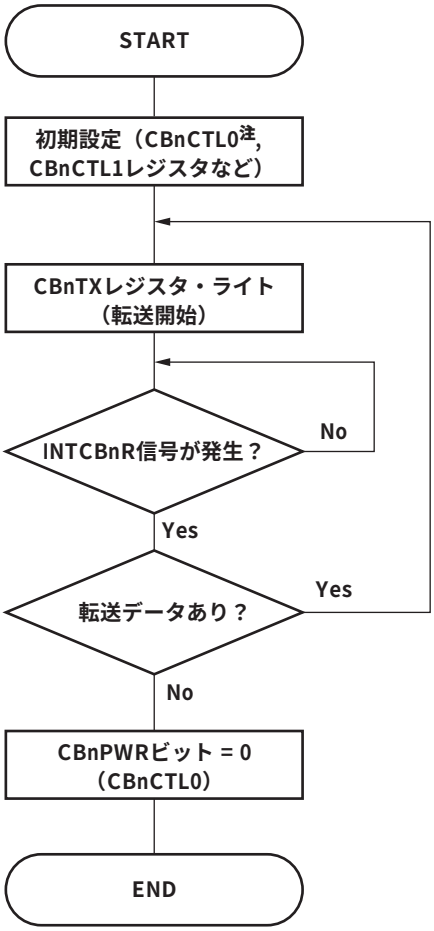
備考1.　CBnCTL0.CBnTXE, CBnDIRビット，CBnCTL1.CBnDAPビットのいずれかを書き換えるとSOBn端子の出力が変化します。

2.　n = 0-4

3.　x：任意

16. 7　動作フロー

（1）シングル送信

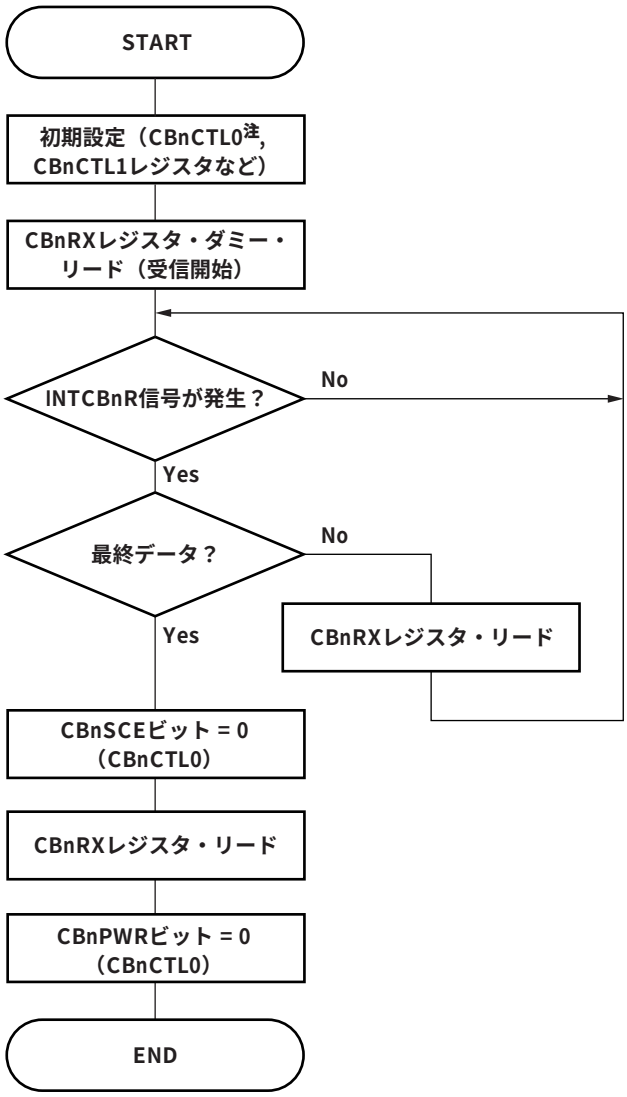


注　初期設定において，CBnSCEビットは“1”にしてください。

注意　スレーブ・モードでは，次の転送クロックがCBnTXレジスタへのライトより早く入力された場合には，データを正常に送信できません。

備考　n = 0-4

(2) シングル受信

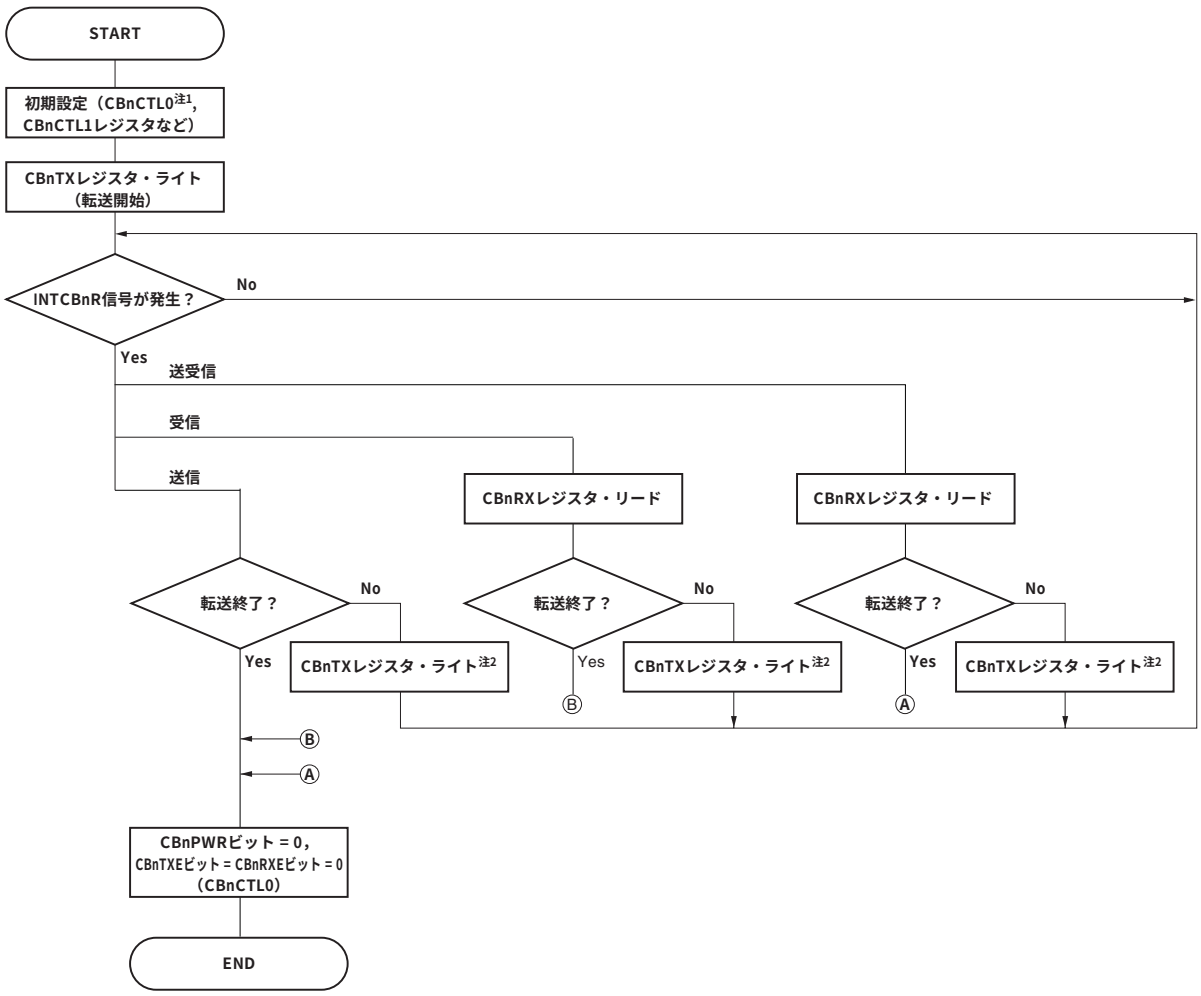


注　初期設定において，CBnSCEビットは“1”にしてください。

注意　シングル・モードでは，次の転送クロックがCBnRXレジスタのリードより早く入力された場合には，データを正常に受信できません。

備考　n = 0-4

（3）シングル送受信



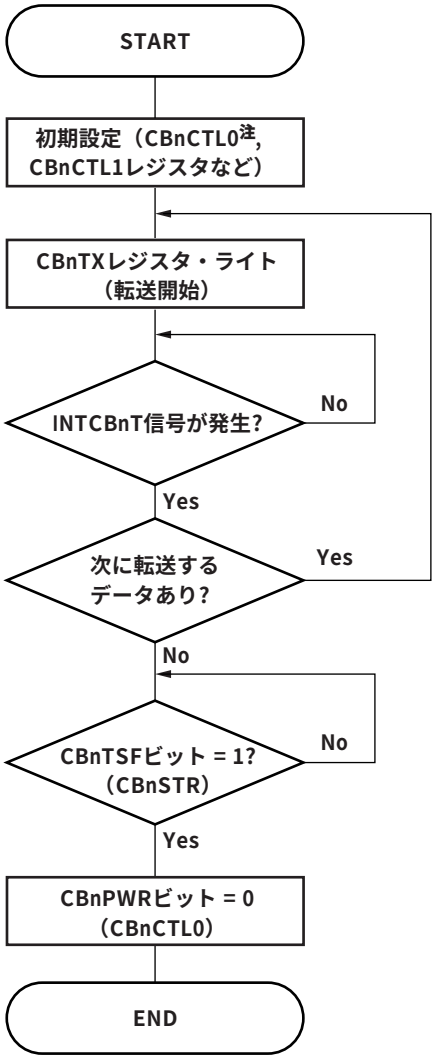
注1.　初期設定において，CBnSCEビットは“1”にしてください。

2.　次回の転送が受信のみの場合，CBnTXレジスタにライトされるデータはダミー・データを書き込みます。

注意　シングル・モード時でも，CBnSTR.CBnOVEフラグはセット（1）されます。したがって，送受信モードのときに，送信のみで使用した場合には，CBnOVEフラグを確認する必要はありません。

備考　n = 0-4

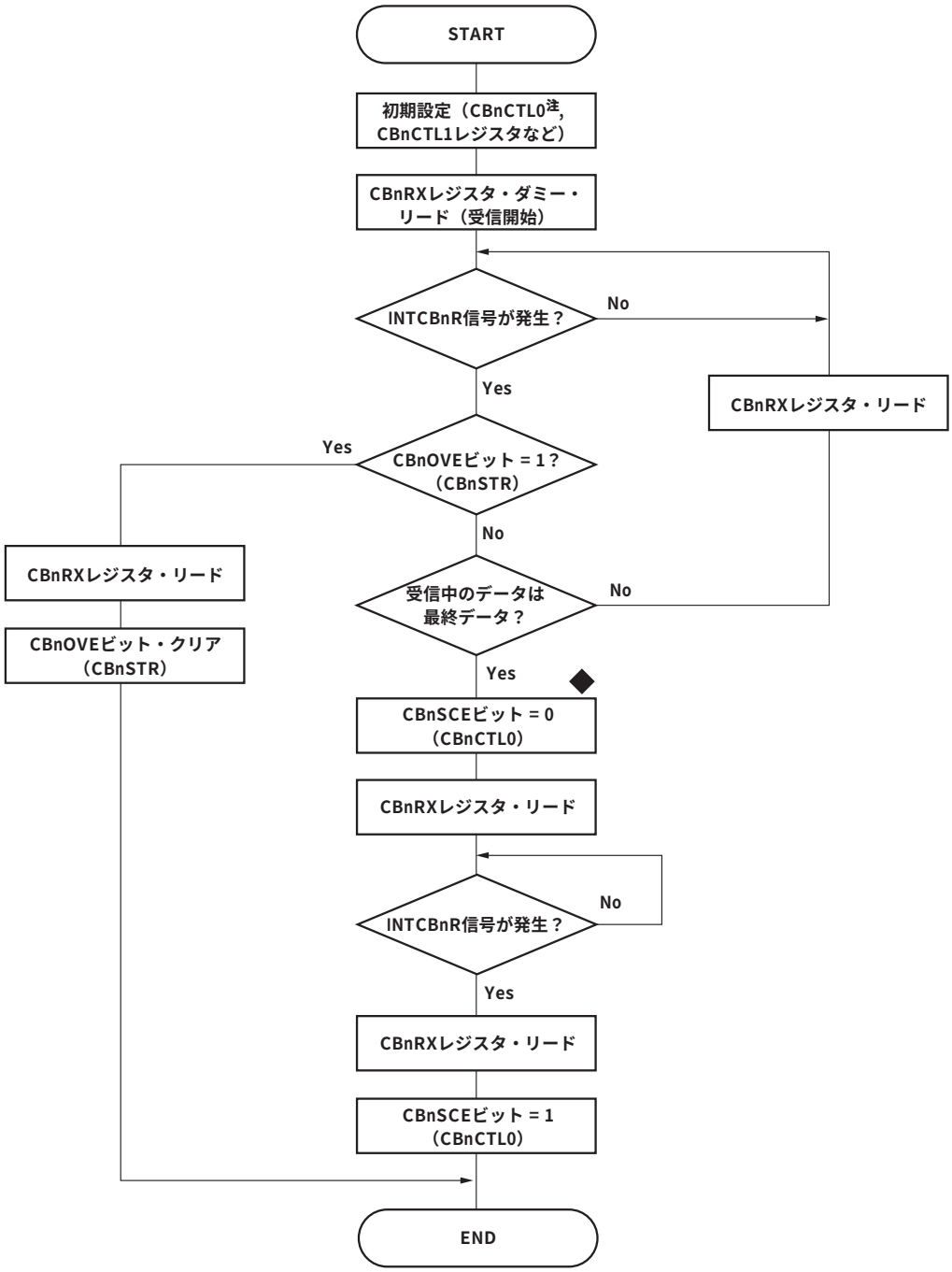
（4）連続送信



注　初期設定において，CBnSCE**ビットは“**1**”にしてください。**

備考　n = 0-4

(5) 連続受信

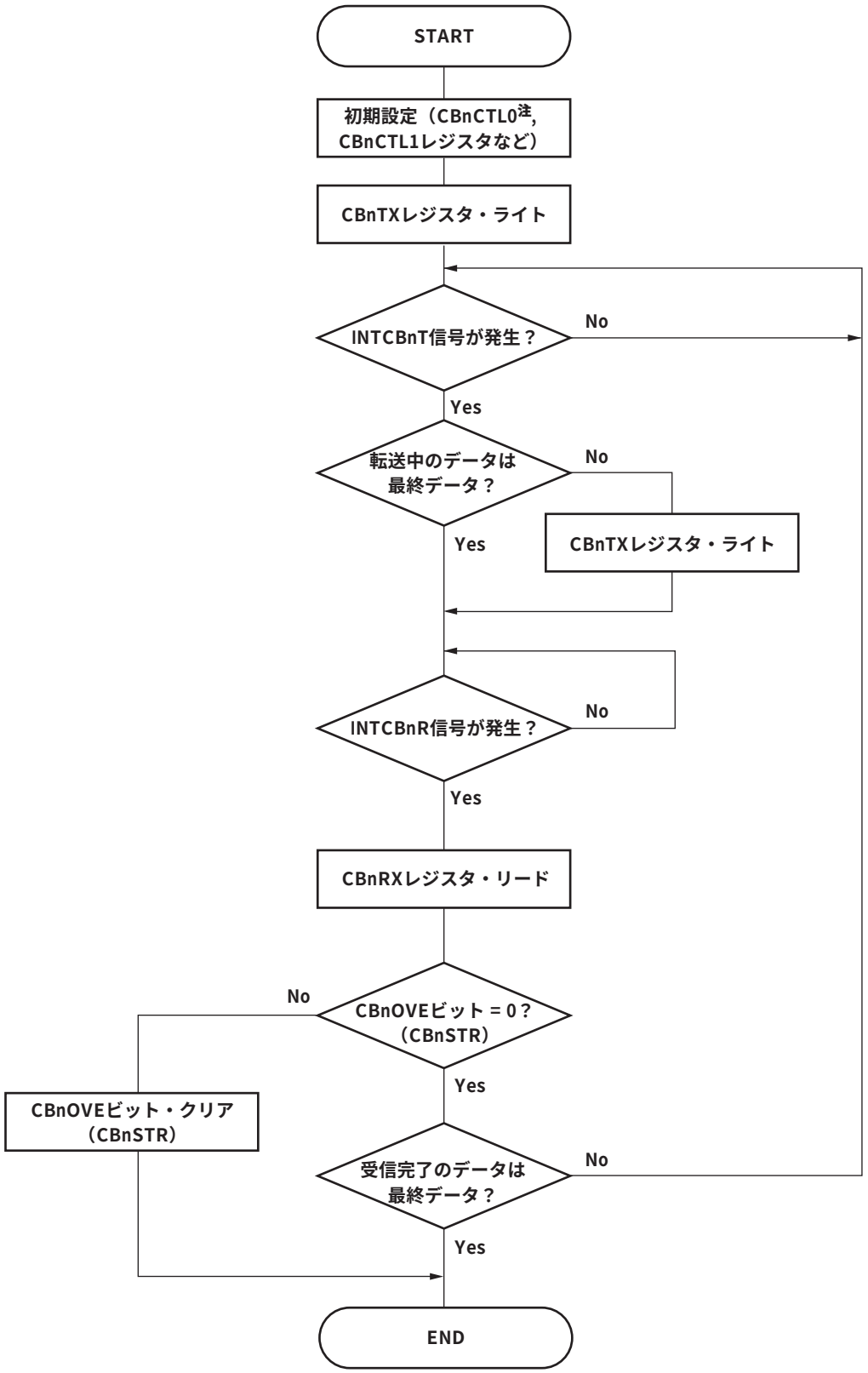


注　初期設定において，CBnSCEビットは“1”にしてください。

注意　マスタ・モードの場合，CBnRXレジスタのダミー・リードにより，クロックは無制限に出力します。停止させる場合には，フロー中の◆が付いているフローを実行してください。
スレーブ・モードの場合には，フロー中の◆が付いているフローを実行することにより，通信待機中のノイズによる誤動作などがなくなります。
また，通信を再開する場合には，CBnCTL0.CBnSCEビットを“1”にし，CBnRXレジスタのダミー・リードをしてから再開してください。

備考　n = 0-4

(6) 連続送受信

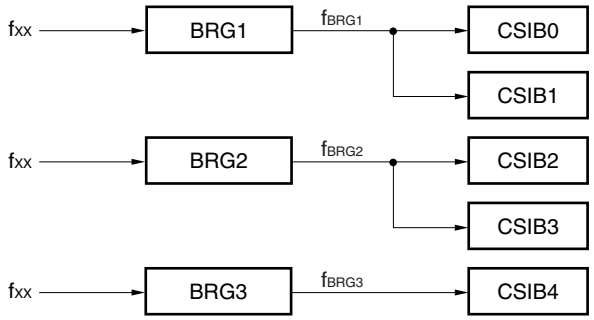


注　初期設定において，CBnSCEビットは“1”にしてください。

備考　n = 0-4

16. 8　ボー・レート・ジェネレータ

ボー・レート・ジェネレータBRG1-BRG3とCSIB0-CSIB4は，次のブロック図のように接続されています。



（1）プリスケーラ・モード・レジスタ 1-3（PRSM1-PRSM3）

PRSMmレジスタは，CSIBのボー・レート信号の生成を制御します。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：PRSM1 FFFFF320H, PRSM2 FFFFF324H, PRSM3 FFFFF328H

	7	6	5	④	3	2	1	0
PRSMm (m = 1-3)	0	0	0	BGCEm	0	0	BGCSm1	BGCSm0

BGCEm	ボー・レート出力
0	禁止
1	許可

BGCSm1	BGCSm0	入力クロックの選択（f_{BGCSm}）	設定値（k）
0	0	fxx	0
0	1	fxx/2	1
1	0	fxx/4	2
1	1	fxx/8	3

注意1.　動作中に，PRSMmレジスタを書き換えないでください。

2.　PRSMmレジスタの設定はBGCEmビットに“1”を設定する前に行ってください。

（2）プリスケーラ・コンペア・レジスタ 1-3（PRSCM1-PRSCM3）

8ビットのコンペア・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：PRSCM1 FFFFF321H, PRSCM2 FFFFF325H, PRSCM3 FFFFF329H

	7	6	5	4	3	2	1	0
PRSCMm (m = 1-3)	PRSCMm7	PRSCMm6	PRSCMm5	PRSCMm4	PRSCMm3	PRSCMm2	PRSCMm1	PRSCMm0

注意1.　動作中にPRSCMmレジスタを書き換えないでください。

2.　PRSMm.BGCEmビットに“1”を設定する前にPRSCMmレジスタの設定を行ってください。

16. 8. 1　ボー・レートの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

$$f_{BRGm} = \frac{f_{XX}}{2^{k+1} \times N}$$

備考　f_{BRGm}：BRGmのカウント・クロック

f_{XX}　：メイン・クロックの発振周波数

k　：PRSMmレジスタの設定値 = 0-3

N　：PRSCMmレジスタ設定値 = 1-256

ただし，N = 256となるのは，PRSCMmレジスタに00Hを設定した場合です。

m = 1-3

16. 9　注意事項

(1) DMA転送により，送信データ，受信データの転送を行う場合，シリアル転送中にオーバラン・エラーが発生してもエラー処理を行えません。DMA転送終了後にCBnSTR.CBnOVEビットを読み出してオーバラン・エラーがなかったことを確認してください。

(2) 動作中（CBnCTL0.CBnPWRビット = 1）の書き換えを禁止しているレジスタに対して，動作中に誤って書き換えを行ってしまった場合は，一度CBnCTL0.CBnPWRビット = 0に設定してCSIBnを初期化してください。
動作中の書き換えが禁止されているレジスタを次に示します。
- CBnCTL0レジスタ：CBnTXE, CBnRXE, CBnDIR, CBnTMSビット
- CBnCTL1レジスタ：CBnCKP, CBnDAP, CBnCKS2-CBnCKS0ビット
- CBnCTL2レジスタ：CBnCL3-CBnCL0ビット

(3) 通信タイプ2, 4（CBnCTL1.CBnDAPビット = 1）では，受信完了割り込み（INTCBnR）発生後，$\overline{\text{SCKBn}}$半クロック後にCBnSTR.CBnTSFビットがクリアされます。
一方，シングル転送モードでは，通信中（CBnTSFビット = 1）に次の送信データをライトしても無視され，次の通信は起動しません。また，受信のみの通信に設定したとき（CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 1）も，通信中（CBnTSFビット = 1）に受信データをリードしても次の通信は起動しません。
そのため，通信タイプ2, 4（CBnDAPビット = 1）でシングル転送モードを使用する場合，次の点に注意してください。

- 次の送信を起動する場合は，CBnTSFビット = 0であることを確認したあと，CBnTXレジスタに送信データを書き込む
- 受信のみの通信に設定したとき（CBnTXEビット = 0, CBnRXEビット = 1）に続けて次の受信を行う場合は，CBnTSFビット = 0であることを確認したあと，CBnRXレジスタをリードする

または，シングル転送モードではなく，連続転送モードを使用してください。特にDMAを使用する場合は連続転送モードの使用を推奨します。

備考　n = 0-4

第17章　I²Cバス

この機能を使用する場合は，P38/SDA00, P39/SCL00, P40/SDA01, P41/SCL01, P90/SDA02, P91/SCL02**端子を兼用端子として使用し，**N-ch**オープン・ドレーン出力に設定してください。**

17. 1　I²Cバスとほかのシリアル・インタフェースのモード切り替え

17. 1. 1　UARTA2とI²C00のモード切り替え

V850ES/SG2**では，**UARTA2**と**I²C00**は端子が兼用になっており，同時には使用できません。**I²C00**を使用するときは，あらかじめ**PMC3, PFC3**レジスタで設定する必要があります。**

注意　UARTA2**または**I²C00**において，送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。**

図17－1　UARTA2**と**I²C00**のモード切り替え設定**

リセット時：0000H　R/W　アドレス：FFFFF446H, FFFFF447H

	15	14	13	12	11	10	9	8
PMC3	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：0000H　R/W　アドレス：FFFFF466H, FFFFF467H

	15	14	13	12	11	10	9	8
PFC3	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
	PFC37	PFC36	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

PMC3n	PFC3n	動作モード
0	×	ポート入出力モード
1	0	UARTA2モード
1	1	I²C00モード

備考1.　n = 8, 9

2.　× = don’t care

17. 1. 2　CSIB0とI²C01のモード切り替え

V850ES/SG2では，CSIB0とI²C01は端子が兼用になっており，同時には使用できません。I²C01を使用するときは，あらかじめPMC4, PFC4レジスタで設定する必要があります。

注意　CSIB0またはI²C01において，送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17－2　CSIB0とI²C01のモード切り替え設定

リセット時：00H　R/W　アドレス：FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

リセット時：00H　R/W　アドレス：FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	0	PFC41	PFC40

PMC4n	PFC4n	動作モード
0	×	ポート入出力モード
1	0	CSIB0モード
1	1	I²C01モード

備考1.　n = 0, 1

2.　× = don’t care

17. 1. 3　UARTA1とI²C02のモード切り替え

V850ES/SG2では，UARTA1とI²C02は端子が兼用になっており，同時には使用できません。I²C02を使用するときは，あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意　UARTA1とI²C02において，送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17－3　UARTA1とI²C02のモード切り替え設定

リセット時：0000H　R/W　アドレス：FFFFF452H, FFFFF453H

	15	14	13	12	11	10	9	8
PMC9	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

リセット時：0000H　R/W　アドレス：FFFFF472H, FFFFF473H

	15	14	13	12	11	10	9	8
PFC9	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

リセット時：0000H　R/W　アドレス：FFFFF712H, FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9	PFCE915	PFCE914	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

PMC9n	PFCE9n	PFC9n	動作モード
1	1	0	UARTA1モード
1	1	1	I²C02モード

備考　n = 0, 1

17.2 特　　徴

I²C00-I²C02には，次の2種類のモードがあります。

- 動作停止モード
- I²C（Inter IC）バス・モード（マルチマスタ対応）

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード（マルチマスタ対応）

シリアル・クロック端子（SCL0n）とシリアル・データ・バス端子（SDA0n）の2本のラインにより，複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており，マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

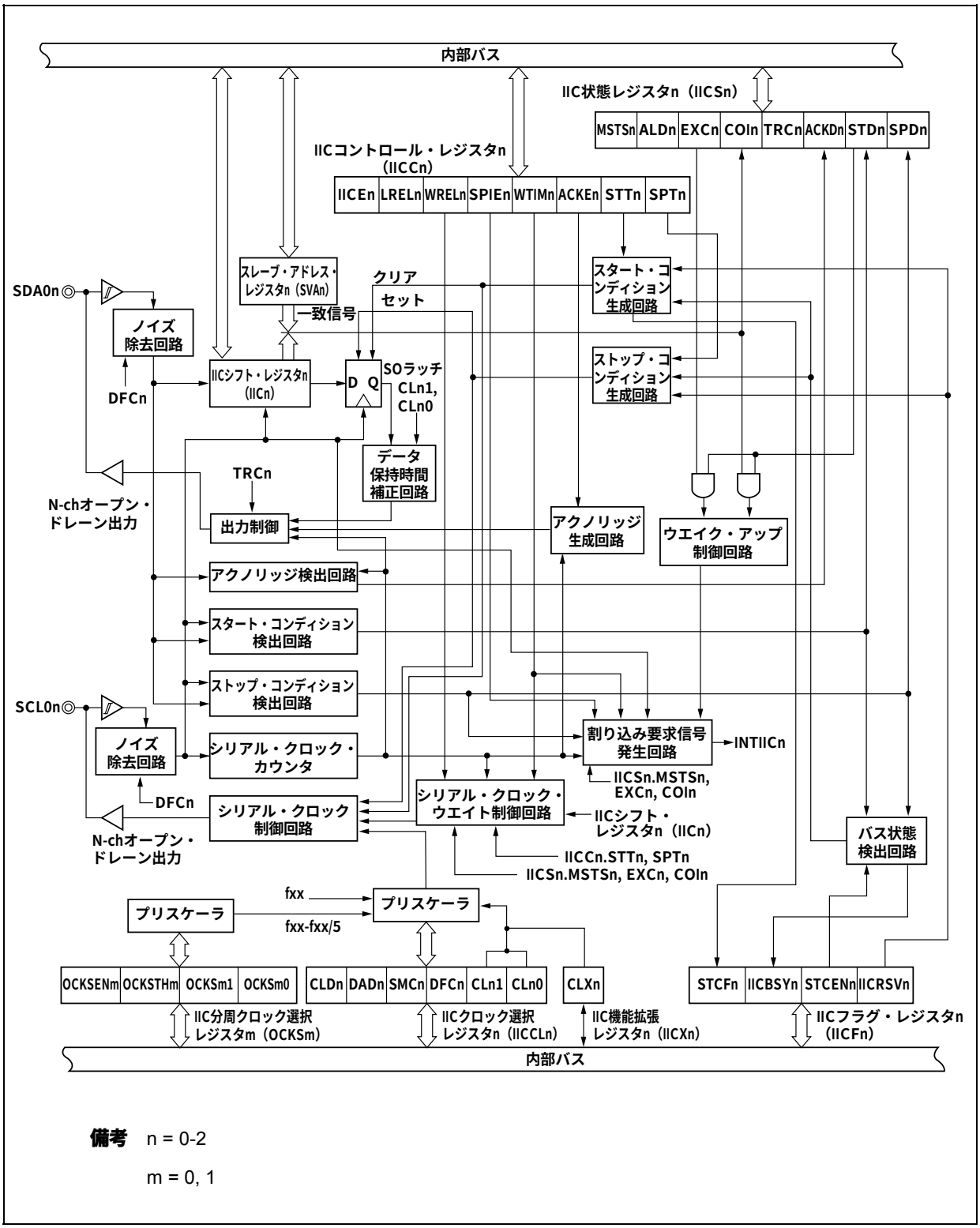
I²C0nでは，SCL0n端子とSDA0n端子はN-chオープン・ドレーン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

備考　n = 0-2

17.3　構　　成

I²C0nのブロック図を次に示します。

図17ー4　I²C0nのブロック図

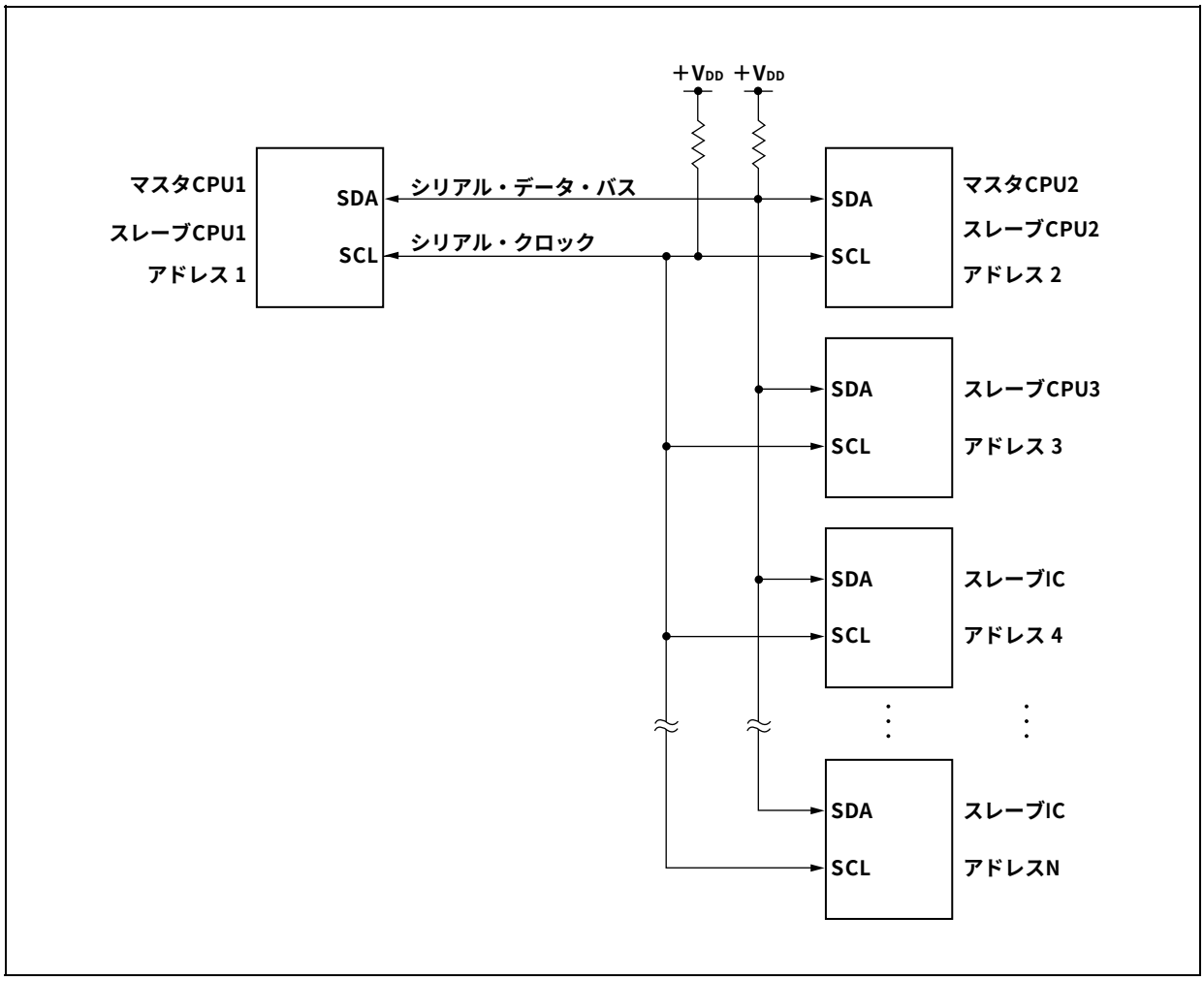


備考　n = 0-2

m = 0, 1

次にシリアル・バス構成例を示します。

図17－5　I²Cバスによるシリアル・バス構成例



I²C0nは，次のハードウエアで構成されています（n = 0-2）。

表17－1　I²C0nの構成

項　　目	構　　成
レジスタ	IICシフト・レジスタn（IICn） スレーブ・アドレス・レジスタn（SVAn）
制御レジスタ	IICコントロール・レジスタn（IICCn） IIC状態レジスタn（IICSn） IICフラグ・レジスタn（IICFn） IICクロック選択レジスタn（IICCLn） IIC機能拡張レジスタn（IICXn） IIC分周クロック選択レジスタ0, 1（OCKS0, OCKS1）

(1) IICシフト・レジスタn（IICn）

IICnレジスタは，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICnレジスタは送信および受信の両方に使用されます（n = 0-2）。

IICnレジスタに対する書き込み／読み出しにより，実際の送受信動作が制御されます。

8ビット単位でリード／ライト可能です。。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタn（SVAn）

スレーブとして使用する場合に，自局アドレスを設定するレジスタです。

8ビット単位でリード／ライト可能です（n = 0-2）。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは，SDA0n端子出力レベルを保持するラッチです（n = 0-2）。

(4) ウエイク・アップ制御回路

SVAnレジスタに設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求信号（INTIICn）を発生させる回路です（n = 0-2）。

(5) プリスケーラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号（INTIICn）の発生を制御します。

I²C割り込みは，次の2つのトリガで発生します。

- シリアル・クロックの8クロック目または9クロック目の立ち下がり（IICCn.WTIMnビットで設定）
- ストップ・コンディション検出による割り込み発生（IICCn.SPIEnビットで設定）

備考　n = 0-2

(8) シリアル・クロック制御回路

マスタ・モード時に，SCL0n端子に出力するクロックをサンプリング・クロックから生成します（n = 0-2）。

(9) シリアル・クロック・ウエイト制御回路

ウエイト・タイミングを制御します。

(10) アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

(11) データ保持時間補正回路

SCL0n端子の立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

IICCn.STTnビットがセットされるとスタート・コンディションを生成します。

ただし，通信予約禁止状態（IICFn.IICRSVnビット = 1）で，かつバスが解放されていない（IICFn.IICBSYnビット = 1）場合には，この要求は無視し，IICFn.STCFnビットをセット（1）します。

(13) ストップ・コンディション生成回路

IICCn.SPTnビットがセットされるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし，動作直後はバス状態を検出できないため，IICFn.STCENnビットにより，バス状態検出回路の初期状態を設定してください。

17.4　レジスタ

I²C00-I²C02は，次のレジスタで制御します。

- IICコントロール・レジスタ0-2（IICC0-IICC2）
- IIC状態レジスタ0-2（IICS0-IICS2）
- IICフラグ・レジスタ0-2（IICF0-IICF2）
- IICクロック選択レジスタ0-2（IICCL0-IICCL2）
- IIC機能拡張レジスタ0-2（IICX0-IICX2）
- IIC分周クロック選択レジスタ0, 1（OCKS0, OCKS1）

また，次のレジスタも使用します。

- IICシフト・レジスタ0-2（IIC0-IIC2）
- スレーブ・アドレス・レジスタ0-2（SVA0-SVA2）

備考　兼用端子の設定は表4－15　ポート端子を兼用端子として使用する場合を参照してください。

（1）IICコントロール・レジスタ0-2（IICC0-IICC2）

I²C0nの動作許可／停止，ウエイト・タイミングの設定，その他I²C動作の設定を行うレジスタです。

8/1ビット単位でリード／ライト可能です（n = 0-2）。ただし，SPIEn, WTIMn, ACKEnビットは，IICEnビット = 0のとき，またはウエイト期間中に設定してください。IICEnビットを“0”から“1”に設定するときに，同時にこれらのビットを設定できます。

リセットにより00Hになります。

(1/4)

リセット時：00H　R/W　アドレス：IICC0 FFFFFD82H, IICC1 FFFFFD92H, IICC2 FFFFFDA2H

	⑦	⑥	⑤	④	③	②	①	⑩
IICCn	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

(n = 0-2)

IICEn	I²Cn動作許可／禁止の指定
0	動作停止。IICSnレジスタをリセット注1。内部動作も停止。
1	動作許可。
このビットのセット（1）は，必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。	
クリアされる条件（IICEnビット = 0）	セットされる条件（IICEnビット = 1）
・命令によるクリア ・リセット時	・命令によるセット

LRELn注2	通信退避
0	通常動作。
1	現在行っている通信から退避し，待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0n, SDA0nラインはハイ・インピーダンス状態になる。 STTn, SPTnビット，IICSn.MSTSn, EXCn, COIn, TRCn, ACKDn, STDnビットがクリアされる。
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 ストップ・コンディション検出後，マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件（LRELnビット = 0）	セットされる条件（LRELnビット = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

WRELn注2	ウエイト解除の制御
0	ウエイトを解除しない。
1	ウエイト解除する。ウエイト解除後，自動的にクリアされる。
クリアされる条件（WRELnビット = 0）	セットされる条件（WRELnビット = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

注1.　リセットされるのはIICSnレジスタ，IICFn.STCFn，IICBSYnビット，IICCLn.CLDn，DADnビットです。

2.　IICEnビット = 0により，このフラグの信号を無効にします。

注意　SCL0nラインがハイ・レベル，SDA0nラインがロウ・レベルの状態で，I²Cnを動作許可（IICEnビット = 1）した場合，直後にスタート・コンディションを検出してしまいます。I²Cnを動作許可（IICEnビット = 1）したあと，連続してビット操作命令によりLRELnビットをセット（1）してください。

備考　LRELn, WRELnビットは，データ設定後に読み出すと0になっています。

(2/4)

SPIEn注	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可

クリアされる条件（SPIEnビット = 0）	セットされる条件（SPIEnビット = 1）
・命令によるクリア ・リセット時	・命令によるセット

WTIMn注	ウエイトおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：8クロック出力後，クロック出力をロウ・レベルにしたままウエイト スレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをウエイト
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：9クロック出力後，クロック出力をロウ・レベルにしたままウエイト スレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをウエイト

アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにウエイトが入ります。自局アドレスを受信したスレーブは，アクノリッジ（$\overline{\text{ACK}}$）発生後の9クロック目の立ち下がりでウエイトに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでウエイトに入ります。

クリアされる条件（WTIMnビット = 0）	セットされる条件（WTIMnビット = 1）
・命令によるクリア ・リセット時	・命令によるセット

ACKEn注	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDA0nラインをロウ・レベルにする。

スレーブでアドレス受信のときは，ACKEnビットの設定は無効です。この場合，アドレスが一致したときはアクノリッジを生成します。
ただし，拡張コードを受信するときは，ACKEnビットの設定は有効になります。拡張コードを受信するシステムでは，ACKEnビットの設定をしてください。

クリアされる条件（ACKEnビット = 0）	セットされる条件（ACKEnビット = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　IICEnビット = 0により，このフラグの信号を無効にします。

備考　n = 0-2

(3/4)

STTn	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（ストップ状態）： スタート・コンディションを生成する（マスタとしての起動）。SCLnラインがハイ・レベルの状態でSDA0nラインをハイ・レベルからロウ・レベルに変化させ，スタート・コンディションを生成する。そのあと，規格の時間を確保し，SCL0nラインをロウ・レベルにする。 第三者が通信中のとき： 通信予約機能許可の場合（IICFn.IICRSVnビット = 0） ・スタート・コンディション予約フラグとして機能。セット（1）されると，バスが解放されたあと自動的にスタート・コンディションを生成する。 通信予約機能禁止の場合（IICRSVnビット = 1） ・IICFn.STCFnビットをセット（1）し，STTnビットにセット（1）した情報をクリアする。スタート・コンディションは生成しない。 ウエイト状態（マスタ時）： ウエイトを解除してリスタート・コンディションを生成する。

セット・タイミングに関する注意

マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し，受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。

マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。

スレーブの場合　：通信予約機能禁止（IICRSVnビット = 1）の場合でも，通信予約状態になってしまいます。

・SPTnビットと同時にセット（1）することは禁止です。

・STTnビットをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。

クリアされる条件（STTnビット = 0）	セットされる条件（STTnビット = 1）
・通信予約禁止状態でのSTTnビットのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 0（動作停止）のとき ・リセット時	・命令によるセット

備考1.　STTnビットは，データ設定後に読み出すと0になっています。

2.　n = 0-2

(4/4)

SPTn	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA0nラインをロウ・レベルにしたあと，SCL0nラインをハイ・レベルにするか，またはSCL0n端子がハイ・レベルになるのを待つ。そのあと，規格の時間を確保し，SDA0nラインをロウ・レベルからハイ・レベルに変化させ，ストップ・コンディションを生成する。

セット・タイミングに関する注意

マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し，受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。

マスタ送信の場合：アクノリッジ受信期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。

- STTnビットと同時にセット（1）することは禁止です。
- SPTnビットのセット（1）は，マスタのときのみ行ってください注。
- WTIMnビット = 0設定時に，8クロック出力後のウエイト期間中にSPTnビットをセット（1）すると，ウエイト解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMnビット = 0→1にセットし，9クロック目出力後のウエイト期間中にSPTnビットをセット（1）してください。
- SPTnビットをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。

クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後，自動的にクリア ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 0（動作停止）のとき ・リセット時	・命令によるセット

注　SPTnビットのセット（1）は，マスタのときのみ行ってください。ただし，IICRSVnビットが0の場合，動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには，一度SPTnビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は，17. 15　注意事項を参照してください。

注意　TRCnビット = 1のとき，9クロック目にWRELnビットをセット（1）してウエイト解除すると，TRCnビットをクリア（0）してSDA0nラインをハイ・インピーダンスにします。

備考1.　SPTnビットは，データ設定後に読み出すと0になっています。

2.　n = 0-2

(2) IIC状態レジスタ0-2（IICS0-IICS2）

I²C0nのステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です（n = 0-2）。ただし，IICSnレジスタは，IICCn.STTnビット = 1のとき，またはウエイト期間中だけリード可能です。

リセットにより00Hになります。

注意　次に示す状態において，IICSnレジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

（1/3）

リセット時：00H　R　アドレス：IICS0 FFFFFD86H, IICS1 FFFFFD96H, IICS2 FFFFFDA6H

	⑦	⑥	⑤	④	③	②	①	⓪
IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn

（n = 0-2）

MSTSn	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。

クリアされる条件（MSTSnビット = 0）	セットされる条件（MSTSnビット = 1）
・ストップ・コンディション検出時 ・ALDnビット = 1（アービトレーション負け）のとき ・IICCn.LRELnビット = 1（通信退避）によるクリア ・IICCn.IICEnビット = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション生成時

ALDn	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTSnビットがクリア（0）される。

クリアされる条件（ALDnビット = 0）	セットされる条件（ALDnビット = 1）
・IICSnレジスタ読み出し後，自動的にクリア注 ・IICEnビット = 1→0（動作停止）のとき ・リセット時	・アービトレーションに負けたとき

EXCn	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信。

クリアされる条件（EXCnビット = 0）	セットされる条件（EXCnビット = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 1→0（動作停止）のとき ・リセット時	受信したアドレス・データの上位4ビットが“0000”または“1111”のとき（8クロック目の立ち上がりでセット）

注　IICSnレジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

(2/3)

COIn	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。

クリアされる条件（COInビット = 0）	セットされる条件（COInビット = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 1→0（動作停止）のとき ・リセット時	受信アドレスが自局アドレス（SVAnレジスタ）と一致したとき（8クロック目の立ち上がりでセット）

TRCn	送信／受信状態検出
0	受信状態（送信状態以外）。SDA0nラインをハイ・インピーダンスにする。
1	送信状態。SDA0nラインにSOラッチの値が出力できるようにする（1バイト目の9クロック目の立ち上がり以降有効）

クリアされる条件（TRCnビット = 0）	セットされる条件（TRCnビット = 1）
・ストップ・コンディション検出時 ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 1→0（動作停止）のとき ・IICCn.WRELnビット = 1によるクリア注 ・ALDnビット = 0→1（アービトレーション負け）のとき ・リセット時 マスタの場合 ・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき スレーブの場合 ・スタート・コンディション検出時 通信不参加の場合	マスタの場合 ・スタート・コンディション生成時 ・1バイト目のLSB（転送方向指定ビット）に“0”を出力したとき スレーブの場合 ・1バイト目のLSB（転送方向指定ビット）に“1”を入力したとき

ACKDn	アクノリッジ（$\overline{\text{ACK}}$）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出。

クリアされる条件（ACKDnビット = 0）	セットされる条件（ACKDnビット = 1）
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 1→0（動作停止）のとき ・リセット時	SCL0n端子の9クロック目の立ち上がり時にSDA0n端子がロウ・レベルであったとき

注　TRCnビット = 1のとき，9クロック目にWRELnビットをセット（1）してウエイトを解除すると，TRCnビットをクリア（0）してSDA0nラインをハイ・インピーダンスにします。

備考　n = 0-2

(3/3)

STDn	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出。アドレス転送期間であることを示す。

クリアされる条件（STDnビット = 0）	セットされる条件（STDnビット = 1）
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時

SPDn	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出。マスタでの通信が終了し，バスが解放される。

クリアされる条件（SPDnビット = 0）	セットされる条件（SPDnビット = 1）
・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時 ・IICEnビット = 1→0（動作停止）のとき ・リセット時	・ストップ・コンディション検出時

備考　n = 0-2

(3) IICフラグ・レジスタ0-2（IICF0-IICF2）

I²C0nの動作モードの設定と，I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード／ライト可能です。ただし，STCFn, IICBSYnビットはリードのみ可能です。

IICRSVnビットにより通信予約機能の禁止／許可を設定します（17. 14　通信予約参照）。

また，STCENnビットにより，IICBSYnビットの初期値を設定します（17. 15　注意事項参照）。

IICRSVn, STCENnビットは，I²C0nが動作禁止（IICCn.IICEnビット = 0）のときのみ書き込み可能です。

動作許可後，IICFnレジスタは読み出し可能となります（n = 0-2）。

リセットにより00Hになります。

リセット時：00H　　R/W注　　アドレス：IICF0 FFFFFD8AH, IICF1 FFFFFD9AH, IICF2 FFFFFDAAH

	⑦	⑥	5	4	3	2	①	⓪
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

（n = 0-2）

STCFn	STTnビット・クリア
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTTnビット・クリア

クリアされる条件（STCFnビット = 0）	セットされる条件（STCFnビット = 1）
・IICCn.STTnビット = 1によるクリア ・IICCn.IICEnビット = 0のとき ・リセット時	・通信予約禁止（IICRSVnビット = 1）設定時にスタート・コンディション発行できず，STTnフラグ・クリア（0）されたとき

IICBSYn	I²C0nバス状態
0	バス解放状態（STCENnビット = 1時の通信初期状態）
1	バス通信状態（STCENnビット = 0時の通信初期状態）

クリアされる条件（IICBSYnビット = 0）	セットされる条件（IICBSYnビット = 1）
・ストップ・コンディション検出時 ・IICEnビット = 0のとき ・リセット時	・スタート・コンディション検出時 ・STCENnビット = 0のときIICEnビットのセット

STCENn	初期スタート許可トリガ
0	動作許可（IICEnビット = 1）後，ストップ・コンディションを検出するまで，スタート・コンディションを生成できない。
1	動作許可（IICEnビット = 1）後，ストップ・コンディションを検出しなくても，スタート・コンディションを生成できる。

クリアされる条件（STCENnビット = 0）	セットされる条件（STCENnビット = 1）
・スタート・コンディション検出時 ・リセット時	・命令によるセット

IICRSVn	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止

クリアされる条件（IICRSVnビット = 0）	セットされる条件（IICRSVnビット = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　ビット6, 7はリード・オンリーです。

注意1.　STCENnビットへの書き込みは，動作停止（IICEnビット = 0）時のみ行ってください。

2.　STCENnビット = 1とした場合，I²C動作許可直後は実際のバス状態にかかわらずバス解放状態（IICBSYnビット = 0）と認識しますので，1回目のスタート・コンディションを発行（STTnビット = 1）する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。

3.　IICRSVnビットへの書き込みは，動作停止（IICEnビット = 0）時のみ行ってください。

（4）IICクロック選択レジスタ0-2（IICCL0-IICCL2）

I²C0nの転送クロックを設定するレジスタです。

8/1ビット単位でリード／ライト可能です。ただし，CLDn, DADnビットはリードのみ可能です。

IICCLnレジスタは，IICCn.IICEnビット = 0のときに設定してください。

SMCn, CLn1, CLn0ビットの設定は，IICXn.CLXnビットと，OCKSm.OCKSTHm, OCKSm1, OCKSm0ビットと組み合わせて設定します（17. 4（6）I²C0nの転送クロックの設定方法参照）（n = 0-2, m = 0, 1）。

リセットにより00Hになります。

リセット時：00H　R/W注　アドレス：IICCL0 FFFFFD84H, IICCL1 FFFFFD94H, IICCL2 FFFFFDA4H

	7	6	⑤	④	3	2	1	0
IICCLn	0	0	CLDn	DADn	SMCn	DFCn	CLn1	CLn0

（n = 0-2）

CLDn	SCL0n端子のレベル検出（IICCn.IICEnビット = 1のときのみ有効）
0	SCL0n端子がロウ・レベルであることを検出
1	SCL0n端子がハイ・レベルであることを検出

クリアされる条件（CLDnビット = 0）	セットされる条件（CLDnビット = 1）
・SCL0n端子がロウ・レベルのとき ・IICEnビット = 0（動作停止）のとき ・リセット時	・SCL0n端子がハイ・レベルのとき

DADn	SDA0n端子のレベル検出（IICEnビット = 1のときのみ有効）
0	SDA0n端子がロウ・レベルであることを検出
1	SDA0n端子がハイ・レベルであることを検出

クリアされる条件（DADnビット = 0）	セットされる条件（DADnビット = 1）
・SDA0n端子がロウ・レベルのとき ・IICEnビット = 0（動作停止）のとき ・リセット時	・SDA0n端子がハイ・レベルのとき

SMCn	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFCn	ディジタル・フィルタの動作制御
0	ディジタル・フィルタ・オフ
1	ディジタル・フィルタ・オン
ディジタル・フィルタは，高速モード時にのみ使用できます。 高速モード時は，DFCnビットの設定により転送クロックが変化することはありません。 ディジタル・フィルタは，高速モード時にノイズ除去のために使用します。	

注　ビット4, 5はリード・オンリーです。

注意　ビット7, 6には必ず“0”を設定してください。

備考　IICCn.IICEnビット = 0のとき，CLDn, DADnビットは0がリードされます。

（5）IIC機能拡張レジスタ0-2（IICX0-IICX2）

I²C0nの機能拡張を設定するレジスタです（高速モード時のみ有効）。

8/1ビット単位でリード／ライト可能です。

CLXnビットの設定は，IICCLn.SMCn, CLn1, CLn0ビットと，OCKSm.OCKSTHm, OCKSm1, OCKSm0ビット（m = 0, 1）と組み合わせて設定します（17. 4（6）I²C0nの転送クロックの設定方法参照）。

IICXnレジスタは，IICCn.IICEnビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：IICX0 FFFFFD85H, IICX1 FFFFFD95H, IICX2 FFFFFDA5H

	7	6	5	4	3	2	1	⓪
IICXn	0	0	0	0	0	0	0	CLXn

（n = 0-2）

（6）I²C0nの転送クロックの設定方法

I²C0nの転送クロック周波数（f_{SCL}）は，次の計算式により求められます（n = 0-2）。

f_{SCL} = 1/（m×T＋t_R＋t_F）

m = 12, 18, 24, 36, 44, 48, 54, 60, 66, 72, 86, 88, 96, 132, 172, 176, 198, 220, 258, 344（表17－2　クロックの設定参照）

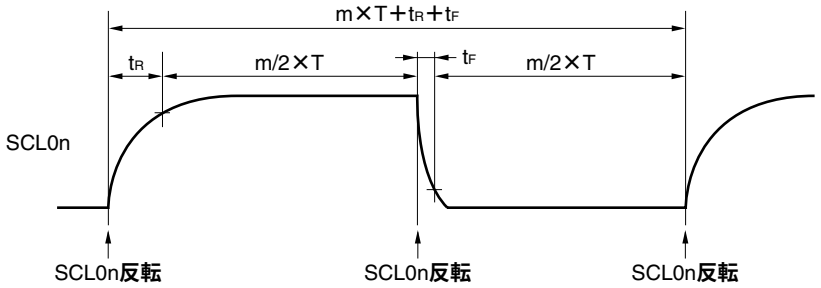
T：1/f_{XX}

t_R：SCL0n端子立ち上がり時間

t_F：SCL0n端子立ち下がり時間

たとえば，f_{XX} = 19.2 MHz, m = 198, t_R = 200 ns, t_F = 50 nsの場合のI²C0nの転送クロック周波数（f_{SCL}）は，次の計算式により求められます。

f_{SCL} = 1/（198×52 ns＋200 ns＋50 ns）　94.7 kHz



選択クロックは，IICCLn.SMCn, CLn1, CLn0ビット，IICXn.CLXnビット，OCKSm.OCKSTHm, OCKSm1, OCKSm0ビットを組み合わせて設定します（n = 0-2, m = 0, 1）。

表17－2　クロックの設定（1/2）

IICX0	IICCL0			選択クロック	転送クロック	設定可能なメイン・クロック周波数（f_{XX}）の範囲	動作モード
ビット0	ビット3	ビット1	ビット0				
CLX0	SMC0	CL01	CL00				
0	0	0	0	f_{XX}（OCKS0 = 18H設定時）	f_{XX}/44	2.00 MHz≦f_{XX}≦4.19 MHz	標準モード（SMC0ビット = 0）
				f_{XX}/2（OCKS0 = 10H設定時）	f_{XX}/88	4.00 MHz≦f_{XX}≦8.38 MHz	
				f_{XX}/3（OCKS0 = 11H設定時）	f_{XX}/132	6.00 MHz≦f_{XX}≦12.57 MHz	
				f_{XX}/4（OCKS0 = 12H設定時）	f_{XX}/176	8.00 MHz≦f_{XX}≦16.76 MHz	
				f_{XX}/5（OCKS0 = 13H設定時）	f_{XX}/220	10.00 MHz≦f_{XX}≦20.95 MHz	
0	0	0	1	f_{XX}（OCKS0 = 18H設定時）	f_{XX}/86	4.19 MHz≦f_{XX}≦8.38 MHz	
				f_{XX}/2（OCKS0 = 10H設定時）	f_{XX}/172	8.38 MHz≦f_{XX}≦16.76 MHz	
				f_{XX}/3（OCKS0 = 11H設定時）	f_{XX}/258	12.57 MHz≦f_{XX}≦25.14 MHz	
				f_{XX}/4（OCKS0 = 12H設定時）	f_{XX}/344	16.76 MHz≦f_{XX}≦32.00 MHz	
				f_{XX}/5（OCKS0 = 13H設定時）	f_{XX}/430	20.95 MHz≦f_{XX}≦32.00 MHz	
0	0	1	0	f_{XX}注	f_{XX}/86	4.19 MHz≦f_{XX}≦8.38 MHz	
0	0	1	1	f_{XX}（OCKS0 = 18H設定時）	f_{XX}/66	6.40 MHz	
				f_{XX}/2（OCKS0 = 10H設定時）	f_{XX}/132	12.80 MHz	
				f_{XX}/3（OCKS0 = 11H設定時）	f_{XX}/198	19.20 MHz	
				f_{XX}/4（OCKS0 = 12H設定時）	f_{XX}/264	25.60 MHz	
				f_{XX}/5（OCKS0 = 13H設定時）	f_{XX}/330	32.00 MHz	
0	1	0	X	f_{XX}（OCKS0 = 18H設定時）	f_{XX}/24	4.19 MHz≦f_{XX}≦8.38 MHz	高速モード（SMC0ビット = 1）
				f_{XX}/2（OCKS0 = 10H設定時）	f_{XX}/48	8.00 MHz≦f_{XX}≦16.76 MHz	
				f_{XX}/3（OCKS0 = 11H設定時）	f_{XX}/72	12.00 MHz≦f_{XX}≦25.14 MHz	
				f_{XX}/4（OCKS0 = 12H設定時）	f_{XX}/96	16.00 MHz≦f_{XX}≦32.00 MHz	
0	1	1	0	f_{XX}注	f_{XX}/24	4.00 MHz≦f_{XX}≦8.38 MHz	
0	1	1	1	f_{XX}（OCKS0 = 18H設定時）	f_{XX}/18	6.40 MHz	
				f_{XX}/2（OCKS0 = 10H設定時）	f_{XX}/36	12.80 MHz	
				f_{XX}/3（OCKS0 = 11H設定時）	f_{XX}/54	19.20 MHz	
				f_{XX}/4（OCKS0 = 12H設定時）	f_{XX}/72	25.60 MHz	
				f_{XX}/5（OCKS0 = 13H設定時）	f_{XX}/90	32.00 MHz	
1	1	0	X	f_{XX}（OCKS0 = 18H設定時）	f_{XX}/12	4.00 MHz≦f_{XX}≦4.19 MHz	
				f_{XX}/2（OCKS0 = 10H設定時）	f_{XX}/24	8.00 MHz≦f_{XX}≦8.38 MHz	
				f_{XX}/3（OCKS0 = 11H設定時）	f_{XX}/36	12.00 MHz≦f_{XX}≦12.57 MHz	
				f_{XX}/4（OCKS0 = 12H設定時）	f_{XX}/48	16.00 MHz≦f_{XX}≦16.67 MHz	
				f_{XX}/5（OCKS0 = 13H設定時）	f_{XX}/60	20.00 MHz≦f_{XX}≦20.95 MHz	
1	1	1	0	f_{XX}注	f_{XX}/12	4.00 MHz≦f_{XX}≦4.19 MHz	
上記以外				設定禁止	－	－	－

注　OCKS0レジスタの設定値によらずf_{XX}になるので，OCKS0レジスタ = 00H（I²C分周クロックは停止状態）を設定してください。

備考　X：don't care

表17－2　クロックの設定（2/2）

IICXm	IICCLm			選択クロック	転送クロック	設定可能なメイン・クロック周波数（f_{XX}）の範囲	動作モード
ビット0	ビット3	ビット1	ビット0				
CLXm	SMCm	CLm1	CLm0				
0	0	0	0	f_{XX}（OCKS1 = 18H設定時）	f_{XX}/44	2.00 MHz≦f_{XX}≦4.19 MHz	標準モード（SMCmビット = 0）
				f_{XX}/2（OCKS1 = 10H設定時）	f_{XX}/88	4.00 MHz≦f_{XX}≦8.38 MHz	
				f_{XX}/3（OCKS1 = 11H設定時）	f_{XX}/132	6.00 MHz≦f_{XX}≦12.57 MHz	
				f_{XX}/4（OCKS1 = 12H設定時）	f_{XX}/176	8.00 MHz≦f_{XX}≦16.76 MHz	
				f_{XX}/5（OCKS1 = 13H設定時）	f_{XX}/220	10.00 MHz≦f_{XX}≦20.95 MHz	
0	0	0	1	f_{XX}（OCKS1 = 18H設定時）	f_{XX}/86	4.19 MHz≦f_{XX}≦8.38 MHz	
				f_{XX}/2（OCKS1 = 10H設定時）	f_{XX}/172	8.38 MHz≦f_{XX}≦16.76 MHz	
				f_{XX}/3（OCKS1 = 11H設定時）	f_{XX}/258	12.57 MHz≦f_{XX}≦25.14 MHz	
				f_{XX}/4（OCKS1 = 12H設定時）	f_{XX}/344	16.76 MHz≦f_{XX}≦32.00 MHz	
				f_{XX}/5（OCKS1 = 13H設定時）	f_{XX}/430	20.95 MHz≦f_{XX}≦32.00 MHz	
0	0	1	0	f_{XX}注	f_{XX}/86	4.19 MHz≦f_{XX}≦8.38 MHz	
0	0	1	1	f_{XX}（OCKS1 = 18H設定時）	f_{XX}/66	6.40 MHz	
				f_{XX}/2（OCKS1 = 10H設定時）	f_{XX}/132	12.80 MHz	
				f_{XX}/3（OCKS1 = 11H設定時）	f_{XX}/198	19.20 MHz	
				f_{XX}/4（OCKS1 = 12H設定時）	f_{XX}/264	25.60 MHz	
				f_{XX}/5（OCKS1 = 13H設定時）	f_{XX}/330	32.00 MHz	
0	1	0	X	f_{XX}（OCKS1 = 18H設定時）	f_{XX}/24	4.19 MHz≦f_{XX}≦8.38 MHz	高速モード（SMCmビット = 1）
				f_{XX}/2（OCKS1 = 10H設定時）	f_{XX}/48	8.00 MHz≦f_{XX}≦16.76 MHz	
				f_{XX}/3（OCKS1 = 11H設定時）	f_{XX}/72	12.00 MHz≦f_{XX}≦25.14 MHz	
				f_{XX}/4（OCKS1 = 12H設定時）	f_{XX}/96	16.00 MHz≦f_{XX}≦32.00 MHz	
0	1	1	0	f_{XX}注	f_{XX}/24	4.00 MHz≦f_{XX}≦8.38 MHz	
0	1	1	1	f_{XX}（OCKS1 = 18H設定時）	f_{XX}/18	6.40 MHz	
				f_{XX}/2（OCKS1 = 10H設定時）	f_{XX}/36	12.80 MHz	
				f_{XX}/3（OCKS1 = 11H設定時）	f_{XX}/54	19.20 MHz	
				f_{XX}/4（OCKS1 = 12H設定時）	f_{XX}/72	25.60 MHz	
				f_{XX}/5（OCKS1 = 13H設定時）	f_{XX}/90	32.00 MHz	
1	1	0	X	f_{XX}（OCKS1 = 18H設定時）	f_{XX}/12	4.00 MHz≦f_{XX}≦4.19 MHz	
				f_{XX}/2（OCKS1 = 10H設定時）	f_{XX}/24	8.00 MHz≦f_{XX}≦8.38 MHz	
				f_{XX}/3（OCKS1 = 11H設定時）	f_{XX}/36	12.00 MHz≦f_{XX}≦12.57 MHz	
				f_{XX}/4（OCKS1 = 12H設定時）	f_{XX}/48	16.00 MHz≦f_{XX}≦16.67 MHz	
				f_{XX}/5（OCKS1 = 13H設定時）	f_{XX}/60	20.00 MHz≦f_{XX}≦20.95 MHz	
1	1	1	0	f_{XX}注	f_{XX}/12	4.00 MHz≦f_{XX}≦4.19 MHz	
上記以外				設定禁止	－	－	－

注　OCKS1レジスタの設定値によらずf_{XX}になるので，OCKS1レジスタ = 00H（I²C分周クロックは停止状態）を設定してください。

備考1.　m = 1, 2

2.　X：don't care

(7) IIC分周クロック選択レジスタ0, 1（OCKS0, OCKS1）

I²C0nの分周クロックを制御するレジスタです（n = 0-2）。

OCKS0レジスタでI²C00の分周クロックを，OCKS1レジスタでI²C01, I²C02の分周クロックを制御します。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：OCKS0 FFFFF340H, OCKS1 FFFFF344H

	7	6	5	4	3	2	1	0
OCKSm (m = 0, 1)	0	0	0	OCKSENm	OCKSTHm	0	OCKSm1	OCKSm0

OCKSENm	I²C分周クロック動作指定
0	I²C分周クロック動作停止
1	I²C分周クロック動作許可

OCKSTHm	OCKSm1	OCKSm0	I²C分周クロック選択
0	0	0	$f_{XX}/2$
0	0	1	$f_{XX}/3$
0	1	0	$f_{XX}/4$
0	1	1	$f_{XX}/5$
1	0	0	f_{XX}
その他			設定禁止

(8) IICシフト・レジスタ0-2（IIC0-IIC2）

このレジスタは，シリアル・クロックに同期してシリアル送受信（シフト動作）を行うためのものです。

8ビット単位でリード／ライト可能ですが，データ転送中にIICnレジスタへデータを書き込まないでください。

IICnレジスタには，ウエイト期間中にだけアクセス（リード／ライト）してください。ウエイト期間中を除く通信状態でのIICnレジスタへのアクセスは禁止です。ただし，マスタになる場合は，送信トリガ・ビット（IICCn.STTnビット）をセット（1）したあと，1回だけライトできます。

ウエイト期間中のIICnレジスタへの書き込みにより，ウエイト解除しデータ転送を開始します（n = 0-2）。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：IIC0 FFFFFD80H, IIC1 FFFFFD90H, IIC2 FFFFFDA0H

	7	6	5	4	3	2	1	0
IICn (n = 0-2)								

(9) スレーブ・アドレス・レジスタ0-2（SVA0-SVA2）

SVAn**レジスタには，**I²C**バスのスレーブ・アドレスを格納します。**

8**ビット単位でリード／ライト可能ですが，ビット**0**は**0**に固定されています。ただし，**IICSn.STDn**ビット** = 1（**スタート・コンディション検出）のときの書き換えは禁止です。**

リセットにより00H**になります。**

リセット時：00H　R/W　アドレス：SVA0 FFFFFD83H, SVA1 FFFFFD93H, SVA2 FFFFFDA3H

	7	6	5	4	3	2	1	0
SVAn								**0**

(n = 0-2)

17. 5　I²Cバス・モードの機能

17. 5. 1　端子構成

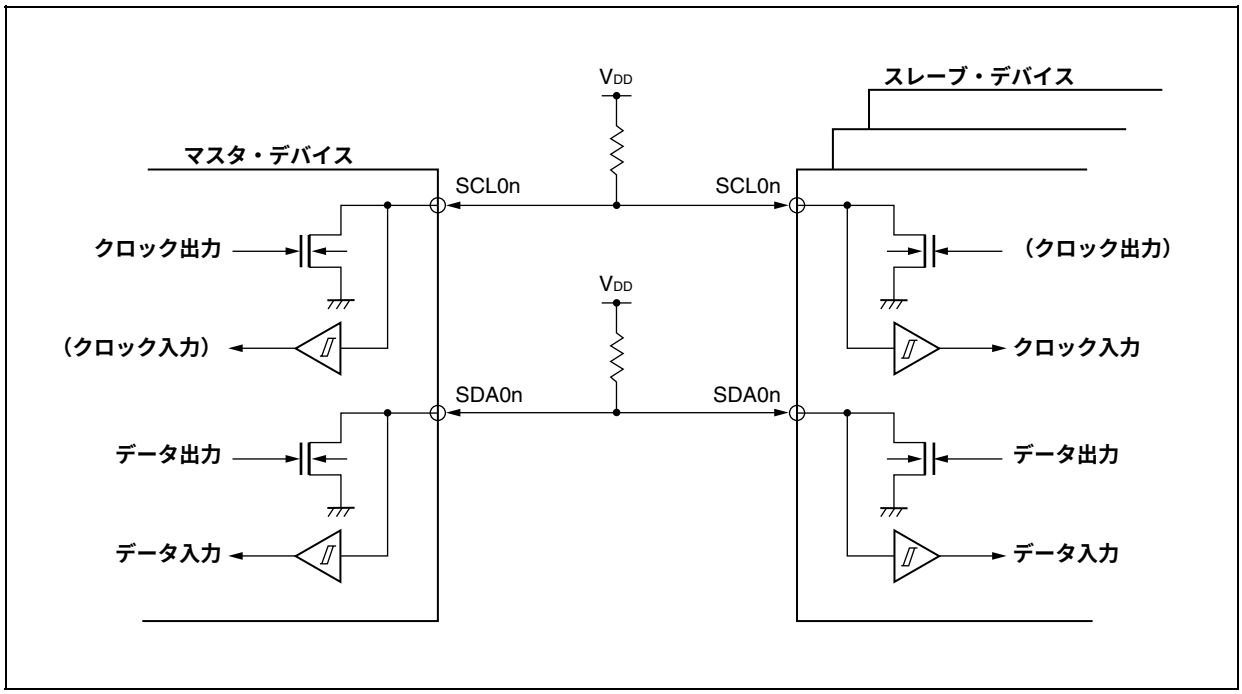
シリアル・クロック端子（SCL0n）と，シリアル・データ・バス端子（SDA0n）の構成は，次のようになっています（n = 0-2）。

SCL0n …　シリアル・クロックを入出力するための端子。
マスタ，スレーブともに，出力はN-chオープン・ドレーン。入力はシュミット入力。

SDA0n …　シリアル・データの入出力兼用端子。
マスタ，スレーブともに，出力はN-chオープン・ドレーン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレーンのため，外部にプルアップ抵抗が必要となります。

図17－6　端子構成図

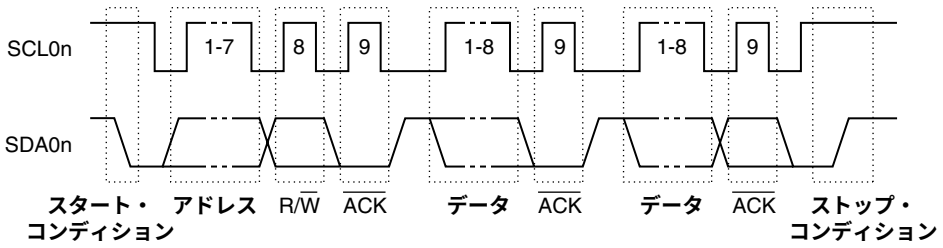


17. 6　I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図17－7　I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

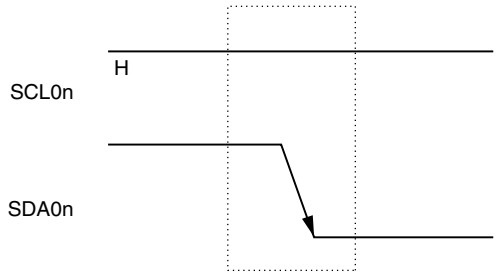
アクノリッジ（$\overline{\text{ACK}}$）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が生成します）。

シリアル・クロック（SCL0n）は，マスタが出力し続けます。ただし，スレーブはSCL0n端子のロウ・レベル期間を延長し，ウエイトを挿入できます（n = 0-2）。

17. 6. 1　スタート・コンディション

SCL0n端子がハイ・レベルのときに，SDA0n端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0n, SDA0n端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます（n = 0-2）。

図17－8　スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（IICSn.SPDnビット = 1）のときにIICCn.STTnビットをセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICSn.STDnビットがセット（1）されます（n = 0-2）。

注意　ほかのデバイス同士の通信中にV850ES/SG2のIICCn.IICEnビットをセット（1）した場合，通信ラインの状態によってスタート・コンディションを検出することがあります。IICCn.IICEnビットのセット（1）は，必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

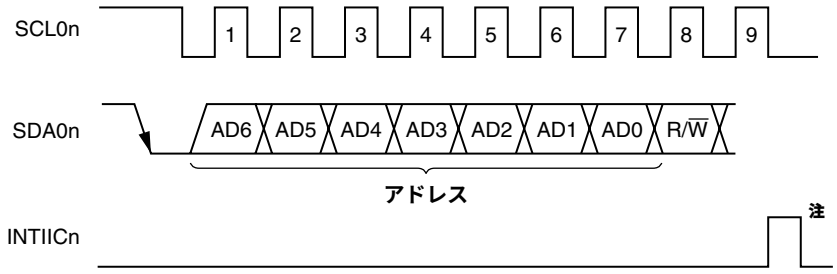
17. 6. 2　アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがSVAnレジスタと一致しているかを調べます。このとき，7ビット・データとSVAnレジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います（n = 0-2）。

図17－9　アドレス



注　スレーブ動作時に自局アドレスまたは拡張コードを受信すると，割り込み要求信号（INTIICn）が発生します。

備考　n = 0-2

アドレスは，スレーブのアドレスと17. 6. 3　**転送方向指定**に説明する転送方向を合わせて8ビットとしてIICnレジスタに書き込むと出力します。また，受信したアドレスはIICnレジスタに書き込まれます（n = 0-2）。

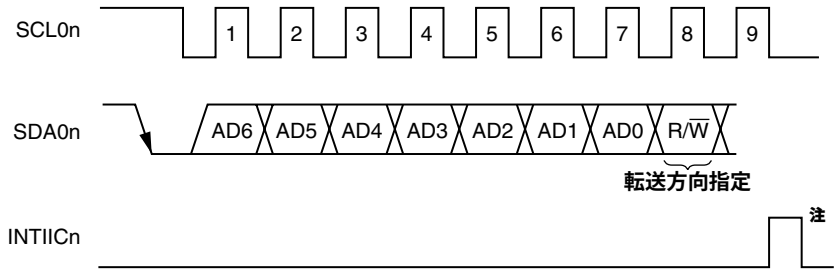
なお，スレーブのアドレスは，IICnレジスタの上位7ビットに割り当てられます。

17. 6. 3　転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図17－10　転送方向指定



注　スレーブ動作時に自局アドレスまたは拡張コードを受信すると，INTIICn信号が発生します。

備考　n = 0-2

17. 6. 4 アクノリッジ（$\overline{\text{ACK}}$）

アクノリッジ（$\overline{\text{ACK}}$）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICSn.ACKDnビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

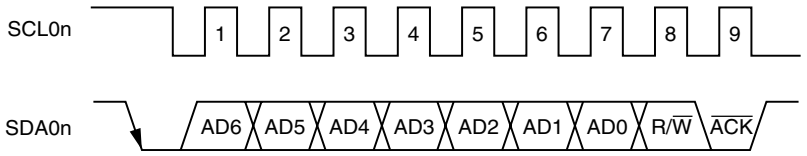
アクノリッジ生成は，受信側が9クロック目にSDA0nラインをロウ・レベルにすることによって行われます（正常受信）。

IICCn.ACKEnビットをセット（1）することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSn.TRCnビットが設定されます。受信（TRCnビット = 0）の場合は，通常，ACKEnビットをセット（1）してください。

スレーブ受信動作時（TRCnビット = 0）にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKEnビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRCnビット = 0）に，次のデータを必要としない場合，アクノリッジを生成しないようにACKEnビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図17－11　アクノリッジ



備考　n = 0-2

自局アドレス受信時は，ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめACKEnビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，ウエイト・タイミングの設定により次のように異なります。

- 8クロック・ウエイト選択時（IICCn.WTIMnビット = 0）：
  ウエイト解除を行う前にACKEnビットをセット（1）することによって，SCL0n端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック・ウエイト選択時（WTIMnビット = 1）：
  あらかじめACKEnビットをセット（1）することによって，アクノリッジを生成します。

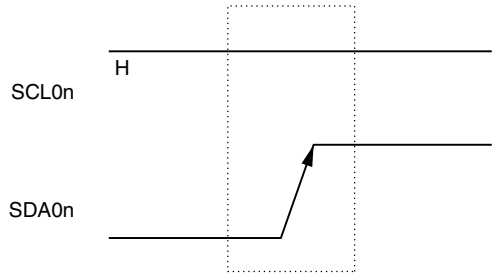
備考　n = 0-2

17. 6. 5　ストップ・コンディション

SCL0n端子がハイ・レベルのときに，SDA0n端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります（n = 0-2）。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図17－12　ストップ・コンディション



備考　n = 0-2

ストップ・コンディションは，IICCn.SPTnビットをセット（1）すると発生します。また，ストップ・コンディションを検出するとIICSn.SPDnビットがセット（1）され，IICCn.SPIEnビットがセット（1）されている場合には割り込み要求信号（INTIICn）が発生します（n = 0-2）。

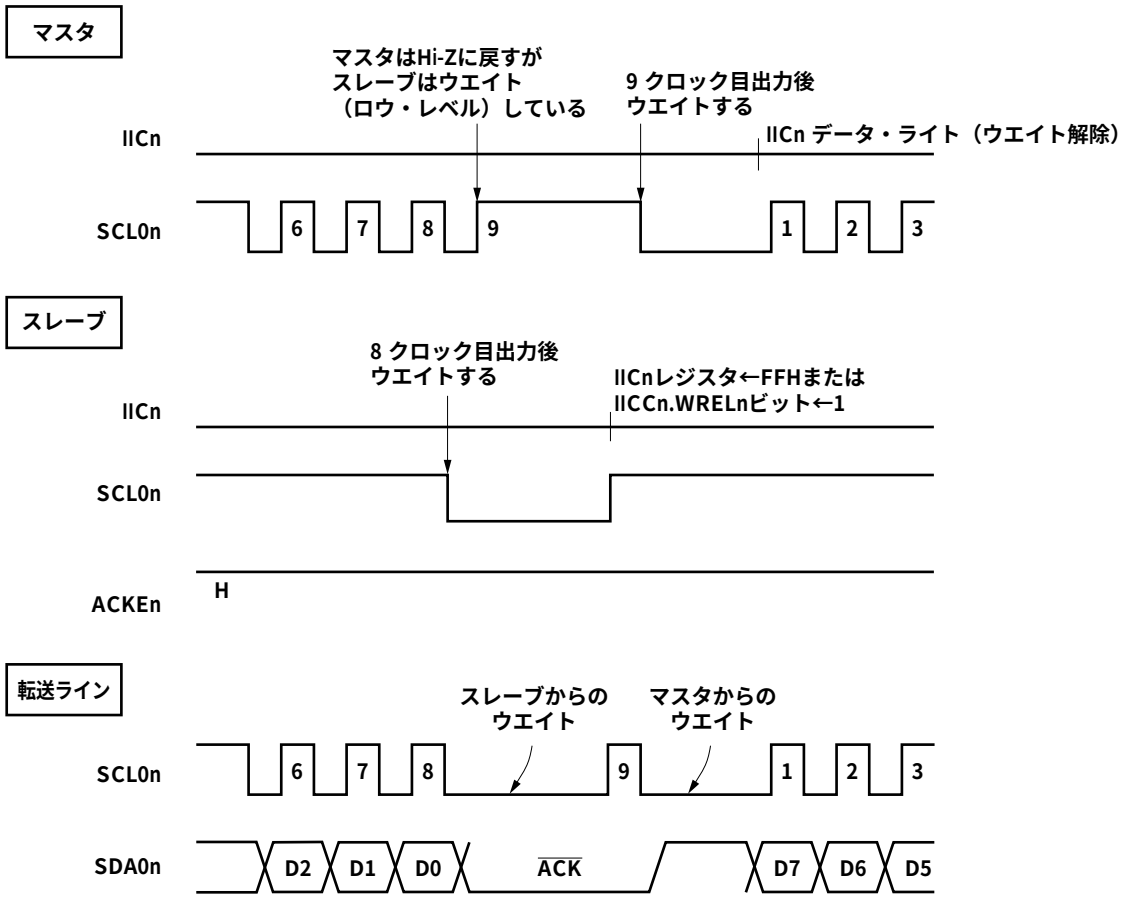
17. 6. 6　ウエイト

ウエイトは，マスタまたはスレーブがデータの送受信が準備中（ウエイト状態）であることを相手に知らせます。

SCL0n端子をロウ・レベルにすることにより，相手にウエイト状態を知らせます。マスタ，スレーブ両方のウエイト状態が解除されると，次の転送を開始できます（n = 0-2）。

図17－13　ウエイト（1/2）

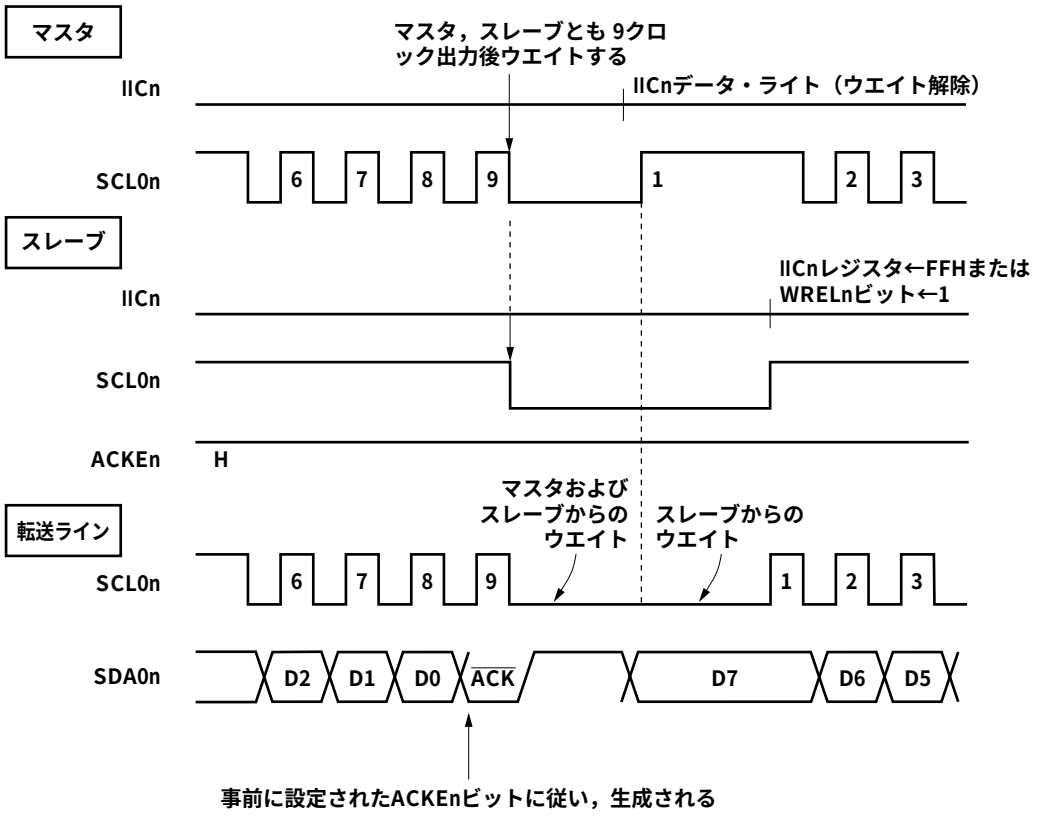
（a）マスタは9クロック・ウエイト，スレーブは8クロック・ウエイト時（マスタ：送信，スレーブ：受信，IICCn.ACKEnビット = 1）



備考　n = 0-2

図17－13　ウエイト（2/2）

（b）マスタ，スレーブとも9クロック・ウエイト時（マスタ：送信，スレーブ：受信，ACKEnビット = 1）



備考　n = 0-2

ウエイトは，IICCn.WTIMnビットの設定により自動的に発生します（n = 0-2）。

通常，受信側はWRELnビット = 1またはIICnレジスタ←FFHライトにするとウエイトを解除し，送信側はIICnレジスタにデータを書き込むとウエイトを解除します。

マスタの場合は，次の方法でもウエイトを解除できます。

- IICCn.STTnビット = 1
- IICCn.SPTnビット = 1

17. 6. 7　ウエイト解除方法

I²C0nでは，通常，次のような処理でウエイトを解除できます（n = 0-2）。

- IICnレジスタへのデータの書き込み
- IICCn.WRELnビットのセット（1）（ウエイト解除）
- IICCn.STTnビットのセット（1）（スタート・コンディションの生成）
- IICCn.SPTnビットのセット（1）（ストップ・コンディションの生成）

これらのウエイト解除処理を実行した場合，I²C0nはウエイトを解除し通信が再開されます。

ウエイトを解除してデータ（アドレスを含む）を送信する場合には，IICnレジスタにデータを書き込んでください。

ウエイト解除後にデータを受信する場合，またはデータ送信を完了する場合には，WRELnビットをセット（1）してください。

ウエイト解除後にリスタート・コンディションを生成する場合には，STTnビットをセット（1）してください。

ウエイト解除後にストップ・コンディションを生成する場合には，SPTnビットをセット（1）してください。

1回のウエイト状態に対して，1回だけ解除処理を実行してください。

たとえば，WRELnビットのセット（1）によるウエイト解除後，IICnレジスタへのデータ書き込みを実施した場合には，SDAnラインの変化タイミングとIICnレジスタへの書き込みタイミングの競合により，SDAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICCn.IICEnビットをクリア（0）すると通信を停止するので，ウエイトを解除できます。

I²Cバスがノイズなどによりデッド・ロックしてしまった場合には，IICCn.LRELnビットをセット（1）すると通信から退避するので，ウエイトを解除できます。

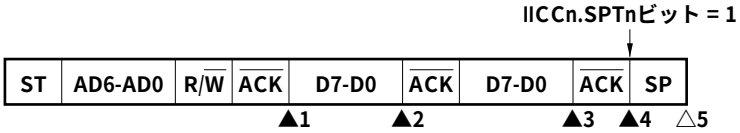
17. 7　I²C割り込み要求信号（INTIICn）

次に，INTIICn割り込み要求信号発生タイミングと，INTIICn信号タイミングでのIICSnレジスタの値を示します（n = 0-2）。

17. 7. 1　マスタ動作

（1）Start〜Address〜Data〜Data〜Stop（通常送受信）

① IICCn.WTIMnビット = 0のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X000B

▲3：IICSnレジスタ = 1000X000B（WTIMnビット = 1）

▲4：IICSnレジスタ = 1000XX00B

△5：IICSnレジスタ = 00000001B

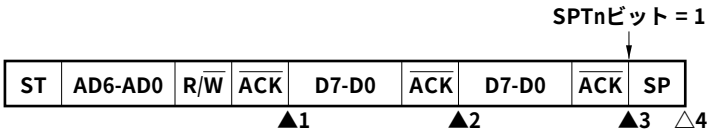
備考1.　▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2.　n = 0-2

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X100B

▲3：IICSnレジスタ = 1000XX00B

△4：IICSnレジスタ = 00000001B

備考1.　▲　必ず発生

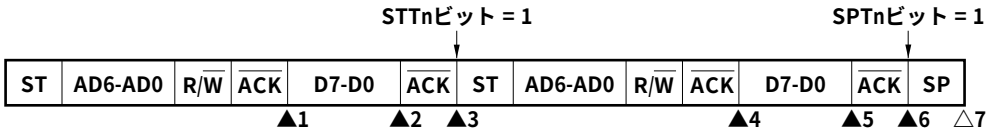
△　SPIEnビット = 1のときだけ発生

X　任意

2.　n = 0-2

（2）Start〜Address〜Data〜Start〜Address〜Data〜Stop（リスタート）

① WTIMnビット = 0のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X000B（WTIMnビット = 1）

▲3：IICSnレジスタ = 1000XX00B（WTIMnビット = 0）

▲4：IICSnレジスタ = 1000X110B（WTIMnビット = 0）

▲5：IICSnレジスタ = 1000X000B（WTIMnビット = 1）

▲6：IICSnレジスタ = 1000XX00B

△7：IICSnレジスタ = 00000001B

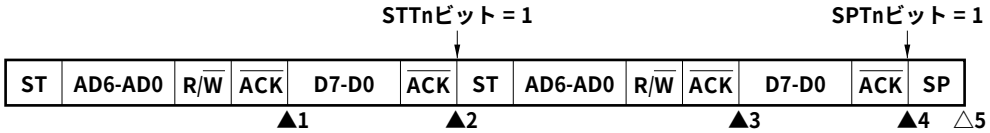
備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000XX00B

▲3：IICSnレジスタ = 1000X110B

▲4：IICSnレジスタ = 1000XX00B

△5：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

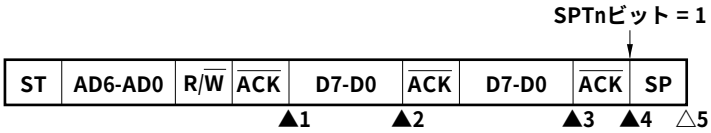
△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

（3）Start〜Code〜Data〜Data〜Stop（拡張コード送信）

① WTIMnビット = 0のとき



▲1：IICSnレジスタ = 1010X110B

▲2：IICSnレジスタ = 1010X000B

▲3：IICSnレジスタ = 1010X000B（WTIMnビット = 1）

▲4：IICSnレジスタ = 1010XX00B

△5：IICSnレジスタ = 00000001B

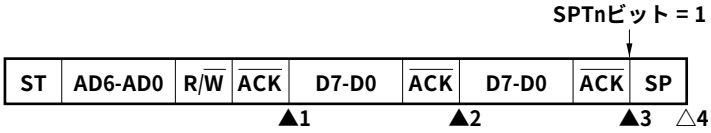
備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 1010X110B

▲2：IICSnレジスタ = 1010X100B

▲3：IICSnレジスタ = 1010XX00B

△4：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

17. 7. 2　スレーブ動作（スレーブ・アドレス・データ受信時（アドレス一致））

（1）Start〜Address〜Data〜Data〜Stop

① IICCn.WTIMnビット = 0のとき

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2		▲3	△4

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 0001X000B

△4：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　IICCn.SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1		▲2	▲3	△4

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X100B

▲3：IICSnレジスタ = 0001XX00B

△4：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

(2) Start〜Address〜Data〜Start〜Address〜Data〜Stop

① WTIMnビット = 0のとき（リスタート後，アドレス一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2					▲3	▲4	△5

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 0001X110B

▲4：IICSnレジスタ = 0001X000B

△5：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき（リスタート後，アドレス一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1			▲2				▲3	▲4	△5

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001XX00B

▲3：IICSnレジスタ = 0001X110B

▲4：IICSnレジスタ = 0001XX00B

△5：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

(3) Start〜Address〜Data〜Start〜Code〜Data〜Stop

① WTIMnビット = 0のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2				▲3		▲4	△5

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 0010X010B

▲4：IICSnレジスタ = 0010X000B

△5：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1			▲2			▲3	▲4	▲5	△6

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001XX00B

▲3：IICSnレジスタ = 0010X010B

▲4：IICSnレジスタ = 0010X110B

▲5：IICSnレジスタ = 0010XX00B

△6：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

（4）Start〜Address〜Data〜Start〜Address〜Data〜Stop

① WTIMnビット = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2					▲3		△4

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 00000X10B

△4：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1			▲2				▲3		△4

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001XX00B

▲3：IICSnレジスタ = 00000X10B

△4：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

17. 7. 3　スレーブ動作（拡張コード受信時）

（1）Start〜Code〜Data〜Data〜Stop

① IICCn.WTIMnビット = 0のとき

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2		▲3	△4

▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X000B

▲3：IICSnレジスタ = 0010X000B

△4：IICSnレジスタ = 00000001B

備考1.　▲　必ず発生

△　IICCn.SPIEnビット = 1のときだけ発生

X　任意

2.　n = 0-2

② WTIMnビット = 1のとき

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1	▲2		▲3	▲4	△5

▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X110B

▲3：IICSnレジスタ = 0010X100B

▲4：IICSnレジスタ = 0010XX00B

△5：IICSnレジスタ = 00000001B

備考1.　▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2.　n = 0-2

(2) Start〜Code〜Data〜Start〜Address〜Data〜Stop

① WTIMnビット = 0のとき（リスタート後，アドレス一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2					▲3	▲4	△5

▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X000B

▲3：IICSnレジスタ = 0001X110B

▲4：IICSnレジスタ = 0001X000B

△5：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき（リスタート後，アドレス一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1	▲2		▲3				▲4	▲5	△6

▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X110B

▲3：IICSnレジスタ = 0010XX00B

▲4：IICSnレジスタ = 0001X110B

▲5：IICSnレジスタ = 0001XX00B

△6：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

(3) Start〜Code〜Data〜Start〜Code〜Data〜Stop

① WTIMnビット = 0のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2				▲3		▲4	△5

▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X000B

▲3：IICSnレジスタ = 0010X010B

▲4：IICSnレジスタ = 0010X000B

△5：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1	▲2		▲3			▲4	▲5	▲6	△7

▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X110B

▲3：IICSnレジスタ = 0010XX00B

▲4：IICSnレジスタ = 0010X010B

▲5：IICSnレジスタ = 0010X110B

▲6：IICSnレジスタ = 0010XX00B

△7：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

（4）Start〜Code〜Data〜Start〜Address〜Data〜Stop

① WTIMnビット = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2					▲3		△4

▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X000B

▲3：IICSnレジスタ = 00000X10B

△4：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1	▲2		▲3				▲4		△5

▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X110B

▲3：IICSnレジスタ = 0010XX00B

▲4：IICSnレジスタ = 00000X10B

△5：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

17. 7. 4　通信不参加の動作

（1）Start〜Code〜Data〜Data〜Stop

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP

△1

△1：IICSnレジスタ = 00000001B

備考1.　△　SPIEnビット = 1のときだけ発生

2.　n = 0-2

17. 7. 5　アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

① IICCn.WTIMnビット = 0のとき

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1	▲2		▲3	△4

▲1：IICSnレジスタ = 0101X110B（例　割り込み処理中にIICSn.ALDnビットをリード）

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 0001X000B

△4：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　IICCn.SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1		▲2	▲3	△4

▲1：IICSnレジスタ = 0101X110B（例　割り込み処理中にALDnビットをリード）

▲2：IICSnレジスタ = 0001X100B

▲3：IICSnレジスタ = 0001XX00B

△4：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

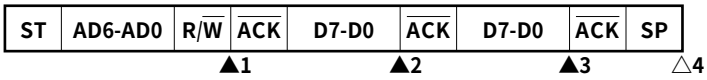
△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

(2) 拡張コード送信中にアービトレーションに負けた場合

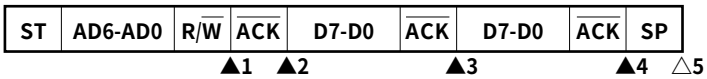
① WTIMnビット = 0のとき



▲1：IICSnレジスタ = 0110X010B（例　割り込み処理中にALDnビットをリード）
▲2：IICSnレジスタ = 0010X000B
▲3：IICSnレジスタ = 0010X000B
△4：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生
△　SPIEnビット = 1のときだけ発生
X　任意
2. n = 0-2

② WTIMnビット = 1のとき

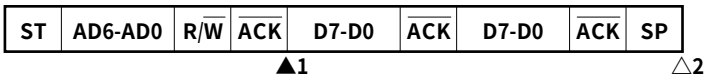


▲1：IICSnレジスタ = 0110X010B（例　割り込み処理中にALDnビットをリード）
▲2：IICSnレジスタ = 0010X110B
▲3：IICSnレジスタ = 0010X100B
▲4：IICSnレジスタ = 0010XX00B
△5：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生
△　SPIEnビット = 1のときだけ発生
X　任意
2. n = 0-2

17.7.6　アービトレーション負けの動作（アービトレーション負けのあと，不参加）

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合



▲1：IICSnレジスタ = 01000110B（例　割り込み処理中にIICSn.ALDnビットをリード）

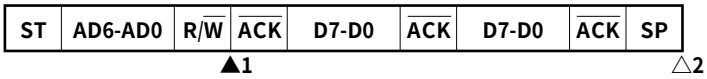
△2：IICSnレジスタ = 00000001B

備考1.　▲　必ず発生

△　IICCn.SPIEnビット = 1のときだけ発生

2.　n = 0-2

(2) 拡張コード送信中にアービトレーションに負けた場合



▲1：IICSnレジスタ = 0110X010B（例　割り込み処理中にALDnビットをリード）

ソフトウエアでIICCn.LRELnビット = 1を設定

△2：IICSnレジスタ = 00000001B

備考1.　▲　必ず発生

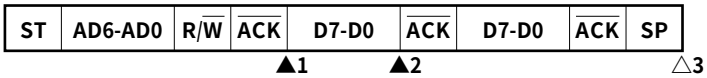
△　SPIEnビット = 1のときだけ発生

X　任意

2.　n = 0-2

(3) データ転送時にアービトレーションに負けた場合

① IICCn.WTIMnビット = 0のとき



▲1：IICSnレジスタ = 10001110B

▲2：IICSnレジスタ = 01000000B（例　割り込み処理中にALDnビットをリード）

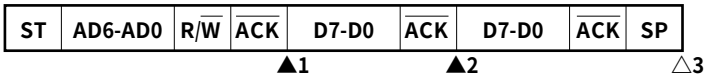
△3：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

2. n = 0-2

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 10001110B

▲2：IICSnレジスタ = 01000100B（例　割り込み処理中にALDnビットをリード）

△3：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

2. n = 0-2

(4) データ転送時にリスタート・コンディションで負けた場合

①　拡張コード以外（例　アドレス不一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-Dn	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1					▲2		△3

▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 01000110B（例　割り込み処理中にALDnビットをリード）

△3：IICSnレジスタ = 00000001B

備考1.　▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

Dn = D6-D0

2.　n = 0-2

②　拡張コード

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-Dn	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1				▲2			△3

▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 0110X010B（例　割り込み処理中にALDnビットをリード）

ソフトウエアでIICCn.LRELnビット = 1を設定

△3：IICSnレジスタ = 00000001B

備考1.　▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

Dn = D6-D0

2.　n = 0-2

(5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-Dn	SP
			▲1		△2

▲1：IICSnレジスタ = 1000X110B

△2：IICSnレジスタ = 01000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

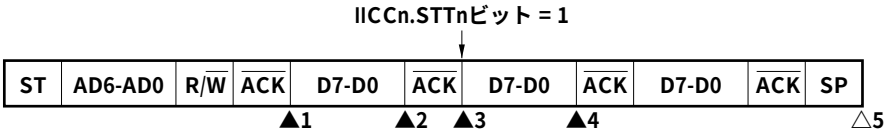
X　任意

2. Dn = D6-D0

n = 0-2

(6) リスタート・コンディションを発生しようとしたが，SDA0n端子がロウ・レベルでアービトレーションに負けた場合

① WTIMnビット = 0のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X000B（WTIMnビット = 1）

▲3：IICSnレジスタ = 1000XX00B（WTIMnビット = 0）

▲4：IICSnレジスタ = 01000000B（例　割り込み処理中にALDnビットをリード）

△5：IICSnレジスタ = 00000001B

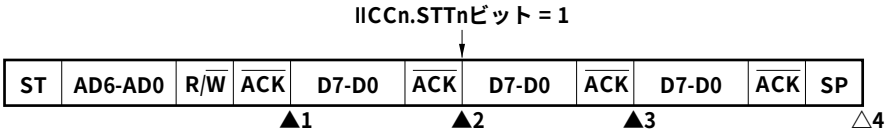
備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000XX00B

▲3：IICSnレジスタ = 01000100B（例　割り込み処理中にALDnビットをリード）

△4：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

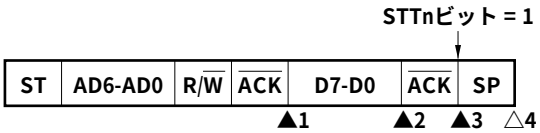
△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

(7) リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

① WTIMnビット = 0のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X000B（WTIMnビット = 1）

▲3：IICSnレジスタ = 1000XX00B

△4：IICSnレジスタ = 01000001B

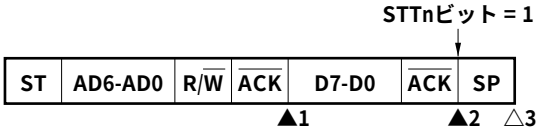
備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000XX00B

△3：IICSnレジスタ = 01000001B

備考1. ▲　必ず発生

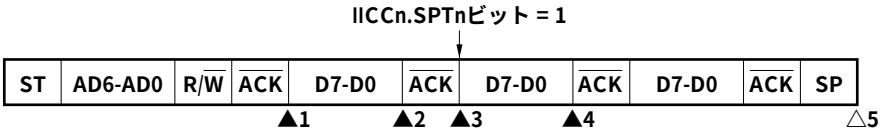
△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

（8）ストップ・コンディションを発生しようとしたが，SDA0n端子がロウ・レベルでアービトレーションに負けた場合

① WTIMnビット = 0のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X000B（WTIMnビット = 1）

▲3：IICSnレジスタ = 1000XX00B（WTIMnビット = 0）

▲4：IICSnレジスタ = 01000000B（例　割り込み処理中にALDnビットをリード）

△5：IICSnレジスタ = 00000001B

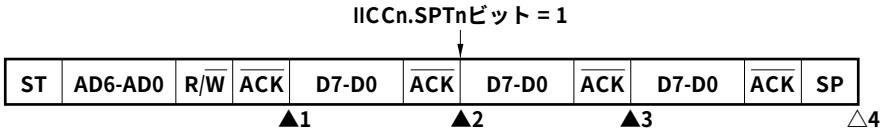
備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000XX00B

▲3：IICSnレジスタ = 01000000B（例　割り込み処理中にALDnビットをリード）

△4：IICSnレジスタ = 00000001B

備考1. ▲　必ず発生

△　SPIEnビット = 1のときだけ発生

X　任意

2. n = 0-2

17. 8　割り込み要求信号（INTIICn）発生タイミングおよびウエイト制御

IICCn.WTIMnビットの設定で，次に示すタイミングでINTIICn信号が発生して，ウエイト制御を行います（n = 0-2）。

表17－3　INTIICn信号発生タイミングおよびウエイト制御

WTIMnビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2	9注2	9注2	9	9	9

注1.　スレーブのINTIICn信号およびウエイトは，SVAnレジスタに設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。
また，このとき，IICCn.ACKEnビットの設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICn信号を発生します。
ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIICn信号を発生しますが，ウエイトは発生しません。

2.　SVAnレジスタと受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICn信号もウエイトも発生しません。

備考1.　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，ウエイト制御ともにシリアル・クロックの立ち下がりに同期します。

2.　n = 0-2

(1) アドレス送受信時

・スレーブ動作時：WTIMnビットにかかわらず，上記の注1，注2の条件により，割り込みおよびウエイト・タイミングが決まります。

・マスタ動作時　：WTIMnビットにかかわらず，割り込みおよびウエイト・タイミングは，9クロック目の立ち下がりで発生します。

(2) データ受信時

マスタ／スレーブ動作時：WTIMnビットにより，割り込みおよびウエイト・タイミングが決まります。

(3) データ送信時

マスタ／スレーブ動作時：WTIMnビットにより，割り込みおよびウエイト･タイミングが決まります。

(4) ウエイト解除方法

ウエイトの解除方法には次の4つがあります。

- IICCn.WRELnビット = 1
- IICnレジスタのライト動作
- スタート・コンディションのセット（IICCn.STTnビット = 1）注
- ストップ・コンディションのセット（IICCn.SPTnビット = 1）注

注　マスタのみ

8クロック・ウエイト選択（WTIMnビット = 0）時は，ウエイト解除前にアクノリッジの生成の有無を決定する必要があります。

備考　n = 0-2

(5) ストップ・コンディション検出

ストップ・コンディションを検出すると，INTIICn信号を発生します。

備考　n = 0-2

17. 9　アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は，ハードウエアで自動的に行えます。SVAnレジスタに自局アドレスを設定した場合，マスタから送信されたスレーブ・アドレスとSVAnレジスタに設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICn信号が発生します（n = 0-2）。

17. 10　エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス端子（SDA0n）の状態が，送信しているデバイスのIICnレジスタにも取り込まれるため，送信開始前と送信終了後のIICnレジスタのデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します（n = 0-2）。

17. 11　拡張コード

（1）受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として，拡張コード受信フラグ（IICSn.EXCnビット）をセットし，8クロック目の立ち下がりで割り込み要求信号（INTIICn）を発生します（n = 0-2）。
SVAnレジスタに格納された自局アドレスは影響しません。

（2）10ビット・アドレス転送で，SVAnレジスタに“11110xx0”を設定し，マスタから“11110xx0”が転送されてきた場合は，次のようになります。ただしINTIICn信号は，8クロック目の立ち下がりで発生します（n = 0-2）。

上位4ビット・データの一致：EXCnビット = 1
7ビット・データの一致　　：IICSn.COInビット = 1

（3）割り込み要求信号発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアが行います。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICCn.LRELnビット = 1に設定し，次の通信待機状態となります。

表17－4　拡張コードのビットの定義

スレーブ・アドレス	R/$\overline{W}$ビット	説　明
0000　000	0	ジェネラル・コール・アドレス
0000　000	1	スタート・バイト
0000　001	×	CBUSアドレス
0000　010	×	異なるバス・フォーマット用に予約されているアドレス
1111　0xx	×	10ビット・スレーブ・アドレス指定

17. 12　アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICSn.STDnビット = 1になる前にIICCn.STTnビット = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます（n = 0-2）。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，アービトレーション負けフラグ（IICSn.ALDnビット）をセット（1）し，SCL0n, SDA0nラインともハイ・インピーダンス状態にしてバスを解放します（n = 0-2）。

アービトレーションに負けたことは，次の割り込み要求信号（INTIICn）発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウエアでALDnビット = 1になっていることで検出します（n = 0-2）。

割り込み発生タイミングについては，17. 7　I²C割り込み要求信号（INTIICn）を参照してください。

図17－14　アービトレーション・タイミング例

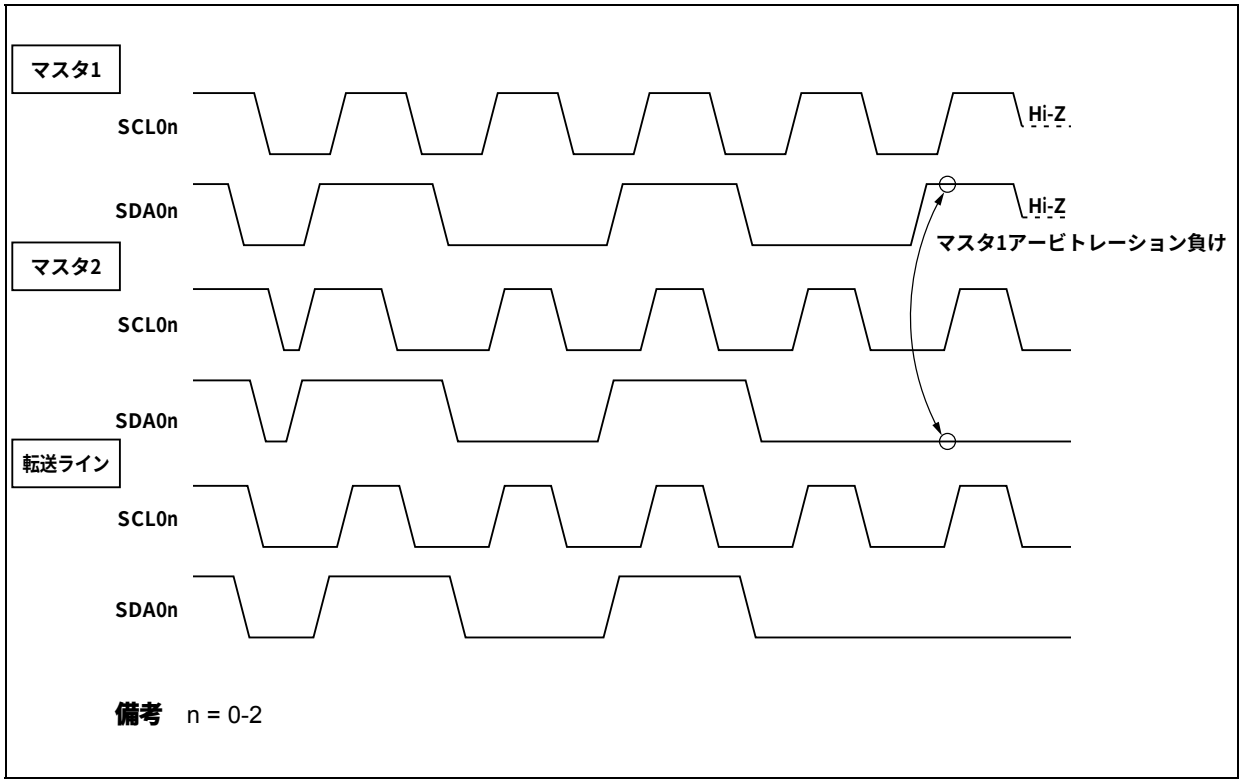


表17－5　アービトレーション発生時の状態と割り込み要求信号発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時（IICCn.SPIEnビット = 1時）注2
リスタート・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIEnビット = 1時）注2
ストップ・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCL0n端子がロウ・レベル	

注1.　IICCn.WTIMnビット = 1の場合には，9クロック目の立ち下がりタイミングでINTIICn信号を発生します。WTIMnビット = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングでINTIICn信号を発生します（n = 0-2）。

2.　アービトレーションが起こる可能性がある場合，マスタ動作ではSPIEnビット = 1にしてください（n = 0-2）。

17. 13　ウエイク・アップ機能

I²Cバスのスレーブ機能で，自局アドレスまたは拡張コードを受信したときに割り込み要求信号（INTIICn）が発生する機能です。アドレスが一致しないときは不要なINTIICn信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると，ウエイク・アップ機能に関係なく，IICCn.SPIEnビットの設定によって，INTIICn信号の発生許可／禁止が決定します（n = 0-2）。

17. 14　通信予約

17. 14. 1　通信予約機能許可の場合（IICFn.IICRSVnビット = 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCn.LRELnビット = 1でバスを解放した）とき（n = 0-2）

バスに不参加の状態で，IICCn.STTnビットをセット（1）すると，バスが解放されたあと（ストップ・コンディション検出後）に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

バスの解放を検出（ストップ・コンディション検出）すると，IICnレジスタ・ライト操作により，マスタとしてのアドレス転送を開始します。このとき，IICCn.SPIEnビットをセット（1）しておいてください（n = 0-2）。

STTnビットをセット（1）したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます（n = 0-2）。

バスが解放されているとき　‥‥‥‥‥‥‥‥　スタート・コンディション生成
バスが解放されていないとき（待機状態）　‥　通信予約

通信予約として動作するのかどうかを確認するには，STTnビットをセット（1）し，ウエイト時間をとったあと，IICSn.MSTSnビットを確認することで行います（n = 0-2）。

ウエイト時間は，表17－6に示す時間をソフトウエアにより確保してください。なお，ウエイト時間はIICCLn.SMCn, CLn1, CLn0ビットと，IICXn.CLXnビットにより設定できます（n = 0-2）。

表17－6　ウエイト時間

選択クロック	CLXn	SMCn	CLn1	CLn0	ウエイト時間
fxx（OCKSm = 18H設定時）	0	0	0	0	26クロック
fxx/2（OCKSm = 10H設定時）	0	0	0	0	52クロック
fxx/3（OCKSm = 11H設定時）	0	0	0	0	78クロック
fxx/4（OCKSm = 12H設定時）	0	0	0	0	104クロック
fxx/5（OCKSm = 13H設定時）	0	0	0	0	130クロック
fxx（OCKSm = 18H設定時）	0	0	0	1	47クロック
fxx/2（OCKSm = 10H設定時）	0	0	0	1	94クロック
fxx/3（OCKSm = 11H設定時）	0	0	0	1	141クロック
fxx/4（OCKSm = 12H設定時）	0	0	0	1	188クロック
fxx/5（OCKSm = 13H設定時）	0	0	0	1	235クロック
fxx	0	0	1	0	47クロック
fxx（OCKSm = 18H設定時）	0	1	0	×	16クロック
fxx/2（OCKSm = 10H設定時）	0	1	0	×	32クロック
fxx/3（OCKSm = 11H設定時）	0	1	0	×	48クロック
fxx/4（OCKSm = 12H設定時）	0	1	0	×	64クロック
fxx/5（OCKSm = 13H設定時）	0	1	0	×	80クロック
fxx	0	1	1	0	16クロック
fxx（OCKSm = 18H設定時）	1	1	0	×	10クロック
fxx/2（OCKSm = 10H設定時）	1	1	0	×	20クロック
fxx/3（OCKSm = 11H設定時）	1	1	0	×	30クロック
fxx/4（OCKSm = 12H設定時）	1	1	0	×	40クロック
fxx/5（OCKSm = 13H設定時）	1	1	0	×	50クロック
fxx	1	1	1	0	10クロック

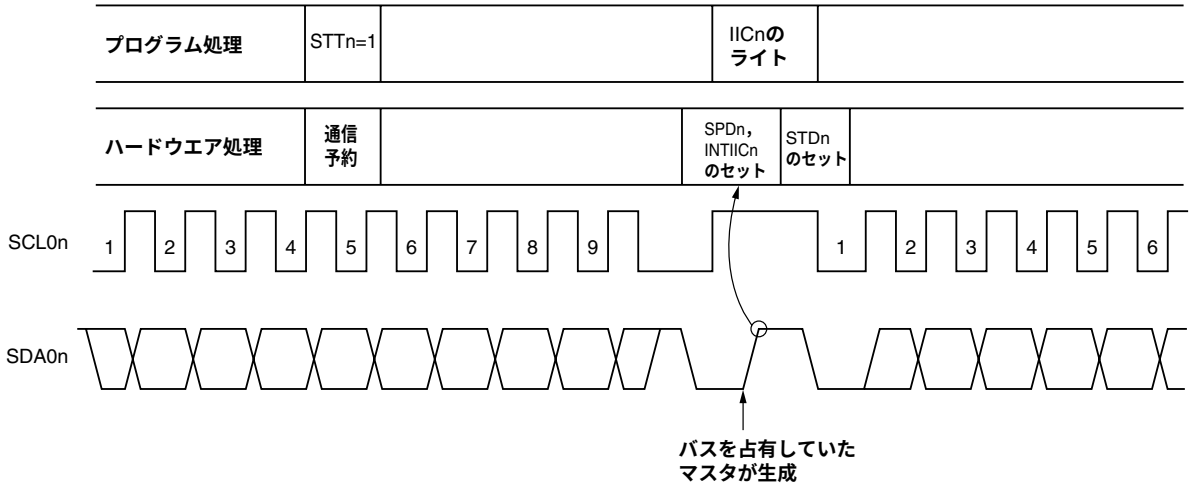
備考1.　n = 0-2

m = 0, 1

2.　× = Don’t care

通信予約のタイミングを次に示します。

図17－15　通信予約のタイミング



備考　n = 0-2

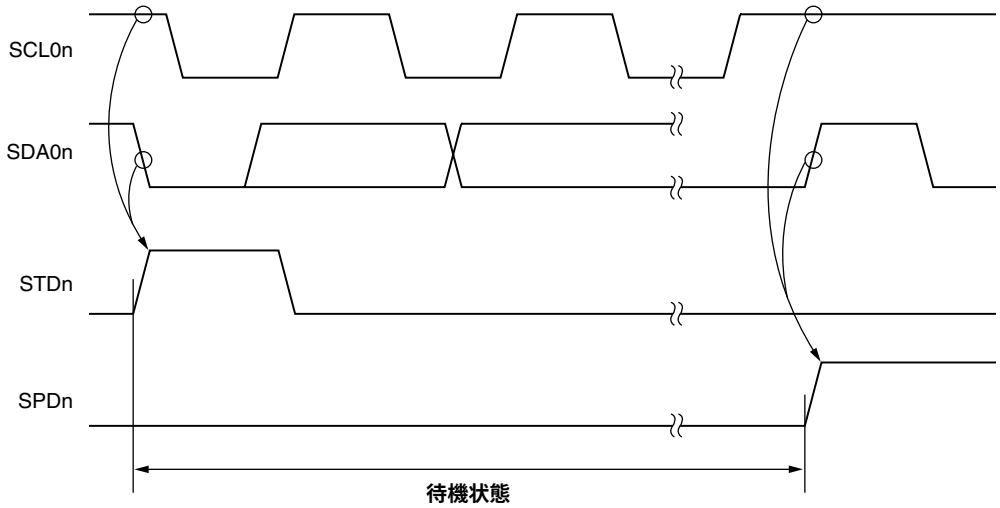
STTn ：IICCnレジスタのビット

STDn ：IICSnレジスタのビット

SPDn ：　　〃　　のビット

通信予約は次のタイミングで受け付けられます。IICSn.STDnビット = 1になったあと，ストップ・コンディション検出までにIICCn.STTnビット = 1で通信予約をします（n = 0-2）。

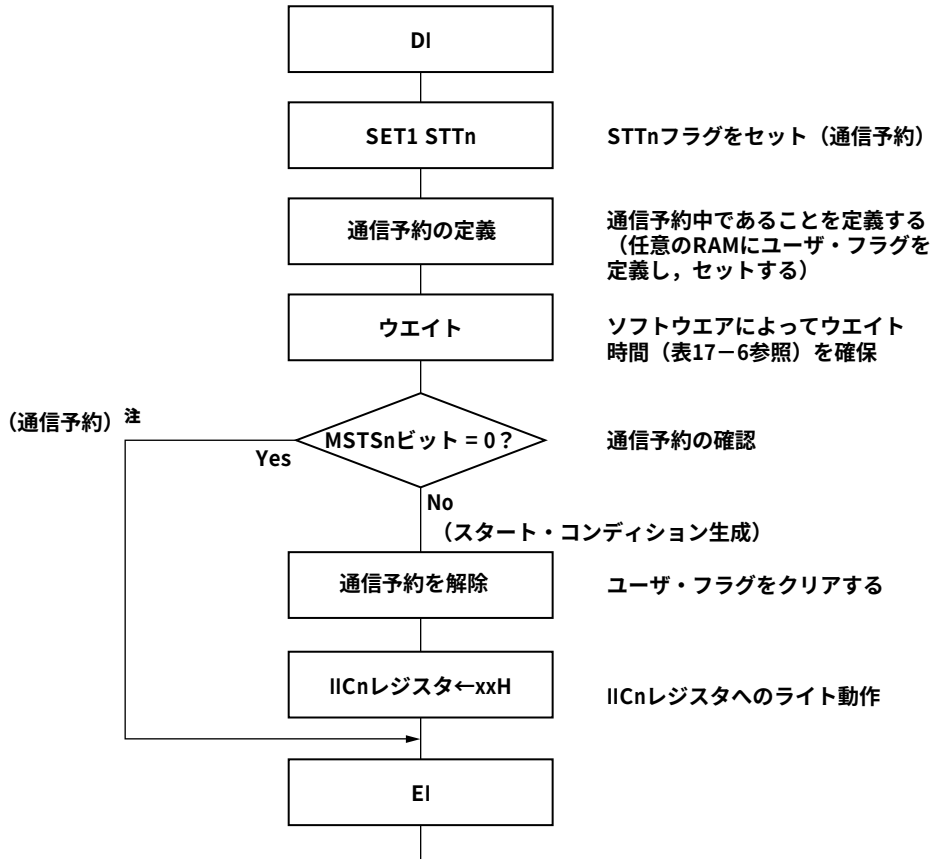
図17－16　通信予約受け付けタイミング



備考　n = 0-2

次に通信予約の手順を示します。

図17－17　通信予約の手順



注　通信予約動作時は，ストップ・コンディション割り込みでIICnレジスタへの書き込みを実行します。

備考　n = 0-2

17. 14. 2　通信予約機能禁止の場合（IICFn.IICRSVnビット = 1）

バスが通信中で，この通信に不参加の状態でIICCn.STTnビットをセットすると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCn.LRELnビット = 1でバスを解放した）とき（n = 0-2）。

スタート・コンディションが生成されたか拒絶されたを確認するには，IICFn.STCFnフラグを確認することにより行います。STTnビット = 1としてからSTCFnフラグがセットされるまで表17－7に示す時間がかかりますので，ソフトウエアによりこの時間を確保してください。

表17－7　ウエイト時間

OCKSENn	OCKSn1	OCKSn0	CLn1	CLn0	ウエイト時間
1	0	0	0	X	6クロック
1	0	1	0	X	9クロック
1	1	0	0	X	12クロック
1	1	1	0	X	15クロック
0	0	0	1	0	3クロック

備考1.　X：Don’t care

2.　n = 0-2

17. 15　注意事項

(1) IICFn.STCENnビット = 0の場合

I²C0n動作許可直後，実際のバス状態にかかわらず通信状態（IICFn.IICBSYnビット = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

① IICCLnレジスタの設定
② IICCn.IICEnビットのセット
③ IICCn.SPTnビットのセット

(2) IICFn.STCENnビット = 1の場合

I²C0n動作許可直後，実際のバス状態にかかわらず解放状態（IICBSYnビット = 0）と認識しますので，1回目のスタート・コンディションを生成（IICCn.STTnビット = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) ほかのデバイス同士の通信中にV850ES/SG2のIICCn.IICEnビットをセット（1）した場合，通信ラインの状態によってスタート・コンディションを検出することがあります。IICCn.IICEnビットのセット（1）は，必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

(4) 動作許可（IICCn.IICEnビット = 1）する前にIICCLn, IICXn, OCKSmレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は，一度IICCn.IICEnビットをクリア（0）してください。

(5) IICCn.STTn, SPTnビットをセット（1）したあと，クリア（0）される前の再セットは禁止します。

(6) 送信予約をした場合には，IICCn.SPIEnビットをセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI²Cnに通信データをライトすることによってウエイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでIICSn.MSTSnビットを検出する場合には，SPIEnビットをセット（1）する必要はありません。

備考　n = 0-2
　　m = 0, 1

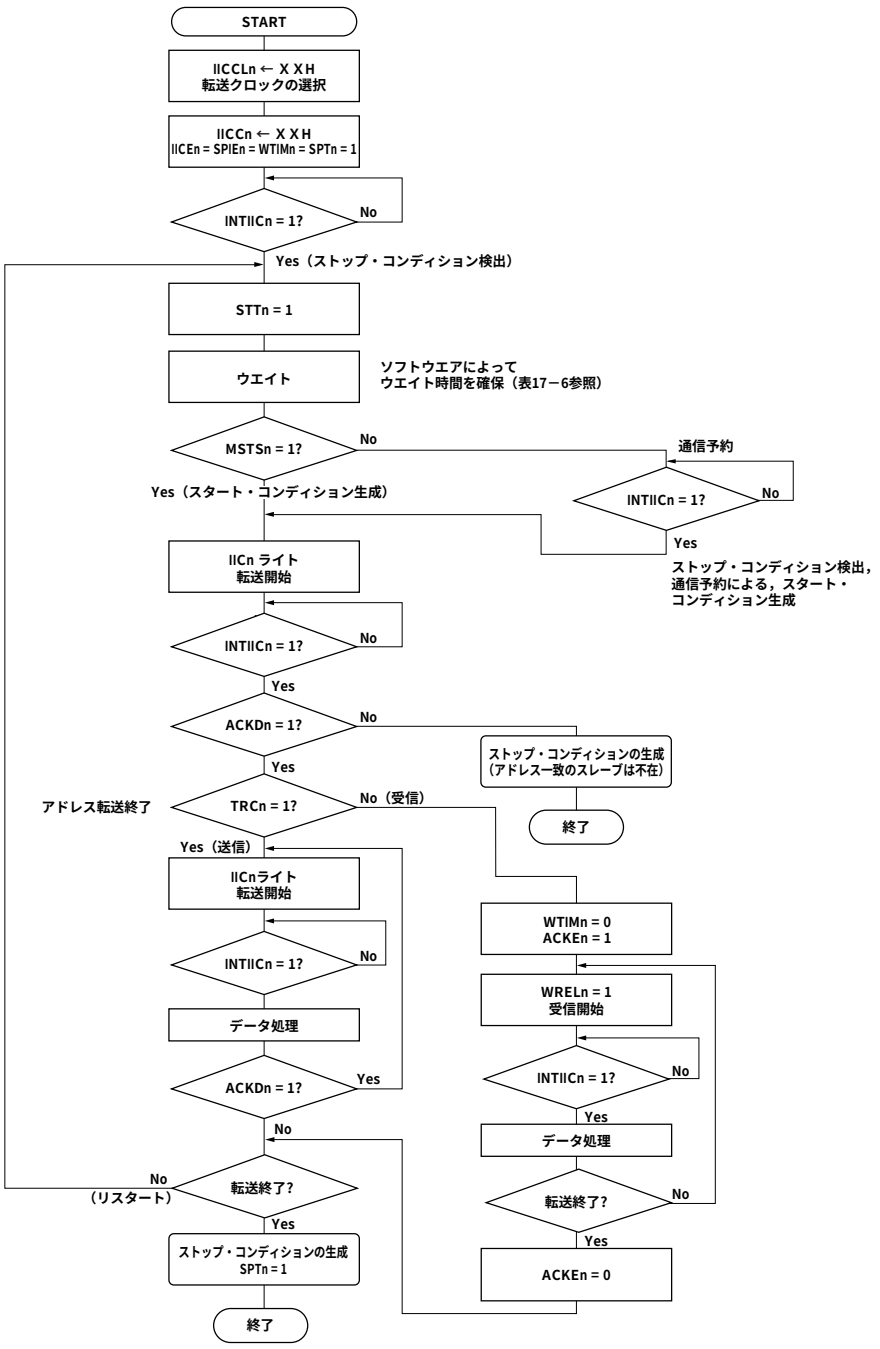
17. 16　通信動作

備考　表4－15　**ポート端子を兼用端子として使用する場合を参照して，通信動作を行う前に**P38, P39, P40, P41, P90, P91**端子をI²Cモード（**SDA0n, SCL0n**）に設定してください（**n = 0-2**）。**

17. 16. 1　マスタ動作1

通信予約機能許可（IICFn.IICRSVn**ビット** = 0**），およびストップ・コンディション検出後スタート時（**IICFn.STCENn**ビット** = 0**）におけるマスタ通信手順の例を次に示します。**

図17－18　**マスタ動作手順（**1**）**

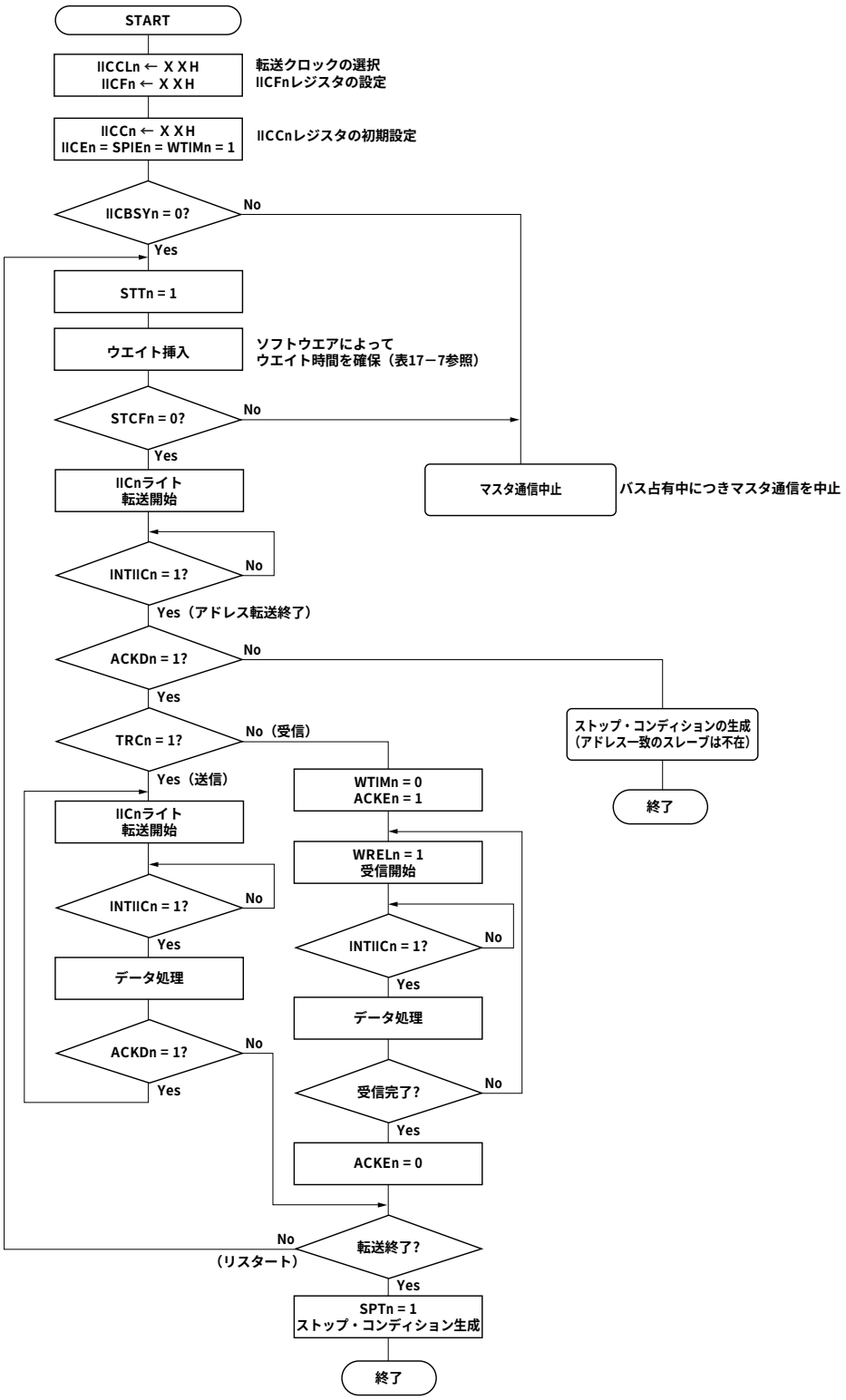


備考　n = 0-2

17. 16. 2　マスタ動作2

通信予約機能禁止（IICRSVnビット = 1）およびストップ・コンディション未検出によるスタート（STCENnビット = 1）時における通信手順の例を次に示します。

図17－19　マスタ動作手順（2）



備考　n = 0-2

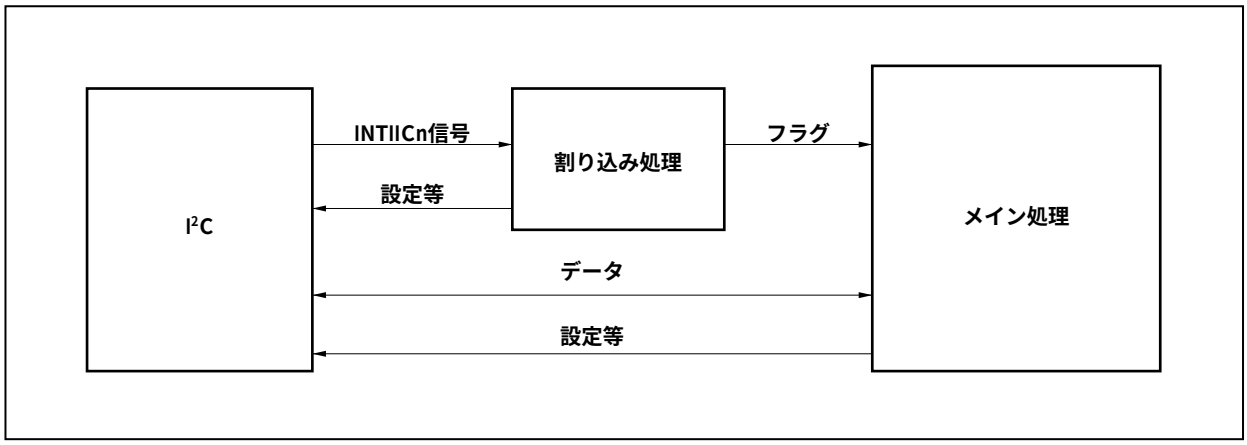
17. 16. 3　スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIICn割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIICn割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。

図17－20　スレーブ動作時のソフトウエア概要



このため，3つのフラグを準備し，これをINTIICn信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード　：データ通信を行っていない状態

通信モード　　：データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIICn割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータについては，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで，IICSn.TRCnビットの値と同じです。

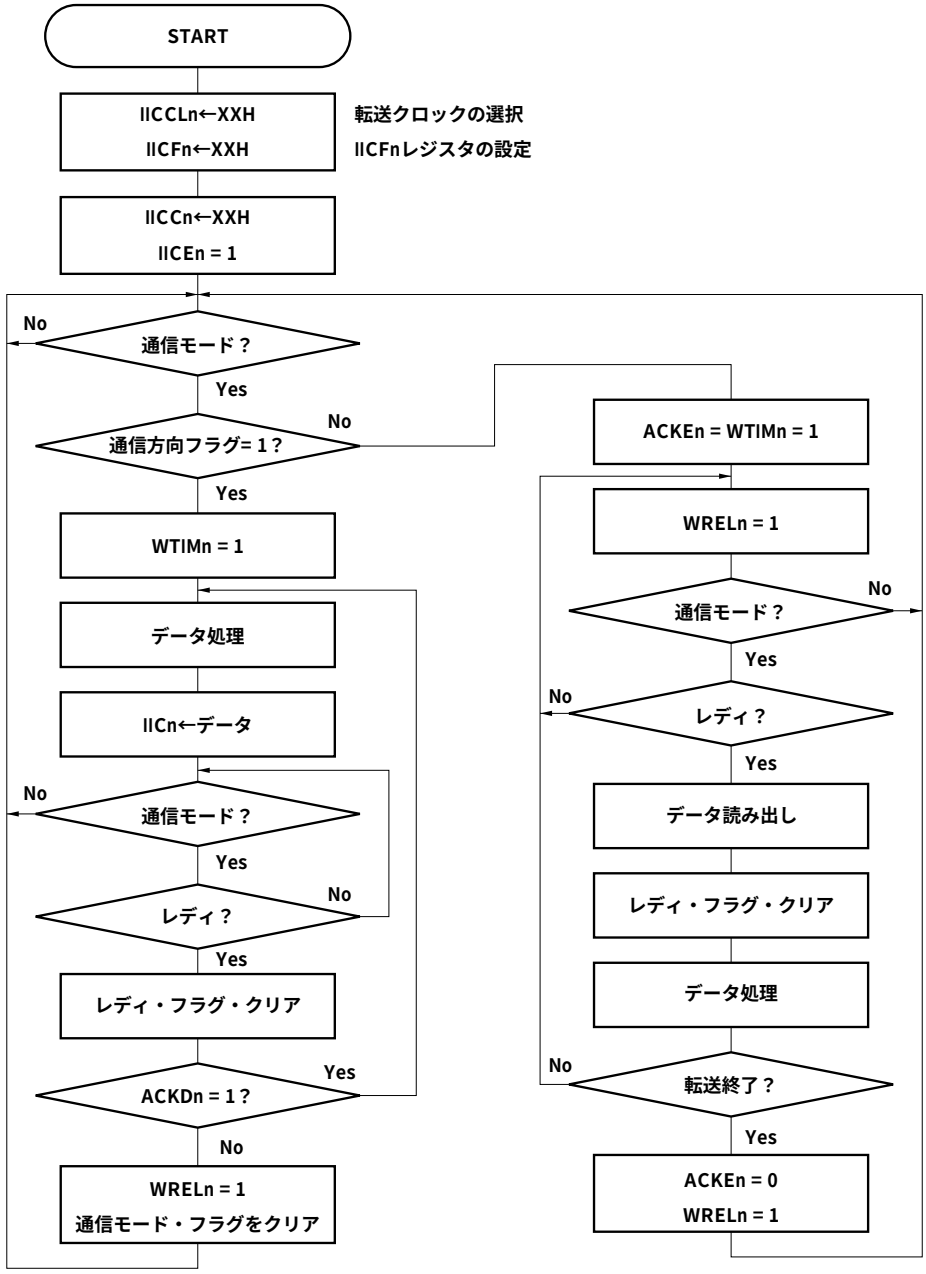
次にスレーブ動作でのメイン処理部の動作を示します。

I²C0nを起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を完了します。

受信では必要な数のデータを受信し，転送完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを発行します。これにより，通信状態から抜け出します。

図17－21　スレーブ動作手順（1）



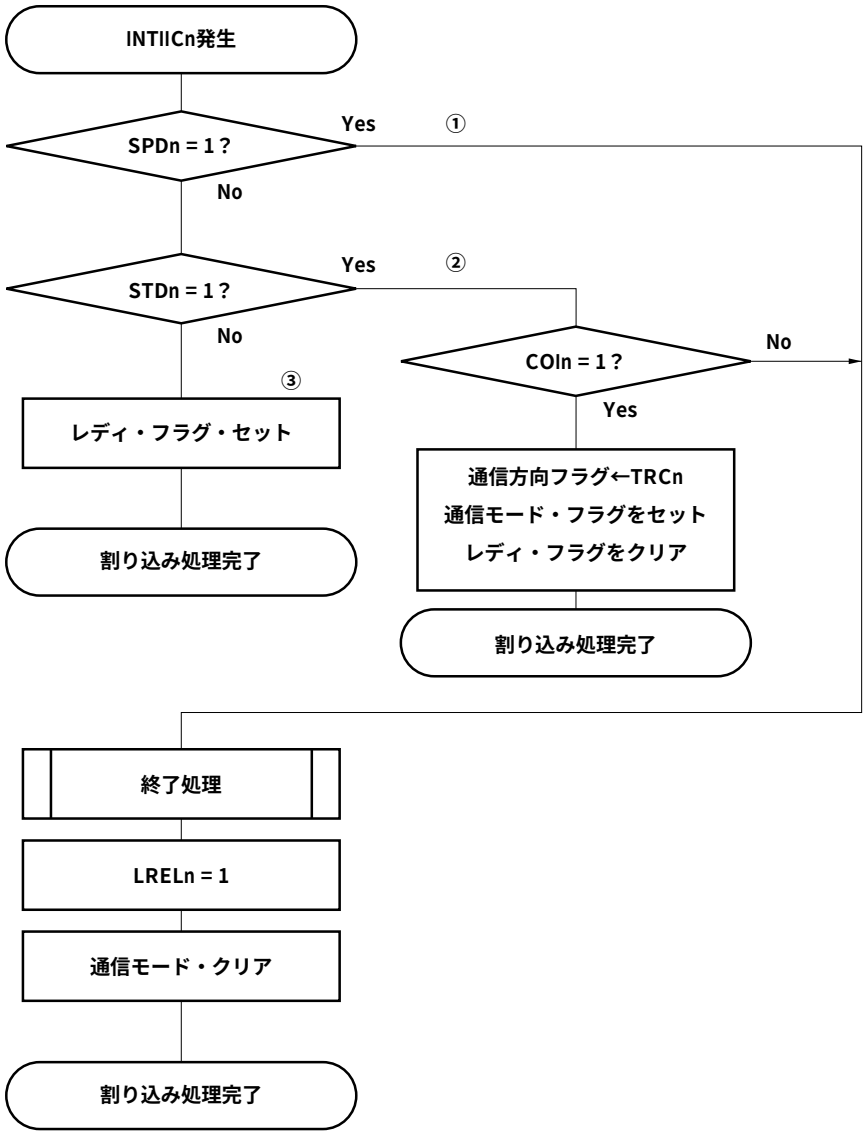
備考　n = 0-2

スレーブのINTIICn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICn割り込みではステータスを確認して，次のように行います。

① ストップ・コンディションの場合，通信を終了します。
② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。
③ データ送受信の場合，レディ・フラグをセットするだけで，I²C0nバスはウエイト状態のまま，割り込みから戻ります。

備考　上述の①～③は，図17－22　スレーブ動作手順（2）の①～③と対応しています。

図17－22　スレーブ動作手順（2）



備考　n = 0-2

17. 17　データ通信のタイミング

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すIICSn.TRCnビットを送信し，スレーブとのシリアル通信を開始します。

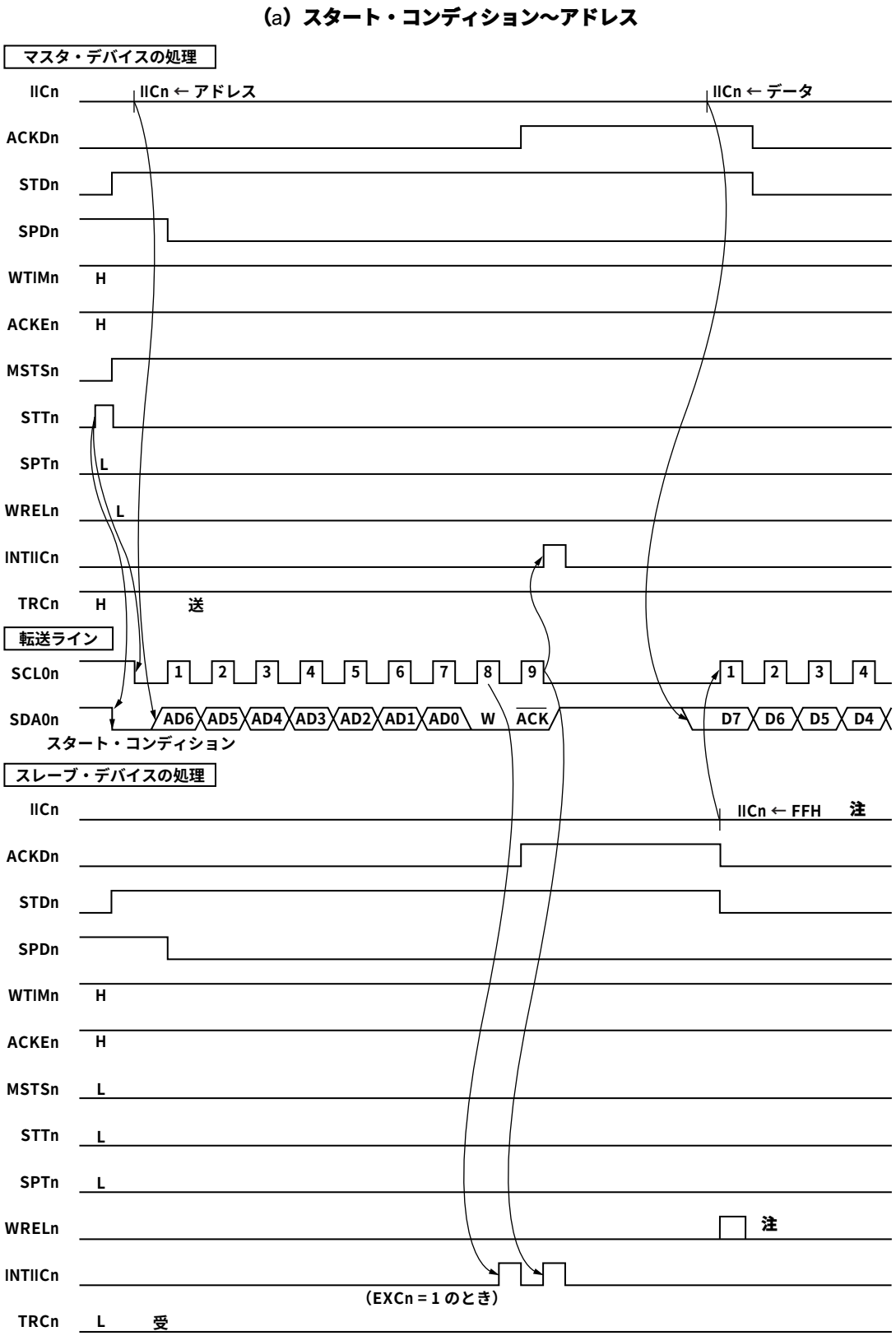
シリアル・クロック端子（SCL0n）の立ち下がりに同期してIICnレジスタのシフト動作が行われ，送信データがSOラッチに転送され，SDA0n端子からMSBファーストで出力されます。

また，SCL0n端子の立ち上がりでSDA0n端子に入力されたデータがIICnレジスタに取り込まれます。

データ通信のタイミングを次に示します。

備考　n = 0-2

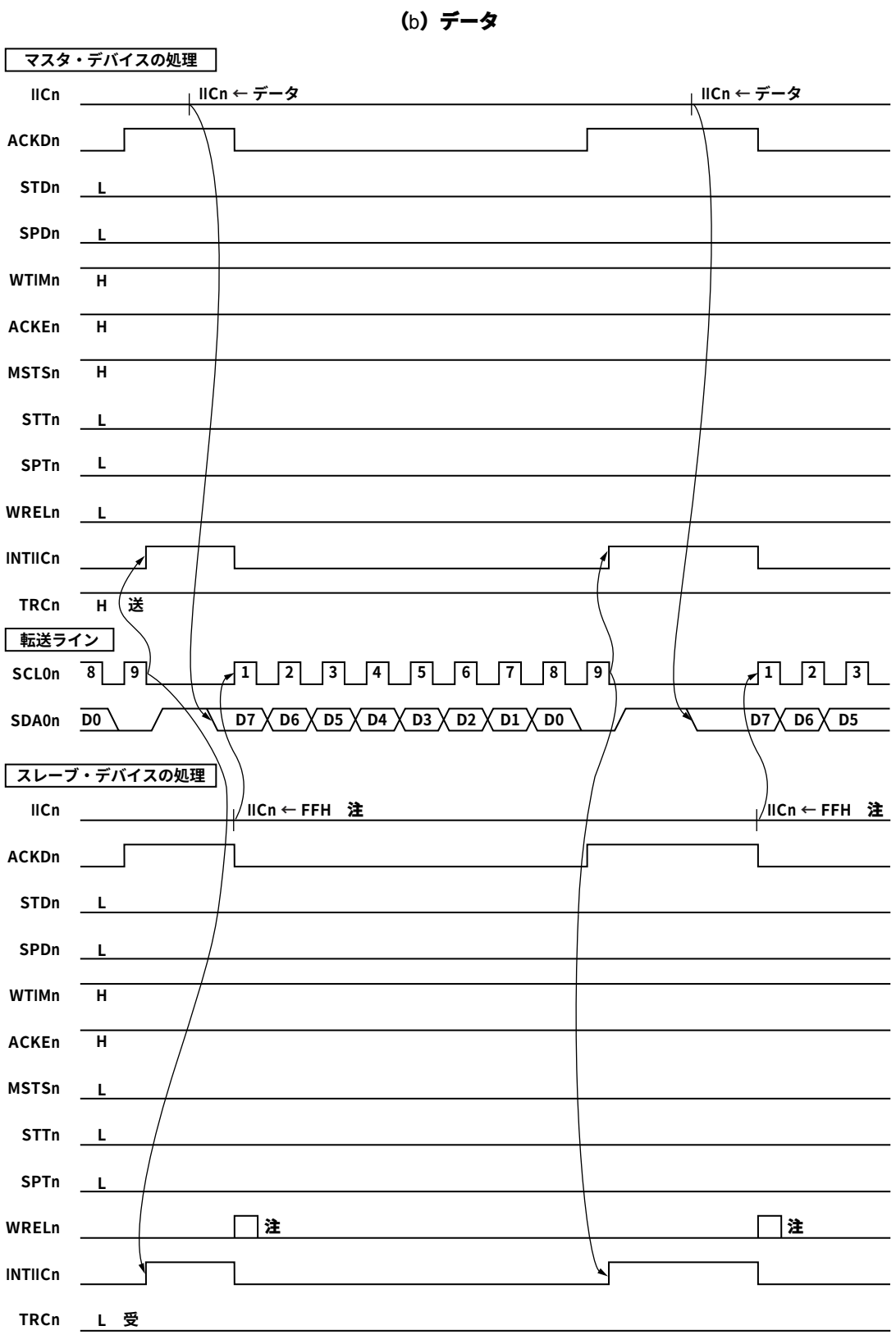
図17－23　マスタ→スレーブ通信例（マスタ，スレーブとも9クロック・ウエイト選択時）（1/3）



注　スレーブ・ウエイト解除は，IICn←FFHまたはWRELnのセットのどちらかで行ってください。

備考　n = 0-2

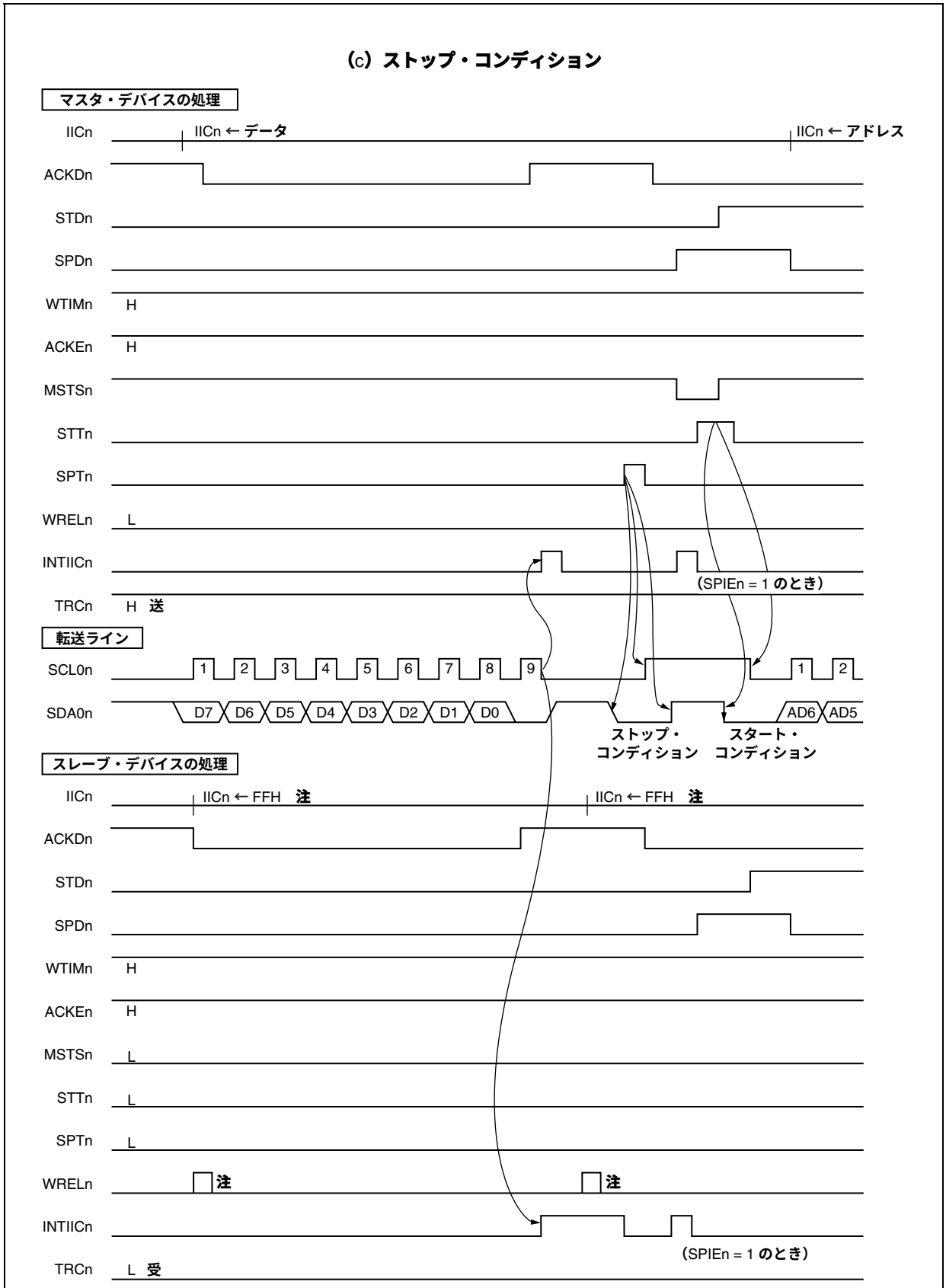
図17－23　マスタ→スレーブ通信例（マスタ，スレーブとも9クロック・ウエイト選択時）（2/3）



注　スレーブ・ウエイト解除は，IICn←FFHまたはWRELnのセットのどちらかで行ってください。

備考　n = 0-2

図17－23　マスタ→スレーブ通信例（マスタ，スレーブとも9クロック・ウエイト選択時）（3/3）

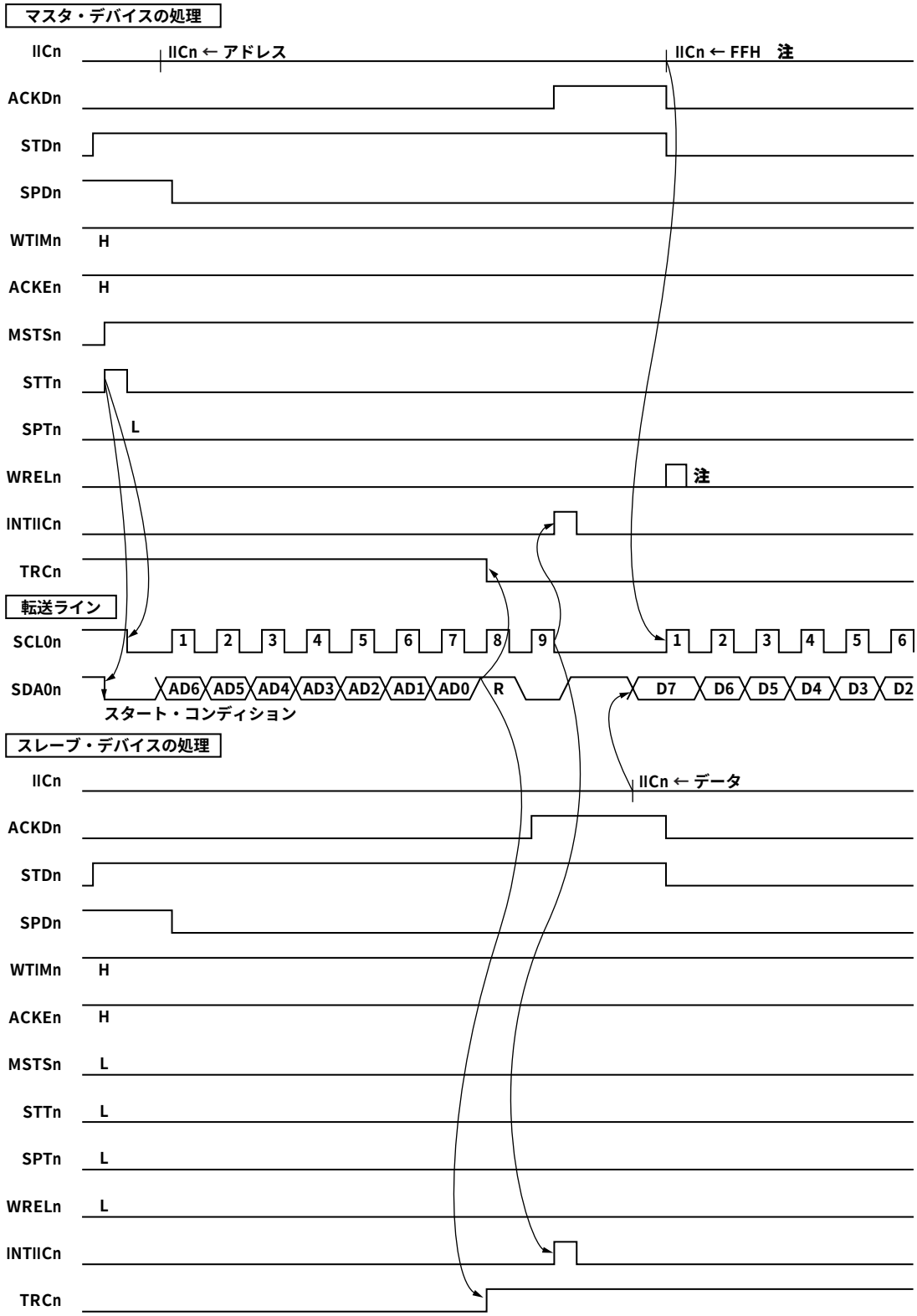


注　スレーブ・ウエイト解除は，IICn←FFHまたはWRELnのセットのどちらかで行ってください。

備考　n = 0-2

図17－24　スレーブ→マスタ通信例（マスタ，スレーブとも9クロック・ウエイト選択時）（1/3）

（a）スタート・コンンディション～アドレス

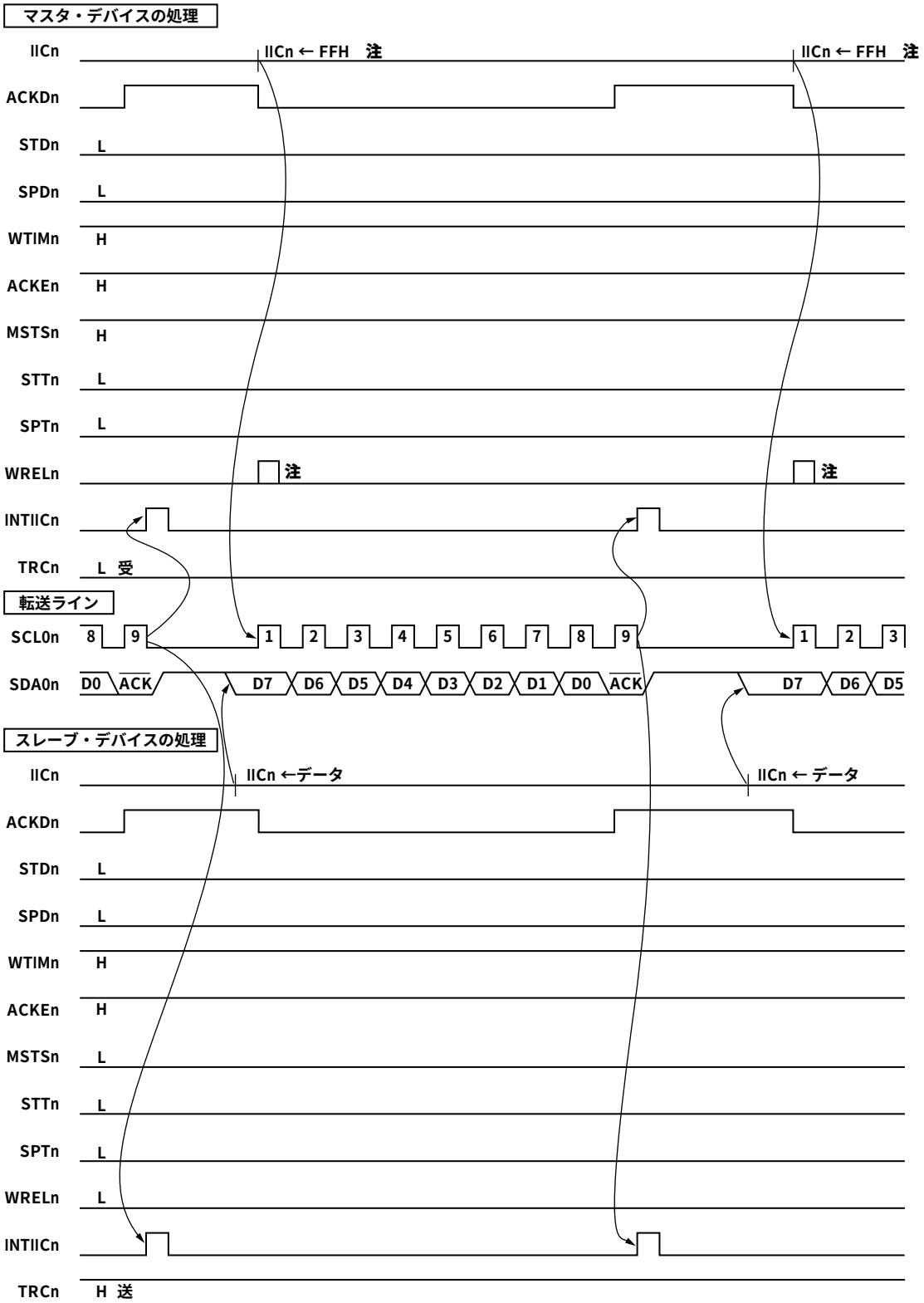


注　マスタ・ウエイト解除は，IICn←FFHまたはWRELnのセットのどちらかで行ってください。

備考　n = 0-2

図17－24　スレーブ→マスタ通信例（マスタ，スレーブとも9クロック・ウエイト選択時）（2/3）

(b) データ

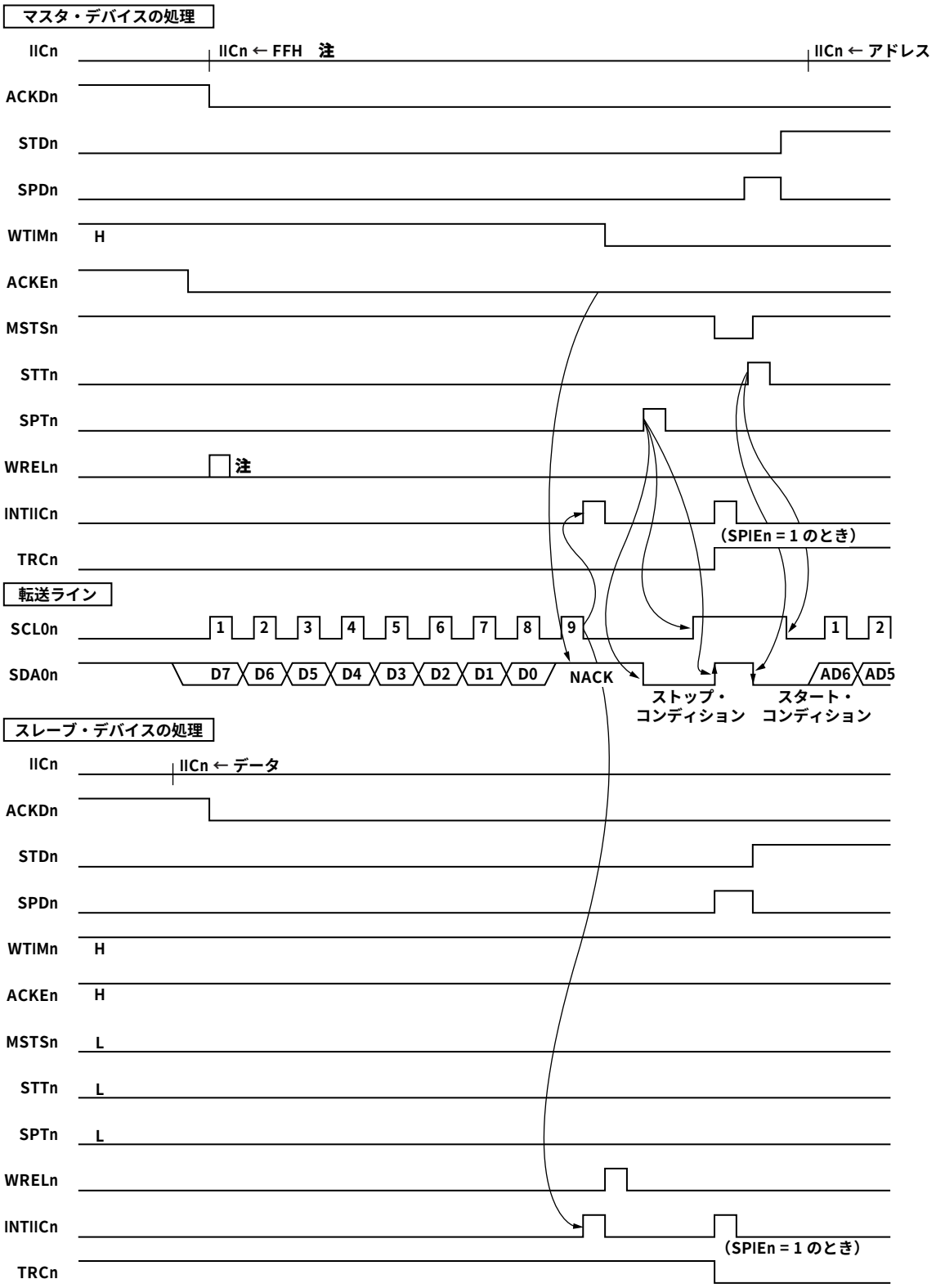


注　マスタ・ウエイト解除は，IICn←FFHまたはWRELnのセットのどちらかで行ってください。

備考　n = 0-2

図17－24　スレーブ→マスタ通信例（マスタ，スレーブとも9クロック・ウエイト選択時）（3/3）

（c）ストップ・コンディション



注　マスタ・ウエイト解除は，IICn←FFHまたはWRELnのセットのどちらかで行ってください。

備考　n = 0-2

第18章　IEBusコントローラ

IEBus（Inter Equipment Bus）は，ユニット間のデータ伝送を行うことを目的とした小規模のディジタル・データ伝送システムです。V850ES/SG2でIEBusを実現する場合は，IEBusドライバ／レシーバを内蔵していないため，これらを外付けする必要があります。

V850ES/SG2が内蔵しているIEBusコントローラは，負論理になります。

V850ES/SG2のIEBusコントローラ内蔵品を次に示します。

・μPD703272HY, 703273HY, 70F3273HY

18. 1　機　　能

18. 1. 1　IEBusの通信プロトコル

IEBusの通信プロトコルを次に示します。

(1) マルチタスク方式

IEBusに接続しているすべてのユニットで，ほかのユニットへのデータ伝送ができます。

(2) 同報通信機能

次に示す「1つのユニット 対 複数ユニット」の通信ができます。

・グループ同報通信　：グループ・ユニットに対しての同報通信
・一斉同報通信　　：すべてのユニットに対しての同報通信

(3) 実効伝送速度

実効伝送速度は，モード1，モード2になります（V850ES/SG2は，実効伝送速度モードのモード0はサポートしていません）。

・モード1：約17 kbps
・モード2：約26 kbps

注意　1つのIEBus上に，異なるモードを混在することはできません。

(4) 通信方式

半二重非同期通信方式でデータを転送します。

(5) アクセス制御：CSMA/CD（Carrier Sense Multiple Access with Collision Detection）

IEBus占有の優先順位を次に示します。

① 同報通信が個別通信（1ユニット対1ユニットの通信）より優先されます。
② マスタ・アドレスの小さいほうが優先されます。

(6) 通信規模

IEBusの通信規模を次に示します。

・ユニット数：最大50ユニット

・ケーブル長：最大150 m（ツイスト・ペア・ケーブルを使用した場合）

注意　実際のシステムにおける通信規模は，IEBusドライバ／レシーバやIEBusを構成するケーブルなどの特性によって異なります。

18. 1. 2　バス占有権の決定（アービトレーション）

IEBusに接続された装置は，ほかのユニットを制御するときにバスを占有するための動作を行います。この動作をアービトレーションと呼びます。

アービトレーションでは，複数のユニットが同時に送信を開始したときに，それらの複数のユニットの中から1つのユニットに対して，バスを占有する許可を与える処理を行います。

アービトレーションにより1ユニットのみがバス占有権を得るために，次に示すようなバス占有の優先条件があります。

注意　通信が途中で終了した場合，バスの占有権は解放されます。

(1) 通信の種類による優先条件

同報通信（1ユニット 対 複数ユニットの通信）が，通常通信（1ユニット 対 1ユニットの通信）より優先されます。

(2) マスタ・アドレスによる優先条件

通信種類が同じ場合は，マスタ・アドレスの最も小さいものが優先されます。

マスタ・アドレスは12ビットで構成され，000Hのユニットが最上位に優先順位を持ち，FFFHのユニットが最下位の優先順位を持ちます。

18. 1. 3　通信モード

IEBusには，伝送速度の異なる3種類の通信モードがあります。V850ES/SG2は通信モード1と通信モード2をサポートします。通信モード1と通信モード2における伝送速度および1通信フレーム中の最大伝送バイト数を次に示します。

表18－1　各通信モードにおける伝送速度，最大伝送バイト数

通信モード	最大伝送バイト数	最大伝送速度[注]
1	32バイト／フレーム	約17 kbps
2	128バイト／フレーム	約26 kbps

注　最大伝送バイト数を伝送したときの実効伝送速度

IEBusに接続した各ユニットは，通信を行う前にあらかじめ通信モードを選択しておきます。また，マスタ・ユニットとその通信相手ユニット（スレーブ・ユニット）の通信モードが同一でないと，通信は正しく行われません。

18. 1. 4　通信アドレス

IEBusでは，各ユニットに12ビットの固有な通信アドレスが割り当てられています。次に通信アドレスの構成を示します。

・上位4ビット：グループ番号（各ユニットの所属するグループを識別する番号）
・下位8ビット：ユニット番号（グループ内の各ユニットを識別する番号）

18. 1. 5　同報通信

通常の通信では，マスタ・ユニットとその通信相手局となるスレーブ・ユニットはともに1ユニットで，1対1の送信／受信が行われます。それに対して同報通信ではスレーブ・ユニットが複数あり，マスタ・ユニットは複数のスレーブ・ユニットに対して送信を行います。スレーブ・ユニットが複数あるために，通信中スレーブ・ユニットからのアクノリッジ・ビットは，NACK信号が返信されます。

同報通信を行うか通常の通信を行うかは，同報ビットにより選択することができます（18. 1. 6（2）**同報ビット**参照）。

同報通信には，グループ同報通信と一斉同報通信の2種類の同報通信があります。グループ同報と一斉同報の識別は，スレーブ・アドレスの値で行われます（18. 1. 6（4）**スレーブ・アドレス・フィールド**参照）。

（1）グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内のユニットに対して，同報通信を行います。

（2）一斉同報通信

グループ番号の値にかかわらず，すべてのユニットに対して同報通信を行います。

18. 1. 6　IEBusの伝送フォーマット

IEBusの伝送信号フォーマットを図18－1に示します。

図18－1　IEBusの伝送信号フォーマット

	ヘッダ		マスタ・アドレス・フィールド		スレーブ・アドレス・フィールド			コントロール・フィールド			電文長フィールド			データ・フィールド					
フレーム・フォーマット	スタート・ビット	同報ビット	マスタ・アドレス・ビット	P	スレーブ・アドレス・ビット	P	A	コントロール・ビット	P	A	電文長ビット	P	A	データ・ビット	P	A	…	データ・ビット	P	A

備考1.　P：パリティ・ビット

A：アクノリッジ（$\overline{\text{ACK}}$/NACK）ビット

2.　同報通信時には，マスタ局はアクノリッジ・ビットを無視します。

(1) スタート・ビット

スタート・ビットは，データ伝送の開始をほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは，決められた時間$\overline{\text{IETX}}$端子からハイ・レベルの信号（スタート・ビット）を出力し，同報ビットの出力へ移行します。

スタート・ビットを出力しようとしたとき，すでにほかのユニットがスタート・ビットを出力している場合には，スタート・ビットを出力しないでそのユニットのスタート・ビット出力終了を待ち，その終了タイミングに同期して同報ビット出力へ移行します。

送信を開始したユニット以外は，このスタート・ビットを検出し，受信状態へ移行します。

(2) 同報ビット

マスタが通信相手として単一のスレーブを選択（個別通信）しているのか，複数のスレーブを選択（同報通信）しているのかを示します。

同報ビットが0の場合は同報通信を示し，1の場合は個別通信を示します。また，同報通信には，グループ同報と一斉同報があり，これらの識別はスレーブ・アドレスの値によって行われます（18. 1. 6 **(4) スレーブ・アドレス・フィールド**参照）。

同報通信の場合には，通信相手局となるスレーブ・ユニットが複数存在するため，マスタ・アドレス・フィールド以降の各フィールドでのアクノリッジ・ビットは，NACK信号が返信されます。

2つ以上のユニットが同じタイミングで通信フレームの送出を開始した場合には，同報通信が個別通信より優先され，アービトレーションに勝ち残ります。

自局がマスタとしてバスを占有しているときは，同報リクエスト・フラグ（BCR.ALLRQビット）に設定した値が出力されます。

(3) マスタ・アドレス・フィールド

マスタが自局のアドレスをスレーブに伝えるために出力します。

マスタ・アドレス・フィールドは，図18－2に示す構成となっています。

2つ以上のユニットが，同じタイミングで同じ値の同報ビットの送信を開始した場合，アービトレーションの判定は，マスタ・アドレス・フィールドへ持ち越されます。

マスタ・アドレス・フィールドでは，1ビット送信するごとに出力しているデータとバス上のデータを比較します。比較の結果，出力しているマスタ・アドレスとバス上のデータが異なった場合，アービトレーションに負けたと判断して，送信を中止し受信状態に変わります。

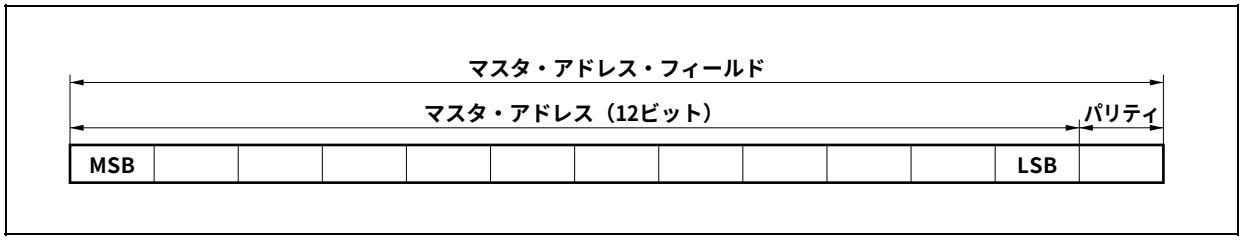
IEBusは，ワイアードANDで構成されているため，アービトレーションに参加しているユニット（アービトレーション・マスタ）の中で，最小のマスタ・アドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に12ビットのマスタ・アドレスを出力後，1つのユニットのみがマスタ・ユニットとして送信状態で残ります。

次に，このマスタ・ユニットはパリティ・ビットを出力し，ほかのユニットに対してマスタ・アドレスを確定させ，スレーブ・アドレス・フィールド出力へ移行ます。

自局がマスタとしてバスを占有しているときは，UARレジスタで設定したアドレスが出力されます。

図18－2　マスタ・アドレス・フィールド



(4) スレーブ・アドレス・フィールド

マスタが通信を行いたい相手局のアドレスを出力します。

スレーブ・アドレス・フィールドは，図18－3に示す構成になっています。

12ビットのスレーブ・アドレス送信後，スレーブ・アドレスが間違って受信されることを避けるため，パリティ・ビットを出力します。次にスレーブ・ユニットがバス上にあることを確認するために，マスタ・ユニットはスレーブ・ユニットからの$\overline{\text{ACK}}$信号を検出します。$\overline{\text{ACK}}$信号を検出した場合，コントロール・フィールド出力へ移行します。ただし，同報通信時は，アクノリッジ・ビットを確認せずに，コントロール・フィールド出力へ移行します。

スレーブ・ユニットは，スレーブ・アドレスが一致して，マスタ・アドレスとスレーブ・アドレスの両方のパリティが偶数であることを検出した場合，$\overline{\text{ACK}}$信号を出力します。スレーブ・ユニットは，パリティが奇数の場合，マスタ・アドレスまたはスレーブ・アドレスが正しく受信されなかったと判断して，NACK信号を出力します。このとき，マスタ・ユニットは待機（モニタ）状態になり，通信が終了します。

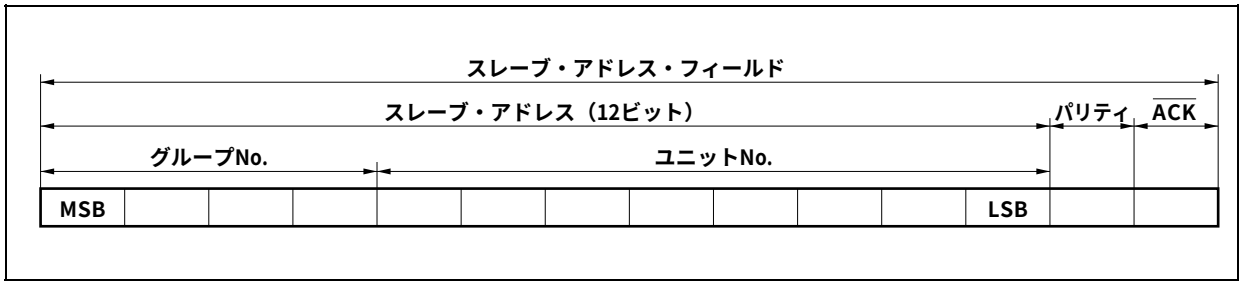
また，同報通信の場合にはスレーブ・アドレスは，次のようにグループ同報／一斉同報の識別に使用されます。

スレーブ・アドレスがFFFHのとき　　：一斉同報通信
スレーブ・アドレスがFFFH以外のとき：グループ同報通信

備考　グループ同報通信時のグループNo.は，スレーブ・アドレスの上位4ビットの値になります。

自局がマスタとしてバスを占有しているときは，SARレジスタで設定したアドレスが出力されます。

図18－3　スレーブ・アドレス・フィールド



(5) コントロール・フィールド

マスタがスレーブに要求する動作内容を出力します。

コントロール・フィールドは，図18－4に示す構成になっています。

コントロール・ビットに続くパリティが偶数で，かつマスタ・ユニットの要求機能をスレーブが実行できる場合は，スレーブ・ユニットは$\overline{\text{ACK}}$信号を出力して，次の電文長フィールドへ移行します。ただし，パリティが偶数でもスレーブ・ユニットがマスタ・ユニットの要求を実行できない場合や，パリティが奇数の場合は，スレーブ・ユニットはNACK信号を出力して，待機（モニタ）状態に戻ります。

マスタ・ユニットは$\overline{\text{ACK}}$信号を検出したあと，次の電文長フィールドへ移行します。

NACK信号を検出した場合は，マスタ・ユニットは待機状態になり，通信が終了します。ただし，同報通信の場合は，マスタ・ユニットはアクノリッジ・ビットを確認しないで次の電文長フィールドへ移行します。

コントロール・ビットの内容を次に示します。

表18－2　コントロール・ビットの内容

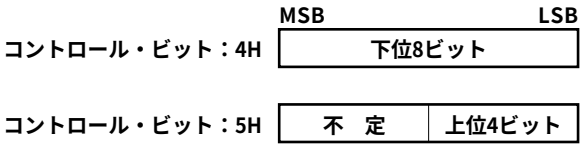
ビット3[注1]	ビット2	ビット1	ビット0	機　　能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック[注2]
0	1	0	0	ロック・アドレスの読み込み（下位8ビット）[注3]
0	1	0	1	ロック・アドレスの読み込み（上位4ビット）[注3]
0	1	1	0	スレーブ・ステータスの読み込みとロック解除[注2]
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック[注2]
1	0	1	1	データ書き込みとロック[注2]
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

注1.　ビット3（MSB）の値により，以後の電文長フィールドの電文長ビットおよびデータ・フィールドのデータ転送方向が変わります。

ビット3 = 1の場合：マスタ・ユニットからスレーブ・ユニットへ転送

ビット3 = 0の場合：スレーブ・ユニットからマスタ・ユニットへ転送

2. ロックの設定／解除を指定するコントロール・ビットです（18. 1. 7（4）**ロックの設定／解除**参照）。
3. ロック・アドレスは，1バイト単位（8ビット）で伝送されるため，次に示す構成になっています。



マスタ・ユニットによりロックを設定されたユニットは，ロックを要求したマスタ・ユニット以外から受信したコントロール・ビットが表18－3に示した以外の場合は，受け付けを拒否してNACK信号を出力します。

表18－3　ロックされたスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機　　能
0	0	0	0	スレーブ・ステータスの読み込み
0	1	0	0	ロック・アドレスの読み込み（下位8ビット）
0	1	0	1	ロック・アドレスの読み込み（上位4ビット）

また，マスタ・ユニットによりロックを設定されていないユニットは，表18－4に示したコントロール・データを受信した場合は，受け付けを拒否してNACK信号を出力します。

表18－4　ロックされていないスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機　　能
0	1	0	0	ロック・アドレスの読み込み（下位8ビット）
0	1	0	1	ロック・アドレスの読み込み（上位4ビット）

自局がマスタとしてバスを占有しているときは，CDRレジスタに設定した値が出力されます。

図18－4　コントロール・フィールド

表18－5　コントロール・フィールドのアクノリッジ信号出力条件

(a) 受信したコントロール・データがAH, BH, EH, FH**の場合**

通信の種類 (USR.ALLTRANSビット) 個別通信 = 0 同報通信 = 1	通信対象 (USR.SLVRQビット) スレーブ指定 = 1 指定なし = 0	ロック状態 (USR.LOCKビット) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARレジスタと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (BCR.ENSLVTXビット)	スレーブ受信許可 (BCR.ENSLVRXビット)	受信したコントロール・データ			
						AH	BH	EH	FH
0	1	0	don't care	don't care	1	○			
		1	1						
上記以外						×			

(b) 受信したコントロール・データが0H, 3H, 4H, 5H, 6H, 7H**の場合**

通信の種類 (USR.ALLTRANSビット) 個別通信 = 0 同報通信 = 1	通信対象 (USR.SLVRQビット) スレーブ指定 = 1 指定なし = 0	ロック状態 (USR.LOCKビット) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARレジスタと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (BCR.ENSLVTXビット)	スレーブ受信許可 (BCR.ENSLVRXビット)	受信したコントロール・データ					
						0H	3H	4H	5H	6H	7H
0	1	0	don't care	0	don't care	○	×	×	×	○	×
				1		○	○	×	×	○	○
		1	0	don't care		○	×	○	○	×	×
			1	0		○	×	○	○	○	×
				1		○	○	○	○	○	○
上記以外						×					

注意　受信したコントロール・データが表18－5**以外の場合は無条件で×（**NACK**信号を返信する）になります。**

備考　○：$\overline{\text{ACK}}$**信号を返信する**

×：NACK**信号を返信する**

(6) 電文長フィールド

送信側が受信側に対して送信データのバイト数を伝えるために出力します。

電文長フィールドは，図18－5に示す構成になっています。

電文長ビットと送信データ数の関係を表18－6に示します。

図18－5　電文長フィールド

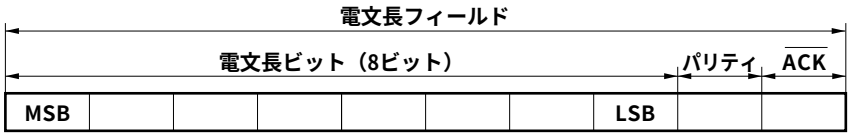


表18－6　電文長ビットの内容

電文長ビット（16進）	送信データ・バイト数
01H	1バイト
02H	2バイト
⋮	⋮
FFH	255バイト
00H	256バイト

電文長フィールドの動作は，マスタ送信時（コントロール・ビットのビット3 = 1）とマスタ受信時（コントロール・ビットのビット3 = 0）では異なります。

(a) マスタ送信時

電文長ビットおよびパリティ・ビットは，マスタ・ユニットが出力します。スレーブ・ユニットは，パリティが偶数であることを検出した場合，$\overline{\text{ACK}}$信号を出力して，次のデータ・フィールドへ移行します。ただし，同報通信では，スレーブ・ユニットはNACK信号を出力します。

スレーブ・ユニットは，パリティが奇数の場合，電文長ビットが正しく受信されなかったと判断して，NACK信号を出力して，待機（モニタ）状態に戻ります。このとき，マスタ・ユニットも待機状態に戻り，通信が終了します。

(b) マスタ受信時

電文長ビットおよびパリティ・ビットはスレーブ・ユニットが出力し，各ビットの同期信号はマスタ・ユニットが出力します。マスタ・ユニットは，パリティが偶数であることを検出した場合，$\overline{\text{ACK}}$信号を出力します。

マスタ・ユニットは，パリティが奇数の場合，電文長ビットが正しく受信されなかったと判断して，NACK信号を出力して，待機（モニタ）状態に戻ります。このとき，スレーブ・ユニットも待機状態に戻り，通信が終了します。

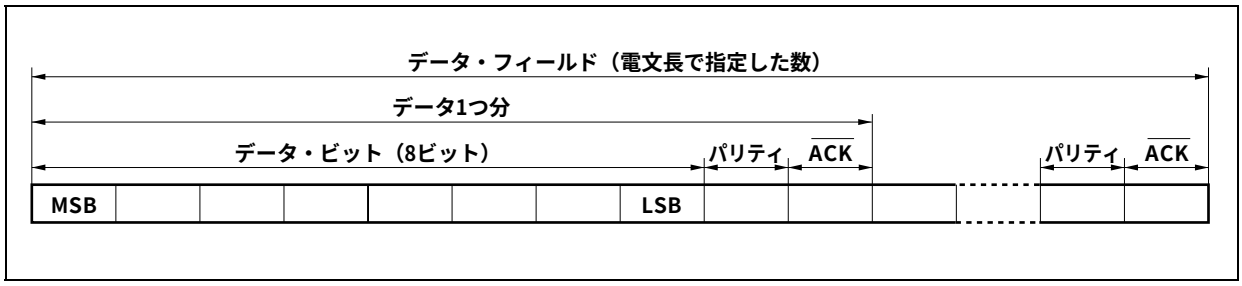
(7) データ・フィールド

送信側が出力するデータです。

マスタ・ユニットは，データ・フィールドを使用してスレーブ・ユニットにデータを送信したり，スレーブ・ユニットからデータを受信したりします。

データ・フィールドは，次に示す構成になっています。

図18－6　データ・フィールド



データ・ビットに続き，パリティ・ビットとアクノリッジ・ビットが，それぞれマスタ・ユニットおよびスレーブ・ユニットより出力されます。

同報通信は，マスタ・ユニットの送信動作のみに使用してください。また，このときアクノリッジ・ビットは無視されます。

マスタ送信時とマスタ受信時の動作を次に示します。

(a) マスタ送信時

マスタ・ユニットからスレーブ・ユニットへ書き込みする場合，マスタ・ユニットは，スレーブ・ユニットに対してデータ・ビット，パリティ・ビットを送信します。スレーブ・ユニットは，データ・ビット，パリティ・ビットを受信して，パリティが偶数で，DRレジスタに受信データを格納していなければ，$\overline{\text{ACK}}$信号を出力します。パリティが奇数，またはDRレジスタに受信データを格納している場合，スレーブ・ユニットは対応するデータの受け付けを拒否して，NACK信号を出力します。

スレーブ・ユニットからNACK信号が出力された場合，マスタ・ユニットは再び同じデータを送信します。この動作はスレーブ・ユニットからの$\overline{\text{ACK}}$信号を検出するか，データが最大伝送バイト数を越えるまで続けられます。

パリティが偶数で，スレーブ・ユニットから$\overline{\text{ACK}}$信号が出力された場合，データに続きがあり，かつ最大伝送バイト数を越えていなければ，マスタ・ユニットは次のデータを送信します。

また，同報通信の場合では，スレーブ・ユニットからNACK信号を出力して，マスタ・ユニットはデータを1バイトごとに転送します。同報通信時にスレーブ・ユニットがデータ・ビット，パリティ・ビットを受信して，パリティが奇数，またはDRレジスタが受信データを格納中の場合は，正常に受信ができなかったと判断され，受信を中止します。

(b) マスタ受信時

マスタ・ユニットがスレーブ・ユニットから読み込みする場合，マスタ・ユニットは，すべての読み込みビットに対応する同期信号を出力します。

スレーブ・ユニットは，データ，パリティ・ビットの内容をマスタ・ユニットからの同期信号に応じてバス上に出力します。

マスタ・ユニットは，スレーブ・ユニットの出力したデータ，パリティ・ビットを読み込み，パリティを確認します。

パリティが奇数，またはDRレジスタが受信データを格納中の場合，マスタ・ユニットはそのデータの受け付けを拒否して，NACK信号を出力します。1通信フレームで送信できる最大伝送バイト数以内であれば，マスタ・ユニットは同じデータの読み込み動作を繰り返します。

また，パリティが偶数，かつDRレジスタが受信データを格納していない場合，マスタ・ユニットはデータを受け付け，$\overline{\text{ACK}}$信号を出力します。1フレームで送信できる最大伝送バイト数以内であればマスタ・ユニットは次のデータを読み込みます。

注意　同報通信ではマスタ受信を行わないでください。スレーブ・ユニットが特定できず，正常なデータ転送ができません。

(8) パリティ・ビット

パリティ・ビットは，伝送データに誤りがないことを確認するために使用します。

パリティ・ビットは，マスタ・アドレス・ビット，スレーブ・アドレス・ビット，コントロール・ビット，電文長ビット，データ・ビットの各データに対して付加されます。

パリティ・ビットは，偶数パリティです。データ中の‘1’になっているビット数が奇数の場合は，パリティ・ビットは‘1’になります。データ中の‘1’になっているビット数が偶数の場合は，パリティ・ビットは‘0’になります。

(9) アクノリッジ・ビット

通常の通信（1ユニット 対 1ユニット間の通信）では，データを正しく受け付けたかを確認するために，次に示す箇所にアクノリッジ・ビットが付加されます。

・スレーブ・アドレス・フィールドの最後
・コントロール・フィールドの最後
・電文長フィールドの最後
・データ・フィールドの最後

アクノリッジ・ビットの定義を次に示します。

0：伝送データを認識したことを示します。（$\overline{\text{ACK}}$信号）
1：伝送データを認識しなかったことを示します。（NACK信号）

ただし，同報通信の場合は，アクノリッジ・ビットの内容は無視されます。

(a) スレーブ・アドレス・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合，スレーブ・アドレス・フィールドの最後のアクノリッジ・ビットはNACK信号になり，伝送は中止されます。

- マスタ・アドレス・ビットまたはスレーブ・アドレス・ビットのパリティが正しくない場合
- タイミング・エラー（ビット・フォーマットにエラー）が発生した場合
- スレーブ・ユニットが存在しなかった場合

(b) コントロール・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合，コントロール・フィールドの最後のアクノリッジ・ビットはNACK信号になり，伝送は中止されます。

- コントロール・ビットのパリティが正しくない場合
- スレーブ受信許可フラグ（BCR.ENSLVRXビット）がセット（1）されていないときに，コントロール・ビットのビット3 = 1（書き込み動作）の場合（18. 3（1）IEBusコントロール・レジスタ（BCR）参照）
- スレーブ送信許可フラグ（BCR.ENSLVTXビット）がセット（1）されていないときに，コントロール・ビットがデータの読み込み（3H, 7H）の場合（18. 3（1）IEBusコントロール・レジスタ（BCR）参照）
- ロックを設定しているのに，ロックを設定したユニット以外からコントロール・ビットの3H, 6H, 7H, AH, BH, EH, FHを要求した場合
- ロックを設定していないのに，コントロール・ビットがロック・アドレスの読み込み（4H, 5H）の場合
- タイミング・エラーが発生した場合
- 未定義のコントロール・ビットの場合

注意1. ENSLVTXビット = 0の場合でも，スレーブ・ステータス要求のコントロール・データを受信したときは必ず$\overline{\text{ACK}}$信号を返信します。

2. ENSLVRXビット = 0の場合でも，データ／コマンド書き込みのコントロール・データを受信すると，コントロール・フィールドのアクノリッジ・ビットでNACK信号を返信します。

個別通信の場合だけ，ENSLVRXビットによりスレーブ受信を禁止（通信を中止）できます。同報通信の場合は，通信が接続され，データ要求割り込み要求信号（INTIE1）やIEBus終了割り込み要求信号（INTIE2）が発生します。

(c) 電文長フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合，電文長フィールドの最後のアクノリッジ・ビットはNACK信号になり，伝送は中止されます。

・電文長ビットのパリティが正しくない場合
・タイミング・エラーが発生した場合

(d) データ・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合，データ・フィールドの最後のアクノリッジ・ビットはNACK信号になり，伝送は中止されます。

・データ・ビットのパリティが正しくない場合[注]
・タイミング・エラーが前回のアクノリッジ・ビット伝送以降で発生した場合
・DRレジスタに受信データが格納されており，それ以上のデータを受け付けることができない場合[注]

注　この場合，実行されている通信が個別通信のとき，送信側は1フレームで伝送できる最大伝送バイト数以内であれば，そのデータ・フィールドの送信を再実行します。同報通信の場合は，送信側からのデータ再送はなく，受信側は通信エラーとなり受信を中止します。

18. 1. 7　伝送データ

(1) スレーブ・ステータス

マスタ・ユニットは，スレーブ・ステータスを読み込むことにより，スレーブ・ユニットが，$\overline{\text{ACK}}$信号を返信しなかった理由を知ることができます。

スレーブ・ステータスは，スレーブ・ユニットが最後に行った通信結果に対して決定されます。

すべてのスレーブ・ユニットは，スレーブ・ステータスの情報を提供できます。

スレーブ・ステータスについて次に示します。

図18－7　スレーブ・ステータスのビット構成

MSB　　LSB

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0

ビット0注1	意　味
0	DRレジスタに送信データが書き込まれていない
1	DRレジスタに送信データが書き込まれている

ビット1注2	意　味
0	DRレジスタに受信データが格納されていない
1	DRレジスタに受信データが格納されている

ビット2	意　味
0	ユニットがロック状態でない
1	ユニットがロック状態である

ビット3	意　味
0	0固定

ビット4注3	意　味
0	スレーブ送信停止
1	スレーブ送信動作可能

ビット5	意　味
0	0固定

ビット7	ビット6	意　味	
0	0	モード0	ユニットがサポートしている最高位のモードを示します注4。
0	1	モード1	
1	0	モード2	
1	1	未使用	

注1.　リセット時，ビット0は“1”になります。

2.　受信バッファが1バイト分になります。

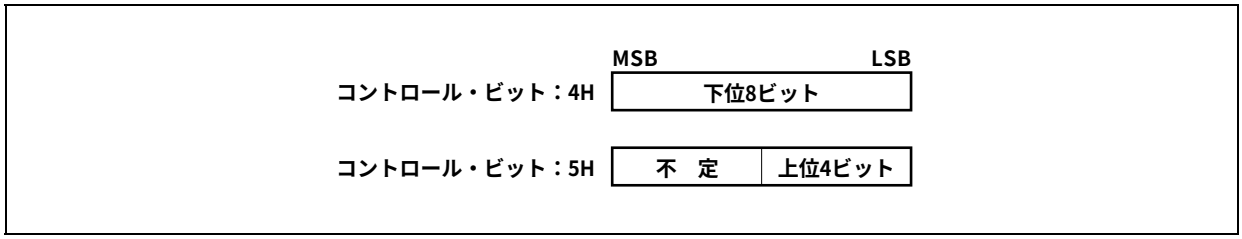
3.　スレーブ・ユニットの場合，BCR.ENSLVTXビットで示される状態に該当します。

4.　V850ES/SG2は，モード1，モード2をサポート可能なので，ビット7，6は“10”に固定されています。

(2) ロック・アドレス

ロック・アドレスの読み込み処理時（コントロール・ビット：4H, 5H）には，ロック命令を発行したマスタ・ユニットのアドレス（12ビット）が，次に示すように1バイト単位に構成されて，読み出されます。

図18－8　ロック・アドレスの構成



(3) データ

コントロール・ビットがデータ読み込み（3H, 7H）の場合，スレーブ・ユニットのデータ・バッファにあるデータがマスタ・ユニットに読み込まれます。

コントロール・ビットがデータ書き込み（BH, FH）の場合，スレーブ・ユニットが受信したデータは，そのスレーブ・ユニットの動作規定に従って処理されます。

(4) ロックの設定／解除

ロック機能は，メッセージを複数の通信フレームにわたって転送する場合に使用します。

ロックを設定したユニットは，ロックをかけたユニット以外からの受信は行いません（同報通信の受信も行いません）。

ロックの設定／解除について次に示します。

(a) ロックの設定

ロックを指定したコントロール・ビット（3H, AH, BH）で，電文長フィールドの送受信終了後（$\overline{\text{ACK}}$ = 0），電文長ビットで指定したデータ・バイト数分のデータを送信／受信を成功せずに通信フレームを終了した場合，スレーブ・ユニットは，マスタ・ユニットよりロックが設定されます。また，このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がセット（1）されます。

(b) ロックの解除

ロックを指定したコントロール・ビット（3H, AH, BH），またはロックの解除を指定したコントロール・ビット（6H）で，1通信フレーム内に電文長ビットで指定したデータ・バイト数分のデータを送信／受信終了後，スレーブ・ユニットは，マスタ・ユニットよりロックが解除されます。また，このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がリセット（0）されます。

なお，同報通信時には，ロックの設定／解除は行われません。

次にロックの設定／解除の条件を示します。

表18－7　ロック設定条件

コントロール・データ	同報通信		個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H注			ロックにならない	ロック設定
AH, BH	ロックにならない	ロックにならない	ロックにならない	ロック設定
0H, 4H, 5H, EH, FH	ロックにならない	ロックにならない	ロックにならない	ロックにならない

注　コントロール・データ6H（スレーブ・ステータスの読み込みとロック解除）でのフレーム終了は，データ・フィールドにおいてパリティが奇数で自局からのNACK信号出力が最大伝送バイト数まで繰り返された場合に発生します。

表18－8　ロック解除条件（ロック中）

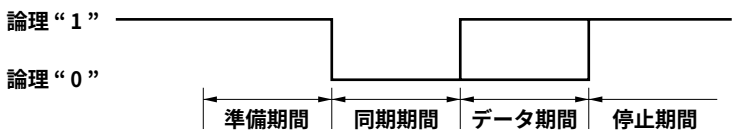
コントロール・データ	ロック要求ユニットからの同報通信		ロック要求ユニットからの個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H注			ロック解除	ロック保持
AH, BH	ロック解除	ロック解除	ロック解除	ロック保持
0H, 4H, 5H, EH, FH	ロック保持	ロック保持	ロック保持	ロック保持

注　コントロール・データ6H（スレーブ・ステータスの読み込みとロック解除）でのフレーム終了は，データ・フィールドにおいてパリティが奇数で自局からのNACK信号出力が最大伝送バイト数まで繰り返された場合に発生します。

18. 1. 8　ビット・フォーマット

IEBusの通信フレームを構成するビット・フォーマットを次に示します。

図18－9　IEBusのビット・フォーマット



準備期間　　：最初のロウ・レベル期間（論理“1”）
同期期間　　：次のハイ・レベル時間（論理“0”）
データ期間　：ビットの値を表す期間
停止期間　　：最後のロウ・レベル期間（論理“1”）

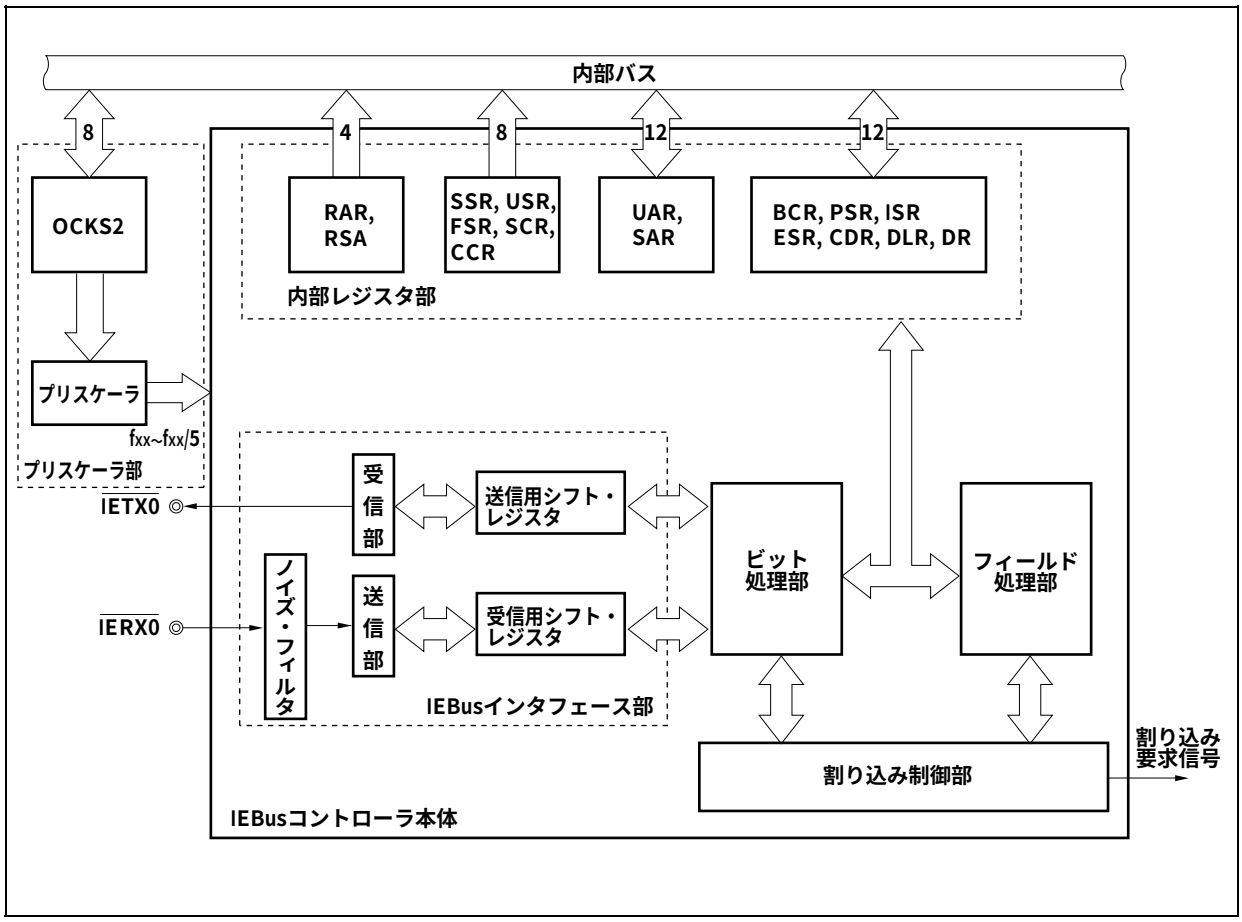
同期期間とデータ期間の長さは，ほぼ等しくなっています。

IEBusは1ビットごとに同期がとられています。また，ビット全体の時間と，そのビット中に割り当てられている期間の時間に関する仕様は，伝送ビットの種類，マスタ・ユニットかスレーブ・ユニットかの違いにより異なります。また，マスタ・ユニット，スレーブ・ユニットは通信中，各期間（準備期間，同期期間，データ期間，停止期間）が所定の時間どおり出力されているかを検出しています。所定の時間どおりに出力されていない場合は，マスタ・ユニット，スレーブ・ユニットはタイミング・エラーとしてただちに通信を終了し待機状態に戻ります。

18. 2　構　　成

IEBusコントローラのブロック図を次に示します。

図18－10　IEBusコントローラのブロック図



(1) ハードウエアの構成と機能

IEBusの内部構成は，次に示す6つのブロックから構成されています。

- 割り込み制御部
- 内部レジスタ部
- ビット処理部
- フィールド処理部
- IEBusインタフェース部
- プリスケーラ部

(a) 割り込み制御部

IEBusコントローラ本体からの割り込み要求信号をCPUに渡すための制御部です。

(b) 内部レジスタ部

IEBusの制御を行うコントロール・レジスタ，各フィールドのデータを設定します（18. 3　レジスタ参照）。

(c) ビット処理部

ビット・タイミングの生成，分解を行い，主にビット・シーケンスROM，8ビット・プリセット・タイマ，判定器から構成されています。

(d) フィールド処理部

通信フレーム内のフィールドを生成して，主にフィールド・シーケンスROM，4ビット・ダウン・カウンタ，判定器から構成されています。

(e) IEBusインタフェース部

外付けドライバ／レシーバのインタフェース部で，主にノイズ・フィルタ，シフト・レジスタ，送信／受信部（競合検出，パリティ検出，パリティ生成回路，$\overline{\text{ACK}}$/NACK生成回路）から構成されています。

(f) プリスケーラ部

IEBusコントローラ本体へ供給するクロックを設定します。

18. 3　レジスタ

IEBusコントローラを制御するレジスタを次に示します。

表18－9　IEBusコントローラの制御レジスター覧

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
FFFFF348H	IEBusクロック選択レジスタ	OCKS2	R/W		○		00H
FFFFF360H	IEBusコントロール・レジスタ	BCR		○	○		
FFFFF361H	IEBusパワー・セーブ・レジスタ	PSR		○	○		
FFFFF362H	IEBusスレーブ・ステータス・レジスタ	SSR	R	○	○		81H
FFFFF363H	IEBusユニット・ステータス・レジスタ	USR		○	○		00H
FFFFF364H	IEBusインタラプト・ステータス・レジスタ	ISR	R/W	○	○		
FFFFF365H	IEBusエラー・ステータス・レジスタ	ESR		○	○		
FFFFF366H	IEBusユニット・アドレス・レジスタ	UAR				○	0000H
FFFFF368H	IEBusスレーブ・アドレス・レジスタ	SAR				○	
FFFFF36AH	IEBusパートナ・アドレス・レジスタ	PAR	R			○	
FFFFF36CH	IEBus受信スレーブ・アドレス・レジスタ	RSA				○	
FFFFF36EH	IEBusコントロール・データ・レジスタ	CDR	R/W		○		00H
FFFFF36FH	IEBus電文長レジスタ	DLR			○		01H
FFFFF370H	IEBusデータ・レジスタ	DR			○		00H
FFFFF371H	IEBusフィールド・ステータス・レジスタ	FSR	R		○		
FFFFF372H	IEBusサクセス・カウント・レジスタ	SCR			○		01H
FFFFF373H	IEBusコミュニケーション・カウント・レジスタ	CCR			○		20H

(1) IEBusコントロール・レジスタ（BCR）

IEBusコントローラの各動作を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF360H

	⑦	⑥	⑤	④	③	2	1	0
BCR	ENIEBUS	MSTRQ	ALLRQ	ENSLVTX	ENSLVRX	0	0	0

ENIEBUS	通信許可フラグ
0	IEBusユニットを停止
1	IEBusユニットをアクティブにする

MSTRQ	マスタ・リクエスト・フラグ
0	IEBusユニットをマスタとして要求しない
1	IEBusユニットをマスタとして要求する

ALLRQ	同報リクエスト・フラグ
0	個別通信を要求する
1	同報通信を要求する

ENSLVTX	スレーブ送信許可フラグ
0	スレーブ送信を禁止
1	スレーブ送信を許可

ENSLVRX	スレーブ受信許可フラグ
0	スレーブ受信を禁止
1	スレーブ受信を許可

注意1. マスタとして動作中，その通信が通信終了／フレーム終了するか，または競合負け，通信エラー発生により通信中止になるまでは，BCRレジスタへの書き込み動作（ビット操作命令も含む）を禁止します。したがって，マスタ要求の多重化はできません。ただし，通信を強制終了する（ENIEBUSビット = 0）場合は問題ありません。

2. BCRレジスタに対するビット操作命令と，MSTRQビットのハードウエア・リセットが競合すると，正常に動作しない場合があります。この場合，次に示す対策により回避できます。

- ハードウエア・リセットはスレーブ・アドレス・フィールドのアクノリッジ期間に行われるので，（b）マスタ・リクエスト・フラグ（MSTRQ）の注意1を守ってください。
- BCRレジスタの書き込みに対しては，上記の注意1を守ってください。

（a）通信許可フラグ（ENIEBUS）… ビット7

〈セット／クリア条件〉

セット：ソフトウエア操作で行います。

クリア：ソフトウエア操作で行います。

ENIEBUSビットをセット（1）するタイミングによって，IEBusコントローラの通信参加方法が次のように異なります。

表18－10　ENIEBUSビットのセット・タイミングと通信参加方法

ENIEBUSビットのセット（1）タイミング	IEBusコントローラの通信参加方法
IEBus上で通信が行われていないとき	次回のフレームから通信に参加，または通信を開始します。
IEBus上で通信が行われているときで，ほかのバス・マスタによるスタート・ビット通信中	スタート・ビットを検出した場合は，そのフレームから通信に参加します。スタート・ビットを検出しなかった場合には，次回のフレームから通信に参加します。
IEBus上で通信が行われているときで，ほかのバス・マスタによるスタート・ビットよりあとの通信中	次回のフレームから通信に参加します。

ENIEBUSビットをクリア（0）すると，通信途中であっても通信はただちに中止され，内部フラグやレジスタは一部を除きリセットされます。ENIEBUSビットでリセットされないレジスタは次のとおりになります。

ENIEBUSビット = 0のときに別ユニットが通信を開始しても，IEBusコントローラは反応しません。

表18－11　ENIEBUSビットでリセットされないレジスタ

ENIEBUSビットでリセットされないレジスタ	備　考
UAR	リセットされません。
SAR	リセットされません。
CDR	CPUからの書き込みデータはリセットされませんが，通信での受信データはリセットされます。
DLR	CPUからの書き込みデータはリセットされませんが，通信での受信データはリセットされます。
DR	CPUからの書き込みデータはリセットされませんが，通信での受信データはリセットされます。

注意　ENIEBUSビットをセット（1）する前に，開始する通信形態に応じて次のレジスタを設定しておく必要があります。

表18－12　各通信における事前に設定すべきレジスタ

通信の形態	あらかじめ設定しておく必要のあるレジスタ
マスタ送信	UAR, SAR, CDR, DLR, DR（最初の1バイトのデータ）
マスタ受信	UAR, SAR, CDR
スレーブ送信注	UAR, DLR, DR（最初の1バイトのデータ）注
スレーブ受信	UAR

注　スレーブ送信を開始する際に，DLRレジスタに設定する値や，どのデータを返信するか（DRレジスタに設定すべき値）といった情報は，事前にあたえられている必要があります。

(b) マスタ・リクエスト・フラグ（MSTRQ）… ビット6

〈セット／クリア条件〉

セット：ソフトウエア操作で行います。

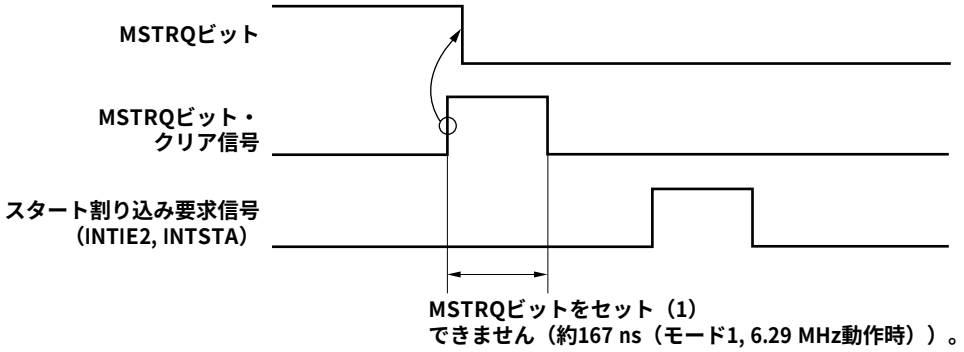
クリア：マスタ通信を開始し，そのスタート割り込み発生直前にハードウエアでクリア（0）。
通信エラー発生時にハードウエアでクリア（0）。
ENIEBUSビットのクリア時。

MSTRQビットをセット（1）すると，IEBus上でマスタとして通信を開始します。

ただし，IEBus上で通信が行われている場合（スタート・ビット通信中でスタート・ビットを検出できなかった場合，またはスタート・ビットよりあとの通信中）は，そのフレームの終了を待ち（マスタ要求保留），そのフレーム終了後にスタート・ビットを出力し，マスタとして通信を開始します。

注意1.　競合に負けた場合の再マスタ要求は，ソフトウエア処理にて行ってください。
競合に負けた場合で再マスタ要求を行うときは，次のタイミングに注意してMSTRQビットをセット（1）してください。

図18－11　MSTRQビットをセットできないタイミング



2.　マスタ要求して，バス占有権を得た場合は，その通信が終了（通信終了フラグ（ISR.ENDTRNSビット）またはフレーム終了フラグ（ISR.ENDFRAMビット）がセット（1））するまで，MSTRQ, ENSLVTX, ENSLVRXビットのいずれかをセット（1）しないでください。セットした場合，割り込み要求信号が発生しなくなります。ただし，通信を中止する場合は問題ありません。

(c) 同報リクエスト・フラグ（ALLRQ）… ビット5

〈セット／クリア条件〉

セット：ソフトウエア操作で行います。

クリア：ソフトウエア操作で行います。

注意　同報通信を要求する場合は，必ずALLRQビットをセット（1）し，MSTRQビットをセット（1）してください。

(d) スレーブ送信許可フラグ（ENSLVTX）… ビット4

〈セット／クリア条件〉

セット：ソフトウエア操作で行います。

クリア：ソフトウエア操作で行います。

注意1. ENSLVTXビットは，コントロール・フィールドのパリティ・ビット受信終了前までに設定する必要があります。

2. マスタ要求時には，MSTRQビットをセット（1）する前にENSLVTXビットをクリア（0）してください。これはマスタ動作後に競合負け，かつマスタよりスレーブ送信を要求された場合，マスタ送信しようとしたDRレジスタのデータを送信するのを避けるためです。

3. 禁止状態から許可状態に戻したときは，次の新しいフレームから有効になります。

4. ENSLVTXビット = 0のときに，データ／コマンド書き込みのコントロール・データ（3H, 7H）を受信すると，コントロール・フィールドのアクノリッジ・ビットでNACK信号を返信します。

5. ENSLVTXビット = 0のときでも，スレーブ・ステータス要求のコントロール・データを返信したときは，ステータス割り込み要求信号（INTIE2, INTSTA）が発生し，通信は継続します。

(e) スレーブ受信許可フラグ（ENSLVRX）… ビット3

〈セット／クリア条件〉

セット：ソフトウエア操作で行います。

クリア：ソフトウエア操作で行います。

注意1. ENSLVRXビットは，コントロール・フィールドのパリティ・ビット受信終了前までに設定する必要があります。

2. ほかのCPU処理で忙しいときは，ENSLVRXビットをクリア（0）することによりスレーブ受信を行わないようにすることができます。個別通信時は，コントロール・フィールドでNACK信号を返信し，通信を終了させます。同報通信時は，アクノリッジ・ビットが無視されるため，通信を終了させることはできませんが，IEBusコントローラはその同報通信には反応せず，割り込み要求信号も発生しません。

3. 禁止状態から許可状態に戻したときは，次の新しいフレームから有効になります。

(2) IEBusパワー・セーブ・レジスタ（PSR）

IEBusコントローラの内部クロックの動作／停止，通信モードを制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　　R/W　　アドレス：FFFFF361H

	⑦	⑥	5	4	3	2	1	0
PSR	ENCLK	IEMODE	0	0	0	0	0	0

ENCLK	内部クロック動作許可フラグ
0	IEBusコントローラの内部クロックを停止
1	IEBusコントローラの内部クロックを許可

IEMODE	IEBus通信モード設定フラグ
0	通信モードとしてモード1を設定
1	通信モードとしてモード2を設定

注意1.　通信許可中（BCR.ENIEBUSビット = 1）にPSRレジスタを設定しないでください。

2.　ビット5-0には必ず0を設定してください。

(3) IEBusスレーブ・ステータス・レジスタ（SSR）

スレーブ・ユニットの通信状態を示す8ビットのレジスタです。マスタからスレーブ・ステータス送信要求を受けると，ソフトウエアでSSRレジスタを読み出したあと，DRレジスタに書き込むことでスレーブ・ステータスを送信できます。また，このときの電文長は自動的に01Hに設定されるので，DLRレジスタを設定する必要はありません（ハードウエアによりプリセットされます）。

ビット7, 6は，ユニットがサポートする最高位のモードを示すために“10”（モード2）に固定されています。

8/1ビット単位でリードのみ可能です。

リセットにより81Hになります。

リセット時：81H　　R　　アドレス：FFFFF362H

	7	6	5	④	3	②	①	⓪
SSR	1	0	0	STATSLV	0	STATLOCK	STATRX	STATTX

STATSLV	スレーブ送信状態フラグ
0	スレーブ送信停止
1	スレーブ送信許可

STATLOCK	ロック状態フラグ
0	非ロック状態
1	ロック状態

STATRX	DRレジスタ受信状態
0	DRレジスタに受信データを未格納
1	DRレジスタに受信データを格納

STATTX	DRレジスタ送信状態
0	DRレジスタに送信データを未格納
1	DRレジスタに送信データを格納

(a) スレーブ送信状態フラグ（STATSLV）… ビット4

スレーブ送信許可フラグ（BCR.ENSLVTXビット）の内容が反映されます。

(b) ロック状態フラグ（STATLOCK）… ビット2

ロック状態フラグ（USR.LOCKビット）の内容が反映されます。

(c) DRレジスタ受信状態（STATRX）… ビット1

DRレジスタの受信状態を示すフラグです。

(d) DRレジスタ送信状態（STATTX）… ビット0

DRレジスタの送信状態を示すフラグです。

(4) IEBusユニット・ステータス・レジスタ（USR）

IEBusユニットの状態を示す8ビットのレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H　　R　　アドレス：FFFFF363H

	7	⑥	⑤	④	③	2	1	0
USR	0	SLVRQ	ARBIT	ALLTRNS	ACK	LOCK	0	0

SLVRQ	スレーブ要求フラグ
0	マスタからスレーブ要求なし
1	マスタからスレーブ要求あり

ARBIT	競合結果フラグ
0	競合勝ち
1	競合負け

ALLTRNS	同報通信フラグ
0	個別通信状態
1	同報通信状態

ACK	アクノリッジ送信フラグ
0	NACK信号を送信
1	$\overline{\text{ACK}}$信号を送信

LOCK	ロック状態フラグ
0	ユニットが非ロック状態
1	ユニットがロック状態

（a）スレーブ要求フラグ（SLVRQ）… ビット6

マスタからスレーブ要求があったかを示すフラグです。

〈セット／クリア条件〉

セット：自局がスレーブ要求されたとき（表18－13　スレーブ要求条件（SLVRQビットのセット条件）に当てはまる場合）に，スレーブ・アドレス・フィールドのアクノリッジ期間開始時にハードウエアでセット（1）されます。

クリア：自局がスレーブ要求されていないとき（表18－13　スレーブ要求条件（SLVRQビットのセット条件）に当てはまらない場合）に，ハードウエアでクリア（0）されます。タイミングはセット時と同じです。ただし，正常に通信を受信した直後（SLVRQビット= 1のとき）に自局がスレーブ要求され，その通信のスレーブ・アドレス・フィールドでパリティ・エラーが発生した場合，フラグはクリアされません。

表18－13　スレーブ要求条件（SLVRQビットのセット条件）

自局の状態	受信マスタ・アドレス	通信形態	受信スレーブ・アドレス
非ロック	don’t care	個別	UARレジスタ一致
		同報	グループ一致
			FFFH
ロック	ロック・マスタ一致	個別	UARレジスタ一致
		同報	グループ一致
			FFFH

注意　自局がロック状態のときにロック・マスタ以外のユニットが自局宛に通信してきた場合，SLVRQビットはセットされませんが，スレーブ・アドレス・フィールドでは$\overline{\text{ACK}}$信号を返信します。これは，ロック・マスタ以外の返信であっても，コントロール・データがスレーブ・ステータス要求だった場合，通信を続ける必要があるためです。

(b) 競合結果フラグ（ARBIT）… ビット5

競合結果を示すフラグです。

〈セット／クリア条件〉

セット：マスタの要求後，アービトレーション期間中に自局が出力しているデータとバス・ラインのデータが不一致のときにセット（1）されます。

クリア：スタート・ビット・タイミングでクリア（0）されます。

注意1. 競合結果フラグ（ARBITビット）のクリア・タイミングは，自局がスタート・ビットを出力する場合としない場合で異なります。

・スタート・ビットを出力する　：出力開始タイミングでクリア

・スタート・ビットを出力しない：スタート・ビットの検出タイミング（出力から約160 μs（モード1, 6.29 MHz動作時））でクリア

2. マスタ要求したあと，他局のスタート・ビット出力の方が早く，自局がスタート・ビットを出力していない場合はスタート・ビットの検出タイミングでクリア（0）されます。

(c) 同報通信フラグ（ALLTRNS）… ビット4

ユニットが同報通信しているかを示すフラグです。フラグの内容は，各フレームの同報フィールドで更新されます。

セット／クリア条件は，システム・リセットで初期化（リセット）される以外は，同報フィールド・ビットの受信データにより変化します。

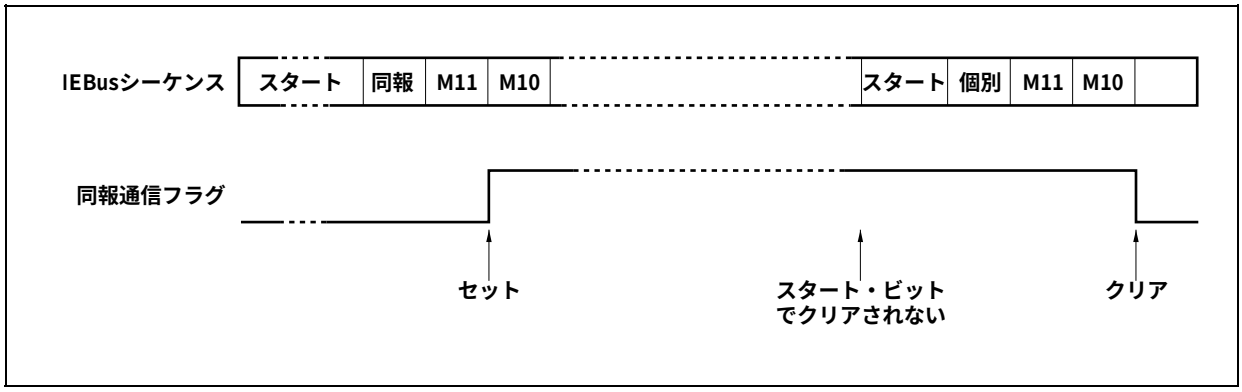
〈セット／クリア条件〉

セット：同報フィールドで「同報」を受信したとき

クリア：同報フィールドで「個別」を受信したとき，またはシステム・リセット入力時

注意　同報通信フラグは，自局が通信対象かどうかにかかわらず更新されます。

図18－12　同報通信フラグの動作例



(d) アクノリッジ送信フラグ（ACK）… ビット3

受信ユニット時，各フィールドのアクノリッジ・ビット期間中に$\overline{\text{ACK}}$信号を送信したかを示します。フラグの内容は，各フレームのアクノリッジ・ビット期間で更新されます。ただし，パリティ・エラー発生などにより内部回路が初期化された場合は，そのフィールドのアクノリッジ・ビット期間では更新されません。

（e）ロック状態フラグ（LOCK）… ビット2

ユニットがロック状態かを示すフラグです。

〈セット／クリア条件〉

セット：コントロール・フィールドでロック指定（3H, 6H, AH, BH）を受けて，通信終了フラグ（ISR.ENDTRNSビット）がロウ・レベルで，かつフレーム終了フラグ（ISR.ENDFRAMビット）がハイ・レベルのときセット（1）されます。

クリア：通信許可フラグ（BCR.ENIEBUSビット）をクリア（0）した場合。
コントロール・フィールドでロック解除（3H, 6H, AH, BH）を受けて，通信終了フラグ（ENDTRNSビット）がセット（1）された場合。

注意　同報通信では，ロックの設定／解除はできません。また，ロック状態中はロック要求したユニット以外からの個別通信を受け付けません。ただしロック要求ユニット以外からの通信でも，その通信がスレーブ・ステータス要求であるかぎり受け付けます。

(5) IEBusインタラプト・ステータス・レジスタ（ISR）

IEBusの割り込み要求信号発生時の割り込み要因を示すステータス・レジスタです。割り込み要求信号が発生するごとにISRレジスタを読み出して，所定の割り込み処理を行います。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W[注1]　アドレス：FFFFF364H

	7	⑥	⑤	④	③	②	1	0
ISR	0	IEERR	STARTF	STATUSF	ENDTRNS	ENDFRAM	0	0

IEERR	通信エラー・フラグ（通信中）
0	通信エラーなし
1	通信エラー発生

STARTF	スタート割り込みフラグ
0	スタート割り込み要求信号発生なし
1	スタート割り込み要求信号発生あり

STATUSF	ステータス送信フラグ（スレーブ時）
0	スレーブ・ステータス／ロック・アドレス（上位4ビット，下位8ビット）送信要求なし
1	スレーブ・ステータス／ロック・アドレス（上位4ビット，下位8ビット）送信要求あり

ENDTRNS	通信終了フラグ
0	電文長フィールドで設定した伝送バイト数分の通信が終了せず
1	電文長フィールドで設定した伝送バイト数分の通信が終了

ENDFRAM	フレーム終了フラグ
0	フレーム（最大伝送バイト数分[注2]の通信）が終了せず
1	フレーム（最大伝送バイト数分[注2]の通信）が終了

注1. IEERRビットのみ書き込み可能です。またIEERRビットへの書き込みはクリア（0）のみ有効です。1を書き込んでもIEERRビットはセット（1）されません。

2. モード1：32バイト
   モード2：128バイト

(a) 通信エラー・フラグ（IEERR）… ビット6

通信エラーが発生したことを示すフラグです。通信エラー発生時にINTIE2, INTERR割り込み要求信号が発生します。

〈セット／クリア条件〉

セット：タイミング・エラー，パリティ・エラー（データ・フィールドを除く），NACK受信エラー（データ・フィールドを除く），アンダラン・エラー，オーバラン・エラー（同報通信受信時に発生），ライト・エラーのいずれかが発生したときにセット（1）されます。

クリア：ソフトウエア操作で行います。

(b) スタート割り込みフラグ（STARTF）… ビット5

スタート割り込みを示すフラグです。スタート割り込み発生時にINTIE2, INTSTA割り込み要求信号が発生します。

〈セット／クリア条件〉

セット：マスタ要求時は，スレーブ・アドレス・フィールドでセット（1）されます。
スレーブ・ユニット時は，マスタから要求があったとき（ロック状態ではロック要求ユニットからのスレーブ要求があった場合のみ）にセット（1）されます。

クリア：ステータス送信割り込み，通信終了割り込み，フレーム終了割り込み，INTIE1割り込み要求信号発生時にクリア（0）されます。

(c) ステータス送信フラグ（STATUSF）… ビット4

スレーブ時にマスタからスレーブ・ステータス，ロック・アドレス（上位4ビット，下位8ビット）の送信要求があったことを示すフラグです。

〈セット／クリア条件〉

セット：スレーブ・ユニット時に，マスタからコントロール・フィールドで，0H, 4H, 5H, 6Hを受信したときにセット（1）されます。

クリア：スタート割り込み，通信終了割り込み，フレーム終了割り込み，INTIE1割り込み要求信号発生時にクリア（0）されます。

(d) 通信終了フラグ（ENDTRNS）… ビット3

電文長フィールドで設定した／された伝送バイト数分の通信が終了したかを示すフラグです。通信終了割り込み発生時にINTIE2, INTSTA割り込み要求信号が発生します。

〈セット／クリア条件〉

セット：SCRレジスタのカウント値が00Hになったとき，セット（1）されます。

クリア：スタート割り込み，ステータス送信割り込み，フレーム終了割り込み（通信終了割り込みが発生しない場合），INTIE1割り込み要求信号発生時にクリア（0）されます。

（e）フレーム終了フラグ（ENDFRAM）… ビット2

最大伝送バイト数分（モード1：32バイト，モード2：128バイト）の通信が終了したかを示すフラグです。

〈セット／クリア条件〉

セット：CCRレジスタのカウント値が00Hになったとき，セット（1）されます。

クリア：スタート割り込み，ステータス送信割り込み，通信終了割り込み（フレーム終了割り込みが発生しない場合），INTIE1割り込み要求信号発生時にクリア（0）されます。

注意1. CCRレジスタとSCRレジスタが両方とも00Hになった場合，ENDTRNS, ENDFRAMビットが同時にセット（1）されます。

2. データ再送により最大伝送バイト数に達したとき，最終データ・フィールドがNACK信号だった場合，ENDFRAMビットとIEERR（NACK受信エラー）ビットが同時にセットされます。

(6) IEBusエラー・ステータス・レジスタ（ESR）

IEBusの通信エラー割り込み要求信号発生時の要因を示すステータス・レジスタです。ESRレジスタの各ビットは，通信エラー・フラグ（ISR.IEERRビット）がセット（1）されると同時にセット（1）され，ESRレジスタの内容により通信エラーの発生要因を知ることができます。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF365H

	⑦	⑥	⑤	④	③	②	1	⓪
ESR	TERR	PERR	NERR	UERR	OERR	WERR	0	DEFLAG

TERR	タイミング・エラー発生フラグ
0	タイミング・エラー発生なし
1	タイミング・エラー発生

PERR	パリティ・エラー発生フラグ
0	パリティ・エラー発生なし
1	パリティ・エラー発生

NERR	NACK受信エラー発生フラグ
0	NACK受信エラー発生なし
1	NACK受信エラー発生

UERR	アンダラン・エラー発生フラグ
0	アンダラン・エラー発生なし
1	アンダラン・エラー発生

OERR	オーバラン・エラー発生フラグ
0	オーバラン・エラー発生なし
1	オーバラン・エラー発生

WERR	ライト・エラー発生フラグ
0	ライト・エラー発生なし
1	ライト・エラー発生

DEFLAG	第三者エラー発生フラグ
0	自局を対象とする通信中のエラー発生
1	自局非対象通信時のエラー発生

注意1. 各ビットへの書き込みはクリア（0）のみ有効です。1を書き込んでも各ビットはセット（1）されません。

2. ESRレジスタはエラー発生時に値が更新されますが，このタイミングでESRレジスタを読み出すと不定値を読み出します。ESRレジスタは，エラー割り込み処理内で読み出すことを推奨します。

3. IEBusコントローラは通信エラーが発生すると，初期状態に戻り次の通信準備を行いますが，エラー処置を行わないまま次の通信が開始された場合，エラー・フラグは累積されますので，次の通信が開始されるまでにエラー処置を行ってください。

(a) タイミング・エラー発生フラグ（TERR）… ビット7

〈セット／クリア条件〉

セット：タイミング・エラー発生時にセット（1）されます。

クリア：ソフトウエア操作で行います。

タイミング・エラーは，通信ビットのハイ／ロウ・レベル幅が規定値から外れた場合に発生します。それぞれの規定値はビット処理部に設定されていて，内部のタイマで監視されています。タイミング・エラーが発生した場合，INTERR, INTIE2割り込み要求信号が発生します。

(b) パリティ・エラー発生フラグ（PERR）… ビット6

〈セット／クリア条件〉

セット：パリティ・エラー発生時にセット（1）されます。

クリア：ソフトウエア操作で行います。

パリティ・エラーは，受信ユニット時，各フィールドで生成パリティと受信パリティが一致しなかった場合に発生します。ただし，個別通信時のデータ・フィールドでの不一致の場合は，NACK信号を返信しデータ再送を要求するので，パリティ・エラーは発生しません。

表18－14　パリティ不一致時の動作

フィールド	通信形態	パリティ不一致時の動作
マスタ・アドレス・フィールド	個別／同報	パリティ・エラー発生
スレーブ・アドレス・フィールド	個別／同報	パリティ・エラー発生
コントロール・データ・フィールド	個別／同報	パリティ・エラー発生
電文長フィールド	個別／同報	パリティ・エラー発生
データ・フィールド	個別	NACK信号返信で再送を要求
	同報	パリティ・エラー発生

(c) NACK受信エラー発生フラグ（NERR）… ビット5

〈セット／クリア条件〉

セット：NACK受信エラー発生時にセット（1）されます。

クリア：ソフトウエア操作で行います。

NACK受信エラーは，個別通信時，マスタ／スレーブ動作中にかかわらずスレーブ・アドレス・フィールド，コントロール・データ・フィールド，電文長フィールドの各アクノリッジ・ビット期間にNACK信号を受信したときに発生します。データ・フィールドでのNACK信号受信はデータを再送するのでNACK受信エラーになりませんが，最大伝送バイト数に達したときの最終データ・フィールドがNACK信号だった場合はNACK受信エラーとなります。

同報通信時は，$\overline{\text{ACK}}$/NACK信号の判定を行いませんので，NACK受信エラーは発生しません。

第三者通信中は，タイミング／パリティ・エラーのみエラーとして検出するため，NACK受信エラーは発生しません。

（d）アンダラン・エラー発生フラグ（UERR）… ビット4

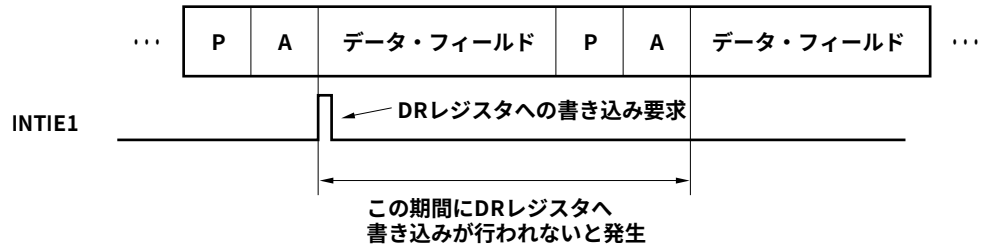
〈セット／クリア条件〉

セット：アンダラン・エラー発生時にセット（1）されます。

クリア：ソフトウエア操作で行います。

アンダラン・エラーは，$\overline{\text{ACK}}$信号受信までにDRレジスタに次に送信されるデータの書き込みが間に合わなかったときに発生します。ただし，個別通信時のアクノリッジ・ビット期間にNACK信号を受信した場合には，再送を行うのでアンダラン・エラー発生にはなりません。

図18－13　アンダラン・エラーの発生タイミング



備考　P：パリティ・ビット

A：アクノリッジ・ビット

(e) オーバラン・エラー発生フラグ（OERR）… ビット3

〈セット／クリア条件〉

セット：オーバラン・エラー発生時にセット（1）されます。

クリア：ソフトウエア操作で行います。

受信ユニット時に1バイトごとのデータがDRレジスタに格納されるとデータ要求割り込み要求信号（INTIE1）が発生し，DMAまたはソフトウエアでDRレジスタの読み出し処理を行います。この読み出し処理が遅れて次のデータの受信タイミングになると，オーバラン・エラーが発生します。

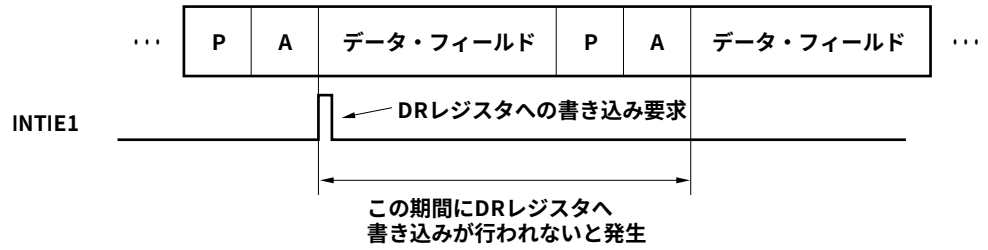
注意1. オーバラン状態のあとのDRレジスタの読み出しが実行されず，データ再送が最大伝送バイト数分（32バイト）に達した場合，フレーム終了割り込み要求信号（INTSTA, INTIE2）が発生します。フレーム終了したあとも，DRレジスタの読み出しを行うまではオーバラン状態を保持します。

2. オーバラン状態の解除は，DRレジスタの読み出しとシステム・リセット時にのみ行われます。したがって，通信エラー割り込み処理プログラム中などで，必ずDRレジスタの読み出しを行ってください。

3. オーバラン状態で次の送信を行う場合は，2バイト以上の送信ができません。データ要求割り込み要求信号（INTIE1）が発生しないため，送信データの設定ができず，アンダラン・エラーになります。したがって，オーバラン状態を解除してから送信を行ってください。

備考　個別通信受信時は，次のデータのアクノリッジ・ビット期間でNACK信号を返信します。これにより送信ユニットはデータを再送します。したがって，CCRレジスタをデクリメントしますが，SCRレジスタはデクリメントしません。
同報通信受信時は，通信エラー割り込み要求信号（INTIE2）を発生し，受信を中止します。このときDRレジスタは更新されません。また，INTIE1信号も発生せず，SSRレジスタのSTATRXビットのセット（1）を保持します。オーバラン状態の解除は，DRレジスタを読み出したあとのデータ受信タイミングになります。

図18－14　オーバラン・エラーの発生タイミング



備考　P：パリティ・ビット
A：アクノリッジ・ビット

(f) ライト・エラー発生フラグ（WERR）… ビット2

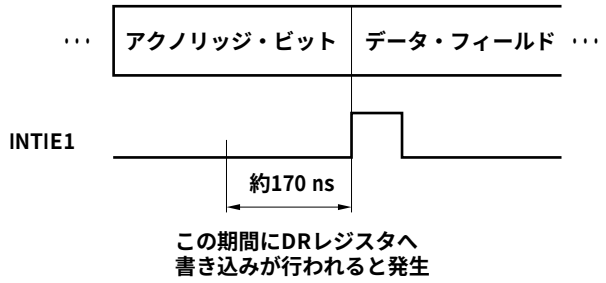
〈セット／クリア条件〉

セット：ライト・エラー発生時にセット（1）されます。

クリア：ソフトウエア操作で行います。

ライト・エラーは，自局送信時にデータ・フィールドで，DRレジスタへ書き込みをしたデータが送信されない場合に発生します。ライト・エラーが発生するタイミングを次に示します。

図18－15　ライト・エラーの発生タイミング



注意1.　WERRビットがセット（1）されてもINTIE1割り込み要求信号が発生する場合があります。

2.　NACK信号を返信された場合には，再送をするのでWERRビットはセットされません。

(g) 第三者エラー発生フラグ（DEFLAG）… ビット0

〈セット／クリア条件〉

セット：自局に無関係な通信中（第三者間の通信中）のタイミング・エラーまたはパリティ・エラー発生にセット（1）されます。

クリア：ソフトウエア操作で行います。

注意　スレーブ・アドレス・フィールドが自局一致していない場合でも，第三者通信に入る前にエラーが発生した場合（たとえばスレーブ・アドレス・フィールドでの受信アドレスが自局一致しなかった場合でNACK信号を受信した場合（NERRビットがセット（1）した場合））は，DEFLAGビットはセット（1）されません。

備考　第三者間の通信とは次の2つの状態を示します。

①スレーブ・アドレス・フィールドでの受信アドレスが自局一致（個別通信時：UARレジスター致，同報通信時：グループ一致，FFFH一致）しなかった場合で，かつ$\overline{\text{ACK}}$信号受信後，引き続き通信が行われている状態のとき，自局はその通信をモニタします。

②同報通信時に，コントロール・フィールドでの受信コントロール・データに自局が応じることのできない場合で，引き続き通信が行われている状態のとき，自局はその通信をモニタします。たとえば，同報通信でマスタからコントロール・データFHを受信するが，自局のスレーブ受信許可フラグが禁止（BCR.ENSLVRXビット = 0）に設定されていた場合などです（個別通信時はNACK信号を返信し通信が終了します）。

(7) IEBusユニット・アドレス・レジスタ（UAR）

IEBusユニットの自局アドレスを設定するレジスタです。通信を開始する前に，必ずUARレジスタを設定してください。

ビット11-0に，ユニット・アドレス（12ビット）を設定します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

リセット時：0000H　R/W　アドレス：FFFFF366H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UAR	0	0	0	0												

注意　UARレジスタは，通信許可時（BCR.ENIEBUSビット = 1）には設定しないでください。

(8) IEBusスレーブ・アドレス・レジスタ（SAR）

マスタ要求時にスレーブ・アドレス・フィールドの送信データの値に反映されます。マスタ要求時は，通信を開始する前に，必ずSARレジスタを設定してください。

ビット11-0に，スレーブ・アドレス（12ビット）を設定します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

リセット時：0000H　R/W　アドレス：FFFFF368H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAR	0	0	0	0												

注意　SARレジスタは，通信許可時（BCR.ENIEBUSビット = 1）には設定しないでください。

(9) IEBusパートナ・アドレス・レジスタ（PAR）

自局がマスタ動作中またはスレーブ動作中にかかわらず，マスタ・アドレス・フィールドで受信したマスタ・アドレス値が格納されます。

マスタからロック・アドレス（下位8ビット）の読み込み要求（4H）を受けた場合，ソフトウエアでPARレジスタの値を読み出したあとに，下位8ビットのデータをDRレジスタに書き込んでください。

マスタからロック・アドレス（上位4ビット）の読み込み要求（5H）を受けた場合，ソフトウエアでPARレジスタの値を読み出したあとに，ビット11-8のデータをDRレジスタの下位4ビットに書き込んでください。

ビット11-0に，相手先アドレス（12ビット）を設定します。

16ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット時：0000H　R　アドレス：FFFFF36AH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAR	0	0	0	0												

注意　PARレジスタは，マスタ・アドレス・フィールドのパリティ期間終了時にパリティが正常で自局が非ロック状態のときアドレス値を格納しますが，このタイミングでPARレジスタを読み出すと不定値を読み出します。

(10) IEBus受信スレーブ・アドレス・レジスタ（RSA）

自局がマスタ動作中またはスレーブ動作中にかかわらず，スレーブ・アドレス・フィールドで受信したスレーブ・アドレス値が格納されます。

16ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット時：0000H　R　アドレス：FFFFF36CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSA	0	0	0	0												

注意　RSAレジスタは，スレーブ・アドレス・フィールドのパリティ期間終了時にアドレス値を格納しますが，このタイミングでRSAレジスタを読み出すと不定値を読み出します。

（11）IEBusコントロール・データ・レジスタ（CDR）

CDRレジスタは，8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

備考　CDRレジスタは，書き込み側と読み出し側が別レジスタになっており，書き込んだデータをそのまま読み出せる構成にはなっていません。読み出されるデータは，IEBus通信で受信したデータとなります。

（a）マスタ・ユニット時

下位4ビットのデータは，コントロール・フィールドで送信されるデータに反映されます。マスタ要求時は，通信を開始する前にあらかじめCDRレジスタを設定してください。

（b）スレーブ・ユニット時

下位4ビットは，コントロール・フィールドで受信したデータが書き込まれます。

ステータス送信フラグ（ISR.STATUSFビット）がセット（1）されると割り込み要求信号（INTIE2）が発生するので，ソフトウエアでCDRレジスタの下位4ビットの値により各処理を行ってください。

リセット時：00H　　R/W　　アドレス：FFFFF36EH

	7	6	5	4	3	2	1	0
CDR	0	0	0	0	MOD	SELCL2	SELCL1	SELCL0

MOD	SELCL2	SELCL1	SELCL0	機　　能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック
0	1	0	0	ロック・アドレスの読み込み（下位8ビット）
0	1	0	1	ロック・アドレスの読み込み（上位4ビット）
0	1	1	0	スレーブ・ステータスの読み込みとロック解除
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック
1	0	1	1	データ書き込みとロック
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

注意1.　スレーブ・ユニットは，受信したデータがコマンドかデータか判断する必要があるため，通信終了後にCDRレジスタの値を読み出してください。

2.　マスタ・ユニットが未定義の値を設定した場合，スレーブ・ユニットからNACK信号が返されて通信は途中終了されますが，同報通信時にはマスタ・ユニットはアクノリッジ・ビットを無視して通信継続するため，未定義の値を設定しないでください。

(c) スレーブ・ステータス返信動作

マスタからスレーブ・ステータスの要求（コントロール・データ：0H, 6H），ロック・アドレスの要求（4H, 5H）を受信した場合，自局の状態によりコントロール・フィールドでの$\overline{\text{ACK}}$/NACK信号の返信動作が異なります。

① 非ロック状態で“0H, 6H”のコントロール・データを受信した場合　→$\overline{\text{ACK}}$信号を返信する
② 非ロック状態で“4H, 5H”のコントロール・データを受信した場合　→NACK信号を返信する
③ ロック状態でロック要求した局から“0H, 4H, 5H, 6H”のコントロール・データを受信した場合　→$\overline{\text{ACK}}$信号を返信する
④ ロック状態でロック要求した局以外から“0H, 4H, 5H”のコントロール・データを受信した場合　→$\overline{\text{ACK}}$信号を返信する
⑤ ロック状態でロック要求した局以外から“6H”のコントロール・データを受信した場合　→NACK信号を返信する

①-⑤のすべての場合，スレーブ・ステータス，ロック・アドレスの要求を受け付けたということでSTATUSFビットがセット（1）され，ステータス割り込み要求信号（INTIE2, INTSTA）が発生します。発生タイミングは，コントロール・フィールドのパリティ・ビットの終わり（アクノリッジ・ビットの始まり）です。ただし，NACK返信する場合は，アクノリッジ・ビット終了後，NACK受信エラーとなり通信は終了します。

図18－16　割り込み要求信号発生タイミング（①，③，④の場合）

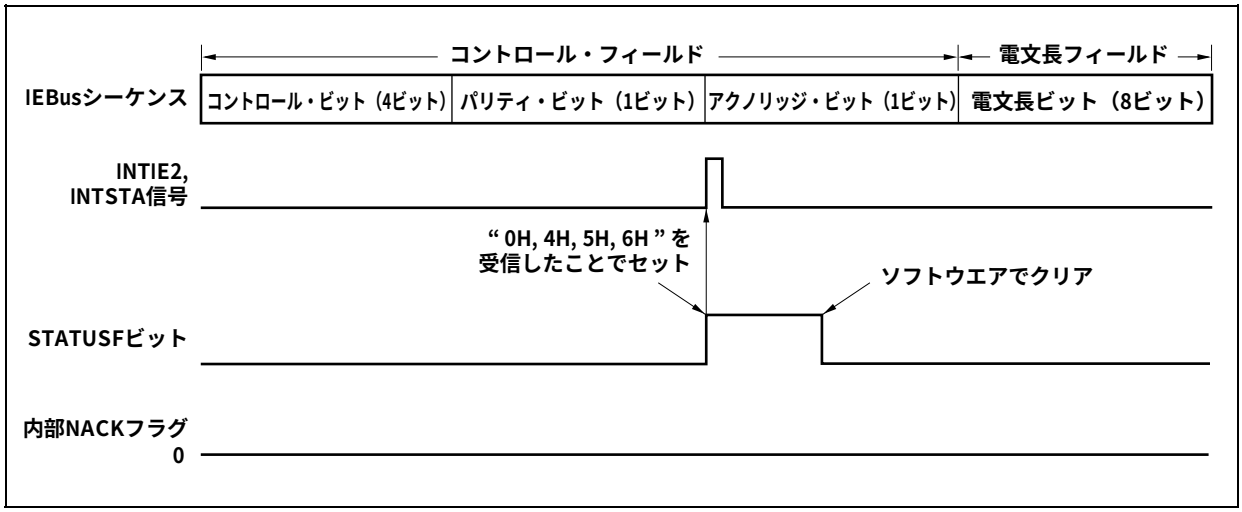
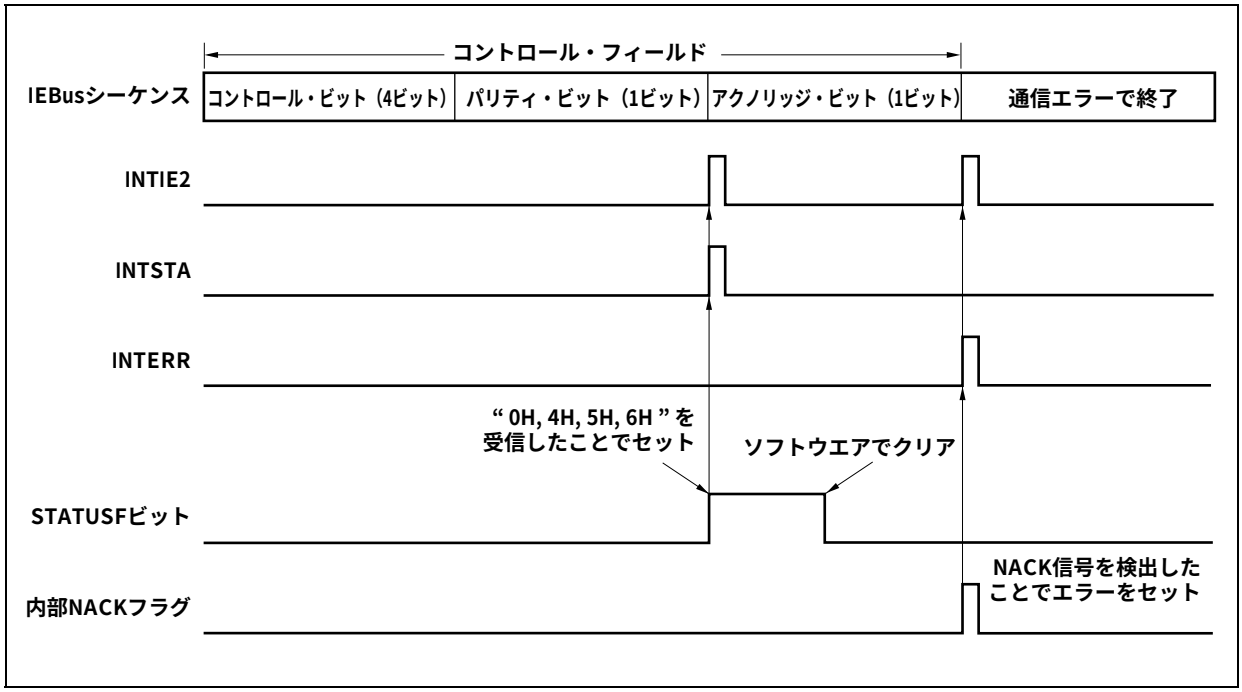
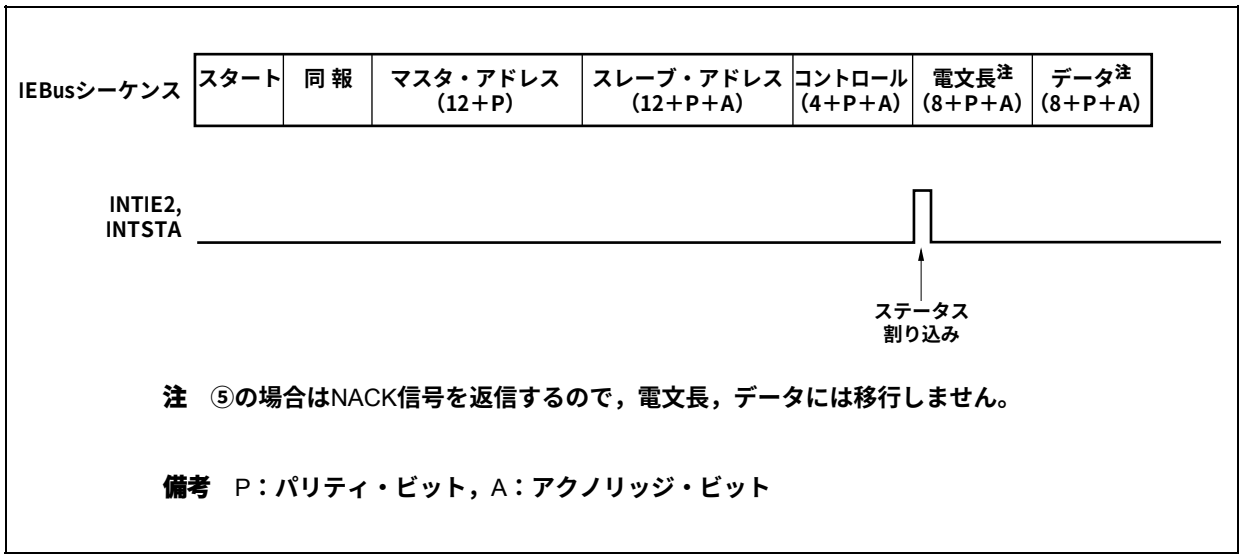


図18－17　割り込み要求信号発生タイミング（②，⑤の場合）



④，⑤の場合，「ロック状態中におけるロック要求以外からの通信」であるため，自局が通信対象の場合でもスタート割り込み要求信号や通信完了割り込み要求信号（INTIE2, INTSTA）は発生しません。ただし，スレーブ・ステータス，ロック・アドレスの要求を受け付けた場合はSTATUSFビットがセット（1）され，ステータス割り込み要求信号（INTIE2, INTSTA）が発生します。このようにロック状態中に同じコントロール・データを受けた場合でも，マスタ側がロック要求局（③）か，それ以外の局（④）かにより，INTIE2, INTSTAの発生タイミングが異なります。

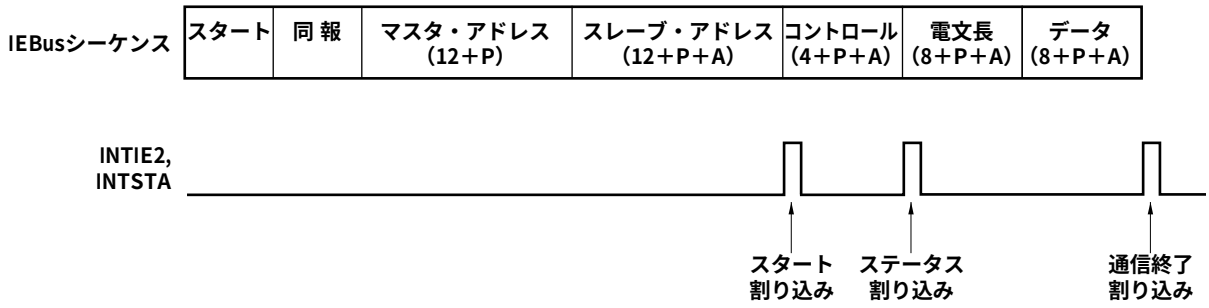
図18－18　ロック状態中のINTIE2, INTSTA割り込み要求信号発生タイミング（④，⑤の場合）



注　⑤の場合はNACK信号を返信するので，電文長，データには移行しません。

備考　P：パリティ・ビット，A：アクノリッジ・ビット

図18－19　ロック状態中のINTIE2, INTSTA割り込み要求信号発生タイミング（③の場合）



備考　P：パリティ・ビット，A：アクノリッジ・ビット

（12）IEBus電文長レジスタ（DLR）

DLRレジスタは，8ビット単位でリード／ライト可能です。

リセットにより01Hになります。

（a）送信ユニット時（マスタ送信，スレーブ送信）

電文長フィールドで送信されるデータに反映され，送信データのバイト数を表します。送信前にあらかじめDLRレジスタを設定してください。

（b）受信ユニット時（マスタ受信，スレーブ受信）

送信ユニットから送信される電文長フィールドの受信データが書き込まれます。

備考　DLRレジスタは，書き込み側と読み出し側が別レジスタになっており，書き込んだデータをそのまま読み出せる構成にはなっていません。読み出せるデータは，IEBus通信で受信したデータとなります。

リセット時：01H　　R/W　　アドレス：FFFFF36FH

	7	6	5	4	3	2	1	0
DLR								

ビット								設定値	通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	256バイト

注意1.　マスタからスレーブ・ステータス，ロック・アドレス（上位4ビット，下位8ビット）の送信要求（0H, 4H, 5H, 6H）があったとき，DLRレジスタの内容と無関係に01Hを電文長として送信するため，ソフトウエアでDLRレジスタを設定する必要はありません。

2.　受信ユニット時，DLRレジスタは電文長フィールドのパリティ・ビットが正常値のとき，電文長を格納しますが，このタイミングでDLRレジスタを読み出すと不定値を読み出します。

（13）IEBusデータ・レジスタ（DR）

DRレジスタは，通信データを設定するレジスタです。ビット7-0に通信データ（8ビット）を設定します。
8ビット単位でリード／ライト可能です。
リセットにより00Hになります。

備考　DRレジスタは，書き込み側と読み出し側が別レジスタになっており，書き込んだデータをそのまま読み出せる構成にはなっていません。読み出されるデータは，IEBus通信で受信したデータとなります。

（a）送信ユニット時

DRレジスタに書き込まれたデータ（1バイト分）は，IEBusインタフェース部の送信用シフト・レジスタに格納されます。引き続き最上位ビットから出力されて，正常に1バイトの送信が終了するごとに割り込み要求信号（INTIE1）が発生します。ただし，個別送信時に1バイト・データ送信後NACK信号を受信した場合は，DRレジスタから送信用シフト・レジスタへの転送は行われず，同一データを再送します。このとき，INTIE1信号は発生しません。

INTIE1信号は，DRレジスタの値が送信用シフト・レジスタに格納されるタイミングで発生します。ただし，最終バイトおよび32バイト目（1通信フレームの最終バイト）を送信用シフト・レジスタに格納したとき，INTIE1信号は発生しません。

（b）受信ユニット時

IEBusインタフェース部の受信用シフト・レジスタで受信したデータ1バイト分が格納されます。正常に1バイトの受信が終了するごとに割り込み要求信号（INTIE1）が発生します。

送受信データをDRレジスタに転送するとき，DMAを使用するとCPUの処理を軽減できます。

リセット時：00H　　R/W　　アドレス：FFFFF370H

	7	6	5	4	3	2	1	0
DR								

注意1.　送信ユニット時に次のデータの設定が間に合わない場合，アンダラン発生となり通信エラー割り込み要求信号（INTIE2, INTERR）が発生して送信を中止します。

2.　受信ユニット時かつ個別通信受信時に，データの読み出しが次のデータ受信タイミングに間に合わない場合は，データ・フィールドのアクノリッジ・ビットでNACK信号を返信し，マスタ・ユニットに再送を要求します。ただし，最大伝送バイト数に達してもDRレジスタの読み出しが行われない場合，フレーム終了割り込み要求信号（INTIE2, INTSTA）とNACK受信エラー割り込み要求信号（INTIE2, INTERR）が同時に発生します。

3.　受信ユニット時かつ同報通信受信時に，データの読み出しが次のデータ受信タイミングに間に合わない場合は，オーバラン・エラー発生となり，通信エラー割り込み要求信号（INTIE2, INTERR）が発生します。

4.　受信ユニット時，DRレジスタはデータ・フィールドのパリティ・ビットが正常値のとき受信データを格納しますが，このタイミングでDRレジスタを読み出すと不定値を読み出します。

（14）IEBusフィールド・ステータス・レジスタ（FSR）

各種割り込み要求信号（INTIE1, INTIE2, INTSTA, INTERR）発生時に，IEBusコントローラのフィールド・ステータスの状態を格納します。

8ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意1. 第三者間の通信中に割り込み要求信号が発生した場合，FSRレジスタは00Hになります。ただし，第三者間通信中に発生する割り込み要求信号はエラー発生による割り込み要求信号だけなので，第三者エラー発生フラグ（ESR.DEFLAGビット）をリードすることで，第三者間通信中のエラーと判断できます。

2. FSRレジスタは割り込み要求信号発生時にステータス情報を更新しますが，このタイミングでFSRレジスタを読み出すと不定値を読み出します。

3. FSRレジスタをリードする前に別の割り込み要求信号が発生すると，前の割り込み時のステータス情報は，新しい割り込み時のステータス情報で更新されてしまいます。

4. FSRレジスタは問題点解析用のみに使用し，実際のソフトウエアで使用しないでください。

リセット時：00H　R　アドレス：FFFFF371H

	7	6	5	4	3	2	1	0
FSR	0	0	0	0	0	0	FSTATE1	FSTATE0

備考　FSTATE1, FSTATE0ビットの説明は表18－15　フィールド・ステータスを参照してください。

表18－15　フィールド・ステータス

フィールド・ステータス	説明		
	マスタ／スレーブ	フィールド	送信／受信
スレーブ送信状態 FSR = 00H	スレーブ動作	スタート・フィールド	受信中
		マスタ・アドレス・フィールド	
		スレーブ・アドレス・フィールド	
		コントロール・データ・フィールド	
		電文長フィールド	
		データ・フィールド	
スレーブ送信状態 FSR = 01H	スレーブ動作	電文長フィールド	送信中
		データ・フィールド	
マスタ受信状態 FSR = 02H	マスタ動作	電文長フィールド	受信中
		データ・フィールド	
マスタ送信状態 FSR = 03H	マスタ動作	スタート・フィールド	送信中
		マスタ・アドレス・フィールド	
		スレーブ・アドレス・フィールド	
		コントロール・データ・フィールド	
		電文長フィールド	
		データ・フィールド	

（15）IEBusサクセス・カウント・レジスタ（SCR）

SCRレジスタは，残りの通信バイト数を示すレジスタです。

DLRレジスタで設定された値が，データ・フィールドの$\overline{\text{ACK}}$信号によりデクリメントされるカウンタのカウント値が読み出されます。また，カウント値が00Hになると通信終了フラグ（ISR.ENDTRNSビット）がセット（1）されます。

8ビット単位でリードのみ可能です。

リセットにより01Hになります。

リセット時：01H　　R　　アドレス：FFFFF372H

	7	6	5	4	3	2	1	0
SCR								

ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	0バイト（通信終了）または256バイト注

注　実際のカウンタのビット長は，9ビットで構成されています。00Hが読み出されたときは，残りの通信データ・バイト数が0バイト（通信終了）なのか，256バイトなのか判断できません。したがって，通信終了フラグ（ENDTRNSビット）と併用して処理するか，通信開始時の最初の割り込み（00H）が読み出された場合は，残りの通信データ・バイト数は256バイトと判断することができます。

注意　SCRレジスタは電文長フィールドのパリティ期間終了時，データ・フィールドの$\overline{\text{ACK}}$信号受信時に更新されますが，このタイミングでSCRレジスタを読み出すと不定値を読み出します。

（16）IEBusコミュニケーション・カウント・レジスタ（CCR）

CCRレジスタは，通信モードで規定されている通信バイト数に対する残りバイト数を示すレジスタです。

CCRレジスタは，伝送バイト数を示します。

各モードで規定されている1フレーム当たりの最大伝送バイト数（モード1：32バイト，モード2：128バイト）がプリセットされ，データ・フィールドのアクノリッジ・ビットの期間に$\overline{\text{ACK}}$/NACK信号に関係なくデクリメントされるカウンタのカウント値が読み出されます。SCRレジスタが正常通信（$\overline{\text{ACK}}$信号）でデクリメントされるのに対して，CCRレジスタは$\overline{\text{ACK}}$/NACK信号にかかわらず1バイトを通信するとデクリメントされます。また，カウント値が00Hになるとフレーム終了フラグ（ISR.ENDFRAMビット）がセット（1）されます。

プリセット値のフレーム当たりの最大伝送バイト数は，モード1が20H（32バイト），モード2が80H（128バイト）になります。

8ビット単位でリードのみ可能です。

リセットにより20Hになります。

リセット時：20H　　R　　アドレス：FFFFF373H

	7	6	5	4	3	2	1	0
CCR								

注意　CCRレジスタはスタート・ビット送受信時に最大伝送バイト数がプリセットされ，データ・フィールドのパリティ期間終了時にデクリメントされますが，このタイミングでCCRレジスタを読み出すと不定値を読み出します。

（17）IEBusクロック選択レジスタ（OCKS2）

IEBusのクロックを選択するレジスタです。使用できるメイン・クロック周波数を次に示します。それ以外のメイン・クロック周波数は使用できません。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

- 6.0 MHz/ 6.291456 MHz （6.29 MHz）
- 12.0 MHz/12.582912 MHz（12.58 MHz）
- 18.0 MHz/18.874368 MHz（18.87 MHz）
- 24.0 MHz/25.165824 MHz（25.16 MHz）
- 30.0 MHz/31.457280 MHz（31.45 MHz）

リセット時：00H　R/W　**アドレス：**FFFFF348H

	7	6	5	4	3	2	1	0
OCKS2	0	0	0	OCKSEN2	OCKSTH2	0	OCKS21	OCKS20

OCKSEN2	IEBusクロック動作指定
0	IEBusクロック動作停止
1	IEBusクロック動作許可

OCKSTH2	OCKS21	OCKS20	IEBusクロック選択
0	0	0	$f_{XX}/2$（f_{XX} = 12.0 MHzまたはf_{XX} = 12.58 MHzのとき）
0	0	1	$f_{XX}/3$（f_{XX} = 18.0 MHzまたはf_{XX} = 18.87 MHzのとき）
0	1	0	$f_{XX}/4$（f_{XX} = 24.0 MHzまたはf_{XX} = 25.16 MHzのとき）
0	1	1	$f_{XX}/5$（f_{XX} = 30.0 MHzまたはf_{XX} = 31.45 MHzのとき）
1	0	0	f_{XX}　（f_{XX} = 6.0 MHzまたはf_{XX} = 6.29 MHzのとき）
上記以外			設定禁止

18. 4　IEBusコントローラの割り込み動作

18. 4. 1　割り込み制御部

割り込み要求信号について次に示します。

① 通信エラー　：IEERR
　(i) タイミング・エラー　：TERR
　(ii) パリティ・エラー　：PERR
　(iii) NACK受信エラー　：NERR
　(iv) アンダラン・エラー　：UERR
　(v) オーバラン・エラー　：OERR
　(vi) ライト・エラー　：WERR
② スタート割り込み　：STARTF
③ ステータス通信　：STATUSF
④ 通信終了　：ENDTRNS
⑤ フレーム終了　：ENDFRAM
⑥ 送信データ書き込み要求　：$\overline{\text{STATTX}}$
⑦ 受信データ読み出し要求　：STATRX

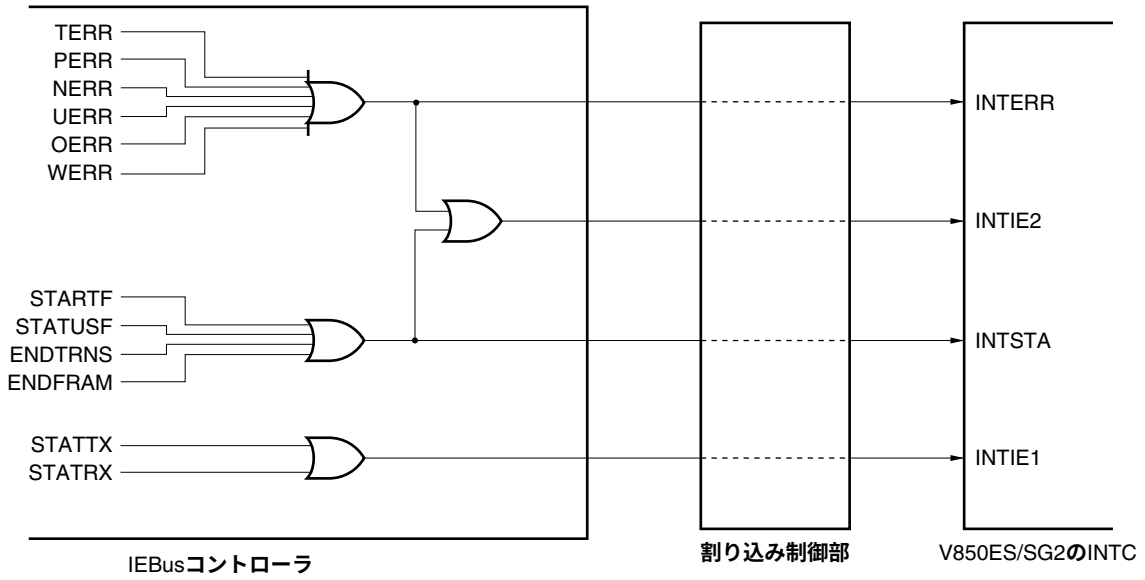
上記のエラー要因（i）～（vi）のいずれかが発生したときに①通信エラーは発生します。

これらのエラー要因はエラー・ステータス・レジスタ（ESR）にアサインされています（表18－18　通信エラー要因処理一覧参照）。

上記の①-⑤の割り込み要求信号は，ISRレジスタに割り当てられています（表18－17　割り込み要因一覧参照）。

次に割り込み制御部の構成を示します。

図18－20　割り込み制御部の構成



注意1.　STATRX, $\overline{\text{STATTX}}$**信号の論理和（**OR**）出力については，割り込み要求信号（**INTIE1**）として扱います。**

2.　TERR, PERR, NERR, UERR, OERR, WERR**信号の論理和（**OR**）出力については，通信エラー（**IEERR**）として扱い，また割り込み要求信号（**INTERR**）として扱います。**

3.　STARTF, STATUSF, ENDTRNS, ENDFRAM**信号の論理和（**OR**）出力については，割り込み要求信号（**INTSTA**）として扱います。**

4.　IEERR, STARTF, STATUSF, ENDTRNS, ENDFRAM**信号の論理和（**OR**）出力（**INTSTA, INTERR **信号の論理和（**OR**）出力）については，割り込み要求信号（**INTIE2**）として扱います。**

表18－16　割り込み要求信号生成要因一覧

割り込み要因一覧	略号	割り込み要求信号			
		INTIE1	INTIE2	INTERR	INTSTA
通信エラー割り込み	IEERR		○	○	
タイミング・エラー	TERR				
パリティ・エラー	PERR				
NACK受信エラー	NERR				
アンダラン・エラー	UERR				
オーバラン・エラー	OERR				
ライト・エラー	WERR				
スタート割り込み	STARTF		○		○
ステータス送信	STATUSF		○		○
通信終了	ENDTRNS		○		○
フレーム終了	ENDFRAM		○		○
送信データ書き込み要求	$\overline{\text{STATTX}}$	○			
受信データ読み出し要求	STATRX	○			

18. 4. 2　割り込み判定例

IEBusコントローラは，次の2通りの割り込み処理方法があります。

- INTIE1, INTERR, INTSTAの3つの割り込み要求信号を使用
- INTIE1, INTIE2の2つの割り込み要求信号を使用

注意　使用しない割り込み要因についてはマスクをして発生しないようにしてください。

それぞれの場合についての割り込み判定例を次に示します。

（1）INTIE1, INTERR, INTSTA信号使用時

図18－21　INTIE1信号の割り込み判定例（INTIE1, INTERR, INTSTA信号使用時）

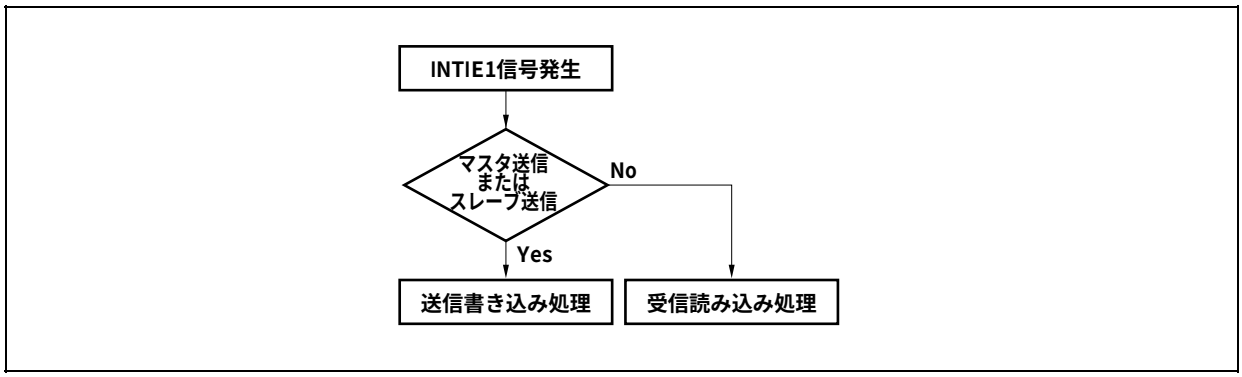


図18－22　INTERR信号の割り込み判定例（INTIE1, INTERR, INTSTA信号使用時）

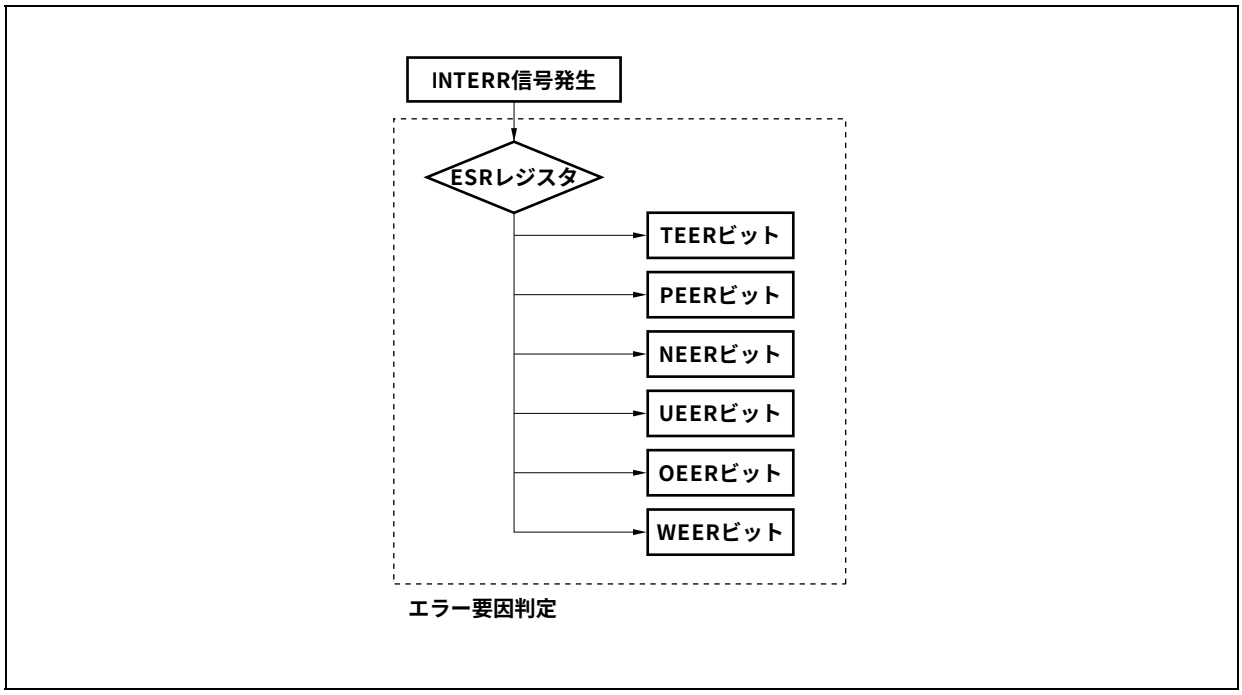
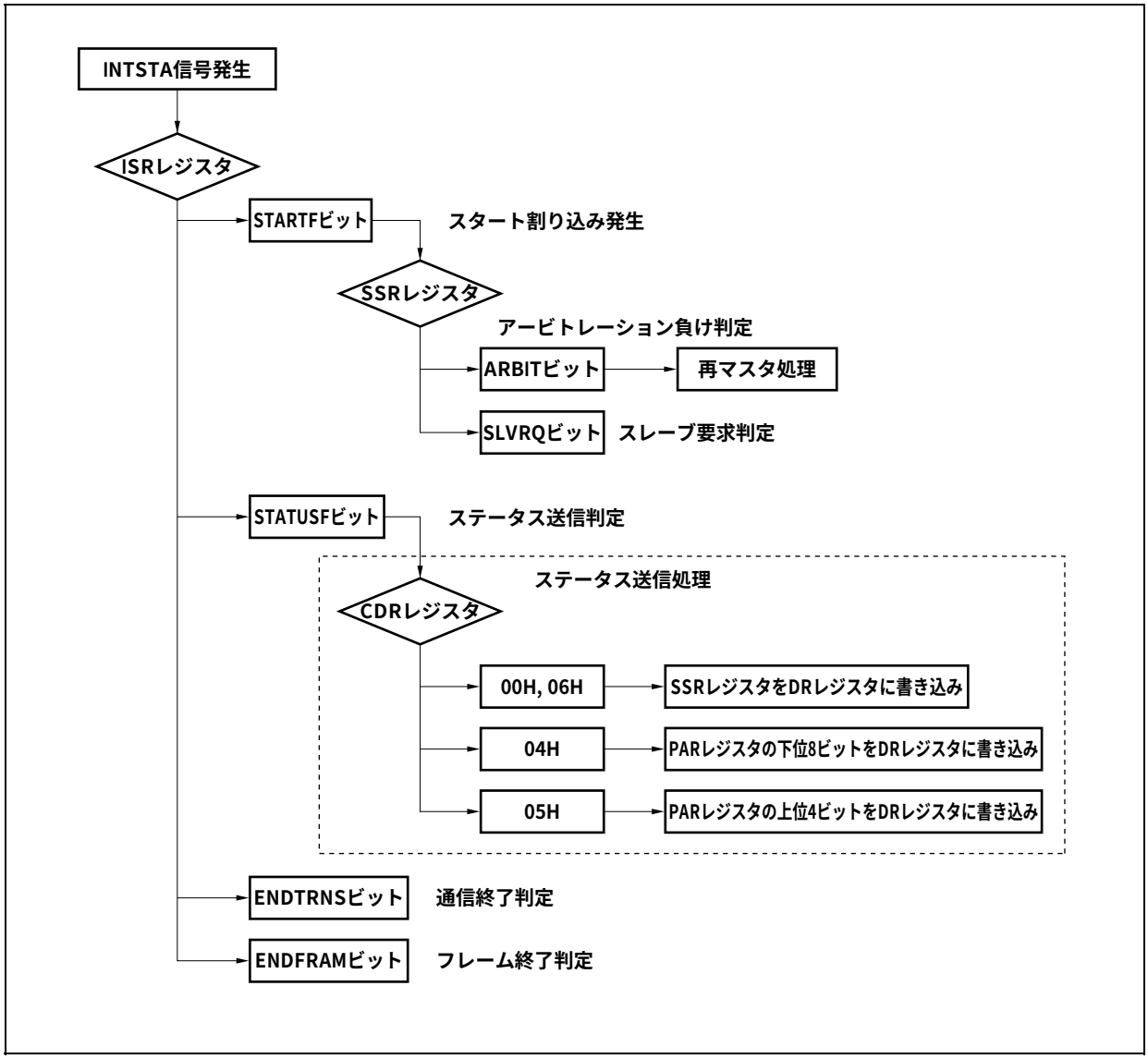


図18－23　INTSTA信号の割り込み判定例（INTIE1, INTERR, INTSTA信号使用時）



（2）INTIE1, INTIE2信号使用時

図18－24　INTIE1信号の割り込み判定例（INTIE1, INTIE2信号使用時）

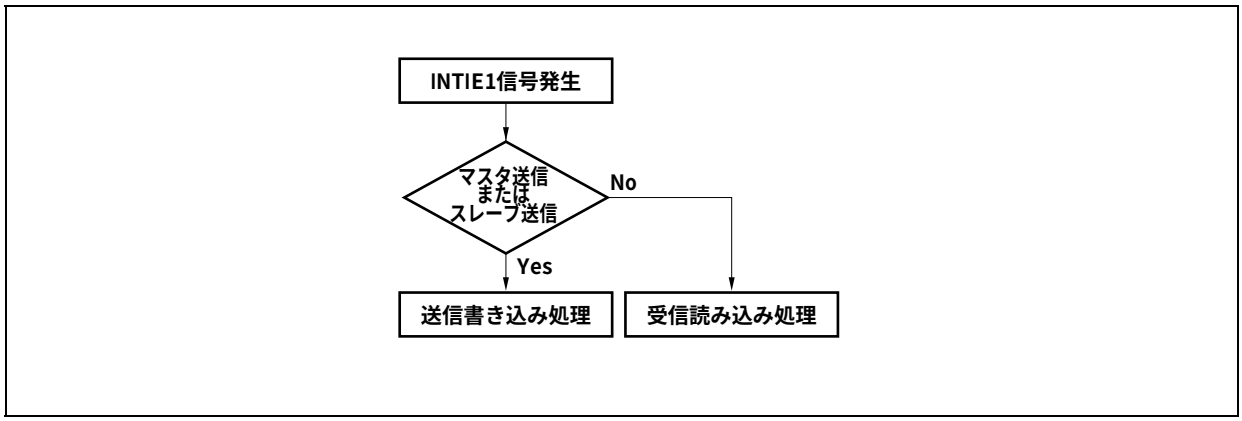
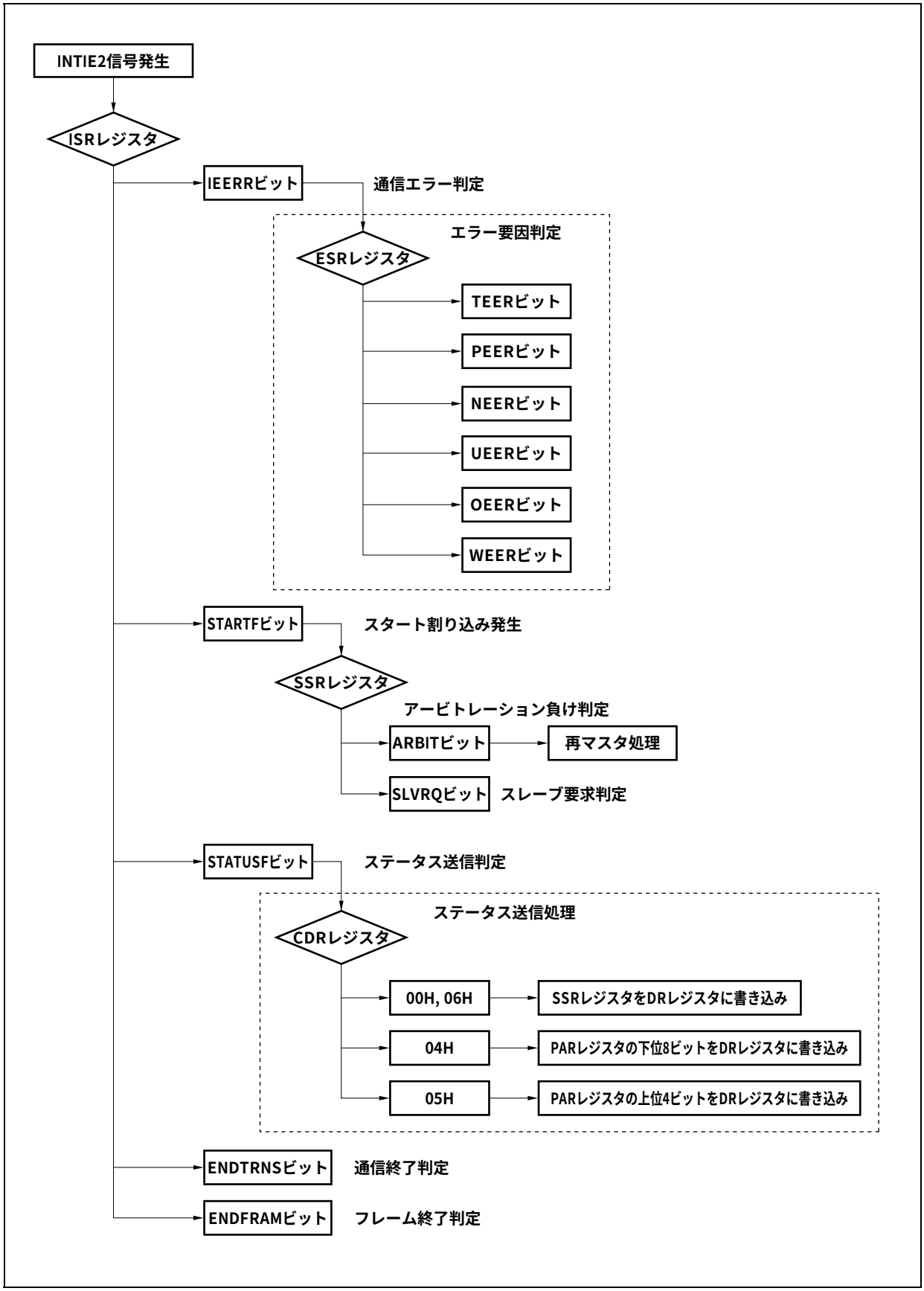


図18ー25　INTIE2信号の割り込み判定例（INTIE1, INTIE2信号使用時）



18. 4. 3　割り込み要因一覧

V850ES/SG2内蔵用IEBusコントローラの割り込み要求信号は，ベクタ割り込みとDMA転送の2つに分けられます。割り込み要求信号は，ソフトウエア操作で指定できます。割り込み要因の一覧を次に示します。

表18－17　割り込み要因一覧

割り込み要因		発生状態		割り込み要求信号発生後のソフトウエア処理	備　　考
		ユニット	フィールド		
通信エラー	タイミング・エラー	マスタ／スレーブ	全フィールド	通信処理のやり直し	通信エラーは，タイミング・エラー，パリティ・エラー，NACK受信エラー，アンダラン・エラー，オーバラン・エラー，ライト・エラーの論理和（OR）出力になります。
	パリティ・エラー	受信	データ以外（個別）		
			全フィールド（同報）		
	NACK受信エラー	受信（送信）	データ以外（個別）		
	アンダラン・エラー	送信	データ		
	オーバラン・エラー	受信	データ（同報）		
	ライト・エラー	送信	データ		
スタート割り込み		マスタ	スレーブ／アドレス	スレーブ要求判定 競合判定 （負けた場合は再マスタ処理） 通信準備処理	マスタ要求時は，競合に負けた場合も必ず割り込み要求信号が発生します。
		スレーブ	スレーブ／アドレス	スレーブ要求判定 通信準備処理	スレーブ要求時のみ発生します。
ステータス送信		スレーブ	コントロール	スレーブ・ステータスなどの送信処理例を参照してください。	スレーブ送信許可フラグに関係なく発生します。コントロール・フィールドでNACK信号を返信するときも発生します。
通信終了		送信	データ	DMA転送終了処理	SCRレジスタが00Hになるとセットされます。
		受信	データ	DMA転送終了処理 受信データ処理	
フレーム終了		送信	データ	再通信準備処理	CCRレジスタが00Hになるとセットされます。
		受信	データ	再受信準備処理	
送信データ書き込み		送信	データ	送信データ読み出し[注]	送信データを内部シフト・レジスタへ転送後にセットされます。最終データ転送時には発生しません。
受信データ読み出し		受信	データ	受信データ読み出し[注]	正常データ受信後にセットされます。

注　DMA転送またはソフトウエア操作をしない場合

18. 4. 4　通信エラー要因処理一覧

各通信エラー（タイミング・エラー，NACK受信エラー，オーバーラン・エラー，アンダラン・エラー，パリティ・エラー，ライト・エラー）発生条件，IEBusコントローラのエラー処理内容，およびソフトウエアでの処理例を次に示します。

表18－18　通信エラー要因処理一覧（1/2）

		タイミング・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	ビット規定タイミングを外れた場合			
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウエア処理	・受信中止 ・INTIE2信号発生 ・スタート・ビット待ち状態へ 備考　他局間の通信は終了しない。		・送信中止 ・INTIE2信号発生 ・スタート・ビット待ち状態へ	
	ソフトウエア処理	・エラー処理（再送要求など）		・エラー処理（再送要求など）	
個別通信時	ハードウエア処理	・受信中止 ・INTIE2信号発生 ・NACK信号を返信 ・スタート・ビット待ち状態へ		・送信中止 ・INTIE2信号発生 ・スタート・ビット待ち状態へ	
	ソフトウエア処理	・エラー処理（再送要求など）		・エラー処理（再送要求など）	

		NACK受信エラー				
発生条件	自局状態	受信時		送信時		
	発生条件	自局がNACK信号を送信		NACK信号を受信		
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド	32バイト目のデータでNACK信号を受信
同報通信時	ハードウエア処理	－	－	－	－	－
	ソフトウエア処理	－	－	－	－	－
個別通信時	ハードウエア処理	・受信中止 ・INTIE2信号発生 ・スタート・ビット待ち状態へ	・INTIE2信号発生せず ・他局が再送するデータを受信	・送信中止 ・INTIE2信号発生 ・スタート・ビット待ち状態へ	・INTIE2信号発生せず ・再送処理	・INTIE2信号発生 ・スタート・ビット待ち状態へ
	ソフトウエア処理	・エラー処理（再送要求など）	－	・エラー処理（再送要求など）	－	・エラー処理（再送要求など）

表18－18　通信エラー要因処理一覧（2/2）

		オーバラン・エラー		アンダラン・エラー／ライト・エラー	
発生条件	自局状態	受信時		送信時	
	発生条件	DRレジスタの読み出しが次データ受信タイミングまでに間に合わない		DRレジスタの書き込みが次データ送信タイミングまでに間に合わない	
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウエア処理	－	・受信中止 ・INTIE2信号発生 ・スタート・ビット待ち状態へ 備考1.　他局間の通信は終了しない。 2.　オーバラン状態解除までデータ受信できない。	－	・送信中止 ・INTIE2信号発生 ・スタート・ビット待ち状態へ
	ソフトウエア処理	－	・DRレジスタの読み出しを実行し，オーバラン状態解除を行う ・エラー処理（再送要求など）	－	・エラー処理（再送要求など）
個別通信時	ハードウエア処理	－	・INTIE2信号発生せず ・NACK信号を返信 ・他局からデータ再送 備考　オーバラン状態解除までデータ受信できない。	－	・送信中止 ・INTIE2信号発生 ・スタート・ビット待ち状態へ
	ソフトウエア処理	－	・DRレジスタの読み出しを実行し，オーバラン状態解除を行う ・エラー処理（再送要求など）	－	・エラー処理（再送要求など）

		パリティ・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	受信データと受信パリティが不一致		－	
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウエア処理	・受信中止 ・INTIE2信号発生 ・スタート・ビット待ち状態へ 備考　他局間の通信は終了しない。		－	－
	ソフトウエア処理	・エラー処理（再送要求など）		－	－
個別通信時	ハードウエア処理	・受信中止 ・INTIE2信号発生 ・スタート・ビット待ち状態へ	・受信中止せず ・INTIE2信号発生せず ・NACK信号を返信 ・他局から再送されたデータを受信	－	－
	ソフトウエア処理	・エラー処理（再送要求など）	－	－	－

18. 5　割り込み要求信号発生タイミングおよび主なCPU処理内容

18. 5. 1　マスタ送信

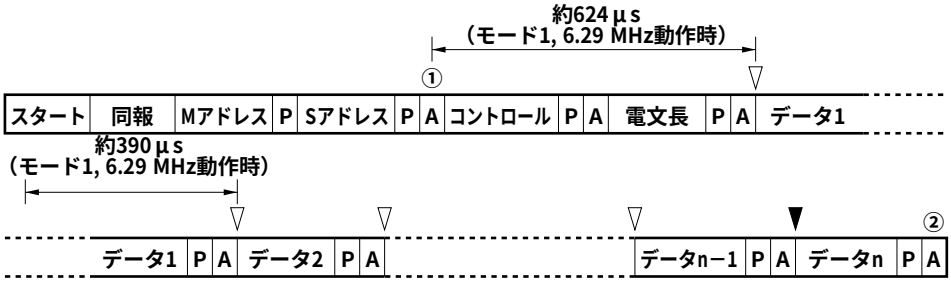
初期準備処理：

自局アドレス，スレーブ・アドレス，コントロール・データ，電文長，1バイト目送信データの設定

通信開始処理：

BCRレジスタの設定（通信許可，マスタ・リクエスト，スレーブ受信許可）

図18－26　マスタ送信



① 割り込み要求信号（INTIE2, INTSTA）発生

エラー発生判定[注] ⟶ エラー処理

↓

スレーブ要求判定 ⟶ スレーブ受信処理（18. 5. 1（1）スレーブ受信処理参照）

↓

競合結果判定 ⟶ 再マスタ要求処理

② 割り込み要求信号（INTIE2, INTSTA）発生

エラー発生判定[注] ⟶ エラー処理

↓

通信終了判定 ⟶ 通信終了処理

↓

フレーム終了判定 ⟶ 再通信処理（18. 5. 1（3）再通信処理参照）

注　スタート割り込みとしてINTIE2割り込み要求信号を使用した場合のみ必要で，INTSTA割り込み要求信号を使用した場合は必要ありません（この場合，エラー処理はINTERR割り込み要求信号で行います）。

備考1.　▽：割り込み要求信号（INTIE1）が発生します（18. 5. 1（2）割り込み要求信号（INTIE1）発生参照）。

DMA転送にて2バイト目以降の送信データをDRレジスタに書き込みます。このときの転送方向は，RAM→内蔵周辺I/Oになります。

2.　▼：割り込み要求信号（INTIE1）は発生しません。

3.　n = 最終データ・バイト数

(1) スレーブ受信処理

ベクタ割り込み処理でスレーブ受信要求を確認した場合は，1バイト目のデータを受信するまでに，DMA転送のデータの転送方向をRAM→内蔵周辺I/Oから内蔵周辺I/O→RAMに変更してください。通信モード1（6.29 MHz動作時）のとき，このデータ転送方向の変更処理の保留期間は，最大約1040 μsになります。

(2) 割り込み要求信号（INTIE1）発生

データ・フィールドでスレーブからNACK信号を受信した場合は，割り込みコントローラ（INTC）に対して割り込み要求信号（INTIE1）は発生しないで，ハードウエアにより同じデータを再送します。また，送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は，アンダラン発生により通信エラー割り込み要求信号（INTERR）が発生して，通信は途中終了になります。

(3) 再通信処理

図18－26の②のベクタ割り込み処理では，1フレーム以内で正常にデータの送信が終了したか，しなかったかを判定します。正常に送信できていない（1フレーム以内で送信すべきデータ数が送信できなかった）場合は，次の通信フレームで再送，または続きのデータ送信を行ってください。

18. 5. 2　マスタ受信

マスタ受信を行う場合は，あらかじめスレーブとなるユニットに対して，「スレーブ送信」を予告しておく必要があります。したがって，マスタ受信は最低2通信フレーム必要になります。

スレーブ・ユニットは送信データを用意して，スレーブ送信許可フラグ（BCR.ENSLVTXビット）をセット（1）して待機します。

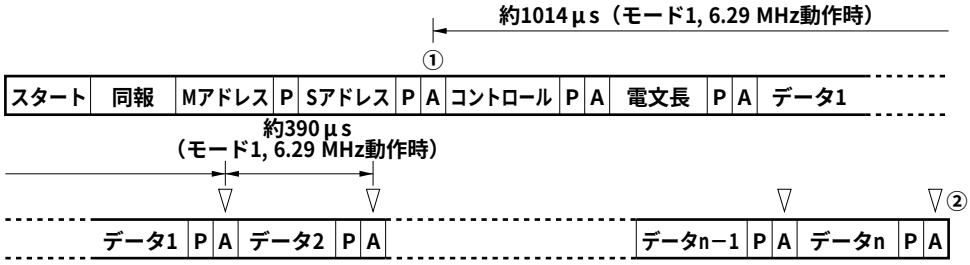
初期準備処理：

自局アドレス，スレーブ・アドレス，コントロール・データの設定

通信開始処理：

BCRレジスタの設定（通信許可，マスタ・リクエスト）

図18－27　マスタ受信



① 割り込み要求信号（INTIE2, INTSTA）発生

エラー発生判定注 → エラー処理

↓

スレーブ要求判定 → スレーブ受信処理

↓

競合結果判定 → 再マスタ要求処理

② 割り込み要求信号（INTIE2, INTSTA）発生

エラー発生判定注 → エラー処理

↓

通信終了判定 → 通信終了処理

↓

フレーム終了判定 → フレーム終了処理（18. 5. 2（2）フレーム終了処理参照）

注　スタート割り込みとしてINTIE2割り込み要求信号を使用した場合のみ必要で，INTSTA割り込み要求信号を使用した場合は必要ありません（この場合，エラー処理はINTERR割り込み要求信号で行います）。

備考1.　▽：割り込み要求信号（INTIE1）が発生します（18. 5. 2（1）割り込み要求信号（INTIE1）発生参照）。

DMA転送にてDRレジスタに格納された受信データを読み出します。このときの転送方向は，内蔵周辺I/O→RAMになります。

2.　n = 最終データ・バイト数

(1) 割り込み要求信号（INTIE1）発生

データ・フィールドでNACK信号を送信（ハードウエア処理）した場合は，INTCに対して割り込み要求信号（INTIE1）は発生しないで，スレーブより同じデータが再送されます。また，受信したデータの読み出しが次のデータ受信に間に合わなかった場合は，自動的にハードウエアでNACK信号を送信します。

(2) フレーム終了処理

図18－27の②のベクタ割り込み処理では，1フレーム以内で正常にデータの受信が終了したか，しなかったかを判定します。正常に受信できていない（1フレーム以内で受信すべきデータ数が受信できなかった）場合は，次の通信フレームで，スレーブに再送要求を行ってください。

18. 5. 3　スレーブ送信

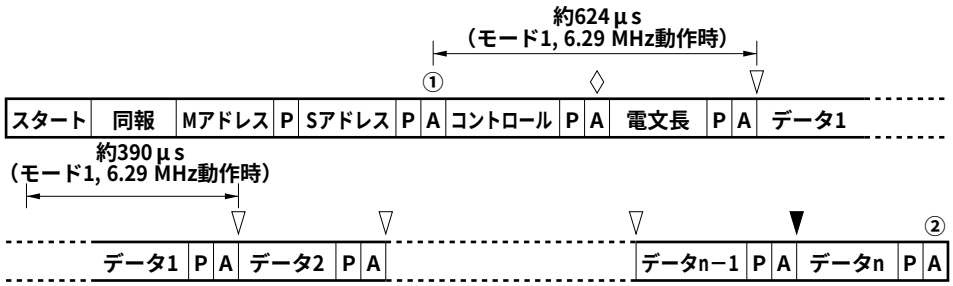
初期準備処理：

自局アドレス，電文長，1バイト目送信データの設定

通信開始処理：

BCRレジスタの設定（通信許可，スレーブ送信許可，スレーブ受信許可）

図18－28　スレーブ送信



① 割り込み要求信号（INTIE2, INTSTA）発生

エラー発生判定注 ⟶ エラー処理

↓

スレーブ要求判定

② 割り込み要求信号（INTIE2, INTSTA）発生

エラー発生判定注 ⟶ エラー処理

↓

通信終了判定 ⟶ 通信終了処理

↓

フレーム終了判定 ⟶ フレーム終了処理（18. 5. 3（2）フレーム終了処理参照）

注　スタート割り込みとしてINTIE2割り込み要求信号を使用した場合のみ必要で，INTSTA割り込み要求信号を使用した場合は必要ありません（この場合，エラー処理はINTERR割り込み要求信号で行います）。

備考1.　▽：割り込み要求信号（INTIE1）が発生します（18. 5. 3（1）割り込み要求信号（INTIE1）発生参照）。

DMA転送にて2バイト目以降の送信データをDRレジスタに書き込みます。このときの転送方向は，RAM→内蔵周辺I/Oになります。

2.　▼：割り込み要求信号（INTIE1）は発生しません。

3.　◇：割り込み要求信号（INTIE2）が発生します。

スレーブ状態で，かつコントロール・フィールドで，0H, 4H, 5H, 6Hを受信したときのみ割り込み要求信号が発生します（ロック設定状態でのスレーブ・ステータス返信動作については，18. 3（11）IEBusコントロール・データ・レジスタ（CDR）を参照してください）。

4.　n = 最終データ・バイト数

(1) 割り込み要求信号（INTIE1）発生

データ・フィールドでスレーブからNACK信号を受信した場合は，INTCに対して割り込み要求信号（INTIE1）は発生しないで，ハードウエアより同じデータを再送します。また，送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は，アンダラン発生により通信エラー割り込み要求信号（INTERR）が発生して，通信は異常終了になります。

(2) フレーム終了処理

図18－28の②のベクタ割り込み処理では，1フレーム以内で正常にデータの送信が終了したか，しなかったかを判定します。正常に送信できていない（1フレーム以内で送信すべきデータ数が送信できなかった）場合は，次の通信フレームで再送，または続きのデータ送信を行ってください。

18. 5. 4　スレーブ受信

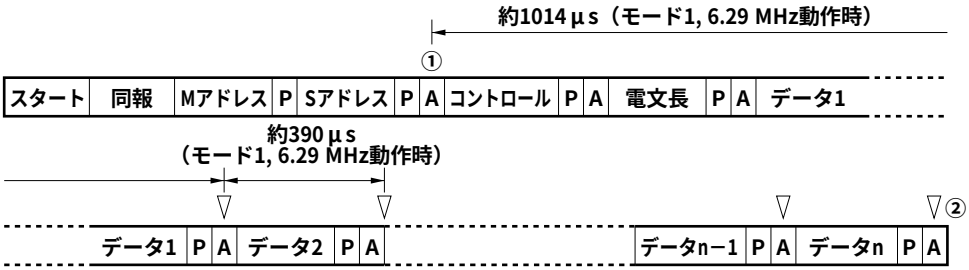
初期準備処理：

自局アドレスの設定

通信開始処理：

BCR**レジスタの設定（通信許可，スレーブ送信禁止，スレーブ受信許可）**

図18－29　**スレーブ受信**



① 割り込み要求信号（INTIE2, INTSTA）発生

エラー発生判定[注] ⟶ エラー処理

↓

スレーブ要求判定 ⟶ スレーブ処理

② 割り込み要求信号（INTIE2, INTSTA）発生

エラー発生判定[注] ⟶ エラー処理

↓

通信終了判定 ⟶ 通信終了処理

↓

フレーム終了判定 ⟶ フレーム終了処理（18. 5. 4（2）**フレーム終了処理**参照）

注　スタート割り込みとしてINTIE2割り込み要求信号を使用した場合のみ必要で，INTSTA割り込み要求信号を使用した場合は必要ありません（この場合，エラー処理はINTERR割り込み要求信号で行います）。

備考1.　▽：割り込み要求信号（INTIE1）が発生します（18. 5. 4（1）**割り込み要求信号**（INTIE1）**発生**参照）。

DMA**転送にて**DR**レジスタに格納された受信データを読み出します。このときの転送方向は，内蔵周辺**I/O→RAM**になります。**

2.　n = **最終データ・バイト数**

(1) 割り込み要求信号（INTIE1）発生

データ・フィールドでNACK信号を送信した場合は，INTCに対して割り込み要求信号（INTIE1）は発生しないで，マスタより同じデータが再送されます。また，受信したデータの読み出しが次のデータ受信までに間に合わなかった場合は，自動的にNACK信号を送信します。

(2) フレーム終了処理

図18－29の②のベクタ割り込み処理では，1フレーム以内で正常にデータの受信が終了したか，しなかったかを判定します。

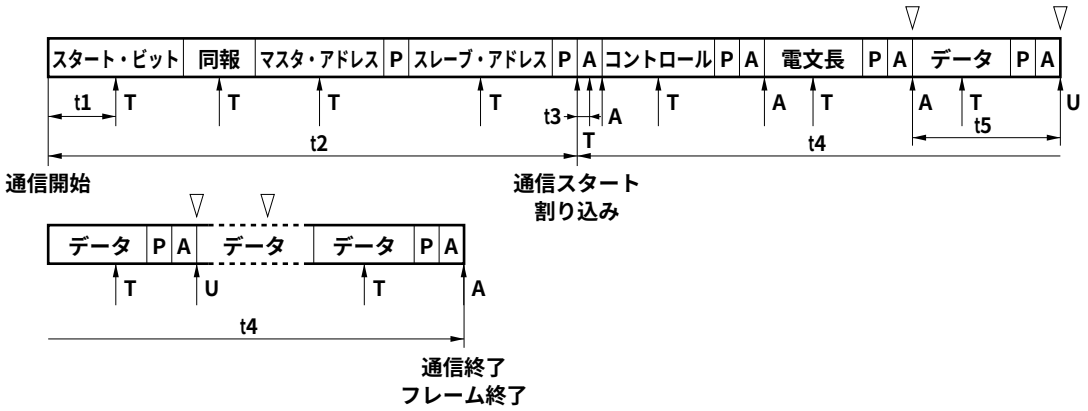
18. 5. 5　IEBus制御用割り込み要求信号発生間隔

各制御割り込み要求信号は，通信中それぞれのポイントで逐次発生して，次の割り込み要求信号発生までに必要な処理を行います。そのため，ソフトウエアでこの割り込み要求信号発生間隔の最短時間を考慮して，IEBusコントロール・ブロックを制御します。

次に示すエラー割り込み要求信号に関しては，発生する可能性のあるフィールドに“↑”で示しています（この“↑”で示しているポイントごとに割り込み要求信号が発生するわけではありません）。エラー割り込み要求信号（タイミング・エラー，パリティ・エラー，NACK受信エラー）が発生した場合，IEBus内部回路を初期化するため，その通信フレーム内でそれ以降の割り込み要求信号は発生しなくなります。

（1）マスタ送信

図18－30　マスタ送信（割り込み要求信号発生間隔）



備考1.　T　：タイミング・エラー

A　：NACK受信エラー

U　：アンダラン・エラー

▽　：データ・セット割り込み（INTIE1）

2.　フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています（IEBus：モード1, 6.29 MHz動作時）。

t1：通信開始→タイミング・エラー（約93 μs）

t2：通信開始→通信スタート割り込み（約1282 μs）

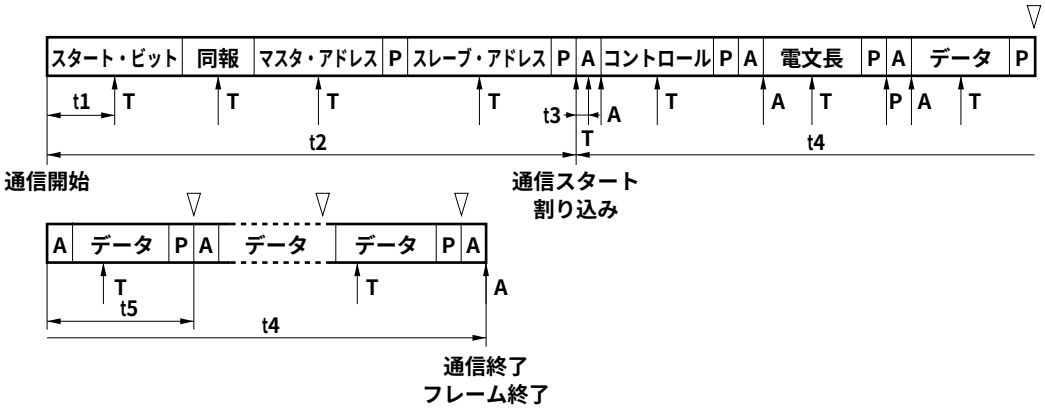
t3：通信スタート割り込み→タイミング・エラー（約15 μs）

t4：通信スタート割り込み→通信終了（約1012 μs）

t5：送信データ要求割り込み間隔（約375 μs）

(2) マスタ受信

図18－31　マスタ受信（割り込み要求信号発生間隔）



備考1.　T　：タイミング・エラー

P　：パリティ・エラー

A　：NACK受信エラー

▽　：データ・セット割り込み（INTIE1）

2.　フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています（IEBus：モード1, 6.29 MHz動作時）。

t1：通信開始→タイミング・エラー（約93 μs）

t2：通信開始→通信スタート割り込み（約1282 μs）

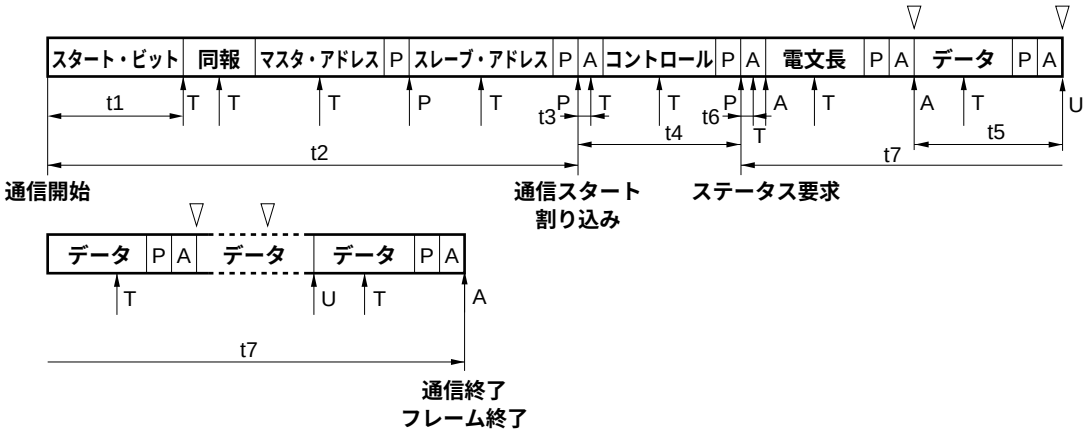
t3：通信スタート割り込み→タイミング・エラー（約15 μs）

t4：通信スタート割り込み→通信終了（約1012 μs）

t5：受信データ読み出し間隔（約375 μs）

(3) スレーブ送信

図18－32　スレーブ送信（割り込み要求信号発生間隔）



備考1.　T　：タイミング・エラー

P　：パリティ・エラー

A　：NACK受信エラー

U　：アンダラン・エラー

▽　：データ・セット割り込み（INTIE1）

2.　フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています（IEBus：モード1, 6.29 MHz動作時）。

t1：通信開始→タイミング・エラー（約196 μs）

t2：通信開始→通信スタート割り込み（約1192 μs）

t3：通信スタート割り込み→タイミング・エラー（約15 μs）

t4：通信スタート割り込み→ステータス要求（約225 μs）

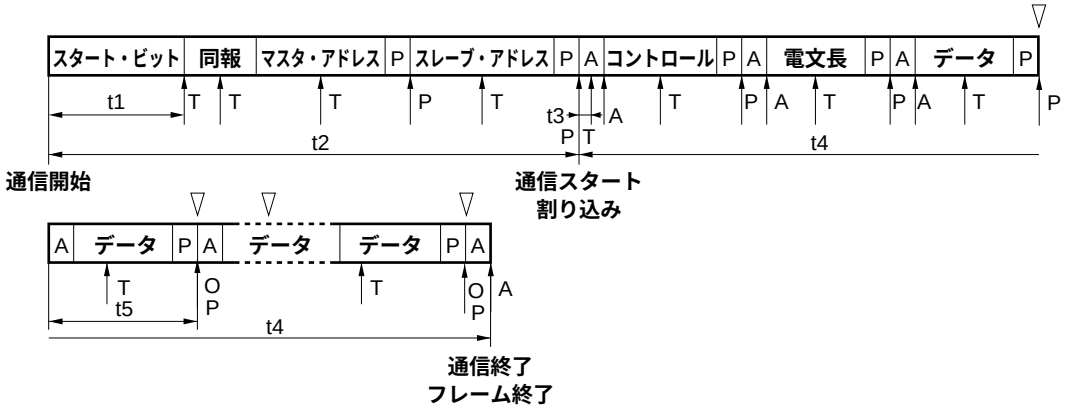
t5：送信データ要求割り込み間隔（約375 μs）

t6：ステータス要求→タイミング・エラー（約15 μs）

t7：ステータス要求→通信終了（約787 μs）

(4) スレーブ受信

図18－33　スレーブ受信（割り込み要求信号発生間隔）



備考1.　T　：タイミング・エラー

P　：パリティ・エラー

A　：NACK受信エラー

O　：オーバラン・エラー

▽　：データ・セット割り込み（INTIE1）

2.　フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています（IEBus：モード1, 6.29 MHz動作時）。

t1：通信開始→タイミング・エラー（約196 μs）

t2：通信開始→通信スタート割り込み（約1192 μs）

t3：通信スタート割り込み→タイミング・エラー（約15 μs）

t4：通信スタート割り込み→通信終了（約1012 μs）

t5：受信データ読み出し間隔（約375 μs）

第19章　CANコントローラ

19. 1　概　　要

V850ES/SG2は，CANプロトコルISO11898に準拠したCAN（Controller Area Network）コントローラを1チャネル内蔵しています。

V850ES/SG2のCANコントローラ内蔵品を次に示します。

- μPD703282HY, 703283HY, 70F3283HY

19. 1. 1　特　　徴

○CANプロトコル ISO11898準拠，ISO/DIS16845（CANコンフォーマンス・テスト）実施

○標準フレーム，拡張フレームの送信／受信が可能

○転送速度　最大1 Mbps（CANクロック入力≧8 MHz時）

○32メッセージ・バッファ／チャネル

○受信／送信ヒストリ・リスト機能

○自動ブロック送信機能

○マルチ・バッファ受信ブロック機能

○チャネルごとに4パターンのマスクを設定可能

19. 1. 2　機能概要

表19－1に機能概要を示します。

表19－1　機能概要

機　　能	詳　　細
プロトコル	CANプロトコル ISO11898（標準および拡張フレームの送受信）
ボー・レート	最大1 Mbps（CANクロック入力≧8 MHz時）
データ・ストレージ	CAN専用RAMにメッセージを格納
メッセージ数	・32メッセージ・バッファ／チャネル ・各メッセージ・バッファは，送信メッセージ・バッファまたは受信メッセージ・バッファとして設定可能
メッセージ受信	・各メッセージ・バッファに固有のIDを設定可能 ・チャネルごとに4パターンのマスクを設定可能 ・メッセージ・バッファごとに受信完了割り込みの許可／禁止が設定可能 ・複数の受信用メッセージ・バッファをFIFO受信のバッファとして使用することが可能（マルチ・バッファ受信ブロック機能） ・受信ヒストリ・リスト機能
メッセージ送信	・各メッセージ・バッファに固有のIDを設定可能 ・メッセージ・バッファごとに送信完了割り込みの許可／禁止が設定可能 ・送信メッセージ・バッファとして指定されたメッセージ・バッファ番号0-7は，自動ブロック転送に使用可能，またメッセージ送信間隔はプログラマブルに変更可能（自動ブロック送信機能（以降，ABTと記述）） ・送信ヒストリ・リスト機能
リモート・フレーム処理	送信用メッセージ・バッファによるリモート・フレーム処理
タイム・スタンプ機能	・16ビット・タイマとの併用で受信メッセージに対してタイム・スタンプ機能を設定可能 タイム・スタンプ・キャプチャ・トリガの選択が可能（CANメッセージ・フレーム内のSOFまたはEOF検出に切り替え可能） ・送信メッセージに対してタイム・スタンプ機能を設定可能 データ・フィールドの特定のバイトがキャプチャ・タイム・スタンプと置き換え可能[注]
診断機能	・リード可能なエラー・カウンタ ・バス接続確認用“有効プロトコル動作フラグ” ・受信オンリー・モード ・シングル・ショット・モード ・CANプロトコル・エラーの判別 ・セルフ・テスト・モード
バス・オフ強制復帰機能	・バス・オフ中に初期化モードに移行させ，バス・オフ状態から強制的に復帰させることが可能
パワー・セーブ・モード	・CANスリープ・モード（CANバスによりウエイク・アップ可能） ・CANストップ・モード（CANバスによるウエイク・アップ不可）

注　アドバンスト・タイム・スタンプ機能を持つマクロのみ有効

19. 1. 3　構　　成

CANコントローラは，次の4つのブロックから構成されています。

（1）NPBインタフェース

NPB（NEC周辺I/Oバス）とのインタフェースと，CAN内部モジュールとCPUとのインタフェースを行うための機能ブロックです。

（2）MAC（Memory Access Controller）

CANモジュール内のCANプロトコル・レイヤとCAN RAMへのアクセスを制御している機能ブロックです。

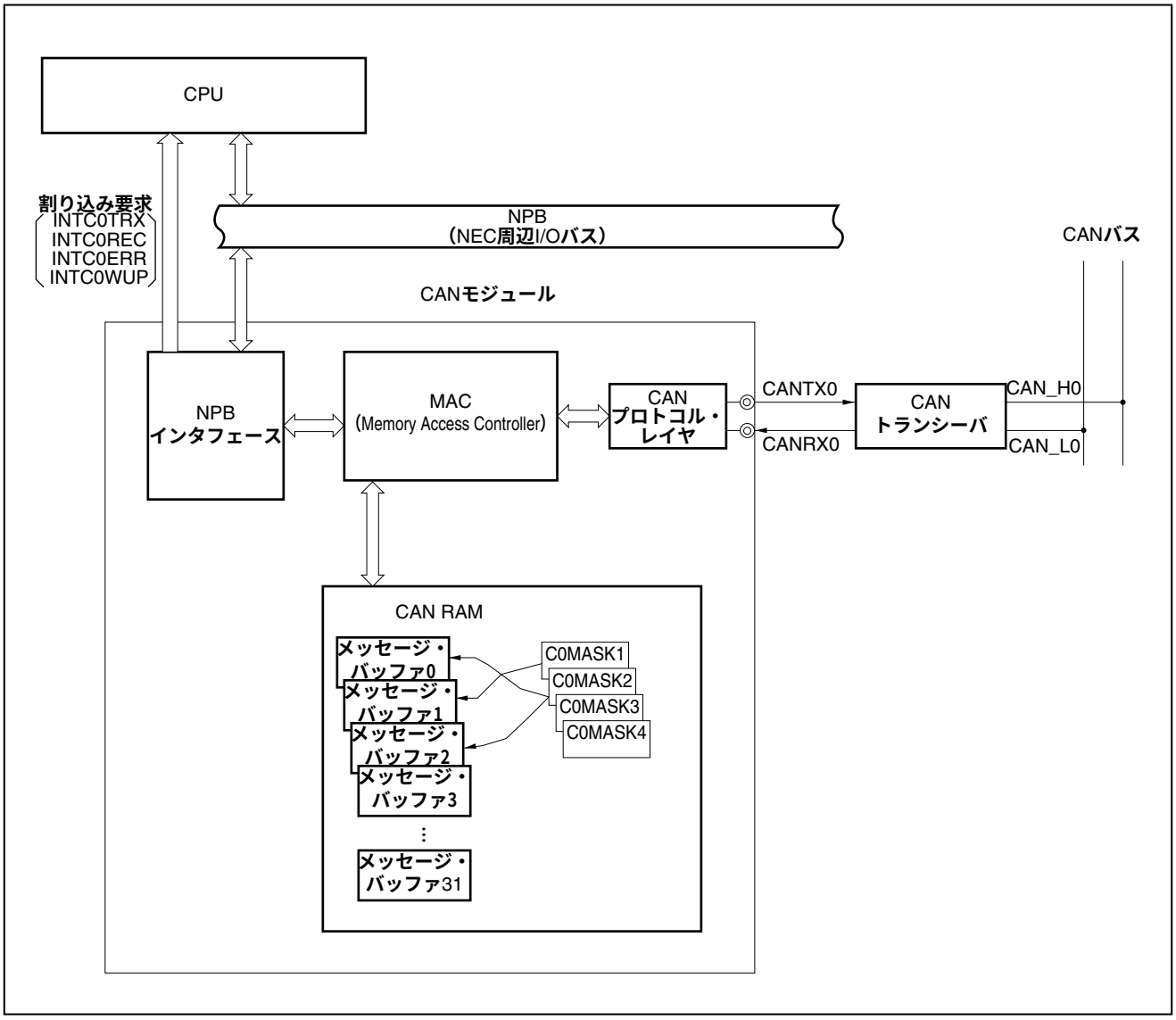
（3）CANプロトコル・レイヤ

CANのプロトコル・レイヤとその設定を行う機能ブロックです。

（4）CAN RAM

メッセージIDやメッセージ・データなどを格納するCAN専用のメモリ機能ブロックです。

図19ー1　CANのブロック図



19. 2　CANプロトコル

CAN（Controller Area Network）は，車輌内リアルタイム通信用（クラスC）高速多重通信プロトコルです。CANはISO 11898で規定されています。詳細は，ISO 11898仕様を参照してください。

CANの仕様は，大きく分けて2つのレイヤ（物理レイヤとデータ・リンク・レイヤ）に分類されます。さらに，データ・リンク・レイヤは，ロジカル・リンク・コントロールとミディアム・アクセス・コントロールにより構成されています。各レイヤの構成は，次のようになります。

図19－2　各レイヤの構成

上位 ↕ 下位

データ・リンク・レイヤ注	・ロジカル・リンク・コントロール（LLC）	・アクセプタンス・フィルタリング ・オーバロード通知 ・リカバリ・マネージメント
	・ミディアム・アクセス・コントロール（MAC）	・データのカプセル化／非カプセル化 ・フレーム・コーディング （スタッフィング／非スタッフィング） ・ミディアム・アクセス・マネージメント ・エラー検知 ・エラー通知 ・アクノリッジ ・シリアル化／非シリアル化
物理レイヤ		信号レベル，ビット表現の規定

注　CANコントローラ仕様

19. 2. 1　フレーム・フォーマット

(1) 標準フォーマット・フレーム

・標準フォーマット・フレームでは，アイデンティファイアが11ビットのため，2048種類のメッセージを扱うことができます。

(2) 拡張フォーマット・フレーム

・拡張フォーマット・フレームでは，アイデンティファイアが29ビット（11ビット＋18ビット）に拡張され，扱えるメッセージ数が2048×2^{18}個になります。

・アービトレーション・フィールドのSRR/IDEビットがともに“レセシブ・レベル”（CMOSレベル = 1）の場合，拡張フォーマット・フレームになります。

19. 2. 2　フレーム・タイプ

CANプロトコルのフレームは，次の4種類に分けられます。

表19－2　フレームの種類

フレーム種類	説　　明
データ・フレーム	データを送信するためのフレーム
リモート・フレーム	データ・フレームを要求するためのフレーム
エラー・フレーム	エラー検知を通知するためのフレーム
オーバロード・フレーム	次のデータ・フレームまたはリモート・フレームを遅らせるためのフレーム

(1) バスの値

バスの値には，ドミナントとレセシブの2通りがあります。

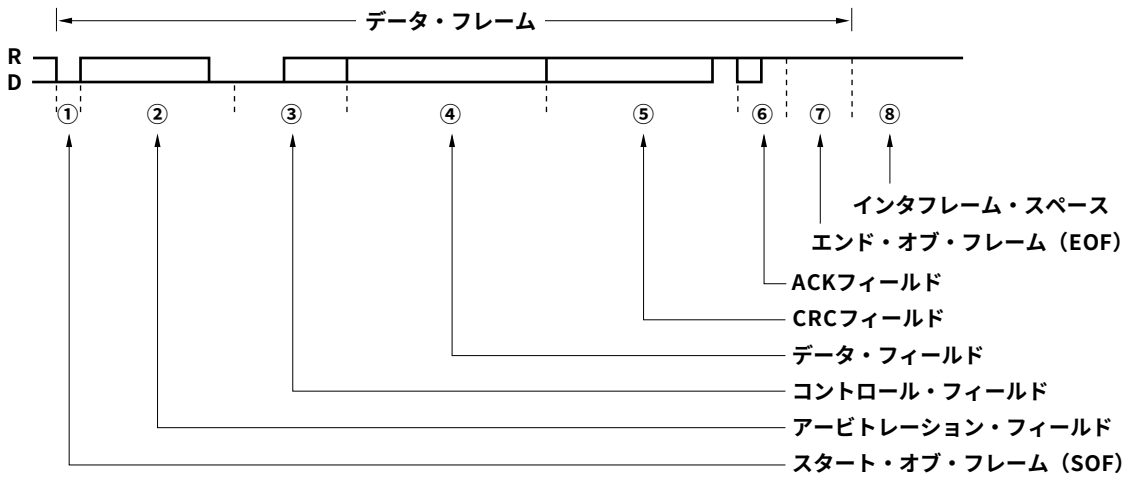
・ドミナント・レベルは論理0で表します。
・レセシブ・レベルは論理1で表します。
・ドミナント・レベルとレセシブ・レベルが同時送信された場合，バスの値はドミナント・レベルになります。

19. 2. 3　データ・フレーム／リモート・フレーム

(1) データ・フレーム

データ・フレームは，7つのフィールドにより構成されます。

図19－3　データ・フレーム

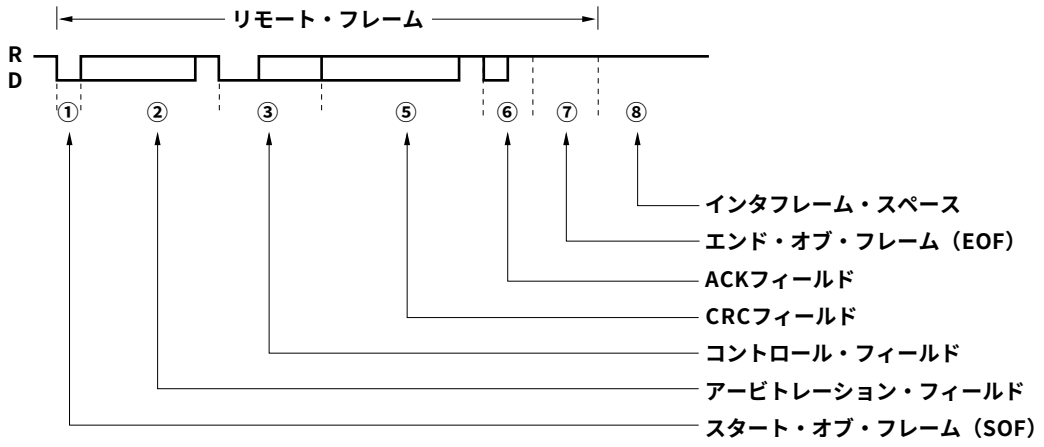


備考　D：ドミナント ＝0
　　R：レセシブ ＝1

(2) リモート・フレーム

リモート・フレームは，6つのフィールドにより構成されます。

図19－4　リモート・フレーム



備考1.　コントロール・フィールドのデータ長コード≠“0000B”でもデータ・フィールドは転送しません。

2.　D：ドミナント = 0

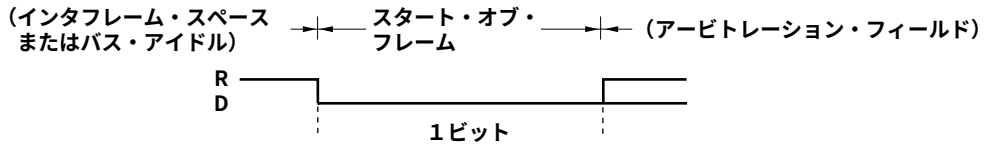
R：レセシブ = 1

(3) 各フィールドの説明

① スタート・オブ・フレーム（SOF）

スタート・オブ・フレームは，データ・フレーム，リモート・フレームの開始を示します。

図19－5　スタート・オブ・フレーム（SOF）



備考　D：ドミナント = 0

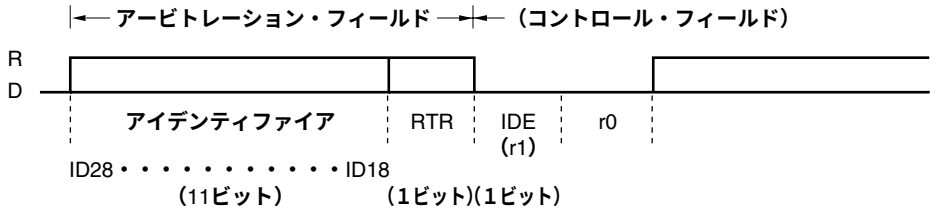
R：レセシブ = 1

- バス・アイドル中にドミナント・レベルを検出すると，ハードウエア同期が実行されます（このとき，該当するTQがシンク・セグメントになります）。
- ハードウエア同期に続くサンプル・ポイントで，ドミナント・レベルがサンプリングされると，そのビットはSOFになります。レセシブ・レベルが検出された場合は，前述のドミナント・パルスはノイズと判断され，プロトコル・レイヤがバス・アイドル状態に戻ります。この場合はエラー・フレームを発生しません。

② アービトレーション・フィールド

アービトレーション・フィールドは，プライオリティ，データ・フレーム／リモート・フレーム，フレーム・フォーマットの設定をします。

図19－6　アービトレーション・フィールド（標準フォーマット・モード時）



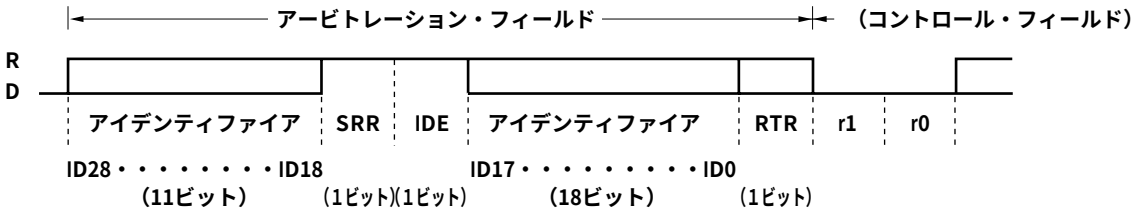
注意1.　ID28-ID18は，アイデンティファイアです。

2.　アイデンティファイアは，MSBファーストで送信されます。

備考　D：ドミナント　= 0

R：レセシブ　= 1

図19－7　アービトレーション・フィールド（拡張フォーマット・モード時）



注意1.　ID28-ID0は，アイデンティファイアです。

2.　アイデンティファイアは，MSBファーストで送信されます。

備考　D：ドミナント　= 0

R：レセシブ　= 1

表19－3　RTRフレームの設定

フレームの種類	RTRビット
データ・フレーム	0（D）
リモート・フレーム	1（R）

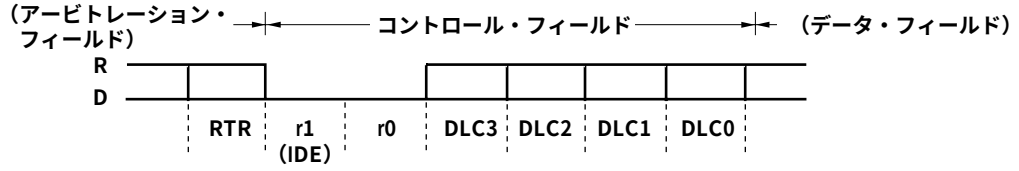
表19－4　フレーム・フォーマットの設定（IDEビット）とアイデンティファイア（ID）のビット数

フレーム・フォーマット	SRRビット	IDEビット	ビット数
標準フォーマット・モード	なし	0（D）	11ビット
拡張フォーマット・モード	1（R）	1（R）	29ビット

③　コントロール・フィールド

コントロール・フィールドは，データ・フィールドのデータ・バイト数Nの設定をします（N = 0-8）。

図19－8　コントロール・フィールド



備考　D：ドミナント = 0

R：レセシブ = 1

標準フォーマット・フレームでは，コントロール・フィールドのIDEビットとr1ビットは，同一となります。

表19－5　データ長の設定

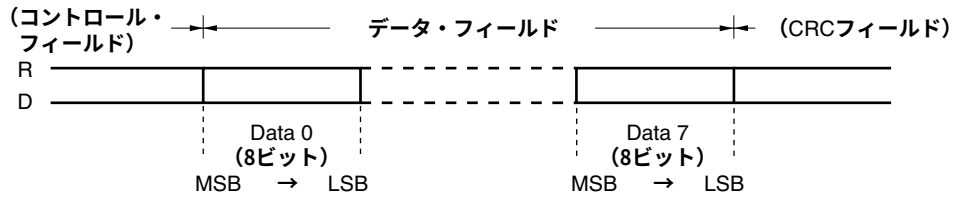
データ長コード				データのバイト数
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
上記以外				DLC3-DLC0の値にかかわらず8バイトになります。

注意　リモート・フレームの場合，データ長コード≠0000Bであってもデータ・フィールドは発生しません。

④　データ・フィールド

データ・フィールドは，コントロール・フィールドで設定した個数のデータ群（バイト単位）で，最大8データ設定できます。

図19－9　データ・フィールド



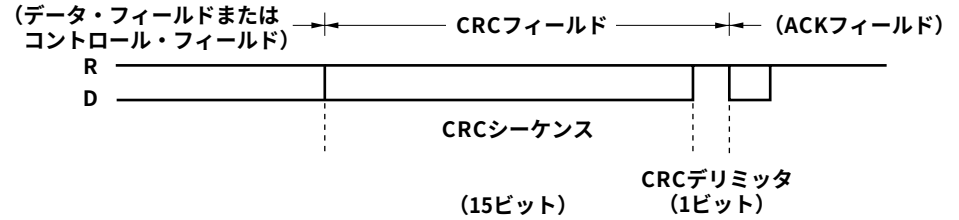
備考　D：ドミナント = 0

R：レセシブ = 1

⑤　CRCフィールド

CRCフィールドは，送信データの誤りをチェックするための16ビットのフィールドです。

図19－10　CRCフィールド



備考　D：ドミナント = 0

R：レセシブ = 1

・15ビットのCRCシーケンスを生成する多項式P（X）は，次のようになります。

$P(X) = X^{15}+X^{14}+X^{10}+X^{8}+X^{7}+X^{4}+X^{3}+1$

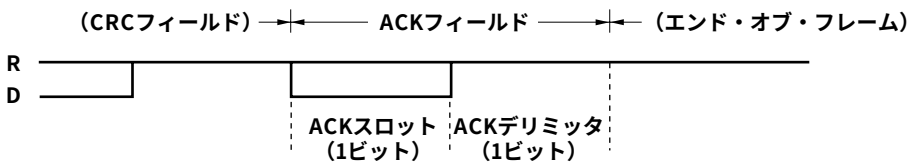
・送信ノード：スタート・オブ・フレーム，アービトレーション・フィールド，コントロール・フィールド，データ・フィールドのデータ（ビット・スタッフ処理前のデータ）より計算したCRCシーケンスを送信します。

・受信ノード：受信データのスタッフ・ビットを除いたデータ・ビットから計算したCRCシーケンスとCRCフィールドのCRCシーケンスを比較します。一致しない場合，ノードはエラー・フレームを送信します。

⑥　ACKフィールド

ACKフィールドは，正常受信確認のためのフィールドです。

図19－11　ACKフィールド



備考　D：ドミナント　= 0

R：レセシブ　= 1

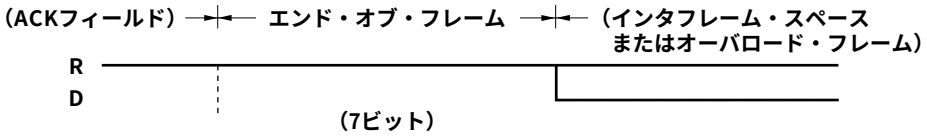
・CRCエラーが検出されない場合，受信ノードはACKスロットをドミナント・レベルにします。

・送信ノードは，2ビットのレセシブ・レベルを出力します。

⑦　エンド・オブ・フレーム（EOF）

エンド・オブ・フレームは，データ・フレーム／リモート・フレームの終了を示します。

図19－12　エンド・オブ・フレーム（EOF）



備考　D：ドミナント　= 0

R：レセシブ　= 1

⑧　インタフレーム・スペース

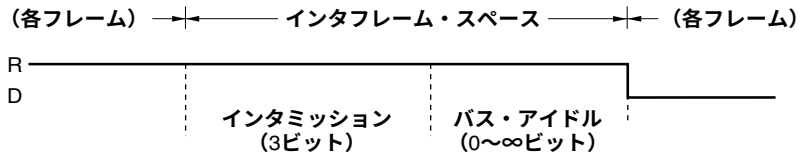
データ・フレーム，リモート・フレーム，エラー・フレーム，オーバロード・フレームから次のフレームの間に挿入されるフレームで，各フレーム間の区切りを示します。

・バスの状態は，エラー・ステータスにより異なります。

(a) エラー・アクティブ状態のノードの場合

3ビットのインタミッションとバス・アイドルより構成されます。

図19－13　インタフレーム・スペース（エラー・アクティブ状態のノードの場合）



備考1.　バス・アイドル：各ノードがバスを使用していない状態を示します。

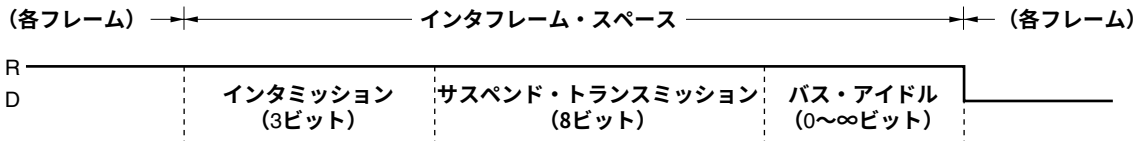
2.　D：ドミナント = 0

R：レセシブ = 1

(b) エラー・パッシブ状態のノードの場合

インタミッション，サスペンド・トランスミッション，バス・アイドルより構成されます。

図19－14　インタフレーム・スペース（エラー・パッシブ状態のノードの場合）



備考1.　バス・アイドル　：各ノードがバスを使用していない状態を示します。

サスペンド・トランスミッション　：エラー・パッシブ状態にあるノードにより送信される8ビットのレセシブ

2.　D：ドミナント = 0

R：レセシブ = 1

通常，インタミッションは3ビットです。しかし，送信ノードがインタミッションの3ビット目でドミナント・レベルを検出した場合，送信を行います。

・エラー状態による動作

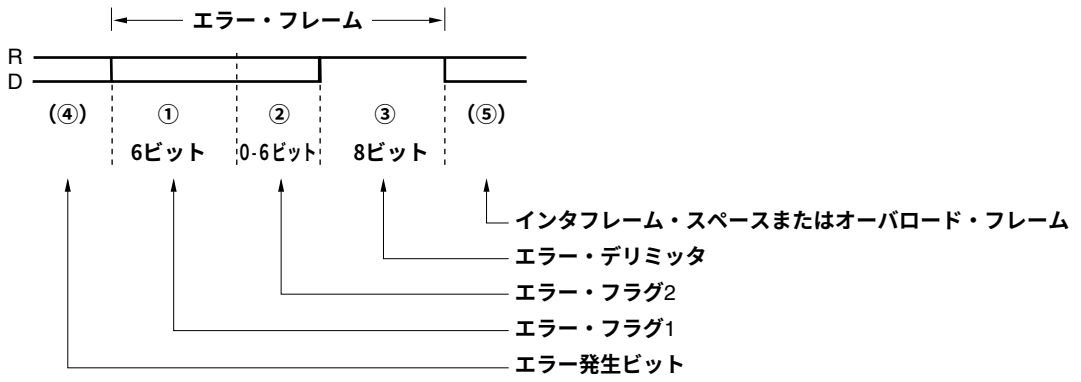
表19－6　エラー状態による動作

エラー状態	動　　作
エラー・アクティブ	3ビットのインタミッション後，ただちに送信可能状態になります。
エラー・パッシブ	インタミッションを終えてから，さらに8ビット待って送信可能状態になります。

19. 2. 4　エラー・フレーム

エラー・フレームはエラーを検出したノードが出力します。

図19－15　エラー・フレーム



備考　D：ドミナント ＝0

R：レセシブ ＝1

表19－7　エラー・フレームの各フィールドの定義

№	名　　称	ビット数	定　　義
①	エラー・フラグ1	6	エラー・アクティブ・ノード：6ビットのドミナント・レベルを連続出力します。 エラー・パッシブ・ノード　：6ビットのレセシブ・レベルを連続出力します。 パッシブ・エラー・フラグを出力中，ほかのノードがドミナント・レベルを出力した場合，パッシブ・エラー・フラグは，同一レベルを6ビット連続して検出するまで終了しません。
②	エラー・フラグ2	0～6	エラー・フラグ1を受信したノードが，ビット・スタッフ・エラーを検出して再度出力するエラー・フラグです。
③	エラー・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検出した場合，次のビットからオーバロード・フレームを送信します。
④	エラー発生ビット	－	エラーが検出されたビットです。 エラー・フラグは，エラー発生ビットの次のビットから出力されます。 CRCエラーの場合は，ACKデリミッタに続いて出力されます。
⑤	インタフレーム・スペース／オーバロード・フレーム	－	インタフレーム・スペース，またはオーバロード・フレームが続きます。

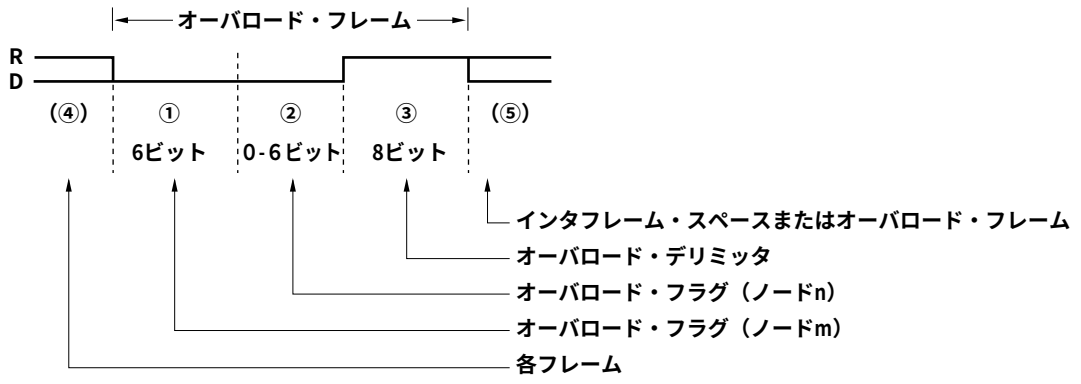
19. 2. 5　オーバロード・フレーム

オーバロード・フレームは，次の条件が発生した場合に送信されます。

・受信ノードが受信動作未了のとき[注]
・インタミッション中の最初の2ビットにドミナント・レベルを検出したとき
・エンド・オブ・フレームの最終ビット（7ビット目），またはエラー・デリミッタ／オーバロード・デリミッタの最終ビット（8ビット目）にドミナント・レベルを検出したとき

注　このCANコントローラでは，内部処理が早いため，オーバロード・フレームを出力することなく，すべての受信フレームを取り込むことができます。

図19－16　オーバロード・フレーム



備考　D：ドミナント ＝0
R：レセシブ ＝1
ノードn ≠ ノードm

表19－8　オーバロード・フレームの各フィールドの定義

No	名　称	ビット数	定　義
①	オーバロード・フラグ	6	6ビットのドミナント・レベルを連続出力します。
②	他ノードからのオーバロード・フラグ	0～6	インタフレーム・スペース中にオーバロード・フラグを受信したノードは，オーバロード・フラグを出力します。
③	オーバロード・デリミッタ	8	8ビットのレセシブ・レベルを連続出力します。 8ビット目にドミナント・レベルを検索した場合，次のビットからオーバロード・フレームを送信します。
④	各フレーム	－	エンド・オブ・フレーム，エラー・デリミッタ，オーバロード・デリミッタに続いて出力します。
⑤	インタフレーム・スペース／オーバロード・フレーム	－	インタフレーム・スペース，またはオーバロード・フレームが続きます。

19. 3　機　　能

19. 3. 1　バス・プライオリティの決定

(1) 1個のノードが送信を開始した場合

・バス・アイドル中に，先にデータを出力したノードが送信をします。

(2) 複数のノードが送信を開始した場合

・アービトレーション・フィールドの第1ビットから，ドミナント・レベルを最も長く連続出力したノードがバス・プライオリティを獲得します（ドミナント・レベルとレセシブ・レベルが同時に送信された場合，バスの値はドミナント・レベルになります）。

・送信ノードは，自分の出力したアービトレーション・フィールドとバス上のデータ・レベルを比較します。

表19－9　バス・プライオリティの決定

レベルの一致	送信を継続します。
レベルの不一致	不一致を検出した次のビットからデータ出力を停止し，受信動作になります。

(3) データ・フレームとリモート・フレームのプライオリティ

・データ・フレームとリモート・フレームがバス上で競合した場合，アービトレーション・フィールドの最終ビットであるRTRがドミナント・レベルであるデータ・フレームが優先されます。

備考　拡張フォーマット・フレームのデータ・フレームと標準フォーマット・フレームのリモート・フレームがバス上で競合した場合（双方のID28-ID18が同じ場合），標準フォーマット・フレームのリモート・フレームが優先されます。

19. 3. 2　ビット・スタッフ

ビット・スタッフは，バースト・エラーを防ぐために，同一レベルが5ビット連続した場合，1ビットの反転データを付加して，同期をとる仕組みです。

表19－10　ビット・スタッフ

送　信	データ・フレーム，リモート・フレームを送信する際に，スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合，次のビットの前に，前5ビットのレベルを反転した1ビットのレベル・データを挿入します。
受　信	データ・フレーム，リモート・フレームの受信時，スタート・オブ・フレーム～CRCフィールド間のデータで同一レベルが5ビット連続した場合，次の1ビットを削除して受信します。

19. 3. 3　マルチマスタ

アイデンティファイアによりバス・プライオリティ（送信権利を獲得するノード）を決定するため，どのノードでもバス・マスタになることができます。

19. 3. 4　マルチキャスト

送信ノードは1つですが，同一のアイデンティファイアを複数のノードに設定できるため，複数のノードで同時に同一データの受信ができます。

19. 3. 5　CANスリープ・モード／CANストップ・モード機能

CANスリープ・モード／CANストップ・モード機能により，CANコントローラを待機状態にすることで消費電力を低減できます。

CANスリープ・モードはバスの動作でウエイク・アップしますが，CANストップ・モードはバスの動作でウエイク・アップしません（CPUアクセスにより制御されます）。

19. 3. 6　エラー制御機能

(1) エラーの種類

表19－11　エラーの種類

エラーの種類	エラーの説明		検出する状態	
	検出方法	検出条件	送信／受信	フィールド／フレーム
ビット・エラー	出力レベルとバス上のレベルとの比較（スタッフ・ビットを除く）	両レベルの不一致	送信／受信ノード	スタート・オブ・フレーム～エンド・オブ・フレーム，エラー・フレーム，オーバロード・フレームでバス上にデータを出力しているビット
スタッフ・エラー	スタッフ・ビットでの受信データのチェック	同一レベル・データの6ビット連続	受信ノード	スタート・オブ・フレーム～CRCシーケンス
CRCエラー	受信データから生成したCRCと受信したCRCシーケンスとの比較	CRCの不一致	受信ノード	CRCフィールド
フォーム・エラー	固定フォーマットのフィールド／フレームのチェック	固定フォーマット違反の検出	受信ノード	・CRCデリミッタ ・ACKフィールド ・エンド・オブ・フレーム ・エラー・フレーム ・オーバロード・フレーム
ACKエラー	送信ノードによるACKスロットのチェック	ACKスロットでレセシブ・レベルを検出	送信ノード	ACKスロット

(2) エラー・フレームの出力タイミング

表19－12　エラー・フレームの出力タイミング

エラーの種類	出力タイミング
ビット・エラー，スタッフ・エラー，フォーム・エラー，ACKエラー	エラーを検出した次のビット・タイミングからエラー・フレームを出力します。
CRCエラー	ACKデリミッタの次のビット・タイミングからエラー・フレームを出力します。

(3) エラー発生時の処置

送信ノードは，エラー・フレーム後にデータ・フレーム，またはリモート・フレームの再送を行います。（ただし，シングル・ショット・モード時には再送は行いません）。

(4) エラー状態

(a) エラー状態の種類

CANスペックで規定されているエラーの状態には次の3種類があります。

・エラー・アクティブ
・エラー・パッシブ
・バス・オフ

これらは，C0ERC.TEC7-TEC0ビット（送信エラー・カウンタ・ビット）およびC0ERC.REC6-REC0ビット（受信エラー・カウンタ・ビット）の値によって表19－13のように分類されます。

現在のエラー状態は，C0INFOレジスタに表示されています。

各エラー・カウンタ値がエラー・ワーニング・レベル（96）以上になると，C0INFO.TECS0ビットまたはC0INFO.RECS0ビットがセット（1）されます。この場合，バスに重度の障害があると考えられるため，バス状態をテストする必要があります。各エラー・カウンタ値が128以上になると，エラー・パッシブ状態となり，TECS1ビットまたはRECS1ビットがセット（1）されます。

・送信エラー・カウンタ値が256以上（実際には送信エラー・カウンタ値は256以上の値は表示しません）になると，バス・オフ状態となり，C0INFO.BOFFビットがセット（1）されます。
・スタート・アップ時，バス上に1個のノードしかアクティブでない場合（= 自局のみバスに接続されている場合），データを送信してもACKが返ってこないためエラー・フレームとデータの再送を繰り返しますが，エラー・パッシブ状態に移行したあとは送信エラー・カウンタはインクリメントされず，バス・オフには移行しません。

表19－13　エラー状態の種類

エラー状態の種類	動　作	エラー・カウンタの値	C0INFOレジスタの表示	そのエラー状態特有の動作
エラー・アクティブ	送信	0-95	TECS1, TECS0が00	・エラー検知時にアクティブ・エラー・フラグ（6ビットのドミナント・レベルの連続）を出力
	受信	0-95	RECS1, RECS0が00	
	送信	96-127	TECS1, TECS0が01	
	受信	96-127	RECS1, RECS0が01	
エラー・パッシブ	送信	128-255	TECS1, TECS0が11	・エラー検知時にパッシブ・エラー・フラグ（6ビットのレセシブ・レベルの連続）を出力 ・送信と送信の間に，インタミッションに続いて8ビットのレセシブ・レベルを送信（サスペンド・トランスミッション）
	受信	128以上	RECS1, RECS0が11	
バス・オフ	送信	256以上 （表示はしない）注	BOFFが1， TECS1, TECS0が11	・通信できません。 フレーム受信時にメッセージは格納されませんが，次の動作が行われます。 ①TSOUTがトグルしてしまいます。 ②RECが＋/－してしまいます。 ③VALIDビットがセットされてしまいます。 ・初期化モードに遷移し，のちに初期化モード以外のいずれかの動作モードにレセシブ・レベルが11ビット連続で128回発生すると，エラー・カウンタが0にリセットされ，エラー・アクティブ状態に戻ることができます。

注　送信エラー・カウンタ（TEC）の値は，BOFFがセットされた場合には意味を持ちません。
送信エラー・カウンタが248-255の範囲の値のとき，さらに＋8のインクリメントを行うようなエラーを検知した際は，カウンタ値はインクリメントされずにバス・オフ状態となります。

(b) エラー・カウンタ

エラー・カウンタは，エラーが発生した場合にカウント・アップし，送信，受信が正常に行われた場合にカウント・ダウンします。カウント・アップ，カウント・ダウンのタイミングは，エラー・デリミッタの第1ビットになります。

表19－14　エラー・カウンタ

状　態	送信エラー・カウンタ（TEC7-TEC0ビット）	受信エラー・カウンタ（REC6-REC0ビット）
受信ノードがエラーを検出 （アクティブ・エラー・フラグ，オーバロード・フラグ中のビット・エラーを除く）	変化なし	＋1（REPSビット = 0時）
受信ノードがエラー・フレームのエラー・フラグ出力の次にドミナント・レベルを検出	変化なし	＋8（REPSビット = 0時）
送信ノードがエラー・フラグを送信 ［例外として，次の場合はエラー・カウンタは変化しません］ ①エラー・パッシブ状態で，ACKエラーを検出しパッシブ・エラー・フラグを出力中にドミナント・レベルを未検出 ②アービトレーション・フィールド中にスタッフ・エラーを検出し，それがスタッフ・ビットとしてレセシブ・レベルを送信したが，ドミナント・レベルを検出	＋8	変化なし
アクティブ・エラー・フラグ，オーバロード・フラグ出力中のビット・エラー検出 （エラー・アクティブの送信ノード）	＋8	変化なし
アクティブ・エラー・フラグ，オーバロード・フラグ出力中のビット・エラー検出 （エラー・アクティブの受信ノード）	変化なし	＋8（REPSビット = 0時）
各ノードがアクティブ・エラー・フラグ，オーバロード・フラグの最初から14個の連続したドミナント・レベルを検出，およびそれ以降の8個連続のドミナント・レベルを検出 各ノードがパッシブ・エラー・フラグのあと，8個連続のドミナント・レベルを検出	＋8（送信時）	＋8（受信時，REPSビット = 0時）
送信ノードがエラーなしで，送信を完了 （エラー・カウンタ = 0の場合は±0）	－1	変化なし
受信ノードがエラーなしで，受信を完了	変化なし	・－1 （1 ≦ REC6-REC0 ≦ 127，REPSビット = 0時） ・±0（REC6-REC0 = 0，REPSビット = 0時） ・119～127のいずれかの値をセットする。 （REPSビット = 1時）

(c) インタミッション中のビット・エラーの発生

オーバロード・フレームを発生します。

注意　エラー発生時のエラー制御は，そのエラーが発生する前の送信エラー・カウンタと受信エラー・カウンタの内容によって行います。エラー・カウンタの値はエラー・フラグを出力したあとに加算します。

(5)　バス・オフ状態からの復帰動作

CANモジュールが，バス・オフ状態になった場合，CANバスから切り離された送信端子（CTXD0）は，常にレセシブ・レベルの出力となります。

バス・オフ状態からの復帰は，次に示すバス・オフ復帰（リカバリ）シーケンスにより行います。

① CAN初期化モードへの移行要求

② CAN動作モードへの移行要求

(a) 通常リカバリ・シーケンスによる復帰動作

(b) リカバリ・シーケンスをスキップする強制復帰動作

(a) 通常リカバリ・シーケンスによるバス・オフからの復帰動作

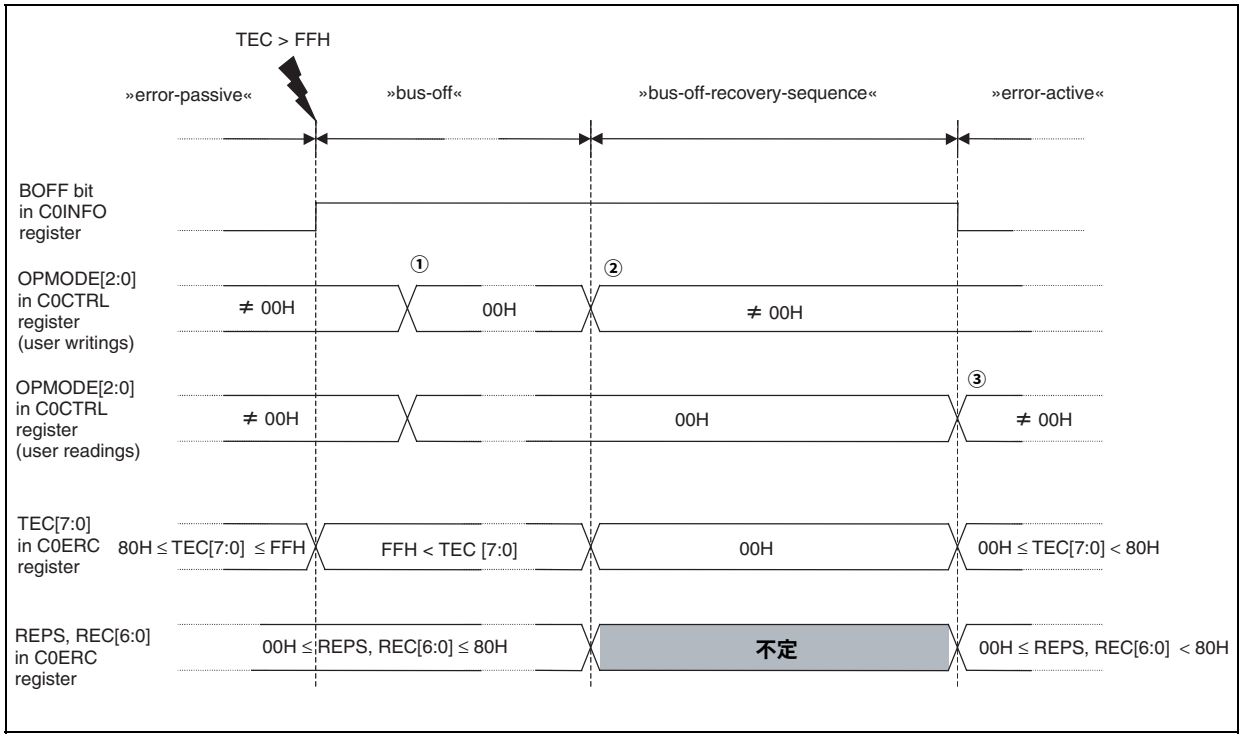
まず，初期化モードへの移行要求を行います（図19－17中のタイミング①参照）。この移行要求はただちに受け付けられ，C0CTRL.OPMODEビットは000Bとなります。アプリケーション・ソフトウエアにより，バス・オフの原因となった故障の解析，CANモジュールおよびメッセージ・バッファの再定義，あるいはC0GMCTRL.GOMビットをクリア（0）することで，CANモジュール自体の動作停止といった処置を実行できます。

次に，初期化モードから任意の動作モードへの移行要求を行います（図19－17中のタイミング②参照）。この任意の動作モードへの移行要求を行うことで，バス・オフからのリカバリ動作が開始されます。バス・オフからのリカバリ条件は，CANプロトコルISO11898に規定されており，11ビットの連続したレセシブ・ビットを128回検出することが必要です。このとき，任意の動作モードへの移行要求は，バス・オフのリカバリ条件が満足するまでは保留され，バス・オフのリカバリ条件が満足した時点（図19－17中のタイミング③参照）でCANモジュールは要求された動作モードに移行します。この間，CANモジュールは初期化モードを維持し，任意の動作モードの移行は，OPMODEビットをリードすることにより確認できます。

バス・オフ期間中およびバス・オフ・リカバリ・シーケンス中は，C0INFO.BOFFビットはセット（1）を継続します。バス・オフ・リカバリ・シーケンスは，受信エラー・カウンタ（C0ERC.REC0-REC6ビット）により，バス上で検出される11ビットの連続したレセシブ・ビットの回数をカウントしていますので，REC0-REC6ビットをリードすることにより復帰状況を確認できます。

注意　バス・オフ・リカバリ・シーケンス中は，REC0-REC6ビットは11ビットの連続したレセシブ・ビットを検出するたびにカウント・アップ（＋1）します。
バス・オフ期間中でも，CANモジュールはCANスリープ・モードやCANストップ・モードに移行できます。バス・オフを解除するためには，初期化モードにいったん移行することが必要ですが，CANモジュールがCANスリープ・モードやCANストップ・モードである場合は，直接初期化モードへの移行ができません。この場合は，初期化モードに移行しなくても，CANスリープ・モードが解除されると同時にバス・オフ・リカバリ・シーケンスが開始されます。また，ソフトウエアによるC0CTRL.PSMODE1, PSMODE0ビットのクリアのほか，CANバス上のドミナント・エッジ検出によるウエイクアップによってもバス・オフ・リカバリ・シーケンスを開始できます。

図19－17　通常リカバリ・シーケンスによるバス・オフからの復帰動作



(b) バス・オフ・リカバリ・シーケンスをスキップする強制復帰動作

バス・オフ・リカバリ・シーケンスをスキップすることで，バスの状態によらずCANモジュールを強制的にバス・オフから復帰させることができます。手順を次に示します。

まず，初期化モードへの移行要求を行います。このときの動作および注意事項は，19. 3. 6 (5) (a) 通常リカバリ・シーケンスによるバス・オフからの復帰動作を参照してください。

次に，任意の動作モードへの移行要求を行い，同時にC0CTRL.CCERCビットをセット（1）します。

これにより，CANプロトコルISO11898で規定されているバス・オフのリカバリ・シーケンスがスキップされ，ただちに動作モードへの移行が行われます。この場合，CANバスへの再接続はCANモジュールが連続した11ビットのレセシブ・ビットのモニタ後に行われます。詳細は，図19－53の処理を参照してください。

注意　この機能は，CANプロトコルISO11898に規定されておりませんので，使用する際にはネットワーク・システムへの影響を十分に確認してください。

(6) 初期化モード中のCANモジュール・エラー・カウンタ・レジスタ（C0ERC）の初期化

プログラム・ディバグや評価のために，C0ERC, C0INFOレジスタの初期化が必要となる場合には，初期化モード中にC0CTRL.CCERCビットをセット（1）することで，C0ERC, C0INFOレジスタは初期値に初期化されます。初期化が完了すると，CCERCビットは自動的にクリア（0）されます。

注意 1.　この機能は，初期化モード中でのみ有効です。任意のCAN動作モード中でCCERCビットをセット（1）したとしても，C0ERC,C0INFOレジスタは初期化されません。

2.　CCERCビットのセットは，任意のCAN動作モードへの移行要求と同時に行うことも可能です。

19. 3. 7　ボー・レート制御機能

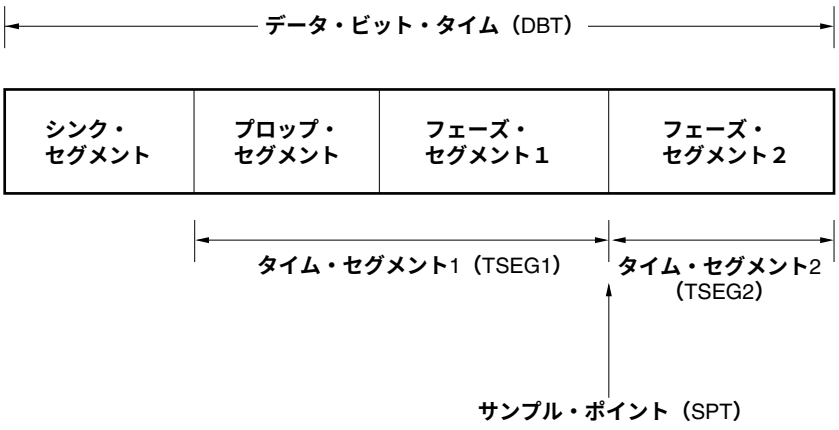
(1) プリスケーラ

CANコントローラは，CANへの供給クロック（f_{CAN}）を分周するプリスケーラを持っています。また，プリスケーラは，CANモジュール・システム・クロック（f_{CANMOD}）を1-256分周したCANプロトコル・レイヤ基本クロック（f_{TQ}）を発生します（19. 6 （12）　CAN0モジュール・ビット・レート・プリスケーラ・レジスタ（C0BRP）参照）。

(2) データ・ビット・タイム（8-25 Time Quantum）

1データ・ビット・タイムは図19－18のように定義されています。CANコントローラでは，図19－18で示すように，タイム・セグメント1，タイム・セグメント2, SJWに置き換えて設定します。タイム・セグメント1は，CANプロトコル使用で規定されているプロップ・セグメントとフェーズ・セグメント1の合計に該当します。タイム・セグメント2は，フェーズ・セグメント2に該当します。

図19－18　セグメントの設定

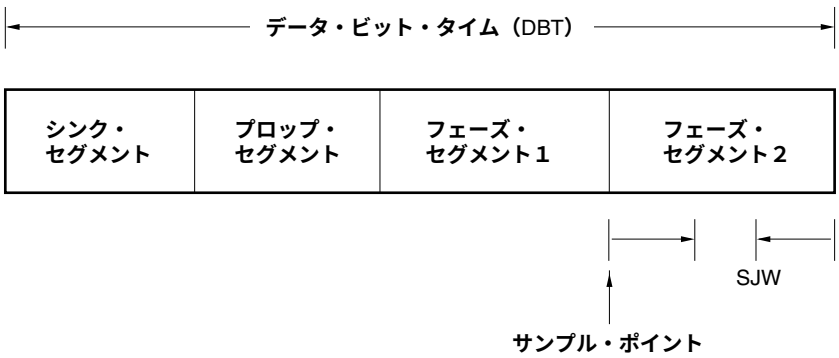


セグメント名	設定可能範囲	CANスペック準拠のための設定上の注意
タイム・セグメント1（TSEG1）	2TQ-16TQ	－
タイム・セグメント2（TSEG2）	1TQ-8TQ	CANコントローラのIPT[注]は0TQです。このため，CANプロトコル仕様に準拠するためには，フェーズ・セグメント1と等しい長さがここに設定されなければなりません。すなわち，タイム・セグメント1の長さから1TQを引いた長さがタイム・セグメント2の設定上限となります。
同期ジャンプ幅（SJW）	1TQ-4TQ	タイム・セグメント1から1TQを引いた長さ，または4TQで小さい方の値になります。

注　IPT：Information Processing Time

備考　CANプロトコル仕様では，データ・ビット・タイムを構成する各セグメントは，図19－19のように規定されています。

図19－19　CANスペック上でのデータ・ビット・タイムの構成



セグメント名	セグメント長	説　明
シンク・セグメント （Synchronization Segment）	1	ハードウエア同期がかかると，レセシブからドミナントに移行するエッジでこのセグメントが始まります。
プロップ・セグメント （Propagation Segment）	1-8のプログラマブル，またはそれ以上	出力バッファ，CANバス，入力バッファの遅延を吸収するためのセグメントです。 フェーズ・セグメント1の開始までにACKが戻ってくるように設定します。 プロップ・セグメントの時間≧（出力バッファの遅延）＋2×（CANバスの遅延）＋（入力バッファの遅延）
フェーズ・セグメント1 （Phase Buffer Segment 1）	1-8のプログラマブル	データ・ビット・タイムの誤差を補償するためのセグメントで，大きいほど許容範囲が大きくとれますが，通信スピードは遅くなります。
フェーズ・セグメント2 （Phase Buffer Segment 2）	フェーズ・セグメント1とIPT[注]とのうち大きい方の値	
SJW （reSynchronization Jump Width）	1TQからフェーズ・セグメント1TQか4TQの小さい方までの範囲でプログラマブル	再同期の際のフェーズ・セグメントの伸縮の上限を設定します。

注　IPT：Information Processing Time

(3) データ・ビットの同期

・受信ノードは，同期信号がないため，バス上のレベル変化で同期をとります。

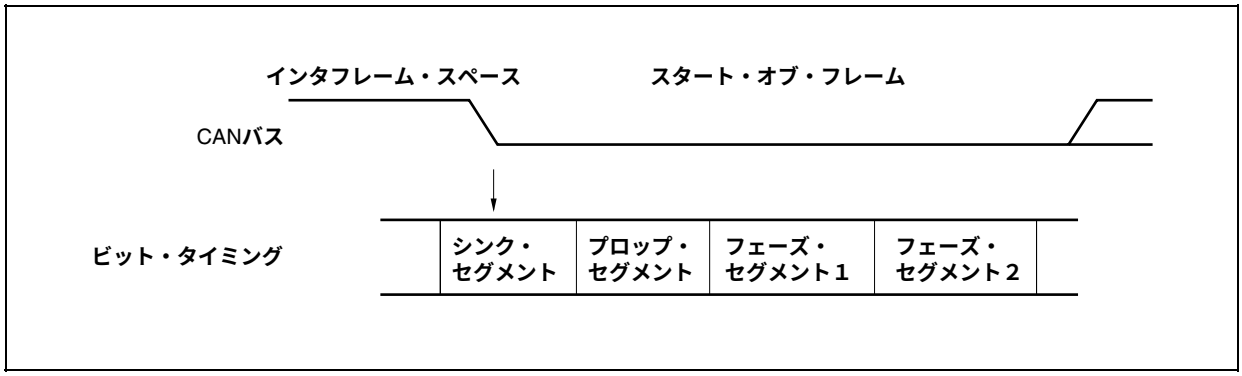
・送信ノードは，送信ノードのビット・タイミングに同期してデータの送信を行います。

(a) ハードウエア同期

受信ノードが，インタフレーム・スペースでスタート・オブ・フレームを検出した場合に行うビット同期です。

・バス上の立ち下がりエッジを検出すると，そのTQがシンク・セグメントで，次がプロップ・セグメントとなります。この場合，SJWには無関係に同期をとります。

図19－20　データ・ビットの同期の調整



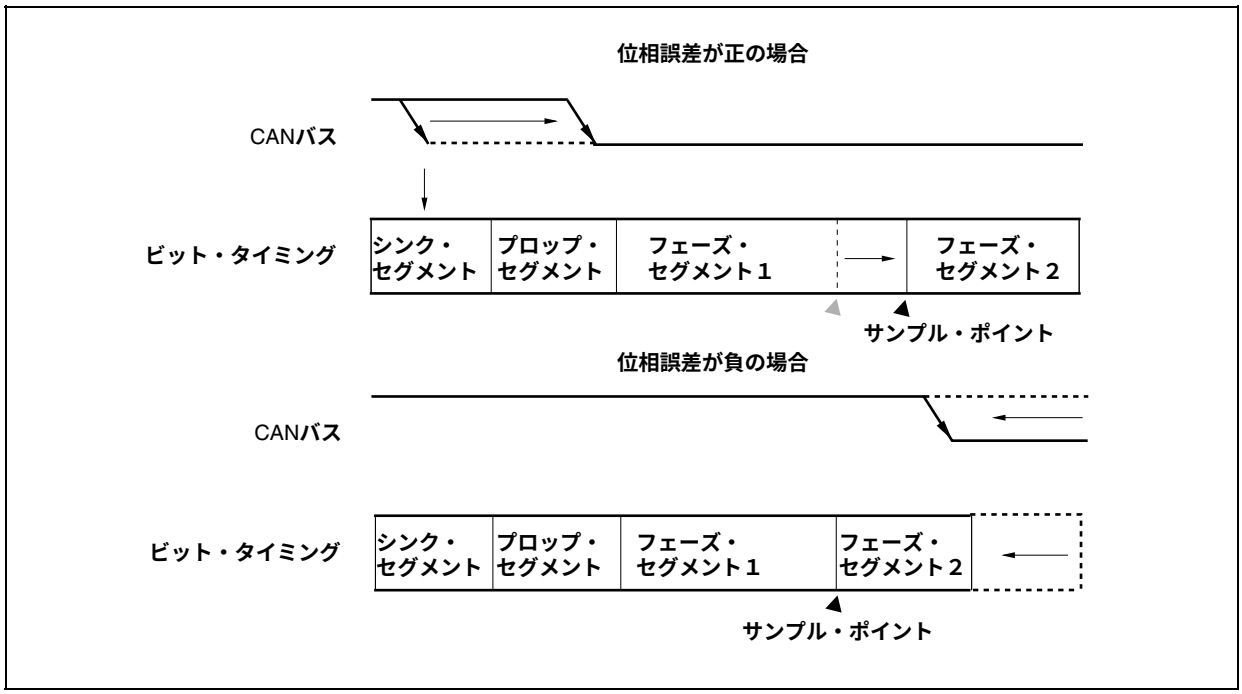
(b) 再同期

受信中に，バス上のレベル変化を検出した場合（前回のサンプリングがレセシブ・レベル時のみ），再同期を行います。

・エッジの位相誤差は，検出されたエッジとシンク・セグメントの相対位置により与えられます。
＜位相誤差の符号＞
0：エッジがシンク・セグメント内にある場合
正：エッジがサンプル・ポイントより前にある場合（フェーズ・エラー）
負：エッジがサンプル・ポイントより後ろにある場合（フェーズ・エラー）
位相誤差が正の場合：フェーズ・セグメント1は指定したSJW分だけ長くなります。
位相誤差が負の場合：フェーズ・セグメント2は指定したSJW分だけ短くなります。

・送信ノードと受信ノードのボー・レートの“ずれ”により，受信ノードでのデータのサンプル・ポイントが相対的に移動します。

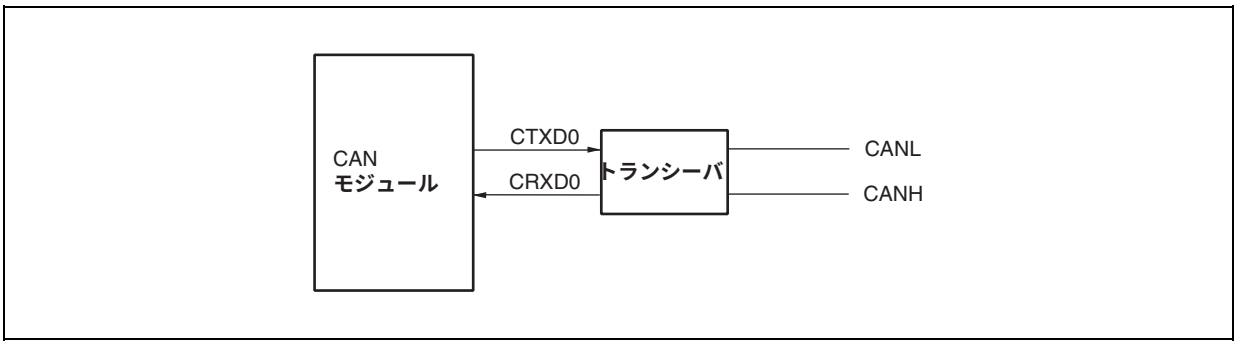
図19－21　再同期



19. 4　ターゲット・システムとの接続

CANモジュールは，外部トランシーバを使用してCANバスに接続しなければなりません。

図19ー22　CANバスへの接続



19. 5　CANコントローラの内部レジスタ

19. 5. 1　CANコントローラの構成

表19－15　CANコントローラのレジスター覧

項　　目	レジスタ名
CANグローバル・レジスタ	CAN0グローバル制御レジスタ（C0GMCTRL）
	CAN0グローバル・クロック選択レジスタ（C0GMCS）
	CAN0グローバル自動ブロック送信制御レジスタ（C0GMABT）
	CAN0グローバル自動ブロック送信遅延設定レジスタ（C0GMABTD）
CANモジュール・レジスタ	CAN0モジュール・マスク1レジスタ（C0MASK1L, C0MASK1H）
	CAN0モジュール・マスク2レジスタ（C0MASK2L, C0MASK2H）
	CAN0モジュール・マスク3レジスタ（C0MASK3L, C0MASK3H）
	CAN0モジュール・マスク4レジスタ（C0MASK4L, C0MASK4H）
	CAN0モジュール制御レジスタ（C0CTRL）
	CAN0モジュール最終エラー情報レジスタ（C0LEC）
	CAN0モジュール情報レジスタ（C0INFO）
	CAN0モジュール・エラー・カウンタ・レジスタ（C0ERC）
	CAN0モジュール割り込み許可レジスタ（C0IE）
	CAN0モジュール割り込みステータス・レジスタ（C0INTS）
	CAN0モジュール・ビット・レート・プリスケーラ・レジスタ（C0BRP）
	CAN0モジュール・ビット・レート・レジスタ（C0BTR）
	CAN0モジュール最終受信ポインタ・レジスタ（C0LIPT）
	CAN0モジュール受信ヒストリ・リスト・レジスタ（C0RGPT）
	CAN0モジュール最終送信ポインタ・レジスタ（C0LOPT）
	CAN0モジュール送信ヒストリ・リスト・レジスタ（C0TGPT）
	CAN0モジュール・タイム・スタンプ・レジスタ（C0TS）
メッセージ・バッファ・レジスタ	CAN0メッセージ・データ・バイト01レジスタm（C0MDATA01m）
	CAN0メッセージ・データ・バイト0レジスタm（C0MDATA0m）
	CAN0メッセージ・データ・バイト1レジスタm（C0MDATA1m）
	CAN0メッセージ・データ・バイト23レジスタm（C0MDATA23m）
	CAN0メッセージ・データ・バイト2レジスタm（C0MDATA2m）
	CAN0メッセージ・データ・バイト3レジスタm（C0MDATA3m）
	CAN0メッセージ・データ・バイト45レジスタm（C0MDATA45m）
	CAN0メッセージ・データ・バイト4レジスタm（C0MDATA4m）
	CAN0メッセージ・データ・バイト5レジスタm（C0MDATA5m）
	CAN0メッセージ・データ・バイト67レジスタm（C0MDATA67m）
	CAN0メッセージ・データ・バイト6レジスタm（C0MDATA6m）
	CAN0メッセージ・データ・バイト7レジスタm（C0MDATA7m）
	CAN0メッセージ・データ長レジスタm（C0MDLCm）
	CAN0メッセージ・コンフィギュレーション・レジスタm（C0MCONFm）
	CAN0メッセージIDレジスタm（C0MIDLm, C0MIDHm）
	CAN0メッセージ制御レジスタm（C0MCTRLm）

備考1.　CANグローバル・レジスタは，C0GM＜レジスタ機能＞によって定義されます。

CANモジュール・レジスタは，C0＜レジスタ機能＞によって定義されます。

メッセージ・バッファ・レジスタは，C0M＜レジスタ機能＞によって定義されます。

2.　m = 00-31

19. 5. 2　レジスタ・アクセス・タイプ

表19－16　レジスタ・アクセス・タイプ（1/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC000H	CAN0グローバル制御レジスタ	C0GMCTRL	R/W			○	0000H
03FEC002H	CAN0グローバル・クロック選択レジスタ	C0GMCS			○		0FH
03FEC006H	CAN0グローバル自動ブロック送信制御レジスタ	C0GMABT				○	0000H
03FEC008H	CAN0グローバル自動ブロック送信遅延設定レジスタ	C0GMABTD			○		00H
03FEC040H	CAN0モジュール・マスク1レジスタ	C0MASK1L				○	不定
03FEC042H		C0MASK1H				○	不定
03FEC044H	CAN0モジュール・マスク2レジスタ	C0MASK2L				○	不定
03FEC046H		C0MASK2H				○	不定
03FEC048H	CAN0モジュール・マスク3レジスタ	C0MASK3L				○	不定
03FEC04AH		C0MASK3H				○	不定
03FEC04CH	CAN0モジュール・マスク4レジスタ	C0MASK4L				○	不定
03FEC04EH		C0MASK4H				○	不定
03FEC050H	CAN0モジュール制御レジスタ	C0CTRL				○	0000H
03FEC052H	CAN0モジュール最終エラー情報レジスタ	C0LEC			○		00H
03FEC053H	CAN0モジュール情報レジスタ	C0INFO	R		○		00H
03FEC054H	CAN0モジュール・エラー・カウンタ・レジスタ	C0ERC				○	0000H
03FEC056H	CAN0モジュール割り込み許可レジスタ	C0IE	R/W			○	0000H
03FEC058H	CAN0モジュール割り込みステータス・レジスタ	C0INTS				○	0000H
03FEC05AH	CAN0モジュール・ビット・レート・プリスケーラ・レジスタ	C0BRP			○		FFH
03FEC05CH	CAN0モジュール・ビット・レート・レジスタ	C0BTR				○	370FH
03FEC05EH	CAN0モジュール最終受信ポインタ・レジスタ	C0LIPT	R		○		不定
03FEC060H	CAN0モジュール受信ヒストリ・リスト・レジスタ	C0RGPT	R/W			○	xx02H
03FEC062H	CAN0モジュール最終送信ポインタ・レジスタ	C0LOPT	R		○		不定
03FEC064H	CAN0モジュール・送信ヒストリ・リスト・レジスタ	C0TGPT	R/W			○	xx02H
03FEC066H	CAN0モジュール・タイム・スタンプ・レジスタ	C0TS				○	0000H

表19－16　レジスタ・アクセス・タイプ（2/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC100H	CAN0メッセージ・データ・バイト01レジスタ00	C0MDATA0100	R/W			○	不定
03FEC100H	CAN0メッセージ・データ・バイト0レジスタ00	C0MDATA000			○		不定
03FEC101H	CAN0メッセージ・データ・バイト1レジスタ00	C0MDATA100			○		不定
03FEC102H	CAN0メッセージ・データ・バイト23レジスタ00	C0MDATA2300				○	不定
03FEC102H	CAN0メッセージ・データ・バイト2レジスタ00	C0MDATA200			○		不定
03FEC103H	CAN0メッセージ・データ・バイト3レジスタ00	C0MDATA300			○		不定
03FEC104H	CAN0メッセージ・データ・バイト45レジスタ00	C0MDATA4500				○	不定
03FEC104H	CAN0メッセージ・データ・バイト4レジスタ00	C0MDATA400			○		不定
03FEC105H	CAN0メッセージ・データ・バイト5レジスタ00	C0MDATA500			○		不定
03FEC106H	CAN0メッセージ・データ・バイト67レジスタ00	C0MDATA6700				○	不定
03FEC106H	CAN0メッセージ・データ・バイト6レジスタ00	C0MDATA600			○		不定
03FEC107H	CAN0メッセージ・データ・バイト7レジスタ00	C0MDATA700			○		不定
03FEC108H	CAN0メッセージ・データ長レジスタ00	C0MDLC00			○		0000xxxxB
03FEC109H	CAN0メッセージ・コンフィギュレーション・レジスタ00	C0MCONF00			○		不定
03FEC10AH	CAN0メッセージIDレジスタ00	C0MIDL00				○	不定
03FEC10CH		C0MIDH00				○	不定
03FEC10EH	CAN0メッセージ制御レジスタ00	C0MCTRL00				○	00x00000 000xx000B
03FEC120H	CAN0メッセージ・データ・バイト01レジスタ01	C0MDATA0101				○	不定
03FEC120H	CAN0メッセージ・データ・バイト0レジスタ01	C0MDATA001			○		不定
03FEC121H	CAN0メッセージ・データ・バイト1レジスタ01	C0MDATA101			○		不定
03FEC122H	CAN0メッセージ・データ・バイト23レジスタ01	C0MDATA2301				○	不定
03FEC122H	CAN0メッセージ・データ・バイト2レジスタ01	C0MDATA201			○		不定
03FEC123H	CAN0メッセージ・データ・バイト3レジスタ01	C0MDATA301			○		不定
03FEC124H	CAN0メッセージ・データ・バイト45レジスタ01	C0MDATA4501				○	不定
03FEC124H	CAN0メッセージ・データ・バイト4レジスタ01	C0MDATA401			○		不定
03FEC125H	CAN0メッセージ・データ・バイト5レジスタ01	C0MDATA501			○		不定
03FEC126H	CAN0メッセージ・データ・バイト67レジスタ01	C0MDATA6701				○	不定
03FEC126H	CAN0メッセージ・データ・バイト6レジスタ01	C0MDATA601			○		不定
03FEC127H	CAN0メッセージ・データ・バイト7レジスタ01	C0MDATA701			○		不定
03FEC128H	CAN0メッセージ・データ長レジスタ01	C0MDLC01			○		0000xxxxB
03FEC129H	CAN0メッセージ・コンフィギュレーション・レジスタ01	C0MCONF01			○		不定
03FEC12AH	CAN0メッセージIDレジスタ01	C0MIDL01				○	不定
03FEC12CH		C0MIDH01				○	不定
03FEC12EH	CAN0メッセージ制御レジスタ01	C0MCTRL01				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（3/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC140H	CAN0メッセージ・データ・バイト01レジスタ02	C0MDATA0102	R/W			○	不定
03FEC140H	CAN0メッセージ・データ・バイト0レジスタ02	C0MDATA002			○		不定
03FEC141H	CAN0メッセージ・データ・バイト1レジスタ02	C0MDATA102			○		不定
03FEC142H	CAN0メッセージ・データ・バイト23レジスタ02	C0MDATA2302				○	不定
03FEC142H	CAN0メッセージ・データ・バイト2レジスタ02	C0MDATA202			○		不定
03FEC143H	CAN0メッセージ・データ・バイト3レジスタ02	C0MDATA302			○		不定
03FEC144H	CAN0メッセージ・データ・バイト45レジスタ02	C0MDATA4502				○	不定
03FEC144H	CAN0メッセージ・データ・バイト4レジスタ02	C0MDATA402			○		不定
03FEC145H	CAN0メッセージ・データ・バイト5レジスタ02	C0MDATA502			○		不定
03FEC146H	CAN0メッセージ・データ・バイト67レジスタ02	C0MDATA6702				○	不定
03FEC146H	CAN0メッセージ・データ・バイト6レジスタ02	C0MDATA602			○		不定
03FEC147H	CAN0メッセージ・データ・バイト7レジスタ02	C0MDATA702			○		不定
03FEC148H	CAN0メッセージ・データ長レジスタ02	C0MDLC02			○		0000xxxxB
03FEC149H	CAN0メッセージ・コンフィギュレーション・レジスタ02	C0MCONF02			○		不定
03FEC14AH	CAN0メッセージIDレジスタ02	C0MIDL02				○	不定
03FEC14CH		C0MIDH02				○	不定
03FEC14EH	CAN0メッセージ制御レジスタ02	C0MCTRL02				○	00x00000 000xx000B
03FEC160H	CAN0メッセージ・データ・バイト01レジスタ03	C0MDATA0103				○	不定
03FEC160H	CAN0メッセージ・データ・バイト0レジスタ03	C0MDATA003			○		不定
03FEC161H	CAN0メッセージ・データ・バイト1レジスタ03	C0MDATA103			○		不定
03FEC162H	CAN0メッセージ・データ・バイト23レジスタ03	C0MDATA2303				○	不定
03FEC162H	CAN0メッセージ・データ・バイト2レジスタ03	C0MDATA203			○		不定
03FEC163H	CAN0メッセージ・データ・バイト3レジスタ03	C0MDATA303			○		不定
03FEC164H	CAN0メッセージ・データ・バイト45レジスタ03	C0MDATA4503				○	不定
03FEC164H	CAN0メッセージ・データ・バイト4レジスタ03	C0MDATA403			○		不定
03FEC165H	CAN0メッセージ・データ・バイト5レジスタ03	C0MDATA503			○		不定
03FEC166H	CAN0メッセージ・データ・バイト67レジスタ03	C0MDATA6703				○	不定
03FEC166H	CAN0メッセージ・データ・バイト6レジスタ03	C0MDATA603			○		不定
03FEC167H	CAN0メッセージ・データ・バイト7レジスタ03	C0MDATA703			○		不定
03FEC168H	CAN0メッセージ・データ長レジスタ03	C0MDLC03			○		0000xxxxB
03FEC169H	CAN0メッセージ・コンフィギュレーション・レジスタ03	C0MCONF03			○		不定
03FEC16AH	CAN0メッセージIDレジスタ03	C0MIDL03				○	不定
03FEC16CH		C0MIDH03				○	不定
03FEC16EH	CAN0メッセージ制御レジスタ03	C0MCTRL03				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（4/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC180H	CAN0メッセージ・データ・バイト01レジスタ04	C0MDATA0104	R/W			○	不定
03FEC180H	CAN0メッセージ・データ・バイト0レジスタ04	C0MDATA004			○		不定
03FEC181H	CAN0メッセージ・データ・バイト1レジスタ04	C0MDATA104			○		不定
03FEC182H	CAN0メッセージ・データ・バイト23レジスタ04	C0MDATA2304				○	不定
03FEC182H	CAN0メッセージ・データ・バイト2レジスタ04	C0MDATA204			○		不定
03FEC183H	CAN0メッセージ・データ・バイト3レジスタ04	C0MDATA304			○		不定
03FEC184H	CAN0メッセージ・データ・バイト45レジスタ04	C0MDATA4504				○	不定
03FEC184H	CAN0メッセージ・データ・バイト4レジスタ04	C0MDATA404			○		不定
03FEC185H	CAN0メッセージ・データ・バイト5レジスタ04	C0MDATA504			○		不定
03FEC186H	CAN0メッセージ・データ・バイト67レジスタ04	C0MDATA6704				○	不定
03FEC186H	CAN0メッセージ・データ・バイト6レジスタ04	C0MDATA604			○		不定
03FEC187H	CAN0メッセージ・データ・バイト7レジスタ04	C0MDATA704			○		不定
03FEC188H	CAN0メッセージ・データ長レジスタ04	C0MDLC04			○		0000xxxxB
03FEC189H	CAN0メッセージ・コンフィギュレーション・レジスタ04	C0MCONF04			○		不定
03FEC18AH	CAN0メッセージIDレジスタ04	C0MIDL04				○	不定
03FEC18CH		C0MIDH04				○	不定
03FEC18EH	CAN0メッセージ制御レジスタ04	C0MCTRL04				○	00x00000 000xx000B
03FEC1A0H	CAN0メッセージ・データ・バイト01レジスタ05	C0MDATA0105				○	不定
03FEC1A0H	CAN0メッセージ・データ・バイト0レジスタ05	C0MDATA005			○		不定
03FEC1A1H	CAN0メッセージ・データ・バイト1レジスタ05	C0MDATA105			○		不定
03FEC1A2H	CAN0メッセージ・データ・バイト23レジスタ05	C0MDATA2305				○	不定
03FEC1A2H	CAN0メッセージ・データ・バイト2レジスタ05	C0MDATA205			○		不定
03FEC1A3H	CAN0メッセージ・データ・バイト3レジスタ05	C0MDATA305			○		不定
03FEC1A4H	CAN0メッセージ・データ・バイト45レジスタ05	C0MDATA4505				○	不定
03FEC1A4H	CAN0メッセージ・データ・バイト4レジスタ05	C0MDATA405			○		不定
03FEC1A5H	CAN0メッセージ・データ・バイト5レジスタ05	C0MDATA505			○		不定
03FEC1A6H	CAN0メッセージ・データ・バイト67レジスタ05	C0MDATA6705				○	不定
03FEC1A6H	CAN0メッセージ・データ・バイト6レジスタ05	C0MDATA605			○		不定
03FEC1A7H	CAN0メッセージ・データ・バイト7レジスタ05	C0MDATA705			○		不定
03FEC1A8H	CAN0メッセージ・データ長レジスタ05	C0MDLC05			○		0000xxxxB
03FEC1A9H	CAN0メッセージ・コンフィギュレーション・レジスタ05	C0MCONF05			○		不定
03FEC1AAH	CAN0メッセージIDレジスタ05	C0MIDL05				○	不定
03FEC1ACH		C0MIDH05				○	不定
03FEC1AEH	CAN0メッセージ制御レジスタ05	C0MCTRL05				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（5/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC1C0H	CAN0メッセージ・データ・バイト01レジスタ06	C0MDATA0106	R/W			○	不定
03FEC1C0H	CAN0メッセージ・データ・バイト0レジスタ06	C0MDATA006			○		不定
03FEC1C1H	CAN0メッセージ・データ・バイト1レジスタ06	C0MDATA106			○		不定
03FEC1C2H	CAN0メッセージ・データ・バイト23レジスタ06	C0MDATA2306				○	不定
03FEC1C2H	CAN0メッセージ・データ・バイト2レジスタ06	C0MDATA206			○		不定
03FEC1C3H	CAN0メッセージ・データ・バイト3レジスタ06	C0MDATA306			○		不定
03FEC1C4H	CAN0メッセージ・データ・バイト45レジスタ06	C0MDATA4506				○	不定
03FEC1C4H	CAN0メッセージ・データ・バイト4レジスタ06	C0MDATA406			○		不定
03FEC1C5H	CAN0メッセージ・データ・バイト5レジスタ06	C0MDATA506			○		不定
03FEC1C6H	CAN0メッセージ・データ・バイト67レジスタ06	C0MDATA6706				○	不定
03FEC1C6H	CAN0メッセージ・データ・バイト6レジスタ06	C0MDATA606			○		不定
03FEC1C7H	CAN0メッセージ・データ・バイト7レジスタ06	C0MDATA706			○		不定
03FEC1C8H	CAN0メッセージ・データ長レジスタ06	C0MDLC06			○		0000xxxxB
03FEC1C9H	CAN0メッセージ・コンフィギュレーション・レジスタ06	C0MCONF06			○		不定
03FEC1CAH	CAN0メッセージIDレジスタ06	C0MIDL06				○	不定
03FEC1CCH		C0MIDH06				○	不定
03FEC1CEH	CAN0メッセージ制御レジスタ06	C0MCTRL06				○	00x00000 000xx000B
03FEC1E0H	CAN0メッセージ・データ・バイト01レジスタ07	C0MDATA0107				○	不定
03FEC1E0H	CAN0メッセージ・データ・バイト0レジスタ07	C0MDATA007			○		不定
03FEC1E1H	CAN0メッセージ・データ・バイト1レジスタ07	C0MDATA107			○		不定
03FEC1E2H	CAN0メッセージ・データ・バイト23レジスタ07	C0MDATA2307				○	不定
03FEC1E2H	CAN0メッセージ・データ・バイト2レジスタ07	C0MDATA207			○		不定
03FEC1E3H	CAN0メッセージ・データ・バイト3レジスタ07	C0MDATA307			○		不定
03FEC1E4H	CAN0メッセージ・データ・バイト45レジスタ07	C0MDATA4507				○	不定
03FEC1E4H	CAN0メッセージ・データ・バイト4レジスタ07	C0MDATA407			○		不定
03FEC1E5H	CAN0メッセージ・データ・バイト5レジスタ07	C0MDATA507			○		不定
03FEC1E6H	CAN0メッセージ・データ・バイト67レジスタ07	C0MDATA6707				○	不定
03FEC1E6H	CAN0メッセージ・データ・バイト6レジスタ07	C0MDATA607			○		不定
03FEC1E7H	CAN0メッセージ・データ・バイト7レジスタ07	C0MDATA707			○		不定
03FEC1E8H	CAN0メッセージ・データ長レジスタ07	C0MDLC07			○		0000xxxxB
03FEC1E9H	CAN0メッセージ・コンフィギュレーション・レジスタ07	C0MCONF07			○		不定
03FEC1EAH	CAN0メッセージIDレジスタ07	C0MIDL07				○	不定
03FEC1ECH		C0MIDH07				○	不定
03FEC1EEH	CAN0メッセージ制御レジスタ07	C0MCTRL07				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（6/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC200H	CAN0メッセージ・データ・バイト01レジスタ08	C0MDATA0108	R/W			○	不定
03FEC200H	CAN0メッセージ・データ・バイト0レジスタ08	C0MDATA008			○		不定
03FEC201H	CAN0メッセージ・データ・バイト1レジスタ08	C0MDATA108			○		不定
03FEC202H	CAN0メッセージ・データ・バイト23レジスタ08	C0MDATA2308				○	不定
03FEC202H	CAN0メッセージ・データ・バイト2レジスタ08	C0MDATA208			○		不定
03FEC203H	CAN0メッセージ・データ・バイト3レジスタ08	C0MDATA308			○		不定
03FEC204H	CAN0メッセージ・データ・バイト45レジスタ08	C0MDATA4508				○	不定
03FEC204H	CAN0メッセージ・データ・バイト4レジスタ08	C0MDATA408			○		不定
03FEC205H	CAN0メッセージ・データ・バイト5レジスタ08	C0MDATA508			○		不定
03FEC206H	CAN0メッセージ・データ・バイト67レジスタ08	C0MDATA6708				○	不定
03FEC206H	CAN0メッセージ・データ・バイト6レジスタ08	C0MDATA608			○		不定
03FEC207H	CAN0メッセージ・データ・バイト7レジスタ08	C0MDATA708			○		不定
03FEC208H	CAN0メッセージ・データ長レジスタ08	C0MDLC08			○		0000xxxxB
03FEC209H	CAN0メッセージ・コンフィギュレーション・レジスタ08	C0MCONF08			○		不定
03FEC20AH	CAN0メッセージIDレジスタ08	C0MIDL08				○	不定
03FEC20CH		C0MIDH08				○	不定
03FEC20EH	CAN0メッセージ制御レジスタ08	C0MCTRL08				○	00x00000 000xx000B
03FEC220H	CAN0メッセージ・データ・バイト01レジスタ09	C0MDATA0109				○	不定
03FEC220H	CAN0メッセージ・データ・バイト0レジスタ09	C0MDATA009			○		不定
03FEC221H	CAN0メッセージ・データ・バイト1レジスタ09	C0MDATA109			○		不定
03FEC222H	CAN0メッセージ・データ・バイト23レジスタ09	C0MDATA2309				○	不定
03FEC222H	CAN0メッセージ・データ・バイト2レジスタ09	C0MDATA209			○		不定
03FEC223H	CAN0メッセージ・データ・バイト3レジスタ09	C0MDATA309			○		不定
03FEC224H	CAN0メッセージ・データ・バイト45レジスタ09	C0MDATA4509				○	不定
03FEC224H	CAN0メッセージ・データ・バイト4レジスタ09	C0MDATA409			○		不定
03FEC225H	CAN0メッセージ・データ・バイト5レジスタ09	C0MDATA509			○		不定
03FEC226H	CAN0メッセージ・データ・バイト67レジスタ09	C0MDATA6709				○	不定
03FEC226H	CAN0メッセージ・データ・バイト6レジスタ09	C0MDATA609			○		不定
03FEC227H	CAN0メッセージ・データ・バイト7レジスタ09	C0MDATA709			○		不定
03FEC228H	CAN0メッセージ・データ長レジスタ09	C0MDLC09			○		0000xxxxB
03FEC229H	CAN0メッセージ・コンフィギュレーション・レジスタ09	C0MCONF09			○		不定
03FEC22AH	CAN0メッセージIDレジスタ09	C0MIDL09				○	不定
03FEC22CH		C0MIDH09				○	不定
03FEC22EH	CAN0メッセージ制御レジスタ09	C0MCTRL09				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（7/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC240H	CAN0メッセージ・データ・バイト01レジスタ10	C0MDATA0110	R/W			○	不定
03FEC240H	CAN0メッセージ・データ・バイト0レジスタ10	C0MDATA010			○		不定
03FEC241H	CAN0メッセージ・データ・バイト1レジスタ10	C0MDATA110			○		不定
03FEC242H	CAN0メッセージ・データ・バイト23レジスタ10	C0MDATA2310				○	不定
03FEC242H	CAN0メッセージ・データ・バイト2レジスタ10	C0MDATA210			○		不定
03FEC243H	CAN0メッセージ・データ・バイト3レジスタ10	C0MDATA310			○		不定
03FEC244H	CAN0メッセージ・データ・バイト45レジスタ10	C0MDATA4510				○	不定
03FEC244H	CAN0メッセージ・データ・バイト4レジスタ10	C0MDATA410			○		不定
03FEC245H	CAN0メッセージ・データ・バイト5レジスタ10	C0MDATA510			○		不定
03FEC246H	CAN0メッセージ・データ・バイト67レジスタ10	C0MDATA6710				○	不定
03FEC246H	CAN0メッセージ・データ・バイト6レジスタ10	C0MDATA610			○		不定
03FEC247H	CAN0メッセージ・データ・バイト7レジスタ10	C0MDATA710			○		不定
03FEC248H	CAN0メッセージ・データ長レジスタ10	C0MDLC10			○		0000xxxxB
03FEC249H	CAN0メッセージ・コンフィギュレーション・レジスタ10	C0MCONF10			○		不定
03FEC24AH	CAN0メッセージIDレジスタ10	C0MIDL10				○	不定
03FEC24CH		C0MIDH10				○	不定
03FEC24EH	CAN0メッセージ制御レジスタ10	C0MCTRL10				○	00x00000 000xx000B
03FEC260H	CAN0メッセージ・データ・バイト01レジスタ11	C0MDATA0111				○	不定
03FEC260H	CAN0メッセージ・データ・バイト0レジスタ11	C0MDATA011			○		不定
03FEC261H	CAN0メッセージ・データ・バイト1レジスタ11	C0MDATA111			○		不定
03FEC262H	CAN0メッセージ・データ・バイト23レジスタ11	C0MDATA2311				○	不定
03FEC262H	CAN0メッセージ・データ・バイト2レジスタ11	C0MDATA211			○		不定
03FEC263H	CAN0メッセージ・データ・バイト3レジスタ11	C0MDATA311			○		不定
03FEC264H	CAN0メッセージ・データ・バイト45レジスタ11	C0MDATA4511				○	不定
03FEC264H	CAN0メッセージ・データ・バイト4レジスタ11	C0MDATA411			○		不定
03FEC265H	CAN0メッセージ・データ・バイト5レジスタ11	C0MDATA511			○		不定
03FEC266H	CAN0メッセージ・データ・バイト67レジスタ11	C0MDATA6711				○	不定
03FEC266H	CAN0メッセージ・データ・バイト6レジスタ11	C0MDATA611			○		不定
03FEC267H	CAN0メッセージ・データ・バイト7レジスタ11	C0MDATA711			○		不定
03FEC268H	CAN0メッセージ・データ長レジスタ11	C0MDLC11			○		0000xxxxB
03FEC269H	CAN0メッセージ・コンフィギュレーション・レジスタ11	C0MCONF11			○		不定
03FEC26AH	CAN0メッセージIDレジスタ11	C0MIDL11				○	不定
03FEC26CH		C0MIDH11				○	不定
03FEC26EH	CAN0メッセージ制御レジスタ11	C0MCTRL11				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（8/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC280H	CAN0メッセージ・データ・バイト01レジスタ12	C0MDATA0112	R/W			○	不定
03FEC280H	CAN0メッセージ・データ・バイト0レジスタ12	C0MDATA012			○		不定
03FEC281H	CAN0メッセージ・データ・バイト1レジスタ12	C0MDATA112			○		不定
03FEC282H	CAN0メッセージ・データ・バイト23レジスタ12	C0MDATA2312				○	不定
03FEC282H	CAN0メッセージ・データ・バイト2レジスタ12	C0MDATA212			○		不定
03FEC283H	CAN0メッセージ・データ・バイト3レジスタ12	C0MDATA312			○		不定
03FEC284H	CAN0メッセージ・データ・バイト45レジスタ12	C0MDATA4512				○	不定
03FEC284H	CAN0メッセージ・データ・バイト4レジスタ12	C0MDATA412			○		不定
03FEC285H	CAN0メッセージ・データ・バイト5レジスタ12	C0MDATA512			○		不定
03FEC286H	CAN0メッセージ・データ・バイト67レジスタ12	C0MDATA6712				○	不定
03FEC286H	CAN0メッセージ・データ・バイト6レジスタ12	C0MDATA612			○		不定
03FEC287H	CAN0メッセージ・データ・バイト7レジスタ12	C0MDATA712			○		不定
03FEC288H	CAN0メッセージ・データ長レジスタ12	C0MDLC12			○		0000xxxxB
03FEC289H	CAN0メッセージ・コンフィギュレーション・レジスタ12	C0MCONF12			○		不定
03FEC28AH	CAN0メッセージIDレジスタ12	C0MIDL12				○	不定
03FEC28CH		C0MIDH12				○	不定
03FEC28EH	CAN0メッセージ制御レジスタ12	C0MCTRL12				○	00x00000 000xx000B
03FEC2A0H	CAN0メッセージ・データ・バイト01レジスタ13	C0MDATA0113				○	不定
03FEC2A0H	CAN0メッセージ・データ・バイト0レジスタ13	C0MDATA013			○		不定
03FEC2A1H	CAN0メッセージ・データ・バイト1レジスタ13	C0MDATA113			○		不定
03FEC2A2H	CAN0メッセージ・データ・バイト23レジスタ13	C0MDATA2313				○	不定
03FEC2A2H	CAN0メッセージ・データ・バイト2レジスタ13	C0MDATA213			○		不定
03FEC2A3H	CAN0メッセージ・データ・バイト3レジスタ13	C0MDATA313			○		不定
03FEC2A4H	CAN0メッセージ・データ・バイト45レジスタ13	C0MDATA4513				○	不定
03FEC2A4H	CAN0メッセージ・データ・バイト4レジスタ13	C0MDATA413			○		不定
03FEC2A5H	CAN0メッセージ・データ・バイト5レジスタ13	C0MDATA513			○		不定
03FEC2A6H	CAN0メッセージ・データ・バイト67レジスタ13	C0MDATA6713				○	不定
03FEC2A6H	CAN0メッセージ・データ・バイト6レジスタ13	C0MDATA613			○		不定
03FEC2A7H	CAN0メッセージ・データ・バイト7レジスタ13	C0MDATA713			○		不定
03FEC2A8H	CAN0メッセージ・データ長レジスタ13	C0MDLC13			○		0000xxxxB
03FEC2A9H	CAN0メッセージ・コンフィギュレーション・レジスタ13	C0MCONF13			○		不定
03FEC2AAH	CAN0メッセージIDレジスタ13	C0MIDL13				○	不定
03FEC2ACH		C0MIDH13				○	不定
03FEC2AEH	CAN0メッセージ制御レジスタ13	C0MCTRL13				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（9/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC2C0H	CAN0メッセージ・データ・バイト01レジスタ14	C0MDATA0114	R/W			○	不定
03FEC2C0H	CAN0メッセージ・データ・バイト0レジスタ14	C0MDATA014			○		不定
03FEC2C1H	CAN0メッセージ・データ・バイト1レジスタ14	C0MDATA114			○		不定
03FEC2C2H	CAN0メッセージ・データ・バイト23レジスタ14	C0MDATA2314				○	不定
03FEC2C2H	CAN0メッセージ・データ・バイト2レジスタ14	C0MDATA214			○		不定
03FEC2C3H	CAN0メッセージ・データ・バイト3レジスタ14	C0MDATA314			○		不定
03FEC2C4H	CAN0メッセージ・データ・バイト45レジスタ14	C0MDATA4514				○	不定
03FEC2C4H	CAN0メッセージ・データ・バイト4レジスタ14	C0MDATA414			○		不定
03FEC2C5H	CAN0メッセージ・データ・バイト5レジスタ14	C0MDATA514			○		不定
03FEC2C6H	CAN0メッセージ・データ・バイト67レジスタ14	C0MDATA6714				○	不定
03FEC2C6H	CAN0メッセージ・データ・バイト6レジスタ14	C0MDATA614			○		不定
03FEC2C7H	CAN0メッセージ・データ・バイト7レジスタ14	C0MDATA714			○		不定
03FEC2C8H	CAN0メッセージ・データ長レジスタ14	C0MDLC14			○		0000xxxxB
03FEC2C9H	CAN0メッセージ・コンフィギュレーション・レジスタ14	C0MCONF14			○		不定
03FEC2CAH	CAN0メッセージIDレジスタ14	C0MIDL14				○	不定
03FEC2CCH		C0MIDH14				○	不定
03FEC2CEH	CAN0メッセージ制御レジスタ14	C0MCTRL14				○	00x00000 000xx000B
03FEC2E0H	CAN0メッセージ・データ・バイト01レジスタ15	C0MDATA0115				○	不定
03FEC2E0H	CAN0メッセージ・データ・バイト0レジスタ15	C0MDATA015			○		不定
03FEC2E1H	CAN0メッセージ・データ・バイト1レジスタ15	C0MDATA115			○		不定
03FEC2E2H	CAN0メッセージ・データ・バイト23レジスタ15	C0MDATA2315				○	不定
03FEC2E2H	CAN0メッセージ・データ・バイト2レジスタ15	C0MDATA215			○		不定
03FEC2E3H	CAN0メッセージ・データ・バイト3レジスタ15	C0MDATA315			○		不定
03FEC2E4H	CAN0メッセージ・データ・バイト45レジスタ15	C0MDATA4515				○	不定
03FEC2E4H	CAN0メッセージ・データ・バイト4レジスタ15	C0MDATA415			○		不定
03FEC2E5H	CAN0メッセージ・データ・バイト5レジスタ15	C0MDATA515			○		不定
03FEC2E6H	CAN0メッセージ・データ・バイト67レジスタ15	C0MDATA6715				○	不定
03FEC2E6H	CAN0メッセージ・データ・バイト6レジスタ15	C0MDATA615			○		不定
03FEC2E7H	CAN0メッセージ・データ・バイト7レジスタ15	C0MDATA715			○		不定
03FEC2E8H	CAN0メッセージ・データ長レジスタ15	C0MDLC15			○		0000xxxxB
03FEC2E9H	CAN0メッセージ・コンフィギュレーション・レジスタ15	C0MCONF15			○		不定
03FEC2EAH	CAN0メッセージIDレジスタ15	C0MIDL15				○	不定
03FEC2ECH		C0MIDH15				○	不定
03FEC2EEH	CAN0メッセージ制御レジスタ15	C0MCTRL15				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（10/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC300H	CAN0メッセージ・データ・バイト01レジスタ16	C0MDATA0116	R/W			○	不定
03FEC300H	CAN0メッセージ・データ・バイト0レジスタ16	C0MDATA016			○		不定
03FEC301H	CAN0メッセージ・データ・バイト1レジスタ16	C0MDATA116			○		不定
03FEC302H	CAN0メッセージ・データ・バイト23レジスタ16	C0MDATA2316				○	不定
03FEC302H	CAN0メッセージ・データ・バイト2レジスタ16	C0MDATA216			○		不定
03FEC303H	CAN0メッセージ・データ・バイト3レジスタ16	C0MDATA316			○		不定
03FEC304H	CAN0メッセージ・データ・バイト45レジスタ16	C0MDATA4516				○	不定
03FEC304H	CAN0メッセージ・データ・バイト4レジスタ16	C0MDATA416			○		不定
03FEC305H	CAN0メッセージ・データ・バイト5レジスタ16	C0MDATA516			○		不定
03FEC306H	CAN0メッセージ・データ・バイト67レジスタ16	C0MDATA6716				○	不定
03FEC306H	CAN0メッセージ・データ・バイト6レジスタ16	C0MDATA616			○		不定
03FEC307H	CAN0メッセージ・データ・バイト7レジスタ16	C0MDATA716			○		不定
03FEC308H	CAN0メッセージ・データ長レジスタ16	C0MDLC16			○		0000xxxxB
03FEC309H	CAN0メッセージ・コンフィギュレーション・レジスタ16	C0MCONF16			○		不定
03FEC30AH	CAN0メッセージIDレジスタ16	C0MIDL16				○	不定
03FEC30CH		C0MIDH16				○	不定
03FEC30EH	CAN0メッセージ制御レジスタ16	C0MCTRL16				○	00x00000 000xx000B
03FEC320H	CAN0メッセージ・データ・バイト01レジスタ17	C0MDATA0117				○	不定
03FEC320H	CAN0メッセージ・データ・バイト0レジスタ17	C0MDATA017			○		不定
03FEC321H	CAN0メッセージ・データ・バイト1レジスタ17	C0MDATA117			○		不定
03FEC322H	CAN0メッセージ・データ・バイト23レジスタ17	C0MDATA2317				○	不定
03FEC322H	CAN0メッセージ・データ・バイト2レジスタ17	C0MDATA217			○		不定
03FEC323H	CAN0メッセージ・データ・バイト3レジスタ17	C0MDATA317			○		不定
03FEC324H	CAN0メッセージ・データ・バイト45レジスタ17	C0MDATA4517				○	不定
03FEC324H	CAN0メッセージ・データ・バイト4レジスタ17	C0MDATA417			○		不定
03FEC325H	CAN0メッセージ・データ・バイト5レジスタ17	C0MDATA517			○		不定
03FEC326H	CAN0メッセージ・データ・バイト67レジスタ17	C0MDATA6717				○	不定
03FEC326H	CAN0メッセージ・データ・バイト6レジスタ17	C0MDATA617			○		不定
03FEC327H	CAN0メッセージ・データ・バイト7レジスタ17	C0MDATA717			○		不定
03FEC328H	CAN0メッセージ・データ長レジスタ17	C0MDLC17			○		0000xxxxB
03FEC329H	CAN0メッセージ・コンフィギュレーション・レジスタ17	C0MCONF17			○		不定
03FEC32AH	CAN0メッセージIDレジスタ17	C0MIDL17				○	不定
03FEC32CH		C0MIDH17				○	不定
03FEC32EH	CAN0メッセージ制御レジスタ17	C0MCTRL17				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（11/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC340H	CAN0メッセージ・データ・バイト01レジスタ18	C0MDATA0118	R/W			○	不定
03FEC340H	CAN0メッセージ・データ・バイト0レジスタ18	C0MDATA018			○		不定
03FEC341H	CAN0メッセージ・データ・バイト1レジスタ18	C0MDATA118			○		不定
03FEC342H	CAN0メッセージ・データ・バイト23レジスタ18	C0MDATA2318				○	不定
03FEC342H	CAN0メッセージ・データ・バイト2レジスタ18	C0MDATA218			○		不定
03FEC343H	CAN0メッセージ・データ・バイト3レジスタ18	C0MDATA318			○		不定
03FEC344H	CAN0メッセージ・データ・バイト45レジスタ18	C0MDATA4518				○	不定
03FEC344H	CAN0メッセージ・データ・バイト4レジスタ18	C0MDATA418			○		不定
03FEC345H	CAN0メッセージ・データ・バイト5レジスタ18	C0MDATA518			○		不定
03FEC346H	CAN0メッセージ・データ・バイト67レジスタ18	C0MDATA6718				○	不定
03FEC346H	CAN0メッセージ・データ・バイト6レジスタ18	C0MDATA618			○		不定
03FEC347H	CAN0メッセージ・データ・バイト7レジスタ18	C0MDATA718			○		不定
03FEC348H	CAN0メッセージ・データ長レジスタ18	C0MDLC18			○		0000xxxxB
03FEC349H	CAN0メッセージ・コンフィギュレーション・レジスタ18	C0MCONF18			○		不定
03FEC34AH	CAN0メッセージIDレジスタ18	C0MIDL18				○	不定
03FEC34CH		C0MIDH18				○	不定
03FEC34EH	CAN0メッセージ制御レジスタ18	C0MCTRL18				○	00x00000 000xx000B
03FEC360H	CAN0メッセージ・データ・バイト01レジスタ19	C0MDATA0119				○	不定
03FEC360H	CAN0メッセージ・データ・バイト0レジスタ19	C0MDATA019			○		不定
03FEC361H	CAN0メッセージ・データ・バイト1レジスタ19	C0MDATA119			○		不定
03FEC362H	CAN0メッセージ・データ・バイト23レジスタ19	C0MDATA2319				○	不定
03FEC362H	CAN0メッセージ・データ・バイト2レジスタ19	C0MDATA219			○		不定
03FEC363H	CAN0メッセージ・データ・バイト3レジスタ19	C0MDATA319			○		不定
03FEC364H	CAN0メッセージ・データ・バイト45レジスタ19	C0MDATA4519				○	不定
03FEC364H	CAN0メッセージ・データ・バイト4レジスタ19	C0MDATA419			○		不定
03FEC365H	CAN0メッセージ・データ・バイト5レジスタ19	C0MDATA519			○		不定
03FEC366H	CAN0メッセージ・データ・バイト67レジスタ19	C0MDATA6719				○	不定
03FEC366H	CAN0メッセージ・データ・バイト6レジスタ19	C0MDATA619			○		不定
03FEC367H	CAN0メッセージ・データ・バイト7レジスタ19	C0MDATA719			○		不定
03FEC368H	CAN0メッセージ・データ長レジスタ19	C0MDLC19			○		0000xxxxB
03FEC369H	CAN0メッセージ・コンフィギュレーション・レジスタ19	C0MCONF19			○		不定
03FEC36AH	CAN0メッセージIDレジスタ19	C0MIDL19				○	不定
03FEC36CH		C0MIDH19				○	不定
03FEC36EH	CAN0メッセージ制御レジスタ19	C0MCTRL19				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（12/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC380H	CAN0メッセージ・データ・バイト01レジスタ20	C0MDATA0120	R/W			○	不定
03FEC380H	CAN0メッセージ・データ・バイト0レジスタ20	C0MDATA020			○		不定
03FEC381H	CAN0メッセージ・データ・バイト1レジスタ20	C0MDATA120			○		不定
03FEC382H	CAN0メッセージ・データ・バイト23レジスタ20	C0MDATA2320				○	不定
03FEC382H	CAN0メッセージ・データ・バイト2レジスタ20	C0MDATA220			○		不定
03FEC383H	CAN0メッセージ・データ・バイト3レジスタ20	C0MDATA320			○		不定
03FEC384H	CAN0メッセージ・データ・バイト45レジスタ20	C0MDATA4520				○	不定
03FEC384H	CAN0メッセージ・データ・バイト4レジスタ20	C0MDATA420			○		不定
03FEC385H	CAN0メッセージ・データ・バイト5レジスタ20	C0MDATA520			○		不定
03FEC386H	CAN0メッセージ・データ・バイト67レジスタ20	C0MDATA6720				○	不定
03FEC386H	CAN0メッセージ・データ・バイト6レジスタ20	C0MDATA620			○		不定
03FEC387H	CAN0メッセージ・データ・バイト7レジスタ20	C0MDATA720			○		不定
03FEC388H	CAN0メッセージ・データ長レジスタ20	C0MDLC20			○		0000xxxxB
03FEC389H	CAN0メッセージ・コンフィギュレーション・レジスタ20	C0MCONF20			○		不定
03FEC38AH	CAN0メッセージIDレジスタ20	C0MIDL20				○	不定
03FEC38CH		C0MIDH20				○	不定
03FEC38EH	CAN0メッセージ制御レジスタ20	C0MCTRL20				○	00x00000 000xx000B
03FEC3A0H	CAN0メッセージ・データ・バイト01レジスタ21	C0MDATA0121				○	不定
03FEC3A0H	CAN0メッセージ・データ・バイト0レジスタ21	C0MDATA021			○		不定
03FEC3A1H	CAN0メッセージ・データ・バイト1レジスタ21	C0MDATA121			○		不定
03FEC3A2H	CAN0メッセージ・データ・バイト23レジスタ21	C0MDATA2321				○	不定
03FEC3A2H	CAN0メッセージ・データ・バイト2レジスタ21	C0MDATA221			○		不定
03FEC3A3H	CAN0メッセージ・データ・バイト3レジスタ21	C0MDATA321			○		不定
03FEC3A4H	CAN0メッセージ・データ・バイト45レジスタ21	C0MDATA4521				○	不定
03FEC3A4H	CAN0メッセージ・データ・バイト4レジスタ21	C0MDATA421			○		不定
03FEC3A5H	CAN0メッセージ・データ・バイト5レジスタ21	C0MDATA521			○		不定
03FEC3A6H	CAN0メッセージ・データ・バイト67レジスタ21	C0MDATA6721				○	不定
03FEC3A6H	CAN0メッセージ・データ・バイト6レジスタ21	C0MDATA621			○		不定
03FEC3A7H	CAN0メッセージ・データ・バイト7レジスタ21	C0MDATA721			○		不定
03FEC3A8H	CAN0メッセージ・データ長レジスタ21	C0MDLC21			○		0000xxxxB
03FEC3A9H	CAN0メッセージ・コンフィギュレーション・レジスタ21	C0MCONF21			○		不定
03FEC3AAH	CAN0メッセージIDレジスタ21	C0MIDL21				○	不定
03FEC3ACH		C0MIDH21				○	不定
03FEC3AEH	CAN0メッセージ制御レジスタ21	C0MCTRL21				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（13/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC3C0H	CAN0メッセージ・データ・バイト01レジスタ22	C0MDATA0122	R/W			○	不定
03FEC3C0H	CAN0メッセージ・データ・バイト0レジスタ22	C0MDATA022			○		不定
03FEC3C1H	CAN0メッセージ・データ・バイト1レジスタ22	C0MDATA122			○		不定
03FEC3C2H	CAN0メッセージ・データ・バイト23レジスタ22	C0MDATA2322				○	不定
03FEC3C2H	CAN0メッセージ・データ・バイト2レジスタ22	C0MDATA222			○		不定
03FEC3C3H	CAN0メッセージ・データ・バイト3レジスタ22	C0MDATA322			○		不定
03FEC3C4H	CAN0メッセージ・データ・バイト45レジスタ22	C0MDATA4522				○	不定
03FEC3C4H	CAN0メッセージ・データ・バイト4レジスタ22	C0MDATA422			○		不定
03FEC3C5H	CAN0メッセージ・データ・バイト5レジスタ22	C0MDATA522			○		不定
03FEC3C6H	CAN0メッセージ・データ・バイト67レジスタ22	C0MDATA6722				○	不定
03FEC3C6H	CAN0メッセージ・データ・バイト6レジスタ22	C0MDATA622			○		不定
03FEC3C7H	CAN0メッセージ・データ・バイト7レジスタ22	C0MDATA722			○		不定
03FEC3C8H	CAN0メッセージ・データ長レジスタ22	C0MDLC22			○		0000xxxxB
03FEC3C9H	CAN0メッセージ・コンフィギュレーション・レジスタ22	C0MCONF22			○		不定
03FEC3CAH	CAN0メッセージIDレジスタ22	C0MIDL22				○	不定
03FEC3CCH		C0MIDH22				○	不定
03FEC3CEH	CAN0メッセージ制御レジスタ22	C0MCTRL22				○	00x00000 000xx000B
03FEC3E0H	CAN0メッセージ・データ・バイト01レジスタ23	C0MDATA0123				○	不定
03FEC3E0H	CAN0メッセージ・データ・バイト0レジスタ23	C0MDATA023			○		不定
03FEC3E1H	CAN0メッセージ・データ・バイト1レジスタ23	C0MDATA123			○		不定
03FEC3E2H	CAN0メッセージ・データ・バイト23レジスタ23	C0MDATA2323				○	不定
03FEC3E2H	CAN0メッセージ・データ・バイト2レジスタ23	C0MDATA223			○		不定
03FEC3E3H	CAN0メッセージ・データ・バイト3レジスタ23	C0MDATA323			○		不定
03FEC3E4H	CAN0メッセージ・データ・バイト45レジスタ23	C0MDATA4523				○	不定
03FEC3E4H	CAN0メッセージ・データ・バイト4レジスタ23	C0MDATA423			○		不定
03FEC3E5H	CAN0メッセージ・データ・バイト5レジスタ23	C0MDATA523			○		不定
03FEC3E6H	CAN0メッセージ・データ・バイト67レジスタ23	C0MDATA6723				○	不定
03FEC3E6H	CAN0メッセージ・データ・バイト6レジスタ23	C0MDATA623			○		不定
03FEC3E7H	CAN0メッセージ・データ・バイト7レジスタ23	C0MDATA723			○		不定
03FEC3E8H	CAN0メッセージ・データ長レジスタ23	C0MDLC23			○		0000xxxxB
03FEC3E9H	CAN0メッセージ・コンフィギュレーション・レジスタ23	C0MCONF23			○		不定
03FEC3EAH	CAN0メッセージIDレジスタ23	C0MIDL23				○	不定
03FEC3ECH		C0MIDH23				○	不定
03FEC3EEH	CAN0メッセージ制御レジスタ23	C0MCTRL23				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（14/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC400H	CAN0メッセージ・データ・バイト01レジスタ24	C0MDATA0124	R/W			○	不定
03FEC400H	CAN0メッセージ・データ・バイト0レジスタ24	C0MDATA024			○		不定
03FEC401H	CAN0メッセージ・データ・バイト1レジスタ24	C0MDATA124			○		不定
03FEC402H	CAN0メッセージ・データ・バイト23レジスタ24	C0MDATA2324				○	不定
03FEC402H	CAN0メッセージ・データ・バイト2レジスタ24	C0MDATA224			○		不定
03FEC403H	CAN0メッセージ・データ・バイト3レジスタ24	C0MDATA324			○		不定
03FEC404H	CAN0メッセージ・データ・バイト45レジスタ24	C0MDATA4524				○	不定
03FEC404H	CAN0メッセージ・データ・バイト4レジスタ24	C0MDATA424			○		不定
03FEC405H	CAN0メッセージ・データ・バイト5レジスタ24	C0MDATA524			○		不定
03FEC406H	CAN0メッセージ・データ・バイト67レジスタ24	C0MDATA6724				○	不定
03FEC406H	CAN0メッセージ・データ・バイト6レジスタ24	C0MDATA624			○		不定
03FEC407H	CAN0メッセージ・データ・バイト7レジスタ24	C0MDATA724			○		不定
03FEC408H	CAN0メッセージ・データ長レジスタ24	C0MDLC24			○		0000xxxxB
03FEC409H	CAN0メッセージ・コンフィギュレーション・レジスタ24	C0MCONF24			○		不定
03FEC40AH	CAN0メッセージIDレジスタ24	C0MIDL24				○	不定
03FEC40CH		C0MIDH24				○	不定
03FEC40EH	CAN0メッセージ制御レジスタ24	C0MCTRL24				○	00x00000 000xx000B
03FEC420H	CAN0メッセージ・データ・バイト01レジスタ25	C0MDATA0125				○	不定
03FEC420H	CAN0メッセージ・データ・バイト0レジスタ25	C0MDATA025			○		不定
03FEC421H	CAN0メッセージ・データ・バイト1レジスタ25	C0MDATA125			○		不定
03FEC422H	CAN0メッセージ・データ・バイト23レジスタ25	C0MDATA2325				○	不定
03FEC422H	CAN0メッセージ・データ・バイト2レジスタ25	C0MDATA225			○		不定
03FEC423H	CAN0メッセージ・データ・バイト3レジスタ25	C0MDATA325			○		不定
03FEC424H	CAN0メッセージ・データ・バイト45レジスタ25	C0MDATA4525				○	不定
03FEC424H	CAN0メッセージ・データ・バイト4レジスタ25	C0MDATA425			○		不定
03FEC425H	CAN0メッセージ・データ・バイト5レジスタ25	C0MDATA525			○		不定
03FEC426H	CAN0メッセージ・データ・バイト67レジスタ25	C0MDATA6725				○	不定
03FEC426H	CAN0メッセージ・データ・バイト6レジスタ25	C0MDATA625			○		不定
03FEC427H	CAN0メッセージ・データ・バイト7レジスタ25	C0MDATA725			○		不定
03FEC428H	CAN0メッセージ・データ長レジスタ25	C0MDLC25			○		0000xxxxB
03FEC429H	CAN0メッセージ・コンフィギュレーション・レジスタ25	C0MCONF25			○		不定
03FEC42AH	CAN0メッセージIDレジスタ25	C0MIDL25				○	不定
03FEC42CH		C0MIDH25				○	不定
03FEC42EH	CAN0メッセージ制御レジスタ25	C0MCTRL25				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（15/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC440H	CAN0メッセージ・データ・バイト01レジスタ26	C0MDATA0126	R/W			○	不定
03FEC440H	CAN0メッセージ・データ・バイト0レジスタ26	C0MDATA026			○		不定
03FEC441H	CAN0メッセージ・データ・バイト1レジスタ26	C0MDATA126			○		不定
03FEC442H	CAN0メッセージ・データ・バイト23レジスタ26	C0MDATA2326				○	不定
03FEC442H	CAN0メッセージ・データ・バイト2レジスタ26	C0MDATA226			○		不定
03FEC443H	CAN0メッセージ・データ・バイト3レジスタ26	C0MDATA326			○		不定
03FEC444H	CAN0メッセージ・データ・バイト45レジスタ26	C0MDATA4526				○	不定
03FEC444H	CAN0メッセージ・データ・バイト4レジスタ26	C0MDATA426			○		不定
03FEC445H	CAN0メッセージ・データ・バイト5レジスタ26	C0MDATA526			○		不定
03FEC446H	CAN0メッセージ・データ・バイト67レジスタ26	C0MDATA6726				○	不定
03FEC446H	CAN0メッセージ・データ・バイト6レジスタ26	C0MDATA626			○		不定
03FEC447H	CAN0メッセージ・データ・バイト7レジスタ26	C0MDATA726			○		不定
03FEC448H	CAN0メッセージ・データ長レジスタ26	C0MDLC26			○		0000xxxxB
03FEC449H	CAN0メッセージ・コンフィギュレーション・レジスタ26	C0MCONF26			○		不定
03FEC44AH	CAN0メッセージIDレジスタ26	C0MIDL26				○	不定
03FEC44CH		C0MIDH26				○	不定
03FEC44EH	CAN0メッセージ制御レジスタ26	C0MCTRL26				○	00x00000 000xx000B
03FEC460H	CAN0メッセージ・データ・バイト01レジスタ27	C0MDATA0127				○	不定
03FEC460H	CAN0メッセージ・データ・バイト0レジスタ27	C0MDATA027			○		不定
03FEC461H	CAN0メッセージ・データ・バイト1レジスタ27	C0MDATA127			○		不定
03FEC462H	CAN0メッセージ・データ・バイト23レジスタ27	C0MDATA2327				○	不定
03FEC462H	CAN0メッセージ・データ・バイト2レジスタ27	C0MDATA227			○		不定
03FEC463H	CAN0メッセージ・データ・バイト3レジスタ27	C0MDATA327			○		不定
03FEC464H	CAN0メッセージ・データ・バイト45レジスタ27	C0MDATA4527				○	不定
03FEC464H	CAN0メッセージ・データ・バイト4レジスタ27	C0MDATA427			○		不定
03FEC465H	CAN0メッセージ・データ・バイト5レジスタ27	C0MDATA527			○		不定
03FEC466H	CAN0メッセージ・データ・バイト67レジスタ27	C0MDATA6727				○	不定
03FEC466H	CAN0メッセージ・データ・バイト6レジスタ27	C0MDATA627			○		不定
03FEC467H	CAN0メッセージ・データ・バイト7レジスタ27	C0MDATA727			○		不定
03FEC468H	CAN0メッセージ・データ長レジスタ27	C0MDLC27			○		0000xxxxB
03FEC469H	CAN0メッセージ・コンフィギュレーション・レジスタ27	C0MCONF27			○		不定
03FEC46AH	CAN0メッセージIDレジスタ27	C0MIDL27				○	不定
03FEC46CH		C0MIDH27				○	不定
03FEC46EH	CAN0メッセージ制御レジスタ27	C0MCTRL27				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（16/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC480H	CAN0メッセージ・データ・バイト01レジスタ28	C0MDATA0128	R/W			○	不定
03FEC480H	CAN0メッセージ・データ・バイト0レジスタ28	C0MDATA028			○		不定
03FEC481H	CAN0メッセージ・データ・バイト1レジスタ28	C0MDATA128			○		不定
03FEC482H	CAN0メッセージ・データ・バイト23レジスタ28	C0MDATA2328				○	不定
03FEC482H	CAN0メッセージ・データ・バイト2レジスタ28	C0MDATA228			○		不定
03FEC483H	CAN0メッセージ・データ・バイト3レジスタ28	C0MDATA328			○		不定
03FEC484H	CAN0メッセージ・データ・バイト45レジスタ28	C0MDATA4528				○	不定
03FEC484H	CAN0メッセージ・データ・バイト4レジスタ28	C0MDATA428			○		不定
03FEC485H	CAN0メッセージ・データ・バイト5レジスタ28	C0MDATA528			○		不定
03FEC486H	CAN0メッセージ・データ・バイト67レジスタ28	C0MDATA6728				○	不定
03FEC486H	CAN0メッセージ・データ・バイト6レジスタ28	C0MDATA628			○		不定
03FEC487H	CAN0メッセージ・データ・バイト7レジスタ28	C0MDATA728			○		不定
03FEC488H	CAN0メッセージ・データ長レジスタ28	C0MDLC28			○		0000xxxxB
03FEC489H	CAN0メッセージ・コンフィギュレーション・レジスタ28	C0MCONF28			○		不定
03FEC48AH	CAN0メッセージIDレジスタ28	C0MIDL28				○	不定
03FEC48CH		C0MIDH28				○	不定
03FEC48EH	CAN0メッセージ制御レジスタ28	C0MCTRL28				○	00x00000 000xx000B
03FEC4A0H	CAN0メッセージ・データ・バイト01レジスタ29	C0MDATA0129				○	不定
03FEC4A0H	CAN0メッセージ・データ・バイト0レジスタ29	C0MDATA029			○		不定
03FEC4A1H	CAN0メッセージ・データ・バイト1レジスタ29	C0MDATA129			○		不定
03FEC4A2H	CAN0メッセージ・データ・バイト23レジスタ29	C0MDATA2329				○	不定
03FEC4A2H	CAN0メッセージ・データ・バイト2レジスタ29	C0MDATA229			○		不定
03FEC4A3H	CAN0メッセージ・データ・バイト3レジスタ29	C0MDATA329			○		不定
03FEC4A4H	CAN0メッセージ・データ・バイト45レジスタ29	C0MDATA4529				○	不定
03FEC4A4H	CAN0メッセージ・データ・バイト4レジスタ29	C0MDATA429			○		不定
03FEC4A5H	CAN0メッセージ・データ・バイト5レジスタ29	C0MDATA529			○		不定
03FEC4A6H	CAN0メッセージ・データ・バイト67レジスタ29	C0MDATA6729				○	不定
03FEC4A6H	CAN0メッセージ・データ・バイト6レジスタ29	C0MDATA629			○		不定
03FEC4A7H	CAN0メッセージ・データ・バイト7レジスタ29	C0MDATA729			○		不定
03FEC4A8H	CAN0メッセージ・データ長レジスタ29	C0MDLC29			○		0000xxxxB
03FEC4A9H	CAN0メッセージ・コンフィギュレーション・レジスタ29	C0MCONF29			○		不定
03FEC4AAH	CAN0メッセージIDレジスタ29	C0MIDL29				○	不定
03FEC4ACH		C0MIDH29				○	不定
03FEC4AEH	CAN0メッセージ制御レジスタ29	C0MCTRL29				○	00x00000 000xx000B

表19－16　レジスタ・アクセス・タイプ（17/17）

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
03FEC4C0H	CAN0メッセージ・データ・バイト01レジスタ30	C0MDATA0130	R/W			○	不定
03FEC4C0H	CAN0メッセージ・データ・バイト0レジスタ30	C0MDATA030			○		不定
03FEC4C1H	CAN0メッセージ・データ・バイト1レジスタ30	C0MDATA130			○		不定
03FEC4C2H	CAN0メッセージ・データ・バイト23レジスタ30	C0MDATA2330				○	不定
03FEC4C2H	CAN0メッセージ・データ・バイト2レジスタ30	C0MDATA230			○		不定
03FEC4C3H	CAN0メッセージ・データ・バイト3レジスタ30	C0MDATA330			○		不定
03FEC4C4H	CAN0メッセージ・データ・バイト45レジスタ30	C0MDATA4530				○	不定
03FEC4C4H	CAN0メッセージ・データ・バイト4レジスタ30	C0MDATA430			○		不定
03FEC4C5H	CAN0メッセージ・データ・バイト5レジスタ30	C0MDATA530			○		不定
03FEC4C6H	CAN0メッセージ・データ・バイト67レジスタ30	C0MDATA6730				○	不定
03FEC4C6H	CAN0メッセージ・データ・バイト6レジスタ30	C0MDATA630			○		不定
03FEC4C7H	CAN0メッセージ・データ・バイト7レジスタ30	C0MDATA730			○		不定
03FEC4C8H	CAN0メッセージ・データ長レジスタ30	C0MDLC30			○		0000xxxxB
03FEC4C9H	CAN0メッセージ・コンフィギュレーション・レジスタ30	C0MCONF30			○		不定
03FEC4CAH	CAN0メッセージIDレジスタ30	C0MIDL30				○	不定
03FEC4CCH		C0MIDH30				○	不定
03FEC4CEH	CAN0メッセージ制御レジスタ30	C0MCTRL30				○	00x00000 000xx000B
03FEC4E0H	CAN0メッセージ・データ・バイト01レジスタ31	C0MDATA0131				○	不定
03FEC4E0H	CAN0メッセージ・データ・バイト0レジスタ31	C0MDATA031			○		不定
03FEC4E1H	CAN0メッセージ・データ・バイト1レジスタ31	C0MDATA131			○		不定
03FEC4E2H	CAN0メッセージ・データ・バイト23レジスタ31	C0MDATA2331				○	不定
03FEC4E2H	CAN0メッセージ・データ・バイト2レジスタ31	C0MDATA231			○		不定
03FEC4E3H	CAN0メッセージ・データ・バイト3レジスタ31	C0MDATA331			○		不定
03FEC4E4H	CAN0メッセージ・データ・バイト45レジスタ31	C0MDATA4531				○	不定
03FEC4E4H	CAN0メッセージ・データ・バイト4レジスタ31	C0MDATA431			○		不定
03FEC4E5H	CAN0メッセージ・データ・バイト5レジスタ31	C0MDATA531			○		不定
03FEC4E6H	CAN0メッセージ・データ・バイト67レジスタ31	C0MDATA6731				○	不定
03FEC4E6H	CAN0メッセージ・データ・バイト6レジスタ31	C0MDATA631			○		不定
03FEC4E7H	CAN0メッセージ・データ・バイト7レジスタ31	C0MDATA731			○		不定
03FEC4E8H	CAN0メッセージ・データ長レジスタ31	C0MDLC31			○		0000xxxxB
03FEC4E9H	CAN0メッセージ・コンフィギュレーション・レジスタ31	C0MCONF31			○		不定
03FEC4EAH	CAN0メッセージIDレジスタ31	C0MIDL31				○	不定
03FEC4ECH		C0MIDH31				○	不定
03FEC4EEH	CAN0メッセージ制御レジスタ31	C0MCTRL31				○	00x00000 000xx000B

19. 5. 3　レジスタのビット構成

表19－17　CANグローバル・レジスタのビット構成

アドレス	略　　号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FEC000H	C0GMCTRL（W）	0	0	0	0	0	0	0	Clear GOM
03FEC001H		0	0	0	0	0	0	Set EFSD	Set GOM
03FEC000H	C0GMCTRL（R）	0	0	0	0	0	0	EFSD	GOM
03FEC001H		MBON	0	0	0	0	0	0	0
03FEC002H	C0GMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0
03FEC006H	C0GMABT（W）	0	0	0	0	0	0	0	Clear ABTTRG
03FEC007H		0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
03FEC006H	C0GMABT（R）	0	0	0	0	0	0	ABTCLR	ABTTRG
03FEC007H		0	0	0	0	0	0	0	0
03FEC008H	C0GMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

表19－18　CANモジュール・レジスタのビット構成

(1/2)

アドレス	略　　号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FEC040H	C0MASK1L	CMID7-CMID0							
03FEC041H		CMID15-CMID8							
03FEC042H	C0MASK1H	CMID23-CMID16							
03FEC043H		0	0	0	CMID28-CMID24				
03FEC044H	C0MASK2L	CMID7-CMID0							
03FEC045H		CMID15-CMID8							
03FEC046H	C0MASK2H	CMID23-CMID16							
03FEC047H		0	0	0	CMID28-CMID24				
03FEC048H	C0MASK3L	CMID7-CMID0							
03FEC049H		CMID15-CMID8							
03FEC04AH	C0MASK3H	CMID23-CMID16							
03FEC04BH		0	0	0	CMID28-CMID24				
03FEC04CH	C0MASK4L	CMID7-CMID0							
03FEC04DH		CMID15-CMID8							
03FEC04EH	C0MASK4H	CMID23-CMID16							
03FEC04FH		0	0	0	CMID28-CMID24				
03FEC050H	C0CTRL（W）	0	Clear AL	Clear VALID	Clear PSMODE1	Clear PSMODE0	Clear OPMODE2	Clear OPMODE1	Clear OPMODE0
03FEC051H		Set CCERC	Set AL	0	Set PSMODE1	Set PSMODE0	Set OPMODE2	Set OPMODE1	Set OPMODE0
03FEC050H	C0CTRL（R）	CCERC	AL	VALID	PS MODE1	PS MODE0	OP MODE2	OP MODE1	OP MODE0
03FEC051H		0	0	0	0	0	0	RSTAT	TSTAT
03FEC052H	C0LEC（W）	0	0	0	0	0	0	0	0
03FEC052H	C0LEC（R）	0	0	0	0	0	LEC2	LEC1	LEC0
03FEC053H	C0INFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0
03FEC054H	C0ERC	TEC7-TEC0							
03FEC055H		REPS	REC6-REC0						
03FEC056H	C0IE（W）	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0
03FEC057H		0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
03FEC056H	C0IE（R）	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0
03FEC057H		0	0	0	0	0	0	0	0
03FEC058H	C0INTS（W）	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0
03FEC059H		0	0	0	0	0	0	0	0
03FEC058H	C0INTS（R）	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0
03FEC059H		0	0	0	0	0	0	0	0

表19－18　CANモジュール・レジスタのビット構成

(2/2)

アドレス	略　　号	ビット7/15	ビット6/14	ビット5/13	ビット4/12	ビット3/11	ビット2/10	ビット1/9	ビット0/8
03FEC05AH	C0BRP	TQPRS7-TQPRS0							
03FEC05CH	C0BTR	0	0	0	0	TSEG13-TSEG10			
03FEC05DH		0	0	SJW1, SJW0		0	TSEG22-TSEG20		
03FEC05EH	C0LIPT	LIPT7-LIPT0							
03FEC060H	C0RGPT（W）	0	0	0	0	0	0	0	Clear ROVF
03FEC061H		0	0	0	0	0	0	0	0
03FEC060H	C0RGPT（R）	0	0	0	0	0	0	RHPM	ROVF
03FEC061H		RGPT7-RGPT0							
03FEC062H	C0LOPT	LOPT7-LOPT0							
03FEC064H	C0TGPT（W）	0	0	0	0	0	0	0	Clear TOVF
03FEC065H		0	0	0	0	0	0	0	0
03FEC064H	C0TGPT（R）	0	0	0	0	0	0	THPM	TOVF
03FEC065H		TGPT7-TGPT0							
03FEC066H	C0TS（W）	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN
03FEC067H		0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
03FEC066H	C0TS（R）	0	0	0	0	0	TSLOCK	TSSEL	TSEN
03FEC067H		0	0	0	0	0	0	0	0
03FEC068H-03FEC0FFH	–	**アクセス禁止**（reserved for future use）							

表19－19　メッセージ・バッファ・レジスタのビット構成

アドレス	略　　号	ビット 7/15	ビット 6/14	ビット 5/13	ビット 4/12	ビット 3/11	ビット 2/10	ビット 1/9	ビット 0/8
03FECxx0H	C0MDATA01m	メッセージ・データ（バイト0）							
03FECxx1H		メッセージ・データ（バイト1）							
03FECxx0H	C0MDATA0m	メッセージ・データ（バイト0）							
03FECxx1H	C0MDATA1m	メッセージ・データ（バイト1）							
03FECxx2H	C0MDATA23m	メッセージ・データ（バイト2）							
03FECxx3H		メッセージ・データ（バイト3）							
03FECxx2H	C0MDATA2m	メッセージ・データ（バイト2）							
03FECxx3H	C0MDATA3m	メッセージ・データ（バイト3）							
03FECxx4H	C0MDATA45m	メッセージ・データ（バイト4）							
03FECxx5H		メッセージ・データ（バイト5）							
03FECxx4H	C0MDATA4m	メッセージ・データ（バイト4）							
03FECxx5H	C0MDATA5m	メッセージ・データ（バイト5）							
03FECxx6H	C0MDATA67m	メッセージ・データ（バイト6）							
03FECxx7H		メッセージ・データ（バイト7）							
03FECxx6H	C0MDATA6m	メッセージ・データ（バイト6）							
03FECxx7H	C0MDATA7m	メッセージ・データ（バイト7）							
03FECxx8H	C0MDLCm	0				MDLC3	MDLC2	MDLC1	MDLC0
03FECxx9H	C0MCONFm	OWS	RTR	MT2	MT1	MT0	0	0	MA0
03FECxxAH	C0MIDLm	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
03FECxxBH		ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
03FECxxCH	C0MIDHm	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16
03FECxxDH		IDE	0	0	ID28	ID27	ID26	ID25	ID24
03FECxxEH	C0MCTRLm (W)	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY
03FECxxFH		0	0	0	0	Set IE	0	Set TRQ	Set RDY
03FECxxEH	C0MCTRLm（R）	0	0	0	MOW	IE	DN	TRQ	RDY
03FECxxFH		0	0	MUC	0	0	0	0	0
03FECxx0-03FECxxFH	–	アクセス禁止（reserved for future）							

備考　m = 00-31

xx = 10, 12, 14, 16, 18, 1A, 1C, 1E, 20, 22, 24, 26, 28, 2A, 2C, 2E, 30, 32, 34, 36, 38, 3A, 3C, 3E, 40, 42, 44, 46, 48, 4A, 4C, 4E

19. 6　レジスタ

注意　次に示す状態において，CANコントローラのレジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

備考　m = 00-31

（1）CAN0グローバル制御レジスタ（C0GMCTRL）

C0GMCTRLレジスタは，CANモジュールの動作を制御します。

（1/2）

リセット時：0000H　　R/W　アドレス：03FEC000H

（a）リード時

	15	14	13	12	11	10	9	8
C0GMCTRL	MBON	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	EFSD	GOM

（b）ライト時

	15	14	13	12	11	10	9	8
C0GMCTRL	0	0	0	0	0	0	Set EFSD	Set GOM
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear GOM

（a）リード時

MBON	メッセージ・バッファ・レジスタおよび送信・受信ヒストリ・レジスタへのアクセス有効ビット
0	メッセージ・バッファ・レジスタおよび送信・受信ヒストリ・レジスタへのライト・アクセスおよびリード・アクセスは無効
1	メッセージ・バッファ・レジスタおよび送信・受信ヒストリ・レジスタへのライト・アクセスおよびリード・アクセスは有効

注意1.　MBONビットがクリア（0）されている間は，ソフトウエアによるメッセージ・バッファ（C0MDATA0m, C0MDATA1m, C0MDATA01m, C0MDATA2m, C0MDATA3m, C0MDATA23m, C0MDATA4m, C0MDATA5m, C0MDATA45m, C0MDATA6m, C0MDATA7m, C0MDATA67m, C0MDLCm, C0MCONFm, C0MIDLm, C0MIDHm, C0MCTRLm）および送信ヒストリ，受信ヒストリに関連したレジスタ（C0LOPT, C0TGPT, C0LIPT, C0RGPT）へのアクセスは無効です。

2.　このビットはリード・オンリーです。MBONビット = 0の状態で1をライトしてもMBONビットは変化せず，メッセージ・バッファ・レジスタおよび送信ヒストリ，受信ヒストリに関連したレジスタへのアクセスは無効のままです。

備考　CANスリープ・モード／CANストップ・モードに移行した場合，またはGOMビットをクリアした場合にMBONビットがクリア（0）されます。また，CANスリープ・モード／CANストップ・モードを解除した場合，またはGOMビットをセット（1）した場合にMBONビットがセット（1）されます。

(2/2)

EFSD	強制シャット・ダウン有効ビット
0	GOMビット = 0による強制シャット・ダウンは無効
1	GOMビット = 0による強制シャット・ダウンは有効

注意　強制シャット・ダウンの要求を行う場合は，EFSDビットをセット（1）した直後に，GOMビットをクリア（0）しなければなりません。EFSDビットをセット（1）した直後にGOMビットをクリア（0）しないで，そのほかのレジスタ・アクセス（C0GMCTRLレジスタのリード含む）の実行をすると，EFSDビットは自動的にクリア（0）され，強制シャット・ダウンの要求は無効になります。

GOM	グローバル操作モード・ビット
0	CANモジュールは動作禁止状態
1	CANモジュールは動作許可状態

注意　GOMビットは，初期化モードのとき，またはEFSDビットをセット（1）した直後のみクリア（0）できます。

(b) ライト時

Set EFSD	EFSDビットの設定
0	EFSDビットの変更なし
1	EFSDビットをセット（1）する

Set GOM	Clear GOM	GOMビットの設定
0	1	GOMビットをクリア（0）する
1	0	GOMビットをセット（1）する
上記以外		GOMビットの変更なし

(2) CAN0グローバル・クロック選択レジスタ（C0GMCS）

C0GMCSレジスタは，CANモジュール・システム・クロックを選択します。

リセット時：0FH　　R/W　アドレス：03FEC002H

	7	6	5	4	3	2	1	0
C0GMCS	0	0	0	0	CCP3	CCP2	CCP1	CCP0

CCP3	CCP2	CCP1	CCP1	CANモジュール・システム・クロック（f_{CANMOD}）
0	0	0	0	$f_{CAN}/1$
0	0	0	1	$f_{CAN}/2$
0	0	1	0	$f_{CAN}/3$
0	0	1	1	$f_{CAN}/4$
0	1	0	0	$f_{CAN}/5$
0	1	0	1	$f_{CAN}/6$
0	1	1	0	$f_{CAN}/7$
0	1	1	1	$f_{CAN}/8$
1	0	0	0	$f_{CAN}/9$
1	0	0	1	$f_{CAN}/10$
1	0	1	0	$f_{CAN}/11$
1	0	1	1	$f_{CAN}/12$
1	1	0	0	$f_{CAN}/13$
1	1	0	1	$f_{CAN}/14$
1	1	1	0	$f_{CAN}/15$
1	1	1	1	$f_{CAN}/16$（初期値）

備考　f_{CAN} = CANへの供給クロック = f_{XX}

(3) CAN0グローバル・ブロック送信制御レジスタ（C0GMABT）

C0GMABTレジスタは，自動ブロック送信（ABT）動作を制御します。

(1/2)

リセット時：0000H　　R/W　アドレス：03FEC006H

(a) リード時

	15	14	13	12	11	10	9	8
C0GMABT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	ABTCLR	ABTTRG

(b) ライト時

	15	14	13	12	11	10	9	8
C0GMABT	0	0	0	0	0	0	Set ABTCLR	Set ABTTRG
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ABTTRG

注意　ABT付き通常動作モードから初期化モードに移行する前に，C0GMABTレジスタには必ず初期値（0000H）を設定してください。設定後は，C0GMABTレジスタが0000Hに初期化されたことを確実に確認してください。

(a) リード時

ABTCLR	自動ブロック送信エンジン・クリア・ステータス・ビット
0	自動ブロック送信エンジンのクリア処理を完了
1	自動ブロック送信エンジンのクリア処理中

備考1.　ABTCLRビットは，ABTTRGビットがクリア（0）されている状態でセット（1）してください。ABTTRGビットがセット（1）されている状態でABTCLRビットをセット（1）した場合には，動作を保証しません。

2.　ABTCLRビットのセット（1）による自動ブロック送信エンジンのクリアは，クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア（0）されます。

ABTTRG	自動ブロック送信ステータス・ビット
0	自動ブロック送信の停止中
1	自動ブロック送信の実行中

注意1.　初期化モード中にABTTRGビットをセット（1）しないでください。
初期化モード中にABTTRGビットをセット（1）した場合，ABT付き通常動作モード移行後の動作を保証しません。

2.　C0CTRL.TSTATビットがセット（1）されている間はABTTRGビットをセット（1）しないでください。ABTTRGビットをセット（1）する前にTSTATビット = 0であることを確認してください。

(2/2)

(b) ライト時

Set ABTCLR	自動ブロック送信エンジンのクリア要求ビット
0	自動ブロック送信エンジンはアイドル状態または動作中
1	自動ブロック送信エンジンのクリア要求 自動ブロック送信エンジンのクリア後は，ABTTRGビットのセット（1）による自動ブロック送信はメッセージ・バッファ0から開始されます。

Set ABTTRG	Clear ABTTRG	自動ブロック送信開始ビット
0	1	自動ブロック送信の停止を要求
1	0	自動ブロック送信の開始を要求
上記以外		ABTTRGビットの変更なし

（4）CAN0グローバル・ブロック送信遅延設定レジスタ（C0GMABTD）

C0GMABTDレジスタは，ABT付き通常動作モードにおいて，ABTに割り付けられたメッセージ・バッファの送信間隔を設定します。

リセット時：00H　　R/W　アドレス：03FEC008H

	7	6	5	4	3	2	1	0
C0GMABTD	0	0	0	0	ABTD3	ABTD2	ABTD1	ABTD0

ABTD3	ABTD2	ABTD1	ABTD0	自動ブロック送信時のデータ・フレーム間隔（単位はデータ・ビット・タイム；DBT）
0	0	0	0	0 DBT（初期値）
0	0	0	1	2^5 DBT
0	0	1	0	2^6 DBT
0	0	1	1	2^7 DBT
0	1	0	0	2^8 DBT
0	1	0	1	2^9 DBT
0	1	1	0	2^{10} DBT
0	1	1	1	2^{11} DBT
1	0	0	0	2^{12} DBT
上記以外				設定禁止

注意 1. ABTTRGビットがセット（1）されている場合は，C0GMABTDレジスタの内容は変更しないでください。

2. 実際にCANバス上に送信されるABTメッセージのタイミングは，他局からの送信状況あるいはABTメッセージ以外のメッセージ（メッセージ・バッファ8-メッセージ・バッファ31）に対する送信要求の設定状況によって変化します。

(5) CAN0モジュール・マスク制御レジスタ（C0MASKaL, C0MASKaH）（a = 1, 2, 3, 4）

C0MASKaL, C0MASKaHレジスタは，メッセージのアイデンティファイア（ID）の一部をマスクすることで，マスクされた部分のIDを無効にし，受信可能なメッセージ数を拡張します。

（1/2）

・CAN0モジュール・マスク1レジスタ（C0MASK1L, C0MASK1H）

リセット時：不定　R/W　**アドレス：**C0MASK1L 03FEC040H, C0MASK1H 03FEC042H

	15	14	13	12	11	10	9	8
C0MASK1L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK1H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・CAN0モジュール・マスク2レジスタ（C0MASK2L, C0MASK2H）

リセット時：不定　R/W　**アドレス：**C0MASK2L 03FEC044H, C0MASK2H 03FEC046H,

	15	14	13	12	11	10	9	8
C0MASK2L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK2H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

（2/2）

・CAN0モジュール・マスク3レジスタ（C0MASK3L, C0MASK3H）

リセット時：不定　　R/W　**アドレス：**C0MASK3L 03FEC048H, C0MASK3H 03FEC04AH

	15	14	13	12	11	10	9	8
C0MASK3L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK3H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

・CAN0モジュール・マスク4レジスタ（C0MASK4L, C0MASK4H）

リセット時：不定　　R/W　**アドレス：**C0MASK4L 03FEC04CH, C0MASK4H 03FEC04EH

	15	14	13	12	11	10	9	8
C0MASK4L	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8
	7	6	5	4	3	2	1	0
	CMID7	CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
	15	14	13	12	11	10	9	8
C0MASK4H	0	0	0	CMID28	CMID27	CMID26	CMID25	CMID24
	7	6	5	4	3	2	1	0
	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18	CMID17	CMID16

CMID28-CMID0	IDビットのマスク・パターンを設定
0	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較します。
1	CMID28-CMID0ビットに設定されたメッセージ・バッファのIDビットと受信メッセージ・フレームのIDビットを比較しません（マスクします）。

備考　マスクは常に29ビットのID長で定義されます。マスクが標準IDのメッセージに割り当てられた場合，CMID17-CMID0ビットは無視されます。したがって，受信IDはCMID28-CMID18ビットのみマスクされます。なお，標準および拡張IDはともに同一マスクを使用することができます。

(6) CAN0モジュール制御レジスタ（C0CTRL）

C0CTRLレジスタは，CANモジュールの動作モードを制御します。

(1/4)

リセット時：0000H　　R/W　アドレス：03FEC050H

(a) リード時

	15	14	13	12	11	10	9	8
C0CTRL	0	0	0	0	0	0	RSTAT	TSTAT
	7	6	5	4	3	2	1	0
	CCERC	AL	VALID	PSMODE 1	PSMODE 0	OPMODE 2	OPMODE 1	OPMODE 0

(b) ライト時

	15	14	13	12	11	10	9	8
C0CTRL	Set CCERC	Set AL	0	Set PSMODE 1	Set PSMODE 0	Set OPMODE 2	Set OPMODE 1	Set OPMODE 0
	7	6	5	4	3	2	1	0
	0	Clear AL	Clear VALID	Clear PSMODE 1	Clear PSMODE 0	Clear OPMODE 2	Clear OPMODE 1	Clear OPMODE 0

(a) リード時

RSTAT	受信ステータス・ビット
0	受信停止状態
1	受信動作状態

備考　RSTATビットは，次の条件（タイミング）でセット（1）されます。

- 受信フレームのSOFビット
- 送信フレーム中のアービトレーション・ロスト発生時

RSTATビットは，次の条件（タイミング）でクリア（0）されます。

- インタフレーム・スペースの2ビット目にレセシブを検出時
- インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

(2/4)

TSTAT	送信ステータス・ビット
0	送信停止状態
1	送信動作状態

備考　TSTATビットは，次の条件（タイミング）でセット（1）されます。
・送信フレームのSOFビット
・送信フレーム中のエラー・フラグの先頭ビット
TSTATビットは，次の条件（タイミング）でクリア（0）されます。
・バス・オフ移行時
・送信フレーム中のアービトレーション・ロスト発生時
・インタフレーム・スペースの2ビット目にレセシブを検出時
・インタフレーム・スペースの先頭ビットで初期化モードに遷移したとき

CCERC	エラー・カウンタ・クリア・ビット
0	初期化モードにおいて，C0ERCレジスタとC0INFOレジスタのクリア中ではありません。
1	初期化モードにおいて，C0ERCレジスタとC0INFOレジスタがクリア中です。

備考1.　CCERCビットは，再初期化やバス・オフ強制復帰の際に，C0ERCレジスタとC0INFOレジスタをクリアするために使用します。初期化モードでのみ，セット（1）が可能です。
2.　C0ERCレジスタおよびC0INFOレジスタがクリアされると，CCERCビットも自動的にクリア（0）されます。
3.　初期化モードから任意の動作モードへの遷移要求と同時に，CCERCビットのセット（1）が可能です。
4.　セルフ・テスト・モードでINITモード移行直後にCCERCビットをセット（1）した場合，受信データが破壊される可能性があります。

AL	アービトレーション・ロスト時の動作設定ビット
0	シングル・ショット・モードにおいて，アービトレーション・ロストが発生した場合，再送信されません。
1	シングル・ショット・モードにおいて，アービトレーション・ロストが発生した場合，再送信されます。

備考　ALビットは，シングル・ショット・モードにおいてのみ有効です。

VALID	有効な受信メッセージ・フレーム検出ビット
0	VALIDビットが最後にクリア（0）されてから，有効なメッセージ・フレーム受信がありません。
1	VALIDビットが最後にクリア（0）されてから，有効なメッセージ・フレーム受信があります。

備考 1.　有効な受信メッセージ・フレームの検出には，受信メッセージ・バッファへの格納（データ・フレーム）または送信メッセージ・バッファへの格納（リモート・フレーム）に依存しません。
2.　初期化モードから任意の動作モードに移行する前に，VALIDビットをクリア（0）してください。
3.　CANバスにCANノードが2つのみ接続され，一方のCANノードが通常動作モードでメッセージ・フレームを送信し，もう一方のCANノードが受信専用モードである場合は，VALIDビットは送信ノードがエラー・パッシブになる前にセット（1）されることはありません。
4.　VALIDビットをクリアする際は，Clear VALIDビットをセット（1）したあと，VALIDビットがクリアされることを確認してください。クリアされていない場合は，再度クリア処理を行ってください。

(3/4)

PSMODE1	PSMODE0	パワー・セーブ・モード
0	0	パワー・セーブ・モードは選択されていません。
0	1	CANスリープ・モード
1	0	設定禁止
1	1	CANストップ・モード

注意　CANストップ・モードへの遷移およびCANストップ・モードからの遷移は，必ずCANスリープ・モードを経由してください。直接の遷移要求は無視されます。

OPMODE2	OPMODE1	OPMODE0	動作モード
0	0	0	動作モードは選択されていません（CANモジュールは初期化モード状態）。
0	0	1	通常動作モード
0	1	0	自動ブロック送信機能付き通常動作モード（ABT付き通常動作モード）
0	1	1	受信専用モード
1	0	0	シングル・ショット・モード
1	0	1	セルフ・テスト・モード
上記以外			設定禁止

備考　CANスリープ・モードまたはCANストップ・モード中，OPMODE0-OPMODE2ビットはリード・オンリーです。

(b) ライト時

Set CCERC	CCERCビットの設定
1	CCERCビットをセット（1）する
上記以外	CCERCビットの変更なし

Set AL	Clear AL	ALビットの設定
0	1	ALビットをクリア（0）する
1	0	ALビットをセット（1）する
上記以外		ALビットの変更なし

Clear VALID	VALIDビットの設定
0	VALIDビットの変更なし
1	VALIDビットをクリア（0）する

Set PSMODE0	Clear PSMODE0	PSMODE0ビットの設定
0	1	PSMODE0ビットをクリア（0）する
1	0	PSMODE0ビットをセット（1）する
上記以外		PSMODE0ビットの変更なし

Set PSMODE1	Clear PSMODE1	PSMODE1ビットの設定
0	1	PSMODE1ビットをクリア（0）する
1	0	PSMODE1ビットをセット（1）する
上記以外		PSMODE1ビットの変更なし

（4/4）

Set OPMODE0	Clear OPMODE0	OPMODE0ビットの設定
0	1	OPMODE0ビットをクリア（0）する
1	0	OPMODE0ビットをセット（1）する
上記以外		OPMODE0ビットの変更なし

Set OPMODE1	Clear OPMODE1	OPMODE1ビットの設定
0	1	OPMODE1ビットをクリア（0）する
1	0	OPMODE1ビットをセット（1）する
上記以外		OPMODE1ビットの変更なし

Set OPMODE2	Clear OPMODE2	OPMODE2ビットの設定
0	1	OPMODE2ビットをクリア（0）する
1	0	OPMODE2ビットをセット（1）する
上記以外		OPMODE2ビットの変更なし

（7）CAN0モジュール最終エラー情報レジスタ（C0LEC）

C0LECレジスタは，CANプロトコルのエラー情報を示します。

リセット時：00H　　R/W　アドレス：03FEC052H

	7	6	5	4	3	2	1	0
C0LEC	0	0	0	0	0	LEC2	LEC1	LEC0

備考1.　C0LECレジスタの内容は，任意の動作モードから初期化モードへの移行では，クリアされません。

2.　C0LECレジスタに対してソフトウエアにより00H以外の値をライトしようとした場合，アクセスは無視されます。

LEC2	LEC1	LEC0	最終のCANプロトコル・エラー情報
0	0	0	エラーなし
0	0	1	スタッフ・エラー
0	1	0	フォーム・エラー
0	1	1	ACKエラー
1	0	0	ビット・エラー （CANモジュールは送信メッセージの一部として，レセシブ・ビットの送信をしようとしたが（アービトレーション・フィールドを除く），CANバス上の値はドミナント・ビットであった場合）
1	0	1	ビット・エラー （CANモジュールは送信メッセージ，ACKビット，エラー・フレームまたはオーバロード・フレームの一部として，ドミナント・ビットの送信をしようとしたが，CANバス上の値はレセシブ・ビットであった場合）
1	1	0	CRCエラー
1	1	1	未定義

(8) CAN0モジュール情報レジスタ（C0INFO）

C0INFOレジスタは，CANモジュールのステータスを示します。

リセット時：00H　　R　　アドレス：03FEC053H

	7	6	5	4	3	2	1	0
C0INFO	0	0	0	BOFF	TECS1	TECS0	RECS1	RECS0

BOFF	バス・オフ状態ビット
0	バス・オフ状態ではありません（送信エラー・カウンタ≦255）（送信エラー・カウントが256未満）
1	バス・オフ状態（送信エラー・カウンタ＞255）（送信エラー・カウントが256以上）

TECS1	TECS0	送信エラー・カウンタ状態ビット
0	0	送信エラー・カウンタはワーニング・レベル未満（＜96）
0	1	送信エラー・カウンタはワーニング・レベル範囲（96-127）
1	0	未定義
1	1	送信エラー・カウンタはエラー・パッシブまたはバス・オフ範囲（≧128）

RECS1	RECS0	受信エラー・カウンタ状態ビット
0	0	受信エラー・カウンタはワーニング・レベル未満（＜96）
0	1	受信エラー・カウンタはワーニング・レベル範囲（96-127）
1	0	未定義
1	1	受信エラー・カウンタはエラー・パッシブ範囲（≧128）

(9) CAN0モジュール・エラー・カウンタ・レジスタ（C0ERC）

C0ERCレジスタは，送受信エラー・カウンタのカウント値を示します。

リセット時：0000H　　R　　**アドレス：**03FEC054H

	15	14	13	12	11	10	9	8
C0ERC	REPS	REC6	REC5	REC4	REC3	REC2	REC1	REC0
	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0

REPS	受信エラー・パッシブ・ステータス・ビット
0	受信エラー・カウンタは，エラー・パッシブではない（<128）
1	受信エラー・カウンタは，エラー・パッシブ範囲（≧128）

REC6-REC0	受信エラー・カウンタ・ビット
0-127	受信エラー・カウント数 受信エラー・カウンタの状態を反映します。カウント数はCANプロトコルにより定義されています。

備考　受信エラー・パッシブ状態（C0INFO.RECS1，REC0ビット = 11B）では，受信エラー・カウンタREC6-REC0ビットは無効です。

TEC7-TEC0	送信エラー・カウンタ・ビット
0-255	送信エラー・カウント数 送信エラー・カウンタの状態を反映します。カウント数はCANプロトコルにより定義されています。

備考　バス・オフ中（C0INFO.BOFFビット = 1）では，送信エラー・カウンタTEC7-TEC0ビットは無効です。

(10) CAN0モジュール割り込み許可レジスタ (C0IE)

C0IEレジスタは，CANモジュールの割り込み許可／禁止を設定します。

(1/2)

リセット時：0000H　　R/W　アドレス：03FEC056H

(a) リード時

	15	14	13	12	11	10	9	8
C0IE	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CIE5	CIE4	CIE3	CIE2	CIE1	CIE0

(b) ライト時

	15	14	13	12	11	10	9	8
C0IE	0	0	Set CIE5	Set CIE4	Set CIE3	Set CIE2	Set CIE1	Set CIE0
	7	6	5	4	3	2	1	0
	0	0	Clear CIE5	Clear CIE4	Clear CIE3	Clear CIE2	Clear CIE1	Clear CIE0

(a) リード時

CIE5-CIE0	CANモジュール割り込み許可ビット
0	割り込みステータス・レジスタCINTSxに対応する割り込み出力禁止
1	割り込みステータス・レジスタCINTSxに対応する割り込み出力許可

(2/2)

(b) ライト時

Set CIE5	Clear CIE5	CIE5ビットの設定
0	1	CIE5ビットをクリア（0）する
1	0	CIE5ビットをセット（1）する
上記以外		CIE5ビットの変更なし

Set CIE4	Clear CIE4	CIE4ビットの設定
0	1	CIE4ビットをクリア（0）する
1	0	CIE4ビットをセット（1）する
上記以外		CIE4ビットの変更なし

Set CIE3	Clear CIE3	CIE3ビットの設定
0	1	CIE3ビットをクリア（0）する
1	0	CIE3ビットをセット（1）する
上記以外		CIE3ビットの変更なし

Set CIE2	Clear CIE2	CIE2ビットの設定
0	1	CIE2ビットをクリア（0）する
1	0	CIE2ビットをセット（1）する
上記以外		CIE2ビットの変更なし

Set CIE1	Clear CIE1	CIE1ビットの設定
0	1	CIE1ビットをクリア（0）する
1	0	CIE1ビットをセット（1）する
上記以外		CIE1ビットの変更なし

Set CIE0	Clear CIE0	CIE0ビットの設定
0	1	CIE0ビットをクリア（0）する
1	0	CIE0ビットをセット（1）する
上記以外		CIE0ビットの変更なし

（11）CAN0モジュール割り込みステータス・レジスタ（C0INTS）

C0INTSレジスタは，CANモジュールの割り込みステータスを示します。

リセット時：0000H　　R/W　アドレス：03FEC058H

（a）リード時

	15	14	13	12	11	10	9	8
C0INTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	CINTS5	CINTS4	CINTS3	CINTS2	CINTS1	CINTS0

（b）ライト時

	15	14	13	12	11	10	9	8
C0INTS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	Clear CINTS5	Clear CINTS4	Clear CINTS3	Clear CINTS2	Clear CINTS1	Clear CINTS0

（a）リード時

CINTS5-CINTS0	CAN割り込みステータス・ビット
0	関連する割り込みソース・イベント未発生
1	関連する割り込みソース・イベント発生

割り込みステータス・ビット	関連する割り込みソース・イベント
CINTS5	CANスリープ・モードからのウエイク・アップ割り込み[注]
CINTS4	アービトレーション・ロスト割り込み
CINTS3	CANプロトコル・エラー割り込み
CINTS2	CANエラー・ステータス割り込み
CINTS1	メッセージ・バッファmへの有効なメッセージ・フレーム受信完了割り込み
CINTS0	メッセージ・バッファmからのメッセージ・フレームの正常な送信完了割り込み

注　CANバス動作によるCANスリープ・モードからのウエイク・アップによってのみ，CINTS5ビットがセットされます。ソフトウエアによるCANスリープ・モードの解除ではCINTS5ビットはセットされません。

（b）ライト時

Clear CINTS5-CINTS0	CINTS5-CINTS0ビットの設定
0	CINTS5-CINTS0ビットの変更なし
1	CINTS5-CINTS0ビットをクリア（0）する

（12）CAN0モジュール・ビット・レート・プリスケーラ・レジスタ（C0BRP）

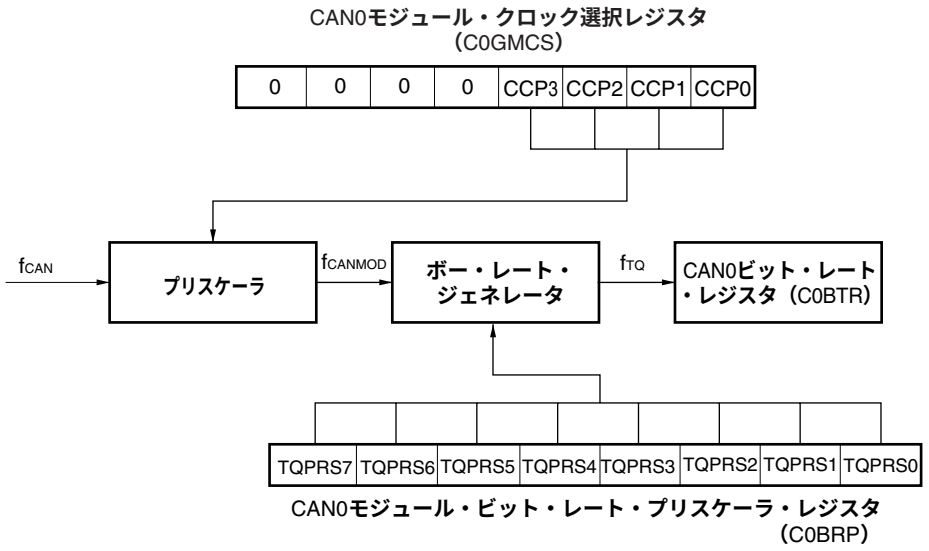
C0BRPレジスタは，CANプロトコル・レイヤ基本クロック（f_{TQ}）を選択します。また，通信ボー・レートは，C0BTRレジスタに設定されます。

リセット時：FFH　　R/W　アドレス：03FEC05AH

	7	6	5	4	3	2	1	0
C0BRP	TQPRS7	TQPRS6	TQPRS5	TQPRS4	TQPRS3	TQPRS2	TQPRS1	TQPRS0

TQPRS7-TQPRS0	CANプロトコル・レイヤ基本システム・クロック（f_{TQ}）
0	f_{CANMOD}/1
1	f_{CANMOD}/2
n	f_{CANMOD}/（n＋1）
:	:
255	f_{CANMOD}/256（初期値）

図19－23　CANモジュールのクロック



備考　f_{CAN}：CANへの供給クロック　= f_{XX}

f_{CANMOD}：CANモジュール・システム・クロック

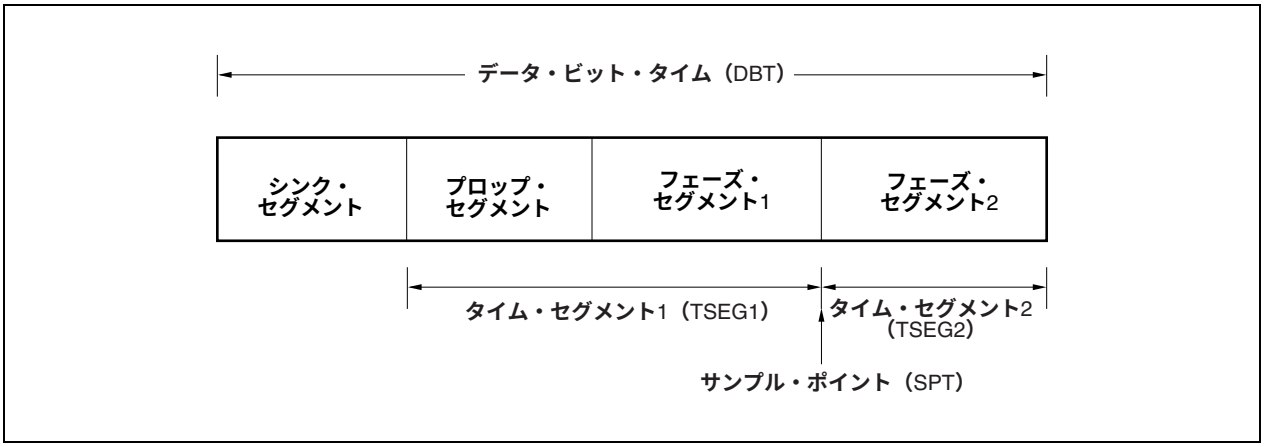
f_{TQ}：CANプロトコル・レイヤ基本システム・クロック

注意　C0BRPレジスタは，初期化モードのときのみライト・アクセス可能です。

（13）CAN0モジュール・ビット・レート・レジスタ（C0BTR）

C0BTRレジスタは，通信ボー・レートのデータ・ビット・タイムを制御します。

図19－24　データ・ビット・タイム



リセット時：370FH　　R/W　**アドレス：**03FEC05CH

	15	14	13	12	11	10	9	8
C0BTR	0	0	SJW1	SJW0	0	TSEG22	TSEG21	TSEG20
	7	6	5	4	3	2	1	0
	0	0	0	0	TSEG13	TSEG12	TSEG11	TSEG10

SJW1	SJW0	同期ジャンプ幅の長さ
0	0	1TQ
0	1	2TQ
1	0	3TQ
1	1	4TQ（初期値）

TSEG22	TSEG21	TSEG20	タイム・セグメント2の長さ
0	0	0	1TQ
0	0	1	2TQ
0	1	0	3TQ
0	1	1	4TQ
1	0	0	5TQ
1	0	1	6TQ
1	1	0	7TQ
1	1	1	8TQ（初期値）

TSEG13	TSEG12	TSEG11	TSEG10	タイム・セグメント1の長さ
0	0	0	0	設定禁止
0	0	0	1	2TQ注
0	0	1	0	3TQ注
0	0	1	1	4TQ
0	1	0	0	5TQ
0	1	0	1	6TQ
0	1	1	0	7TQ
0	1	1	1	8TQ
1	0	0	0	9TQ
1	0	0	1	10TQ
1	0	1	0	11TQ
1	0	1	1	12TQ
1	1	0	0	13TQ
1	1	0	1	14TQ
1	1	1	0	15TQ
1	1	1	1	16TQ（初期値）

注　C0BRP**レジスタ** = 00H**の場合は，この設定は使用できません。**

備考　TQ = 1/f_{TQ}（f_{TQ}：CAN**プロトコル・レイヤ基本システム・クロック）**

（14）CAN0モジュール最終受信ポインタ・レジスタ（C0LIPT）

C0LIPTレジスタは，最後に受信格納したメッセージ・バッファ番号を示します。

リセット時：不定　　R　　アドレス：03FEC05EH

	7	6	5	4	3	2	1	0
C0LIPT	LIPT7	LIPT6	LIPT5	LIPT4	LIPT3	LIPT2	LIPT1	LIPT0

LIPT7-LIPT0	最終受信ポインタ・レジスタ（C0LIPT）
0-31	C0LIPTレジスタをリードすると，受信ヒストリ・リストの最終受信ポインタ（LIPT）でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に受信格納されたメッセージ・バッファ番号が得られます。

備考　メッセージ・バッファにデータ・フレームまたはリモート・フレームが一度も受信格納されていない場合は，C0LIPTレジスタの読み出し値は不定です。したがって，初期化モードから任意の動作モードに移行後にC0RGPT.RHPMビットがセット（1）されている場合には，C0LIPTレジスタの読み出し値は不定となります。

(15) CAN0モジュール受信ヒストリ・リスト・レジスタ（C0RGPT）

C0RGPTレジスタは，受信ヒストリ・リストを読み出すためのレジスタです。

リセット時：xx02H　　R/W　アドレス：03FEC060H

(a) リード時

	15	14	13	12	11	10	9	8
C0RGPT	RGPT7	RGPT6	RGPT5	RGPT4	RGPT3	RGPT2	RGPT1	RGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	RHPM	ROVF

(b) ライト時

	15	14	13	12	11	10	9	8
C0RGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear ROVF

(a) リード時

RGPT7-RGPT0	受信ヒストリ・リスト読み出しポインタ
0-31	C0RGPTレジスタをリードすると，受信ヒストリ・リストの読み出しポインタ（RGPT）でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが受信格納されたメッセージ・バッファ番号が得られます。

RHPM注	受信ヒストリ・リストのポインター致
0	受信ヒストリ・リストには，少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	受信ヒストリ・リストには，リードされていないメッセージ・バッファ番号がありません。

ROVF	受信ヒストリ・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを受信格納したメッセージ・バッファ番号はすべて受信ヒストリ・リストに記録されます（受信ヒストリ・リストに空きのエレメントが存在します）。
1	ホスト・プロセッサが受信ヒストリ・リスト（RHL）を最後に使用（たとえば，C0RGPTレジスタの読み込みなど）してから少なくとも23個のエントリが格納されています。 ROVFビットがセット（1）されていると，すべてのメッセージ・バッファ番号はLIPT－1に格納されるため，最初の22個のエントリは順番に格納されていますが，最後のエントリは新たなメッセージを受信するたびに上書きされます。したがって，受信した順番を完全に回復することができません。

注　RHPMビット = 1のとき，RGPT0-RGPT7ビットのリード値は無効です。

(b) ライト時

Clear ROVF	ROVFビットの設定
0	ROVFビットの変更なし
1	ROVFビットをクリア（0）する

（16）CAN0モジュール最終送信ポインタ・レジスタ（C0LOPT）

C0LOPTレジスタは，最後に送信したメッセージ・バッファ番号を示します。

リセット時：不定　　R　　アドレス：03FEC062H

	7	6	5	4	3	2	1	0
C0LOPT	LOPT7	LOPT6	LOPT5	LOPT4	LOPT3	LOPT2	LOPT1	LOPT0

LOPT7-LOPT0	送信ヒストリ・リストの最終送信ポインタ（LOPT）
0-31	C0LOPTレジスタをリードすると，送信ヒストリ・リストの最終送信ポインタ（LOPT）でインデクスされるエレメントの内容が読み出されます。これによりデータ・フレームまたはリモート・フレームが最後に送信されたメッセージ・バッファ番号が得られます。

備考　メッセージ・バッファからデータ・フレームまたはリモート・フレームが一度も送信されていない場合は，C0LOPTレジスタの読み出し値は不定です。したがって，初期化モードから任意の動作モードに移行後にC0TGPT.THPMビットがセット（1）されている場合には，C0LOPTレジスタの読み出し値は不定となります。

(17) CAN0モジュール送信ヒストリ・リスト・レジスタ（C0TGPT）

C0TGPTレジスタは，送信ヒストリ・リストを読み出すためのレジスタです。

リセット時：xx02H　　R/W　アドレス：03FEC064H

(a) リード時

	15	14	13	12	11	10	9	8
C0TGPT	TGPT7	TGPT6	TGPT5	TGPT4	TGPT3	TGPT2	TGPT1	TGPT0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	THPM	TOVF

(b) ライト時

	15	14	13	12	11	10	9	8
C0TGPT	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	Clear TOVF

(a) リード時

TGPT7-TGPT0	送信ヒストリ・リスト読み出しポインタ
0-31	C0TGPTレジスタをリードすると，送信ヒストリ・リストの読み出しポインタ（TGPT）でインデクスされるエレメントの内容が読み出されます。これにより，データ・フレームまたはリモート・フレームが送信されたメッセージ・バッファ番号が得られます。

THPM注	送信ヒストリ・リストのポインター致
0	送信ヒストリ・リストには，少なくとも1つのリードされていないメッセージ・バッファ番号があります。
1	送信ヒストリ・リストには，リードされていないメッセージ・バッファ番号がありません。

TOVF	送信ヒストリ・リスト・オーバフロー・ビット
0	読み出されていないメッセージ・バッファ番号はすべて保存されます。 新規にデータ・フレームまたはリモート・フレームを送信完了したメッセージ・バッファ番号はすべて送信ヒストリ・リストに記録されます（送信ヒストリ・リストに空きのエレメントが存在します）。
1	ホスト・プロセッサが送信ヒストリ・リスト（THL）を最後に使用（たとえば，C0TGPTレジスタの読み込みなど）してから少なくとも7個のエントリが格納されています。 TOVFビットがセット（1）されていると，すべてのメッセージ・バッファ番号はLOPT－1に格納されるため，最初の6個のエントリは順番に格納されていますが，最後のエントリは新たなメッセージの送信が完了するたびに上書きされます。したがって，送信した順番を完全に回復することができません。

注　THPMビット = 1のとき，TGPT0-TGPT7ビットのリード値は無効です。

備考　ABT付き通常動作モードでは，メッセージ・バッファ0-メッセージ・バッファ7からの送信は送信ヒストリ・リストには記録されません。

(b) ライト時

Clear TOVF	ROVFビットの設定
0	TOVFビットの変更なし
1	TOVFビットをクリア（0）する

(18) CAN0モジュール・タイム・スタンプ・レジスタ（C0TS）

C0TSレジスタは，タイム・スタンプ機能を制御します。

(1/2)

リセット時：0000H　　R/W　アドレス：03FEC066H

(a) リード時

	15	14	13	12	11	10	9	8
C0TS	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	0	0	TSLOCK	TSSEL	TSEN

(b) ライト時

	15	14	13	12	11	10	9	8
C0TS	0	0	0	0	0	Set TSLOCK	Set TSSEL	Set TSEN
	7	6	5	4	3	2	1	0
	0	0	0	0	0	Clear TSLOCK	Clear TSSEL	Clear TSEN

備考　ABT付き通常動作モードの場合は，タイム・スタンプ機能のうちロック機能を使用できません。

(a) リード時

TSLOCK	タイム・スタンプのロック機能許可ビット
0	タイム・スタンプのロック機能停止 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルされます。
1	タイム・スタンプのロック機能許可 選択されたタイム・スタンプ・キャプチャ・イベントごとにTSOUT信号がトグルします。ただし，メッセージ・バッファ0にデータ・フレームが正常に受信されたあとは，TSOUT信号の出力がロックされます注。

注　TSENビットは自動的にクリア（0）されます。

TSSEL	タイム・スタンプ・キャプチャ・イベント選択ビット
0	タイム・キャプチャ・イベントはSOFです。
1	タイム・スタンプ・キャプチャ・イベントはEOFの最終ビットです。

TSEN	TSOUT動作設定ビット
0	TSOUTトグル動作禁止
1	TSOUTトグル動作許可

(2/2)

(b) ライト時

Set TSLOCK	Clear TSLOCK	TSLOCKビットの設定
0	1	TSLOCKビットをクリア（0）する
1	0	TSLOCKビットをセット（1）する
上記以外		TSLOCKビットの変更なし

Set TSSEL	Clear TSSEL	TSSELビットの設定
0	1	TSSELビットをクリア（0）する
1	0	TSSELビットをセット（1）する
上記以外		TSSELビットの変更なし

Set TSEN	Clear TSEN	TSENビットの設定
0	1	TSENビットをクリア（0）する
1	0	TSENビットをセット（1）する
上記以外		TSENビットの変更なし

（19）CAN0メッセージ・データ・バイト・レジスタ（C0MDATAxm, C0MDATAym）（x = 0-7, y = 01, 23, 45, 67）

C0MDATAxm, C0MDATAymレジスタは，送受信メッセージのデータを格納します。

C0MDATAymレジスタでは，C0MDATAxmレジスタを16ビット単位でアクセスできます。

（1/2）

リセット時：不定　　R/W　アドレス：表19ー16を参照してください。

C0MDATA01m

15	14	13	12	11	10	9	8
MDATA01 15	MDATA01 14	MDATA01 13	MDATA01 12	MDATA01 11	MDATA01 10	MDATA01 9	MDATA01 8

7	6	5	4	3	2	1	0
MDATA01 7	MDATA01 6	MDATA01 5	MDATA01 4	MDATA01 3	MDATA01 2	MDATA01 1	MDATA01 0

C0MDATA0m

7	6	5	4	3	2	1	0
MDATA0 7	MDATA0 6	MDATA0 5	MDATA0 4	MDATA0 3	MDATA0 2	MDATA0 1	MDATA0 0

C0MDATA1m

7	6	5	4	3	2	1	0
MDATA1 7	MDATA1 6	MDATA1 5	MDATA1 4	MDATA1 3	MDATA1 2	MDATA1 1	MDATA1 0

C0MDATA23m

15	14	13	12	11	10	9	8
MDATA23 15	MDATA23 14	MDATA23 13	MDATA23 12	MDATA23 11	MDATA23 10	MDATA23 9	MDATA23 8

7	6	5	4	3	2	1	0
MDATA23 7	MDATA23 6	MDATA23 5	MDATA23 4	MDATA23 3	MDATA23 2	MDATA23 1	MDATA23 0

C0MDATA2m

7	6	5	4	3	2	1	0
MDATA2 7	MDATA2 6	MDATA2 5	MDATA2 4	MDATA2 3	MDATA2 2	MDATA2 1	MDATA2 0

C0MDATA3m

7	6	5	4	3	2	1	0
MDATA3 7	MDATA3 6	MDATA3 5	MDATA3 4	MDATA3 3	MDATA3 2	MDATA3 1	MDATA3 0

C0MDATA45m

15	14	13	12	11	10	9	8
MDATA45 15	MDATA45 14	MDATA45 13	MDATA45 12	MDATA45 11	MDATA45 10	MDATA45 9	MDATA45 8

7	6	5	4	3	2	1	0
MDATA45 7	MDATA45 6	MDATA45 5	MDATA45 4	MDATA45 3	MDATA45 2	MDATA45 1	MDATA45 0

C0MDATA4m

7	6	5	4	3	2	1	0
MDATA4 7	MDATA4 6	MDATA4 5	MDATA4 4	MDATA4 3	MDATA4 2	MDATA4 1	MDATA4 0

C0MDATA5m

7	6	5	4	3	2	1	0
MDATA5 7	MDATA5 6	MDATA5 5	MDATA5 4	MDATA5 3	MDATA5 2	MDATA5 1	MDATA5 0

(2/2)

C0MDATA67m

15	14	13	12	11	10	9	8
MDATA67 15	MDATA67 14	MDATA67 13	MDATA67 12	MDATA67 11	MDATA67 10	MDATA67 9	MDATA67 8

7	6	5	4	3	2	1	0
MDATA67 7	MDATA67 6	MDATA67 5	MDATA67 4	MDATA67 3	MDATA67 2	MDATA67 1	MDATA67 0

C0MDATA6m

7	6	5	4	3	2	1	0
MDATA6 7	MDATA6 6	MDATA6 5	MDATA6 4	MDATA6 3	MDATA6 2	MDATA6 1	MDATA6 0

C0MDATA7m

7	6	5	4	3	2	1	0
MDATA7 7	MDATA7 6	MDATA7 5	MDATA7 4	MDATA7 3	MDATA7 2	MDATA7 1	MDATA7 0

（20）CAN0メッセージ・データ長レジスタm（C0MDLCm）

C0MDLCmレジスタは，メッセージ・バッファのデータ・フィールドのバイト数を設定します。

リセット時：0000xxxxB　　R/W　アドレス：表19－16を参照してください。

	7	6	5	4	3	2	1	0
C0MDLCm	0	0	0	0	MDLC3	MDLC2	MDLC1	MDLC0

MDLC3	MDLC2	MDLC1	MDLC0	送受信メッセージのデータ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	0	0	0	8バイト
1	0	0	1	設定禁止 （送信時に設定した場合，データ・フレームの送信では設定したDLC値に関わらず8バイトのデータが送信されます。ただし，実際にCANバスに送信されるDLCはこのレジスタに設定したDLC値になります。）注
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

注　CANバス上に実際に送信されるデータとDLC値は次のとおりです。

送信フレーム種類	送信されるデータの長さ	送信されるDLC
データ・フレーム	DLCで指定されたバイト数 （ただしDLC≧8の場合は8バイト）	MDLC3-MDLC0ビット
リモート・フレーム	0バイト	

注意1.　ビット7-4には必ず0000Bを設定してください。

2.　メッセージ受信時には，DLCに対応するバイト数（ただし，8が上限）分のC0MDATAxmレジスタに受信データが格納されます。データが格納されなかったC0MDATAxmレジスタは不定です。

（21）CAN0メッセージ・コンフィギュレーション・レジスタm（C0MCONFm）

C0MCONFmレジスタは，メッセージ・バッファのタイプとマスク設定の指定を行います。

（1/2）

リセット時：不定　　R/W　　アドレス：表19－16を参照してください。

	7	6	5	4	3	2	1	0
C0MCONFm	OWS	RTR	MT2	MT1	MT0	0	0	MA0

OWS	オーバライト制御ビット
0	すでに受信しているメッセージ・バッファ注に対して，新しく受信したデータ・フレームは上書きしません。新しく受信したデータ・フレームは破棄されます。
1	すでに受信しているメッセージ・バッファに対して，新しく受信したデータ・フレームを上書きします。

注　“すでに受信しているメッセージ・バッファ”とは，C0MCTRLm.DNビットがセット（1）されている受信メッセージ・バッファを意味します。

備考　リモート・フレームの受信格納に際しては，OWSビットおよびDNビットの設定には依存せず，そのほかの条件が合致（IDが一致，RTRビット = 0, C0MCTRLm.TRQビット = 0）したリモート・フレームは必ず該当するメッセージ・バッファに受信格納（割り込み生成，DNフラグのセット，C0MDLCm.MDLC0-MDLC3ビットの更新，および受信ヒストリ・リストへの記録）されます。

RTR	リモート・フレームの要求ビット注
0	データ・フレーム送信
1	リモート・フレーム送信

注　RTRビットは，送信メッセージ・バッファとして定義されたメッセージ・バッファから送信されるメッセージ・フレームの種類を指定します。

有効なリモート・フレームを受信しても，受信した送信メッセージ・バッファのRTRビットはクリア（0）されたままです。

リモート・フレーム送信のために送信メッセージ・バッファのRTRビットをセット（1）した状態で，CANバスからIDが合致するリモート・フレームを受信した場合でも，そのリモート・フレームの受信格納（割り込み生成，DNフラグのセット，MDLC0-MDLC3ビットの更新および受信ヒストリ・リストへの記録）は行われません。

MT2	MT1	MT0	メッセージ・バッファ・タイプ設定ビット
0	0	0	送信メッセージ・バッファ
0	0	1	受信メッセージ・バッファ（マスク設定なし）
0	1	0	受信メッセージ・バッファ（マスク1設定）
0	1	1	受信メッセージ・バッファ（マスク2設定）
1	0	0	受信メッセージ・バッファ（マスク3設定）
1	0	1	受信メッセージ・バッファ（マスク4設定）
上記以外			設定禁止

(2/2)

MA0	メッセージ・バッファの割り付けビット
0	メッセージ・バッファを使用しない
1	メッセージ・バッファを使用する

注意　ビット2, 1には，必ず0を書き込んでください。

(22) CAN0メッセージIDレジスタm（C0MIDLm, C0MIDHm）

C0MIDLm, C0MIDHmレジスタは，アイデンティファイア（ID）を設定します。

リセット時：不定　　R/W　アドレス：表19ー16を参照してください。

	15	14	13	12	11	10	9	8
C0MIDLm	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8
	7	6	5	4	3	2	1	0
	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

	15	14	13	12	11	10	9	8
C0MIDHm	IDE	0	0	ID28	ID27	ID26	ID25	ID24
	7	6	5	4	3	2	1	0
	ID23	ID22	ID21	ID20	ID19	ID18	ID17	ID16

IDE	フォーマット・モード指定ビット
0	標準フォーマット・モード（ID28-ID18：11ビット）注
1	拡張フォーマット・モード（ID28-ID0：29ビット）

注　ID17-ID0ビットは使用されません。

ID28-ID0	メッセージID
ID28-ID18	11ビットの標準ID値（IDE = 0のとき）
ID28-ID0	29ビットの拡張ID値（IDE = 1のとき）

注意　C0MIDHmレジスタのビット14，13には，必ず0を書き込んでください。

(23) CAN0メッセージ制御レジスタm（C0MCTRLm）

C0MCTRLmレジスタは，メッセージ・バッファの動作を制御します。

(1/2)

リセット時：00x000000　　R/W　アドレス：表19ー16を参照してください。
000xx000B

(a) リード時

	15	14	13	12	11	10	9	8
C0MCTRLm	0	0	MUC	0	0	0	0	0
	7	6	5	4	3	2	1	0
	0	0	0	MOW	IE	DN	TRQ	RDY

(b) ライト時

	15	14	13	12	11	10	9	8
C0MCTRLm	0	0	0	0	Set IE	0	Set TRQ	Set RDY
	7	6	5	4	3	2	1	0
	0	0	0	Clear MOW	Clear IE	Clear DN	Clear TRQ	Clear RDY

(a) リード時

MUC注	メッセージ・バッファへのデータ更新中ビット
0	CANモジュールによるメッセージ・バッファの更新（受信格納）中ではありません。
1	CANモジュールによるメッセージ・バッファの更新（受信格納）中です。

注　MUCビットは最初の受信格納が行われるまで不定です。

MOW	メッセージ・バッファ・オーバライト・ステータス・ビット
0	メッセージ・バッファは，新しく受信したデータ・フレームによって上書きされていません。
1	メッセージ・バッファは，新しく受信したデータ・フレームによって上書きされています。

備考　DNビット = 1の送信メッセージ・バッファに対してリモート・フレームを受信格納しても，MOWビットはセット（1）されません。

IE	メッセージ・バッファ割り込み要求許可ビット
0	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み禁止 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み禁止
1	受信用メッセージ・バッファのとき：有効なメッセージ受信完了割り込み許可 送信用メッセージ・バッファのとき：正常なメッセージ送信完了割り込み許可

DN	メッセージ・バッファ・データ更新ビット
0	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されていません。
1	メッセージ・バッファにデータ・フレームまたはリモート・フレームが格納されています。

(2/2)

TRQ	メッセージ・バッファ送信要求ビット
0	メッセージ・バッファ内に保留中または送信中のメッセージ・フレーム送信要求はありません。
1	メッセージ・バッファは，メッセージ・フレームの送信保留中または送信中です。

注意　TRQビットとRDYビットを同時にセット（1）しないでください。TRQビットをセット（1）する場合は，必ず事前にRDYビットをセット（1）してください。

RDY	メッセージ・バッファ準備ビット
0	ソフトウエアによりメッセージ・バッファに書き込みできます。CANモジュールはメッセージ・バッファに書き込みができません。
1	ソフトウエアによるメッセージ・バッファへの書き込みは無視されます（RDYビット，TRQビット，DNビットおよびMOWビットへのライト・アクセスを除く）。CANモジュールはメッセージ・バッファに書き込みが可能です。

注意　メッセージ送信中に，RDYビットをクリア（0）しないでください。再定義のためのRDYビットのクリアは，送信中断処理に従ってください。

(b) ライト時

Clear MOW	MOWビットの設定
0	MOWビットの変更なし
1	MOWビットをクリア（0）する

Set IE	Clear IE	IEビットの設定
0	1	IEビットをクリア（0）する
1	0	IEビットをセット（1）する
上記以外		IEビットの変更なし

Clear DN	DNビットの設定
1	DNビットをクリア（0）する
0	DNビットの変更なし

注意　ソフトウエアにより，DNビットをセット（1）しないでください。ビット10には，必ず0を書き込んでください。

Set TRQ	Clear TRQ	TRQビットの設定
0	1	TRQビットをクリア（0）する
1	0	TRQビットをセット（1）する
上記以外		TRQビットの変更なし

Set RDY	Clear RDY	RDYビットの設定
0	1	RDYビットをクリア（0）する
1	0	RDYビットをセット（1）する
上記以外		RDYビットの変更なし

19. 7　ビットのセット／クリア機能

CANの制御レジスタには，ビットのセット／クリアがCPUとCANインタフェースの両方で行われるレジスタがあります。次に示すレジスタに直接値を書き込むと誤作動するため，値の直接書き込み（ビット操作，リード・モディファイ・ライト，目標値の直接書き込み）をしないでください。

- CAN0グローバル制御レジスタ（C0GMCTRL）
- CAN0グローバル自動ブロック送信制御レジスタ（C0GMABT）
- CAN0モジュール制御レジスタ（C0CTRL）
- CAN0モジュール割り込み許可レジスタ（C0IE）
- CAN0モジュール割り込みステータス・レジスタ（C0INTS）
- CAN0モジュール受信ヒストリ・リスト・レジスタ（C0RGPT）
- CAN0モジュール送信ヒストリ・リスト・レジスタ（C0TGPT）
- CAN0モジュール・タイム・スタンプ・レジスタ（C0TS）
- CAN0メッセージ制御レジスタm（C0MCTRLm）

備考　m = 00-31

上記レジスタの16ビットは，すべて通常の方法で読むことができます。下位8ビットのビット・セットやビット・クリアは図19－25の手順で行ってください。

上記レジスタの下位8ビットのセット／クリアは，上位8ビットと下位8ビットの組み合わせで行います（**図**19－26　**セット／クリア設定後のビット状態**参照）。図19－25のように，setビットとclearビットの値により，該当するレジスタのビットをセット／クリア／変化なしと操作できます。

図19ー25　ビットのセット／クリアの操作例

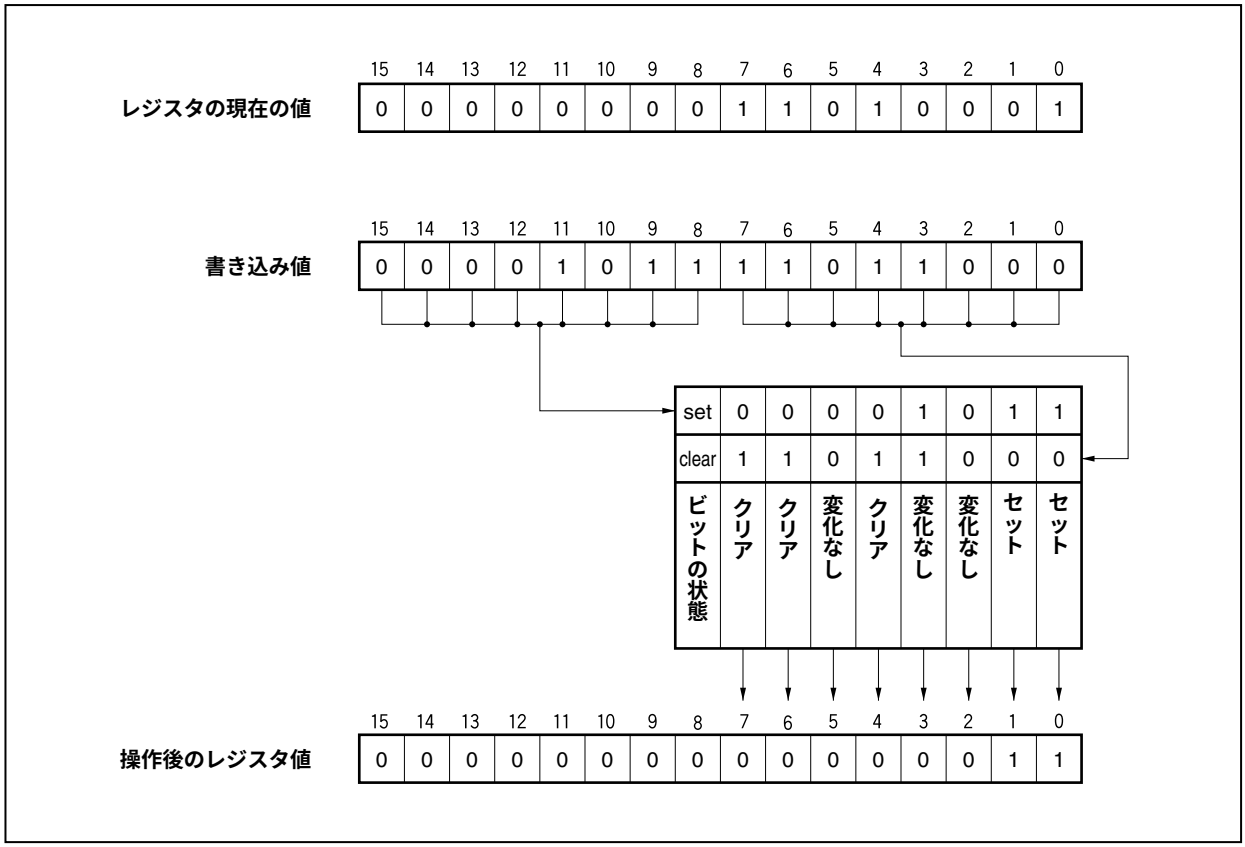


図19ー26　セット／クリア設定後のビット状態

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
set 7	set 6	set 5	set 4	set 3	set 2	set 1	set 0	clear 7	clear 6	clear 5	clear 4	clear 3	clear 2	clear 1	clear 0

set n	clear n	ビットのセット／クリア操作後のビットnの状態
0	0	変化なし
0	1	0
1	0	1
1	1	変化なし

備考　n = 0-7

19. 8　CANコントローラの初期化処理

19. 8. 1　CANモジュールの初期化

CANモジュールの動作を許可する前に，ソフトウエアによりC0GMCS.CCP0-CCP3ビットを設定し，CANモジュール・システム・クロックを決める必要があります。CANモジュール・システム・クロックの設定は，CANモジュールの動作が許可されたあとは変更できません。

CANモジュールは，C0GMCTRL.GOMビットをセット（1）することで有効になります。初期化処理手順については，19. 16　CANコントローラの動作を参照してください。

19. 8. 2　メッセージ・バッファの初期化

CANモジュールの動作を許可したあと，メッセージ・バッファの値が不定のものがあります。初期化モードから任意の動作モードに移行する前に，すべてのメッセージ・バッファに対して初期化をしてください。アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。

・C0MCTRLm.RDYビット，TRQビット，DNビットをクリア（0）する。
・C0MCONFm.MA0ビットをクリア（0）する。

備考　m = 00-31

19. 8. 3　メッセージ・バッファの再定義

メッセージ・バッファの再定義とは，メッセージ受信中または送信中にほかの送受信動作に影響を与えることなく，メッセージ・バッファのIDや制御情報を変更することをいいます。

（1）初期化モード中にメッセージ・バッファの再定義を行う場合

一度，初期化モードに移行し，初期化モード中にメッセージ・バッファのIDや制御情報を変更してください。メッセージ・バッファの変更後，任意の動作モードに移行してください。

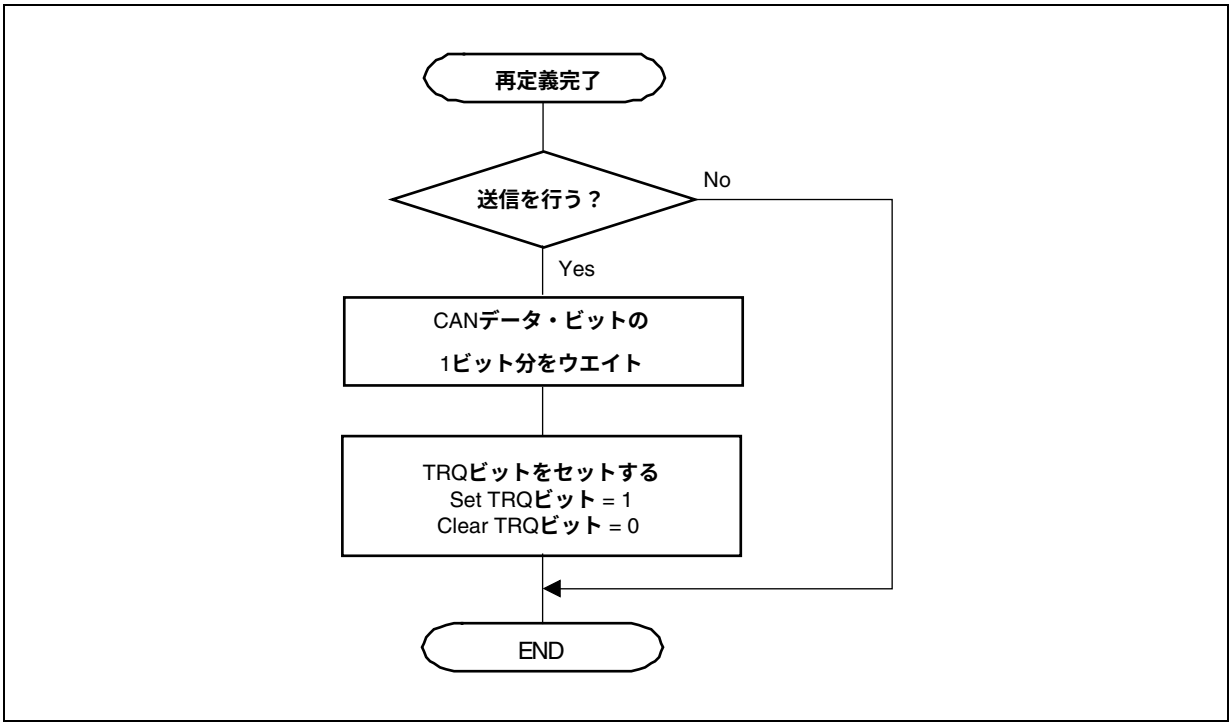
（2）受信中にメッセージ・バッファの再定義を行う場合

図19－38にしたがって処理してください。

（3）送信中にメッセージ・バッファの再定義を行う場合

送信要求がセットされている送信メッセージ・バッファの内容を書き換える場合には，送信中断処理（19. 10. 4（1）通常動作モードでの送信中断処理，19. 10. 4（2）自動ブロック送信機能（ABT）付き通常動作モードでのABT送信以外の送信中断処理，19. 10. 4（3）自動ブロック送信機能（ABT）付き通常動作モードでの送信中断処理参照）を行い，送信が中断されたこと，あるいは送信が完了したことを確認したあとにメッセージ・バッファの再定義を行ってください。送信メッセージ・バッファの再定義後に送信要求をセットする場合は，次の処理手順にしたがって処理してください。ただし，送信中断処理を伴わない再定義を行った送信メッセージ・バッファに対して送信要求をセットする場合には，1ビット分のウエイトは必要ありません。

図19－27　送信メッセージ・バッファの再定義後の送信要求（TRQ）の設定



注意1.　メッセージ受信時には，各受信メッセージ・バッファに設定されたIDおよびマスク設定にもとづいて受信フィルタリングが行われます。図19－39の手順に従わなかった場合には，メッセージ・バッファの再定義後の内容と受信結果（受信フィルタリング結果）が矛盾する場合があります。そのような場合は，メッセージ・バッファの再定義後に該当するメッセージ・バッファの最初の受信格納時に格納されているIDおよびIDEが再定義後の内容であることを確認してください。再定義後のIDおよびIDEが格納されていない場合は，再度メッセージ・バッファの再定義を行ってください。

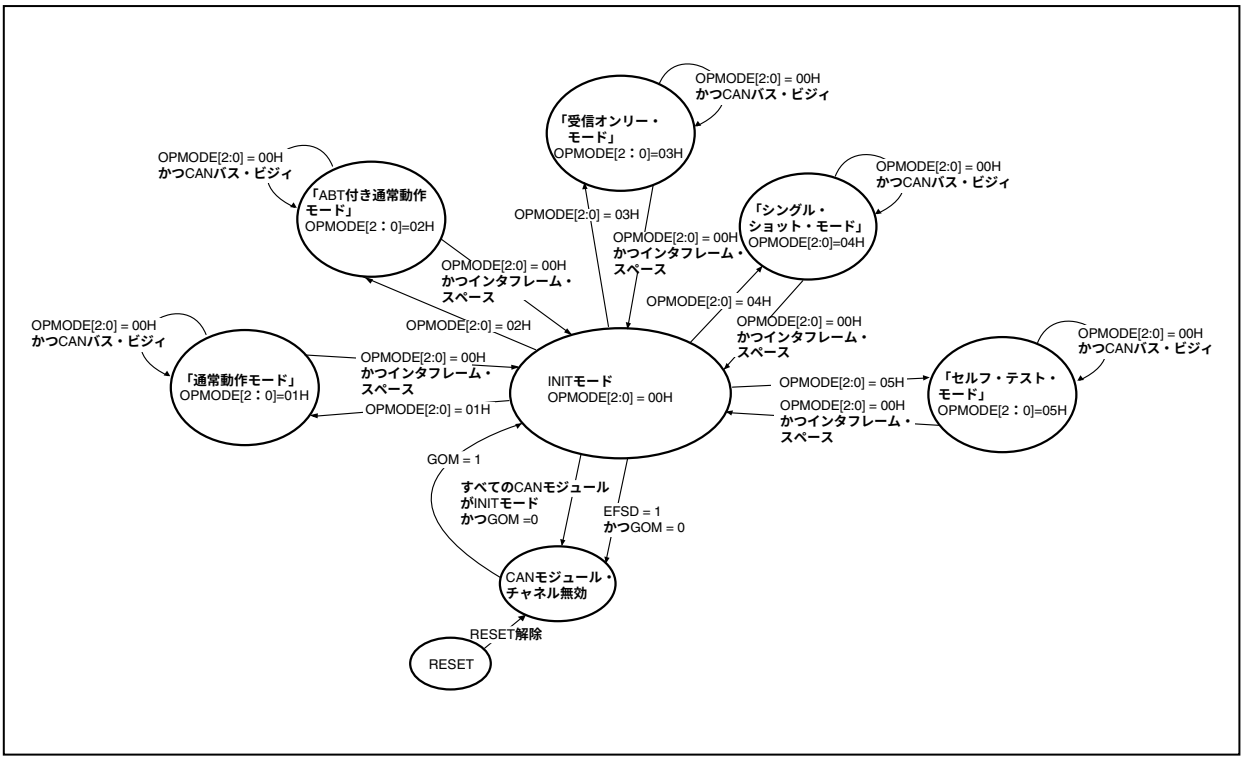
2.　メッセージ送信時には，送信要求がセットされている各送信メッセージ・バッファに設定されたID, IDEおよびRTRビットにもとづいて送信優先順位判定を行い，最高位の優先順位をもつ送信メッセージ・バッファを選択して送信が行われます。図19－27の手順に従わなかった場合には，再定義後のIDが最高位のIDではないメッセージが送信される場合があります。

19. 8. 4　動作モードへの移行

CANモジュールは，次の動作モードに切り替えることができます。

- 通常動作モード
- ABT付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフ・テスト・モード

図19－28　動作モードへの移行



初期化モードから動作モードへの移行は，C0CTRL.OPMODE2-OPMODE0ビットで設定します。

ある動作モードから別の動作モードに移行するには，一度初期化モードに移行する必要があります。直接，ある動作モードから別の動作モードに移行しないでください。直接，動作モードを移行した場合の動作は保証できません。

動作モードから初期化モードへの移行要求は，CANバスがインタフレーム・スペースでないとき（フレーム受信または送信が実行中）は保留され，インタフレーム・スペースの1ビット目に初期化モードへ移行します（OPMODE2-OPMODE0ビットの値が00Hに変化します）。初期化モードへの移行要求のあとには，OPMODE2-OPMODE0ビットが000Bになるまで，OPMODE2-OPMODE0ビットをリードして，初期化モードへ移行したことを確認してください（図19－36参照）。

19. 8. 5　CANモジュールのエラー・カウンタC0ERCのリセット

再初期化やバス・オフ強制復帰の際に，C0ERC, C0INFOレジスタをリセットする必要がある場合には，初期化モード中にC0CTRL.CCERCビットをセット（1）してください。CCERCビットをセット（1）すると，C0ERC, C0INFOレジスタは初期値にクリアされます。

19. 9　メッセージ受信

19. 9. 1　メッセージ受信

メッセージの受信時には，すべての動作モードにて，次の条件を満たすすべてのメッセージ・バッファに対し，格納すべきかどうかの検索を行います。

・メッセージ・バッファとして使用している。
　（C0MCONFm.MA0ビットに1を設定）
・受信用メッセージ・バッファとして設定している。
　（C0MCONFm.MT2-MT0ビットに001B,010B,011B,100B,101Bを設定）
・受信準備ができている。
　（C0MCTRLm.RDYビットがセット（1）されている）

備考　m = 00-31

複数のメッセージ・バッファにメッセージを受信した場合，受信メッセージの格納優先順位は次のようになります。メッセージは，必ず優先順位の高い受信メッセージ・バッファに格納されます。優先順位の低い受信メッセージ・バッファには格納されません。たとえば，マスクされていない受信メッセージ・バッファとマスク1にリンクした受信メッセージ・バッファに同一IDが設定されていた場合，マスクされていない受信メッセージ・バッファがすでにメッセージを受信していたとしても，メッセージを受信していないマスク1にリンクした受信メッセージ・バッファには受信メッセージの格納はしません。つまり2つ以上の優先順位の異なるメッセージ・バッファで格納する条件が整った場合には，必ず優先順位の高いメッセージ・バッファが受信格納対象となり優先順位の低いメッセージ・バッファは受信格納対象とはなりません。これは優先順位の高いメッセージ・バッファが受信格納できない条件（たとえば，OWSビット = 0により上書き禁止ですでに受信しているDNビット = 1の場合など）でも同様です。この場合，受信格納候補である優先順位の高いメッセージ・バッファには実際格納されませんが，それだからといって優先順位の低いメッセージ・バッファに格納されることはありません。

優先順位	同一IDを設定した場合の格納条件	
1（高）	マスクされていないメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
2	マスク1とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
3	マスク2とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
4	マスク3とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1
5（低）	マスク4とリンクしたメッセージ・バッファ	DNビット = 0
		DNビット = 1かつOWSビット = 1

19. 9. 2　受信ヒストリ・リスト機能

受信ヒストリ・リスト機能は，データ・フレームまたはリモート・フレームを受信格納するごとに受信ヒストリ・リスト（RHL）へ受信格納したメッセージ・バッファ番号の記録を行います。RHLは，最大23メッセージ分の格納エレメントと，受信ヒストリ・リスト書き込みポインタ（LIPT）に対応するC0LIPTレジスタ，および受信ヒストリ・リスト読み出しポインタ（RGPT）に対応するC0RGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後，RHLは不定です。

C0LIPTレジスタは，LIPTポインター1で示されるRHLエレメントの内容を保持しますので，C0LIPTレジスタを読み出すことで一番最後に受信格納したメッセージ・バッファ番号を知ることができます。LIPTポインタは，RHLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの受信格納が発生すると，対応するメッセージ・バッファ番号がLIPTポインタで示されるRHLエレメントに記録されます。RHLへの記録が完了するごとに，LIPTポインタは自動的にインクリメントされます。このように受信格納を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

RGPTポインタは，記録されたメッセージ・バッファ番号をRHLから読み出す際の読み出しポインタとして機能します。RGPTポインタはCPUがまだ読み出しを行っていない最初のRHLエレメントを示しています。ソフトウエアにより，C0RGPTレジスタを読み出すことにより，受信格納したメッセージ・バッファの番号を読み出すことができます。C0RGPTレジスタからメッセージ・バッファ番号を読み出すごとに，RGPTポインタは自動的にインクリメントされます。

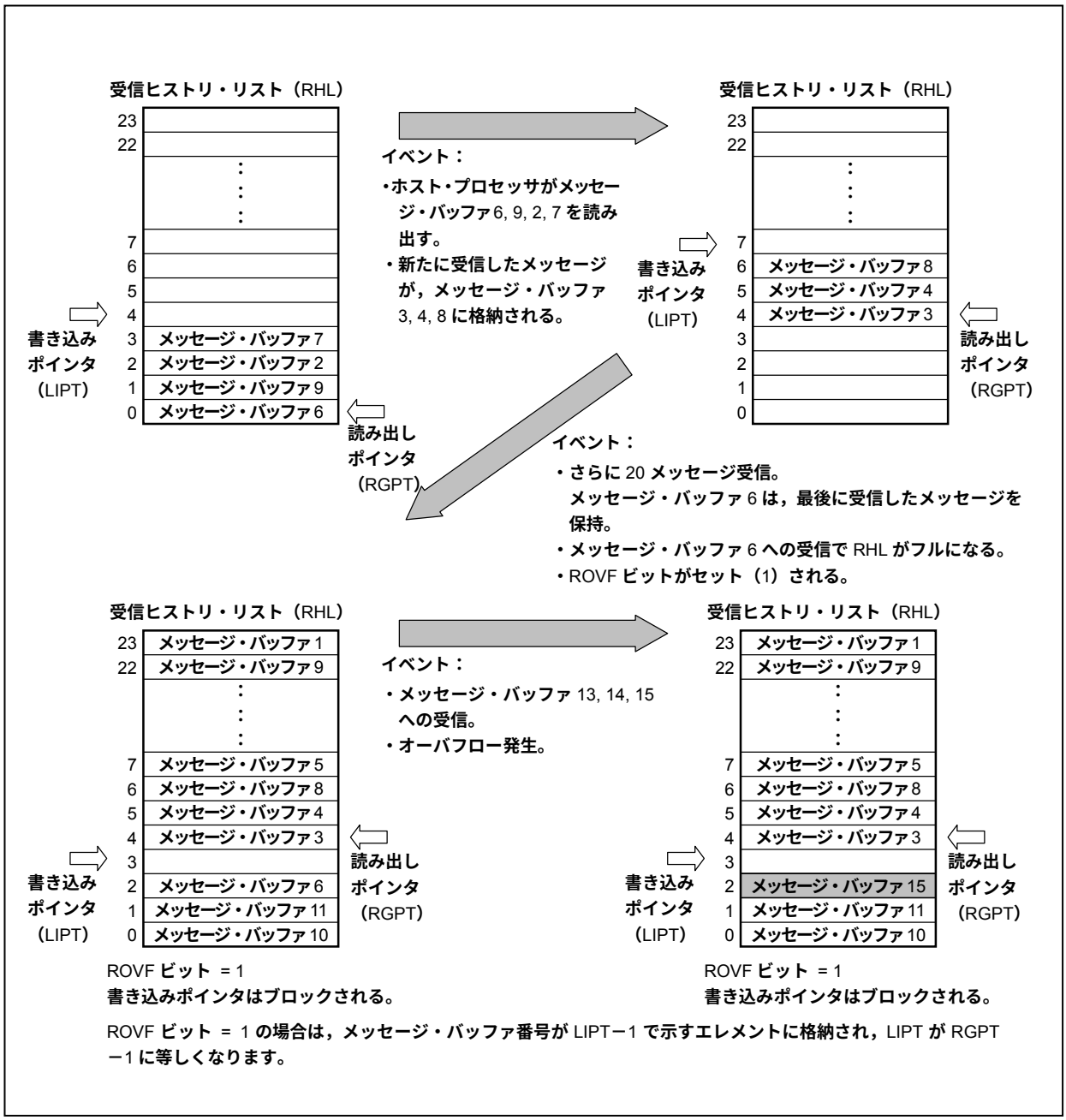
RGPTポインタとLIPTポインタが一致した場合には，C0RGPT.RHPMビット（受信ヒストリ・リスト・ポインター致）がセット（1）されます。RHPMビットがセット（1）されていることで，RHLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また，受信格納に新しくメッセージ・バッファ番号の記録が行われると，LIPTポインタがインクリメントされポインタが一致しなくなり，RHPMビットはクリア（0）されます。つまり，RHL内には未読のメッセージ・バッファ番号が存在することになります。

また，インクリメントされたLIPTポインタがRGPTポインター1と一致した場合には，C0RGPT.ROVFビット（受信ヒストリ・リスト・オーバフロー）がセット（1）されます。この状態は，まだ読み出されていないメッセージ・バッファ番号でRHLがフルに記録されている状態を示します。さらに，メッセージの受信格納が新たに発生すると，最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく受信格納したメッセージ・バッファ番号の記録を継続します。したがって，ROVFビットがセット（1）されたあと，RHLに保持しているメッセージ・バッファ番号は完全には時系列にはならなくなります。ただし，受信したメッセージ自体は正しく格納されます。CPU操作による各メッセージ・バッファのDNビットをサーチすることで，受信格納したメッセージ・バッファ番号を特定することができます。

受信ヒストリ・リストは，未読の状態で23個以下の受信履歴を保持している場合には受信格納順は保持されますが，ホスト・プロセッサが読み出しを行わない状態で受信格納された場合は，受信格納順は完全には読み出せないことがあります。

備考　m = 00-31

図19－29　受信ヒストリ・リスト



ROVF ビット ＝ 1 の場合は，メッセージ・バッファ番号が LIPT－1 で示すエレメントに格納され，LIPT が RGPT－1 に等しくなります。

19. 9. 3　マスク機能

各受信メッセージ・バッファは，そのメッセージ・バッファに設定したアイデンティファイアのマスクをリンクさせるかどうかを定義できます。

マスク機能を使用することにより，CANバスから受信したメッセージのアイデンティファイアとあらかじめメッセージ・バッファに設定されているアイデンティファイアとを比較し，その結果，マスクされているIDが“0”または“1”のどちらに設定されていても定義されたメッセージ・バッファに格納できます。

マスク機能が働いているとき，マスクにて“1”と定義されたビットは受信したメッセージのアイデンティファイアとメッセージ・バッファのアイデンティファイアとの比較を行いません。

マスクにて“0”と定義されたビットについては比較を行います。

たとえば，ID27-ID25が“0”，ID24とID22が“1”と設定された標準フォーマットIDを持つすべてのメッセージをメッセージ・バッファ14に格納したい場合，次に示す手順で行ってください。

① メッセージ・バッファに格納したいアイデンティファイア

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x

備考　x = don’t care

② メッセージ・バッファ14に設定したアイデンティファイア（例）
（C0MIDL14, C0MIDH14レジスタを使用）

ID28	ID27	ID26	ID25	ID24	ID23	ID22	ID21	ID20	ID19	ID18
x	0	0	0	1	x	1	x	x	x	x
ID17	ID16	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7
x	x	x	x	x	x	x	x	x	x	x
ID6	ID5	ID4	ID3	ID2	ID1	ID0				
x	x	x	x	x	x	x				

ID27-ID25ビットが“0”に設定され，ID24ビットとID22ビットが“1”に設定されているIDをメッセージ・バッファ14に登録（初期化）します。

備考　x = don’t care

備考　メッセージ・バッファ14をマスク1にリンクする（C0MCONF14.MT2-MT0ビット = 010Bに設定）
標準フォーマット・アイデンティファイアとして設定します。

③　CANモジュール0（マスク1）のマスク設定（例）

（CAN0モジュール・マスク1レジスタL, H（C0MASKL1, C0MASKH1）を使用）

CMID28	CMID27	CMID26	CMID25	CMID24	CMID23	CMID22	CMID21	CMID20	CMID19	CMID18
1	0	0	0	0	1	0	1	1	1	1

CMID17	CMID16	CMID15	CMID14	CMID13	CMID12	CMID11	CMID10	CMID9	CMID8	CMID7
1	1	1	1	1	1	1	1	1	1	1

CMID6	CMID5	CMID4	CMID3	CMID2	CMID1	CMID0
1	1	1	1	1	1	1

1：比較しない（マスクする）
0：比較する

CMID27-CMID24ビットおよびCMID22ビットは“0”，CMID28, CMID23, CMID21-CMID0ビットは“1”に設定します。

19. 9. 4　マルチ・バッファ受信ブロック機能

マルチ・バッファ受信ブロック（MBRB）機能（以降，MBRBと記述）は，同じメッセージ・バッファ・タイプを持つ複数のメッセージ・バッファに同じIDを設定することにより，CPUを介さずにデータ・ブロックとして複数のメッセージ・バッファに順に格納する機能です。

たとえば，メッセージ・バッファ10からメッセージ・バッファ19の10個のメッセージ・バッファが同じメッセージ・バッファ・タイプに設定されていて，さらにそれぞれのメッセージ・バッファに同じIDが設定されている場合には，最初にIDが一致するメッセージを受信した場合，メッセージ・バッファ10に格納します。この時点でメッセージ・バッファ10はDNビットがセットされ，そのメッセージ・バッファに対して上書きが禁止されます。

次に，IDが一致するメッセージを受信した場合，メッセージ・バッファ11に受信格納されます。以降，IDが一致するメッセージを受信するたびにメッセージ・バッファ12, 13,・・・18, 19とメッセージ・バッファの番号順（昇順）に格納されていきます。このように，複数のメッセージからなるデータ・ブロックを受信する場合でも，IDが一致した古い受信データを上書きすることなく，複数のメッセージを受信格納することができます。

また，各メッセージ・バッファのC0MCTRLm.IEビットを設定することで，データ・ブロックの受信格納の完了を知ることができます。たとえば，データ・ブロックがk個のメッセージで構成されている場合は，データ・ブロック受信用にk個のメッセージ・バッファを初期化します。メッセージ・バッファ0から（k－2）までは，IEビットをクリア（0）しておき（割り込み無効），メッセージ・バッファk－1では，IEビットをセット（1）します（割り込み有効）。この場合，メッセージ・バッファk－1への受信格納が完了した時点で受信完了割り込みを発生させることで，MBRBがフルになったことを知ることができます。あるいは，メッセージ・バッファ0から（k－3）までは，IEビットをクリア（0）しておきメッセージ・バッファk－2のIEビットをセット（1）しておくことで，MBRBがオーバフローしそうであることのワーニングとすることができます。

MBRBにおいても，各メッセージ・バッファの受信データの基本的な格納条件は，単一のメッセージ・バッファに対する格納条件と同じです。

注意1. MBRBは，同一のメッセージ・バッファ・タイプごとに構成することが可能です。したがって，メッセージ・バッファ・タイプが異なるが，IDが一致するほかのMBRBのメッセージ・バッファに空きがあった場合でも，そのメッセージ・バッファには格納を行わず，受信メッセージは破棄されます。

2. MBRBは，リング構造をもっていません。したがって，MBRBを構成するメッセージ・バッファ番号が一番大きいメッセージ・バッファへの格納後に受信したメッセージに対しては，再びメッセージ・バッファ番号が一番小さいメッセージ・バッファに戻って格納を継続することはありません。

3. MBRBは，受信格納条件に基づく動作であり，機能有効ビット等のMBRB専用の設定はありません。複数のメッセージ・バッファに対し，同一のメッセージ・バッファ・タイプおよびIDを設定することで自動的にMBRBが構成されます。

4. MBRBにおける「IDが一致する」とは「マスク後のIDの一致する」という意味です。各メッセージ・バッファに設定したIDが必ずしも同一でなくても，マスク・レジスタによるマスク後のIDが一致するものは，IDが一致したものとみなされメッセージの格納対象先のバッファとして扱われます。

5. 各MBRB間の優先順位は，19. 9. 1　メッセージ受信で示した優先順位に従います。

備考　m = 00-31

19. 9. 5　リモート・フレーム受信

リモート・フレームの受信時には，すべての動作モードで，次の条件を満たすすべてのメッセージ・バッファに対し，格納すべきかどうかの検索を行います。

- メッセージ・バッファとして使用している。
  （C0MCONFm.MA0ビットを1に設定）
- 送信用メッセージ・バッファとして設定している。
  （C0MCONFm.MT2-MT0ビットを000Bに設定）
- 受信準備ができている。
  （C0MCTRLm.RDYビットがセット（1）されている）
- メッセージ送信に設定されている。
  （C0MCONFm.RTRビットがクリア（0）されている）
- 送信要求が設定されていない。
  （C0MCTRLm.TRQビットがクリア（1）されている）

上記の条件を満足し，かつ受信したリモート・フレームとIDが合致するメッセージ・バッファに対しては，次の受信格納動作が行われます。

- C0MDLCm.DLC3-DLC0ビットは受信したDLC値を格納します。
- データ領域C0MDATA0m-C0MDATA7mレジスタは更新されません（受信前のデータが保存されます）。
- C0MCTRLm.DNビットがセット（1）されます。
- C0INTS.CINTS1ビットがセット（1）されます（受信格納するメッセージ・バッファのC0MCTRLm.IEビットがセット（1）されている場合）。
- 受信完了割り込み（INTC0RE）が出力されます（受信格納するメッセージ・バッファのIEビットがセット（1）されており，かつC0IE.CIE1ビットがセット（1）されている場合）。
- メッセージ・バッファ番号を受信ヒストリ・リストに記録します。

注意　リモート・フレームの受信におけるメッセージ・バッファ検索および受信格納に際しては，メッセージ・バッファのC0MCONFm.OWSビットによるオーバライト制御の設定およびDNビットには影響を受けません。
複数の送信メッセージ・バッファが同一IDを持ち，受信したリモート・フレームのIDが合致した場合には，最小のメッセージ・バッファ番号を持つ送信メッセージ・バッファに格納されます。

備考　m = 00-31

19. 10　メッセージ送信

19. 10. 1　メッセージ送信

すべての動作モードで，次の条件を満たすメッセージ・バッファにC0MCTRLm.TRQビットがセット（1）されているとき，送信するメッセージ・バッファの検索を行います。

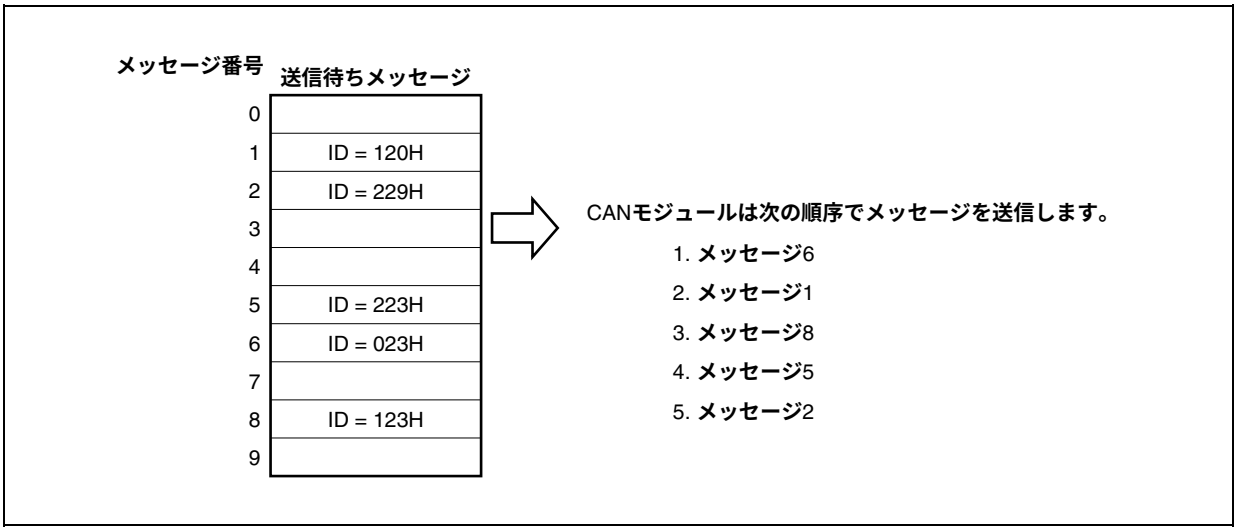
・メッセージ・バッファとして使用している。
　（C0MCONFm.MA0ビットを1に設定）
・送信用メッセージ・バッファとして設定している。
　（C0MCONFm.MT2-MT0ビットを000Bに設定）
・送信準備ができている。
　（C0MCTRLm.RDYビットがセット（1）されている）

備考　m = 00-31

CANはマルチ・マスタ方式の通信システムです。このようなシステムでは，メッセージの送信優先順位はメッセージのIDによって決定されます。ソフトウエアによる送信処理を容易にするため，CANモジュールは複数の送信待ちメッセージが存在する場合，有効なメッセージのどれが最高優先順位を持っているのかハードウエアによりIDを検索して自動的に判断します。したがって，ソフトウエアにより優先順位制御を行う必要がありません。

アイデンティファイア（ID）による送信プライオリティ制御を行います。

図19－30　メッセージ処理例



送信メッセージの検索は，保留されている送信要求を持つ送信メッセージ・バッファ（TRQビットがあらかじめセット（1）されたメッセージ・バッファ）のうち，最高位の優先度を持つ送信メッセージが送信されます。

また，新しく送信要求が設定された場合は，新しい送信要求を持つ送信メッセージ・バッファと保留されている送信要求を持つ送信メッセージ・バッファを比較します。新しい送信要求が最高位の優先度を持つ場合，低位の優先度を持つ送信メッセージの送信が開始されていなければ，最高位の優先度を持つ送信メッセージが送信されます。ただし，すでに低位の優先度を持つ送信メッセージの送信が開始されている場合には，新しい送信要求はあとで送信されます。最高位の優先度は，次のように決定されます。

優先順位	条　件	説　明
1（高）	IDの先頭11ビットの値 [ID28 : ID18]	IDの先頭11ビットで最小の値を持つメッセージ・フレームが最初に送信されます。11ビット標準IDの値が29ビット拡張IDの先頭11ビットと同一あるいは小さい場合は，11ビット標準IDが29ビット拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
2	フレーム・タイプ	11ビット標準IDを持つデータ・フレーム（C0MCONFm.RTRビットがクリア（0））は，標準IDを持つリモート・フレームや拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
3	IDタイプ	標準IDを持つメッセージ・フレーム（C0MIDHm.IDEビットがクリア(0)）は，拡張IDを持つメッセージ・フレームよりも高い優先度を持ちます。
4	IDの下位18ビットの値 [ID17:ID0]	IDの先頭11ビットが同じ値を持ち，フレーム・タイプが同じ（RTRビット値が等しい），拡張IDを持つ2つ以上のメッセージ・フレームが送信保留中の場合，拡張IDの下位18ビットが最小の値を表すメッセージ・フレームが最初に送信されます。
5（低）	メッセージ・バッファ番号	2つ以上のメッセージ・バッファが同じIDを持つメッセージ・フレームの送信要求がある場合に，最小のメッセージ・バッファ番号を持つメッセージ・バッファからのメッセージが最初に送信されます。

備考　ABT付き通常動作モードで，自動ブロック送信要求C0GMABT.ABTTRGビットをセット（1）した場合，ABTメッセージ・バッファ・グループの1つのメッセージ・バッファのみTRQビットがセット（1）されます。ABT付き通常動作モードでは，ABTTRGビットにより開始されるとABT領域（バッファ0～7）に1つのTRQビットがセットされます。このTRQビット以外に，アプリケーションは，ABT領域以外の送信メッセージ・バッファに対し，送信要求ができます。その場合に内部送信検索処理（TXサーチ）により，検索されたメッセージが次に送信されます。この検索処理は，TRQビットがセットされたすべての送信メッセージ・バッファを検索し，次の送信として最も高い優先順位のアイデンティファイアを含むメッセージ・バッファを選択します。高い優先順位を持つアイデンティファイアが2個またはそれ以上あった場合（たとえば同一IDなど），最も小さいメッセージ・バッファ番号に配置されたメッセージが先に送信されます。
メッセージ・フレームの送信が成功すると次の動作を行います。

- 対応する送信メッセージ・バッファのTRQビットが自動的にクリア（0）されます。
- 対応する送信メッセージ・バッファの割り込み許可ビット（IE）がセット（1）されている場合，C0INTSレジスタの送信完了ステータス・ビットCINTS0がセット（1）されます。
- C0IE.CIE0ビットをセット（1），かつ対応する送信メッセージ・バッファの割り込み許可ビット（IE）がセット（1）されている場合，INTRRX1の割り込み要求信号が出力されます。

19. 10. 2　送信ヒストリ・リスト機能

送信ヒストリ・リスト機能は，データ・フレームまたはリモート・フレームを送信するごとに送信ヒストリ・リスト（THL）へメッセージ・バッファ番号の記録を行います。THLは，最大7メッセージ分の格納エレメントと，送信ヒストリ・リスト書き込みポインタ（LOPT）に対応するC0LOPTレジスタおよび送信ヒストリ・リスト読み出しポインタ（TGPT）に対応するC0TGPTレジスタで構成されます。

初期化モードから任意の動作モードへの遷移直後，THLは不定です。

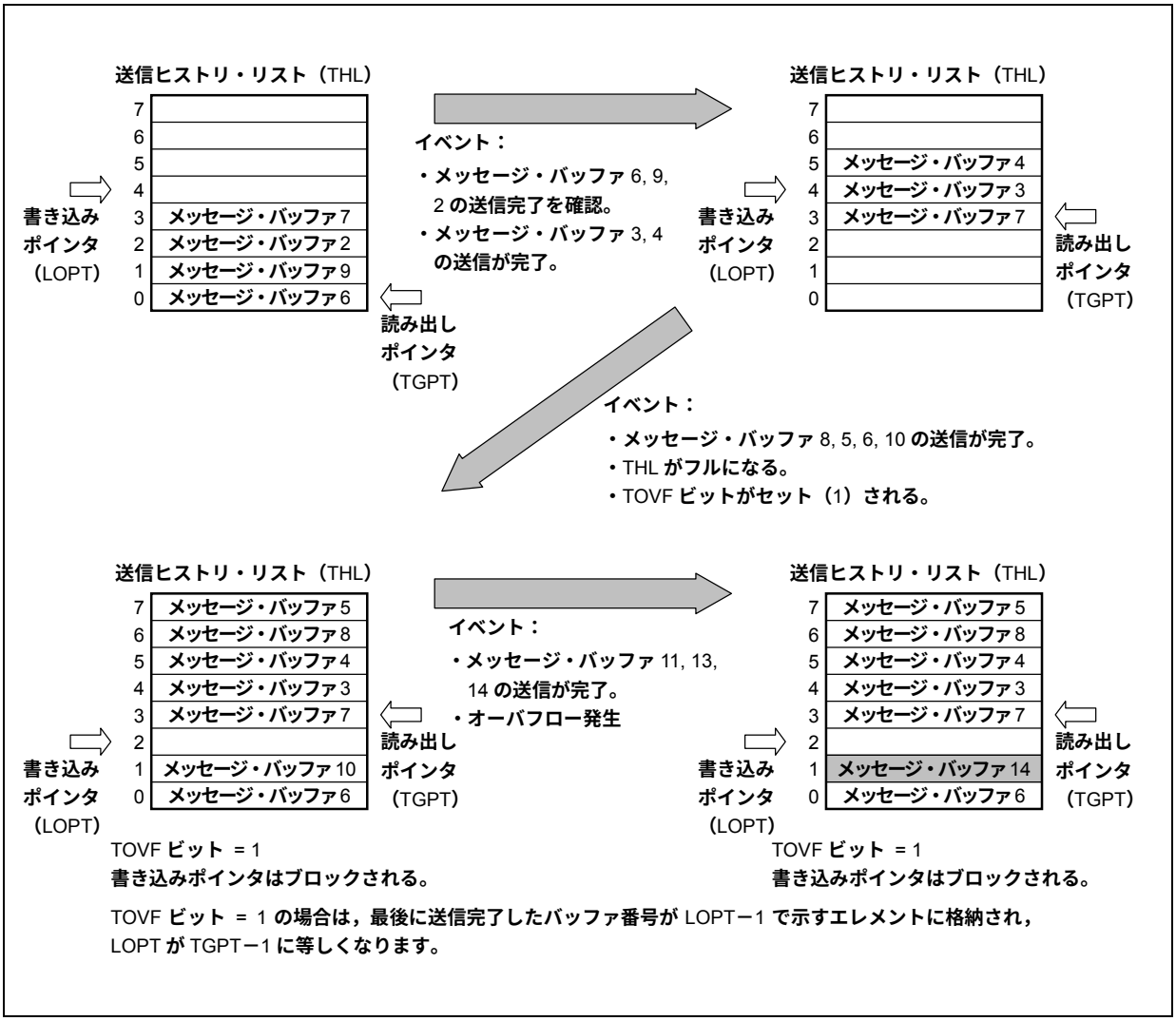
C0LOPTポインタは，LOPTポインター1で示されるTHLエレメントの内容を保持しますので，C0LOPTレジスタを読み出すことで一番最後に送信したメッセージ・バッファ番号を知ることができます。LOPTポインタは，THLにおけるメッセージ・バッファ番号の記録先を示す書き込みポインタとして機能します。データ・フレームあるいはリモート・フレームの送信完了が発生すると，対応するメッセージ・バッファ番号がLOPTポインタで示されるTHLエレメントに記録されます。THLへの記録が完了するごとに，LOPTポインタは自動的にインクリメントされます。このように送信完了を行ったメッセージ・バッファの番号は時系列的に記録されていきます。

TGPTポインタは，記録されたメッセージ・バッファ番号をTHLから読み出す際の読み出しポインタとして機能します。TGPTポインタはCPUがまだ読み出しを行っていない最初のTHLエレメントを示しています。ソフトウエアにより，C0TGPTレジスタを読み出すことにより，送信完了したメッセージ・バッファの番号を読み出すことができます。C0TGPTレジスタからメッセージ・バッファ番号を読み出すごとに，TGPTポインタは自動的にインクリメントされます。

TGPTポインタとLOPTポインタが一致した場合には，C0TGPT.THPMビット（送信ヒストリ・リスト・ポインター致）がセット（1）されます。THPMビットがセット（1）されていることで，THLには読み出していないメッセージ・バッファ番号が残っていないことを知ることができます。また，送信完了により新しくメッセージ・バッファ番号の記録が行われると，LOPTポインタがインクリメントされポインタが一致しなくなり，THPMビットはクリア（0）されます。つまり，THL内には未読のメッセージ・バッファ番号が存在することになります。

また，インクリメントされたLOPTポインタがTGPTポインター1と一致した場合には，C0TGPTレジスタのTOVFビット（送信ヒストリ・リスト・オーバフロー）がセット（1）されます。この状態は，まだ読み出されていないメッセージ・バッファ番号でTHLがフルに記録されている状態を示します。さらに，メッセージの送信完了が新たに発生すると，最後に記録したメッセージ・バッファ番号を常に上書きすることで新しく送信完了したメッセージ・バッファ番号の記録を継続します。したがって，TOVFビットがセット（1）されたあと，THLに保持しているメッセージ・バッファ番号は完全に時系列にはならなくなります。ただし，その場合でもCPUはすべての送信バッファをサーチすることで送信完了したメッセージ・バッファの番号を特定することができます（CPUが送信再設定を行う前に実行）。TOVFビットに関わらず6つの送信メッセージ・バッファ番号はTHLに保存されます。

図19－31　送信ヒストリ・リスト



19. 10. 3　自動ブロック送信機能（ABT：Automatic Block Transmission）

自動ブロック送信機能（以降，ABTと記述）は，CPUを介さずに複数のデータ・フレームを連続的に送信することができる機能です。ABT用に割り付けられる送信メッセージ・バッファ数は，メッセージ・バッファ0からメッセージ・バッファ7までの8メッセージ固定です。

ABTは，C0CTRL.OPMODE2-OPMODE0ビットを010Bに設定することで，“自動ブロック送信機能付き通常動作モード”（以降，ABT付き通常動作モードと記述）に選択できます。

ABTの送信要求を発行する前にソフトウエアにより，メッセージ・バッファを定義してください。ABT用のすべてのメッセージ・バッファに対して，C0MCONFm.MA0ビットをセット（1）し，さらにC0MCONFm.MT2-MT0ビットに000Bを設定し送信メッセージ・バッファとして定義してください。ABT用メッセージ・バッファで使用されるIDは，すべてのメッセージ・バッファのIDが同一として使用する場合でも，必ず同一のIDを設定してください。また，複数のIDを使用する場合は，C0MIDLm, C0MIDHmレジスタで各メッセージ・バッファのIDを設定して使用してください。C0MDLCmレジスタおよびC0MDATA0m-C0MDATA7mレジスタは，ABTモードでABTの送信要求の発行前に設定してください。

ABT用のメッセージ・バッファの初期化が終了したあとに，C0MCTRLm.RDYビットをセット（1）してください。ABTでは，C0MCTRLm.TRQビットをソフトウエアにより設定する必要はありません。

ABT用のメッセージ・バッファにデータを準備したあと，自動ブロック送信は，C0GMABT.ABTTRGビットをセット（1）することで開始されます。ABTが開始されると，最初のメッセージ・バッファ（メッセージ・バッファ0）のTRQビットが自動的にセット（1）され送信が始まります。メッセージ・バッファ0の送信が終了したら，次のメッセージ・バッファ1のTRQビットが自動的にセットされ，以降順次送信を行います。

このとき，連続送信中の送信要求（TRQビット）の自動セットをする間隔にプログラマブルで遅延の挿入ができます。挿入する遅延量はC0GMABTDレジスタで設定を行い，単位はDBT（データ・ビット・タイム）です。DBTはC0BRPレジスタおよびC0BTRレジスタで設定される時間に依存します。

ABTは，ABT送信IDの優先順位の検索は行わず，メッセージ・バッファ0から最大メッセージ・バッファ7まで順に送信し，メッセージ・バッファ7からのデータ・フレームの送信が完了すると，ABTTRGビットは自動的にクリア（0）され，ABT送信が完了します。

ABT送信中に，ABT用メッセージ・バッファの中にRDYビットがクリア（0）されたメッセージ・バッファがあると，そのメッセージ・バッファからの送信を行わずにABT送信を停止しABTTRGビットがクリアされます。そのあと，ソフトウエアによりRDYビットをセット（1）し，ABTTRGビットをセット（1）することでABT送信を停止したメッセージ・バッファからの送信を再開させることができます。停止したメッセージ・バッファから送信を再開させたくない場合は，ABT送信が停止しABTTRGビットがクリア（0）された状態でC0GMABT.ABTCLRビットをセット（1）することで内部のABT送信エンジンをリセットすることができます。この場合，ABTCLRビットをクリア（0）後，ABTTRGビットをセット（1）するとメッセージ・バッファ0から送信を開始します。

ABT用のすべてのメッセージ・バッファからデータ・フレームが送信されたことを確認するためには割り込みを使用できます。このとき，最後のメッセージ・バッファ以外のC0MCTRLm.IEビットをクリア（0）しておく必要があります。

ABT用メッセージ・バッファ以外の送信メッセージ・バッファ（メッセージ・バッファ8-メッセージ・バッファ31）が送信メッセージ・バッファに割り付けられている場合は，現在送信が保留されているABT用メッセージ・バッファの送信IDとそれらABT用メッセージ・バッファ以外の送信ID間の優先順位判定により，最終的に送信されるメッセージの優先順位が決定されます。

ABT用メッセージ・バッファからのデータ・フレームの送信は，送信ヒストリ・リスト（THL）に記録されません。

注意1. ABT付き通常動作モードをメッセージ・バッファ0から再開するためには，ABTTRGビットがクリア（0）されている状態でABTCLRビットをセット（1）してください。ABTTRGビットがセット（1）されている状態で，ABTCLRビットをセット（1）した場合には，以降の動作を保証しません。

2. ABTCLRビットのセット（1）による自動ブロック送信エンジンのクリアは，クリア要求の処理が完了した時点でABTCLRビットがただちに自動的にクリア（0）されます。

3. 初期化モード中にはABTTRGビットを設定しないでください。初期化モード中にABTTRGビットを設定した場合，初期化モードからABTモードへの移行後の正常動作は保証しません。

4. ABT付き通常動作モードでは，ABT用メッセージ・バッファのTRQビットはソフトウエアでセット（1）しないでください。セットした場合には動作は保証しません。

5. C0GMABTDレジスタは，ABTモードにおいて順次送信するABT用の各メッセージに対しメッセージ番号順に送信要求をセットする際の，前ABTメッセージの送信完了から，次のABTメッセージのTRQビットのセットまでの期間に挿入される遅延量を設定するものです。実際にCANバス上に送信されるタイミングは，他局からの送信状況あるいはABTメッセージ以外のメッセージ（メッセージ・バッファ8-メッセージ・バッファ31）に対する送信要求の設定状況に依存して変化します。

6. ABTメッセージ以外のメッセージに対して送信要求を設定した場合に，かつABT送信による送信要求の自動セットの間隔に遅延が挿入されない場合（C0GMABTDレジスタ = 00H）でも，ABTメッセージ以外のメッセージがABTメッセージとの優先順位の高低によらず送信されることがあります。

7. ABTTRGビット = 1の状態で，RDYビットをクリア（0）しないでください。

8. ABT付き通常動作モード時，他ノードからメッセージを受信した場合，C0GMABTDレジスタ = 00H設定時でも1フレーム分待ってから送信する場合があります。

備考　m = 00-31

19. 10. 4　送信中断処理

備考　m = 00-31

(1) 通常動作モードでの送信中断処理

送信要求を中断する必要がある場合には，C0MCTRLm.TRQビットをクリア（0）します。TRQビットはすぐにクリア（0）されますが，送信中断が成功したかどうかは，CANバス上の送信状態を示すC0CTRL.TSTATビットとC0TGPTレジスタを確認してください（詳細は，図19－45の処理を参照してください）。

(2) 自動ブロック送信機能（ABT）付き通常動作モードでのABT送信以外の送信中断処理

送信要求を中断する必要がある場合には，最初にC0GMABT.ABTTRGビットをクリア（0）します。ABTTRGビットがクリア（0）されたことを確認したあとで，C0MCTRLm.TRQビットをクリア（0）します。TRQビットはすぐにクリア（0）されますが，送信中断が成功したかどうかは，CANバス上の送信状態を示すC0CTRL.TSTATビットとC0TGPTレジスタを確認してください（詳細は，図19－46の処理を参照してください）。

(3) 自動ブロック送信機能（ABT）付き通常動作モードでの送信中断処理

すでに連続送信が開始されたABTを中断する必要がある場合は，C0GMABT.ABTTRGビットをクリア（0）します。この場合，ABTTRGビットは，現在ABTメッセージの送信であれば，送信が完了（成功，失敗問わず）するまでABTTRGビット = 1を保持し，送信が完了した時点でABTTRGビットはクリア（0）されます。これによりABT送信が中断されます。

送信中断前に最後に行った送信が成功した場合，ABT付き通常動作モードでは内部のABTポインタは次に送信されるメッセージ・バッファを指したままになっています。

送信中断の際に送信エラーがあった場合は，内部ABTポインタは最後に送信されたメッセージ・バッファのTRQビットの状態に依存します。ABTTRGビットのクリア（0）要求をする時点で，TRQビットがセット（1）されている場合には，内部ABTポインタは送信中断前に最後に送信されたメッセージ・バッファを指しています（詳細は，図19－47の処理を参照してください）。ABTTRGビットのクリア（0）要求をする時点でTRQビットがクリア（0）されている場合には，内部ABTポインタは＋1インクリメントされ，ABT領域の次のメッセージ・バッファを指します（詳細は，図19－47の処理を参照してください）。

注意　ABT送信の中断は，必ずABTTRGビット = 0によって行ってください。RDYクリアによる送信中断を要求した場合は，動作を保証しません。

ABT中断後にABTTRGビットをセット（1）することでABT付き通常動作モードが再開する場合，再開後に送信されるABTメッセージ・バッファは次の通りです。

ABT用メッセージ・バッファのTRQの状態	成功送信完了後に中断	送信エラー後に中断
セット（1）	ABT領域の次のメッセージ・バッファ注	ABT領域の同じメッセージ・バッファ
クリア（0）	ABT領域の次のメッセージ・バッファ注	ABT領域の次のメッセージ・バッファ注

注　ABT領域に，ABT送信が可能な状態のメッセージ・バッファが存在する場合のみ，上記中断後の再開動作が可能です。たとえば，メッセージ・バッファ7のABT送信中に発行された中断要求は，メッセージ・バッファ7の送信が成功完了した場合は，ABTTRGビット = 0となっても中断ではなくABT送信の完了とみなされます。また，ABT領域の次のメッセージ・バッファのC0MCTRLm.RDYビットがクリア（0）されている場合などは，内部ABTポインタは保持されますが，ABTTRGビットをセット（1）しても再開動作は行わずにただちにABT送信を終了します。

備考　m = 00-31

19. 10. 5　リモート・フレーム送信

リモート・フレームは，送信メッセージ・バッファからのみ送信することができます。C0MCONFm.RTRビットにより，データ・フレーム送信かリモート・フレーム送信かを設定します。RTRビットをセット（1）することにより，リモート・フレーム送信ができます。

備考　m = 00-31

19. 11　パワー・セーブ・モード

19. 11. 1　CANスリープ・モード

CANスリープ・モードにより，CANコントローラを待機状態にすることで消費電力を低減することができます。CANスリープ・モードは，すべての動作モードから移行することができます。CANスリープ・モードが解除されても，CANスリープ・モードに移行前と同じ動作モードを保持します。

CANスリープ・モードでは，送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANスリープ・モードへの移行

C0CTRL.PSMODE1, PSMODE0ビットを01Bに設定することで，CANスリープ・モードの要求を行います。この要求は次の場合に受け付けられます。

(i) CANモジュールがすでに次の動作モードにある場合

- 通常動作モード
- ABT付き通常動作モード
- 受信オンリー・モード
- シングル・ショット・モード
- セルフ・テスト・モード
- 上記のすべての動作モードにおいてCANストップ・モードである

(ii) CANバス状態がバス・アイドルの場合（インタフレーム・スペースの4ビット目がレセシブである）注

注　CANバスがドミナントに固着している場合には，CANスリープ・モードへの移行要求は保留されます。また，CANストップ・モードではCANスリープ・モードへの遷移はCANバスの状態には依存しません。

（iii）送信要求が保留されていない

上記の条件の1つでも満たされない場合は，次のように動作します。

- 初期化モードにおいてCANスリープ・モードの要求が行われた場合，その要求は無視され初期化モードのままになります。
- 任意の動作モードにおいてCANバス状態がバス・アイドルではない（CANバス状態が送信中または受信中）ときにCANスリープ・モードの要求が行われた場合，CANスリープ・モードへただちに移行しません。その場合，CANスリープ・モードの要求はCANバス状態がバス・アイドル（インタフレーム・スペースの4ビット目がレセシブ）になるまで保留されます。CANスリープ・モードの要求を行ってから実際に移行が完了するまでは，PSMODE1, PSMODE0ビットは00Bの設定のままになっていますが，移行が完了するとPSMODE1, PSMODE0ビット = 01Bになります。
- 任意の動作モードにおいて，初期化モード遷移要求とCANスリープ・モード要求が同時に発行された場合には，初期化モード遷移要求のみが有効となり，CANモジュールは所定のタイミングで初期化モードに移行します。このときCANスリープ・モード要求は保留されず無視されます。
- 初期化モード遷移要求とCANスリープ・モード要求が同時に発行されなかった場合（つまり最初に発行された一方の要求がまだ受け付けられていない状態で他方の要求が発行された場合）でも初期化モード遷移要求はCANスリープ・モード要求より優先されます。たとえば，CANスリープ・モード要求が保留され実行が保留されている状態で初期化モード遷移要求が発行された場合，初期化モード遷移要求の発行時点でCANスリープ・モード要求はただちに無効となります。また，初期化モード遷移要求が保留されている状態でCANスリープ・モード要求が発行された場合，CANスリープ・モード要求の発行時点でただちにCANスリープ・モード要求が無効になります。

（2）CANスリープ・モードの状態

CANスリープ・モードへ移行後は，CANモジュールは次の状態となります。

- 内部動作クロックが停止し，低消費電力状態となります。
- CANバスからのウエイク・アップのためにCAN受信端子（CRXD0）の立ち下がりエッジ検出は機能しています。
- CPUからのウエイク・アップのためにPSMODE1, PSMODE0ビットは書き込みができますが，それ以外のCANモジュール・レジスタおよびビットには書き込みができません。
- CAN0モジュール・レジスタからの読み出しは，C0LIPT, C0RGPT, C0LOPT, C0TGPTレジスタを除いて可能です。
- CAN0メッセージ・バッファ・レジスタは書き込みと読み出しができません。
- 初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANスリープ・モードの解除

CANスリープ・モードは次の動作により解除されます。

- PSMODE1, PSMODE0ビットに00Bを設定した場合
- CAN受信端子（CRXD0）の立ち下がりエッジの検出（レセシブからドミナントへのCANバス変化）

注意　立ち下がりエッジが受信メッセージのSOFであった場合，そのメッセージの受信および格納は行われません。CANスリープ・モード中，CANへのクロックが停止されていると，CPUによりCANへのクロックを供給されない限り，CANスリープ・モードは解除されずPSMODE1, PSMODE0ビットは01Bのままとなります。また，それ以降の受信メッセージも受信されません。

CANスリープ・モードが解除されたあとは，CANスリープ・モードが要求される前の動作モードに戻り，PSMODE1, PSMODE0ビットは00Bにリセットされます。CANスリープ・モードが，CANバス変化によって解除された場合，C0IE.CIEビットに関わらずC0INTS.CINTS5ビットがセット（1）されます。またCANスリープ・モード解除後は，CANモジュールは自動的にCANバス上に連続した11ビットのレセシブを検出することでCANバスへの再参加を行います。

CANスリープ・モードのときに初期化モードの要求が行われると，その要求は無視されます。初期化モードに移行させるにはソフトウエアによりCANスリープ・モードをいったん解除してください。

19. 11. 2　CANストップ・モード

CANストップ・モードにより，CANコントローラを待機状態にすることで消費電力を低減することができます。CANストップ・モードは，CANスリープ・モードからのみ移行することができます。CANストップ・モードを解除することによって，CANスリープ・モードに移行します。

CANストップ・モードは，C0CTRL.PSMODE1, PSMODE0ビットを01Bに設定することでのみ解除（CANスリープ・モードへの移行）が可能で，CANバスの変化によっては解除されません。送信要求が発行または保留されていてもメッセージを送信しません。

(1) CANストップ・モードへの移行

PSMODE1, PSMODE0ビットを11Bに設定することで，CANストップ・モードの要求を行います。CANストップ・モードの要求は，CANモジュールがCANスリープ・モードの場合のみ受け付けられます。CANスリープ・モードでない状態では，CANストップ・モードの移行要求は無視されます。

注意　CANストップ・モード移行のためには，CANモジュールがCANスリープ・モードであることが必要です。その確認のためにPSMODE1, PSMODE0ビット = 01Bであることを確認したあとに，CANストップ・モード要求を行ってください。ただし，これらの処理の間にCAN受信端子（CRXD0）のバス変化が発生した場合，CANスリープ・モードが自動的に解除されますので，その場合にはCANストップ・モード要求は受け付けられなくなります。

(2) CANストップ・モードの状態

CANストップ・モードへ移行後は，CANモジュールは次の状態となります。

- 内部動作クロックが停止し，低消費電力状態となります。
- CPUからのウエイク・アップのためにPSMODE1, PSMODE0ビットは書き込みができますが，それ以外のCAN0モジュール・レジスタおよびビットには書き込みができません。
- CAN0モジュール・レジスタからの読み出しは，C0LIPT, C0RGPT, C0LOPT, C0TGPTレジスタを除いて可能です。
- CAN0メッセージ・バッファ・レジスタは書き込みと読み出しができません。
- 初期化モードへの移行要求は受け付けられません。無視されます。

(3) CANストップ・モードの解除

CANストップ・モードは，PSMODE1, PSMODE0ビットを01Bに設定することによってのみ解除されます。解除後はCANスリープ・モードに移行します。

CANストップ・モードのときに初期化モードの要求が行われると，その要求は無視されます。初期化モードに移行させるにはソフトウエアによりCANストップ・モードを解除し，さらにCANスリープ・モードを解除してください。CANストップ・モードからCANスリープ・モードを経ずに直接任意の動作モードに移行することはできません。そのような移行要求は無視されます。

19. 11. 3　パワー・セーブ・モード使用例

アプリケーション・システムにおいて，消費電力を低減するためにCPUをパワー・セーブ・モードに設定することが必要となる場合があります。このとき，CANモジュール固有のパワー・セーブ・モードとCPU固有のパワー・セーブ・モードを連携させることで，パワー・セーブ状態のCPUをCANバスからウエイク・アップさせることが可能です。

次に使用例を説明します。

まず，CANモジュールをCANスリープ・モードに移行させます（PSMODE1, PSMODE0ビット= 01B）。次に，CPUをパワー・セーブ・モードに移行させます。この状態で，CRXD0信号がレセシブからドミナントへのエッジ変化を検出した場合，CANモジュールのCINTS5ビットがセット（1）され，さらにC0CTRL.CIE5ビットがセット（1）されている場合には，ウエイク・アップ割り込み（INTC0WUP）が発生します。CANモジュールは，CANスリープ・モードが自動的に解除（PSMODE1, PSMODE0ビット= 00B）され，通常動作モードに復帰します。一方，CPUはINTC0WUPを受けて，CPU自身のパワー・セーブ・モードを解除し，通常動作モードに復帰することができます。

CPUのさらなる消費電力の低減を図るために，CANモジュールを含めた内部クロックを停止させることがあります。この場合，前述のように，CANモジュールをCANスリープ・モードに移行させたあとに，CANモジュールに供給されている動作クロックを停止します。その後，CPUはCPUへのクロック供給を停止するパワー・セーブ・モードに移行させます。この状態で，CRXD0信号がレセシブからドミナントへのエッジ変化を検出した場合，CANモジュールはクロック供給がない状態でもCINTS5ビットのセット（1）とウエイク・アップ割り込み（INTC0WUP）を発生することが可能です。ただし，それ以外の機能は，CANモジュールへのクロック供給が止まっているため動作せず，CANスリープ・モード状態を維持します。CPUは，INTC0WUPを受けて，CPUのパワー・セーブ・モードを解除し，たとえば発振安定時間経過後に，CANモジュールへのクロックを含めた内部クロックの供給を再開し，所定の命令実行動作を開始します。CANモジュールは，クロック供給が再開されるとただちにCANスリープ・モードを解除し，通常動作モード（PSMODE1, PSMODE0ビット= 00B）に復帰します。

19. 12　割り込み機能

CANモジュールには，6つの割り込み要因があります。

これらの割り込み要因の発生は，割り込みステータス・レジスタに格納されます。6つの割り込み要因から，4つの割り込み要求が発生します。複数の割り込み要因が集約されている割り込み要求信号の発生時には，割り込みステータス・レジスタを使用して，割り込み要因の特定ができます。割り込み要因の発生後，ソフトウエアにより対応する割り込みステータス・ビットをクリア（0）する必要があります。

表19－20　CANモジュール割り込み要因一覧

No.	割り込みステータス・ビット		割り込み許可ビット		割り込み要求信号	割り込み要因の説明
	ビット名	レジスタ	ビット名	レジスタ		
1	CINTS0[注1]	C0INTS	CIE0[注1]	C0IE	INTC0TRX	メッセージ・バッファmからのメッセージ・フレームの正常な送信完了割り込み
2	CINTS1[注1]	C0INTS	CIE1[注1]	C0IE	INTC0REC	メッセージ・バッファmへの有効なメッセージ・フレーム受信完了割り込み
3	CINTS2	C0INTS	CIE2	C0IE	INTC0ERR	CANモジュール・エラー状態割り込み[注2]
4	CINTS3	C0INTS	CIE3	C0IE		CANモジュール・プロトコル・エラー割り込み[注3]
5	CINTS4	C0INTS	CIE4	C0IE		CANモジュール・アービトレーション・ロスト割り込み
6	CINTS5	C0INTS	CIE5	C0IE	INTC0WUP	CANスリープ・モードからのウエイク・アップ割り込み[注4]

注1.　メッセージ・バッファでは，割り込みを発生させたいメッセージ・バッファのC0MCTRL.IEビット（メッセージ・バッファ割り込み許可ビット）をセット（1）する必要があります。

2.　送受信エラー・カウンタがワーニング・レベル，エラー・パッシブおよびバスオフ状態になることが要因で発生する割り込みです。

3.　スタッフ・エラー，フォーム・エラー，ACKエラー，ビット・エラー，CRCエラーが要因で発生する割り込みです。

4.　CAN受信端子の立ち下がりエッジの検出（レセシブからドミナントへのCANバス変化）によるCANスリープ・モードからのウエイク・アップが要因で発生する割り込みです。

備考　m = 00-31

19. 13　診断機能と特殊動作モード

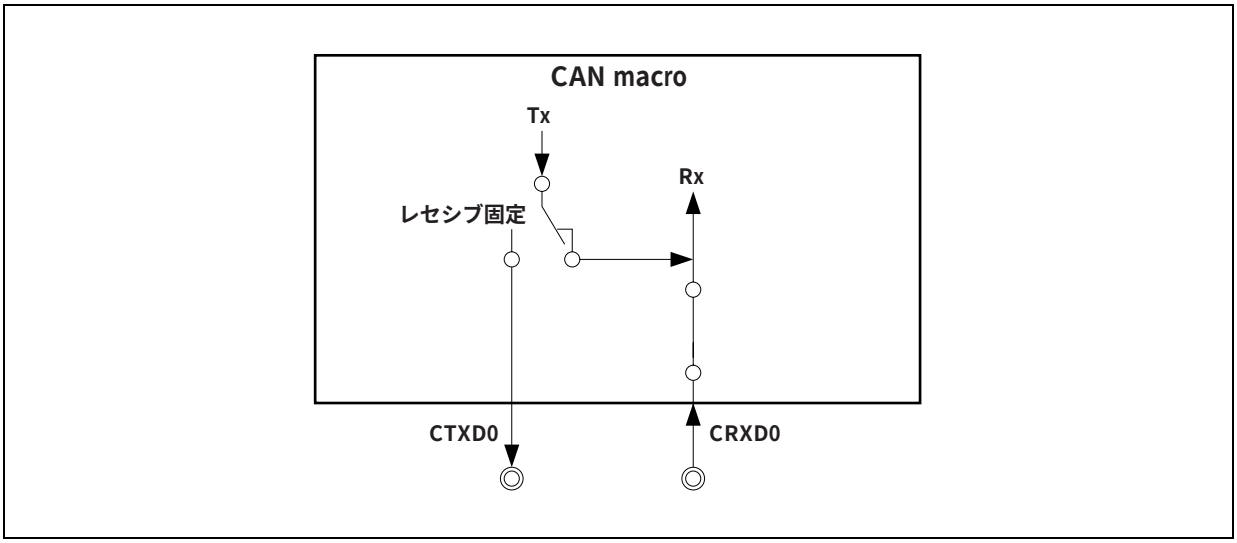
CANモジュールは，CANバス診断機能および特殊なCAN通信方法の動作をサポートするための受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モードを利用できます。

19. 13. 1　受信オンリー・モード

受信オンリー・モードは，CANバスに影響を与えずに受信メッセージをモニタするモードで，CANバス分析ノード用に使用できます。

たとえば，自動ボー・レート検出に利用できます。“ 有効な受信 ”が検出されるまでCANモジュールのボー・レートを変化させ，互いのボー・レートを合わせ込むことができます（“ 有効な受信 ”とは，エラーが発生せず，CANバスに接続されたノードによる適切なACK応答を伴って，CANプロトコル・レイヤ層で受信されたメッセージ・フレームを意味します）。有効な受信では，受信メッセージ・バッファ（データ・フレーム）または送信メッセージ・バッファ（リモート・フレーム）へのメッセージ・フレームの格納は必要ありません。有効な受信は，C0CTRL.VALIDビットがセット（1）されることで確認できます。

図19－32　受信オンリー・モードにおけるCAN端子接続



受信オンリー・モードは，CANモジュールからCANバスにメッセージ・フレームは送信しません。送信メッセージ・バッファとして定義されたメッセージ・バッファに発行された送信要求は保留されます。

受信オンリー・モードでは，CANモジュールのCAN送信端子（CTXD0）は，レセシブ・レベルに固定されています。したがって，メッセージ・フレームの受信中にCANバス・エラーが検出された場合でも，CANモジュールからアクティブ・エラー・フラグをCANバスに送信しません。また，CANモジュールから送信を発行できないため，送信エラー・カウンタC0ERC.TEC7-TEC0ビットは更新されません。したがって，受信オンリー・モードのCANモジュールは，バス・オフ状態になりません。

さらに，受信オンリー・モードは，有効なメッセージ・フレームの受信時に，CANバスにACKを返却しません。内部的には自ノードはACKを送信したと認識します。オーバロード・フレームをCANバスに送信することができません。

注意　2つのCANノードのみがCANバスに接続されており，CANノードの1つが「受信オンリー・モード」で動作している場合は，CANバスでACK応答はありません。ACK応答がないため，送信ノードはアクティブ・エラー・フラグを送信し，メッセージ・フレームの送信を繰り返します。送信ノードは，メッセージ・フレームを16回送信したあとにエラー・パッシブになります（エラー・カウンタが最初に0であり，ほかのエラーが発生しなかった場合）。メッセージ・フレームの17回目を送信したあとに，送信ノードはパッシブ・エラー・フラグを送信します。したがって，受信オンリー・モードの受信ノードは，この時点で，初めて有効なメッセージ・フレームを検出することになり，VALIDビットが初めてセット（1）されます。

19. 13. 2　シングル・ショット・モード

シングル・ショット・モードは，CANプロトコルで定義された自動再送信は行いません（CANプロトコルでは，アービトレーション・ロスト発生またはエラー発生によって中止されたメッセージ・フレーム送信は，ソフトウエアによる制御なしで再送信される必要があります）。シングル・ショット・モードのそのほかの動作は通常動作モードと同一です。シングル・ショット・モードの機能はABT付き通常動作モードでは使用できません。

シングル・ショット・モードは，C0CTRL.ALビットの設定に従って，中止されたメッセージ・フレーム送信の再送信を無効にします。ALビットがクリア（0）されている場合は，アービトレーション・ロスト発生時またはエラー発生時の再送信が無効になります。ALビットがセット（1）されている場合は，エラー発生時の再送信は無効になりますが，アービトレーション・ロスト発生時の再送信は有効になります。したがって，送信メッセージ・バッファとして定義されたメッセージ・バッファのC0MCTRLm.TRQビットは，次のイベントでクリア（0）されます。

- メッセージ・フレームの正常送信完了
- メッセージ・フレームのアービトレーション・ロスト発生（ALビット = 0）
- メッセージ・フレーム送信中のエラー発生

アービトレーション・ロスト発生とエラー発生は，C0INTS.CINTS4, CINTS3ビットを確認し，エラーの種類はC0LEC.LEC2-LEC0ビットをリードすることで区別することができます。

メッセージ・フレームの送信完了時，C0INTSレジスタの送信完了割り込みCINTS0ビットは，セット（1）されます。そのとき，C0IE.CIE0ビットがセット（1）されている場合には，割り込み要求信号が出力されます。

シングル・ショット・モードは，タイム・トリガの通信方法（TTCANレベル1など）をエミュレートするために使用することができます。

注意　ALビットは，シングル・ショット・モード時のみ有効です。その他の動作モードでは，アービトレーション・ロスト時の再送動作に影響を与えません。

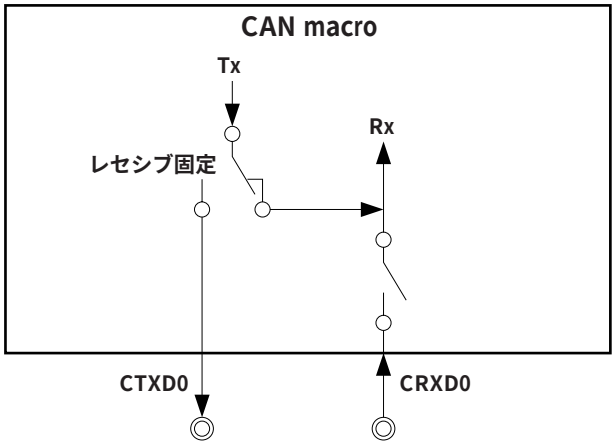
19. 13. 3　セルフ・テスト・モード

セルフ・テスト・モードは，CANノードをCANバスに接続することなく，つまり，CANバスに影響を与えずにメッセージ・フレーム送信とメッセージ・フレーム受信をテストすることができます。

セルフ・テスト・モードは，CANモジュールがCANバスから完全に切断されていますが，内部的に送信と受信はループ・バックされています。CAN送信端子（CTXD0）は，レセシブ・レベルに固定されています。

ただし，セルフ・テスト・モードでCANスリープ・モードに移行したあと，CAN受信端子（CRXD0）の立ち下がりエッジの検出をすると，ほかの動作モードと同様にCANスリープ・モードから解除されます。CANスリープ・モードから解除されないようにするには，CAN受信端子（CRXD0）をポートに切り替えて使用してください。

図19－33　セルフ・テスト・モードにおけるCAN端子接続



19 .14　タイム・スタンプ機能

CANは非同期のシリアル通信プロトコルです。したがって，CANバスに接続されているすべてのノードは，それぞれが独自のローカルなクロックを使っています。そのため，各ノードで使われているクロックの間には何の相互関係もありません（つまり各クロックは非同期であり，周波数が完全に合致していないことがあります）。

しかし，アプリケーションによっては，ネットワーク全体で使われる共通タイム・ベース（= グローバル・タイム・ベース）が必要となるものがあります。グローバル・タイム・ベースを確立するためには，タイム・スタンプ機能が用いられます。タイム・スタンプ機能に必要となるメカニズムは，CANバス上の信号をトリガとしてタイマ値をキャプチャすることです。

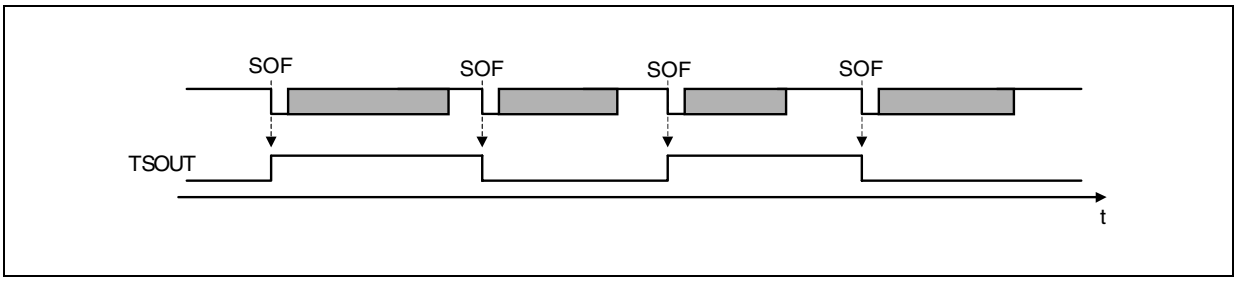
19. 14. 1　タイム・スタンプ機能

CANコントローラは，特定フレームをトリガとしてタイマ値をキャプチャする場合に必要となる機能をサポートしています。そのために，CANコントローラに加え製品に内蔵されている16ビットのキャプチャ／タイマ・ユニットを使用します。この場合，16ビット・キャプチャ・タイマ・ユニットは，CANコントローラからデータ・フレームの受信時に出力されるキャプチャ用のトリガ信号（TSOUT）に応じて，タイマ値をキャプチャします。CPUはそのキャプチャ値を読み出すことにより，キャプチャ・イベントの発生時刻，すなわちCANバスから受信したメッセージのタイム・スタンプを得ることができます。TSOUT信号は，次の2つのイベント・ソースから選択することができ，C0TS.TSSELビットにより指定します。

- SOFイベント　（スタート・オブ・フレーム）　（TSSELビット = 0）
- EOFイベント　（エンド・オブ・フレームの最終ビット）　（TSSELビット = 1）

またTSOUT信号は，C0TS.TSENビットをセット（1）することで動作許可状態になります。

図19－34　キャプチャ用信号TSOUTのタイミング図



TSOUT信号は，データ・フレームの受信時に，選択されたイベントが発生するたびにそのレベルがトグルします（図19－34は，SOFをトリガのイベント・ソースとした場合のタイミング図です）。このTSOUT信号によるキャプチャを行うためには，キャプチャ／タイマ・ユニット側では，キャプチャ信号の検出は立ち上がりおよび立ち下がりの両エッジで行う必要があります。

これらのタイム・スタンプの機能は，C0TS.TSLOCKビットにより制御することができます。TSLOCKビットがクリア（0）されている場合には，選択したイベントが発生するたびにTSOUT信号がトグルします。TSLOCKビットがセット（1）されている場合には，選択したイベントが発生するたびにTSOUT信号がトグルしますが，データ・フレームのメッセージ・バッファ0への受信格納開始時にTSENビットが自動的にクリア（0）されることで，トグル動作を停止させることができます。これにより，以降のTSOUT信号のトグル発生を抑え，最後にトグルした（= 最後にキャプチャした）タイム・スタンプ値を，メッセージ・バッファ0にデータ・フレームを受信した時刻のタイム・スタンプ値として保存することができます。

注意　TSLOCKビットを使ったタイム・スタンプ機能は，メッセージ・バッファ0へのデータ・フレーム受信によりTSOUT信号のトグルを停止させるものです。そのためには，メッセージ・バッファ0は受信メッセージ・バッファとして設定されている必要があります。受信メッセージ・バッファにはリモート・フレームを受信できませんので，リモート・フレーム受信によりTSOUT信号のトグルを停止させることはできません。またメッセージ・バッファ0以外のメッセージ・バッファへのデータ・フレーム受信では，TSOUT信号のトグルは停止しません。
上記の理由で，CANモジュールがABT付き通常モードに設定されている場合には，メッセージ・バッファ0は送信メッセージ・バッファとして設定する必要があるため，メッセージ・バッファ0へのデータ・フレーム受信はできません。したがって，この動作モードではTSLOCKビットによるTSOUT信号のトグルの停止機能は使用できません。

19. 15　ボー・レート設定について

19. 15. 1　ボー・レート設定について

CANを正常に動作させるために，次の条件に設定してください。

(a) 5TQ≦SPT（サンプル・ポイント）≦17TQ
SPT = TSEG1＋1

(b) 8TQ≦DBT（データ・ビット・タイム）≦25TQ
DBT = TSEG1＋TSEG2＋1TQ = TSEG2＋SPT

(c) 1TQ≦SJW（同期ジャンプ幅）≦4TQ
SJW≦DBT－SPT

(d) 4≦TSEG1≦16 [3≦TSEG1[3 : 0]の設定値≦15]

(e) 1≦TSEG2≦8 [0≦TSEG2[2 : 0]の設定値≦7]

備考　TQ = 1/f_{TQ}（f_{TQ}：CANプロトコル・レイヤ基本システム・クロック）
TSEG1 [3 : 0]（C0BTR.TSEG13-TSEG10ビット）
TSEG2 [2 : 0]（C0BTR.TSEG22-TSEG20ビット）

上記条件を満たすビット・レートの組み合わせを表19－21に示します。

表19－21　設定可能なビット・レート組み合わせ

（1/3）

有効なビット・レート設定					C0BTRレジスタ設定値		サンプル・ポイント（単位：%）
DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
25	1	8	8	8	1111	111	68.0
24	1	7	8	8	1110	111	66.7
24	1	9	7	7	1111	110	70.8
23	1	6	8	8	1101	111	65.2
23	1	8	7	7	1110	110	69.6
23	1	10	6	6	1111	101	73.9
22	1	5	8	8	1100	111	63.6
22	1	7	7	7	1101	110	68.2
22	1	9	6	6	1110	101	72.7
22	1	11	5	5	1111	100	77.3
21	1	4	8	8	1011	111	61.9
21	1	6	7	7	1100	110	66.7
21	1	8	6	6	1101	101	71.4
21	1	10	5	5	1110	100	76.2
21	1	12	4	4	1111	011	81.0
20	1	3	8	8	1010	111	60.0
20	1	5	7	7	1011	110	65.0
20	1	7	6	6	1100	101	70.0
20	1	9	5	5	1101	100	75.0
20	1	11	4	4	1110	011	80.0
20	1	13	3	3	1111	010	85.0
19	1	2	8	8	1001	111	57.9
19	1	4	7	7	1010	110	63.2
19	1	6	6	6	1011	101	68.4
19	1	8	5	5	1100	100	73.7
19	1	10	4	4	1101	011	78.9
19	1	12	3	3	1110	010	84.2
19	1	14	2	2	1111	001	89.5
18	1	1	8	8	1000	111	55.6
18	1	3	7	7	1001	110	61.1
18	1	5	6	6	1010	101	66.7
18	1	7	5	5	1011	100	72.2
18	1	9	4	4	1100	011	77.8
18	1	11	3	3	1101	010	83.3
18	1	13	2	2	1110	001	88.9
18	1	15	1	1	1111	000	94.4

表19－21　設定可能なビット・レート組み合わせ

（2/3）

有効なビット・レート設定					C0BTRレジスタ設定値		サンプル・ポイント（単位：%）
DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
17	1	2	7	7	1000	110	58.8
17	1	4	6	6	1001	101	64.7
17	1	6	5	5	1010	100	70.6
17	1	8	4	4	1011	011	76.5
17	1	10	3	3	1100	010	82.4
17	1	12	2	2	1101	001	88.2
17	1	14	1	1	1110	000	94.1
16	1	1	7	7	0111	110	56.3
16	1	3	6	6	1000	101	62.5
16	1	5	5	5	1001	100	68.8
16	1	7	4	4	1010	011	75.0
16	1	9	3	3	1011	010	81.3
16	1	11	2	2	1100	001	87.5
16	1	13	1	1	1101	000	93.8
15	1	2	6	6	0111	101	60.0
15	1	4	5	5	1000	100	66.7
15	1	6	4	4	1001	011	73.3
15	1	8	3	3	1010	010	80.0
15	1	10	2	2	1011	001	86.7
15	1	12	1	1	1100	000	93.3
14	1	1	6	6	0110	101	57.1
14	1	3	5	5	0111	100	64.3
14	1	5	4	4	1000	011	71.4
14	1	7	3	3	1001	010	78.6
14	1	9	2	2	1010	001	85.7
14	1	11	1	1	1011	000	92.9
13	1	2	5	5	0110	100	61.5
13	1	4	4	4	0111	011	69.2
13	1	6	3	3	1000	010	76.9
13	1	8	2	2	1001	001	84.6
13	1	10	1	1	1010	000	92.3
12	1	1	5	5	0101	100	58.3
12	1	3	4	4	0110	011	66.7
12	1	5	3	3	0111	010	75.0
12	1	7	2	2	1000	001	83.3
12	1	9	1	1	1001	000	91.7

表19－21　設定可能なビット・レート組み合わせ

（3/3）

有効なビット・レート設定					C0BTRレジスタ設定値		サンプル・ポイント（単位：%）
DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
11	1	2	4	4	0101	011	63.6
11	1	4	3	3	0110	010	72.7
11	1	6	2	2	0111	001	81.8
11	1	8	1	1	1000	000	90.9
10	1	1	4	4	0100	011	60.0
10	1	3	3	3	0101	010	70.0
10	1	5	2	2	0110	001	80.0
10	1	7	1	1	0111	000	90.0
9	1	2	3	3	0100	010	66.7
9	1	4	2	2	0101	001	77.8
9	1	6	1	1	0110	000	88.9
8	1	1	3	3	0011	010	62.5
8	1	3	2	2	0100	001	75.0
8	1	5	1	1	0101	000	87.5
7注	1	2	2	2	0011	001	71.4
7注	1	4	1	1	0100	000	85.7
6注	1	1	2	2	0010	001	66.7
6注	1	3	1	1	0011	000	83.3
5注	1	2	1	1	0010	000	80.0
4注	1	1	1	1	0001	000	75.0

注　DBT値が7以下の設定は，C0BRPレジスタ = 00H以外の場合のみ有効です。

注意　表19－21は，ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス，CANトランシーバなどの遅延などを考慮して，ネットワーク・システムへの影響を十分に確認してください。

19. 15. 2　代表的なボー・レート設定例

代表的なボー・レート設定例を表19－22および表19－23に示します。

表19－22　代表的なボー・レート設定例（f_{CANMOD} = 8 MHz設定時）

（1/2）

ボー・レート設定値（単位：kbps）	C0BRPレジスタによる分周比	C0BRPレジスタ設定値 TQPRS[7:0]	有効なビット・レート設定(単位：TQ)					C0BTRレジスタ設定値		サンプル・ポイント（単位：%）
			DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
1000	1	00000000	8	1	1	3	3	0011	010	62.5
1000	1	00000000	8	1	3	2	2	0100	001	75.0
1000	1	00000000	8	1	5	1	1	0101	000	87.5
500	1	00000000	16	1	1	7	7	0111	110	56.3
500	1	00000000	16	1	3	6	6	1000	101	62.5
500	1	00000000	16	1	5	5	5	1001	100	68.8
500	1	00000000	16	1	7	4	4	1010	011	75.0
500	1	00000000	16	1	9	3	3	1011	010	81.3
500	1	00000000	16	1	11	2	2	1100	001	87.5
500	1	00000000	16	1	13	1	1	1101	000	93.8
500	2	00000001	8	1	1	3	3	0011	010	62.5
500	2	00000001	8	1	3	2	2	0100	001	75.0
500	2	00000001	8	1	5	1	1	0101	000	87.5
250	2	00000001	16	1	1	7	7	0111	110	56.3
250	2	00000001	16	1	3	6	6	1000	101	62.5
250	2	00000001	16	1	5	5	5	1001	100	68.8
250	2	00000001	16	1	7	4	4	1010	011	75.0
250	2	00000001	16	1	9	3	3	1011	010	81.3
250	2	00000001	16	1	11	2	2	1100	001	87.5
250	2	00000001	16	1	13	1	1	1101	000	93.8
250	4	00000011	8	1	3	2	2	0100	001	75.0
250	4	00000011	8	1	5	1	1	0101	000	87.5
125	4	00000011	16	1	1	7	7	0111	110	56.3
125	4	00000011	16	1	3	6	6	1000	101	62.5
125	4	00000011	16	1	5	5	5	1001	100	68.8
125	4	00000011	16	1	7	4	4	1010	011	75.0
125	4	00000011	16	1	9	3	3	1011	010	81.3
125	4	00000011	16	1	11	2	2	1100	001	87.5
125	4	00000011	16	1	13	1	1	1101	000	93.8
125	8	00000111	8	1	3	2	2	0100	001	75.0
125	8	00000111	8	1	5	1	1	0101	000	87.5

注意　表19－22は，ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス，CANトランシーバなどの遅延などを考慮して，ネットワーク・システムへの影響を十分に確認してください。

表19－22　代表的なボー・レート設定例（f_{CANMOD} = 8 MHz設定時）

（2/2）

ボー・レート設定値（単位：kbps）	C0BRPレジスタによる分周比	C0BRPレジスタ設定値 TQPRS[7:0]	有効なビット・レート設定(単位：TQ)					C0BTRレジスタ設定値		サンプル・ポイント（単位：%）
			DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
100	4	00000011	20	1	7	6	6	1100	101	70.0
100	4	00000011	20	1	9	5	5	1101	100	75.0
100	5	00000100	16	1	7	4	4	1010	011	75.0
100	5	00000100	16	1	9	3	3	1011	010	81.3
100	8	00000111	10	1	3	3	3	0101	010	70.0
100	8	00000111	10	1	5	2	2	0110	001	80.0
100	10	00001001	8	1	3	2	2	0100	001	75.0
100	10	00001001	8	1	5	1	1	0101	000	87.5
83.3	4	00000011	24	1	7	8	8	1110	111	66.7
83.3	4	00000011	24	1	9	7	7	1111	110	70.8
83.3	6	00000101	16	1	5	5	5	1001	100	68.8
83.3	6	00000101	16	1	7	4	4	1010	011	75.0
83.3	6	00000101	16	1	9	3	3	1011	010	81.3
83.3	6	00000101	16	1	11	2	2	1100	001	87.5
83.3	8	00000111	12	1	5	3	3	0111	010	75.0
83.3	8	00000111	12	1	7	2	2	1000	001	83.3
83.3	12	00001011	8	1	3	2	2	0100	001	75.0
83.3	12	00001011	8	1	5	1	1	0101	000	87.5
33.3	10	00001001	24	1	7	8	8	1110	111	66.7
33.3	10	00001001	24	1	9	7	7	1111	110	70.8
33.3	12	00001011	20	1	7	6	6	1100	101	70.0
33.3	12	00001011	20	1	9	5	5	1101	100	75.0
33.3	15	00001110	16	1	7	4	4	1010	011	75.0
33.3	15	00001110	16	1	9	3	3	1011	010	81.3
33.3	16	00001111	15	1	6	4	4	1001	011	73.3
33.3	16	00001111	15	1	8	3	3	1010	010	80.0
33.3	20	00010011	12	1	5	3	3	0111	010	75.0
33.3	20	00010011	12	1	7	2	2	1000	001	83.3
33.3	24	00010111	10	1	3	3	3	0101	010	70.0
33.3	24	00010111	10	1	5	2	2	0110	001	80.0
33.3	30	00011101	8	1	3	2	2	0100	001	75.0
33.3	30	00011101	8	1	5	1	1	0101	000	87.5

注意　表19－22は，ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス，CANトランシーバなどの遅延などを考慮して，ネットワーク・システムへの影響を十分に確認してください。

表19－23　代表的なボー・レート設定例（f_{CANMOD} = 16 MHz設定時）

（1/2）

ボー・レート設定値（単位：kbps）	C0BRPレジスタによる分周比	C0BRPレジスタ設定値 TQPRS[7:0]	有効なビット・レート設定(単位：TQ)					C0BTRレジスタ設定値		サンプル・ポイント(単位：%)
			DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
1000	1	00000000	16	1	1	7	7	0111	110	56.3
1000	1	00000000	16	1	3	6	6	1000	101	62.5
1000	1	00000000	16	1	5	5	5	1001	100	68.8
1000	1	00000000	16	1	7	4	4	1010	011	75.0
1000	1	00000000	16	1	9	3	3	1011	010	81.3
1000	1	00000000	16	1	11	2	2	1100	001	87.5
1000	1	00000000	16	1	13	1	1	1101	000	93.8
1000	2	00000001	8	1	3	2	2	0100	001	75.0
1000	2	00000001	8	1	5	1	1	0101	000	87.5
500	2	00000001	16	1	1	7	7	0111	110	56.3
500	2	00000001	16	1	3	6	6	1000	101	62.5
500	2	00000001	16	1	5	5	5	1001	100	68.8
500	2	00000001	16	1	7	4	4	1010	011	75.0
500	2	00000001	16	1	9	3	3	1011	010	81.3
500	2	00000001	16	1	11	2	2	1100	001	87.5
500	2	00000001	16	1	13	1	1	1101	000	93.8
500	4	00000011	8	1	3	2	2	0100	001	75.0
500	4	00000011	8	1	5	1	1	0101	000	87.5
250	4	00000011	16	1	3	6	6	1000	101	62.5
250	4	00000011	16	1	5	5	5	1001	100	68.8
250	4	00000011	16	1	7	4	4	1010	011	75.0
250	4	00000011	16	1	9	3	3	1011	010	81.3
250	4	00000011	16	1	11	2	2	1100	001	87.5
250	8	00000111	8	1	3	2	2	0100	001	75.0
250	8	00000111	8	1	5	1	1	0101	000	87.5
125	8	00000111	16	1	3	6	6	1000	101	62.5
125	8	00000111	16	1	7	4	4	1010	011	75.0
125	8	00000111	16	1	9	3	3	1011	010	81.3
125	8	00000111	16	1	11	2	2	1100	001	87.5
125	16	00001111	8	1	3	2	2	0100	001	75.0
125	16	00001111	8	1	5	1	1	0101	000	87.5

注意　表19－23は，ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス，CANトランシーバなどの遅延などを考慮して，ネットワーク・システムへの影響を十分に確認してください。

表19－23　代表的なボー・レート設定例（f_{CANMOD} = 16 MHz設定時）

（2/2）

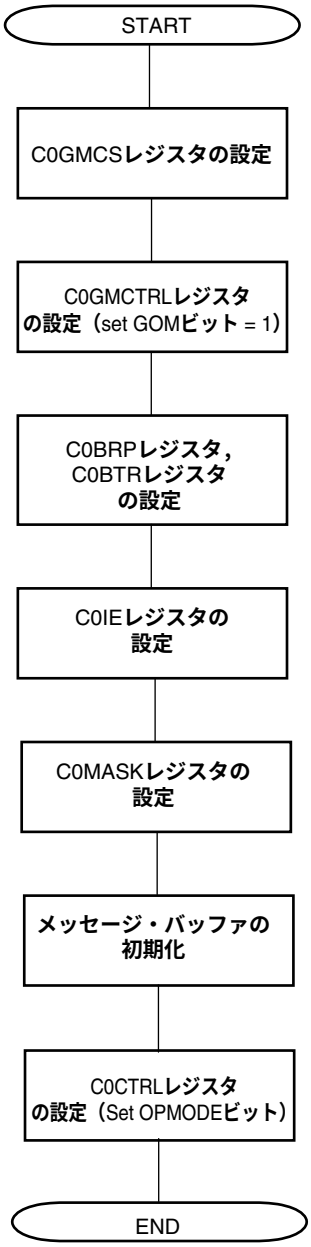
ボー・レート設定値（単位：kbps）	C0BRPレジスタによる分周比	C0BRPレジスタ設定値 TQPRS[7:0]	有効なビット・レート設定(単位：TQ)					C0BTRレジスタ設定値		サンプル・ポイント(単位：%)
			DBTの長さ	SYNC SEGMENT	PROP SEGMENT	PHASE SEGMENT1	PHASE SEGMENT2	TSEG13-TSEG10	TSEG22-TSEG20	
100	8	00000111	20	1	9	5	5	1101	100	75.0
100	8	00000111	20	1	11	4	4	1110	011	80.0
100	10	00001001	16	1	7	4	4	1010	011	75.0
100	10	00001001	16	1	9	3	3	1011	010	81.3
100	16	00001111	10	1	3	3	3	0101	010	70.0
100	16	00001111	10	1	5	2	2	0110	001	80.0
100	20	00010011	8	1	3	2	2	0100	001	75.0
83.3	8	00000111	24	1	7	8	8	1110	111	66.7
83.3	8	00000111	24	1	9	7	7	1111	110	70.8
83.3	12	00001011	16	1	7	4	4	1010	011	75.0
83.3	12	00001011	16	1	9	3	3	1011	010	81.3
83.3	12	00001011	16	1	11	2	2	1100	001	87.5
83.3	16	00001111	12	1	5	3	3	0111	010	75.0
83.3	16	00001111	12	1	7	2	2	1000	001	83.3
83.3	24	00010111	8	1	3	2	2	0100	001	75.0
83.3	24	00010111	8	1	5	1	1	0101	000	87.5
33.3	30	00011101	24	1	7	8	8	1110	111	66.7
33.3	30	00011101	24	1	9	7	7	1111	110	70.8
33.3	24	00010111	20	1	9	5	5	1101	100	75.0
33.3	24	00010111	20	1	11	4	4	1110	011	80.0
33.3	30	00011101	16	1	7	4	4	1010	011	75.0
33.3	30	00011101	16	1	9	3	3	1011	010	81.3
33.3	32	00011111	15	1	8	3	3	1010	010	80.0
33.3	32	00011111	15	1	10	2	2	1011	001	86.7
33.3	37	00100100	13	1	6	3	3	1000	010	76.9
33.3	37	00100100	13	1	8	2	2	1001	001	84.6
33.3	40	00100111	12	1	5	3	3	0111	010	75.0
33.3	40	00100111	12	1	7	2	2	1000	001	83.3
33.3	48	00101111	10	1	3	3	3	0101	010	70.0
33.3	48	00101111	10	1	5	2	2	0110	001	80.0
33.3	60	00111011	8	1	3	2	2	0100	001	75.0
33.3	60	00111011	8	1	5	1	1	0101	000	87.5

注意　表19－23は，ネットワーク・システムの動作を保証するものではありません。発振誤差やCANバス，CANトランシーバなどの遅延などを考慮して，ネットワーク・システムへの影響を十分に確認してください。

19. 16　CANコントローラの動作

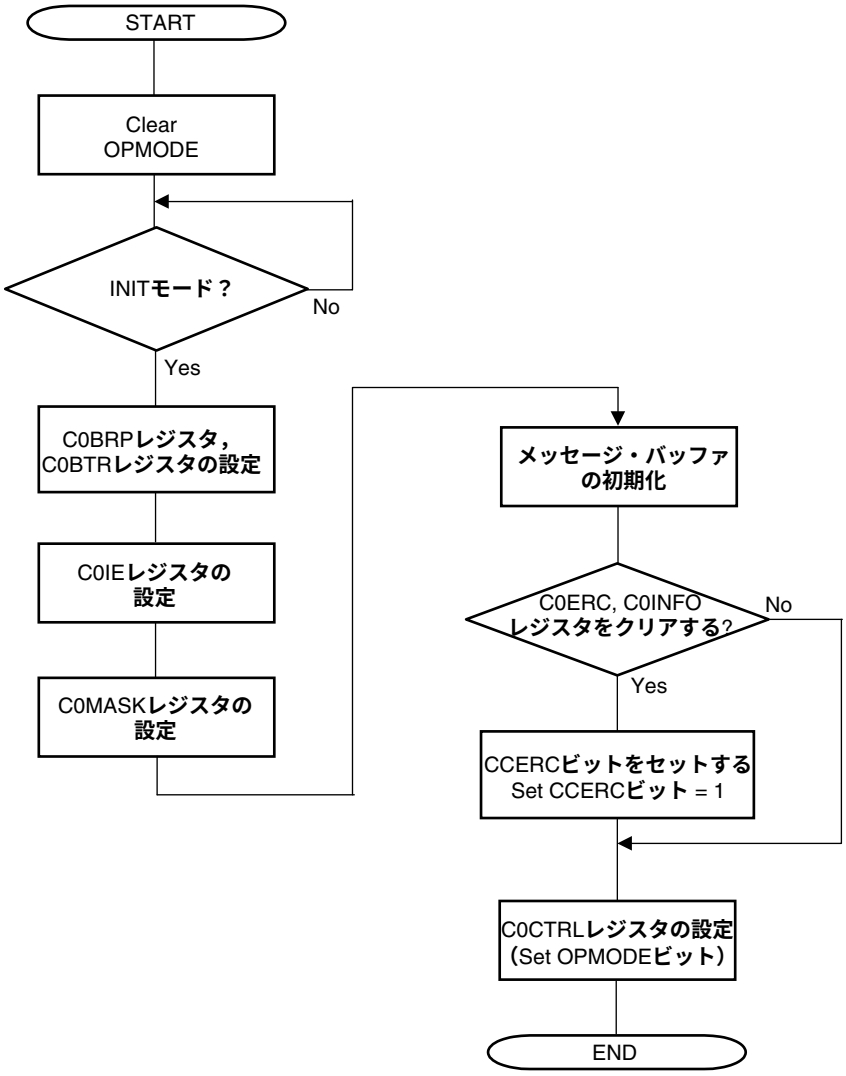
備考　m = 00-31

図19ー35　**初期化**



備考　OPMODE：通常動作モード，ABT付き通常動作モード，受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モード

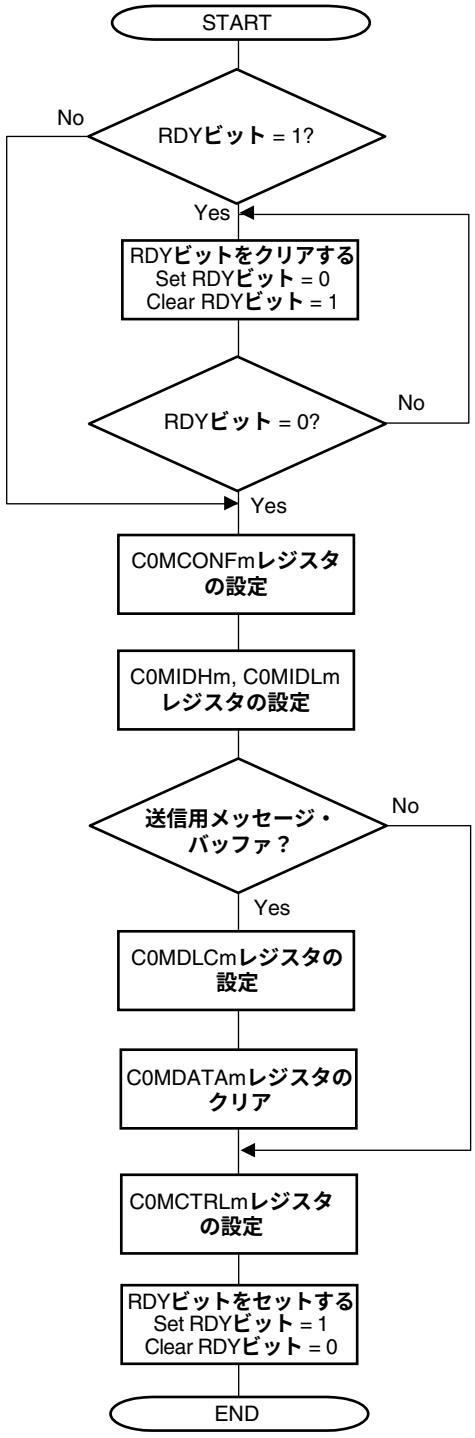
図19－36　再初期化



注意　初期化モードへ移行したあとに，連続して任意の動作モードへ移行しないでください。連続して任意の動作モードへ移行する場合には，必ずC0CTRL，C0GMCTRLレジスタ以外のレジスタへアクセス（メッセージ・バッファの設定など）を行ってください。

備考　OPMODE：通常動作モード，ABT付き通常動作モード，受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モード

図19－37　メッセージ・バッファの初期化



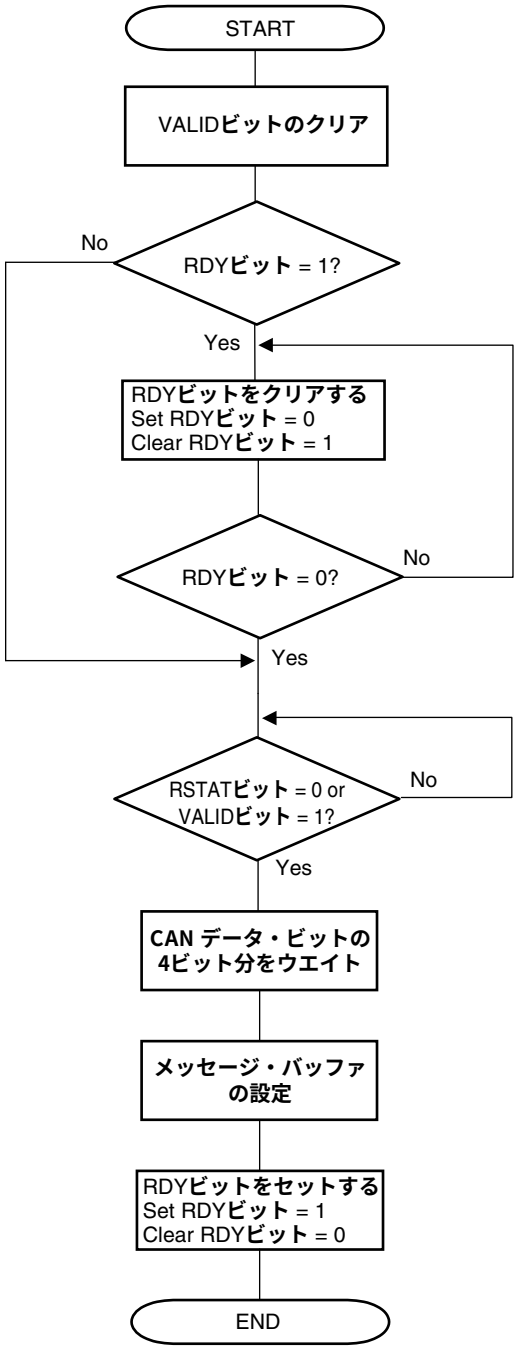
注意 1. **メッセージ・バッファを初期化する前に，**RDY**ビットをクリアしてください。**

2. **アプリケーションで使用しないメッセージ・バッファに対しても次の設定を行ってください。**

- C0MCTRLm.RDY**ビット**, TRQ**ビット**, DN**ビットをクリア（**0**）する。**
- C0MCONFm.MA0**ビットをクリア（**0**）する。**

図19－38は，受信メッセージ・バッファに対する処理です（C0MCONFm.MT2-MT0ビット = 001B-101B）。

図19－38　メッセージ・バッファの再定義



注意　メッセージ受信中に再定義を行った場合は，受信が終わってからRDYビットをセット（1）しなければならないため，受信中であるかを確認する必要があります。

図19－39は，送信中の送信メッセージ・バッファに対する処理です（C0MCONFm.MT2-MT0ビット = 000B）。

図19－39　送信中のメッセージ・バッファの再定義

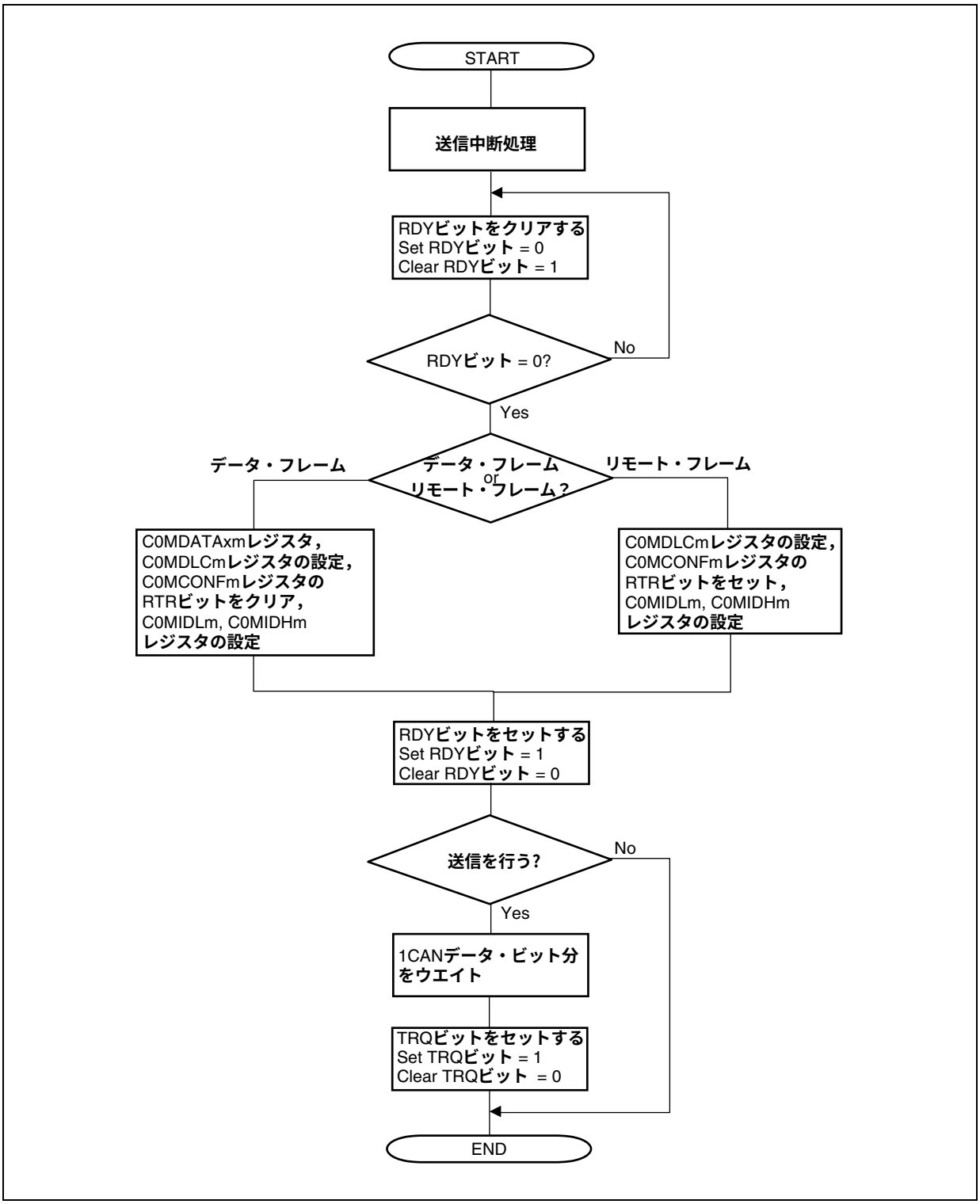
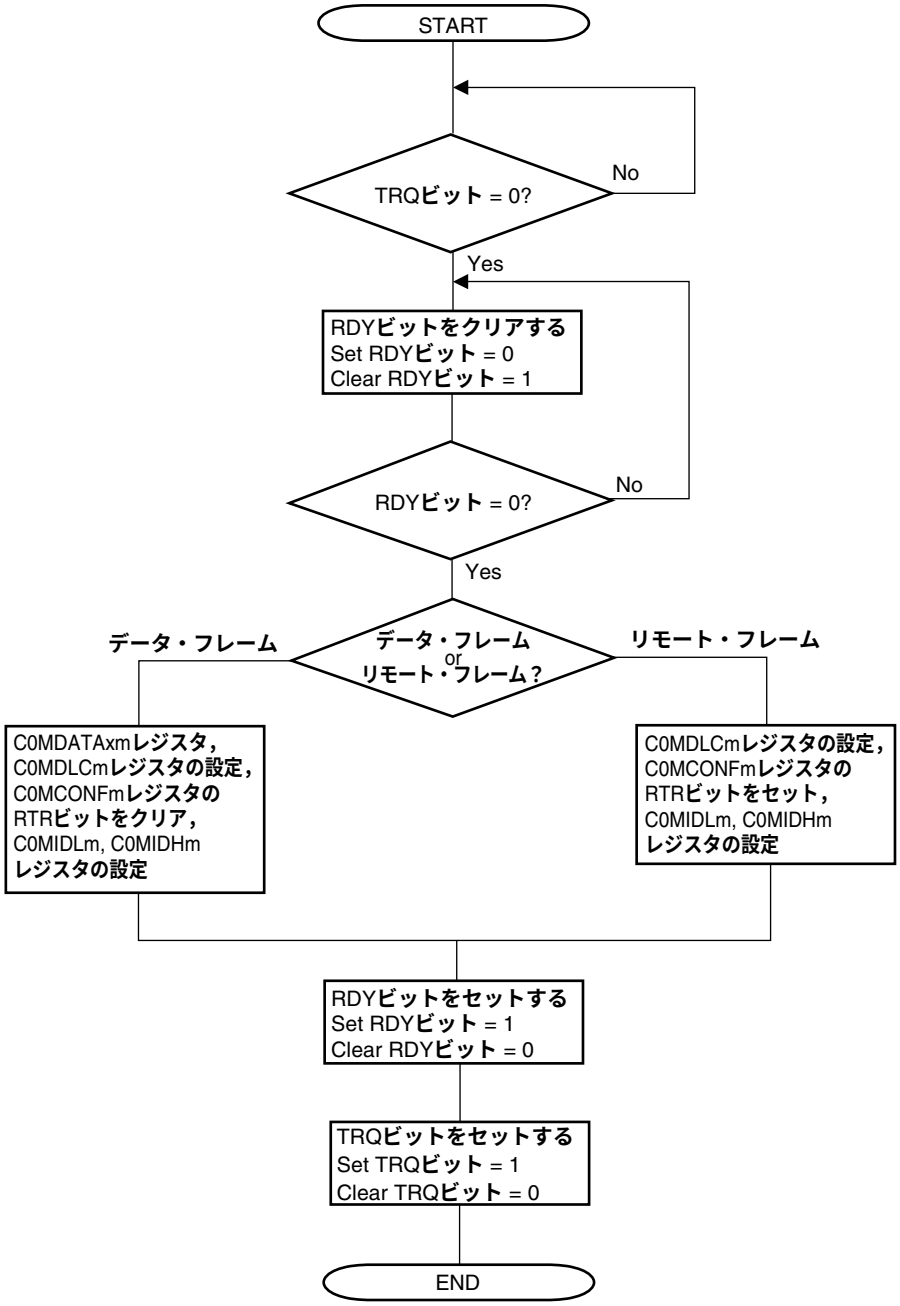


図19－40は，送信メッセージ・バッファに対する処理です（C0MCONFm.MT2-MT0ビット = 000B）。

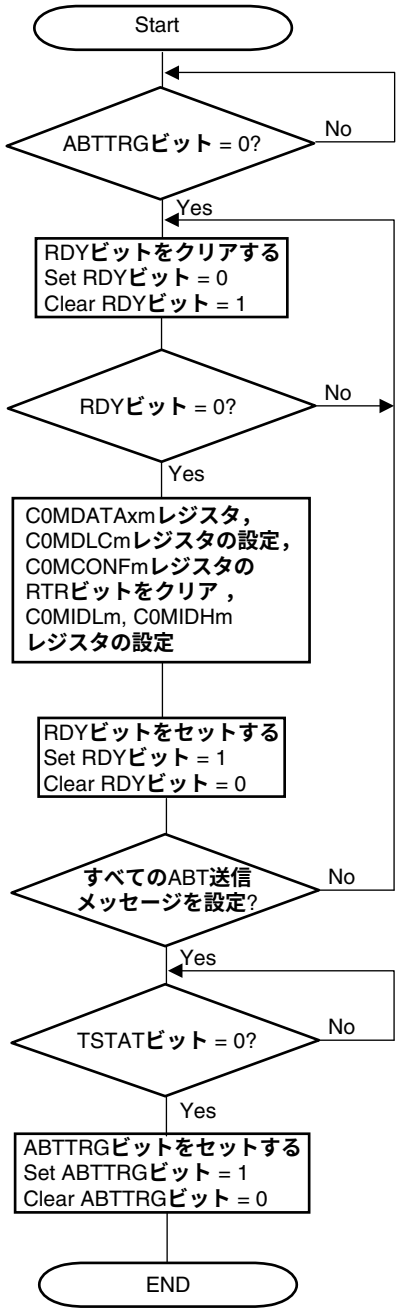
図19－40　メッセージ送信処理（通常動作モード）



注意　RDYビットはTRQビットを設定する前に必ず設定してください。
RDYビットとTRQビットは同時に設定しないでください。

図19－41は，送信メッセージ・バッファに対する処理です（C0MCONFm.MT2-MT0ビット = 000B）。

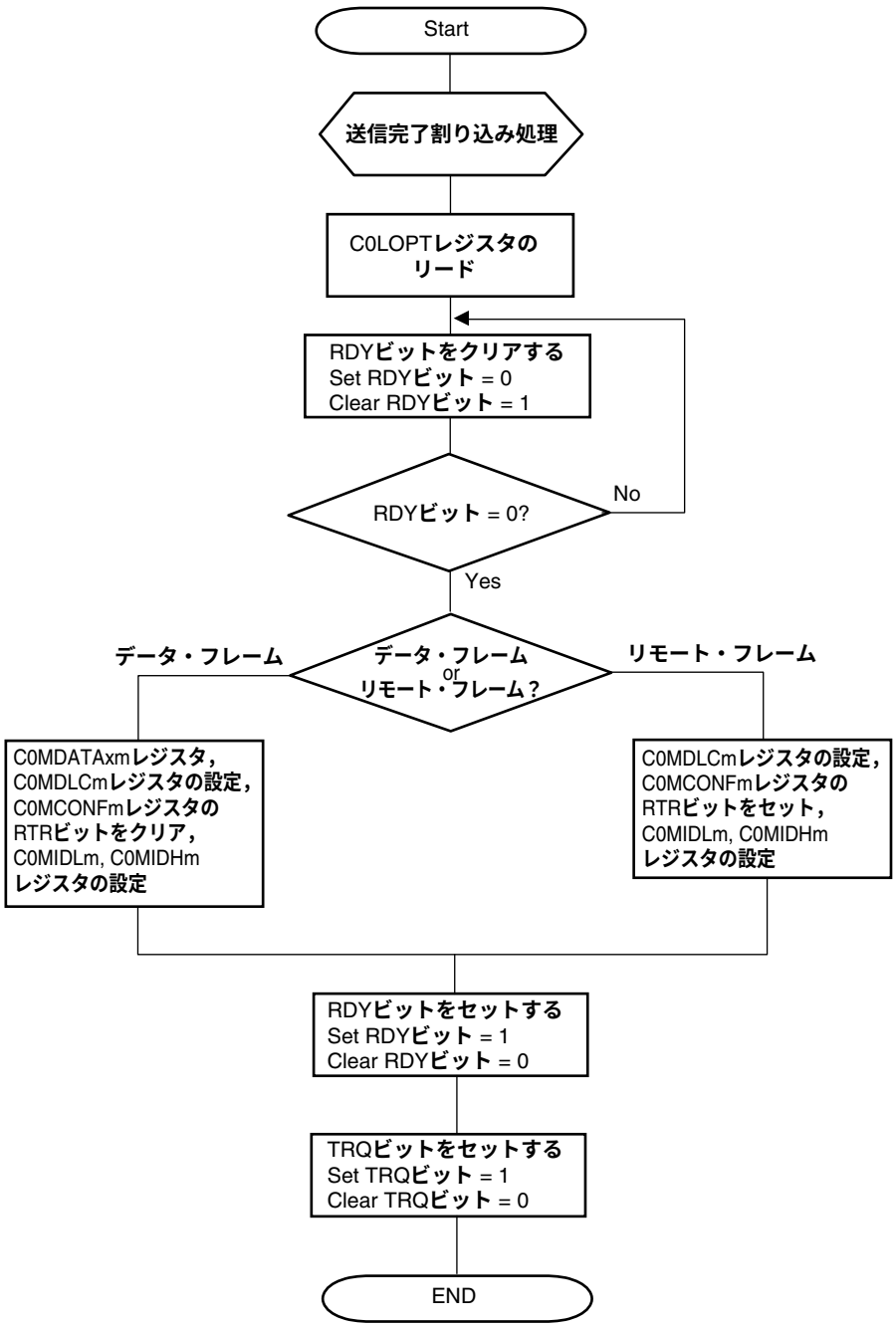
図19－41　ABTメッセージ送信処理



注意　ABTTRGビットのセット（1）は，TSTATビットがクリア（0）されてから行ってください。TSTATビットの確認とABTTRGビットのセット（1）は，連続的に処理を行ってください。

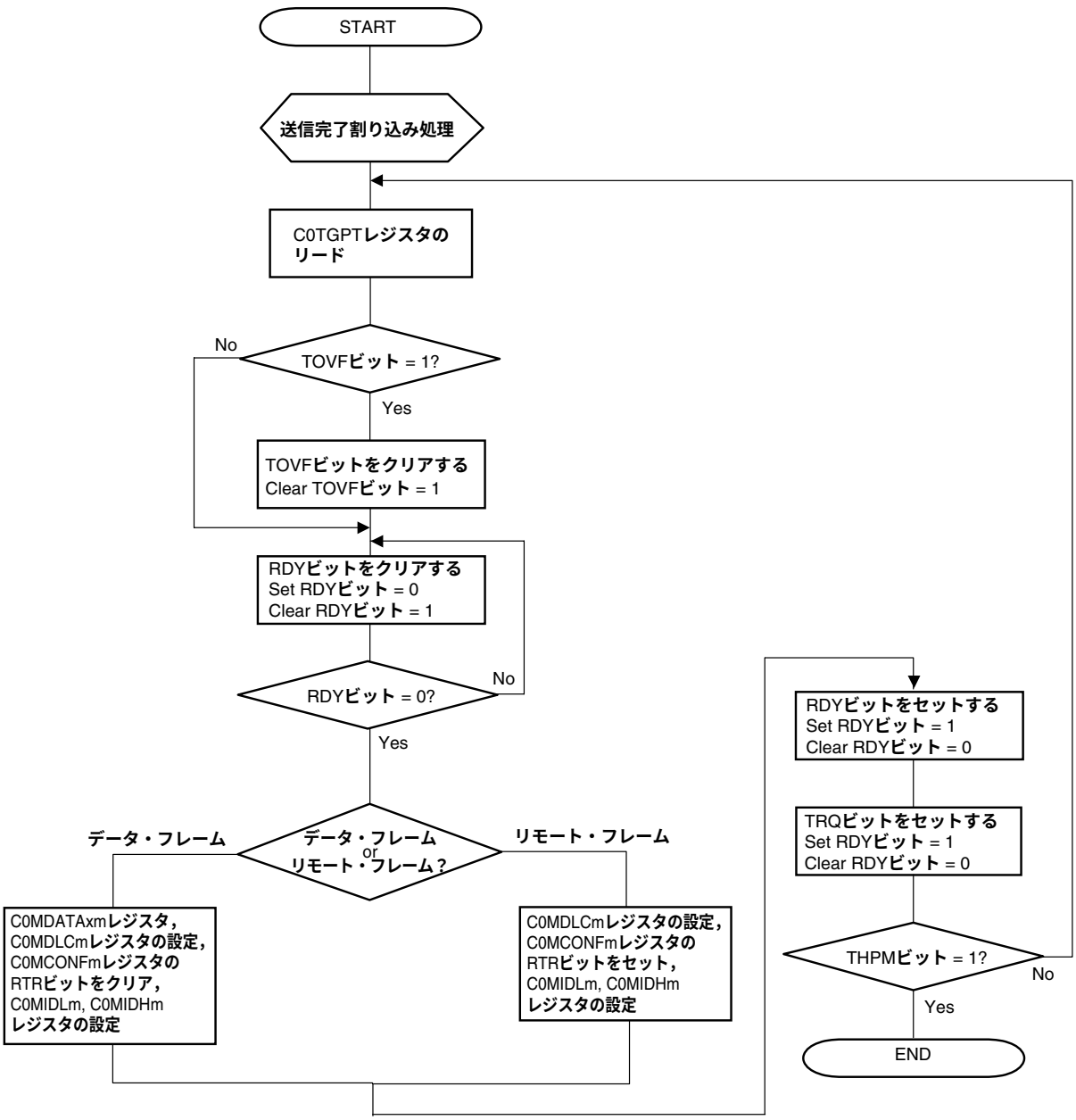
備考　本処理（ABTメッセージ送信処理）は，メッセージ・バッファ0-7のみで使用できます。ABT用メッセージ・バッファ以外のメッセージ・バッファについては，図19－40を参照してください。

図19ー42　割り込みによる送信処理（C0LOPTレジスタを使用する処理）



注意　RDY**ビットは**TRQ**ビットを設定する前に必ず設定してください。**
RDY**ビットと**TRQ**ビットは同時に設定しないでください。**

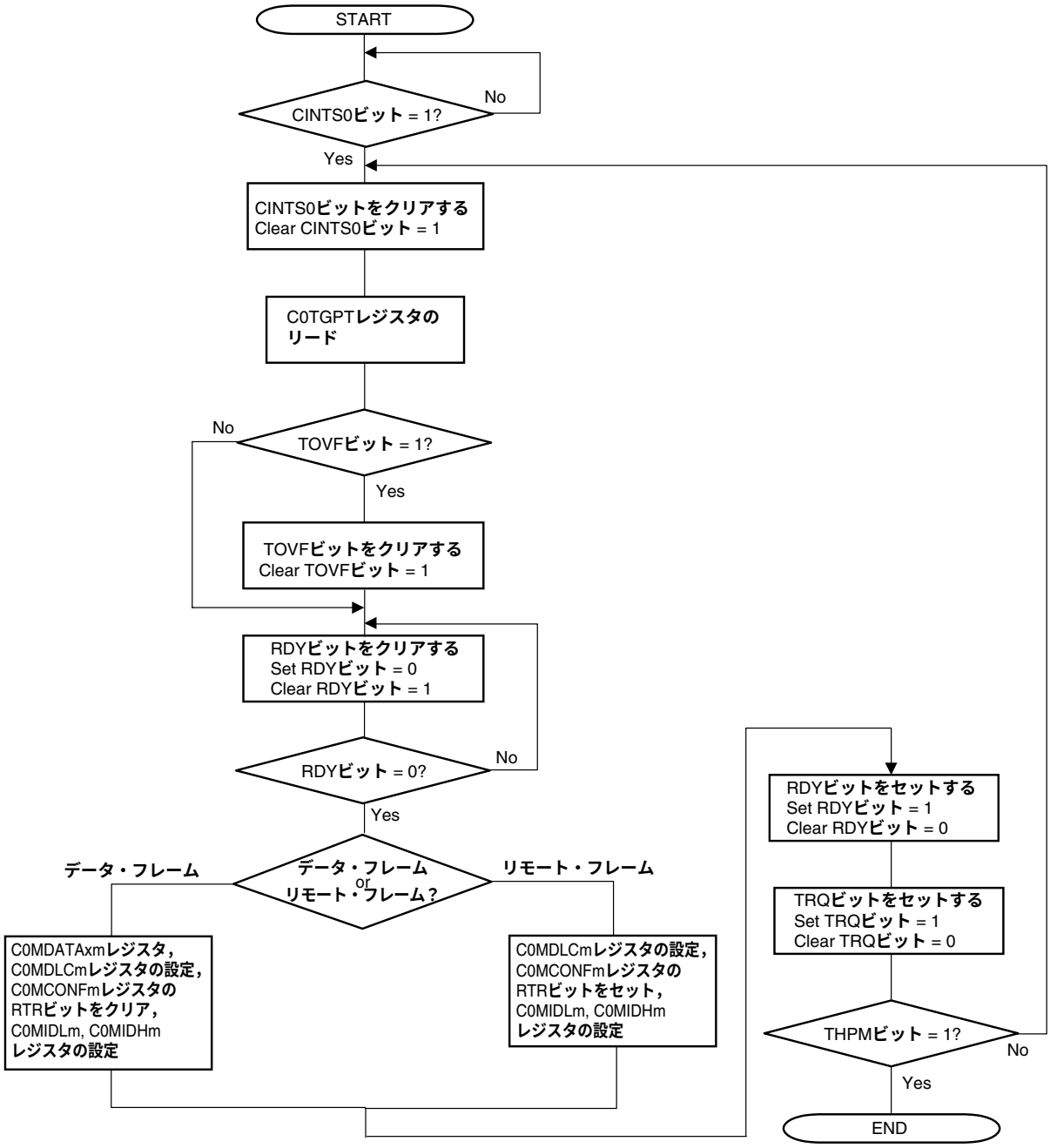
図19ー43　割り込みによる送信処理（C0TGPTレジスタを使用する場合）



注意　RDYビットはTRQビットを設定する前に必ず設定してください。

RDYビットとTRQビットは同時に設定しないでください。

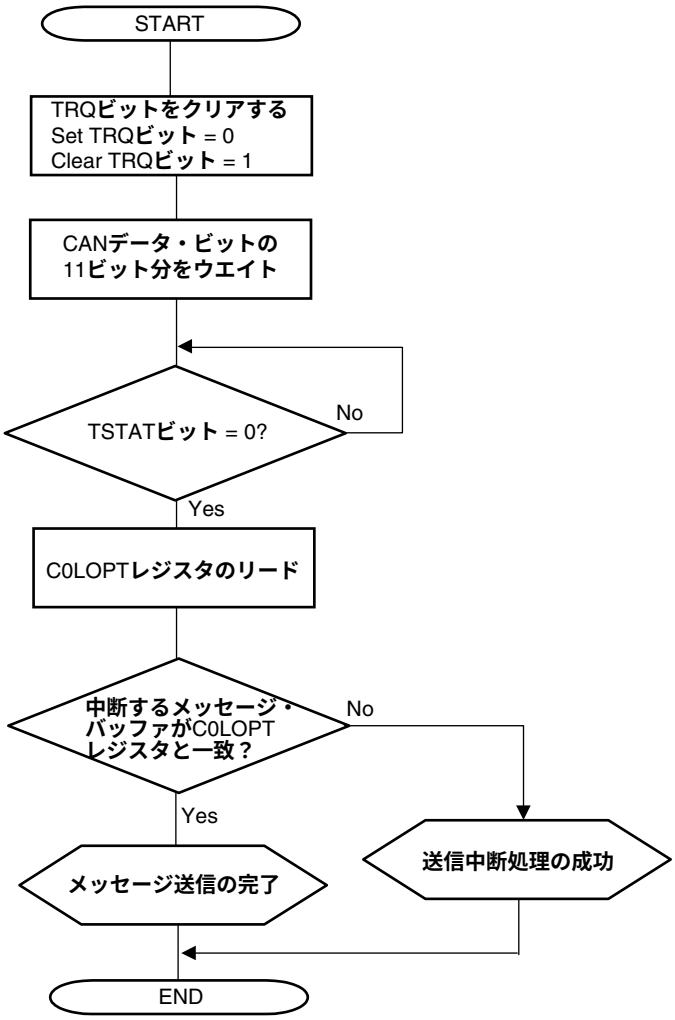
図19－44　ソフトウエア・ポーリングによる送信処理



注意　RDY**ビットは**TRQ**ビットを設定する前に必ず設定してください。**

RDY**ビットと**TRQ**ビットは同時に設定しないでください。**

図19－45　送信中断処理（通常動作モード）



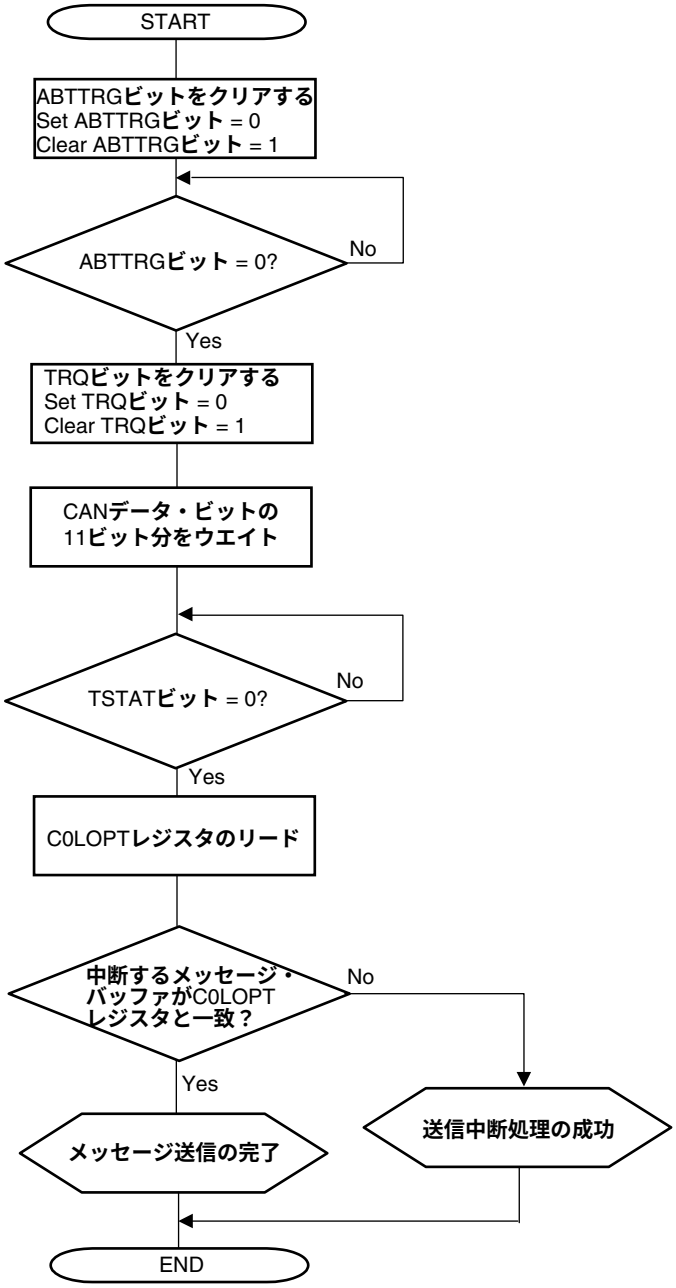
注意 1.　送信要求アボート処理は，RDYビットをクリアして実行するのではなく，TRQクリアにより実行してください。

2.　スリープ要求を行う場合は，このフローにより送信要求が完全になくなったことを確認したあとに行ってください。

3.　TSTATビットの確認は，ユーザ・アプリケーションにより周期的に行うか，送信完了割り込み後に行うことも可能です。

4.　送信要求アボート処理実行中に，ほかのメッセージ・バッファを含め新しい送信要求を行わないでください。

図19－46　ABT送信以外の送信中断処理（ABT付き通常動作モード）



注意 1.　送信要求アボート処理は，RDYビットをクリアして実行するのではなく，TRQビットのクリアにより実行してください。

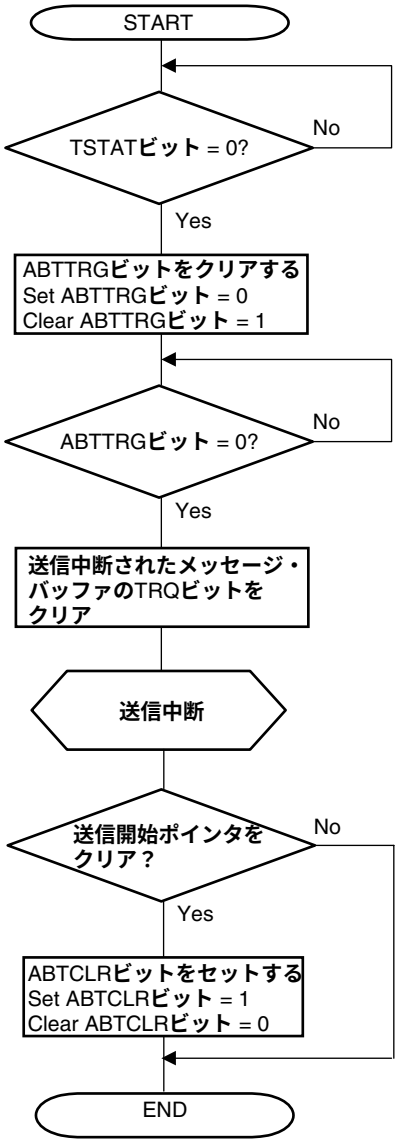
2.　スリープ要求を行う場合は，このフローにより送信要求が完全になくなったことを確認したあとに行ってください。

3.　TSTATビットの確認は，ユーザ・アプリケーションにより周期的に行うか，送信完了割り込み後に行うことも可能です。

4.　送信要求アボート処理実行中に，ほかのメッセージ・バッファを含め新しい送信要求を行わないでください。

図19－47（a）は，ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップしないための処理です。

図19－47（a）　送信中断処理（ABT付き通常動作モード）

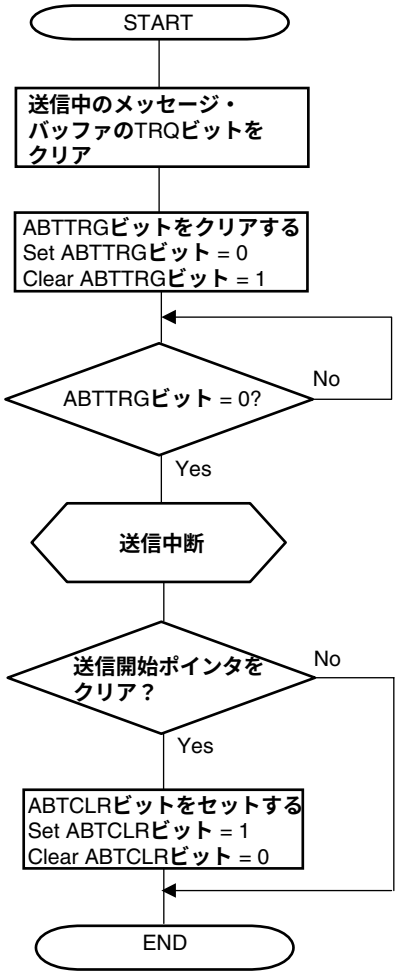


注意 1.　ABT送信中断処理中は，いかなる送信要求もセットしないでください。

2.　CANスリープ・モード／CANストップ・モードの要求は，図19－47（a）または（b）により，ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから），行ってください。ABT領域以外の送信要求をクリアする場合は，図19－45に従ってください。

図19－47（b）は，ABT用メッセージ・バッファの送信中断時に未送信のメッセージを送信再開したときにスキップするための処理です。

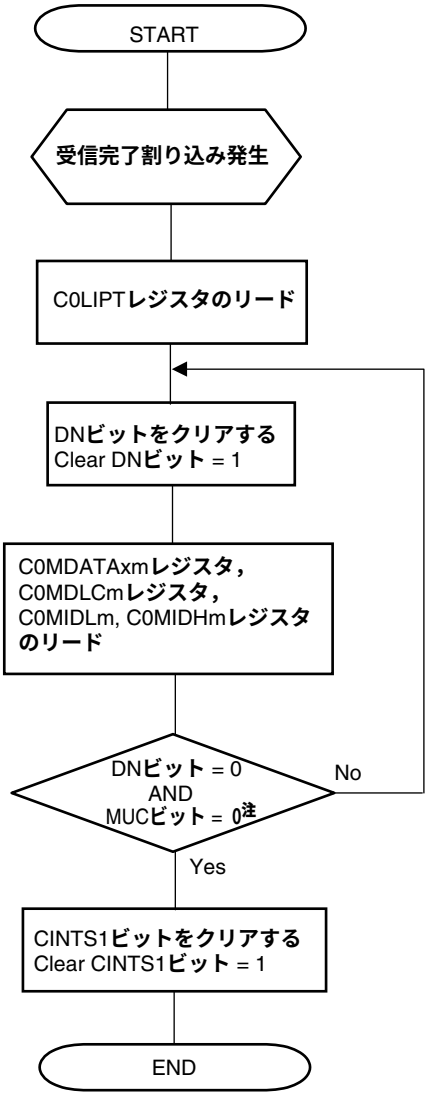
図19－47（b）　送信中断処理（ABT付き通常動作モード）



注意 1.　ABT送信中断処理中は，いかなる送信要求もセットしないでください。

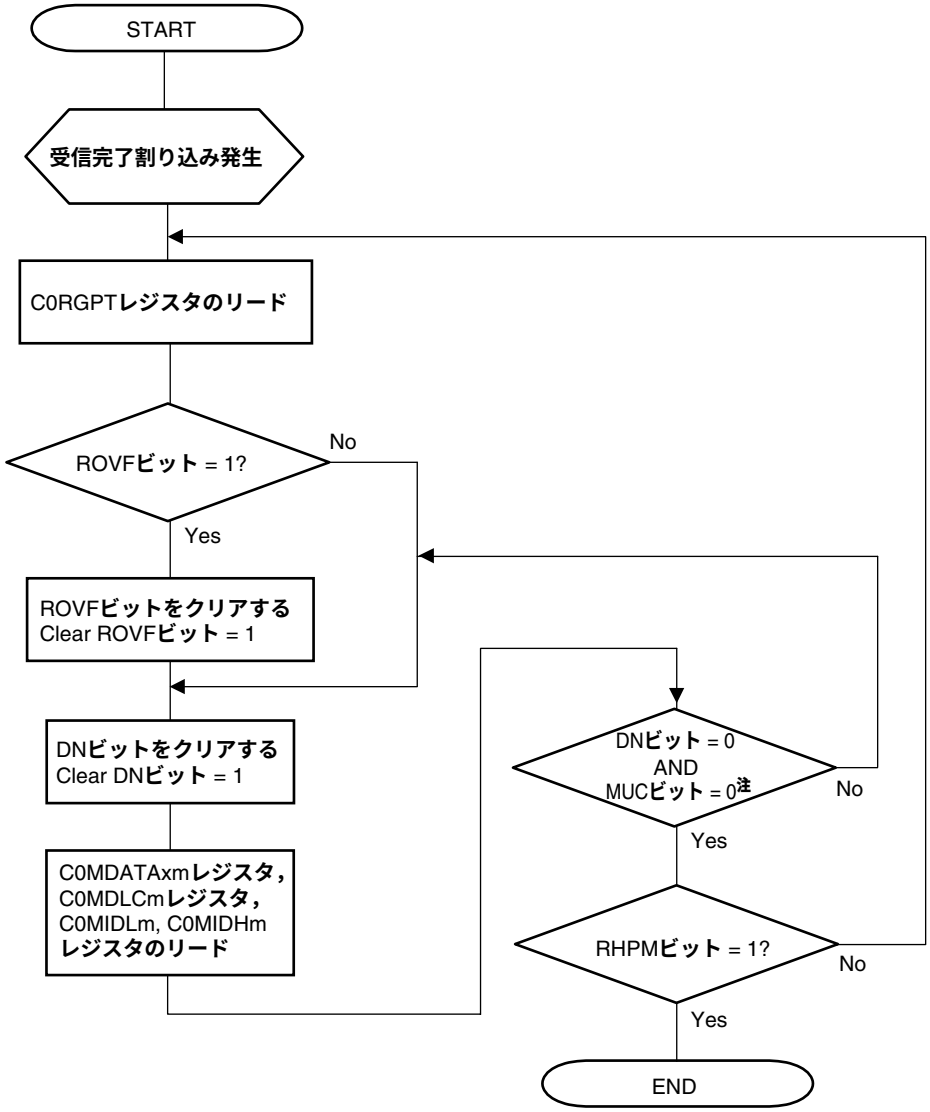
2.　CANスリープ・モード／CANストップ・モードの要求は，図19－47（a）または（b）により，ABTTRGビットがクリアされてから（連続送信であるABTモードを停止させてから），行ってください。ABT領域以外の送信要求をクリアする場合は，図19－45に従ってください。

図19－48　割り込みによる受信処理（C0LIPTレジスタを使用する場合）



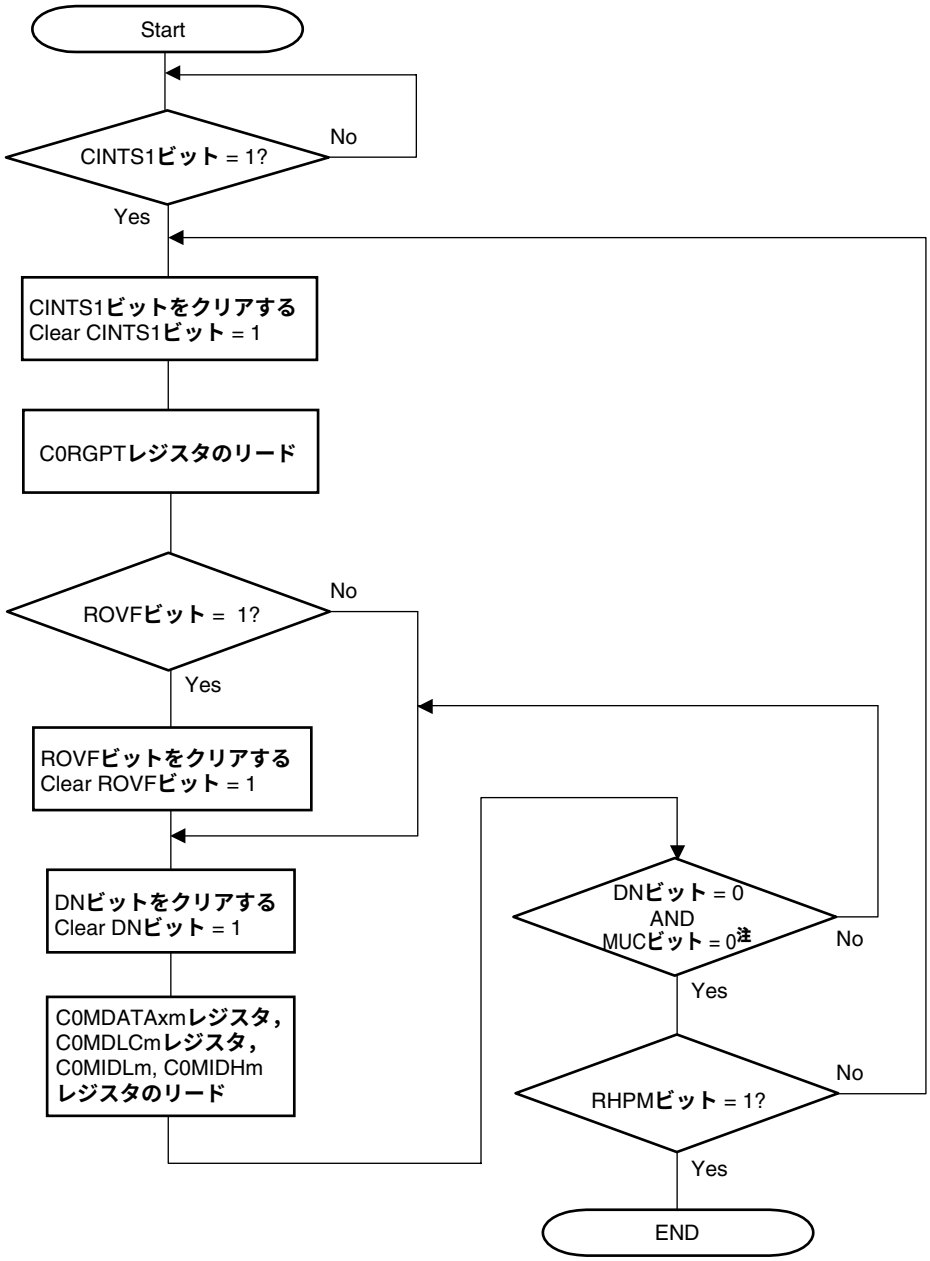
注　MUCビットとDNビットは別々にリードしないでください。

図19－49　割り込みによる受信処理（C0RGPTレジスタを使用する場合）



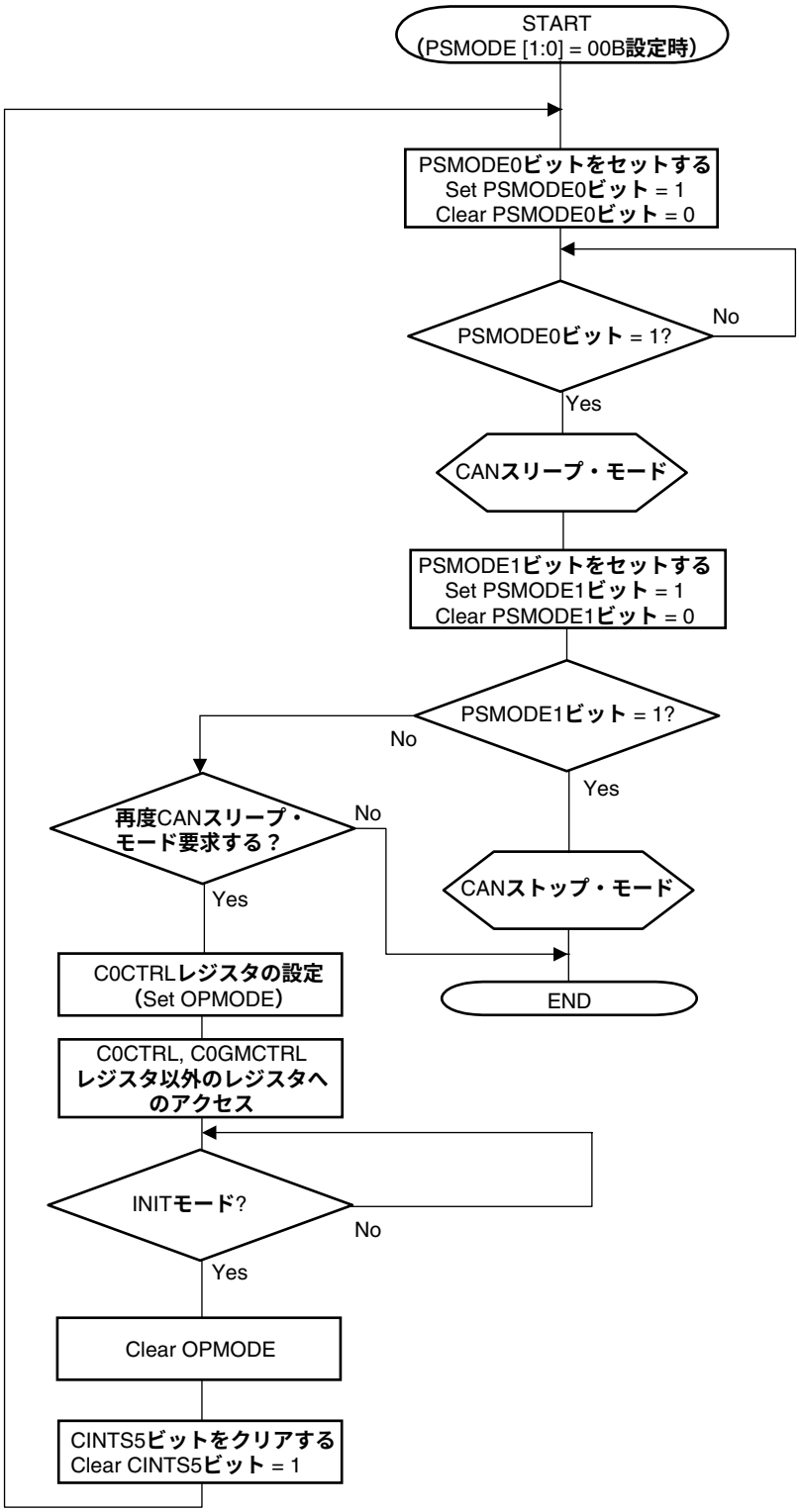
注　MUCビットとDNビットは別々にリードしないでください。

図19－50　ソフトウエア・ポーリングによる受信処理



注　MUCビットとDNビットは別々にリードしないでください。

図19－51　CANスリープ・モード／CANストップ・モードの設定



注意1.　CANスリープ・モードの要求前に送信中断を行う場合は，図19－45～図19－47に従って処理してください。

2.　CPUをパワー・セーブ・モードに設定する場合，CANスリープ・モードかどうかを確認する前に，割り込み処理を禁止する必要があります。割り込み処理を禁止しなかった場合，CANスリープ・モードの確認と，CPUのスタンバイ処理（たとえばHALT命令の実行）との間に，CANスリープ・モードが解除されたとき，以降のCPUのパワー・セーブ・モード中に，CANバスの変化により，CPUはウエイクアップすることができません。

図19ー52　CANスリープ・モード／CANストップ・モードの解除

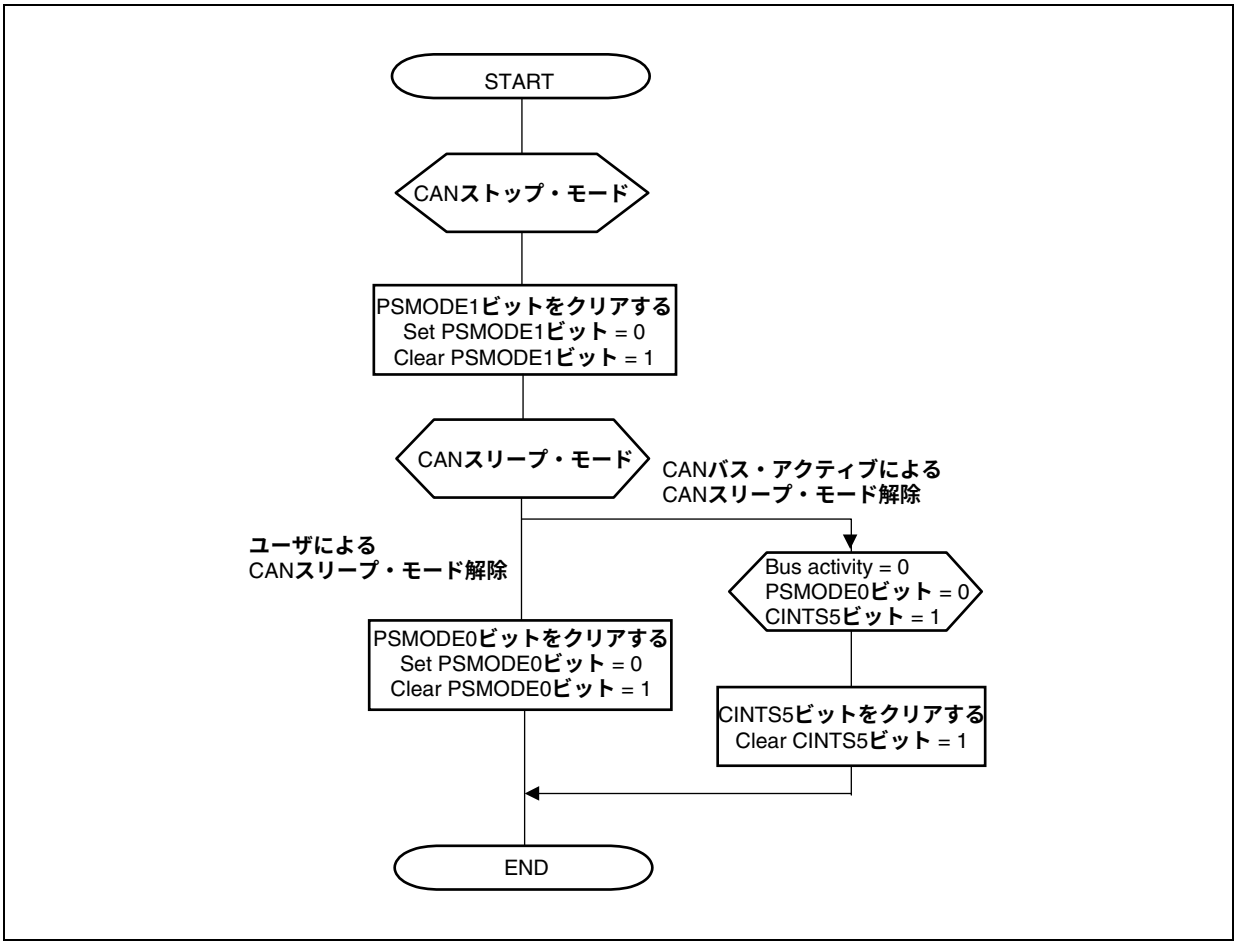
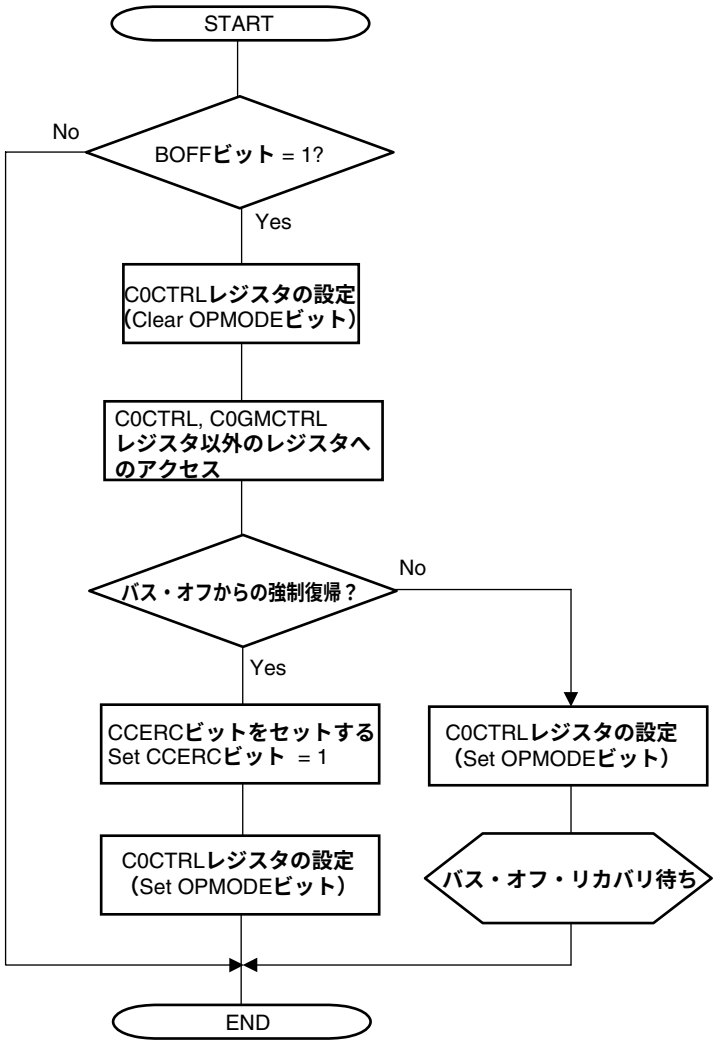


図19ー53　バス・オフからのリカバリ処理



備考　OPMODE：通常動作モード，ABT付き通常動作モード，受信オンリー・モード，シングル・ショット・モード，セルフ・テスト・モード

図19－54　通常シャット・ダウン処理

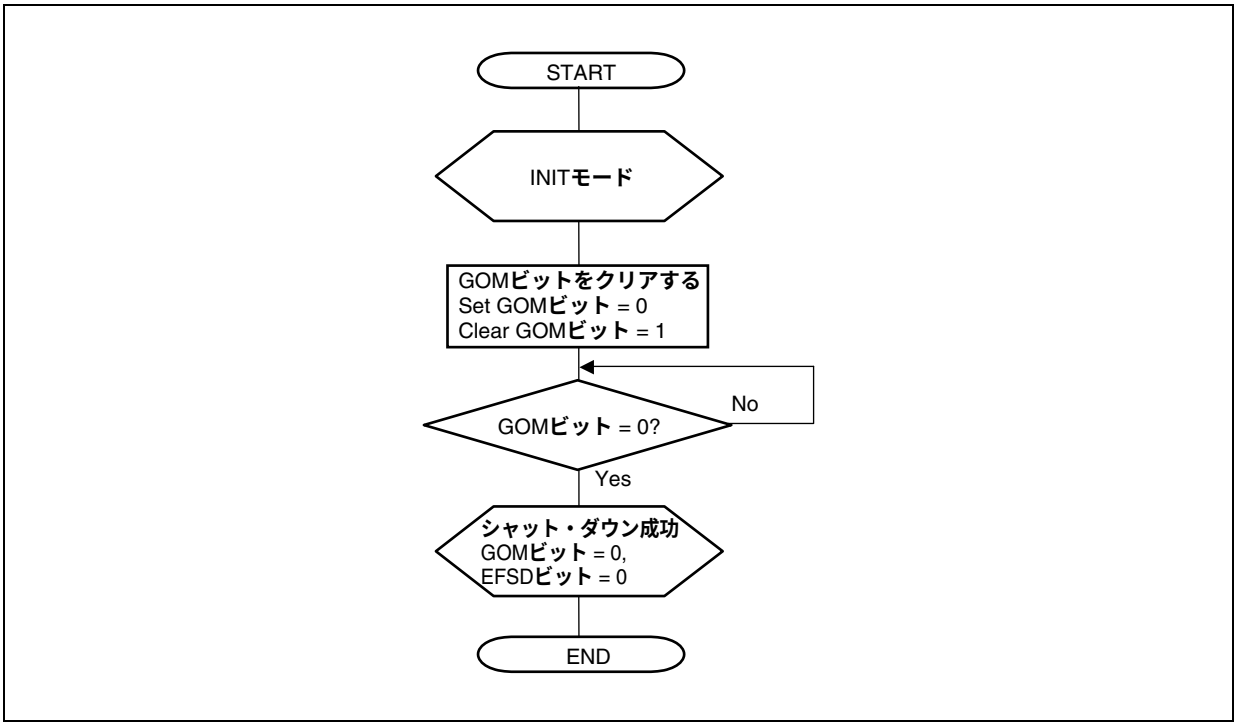
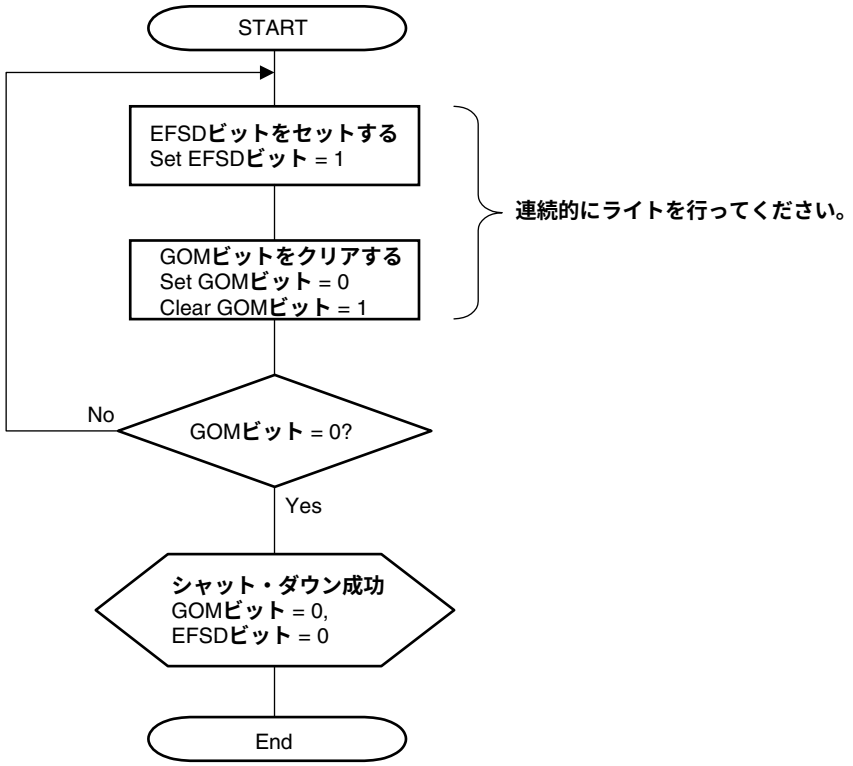


図19－55　強制シャット・ダウン処理



注意　EFSDビットのセットとGOMビットのクリアの間に，ソフトウエアによるほかのレジスタへのリード／ライト・アクセスを行わないでください。

図19－56　エラー処理

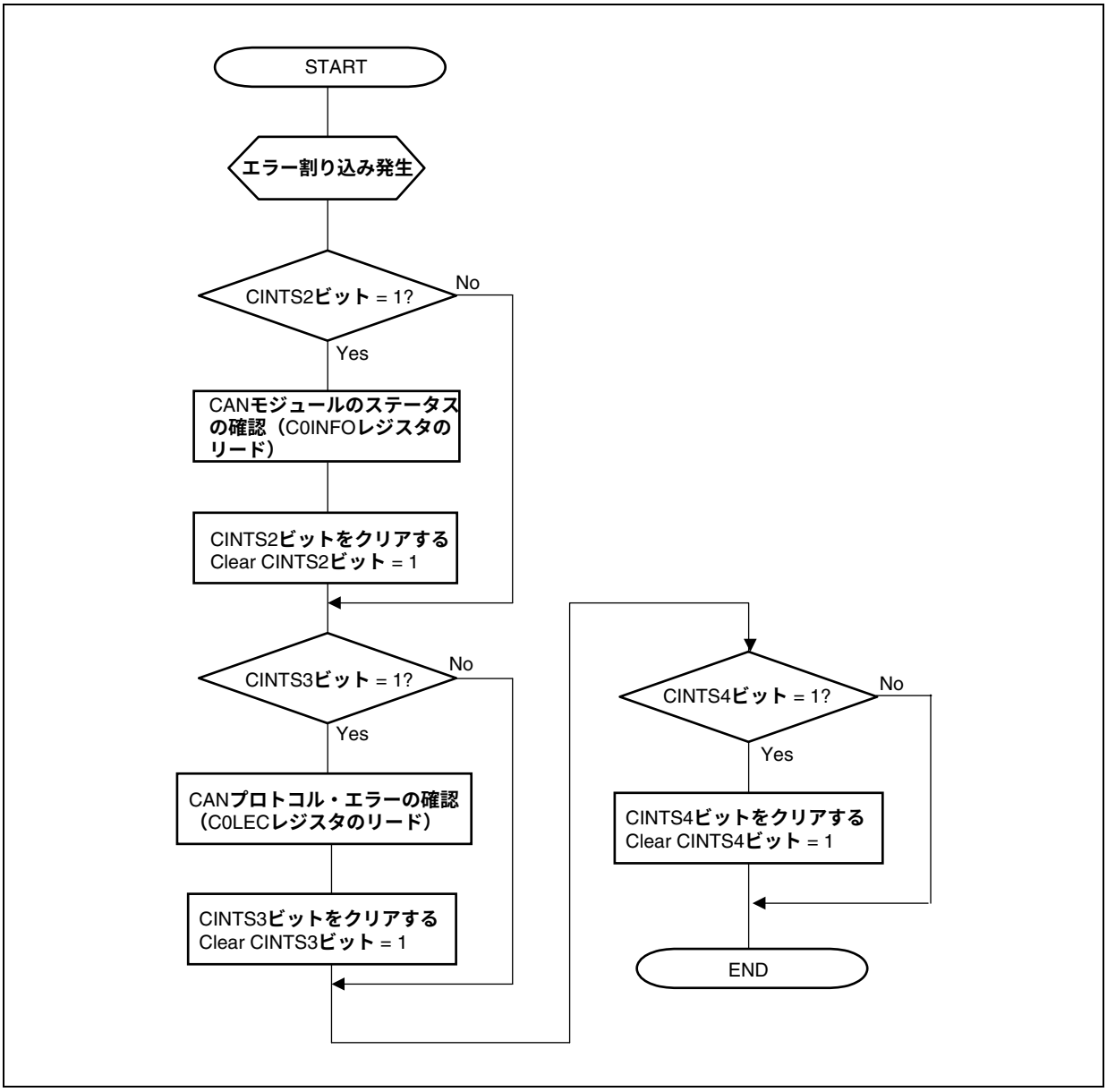

START
エラー割り込み発生
CINTS2ビット = 1?
No
Yes
CANモジュールのステータスの確認（C0INFOレジスタのリード）
CINTS2ビットをクリアする
Clear CINTS2ビット = 1
CINTS3ビット = 1?
No
Yes
CANプロトコル・エラーの確認（C0LECレジスタのリード）
CINTS3ビットをクリアする
Clear CINTS3ビット = 1
CINTS4ビット = 1?
No
Yes
CINTS4ビットをクリアする
Clear CINTS4ビット = 1
END

図19－57　CPUスタンバイ処理（CANスリープ・モードからの移行）

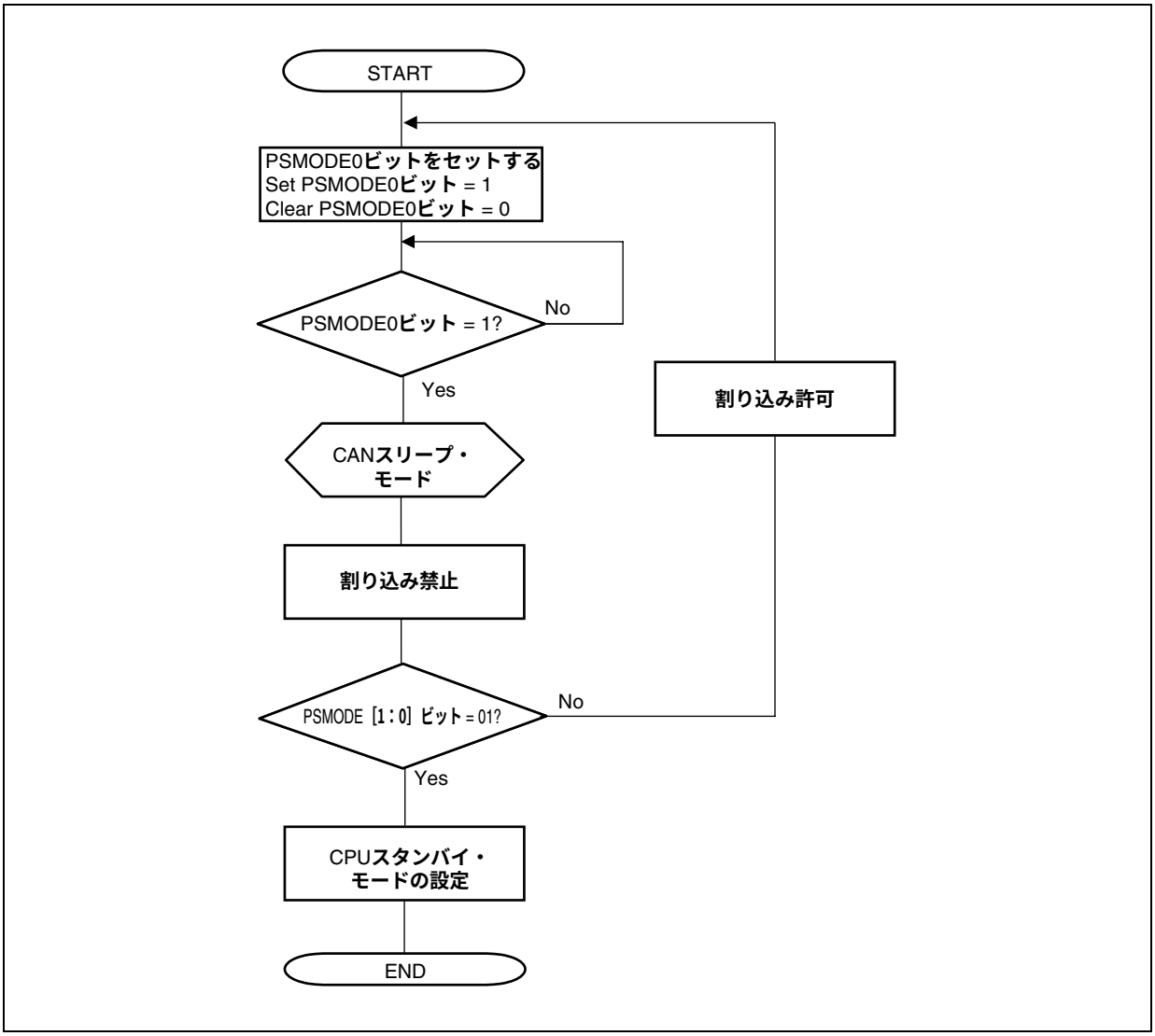
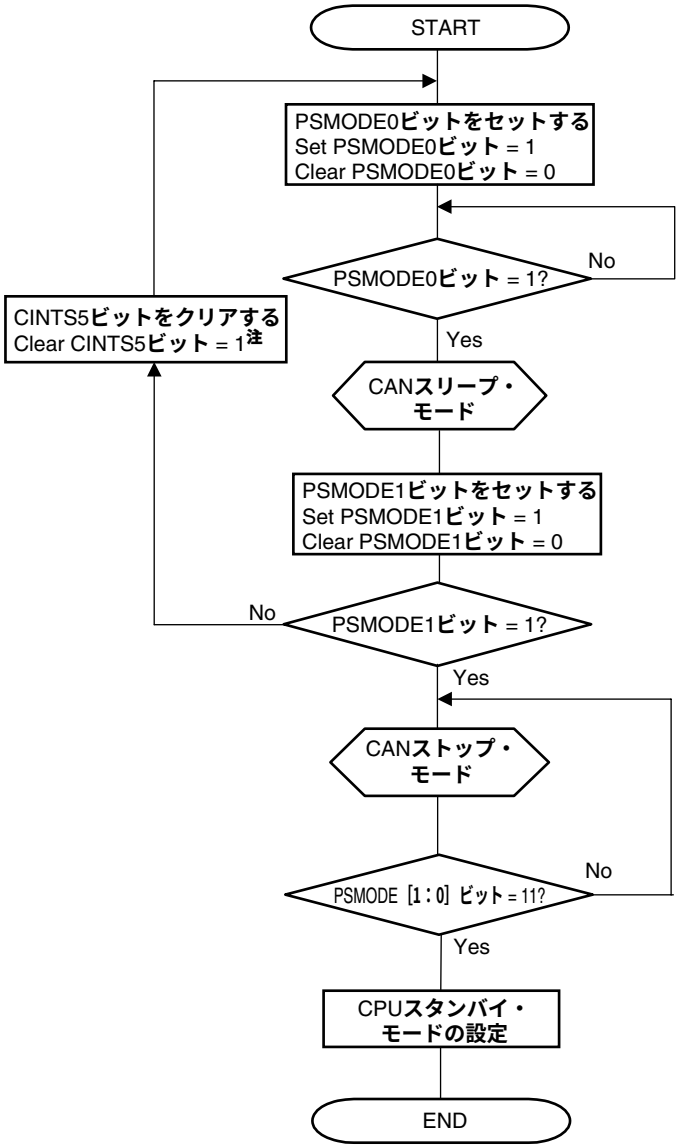


図19－58　CPUスタンバイ処理（CANストップ・モードからの移行）



注　ウエイクアップ割り込み使用時

注意　CAN**ストップ・モードでは，**C0CTRL.PSMODE1, PSMODE0**ビット** = 01**に設定することでのみ解除が可能です。**CNA**バスの変化によって解除されません。**

第20章　DMA機能（DMAコントローラ）

V850ES/SG2は，DMA転送を実行制御するDMA（Direct Memory Access）コントローラ（DMAC）を備えています。

DMACは，内蔵周辺I/O（シリアル・インタフェース，タイマ／カウンタ，A/Dコンバータ），外部入力端子からの割り込みによる要求，またはソフトウエア・トリガによるDMA要求に基づいて，メモリ⇔I/O間，メモリ⇔メモリ間，I/O⇔I/O間でのデータ転送を制御します（メモリは内蔵RAM，または外部メモリを意味します）。

20.1　特　　徴

○4つの独立なDMAチャネル

○転送単位：8ビット/16ビット

○最大転送回数：65536（2^{16}）回

○転送タイプ：2サイクル転送

○転送モード：シングル転送モード

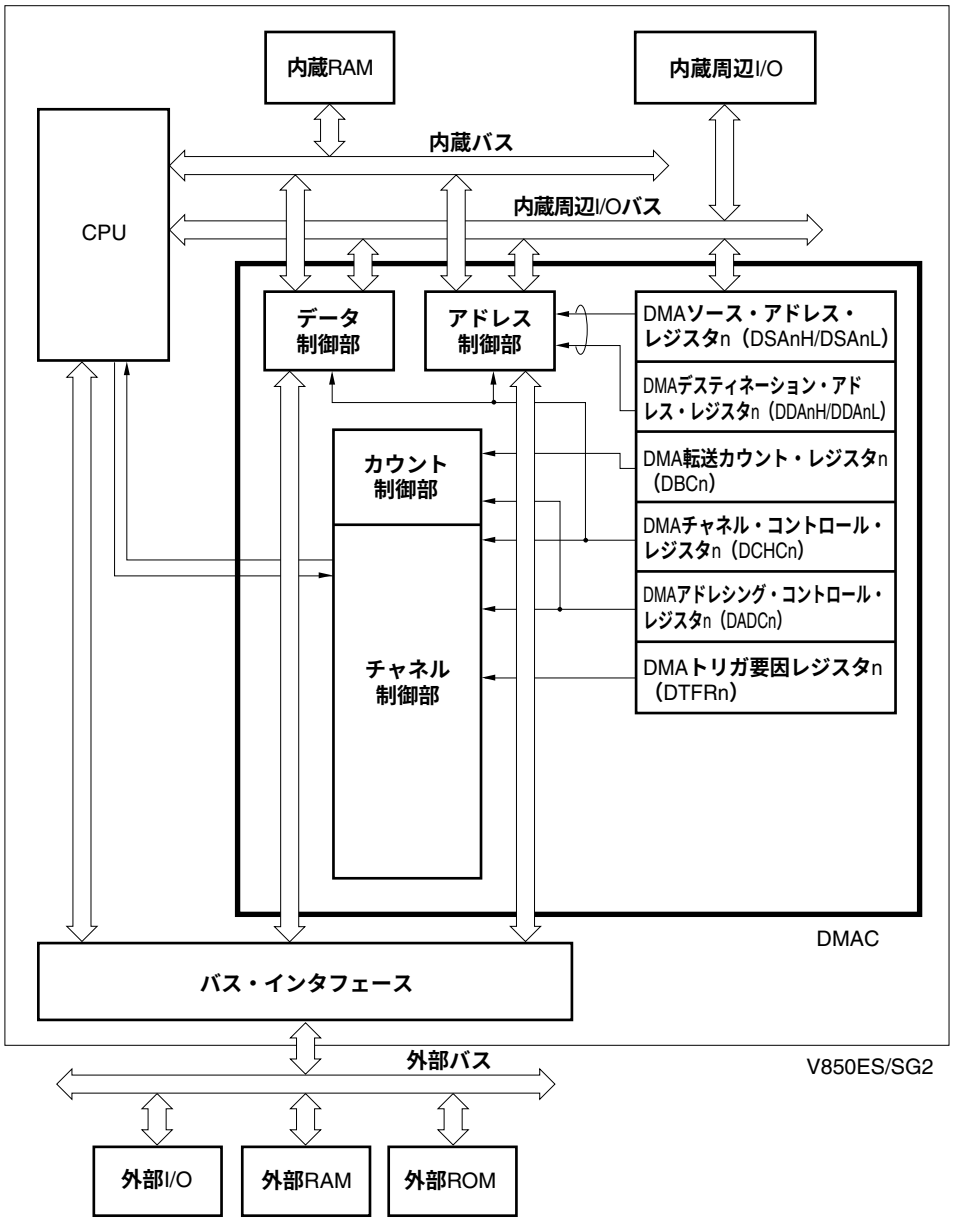
○転送要求

- 内蔵周辺I/O（シリアル・インタフェース，タイマ／カウンタ，A/Dコンバータ），外部入力端子からの割り込みによる要求
- ソフトウエア・トリガによる要求

○転送対象

- 内蔵RAM⇔周辺I/O
- 周辺I/O⇔周辺I/O
- 内蔵RAM⇔外部メモリ
- 外部メモリ⇔周辺I/O
- 外部メモリ⇔外部メモリ

20.2 構　　成


内蔵RAM
内蔵周辺I/O
内蔵バス
内蔵周辺I/Oバス
CPU
データ
制御部
アドレス
制御部
DMAソース・アドレス・
レジスタn（DSAnH/DSAnL）
DMAデスティネーション・アド
レス・レジスタn（DDAnH/DDAnL）
DMA転送カウント・レジスタn
（DBCn）
DMAチャネル・コントロール・
レジスタn（DCHCn）
DMAアドレシング・コントロール・
レジスタn（DADCn）
DMAトリガ要因レジスタn
（DTFRn）
カウント
制御部
チャネル
制御部
DMAC
バス・インタフェース
外部バス
V850ES/SG2
外部I/O
外部RAM
外部ROM

備考　n = 0-3

20. 3　レジスタ

（1）DMAソース・アドレス・レジスタ0-3（DSA0-DSA3）

DMAチャネルnのDMA転送元アドレス（26ビット）を設定します（n = 0-3）。

このレジスタは，DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：DSA0H FFFFF082H, DSA1H FFFFF08AH,
DSA2H FFFFF092H, DSA3H FFFFF09AH,
DSA0L FFFFF080H, DSA1L FFFFF088H,
DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnH (n = 0-3)	IR	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnL (n = 0-3)	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0

IR	DMA転送元の指定
0	外部メモリ，内蔵周辺I/O
1	内蔵RAM

SA25-SA16	DMA転送元のアドレス（A25-A16）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送元アドレスを保持します。 DMA転送が完了すると，最初に設定されたDMAアドレスが保持されます。

SA15-SA0	DMA転送元のアドレス（A15-A0）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送元アドレスを保持します。 DMA転送が完了すると，最初に設定されたDMAアドレスが保持されます。

注意1.　DSAnHレジスタのビット14-10には，必ず“0”を設定してください。

2.　DSAnH, DSAnLレジスタの設定は，DMA転送禁止状態（DCHCn.Ennビット = 0）である次のいずれかのタイミングで行ってください。

- リセット後から最初のDMA転送起動までの期間
- DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- DMA転送完了後（DCHCn.TCnビット = 1の状態）から次のDMA転送起動までの期間

3.　DSAnレジスタの値を読み出す際，DSAnHレジスタとDSAnLレジスタの2つの16ビット・レジスタごとに読み出すため，読み出しと更新のタイミングが競合した場合，更新途中の値が読み出されることがあります（20. 13　注意事項参照）。

4.　リセット後，DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は，動作を保証しません。

（2）DMAデスティネーション・アドレス・レジスタ0-3（DDA0-DDA3）

DMAチャネルnのDMA転送先アドレス（26ビット）を設定します（n = 0-3）。

このレジスタは，DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：DDA0H FFFFF086H, DDA1H FFFFF08EH,
DDA2H FFFFF096H, DDA3H FFFFF09EH,
DDA0L FFFFF084H, DDA1L FFFFF08CH,
DDA2L FFFFF094H, DDA3L FFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-3)	IR	0	0	0	0	0	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
DDAnL (n = 0-3)	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

IR	DMA転送先の指定
0	外部メモリ，内蔵周辺I/O
1	内蔵RAM

DA25-DA16	DMA転送先のアドレス（A25-A16）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送先アドレスを保持します。 DMA転送が終了すると，最初に設定されたDMA転送元アドレスを保持します。

DA15-DA0	DMA転送先のアドレス（A15-A0）を設定してください（初期値不定）。 DMA転送中は，次のDMA転送先アドレスを保持します。 DMA転送が終了すると，最初に設定されたDMA転送元アドレスを保持します。

注意1.　DDAnHレジスタのビット14-10には，必ず“0”を設定してください。

2.　DDAnH, DDAnLレジスタの設定は，DMA転送禁止状態（DCHCn.Ennビット = 0）である次のいずれかのタイミングで行ってください。

- リセット後から最初のDMA転送起動までの期間
- DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- DMA転送完了後（DCHCn.TCnビット = 1の状態）から次のDMA転送起動までの期間

3.　DDAnレジスタの値を読み出す際，DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため，読み出しと更新のタイミングが競合した場合，更新途中の値が読み出されることがあります（20. 13　注意事項参照）。

4.　リセット後，DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は，動作を保証しません。

（3）DMA転送カウント・レジスタ0-3（DBC0-DBC3）

DMAチャネルnの転送数を設定する16ビット・レジスタです（n = 0-3）。

DMA転送中は，残りの転送数を保持します。

転送データ単位（8/16ビット）にかかわらず，1回の転送につき1ずつデクリメントされ，ボローが発生すると転送を終了します。

16ビット単位でリード／ライト可能です。

リセット時：不定　R/W　アドレス：DBC0 FFFFF0C0H, DBC1 FFFFF0C2H,
DBC2 FFFFF0C4H, DBC3 FFFFF0C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn (n = 0-3)	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0

BC15-BC0	転送数の設定，またはDMA転送中の残りの転送数
0000H	1回の転送，または残り転送数
0001H	2回の転送，または残り転送数
:	:
FFFFH	65536（2^{16}）回の転送，または残り転送数
DMA転送が完了すると，最初に設定された転送データ数を保持します。	

注意1.　DBCnレジスタの設定は，DMA転送禁止状態（DCHCn.Ennビット = 0）である次のいずれかのタイミングで行ってください。

- リセット後から最初のDMA転送起動までの期間
- DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- DMA転送完了後（DCHCn.TCnビット = 1の状態）から次のDMA転送起動までの期間

2.　リセット後，DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は，動作を保証しません。

（4）DMAアドレシング・コントロール・レジスタ0-3（DADC0-DADC3）

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです（n = 0-3）。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

リセット時：0000H　R/W　アドレス：DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADCn（n = 0-3）

15	14	13	12	11	10	9	8
0	DS0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
SAD1	SAD0	DAD1	DAD0	0	0	0	0

DS0	転送データ・サイズの設定
0	8ビット
1	16ビット

SAD1	SAD0	転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DAD1	DAD0	転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

注意1. DADCnレジスタのビット15, 13-8, 3-0には，必ず“0”を設定してください。

2. DADCnレジスタの設定は，DMA転送禁止状態（DCHCn.Ennビット = 0）である次のいずれかのタイミングで行ってください。
   - リセット後から最初のDMA転送起動までの期間
   - DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
   - DMA転送完了後（DCHCn.TCnビット = 1の状態）から次のDMA転送起動までの期間

3. DS0ビットは転送データ・サイズを設定するものであり，バス・サイジングを制御するものではありません。したがって，8ビット・データ（DS0ビット = 0）を設定した場合でも，必ずしも下位データ・バスを使用するわけではありません。

4. 転送データ・サイズを16ビットに設定した場合（DS0ビット = 1），奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。

5. 内蔵周辺I/Oレジスタを対象（転送元／転送先）とするDMA転送の場合，必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば，8ビットのレジスタに対するDMA転送の場合は，必ず（8ビット）転送を指定してください。

（5）DMAチャネル・コントロール・レジスタ0-3（DCHC0-DCHC3）

DMAチャネルnのDMA転送動作モードを指定する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です（ただし，ビット7はリードだけ，ビット1, 2はライトだけ可能です。ビット1, 2をリードした場合は0が読み出されます。）。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：DCHC0 FFFFF0E0H, DCHC1 FFFFF0E2H,
DCHC2 FFFFF0E4H, DCHC3 FFFFF0E6H

	⑦	6	5	4	3	②	①	⓪
DCHCn	TCn注1	0	0	0	0	INITn注2	STGn注2	Enn

（n = 0-3）

TCn注1	DMAチャネルnのDMA転送の完了／未完了を示すステータス・フラグ
0	DMA転送未完了
1	DMA転送完了
DMA転送の最後の転送時にセット（1）され，読み出しによってクリア（0）されます。	

INITn注2	DMA転送が禁止された状態で（Ennビット = 0），INITnビットをセット（1）するとDMA転送のステータスを初期化できます。 DMA転送が完了する前に（TCnビットがセット（1）される前），DMA転送ステータスの再設定（DDAnH, DDAnL, DSAnH, DSAnL, DBCn, DADCnレジスタの再設定）を行う場合は，必ずDMAチャネルの初期化後に行ってください。 ただし，DMAコントローラの初期化は，必ず20. 13　注意事項に示す手順にしたがって行ってください。

STGn注2	DMA転送のソフトウエア起動トリガです。 DMA転送が許可の状態（TCnビット = 0, Ennビット = 1）でこのビットをセット（1）するとDMA転送を開始します。

Enn	DMAチャネルnのDMA転送の許可／禁止の設定
0	DMA転送の禁止
1	DMA転送の許可
Ennビットをセット（1）するとDMA転送が許可されます。 DMA転送が完了（ターミナル・カウント発生）すると，自動的にクリア（0）されます。 なお，DMA転送を中断するには，ソフトウエアでEnnビットをクリア（0）してください。再開するには，再度Ennビットをセット（1）してください。 ただし，DMA転送の中断／再開は，必ず20. 13　注意事項に示す手順にしたがって行ってください。	

注1.　TCnビットはリードのみ可能です。

2.　INITn, STGnビットはライトのみ可能です。

注意1.　DCHCnレジスタのビット6-3には，必ず“0”を設定してください。

2.　DMA転送完了時（ターミナル・カウント時）は，Ennビットのクリア（0）→TCnビットのセット（1）の順で各ビットの更新が行われます。そのため，DCHCnレジスタの各ビットの更新途中にDCHCnレジスタを読み出した場合，「転送未完了，かつ転送禁止」の状態を示す値（TCnビット = 0，かつEnnビット = 0）が読み出されることがあります。

（6）DMAトリガ要因レジスタ0-3（DTFR0-DTFR3）

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が，DMA転送の起動要因になります。

8ビット単位でリード／ライト可能です。ただし，DFnビットのみ1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：DTFR0 FFFFF810H, DTFR1 FFFFF812H,
DTFR2 FFFFF814H, DTFR3 FFFFF816H

	⑦	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

（n = 0-3）

DFn注	DMA転送要求フラグ
0	DMA転送要求なし
1	DMA転送要求あり

注　DFnビットは0のみライト可能です。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し，DMA転送要求をクリアする必要がある場合に0をライトします。

注意1.　IFCn5-IFCn0ビットの設定は，DMA転送禁止状態（DCHCn.Ennビット = 0）である次のいずれかのタイミングで行ってください。

- リセット後から最初のDMA転送起動までの期間
- DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- DMA転送完了後（DCHCn.TCnビット = 1の状態）から次のDMA転送起動までの期間

2.　スタンバイ・モード（IDLE1, IDLE2, STOP, サブIDLEモード）中に発生した割り込み要求は，DMA転送サイクルの起動要因にはなりません（DFnビットもセット（1）されません）。

3.　IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは，DMA転送の許可／禁止にかかわらず，選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット（1）されます。この状態でDMA許可とした場合，ただちにDMA転送が起動されます。

備考　IFCn5-IFCn0ビットについては表20ー1　DMA起動要因を参照してください。

表20－1　DMA起動要因（1/2）

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	割り込みによるDMA要求禁止
0	0	0	0	0	1	INTP0
0	0	0	0	1	0	INTP1
0	0	0	0	1	1	INTP2
0	0	0	1	0	0	INTP3
0	0	0	1	0	1	INTP4
0	0	0	1	1	0	INTP5
0	0	0	1	1	1	INTP6
0	0	1	0	0	0	INTP7
0	0	1	0	0	1	INTTQ0OV
0	0	1	0	1	0	INTTQ0CC0
0	0	1	0	1	1	INTTQ0CC1
0	0	1	1	0	0	INTTQ0CC2
0	0	1	1	0	1	INTTQ0CC3
0	0	1	1	1	0	INTTP0OV
0	0	1	1	1	1	INTTP0CC0
0	1	0	0	0	0	INTTP0CC1
0	1	0	0	0	1	INTTP1OV
0	1	0	0	1	0	INTTP1CC0
0	1	0	0	1	1	INTTP1CC1
0	1	0	1	0	0	INTTP2OV
0	1	0	1	0	1	INTTP2CC0
0	1	0	1	1	0	INTTP2CC1
0	1	0	1	1	1	INTTP3CC0
0	1	1	0	0	0	INTTP3CC1
0	1	1	0	0	1	INTTP4CC0
0	1	1	0	1	0	INTTP4CC1
0	1	1	0	1	1	INTTP5CC0
0	1	1	1	0	0	INTTP5CC1
0	1	1	1	0	1	INTTM0EQ0
0	1	1	1	1	0	INTCB0R/INTIIC1
0	1	1	1	1	1	INTCB0T
1	0	0	0	0	0	INTCB1R
1	0	0	0	0	1	INTCB1T
1	0	0	0	1	0	INTCB2R
1	0	0	0	1	1	INTCB2T
1	0	0	1	0	0	INTCB3R
1	0	0	1	0	1	INTCB3T
1	0	0	1	1	0	INTUA0R/INTCB4R
1	0	0	1	1	1	INTUA0T/INTCB4T
1	0	1	0	0	0	INTUA1R/INTIIC2
1	0	1	0	0	1	INTUA1T
1	0	1	0	1	0	INTUA2R/INTIIC0
1	0	1	0	1	1	INTUA2T
1	0	1	1	0	0	INTAD
1	0	1	1	0	1	INTKR

備考　n = 0-3

表20－1　DMA起動要因（2/2）

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	1	1	1	0	INTERR注
1	0	1	1	1	1	INTSTA注
1	1	0	0	0	0	INTIE1注
上記以外						設定禁止

注　IEBusコントローラ内蔵品のみ

備考　n = 0-3

20.4　転送対象

転送対象の関係を次に示します（○：転送可，×：転送不可）。

表20－2　転送対象の関係

		転送先			
		内蔵ROM	内蔵周辺I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	×	○	○	○
	内蔵RAM	×	○	×	○
	外部メモリ	×	○	○	○
	内蔵ROM	×	×	×	×

注意　表20－2に示す転送先と転送元で，「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

20.5　転送モード

転送モードとして，シングル転送をサポートしています。

シングル転送では，1回のバイト／ハーフワード転送ごとにバスを解放します。その後，DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合，常に優先順位が高いDMA要求を優先させます。

ただし，転送サイクル中に同一チャネルの新たな転送要求と，他の優先順位が低いチャネルの転送要求が発生した場合，CPUにバスを解放した次の転送は，新たに要求のあった優先順位の低いチャネルのDMA転送となります（転送サイクル中は，同一チャネルの新たな転送要求は無視されます）。

20.6　転送タイプ

転送タイプとして，2サイクル転送をサポートしています。

2サイクル転送は，リード・サイクル，ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは，転送元のアドレスを出力し転送元からDMACへのリードを行い，ライト・サイクルでは，転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には，必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で，転送元と転送先のデータ・バス幅が異なる場合，次のような動作になります。

＜16ビット・データ転送の場合＞

① 32ビット・バス→16ビット・バスへの転送
リード・サイクル（上位16ビットはハイ･インピーダンス）が発生し，そのあとライト・サイクル（16ビット）が発生します。

② 16/32ビット・バス→8ビット・バスへの転送の場合
16ビットのリード・サイクルが1回発生し，その後8ビットのライト・サイクルが2回発生します。

③ 8ビット・バス→16/32ビット・バスへの転送の場合
8ビットのリード・サイクルが2回発生し，その後16ビットのライト・サイクルが1回発生します。

④ 16ビット・バス⇔32ビット・バスへの転送の場合
16ビットのリード・サイクルが1回発生し，その後16ビットのライト・サイクルが1回発生します。

なお，内蔵周辺I/Oレジスタを対象（転送元／転送先）とするDMA転送の場合，必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば，8ビットのレジスタに対するDMA転送の場合は，必ずバイト（8ビット）転送を指定してください。

備考　各転送対象（転送元／転送先）のバス幅は次のとおりです。

- 内蔵周辺I/O　：16ビット・バス幅
- 内蔵RAM　：32ビット・バス幅
- 外部メモリ　：8もしくは16ビット・バス幅

20. 7　DMAチャネルの優先順位

DMAチャネルの優先順位は固定で，次のようになります。

DMAチャネル0＞DMAチャネル1＞DMAチャネル2＞DMAチャネル3

1回の転送サイクルの度に優先順位がチェックされます。

20. 8　DMA転送に関する各種時間

DMA要求に対する応答時間，DMA転送にかかる最小クロック数を次に示します。

シングル転送：DMA応答時間（①）＋転送元メモリ・アクセス（②）＋1[注1]＋転送先メモリ・アクセス（②）

DMAサイクル		最小実行クロック数
①DMA要求に対する応答時間		4クロック（MIN.）＋ノイズ除去時間[注2]
②メモリ・アクセス	外部メモリ・アクセス	接続するメモリで異なります
	内蔵RAMアクセス	2クロック[注3]
	周辺I/Oレジスタ・アクセス	3クロック＋VSWCレジスタによるウエイト数[注4]

注1.　DMA転送のリード・サイクルとライト・サイクルの間には，必ず1クロック挿入されます。

2.　外部割り込み（INTPn）をDMA転送の起動要因に指定した場合，ノイズ除去時間が加算されます（n = 0-7）。

3.　DMAサイクルの場合は，2クロックかかります。

4.　特定の周辺I/Oレジスタへのアクセスについては，さらにウエイトが必要となります（詳細は3. 4. 9（2）を参照してください）。

20. 9　DMA転送起動要因

DMA転送の起動要因には，次の2種類があります。

(1) ソフトウエアによる要求

DCHCn.TCnビット = 0，かつEnnビット = 1（DMA転送許可）の状態で，STGnビットをセット（1）すると，DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには，DBCnレジスタにて，先のDMA転送サイクルが完了したことを確認してから，再度STGnビットをセット（1）してください（n = 0-3）。

TCnビット = 0，Ennビット = 1
↓
STGnビット = 1 … 1回目のDMA転送開始
↓
DBCnレジスタの内容が更新されたことを確認
STGnビット = 1 … 2回目のDMA転送開始
↓
：
↓
ターミナル・カウント発生…Ennビット = 0, TCnビット = 1かつINTDMAn信号発生

(2) 内蔵周辺I/Oによる要求

DCHCn.TCnビット = 0，かつEnnビット = 1（DMA転送許可）の状態で，DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると，DMA転送を起動します。

注意1. 同一のDMAチャネルに対して，2つの起動要因（ソフトウエア・トリガ，ハードウエア・トリガ）を併用できません。1つのDMAチャネルに対して，２つの起動要因が同時に発生した場合，どちらか一方だけが有効となります。有効となった起動要因の特定はできません。

2. 先のDMA転送要求が発生してから，または先のDMA転送サイクル中に新たな転送要求が発生しても，その要求は無視（クリア）されます。

3. 同一のDMAチャネルに対する転送要求間隔は，DMA転送サイクル中のバス・ウエイトの設定やほかのチャネルの起動状況，または外部バス・ホールド要求により変化します。特に注意2のとおり，DMA転送サイクル前，または転送サイクル中に同一チャネルの新たな転送要求が発生しても，その要求は無視されてしまいます。したがって，同一のDMAチャネルに対する転送要求間隔は，システム上で十分な間隔をもつようにしてください。ソフトウェア・トリガ時は，DBCnレジスタの更新により，先に発生したDMA転送サイクルの完了を確認できます。

20. 10　DMAの中断要因

DMA転送は，バス・ホールドが発生すると中断されます。

内部メモリ／内蔵周辺IO⇔内部メモリ／内蔵周辺I/O時も同様です。

バス・ホールドが解除されると，引き続きDMA転送を開始します。

20. 11　DMA転送の終了

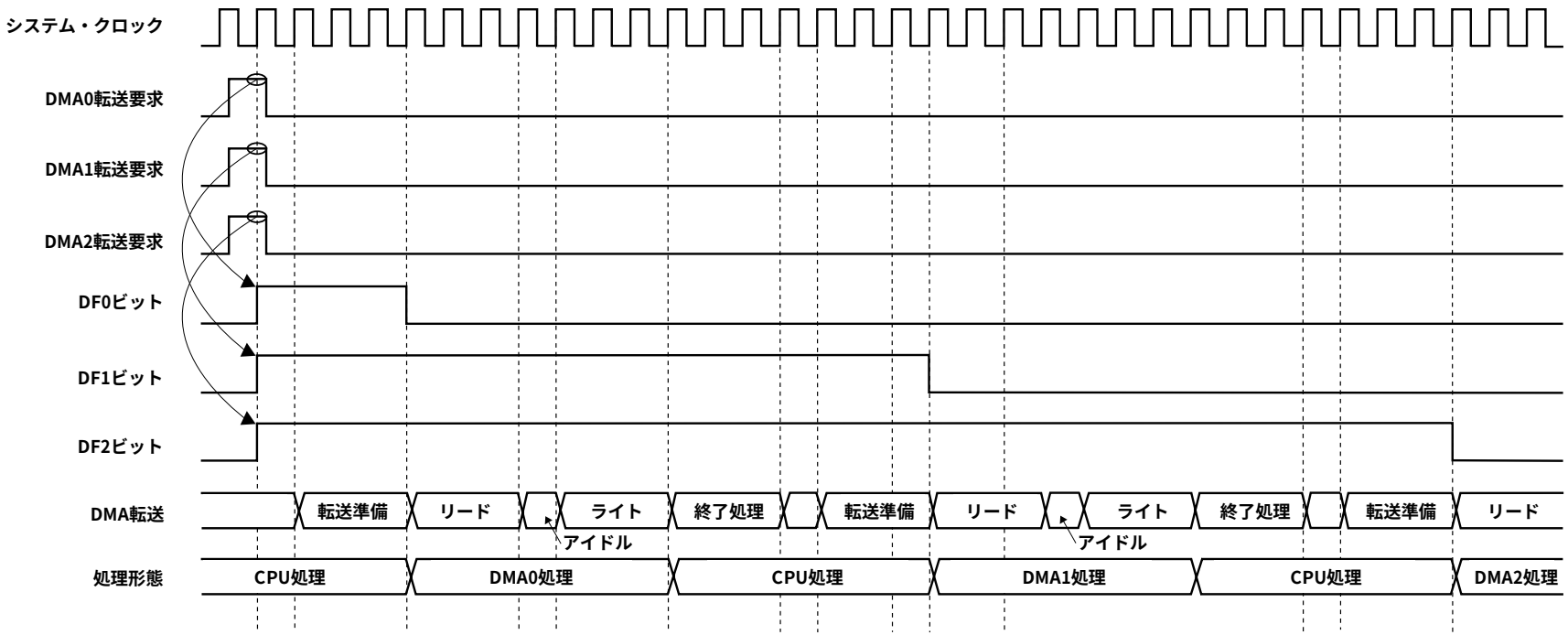
DBCnレジスタに設定した回数分DMA転送が終了し，DCHCn.Ennビットがクリア（0），TCnビットがセット（1）されると，割り込みコントローラ（INTC）に対して，DMA転送終了割り込み要求信号（INTDMAn）を発生します（n = 0-3）。

V850ES/SG2では，ターミナル・カウント信号を外部に出力していませんので，DMA転送終了割り込み，またはTCnビットのポーリングによりDMA転送の完了を確認してください。

20. 12　動作タイミング

図20－1から図20－4にDMAの動作タイミングを示します。

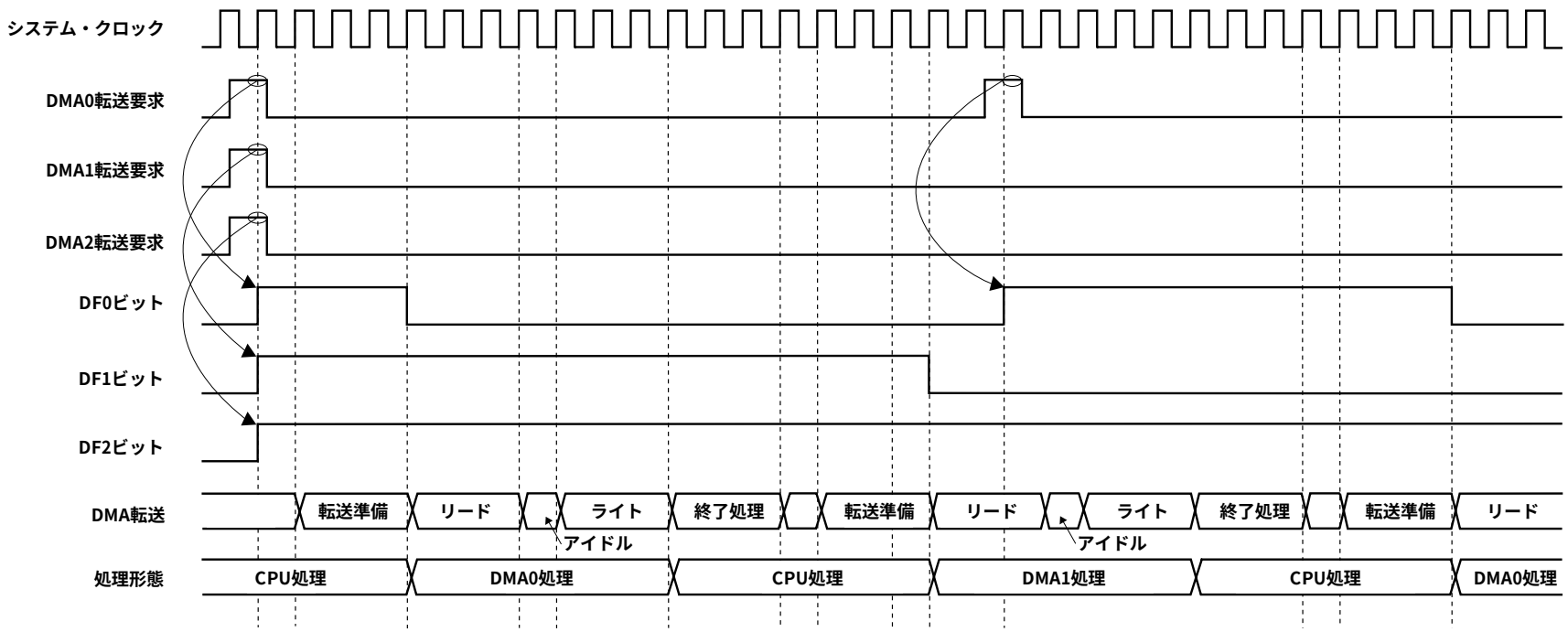
図20－1　DMAの優先順位（1）



備考1.　DMA0→DMA1→DMA2の順で転送。

2.　外部メモリ空間↔外部メモリ空間の場合（マルチプレクス・バス，ウエイトなし）。

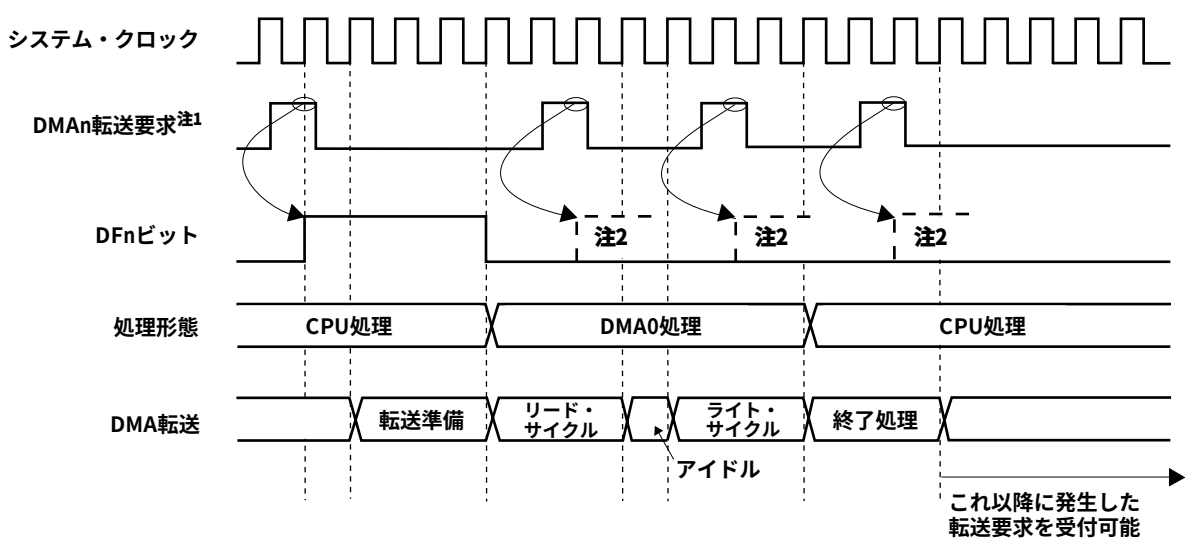
図20ー2　DMAの優先順位（2）



備考1.　DMA0→DMA1→DMA0の順で転送（DMA2は保留されたまま）。

2.　外部メモリ空間↔外部メモリ空間の場合（マルチプレクス・バス，ウエイトなし）。

図20－3　DMAの転送要求が無視される期間（1）

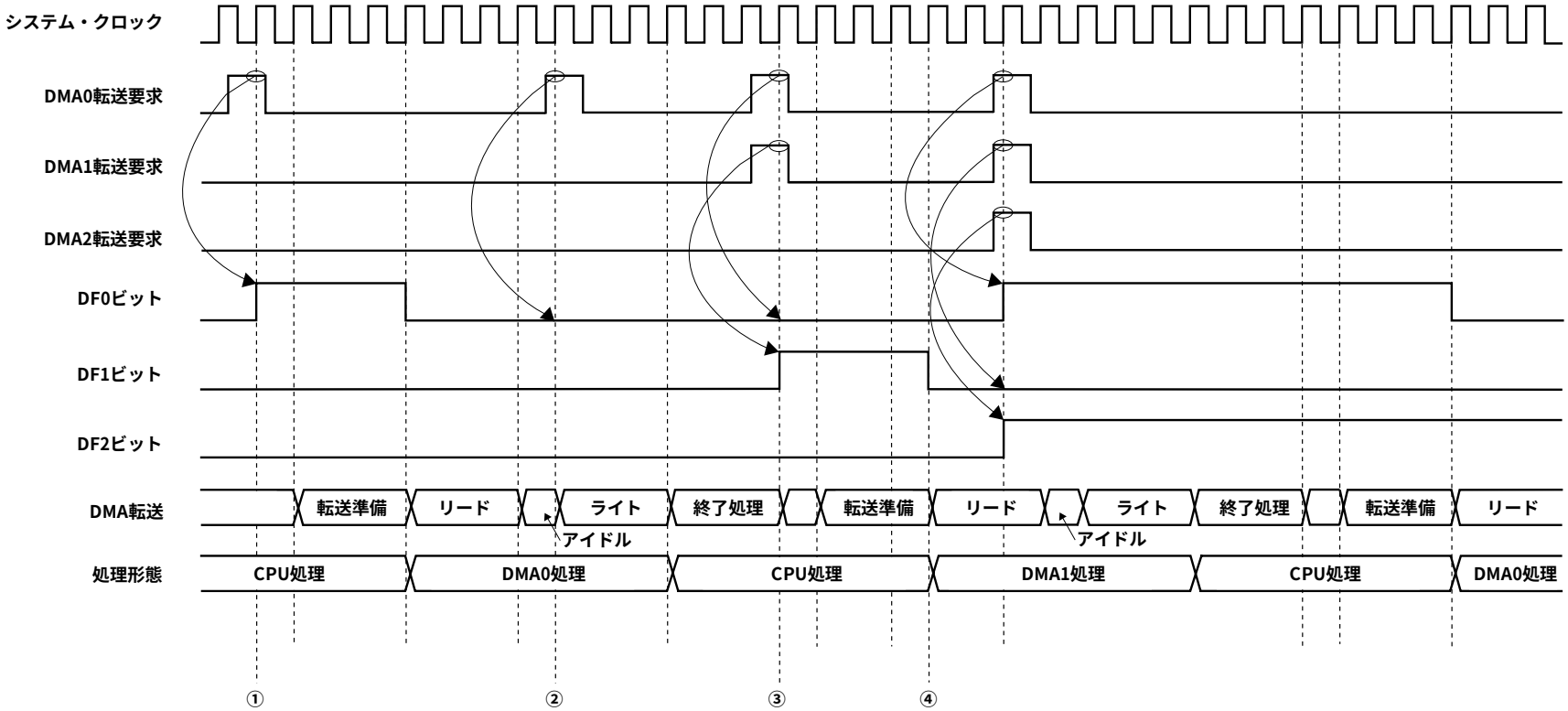


注1.　内蔵周辺I/Oからの割り込み，またはソフトウエア・トリガ（STGnビット）

2.　転送要求から終了処理までの間，同一チャネルに対する新たなDMA要求は無視されます。

備考　外部メモリ空間↔外部メモリ空間の場合（マルチプレクス・バス，ウエイトなし）。

図20ー4　DMAの転送要求が無視される期間（2）



① DMA0転送要求

② DMA0転送中に新たなDMA0転送要求が発生
　→DMA転送中の同一チャネルのDMA要求は無視される

③ DMA0とDMA1の要求が同時発生
　→DMA0の要求は無視される（転送中の同一チャネルのDMA要求は無視される）
　→DMA1の要求が受け付けられる

④ DMA0とDMA1とDMA2の要求が同時に発生
　→DMA1の要求は無視される（転送中の同一チャネルのDMA要求は無視される）
　→優先順位によりDMA0の要求が受け付けられる。DMA2の要求は保留（次はDMA2の転送が発生）

20. 13　注意事項

（1）VSWCレジスタに関する注意

DMACを使用する際は，必ずVSWCレジスタに，動作周波数に応じた最適な値を設定してください。

VSWCレジスタの初期値（77H），または最適な値以外で使用した場合は正常に動作できません（VSWCレジスタの詳細については，3. 4. 9（1）（a）システム・ウエイト・コントロール・レジスタ（VSWC）を参照してください）。

（2）内蔵RAMを転送対象とするDMA転送時の注意

内蔵RAMに配置された次の命令を実行する場合は，内蔵RAMを対象（転送先／転送元）とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。

- 内蔵RAMに配置されたビット操作命令（SET1, CLR1, NOT1）
- 内蔵RAMに配置されたミス・アライン・アドレスに対するデータ・アクセス命令

逆に，内蔵RAMを対象（転送先／転送元）としたDMA転送を行う場合は，上の2つの命令を実行しないでください。

（3）DCHCn.TCnビットのリードに関する注意事項（n = 0-3）

TCnビットは，読み出しによりクリア（0）されますが，ある特定タイミングにおいてTCnビットをリードしても，自動的にクリア（0）されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。

（a）TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合

TCnビットがセット（1）されたことを確認したあと（TCnビット = 1が読み出されたあと），さらに3回のTCnビットのリードを行ってください。

（b）割り込み処理ルーチンでTCnビットのリードを行う場合

TCnビットのリードを3回実行してください。

（4）DMA転送の初期化手順について（DCHCn.INITnビットのセット（1））

DMA転送中のチャネルを初期化するときに，INITnビットをセット（1）しても，チャネルの初期化が行われない場合があります。初期化を確実に実行するために，次に示す2つの手順のいずれかを実行させてください。

（a）一時的にすべてのDMAチャネルの転送を停止させる方法

次に示す①～⑦の手順で初期化を実行してください。

ただし，次の⑤に示す処理の実行により，TCnビットがクリア（0）されてしまいます。ほかの処理において，TCnビット = 1となっていることを期待したプログラムになっていないことを確認してください。

① 割り込み禁止状態（DI）にする。

② 強制終了したいチャネル以外に使用しているDMAチャネルのDCHCn.Ennビットを読み出し，汎用レジスタに転送する。

③ 使用しているDMAチャネル（強制終了するチャネルを含む）のEnnビットをクリア（0）する。最終のDMAチャネルの場合にはEnnビットのクリア命令を2回実行する。このとき，転送対象（転送元／転送先）が内蔵RAMの場合は，3回実行する。

例　チャネル0，1，2を使用している場合には，次の順で命令を実行する（転送対象が内蔵RAMでない場合）。

- DCHC0.E00ビットをクリア（0）
- DCHC1.E11ビットをクリア（0）
- DCHC2.E22ビットをクリア（0）
- 再度，DCHC2.E22ビットをクリア（0）

④ 強制終了するチャネルのINITnビットをセット（1）する。

⑤ 強制終了しない各チャネルのTCnビットを読み出し，TCnビットと②で読み出したEnnビットが，ともに1（論理積（AND）が1）の場合は退避していたEnnビットをクリア（0）する。

⑥ ⑤で操作後のEnnビットをDCHCnレジスタに書き込む。

⑦ 割り込み許可状態（EI）にする。

注意　上記⑤は，②，③の間に正常終了したチャネルに対して，再度Ennビットを不正にセットすることを防ぐため，必ず行ってください。

（b）正常に強制終了するまでINITnビットのセットを繰り返し実行する方法

① 強制終了したいチャネルのDMA要求元からのリクエストが発生しないようにする（内蔵周辺I/Oの動作停止）。
② DTFRn.DFnビットにより，強制終了するチャネルのDMA転送要求が保留されていないかを確認する。保留されている場合は，保留されているDMA転送要求の実行が完了するまで待つ。
③ 強制終了するチャネルのDMA要求が保留されていないことが確認できたら，Ennビットをクリア（0）する。
④ 再度，強制終了するチャネルのEnnビットをクリア（0）する。
ただし，強制終了するチャネルの転送対象（転送元／転送先）が内蔵RAMの場合は，この操作をさらにもう一度実行する。
⑤ 強制終了するチャネルの初期転送回数を汎用レジスタにコピーする。
⑥ 強制終了するチャネルのINITnビットをセット（1）する。
⑦ 強制終了するチャネルのDBCnレジスタの値を読み出し，⑤でコピーした値と比較する。比較した結果，一致しない場合は⑥から⑦の操作を繰り返す。

備考1. ⑦でDBCnレジスタの値を読み出すと，正常に強制終了を完了した場合は初期転送回数が読み出されます。未完了の場合は残りの転送回数が読み出されます。
2. （b）の方法は，強制終了の対象となっているDMAチャネル以外のDMA転送が頻繁に行われるようなアプリケーションの場合，強制終了されるまでに時間を要する可能性があるので注意してください。

（5）DMA転送の一時中断手順について（Ennビットのクリア）

実行中のDMA転送を中断し，再開するには次の手順にしたがってください。

① DMA要求元からの転送要求が発生しないようにする（内蔵周辺I/Oの動作を停止）。
② DFnビットにより，DMA転送要求が保留されていないかを確認する（DFnビット = 0であることを確認）。保留されている場合は，保留されているDMA転送要求の実行が完了するまで待つ。
③ DMA転送要求が保留されていないことを確認できたら，Ennビットをクリア（0）する（この操作により，DMA転送が中断される）。
④ DMA転送を再開させるためにEnnビットをセット（1）する。
⑤ 停止しているDMA要求元の動作を再開する（内蔵周辺I/Oの動作を開始）。

（6）メモリ境界

DMA転送中に，転送元，または転送先のアドレスがDMA対象（外部メモリ，内蔵RAM，内蔵周辺I/O）の領域を越えた場合の動作は保証できません。

（7）ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元，または転送先に指定した場合，アドレスの最下位ビットは強制的に0として扱われます。

（8）CPUへのバス・アービトレーション

バス使用権の優先順位はCPUよりDMAコントローラが高いため，DMA転送中に発生したCPUのアクセスは，DMA転送サイクルが完了しCPUにバスが開放されるまで待たされます。

ただし，CPUはDMA転送を行っていない外部メモリ，内蔵周辺I/O，内蔵RAMとのアクセスが可能です。

- 外部メモリ⇔内蔵周辺I/Oとの間でDMA転送が行われているとき，CPUは内蔵RAMにアクセスできます。
- 外部メモリ⇔外部メモリでDMA転送が行われているときは，CPUは内蔵RAM，内蔵周辺I/Oにアクセスできます。

（9）DMA動作中の書き換え禁止レジスタ／ビット

次のレジスタの設定は，DMA動作中でない次のいずれかのタイミングで行ってください。

【対象レジスタ】

- DSAnH, DSAnL, DDAnH, DDAnL, DBCn, DADCnレジスタ
- DTFRn.IFCn5-IFCn0ビット

【設定可能タイミング】

- リセット後から最初のDMA転送開始までの期間
- チャネル初期化後からDMA転送開始までの時間
- DMA転送完了後（TCnビット = 1の状態）から次のDMA転送開始までの期間

（10）次のレジスタの各ビットには，必ず“0”を設定してください。

- DSAnHレジスタのビット14-10
- DDAnHレジスタのビット14-10
- DADCnレジスタのビット15, 13-8, 3-0
- DCHCnレジスタのビット6-3

（11）DMAの起動要因

同じ起動要因で複数のDMAチャネルを起動しないでください。起動した場合，優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります。

（12）DSAn, DDAnレジスタの読み出し値

DMA転送中にDSAn，DDAnレジスタの値を読み出した場合，更新途中の値が読み出されることがあります（n = 0-3）。

たとえば，DMA転送元アドレス（DSAnレジスタ）が0000FFFFH，カウント方向がインクリメント（DADCn.SAD1, SAD0ビット = 00）の場合，DSAnHレジスタ→DSAnLレジスタの順に読み出しを行うと，DSAnHレジスタ読み出し直後のDMA転送の有無によって，DSAnLレジスタの値が次のように異なります。

（a）DSAnレジスタの読み出し中にDMA転送が発生しない場合

① DSAnHレジスタの読み出し：DSAnH = 0000H

② DSAnLレジスタの読み出し：DSAnL = FFFFH

（b）DSAnレジスタの読み出し中にDMA転送が発生する場合

① DSAnHレジスタの読み出し：DSAnH = 0000H

② DMA転送の発生

③ DSAnレジスタのインクリメント：DSAn = 00100000H

④ DSAnLレジスタの読み出し：DSAnL = 0000H

第21章　CRC機能

21.1　機　　能

・データ・ブロックの誤り検出用のCRC演算回路です。

・8ビット単位の任意のデータ長ブロックに対し，CRC-CCITT（$X^{16}+X^{12}+X^{5}+1$）の生成多項式を使用し，16ビットCRCコードを生成します。

・CRCコードは，CRCDレジスタに初期値を設定したあと，1バイトのデータをCRCINレジスタに転送するごとに，CRCDレジスタに設定されます。

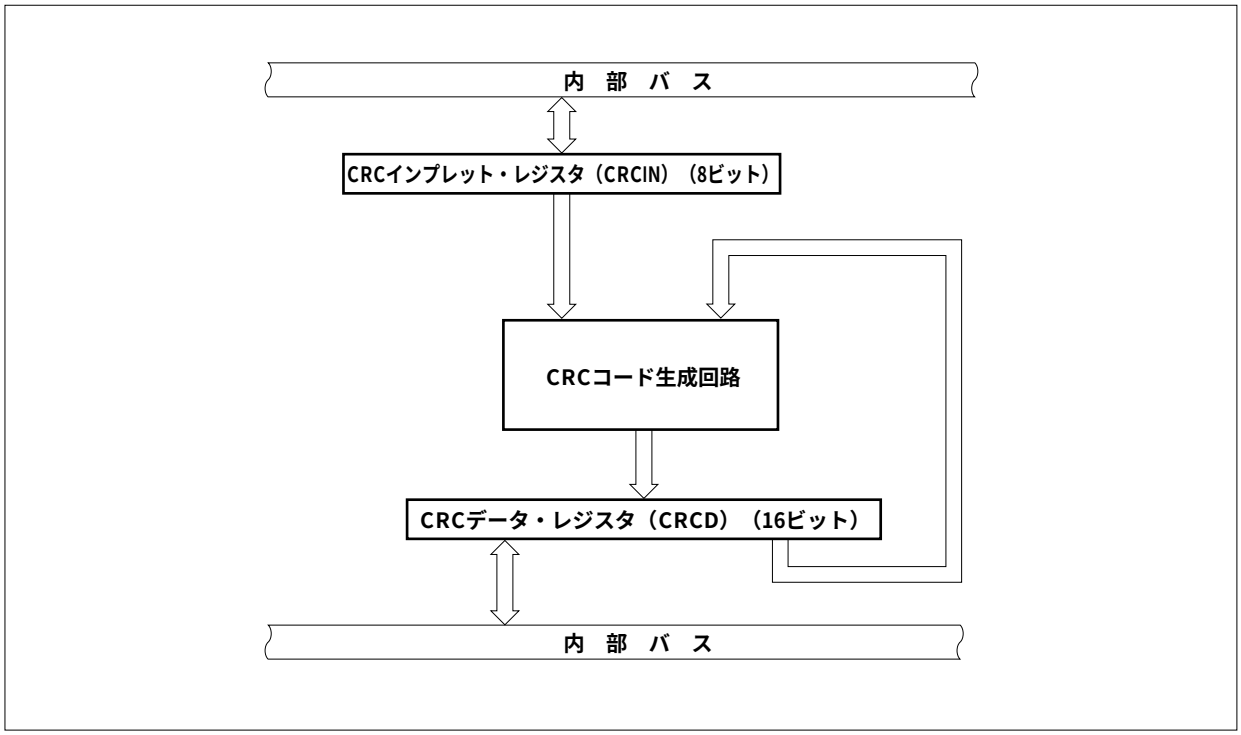
21.2　構　　成

CRC機能は，次のハードウエアで構成されています。

表21－1　CRCの構成

項　　目	構　　成
制御レジスタ	CRCインプット・レジスタ（CRCIN） CRCデータ・レジスタ（CRCD）

図21－1　CRCレジスタのブロック図



21. 3　レジスタ

(1) CRCインプット・レジスタ（CRCIN）

CRCINレジスタは，データ設定用の8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF310H

	7	6	5	4	3	2	1	0
CRCIN								

(2) CRCデータ・レジスタ（CRCD）

CRCDレジスタは，CRC-CCITT演算結果格納の16ビット・レジスタです。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意　次に示す状態において，CRCDレジスタへのアクセスは禁止です。詳細は3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し，かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

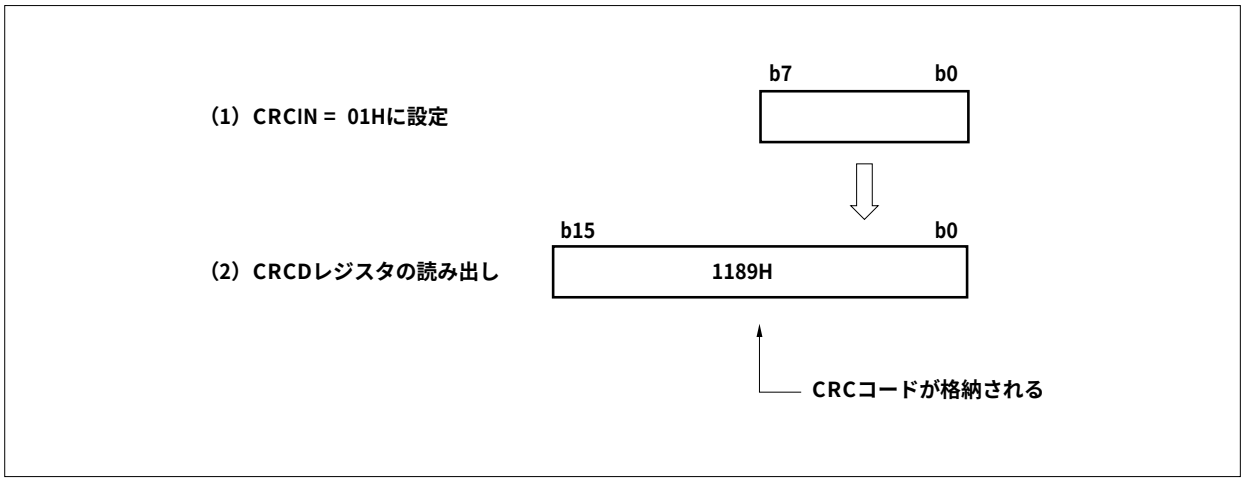
リセット時：0000H　R/W　アドレス：FFFFF312H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

21.4 動　　作

CRC演算回路の演算例を次に示します。

図21－2　CRC演算回路の演算例（LSBファースト）



01HをLSBファーストで送信した場合のコードは（1000 0000）です。したがって，生成多項式$X^{16}+X^{12}+X^{5}+1$でのCRCコードは，モジュロ2の演算法則を用いて（1000 0000）X^{16}を（1 0001 0000 0010 0001）で除算をした場合の剰余となります。

モジュロ2の演算とは次の法則に基づいた演算です。

0＋0 = 0

0＋1 = 1

1＋0 = 1

1＋1 = 0

－1 = 1

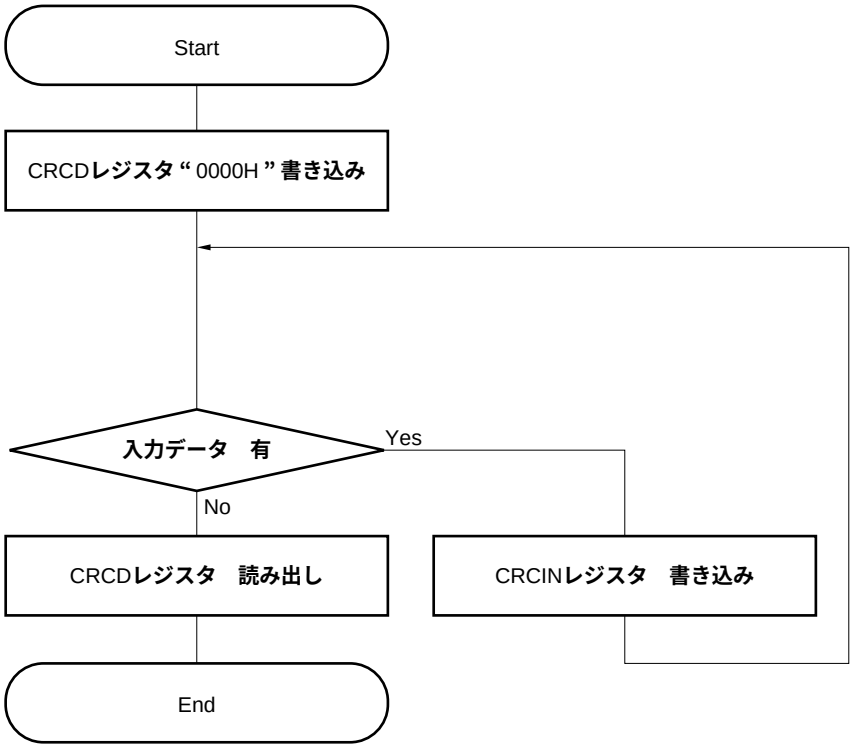
```
                                   LSB
                                                          1000  1000   MSB
1  0001  0000  0010  0001 / 1000  0000  0000  0000  0000  0000
                           1000  1000  0001  0000  1
                                 1000  0001  0000  1000  0
                                 1000  1000  0001  0000  1
                                       1001  0001  1000  1000
                                 LSB                          MSB
```

したがって，CRC符号は $\overbrace{1001}^{9}\ \overbrace{0001}^{8}\ \overbrace{1000}^{1}\ \overbrace{1000}^{1}$ となります。LSBファーストなので16進数表記では，1189Hに相当します。

21.5　使用方法

次にCRC論理回路の使用方法について説明します。

図21－3　CRC動作フロー



〔基本使用方法〕

① CRCDレジスタに0000Hを書き込み

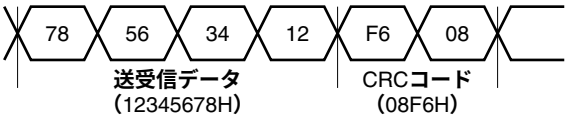
② CRCINレジスタに必要な分のデータを順に書き込み

③ CRCDレジスタ読み出し

複数バイトのデータを送受信する際，送受信データとともに，CRCコードを送受信すると，通信エラーを容易に検出できます。

次に12345678H（0001 0010 0011 0100 0101 0110 0111 1000B）をLSBファーストで送信する場合の例について示します。

図21－4　CRC送信例



送信側の設定手順

① CRCDレジスタに，初期値“0000H”を書き込む

② 最初に送信する1バイト・データを，送信バッファ・レジスタに書き込む（このとき，CRCINレジスタにも同じデータを書き込む）

③ 複数バイトのデータを送信する場合は，送信データを送信バッファ・レジスタに書き込むたびに，同じデータをCRCINレジスタに書き込む

④ すべてのデータを送信したあと，CRCDレジスタの内容（CRCコード）を送信バッファ・レジスタに書き込み，送信する（LSBファーストなので，下位バイト，上位バイトの順に送信する）

受信側の設定手順

① CRCDレジスタに，初期値“0000H”を書き込む

② 最初の1バイト・データの受信完了後，その受信データを，CRCINレジスタに書き込む

③ 複数バイトのデータを受信する場合は，受信完了のたびに，その受信データをCRCINレジスタに書き込む（正常に受信している場合，すべての受信データをCRCINレジスタに書き込んだ時点で，受信側のCRCDレジスタの内容と送信側のCRCDレジスタの内容は同一になる）

④ このあと，送信側からはCRCコードが送信されるので，受信データと同様に，CRCINレジスタに書き込む

⑤ CRCコードを含めて，すべての受信が完了した時点で，CRCDレジスタの内容が“0000H”であれば，正常受信。CRCDレジスタの内容は“0000H”以外の値の場合は，通信エラーであるため，送信側へ再送要求を行う

第22章　割り込み／例外処理機能

V850ES/SG2は，割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し，合計56-60要因の割り込み要求を処理できる割り込み機能を実現しています。

なお，割り込みをプログラムの実行とは別に独立して発生する事象とし，例外をプログラムの実行に依存して発生する事象とします。

V850ES/SG2では，内蔵している周辺ハードウエアおよび外部からの各種割り込み要求信号を処理できます。さらに，TRAP命令による例外処理の起動（ソフトウエア例外）や，例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

22. 1　特　　徴

○割り込み

- ノンマスカブル割り込み　：2要因
- マスカブル割り込み：外部8本，内部46/50要因（表1－1参照）
- 8レベルのプログラマブル優先順位制御（マスカブル割り込み）
- 優先順位に従った割り込み多重処理制御
- 個々のマスカブル割り込み要求に対するマスク指定
- 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

○例外

- ソフトウエア例外：32要因
- 例外トラップ　　：2要因（不正命令コード例外，ディバグ・トラップ）

これらの割り込み／例外要因を表22－1に示します。

表22－1　割り込み要因一覧（1/4）

種　類	分　類	ディフォールト・プライオリティ	名　称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
リセット	割り込み	－	RESET	$\overline{\text{RESET}}$端子入力／内部要因からのリセット入力	RESET	0000H	00000000H	不定	－
ノンマスカブル	割り込み	－	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	－
		－	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注1	－
ソフトウエア例外	例外	－	TRAP0n[注2]	TRAP命令	－	004nH[注2]	00000040H	nextPC	－
		－	TRAP1n[注2]	TRAP命令	－	005nH[注2]	00000050H	nextPC	－
例外トラップ	例外	－	ILGOP/DBG0	不正命令コード／DBTRAP命令	－	0060H	00000060H	nextPC	－

注1.　INTWDT2の場合の復帰については22. 2. 2（2）INTWDT2信号の場合を参照してください。

2.　nは0-FHの値

表22－1　割り込み要因一覧（2/4）

種　類	分　類	ディフォールト・プライオリティ	名　称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
マスカブル	割り込み	1	INTP0	外部割り込み端子入力エッジ検出（INTP0）	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	外部割り込み端子入力エッジ検出（INTP1）	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	外部割り込み端子入力エッジ検出（INTP2）	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	外部割り込み端子入力エッジ検出（INTP3）	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	外部割り込み端子入力エッジ検出（INTP4）	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	外部割り込み端子入力エッジ検出（INTP5）	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	外部割り込み端子入力エッジ検出（INTP6）	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTP7	外部割り込み端子入力エッジ検出（INTP7）	端子	0100H	00000100H	nextPC	PIC7
		9	INTTQ0OV	TMQ0オーバフロー	TMQ0	0110H	00000110H	nextPC	TQ0OVIC
		10	INTTQ0CC0	TMQ0キャプチャ0／コンペア0一致	TMQ0	0120H	00000120H	nextPC	TQ0CCIC0
		11	INTTQ0CC1	TMQ0キャプチャ1／コンペア1一致	TMQ0	0130H	00000130H	nextPC	TQ0CCIC1
		12	INTTQ0CC2	TMQ0キャプチャ2／コンペア2一致	TMQ0	0140H	00000140H	nextPC	TQ0CCIC2
		13	INTTQ0CC3	TMQ0キャプチャ3／コンペア3一致	TMQ0	0150H	00000150H	nextPC	TQ0CCIC3
		14	INTTP0OV	TMP0オーバフロー	TMP0	0160H	00000160H	nextPC	TP0OVIC
		15	INTTP0CC0	TMP0キャプチャ0／コンペア0一致	TMP0	0170H	00000170H	nextPC	TP0CCIC0
		16	INTTP0CC1	TMP0キャプチャ1／コンペア1一致	TMP0	0180H	00000180H	nextPC	TP0CCIC1
		17	INTTP1OV	TMP1オーバフロー	TMP1	0190H	00000190H	nextPC	TP1OVIC
		18	INTTP1CC0	TMP1キャプチャ0／コンペア0一致	TMP1	01A0H	000001A0H	nextPC	TP1CCIC0
		19	INTTP1CC1	TMP1キャプチャ1／コンペア1一致	TMP1	01B0H	000001B0H	nextPC	TP1CCIC1
		20	INTTP2OV	TMP2オーバフロー	TMP2	01C0H	000001C0H	nextPC	TP2OVIC
		21	INTTP2CC0	TMP2キャプチャ0／コンペア0一致	TMP2	01D0H	000001D0H	nextPC	TP2CCIC0
		22	INTTP2CC1	TMP2キャプチャ1／コンペア1一致	TMP2	01E0H	000001E0H	nextPC	TP2CCIC1
		23	INTTP3OV	TMP3オーバフロー	TMP3	01F0H	000001F0H	nextPC	TP3OVIC
		24	INTTP3CC0	TMP3キャプチャ0／コンペア0一致	TMP3	0200H	00000200H	nextPC	TP3CCIC0

表22－1　割り込み要因一覧（3/4）

種　類	分　類	ディフォールト・プライオリティ	名　称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
マスカブル	割り込み	25	INTTP3CC1	TMP3キャプチャ1／コンペア1一致	TMP3	0210H	00000210H	nextPC	TP3CCIC1
		26	INTTP4OV	TMP4オーバフロー	TMP4	0220H	00000220H	nextPC	TP4OVIC
		27	INTTP4CC0	TMP4キャプチャ0／コンペア0一致	TMP4	0230H	00000230H	nextPC	TP4CCIC0
		28	INTTP4CC1	TMP4キャプチャ1／コンペア1一致	TMP4	0240H	00000240H	nextPC	TP4CCIC1
		29	INTTP5OV	TMP5オーバフロー	TMP5	0250H	00000250H	nextPC	TP5OVIC
		30	INTTP5CC0	TMP5キャプチャ0／コンペア0一致	TMP5	0260H	00000260H	nextPC	TP5CCIC0
		31	INTTP5CC1	TMP5キャプチャ1／コンペア1一致	TMP5	0270H	00000270H	nextPC	TP5CCIC1
		32	INTTM0EQ0	TMM0コンペア一致	TMM0	0280H	00000280H	nextPC	TM0EQIC0
		33	INTCB0R/INTIIC1	CSIB0の受信終了／CSIB0の受信エラー／IIC1の転送終了	CSIB0 / IIC1	0290H	00000290H	nextPC	CB0RIC/IICIC1
		34	INTCB0T	CSIB0の連続送信書き込み許可	CSIB0	02A0H	000002A0H	nextPC	CB0TIC
		35	INTCB1R	CSIB1の受信終了／CSIB1の受信エラー	CSIB1	02B0H	000002B0H	nextPC	CB1RIC
		36	INTCB1T	CSIB1の連続送信書き込み許可	CSIB1	02C0H	000002C0H	nextPC	CB1TIC
		37	INTCB2R	CSIB2の受信終了／CSIB2の受信エラー	CSIB2	02D0H	000002D0H	nextPC	CB2RIC
		38	INTCB2T	CSIB2の連続送信書き込み許可	CSIB2	02E0H	000002E0H	nextPC	CB2TIC
		39	INTCB3R	CSIB3の受信終了／CSIB3の受信エラー	CSIB3	02F0H	000002F0H	nextPC	CB3RIC
		40	INTCB3T	CSIB3の連続送信書き込み許可	CSIB3	0300H	00000300H	nextPC	CB3TIC
		41	INTUA0R/INTCB4R	UARTA0の受信終了／CSIB4の受信終了／CSIB4の受信エラー	UARTA 0/CSIB4	0310H	00000310H	nextPC	UA0RIC/CB4RIC
		42	INTUA0T/INTCB4T	UARTA0の連続送信許可／CSIB4の連続送信書き込み許可	UARTA 0/CSIB4	0320H	00000320H	nextPC	UA0TIC/CB4TIC
		43	INTUA1R/INTIIC2	UARTA1の受信終了／UARTA1受信エラー／IIC2転送終了	UARTA 1/IIC2	0330H	00000330H	nextPC	UA1RIC/IICIC2
		44	INTUA1T	UARTA1の連続送信許可	UARTA1	0340H	00000340H	nextPC	UA1TIC
		45	INTUA2R/INTIIC0	UARTA2の受信終了／IIC0の転送終了	UARTA/ IIC0	0350H	00000350H	nextPC	UA2RIC/IICIC0
		46	INTUA2T	UARTA2の連続送信許可	UARTA2	0360H	00000360H	nextPC	UA2TIC

表22－1　割り込み要因一覧（4/4）

種　類	分　類	ディフォールト・プライオリティ	名　称	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
マスカブル	割り込み	47	INTAD	A/D変換終了	A/D	0370H	00000370H	nextPC	ADIC
		48	INTDMA0	DMA0転送終了	DMA	0380H	00000380H	nextPC	DMAIC0
		49	INTDMA1	DMA1転送終了	DMA	0390H	00000390H	nextPC	DMAIC1
		50	INTDMA2	DMA2転送終了	DMA	03A0H	000003A0H	nextPC	DMAIC2
		51	INTDMA3	DMA3転送終了	DMA	03B0H	000003B0H	nextPC	DMAIC3
		52	INTKR	キー・リターン割り込み	KR	03C0H	000003C0H	nextPC	KRIC
		53	INTWTI	時計タイマのインターバル	WT	03D0H	000003D0H	nextPC	WTIIC
		54	INTWT	時計タイマの基準時間	WT	03E0H	000003E0H	nextPC	WTIC
		55	INTC0ERR注1 /INTERR注2	AFCAN0エラー／IEBusエラー	AFCAN0 /IEBus	03F0H	000003F0H	nextPC	ERRIC0/ ERRIC
		56	INTC0WUP注1 /INTSTA注2	AFCAN0ウエイク・アップ／IEBusステータス	AFCAN0 /IEBus	0400H	00000400H	nextPC	WUPIC0/ STAIC
		57	INTC0REC注1 /INTIE1注2	AFCAN0受信／IEBusデータ割り込み	AFCAN0 /IEBus	0410H	00000410H	nextPC	RECIC0/ IEIC1
		58	INTC0TRX注1 /INTIE2注2	AFCAN0送信／IEBusエラー／IEBusステータス	AFCAN0 /IEBus	0420H	00000420H	nextPC	TRXIC0/ IEIC2

注1.　CANコントローラ内蔵品のみ

2.　IEBusコントローラ内蔵品のみ

備考1.　ディフォールト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求信号が同時に発生している場合に優先される順位です。1が最高優先順位です。
ノンマスカブル割り込みの優先順位は，INTWDT2＞NMIとなります。

復帰PC：割り込み処理起動時に，CPUのEIPC, FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお，次の命令実行中にノンマスカブル／マスカブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し，割り込み処理完了後に再実行されます）。

・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）

・除算命令（DIV, DIVH, DIVU, DIVHU）

・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み／例外処理後に処理を開始するPC値です。

2.　不正命令コード例外時の不正命令の実行アドレスは，（復帰PC－4）で求められます。

22. 2　ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は，CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また，割り込み優先順位の対象にならず，すべての割り込み要求信号に対して最優先されます。

この製品のノンマスカブル割り込み要求信号には，次の2つがあります。

- NMI端子入力（NMI）
- ウォッチドッグ・タイマのオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）

NMI端子の有効エッジは，“立ち上がりエッジ”，“立ち下がりエッジ”，“両エッジ”，“エッジ検出なし”の4種類から選択できます。

ウォッチドッグ・タイマ2のオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）はWDTM2.WDM21, WDM20ビットを“01”と設定することで機能します。

複数のノンマスカブル割り込み要求信号が重なって発生した場合は，次の優先順位に従って順位の高い処理が実行されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2＞NMI

なお，NMI処理中に，新たにNMI, INTWDT2要求信号が発生した場合は次のような処理を行います。

（1）NMI処理中に，新たにNMI要求信号が発生した場合

PSW.NPビットの値によらず，新たなNMI要求信号は保留されます。保留されたNMI要求信号は，現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

（2）NMI処理中に，新たにINTWDT2要求信号が発生した場合

NMI処理中にNPビットがセット（1）されたままであれば，新たなINTWDT2要求信号は保留されます。保留されたINTWDT2要求信号は，現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

NMI処理中にNPビットをクリア（0）すれば，新たに発生したINTWDT2要求信号が実行されます（NMI処理は中断されます）。

注意　ノンマスカブル割り込み要求信号（INTWDT2）によるノンマスカブル割り込み処理については22. 2. 2（2）INTWDT2信号の場合を参照してください。

図22－1　ノンマスカブル割り込み要求信号の受け付け動作（1/2）

（a）NMI, INTWDT2要求信号が同時に発生する場合

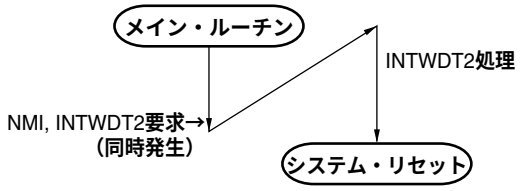
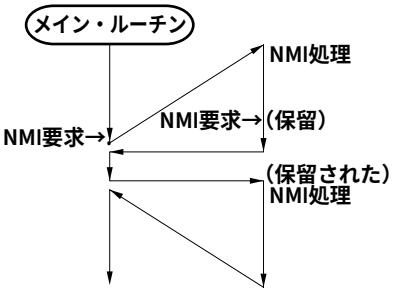
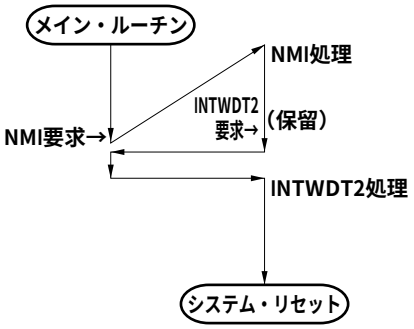
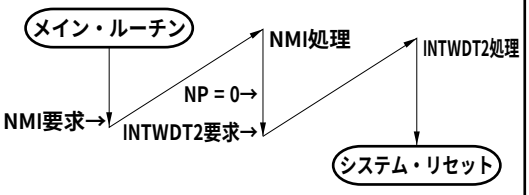
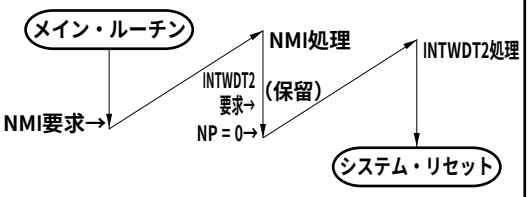
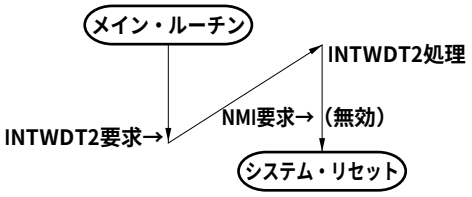
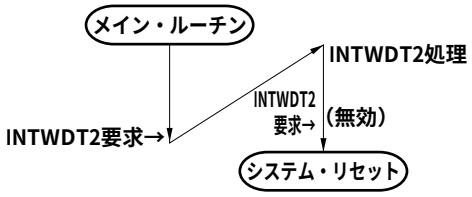


図22－1　ノンマスカブル割り込み要求信号の受け付け動作（2/2）

(b) ノンマスカブル割り込み処理中に新たにノンマスカブル割り込み要求信号が発生する場合

処理中のノンマスカブル割り込み	ノンマスカブル割り込み処理中に新たに発生するノンマスカブル割り込み要求信号	
	NMI	INTWDT2
NMI	・NMI処理中にNMI要求が発生  	・NMI処理中にINTWDT2要求が発生 （INTWDT2要求前にNPビット = 1のまま）  ・NMI処理中にINTWDT2要求が発生 （INTWDT2要求前にNPビット = 0にする）  ・NMI処理中にINTWDT2要求が発生 （INTWDT2要求後にNP = 0にする） 
INTWDT2	・INTWDT2処理中にNMI要求が発生  	・INTWDT2処理中にINTWDT2要求が発生 

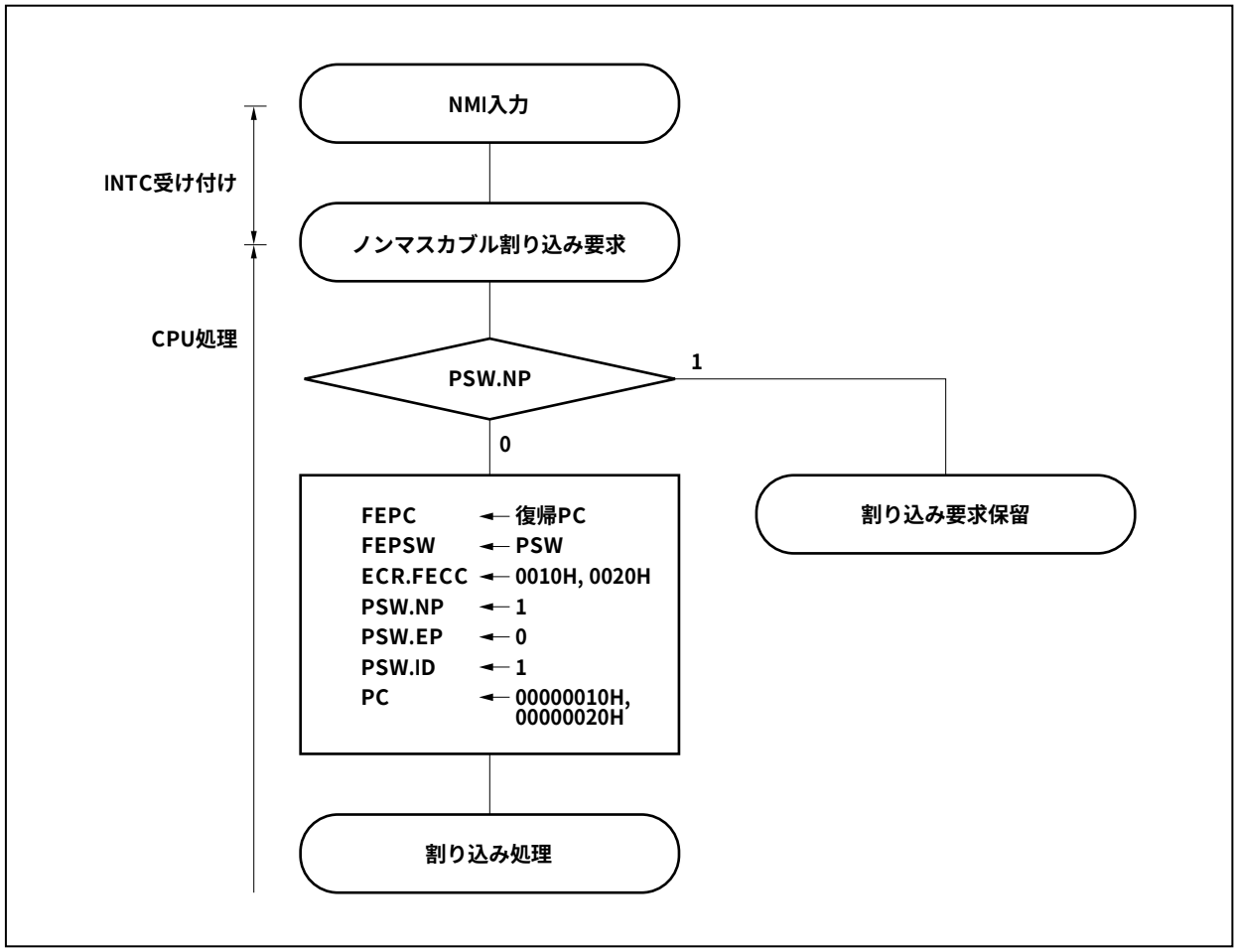
22. 2. 1　動　　作

ノンマスカブル割り込み要求信号が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰PCをFEPCに退避します。
② 現在のPSWをFEPSWに退避します。
③ ECRの上位ハーフワード（FECC）に例外コード（0010H, 0020H）を書き込みます。
④ PSW.NP, IDビットをセット（1）し，PSW.EPビットをクリア（0）します。
⑤ PCにノンマスカブル割り込みに対するハンドラ・アドレス（00000010H, 00000020H）をセットし，制御を移します。

ノンマスカブル割り込みの処理形態を図22－2に示します。

図22－2　ノンマスカブル割り込みの処理形態



22. 2. 2　復　　帰

(1) NMI端子入力の場合

NMI処理からの復帰は，RETI命令により行います。

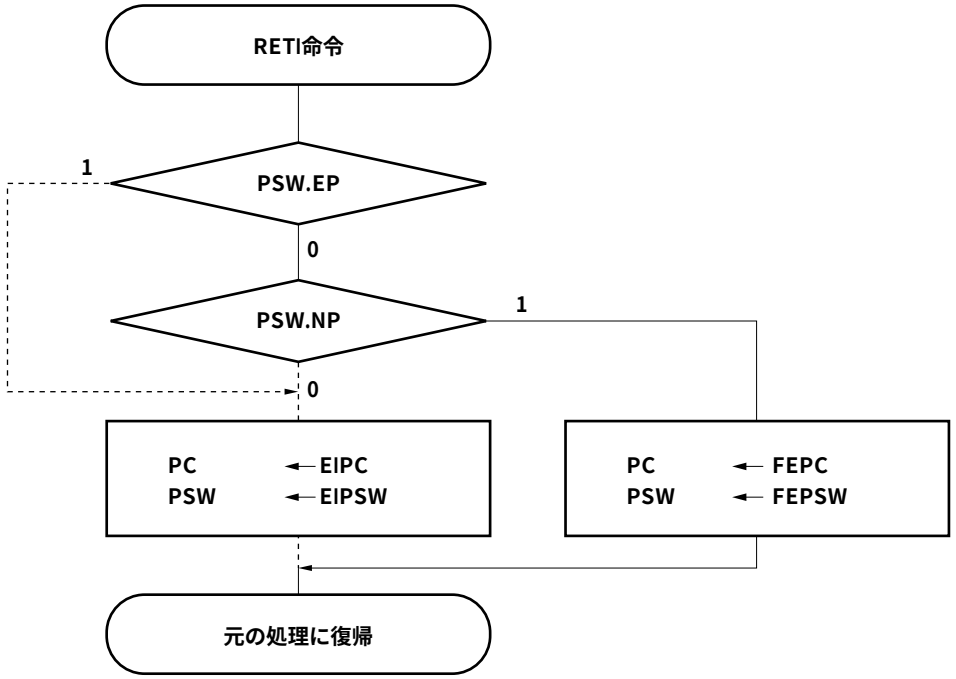
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

① PSW.EPビットが0かつPSW.NPビットが1なので，FEPC, FEPSWから復帰PC, PSWを取り出します。

② 取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図22－3に示します。

図22－3　RETI命令の処理形態



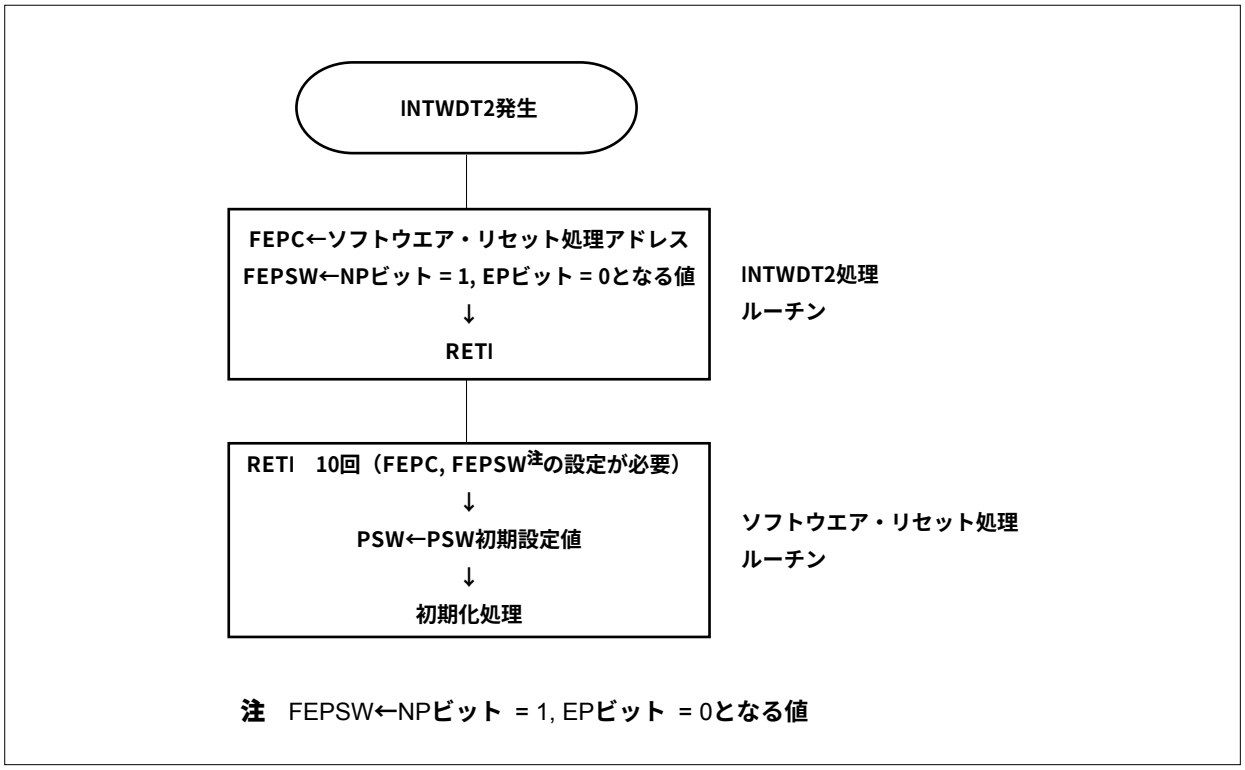
注意　ノンマスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してEPビット = 0かつNPビット = 1に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

(2) INTWDT2信号の場合

ノンマスカブル割り込み要求（INTWDT2）によるノンマスカブル割り込み処理実行後に，RETI命令による復帰はできません。次に示すソフトウエア・リセット処理を実行してください。

図22－4　ソフトウエア・リセット処理



注　FEPSW←NPビット = 1, EPビット = 0となる値

22. 2. 3　NPフラグ

NPフラグは，ノンマスカブル割り込みの処理中であることを示すステータス・フラグです。

ノンマスカブル割り込み要求信号を受け付けるとセットされ，ノンマスカブル割り込み要求をマスクして多重割り込みを禁止します。

リセット時：00000020H

	31	8	7	6	5	4	3	2	1	0
PSW	0		NP	EP	ID	SAT	CY	OV	S	Z

NP	ノンマスカブル割り込み処理状態
0	ノンマスカブル割り込み処理中でない
1	ノンマスカブル割り込み処理中

22. 3　マスカブル割り込み

マスカブル割り込み要求信号は，割り込み制御レジスタにより，割り込み受け付けをマスクできる割り込み要求信号で，54-58種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は，ディフォールト優先順位により，その優先順位が決定します。また，ディフォールト優先順位とは別に，割り込み制御レジスタによって，8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり，以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり，受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし，多重割り込みを許可するときは，EI命令を実行する前にEIPC, EIPSWをメモリ，または汎用レジスタに退避し，RETI命令を実行する前にDIを行って，EIPC, EIPSWを元の値に復帰してください。

22. 3. 1　動　　作

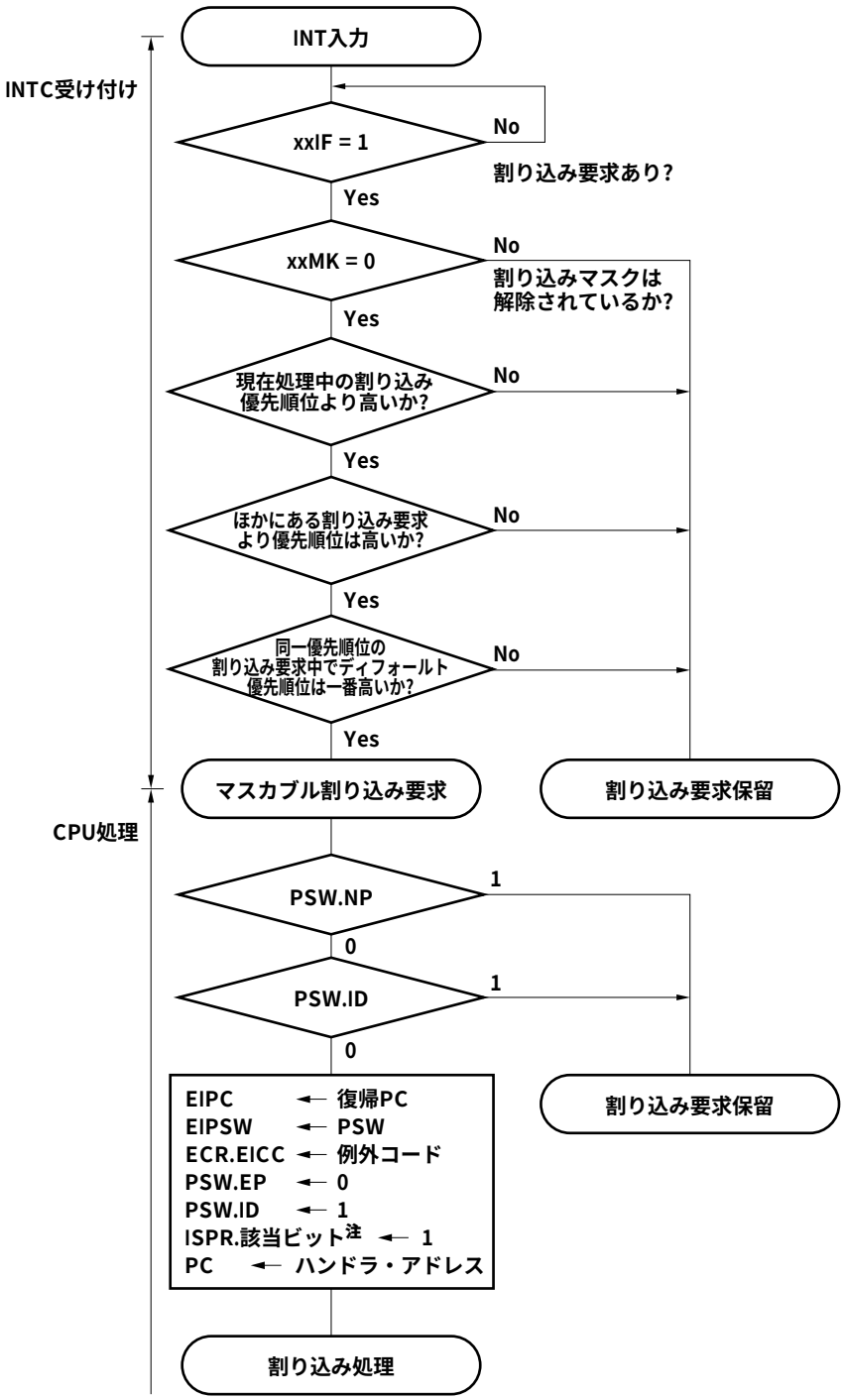
マスカブル割り込みが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰PCをEIPCに退避します。
② 現在のPSWをEIPSWに退避します。
③ ECRの下位ハーフワード（EICC）に例外コードを書き込みます。
④ PSW.IDビットをセット（1）し，PSW.EPビットをクリア（0）します。
⑤ PCに各割り込みに対するハンドラ・アドレスをセットし，制御を移します。

なお，INTCでマスクされているマスカブル割り込み要求信号と，ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は，INTC内部で保留されます。この場合，マスクを解除するか，またはRETI命令，LDSR命令を使用してNPビット = 0かつIDビット = 0にすると，保留していたマスカブル割り込み要求信号の優先順位に従い，新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図22－5　マスカブル割り込みの処理形態



注　ISPRレジスタについては，22. 3. 6　**インサービス・プライオリティ・レジスタ**（ISPR）を参照してください。

22. 3. 2　復　　帰

マスカブル割り込み処理からの復帰は，RETI命令により行います。

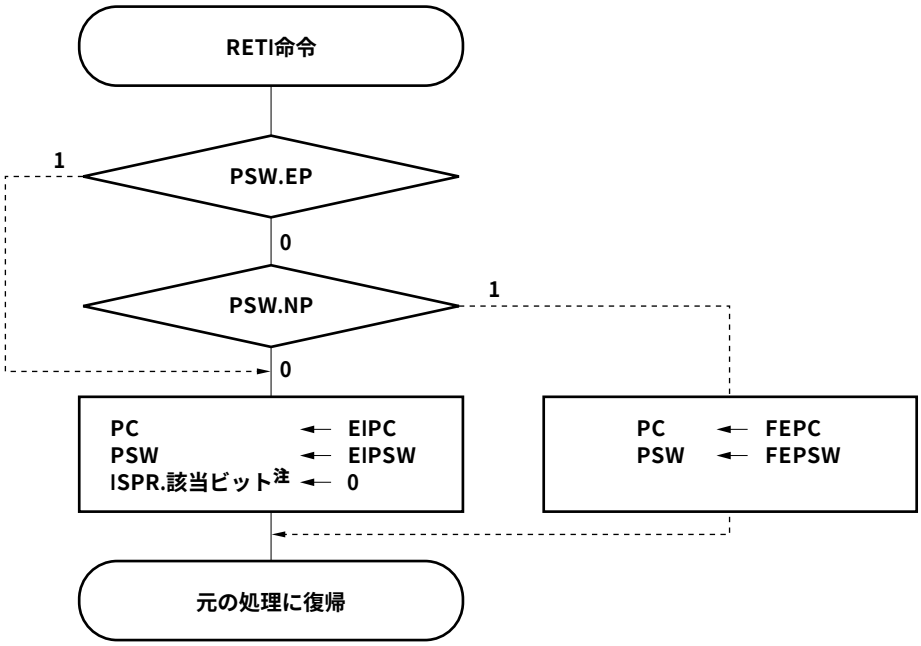
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

① PSW.EPビットが0かつPSW.NPビットが0なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

② 取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図22－6に示します。

図22－6　RETI命令の処理形態



注　ISPRレジスタについては，22. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）を参照してください。

注意　マスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合は，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してEPビット = 0かつNPビット = 0に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

22. 3. 3　マスカブル割り込みの優先順位

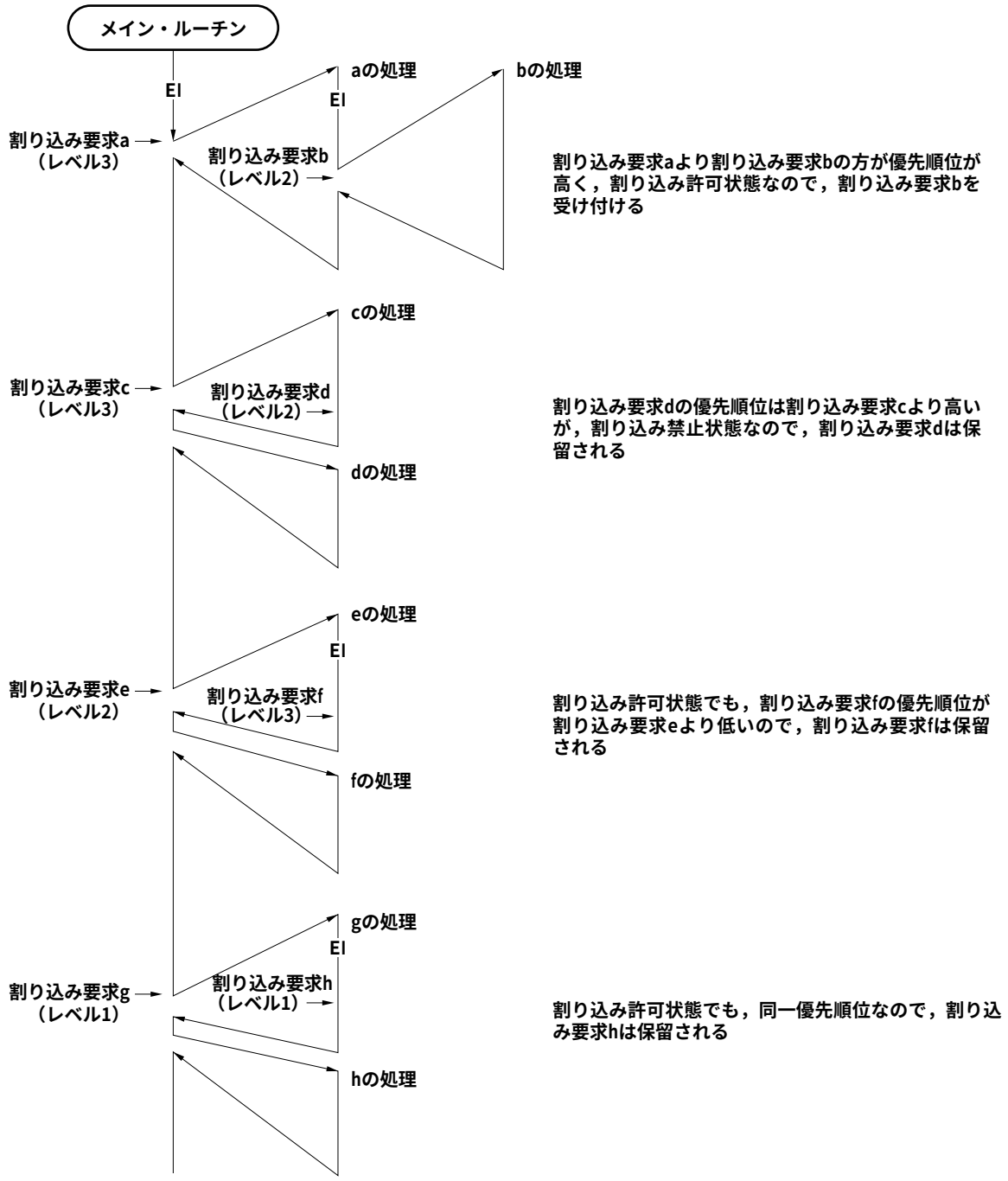
INTCは，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは，優先順位によって制御できます。

優先順位制御には，ディフォールト優先順位による制御と，割り込み制御レジスタ（xxICn）の割り込み優先順位指定ビット（xxPRn）によるプログラマブル優先順位制御があります。ディフォールト優先順位制御は，xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合，各割り込み要求信号にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込みを処理します（表22－1　割り込み要因一覧参照）。プログラマブル優先順位制御は，各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお，割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット（1）されるので，多重割り込みを使用する場合は，割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア（0）し，割り込み許可状態にしてください。

備考　xx　：各周辺ユニット識別名称（表22－2　割り込み制御レジスタ（xxICn）参照）
　　n　：周辺ユニット番号（表22－2　割り込み制御レジスタ（xxICn）参照）

図22－7　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（1/2）

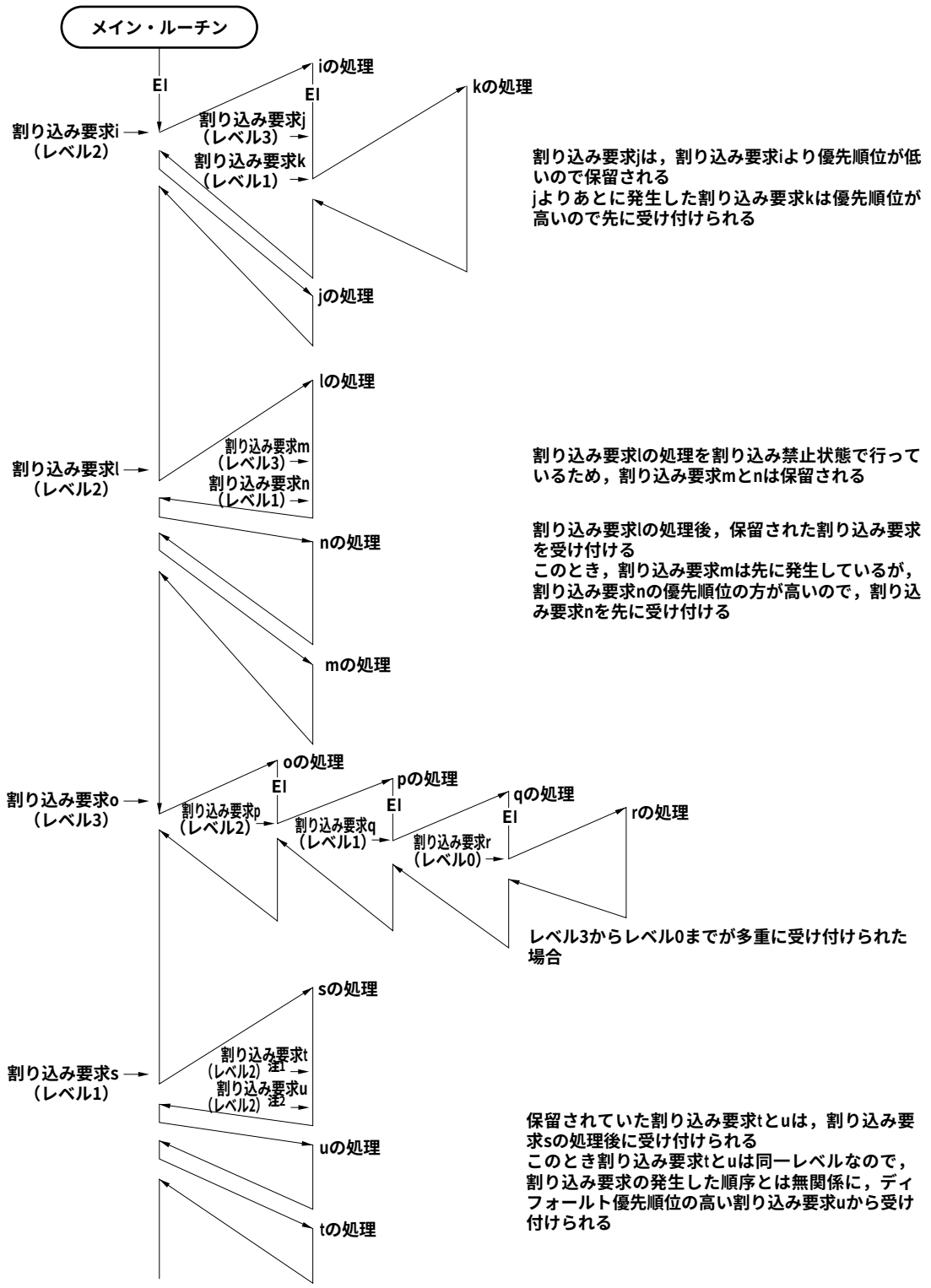


注意　多重割り込みを行うときはEI命令を実行する前に，EIPC，EIPSWの内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC，EIPSWの内容を復帰してください。

備考1.　図中のa-uは，各割り込み要求信号を区別するために付けた仮の名称です。

2.　図中のディフォールト優先順位の高い／低いは，2つの割り込み要求信号間の相対的な優先順位の高さを示します。

図22－7　割り込み処理中にほかの割り込み要求信号が発生した場合の処理例（2/2）

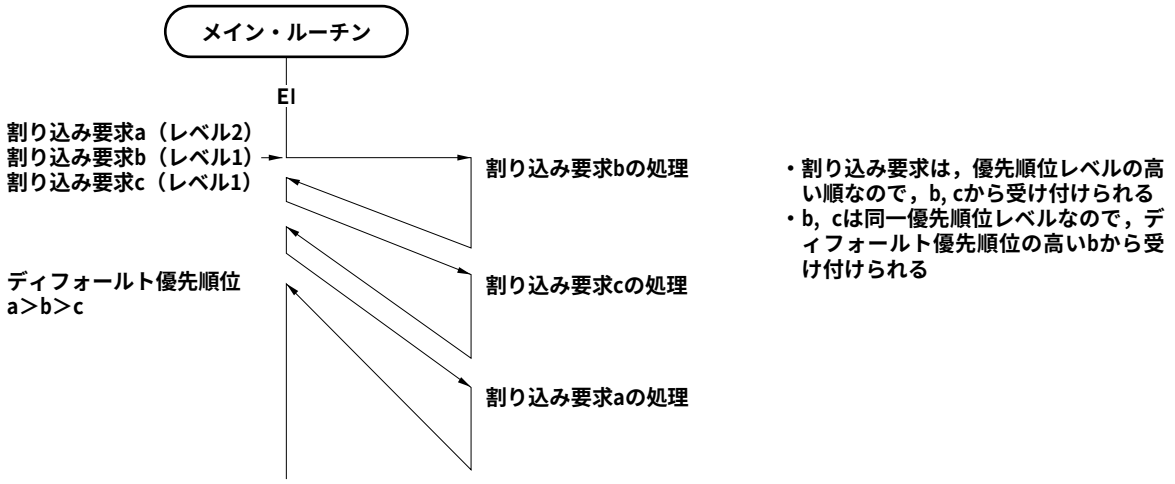


注意　多重割り込みを行うときはEI命令を実行する前に，EIPC，EIPSWの内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC，EIPSWの内容を復帰してください。

注1.　ディフォールト優先順位が低い

2.　ディフォールト優先順位が高い

図22－8　同時発生した割り込み要求信号の処理例



注意　多重割り込みを行うときはEI命令を実行する前に，EIPC，EIPSWの内容を退避する必要があります。また，多重割り込みから復帰する際は，DI命令を実行したあとに，EIPC，EIPSWの内容を復帰してください。

備考1.　図中のa-cは，各割り込み要求信号を区別するために付けた仮の名称です。

2.　図中のディフォールト優先順位の高い／低いは，2つの割り込み要求信号間の相対的な優先順位の高さを示します。

22. 3. 4　割り込み制御レジスタ（xxICn）

割り込み要求信号（マスカブル割り込み）ごとに割り当てられ，各割り込みに対する制御条件を設定します。
8/1ビット単位でリード／ライト可能です。
リセットにより47Hになります。

注意　xxICn.xxIFnビットを読み出す場合は，割り込み禁止（DI）状態または割り込みをマスクした状態で行ってください。割り込み許可（EI）状態または割り込みマスクを解除した状態でxxIFnビットを読み出すと，割り込みの受け付けとビットの読み出しのタイミングが競合した場合に，正常な値が読み出せないことがあります。

リセット時：47H　R/W　アドレス：FFFFF110H-FFFFF184H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0（最高位）を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7（最低位）を指定

注　割り込み要求信号が受け付けられるとハードウエアにより自動的にリセットされます。

備考　xx：各周辺ユニット識別名称（表22－2　割り込み制御レジスタ（xxICn）参照）
n　：周辺ユニット番号（表22－2　割り込み制御レジスタ（xxICn）参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表22－2　割り込み制御レジスタ（xxICn）（1/2）

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF118H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF120H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF122H	TQ0OVIC	TQ0OVIF	TQ0OVMK	0	0	0	TQ0OVPR2	TQ0OVPR1	TQ0OVPR0
FFFFF124H	TQ0CCIC0	TQ0CCIF0	TQ0CCMK0	0	0	0	TQ0CCPR02	TQ0CCPR01	TQ0CCPR00
FFFFF126H	TQ0CCIC1	TQ0CCIF1	TQ0CCMK1	0	0	0	TQ0CCPR12	TQ0CCPR11	TQ0CCPR10
FFFFF128H	TQ0CCIC2	TQ0CCIF2	TQ0CCMK2	0	0	0	TQ0CCPR22	TQ0CCPR21	TQ0CCPR20
FFFFF12AH	TQ0CCIC3	TQ0CCIF3	TQ0CCMK3	0	0	0	TQ0CCPR32	TQ0CCPR31	TQ0CCPR30
FFFFF12CH	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFF12EH	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR02	TP0CCPR01	TP0CCPR00
FFFFF130H	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFF132H	TP1OVIC	TP1OVIF	TP1OVMK	0	0	0	TP1OVPR2	TP1OVPR1	TP1OVPR0
FFFFF134H	TP1CCIC0	TP1CCIF0	TP1CCMK0	0	0	0	TP1CCPR02	TP1CCPR01	TP1CCPR00
FFFFF136H	TP1CCIC1	TP1CCIF1	TP1CCMK1	0	0	0	TP1CCPR12	TP1CCPR11	TP1CCPR10
FFFFF138H	TP2OVIC	TP2OVIF	TP2OVMK	0	0	0	TP2OVPR2	TP2OVPR1	TP2OVPR0
FFFFF13AH	TP2CCIC0	TP2CCIF0	TP2CCMK0	0	0	0	TP2CCPR02	TP2CCPR01	TP2CCPR00
FFFFF13CH	TP2CCIC1	TP2CCIF1	TP2CCMK1	0	0	0	TP2CCPR12	TP2CCPR11	TP2CCPR10
FFFFF13EH	TP3OVIC	TP3OVIF	TP3OVMK	0	0	0	TP3OVPR2	TP3OVPR1	TP3OVPR0
FFFFF140H	TP3CCIC0	TP3CCIF0	TP3CCMK0	0	0	0	TP3CCPR02	TP3CCPR01	TP3CCPR00
FFFFF142H	TP3CCIC1	TP3CCIF1	TP3CCMK1	0	0	0	TP3CCPR12	TP3CCPR11	TP3CCPR10
FFFFF144H	TP4OVIC	TP4OVIF	TP4OVMK	0	0	0	TP4OVPR2	TP4OVPR1	TP4OVPR0
FFFFF146H	TP4CCIC0	TP4CCIF0	TP4CCMK0	0	0	0	TP4CCPR02	TP4CCPR01	TP4CCPR00
FFFFF148H	TP4CCIC1	TP4CCIF1	TP4CCMK1	0	0	0	TP4CCPR12	TP4CCPR11	TP4CCPR10
FFFFF14AH	TP5OVIC	TP5OVIF	TP5OVMK	0	0	0	TP5OVPR2	TP5OVPR1	TP5OVPR0
FFFFF14CH	TP5CCIC0	TP5CCIF0	TP5CCMK0	0	0	0	TP5CCPR02	TP5CCPR01	TP5CCPR00
FFFFF14EH	TP5CCIC1	TP5CCIF1	TP5CCMK1	0	0	0	TP5CCPR12	TP5CCPR11	TP5CCPR10
FFFFF150H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00
FFFFF152H	CB0RIC/ IICIC1	CB0RIF/ IICIF1	CB0RMK/ IICMK1	0	0	0	CB0RPR2/ IICPR12	CB0RPR1/ IICPR11	CB0RPR0/ IICPR10
FFFFF154H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFF156H	CB1RIC	CB1RIF	CB1RMK	0	0	0	CB1RPR2	CB1RPR1	CB1RPR0
FFFFF158H	CB1TIC	CB1TIF	CB1TMK	0	0	0	CB1TPR2	CB1TPR1	CB1TPR0
FFFFF15AH	CB2RIC	CB2RIF	CB2RMK	0	0	0	CB2RPR2	CB2RPR1	CB2RPR0
FFFFF15CH	CB2TIC	CB2TIF	CB2TMK	0	0	0	CB2TPR2	CB2TPR1	CB2TPR0
FFFFF15EH	CB3RIC	CB3RIF	CB3RMK	0	0	0	CB3RPR2	CB3RPR1	CB3RPR0
FFFFF160H	CB3TIC	CB3TIF	CB3TMK	0	0	0	CB3TPR2	CB3TPR1	CB3TPR0
FFFFF162H	UA0RIC/ CB4RIC	UA0RIF/ CB4RIF	UA0RMK/ CB4RMK	0	0	0	UA0RPR2/ CB4RPR2	UA0RPR1/ CB4RPR1	UA0RPR0/ CB4RPR0

表22－2　割り込み制御レジスタ（xxICn）（2/2）

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF164H	UA0TIC/ CB4TIC	UA0TIF/ CB4TIF	UA0TMK/ CB4TMK	0	0	0	UA0TPR2/ CB4TPR2	UA0TPR1/ CB4TPR1	UA0TPR0/ CB4TPR0
FFFFF166H	UA1RIC/ IICIC2	UA1RIF/ IICIF2	UA1RMK/ IICMK2	0	0	0	UA1RPR2/ IICPR22	UA1RPR1/ IICPR21	UA1RPR0/ IICPR20
FFFFF168H	UA1TIC	UA1TIF	UA1TMK	0	0	0	UA1TPR2	UA1TPR1	UA1TPR0
FFFFF16AH	UA2RIC/ IICIC0	UA2RIF/ IICIF0	UA2RMK/ IICMK0	0	0	0	UA2RPR2/ IICPR02	UA2RPR1/ IICPR01	UA2RPR0/ IICPR00
FFFFF16CH	UA2TIC	UA2TIF	UA2TMK	0	0	0	UA2TPR2	UA2TPR1	UA2TPR0
FFFFF16EH	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFF170H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF172H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF174H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF176H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF178H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFFF17AH	WTIIC	WTIIF	WTIMK	0	0	0	WTIPR2	WTIPR1	WTIPR0
FFFFF17CH	WTIC	WTIF	WTMK	0	0	0	WTPR2	WTPR1	WTPR0
FFFFF17EH	ERRIC0[注1] /ERRIC[注2]	ERRIF0/ ERRIF	ERRMK0/ ERRMK	0	0	0	ERRPR02/ ERRPR2	ERRPR01/ ERRPR1	ERRPR00/ ERRPR0
FFFFF180H	WUPIC0[注1] /STAIC[注2]	WUPIF0/ STAIF	WUPMK0/ STAMK	0	0	0	WUPPR02 /STAPR2	WUPPR01 /STAPR1	WUPPR00 /STAPR0
FFFFF182H	RECIC0[注1] /IEIC1[注2]	RECIF0/ IEIF1	RECMK0/ IEMK1	0	0	0	RECPR02/ IEPR12	RECPR01/ IEPR11	RECPR00/ IEPR10
FFFFF184H	TRXIC0[注1] /IEIC2[注2]	TRXIF0/ IEIF2	TRXMK0/ IEMK2	0	0	0	TRXPR02/ IEPR22	TRXPR01/ IEPR21	TRXPR00/ IEPR20

注1.　CANコントローラ内蔵品のみ

2.　IEBusコントローラ内蔵品のみ

22. 3. 5　割り込みマスク・レジスタ0-3（IMR0-IMR3）

マスカブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxICn.xxMKnビットは，それぞれ連結しています。

IMRmレジスタは，16ビット単位でリード／ライト可能です（m = 0-3）。

IMRmレジスタの上位8ビットをIMRmHレジスタ，下位8ビットをIMRmLレジスタとして使用する場合は，8/1ビット単位でリード／ライト可能です（m = 0-3）。

リセットによりFFFFHになります。

注意　デバイス・ファイルでは，xxICn.xxMKnビットを予約語として定義しています。したがって，xxMKnビットの名称でビット操作を行うと，IMRmレジスタではなくxxICnレジスタを書き換えます（結果としてIMRmレジスタも書き換わります）。

リセット時：FFFFH　R/W　**アドレス：**IMR3 FFFFF106H,
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3（IMR3H注）	1	1	1	1	1	TRXMK0/ IEMK2	RECMK0/ IEMK1	WUPMK0/ STAMK
	7	6	5	4	3	2	1	0
IMR3L	ERRMK0/ ERRMK	WTMK	WTIMK	KRMK	DMAMK3	DMAMK2	DMAMK1	DMAMK0

リセット時：FFFFH　R/W　**アドレス：**IMR2 FFFFF104H,
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2（IMR2H注）	ADMK	UA2TMK	UA2RMK/ IICMK0	UA1TMK	UA1RMK/ IICMK2	UA0TMK/ CB4TMK	UA0RMK/ CB4RMK	CB3TMK
	7	6	5	4	3	2	1	0
IMR2L	CB3RMK	CB2TMK	CB2RMK	CB1TMK	CB1RMK	CB0TMK	CB0RMK/ IICMK1	TM0EQMK0

リセット時：FFFFH　R/W　**アドレス：**IMR1 FFFFF102H,
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1（IMR1H注）	TP5CCMK1	TP5CCMK0	TP5OVMK	TP4CCMK1	TP4CCMK0	TP4OVMK	TP3CCMK1	TP3CCMK0
	7	6	5	4	3	2	1	0
IMR1L	TP3OVMK	TP2CCMK1	TP2CCMK0	TP2OVMK	TP1CCMK1	TP1CCMK0	TP1OVMK	TP0CCMK1

リセット時：FFFFH　R/W　**アドレス：**IMR0 FFFFF100H,
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0（IMR0H注）	TP0CCMK0	TP0OVMK	TQ0CCMK3	TQ0CCMK2	TQ0CCMK1	TQ0CCMK0	TQ0OVMK	PMK7
	7	6	5	4	3	2	1	0
IMR0L	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	1

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注　IMR0-IMR3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は，IMR0H-IMR3Hレジスタのビット0-7として指定してください。

注意　IMR3レジスタのビット11-15，IMR0レジスタのビット0には1を設定してください。変更した場合の動作は保証できません。

備考　xx：各周辺ユニット識別名称（表22ー2　割り込み制御レジスタ（xxICn）参照）
n　：周辺ユニット番号（表22ー2　割り込み制御レジスタ（xxICn）参照）

22. 3. 6　インサービス・プライオリティ・レジスタ（ISPR）

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると，その割り込み要求信号の優先順位レベルに対応するビットがセット（1）され，サービス中保持されます。

RETI命令の実行時，ISPRレジスタ内でセット（1）されているビットのうち，最も優先順位の高い割り込み要求信号に対応するビットがハードウエアにより自動的にリセット（0）されます。ただし，ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット（0）されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意　割り込み許可（EI）状態において，ISPRレジスタをリード中に割り込みを受け付けた場合，その割り込み受け付けによるビットがセット（1）されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は，割り込み禁止（DI）状態でリードしてください。

リセット時：00H　　R　　アドレス：FFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	⓪
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求信号を受け付けていない
1	優先順位nの割り込み要求信号を受け付け中

備考　n：0-7（優先順位のレベル）

22. 3. 7　ID**フラグ**

マスカブル割り込みの動作状態を制御し，割り込み要求信号受け付けの許可／禁止制御情報を記憶します。割り込み禁止フラグ（ID）は，PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0
PSW	0			NP	EP	ID	SAT	CY	OV	S	Z

ID	マスカブル割り込み処理の指定注
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止

注　割り込み禁止フラグ（ID）の機能

DI命令でセット（1），EI命令でクリア（0）されます。また，RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は，このフラグの状態に関係なく受け付けられます。

また，マスカブル割り込み要求信号を受け付けると，IDフラグはハードウエアで自動的にセット（1）されます。

受け付け禁止期間中（IDフラグ = 1）に発生した割り込み要求信号は，xxICn.xxIFnビットがセット（1）され，IDフラグがクリア（0）されると受け付けられます。

22. 3. 8　**ウォッチドッグ・タイマ・モード・レジスタ**2（WDTM2）

8ビット単位でリード／ライト可能です（詳細は第11章　ウォッチドッグ・タイマ2機能参照）。

リセットにより67Hになります。

リセット時：67H　　R/W　　アドレス：FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	0	0	0	0	0

WDM21	WDM20	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード
1	×	リセット・モード（初期値）

22. 4　ソフトウエア例外

ソフトウエア例外は，CPUのTRAP命令の実行により発生する例外で，常に受け付け可能です。

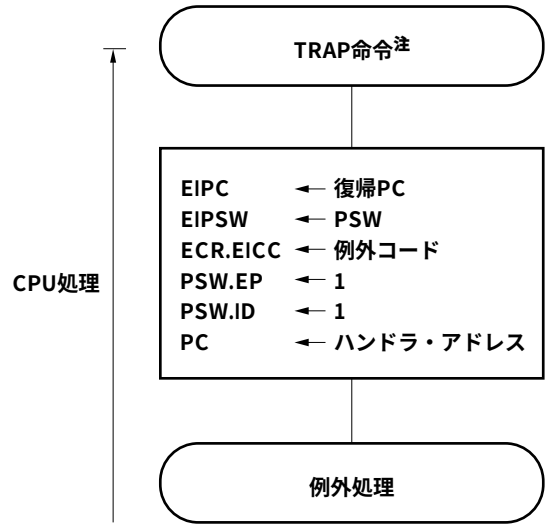
22. 4. 1　動　　作

ソフトウエア例外が発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰PCをEIPCに退避します。
② 現在のPSWをEIPSWに退避します。
③ ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。
④ PSW.EP, IDビットをセット（1）します。
⑤ PCにソフトウエア例外に対するハンドラ・アドレス（00000040Hまたは00000050H）をセットし，制御を移します。

ソフトウエア例外の処理形態を，図22－9に示します。

図22－9　ソフトウエア例外の処理形態



注　TRAP命令フォーマット：TRAP vector（ただし，vectorは00H-1FHの値）

ハンドラ・アドレスは，TRAP命令のオペランド（vector）によって決まります。vectorが000H-0FHの場合は00000040Hとなり，10H-1FHの場合は00000050Hとなります。

22. 4. 2　復　　帰

ソフトウエア例外処理からの復帰は，RETI命令により行います。

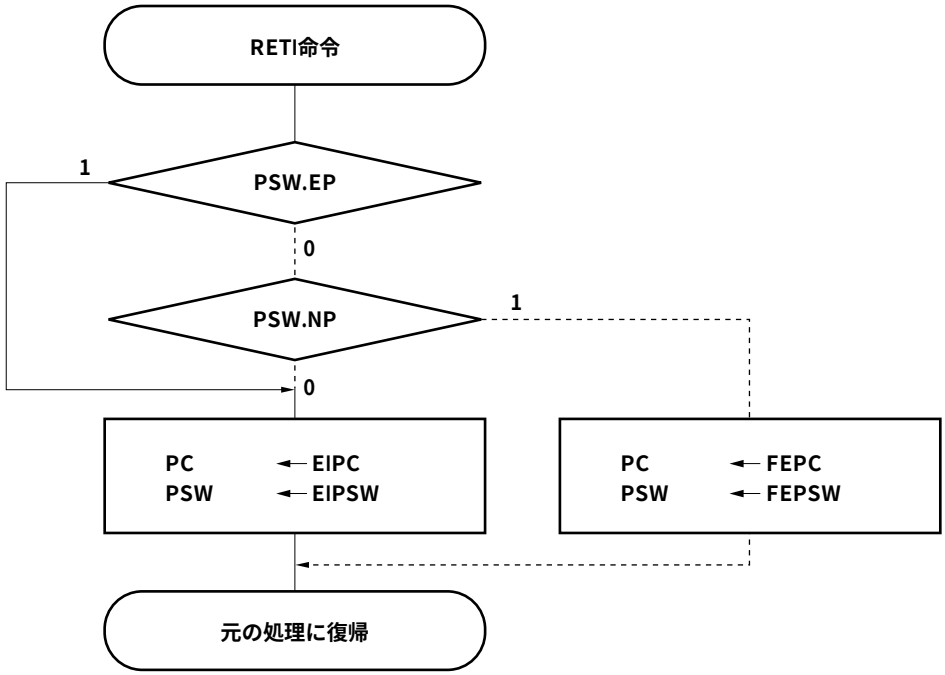
RETI命令の実行により，CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

① PSW.EPビットは1なので，EIPC, EIPSWから復帰PC, PSWを取り出します。

② 取り出した復帰PCのアドレス，PSWの状態に制御を移します。

RETI命令の処理形態を図22－10に示します。

図22－10　RETI命令の処理形態



注意　ソフトウエア例外処理中にLDSR命令によりEP, NPビットを変更した場合には，RETI命令による復帰時にPCとPSWを正常にリストアするために，RETI命令の直前で，LDSR命令を使用してEPビット = 1かつNPビット = 0に戻しておく必要があります。

備考　CPUは実線のフローで処理します。

22. 4. 3　EP**フラグ**

EP**フラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。**

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0
PSW	0			NP	**EP**	ID	SAT	CY	OV	S	Z

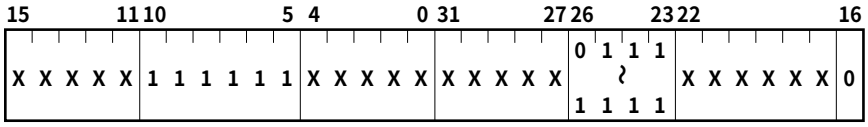
EP	**例外処理状態**
0	**例外処理中でない**
1	**例外処理中**

22. 5　例外トラップ

例外トラップは，命令の不正実行が発生した場合に要求される割り込みです。V850ES/SG2では，不正命令コード・トラップ（ILGOP：Illegal Opcode Trap）が例外トラップに当たります。

22. 5. 1　不正命令コード

不正命令は，命令のオペコード（ビット10-5）が111111Bで，サブオペコード（ビット26-23）が0111B-1111B，サブオペコード（ビット16）が0Bであるものです。この不正命令に当てはまる命令を実行したときに，例外トラップが発生します。



X：任意

注意　不正命令コードには，将来，新規に命令を割り当てる可能性があるため，使用しないことを推奨します。

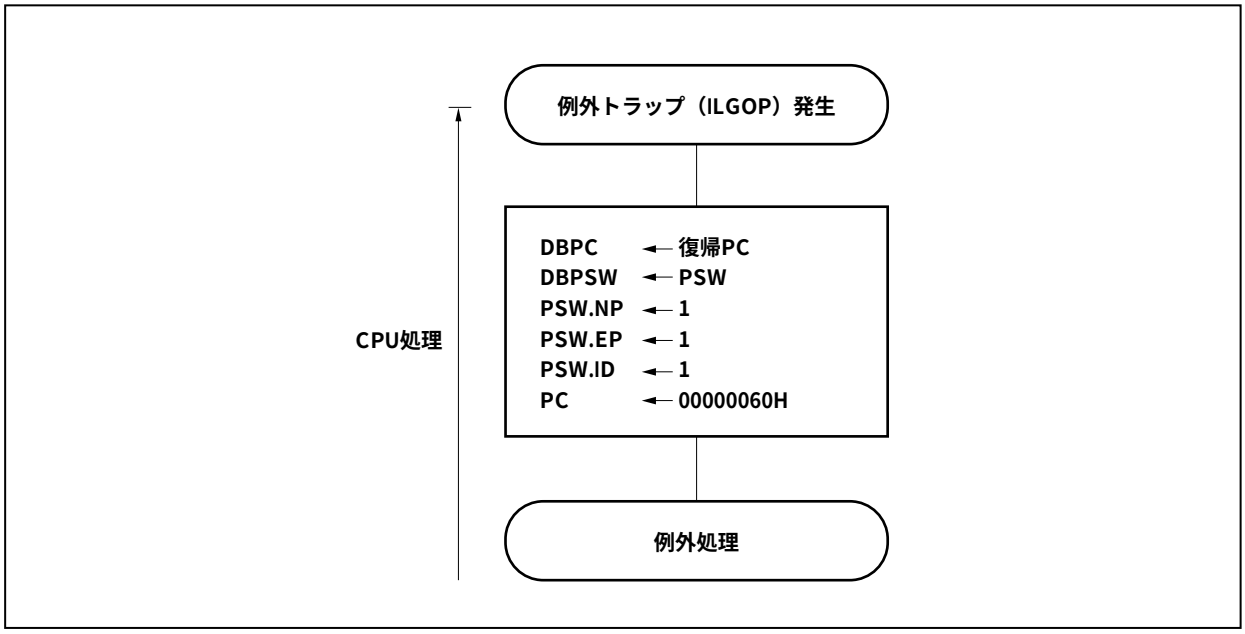
（1）動　　作

例外トラップが発生した場合，CPUは次の処理を行い，ハンドラ・ルーチンへ制御を移します。

① 復帰PCをDBPCに退避します。
② 現在のPSWをDBPSWに退避します。
③ PSW.NP, EP, IDビットをセット（1）します。
④ PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

例外トラップの処理形態を図22－11に示します。

図22－11　例外トラップの処理形態



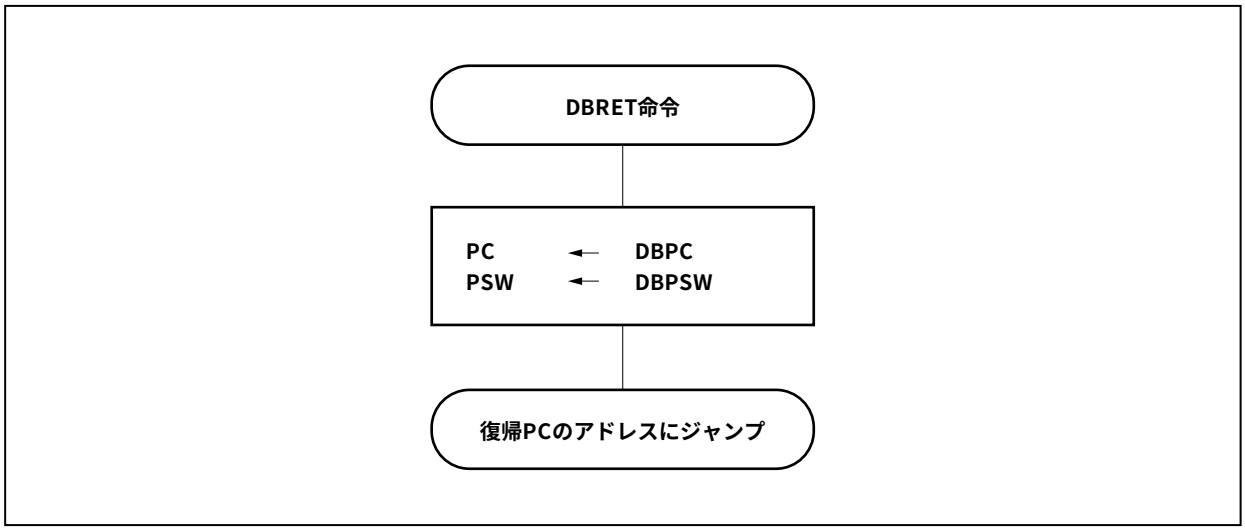
(2) 復　　帰

例外トラップからの復帰は，DBRET命令により行われます。DBRET命令の実行により，CPUは次の処理を行い復帰PCのアドレスを制御します。

① DBPC, DBPSWから復帰PC, PSWを取り出します。
② 取り出した復帰PC, PSWのアドレスに制御を移します。

例外トラップからの復帰の処理形態を図22－12に示します。

図22－12　例外トラップからの復帰の処理形態



22. 5. 2　ディバグ・トラップ

ディバグ・トラップは，DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

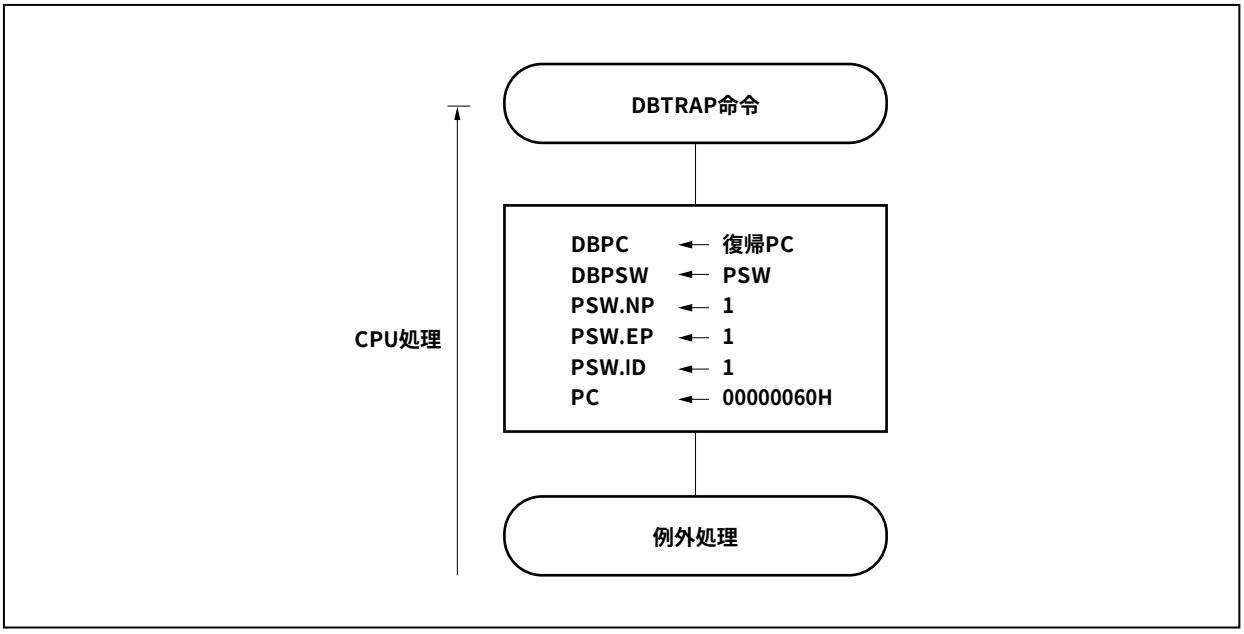
(1) 動　　作

ディバグ・トラップが発生した場合，CPUは次の処理を行います。

① 復帰PCをDBPCに退避します。
② 現在のPSWをDBPSWに退避します。
③ PSW.NP, EP, IDビットをセット（1）します。
④ PCにディバグ・トラップに対するハンドラ・アドレス（00000060H）をセットし，制御を移します。

ディバグ・トラップの処理形態を図22－13に示します。

図22－13　ディバグ・トラップの処理形態



(2) 復　　帰

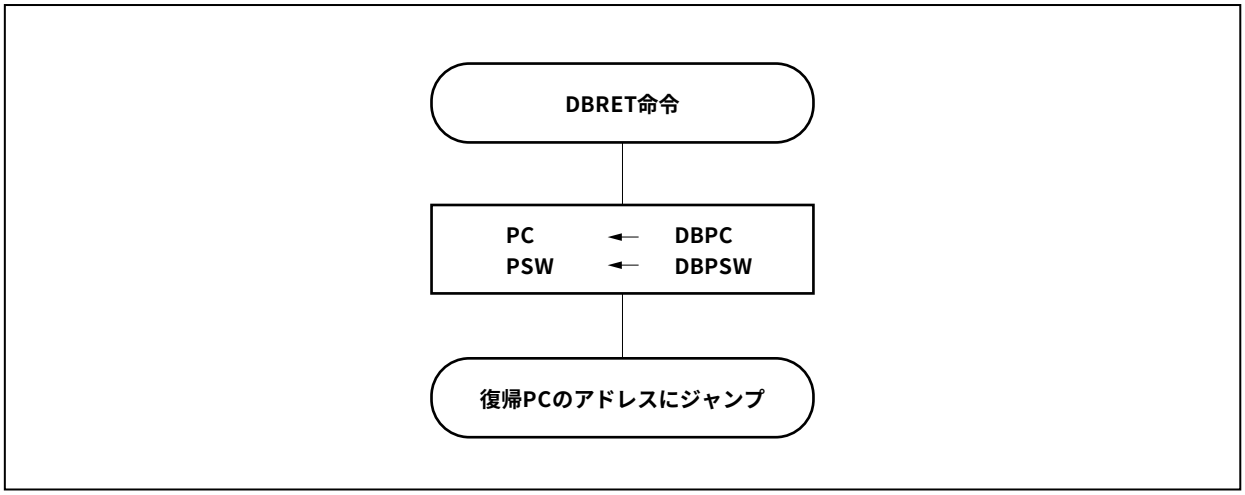
ディバグ・トラップからの復帰は，DBRET命令により行われます。DBRET命令の実行により，CPUは次の処理を行い復帰PCのアドレスを制御します。

① DBPC, DBPSWから復帰PC, PSWを取り出します。
② 取り出した復帰PC, PSWのアドレスに制御を移します。

注意　DBPCとDBPSWへは，DBTRAP命令を実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

ディバグ・トラップからの復帰の処理形態を図22－14に示します。

図22－14　ディバグ・トラップからの復帰の処理形態



22. 6　外部割り込み要求入力端子（NMI, INTP0-INTP7）

22. 6. 1　ノイズ除去

（1）NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって，NMI端子への入力レベルを一定時間以上維持しなければ，エッジとして検出できません。また，エッジの検出は一定時間後になります。

なお，NMI端子はSTOPモードの解除に使用できます。STOPモードでは，内部システム・クロックは停止しているため，システム・クロックを使用したノイズ除去を行っていません。

（2）INTP0-INTP7端子のノイズ除去

INTP0-INTP7端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって，各端子への入力レベルを一定時間以上維持しなければ，エッジとして検出できません。また，エッジの検出は一定時間後になります。

22. 6. 2　エッジ検出

NMI, INTP0-INTP7端子の有効エッジは，次の4種類から端子ごとに選択できます。

- 立ち上がりエッジ
- 立ち下がりエッジ
- 両エッジ
- エッジ検出なし

リセット後のNMI端子は“エッジ検出なし”になっていますので，INTF0, INTR0レジスタで有効エッジを許可しないと，割り込み要求信号を受け付けません（通常ポートとして機能します）。

（1）外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ0（INTF0, INTR0）

ビット2でNMI端子，ビット3-6で外部割り込み端子（INTP0-INTP3）の立ち下がり，立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。

リセット時：00H　R/W　アドレス：INTF0 FFFFFC00H, INTR0 FFFFFC20H

	7	6	5	4	3	2	1	0
INTF0	0	INTF06	INTF05	INTF04	INTF03	INTF02	0	0
		INTP3	INTP2	INTP1	INTP0	NMI		

	7	6	5	4	3	2	1	0
INTR0	0	INTR06	INTR05	INTR04	INTR03	INTR02	0	0
		INTP3	INTP2	INTP1	INTP0	NMI		

備考　有効エッジの指定については表22－3を参照してください。

表22－3　有効エッジの指定

INTF0n	INTR0n	有効エッジの指定（n = 2-6）
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意　NMI, INTP0-INTP3端子として使用しない場合，必ずINTF0n, INTR0nビット = 00に設定してください。

備考　n = 2　：NMI端子の制御

n = 3-6：INTP0-INTP3端子の制御

（2）外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ3（INTF3, INTR3）

外部割り込み端子（INTP7）の立ち下がり，立ち上がりエッジ検出を指定する8ビットのレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

注意1.　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF31, INTR31ビット = 00に設定したあとにポート・モードに設定してください。

2.　INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定）。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください（UA0CTL0.UA0RXEビット = 0）。

リセット時：00H　R/W　アドレス：INTF3 FFFFFC06H, INTR3 FFFFFC26H

	7	6	5	4	3	2	1	0
INTF3	0	0	0	0	0	0	INTF31	0
							INTP7	

	7	6	5	4	3	2	1	0
INTR3	0	0	0	0	0	0	INTR31	0
							INTP7	

備考　有効エッジの指定については表22－4を参照してください。

表22－4　有効エッジの指定

INTF31	INTR31	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意　INTP7端子として使用しない場合，必ずINTF31, INTR31ビット = 00に設定してください。

(3) 外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ9H（INTF9H, INTR9H）

外部割り込み端子（INTP4-INTP6）の立ち下がり，立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF9n, INTR9nビット = 0に設定したあとにポート・モードに設定してください。

リセット時：00H　R/W　アドレス：INTF9H FFFFFC13H, INTR9H FFFFFC33H

	15	14	13	12	11	10	9	8
INTF9H	INTF915	INTF914	INTF913	0	0	0	0	0
	INTP6	INTP5	INTP4					

	15	14	13	12	11	10	9	8
INTR9H	INTR915	INTR914	INTR913	0	0	0	0	0
	INTP6	INTP5	INTP4					

備考　有効エッジの指定については表22－5を参照してください。

表22－5　有効エッジの指定

INTF9n	INTR9n	有効エッジの指定（n = 13-15）
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意　INTP4-INTP6端子として使用しない場合，必ずINTF9n, INTR9nビット = 00に設定してください。

備考　n = 13-15：INTP4-INTP6端子の制御

(4) ノイズ除去制御レジスタ（NFC）

INTP3端子はディジタル・ノイズ除去を選択することが可能で，NFCレジスタにてノイズ除去の設定を選択します。

ディジタル・ノイズ除去を選択した場合，ディジタル・サンプリングを行うサンプリング・クロックを，f_{XX}/64, f_{XX}/128, f_{XX}/256, f_{XX}/512, f_{XX}/1024, f_{XT}の中から選択できます。なおサンプリングの回数は3回です。

ディジタル・ノイズ除去を選択した場合でも，サンプリング・クロックにf_{XT}を使用すると，IDLE1/IDLE2/STOPモードの解除にINTP3の割り込み要求信号を使用できます。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意　サンプリング・クロック変更後，ディジタル・ノイズ除去回路が初期化されるのに，サンプリング・クロックx3クロックの時間かかります。そのため，サンプリング・クロックを変更してからサンプリング・クロックx3クロックの間に，INTP3の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって，割り込み機能，DMA機能を使用する場合は，次の点を注意してください。

- 割り込み機能使用時は，サンプリング・クロックx3クロック経過後，割り込み要求フラグ（PIC3.PIF3ビット）をクリアしてから割り込みを許可してください。
- DMA機能使用時（INTP3で起動）は，サンプリング・クロックx3クロック経過後，DMAを許可してください。

リセット時：00H　R/W　アドレス：FFFFF318H

	7	6	5	4	3	2	1	0
NFC	NFEN	0	0	0	0	NFC2	NFC1	NFC0

NFEN	INTP3端子のノイズ除去の設定
0	アナログ・ノイズ除去を行う（60 ns（TYP.））
1	ディジタル・ノイズ除去を行う

NFC2	NFC1	NFC0	ディジタル・サンプリングを行うクロック
0	0	0	f_{XX}/64
0	0	1	f_{XX}/128
0	1	0	f_{XX}/256
0	1	1	f_{XX}/512
1	0	0	f_{XX}/1024
1	0	1	f_{XT}（サブクロック）
その他			設定禁止

備考1.　3回サンプリングするため，確実に除去するノイズ幅はサンプリング・クロックx2となります。

2.　サンプリング・クロックx2より短いノイズがあっても，サンプリング・クロックに同期したノイズが入力された場合には，割り込み要求信号が発生します。

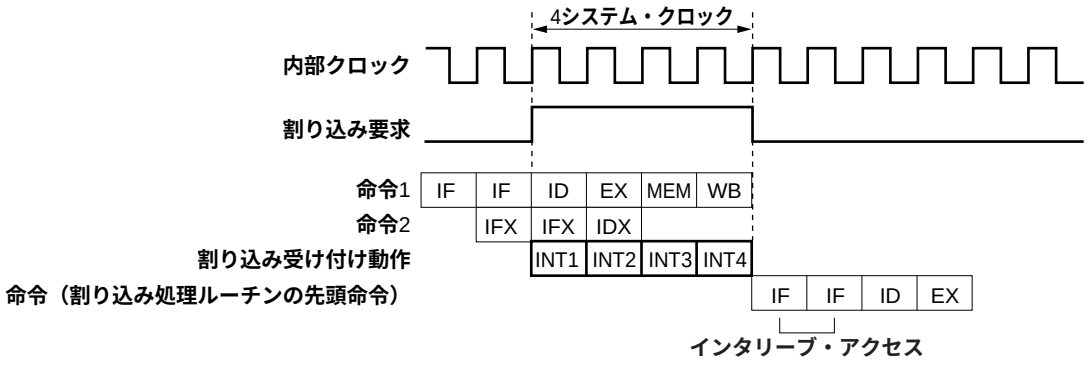
22. 7　CPUの割り込み応答時間

次の場合を除き，CPUの割り込み応答時間は，最小4クロックとなります。連続して割り込み要求信号を入力する場合には，最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

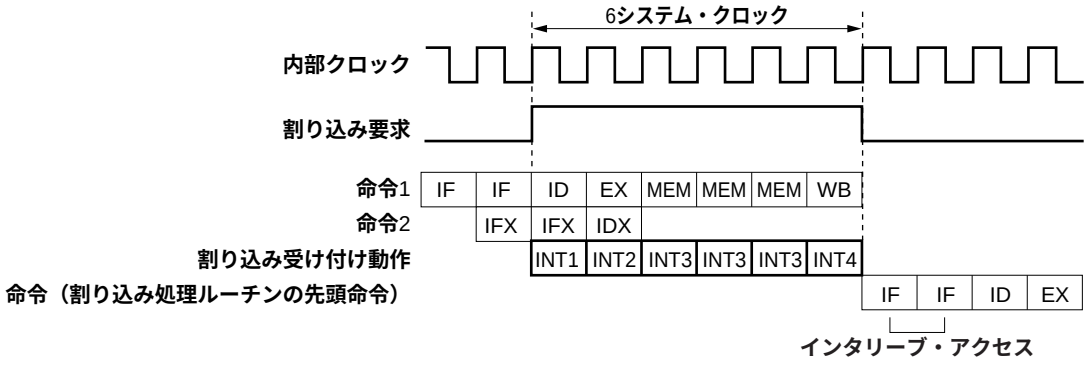
- IDLE1/IDLE2/STOPモード時
- 外部バス・アクセス時
- 割り込み要求非サンプル命令（22. 8　CPUが割り込みを受け付けない期間参照）が連続しているとき
- 割り込み制御レジスタへのアクセス時

図22－15　割り込み要求信号受け付け時のパイプライン動作例（概略）

(1) 最小割り込み応答時間



(2) 最大割り込み応答時間



備考　INT1-INT4　：割り込み受け付け処理

IFX　：無効となる命令フェッチ

IDX　：無効となる命令デコード

割り込み応答時間（内部システム・クロック）			条　件
	内部割り込み	外部割り込み	
最小	4	4＋アナログ・ディレイ時間	次の場合は除きます。 ・IDLE1, IDLE2, STOPモード時 ・外部バス・アクセス時 ・割り込み要求非サンプル命令が連続しているとき ・周辺I/Oレジスタへのアクセス時
最大	6	6＋アナログ・ディレイ時間	

22. 8　CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは，命令の実行中に行います。ただし，割り込み要求非サンプル命令とその次の命令の間では，割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- EI命令
- DI命令
- LDSR　reg2, 0x5命令（対PSW）
- PRCMDレジスタに対するストア命令
- 次のレジスタに対するストア命令およびSET1, NOT1, CLR1命令
  - 割り込み関連のレジスタ：
    割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-3（IMR0-IMR3）
  - パワー・セーブ・コントロール・レジスタ（PSC）
  - オンチップ・ディバグ・モード・レジスタ（OCDM）

備考　xx：各周辺ユニット識別名称（表22－2　割り込み制御レジスタ（xxICn）参照）
　　n　：周辺ユニット番号（表22－2　割り込み制御レジスタ（xxICn）参照）

22. 9　注意事項

NMI端子はP02と兼用しており，リセット後は通常ポートとして機能します。NMI端子を使用する場合には，PMC0レジスタでNMI端子を有効にしてください。また，NMI端子の初期設定は“エッジ検出なし”になっていますので，INTF0, INTR0レジスタで有効エッジを選択してください。

第23章　キー割り込み機能

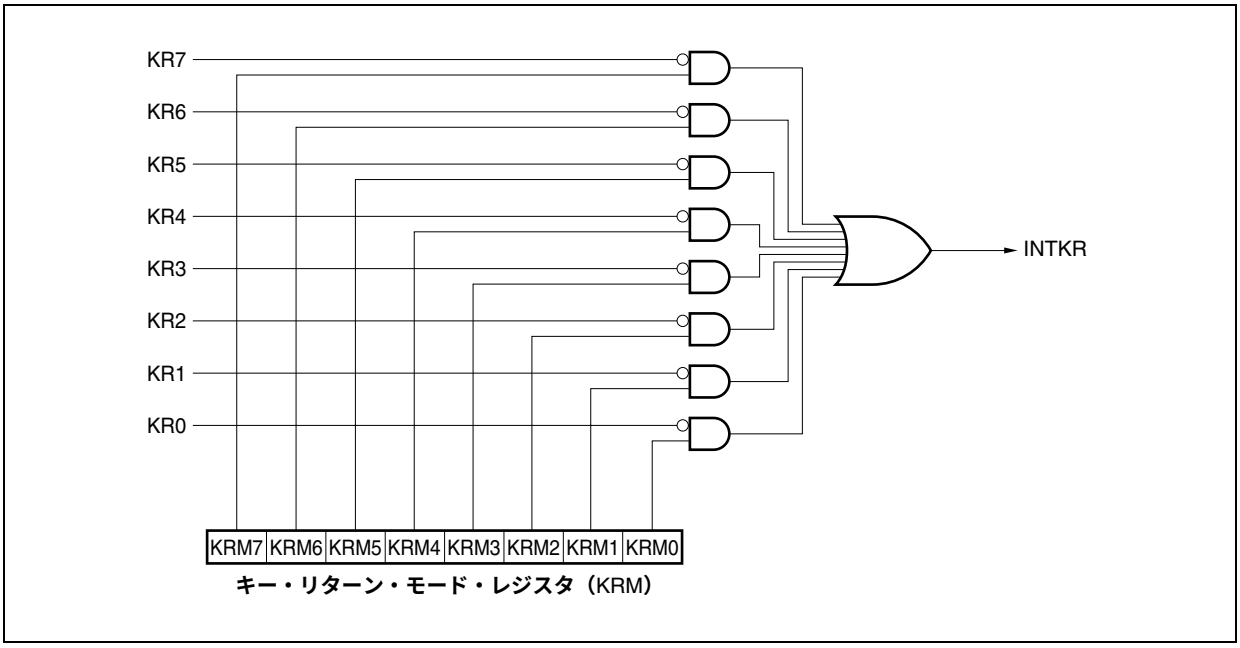
23. 1　機　　能

KRMレジスタの設定により，キー入力端子（KR0-KR7）に立ち下がりエッジを入力することによって，キー割り込み要求信号（INTKR）を発生させることができます。

表23－1　キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図23－1　キー・リターンのブロック図



23. 2　レジスタ

(1) キー・リターン・モード・レジスタ（KRM）

KRMレジスタは，KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意　KRMレジスタを書き換える場合は，一度00Hとしてから書き換えてください。

備考　兼用端子の設定は表4－15　ポート端子を兼用端子として使用する場合を参照してください。

23. 3　注意事項

(1) KR0-KR7端子のうち1つでもロウ・レベルが入力されていると，別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。

(2) RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は，KR7端子を使用しないでください。また，KR7端子を使用する場合は，RXDA1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。

(3) KRMレジスタを変更すると，割り込み要求信号（INTKR）が発生する場合があります。したがって，あらかじめ割り込みを禁止（DI）またはマスクしてからKRMレジスタを変更し，割り込み要求フラグ（KRIC.KRIFビット）をクリア（0）してから，割り込みを許可（EI）またはマスク解除してください。

(4) キー割り込み機能を使用する場合は，必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また，逆にキー・リターン用端子からポート端子に切り替える場合は，KRMレジスタで動作を禁止してからポート端子の設定を行ってください。

第24章　スタンバイ機能

24.1　概　　要

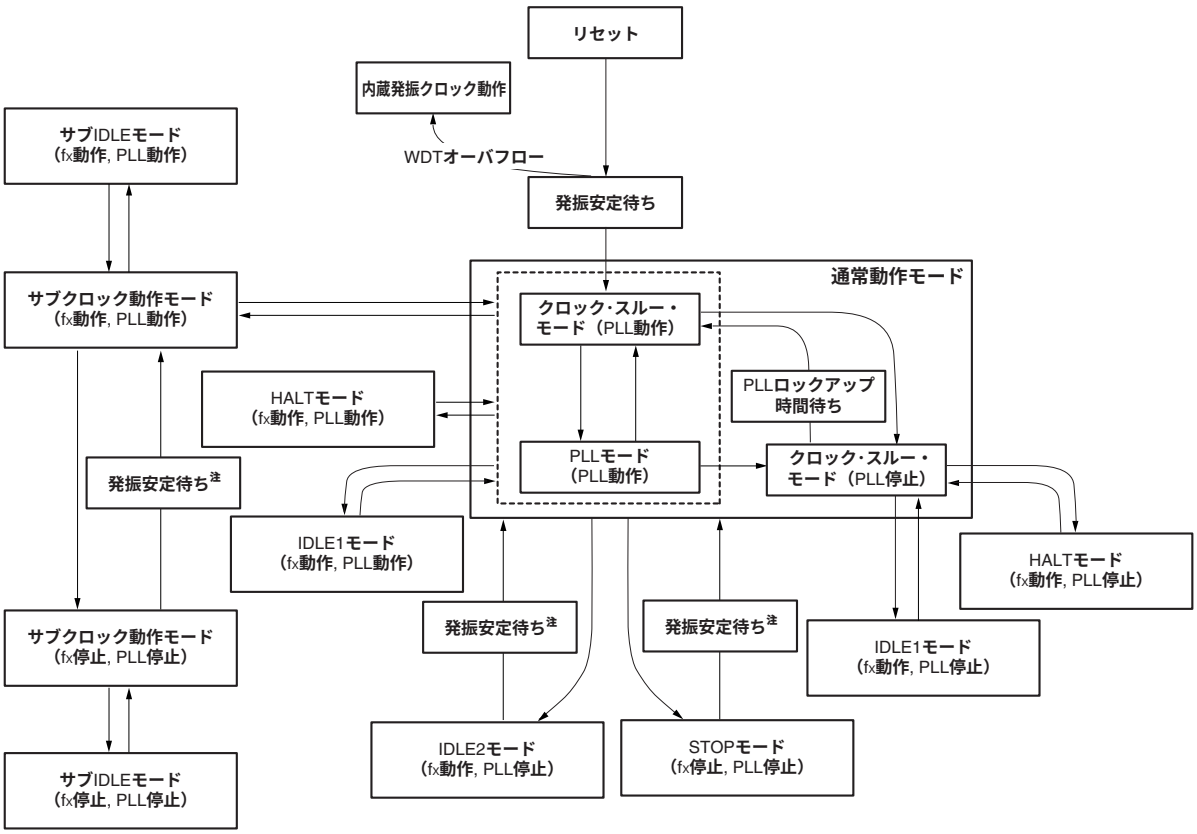
各モードを組み合わせ，用途によって切り替えて使用すると，効果的な低消費電力システムを実現できます。スタンバイ機能には，次に示すものがあります。

表24－1　スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLE1モード	発振回路，PLL動作[注]，フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード
IDLE2モード	発振回路以外の内部回路の動作をすべて停止させるモード
STOPモード	サブクロック発振回路以外の内部回路の動作をすべて停止させるモード
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時，発振回路以外の内部回路の動作をすべて停止させるモード

注　PLLは前の動作状態を保持します。

図24－1　状態遷移図



注　発振安定時間中にWDTオーバフローが発生すると，CPUは内蔵発振クロック動作になります。

備考　fxx：**メイン・クロック**

24. 2　レジスタ

(1) パワー・セーブ・コントロール・レジスタ（PSC）

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりSTOPモードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3. 4. 8　特定レジスタ参照）。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　　R/W　　アドレス：FFFFF1FEH

	7	⑥	⑤	④	3	2	①	0
PSC	0	NMI1M	NMI0M	INTM	0	0	STP	0

NMI1M	INTWDT2信号発生によるスタンバイ・モード解除制御
0	INTWDT2信号によるスタンバイ・モード解除許可
1	INTWDT2信号によるスタンバイ・モード解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード解除制御
0	NMI端子入力によるスタンバイ・モード解除許可
1	NMI端子入力によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御
0	マスカブル割り込み要求信号によるスタンバイ・モード解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード解除禁止

STP	スタンバイ・モード注の設定
0	通常モード
1	スタンバイ・モード

注　STPビットにおけるスタンバイ・モード：IDLE1, IDLE2, STOP，サブIDLEモード

注意1.　IDLE1, IDLE2, STOP，サブIDLEモードに設定するときは，PSMR.PSM1, PSM0ビットを設定してから，STPビットを設定してください。

2.　NMI1M, NMI0M, INTMビットの設定は，HALTモード解除時は無効です。

(2) パワー・セーブ・モード・レジスタ（PSMR）

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF820H

	7	6	5	4	3	2	①	⓪
PSMR	0	0	0	0	0	0	PSM1	PSM0

PSM1	PSM0	ソフトウエア・スタンバイ・モード時の動作指定
0	0	IDLE1，サブIDLEモード
0	1	STOPモード
1	0	IDLE2，サブIDLEモード
1	1	STOPモード

注意1.　ビット2-7には，必ず0を設定してください。

2.　PSM0, PSM1ビットは，PSC.STPビット = 1のときのみ有効です。

備考　IDLE1　：発振回路と一部の回路（フラッシュ・メモリ，PLL）以外の動作を停止するモードです。
IDLE1モード解除後，HALTモードと同様に発振安定時間を確保する必要なく，通常モードに復帰します。

IDLE2　：発振回路以外の動作を停止するモードです。
IDLE2モード解除後，OSTSレジスタで指定したセットアップ時間（フラッシュ・メモリ，PLL）を確保したあと，通常モードに復帰します。

STOP　：サブクロック発振回路以外の動作を停止するモードです。
STOPモード解除後，OSTSレジスタで指定した発振安定時間を確保したあと，通常モードに復帰します。

サブIDLE　：サブクロック動作モード時，発振回路以外の動作を停止するモードです。
割り込み要求信号によるサブIDLEモードの解除後，サブクロックの12周期分の時間を確保したあと，サブクロック動作モードに復帰します。

(3) 発振安定時間選択レジスタ（OSTS）

STOPモードを解除してから発振が安定するまでのウエイト時間や，IDLE2モードを解除してから内蔵フラッシュ・メモリが安定するまでのウエイト時間は，OSTSレジスタで制御します。

OSTSレジスタは，8ビット単位でリード／ライト可能です。

リセットにより06Hになります。

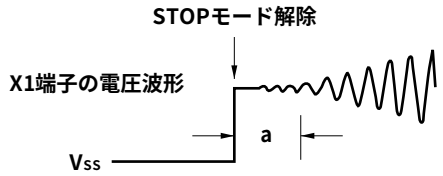
リセット時：06H　R/W　アドレス：FFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間／セットアップ時間の選択注		
				fx	
				4 MHz	5 MHz
0	0	0	2^{10}/fx	0.256 ms	0.205 ms
0	0	1	2^{11}/fx	0.512 ms	0.410 ms
0	1	0	2^{12}/fx	1.024 ms	0.819 ms
0	1	1	2^{13}/fx	2.048 ms	1.638 ms
1	0	0	2^{14}/fx	4.096 ms	3.277 ms
1	0	1	2^{15}/fx	8.192 ms	6.554 ms
1	1	0	2^{16}/fx	16.38 ms	13.107 ms
1	1	1	設定禁止		

注　発振安定時間はSTOPモードの解除時に，セットアップ時間はIDLE2モード解除時に必要になります。

注意1.　STOPモード解除時のウエイト時間は，リセットによる場合も，割り込み要求信号発生による場合も，STOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



2.　ビット7-3には必ず“0”を設定してください。

3.　リセット解除後の発振安定時間は，2^{16}/fx（OSTSレジスタの初期値 = 06Hのため）となります

備考　fx = メイン・クロック発振周波数

24. 3　HALTモード

24. 3. 1　設定および動作状態

通常動作モード時，専用命令（HALT命令）を実行することにより，HALTモードに設定されます。

HALTモードに設定すると，クロック発振回路は動作を継続しますが，CPUへのクロック供給のみが停止し，そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより，プログラムの実行が停止し，内蔵RAMの内容は，HALTモード設定前の状態を保持します。また，CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表24－3にHALTモード時の動作状態を示します。

HALTモードは，通常動作モードとの間欠動作により，システム全体の平均消費電力を低減することができます。

注意1.　HALT命令の後には，NOP命令を5命令以上挿入してください。

2.　マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合，HALTモードに移行するが，保留されている割り込み要求によりHALTモードはすぐに解除されます。

24. 3. 2　HALTモードの解除

HALTモードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），HALTモード中に動作可能な周辺機能のマスクさていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号，クロック・モニタ（CLM）によるリセット）により解除されます。

HALTモードの解除により，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表24－2　割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐， または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表24－3　HALTモード時の動作状態

項　目 ＼ HALTモードの設定		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		－	発振可能
内蔵発振器		発振可能	
PLL		動作可能	
CPU		動作停止	
DMA		動作可能	
割り込みコントローラ		動作可能	
ROMコレクション		動作停止	
タイマP（TMP0-TMP5）		動作可能	
タイマQ（TMQ0）		動作可能	
タイマM（TMM0）		カウント・クロックにf_{XT}以外を選択時に動作可能	動作可能
時計用タイマ		カウント・クロックにf_X（BRG分周）を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		カウント・クロックにf_{XT}以外を選択時に動作可能	動作可能
シリアル・インタフェース	CSIB0-CSIB4	動作可能	
	I^2C00-I^2C02	動作可能	
	UARTA0-UARTA2	動作可能	
CANコントローラ		動作可能	
IEBusコントローラ		動作可能	
A/Dコンバータ		動作可能	
D/Aコンバータ		動作可能	
リアルタイム出力機能（RTO）		動作可能	
キー割り込み機能（KR）		動作可能	
CRC演算回路		動作可能（ただしCPU停止のためCRCINレジスタへのデータ入力がない状態）	
外部バス・インタフェース		2.2　端子状態参照	
ポート機能		HALTモード設定前の状態を保持	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持	

24. 4　IDLE1モード

24. 4. 1　設定および動作状態

通常動作モード時，PSMR.PSM1, PSM0ビットを“00”に設定し，PSC.STPビットを“1”に設定することにより，IDLE1モードに設定されます。

IDLE1モードに設定すると，クロック発振回路，PLL動作，フラッシュ・メモリは動作を継続しますが，CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はIDLE1モード設定前の状態を保持します。また，CPUや，そのほかの内蔵周辺機能は動作を停止します。ただし，サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表24－5にIDLE1モード時の動作状態を示します。

IDLE1モードは，内蔵周辺機能の動作が停止するので，HALTモードよりさらに低消費電力を実現できます。また，メイン・クロック発振回路は停止しないので，IDLE1モード解除時，HALTモードと同様に発振安定時間を確保することなく，通常動作モードに復帰できます。

注意1.　IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

2.　マスクされていない割り込み要求信号が保留されている状態でIDLE1モードに設定した場合，保留されている割り込み要求によりIDLE1モードはすぐに解除されます。

24. 4. 2　IDLE1モードの解除

IDLE1モードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），IDLE1モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号，クロック・モニタ（CLM）によるリセット）により解除されます。

IDLE1モードの解除により，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でIDLE1モードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE1モードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，IDLE1モードの解除とともにこの割り込み要求信号を受け付けます。

注意　PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり，IDLE1モードは解除されません。

表24－4　割り込み要求信号によるIDLE1モード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐，または次の命令を実行	次の命令を実行

（2）リセットによる解除

通常のリセット動作と同じです。

表24－5　IDLE1モード時の動作状態

項　目 ＼ IDLE1モードの設定		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		－	発振可能
内蔵発振器		発振可能	
PLL		動作可能	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただしスタンバイ・モードの解除は可能）	
ROMコレクション		動作停止	
タイマP（TMP0-TMP5）		動作停止	
タイマQ（TMQ0）		動作停止	
タイマM（TMM0）		カウント・クロックに$f_R/8$を選択時に動作可能	カウント・クロックに$f_R/8$またはf_{XT}選択時に動作可能
時計用タイマ		カウント・クロックにf_X（BRG分周）を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		カウント・クロックにf_Rを選択時に動作可能	カウント・クロックにf_Rまたはf_{XT}を選択時に動作可能
シリアル・インタフェース	CSIB0-CSIB4	カウント・クロックに$\overline{\text{SCKBn}}$入力クロック選択時に動作可能（n = 0-4）	
	I^2C00-I^2C02	動作停止	
	UARTA0-UARTA2	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
CANコントローラ		動作停止	
IEBusコントローラ		動作停止	
A/Dコンバータ		動作保持（変換結果も保持）注	
D/Aコンバータ		動作保持（出力保持注）	
リアルタイム出力機能（RTO）		動作停止（出力保持）	
キー割り込み機能（KR）		動作可能	
CRC演算回路		動作停止	
外部バス・インタフェース		2.2　端子状態参照	
ポート機能		IDLE1モード設定前の状態を保持	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データはすべてIDLE1モード設定前の状態を保持	

注　低消費電力を実現するためには，IDLE1モードに遷移する前にA/Dコンバータ，D/Aコンバータを停止してください。

24. 5　IDLE2モード

24. 5. 1　設定および動作状態

通常動作モード時，PSMR.PSM1, PSM0ビットを“10”に設定し，PSC.STPビットを“1”に設定することにより，IDLE2モードに設定されます。

IDLE2モードに設定すると，クロック発振回路は動作を継続しますが，CPU, PLL，フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はIDLE2モード設定前の状態を保持します。また，CPU, PLLや，そのほかの内蔵周辺機能は動作を停止します。ただし，サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表24－7にIDLE2モード時の動作状態を示します。

IDLE2モードは，内蔵周辺機能，PLL，フラッシュ・メモリの動作が停止するので，IDLE1モードよりさらに低消費電力を実現できます。ただし，PLL，フラッシュ・メモリは停止するため，IDLE2モード解除時，必ずPLL，フラッシュ・メモリのセットアップ時間が必要となります。

注意1.　IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

2.　マスクされていない割り込み要求信号が保留されている状態でIDLE2モードに設定した場合，保留されている割り込み要求によりIDLE2モードはすぐに解除されます。

24. 5. 2　IDLE2モードの解除

IDLE2モードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），IDLE2モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号，クロック・モニタ（CLM）によるリセット）により解除されます。また，PLLはIDLE2モード設定前の動作状態に復帰します。

IDLE2モードの解除により，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でIDLE2モードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE2モードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，IDLE2モードの解除とともにこの割り込み要求信号を受け付けます。

注意　PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり，IDLE2モードは解除されません。

表24－6　割り込み要求信号によるIDLE2モード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	所定のセットアップ時間確保後，ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	所定のセットアップ時間確保後，ハンドラ・アドレスに分岐，または次の命令を実行	所定のセットアップ時間確保後，次の命令を実行

（2）リセットによる解除

通常のリセット動作と同じです。

表24－7　IDLE2モード時の動作状態

項　目 ＼ IDLE2モードの設定		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		－	発振可能
内蔵発振器		発振可能	
PLL		動作停止	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただしスタンバイ・モードの解除は可能）	
ROMコレクション		動作停止	
タイマP（TMP0-TMP5）		動作停止	
タイマQ（TMQ0）		動作停止	
タイマM（TMM0）		カウント・クロックにf_R/8を選択時に動作可能	カウント・クロックにf_R/8またはf_{XT}選択時に動作可能
時計用タイマ		カウント・クロックにf_X（BRG分周）を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		カウント・クロックにf_Rを選択時に動作可能	カウント・クロックにf_Rまたはf_{XT}を選択時に動作可能
シリアル・インタフェース	CSIB0-CSIB4	カウント・クロックに$\overline{SCKBn}$入力クロック選択時に動作可能（n = 0-4）	
	I^2C00-I^2C02	動作停止	
	UARTA0-UARTA2	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
CANコントローラ		動作停止	
IEBusコントローラ		動作停止	
A/Dコンバータ		動作保持（変換結果も保持）注	
D/Aコンバータ		動作保持（出力保持注）	
リアルタイム出力機能（RTO）		動作停止（出力保持）	
キー割り込み機能（KR）		動作可能	
CRC演算回路		動作停止	
外部バス・インタフェース		2.2　端子状態参照	
ポート機能		IDLE2モード設定前の状態を保持	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データはすべてIDLE2モード設定前の状態を保持	

注　低消費電力を実現するためには，IDLE2モードに遷移する前にA/Dコンバータ，D/Aコンバータを停止してください。

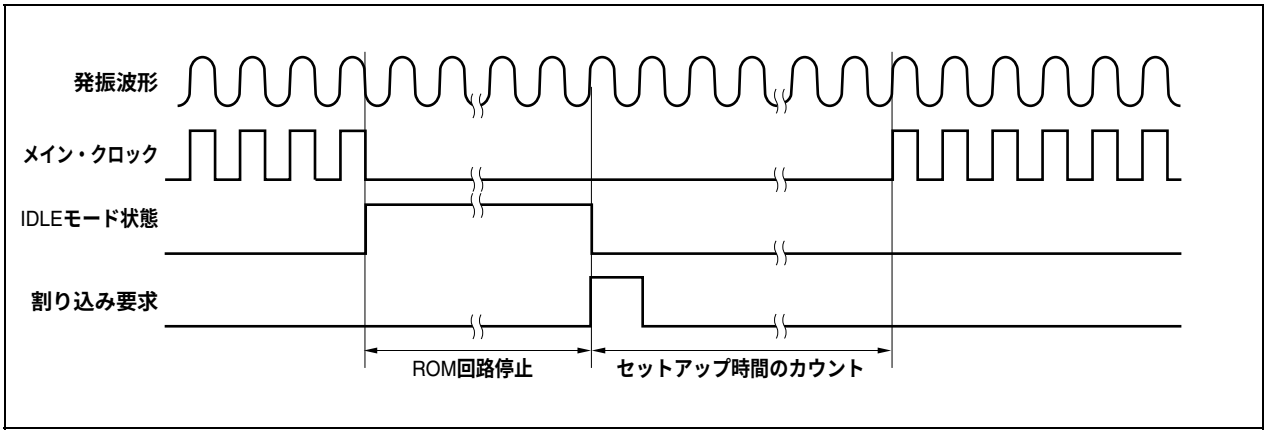
24. 5. 3　IDLE2モード解除時のセットアップ時間の確保

IDLE2モードに設定されることにより，メイン・クロック発振回路以外は動作を停止するので，IDLE2モード解除後，ROM（フラッシュ・メモリ）のセットアップ時間を確保してください。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号による解除

所定のセットアップ時間は，OSTSレジスタの設定により確保します。

IDLE2モードの解除要因が発生すると，OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し，オーバフローすると通常動作モードに移行します。



(2) リセット（$\overline{\text{RESET}}$端子入力，WDT2RES発生）による解除

通常のリセット動作と同じです。

なお，発振安定時間はOSTSレジスタの初期値：2^{16}/fxになります。

24. 6　STOPモード

24. 6. 1　設定および動作状態

通常動作モード時，PSMR.PSM1, PSM0ビットを“01”または“11”に設定し，PSC.STPビットを“1”に設定することにより，STOPモードに設定されます。

STOPモードに設定するとサブクロック発振回路は動作を継続しますが，メイン・クロック発振回路は動作を停止します。また，CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はSTOPモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，サブクロック発振回路，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表24－9にSTOPモード時の動作状態を示します。

STOPモードは，メイン・クロック発振回路の動作が停止するので，IDLE2モードよりさらに低消費電力を実現できます。また，サブクロック発振回路，内蔵発振器，外部クロックを使用しない場合は，リーク電流のみの超低消費電力を実現できます

注意1.　STOPモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

2.　マスクされていない割り込み要求信号が保留されている状態でSTOPモードに設定した場合，保留されている割り込み要求によりSTOPモードはすぐに解除されます。

24. 6. 2　STOPモードの解除

STOPモードは，ノンマスカブル割り込み要求信号（NMI端子入力, INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号によるリセット）により解除されます。

STOPモードの解除により，発振安定時間を確保したあと，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとSTOPモードの解除だけ行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，STOPモードの解除とともにこの割り込み要求信号を受け付けます。

注意　PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求は無効になり，STOPモードは解除されません。

表24－8　割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	発振安定時間確保後，ハンドラ･アドレスに分岐	
マスカブル割り込み要求信号	発振安定時間確保後，ハンドラ･アドレスに分岐，または次の命令を実行	発振安定時間確保後，次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表24－9　STOPモード時の動作状態

項　目 ＼ STOPモードの設定		動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振停止	
サブクロック発振回路		－	発振可能
内蔵発振器		発振可能	
PLL		動作停止	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただしスタンバイ・モードの解除は可能）	
ROMコレクション		動作停止	
タイマP（TMP0-TMP5）		動作停止	
タイマQ（TMQ0）		動作停止	
タイマM（TMM0）		カウント・クロックにf_R/8を選択時に動作可能	カウント・クロックにf_R/8またはf_{XT}選択時に動作可能
時計用タイマ		動作停止	カウント・クロックにf_{XT}を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックにf_Rを選択時に動作可能	カウント・クロックにf_Rまたはf_{XT}を選択時に動作可能
シリアル・インタフェース	CSIB0-CSIB4	カウント・クロックに$\overline{\text{SCKBn}}$入力クロック選択時に動作可能（n = 0-4）	
	I^2C00-I^2C02	動作停止	
	UARTA0-UARTA2	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
CANコントローラ		動作停止	
IEBusコントローラ		動作停止	
A/Dコンバータ		動作停止（変換結果も不定）注1, 2	
D/Aコンバータ		動作停止注3, 4（出力はハイ・インピーダンス）	
リアルタイム出力機能（RTO）		動作停止（出力保持）	
キー割り込み機能（KR）		動作可能	
CRC演算回路		動作停止	
外部バス・インタフェース		2. 2　端子状態参照	
ポート機能		STOPモード設定前の状態を保持	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持	

注1. A/Dコンバータを動作したままSTOPモードに遷移した場合，STOPモード期間中A/Dコンバータは自動的に停止しますが，STOPモード解除後，再び動作を開始します。ただし，その場合STOPモード解除後のA/D変換結果は無効です。また，STOPモード遷移前のA/D変換結果はすべて無効です。

2. A/Dコンバータを動作したままSTOPモードに遷移した場合でも，STOPモード遷移前にA/Dコンバータを停止した場合と同等に消費電力を低減できます。

3. D/Aコンバータを動作したままSTOPモードに遷移した場合，STOPモード期間中D/Aコンバータは自動的に停止し，端子状態はハイ・インピーダンスになります。STOPモード解除後，再び動作を開始しセトリング時間を経て，STOPモード遷移前の出力レベルにもどります。

4. D/Aコンバータを動作したままSTOPモードに遷移した場合でも，STOPモード遷移前にD/Aコンバータを停止した場合と同等に消費電力を低減できます。

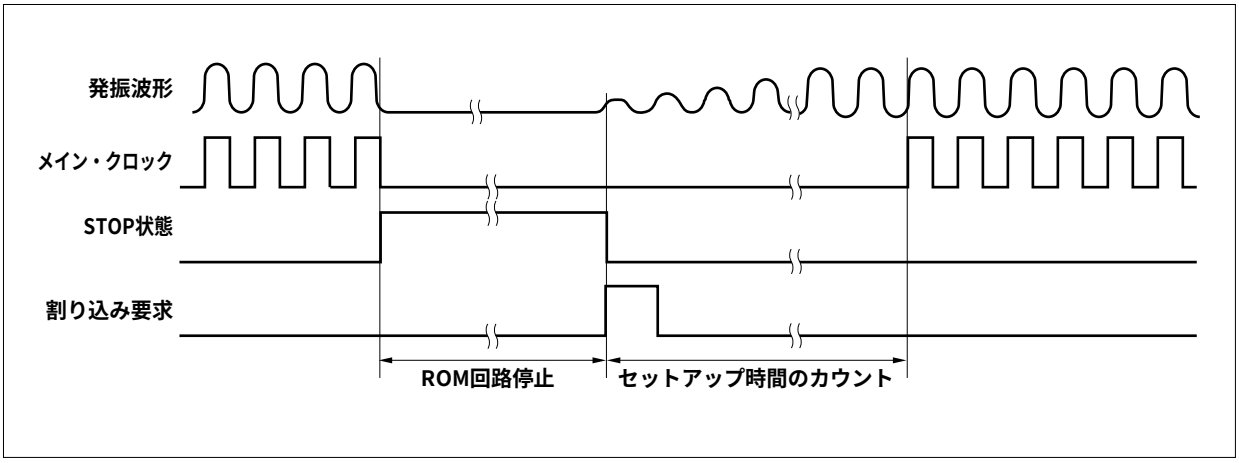
24. 6. 3　STOPモード解除時の発振安定時間の確保

STOPモードに設定されることにより，メイン・クロック発振回路は動作を停止するので，STOPモード解除後，メイン・クロック発振回路の発振安定時間を確保してください。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号による解除

発振安定時間は，OSTSレジスタの設定により確保します。

STOPモードの解除要因が発生すると，OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し，オーバフローすると通常動作モードに移行します。



(2) リセットによる解除

通常のリセット動作と同じです。

なお，発振安定時間はOSTSレジスタの初期値：2^{16}/fxになります。

24. 7　サブクロック動作モード

24. 7. 1　設定および動作状態

通常動作モード時， PCC.CK3ビットを“1”に設定することにより，サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると，内部システム・クロックがメイン・クロック→サブクロックに切り替わります。切り替わりは，PCC.CLSビットを確認してください。

さらに，PCC.MCKビットを“1”に設定することにより，メイン・クロック発振回路の動作を停止します。これにより，システム全体がサブクロックでのみ動作します。

サブクロック動作モードは，内部システム・クロックがサブクロックとなるので，通常動作モードよりも消費電力を低減できます。さらに，メイン・クロック発振回路の動作を停止させることにより，STOPモードに近い低消費電力を実現できます。

サブクロック動作モード時の動作状態を表24－10に示します。

注意1.　CK3ビットを操作する場合，PCC.CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は，6. 3（1）プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

2.　次の条件を満たしていない場合は，条件を満たすようにCK2-CK0ビットを変更後，サブクロック動作モードに移行してください。

内部システム・クロック（f_{CLK}）＞サブクロック（f_{XT} = 32.768 kHz）×4

備考　内部システム・クロック（f_{CLK}）：CK2-CK0ビットの設定によってメイン・クロック（f_{XX}）から生成するクロック

24. 7. 2　サブクロック動作モードの解除

サブクロック動作モードは，CK3ビットを“0”に設定するか，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号，クロック・モニタ（CLM）によるリセット）により解除します。

なお，メイン・クロックを停止（MCKビット = 1）していた場合は，MCKビットを“1”に設定し，メイン・クロックの発振安定時間をソフトウエアにより確保してから，CK3ビットを“0”に設定します。

サブクロック動作モードの解除により，通常動作モードに移行します。

注意　CK3ビットを操作する場合，CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は，6. 3（1）プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

表24－10　サブクロック動作モード時の動作状態

サブクロック動作モードの設定 ／ 項　目		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
内蔵発振器		発振可能	
PLL		動作可能	動作停止[注]
CPU		動作可能	
DMA		動作可能	
割り込みコントローラ		動作可能	
ROMコレクション		動作可能	
タイマP（TMP0-TMP5）		動作可能	動作停止
タイマQ（TMQ0）		動作可能	動作停止
タイマM（TMM0）		動作可能	カウント・クロックにf_R/8またはf_{XT}選択時に動作可能
時計用タイマ		動作可能	カウント・クロックにf_{XT}を選択時に動作可能
ウォッチドッグ・タイマ2		動作可能	カウント・クロックにf_Rまたはf_{XT}選択時に動作可能
シリアル・インタフェース	CSIB0-CSIB4	動作可能	カウント・クロックに$\overline{\text{SCKBn}}$入力クロック選択時に動作可能（n = 0-4）
	I^2C00-I^2C02	動作可能	動作停止
	UARTA0-UARTA2	動作可能	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）
CANコントローラ		動作可能	動作停止
IEBusコントローラ		動作可能	動作停止
A/Dコンバータ		動作可能	動作停止
D/Aコンバータ		動作可能	
リアルタイム出力機能（RTO）		動作可能	動作停止（出力保持）
キー割り込み機能（KR）		動作可能	
CRC演算回路		動作可能	
外部バス・インタフェース		2. 2　端子状態参照	
ポート機能		設定可能	
内部データ		設定可能	

注　メイン・クロックを停止するときは，必ずPLL停止（PLLCTL.PLLONビット = 0）に設定すること。

注意　CPUがサブクロックで動作し，かつメイン発振を停止している場合，ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生した場合，解除する方法はリセットのみです（3. 4. 9（2）参照）。

24. 8　サブIDLEモード

24. 8. 1　設定および動作状態

サブクロック動作モード時，PSMR.PSM1, PSM0ビットを“00”または“10”に設定し，PSC.STPビットを“1”に設定することにより，サブIDLEモードに設定されます。

サブIDLEモードに設定すると，クロック発振回路は動作を継続しますが，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，サブクロック，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

サブIDLEモードは，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能の動作が停止するので，サブクロック動作モードよりさらに低消費電力を実現できます。

また，メイン・クロックを停止してからサブIDLEモードに設定した場合は，STOPモードに近い低消費電力を実現できます。

サブIDLEモード時の動作状態を，表24－12に示します。

注意1.　サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。

2.　マスクされていない割り込み要求信号が保留されている状態でサブIDLEモードに設定した場合，保留されている割り込み要求によりサブIDLEモードはすぐに解除されます。

24. 8. 2　サブIDLEモードの解除

サブIDLEモードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），サブIDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（$\overline{\text{RESET}}$端子入力，WDT2RES信号，クロック・モニタ（CLM）によるリセット）により解除されます。また，PLLはサブIDLEモード設定前の動作状態と同じ状態に復帰します。

割り込み要求信号によるサブIDLEモードの解除により，サブクロック動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号が発生すると，優先順位とは無関係に解除されます。

ただし，割り込み処理ルーチン内でサブIDLEモードに設定した場合，次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生すると，サブIDLEモードの解除だけ行い，この割り込み要求信号は受けません。割り込み要求信号そのものは保留されます。

(b) 現在処理中の割り込み要求よりも優先順位の高い割り込み要求信号（ノンマスカブル割り込み要求信号も含む）が発生すると，サブIDLEモードの解除とともにこの割り込み要求信号を受け付けます。

注意1.　PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり，サブIDLEモードは解除されません。

2.　サブIDLEモードからの復帰時は，割り込み要求信号による解除要因が発生してから解除されるまでに，サブクロックの12周期分の時間（約366 μs）が挿入されます。

表24－11　割り込み要求信号によるサブIDLEモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐， または次の命令を実行	次の命令を実行

（2）リセットによる解除

通常のリセット動作と同じです。

表24－12　サブIDLEモード時の動作状態

項　目 ＼ サブIDLEモードの設定		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
内蔵発振器		発振可能	
PLL		動作可能	動作停止[注1]
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただしスタンバイ・モードの解除は可能）	
ROMコレクション		動作停止	
タイマP（TMP0-TMP5）		動作停止	
タイマQ（TMQ0）		動作停止	
タイマM（TMM0）		カウント・クロックにf_R/8またはf_{XT}選択時に動作可能	
時計用タイマ		動作可能	カウント・クロックにf_{XT}を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックにf_Rまたはf_{XT}選択時に動作可能	
シリアル・インタフェース	CSIB0-CSIB4	カウント・クロックに$\overline{\text{SCKBn}}$入力クロック選択時に動作可能（n = 0-4）	
	I^2C00-I^2C02	動作停止	
	UARTA0-UARTA2	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
CANコントローラ		動作停止	
IEBusコントローラ		動作停止	
A/Dコンバータ		動作保持（変換結果も保持）[注2]	
D/Aコンバータ		動作保持（出力保持[注2]）	
リアルタイム出力機能（RTO）		動作停止（出力保持）	
キー割り込み機能（KR）		動作可能	
CRC演算回路		動作停止	
外部バス・インタフェース		2. 2　端子状態参照（IDLE1, IDLE2モードと同じ動作状態）	
ポート機能		サブIDLEモード設定前の状態を保持	
内部データ		CPUのレジスタ，ステータス，データ，内蔵RAMなどの内部データはすべてサブIDLEモード設定前の状態を保持	

注1.　メイン・クロックを停止するときは，必ずPLL停止（PLLCTL.PLLONビット = 0）に設定すること。

2.　低消費電力を実現するためには，サブIDLEモードに遷移する前にA/Dコンバータ，D/Aコンバータを停止してください。

第25章　リセット機能

25. 1　概　　要

リセット機能の概要を次に示します。

(1) 3種類のリセット要因

・$\overline{\text{RESET}}$端子による外部リセット入力

・ウォッチドッグ・タイマ2（WDT2）のオーバフローによるリセット機能（WDT2RES）

・クロック・モニタ（CLM）の発振停止検出によるシステム・リセット

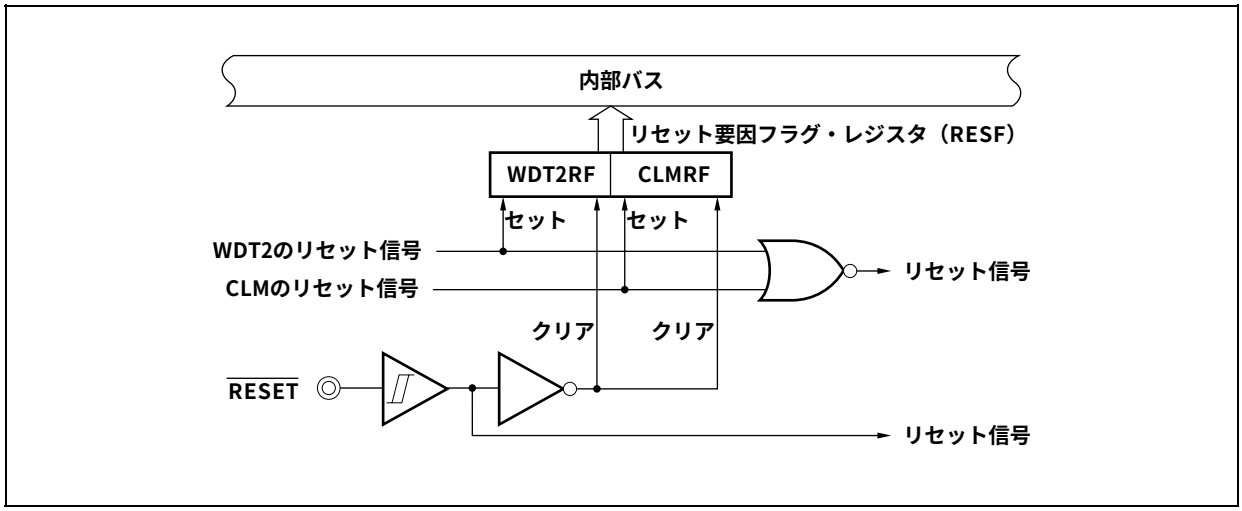
リセット解除後，リセット要因フラグ・レジスタ（RESF）によりリセット要因を確認できます。

(2) 緊急動作モード

リセット後に挿入されるメイン・クロック発振安定期間内でWDT2がオーバフローした場合，メイン・クロックの発振異常と判断し，内蔵発振クロックでCPUの動作を開始します。

注意　CPUが内蔵発振クロックで動作しているとき，ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生するレジスタについては，3. 4. 9（2）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

図25ー1　リセット機能のブロック図



25. 2　リセット要因を確認するレジスタ

V850ES/SG2には3つのリセット要因が存在します。リセット解除後，リセット要因フラグ・レジスタ（RESF）により発生したリセット要因を確認できます。

（1）リセット要因フラグ・レジスタ（RESF）

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3. 4. 8　特定レジスタ参照）。

RESFレジスタは，どの要因から発生したリセット信号かを格納するレジスタです。

8/1ビット単位でリード／ライト可能です。

$\overline{\text{RESET}}$端子入力により00Hになります。$\overline{\text{RESET}}$端子以外の要因のリセットにより初期値は異なります。

リセット時：00H注　R/W　アドレス：FFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDT2RF	0	0	CLMRF	0

WDT2RF	WDT2からのリセット信号発生有無
0	発生なし
1	発生あり

CLMRF	CLMからのリセット信号発生有無
0	発生なし
1	発生あり

注　$\overline{\text{RESET}}$端子によるリセット時はRESFレジスタは00H。
ウォッチドッグ・タイマ2（WDT2），クロック・モニタ（CLM）によるリセット時は，自身のリセット・フラグ（WDT2RF, CLMRFビット）をセットします。ただし，ほかの要因は保持します。

注意　各ビットへの書き込みは“0”ライトのみ可能で，“0”ライト書き込みとフラグ・セット（リセットの発生）が競合した場合，フラグ・セットが優先されます。

25. 3　動　　作

25. 3. 1　$\overline{\text{RESET}}$端子によるリセット動作

$\overline{\text{RESET}}$端子にロウ・レベルを入力すると，システム・リセットがかかり，各ハードウエアを初期化します。

$\overline{\text{RESET}}$端子入力をロウ・レベルからハイ・レベルに変化させると，リセット状態を解除します。

表25－1　$\overline{\text{RESET}}$端子入力時の各ハードウエアの状態

項　　目	リセット中	リセット後
メイン・クロック発振回路（f_X）	発振停止	発振開始
サブクロック発振回路（f_{XT}）	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック（f_X-f_X/1024）	動作停止	発振安定時間確保後，動作開始
内部システム・クロック（f_{CLK}），CPUクロック（f_{CPU}）	動作停止	発振安定時間確保後，動作開始（f_{XX}/8に初期化）
CPU	初期化	発振安定時間確保後，プログラムの実行開始
ウォッチドッグ・タイマ2	動作停止（カウントは0に初期化）	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	パワーオン時のリセット，またはCPUアクセスとリセット入力が競合（データ破壊）した場合，不定。 それ以外は，リセット入力直前の値を保持[注1]。	
I/Oライン（ポート／兼用端子）	ハイ・インピーダンス[注2]	
内蔵周辺I/Oレジスタ	所定の状態に初期化，OCDMレジスタはセット（01H）	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後，動作開始可能

注 1. V850ES/SG2は，ブート切り替え機能をサポートするので，内部システム･リセット解除後，ファームウエアにより内蔵RAMの一部を使用します。したがって，パワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は，25. 3. 3　**リセット解除後の動作**を参照してください。

2. 次に示す端子は，電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- P10/ANO0端子
- P11/ANO1端子
- P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子（DDO端子はフラッシュ・メモリ内蔵品のみ）

注意　OCDMレジスタは$\overline{\text{RESET}}$端子入力によって初期化されます。そのため，リセット解除後，再度OCDM.OCDM0ビットをクリアするまでの間にP05/$\overline{\text{DRST}}$端子にハイ・レベルが入力されると，オンチップ・ディバグ・モード（フラッシュ・メモリ内蔵品のみ）に入るため注意してください。マスクROM内蔵品はオンチップ・ディバグ・モードには対応していませんが，OCDMレジスタが存在し，P05/INTP2端子に内蔵されているプルダウン抵抗の制御を行います。詳細は，第4章　ポート機能を参照してください。

図25－2　$\overline{\text{RESET}}$端子入力によるリセット動作のタイミング

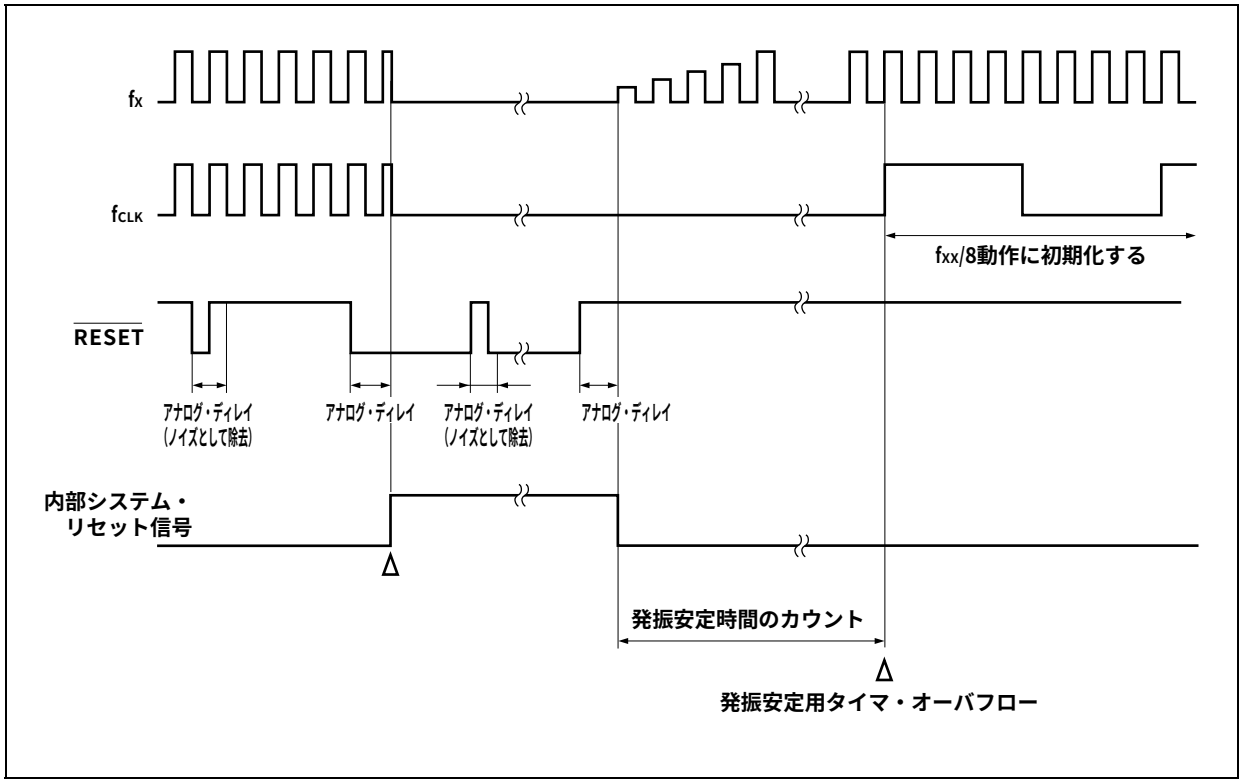
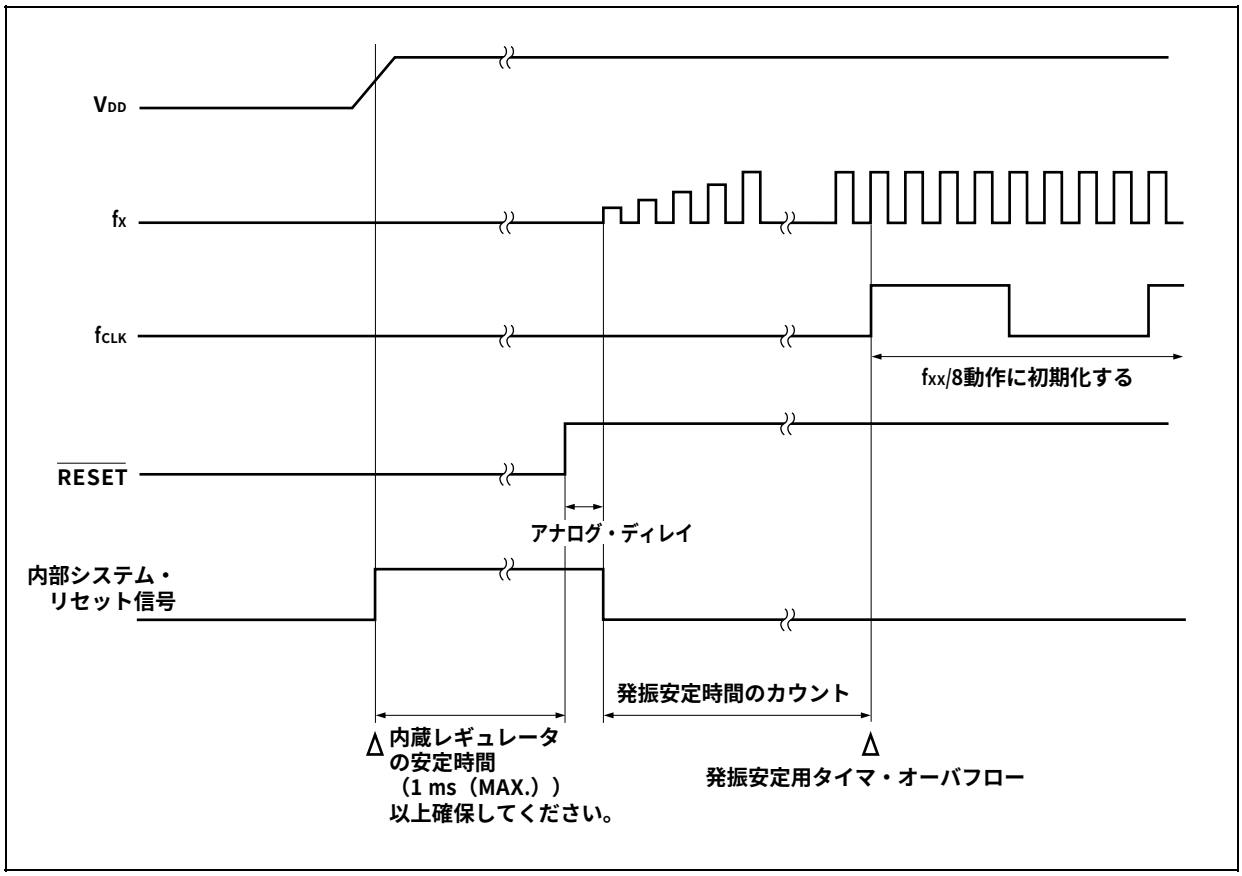


図25－3　パワーオン時のリセット動作のタイミング



25. 3. 2　ウォッチドッグ・タイマ2によるリセット動作

ウォッチドッグ・タイマ2をオーバフローによるリセット動作モードに設定時，ウォッチドッグ・タイマ2がオーバフロー（WDT2RES信号発生）すると，システム･リセットがかかり各ハードウエアを所定の状態に初期化します。

ウォッチドッグ・タイマ2のオーバフロー後，所定の時間（アナログ･ディレイ分）リセット状態となり，その後リセット状態を自動的に解除します。

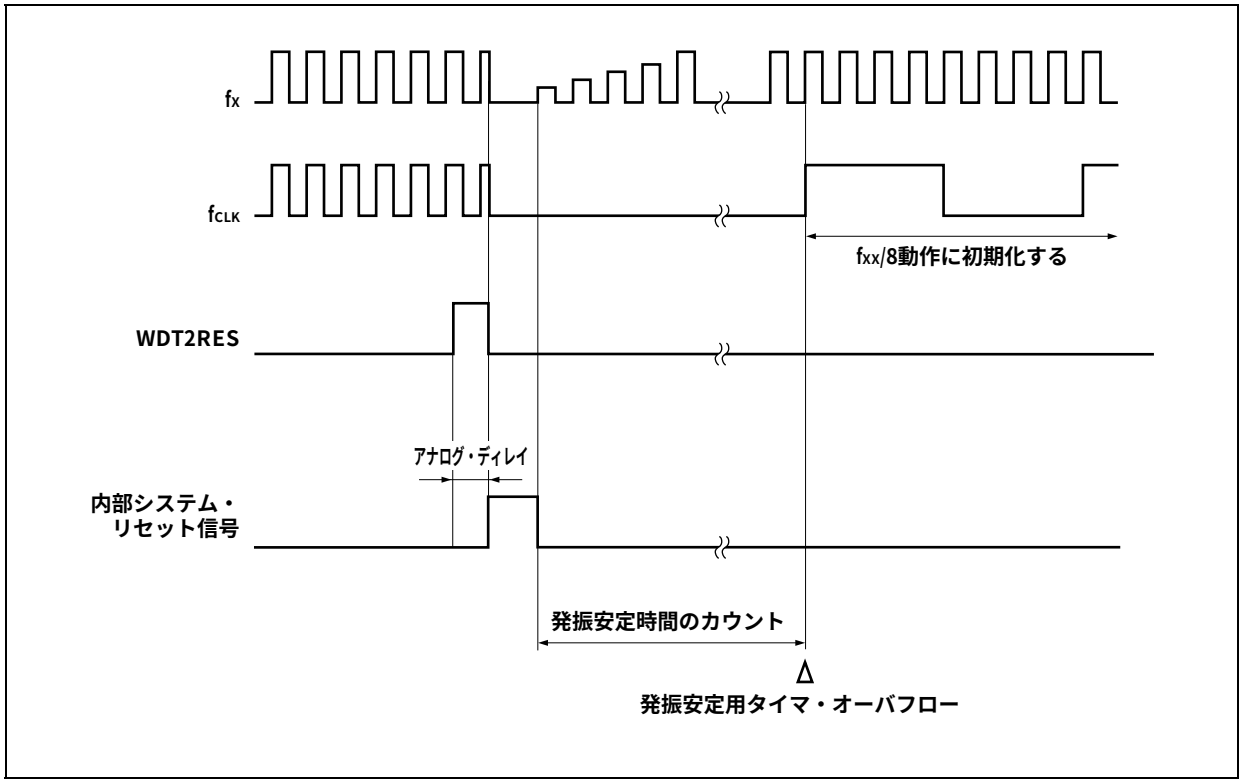
なお，リセット期間中はメイン･クロック発振回路は停止します。

表25－2　ウォッチドッグ・タイマ2によるリセット動作時の各ハードウエアの状態

項　　目	リセット中	リセット後
メイン・クロック発振回路（f_X）	発振停止	発振開始
サブクロック発振回路（f_{XT}）	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック（f_{XX}-f_{XX}/1024）	動作停止	発振安定時間確保後，動作開始
内部システム・クロック（f_{XX}）， CPUクロック（f_{CPU}）	動作停止	発振安定時間確保後，動作開始 （f_{XX}/8に初期化）
CPU	初期化	発振安定時間確保後，プログラムの実行開始
WDT2	動作停止（カウントは0に初期化）	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	パワーオン時のリセット，またはCPUアクセスとリセット入力が競合（データ破壊）した場合，不定。 それ以外は，リセット入力直前の値を保持[注]。	
I/Oライン（ポート／兼用端子）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化，OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後，動作開始可能

注　V850ES/SG2は，ブート切り替え機能をサポートするので，内部システム･リセット解除後，ファームウエアにより内蔵RAMの一部を使用します。したがって，パワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は，25. 3. 3　**リセット解除後の動作**を参照してください。

図25ー4　WDT2RES信号発生によるリセット動作のタイミング

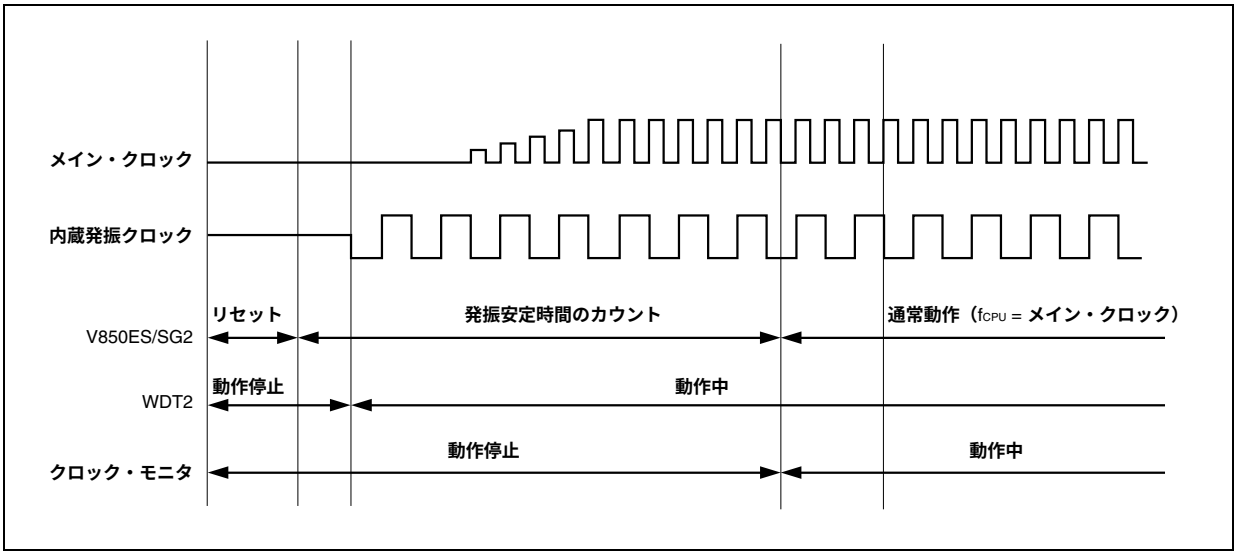


25. 3. 3　リセット解除後の動作

リセット解除後，メイン･クロックは発振を開始し，発振安定時間（OSTSレジスタの初期値：2^{16}/fx）を確保したあと，CPUはプログラムの実行を開始します。

また，WDT2はリセット解除後，内蔵発振クロックをソース・クロックとして，すぐに動作を開始します。

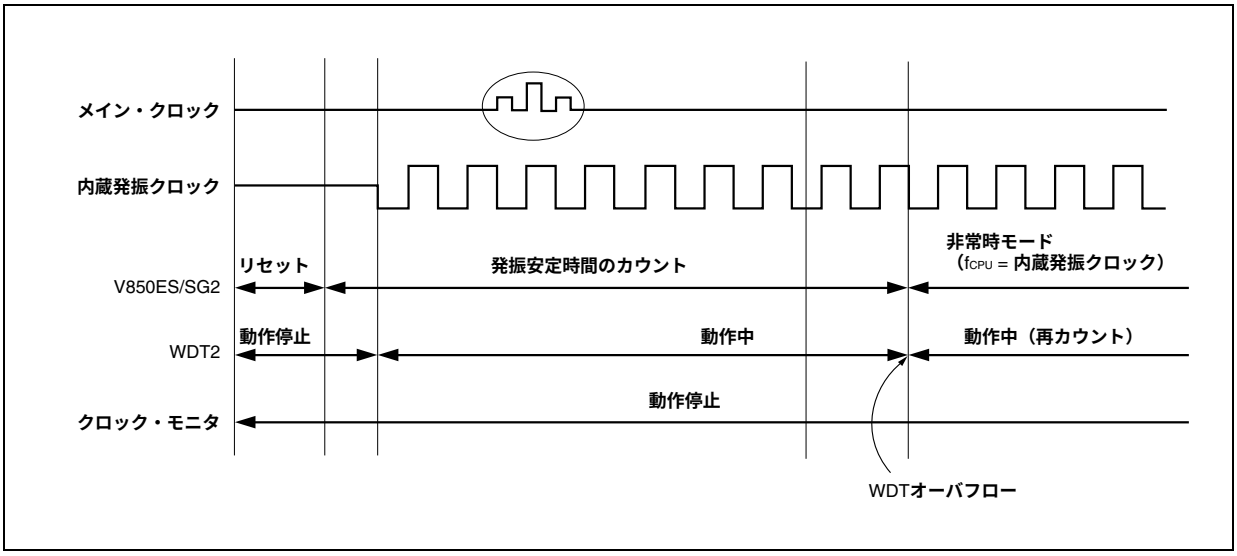
図25－5　リセット解除後の動作



（1）緊急動作モード

発振安定時間が確保される前にメイン・クロックに異常が発生した場合，CPUがプログラムの実行を開始する前にWDT2がオーバフローします。このとき，CPUは内蔵発振クロックをソース・クロックとして，プログラムの実行を開始します。

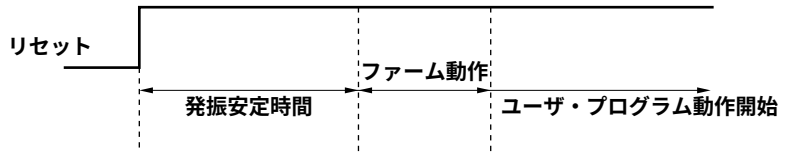
図25－6　リセット解除後の動作



CPU動作クロックの状態は，CPU動作クロック・ステータス・レジスタ（CCLS）で確認してください。

(2) ファームウエア動作（フラッシュ・メモリ内蔵品のみ）

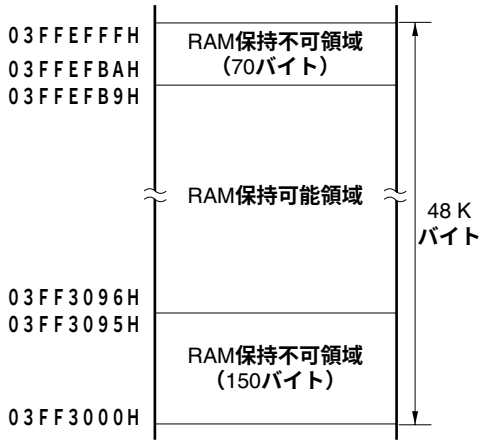
フラッシュ・メモリ内蔵品は，ブート切り替え機能をサポートするため，リセット解除後，ユーザ・プログラム開始前に内蔵ファームウエアが動作します。



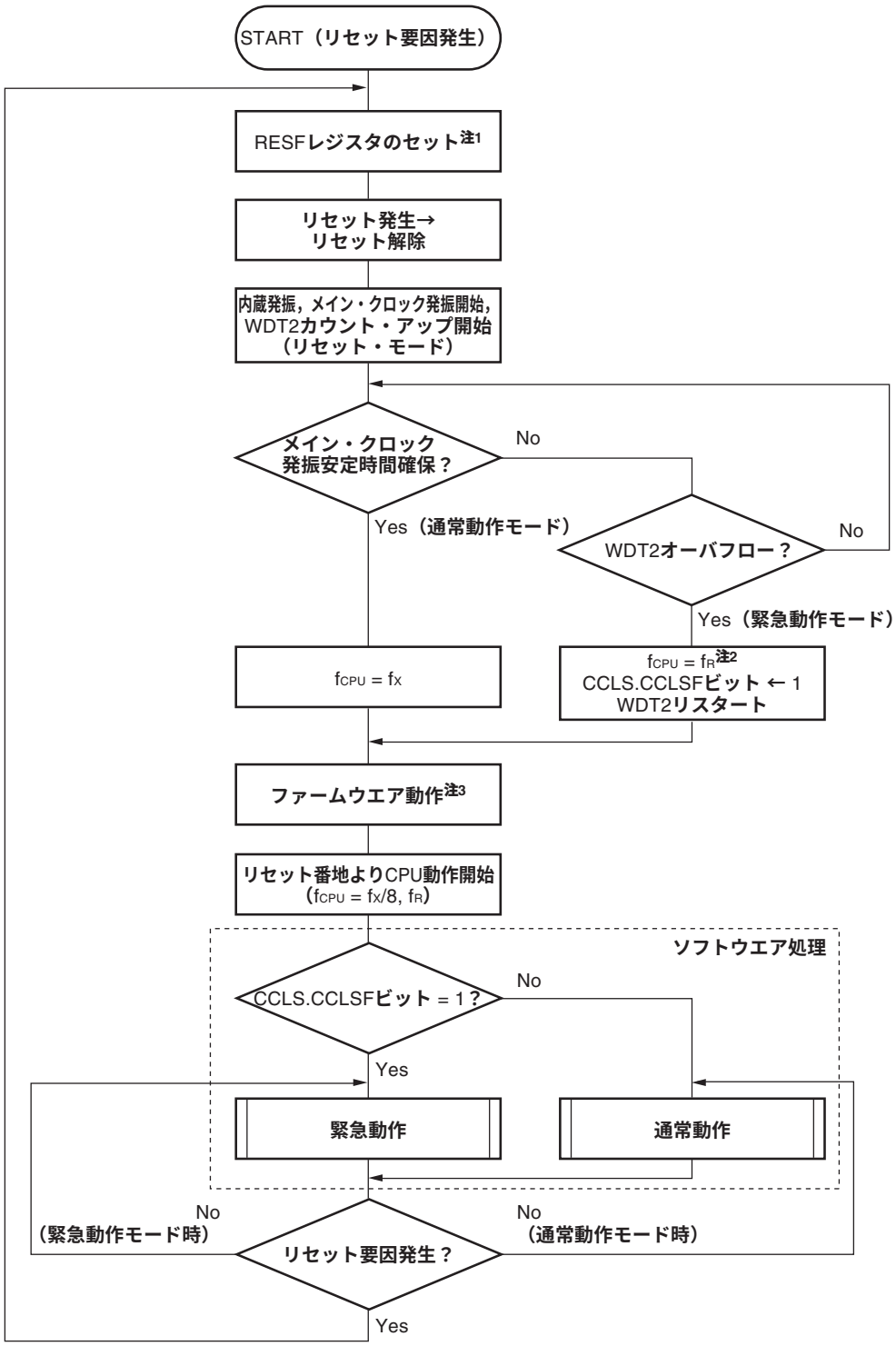
ファームウエア動作時間：11994×（1/fx）（sec）

備考　fx：メイン・クロック発振周波数（MHz）

また，ファームウエアが内蔵RAMの一部を使用するため，パワーオン状態でのリセットでも03FF3000H-03FF3095H, 03FFEFBAH-03FFEFFFH番地のRAM領域の内容を保持しません。



25. 3. 4　リセット機能の動作フロー



注1.　**リセット要因によって，セットされるビットが変わります。**

リセット要因	WDT2RFビット	CRMRFビット
$\overline{\text{RESET}}$端子	0	0
WDT2	1	リセット前の値を保持
CLM	リセット前の値を保持	1

2.　**内蔵発振器は停止できません。**

3.　**フラッシュ・メモリ内蔵品のみ**

25. 4　内蔵RAMデータの有効／無効

(1) 内蔵RAMデータ・ステータス・レジスタ（RAMS）

RAMSレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3. 4. 8　特定レジスタ参照）。

内蔵RAMデータの有効／無効を示すフラグ・レジスタです。

8/1ビット単位でリード／ライト可能です。

次にRAMFビットのセット／クリア条件を示します。

・セット条件　：検出レベル以下の電圧検出
　　：命令によるセット
　　：WDT2, CLMによるリセット発生
　　：内蔵RAMアクセス中に$\overline{\text{RESET}}$端子によるリセット発生

・クリア条件　：特定シーケンスによる0書き込み

リセット時：01H注　R/W　アドレス：FFFFF892H

	7	6	5	4	3	2	1	⓪
RAMS	0	0	0	0	0	0	0	RAMF

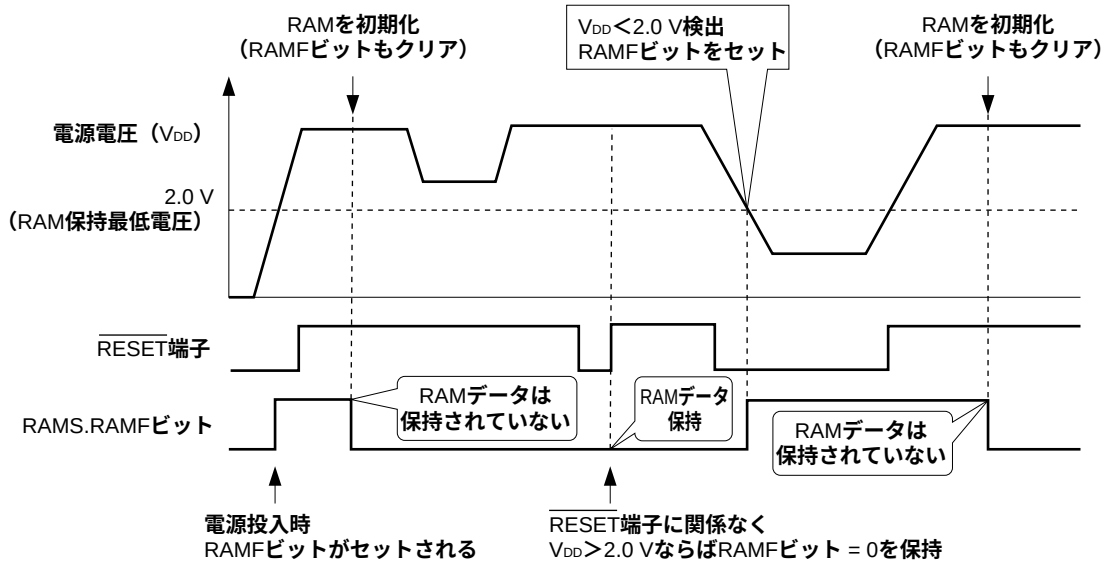
RAMF	内蔵RAMデータ有効／無効
0	有効
1	無効

注　$\overline{\text{RESET}}$端子入力（RAMアクセス時のみ），ウォッチドッグ・タイマ2のオーバフロー，クロック・モニタによるリセット時は01Hとなります。それ以外の要因によるリセット時は，そのときのレジスタ値を保持します。

25. 4. 1　RAM保持電圧検出動作

電源電圧と検出電圧を比較し，電源電圧が検出電圧を下回った場合（電源投入時も含みます），RAMS.RAMFビットをセット（1）します。

図25－7　RAM保持電圧検出機能の動作タイミング



備考1.　RAMFビットは，電源電圧がRAM保持最低電圧（2.0 V（TYP.））より降下した場合にセット（1）されます。

2.　RAMFビットは，RESET端子の状態に関係なく動作します。

25. 4. 2　エミュレーション機能

インサーキット・エミュレータ使用時，ディバッガ上で，PEMU1レジスタを操作することにより，擬似的にRAM保持フラグ（RAMS.RAMFビット）動作を制御し，エミュレーションを実現することが可能です。

なお，このレジスタは，エミュレーション・モード時だけ有効で，通常モードでは無効になります。

（1）周辺エミュレーション・レジスタ1（PEMU1）

リセット時：00H　　R/W　　アドレス：FFFFF9FEH

	7	6	5	4	3	2	1	0
PEMU1	0	0	0	0	0	EVARAMIN	0	0

EVARAMIN	RAM保持電圧検出信号擬似指定
0	RAM保持電圧以下を非検出
1	RAM保持電圧以下を検出（RAMFフラグをセット）

注意　このビットは，自動的にクリアされません。

［使用方法］

インサーキット・エミュレータ使用時，ディバッガ上でこのレジスタの書き換えを行うことにより，RAMFビットの擬似エミュレーションを実現します。

① CPUブレーク（CPU動作停止）

② レジスタ書き込みコマンドにより，EVARAMINビットを“1”にします。
EVARAMINビットを“1”にすることにより，ハード上でRAMFビットが“1”（内蔵RAMデータが無効）になります。

③ 再度，レジスタ書き込みコマンドにより，EVARAMINビットを“0”にします。
この動作を行わない（EVARAMINビットを“1→0”）場合は，CPU動作命令にてRAMFビットをクリア（0）することができなくなります。

④ CPUをRUNし，エミュレーションを再開。

第26章　クロック・モニタ

26. 1　機　　能

クロック・モニタは，内蔵発振クロックでメイン・クロックのサンプリングを行い，メイン・クロックの発振停止時にリセット要求信号を発生します。

動作許可フラグにより一度動作許可にすると，リセット以外ではクリア（0）できません。

クロック・モニタによるリセットが発生した場合，RESF.CLMRFビットがセットされます。RESFレジスタの詳細については，25. 2　**リセット要因を確認するレジスタ**を参照してください。

次の条件のとき，クロック・モニタは自動的に停止します。

- STOPモード～発振安定時間時
- メイン・クロック停止時
  （サブクロック動作時にPCC.MCKビット= 1としてから，メイン・クロック動作時にPCC.CLSビット = 0とするまで）
- サンプリング・クロック（内蔵発振クロック）停止時
- CPUが内蔵発振クロック動作時

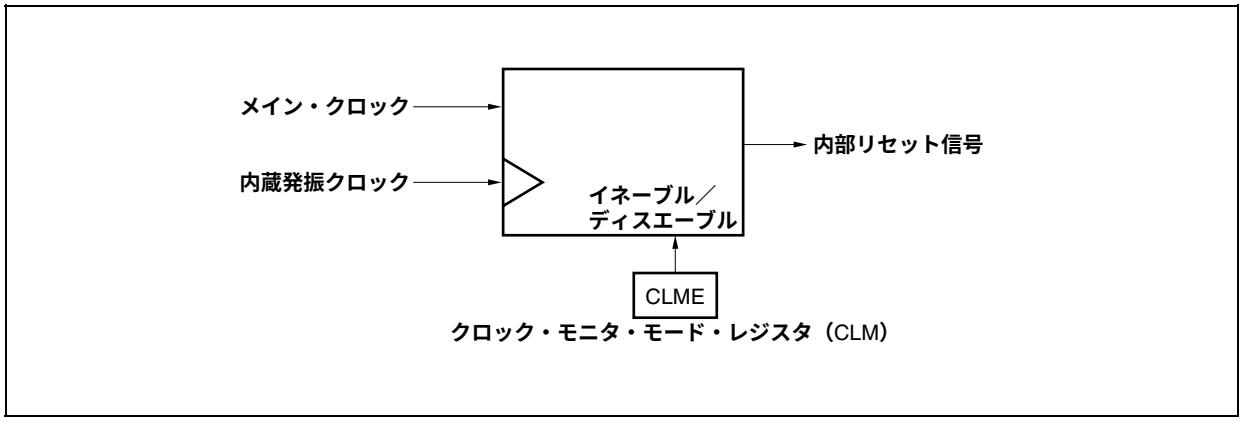
26. 2　構　　成

クロック・モニタは，次のハードウエアで構成しています。

表26－1　クロック・モニタの構成

項　　目	構　　成
制御レジスタ	クロック・モニタ・モード・レジスタ（CLM）

図26－1　$\overline{\text{RESET}}$端子入力によるリセット動作のタイミング



26. 3　レジスタ

クロック・モニタは，クロック・モニタ・モード・レジスタ（CLM）で制御します。

(1) クロック・モニタ・モード・レジスタ（CLM）

CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3. 4. 8　特定レジスタ参照）。

クロック・モニタの動作モードの設定を行うレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF870H

	7	6	5	4	3	2	1	⓪
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可／禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

注意1.　一度CLMEビット = 1に設定した場合，リセット以外ではクリア（0）できません。

2.　クロック・モニタによるリセットが発生した場合，CLMEビットはクリア（0）され，RESF.CLMRFビットがセット（1）されます。

26.4 動　　作

クロック・モニタの持つ機能について説明します。スタート条件，ストップ条件は次のようになります。

＜スタート条件＞

CLM.CLMEビットを動作許可（1）に設定

＜ストップ条件＞

- STOPモード～発振安定時間カウント時
- メイン・クロック停止時
  （サブクロック動作時にPCC.MCKビット= 1としてから，メイン・クロック動作時にPCC.CLSビット = 0とするまで）
- サンプリング・クロック（内蔵発振クロック）停止時
- CPUが内蔵発振クロック動作時

表26－2　クロック・モニタの動作状態（CLM.CLMEビット = 1設定時，内蔵発振クロック動作時）

CPU動作クロック	動作モード	メイン・クロックの状態	内蔵発振クロックの状態	クロック・モニタの状態
メイン・クロック	HALTモード	発振	発振[注1]	動作[注2]
	IDLE1, IDLE2モード	発振	発振[注1]	動作[注2]
	STOPモード	停止	発振[注1]	停止
サブクロック（PCCレジスタのMCKビット = 0）	サブIDLEモード	発振	発振[注1]	動作[注2]
サブクロック（PCCレジスタのMCKビット = 1）	サブIDLEモード	停止	発振[注1]	停止
内蔵発振クロック	－	停止	発振[注3]	停止
リセット中	－	停止	停止	停止

注1. RCM.RSTOPビットをセット（1）することで内蔵発振器を停止できます。

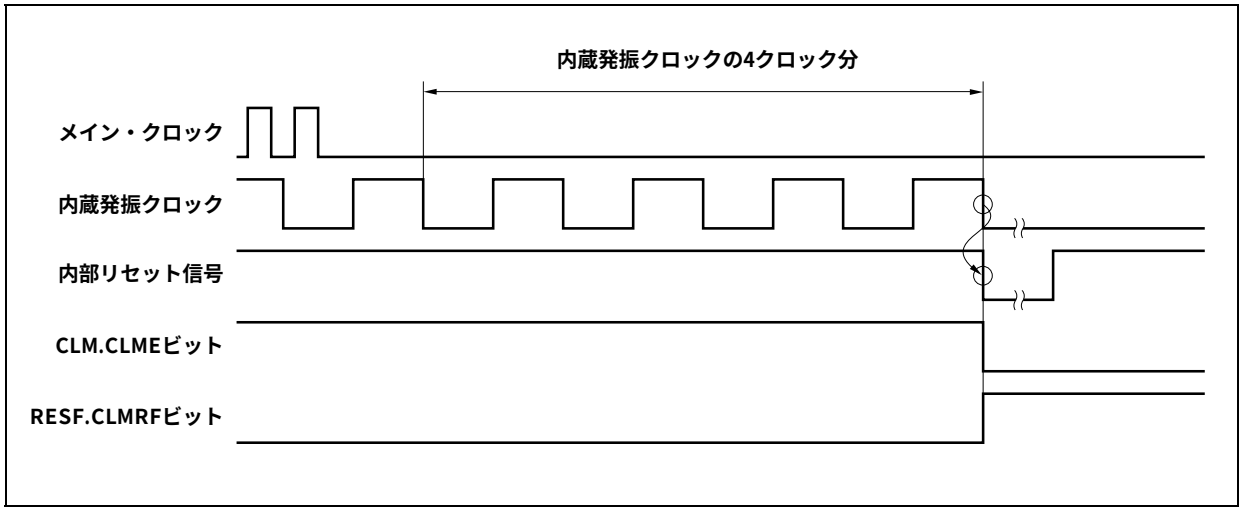
2. 内蔵発振器が停止している場合，クロック・モニタは停止します。

3. 内蔵発振器をソフトウエアで停止することはできません。

(1) メイン・クロック発振停止時の動作（CLMEビット = 1）

CLMEビット = 1のとき，メイン・クロックの発振が停止した場合，図26－2のタイミングで内部リセット信号が発生します。

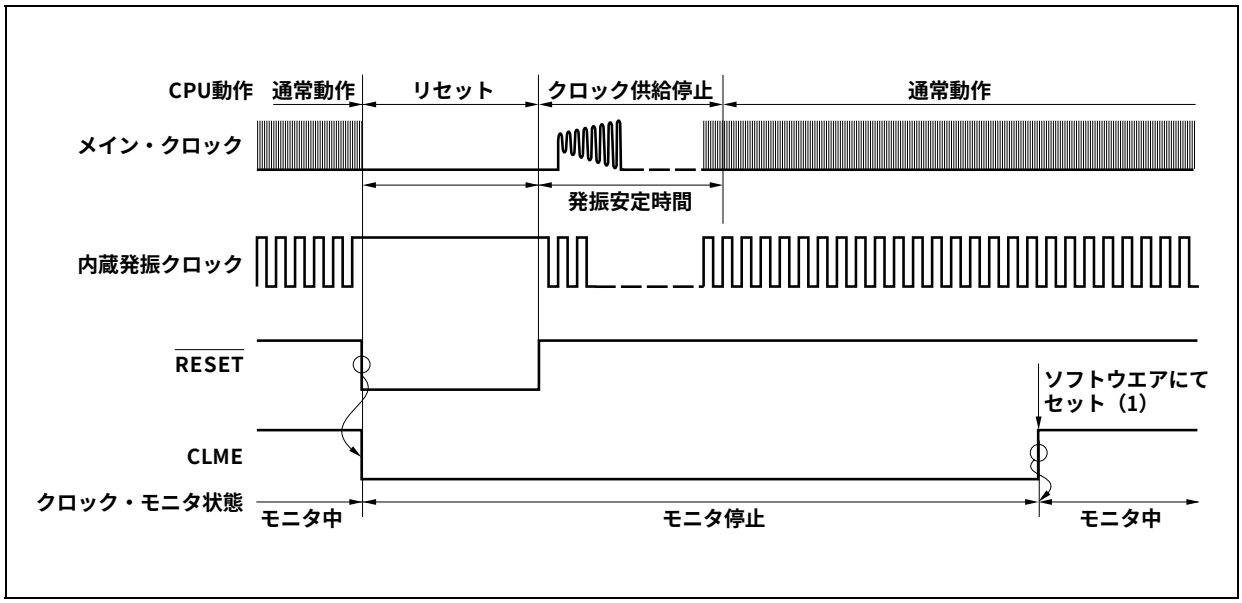
図26－2　メイン・クロックの発振停止によってリセットがかかる時間



(2) $\overline{\text{RESET}}$入力後のクロック・モニタの状態

$\overline{\text{RESET}}$入力により，CLM.CLMEビットはクリア（0）されて，クロック・モニタは動作停止します。メイン・クロックの発振安定時間後にソフトウエアでCLMEビットをセット（1）すると，モニタ動作を開始します。

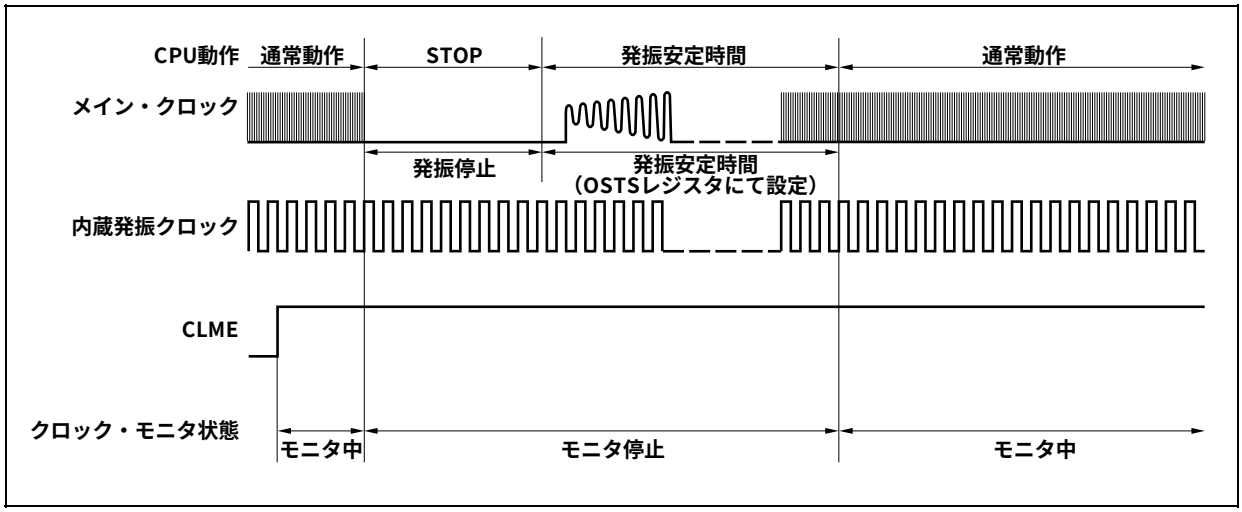
図26－3　$\overline{\text{RESET}}$入力後のクロック・モニタの状態
（$\overline{\text{RESET}}$入力後，メイン・クロックの発振安定時間終了後に，CLM.CLMEビット = 1を設定）



(3) STOPモード中およびSTOPモード解除後の動作

CLM.CLMEビット = 1の状態でソフトウエアSTOPモードに移行した場合，STOPモード中および発振安定時間カウント中はモニタ動作を停止します。発振安定時間カウント終了後に自動的にモニタ動作を開始します。

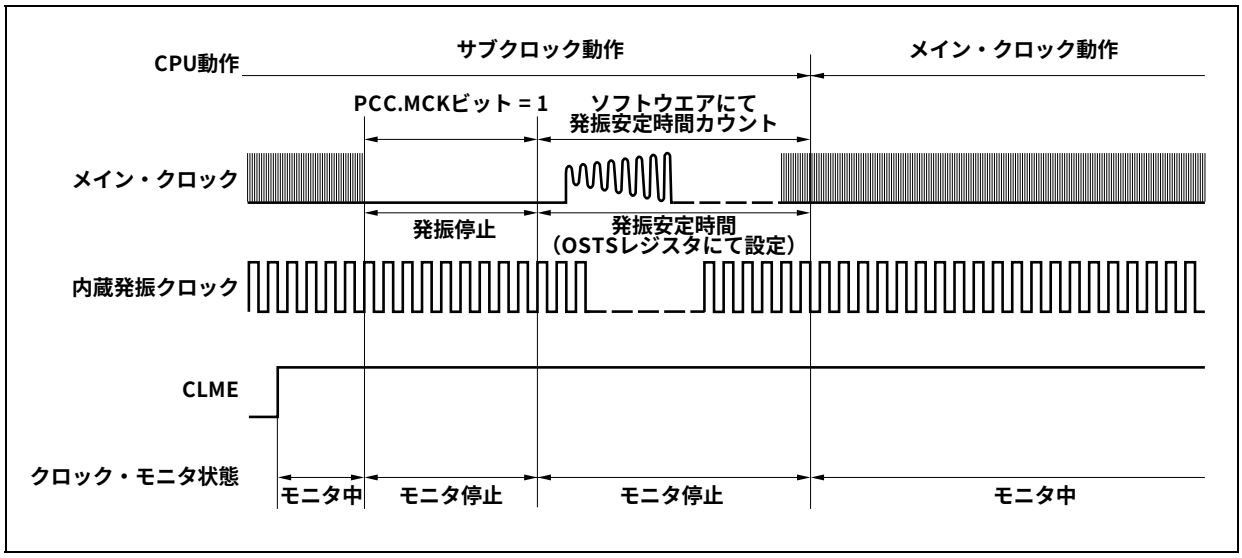
図26－4　STOPモード中およびSTOPモード解除後の動作



(4) メイン・クロック停止時（任意）の動作

サブクロック動作時（PCC.CLSビット = 1），PCC.MCKビット = 1に設定することによりメイン・クロックを停止した場合，メイン・クロック動作（PCC.CLSビット = 0）に移行するまでモニタ動作を停止し，メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図26－5　メイン・クロック停止時（任意）の動作



(5) CPUが内蔵発振クロックで動作時（CCLS.CCLSFビット = 1）の動作

CCLSFビット = 1のとき，CLMEビット = 1に設定してもモニタ動作を開始しません。

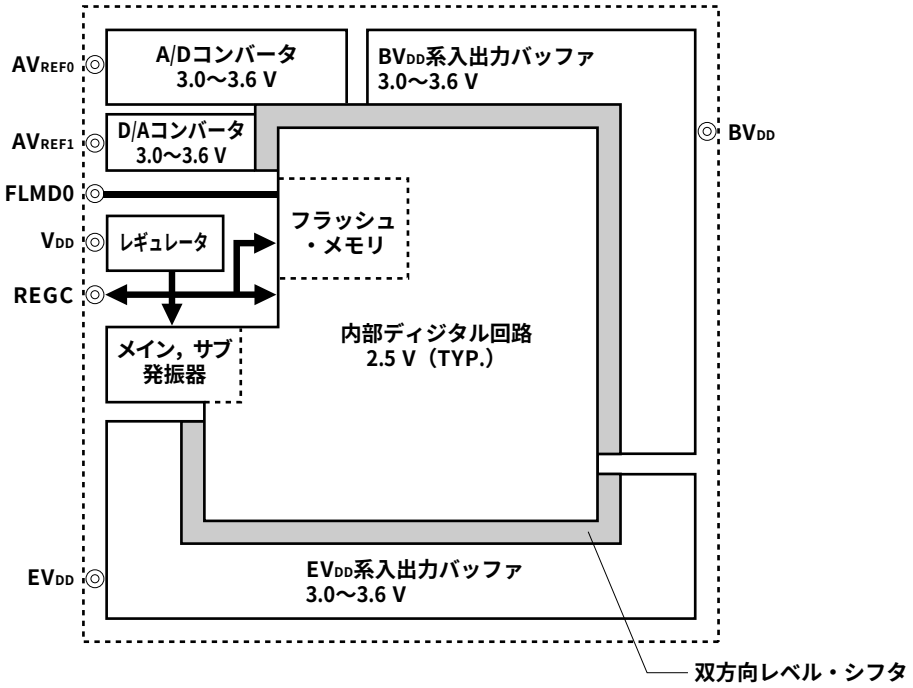
第27章　レギュレータ

27.1　概　　要

V850ES/SG2は，低消費電力／低ノイズを実現するために，レギュレータを内蔵しています。

このレギュレータは，発振器ブロックと内部ロジック回路（A/Dコンバータ，D/Aコンバータ，出力バッファは除く）に，V_{DD}電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は，2.5 V（TYP.）に設定しています。

図27－1　レギュレータ



注意　V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}≧BV_{DD}で使用してください。

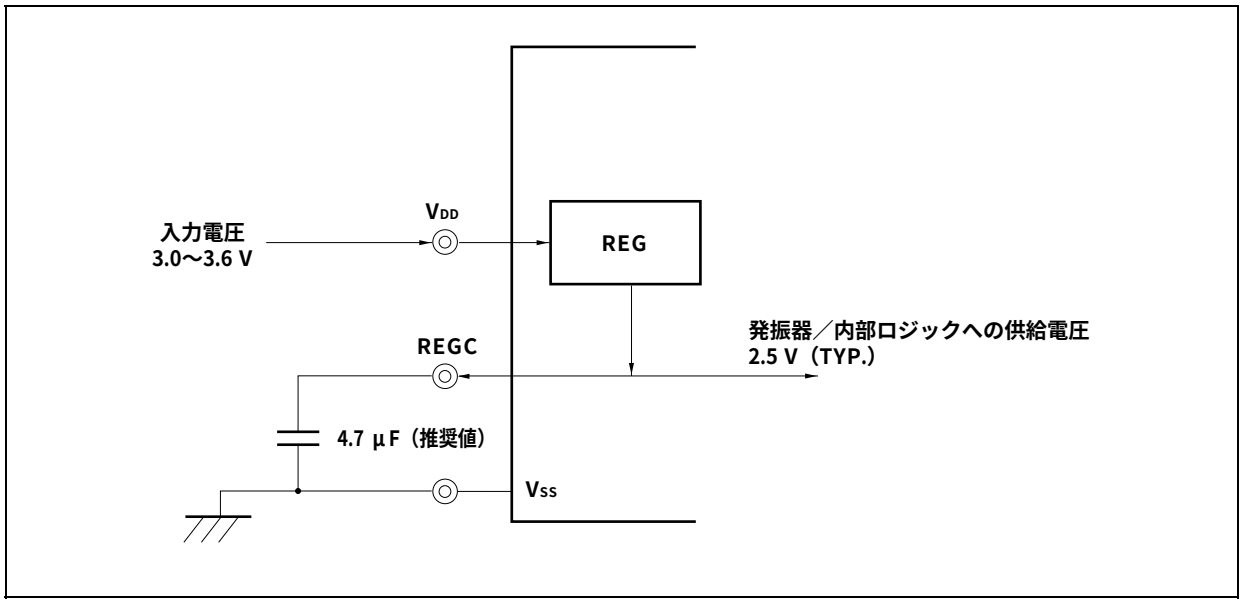
27.2 動　　作

この製品のレギュレータは，いかなるモード（通常動作モード／HALTモード／IDLE1モード／IDLE2モード／STOPモード／リセット中）でも常に動作します。

また，レギュレータの出力を安定させるためにREGC端子にコンデンサ（4.7 μF（推奨値））を接続してください。

次に端子の接続の方法を示します。

図27－2　REGC端子の接続



第28章　ROMコレクション機能

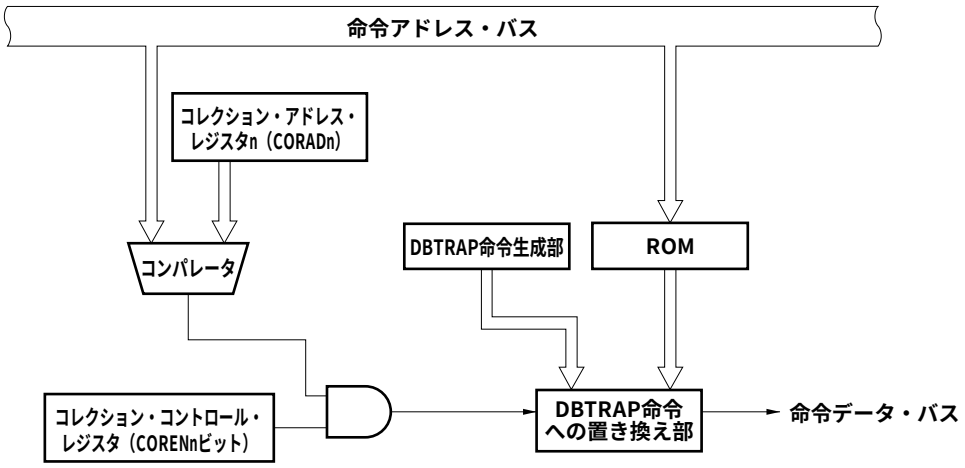
28.1　概　　要

ROMコレクション機能とは，内蔵ROM内のプログラムの一部を，外部メモリまたは内蔵RAMのプログラムで置き換えて実行する機能です。

ROMコレクション機能を使用することにより，内蔵ROMで発見されたプログラム・バグの修正が可能です。

ROMコレクション機能により，修正アドレスは最大4箇所指定できます。

図28ー1　ROMコレクションのブロック図



備考　n = 0-3

28. 2　レジスタ

(1) コレクション・アドレス・レジスタ0-3（CORAD0-CORAD3）

修正プログラムの先頭アドレスを設定するレジスタです。

CORADn**レジスタは**4**つあるため，プログラムを最大**4**箇所修正することができます**（n = 0-3）。

CORADn**レジスタは**32**ビット単位でリード／ライト可能です。**

ただし，CORADn**レジスタの上位**16**ビットを**CORADnH**レジスタ，下位**16**ビットを**CORADnL**レジスタとして使用する場合は，**16**ビット単位でリード／ライト可能です。**

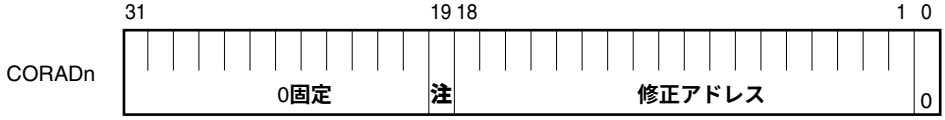
リセットにより00000000H**になります。**

各製品によってROM**容量が異なるため，次に示す範囲で修正アドレスを設定してください。**

- μPD703262HY, 703272HY, 703282HY（512 K**バイト**）：0000000H-007FFFFH
- μPD703263HY, 703273HY, 703283HY, 70F3263HY, 70F3273HY, 70F3283HY（640 K**バイト**）：0000000H-009FFFFH

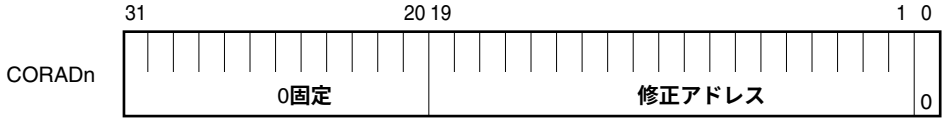
リセット時：00000000H　R/W　**アドレス：**CORAD0 FFFFF840H,
CORAD0L FFFFF840H, CORAD0H FFFFF842H,
CORAD1 FFFFF844H,
CORAD1L FFFFF844H, CORAD1H FFFFF846H,
CORAD2 FFFFF848H,
CORAD2L FFFFF848H, CORAD2H FFFFF84AH,
CORAD3 FFFFF84CH,
CORAD3L FFFFF84CH, CORAD3H FFFFF84EH

(a) 512 K**バイトの場合**



(n = 0-3)

(b) 640 K**バイトの場合**



(n = 0-3)

注　0**に設定してください。**

(2) コレクション・コントロール・レジスタ（CORCN）

各CORADnレジスタに設定したアドレスにおけるコレクション動作の禁止／許可を制御するレジスタです（n = 0-3）。

各チャネルごとに，有効／無効を設定できます。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H　R/W　アドレス：FFFFF880H

	7	6	5	4	3	2	1	0
CORCN	0	0	0	0	COREN3	COREN2	COREN1	COREN0

CORENn	コレクション動作の禁止／許可
0	禁止
1	許可

備考　n = 0-3

表28－1　CORCNレジスタのビットとCORADnレジスタの対応

CORCNレジスタのビット名称	対応するCORADnレジスタ
COREN3	CORAD3
COREN2	CORAD2
COREN1	CORAD1
COREN0	CORAD0

28. 3　ROMコレクションの動作とプログラムの流れ

① 修正したいアドレスと内蔵ROMのフェッチ・アドレスが一致すると，フェッチ・コードをDBTRAP命令に置き換えます。

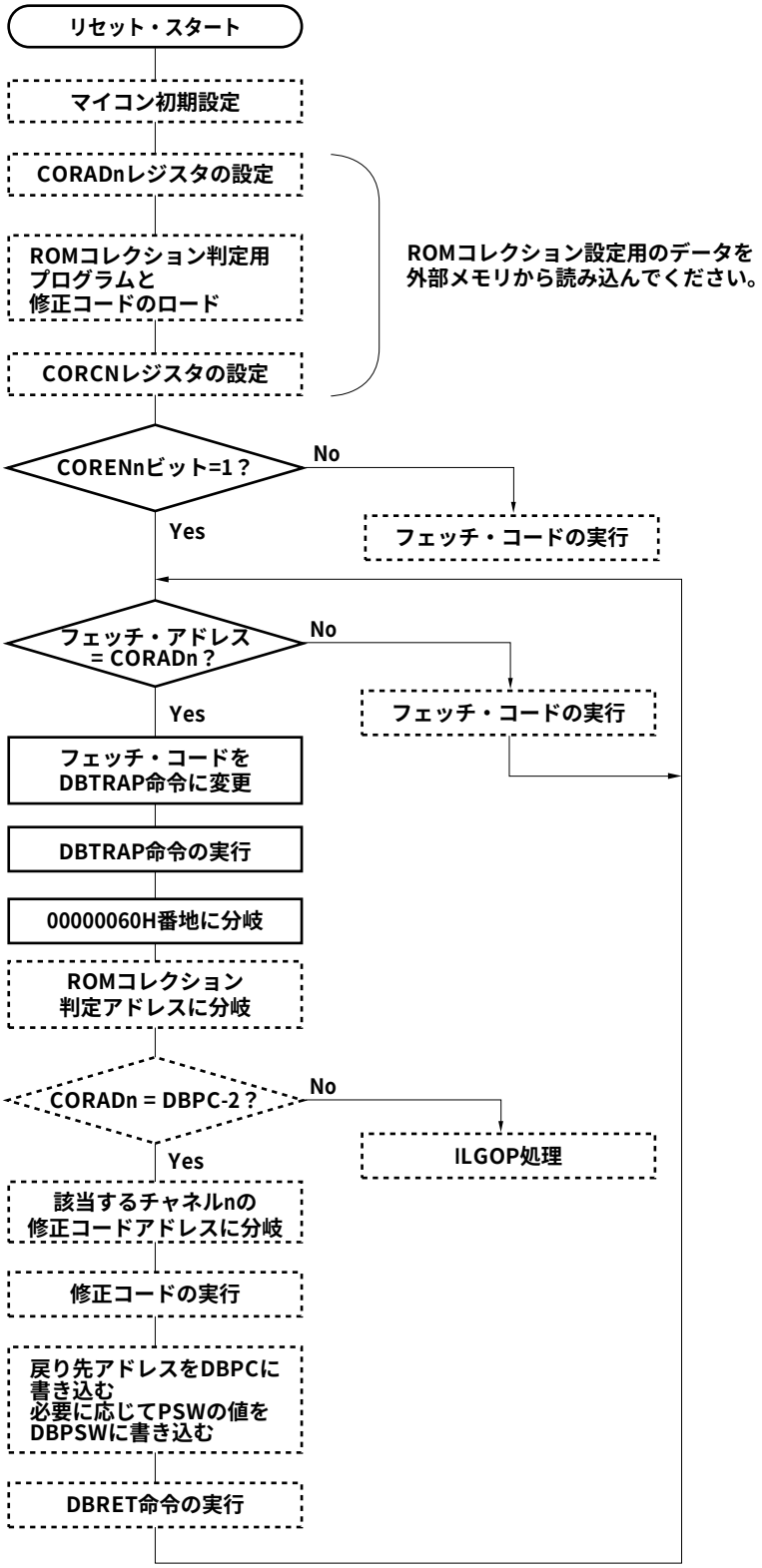
② 置き換えられたDBTRAP命令が実行されると，00000060H番地に分岐します。

③ 分岐後のソフトウエア処理により，ROMコレクション判定（フェッチ・アドレスとROMコレクション動作許可の確認）と修正ソフトウエアへの分岐を行います。

④ 修正ソフトウエア実行後，戻るアドレスのセットなどを行い，DBRET命令で復帰処理をします。

注意　上記③，④を実現するソフトウエアは，内蔵ROM/RAM内で実行する必要があります。

図28ー2　ROMコレクションの動作とプログラムの流れ



備考1.　：ユーザ・プログラム（ソフトウエア）による処理

：ROM内コレクション（ハードウエア）による処理

2.　n = 0-3

28. 4　注意事項

(1) CORADnレジスタに修正したいアドレスを設定する際，内蔵ROMの容量に応じて，上位ビットに0を設定してください。

(2) ROMコレクション機能は内蔵ROMのデータに対しては使用できません。命令コードに対してのみ行うことができます。データに対してROMコレクションを行うと，そのデータがDBTRAP命令コードに入れ替わります。

(3) CORCNnレジスタへの書き込みが終了する前のROMコードについては，ROMコレクションできません。

(4) DBTRAP命令実行後，PSW.NP, EP, DIビット = 111となり，割り込み／例外を受け付けることができない状態になります。DBTRAP命令実行後，必要に応じてPSWレジスタの値を変更してください。

(5) DBPC, DBPSWレジスタへアクセスできるのは，DBTRAP中のみです。

(6) CORCNnレジスタ設定（許可）直後に実行される数命令のアドレスをコレクション・アドレスに設定した場合，正常に動作しない（DBTRAPが発生しない）場合があります。

第29章　フラッシュ・メモリ

次に示す製品はV850ES/SG2のフラッシュ・メモリ内蔵品です。

注意　フラッシュ・メモリ製品とマスクROM製品では，ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は，マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。
また，フラッシュ・メモリの書き換えに関するスペックについては第31章　電気的特性（ターゲット）を参照してください。

・μPD70F3263HY, 70F3273HY, 70F3283HY

フラッシュ・メモリ内蔵品を使用した開発用途および量産用途として次のようなことが考えられます。

○ターゲット・システムにV850ES/SG2を半田実装後，ソフトウエアの変更可能
○量産立ち上げ時のデータ調整が容易
○規格ごとにソフトウエアを区別することで少量多品種生産が容易
○在庫管理が容易
○出荷後のソフトウエアのアップデートが容易

フラッシュ・メモリへの命令フェッチは，マスクROM内蔵品と同様に1クロックで4バイトにアクセスできます。
フラッシュ・メモリへの書き込みは，ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライタをターゲット・システムに接続して書き込みます。

29. 1　特　　徴

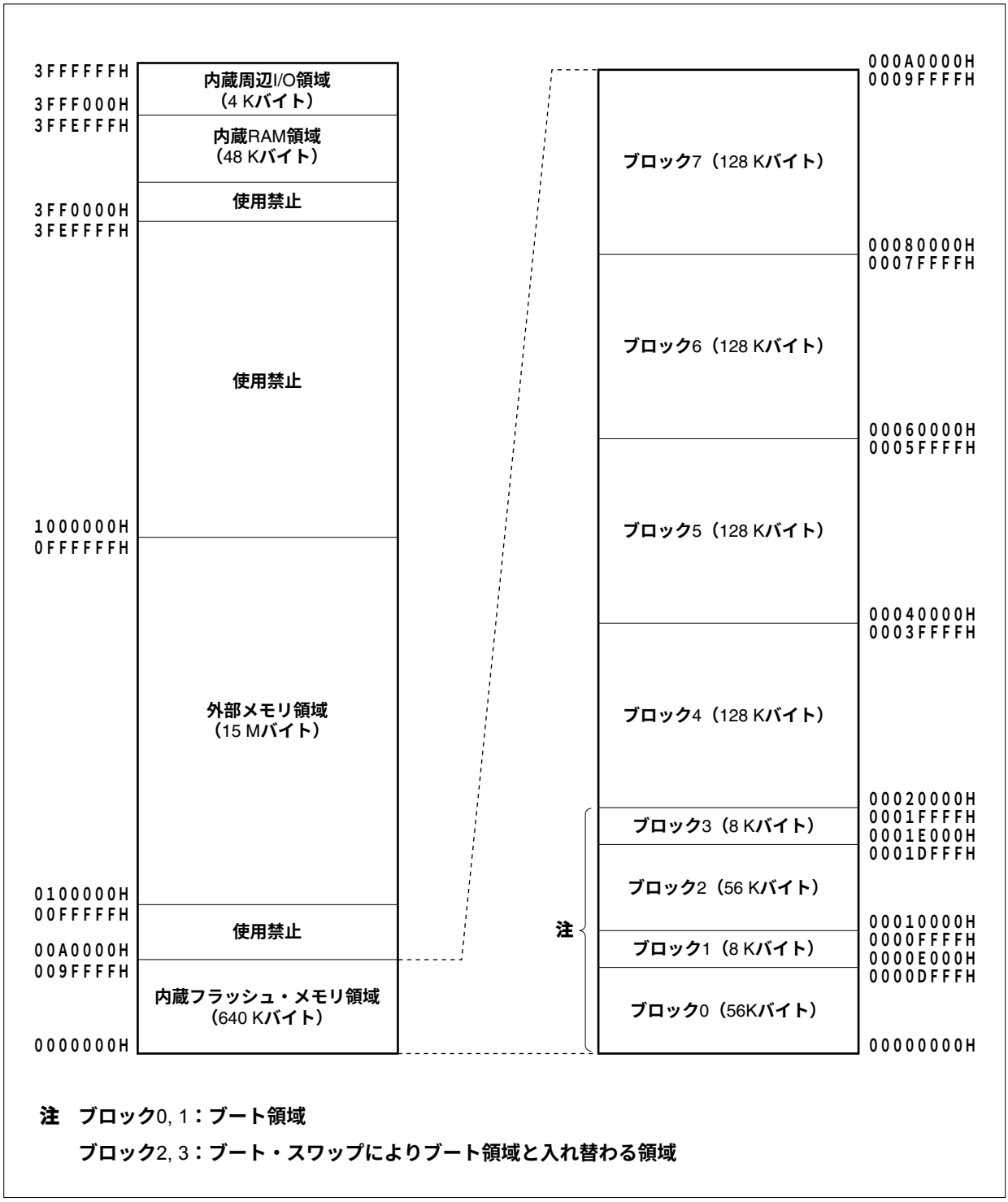
○4バイト/1クロック・アクセス（命令フェッチ時）
○容量：640 Kバイト
○書き換え電圧：単一電源による消去／書き込みが可能
○書き換え方式
　・専用フラッシュ・ライタとのシリアル・インタフェースを介しての通信による書き換え（オンボード／オフボード・プログラミング）
　・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）
○フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）
○ブート・スワップ機能により，セルフ・プログラミングによる全フラッシュ・メモリ領域のセキュアな書き換えが可能
○セルフ・プログラミング中の割り込み受け付け可能

29. 2　メモリ構成

640 Kバイトの内蔵フラッシュ・メモリの領域は8個のブロックに分割されており，各ブロック単位でプログラム／消去可能となっています。また，全ブロックの一括消去も可能です。

また，ブート・スワップ機能を用いた場合，ブロック0, 1のアドレスに配置された物理メモリと，ブロック2, 3のアドレスに配置された物理メモリが入れ替わります。ブート・スワップ機能詳細については，29. 5　**セルフ・プログラミングによる書き換え**を参照してください。

図29－1　フラッシュ・メモリ・マッピング



注　ブロック0, 1：ブート領域
　　ブロック2, 3：ブート・スワップによりブート領域と入れ替わる領域

29. 3　機能概要

V850ES/SG2の内蔵フラッシュ・メモリは，専用フラッシュ・ライタによる書き換え機能により，ターゲット・システムへの実装前，実装後にかかわらず書き換えが可能です（オフボート／オンボード・プログラミング）。

また，内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は，ターゲット・システムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また，セルフ・プログラミング中の割り込み処理のサポートにより，外部との通信処理を行いながら書き換えを行うなど，さまざまな条件での書き換えが可能です。

表29－1　書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・ライタを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・ライタと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより，ターゲット・システムに実装する前に，フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オフボード／オンボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により，フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので，内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

備考　FAシリーズは，（株）内藤電誠町田製作所の製品です。

表29－2　基本機能一覧

機　能	機能概要	サポートの有無（○：サポート，×：未サポート）	
		オンボード／オフボード・プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
チップ消去	全メモリの内容の一括消去を行います。	○	×
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。	○	○
ベリファイ／チェック・サム	フラッシュ・メモリから読み出したデータと，フラッシュ・ライタから転送されたデータの比較を行います。	○	×（ユーザ・プログラムにて読み出しは可能）
ブランク・チェック	全メモリの消去状態の確認を行います。	○	○
セキュリティ設定	ブロック消去コマンド／チップ消去コマンド／プログラム・コマンドの使用禁止設定を行います。	○	×（オンボード／オフボード・プログラミングで設定した値の保持のみ可能）

次にセキュリティ機能の一覧を示します。ブロック消去コマンド禁止／チップ消去コマンド禁止／プログラム・コマンド禁止機能は，出荷後の初期状態はすべて許可になっており，オンボード／オフボート・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

表29－3　セキュリティ機能一覧

機　能	機能概要	禁止時の書き換え動作（○：実行可能，×：実行不可）	
		オンボード／オフボード・プログラミング	セルフ・プログラミング
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって，禁止設定の初期化が可能です。	ブロック消去コマンド：× チップ消去コマンド：○ プログラム・コマンド：○	禁止設定にかかわらず常に書き換え可能
チップ消去コマンド禁止	全ブロックに対してのブロック消去および，チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため，すべての禁止設定の初期化ができなくなります。	ブロック消去コマンド：× チップ消去コマンド：× プログラム・コマンド：○	
プログラム・コマンド禁止	全ブロックに対しての書き込みコマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって，禁止設定の初期化が可能です。	ブロック消去コマンド：× チップ消去コマンド：○ プログラム・コマンド：×	

29. 4　専用フラッシュ・ライタでの書き換え

専用フラッシュ・ライタにて，ターゲット・システム上にV850ES/SG2を実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また，専用プログラム・アダプタ（FAシリーズ）を使用すれば，ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

29. 4. 1　プログラミング環境

V850ES/SG2のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図29－2　フラッシュ・メモリにプログラムを書き込むための環境

注　FLMD1端子は，フラッシュ・ライタと接続するか，ボード上でプルダウン抵抗を介してGNDに接続してください。

専用フラッシュ・ライタには，これを制御するホスト・マシンが必要です。

また，専用フラッシュ・ライタとV850ES/SG2とのインタフェースはUARTA0, CSIB0またはCSIB3を使用して，書き込み，消去等の操作を行います。オフボードで書き込む場合は，専用プログラム・アダプタ（FAシリーズ）が必要です。

備考　FAシリーズは，㈱内藤電誠町田製作所の製品です。

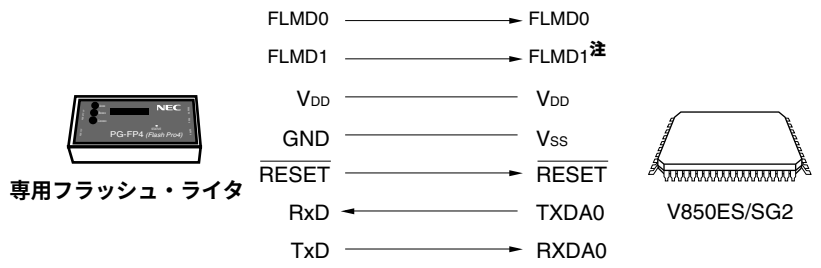
29. 4. 2　通信方式

専用フラッシュ・ライタとV850ES/SG2との通信は，V850ES/SG2のUARTA0, CSIB0またはCSIB3によるシリアル通信で行います。

(1) UARTA0

転送レート：9600～153600 bps

図29－3　専用フラッシュ・ライタとの通信（UARTA0）

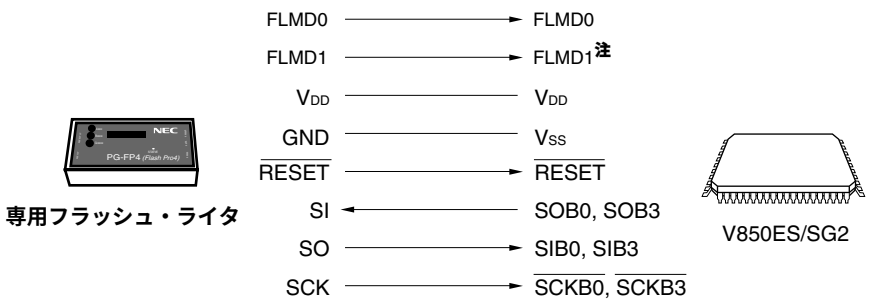


注　FLMD1端子は，フラッシュ・ライタと接続するか，ボード上でプルダウン抵抗を介してGNDに接続してください。

(2) CSIB0, CSIB3

シリアル・クロック：2.4 kHz～2.5 MHz（MSBファースト）

図29－4　専用フラッシュ・ライタとの通信（CSIB0, CSIB3）

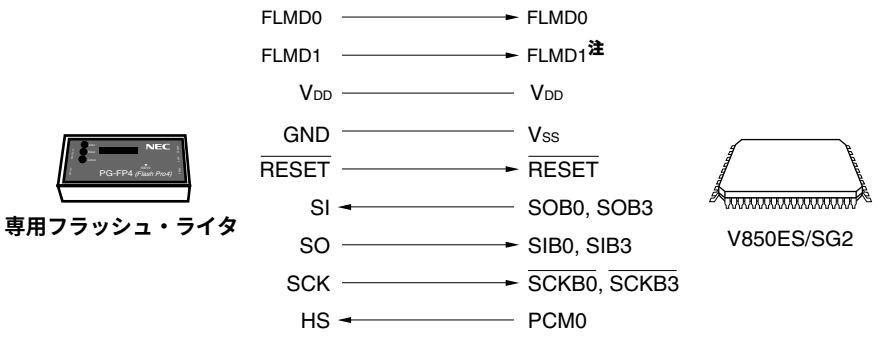


注　FLMD1端子は，フラッシュ・ライタと接続するか，ボード上でプルダウン抵抗を介してGNDに接続してください。

(3) CSIB0＋HS, CSIB3＋HS

シリアル・クロック：2.4 kHz～2.5 MHz（MSBファースト）

図29－5　専用フラッシュ・ライタとの通信（CSIB0＋HS, CSIB3＋HS）



注　FLMD1端子は，フラッシュ・ライタと接続するか，ボード上でプルダウン抵抗を介してGNDに接続してください。

専用フラッシュ・ライタが転送クロックを出力し，V850ES/SG2はスレーブとして動作します。

専用フラッシュ・ライタとしてPG-FP4を使用した場合，PG-FP4はV850ES/SG2に対して次の信号を生成します。詳細はPG-FP4　ユーザーズ・マニュアル（U15260J）を参照してください。

表29－4　専用フラッシュ・ライタ（PG-FP4）の信号接続一覧

PG-FP4			V850ES/SG2	接続時の処置		
信号名	入出力	端子機能	端子名	UARTA0	CSIB0, CSIB3	CSIB0＋HS, CSIB3＋HS
FLMD0	出力	書き込み許可／禁止	FLMD0	◎	◎	◎
FLMD1	出力	書き込み許可／禁止	FLMD1	◎注1	◎注1	◎注1
VDD	－	VDD電圧生成/電圧監視	VDD	◎	◎	◎
GND	－	グランド	VSS	◎	◎	◎
CLK	出力	V850ES/SG2へのクロック出力	X1, X2	×注2	×注2	×注2
$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	◎	◎	◎
SI/RxD	入力	受信信号	SOB0, SOB3/TXDA0	◎	◎	◎
SO/TxD	出力	送信信号	SIB0, SIB3/RXDA0	◎	◎	◎
SCK	出力	転送クロック	$\overline{\text{SCKB0}}$, $\overline{\text{SCKB3}}$	×	◎	◎
HS	入力	CSIB0＋HS，CSIB3＋HS通信のハンドシェーク信号	PCM0	×	×	◎

注1.　図29－6のように配線するか，もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2.　フラッシュ・ライタのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。

備考　◎：必ず接続してください。

×：接続の必要はありません。

表29ー5　V850ES/SG2フラッシュ書き込み用アダプタ（FA-100GC-8EA）の配線表（1/2）

フラッシュ・ライタ（PG-FP4）接続端子			FAボードの端子名	CSIB0＋HS使用時		CSIB0使用時		UARTA0使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P41/SOB0/SCL01	23	P41/SOB0/SCL01	23	P30/TXDA0/SOB4	25
SO/TxD	出力	送信信号	SO	P40/SIB0/SDA01	22	P40/SIB0/SDA01	22	P31/RXDA0/INTP7/SIB4	26
SCK	出力	転送クロック	SCK	P42/$\overline{\text{SCKB0}}$	24	P42/$\overline{\text{SCKB0}}$	24	必要なし	ー
CLK	出力	V850ES/SG2へのクロック	X1	必要なし	ー	必要なし	ー	必要なし	ー
			X2	必要なし	ー	必要なし	ー	必要なし	ー
/RESET	出力	リセット信号	/RESET	$\overline{\text{RESET}}$	14	$\overline{\text{RESET}}$	14	$\overline{\text{RESET}}$	14
FLMD0	入力	書き込み電圧	FLMD0	FLMD0	8	FLMD0	8	FLMD0	8
FLMD1	入力	書き込み電圧	FLMD1	PLD5/AD5/FLMD1	76	PLD5/AD5/FLMD1	76	PLD5/AD5/FLMD1	76
HS	入力	CSI0＋HS通信のハンドシェーク信号	RESERVE/HS	PCM0/$\overline{\text{WAIT}}$	61	必要なし	ー	必要なし	ー
VDD	ー	VDD電圧生成／電圧監視	VDD	V_{DD}	9	V_{DD}	9	V_{DD}	9
				BV_{DD}	70	BV_{DD}	70	BV_{DD}	70
				EV_{DD}	34	EV_{DD}	34	EV_{DD}	34
				AV_{REF0}	1	AV_{REF0}	1	AV_{REF0}	1
				AV_{REF1}	5	AV_{REF1}	5	AV_{REF1}	5
GND	ー	グランド	GND	V_{SS}	11	V_{SS}	11	V_{SS}	11
				AV_{SS}	2	AV_{SS}	2	AV_{SS}	2
				BV_{SS}	69	BV_{SS}	69	BV_{SS}	69
				EV_{SS}	33	EV_{SS}	33	EV_{SS}	33

注意1.　REGC**端子は，必ず**4.7 μF**のコンデンサを介して**GND**に接続してください。**

2.　**フラッシュ・ライタの**CLK**端子からのクロック供給はできません。**
ボード上に発振回路を作成してクロックを供給してください。

表29ー5　V850ES/SG2フラッシュ書き込み用アダプタ（FA-100GC-8EA）の配線表（2/2）

フラッシュ・ライタ（PG-FP4）接続端子			FAボードの端子名	CSIB3＋HS使用時		CSIB3使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P911/A11/SOB3	54	P911/A11/SOB3	54
SO/TxD	出力	送信信号	SO	P910/A10/SIB3	53	P910/A10/SIB3	53
SCK	出力	転送クロック	SCK	P912/A12/$\overline{\text{SCKB3}}$	55	P912/A12/$\overline{\text{SCKB3}}$	55
CLK	出力	V850ES/SG2へのクロック	X1	必要なし	ー	必要なし	ー
			X2	必要なし	ー	必要なし	ー
/RESET	出力	リセット信号	/RESET	$\overline{\text{RESET}}$	14	$\overline{\text{RESET}}$	14
FLMD0	入力	書き込み電圧	FLMD0	FLMD0	8	FLMD0	8
FLMD1	入力	書き込み電圧	FLMD1	PLD5/AD5/FLMD1	76	PLD5/AD5/FLMD1	76
HS	入力	CSI0＋HS通信のハンドシェーク信号	RESERVE/HS	PCM0/$\overline{\text{WAIT}}$	61	必要なし	ー
VDD	ー	VDD電圧生成／電圧監視	VDD	V_{DD}	9	V_{DD}	9
				BV_{DD}	70	BV_{DD}	70
				EV_{DD}	34	EV_{DD}	34
				AV_{REF0}	1	AV_{REF0}	1
				AV_{REF1}	5	AV_{REF1}	5
GND	ー	グランド	GND	V_{SS}	11	V_{SS}	11
				AV_{SS}	2	AV_{SS}	2
				BV_{SS}	69	BV_{SS}	69
				EV_{SS}	33	EV_{SS}	33

注意1.　REGC端子は，必ず4.7 μFのコンデンサを介してGNDに接続してください。

2.　フラッシュ・ライタのCLK端子からのクロック供給はできません。
ボード上に発振回路を作成してクロックを供給してください。

図29ー6　V850ES/SG2フラッシュ書き込み用アダプタ（FA-100GC-8EA）の配線例（CSIB0＋HSモード時）（1/2）

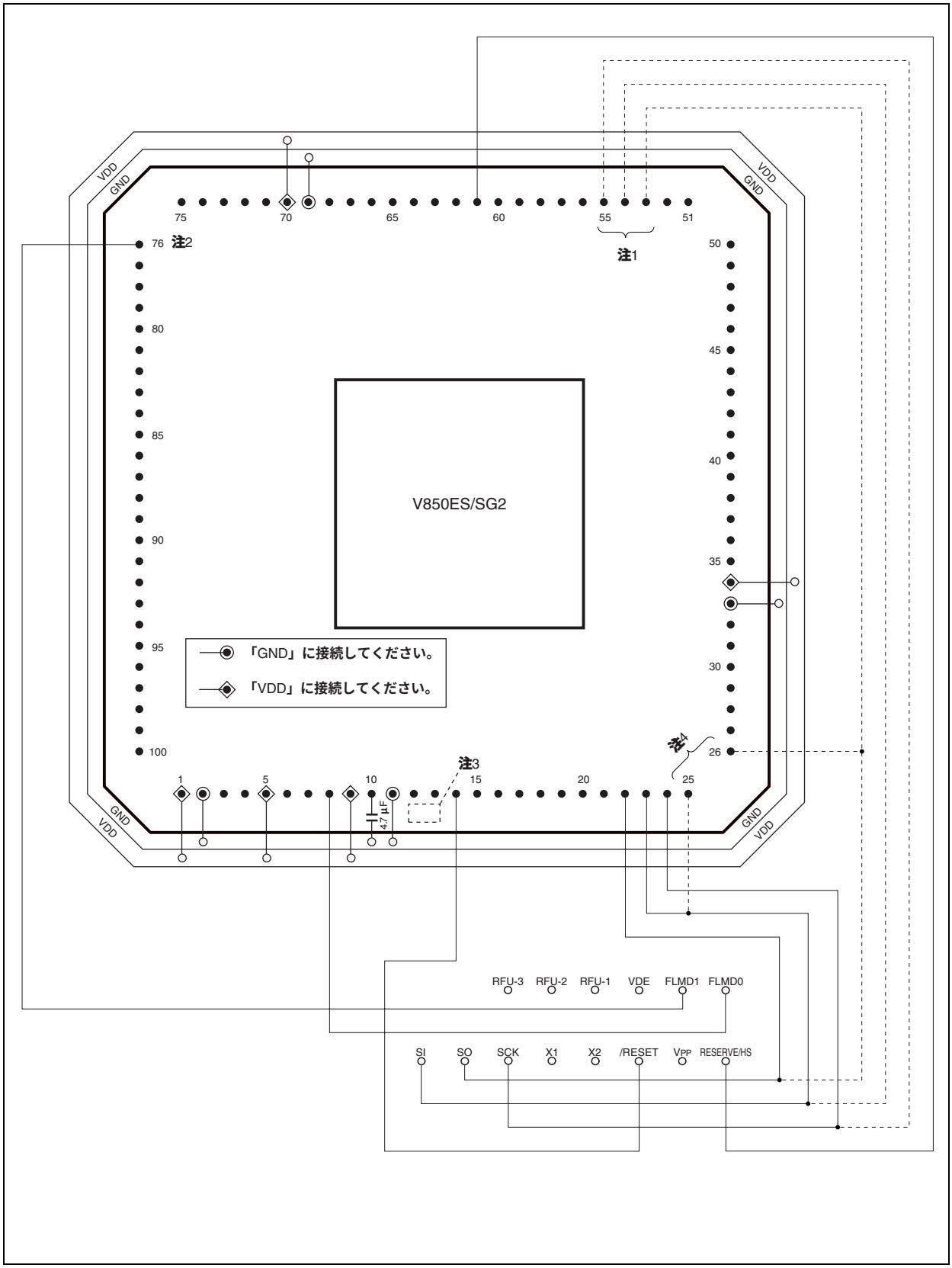


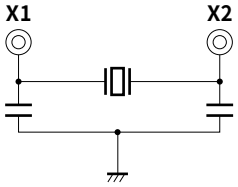
図29ー6　V850ES/SG2**フラッシュ書き込み用アダプタ**（FA-100GC-8EA）**の配線例**（CSIB0＋HS**モード時**）（2/2）

注1.　CSIB3**使用時の該当端子**

2.　FLMD1**端子は図のように配線するか，もしくはボード上でプルダウン抵抗を介して**GND**に接続してください。**

3.　**フラッシュ書き込みアダプタ上（破線部）に発振回路を作成してクロックを供給してください。次に発振回路例を示します。**

例



4.　UARTA0**使用時の該当端子**

注意　$\overline{\text{DRST}}$**端子には，ハイ・レベルを入力しないでください。**

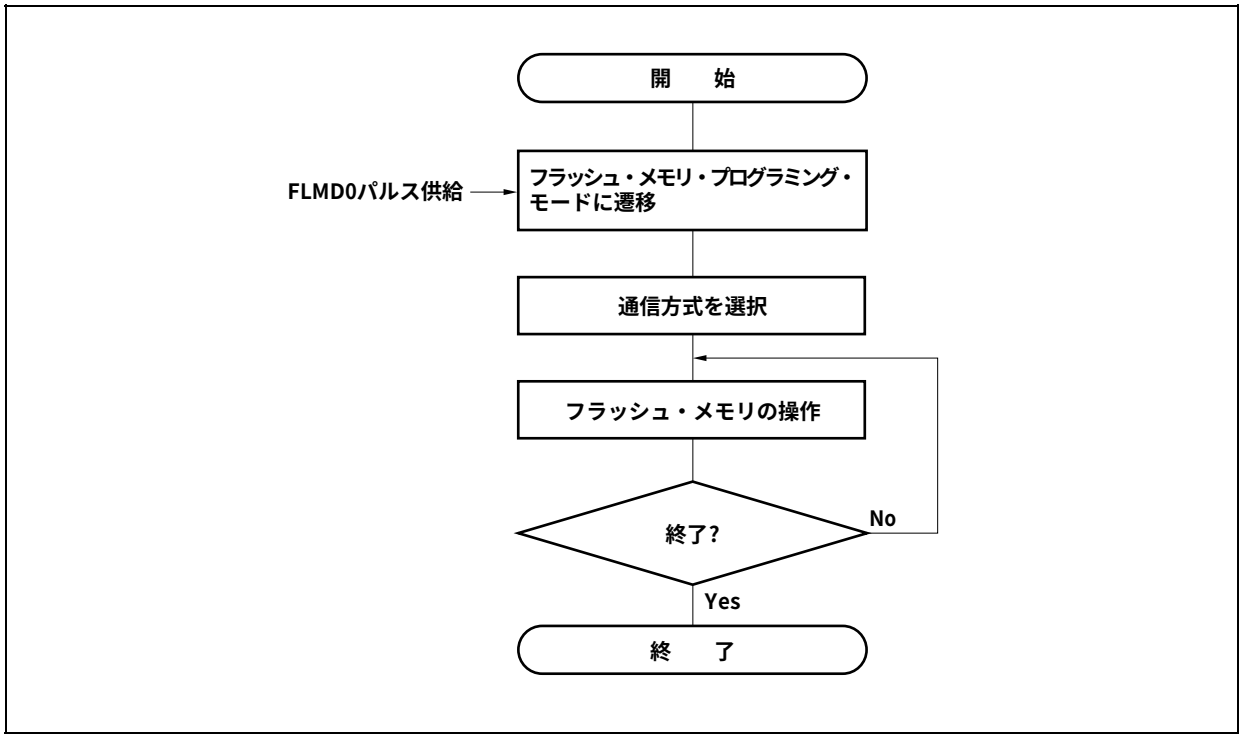
備考1.　**記述していない端子は，未使用時の端子処理に従って処理してください**（2. 3　**端子の入出力回路タイプ，入出力バッファ電源と未使用時の処理**参照）。

2.　**このアダプタは**100**ピン・プラスチック**LQFP**パッケージ用です。**

29. 4. 3　フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図29－7　フラッシュ・メモリの操作手順

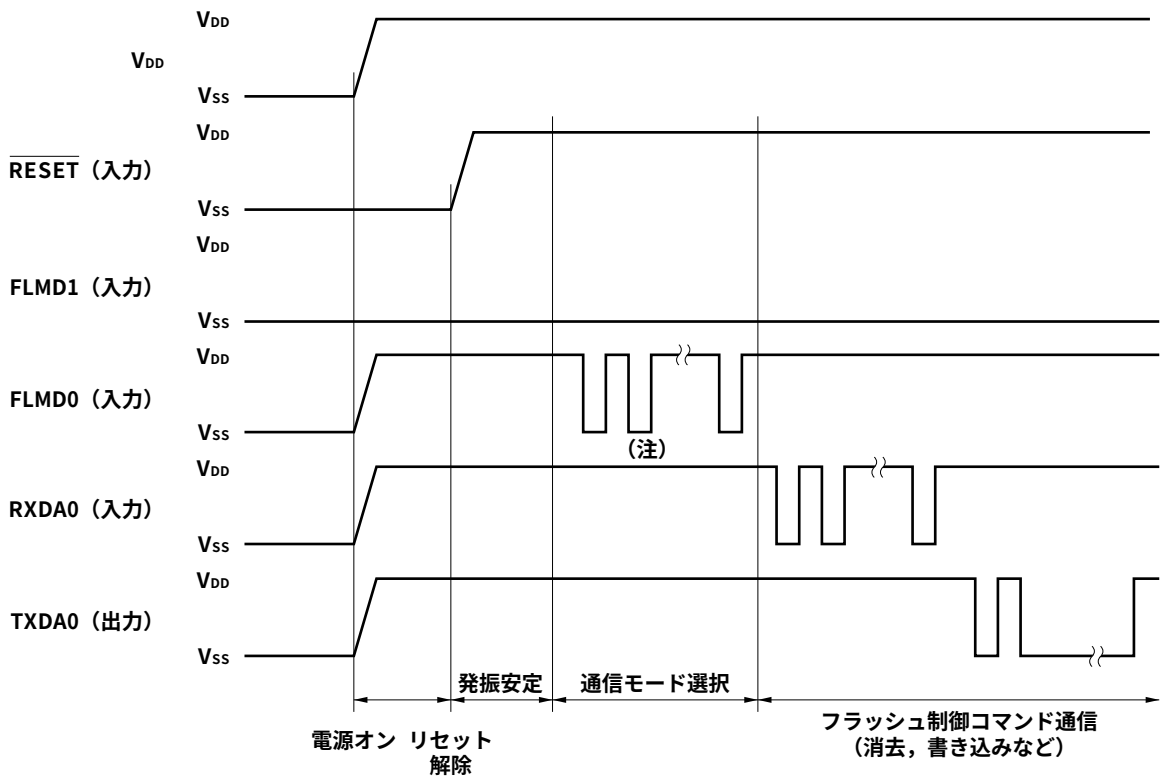


29. 4. 4　通信方式の選択

V850ES/SG2では，フラッシュ・メモリ・プログラミング・モードに遷移後，FLMD0端子にパルス（最大12パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

図29－8　通信方式の選択



注　挿入されるクロック数は通信方式によって，次のようになります。

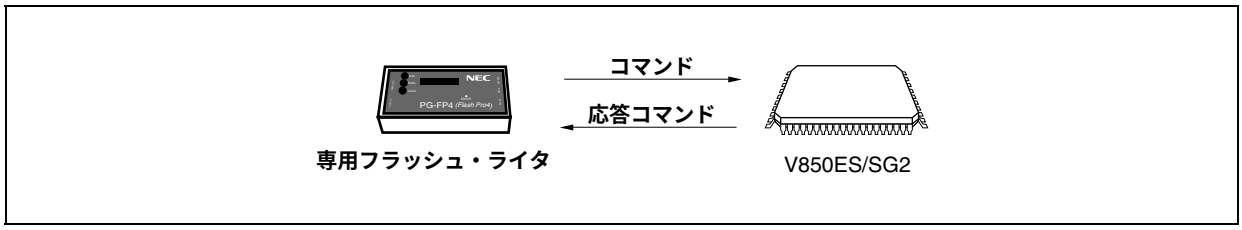
FLMD0パルス	通信方式	備　　考
0	UARTA0	通信レート：9600 bps（リセット時），LSBファースト
8	CSIB0	V850ES/SG2はスレーブ動作，MSBファースト
9	CSIB3	V850ES/SG2はスレーブ動作，MSBファースト
11	CSIB0＋HS	V850ES/SG2はスレーブ動作，MSBファースト
12	CSIB3＋HS	V850ES/SG2はスレーブ動作，MSBファースト
その他	RFU	設定禁止

注意　UARTA0選択時，受信クロックは，FLMD0パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。

29. 4. 5　通信コマンド

V850ES/SG2と専用フラッシュ・ライタは，コマンドを介して通信します。専用フラッシュ・ライタからV850ES/SG2へ送られる信号を「コマンド」と呼び，V850ES/SG2から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図29－9　通信コマンド



V850ES/SG2のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され，V850ES/SG2がコマンドに対応した各処理を行います。

表29－6　フラッシュ・メモリ制御用コマンド

分　類	コマンド名称	対応			機　　能
		CSIB0, CSIB3	CSIB0+HS, CSIB3+HS	UARTA0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド	○	○	○	指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド	○	○	○	全メモリの内容を消去
	ブロック消去コマンド	○	○	○	指定したブロックのメモリの内容を消去
書き込み	書き込みコマンド	○	○	○	指定したアドレス範囲の書き込み，内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド	○	○	○	指定したアドレス範囲のメモリの内容と，フラッシュ・ライタから転送されたデータを比較
	チェック・サム・コマンド	○	○	○	指定したアドレス範囲のチェック・サムを読み出す
システム設定，制御	シリコン・シグネチャ・コマンド	○	○	○	シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド	○	○	○	チップ消去コマンド禁止，ブロック消去コマンド，書き込みコマンドの禁止設定

29. 4. 6　端子処理

オンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

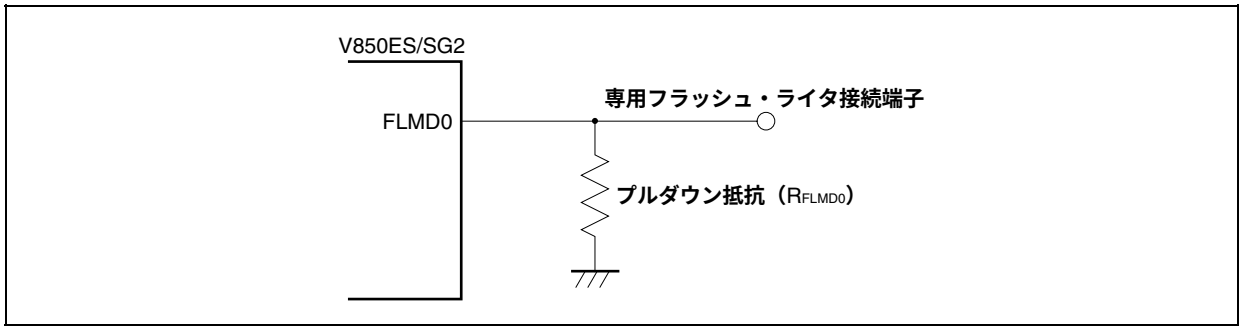
フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

(1) FLMD0端子

通常動作モード時は，FLMD0端子にV_{SS}レベルの電圧を入力します。また，フラッシュ・メモリ・プログラミング・モード時は，FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

また，FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため，書き換え前にポート制御などによって，FLMD0端子にV_{DD}レベルの電圧を供給する必要があります。詳細は，29. 5. 5 (1) FLMD0端子を参照してください。

図29－10　FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合，FLMD1端子は機能しません。FLMD0端子にV_{DD}が供給された場合，フラッシュ・メモリ・プログラミング・モードに引き込むため，FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図29－11　FLMD1端子の接続例

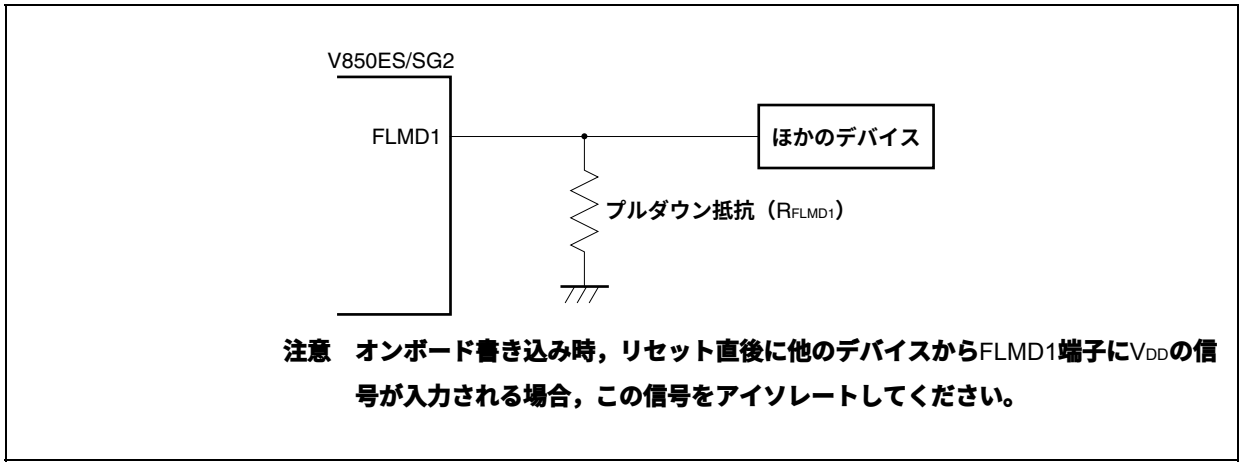


表29－7　リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V_{DD}	0	フラッシュ・メモリ・プログラミング・モード
V_{DD}	V_{DD}	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表29－8　各シリアル・インタフェースが使用する端子

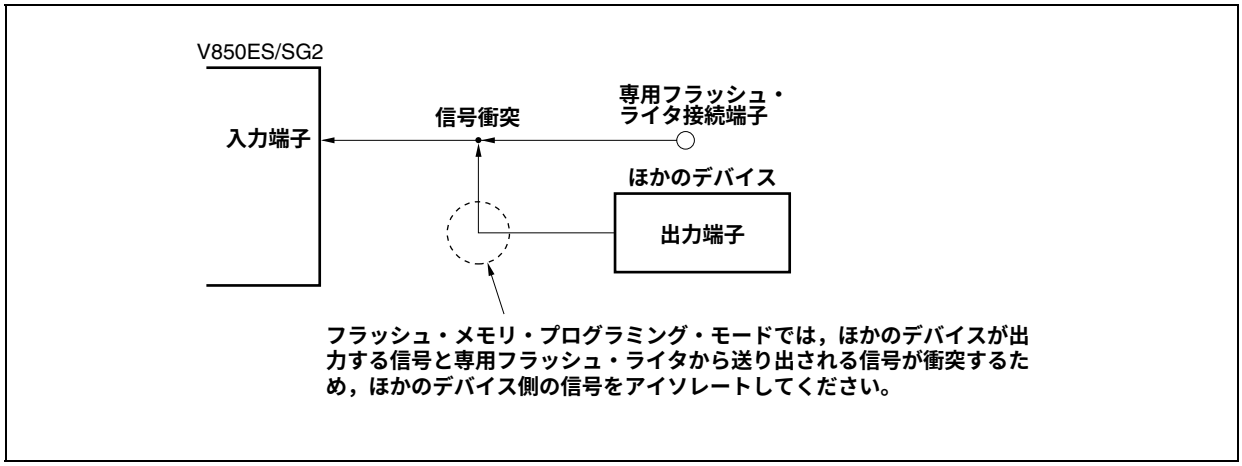
シリアル・インタフェース	使用端子
UARTA0	TXDA0, RXDA0
CSIB0	SOB0, SIB0, $\overline{\text{SCKB0}}$
CSIB3	SOB3, SIB3, $\overline{\text{SCKB3}}$
CSIB0＋HS	SOB0, SIB0, $\overline{\text{SCKB0}}$, PCM0
CSIB3＋HS	SOB3, SIB3, $\overline{\text{SCKB3}}$, PCM0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に，専用フラッシュ・ライタを接続する場合，信号の衝突，ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・ライタ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

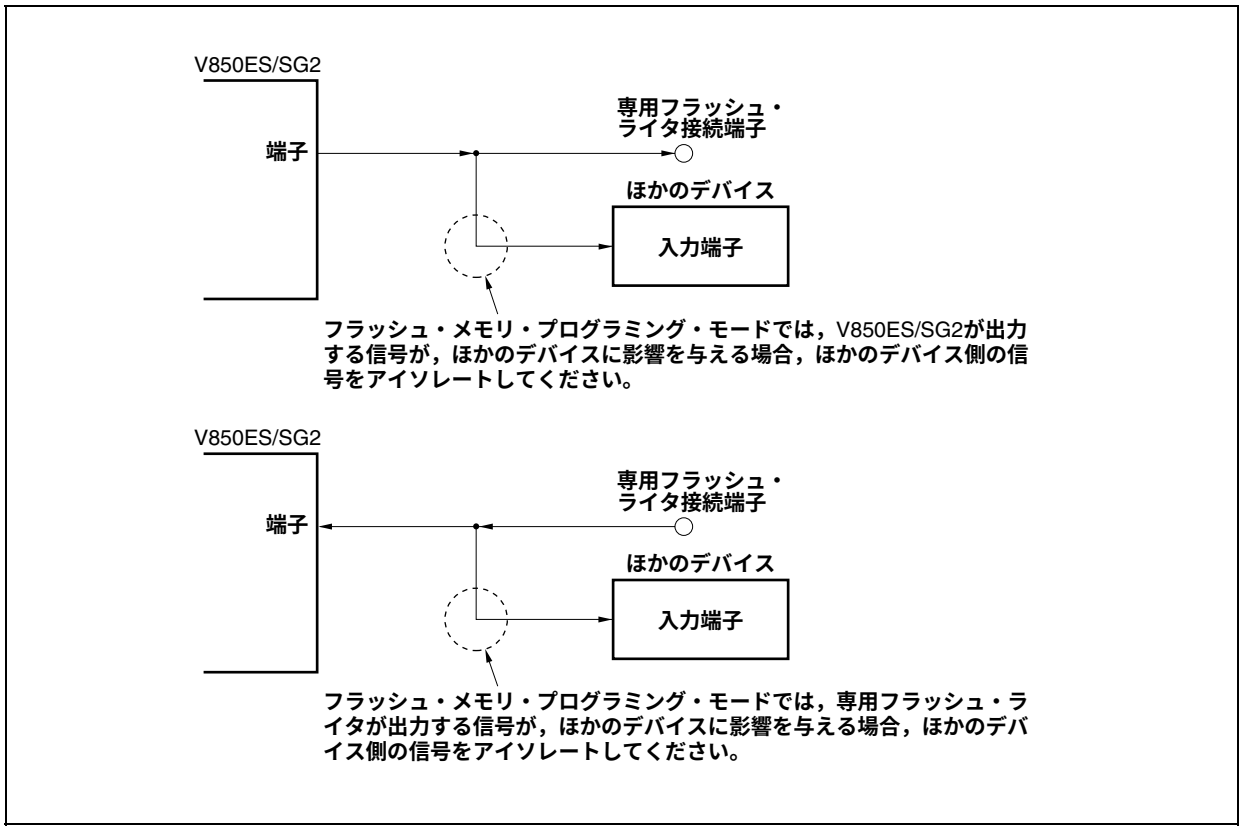
図29－12　信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライタ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートしてください。

図29－13　ほかのデバイスの異常動作

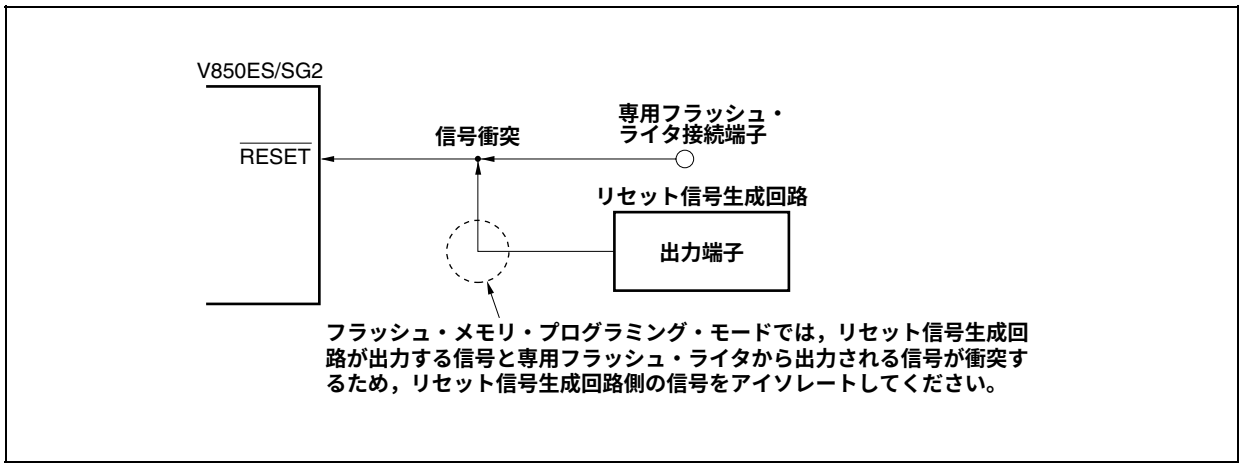


(4) $\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・ライタのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図29－14　信号の衝突（$\overline{\text{RESET}}$端子）



(5) ポート端子（NMIを含む）

フラッシュ・メモリ・プログラミング・モードに設定すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}に接続するか，または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

(6) その他の信号端子

X1, X2, XT1, XT2, REGCは，通常動作モード時と同じ状態に接続してください。

また，フラッシュ・メモリ・プログラミング中，$\overline{\text{DRST}}$端子はロウ・レベル入力またはオープンにし，ハイ・レベル入力しないようにしてください。

(7) 電　源

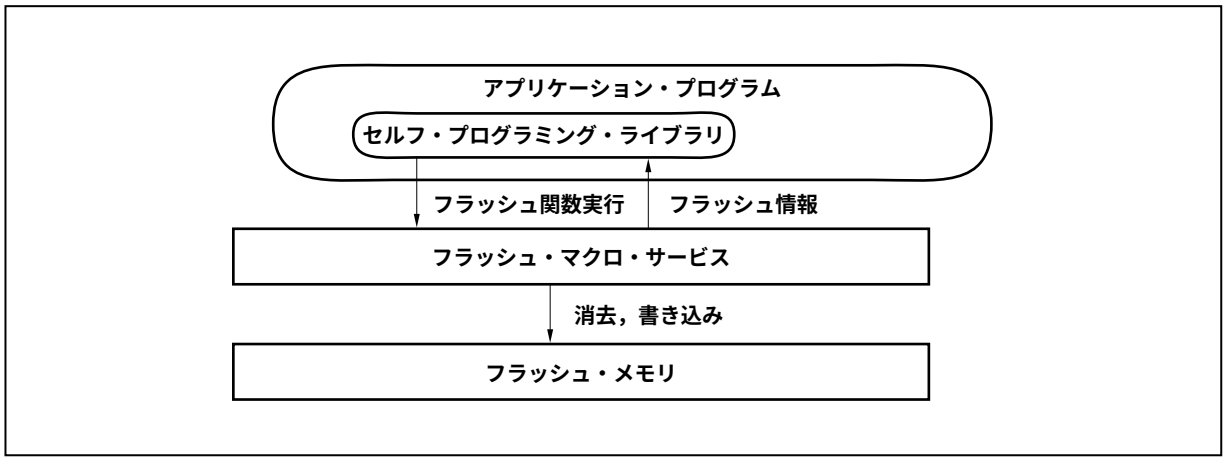
電源（V_{DD}, V_{SS}, EV_{DD}, EV_{SS}, BV_{DD}, BV_{SS}, AV_{REF0}, AV_{REF1}, AV_{SS}）は，通常動作モード時と同じ電源を供給してください。

29. 5　セルフ・プログラミングによる書き換え

29. 5. 1　概　　要

V850ES/SG2は，ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための，フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび，フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより，内蔵RAMもしくは，外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから，フラッシュ・メモリの書き換えが可能になり，フィールドでのユーザ・プログラムのアップグレードや，定数データ書き換えを行うことができます。

図29－15　セルフ・プログラミングの概念図

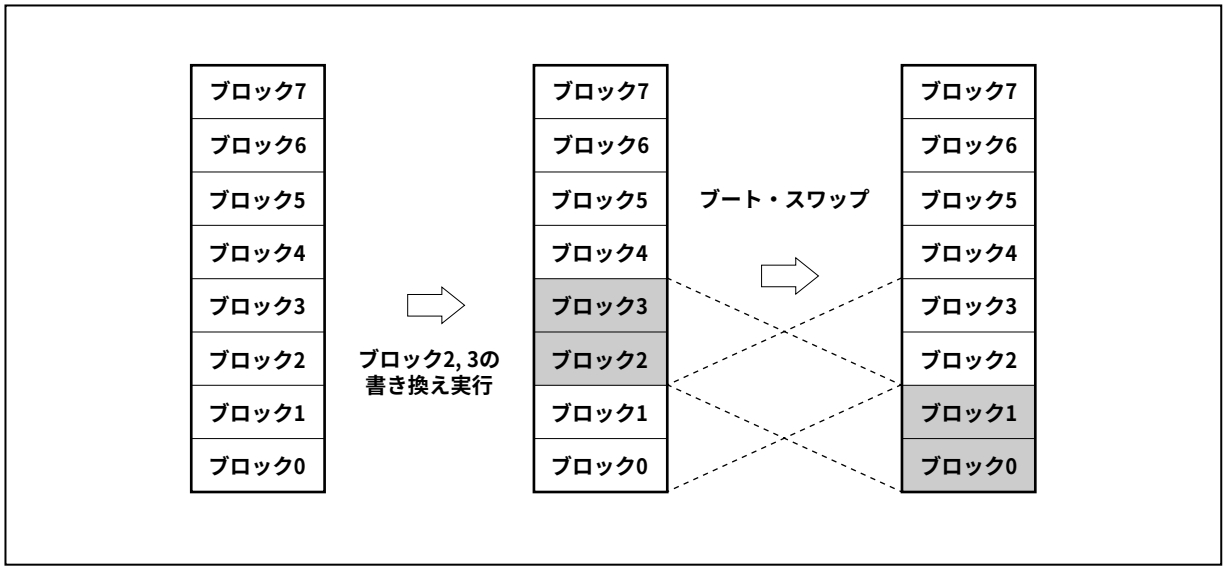


29. 5. 2　特　　徴

(1) セキュア・セルフ・プログラミング（ブート・スワップ機能）

V850ES/SG2は，ブロック0, 1の物理メモリと，ブロック2, 3の物理メモリを入れ替えることができるブート・スワップ機能をサポートしているため，あらかじめ書き換えたい起動用のプログラムをブロック2, 3に書いておき，物理メモリをスワップさせることにより，書き換え中に電源遮断が発生しても常にブロック0, 1には正常なユーザ・プログラムが存在する状態となるため，全領域の書き換えが安全に実行可能となります。

図29－16　全メモリ領域の書き換え（ブート・スワップ対応）



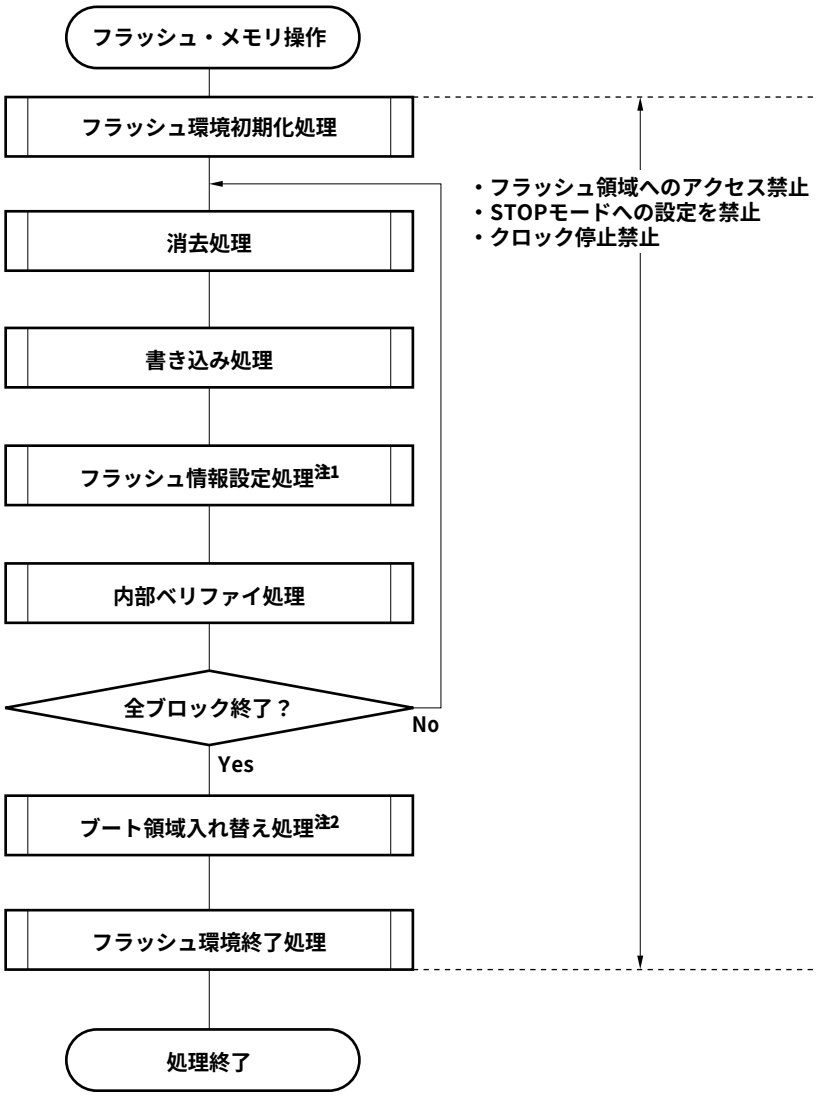
(2) 割り込み対応

セルフ・プログラミング中は，フラッシュ・メモリからの命令フェッチが不可能であるため，従来は割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できませんでした。この製品では，ライブラリ関数を使用することによって，エントリRAM領域へユーザ・ハンドラを登録することができるため，内部RAMもしくは外部メモリ実行による割り込み処理が可能となります。

29. 5. 3　標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて，フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図29－17　標準セルフ・プログラミング・フロー



注1.　セキュリティ設定をしない場合は，フラッシュ情報設定処理を実行する必要はありません。

2.　ブート・スワップをしない場合は，フラッシュ情報設定処理，ブート領域入れ替え処理を実行する必要はありません。

29. 5. 4　フラッシュ関数一覧

表29－9　フラッシュ関数一覧

関数名	概　要	対応
FlashEnv	フラッシュ制御マクロの初期化	○
FlashBlockErase	指定した1ブロックの消去	○
FlashWordWrite	指定したアドレスからの書き込み	○
FlashBlockIVerify	指定した1ブロックの内部ベリファイ	○
FlashBlockBlankCheck	指定した1ブロックのブランク・チェック	○
FlashFLMDCheck	FLMD端子のチェック	○
FlashStatusCheck	直前に指定した動作のステータス・チェック	○
FlashGetInfo	フラッシュ情報の読み出し	○
FlashSetInfo	フラッシュ情報の設定	○
FlashBootSwap	ブート領域入れ替え	○
FlashSetUserHandler	ユーザ割り込みハンドラ登録関数	○

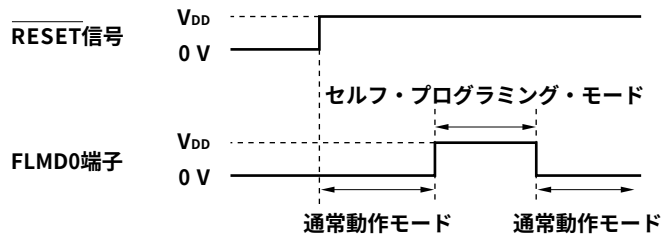
29. 5. 5　端子処理

(1) FLMD0端子

FLMD0端子は，リセット解除時の動作モード設定と，セルフ書き換え時の書き換え保護機能の兼用端子となっているため，リセット解除～通常動作実行時は，FLMD0端子へ印加される電圧を0 Vに保持し，セルフ・プログラミング・モードの期間は，書き換え前にポート制御などによって，FLMD0端子にV_{DD}レベルの電圧を印加する必要があります。

また，セルフ・プログラミングが終了したあとは，FLMD0端子の電圧を0 Vに戻す必要があります。

図29－18　モード切り替わりタイミング



注意　リセット解除には，必ずFLMD0端子を0 Vにしてください。

29. 5. 6　使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお，セルフ・プログラミング以外では，次の内部資源については自由に使用できます。

表29－10　使用する内部資源

リソース名	説　明
エントリRAM領域 （内部RAM／外部RAMどちらかに124バイト）	フラッシュ・マクロ・サービスへの遷移のためのルーチンとパラメータを配置。 ライブラリ初期化関数の呼び出しによりエントリ・プログラムとディフォールトのパラメータがコピーされます。
スタック領域 （ユーザ・スタック＋300バイト）	ユーザの使用しているスタックの延長をライブラリが使用。 （内部RAM／外部RAMのどちらでも使用可）
ライブラリ・コード （1900バイト）	ライブラリのプログラム本体。 （操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可）
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用するには，あらかじめ登録関数により割り込み処理先頭アドレスを登録しておく必要があります。
NMI割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用するには，あらかじめ登録関数により割り込み処理先頭アドレスを登録しておく必要があります。

第30章　オンチップ・ディバグ機能

JTAG（Joint Test Action Group）インタフェース（$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子）を利用して，N-Wire型エミュレータ（IE-V850E1-CD-NW）を介した，オンチップ・ディバグ機能を内蔵しています。

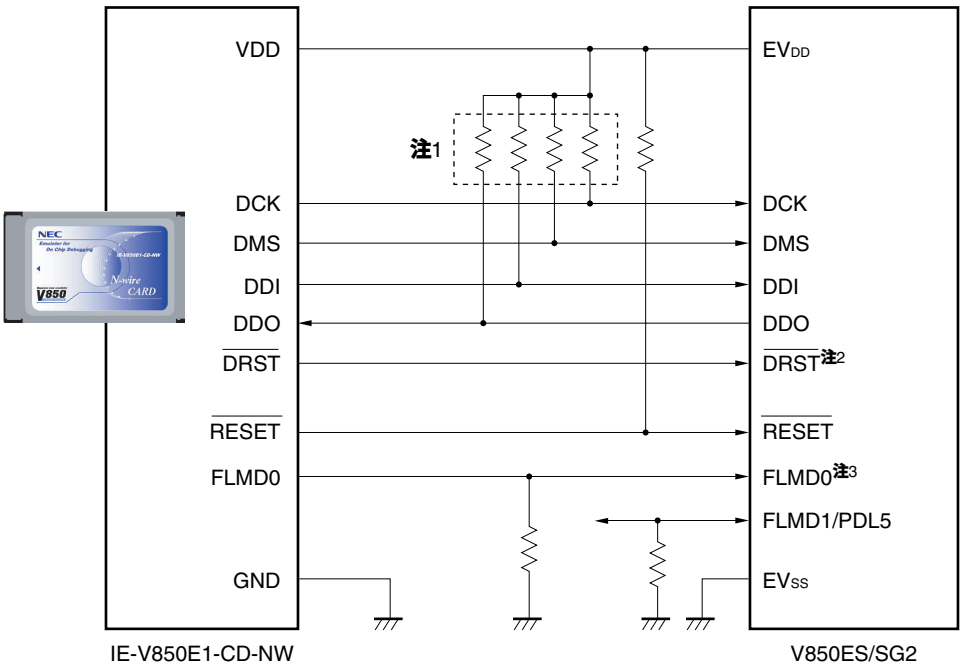
注意　オンチップ・ディバグ機能は，フラッシュ・メモリ内蔵品のみに搭載しています。マスクROM内蔵品には搭載していません。ただし，マスクROM内蔵品にもOCDMレジスタが存在し，P05/INTP2端子に内蔵されているプルダウン抵抗の制御を行うため，マスクROM内蔵品でもOCDMレジスタの設定を行ってください。

30.1　特　　徴

○ハードウエア・ブレイク機能：2ポイント
○ソフトウエア・ブレイク機能：4ポイント
○リアルタイムRAMモニタ機能：プログラム実行中にメモリの内容を読み出しが可能
○ダイナミック・メモリ・ディフィケーション機能（DMM機能）：プログラム実行中にRAMの内容の書き換えが可能
○マスク機能：$\overline{\text{RESET}}$, NMI, $\overline{\text{HLDRQ}}$, $\overline{\text{WAIT}}$
○ROMセキュリティ機能：10バイトIDコード認証

注意　次の機能はサポートしません。
- トレース機能
- イベント機能
- ディバグ割り込みインタフェース機能（DBINT）

30. 2　接続回路例



注1.　N-Wire型エミュレータ未接続時の端子処理例

2.　プルダウン抵抗内蔵

3.　フラッシュ・メモリ書き換え用

30. 3　インタフェース信号

インタフェース信号について説明します。

(1) $\overline{\text{DRST}}$

オンチップ・ディバグ・ユニット用のリセット入力信号です。ディバグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

IE-V850E1-CD-NWは，統合ディバッガの起動後にターゲット・システムのV_{DD}を検出すると，$\overline{\text{DRST}}$信号をロウ・レベルからハイ・レベルに立ち上げて，対象デバイス内のオンチップ・ディバグ・ユニットを起動させます。

また，$\overline{\text{DRST}}$信号がロウ・レベルからハイ・レベルに立ち上がることにより，CPUにもリセットが発生します。

統合ディバッガを起動してディバグを開始する際には，必ずCPUリセットが発生します。

(2) DCK

クロック入力信号です。IE-V850E1-CD-NWから20 MHzのクロックを供給します。オンチップ・ディバグ・ユニット内で，DCK信号の立ち上がりに同期してDMS, DDI信号をサンプリングし，DCK信号の立ち下がりに同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりディバグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・ディバグ・ユニット内でDCKの立ち上がりに同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・ディバグ・ユニットからDCK信号の立ち下がりに同期して出力されます。

(6) EV_{DD}

ターゲット・システムのVDD検出用です。ターゲット・システムからのVDDが未検出の場合は，IE-V850E1-CD-NWからの出力信号（$\overline{DRST}$, DCK, DMS, DDI, FLMD0, $\overline{RESET}$端子）はハイ・インピーダンスになります。

(7) FLMD0

統合ディバッガによるフラッシュ・メモリへのダウンロード機能は，フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また，FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として，次の2種類のうち，どちらかの方法を選択してください。

① IE-V850E1-CD-NWから制御する場合

IE-V850E1-CD-NWからのFLMD0信号をデバイスのFLMD0端子に接続します。

通常モード時はIE-V850E1-CD-NWからは何もドライブしません（ハイ・インピーダンス）。

ブレーク中，統合ディバッガのダウンロード機能を実行した際にIE-V850E1-CD-NWはFLMD0端子をハイ・レベルに制御します。

② ポートから制御する場合

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合ディバッガのコンソールによって，ダウンロード機能実行前にポート端子をハイ・レベルにする，または，ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB　Ver.3.10　**統合デバッガ　ユーザーズ・マニュアル　操作編**（U17435J）を参照してください。

(8) $\overline{RESET}$

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDMレジスタのOCDM0ビットの値によって，$\overline{DRST}$端子を無効としたあとは，オンチップ・ディバグは行えません。そのため，IE-V850E1-CD-NWから$\overline{RESET}$端子によるリセットを与えて，$\overline{DRST}$端子を有効（初期化）にします。

30. 4　レジスタ

(1) オンチップ・ディバグ・モード・レジスタ（OCDM）

通常動作モードとオンチップ・ディバグ・モードを切り替えるレジスタです。OCDMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3. 4. 8　**特定レジスタ**参照）。

通常動作モードとオンチップ・ディバグ・モードを切り替えるレジスタで，オンチップ・ディバグ機能が割り付けられている兼用端子をオンチップ・ディバグ用端子として使用するか，通常のポート／周辺機能兼用端子として使用するかを指定します。また同時に，P05/INTP2/$\overline{\text{DRST}}$端子の内蔵プルダウン抵抗の切断を制御します。

OCDMレジスタへの書き込みは，$\overline{\text{DRST}}$端子にロウ・レベルが入力されているときのみ有効です。

8/1ビット単位でリード／ライト可能です。

リセット時：01H注　　R/W　　アドレス：FFFFF9FCH

	7	6	5	4	3	2	1	⓪
OCDM	0	0	0	0	0	0	0	OCDM0

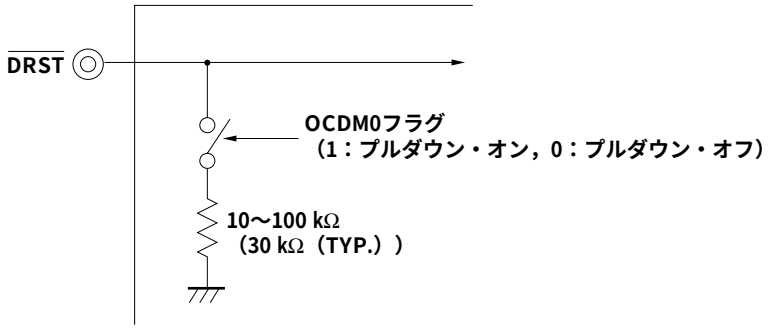
OCDM0	動作モード
0	通常動作モード（オンチップ・ディバグ兼用端子をポート／周辺機能端子として使用）かつ，P05/INTP2/$\overline{\text{DRST}}$端子の内蔵プルダウン抵抗を切断
1	$\overline{\text{DRST}}$端子がロウ・レベルの場合： 通常動作モード（オンチップ・ディバグ兼用端子をポート／周辺機能端子として使用） $\overline{\text{DRST}}$端子がハイ・レベルの場合： オンチップ・ディバグ・モード（オンチップ・ディバグ・モード用端子として使用）

注　$\overline{\text{RESET}}$端子によるリセット時は01Hになります。ただし，WDT2RES信号，クロック・モニタ（CLM）によるリセット時は，OCDMレジスタの値を保持します。

注意1.　外部リセット後，DDI，DDO，DCK，DMS端子をオンチップ・ディバグ用端子として使用せず，ポートとして使用する場合は，次のいずれかの処置が必要です。

- P05/INTP2/$\overline{\text{DRST}}$端子にロウ・レベルを入力します。
- OCDM0ビットを設定します。この場合の処置は次のとおりです。
  - ①　OCDM0ビットをクリア（0）します。
  - ②　①の処理を終えるまで，P05/INTP2/$\overline{\text{DRST}}$端子入力をロウ・レベル固定にしておきます。

2.　$\overline{\text{DRST}}$端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。マスクROM内蔵品はオンチップ・ディバグ機能を内蔵していませんが，上記プルダウン抵抗は内蔵しています。そのため，マスクROM内蔵品においてもOCDM0ビットをクリア（0）し，内蔵プルダウン抵抗を切断する必要があります。



30.5 動　　作

オンチップ・ディバグ機能は次の表に示す条件で有効になります。

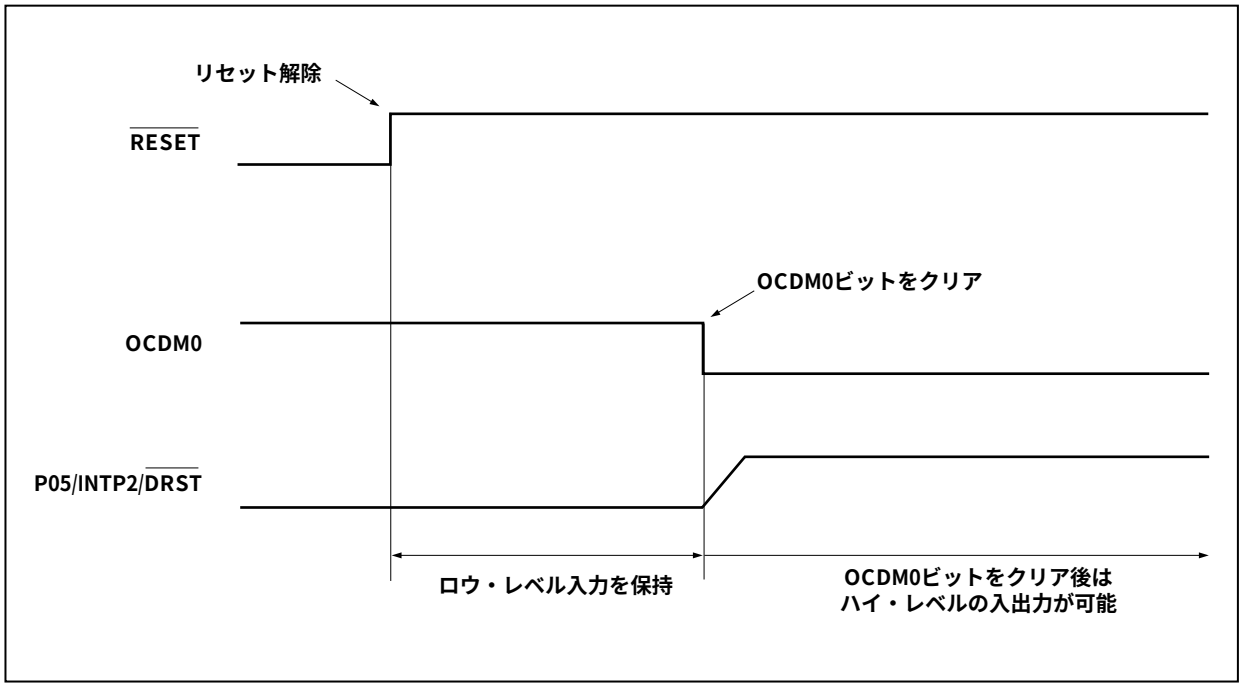
未使用時はOCDM.OCDM0フラグをクリア（0）するまで，$\overline{\text{DRST}}$端子はロウ・レベル入力の状態を保持してください。

OCDM0フラグ / $\overline{\text{DRST}}$端子	0	1
L	無効	無効
H	無効	有効

備考　L：ロウ・レベル入力

H：ハイ・レベル入力

図30－1　オンチップ・ディバグ機能未使用時のタイミング



30. 6　ROMセキュリティ機能

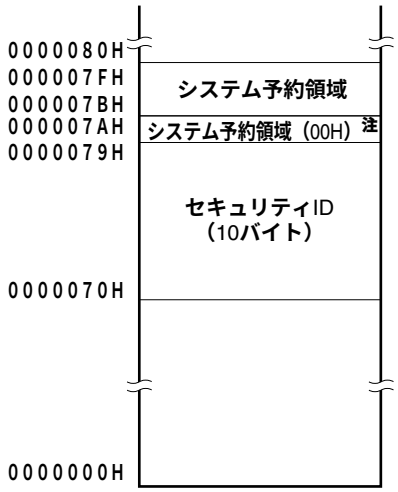
30. 6. 1　セキュリティID

N-Wire型エミュレータによるオンチップ・ディバグ時，フラッシュ・メモリの内容を第三者に読み出されることを防ぐために，10バイトのIDコードによる認証を行います。

IDコードは，あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し，ディバッガがID認証を行います。

このID照合が一致していれば，セキュリティが解除されフラッシュ・メモリ読み出し許可，N-Wire型エミュレータ使用許可となります。

- 10バイトのIDコードは，0000070H-0000079Hに設定します。
- 0000079Hのビット7はN-Wire型エミュレータ使用許可フラグです（0：使用禁止，1：使用許可）。
- N-Wire型エミュレータを起動すると，ディバッガがID入力を要求します。ディバッガ上で入力したIDコードと，0000070H-0000079Hに埋め込んだIDコードが一致すればディバッガが起動します。
- IDコードが一致しても，N-Wire型エミュレータ使用許可フラグが“0”である場合は，ディバグを行うことはできません。



注　00H以外の値も設定できます。

注意　フラッシュ・メモリのデータは消去状態では，すべて“1”となります。

30. 6. 2　設定方法

例　0x70-0x79番地に次の値を設定する場合

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4
0x7A	0x00

←予約コード
（3. 4. 9（3）参照）

次に，CA850をご使用の場合のプログラム例を示します。

［プログラム例1］

“ ILGOP ”のセクション（0x60番地）から続けて，10バイトのセキュリティ・コード，1バイトのシステム予約領域のデータ（00H）を入力します。

```
#----------------------------------------
#   ILGOP  handler
#----------------------------------------
    .section   "ILGOP"   -- Interrupt handler address 0x60
                         -- Input ILGOP handler code
    .org       0x10      -- Skip handler address to 0x70

#----------------------------------------
#   SECURITYID (continue ILGOP  handler)
#----------------------------------------
    .word                0x78563412   --0-3 byte code
    .word                0xF1DEBC9A   --4-7 byte code
    .hword               0xD423       --8-9 byte code
    .byte                0x00         --Reserve code
```

注意　CA850 Ver3.00以上を使用する場合は，セキュリティIDの生成を抑止するオプションを指定してください。

CA850 Ver3.00より，リンカによるセキュリティID付加機能が追加されています。これにより上記プログラム例では，リンクの際にエラーとなります。

エラー・メッセージ：

```
F4264: start address(0x00000070) of section "SECURITY_ID" overlaps
       previous section "ILGOP" ended before address (0xXXXXXXXX).
```

［プログラム例2］

“ SECURITY_ID ”のセクション（0x70番地）を使用し，10バイトのセキュリティ・コードを入力します。

```
#----------------------------------------
#   SECURITY_ID
#----------------------------------------
    .section   "SECURITY_ID"
    .word                0x78563412    --0-3 byte code
    .word                0xF1DEBC9A    --4-7 byte code
    .hword               0xD423        --8-9 byte code
```

注意　“ SECURITY_ID ”のセクションに設定できるデータは10バイトに制限されています。そのため，セキュリティ・コードに続くシステム予約領域（0x7A）にデータを設定することはできません。そのため，システム予約領域にデータを設定する必要があるデバイスを使用する場合は，［プログラム例 1］に示す方法によりセキュリティ・コード，ならびにシステム予約領域のデータを設定してください。

システム予約領域にデータを設定する必要があるデバイスについては，3. 4. 9（3）システム予約領域を参照してください。

30.7　注意事項

(1) RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合，ブレーク機能が誤動作することがあります。

(2) リセットをマスク機能でマスクしていても，端子からのリセットが入力された際に入出力バッファ（ポート端子）がリセット状態になる場合があります。

(3) 内蔵フラッシュ・メモリに設定したソフトウエア・ブレークポイントは，ROMコレクション機能で実現しているため，ターゲット・リセットまたはウォッチドッグ・タイマ2により発生する内部リセットによって一時的に無効になります。ハードウエア・ブレークまたは強制ブレークによりいったんブレークしたあとには再度有効になりますが，それまではソフトウエア・ブレークは発生しません。

(4) ブレーク中の端子リセットはマスクされ，CPUや周辺I/Oはリセットされません。また，ユーザ・プログラム実行中に，DMAで書き換える瞬間やRAMモニタ機能で読み出す瞬間に，端子リセットや内部リセットが発生した場合，CPUや周辺I/Oが正しくリセットされない場合があります。

(5) ROMコレクションのエミュレーションはできません。

(6) 次に示す条件（a），（b）を同時に満たし，エミュレータ（QB-V850ESSX2, IE-703288-G1-EM1, IE-V850E1-CD-NW）上でブレークなどにより動作を停止させた場合，ウォッチドッグ・タイマ2は停止せず，リセットまたはノンマスカブル割り込みが発生します。リセットが発生した場合は，ディバッガがハングアップしてしまいます。

(a) ウォッチドッグ・タイマ2のソース・クロックにメイン・クロックまたはサブクロックを使用している

(b) 内蔵発振クロックを停止している（RCM.RSTOPビット = 1）

回避策として次のいずれか1つを行ってください。

・エミュレータ使用時，ソース・クロックとして内蔵発振クロックを使用する
・エミュレータ使用時，内蔵発振器を停止させない

（7）次に示す条件（a），（b）を同時に満たし，エミュレータ（QB-V850ESSX2, IE-703288-G1-EM1, IE-V850E1-CD-NW）上でブレークなどにより動作を停止させた場合，Peripheral Break機能が「Break」に設定されていてもTMMは停止しません。

（a）TMMのソース・クロックにINTWT，内蔵発振クロック（f_R/8），サブクロックのいずれかを選択する

（b）メイン・クロックを停止する

回避策として次のいずれか1つを行ってください。

・エミュレータ使用時，ソース・クロックとしてメイン・クロック（f_{XX}, f_{XX}/2, f_{XX}/4, f_{XX}/64, f_{XX}/512）を使用する

・エミュレータ使用時，メイン・クロック発振を停止させない

（8）オンチップ・ディバグ・モード時，DDO端子は強制的にハイ・レベル出力に設定されます。

第31章　電気的特性（ターゲット）

絶対最大定格（T_A = 25 ℃）（1/2）

項　　目	略　号	条　　件	定　　格	単　位
電源電圧	V_{DD}	V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}	−0.5〜+4.6	V
	BV_{DD}		−0.5〜+4.6	V
	EV_{DD}	V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}	−0.5〜+4.6	V
	AV_{REF0}	V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}	−0.5〜+4.6	V
	AV_{REF1}	V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}	−0.5〜+4.6	V
	V_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	AV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	BV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
	EV_{SS}	V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}	−0.5〜+0.5	V
入力電圧	V_{I1}	$\overline{RESET}$, FLMD0[注1], PDH4, PDH5	−0.5〜EV_{DD}+0.5[注2]	V
	V_{I2}	PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	−0.5〜BV_{DD}+0.5[注2]	V
	V_{I3}	P10, P11	−0.5〜AV_{REF1}+0.5[注2]	V
	V_{I4}	X1, X2, XT1, XT2	−0.5〜V_{RO}[注3]+0.5[注2]	V
	V_{I5}	P02-P06, P30-P39, P40-P42, P50-P55, P90-P915	−0.5〜+6.0	V
アナログ入力電圧	V_{IAN}	P70-P711	−0.5〜AV_{REF0}+0.5[注2]	V

注1.　**フラッシュ・メモリ内蔵品のみ**

2.　**それぞれの電源電圧の絶対最大定格**（MAX.**値**）**を越えないようにしてください。**

3.　**内蔵レギュレータ出力電圧**（2.5 V（TYP.））

絶対最大定格（T_A = 25 ℃）（2/2）

項　目	略　号	条　件		定　格	単　位
ロウ・レベル出力電流	I_{OL}	P02-P06, P30-P39, P40-P42, P50-P55, P90-P915, PDH4, PDH5	1端子	4	mA
			全端子合計	50	mA
		PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	1端子	4	mA
			全端子合計	50	mA
		P10, P11	1端子	4	mA
			全端子合計	8	mA
		P70-P711	1端子	4	mA
			全端子合計	20	mA
ハイ・レベル出力電流	I_{OH}	P02-P06, P30-P39, P40-P42, P50-P55, P90-P915, PDH4, PDH5	1端子	−4	mA
			全端子合計	−50	mA
		PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	1端子	−4	mA
			全端子合計	−50	mA
		P10, P11	1端子	−4	mA
			全端子合計	−8	mA
		P70-P711	1端子	−4	mA
			全端子合計	−20	mA
動作周囲温度	T_A			−40〜＋85	℃
保存温度	T_{stg}	マスクROM品		−65〜＋150	℃
		フラッシュ・メモリ品		−40〜＋125	℃

注意1.　IC製品の出力（または入出力）端子同士を直結したり，V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし，オープン・ドレーン端子やオープン・コレクタ端子同士は直結できます。また，ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2.　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で，製品をご使用ください。
DC特性とAC特性に示す規格や条件が，製品の正常動作，品質保証の範囲です。

備考　特に指定のないかぎり兼用端子の特性は，ポート端子以外の機能として使用しても同じです。

容量（T_A = −40〜＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）

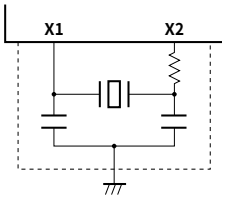
項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入出力容量	C_{IO}	f_X = 1 MHz 被測定ピン以外は0 V			10	pF

動作条件（T_A = −40〜＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）

内部システム・クロック周波数	条　件	電源電圧					単　位
		V_{DD}	EV_{DD}	BV_{DD}	AV_{REF0}	AV_{REF1}	
f_{XX} = 2.5〜32 MHz f_{XT} = 32.768 kHz	REGC端子に安定化容量 C = 4.7 μF接続時， 全機能動作時	3.0〜3.6	3.0〜3.6	3.0〜3.6	3.0〜3.6	3.0〜3.6	V

メイン・クロック発振回路特性

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）

発振子	回路例	項　目	条　件	MIN.	TYP.	MAX.	単　位
セラミック発振子／水晶振動子		発振周波数（fx）注1		2.5		8	MHz
		発振安定時間注2	リセット解除後		2^{16}/fx		s
			STOPモード解除後	1注4	注3		ms
			IDLE2モード解除後	350注4	注3		μs

注1. 発振周波数はあくまで発振回路の特性を示すものであり，内部動作条件については，AC特性，DC特性の規格内で使用してください。

2. 発振を開始してから発振子が安定するまでの時間です。

3. OSTSレジスタの設定によって値が異なります。

4. フラッシュ・メモリのセットアップに必要な時間です（フラッシュ・メモリ内蔵品のみ）。OSTSレジスタによって確実にセットアップ時間を確保してください。

注意1. メイン・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

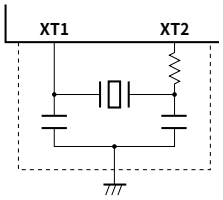
- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2. メイン・クロックを停止させサブクロックで動作させているときに，再度メイン・クロックに切り替える場合には，プログラムで発振安定時間を確保したあとに切り替えてください。

3. 発振子の選択および発振回路定数については，お客様において発振評価していただくか，発振子メーカに評価を依頼してください。

サブクロック発振回路特性

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）

発振子	回路例	項　　目	条　　件	MIN.	TYP.	MAX.	単　位
水晶振動子		発振周波数（f_{XT}）注1		32	32.768	35	kHz
		発振安定時間注2				10	s

注1.　発振周波数はあくまで発振回路の特性を示すものであり，内部動作条件については，AC特性，DC特性の規格内で使用してください。

2.　V_{DD}が発振電圧範囲（3.0 V（MIN.））に達してから水晶発振子が安定するまでの時間です。

注意1.　サブクロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　サブクロック発振回路は，低消費電力にするため増幅度の低い回路になっており，ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって，サブクロックを使用する場合は，配線方法について特に注意してください。

3.　発振子の選択および発振回路定数については，お客様において発振評価していただくか，発振子メーカに評価を依頼してください。

PLL特性

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力周波数	f_X	4逓倍モード	2.5		5	MHz
		8逓倍モード	2.5		4	MHz
出力周波数	f_{XX}	4逓倍モード	10		20	MHz
		8逓倍モード	20		32	MHz
ロック時間	t_{PLL}	V_{DD}が3.0 V（MIN.）に達したあと			800	μs

内蔵発振器特性

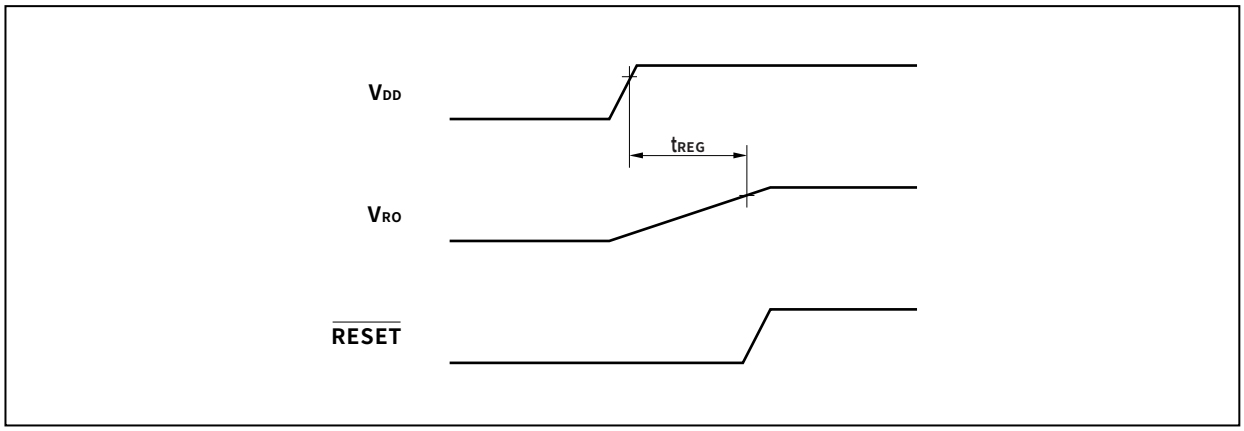
（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
出力周波数	f_R		100	200	400	kHz

レギュレータ特性

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
入力電圧	V_{DD}	f_{XX} = 32 MHz（MAX.）	3.0		3.6	V
出力電圧	V_{RO}			2.5		V
レギュレータ出力安定時間	t_{REG}	V_{DD}が3.0 V（MIN.）に達したあと REGC端子に安定化容量 C = 4.7 μF を接続時			1	ms



DC特性

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）（1/4）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	PDH4, PDH5	0.7 EV_{DD}		EV_{DD}	V
	V_{IH2}	$\overline{RESET}$, FLMD0注	0.8 EV_{DD}		EV_{DD}	V
	V_{IH3}	P02-P06, P30-P37, P42, P50-P55, P92-P915	0.8 EV_{DD}		5.5	V
	V_{IH4}	P38, P39, P40, P41, P90, P91	0.7 EV_{DD}		5.5	V
	V_{IH5}	PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	0.7 BV_{DD}		BV_{DD}	V
	V_{IH6}	P70-P711	0.7 AV_{REF0}		AV_{REF0}	V
	V_{IH7}	P10, P11	0.7 AV_{REF1}		AV_{REF1}	V
ロウ・レベル入力電圧	V_{IL1}	PDH4, PDH5	EV_{SS}		0.3 EV_{DD}	V
	V_{IL2}	$\overline{RESET}$, FLMD0注	EV_{SS}		0.2 EV_{DD}	V
	V_{IL3}	P02-P06, P30-P37, P42, P50-P55, P92-P915	EV_{SS}		0.2 EV_{DD}	V
	V_{IL4}	P38, P39, P40, P41, P90, P91	EV_{SS}		0.3 EV_{DD}	V
	V_{IL5}	PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	BV_{SS}		0.3 BV_{DD}	V
	V_{IL6}	P70-P711	AV_{SS}		0.3 AV_{REF0}	V
	V_{IL7}	P10, P11	AV_{SS}		0.3 AV_{REF1}	V
ハイ・レベル入力リーク電流	I_{LIH}	$V_I = V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1}$			5	μA
ロウ・レベル入力リーク電流	I_{LIL}	V_I = 0 V			－5	μA
ハイ・レベル出力リーク電流	I_{LOH}	$V_O = V_{DD} = EV_{DD} = BV_{DD} = AV_{REF0} = AV_{REF1}$			5	μA
ロウ・レベル出力リーク電流	I_{LOL}	V_O = 0 V			－5	μA

注　フラッシュ・メモリ内蔵品のみ

備考　兼用端子の特性は，ポート端子として使用する場合の特性と同じです。

DC特性

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）（2/4）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電圧	V_{OH1}	P02-P06, P30-P39, P40-P42, P50-P55, P90-P915, PDH4, PDH5	1端子 I_{OH} = －1.0 mA	端子合計 －20 mA	EV_{DD}－1.0		EV_{DD}	V
			1端子 I_{OH} = －100 μA	端子合計 －6.0 mA	EV_{DD}－0.5		EV_{DD}	V
	V_{OH2}	PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	1端子 I_{OH} = －1.0 mA	端子合計 －20 mA	BV_{DD}－1.0		BV_{DD}	V
			1端子 I_{OH} = －100 μA	端子合計 －2.8 mA	BV_{DD}－0.5		BV_{DD}	V
	V_{OH3}	P70-P711	1端子 I_{OH} = －0.4 mA	端子合計 －4.8 mA	AV_{REF0} －1.0		AV_{REF0}	V
			1端子 I_{OH} = －100 μA	端子合計 －1.2 mA	AV_{REF0} －0.5		AV_{REF0}	V
	V_{OH4}	P10, P11	1端子 I_{OH} = －0.4 mA	端子合計 －0.8 mA	AV_{REF1} －1.0		AV_{REF1}	V
			1端子 I_{OH} = －100 μA	端子合計 －0.2 mA	AV_{REF1} －0.5		AV_{REF1}	V
ロウ・レベル出力電圧	V_{OL1}	P02-P06, P30-P37, P42, P50-P55, P92-P915, PDH4, PDH5	1端子 I_{OL} = 1.0 mA	端子合計 20 mA	0		0.4	V
	V_{OL2}	P38, P39, P40, P41, P90, P91	1端子 I_{OL} = 3.0 mA		0		0.4	V
	V_{OL3}	PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	1端子 I_{OL} = 1.0 mA	端子合計 20 mA	0		0.4	V
	V_{OL4}	P10, P11, P70-P711	1端子 I_{OL} = 0.4 mA	端子合計 5.6 mA	0		0.4	V
ソフトウエア・プルダウン抵抗	R_1	P05	$V_I = V_{DD}$		10	30	100	kΩ

備考1.　兼用端子の特性は，ポート端子として使用する場合の特性と同じです。

2.　I_{OH}, I_{OL}の条件を1端子のみ満たさず合計値は条件を満たしている場合，DC特性も満たさなくなるのは，その端子のみです。

DC特性

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）（3/4）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
電源電流[注]（フラッシュ・メモリ内蔵品）	I_{DD1}	通常動作	f_{XX} = 32 MHz（f_X = 4 MHz）		50	70	mA
	I_{DD2}	HALTモード	f_{XX} = 32 MHz（f_X = 4 MHz）		30	40	mA
	I_{DD3}	IDLE1モード	f_{XX} = 4 MHz（f_X = 4 MHz），PLLオフ時		0.8	1.6	mA
	I_{DD4}	IDLE2モード	f_{XX} = 4 MHz（f_X = 4 MHz），PLLオフ時		0.3	0.8	mA
	I_{DD5}	サブクロック動作モード	f_{XT} = 32.768 kHz，メイン・クロック，内蔵発振器停止		300	600	μA
	I_{DD6}	サブIDLEモード	f_{XT} = 32.768 kHz，メイン・クロック，内蔵発振器停止		18	100	μA
	I_{DD7}	STOPモード	サブクロック停止，内蔵発振器停止		7	50	μA
			サブクロック動作，内蔵発振器停止		10	60	μA
			サブクロック停止，内蔵発振器動作		10	60	μA
	I_{DD8}	フラッシュ・メモリ・プログラミング・モード	f_{XX} = 32 MHz（f_X = 4 MHz）		55	80	mA

注　V_{DD}, EV_{DD}, BV_{DD}電流の合計です。出力バッファ，A/Dコンバータ，D/Aコンバータ，内蔵プルダウン抵抗で流れる電流は含みません。

DC特性

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）（4/4）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
電源電流[注]（マスクROM内蔵品）	I_{DD1}	通常動作	f_{XX} = 32 MHz（f_X = 4 MHz）		35	55	mA
	I_{DD2}	HALTモード	f_{XX} = 32 MHz（f_X = 4 MHz）		27	40	mA
	I_{DD3}	IDLE1モード	f_{XX} = 4 MHz（f_X = 4 MHz），PLLオフ時		0.3	0.8	mA
	I_{DD4}	IDLE2モード	f_{XX} = 4 MHz（f_X = 4 MHz），PLLオフ時		0.3	0.8	mA
	I_{DD5}	サブクロック動作モード	f_{XT} = 32.768 kHz，メイン・クロック，内蔵発振器停止		50	100	μA
	I_{DD6}	サブIDLEモード	f_{XT} = 32.768 kHz，メイン・クロック，内蔵発振器停止		15	70	μA
	I_{DD7}	STOPモード	サブクロック停止，内蔵発振器停止		6	50	μA
			サブクロック動作，内蔵発振器停止		10	60	μA
			サブクロック停止，内蔵発振器動作		10	60	μA

注　V_{DD}, EV_{DD}, BV_{DD}電流の合計です。出力バッファ，A/Dコンバータ，D/Aコンバータ，内蔵プルダウン抵抗で流れる電流は含みません。

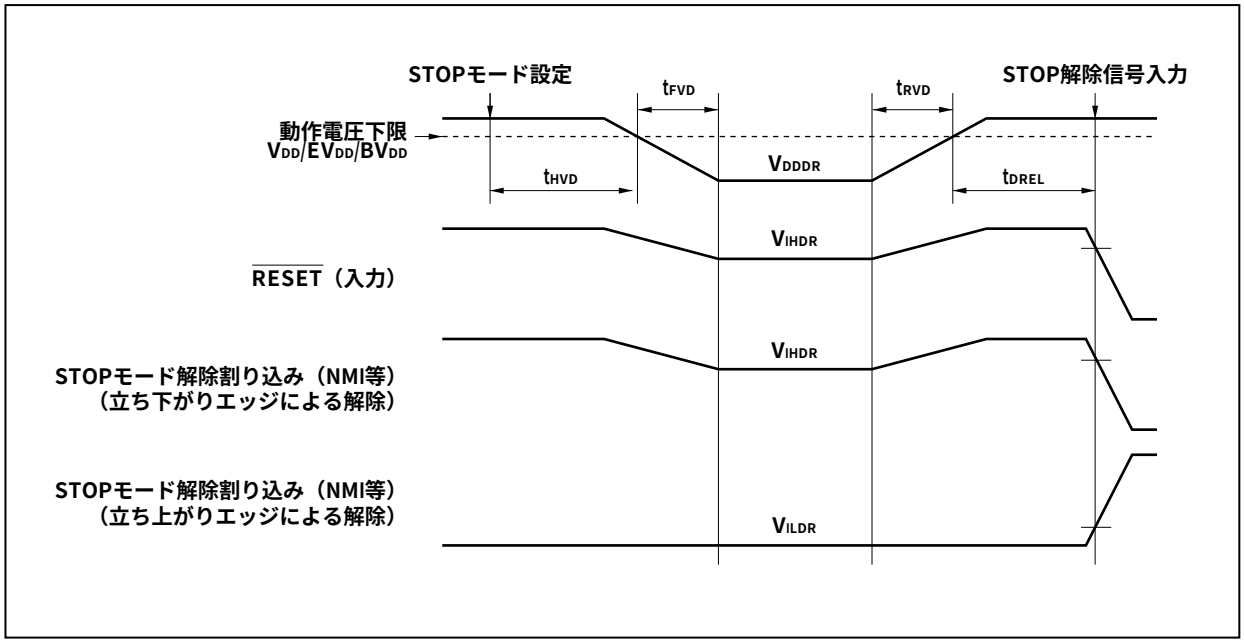
データ保持特性

STOPモード時

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）

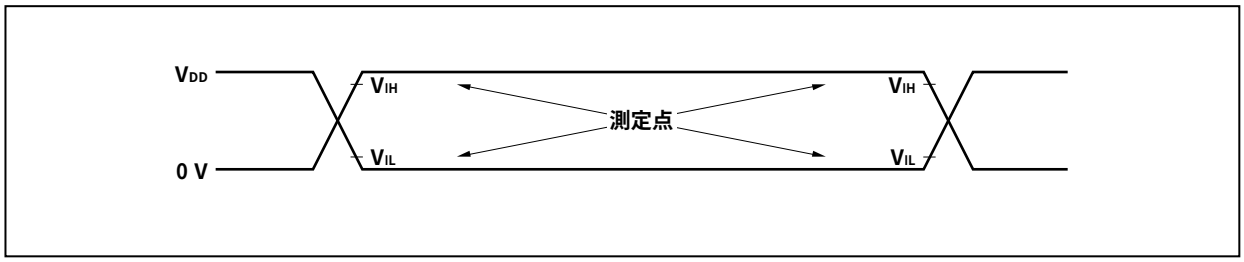
項　目	略　号	条　件		MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード（全機能停止）		1.9		3.6	V
データ保持電流	I_{DDDR}	STOPモード（全機能停止）	マスクROM内蔵品		6	50	μA
			フラッシュ・メモリ内蔵品		7	50	μA
電源電圧立ち上がり時間	t_{RVD}			200			μs
電源電圧立ち下がり時間	t_{FVD}			200			μs
電源電圧保持時間	t_{HVD}	STOPモード設定後		0			ms
STOP解除信号入力時間	t_{DREL}	V_{DD}が3.0 V（MIN.）に達したあと		0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	$V_{DD} = EV_{DD} = BV_{DD} = V_{DDDR}$		$0.9V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	$V_{DD} = EV_{DD} = BV_{DD} = V_{DDDR}$		0		$0.1V_{DDDR}$	V

注意　STOPモードへの移行，およびSTOPモードからの復帰は，動作範囲内で行ってください。

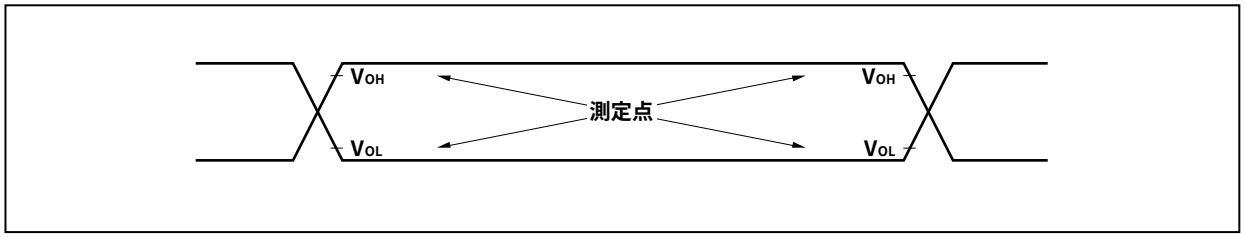


AC特性

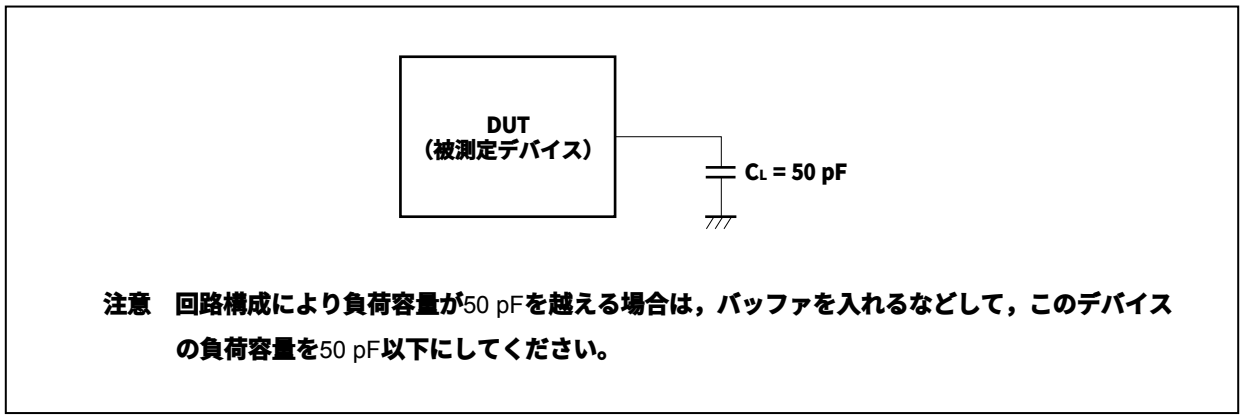
ACテスト入力測定点（V_{DD}, AV_{REF0}, AV_{REF1}, EV_{DD}, BV_{DD}）



ACテスト出力測定点



負荷条件



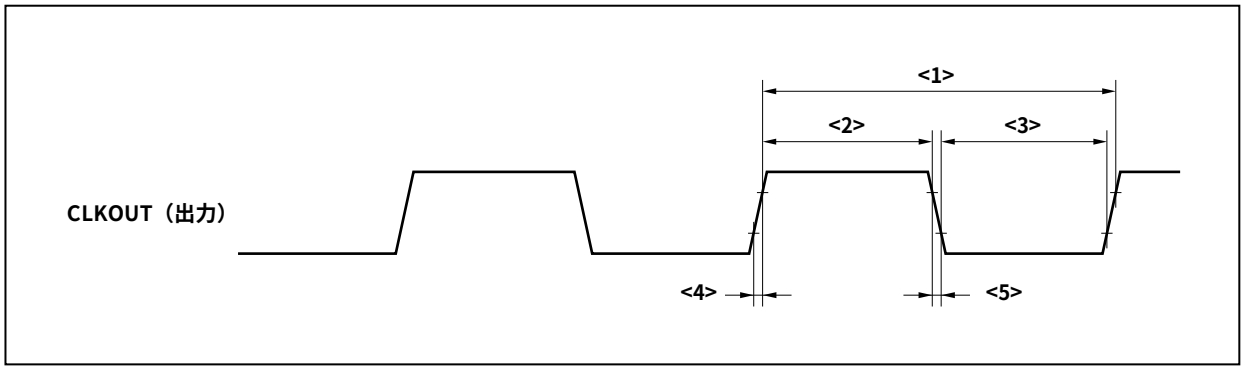
注意　回路構成により負荷容量が50 pFを越える場合は，バッファを入れるなどして，このデバイスの負荷容量を50 pF以下にしてください。

CLKOUT出力タイミング

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V）

項　目	略　号		条　件	MIN.	MAX.	単　位
出力周期	t_{CYK}	<1>		31.25 ns	31.25 μs	
ハイ・レベル幅	t_{WKH}	<2>		t_{CYK}/2－10		ns
ロウ・レベル幅	t_{WKL}	<3>		t_{CYK}/2－10		ns
立ち上がり時間	t_{KR}	<4>			10	ns
立ち下がり時間	t_{KF}	<5>			10	ns

クロック・タイミング



バス・タイミング

(1) マルチプレクス・バス・モード時

注意　f_{XX}＞20 MHzで動作させる場合，必ずアドレス・ホールド・ウエイトとアドレス・セットアップ・ウエイトを挿入してください。

(a) リード／ライト・サイクル（CLKOUT非同期）

（T_A = －40～＋85 ℃，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
アドレス設定時間（対ASTB↓）	t_{SAST}	<6>		(0.5＋t_{ASW}) T－20		ns
アドレス保持時間（対ASTB↓）	t_{HSTA}	<7>		(0.5＋t_{ASW}) T－15		ns
$\overline{RD}$↓ → アドレス・フロート遅延時間	t_{FRDA}	<8>			10	ns
アドレス → データ入力設定時間	t_{SAID}	<9>			(2+n＋t_{ASW}＋t_{AHW}) T－35	ns
$\overline{RD}$↓ → データ入力設定時間	t_{SRID}	<10>			(1+n＋t_{ASW}＋t_{AHW}) T－25	ns
ASTB↓ → $\overline{RD}$, $\overline{WRm}$↓遅延時間	$t_{DSTRDWR}$	<11>		(0.5＋t_{AHW}) T－15		ns
データ入力保持時間（対$\overline{RD}$↑）	t_{HRDID}	<12>		0		ns
$\overline{RD}$↑→ アドレス出力時間	t_{DRDA}	<13>		(1+i) T－10		ns
$\overline{RD}$, $\overline{WRm}$↑→ ASTB↑遅延時間	$t_{DRDWRST}$	<14>		0.5T－10		ns
$\overline{RD}$↑→ ASTB↓遅延時間	t_{DRDST}	<15>		(1.5+i＋t_{ASW}) T－10		ns
$\overline{RD}$, $\overline{WRm}$ロウ・レベル幅	t_{WRDWRL}	<16>		(1+n) T－10		ns
ASTB ハイ・レベル幅	t_{WSTH}	<17>		(1＋t_{ASW}) T－10		ns
$\overline{WRm}$↓→ データ出力時間	t_{DWROD}	<18>			15	ns
データ出力設定時間（対$\overline{WRm}$↑）	t_{SODWR}	<19>		(1+n) T－20		ns
データ出力保持時間（対$\overline{WRm}$↑）	t_{HWROD}	<20>		T－15		ns
$\overline{WAIT}$設定時間（対アドレス）	t_{SAWT1}	<21>	n≧1		(1.5＋t_{ASW}＋t_{AHW}) T－35	ns
	t_{SAWT2}	<22>			(1.5+n＋t_{ASW}＋t_{AHW}) T－35	ns
$\overline{WAIT}$保持時間（対アドレス）	t_{HAWT1}	<23>	n≧1	(0.5+n＋t_{ASW}＋t_{AHW}) T		ns
	t_{HAWT2}	<24>		(1.5+n＋t_{ASW}＋t_{AHW}) T		ns
$\overline{WAIT}$設定時間（対ASTB↓）	t_{SSTWT1}	<25>	n≧1		(1＋t_{AHW}) T－25	ns
	t_{SSTWT2}	<26>			(1+n＋t_{AHW}) T－25	ns
$\overline{WAIT}$保持時間（対ASTB↓）	t_{HSTWT1}	<27>	n≧1	(n＋t_{AHW}) T		ns
	t_{HSTWT2}	<28>		(1+n＋t_{AHW}) T		ns

備考1.　t_{ASW}：アドレス・セットアップ・ウエイト・クロック数
　　t_{AHW}：アドレス・ホールド・ウエイト・クロック数

2.　T = 1/f_{CPU}（f_{CPU}：CPU動作クロック周波数）

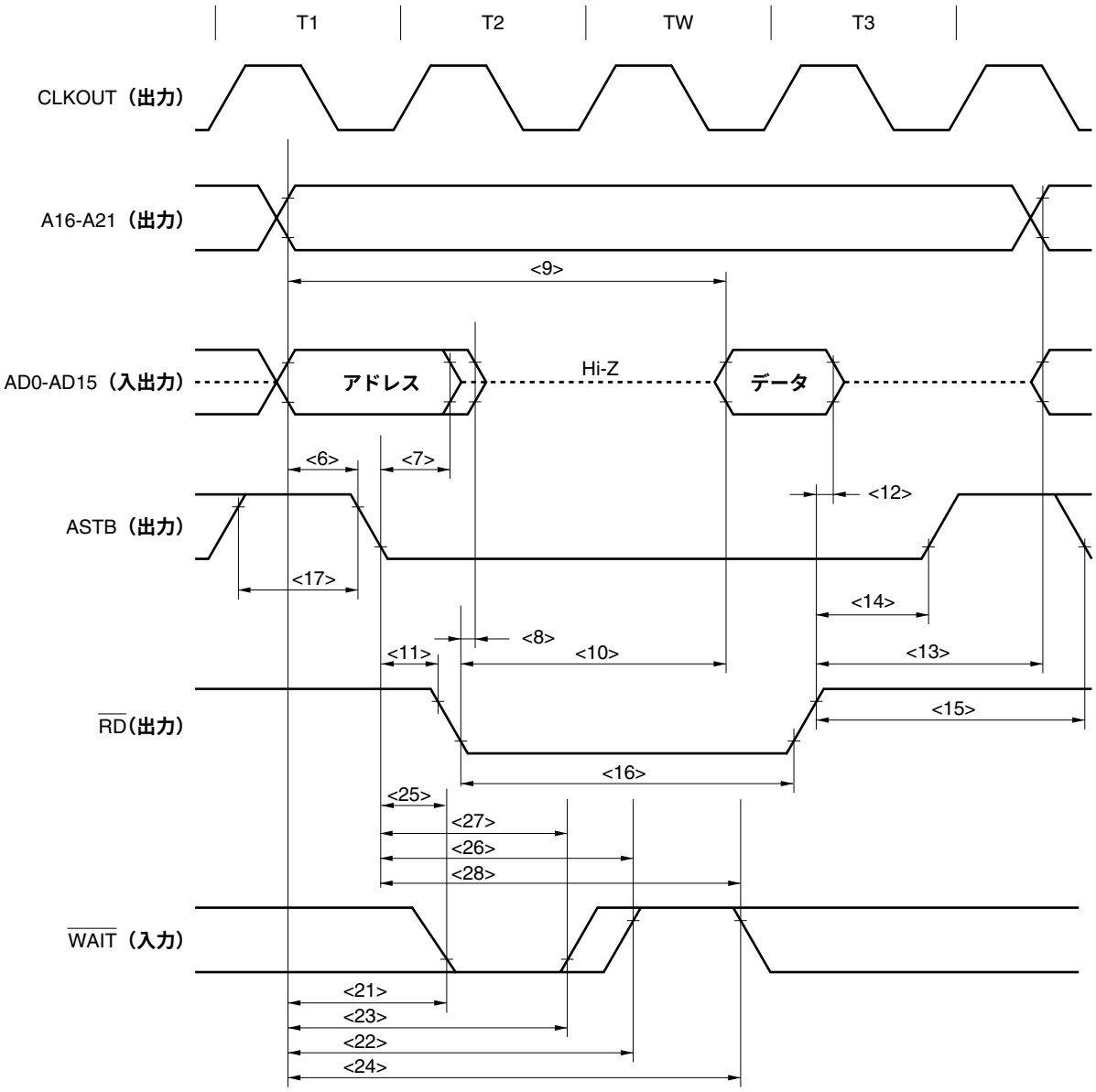
3.　n：バス・サイクルに挿入されるウエイト・クロック数
　　プログラマブル・ウエイト挿入時は，サンプル・タイミングが変わります。

4.　m = 0, 1

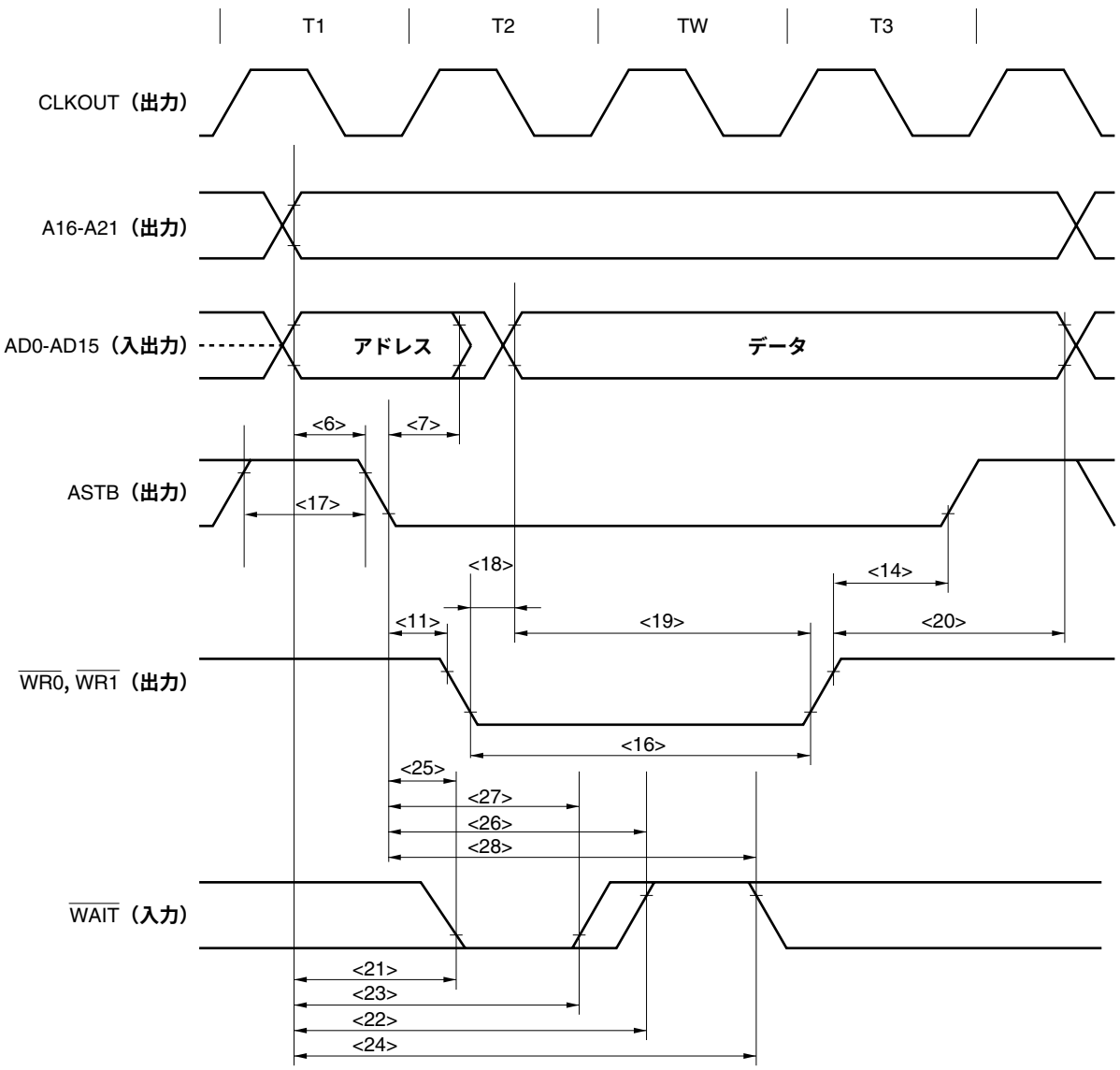
5.　i：リード・サイクル後に挿入されるアイドル・ステート数（0または1）

6.　上記スペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

リード・サイクル（CLKOUT非同期）：マルチプレクス・バス・モード時



ライト・サイクル（CLKOUT非同期）：マルチプレクス・バス・モード時



備考　$\overline{\text{RD}}$**はハイ・レベル**

(b) リード／ライト・サイクル（CLKOUT同期）：マルチプレクス・バス・モード時

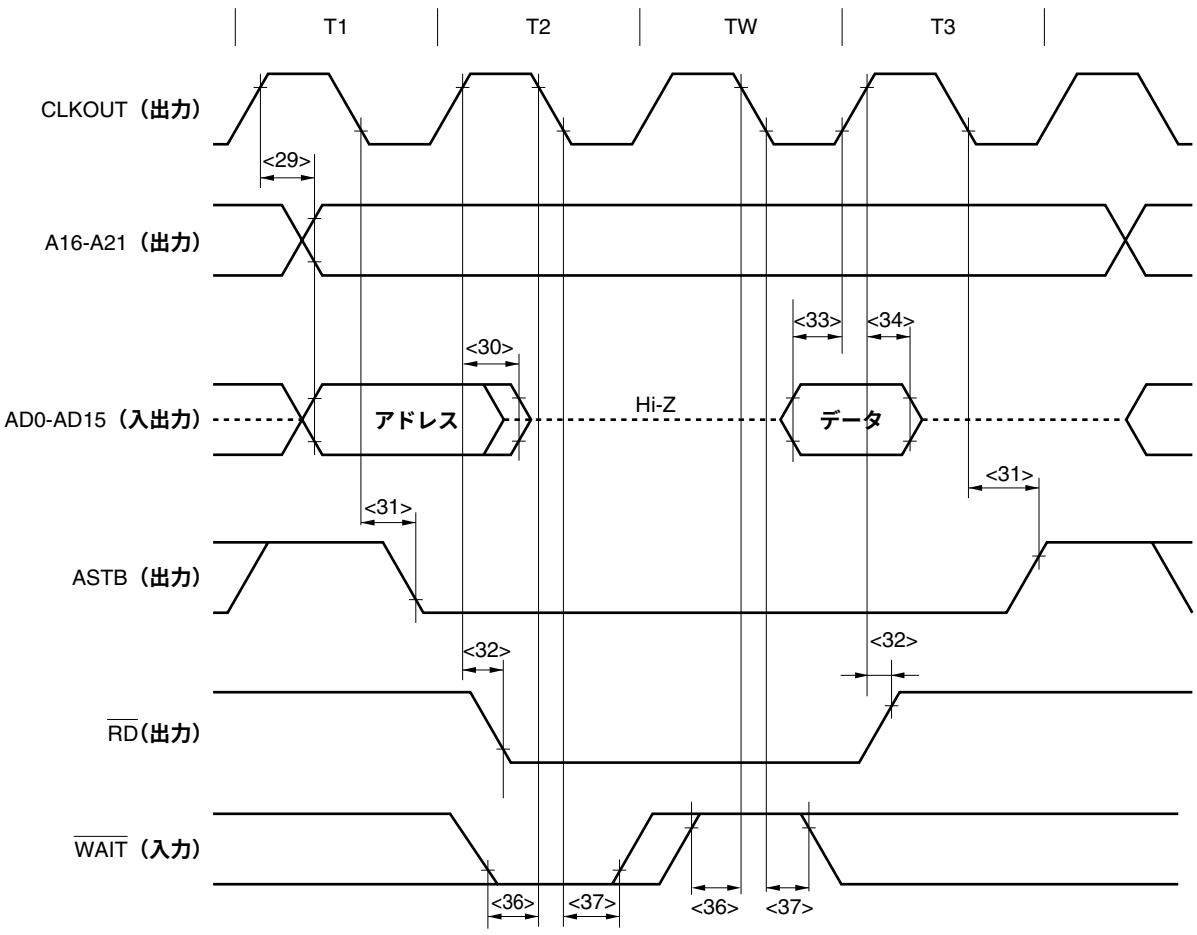
（T_A = －40～＋85 ℃，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
CLKOUT↑→ アドレス遅延時間	t_{DKA}	<29>		0	25	ns
CLKOUT↑→ アドレス･フロート遅延時間	t_{FKA}	<30>		0	19	ns
CLKOUT↓→ ASTB遅延時間	t_{DKST}	<31>		－12	7	ns
CLKOUT↑→ $\overline{RD}$, $\overline{WRm}$遅延時間	t_{DKRDWR}	<32>		－5	14	ns
データ入力設定時間（対CLKOUT↑）	t_{SIDK}	<33>		15		ns
データ入力保持時間（対CLKOUT↑）	t_{HKID}	<34>		5		ns
CLKOUT↑→ データ出力遅延時間	t_{DKOD}	<35>			19	ns
$\overline{WAIT}$設定時間（対CLKOUT↓）	t_{SWTK}	<36>		20		ns
$\overline{WAIT}$保持時間（対CLKOUT↓）	t_{HKWT}	<37>		5		ns

備考1.　m = 0, 1

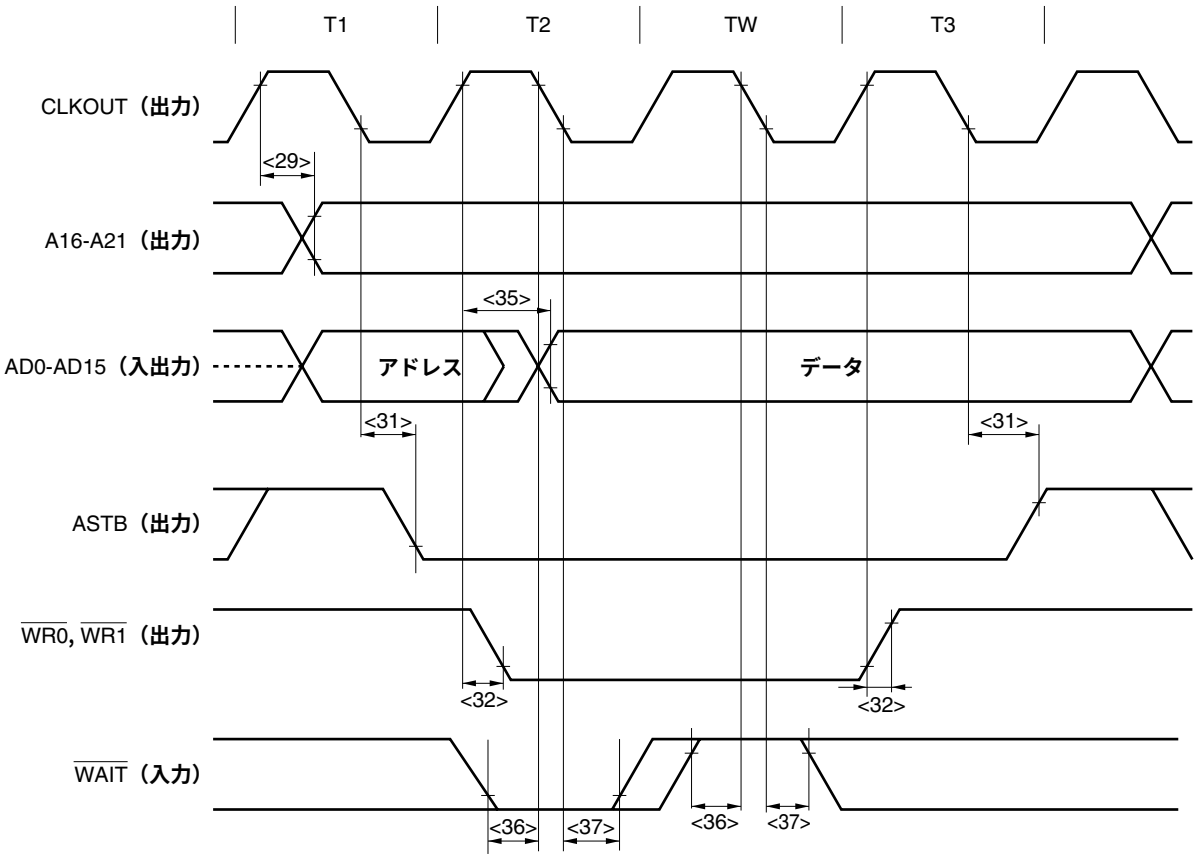
2.　上記スペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

リード・サイクル（CLKOUT同期）：マルチプレクス・バス・モード時



備考　$\overline{WR1}$, $\overline{WR0}$はハイ・レベル

ライト・サイクル（CLKOUT同期）：マルチプレクス・バス・モード時



(2) セパレート・バス・モード時

注意　f_{XX}＞20 MHzで動作させる場合，必ずアドレス・ホールド・ウエイトとアドレス・セットアップ・ウエイトを挿入してください。

(a) リード・サイクル（CLKOUT非同期）：セパレート・バス・モード時

（T_A = －40～＋85 ℃，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号		条件	MIN.	MAX.	単　位
アドレス設定時間（対$\overline{RD}$↓）	t_{SARD}	<38>		(0.5＋t_{ASW}) T－25		ns
アドレス保持時間（対$\overline{RD}$↑）	t_{HARD}	<39>		iT＋1		ns
$\overline{RD}$ロウ・レベル幅	t_{WRDL}	<40>		(1.5＋n＋t_{AHW}) T－10		ns
データ設定時間（対$\overline{RD}$↑）	t_{SISD}	<41>		23		ns
データ保持時間（対$\overline{RD}$↑）	t_{HISD}	<42>		0		ns
データ設定時間（対アドレス）	t_{SAID}	<43>			(2＋n＋t_{ASW}＋t_{AHW}) T－40	ns
$\overline{WAIT}$設定時間（対$\overline{RD}$↓）	t_{SRDWT1}	<44>			(0.5＋t_{AHW}) T－25	ns
	t_{SRDWT2}	<45>			(0.5＋n＋t_{AHW}) T－25	ns
$\overline{WAIT}$保持時間（対$\overline{RD}$↓）	t_{HRDWT1}	<46>		(n－0.5＋t_{AHW}) T		ns
	t_{HRDWT2}	<47>		(n＋0.5＋t_{AHW}) T		ns
$\overline{WAIT}$設定時間（対アドレス）	t_{SAWT1}	<48>			(1＋t_{ASW}＋t_{AHW}) T－45	ns
	t_{SAWT2}	<49>			(1＋n＋t_{ASW}＋t_{AHW}) T－45	ns
$\overline{WAIT}$保持時間（対アドレス）	t_{HAWT1}	<50>		(1＋t_{ASW}＋t_{AHW}) T		ns
	t_{HAWT2}	<51>		(1＋n＋t_{ASW}＋t_{AHW}) T		ns

備考1.　t_{ASW}：アドレス・セットアップ・ウエイト・クロック数
　　t_{AHW}：アドレス・ホールド・ウエイト・クロック数

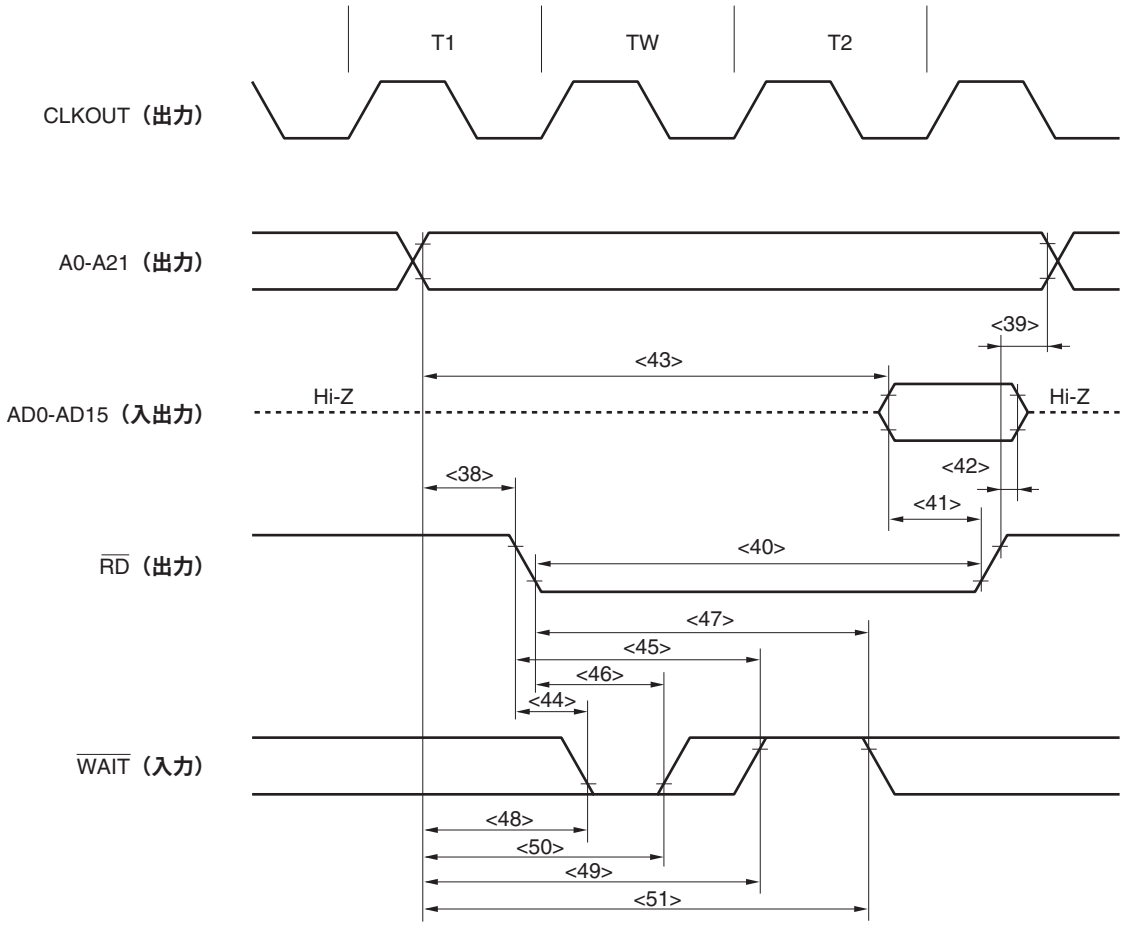
2.　T = 1/f_{CPU}（f_{CPU}：CPU動作クロック周波数）

3.　n：バス・サイクルに挿入されるウエイト・クロック数
　　プログラマブル・ウエイト挿入時は，サンプリング・タイミングが変わります。

4.　i：リード・サイクル後に挿入されるアイドル・ステート数（0または1）

5.　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

リード・サイクル（CLKOUT非同期）：セパレート・バス・モード時



備考　$\overline{WR0}$, $\overline{WR1}$**はハイ・レベル**

(b) ライト・サイクル（CLKOUT非同期）：セパレート・バス・モード時

（T_A = －40～＋85 ℃，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号		条件	MIN.	MAX.	単　位
アドレス設定時間（対$\overline{WRm}$↓）	t_{SAWR}	<52>		(1＋t_{ASW}＋t_{AHW}) T－25		ns
アドレス保持時間（対$\overline{WRm}$↑）	t_{HAWR}	<53>		0.5T－10		ns
$\overline{WRm}$ロウ・レベル幅	t_{WWRL}	<54>		(0.5＋n) T－10		ns
$\overline{WRm}$↓→データ出力時間	t_{DOSDW}	<55>		－5		ns
データ設定時間（対$\overline{WRm}$↑）	t_{SOSDW}	<56>		(0.5＋n) T－20		ns
データ保持時間（対$\overline{WRm}$↑）	t_{HOSDW}	<57>		0.5T－10		ns
データ設定時間（対アドレス）	t_{SAOD}	<58>		(1＋t_{ASW}＋t_{AHW}) T－25		ns
$\overline{WAIT}$設定時間（対$\overline{WRm}$↓）	t_{SWRWT1}	<59>		22		ns
	t_{SWRWT2}	<60>			nT－22	ns
$\overline{WAIT}$保持時間（対$\overline{WRm}$↓）	t_{HWRWT1}	<61>		0		ns
	t_{HWRWT2}	<62>		nT		ns
$\overline{WAIT}$設定時間（対アドレス）	t_{SAWT1}	<63>			(1＋t_{ASW}＋t_{AHW}) T－45	ns
	t_{SAWT2}	<64>			(1＋n＋t_{ASW}＋t_{AHW}) T－45	ns
$\overline{WAIT}$保持時間（対アドレス）	t_{HAWT1}	<65>		(n＋t_{ASW}＋t_{AHW}) T		ns
	t_{HAWT2}	<66>		(1＋n＋t_{ASW}＋t_{AHW}) T		ns

備考1.　m = 0, 1

2.　t_{ASW}：アドレス・セットアップ・ウエイト・クロック数

　t_{AHW}：アドレス・ホールド・ウエイト・クロック数

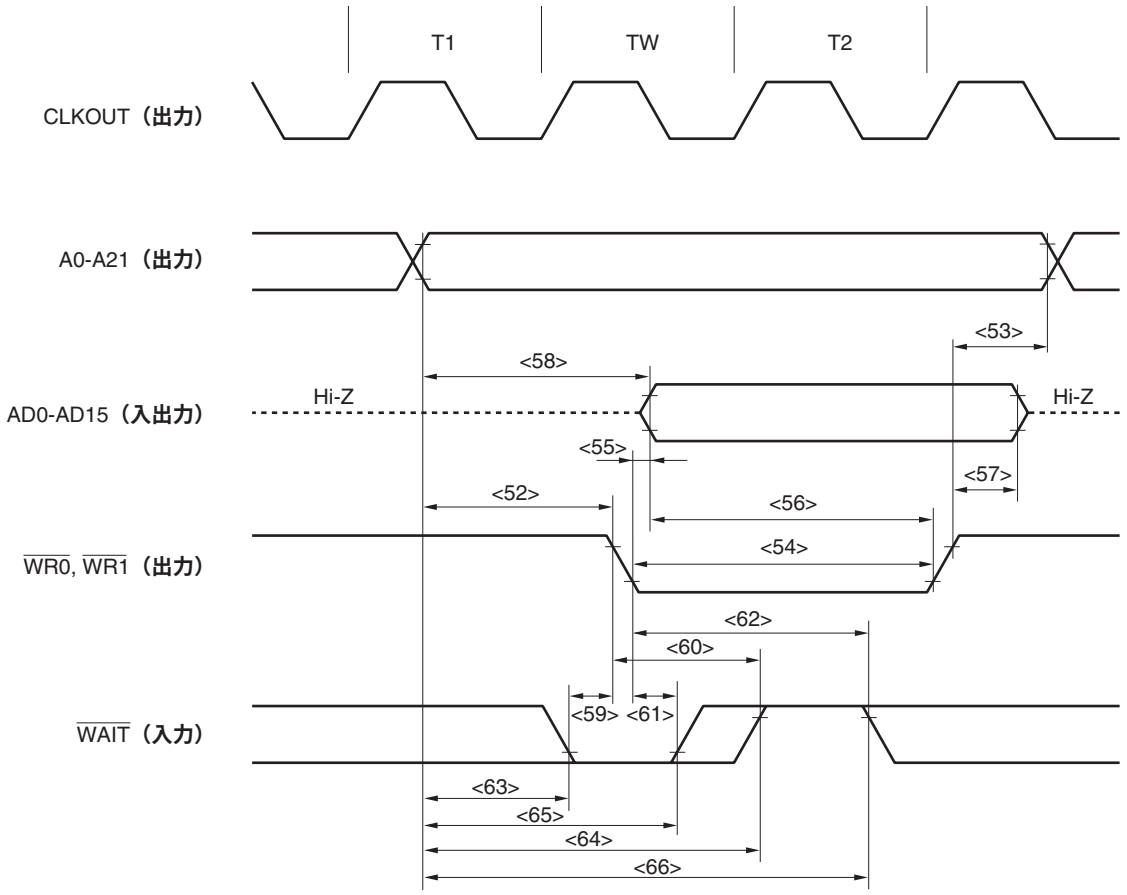
3.　T = 1/f_{CPU}（f_{CPU}：CPU動作クロック周波数）

4.　n：バス・サイクルに挿入されるウエイト・クロック数

　プログラマブル・ウエイト挿入時は，サンプリング・タイミングが変わります。

5.　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

ライト・サイクル（CLKOUT非同期）：セパレート・バス・モード時



備考　$\overline{\text{RD}}$**はハイ・レベル**

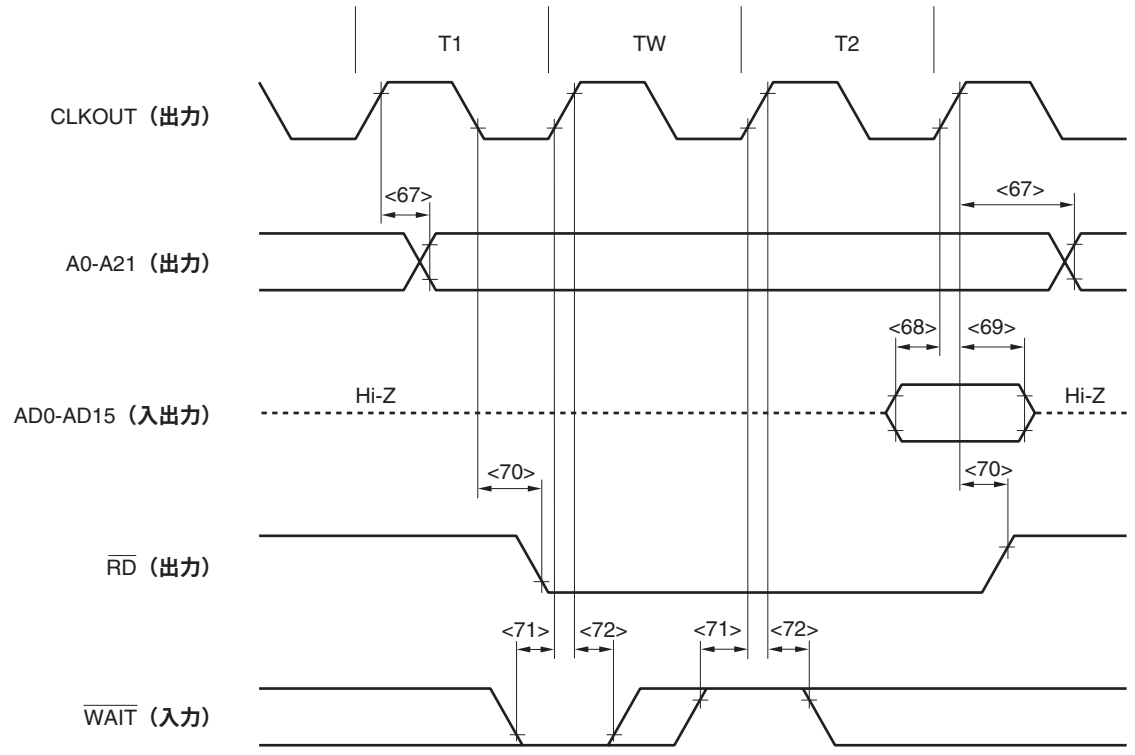
(c) リード・サイクル（CLKOUT同期）：セパレート・バス・モード時

（T_A = －40～＋85 ℃，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
CLKOUT↑→アドレス遅延時間	t_{DKSA}	<67>		2	27	ns
データ入力設定時間（対CLKOUT↑）	t_{SISDK}	<68>		20		ns
データ入力保持時間（対CLKOUT↑）	t_{HKISD}	<69>		0		ns
CLKOUT↓↑→$\overline{RD}$遅延時間	t_{DKSR}	<70>		－2	14	ns
$\overline{WAIT}$設定時間（対CLKOUT↑）	t_{SWTK}	<71>		20		ns
$\overline{WAIT}$保持時間（対CLKOUT↑）	t_{HKWT}	<72>		0		ns

備考　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

リード・サイクル（CLKOUT同期，1ウエイト）：セパレート・バス・モード時



備考　$\overline{WR0}$, $\overline{WR1}$はハイ・レベル

(d) ライト・サイクル（CLKOUT同期）：セパレート・バス・モード時

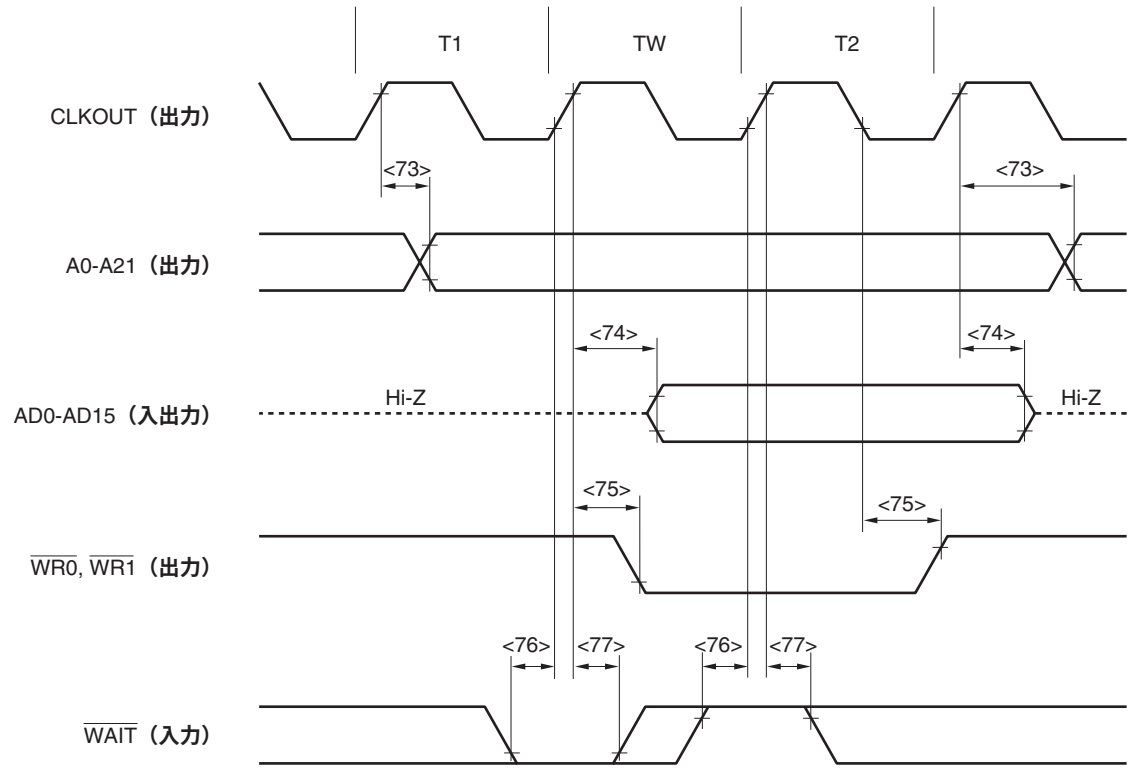
（T_A = －40～＋85 ℃，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
CLKOUT↑→アドレス遅延時間	t_{DKSA}	<73>		2	27	ns
CLKOUT↑→データ出力遅延時間	t_{DKSD}	<74>		2	15	ns
CLKOUT↑↓→$\overline{WRm}$遅延時間	t_{DKSW}	<75>		－2	14	ns
$\overline{WAIT}$設定時間（対CLKOUT↑）	t_{SWTK}	<76>		20		ns
$\overline{WAIT}$保持時間（対CLKOUT↑）	t_{HKWT}	<77>		0		ns

備考1.　m = 0, 1

2.　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

ライト・サイクル（CLKOUT同期）：セパレート・バス・モード時



備考　$\overline{RD}$はハイ・レベル

(3) バス・ホールド時

(a) CLKOUT非同期

（T_A = －40～＋85 ℃，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{HLDRQ}}$ハイ・レベル幅	t_{WHQH}	<78>		T＋10		ns
$\overline{\text{HLDAK}}$ロウ・レベル幅	t_{WHAL}	<79>		T－15		ns
$\overline{\text{HLDAK}}$↑→バス出力遅延時間	t_{DHAC}	<80>		－5		ns
$\overline{\text{HLDRQ}}$↓→$\overline{\text{HLDAK}}$↓遅延時間	t_{DHQHA1}	<81>			(2n＋7.5) T＋25	ns
$\overline{\text{HLDRQ}}$↑→$\overline{\text{HLDAK}}$↑遅延時間	t_{DHQHA2}	<82>		0.5T	1.5T＋25	ns

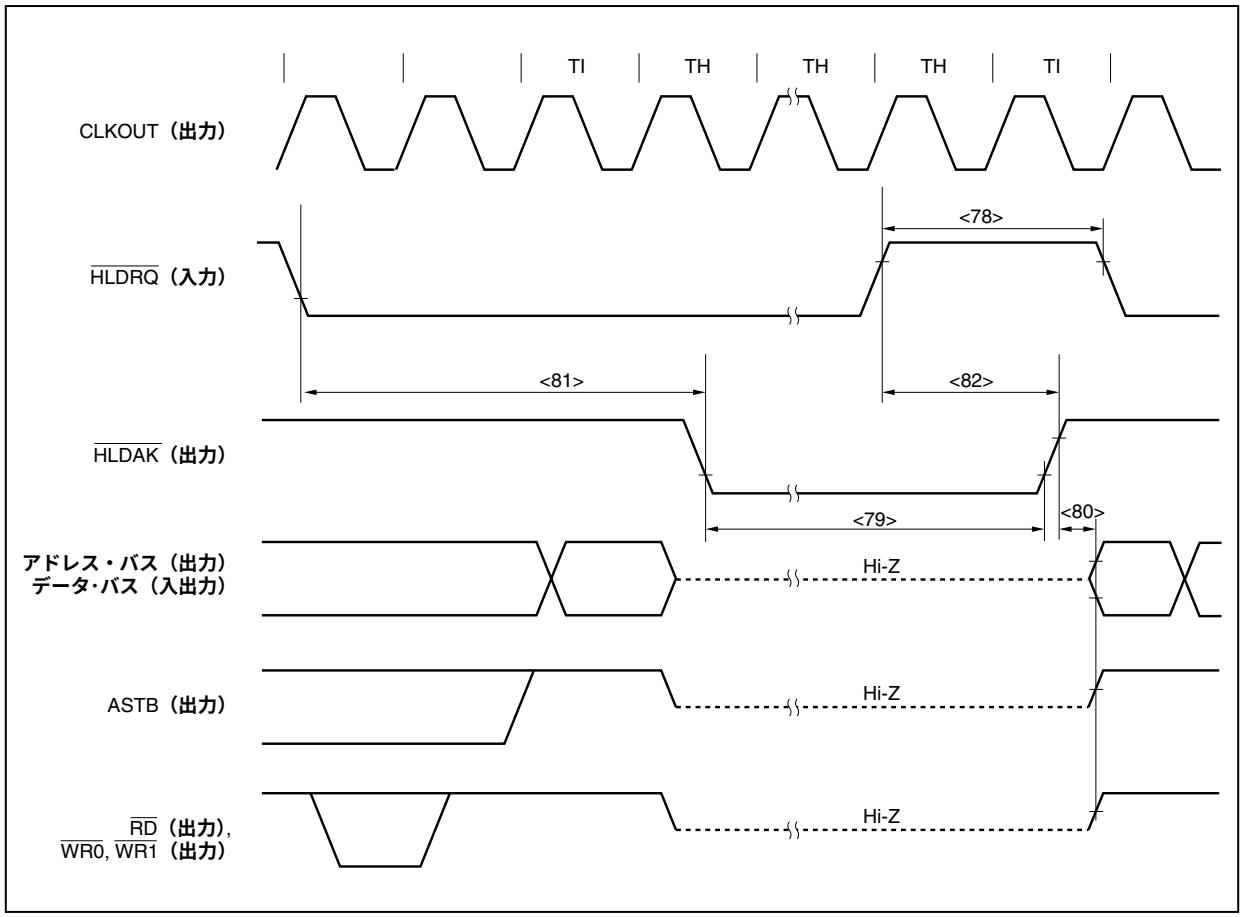
備考1.　T = 1/f_{CPU}（f_{CPU}：CPU動作クロック周波数）

2.　n：バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は，サンプル・タイミングが変わります。

3.　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

バス・ホールド（CLKOUT非同期）



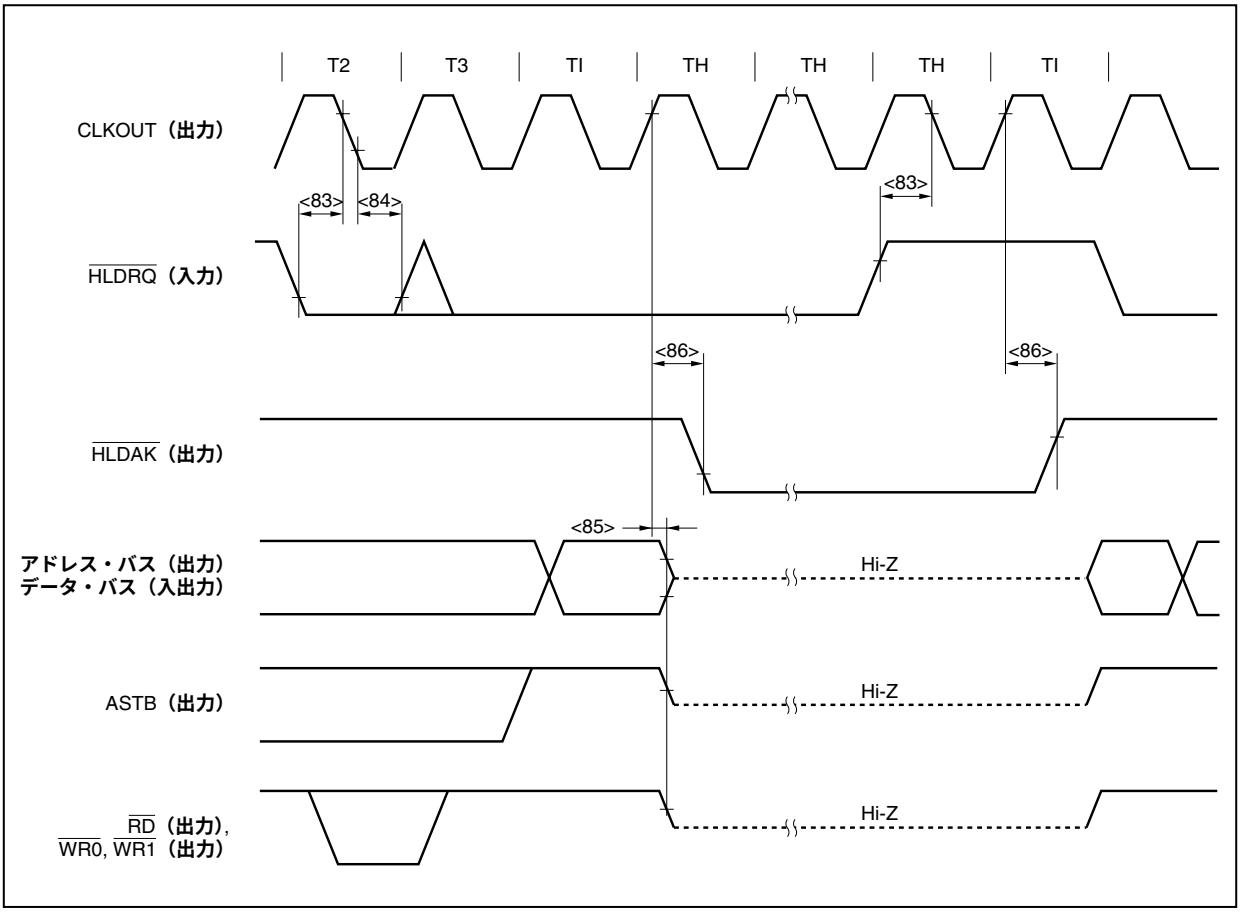
（b）CLKOUT同期

（T_A = －40～＋85 ℃，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{HLDRQ}}$設定時間（対CLKOUT↓）	t_{SHQK}	<83>		20		ns
$\overline{\text{HLDRQ}}$保持時間（対CLKOUT↓）	t_{HKHQ}	<84>		5		ns
CLKOUT↑→バス・フロート遅延時間	t_{DKF}	<85>			19	ns
CLKOUT↑→$\overline{\text{HLDAK}}$遅延時間	t_{DKHA}	<86>			19	ns

備考　上記のスペックは，X1からデューティ比1：1のクロックを入力した場合の値です。

バス・ホールド（CLKOUT同期）

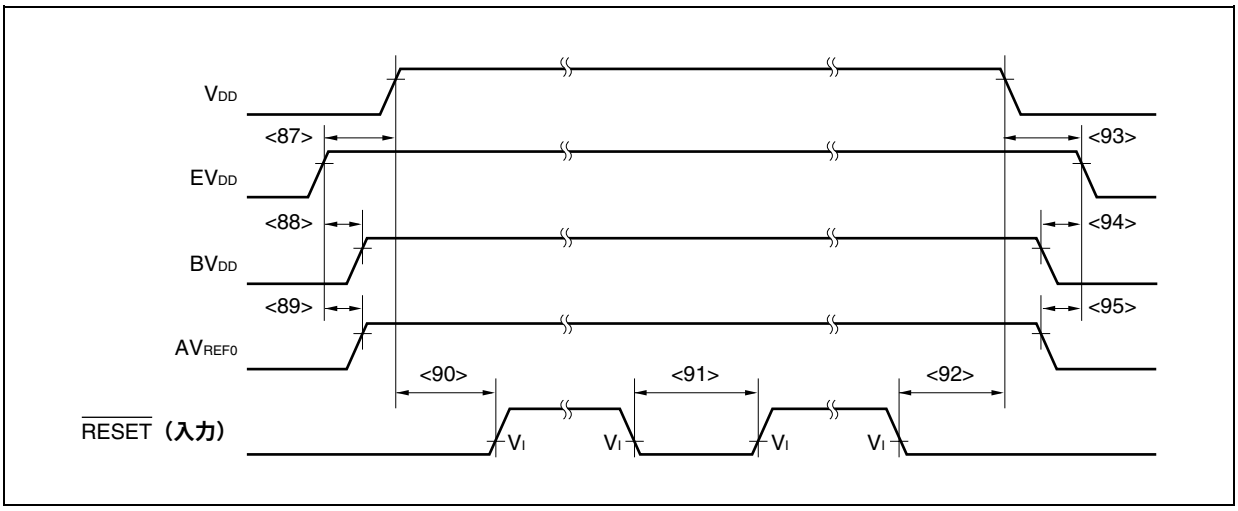


パワー・オン／パワー・オフ／リセット・タイミング

（T_A = －40～＋85 °C，V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
EV_{DD}↑→V_{DD}↑	t_{REL}	<87>		0		ns
EV_{DD}↑→BV_{DD}↑	t_{REB}	<88>		0	t_{REL}	ns
EV_{DD}↑→AV_{REF0}, AV_{REF1}↑	t_{REA}	<89>		0	t_{REL}	ns
EV_{DD}↑→$\overline{RESET}$↑	t_{RER}	<90>		500＋t_{REG}注		ns
$\overline{RESET}$ロウ・レベル幅	t_{WRSL}	<91>	アナログ・ノイズ除去（フラッシュ消去／書き込み間）	500		ns
			アナログ・ノイズ除去	500		ns
$\overline{RESET}$↓→V_{DD}↓	t_{FRE}	<92>		500		ns
V_{DD}↓→EV_{DD}↓	t_{FEL}	<93>		0		ns
BV_{DD}↓→EV_{DD}↓	t_{FEB}	<94>		0	t_{FEL}	ns
AV_{REF0}↓→EV_{DD}↓	t_{FEA}	<95>		0	t_{FEL}	ns

注　内蔵レギュレータの特性に依存します。



割り込み，FLMD0端子タイミング

（T_A = －40～＋85 °C，BV_{DD}≦V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF）

項　目	略　号	条　件	MIN.	MAX.	単　位
NMIハイ・レベル幅	t_{WNIH}	アナログ・ノイズ除去	500		ns
NMIロウ・レベル幅	t_{WNIL}	アナログ・ノイズ除去	500		ns
INTPnハイ・レベル幅	t_{WITH}	n = 0-7（アナログ・ノイズ除去）	500		ns
		n = 3（ディジタル・ノイズ除去）	3T_{SMP}＋20		ns
INTPnロウ・レベル幅	t_{WITL}	n = 0-7（アナログ・ノイズ除去）	500		ns
		n = 3（ディジタル・ノイズ除去）	3T_{SMP}＋20		ns
FLMD0ハイ・レベル幅	t_{WMDH}		500		ns
FLMD0ロウ・レベル幅	t_{WMDL}		500		ns

備考　T_{SMP}：ノイズ除去サンプリング・クロック周期

キー・リターン・タイミング

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V,
C_L = 50 pF）

項　目	略　号	条　件	MIN.	MAX.	単　位
KRnハイ・レベル幅	t_{WKRH}	アナログ・ノイズ除去	500		ns
KRnロウ・レベル幅	t_{WKRL}	アナログ・ノイズ除去	500		ns

備考　n = 0-7

タイマ・タイミング

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V,
C_L = 50 pF）

項　目	略　号	条　件	MIN.	MAX.	単　位
TIハイ・レベル幅	t_{TIH}	TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31, TIP40, TIP41, TIP50, TIP51, TIQ00-TIQ03	2T＋20		ns
TIロウ・レベル幅	t_{TIL}		2T＋20		ns

備考　T = 1/f_{XX}

UARTタイミング

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V,
C_L = 50 pF）

項　目	略　号	条　件	MIN.	MAX.	単　位
送信レート				312.5	kbps
ASCK0サイクル・タイム				10	MHz

CSIBタイミング

(1) マスタ・モード

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{SCKBn}}$サイクル・タイム	t_{KCY1}	<96>		125		ns
$\overline{\text{SCKBn}}$ハイ／ロウ・レベル幅	t_{KH1}, t_{KL1}	<97>		t_{KCY1}/2－5		ns
SIBnセットアップ時間（対$\overline{\text{SCKBn}}$↑）	t_{SIK1}	<98>		30		ns
SIBnホールド時間（対$\overline{\text{SCKBn}}$↑）	t_{KSI1}	<99>		30		ns
$\overline{\text{SCKBn}}$↓→ SOBn出力遅延時間	t_{KSO1}	<100>			30	ns

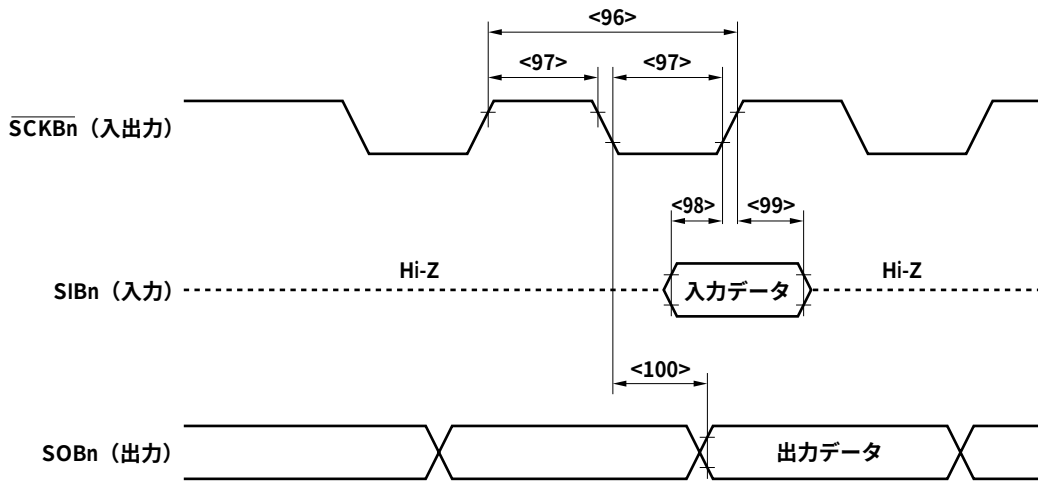
備考　n = 0-4

(2) スレーブ・モード

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号		条　件	MIN.	MAX.	単　位
$\overline{\text{SCKBn}}$サイクル・タイム	t_{KCY2}	<96>		125		ns
$\overline{\text{SCKBn}}$ハイ／ロウ・レベル幅	t_{KH2}, t_{KL2}	<97>		57.5		ns
SIBnセットアップ時間（対$\overline{\text{SCKBn}}$↑）	t_{SIK2}	<98>		30		ns
SIBnホールド時間（対$\overline{\text{SCKBn}}$↑）	t_{KSI2}	<99>		30		ns
$\overline{\text{SCKBn}}$↓→ SOBn出力遅延時間	t_{KSO2}	<100>			35	ns

備考　n = 0-4



備考　n = 0-4

I²Cバス・モード

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目		略　号		標準モード		高速モード		単　位
				MIN.	MAX.	MIN.	MAX.	
SCL0nクロック周波数		f_{CLK}		0	100	0	400	kHz
バス・フリー・タイム（ストップ-スタート・コンディション間）		t_{BUF}	<101>	4.7	－	1.3	－	μs
ホールド時間[注1]		$t_{HD:STA}$	<102>	4.0	－	0.6	－	μs
SCL0nクロックのロウ・レベル幅		t_{LOW}	<103>	4.7	－	1.3	－	μs
SCL0nクロックのハイ・レベル幅		t_{HIGH}	<104>	4.0	－	0.6	－	μs
スタート／リスタート・コンディションのセットアップ時間		$t_{SU:STA}$	<105>	4.7	－	0.6	－	μs
データ・ホールド時間	CBUS互換マスタの場合	$t_{HD:DAT}$	<106>	5.0	－	－	－	μs
	I²Cモードの場合			0[注2]	－	0[注2]	0.9[注3]	μs
データ・セットアップ時間		$t_{SU:DAT}$	<107>	250	－	100[注4]	－	ns
SDA0nおよびSCL0n信号の立ち上がり時間		t_R	<108>	－	1000	20＋0.1Cb[注5]	300	ns
SDA0nおよびSCL0n信号の立ち下がり時間		t_F	<109>	－	300	20＋0.1Cb[注5]	300	ns
ストップ・コンディションのセットアップ時間		$t_{SU:STO}$	<110>	4.0	－	0.6	－	μs
入力フィルタによって抑制されるスパイクのパルス幅		t_{SP}	<111>	－	－	0	50	ns
各バス・ラインの容量性負荷		Cb		－	400	－	400	pF

注1.　スタート・コンディション時に，最初のクロック・パルスは，ホールド時間のあとに生成されます。

2.　装置は，SCL0nの立ち下がり端の未定義領域を埋めるために（SCL0n信号の$V_{IHmin.}$での）SDA0n信号用に最低300 nsのホールド時間を内部的に提供する必要があります。

3.　装置がSCL0n信号のロウ・ホールド時間（t_{LOW}）を延長しない場合は，最大データ・ホールド時間（$t_{HD:DAT}$）のみ満たすことが必要です。

4.　高速モードI²Cバスは，標準モードI²Cバス・システム内で利用できます。この場合，次の条件を満たすようにしてください。

- 装置がSCL0n信号のロウ状態ホールド時間を延長しない場合

  $t_{SU:DAT} \geqq 250$ ns

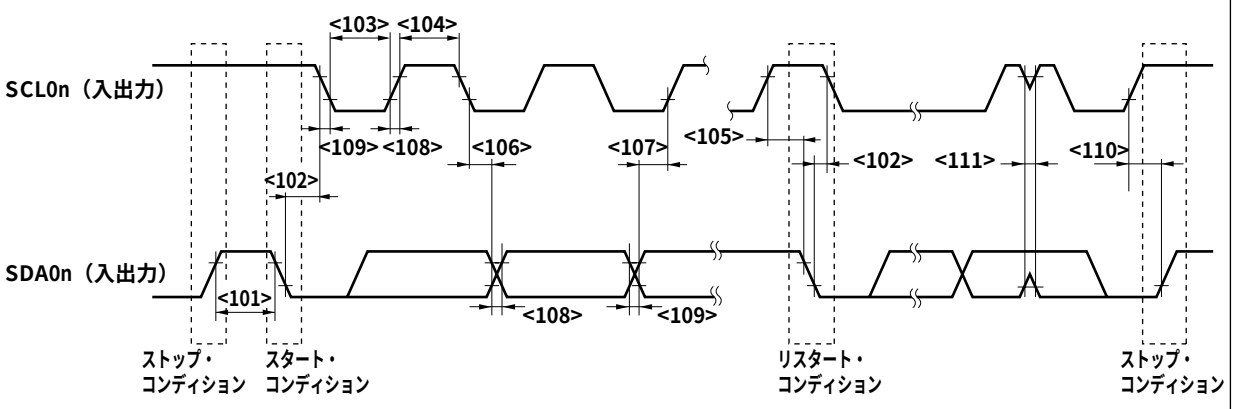
- 装置がSCL0n信号のロウ状態ホールド時間を延長する場合

  SCL0nラインが解放される（$t_{Rmax.} + t_{SU:DAT}$ = 1000＋250 = 1250 ns：標準モードI²Cバス仕様）前に，次のデータ・ビットをSDA0nラインに送出してください。

5.　Cb：1つのバス・ラインの合計キャパシタンス（単位：pF）

備考　n = 0-2

I²Cバス・モード



備考　n = 0-2

IEBusコントローラ（IEBusコントローラ内蔵品のみ）

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

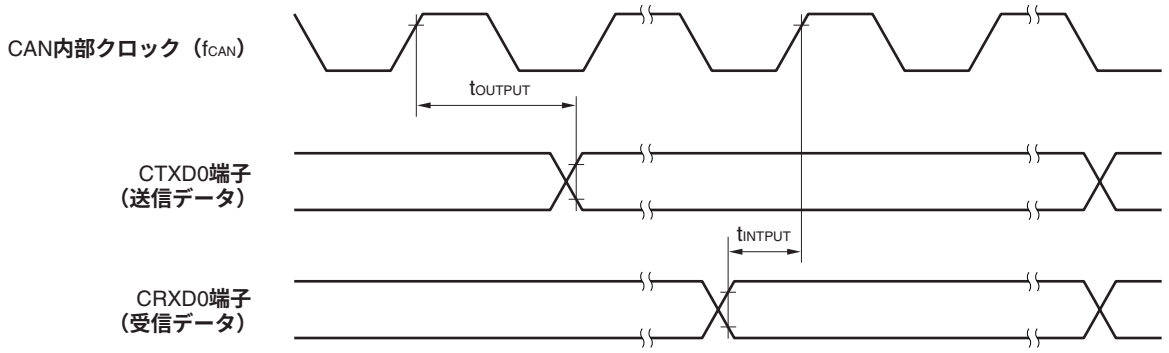
項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
IEBusシステム・クロック周波数	f_S	通信モード：モード1, 2	5.91	6.00注	6.09	MHz
			6.20	6.29注	6.38	MHz

注　IEBusシステム・クロック周波数は6.0 MHzと6.29 MHzを混在して使用できません。

CANタイミング（CANコントローラ内蔵品のみ）

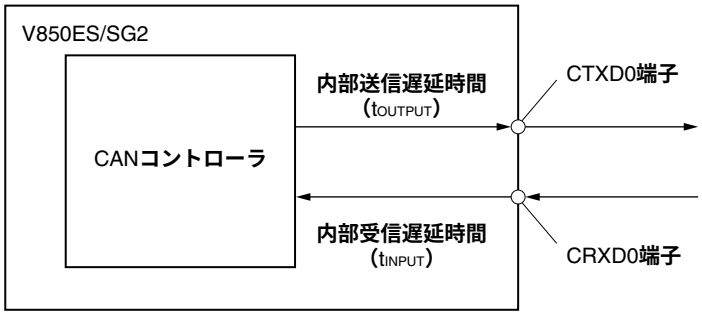
（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号	条　件	MIN.	MAX.	単　位
送信レート				1	Mbps
内部遅延時間	t_{NODE}			100	ns



備考　CAN内部クロック（f_{CAN}）：CANボー・レート・クロック

内部遅延時間（t_{NODE}）= 内部送信遅延時間（t_{OUTPUT}）＋内部受信遅延時間（t_{INPUT}）



A/Dコンバータ

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, 3.0 V$\leqq AV_{REF0} \leqq$3.6 V, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
分解能					10	bit
総合誤差注		3.0≦AV_{REF0}≦3.6 V			±0.6	%FSR
変換時間	t_{CONV}		2.6		24	μs
ゼロスケール誤差					±0.5	%FSR
フルスケール誤差					±0.5	%FSR
非直線性誤差					±4.0	LSB
微分直線性誤差					±4.0	LSB
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
基準電圧	AV_{REF0}		3.0		3.6	V
AV_{REF0}電流	AI_{REF0}	通常変換モード		3	6.5	mA
		高速変換モード		4	10	mA
		A/Dコンバータ未使用時			5	μA

注　量子化誤差（±0.05 %FSR）は含みません。

注意　A/D変換中に兼用ポートの設定（リード／ライト）を行わないでください。変換分解能が低下することがあります。

備考　LSB：Least Significant Bit
FSR：Full Scale Range

D/Aコンバータ

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, 3.0 V$\leqq AV_{REF1} \leqq$3.6 V, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
分解能					8	bit
総合誤差注1		R = 2 MΩ			±1.2	%FSR
セトリング・タイム		C = 20 pF			3	μs
出力抵抗	R_O	出力データ55H		3.5		kΩ
基準電圧	AV_{REF1}		3.0		3.6	V
AV_{REF1}電流注2	AI_{REF1}	D/A変換動作時		1	2.5	mA
		D/A変換停止時			5	μA

注1.　量子化誤差（±0.5 LSB）は含みません。
　2.　D/Aコンバータ1チャネル分の値

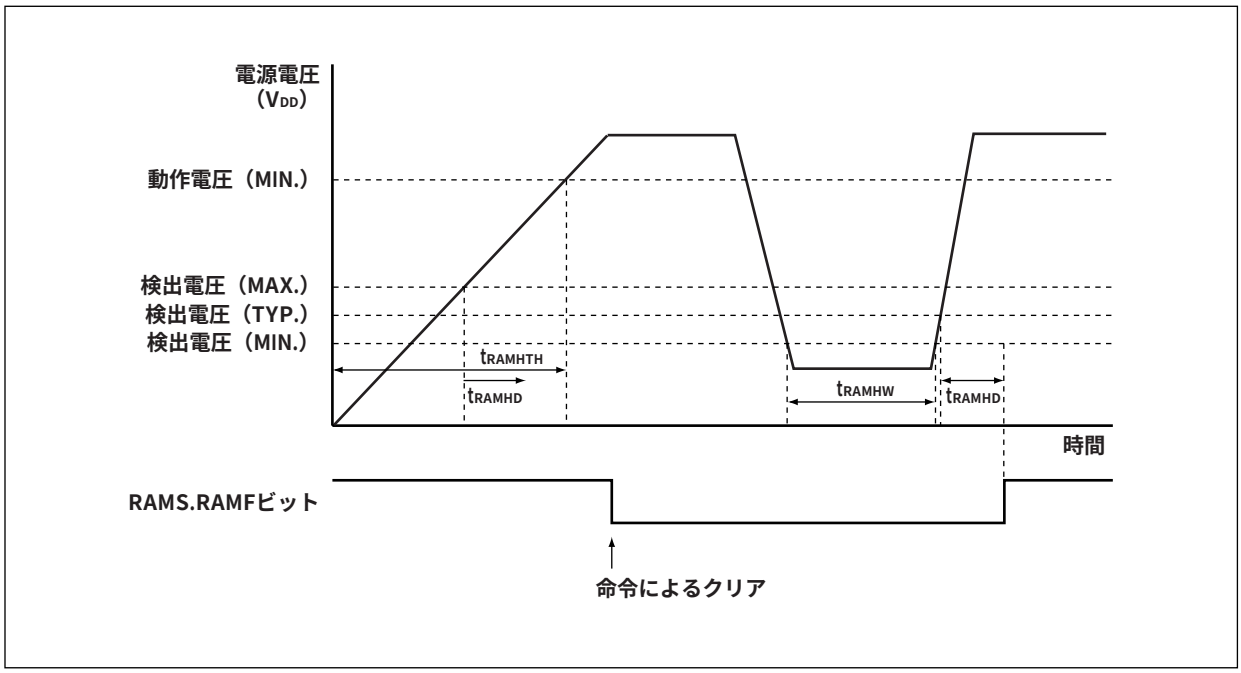
備考　Rは出力端子の負荷抵抗，Cは出力端子の負荷容量です。

RAM保持検出

（T_A = －40～＋85 °C, $BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	V_{DD} = 0～3.0 V	0.002			ms
応答時間[注]	t_{RAMHD}	V_{DD}が2.1 Vに達したあと		0.2	2.0	ms
最小パルス幅	t_{RAMHW}		0.2			ms

注　検出電圧を検出してRAMS.RAMFビットを設定するまでの時間です。



フラッシュ・メモリ・プログラミング特性

（T_A = －40～＋85 °C，$BV_{DD} \leqq V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$ = 0 V, C_L = 50 pF）

（1）基本特性

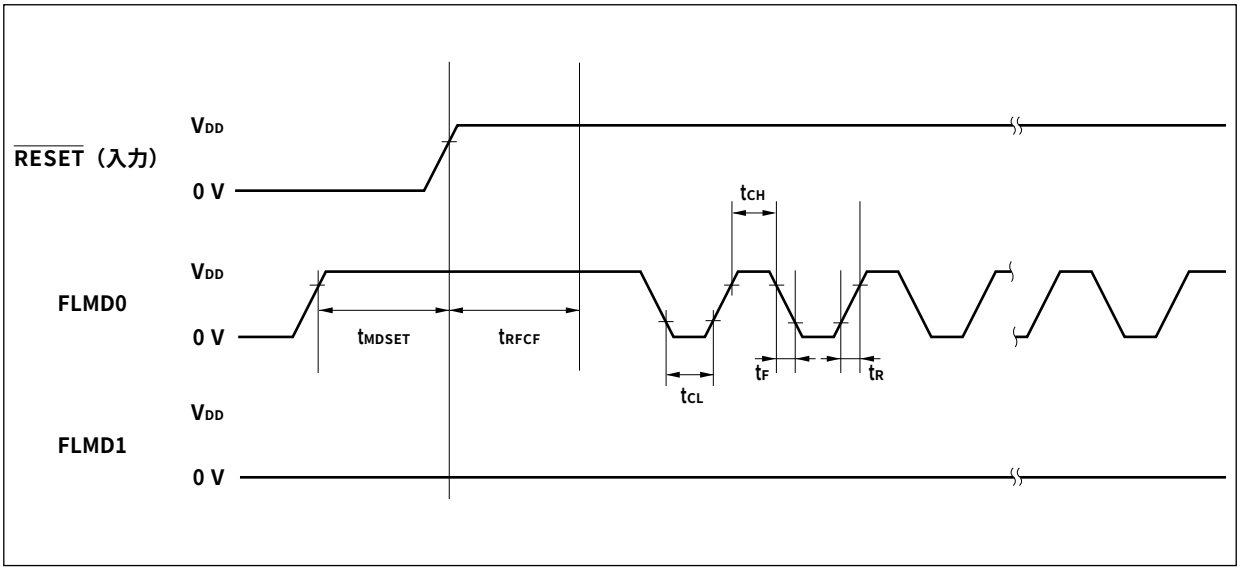
項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
動作周波数	f_{CPU}		2.5		32	MHz
電源電圧	V_{DD}		3.0		3.6	V
書き換え回数	C_{WRT}				100	回
プログラミング温度	t_{PRG}		－40		＋85	℃

（2）シリアル書き込みオペレーション特性

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
FLMD0, FLMD1設定時間	t_{MDSET}		2		3000	ms
$\overline{\text{RESET}}$↑→FLMD0カウント開始時間	t_{RFCF}	f_X = 2.5～8 MHz	17855/f_X ＋α			s
FLMD0カウンタ・ハイ・レベル幅／ロウ・レベル幅	t_{CH}/t_{CL}		10	100		μs
FLMD0カウンタ立ち上がり時間／立ち下がり時間	t_R/t_F				50	ns

備考　α：発振安定時間

フラッシュ書き込みモード設定タイミング



(3) プログラミング特性

項　　目	略　号	条　　件		MIN.	TYP.	MAX.	単　位
ブロック消去時間		f_{XX} = 32 MHz	注1		651.3		ms
			注2		3081.9		ms
			注3		6727.7		ms
256バイトあたりの書き込み時間		f_{XX} = 32 MHz			8.7		ms
ブロック内部ベリファイ時間		f_{XX} = 32 MHz	注1		49.0		ms
			注2		342.9		ms
			注3		783.9		ms
ブロック・ブランク・チェック時間		f_{XX} = 32 MHz	注1		22.7		ms
			注2		159.2		ms
			注3		364.0		ms
フラッシュ情報設定時間		f_{XX} = 32 MHz			1.1		ms

注1.　ブロック・サイズ = 8 Kバイト

2.　ブロック・サイズ = 56 Kバイト

3.　ブロック・サイズ = 128 Kバイト

注意　出荷品に対する初回書き込み時には，「消去→書き込み」の場合も「書き込みのみ」の場合も，書き換え回数は1回となります。

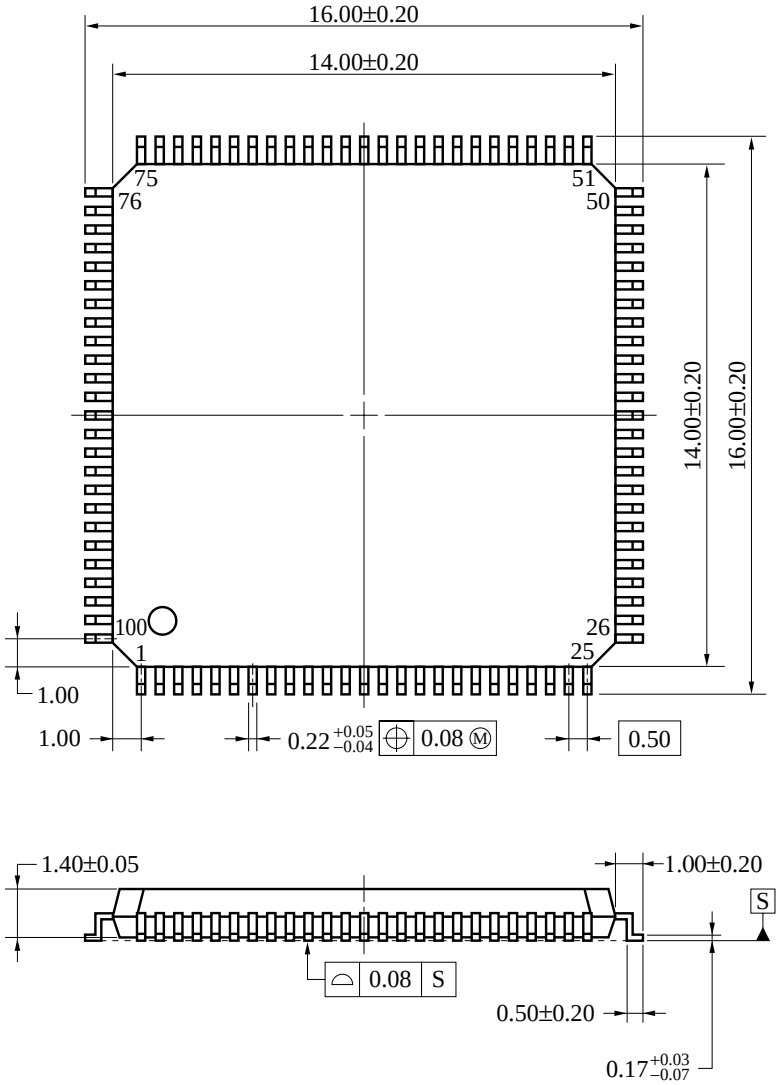
例　（P：書き込み，E：消去）

出荷品──→P→E→P→E→P　　：書き換え回数3回

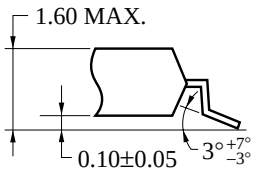
出荷品→E→P→E→P→E→P　　：書き換え回数3回

第32章　外 形 図

100ピン・プラスチック LQFP（ファインピッチ）（14x14）外形図（単位：mm）



端子先端形状詳細図



S100GC-50-8EU, 8EA-2

第33章　半田付け推奨条件

未定

付録A　開発ツール

V850ES/SG2を使用するシステム開発のために，次のような開発ツールを用意しています。
図A－1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

特に断りのないかぎり，IBM PC/AT™互換機でサポートされている製品については，PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は，IBM PC/AT互換機の説明を参照してください。

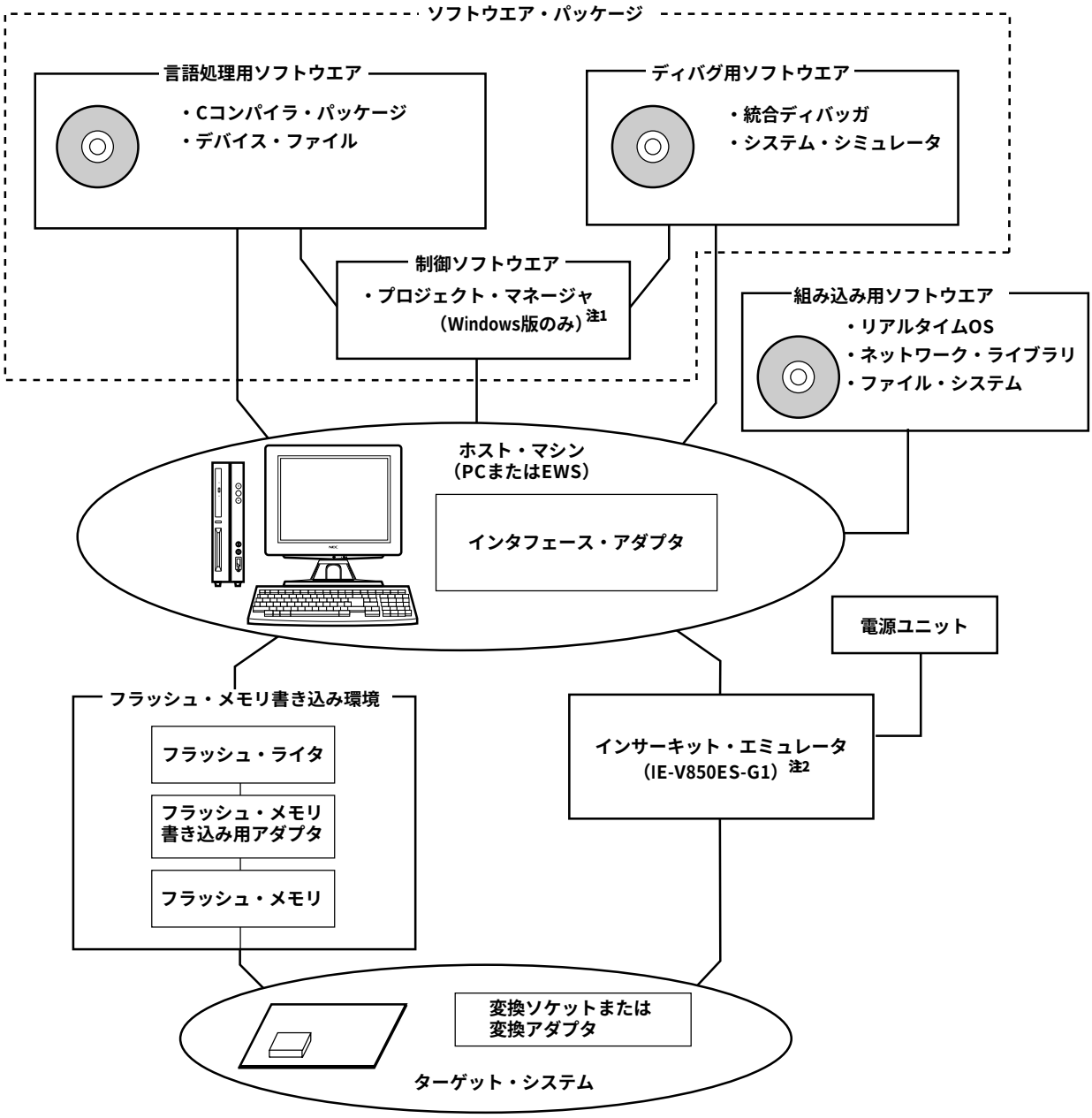
●Windows について

特に断りのないかぎり，「Windows」は次のOSを示しています。

- Windows 98, 2000
- Windows Me
- Windows XP
- Windows NT　Ver. 4.0

図A－1　開発ツール構成（1/2）

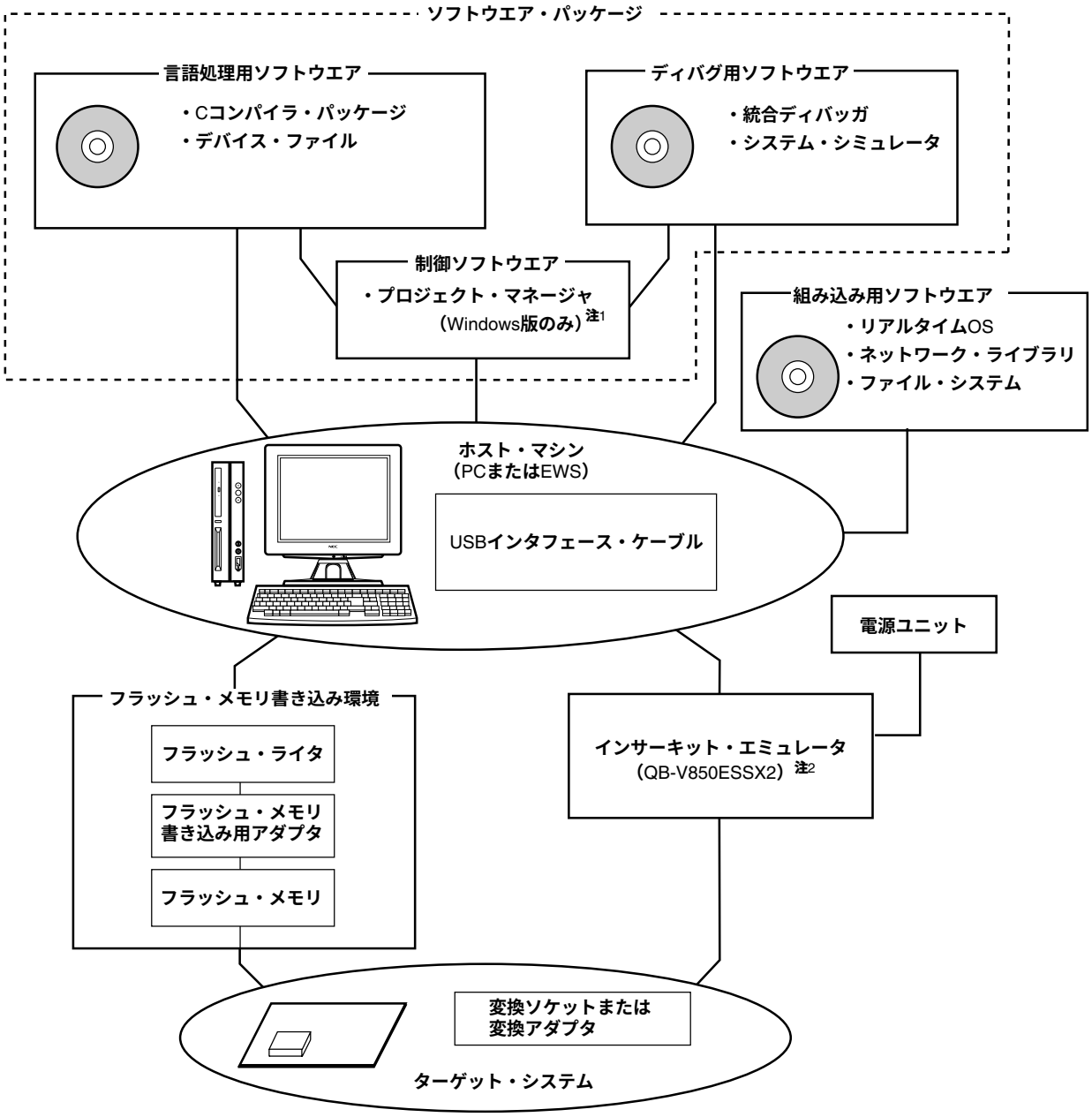
（1）インサーキット・エミュレータ　IE-V850ES-G1を使用する場合



注1．プロジェクト・マネージャ PM+は，Cコンパイラ・パッケージに入っています。
　　また，Windows以外ではPM+は使用できません。
　2．IE-V850ES-G1以外の製品は，すべてオプションです。

図A－1　開発ツール構成（2/2）

（2）IECUBE®　QB-V850ESSX2を使用する場合



注1．プロジェクト・マネージャ PM+は，Cコンパイラ・パッケージに入っています。
また，Windows以外ではPM+は使用できません。

2．QB-V850ESSX2は，ID850QB，簡易ライタ　PG-FPL，電源ユニットとUSBインタフェース・ケーブルを添付しています。それ以外の製品は，すべてオプションです。

A. 1　ソフトウエア・パッケージ

SP850 V850シリーズ・ソフトウエア・パッケージ	V850シリーズ共通の開発ツール（ソフトウエア）を1つのパッケージにした製品です。
	オーダ名称：μS××××SP850

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SP850

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	

A. 2　言語処理用ソフトウエア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを，マイコンの実行可能なオブジェクト・コードに変換するプログラムです。プロジェクト・マネージャ PM+から起動されます。
	オーダ名称：μS××××CA703000
DF703283H デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850, SM850, ID850）と組み合わせて使用します。 対応OS，ホスト・マシンは組み合わされる各ツールに依存します。

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××CA703000

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	
3K17	SPARCstation™	SunOS™（Rel. 4.1.4）， Solaris™（Rel. 2.5.1）	

A. 3　制御ソフトウエア

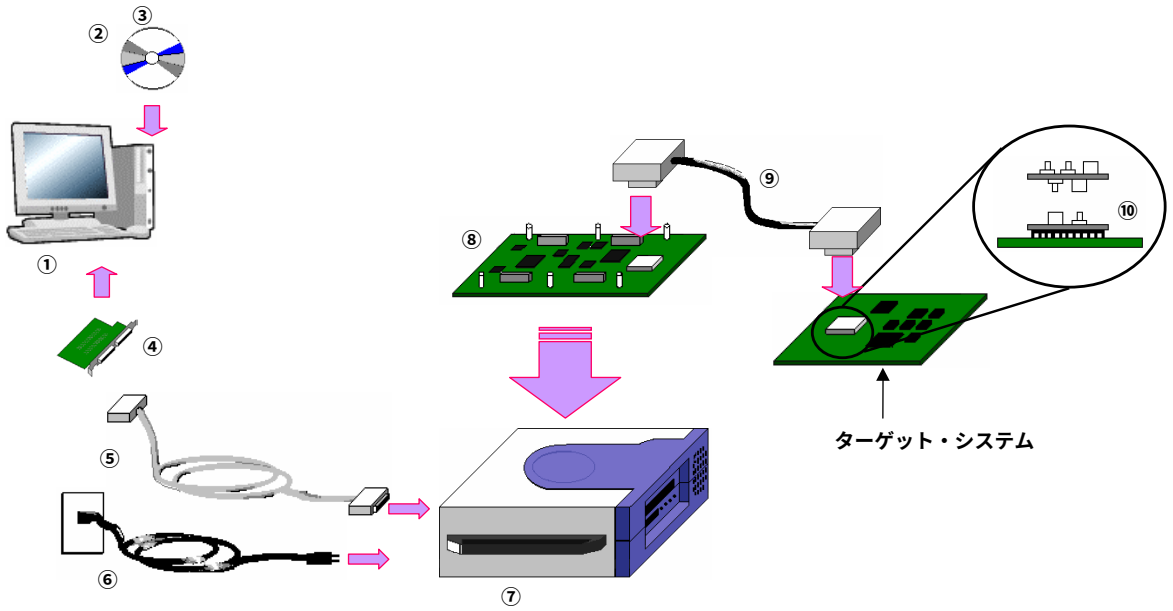
PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウエアです。PM+上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 ＜注意＞ PM+は，Cコンパイラ・パッケージ CA850の中に入っています。 Windows以外の環境では使用できません。

A. 4　ディバグ用ツール（ハードウエア）

A. 4. 1　インサーキット・エミュレータ　IE-V850ES-G1を使用する場合

IE-703288-G1-EM1にIE-V850ES-G1を接続し，さらにホスト・マシン（PC-9800シリーズ，PC/AT互換機）と接続して使用する場合のシステム構成を次に示します。

図A－2　システム構成（IE-V850ES-G1を使用する場合）



① ホスト・マシン（PC-9800シリーズ，PC/AT互換機）
② ディバッガ
③ デバイス・ファイル
④ PCインタフェース・ボード（PCIバスまたはPCMCIA用）
⑤ PCインタフェース・ケーブル（IE-V850ES-G1に付属）
⑥ 電源ケーブル（IE-V850ES-G1に付属）
⑦ インサーキット・エミュレータ（IE-V850ES-G1）
⑧ インサーキット・エミュレータ・エミュレーション・ボード（IE-703288-G1-EM1）
⑨ プローブ（IE-703288-G1-EM1に付属）
⑩ EV-703288GC100

⑦	IE-V850ES-G1 インサーキット・エミュレータ	V850シリーズを使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのインサーキット・エミュレータです。統合ディバッガ ID850に対応しています。電源ユニット，エミュレーション・プローブ，およびホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
④	IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてのノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです（PCMCIAソケット対応）。
④	IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
⑧	IE-703288-G1-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウエアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
⑨	GXP-CABLE エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 エミュレーション・ボード IE-703288-G1-EM1に添付されています。
⑩	EV-703288GC100 変換アダプタ	100ピン・プラスチックLQFP（GC-8EAタイプ）を実装できるように作られたターゲット・システムの基板と，エミュレーション・プローブを接続するための変換アダプタです。

備考1.　表内の番号は図A－2の番号に対応しています。

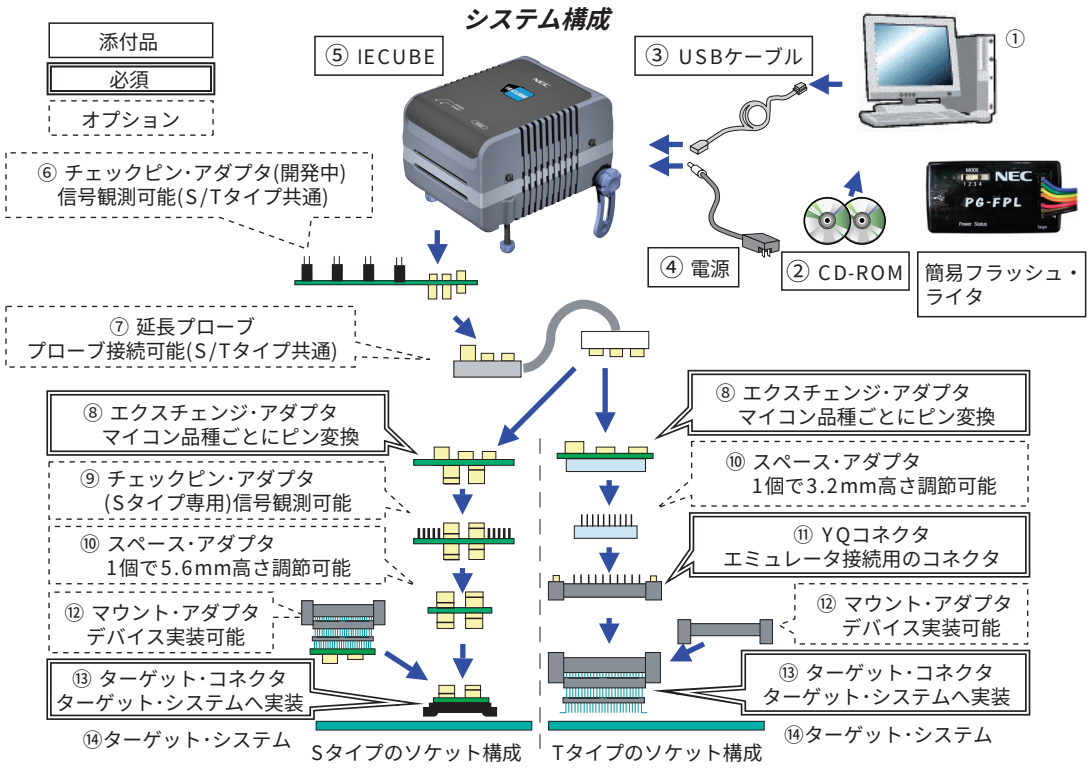
2.　EV-703288GC100は，株式会社アプリケーションの製品です。

問い合わせ先：株式会社アプリケーション（TEL（042）732-1377）

A. 4. 2　IECUBE　QB-V850ESSX2を使用する場合

QB-V850ESSX2とホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A－3　システム構成（QB-V850ESSX2を使用する場合）（1/2）



① **ホスト・マシン**（PC-9821**シリーズ，**IBM-PC/AT**互換機**）

② **ディバッガ，**USB**ドライバ，マニュアルなど**（ID850QB Disk, Accessory Disk[注1]）

③ USB**インタフェース・ケーブル**

④ AC**アダプタ**

⑤ **インサーキット・エミュレータ**（QB-V850ESSX2）

⑥ **チェックピン・アダプタ**（S/T**タイプ共通**）（QB-144-CA-01[注2]）（**オプション**）

⑦ **延長プローブ同軸タイプ**（QB-144-EP-01S）（**オプション**）

⑧ **エクスチェンジ・アダプタ**[注3]（S**タイプ：**QB-100GC-EA-01S, T**タイプ：**QB-100GC-EA-01T）

⑨ **チェックピン・アダプタ**[注4]（S**タイプのみ**）（QB-100-CA-01S）（**オプション**）

⑩ **スペース・アダプタ**[注4]（S**タイプ：**QB-100-SA-01S, T**タイプ：**QB-100GC-YS-01T）（**オプション**）

⑪ YQ**コネクタ**[注3]（T**タイプのみ**）（QB-100GC-YQ-01T）

⑫ **マウント・アダプタ**（S**タイプ：**QB-100GC-MA-01S, T**タイプ：**QB-100GC-HQ-01T）（**オプション**）

⑬ **ターゲット・コネクタ**[注3]（S**タイプ：**QB-100GC-TC-01S, T**タイプ：**QB-100GC-NQ-01T）

⑭ **ターゲット・システム**

図A－3　システム構成（QB-V850ESSX2を使用する場合）（2/2）

注1. デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

http://www.necel.com/micro/ods/jpn/index.html

2. 開発中

3. オーダ品名によっては，添付品となります。

- QB-V850ESSX2-ZZZでオーダした場合
  エクスチェンジ・アダプタ，ターゲット・コネクタは添付されていません。
- QB-V850ESSX2-S100GCでオーダした場合
  QB-100GC-EA-01S, QB-100GC-TC-01Sが添付されています。
- QB-V850ESSX2-T100GCでオーダした場合
  QB-100GC-EA-01T, QB-100GC-YQ-01T, QB-100GC-NQ-01Tが添付されています。

4. ⑨と⑩の両方を使用する場合，⑨と⑩の接続順序が逆でも接続できます。

⑤ QB-V850ESSX2[注] インサーキット・エミュレータ	V850ES/SG2を使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのインサーキット・エミュレータです。統合ディバッガ ID850QBに対応しています。電源ユニット，エミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は，USBを使用します。
③ USBインタフェース・ケーブル	ホスト・マシンとQB-V850ESSX2を接続するケーブルです。
④ ACアダプタ	ACプラグ差し替えで100～240 Vに対応可能です。
⑧ QB-100GC-EA-01S, QB-100GC-EA-01T エクスチェンジ・アダプタ	ピン変換を行うアダプタです。
⑨ QB-100-CA-01S チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。
⑩ QB-100-SA-01S, QB-100GC-YS-01T スペース・アダプタ	高さ調節用アダプタです。
⑫ QB-100GC-MA-01S, QB-100GC-HQ-01T マウント・アダプタ	V850ES/SG2をソケット実装するためのアダプタです。
⑬ QB-100GC-TC-01S, QB-100GC-NQ-01T ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。

注　QB-V850ESSX2は，電源ユニット，USBインタフェース・ケーブルと簡易ライタ　PG-FPLを添付しています。
また，コントロール・ソフトウエアとして，統合ディバッガ ID850QBを添付しています。

備考　表内の番号は図A－3の番号に対応しています。

A. 5　ディバグ用ツール（ソフトウエア）

SM850[注] システム・シミュレータ	V850シリーズ用のシステム・シミュレータです。SM850, SM+は，Windowsベースのソフトウエアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら，Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。 SM850, SM+を使用することにより，アプリケーションの論理検証，性能検証をハードウエア開発から独立して行えます。したがって，開発効率やソフトウエア品質の向上が図れます。 別売のデバイス・ファイルと組み合わせて使用します。
SM+[注] システム・シミュレータ	オーダ名称：μS××××SM703000（SM850） μS××××SM703100（SM+）
ID850 統合ディバッガ （インサーキット・エミュレータ IE-V850ES-G1対応）	V850シリーズ用のインサーキット・エミュレータに対応したディバッガです。ID850, ID850QBは，Windowsベースのソフトウエアです。 C言語対応のディバグ機能を強化しており，ソース・プログラムや逆アセンブル表示，メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより，トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。
ID850QB 統合ディバッガ （インサーキット・エミュレータ QB-V850ESSX2対応）	オーダ名称：μS××××ID703000, μS××××ID703000-GC（ID850）

注　開発中

備考　オーダ名称の××××は，使用するOSにより異なります。

μS××××SM703000
μS××××SM703100
μS××××ID703000
μS××××ID703000-GC

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	

A. 6　組み込み用ソフトウエア

RX850, RX850 Pro リアルタイムOS	μITRON3.0仕様に準拠したリアルタイムOSです。 複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 RX850よりRX850 Proの方が多機能になっています。
	オーダ名称：μS××××RX703000-△△△△（RX850） μS××××RX703100-△△△△（RX850 Pro）
V850mini-NET（仮称） （ネットワーク・ライブラリ）	RFC準拠のネットワーク・ライブラリです。 コンパクトな設計をしており，使用メモリを小さく抑えた軽量TCP/IPです。 TCP/IP基準セットに加え，HTTPサーバ，SMTPクライアント，POPクライアントもサポートしています。
RX-FS850 （ファイル・システム）	FATファイル・システム機能です。 CD-ROMファイル・システム機能をサポートしたファイル・システムです。 リアルタイムOS RX850 Proと共に使用します。

注意　RX850, RX850 Proを購入する際，事前に購入申込書にご記入のうえ，使用許諾契約書を締結してください。

備考　オーダ名称の××××および△△△△は，使用するホスト・マシン，OSなどにより異なります。

μS×××× RX703000-△△△△

μS×××× RX703100-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	
3K17	SPARCstation	Solaris（Rel. 2.5.1）	

A. 7　フラッシュ・メモリ書き込み用ツール

Flashpro IV（型番　PG-FP4） フラッシュ・ライタ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライタです。
FA-100GC-8EU-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro IVに接続して使用します。 ・FA-100GC-8EU-A：100ピン・プラスチックLQFP（GC-8EAタイプ）用

備考　FA-100GC-8EU-Aは，株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

付録B　レジスタ索引

(1/12)

略　　号	名　　称	ユニット	ページ
ADA0CR0	A/D変換結果レジスタ0	ADC	441
ADA0CR0H	A/D変換結果レジスタ0H	ADC	441
ADA0CR1	A/D変換結果レジスタ1	ADC	441
ADA0CR10	A/D変換結果レジスタ10	ADC	441
ADA0CR10H	A/D変換結果レジスタ10H	ADC	441
ADA0CR11	A/D変換結果レジスタ11	ADC	441
ADA0CR11H	A/D変換結果レジスタ11H	ADC	441
ADA0CR1H	A/D変換結果レジスタ1H	ADC	441
ADA0CR2	A/D変換結果レジスタ2	ADC	441
ADA0CR2H	A/D変換結果レジスタ2H	ADC	441
ADA0CR3	A/D変換結果レジスタ3	ADC	441
ADA0CR3H	A/D変換結果レジスタ3H	ADC	441
ADA0CR4	A/D変換結果レジスタ4	ADC	441
ADA0CR4H	A/D変換結果レジスタ4H	ADC	441
ADA0CR5	A/D変換結果レジスタ5	ADC	441
ADA0CR5H	A/D変換結果レジスタ5H	ADC	441
ADA0CR6	A/D変換結果レジスタ6	ADC	441
ADA0CR6H	A/D変換結果レジスタ6H	ADC	441
ADA0CR7	A/D変換結果レジスタ7	ADC	441
ADA0CR7H	A/D変換結果レジスタ7H	ADC	441
ADA0CR8	A/D変換結果レジスタ8	ADC	441
ADA0CR8H	A/D変換結果レジスタ8H	ADC	441
ADA0CR9	A/D変換結果レジスタ9	ADC	441
ADA0CR9H	A/D変換結果レジスタ9H	ADC	441
ADA0M0	A/Dコンバータ・モード・レジスタ0	ADC	435
ADA0M1	A/Dコンバータ・モード・レジスタ1	ADC	437
ADA0M2	A/Dコンバータ・モード・レジスタ2	ADC	440
ADA0PFM	パワー・フェイル比較モード・レジスタ	ADC	443
ADA0PFT	パワー・フェイル比較しきい値レジスタ	ADC	444
ADA0S	A/Dコンバータ・チャネル指定レジスタ	ADC	441
ADIC	割り込み制御レジスタ	INTC	880
AWC	アドレス・ウエイト・コントロール・レジスタ	BCU	187
BCC	バス・サイクル・コントロール・レジスタ	BCU	188
BCR	IEBusコントロール・レジスタ	IEBus	637
BPC	周辺I/O領域セレクト制御レジスタ	BCU	80
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	176
C0BRP	CAN0モジュール・ビット・レート・プリスケーラ・レジスタ	CAN	756
C0BTR	CAN0ビット・レート・レジスタ	CAN	757
C0CTRL	CAN0モジュール制御レジスタ	CAN	746

(2/12)

略　　号	名　　称	ユニット	ページ
C0ERC	CAN0モジュール・エラー・カウンタ・レジスタ	CAN	752
C0GMABT	CAN0グローバル自動ブロック送信制御レジスタ	CAN	741
C0GMABTD	CAN0グローバル自動ブロック送信遅延設定レジスタ	CAN	743
C0GMCS	CAN0グローバル・クロック選択レジスタ	CAN	740
C0GMCTRL	CAN0グローバル制御レジスタ	CAN	738
C0IE	CAN0モジュール割り込み許可レジスタ	CAN	753
C0INFO	CAN0モジュール情報レジスタ	CAN	751
C0INTS	CAN0モジュール割り込みステータス・レジスタ	CAN	755
C0LEC	CAN0モジュール最終エラー情報レジスタ	CAN	750
C0LIPT	CAN0モジュール最終受信ポインタ・レジスタ	CAN	759
C0LOPT	CAN0モジュール最終送信ポインタ・レジスタ	CAN	761
C0MASK1H	CAN0モジュール・マスク1レジスタH	CAN	744
C0MASK1L	CAN0モジュール・マスク1レジスタL	CAN	744
C0MASK2H	CAN0モジュール・マスク2レジスタH	CAN	744
C0MASK2L	CAN0モジュール・マスク2レジスタL	CAN	744
C0MASK3H	CAN0モジュール・マスク3レジスタH	CAN	744
C0MASK3L	CAN0モジュール・マスク3レジスタL	CAN	744
C0MASK4H	CAN0モジュール・マスク4レジスタH	CAN	744
C0MASK4L	CAN0モジュール・マスク4レジスタL	CAN	744
C0MCONFm	CAN0メッセージ・レジスタm	CAN	768
C0MCTRLm	CAN0メッセージ制御レジスタm	CAN	770
C0MDATA01m	CAN0メッセージ・データ・バイト01レジスタm	CAN	765
C0MDATA0m	CAN0メッセージ・データ・バイト0レジスタm	CAN	765
C0MDATA1m	CAN0メッセージ・データ・バイト1レジスタm	CAN	765
C0MDATA23m	CAN0メッセージ・データ・バイト23レジスタm	CAN	765
C0MDATA2m	CAN0メッセージ・データ・バイト2レジスタm	CAN	765
C0MDATA3m	CAN0メッセージ・データ・バイト3レジスタm	CAN	765
C0MDATA45m	CAN0メッセージ・データ・バイト45レジスタm	CAN	765
C0MDATA4m	CAN0メッセージ・データ・バイト4レジスタm	CAN	765
C0MDATA5m	CAN0メッセージ・データ・バイト5レジスタm	CAN	765
C0MDATA67m	CAN0メッセージ・データ・バイト67レジスタm	CAN	765
C0MDATA6m	CAN0メッセージ・データ・バイト6レジスタm	CAN	765
C0MDATA7m	CAN0メッセージ・データ・バイト7レジスタm	CAN	765
C0MDLCm	CAN0メッセージ・データ長コード・レジスタm	CAN	767
C0MIDHm	CAN0メッセージIDレジスタmH	CAN	769
C0MIDLm	CAN0メッセージIDレジスタmL	CAN	769
C0RGPT	CAN0モジュール受信ヒストリ・リスト・レジスタ	CAN	760
C0TGPT	CAN0モジュール・送信ヒストリ・リスト・レジスタ	CAN	762
C0TS	CAN0モジュール・タイム・スタンプ・レジスタ	CAN	763
CB0CTL0	CSIB0制御レジスタ0	CSIB	513
CB0CTL1	CSIB0制御レジスタ1	CSIB	516
CB0CTL2	CSIB0制御レジスタ2	CSIB	517
CB0RIC	割り込み制御レジスタ	INTC	880

備考　m = 00-31

(3/12)

略　　号	名　　称	ユニット	ページ
CB0RX	CSIB0受信データ・レジスタ	CSIB	512
CB0RXL	CSIB0受信データ・レジスタL	CSIB	512
CB0STR	CSIB0状態レジスタ	CSIB	519
CB0TIC	割り込み制御レジスタ	INTC	880
CB0TX	CSIB0送信データ・レジスタ	CSI	512
CB0TXL	CSIB0送信データ・レジスタL	CSI	512
CB1CTL0	CSIB1制御レジスタ0	CSI	513
CB1CTL1	CSIB1制御レジスタ1	CSI	516
CB1CTL2	CSIB1制御レジスタ2	CSI	517
CB1RIC	割り込み制御レジスタ	INTC	880
CB1RX	CSIB1受信データ・レジスタ	CSI	512
CB1RXL	CSIB1受信データ・レジスタL	CSI	512
CB1STR	CSIB1状態レジスタ	CSI	519
CB1TIC	割り込み制御レジスタ	INTC	880
CB1TX	CSIB1送信データ・レジスタ	CSI	512
CB1TXL	CSIB1送信データ・レジスタL	CSI	512
CB2CTL0	CSIB2制御レジスタ0	CSI	513
CB2CTL1	CSIB2制御レジスタ1	CSI	516
CB2CTL2	CSIB2制御レジスタ2	CSI	517
CB2RIC	割り込み制御レジスタ	INTC	880
CB2RX	CSIB2受信データ・レジスタ	CSI	512
CB2RXL	CSIB2受信データ・レジスタL	CSI	512
CB2STR	CSIB2状態レジスタ	CSI	519
CB2TIC	割り込み制御レジスタ	INTC	880
CB2TX	CSIB2送信データ・レジスタ	CSI	512
CB2TXL	CSIB2送信データ・レジスタL	CSI	512
CB3CTL0	CSIB3制御レジスタ0	CSI	513
CB3CTL1	CSIB3制御レジスタ1	CSI	516
CB3CTL2	CSIB3制御レジスタ2	CSI	517
CB3RIC	割り込み制御レジスタ	INTC	880
CB3RX	CSIB3受信データ・レジスタ	CSI	512
CB3RXL	CSIB3受信データ・レジスタL	CSI	512
CB3STR	CSIB3状態レジスタ	CSI	519
CB3TIC	割り込み制御レジスタ	INTC	880
CB3TX	CSIB3送信データ・レジスタ	CSI	512
CB3TXL	CSIB3送信データ・レジスタL	CSI	512
CB4CTL0	CSIB4制御レジスタ0	CSI	513
CB4CTL1	CSIB4制御レジスタ1	CSI	516
CB4CTL2	CSIB4制御レジスタ2	CSI	517
CB4RIC	割り込み制御レジスタ	INTC	880
CB4RX	CSIB4受信データ・レジスタ	CSI	512
CB4RXL	CSIB4受信データ・レジスタL	CSI	512
CB4STR	CSIB4状態レジスタ	CSI	519
CB4TIC	割り込み制御レジスタ	INTC	880

(4/12)

略　　号	名　　称	ユニット	ページ
CB4TX	CSIB4送信データ・レジスタ	CSI	512
CB4TXL	CSIB4送信データ・レジスタL	CSI	512
CCLS	CPU動作クロック・ステータス・レジスタ	CG	205
CCR	IEBusコミュニケーション・カウント・レジスタ	IEBus	666
CDR	IEBusコントロール・データ・レジスタ	IEBus	657
CKC	クロック・コントロール・レジスタ	CG	208
CLM	クロック・モニタ・モード・レジスタ	CLM	936
CORAD0	コレクション・アドレス・レジスタ0	ROMC	943
CORAD0H	コレクション・アドレス・レジスタ0H	ROMC	943
CORAD0L	コレクション・アドレス・レジスタ0L	ROMC	943
CORAD1	コレクション・アドレス・レジスタ1	ROMC	943
CORAD1H	コレクション・アドレス・レジスタ1H	ROMC	943
CORAD1L	コレクション・アドレス・レジスタ1L	ROMC	943
CORAD2	コレクション・アドレス・レジスタ2	ROMC	943
CORAD2H	コレクション・アドレス・レジスタ2H	ROMC	943
CORAD2L	コレクション・アドレス・レジスタ2L	ROMC	943
CORAD3	コレクション・アドレス・レジスタ3	ROMC	943
CORAD3H	コレクション・アドレス・レジスタ3H	ROMC	943
CORAD3L	コレクション・アドレス・レジスタ3L	ROMC	943
CORCN	コレクション・コントロール・レジスタ	ROMC	944
CRCD	CRCデータ・レジスタ	CRC	859
CRCIN	CRCインプット・レジスタ	CRC	859
CTBP	CALLTベース・ポインタ	CPU	57
CTPC	CALLT実行時状態退避レジスタ	CPU	56
CTPSW	CALLT実行時状態退避レジスタ	CPU	56
DA0CS0	D/Aコンバータ変換値設定レジスタ0	DAC	468
DA0CS1	D/Aコンバータ変換値設定レジスタ1	DAC	468
DA0M	D/Aコンバータ・モード・レジスタ	DAC	467
DADC0	DMAアドレシング・コントロール・レジスタ0	DMAC	840
DADC1	DMAアドレシング・コントロール・レジスタ1	DMAC	840
DADC2	DMAアドレシング・コントロール・レジスタ2	DMAC	840
DADC3	DMAアドレシング・コントロール・レジスタ3	DMAC	840
DBC0	DMA転送カウント・レジスタ0	DMAC	839
DBC1	DMA転送カウント・レジスタ1	DMAC	839
DBC2	DMA転送カウント・レジスタ2	DMAC	839
DBC3	DMA転送カウント・レジスタ3	DMAC	839
DBPC	例外／ディバグ・トラップ時状態退避レジスタ	CPU	57
DBPSW	例外／ディバグ・トラップ時状態退避レジスタ	CPU	57
DCHC0	DMAチャネル・コントロール・レジスタ0	DMAC	841
DCHC1	DMAチャネル・コントロール・レジスタ1	DMAC	841
DCHC2	DMAチャネル・コントロール・レジスタ2	DMAC	841
DCHC3	DMAチャネル・コントロール・レジスタ3	DMAC	841
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	838
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	838

(5/12)

略　　号	名　　称	ユニット	ページ
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	838
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	838
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	838
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	838
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	838
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	838
DLR	IEBus電文長レジスタ	IEBus	662
DMAIC0	割り込み制御レジスタ	INTC	880
DMAIC1	割り込み制御レジスタ	INTC	880
DMAIC2	割り込み制御レジスタ	INTC	880
DMAIC3	割り込み制御レジスタ	INTC	880
DR	IEBusデータ・レジスタ	IEBus	663
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	837
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	837
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	837
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	837
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	837
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	837
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	837
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	837
DTFR0	DMAトリガ要因レジスタ0	DMAC	842
DTFR1	DMAトリガ要因レジスタ1	DMAC	842
DTFR2	DMAトリガ要因レジスタ2	DMAC	842
DTFR3	DMAトリガ要因レジスタ3	DMAC	842
DWC0	データ・ウエイト・コントロール・レジスタ0	BCU	184
ECR	割り込み要因レジスタ	CPU	54
EIPC	割り込み時状態退避レジスタ	CPU	53
EIPSW	割り込み時状態退避レジスタ	CPU	53
ERRIC	割り込み制御レジスタ	INTC	880
ERRIC0	割り込み制御レジスタ	INTC	880
ESR	IEBusエラー・ステータス・レジスタ	IEBus	650
EXIMC	外部バス・インタフェース・モード・コントロール・レジスタ	BCU	175
FEPC	NMI時状態退避レジスタ	CPU	54
FEPSW	NMI時状態退避レジスタ	CPU	54
FSR	IEBusフィールド・ステータス・レジスタ	IEBus	664
IEIC1	割り込み制御レジスタ	INTC	880
IEIC2	割り込み制御レジスタ	INTC	880
IIC0	IICシフト・レジスタ0	I^2C	561
IIC1	IICシフト・レジスタ1	I^2C	561
IIC2	IICシフト・レジスタ2	I^2C	561
IICC0	IICコントロール・レジスタ0	I^2C	547
IICC1	IICコントロール・レジスタ1	I^2C	547
IICC2	IICコントロール・レジスタ2	I^2C	547
IICCL0	IICクロック選択レジスタ0	I^2C	557

(6/12)

略　　号	名　　称	ユニット	ページ
IICCL1	IICクロック選択レジスタ1	I²C	557
IICCL2	IICクロック選択レジスタ2	I²C	557
IICF0	IICフラグ・レジスタ0	I²C	555
IICF1	IICフラグ・レジスタ1	I²C	555
IICF2	IICフラグ・レジスタ2	I²C	555
IICIC0	割り込み制御レジスタ	INTC	880
IICIC1	割り込み制御レジスタ	INTC	880
IICIC2	割り込み制御レジスタ	INTC	880
IICS0	IIC状態レジスタ0	I²C	552
IICS1	IIC状態レジスタ1	I²C	552
IICS2	IIC状態レジスタ2	I²C	552
IICX0	IIC機能拡張レジスタ0	I²C	558
IICX1	IIC機能拡張レジスタ1	I²C	558
IICX2	IIC機能拡張レジスタ2	I²C	558
IMR0	割り込みマスク・レジスタ0	INTC	882
IMR0H	割り込みマスク・レジスタ0H	INTC	882
IMR0L	割り込みマスク・レジスタ0L	INTC	882
IMR1	割り込みマスク・レジスタ1	INTC	882
IMR1H	割り込みマスク・レジスタ1H	INTC	882
IMR1L	割り込みマスク・レジスタ1L	INTC	882
IMR2	割り込みマスク・レジスタ2	INTC	882
IMR2H	割り込みマスク・レジスタ2H	INTC	882
IMR2L	割り込みマスク・レジスタ2L	INTC	882
IMR3	割り込みマスク・レジスタ3	INTC	882
IMR3H	割り込みマスク・レジスタ3H	INTC	882
IMR3L	割り込みマスク・レジスタ3L	INTC	882
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	894
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	895
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	896
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	894
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	895
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	896
ISPR	インサービス・プライオリティ・レジスタ	INTC	884
ISR	IEBusインタラプト・ステータス・レジスタ	IEBus	647
KRIC	割り込み制御レジスタ	INTC	880
KRM	キー・リターン・モード・レジスタ	KR	902
LOCKR	ロック・レジスタ	CG	209
NFC	ノイズ除去制御レジスタ	INTC	897
OCDM	オンチップ・ディバグ・モード・レジスタ	ディバグ	973
OCKS0	IIC分周クロック選択レジスタ0	I²C	561
OCKS1	IIC分周クロック選択レジスタ1	I²C	561
OCKS2	IEBusクロック選択レジスタ	IEBus	667
OSTS	発振安定時間選択レジスタ	スタンバイ	907
P0	ポート0レジスタ	ポート	95

(7/12)

略　　号	名　　称	ユニット	ページ
P1	ポート1レジスタ	ポート	98
P3	ポート3レジスタ	ポート	99
P3H	ポート3レジスタH	ポート	99
P3L	ポート3レジスタL	ポート	99
P4	ポート4レジスタ	ポート	105
P5	ポート5レジスタ	ポート	107
P7H	ポート7レジスタH	ポート	113
P7L	ポート7レジスタL	ポート	113
P9	ポート9レジスタ	ポート	115
P9H	ポート9レジスタH	ポート	115
P9L	ポート9レジスタL	ポート	115
PAR	IEBusパートナ・アドレス・レジスタ	IEBus	656
PC	プログラム・カウンタ	CPU	51
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	201
PCM	ポートCMレジスタ	ポート	122
PCT	ポートCTレジスタ	ポート	124
PDH	ポートDHレジスタ	ポート	127
PDL	ポートDLレジスタ	ポート	129
PDLH	ポートDLレジスタH	ポート	129
PDLL	ポートDLレジスタL	ポート	129
PEMU1	周辺エミュレーション・レジスタ1	CPU	934
PF0	ポート0ファンクション制御レジスタ	ポート	97
PF3	ポート3ファンクション制御レジスタ	ポート	104
PF3H	ポート3ファンクション制御レジスタH	ポート	104
PF3L	ポート3ファンクション制御レジスタL	ポート	104
PF4	ポート4ファンクション制御レジスタ	ポート	106
PF5	ポート5ファンクション制御レジスタ	ポート	111
PF9	ポート9ファンクション制御レジスタ	ポート	121
PF9H	ポート9ファンクション制御レジスタH	ポート	121
PF9L	ポート9ファンクション制御レジスタL	ポート	121
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	97
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	102
PFC3H	ポート3ファンクション・コントロール・レジスタH	ポート	102
PFC3L	ポート3ファンクション・コントロール・レジスタL	ポート	102
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	106
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	109
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	118
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	118
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	118
PFCE3L	ポート3ファンクション・コントロール拡張レジスタL	ポート	102
PFCE5	ポート5ファンクション・コントロール拡張レジスタ	ポート	109
PFCE9	ポート9ファンクション・コントロール拡張レジスタ	ポート	118
PFCE9H	ポート9ファンクション・コントロール拡張レジスタH	ポート	118
PFCE9L	ポート9ファンクション・コントロール拡張レジスタL	ポート	118

(8/12)

略　　号	名　　称	ユニット	ページ
PIC0	割り込み制御レジスタ	INTC	880
PIC1	割り込み制御レジスタ	INTC	880
PIC2	割り込み制御レジスタ	INTC	880
PIC3	割り込み制御レジスタ	INTC	880
PIC4	割り込み制御レジスタ	INTC	880
PIC5	割り込み制御レジスタ	INTC	880
PIC6	割り込み制御レジスタ	INTC	880
PIC7	割り込み制御レジスタ	INTC	880
PLLCTL	PLLコントロール・レジスタ	CG	207
PLLS	PLLロックアップ時間指定レジスタ	CG	210
PM0	ポート0モード・レジスタ	ポート	96
PM1	ポート1モード・レジスタ	ポート	98
PM3	ポート3モード・レジスタ	ポート	100
PM3H	ポート3モード・レジスタH	ポート	100
PM3L	ポート3モード・レジスタL	ポート	100
PM4	ポート4モード・レジスタ	ポート	105
PM5	ポート5モード・レジスタ	ポート	108
PM7H	ポート7モード・レジスタH	ポート	113
PM7L	ポート7モード・レジスタL	ポート	113
PM9	ポート9モード・レジスタ	ポート	115
PM9H	ポート9モード・レジスタH	ポート	115
PM9L	ポート9モード・レジスタL	ポート	115
PMC0	ポート0モード・コントロール・レジスタ	ポート	96
PMC3	ポート3モード・コントロール・レジスタ	ポート	100
PMC3H	ポート3モード・コントロール・レジスタH	ポート	100
PMC3L	ポート3モード・コントロール・レジスタL	ポート	100
PMC4	ポート4モード・コントロール・レジスタ	ポート	106
PMC5	ポート5モード・コントロール・レジスタ	ポート	108
PMC9	ポート9モード・コントロール・レジスタ	ポート	116
PMC9H	ポート9モード・コントロール・レジスタH	ポート	116
PMC9L	ポート9モード・コントロール・レジスタL	ポート	116
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	123
PMCCT	ポートCTモード・コントロール・レジスタ	ポート	125
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	127
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	130
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	130
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	130
PMCM	ポートCMモード・レジスタ	ポート	122
PMCT	ポートCTモード・レジスタ	ポート	124
PMDH	ポートDHモード・レジスタ	ポート	127
PMDL	ポートDLモード・レジスタ	ポート	129
PMDLH	ポートDLモード・レジスタH	ポート	129
PMDLL	ポートDLモード・レジスタL	ポート	129
PRCMD	コマンド・レジスタ	CPU	82

(9/12)

略　　号	名　　称	ユニット	ページ
PRSCM0	プリスケーラ・コンペア・レジスタ	WT	413
PRSCM1	BRG1プリスケーラ・コンペア・レジスタ	BRG	537
PRSCM2	BRG2プリスケーラ・コンペア・レジスタ	BRG	537
PRSCM3	BRG3プリスケーラ・コンペア・レジスタ	BRG	537
PRSM0	プリスケーラ・モード・レジスタ	WT	412
PRSM1	BRG1プリスケーラ・モード・レジスタ	BRG	536
PRSM2	BRG2プリスケーラ・モード・レジスタ	BRG	536
PRSM3	BRG3プリスケーラ・モード・レジスタ	BRG	536
PSC	パワー・セーブ・コントロール・レジスタ	CG	905
PSMR	パワー・セーブ・モード・レジスタ	CG	906
PSR	IEBusパワー・セーブ・レジスタ	IEBus	641
PSW	プログラム・ステータス・ワード	CPU	55
r0-r31	汎用レジスタ	CPU	51
RAMS	内蔵RAMデータ・ステータス・レジスタ	CG	932
RCM	内蔵発振モード・レジスタ	CG	205
RECIC0	割り込み制御レジスタ	INTC	880
RESF	リセット要因フラグ・レジスタ	リセット	924
RSA	IEBus受信スレーブ・アドレス・レジスタ	IEBus	656
RTBH0	リアルタイム出力バッファ・レジスタ0H	RTP	426
RTBL0	リアルタイム出力バッファ・レジスタ0L	RTP	426
RTPC0	リアルタイム出力ポート・コントロール・レジスタ0	RTP	428
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RTP	427
SAR	IEBusスレーブ・アドレス・レジスタ	IEBus	655
SCR	IEBusサクセス・カウント・レジスタ	IEBus	665
SELCNT0	セレクタ動作制御レジスタ0	タイマ	298
SSR	IEBusスレーブ・ステータス・レジスタ	IEBus	642
STAIC	割り込み制御レジスタ	INTC	880
SVA0	IICスレーブ・アドレス・レジスタ0	I^2C	562
SVA1	IICスレーブ・アドレス・レジスタ1	I^2C	562
SVA2	IICスレーブ・アドレス・レジスタ2	I^2C	562
SYS	システム・ステータス・レジスタ	CPU	83
TM0CMP0	TMM0コンペア・レジスタ0	タイマ	402
TM0CTL0	TMM0制御レジスタ0	タイマ	403
TM0EQIC0	割り込み制御レジスタ	INTC	880
TP0CCIC0	割り込み制御レジスタ	INTC	880
TP0CCIC1	割り込み制御レジスタ	INTC	880
TP0CCR0	TMP0キャプチャ／コンペア・レジスタ0	タイマ	221
TP0CCR1	TMP0キャプチャ／コンペア・レジスタ1	タイマ	223
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	タイマ	225
TP0CTL0	TMP0制御レジスタ0	タイマ	215
TP0CTL1	TMP0制御レジスタ1	タイマ	215
TP0IOC0	TMP0 I/O制御レジスタ0	タイマ	217
TP0IOC1	TMP0 I/O制御レジスタ1	タイマ	218
TP0IOC2	TMP0 I/O制御レジスタ2	タイマ	219

(10/12)

略　　号	名　　称	ユニット	ページ
TP0OPT0	TMP0オプション・レジスタ0	タイマ	220
TP0OVIC	割り込み制御レジスタ	INTC	880
TP1CCIC0	割り込み制御レジスタ	INTC	880
TP1CCIC1	割り込み制御レジスタ	INTC	880
TP1CCR0	TMP1キャプチャ／コンペア・レジスタ0	タイマ	221
TP1CCR1	TMP1キャプチャ／コンペア・レジスタ1	タイマ	223
TP1CNT	TMP1カウンタ・リード・バッファ・レジスタ	タイマ	225
TP1CTL0	TMP1制御レジスタ0	タイマ	215
TP1CTL1	TMP1制御レジスタ1	タイマ	215
TP1IOC0	TMP1 I/O制御レジスタ0	タイマ	217
TP1IOC1	TMP1 I/O制御レジスタ1	タイマ	218
TP1IOC2	TMP1 I/O制御レジスタ2	タイマ	219
TP1OPT0	TMP1オプション・レジスタ0	タイマ	220
TP1OVIC	割り込み制御レジスタ	INTC	880
TP2CCIC0	割り込み制御レジスタ	INTC	880
TP2CCIC1	割り込み制御レジスタ	INTC	880
TP2CCR0	TMP2キャプチャ／コンペア・レジスタ0	タイマ	221
TP2CCR1	TMP2キャプチャ／コンペア・レジスタ1	タイマ	223
TP2CNT	TMP2カウンタ・リード・バッファ・レジスタ	タイマ	225
TP2CTL0	TMP2制御レジスタ0	タイマ	215
TP2CTL1	TMP2制御レジスタ1	タイマ	215
TP2IOC0	TMP2 I/O制御レジスタ0	タイマ	217
TP2IOC1	TMP2 I/O制御レジスタ1	タイマ	218
TP2IOC2	TMP2 I/O制御レジスタ2	タイマ	219
TP2OPT0	TMP2オプション・レジスタ0	タイマ	220
TP2OVIC	割り込み制御レジスタ	INTC	880
TP3CCIC0	割り込み制御レジスタ	INTC	880
TP3CCIC1	割り込み制御レジスタ	INTC	880
TP3CCR0	TMP3キャプチャ／コンペア・レジスタ0	タイマ	221
TP3CCR1	TMP3キャプチャ／コンペア・レジスタ1	タイマ	223
TP3CNT	TMP3カウンタ・リード・バッファ・レジスタ	タイマ	225
TP3CTL0	TMP3制御レジスタ0	タイマ	215
TP3CTL1	TMP3制御レジスタ1	タイマ	215
TP3IOC0	TMP3 I/O制御レジスタ0	タイマ	217
TP3IOC1	TMP3 I/O制御レジスタ1	タイマ	218
TP3IOC2	TMP3 I/O制御レジスタ2	タイマ	219
TP3OPT0	TMP3オプション・レジスタ0	タイマ	220
TP3OVIC	割り込み制御レジスタ	INTC	880
TP4CCIC0	割り込み制御レジスタ	INTC	880
TP4CCIC1	割り込み制御レジスタ	INTC	880
TP4CCR0	TMP4キャプチャ／コンペア・レジスタ0	タイマ	221
TP4CCR1	TMP4キャプチャ／コンペア・レジスタ1	タイマ	223
TP4CNT	TMP4カウンタ・リード・バッファ・レジスタ	タイマ	225
TP4CTL0	TMP4制御レジスタ0	タイマ	215

(11/12)

略　　号	名　　称	ユニット	ページ
TP4CTL1	TMP4制御レジスタ1	タイマ	215
TP4IOC0	TMP4 I/O制御レジスタ0	タイマ	217
TP4IOC1	TMP4 I/O制御レジスタ1	タイマ	218
TP4IOC2	TMP4 I/O制御レジスタ2	タイマ	219
TP4OPT0	TMP4オプション・レジスタ0	タイマ	220
TP4OVIC	割り込み制御レジスタ	INTC	880
TP5CCIC0	割り込み制御レジスタ	INTC	880
TP5CCIC1	割り込み制御レジスタ	INTC	880
TP5CCR0	TMP5キャプチャ／コンペア・レジスタ0	タイマ	221
TP5CCR1	TMP5キャプチャ／コンペア・レジスタ1	タイマ	223
TP5CNT	TMP5カウンタ・リード・バッファ・レジスタ	タイマ	225
TP5CTL0	TMP5制御レジスタ0	タイマ	215
TP5CTL1	TMP5制御レジスタ1	タイマ	215
TP5IOC0	TMP5 I/O制御レジスタ0	タイマ	217
TP5IOC1	TMP5 I/O制御レジスタ1	タイマ	218
TP5IOC2	TMP5 I/O制御レジスタ2	タイマ	219
TP5OPT0	TMP5オプション・レジスタ0	タイマ	220
TP5OVIC	割り込み制御レジスタ	INTC	880
TQ0CCIC0	割り込み制御レジスタ	INTC	880
TQ0CCIC1	割り込み制御レジスタ	INTC	880
TQ0CCIC2	割り込み制御レジスタ	INTC	880
TQ0CCIC3	割り込み制御レジスタ	INTC	880
TQ0CCR0	TMQ0キャプチャ／コンペア・レジスタ0	タイマ	311
TQ0CCR1	TMQ0キャプチャ／コンペア・レジスタ1	タイマ	313
TQ0CCR2	TMQ0キャプチャ／コンペア・レジスタ2	タイマ	315
TQ0CCR3	TMQ0キャプチャ／コンペア・レジスタ3	タイマ	317
TQ0CNT	TMQ0カウンタ・リード・バッファ・レジスタ	タイマ	319
TQ0CTL0	TMQ0制御レジスタ0	タイマ	305
TQ0CTL1	TMQ0制御レジスタ1	タイマ	306
TQ0IOC0	TMQ0 I/O制御レジスタ0	タイマ	307
TQ0IOC1	TMQ0 I/O制御レジスタ1	タイマ	308
TQ0IOC2	TMQ0 I/O制御レジスタ2	タイマ	309
TQ0OPT0	TMQ0オプション・レジスタ0	タイマ	310
TQ0OVIC	割り込み制御レジスタ	INTC	880
TRXIC0	割り込み制御レジスタ	INTC	880
UA0CTL0	UARTA0制御レジスタ0	UARTA	477
UA0CTL1	UARTA0制御レジスタ1	UARTA	500
UA0CTL2	UARTA0制御レジスタ2	UARTA	501
UA0OPT0	UARTA0オプション制御レジスタ0	UARTA	479
UA0RIC	割り込み制御レジスタ	INTC	880
UA0RX	UARTA0受信データ・レジスタ	UARTA	482
UA0STR	UARTA0状態レジスタ	UARTA	480
UA0TIC	割り込み制御レジスタ	INTC	880
UA0TX	UARTA0送信データ・レジスタ	UARTA	482

(12/12)

略　　号	名　　称	ユニット	ページ
UA1CTL0	UARTA1制御レジスタ0	UARTA	477
UA1CTL1	UARTA1制御レジスタ1	UARTA	500
UA1CTL2	UARTA1制御レジスタ2	UARTA	501
UA1OPT0	UARTA1オプション制御レジスタ0	UARTA	479
UA1RIC	割り込み制御レジスタ	INTC	880
UA1RX	UARTA1受信データ・レジスタ	UARTA	482
UA1STR	UARTA1状態レジスタ	UARTA	480
UA1TIC	割り込み制御レジスタ	INTC	880
UA1TX	UARTA1送信データ・レジスタ	UARTA	482
UA2CTL0	UARTA2制御レジスタ0	UARTA	477
UA2CTL1	UARTA2制御レジスタ1	UARTA	500
UA2CTL2	UARTA2制御レジスタ2	UARTA	501
UA2OPT0	UARTA2オプション制御レジスタ0	UARTA	479
UA2RIC	割り込み制御レジスタ	INTC	880
UA2RX	UARTA2受信データ・レジスタ	UARTA	482
UA2STR	UARTA2状態レジスタ	UARTA	480
UA2TIC	割り込み制御レジスタ	INTC	880
UA2TX	UARTA2送信データ・レジスタ	UARTA	482
UAR	IEBusユニット・アドレス・レジスタ	IEBus	655
USR	IEBusユニット・ステータス・レジスタ	IEBus	643
VSWC	システム・ウエイト・コントロール・レジスタ	CPU	84
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	423
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	421
WTIC	割り込み制御レジスタ	INTC	880
WTIIC	割り込み制御レジスタ	INTC	880
WTM	時計タイマ動作モード・レジスタ	WT	414
WUPIC0	割り込み制御レジスタ	INTC	880

付録C　命令セット一覧

C. 1　凡　　例

(1) オペランド記述に使われる略号

略　号	説　　明
reg1	汎用レジスタ（ソース・レジスタとして使用）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用。一部の命令で，ソース・レジスタとしても使用。）
reg3	汎用レジスタ（おもに除算結果の余り，乗算結果の上位32ビットを格納）
bit#3	ビット・ナンバ指定用3ビット・データ
imm×	×ビット・イミーディエト・データ
disp×	×ビット・ディスプレースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ（00H-1FH）を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ（r3）
ep	エレメント・ポインタ（r30）
list×	×個のレジスタ・リスト

(2) オペランドに使われる略号

略　号	説　　明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレースメントの1ビット分データ
I	イミーディエトの1ビット分データ（イミーディエトの上位ビットを示す）
i	イミーディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略　号	説　　明
←	代入
GR [　]	汎用レジスタ
SR [　]	システム・レジスタ
zero-extend（n）	nをワード長までゼロ拡張する。
sign-extend（n）	nをワード長まで符号拡張する。
load-memory（a, b）	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory（a, b, c）	アドレス「a」に，データ「b」をサイズ「c」で書き込む。
load-memory-bit（a, b）	アドレス「a」のビット「b」を読み出す。
store-memory-bit（a, b, c）	アドレス「a」のビット「b」に「c」を書き込む。
saturated（n）	nの飽和処理を行う（nは2の補数）。 nが計算の結果，n≧7FFFFFFFHとなった場合，n = 7FFFFFFFHとする。 nが計算の結果，n≦80000000Hとなった場合，n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト（8ビット）
Half-word	ハーフワード（16ビット）
Word	ワード（32ビット）
＋	加算
－	減算
‖	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略　号	説　　明
i	命令実行直後にほかの命令を実行する場合（issue）
r	命令実行直後に同一命令を繰り返す場合（repeat）
l	命令実行結果を命令実行直後の命令で利用する場合（latency）

(5) フラグの動作に使われる略号

略　号	説　明
（ブランク）	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件コード (cccc)	条件式	説　　明
0000	OV = 1	Overflow
1000	OV = 0	No overflow
0001	CY = 1	Carry Lower（Less than）
1001	CY = 0	No carry No lower（Greater than or equal）
0010	Z = 1	Zero
1010	Z = 0	Not zero
0011	（CY or Z）= 1	Not higher（Less than or equal）
1011	（CY or Z）= 0	Higher（Greater than）
0100	S = 1	Negative
1100	S = 0	Positive
0101	－	Always（無条件）
1101	SAT = 1	Saturated
0110	（S xor OV）= 1	Less than signed
1110	（S xor OV）= 0	Greater than or equal signed
0111	（（S xor OV）or Z）= 1	Less than or equal signed
1111	（（S xor OV）or Z）= 0	Greater than signed

C. 2　インストラクション・セット（アルファベット順）

(1/5)

ニモニック	オペランド	オペコード	オペレーション		実行クロック			フラグ				
					i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2]←GR[reg2]＋GR[reg1]		1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010010iiiii	GR[reg2]←GR[reg2]＋sign-extend (imm5)		1	1	1	×	×	×	×	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend (imm16)		1	1	1	×	×	×	×	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2]←GR[reg2] AND GR[reg1]		1	1	1		0	×	×	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] AND zero-extend (imm16)		1	1	1		0	×	×	
Bcond	disp9	ddddd1011dddcccc 注1	if conditions are satisfied then PC←PC＋sign-extend (disp9)	条件成立時	2 注2	2 注2	2 注2					
				条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr11111100000 WWWWW01101000010	GR[reg3]←GR[reg2] (23:16)‖GR[reg2] (31:24)‖GR[reg2] (7:0)‖GR[reg2] (15:8)		1	1	1	×	0	×	×	
BSW	reg2, reg3	rrrrr11111100000 WWWWW01101000000	GR[reg3]←GR[reg2] (7:0)‖GR[reg2] (15:8)‖GR[reg2] (23:16)‖GR[reg2] (31:24)		1	1	1	×	0	×	×	
CALLT	imm6	0000001000iiiiii	CTPC←PC＋2 (return PC) CTPSW←PSW adr←CTBP＋zero-extend (imm6 logically shift left by 1) PC←CTBP＋zero-extend(Load-memory (adr,Half-word))		4	4	4					
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)		3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100100	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)		3 注3	3 注3	3 注3				×	
CMOV	cccc, imm5, reg2, reg3	rrrrr111111iiiii WWWWW011000cccc0	if conditions are satisfied then GR[reg3]←sign-extend (imm5) else GR[reg3]←GR[reg2]		1	1	1					
	cccc, reg1, reg2, reg3	rrrrr111111RRRRR WWWWW011001cccc0	if conditions are satisfied then GR[reg3]←GR[reg1] else GR[reg3]←GR[reg2]		1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result←GR[reg2]－GR[reg1]		1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010011iiiii	result←GR[reg2]－sign-extend (imm5)		1	1	1	×	×	×	×	
CTRET		0000011111100000 0000000101000100	PC←CTPC PSW←CTPSW		3	3	3	R	R	R	R	R
DBRET		0000011111100000 0000000101000110	PC←DBPC PSW←DBPSW		3	3	3	R	R	R	R	R
DBTRAP		1111100001000000	DBPC ← PC＋2 (復帰PC) DBPSW ← PSW PSW.NP← 1 PSW.EP← 1 PSW.ID ← 1 PC ← 00000060H		3	3	3					
DI		0000011111100000 0000000101100000	PSW.ID←1		1	1	1					

(2/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiiL LLLLLLLLLL00000	sp←sp＋zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until all regs in list12 is loaded	n＋1 注4	n＋1 注4	n＋1 注4					
	imm5, list12 [reg1]	0000011001iiiiiL LLLLLLLLLLRRRRR 注5	sp←sp＋zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp＋4 repeat 2 steps above until all regs in list12 is loaded PC←GR[reg1]	n＋3 注4	n＋3 注4	n＋3 注4					
DIV	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000000	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2]←GR[reg2]÷GR[reg1]注6	35	35	35		×	×	×	
	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000000	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVHU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000010	GR[reg2]←GR[reg2]÷GR[reg1]注6 GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
DIVU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000010	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
EI		1000011111100000 0000000101100000	PSW.ID←0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr11111100000 WWWWW01101000100	GR[reg3]←GR[reg2] (15:0)‖GR[reg2] (31:16)	1	1	1	×	0	×	×	
JARL	disp22, reg2	rrrrr11110ddddd dddddddddddddd0 注7	GR[reg2]←PC＋4 PC←PC＋sign-extend(disp22)	2	2	2					
JMP	[reg1]	00000000011RRRRR	PC←GR[reg1]	3	3	3					
JR	disp22	0000011110ddddd dddddddddddddd0 注7	PC←PC＋sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr111111RRRRR 0000000000100000 注12	SR[regID]←GR[reg2] regID = PSW以外	1	1	1					
			regID = PSW	1	1	1	×	×	×	×	×
LD.HU	disp16[reg1], reg2	rrrrr111111RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注11					

(3/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend (disp16) GR[reg2]←Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2]←GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiiii	GR[reg2]←sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1]←imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]＋(imm16 ‖ 0^{16})	1	1	1					
MUL	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100000	GR[reg3] ‖ GR[reg2]←GR[reg2]×GR[reg1] 注14	1	4	5					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWW01001IIII00 注13	GR[reg3] ‖ GR[reg2]←GR[reg2]×sign-extend (imm9)	1	4	5					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2]←GR[reg2]注6×GR[reg1]注6	1	1	2					
	imm5, reg2	rrrrr010111iiiii	GR[reg2]←GR[reg2]注6×sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]注6×imm16	1	1	2					
MULU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100010	GR[reg3] ‖ GR[reg2]←GR[reg2]×GR[reg1] 注14	1	4	5					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWW01001IIII10 注13	GR[reg3] ‖ GR[reg2]←GR[reg2]×zero-extend (imm9)	1	4	5					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2]←NOT (GR[reg1])	1	1	1		0	×	×	
NOT1	bit#3, disp16[reg1]	01bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3 注3	3 注3	3 注3				×	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2]←GR[reg2] OR GR[reg1]	1	1	1		0	×	×	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×	
PREPARE	list12, imm5	0000011110iiiiiL LLLLLLLLLL00001	Store-memory (sp－4, GR[reg in list12], Word) sp←sp－4 repeat 1 steps above until all regs in list12 is stored sp←sp-zero-extend (imm5)	n＋1 注4	n＋1 注4	n＋1 注4					
	list12, imm5, sp/imm注15	0000011110iiiiiL LLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp－4, GR[reg in list12], Word) sp←sp－4 repeat 1 steps above until all regs in list12 is stored sp←sp－zero-extend (imm5) ep←sp/imm	n＋2 注4 注17	n＋2 注4 注17	n＋2 注4 注17					

(4/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC ← EIPC PSW ← EIPSW else if PSW.NP = 1 then PC ← FEPC PSW ← FEPSW else PC ← EIPC PSW ← EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2]←GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010101iiiii	GR[reg2]←GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SASF	cccc, reg2	rrrrr1111110cccc 0000001000000000	if conditions are satisfied then GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000001H else GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2]←saturated (GR[reg2]＋GR[reg1])	1	1	1	×	×	×	×	×
	imm5, reg2	rrrrr010001iiiii	GR[reg2]←saturated (GR[reg2]＋sign-extend (imm5))	1	1	1	×	×	×	×	×
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2]←saturated (GR[reg2]－GR[reg1])	1	1	1	×	×	×	×	×
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2]←saturated (GR[reg1]－sign-extend (imm16))	1	1	1	×	×	×	×	×
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2]←saturated (GR[reg1]－GR[reg2])	1	1	1	×	×	×	×	×
SETF	cccc, reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2]← 00000001H else GR[reg2]← 00000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100000	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3 注3	3 注3	3 注3				×	
SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2]←GR[reg2] logically shift left by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010110iiiii	GR[reg2]←GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	×	0	×	×	
SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2]←GR[reg2] logically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010100iiiii	GR[reg2]←GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr←ep＋zero-extend (disp7) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110dddd 注18	adr←ep＋zero-extend (disp4) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr←ep＋zero-extend (disp8) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注9					

(5/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr←ep＋zero-extend (disp5) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr←ep＋zero-extend (disp8) GR[reg2]←Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr←ep＋zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr←ep＋zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010dddddd1 注21	adr←ep＋zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd0	adr←GR[reg1]＋sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注8	adr←GR[reg1]＋sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注8	adr←GR[reg1]＋sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr111111RRRRR 0000000001000000	GR[reg2]←SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2]←GR[reg2]－GR[reg1]	1	1	1	×	×	×	×	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2]←GR[reg1]－GR[reg2]	1	1	1	×	×	×	×	
SWITCH	reg1	00000000010RRRRR	adr←(PC＋2)＋(GR[reg1] logically shift left by 1) PC←(PC＋2)＋(sign-extend (Load-memory (adr, Halfward))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1]←sign-extend (GR[reg1] (7：0))	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1]←sign-extend (GR[reg1] (15：0))	1	1	1					
TRAP	vector	00000111111iiiii 0000000100000000	EIPC ← PC＋4 (復帰PC) EIPSW ← PSW ECR.EICC ← 割り込みコード PSW.EP ← 1 PSW.ID ← 1 PC ← 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result←GR[reg2] AND GR[reg1]	1	1	1		0	×	×	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]＋sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3))	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100110	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2))	3 注3	3 注3	3 注3				×	
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2]←GR[reg2] XOR GR[reg1]	1	1	1		0	×	×	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] XOR zero-extend (imm16)	1	1	1		0	×	×	
ZXB	reg1	00000000100RRRRR	GR[reg1]←zero-extend (GR[reg1] (7：0))	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1]←zero-extend (GR[reg1] (15：0))	1	1	1					

注1. dddddddd**は**disp9**の上位**8**ビットです。

2. **直前に**PSW**の内容を書き換える命令がある場合は**3**。**

3. **ウエイト・ステートがない場合（**3**＋リード・アクセス・ウエイト・ステート数）**

4. n**は**list12**のロード・レジスタの合計数（ウエイト・ステート数による。ウエイト・ステートがない場合，**n**は**list12**のレジスタ数。**n = 0**の場合，**n = 1**と同じ動作）**

5. RRRRR**：**00000**以外**

6. **下位ハーフワード・データだけ有効**

7. dddddddddddddddddddddd**は**disp22**の上位**21**ビットです。**

8. ddddddddddddddd**は**disp16**の上位**15**ビットです。**

9. **ウエイト・ステート数による（ウエイト・ステートがない場合は**1**）**

10. b**：**disp16**のビット**0

11. **ウエイト・ステート数による（ウエイト・ステートがない場合は**2**）**

12. **この命令ではニモニックの記述の都合上，ソース・レジスタを**reg2**としていますが，オペコード上は**reg1**のフィールドを使用しています。したがって，ニモニック記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。**

    rrrrr = regID**指定**

    RRRRR = reg2**指定**

13. iiiii**：**imm9**の下位**5**ビット**

    IIII**：**imm9**の上位**4**ビット**

14. **汎用レジスタ**reg1**と汎用レジスタ**reg3**に，同じレジスタを指定しないでください。**

15. sp/imm**：サブオペコードのビット**19, 20**で指定**

16. ff = 00**：**sp**を**ep**にロード**

    01**：符号拡張した**16**ビット・イミーディエト・データ（ビット**47-32**）を**ep**にロード**

    10**：**16**ビット論理左シフトした**16**ビット・イミーディエト・データ（ビット**47-32**）を**ep**にロード**

    11**：**32**ビット・イミーディエト・データ（ビット**63-32**）を**ep**にロード**

17. imm = imm32**の場合は**n**＋**3**クロック**

18. rrrrr**：**00000**以外**

19. ddddddd**は**disp8**の上位**7**ビットです。**

20. dddd**は**disp5**の上位**4**ビットです。**

21. dddddd**は**disp8**の上位**6**ビットです。**

〔メ　モ〕

【発　行】
NECエレクトロニクス株式会社
〒211-8668　神奈川県川崎市中原区下沼部1753
電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。
URL（アドレス）　http://www.necel.co.jp/

【営業関係，技術関係お問い合わせ先】

半導体ホットライン
（電話：午前 9:00～12:00，午後 1:00～5:00）
電　話　：044−435−9494
E-mail　：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。

C04.2T