

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル

V850E/MA2

32ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

μPD703108

資料番号 U14980JJ2V1UD00 (第2版)

発行年月 August 2005 N CP(K)

© NEC Electronics Corporation 2000

〔メモ〕

目次要約

第1章	イントロダクション	...	25
第2章	端子機能	...	33
第3章	CPU機能	...	54
第4章	バス制御機能	...	78
第5章	メモリ・アクセス制御機能	...	115
第6章	DMA機能 (DMAコントローラ)	...	161
第7章	割り込み / 例外処理機能	...	201
第8章	プリスケラ・ユニット (PRS)	...	233
第9章	クロック発生機能	...	234
第10章	タイマ / カウンタ機能 (リアルタイム・パルス・ユニット)	...	255
第11章	シリアル・インタフェース機能	...	290
第12章	A/Dコンバータ	...	335
第13章	ポート機能	...	370
第14章	リセット機能	...	415
第15章	電気的特性	...	420
第16章	外形図	...	450
第17章	半田付け推奨条件	...	451
付録A	ターゲット・システム設計上の注意	...	452
付録B	注意事項	...	453
付録C	レジスタ索引	...	455
付録D	命令セット一覧	...	460
付録E	総合索引	...	469

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

- 本資料に記載されている内容は2005年7月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

本版で改訂された主な箇所 (1/4)

箇 所	内 容
全般	・ BUSCLK端子を削除 ・ バス・サイクル・ピリオド・コントロール・レジスタ (BCP) , ポートCMファンクション・コントロール・レジスタ (PFCCM) を削除
p.28	1. 4 オーダ情報 注削除
p.37	2. 2 端子状態 注追加
p.40	2. 3 (3) (b) (iii) $\overline{TC0}$ (Terminal Count) 記述変更
p.43	2. 3 (7) (b) (i) \overline{WAIT} (Wait) 記述変更
p.47	2. 3 (10) (b) (ii) SDCLK (SDRAM Clock Output) 記述追加
p.63	3. 4. 3 (1) プログラム空間 注意の記述変更
p.67	3. 4. 5 (2) 内蔵RAM領域 記述変更および注意追加
p.68	3. 4. 5 (3) 内蔵周辺I/O領域 注追加
p.75	3. 4. 8 周辺I/Oレジスタ DMAターミナル・カウント出力コントロール・レジスタの操作可能ビット変更
p.77	3. 4. 10 システム・ウエイト・コントロール・レジスタ (VSWC) 表の記述変更および備考の追加
p.79	4. 2. 1 内蔵RAM, 周辺I/Oアクセス時の端子状態 記述変更
p.80	4. 3 メモリ・ブロック機能 注追加
p.81	4. 3. 1 チップ・セレクト制御機能 注意追加
p.83	4. 4 (1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1) 記述追加
p.84	4. 5. 1 アクセス・クロック数 表の記述変更
p.84	4. 5. 2 (1) バス・サイズ・コンフィギュレーション・レジスタ (BSC) 記述追加
p.85	4. 5. 3 (1) エンディアン・コンフィギュレーション・レジスタ (BEC) 注意追加
p.101	4. 6. 1 (2) アドレス・セットアップ・ウエイト・コントロール・レジスタ (ASC) 注意追加
p.105	4. 8. 1 機能概要 記述追加
p.114	4. 10. 1 プログラム空間 記述削除
p.128	図5 - 5 ページROMアクセス・タイミング (1/4) 注追加
p.135, 136	5. 3. 4 SDRAMコンフィギュレーション・レジスタ3, 4 (SCR3, SCR4) LTM2n-LTM0nビットの00x設定時の記述変更, 注意追加
p.151	5. 3. 6 (1) SDRAM用リフレッシュ・コントロール・レジスタ3, 4 (RFS3, RFS4) 注意追加
p.157	図5 - 14 セルフ・リフレッシュ・タイミング (SDRAM) 記述変更および注追加
p.163	6. 3. 1 (1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H) 記述追加
p.165	6. 3. 2 (1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H) 記述追加
p.168	6. 3. 4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) 注意追加
p.170	6. 3. 5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) 記述変更および注意追加
p.172	6. 3. 6 DMAディスエーブル・ステータス・レジスタ (DDIS) 記述追加
p.172	6. 3. 7 DMAリスタート・レジスタ (DRST) 記述追加

本版で改訂された主な箇所 (2/4)

箇 所	内 容
p.173	6. 3. 8 DMAターミナル・カウント出力コントロール・レジスタ (DIOC) 記述変更およびビット3-0にデバイス・ファイルの予約語の を追加
p.174	6. 3. 9 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) 注意追加
p.178	6. 5. 1 シングル転送モード 記述および図の追加
p.181	6. 5. 3 ブロック転送モード 記述追加
p.181	6. 6 2サイクル転送 注意追加
p.191	6. 7. 1 転送の種類と転送対象 備考の記述変更
p.193	6. 8 DMAチャンネルの優先順位 注意追加
p.195	図6 - 14 ターミナル・カウント信号 ($\overline{TC0}$) 出力例 追加
p.197	図6 - 16 DMA転送の強制終了例 備考の記述追加
p.198	表6 - 3 DMAサイクル中の最小実行クロック数 記述変更
p.199	6. 16 $\overline{DMARQ0}$, $\overline{DMARQ1}$ 信号によるシングル転送時の1回転送 記述追加および変更
p.199	図6 - 17 1回だけのシングル転送を行うための時間 変更
p.200	6. 17 (4) \overline{DMARQn} 信号の保持 追加
p.200	6. 17 (6) DMAの起動要因 追加
p.205	図7 - 2 ノンマスクابل割り込み要求の受け付け動作 記述変更
p.215	7. 3. 4 割り込み制御レジスタ ($xxICn$) 注意追加
p.217	7. 3. 5 割り込みマスク・レジスタ0-3 (IMR0-IMR3) 注意追加およびデバイス・ファイルの予約語の を削除
p.218	7. 3. 6 インサースビス・プライオリティ・レジスタ (ISPR) 注意追加
p.219	7. 3. 9 (1) 外部割り込みモード・レジスタ1, 2 (INTM1, INTM2) 注意追加
p.221	7. 3. 9 (2) 有効エッジ選択レジスタC0, C1 (SESC0, SESC1) 注意追加
p.231	図7 - 14 割り込み要求受け付け時のパイプライン動作 (概略) 記述変更
p.232	7. 8 割り込みが受け付けられない期間 記述変更
p.239	9. 3. 5 ペリフェラル・ステータス・レジスタ (PHS) 記述追加
p.250	9. 5. 4 (2) (a) ノンマスクابل割り込み要求, マスクされていないマスクابل割り込み要求による解除 記述追加
p.252	9. 5. 5 (2) (a) ノンマスクابل割り込み要求, マスクされていないマスクابل割り込み要求による解除 記述追加
p.253	9. 6. 1 (1) 内蔵タイム・ベース・カウンタで時間を確保する場合 図変更
p.254	9. 6. 1 (2) 信号レベル幅で時間を確保する場合 (RESET端子入力) 図変更
p.259	10. 1. 4 (2) (a) キャプチャ・レジスタに設定 (TMCCn1のCMSn0, CMSn1 = 0) 注意追加
p.261	10. 1. 5 (1) タイマ・モード・コントロール・レジスタC00, C10 (TMCC00, TMCC10) 注意追加
p.263, 264	10. 1. 5 (2) タイマ・モード・コントロール・レジスタC01, C11 (TMCC01, TMCC11) TMCC01レジスタのビット5のビット名を変更
p.271	図10 - 5 コンペア動作例 (2/2) 追加
p.279	図10 - 12 周期測定動作タイミング例 注意削除および注追加
p.284	図10 - 13 TMDn動作中のタイミング例 記述変更

本版で改訂された主な箇所 (3/4)

箇 所	内 容
p.286	10. 2. 5 (1) タイマ・モード・コントロール・レジスタD0-D3 (TMCD0-TMCD3) 注意追加
p.297, 298	11. 2. 3 (2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS0, ASIS1) PEnビット = 0, FEnビット = 0, OVENビット = 0の記述変更
p.299	11. 2. 3 (3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ0, 1 (ASIF0, ASIF1) TXBFnビット, TXSFnビットの記述変更
p.306	11. 2. 5 (3) 連続送信動作 記述変更および図追加
p.308	図11 - 5 連続送信の開始手順 記述変更および注追加
p.309	図11 - 6 連続送信の終了手順 記述変更および注追加
p.311	図11 - 7 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング 図修正および注意追加
p.316	11. 2. 6 (2) (a) クロック選択レジスタ0, 1 (CKSR0, CKSR1) 注意追加
p.322	11. 2. 7 注意事項 (2) 追加
p.325	11. 3. 3 (1) クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 (CSIM0, CSIM1) 記述追加
p.336	12. 2 (5) 逐次変換レジスタ (SAR : Successive Approximation Register) 記述追加
p.340	12. 3 (2) A/Dコンバータ・モード・レジスタ1 (ADM1) 注意追加
p.342	12. 3 (4) A/D変換結果レジスタ (ADCR0-ADCR3, ADCR0H-ADCR3H) ビット名変更
p.345	12. 4. 2 (1) (b) タイマ・トリガ・モード 記述追加
p.347	図12 - 3 セレクト・モードの動作タイミング例: 1バッファ・モード (ANI1) 変更
p.348	図12 - 4 セレクト・モードの動作タイミング例: 4バッファ・モード (ANI2) 変更
p.349	図12 - 5 スキャン・モードの動作タイミング例: 4チャンネル・スキャン (ANI0-ANI3) 変更
p.363	12. 7. 5 タイマ1トリガ・モード時の再変換動作 追加
p.364	12. 7. 6 A/D変換時間についての補足 追加
p.366	12. 8 A/Dコンバータ特性表の読み方 追加
p.372	13. 2 (1) 各ポートの機能 ブロック・タイプ変更および注意追加
p.374	13. 2 (2) 各ポート端子のリセット時の機能とポート/コントロール・モードを設定するレジスタ ポートCMのモードを設定するレジスタ変更
p.377	図13 - 4 タイプDのブロック図 変更
p.378	図13 - 6 タイプGのブロック図 追加
p.379	図13 - 7 タイプHのブロック図 変更
p.382	図13 - 10 タイプMのブロック図 変更
p.383	図13 - 11 タイプNのブロック図 変更
p.386	13. 3. 1 (2) (b) ポート0モード・コントロール・レジスタ (PMC0) PMC0nビット = 0の記述一部削除
p.391	13. 3. 3 (2) (b) ポート2モード・コントロール・レジスタ (PMC2) PMC24ビット = 0の記述一部削除
p.393	13. 3. 4 (1) コントロール・モード時の動作 P40, P43のブロック・タイプ変更
p.396	13. 3. 5 (1) コントロール・モード時の動作 注意追加
p.402	13. 3. 8 (2) (b) ポートDLモード・コントロール・レジスタ (PMCDL) 注意追加

本版で改訂された主な箇所 (4/4)

箇 所	内 容
p.407	13. 3. 11 (1) コントロール・モード時の動作 PCM1のブロック・タイプ変更
p.416	表14 - 1 リセット期間中の各端子の動作状態 LBE, UBE端子の端子状態追加
p.420	第15章 電気的特性 追加
p.450	第16章 外形図 追加
p.451	第17章 半田付け推奨条件 追加
p.452	付録A ターゲット・システム設計上の注意 追加
p.453	付録B 注意事項 追加
p.463-468	D. 2 インストラクション・セット (アルファベット順) 記述変更
修正版 (U14980JJ2V1UD00) で改訂された主な箇所	
p.28	1. 4 オーダ情報 変更
p.28	1. 5 端子接続図 (Top View) 記述追加
p.451	第17章 半田付け推奨条件 変更

本文欄外の★印は、本版で改訂された主な箇所を示しています。

はじめに

- 対象者** このマニュアルは、V850E/MA2 (μ PD703108) の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すV850E/MA2のハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850E/MA2のユーザズ・マニュアルは、ハードウェア編(このマニュアル)と、アーキテクチャ編(V850E1 ユーザズ・マニュアル アーキテクチャ編)の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

機能名などが分かっている、その詳細を確認するとき

付録E 総合索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊のV850E1 **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

V850E/MA2の電気的特性を知りたいとき

第15章 電気的特性を参照してください。

一通りV850E/MA2の機能を理解しようとするとき

目次に従ってお読みください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるビットは、そのビット名称がデバイス・ファイルで予約語として定義されています。

凡 例 データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記：xxx（端子，信号名称に上線）
メモリ・マップのアドレス：上部 - 上位，下部 - 下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記：2進数 ... xxxxまたはxxxxB
10進数 ... xxxx
16進数 ... xxxxH
2のべき数を示す接頭語（アドレス空間，メモリ容量）：
K（キロ）... $2^{10} = 1024$
M（メガ）... $2^{20} = 1024^2$
G（ギガ）... $2^{30} = 1024^3$
データ・タイプ：ワード ... 32ビット
ハーフワード ... 16ビット
バイト ... 8ビット

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850E/MA2に関する資料

資料名	資料番号
V850E1 ユーザーズ・マニュアル アーキテクチャ編	U14559J
V850E/MA2 ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料（ユーザーズ・マニュアル）

資料名	資料番号	
IE-V850E-MC, IE-V850E-MC-A (インサーキット・エミュレータ)	U14487J	
IE-703107-MC-EM1 (インサーキット・エミュレータ・オプション・ボード)	U14481J	
CA850 (Ver.2.30以上) (Cコンパイラ・パッケージ)	操作編	U14568J
	C言語編	U14566J
	プロジェクト・マネージャ編	U14569J
	アセンブリ言語編	U14567J
CA850 (Ver.2.40以上) (Cコンパイラ・パッケージ)	操作編	U15024J
	C言語編	U15025J
	プロジェクト・マネージャ編	U15026J
	アセンブリ言語編	U15027J
ID850 (Ver.2.40) (統合ディバッガ)	操作編 Windows®ベース	U15181J
SM850 (Ver.2.40) (システム・シミュレータ)	操作編 Windowsベース	U15182J
SM850 (Ver.2.00以上) (システム・シミュレータ)	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850 (Ver.3.13以上) (リアルタイムOS)	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
RX850 Pro (Ver.3.13) (リアルタイムOS)	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
RX-NET (TCP/IPライブラリ)		U15083J
RD850 (Ver.3.01) (タスク・ディバッガ)		U13737J
RD850 Pro (Ver.3.01) (タスク・ディバッガ)		U13916J
AZ850 (Ver.3.0) (システム・パフォーマンス・アナライザ)		U14410J

電気的特性に関する資料

資料名	資料番号
電気的特性の考え方 マイコン編	U15170J

目 次

第1章	イントロダクション	... 25
1.1	概 説	... 25
1.2	特 徴	... 26
1.3	応用分野	... 27
1.4	オーダ情報	... 28
1.5	端子接続図 (Top View)	... 28
1.6	機能ブロック構成	... 30
1.6.1	内部ブロック図	... 30
1.6.2	内部ユニット	... 31
第2章	端子機能	... 33
2.1	端子機能一覧	... 33
2.2	端子状態	... 37
2.3	端子機能の説明	... 38
2.4	端子の入出力回路タイプと未使用時の処理	... 51
2.5	端子の入出力回路	... 53
第3章	CPU機能	... 54
3.1	特 徴	... 54
3.2	CPUレジスタ・セット	... 55
3.2.1	プログラム・レジスタ・セット	... 56
3.2.2	システム・レジスタ・セット	... 57
3.3	動作モード	... 60
3.3.1	動作モード	... 60
3.3.2	動作モード指定	... 60
3.4	アドレス空間	... 61
3.4.1	CPUアドレス空間	... 61
3.4.2	イメージ	... 62
3.4.3	CPUアドレス空間のラップ・アラウンド	... 63
3.4.4	メモリ・マップ	... 64
3.4.5	領 域	... 65
3.4.6	外部メモリ拡張	... 69
3.4.7	アドレス空間の推奨使用方法	... 69
3.4.8	周辺I/Oレジスタ	... 71
3.4.9	特定レジスタ	... 76
3.4.10	システム・ウエイト・コントロール・レジスタ (VSWC)	... 77
3.4.11	注意事項	... 77
第4章	バス制御機能	... 78
4.1	特 徴	... 78

4.2	バス制御端子	...	79
4.2.1	内蔵RAM, 周辺I/Oアクセス時の端子状態	...	79
4.3	メモリ・ブロック機能	...	80
4.3.1	チップ・セレクト制御機能	...	81
4.4	バス・サイクル・タイプ制御機能	...	82
4.5	バス・アクセス	...	84
4.5.1	アクセス・クロック数	...	84
4.5.2	バス・サイジング機能	...	84
4.5.3	エンディアン制御機能	...	85
4.5.4	NECエレクトロニクス開発ツールにおけるビッグ・エンディアン形式の使用制限	...	86
4.5.5	バス幅	...	88
4.6	ウェイト機能	...	99
4.6.1	プログラマブル・ウェイト機能		99
4.6.2	外部ウェイト機能	...	102
4.6.3	プログラマブル・ウェイトと外部ウェイトの関係	...	102
4.6.4	ウェイト機能が有効なバス・サイクル	...	103
4.7	アイドル・ステート挿入機能	...	104
4.8	バス・ホールド機能	...	105
4.8.1	機能概要	...	105
4.8.2	バス・ホールド手順	...	106
4.8.3	パワー・セーブ・モード時の動作	...	106
4.8.4	バス・ホールド・タイミング (SRAM)	...	107
4.8.5	バス・ホールド・タイミング (SDRAM)	...	109
4.9	バスの優先順位	...	113
4.10	境界動作条件	...	114
4.10.1	プログラム空間	...	114
4.10.2	データ空間	...	114

第5章 メモリ・アクセス制御機能 ... 115

5.1	SRAM, 外部ROM, 外部I/Oインタフェース	...	115
5.1.1	特徴	...	115
5.1.2	SRAMの接続	...	115
5.1.3	SRAM, 外部ROM, 外部I/Oアクセス	...	117
5.2	ページROMコントローラ (ROMC)	...	123
5.2.1	特徴	...	123
5.2.2	ページROMの接続	...	124
5.2.3	オンページ/オフページの判断	...	125
5.2.4	ページROMコンフィギュレーション・レジスタ (PRC)	...	127
5.2.5	ページROMアクセス	...	128
5.3	SDRAMコントローラ	...	132
5.3.1	特徴	...	132
5.3.2	SDRAMの接続	...	132
5.3.3	アドレス・マルチプレクス機能	...	133
5.3.4	SDRAMコンフィギュレーション・レジスタ3, 4 (SCR3, SCR4)	...	135
5.3.5	SDRAMアクセス	...	137
5.3.6	リフレッシュ制御機能	...	151
5.3.7	セルフ・リフレッシュ制御機能	...	156
5.3.8	SDRAM初期化シーケンス	...	158

第6章 DMA機能 (DMAコントローラ) ... 161

- 6.1 特 徴 ... 161
- 6.2 構 成 ... 162
- 6.3 制御レジスタ ... 163
 - 6.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3) ... 163
 - 6.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3) ... 165
 - 6.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3) ... 167
 - 6.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) ... 168
 - 6.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) ... 170
 - 6.3.6 DMAディスエーブル・ステータス・レジスタ (DDIS) ... 172
 - 6.3.7 DMAリスタート・レジスタ (DRST) ... 172
 - 6.3.8 DMAターミナル・カウント出力コントロール・レジスタ (DTC) ... 173
 - 6.3.9 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3) ... 174
- 6.4 DMAバス・ステート ... 176
 - 6.4.1 バス・ステートの種類 ... 176
 - 6.4.2 DMACバス・サイクルの状態遷移 ... 177
- 6.5 転送モード ... 178
 - 6.5.1 シングル転送モード ... 178
 - 6.5.2 シングルステップ転送モード ... 180
 - 6.5.3 ブロック転送モード ... 181
- 6.6 2サイクル転送 ... 181
- 6.7 転送対象 ... 191
 - 6.7.1 転送の種類と転送対象 ... 191
 - 6.7.2 DMA転送時の外部バス・サイクル ... 192
- 6.8 DMAチャンネルの優先順位 ... 193
- 6.9 ネクスト・アドレス設定機能 ... 193
- 6.10 DMA転送起動要因 ... 194
- 6.11 DMA転送完了時のターミナル・カウント出力 ... 195
- 6.12 強制中断 ... 196
- 6.13 強制終了 ... 197
- 6.14 DMA転送に関する各種時間 ... 198
- 6.15 DMA要求に対する応答時間の最大値 ... 198
- 6.16 $\overline{\text{DMARQ0}}$, $\overline{\text{DMARQ1}}$ 信号によるシングル転送時の1回転送 ... 199
- 6.17 注意事項 ... 200
 - 6.17.1 中断要因 ... 200
- 6.18 DMA転送の終了 ... 200

第7章 割り込み / 例外処理機能 ... 201

- 7.1 特 徴 ... 201
- 7.2 ノンマスカブル割り込み ... 203
 - 7.2.1 動 作 ... 204
 - 7.2.2 復 帰 ... 206
 - 7.2.3 ノンマスカブル割り込みステータス・フラグ (NP) ... 207
 - 7.2.4 ノイズ除去 ... 207
 - 7.2.5 エッジ検出機能 ... 207
- 7.3 マスカブル割り込み ... 208
 - 7.3.1 動 作 ... 208

7.3.2	復 帰	...	210
7.3.3	マスクブル割り込みの優先順位	...	211
7.3.4	割り込み制御レジスタ (xxlCn)	...	215
7.3.5	割り込みマスク・レジスタ0-3 (IMR0-IMR3)	...	217
7.3.6	インサースビス・プライオリティ・レジスタ (ISPR)	...	218
7.3.7	マスクブル割り込みステータス・フラグ (ID)	...	218
7.3.8	ノイズ除去	...	219
7.3.9	割り込みトリガ・モードの選択	...	219
7.4	ソフトウェア例外	...	222
7.4.1	動 作	...	222
7.4.2	復 帰	...	223
7.4.3	例外ステータス・フラグ (EP)	...	224
7.5	例外トラップ	...	225
7.5.1	不正命令コード	...	225
7.5.2	ディバグ・トラップ	...	227
7.6	多重割り込み処理制御	...	229
7.7	割り込み応答時間	...	231
7.8	割り込みが受け付けられない期間	...	232

第8章 プリスケーラ・ユニット (PRS) ... 233

第9章 クロック発生機能 ... 234

9.1	特 徴	...	234
9.2	構 成	...	234
9.3	入力クロック選択	...	235
9.3.1	ダイレクト・モード	...	235
9.3.2	PLLモード	...	235
9.3.3	ペリフェラル・コマンド・レジスタ (PHCMD)	...	236
9.3.4	クロック・コントロール・レジスタ (CKC)	...	237
9.3.5	ペリフェラル・ステータス・レジスタ (PHS)	...	239
9.4	PLLロックアップ	...	240
9.5	パワー・セーブ制御	...	241
9.5.1	概 要	...	241
9.5.2	制御レジスタ	...	244
9.5.3	HALTモード	...	247
9.5.4	IDLEモード	...	249
9.5.5	ソフトウェアSTOPモード	...	251
9.6	発振安定時間の確保	...	253
9.6.1	発振安定時間の確保指定	...	253
9.6.2	タイム・ベース・カウンタ (TBC)	...	254

第10章 タイマ/カウンタ機能 (リアルタイム・パルス・ユニット) ... 255

10.1	タイマC	...	255
10.1.1	特徴 (タイマC)	...	255
10.1.2	機能概要 (タイマC)	...	255
10.1.3	タイマCの基本構成	...	256
10.1.4	タイマC	...	257

10.1.5	タイマCの制御レジスタ	...	261
10.1.6	タイマCの動作	...	266
10.1.7	使用例(タイマC)	...	273
10.1.8	注意事項(タイマC)	...	280
10.2	タイマD	...	281
10.2.1	特徴(タイマD)	...	281
10.2.2	機能概要(タイマD)	...	281
10.2.3	タイマDの基本構成	...	281
10.2.4	タイマD	...	282
10.2.5	タイマDの制御レジスタ	...	285
10.2.6	タイマDの動作	...	287
10.2.7	使用例(タイマD)	...	289
10.2.8	注意事項(タイマD)	...	289

第11章 シリアル・インタフェース機能 ... 290

11.1	特 徴	...	290
11.1.1	UARTとCSIのモード切り替え	...	290
11.2	アシンクロナス・シリアル・インタフェース0, 1 (UART0, UART1)	...	291
11.2.1	特 徴	...	291
11.2.2	構 成	...	292
11.2.3	制御レジスタ	...	294
11.2.4	割り込み要求	...	302
11.2.5	動 作	...	303
11.2.6	専用ポー・レート・ジェネレータ0, 1 (BRG0, BRG1)	...	315
11.2.7	注意事項	...	322
11.3	クロック同期式シリアル・インタフェース0, 1 (CSI0, CSI1)	...	323
11.3.1	特 徴	...	323
11.3.2	構 成	...	323
11.3.3	制御レジスタ	...	325
11.3.4	動 作	...	331
11.3.5	出力端子	...	334
11.3.6	システム構成例	...	334

第12章 A/Dコンバータ ... 335

12.1	特 徴	...	335
12.2	構 成	...	335
12.3	制御レジスタ	...	338
12.4	A/Dコンバータ動作	...	344
12.4.1	A/Dコンバータ基本動作	...	344
12.4.2	動作モードとトリガ・モード	...	345
12.5	A/Dトリガ・モード時の動作	...	350
12.5.1	セレクト・モードの動作	...	350
12.5.2	スキャン・モードの動作	...	352
12.6	タイマ・トリガ・モード時の動作	...	353
12.6.1	セレクト・モードの動作	...	354
12.6.2	スキャン・モードの動作	...	358

	12.7	動作上の注意事項	...	361
	12.7.1	変換動作の停止	...	361
	12.7.2	タイマ・トリガの間隔	...	361
	12.7.3	スタンバイ・モード時の動作	...	361
	12.7.4	タイマ・トリガ・モード時のコンペア一致割り込み	...	362
★	12.7.5	タイマ1トリガ・モード時の再変換動作	...	363
★	12.7.6	A/D変換時間についての補足	...	364
★	12.8	A/Dコンバータ特性表の読み方	...	366

第13章 ポート機能 ... 370

	13.1	特 徴	...	370
	13.2	ポートの基本構成	...	371
	13.3	各ポートの端子機能	...	385
	13.3.1	ポート0	...	385
	13.3.2	ポート1	...	388
	13.3.3	ポート2	...	390
	13.3.4	ポート4	...	393
	13.3.5	ポート7	...	396
	13.3.6	ポートAL	...	397
	13.3.7	ポートAH	...	399
	13.3.8	ポートDL	...	401
	13.3.9	ポートCS	...	403
	13.3.10	ポートCT	...	405
	13.3.11	ポートCM	...	407
	13.3.12	ポートCD	...	409
	13.3.13	ポートBD	...	413

第14章 リセット機能 ... 415

	14.1	特 徴	...	415
	14.2	端子機能	...	415
	14.3	イニシャライズ	...	417

★ 第15章 電気的特性 ... 420

★ 第16章 外形図 ... 450

★ 第17章 半田付け推奨条件 ... 451

★ 付録A ターゲット・システム設計上の注意 ... 452

★ 付録B 注意事項 ... 453

	B.1	ページROMアクセスに関する制限事項	...	453
	B.1.1	内容詳細	...	453
	B.1.2	回避策	...	454

付録C レジスタ索引 ... 455

付録D 命令セット一覧 ... 460

D.1 凡 例 ... 460

D.2 インストラクション・セット(アルファベット順) ... 463

付録E 総合索引 ... 469

E.1 50音で始まる語句の索引 ... 469

E.2 数字, アルファベットで始まる語句の索引 ... 473

図の目次 (1/4)

図番号	タイトル, ページ
3 - 1	CPUアドレス空間 ... 61
3 - 2	アドレス空間上のイメージ ... 62
3 - 3	メモリ・マップ ... 64
4 - 1	ワード内のビッグ・エンディアン・アドレス ... 86
4 - 2	ワード内のリトル・エンディアン・アドレス ... 86
4 - 3	ウエイト挿入例 ... 102
5 - 1	SRAMとの接続例 ... 115
5 - 2	SRAM, 外部ROM, 外部I/Oアクセス・タイミング ... 117
5 - 3	ページROMとの接続例 ... 124
5 - 4	ページROM接続時のオンページ/オフページ判断 ... 125
5 - 5	ページROMアクセス・タイミング ... 128
5 - 6	SDRAMとの接続例 ... 132
5 - 7	ロウ・アドレス, カラム・アドレスの出力 ... 133
5 - 8	SDRAMアクセスの状態遷移 ... 137
5 - 9	SDRAMシングル・リード・サイクル ... 139
5 - 10	SDRAMシングル・ライト・サイクル ... 143
5 - 11	SDRAMアクセス・タイミング ... 147
5 - 12	オート・リフレッシュ・サイクル ... 154
5 - 13	CBRリフレッシュ・タイミング (SDRAM) ... 155
5 - 14	セルフ・リフレッシュ・タイミング (SDRAM) ... 157
5 - 15	SDRAMモード・レジスタ設定サイクル ... 159
5 - 16	SDRAMレジスタ・ライト動作タイミング ... 160
6 - 1	DMACバス・サイクルの状態遷移図 ... 177
6 - 2	シングル転送例1 ... 178
6 - 3	シングル転送例2 ... 178
6 - 4	シングル転送例3 ... 179
6 - 5	シングルステップ転送例1 ... 180
6 - 6	シングルステップ転送例2 ... 180
6 - 7	ブロック転送例 ... 181
6 - 8	2サイクルDMA転送時のSRAM, 外部ROM, 外部I/Oアクセス・タイミング ... 182
6 - 9	2サイクルDMA転送時のタイミング (外部I/O SRAM) ... 184
6 - 10	2サイクルDMA転送時のタイミング (SRAM SDRAM) ... 185
6 - 11	2サイクルDMA転送時のタイミング (SDRAM SRAM) ... 188
6 - 12	バッファ・レジスタの構成 ... 193
6 - 13	ターミナル・カウント信号 ($\overline{TC0}$) タイミング例 ... 195
6 - 14	ターミナル・カウント信号 ($\overline{TC0}$) 出力例 ... 195

図の目次 (2/4)

図番号	タイトル, ページ
6 - 15	DMA転送の強制中断例 ... 196
6 - 16	DMA転送の強制終了例 ... 197
6 - 17	1回だけのシングル転送を行うための時間 ... 199
7 - 1	ノンマスカブル割り込みの処理形態 ... 204
7 - 2	ノンマスカブル割り込み要求の受け付け動作 ... 205
7 - 3	RETI命令の処理形態 ... 206
7 - 4	マスカブル割り込みの処理形態 ... 209
7 - 5	RETI命令の処理形態 ... 210
7 - 6	割り込み処理中にほかの割り込み要求が発生した場合の処理例 ... 212
7 - 7	同時発生した割り込み要求の処理例 ... 214
7 - 8	ソフトウェア例外の処理形態 ... 222
7 - 9	RETI命令の処理形態 ... 223
7 - 10	例外トラップの処理形態 ... 226
7 - 11	例外トラップからの復帰の処理形態 ... 226
7 - 12	デバッグ・トラップの処理形態 ... 227
7 - 13	デバッグ・トラップからの復帰の処理形態 ... 228
7 - 14	割り込み要求受け付け時のパイプライン動作 (概略) ... 231
9 - 1	パワー・セーブ・モード状態遷移図 ... 242
10 - 1	タイマCの基本動作 ... 266
10 - 2	オーバフロー後の動作 (OSTn = 1の場合) ... 267
10 - 3	キャプチャ動作例 ... 268
10 - 4	TMC1キャプチャ動作例 (両エッジ指定時) ... 269
10 - 5	コンペア動作例 ... 270
10 - 6	TMC0コンペア動作例 (セット/リセット出力モード) ... 272
10 - 7	インターバル・タイマとして使用時のレジスタ設定内容 ... 273
10 - 8	インターバル・タイマ動作タイミング例 ... 274
10 - 9	PWM出力として使用時のレジスタ設定内容 ... 275
10 - 10	PWM出力動作タイミング例 ... 276
10 - 11	周期測定として使用時のレジスタ設定内容 ... 278
10 - 12	周期測定動作タイミング例 ... 279
10 - 13	TMDn動作中のタイミング例 ... 284
10 - 14	TMD0コンペア動作例 ... 287
11 - 1	アシンクロナス・シリアル・インタフェースのブロック図 ... 293
11 - 2	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 303
11 - 3	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 305

図の目次 (3/4)

図番号	タイトル, ページ
11 - 4	連続送信の処理フロー ... 307
11 - 5	連続送信の開始手順 ... 308
11 - 6	連続送信の終了手順 ... 309
11 - 7	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 311
11 - 8	受信エラー割り込みを受信完了割り込みから分離する場合 (ISRMnビット = 0) ... 312
11 - 9	受信エラー割り込みも受信完了割り込みに含める場合 (ISRMnビット = 1) ... 312
11 - 10	ノイズ・フィルタ回路 ... 314
11 - 11	ノイズとして判断されるRXDn信号のタイミング ... 314
11 - 12	ボー・レート・ジェネレータの構成 ... 315
11 - 13	受信時の許容ボー・レート範囲 ... 320
11 - 14	連続送信時の転送レート ... 322
11 - 15	クロック同期式シリアル・インタフェースのブロック図 ... 324
11 - 16	転送タイミング ... 332
11 - 17	クロック・タイミング ... 333
11 - 18	CSIのシステム構成例 ... 334
12 - 1	A/Dコンバータのブロック図 ... 337
12 - 2	アナログ入力電圧とA/D変換結果の関係 ... 343
12 - 3	セレクト・モードの動作タイミング例：1バッファ・モード (ANI1) ... 347
12 - 4	セレクト・モードの動作タイミング例：4バッファ・モード (ANI2) ... 348
12 - 5	スキャン・モードの動作タイミング例：4チャンネル・スキャン (ANI0-ANI3) ... 349
12 - 6	1バッファ・モード (A/Dトリガ・セレクト1バッファ) の動作例 ... 350
12 - 7	4バッファ・モード (A/Dトリガ・セレクト4バッファ) の動作例 ... 351
12 - 8	スキャン・モード (A/Dトリガ・スキャン) の動作例 ... 352
12 - 9	1トリガ・モード (タイマ・トリガ・セレクト1バッファ1トリガ) の動作例 ... 354
12 - 10	4トリガ・モード (タイマ・トリガ・セレクト1バッファ4トリガ) の動作例 ... 355
12 - 11	1トリガ・モード (タイマ・トリガ・セレクト4バッファ1トリガ) の動作例 ... 356
12 - 12	4トリガ・モード (タイマ・トリガ・セレクト4バッファ4トリガ) の動作例 ... 357
12 - 13	1トリガ・モード (タイマ・トリガ・スキャン1トリガ) の動作例 ... 359
12 - 14	4トリガ・モード (タイマ・トリガ・スキャン4トリガ) の動作例 ... 360
12 - 15	A/Dトリガ・モードのA/D変換時間：ADM1 = 00H設定時 ... 364
12 - 16	タイマ・トリガ・モードのA/D変換時間：ADM1 = 20Hまたは30H設定時 ... 364
12 - 17	A/D変換概要：A/D変換1回，ADM1レジスタのFR0-FR2ビット = 000設定 (96クロック) 時 ... 365
12 - 18	総合誤差 ... 366
12 - 19	量子化誤差 ... 367
12 - 20	ゼロスケール誤差 ... 367
12 - 21	フルスケール誤差 ... 368
12 - 22	微分直線性誤差 ... 368

図の目次 (4/4)

図番号	タイトル, ページ
12 - 23	積分直線性誤差 ... 369
12 - 24	サンプリング時間 ... 369
13 - 1	タイプAのブロック図 ... 375
13 - 2	タイプBのブロック図 ... 376
13 - 3	タイプCのブロック図 ... 376
13 - 4	タイプDのブロック図 ... 377
13 - 5	タイプFのブロック図 ... 377
13 - 6	タイプGのブロック図 ... 378
13 - 7	タイプHのブロック図 ... 379
13 - 8	タイプJのブロック図 ... 380
13 - 9	タイプKのブロック図 ... 381
13 - 10	タイプMのブロック図 ... 382
13 - 11	タイプNのブロック図 ... 383
13 - 12	タイプOのブロック図 ... 384
A - 1	100ピン・プラスチックLQFP (ファインピッチ) (14×14) の場合 ... 452
B - 1	不具合が発生するメモリ・マップ構成例 ... 453
B - 2	不具合回避メモリ・マップ構成例 ... 454

表の目次

表番号	タイトル, ページ
3 - 1	プログラム・レジスタ一覧 ... 56
3 - 2	システム・レジスタ番号 ... 57
3 - 3	割り込み / 例外テーブル ... 66
4 - 1	ウェイト機能が有効なバス・サイクル ... 103
4 - 2	バスの優先順位 ... 113
5 - 1	インターバル・ファクタの設定例 ... 153
6 - 1	転送の種類と転送対象の関係 ... 191
6 - 2	DMA転送時の外部バス・サイクル ... 192
6 - 3	DMAサイクル中の最小実行クロック数 ... 198
7 - 1	割り込み / 例外要因一覧 ... 202
7 - 2	割り込み制御レジスタのアドレスとビット ... 216
9 - 1	パワー・セーブ制御によるクロック・ジェネレータの動作 ... 243
9 - 2	HALTモード時の動作状態 ... 247
9 - 3	割り込み要求によるHALTモード解除後の動作 ... 248
9 - 4	IDLEモード時の動作状態 ... 249
9 - 5	割り込み要求によるIDLEモード解除後の動作 ... 250
9 - 6	ソフトウェアSTOPモード時の動作状態 ... 251
9 - 7	割り込み要求によるソフトウェアSTOPモード解除後の動作 ... 252
9 - 8	カウント時間例 ($f_{xx} = 10 \times f_x$) ... 254
10 - 1	タイマCの構成一覧 ... 256
10 - 2	TO00出力制御 ... 272
10 - 3	タイマDの構成一覧 ... 281
11 - 1	発生する割り込みとデフォルト優先順位 ... 302
11 - 2	受信エラーの要因 ... 311
11 - 3	ボー・レート・ジェネレータ設定データ ... 319
11 - 4	許容最大 / 最小ボー・レート誤差 ... 321
14 - 1	リセット期間中の各端子の動作状態 ... 416
14 - 2	CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 ... 417

第1章 イントロダクション

V850E/MA2は、NECエレクトロニクスのシングルチップ・マイクロコンピュータ「V850シリーズ」の1製品です。この章では、V850E/MA2の概要を簡単に説明します。

1.1 概 説

V850E/MA2は、システム・オン・チップ時代のシステムLSIの核となるCPUコアとして新たに開発したASIC用32ビットRISC型CPUコア「V850E1 CPU」を搭載した32ビット・シングルチップ・マイクロコンピュータです。RAM、および、各種メモリ・コントローラ、DMAコントローラ、リアルタイム・パルス・ユニット、シリアル・インタフェース、A/Dコンバータなどの周辺機能を内蔵し、大容量データ処理と高度なリアルタイム制御を実現します。

(1) 「V850E1 CPU」搭載

「V850E1 CPU」は、V850シリーズ搭載のCPUコア「V850 CPU」に対し、外部バス・インタフェースの性能を強化し、C言語のswitch文処理、テーブル・ルックアップの分岐、スタック・フレームの生成/削除、データ変換など、主に高級言語に対応した命令などを追加することにより、制御系だけではなく、データ処理系にも対応したCPUコアです。

なお、命令コードは、V850 CPUに対して、オブジェクト・コード・レベルでの上位互換性を持たせているため、V850 CPU搭載システムのソフトウェア資産をそのまま使用できます。

(2) 外部メモリ・インタフェース機能

外部メモリ・インタフェースとして、セパレート構成のアドレス・バス(25ビット)、データ・バス(16ビット)とSDRAM、ROM用インタフェースのほか、ページROMなどに直結できる各種メモリ・コントローラを内蔵しているので、システム性能を上げるとともにアプリケーション・システムの部品点数を削減できます。

また、DMAコントローラにより、外部メモリ間の転送と並行してCPU内部の演算やデータ転送を行えるため、画像データや音声データなどの大容量データ処理が可能となるうえ、内蔵RAMを使用した高速な命令実行により、モータ制御、通信制御などのリアルタイム制御も同時に実現できます。

(3) 充実したミドルウェア、開発環境製品群

V850E/MA2はJPEG、JBIG、MH/MR/MMRなどのミドルウェアを高速実行できます。また、音声認識、音声合成などの処理を実現するミドルウェアも用意されているので、これらのミドルウェアと組み合わせることにより、マルチメディア・システムを容易に実現できます。

また、最適化Cコンパイラ、ディバग्ガ、インサーキット・エミュレータ、シミュレータ、システム・パフォーマンス・アナライザなどの統合された開発環境も用意しています。

1.2 特 徴

命令数	83
最小命令実行時間	25 ns (内部40 MHz動作時)
汎用レジスタ	32ビット×32本
命令セット	V850E1 CPU 符号付き乗算 (16ビット×16ビット 32ビット, または32ビット×32ビット 64ビット) : 1-2クロック 飽和演算命令 (オーバフロー/アンダフロー検出機能付き) 32ビット・シフト命令: 1クロック ビット操作命令 ロング/ショート形式を持つロード/ストア命令 符号付きロード命令
メモリ空間	80 Mバイト・リニア・アドレス空間 (プログラム/データ共有) チップ・セレクト出力機能: 4空間 メモリ・ブロック分割機能: 2 M, 4 M, 8 Mバイト/ブロック プログラマブル・ウェイト機能 アイドル・ステート挿入機能
外部バス・インタフェース	16ビット・データ・バス (アドレス/データ分離型バス) 16/8ビット・バス・サイジング機能 バス・ホールド機能 外部ウェイト機能 アドレス・セットアップ・ウェイト機能 エンディアン制御機能
内蔵メモリ	内蔵RAM: 4 Kバイト
割り込み/例外	外部割り込み : 8本 (NMI含む) 内部割り込み : 23要因 例外 : 1要因 8レベルの優先順位指定可能
メモリ・アクセス制御	SDRAMコントローラ ページROMコントローラ

DMAコントローラ

4チャンネル構成

転送単位 : 8ビット / 16ビット

最大転送回数 : 65536 (2^{16}) 回

転送タイプ : 2サイクル転送

転送モード : シングル転送 / シングルステップ転送 / ブロック転送

転送対象 : メモリ メモリ, メモリ I/O

転送要求 : 外部要求 / 内蔵周辺I/O / ソフトウェア

DMA転送終了 (ターミナル・カウント) 出力信号

ネクスト・アドレス設定機能

I/Oライン

入力ポート : 5

入出力ポート : 74

リアルタイム・パルス・ユニット

16ビット・タイマ/イベント・カウンタ : 2ch

16ビット・タイマ : 2本

16ビット・キャプチャ/コンペア・レジスタ : 4本

16ビット・インターバル・タイマ : 4ch

シリアル・インタフェース (SIO)

アシンクロナス・シリアル・インタフェース (UART)

クロック同期式シリアル・インタフェース (CSI)

CSI/UART : 2ch

A/Dコンバータ

10ビット分解能A/Dコンバータ : 4ch

クロック・ジェネレータ

PLLクロック・シンセサイザによる10逡倍機能

外部クロック入力による2分周機能

パワー・セーブ機能

HALT / IDLE / ソフトウェアSTOPモード

パッケージ

100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

CMOS構造

完全スタティック回路

1.3 応用分野

インクジェット・プリンタ, ファクシミリ, デジタル・スチル・カメラ, DVDプレーヤ, ビデオ・プリンタ, PPC, 情報家電など

★ 1.4 オーダ情報

品名	パッケージ	内蔵ROM	内蔵RAM
μPD703108GC-8EU	100ピン・プラスチックLQFP (ファインピッチ) (14×14)	なし	4 Kバイト
μPD703108GC-8EU-A	"	"	"

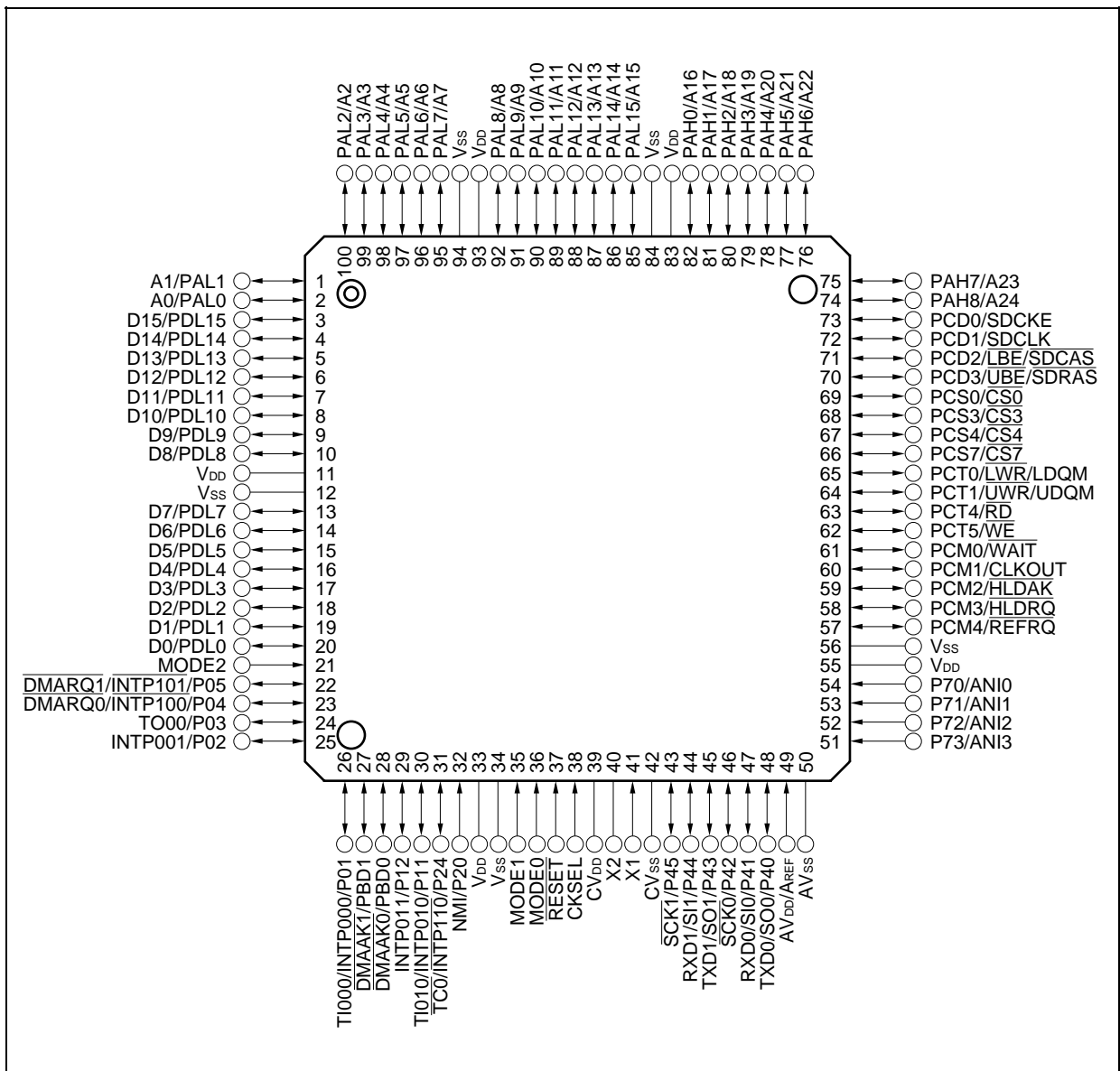
備考 オーダ名称末尾「-A」の製品は、鉛フリー製品です。

1.5 端子接続図 (Top View)

・100ピン・プラスチックLQFP (ファインピッチ) (14×14)

μPD703108GC-8EU

★ μPD703108GC-8EU-A

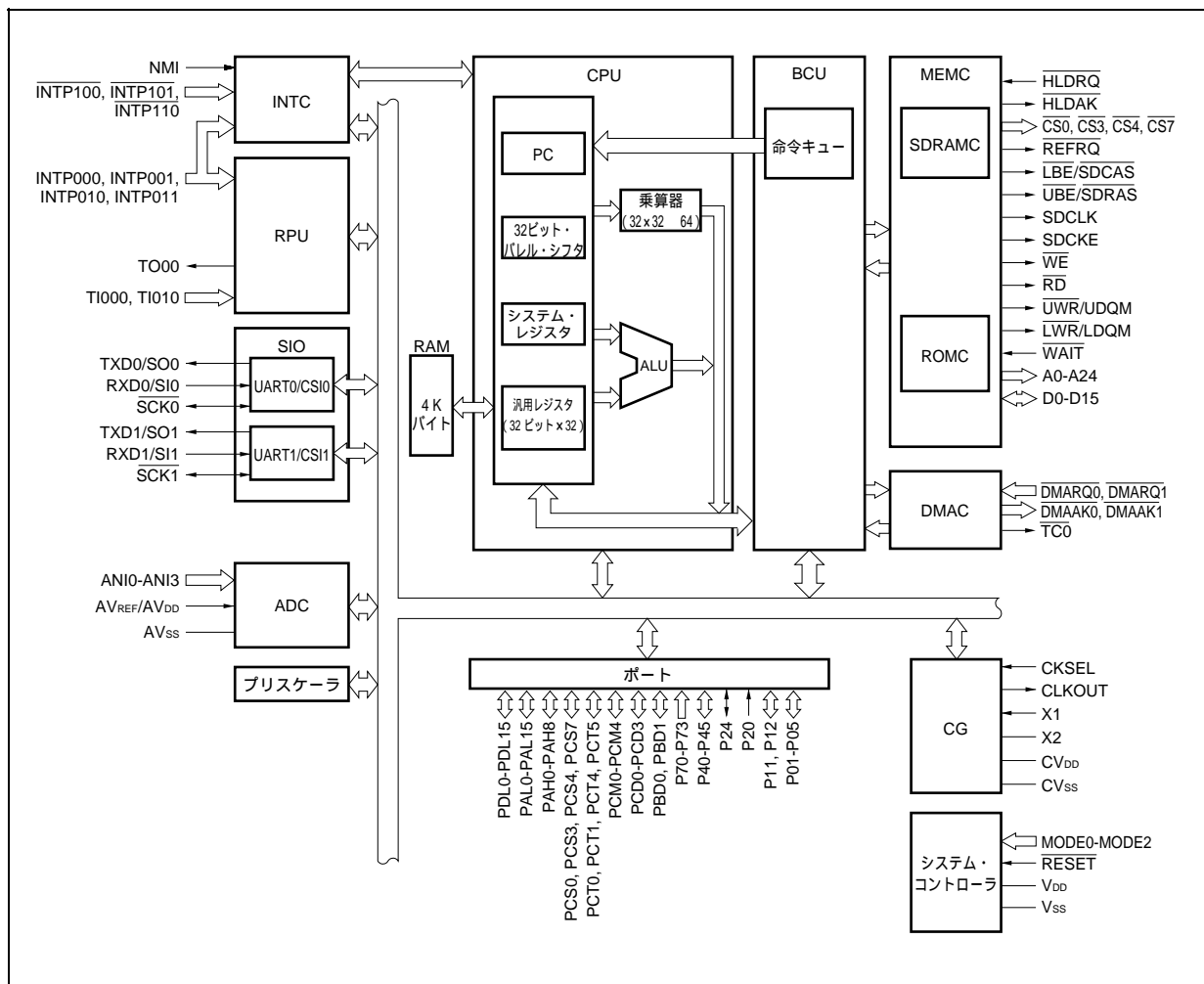


端子名称

A0-A24	: Address Bus	$\overline{\text{REFRQ}}$: Refresh Request
ANI0-ANI3	: Analog Input	$\overline{\text{RESET}}$: Reset
AV _{DD}	: Analog Power Supply	RXD0, RXD1	: Receive Data
AV _{REF}	: Analog Reference Voltage	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$: Serial Clock
AV _{SS}	: Analog Ground	SDCAS	: SDRAM Column Address
CKSEL	: Clock Generator Operating Mode Select	$\overline{\text{Strobe}}$	
CLKOUT	: Clock Output	SDCKE	: SDRAM Clock Enable
$\overline{\text{CS0}}, \overline{\text{CS3}}, \overline{\text{CS4}}, \overline{\text{CS7}}$: Chip Select	SDCLK	: SDRAM Clock Output
CV _{DD}	: Clock Generator Power Supply	$\overline{\text{SDRAS}}$: SDRAM Row Address Strobe
CV _{SS}	: Clock Generator Ground	SI0, SI1	: Serial Input
D0-D15	: Data Bus	SO0, SO1	: Serial Output
$\overline{\text{DMAAK0}}, \overline{\text{DMAAK1}}$: DMA Acknowledge	$\overline{\text{TC0}}$: Terminal Count Signal
$\overline{\text{DMARQ0}}, \overline{\text{DMARQ1}}$: DMA Request	TI000, TI010	: Timer Input
$\overline{\text{HLDAK}}$: Hold Acknowledge	TO00	: Timer Output
$\overline{\text{HLDRQ}}$: Hold Request	TXD0, TXD1	: Transmit Data
INTP000, INTP001,	: Interrupt Request from Peripherals	$\overline{\text{UBE}}$: Upper Byte Enable
INTP010, INTP011,		UDQM	: Upper DQ Mask Enable
INTP100, INTP101,		$\overline{\text{UWR}}$: Upper Write Strobe
INTP110		V _{DD}	: Power Supply
$\overline{\text{LBE}}$: Lower Byte Enable	V _{SS}	: Ground
LDQM	: Lower DQ Mask Enable	$\overline{\text{WAIT}}$: Wait
$\overline{\text{LWR}}$: Lower Write Strobe	$\overline{\text{WE}}$: Write Enable
MODE0-MODE2	: Mode	X1, X2	: Crystal
NMI	: Non-maskable Interrupt Request		
P01-P05	: Port 0		
P11, P12	: Port 1		
P20, P24	: Port 2		
P40-P45	: Port 4		
P70-P73	: Port 7		
PAH0-PAH8	: Port AH		
PAL0-PAL15	: Port AL		
PBD0, PBD1	: Port BD		
PCD0-PCD3	: Port CD		
PCM0-PCM4	: Port CM		
PCS0, PCS3, PCS4,	: Port CS		
PCS7			
PCT0, PCT1,	: Port CT		
PCT4, PCT5			
PDL0-PDL15	: Port DL		
$\overline{\text{RD}}$: Read Strobe		

1.6 機能ブロック構成

★ 1.6.1 内部ブロック図



1.6.2 内部ユニット

(1) CPU

アドレス計算、算術論理演算、データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器(16ビット×16ビット 32ビット,または32ビット×32ビット 64ビット),バレル・シフタ(32ビット)などの専用ハードウェアを内蔵し、複雑な命令処理の高速化を図っています。

(2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときCPUからのバス・サイクル起動の要求がない場合は、プリフェッチ・アドレスを生成し、命令コードのプリフェッチを行います。プリフェッチされた命令コードは、CPU内部の命令キューに取り込まれます。

BCUは、SDRAMコントローラ (SDRAMC)、ページROMコントローラ (ROMC)、DMAコントローラ (DMAC) を制御し、外部メモリへのアクセスやDMA転送を行います。

(a) SDRAMコントローラ (SDRAMC)

$\overline{\text{SDRAS}}$, $\overline{\text{SDCAS}}$, UDQM, LDQM信号の生成とSDRAMへのアクセス制御を行います。

CASレーテンシ2, 3に対応しており、バースト長は1固定です。

また、CBRリフレッシュ・サイクルに対応したリフレッシュ機能および外部入力によるダイナミックなセルフ・リフレッシュ機能があります。

(b) ページROMコントローラ (ROMC)

ページ・アクセス機能付きROMへのアクセスに対応します。

直前のバス・サイクルとの比較を行い、通常アクセス (オフページ) / ページ・アクセス (オンページ) のウエイト制御を行います。8-128バイトのページ幅に対応できます。

(c) DMAコントローラ (DMAC)

CPUの代わりにメモリ、I/O間でのデータの転送を行います。

アドレス・モードには、2サイクル転送があります。バス・モードには、シングル転送、シングルストップ転送、ブロック転送の3種類があります。

(3) RAM

FFFFC000H番地からマッピングされています。

命令フェッチ時、データ・アクセス時にCPUから1クロックでアクセスできます。

(4) 割り込みコントローラ (INTC)

内蔵周辺I/Oおよび、外部からのハードウェア割り込み要求 (NMI, INTP0n0, INTP0n1, $\overline{\text{INTP10n}}$, $\overline{\text{INTP110}}$) を処理します (n = 0, 1)。これらの割り込み要求は、8レベルの割り込み優先順位が指定でき、割り込み要因に対して多重処理制御を行うこともできます。

(5) クロック・ジェネレータ (CG)

入力クロック (fx) の10倍 (内蔵PLL使用) , または1/2倍 (内蔵PLL未使用) の周波数を内部システム・クロック (fxx) として供給します。入力クロックとして外部発振子をX1, X2端子に接続するか (内蔵PLLシンセサイザ使用時だけ) , 外部クロックをX1端子から入力します。

(6) リアルタイム・パルス・ユニット (RPU)

16ビットのタイマ/イベント・カウンタを2チャンネルと, 16ビットのインターバル・タイマを4チャンネル内蔵しています。パルス間隔や周波数の計測, プログラマブルなパルスの出力ができます。

(7) シリアル・インタフェース (SIO)

アシンクロナス・シリアル・インタフェース (UART) とクロック同期式シリアル・インタフェース (CSI) の切り替えが可能なシリアル・インタフェースを2チャンネル備えています。

UARTは, TXDn, RXDn端子によりデータ転送を行います (n = 0, 1)。

CSIは, SOn, SIn, $\overline{\text{SCKn}}$ 端子によりデータ転送を行います (n = 0, 1)。

(8) A/Dコンバータ (ADC)

4本のアナログ入力端子を持つ高速, 高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(9) ポート

次に示すように, 汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	制御機能
ポート0	5ビット入出力	リアルタイム・パルス・ユニット入出力, 外部割り込み入力, DMAコントローラ入力
ポート1	2ビット入出力	リアルタイム・パルス・ユニット入力, 外部割り込み入力
ポート2	1ビット入力, 1ビット入出力	NMI入力, 外部割り込み入力, DMAコントローラ出力
ポート4	6ビット入出力	シリアル・インタフェース入出力
ポート7	4ビット入力	A/Dコンバータ入力
ポートAL	16ビット入出力	外部アドレス・バス
ポートAH	9ビット入出力	外部アドレス・バス
ポートDL	16ビット入出力	外部データ・バス
ポートCS	4ビット入出力	外部バス・インタフェース制御信号出力
ポートCT	4ビット入出力	外部バス・インタフェース制御信号出力
ポートCM	5ビット入出力	ウエイト挿入信号入力, 内部システム・クロック出力, 外部バス・インタフェース制御信号入出力
ポートCD	4ビット入出力	外部バス・インタフェース制御信号出力
ポートBD	2ビット入出力	DMAコントローラ出力

第2章 端子機能

V850E/MA2の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

2.1 端子機能一覧

(1) ポート端子

(1/2)

端子名称	入出力	機 能	兼用端子
P01	入出力	ポート0 5ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TI000/INTP000
P02			INTP001
P03			TO00
P04			DMARQ0/INTP100
P05			DMARQ1/INTP101
P11	入出力	ポート1 2ビット入出力ポート 1ビット単位で入力/出力の指定が可能	INTP010/TI010
P12			INTP011
P20	入力	ポート2 P20は入力専用ポート 有効エッジが入力されると、NMI入力として動作します。 また、P2レジスタのビット0でNMI入力の状態を示します。 P24は入出力ポート	NMI
P24	入出力		TC0/INTP110
P40	入出力	ポート4 6ビット入出力ポート 1ビット単位で入力/出力の指定が可能	TXD0/SO0
P41			RXD0/SI0
P42			SCK0
P43			TXD1/SO1
P44			RXD1/SI1
P45			SCK1
P70-P73	入力	ポート7 4ビット入力専用ポート	ANI0-ANI3
PBD0, PBD1	入出力	ポートBD 2ビット入出力ポート 1ビット単位で入力/出力の指定が可能	DMAAK0, DMAAK1
★ PCM0	入出力	ポートCM 5ビット入出力ポート 1ビット単位で入力/出力の指定が可能	WAIT
PCM1			CLKOUT
PCM2			HLDK
PCM3			HLDK
PCM4			REFRQ

端子名称	入出力	機 能	兼用端子
PCT0	入出力	ポートCT 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	LWR/LDQM
PCT1			UWR/UDQM
PCT4			RD
PCT5			WE
PCS0	入出力	ポートCS 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	CS0
PCS3			CS3
PCS4			CS4
PCS7			CS7
PCD0	入出力	ポートCD 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SDCKE
PCD1			SDCLK
PCD2			LBE/SDCAS
PCD3			UBE/SDRAS
PAH0-PAH8	入出力	ポートAH 8/9ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A16-A24
PAL0-PAL15	入出力	ポートAL 8/16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A0-A15
PDL0-PDL15	入出力	ポートDL 8/16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	D0-D15

(2) ポート以外の端子

(1/2)

端子名称	入出力	機 能	兼用端子
TO00	出力	タイマC0のパルス信号出力	P03
TI000	入力	タイマC0, C1の外部カウント・クロック入力	P01/INTP000
TI010			P11/INTP010
INTP000	入力	外部マスカブル割り込み要求入力/ タイマC0の外部キャプチャ・トリガ入力	P01/TI000
INTP001			P02
INTP010		外部マスカブル割り込み要求入力/ タイマC1の外部キャプチャ・トリガ入力	P11/TI010
INTP011			P12
$\overline{\text{INTP100}}$	入力	外部マスカブル割り込み要求入力	P04/ $\overline{\text{DMARQ0}}$
$\overline{\text{INTP101}}$			P05/ $\overline{\text{DMARQ1}}$
$\overline{\text{INTP110}}$			P24/ $\overline{\text{TC0}}$
SO0	出力	CSI0, CSI1のシリアル送信データ出力 (3線式)	P40/TXD0
SO1			P43/TXD1
SI0	入力	CSI0, CSI1のシリアル受信データ入力 (3線式)	P41/RXD0
SI1			P44/RXD1
$\overline{\text{SCK0}}$	入出力	CSI0, CSI1のシリアル・クロック入出力 (3線式)	P42
$\overline{\text{SCK1}}$			P45
TXD0	出力	UART0, UART1のシリアル送信データ出力	P40/SO0
TXD1			P43/SO1
RXD0	入力	UART0, UART1のシリアル受信データ入力	P41/SI0
RXD1			P44/SI1
ANI0-ANI3	入力	A/Dコンバータへのアナログ入力	P70-P73
$\overline{\text{DMARQ0}}$	入力	DMA要求信号入力	P04/ $\overline{\text{INTP100}}$
$\overline{\text{DMARQ1}}$			P05/ $\overline{\text{INTP101}}$
$\overline{\text{DMAAK0}}$	出力	DMAアクノリッジ信号出力	PBD0
$\overline{\text{DMAAK1}}$			PBD1
$\overline{\text{TC0}}$	出力	DMA転送終了 (ターミナル・カウント) 信号出力	P24/ $\overline{\text{INTP110}}$
NMI	入力	ノンマスカブル割り込み要求信号入力	P20
MODE0- MODE2	入力	V850E/MA2の動作モードを指定	-
$\overline{\text{WAIT}}$	入力	バス・サイクルにウエイトを挿入する制御信号入力	PCM0
$\overline{\text{HLDK}}$	出力	バス・ホールド・アクノリッジ出力	PCM2
$\overline{\text{HLDRQ}}$	入力	バス・ホールド要求入力	PCM3
$\overline{\text{REFRQ}}$	出力	DRAMに対するリフレッシュ要求信号出力	PCM4
$\overline{\text{LWR}}$	出力	外部データの下位バイト・ライト・ストロープ信号出力	PCT0/ $\overline{\text{LDQM}}$
$\overline{\text{UWR}}$	出力	外部データの上位バイト・ライト・ストロープ信号出力	PCT1/ $\overline{\text{UDQM}}$
$\overline{\text{LDQM}}$	出力	SDRAMの下位データに対するアウトプット・ディスエーブル/ライト・マスク信号出力	PCT0/ $\overline{\text{LWR}}$
$\overline{\text{UDQM}}$	出力	SDRAMの上位データに対するアウトプット・ディスエーブル/ライト・マスク信号出力	PCT1/ $\overline{\text{UWR}}$
$\overline{\text{RD}}$	出力	外部データ・バスのリード・ストロープ信号出力	PCT4
$\overline{\text{WE}}$	出力	SDRAMに対するライト・イネーブル信号出力	PCT5

端子名称	入出力	機能	兼用端子
CS0	出力	チップ・セレクト信号出力	PCS0
CS3			PCS3
CS4			PCS4
CS7			PCS7
SDCKE	出力	SDRAMクロック・イネーブル信号出力	PCD0
SDCLK	出力	SDRAMクロック信号出力	PCD1
SDCAS	出力	SDRAMに対するカラム・アドレス・ストロブ信号出力	PCD2/LBE
SDRAS	出力	SDRAMに対するロウ・アドレス・ストロブ信号出力	PCD3/UBE
LBE	出力	外部データ・バスの下位バイト・イネーブル信号出力	PCD2/SDCAS
UBE	出力	外部データ・バスの上位バイト・イネーブル信号出力	PCD3/SDRAS
D0-D15	入出力	外部メモリに対する16ビット・データ・バス	PDL0-PDL15
A0-A15	出力	外部メモリに対する25ビット・アドレス・バス	PAL0-PAL15
A16-A24			PAH0-PAH8
RESET	入力	システム・リセット入力	-
X1	入力	システム・クロック発振用クリスタル接続端子。	-
X2	-	外部からクロックを供給する場合は、X1端子に入力します。	-
CLKOUT	出力	システム・クロック出力	PCM1
CKSEL	入力	クロック・ジェネレータの動作モードを指定する入力	-
AVREF	入力	A/Dコンバータ用基準電圧入力	AVDD
AVDD	-	A/Dコンバータ用正電源供給	AVREF
AVSS	-	A/Dコンバータ用グランド電位	-
CVDD	-	専用クロック・ジェネレータ用正電源供給	-
CVSS	-	専用クロック・ジェネレータ用グランド電位	-
VDD	-	正電源供給端子	-
VSS	-	グランド電位	-

2.2 端子状態

リセット時、パワー・セーブ・モード（ソフトウェアSTOPモード、IDLE、HALT）時、DMA転送時、リフレッシュ時、バス・ホールド（TH）時での各端子の状態を次に示します。

端子	動作状態	リセット	IDLEモード/ ソフトウェア STOPモード	HALTモード/ DMA転送中/ リフレッシュ	バス・ホールド (TH) ^注
A0-A15 (PAL0-PAL15)		Hi-Z	Hi-Z	動作	Hi-Z
A16-A24 (PAH0-PAH8)		Hi-Z	Hi-Z	動作	Hi-Z
D0-D15 (PDL0-PDL15)		Hi-Z	Hi-Z	動作	Hi-Z
CS ₀ , CS ₃ , CS ₄ , CS ₇ (PCS ₀ , PCS ₃ , PCS ₄ , PCS ₇)		Hi-Z	H	動作	Hi-Z
LWR, UWR (PCT0, PCT1)		Hi-Z	H	動作	Hi-Z
LDQM, UDQM (PCT0, PCT1)		-	H	動作	Hi-Z
RD (PCT4)		Hi-Z	H	動作	Hi-Z
WE (PCT5)		Hi-Z	H	動作	Hi-Z
WAIT (PCM0)		Hi-Z	-	動作	-
CLKOUT (PCM1)		動作	L	動作	動作
HLD _{AK} (PCM2)		Hi-Z	H	動作	L
HLD _{RQ} (PCM3)		Hi-Z	-	動作	動作
REFRQ (PCM4)		Hi-Z	L	動作	動作
SDCKE (PCD0)		Hi-Z	L	動作	動作
SDCLK (PCD1)		Hi-Z	L	動作	動作
SDCAS (PCD2)		-	SELF	動作	Hi-Z
LBE (PCD2)		Hi-Z	H	動作	Hi-Z
SDRAS (PCD3)		-	SELF	動作	Hi-Z
UBE (PCD3)		Hi-Z	H	動作	Hi-Z
DMAAK ₀ , DMAAK ₁ (PBD0, PBD1)		Hi-Z	H	動作	H

★ 注 ポート・モードに指定した端子は、直前の状態を保持します。

備考 Hi-Z : ハイ・インピーダンス

H : ハイ・レベル出力

L : ロウ・レベル出力

- : 入力非サンプリング

SELF : SDRAMに接続している場合は、セルフ・リフレッシュ状態

2.3 端子機能の説明

(1) P01-P05 (Port 0) ... 3ステート入出力

ポート0は、1ビット単位で入力または出力を設定できる5ビットの入出力ポートです。

P01-P05は入出力ポートとして機能するほか、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入出力、外部割り込み要求入力、DMA要求入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート0モード・コントロール・レジスタ (PMC0) で指定します。

(a) ポート・モード

P01-P05はポート0モード・レジスタ (PM0) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P01-P05はPMC0レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) TI000 (Timer Input) ... 入力

タイマC0の外部カウント・クロック入力端子です。

(ii) TO00 (Timer Output) ... 出力

タイマC0のパルス信号を出力します。

(iii) INTP000, INTP001 (Interrupt Request from Peripherals) ... 入力

外部割り込み要求入力端子およびタイマC0の外部キャプチャ・トリガ入力端子です。

(iv) $\overline{\text{INTP100}}$, $\overline{\text{INTP101}}$ (Interrupt Request from Peripherals) ... 入力

外部割り込み要求入力端子です。

(v) $\overline{\text{DMARQ0}}$, $\overline{\text{DMARQ1}}$ (DMA Request) ... 入力

DMAサービスの要求信号です。それぞれDMAチャンネル0, 1に対応し互いに独立して動作します。

優先順位は固定で $\overline{\text{DMARQ0}} > \overline{\text{DMARQ1}}$ です。

この信号は、CLKOUTの立ち上がりでサンプリングされます。DMA要求が受け付けられるまでアクティブ・レベルを保持してください。

(2) P11, P12 (Port 1) ... 3ステート入出力

ポート1は、1ビット単位で入力または出力を設定できる2ビットの入出力ポートです。

P11, P12は入出力ポートとして機能するほか、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入力、外部割り込み要求入力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート1モード・コントロール・レジスタ (PMC1) で指定します。

(a) ポート・モード

P11, P12はポート1モード・レジスタ (PM1) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P11, P12はPMC1レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) TI010 (Timer Input) ... 入力

タイマC1の外部カウント・クロック入力端子です。

(ii) INTP010, INTP011 (Interrupt Request from Peripherals) ... 入力

外部割り込み要求入力端子およびタイマC1の外部キャプチャ・トリガ入力端子です。

(3) P20, P24 (Port 2) ... 3ステート入出力

ポート2のP20は入力専用ポート、P24は入出力ポートです。

P24は入出力ポートとして機能するほか、コントロール・モードでは外部割り込み要求入力、DMA転送終了出力(ターミナル・カウント)として動作します。ポート/コントロール・モードの選択は、ポート2モード・コントロール・レジスタ(PMC2)で指定します。

(a) ポート・モード

P24はポート2モード・レジスタ(PM2)により、入力または出力を設定します。P20は入力専用ポートで、有効エッジが入力されるとNMI入力として動作します。

(b) コントロール・モード

P24はPMC2レジスタにより、ポート/コントロール・モードを設定します。

(i) NMI (Non-Maskable Interrupt Request) ... 入力

ノンマスクابل割り込み要求入力です。

(ii) $\overline{\text{INTP110}}$ (Interrupt Request from Peripherals) ... 入力

外部割り込み要求入力端子です。

(iii) $\overline{\text{TC0}}$ (Terminal Count) ... 出力

DMAコントローラによるDMA転送が終了したことを示す信号です。この信号は、CLKOUT信号の立ち上がりで1クロック間アクティブになります。

★

(4) P40-P45 (Port 4) ... 3ステート入出力

ポート4は、1ビット単位で入力または出力を設定できる6ビットの入出力ポートです。

P40-P45は入出力ポートとして機能するほか、コントロール・モードではシリアル・インタフェース (UART0/CSI0, UART1/CSI1) の入出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポート4モード・コントロール・レジスタ (PMC4) で指定します。

(a) ポート・モード

P40-P45はポート4モード・レジスタ (PM4) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

P40-P45はPMC4レジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) TXD0, TXD1 (Transmit Data) ... 出力

UART0, UART1のシリアル送信データを出力します。

(ii) RXD0, RXD1 (Receive Data) ... 入力

UART0, UART1のシリアル受信データを入力します。

(iii) SO0, SO1 (Serial Output) ... 出力

CSI0, CSI1のシリアル送信データを出力します。

(iv) SI0, SI1 (Serial Input) ... 入力

CSI0, CSI1のシリアル受信データを入力します。

(v) $\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$ (Serial Clock) ... 3ステート入出力

CSI0, CSI1のシリアル・クロック入出力端子です。

(5) P70-P73 (Port 7) ... 3ステート入出力

ポート7は、全端子が入力に固定の4ビット入力専用ポートです。

ポートとして機能するほか、コントロール・モードではA/Dコンバータのアナログ入力として動作します。ただし、入力ポートとアナログ入力端子は切り替えられません。

(a) ポート・モード

P70-P73は入力専用です。

(b) コントロール・モード

P70-P73はANI0-ANI3端子と兼用になっていますが、切り替えはできません。

(i) ANI0-ANI3 (Analog Input) ... 入力

A/Dコンバータへのアナログ入力端子です。

ノイズによる誤動作を防ぐため、 AV_{SS} との間にコンデンサを接続してください。また、A/Dコンバータへの入力に使用している端子には、 AV_{SS} - AV_{REF} の範囲外の電圧が加わらないようにしてください。 AV_{REF} 以上、 AV_{SS} 以下のノイズが入る可能性がある場合は、 V_F の小さいダイオードでクランプしてください。

(6) PBD0, PBD1 (Port BD) ... 3ステート入出力

ポートBDは、1ビット単位で入力または出力を設定できる2ビットの入出力ポートです。

PBD0, PBD1は入出力ポートとして機能するほか、コントロール・モードではDMAアクリッジ出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートBDモード・コントロール・レジスタ (PM CBD) で指定します。

(a) ポート・モード

PBD0, PBD1はポートBDモード・レジスタ (PM BD) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PBD0, PBD1はPM CBDレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) $\overline{DMAAK0}$, $\overline{DMAAK1}$ (DMA Acknowledge) ... 出力

DMAサービス要求が許可されたことを示す信号です。それぞれDMAチャンネル0, 1に対応し互いに独立して動作します。

外部メモリをアクセスしているときだけアクティブになります。内蔵RAMと内蔵周辺I/O間でDMA転送が実行されているときには、アクティブになりません。

この信号は、DMAサイクルのT0, T1R, T1FHステートのCLKOUT信号の立ち上がりでアクティブになり、DMA転送中はアクティブ・レベルを保持します。

(7) PCM0-PCM4 (Port CM) ... 3ステート入出力

ポートCMは、1ビット単位で入力または出力を設定できる5ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではウエイト挿入信号入力、システム・クロック出力、バス・ホールド制御信号、DRAMに対するリフレッシュ要求信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCMモード・コントロール・レジスタ (PMCCM) で指定します。

(a) ポート・モード

PCM0-PCM4はポートCMモード・レジスタ (PMCM) により、ビット単位に入力または出力を設定できます。

★ (b) コントロール・モード

PCM0-PCM4はPMCCMレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) $\overline{\text{WAIT}}$ (Wait) ... 入力

★ バス・サイクルにデータ・ウエイトを挿入する制御信号入力端子で、CLKOUT信号に対する非同期入力が可能です。CLKOUT信号の立ち上がりでサンプリングします。サンプリング・タイミングにおける設定/保持時間を満たさないときはウエイト挿入が行われないことがあります。

(ii) CLKOUT (Clock Output) ... 出力

内部システム・クロック出力端子です。

(iii) $\overline{\text{HLD}}\text{AK}$ (Hold Acknowledge) ... 出力

V850E/MA2がバス・ホールド要求を受けて、アドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にしたことを示すアクノリッジ信号出力端子です。

この信号がアクティブの間、アドレス・バス、データ・バス、制御バスはハイ・インピーダンス状態になり、外部バス・マスタにバスの使用権を渡します。

(iv) $\overline{\text{HLDR}}\text{Q}$ (Hold Request) ... 入力

外部デバイスがV850E/MA2に対し、アドレス・バス、データ・バス、制御バスの解放を要求する入力端子です。この端子は、CLKOUTに対して非同期入力が可能です。この端子がアクティブになると、V850E/MA2は実行中のバス・サイクルがあればその終了後に、なければすぐにアドレス・バス、データ・バス、制御バスをハイ・インピーダンス状態にし、 $\overline{\text{HLD}}\text{AK}$ 信号をアクティブにしてバスを解放します。

確実にバス・ホールド状態にするためには、 $\overline{\text{HLD}}\text{AK}$ 信号が出力されるまで、 $\overline{\text{HLDR}}\text{Q}$ 信号をアクティブに保ってください。

(v) $\overline{\text{REFRQ}}$ (Refresh Request) ... 出力

DRAMに対するリフレッシュ要求信号です。

外部回路でアドレスをデコードして接続するDRAMを増やす場合や、外部にSIMMを接続する場合に、リフレッシュ・サイクル時のRAS制御に使用します。

この信号は、リフレッシュ・サイクル期間中、アクティブになります。また、バス・ホールド時は、リフレッシュ要求が発生するとアクティブになり、外部バス・マスタに対し、リフレッシュ要求が発生したことを通知します。

(8) PCT0, PCT1, PCT4, PCT5 (Port CT) ... 3ステート入出力

ポートCTは、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではメモリを外部に拡張する場合の制御信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCTモード・コントロール・レジスタ (PMCCT) で指定します。

(a) ポート・モード

PCT0, PCT1, PCT4, PCT5はポートCTモード・レジスタ (PMCT) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PCT0, PCT1, PCT4, PCT5はPMCCTレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) $\overline{\text{LWR}}$ (Lower Byte Write Strobe) ... 3ステート出力

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O領域に対するライト・サイクルであることを示すストロブ信号です。

データ・バスは下位バイトが有効になります。バス・サイクルが下位のメモリ・ライトならば、T1ステートのCLKOUT信号の立ち下がりでアクティブになり、T2ステートのCLKOUT信号の立ち下がりでインアクティブになります。

(ii) $\overline{\text{UWR}}$ (Upper Byte Write Strobe) ... 3ステート出力

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O領域に対するライト・サイクルであることを示すストロブ信号です。

データ・バスは上位バイトが有効になります。バス・サイクルが上位のメモリ・ライトならば、T1ステートのCLKOUT信号の立ち下がりでアクティブになり、T2ステートのCLKOUT信号の立ち下がりでインアクティブになります。

(iii) LDQM (Lower DQ Mask Enable) ... 3ステート出力

SDRAMに対するデータ・バスの制御信号です。データ・バスは下位バイトが有効になります。リード時はSDRAMの出力ディスエーブル制御を行い、ライト時はSDRAMのバイト・マスク制御を行います。

(iv) UDQM (Upper DQ Mask Enable) ... 3ステート出力

SDRAMに対するデータ・バスの制御信号です。データ・バスは上位バイトが有効になります。リード時はSDRAMの出力ディスエーブル制御を行い、ライト時はSDRAMのバイト・マスク制御を行います。

(v) $\overline{\text{RD}}$ (Read Strobe) ... 3ステート出力

実行中のバス・サイクルが、SRAM、外部ROM、外部周辺I/O、ページROM領域に対するリード・サイクルであることを示すストロブ信号です。アイドル・ステート (TI) では、インアクティブになります。

(vi) \overline{WE} (Write Enable) ... 3ステート出力

実行中のバス・サイクルが、SDRAM領域に対するライト・サイクルであることを示す信号です。
アイドル・ステート (TI) では、インアクティブになります。

(9) PCS0, PCS3, PCS4, PCS7 (Port CS) ... 3ステート入出力

ポートCSは、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではメモリ、周辺I/Oを外部に拡張する場合の制御信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCSモード・コントロール・レジスタ (PMCCS) で指定します。

(a) ポート・モード

PCS0, PCS3, PCS4, PCS7はポートCSモード・レジスタ (PMCS) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PCS0, PCS3, PCS4, PCS7はPMCCSレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) $\overline{CS0}$, $\overline{CS3}$, $\overline{CS4}$, $\overline{CS7}$ (Chip Select) ... 3ステート出力

SRAM, 外部ROM, 外部周辺I/O, ページROM領域に対するチップ・セレクト信号です。

メモリ・ブロックnに対して \overline{CSn} 信号が割り当てられています (n = 0, 3, 4, 7)。

対応するメモリ・ブロックにアクセスするバス・サイクルを起動している期間アクティブになります。

アイドル・ステート (TI) では、インアクティブになります。

(10) PCD0-PCD3 (Port CD) ... 3ステート入出力

ポートCDは、1ビット単位で入力または出力を設定できる4ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モードではメモリ、周辺I/Oを外部に拡張する場合の制御信号出力として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートCDモード・コントロール・レジスタ (PMCCD) で指定します。

(a) ポート・モード

PCD0-PCD3はポートCDモード・レジスタ (PMCD) により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PCD0-PCD3はPMCCDレジスタにより、ビット単位でポート/コントロール・モードの設定ができます。

(i) SDCKE (SDRAM Clock Enable) ... 3ステート出力

SDRAMのクロック・イネーブル出力信号です。セルフ・リフレッシュ、スタンバイ・モード時は、インアクティブになります。

(ii) SDCLK (SDRAM Clock Output) ... 3ステート出力

★ SDRAM専用のクロック出力信号です。必ず内部システム・クロックと同じ周波数が出力されません。

(iii) $\overline{\text{SDCAS}}$ (SDRAM Column Address Strobe) ... 3ステート出力

SDRAMに対するコマンド出力信号です。

(iv) $\overline{\text{SDRAS}}$ (SDRAM Row Address Strobe) ... 3ステート出力

SDRAMに対するコマンド出力信号です。

(v) $\overline{\text{LB\bar{E}}}$ (Lower Byte Enable) ... 3ステート出力

外部データ・バスの下位バイトのイネーブル信号です。

(vi) $\overline{\text{UB\bar{E}}}$ (Upper Byte Enable) ... 3ステート出力

外部データ・バスの上位バイトのイネーブル信号です。

(11) PAH0-PAH8 (Port AH) ... 3ステート入出力

ポートAHは、1ビット単位で入力または出力を設定できる8/9ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のアドレス・バス（A16-A24）として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートAHモード・コントロール・レジスタ（PMCAH）で指定します。

(a) ポート・モード

PAH0-PAH8はポートAHモード・レジスタ（PMAH）により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PAH0-PAH8はPMCAHレジスタにより、A16-A24として使用できます。

(i) A16-A24 (Address) ... 3ステート出力

外部アドレス時のアドレス・バスで、25ビット・アドレスの上位9ビット・アドレス出力端子です。

出力は、バス・サイクルのT1ステートのCLKOUT信号の立ち下がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

(12) PAL0-PAL15 (Port AL) ... 3ステート入出力

ポートALは、1ビット単位で入力または出力を設定できる8/16ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のアドレス・バス（A0-A15）として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートALモード・コントロール・レジスタ（PMCAL）で指定します。

(a) ポート・モード

PAL0-PAL15はポートALモード・レジスタ（PMAL）により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PAL0-PAL15はPMCALレジスタにより、A0-A15として使用できます。

(i) A0-A15 (Address) ... 3ステート出力

外部アドレス時のアドレス・バスで、25ビット・アドレスの下位16ビット・アドレス出力端子です。

出力は、バス・サイクルのT1ステートのCLKOUT信号の立ち下がりに同期して変化します。アイドル・ステート（TI）では直前のバス・サイクルのアドレスを保持しています。

(13) PDL0-PDL15 (Port DL) ... 3ステート入出力

ポートDLは、1ビット単位で入力または出力を設定できる8/16ビットの入出力ポートです。

ポートとして機能するほか、コントロール・モード（外部拡張モード）では、メモリを外部に拡張する場合のデータ・バス（D0-D15）として動作します。

動作モードは、1ビットごとにポート/コントロール・モードの選択が可能で、ポートDLモード・コントロール・レジスタ（PMCDL）で指定します。

(a) ポート・モード

PDL0-PDL15はポートDLモード・レジスタ（PMDL）により、ビット単位に入力または出力を設定できます。

(b) コントロール・モード

PDL0-PDL15はPMCDLレジスタにより、D0-D15として使用できます。

(i) D0-D15 (Data) ... 3ステート入出力

外部アクセス時のデータ・バスです。16ビット・データの入出力バス端子となります。

出力は、バス・サイクルのT1ステートのCLKOUT信号の立ち上がり同期して変化します。アイドル・ステート（TI）ではハイ・インピーダンスになります。

(14) CKSEL (Clock Generator Operating Mode Select) ... 入力

クロック・ジェネレータの動作モードを指定する入力端子です。

(15) MODE0-MODE2 (Mode) ... 入力

動作モードを指定する入力端子です。

(16) $\overline{\text{RESET}}$ (Reset) ... 入力

$\overline{\text{RESET}}$ 入力は非同期入力であり、動作クロックと無関係に一定のロウ・レベル幅を持つ信号が入力されると、すべての動作に優先してシステム・リセットがかかります。

通常のイニシャライズ/スタートのほかに、スタンバイ・モード（HALT, IDLE, ソフトウェアSTOP）の解除にも使用します。

(17) X1, X2 (Crystal)

システム・クロック発生用の発振子接続端子です。

(18) CV_{DD} (Power Supply for Clock Generator)

クロック・ジェネレータ用の正電源供給端子です。

(19) CV_{SS} (Ground for Clock Generator)

クロック・ジェネレータ用のグランド端子です。

(20) V_{DD} (Power Supply)

各内部ユニット用の正電源供給端子です。すべてのV_{DD}端子を正電源に接続してください。

(21) V_{SS} (Ground)

グランド端子です。すべてのV_{SS}端子をグランドに接続してください。

(22) AV_{DD} (Analog Power Supply)

A/Dコンバータ用のアナログ正電源供給端子です。

(23) AV_{SS} (Analog Ground)

A/Dコンバータ用のグランド端子です。

(24) AV_{REF} (Analog Reference Voltage) ... 入力

A/Dコンバータ用の基準電圧供給端子です。

2.4 端子の入出力回路タイプと未使用時の処理

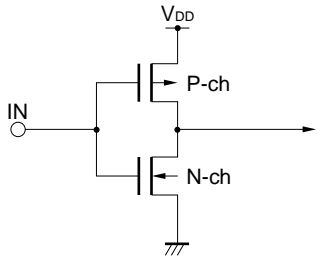
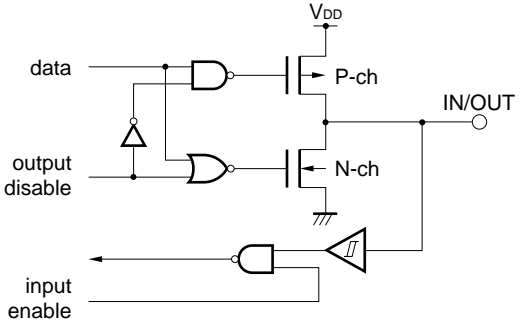
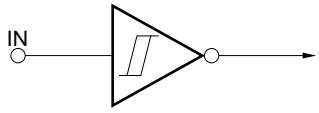
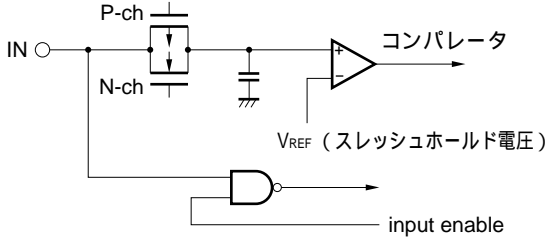
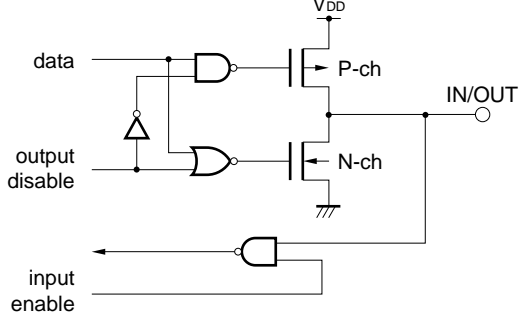
抵抗を介してV_{DD}またはV_{SS}に接続する場合、1-10 kΩの抵抗を接続することをお勧めします。

(1/2)

端 子	入出力回路タイプ	推奨接続方法
P01/INTP000/TI000	5-AC	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。
P02/INTP001		
P03/TO00	5	出力状態：オープンにしてください。
P04/DMARQ0/INTP100, P05/DMARQ1/INTP101	5-AC	
P11/INTP010/TI010, P12/INTP011		
P20/NMI	2	V _{SS} に直接接続してください。
P24/TC0/INTP110	5-AC	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。
P40/TXD0/SO0	5	
P41/RXD0/SI0	5-AC	出力状態：オープンにしてください。
P42/SCK0		
P43/TXD1/SO1	5	
P44/RXD1/SI1	5-AC	
P45/SCK1		
P70/ANI0 - P73/ANI3	9	V _{SS} に直接接続してください。
PBD0/DMAAK0, PBD1/DMAAK1	5	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
PCM0/WAIT	5	入力状態：個別に抵抗を介してV _{DD} に接続してください。
★ PCM1/CLKOUT	5	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
PCM2/HLDAK		
PCM3/HLDRQ	5	入力状態：個別に抵抗を介してV _{DD} に接続してください。
PCM4/REFRQ	5	入力状態：個別に抵抗を介してV _{DD} またはV _{SS} に接続してください。 出力状態：オープンにしてください。
PCT0/LWR/LDQM		
PCT1/UWR/UDQM		
PCT4/RD		
PCT5/WE		
PCS0/CS0		
PCS3/CS3		
PCS4/CS4		
PCS7/CS7		
PCD0/SDCKE		
PCD1/SDCLK		
PCD2/LBE/SDCAS		
PCD3/UBE/SDRAS		
PAH0/A16-PAH8/A24		
PAL0/A0-PAL15/A15		
PDL0/D0-PDL15/D15		

端 子	入出力回路タイプ	推奨接続方法
MODE0 - MODE2	2	-
RESET		-
CKSEL	1	-
AV _{SS}	-	V _{SS} に接続してください。
AV _{DD} /AV _{REF}	-	V _{DD} に接続してください。

2.5 端子の入出力回路

<p>タイプ1</p> 	<p>タイプ5-AC</p> 
<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ9</p> 
<p>タイプ5</p> 	

3.2 CPUレジスタ・セット

V850E/MA2のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850E1 ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外/ディバグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外/ディバグ・トラップ時状態回避レジスタ)
r15			
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1、r3-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

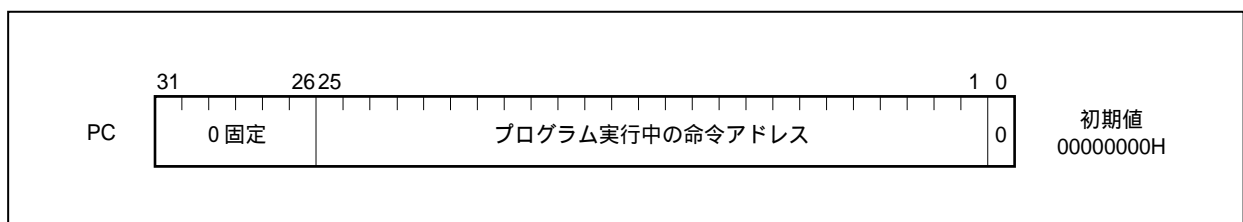
名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス / データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス / データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

備考 アセンブラやCコンパイラで使用されるr1、r3-r5、r31の詳細な説明は、CA850 (Cコンパイラ・パッケージ) ユーザーズ・マニュアル アセンブリ言語編を参照してください。

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW)		
2	NMI時状態退避レジスタ (FEPC)		
3	NMI時状態退避レジスタ (FEPSW)		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/ディバグ・トラップ時状態退避レジスタ (DBPC)	注2	
19	例外/ディバグ・トラップ時状態退避レジスタ (DBPSW)	注2	
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. このレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

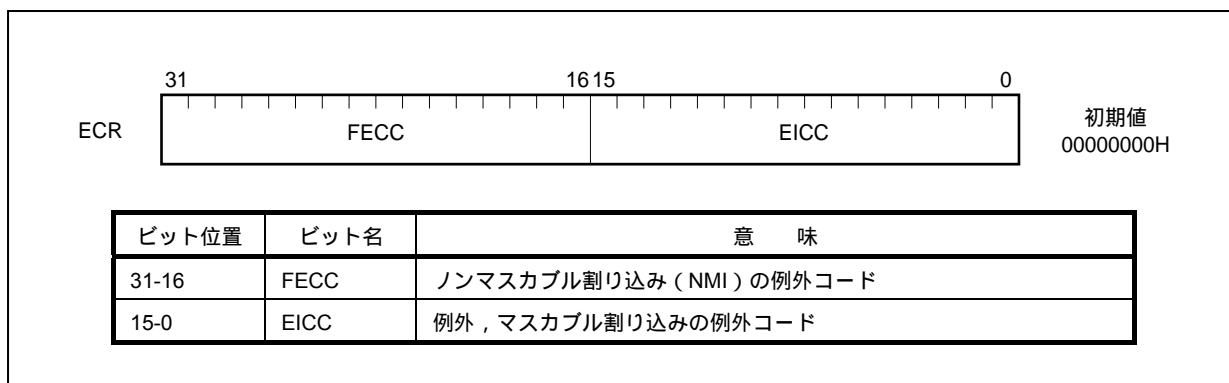
2. DBTRAP命令実行時だけアクセス可能です。

注意 LDSR命令によりEIPCがFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

備考 : アクセス可能

x : アクセス禁止

(1) 割り込み要因レジスタ (ECR)



(2) プログラム・ステータス・ワード (PSW)

(1/2)



ビット位置	ビット名	意味
31-8	RFU	予約フィールドです (0に固定されています)。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMIが受け付けられるとセットされ、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット (1) されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付けられる状態かどうかを示します。 0: 割り込み可 1: 割り込み不可
4	SAT ^注	飽和演算処理命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット (1) され、以降の命令の演算結果が飽和しなくてもクリア (0) されません。クリア (0) する場合は、PSWにデータをロードします。なお、一般の算術演算では、セット (1) もクリア (0) もしません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリーまたはボローが発生した場合にセットされます (発生しなかった場合、リセットされます)。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバフローが発生した場合にセットされます (発生しなかった場合、リセットされます)。 0: オーバフローは発生していない。 1: オーバフローが発生した。
1	S ^注	演算の結果が負であった場合にセットされます。正であった場合、リセットされます。 0: 演算の結果は、正または0であった。 1: 演算の結果は、負であった。
0	Z	演算の結果が0であった場合に、セットされます (ゼロでなかった場合、リセットされます)。 0: 演算の結果は、0でなかった。 1: 演算の結果は、0であった。

備考 注の説明は次ページに記載しています。

注 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の 値を保持	0	0	演算結果そのもの
負(最大値を越えない)			1	

3.3 動作モード

3.3.1 動作モード

V850E/MA2は次に示す動作モードを備えます。モードの指定はMODE0-MODE2端子により行います。

(1) ROMレス・モード0, 1

システム・リセット解除後、バス・インタフェース関連の各端子はコントロール・モードになり、外部デバイス（メモリ）のリセット・エントリ・アドレスに分岐し、命令処理を開始します。

ROMレス・モード0では16ビット・データ・バスに、ROMレス・モード1では8ビット・データ・バスになります。

3.3.2 動作モード指定

MODE0-MODE2端子の状態により、動作モードを指定します。これらの端子の指定は応用システムにおいて固定とし、動作中に変更した場合の動作は保証しません。

MODE2	MODE1	MODE0	動作モード		備考
L	L	L	通常動作モード	ROMレス・モード0	16ビット・データ・バス
L	L	H		ROMレス・モード1	8ビット・データ・バス
上記以外			設定禁止		

備考 L：ロウ・レベル入力

H：ハイ・レベル入力

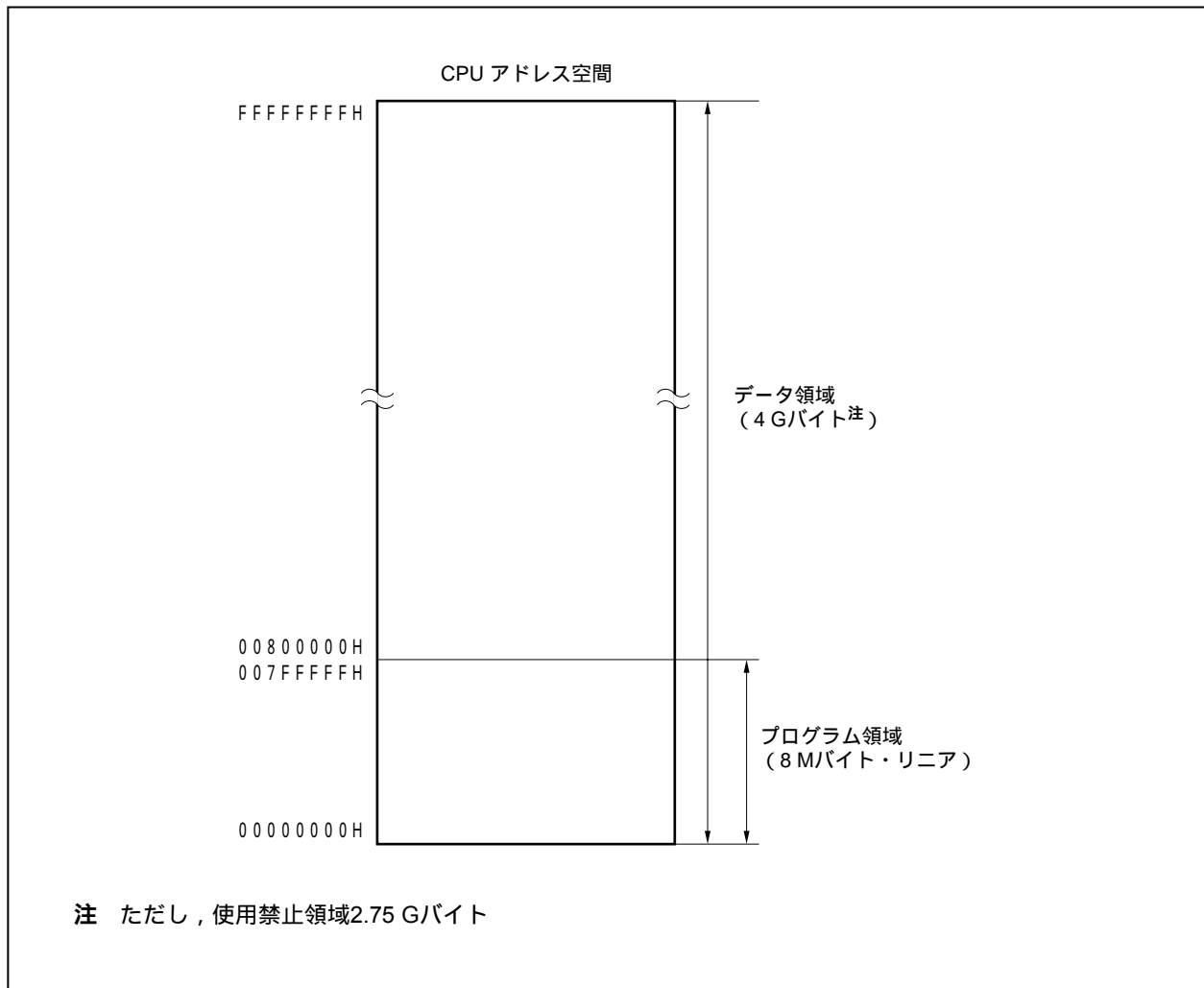
3.4 アドレス空間

3.4.1 CPUアドレス空間

V850E/MA2のCPUは、32ビット・アーキテクチャであり、オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのアドレス空間（データ空間）をサポートしています。また、命令アドレスのアドレッシングにおいては、最大8 Mバイトのリニア・アドレス空間（プログラム空間）をサポートしています。

次にCPUアドレス空間を示します。

図3 - 1 CPUアドレス空間



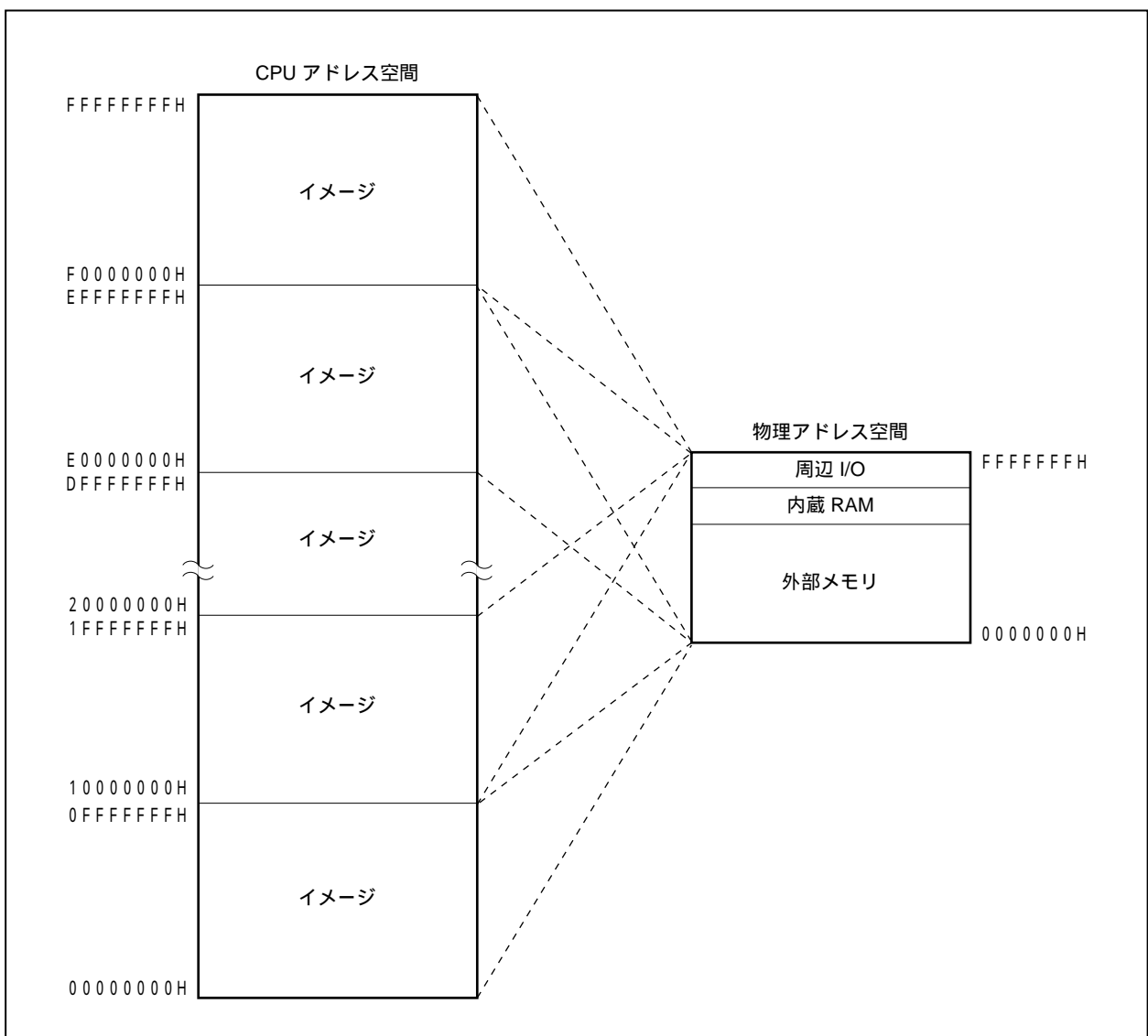
3.4.2 イメージ

4 GバイトのCPUアドレス空間には、256 Mバイトの物理アドレス空間が16個のイメージとして見えます。つまり、CPUアドレスのビット31-ビット28がどのような値でも、同じ256 Mバイトの物理アドレス空間をアクセスします。図3 - 2にアドレス空間上のイメージを示します。

物理アドレスのx0000000H番地が、CPUアドレスの00000000H番地のほかに、10000000H番地、20000000H番地、...、E0000000H番地、F0000000H番地に見えます。

注意 ただし、V850E/MA2では、256 Mバイトの物理アドレス空間のうち、使用可能な空間は80 Mバイトです（4.3 メモリ・ブロック機能参照）。そのため、オペランド・アドレッシングの空間は4 Gバイトではなく1.25 Gバイトになります。

図3 - 2 アドレス空間上のイメージ



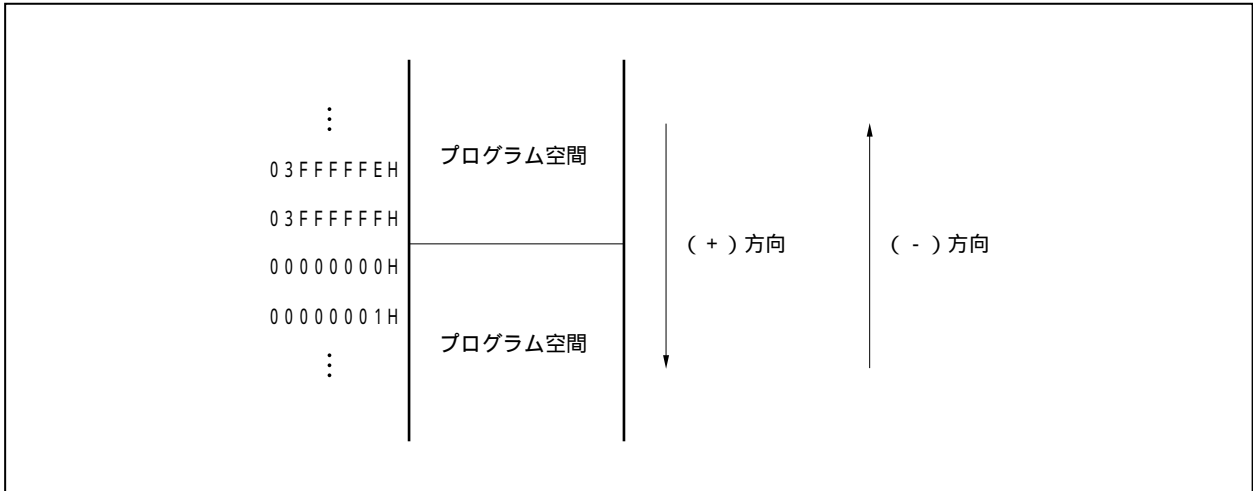
3.4.3 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはポローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の下限である00000000H番地と、上限の03FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

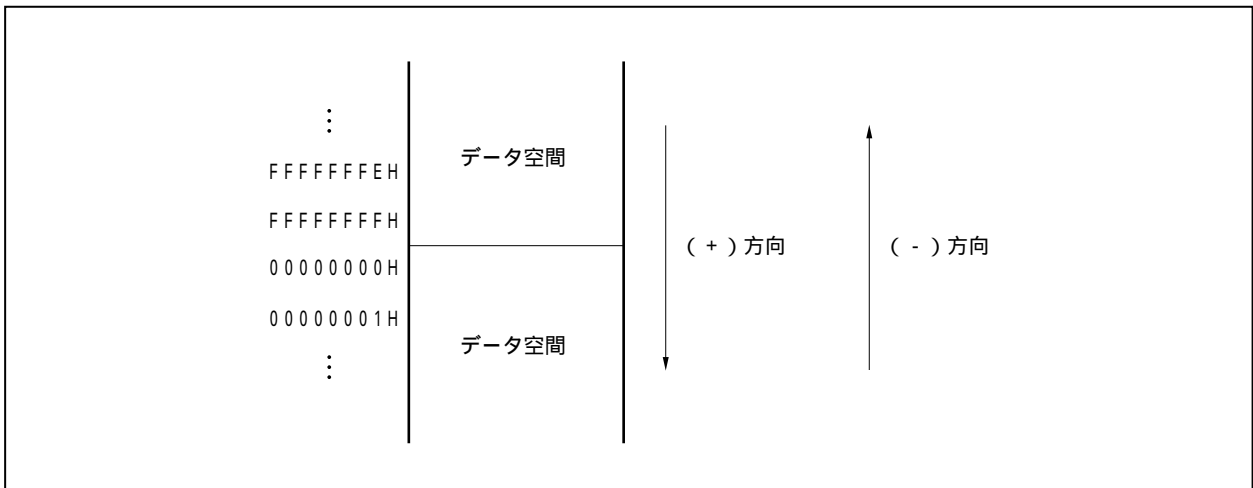
★ **注意** 03FFF000H-03FFFFFFHの4 Kバイトの領域は、0FFFFFF00H-0FFFFFFFHのイメージが見えます。この領域はアクセス禁止です。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

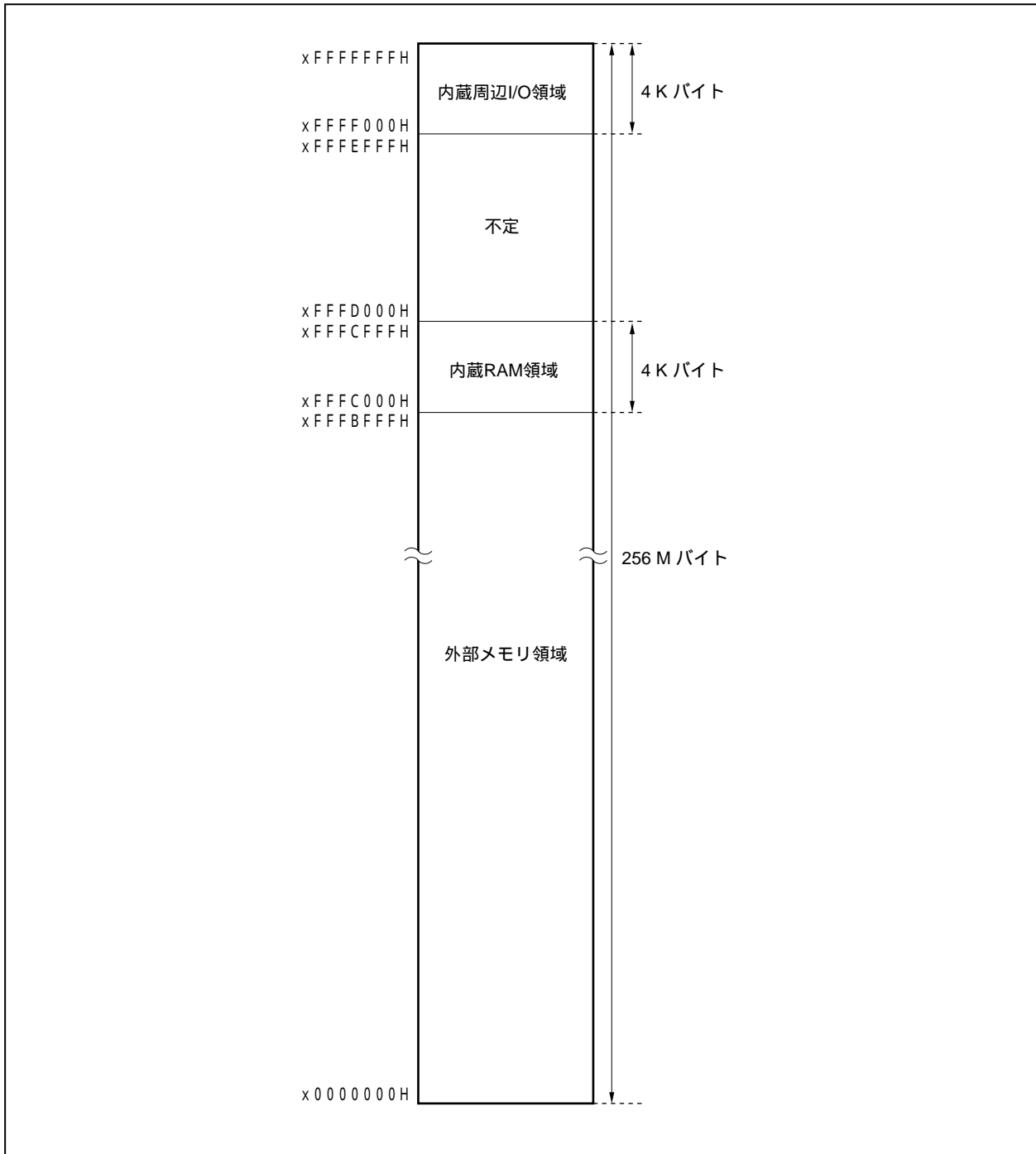
したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.4 メモリ・マップ

V850E/MA2では、次に示すように各領域を予約しています。

図3-3 メモリ・マップ



3.4.5 領域

(1) メモリ領域

メモリ領域として80 Mバイトの外部メモリ領域があります。下位8 Mバイトはプログラム/データ領域として使用できます。上位72 Mバイトはデータ領域として使用できます。なお、外部メモリ領域のアドレスは次のとおりです。

x0000000H-x07FFFFFFH, x4000000H-x5FFFFFFFH,
x8000000H-x9FFFFFFFH, xF800000H-xFFFBFFFFH

メモリ領域へのアクセスは、各メモリ・ブロックごとに割り当てられたチップ・セレクト信号を使用します(チップ・エリア選択コントロール・レジスタ0, 1 (CSC0, CSC1) で設定したCS単位で行います)。

なお、内蔵RAM, 内蔵周辺I/Oの各領域に対しては、外部メモリ領域としてアクセスすることはできません。

(a) 割り込み / 例外テーブル

V850E/MA2は、割り込み / 例外に対応したハンドラ・アドレスを固定化することにより、割り込み応答性を高速化しています。

このハンドラ・アドレスの集合を割り込み / 例外テーブルと呼びます。割り込み / 例外要求が受け付けられると、ハンドラ・アドレスにジャンプし、そのメモリに置かれているプログラムを実行します。表3 - 3に割り込み / 例外要因と、対応するアドレスを示します。

備考 リセット後に正しく動作させるために、リセット・ルーチンへのハンドラ・アドレスを外部メモリの0番地に用意してください。

表3 - 3 割り込み / 例外テーブル

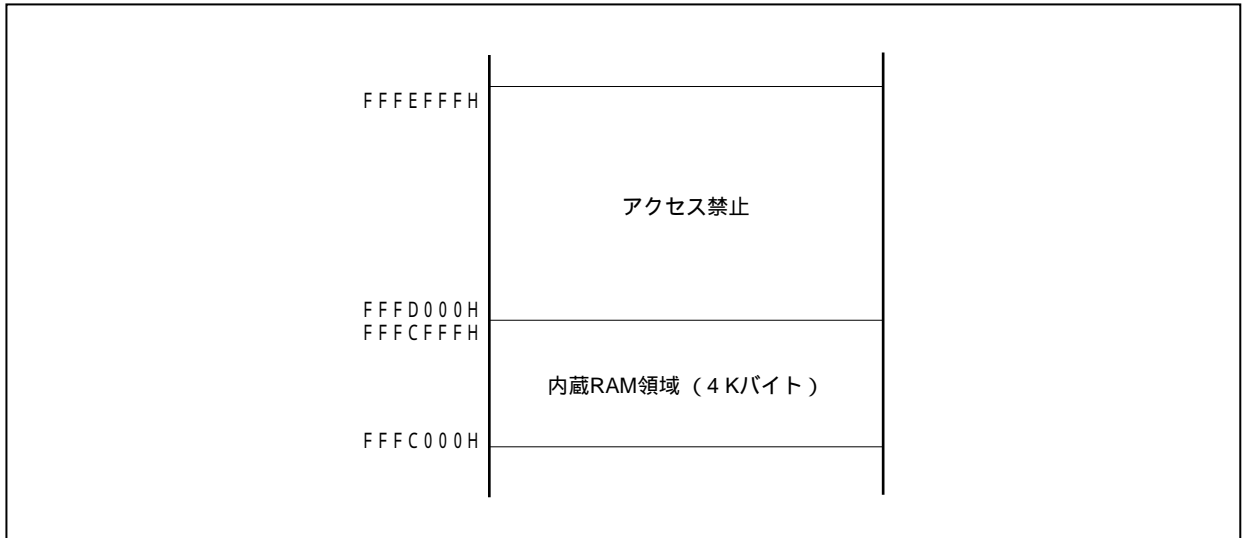
割り込み / 例外テーブルの先頭アドレス	割り込み / 例外要因
00000000H	RESET
00000010H	NMI
00000040H	TRAP0n (n = 0-F)
00000050H	TRAP1n (n = 0-F)
00000060H	ILGOP/DBG0
00000080H	INTOV00
00000090H	INTOV01
00000C0H	INTP000/INTM000
00000D0H	INTP001/INTM001
00000E0H	INTP010/INTM010
00000F0H	INTP011/INTM011
00000140H	INTP100
00000150H	INTP101
00000180H	INTP110
00000240H	INTCMD0
00000250H	INTCMD1
00000260H	INTCMD2
00000270H	INTCMD3
00000280H	INTDMA0
00000290H	INTDMA1
000002A0H	INTDMA2
000002B0H	INTDMA3
000002C0H	INTCSI0
000002D0H	INTSER0
000002E0H	INTSR0
000002F0H	INTST0
00000300H	INTCSI1
00000310H	INTSER1
00000320H	INTSR1
00000330H	INTST1
00000380H	INTAD

★ (2) 内蔵RAM領域

内蔵RAM領域は、FFFC000H-FFFEFFFH番地の12 Kバイトが予約されています。3FFC000H-3FFEFFFH番地の12 Kバイトには、FFFC000H-FFFEFFFH番地のイメージが見えます。

物理内蔵RAMとしてFFFC000H-FFFCFFFH番地の4 Kバイトを実装しています。

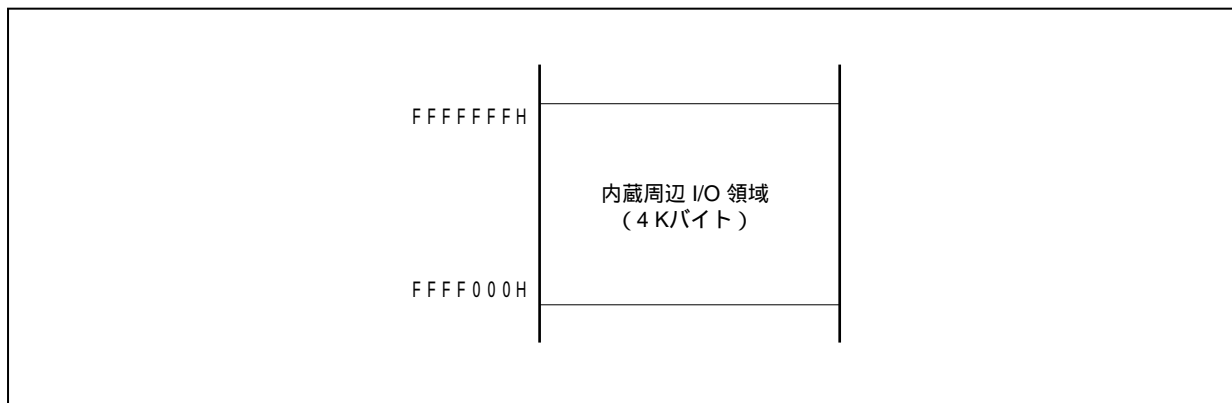
注意 FFFD000H-FFFEFFFH番地はアクセス禁止です。



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域としてFFFFFFFH-FFFFFFFH番地の4 Kバイトを実装しています。
3FFF000H-3FFFFFFFH番地[※]には、FFFFFFFH-FFFFFFFH番地のイメージが見えます。

- ★ **注** 3FFF000H-3FFFFFFFH番地はアクセス禁止です。内蔵周辺I/OをアクセスするときにはFFFFFFFH-FFFFFFFH番地を指定してください。



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** V850E/MA2ではワード・アクセス可能なレジスタは存在しませんが、レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

DMA転送の転送元、転送先のアドレスに3FFF000H-3FFFFFFFHを指定することができません。転送元、転送先のアドレスには、必ずFFFFFFFH-FFFFFFFHのアドレスを指定してください。

3.4.6 外部メモリ拡張

ポートnモード・コントロール・レジスタ (PMcN) をコントロール・モードに設定することにより、ポートAL, AH, DL, CS, CT, CM, CDの各端子を用いて外部メモリ空間に外部デバイスを接続することができます。各レジスタの設定は、PMcNにより、ポートAL, AH, DL, CS, CT, CM, CDの各端子をコントロール・モードに選択することで行います (n = AL, AH, DL, CS, CT, CM, CD)。

なお、リセット時の状態は、MODE0-MODE2端子による動作モード指定により、次のように異なります (動作モードについては3.3 動作モードを参照してください)。

(a) ROMレス・モード0の場合

リセット時は、ポートAL, AH, DL, CS, CT, CM, CDの各端子がコントロール・モードになるため、ポートnモード・コントロール・レジスタ (PMcN) の変更なしで外部メモリが使用できます (外部データ・バス幅は16ビットになります)。

(b) ROMレス・モード1の場合

リセット時は、ポートAL, AH, DL, CS, CT, CM, CDの各端子がコントロール・モードになるため、ポートnモード・コントロール・レジスタ (PMcN) の変更なしで外部メモリが使用できます (外部データ・バス幅は8ビットになります)。

備考 n = AL, AH, DL, CS, CT, CM, CD

3.4.7 アドレス空間の推奨使用方法

V850E/MA2のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

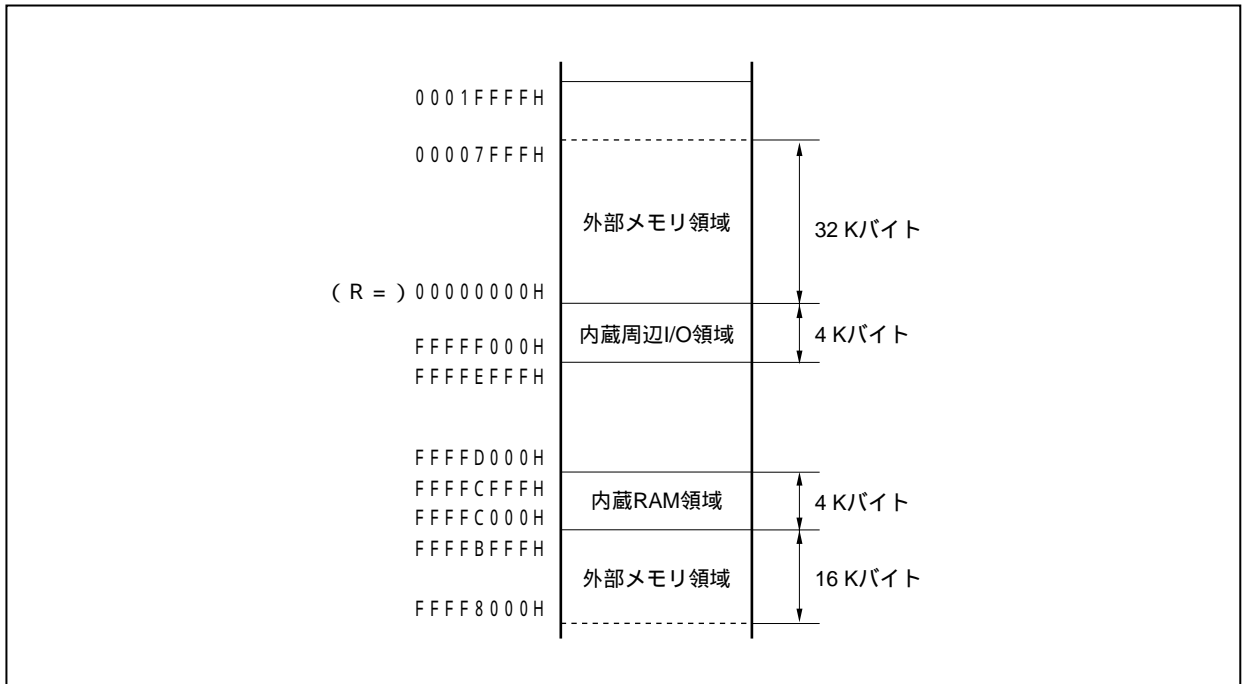
(1) プログラム空間

プログラム・カウンタ (PC) は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。そのうちプログラム空間に関しては00000000H番地から連続した8 Mバイト空間がメモリ・マップに対応します。

(2) データ空間

V850E/MA2では、4 GバイトのCPUアドレス空間に256 Mバイトの物理アドレス空間が16個のイメージとして見えるため、この26ビット・アドレスの最上位ビット (ビット25) を32ビット長まで符号拡張したアドレスとして割り当てています。ただし、256 Mバイトの物理アドレス空間のうち、使用可能な空間は80 Mバイトです。そのため、オペランド・アドレッシングの空間は4 Gバイトではなく1.25 Gバイトになります。

例 ラップ・アラウンドを利用した応用例は次のようになります。



LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。外部メモリ領域を上図の16 Kバイトの範囲にマッピングすれば、内蔵ハードウェアのすべてを含むすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ (r0) はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

3.4.8 周辺I/Oレジスタ

(1/6)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF00H	ポートAL	PAL	R/W				不定
FFFFFF00H	ポートALL	PALL	R/W				不定
FFFFFF01H	ポートALH	PALH	R/W				不定
FFFFFF02H	ポートAH	PAH	R/W				不定
FFFFFF02H	ポートAHL	PAHL	R/W				不定
FFFFFF03H	ポートAHH	PAHH	R/W				不定
FFFFFF04H	ポートDL	PDL	R/W				不定
FFFFFF04H	ポートDLL	PDLL	R/W				不定
FFFFFF05H	ポートDLH	PDLH	R/W				不定
FFFFFF08H	ポートCS	PCS	R/W				不定
FFFFFF0AH	ポートCT	PCT	R/W				不定
FFFFFF0CH	ポートCM	PCM	R/W				不定
FFFFFF0EH	ポートCD	PCD	R/W				不定
FFFFFF12H	ポートBD	PBD	R/W				不定
FFFFFF20H	ポートALモード・レジスタ	PMAL	R/W				FFFFH
FFFFFF20H	ポートALモード・レジスタL	PMALL	R/W				FFH
FFFFFF21H	ポートALモード・レジスタH	PMALH	R/W				FFH
FFFFFF22H	ポートAHモード・レジスタ	PMAH	R/W				FFFFH
FFFFFF22H	ポートAHモード・レジスタL	PMAHL	R/W				FFH
FFFFFF23H	ポートAHモード・レジスタH	PMAHH	R/W				FFH
FFFFFF24H	ポートDLモード・レジスタ	PMDL	R/W				FFFFH
FFFFFF24H	ポートDLモード・レジスタL	PMDLL	R/W				FFH
FFFFFF25H	ポートDLモード・レジスタH	PMDLH	R/W				FFH
FFFFFF28H	ポートCSモード・レジスタ	PMCS	R/W				FFH
FFFFFF2AH	ポートCTモード・レジスタ	PMCT	R/W				FFH
FFFFFF2CH	ポートCMモード・レジスタ	PMCM	R/W				FFH
FFFFFF2EH	ポートCDモード・レジスタ	PMCD	R/W				FFH
FFFFFF32H	ポートBDモード・レジスタ	PMBD	R/W				FFH
FFFFFF40H	ポートALモード・コントロール・レジスタ	PMCAL	R/W				FFFFH
FFFFFF40H	ポートALモード・コントロール・レジスタL	PMCALL	R/W				FFH
FFFFFF41H	ポートALモード・コントロール・レジスタH	PMCALH	R/W				FFH
FFFFFF42H	ポートAHモード・コントロール・レジスタ	PMCAH	R/W				01FFH
FFFFFF42H	ポートAHモード・コントロール・レジスタL	PMCAHL	R/W				FFH
FFFFFF43H	ポートAHモード・コントロール・レジスタH	PMCAHH	R/W				01H
FFFFFF44H	ポートDLモード・コントロール・レジスタ	PMCDL	R/W				FFFFH
FFFFFF44H	ポートDLモード・コントロール・レジスタL	PMCDLL	R/W				FFH
FFFFFF45H	ポートDLモード・コントロール・レジスタH	PMCDLH	R/W				FFH
FFFFFF48H	ポートCSモード・コントロール・レジスタ	PMCCS	R/W				99H
FFFFFF4AH	ポートCTモード・コントロール・レジスタ	PMCCT	R/W				33H
FFFFFF4CH	ポートCMモード・コントロール・レジスタ	PMCCM	R/W				1FH
FFFFFF4EH	ポートCDモード・コントロール・レジスタ	PMCCD	R/W				0FH

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF04FH	ポートCDファンクション・コントロール・レジスタ	PFCCD	R/W				00H
FFFFFF052H	ポートBDモード・コントロール・レジスタ	PMCBD	R/W				00H
FFFFFF060H	チップ・エリア選択コントロール・レジスタ0	CSC0	R/W				2C11H
FFFFFF062H	チップ・エリア選択コントロール・レジスタ1	CSC1	R/W				2C11H
FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	R/W				0000H/5555H
FFFFFF068H	エンディアン・コンフィギュレーション・レジスタ	BEC	R/W				0000H
FFFFFF06EH	システム・ウエイト・コントロール・レジスタ	VSWC	R/W				77H
FFFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W				不定
FFFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W				不定
FFFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W				不定
FFFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W				不定
FFFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L	R/W				不定
FFFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H	R/W				不定
FFFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W				不定
FFFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W				不定
FFFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W				不定
FFFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W				不定
FFFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W				不定
FFFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W				不定
FFFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W				不定
FFFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H	R/W				不定
FFFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W				不定
FFFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W				不定
FFFFFF0C0H	DMA転送カウント・レジスタ0	DBC0	R/W				不定
FFFFFF0C2H	DMA転送カウント・レジスタ1	DBC1	R/W				不定
FFFFFF0C4H	DMA転送カウント・レジスタ2	DBC2	R/W				不定
FFFFFF0C6H	DMA転送カウント・レジスタ3	DBC3	R/W				不定
FFFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0	R/W				0000H
FFFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1	R/W				0000H
FFFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2	R/W				0000H
FFFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3	R/W				0000H
FFFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0	R/W				00H
FFFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1	R/W				00H
FFFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2	R/W				00H
FFFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3	R/W				00H
FFFFFF0F0H	DMAディスエーブル・ステータス・レジスタ	DDIS	R				00H
FFFFFF0F2H	DMAリスタート・レジスタ	DRST	R/W				00H
FFFFFF100H	割り込みマスク・レジスタ0	IMR0	R/W				FFFFH
FFFFFF100H	割り込みマスク・レジスタ0L	IMR0L	R/W				FFH
FFFFFF101H	割り込みマスク・レジスタ0H	IMR0H	R/W				FFH
FFFFFF102H	割り込みマスク・レジスタ1	IMR1	R/W				FFFFH
FFFFFF102H	割り込みマスク・レジスタ1L	IMR1L	R/W				FFH
FFFFFF103H	割り込みマスク・レジスタ1H	IMR1H	R/W				FFH

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF104H	割り込みマスク・レジスタ2	IMR2	R/W				FFFFH
FFFFFF104H	割り込みマスク・レジスタ2L	IMR2L	R/W				FFH
FFFFFF105H	割り込みマスク・レジスタ2H	IMR2H	R/W				FFH
FFFFFF106H	割り込みマスク・レジスタ3	IMR3	R/W				FFFFH
FFFFFF106H	割り込みマスク・レジスタ3L	IMR3L	R/W				FFH
FFFFFF107H	割り込みマスク・レジスタ3H	IMR3H	R/W				FFH
FFFFFF110H	割り込み制御レジスタ	OVIC00	R/W				47H
FFFFFF112H	割り込み制御レジスタ	OVIC01	R/W				47H
FFFFFF118H	割り込み制御レジスタ	P00IC0	R/W				47H
FFFFFF11AH	割り込み制御レジスタ	P00IC1	R/W				47H
FFFFFF11CH	割り込み制御レジスタ	P01IC0	R/W				47H
FFFFFF11EH	割り込み制御レジスタ	P01IC1	R/W				47H
FFFFFF128H	割り込み制御レジスタ	P10IC0	R/W				47H
FFFFFF12AH	割り込み制御レジスタ	P10IC1	R/W				47H
FFFFFF130H	割り込み制御レジスタ	P11IC0	R/W				47H
FFFFFF148H	割り込み制御レジスタ	CMICD0	R/W				47H
FFFFFF14AH	割り込み制御レジスタ	CMICD1	R/W				47H
FFFFFF14CH	割り込み制御レジスタ	CMICD2	R/W				47H
FFFFFF14EH	割り込み制御レジスタ	CMICD3	R/W				47H
FFFFFF150H	割り込み制御レジスタ	DMAIC0	R/W				47H
FFFFFF152H	割り込み制御レジスタ	DMAIC1	R/W				47H
FFFFFF154H	割り込み制御レジスタ	DMAIC2	R/W				47H
FFFFFF156H	割り込み制御レジスタ	DMAIC3	R/W				47H
FFFFFF158H	割り込み制御レジスタ	CSIIC0	R/W				47H
FFFFFF15AH	割り込み制御レジスタ	SEIC0	R/W				47H
FFFFFF15CH	割り込み制御レジスタ	SRIC0	R/W				47H
FFFFFF15EH	割り込み制御レジスタ	STIC0	R/W				47H
FFFFFF160H	割り込み制御レジスタ	CSIIC1	R/W				47H
FFFFFF162H	割り込み制御レジスタ	SEIC1	R/W				47H
FFFFFF164H	割り込み制御レジスタ	SRIC1	R/W				47H
FFFFFF166H	割り込み制御レジスタ	STIC1	R/W				47H
FFFFFF170H	割り込み制御レジスタ	ADIC	R/W				47H
FFFFFF1FAH	インサース・プライオリティ・レジスタ	ISPR	R				00H
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H
FFFFFF200H	A/Dコンバータ・モード・レジスタ0	ADM0	R/W				00H
FFFFFF201H	A/Dコンバータ・モード・レジスタ1	ADM1	R/W				07H
FFFFFF202H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W				00H
FFFFFF210H	A/D変換結果レジスタ0 (10ビット)	ADCR0	R				0000H
FFFFFF212H	A/D変換結果レジスタ1 (10ビット)	ADCR1	R				0000H
FFFFFF214H	A/D変換結果レジスタ2 (10ビット)	ADCR2	R				0000H
FFFFFF216H	A/D変換結果レジスタ3 (10ビット)	ADCR3	R				0000H
FFFFFF220H	A/D変換結果レジスタ0H (8ビット)	ADCR0H	R				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF221H	A/D変換結果レジスタ1H (8ビット)	ADCR1H	R				00H
FFFFFF222H	A/D変換結果レジスタ2H (8ビット)	ADCR2H	R				00H
FFFFFF223H	A/D変換結果レジスタ3H (8ビット)	ADCR3H	R				00H
FFFFF400H	ポート0	P0	R/W				不定
FFFFF402H	ポート1	P1	R/W				不定
FFFFF404H	ポート2	P2	R/W				不定
FFFFF408H	ポート4	P4	R/W				不定
FFFFF40EH	ポート7	P7	R/W				不定
FFFFF420H	ポート0モード・レジスタ	PM0	R/W				FFH
FFFFF422H	ポート1モード・レジスタ	PM1	R/W				FFH
FFFFF424H	ポート2モード・レジスタ	PM2	R/W				FFH
FFFFF428H	ポート4モード・レジスタ	PM4	R/W				FFH
FFFFF440H	ポート0モード・コントロール・レジスタ	PMC0	R/W				00H
FFFFF442H	ポート1モード・コントロール・レジスタ	PMC1	R/W				00H
FFFFF444H	ポート2モード・コントロール・レジスタ	PMC2	R/W				01H
FFFFF448H	ポート4モード・コントロール・レジスタ	PMC4	R/W				00H
FFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0	R/W				00H
FFFFF464H	ポート2ファンクション・コントロール・レジスタ	PFC2	R/W				00H
FFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4	R/W				00H
FFFFF480H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCT0	R/W				8888H
FFFFF482H	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCT1	R/W				8888H
FFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0	R/W				7777H
FFFFF486H	データ・ウェイト・コントロール・レジスタ1	DWC1	R/W				7777H
FFFFF488H	バス・サイクル・コントロール・レジスタ	BCC	R/W				FFFFH
FFFFF48AH	アドレス・セットアップ・ウェイト・コントロール・レジスタ	ASC	R/W				FFFFH
FFFFF49AH	ページROMコンフィギュレーション・レジスタ	PRC	R/W				7000H
FFFFF4ACH	SDRAMコンフィギュレーション・レジスタ3	SCR3	R/W				0000H
FFFFF4AEH	SDRAM用リフレッシュ・コントロール・レジスタ3	RFS3	R/W				0000H
FFFFF4B0H	SDRAMコンフィギュレーション・レジスタ4	SCR4	R/W				0000H
FFFFF4B2H	SDRAM用リフレッシュ・コントロール・レジスタ4	RFS4	R/W				0000H
FFFFF540H	タイマD0	TMD0	R				0000H
FFFFF542H	コンペア・レジスタD0	CMD0	R/W				0000H
FFFFF544H	タイマ・モード・コントロール・レジスタD0	TMCD0	R/W				00H
FFFFF550H	タイマD1	TMD1	R				0000H
FFFFF552H	コンペア・レジスタD1	CMD1	R/W				0000H
FFFFF554H	タイマ・モード・コントロール・レジスタD1	TMCD1	R/W				00H
FFFFF560H	タイマD2	TMD2	R				0000H
FFFFF562H	コンペア・レジスタD2	CMD2	R/W				0000H
FFFFF564H	タイマ・モード・コントロール・レジスタD2	TMCD2	R/W				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF570H	タイマD3	TMD3	R				0000H
FFFFFF572H	コンペア・レジスタD3	CMD3	R/W				0000H
FFFFFF574H	タイマ・モード・コントロール・レジスタD3	TMCD3	R/W				00H
FFFFFF600H	タイマC0	TMC0	R				0000H
FFFFFF602H	キャプチャ/コンペア・レジスタC00	CCC00	R/W				0000H
FFFFFF604H	キャプチャ/コンペア・レジスタC01	CCC01	R/W				0000H
FFFFFF606H	タイマ・モード・コントロール・レジスタC00	TMCC00	R/W				00H
FFFFFF608H	タイマ・モード・コントロール・レジスタC01	TMCC01	R/W				20H
FFFFFF609H	有効エッジ選択レジスタC0	SESC0	R/W				00H
FFFFFF610H	タイマC1	TMC1	R				0000H
FFFFFF612H	キャプチャ/コンペア・レジスタC10	CCC10	R/W				0000H
FFFFFF614H	キャプチャ/コンペア・レジスタC11	CCC11	R/W				0000H
FFFFFF616H	タイマ・モード・コントロール・レジスタC10	TMCC10	R/W				00H
FFFFFF618H	タイマ・モード・コントロール・レジスタC11	TMCC11	R/W				20H
FFFFFF619H	有効エッジ選択レジスタC1	SESC1	R/W				00H
FFFFFF800H	ペリフェラル・コマンド・レジスタ	PHCMD	W				不定
FFFFFF802H	ペリフェラル・ステータス・レジスタ	PHS	R/W				00H
FFFFFF810H	DMAトリガ要因レジスタ0	DTFR0	R/W				00H
FFFFFF812H	DMAトリガ要因レジスタ1	DTFR1	R/W				00H
FFFFFF814H	DMAトリガ要因レジスタ2	DTFR2	R/W				00H
FFFFFF816H	DMAトリガ要因レジスタ3	DTFR3	R/W				00H
FFFFFF820H	パワー・セーブ・モード・レジスタ	PSMR	R/W				00H
FFFFFF822H	クロック・コントロール・レジスタ	CKC	R/W				00H
FFFFFF824H	ロック・レジスタ	LOCKR	R				0xH
FFFFFF880H	外部割り込みモード・レジスタ0	INTM0	R/W				00H
FFFFFF882H	外部割り込みモード・レジスタ1	INTM1	R/W				00H
FFFFFF884H	外部割り込みモード・レジスタ2	INTM2	R/W				00H
★ FFFFFFF8A0H	DMAターミナル・カウント出力コントロール・レジスタ	DTOC	R/W				01H
FFFFFF900H	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSIM0	R/W				00H
FFFFFF901H	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSIC0	R/W				00H
FFFFFF902H	シリアルI/Oシフト・レジスタ0	SIO0	R				00H
FFFFFF903H	受信専用シリアルI/Oシフト・レジスタ0	SIOE0	R				00H
FFFFFF904H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	SOTB0	R/W				00H
FFFFFF910H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1	R/W				00H
FFFFFF911H	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSIC1	R/W				00H
FFFFFF912H	シリアルI/Oシフト・レジスタ1	SIO1	R				00H
FFFFFF913H	受信専用シリアルI/Oシフト・レジスタ1	SIOE1	R				00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF914H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	SOTB1	R/W				00H
FFFFFFA00H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0	R/W				01H
FFFFFFA02H	受信バッファ・レジスタ0	RXB0	R				FFH
FFFFFFA03H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R				00H
FFFFFFA04H	送信バッファ・レジスタ0	TXB0	R/W				FFH
FFFFFFA05H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	ASIF0	R				00H
FFFFFFA06H	クロック選択レジスタ0	CKSR0	R/W				00H
FFFFFFA07H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W				FFH
FFFFFFA10H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1	R/W				01H
FFFFFFA12H	受信バッファ・レジスタ1	RXB1	R				FFH
FFFFFFA13H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R				00H
FFFFFFA14H	送信バッファ・レジスタ1	TXB1	R/W				FFH
FFFFFFA15H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	ASIF1	R				00H
FFFFFFA16H	クロック選択レジスタ1	CKSR1	R/W				00H
FFFFFFA17H	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRGC1	R/W				FFH

3.4.9 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850E/MA2にはパワー・セーブ・コントロール・レジスタ (PSC) (9.5.2(3) **パワー・セーブ・コントロール・レジスタ (PSC)** 参照)、クロック・コントロール・レジスタ (CKC) (9.3.4 **クロック・コントロール・レジスタ (CKC)** 参照) の2つの特定レジスタがあります。特定レジスタへのライト時には、DMA転送は禁止してください。

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、コマンド・レジスタ (PRCMD) とペリフェラル・コマンド・レジスタ (PHCMD) があります (9.5.2(2) **コマンド・レジスタ (PRCMD)**、9.3.3 **ペリフェラル・コマンド・レジスタ (PHCMD)** 参照)。

★ 3.4.10 システム・ウエイト・コントロール・レジスタ (VSWC)

システム・ウエイト・コントロール・レジスタ (VSWC) は、内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック (ノー・ウエイト時) ですが、V850E/MA2では動作周波数によりウエイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード/ライト可能です (アドレス: FFFFF06EH, 初期値: 77H)。

動作周波数 (f _{xx})	VSWCの設定値	内蔵周辺I/Oレジスタ・アクセスに対するウエイト数
4 MHz f _{xx} < 33 MHz	11H	2
33 MHz f _{xx} 40 MHz	12H	3

備考 内蔵周辺機能の状態を示すステータス・フラグを含んだレジスタ (ASIFnなど) やタイマのカウント値を示すレジスタ (TMCnなど) などへのアクセスにおいて、フラグやカウント値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合、レジスタ・アクセスへのリトライ動作が発生します。このため、通常より内蔵周辺I/Oレジスタへのアクセスに時間がかかる場合があります。

3.4.11 注意事項

V850E/MA2を使用するには、必ず最初に次のレジスタを設定してください。

- ・システム・ウエイト・コントロール・レジスタ (VSWC)
(3.4.10 システム・ウエイト・コントロール・レジスタ (VSWC) 参照)
- ・クロック・コントロール・レジスタ (CKC)
(9.3.4 クロック・コントロール・レジスタ (CKC) 参照)

VSWCとCKCを設定したあとに、必要に応じてそのほかの各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあとに、次に示す順に各レジスタの初期設定を行ってください。

ポート関連のレジスタの設定により、各端子をコントロール・モードに設定してください。

チップ・エリア選択コントロール・レジスタn (CSCn) の設定により、チップ・セレクト空間を確定してください (n = 0, 1)。

バス・サイクル・タイプ・コンフィギュレーション・レジスタn (BCTn) の設定により、各チップ・セレクト空間のメモリの種類を確定してください。

第4章 バス制御機能

V850E/MA2は、外部にROM，RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

4.1 特 徴

16ビット/8ビット・データ・バス・サイジング機能

4空間のチップ・セレクト機能

ウエイト機能

- ・各メモリ・ブロックごとに最大7ステートのプログラマブル・ウエイト機能
- ・ $\overline{\text{WAIT}}$ 端子による外部ウエイト機能

アイドル・ステート挿入機能

バス使用権調停機能

バス・ホールド機能

ポートとの兼用端子で、外部デバイスに接続可能

4.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

バス制御端子 (コントロール・モード時の機能)	ポート・モード時の機能	ポート / コントロール・モードの切り替えを行うレジスタ
データ・バス (D0-D15)	PDL0-PDL15 (ポートDL)	PMCDL
アドレス・バス (A0-A15)	PAL0-PAL15 (ポートAL)	PMCAL
アドレス・バス (A16-A24)	PAH0-PAH8 (ポートAH)	PMCAH
チップ・セレクト ($\overline{CS0}$, $\overline{CS3}$, $\overline{CS4}$, $\overline{CS7}$)	PCS0, PCS3, PCS4, PCS7 (ポートCS)	PMCCS
SDRAM同期コントロール (SDCKE, SDCLK)	PCD0, PCD1 (ポートCD)	PMCCD
バイト・アクセス制御 / SDRAMコントロール ($\overline{LBE/SDCAS}$, $\overline{UBE/SDRAS}$)	PCD2, PCD3 (ポートCD)	
リード / ライト制御 ($\overline{LWR/LDQM}$, $\overline{UWR/UDQM}$, \overline{RD} , \overline{WE})	PCT0, PCT1, PCT4, PCT5 (ポートCT)	PMCCCT
外部ウエイト制御 (\overline{WAIT})	PCM0 (ポートCM)	PMCCM
内部システム・クロック (CLKOUT)	PCM1 (ポートCM)	
バス・ホールド制御 (\overline{HLDRQ} , \overline{HLDAK})	PCM2, PCM3 (ポートCM)	
DRAMリフレッシュ制御 (\overline{REFRQ})	PCM4 (ポートCM)	

備考 システム・リセットにより各バス制御端子は無条件に有効になります (ただし、D8-D15はROMレス・モード0のときだけ有効)。

★ 4.2.1 内蔵RAM, 周辺I/Oアクセス時の端子状態

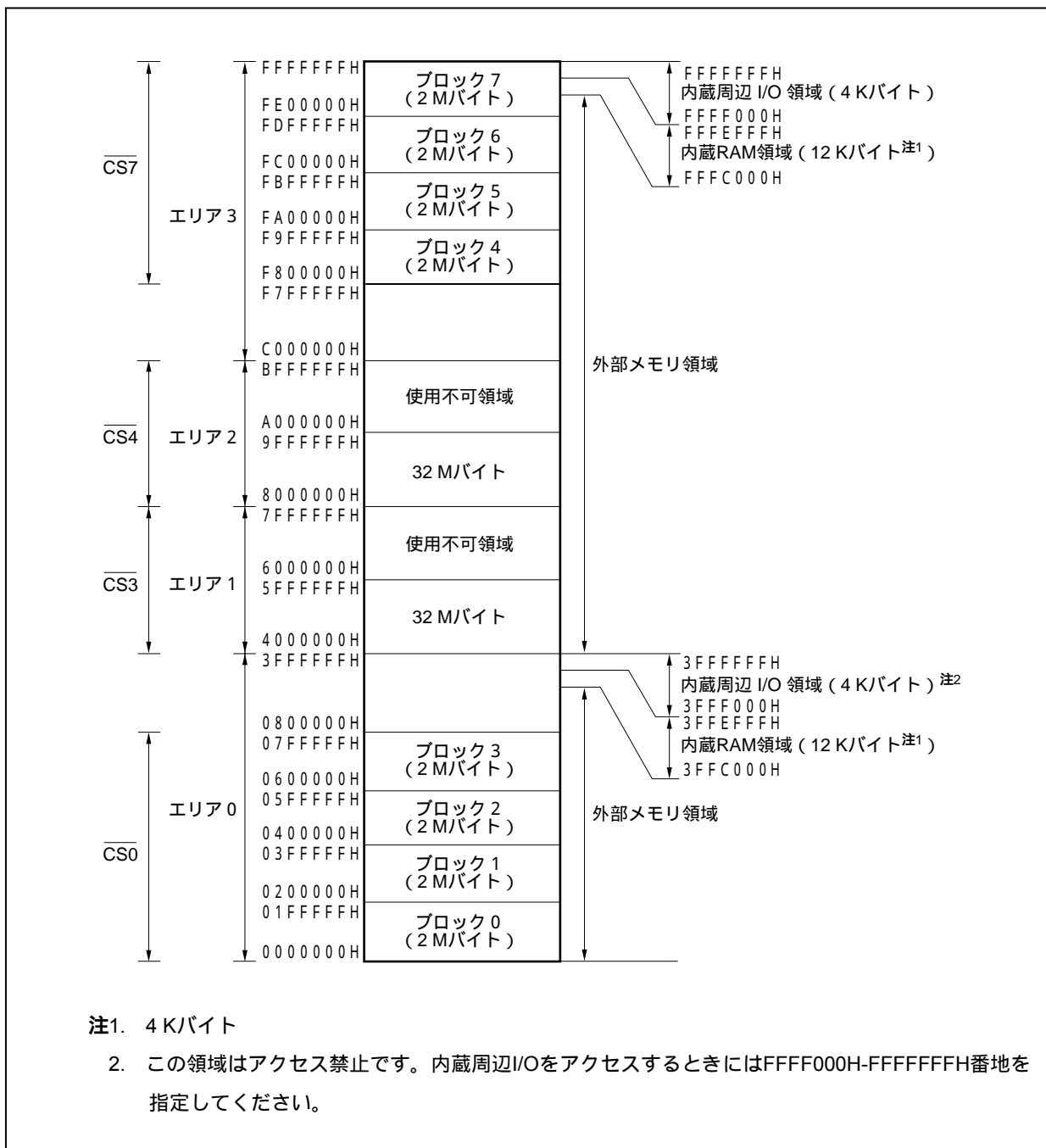
内蔵RAMのアクセス時には、アドレス・バスは不定になります。データ・バスは、出力されずハイ・インピーダンス状態になります。外部バス制御信号は、インアクティブ状態になります。

周辺I/Oアクセス時には、アドレス・バスはアクセスしている内蔵周辺I/Oのアドレスを出力します。データ・バスは、周辺I/Oへのライト・アクセス時は出力状態に、周辺I/Oへのリード・アクセス時はハイ・インピーダンス状態になります。外部バス制御信号は、インアクティブ状態になります。

4.3 メモリ・ブロック機能

80 Mバイトのメモリ空間は2 M, 32 Mバイト単位のメモリ・ブロックに分割され, 1ブロック単位にプログラマブル・ウエイト機能, バス・サイクル動作モードなどを独立に制御できます。

ただし, プログラム領域として使用できる領域は, 0000000H-07FFFFFFHの8 Mバイトと内蔵RAM領域の空間です。



4.3.1 チップ・セレクト制御機能

80 Mバイトのメモリ空間のうち、下位8 Mバイト (0000000H-07FFFFFFH) と上位8 Mバイト (F800000H-FFFFFFFH) は、チップ・エリア選択コントロール・レジスタ0, 1 (CSC0, CSC1) により、2 Mバイト単位でメモリ・ブロックを分割し、チップ・セレクト信号を制御することができます。

チップ・セレクト制御機能により、メモリ・ブロックを分割することにより、メモリ空間を有効に利用できます。優先順位を次に示します。

(1) チップ・エリア選択コントロール・レジスタ0, 1 (CSC0, CSC1)

16ビット単位でリード/ライトできます。各ビットをセット(1)すると有効になります。

★ **注意** CSC0, CSC1レジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC0	CS33	CS32	CS31	CS30	1注	1注	0注	0注	0注	0注	0注	1注	CS03	CS02	CS01	CS00	FFFFFF060H	2C11H
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CSC1	CS43	CS42	CS41	CS40	1注	1注	0注	0注	0注	0注	0注	1注	CS73	CS72	CS71	CS70	FFFFFF062H	2C11H

注 初期値以外の値を設定した場合の動作は保証しません。

ビット位置	ビット名	意味																						
15-12, 3-0	CSnm (n = 0, 3, 4, 7) (m = 0-3)	Chip Select CSnmビットをセット(1)することにより、チップ・セレクトを有効にします。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>CSnm</th> <th>CS動作</th> </tr> </thead> <tbody> <tr> <td>CS00</td> <td>ブロック0アクセス時, $\overline{CS0}$出力</td> </tr> <tr> <td>CS01</td> <td>ブロック1アクセス時, $\overline{CS0}$出力</td> </tr> <tr> <td>CS02</td> <td>ブロック2アクセス時, $\overline{CS0}$出力</td> </tr> <tr> <td>CS03</td> <td>ブロック3アクセス時, $\overline{CS0}$出力</td> </tr> <tr> <td>CS30-CS33</td> <td>設定は意味を持ちません。</td> </tr> <tr> <td>CS40-CS43</td> <td>設定は意味を持ちません。</td> </tr> <tr> <td>CS70</td> <td>ブロック7アクセス時, $\overline{CS7}$出力</td> </tr> <tr> <td>CS71</td> <td>ブロック6アクセス時, $\overline{CS7}$出力</td> </tr> <tr> <td>CS72</td> <td>ブロック5アクセス時, $\overline{CS7}$出力</td> </tr> <tr> <td>CS73</td> <td>ブロック4アクセス時, $\overline{CS7}$出力</td> </tr> </tbody> </table>	CSnm	CS動作	CS00	ブロック0アクセス時, $\overline{CS0}$ 出力	CS01	ブロック1アクセス時, $\overline{CS0}$ 出力	CS02	ブロック2アクセス時, $\overline{CS0}$ 出力	CS03	ブロック3アクセス時, $\overline{CS0}$ 出力	CS30-CS33	設定は意味を持ちません。	CS40-CS43	設定は意味を持ちません。	CS70	ブロック7アクセス時, $\overline{CS7}$ 出力	CS71	ブロック6アクセス時, $\overline{CS7}$ 出力	CS72	ブロック5アクセス時, $\overline{CS7}$ 出力	CS73	ブロック4アクセス時, $\overline{CS7}$ 出力
CSnm	CS動作																							
CS00	ブロック0アクセス時, $\overline{CS0}$ 出力																							
CS01	ブロック1アクセス時, $\overline{CS0}$ 出力																							
CS02	ブロック2アクセス時, $\overline{CS0}$ 出力																							
CS03	ブロック3アクセス時, $\overline{CS0}$ 出力																							
CS30-CS33	設定は意味を持ちません。																							
CS40-CS43	設定は意味を持ちません。																							
CS70	ブロック7アクセス時, $\overline{CS7}$ 出力																							
CS71	ブロック6アクセス時, $\overline{CS7}$ 出力																							
CS72	ブロック5アクセス時, $\overline{CS7}$ 出力																							
CS73	ブロック4アクセス時, $\overline{CS7}$ 出力																							

4.4 バス・サイクル・タイプ制御機能

V850E/MA2は、次のような外部デバイスを各メモリ・ブロックごとに直結できます。

SRAM, 外部ROM, 外部I/O

ページROM

SDRAM

接続する外部デバイスは、バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1) で指定します。

(1) バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1)

16ビット単位でリード/ライト可能です。

- ★ BCT0レジスタのビット14, 10-8, 6-4, 2, 1およびBCT1レジスタのビット14, 13, 10-8, 6-4, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 BCT0, BCT1レジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, BCT0, BCT1レジスタの初期設定が終わるまでは, その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。



注 ME1, ME2, ME5, ME6ビットは, イニシャライズ時に0を設定するようにしてください。

ビット位置	ビット名	意味															
15, 11, 7, 3 (BCT0), 15, 11, 7, 3 (BCT1)	ME _n (n = 0-7)	Memory Controller Enable メモリ・コントローラの動作許可をチップ・セレクトごとに設定します。 <table border="1" style="margin: 10px auto;"> <tr> <th>ME_n</th> <th>メモリ・コントローラの動作許可</th> </tr> <tr> <td>0</td> <td>動作禁止</td> </tr> <tr> <td>1</td> <td>動作許可</td> </tr> </table>	ME _n	メモリ・コントローラの動作許可	0	動作禁止	1	動作許可									
ME _n	メモリ・コントローラの動作許可																
0	動作禁止																
1	動作許可																
0 (BCT0), 12 (BCT1)	BT _{n0} (n = 0, 7)	Bus Cycle Type CS _n 信号に接続するデバイスを指定します。 <table border="1" style="margin: 10px auto;"> <tr> <th>BT_{n0}</th> <th>CS_n信号に直結する外部デバイス</th> </tr> <tr> <td>0</td> <td>SRAM, 外部I/O</td> </tr> <tr> <td>1</td> <td>ページROM</td> </tr> </table>	BT _{n0}	CS _n 信号に直結する外部デバイス	0	SRAM, 外部I/O	1	ページROM									
BT _{n0}	CS _n 信号に直結する外部デバイス																
0	SRAM, 外部I/O																
1	ページROM																
13, 12 (BCT0), 1, 0 (BCT1)	BT _{n1} , BT _{n0} (n = 3, 4)	Bus Cycle Type CS _n 信号に接続するデバイスを指定します。 <table border="1" style="margin: 10px auto;"> <tr> <th>BT_{n1}</th> <th>BT_{n0}</th> <th>CS_n信号に直結する外部デバイス</th> </tr> <tr> <td>0</td> <td>0</td> <td>SRAM, 外部I/O</td> </tr> <tr> <td>0</td> <td>1</td> <td>ページROM</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>SDRAM</td> </tr> </table>	BT _{n1}	BT _{n0}	CS _n 信号に直結する外部デバイス	0	0	SRAM, 外部I/O	0	1	ページROM	1	0	設定禁止	1	1	SDRAM
BT _{n1}	BT _{n0}	CS _n 信号に直結する外部デバイス															
0	0	SRAM, 外部I/O															
0	1	ページROM															
1	0	設定禁止															
1	1	SDRAM															

4.5 バス・アクセス

★ 4.5.1 アクセス・クロック数

リソースに対するアクセスに要する基本クロック数を次に示します。

バス・サイクル形態 リソース (バス幅)	命令フェッチ	オペランド・データ・アクセス
内蔵RAM (32ビット)	1 ^注	1

注 データ・アクセスと競合した場合：2

備考 単位はクロック/アクセスです。

4.5.2 バス・サイジング機能

バス・サイジング機能により、各CS空間ごとのデータ・バス幅を制御できます。データ・バス幅は、バス・サイズ・コンフィギュレーション・レジスタ (BSC) で設定します。

(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

★ ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

2. 8ビット・バス幅の場合、次に示す信号のみアクティブになります。

$\overline{\text{LWR}}$: SRAM, 外部ROM, 外部I/Oアクセス (ライト・サイクル) の場合

BSC															アドレス	初期値 ^{注2}	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0	BS7 ⁰	0	0/1 ^{注1}	0	0/1 ^{注1}	0	BS4 ⁰	0	BS3 ⁰	0	0/1 ^{注1}	0	0/1 ^{注1}	0	BS0 ⁰	FFFFFF066H	0000H/ 5555H
$\overline{\text{CSn}}$ 信号		CS7			CS4			CS3			CS0						

注1. 初期値以外の値を設定した場合の動作は保証しません。

2. ROMレス・モード0のとき : 5555H

ROMレス・モード1のとき : 0000H

ビット位置	ビット名	意味						
14, 8, 6, 0	BSn0 (n = 0, 3, 4, 7)	Data Bus Width CSn空間のデータ・バス幅を設定します。						
		<table border="1"> <thead> <tr> <th>BSn0</th> <th>CSn空間のデータ・バス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>8ビット</td> </tr> <tr> <td>1</td> <td>16ビット</td> </tr> </tbody> </table>	BSn0	CSn空間のデータ・バス幅	0	8ビット	1	16ビット
BSn0	CSn空間のデータ・バス幅							
0	8ビット							
1	16ビット							

4.5.3 エンディアン制御機能

エンディアン制御機能により、チップ・セレクト信号 ($\overline{CS0}$, $\overline{CS3}$, $\overline{CS4}$, $\overline{CS7}$) で選択されるCS空間ごとにメモリ内のワード・データをビッグ・エンディアン形式、リトル・エンディアン形式のどちらで処理するかを設定できます。エンディアン形式の切り替えは、エンディアン・コンフィギュレーション・レジスタ (BEC) で設定します。

注意 次に示す領域についてはリトル・エンディアン形式固定になるので、BECレジスタの設定は無効になります。

- ・内蔵周辺I/O領域
- ・内蔵RAM領域
- ・3FFFFFFH番地以下の内蔵周辺I/O領域、内蔵RAM領域
- ・外部メモリのプログラム領域

(1) エンディアン・コンフィギュレーション・レジスタ (BEC)

16ビット単位でリード/ライト可能です。

ビット15, 13-9, 7, 5-1には必ず0を設定してください。1を設定した場合の動作は保証できません。

★ **注意** BECレジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
BEC	0	BE70	0	0	0	0	0	BE40	0	BE30	0	0	0	0	0	BE00	FFFFFF068H	0000H
\overline{CSn} 信号	$\overline{CS7}$						$\overline{CS4}$			$\overline{CS3}$			$\overline{CS0}$					

ビット位置	ビット名	意味
14, 8, 6, 0	BEn0 (n = 0, 3, 4, 7)	Big Endian エンディアン形式を設定します。

BEn0	エンディアン制御
0	リトル・エンディアン形式
1	ビッグ・エンディアン形式

図4 - 1 ワード内のビッグ・エンディアン・アドレス

31	24 23	16 15	8 7	0
0008H	0009H	000AH	000BH	
0004H	0005H	0006H	0007H	
0000H	0001H	0002H	0003H	

図4 - 2 ワード内のリトル・エンディアン・アドレス

31	24 23	16 15	8 7	0
000BH	000AH	0009H	0008H	
0007H	0006H	0005H	0004H	
0003H	0002H	0001H	0000H	

4. 5. 4 NECエレクトロニクス製開発ツールにおけるビッグ・エンディアン形式の使用制限

(1) ディバग्ガ (ID850) 使用時

メモリ・ウインドウの表示だけビッグ・エンディアン形式に対応します。

(2) コンパイラ (CA850) 使用時

(a) C言語上の制限

(i) ビッグ・エンディアン空間に配置する(される)変数には次に示す制限があります。

- ・ unionが使えない。
- ・ bitfieldが使えない。
- ・ キャストによる(アクセス・サイズを変更)アクセスが使えない。
- ・ 初期値あり変数が使えない。

(ii) 最適化によりアクセス・サイズの変更が起こる可能性があるので、次に示す最適化抑止オプションを指定する必要があります。

- ・ 広域最適化部 (opt850) 用 -Wo, -XTb
- ・ 機種依存最適化部 (impr850) 用..... -Wi, +arg_reg_opt = OFF, +std_trans_opt = OFF

ただし、キャストとしてアクセス、またはマスク/シフトしてアクセスという使い方をしていない場合は、上記の最適化抑止オプションの指定は不要になります。

注 次に示す最適化が起こるようなパターンの使い方がないことが条件となります。ただし、おのおの（特に機種依存最適化部）のパターンが組み合わさった状態など、ユーザ側での完璧なチェックは非常に困難になります。したがって、上記の最適化抑止オプションの指定を推奨します。

【広域最適化部関連】

- ・ bit orを使用した1ビット・セット

```
int i;
i ^= 1;
```

- ・ bit andを使用した1ビット・クリア

```
i &= ~1;
```

- ・ bit xorを使用した1ビット・ノット

```
i ^= 1;
```

- ・ bit andを使用した1ビット・テスト

```
if(i & 1);
```

【機種依存最適化部関連】

同一の変数を異なるサイズでアクセスするような使い方

- ・ キャスト
- ・ マスク
- ・ シフト

```
例 int i, *ip;
char c;
:
c = *((char*)ip);
:
c = 0xff & i;
:
i = (i<<24) >>24;
```

(b) アセンブリ言語上の制限

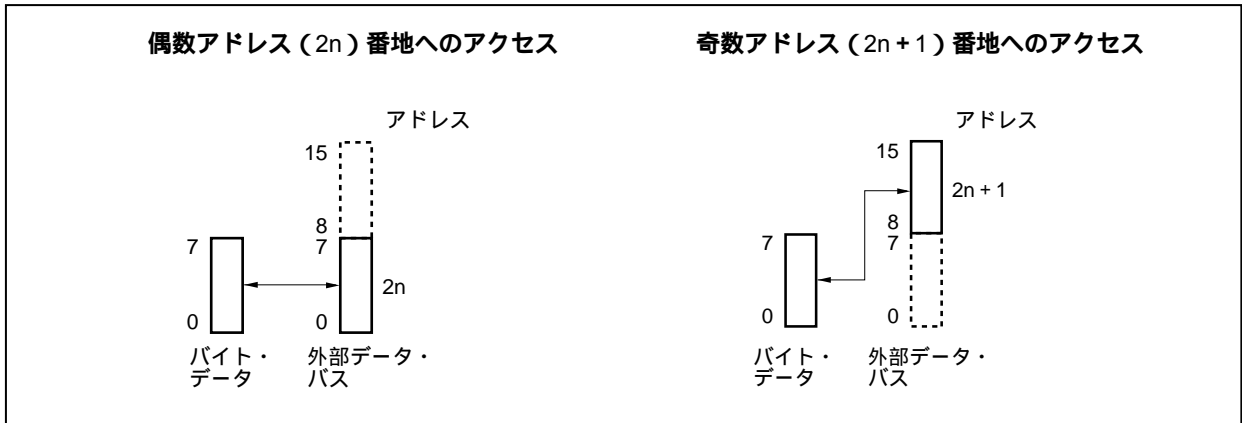
ビッグ・エンディアン空間に配置する変数にはバイト・サイズ以外の領域確保疑似命令（.hword, .word, .float, .shword）が使用できません。

4.5.5 バス幅

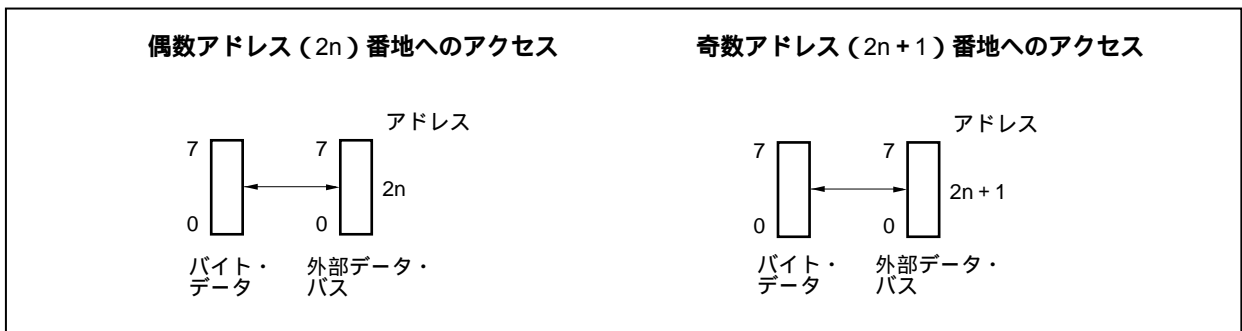
V850E/MA2が周辺I/Oアクセス、外部メモリ・アクセスを行う場合には、8, 16, 32ビット・アクセスがあります。次にそれぞれのアクセス時の動作を示します。すべてデータの低位側から順番にアクセスを行います。

(1) バイト・アクセス (8ビット)

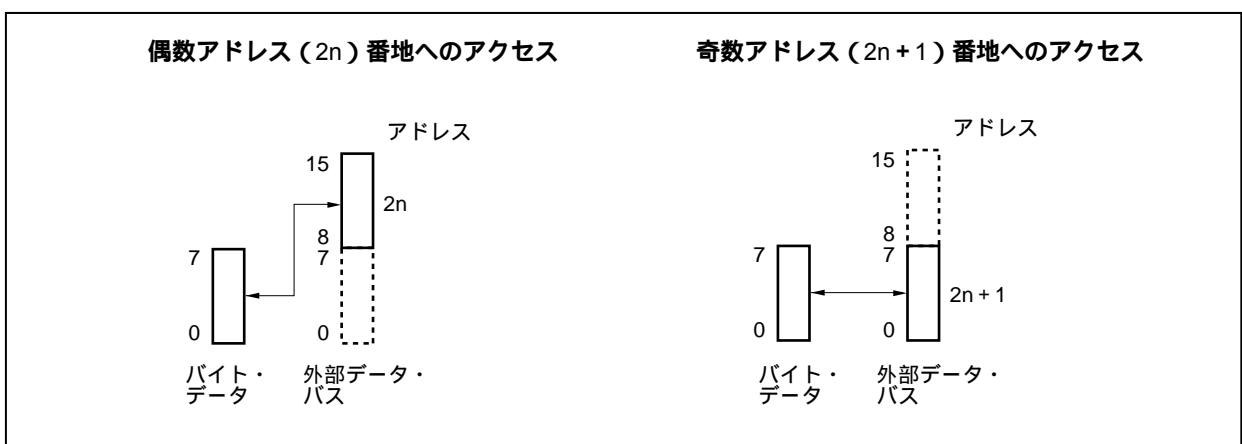
(a) 16ビット・データ・バス幅のとき (リトル・エンディアン)



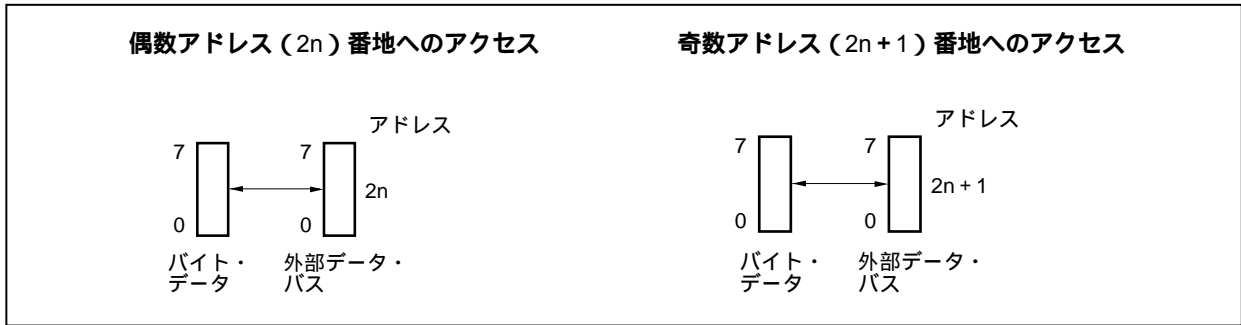
(b) 8ビット・データ・バス幅のとき (リトル・エンディアン)



(c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン)

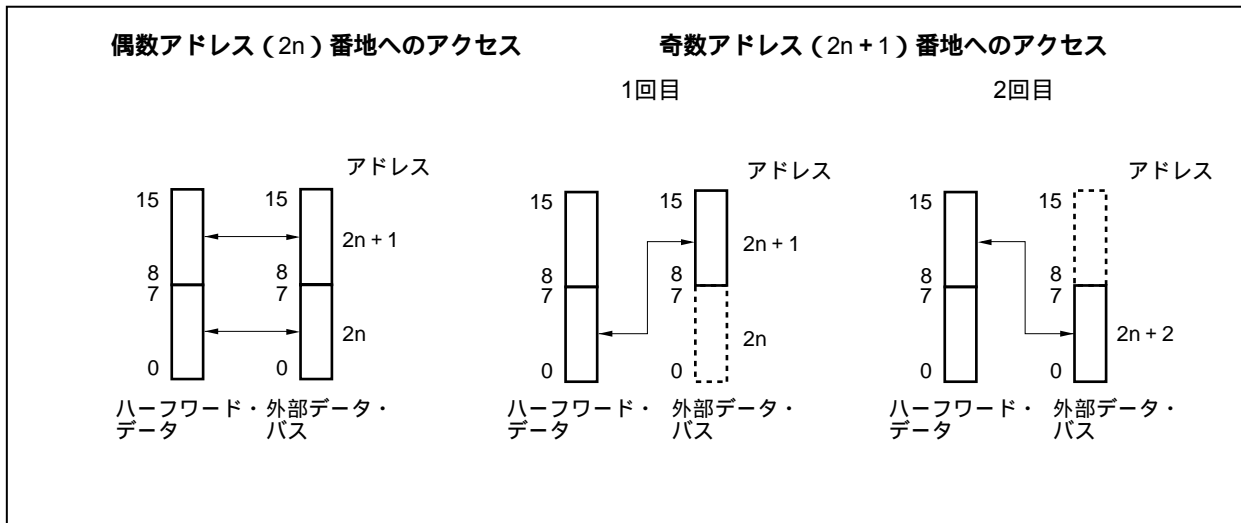


(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン)

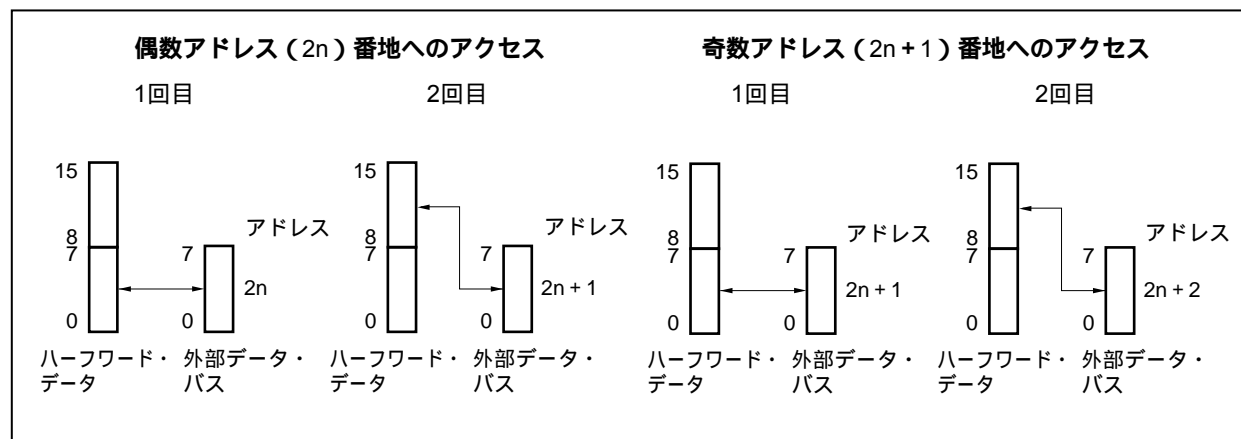


(2) ハーフワード・アクセス (16ビット)

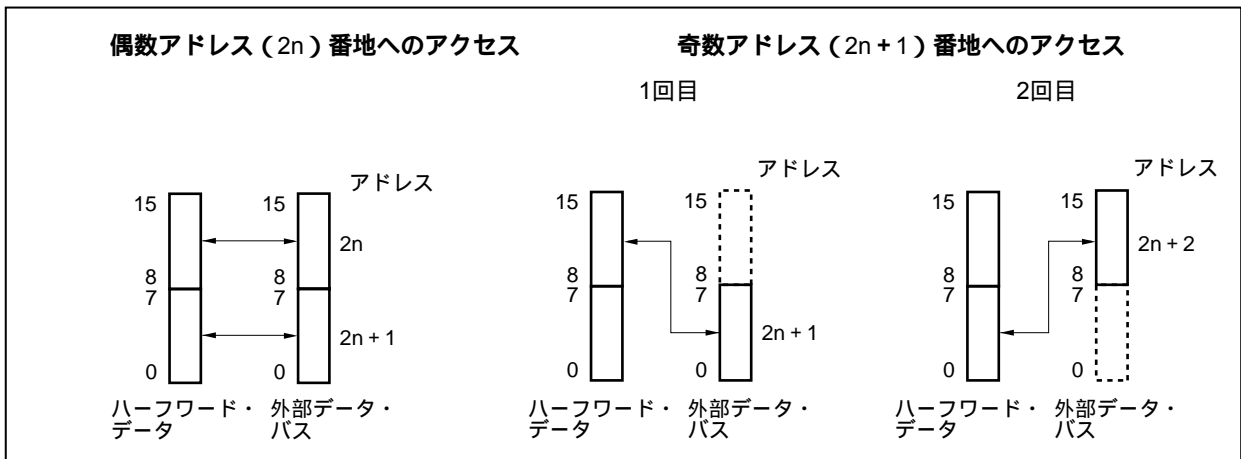
(a) 16ビット・データ・バス幅のとき (リトル・エンディアン)



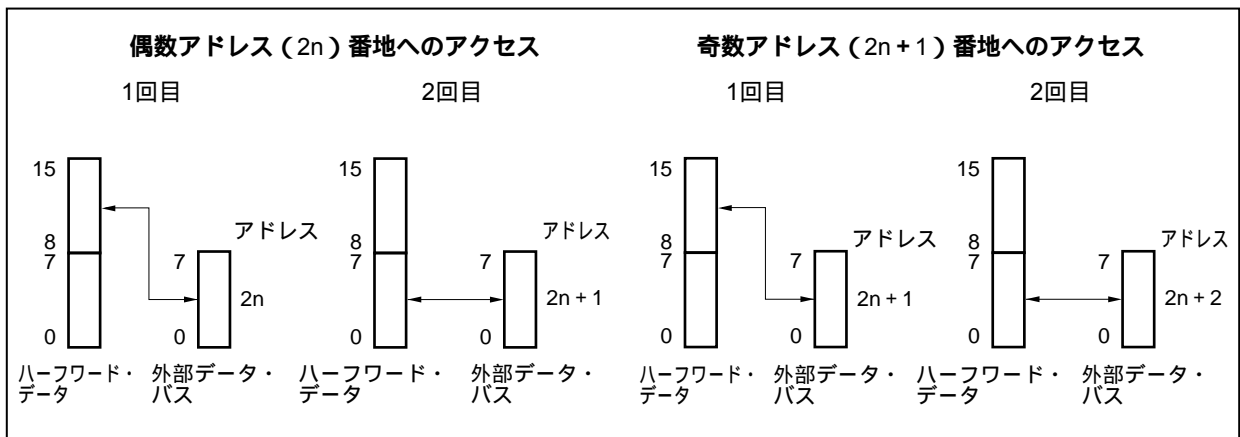
(b) 8ビット・データ・バス幅のとき (リトル・エンディアン)



(c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン)

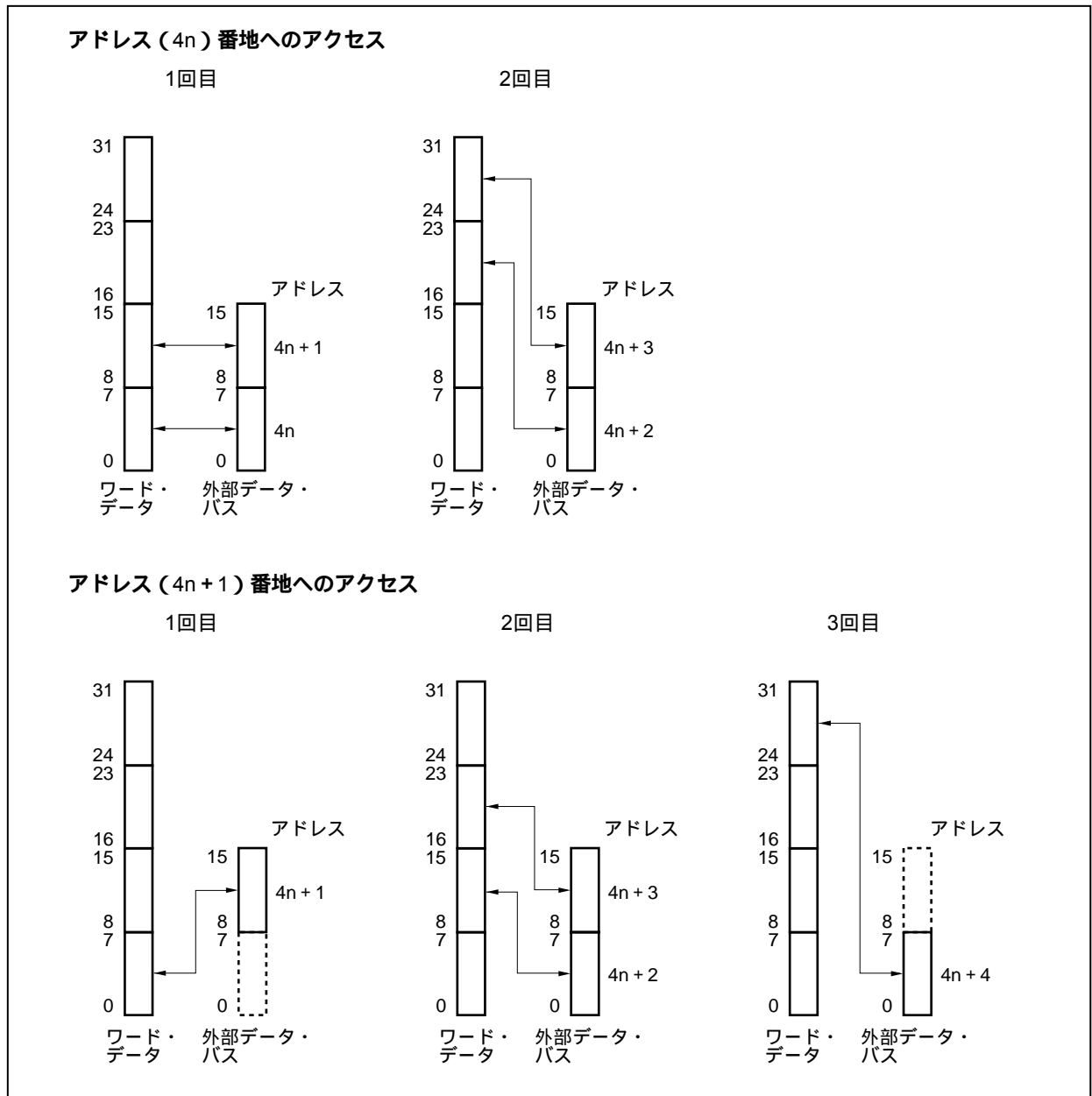


(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン)



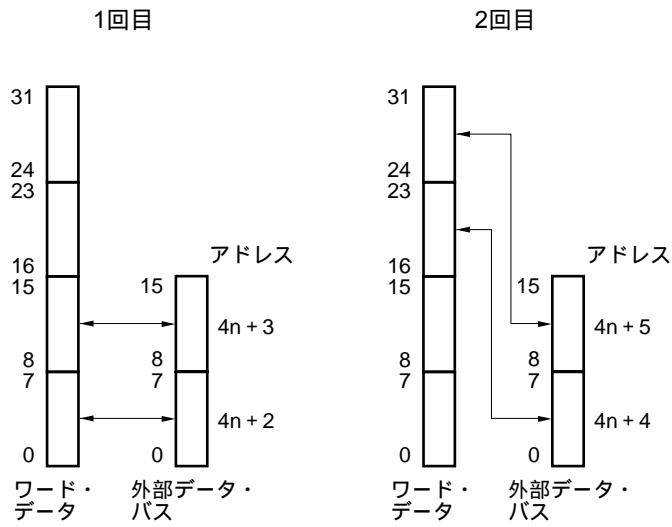
(3) ワード・アクセス (32ビット)

(a) 16ビット・データ・バス幅のとき (リトル・エンディアン) (1/2)

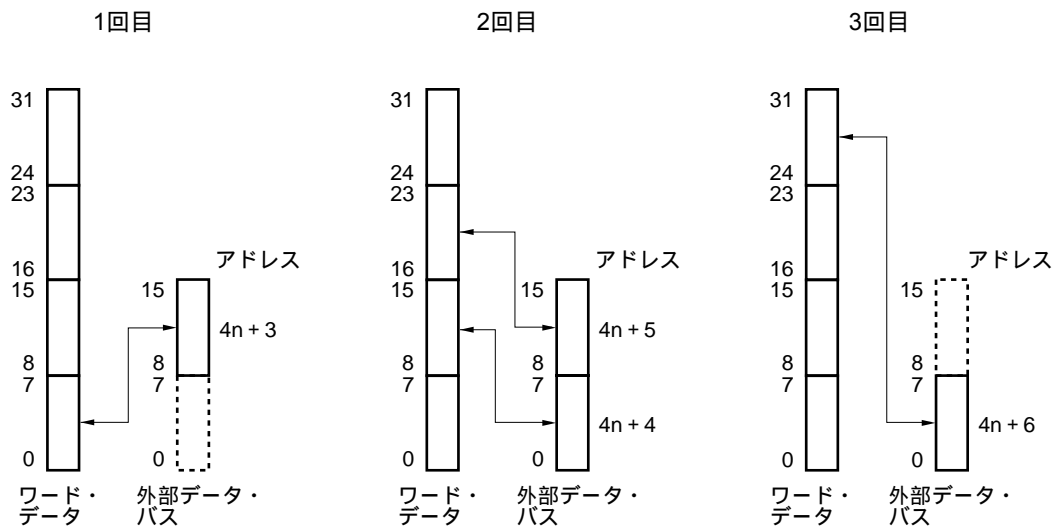


(a) 16ビット・データ・バス幅のとき (リトル・エンディアン) (2/2)

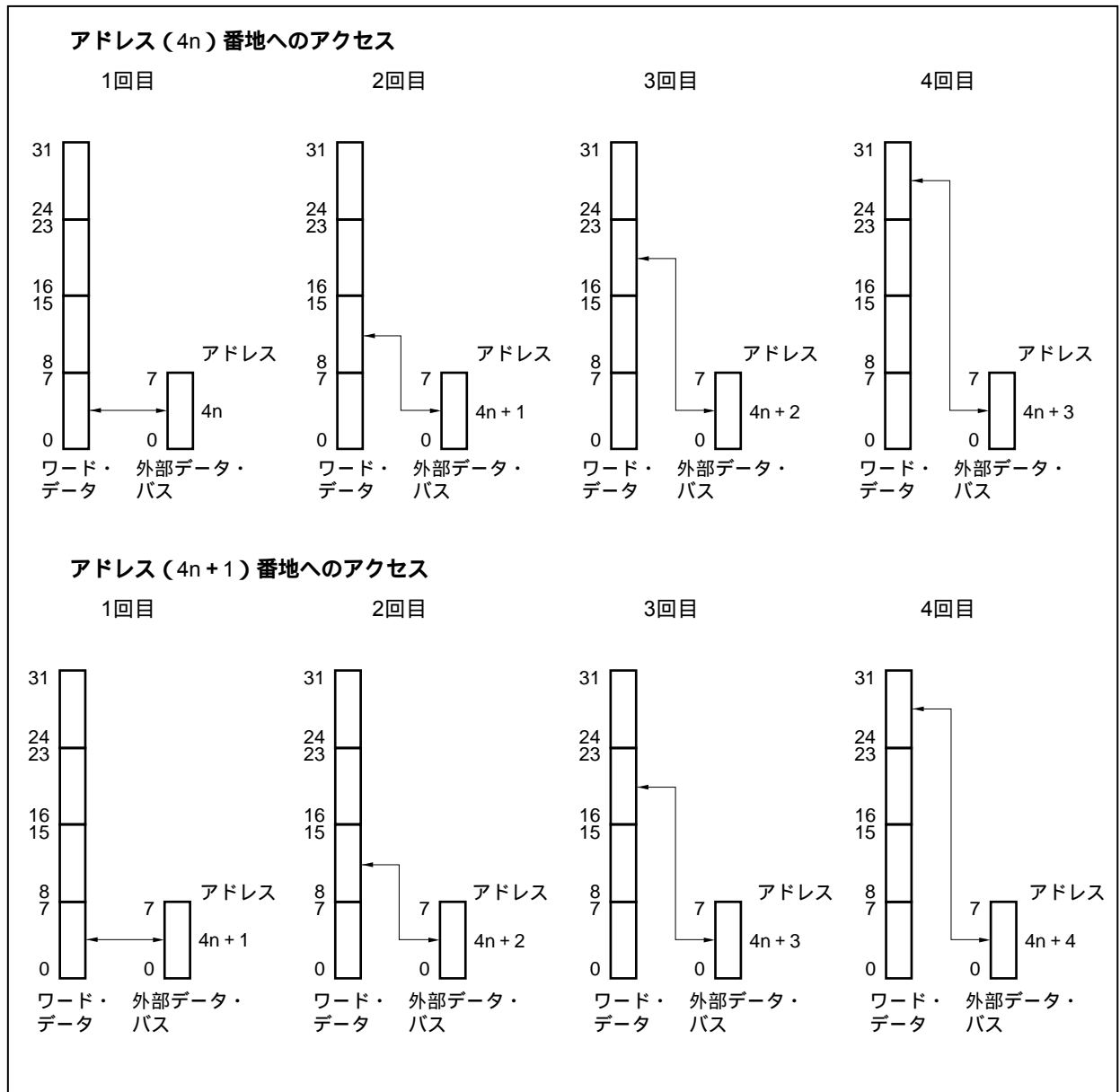
アドレス $(4n+2)$ 番地へのアクセス



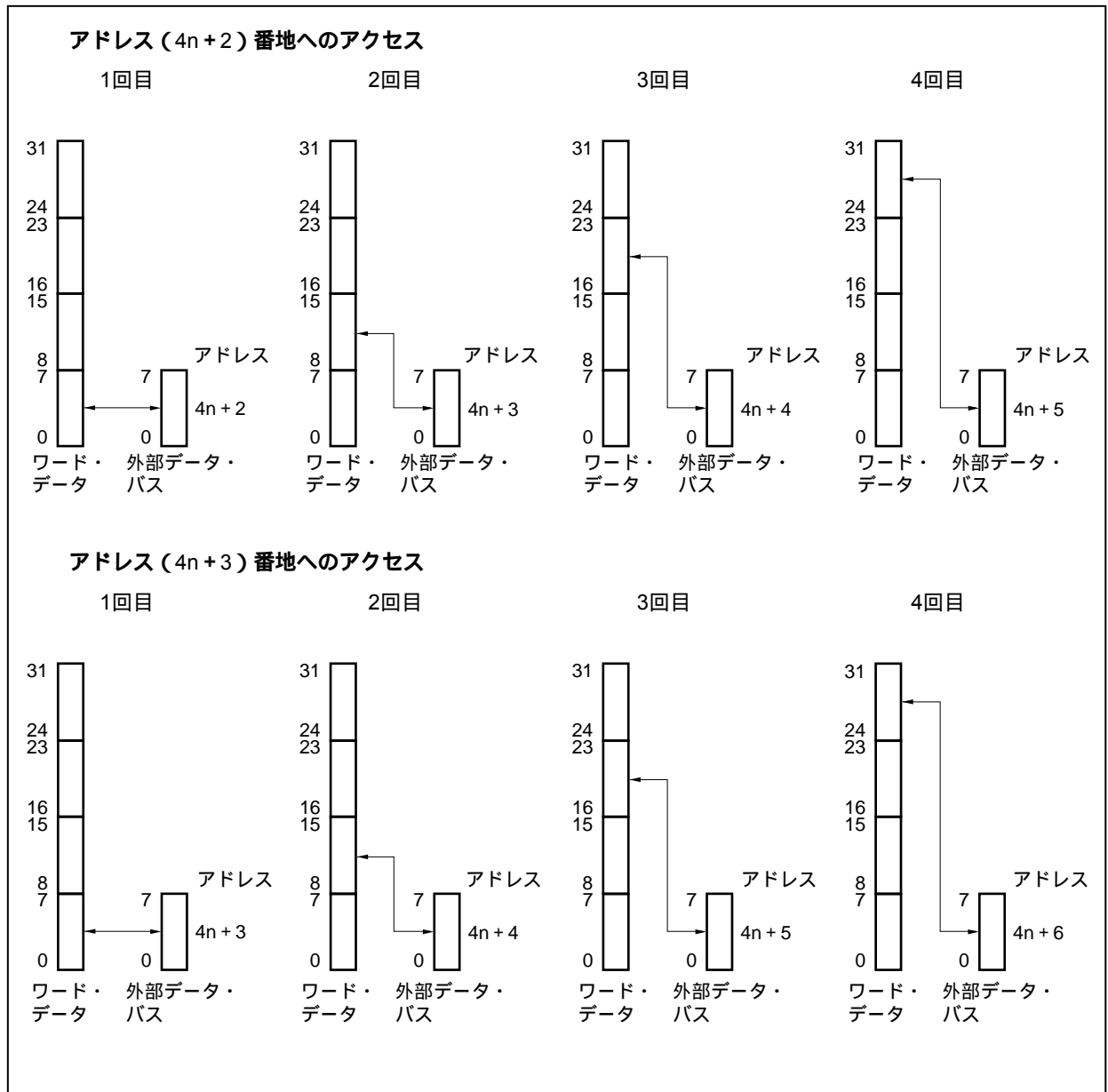
アドレス $(4n+3)$ 番地へのアクセス



(b) 8ビット・データ・バス幅のとき (リトル・エンディアン) (1/2)

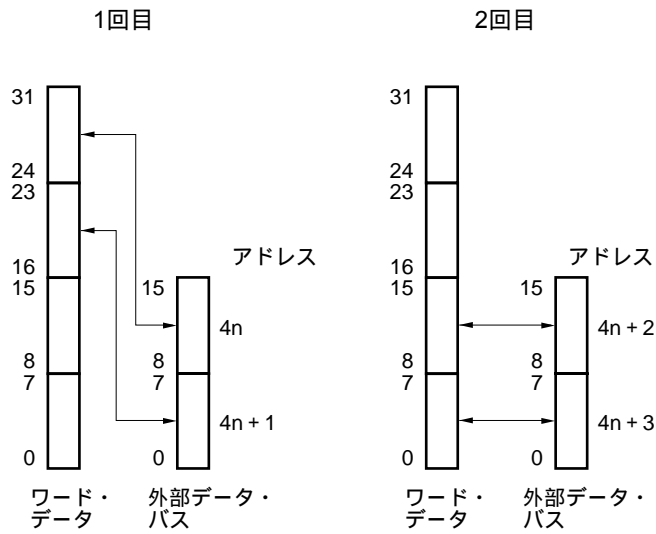


(b) 8ビット・データ・バス幅のとき (リトル・エンディアン) (2/2)

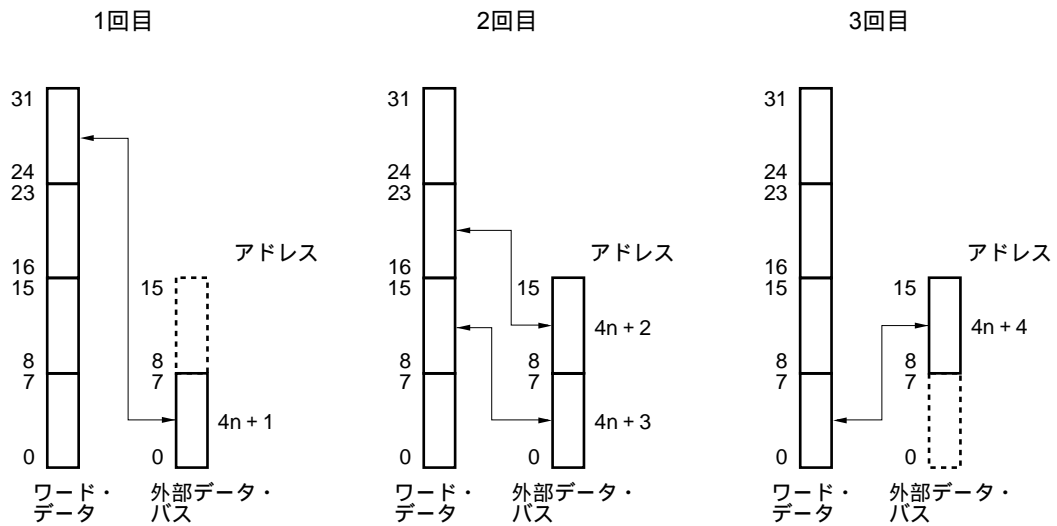


(c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン) (1/2)

アドレス (4n) 番地へのアクセス

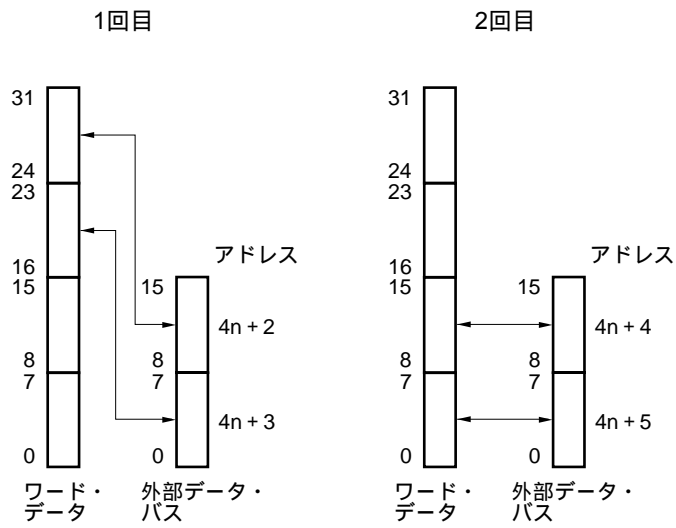


アドレス (4n+1) 番地へのアクセス

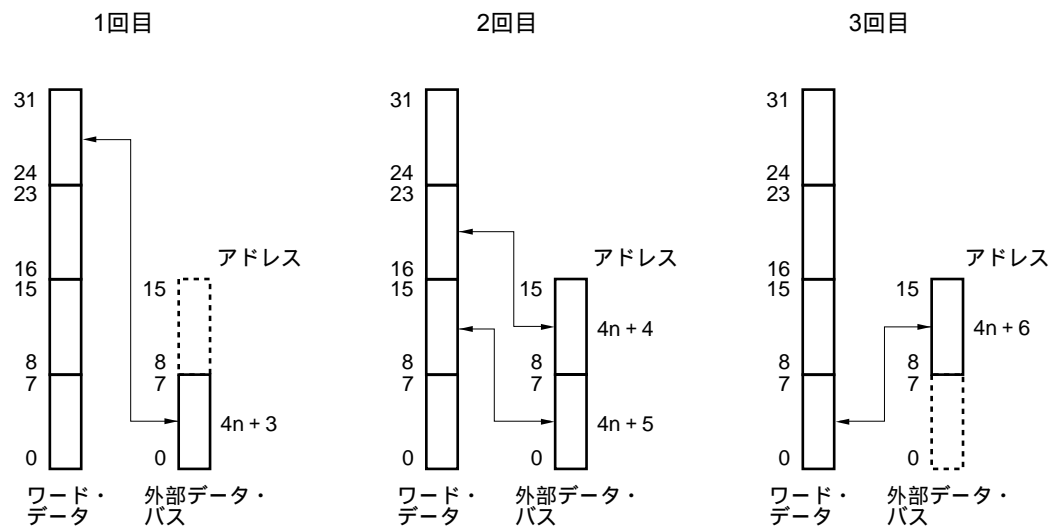


(c) 16ビット・データ・バス幅のとき (ビッグ・エンディアン) (2/2)

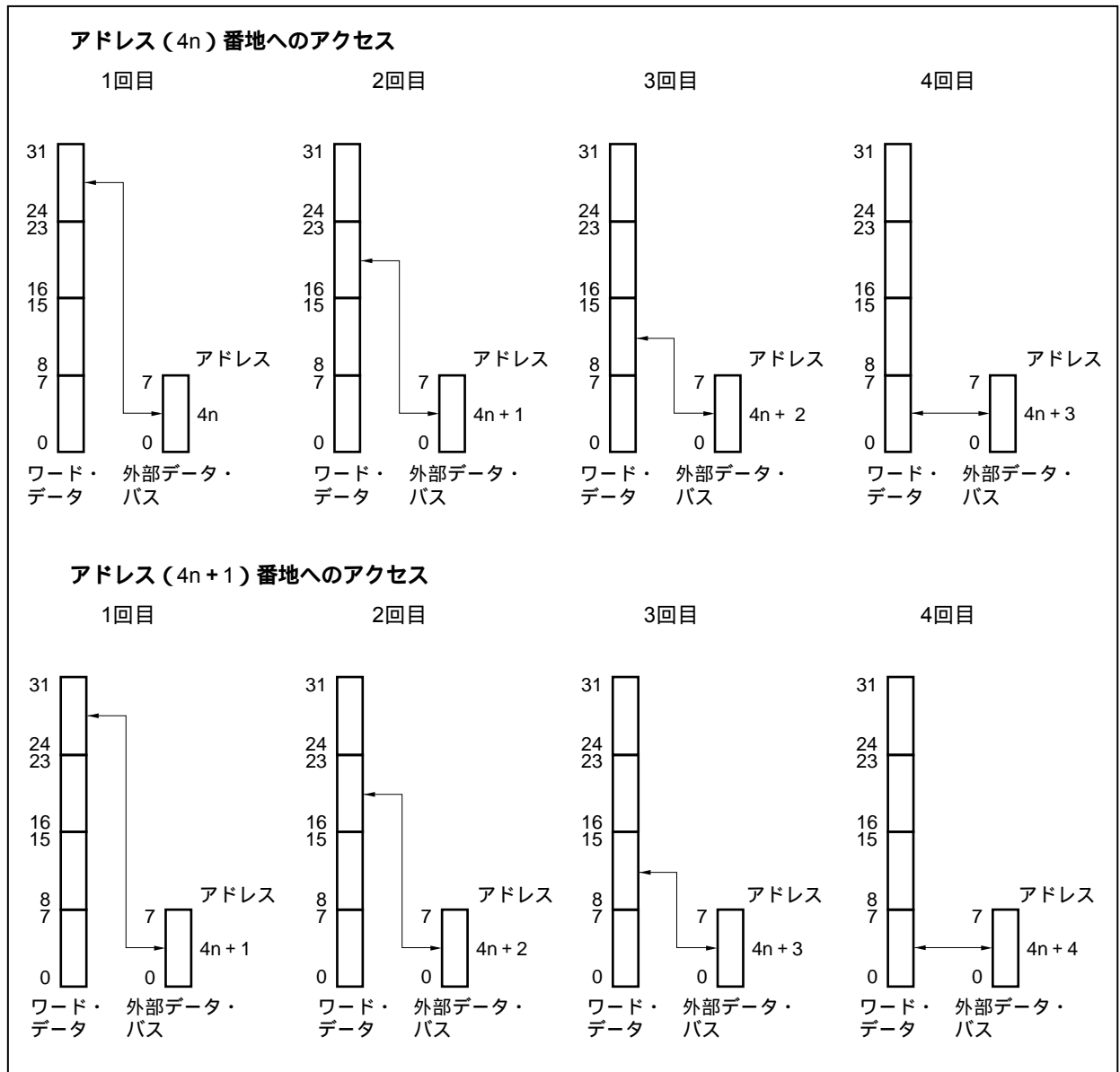
アドレス $(4n+2)$ 番地へのアクセス



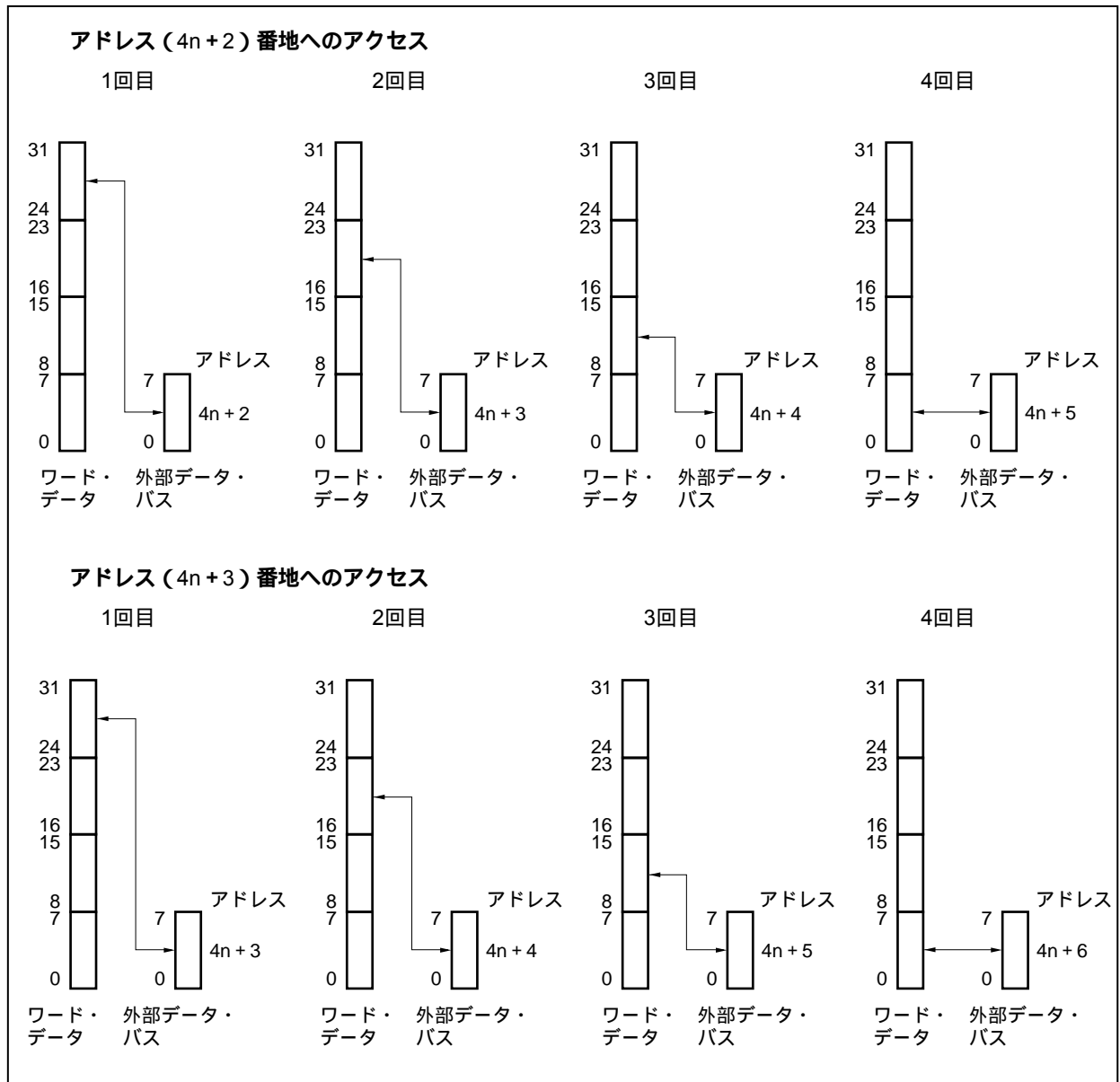
アドレス $(4n+3)$ 番地へのアクセス



(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン) (1/2)



(d) 8ビット・データ・バス幅のとき (ビッグ・エンディアン) (2/2)



4.6 ウェイト機能

★ 4.6.1 プログラマブル・ウェイト機能

(1) データ・ウェイト・コントロール・レジスタ0, 1 (DWC0, DWC1)

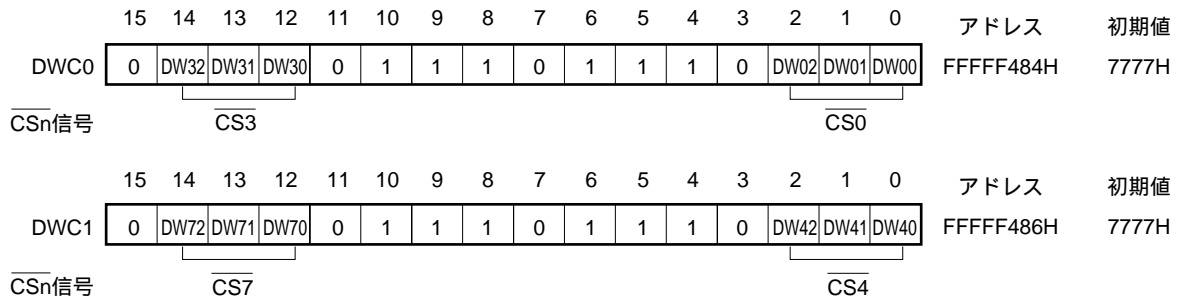
低速メモリ, I/Oに対するインタフェースを容易に実現させることを目的とし, 各CS空間ごとに起動されるバス・サイクルに対し, 最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は, データ・ウェイト・コントロール・レジスタ0, 1 (DWC0, DWC1) でプログラマブルに指定可能です。システム・リセット直後は, 全ブロックに対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

ビット10-8, 6-4には必ず1を設定してください。0を設定した場合の動作は保証できません。

- 注意1.** 内蔵RAM領域は, プログラマブル・ウェイトの対象外で, 常にノー・ウェイト・アクセスを行います。また, 内蔵周辺I/O領域も, プログラマブル・ウェイトの対象外で, 各周辺機能からのウェイト制御だけ行われます。
2. 次の場合, DWC0, DWC1レジスタの設定は無効となります(ウェイト制御は各メモリ・コントローラごとに行います)。
 - ・ページROMのオンページ・アクセス
 - ・SDRAMアクセス
 3. DWC0, DWC1レジスタへの書き込みはリセット後に行い, そのあとは値を変更しないでください。また, DWC0, DWC1レジスタの初期設定が終わるまでは, その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし, 初期設定が終了した外部メモリ領域のアクセスは可能です。



ビット位置	ビット名	意味
14-12, 2-0	DWn2-DWn0 (n = 0, 3, 4, 7)	Data Wait CSn空間に挿入するウエイトのステート数を指定します。

DWn2	DWn1	DWn0	CSn空間の挿入ウエイト・ステート数
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

(2) アドレス・セットアップ・ウエイト・コントロール・レジスタ (ASC)

V850E/MA2は、SRAM / ページROMサイクルの始めにアドレス・セットアップ・ウエイト・ステートを挿入できます (SDRAMサイクルではASCレジスタの設定は無効です)。

アドレス・セットアップ・ウエイト・ステート数は、ASCレジスタでCS空間ごとに設定できます。

16ビット単位でリード/ライト可能です。

ビット13-10, 5-2には必ず1を設定してください。0を設定した場合の動作は保証できません。

注意1. アドレス・セットアップ・ウエイトでは、 $\overline{\text{WAIT}}$ 端子による外部ウエイト機能は無効です。

★ 2. ASCレジスタへの書き込みはリセット後に行ってください。書き込み後は、値を変更しないでください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
ASC	AC71	AC70	1	1	1	1	AC41	AC40	AC31	AC30	1	1	1	1	AC01	AC00	FFFFFF48AH	FFFFH
$\overline{\text{CSn}}$ 信号	$\overline{\text{CS7}}$						$\overline{\text{CS4}}$		$\overline{\text{CS3}}$						$\overline{\text{CS0}}$			

ビット位置	ビット名	意味
15, 14, 9-6, 1, 0	ACn1, ACn0 (n = 0, 3, 4, 7)	Address Cycle SRAM / ページROMサイクルの前に挿入するアドレス・セットアップ・ウエイト・ステート数をCSn空間ごとに設定します。

ACn1	ACn0	ウエイト・ステート数
0	0	挿入しない
0	1	1
1	0	2
1	1	3

4.6.2 外部ウエイト機能

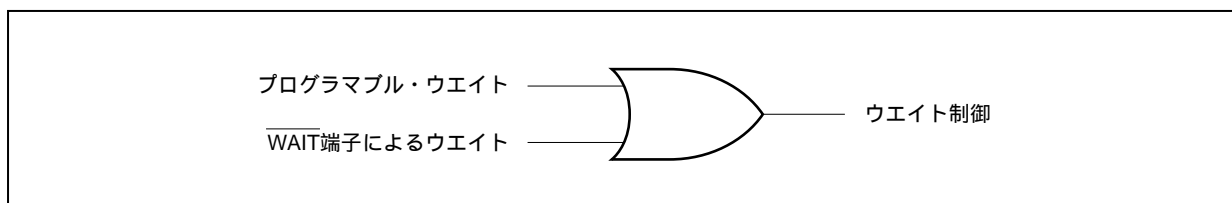
極端に遅いデバイスや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT1, TWステートのクロックの立ち上がりでサンプリングします。サンプル・タイミングにおける設定 / 保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

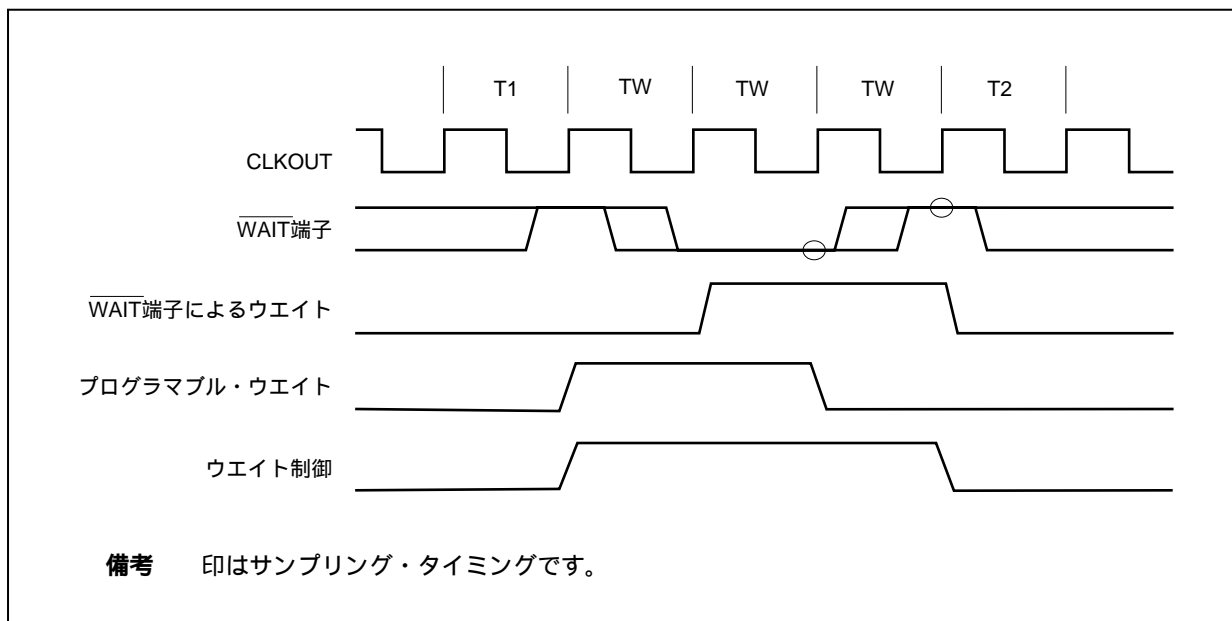
4.6.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入され、どちらか多い方のウエイト・サイクル数だけ挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図4-3 ウエイト挿入例



4.6.4 ウェイト機能が有効なバス・サイクル

V850E/MA2は、各メモリ・ブロックごとに指定した各種のメモリのタイプに応じて、ウェイト数を指定できます。ウェイト機能が有効なバス・サイクルとウェイト設定を行うレジスタを次に示します。

表4-1 ウェイト機能が有効なバス・サイクル

バス・サイクル	ウェイトの種類	プログラマブル・ウェイトの設定			WAIT端子によるウェイト
		レジスタ	ビット	ウェイト数	
SRAM, 外部ROM, 外部I/Oサイクル	アドレス・セットアップ・ウェイト	ASC	ACn1, ACn0	0-3	× (無効)
	データ・アクセス・ウェイト	DWC0, DWC1	DWn2-DWn0	0-7	(有効)
ページROMサイクル	アドレス・セットアップ・ウェイト	ASC	ACn1, ACn0	0-3	× (無効)
	オフページ	DWC0, DWC1	DWn2-DWn0	0-7	(有効)
	オンページ	PRC	PRW2-PRW0	0-7	(有効)
SDRAMサイクル	ロウ・アドレス・プリチャージ	SCRm	BCW1m, BCW0m	1-3	× (無効)

備考 n = 0, 3, 4, 7, m = 3, 4

4.7 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、各CS空間ごとにリード・アクセス時のメモリのデータ出力フロート遅延時間 (t_{DF}) を確保するために、起動されるバス・サイクルに対し、T2ステート後に設定された数のアイドル・ステート (TI) を挿入可能です。T2ステートの次のバス・サイクルは、挿入されたアイドル・ステートのあとから開始します。

アイドル・ステートは次に示すタイミングで挿入されます。

- ・SRAM, 外部I/O, 外部ROMに対するリード・サイクル後, ライト・サイクル後
- ・ページROMに対するリード・サイクル後
- ・SDRAMに対するリード・サイクル後

アイドル・ステートの挿入指定は、バス・サイクル・コントロール・レジスタ (BCC) でプログラマブルに指定可能です。システム・リセット直後は、全ブロックに対してアイドル・ステートの挿入状態になります。アイドル・ステート挿入時のタイミングは第5章の各メモリのアクセス・タイミングを参照してください。

(1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード/ライト可能です。

ビット13-10, 5-2には必ず1を設定してください。0を設定した場合の動作は保証できません。

- 注意1.** 内蔵RAM領域, 内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。
2. BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値	
																FFFFF488H	FFFFH	
BCC	BC71	BC70	1	1	1	1	BC41	BC40	BC31	BC30	1	1	1	1	BC01	BC00		
CSn信号	CS7						CS4		CS3						CS0			

ビット位置	ビット名	意味															
15, 14, 9-6, 1, 0	BCn1, BCn0 (n = 0, 3, 4, 7)	Data Cycle CSn空間に対するアイドル・ステートの挿入を指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">BCn1</th><th style="width: 10%;">BCn0</th><th style="width: 80%;">CSn空間に対するアイドル・ステート</th></tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">挿入しない</td></tr> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">1</td><td style="text-align: center;">1</td></tr> <tr> <td style="text-align: center;">1</td><td style="text-align: center;">0</td><td style="text-align: center;">2</td></tr> <tr> <td style="text-align: center;">1</td><td style="text-align: center;">1</td><td style="text-align: center;">3</td></tr> </tbody> </table>	BCn1	BCn0	CSn空間に対するアイドル・ステート	0	0	挿入しない	0	1	1	1	0	2	1	1	3
BCn1	BCn0	CSn空間に対するアイドル・ステート															
0	0	挿入しない															
0	1	1															
1	0	2															
1	1	3															

4.8 バス・ホールド機能

4.8.1 機能概要

PCM2, PCM3端子がコントロール・モードに設定されていれば, $\overline{\text{HLDAK}}$, $\overline{\text{HLDRQ}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バス, 各種ストロブ端子をハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

- ★ バス・ホールド期間中は, 外部メモリ・アクセスまたは周辺I/Oレジスタへのアクセスがあるまで, V850E/MA2の内部動作を継続します。

バス・ホールド状態は, $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。 $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になってから, $\overline{\text{HLDAK}}$ 端子がアクティブ(ロウ・レベル)になるまでの時間は最短で2クロックです。

マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

状態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間 2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間
			3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間

注意1. バス・ホールド中に外部のバス・マスタがSDRAMをアクセスする場合

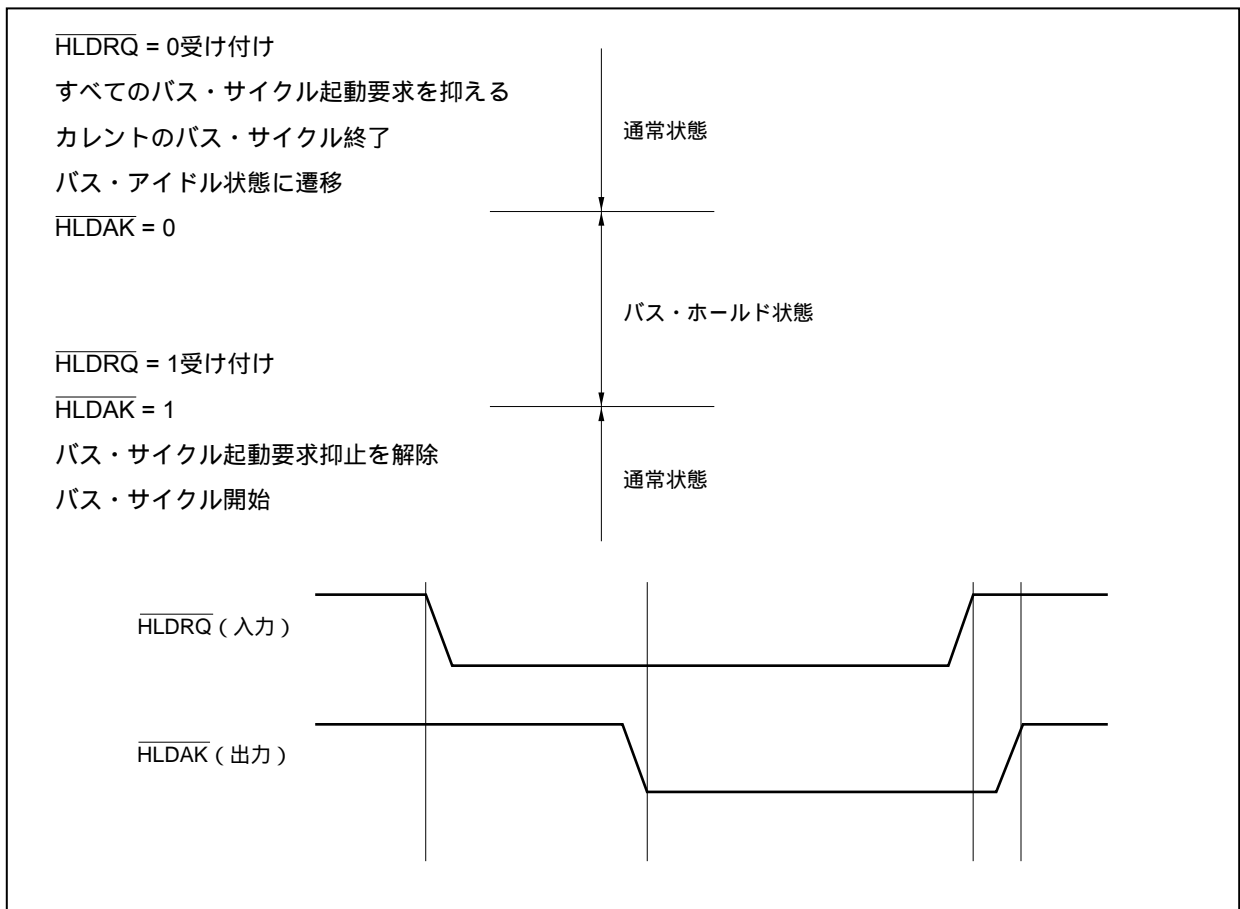
必ず外部のバス・マスタがオール・バンク・プリチャージ・コマンドを実行するようにしてください。

バス・ホールド状態を解除する場合は, CPUが必ずオール・バンク・プリチャージ・コマンドを実行します。また, バス・ホールド中に外部のバス・マスタはSDRAMのコマンド・レジスタの値を変更しないでください。

- リセット期間中の $\overline{\text{HLDRQ}}$ 機能は無効です。 $\overline{\text{RESET}}$ 端子と $\overline{\text{HLDRQ}}$ 端子を同時にアクティブにしたあと $\overline{\text{RESET}}$ 端子をインアクティブにした直後に, $\overline{\text{HLDAK}}$ 端子がアクティブになるか, または1クロック・アドレス・サイクルが挿入されてから $\overline{\text{HLDAK}}$ 端子がアクティブになります。V850E/MA2以外のバス・マスタが外部接続されているときには, パワーオン時のアービトレーションを $\overline{\text{RESET}}$ 信号にて行ってください。

4.8.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



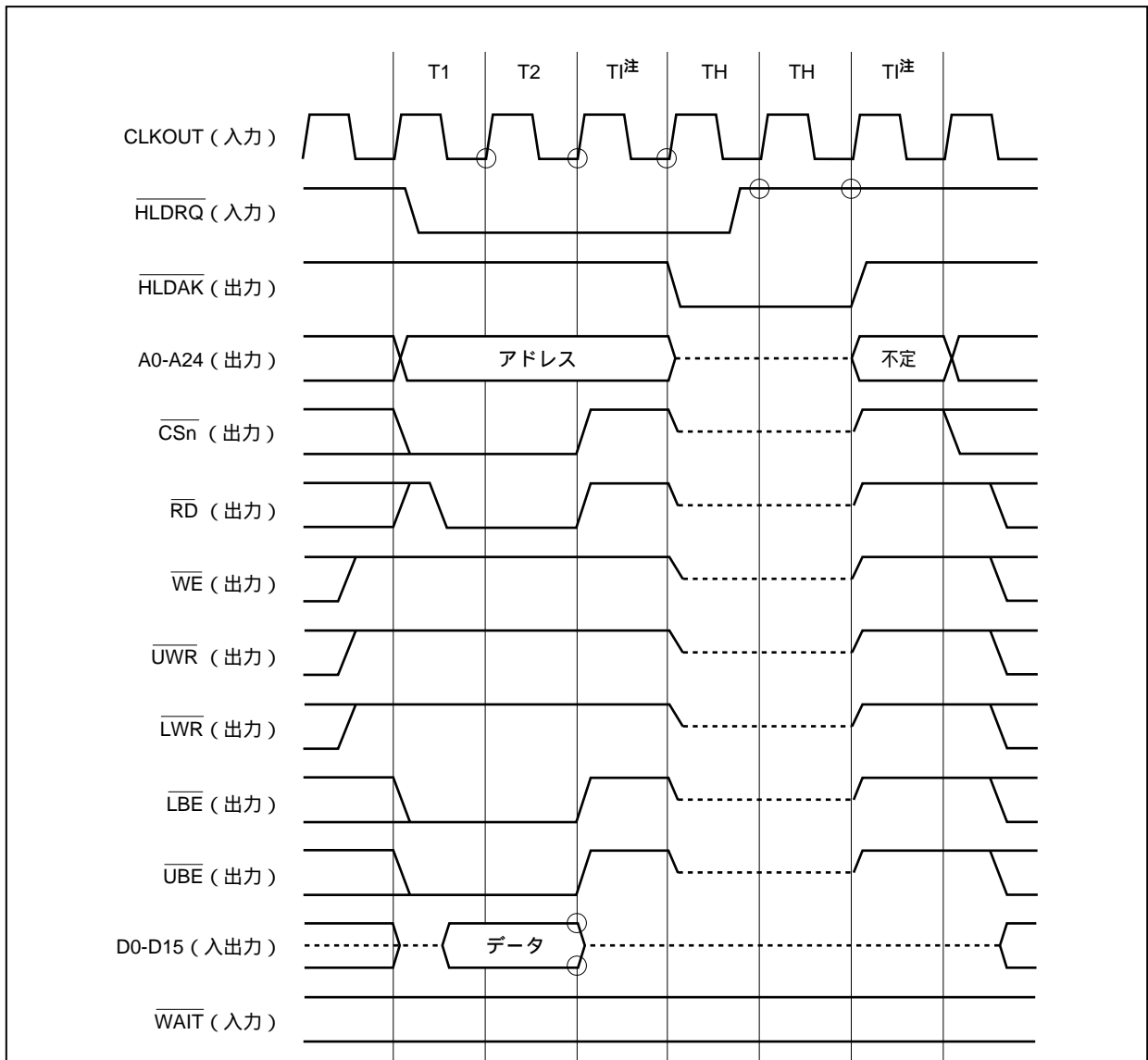
4.8.3 パワー・セーブ・モード時の動作

ソフトウェアSTOPモード期間中およびIDLEモード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDARQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDARQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDARQ}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDARQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDARQ}}$ 端子もインアクティブになり、バス・ホールド状態は解除され、再びHALTモードに戻ります。

4.8.4 バス・ホールド・タイミング (SRAM)

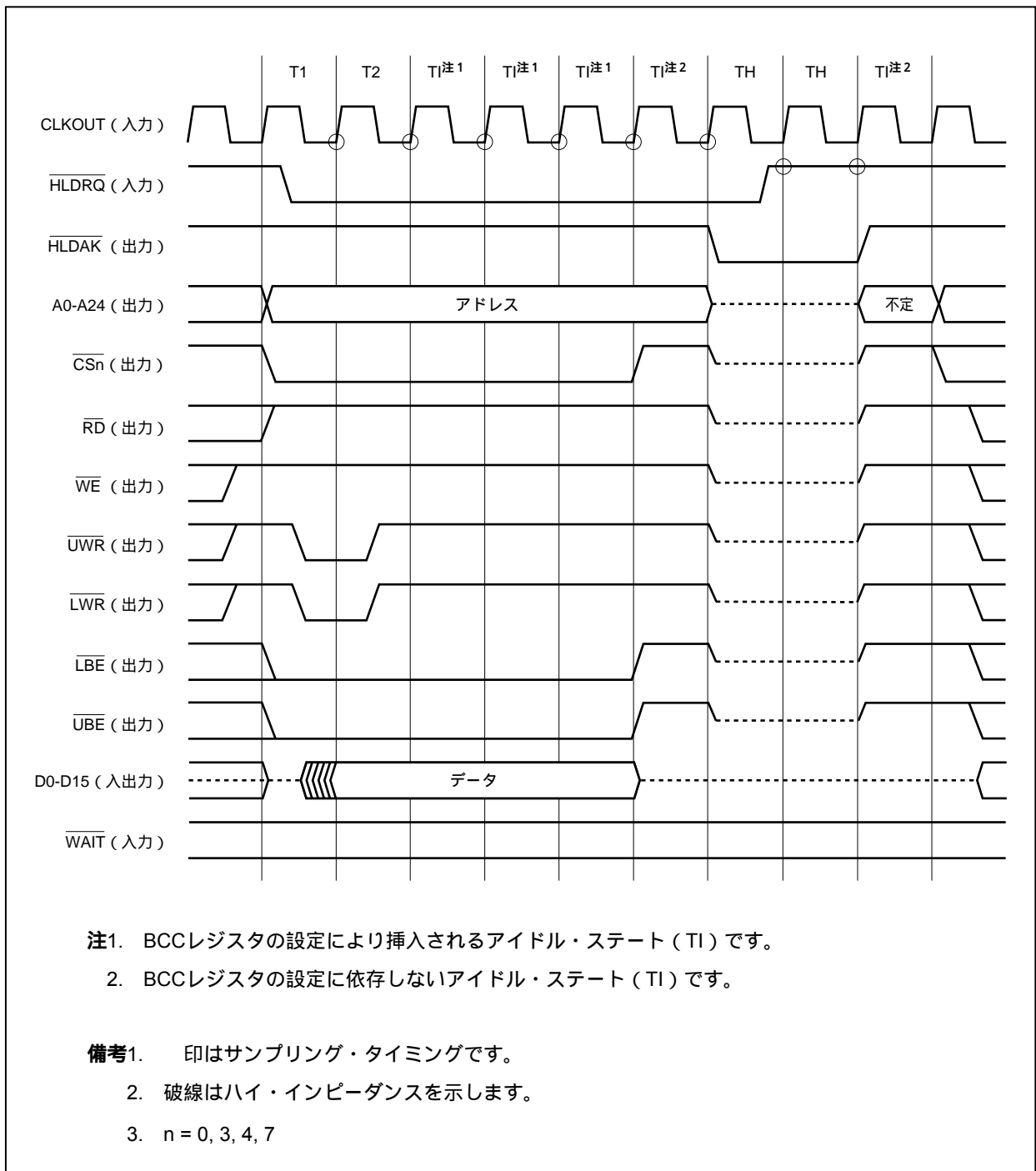
(1) SRAM (リード時, アイドル・ステート挿入なし)



注 BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

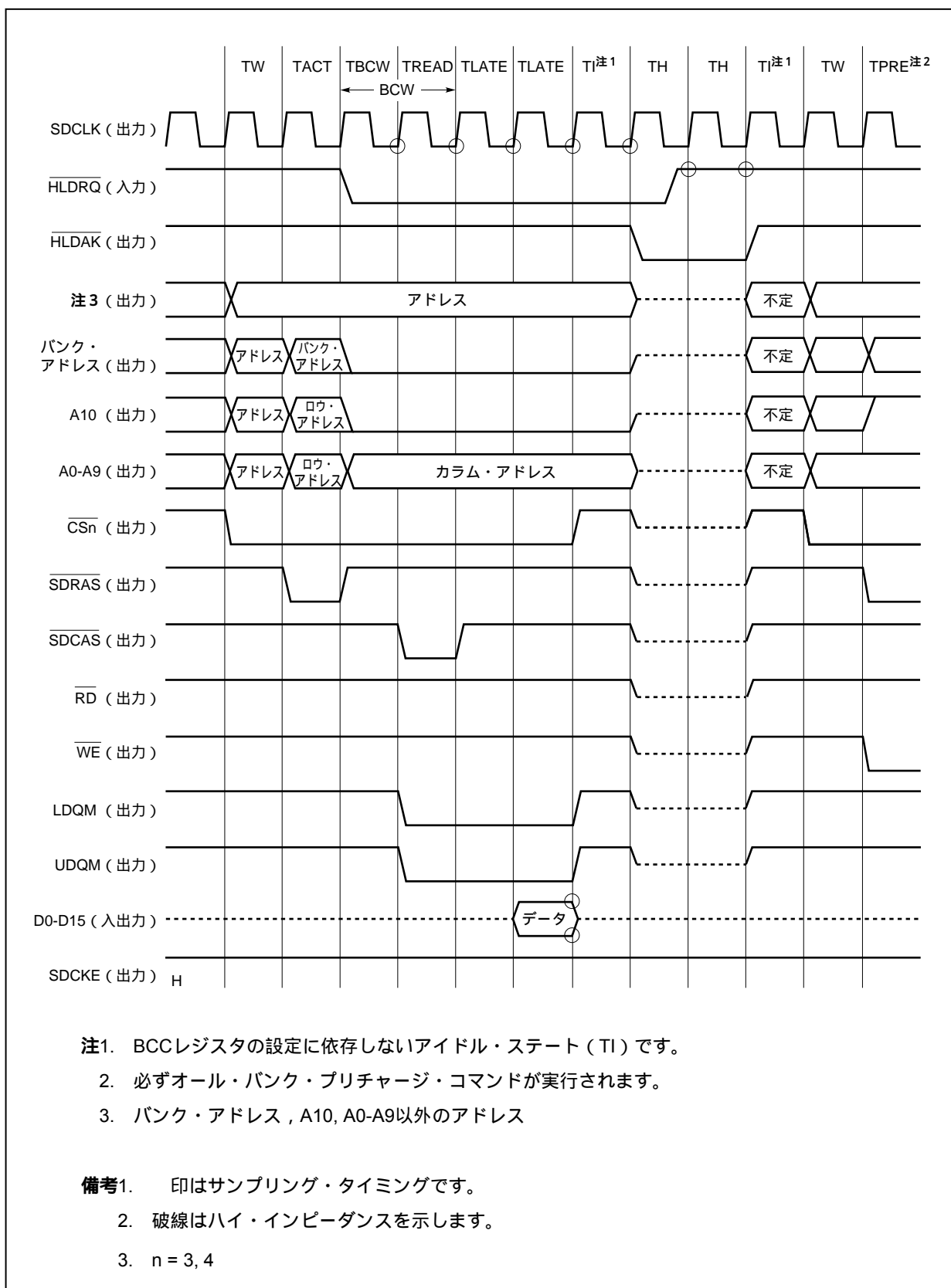
- 備考1. 印はサンプリング・タイミングです。
- 破線はハイ・インピーダンスを示します。
 - n = 0, 3, 4, 7

(2) SRAM (ライト時, アイドル・ステートを3ステート挿入した場合)

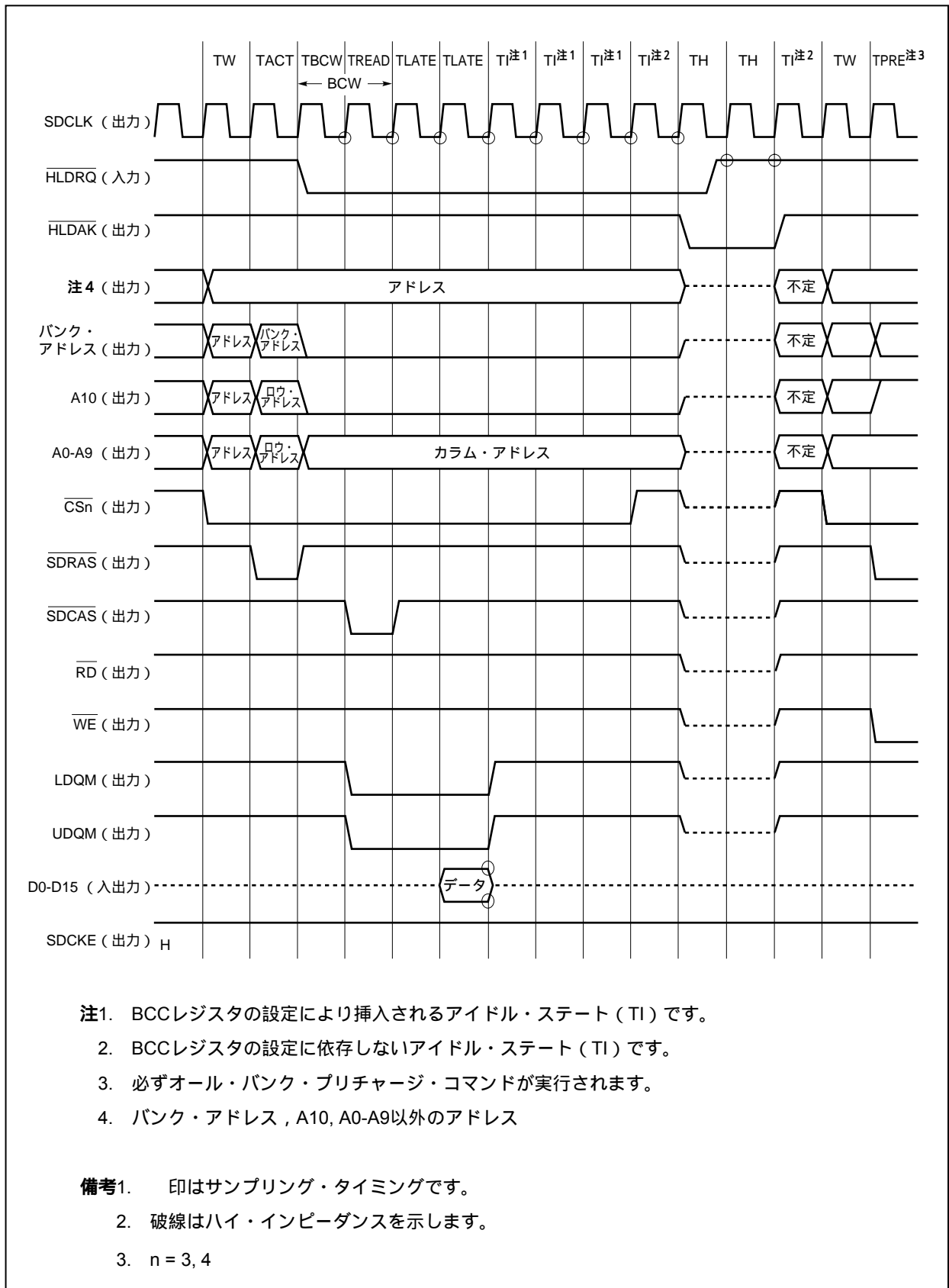


4.8.5 バス・ホールド・タイミング (SDRAM)

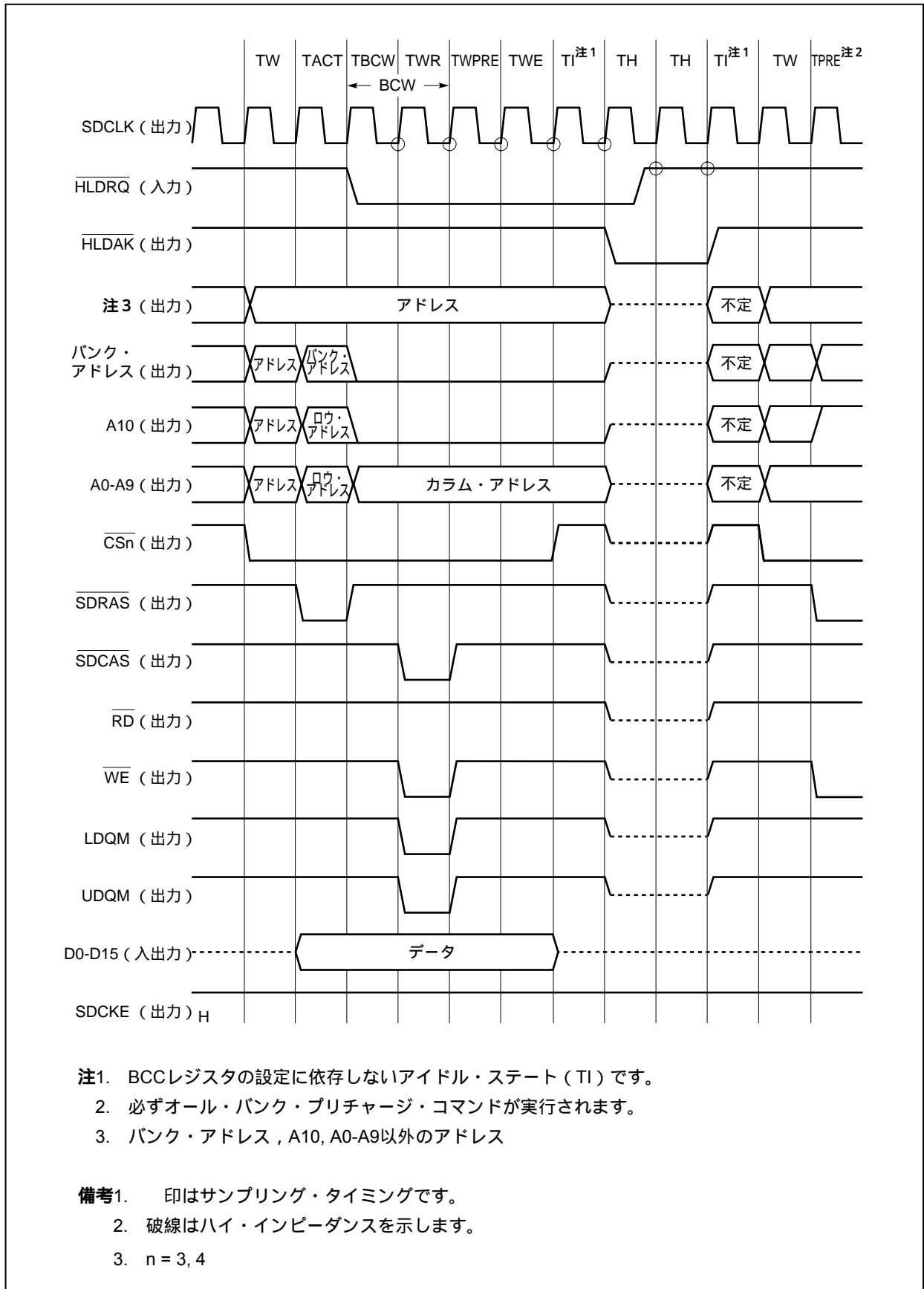
(1) SDRAM (リード時, レーテンシ = 2の場合, アイドル・ステート挿入なし)



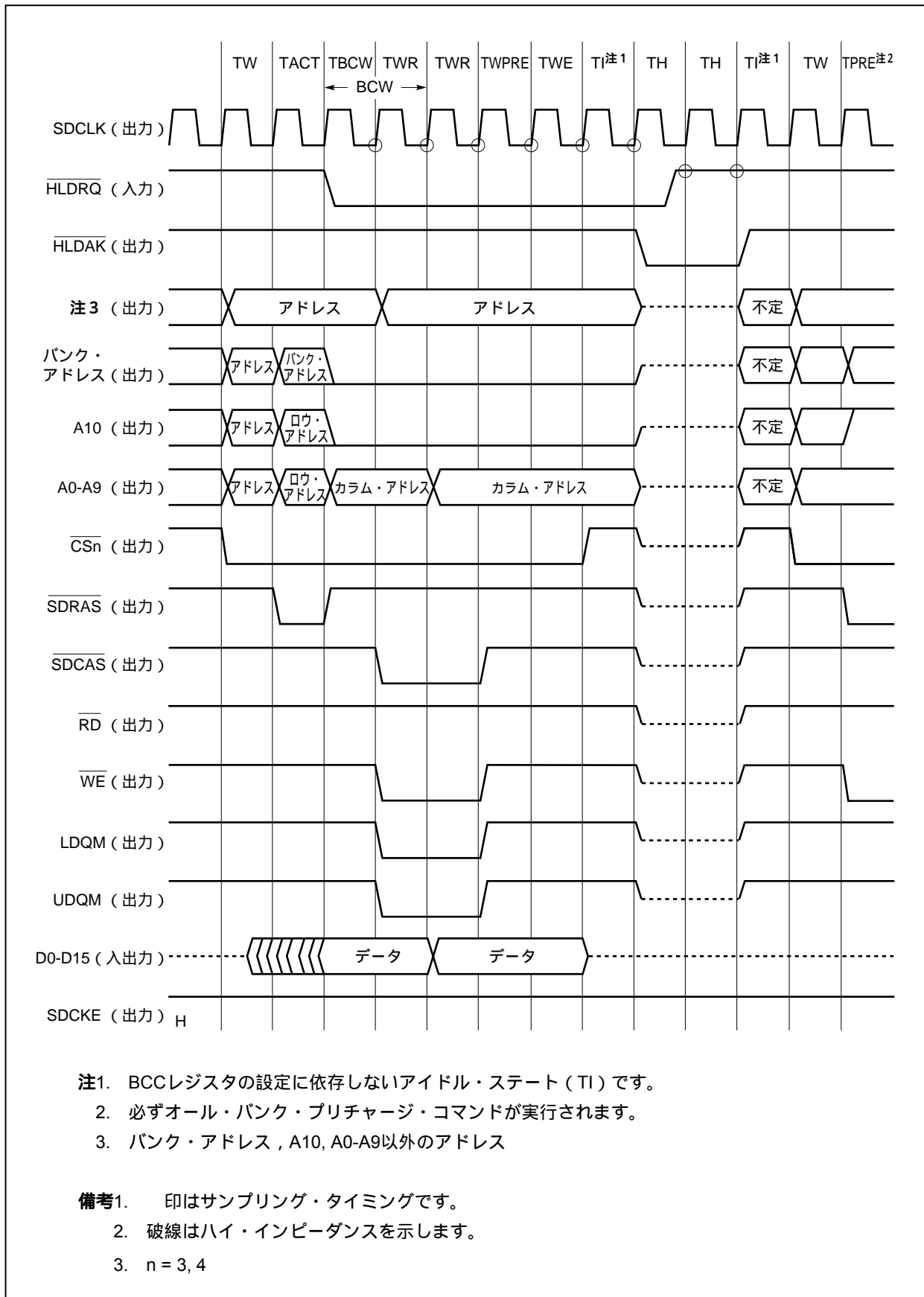
(2) SDRAM (リード時, レーテンシ = 2の場合, アイドル・ステートを3ステート挿入した場合)



(3) SDRAM (ライト時)



(4) SDRAM (ライト時, オンページ・アクセス中にバス・ホールド要求が受け付けられた場合)



4.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、命令フェッチ、オペランド・データ・アクセス、DMAサイクル、リフレッシュ・サイクルの5つがあります。

優先順位はバス・ホールドが最も高く、リフレッシュ・サイクル、DMAサイクル、オペランド・データ・アクセス、命令フェッチの順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

また、CPUバス・クロック時のバス・アクセスとバス・アクセスの間にも、命令フェッチが挿入されることがあります。

表4-2 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	リフレッシュ・サイクル	SDRAMコントローラ
	DMAサイクル	DMAコントローラ
	オペランド・データ・アクセス	CPU
	命令フェッチ	CPU

4.10 境界動作条件

★ 4.10.1 プログラム空間

- (1) 内蔵周辺I/O領域への分岐または内蔵RAM領域から内蔵周辺I/O領域への連続フェッチは行わないでください。分岐や連続フェッチを行った場合、不定データをフェッチし、外部メモリからのフェッチなどはいりません。
- (2) 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。

4.10.2 データ空間

V850E/MA2はアドレス・ミス・アライン機能を内蔵しています。

この機能により、データの形式(ワード・データ、ハーフワード・データ)にかかわらず、すべてのアドレスに対してデータを配置できます。ただし、ワード・データ、ハーフワード・データの場合、データが境界整理していないと、バス・サイクルが最低2回は発生し、バス効率が低下します。

(1) ハーフワード長のデータ・アクセスの場合

アドレスの最下位ビットが1のとき、バイト長のバス・サイクルを2回生成します。

(2) ワード長のデータ・アクセスの場合

- (a) アドレスの最下位ビットが1のとき、バイト長のバス・サイクル、ハーフワード長のバス・サイクル、バイト長のバス・サイクルの順でバス・サイクルを生成します。
- (b) アドレスの下位2ビットが10のとき、ハーフワード長のバス・サイクルを2回生成します。

第5章 メモリ・アクセス制御機能

5.1 SRAM , 外部ROM , 外部I/Oインタフェース

5.1.1 特 徴

SRAMへのアクセスは最小2ステート

DWC0, DWC1レジスタの設定により, 最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

$\overline{\text{WAIT}}$ 端子の入力により, データ・ウエイトを制御可能

BCCレジスタの設定により, リード/ライト・サイクルのあとに最大3ステートのアイドルを挿入可能

ASCレジスタの設定により, 最大3ステートのアドレス・セットアップ・ウエイトを挿入可能

5.1.2 SRAMの接続

SRAMとの接続例は次のようになります。

図5 - 1 SRAMとの接続例 (1/2)

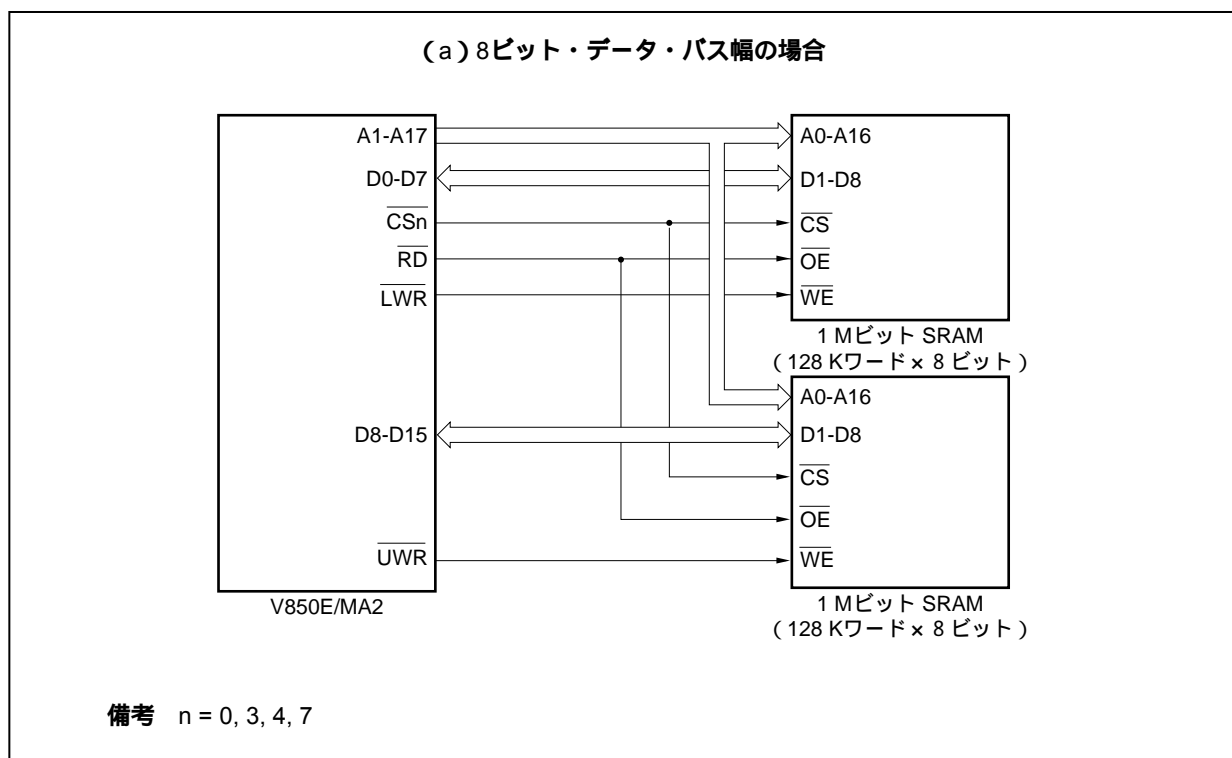
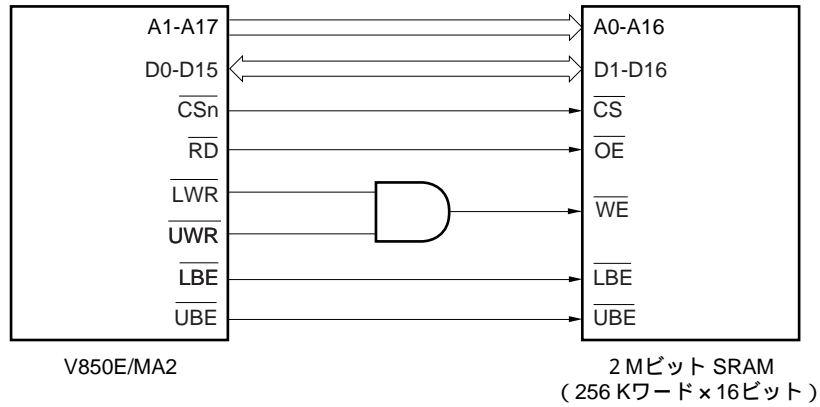
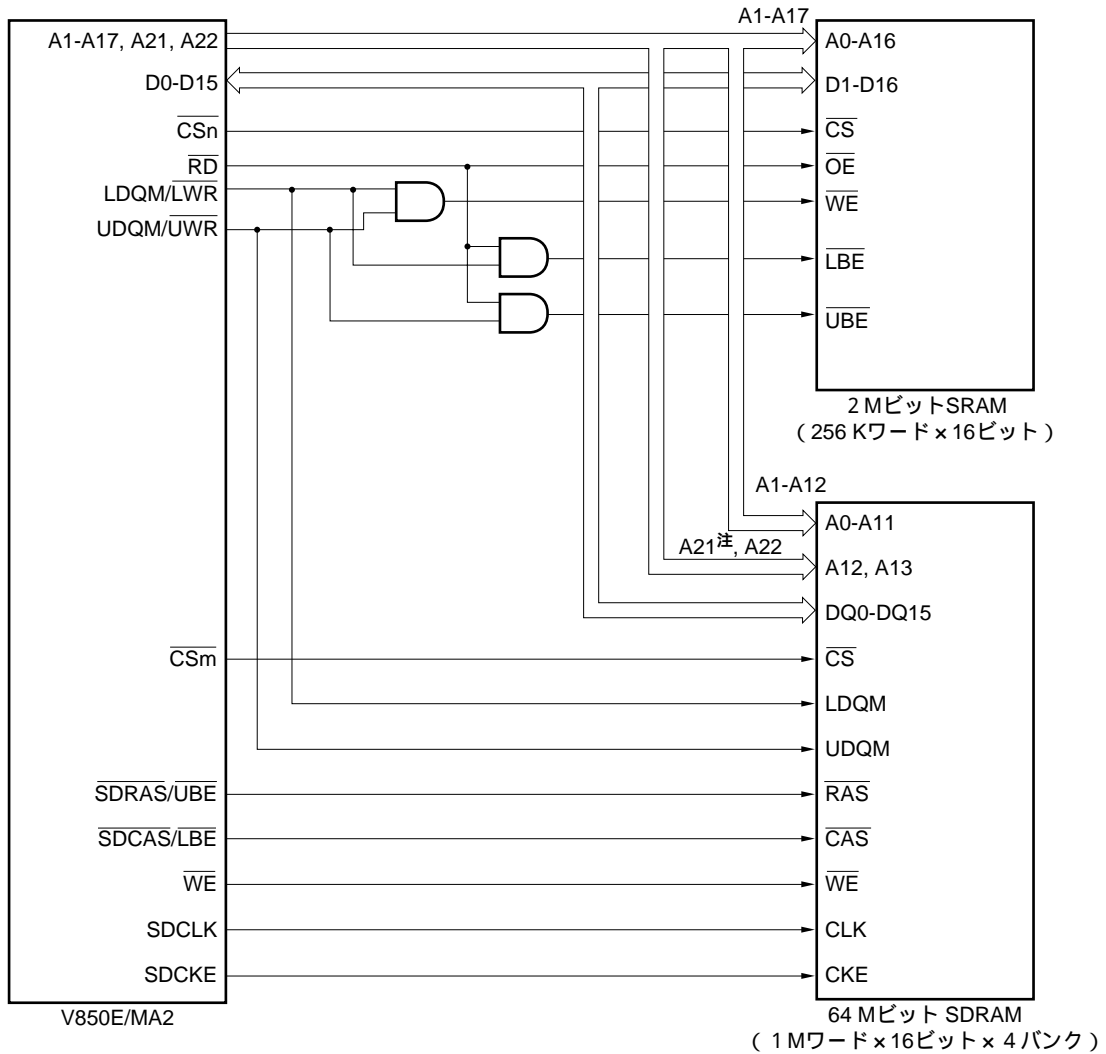


図5-1 SRAMとの接続例 (2/2)

(b) 16ビット・データ・バス幅の場合



(c) SRAM (256 Kワード × 16ビット) と SDRAM (1 Mワード × 16ビット) の混在



注 使用するアドレス信号は、SDRAMの製品により異なります。

備考 $n = 0, 3, 4, 7, m = 3, 4 (n \neq m)$

5.1.3 SRAM, 外部ROM, 外部I/Oアクセス

図5-2 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (1/6)

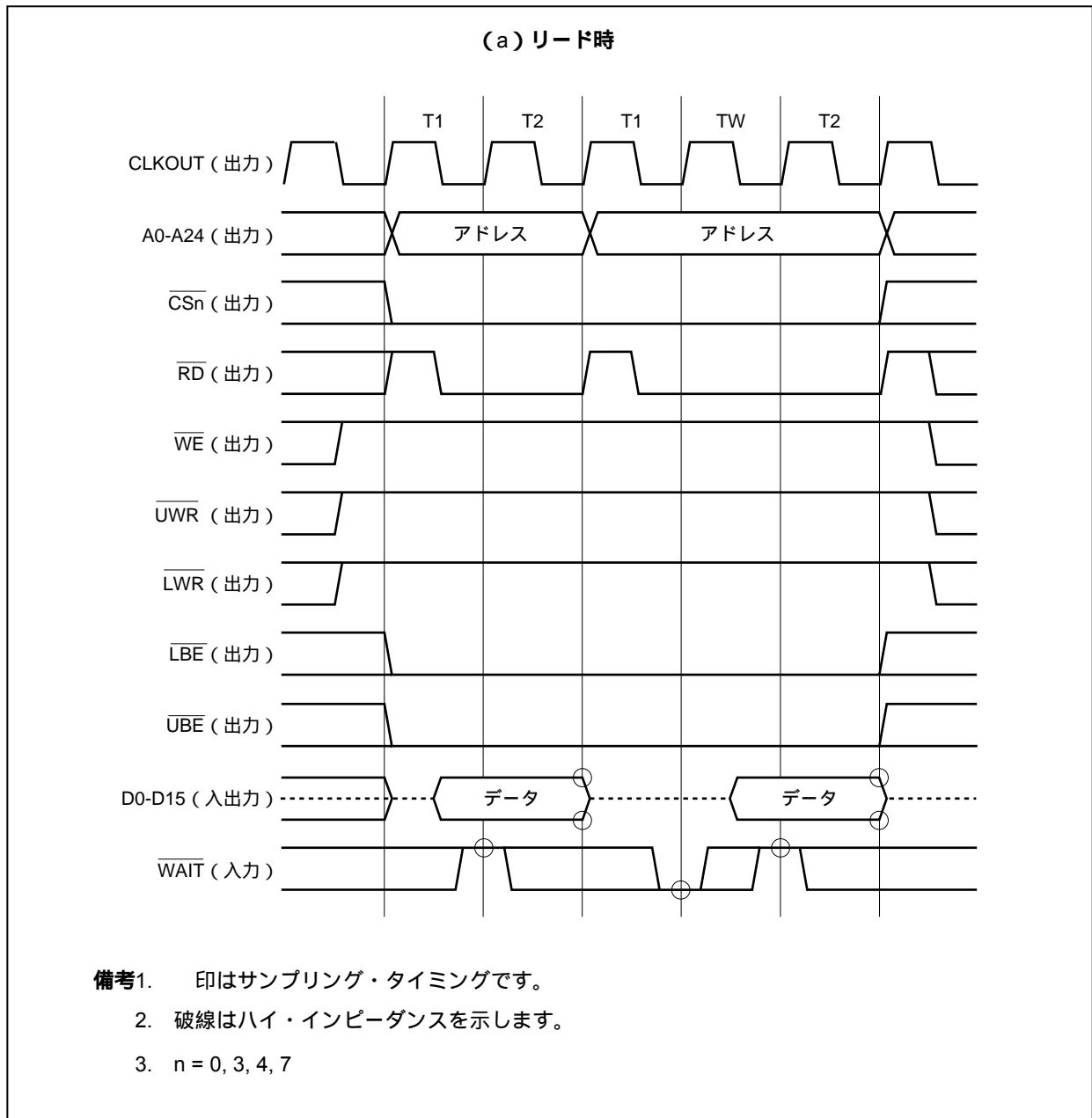
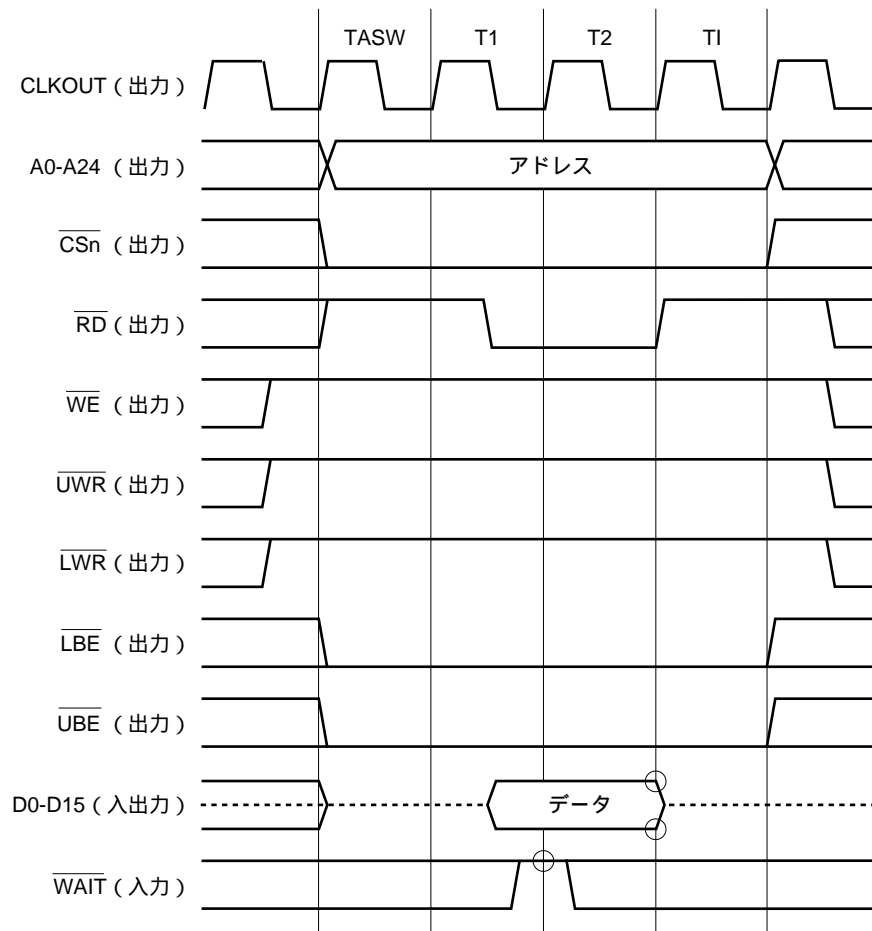


図5-2 SRAM, 外部ROM, 外部I/Oアクセス・タイミング (2/6)

(b) リード時 (アドレス・セットアップ・ウエイト, アイドル・ステート挿入)



- 備考1. 印はサンプリング・タイミングです。
 2. 破線はハイ・インピーダンスを示します。
 3. n = 0, 3, 4, 7

図5 - 2 SRAM , 外部ROM , 外部I/Oアクセス・タイミング (3/6)

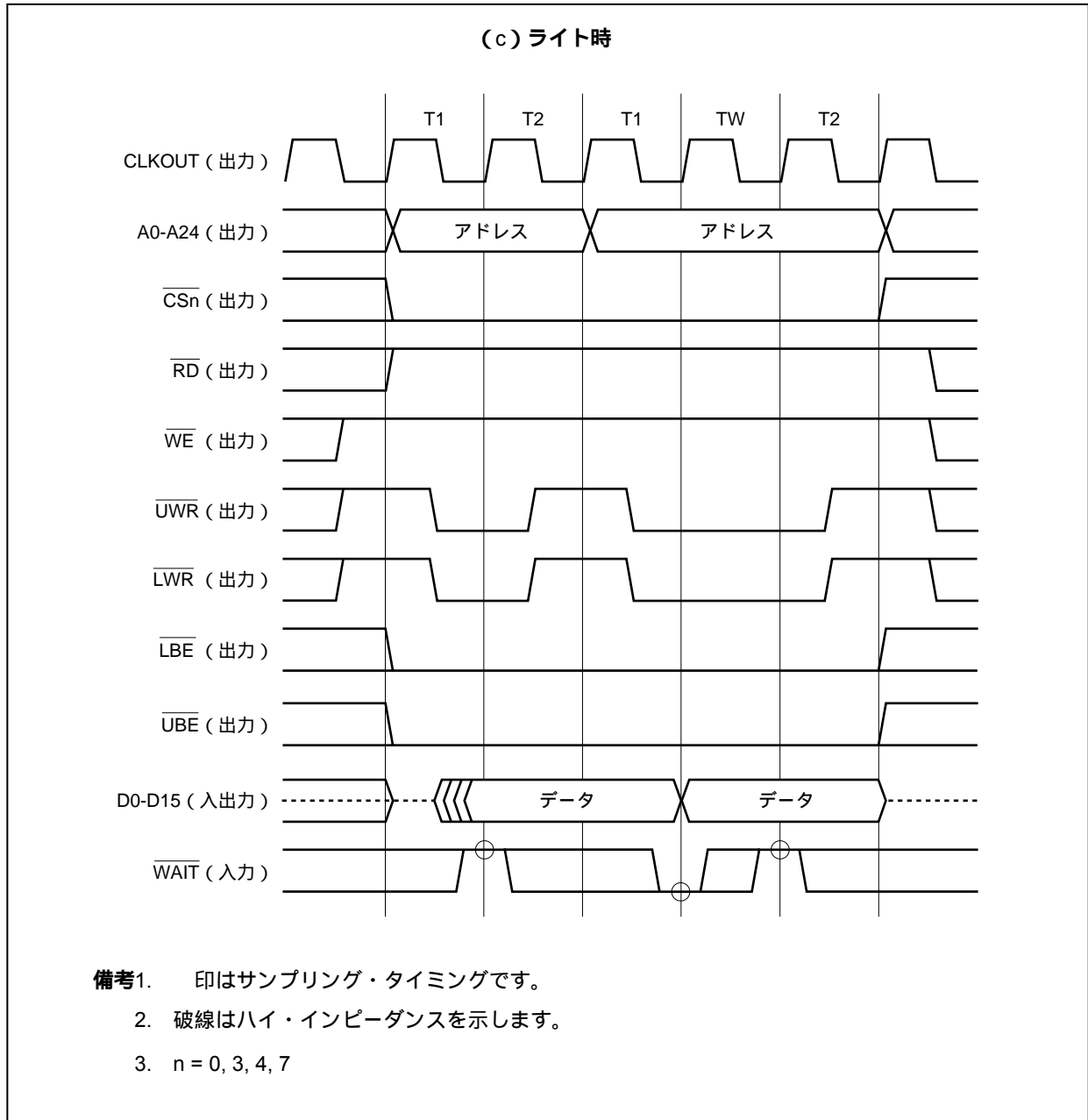
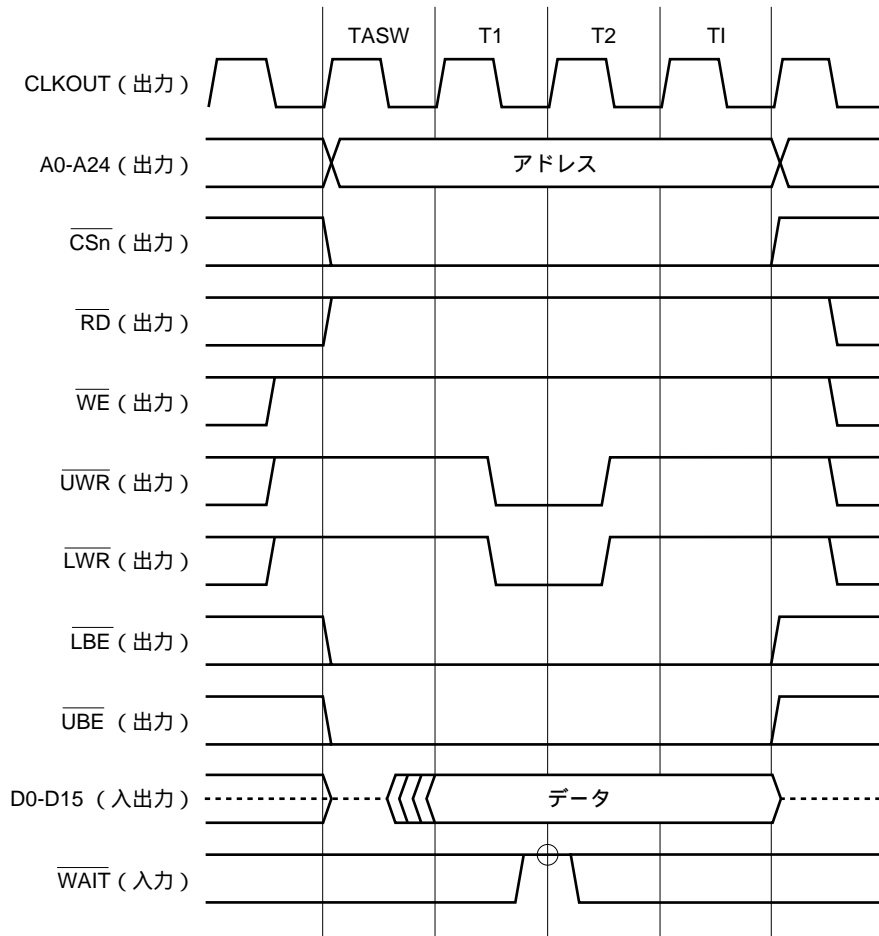


図5 - 2 SRAM , 外部ROM , 外部I/Oアクセス・タイミング (4/6)

(d) ライト時 (アドレス・セットアップ・ウエイト, アイドル・ステート挿入)



- 備考1. 印はサンプリング・タイミングです。
 2. 破線はハイ・インピーダンスを示します。
 3. n = 0, 3, 4, 7

図5 - 2 SRAM , 外部ROM , 外部I/Oアクセス・タイミング (5/6)

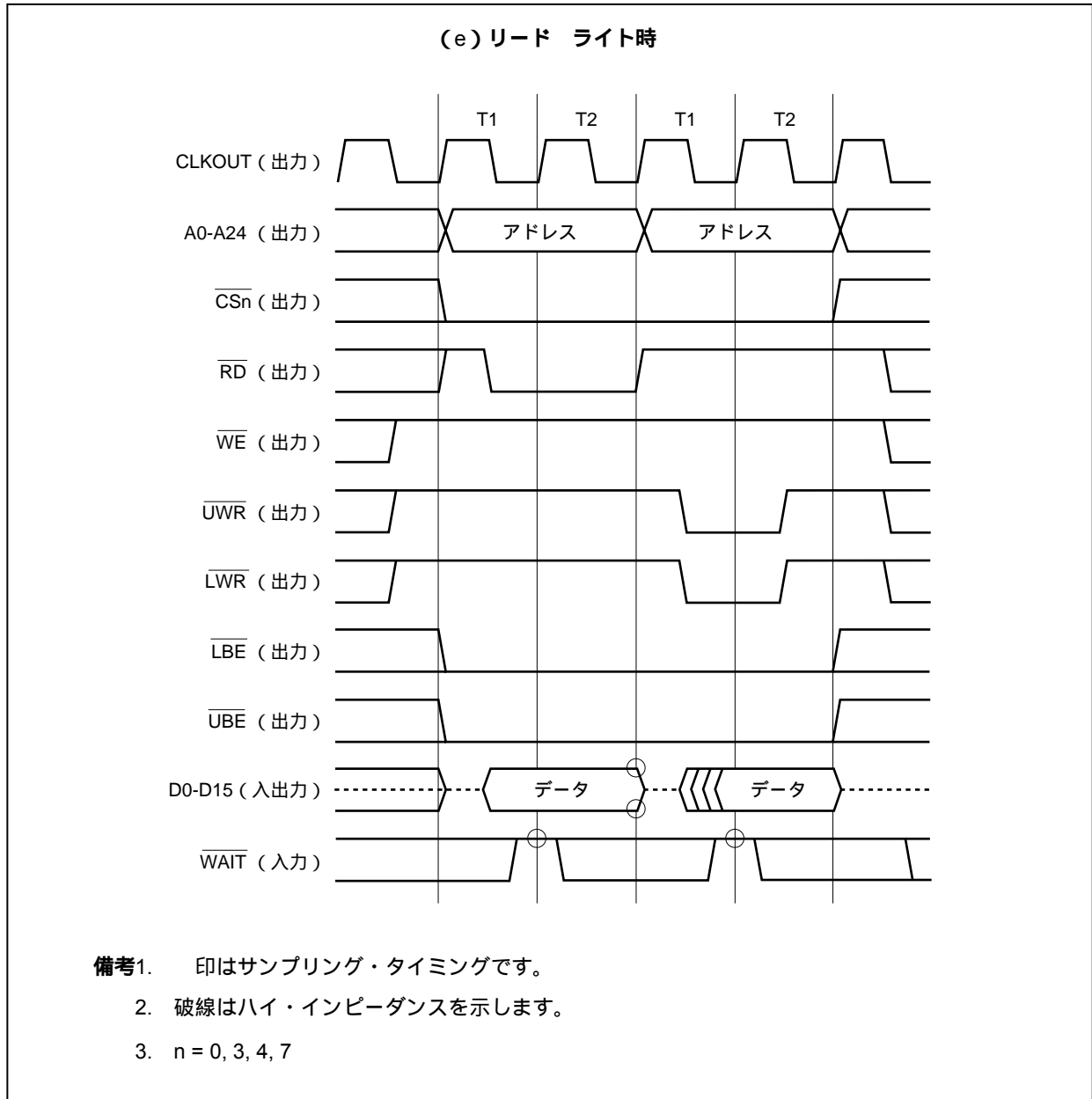
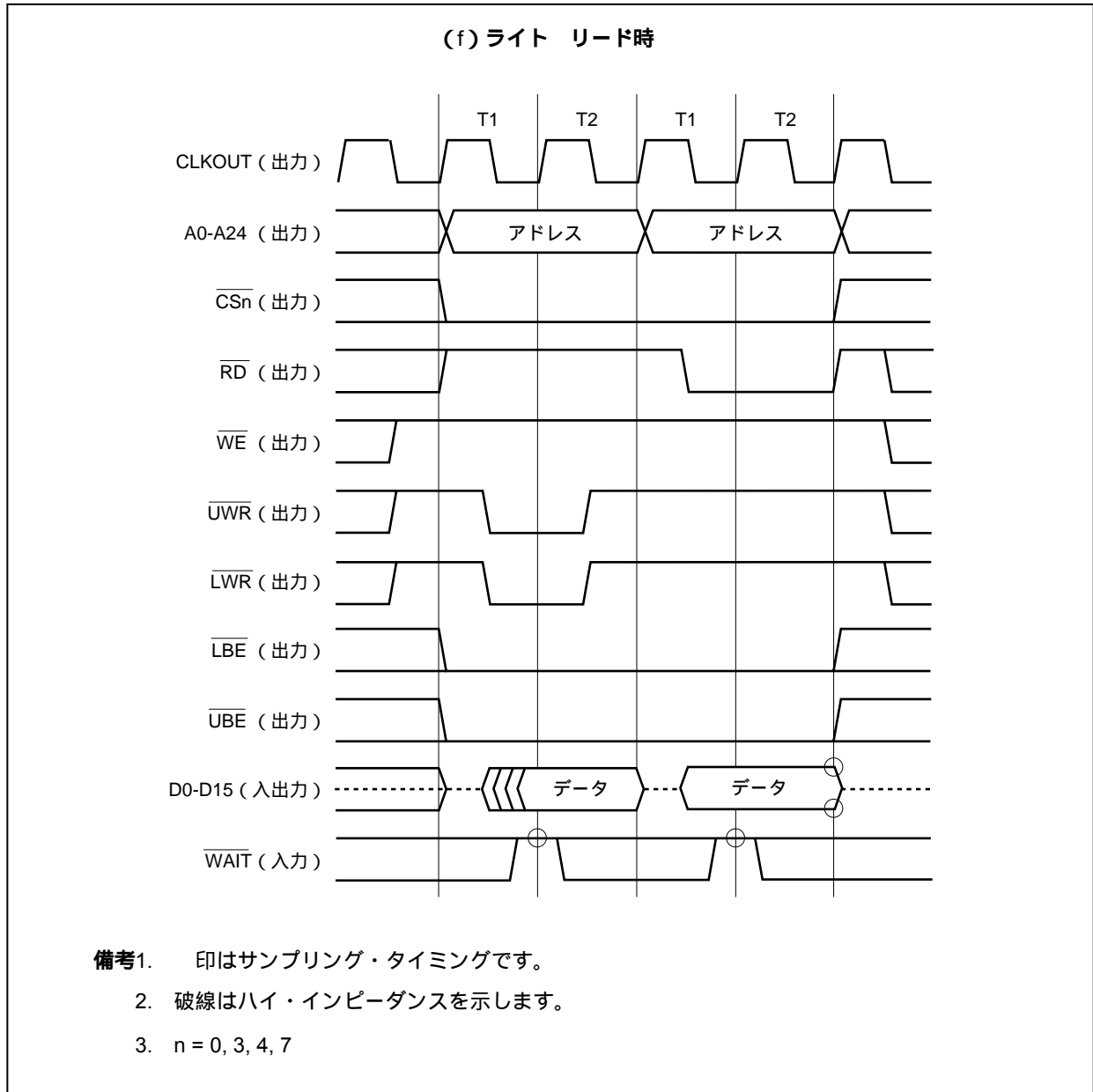


図5 - 2 SRAM , 外部ROM , 外部I/Oアクセス・タイミング (6/6)



5.2 ページROMコントローラ (ROMC)

ページROMコントローラ (ROMC) は、ページ・アクセス機能付きROM (ページROM) へのアクセスに対応しています。

直前のバス・サイクルとのアドレス比較を行い、通常アクセス (オフページ) とページ・アクセス (オンページ) のウエイト制御を行います。8-128バイトのページ幅に対応できます。

5.2.1 特 徴

8ビット / 16ビット・ページROMと直接接続可能

16ビット・バス幅時 : 4/8/16/32/64ワード・ページ・アクセスに対応

8ビット・バス幅時 : 8/16/32/64/128ワード・ページ・アクセスに対応

ページROMへのアクセスは最小2ステート

オンページ判断機能

PRCレジスタの設定により、比較するアドレスを変更可能

PRCレジスタの設定により、オンページ・サイクル時に最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

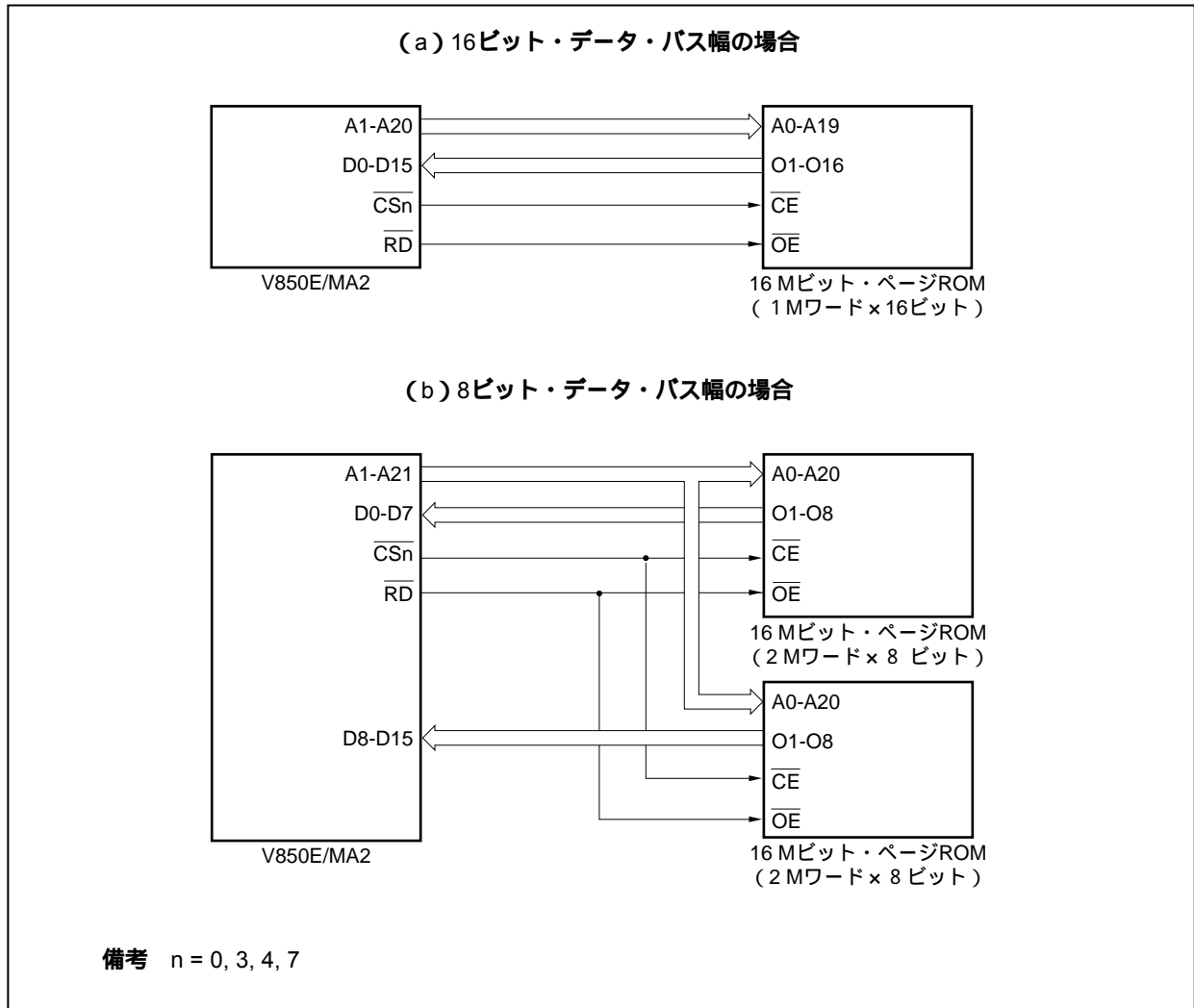
DWC0, DWC1レジスタの設定により、オフページ・サイクル時に最大7ステートのプログラマブルなデータ・ウエイトを挿入可能

WAIT端子の入力により、ウエイトを制御可能

5.2.2 ページROMの接続

ページROMとの接続例は次のようになります。

図5 - 3 ページROMとの接続例



5.2.3 オンページ/オフページの判断

ページROMサイクルのオンページ/オフページは、前回のサイクルのアドレスをラッチして、現在のサイクルのアドレスと比較することにより判断します。

ページROMコンフィギュレーション・レジスタ (PRC) により接続するページROMの構成、連続する読み出し可能なビット数に応じて、アドレス (A3-A6) のうちマスクする (比較しない) アドレスを設定します。

図5-4 ページROM接続時のオンページ/オフページ判断 (1/2)

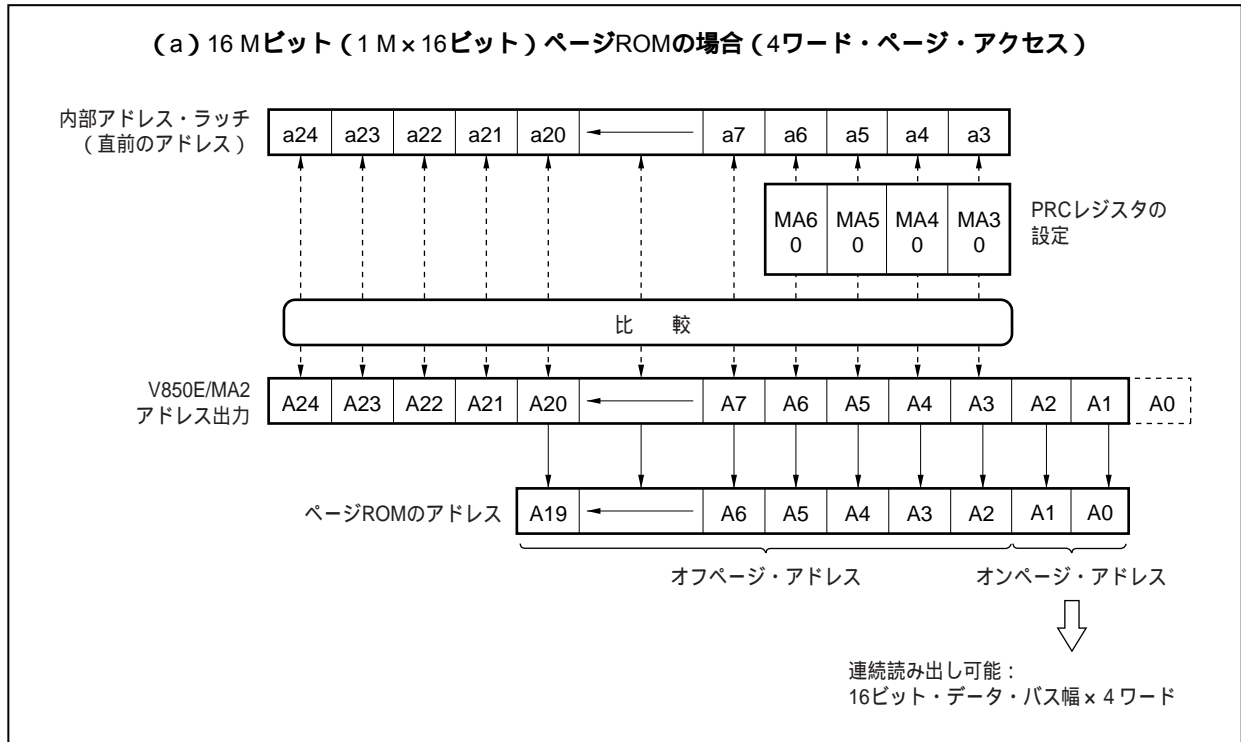
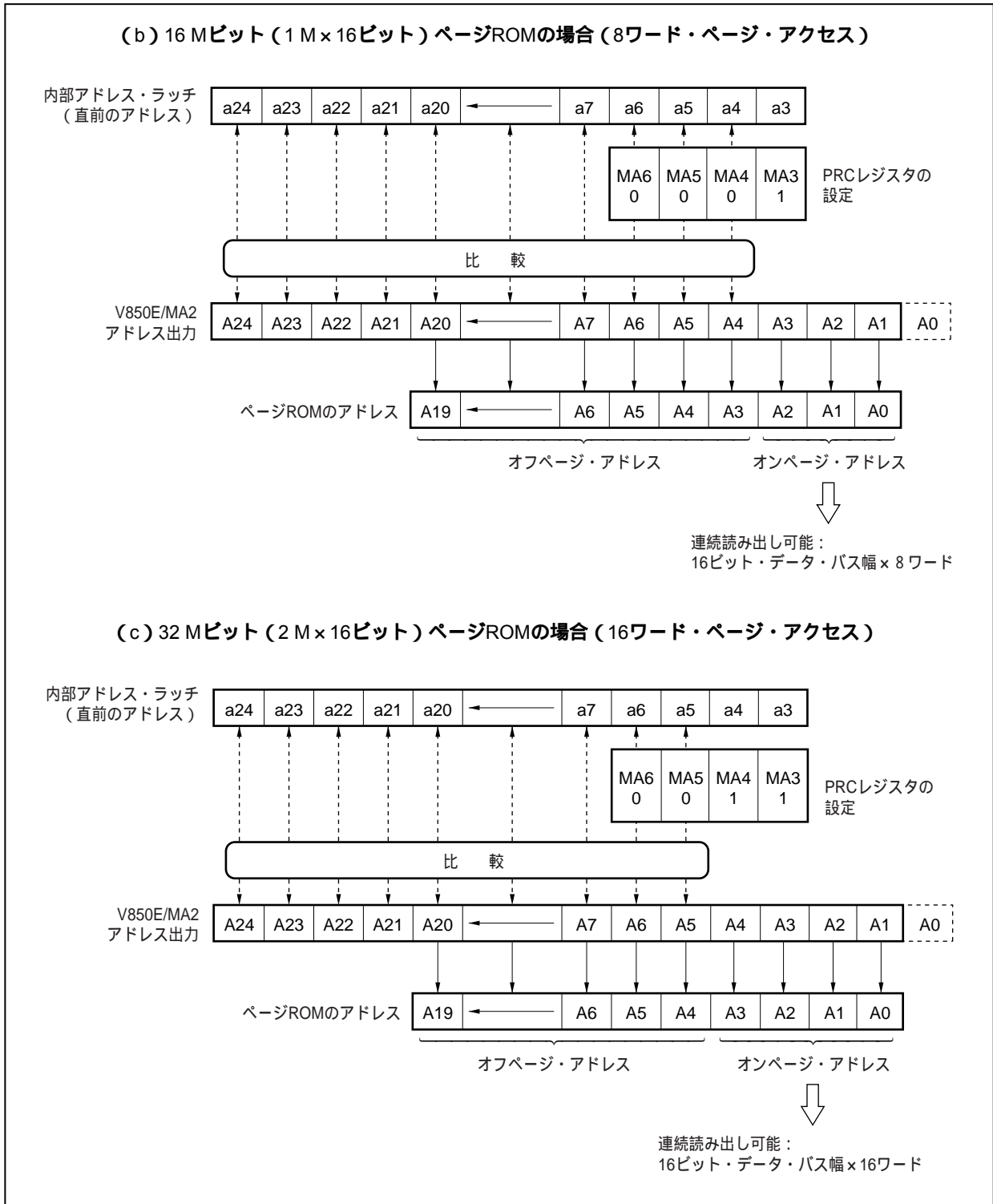


図5-4 ページROM接続時のオンページ/オフページ判断 (2/2)



5.2.4 ページROMコンフィギュレーション・レジスタ (PRC)

ページROMサイクルのオンページ・アクセスの許可 / 禁止を指定します。また、オンページを許可した場合は、接続するページROMの構成、連続読み出し可能なビット数に応じて、アドレス (A3-A6) のうちマスクする (比較しない) アドレスや内部システム・クロックに応じたウェイト数を設定します。

16ビット単位でリード / ライト可能です。

注意 PRCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、PRCレジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
PRC	0	PRW2	PRW1	PRW0	0	0	0	0	0	0	0	0	MA6	MA5	MA4	MA3	FFFFFF49AH	7000H

ビット位置	ビット名	意味																																				
14-12	PRW2-PRW0	<p>Page-ROM On-page Wait Control</p> <p>内部システム・クロックに応じたウェイトを設定します。</p> <p>オンページ時にだけ、このビットで設定するウェイトが挿入されます。オフページ時には、DWC0, DWC1レジスタで設定するウェイトが挿入されます。</p> <table border="1"> <thead> <tr> <th>PRW2</th> <th>PRW1</th> <th>PRW0</th> <th>挿入されるウェイト・サイクル数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>3</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>4</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>5</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>6</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>7</td></tr> </tbody> </table>	PRW2	PRW1	PRW0	挿入されるウェイト・サイクル数	0	0	0	0	0	0	1	1	0	1	0	2	0	1	1	3	1	0	0	4	1	0	1	5	1	1	0	6	1	1	1	7
PRW2	PRW1	PRW0	挿入されるウェイト・サイクル数																																			
0	0	0	0																																			
0	0	1	1																																			
0	1	0	2																																			
0	1	1	3																																			
1	0	0	4																																			
1	0	1	5																																			
1	1	0	6																																			
1	1	1	7																																			
3-0	MA6-MA3	<p>Mask Address</p> <p>MA6-MA3に対応してそれぞれアドレス (A6-A3) をマスクします (1でマスク)。マスクされたアドレスは、オン / オフページ判断の際の比較対象になりません。連続読み出し可能なビット数に応じて設定します。</p> <table border="1"> <thead> <tr> <th>MA6</th> <th>MA5</th> <th>MA4</th> <th>MA3</th> <th>連続読み出し可能なビット数</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>4ワード×16ビット (8ワード×8ビット)</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>8ワード×16ビット (16ワード×8ビット)</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>16ワード×16ビット (32ワード×8ビット)</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>32ワード×16ビット (64ワード×8ビット)</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>64ワード×16ビット (128ワード×8ビット)</td></tr> <tr><td colspan="4">その他</td><td>設定禁止</td></tr> </tbody> </table>	MA6	MA5	MA4	MA3	連続読み出し可能なビット数	0	0	0	0	4ワード×16ビット (8ワード×8ビット)	0	0	0	1	8ワード×16ビット (16ワード×8ビット)	0	0	1	1	16ワード×16ビット (32ワード×8ビット)	0	1	1	1	32ワード×16ビット (64ワード×8ビット)	1	1	1	1	64ワード×16ビット (128ワード×8ビット)	その他				設定禁止	
MA6	MA5	MA4	MA3	連続読み出し可能なビット数																																		
0	0	0	0	4ワード×16ビット (8ワード×8ビット)																																		
0	0	0	1	8ワード×16ビット (16ワード×8ビット)																																		
0	0	1	1	16ワード×16ビット (32ワード×8ビット)																																		
0	1	1	1	32ワード×16ビット (64ワード×8ビット)																																		
1	1	1	1	64ワード×16ビット (128ワード×8ビット)																																		
その他				設定禁止																																		

5.2.5 ページROMアクセス

図5-5 ページROMアクセス・タイミング (1/4)

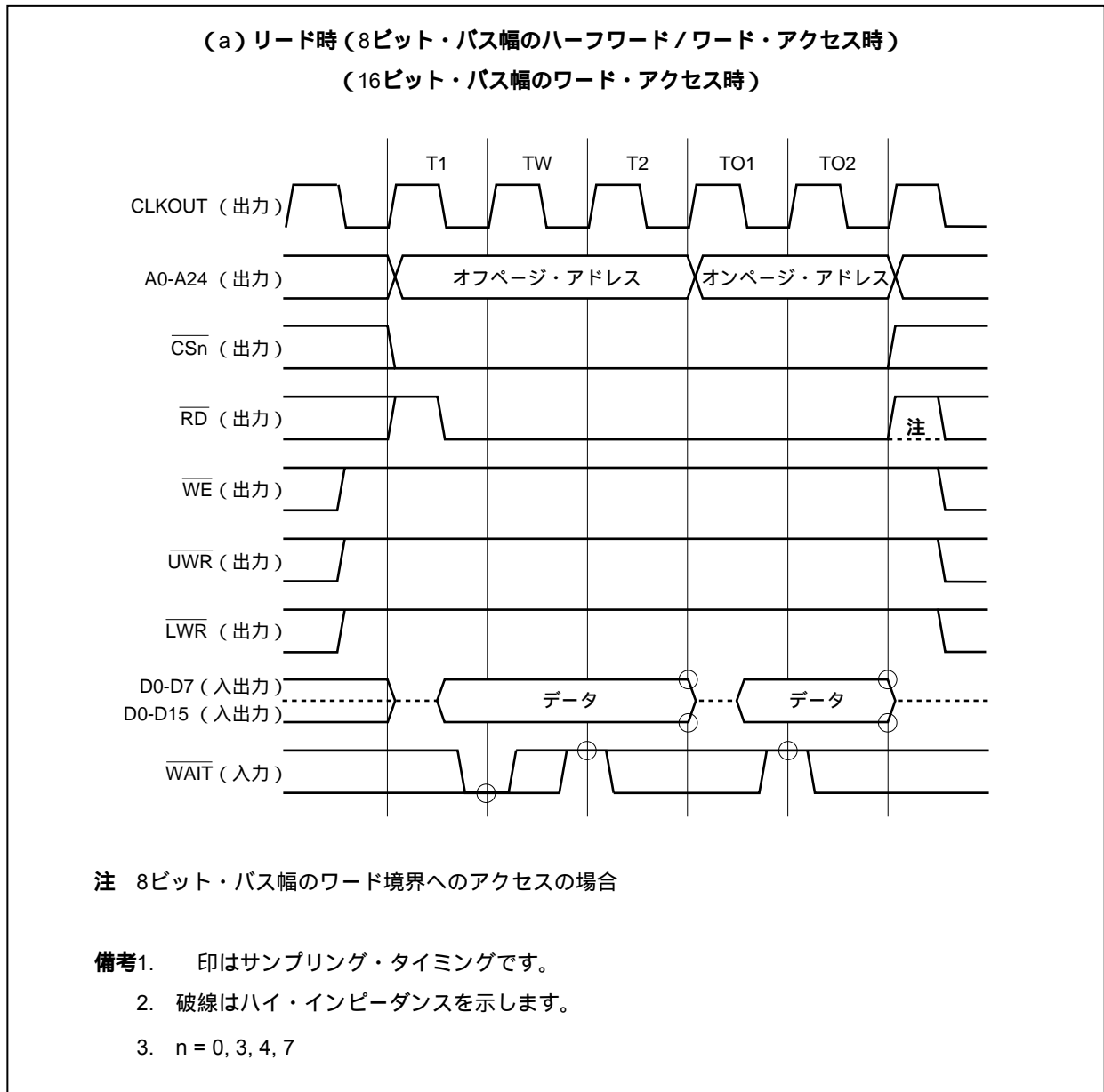


図5 - 5 ページROMアクセス・タイミング (2/4)

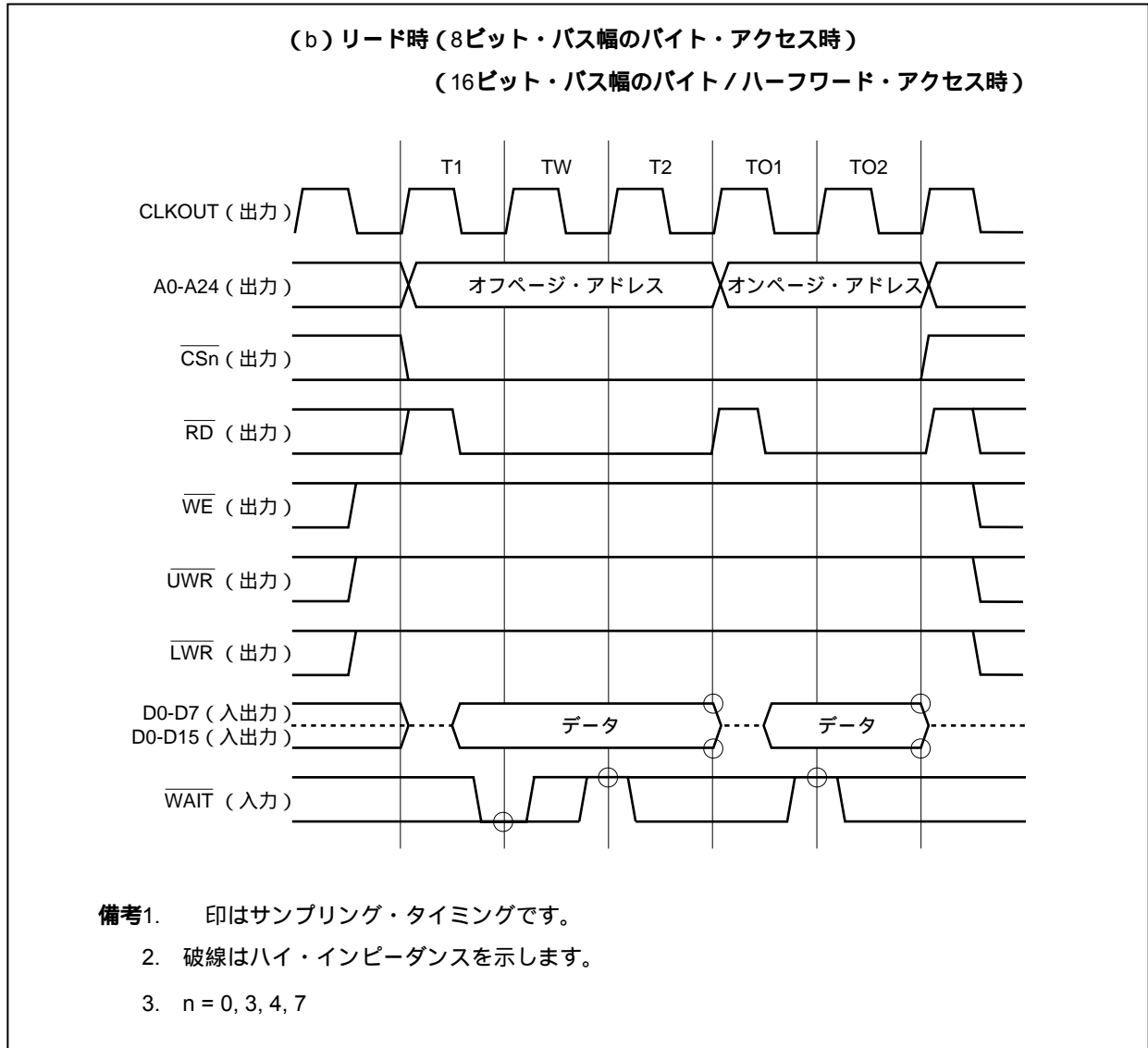


図5 - 5 ページROMアクセス・タイミング (3/4)

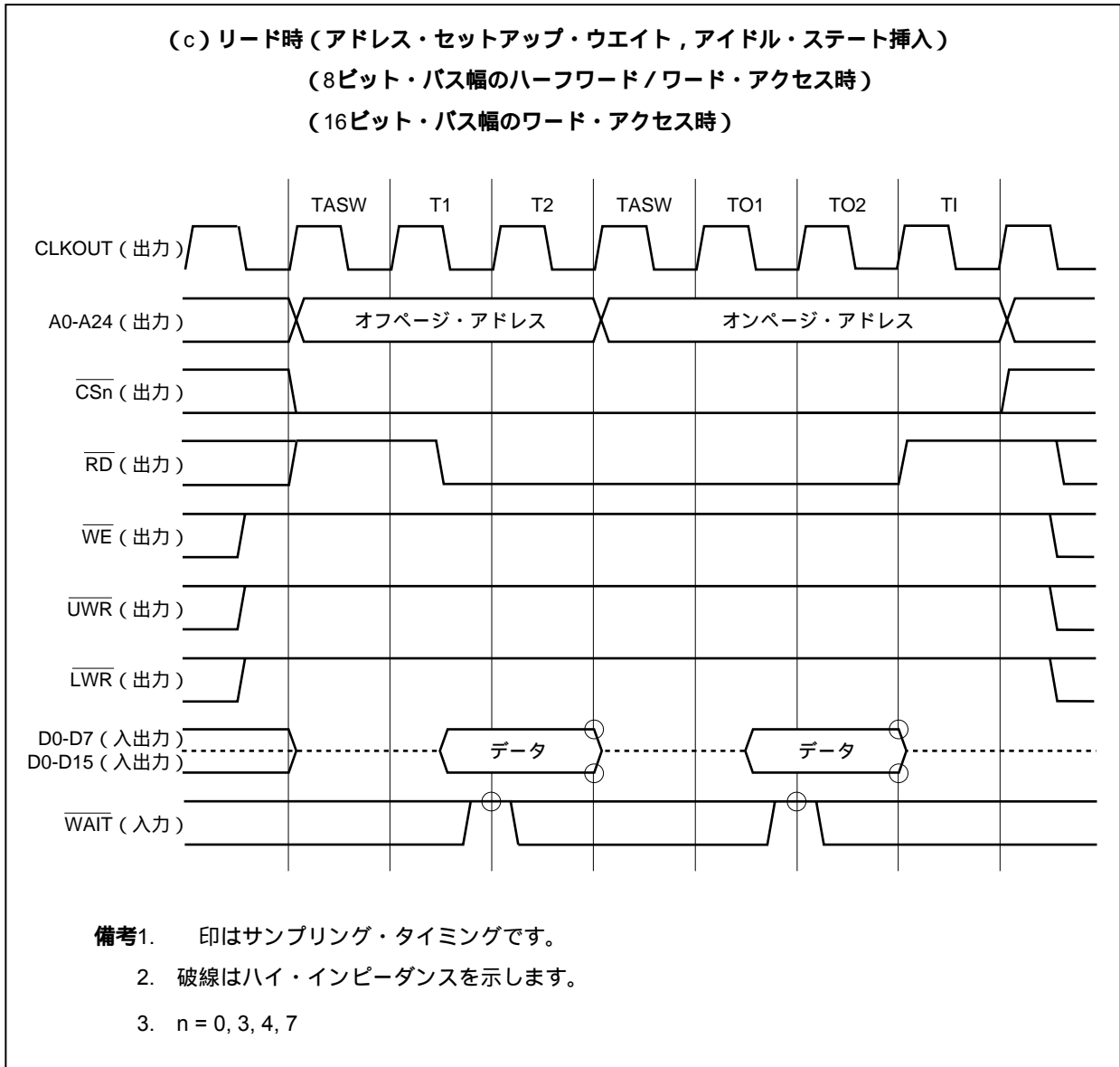
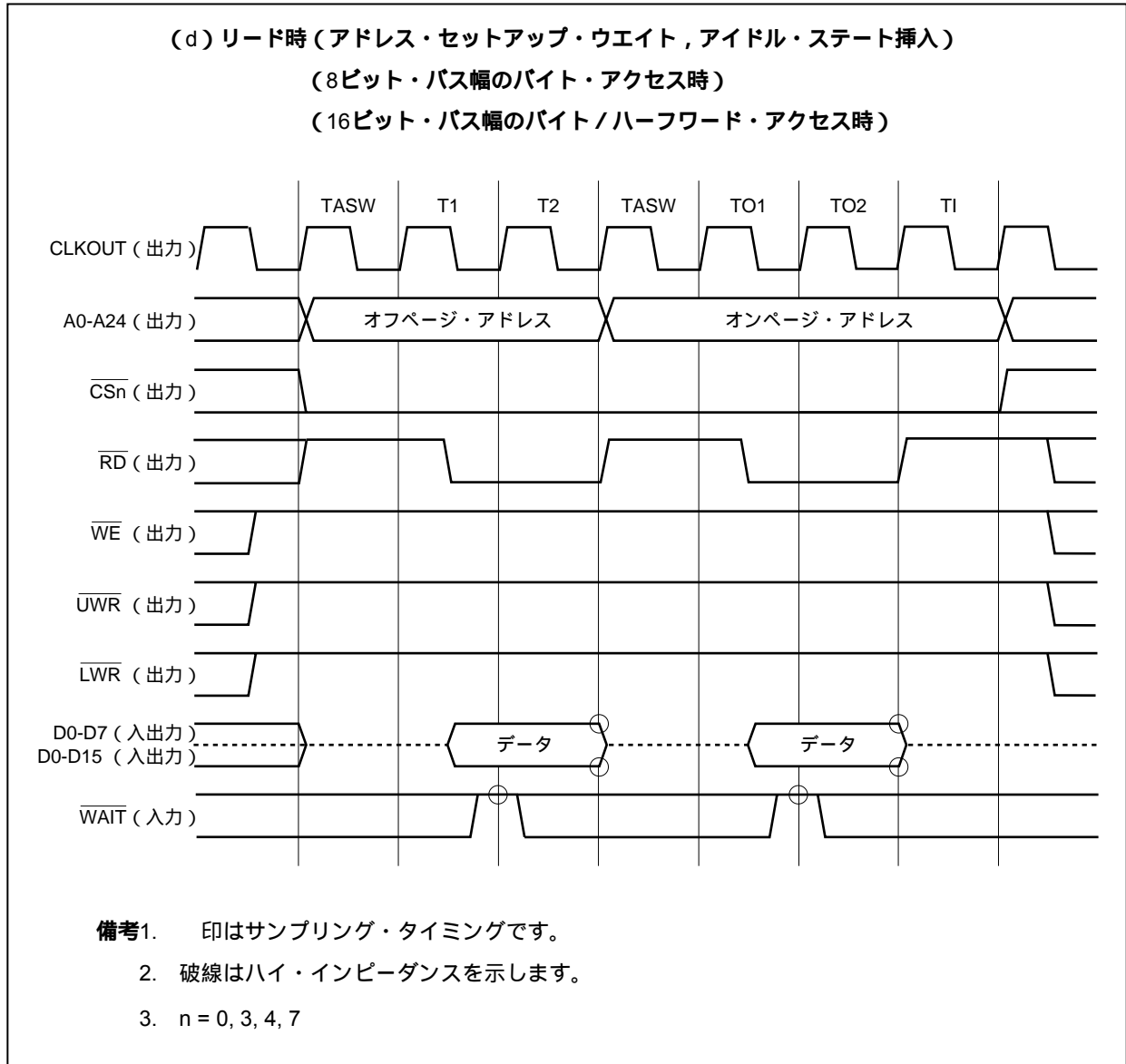


図5 - 5 ページROMアクセス・タイミング (4/4)



5.3 SDRAMコントローラ

5.3.1 特 徴

バースト長：1

ラップ・タイプ：シーケンシャル

CASレーテンシ：2, 3をサポート

4種類のSDRAMを4つのメモリ・ブロック空間に割り当て可能

ロウ/カラム・アドレスのマルチプレクス幅の切り替え可能

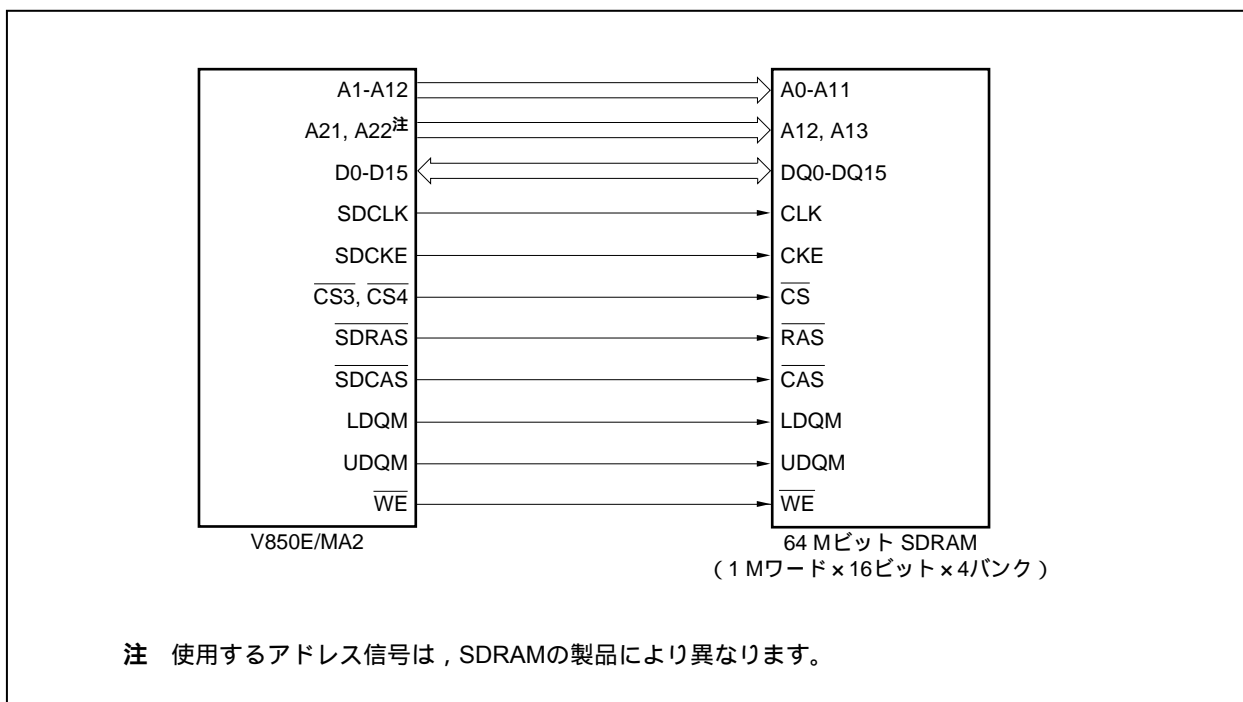
バンク・アクティブ・コマンドとリード/ライト・コマンド間でウエイト（0-3ウエイト）挿入可能

CBRリフレッシュ，CBRセルフ・リフレッシュをサポート

5.3.2 SDRAMの接続

SDRAMとの接続例を次に示します。

図5-6 SDRAMとの接続例



5.3.3 アドレス・マルチプレクス機能

SDRAMコンフィギュレーション・レジスタ n (SCR n)のSAW0 n , SAW1 n ビットの値によりSDRAMサイクルでのロウ・アドレスの出力は, 図5 - 7 (a)のようにアドレスがマルチプレクスします($n = 3, 4$)。SSO0 n , SSO1 n ビットの値によりSDRAMサイクルでのカラム・アドレス出力は, 図5 - 7 (b)のようにアドレスがマルチプレクスします($n = 3, 4$)。図5 - 7 (a), (b)で, a0-a24はCPUから出力されたアドレスを, A0-A24はV850E/MA2のアドレス端子を示しています。

図5 - 7 ロウ・アドレス, カラム・アドレスの出力 (1/2)

(a) ロウ・アドレスの出力																					
アドレス端子	A24-A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0																				
ロウ・アドレス (SAW1 n , SAW0 n = 10)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>a24-a18</td><td>a17</td><td>a16</td><td>a25</td><td>a24</td><td>a23</td><td>a22</td><td>a21</td><td>a20</td><td>a19</td><td>a18</td><td>a17</td><td>a16</td><td>a15</td><td>a14</td><td>a13</td><td>a12</td><td>a11</td><td>a10</td> </tr> </table>	a24-a18	a17	a16	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	
a24-a18	a17	a16	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10			
ロウ・アドレス (SAW1 n , SAW0 n = 01)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>a24-a18</td><td>a17</td><td>a25</td><td>a24</td><td>a23</td><td>a22</td><td>a21</td><td>a20</td><td>a19</td><td>a18</td><td>a17</td><td>a16</td><td>a15</td><td>a14</td><td>a13</td><td>a12</td><td>a11</td><td>a10</td><td>a9</td> </tr> </table>	a24-a18	a17	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	
a24-a18	a17	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9			
ロウ・アドレス (SAW1 n , SAW0 n = 00)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>a24-a18</td><td>a25</td><td>a24</td><td>a23</td><td>a22</td><td>a21</td><td>a20</td><td>a19</td><td>a18</td><td>a17</td><td>a16</td><td>a15</td><td>a14</td><td>a13</td><td>a12</td><td>a11</td><td>a10</td><td>a9</td><td>a8</td> </tr> </table>	a24-a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	a8	
a24-a18	a25	a24	a23	a22	a21	a20	a19	a18	a17	a16	a15	a14	a13	a12	a11	a10	a9	a8			
備考 $n = 3, 4$																					
(b) カラム・アドレスの出力 (オール・バンク・プリチャージ・コマンド時)																					
アドレス端子	A24-A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0																				
カラム・アドレス (SSO1 n , SSO0 n = 00)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>a24-a18</td><td>a17</td><td>a16</td><td>a15</td><td>a14</td><td>a13</td><td>a12</td><td>a11</td><td>1</td><td>a9</td><td>a8</td><td>a7</td><td>a6</td><td>a5</td><td>a4</td><td>a3</td><td>a2</td><td>a1</td><td>a0</td> </tr> </table>	a24-a18	a17	a16	a15	a14	a13	a12	a11	1	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0	
a24-a18	a17	a16	a15	a14	a13	a12	a11	1	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0			
カラム・アドレス (SSO1 n , SSO0 n = 01)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>a24-a18</td><td>a17</td><td>a16</td><td>a15</td><td>a14</td><td>a13</td><td>a12</td><td>1</td><td>a10</td><td>a9</td><td>a8</td><td>a7</td><td>a6</td><td>a5</td><td>a4</td><td>a3</td><td>a2</td><td>a1</td><td>a0</td> </tr> </table>	a24-a18	a17	a16	a15	a14	a13	a12	1	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0	
a24-a18	a17	a16	a15	a14	a13	a12	1	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0			
備考 $n = 3, 4$																					
(c) カラム・アドレスの出力 (レジスタ・ライト・コマンド時)																					
アドレス端子	A24-A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0																				
カラム・アドレス (SSO1 n , SSO0 n = 00)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>LTM2</td><td>LTM1</td><td>LTM0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	0	0	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0		
カラム・アドレス (SSO1 n , SSO0 n = 01)	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>LTM2</td><td>LTM1</td><td>LTM0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	0	0	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	LTM2	LTM1	LTM0	0	0	0	0		
備考 $n = 3, 4$																					

図5 - 7 ロウ・アドレス , カラム・アドレスの出力 (2/2)

(d) カラム・アドレスの出力 (リード/ライト・コマンド時)

アドレス端子	A24-A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
カラム・アドレス (SSO1n, SSO0n = 00)	a24-a18	a17	a16	a15	a14	a13	a12	a11	0	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0
カラム・アドレス (SSO1n, SSO0n = 01)	a24-a18	a17	a16	a15	a14	a13	a12	0	a10	a9	a8	a7	a6	a5	a4	a3	a2	a1	a0

備考 n = 3, 4

5.3.4 SDRAMコンフィギュレーション・レジスタ3, 4 (SCR3, SCR4)

ウェイト数やアドレス・マルチプレクス幅を設定します。SCR3, SCR4は $\overline{CS3}$, $\overline{CS4}$ に対応しています。たとえば, $\overline{CS3}$ にSDRAMを接続する場合はSCR3を設定してください。16ビット単位でリード/ライト可能です。

- 注意1. パワーオン・サイクルの実行前は, SDRAMリード/ライト・サイクルは発生しません。SCRレジスタに書き込むプログラムのあと, 20クロック待ってからSDRAMにアクセスを行ってください。SDRAMにアクセスしたあとに再度SCRレジスタに書き込みを行う場合には, BCT0, BCT1レジスタのMEnビットを一度クリア(0)し, 次に再びセット(1)したあとアクセスしてください(n = 0-7)。
2. SCRレジスタに書き込む命令を連続して実行しないでください。SCRレジスタに書き込む命令と命令の間には, 必ずほかの命令を入れて実行してください。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
SCR3	0	LTM23	LTM13	LTM03	0	0	0	0	BCW13	BCW03	SSO13	SSO03	RAW13	RAW03	SAW13	SAW03	FFFFFF4ACH	0000H
SCR4	0	LTM24	LTM14	LTM04	0	0	0	0	BCW14	BCW04	SSO14	SSO04	RAW14	RAW04	SAW14	SAW04	FFFFFF4B0H	0000H

ビット位置	ビット名	意味																				
14-12	LTM2n-LTM0n (n = 3, 4)	Latency リード時のCASレーテンシの値を設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>LTM2n</th> <th>LTM1n</th> <th>LTM0n</th> <th>レーテンシ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>x</td> <td>3</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>3</td> </tr> <tr> <td>1</td> <td>x</td> <td>x</td> <td>設定禁止</td> </tr> </tbody> </table>	LTM2n	LTM1n	LTM0n	レーテンシ	0	0	x	3	0	1	0	2	0	1	1	3	1	x	x	設定禁止
LTM2n	LTM1n	LTM0n	レーテンシ																			
0	0	x	3																			
0	1	0	2																			
0	1	1	3																			
1	x	x	設定禁止																			
7, 6	BCW1n, BCW0n (n = 3, 4)	Bank Active Command Wait Control バンク・アクティブ・コマンドからリード/ライト・コマンド, またはプリチャージ・コマンドからバンク・アクティブ・コマンドまでのウェイト・ステート数を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>BCW1n</th> <th>BCW0n</th> <th>挿入ウェイト・ステート数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1 (必ず1ウェイト挿入されます)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> </tr> </tbody> </table>	BCW1n	BCW0n	挿入ウェイト・ステート数	0	0	1 (必ず1ウェイト挿入されます)	0	1	1	1	0	2	1	1	3					
BCW1n	BCW0n	挿入ウェイト・ステート数																				
0	0	1 (必ず1ウェイト挿入されます)																				
0	1	1																				
1	0	2																				
1	1	3																				

備考 x : 任意

ビット位置	ビット名	意 味															
5, 4	SSO1n, SSO0n (n = 3, 4)	<p>SDRAM Shift Width On-page Control</p> <p>オンページ判断時のアドレスのシフト幅を指定します。</p> <p>外部データ・バス幅を8ビット幅で使用する場合 : SSO1n, SSO0n = 00Bに設定 外部データ・バス幅を16ビット幅で使用する場合 : SSO1n, SSO0n = 01Bに設定</p> <table border="1"> <thead> <tr> <th>SSO1n</th> <th>SSO0n</th> <th>アドレス・シフト幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>16ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SSO1n	SSO0n	アドレス・シフト幅	0	0	8ビット	0	1	16ビット	1	0	設定禁止	1	1	設定禁止
SSO1n	SSO0n	アドレス・シフト幅															
0	0	8ビット															
0	1	16ビット															
1	0	設定禁止															
1	1	設定禁止															
3, 2	RAW1n, RAW0n (n = 3, 4)	<p>Row Address Width Control</p> <p>ロウ・アドレス幅を指定します。</p> <table border="1"> <thead> <tr> <th>RAW1n</th> <th>RAW0n</th> <th>ロウ・アドレス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>11</td> </tr> <tr> <td>0</td> <td>1</td> <td>12</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table> <p>注意 ロウ・アドレス幅が13以上のメモリは制御できません。</p>	RAW1n	RAW0n	ロウ・アドレス幅	0	0	11	0	1	12	1	0	設定禁止	1	1	設定禁止
RAW1n	RAW0n	ロウ・アドレス幅															
0	0	11															
0	1	12															
1	0	設定禁止															
1	1	設定禁止															
1, 0	SAW1n, SAW0n (n = 3, 4)	<p>SDRAM Address Multiplex Width Control</p> <p>SDRAMアクセス時のアドレス・マルチプレクス幅を指定します。</p> <table border="1"> <thead> <tr> <th>SAW1n</th> <th>SAW0n</th> <th>アドレス・マルチプレクス幅</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8</td> </tr> <tr> <td>0</td> <td>1</td> <td>9</td> </tr> <tr> <td>1</td> <td>0</td> <td>10</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SAW1n	SAW0n	アドレス・マルチプレクス幅	0	0	8	0	1	9	1	0	10	1	1	設定禁止
SAW1n	SAW0n	アドレス・マルチプレクス幅															
0	0	8															
0	1	9															
1	0	10															
1	1	設定禁止															

★

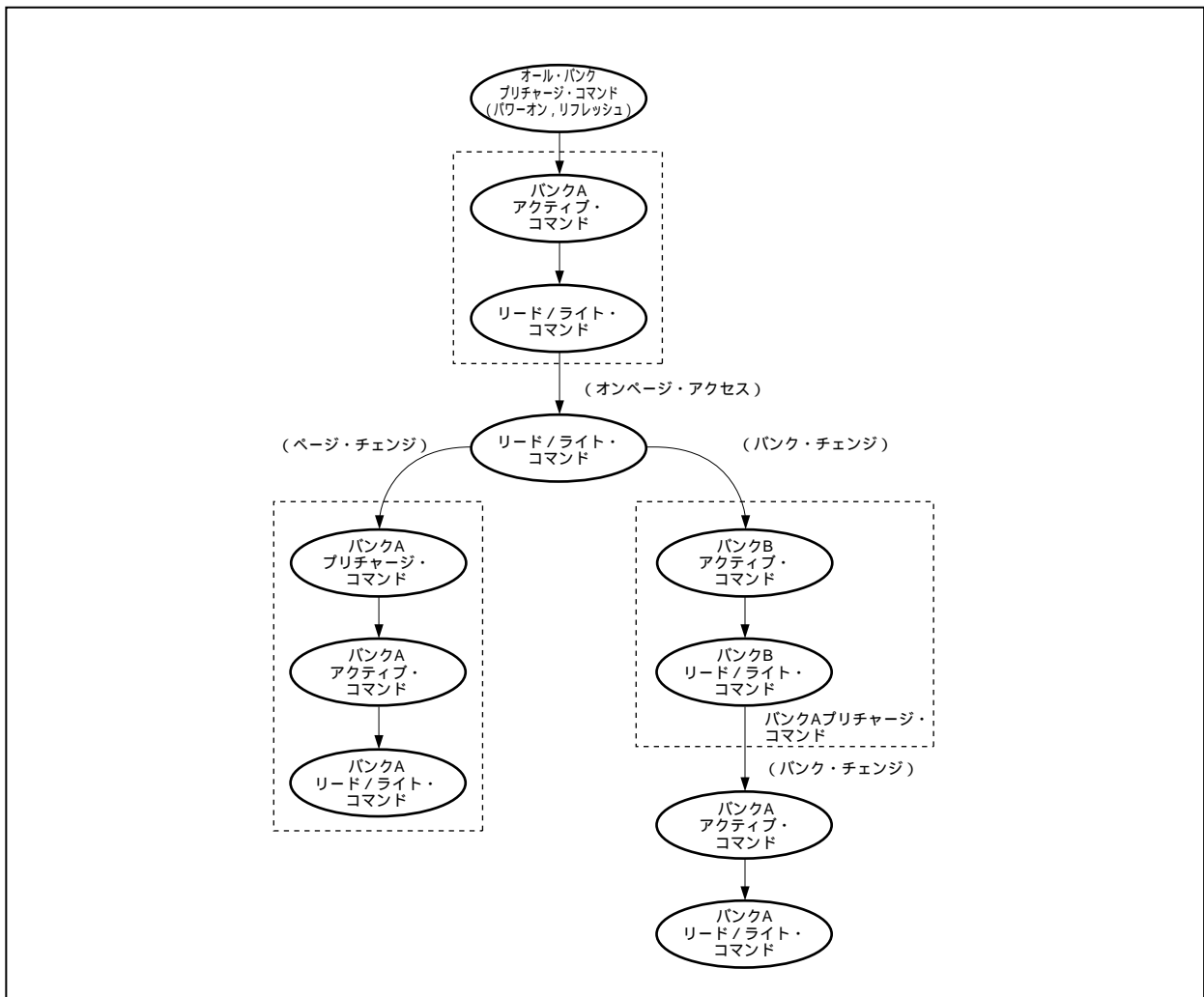
5.3.5 SDRAMアクセス

パワーオン時やリフレッシュ時は、SDRAMに対して必ずオール・バンク・プリチャージ・コマンドが発行されます。したがって、このあとにSDRAMをアクセスする場合は、アクティブ・コマンド、リード/ライト・コマンドが順に発行されます（図5-8の）。

次にページ・チェンジが発生した場合は、プリチャージ・コマンド、アクティブ・コマンド、リード/ライト・コマンドが順に発行されます（図5-8の）。

また、バンク・チェンジが発生した場合は、次にアクセスするバンクに対するアクティブ・コマンド、リード/ライト・コマンドが順に発行され、リード/ライト・コマンドの直後に現在アクセスしているバンクの直前にアクセスしていたバンクに対するプリチャージ・コマンドが発行されます（図5-8の）。

図5-8 SDRAMアクセスの状態遷移



(1) SDRAMシングル・リード・サイクル

SDRAMシングル・リード・サイクルは、SDRAM領域へのロード命令(LD)実行または、命令フェッチ、2サイクルDMA転送でSDRAMをリードするサイクルです。

SDRAMシングル・リード・サイクルでは、SDRAMに対してアクティブ・コマンド(ACT)、リード・コマンド(RD)が順に発行されます。ただし、オンページ・アクセス時は、リード・コマンドのみが発行され、プリチャージ・コマンド、アクティブ・コマンドは発行されません。また、同一のバンクでページ・チェンジした場合は、アクティブ・コマンドの前にプリチャージ・コマンド(PRE)が発行されます。

データを取り込むタイミングは、UDQM, LDQM信号の立ち上がりに同期して行います。

CPUから起動されたすべてのリード・コマンドの直前には、必ず1ステートのTWサイクルが挿入されます。

リード・サイクルのあとには、バス・サイクル・コントロール・レジスタ(BCC)で設定されたアイドル・ステート数(TI)が挿入されます(BCn1, BCn0 = 00の場合は挿入されません)(n = 3, 4)。次にSDRAMシングル・リード・サイクルのタイミングを示します。

注意 SDRAMに対するリード・アクセス後にSRAM、外部I/Oに対するライト・アクセスを行う場合、SDRAMのデータ出力フロート遅延時間によってはデータが衝突する可能性があります。このような場合には、BCCレジスタの設定によりSDRAM空間にアイドル・ステートを挿入してデータの衝突を回避してください。

図5-9 SDRAMシングル・リード・サイクル (1/3)

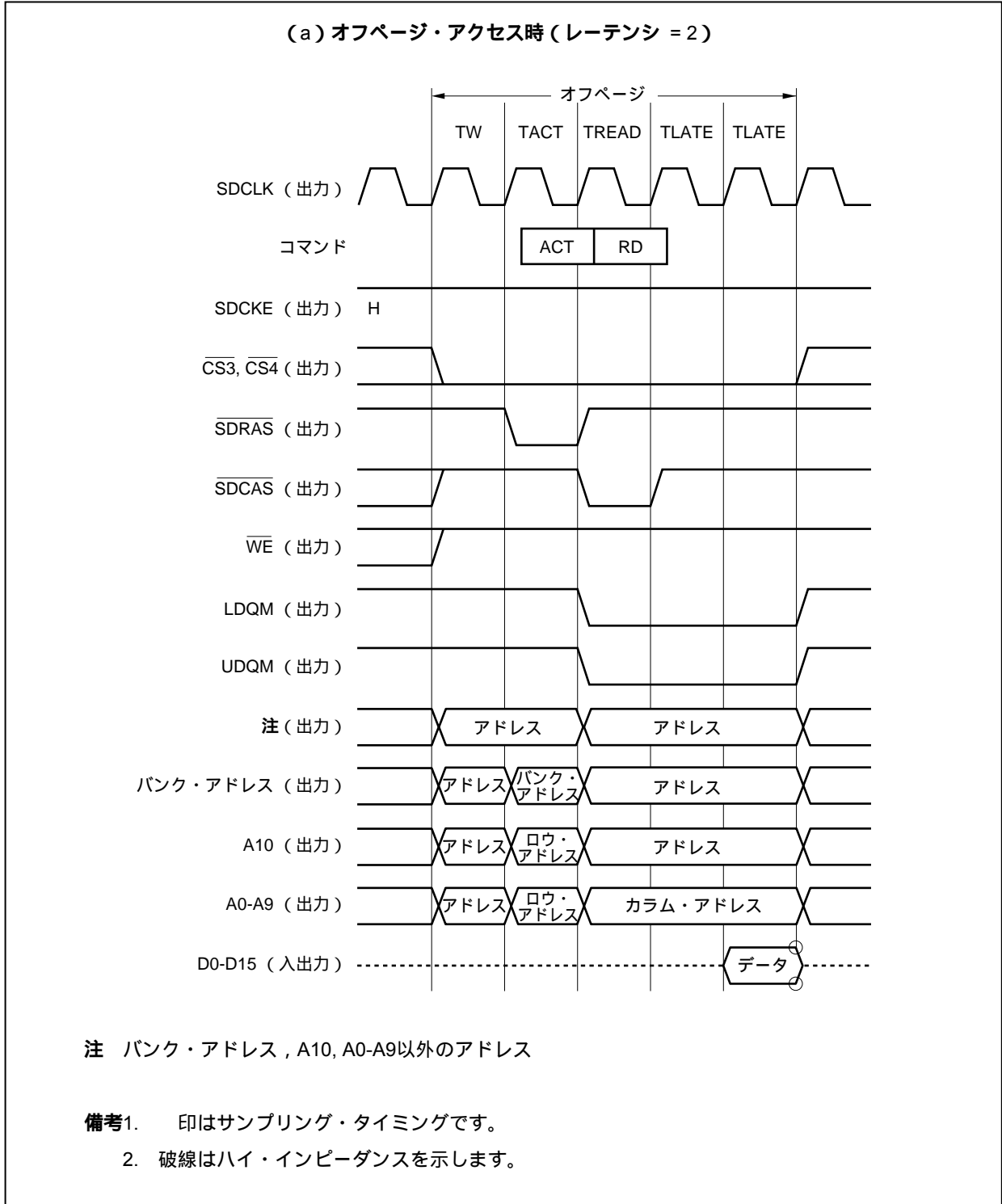
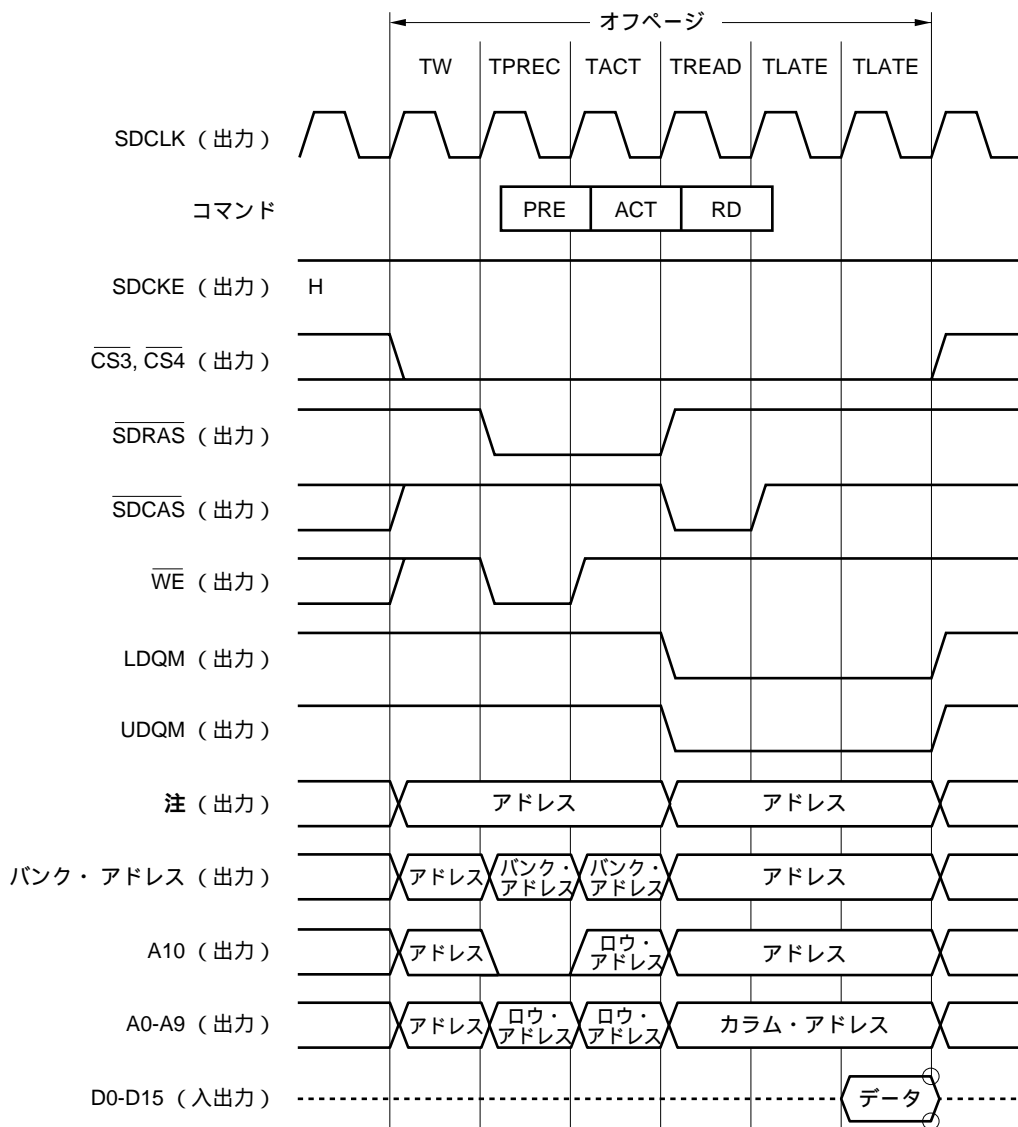


図5-9 SDRAMシングル・リード・サイクル (2/3)

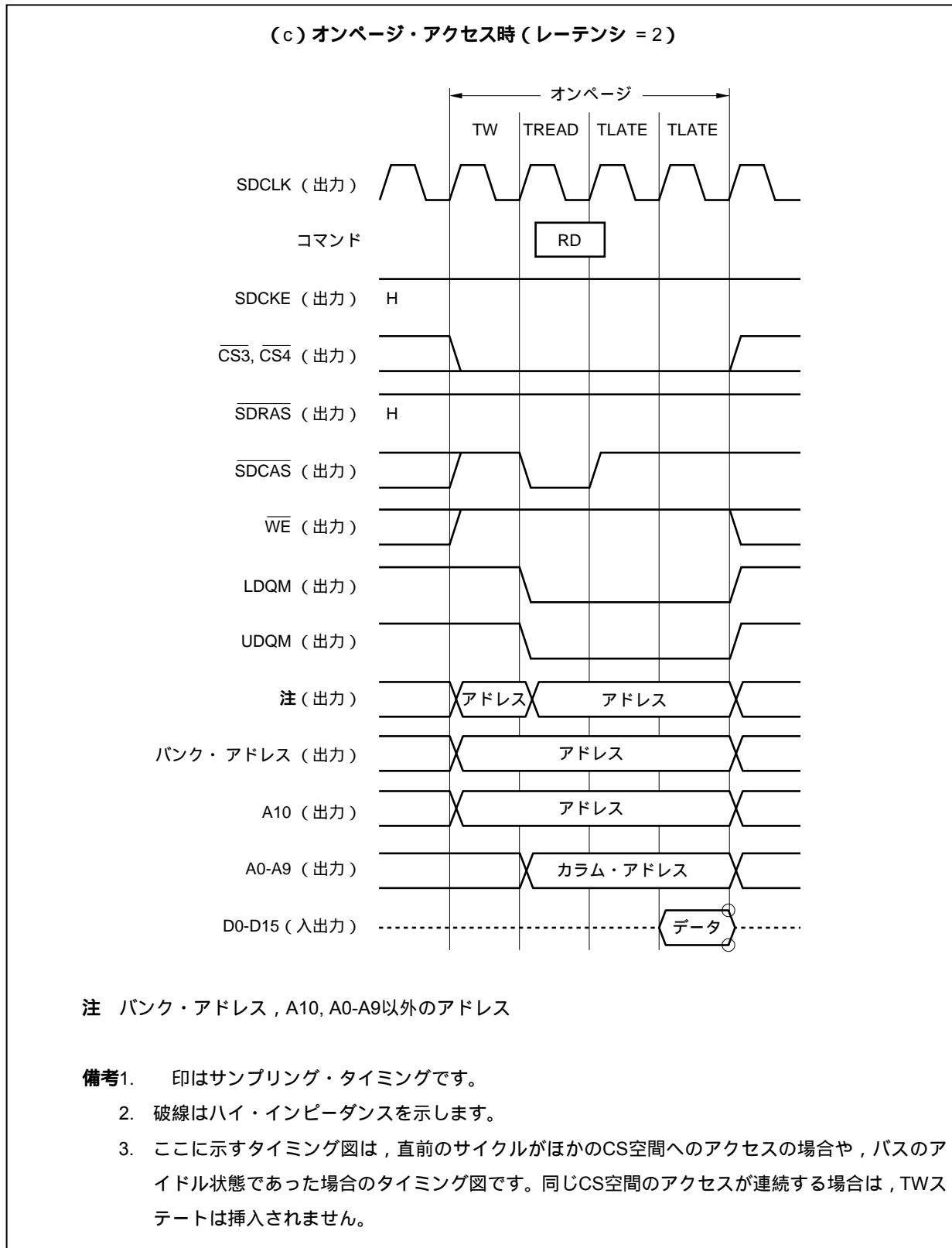
(b) オフページ・アクセス時 (レーテンシ = 2, ページ・チェンジの場合)



注 バンク・アドレス, A10, A0-A9以外のアドレス

- 備考1. 印はサンプリング・タイミングです。
 2. 破線はハイ・インピーダンスを示します。

図5-9 SDRAMシングル・リード・サイクル (3/3)



(2) SDRAMシングル・ライト・サイクル

SDRAMシングル・ライト・サイクルは、SDRAM領域へのライト命令 (ST) 実行または、2サイクルDMA転送でSDRAMへライトするサイクルです。

SDRAMシングル・ライト・サイクルでは、SDRAMに対してアクティブ・コマンド (ACT)、ライト・コマンド (WR) が順に発行されます。ただし、オンページ・アクセス時は、ライト・コマンドのみが発行され、プリチャージ・コマンド、アクティブ・コマンドは発行されません。また、同一のバンクでページ・チェンジした場合は、アクティブ・コマンドの前にプリチャージ・コマンド (PRE) が発行されます。

CPUから起動されたすべてのライト・コマンドの直前には、必ず1ステートのTWサイクルが挿入されます。

次にSDRAMシングル・ライト・サイクルのタイミングを示します。

図5 - 10 SDRAMシングル・ライト・サイクル (1/3)

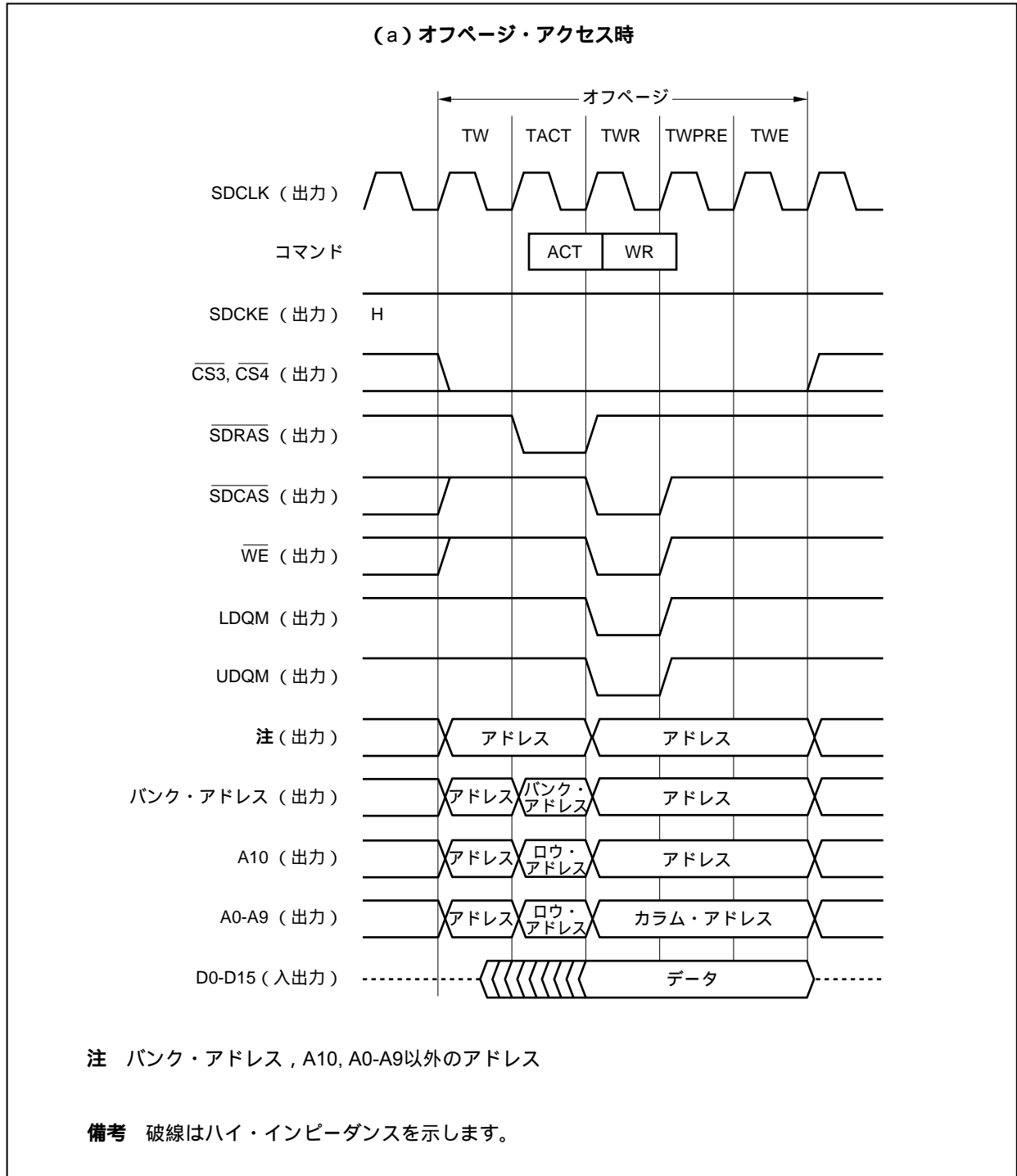
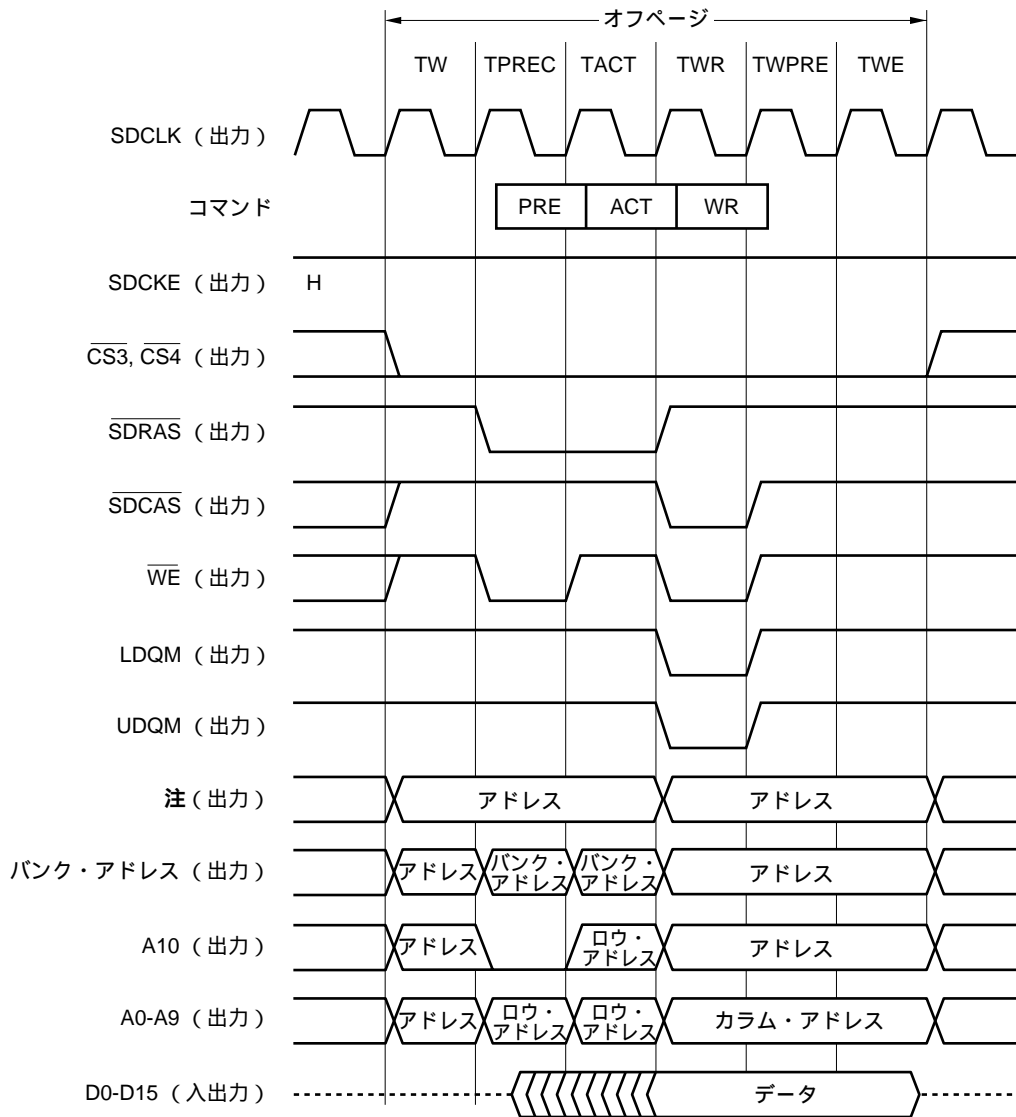


図5 - 10 SDRAMシングル・ライト・サイクル (2/3)

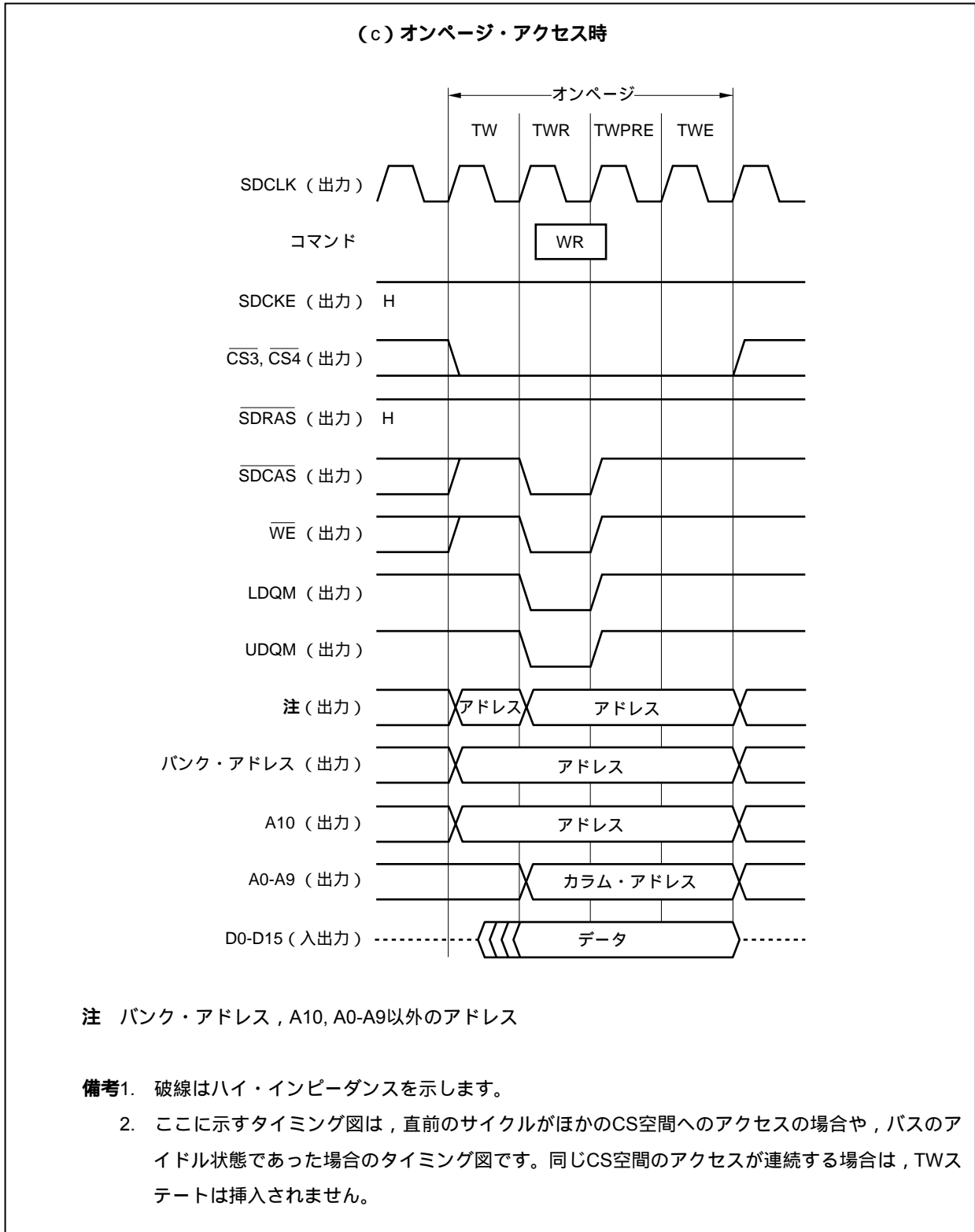
(b) オフページ・アクセス時 (ページ・チェンジの場合)



注 バンク・アドレス, A10, A0-A9以外のアドレス

備考 破線はハイ・インピーダンスを示します。

図5 - 10 SDRAMシングル・ライト・サイクル (3/3)



(3) SDRAMアクセス・タイミングの制御

SDRAMアクセス・タイミングは、SDRAMコンフィギュレーション・レジスタ3, 4 (SCR3, SCR4) で制御することができます。

詳細は5.3.4 SDRAMコンフィギュレーション・レジスタ3, 4 (SCR3, SCR4) を参照してください。

注意 SDRAMアクセス時は、 $\overline{\text{WAIT}}$ 端子によるウェイト制御はできません。

(a) バンク・アクティブ・コマンドからリード/ライト・コマンドのウェイト数

SCRnレジスタのBCW1n, BCW0nビットで、バンク・アクティブ・コマンドを発行してから、リード/ライト・コマンドを発行するまでのウェイト・ステート数を設定できます (n = 3, 4)。

BCW1n, BCW0n = 01B : 1ウェイト

BCW1n, BCW0n = 10B : 2ウェイト

BCW1n, BCW0n = 11B : 3ウェイト

(b) プリチャージ・コマンドからバンク・アクティブ・コマンドのウェイト数

SCRnレジスタのBCW1n, BCW0nビットで、プリチャージ・コマンドを発行してから、バンク・アクティブ・コマンドを発行するまでのウェイト・ステート数を設定できます (n = 3, 4)。

BCW1n, BCW0n = 01B : 1ウェイト

BCW1n, BCW0n = 10B : 2ウェイト

BCW1n, BCW0n = 11B : 3ウェイト

(c) リード時のCASレーテンシの設定

SCRnレジスタのLTM2n-LTM0nビットで、リード時のCASレーテンシを設定できます (n = 3, 4)。

LTM2n-LTM0n = 010B : レーテンシ = 2

LTM2n-LTM0n = 011B : レーテンシ = 3

(d) リフレッシュ・コマンドから次のコマンドのウェイト数

SCRnレジスタのBCW1n, BCW0nビットで、リフレッシュ・コマンドを発行してから、次のコマンドを発行するまでのウェイト・ステート数を設定できます (n = 3, 4)。リフレッシュ・コマンドから次のコマンドを発行するまでのウェイト・ステート数は、BCW1n, BCW0nビットの設定値の4倍になります (n = 3, 4)。

BCW1n, BCW0n = 01B : 4ウェイト

BCW1n, BCW0n = 10B : 8ウェイト

BCW1n, BCW0n = 11B : 12ウェイト

図5 - 11 SDRAMアクセス・タイミング (1/4)

(a) リード・タイミング (16ビット・バス幅ワード・アクセス時, ページ・チェンジ,
BCW = 2, レーテンシ = 2)

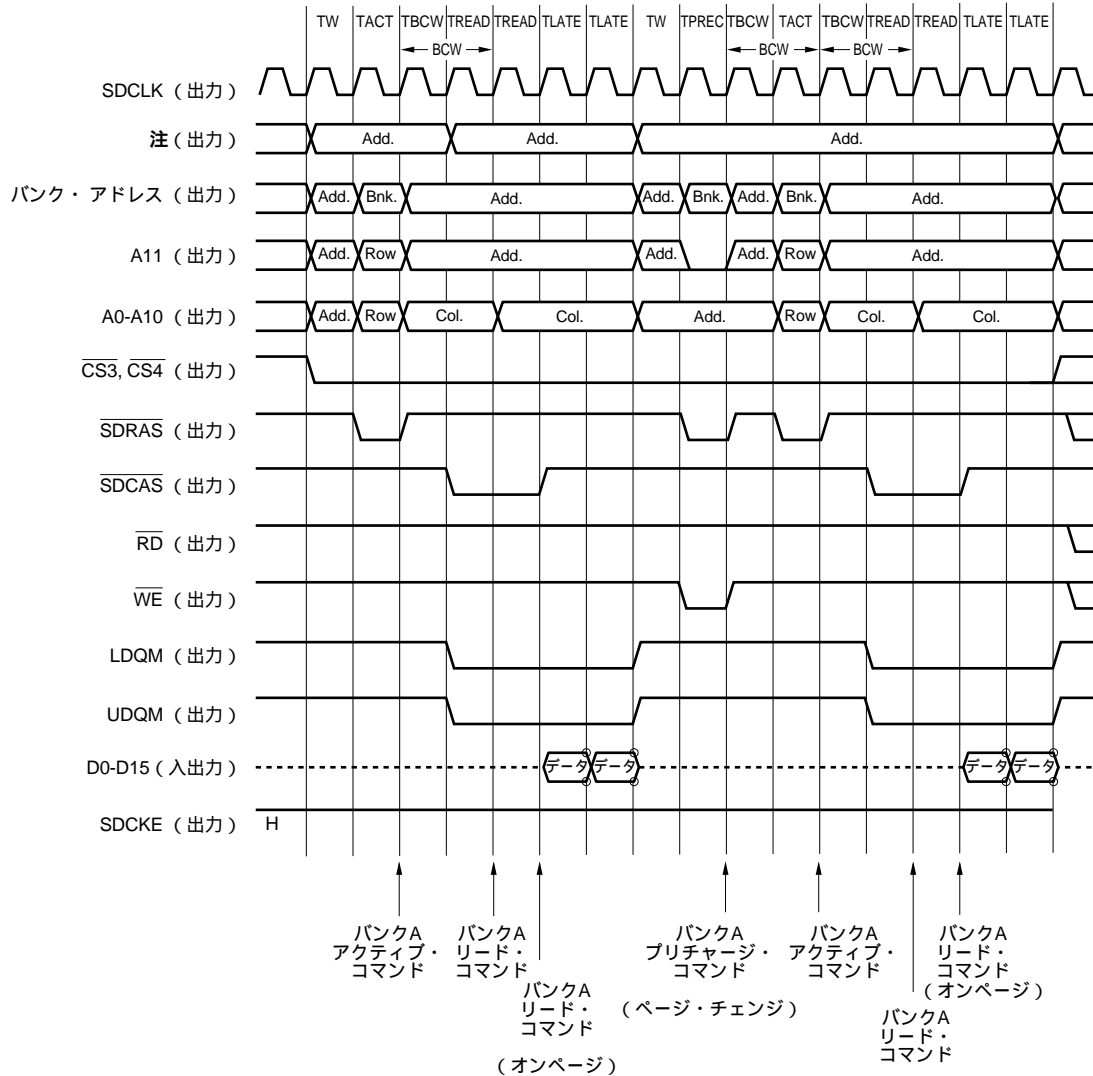
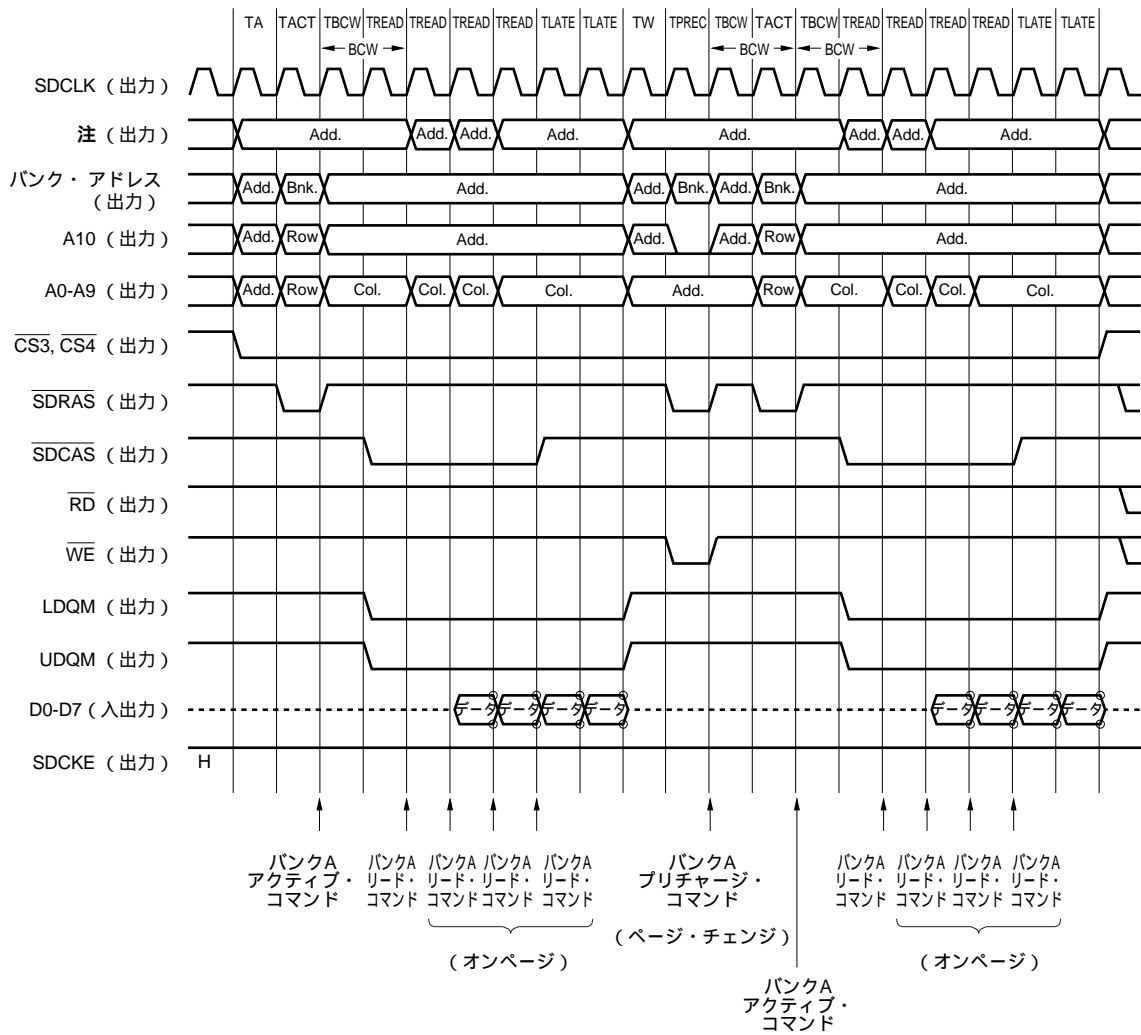


図5-11 SDRAMアクセス・タイミング (2/4)

(b) リード・タイミング (8ビット・バス幅ワード・アクセス時, ページ・チェンジ,
BCW = 2, レーテンシ = 2)

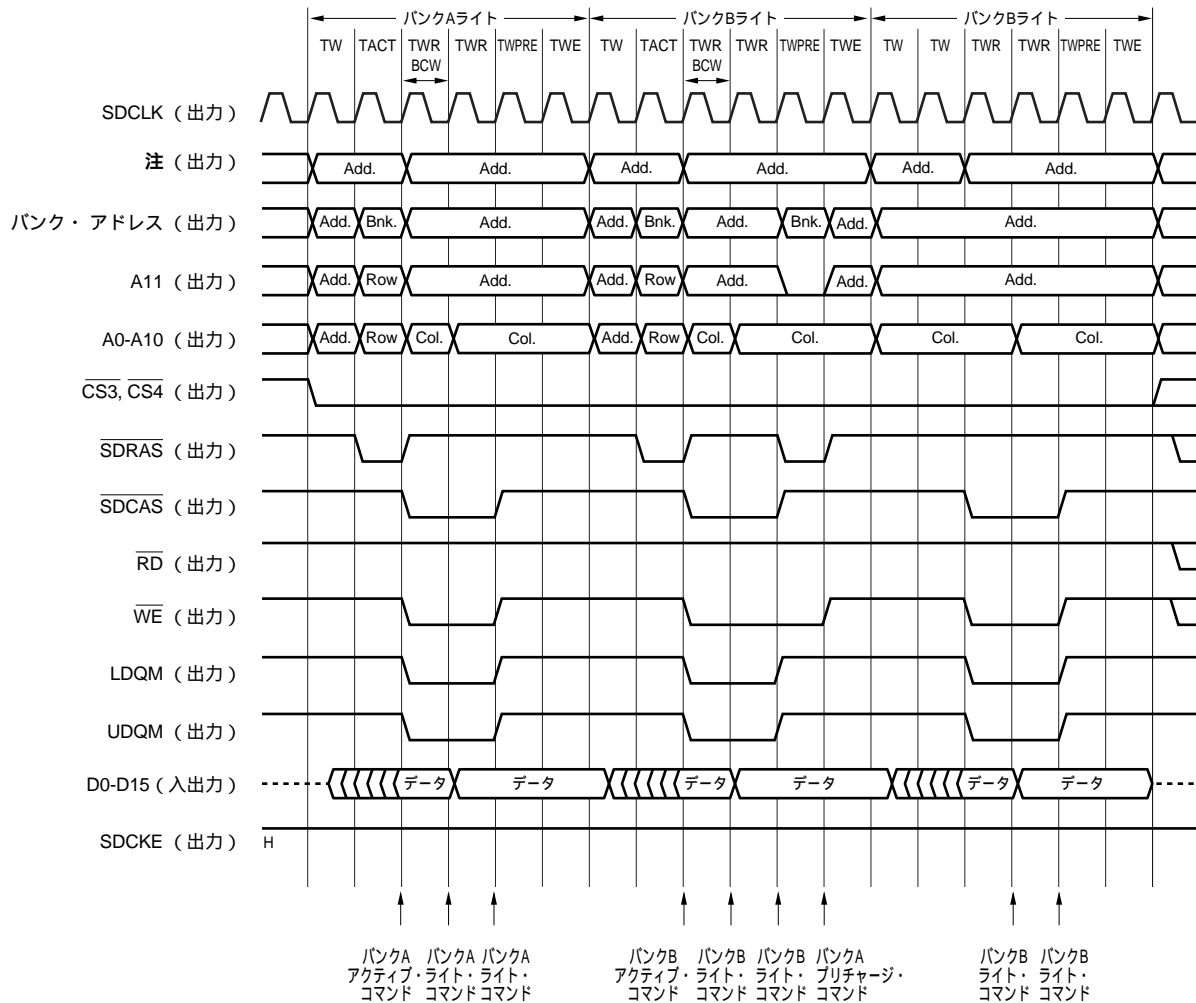


注 バンク・アドレス, A10, A0-A9以外のアドレス

- 備考1. 印はサンプリング・タイミングです。
2. 破線はハイ・インピーダンスを示します。
 3. Add. : アドレス
 Bnk. : バンク・アドレス
 Col. : カラム・アドレス
 Row : ロウ・アドレス

図5 - 11 SDRAMアクセス・タイミング (3/4)

(c) ライト・タイミング (16ビット・バス幅ワード・アクセス時, バンク・チェンジ, BCW = 1, レーテンシ = 2)

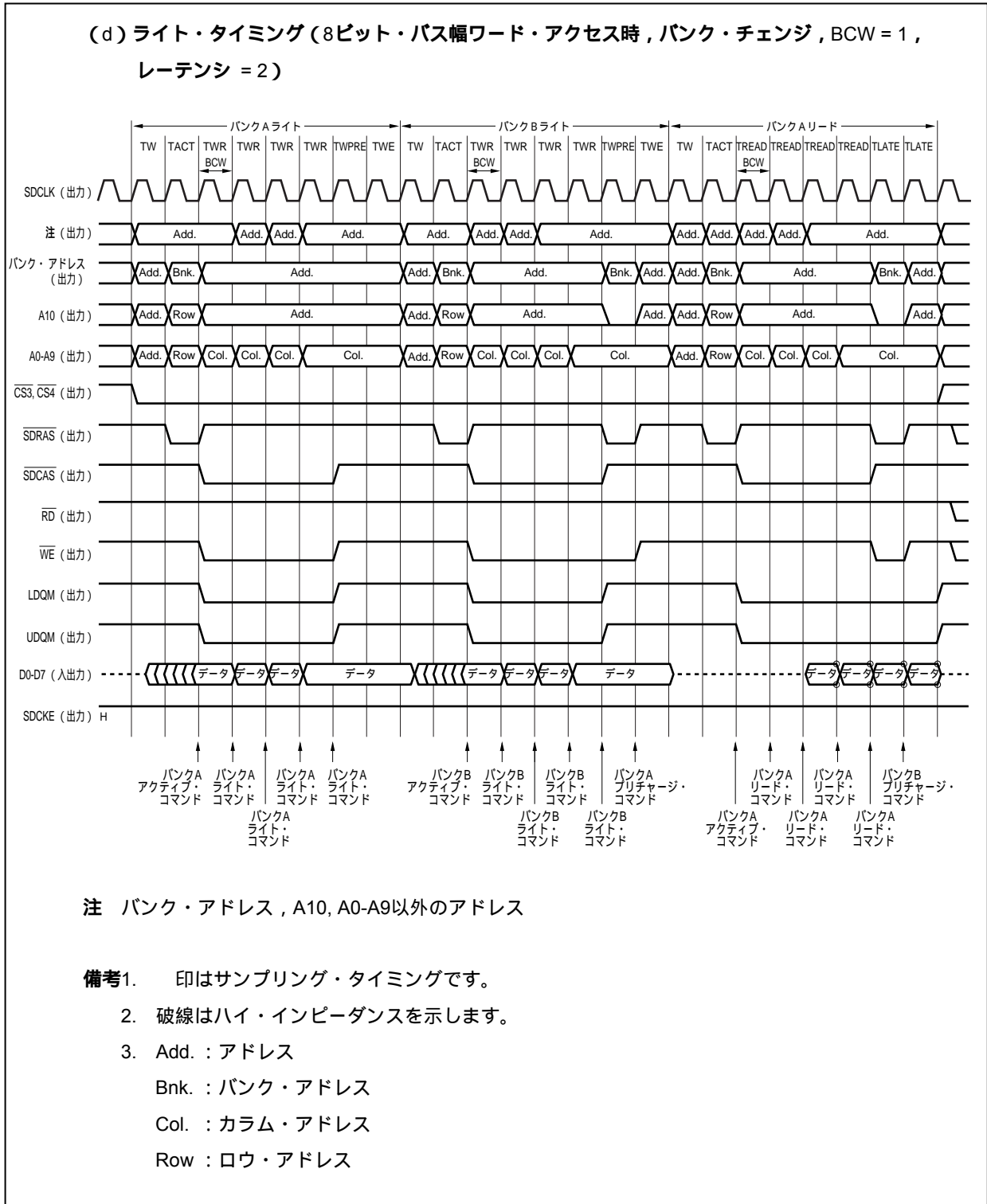


(直前に実行したバンクBに対するページと同じページに対するライト・アクセスの場合)

注 バンク・アドレス, A11, A0-A10以外のアドレス

- 備考1. 印はサンプリング・タイミングです。
- 破線はハイ・インピーダンスを示します。
 - Add. : アドレス
 - Bnk. : バンク・アドレス
 - Col. : カラム・アドレス
 - Row : ロウ・アドレス

図5 - 11 SDRAMアクセス・タイミング (4/4)



5.3.6 リフレッシュ制御機能

V850E/MA2は、リフレッシュ・サイクルを生成できます。リフレッシュ・サイクルの設定は、SDRAM用リフレッシュ・コントロール・レジスタ3, 4 (RFS3, RFS4)で行います。RFS3, RFS4レジスタは $\overline{CS3}$, $\overline{CS4}$ に対応しています。たとえば、 $\overline{CS3}$ にSDRAMを接続する場合はRFS3を設定してください。

ほかのバス・マスタが外部バスを占有している場合は、SDRAMコントローラは、外部バスを占有できません。その場合、SDRAMコントローラは、 \overline{REFRQ} 信号をアクティブ（ロウ・レベル）にして、バス・マスタにリフレッシュ要求を行います。

リフレッシュ期間中、アドレス・バスは、リフレッシュ・サイクルの直前の状態を保持します。

(1) SDRAM用リフレッシュ・コントロール・レジスタ3, 4 (RFS3, RFS4)

リフレッシュの許可/禁止、リフレッシュ間隔を設定します。リフレッシュ間隔は次の計算式により求められます。

$$\text{リフレッシュ間隔} (\mu\text{s}) = \text{リフレッシュ・カウント} \cdot \text{クロック} (T_{RCY}) \times \text{インターバル・ファクタ}$$

リフレッシュ・カウント・クロック、インターバル・ファクタは、それぞれRFSnレジスタのRENnビット、RIN5n-RIN0nビットにより求めます。

なお、nはSDRAMコンフィギュレーション・レジスタ3, 4 (SCR3, SCR4) のレジスタ番号 (3, 4) に対応します。

16ビット単位でリード/ライト可能です。

注意1. RFS3, RFS4レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、RFS3, RFS4レジスタの初期設定が終わるまでは、その初期化ルーチン以外の外部メモリ領域をアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。

★

2. RFSnレジスタのRENnビットをセット (1) した直後に、SDRAMに対するリフレッシュ・サイクルが実行されることがあります (n = 3, 4)。そのときに発生したリフレッシュ・サイクル、およびリフレッシュ・サイクル実行後の動作に問題はありません。また、以降のリフレッシュ・サイクルは、設定された間隔に応じて正常に実行されます。ただし、このリフレッシュ・サイクルが問題となるアプリケーションでは、次に示す手順でRFSnレジスタを設定してください。

BCTmレジスタのMEaビットをセット (1) した状態で、BTa1, BTa0ビット = 01 (ページROM接続) に設定します (m = 0, 1, a: m = 0のとき, a = 3, m = 1のとき, a = 4)。

RFSnレジスタのRENnビットをセット (1) し、リフレッシュを許可します (n = 3, 4)。

BCTmレジスタのMEaビットをセット (1) した状態で、BTa1, BTa0ビット = 11 (SDRAM接続) に設定します (m = 0, 1, a: m = 0のとき, a = 3, m = 1のとき, a = 4)。

SCRnレジスタを設定し、SDRAMの初期化を行います (n = 3, 4)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
RFS3	REN3	0	0	0	0	0	RCC13	RCC03	0	0	RIN53	RIN43	RIN33	RIN23	RIN13	RIN03	FFFFFF4AEH	0000H
RFS4	REN4	0	0	0	0	0	RCC14	RCC04	0	0	RIN54	RIN44	RIN34	RIN24	RIN14	RIN04	FFFFFF4B2H	0000H

ビット位置	ビット名	意味																																																	
15	REN3, REN4	Refresh Enable CBRリフレッシュの許可 / 禁止を指定します。 0 : リフレッシュ禁止 1 : リフレッシュ許可																																																	
9, 8	RCC1n, RCC0n (n=3, 4)	Refresh Count Clock リフレッシュ・カウント・クロック (T _{RCY}) を指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RCC1n</th> <th>RCC0n</th> <th>リフレッシュ・カウント・クロック (T_{RCY})</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>32/f_{xx}</td> </tr> <tr> <td>0</td> <td>1</td> <td>128/f_{xx}</td> </tr> <tr> <td>1</td> <td>0</td> <td>256/f_{xx}</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	RCC1n	RCC0n	リフレッシュ・カウント・クロック (T _{RCY})	0	0	32/f _{xx}	0	1	128/f _{xx}	1	0	256/f _{xx}	1	1	設定禁止																																		
RCC1n	RCC0n	リフレッシュ・カウント・クロック (T _{RCY})																																																	
0	0	32/f _{xx}																																																	
0	1	128/f _{xx}																																																	
1	0	256/f _{xx}																																																	
1	1	設定禁止																																																	
5-0	RIN5n-RIN0n (n=3, 4)	Refresh Interval リフレッシュ・タイミング生成用インターバル・タイマのインターバル・ファクタを設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>RIN5n</th> <th>RIN4n</th> <th>RIN3n</th> <th>RIN2n</th> <th>RIN1n</th> <th>RIN0n</th> <th>インターバル・ファクタ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>2</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>3</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>4</td> </tr> <tr> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>64</td> </tr> </tbody> </table>	RIN5n	RIN4n	RIN3n	RIN2n	RIN1n	RIN0n	インターバル・ファクタ	0	0	0	0	0	0	1	0	0	0	0	0	1	2	0	0	0	0	1	0	3	0	0	0	0	1	1	4	⋮	⋮	⋮	⋮	⋮	⋮	⋮	1	1	1	1	1	1	64
RIN5n	RIN4n	RIN3n	RIN2n	RIN1n	RIN0n	インターバル・ファクタ																																													
0	0	0	0	0	0	1																																													
0	0	0	0	0	1	2																																													
0	0	0	0	1	0	3																																													
0	0	0	0	1	1	4																																													
⋮	⋮	⋮	⋮	⋮	⋮	⋮																																													
1	1	1	1	1	1	64																																													

備考 f_{xx} : 内部システム・クロック

表5 - 1 インターバル・ファクタの設定例

リフレッシュ間隔の規定値 (μs)	リフレッシュ・カウント・ク ロック (T_{RCY})	インターバル・ファクタの値 ^{注1, 2}		
		$f_{\text{xx}} = 20 \text{ MHz}$	$f_{\text{xx}} = 33 \text{ MHz}$	$f_{\text{xx}} = 40 \text{ MHz}$
15.6	$32/f_{\text{xx}}$	9 (14.4)	16 (15.5)	19 (15.2)
	$128/f_{\text{xx}}$	2 (12.8)	4 (15.5)	4 (12.8)
	$256/f_{\text{xx}}$	1 (12.8)	2 (15.5)	2 (12.8)

注1. インターバル・ファクタは、RFSnレジスタのRIN0n-RIN5nビットで設定します ($n = 3, 4$)。

2. カッコ内はリフレッシュ間隔の計算値 (μs) です。

$$\text{リフレッシュ間隔} (\mu\text{s}) = \text{リフレッシュ・カウント・クロック} (T_{\text{RCY}}) \times \text{インターバル・ファクタ}$$

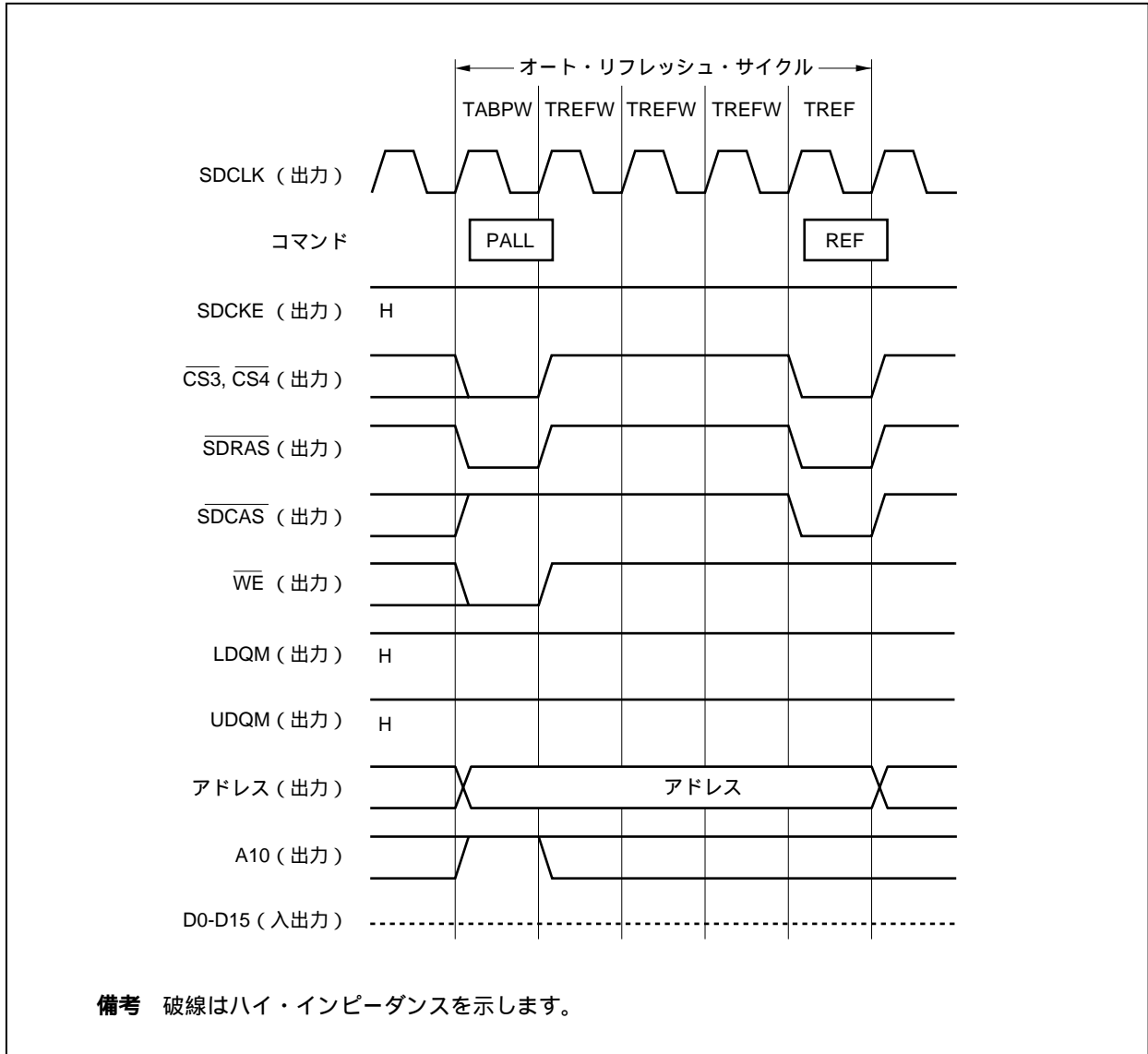
備考 f_{xx} : 内部システム・クロック

V850E/MA2は、オート・リフレッシュ・サイクル、セルフ・リフレッシュ・サイクルを自動的に発生することができます。

(2) オート・リフレッシュ・サイクル

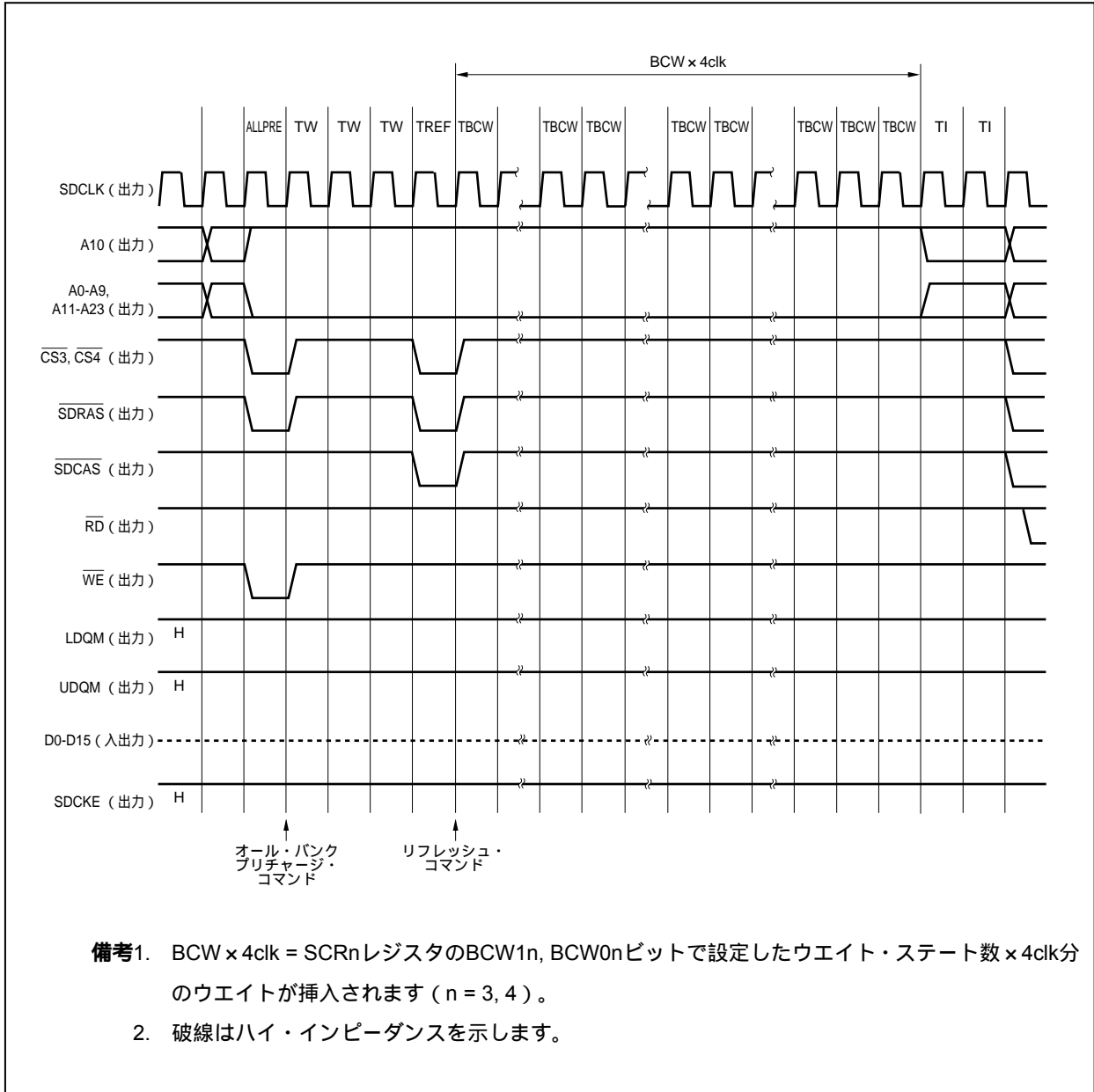
オート・リフレッシュ・サイクルは、全バンクのプリチャージ・コマンド (PALL) を発行したあと、4クロック後にオート・リフレッシュ・コマンド (REF) が発行されます。

図5 - 12 オート・リフレッシュ・サイクル



(3) リフレッシュ・タイミング

図5 - 13 CBRリフレッシュ・タイミング (SDRAM)



5.3.7 セルフ・リフレッシュ制御機能

IDLEモード、ソフトウェアSTOPモードに移行した場合、SDRAMコントローラは、CBRセルフ・リフレッシュ・サイクルを生成します。

ただし、SDRAMがセルフ・リフレッシュ動作に入るためには、SDRAMの $\overline{\text{SDRAS}}$ パルス幅が仕様を満たしていなければなりません。

注意 セルフ・リフレッシュに移行した場合でも内蔵RAMにアクセスできます。ただし、内蔵周辺I/Oレジスタ、または外部デバイスへのアクセスはセルフ・リフレッシュが解除されるまで保留されます。

セルフ・リフレッシュ・サイクルの解除は、次の方法で行います。

(1) NMI入力による解除

(a) IDLEモードでのセルフ・リフレッシュ・サイクルの場合

ただちに $\overline{\text{SDRAS}}$ 、 $\overline{\text{SDCAS}}$ 、 $\overline{\text{LDQM}}$ 、 $\overline{\text{UDQM}}$ 信号をインアクティブにし、セルフ・リフレッシュ・サイクルを解除します。

(b) ソフトウェアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから $\overline{\text{SDRAS}}$ 、 $\overline{\text{SDCAS}}$ 、 $\overline{\text{LDQM}}$ 、 $\overline{\text{UDQM}}$ 信号をインアクティブにし、セルフ・リフレッシュ・サイクルを解除します。

(2) $\overline{\text{INTP0n0}}$ 、 $\overline{\text{INTP0n1}}$ 入力による解除 (n = 0, 1)

(a) IDLEモードでのセルフ・リフレッシュ・サイクルの場合

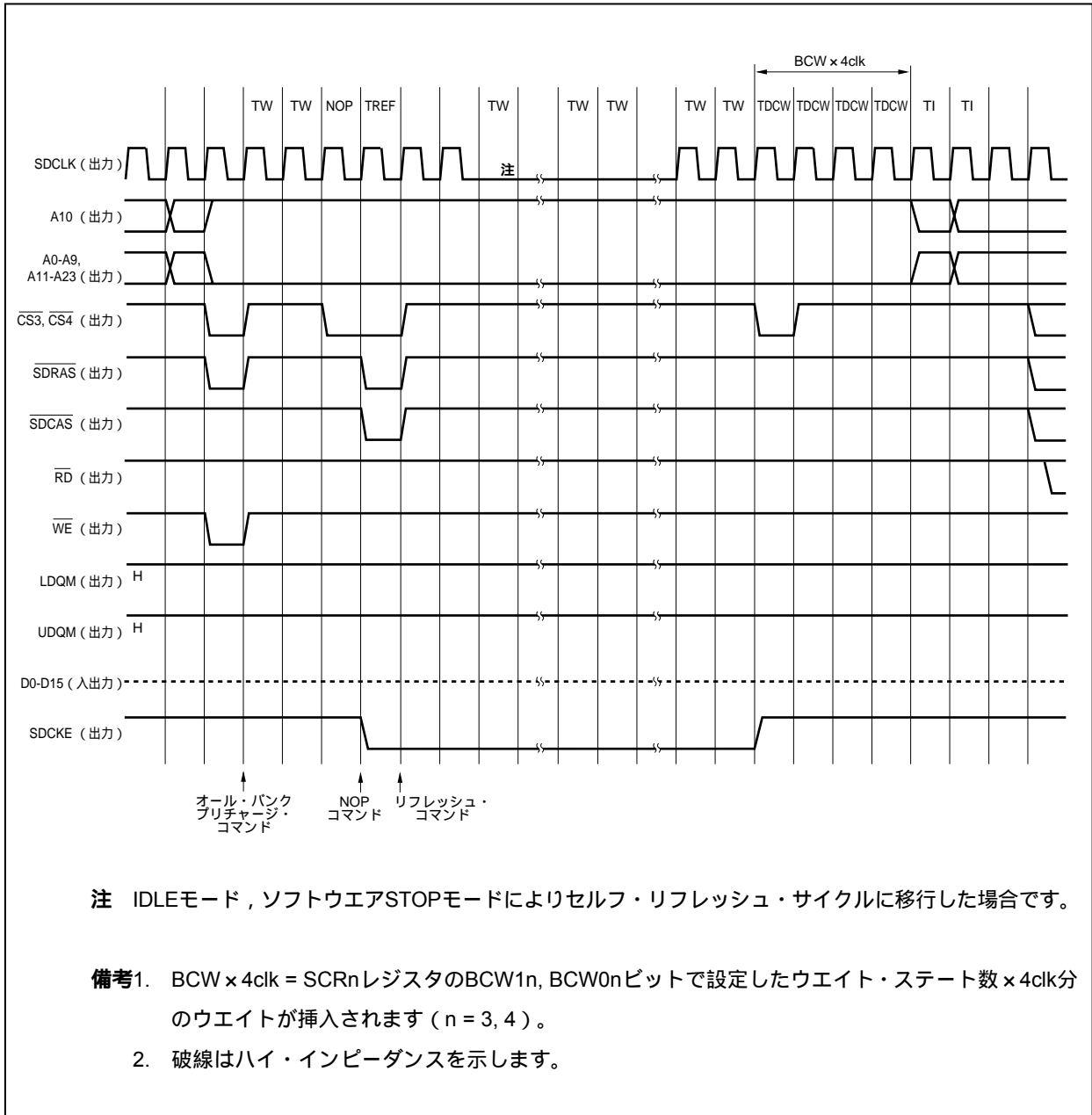
ただちに $\overline{\text{SDRAS}}$ 、 $\overline{\text{SDCAS}}$ 、 $\overline{\text{LDQM}}$ 、 $\overline{\text{UDQM}}$ 信号をインアクティブにし、セルフ・リフレッシュ・サイクルを解除します。

(b) ソフトウェアSTOPモードでのセルフ・リフレッシュ・サイクルの場合

発振が安定してから $\overline{\text{SDRAS}}$ 、 $\overline{\text{SDCAS}}$ 、 $\overline{\text{LDQM}}$ 、 $\overline{\text{UDQM}}$ 信号をインアクティブにし、セルフ・リフレッシュ・サイクルを解除します。

(3) $\overline{\text{RESET}}$ 入力による解除

図5 - 14 セルフ・リフレッシュ・タイミング (SDRAM)



5.3.8 SDRAM初期化シーケンス

電源投入時にはSDRAMを初期化してください。

(1) SDRAMのレジスタを設定してください (SDRAMコンフィギュレーション・レジスタ3, 4 (SCR3, SCR4) 以外)。

- ・バス・サイクル・タイプ・コンフィギュレーション・レジスタ0, 1 (BCT0, BCT1)
- ・バス・サイクル・コントロール・レジスタ (BCC)
- ・SDRAM用リフレッシュ・コントロール・レジスタ3, 4 (RFS3, RFS4)

(2) SDRAMコンフィギュレーション・レジスタ3, 4 (SCR3, SCR4) を設定してください。SDRAMコンフィギュレーション・レジスタ3, 4 (SCR3, SCR4) に書き込みを行うと, SDRAMに対して次のコマンドが順に発行されます。

- ・全バンク・プリチャージ・コマンド
- ・リフレッシュ・コマンド×8回
- ・モード・レジスタを設定するコマンド

図5 - 15, 図5 - 16にSDRAMモード・レジスタ設定のタイミングの例を示します。

注意 SDCLK信号, SDCKE信号を使用する場合は, とともにPMCCDレジスタにより, SDCLK出力モード, SDCKE出力モードに設定する必要がありますが, SDCLK出力モードとSDCKE出力モードの設定を同時に行わないでください。

必ずSDCLK出力モードの設定を行ったあとに, SDCKE出力モードを設定するようにしてください (13.3.12(2)(b)ポートCDモード・コントロール・レジスタ (PMCCD) 参照)。

図5 - 15 SDRAMモード・レジスタ設定サイクル

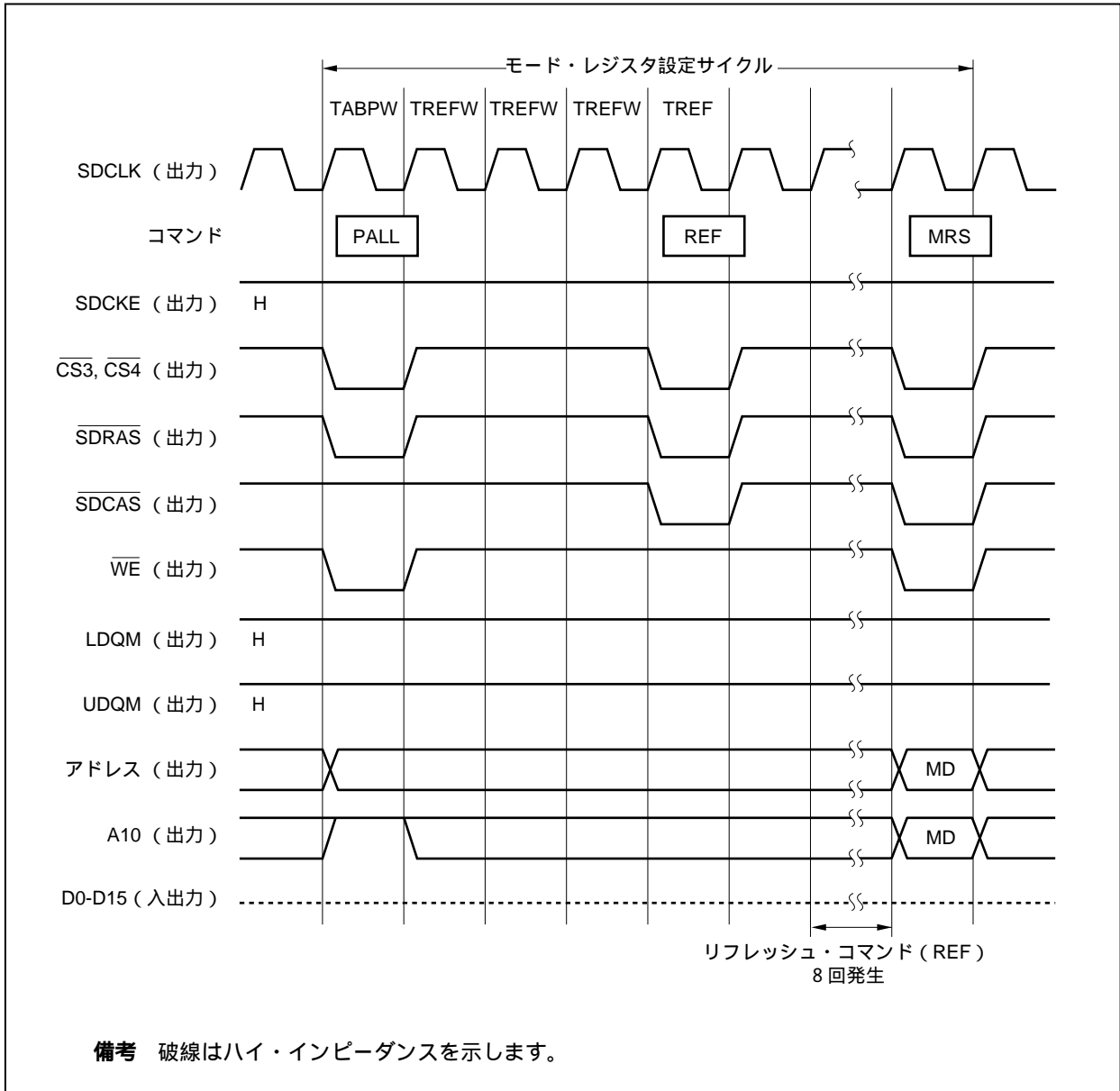
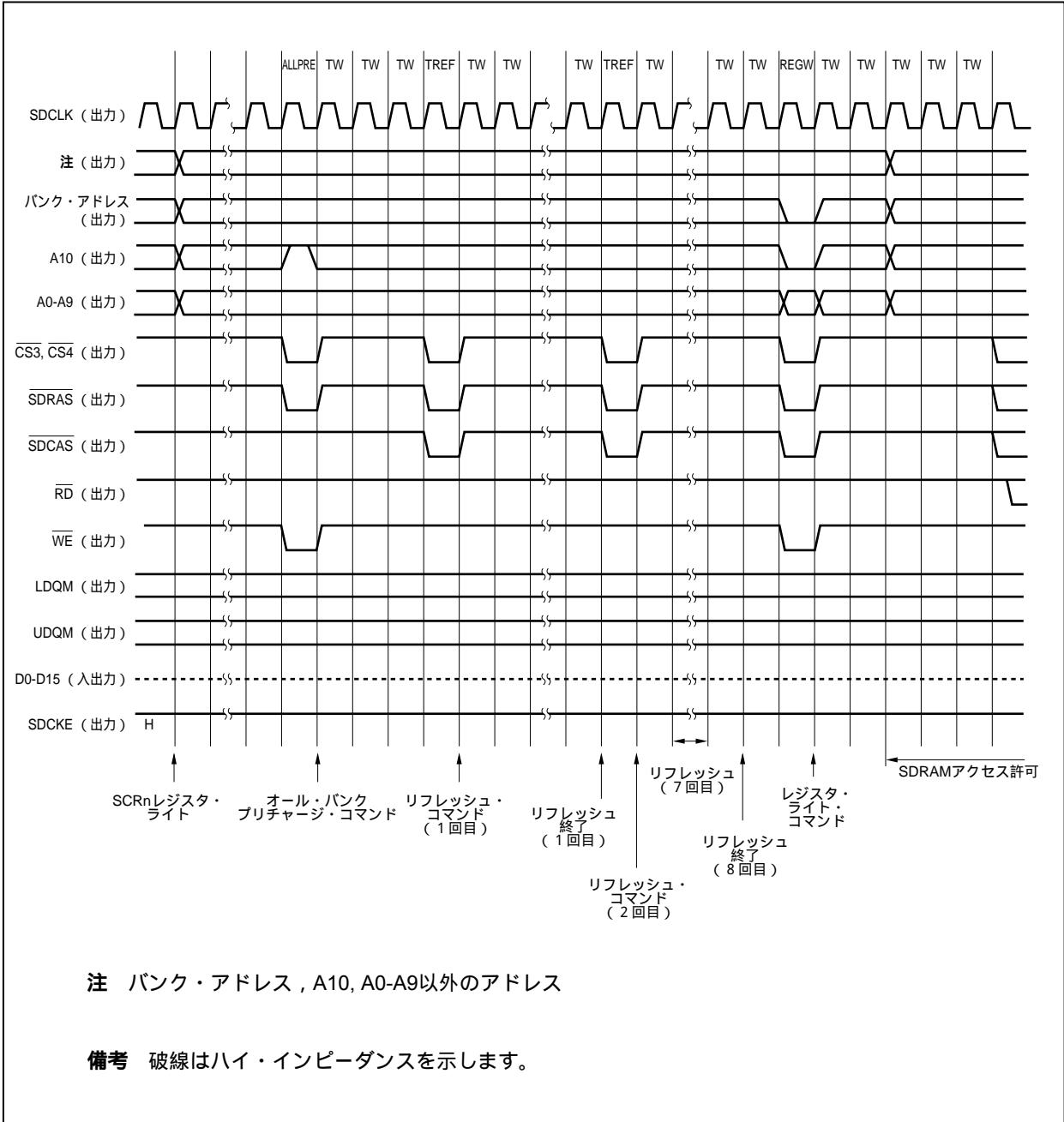


図5 - 16 SDRAMレジスタ・ライト動作タイミング



第6章 DMA機能 (DMAコントローラ)

V850E/MA2は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, リアルタイム・パルス・ユニット, A/Dコンバータ) からの割り込みによる要求, $\overline{\text{DMARQ0}}$, $\overline{\text{DMARQ1}}$ 端子, またはソフトウェア・トリガによるDMA要求に基づいて, メモリ I/O間またはメモリ - メモリ間でのデータ転送を制御します (メモリは内蔵RAM, または外部メモリを意味します)。

6.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット / 16ビット

最大転送回数: 65536 (2^{16}) 回

2サイクル転送

3種類の転送モード

- ・シングル転送モード
- ・シングルステップ転送モード
- ・ブロック転送モード

転送要求

- ・内蔵周辺I/O (シリアル・インタフェース, リアルタイム・パルス・ユニット, A/Dコンバータ) からの割り込みによる要求
- ・ $\overline{\text{DMARQ0}}$, $\overline{\text{DMARQ1}}$ 端子入力による要求
- ・ソフトウェア・トリガによる要求

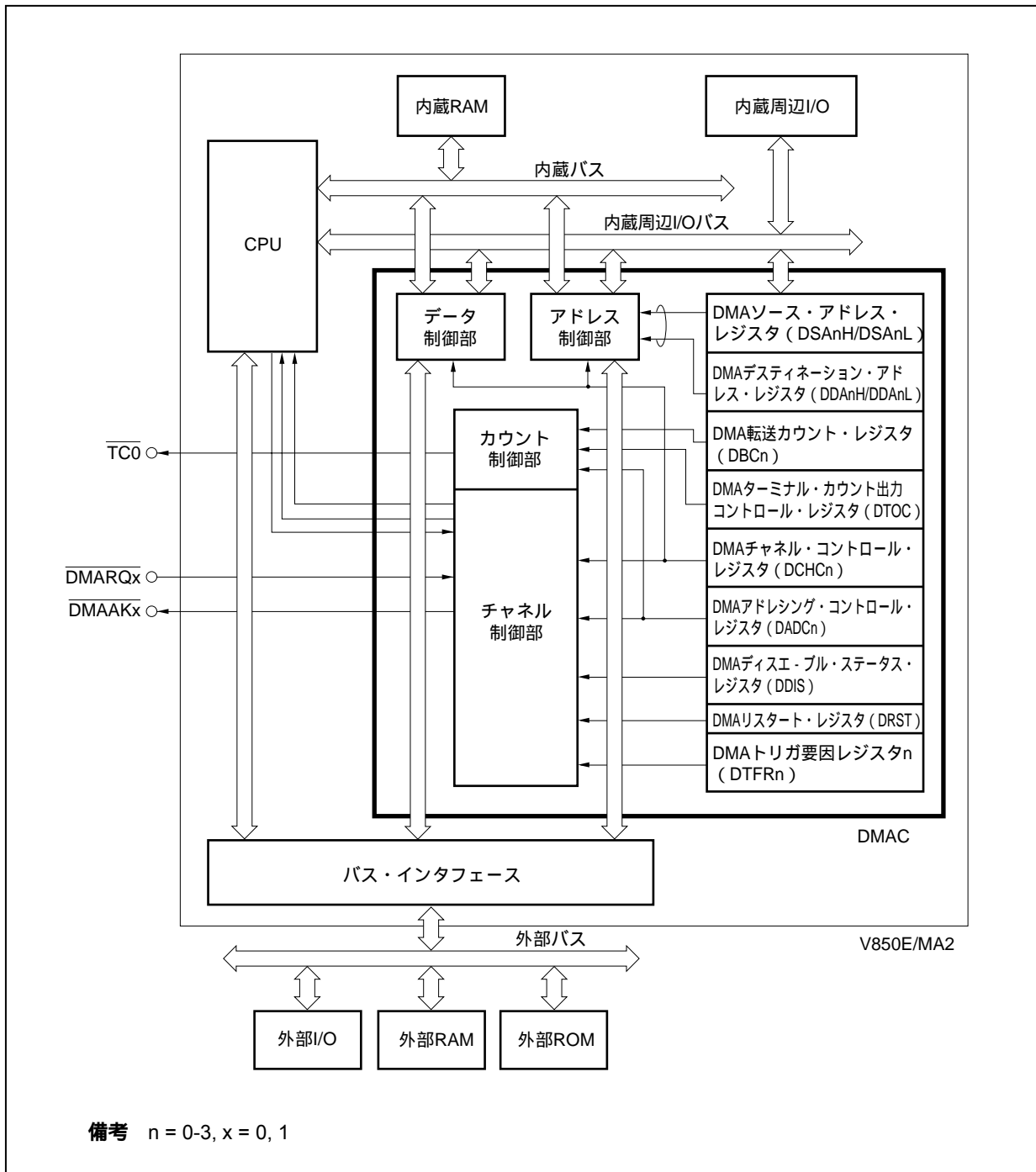
転送対象

- ・メモリ I/O
- ・メモリ - メモリ

DMA転送終了出力信号 ($\overline{\text{TC0}}$)

ネクスト・アドレス設定機能

6.2 構成



6.3 制御レジスタ

6.3.1 DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス(28ビット)を設定します(n=0-3)。このレジスタは,DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

2段FIFO構成バッファ・レジスタなので, DMA転送中に新たなDMA転送の転送元アドレスが設定できます(6.9ネクスト・アドレス設定機能参照)。

(1) DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H)

16ビット単位でリード/ライト可能です。

★ ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 ソース・アドレスに周辺I/Oレジスタのアドレスを設定する場合は,必ずFFFFFF00H-FFFFFFFHのアドレスを指定してください。周辺I/Oレジスタのイメージ(3FFF000H-3FFFFFFH)のアドレスは指定できません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA0H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF02H	不定
DSA1H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF08AH	不定
DSA2H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF092H	不定
DSA3H	IR	0	0	0	SA27	SA26	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16	FFFFFF09AH	不定

ビット位置	ビット名	意味
15	IR	Internal RAM Select DMA転送元を指定します。 0: 外部メモリ, 内蔵周辺I/O 1: 内蔵RAM
11-0	SA27-SA16	Source Address DMA転送元のアドレス(A27-A16)を設定します。DMA転送中は, 次のDMA転送元アドレスを保持します。

(2) DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DSA0L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF080H	不定
DSA1L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF088H	不定
DSA2L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF090H	不定
DSA3L	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0	FFFFFF098H	不定

ビット位置	ビット名	意味
15-0	SA15-SA0	Source Address DMA転送元のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送元アドレスを保持します。

6.3.2 DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス(28ビット)を設定します(n=0-3)。このレジスタは,DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

2段FIFO構成バッファ・レジスタなので, DMA転送中に新たなDMA転送の転送先アドレスが設定できます(6.9ネクスト・アドレス設定機能参照)。

(1) DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

16ビット単位でリード/ライト可能です。

★ ビット14-12には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 デスティネーション・アドレスに周辺I/Oレジスタのアドレスを設定する場合は,必ず FFFF000H-FFFFFFFHのアドレスを指定してください。周辺I/Oレジスタのイメージ(3FFF000H-3FFFFFFFH)のアドレスは指定できません。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA0H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF086H	不定
DDA1H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF08EH	不定
DDA2H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF096H	不定
DDA3H	IR	0	0	0	DA27	DA26	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16	FFFFFF09EH	不定

ビット位置	ビット名	意味
15	IR	Internal RAM Select DMA転送先を指定します。 0 : 外部メモリ, 内蔵周辺I/O 1 : 内蔵RAM
11-0	DA27-DA16	Destination Address DMA転送先のアドレス(A27-A16)を設定します。DMA転送中は, 次のDMA転送先アドレスを保持します。

(2) DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

16ビット単位でリード/ライト可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DDA0L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF084H	不定
DDA1L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF08CH	不定
DDA2L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF094H	不定
DDA3L	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	FFFFFF09CH	不定

ビット位置	ビット名	意味
15-0	DA15-DA0	Destination Address DMA転送先のアドレス (A15-A0) を設定します。DMA転送中は、次のDMA転送先アドレスを保持します。

6.3.3 DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。DMA転送中は、残りの転送数を保持します。

2段FIFO構成バッファ・レジスタなので、DMA転送中に新たなDMA転送の転送回数が設定できます (6.9 ネットワーク・アドレス設定機能参照)。

1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

備考 DMA転送中にDBCnレジスタを書き換えることなくターミナル・カウントが発生したあと、DBCnレジスタを読み出した場合は、DMA転送の直前に設定された値が読み出されます (転送終了後でも0000Hは読み出されません)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DBC0	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C0H	不定
DBC1	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C2H	不定
DBC2	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C4H	不定
DBC3	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0	FFFFFF0C6H	不定

ビット位置	ビット名	意味										
15-0	BC15-BC0	Byte Count 転送数を設定します。DMA転送中は残りの転送数を保持します。										
		<table border="1"> <thead> <tr> <th>DBCn (n = 0-3)</th> <th>状態</th> </tr> </thead> <tbody> <tr> <td>0000H</td> <td>1回の転送, または残り転送数</td> </tr> <tr> <td>0001H</td> <td>2回の転送, または残り転送数</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>FFFFH</td> <td>65536 (2¹⁶) 回の転送, または残り転送数</td> </tr> </tbody> </table>	DBCn (n = 0-3)	状態	0000H	1回の転送, または残り転送数	0001H	2回の転送, または残り転送数	⋮	⋮	FFFFH	65536 (2 ¹⁶) 回の転送, または残り転送数
DBCn (n = 0-3)	状態											
0000H	1回の転送, または残り転送数											
0001H	2回の転送, または残り転送数											
⋮	⋮											
FFFFH	65536 (2 ¹⁶) 回の転送, または残り転送数											

6.3.4 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャンネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。DMA動作中はアクセスできません。

16ビット単位でリード/ライト可能です。

ビット13-8, 1, 0には必ず0を設定してください。1を設定した場合の動作は保証できません。

- ★ **注意** DS1, DS0ビットは何ビットのデータを転送するかを設定するレジスタです。
8ビット・データ (DS1, DS0ビット = 00) を設定した場合は、必ずしも下位データ・バス (D0-D7) を使用するわけではありません。
また、転送データ・サイズを16ビットに設定した場合は下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。この場合は奇数アドレスから始まる転送はできません。

(1/2)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
DADC0	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFFF0D0H	0000H
DADC1	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFFF0D2H	0000H
DADC2	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFFF0D4H	0000H
DADC3	DS1	DS0	0	0	0	0	0	0	SAD1	SAD0	DAD1	DAD0	TM1	TM0	0	0	FFFFFF0D6H	0000H

ビット位置	ビット名	意味															
15, 14	DS1, DS0	Data Size DMA転送での転送データ・サイズを設定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>DS1</th> <th>DS0</th> <th>転送データ・サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>16ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	DS1	DS0	転送データ・サイズ	0	0	8ビット	0	1	16ビット	1	0	設定禁止	1	1	設定禁止
DS1	DS0	転送データ・サイズ															
0	0	8ビット															
0	1	16ビット															
1	0	設定禁止															
1	1	設定禁止															
7, 6	SAD1, SAD0	Source Address count Direction DMAチャンネルnの転送元アドレスのカウント方向を設定します (n = 0-3)。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>SAD1</th> <th>SAD0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	SAD1	SAD0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
SAD1	SAD0	カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															

ビット位置	ビット名	意味															
5, 4	DAD1, DAD0	<p>Destination Address count Direction DMAチャンネルnの転送先アドレスのカウント方向を設定します (n = 0-3)。</p> <table border="1"> <thead> <tr> <th>DAD1</th> <th>DAD0</th> <th>カウント方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	DAD1	DAD0	カウント方向	0	0	インクリメント	0	1	デクリメント	1	0	固定	1	1	設定禁止
DAD1	DAD0	カウント方向															
0	0	インクリメント															
0	1	デクリメント															
1	0	固定															
1	1	設定禁止															
3, 2	TM1, TM0	<p>Transfer Mode DMA転送時の転送モードを設定します。</p> <table border="1"> <thead> <tr> <th>TM1</th> <th>TM0</th> <th>転送モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>シングル転送モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>シングルステップ転送モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>ブロック転送モード</td> </tr> </tbody> </table>	TM1	TM0	転送モード	0	0	シングル転送モード	0	1	シングルステップ転送モード	1	0	設定禁止	1	1	ブロック転送モード
TM1	TM0	転送モード															
0	0	シングル転送モード															
0	1	シングルステップ転送モード															
1	0	設定禁止															
1	1	ブロック転送モード															

6.3.5 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネルnのDMA転送動作モードを制御する8ビット・レジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です (ただし、ビット7はリードだけ、ビット2、ビット1はライトだけ可能です。ビット2、ビット1をリードした場合は0が読み出されます。)。

- ★ ビット6-4には必ず0を設定してください。1を設定した場合の動作は保証できません。
- ★ **注意** MLEnビットのセット (1) が有効となるのは、DMARQm端子入力、または内蔵周辺I/Oからの割り込みで起動するDMA転送 (ハードウェアDMA) の場合だけです (n = 0-3, m = 0, 1)。STGnビットのセット (1) により起動するDMA転送 (ソフトウェアDMA) の場合にはTCnビットを読み出し、セット (1) されていることを確認してから、STGnビットをセット (1) してDMAを起動してください。

(1/2)

	⑦	6	5	4	③	②	①	①	アドレス	初期値
DCHC0	TC0	0	0	0	MLE0	INIT0	STG0	E00	FFFFFF0E0H	00H
DCHC1	TC1	0	0	0	MLE1	INIT1	STG1	E11	FFFFFF0E2H	00H
DCHC2	TC2	0	0	0	MLE2	INIT2	STG2	E22	FFFFFF0E4H	00H
DCHC3	TC3	0	0	0	MLE3	INIT3	STG3	E33	FFFFFF0E6H	00H

ビット位置	ビット名	意味
7	TCn	Terminal Count DMAチャンネルnのDMA転送の終了 / 未終了を示すステータス・ビットです。 読み出しだけです。DMA転送が終了するとセット (1) され、読み出しによりクリア (0) されます。 0 : DMA転送未終了 1 : DMA転送終了
3	MLEn	Multi Link Enable Bit ターミナル・カウント出力時に、このビットがセット (1) されていると、Ennビットはクリア (0) されず、DMA転送許可状態のままになります。 次のDMA転送要求がDMARQm端子入力、または内蔵周辺I/Oからの割り込みの場合 (ハードウェアDMA) は、TCnビットを読み出さなくてもDMA転送要求が受け付けられます。 次のDMA転送要求がSTGnビットのセット (1) の場合 (ソフトウェアDMA) は、TCnビットを読み出してクリア (0) すれば、DMA転送要求が受け付けられます。 ターミナル・カウント出力時に、このビットがクリア (0) されていると、Ennビットはクリア (0) され、DMA転送禁止状態になります。次のDMA転送要求時は、TCnビットの読み出しとEnnビットのセット (1) が必要です。
2	INITn	Initialize このビットをセット (1) すると、DMA転送を強制終了します。

備考 n = 0-3

m = 0, 1

ビット位置	ビット名	意 味
1	STGn	Software Trigger DMA転送が許可の状態 (TCnビット = 0, Ennビット = 1) で、このビットをセット (1) するとDMA転送を開始します。
0	Enn	Enable DMAチャンネルnのDMA転送の許可 / 禁止を設定します。DMA転送が完了するとクリア (0) されます。また、NMI入力や、INITnビットのセット (1) による強制終了時にもクリア (0) されます。 0 : DMA転送の禁止 1 : DMA転送の許可

備考 n = 0-3

6.3.6 DMAディスエーブル・ステータス・レジスタ (DDIS)

NMI入力時にDCHCnレジスタのEnnビットの内容を保持するレジスタです (n = 0-3)。

8ビット単位でリードだけ可能です。

- ★ ビット7-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
DDIS	0	0	0	0	CH3	CH2	CH1	CH0	FFFFFF0FH	00H

ビット位置	ビット名	意味
3-0	CH3-CH0	NMI Interruption Status NMI入力時にDCHCnレジスタのEnnビットの内容が反映されます。このレジスタの内容は、次のNMI入力時、またはシステム・リセット時まで保持されます。

6.3.7 DMAリスタート・レジスタ (DRST)

NMI入力によって強制中断されたDMA転送を再開させるためのレジスタです。このレジスタのENnビットは、DCHCnレジスタのEnnビットとそれぞれ連結しています (n = 0-3)。NMI入力による強制中断終了後、中断されているDMAチャンネルをDDISレジスタの内容から確認し、対応するチャンネルのENnビットをセット (1) することにより、DMA転送を再開できます。

8ビット単位でリード/ライト可能です。

- ★ ビット7-4には必ず0を設定してください。1を設定した場合の動作は保証できません。

	7	6	5	4	3	2	1	0	アドレス	初期値
DRST	0	0	0	0	EN3	EN2	EN1	EN0	FFFFFF0FH	00H

ビット位置	ビット名	意味
3-0	EN3-EN0	Restart Enable DMAチャンネルnのDMA転送の許可/禁止を設定します。ターミナル・カウント出力によりDMA転送が終了するとクリア (0) されます (n = 0-3)。 また、NMI入力や、DCHCnレジスタのINITnビットのセット (1) によるDMA強制終了時にもクリア (0) されます。 0 : DMA転送の禁止 1 : DMA転送の許可

6.3.8 DMAターミナル・カウント出力コントロール・レジスタ (DTCO)

DMAターミナル・カウント出力コントロール・レジスタ (DTCO) は、各DMAチャンネルのターミナル・カウント出力を制御する8ビットのレジスタです。各DMAチャンネルのターミナル・カウント信号を共通化し、 $\overline{TC0}$ 端子から出力することができます。

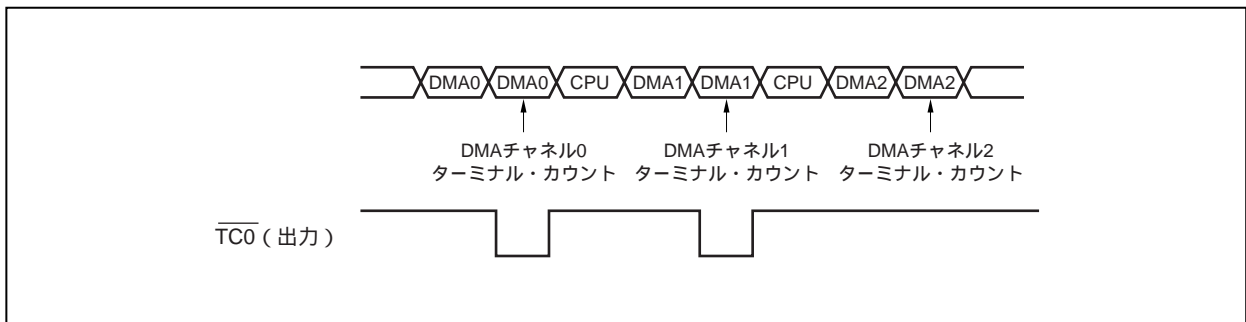
- ★ 8/1ビット単位でリード/ライト可能です。

★

	7	6	5	4	③	②	①	①	アドレス	初期値
DTCO	0	0	0	0	TCO3	TCO2	TCO1	TCO0	FFFFF8A0H	01H

ビット位置	ビット名	意味
3-0	TCO3-TCO0	Terminal Count Output $\overline{TC0}$ 端子の状態を示します。 0 : $\overline{TC0}$ 端子からチャンネルnのターミナル・カウント信号を出力しない。 1 : $\overline{TC0}$ 端子からチャンネルnのターミナル・カウント信号を出力する。

DTCOレジスタを03Hに設定した場合の例を次に示します。



6.3.9 DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oから割り込み要求によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求が、DMA転送の起動要因になります。

8ビット単位でリード/ライト可能です。ただし、ビット7 (DFn) のみ1ビット単位でリード/ライト可能です。

- ★ **注意1.** DTFRnレジスタの設定を変更する場合は、必ずDMA動作を停止してから行ってください。
- 2.** スタンバイ・モード (IDLE, ソフトウェアSTOPモード) 中に入力された割り込み要求は、DMA転送の起動要因にはなりません。

(1/2)

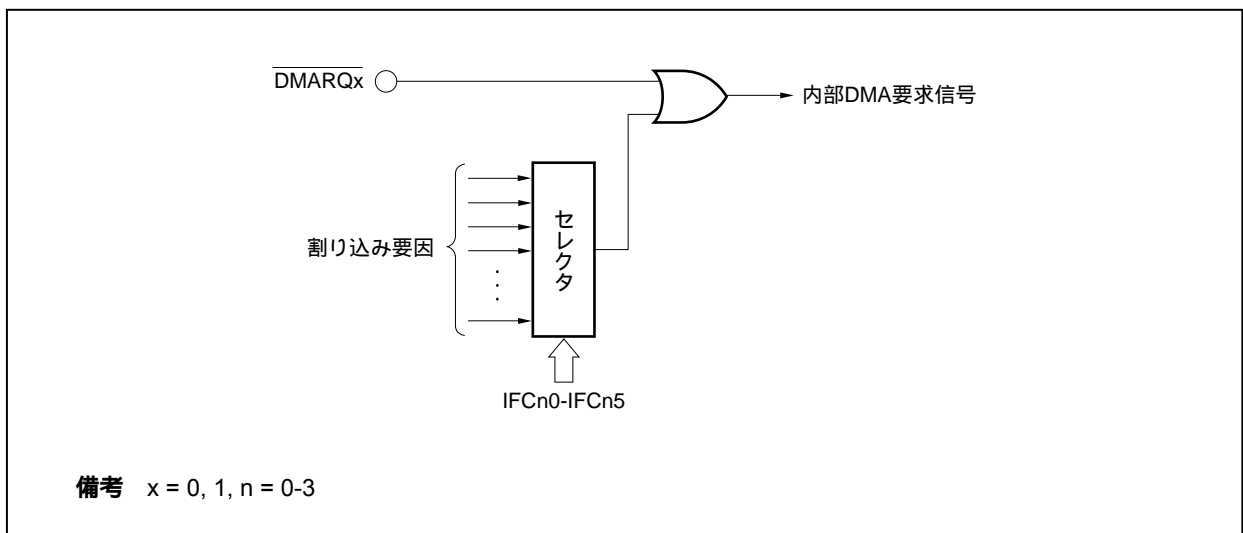
	⑦	6	5	4	3	2	1	0	アドレス	初期値
DTFR0	DF0	0	IFC05	IFC04	IFC03	IFC02	IFC01	IFC00	FFFFFF810H	00H
DTFR1	DF1	0	IFC15	IFC14	IFC13	IFC12	IFC11	IFC10	FFFFFF812H	00H
DTFR2	DF2	0	IFC25	IFC24	IFC23	IFC22	IFC21	IFC20	FFFFFF814H	00H
DTFR3	DF3	0	IFC35	IFC34	IFC33	IFC32	IFC31	IFC30	FFFFFF816H	00H

ビット位置	ビット名	意味																																										
7	DFn	<p>DMA Request Flag</p> <p>DMA転送要求フラグです。</p> <p>ライトする場合は0のみ書き込み可能です。</p> <p>0 : DMA転送要求なし</p> <p>1 : DMA転送要求あり</p> <p>DMA転送を禁止 (NMIによる中断, ソフトウェアによる強制終了を含む) している間に, DMA転送の起動要因に設定している割り込みが発生し, DMA転送要求をクリアする必要がある場合には, 割り込み発生要因の動作を停止したあとに, DFnビットをクリアしてください (例 シリアル受信の場合, 受信を禁止)。なお, 次にDMA転送を再開するまでに再度割り込みが発生しないことがアプリケーション上で明確な場合は, 割り込み発生要因の動作を停止する必要はありません。</p>																																										
5-0	IFCn5-IFCn0	<p>Interrupt Factor Code</p> <p>DMA転送の起動要因になる割り込み要因を設定します。</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>IFCn5</th> <th>IFCn4</th> <th>IFCn3</th> <th>IFCn2</th> <th>IFCn1</th> <th>IFCn0</th> <th>割り込み要因</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>内蔵周辺I/OからのDMA要求禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>INTP000/INTM000</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>INTP001/INTM001</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>INTP010/INTM010</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>INTP011/INTM011</td> </tr> </tbody> </table>	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因	0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止	0	0	0	0	0	1	INTP000/INTM000	0	0	0	0	1	0	INTP001/INTM001	0	0	0	0	1	1	INTP010/INTM010	0	0	0	1	0	0	INTP011/INTM011
IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因																																						
0	0	0	0	0	0	内蔵周辺I/OからのDMA要求禁止																																						
0	0	0	0	0	1	INTP000/INTM000																																						
0	0	0	0	1	0	INTP001/INTM001																																						
0	0	0	0	1	1	INTP010/INTM010																																						
0	0	0	1	0	0	INTP011/INTM011																																						

ビット位置	ビット名	意味						
5-0	IFCn5-IFCn0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
		0	0	1	0	0	1	INTP100
		0	0	1	0	1	0	INTP101
		0	0	1	1	0	1	INTP110
		0	1	1	0	0	1	INTCMD0
		0	1	1	0	1	0	INTCMD1
		0	1	1	0	1	1	INTCMD2
		0	1	1	1	0	0	INTCMD3
		0	1	1	1	0	1	INTCSI0
		0	1	1	1	1	0	INTSR0
		0	1	1	1	1	1	INTST0
		1	0	0	0	0	0	INTCSI1
		1	0	0	0	0	1	INTSR1
		1	0	0	0	1	0	INTST1
1	0	0	1	1	0	INTAD		
その他							設定禁止	

備考 n = 0-3

D $\overline{\text{MARQ}}_n$ 信号とDMA転送トリガとなる割り込み要因の関係を次に示します。



備考 割り込み要求をDMA転送の起動要因にする場合、DMAの起動とともに割り込み要求も発生します。割り込み要求を発生させたくない場合は、割り込み要求制御レジスタで割り込みをマスクしてください。割り込みをマスクしてもDMAは起動されます。

6.4 DMAバス・ステート

6.4.1 バス・ステートの種類

DMACのバス・ステートは次に示す10種類のステートで構成されています。

(1) T1ステート

アクセス要求がないアイドル状態のステートです。

CLKOUT信号の立ち上がりで $\overline{\text{DMARQ0}}$, $\overline{\text{DMARQ1}}$ 信号をサンプリングします。

(2) T0ステート

DMA転送準備状態 (DMA転送要求があり、最初のDMA転送のためにバス使用权を獲得している状態) のステートです。

(3) T1Rステート

2サイクル転送のリードの最初に移行するステートです。

アドレスの駆動を開始します。T1RステートのあとはT2Rステートに必ず遷移します。

(4) T1RIステート

外部メモリのリード・リクエストに対するアクノリッジ信号を待っているステートです。

最後のT1RIステートのあとはT2Rステートに必ず遷移します。

(5) T2Rステート

2サイクル転送のリードの最後またはウエイト状態のステートです。

最後のT2Rステートでリード・データをサンプリングします。そのあとは必ずT1Wステートに遷移します。

(6) T2RIステート

内蔵周辺I/Oまたは内蔵RAMへのDMA転送準備状態 (内蔵周辺I/Oまたは内蔵RAMへのDMA転送のために、バスの使用权を獲得している状態) のステートです。

最後のT2RIステートのあとはT1Wステートに必ず遷移します。

(7) T1Wステート

2サイクル転送のライトの最初に移行するステートです。

アドレスの駆動を開始します。T1WステートのあとはT2Wステートに必ず遷移します。

(8) T1WIステート

外部メモリのライト・リクエストに対するアクノリッジ信号を待っているステートです。

最後のT1WIステートのあとはT2Wステートに必ず遷移します。

(9) T2Wステート

2サイクル転送のライトの最後またはウエイト状態のステートです。

最後のT2Wステートでライト・ストロブ信号をインアクティブにします。

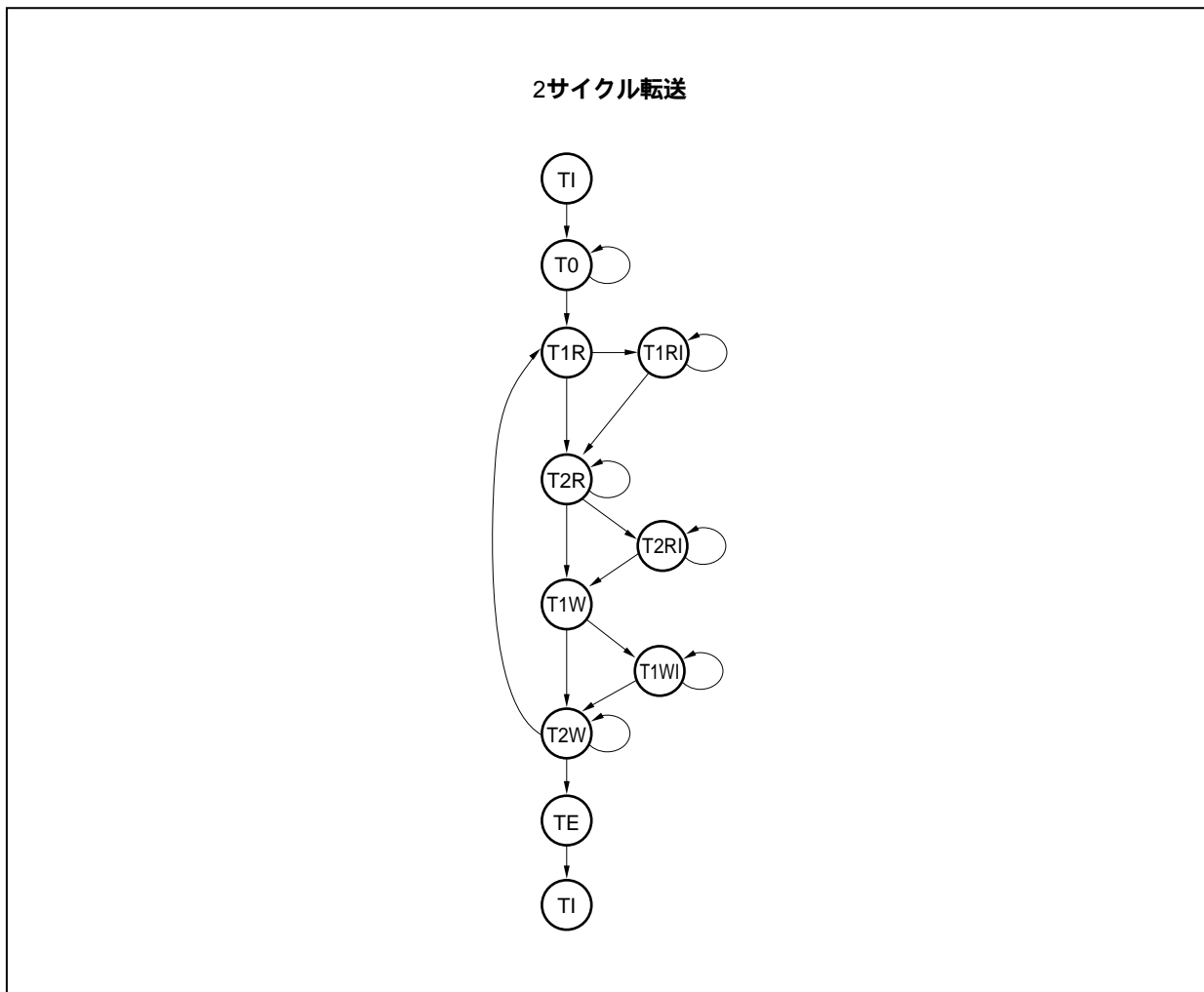
(10) TEステート

DMA転送完了のステートです。ほかの各種内部信号を初期化します (n = 0-3)。TEステートのあとはTIステートに必ず遷移します。

6.4.2 DMACバス・サイクルの状態遷移

ブロック転送モードを除き、1回のDMA転送終了ごとにバス使用权を解放します。

図6 - 1 DMACバス・サイクルの状態遷移図



6.5 転送モード

★ 6.5.1 シングル転送モード

シングル転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、優先順位が高いDMA要求を優先します。ただし、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合は、前回の優先順位が高いDMA転送要求信号がアクティブのままでもこの要求は優先されず、CPUにバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA転送となります。

図6 - 2から図6 - 4にシングル転送の例を示します。

図6 - 2 シングル転送例1

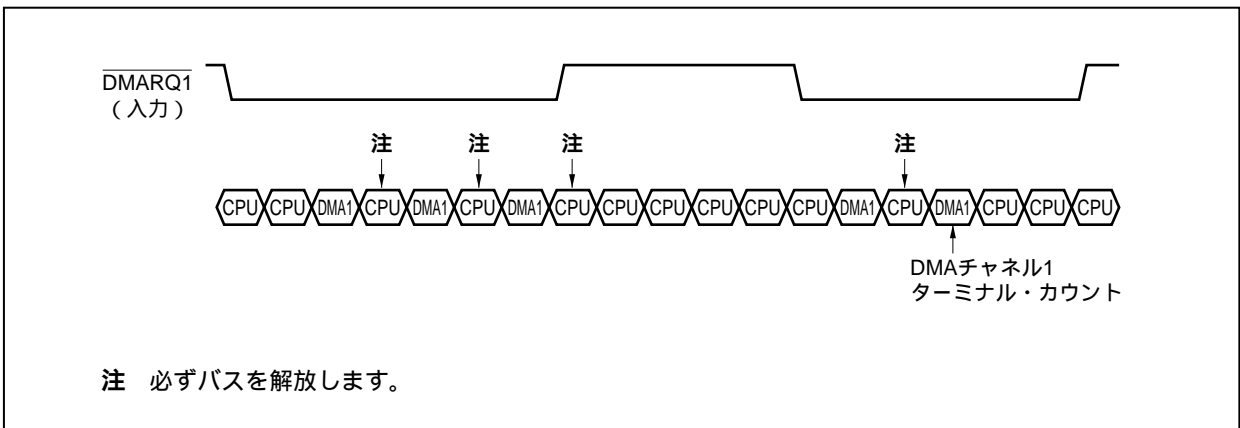


図6 - 3は、優先順位の高いDMA要求が発生した場合のシングル転送の例で、DMAチャンネル0はブロック転送、チャンネル1はシングル転送です。

図6 - 3 シングル転送例2

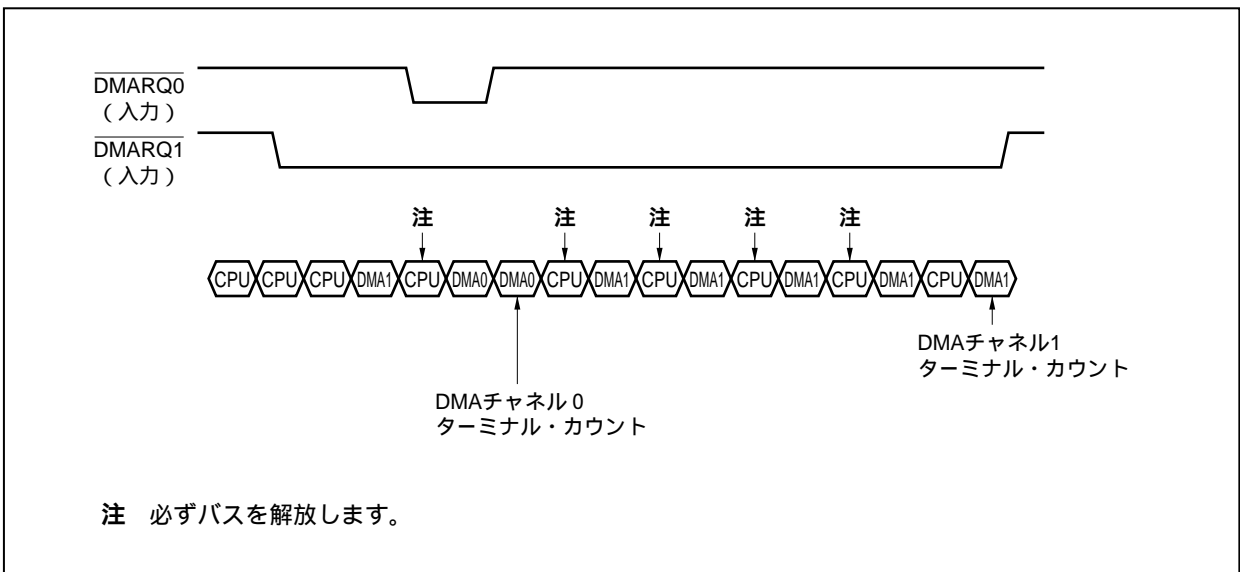
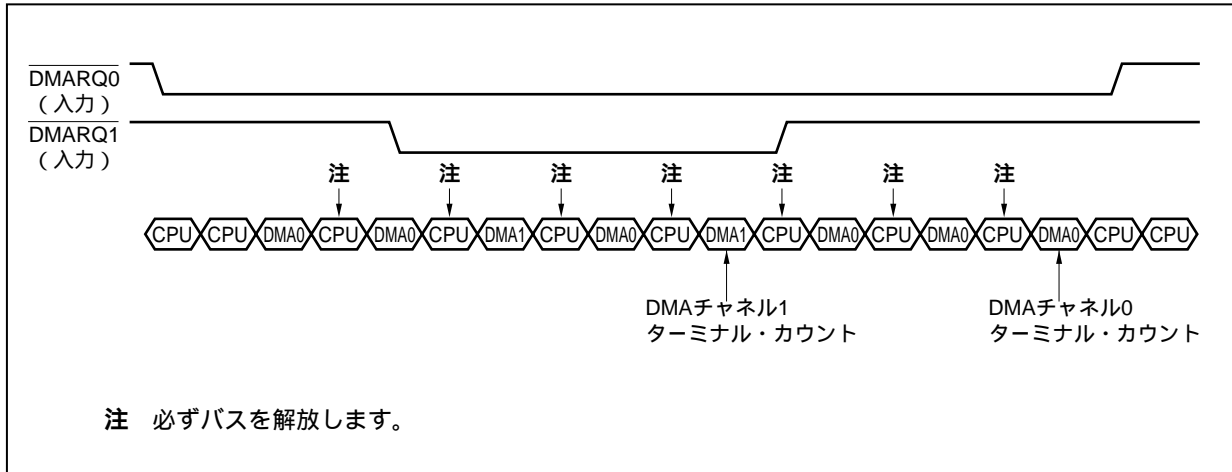


図6 - 4は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のシングル転送の例で、DMAチャンネル0, 1はシングル転送です。2つのDMA転送要求信号が同時にアクティブになっているときは、2つのDMA転送を交互に行います。

図6 - 4 シングル転送例3



6.5.2 シングルステップ転送モード

シングルステップ転送では、DMACは1回のバイト/ハーフワード転送ごとにバスを解放します。一度、DMA転送要求信号 (DMARQ0, DMARQ1) を受けると、ターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

次にシングルステップ転送の例を示します。図6-6は、優先順位が高いDMA転送要求が発生した場合のシングルステップ転送モードの例で、DMAチャンネル0, 1ともにシングルステップ転送です。

図6-5 シングルステップ転送例1

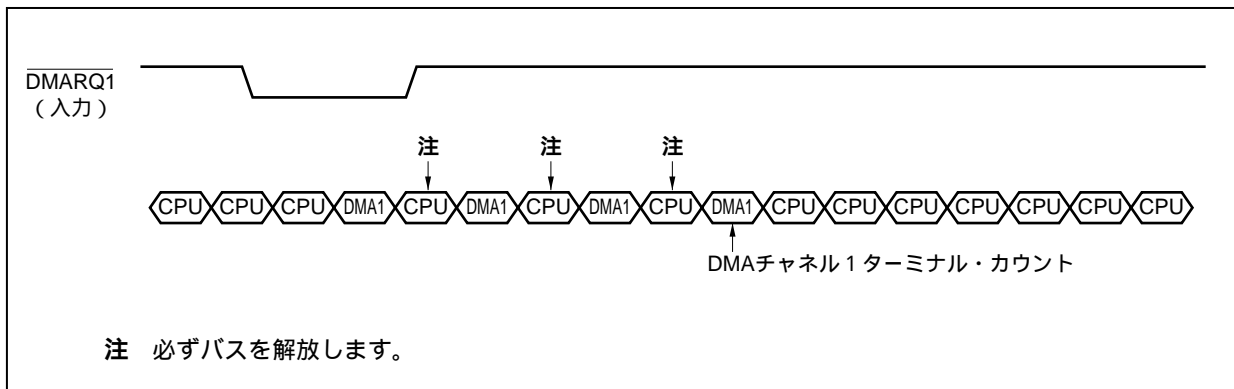
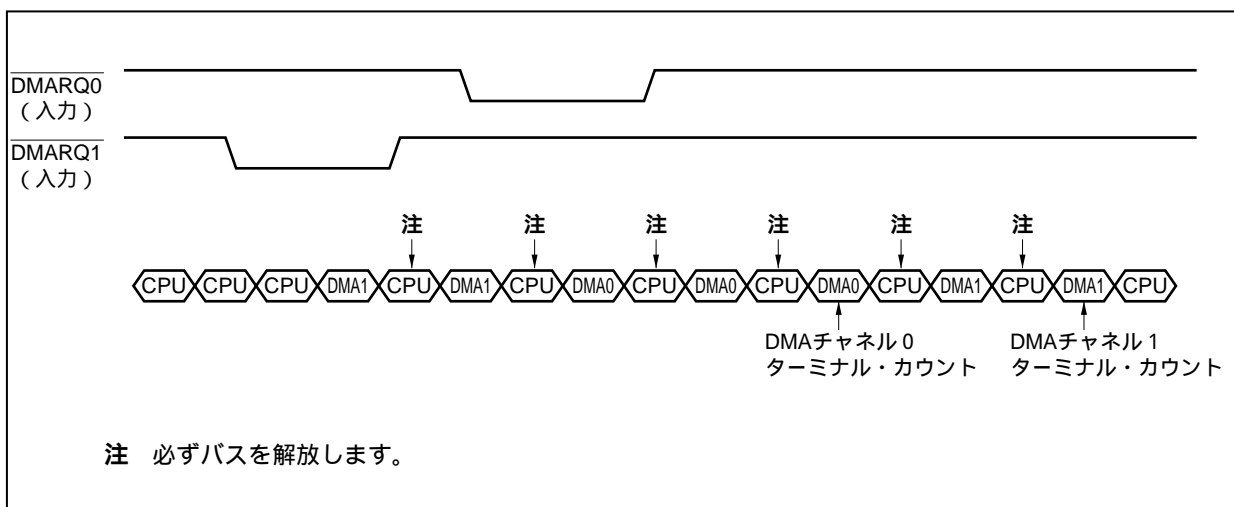


図6-6 シングルステップ転送例2



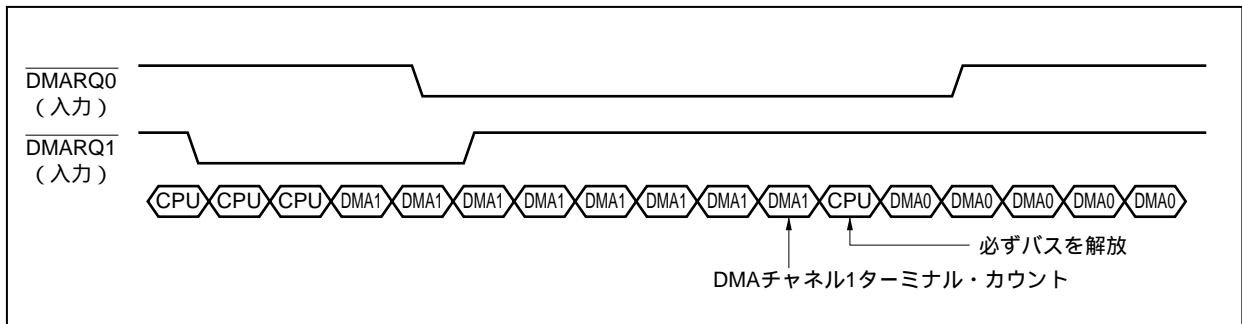
6.5.3 ブロック転送モード

ブロック転送では、転送が開始されると、ターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は、ほかのDMA要求は受け付けません。

- ★ ブロック転送が終了しDMACがバスを解放したあとに、ほかのDMA転送を受け付けます。なお、ブロック転送中はCPUのバス・サイクルが挿入されることはありませんが、バス・ホールドおよびリフレッシュ・サイクルは、ブロック転送中でもDMA転送間に挿入されます。

次にブロック転送の例を示します。優先順位の高いDMA要求が発生した場合のブロック転送の例で、DMAチャンネル0, 1はブロック転送です。

図6-7 ブロック転送例



6.6 2サイクル転送

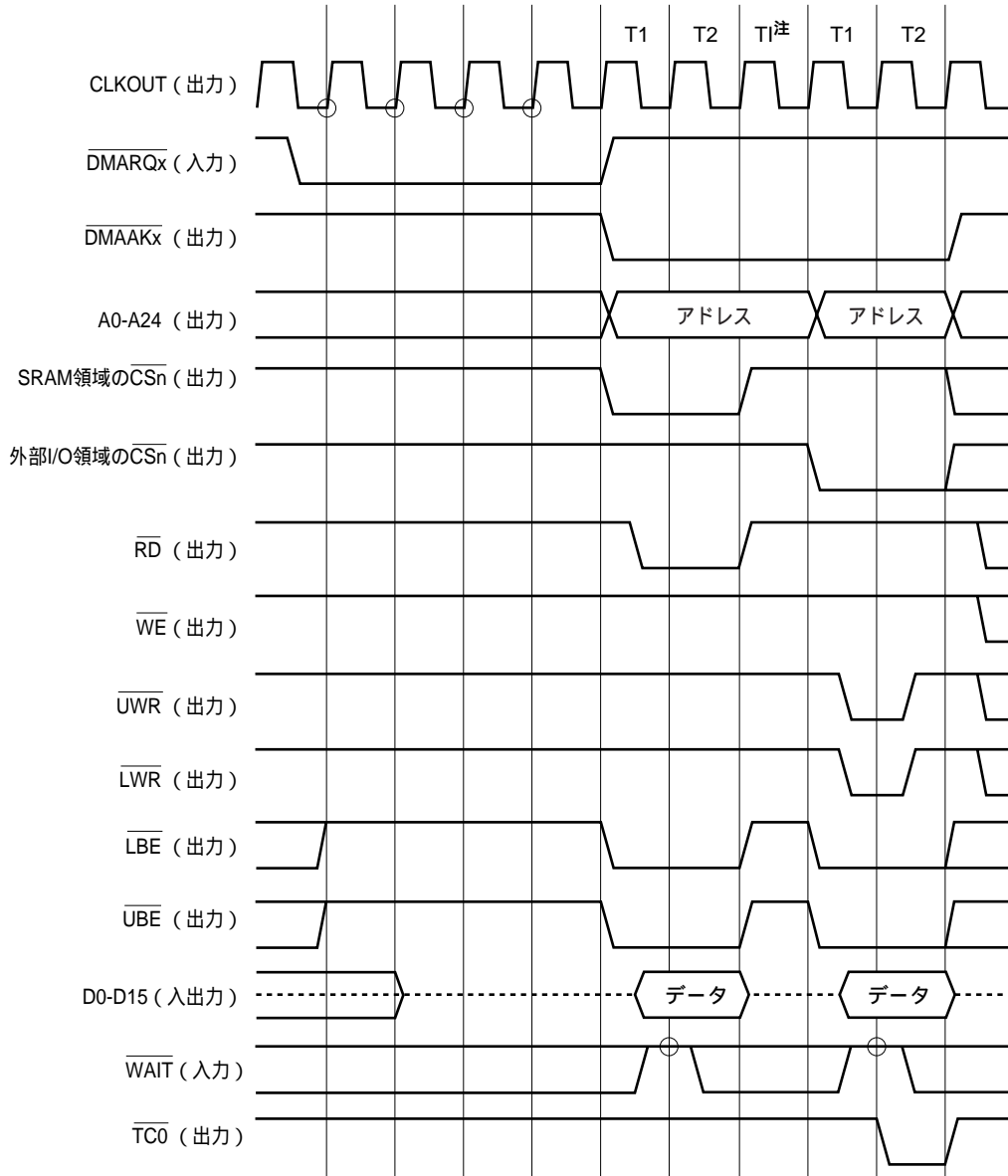
2サイクル転送は、リード・サイクル (転送元 DMAC)、ライト・サイクル (DMAC 転送先) と2回のサイクルでデータを転送します。

1回目のサイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、2回目のサイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

- ★ **注意** リード・サイクルとライト・サイクルの間に、必ず1クロック分のアイドル・サイクルが挿入されます。

図6 - 8 2サイクルDMA転送時のSRAM, 外部ROM, 外部I/Oアクセス・タイミング (1/2)

(a) SRAM 外部I/Oの場合 (SRAMに対するBCCレジスタの設定: BCn1, BCn0 = 00B)
 (外部I/Oに対するBCCレジスタの設定: BCn1, BCn0 = 00B)



注 BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

備考1. 印はサンプリング・タイミングです。

2. 破線はハイ・インピーダンスを示します。

3. n = 0, 3, 4, 7, x = 0, 1

図6-8 2サイクルDMA転送時のSRAM, 外部ROM, 外部I/Oアクセス・タイミング (2/2)

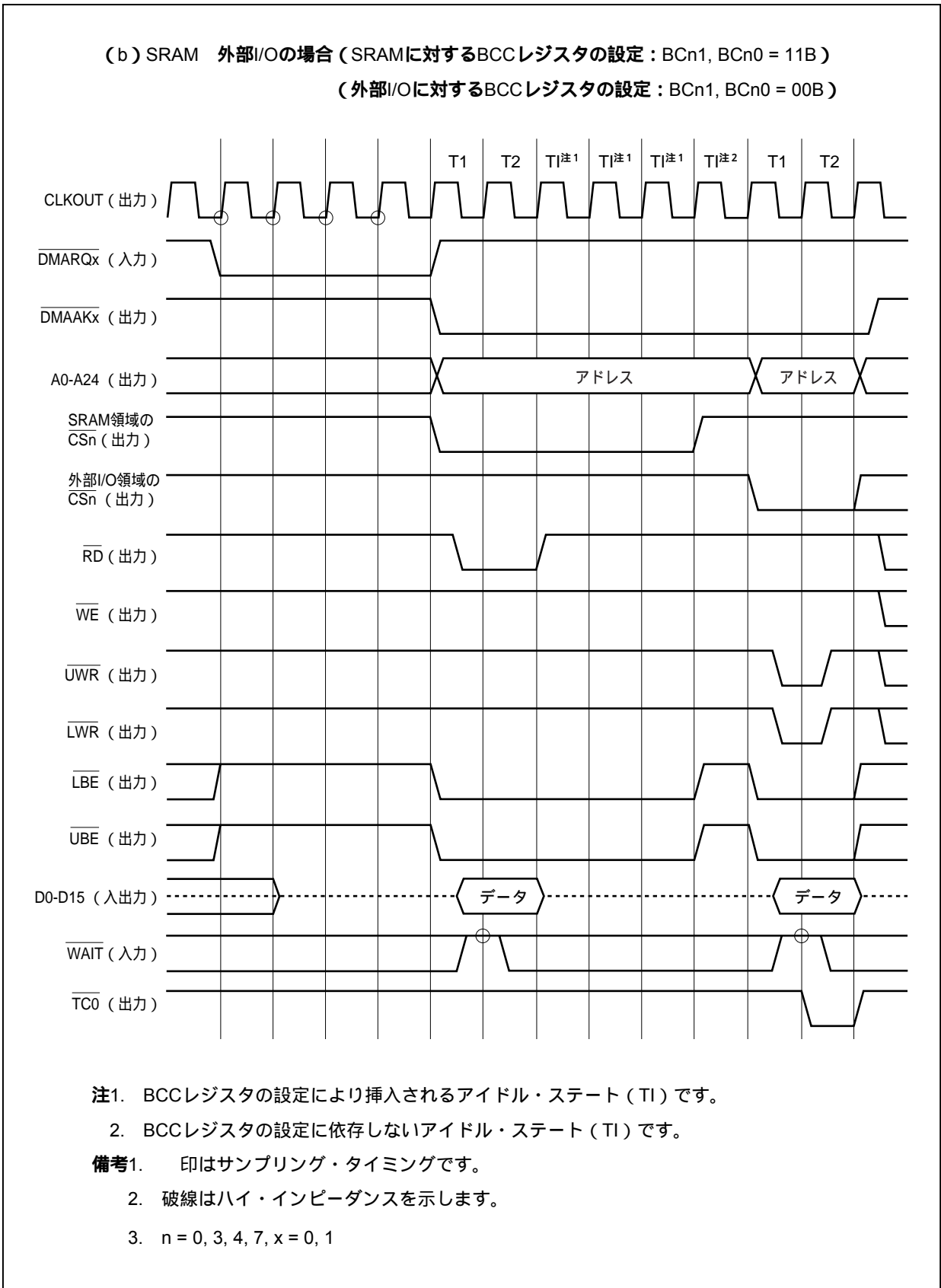


図6-9 2サイクルDMA転送時のタイミング (外部I/O SRAM)

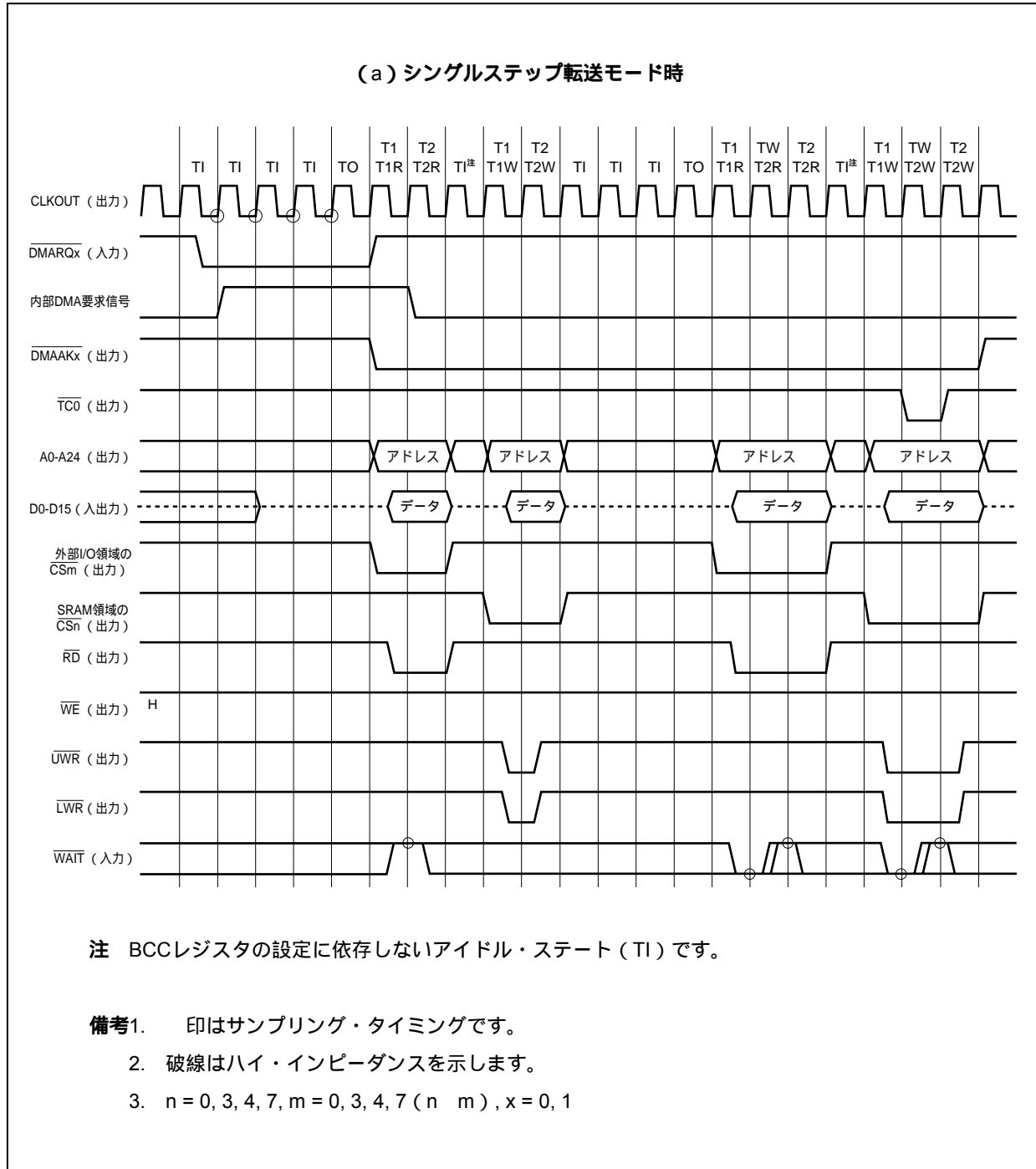


図6-10 2サイクルDMA転送時のタイミング (SRAM SDRAM) (1/3)

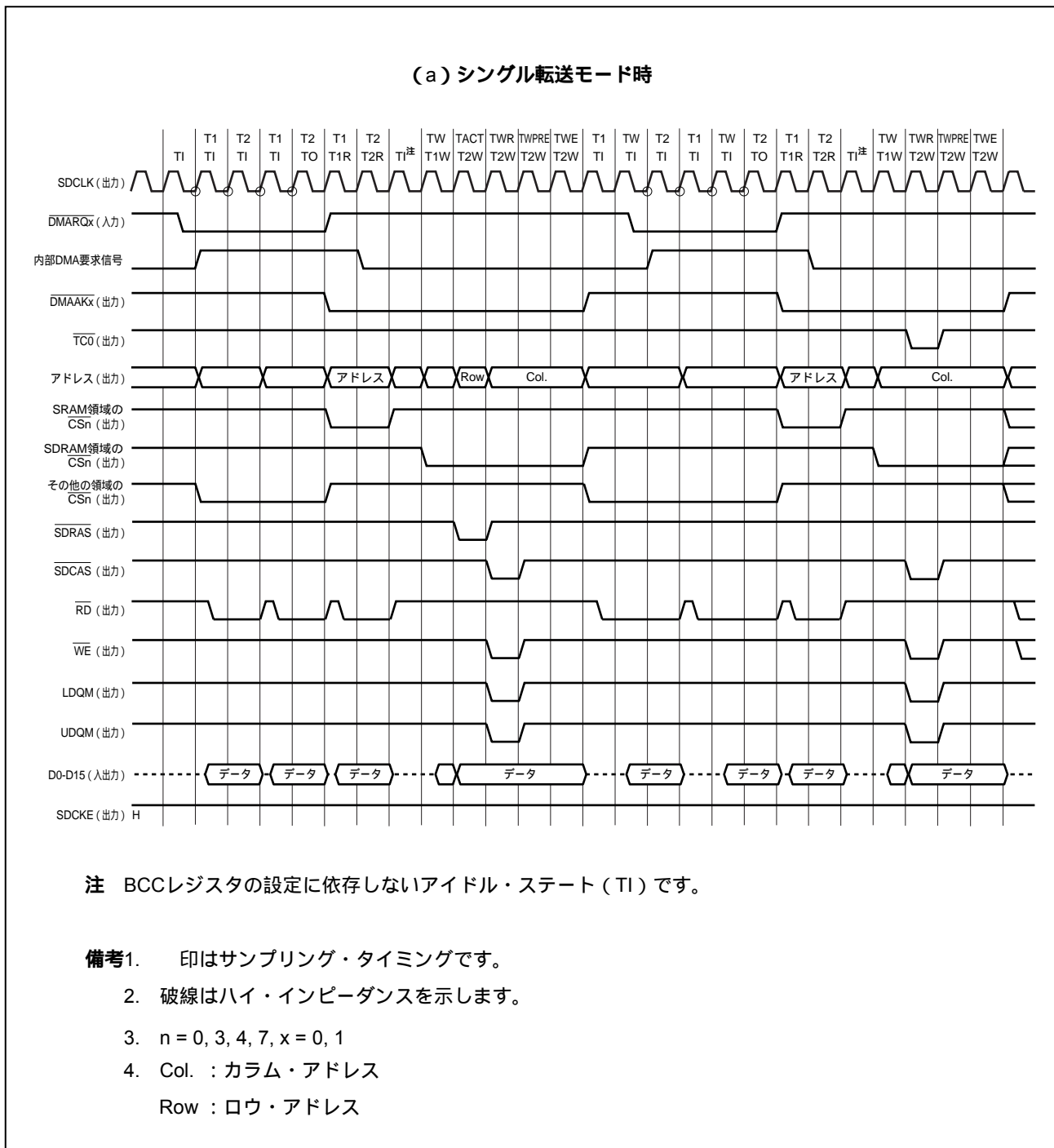


図6 - 10 2サイクルDMA転送時のタイミング (SRAM SDRAM) (2/3)

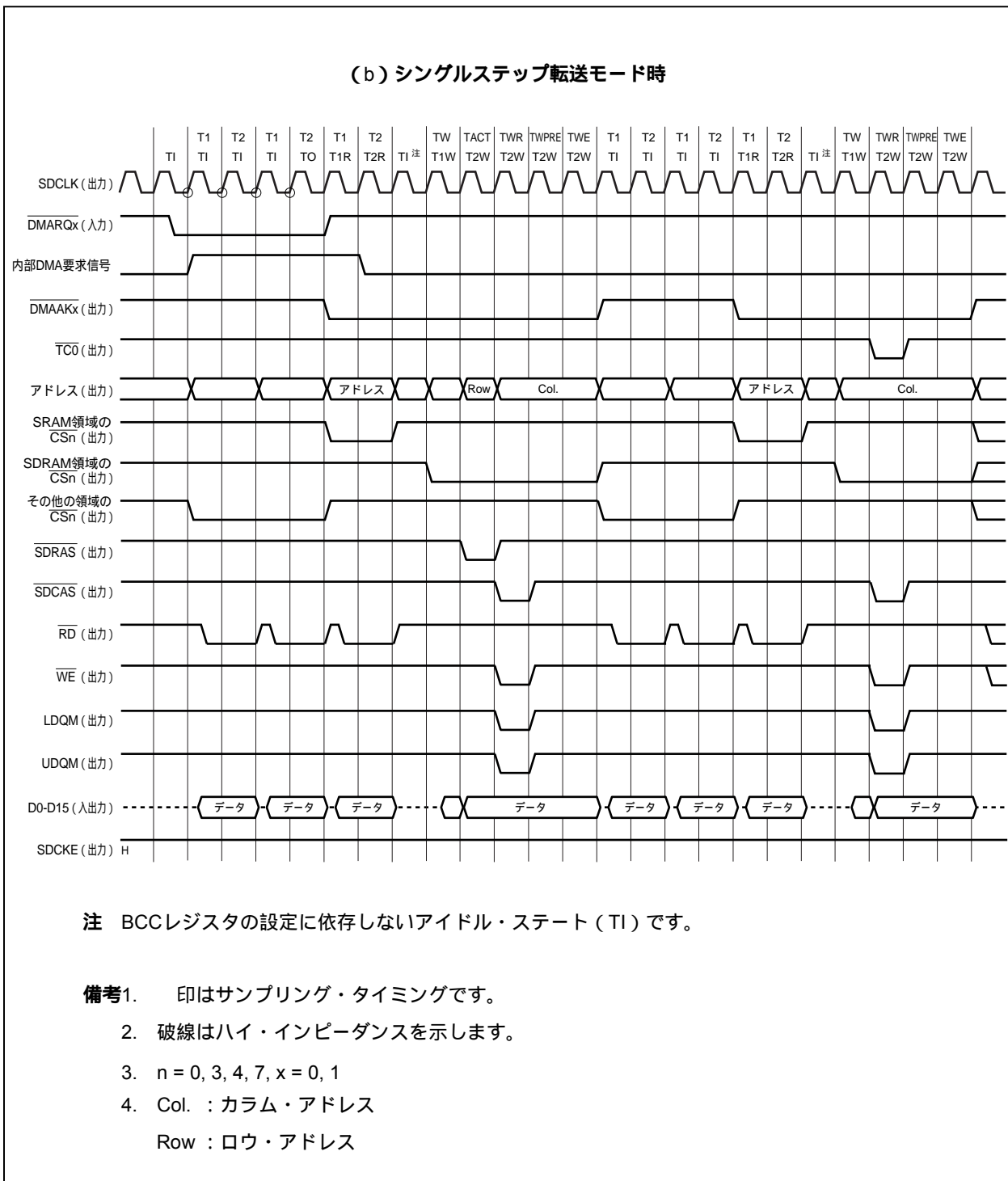


図6 - 10 2サイクルDMA転送時のタイミング (SRAM SDRAM) (3/3)

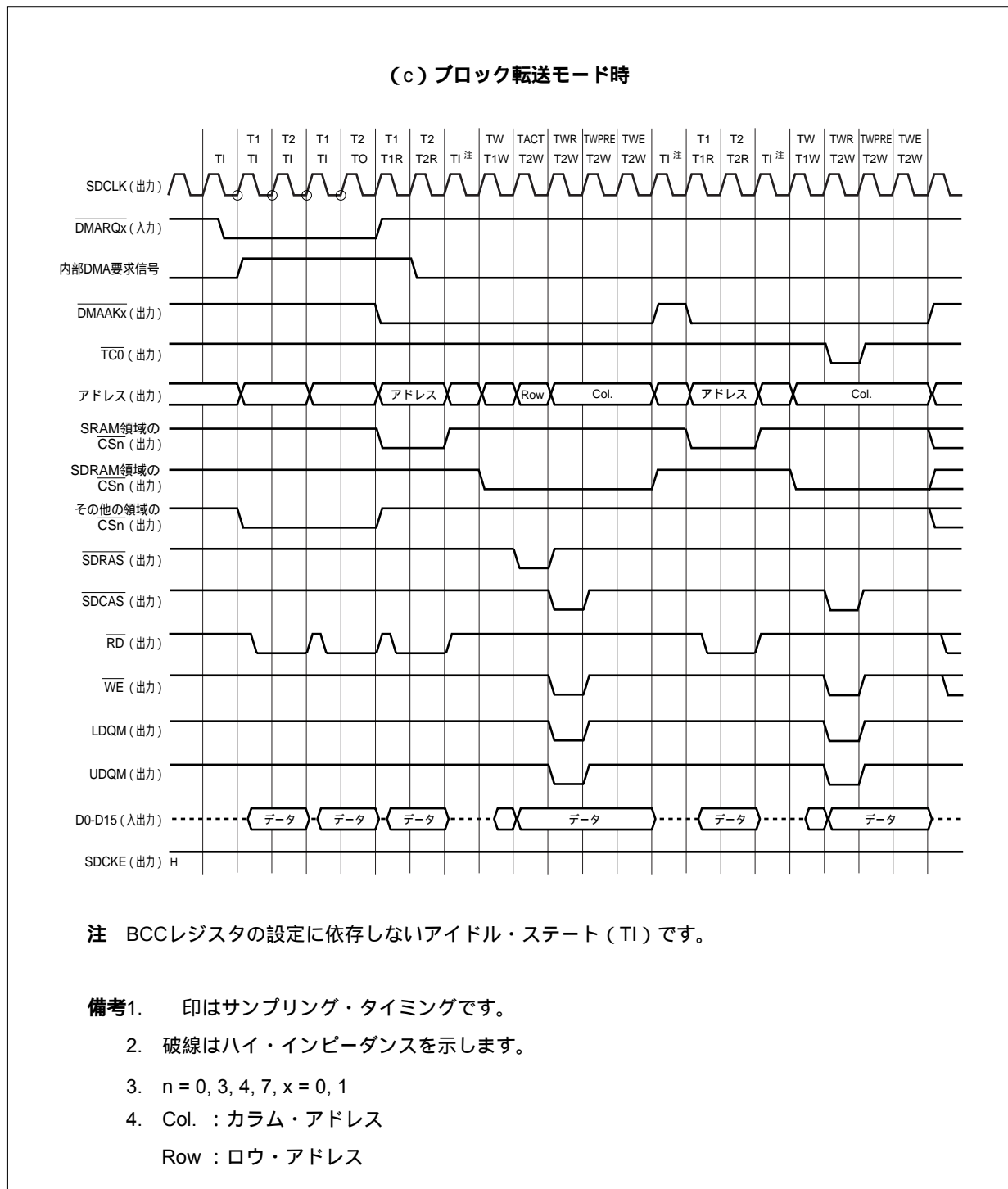


図6-11 2サイクルDMA転送時のタイミング (SDRAM SRAM) (1/3)

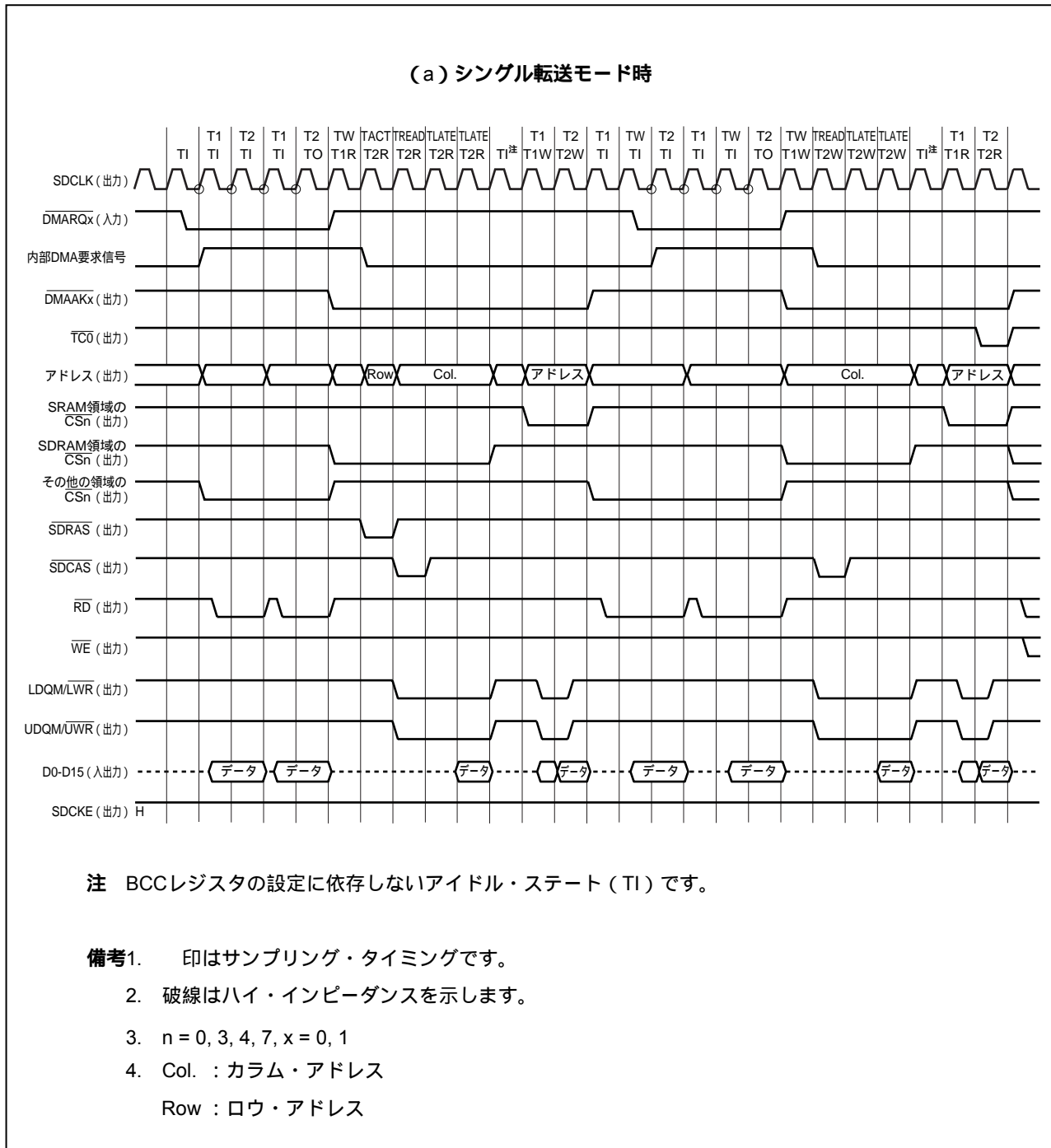


図6 - 11 2サイクルDMA転送時のタイミング (SDRAM SRAM) (2/3)

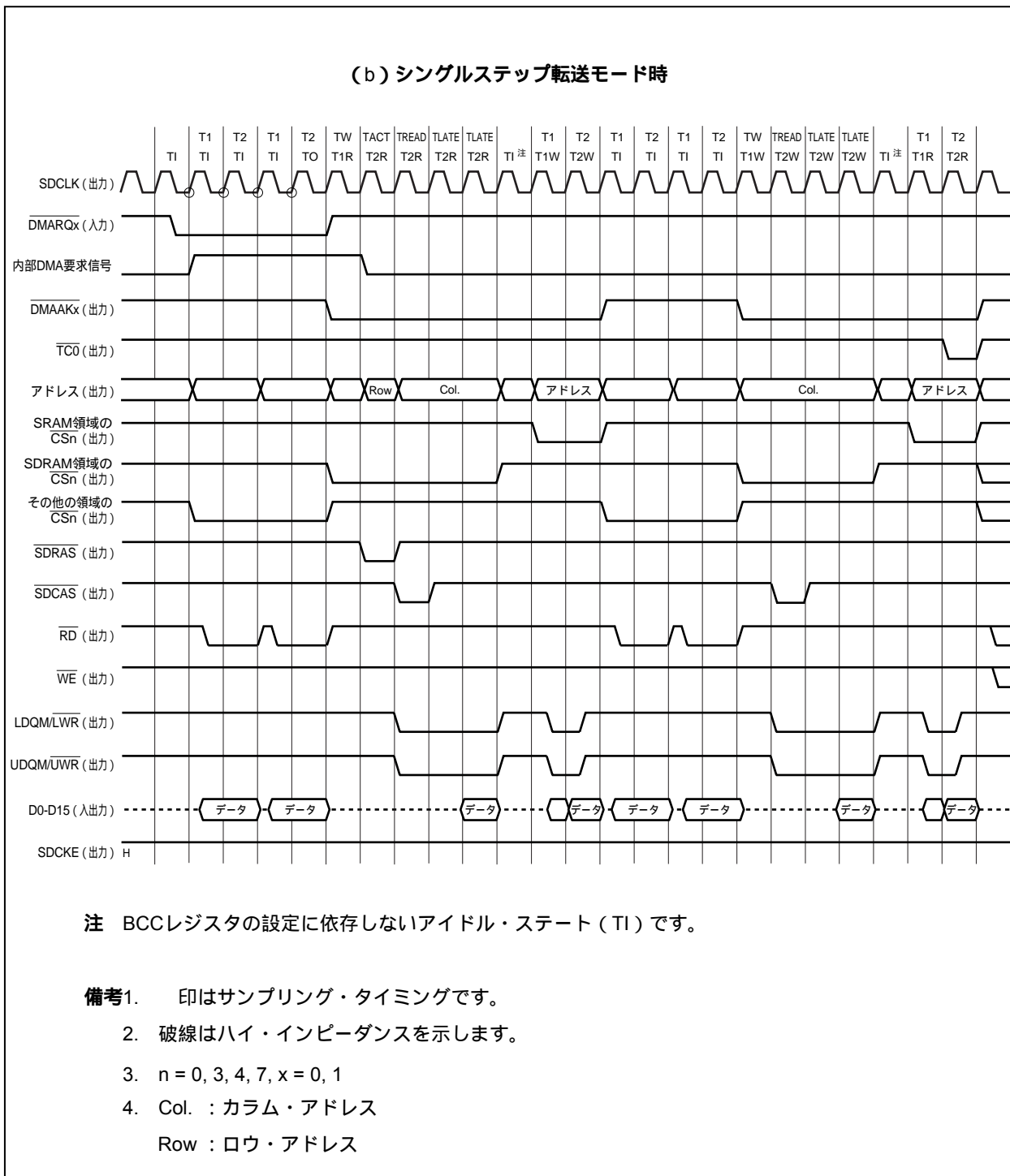
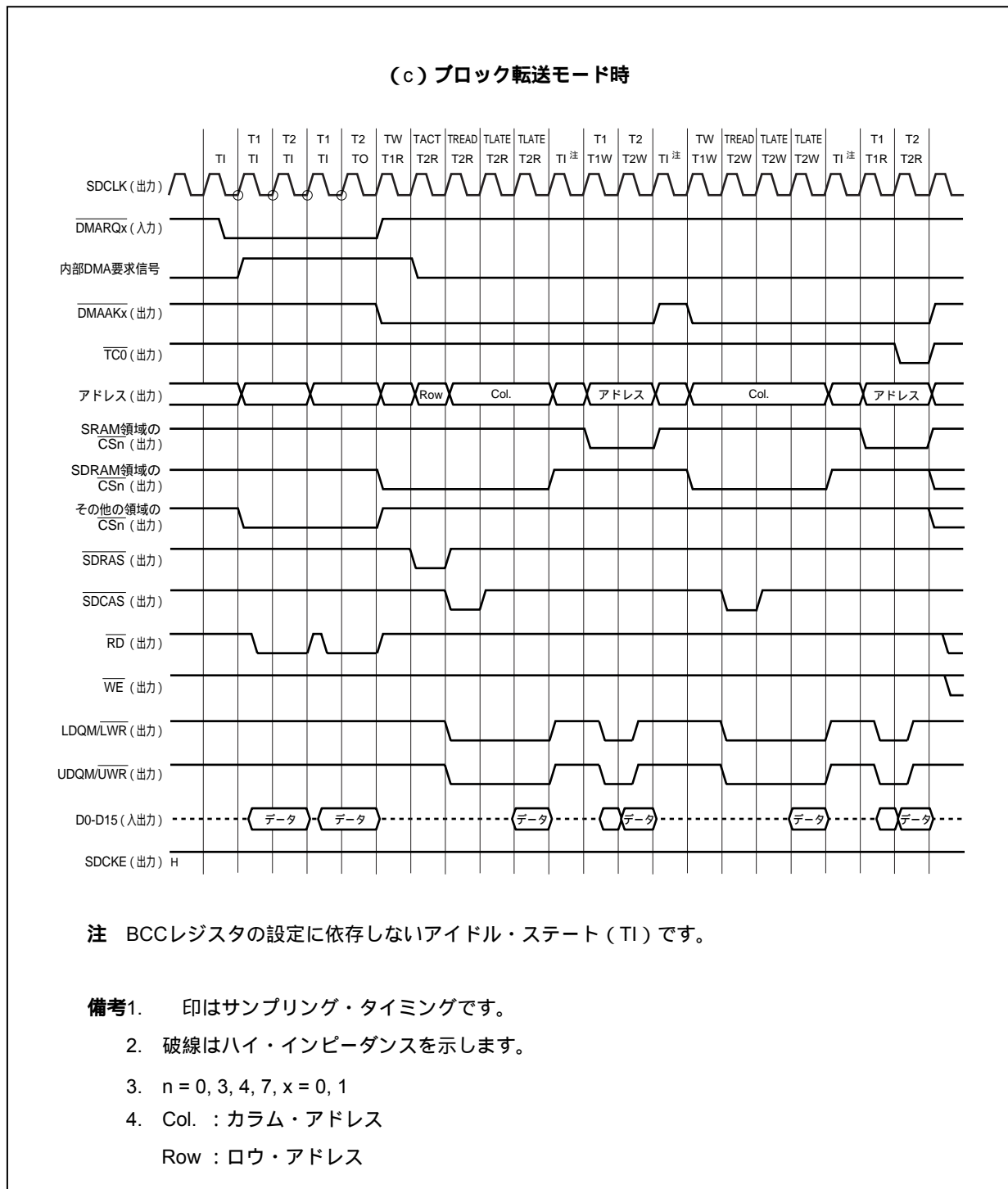


図6 - 11 2サイクルDMA転送時のタイミング (SDRAM SRAM) (3/3)



6.7 転送対象

6.7.1 転送の種類と転送対象

転送の種類と転送対象の関係を次に示します（○：転送可，×：転送不可）。

表6 - 1 転送の種類と転送対象の関係

		転送先 (2サイクル転送)			
		内蔵周辺I/O	外部I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O				
	外部I/O				
	内蔵RAM			×	
	外部メモリ				

注意1. 表6 - 1に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証しません。

2. DMA転送の転送元，転送先のアドレスに3FFF000H-3FFFFFFHを指定することができません。
転送元，転送先のアドレスには，必ずFFFF000H-FFFFFFHのアドレスを指定してください。

備考1. 2サイクルのDMA転送で転送元と転送先のデータ・バス幅が異なる場合，次のような動作になります。

16ビット転送の場合

- ・16ビット・バス 8ビット・バスへの転送
リード・サイクル (16ビット) が発生し，そのあとライト・サイクル (8ビット) が連続して2回発生します。
- ・8ビット・バス 16ビット・バスへの転送
リード・サイクル (8ビット) が連続して2回発生し，そのあとライト・サイクル (16ビット) が発生します。

8ビット転送の場合

- ・16ビット・バス 8ビット・バスへの転送
リード・サイクル (上位8ビットはハイ・インピーダンス) が発生し，そのあとライト・サイクル (8ビット) が発生します。
- ★ 8ビット・バス 16ビット・バスへの転送
リード・サイクル (8ビット) が発生し，そのあとライト・サイクル (上位8ビットはハイ・インピーダンス) が発生します。転送先に対しては，リトル・エンディアン時は下位，上位の順で，ビッグ・エンディアン時は上位，下位の順で書き込まれます。

2. リトル・エンディアン領域 ビッグ・エンディアン領域の転送もできます。

6.7.2 DMA転送時の外部バス・サイクル

DMA転送時の外部バス・サイクルを次に示します。

表6 - 2 DMA転送時の外部バス・サイクル

転送の種類	転送対象	外部バス・サイクル	
2サイクル転送	内蔵周辺I/O, 内蔵RAM	なし ^注	-
	外部I/O	あり	SRAMサイクル
	外部メモリ	あり	BCTレジスタで設定したメモリ・アクセス・サイクル

注 CPUによるバス・サイクルなど, ほかの外部サイクルを起動可能

6.8 DMAチャンネルの優先順位

DMAチャンネルの優先順位は固定で、次のようになります。

DMAチャンネル0 > DMAチャンネル1 > DMAチャンネル2 > DMAチャンネル3

この優先順位が有効になるのは、TIステートのときだけです。ブロック転送中は転送するチャンネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間 (TI) 中に、ほかの優先順位が高いDMA転送要求が発生した場合は、優先順位が高いDMA転送を行います。

- ★ **注意** 同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられる場合があります。

6.9 ネクスト・アドレス設定機能

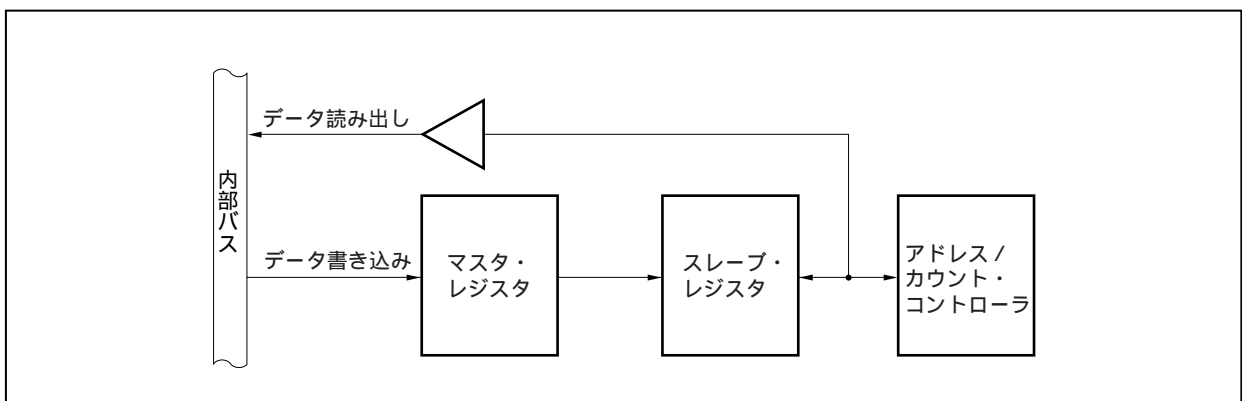
DMAソース・アドレス・レジスタ (DSAnH, DSAnL), DMAデスティネーション・アドレス・レジスタ (DDAnH, DDAnL), DMA転送カウント・レジスタ (DBCn) は2段FIFO構成のバッファ・レジスタです (n = 0-3)。

ターミナル・カウントが発生すると、これらのレジスタは直前に設定された値に自動的に書き換えられます。

したがって、DMA転送中に、これらのレジスタに対して新たなDMA転送の設定を行い、DCHCnレジスタのEnnビットをセット (1) し、MLEnビットがセット (1) されていれば、転送が自動的に開始します (ただし、自動的にDMA転送が開始される場合でもDMA転送終了割り込みは発生します)。

次にバッファ・レジスタの構成を示します。

図6 - 12 バッファ・レジスタの構成



6.10 DMA転送起動要因

DMA転送の起動要因には、次の3種類があります。

(1) 外部端子 ($\overline{\text{DMARQn}}$) による要求

$\overline{\text{DMARQn}}$ 端子からの要求は、CLKOUT信号の立ち上がりごとにサンプリングされます ($n = 0, 1$)。

$\overline{\text{DMARQn}}$ 端子からの要求は、対応するDMAAKn信号がアクティブになるまで保持してください。

DCHCnレジスタのEnnビット = 1, TCnビット = 0 ($n = 0-3$) の状態に設定すると、T1ステートでの $\overline{\text{DMARQn}}$ 信号 ($n = 0, 1$) が有効となります。T1ステートで $\overline{\text{DMARQn}}$ 信号がアクティブになると、T0ステートに移行してDMA転送を開始します。

(2) ソフトウェアによる要求

DCHCnレジスタのSTGn, Enn, TCnビットが次のように設定されると、DMA転送を開始します ($n = 0-3$)。

- ・ STGnビット = 1
- ・ Ennビット = 1
- ・ TCnビット = 0

(3) 内蔵周辺I/Oによる要求

DCHCnレジスタのEnn, TCnビットが次のように設定されている状態で、DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると、DMA転送要求を開始します ($n = 0-3$)。

- ・ Ennビット = 1
- ・ TCnビット = 0

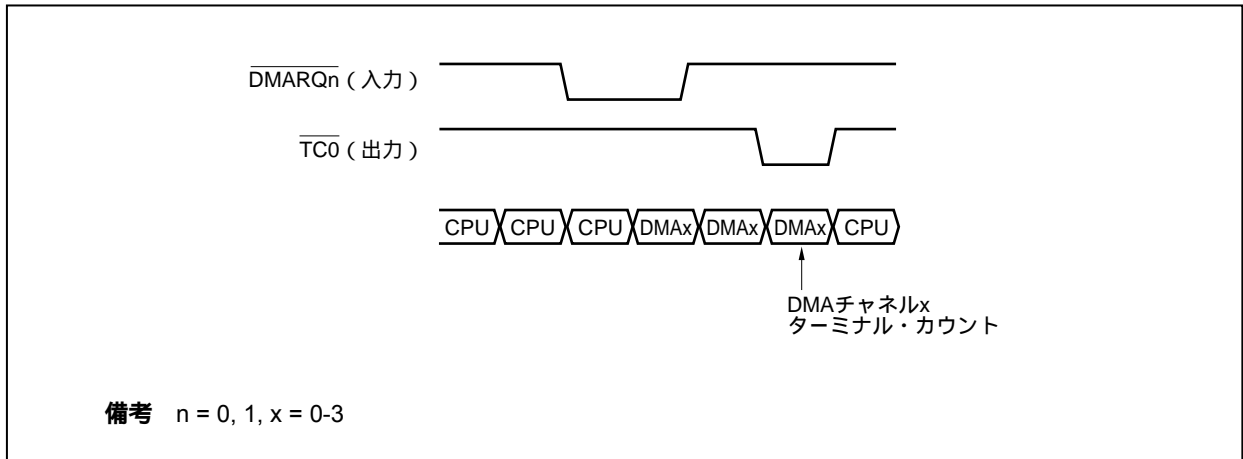
備考 $\overline{\text{DMARQn}}$ 信号はレベルでサンプリングされますが、 $\overline{\text{DMARQn}}$ 信号を使用せずに外部割り込み要求をDMAの起動トリガに設定することにより、DMA要求をエッジ検出として動作させることができます ($n = 0, 1$)。

6.11 DMA転送完了時のターミナル・カウント出力

最終DMA転送サイクル中、ターミナル・カウント信号 ($\overline{TC0}$) が1クロックの間アクティブになります。

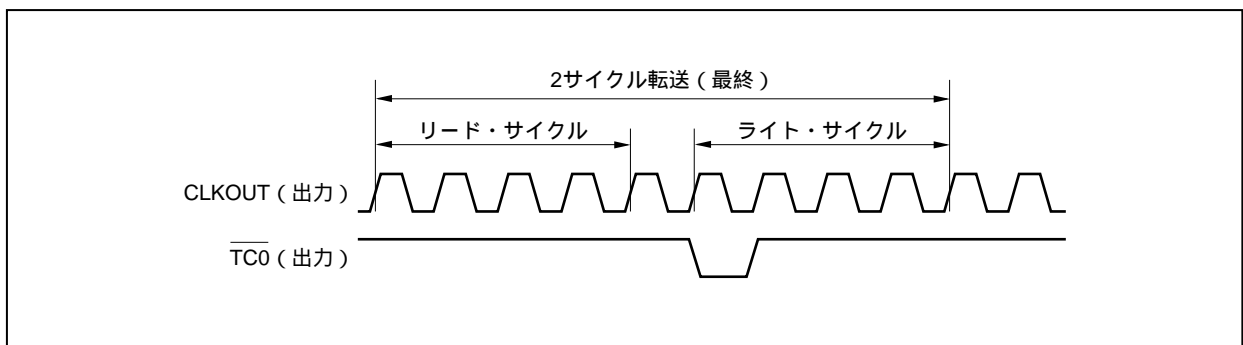
2サイクル転送の場合の $\overline{TC0}$ 信号は、最終DMA転送のライト・サイクルの先頭で1クロック間アクティブになります。

図6 - 13 ターミナル・カウント信号 ($\overline{TC0}$) タイミング例



★

図6 - 14 ターミナル・カウント信号 ($\overline{TC0}$) 出力例



6.12 強制中断

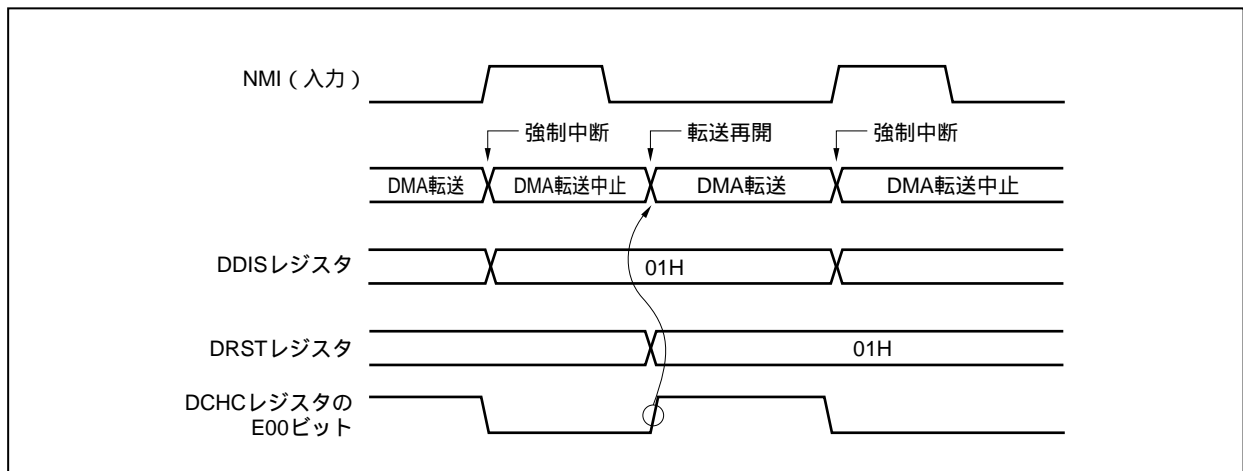
DMA転送中のNMI入力により、DMA転送を強制的に中断できます。

このときDMACは、すべてのチャンネルのDCHCnレジスタのEnnビットをクリア(0)して、DMA転送禁止状態にし、NMI入力時に実行していたDMA転送を完了してから、NMI要求を受け付けます(n = 0-3)。

シングルステップ転送モード時、ブロック転送モード時は、DMA転送要求がDMACに保持されます。DRSTレジスタのENnビットをセット(1)するとDMA転送を中断した時点からDMA転送を再開します。

シングル転送モード時は、DRSTnレジスタのENnビットをセット(1)すると次のDMA転送要求を受け付けて、DMA転送を開始します。

図6 - 15 DMA転送の強制中断例

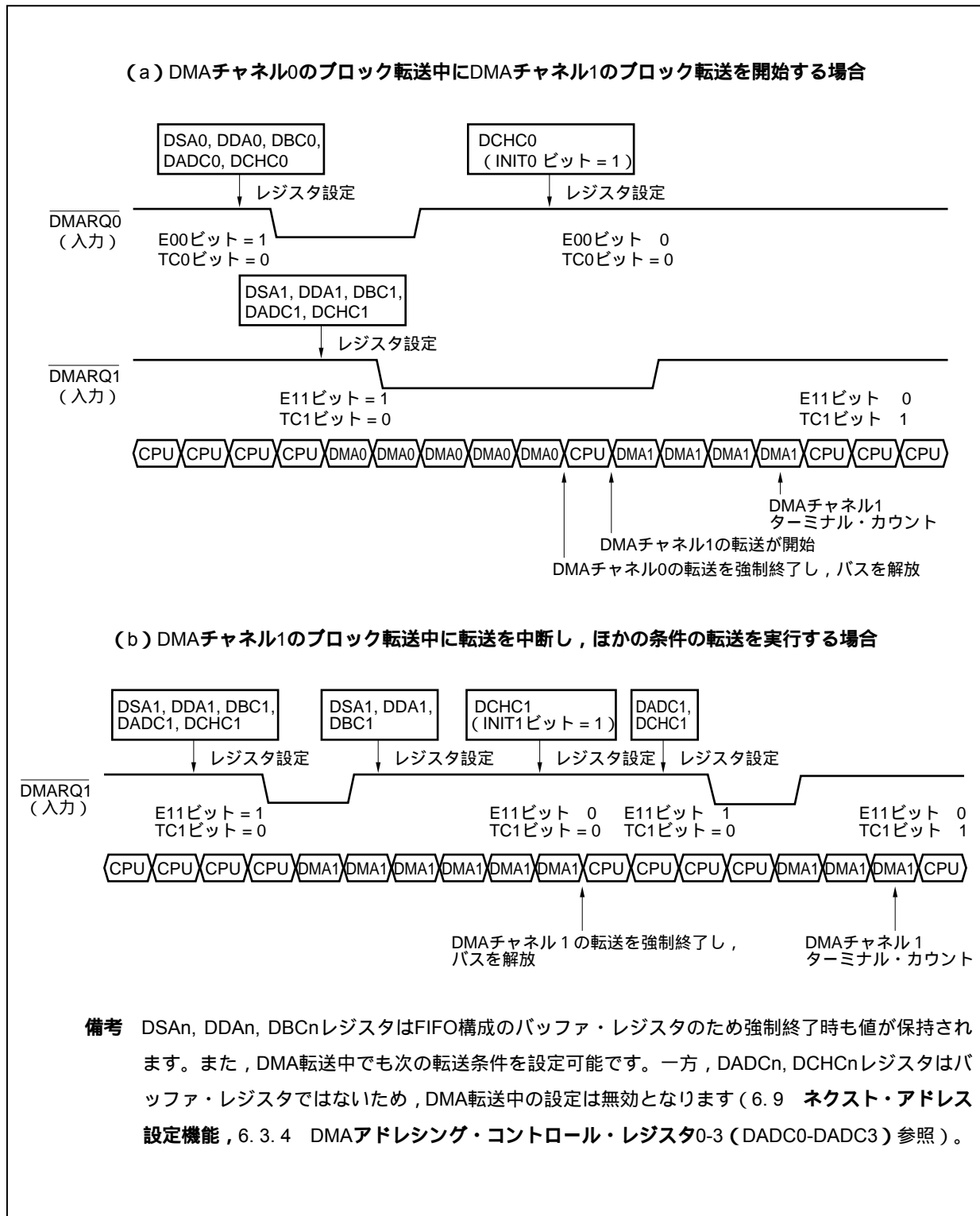


6.13 強制終了

DMA転送は、NMI入力による強制中断のほかに、DCHCnレジスタのINITnビットによって強制終了することができます (n = 0-3)。

DCHCnレジスタのINITnビットによる強制終了動作の例を次に示します (n = 0-3)

図6 - 16 DMA転送の強制終了例



6.14 DMA転送に関する各種時間

DMA転送前後のオーバーヘッド部分、DMA転送にかかる最小クロック数を次に示します。外部メモリ・アクセスの場合は、接続する外部メモリに依存します。

表6-3 DMAサイクル中の最小実行クロック数

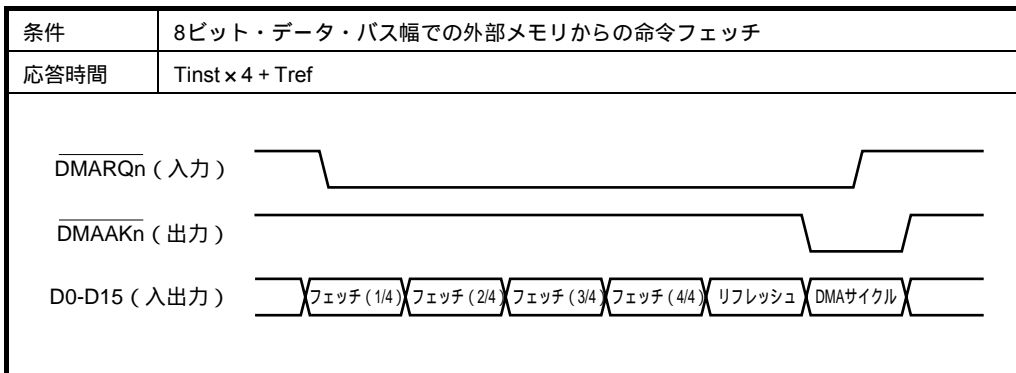
DMAサイクル	最小実行クロック数
DMA $\overline{\text{RQn}}$ 信号を受け付けてからDMA $\overline{\text{AKn}}$ 信号が立ち下がるまで	4クロック
外部メモリ・アクセス	接続するメモリにより異なります。
内蔵RAMアクセス	1クロック

備考 n = 0, 1

6.15 DMA要求に対する応答時間の最大値

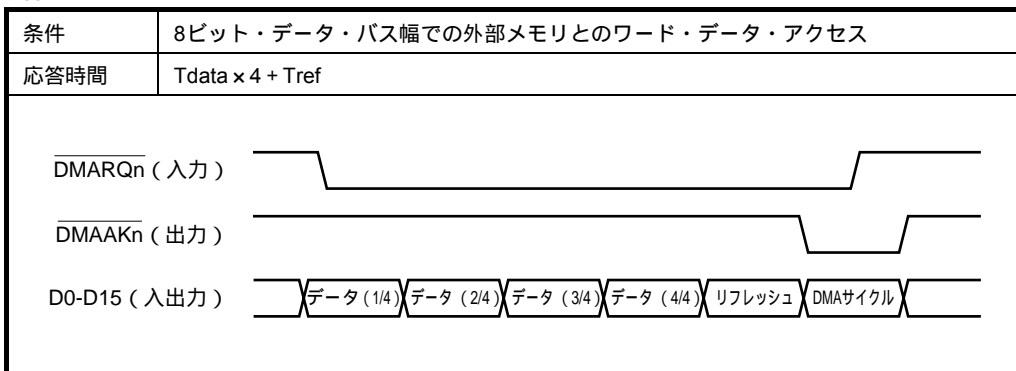
DMA要求に対する応答時間は、次に示す条件のとき最も長くなります(すべて、SDRAMリフレッシュ・サイクルが許可されている状態です)。ただし、より優先順位の高いDMA転送が発生した場合を除きます。

(1) 条件1



備考 n = 0, 1

(2) 条件2



備考 n = 0, 1

(3) 条件3

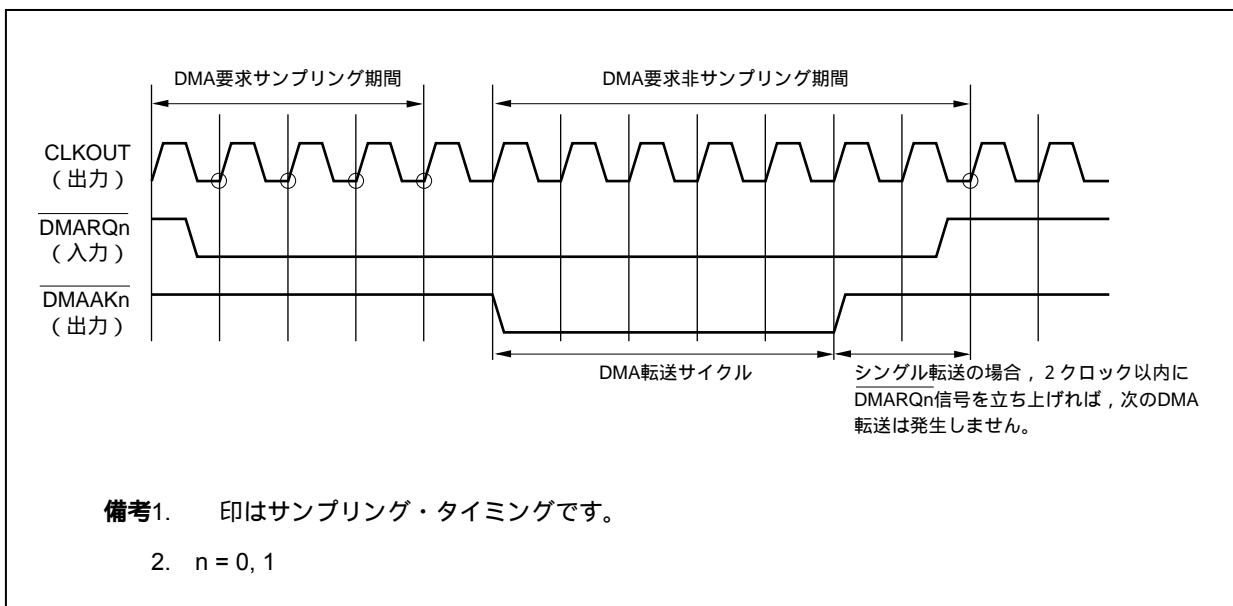
条件	8ビット・データ・バス幅での外部メモリからの命令フェッチ ビット操作命令 (SET1, CLR1, NOT1) の実行
応答時間	$T_{inst} \times 4 + T_{data} \times 2 + T_{ref}$

- 備考1. T_{inst} : 命令フェッチ時の1バス・サイクル当たりのクロック数
 T_{data} : データ・アクセス時の1バス・サイクル当たりのクロック数
 T_{ref} : 1リフレッシュ・サイクル当たりのクロック数
2. $n = 0, 1$

★ 6. 16 $\overline{DMARQ0}$, $\overline{DMARQ1}$ 信号によるシングル転送時の1回転送

シングル転送実行後における \overline{DMARQn} 信号のサンプリングは、DMA転送のサイクル終了後、3クロック目のクロックの立ち上がりで行われます。このため、 \overline{DMARQn} 信号により、外部メモリに対してシングル転送を実行した場合、1回だけの転送を行うためには、 \overline{DMAAKn} 信号がインアクティブになってから2クロック以内に、 \overline{DMARQn} 信号をインアクティブにする必要があります ($n = 0, 1$)。

★ 図6 - 17 1回だけのシングル転送を行うための時間



6. 17 注意事項

(1) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象 (外部メモリ、内蔵RAM、周辺I/O) の領域を越えた場合の動作は保証しません。

(2) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

(3) CPUへのバス・アービトレーション

外部デバイスを対象とするDMA転送の場合、CPUは内蔵RAM (DMAの転送対象でない場合) にアクセスできます。

★ (4) $\overline{\text{DMARQn}}$ 信号の保持

$\overline{\text{DMARQn}}$ 信号は、 $\overline{\text{DMAAKn}}$ 信号がアクティブになるまで必ずアクティブ・レベルを保持してください ($n = 0, 1$)。

$\overline{\text{DMAAKn}}$ 信号がアクティブになる前に $\overline{\text{DMARQn}}$ 信号をインアクティブにした場合、DMA転送が行われないうちがあります。

(5) $\overline{\text{DMAAKn}}$ 信号出力

転送対象が内蔵RAMの場合、内蔵RAMに対するDMAサイクル中は $\overline{\text{DMAAKn}}$ 信号が出力されません (たとえば、内蔵RAMから外部メモリへの2サイクル転送を行った場合、 $\overline{\text{DMAAKn}}$ 信号は外部メモリに対するDMAのライト・サイクル時のみ出力されます) ($n = 0, 1$)。

★ (6) DMAの起動要因

同じ起動要因で複数のDMAチャネルを起動しないでください。起動した場合、優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられる場合があります。

6. 17. 1 中断要因

DMA転送は、次の要因が発生すると中断されます。

バス・ホールド
リフレッシュ・サイクル

DMA転送を中断する要因がなくなると、引き続きDMA転送を再開します。

6. 18 DMA転送の終了

DMA転送が終了し、 DCHCn レジスタの TCn ビットがセット (1) されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み (INTDMA_n) を発生します ($n = 0-3$)。

第7章 割り込み / 例外処理機能

V850E/MA2は、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計27要因の割り込み要求を処理できる強力な割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850E/MA2では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

7.1 特 徴

割り込み

- ・ ノンマスカブル割り込み : 1要因
- ・ マスカブル割り込み : 26要因
- ・ 8レベルのプログラマブル優先順位制御 (マスカブル割り込み)
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスカブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外 : 32要因
- ・ 例外トラップ : 2要因 (不正命令コード例外, デバッグ・トラップ)

これらの割り込み / 例外要因を表7 - 1に示します。

表7-1 割り込み / 例外要因一覧

種類	分類	割り込み / 例外要因				デフォルト・プライオリティ	例外コード	ハンドラ・アドレス	復帰PC
		名称	制御レジスタ	発生要因	発生ユニット				
リセット	割り込み	RESET	-	リセット入力	-	-	0000H	00000000H	不定
ノンマスクابل	割り込み	NMI0	-	NMI入力	-	-	0010H	00000010H	nextPC
ソフトウェア例外	例外	TRAP0 ⁿ _注	-	TRAP命令	-	-	004 ⁿ H _注	00000040H	nextPC
	例外	TRAP1 ⁿ _注	-	TRAP命令	-	-	005 ⁿ H _注	00000050H	nextPC
例外トラップ	例外	ILGOP/ DBG0	-	不正命令コード/ DBTRAP命令	-	-	0060H	00000060H	nextPC
マスクابل	割り込み	INTOV00	OVIC00	タイマ00オーバフロー	RPU	0	0080H	00000080H	nextPC
	割り込み	INTOV01	OVIC01	タイマ01オーバフロー	RPU	1	0090H	00000090H	nextPC
	割り込み	INTP000/ INTM000	P00IC0	INTP000端子/ CCC00一致	端子/ RPU	4	00C0H	000000C0H	nextPC
	割り込み	INTP001/ INTM001	P00IC1	INTP001端子/ CCC01一致	端子/ RPU	5	00D0H	000000D0H	nextPC
	割り込み	INTP010/ INTM010	P01IC0	INTP010端子/ CCC10一致	端子/ RPU	6	00E0H	000000E0H	nextPC
	割り込み	INTP011/ INTM011	P01IC1	INTP011端子/ CCC11一致	端子/ RPU	7	00F0H	000000F0H	nextPC
	割り込み	INTP100	P10IC0	INTP100端子	端子	12	0140H	00000140H	nextPC
	割り込み	INTP101	P10IC1	INTP101端子	端子	13	0150H	00000150H	nextPC
	割り込み	INTP110	P11IC0	INTP110端子	端子	16	0180H	00000180H	nextPC
	割り込み	INTCMD0	CMICD0	CMD0一致信号	RPU	28	0240H	00000240H	nextPC
	割り込み	INTCMD1	CMICD1	CMD1一致信号	RPU	29	0250H	00000250H	nextPC
	割り込み	INTCMD2	CMICD2	CMD2一致信号	RPU	30	0260H	00000260H	nextPC
	割り込み	INTCMD3	CMICD3	CMD3一致信号	RPU	31	0270H	00000270H	nextPC
	割り込み	INTDMA0	DMAIC0	DMA0転送終了	DMA	32	0280H	00000280H	nextPC
	割り込み	INTDMA1	DMAIC1	DMA1転送終了	DMA	33	0290H	00000290H	nextPC
	割り込み	INTDMA2	DMAIC2	DMA2転送終了	DMA	34	02A0H	000002A0H	nextPC
	割り込み	INTDMA3	DMAIC3	DMA3転送終了	DMA	35	02B0H	000002B0H	nextPC
	割り込み	INTCSI0	CSIIC0	CSI0送受信完了	SIO	36	02C0H	000002C0H	nextPC
	割り込み	INTSER0	SEIC0	UART0受信エラー	SIO	37	02D0H	000002D0H	nextPC
	割り込み	INTSR0	SRIC0	UART0受信完了	SIO	38	02E0H	000002E0H	nextPC
	割り込み	INTST0	STIC0	UART0送信完了	SIO	39	02F0H	000002F0H	nextPC
	割り込み	INTCSI1	CSIIC1	CSI1送受信完了	SIO	40	0300H	00000300H	nextPC
	割り込み	INTSER1	SEIC1	UART1受信エラー	SIO	41	0310H	00000310H	nextPC
	割り込み	INTSR1	SRIC1	UART1受信完了	SIO	42	0320H	00000320H	nextPC
割り込み	INTST1	STIC1	UART1送信完了	SIO	43	0330H	00000330H	nextPC	
割り込み	INTAD	ADIC	A/D変換終了	ADC	48	0380H	00000380H	nextPC	

注 nは0-FHの値

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスクブル割り込み要求が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み / 例外処理起動時に、EIPCまたはFEPCにセーブされるPC値のことです。ただし、除算命令(DIV, DIVH, DIVU, DIVHU)実行中に割り込みを受け付けたときセーブされる復帰PC値は、カレントの命令(DIV, DIVH, DIVU, DIVHU)のPC値となります。

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4)で求められます。

7.2 ノンマスクブル割り込み

ノンマスクブル割り込み要求は、割り込み禁止(DI)状態であっても無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求に対して最優先の割り込み要求です。

ノンマスクブル割り込み要求は、NMI端子によって行います。NMI端子入力に外部割り込みモード・レジスタ0(INTM0)のビット0(ESN0)で指定した有効エッジが検出されたとき、割り込みは発生します。

ノンマスクブル割り込みのサービス・プログラムを実行している(PSW.NP = 1)場合は、ノンマスクブル割り込み要求は、保留されます。保留されたノンマスクブル割り込みは、現在実行中のノンマスクブル割り込みサービス・プログラムの終了後(RETI命令実行後)または、LDSR命令によりPSW.NP = 0にすると受け付けられます。ただし、ノンマスクブル割り込みサービス・プログラム実行中に、ノンマスクブル割り込み要求が2回以上発生しても、PSW.NP = 0後に受け付けられるノンマスクブル割り込みは1回だけになります。

備考 PSW.NP : PSWレジスタのNPビット

7.2.1 動作

NMI入力によりノンマスクブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

ECRの上位ハーフワード (FECC) に例外コード (0010H) を書き込みます。

PSWのNP, IDビットをセットし, EPビットをクリアします。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を図7-1に示します。

図7-1 ノンマスクブル割り込みの処理形態

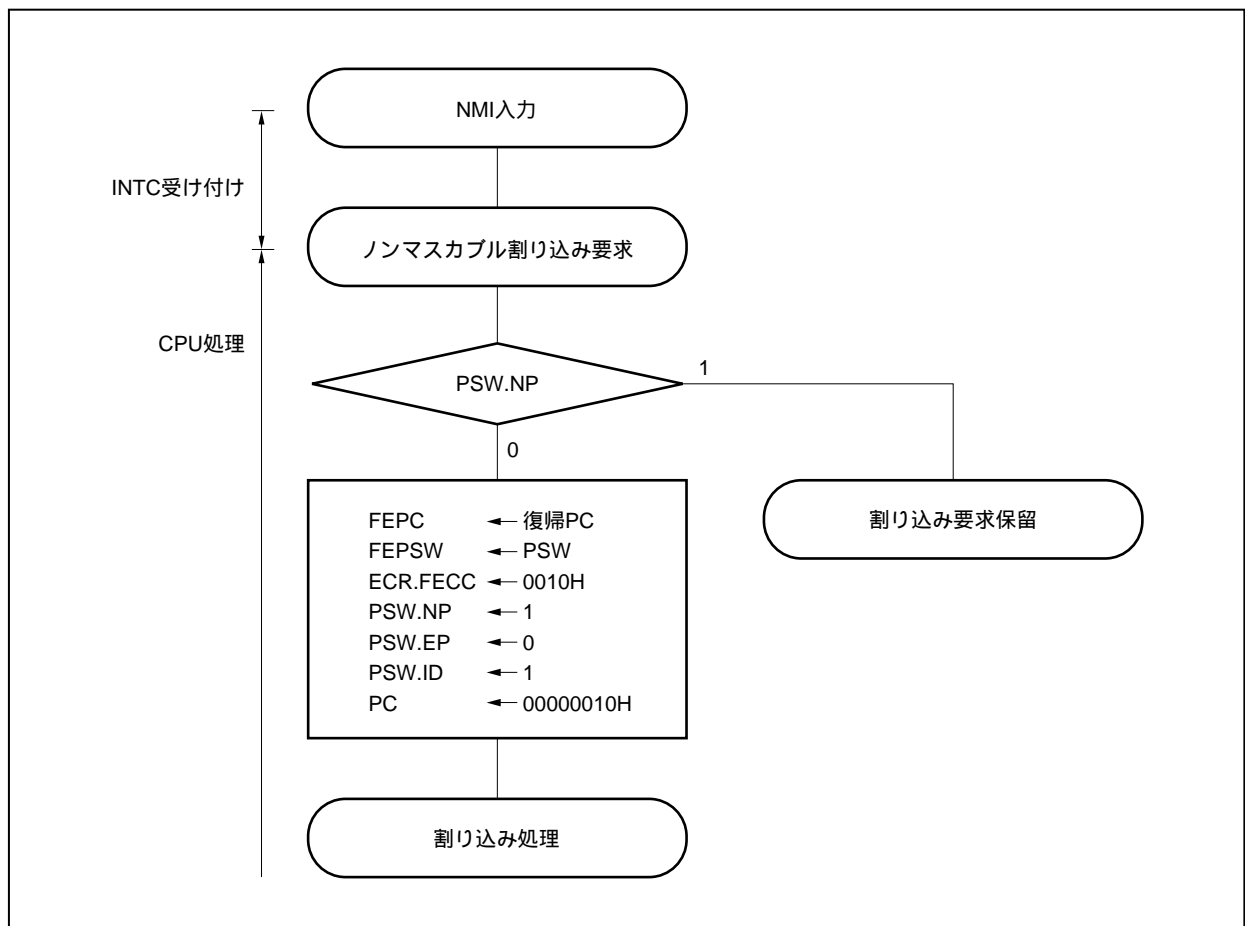
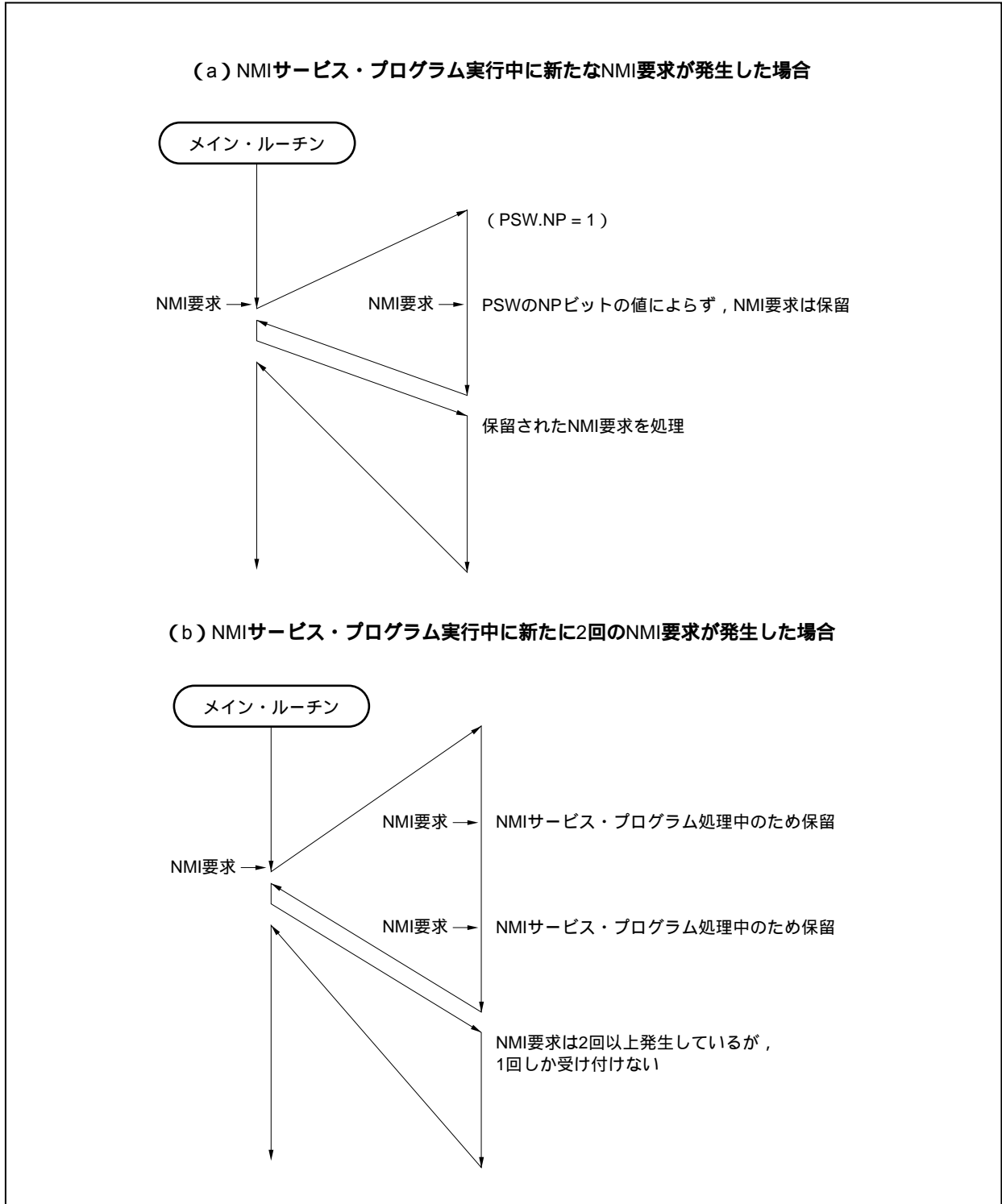


図7-2 ノンマスクブル割り込み要求の受け付け動作

★



7.2.2 復 帰

ノンマスクابل割り込み処理からの復帰は、RETI命令により行います。

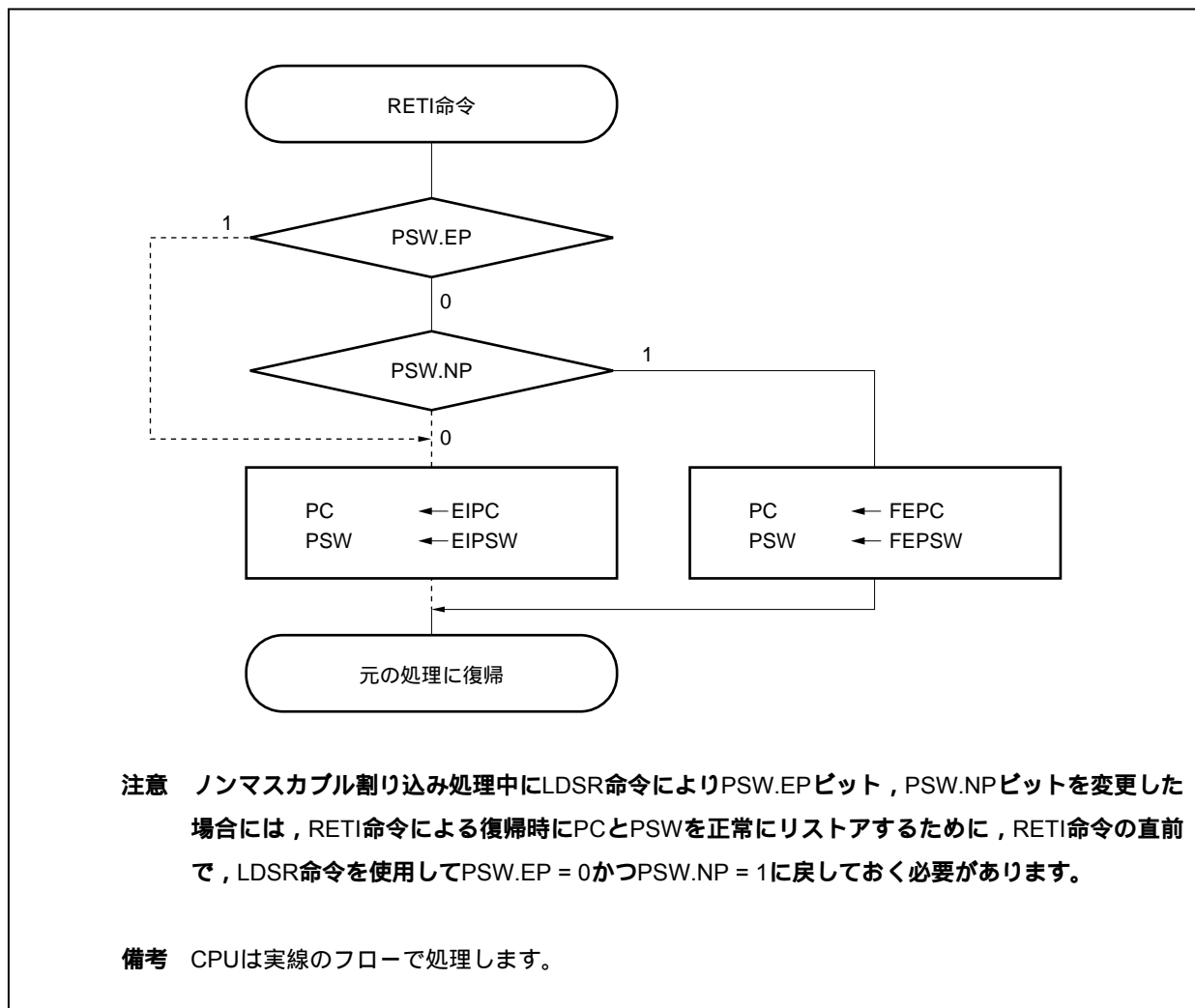
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSWのEPビットが0かつPSWのNPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図7 - 3に示します。

図7 - 3 RETI命令の処理形態



7.2.3 ノンマスクブル割り込みステータス・フラグ (NP)

NPフラグは、PSWのビット7です。NPフラグは、ノンマスクブル割り込み (NMI) の処理中であることを示すステータス・フラグです。

NMI割り込み要求を受け付けるとセットされ、すべての割り込みと例外をマスクして多重割り込みを禁止します。

PSW	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center;">31</td> <td style="text-align: center;">8</td> <td style="text-align: center;">7</td> <td style="text-align: center;">6</td> <td style="text-align: center;">5</td> <td style="text-align: center;">4</td> <td style="text-align: center;">3</td> <td style="text-align: center;">2</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td style="border: 1px solid black;">0</td><td style="border: 1px solid black;">0</td><td style="border: 1px solid black;">0</td><td style="border: 1px solid black;">0</td><td style="border: 1px solid black;">0</td><td style="border: 1px solid black;">0</td><td style="border: 1px solid black;">0</td><td style="border: 1px solid black;">0</td><td style="border: 1px solid black;">0</td><td style="border: 1px solid black;">0</td> <td style="border: 1px solid black;">NP</td> <td style="border: 1px solid black;">EP</td> <td style="border: 1px solid black;">ID</td> <td style="border: 1px solid black;">SAT</td> <td style="border: 1px solid black;">CY</td> <td style="border: 1px solid black;">OV</td> <td style="border: 1px solid black;">S</td> <td style="border: 1px solid black;">Z</td> </tr> </table>	31	8	7	6	5	4	3	2	1	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	初期値 00000020H
31	8	7	6	5	4	3	2	1	0																					
0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z													

ビット位置	ビット名	意 味
7	NP	NMI Pending NMI処理中であることを示します。 0 : NMI割り込み処理中でない。 1 : NMI割り込み処理中。

7.2.4 ノイズ除去

NMI端子のノイズは、アナログ・ディレイによって除去されます。ディレイ時間は約60-300 nsです。この時間未満で変化する信号入力は、内部で受け付けられません。

7.2.5 エッジ検出機能

(1) 外部割り込みモード・レジスタ0 (INTM0)

外部割り込みモード・レジスタ0 (INTM0) は、ノンマスクブル割り込み (NMI) の有効エッジを指定するレジスタです。ESN0ビットによって、NMIの有効エッジを、立ち上がりエッジ、立ち下がりエッジのいずれかに指定できます。

8/1ビット単位でリード/ライト可能です。

INTM0	7	6	5	4	3	2	1	⓪	アドレス	初期値
0	0	0	0	0	0	0	0	ESN0	FFFFFF880H	00H

ビット位置	ビット名	意 味
0	ESN0	Edge Select NMI NMI端子の有効エッジを指定します。 0 : 立ち下がりエッジ 1 : 立ち上がりエッジ

7.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、26種類の割り込み要因があります。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを行う場合、次の処理が必要です。

EI命令を実行する前にEIPC, EIPSWをメモリか汎用レジスタに退避

RETI命令を実行する前にDI命令を実行し、続いて退避させた値をEIPC, EIPSWに復帰

7.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

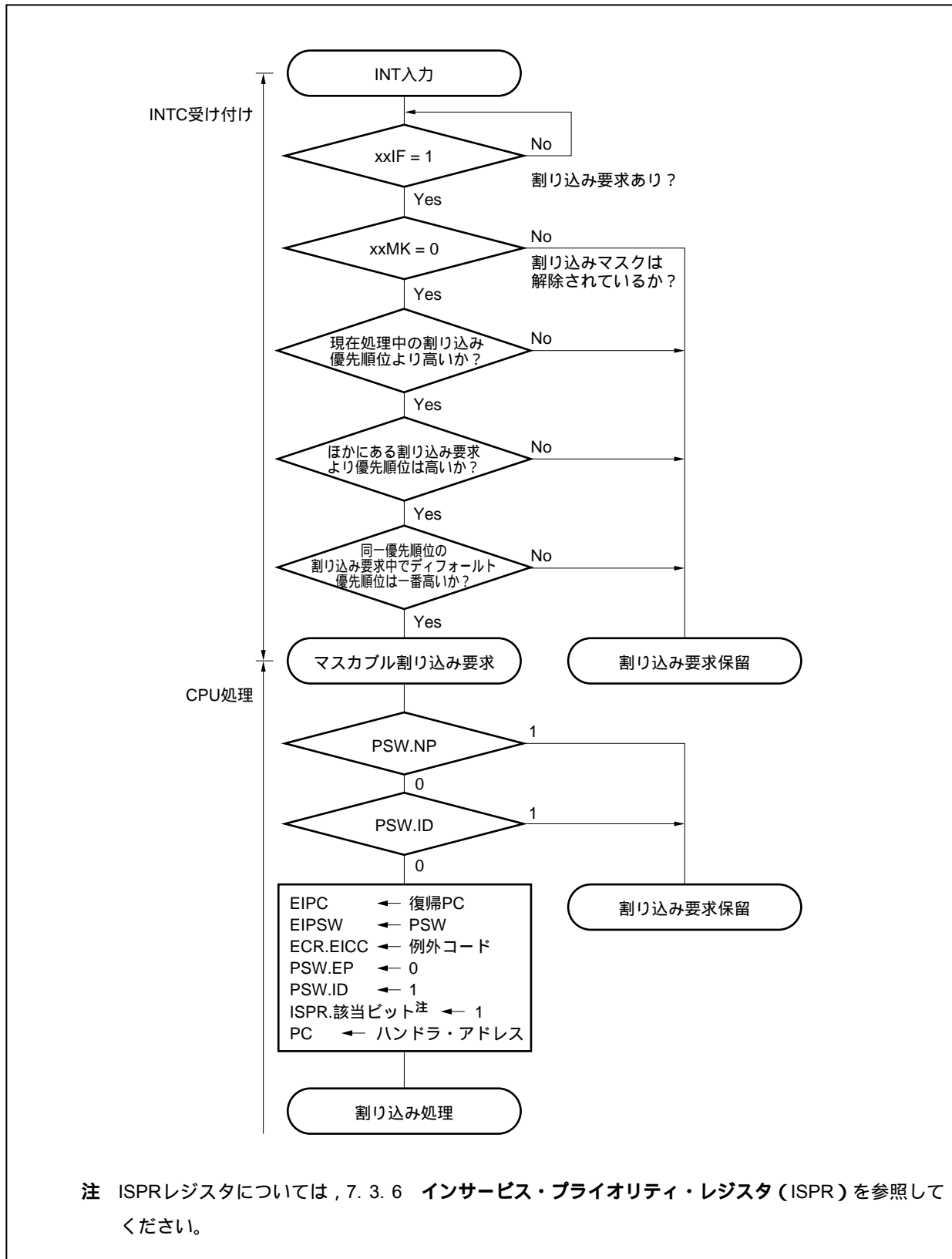
ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

PSWのIDビットをセットし、EPビットをクリアします。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

マスカブル割り込みの処理形態を図7 - 4に示します。

図7-4 マスカブル割り込みの処理形態



割り込みコントローラでマスクされているINT入力と、ほかの割り込み処理中 (PSW.NP = 1またはPSW.ID = 1) に発生したINT入力は、割り込みコントローラの内部で保留されます。この場合マスクを解除するか、またはRETI命令、LDSR命令を使用して、PSW.NP = 0かつPSW.ID = 0にすると、保留していたINT入力により新たなマスカブル割り込み処理が開始されます。

7.3.2 復 帰

マスクブル割り込み処理からの復帰は、RETI命令により行います。

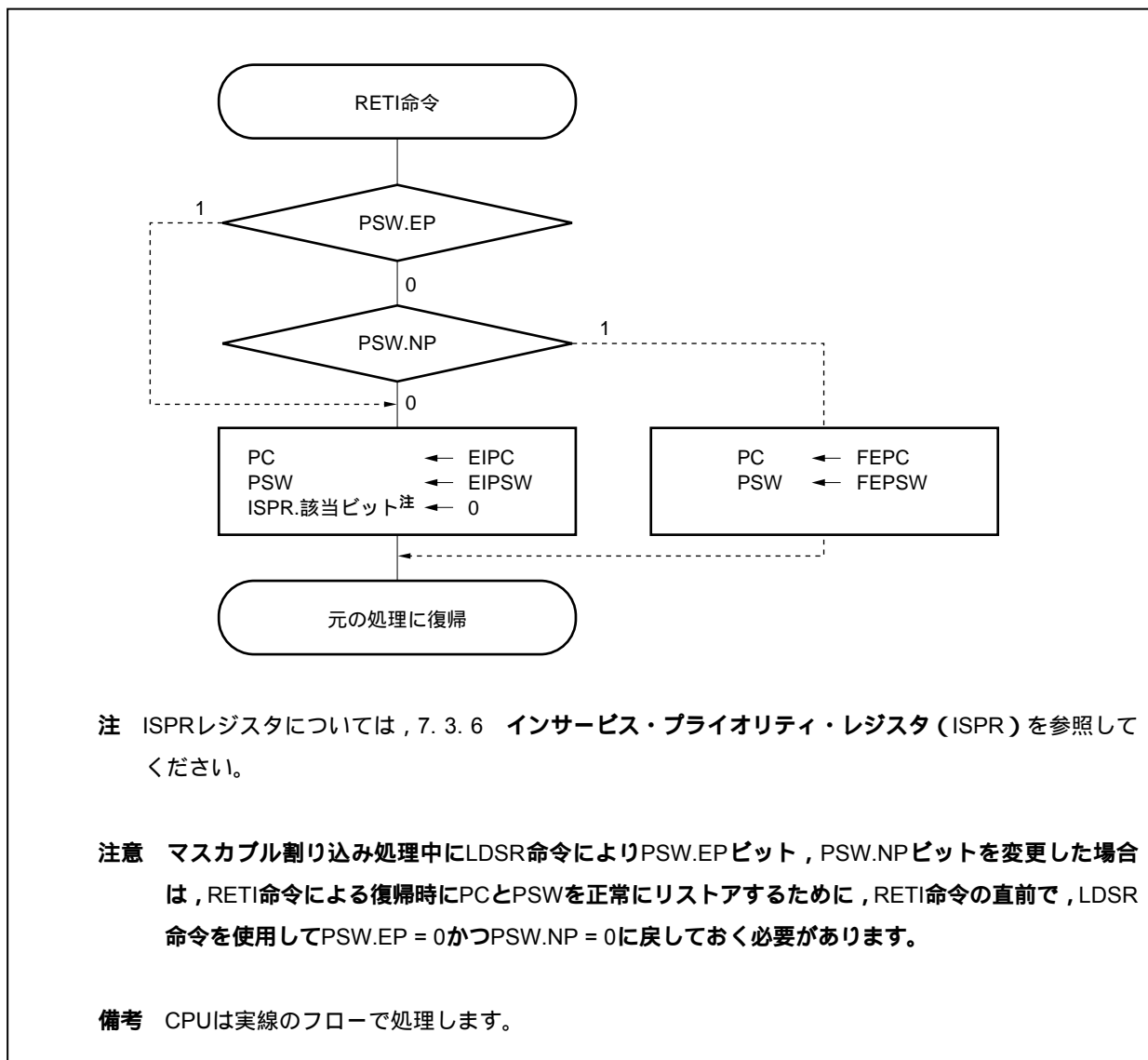
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSWのEPビットが0かつPSWのNPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図7 - 5に示します。

図7 - 5 RETI命令の処理形態



7.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表7-1 **割り込み / 例外要因一覧**参照)。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求を受け付けるとPSWのIDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表7-2参照)

n : 周辺ユニット番号 (表7-2参照)

図7-6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (1/2)

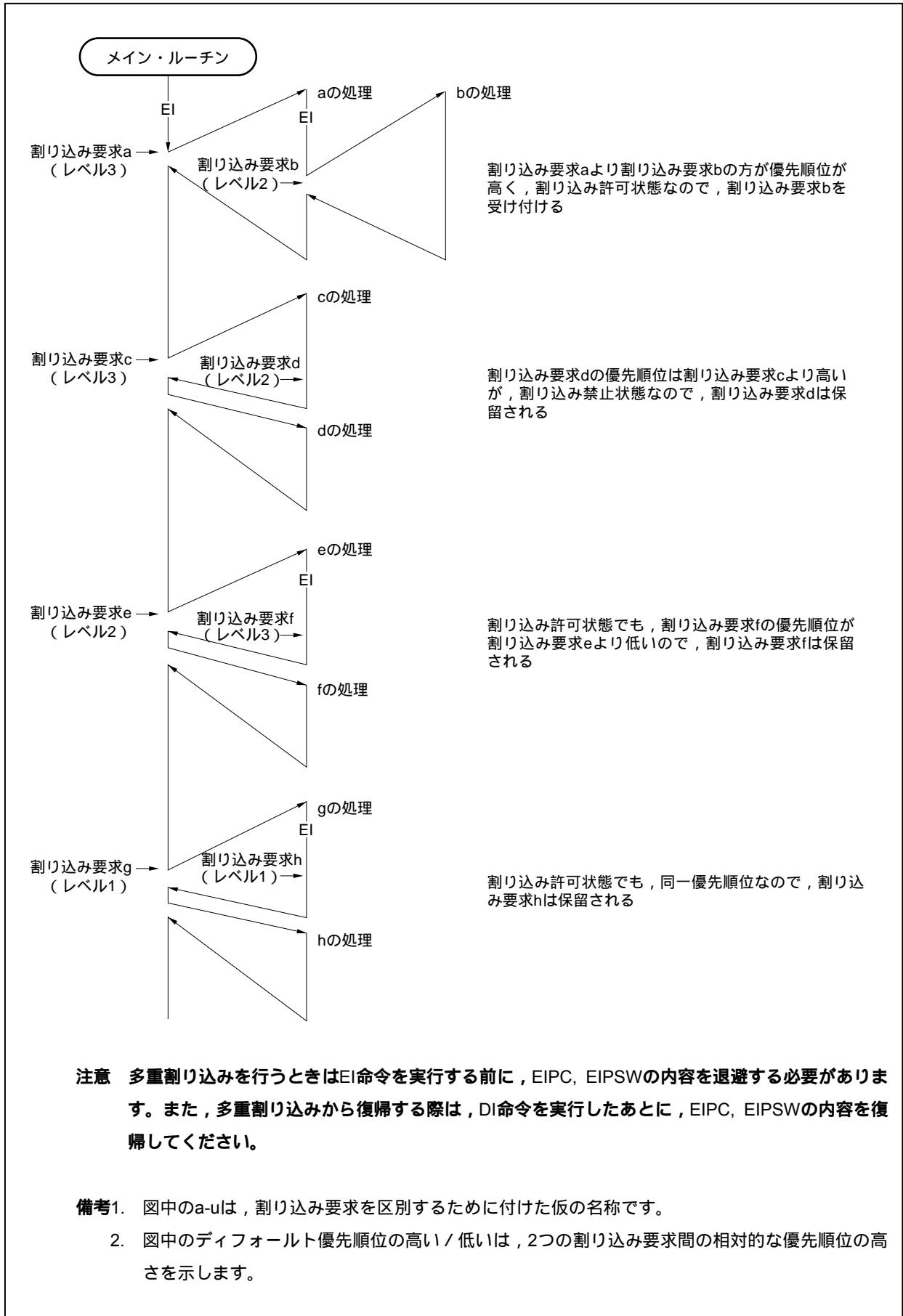


図7-6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

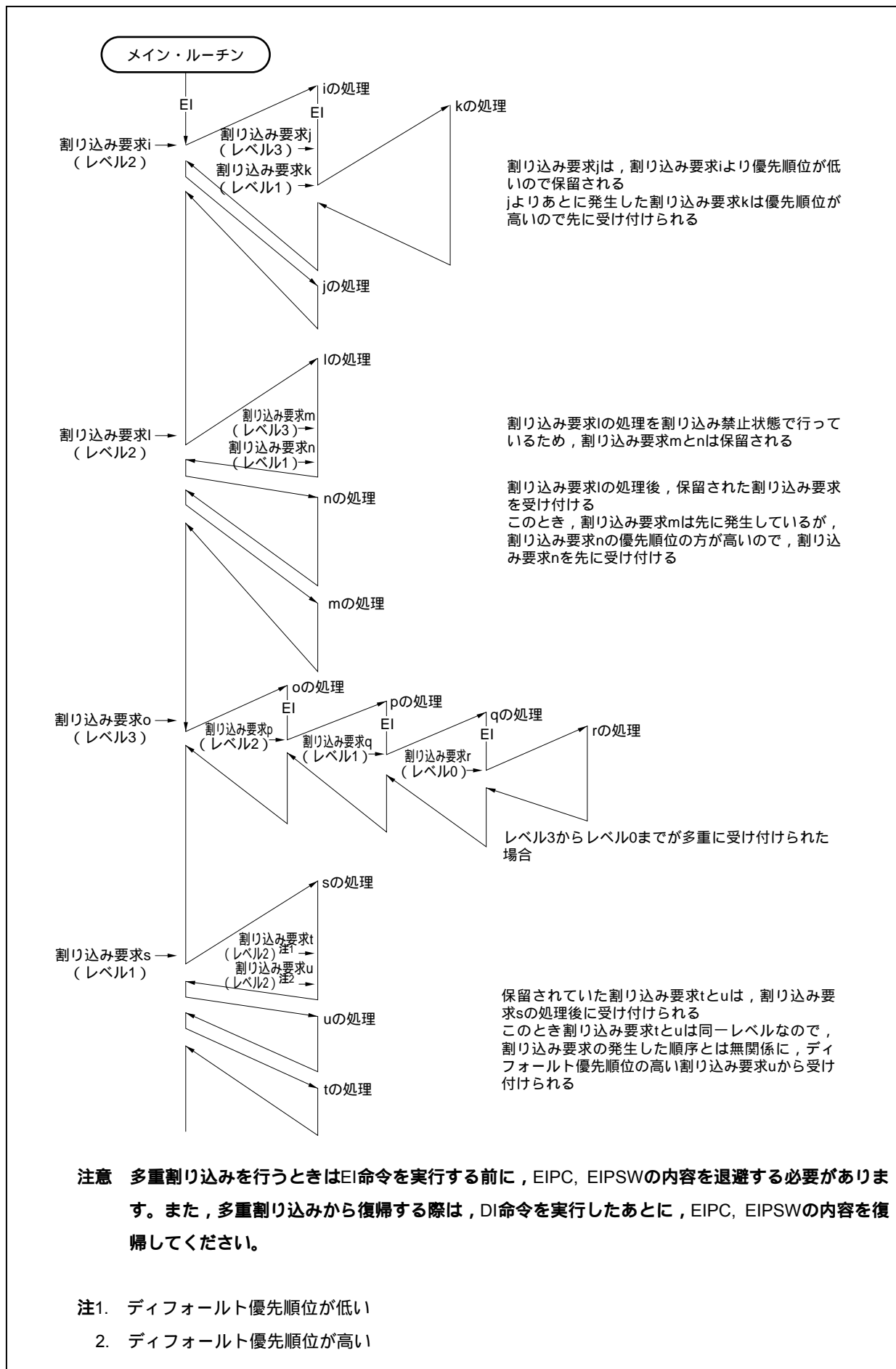
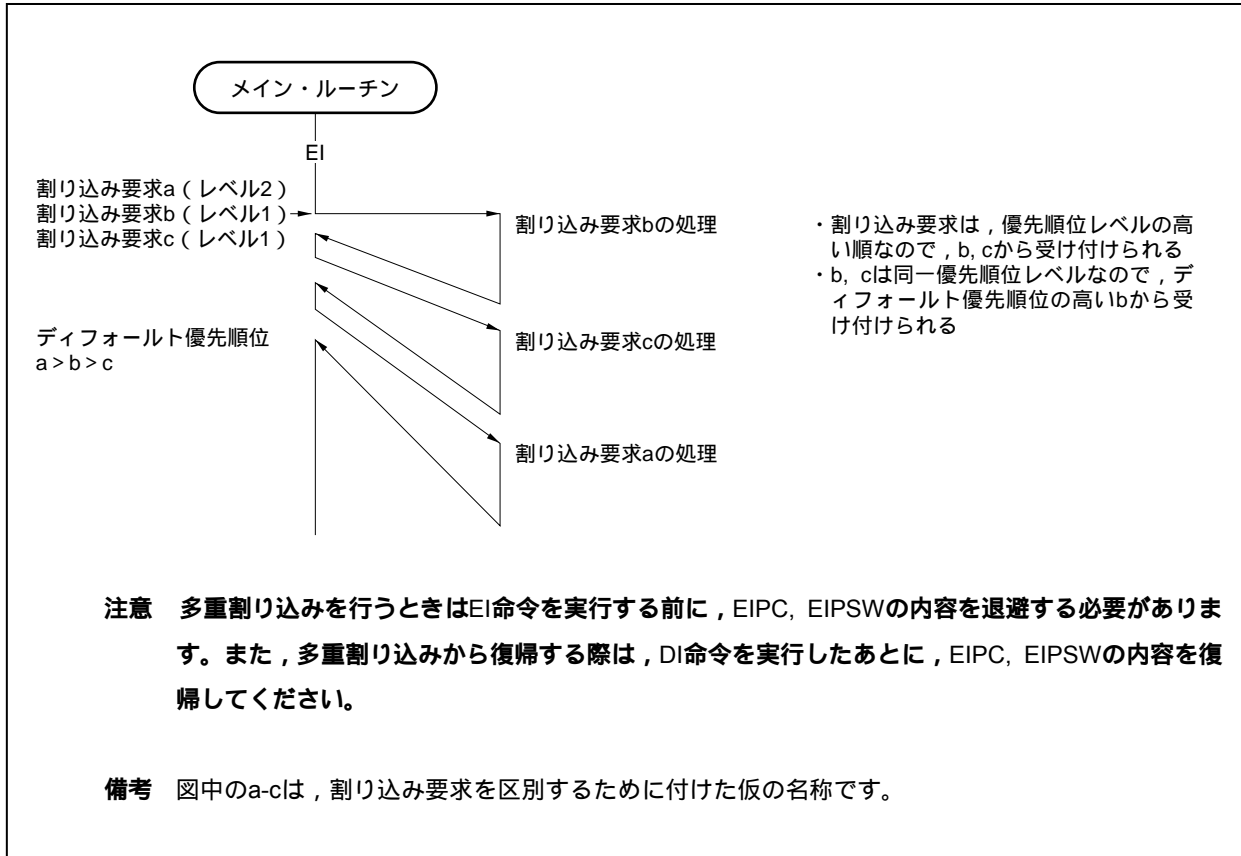


図7 - 7 同時発生した割り込み要求の処理例



7.3.4 割り込み制御レジスタ (xxICn)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。
8/1ビット単位でリード/ライト可能です。

- ★ **注意** xxICnレジスタのxxIFnビットを読み出す場合は, 割り込み禁止状態で行ってください。割り込み許可状態でxxIFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。

	⑦	⑥	5	4	3	2	1	0	アドレス	初期値
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0	FFFFFF110H- FFFFFF170H	47H

ビット位置	ビット名	意味																																				
7	xxIFn	Interrupt Request Flag 割り込み要求フラグです。 0: 割り込み要求なし 1: 割り込み要求あり xxIFnフラグは, 割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。																																				
6	xxMKn	Mask Flag 割り込みマスク・フラグです。 0: 割り込み処理を許可 1: 割り込み処理を禁止 (保留)																																				
2-0	xxPRn2-xxPRn0	Priority 各割り込みごとに8レベルの優先順位を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>xxPRn2</th> <th>xxPRn1</th> <th>xxPRn0</th> <th>割り込み優先順位指定ビット</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>レベル0 (最高位) を指定</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>レベル1を指定</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>レベル2を指定</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>レベル3を指定</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>レベル4を指定</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>レベル5を指定</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>レベル6を指定</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>レベル7 (最低位) を指定</td> </tr> </tbody> </table>	xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット	0	0	0	レベル0 (最高位) を指定	0	0	1	レベル1を指定	0	1	0	レベル2を指定	0	1	1	レベル3を指定	1	0	0	レベル4を指定	1	0	1	レベル5を指定	1	1	0	レベル6を指定	1	1	1	レベル7 (最低位) を指定
xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット																																			
0	0	0	レベル0 (最高位) を指定																																			
0	0	1	レベル1を指定																																			
0	1	0	レベル2を指定																																			
0	1	1	レベル3を指定																																			
1	0	0	レベル4を指定																																			
1	0	1	レベル5を指定																																			
1	1	0	レベル6を指定																																			
1	1	1	レベル7 (最低位) を指定																																			

備考 xx: 各周辺ユニット識別名称 (表7 - 2参照)

n: 周辺ユニット番号 (表7 - 2参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表7-2 割り込み制御レジスタのアドレスとビット

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	OVIC00	OVIF0	OVMK0	0	0	0	OVPR02	OVPR01	OVPR00
FFFFF112H	OVIC01	OVIF1	OVMK1	0	0	0	OVPR12	OVPR11	OVPR10
FFFFF118H	P00IC0	P00IF0	P00MK0	0	0	0	P00PR02	P00PR01	P00PR00
FFFFF11AH	P00IC1	P00IF1	P00MK1	0	0	0	P00PR12	P00PR11	P00PR10
FFFFF11CH	P01IC0	P01IF0	P01MK0	0	0	0	P01PR02	P01PR01	P01PR00
FFFFF11EH	P01IC1	P01IF1	P01MK1	0	0	0	P01PR12	P01PR11	P01PR10
FFFFF128H	P10IC0	P10IF0	P10MK0	0	0	0	P10PR02	P10PR01	P10PR00
FFFFF12AH	P10IC1	P10IF1	P10MK1	0	0	0	P10PR12	P10PR11	P10PR10
FFFFF130H	P11IC0	P11IF0	P11MK0	0	0	0	P11PR02	P11PR01	P11PR00
FFFFF148H	CMICD0	CMIF0	CMMK0	0	0	0	CMPR02	CMPR01	CMPR00
FFFFF14AH	CMICD1	CMIF1	CMMK1	0	0	0	CMPR12	CMPR11	CMPR10
FFFFF14CH	CMICD2	CMIF2	CMMK2	0	0	0	CMPR22	CMPR21	CMPR20
FFFFF14EH	CMICD3	CMIF3	CMMK3	0	0	0	CMPR32	CMPR31	CMPR30
FFFFF150H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF152H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF154H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF156H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF158H	CSIC0	CSIF0	CSIMK0	0	0	0	CSIPR02	CSIPR01	CSIPR00
FFFFF15AH	SEIC0	SEIF0	SEMK0	0	0	0	SEPR02	SEPR01	SEPR00
FFFFF15CH	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFF15EH	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFF160H	CSIC1	CSIF1	CSIMK1	0	0	0	CSIPR12	CSIPR11	CSIPR10
FFFFF162H	SEIC1	SEIF1	SEMK1	0	0	0	SEPR12	SEPR11	SEPR10
FFFFF164H	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFF166H	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFF170H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0

7.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスカブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxICnレジスタのxxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとした場合は、8/1ビット単位でリード/ライト可能です

IMR0レジスタのビット15, 14, 11-8, 3, 2 (IMR0Hレジスタのビット7, 6, 3-0, IMR0Lレジスタのビット3, 2), IMR1レジスタのビット11-1 (IMR1Hレジスタのビット3-0, IMR1Lレジスタのビット7-1), IMR2レジスタのビット15-12 (IMR2Hレジスタのビット7-4), IMR3レジスタのビット15-1 (IMR3Hレジスタのビット7-0, IMR3Lレジスタのビット7-1) は1に固定です。変更した場合の動作は保証できません。

★ **注意** デバイス・ファイルでは、xxICnレジスタのxxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

IMR0	15	14	13	12	11	10	9	8	アドレス	初期値
	1	1	P10MK1	P10MK0	1	1	1	1		
	7	6	5	4	3	2	1	0		
	P01MK1	P01MK0	P00MK1	P00MK0	1	1	OVMK1	OVMK0		
IMR1	15	14	13	12	11	10	9	8	アドレス	初期値
	CMMK3	CMMK2	CMMK1	CMMK0	1	1	1	1		
	7	6	5	4	3	2	1	0		
	1	1	1	1	1	1	1	P11MK0		
IMR2	15	14	13	12	11	10	9	8	アドレス	初期値
	1	1	1	1	STMK1	SRMK1	SEMK1	CSIMK1		
	7	6	5	4	3	2	1	0		
	STMK0	SRMK0	SEMK0	CSIMK0	DMAMK3	DMAMK2	DMAMK1	DMAMK0		
IMR3	15	14	13	12	11	10	9	8	アドレス	初期値
	1	1	1	1	1	1	1	1		
	7	6	5	4	3	2	1	0		
	1	1	1	1	1	1	1	ADMK		

ビット位置	ビット名	意味
13, 12, 7-4, 1, 0 (IMR0)	xxMKn	Mask Flag 割り込みマスク・フラグです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (保留)
15-12, 0 (IMR1)		
11-0 (IMR2)		
0 (IMR3)		

備考 xx : 各周辺ユニット識別名称 (表7 - 2参照)
n : 周辺ユニット番号 (表7 - 2参照)

7.3.8 ノイズ除去

INTP_n, $\overline{\text{INTP}}_m$, TI000, TI010端子のノイズは、アナログ・ディレイによって除去されます。ディレイ時間は約60-220nsです (n = 000, 001, 010, 011, m = 100, 101, 110)。この時間未満で変化する信号入力は、内部で受け付けられません。

7.3.9 割り込みトリガ・モードの選択

INTP0n0端子, INTP0n1端子, $\overline{\text{INTP}}_1n0$ 端子, $\overline{\text{INTP}}_101$ 端子, TI0n0端子は、有効エッジをプログラマブルに選択できます。また、 $\overline{\text{INTP}}_1n0$ 端子, $\overline{\text{INTP}}_101$ 端子は、レベル・トリガも選択できます (n = 0, 1)。選択できる有効エッジについて次に示します。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・立ち上がり / 立ち下がり両エッジ

エッジ検出されたINTP0n0, INTP0n1, INTP1n0, INTP101, TI0n0信号は、割り込み要因やキャプチャ・トリガ入力、タイマの外部カウント入力になります (n = 0, 1)。

有効エッジは、外部割り込みモード・レジスタ1, 2 (INTM1, INTM2)、有効エッジ選択レジスタ (SESC0, SESC1) で指定します。また、レベル・トリガは、外部割り込みモード・レジスタ1, 2 (INTM1, INTM2) で指定します。

(1) 外部割り込みモード・レジスタ1, 2 (INTM1, INTM2)

外部端子による外部割り込み要求 (INTP100, INTP101, INTP110) のトリガ・モードを指定するレジスタです。各レジスタと、そのレジスタが制御する外部割り込み要求との対応を次に示します。

- ・ INTM1 : INTP100, INTP101
- ・ INTM2 : INTP110

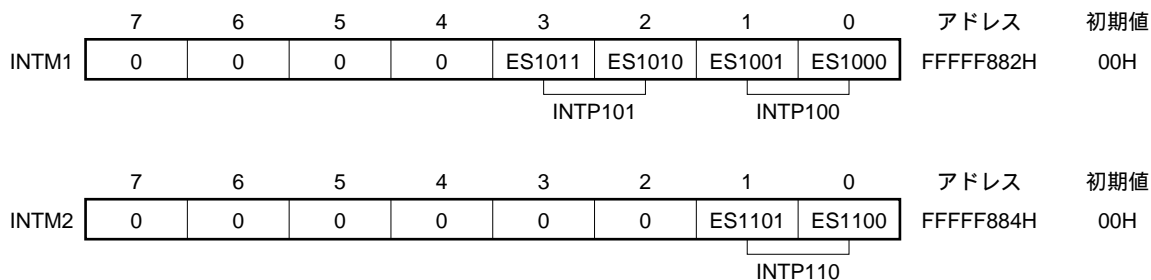
有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8ビット単位でリード/ライト可能です。

INTM1レジスタのビット7-4, INTM2レジスタのビット7-2には必ず0を設定してください。1を設定した場合の動作は保証できません。

★ **注意** $\overline{\text{INTP}}_100$, $\overline{\text{INTP}}_101$, $\overline{\text{INTP}}_110$ 端子のトリガ・モードを設定する場合は、PMCMレジスタを設定したあとで行ってください。

INTM1, INTM2レジスタを設定したあとでPMCMレジスタの設定を行うと、PMCMレジスタの設定タイミングで不正な割り込みが発生することがあります (m = 0, 2)。



ビット位置	ビット名	意味															
3-0 (INTM1) 1, 0 (INTM2)	ES1nm1, ES1nm0 (nm = 00, 01, 10)	Edge Select INTP1nm端子のトリガ・モードを指定します。															
		<table border="1"> <thead> <tr> <th>ES1nm1</th> <th>ES1nm0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>レベル検出(ロウ・レベル検出)^{注1, 2}</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table>	ES1nm1	ES1nm0	動作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	レベル検出(ロウ・レベル検出) ^{注1, 2}	1	1	立ち上がり / 立ち下がり両エッジ
ES1nm1	ES1nm0	動作															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	レベル検出(ロウ・レベル検出) ^{注1, 2}															
1	1	立ち上がり / 立ち下がり両エッジ															

- 注1. INTP1nm端子のレベルは、システム・クロックを2分周したタイミングごとにサンプリングされ、ロウ・レベルを検出するとP1nIFmビットとして割り込み要求がラッチされます。このため、CPUが割り込みを受け付けて、割り込み制御レジスタ(P1nICm)のP1nIFmビットが自動的にクリア(0)されても、すぐにP1nIFmビットがセット(1)され、連続的に割り込みが発生します。この状態を回避するためには、割り込み処理ルーチン内で、外部デバイスに対してINTP1nm端子をインアクティブにする処理を行ったあと、P1nIFmビットを強制的にクリア(0)してください(nm = 00, 01, 10)。
2. ある割り込み処理中に、より優先順位の低いレベル検出割り込み要求(INTP1nm)が発生し、現在の割り込み処理が終了する前に、新たに発生したレベル検出割り込み(INTP1nm)がインアクティブになった場合、新たに発生した割り込み(INTP1nm)の割り込み要求は保留されます。このINTP1nmの割り込み要求を受け付けたくない場合は、割り込み制御レジスタのP1nIFmビットをクリアしてください(nm = 00, 01, 10)。

(2) 有効エッジ選択レジスタC0, C1 (SESC0, SESC1)

外部端子による外部割り込み要求 (INTP000, INTP001, INTP010, INTP011, TI000, TI010) の有効エッジを指定するレジスタです。各レジスタと、そのレジスタが制御する外部割り込み要求との対応を次に示します。

- ・ SESC0 : TI000, INTP000, INTP001
- ・ SESC1 : TI010, INTP010, INTP011

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

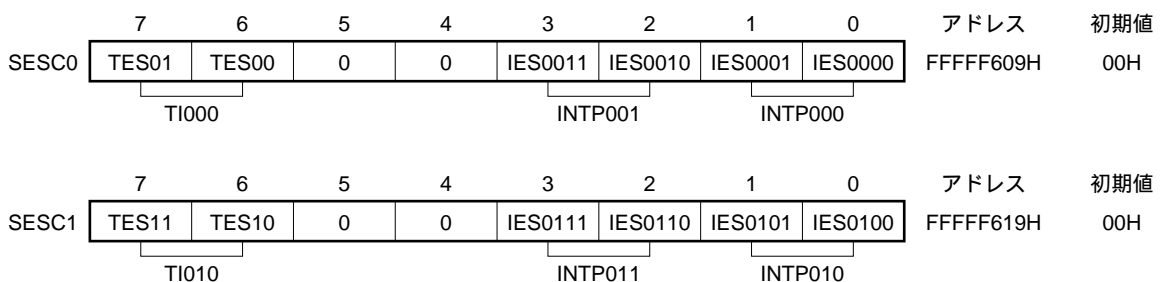
各レジスタとも8ビット単位でリード / ライト可能です。

注意1. INTP0n0/TI0n0端子またはINTP0n1端子をINTP0n0, INTP0n1として使用する場合は、タイマ・モード・コントロール・レジスタCn0 (TMCCn0) のTMCCAEnビットを必ずセット (1) してから使用してください (n = 0, 1)。

★

2. TI0n0, INTP0n1, INTP0n0端子のトリガ・モードを設定する場合は、PMCnレジスタを設定したあとで行ってください。

SESCnレジスタを設定したあとでPMCnレジスタの設定を行うと、PMCnレジスタの設定タイミングで不正な割り込みが発生することがあります (n = 0, 1)。



ビット位置	ビット名	意 味															
7, 6	TESn1, TESn0 (n = 0, 1)	Edge Select INTPn端子, TI000, TI010端子の有効エッジを指定します。															
3, 2	IESn1, IESn0 (n = 001, 011)	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">xESn1</th> <th style="width: 10%;">xESn0</th> <th style="width: 80%;">動 作</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>RFU (予約)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>立ち上がり / 立ち下がり両エッジ</td> </tr> </tbody> </table>	xESn1	xESn0	動 作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU (予約)	1	1	立ち上がり / 立ち下がり両エッジ
xESn1	xESn0	動 作															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	RFU (予約)															
1	1	立ち上がり / 立ち下がり両エッジ															
1, 0	IESn1, IESn0 (n = 000, 010)																

7.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

7.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

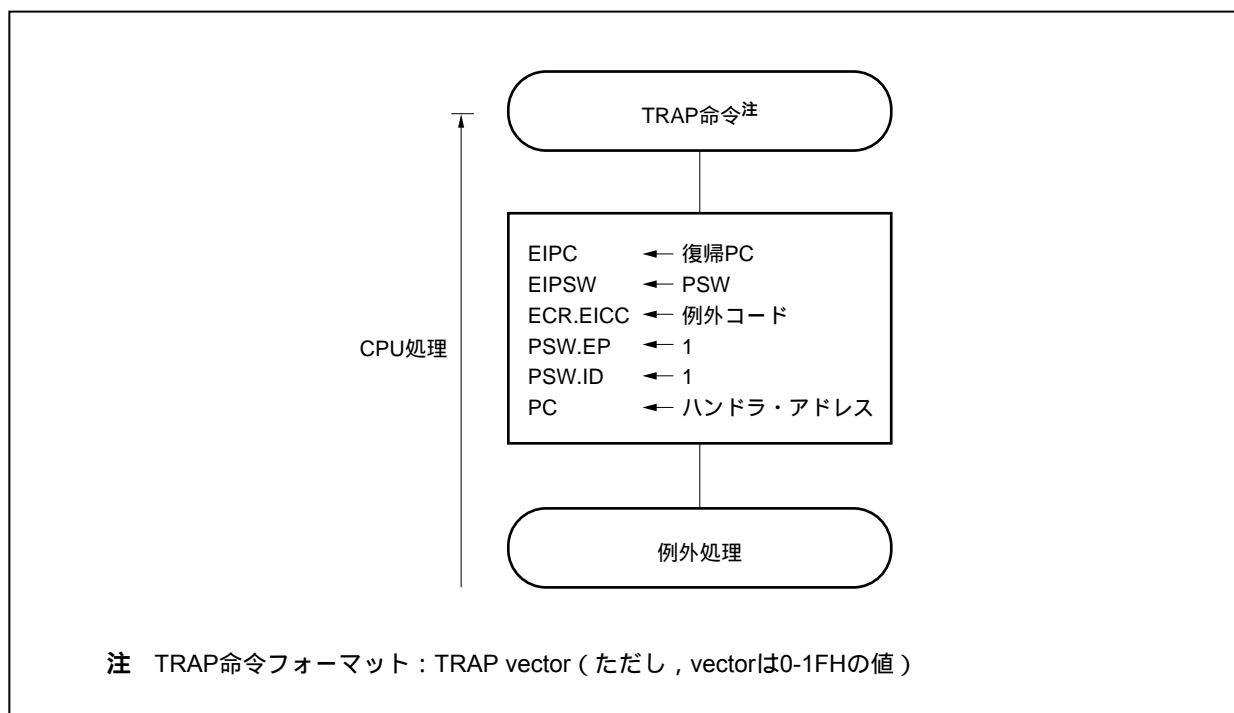
ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。

PSWのEP, IDビットをセットします。

PCにソフトウェア例外に対するハンドラ・アドレス（00000040Hまたは00000050H）をセットし、制御を移します。

ソフトウェア例外の処理形態を、図7-8に示します。

図7-8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド（vector）によって決まります。vectorが0-0FHの場合は00000040Hとなり、10-1FHの場合は00000050Hとなります。

7.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

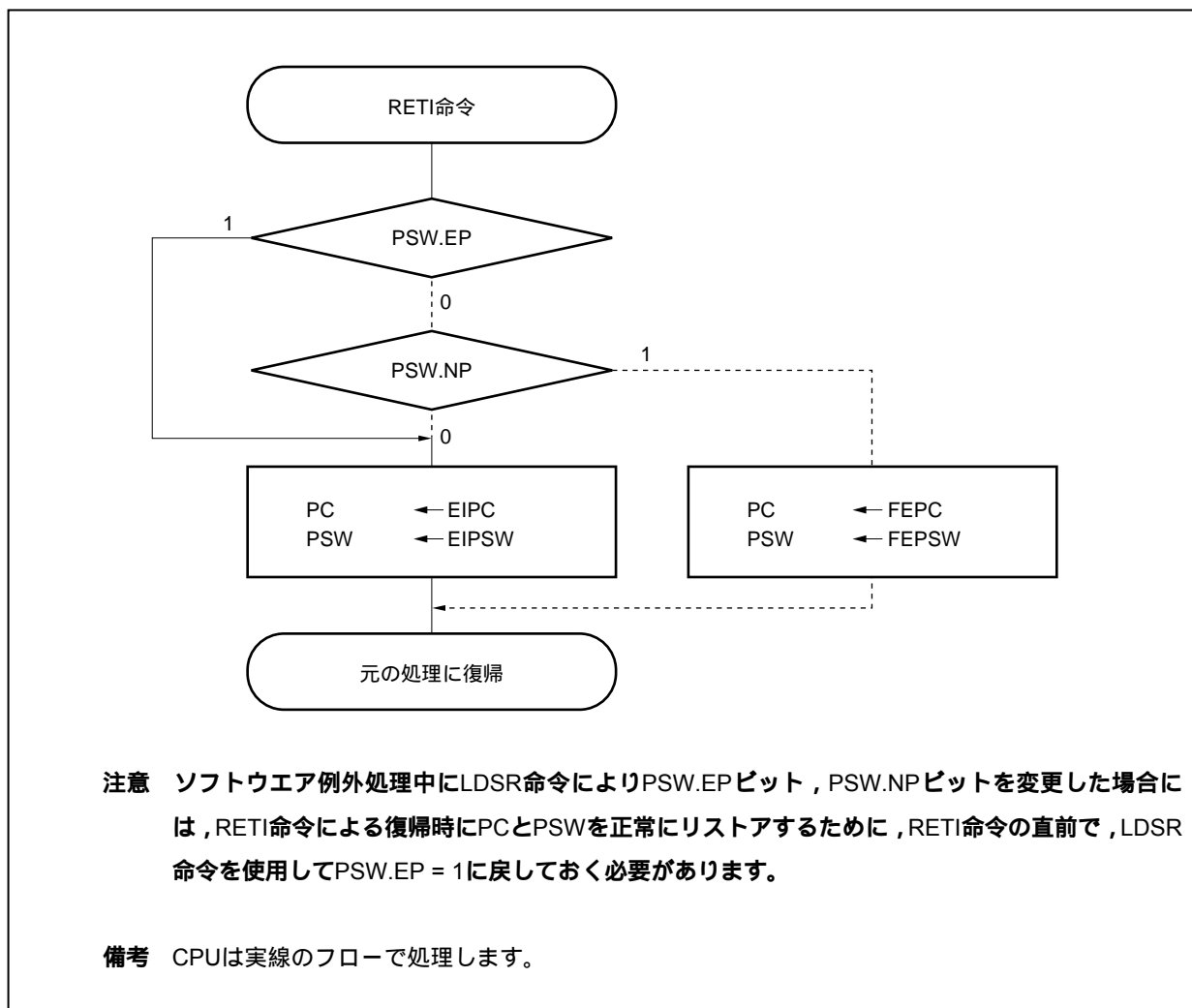
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSWのEPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

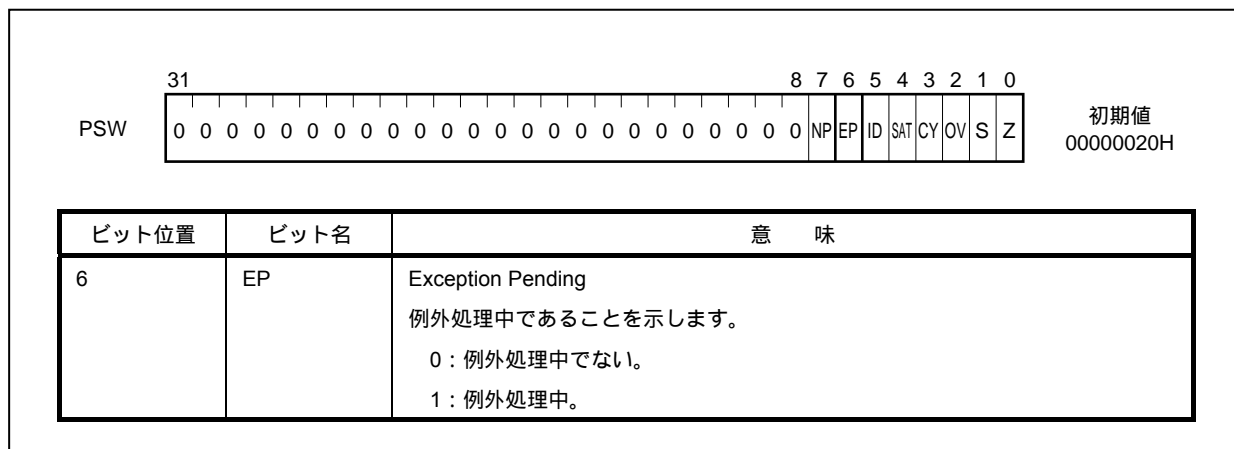
RETI命令の処理形態を図7 - 9に示します。

図7 - 9 RETI命令の処理形態



7.4.3 例外ステータス・フラグ (EP)

EPフラグは、PSWのビット6です。EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

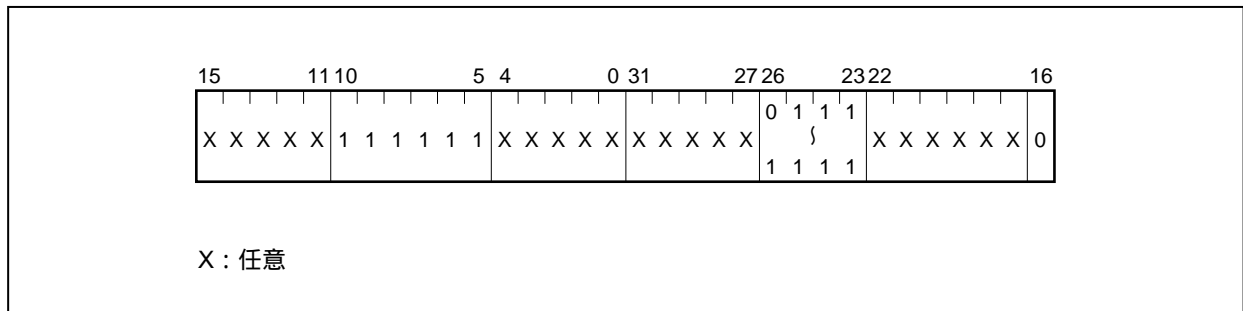


7.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850E/MA2では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

7.5.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が11111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

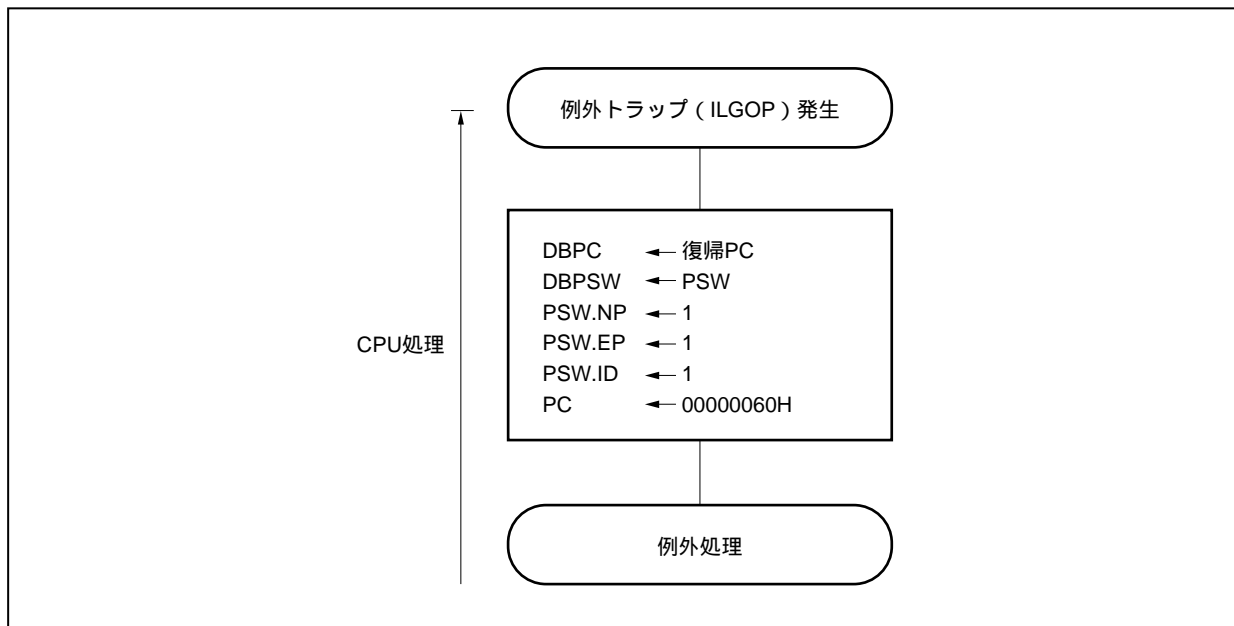
現在のPSWをDBPSWに退避します。

PSWのNP, EP, IDビットをセットします。

PCに例外トラップに対するハンドラ・アドレス (00000060H) をセットし、制御を移します。

例外トラップの処理形態を図7 - 10に示します。

図7 - 10 例外トラップの処理形態



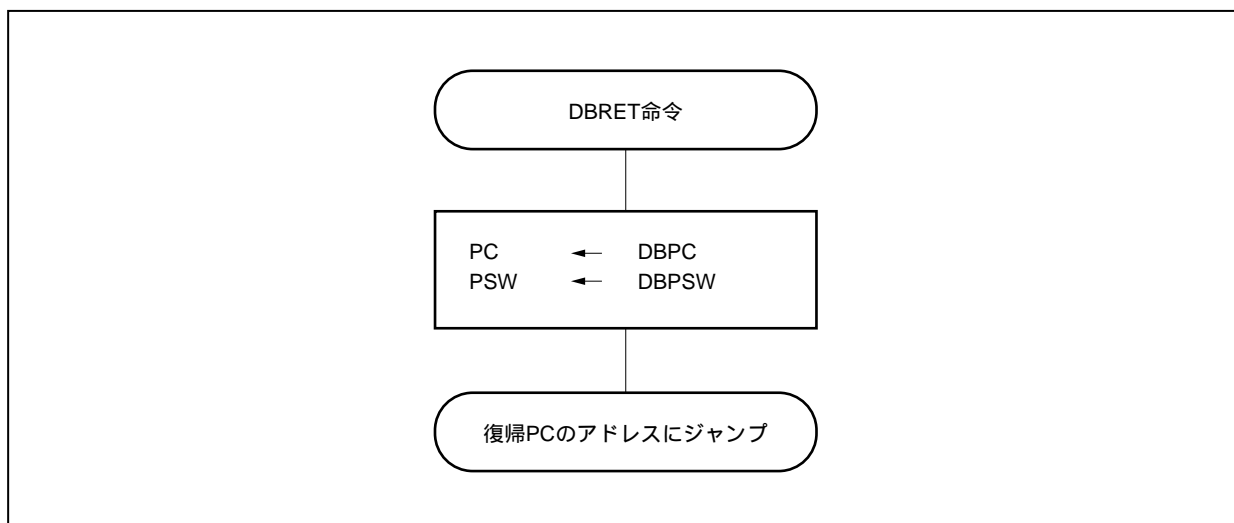
(2) 復 帰

例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

- DBPC, DBPSWから復帰PC, PSWを取り出します。
- 取り出した復帰PC, PSWのアドレスに制御を移します。

例外トラップからの復帰の処理形態を図7 - 11に示します。

図7 - 11 例外トラップからの復帰の処理形態



7.5.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

(1) 動作

復帰PCをDBPCに退避します。

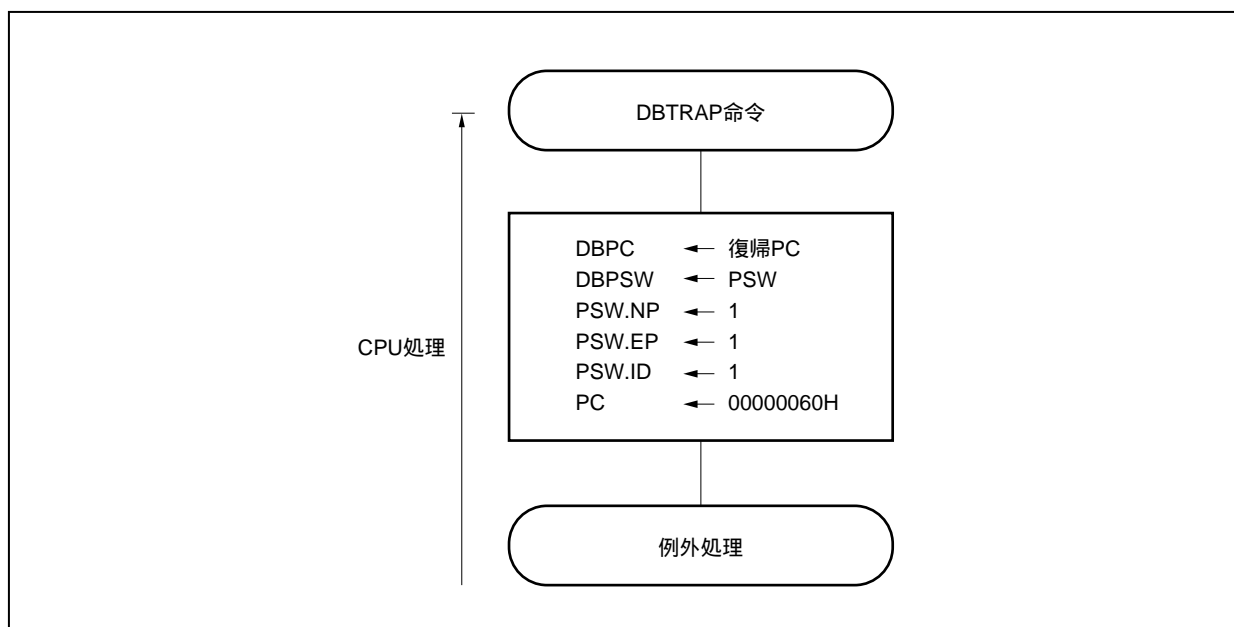
現在のPSWをDBPSWに退避します。

PSWのNP, EP, IDビットをセットします。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を図7 - 12に示します。

図7 - 12 デバッグ・トラップの処理形態



(2) 復 帰

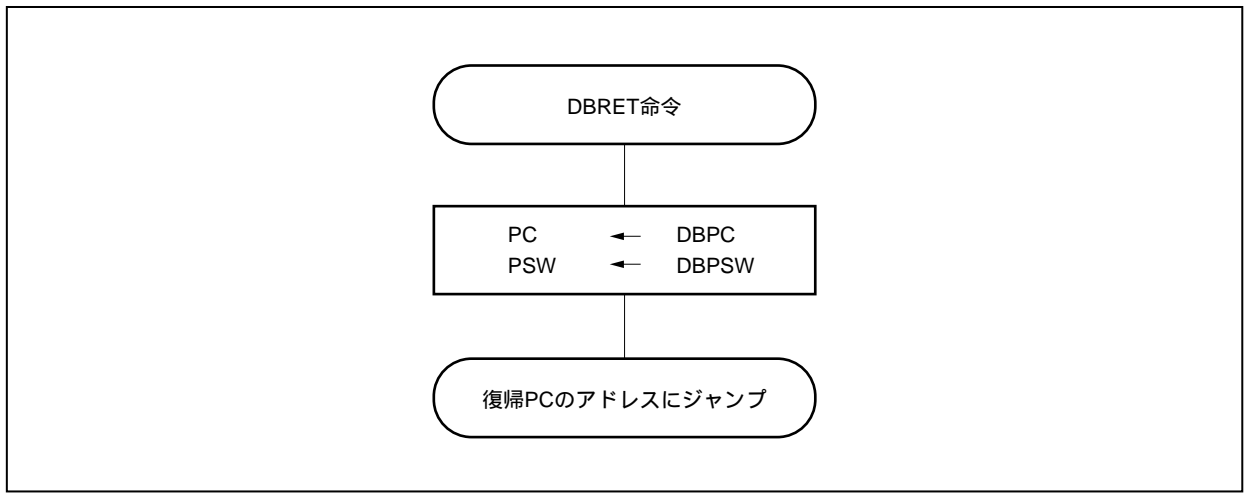
ディバグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

ディバグ・トラップからの復帰の処理形態を図7 - 13に示します。

図7 - 13 ディバグ・トラップからの復帰の処理形態



7.6 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求だった場合は、その割り込み要求は保留されます。

マスカブル割り込みの多重処理制御は、割り込み許可状態 (ID = 0) のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態 (ID = 0) にする必要があります。

マスカブル割り込みまたはソフトウェア例外のサービス・プログラム中に、マスカブル割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込み要求を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
・ EI命令 (割り込み受け付け許可)
...
...
...
...
・ DI命令 (割り込み受け付け禁止)
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

マスカブル割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスクブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
...
・ TRAP命令
...
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスクブル割り込み要求ごとに0-7までの8レベル（0が最優先）が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスクブル割り込み要求ごとに用意されている割り込み要求制御レジスタ（xxICn）のxxPRn0-xxPRn2ビットで行います。システム・リセット時には、xxMKnビットにより割り込み要求はマスクされ、xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

マスクブル割り込みの優先順位は次のようになります。

（高） レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 （低）

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

保留された割り込み要求は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスクブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では、マスクブル割り込みを受け付けず、保留します。

備考 xx：各周辺ユニット識別名称（表7-2参照）

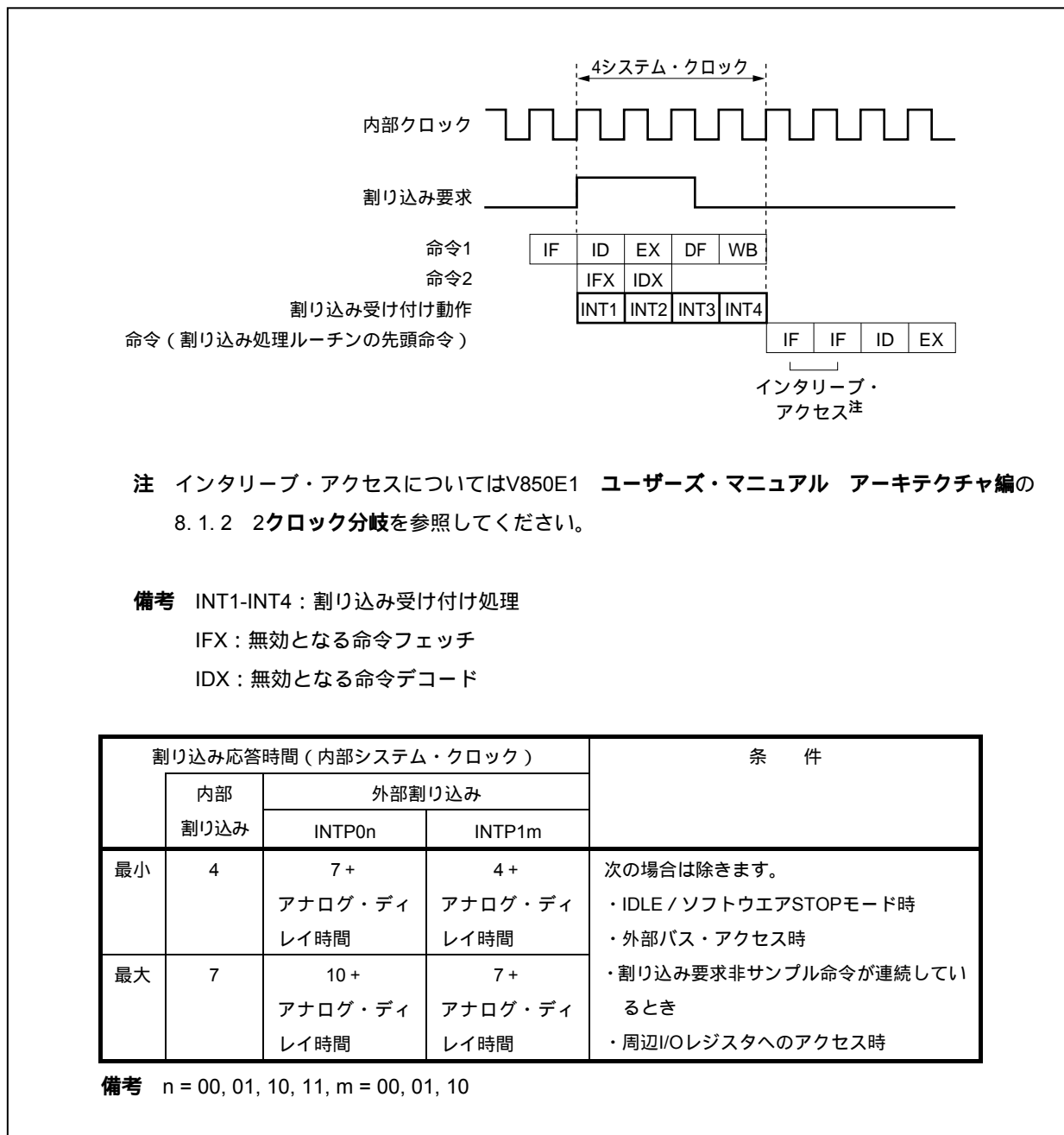
n：周辺ユニット番号（表7-2参照）

7.7 割り込み応答時間

割り込み要求発生から割り込み処理が起動されるまでの割り込み応答時間を次に示します。

★

図7 - 14 割り込み要求受け付け時のパイプライン動作 (概略)



7.8 割り込みが受け付けられない期間

割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・ EI命令
- ・ DI命令
- ・ LDSR reg2, 0x5命令（対PSW）
- ・ コマンド・レジスタ（PRCMD）に対するストア命令
- ★ 次のレジスタに対するロード命令，ストア命令およびビット操作命令
 - ・ 割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-3（IMR0-IMR3），インサース・プライオリティ・レジスタ（ISPR）
 - ・ CSI関連のレジスタ：
 - クロック同期式シリアル・インタフェース・クロック選択レジスタ0, 1（CSIC0, CSIC1），
 - クロック同期式シリアル・インタフェース・モード・レジスタ0, 1（CSIM0, CSIM1），
 - シリアルI/Oシフト・レジスタ0, 1（SIO0, SIO1），
 - 受信専用シリアルI/Oシフト・レジスタ0, 1（SIOE0, SIOE1），
 - クロック同期式シリアル・インタフェース送信バッファ・レジスタ0, 1（SOTB0, SOTB1）

第8章 プリスケラ・ユニット (PRS)

プリスケラは、内部システム・クロックを分周し、そのクロックを内蔵する各周辺ユニットへ供給します。分周クロックは、各周辺ユニットで異なります。

タイマ・ユニット、A/Dコンバータでは、2分周されたクロックが入力されます。

その他のユニットでは、各ユニットごとの制御レジスタで入力クロックを選択します。

CPUは、内部システム・クロックで動作します。

第9章 クロック発生機能

クロック・ジェネレータ (CG) は、CPUをはじめとする内蔵の各ユニットに供給される内部システム・クロック (fx) を発生、制御します。

9.1 特 徴

PLL (Phase locked loop) シンセサイザによる通倍機能

クロック・ソース

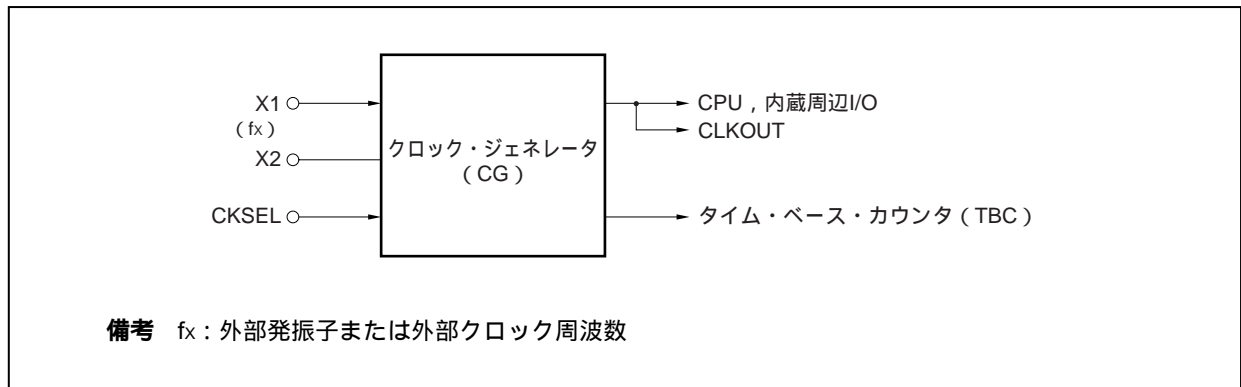
- ・発振子接続による発振
- ・外部クロック

パワー・セーブ制御

- ・HALTモード
- ・IDLEモード
- ・ソフトウェアSTOPモード

内部システム・クロック出力機能

9.2 構 成



9.3 入力クロック選択

クロック・ジェネレータは、発振回路とPLLシンセサイザから構成されています。たとえば、4.0 MHzの水晶発振子またはセラミック発振子をX1, X2端子に接続することにより、10逓倍時は40 MHzの内部システム・クロック (f_{xx}) を生成できます。

発振回路には外部クロックを直接入力することもできます。この場合、X1端子だけにクロック信号を入力してください (X2端子はオープンにしてください)。

クロック・ジェネレータは基本動作として、PLLモードとダイレクト・モードの2種類を備えます。動作モードの選択は、CKSEL端子で行います。この端子の入力は、リセット時にラッチします。

CKSEL	動作モード
0	PLLモード
1	ダイレクト・モード

注意 CKSEL端子は入力レベルを固定して使用してください。動作中に切り替えると誤動作する可能性があります。

9.3.1 ダイレクト・モード

ダイレクト・モードでは内部システム・クロックの2倍の周波数の外部クロックを入力します。ダイレクト・モード時に入力できる周波数は最大40 MHzです。おもに、V850E/MA2を比較的低周波数で動作させる応用システムに使用します。

注意 ダイレクト・モードでは必ず外部クロックを入力してください (外部発振子は接続しないでください)。

9.3.2 PLLモード

PLLモードでは、外部発振子を接続または外部クロックを入力することにより、これをPLLシンセサイザにより逓倍します。逓倍されたPLL出力はクロック・コントロール・レジスタ (CKC) によって指定された分周比に分周され、外部発振子または外部クロックの周波数 (f_x) に対して、10倍、5倍、2.5倍、1倍のシステム・クロックが生成されます。

リセット時には入力クロック周波数 (f_x) に対して、1倍の周波数 ($1 \times f_x$) の内部システム・クロック (f_{xx}) が生成されます。

入力クロック周波数 (f_x) に対して、10倍の周波数 ($10 \times f_x$) を生成した場合、4 MHz程度の外部発振子、外部クロックに基づき、最大40 MHzまでの周波数を得られるため、低ノイズ、低消費電力のシステムが実現できます。

PLLモードでは、外部発振子や外部クロック・ソースからのクロック供給が停止した場合に、クロック・ジェネレータ内部の電圧制御発振回路 (VCO) の自走周波数に基づく内部システム・クロック (f_{xx}) で動作を継続します。なお、この自走周波数になることを期待した使い方は行わないでください。

例 PLLモード ($f_{xx} = 10 \times f_x$) 時の使用クロック

システム・クロック周波数 (f_{xx})	外部発振子 / 外部クロック周波数 (f_x)
40.000 MHz	4.0000 MHz

注意 PLLモードを使用する場合、発振周波数あるいは外部クロック周波数は、 $10 \times f_x$ がシステム・クロックの最大周波数 (40 MHz) 以下になる f_x (4 MHz) 値だけを使用することができます。

ただし、 $5 \times f_x$, $2.5 \times f_x$, $1 \times f_x$ のいずれかで使用する場合は、4-6.6 MHzの周波数を使用することができます。

備考 PLLモードを選択時に、V850E/MA2を高周波数で動作させる必要がない場合にはソフトウェアによりシステム・クロックの周波数を下げることにより ($f_{xx} = 5 \times f_x$, $f_{xx} = 2.5 \times f_x$, $f_{xx} = 1 \times f_x$)、消費電力を低減することができます。

9.3.3 ペリフェラル・コマンド・レジスタ (PHCMD)

ペリフェラル・コマンド・レジスタ (PHCMD) は、プログラムの暴走などにより応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。8ビット単位でライトのみ可能です (リードした場合は不定データを読み出します)。

あらかじめPHCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタ (CKCレジスタ) への書き込みのみ有効となります。これにより、定められたシーケンスによってだけレジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PHCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	FFFFFF800H	不定

ビット位置	ビット名	意味
7-0	REG7-REG0	Registration Code レジストレーション・コード (任意の8ビット・データ) 対象となる特定レジスタは次のレジスタです。 ・クロック・コントロール・レジスタ (CKC)

不正なストア動作の発生は、ペリフェラル・ステータス・レジスタ (PHS) のPRERRビットにより確認することができます。

9.3.4 クロック・コントロール・レジスタ (CKC)

PLLモード時に、内部システム・クロック (f_{xx}) を制御する8ビットのレジスタで、プログラムの暴走などによって誤って容易に書き換えられないように、特定のシーケンスの組み合わせによってだけ書き込みができます。8ビット単位でリード/ライト可能です。

注意 ダイレクト・モード時は、CKDIV2-CKDIV0ビットを変更しないでください。

	7	6	5	4	3	2	1	0	アドレス	初期値
CKC	0	0	TBCS	CESEL	0	CKDIV2	CKDIV1	CKDIV0	FFFFF822H	00H

ビット位置	ビット名	意味																								
5	TBCS	Time Base Count Select タイム・ベース・カウンタのクロックを選択します。 0 : f _x /2 ⁸ 1 : f _x /2 ⁹ 詳細は9.6.2 タイム・ベース・カウンタ (TBC) を参照してください。																								
4	CESEL	Crystal/External Select X1, X2端子の機能を指定します。 0 : X1, X2端子発振子を接続 1 : X1端子に外部クロックを接続 CESEL = 1の場合、発振回路のフィードバック・ループを切断し、ソフトウェアSTOPモード時の電流リークを防ぎます。																								
2-0	CKDIV2-CKDIV0	Clock Divide PLLモード時の内部システム・クロック (f _{xx}) を設定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>CKDIV2</th> <th>CKDIV1</th> <th>CKDIV0</th> <th>内部システム・クロック (f_{xx})</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>f_x</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>2.5 × f_x</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>5 × f_x</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>10 × f_x</td> </tr> <tr> <td colspan="3">その他</td> <td>設定禁止</td> </tr> </tbody> </table> 動作途中で内部システム・クロックを変更する場合は、必ずf _x の設定にしたあと変更する内部システム・クロックに設定してください。	CKDIV2	CKDIV1	CKDIV0	内部システム・クロック (f _{xx})	0	0	0	f _x	0	0	1	2.5 × f _x	0	1	1	5 × f _x	1	1	1	10 × f _x	その他			設定禁止
CKDIV2	CKDIV1	CKDIV0	内部システム・クロック (f _{xx})																							
0	0	0	f _x																							
0	0	1	2.5 × f _x																							
0	1	1	5 × f _x																							
1	1	1	10 × f _x																							
その他			設定禁止																							

例 クロック・ジェネレータの設定

動作モード	CKSEL端子	CKCレジスタ			入力クロック (f _x)	内部システム・クロック (f _{xx})
		CKDIV2	CKDIV1	CKDIV0		
ダイレクト・モード	ハイ・レベル入力	0	0	0	16 MHz	8 MHz
PLLモード	ロウ・レベル入力	0	0	0	4 MHz	4 MHz
		0	0	1	4 MHz	10 MHz
		0	1	1	4 MHz	20 MHz
		1	1	1	4 MHz	40 MHz
上記以外					設定禁止	設定禁止

クロック・コントロール・レジスタ（CKC）へのデータ設定は、次のシーケンスで行います。

- 割り込みを禁止します（PSWのNPビットを1に設定）。
- 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。
- ペリフェラル・コマンド・レジスタ（PHCMD）にデータを書き込みます。
- クロック・コントロール・レジスタ（CKC）を設定します（次の命令で行います）。
 - ・ストア命令（ST/SST命令）
 - NOP命令を挿入する（5命令（ - ））
- 割り込み禁止を解除します（PSWのNPビットを0に戻します）。

```
[ 記述例 ]      LDSR   rX, 5
                  MOV    0x07, r10
                  ST.B   r10, PHCMD [ r0 ]
                  ST.B   r10, CKC [ r0 ]
                  NOP
                  NOP
                  NOP
                  NOP
                  NOP
                  LDSR   rY, 5
```

備考 rX：PSWに書き込む値
rY：PSWに書き戻す値

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** PHCMD発行（ ）とその直後の特定レジスタ書き込み（ ）の間で割り込みを受け付けた場合、特定レジスタへの書き込みは行われず、プロテクション・エラー（PHSレジスタのPRERRビット = 1）が発生することがあります。このため、PSWのNPビットを1に設定（ ）して、割り込みの受け付けを禁止してください。特定レジスタの設定にビット操作命令を使用した場合も同様に割り込みの受け付けを禁止してください。
2. PHCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定（上記例 ）で使用する汎用レジスタと同じレジスタをPHCMDレジスタ書き込み（上記例 ）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
3. この処理を行う前にすべてのDMA転送を終了させてください。

9.3.5 ペリフェラル・ステータス・レジスタ (PHS)

プロテクション対象の内部レジスタに対して、コマンド・レジスタへのアクセスを含む正しいシーケンスで書き込み動作をしなかった場合、レジスタへの書き込みは行われず、プロテクション・エラーが発生し、ステータス・フラグ (PRERR) がセット (1) されます。このフラグは累積フラグです。PRERRフラグをチェックしたあと、命令により0を書き込むことによってクリアされます。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	①	アドレス	初期値
PHS	0	0	0	0	0	0	0	PRERR	FFFFF802H	00H

ビット位置	ビット名	意味
0	PRERR	Protection Error プロテクション・エラー 0: プロテクション・エラー発生していない 1: プロテクション・エラー発生

PRERRフラグの動作条件を次に示します。

- ★ セット条件 : 最近の周辺I/Oに対するストア命令動作がPHCMDレジスタへの書き込み動作ではない状態で、周辺特定レジスタへの書き込みを行ったとき
PHCMDレジスタへの書き込み動作後の最初のストア命令動作が定められた特定レジスタ以外のメモリ、周辺I/Oなどに対するとき
- リセット条件 : PHSレジスタのPRERRフラグに0を書き込んだとき
システム・リセットしたとき

9.4 PLLロックアップ

電源投入後、またはソフトウェアSTOPモード解除直後から所定の周波数でフェーズ・ロックし、安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの時間をロックアップ状態と呼び、安定した状態をロック状態と呼びます。

ロック・レジスタ（LOCKR）には、PLL周波数の安定状態を反映するLOCKフラグがあります。

8/1ビット単位でリードのみ可能です。

注意 ロックするとLOCKフラグは0になります。そのあとにスタンバイ状態が原因でアンロック状態になった場合、LOCKフラグは1になります。しかし、スタンバイ状態以外の原因でアンロック状態になった場合は、LOCKフラグは変化しません（LOCK = 0の状態）。

	7	6	5	4	3	2	1	①	アドレス	初期値
LOCKR	0	0	0	0	0	0	0	LOCK	FFFFF824H	000000xB

ビット位置	ビット名	意 味
0	LOCK	Lock Status Flag 読み出し専用フラグで、PLLのロック状態を示します。 ロックアップ状態を維持しているかぎり0を保持し、システム・リセットによっても初期化されません。 0：ロック中であることを示します。 1：ロックしていない（アンロック）状態を示します。

クロック停止、電源カットなど、いったんアンロック状態を発生させる要因が働いた場合に、リアルタイム処理などのソフトウェアの実行速度に依存する制御の処理においては、動作開始直後にソフトウェアで必ずLOCKフラグを判定し、クロックが安定するまで待ってから処理を開始してください。

一方、内蔵の各ハードウェアの設定やレジスタ・データ、メモリ・データの初期化等の静的処理はLOCKフラグがリセットされるのを待たずに実行可能です。

発振子を使用した場合の発振安定時間（発振子が発振して入力波形が安定するまでの時間）とPLLロックアップ時間（周波数が安定するまでの時間）の関係は次のようになります。

発振安定時間 < PLLロックアップ時間

9.5 パワー・セーブ制御

9.5.1 概要

パワー・セーブ機能には、次のものがあります。

(1) HALTモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。その他の内蔵周辺機能へのクロック供給は継続され、動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システムのトータルの消費電力を低減させることができます。

専用命令（HALT命令）によりHALTモードに移行します。

(2) IDLEモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給を停止させることにより、システム全体を停止させるモードです。

IDLEモードからの解除時に、発振回路の発振安定時間などを確保する必要がないため、高速に通常動作に移行することができます。

PSMRレジスタの設定によりIDLEモードに移行します。

IDLEモードは、クロックの安定時間と消費電流に関して、ソフトウェアSTOPとHALTモードの中間に位置するモードで、低消費電流モードを利用し、かつ解除時のクロックの安定時間を削減したい用途に利用します。

(3) ソフトウェアSTOPモード

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力状態になります。

PSMRレジスタの設定により、ソフトウェアSTOPモードに移行します。

(a) PLLモード

ソフトウェアによるレジスタ設定により、ソフトウェアSTOPモードに移行します。発振回路が停止すると同時にPLLシンセサイザのクロック出力が停止します。ソフトウェアSTOPモードの解除後は、システム・クロックが安定するまでの間、発振回路の発振安定時間を確保する必要があります。また、プログラムによってはPLLのロックアップ時間が必要な場合があります。発振子接続、外部クロック接続の場合、ソフトウェアSTOPモード解除後に、タイム・ベース・カウンタのカウント時間が終了したあとにプログラムの実行が開始されます。

(b) ダイレクト・モード

クロックを停止させる場合は、X1端子をロウ・レベルにしてください。なお、ソフトウェアSTOPモード解除後は、タイム・ベース・カウンタのカウント時間が終了したあとにプログラムの実行が開始されます。

通常動作，HALT，IDLE，ソフトウェアSTOPの各モードにおけるクロック・ジェネレータの動作を表9 - 1に示します。

各モードを組み合わせ、用途により切り替えて使用することにより、効果的な低消費電力システムを実現することができます。

図9 - 1 パワー・セーブ・モード状態遷移図

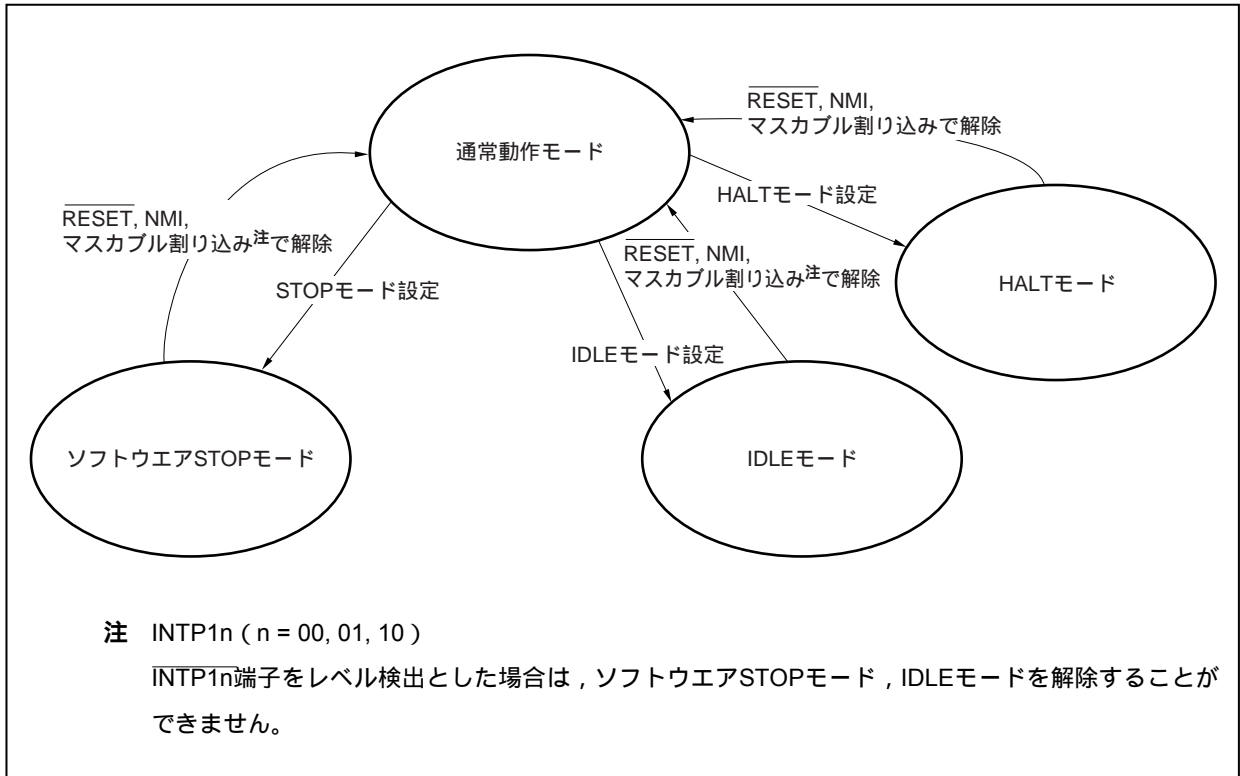


表9-1 パワー・セーブ制御によるクロック・ジェネレータの動作

クロック・ソース		パワー・セーブ・モード	発振回路	PLL シンセサイザ	内蔵周辺I/Oへ のクロック供給	CPUへの クロック供給
PLLモード	発振子による 発振	通常動作時				
		HALTモード				×
		IDLEモード			×	×
		ソフトウェアSTOPモード	×	×	×	×
	外部クロック	通常動作時	×			
		HALTモード	×			×
		IDLEモード	×		×	×
		ソフトウェアSTOPモード	×	×	×	×
ダイレクト・ モード	外部クロック	通常動作時	×	×		
		HALTモード	×	×		×
		IDLEモード	×	×	×	×
		ソフトウェアSTOPモード	×	×	×	×

備考 : 動作

× : 停止

9.5.2 制御レジスタ

(1) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードを制御する8ビット・レジスタです。PSCレジスタのSTBビットをセット(1)することにより有効となります。

PSMRレジスタへの書き込みは、ストア命令(ST/SST命令)およびビット操作命令(SET1/CLR1/NOT1命令)により行います。

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	①	アドレス	初期値
PSMR	0	0	0	0	0	0	0	PSM	FFFFF820H	00H

ビット位置	ビット名	意 味
0	PSM	Power Save Mode IDLEモード/ソフトウェアSTOPモードを指定します。 0: IDLEモード 1: ソフトウェアSTOPモード

(2) コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定レジスタ(パワー・セーブ・コントロール・レジスタ(PSC))への書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です(リードした場合、不定データを読み出します)。

	7	6	5	4	3	2	1	0	アドレス	初期値
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0	FFFFF1FCH	不定

ビット位置	ビット名	意 味
7-0	REG7-REG0	Registration Code レジストレーション・コード(任意の8ビット・データ) 対象となる特定レジスタは、パワー・セーブ・コントロール・レジスタ(PSC)です。

(3) パワー・セーブ・コントロール・レジスタ (PSC)

パワー・セーブを制御する8ビット・レジスタです。このレジスタは特定レジスタの1つで、ライト動作時は特定シーケンスによるアクセスだけが有効です。

8/1ビット単位でリード/ライト可能です。ビット7, 6に1を設定した場合の動作は保証できません。

注意 STBビットと、NMIMビットまたはINTMビットは同時にセットできません。必ずNMIMビットまたはINTMビットをセットしたあとに、STBビットを設定してください。

	7	6	⑤	④	3	2	①	0	アドレス	初期値
PSC	0	0	NMIM	INTM	0	0	STB	0	FFFFF1FEH	00H

ビット位置	ビット名	意味
5	NMIM	NMI Mode NMIの有効エッジ入力によるスタンバイ・モード解除の許可/禁止を設定するビットです。 0: NMI解除許可 1: NMI解除禁止
4	INTM	INT Mode マスクされていないマスカブル割り込み (INTP1n) の有効エッジ入力によるスタンバイ・モード解除の許可/禁止を設定するビットです (n = 00, 01, 10)。 0: マスカブル割り込み解除許可 1: マスカブル割り込み解除禁止
1	STB	Stand-by Mode スタンバイ・モードの状態を示します。 1を書き込むとIDLEモード, またはソフトウェアSTOPモード (PSMRレジスタのPSMビットで設定) に入ります。スタンバイ・モードが解除されると、自動的に0にリセットされます。 0: スタンバイ・モード解除状態 1: スタンバイ・モード中

パワー・セーブ・コントロール・レジスタ (PSC) へのデータ設定は、次のシーケンスで行います。

パワー・セーブ・モード・レジスタ (PSMR) を設定します (次の命令で行います)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意します。

コマンド・レジスタ (PRCMD) にデータを書き込みます。

パワー・セーブ・コントロール・レジスタ (PSC) を設定します (次の命令で行います)。

- ・ストア命令 (ST/SST命令)
- ・ビット操作命令 (SET1/CLR1/NOT1命令)

NOP命令を挿入する (5命令 (-))

[記述例]

```

ST.B  r11, PSMR [ r0 ] ;PSMRレジスタ設定
MOV   0x02, r10
ST.B  r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
ST.B  r10, PSC [ r0 ]   ;PSCレジスタ設定
NOP                                     ;ダミー命令
NOP                                     ;ダミー命令
NOP                                     ;ダミー命令
NOP                                     ;ダミー命令
NOP                                     ;ダミー命令
( next instruction )                ;ソフトウェアSTOPモード, IDLEモード解除後の実行ルーチン

```

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注意1.** コマンド・レジスタに対するストア命令では、割り込み受け付けを行いません。これは、プログラムで上記 `ST.B` を連続したストア命令で行うことを前提としています。 `ST.B` 間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となるので注意が必要です。
2. PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定（上記例）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（上記例）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
 3. ソフトウェアSTOPモード、IDLEモードに設定するためのPSCレジスタに対するストア命令では、直後にNOP命令を5命令以上挿入する必要があります。
 4. この処理を行う前にすべてのDMA転送を終了させてください。

9.5.3 HALTモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続しますが、CPUの動作クロックが停止するモードです。そのほかの内蔵周辺I/Oへのクロック供給は継続され、動作を継続します。CPUの空き時間にHALTモードに設定することにより、システム全体の消費電力を低減できます。

HALT命令によりHALTモードに移行します。

HALTモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。また、CPUの命令処理に依存しない内蔵周辺I/O（ポート以外）は動作を継続します。HALTモード時の各ハードウェアの状態は表9-2のようになります。

注意 割り込み要求が保留されている状態でHALT命令を実行した場合、HALTモードになりますが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

表9-2 HALTモード時の動作状態

機 能	動作状態	
クロック・ジェネレータ	動 作	
内部システム・クロック	動 作	
CPU	停 止	
ポート	保 持	
内蔵周辺I/O（ポート以外）	動 作	
内部データ	CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてHALTモード設定前の状態を保持	
D0-D15	動 作	
A0-A24		
\overline{RD} , \overline{WE}		
\overline{UWR} , \overline{LWR}		
\overline{LDQM} , \overline{UDQM}		
$\overline{CS0}$, $\overline{CS3}$, $\overline{CS4}$, $\overline{CS7}$		
\overline{SDRAS}		
\overline{SDCAS}		
\overline{REFRQ}		
\overline{HLDK}		
\overline{HLDRQ}		
WAIT		
SDCKE		
SDCLK		クロック出力
CLKOUT		

(2) HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求、および $\overline{\text{RESET}}$ 端子入力により解除されます。

(a) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求による解除

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります。

(i) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求が発生するとHALTモードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。

(ii) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求（ノンマスクابل割り込み要求を含む）が発生すると、HALTモードの解除とともにこの割り込み要求を受け付けます。

表9 - 3 割り込み要求によるHALTモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

(b) $\overline{\text{RESET}}$ 端子入力による解除

通常のリセット動作と同じです。

9.5.4 IDLEモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）は動作を継続したままで、内部システム・クロックの供給が停止し、システム全体が停止するモードです。

このモードの解除時は、発振回路の発振安定時間やPLLのロックアップ時間を確保する必要がないため、高速に通常動作に移行できます。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSC, PSMRレジスタの設定でIDLEモードに移行します（9.5.2 制御レジスタ参照）。

IDLEモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

IDLEモード時の各ハードウェアの状態は表9-4のようになります。

表9-4 IDLEモード時の動作状態

機 能	動作状態	
クロック・ジェネレータ	動 作	
内部システム・クロック	停 止	
CPU	停 止	
ポート	保 持	
内蔵周辺I/O（ポート以外）	停 止	
内部データ	CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてIDLEモード設定前の状態を保持	
D0-D15	ハイ・インピーダンス	
A0-A24		
\overline{RD} , \overline{WE}		ハイ・レベル出力
\overline{UWR} , \overline{LWR}		
\overline{LDQM} , \overline{UDQM}		
$\overline{CS0}$, $\overline{CS3}$, $\overline{CS4}$, $\overline{CS7}$		
\overline{SDRAS}	動 作	
\overline{SDCAS}		
\overline{REFRQ}		
\overline{HLDK}	ハイ・レベル出力	
\overline{HLDRQ}	入力（サンプリングなし）	
\overline{WAIT}	ロウ・レベル出力	
\overline{SDCKE}		
\overline{SDCLK}		
\overline{CLKOUT}		

(2) IDLEモードの解除

IDLEモードは、ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求 (INTP1n)、およびRESET端子入力により解除されます (n = 00, 01, 10)。

(a) ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求による解除

★ PSCレジスタのINTM, NMIMビットに0が設定された状態でIDLEモードに移行した場合のみ割り込み要求による解除ができます。

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求 (INTP1n) により、優先順位とは無関係に解除されます。ただし、マスクابل割り込み処理ルーチン内でIDLEモードに設定した場合は次のように動作が異なります (n = 00, 01, 10)。

(i) 現在処理中のマスクابل割り込み要求よりも優先順位の低い割り込み要求が発生するとIDLEモードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。

(ii) 現在処理中のマスクابل割り込み要求よりも優先順位が高い割り込み要求 (ノンマスクابل割り込み要求を含む) が発生すると、IDLEモードの解除とともにこの割り込み要求を受け付けます。

表9 - 5 割り込み要求によるIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求	ハンドラ・アドレスに分岐	
マスクابل割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

NMI処理ルーチン内でIDLEモードに設定した場合は、IDLEモードの解除だけを行い、この割り込みは受け付けません (割り込みは保持されます)。

NMI端子入力によるIDLEモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます (NMI割り込みのハンドラ・アドレスが一意的のため)。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令またはビット操作命令によるPSMRレジスタ設定の前に、ステータスを設定しておく必要があります。NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

(b) RESET端子入力による解除

通常のリセット動作と同じです。

9.5.5 ソフトウェアSTOPモード

(1) 設定および動作状態

クロック・ジェネレータ（発振回路およびPLLシンセサイザ）を停止させるモードです。システム全体を停止させ、デバイスのリーク電流だけの超低消費電力を実現します。

ストア命令（ST/SST命令）またはビット操作命令（SET1/CLR1/NOT1命令）によるPSC、PSMRレジスタの設定でソフトウェアSTOPモードに移行します（9.5.2 制御レジスタ参照）。

PLLモードかつ発振子接続モード（CKCレジスタのCESELビット = 0）の場合、ソフトウェアSTOPモード解除後に、発振回路の発振安定時間を確保する必要があります。

また、PLLモード、ダイレクト・モードともソフトウェアSTOPモード解除後は、タイム・ベース・カウンタのカウント時間が終了したあとにプログラムの実行が開始されます。

ソフトウェアSTOPモードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタ、内蔵RAM、ポートの内容は保持されます。内蔵周辺I/O（ポート以外）も動作を停止します。

ソフトウェアSTOPモード時の各ハードウェアの状態は表9-6のようになります。

表9-6 ソフトウェアSTOPモード時の動作状態

機 能	動作状態	
クロック・ジェネレータ	停 止	
内部システム・クロック	停 止	
CPU	停 止	
ポート	保 持 ^注	
内蔵周辺I/O（ポート以外）	停 止	
内部データ	CPUのレジスタ、ステータス、データ、内蔵RAMの内容など、内部のデータはすべてソフトウェアSTOPモード設定前の状態を保持 ^注	
D0-D15	ハイ・インピーダンス	
A0-A24		
RD, WE		ハイ・レベル出力
UWR, LWR		
LDQM, UDQM		
CS0, CS3, CS4, CS7		
SDRAS	動 作	
SDCAS		
REFRQ		
HLDK	ハイ・レベル出力	
HLDK	入 力（サンプリングなし）	
HLDK		
WAIT		
SDCKE	ロウ・レベル出力	
SDCLK		
CLKOUT		

注 V_{DD}の値が動作可能範囲内にある場合（ただし、動作可能最低電圧より下がった場合でも、データ保持電圧V_{DDDR}を維持すれば内蔵RAMの内容だけは保持されます）。

(2) ソフトウェアSTOPモードの解除

ソフトウェアSTOPモードは、ノンマスカブル割り込み入力、マスクされていないマスカブル割り込み要求 (INTP1n)、RESET端子入力により解除されます。また、PLLモード (CKSEL端子 = ロウ・レベル) かつ発振器接続モード (CKCレジスタのCESELビット = 0) におけるソフトウェアSTOPモード解除時には、発振回路の発振安定時間を確保する必要があります (n = 00, 01, 10)。

プログラムによってはPLLのロックアップ時間が必要になります。詳細は9.4 PLLロックアップを参照してください。

(a) ノンマスカブル割り込み要求、マスクされていないマスカブル割り込み要求による解除

★ PSCレジスタのINTM, NMIMビットに0が設定された状態でソフトウェアSTOPモードに移行した場合のみ割り込み要求による解除ができます。

ノンマスカブル割り込み要求、マスクされていないマスカブル割り込み要求 (INTP1n) により、優先順位とは無関係に解除されます。ただし、マスカブル割り込み処理ルーチン内でソフトウェアSTOPモードに設定した場合は次のように動作が異なります (n = 00, 01, 10)。

(i) 現在処理中のマスカブル割り込み要求よりも優先順位の低い割り込み要求が発生するとソフトウェアSTOPモードの解除だけを行い、この割り込み要求は受け付けません。割り込み要求そのものは保持します。

(ii) 現在処理中のマスカブル割り込み要求よりも優先順位が高い割り込み要求 (ノンマスカブル割り込み要求を含む) が発生すると、ソフトウェアSTOPモードの解除とともにこの割り込み要求を受け付けます。

表9-7 割り込み要求によるソフトウェアSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求	ハンドラ・アドレスに分岐	
マスカブル割り込み要求	ハンドラ・アドレスに分岐または次の命令を実行	次の命令を実行

NMI処理ルーチン内でソフトウェアSTOPモードに設定した場合は、ソフトウェアSTOPモードの解除だけを行い、この割り込みは受け付けません (割り込みは保持されます)。

NMI端子入力によるソフトウェアSTOPモード解除時に起動される割り込み処理は、緊急時などの通常のNMI割り込み処理と同等に扱われます (NMI割り込みのハンドラ・アドレスが一意のため)。したがって、プログラムで両者を区別する必要がある場合は、ソフトウェア・ステータスをあらかじめ用意しておき、ストア命令またはビット操作命令によるPSMRレジスタ設定の前に、ステータス設定しておく必要があります。

NMIの割り込み処理でこのステータスをチェックすることで、通常のNMIとの区別が可能です。

(b) RESET端子入力による解除

通常のリセット動作と同じです。

9.6 発振安定時間の確保

9.6.1 発振安定時間の確保指定

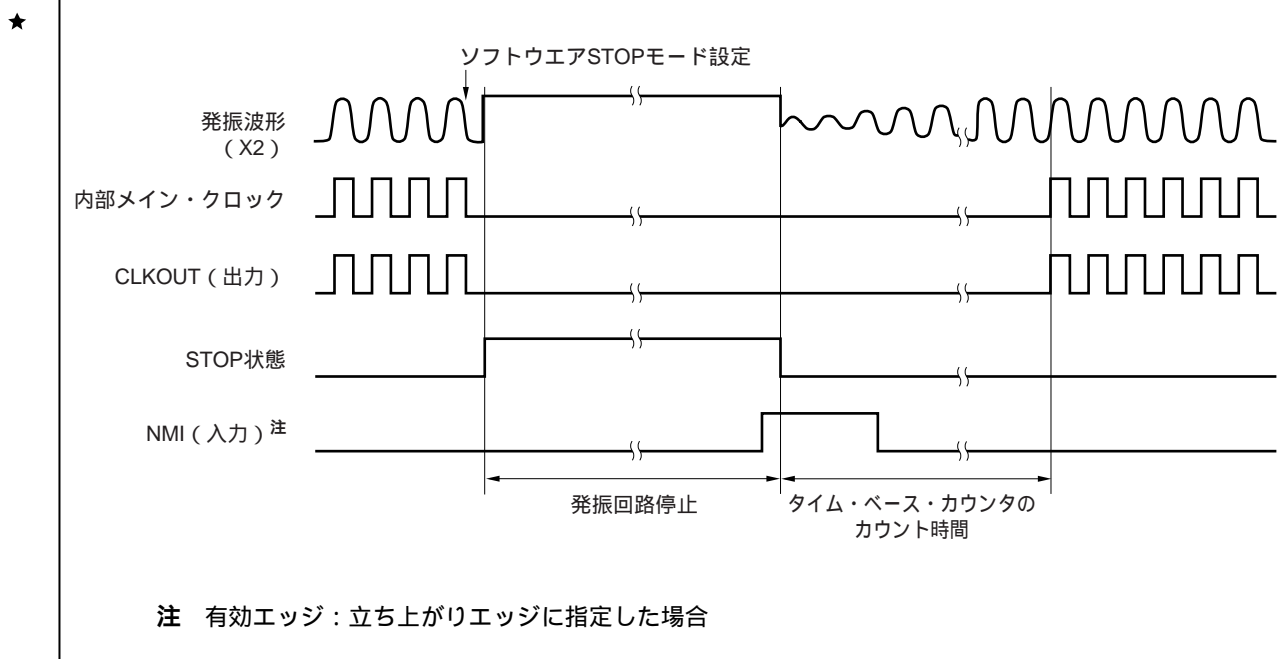
ソフトウェアSTOPモード解除後の停止状態の発振回路が安定するまでの時間確保指定には2通りの方法があります。

(1) 内蔵タイム・ベース・カウンタで時間を確保する場合

NMI端子に有効エッジが入力、またはマスカブル割り込み要求入力 (INTP1n) されると、ソフトウェアSTOPモードが解除されます。端子へのアクティブ・エッジ入力で発振が開始されると、タイム・ベース・カウンタ (TBC) がカウントを開始し、そのカウント時間で、発振回路からのクロック出力が安定するまでの時間を確保します (n = 00, 01, 10)。

発振安定時間 = TBCのカウント時間

所定時間後、内部システム・クロック出力を開始し、NMI割り込み、またはマスカブル割り込み (INTP1n) のハンドラ・アドレスに分岐します (n = 00, 01, 10)。



NMI端子は、通常はインアクティブ・レベル (たとえば有効エッジを立ち下がりに指定したときはハイ・レベル) にしておいてください。

なお、NMIの有効エッジ入力、またはマスカブル割り込み要求入力 (INTP1n) により、CPUが割り込みを受け付けるまでの期間にソフトウェアSTOPモードに設定する動作を行った場合、ソフトウェアSTOPモードはすぐに解除されます (n = 00, 01, 10)。

ダイレクト・モード、または外部クロック接続モード (CKCレジスタのCESELビット = 1) の場合、タイム・ベース・カウンタでのカウント時間終了後にプログラム実行を開始します。

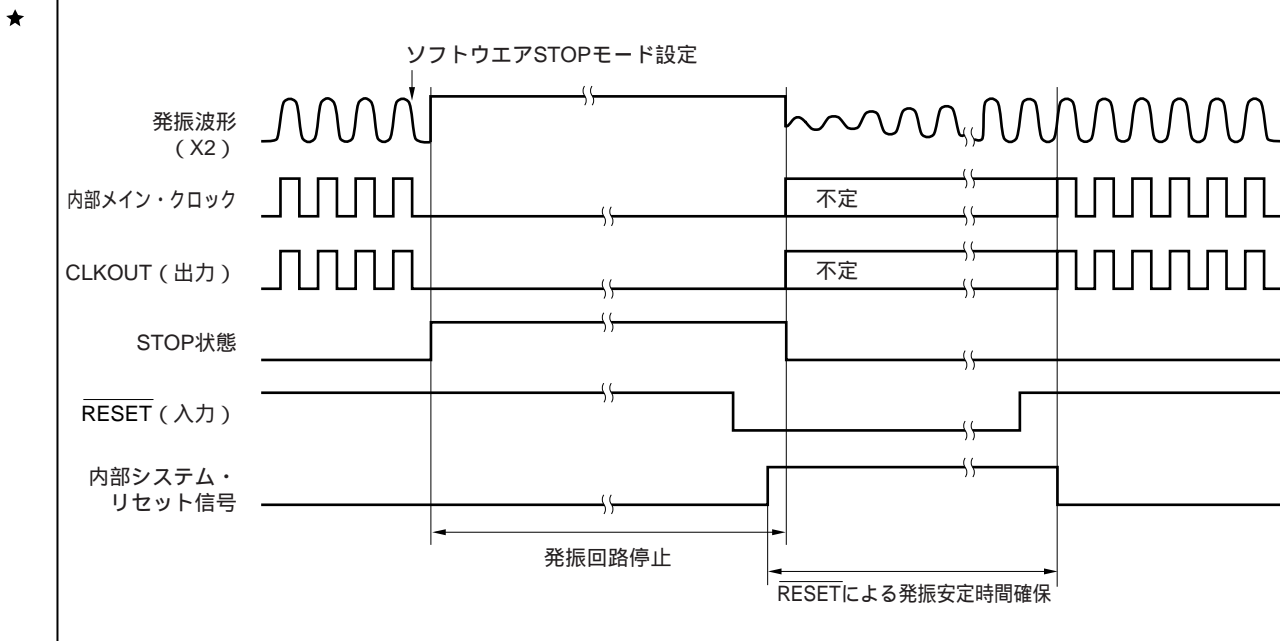
PLLモードかつ発振子接続モード (CKCレジスタのCESELビット = 0) の場合も、タイム・ベース・カウンタによる発振安定時間確保後にプログラム実行を開始します。

(2) 信号レベル幅で時間を確保する場合 (RESET端子入力)

RESET端子への立ち下がりエッジ入力により、ソフトウェアSTOPモードが解除されます。

端子へ入力される信号のロウ・レベル幅で、発振回路からのクロック出力が安定するまでの時間を確保します。

RESET端子への立ち上がりエッジ入力後、内部システム・クロックの供給が開始し、システム・リセット時のハンドラ・アドレスに分岐します。



9.6.2 タイム・ベース・カウンタ (TBC)

タイム・ベース・カウンタ (TBC) は、ソフトウェアSTOPモード解除時の発振回路の発振安定時間の確保に使用します。

外部クロック接続時 (CKCレジスタのCESELビット = 1)、または発振子接続時 (PLLモードかつCKCレジスタのCESELビット = 0) は、ソフトウェアSTOPモード解除後、TBCで発振安定時間をカウントし、カウント終了後にプログラム実行を開始します。

CKCレジスタのTBCSビットによりTBCのカウント・クロックを選択し、次のカウント時間が設定できます。

表9-8 カウント時間例 ($f_{xx} = 10 \times f_x$)

TBCSビット	カウント・クロック	カウント時間
		$f_x = 4.0000 \text{ MHz}$
		$f_{xx} = 40.000 \text{ MHz}$
0	$f_x/2^8$	16.3 ms
1	$f_x/2^9$	32.6 ms

f_x : 外部発振周波数

f_{xx} : 内部システム・クロック

第10章 タイマ/カウンタ機能(リアルタイム・パルス・ユニット)

10.1 タイマC

10.1.1 特徴(タイマC)

タイマCは、16ビットのタイマ/カウンタで次の動作を行うことができます。

- ・ インターバル・タイマ機能
- ・ PWM出力
- ・ 外部信号の周期測定

10.1.2 機能概要(タイマC)

16ビット・タイマ/カウンタ

キャプチャ/コンペア共用レジスタ：4本

割り込み要求ソース

- ・ キャプチャ/一致割り込み要求：4要因
- ・ オーバフロー割り込み要求：2要因

タイマ/カウンタのカウント・クロック・ソース：2種

(外部パルス入力, 内部システム・クロックの分周を選択)

タイマ/カウンタがオーバフローしたときの動作モードを, フリー・ランニング・モード/オーバフロー・ストップ・モードの2種類から選択可能

タイマ/カウンタとコンペア・レジスタの一致でタイマ/カウンタをクリア可能

外部パルス出力：1本

10.1.3 タイマCの基本構成

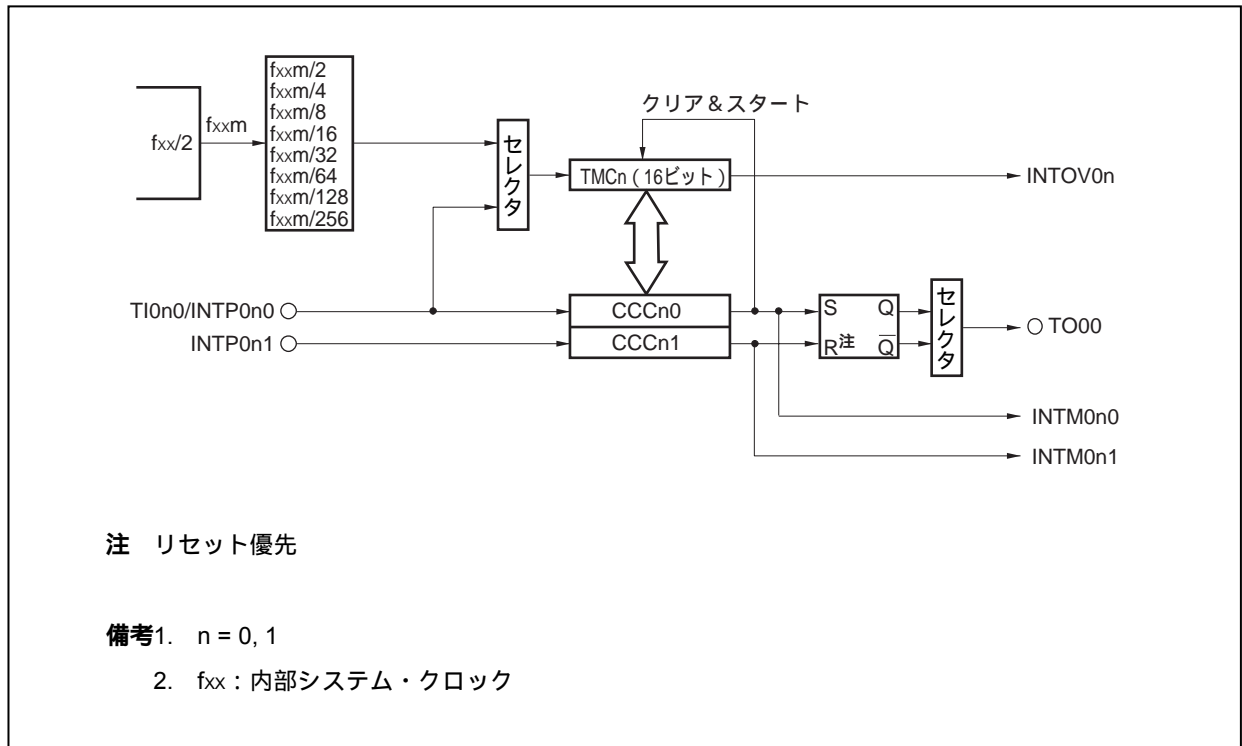
表10-1 タイマCの構成一覧

タイマ	カウント・クロック	レジスタ	リード/ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R	その他の機能
タイマC	$f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{xx}/64, f_{xx}/128, f_{xx}/256, f_{xx}/512$	TMC0	リード	INTOV00	-	-	-
		CCC00	リード/ライト	INTM000	INTP000	TO00 (S)	A/D変換開始トリガ
		CCC01	リード/ライト	INTM001	INTP001	TO00 (R)	A/D変換開始トリガ
		TMC1	リード	INTOV01	-	-	-
		CCC10	リード/ライト	INTM010	INTP010	-	A/D変換開始トリガ
		CCC11	リード/ライト	INTM011	INTP011	-	A/D変換開始トリガ

備考 f_{xx} : 内部システム・クロック

S/R : セット/リセット

(1) タイマC (16ビット・タイマ/カウンタ)



10.1.4 タイマC

(1) タイマC0, C1 (TMC0, TMC1)

TMCnは、16ビットのフリー・ランニング・タイマまたは外部信号のイベント・カウンタとして機能します。おもに、周期計測のほか、パルス出力としても利用できます (n = 0, 1)。

TMCnは16ビット単位でリードだけ可能です。

注意1. TMCnレジスタはリードだけ可能です。TMCnレジスタに書き込みを行うと、その後の動作は不定となります。

2. TMCCn0レジスタのTMCCAEnビットをクリア (0) すると、非同期でリセットされます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TMC0																	FFFFFF600H	0000H
TMC1																	FFFFFF610H	0000H

TMCnは、内部カウント・クロックまたは外部カウント・クロックのカウント・アップ動作を行います。タイマのスタートおよびストップは、タイマ・モード・コントロール・レジスタCn0 (TMCCn0) のTMCCEnビットで制御します (n = 0, 1)。

カウント・クロックの内部/外部の選択はタイマ・モード・コントロール・レジスタCn1 (TMCCn1) のETInビットによって行います (n = 0, 1)。

(a) 外部カウント・クロックを選択

TMCnは、イベント・カウンタとして動作します。

タイマ・モード・コントロール・レジスタCn1 (TMCCn1) のETInビットをセット (1) した場合、内部カウント・クロックに同期してTMCnは外部クロック入力 (TI0n0) の有効エッジ・カウント動作を行います。有効エッジの指定は、有効エッジ選択レジスタCn (SESCn) によって行います (n = 0, 1)。

注意 INTP0n0/TI0n0端子をTI0n0 (外部クロック入力端子) として使用する場合は、INTP0n0の割り込みを禁止するか、CCCN0をコンペア・モードにしてください (n = 0, 1)。

(b) 内部カウント・クロックを選択

TMCnは、フリー・ランニング・タイマとして動作します。

タイマ・モード・コントロール・レジスタCn1 (TMCCn1) でカウント・クロックを内部クロックに指定した場合、TMCCn0レジスタのCSn0-CSn2ビットで指定した入力クロックの周期ごとにTMCnはカウント・アップします (n = 0, 1)。

カウント・クロックは、プリスケラによる分周を、TMCCn0レジスタにより $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$ から選択できます (f_{xx} : 内部システム・クロック)。

タイマがオーバーフローすると、オーバーフロー割り込みを発生させることができます。また、TMCCn1レジスタのOSTnビットをセット (1) することにより、オーバーフロー後にタイマを停止させることができます。

注意 タイマ動作中はカウント・クロックを変更できません。

TMCnレジスタが0000Hになる条件を次に示します。

(a) 非同期リセット

- ・ TMCCn0レジスタのTMCCAEnビット = 0
- ・ リセット入力

(b) 同期リセット

- ・ TMCCn0レジスタのTMCCEnビット = 0
- ・ CCCn0レジスタをコンペア・レジスタとして使用し、かつTMCnレジスタのクリアを許可 (TMCCn1レジスタのCCLRnビット= 1) しているときのTMCnレジスタとCCCN0レジスタとの一致

(2) キャプチャ/コンペア・レジスタCn0, Cn1 (CCCN0, CCCn1) (n = 0, 1)

キャプチャ/コンペア・レジスタCn0, Cn1は、16ビットのキャプチャ/コンペア・レジスタです。

タイマ・モード・コントロール・レジスタCn1 (TMCCn1) のCMSn0, CMSn1ビットの指定により、キャプチャ・レジスタまたはコンペア・レジスタとして使用できます (n = 0, 1)。

16ビット単位でリード/ライト可能です (ただし、ライト動作はコンペア・モード時のみ可能です)。

	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	アドレス	初期値
CCC0n		FFFFFF602H, FFFFFF604H	0000H
CCC1n		FFFFFF612H, FFFFFF614H	0000H
備考 n = 0, 1			

(a) キャプチャ・レジスタに設定 (TMCCn1のCMSn0, CMSn1 = 0)

キャプチャ・レジスタに設定した場合は、対応する外部割り込みINTP0n0, INTP0n1信号の有効エッジをキャプチャ・トリガとして検出します。TMCnはキャプチャ・トリガに同期して、TMCnの値をCCCN0, CCCn1レジスタにラッチします (キャプチャ動作)。

INTP0n0端子の有効エッジはSESCnレジスタのIES0n01, IES0n00ビットで、INTP0n1端子の有効エッジはSESCnレジスタのIES0n11, IES0n10ビットで指定 (立ち上がり, 立ち下がり, 両エッジ) します (n = 0, 1)。

キャプチャ動作は、カウント・クロックとは非同期に行われます。ラッチした値は、次にキャプチャ動作が行われるまでキャプチャ・レジスタに保持されます。

タイマ・モード・コントロール・レジスタCn0 (TMCCn0) のTMCCAEnビットが0の場合、0000Hがリードされます (n = 0, 1)。

キャプチャ・レジスタに指定したときは、INTP0n0, INTP0n1信号の有効エッジ検出で割り込みを発生します (n = 0, 1)。

★ **注意** キャプチャ動作とTMCnレジスタのカウント禁止の設定 (TMCCn0レジスタのTMCCEnビット = 0) のタイミングが競合した場合には、キャプチャされたデータは不定になります。また、INTM0n0, INTM0n1割り込みは発生しません (n = 0, 1)。

(b) コンペア・レジスタに設定 (TMCCn1のCMSn0, CMSn1 = 1)

コンペア・レジスタに設定した場合は、カウント・クロックごとにTMCnとレジスタ値の比較動作を行い、一致による割り込みを発生します。タイマ・モード・コントロール・レジスタCn1 (TMCCn1) のCCLRnビットがセット (1) されている場合、CCn0レジスタの一致と同時に、TMCnの値をクリア (0) します (CCn1レジスタの一致ではTMCnレジスタはクリア (0) されません) (n = 0, 1)。

コンペア・レジスタ (CCC00, CCC01) はセット/リセット出力機能を備えています。一致信号の発生に同期して、タイマ出力 (TO00) をセットまたはリセットします。

割り込み選択ソースは選択したレジスタの機能で異なります。

- 注意1. キャプチャ/コンペア・レジスタCn0, Cn1にライトする場合は、必ずTMCCAEnビットを1に設定してから行ってください。TMCCAEnビットが0の場合、ライトしたデータは無効になります。
2. キャプチャ/コンペア・レジスタCn0, Cn1へのライト動作は、TMCCn0, TMCCn1レジスタ設定によりコンペア・レジスタに設定したあとに行ってください。キャプチャ・レジスタに設定されているとき (TMCCn1レジスタのCMSn0, CMSn1ビット = 0) に、CCn0, CCn1にライトしても、そのデータは書き込まれません。
3. コンペア・レジスタに設定した場合は、INTP0n0, INTP0n1は外部割り込み入力端子として使用できません (n = 0, 1)。

10.1.5 タイマCの制御レジスタ

(1) タイマ・モード・コントロール・レジスタC00, C10 (TMCC00, TMCC10)

TMCCn0レジスタは、TMCnの動作を制御するレジスタです (n = 0, 1)。

8/1ビット単位でリード/ライト可能です。

ビット3, 2には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意1. TMCCAEnビットとその他のビットは同時にはセットできません。必ずTMCCAEnビットをセットしたあとにそのほかのビットおよびそのほかのTMCnユニットのレジスタを設定してください。また、タイマCを使用する際にタイマ機能に関連する外部端子を使用する場合には、必ず外部端子をコントロール・モードに設定したあとTMCCAEnビットをセット(1)してください。

★

2. オーバフロー発生とTMCCn0レジスタのライトが競合した場合、OVFnビット値はTMCCn0レジスタのライト時に書き込んだ値となります (n = 0, 1)。

(1/2)

	⑦	6	5	4	3	2	①	①	アドレス	初期値
TMCC00	OVF0	CS02	CS01	CS00	0	0	TMCCE0	TMCCAEO	FFFFFF606H	00H
TMCC10	OVF1	CS12	CS11	CS10	0	0	TMCCE1	TMCCAEO	FFFFFF616H	00H

ビット位置	ビット名	意味
7	OVFn (n = 0, 1)	<p>Overflow</p> <p>TMCnのオーバフローを示すフラグです (n = 0, 1)。</p> <p>0 : オーバフロー発生なし</p> <p>1 : オーバフロー発生</p> <p>TMCnがFFFFFFHから0000Hにカウント・アップしたタイミングで、OVFnビットは1になります。同時にオーバフロー割り込み要求 (INTOV0n) を発生します。ただし、CCn0をコンペア・モード (TMCCn1レジスタのCMSn0ビット = 1) かつ、TMCnとCCn0とのコンペア時の一致クリアを許可 (TMCCn1レジスタのCCLRnビット = 1) に設定し、FFFFFFHでの一致後にTMCnを0000Hにクリアする場合は、TMCnのクリアとみなし、OVFnビットは1になりません。また、INTOV0n割り込みも発生しません。</p> <p>OVFnビットは、0をライトまたはTMCCAEnビット = 0で非同期リセットをかけるまで1を保持します。また、オーバフローによる割り込み動作とOVFnビットは独立しており、OVFnビットを操作してもINTOV0nに対する割り込み要求フラグ (OVFn) には影響を与えません。OVFnビットを読み出し中にオーバフローが発生した場合は、フラグの値は変化して次の読み出し時に反映されます。</p>

ビット位置	ビット名	意味																																				
6-4	CSn2-CSn0 (n = 0, 1)	<p>Count Enable Select TMCnの内部カウント・クロックを選択します (n = 0, 1)。</p> <table border="1"> <thead> <tr> <th>CSn2</th> <th>CSn1</th> <th>CSn0</th> <th>カウント周期</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>$f_{xx}/4$</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>$f_{xx}/8$</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>$f_{xx}/16$</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>$f_{xx}/32$</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>$f_{xx}/64$</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>$f_{xx}/128$</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>$f_{xx}/256$</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>$f_{xx}/512$</td> </tr> </tbody> </table> <p>注意 タイマ動作中にCSn2-CSn0ビットを変更しないでください。変更する場合にはTMCCEnビット = 0にしてから行ってください。動作中に書き換えた場合、その動作は保証できません。</p> <p>備考 f_{xx} : 内部システム・クロック</p>	CSn2	CSn1	CSn0	カウント周期	0	0	0	$f_{xx}/4$	0	0	1	$f_{xx}/8$	0	1	0	$f_{xx}/16$	0	1	1	$f_{xx}/32$	1	0	0	$f_{xx}/64$	1	0	1	$f_{xx}/128$	1	1	0	$f_{xx}/256$	1	1	1	$f_{xx}/512$
CSn2	CSn1	CSn0	カウント周期																																			
0	0	0	$f_{xx}/4$																																			
0	0	1	$f_{xx}/8$																																			
0	1	0	$f_{xx}/16$																																			
0	1	1	$f_{xx}/32$																																			
1	0	0	$f_{xx}/64$																																			
1	0	1	$f_{xx}/128$																																			
1	1	0	$f_{xx}/256$																																			
1	1	1	$f_{xx}/512$																																			
1	TMCCEn (n = 0, 1)	<p>Count Enable TMCnの動作を制御します (n = 0, 1)。 0 : カウント禁止 (0000Hで停止し、動作しません) 1 : カウント動作を行います。</p> <p>注意 TMCCEn = 0の場合は、外部パルス出力 (TO00) はインアクティブ・レベルになります (TO00出力のアクティブ・レベルはTMCC01レジスタのACTLV0ビットで設定します)。</p>																																				
0	TMCCAEn (n = 0, 1)	<p>Clock Action Enable 内部カウント・クロックを制御します (n = 0, 1)。 0 : TMCnユニット全体を非同期リセット。TMCnユニットへのクロック供給を停止。 1 : クロックをTMCnユニットへ供給</p> <p>注意1. TMCCAEn = 0にすると、TMCnユニットを非同期にリセットすることができます。</p> <p>2. TMCCAEn = 0の場合、TMCnユニットはリセット状態なので、TMCnを動作させる場合には、まずTMCCAEn = 1にしてください。</p> <p>3. TMCCAEnビットを1から0にした場合は、TMCnユニットのすべてのレジスタが初期化されます。再度TMCCAEn = 1にした場合には、必ずTMCnユニットのすべてのレジスタを再設定してください。</p>																																				

(2) タイマ・モード・コントロール・レジスタC01, C11 (TMCC01, TMCC11)

TMCCn1レジスタは、TMCnの動作を制御するレジスタです (n = 0, 1)。

8ビット単位でリード/ライト可能です。

TMCC01レジスタのビット2, TMCC11レジスタのビット6, 2は0, TMCC11レジスタのビット5は1を必ず設定してください。それ以外の値を設定した場合の動作は保証できません。

- 注意1.** タイマ動作中に、TMCCn1レジスタの各ビットを変更しないでください。変更する場合は、TMCCn0レジスタのTMCCEnビットを0にしてから行ってください。タイマ動作中にTMCCn1レジスタを書き換えた場合の動作は保証できません (n = 0, 1)。
- ENT01ビットとACTLV0ビットを同時に変更した場合、TO00端子出力にグリッジ (ヒゲ状のノイズ) が発生する可能性があります。グリッジが発生しても誤動作しない回路構成にするか、ENT01ビットとACTLV0ビットを同時に変更しないようにしてください (n = 0, 1)。
 - TO00出力は外部割り込み信号 (INTP0n0, INTP0n1) では変化しません。TO00信号を使用するときは、キャプチャ/コンペア・レジスタをコンペア・レジスタに指定 (TMCCn1レジスタのCMSn0, CMSn1ビット = 1) してください (n = 0, 1)。

(1/2)

★

	7	6	5	4	3	2	1	0	アドレス	初期値
TMCC01	OST0	ENT01	ACTLV0	ETI0	CCLR0	0	CMS01	CMS00	FFFFFF608H	20H
TMCC11	OST1	0	1	ETI1	CCLR1	0	CMS11	CMS10	FFFFFF618H	20H

ビット位置	ビット名	意味
7	OSTn (n = 0, 1)	Overflow Stop TMCnがオーバーフローしたときの動作を設定します (n = 0, 1)。 0: オーバフロー後、カウント継続 (フリー・ランニング・モード) 1: オーバフロー後、タイマは0000Hを保持しカウント停止 (オーバーフロー・ストップ・モード)。このときTMCCn0のTMCCEnビットは1のままです。 TMCCEnビットに再度1を書き込むことによりカウントを開始します。
6	ENT01	Enable To Pin 外部パルス出力 (TO00) の出力を許可/禁止します。 0: 外部パルス出力禁止。TO00端子にはACTLV0ビットのインアクティブ・レベルを固定出力します。コンペア・レジスタ (CCC00, CCC01) から一致信号が発生してもTO00端子のレベルは変化しません。 1: 外部パルス出力許可。コンペア・レジスタの一致により、TO00出力が変化します。ただし、キャプチャ・モードのときには、TO00出力は変化しません。タイマ出力を許可してから最初に一致信号が発生するまでは、ACTLV0ビットのインアクティブ・レベルが出力されます。 注意 CCC00, CCC01のどちらかをキャプチャ・レジスタに指定した場合は、ENT01 = 0に設定してください。

★

ビット位置	ビット名	意味
5	ACTLV0	Active Level 外部パルス出力 (TO00) のアクティブ・レベルを指定します。 0: アクティブ・レベルはロウ・レベル 1: アクティブ・レベルはハイ・レベル 注意 ACTLV0ビットの初期値は“1”です。
4	ETIn (n = 0, 1)	External Input カウント・クロックの外部と内部の切り替えを指定します。 0: 入力クロック (内部) を指定します。TMCCn0のCSn2-CSn0ビットにより カウント・クロックを選択できます (n = 0, 1)。 1: 外部クロック (TI0n0) を指定します。SESCnのTESn1, TESn0ビットの指 定により有効エッジを選択できます (n = 0, 1)。
3	CCLRn (n = 0, 1)	Compare Clear Enable コンペア動作時のTMCnのクリアの許可 / 禁止を設定します (n = 0, 1)。 0: クリア禁止 1: クリア許可 (コンペア動作時にCCCn0とTMCnが一致するとTMCnをクリア)
1	CMSn1 (n = 0, 1)	Capture/Compare Mode Select キャプチャ / コンペア・レジスタ (CCCn1) の動作モードを選択します (n = 0, 1)。 0: キャプチャ・レジスタとして動作 1: コンペア・レジスタとして動作
0	CMSn0 (n = 0, 1)	Capture/Compare Mode Select キャプチャ / コンペア・レジスタ (CCCn0) の動作モードを選択します (n = 0, 1)。 0: キャプチャ・レジスタとして動作 1: コンペア・レジスタとして動作

備考1. TO00出力のフリップフロップは、リセットが優先されます。

- A/Dコンバータをタイマ・トリガ・モードに設定した場合、コンペア・レジスタの一致割り込みがA/D変換開始トリガになり、変換動作を開始します。このとき、コンペア・レジスタの一致割り込みは、CPUに対するコンペア・レジスタの一致割り込みとしても機能します。CPUに対するコンペア・レジスタの一致割り込みを発生させないためには、割り込み制御レジスタ(P00IC0, P00IC1, P01IC0, P01IC1)の割り込みマスク・ビット(P00MK0, P00MK1, P01MK0, P01MK1)で割り込みを禁止してください。

(3) 有効エッジ選択レジスタC0, C1 (SESC0, SESC1)

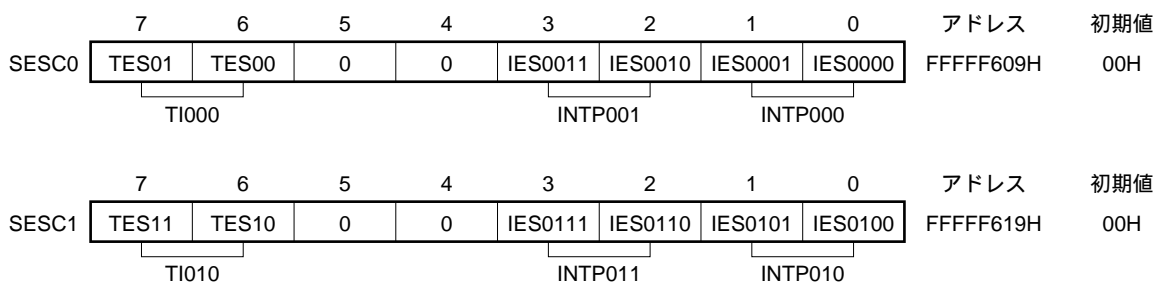
外部端子による外部割り込み要求 (INTP000, INTP001, INTP010, INTP011) の有効エッジを指定するレジスタです。

有効エッジは、立ち上がりエッジ、立ち下がりエッジ、または立ち上がり/立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

各レジスタとも8ビット単位でリード/ライト可能です。

ビット5, 4には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 タイマ動作中に、SESCnレジスタの各ビットを変更しないでください。変更する場合は、TMCCn0レジスタのTMCCEnビットを0にしてから行ってください。タイマ動作中にSESCnレジスタを書き換えた場合の動作は保証できません。



ビット位置	ビット名	意味															
7, 6	TESn1, TESn0 (n = 0, 1)	Edge Select INTPn端子, TI000, TI010端子の有効エッジを指定します。															
3, 2	IESn1, IESn0 (n = 001, 011)	<table border="1"> <thead> <tr> <th>xESn1</th> <th>xESn0</th> <th>動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>立ち下がりエッジ</td> </tr> <tr> <td>0</td> <td>1</td> <td>立ち上がりエッジ</td> </tr> <tr> <td>1</td> <td>0</td> <td>RFU (予約)</td> </tr> <tr> <td>1</td> <td>1</td> <td>立ち上がり/立ち下がり両エッジ</td> </tr> </tbody> </table>	xESn1	xESn0	動作	0	0	立ち下がりエッジ	0	1	立ち上がりエッジ	1	0	RFU (予約)	1	1	立ち上がり/立ち下がり両エッジ
xESn1	xESn0	動作															
0	0	立ち下がりエッジ															
0	1	立ち上がりエッジ															
1	0	RFU (予約)															
1	1	立ち上がり/立ち下がり両エッジ															
1, 0	IESn1, IESn0 (n = 000, 010)																

10.1.6 タイマCの動作

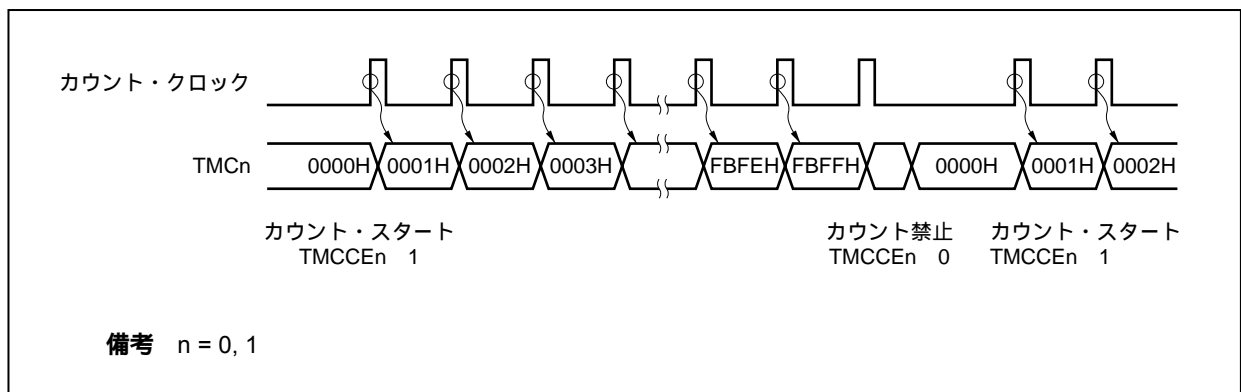
(1) カウント動作

タイマCは、16ビットのフリー・ランニング・タイマまたは、外部信号のイベント・カウンタとして機能します。動作の設定は、タイマ・モード・コントロール・レジスタCn0, Cn1 (TMCCn0, TMCCn1) で指定します (n = 0, 1)。

フリー・ランニング・タイマとして動作する場合、CCC00, CCC01レジスタとTMC0のカウント値が一致すると、割り込み信号を発生させるとともに、タイマ出力信号 (TO00) をセット/リセットすることができます。また、外部トリガとしての外部割り込み要求入力端子から検出された有効エッジに同期して、TMCnのカウント値をCCCN0, CCCn1レジスタに保持するキャプチャ動作を行うこともできます。キャプチャの値は、次のキャプチャ・トリガが発生するまで保持されます。

注意 INTP0n0/TI0n0端子をTI0n0 (外部クロック入力端子) として使用する場合は、INTP0n0の割り込みを禁止するか、CCCN0レジスタをコンペア・モードにしてください (n = 0, 1)。

図10 - 1 タイマCの基本動作



(2) オーバフロー

TMCnレジスタがカウント・クロックをFFFFHから0000Hまでカウントした場合に、TMCCn0レジスタのOVFnビットをセット(1)します。同時にオーバフロー割り込み(INTOV0n)を発生します。ただし、CCn0レジスタをコンペア・モード(CMSn0ビット = 1)かつ、FFFFHに設定し、一致クリアが有効(CCLRnビット = 1)な場合に、TMCnレジスタがFFFFHから0000Hに変化した場合は、TMCnレジスタのクリアとみなし、OVFnビットをセット(1)しません。また、INTOV0nも発生しません。

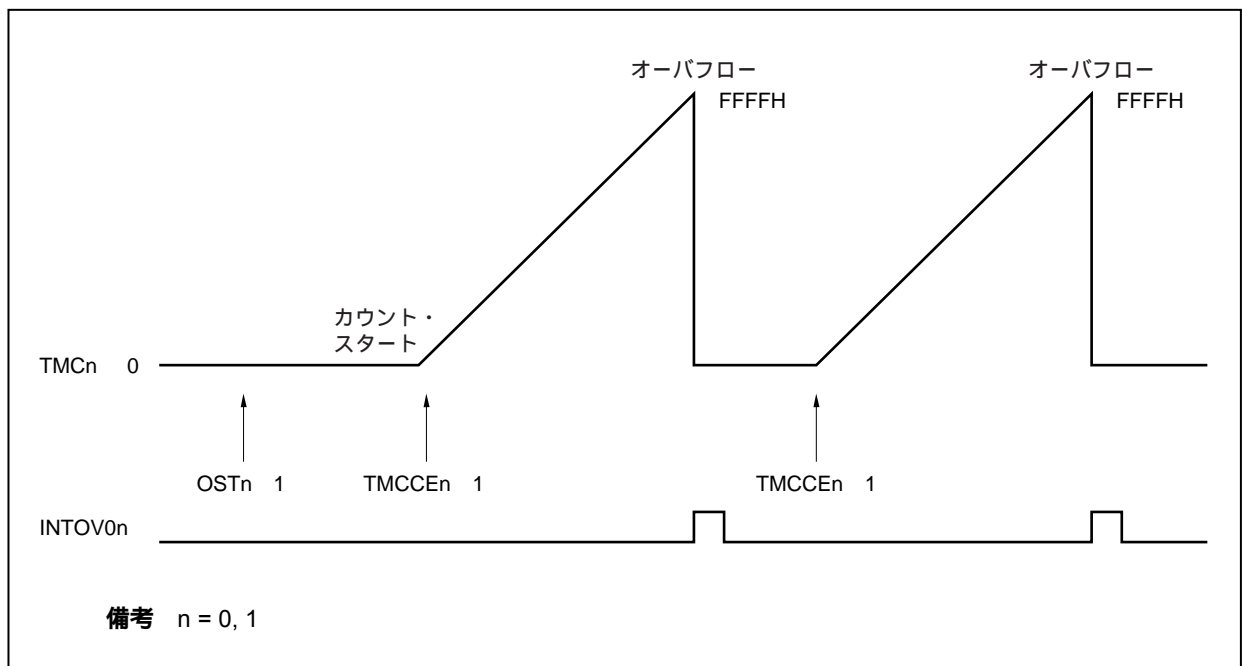
TMCCEnビットを1 0に変更することにより、TMCnレジスタがFFFFHから0000Hに変化した場合も、TMCnレジスタのクリアとみなし、OVFnビットをセット(1)せず、INTOV0n割り込みも発生しません。

また、TMCCn1レジスタのOSTnビットをセット(1)することで、オーバフロー後、タイマを停止させることができます。オーバフローによりタイマが停止した場合、TMCCn0レジスタのTMCCEnビットを再度セット(1)するまでカウント動作を再開しません。

なお、カウント動作中にTMCCEnビットをセット(1)しても動作に影響はありません。

備考 n = 0, 1

図10 - 2 オーバフロー後の動作 (OSTn = 1の場合)



(3) キャプチャ動作

TMCnレジスタは、CCCN0レジスタとCCCN1レジスタの2つのキャプチャ/コンペア・レジスタがあります。どちらもTMCCn1レジスタのCMSn1, CMSn0ビットにより、キャプチャ動作またはコンペア動作に設定します。TMCCn1レジスタのCMSn1, CMSn0ビットに0を設定すると、キャプチャ・レジスタとして動作します。

外部トリガに同期して、TMCnのカウンタ値をカウンタ・クロックとは非同期にキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。外部トリガとして、外部割り込み要求入力端子 (INTP0n0, INTP0n1) から検出された有効エッジを使用します (キャプチャ・トリガ)。そのキャプチャ・トリガ信号に同期して、カウンタ中のTMCnのカウンタ値をキャプチャ・レジスタに取り込み保持します。キャプチャ・レジスタの値は、次のキャプチャ・トリガが発生するまで保持されます。

また、INTP0n0, INTP0n1信号入力により割り込み要求 (INTM0n0, INTM0n1) を発生します。

キャプチャ・トリガの有効エッジは、有効エッジ選択レジスタCn (SESCn) により設定します。

立ち上がり/立ち下がり両エッジをキャプチャ・トリガとした場合は、外部からの入力パルス幅を測定できます。また、片側エッジをキャプチャ・トリガとした場合は、入力パルスの周期を測定できます。

備考 n = 0, 1

図10-3 キャプチャ動作例

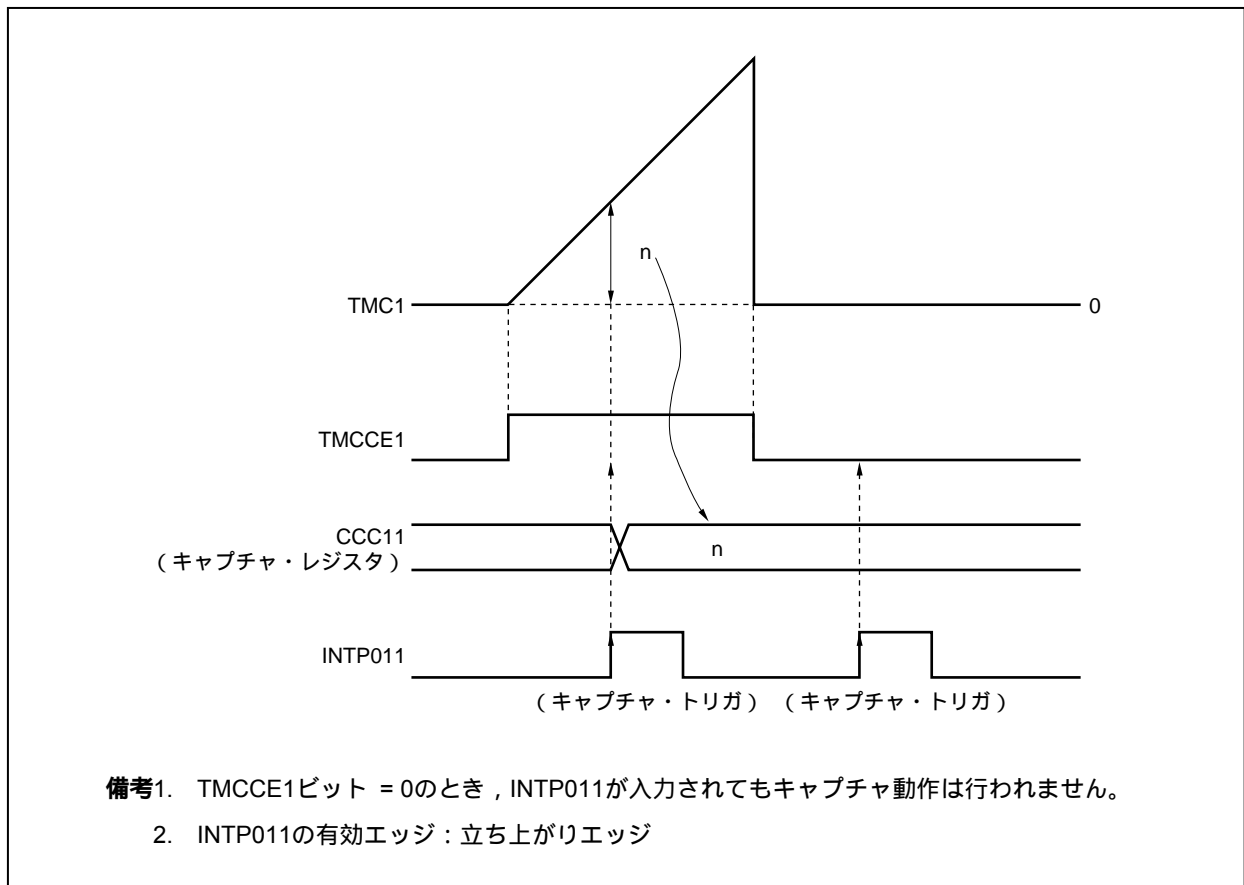
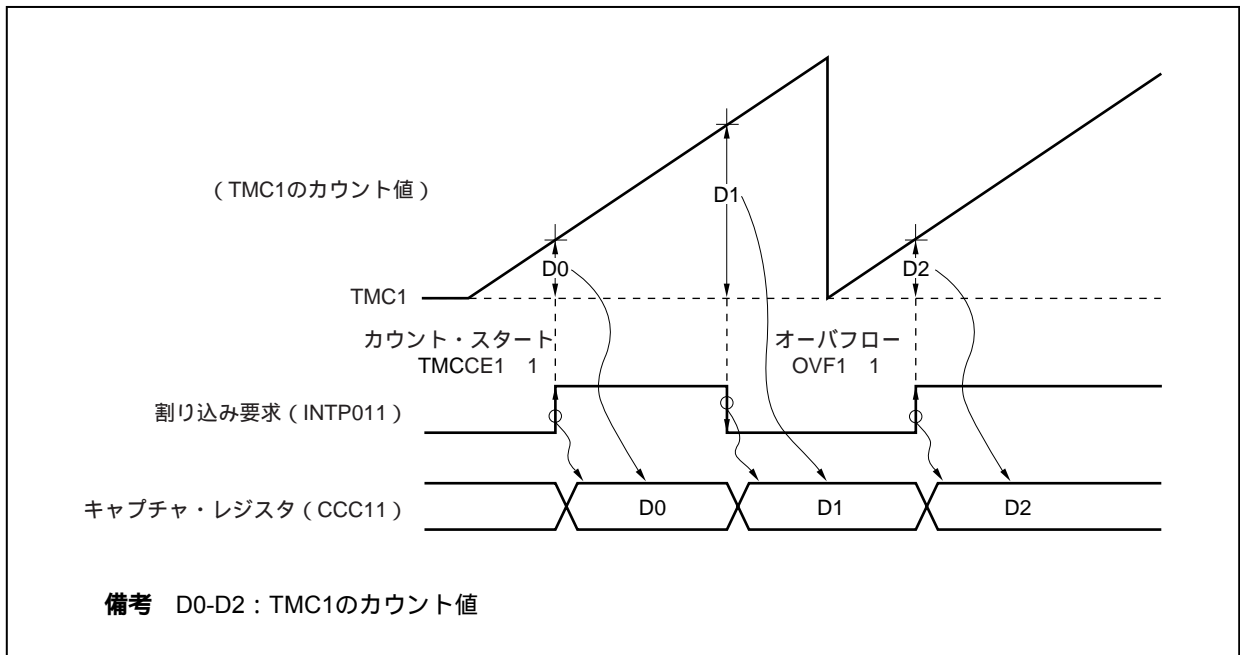


図10 - 4 TMC1キャプチャ動作例 (両エッジ指定時)



(4) コンペア動作

TMCnレジスタは、CCCN0レジスタとCCCN1レジスタの2つのキャプチャ/コンペア・レジスタがあります。どちらもTMCCn1レジスタのCMSn1, CMSn0ビットにより、キャプチャ動作またはコンペア動作の設定をします。TMCCn1レジスタのCMSn1, CMSn0ビットに1を設定すると、コンペア・レジスタとして動作します。

コンペア・レジスタに設定した値とTMCnのカウント値を比較するコンペア動作を行います。

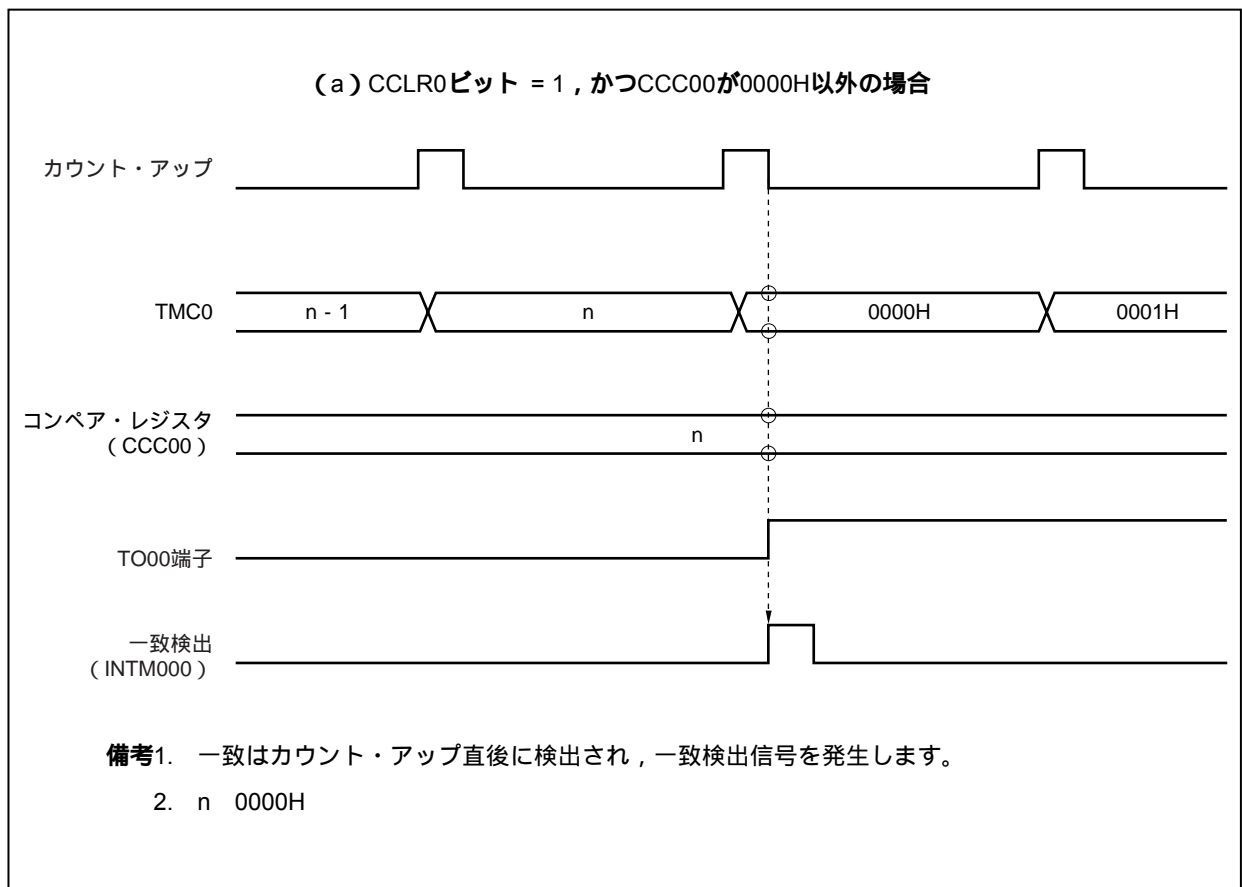
あらかじめ設定したコンペア・レジスタの値に、TMCnのカウント値が一致すると、出力制御回路に一致信号を送ります。一致信号によりタイマ出力端子 (TO00) を変化させ (タイマC0のみ)、同時に割り込み要求信号 (INTM0n0, INTM0n1) を発生します。

CCCN0, CCCn1レジスタに0000Hを設定した場合は、TMCnレジスタがFFFFHから0000Hにカウント・アップ後の0000Hを一致と判定します。この場合、次のカウント・タイミングでTMCnレジスタの値をクリア (0) しますが、このときの0000Hとは一致の判定を行いません。また、TMCnレジスタがカウントを開始するときの0000Hとも一致の判定を行いません。

CCCN0レジスタは一致クリア許可 (CCLRnビット = 1) にすると、コンペア動作中にTMCnレジスタとの一致が発生した場合にTMCnレジスタをクリアします。

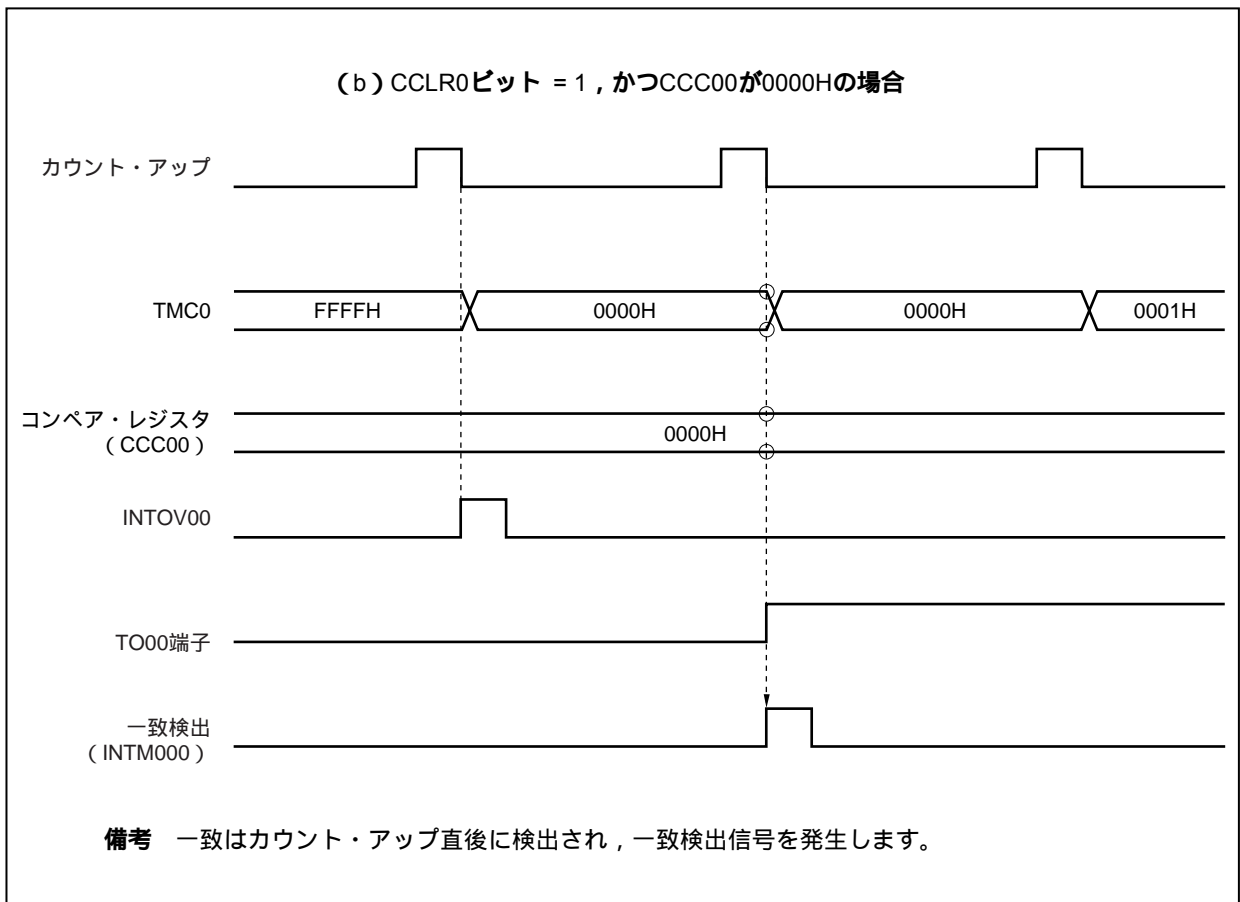
備考 n = 0, 1

図10 - 5 コンペア動作例 (1/2)



★

図10 - 5 コンペア動作例 (2/2)



(5) 外部パルス出力

タイマCは1本のタイマ出力端子 (TO00) を持っています。

外部パルス出力 (TO00) は、2つのコンペア・レジスタ (CCC00, CCC01) とTMC0レジスタとの一致を検出して生成します。

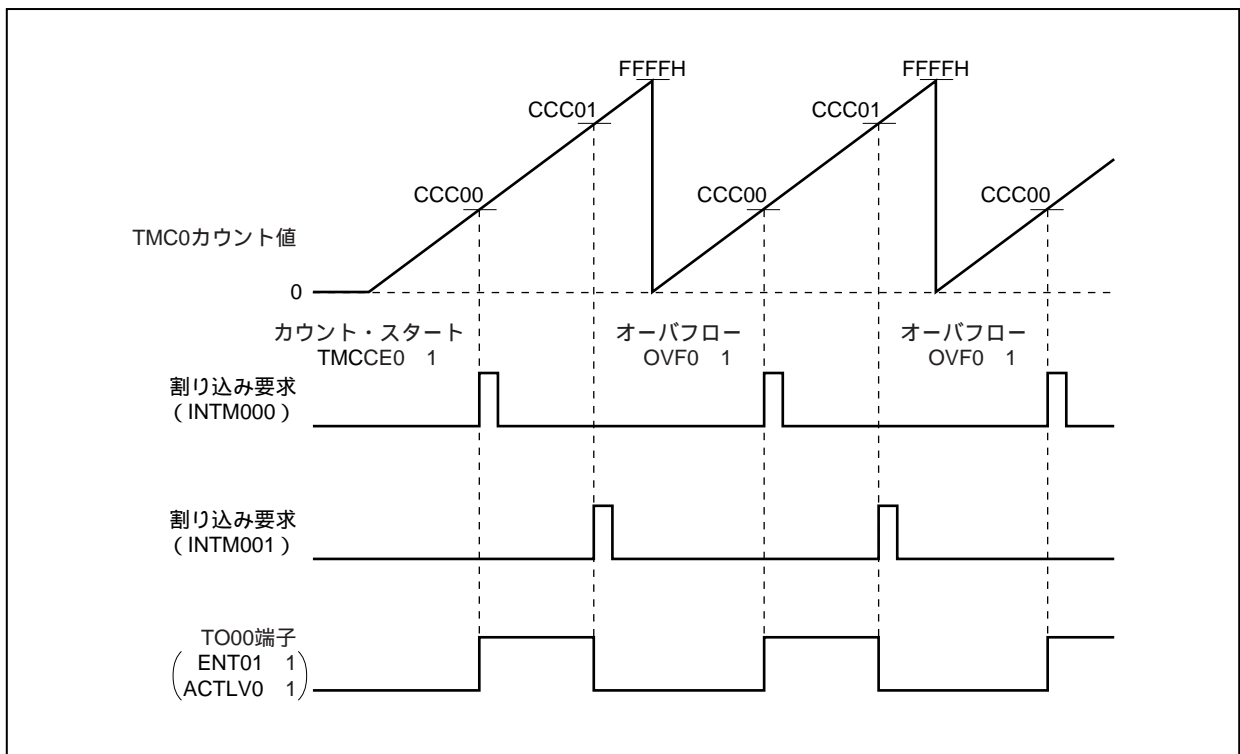
TMC0のカウント値とCCC00の値を比較し、一致するとTO00端子の出力レベルをセットします。また、TMC0のカウント値とCCC01の値を比較し、一致するとTO00端子の出力レベルをリセットします。

TO00端子の出力レベルは、TMCC01レジスタによって指定できます。

表10 - 2 TO00出力制御

ENT01	ACTLV0	TO00出力	
		外部パルス出力	出力レベル
0	0	禁止	ハイ・レベル
0	1	禁止	ロウ・レベル
1	0	許可	CCC00レジスタとの一致：ロウ・レベル CCC01レジスタとの一致：ハイ・レベル
1	1	許可	CCC00レジスタとの一致：ハイ・レベル CCC01レジスタとの一致：ロウ・レベル

図10 - 6 TMC0コンペア動作例 (セット/リセット出力モード)



10.1.7 使用例 (タイマC)

(1) インターバル・タイマ

TMCCn0, TMCCn1レジスタを図10-7のように設定することにより, CCCn0レジスタにあらかじめ設定した値をインターバルとして, 繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

TMCnレジスタのカウンタ値がCCCn0レジスタの設定値と一致すると, TMCnレジスタをクリア (0000H) してカウント動作を継続すると同時に, 割り込み要求信号 (INTM0n0) を発生します。

備考 n = 0, 1

図10-7 インターバル・タイマとして使用時のレジスタ設定内容

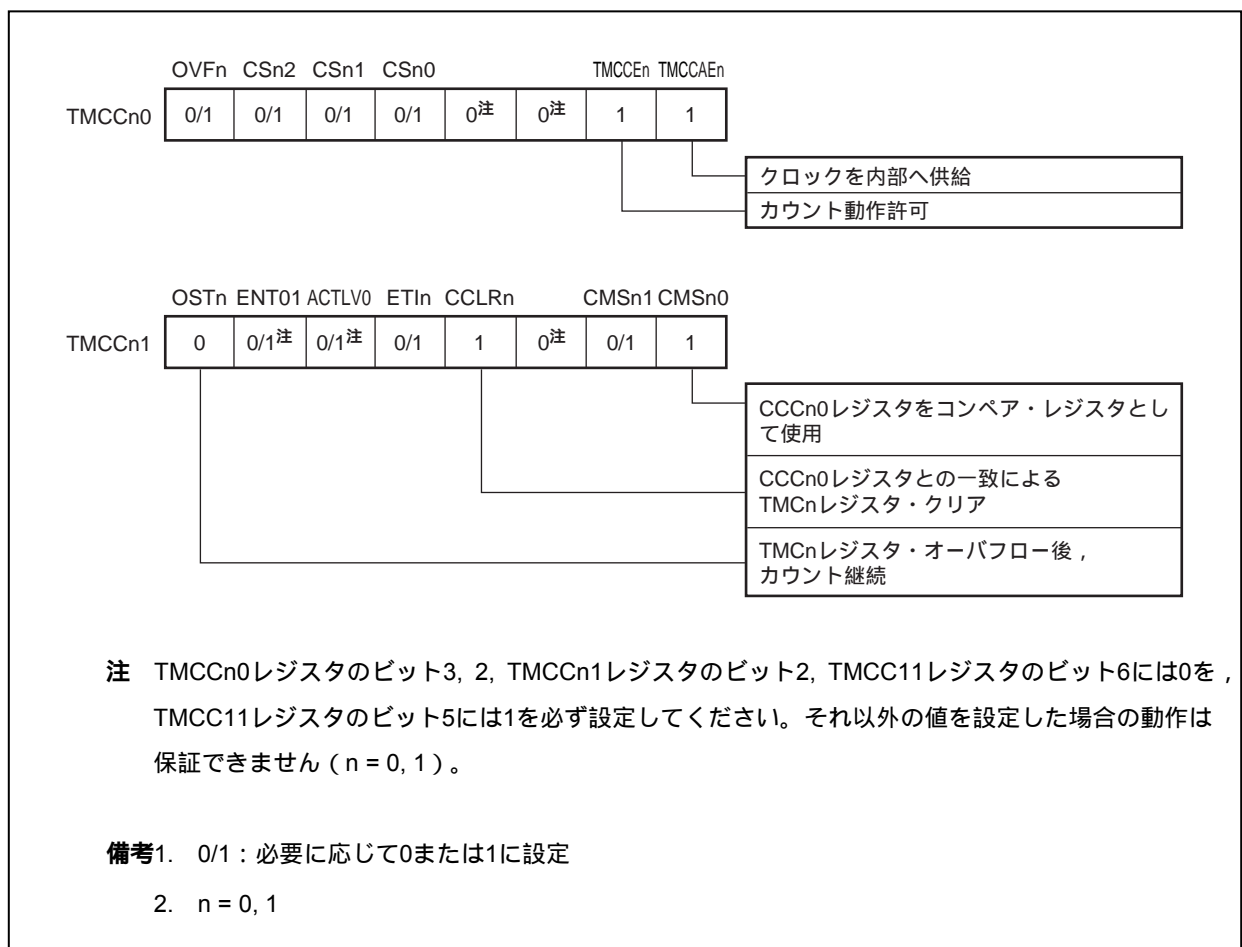
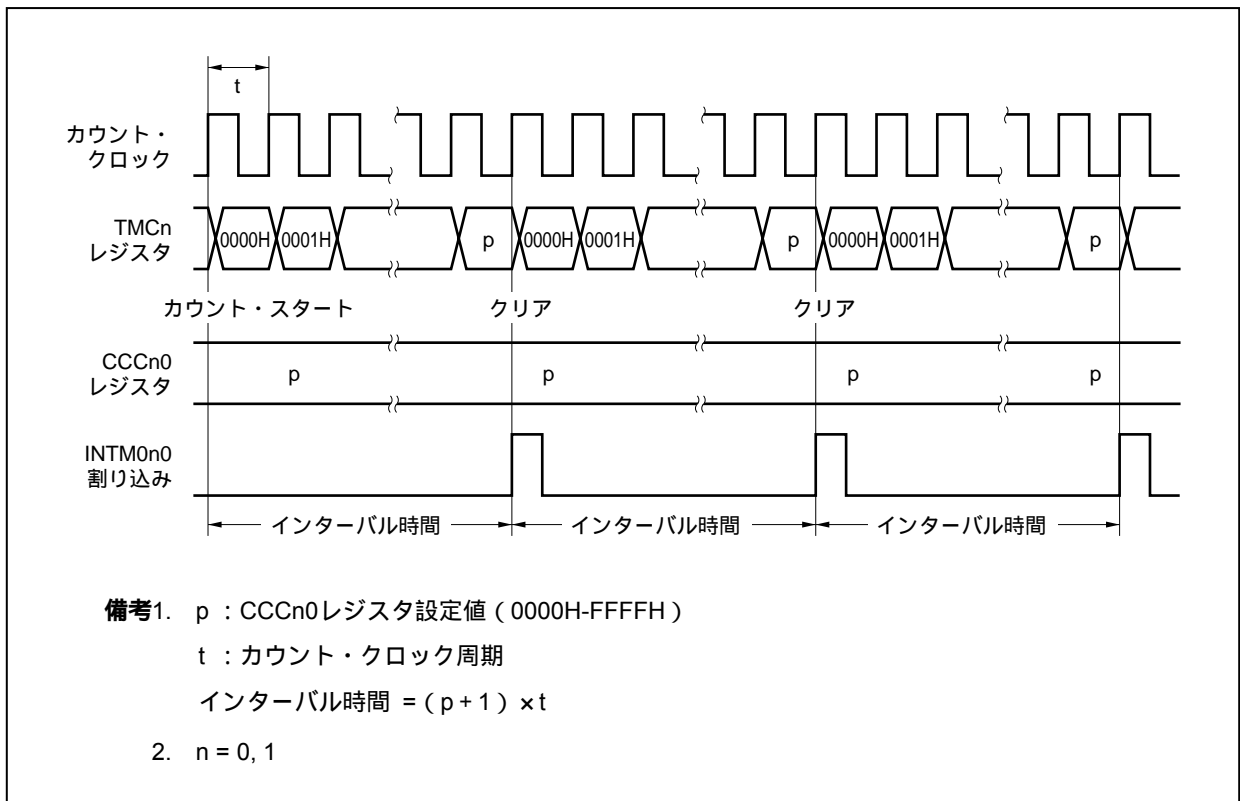


図10 - 8 インターバル・タイマ動作タイミング例



(2) PWM出力

TMCC00, TMCC01レジスタを図10 - 9のように設定することにより, CCC00, CCC01レジスタにあらかじめ設定した値をインターバルとするTMCC00レジスタのCS02-CS00ビットの設定で決まる周波数のPWM出力が行えます。

TMC0レジスタのカウント値がCCC00レジスタの設定値と一致すると, TO00出力がアクティブになります。続いて, TMC0レジスタのカウント値がCCC01レジスタの設定値と一致すると, TO00出力がインアクティブになります。TMC0レジスタはカウントを続け, オーバフローするとカウント値を0000Hにしてクリアし, カウントを継続します。これによって, TMCC00レジスタのCS02-CS00ビットの設定で決まる周波数のPWM出力が可能になります。CCC00レジスタの設定値とCCC01レジスタの設定値が同一の場合は, TO00出力はインアクティブのまま変化しません。

なお, TO00出力のアクティブ・レベルはTMCC01レジスタのACTLV0ビットで設定できます。

図10 - 9 PWM出力として使用時のレジスタ設定内容

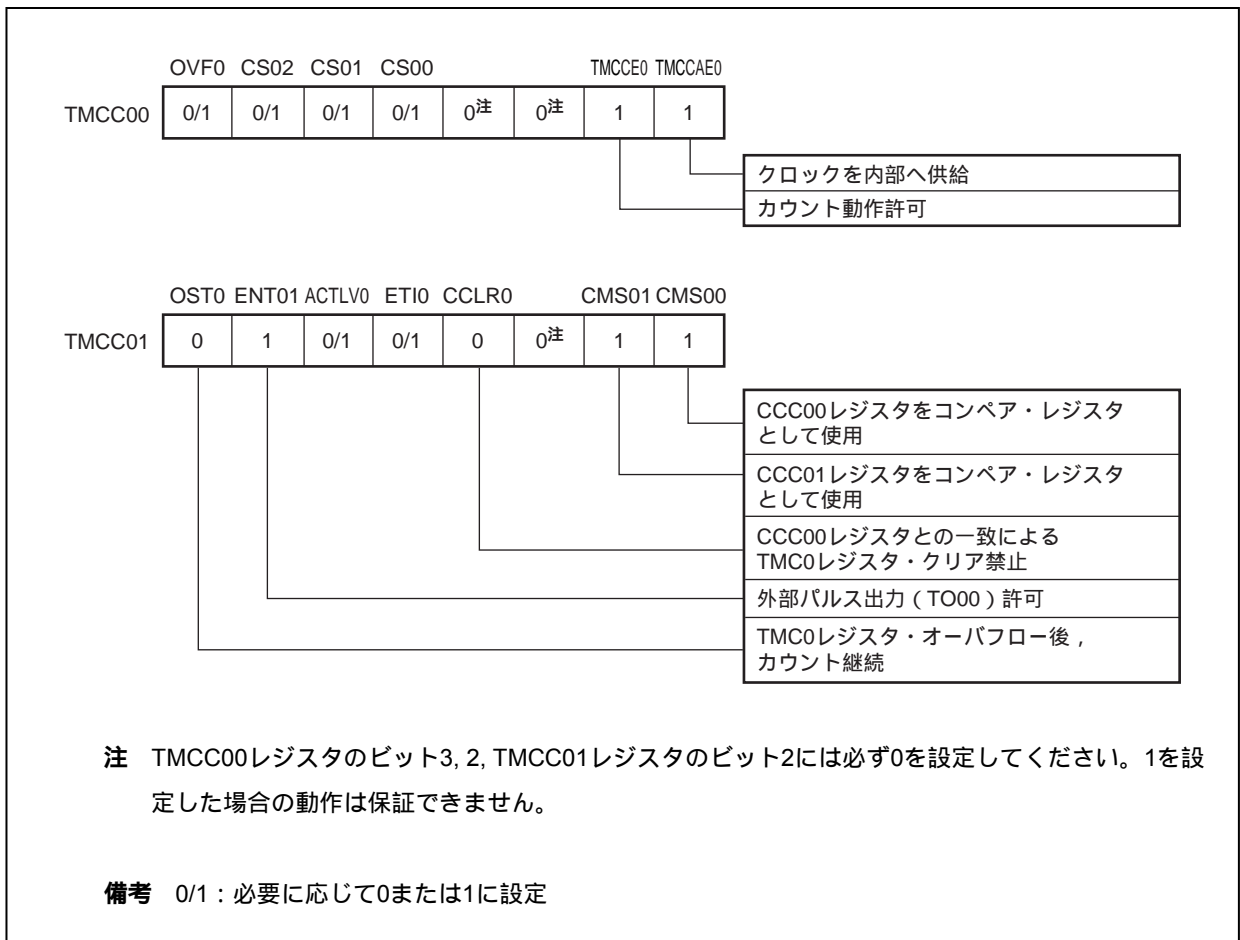
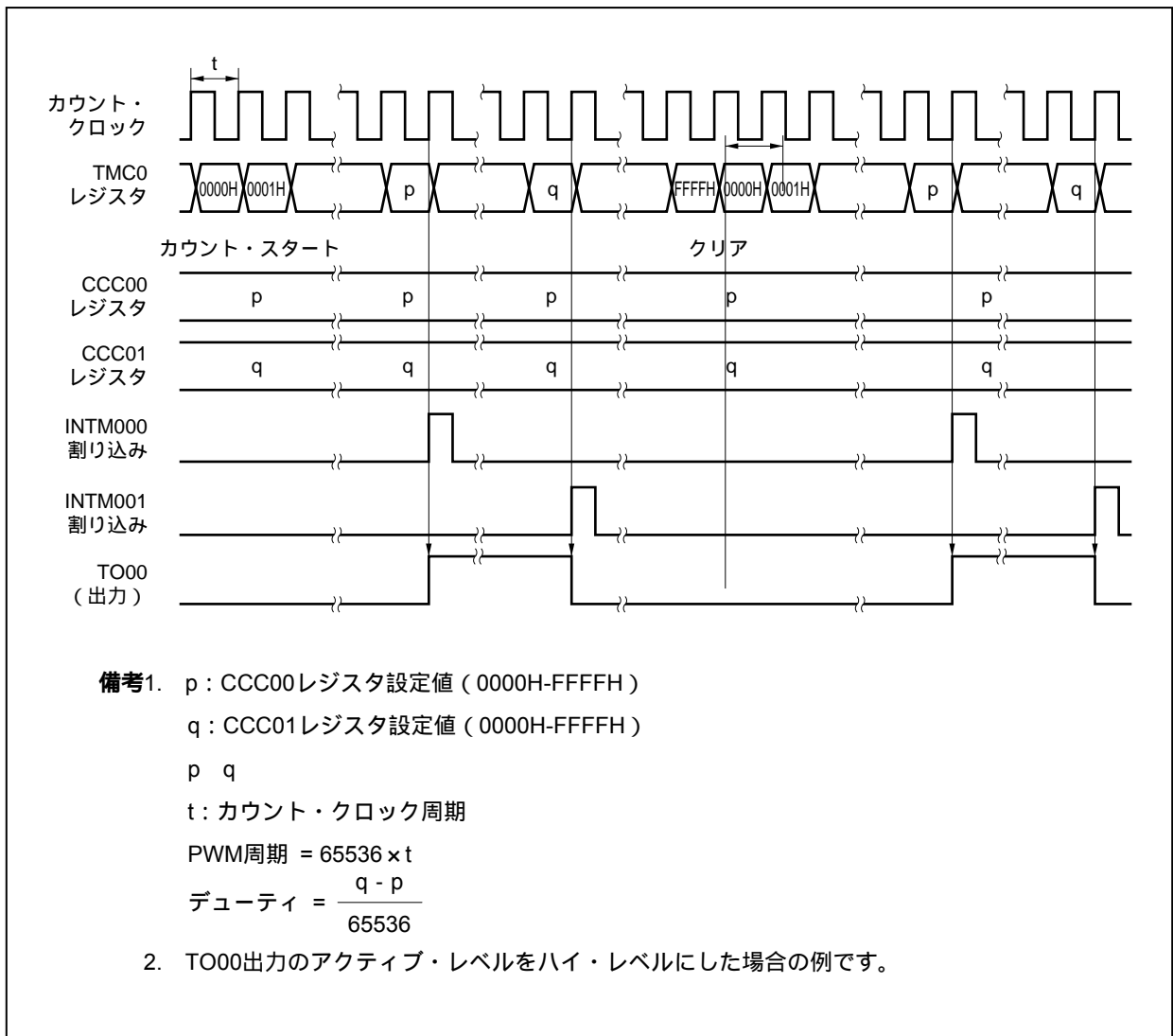


図10 - 10 PWM出力動作タイミング例



(3) 周期測定

TMCCn0, TMCCn1レジスタを図10 - 11のように設定することにより, INTP0n0端子, またはINTP0n1端子に入力する信号の周期を測定することができます。

INTP0n0端子の有効エッジは, SESCnレジスタのIES0n01, IES0n00ビットで行い, INTP0n1端子の有効エッジは, SESCnレジスタのIES0n11, IES0n10ビットで行います。どちらの端子も有効エッジとして立ち上がり, 立ち下がり, 立ち上がり / 立ち下がり両エッジの3種類から選択できます。

CCCN0レジスタをキャプチャ・レジスタに設定すると, INTP0n0端子の有効エッジ入力をトリガとして, TMCnレジスタの値をCCCN0レジスタに取り込みます。取り込みが行われると, INTM0n0割り込みを発生します。

同様にCCCN1レジスタをキャプチャ・レジスタに設定すると, INTP0n1端子の有効エッジ入力をトリガとして, TMCnレジスタの値をCCCN1レジスタに取り込みます。取り込みが行われると, INTM0n1割り込みを発生します。

INTP0n0端子に入力する信号の周期は, x回目のINTP0n0端子の有効エッジにより, CCCn0レジスタに取り込んだTMCnレジスタのカウンタ値 (D_x) と, (x + 1) 回目のINTP0n0端子の有効エッジによりCCCN0レジスタに取り込んだTMCnレジスタのカウンタ値 ($D(x + 1)$) との差を求め, この差の値とクロック制御信号の周期の積から計算します。

同様にINTP0n1端子に入力する信号の周期は, x回目のINTP0n1端子の有効エッジにより, CCCn1レジスタに取り込んだTMCnレジスタのカウンタ値 (D_x) と, (x + 1) 回目のINTP0n1端子の有効エッジによりCCCN1レジスタに取り込んだTMCnレジスタのカウンタ値 ($D(x + 1)$) との差を求め, この差の値とクロック制御信号の周期の積から計算します。

備考 n = 0, 1

図10 - 11 周期測定として使用時のレジスタ設定内容

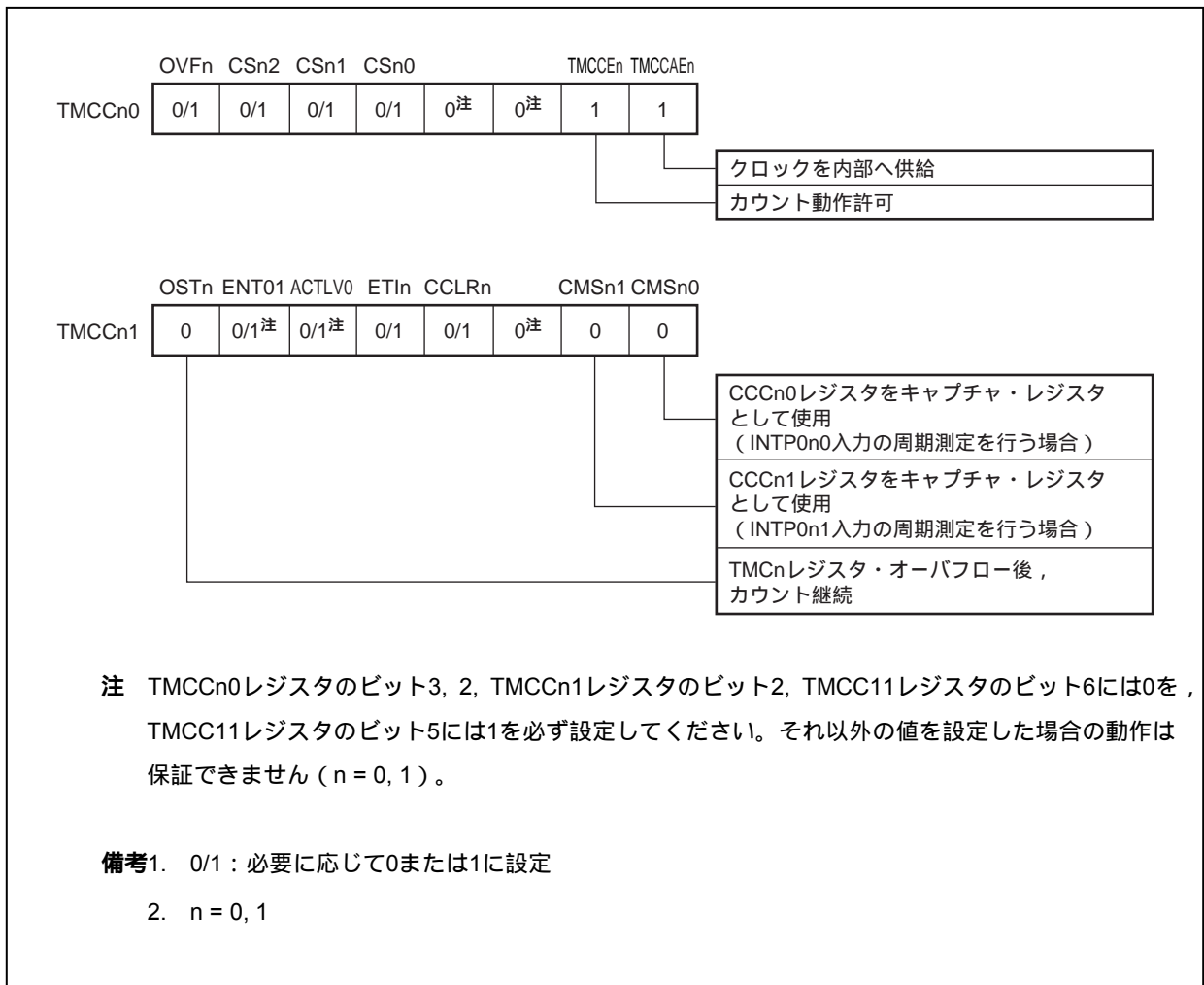
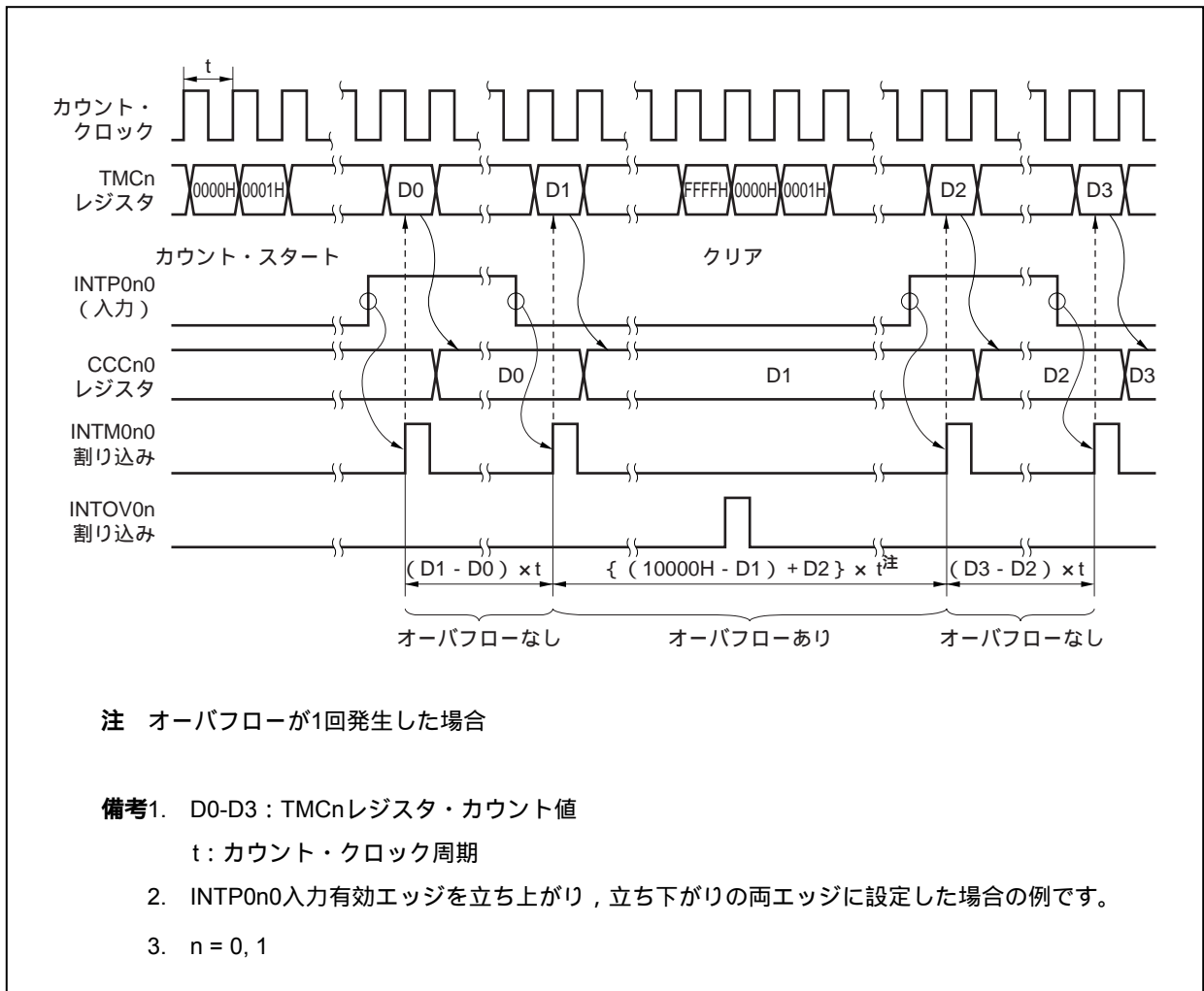


図10 - 12 周期測定動作タイミング例



10.1.8 注意事項 (タイマC)

タイマCについての注意事項を次に示します。

- (1) CCCn0レジスタをキャプチャ・モードで使用しているときに、命令によるCCCn0レジスタのリードとキャプチャ動作が競合した場合、外部トリガ (INTP0n0) の有効エッジ検出および、外部割り込み要求 (INTM0n0) は発生しますが、CCCn0レジスタへのタイマ値の格納は行われません。
- (2) CCCn1レジスタをキャプチャ・モードで使用しているときに、命令によるCCCn1レジスタのリードとキャプチャ動作が競合した場合、外部トリガ (INTP0n1) の有効エッジ検出および、外部割り込み要求 (INTM0n1) は発生しますが、CCCn1レジスタへのタイマ値の格納は行われません。
- (3) 動作中 (TMCCEn = 1) に、次のビット、レジスタを書き換えないでください。
 - ・ TMCCn0レジスタのCSn2-CSn0ビット
 - ・ TMCCn1レジスタ
 - ・ SESCnレジスタ
- (4) TMCCn0レジスタのTMCCAEnビットは、TMCnのリセット信号です。TMCnを使用する際には、まずTMCCAEnビットをセット (1) してください。
- (5) 外部割り込み要求信号 (INTP0n0, INTP0n1), 外部クロック入力 (TI0n0) の有効エッジ検出には、アナログ・ノイズ除去時間 + 2クロックが必要です。したがって、アナログ・ノイズ除去時間 + 2クロック未満の変化に対してはエッジ検出が正常に行われない可能性があります。アナログ・ノイズ除去については、7.3.8 **ノイズ除去**を参照してください。
- (6) 外部割り込み要求信号 (INTM0n0, INTM0n1) の動作は、キャプチャ/コンペア・レジスタの動作状態によって自動的に決定します。キャプチャ動作時は、外部割り込み要求信号の有効エッジ検出として動作し、コンペア動作時は、TMCnレジスタとの一致割り込みとして動作します。
- (7) ENT01ビットとACTLV0ビットを同時に変更した場合、TO00端子出力にグリッジ (ヒゲ状のノイズ) が発生する可能性があります。グリッジが発生しても誤動作しない回路構成にするか、ENT01ビットとACTLV0ビットを同時に変更しないようにするかしてください。

備考 n = 0, 1

10.2 タイマD

10.2.1 特徴 (タイマD)

タイマDは、16ビットのインターバル・タイマとして機能します。

10.2.2 機能概要 (タイマD)

16ビット・インターバル・タイマ

コンペア・レジスタ：4本

割り込み要求ソース：4要因

カウント・クロックは内部システム・クロックの分周から選択

10.2.3 タイマDの基本構成

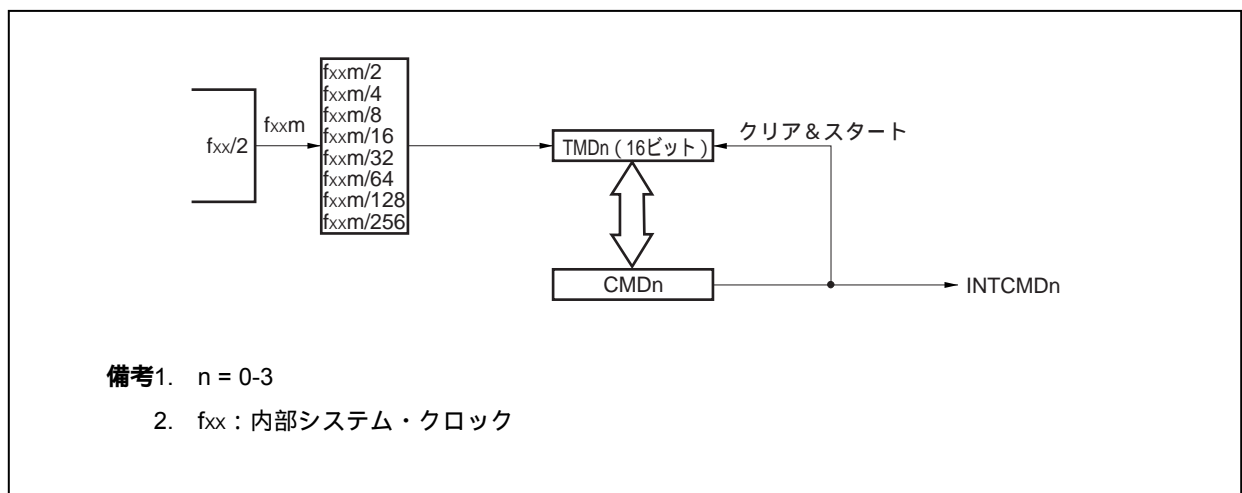
表10-3 タイマDの構成一覧

タイマ	カウント・クロック	レジスタ	リード/ライト	発生する割り込み信号	キャプチャ・トリガ	タイマ出力 S/R	その他の機能
タイマD	f _{xx} /4, f _{xx} /8, f _{xx} /16, f _{xx} /32, f _{xx} /64, f _{xx} /128, f _{xx} /256, f _{xx} /512	TMD0	リード	-	-	-	-
		CMD0	リード/ライト	INTCMD0	-	-	-
		TMD1	リード	-	-	-	-
		CMD1	リード/ライト	INTCMD1	-	-	-
		TMD2	リード	-	-	-	-
		CMD2	リード/ライト	INTCMD2	-	-	-
		TMD3	リード	-	-	-	-
		CMD3	リード/ライト	INTCMD3	-	-	-

備考 f_{xx} : 内部システム・クロック

S/R : セット/リセット

(1) タイマD (16ビット・タイマ/カウンタ)



10.2.4 タイマD

(1) タイマD0-D3 (TMD0-TMD3)

TMDnは、16ビット・タイマです。おもに、ソフトウェアのためのインターバル・タイマとして利用できます (n = 0-3)。

TMDnのスタートおよびストップは、タイマ・モード・コントロール・レジスタDn (TMCDn) のTMDCEnビットによって制御します (n = 0-3)。

カウント・クロックは、プリスケラによる分周を、TMCDnレジスタのCSn0-CSn2ビットにより $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$ から選択できます (f_{xx} : 内部システム・クロック)。

TMDnは16ビット単位でリードだけ可能です。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
TMD0																	FFFFFF540H	0000H
TMD1																	FFFFFF550H	0000H
TMD2																	FFFFFF560H	0000H
TMD3																	FFFFFF570H	0000H

TMDnレジスタが0000Hになる条件を次に示します (n = 0-3)。

- リセット入力
- TMDCAEnビット = 0
- TMDCEnビット = 0
- TMDnレジスタとCMDnレジスタの一致
- オーバフロー

- 注意1.** TMCDnレジスタのTMDCAEnビットをクリア (0) すると、非同期でリセットされます。
2. TMCDnレジスタのTMDCEnビットをクリア (0) すると、内部クロックに同期してリセットされます。CMDnレジスタとの一致後、オーバフロー後も同様です。
 3. タイマ動作中はカウント・クロックを変更しないでください。書き換えるときは、TMDCEnビットをクリア (0) したあとに書き換えてください。
 4. TMDCEnビットに設定後、設定値が内部に伝わるまで最大4クロックかかります。したがって、カウント動作開始時、0000Hから0001Hのカウント周期は、その後のカウント周期と異なります。
 5. コンペア一致が発生したあと、タイマは次のカウント・クロックでクリアされるため、分周比が大きいたときは、一致割り込み発生直後にタイマの値を読み出しても、タイマの値が0でない場合があります。

(2) コンペア・レジスタD0-D3 (CMD0-CMD3)

CMDnは、TMDnレジスタ・カウント値との比較を行い、一致すると割り込み要求信号 (INTCMDn) を発生します。この一致に同期してTMDnをクリアします。TMCDnレジスタのTMDCAEnビットを0にすると、非同期にリセットがかかり初期化されます (n = 0-3)。

CMDnレジスタはマスタ/スレーブ構成になっています。CMDnレジスタにライトすると、まず、マスタ・レジスタにライトされ、続いてマスタ・レジスタのデータがスレーブ・レジスタに転送されます。コンペア動作においては、スレーブ・レジスタの値とTMDnレジスタのカウント値を比較します。CMDnをリードした場合は、マスタ側の値が読み出されます。

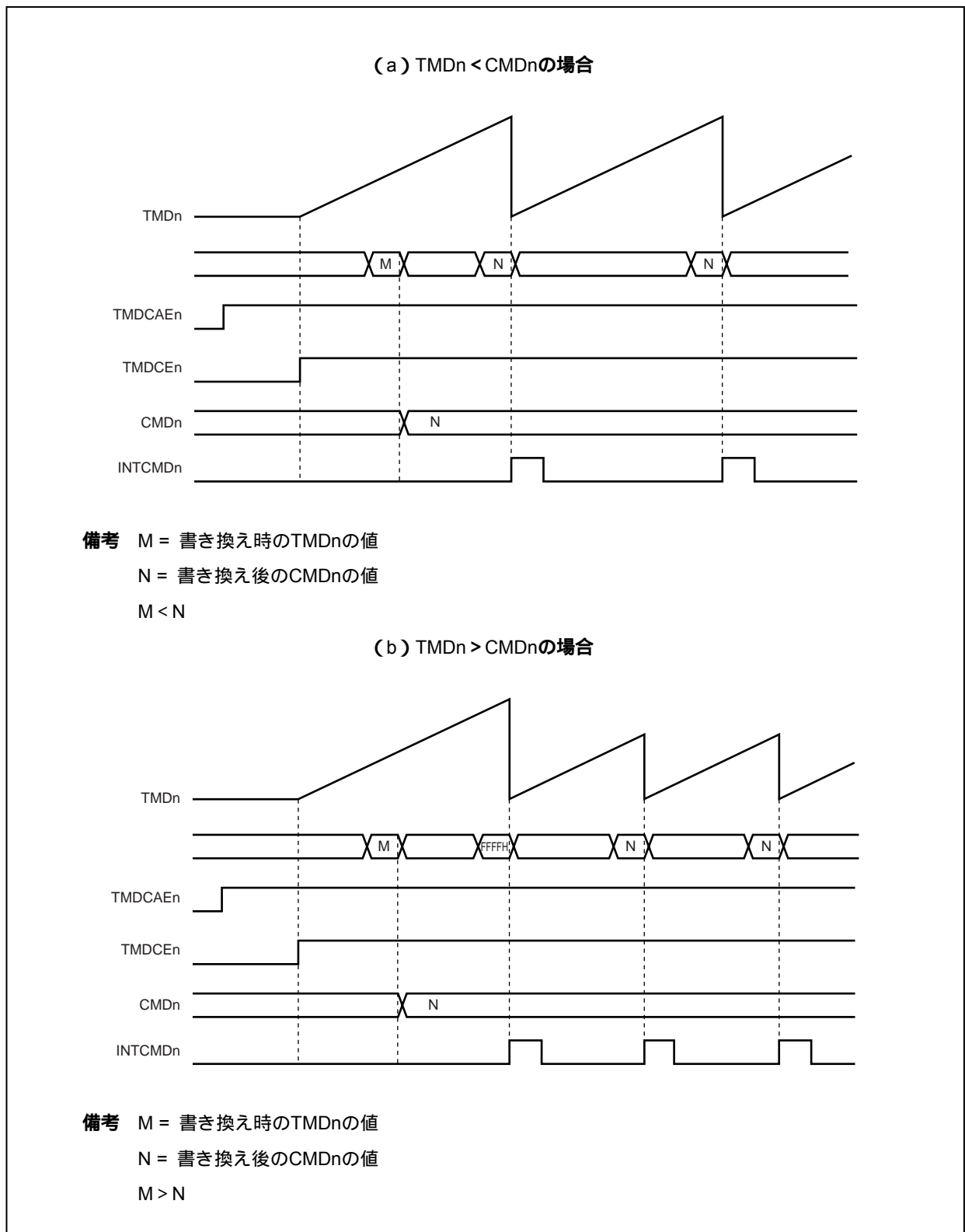
CMDnは16ビット単位でリード/ライト可能です。

- 注意1. CMDnレジスタへのライト動作は、CMDnレジスタに設定した値が内部に伝わるまで4クロックかかります。CMDnレジスタに連続して書き込みを行う場合、4クロック以上の時間間隔を確保してください。
- 2. CMDnレジスタの書き換えは、TMDnレジスタの1周期 (0000HからTMDnレジスタとCMDnレジスタが一致してINTCMDn割り込みが発生するまで)に1回のみ可能です。それをアプリケーションで確保できない場合は、動作中にCMDnレジスタを書き換えしないでください。
- 3. TMDnレジスタ動作中、そのカウンタ値以下の値をCMDnレジスタに書き込むと、オーバーフローしたあとINTCMDn割り込みが発生するため注意してください (図10 - 13)。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	初期値
CMD0																	FFFFFF542H	0000H
CMD1																	FFFFFF552H	0000H
CMD2																	FFFFFF562H	0000H
CMD3																	FFFFFF572H	0000H

図10 - 13 TMDn動作中のタイミング例

★



10.2.5 タイマDの制御レジスタ

(1) タイマ・モード・コントロール・レジスタD0-D3 (TMCD0-TMCD3)

TMCDnレジスタは、タイマDnの動作を制御するレジスタです (n = 0-3)。

8/1ビット単位でリード/ライト可能です。

注意 TMDCAEnビットとその他のビットは同時にはセットできません。必ずTMDCAEnビットをセットしたあとにそのほかのビットおよびそのほかのTMDnユニットのレジスタを設定してください。

(1/2)

	7	6	5	4	3	2	①	②	アドレス	初期値
TMCD0	0	CS02	CS01	CS00	0	0	TMDCE0	TMDCAE0	FFFFFF544H	00H
TMCD1	0	CS12	CS11	CS10	0	0	TMDCE1	TMDCAE1	FFFFFF554H	00H
TMCD2	0	CS22	CS21	CS20	0	0	TMDCE2	TMDCAE2	FFFFFF564H	00H
TMCD3	0	CS32	CS31	CS30	0	0	TMDCE3	TMDCAE3	FFFFFF574H	00H

ビット位置	ビット名	意味																																				
6-4	CSn2-CSn0 (n = 0-3)	Count Enable Select TMDnの内部カウント周期を選択します (n = 0-3)。 <table border="1"> <thead> <tr> <th>CSn2</th> <th>CSn1</th> <th>CSn0</th> <th>カウント周期</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>f_{xx}/4</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>f_{xx}/8</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>f_{xx}/16</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>f_{xx}/32</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>f_{xx}/64</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>f_{xx}/128</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>f_{xx}/256</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>f_{xx}/512</td> </tr> </tbody> </table> <p>注意 タイマ動作中にCSn2-CSn0ビットを変更しないでください。変更する場合にはTMDCEnビット = 0にしてから行ってください。動作中に書き換えた場合、その動作は保証できません。</p> <p>備考 f_{xx}: 内部システム・クロック</p>	CSn2	CSn1	CSn0	カウント周期	0	0	0	f _{xx} /4	0	0	1	f _{xx} /8	0	1	0	f _{xx} /16	0	1	1	f _{xx} /32	1	0	0	f _{xx} /64	1	0	1	f _{xx} /128	1	1	0	f _{xx} /256	1	1	1	f _{xx} /512
CSn2	CSn1	CSn0	カウント周期																																			
0	0	0	f _{xx} /4																																			
0	0	1	f _{xx} /8																																			
0	1	0	f _{xx} /16																																			
0	1	1	f _{xx} /32																																			
1	0	0	f _{xx} /64																																			
1	0	1	f _{xx} /128																																			
1	1	0	f _{xx} /256																																			
1	1	1	f _{xx} /512																																			
1	TMDCEn (n = 0-3)	Count Enable TMDnの動作を制御します (n = 0-3)。 0: カウント禁止 (0000Hで停止し、動作しません) 1: カウント動作を行います。 注意 TMDCEnビットはコンペア動作で一致を検出してもクリアされません。カウント動作を停止する場合は、TMDCEnビットをクリアしてください。																																				

ビット位置	ビット名	意味
0	TMDCAEn (n = 0-3)	<p>Clock Action Enable</p> <p>内部カウント・クロックを制御します (n = 0-3)。</p> <p>0 : TMDnユニット全体を非同期リセット。TMDnユニットへのクロック供給を停止。</p> <p>1 : クロックをTMDnユニットへ供給。</p> <p>注意1. TMDCAEn = 0にすると、TMDnユニットを非同期にリセットすることができます。</p> <p>2. TMDCAEn = 0の場合は、TMDnユニットはリセット状態なので、TMDnを動作させる場合には、まずTMDCAEn = 1にしてください。</p> <p>3. TMDCAEnビットを1から0にした場合は、TMDnユニットのすべてのレジスタが初期化されます。再度TMDCAEn = 1にする場合には、TMDCAEn = 1設定後、必ずTMDnユニットのすべてのレジスタを再設定してください。</p>

★

10.2.6 タイマDの動作

(1) コンペア動作

TMDnでは、コンペア・レジスタ (CMDn) に設定した値とTMDnのカウンタ値を比較するコンペア動作を行います (n = 0-3)。

コンペア動作で一致を検出すると割り込み (INTCMDn) を発生します。割り込み発生により、次のカウント・タイミングでTMDnはクリア (0) されます。この機能により、タイマDをインターバル・タイマとして使用します。

CMDnには0を設定することもできます。この場合はオーバフローしてTMDnが0になるとともに一致を検出しINTCMDnが発生します。次のカウント・タイミングでTMDnの値をクリア (0) しますが、この一致では、INTCMDnは発生しません。

図10 - 14 TMD0コンペア動作例 (1/2)

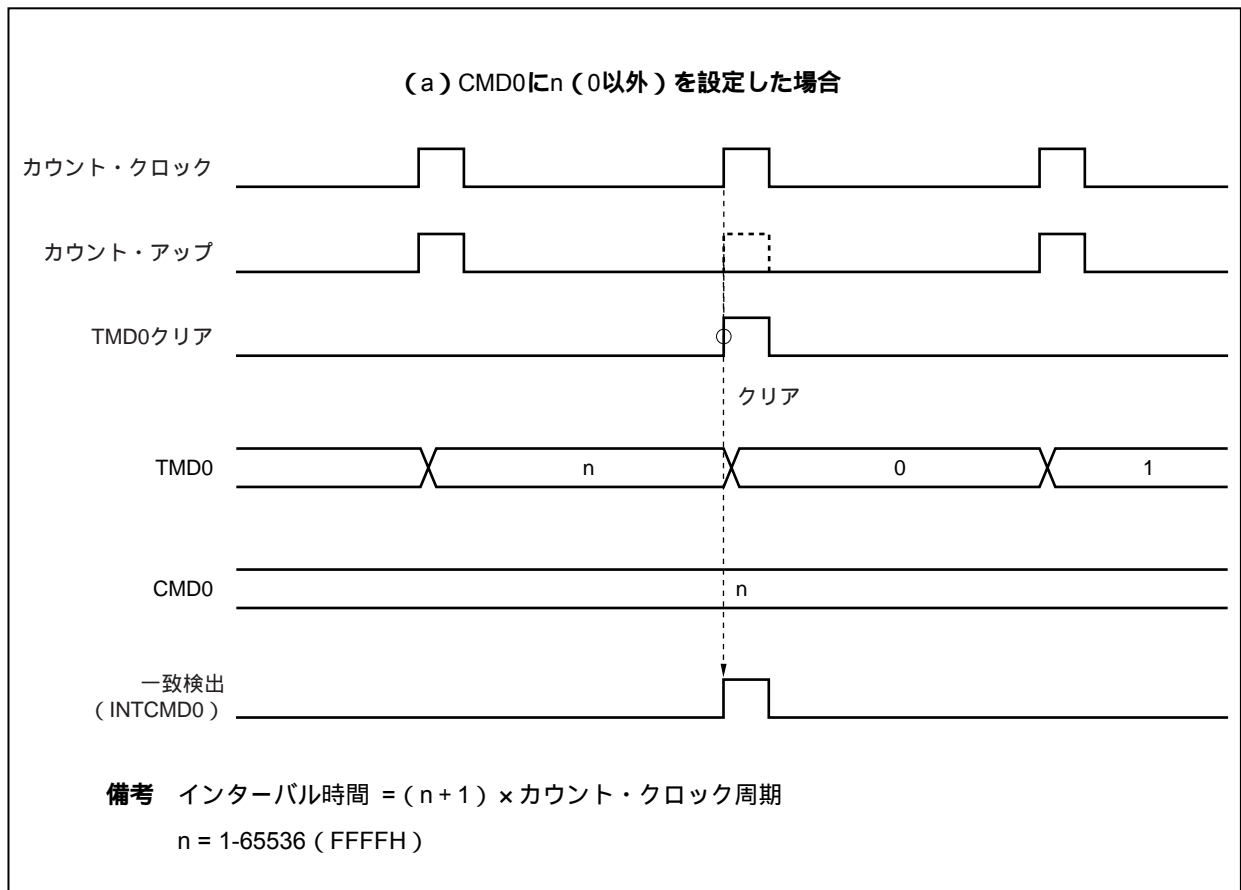
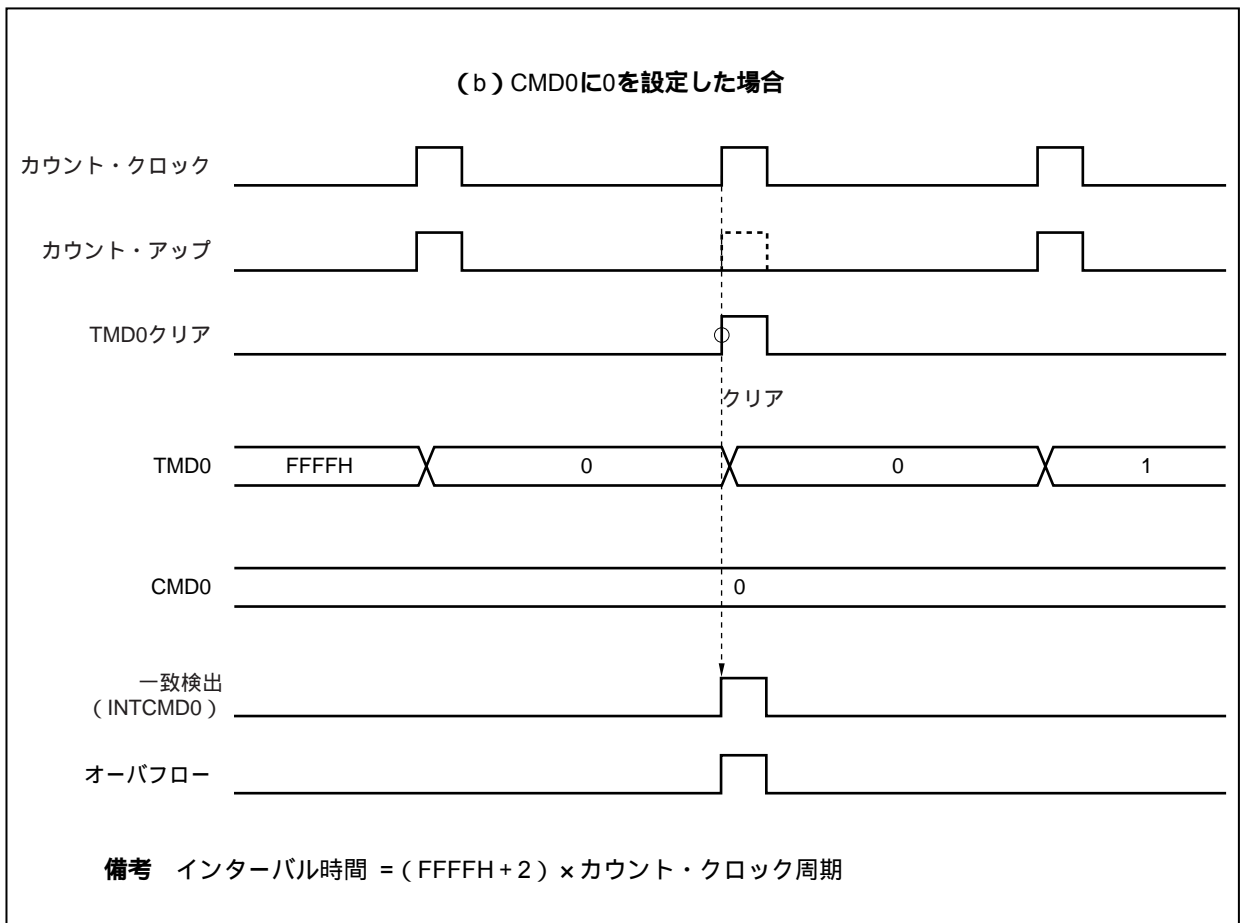


図10 - 14 TMD0コンペア動作例 (2/2)



10.2.7 使用例 (タイマD)

(1) インターバル・タイマ

16ビット精度でインターバル・タイマとして使用する例について説明します。

同一間隔で割り込み要求 (INTCMDn) を出力します (図10 - 14 TMD0コンペア動作例参照)。設定方法を次に示します (n = 0-3)。

TMDCAEnビットをセット (1) します。

各レジスタの設定を行います。

- ・ TMDnレジスタのCSn0-CSn2ビットでカウント・クロックを選択します。
- ・ CMDnレジスタにコンペア値を設定します。

TMDCEnビットをセット (1) し、カウントをスタートさせます。

TMDnレジスタとCMDnレジスタの値が一致すると、INTCMDn割り込みが発生します。

以後、同一間隔でINTCMDn割り込みが発生します。

備考 n = 0-3

10.2.8 注意事項 (タイマD)

タイマDについての注意事項を次に示します。

(1) TMDnを動作させる場合には、最初にTMDCAEnビットをセット (1) してください。

(2) TMDCEnビットに設定後、設定した値が内部に伝わるまでに最大4クロックかかります。カウント動作開始時、0000Hから0001Hのカウント周期は、その後のカウント周期と異なります。

(3) TMDnレジスタの状態を初期化し再度カウントを開始する場合、TMDCEnビットをクリア (0) し、4クロックを経過したら、TMDCEnビットをセット (1) してください。

(4) CMDnレジスタに設定した値が内部に伝わるまでに最大4クロックかかります。CMDnレジスタに連続して書き込みを行う場合、4クロック以上の時間を確保してください。

(5) タイマ/カウンタ動作中のCMDnレジスタの書き換えは、タイマ/カウンタの1周期 (0000HからTMDnレジスタとCMDnレジスタが一致してINTCMDn割り込みが発生するまで) に1回のみ可能です。それをアプリケーションで確保できない場合は、動作中にCMDnレジスタを書き換えしないでください。

(6) タイマ動作中はカウント・クロックを変更できません。書き換えは、TMDCEnビットをクリア (0) したあとに行ってください。動作中に書き換えた場合の動作は保証できません。

(7) TMDnレジスタが動作中、そのカウンタ値以下の値をCMDnレジスタに書き込むと、オーバフローしたあとINTCMDn割り込みが発生します。

備考 n = 0-3

第11章 シリアル・インタフェース機能

11.1 特 徴

シリアル・インタフェース機能として、2種類4チャンネルの送受信チャンネルを備え、同時に2チャンネルまで使用できます。

インタフェース形態として次の2種類があります。

- (1) アシクロナス・シリアル・インタフェース (UART0, UART1) : 2チャンネル
- (2) クロック同期式シリアル・インタフェース (CSI0, CSI1) : 2チャンネル

UART0, UART1は、スタート・ビットに続く1バイトのシリアル・データを送受信する方式をとり、全二重通信ができます。

CSI0, CSI1は、シリアル・クロック ($\overline{SCK0}$, $\overline{SCK1}$) とシリアル入力 (SI0, SI1) , シリアル出力 (SO0, SO1) の3種類の信号によるデータ転送を行います (3線式シリアルI/O)。

11.1.1 UARTとCSIのモード切り替え

V850E/MA2では、UART0とCSI0, UART1とCSI1は端子が兼用になっており、同時に使用することはできません。あらかじめPMC4, PFC4レジスタを設定する必要があります (13.3.4 ポート4参照)。

UARTnまたはCSI_nにおいて、送信あるいは受信動作中にモードの切り替えを行った場合の動作は保証できません。

11.2 アシクロナス・シリアル・インタフェース0, 1 (UART0, UART1)

11.2.1 特 徴

転送速度 300 bps ~ 1250 kbps (内部システム・クロック40 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 受信バッファ (RXBn) 内蔵

送信バッファ (TXBn) 内蔵

2端子構成 TXDn : 送信データの出力端子

RXDn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 3種類

- ・受信エラー割り込み (INTSERn) : 3種類の受信エラーの論理和で割り込みを発生
- ・受信完了割り込み (INTSRn) : 受信許可状態において, シリアル転送完了後シフト・レジスタから受信バッファへ受信データを転送すると発生
- ・送信完了割り込み (INTSTn) : シリアル送信を行ってシフト・レジスタから送信データ (8/7ビット) をシリアル送信を終了すると発生

送受信データのキャラクタ長はASIM0, ASIM1レジスタで指定

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

備考 n = 0, 1

11.2.2 構成

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIMn) , アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASISn) , アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ (ASIFn) によって, UARTnを制御します (n = 0, 1)。受信データは受信バッファ (RXBn) に保持され, 送信データは送信バッファ (TXBn) に書き込みます。

アシンクロナス・シリアル・インタフェースは, 図11 - 1のように構成されています。

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM0, ASIM1)

ASIMnレジスタは, アシンクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

(2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS0, ASIS1)

ASISnレジスタは, 受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) され, ASISnレジスタの読み出しによってリセット (0) されます。

(3) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0, 1 (ASIF0, ASIF1)

ASIFnレジスタは, 送信時のステータスを示す8ビット・レジスタです。

TXBnのデータ保持状態を示す送信バッファ・データ・フラグと送信中であることを示す送信シフト・レジスタ・データ・フラグから構成されます。

(4) 受信制御パリティ・チェック

ASIMnレジスタに設定された内容に従って, 受信動作を制御します。また, 受信動作時にパリティ・エラーなどのチェックも行い, エラーが検出された場合は, エラー内容に応じた値をASISnレジスタにセットします。

(5) 受信シフト・レジスタ

RXDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信し, ストップ・ビットを検出すると, 受信データを受信バッファへ転送します。

このレジスタは直接操作することはできません。

(6) 受信バッファ (RXBn)

RXBnは, 受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます。

受信許可状態中は, 受信データは1フレーム分のシフト・イン処理終了に同期して受信シフト・レジスタから受信バッファに転送されます。

また, 受信バッファへの転送により, 受信完了割り込み要求 (INTSRn) が発生します。

(7) 送信シフト・レジスタ

TXSnは、送信バッファから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

送信バッファから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDn端子から出力します。

このレジスタは直接操作することはできません。

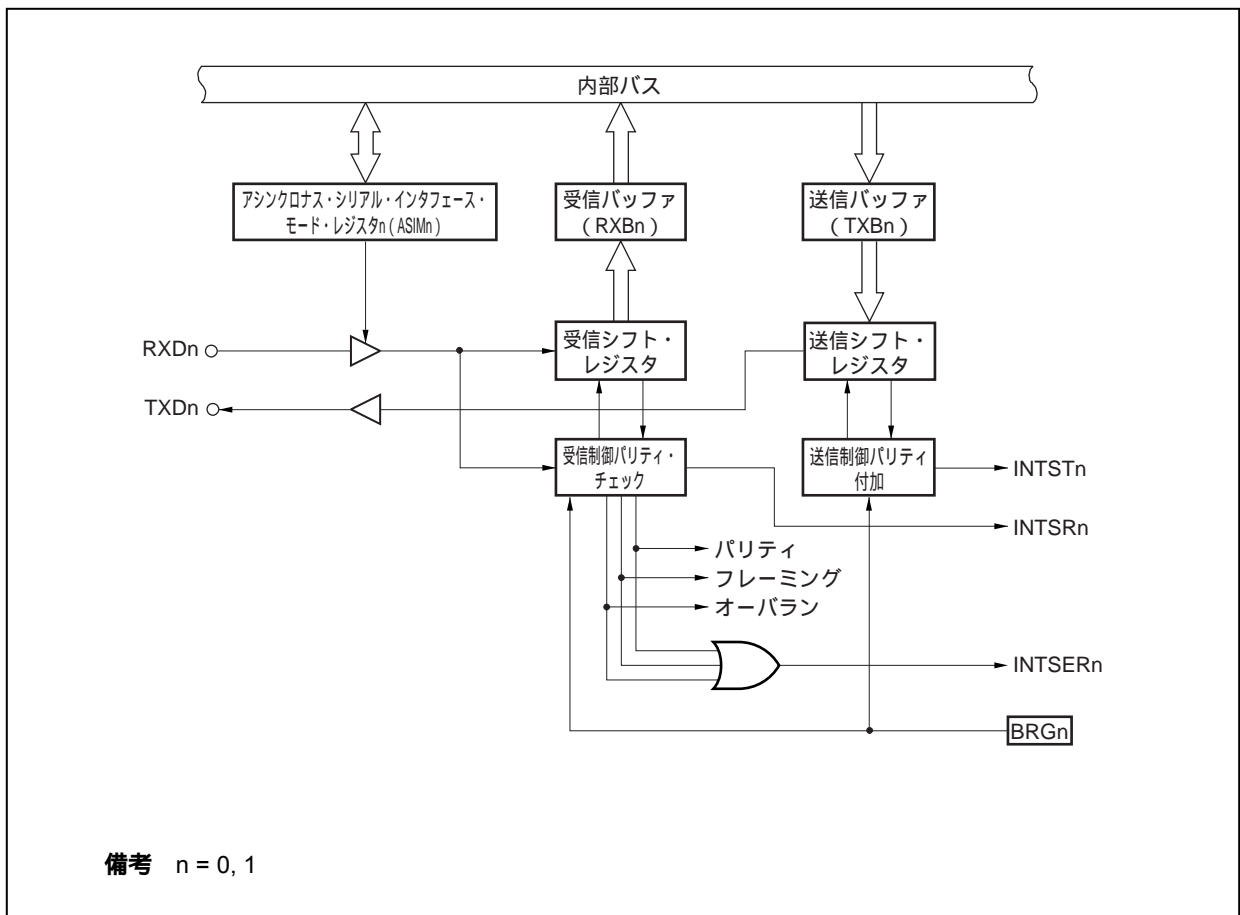
(8) 送信バッファ (TXBn)

TXBnは、8ビットの送信データ用バッファです。TXBnへ送信データを書き込むことにより、送信動作が開始されます。1フレームの送出終了時に同期して送信完了割り込み要求 (INTSTn) を発生します。

(9) 送信制御パリティ付加

ASIMnレジスタに設定された内容に従って、TXBnレジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

図11-1 アシクロナス・シリアル・インタフェースのブロック図



11.2.3 制御レジスタ

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ0, 1 (ASIM0, ASIM1)

UART0, UART1の転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

注意 UARTnを使用する場合には、必ずUARTn機能に関連する外部端子をコントロール・モードに設定したあと、クロック選択レジスタn (CKSRn) とポー・レート・ジェネレータ・コントロール・レジスタn (BRGCn) の設定を行ってからUARTCAEnビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

(1/3)

	⑦	⑥	⑤	4	3	2	1	0	アドレス	初期値
ASIM0	UARTCAE0	TXE0	RXE0	PS01	PS00	CL0	SL0	ISRM0	FFFFFFA00H	01H
ASIM1	UARTCAE1	TXE1	RXE1	PS11	PS10	CL1	SL1	ISRM1	FFFFFFA10H	01H

ビット位置	ビット名	意 味
7	UARTCAEn (n = 0, 1)	<p>Clock Enable!</p> <p>動作クロックを制御します (n = 0, 1)。</p> <p>0 : UARTnユニットへのクロック供給を停止</p> <p>1 : UARTnユニットへクロックを供給</p> <p>注意1. UARTCAEn = 0にすると、UARTnユニットを非同期にリセットします。</p> <p>2. UARTCAEn = 0の場合は、UARTnユニットはリセット状態なので、UARTnを動作させる場合には、まずUARTCAEn = 1にしてください。</p> <p>3. UARTCAEnビットを1から0にした場合は、UARTnユニットのすべてのレジスタが初期化されます。再度UARTCAEn = 1にする場合には、必ずUARTnユニットのレジスタを再設定してください。</p> <p>TXDn端子の出力は、送信禁止状態の場合、UARTCAEnビットの設定にかかわらずハイ・レベルになります。</p>
6	TXEn (n = 0, 1)	<p>Transmit Enable</p> <p>送信許可 / 禁止を指定します。</p> <p>0 : 送信禁止</p> <p>1 : 送信許可</p> <p>注意1. 起動時はUARTCAEn = 1にしてから、TXEn = 1としてください。また、逆に停止時はTXEn = 0にしてから、UARTCAEn = 0としてください。</p> <p>2. 送信ユニットの状態を初期化する場合は、TXEnビットをクリア(0)して、基本クロックの2周期分の時間を経過してから、再びTXEnビットをセット(1)しなければ、状態の初期化ができない場合があります(基本クロックについては11.2.6(1)(a)基本クロック(Clock)参照)。</p>

ビット位置	ビット名	意味																				
5	RXEn (n = 0, 1)	<p>Receive Enable 受信許可 / 禁止を指定します。</p> <p>0 : 受信禁止 1 : 受信許可</p> <p>注意1. 起動時はUARTCAEn = 1にしてから, RXEn = 1としてください。また, 逆に停止時はRXEn = 0にしてから, UARTCAEn = 0としてください。</p> <p>2. 受信ユニットの状態を初期化する場合は, RXEnビットをクリア(0)して, 基本クロックの2周期分の時間を経過してから, 再びRXEnビットをセット(1)しなければ, 状態の初期化ができない場合があります(基本クロックについては11.2.6(1)(a)基本クロック(Clock)参照)。</p>																				
4, 3	PSn1, PSn0 (n = 0, 1)	<p>Parity Select パリティ・ビットを制御します。</p> <table border="1"> <thead> <tr> <th>PSn1</th> <th>PSn0</th> <th>送信動作</th> <th>受信動作</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>パリティ・ビットを出 力しない</td> <td>パリティなしで受信</td> </tr> <tr> <td>0</td> <td>1</td> <td>0パリティを出力</td> <td>0パリティとして受信</td> </tr> <tr> <td>1</td> <td>0</td> <td>奇数パリティを出力</td> <td>奇数パリティとして判 定を行う</td> </tr> <tr> <td>1</td> <td>1</td> <td>偶数パリティを出力</td> <td>偶数パリティとして判 定を行う</td> </tr> </tbody> </table> <p>注意1. PSn1, PSn0ビットを書き換えるときは, TXEn, RXEnビットをクリア(0)してから行ってください。</p> <p>2. 受信時に「0パリティ」を選択した場合, パリティ判定を行いません。したがって, ASISnレジスタのPEnビットはセットされないため, エラー割り込みも発生しません。</p> <p>・偶数パリティ 送信データ中の“1”の値のビット数が奇数個の場合にパリティ・ビットをセット(1)します。“1”の値のビット数が偶数個の場合はパリティ・ビットをクリア(0)します。これにより, 送信データとパリティ・ビットの中に含まれる“1”の値のビット数が偶数個になるように制御します。 受信時には, 受信データとパリティ・ビットに含まれる“1”の値のビット数をカウントし, 奇数個であった場合にパリティ・エラーを発生します。</p> <p>・奇数パリティ 偶数パリティとは逆に, 送信データとパリティ・ビットの中に含まれる“1”の値のビット数が奇数個になるように制御します。 受信時には, 受信データとパリティ・ビットに含まれる“1”の値のビット数をカウントし, 偶数個であった場合にパリティ・エラーを発生します。</p> <p>・0パリティ 送信時には, 送信データによらずパリティ・ビットをクリア(0)します。 受信時には, パリティ・ビットの検査を行わないため, パリティ・エラーを発生しません。</p>	PSn1	PSn0	送信動作	受信動作	0	0	パリティ・ビットを出 力しない	パリティなしで受信	0	1	0パリティを出力	0パリティとして受信	1	0	奇数パリティを出力	奇数パリティとして判 定を行う	1	1	偶数パリティを出力	偶数パリティとして判 定を行う
PSn1	PSn0	送信動作	受信動作																			
0	0	パリティ・ビットを出 力しない	パリティなしで受信																			
0	1	0パリティを出力	0パリティとして受信																			
1	0	奇数パリティを出力	奇数パリティとして判 定を行う																			
1	1	偶数パリティを出力	偶数パリティとして判 定を行う																			

ビット位置	ビット名	意味
4, 3	PSn1, PSn0 (n = 0, 1)	<p>・パリティなし 送信データにパリティ・ビットを付加しません。 受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。</p>
2	CLn (n = 0, 1)	<p>Character Length 送受信データ1フレームのキャラクタ長を指定します。 0 : 7ビット 1 : 8ビット</p> <p>注意 CLnビットを書き換えるときは、TXEn, RXEnビットをクリア(0)してから行ってください。</p>
1	SLn (n = 0, 1)	<p>Stop Bit Length 送信データのストップ・ビット長を指定します。 0 : 1ビット 1 : 2ビット</p> <p>注意1. SLnビットを書き換えるときは、TXEnビットをクリア(0)してから行ってください。 2. 受信は常に「ストップ・ビット長 = 1」として動作するため、SLnビットの設定は受信動作に影響を与えません。</p>
0	ISRMn (n = 0, 1)	<p>Interrupt Serial Receive Mode エラー発生時の受信完了割り込み要求発生許可 / 禁止を指定します。 0 : エラー発生時の割り込みとして、受信エラー割り込み要求 (INTSERn) を発生する。 この場合、受信完了割り込み要求 (INTSRn) は発生しません。 1 : エラー発生時の割り込みとして、受信完了割り込み要求 (INTSRn) を発生する。 この場合、受信エラー割り込み要求 (INTSERn) は発生しません。</p> <p>注意 ISRMnビットを書き換えるときは、RXEnビットをクリア(0)してから行ってください。</p>

備考 受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、受信バッファへの転送処理は行わず、受信バッファの内容は保持されます。
受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容を受信バッファに転送します。
また、受信バッファへの転送に同期して、受信完了割り込み (INTSRn) を発生します。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 (ASIS0, ASIS1)

UARTnの受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PEn, FEn, OVE_n) で構成されています (n = 0, 1)。

受信エラーを示すステータス・フラグは、常に最も新しく発生したエラーの状態を示します。すなわち、受信データの読み出し前に複数回の同一エラーが発生した場合、最後に発生したエラーの状態だけ保持しています。

ASISnレジスタは、読み出しにより00Hにクリアされます。受信エラーが発生した場合は、ASISnレジスタを読み出したあと、受信バッファ (RXBn) を読み出してください。

8ビット単位でリードだけ可能です。

注意 ASIMnレジスタのUARTCAEnビット, RXEnビットを0に設定したとき、またはASISnレジスタを読み出したとき、ASISnレジスタのPEnビット, FEnビット, OVE_nビットはクリア(0)されます。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
ASIS0	0	0	0	0	0	PE0	FE0	OVE0	FFFFFA03H	00H
ASIS1	0	0	0	0	0	PE1	FE1	OVE1	FFFFFA13H	00H

ビット位置	ビット名	意味
2	PE _n (n = 0, 1)	Parity Error パリティ・エラーを示すステータス・フラグです。 0: ASIMnレジスタのUARTCAEnビット = 0およびRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたとき 1: 受信完了時、送信データのパリティとパリティ・ビットが一致しないとき 注意 PEnビットの動作は、ASIMnレジスタのPSn1, PSn0ビットの設定値により異なります。
1	FEn (n = 0, 1)	Framing Error フレーミング・エラーを示すステータス・フラグです。 0: ASIMnレジスタのUARTCAEnビット = 0およびRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたとき 1: 受信完了時、ストップ・ビットが検出されないとき 注意 受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。

★

★

★

ビット位置	ビット名	意 味
0	OVer (n = 0, 1)	Overrun Error オーバーラン・エラーを示すステータス・フラグです。 0: ASIMnレジスタのUARTCAEnビット = 0およびRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたとき 1: RXBnの受信データを読み出す前にUARTnが次の受信動作を完了したとき 注意 オーバーラン・エラーが発生した場合、次の受信データはRXBnレジスタに書き込まれず、データは破棄されます。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ0, 1 (ASIF0, ASIF1)

送信時のステータスを示すレジスタです。2ビットのステータス・フラグで構成されています。

TXBnレジスタからTXSnレジスタへデータが転送されたあとに、次のデータをTXBnレジスタに書き込むことで、割り込み期間中も途切れることなく送信を続けることができます。連続して送信を行う場合には、TXBnレジスタへの誤った書き込みを防止するために、ASIFnレジスタのTXBFnビットを参照してから書き込みを行ってください。

8/1ビット単位でリードだけ可能です。

備考 n = 0, 1

	7	6	5	4	3	2	①	②	アドレス	初期値
ASIF0	0	0	0	0	0	0	TXBF0	TXSF0	FFFFFA05H	00H
ASIF1	0	0	0	0	0	0	TXBF1	TXSF1	FFFFFA15H	00H

ビット位置	ビット名	意味
★ 1	TXBFn (n = 0, 1)	Transmit Buffer Flag 送信バッファ・データ・フラグです。 0 : TXBnレジスタに次に転送すべきデータが存在しない (ASIMnレジスタのUARTCAEnビット = 0またはTXEnビット = 0に設定したとき、または送信シフト・レジスタにデータを転送したとき) 1 : TXBnレジスタに次に転送すべきデータが存在する (TXBnレジスタにデータを書き込んだとき) 注意 連続送信を行う場合は、必ずこのフラグが“0”であることを確認してからTXBnレジスタに書き込んでください。このフラグが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。
★ 0	TXSFn (n = 0, 1)	Transmit Sift Flag 送信シフト・レジスタ・データ・フラグです。UARTnの送信状態を示します。 0 : 初期状態または送信待ち (ASIMnレジスタのUARTCAEnビット = 0またはTXEnビット = 0に設定したとき、または転送完了後にTXBnレジスタから次のデータ転送がなかったとき) 1 : 送信中 (TXBnレジスタからデータ転送されたとき) 注意 送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずこのフラグが“0”であることを確認してから初期化を実行してください。このフラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) 受信バッファ・レジスタ0, 1 (RXB0, RXB1)

受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

受信許可状態のとき (ASIMnレジスタのRXEn = 1), 受信データは1フレーム分のシフト・イン処理終了時に同期して, 受信シフト・レジスタから受信バッファに転送されます。また, 受信バッファへの転送により, 受信完了割り込み要求 (INTSRn) が発生します。発生するタイミングについては11.2.5(4) **受信動作**を参照してください。

受信禁止状態のとき (ASIMnレジスタのRXEn = 0), 1フレーム分のシフト・イン処理が終了しても受信バッファへの転送は処理されず, 受信バッファの内容は保持されます。また, 受信完了割り込みも発生しません。

データ長を7ビットに指定した場合, 受信データはRXBnレジスタのビット6-0に転送され, MSB(ビット7)は必ず0になります。また, オーバラン・エラーが発生した場合, そのときの受信データはRXBnレジスタに転送されません。

リセット入力以外に, ASIMnレジスタのUARTCAEn = 0によってもRXBnレジスタはFFHになります。8ビット単位でリードだけ可能です。

備考 n = 0, 1

	7	6	5	4	3	2	1	0	アドレス	初期値
RXB0	RXB07	RXB06	RXB05	RXB04	RXB03	RXB02	RXB01	RXB00	FFFFFA02H	FFH
RXB1	RXB17	RXB16	RXB15	RXB14	RXB13	RXB12	RXB11	RXB10	FFFFFA12H	FFH

ビット位置	ビット名	意味
7-0	RXBn7-RXBn 0 (n = 0, 1)	Receive Buffer 受信データを格納しています。 RXBn7は7ビット/キャラクタの受信で0が読めます。

(5) 送信バッファ・レジスタ0, 1 (TXB0, TXB1)

送信データを設定するための8ビット・バッファ・レジスタです。

送信許可状態のとき (ASIMnレジスタのTXEn = 1), TXBnにデータを書き込むことで送信動作が開始されます。

送信禁止状態のとき (ASIMnレジスタのTXEn = 0), TXBnにデータを書き込んでも値は無視されます。

TXBnのデータが送信シフト・レジスタに転送され、送信シフト・レジスタから1フレーム分の送出終了に同期して送信完了割り込み要求 (INTSTn) を発生します。発生するタイミングについては11.2.5 (2) 送信動作を参照してください。

ASIFnレジスタのTXBFn = 1のときは、TXBnへの書き込みは行わないでください。

8ビット単位でリード/ライト可能です。

備考 n = 0, 1

	7	6	5	4	3	2	1	0	アドレス	初期値
TXB0	TXB07	TXB06	TXB05	TXB04	TXB03	TXB02	TXB01	TXB00	FFFFFFA04H	FFH
TXB1	TXB17	TXB16	TXB15	TXB14	TXB13	TXB12	TXB11	TXB10	FFFFFFA14H	FFH

ビット位置	ビット名	意味
7-0	TXBn7-TXBn0 (n = 0, 1)	Transmit Buffer 送信データを書き込みます。

11.2.4 割り込み要求

UARTnからは次の3種類の割り込み要求を発生します ($n = 0, 1$)。

- ・受信エラー割り込み (INTSERn)
- ・受信完了割り込み (INTSRn)
- ・送信完了割り込み (INTSTn)

これら3種類の割り込み要求のデフォルト優先順位は受信エラー割り込みが最も高く、受信完了割り込み、送信完了割り込みの順に低くなります。

表11-1 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	1
受信完了	2
送信完了	3

(1) 受信エラー割り込み (INTSERn)

受信許可状態中で、ASISnレジスタで説明した3種類の受信エラーの論理和 (OR) で受信エラー割り込みを発生します。ASIMnレジスタのISRMnビットにより、エラー発生時に受信エラー割り込み (INTSERn) を発生させるか、受信完了割り込み (INTSRn) を発生させるかを指定できます。

受信禁止状態中は、受信エラー割り込みは発生しません。

(2) 受信完了割り込み (INTSRn)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされ受信バッファに転送されると受信完了割り込みが発生します。

受信完了割り込み要求は、ASIMnレジスタのISRMnビットにより、受信エラーが起こった場合にも、受信エラー割り込みの代わりとして発生することができます。

受信禁止状態中は、受信完了割り込みは発生しません。

(3) 送信完了割り込み (INTSTn)

送信シフト・レジスタから7ビット/8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされると送信完了割り込みを発生します。

11.2.5 動作

(1) データ・フォーマット

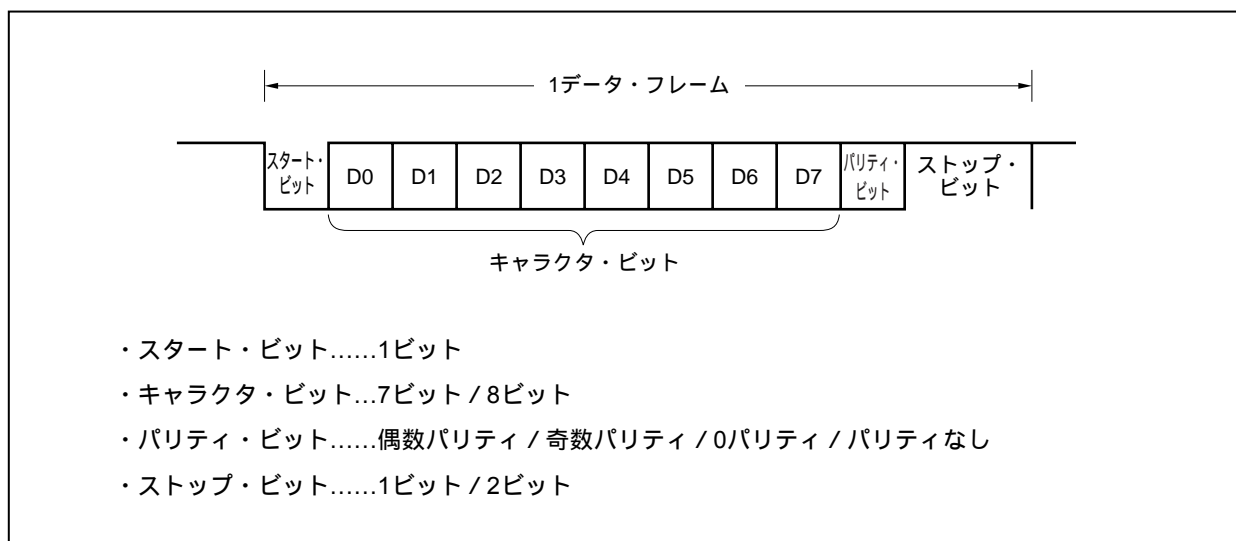
全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図11-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) によって行います (n = 0, 1)。

また、データはLSBファーストで転送します。

図11-2 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



(2) 送信動作

ASIMnレジスタのUARTCAEn = 1にすることにより、TXDn端子はハイ・レベルを出力します。

次にASIMnレジスタのTXEn = 1にすると送信許可状態になり、送信バッファ・レジスタn (TXBn) に送信データを書き込むと送信動作が起動します (n = 0, 1)。

(a) 送信許可状態

ASIMnレジスタのTXEnビットで設定します (n = 0, 1)。

- ・ TXEn = 1 : 送信許可状態
- ・ TXEn = 0 : 送信禁止状態

ただし、クロック同期式シリアル・インタフェース0, 1 (CSI0, CSI1) と兼用となっているUART0, UART1を使用するときは、クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 (CSIM0, CSIM1) のCSICAEnビットを0に設定したあと、送信許可状態にしてください。

なお、UARTnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

(b) 送信動作の起動

送信許可状態では、送信バッファ・レジスタn (TXBn) に送信データを書き込むと送信動作が起動します。送信動作の開始により、TXBn内のデータが送信シフト・レジスタn (TXSn) に転送されます。そのあと、TXSnレジスタはTXDn端子にデータを出力します (スタート・ビットから順に送信されます)。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます (n = 0, 1)。

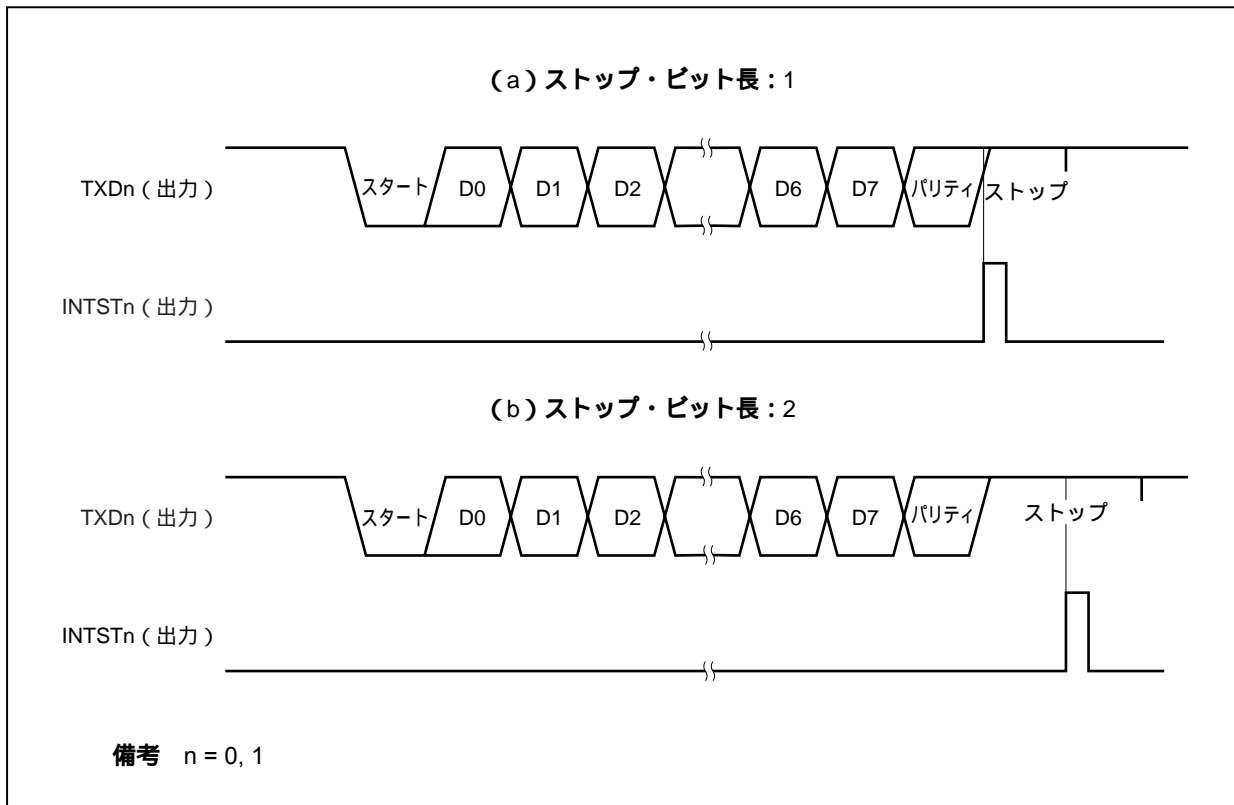
(c) 送信割り込み要求

送信シフト・レジスタ (TXSn) が空になると送信完了割り込み要求 (INTSTn) が発生します。ストップ・ビット長の指定により、INTSTn割り込みの発生タイミングが異なります。INTSTn割り込みは、最後のストップ・ビット出力と同時に発生します (n = 0, 1)。

次に送信するデータをTXBnレジスタに書き込まなければ、送信動作は中断されます。

注意 通常、送信シフト・レジスタn (TXSn) が空になったときに送信完了割り込み (INTSTn) が発生します。しかし、 $\overline{\text{RESET}}$ 入力により送信シフト・レジスタn (TXSn) が空になった場合、送信完了割り込み (INTSTn) は発生しません。

図11-3 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



★ (3) 連続送信動作

TXSnレジスタがシフト動作を開始した時点で、次のデータをTXBnレジスタへ書き込むことができます。これにより、1データ・フレーム送信後の割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます ($n = 0, 1$)。また、送信完了割り込み発生後にASIFnレジスタのTXSFnビットを読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXBnレジスタへの書き込みができます。

連続送信する場合は、必ずASIFnレジスタを参照し、送信状態とTXBnレジスタへの書き込み可否を確認してから、データの書き込みを行ってください ($n = 0, 1$)。

TXBFn	TXBnレジスタへの書き込み可否
0	書き込み可
1	書き込み不可

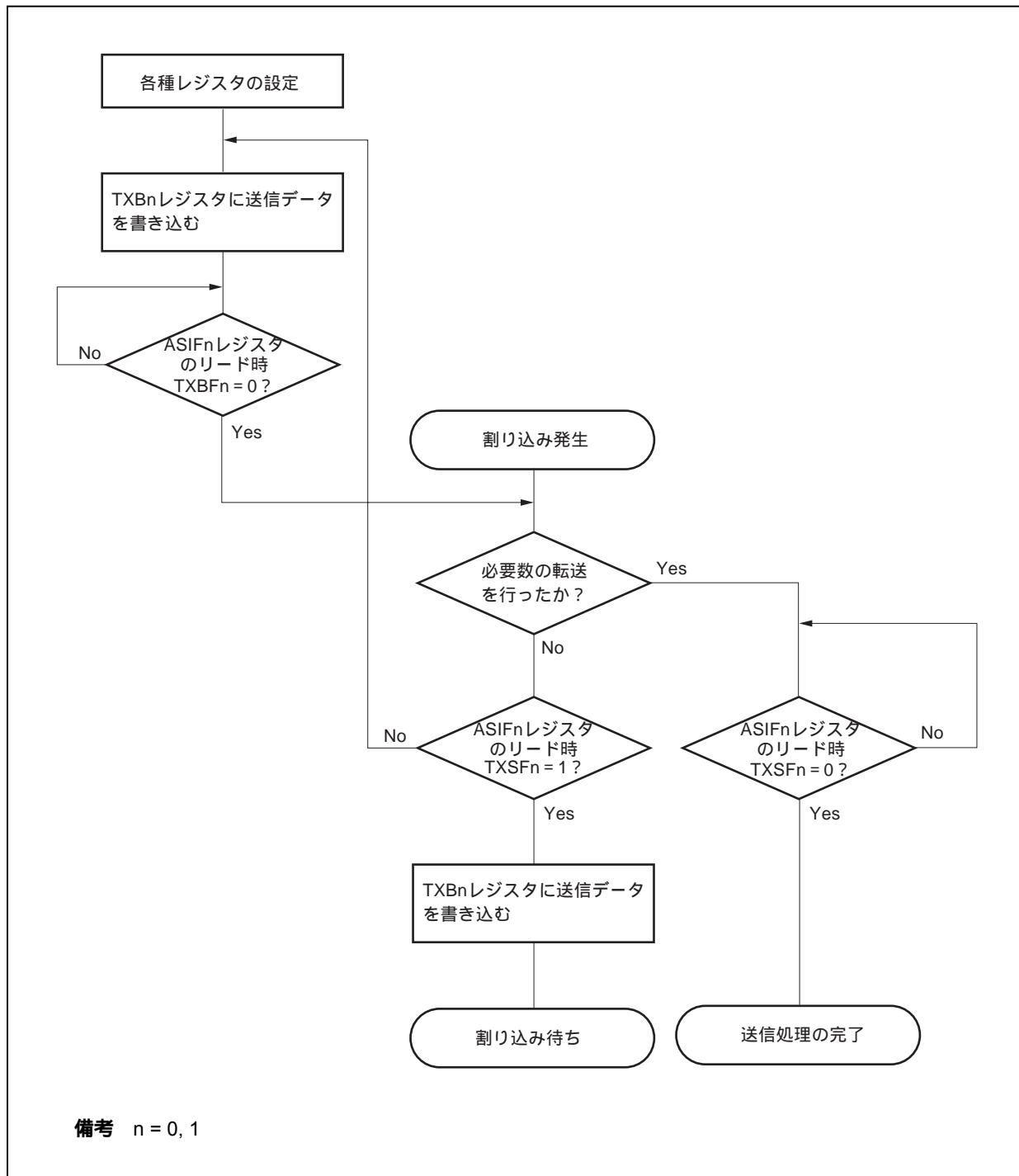
注意 連続送信を行う場合は、最初の送信データ (1バイト目) をTXBnレジスタに書き込んだあと、必ずTXBFnビットが“0”であることを確認してから次の送信データ (2バイト目) をTXBnレジスタに書き込んでください。TXBFnビットが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。

連続送信実行中は、送信完了割り込み発生後にTXSFnビットを確認することで、以降のTXBnレジスタへの書き込みを判断できます。

TXSFn	送信状態
0	送信が終了しています。ただしTXBFnビットの注意事項を満たす必要があります。2回 (2バイト) の送信データ書き込みができます。
1	送信中です。1回 (1バイト) の送信データ書き込みができます。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSFnビットが“0”であることを確認してから初期化を実行してください。TXSFnビットが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTSTn割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSFnビットを参照することで検出できます。

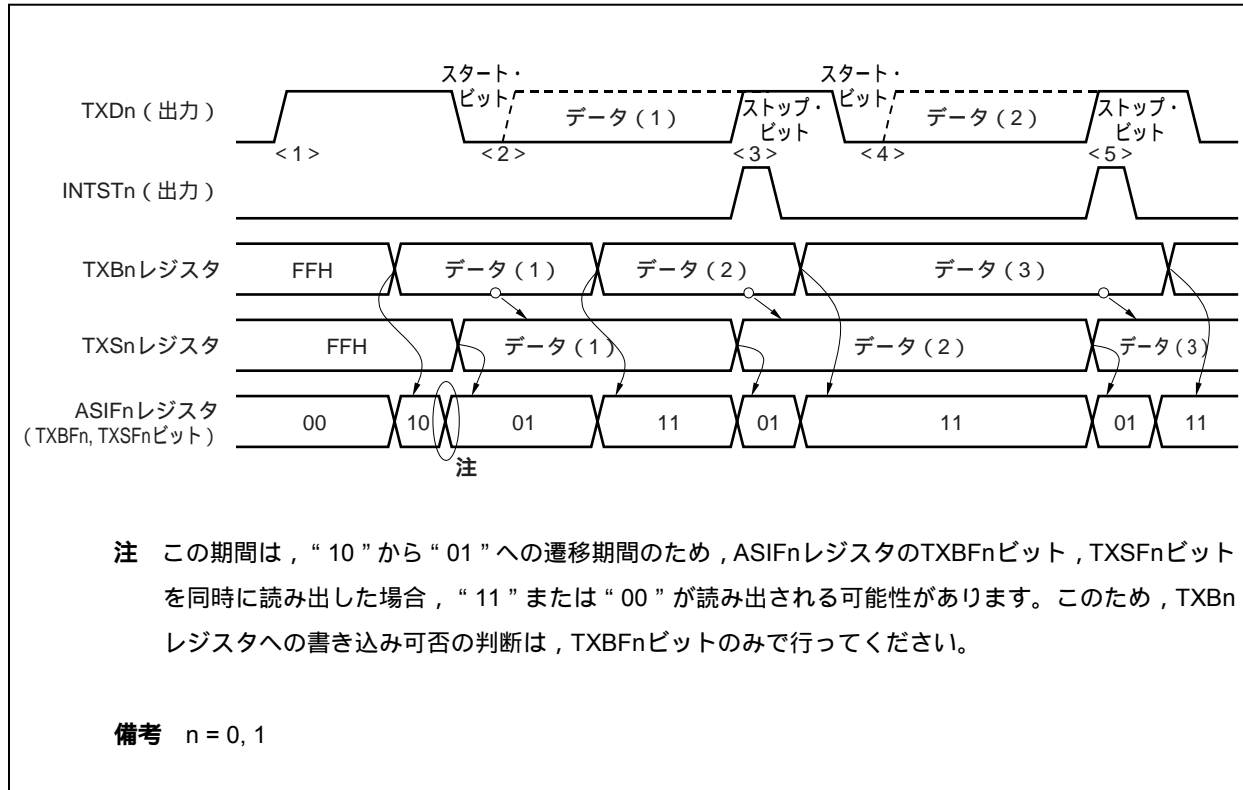
図11 - 4 連続送信の処理フロー



(a) 開始手順

連続送信を開始する手順を次に示します。

図11-5 連続送信の開始手順



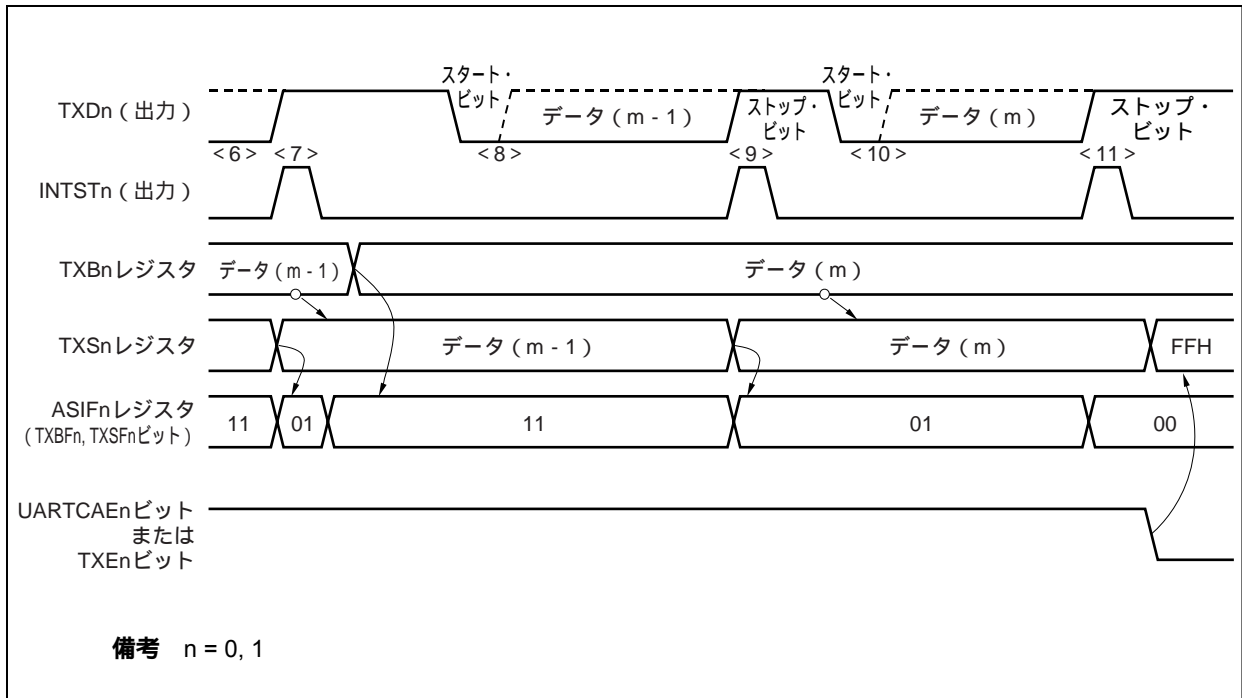
送信開始手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
送信モード設定	<1> 送信ユニットの起動	0	0
データ(1)の書き込み		1	0
ASIFnレジスタのリード (TXBFnビット = 0を確認する)	<2> スタート・ビットの生成	1	1/0 ^注
		0	1/0 ^注
	データ(1)送信スタート	0	1
データ(2)の書き込み		1	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)	<<送信中>>	0	1
	<3> INTSTn割り込み発生	0	1
		0	1
データ(3)の書き込み		1	1
ASIFnレジスタのリード (TXBFnビット = 0を確認する)	<4> スタート・ビットの生成 データ(2)送信スタート <<送信中>>	1	1
	<5> INTSTn割り込み発生	0	1
		0	1
データ(4)の書き込み		1	1

注 遷移期間

(b) 終了手順

連続送信を終了する手順を次に示します。

図11-6 連続送信の終了手順



★ 送信終了手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
ASIFnレジスタのリード (TXBFnビット = 0を確認する) ←	<6> データ (m - 2) の送信中	1	1
	<7> INTSTn割り込み発生 →	0	1
データ (n) の書き込み →		<u>0</u>	1
ASIFnレジスタのリード (TXSFnビット = 1を確認する) ←	<8> スタート・ビットの生成 データ (m - 1) 送信スタート <<送信中>>	1	1
	<9> INTSTn割り込み発生 →	0	1
書き込みデータはなし		0	<u>1</u>
ASIFnレジスタのリード (TXSFnビット = 0を確認する) ←	<10> スタート・ビットの生成 データ (m) 送信スタート <<送信中>>		
	<11> INTSTn割り込み発生 →	0	0
UARTCAEnビットまたはTXEnビットをクリア (0)	内部回路の初期化	0	<u>0</u>

(4) 受信動作

ASIMnレジスタのUARTCAEn = 1にし、次にASIMnレジスタのRXEn = 1にすることにより、受信待ち状態になります。RXDn端子のサンプリングを開始し、スタート・ビットの検出を行います。スタート・ビットを検出すると受信動作を開始し、設定されたボー・レートにあわせて、順に受信シフト・レジスタに格納していきます。1フレームのデータ受信が終了するごとに受信完了割り込み (INTSRn) が発生します。通常、この割り込み処理で受信バッファ (RXBn) からメモリに受信データを転送します (n = 0, 1)。

(a) 受信許可状態

受信動作はASIMnレジスタのRXEnビットをセット (1) することにより、受信許可状態となります (n = 0, 1)。

- ・ RXEn = 1 : 受信許可状態
- ・ RXEn = 0 : 受信禁止状態

ただし、クロック同期式シリアル・インタフェース0, 1 (CSI0, CSI1) と兼用となっているUART0, UART1を使用するときは、クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 (CSIM0, CSIM1) のCSICAEEnビットを0に設定し、CSInの動作を禁止したあと、受信許可状態にしてください (n = 0, 1)。

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信完了割り込み / 受信エラー割り込みは発生せず、受信バッファの内容は保持されます。

(b) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ボー・レート・ジェネレータn (BRGn) からのシリアル・クロックでRXDn端子をサンプリングします (n = 0, 1)。

(c) 受信完了割り込み要求

ASIMnレジスタのRXEn = 1のとき、1フレーム分のデータの受信が完了 (ストップ・ビットの検出) すると、受信完了割り込み要求 (INTSRn) が発生すると同時に、受信シフト・レジスタ内の受信データをRXBnに転送します (n = 0, 1)。

また、オーバラン・エラーが発生した場合、そのときの受信データは、受信バッファ (RXBn) に転送されず、ASIMnレジスタのISRMnビットの設定に従って、受信完了割り込み (INTSRn)、または受信エラー割り込み (INTSERn) が発生します。

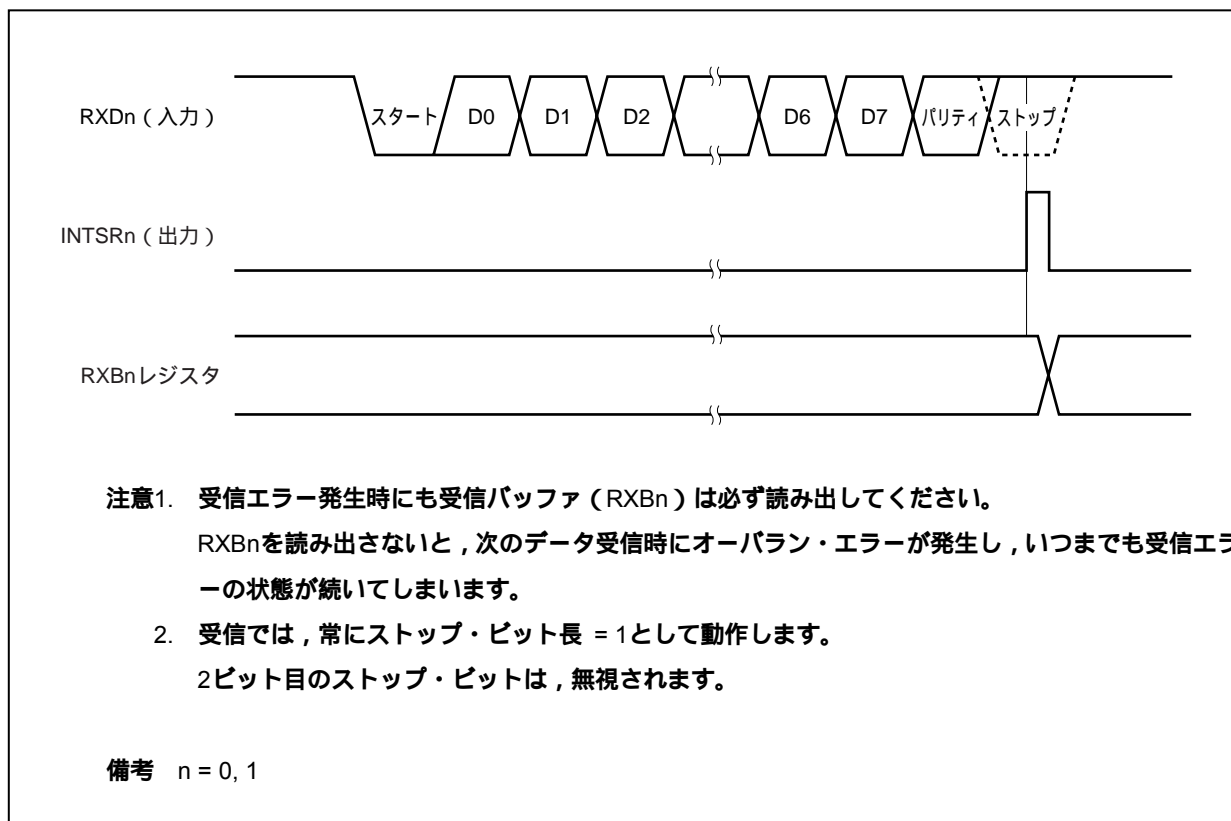
なお、受信動作中にパリティ・エラー、またはフレーミング・エラーが発生した場合は、ストップ・ビットの受信位置までは受信動作を継続し、受信完了後にASIMnレジスタのISRMnビットの設定に従って、受信完了割り込み (INTSRn)、または受信エラー割り込み (INTSERn) が発生します (受信シフト・レジスタ内の受信データはRXBnに転送されます)。

また、受信動作中にRXEnビットをリセット (0) すると、すぐに受信動作を停止します。このとき受信バッファ (RXBn) とアシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASISn) の内容は変化せず、受信完了割り込み (INTSRn)、または受信エラー割り込み (INTSERn) は発生しません。

RXEn = 0 (受信禁止) では、受信完了割り込みは発生しません。

★

図11-7 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



(5) 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、ASISnレジスタの各フラグがセット (1) されると同時に、受信エラー割り込み要求 (INTSERn)、または受信完了割り込み要求 (INTSRn) が発生します。INTSERnまたはINTSRnのどちらかを発生させるかは、ASIMnレジスタのISRMnビットで指定します。

INTSERn/INTSRn割り込み処理内で、ASISnレジスタの内容を読み出すことによって、受信時に発生したエラーの内容を検出することができます。

ASISnレジスタの内容は、ASISnレジスタの読み出しによってリセット (0) されます。

表11-2 受信エラーの要因

エラー・フラグ	受信エラー	要 因
PEn	パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
FEn	フレーミング・エラー	ストップ・ビットが検出されない
OVEN	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了

備考 n = 0, 1

(a) 受信エラー割り込みの分離

ASIMnレジスタのISRMnビットをリセット(0)することにより、受信エラー割り込みをINTSRn割り込みと分離し、INTSERn割り込みとして発生させることができます(n=0,1)。

図11-8 受信エラー割り込みを受信完了割り込みから分離する場合 (ISRMnビット = 0)

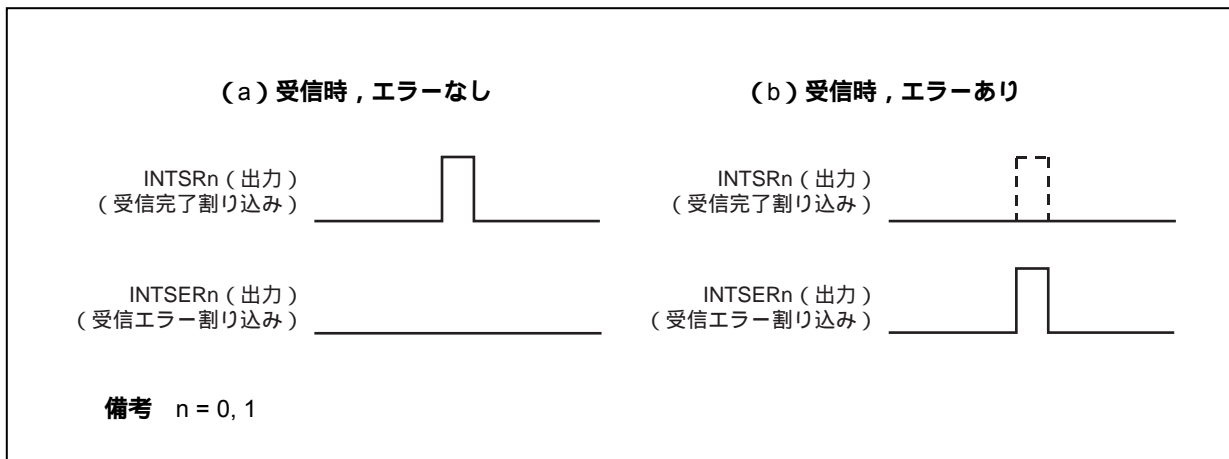
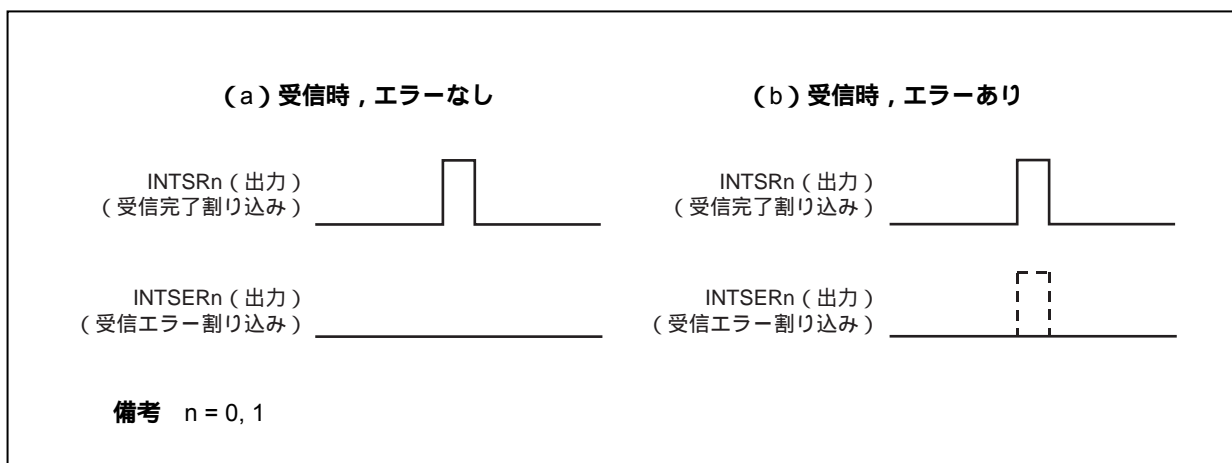


図11-9 受信エラー割り込みも受信完了割り込みに含める場合 (ISRMnビット = 1)



(6) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の“1”の値のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：1
- ・送信データ中に“1”の値のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の“1”の値のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に“1”の値のビット数が奇数個：0
- ・送信データ中に“1”の値のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の“1”の値のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(7) 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックの立ち上がりでRXDn信号をサンプリングします。サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図11-11参照)。基本クロックについては11.2.6(1)(a)基本クロック(Clock)を参照してください。

また、回路は図11-10のようになっているため、受信動作の内部での処理は、外部の信号状態により最大2クロック分遅れて動作することになります。

図11-10 ノイズ・フィルタ回路

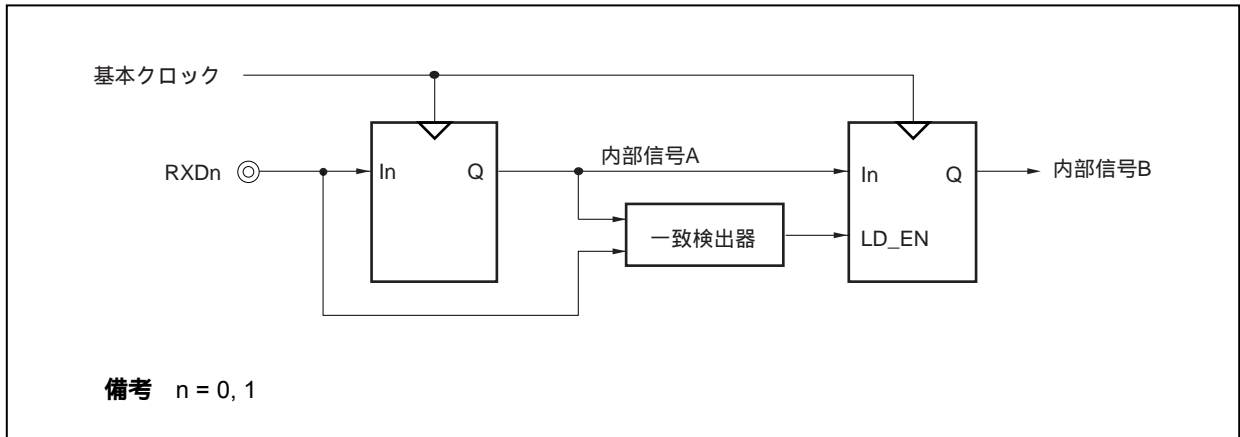
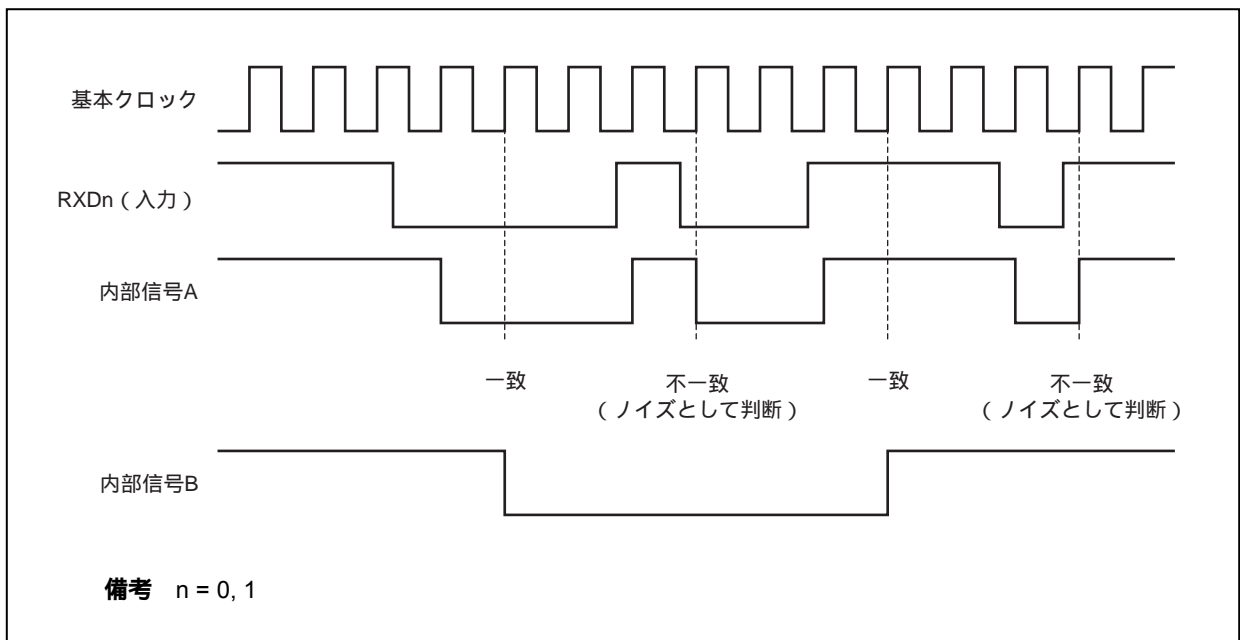


図11-11 ノイズとして判断されるRXDn信号のタイミング



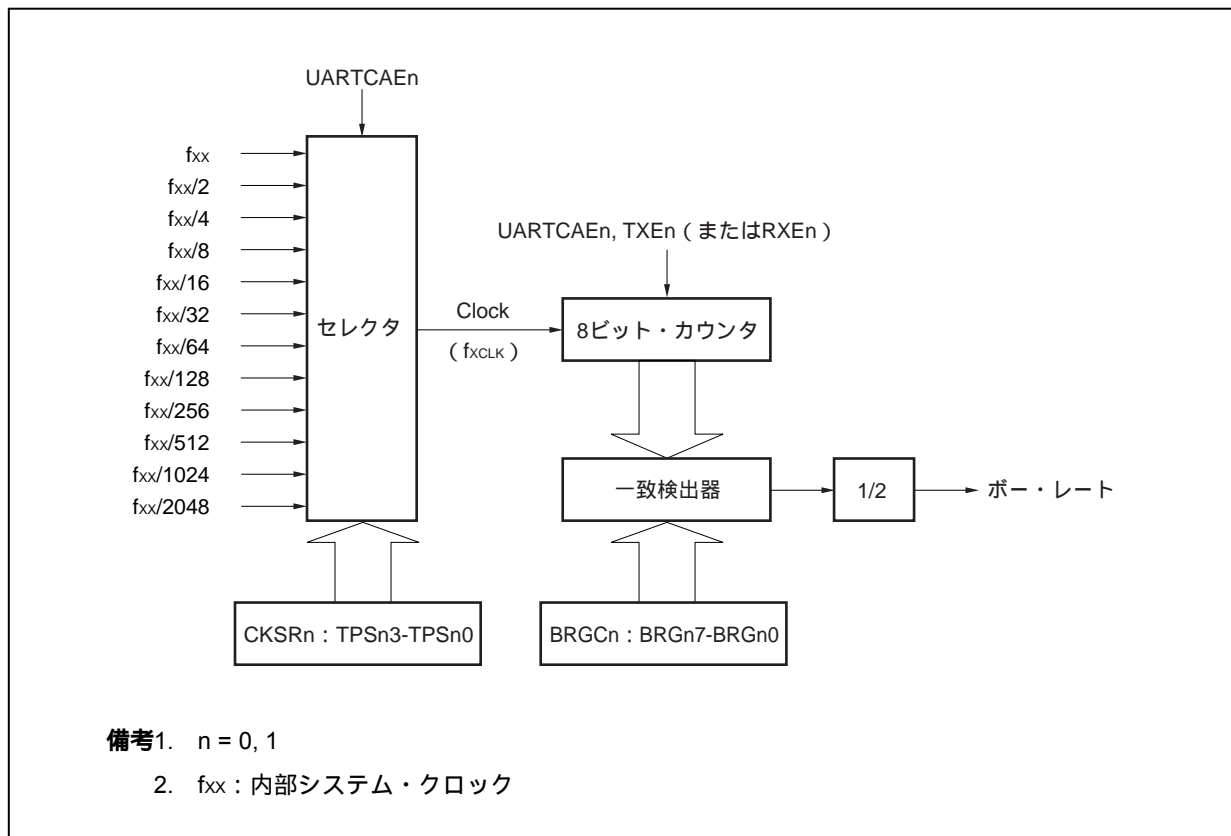
11.2.6 専用ポー・レート・ジェネレータ0, 1 (BRG0, BRG1)

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図11-12 ポー・レート・ジェネレータの構成



(a) 基本クロック (Clock)

ASIMnレジスタのUARTCAEn = 1のとき、CKSRnレジスタのTPSn3-TPSn0ビットで選択したクロックを送信 / 受信ユニットに供給します。このクロックを基本クロック (Clock) と呼び、その周波数を f_{CLK} と呼びます。UARTCAEn = 0のときは、Clockはロウ・レベルに固定となります。

(2) シリアル・クロックの生成

CKSRnレジスタとBRGCnレジスタの設定により、シリアル・クロックを生成できます (n = 0, 1)。CKSRnレジスタのTPSn3-TPSn0ビットにより、8ビット・カウンタへの入力クロックを選択します。BRGCnレジスタのBRGn7-BRGn0ビットにより、8ビット・カウンタの分周値を設定できます。

(a) クロック選択レジスタ0, 1 (CKSR0, CKSR1)

TPSn3-TPSn0ビットにより、入力クロックを選択するための8ビット・レジスタです。TPSn3-TPSn0ビットで選択されたクロックが、送受信モジュールの基本クロック (Clock) になります。その周波数をf_{CLK}と呼びます。

8ビット単位でリード/ライト可能です。

注意1. 基本クロック (f_{CLK}) の許容周波数は最大20 MHzです。したがって、システム・クロックが40 MHzの場合、TPSn3-TPSn0ビットを0000Bに設定することはできません (n = 0, 1)。

40 MHzで動作させる場合、TPSn3-TPSn0ビットを0000B以外の値に設定し、ASIMnレジスタのUARTCAEnビットをセット (1) してください。

★ 2. TPSn3-TPSn0ビットを書き換える場合は、ASIMnレジスタのUARTCAEnビット = 0にしてから行ってください。

	7	6	5	4	3	2	1	0	アドレス	初期値
CKSR0	0	0	0	0	TPS03	TPS02	TPS01	TPS00	FFFFFFA06H	00H
CKSR1	0	0	0	0	TPS13	TPS12	TPS11	TPS10	FFFFFFA16H	00H

ビット位置	ビット名	意味																																																																						
3-0	TPSn3-TPSn0 (n = 0, 1)	基本クロックを指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TPSn3</th> <th>TPSn2</th> <th>TPSn1</th> <th>TPSn0</th> <th>基本クロック (f_{CLK})</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>f_{xx}</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>f_{xx}/2</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>f_{xx}/4</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>f_{xx}/8</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>f_{xx}/16</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>f_{xx}/32</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>f_{xx}/64</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>f_{xx}/128</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>f_{xx}/256</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>f_{xx}/512</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>f_{xx}/1024</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>f_{xx}/2048</td></tr> <tr><td>1</td><td>1</td><td>任意</td><td>任意</td><td>設定禁止</td></tr> </tbody> </table>	TPSn3	TPSn2	TPSn1	TPSn0	基本クロック (f _{CLK})	0	0	0	0	f _{xx}	0	0	0	1	f _{xx} /2	0	0	1	0	f _{xx} /4	0	0	1	1	f _{xx} /8	0	1	0	0	f _{xx} /16	0	1	0	1	f _{xx} /32	0	1	1	0	f _{xx} /64	0	1	1	1	f _{xx} /128	1	0	0	0	f _{xx} /256	1	0	0	1	f _{xx} /512	1	0	1	0	f _{xx} /1024	1	0	1	1	f _{xx} /2048	1	1	任意	任意	設定禁止
TPSn3	TPSn2	TPSn1	TPSn0	基本クロック (f _{CLK})																																																																				
0	0	0	0	f _{xx}																																																																				
0	0	0	1	f _{xx} /2																																																																				
0	0	1	0	f _{xx} /4																																																																				
0	0	1	1	f _{xx} /8																																																																				
0	1	0	0	f _{xx} /16																																																																				
0	1	0	1	f _{xx} /32																																																																				
0	1	1	0	f _{xx} /64																																																																				
0	1	1	1	f _{xx} /128																																																																				
1	0	0	0	f _{xx} /256																																																																				
1	0	0	1	f _{xx} /512																																																																				
1	0	1	0	f _{xx} /1024																																																																				
1	0	1	1	f _{xx} /2048																																																																				
1	1	任意	任意	設定禁止																																																																				

備考 f_{xx} : 内部システム・クロック

(b) ボー・レート・ジェネレータ・コントロール・レジスタ0, 1 (BRGC0, BRGC1)

BRGCnレジスタは、UARTnのボー・レート（シリアル転送スピード）を制御する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

注意 BRGn7-BRGn0ビットを書き換える場合は、ASIMnレジスタのTXEn = 0, RXEn = 0にしてから行ってください (n = 0, 1)。

	7	6	5	4	3	2	1	0	アドレス	初期値
BRGC0	BRG07	BRG06	BRG05	BRG04	BRG03	BRG02	BRG01	BRG00	FFFFFFA07H	FFH
BRGC1	BRG17	BRG16	BRG15	BRG14	BRG13	BRG12	BRG11	BRG10	FFFFFFA17H	FFH

ビット位置	ビット名	意味																																																																																																																								
7-0	BRGn7-BRGn0 (n = 0, 1)	8ビット・カウンタの分周値を指定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>BR Gn7</th> <th>BR Gn6</th> <th>BR Gn5</th> <th>BR Gn4</th> <th>BR Gn3</th> <th>BR Gn2</th> <th>BR Gn1</th> <th>BR Gn0</th> <th>設定値 (k)</th> <th>シリアル・クロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>x</td> <td>x</td> <td>x</td> <td>-</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>8</td> <td>fxCLK/8</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>9</td> <td>fxCLK/9</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>10</td> <td>fxCLK/10</td> </tr> <tr> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>250</td> <td>fxCLK/250</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>251</td> <td>fxCLK/251</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>252</td> <td>fxCLK/252</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>253</td> <td>fxCLK/253</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>254</td> <td>fxCLK/254</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>255</td> <td>fxCLK/255</td> </tr> </tbody> </table>	BR Gn7	BR Gn6	BR Gn5	BR Gn4	BR Gn3	BR Gn2	BR Gn1	BR Gn0	設定値 (k)	シリアル・クロック	0	0	0	0	0	x	x	x	-	設定禁止	0	0	0	0	1	0	0	0	8	fxCLK/8	0	0	0	0	1	0	0	1	9	fxCLK/9	0	0	0	0	1	0	1	0	10	fxCLK/10	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	1	1	1	1	1	0	1	0	250	fxCLK/250	1	1	1	1	1	0	1	1	251	fxCLK/251	1	1	1	1	1	1	0	0	252	fxCLK/252	1	1	1	1	1	1	0	1	253	fxCLK/253	1	1	1	1	1	1	1	0	254	fxCLK/254	1	1	1	1	1	1	1	1	255	fxCLK/255
BR Gn7	BR Gn6	BR Gn5	BR Gn4	BR Gn3	BR Gn2	BR Gn1	BR Gn0	設定値 (k)	シリアル・クロック																																																																																																																	
0	0	0	0	0	x	x	x	-	設定禁止																																																																																																																	
0	0	0	0	1	0	0	0	8	fxCLK/8																																																																																																																	
0	0	0	0	1	0	0	1	9	fxCLK/9																																																																																																																	
0	0	0	0	1	0	1	0	10	fxCLK/10																																																																																																																	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮																																																																																																																	
1	1	1	1	1	0	1	0	250	fxCLK/250																																																																																																																	
1	1	1	1	1	0	1	1	251	fxCLK/251																																																																																																																	
1	1	1	1	1	1	0	0	252	fxCLK/252																																																																																																																	
1	1	1	1	1	1	0	1	253	fxCLK/253																																																																																																																	
1	1	1	1	1	1	1	0	254	fxCLK/254																																																																																																																	
1	1	1	1	1	1	1	1	255	fxCLK/255																																																																																																																	

- 備考1. fxCLK : CKSRnレジスタのTPSn3-TPSn0ビットで選択した基本クロック (Clock) の周波数
 2. k : BRGn7-BRGn0ビットで設定した値 (k = 8, 9, 10, ... , 255)
 3. x : 任意

(c) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \text{ [bps]}$$

f_{CLK} = CKSRnレジスタのTPSn3-TPSn0ビットで選択した基本クロック (Clock) の周波数

k = BRGnレジスタのBRGn7-BRGn0ビットで設定した値 ($k = 8, 9, 10, \dots, 255$)

(d) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{希望するボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(4) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロック (Clock) の周波数 = 20 MHz = 20,000,000 Hz

BRGnレジスタのBRGn7-BRGn0ビットの設定値 = 01000001B ($k = 65$)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 20 \text{ M} / (2 \times 65) \\ &= 20000000 / (2 \times 65) = 153846 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (153846/153600 - 1) \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

(3) ボー・レート設定例

表11-3 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f _{xx} = 40 MHz			f _{xx} = 33 MHz			f _{xx} = 10 MHz		
	f _{xCLK}	k	ERR	f _{xCLK}	k	ERR	f _{xCLK}	k	ERR
300	f _{xx} /2 ¹⁰	65	0.16	f _{xx} /2 ⁹	215	-0.07	f _{xx} /2 ⁷	130	0.16
600	f _{xx} /2 ⁹	65	0.16	f _{xx} /2 ⁷	215	-0.07	f _{xx} /2 ⁶	130	0.16
1200	f _{xx} /2 ⁸	65	0.16	f _{xx} /2 ⁶	215	-0.07	f _{xx} /2 ⁵	130	0.16
2400	f _{xx} /2 ⁷	65	0.16	f _{xx} /2 ⁵	215	-0.07	f _{xx} /2 ⁴	130	0.16
4800	f _{xx} /2 ⁶	65	0.16	f _{xx} /2 ⁴	215	-0.07	f _{xx} /2 ³	130	0.16
9600	f _{xx} /2 ⁵	65	0.16	f _{xx} /2 ³	215	-0.07	f _{xx} /2 ²	130	0.16
19200	f _{xx} /2 ⁴	80	0.16	f _{xx} /2 ²	215	-0.07	f _{xx} /2 ¹	130	0.16
31250	f _{xx} /2 ³	65	0	f _{xx} /2 ²	132	0	f _{xx} /2 ¹	80	0
38400	f _{xx} /2 ³	65	0.16	f _{xx} /2 ¹	215	-0.07	f _{xx} /2 ⁰	130	0.16
76800	f _{xx} /2 ²	65	0.16	f _{xx} /2 ¹	107	0.39	f _{xx} /2 ⁰	65	0.16
153600	f _{xx} /2 ¹	65	0.16	f _{xx} /2 ¹	54	-0.54	f _{xx} /2 ⁰	33	-1.36
312500	f _{xx} /2 ¹	32	0	f _{xx} /2 ¹	26	1.54	f _{xx} /2 ⁰	16	0

注意 基本クロック (f_{xCLK}) の許容周波数は最大20 MHzです。

備考 f_{xx} : 内部システム・クロック

f_{xCLK} : 基本クロック

k : BRGCnレジスタのBRGn7-BRGn0ビットの設定値 (n = 0, 1)

ERR : ボー・レート誤差 [%]

(4) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図11 - 13 受信時の許容ボー・レート範囲

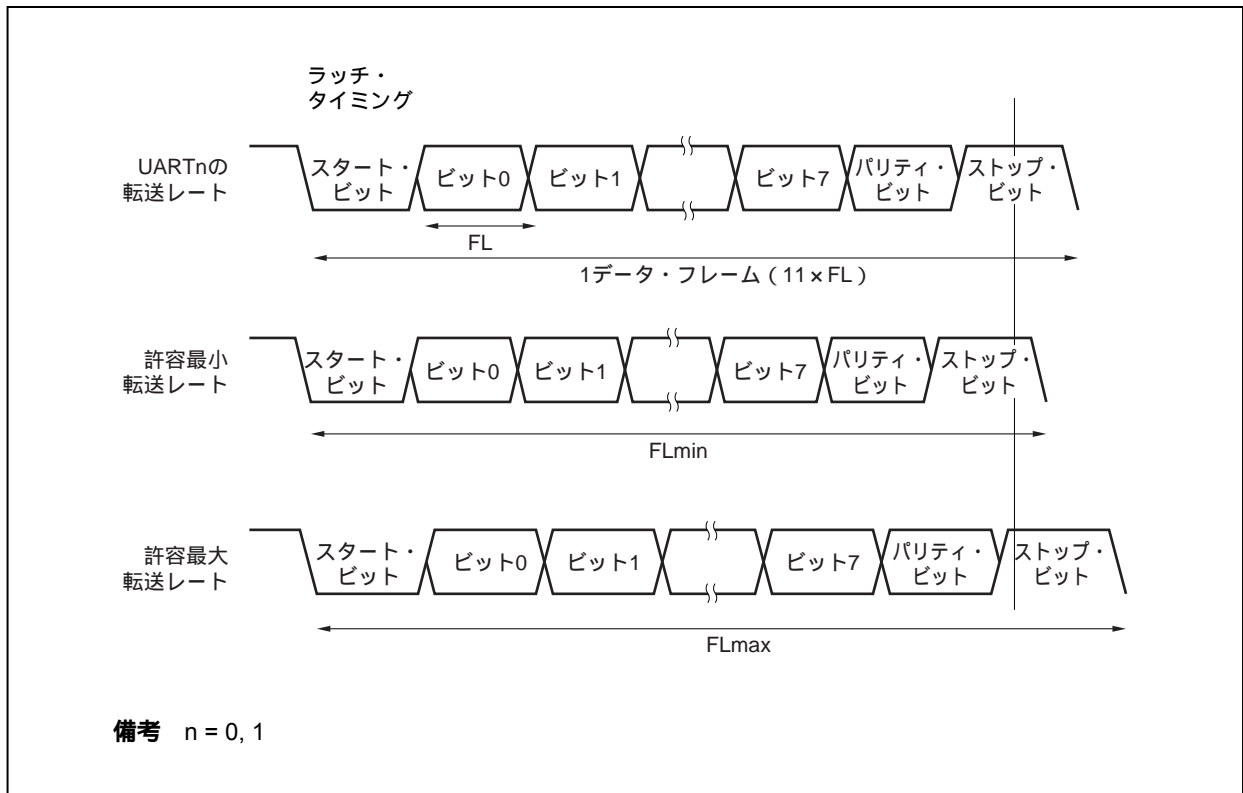


図11 - 13に示すように、スタート・ビット検出後はBRGCnレジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTnのボー・レート (n = 0, 1)

k : BRGCnの設定値 (n = 0, 1)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{\min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小 / 最大ボー・レート値の算出式から、UARTnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表11 - 4 許容最大 / 最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+ 3.53 %	- 3.61 %
20	+ 4.26 %	- 4.31 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.73 %

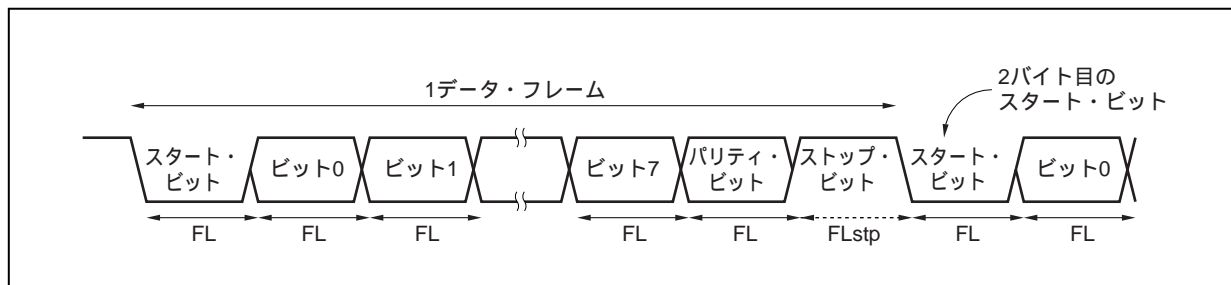
備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : BRGCnの設定値 (n = 0, 1)

(5) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図11 - 14 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：fxCLKとすると次の式が成り立ちます。

$$FLstp = FL + 2 / fxCLK$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + 2 / fxCLK$$

11.2.7 注意事項

UARTnについての注意事項を次に示します (n = 0, 1)。

(1) UARTnへの供給クロックが停止する場合 (例：IDLE, ソフトウェアSTOPモード) は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUARTCAEn = 0, RXEn = 0, TXEn = 0とし、回路を初期化してください。

★ (2) UARTnは、送信バッファ (TXBn)，送信シフト・レジスタの2段バッファ構成になっており、それぞれのバッファの状態を示すステータス・フラグ (ASIFnレジスタのTXBFn, TXSFnビット) があります。連続送信でTXBFn, TXSFnビットを同時に読み出した場合、「10」「01」と変化しますが、この変化タイミングはTXBnから送信シフト・レジスタへのデータ遷移期間であるため、タイミングによっては「11」、または「00」が読み出せることがあります。このため、連続送信を行う場合はTXBFnビットのみを読み出してください。

11.3 クロック同期式シリアル・インタフェース0, 1 (CSI0, CSI1)

11.3.1 特 徴

高速転送 マスタ・モード時 : 最大2.5 Mbps (内部システム・クロック: 40 MHz動作時)

スレーブ・モード時 : 最大4 Mbps

半二重通信

マスタ・モードとスレーブ・モードを選択可能

送信データ長: 8ビット

転送データのMSB先頭/LSB先頭を切り替え可能

8本のクロック信号を選択可能 (7本のマスタ・クロックと1本のスレーブ・クロック)

3線式 SOn : シリアル・データ出力

SIn : シリアル・データ入力

$\overline{\text{SCKn}}$: シリアル・クロック入出力

割り込みソース1種

・送受信完了割り込み (INTCSIn)

送受信モードと受信専用モードを指定可能

送信バッファ (SOTBn) を内蔵

備考 n = 0, 1

11.3.2 構 成

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIMn) によって, CSInを制御します (n = 0, 1)。送受信データはSIO_nレジスタに書き込み/読み出しができます。

(1) クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 (CSIM0, CSIM1)

CSIMnレジスタは, CSInの動作を指定する8ビット・レジスタです。

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ0, 1 (CSIC0, CSIC1)

CSICnレジスタは, CSInの送信動作を制御する8ビット・レジスタです。

(3) シリアルI/Oシフト・レジスタ0, 1 (SIO0, SIO1)

SIO_nレジスタは, シリアル・データ パラレル・データの変換を行う8ビット・レジスタです。SIO_nは送信および受信の両方に使用されます。

データは, MSB側またはLSB側からシフト・イン (受信) またはシフト・アウト (送信) されます。

SIO_nに対する読み出し/書き込みにより, 実際の送受信動作が制御されます。

(4) クロック同期式シリアル・インタフェース送信バッファ・レジスタ0, 1 (SOTB0, SOTB1)

SOTBnレジスタは, 送信データを格納する8ビット・バッファ・レジスタです。

(5) セレクタ

使用するシリアル・クロックを選択します。

(6) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また、内部クロック使用時には \overline{SCKn} 端子へ出力するクロックの制御も行います。

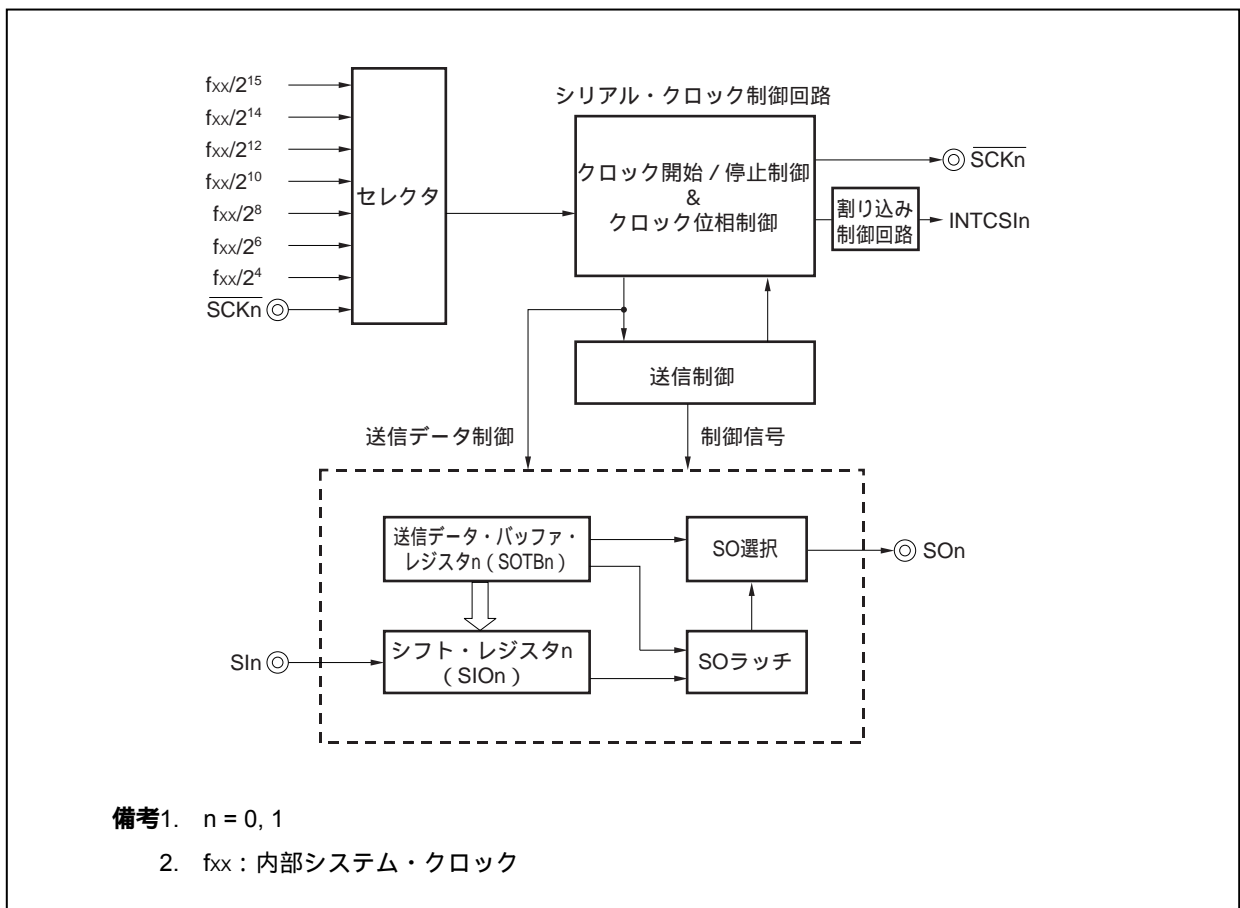
(7) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(8) 割り込み制御回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに、割り込み要求を発生するかしないかを制御します。

図11 - 15 クロック同期式シリアル・インタフェースのブロック図



11.3.3 制御レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 (CSIM0, CSIM1)

CSInの動作を制御するレジスタです (n = 0, 1)。

8/1ビット単位でリード/ライト可能です。

★ ビット5, 3-1には必ず0を設定してください。1を設定した場合の動作は保証できません。

注意 CSInを使用する場合には、必ずCSIn機能に関連する外部端子をコントロール・モードに設定し、CSICnレジスタを設定したあとCSICAEnビットをセット(1)してください。そのあとに、ほかのビットの設定を行ってください。

	⑦	⑥	5	④	3	2	1	①	アドレス	初期値
CSIM0	CSICAE0	TRMD0	0	DIR0	0	0	0	CSOT0	FFFFFF900H	00H
CSIM1	CSICAE1	TRMD1	0	DIR1	0	0	0	CSOT1	FFFFFF910H	00H

ビット位置	ビット名	意味
7	CSICAE _n (n = 0, 1)	<p>CSI Operation Permission/Prohibition</p> <p>CSIn動作許可 / 禁止を指定します (n = 0, 1)。</p> <p>0 : CSIn動作禁止 (SOn = ロウ・レベル, \overline{SCKn} = ハイ・レベル)</p> <p>1 : CSIn動作許可</p> <p>注意1. CSICAE_n = 0にすると, CSInユニットを非同期にリセットします。</p> <p>2. CSICAE_n = 0の場合は, CSInユニットはリセット状態なので, CSInを動作させる場合には, まずCSICAE_n = 1にしてください。</p> <p>3. CSICAE_nビットを1から0にした場合は, CSInユニットのすべてのレジスタが初期化されます。再度CSICAE_n = 1にする場合には, 必ずCSInユニットのレジスタを再設定してください。</p>
6	TRMD _n (n = 0, 1)	<p>Transmission/Reception Mode Control</p> <p>送受信モードを指定します。</p> <p>0 : 受信専用モード</p> <p>1 : 送受信モード</p> <p>TRMD_n = 0なら, 受信だけの転送になります。そして, SOn端子出力はロウ・レベルに固定されます。SIO_nレジスタの読み出しにより, データ受信を開始します。TRMD_n = 1なら, 送受信はSOTB_nレジスタへのデータ書き込みにより開始されます。</p> <p>注意 TRMD_nビットの書き換えは, CSOT_n = 0のときだけ可能です。</p>
4	DIR _n (n = 0, 1)	<p>Transmit Direction Mode Control</p> <p>転送方向モード (MSB/LSB) を指定します。</p> <p>0 : 転送データ先頭ビットはMSB</p> <p>1 : 転送データ先頭ビットはLSB</p> <p>注意 DIR_nビットの書き換えは, CSOT_n = 0のときだけ可能です。</p>
0	CSOT _n (n = 0, 1)	<p>CSI Status Of Transmission</p> <p>転送状態表示フラグです。</p> <p>0 : アイドル状態</p> <p>1 : 転送実行状態</p> <p>送受信モード (TRMD_n = 1) にして, シリアル・データ転送を開始しようとする際にシフト・レジスタ (SIO_n) への書き込みが可能かどうかを判別するための手段として使用します。</p> <p>注意 CSOT_nビットは, CSICAE_nビットをクリア (0) するとリセットされます。</p>

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ0, 1 (CSIC0, CSIC1)

CSICnレジスタは、CSInの送信動作を制御する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

注意 CSICnレジスタを変更する場合は、CSIMnレジスタのCSICAE_n = 0にしてから変更してください。

(1/2)

	7	6	5	4	3	2	1	0	アドレス	初期値
CSIC0	0	0	0	CKP0	DAP0	CKS02	CKS01	CKS00	FFFFFF901H	00H
CSIC1	0	0	0	CKP1	DAP1	CKS12	CKS11	CKS10	FFFFFF911H	00H

ビット位置	ビット名	意味															
4, 3	CKPn, DAPn (n = 0, 1)	<p>Clock Phase Selection Bit, Data Phase Selection Bit SCKnに対するデータの送信, 受信タイミングを指定します。</p> <table border="1"> <thead> <tr> <th>CKPn</th> <th>DAPn</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td> </td> </tr> <tr> <td>0</td> <td>1</td> <td> </td> </tr> <tr> <td>1</td> <td>0</td> <td> </td> </tr> <tr> <td>1</td> <td>1</td> <td> </td> </tr> </tbody> </table>	CKPn	DAPn	動作モード	0	0		0	1		1	0		1	1	
CKPn	DAPn	動作モード															
0	0																
0	1																
1	0																
1	1																

ビット位置	ビット名	意味																																													
2-0	CKSn2-CKSn 0 (n = 0, 1)	Input Clock Selection 入力クロックを指定します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>CKSn2</th> <th>CKSn1</th> <th>CKSn0</th> <th>入力クロック</th> <th>モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>$f_{xx}/2^{15}$</td> <td>マスタ・モード</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>$f_{xx}/2^{14}$</td> <td>マスタ・モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>$f_{xx}/2^{12}$</td> <td>マスタ・モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>$f_{xx}/2^{10}$</td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>$f_{xx}/2^8$</td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>$f_{xx}/2^6$</td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>$f_{xx}/2^4$</td> <td>マスタ・モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>外部クロック (SCKn)</td> <td>スレーブ・モード</td> </tr> </tbody> </table> 備考 f _{xx} : 内部システム・クロック周波数	CKSn2	CKSn1	CKSn0	入力クロック	モード	0	0	0	$f_{xx}/2^{15}$	マスタ・モード	0	0	1	$f_{xx}/2^{14}$	マスタ・モード	0	1	0	$f_{xx}/2^{12}$	マスタ・モード	0	1	1	$f_{xx}/2^{10}$	マスタ・モード	1	0	0	$f_{xx}/2^8$	マスタ・モード	1	0	1	$f_{xx}/2^6$	マスタ・モード	1	1	0	$f_{xx}/2^4$	マスタ・モード	1	1	1	外部クロック (SCKn)	スレーブ・モード
CKSn2	CKSn1	CKSn0	入力クロック	モード																																											
0	0	0	$f_{xx}/2^{15}$	マスタ・モード																																											
0	0	1	$f_{xx}/2^{14}$	マスタ・モード																																											
0	1	0	$f_{xx}/2^{12}$	マスタ・モード																																											
0	1	1	$f_{xx}/2^{10}$	マスタ・モード																																											
1	0	0	$f_{xx}/2^8$	マスタ・モード																																											
1	0	1	$f_{xx}/2^6$	マスタ・モード																																											
1	1	0	$f_{xx}/2^4$	マスタ・モード																																											
1	1	1	外部クロック (SCKn)	スレーブ・モード																																											

(a) ボー・レート

CKSn2	CKSn1	CKSn0	ボー・レート (bps)			
			40 MHz動作時	33 MHz動作時	25 MHz動作時	20 MHz動作時
0	0	0	1221	1007	763	610
0	0	1	2441	2014	1526	1221
0	1	0	9766	8057	6104	4883
0	1	1	39063	32227	24414	19531
1	0	0	156250	128906	97656	78125
1	0	1	625000	515625	390625	312500
1	1	0	2500000	2062500	1562500	1250000

(3) シリアルI/Oシフト・レジスタ0, 1 (SIO0, SIO1)

SIO_nレジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。CSIM_nレジスタのTRMD_n = 0のとき、SIO_nを読み出すことにより受信動作が起動します。

リセット入力以外に、CSIM_nレジスタのCSICA_nビットをクリア(0)しても、SIO_nレジスタは00Hとなります。

8ビット単位でリードだけ可能です。

注意 アイドル状態中 (CSIM_nレジスタのCSOT_n = 0) のときだけ、SIO_nにアクセスできます。

	7	6	5	4	3	2	1	0	アドレス	初期値
SIO0	SIO07	SIO06	SIO05	SIO04	SIO03	SIO02	SIO01	SIO00	FFFFFF902H	00H
SIO1	SIO17	SIO16	SIO15	SIO14	SIO13	SIO12	SIO11	SIO10	FFFFFF912H	00H

ビット位置	ビット名	意味
7-0	SIO _n 7-SIO _n 0 (n = 0, 1)	Serial I/O データは、MSBまたはLSB側からシフト・イン(受信)またはシフト・アウト(送信)します。

(4) 受信専用シリアルI/Oシフト・レジスタ0, 1 (SIOE0, SIOE1)

SIOE_nレジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。CSIM_nレジスタのTRMD_n = 0のとき、SIOE_nを読み出しても受信動作が起動しないため、受信動作を起動させずにSIO_nレジスタの値(受信データ)を読み出すときに使用します。

リセット入力以外に、CSIM_nレジスタのCSICA_nビットをクリア(0)しても、SIOE_nレジスタは00Hとなります。

8ビット単位でリードだけ可能です。

注意 アイドル状態中 (CSIM_nレジスタのCSOT_n = 0) のときだけ、SIOE_nにアクセスできます。

	7	6	5	4	3	2	1	0	アドレス	初期値
SIOE0	SIOE07	SIOE06	SIOE05	SIOE04	SIOE03	SIOE02	SIOE01	SIOE00	FFFFFF903H	00H
SIOE1	SIOE17	SIOE16	SIOE15	SIOE14	SIOE13	SIOE12	SIOE11	SIOE10	FFFFFF913H	00H

ビット位置	ビット名	意味
7-0	SIOE _n 7-SIOE _n 0 (n = 0, 1)	Serial I/O データは、MSBまたはLSB側からシフト・イン(受信)します。

(5) クロック同期式シリアル・インタフェース送信バッファ・レジスタ0, 1 (SOTB0, SOTB1)

SOTBnレジスタは、送信データを格納する8ビット・バッファ・レジスタです。

送受信モード (CSIMnレジスタのTRMDn = 1) に設定したとき、SOTBnレジスタへのデータ書き込みにより送信動作が起動します。

リセット入力により、SOTBnレジスタは00Hとなります。

8ビット単位でリード/ライト可能です。

注意 アイドル状態中 (CSIMnレジスタのCSOTn = 0) のときだけ、SOTBnにアクセスできます。

	7	6	5	4	3	2	1	0	アドレス	初期値
SOTB0	SOTB07	SOTB06	SOTB05	SOTB04	SOTB03	SOTB02	SOTB01	SOTB00	FFFFFF904H	00H
SOTB1	SOTB17	SOTB16	SOTB15	SOTB14	SOTB13	SOTB12	SOTB11	SOTB10	FFFFFF914H	00H

ビット位置	ビット名	意味
7-0	SOTBn7- SOTBn0 (n = 0, 1)	Serial I/O 送信データを書き込みます。

11.3.4 動作

(1) 転送モード

CSInは、それぞれ1本のクロック・ラインと2本のデータ・ラインの3線でデータの送受信を行います。

受信専用モード (CSIMnレジスタのTRMDn = 0) の場合、SIO_nレジスタをリードすると転送を開始します (n = 0, 1)。受信を開始せずにSIO_nレジスタ値を読み出す場合は、SIOEnレジスタを読み出してください。

送受信モード (CSIMnレジスタのTRMDn = 1) の場合、SOTBnレジスタへの書き込みで転送を開始します。

CSInの8ビット転送が終了すると、CSIMnレジスタのCSOTnビットが0になり、自動的に停止します。また、転送が終了すると送受信完了割り込み (INTCSIn) を発生します。

- 注意1.** CSIMnレジスタのCSOTn = 1のときに、コントロール・レジスタ、データ・レジスタにアクセスしないでください。
2. SOTBnレジスタに送信データをライトしておいて、CSIMnレジスタのTRMDnビットを0から1に設定しても、シリアル転送は行いません。

(2) シリアル・クロック

(a) シリアル・クロックとして内部クロックを選択した場合

受信または送信が起動されると、シリアル・クロックを $\overline{\text{SCKn}}$ 端子から出力し、CSICnレジスタのCKPn、DAPnビットの設定に従ってシリアル・クロックに同期したタイミングでSIn端子のデータをSIO_nレジスタへ順次取り込み、またはSIO_nレジスタからデータをSON端子へ順次出力します (n = 0, 1)。

(b) シリアル・クロックとして外部クロックを選択した場合

受信または送信が起動されると、CSICnレジスタのCKPn、DAPnビットの設定に従って受信または送受信起動後に $\overline{\text{SCKn}}$ 端子へ入力されたシリアル・クロックに同期して、SIn端子のデータをSIO_nレジスタへ順次取り込み、またはSIO_nレジスタからデータをSON端子へ順次出力します (n = 0, 1)。

受信または送信が起動されていないときに、シリアル・クロックを $\overline{\text{SCKn}}$ 端子へ入力してもソフト動作は行いません。

図11 - 16 転送タイミング

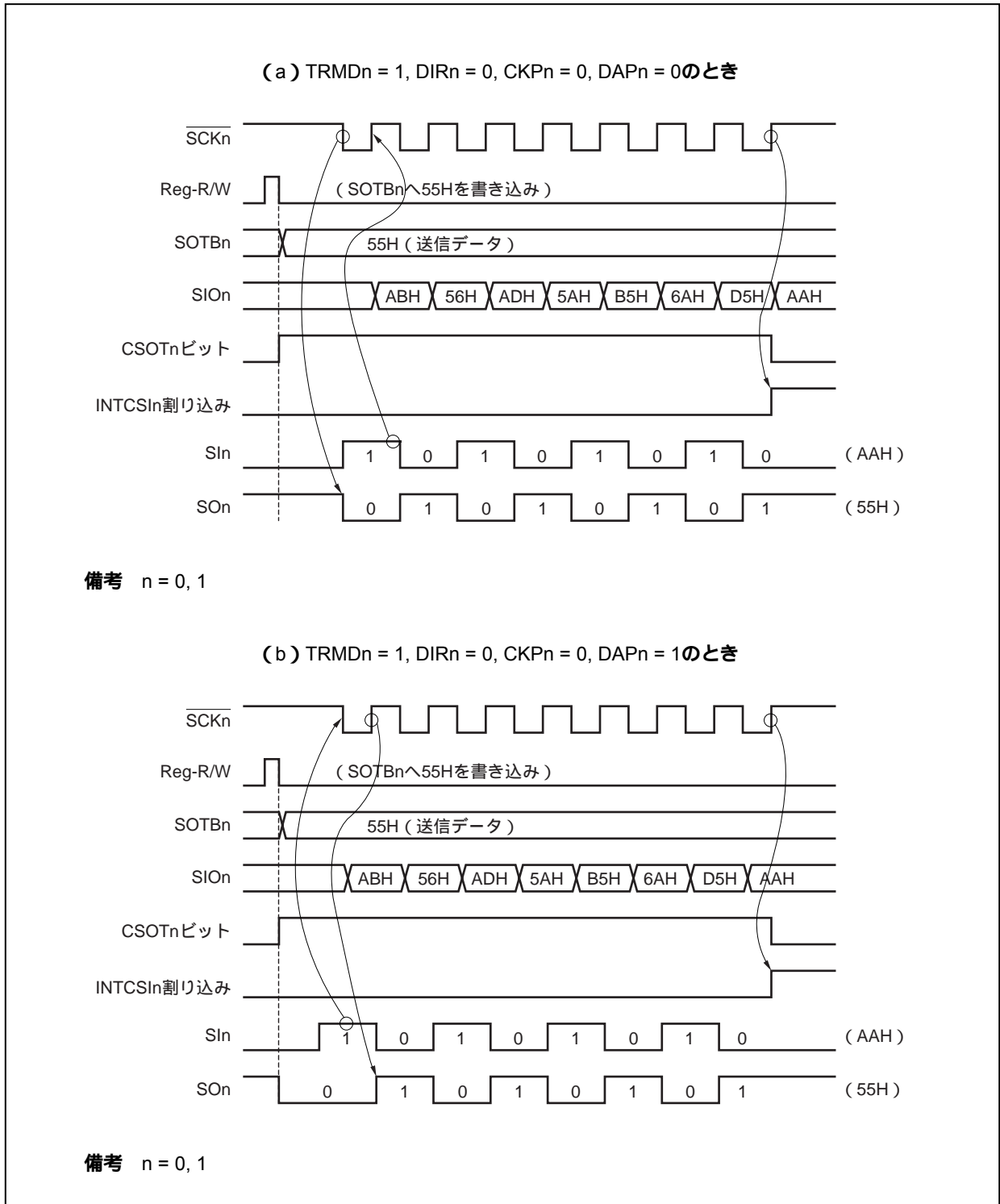
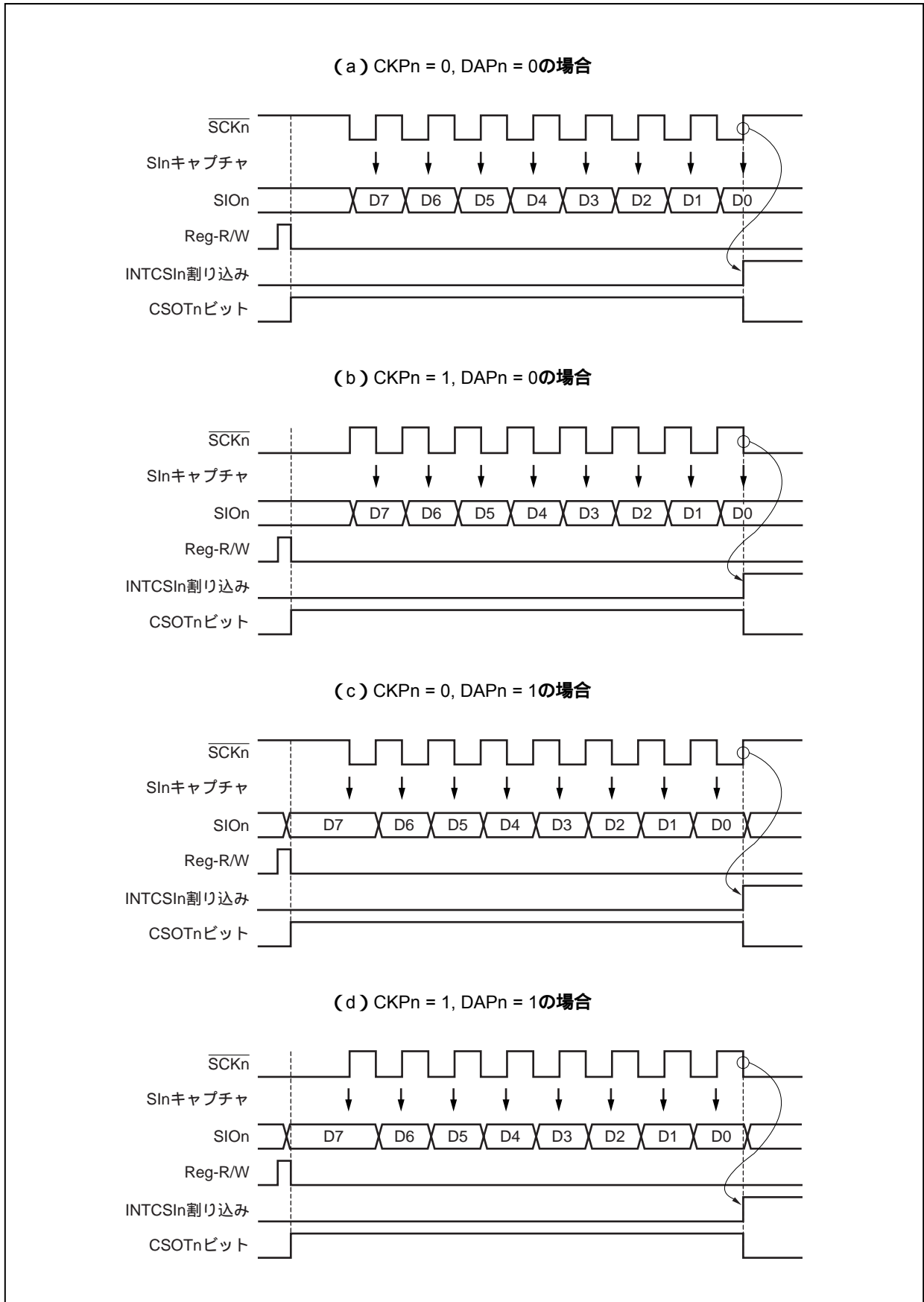


図11 - 17 クロック・タイミング



11.3.5 出力端子

(1) $\overline{\text{SCKn}}$ 端子

CSIn動作禁止 (CSICAE_n = 0) のとき、 $\overline{\text{SCKn}}$ 端子出力状態は次のようになります。

CKP _n	$\overline{\text{SCKn}}$ 端子出力
0	ハイ・レベル固定
1	ロウ・レベル固定

備考1. CKP_nビットを書き換えると $\overline{\text{SCKn}}$ 端子の出力が変化します。

2. n = 0, 1

(2) SOn端子

CSIn動作禁止 (CSICAE_n = 0) のとき、SOn端子出力状態は次のようになります。

TRMD _n	DAP _n	DIR _n	SOn端子出力
0	x	x	ロウ・レベル固定
1	1	x	SOnラッチの値 (ロウ・レベル)
		0	SOTBn7の値
		1	SOTBn0の値

備考1. TRMD_n, DAP_n, DIR_nビットのいずれかを書き換えるとSOn端子の出力が変化します。

2. n = 0, 1

3. x : 任意

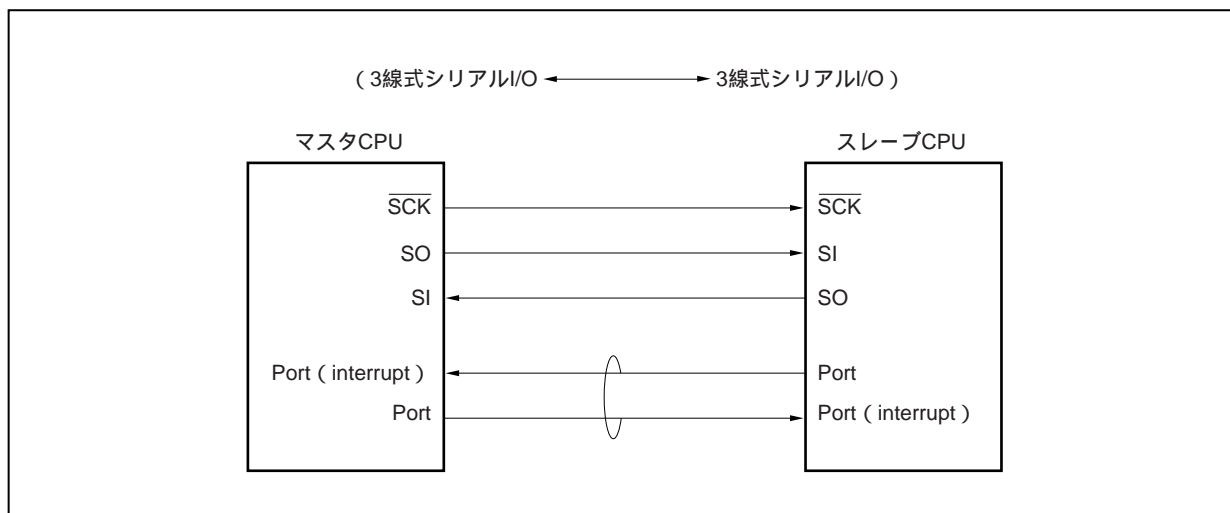
11.3.6 システム構成例

シリアル・クロック ($\overline{\text{SCKn}}$)、シリアル入力 (SI_n)、シリアル出力 (SO_n) の3種類の信号線によって、8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です (n = 0, 1)。

複数のデバイスと接続する場合は、ハンドシェイク用のラインが必要です。

通信先頭ビットがMSBまたはLSBに選択できるので、さまざまなデバイスと通信することができます。

図11-18 CSIのシステム構成例



第12章 A/Dコンバータ

12.1 特 徴

アナログ入力：4チャンネル
10ビットA/Dコンバータ内蔵
A/D変換結果レジスタ（ADCR0-ADCR3）内蔵
10ビット×4本
A/D変換トリガ・モード
A/Dトリガ・モード
タイマ・トリガ・モード
逐次変換方式

12.2 構 成

A/Dコンバータは、逐次変換方式を採用しており、A/Dコンバータ・モード・レジスタ0, 1, 2（ADM0, ADM1, ADM2）、A/D変換結果レジスタ（ADCR0-ADCR3）を使用してA/D変換動作を行います。

（1）入力回路

ADM0, ADM1レジスタに設定したモードに従ってアナログ入力（ANI0-ANI3）を選択し、サンプル&ホールド回路に送ります。

（2）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、コンパレータに送ります。なお、A/D変換動作中は、サンプリングしたアナログ入力を保持します。

（3）電圧コンパレータ

入力されたアナログ入力と直列抵抗ストリングの電圧タップの出力電圧を比較します。

（4）直列抵抗ストリング

直列抵抗ストリングは、アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは、A/Dコンバータ用の基準電圧端子（ AV_{REF} ）とA/Dコンバータ用のGND端子（ AV_{SS} ）間に接続されています。2端子間を1024の等価な電圧ステップにするため、等価な抵抗1023個とその1/2の抵抗値の抵抗2個で構成されています。

直列抵抗ストリングの電圧タップは、逐次変換レジスタ（SAR）で制御されるタップ・セレクタによって選択します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARは、直列抵抗ストリングからの電圧タップの値がアナログ入力の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する10ビット・レジスタです。

★ SARの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARの内容 (変換結果) は、A/D変換結果レジスタ (ADCRn) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み (INTAD) が発生します。

(6) A/D変換結果レジスタ (ADCRn : A/D Conversion Result Register n)

ADCRは、A/D変換結果を保持する10ビット・レジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

RESET入力により、0000Hになります。

(7) コントローラ

ADM0, ADM1レジスタに設定したモードに従って、アナログ入力の選択、サンプル&ホールド回路の動作タイミングの生成、変換トリガの制御を行います。

(8) ANI0-ANI3端子

A/Dコンバータへの4チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

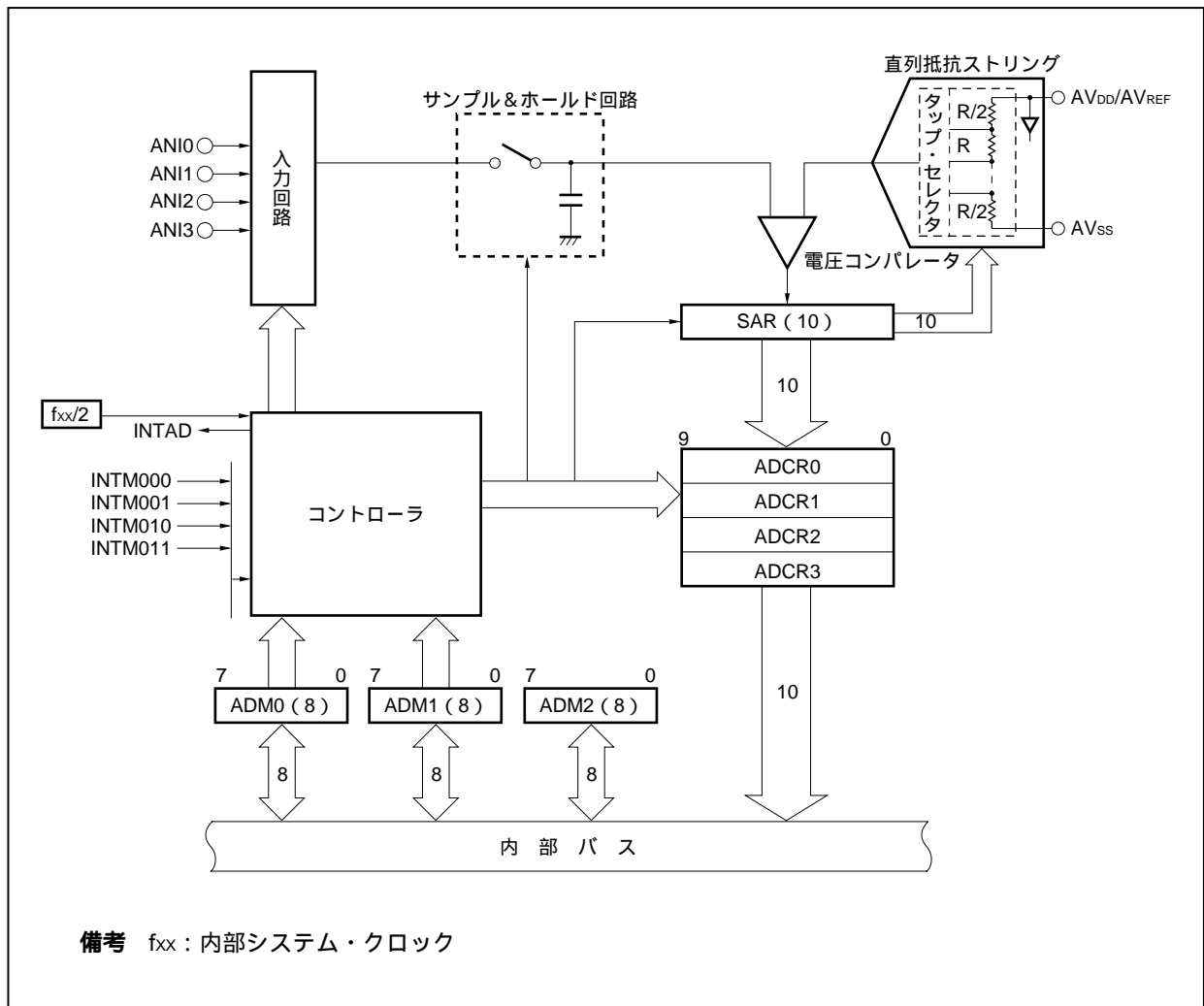
注意 ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特に AV_{DD} 以上、 AV_{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(9) AV_{REF} 端子

A/Dコンバータの基準電圧を入力するための端子です。 AV_{REF} - AV_{SS} 間に加えられる電圧に基づいてANIn端子に入力される信号をデジタル信号に変換します。

V850E/MA2では、 AV_{DD} 端子と AV_{REF} 端子が兼用となっています。したがって、 AV_{DD} 端子と AV_{REF} 端子に別々の電圧を設定することはできません。

図12 - 1 A/Dコンバータのブロック図



注意1. アナログ入力端子（ANI0-ANI3）および基準電圧入力端子（ AV_{REF} ）にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります。

この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
- ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
- ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。

2. A/Dコンバータの入力端子として使用している端子には、 AV_{SS} - AV_{REF} の範囲外の電圧が加わらないようにしてください。

12.3 制御レジスタ

(1) A/Dコンバータ・モード・レジスタ0 (ADM0)

ADM0レジスタは、アナログ入力端子の選択、動作モードの指定および変換動作の制御を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。ただし、A/D変換動作中にADM0レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。また、ビット6には書き込みできません。書き込みは無視されます。

注意1. タイマ・トリガ・モード時でADCEビットが1のときは、トリガ信号待機状態になります。ADCEビットをクリアするには、0を書き込むか、リセットしてください。

A/Dトリガ・モードでは、ADCEビットに1を書き込むことが変換のトリガになります。動作後、ADCEビットをクリアせずにタイマ・トリガ・モードに変更した場合、レジスタ変更直後からトリガ入力の待機状態になります。

2. A/D変換を開始してから、ADCSビット = 1になるまで10クロックかかります。

	⑦	⑥	5	4	3	2	1	0	アドレス	初期値
ADM0	ADCE	ADCS	BS	MS	0	ANIS2	ANIS1	ANIS0	FFFFFF200H	00H

ビット位置	ビット名	意味																																																	
7	ADCE	Convert Enable A/D変換動作の許可 / 禁止を指定します。 0 : A/D変換動作禁止 1 : A/D変換動作許可																																																	
6	ADCS	Converter Status A/Dコンバータの状態を示します。このビットは読み出し専用です。 0 : A/Dコンバータ停止中 1 : A/Dコンバータ動作中																																																	
5	BS	Buffer Select セレクト・モード時のバッファ・モードを指定します。 0 : 1バッファ・モード 1 : 4バッファ・モード																																																	
4	MS	Mode Select A/Dコンバータの動作モードを指定します。 0 : スキャン・モード 1 : セレクト・モード																																																	
2-0	ANIS2-ANIS0	Analog Input Select A/D変換するアナログ入力端子を指定します。 <table border="1" data-bbox="593 1128 1327 1469"> <thead> <tr> <th>ANIS2</th> <th>ANIS1</th> <th>ANIS0</th> <th colspan="2">セレクト・モード</th> <th colspan="2">スキャン・モード</th> </tr> <tr> <td></td> <td></td> <td></td> <th>A/Dトリガ・モード</th> <th>タイマ・トリガ・モード</th> <th>A/Dトリガ・モード</th> <th>タイマ・トリガ・モード^注</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>ANI0</td> <td>ANI0</td> <td>ANI0</td> <td>1回</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>ANI1</td> <td>ANI1</td> <td>ANI0, ANI1</td> <td>2回</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>ANI2</td> <td>ANI2</td> <td>ANI0-ANI2</td> <td>3回</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ANI3</td> <td>ANI3</td> <td>ANI0-ANI3</td> <td>4回</td> </tr> <tr> <td colspan="3">上記以外</td> <td colspan="2">設定禁止</td> <td colspan="2">設定禁止</td> </tr> </tbody> </table>	ANIS2	ANIS1	ANIS0	セレクト・モード		スキャン・モード					A/Dトリガ・モード	タイマ・トリガ・モード	A/Dトリガ・モード	タイマ・トリガ・モード ^注	0	0	0	ANI0	ANI0	ANI0	1回	0	0	1	ANI1	ANI1	ANI0, ANI1	2回	0	1	0	ANI2	ANI2	ANI0-ANI2	3回	0	1	1	ANI3	ANI3	ANI0-ANI3	4回	上記以外			設定禁止		設定禁止	
ANIS2	ANIS1	ANIS0	セレクト・モード		スキャン・モード																																														
			A/Dトリガ・モード	タイマ・トリガ・モード	A/Dトリガ・モード	タイマ・トリガ・モード ^注																																													
0	0	0	ANI0	ANI0	ANI0	1回																																													
0	0	1	ANI1	ANI1	ANI0, ANI1	2回																																													
0	1	0	ANI2	ANI2	ANI0-ANI2	3回																																													
0	1	1	ANI3	ANI3	ANI0-ANI3	4回																																													
上記以外			設定禁止		設定禁止																																														

注 スキャン・モード時のタイマ・トリガ・モード（4トリガ・モード）では、ANI0-ANI3端子のスキャン順序はコンペア・レジスタの一致信号の発生順序により指定されるため、特定のアナログ入力端子を指定するのではなく、トリガ入力回数を指定します。

(2) A/Dコンバータ・モード・レジスタ1 (ADM1)

ADM1レジスタは、変換動作時間の指定、トリガ・モードの指定を行う8ビット・レジスタです。

8ビット単位でリード/ライト可能です。ただし、A/D変換動作中にADM1レジスタに書き込みを行った場合、変換動作は初期化され、最初から変換動作をやり直します。

- ★ **注意1.** トリガ入力からA/D変換終了までは、FR2-FR0ビットで指定したクロック数に加えて、次に示すクロック数がかかります (12.7.5 A/D変換時間についての補足参照)。

A/Dトリガ・モード時 : 11-13クロック (9-11クロック+2クロック)

タイマ・トリガ・モード時 : 7-9クロック (5-7クロック+2クロック)

2. タイマ・トリガ・モード時には、必ずトリガ入力はFR2-FR0ビットで指定したクロック数以上の間隔で入力してください (12.7.2 タイマ・トリガの間隔参照)

	7	6	5	4	3	2	1	0	アドレス	初期値
ADM1	0	TRG2	TRG1	TRG0	0	FR2	FR1	FR0	FFFFFF201H	07H

ビット位置	ビット名	意味																																																								
6-4	TRG2-TRG0	Trigger Mode トリガ・モードを指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>TRG2</th> <th>TRG1</th> <th>TRG0</th> <th>トリガ・モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0/1</td> <td>A/Dトリガ・モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>タイマ・トリガ・モード (1トリガ・モード)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>タイマ・トリガ・モード (4トリガ・モード)</td> </tr> <tr> <td colspan="3">上記以外</td> <td>設定禁止</td> </tr> </tbody> </table>	TRG2	TRG1	TRG0	トリガ・モード	0	0	0/1	A/Dトリガ・モード	0	1	0	タイマ・トリガ・モード (1トリガ・モード)	0	1	1	タイマ・トリガ・モード (4トリガ・モード)	上記以外			設定禁止																																				
TRG2	TRG1	TRG0	トリガ・モード																																																							
0	0	0/1	A/Dトリガ・モード																																																							
0	1	0	タイマ・トリガ・モード (1トリガ・モード)																																																							
0	1	1	タイマ・トリガ・モード (4トリガ・モード)																																																							
上記以外			設定禁止																																																							
2-0	FR2-FR0	Frequency 変換動作時間を指定します。発振周波数を変化させた場合でも、A/D変換時間を大きく変化させないようにするための制御ビットです。 <table border="1" style="margin: 10px auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th rowspan="2">FR2</th> <th rowspan="2">FR1</th> <th rowspan="2">FR0</th> <th rowspan="2">変換 クロック数</th> <th colspan="2">変換動作時間^注</th> </tr> <tr> <th>f_{xx} = 40 MHz</th> <th>f_{xx} = 33 MHz</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>96</td> <td>設定禁止</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>144</td> <td>設定禁止</td> <td>設定禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>192</td> <td>設定禁止</td> <td>5.82 μs</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>240</td> <td>6.00 μs</td> <td>7.27 μs</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>336</td> <td>8.40 μs</td> <td>10.18 μs</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>384</td> <td>9.60 μs</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>480</td> <td>設定禁止</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>672</td> <td>設定禁止</td> <td>設定禁止</td> </tr> </tbody> </table> <p style="margin-top: 10px;">注 変換動作時間は目標値です。変換動作時間が5 ~ 10 μsになるように設定してください。</p> <p style="margin-top: 10px;">備考 f_{xx} = 内部システム・クロック</p>	FR2	FR1	FR0	変換 クロック数	変換動作時間 ^注		f _{xx} = 40 MHz	f _{xx} = 33 MHz	0	0	0	96	設定禁止	設定禁止	0	0	1	144	設定禁止	設定禁止	0	1	0	192	設定禁止	5.82 μs	0	1	1	240	6.00 μs	7.27 μs	1	0	0	336	8.40 μs	10.18 μs	1	0	1	384	9.60 μs	設定禁止	1	1	0	480	設定禁止	設定禁止	1	1	1	672	設定禁止	設定禁止
FR2	FR1	FR0					変換 クロック数	変換動作時間 ^注																																																		
			f _{xx} = 40 MHz	f _{xx} = 33 MHz																																																						
0	0	0	96	設定禁止	設定禁止																																																					
0	0	1	144	設定禁止	設定禁止																																																					
0	1	0	192	設定禁止	5.82 μs																																																					
0	1	1	240	6.00 μs	7.27 μs																																																					
1	0	0	336	8.40 μs	10.18 μs																																																					
1	0	1	384	9.60 μs	設定禁止																																																					
1	1	0	480	設定禁止	設定禁止																																																					
1	1	1	672	設定禁止	設定禁止																																																					

(3) A/Dコンバータ・モード・レジスタ2 (ADM2)

ADM2レジスタは、A/Dコンバータのリセット、クロックの制御を行う8ビット・レジスタです。8/1ビット単位でリード/ライト可能です。

注意 リセット解除後はADCAE = 0となるため、A/Dコンバータはリセット状態になります。A/Dコンバータを動作させる場合は、必ずADM2レジスタのADCAEビットを1に設定したあとに、ADM0、ADM1レジスタの書き込みを行ってください (ADCAE = 0の場合はADM0、ADM1レジスタの書き込みができません)。また、ADCAEビットを 0に設定するとA/Dコンバータに関するすべてのレジスタが初期化されます。

	7	6	5	4	3	2	1	①	アドレス	初期値
ADM2	0	0	0	0	0	0	0	ADCAE	FFFFFF202H	00H

ビット位置	ビット名	意 味
0	ADCAE	Clock Action Enable A/Dコンバータの動作を制御します。 0 : A/Dコンバータへのクロック供給停止, A/Dコンバータ・リセット状態 1 : A/Dコンバータへのクロック供給, A/Dコンバータ動作許可状態

(4) A/D変換結果レジスタ (ADCR0-ADCR3, ADCR0H-ADCR3H)

ADCRnレジスタは、A/D変換の結果を保持する10ビット・レジスタです。4本の10ビット・レジスタを備えています。

16/8ビット単位でリードだけ可能です。このレジスタへの16ビット・アクセス時はADCRnレジスタを、上位8ビット・アクセス時はADCRnHレジスタを指定します (n = 0-3)。

ADCRnレジスタからA/D変換結果の10ビット・データを読み出す場合には、下位の10ビットだけが有効となり、上位6ビットは常に0が読み出されます。

★	<table border="1" style="display: inline-table;"> <tr> <td style="text-align: center;">15</td><td style="text-align: center;">14</td><td style="text-align: center;">13</td><td style="text-align: center;">12</td><td style="text-align: center;">11</td><td style="text-align: center;">10</td><td style="text-align: center;">9</td><td style="text-align: center;">8</td><td style="text-align: center;">7</td><td style="text-align: center;">6</td><td style="text-align: center;">5</td><td style="text-align: center;">4</td><td style="text-align: center;">3</td><td style="text-align: center;">2</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">AD n9</td><td style="text-align: center;">AD n8</td><td style="text-align: center;">AD n7</td><td style="text-align: center;">AD n6</td><td style="text-align: center;">AD n5</td><td style="text-align: center;">AD n4</td><td style="text-align: center;">AD n3</td><td style="text-align: center;">AD n2</td><td style="text-align: center;">AD n1</td><td style="text-align: center;">AD n0</td> </tr> </table>	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	0	0	0	0	0	0	AD n9	AD n8	AD n7	AD n6	AD n5	AD n4	AD n3	AD n2	AD n1	AD n0	アドレス FFFFF210H- FFFFF216H	初期値 0000H
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																				
0	0	0	0	0	0	AD n9	AD n8	AD n7	AD n6	AD n5	AD n4	AD n3	AD n2	AD n1	AD n0																				
★	<table border="1" style="display: inline-table;"> <tr> <td style="text-align: center;">7</td><td style="text-align: center;">6</td><td style="text-align: center;">5</td><td style="text-align: center;">4</td><td style="text-align: center;">3</td><td style="text-align: center;">2</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">AD n9</td><td style="text-align: center;">AD n8</td><td style="text-align: center;">AD n7</td><td style="text-align: center;">AD n6</td><td style="text-align: center;">AD n5</td><td style="text-align: center;">AD n4</td><td style="text-align: center;">AD n3</td><td style="text-align: center;">AD n2</td> </tr> </table>	7	6	5	4	3	2	1	0	AD n9	AD n8	AD n7	AD n6	AD n5	AD n4	AD n3	AD n2	アドレス FFFFF220H- FFFFF223H	初期値 00H																
7	6	5	4	3	2	1	0																												
AD n9	AD n8	AD n7	AD n6	AD n5	AD n4	AD n3	AD n2																												
備考 n = 0-3																																			

各アナログ入力端子とADCRnレジスタの対応 (4バッファ・モードを除く) を次に示します。

アナログ入力端子	ADCRnレジスタ
ANI0	ADCR0, ADCR0H
ANI1	ADCR1, ADCR1H
ANI2	ADCR2, ADCR2H
ANI3	ADCR3, ADCR3H

アナログ入力端子 (ANI0-ANI3) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ (ADCRn)) には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

または,

$$(ADCR - 0.5) \times \frac{AV_{REF}}{1024} < V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF}}{1024}$$

INT () : () 内の値の整数部を返す関数

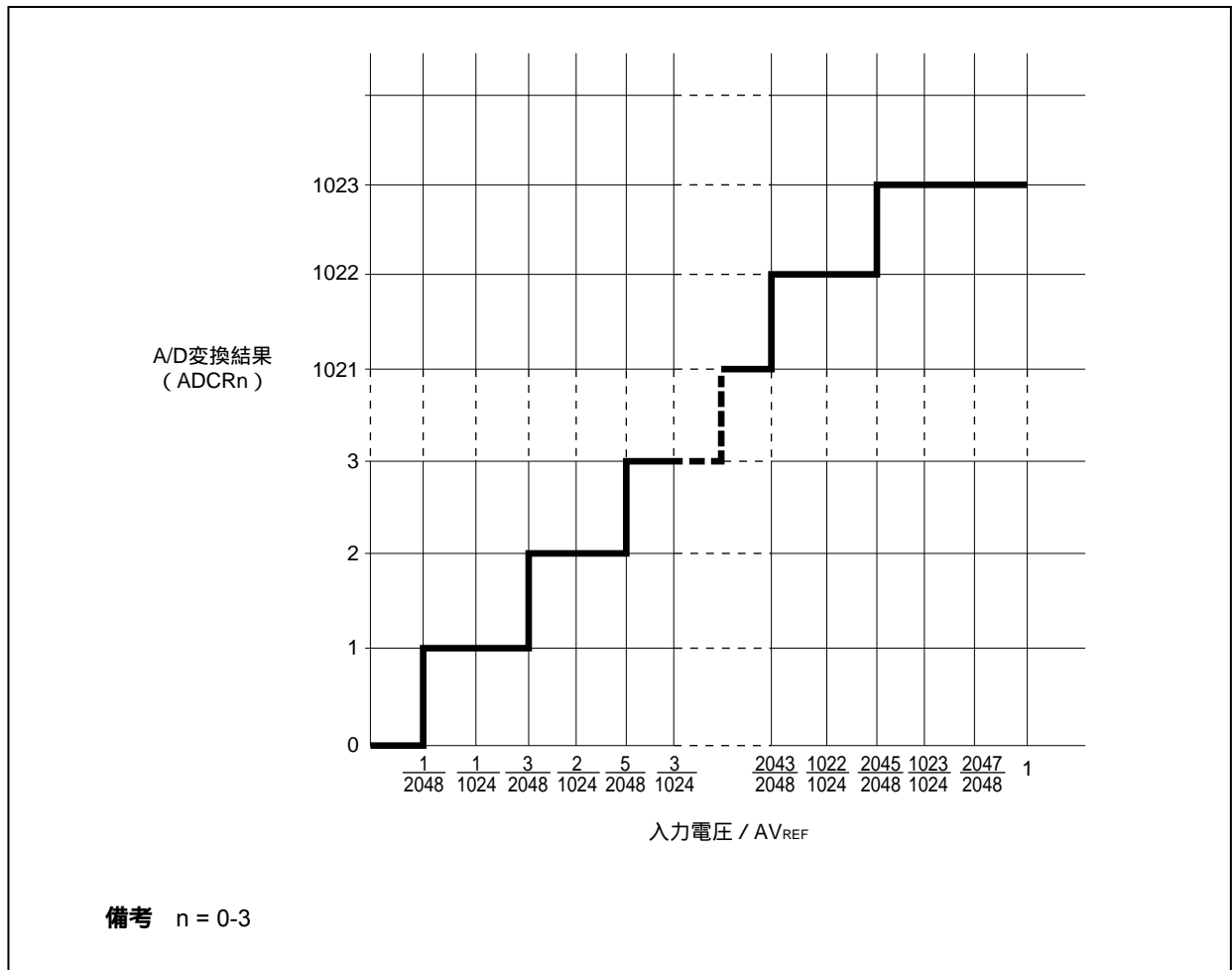
V_{IN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR : A/D変換結果レジスタ (ADCRn) の値

図12 - 2にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 2 アナログ入力電圧とA/D変換結果の関係



12.4 A/Dコンバータ動作

12.4.1 A/Dコンバータ基本動作

A/D変換は次の手順で行います。

- (1) ADM2レジスタのADCAEビットをセット(1)します。
- (2) アナログ入力の選択,動作モード,トリガ・モードなどを,ADM0,ADM1レジスタで指定します^{注1}。ADM0レジスタのADCEビットをセット(1)すると,A/Dトリガ・モード時はA/D変換を開始します。タイマ・トリガ・モード時は,トリガ待機状態になります^{注2}。
- (3) 直列抵抗ストリングの電圧タップから発生した電圧とアナログ入力をコンパレータで比較します。
- (4) 10ビットの比較が終了したとき,ADCRnレジスタに変換結果を格納します。指定した回数のA/D変換が終了したとき,A/D変換終了割り込み(INTAD)を発生します(n=0-3)。

注1. A/D変換動作中にADM0-ADM2レジスタの内容を変更した場合,ADCRnレジスタに変換結果は格納されません。変更前のA/D変換動作は初期化され,最初から変換動作をやり直します。

2. タイマ・トリガ・モードの場合,ADM0レジスタのADCEビットを1にすると,トリガ待機状態に遷移します。また,A/D変換動作は,トリガ信号によって起動され,A/D変換動作が終了するとトリガ待機状態に戻ります。

12.4.2 動作モードとトリガ・モード

A/Dコンバータは、動作モード、トリガ・モードの指定により多彩な変換動作を指定できます。動作モード、トリガ・モードは、ADM0, ADM1レジスタで設定します。

動作モード、トリガ・モードの関係を次に示します。

トリガ・モード	動作モード		設定値		アナログ入力	
			ADM0	ADM1		
ADトリガ	セレクト	1バッファ	XX010XXXB	000X0XXXB	ANI0-ANI3	
		4バッファ	XX110XXXB	000X0XXXB		
	スキャン		XXX00XXXB	000X0XXXB		
タイマ・トリガ	1トリガ	セレクト	1バッファ	XX010XXXB		00100XXXB
			4バッファ	XX110XXXB		00100XXXB
		スキャン		XXX00XXXB		00100XXXB
	4トリガ	セレクト	1バッファ	XX010XXXB	00110XXXB	
			4バッファ	XX110XXXB	00110XXXB	
		スキャン		XXX00XXXB	00110XXXB	

(1) トリガ・モード

A/D変換処理の開始タイミングとなるトリガ・モードには、A/Dトリガ・モード、タイマ・トリガ・モードの2通りがあります。なおタイマ・トリガ・モードにはサブトリガ・モードとして、1トリガ・モードと4トリガ・モードがあります。これらのトリガ・モードは、ADM1レジスタで設定します。

(a) A/Dトリガ・モード

ANI0-ANI3端子に設定されたアナログ入力の変換タイミングを、ADM0レジスタのADCEビットを1に設定することによりA/D変換を開始するモードです。

(b) タイマ・トリガ・モード

ANI0-ANI3端子に設定されたアナログ入力の変換タイミングを、タイマCのコンペア・レジスタに設定した値で規定するモードです。

16ビットのタイマC (TMC0, TMC1) に接続された4本のキャプチャ/コンペア・レジスタ (CCC00, CCC01, CCC10, CCC11) の一致割り込み (INTM000, INTM001, INTM010, INTM011) 発生により、アナログ入力変換タイミングを生成します。また、一致割り込み (INTM000, INTM001, INTM010, INTM011) はそれぞれ外部端子割り込み (INTP000, INTP001, INTP010, INTP011) と兼用しているため、兼用している外部端子割り込みが入力された場合でもアナログ入力変換タイミングを生成します。

タイマ・トリガ・モードには、1トリガ・モードと4トリガ・モードの2通りのサブトリガ・モードがあります。

・1トリガ・モード

タイマCからの1つの一致割り込みをA/D変換開始タイミングとして使用するモードです。

・4トリガ・モード

タイマCからの4つの一致割り込みをA/D変換開始タイミングとして使用するモードです。

(2) 動作モード

動作モードには、ANI0-ANI3端子を設定するモードとして、セレクト・モード、スキャン・モードの2通りがあります。セレクト・モードには、サブモードとして、1バッファ・モードと4バッファ・モードがあります。これらのモードは、ADM0レジスタで設定します。

(a) セレクト・モード

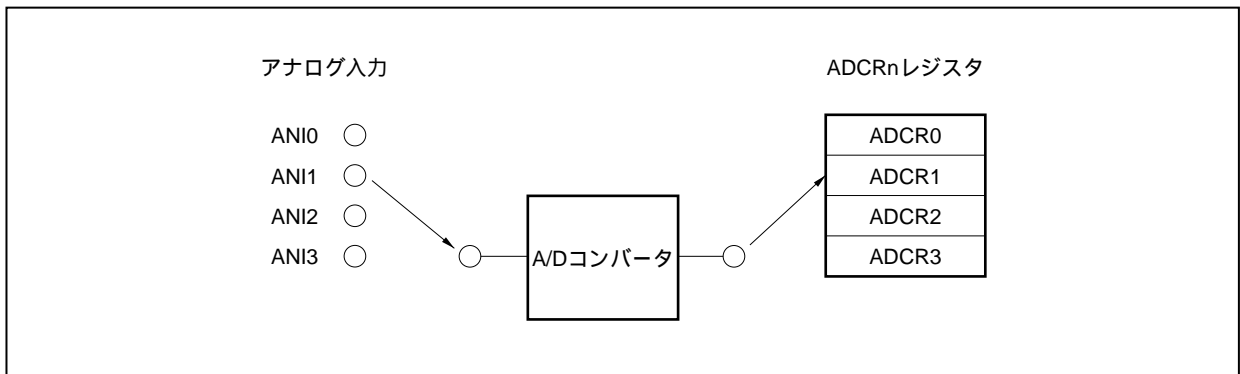
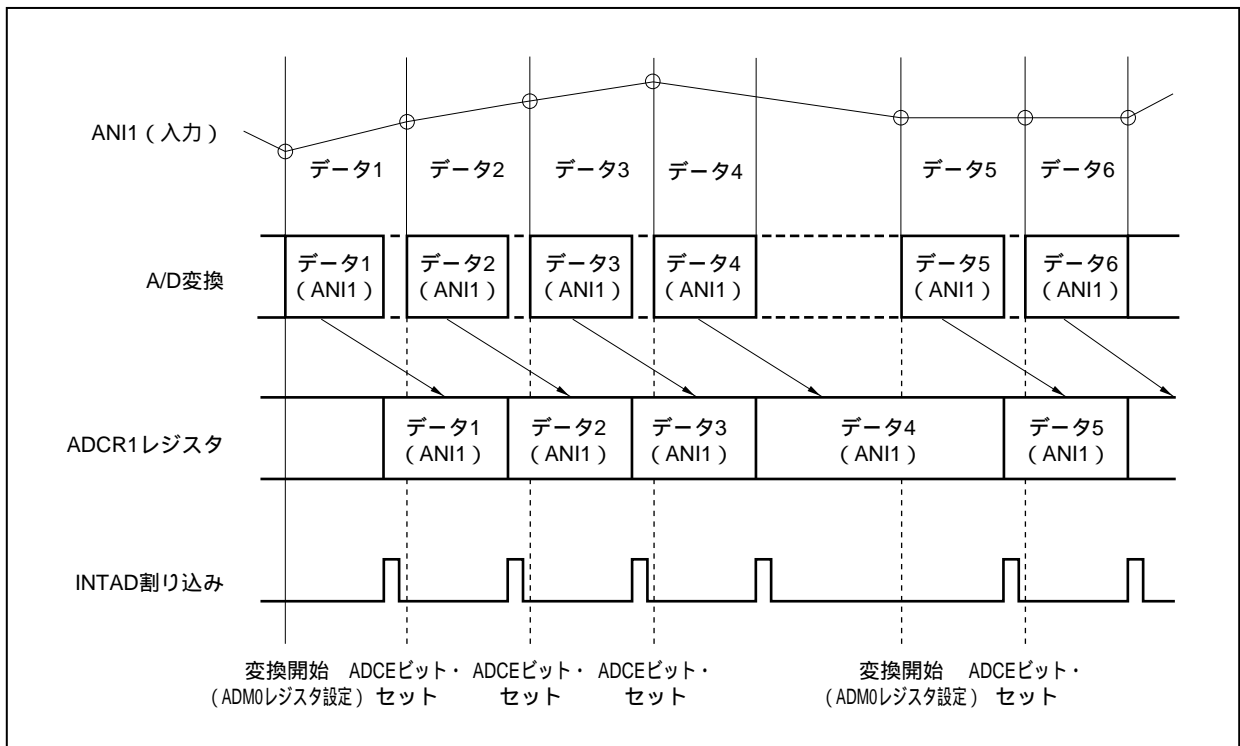
ADM0レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は、アナログ入力 (ANIn) に対応したADCRnレジスタに格納します。このモードでは、A/D変換結果の格納方法として、1バッファ・モードと4バッファ・モードを備えています (n = 0-3)。

・1バッファ・モード

ADM0レジスタで指定される1つのアナログ入力をA/D変換します。変換結果は、アナログ入力 (ANIn) に対応したADCRnレジスタに格納します。ANInとADCRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み (INTAD) が発生します。

★

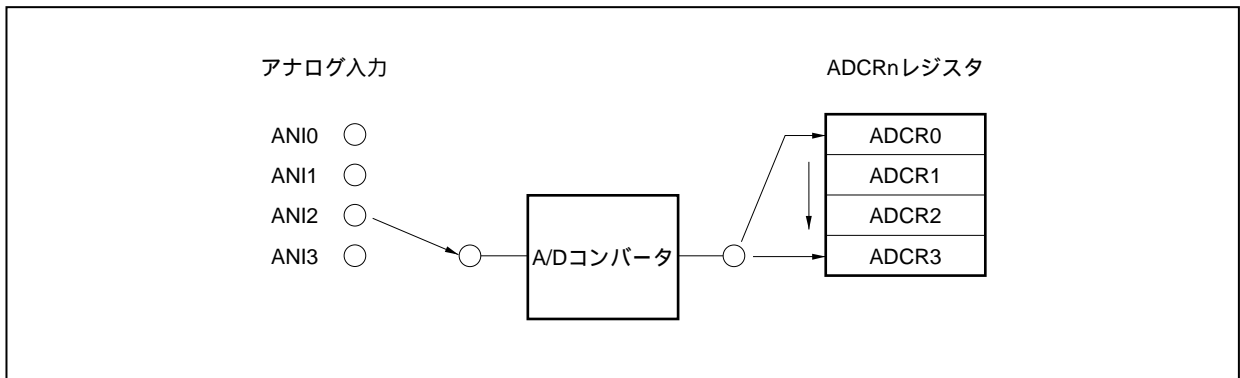
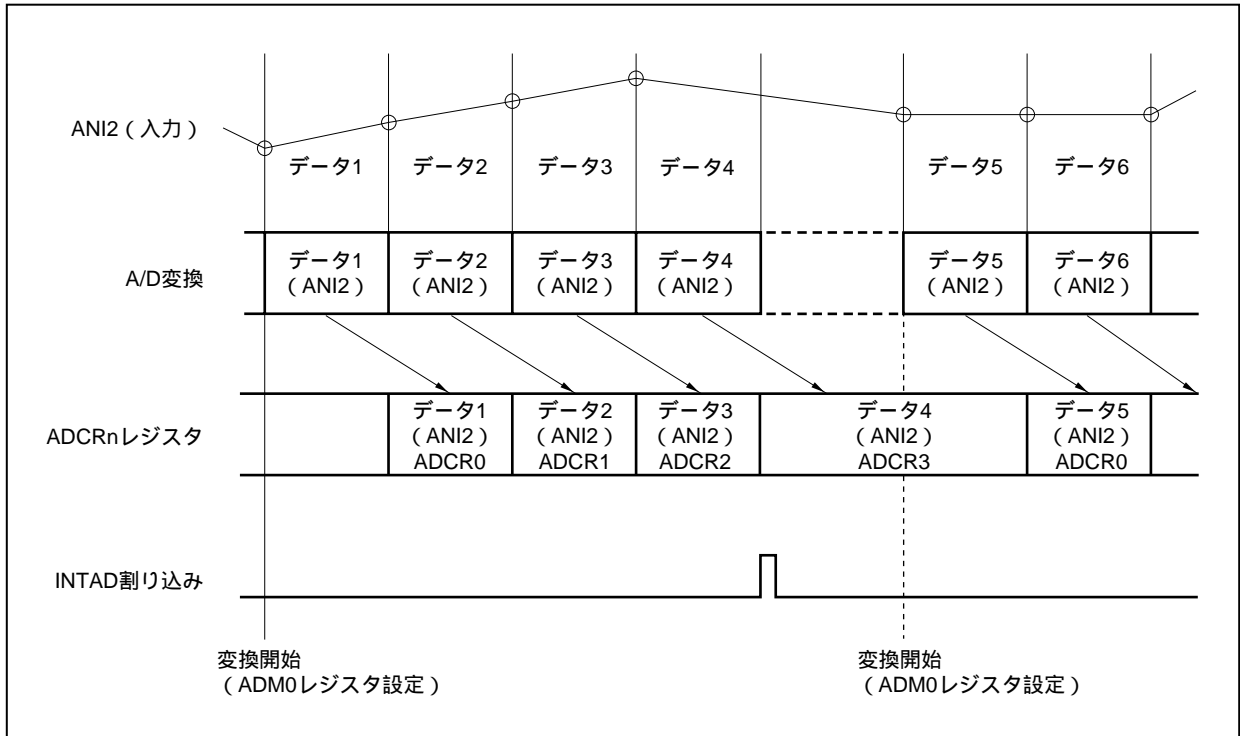
図12-3 セレクト・モードの動作タイミング例：1バッファ・モード (ANI1)



・4バッファ・モード

1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。A/D変換終了割り込み (INTAD) は、4回のA/D変換が終了したときに発生します。

★ 図12 - 4 セレクト・モードの動作タイミング例：4バッファ・モード (ANI2)

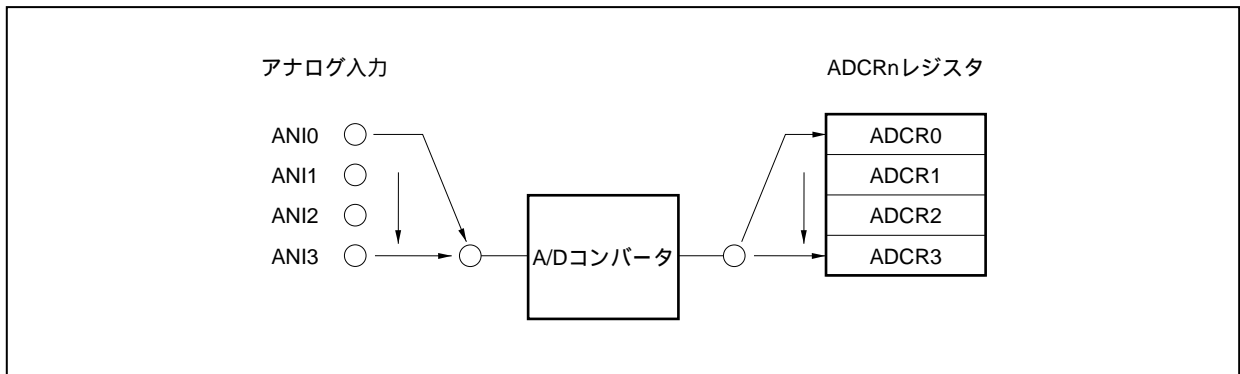
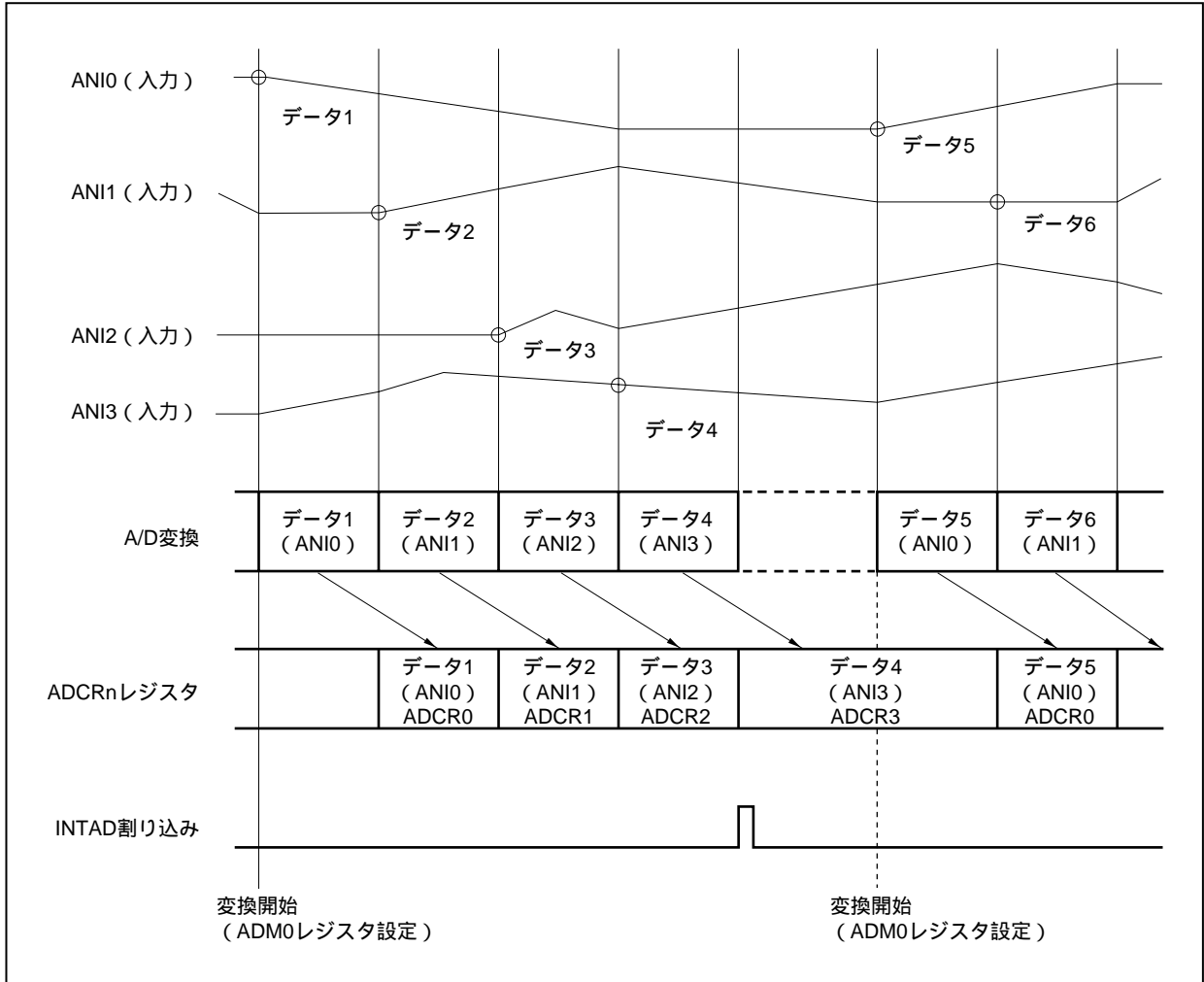


(b) スキャン・モード

ANI0端子から，ADM0レジスタで指定したアナログ入力までを順に選択し，A/D変換します。A/D変換結果は，アナログ入力に対応したADCRnレジスタに格納します (n = 0-3)。指定したアナログ入力の変換が終了するとA/D変換終了割り込み (INTAD) が発生します。

★

図12 - 5 スキャン・モードの動作タイミング例：4チャンネル・スキャン (ANI0-ANI3)



12.5 A/Dトリガ・モード時の動作

ADM0レジスタのADCEビットを1に設定すると、A/D変換を開始します。

12.5.1 セレクト・モードの動作

ADM0レジスタで指定されるアナログ入力をA/D変換します。変換結果は、ADCRnレジスタに格納します。セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードをサポートしています ($n = 0-3$)。

(1) 1バッファ・モード (A/Dトリガ・セレクト1バッファ)

1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。アナログ入力とADCRnレジスタは1対1に対応しています。

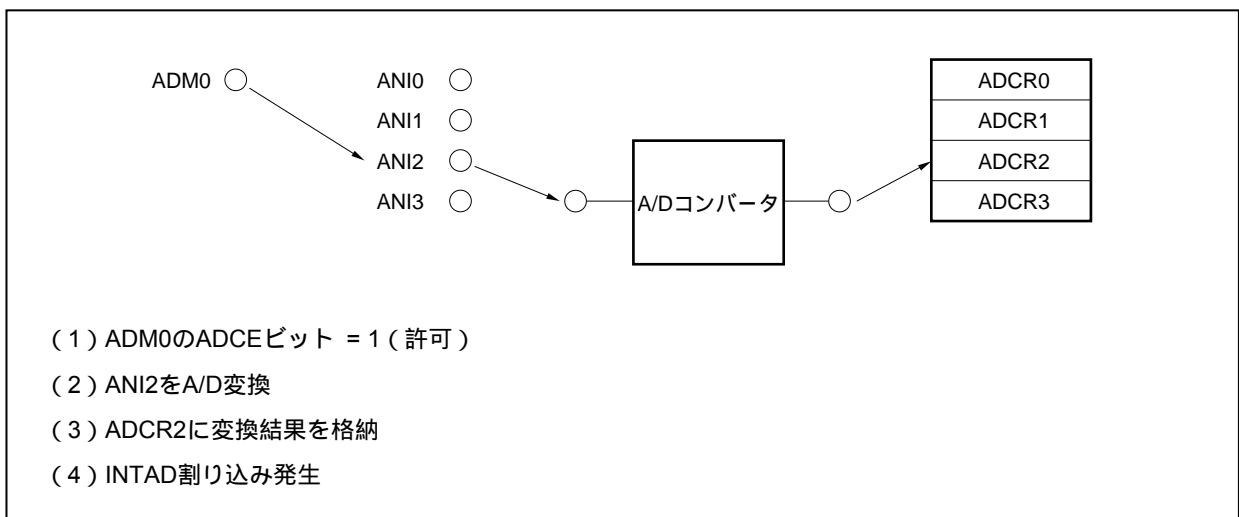
1回のA/D変換終了ごとにA/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します。

アナログ入力	A/D変換結果レジスタ
ANIn	ADCRn

ADM0レジスタのADCEビットに1を書き込むと、A/D変換を再起動できます。

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

図12-6 1バッファ・モード (A/Dトリガ・セレクト1バッファ) の動作例



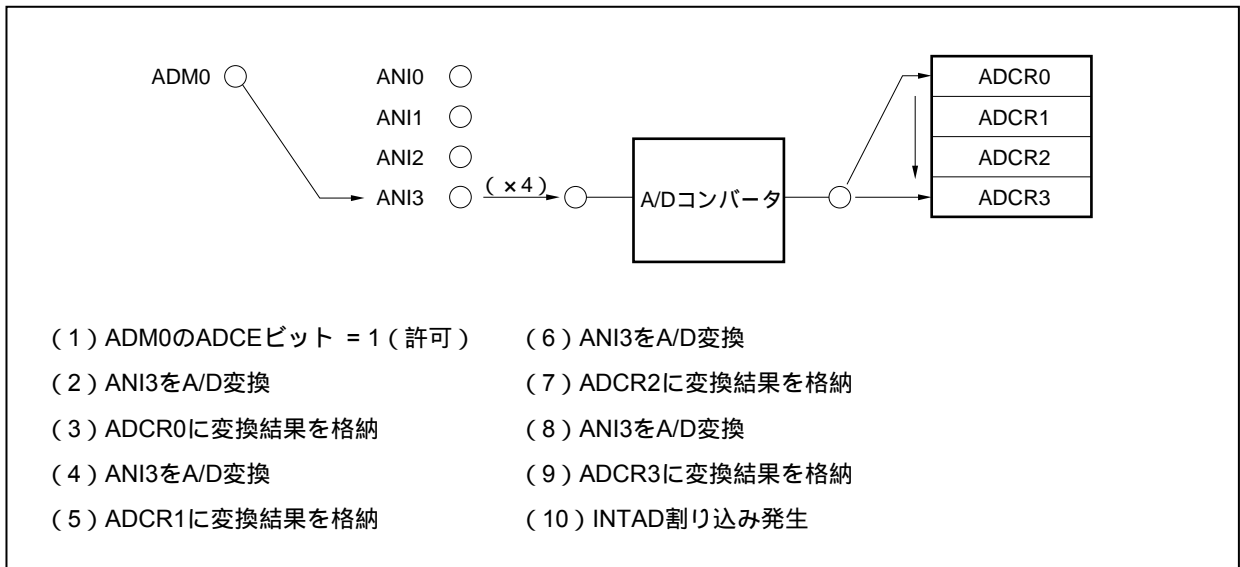
(2) 4バッファ・モード (A/Dトリガ・セレクト4バッファ)

1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。
4回のA/D変換が終了すると、A/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します。

アナログ入力	A/D変換結果レジスタ
ANIn	ADCR0
ANIn	ADCR1
ANIn	ADCR2
ANIn	ADCR3

ADM0レジスタのADCEビットに1を書き込むと、A/D変換を再起動できます。
A/D変換結果の平均を求めるような応用に最適です。

図12 - 7 4バッファ・モード (A/Dトリガ・セレクト4バッファ) の動作例



- (1) ADM0のADCEビット = 1 (許可)
- (2) ANI3をA/D変換
- (3) ADCR0に変換結果を格納
- (4) ANI3をA/D変換
- (5) ADCR1に変換結果を格納
- (6) ANI3をA/D変換
- (7) ADCR2に変換結果を格納
- (8) ANI3をA/D変換
- (9) ADCR3に変換結果を格納
- (10) INTAD割り込み発生

12.5.2 スキャン・モードの動作

ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し、A/D変換します。A/D変換結果をアナログ入力に対応したADCRnレジスタに格納します (n = 0-3)。

指定したアナログ入力の変換をすべて終了すると、A/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します。

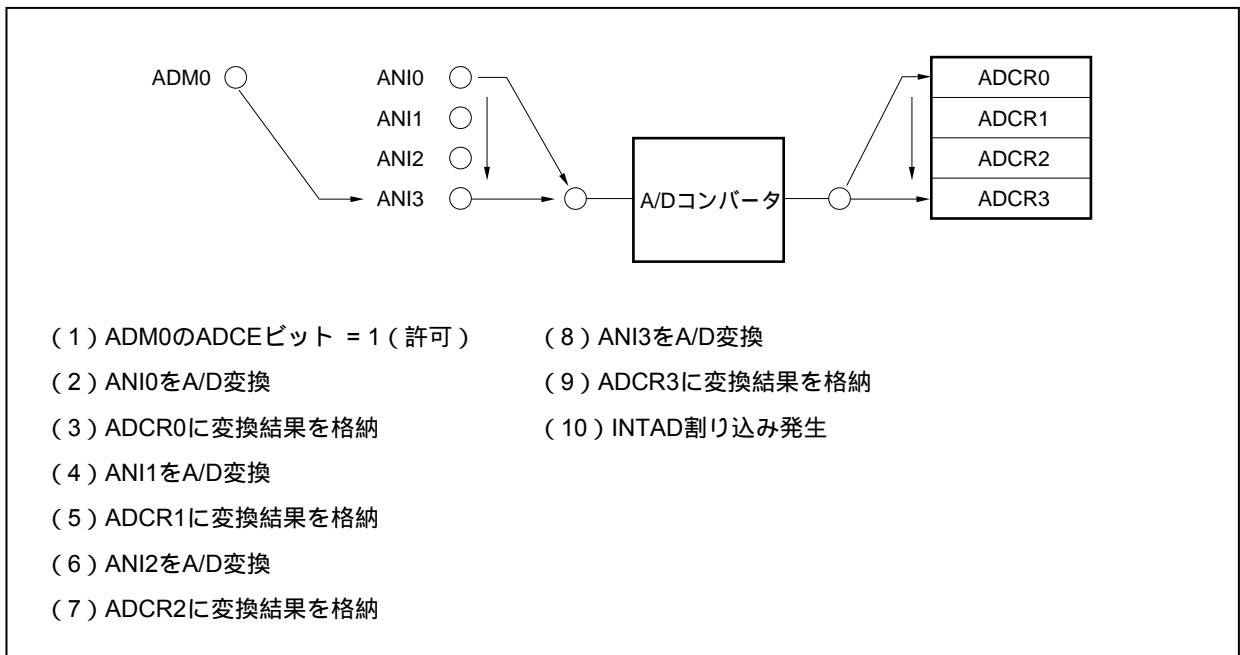
アナログ入力	A/D変換結果レジスタ
ANI0	ADCR0
⋮	⋮
ANIn ^注	ADCRn

注 ADM0レジスタのANIS0-ANIS2ビットで設定

ADM0レジスタのADCEビットに1を書き込むと、A/D変換を再起動できます。

複数のアナログ入力を常時監視するような応用に最適です。

図12 - 8 スキャン・モード (A/Dトリガ・スキャン) の動作例



12.6 タイマ・トリガ・モード時の動作

A/Dコンバータは、TMCのコンペア・レジスタの一致割り込み信号で、最大4チャンネルのアナログ入力 (ANI0-ANI3) に対して変換タイミングを設定できます。

アナログ変換のトリガ指定用タイマには、2つの16ビット・タイマ (TMC0, TMC1) と4本のキャプチャ/コンペア・レジスタ (CCC00, CCC01, CCC10, CCC11) を使用します。

TMCC01, TMCC11レジスタの指定に応じて、次の2つのモードがあります。

(1) ワンショット・モード

ワンショット・モードを使用するには、TMCCn1レジスタのOSTnビットに1 (オーバーフロー・ストップ・モード) を設定します ($n = 0, 1$)。

TMCnはオーバーフローすると、0000Hを保持して停止します。以降、TMCnはコンペア・レジスタの一致割り込み信号 (A/D変換トリガ) を出力せず、A/DコンバータもA/D変換待機状態となります。TMCnのカウント動作は、TMCCn0レジスタのTMCCEnビットに1を書き込むと再開します。ワンショット・モードはA/D変換の周期がTMCnの周期より長い場合に使用します ($n = 0, 1$)。

(2) ループ・モード

ループ・モードを使用するには、TMCCn1レジスタのOSTに0 (フリー・ランニング・モード) を設定します ($n = 0, 1$)。

TMCnはオーバーフローすると、再び0000Hからカウントを始めるため、コンペア・レジスタの一致割り込み信号 (A/D変換トリガ) が繰り返し出力され、A/D変換も繰り返し行われます。

12.6.1 セレクト・モードの動作

ADM0レジスタで指定されるアナログ入力 (ANI0-ANI3) をA/D変換します。変換結果は、ADCRnレジスタに格納します。セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードの2通りがあります (n = 0-3)。

(1) 1バッファ・モードの動作 (タイマ・トリガ・セレクト1バッファ)

1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。

1バッファ・モードでは、トリガの回数により、1トリガ・モードと4トリガ・モードの2つのモードがあります。

(a) 1トリガ・モード (タイマ・トリガ・セレクト1バッファ1トリガ)

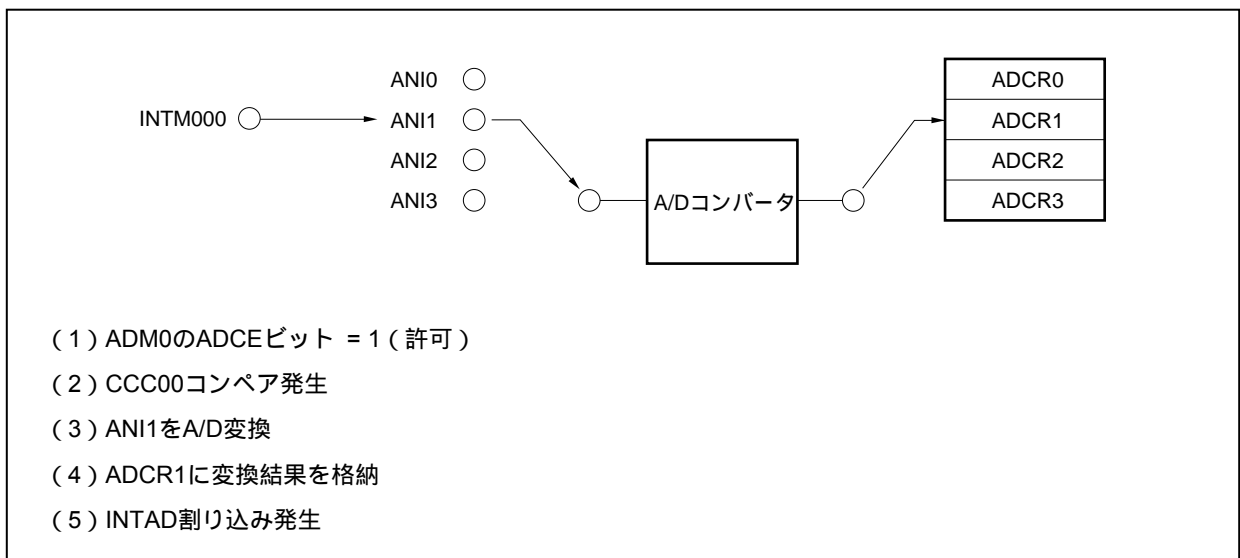
一致割り込み信号 (INTM000) をトリガとして、1つのアナログ入力を1回A/D変換し、その結果を1つのADCRnレジスタに格納します。1回のA/D変換ごとにA/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します (n = 0-3)。

トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANIn	ADCRn

ワンショット・モードの場合は、1回の変換でA/D変換を終了します。A/D変換を再起動するには、TMCC00レジスタのTMCCE0ビットに1を書き込むことで、TMC0を再起動してください。

ループ・モードの場合は、ADM0レジスタのADCEビットを0に設定しないかぎり、一致割り込みが発生するごとにA/D変換を繰り返します。

図12-9 1トリガ・モード (タイマ・トリガ・セレクト1バッファ1トリガ) の動作例



(b) 4トリガ・モード (タイマ・トリガ・セレクト1バッファ4トリガ)

4つの一致割り込み信号 (INTM000, INTM001, INTM010, INTM011) をトリガとして, 1つのアナログ入力をA/D変換し, その結果を1つのADCRnレジスタに格納します。1回のA/D変換ごとにA/D変換終了割り込み (INTAD) を発生し, ADM0レジスタのADCSビットがリセット (0) されます。1回のA/D変換結果は, 次のA/D変換が終了するまでADCRnレジスタに保持されます。各A/D変換終了後のINTAD割り込みで, 変換結果をメモリへ転送するなどの処理をしてください (n = 0-3)。

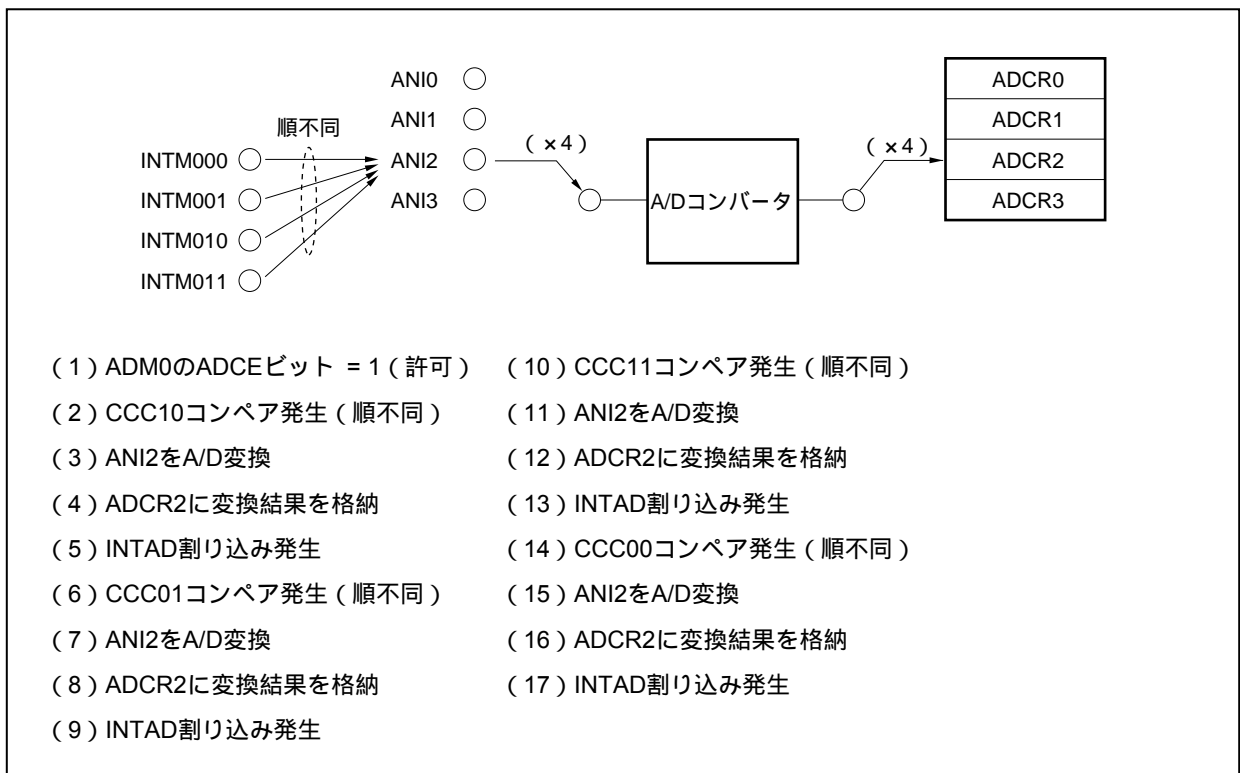
トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANIn	ADCRn
INTM001割り込み	ANIn	ADCRn
INTM010割り込み	ANIn	ADCRn
INTM011割り込み	ANIn	ADCRn

ワンショット・モードの場合は, A/D変換を4回で終了します。A/D変換を再起動するには, TMCCn0レジスタのTMCCEnビットに1を書き込むことで, TMCnを再起動してください。TMCn再起動後の最初の一致割り込みが発生すると, ADCSビットがセット (1) されA/D変換を開始します (n = 0, 1)。

ループ・モードの場合は, ADM0レジスタのADCEビットを0に設定しないかぎり, 一致割り込みが発生するごとにA/D変換を繰り返します。

一致割り込み (INTM000, INTM001, INTM010, INTM011) はどのような順番で発生しても問題ありません。また, 同一トリガが連続して入った場合もトリガとして受け付けます。

図12 - 10 4トリガ・モード (タイマ・トリガ・セレクト1バッファ4トリガ) の動作例



(2) 4バッファ・モードの動作 (タイマ・トリガ・セレクト4バッファ)

1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。

4バッファ・モードには、トリガの回数により、1トリガ・モードと4トリガ・モードの2つのモードがあります。

A/D変換結果の平均を求めるような応用に最適です。

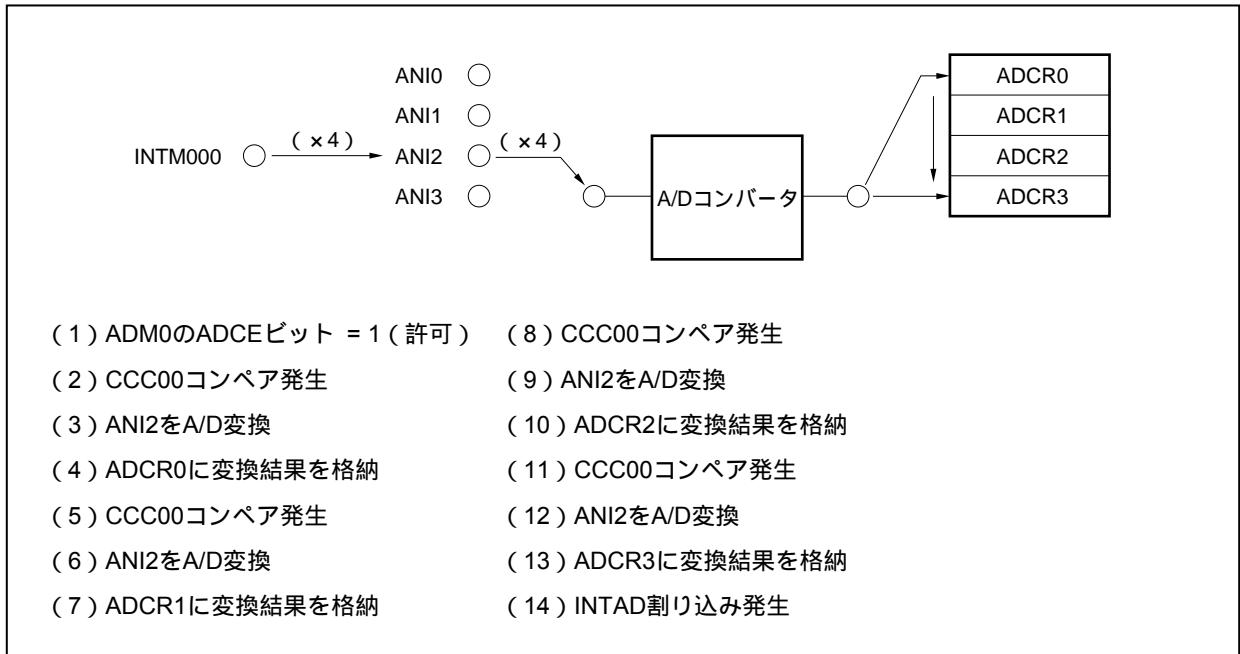
(a) 1トリガ・モード

一致割り込み信号 (INTM000) をトリガとして、1つのアナログ入力を4回A/D変換し、その結果をADCR0-ADCR3レジスタに格納します。A/D変換が4回終了するとA/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します。

トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANIn	ADCR0
INTM000割り込み	ANIn	ADCR1
INTM000割り込み	ANIn	ADCR2
INTM000割り込み	ANIn	ADCR3

ワンショット・モードに設定しており、TMCC00レジスタのTMCCE0ビットがセット (1) されている場合、一致割り込みの発生が4回未満のときは、INTAD割り込みは発生せず待機状態となります。

図12 - 11 1トリガ・モード (タイマ・トリガ・セレクト4バッファ1トリガ) の動作例



(b) 4トリガ・モード

4つの一致割り込み信号 (INTM000, INTM001, INTM010, INTM011) をトリガとして, 1つのアナログ入力をA/D変換し, その結果を入力されたトリガに対応したADCRnレジスタに格納します。A/D変換が終了するとA/D変換終了割り込み (INTAD) を発生し, ADCSビットがリセット (0) され, A/D変換を終了します。

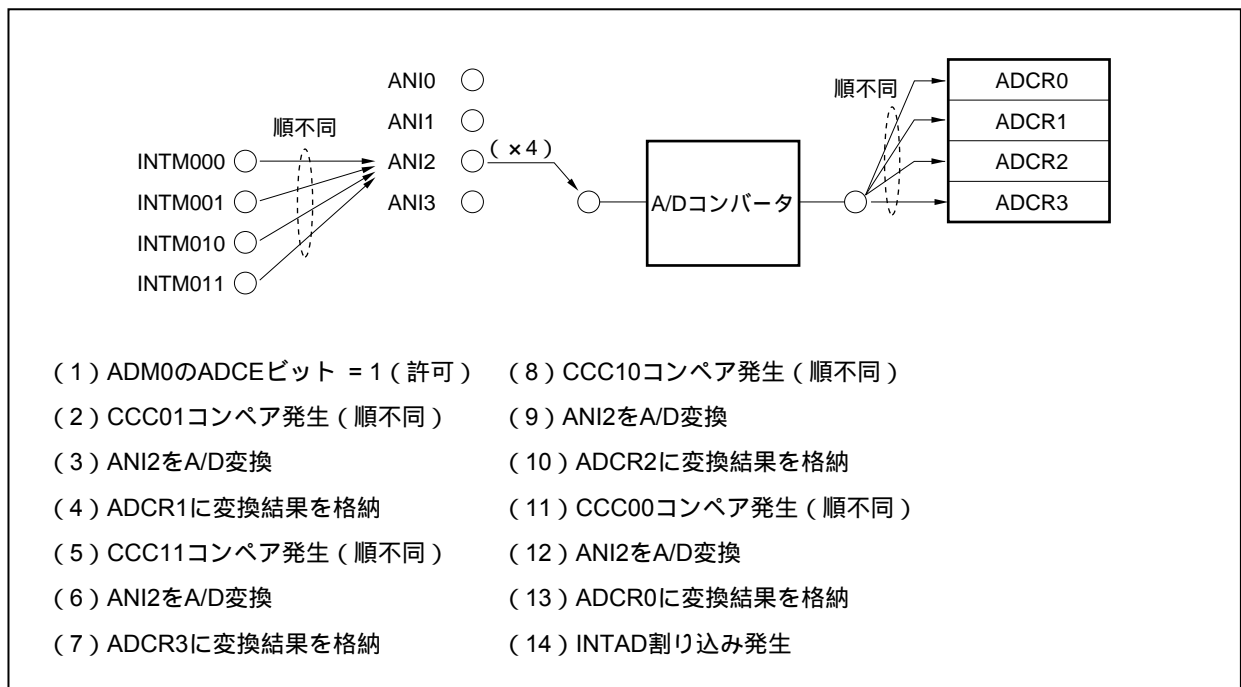
トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANIn	ADCR0
INTM001割り込み	ANIn	ADCR1
INTM010割り込み	ANIn	ADCR2
INTM011割り込み	ANIn	ADCR3

ワンショット・モードの場合は, A/D変換を4回で終了します。A/D変換を再起動するには, TMCCn0レジスタのTMCCEnビットに1を書き込むことで, TMCnを再起動してください。TMCn再起動後の最初の一致割り込みが発生するとADCSビットがセット (1) され, A/D変換を行います (n = 0, 1)。

ループ・モードの場合は, ADM0レジスタのADCEビットを0に設定しないかぎり, 一致割り込みが発生するごとにA/D変換を繰り返します。

一致割り込み (INTM000, INTM001, INTM010, INTM011) はどのような順番で発生しても問題ありません。変換結果は入力されたトリガに対応したADCRnレジスタに格納されます。また, 同一トリガが連続して入った場合もトリガとして受け付けます。

図12 - 12 4トリガ・モード (タイマ・トリガ・セレクト4バッファ4トリガ) の動作例



12.6.2 スキャン・モードの動作

ANI0端子からADM0レジスタで指定されるアナログ入力までを順に選択し、一致割り込みトリガとして指定された回数のA/D変換を行います。

変換動作は、アナログ入力チャンネル (ANI0-ANI3) を指定された回数分A/D変換します。なお設定した回数のA/D変換が終了するとA/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します。

スキャン・モードにはトリガの回数により、1トリガ・モードと4トリガ・モードの2通りがあります。

複数のアナログ入力を常時監視するような応用に最適です。

(1) 1トリガ・モード (タイマ・トリガ・スキャン1トリガ)

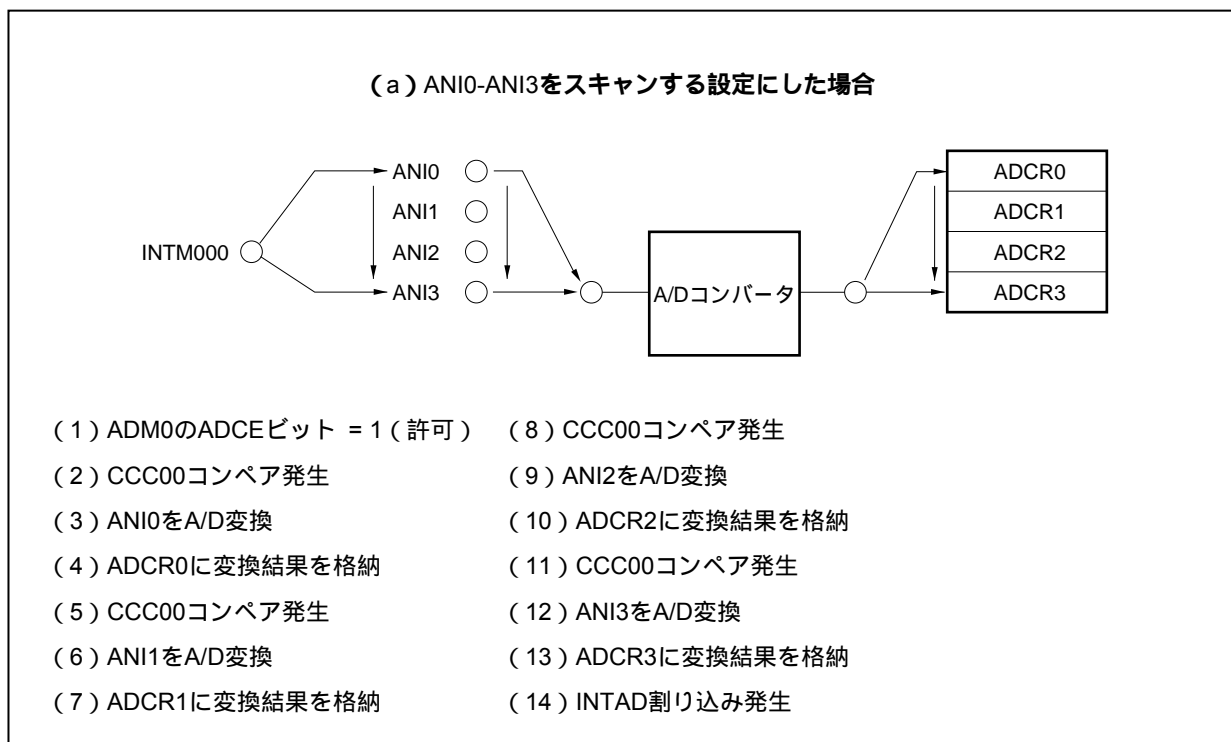
一致割り込み信号 (INTM000) をトリガとして、指定された回数のアナログ入力をANI0端子から順にA/D変換します。アナログ入力とADCRnレジスタは1対1に対応します。指定されたすべてのA/D変換が終了するとA/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します。

トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANI0	ADCR0
INTM000割り込み	ANI1	ADCR1
INTM000割り込み	ANI2	ADCR2
INTM000割り込み	ANI3	ADCR3

指定されたすべてのA/D変換終了後に一致割り込みが発生すると、A/D変換が再起動します。

ワンショット・モードに設定されており、一致割り込みの発生が指定された変換数未満のとき、INTAD割り込みは発生せず待機状態となります。

図12 - 13 1トリガ・モード (タイマ・トリガ・スキャン1トリガ) の動作例



(2) 4トリガ・モード

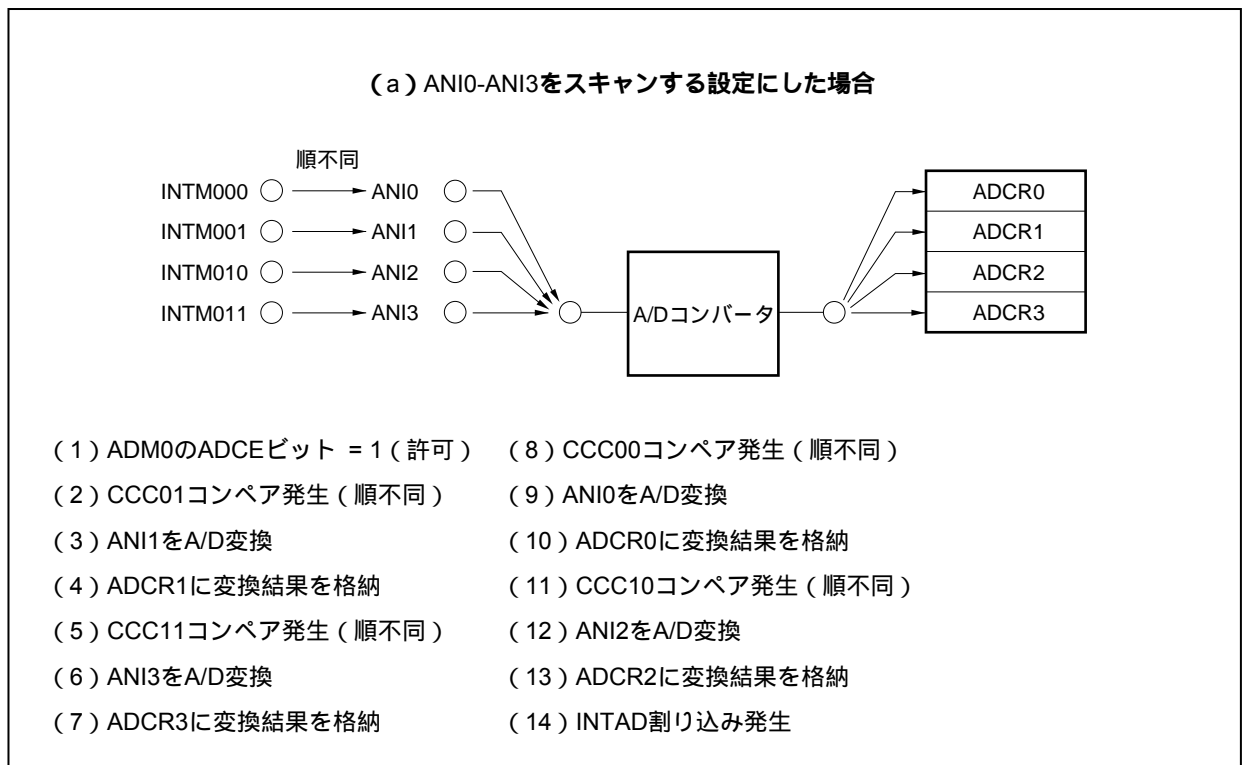
一致割り込み信号 (INTM000, INTM001, INTM010, INTM011) をトリガとして、指定された回数のアナログ入力をA/D変換します。アナログ入力とADCRnレジスタは1対1に対応します。指定されたすべてのA/D変換が終了するとA/D変換終了割り込み (INTAD) を発生し、A/D変換を終了します。

トリガ	アナログ入力	A/D変換結果レジスタ
INTM000割り込み	ANI0	ADCR0
INTM001割り込み	ANI1	ADCR1
INTM010割り込み	ANI2	ADCR2
INTM011割り込み	ANI3	ADCR3

ワンショット・モードの場合にA/D変換を再起動するには、TMCnを再起動してください。ループ・モードに設定していてADM0レジスタのADCEビットが1の場合は、変換終了後に再び一致割り込みが発生するとA/D変換を再起動します。

一致割り込みはどのような順番で発生しても問題ありません。ただし、トリガ信号とアナログ入力が1対1に対応しているため、コンペア・レジスタの一致信号の発生順でスキャンの順番が決定します。

図12 - 14 4トリガ・モード (タイマ・トリガ・スキャン4トリガ) の動作例



12.7 動作上の注意事項

12.7.1 変換動作の停止

変換動作中にADM0レジスタのADCEビットに0を書き込むと変換動作を停止し、ADCRnレジスタへの変換結果を格納しません ($n = 0-3$)。

12.7.2 タイマ・トリガの間隔

タイマ・トリガ・モード時のトリガの間隔 (入力時間の間隔) は、ADM1レジスタのFR2-FR0ビットで指定する変換動作時間より長くしてください。

(1) インターバル = 0の場合

複数のトリガが同時に入力された場合、ANIn端子番号が小さいアナログ入力を変換します。同時入力されたほかのトリガ信号は無視され、トリガ入力回数もカウントしません。したがって、割り込みの発生、ADCRnレジスタへの結果の格納は異常となりますので注意してください ($n = 0-3$)。

(2) $0 < \text{インターバル} < \text{変換動作時間}$ の場合

変換動作中にタイマ・トリガが入力された場合、変換動作を中断し、最後に入力されたタイマ・トリガに従って変換を開始します。

変換動作を中断した場合、ADCRnレジスタに変換結果は格納されず、トリガ入力回数のカウントも行われません。したがって、割り込みの発生、ADCRnレジスタへの結果の格納は異常となりますので注意してください ($n = 0-3$)。

(3) インターバル = 変換動作時間の場合

変換終了と同時にタイマ・トリガが入力された場合 (コンパレート終了信号とトリガの競合) は、トリガ入力回数のカウントは行われ、割り込みの発生、変換が終了した値のADCRnレジスタの格納は正しく行われますが、インターバル > 変換時間となるように設計してください。

12.7.3 スタンバイ・モード時の動作

(1) HALTモード

A/D変換動作を継続します。NMI入力で解除した場合、ADM0、ADM1レジスタとADCRnレジスタは値を保持します ($n = 0-3$)。

(2) IDLEモード、ソフトウェアSTOPモード

A/Dコンバータへのクロック供給が止まるため、変換動作は行われません。

NMI入力やマスカブル割り込み入力 (INTP1x) で解除した場合、ADM0、ADM1レジスタとADCRnレジスタは値を保持します。ただし、変換動作中にIDLEモード、ソフトウェアSTOPモードに設定した場合、変換動作は停止します。NMI入力やマスカブル割り込み入力 (INTP1x) で解除した場合、変換を再開しますが、ADCRnレジスタに書き込まれる変換結果は不定となります ($x = 00, 01, 10, n = 0-3$)。

12.7.4 タイマ・トリガ・モード時のコンペアー一致割り込み

コンペアー・レジスタの一致割り込みがA/D変換開始のトリガとなり、変換動作を開始します。このとき、コンペアー・レジスタの一致割り込みは、CPUに対するコンペアー・レジスタの一致割り込みとしても機能します。CPUに対するコンペアー・レジスタの一致割り込みを発生させないためには、割り込み制御レジスタ(P00IC0, P00IC1, P01IC0, P01IC1)のマスク・ビット(P00MK0, P00MK1, P01MK0, P01MK1)で割り込みを禁止してください。

★ 12.7.5 タイマ1トリガ・モード時の再変換動作

タイマ1トリガ・モード時は、一致割り込み信号 (INTM000) をトリガとしてA/D変換が開始されますが、A/D変換中に起動要因でない割り込み要因 (INTM001, INTM010, INTM011, INTP001^注, INTP010^注, INTP011^注) が発生すると変換中のA/D変換が正常に終了したあと、再度同じA/D変換を開始すること(再変換動作)があります。ただし、この条件下で起動要因でない割り込み要因が発生しなければ再変換動作は行いません。

注 タイマC (TMC0, TMC1) の外部キャプチャ・トリガ入力と兼用になっている外部割り込み信号も再変換動作の要因となります。

(1) タイマ・トリガ・セレクト1バッファ1トリガ・モード時の再変換動作

起動要因でない割り込み要因がA/D変換中に発生すると、最初のA/D変換は正常に終了し、A/D変換終了割り込み (INTAD) を発生します。A/D変換結果はADCRnレジスタに格納されます。再起動したA/D変換は正常に変換動作を行い、A/D変換結果はADCRnレジスタに上書きされます。また、再変換動作中はADCRnレジスタの読み出しは可能です。A/D変換終了後、INTAD割り込みを発生し終了します。

(2) タイマ・トリガ・セレクト4バッファ1トリガ・モード、タイマ・トリガ・スキャン1トリガ・モード時の再変換動作

起動要因でない割り込み要因がA/D変換中に発生するまでA/D変換は順調に行われます。起動要因でない割り込み要因がA/D変換中に発生すると、変換中のA/D変換は正常に終了し、A/D変換結果はADCRnレジスタに格納されます。そのあと再度同じA/D変換を行い、A/D変換結果はADCRnレジスタに上書きされます。また、再変換動作中はADCRnレジスタの読み出しは可能です。そのあと、残りのA/D変換動作を正常に行い、A/D変換終了割り込み (INTAD) を発生し終了します。

注意 最後のA/D変換中に起動要因でない割り込み要因が発生した場合は、最後のA/D変換は正常に終了し、A/D変換終了割り込み (INTAD) を発生します。そのあと再度最後のA/D変換と同じ変換を行い、INTAD割り込みを発生し終了します。

再変換動作が発生した場合、変換結果は正常な値を示すので、最新の変換値を取得するような使用方法では、影響は最小限に抑えられます。しかし、再変換動作が不都合となる場合には、必ずA/Dトリガ・モードを使用し、タイマのコンペア一致割り込みの割り込み処理ルーチン内でADM0レジスタのADCEビット = 1に設定することによりA/D変換を開始してください。

★ 12.7.6 A/D変換時間についての補足

トリガ入力からA/D変換終了までにかかる時間 (t) としては次のようになります。

A/Dトリガ・モード時 (図12 - 15と図12 - 17参照) :

$$t = 9\text{-}11\text{クロック} + \text{ADM1のFR2-FR0ビットで指定したクロック数} + 2\text{クロック}$$

タイマ・トリガ・モード時 (図12 - 16と図12 - 17参照) :

$$t = 5\text{-}7\text{クロック} + \text{ADM1のFR2-FR0ビットで指定したクロック数} + 2\text{クロック}$$

図12 - 15 A/Dトリガ・モードのA/D変換時間 : ADM1 = 00H設定時

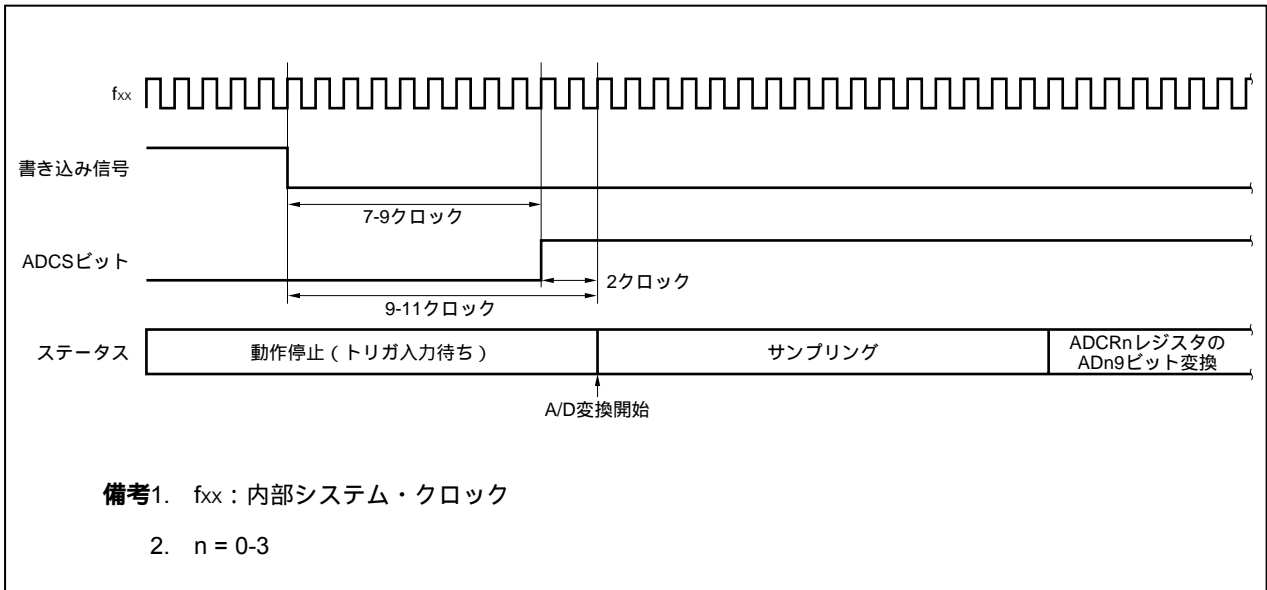


図12 - 16 タイマ・トリガ・モードのA/D変換時間 : ADM1 = 20Hまたは30H設定時

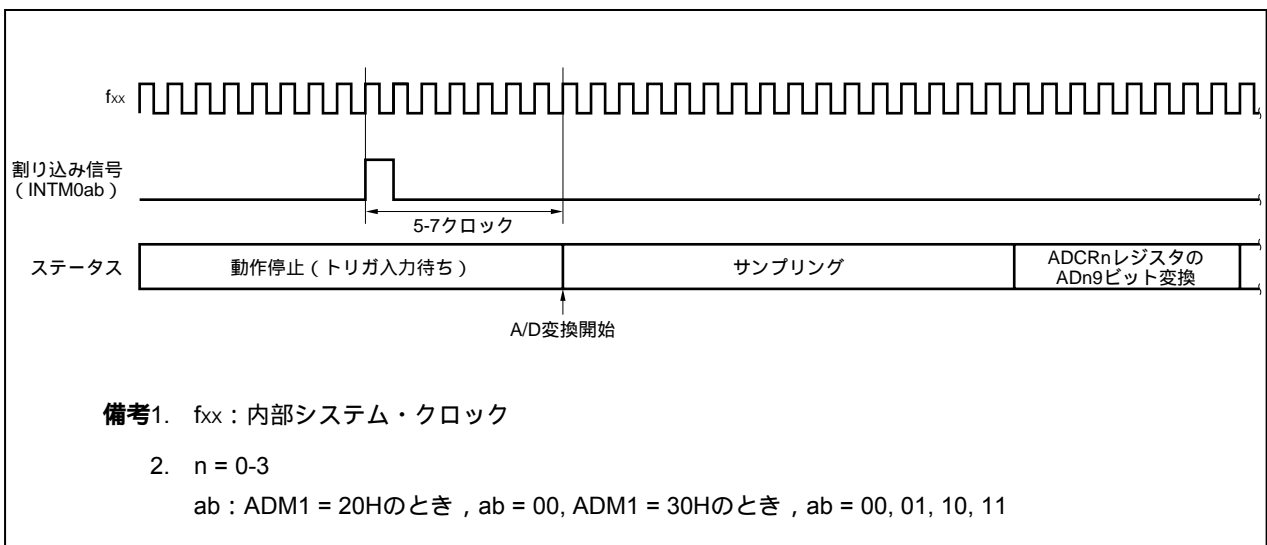
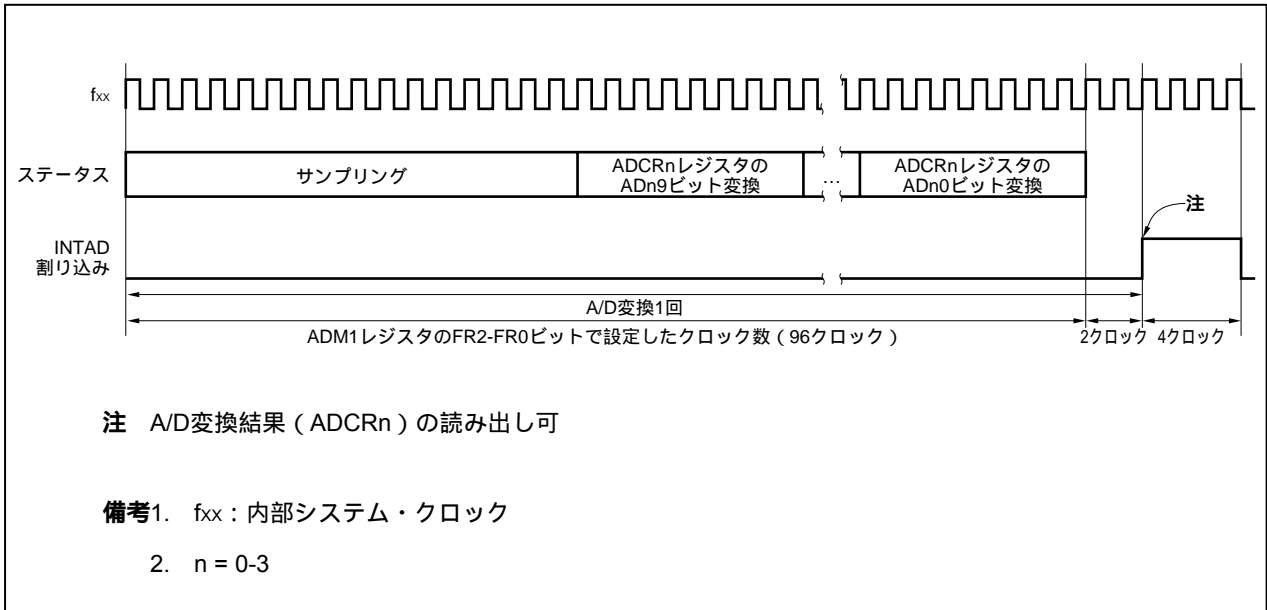


図12 - 17 A/D変換概要：A/D変換1回，ADM1レジスタのFR0-FR2ビット = 000設定（96クロック）時



★ 12.8 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF} - 0) / 100 \\ &= AV_{REF} / 100 \end{aligned}$$

分解能10ビットのとき、1LSBは次のようになります。

$$\begin{aligned} 1LSB &= 1/2^{10} = 1/1024 \\ &= 0.098\%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

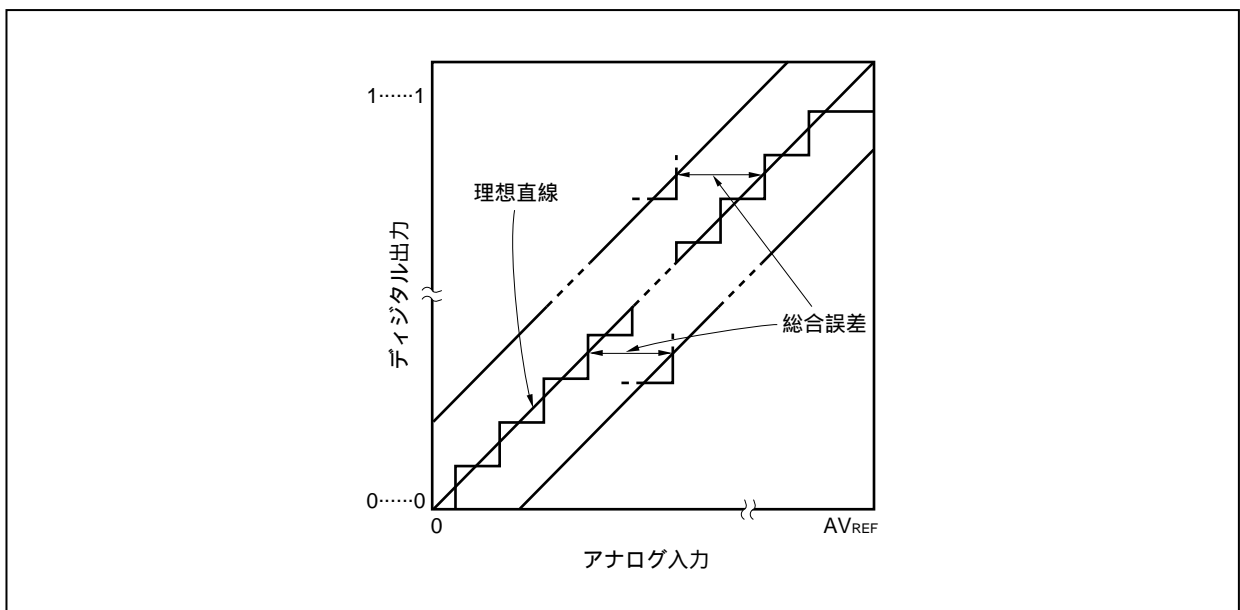
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図12 - 18 総合誤差

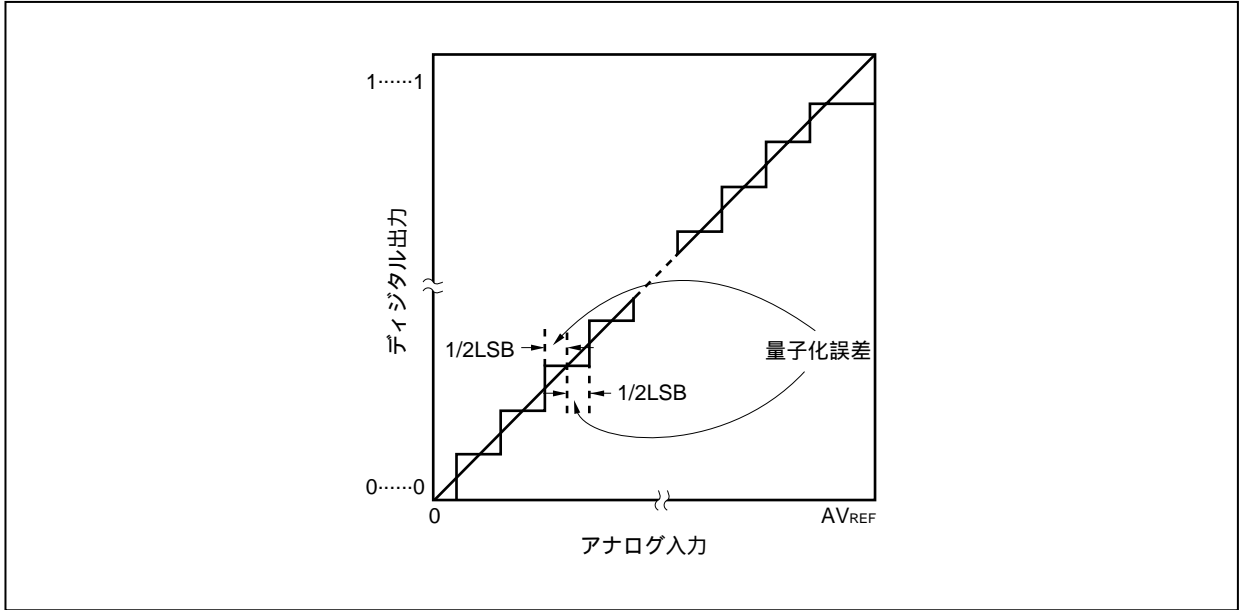


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

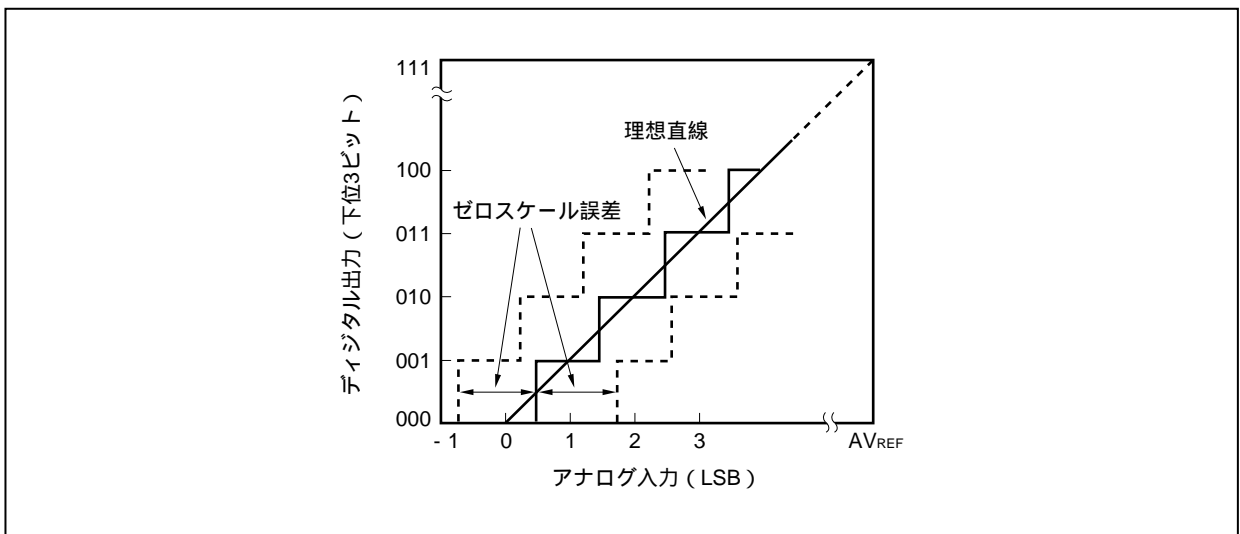
図12 - 19 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2\text{LSB}$) との差を表します。

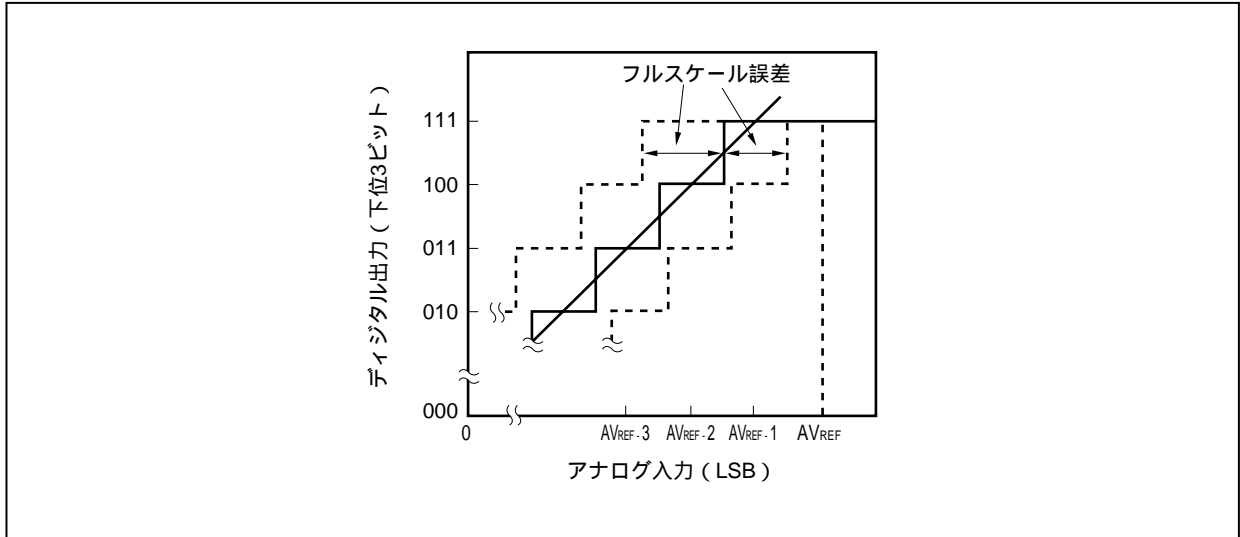
図12 - 20 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - $3/2\text{LSB}$ ）との差を表します。

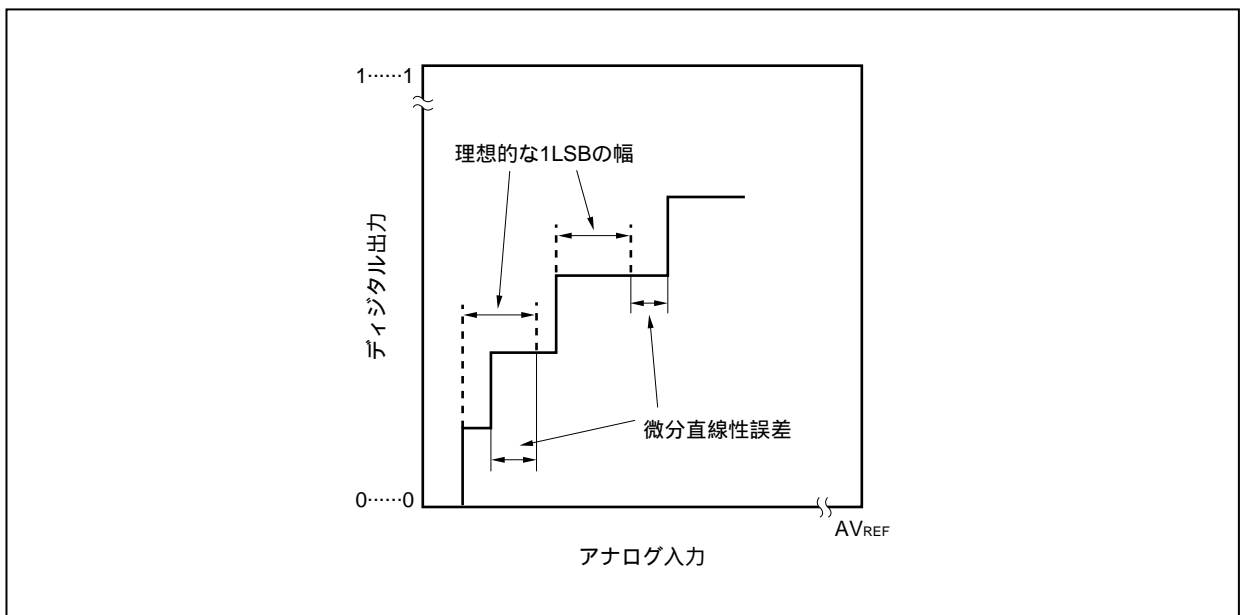
図12 - 21 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

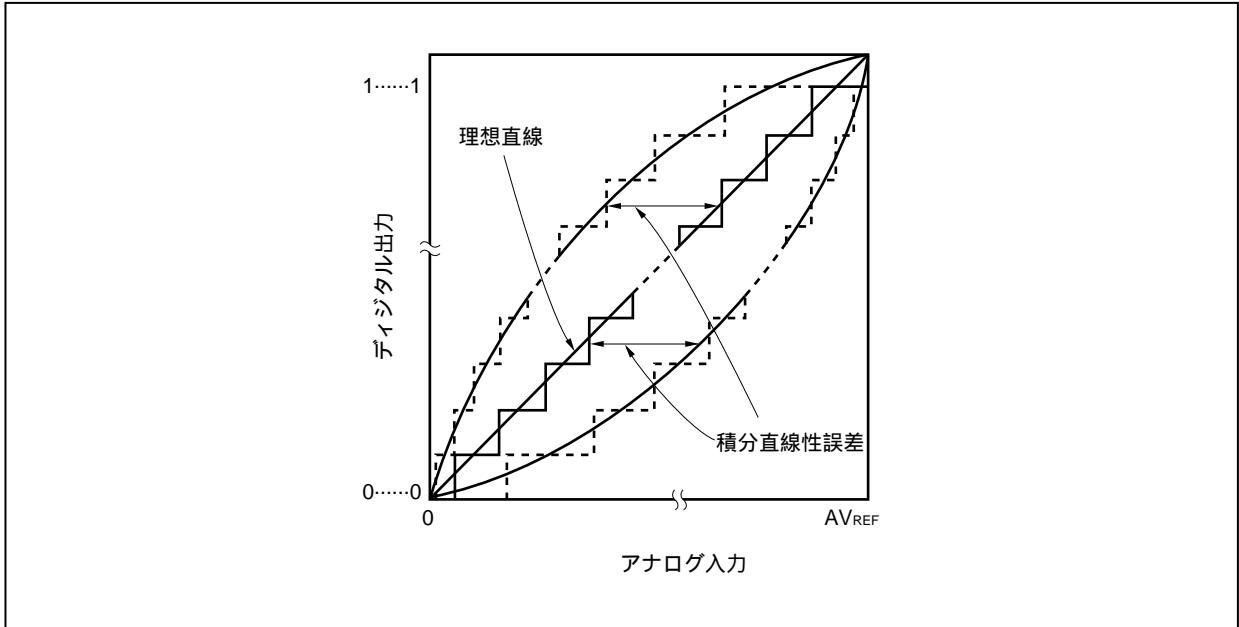
図12 - 22 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図12 - 23 積分直線性誤差



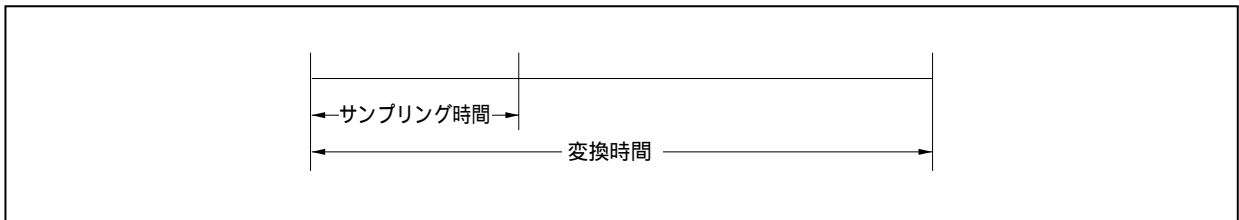
(8) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図12 - 24 サンプリング時間



第13章 ポート機能

13.1 特 徴

入力専用ポート : 5本

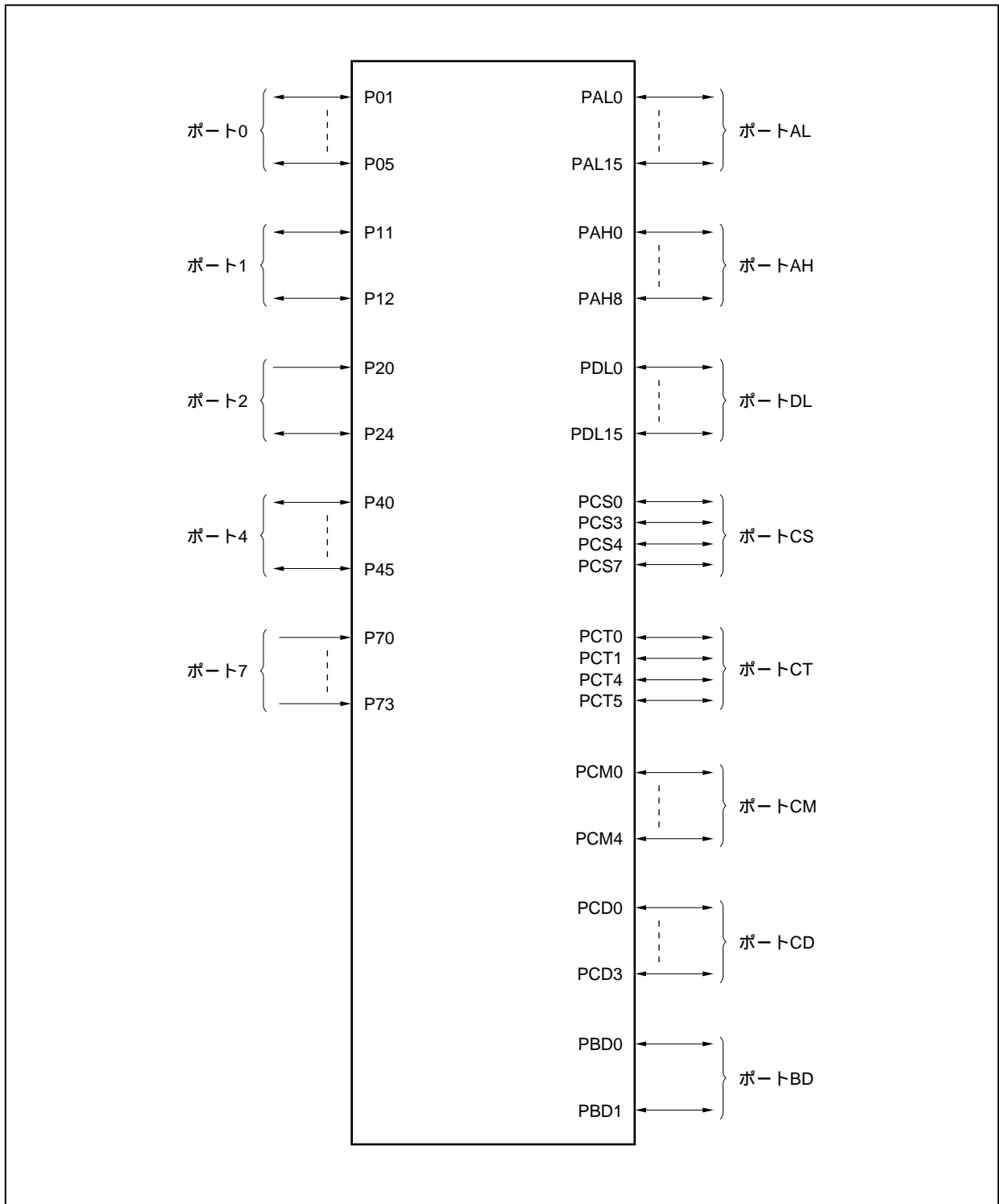
入出力ポート : 74本

ほかの周辺機能の入出力端子と兼用

ビット単位で入力 / 出力指定可能

13.2 ポートの基本構成

V850E/MA2は、ポート0-2, 4, 7, AL, AH, DL, CS, CT, CM, CD, BDの合計79本の入力/出力ポート（うち5本は入力専用ポート）を内蔵しています。ポートの構成を次に示します。



(1) 各ポートの機能

V850E/MA2のポートには、次に示すような種類があります。どのポートも8/1ビット単位の操作が可能で、多様な制御を行うことができます。また、ポートとしての機能のほかにコントロール・モードとして内蔵周辺I/Oの入出力端子としての機能を持っています。

各ポートのブロック・タイプについては、(3) **ポートのブロック図**を参照してください。

ポート名	端子名	ポート機能	コントロール・モード時の機能	ブロック・タイプ
ポート0	P01-P05	5ビット入出力	リアルタイム・パルス・ユニット (RPU) 入出力 外部割り込み入力 DMAコントローラ入力	A, B, H
ポート1	P11, P12	2ビット入出力	リアルタイム・パルス・ユニット (RPU) 入力 外部割り込み入力	B
ポート2	P20, P24	1ビット入力, 1ビット入出力	NMI入力 外部割り込み入力 DMAコントローラ出力	F, N
★ ポート4	P40-P45	6ビット入出力	シリアル・インタフェース入出力 (UART0/CSI0, UART1/CSI1)	G, H, M
ポート7	P70-P73	4ビット入力	A/Dコンバータ入力	C
ポートAL	PAL0-PAL15	16ビット入出力	外部アドレス・バス (A0-A15)	J
ポートAH	PAH0-PAH8	9ビット入出力	外部アドレス・バス (A16-A24)	J
ポートDL	PDL0-PDL15	16ビット入出力	外部データ・バス (D0-D15)	O
ポートCS	PCS0, PCS3, PCS4, PCS7	4ビット入出力	外部バス・インタフェース制御信号出力	J
ポートCT	PCT0, PCT1, PCT4, PCT5	4ビット入出力	外部バス・インタフェース制御信号出力	J
★ ポートCM	PCM0-PCM4	5ビット入出力	ウェイト挿入信号入力 内部システム・クロック出力 外部バス・インタフェース制御信号入出力	D, J
ポートCD	PCD0-PCD3	4ビット入出力	外部バス・インタフェース制御信号出力	J, K
ポートBD	PBD0, PBD1	2ビット入出力	DMAコントローラ出力	J

備考 注意の説明は次のページに記載しています。

注意1. コントロール・モード時に、出力または入出力端子として動作するポートをコントロール・モードに切り替える場合は、必ず次に示す手順で設定を行ってください。

コントロール・モードで出力する信号のインアクティブ・レベルをポートnの該当するビットに設定します (n = 0-2, 4, AL, AH, DL, CS, CT, CM, CD, BD)。

ポートnモード・コントロール・レジスタ (PMcn) により、コントロール・モードに切り替えます。

上記の を行わない場合は、ポート・モードからコントロール・モードに切り替える際にポートnの内容が一瞬出力されることがあります。

- ★ 2. ビット操作命令 (SET1, CLR1, NOT1) でポート操作を行った場合、ポートに対してバイト・データ・リードを行い、操作対象のビットのみデータの加工を行い、変更後のバイト・データをポートに書き戻します。たとえば、入力/出力が混在しているポートでは、操作対象ビット以外のビットにも出力ラッチの内容が上書きされるため、入力端子の出力ラッチは不定になります (ただし、入力モードの場合、出力バッファがオフしているため、端子状態は変化しません)。したがって、ポートを入力から出力に切り替える場合は、該当するビットに出力期待値を設定してから、出力ポートに切り替えてください。また、コントロール・モードと出力ポートが混在する場合も同様です。
- ★ 3. ポート端子の状態は、PMcnレジスタの設定に依存せず、ポートnモード・レジスタ (PMn) を入力モードに設定することにより、リードできます。なお、PMnレジスタを出力モードに設定したときは、ポート・モード時はポートnレジスタ (Pn) の値、コントロール・モード時は兼用機能の出力状態がリードできます。

(2) 各ポート端子のリセット時の機能とポート/コントロール・モードを設定するレジスタ

ポート名	端子名	リセット時の端子機能		モードを設定するレジスタ
ポート0	P01/INTP000/TI000	P01 (入力モード)		PMC0
	P02/INTP001	P02 (")		
	P03/TO00	P03 (")		
	P04/DMARQ0/INTP100	P04 (")		PMC0, PFC0
	P05/DMARQ1/INTP101	P05 (")		
ポート1	P11/INTP010/TI010	P11 (入力モード)		PMC1
	P12/INTP011	P12 (")		
ポート2	P20/NMI	NMI		-
	P24/TC0/INTP110	P24 (入力モード)		PMC2, PFC2
ポート4	P40/TXD0/SO0	P40 (入力モード)		PMC4, PFC4
	P41/RXD0/SI0	P41 (")		
	P42/SCK0	P42 (")		PMC4
	P43/TXD1/SO1	P43 (")		PMC4, PFC4
	P44/RXD1/SI1	P44 (")		
	P45/SCK1	P45 (")		PMC4
ポート7	P70/ANI0-P73/ANI3	P70-P73 (入力モード)		-
ポートBD	PBD0/DMAAK0, PBD1/DMAAK1	PBD0, PBD1 (入力モード)		PM CBD
★ ポートCM	PCM0/WAIT	PCM0 (入力モード)	WAIT	PMCCM
	PCM1/CLKOUT	PCM1 (")	CLKOUT	
	PCM2/HLDAK	PCM2 (")	HLDAK	
	PCM3/HLDRQ	PCM3 (")	HLDRQ	
	PCM4/REFRQ	PCM4 (")	REFRQ	
ポートCT	PCT0/LWR/LDQM	PCT0 (入力モード)	LWR/LDQM	PM CCT
	PCT1/UWR/UDQM	PCT1 (")	UWR/UDQM	
	PCT4/RD	PCT4 (")	RD	
	PCT5/WE	PCT5 (")	WE	
ポートCS	PCS0/CS0	PCS0 (入力モード)	CS0	PM CCS
	PCS3/CS3	PCS3 (")	CS3	
	PCS4/CS4	PCS4 (")	CS4	
	PCS7/CS7	PCS7 (")	CS7	
ポートCD	PCD0/SDCKE	PCD0 (入力モード)	SDCKE	PM CCD
	PCD1/SDCLK	PCD1 (")	SDCLK	
	PCD2/LBE/SDCAS	PCD2 (")	LBE/SDCAS	PM CCD, PFCCD
	PCD3/UBE/SDRAS	PCD3 (")	UBE/SDRAS	
ポートAH	PAH0/A16-PAH8/A24	PAH0-PAH8 (入力モード)	A16-A24	PM CAH
ポートAL	PAL0/A0-PAL15/A15	PAL0-PAL15 (入力モード)	A0-A15	PM CAL
ポートDL	PDL0/D0-PDL15/D15	PDL0-PDL15 (入力モード)	D0-D15	PM CDL

(3) ポートのブロック図

図13 - 1 タイプAのブロック図

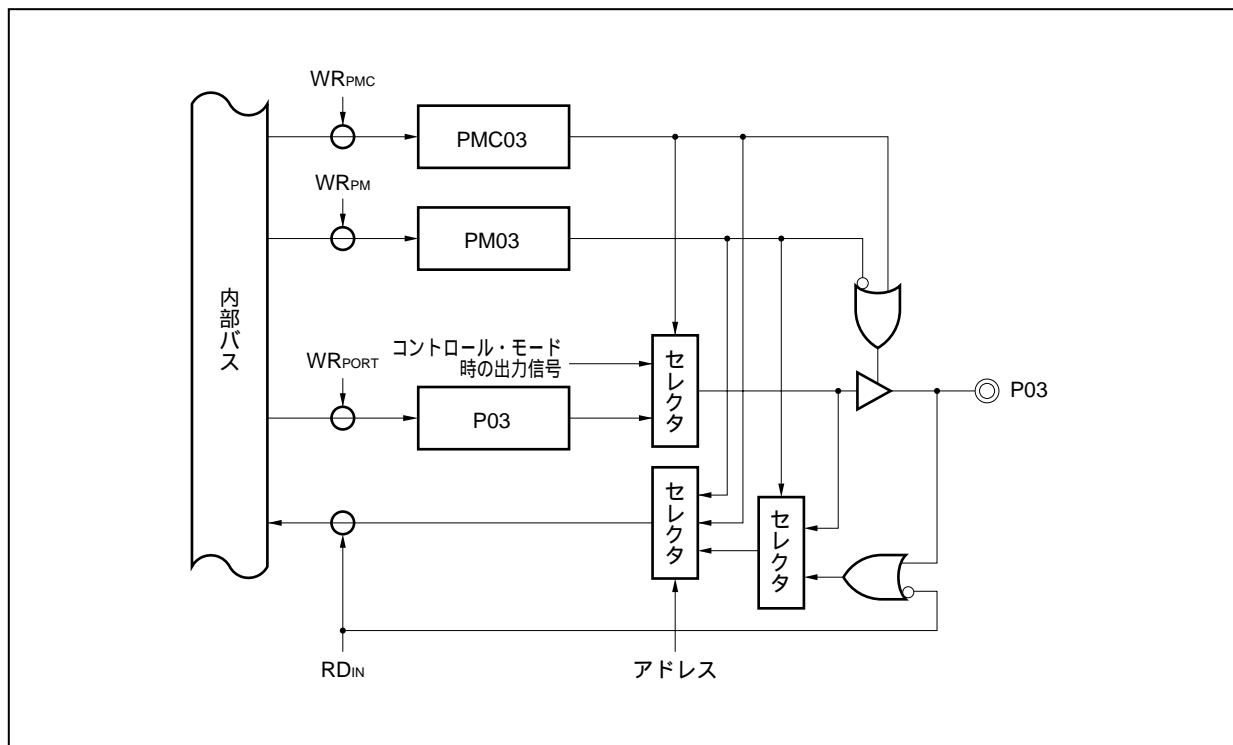


図13 - 2 タイプBのブロック図

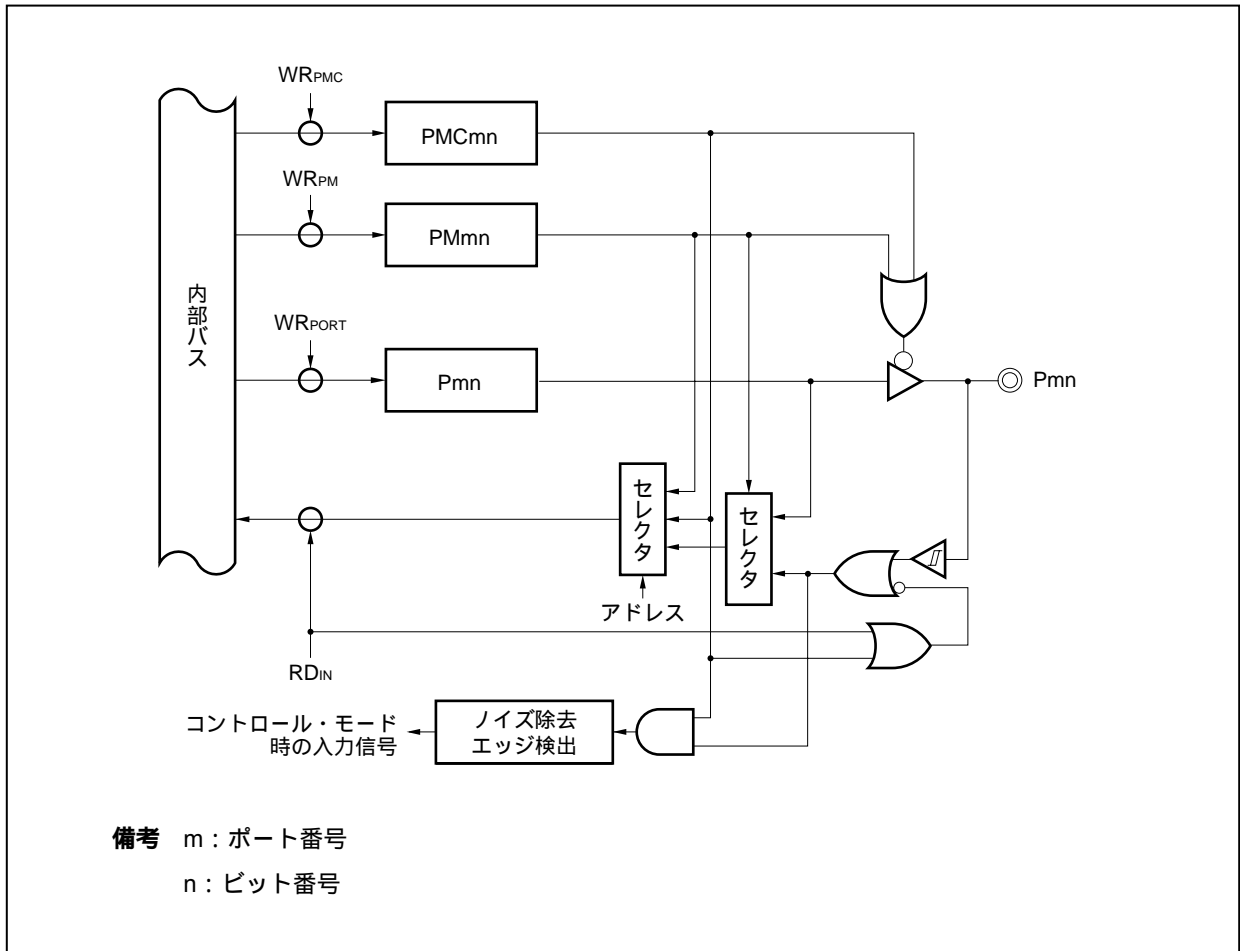
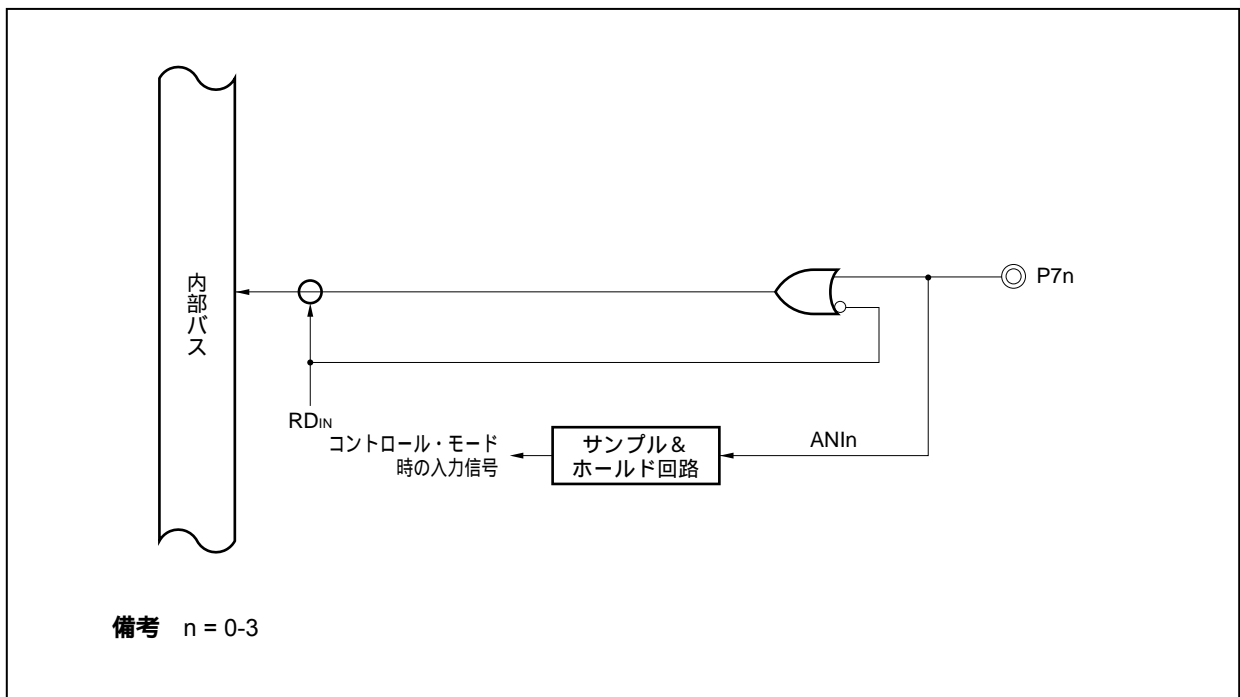


図13 - 3 タイプCのブロック図



★

図13 - 4 タイプDのブロック図

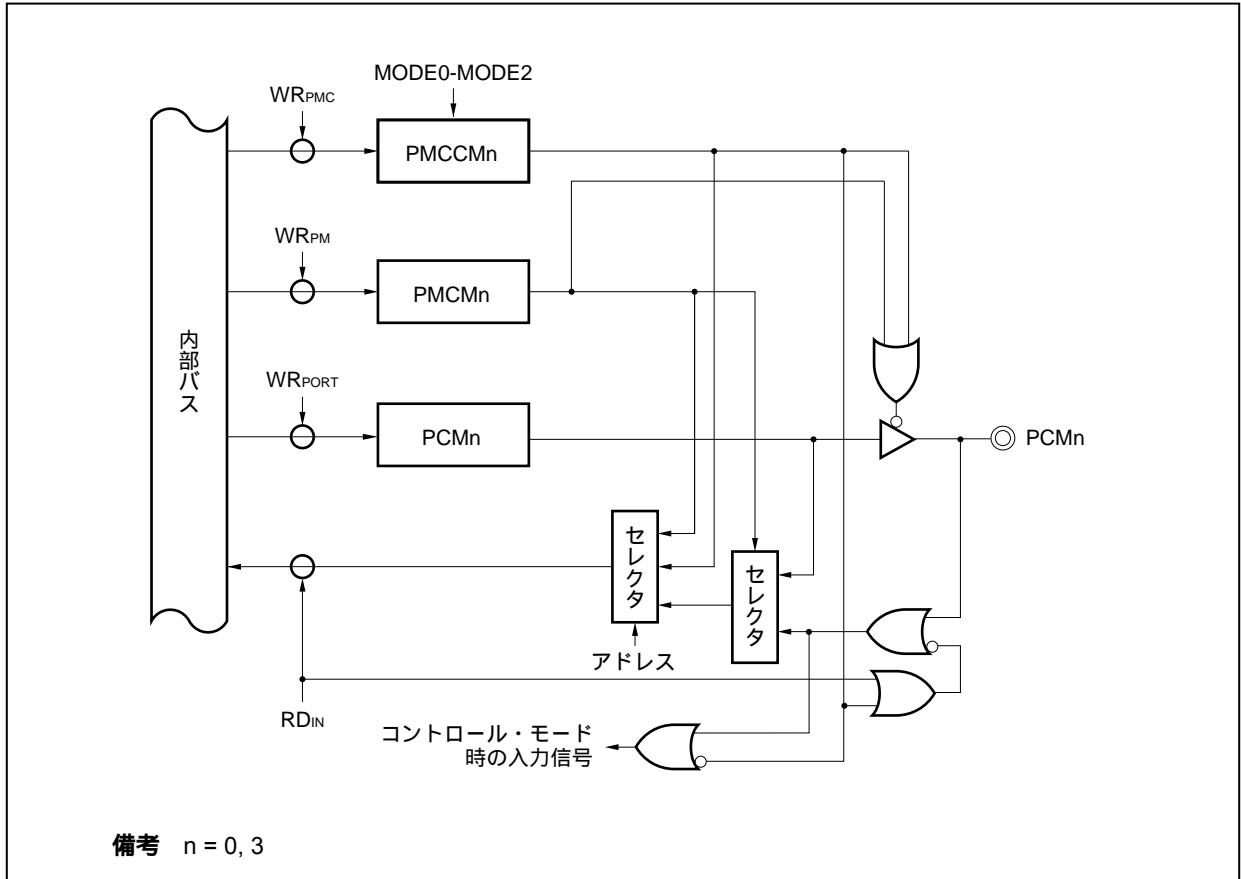
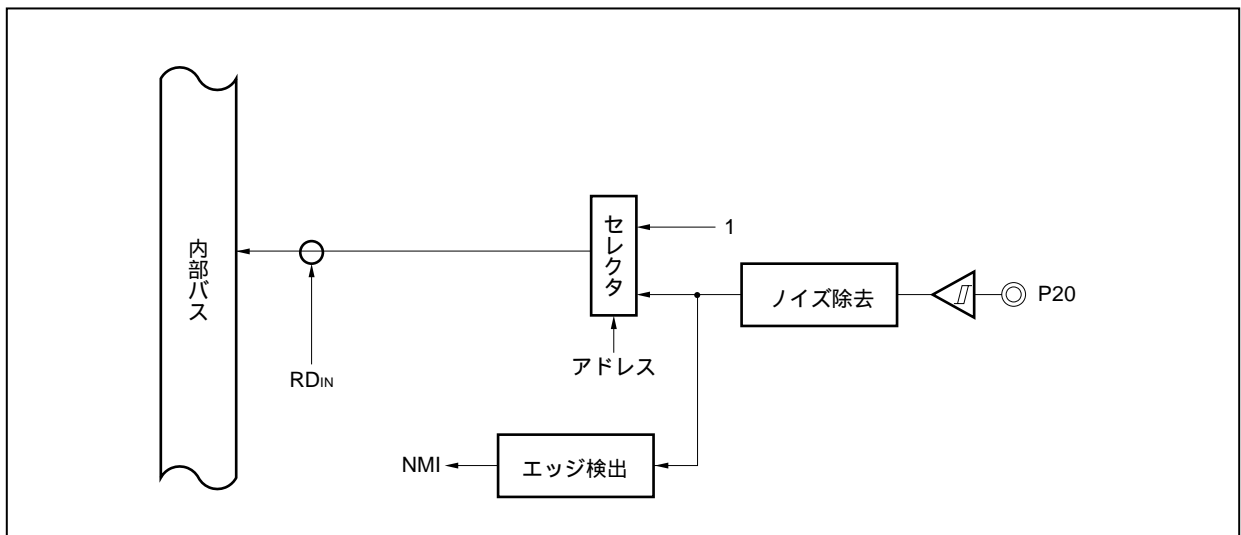
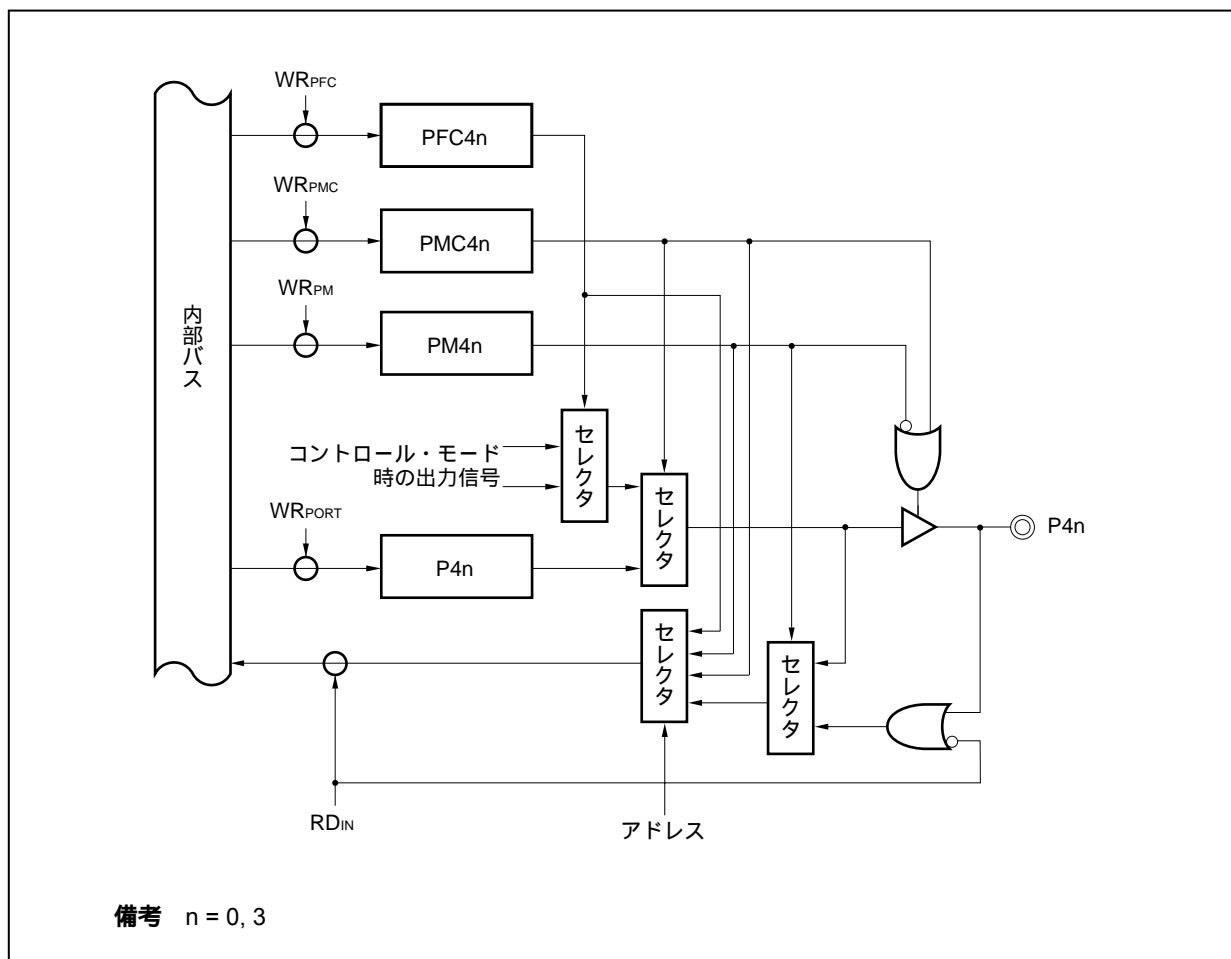


図13 - 5 タイプFのブロック図



★

図13 - 6 タイプGのブロック図



★

図13 - 7 タイプHのブロック図

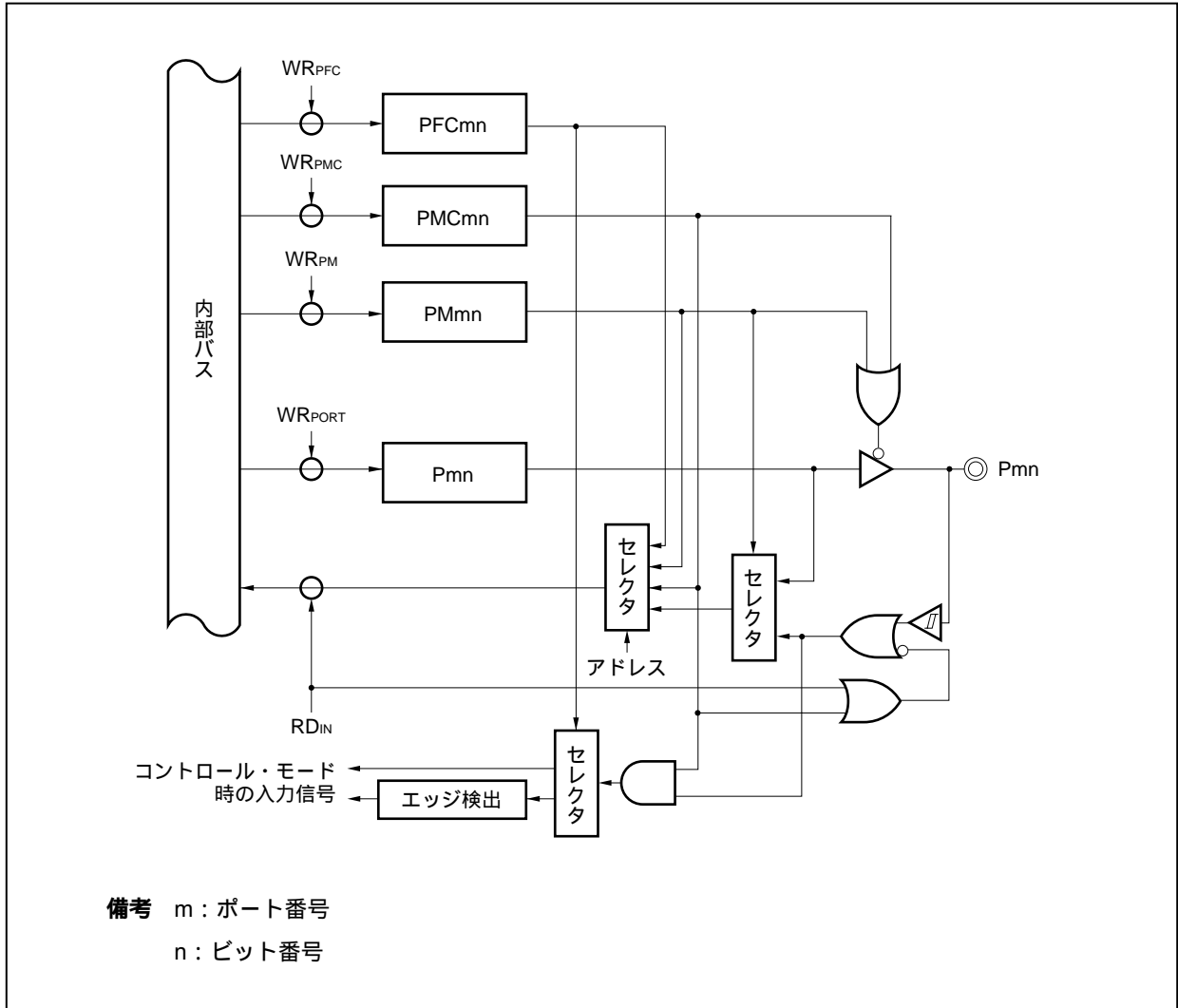


図13 - 8 タイプJのブロック図

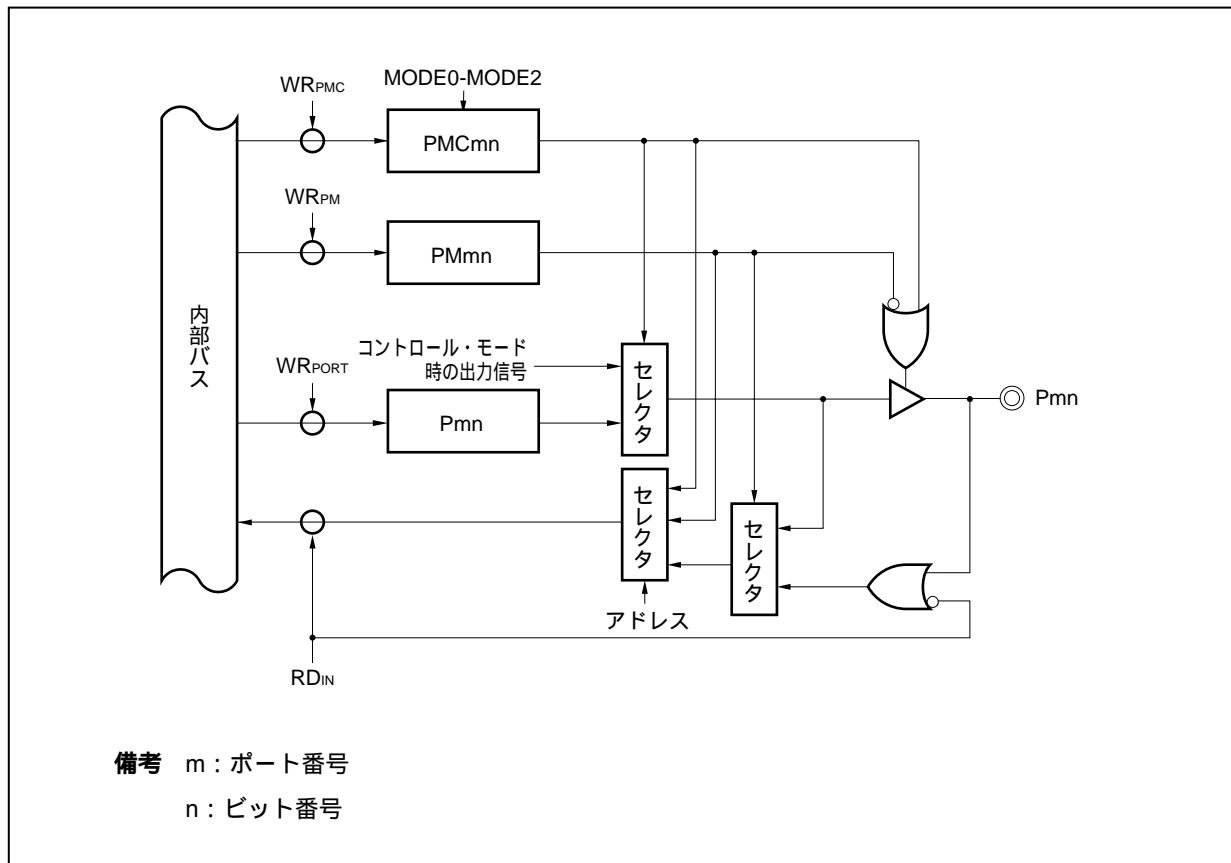
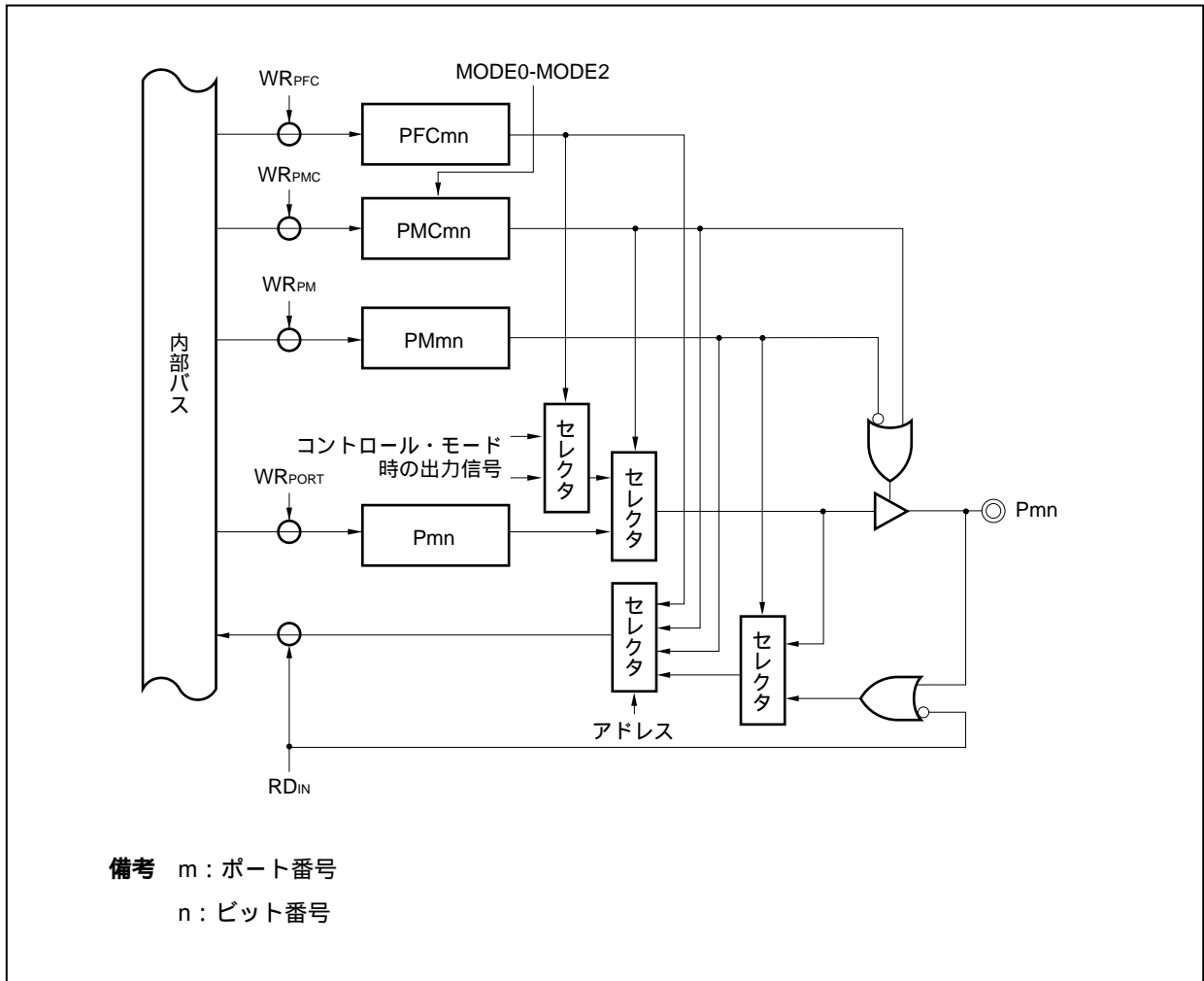
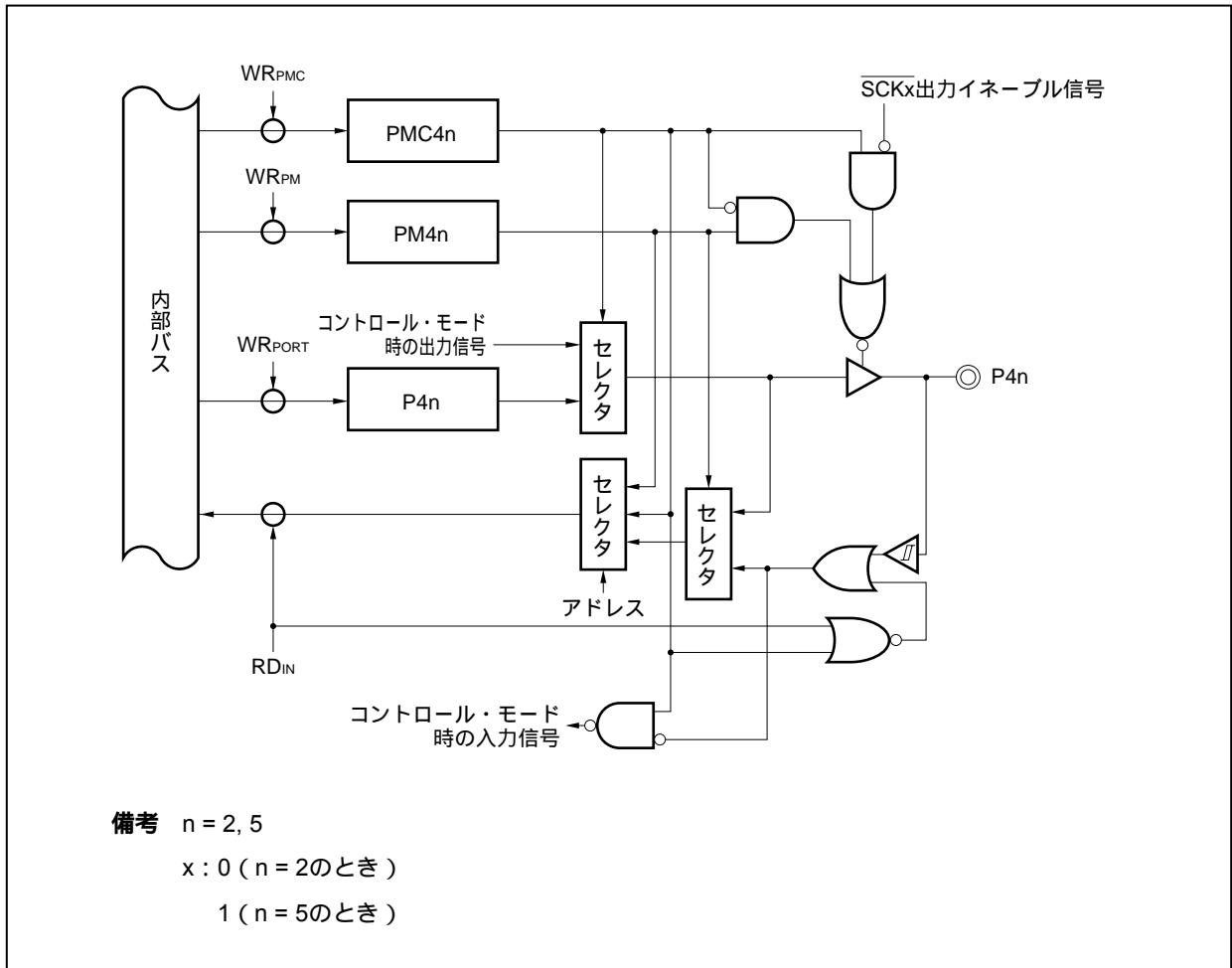


図13 - 9 タイプKのブロック図



★

図13 - 10 タイプMのブロック図



★

図13 - 11 タイプNのブロック図

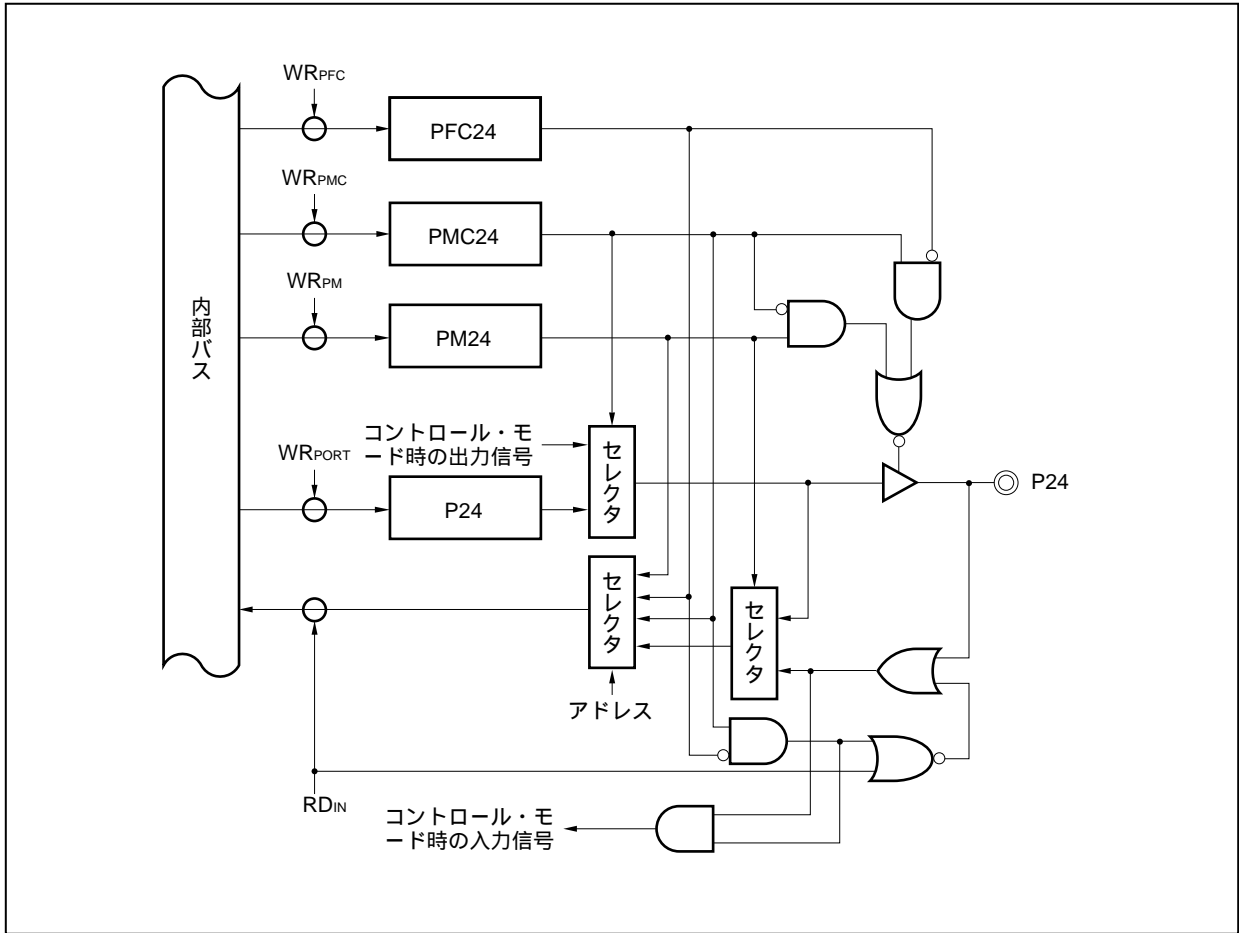
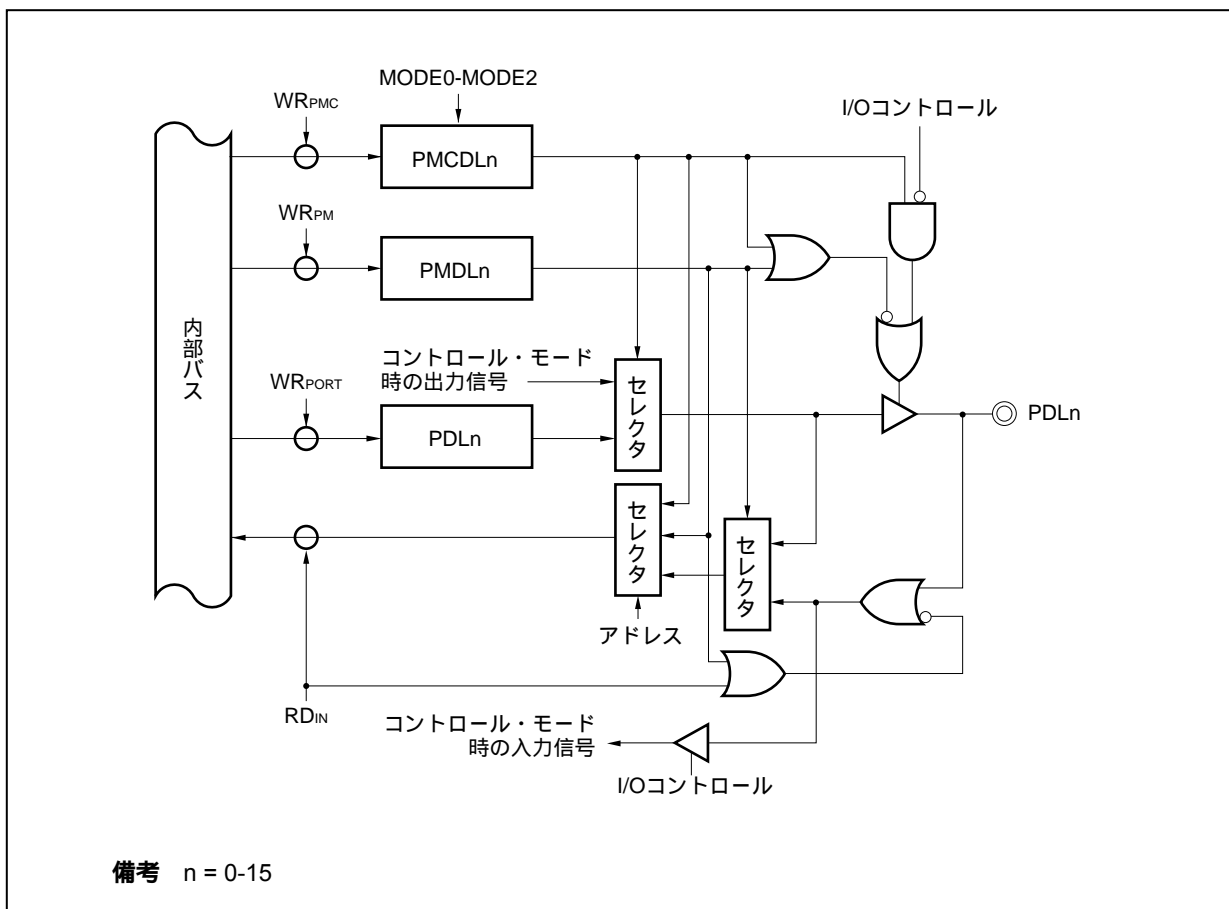


図13 - 12 タイプOのブロック図



13.3 各ポートの端子機能

13.3.1 ポート0

ポート0は、1ビット単位で入出力を指定できる5ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P0	-	-	P05	P04	P03	P02	P01	-	FFFFFF400H	不定

ビット位置	ビット名	意 味
5-1	P0n (n = 5-1)	Port 0 入出力ポート

ポートとしての機能のほかに、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入出力、外部割り込み要求入力、DMA要求入力として動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート0	P01	INTP000/TI000 外部割り込み要求入力 / リアルタイム・パルス・ユニット (RPU) 入力	B
	P02	INTP001 外部割り込み要求入力	
	P03	TO00 リアルタイム・パルス・ユニット (RPU) 出力	A
	P04, P05	DMARQ0/INTP100, DMARQ1/INTP101 DMA要求入力 / 外部割り込み要求入力	H

(2) 入出力モード/コントロール・モードの設定

ポート0の入出力モードの設定は、ポート0モード・レジスタ (PM0) で行います。また、コントロール・モードの設定は、ポート0モード・コントロール・レジスタ (PMC0) とポート0ファンクション・コントロール・レジスタ (PFC0) で行います。

(a) ポート0モード・レジスタ (PM0)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM0	1	1	PM05	PM04	PM03	PM02	PM01	1	FFFFFF420H	FFH

ビット位置	ビット名	意 味
5-1	PM0n (n = 5-1)	Port Mode P0n端子の入力 / 出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポート0モード・コントロール・レジスタ (PMC0)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC0	0	0	PMC05	PMC04	PMC03	PMC02	PMC01	0	FFFFFF440H	00H

★

ビット位置	ビット名	意味
5, 4	PMC0n (n = 5, 4)	Port Mode Control P0n端子の動作モードを指定します。PFC0レジスタと組み合わせて設定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP101, INTP100) 入力モード / DMA (DMARQ1, DMARQ0) 要求入力モード
3	PMC03	Port Mode Control P03端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TO00出力モード
2	PMC02	Port Mode Control P02端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP001) 入力モード
1	PMC01	Port Mode Control P01端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : 外部割り込み要求 (INTP000) 入力モード / TI000入力モード 外部割り込み要求 (INTP000) 入力モードとTI000入力モードを切り替えるレジスタはありません。 ・ TI000入力モードとして使用する場合 : 外部割り込み要求 (INTP000) をマスクするか, CCC00レジスタをコンペアレジスタに設定してください。 ・ 外部割り込み要求 (INTP000) (タイマ・キャプチャ入力を含む) として使用する場合 : TMCC01レジスタのETI0ビットを0に設定してください。

(c) ポート0ファンクション・コントロール・レジスタ (PFC0)

8/1ビット単位でリード/ライト可能ですが、ビット7, 6, 3-0は0に固定されており、1を書き込んでも無視されます。ただし、インサーキット・エミュレータ上ではビット3-0のみ0に固定され、ビット7, 6は書き込んだ値が反映されます。

注意 ポート0モード・コントロール・レジスタ (PMC0) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC0	0	0	PFC05	PFC04	0	0	0	0	FFFFF460H	00H

ビット位置	ビット名	意 味
5, 4	PMC0n (n = 5, 4)	Port Function Control P0n端子のコントロール・モード時の動作モードを指定します。 0 : 外部割り込み要求 ($\overline{\text{INTP101}}$, $\overline{\text{INTP100}}$) 入力モード 1 : DMA ($\overline{\text{DMARQ1}}$, $\overline{\text{DMARQ0}}$) 要求入力モード

13.3.2 ポート1

ポート1は、1ビット単位で入出力を指定できる2ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P1	-	-	-	-	-	P12	P11	-	FFFFF402H	不定

ビット位置	ビット名	意味
2, 1	P1n (n = 2, 1)	Port 1 入出力ポート

ポートとしての機能のほかに、コントロール・モードではリアルタイム・パルス・ユニット (RPU) の入力、外部割り込み要求入力として動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート1	P11	TI010/INTP010 外部割り込み要求入力/ リアルタイム・パルス・ユニット (RPU) 入力	B
	P12	INTP011 外部割り込み要求入力	

(2) 入出力モード/コントロール・モードの設定

ポート1の入出力モードの設定は、ポート1モード・レジスタ (PM1) で行います。また、コントロール・モードの設定は、ポート1モード・コントロール・レジスタ (PMC1) で行います。

(a) ポート1モード・レジスタ (PM1)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM1	1	1	1	1	1	PM12	PM11	1	FFFFF422H	FFH

ビット位置	ビット名	意味
2, 1	PM1n (n = 2, 1)	Port Mode P1n端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポート1モード・コントロール・レジスタ (PMC1)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC1	0	0	0	0	0	PMC12	PMC11	0	FFFFFF442H	00H

ビット位置	ビット名	意味
2	PMC12	Port Mode Control P12端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求 (INTP011) 入力モード
1	PMC11	Port Mode Control P11端子の動作モードを指定します。 0：入出力ポート・モード 1：外部割り込み要求 (INTP010) 入力モード / TI010入力モード 外部割り込み要求 (INTP010) 入力モードとTI010入力モードを切り替えるレジスタはありません。 ・ TI010入力モードとして使用する場合： 外部割り込み要求 (INTP010) をマスクするか、CCC10レジスタをコンペアレジスタに設定してください。 ・ 外部割り込み要求 (INTP010) (タイマ・キャプチャ入力を含む) として使用する場合： TMCC11レジスタのET11ビットを0に設定してください。

13.3.3 ポート2

ポート2のP20は入力専用ポート，P24は入出力ポートです。

注意 P20はNMI入力に固定です。PM2, PMC2レジスタの値にかかわらずNMI端子のレベルが読み出せます。

	7	6	5	4	3	2	1	0	アドレス	初期値
P2	-	-	-	P24	-	-	-	P20	FFFFFF404H	不定

ビット位置	ビット名	意 味
4, 0	P2n (n = 4, 0)	Port 2 入出力ポート

ポートとしての機能のほかに，コントロール・モードでは外部割り込み要求入力，DMA終了（ターミナル・カウント）信号出力として動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート2	P20	NMI	ノンマスクブル割り込み要求入力
	P24	$\overline{\text{TC0/INTP110}}$	DMA終了信号出力 / 外部割り込み要求入力

(2) 入出力モード/コントロール・モードの設定

ポート2の入出力モードの設定は、ポート2モード・レジスタ (PM2) で行います。また、コントロール・モードの設定は、ポート2モード・コントロール・レジスタ (PMC2) とポート2ファンクション・コントロール・レジスタ (PFC2) で行います。

(a) ポート2モード・レジスタ (PM2)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM2	1	1	1	PM24	1	1	1	1	FFFFFF424H	FFH

ビット位置	ビット名	意 味
4	PM24	Port Mode P24端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポート2モード・コントロール・レジスタ (PMC2)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC2	0	0	0	PMC24	0	0	0	1	FFFFFF444H	01H

ビット位置	ビット名	意 味
4	PMC24	Port Mode Control P24端子の動作モードを指定します。PFC2レジスタと組み合わせて設定します。 0: 入出力ポート・モード 1: 外部割り込み要求 ($\overline{\text{INTP110}}$) 入力モード / DMA終了信号 ($\overline{\text{TC0}}$) 出力モード

★

(c) ポート2ファンクション・コントロール・レジスタ (PFC2)

8/1ビット単位でリード/ライト可能ですが、ビット7-5, 3-0は0に固定されており、1を書き込んでも無視されます。ただし、インサーキット・エミュレータ上ではビット3-0のみ0に固定され、ビット7-5は書き込んだ値が反映されます。

注意 ポート2モード・コントロール・レジスタ (PMC2) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC2	0	0	0	PFC24	0	0	0	0	FFFFFF464H	00H

ビット位置	ビット名	意 味
4	PFC24	Port Function Control P24端子のコントロール・モード時の動作モードを指定します。 0 : 外部割り込み要求 ($\overline{\text{INTP110}}$) 入力モード 1 : DMA終了信号 ($\overline{\text{TC0}}$) 出力モード

13.3.4 ポート4

ポート4は、1ビット単位で入出力を指定できる6ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P4	-	-	P45	P44	P43	P42	P41	P40	FFFFFF408H	不定

ビット位置	ビット名	意味
5-0	P4n (n = 5-0)	Port 4 入出力ポート

ポートとしての機能のほかに、コントロール・モードではシリアル・インタフェース (UART0/CSI0, UART1/CSI1) の入出力として動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ	
★ ポート4	P40	TXD0/SO0	シリアル・インタフェース (UART0/CSI0) 用入出力	G
	P41	RXD0/SI0		H
	P42	SCK0		M
★	P43	TXD1/SO1	シリアル・インタフェース (UART1/CSI1) 用入出力	G
	P44	RXD1/SI1		H
	P45	SCK1		M

(2) 入出力モード/コントロール・モードの設定

ポート4の入出力モードの設定は、ポート4モード・レジスタ (PM4) で行います。また、コントロール・モードの設定は、ポート4モード・コントロール・レジスタ (PMC4) とポート4ファンクション・コントロール・レジスタ (PFC4) で行います。

(a) ポート4モード・レジスタ (PM4)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PM4	1	1	PM45	PM44	PM43	PM42	PM41	PM40	FFFFFF428H	FFH

ビット位置	ビット名	意味
5-0	PM4n (n = 5-0)	Port Mode P4n端子の入力/出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポート4モード・コントロール・レジスタ (PMC4)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMC4	0	0	PMC45	PMC44	PMC43	PMC42	PMC41	PMC40	FFFFFF448H	00H

ビット位置	ビット名	意味
5	PMC45	Port Mode Control P45端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SCK1入出力モード
4	PMC44	Port Mode Control P44端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : RXD1/SI1入力モード
3	PMC43	Port Mode Control P43端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TXD1/SO1出力モード
2	PMC42	Port Mode Control P42端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SCK0入出力モード
1	PMC41	Port Mode Control P41端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : RXD0/SIO入力モード
0	PMC40	Port Mode Control P40端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : TXD0/SO0出力モード

(c) ポート4ファンクション・コントロール・レジスタ (PFC4)

8/1ビット単位でリード/ライト可能です。ただし、ビット7-5, 2は0に固定されており、1を書き込んでも無視されます。

注意 ポート4モード・コントロール・レジスタ (PMC4) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFC4	0	0	0	PFC44	PFC43	0	PFC41	PFC40	FFFFFF468H	00H

ビット位置	ビット名	意味
4	PFC44	Port Function Control P44端子のコントロール・モード時の動作モードを指定します。 0 : SI1入力モード 1 : RXD1入力モード
3	PFC43	Port Function Control P43端子のコントロール・モード時の動作モードを指定します。 0 : SO1出力モード 1 : TXD1出力モード
1	PFC41	Port Function Control P41端子のコントロール・モード時の動作モードを指定します。 0 : SI0入力モード 1 : RXD0入力モード
0	PFC40	Port Function Control P40端子のコントロール・モード時の動作モードを指定します。 0 : SO0出力モード 1 : TXD0出力モード

13.3.5 ポート7

ポート7は、全端子が入力に固定の4ビット入力専用ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
P7	-	-	-	-	P73	P72	P71	P70	FFFFFF40EH	不定

ビット位置	ビット名	意味
3-0	P7n (n = 3-0)	Port 7 入力ポート

ポートとしての機能のほかに、コントロール・モードではA/Dコンバータへのアナログ入力として動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート7 0	ANI3-ANI0	A/Dコンバータへのアナログ入力	C

- ★ **注意** ANI0-ANI3のいずれかの端子を選択してA/D変換する場合、A/D変換中（ADM0レジスタのADCSビット = 1）にポート7（P7）の読み出しを行ったときには、A/D変換の分解能が低下することがあります。
また、A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによって、A/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのデジタル・パルス印加はしないでください。

13.3.6 ポートAL

ポートAL (PAL) は、1ビット単位で入出力を指定できる16ビット入出力ポートです。

ポートALの上位8ビットをポートALH (PALH) , 下位8ビットをポートALL (PALL) とした場合は、1ビット単位で入出力を指定できる8ビット入出力ポートになります。

		15	14	13	12	11	10	9	8	アドレス	初期値
PAL		PAL15	PAL14	PAL13	PAL12	PAL11	PAL10	PAL9	PAL8	FFFFFF01H	不定
		7	6	5	4	3	2	1	0	アドレス	
		PAL7	PAL6	PAL5	PAL4	PAL3	PAL2	PAL1	PAL0	FFFFFF00H	

ビット位置	ビット名	意 味
15-0	PALn (n = 15-0)	Port AL 入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート AL	PAL15- PAL0	A15-A0 メモリ拡張時のアドレス・バス	J

(2) 入出力モード/コントロール・モードの設定

ポートALの入出力モードの設定は、ポートALモード・レジスタ (PMAL) で行います。また、コントロール・モードの設定は、ポートALモード・コントロール・レジスタ (PMCAL) で行います。

(a) ポートALモード・レジスタ (PMAL)

ポートALモード・レジスタ (PMAL) は、16ビット単位でリード/ライト可能です。

PMALの上位8ビットをポートALモード・レジスタH (PMALH) , 下位8ビットをポートALモード・レジスタL (PMALL) とした場合は、8/1ビット単位でリード/ライト可能になります。

		15	14	13	12	11	10	9	8	アドレス	初期値
PMAL		PMAL15	PMAL14	PMAL13	PMAL12	PMAL11	PMAL10	PMAL9	PMAL8	FFFFFF021H	FFFFH
		7	6	5	4	3	2	1	0	アドレス	
		PMAL7	PMAL6	PMAL5	PMAL4	PMAL3	PMAL2	PMAL1	PMAL0	FFFFFF020H	

ビット位置	ビット名	意 味
15-0	PMALn (n = 15-0)	Port Mode PALn端子の入力/出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポートALモード・コントロール・レジスタ (PMCAL)

ポートALモード・コントロール・レジスタ (PMCAL) は、16ビット単位でリード/ライト可能です。

PMCALの上位8ビットをポートALモード・コントロール・レジスタH (PMCALH) , 下位8ビットをポートALモード・コントロール・レジスタL (PMCALL) とした場合は、8/1ビット単位でリード/ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMCAL	PMCAL15	PMCAL14	PMCAL13	PMCAL12	PMCAL11	PMCAL10	PMCAL9	PMCAL8	FFFFFF041H	FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	PMCAL7	PMCAL6	PMCAL5	PMCAL4	PMCAL3	PMCAL2	PMCAL1	PMCAL0	FFFFFF040H	

ビット位置	ビット名	意味
15-0	PMCALn (n = 15-0)	Port Mode Control PALn端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : A15-A0出力モード

13.3.7 ポートAH

ポートAH (PAH) は、1ビット単位で入出力を指定できる16ビット入出力ポートです。

ポートAHの上位8ビットをポートAHH (PAHH) , 下位8ビットをポートAHL (PAHL) とした場合は、1ビット単位で入出力を指定できる8ビット入出力ポートになります。

ポートAHのビット15-9 (ポートAHHのビット7-1) は不定です。

	15	14	13	12	11	10	9	8	アドレス	初期値
PAH	-	-	-	-	-	-	-	PAH8	FFFFFF03H	不定
	7	6	5	4	3	2	1	0	アドレス	
	PAH7	PAH6	PAH5	PAH4	PAH3	PAH2	PAH1	PAH0	FFFFFF02H	

ビット位置	ビット名	意味
8-0	PAHn (n = 8-0)	Port AH 入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合のアドレス・バスとして動作可能です。

(1) コントロール・モード時の動作

ポート		兼用端子名	備考	ブロック・タイプ
ポート AH	PAL8-P AL0	A24-A16	メモリ拡張時のアドレス・バス	J

(2) 入出力モード/コントロール・モードの設定

ポートAHの入出力モードの設定は、ポートAHモード・レジスタ (PMAH) で行います。また、コントロール・モードの設定は、ポートAHモード・コントロール・レジスタ (PMCAH) で行います。

(a) ポートAHモード・レジスタ (PMAH)

ポートAHモード・レジスタ (PMAH) は、16ビット単位でリード/ライト可能です。
 PMAHの上位8ビットをポートAHモード・レジスタH (PMAHH)、下位8ビットをポートAHモード・レジスタL (PMAHL)とした場合は、8/1ビット単位でリード/ライト可能になります。
 PMAHのビット15-9 (PMAHHのビット7-1) は1に固定です。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMAH	1	1	1	1	1	1	1	PMAH8	FFFFFF023H	FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	PMAH7	PMAH6	PMAH5	PMAH4	PMAH3	PMAH2	PMAH1	PMAH0	FFFFFF022H	

ビット位置	ビット名	意 味
8-0	PMAHn (n = 8-0)	Port Mode PAHn端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポートAHモード・コントロール・レジスタ (PMCAH)

ポートAHモード・コントロール・レジスタ (PMCAH) は、16ビット単位でリード/ライト可能です。
 PMCAHの上位8ビットをポートAHモード・コントロール・レジスタH (PMCAHH)、下位8ビットをポートAHモード・コントロール・レジスタL (PMCAHL)とした場合は、8/1ビット単位でリード/ライト可能になります。
 PMCAHのビット15-9 (PMCAHHのビット7-1) は0に固定です。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMCAH	0	0	0	0	0	0	0	PMCAH8	FFFFFF043H	01FFH
	7	6	5	4	3	2	1	0	アドレス	
	PMCAH7	PMCAH6	PMCAH5	PMCAH4	PMCAH3	PMCAH2	PMCAH1	PMCAH0	FFFFFF042H	

ビット位置	ビット名	意 味
8-0	PMCAHn (n = 8-0)	Port Mode Control PAHn端子の動作モードを指定します。 0: 入出力ポート・モード 1: A24-A16出力モード

13.3.8 ポートDL

ポートDL (PDL) は、1ビット単位で入出力を指定できる16ビット入出力ポートです。

ポートDLの上位8ビットをポートDLH (PDLH) , 下位8ビットをポートDLL (PDLL) とした場合は、1ビット単位で入出力を指定できる8ビット入出力ポートになります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PDL	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8	FFFFFF05H	不定
	7	6	5	4	3	2	1	0	アドレス	
	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0	FFFFFF04H	

ビット位置	ビット名	意味
15-0	PDLn (n = 15-0)	Port DL 入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合のデータ・バスとして動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ
ポート DL	PDL15- PDL0	D15-D0 メモリ拡張時のデータ・バス	0

(2) 入出力モード/コントロール・モードの設定

ポートDLの入出力モードの設定は、ポートDLモード・レジスタ (PMDL) で行います。また、コントロール・モードの設定は、ポートDLモード・コントロール・レジスタ (PMCDL) で行います。

(a) ポートDLモード・レジスタ (PMDL)

ポートDLモード・レジスタ (PMDL) は、16ビット単位でリード/ライト可能です。

PMDLの上位8ビットをポートDLモード・レジスタH (PMDLH) , 下位8ビットをポートDLモード・レジスタL (PMDLL) とした場合は、8/1ビット単位でリード/ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMDL	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8	FFFFFF025H	FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0	FFFFFF024H	

ビット位置	ビット名	意味
15-0	PMDLn (n = 15-0)	Port Mode PDLn端子の入力/出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポートDLモード・コントロール・レジスタ (PMCDL)

ポートDLモード・コントロール・レジスタ (PMCDL) は、16ビット単位でリード/ライト可能です。

PMCDLの上位8ビットをポートDLモード・コントロール・レジスタH (PMCDLH) , 下位8ビットをポートDLモード・コントロール・レジスタL (PMCDLL) とした場合は、8/1ビット単位でリード/ライト可能になります。

	15	14	13	12	11	10	9	8	アドレス	初期値
PMCDL	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8	FFFFFF045H	FFFFH
	7	6	5	4	3	2	1	0	アドレス	
	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0	FFFFFF044H	

ビット位置	ビット名	意味
15-0	PMCDLn (n = 15-0)	Port Mode Control PDLn端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : D15-D0出力モード

★ 注意 ROMレス・モード1の場合、D8-D15端子は入力状態になります。

13.3.9 ポートCS

ポートCSは、1ビット単位で入出力を指定できる4ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCS	PCS7	-	-	PCS4	PCS3	-	-	PCS0	FFFFFF08H	不定

ビット位置	ビット名	意 味
7, 4, 3, 0	PCS _n (n = 7, 4, 3, 0)	Port CS 入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合のチップ・セレクト信号出力として動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポートCS PCS0, PCS3, PCS4, PCS7	CS0, CS3, CS4, CS7	チップ・セレクト信号出力	J

(2) 入出力モード/コントロール・モードの設定

ポートCSの入出力モードの設定は、ポートCSモード・レジスタ (PMCS) で行います。また、コントロール・モードの設定は、ポートCSモード・コントロール・レジスタ (PMCCS) で行います。

(a) ポートCSモード・レジスタ (PMCS)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCS	PMCS7	1	1	PMCS4	PMCS3	1	1	PMCS0	FFFFFF028H	FFH

ビット位置	ビット名	意 味
7, 4, 3, 0	PMCSn (n = 7, 4, 3, 0)	Port Mode PCSn端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポートCSモード・コントロール・レジスタ (PMCCS)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCCS	PMCCS7	0	0	PMCCS4	PMCCS3	0	0	PMCCS0	FFFFFF048H	99H

ビット位置	ビット名	意 味
7, 4, 3, 0	PMCCSn (n = 7, 4, 3, 0)	Port Mode Control PCSn端子の動作モードを指定します。 0: 入出力ポート・モード 1: \overline{CSn} 出力モード

13.3.10 ポートCT

ポートCTは、1ビット単位で入出力を指定できる4ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCT	-	-	PCT5	PCT4	-	-	PCT1	PCT0	FFFFFF00AH	不定

ビット位置	ビット名	意 味
5, 4, 1, 0	PCTn (n = 5, 4, 1, 0)	Port CT 入出力ポート

ポートとしての機能のほかに、コントロール・モードではメモリを外部に拡張する場合の制御信号出力として動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート CT	PCT0	$\overline{\text{LWR}}/\text{LDQM}$ ライト・ストロープ信号出力/ アウトプット・ディスエーブル/ライト・マスク信号	J
	PCT1	$\overline{\text{UWR}}/\text{UDQM}$ ライト・ストロープ信号出力/ アウトプット・ディスエーブル/ライト・マスク信号	
	PCT4	$\overline{\text{RD}}$ リード・ストロープ信号出力	
	PCT5	$\overline{\text{WE}}$ ライト・イネーブル信号出力	

(2) 入出力モード/コントロール・モードの設定

ポートCTの入出力モードの設定は、ポートCTモード・レジスタ (PMCT) で行います。また、コントロール・モードの設定は、ポートCTモード・コントロール・レジスタ (PMCCT) で行います。

(a) ポートCTモード・レジスタ (PMCT)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCT	1	1	PMCT5	PMCT4	1	1	PMCT1	PMCT0	FFFFF02AH	FFH

ビット位置	ビット名	意味
5, 4, 1, 0	PMCTn (n=5, 4, 1, 0)	Port Mode PCTn端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポートCTモード・コントロール・レジスタ (PMCCT)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCCT	0	0	PMCCT5	PMCCT4	0	0	PMCCT1	PMCCT0	FFFFF04AH	33H

ビット位置	ビット名	意味
5	PMCCT5	Port Mode Control PCT5端子の動作モードを指定します。 0: 入出力ポート・モード 1: \overline{WE} 出力モード
4	PMCCT4	Port Mode Control PCT4端子の動作モードを指定します。 0: 入出力ポート・モード 1: \overline{RD} 出力モード
1	PMCCT1	Port Mode Control PCT1端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{UWR}/\overline{UDQM}$ 出力モード ($\overline{UWR}/\overline{UDQM}$ 信号は、各信号の対象となるメモリにアクセスすることにより自動的に切り替わります。)
0	PMCCT0	Port Mode Control PCT0端子の動作モードを指定します。 0: 入出力ポート・モード 1: $\overline{LWR}/\overline{LDQM}$ 出力モード ($\overline{LWR}/\overline{LDQM}$ 信号は、各信号の対象となるメモリにアクセスすることにより自動的に切り替わります。)

13.3.11 ポートCM

ポートCMは、1ビット単位で入出力を指定できる5ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCM	-	-	-	PCM4	PCM3	PCM2	PCM1	PCM0	FFFFF00CH	不定

ビット位置	ビット名	意味
4-0	PCMn (n = 4-0)	Port CM 入出力ポート

ポートとしての機能のほかに、コントロール・モードではウエイト挿入信号入力、内部システム・クロック出力、バス・ホールド制御信号出力、DRAMに対するリフレッシュ要求信号出力として動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備考	ブロック・タイプ	
★ CM	PCM0	WAIT	ウエイト挿入信号入力	D
	PCM1	CLKOUT	内部システム・クロック出力	J
	PCM2	HLDAK	バス・ホールド・アクノリッジ信号出力	J
	PCM3	HLDREQ	バス・ホールド要求信号入力	D
	PCM4	REFRQ	リフレッシュ要求信号出力	J

★ (2) 入出力モード/コントロール・モードの設定

ポートCMの入出力モードの設定は、ポートCMモード・レジスタ (PMCM) で行います。また、コントロール・モードの設定は、ポートCMモード・コントロール・レジスタ (PMCCM) で行います。

(a) ポートCMモード・レジスタ (PMCM)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCM	1	1	1	PMCM4	PMCM3	PMCM2	PMCM1	PMCM0	FFFFF02CH	FFH

ビット位置	ビット名	意味
4-0	PMCMn (n = 4-0)	Port Mode PCMn端子の入力/出力のモードを指定します。 0：出力モード (出力バッファ・オン) 1：入力モード (出力バッファ・オフ)

(b) ポートCMモード・コントロール・レジスタ (PMCCM)

8/1ビット単位でリード/ライト可能です。

注意 PCM1/CLKOUT端子を入出力ポート・モードからCLKOUTモードに切り替える場合、切り替えた直後にCLKOUT出力にグリッジが発生する可能性があります。したがって、CLKOUT端子を使用する場合は、CLKOUT端子をプルアップしてください。さらにPLLモードの場合 (CKSEL = 0) は、1逓倍 (CKCレジスタのCKDIV2-CKDIV0ビット = 000B) で、CLKOUT出力モードに切り替えてください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCCM	0	0	0	PMCCM4	PMCCM3	PMCCM2	PMCCM1	PMCCM0	FFFFFF04CH	1FH

ビット位置	ビット名	意 味
4	PMCCM4	Port Mode Control PCM4端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{REFRQ}}$ 出力モード
3	PMCCM3	Port Mode Control PCM3端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{HLDRQ}}$ 入力モード
2	PMCCM2	Port Mode Control PCM2端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{HLDAK}}$ 出力モード
1	PMCCM1	Port Mode Control PCM1端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : CLKOUT出力モード
0	PMCCM0	Port Mode Control PCM0端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{WAIT}}$ 入力モード

13.3.12 ポートCD

ポートCDは、1ビット単位で入出力を指定できる4ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PCD	-	-	-	-	PCD3	PCD2	PCD1	PCD0	FFFFFF00EH	不定

ビット位置	ビット名	意 味
3-0	PCDn (n = 3-0)	Port CD 入出力ポート

ポートとしての機能のほかに、コントロール・モードではSDRAMに対するクロック・イネーブル信号出力、同期クロック出力、カラム・アドレス・ストローブ信号出力、ロウ・アドレス・ストローブ信号出力、SDRAMに対するバイト・アクセス時のバイト・イネーブル信号出力として動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート CD	PCD0	SDCKE	クロック・イネーブル信号出力
	PCD1	SDCLK	同期クロック出力
	PCD2	LBE/SDCAS	バイト・イネーブル信号出力/ カラム・アドレス・ストローブ信号出力
	PCD3	UBĒ/SDRAS	バイト・イネーブル信号出力/ ロウ・アドレス・ストローブ信号出力
			J
			K

(2) 入出力モード/コントロール・モードの設定

ポートCDの入出力モードの設定は、ポートCDモード・レジスタ (PMCD) で行います。また、コントロール・モードの設定は、ポートCDモード・コントロール・レジスタ (PMCCD) とポートCDファンクション・コントロール・レジスタ (PFCCD) で行います。

(a) ポートCDモード・レジスタ (PMCD)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCD	1	1	1	1	PMCD3	PMCD2	PMCD1	PMCD0	FFFFFF02EH	FFH

ビット位置	ビット名	意 味
3-0	PMCDn (n = 3-0)	Port Mode PCDn端子の入力 / 出力のモードを指定します。 0 : 出力モード (出力バッファ・オン) 1 : 入力モード (出力バッファ・オフ)

(b) ポートCDモード・コントロール・レジスタ (PMCCD)

8/1ビット単位でリード/ライト可能です。

- 注意1. SDCLK出力モードとSDCKE出力モードの設定を同時に行わないでください。必ずSDCLK出力モードの設定を行ったあとに,SDCKE出力モードを設定するようにしてください。
2. リセットを解除したあとPMCCDレジスタのビット1, 0はSDCLK出力モード,SDCKE出力モードになりますが,ビット3, 2は \overline{UBE} 出力モード, \overline{LBE} 出力モードになります。SDRAMを使用する場合は,必ずPFCCDレジスタにより \overline{SDRAS} 出力モード, \overline{SDCAS} 出力モードに設定してください。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCCD	0	0	0	0	PMCCD3	PMCCD2	PMCCD1	PMCCD0	FFFFFF04EH	0FH

ビット位置	ビット名	意味
3	PMCCD3	Port Mode Control PCD3端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : \overline{UBE} / \overline{SDRAS} 出力モード
2	PMCCD2	Port Mode Control PCD2端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : \overline{LBE} / \overline{SDCAS} 出力モード
1	PMCCD1	Port Mode Control PCD1端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SDCLK出力モード
0	PMCCD0	Port Mode Control PCD0端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : SDCKE出力モード

(c) ポートCDファンクション・コントロール・レジスタ (PFCCD)

8/1ビット単位でリード/ライト可能です。ただし、ビット7-4, 1, 0は0に固定されており、1を書き込んでも無視されます。

注意 ポートCDモード・コントロール・レジスタ (PMCCD) でポート・モードを指定した場合は、このレジスタの設定は無効となります。

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCCD	0	0	0	0	PFCCD3	PFCCD2	0	0	FFFFFF04FH	00H

ビット位置	ビット名	意 味
3	PFCCD3	Port Function Control PCD3端子のコントロール・モード時の動作モードを指定します。 0 : $\overline{\text{UBE}}$ 出力モード 1 : $\overline{\text{SDRAS}}$ 出力モード
2	PFCCD2	Port Function Control PCD2端子のコントロール・モード時の動作モードを指定します。 0 : $\overline{\text{LBE}}$ 出力モード 1 : $\overline{\text{SDCAS}}$ 出力モード

13.3.13 ポートBD

ポートBDは、1ビット単位で入出力を指定できる2ビット入出力ポートです。

	7	6	5	4	3	2	1	0	アドレス	初期値
PBD	-	-	-	-	-	-	PBD1	PBD0	FFFFFF012H	不定

ビット位置	ビット名	意 味
1, 0	PBDn (n = 1, 0)	Port BD 入出力ポート

ポートとしての機能のほかに、コントロール・モードではDMAアクリッジ信号出力として動作可能です。

(1) コントロール・モード時の動作

ポート	兼用端子名	備 考	ブロック・タイプ
ポート BD	PBD0, PBD1	DMAAK0, DMAAK1 DMAアクリッジ信号出力	J

(2) 入出力モード/コントロール・モードの設定

ポートBDの入出力モードの設定は、ポートBDモード・レジスタ (PMBD) で行います。また、コントロール・モードの設定は、ポートBDモード・コントロール・レジスタ (PM CBD) で行います。

(a) ポートBDモード・レジスタ (PMBD)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMBD	1	1	1	1	1	1	PMBD1	PMBD0	FFFFFF032H	FFH

ビット位置	ビット名	意 味
1, 0	PMBDn (n = 1, 0)	Port Mode PBDn端子の入力/出力のモードを指定します。 0: 出力モード (出力バッファ・オン) 1: 入力モード (出力バッファ・オフ)

(b) ポートBDモード・コントロール・レジスタ (PMCBD)

8/1ビット単位でリード/ライト可能です。

	7	6	5	4	3	2	1	0	アドレス	初期値
PMCBD	0	0	0	0	0	0	PMCBD1	PMCBD0	FFFFFF052H	00H

ビット位置	ビット名	意 味
1, 0	PMCBDn (n = 1, 0)	Port Mode Control PBDn端子の動作モードを指定します。 0 : 入出力ポート・モード 1 : $\overline{\text{DMAAKn}}$ 出力モード

第14章 リセット機能

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとシステム・リセットがかかり、オンチップの各ハードウェアは初期状態にイニシャライズされます。

$\overline{\text{RESET}}$ 端子がロウ・レベルからハイ・レベルになると、リセット状態が解除され、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

14.1 特 徴

リセット端子 ($\overline{\text{RESET}}$) にアナログ・ディレイ (60 ns) によるノイズ除去

14.2 端子機能

システム・リセット期間中は、ほとんどの端子出力 (CLKOUT, $\overline{\text{RESET}}$, X2, V_{DD}, V_{SS}, CV_{DD}, CV_{SS}, AV_{DD}/AV_{REF}, AV_{SS}端子を除く全端子) がハイ・インピーダンスになります。

たとえば外部にメモリを接続している場合、ポートAL, AH, DL, CS, CT, CM, CD, BDの各端子にプルアップ(またはプルダウン)抵抗を付ける必要があります。抵抗がない場合、これらの端子がハイ・インピーダンスになると接続している外部メモリを破壊する可能性があります。

同様に、内蔵の周辺I/O機能の信号出力、出力ポートにおいても、影響がないよう端子の処理を行ってください。

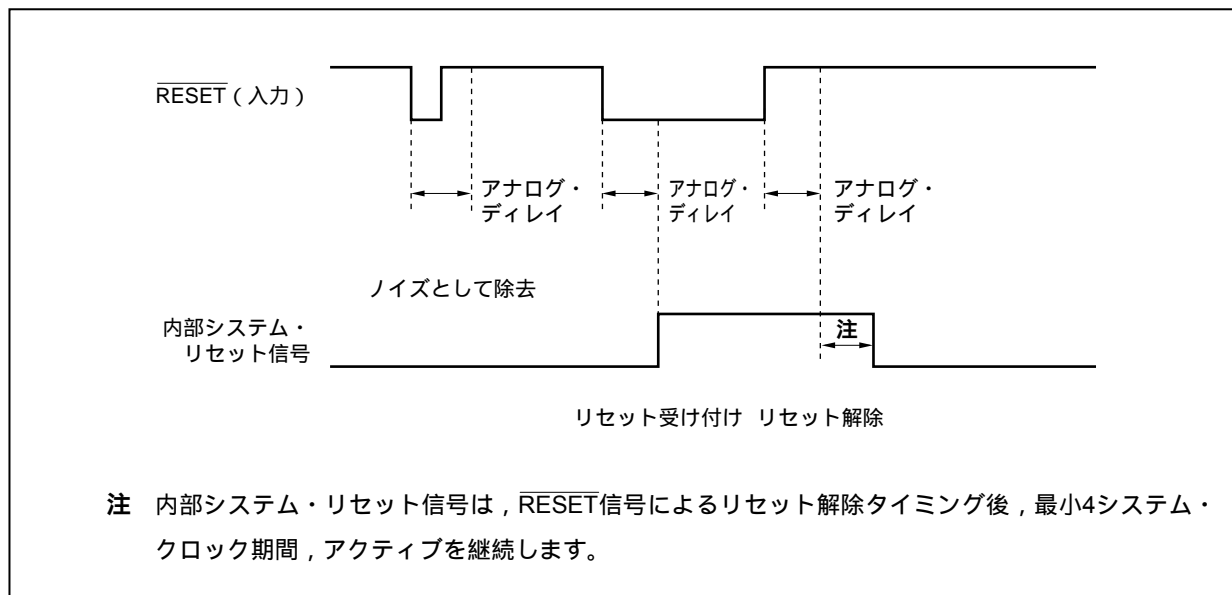
リセット期間中の各端子の動作状態を表14 - 1に示します。

表14-1 リセット期間中の各端子の動作状態

端子名		端子状態
A0-A15, A16-A24, D0-D15, $\overline{CS0}$, $\overline{CS3}$, $\overline{CS4}$, $\overline{CS7}$, \overline{LWR} , \overline{UWR} , \overline{LDQM} , \overline{UDQM} , \overline{RD} , \overline{WE} , \overline{WAIT} , \overline{HLDAK} , \overline{HLDRQ} , REFRQ, \overline{SDCKE} , \overline{SDCLK} , \overline{LBE} , \overline{UBE} , \overline{SDCAS} , SDRAS		ハイ・インピーダンス
CLKOUT		動作
ポート端子	ポート0-2, 4, 7, BD	(入力)
	ポートAL, AH, DL, CM, CT, CS, CD	(コントロール・モード)

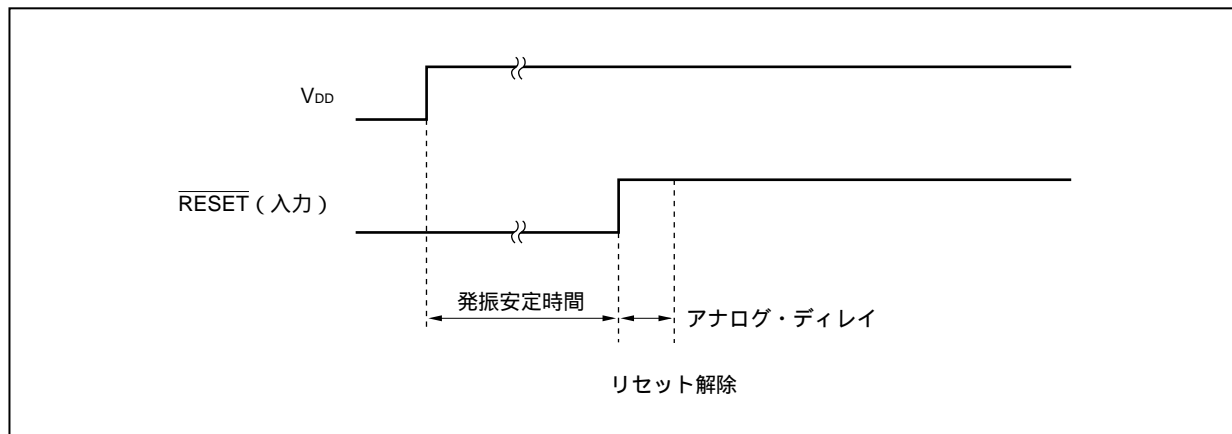
★

(1) リセット信号の受け付け



(2) パワーオン時のリセット

パワーオン（電源投入）時のリセット動作では、 \overline{RESET} 信号のロウ・レベル幅により、電源の立ち上がりからリセット受け付けまで発振安定時間を確保する必要があります。



14.3 イニシャライズ

各レジスタの内容はプログラム中で必要に応じてイニシャライズしてください。

CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値を表14 - 2に示します。

表14 - 2 CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 (1/3)

内蔵ハードウェア		レジスタ名	リセット後の初期値	
CPU	プログラム・レジスタ	汎用レジスタ (r0)	00000000H	
		汎用レジスタ (r1-r31)	不定	
		プログラム・カウンタ (PC)	00000000H	
	システム・レジスタ	割り込み時状態退避レジスタ (EIPC, EIPSW)	不定	
		NMI時状態退避レジスタ (FEPC, FEPSW)	不定	
		割り込み要因レジスタ (ECR)	00000000H	
		プログラム・ステータス・ワード (PSW)	00000020H	
		CALLT実行時状態退避レジスタ (CTPC, CTPSW)	不定	
		例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)	不定	
CALLTベース・ポインタ (CTBP)		不定		
内蔵RAM	-	不定		
内蔵周辺 I/O	ポート機能	ポート (P0-P2, P4, P7, PAL, PAH, PDL, PCS, PCT, PCM, PCD, PBD)	不定	
		モード・レジスタ (PM0-PM2, PM4, PMCS, PMCT, PMCM, PMCD, PMBD)	FFH	
		モード・レジスタ (PMAL, PMAH, PMDL)	FFFFH	
		モード・コントロール・レジスタ (PMC0, PMC1, PMC4, PMCBD)	00H	
		モード・コントロール・レジスタ (PMC2)	01H	
		モード・コントロール・レジスタ (PMCAL, PMCDL)	FFFFH	
		モード・コントロール・レジスタ (PMCAH)	01FFH	
		モード・コントロール・レジスタ (PMCCS)	99H	
		モード・コントロール・レジスタ (PMCCCT)	33H	
		モード・コントロール・レジスタ (PMCCM)	1FH	
		モード・コントロール・レジスタ (PMCCD)	0FH	
		ファンクション・コントロール・レジスタ (PFC0, PFC2, PFC4, PFCCD)	00H	
		タイマ / カウンタ機能	タイマCn (TMCn) (n = 0, 1)	0000H
			キャプチャ / コンペア・レジスタCn0, Cn1 (CCCn0, CCCn1) (n = 0, 1)	0000H
	タイマ・モード・コントロール・レジスタCn0 (TMCCn0) (n = 0, 1)		00H	
	タイマ・モード・コントロール・レジスタCn1 (TMCCn1) (n = 0, 1)		20H	
	タイマDn (TMDn) (n = 0-3)		0000H	
	コンペア・レジスタ (CMDn) (n = 0-3)		0000H	
	タイマ・モード・コントロール・レジスタDn (n = 0-3)		00H	
	シリアル・インタフェース機能	クロック同期式シリアル・インタフェース・モード・レジスタn (CSIMn) (n = 0, 1)	00H	
		クロック同期式シリアル・インタフェース・クロック選択レジスタn (CSICn) (n = 0, 1)	00H	
		クロック同期式シリアル・インタフェース送信パッファ・レジスタn (SOTBn) (n = 0, 1)	00H	
		シリアルI/Oシフト・レジスタn (SIOIn) (n = 0, 1)	00H	
		受信専用シリアルI/Oシフト・レジスタn (SIOEn) (n = 0, 1)	00H	

★

表14-2 CPU, 内蔵RAM, 内蔵周辺I/Oのリセット後の初期値 (2/3)

内蔵ハードウェア		レジスタ名	リセット後の初期値
内蔵周辺 I/O	シリアル・インタフェース機能	受信バッファ・レジスタn (RXBn) (n = 0, 1)	FFH
		送信バッファ・レジスタn (TXBn) (n = 0, 1)	FFH
		アシンクロナス・シリアル・インタフェース・モード・レジスタn (ASIMn) (n = 0, 1)	01H
		アシンクロナス・シリアル・インタフェース・ステータス・レジスタn (ASISn) (n = 0, 1)	00H
		アシンクロナス・シリアル・インタフェース送信ステータス・レジスタn (ASIFn) (n = 0, 1)	00H
		クロック選択レジスタn (CKSRn) (n = 0, 1)	00H
		ポーレート・ジェネレータ・コントロール・レジスタn (BRGCn) (n = 0, 1)	FFH
	A/Dコンバータ	A/Dコンバータ・モード・レジスタ0, 2 (ADM0, ADM2)	00H
		A/Dコンバータ・モード・レジスタ1 (ADM1)	07H
		A/D変換結果レジスタn (ADCRn) (10ビット) (n = 0-3)	0000H
		A/D変換結果レジスタnH (ADCRnH) (8ビット) (n = 0-3)	00H
	割り込み / 例外制御機能	インサービス・プライオリティ・レジスタ (ISPR)	00H
		外部割り込みモード・レジスタn (INTMn) (n = 0-2)	00H
		割り込みマスク・レジスタn (IMRn) (n = 0-3)	FFFFH
		有効エッジ選択レジスタCn (SESCn) (n = 0, 1)	00H
		割り込み制御レジスタ (OVIC00, OVIC01, P00IC0, P00IC1, P01IC0, P01IC1, P10IC0, P10IC1, P11IC0, CMICD0-CMICD3, DMAIC0-DMAIC3, CSIC0, CSIC1, SEIC0, SEIC1, SRIC0, SRIC1, STIC0, STIC1, ADIC)	47H
	メモリ制御機能	ページROMコンフィギュレーション・レジスタ (PRC)	7000H
		SDRAMコンフィギュレーション・レジスタn (SCRn) (n = 3, 4)	0000H
		SDRAM用リフレッシュ・コントロール・レジスタn (RFSn) (n = 3, 4)	0000H
	DMA機能	DMAアドレッシング・コントロール・レジスタn (DADCn) (n = 0-3)	0000H
		DMA転送カウント・レジスタn (DBCn) (n = 0-3)	不定
		DMAチャンネル・コントロール・レジスタn (DCHCn) (n = 0-3)	00H
		DMAデスティネーション・アドレス・レジスタnH (DDAnH) (n = 0-3)	不定
		DMAデスティネーション・アドレス・レジスタnL (DDAnL) (n = 0-3)	不定
		DMAディスエーブル・ステータス・レジスタ (DDIS)	00H
		DMAリスタート・レジスタ (DRST)	00H
		DMAソース・アドレス・レジスタnH (DSAnH) (n = 0-3)	不定
		DMAソース・アドレス・レジスタnL (DSAnL) (n = 0-3)	不定
		DMAターミナル・カウント出力コントロール・レジスタ (DTC)	01H
		DMAトリガ要因レジスタn (DTFRn) (n = 0-3)	00H
	バス制御機能	アドレス・セットアップ・ウエイト・コントロール・レジスタ (ASC)	FFFFH
		バス・サイクル・コントロール・レジスタ (BCC)	FFFFH
		バス・サイクル・タイプ・コンフィギュレーション・レジスタn (BCTn) (n = 0, 1)	8888H
		エンディアン・コンフィギュレーション・レジスタ (BEC)	0000H
		バス・サイズ・コンフィギュレーション・レジスタ (BSC)	0000H/5555H
		チップ・エリア選択コントロール・レジスタn (CSCn) (n = 0, 1)	2C11H
		データ・ウエイト・コントロール・レジスタn (DWCn) (n = 0, 1)	7777H
		コマンド・レジスタ (PRCMD)	不定
	パワー・セーブ制御機能	パワー・セーブ・コントロール・レジスタ (PSC)	00H
		クロック・コントロール・レジスタ (CKC)	00H
		パワー・セーブ・モード・レジスタ (PSMR)	00H

★

表14 - 2 CPU , 内蔵RAM , 内蔵周辺I/Oのリセット後の初期値 (3/3)

内蔵ハードウェア		レジスタ名	リセット後の初期値
内蔵周辺 I/O	システム・コントロール	ペリフェラル・コマンド・レジスタ (PHCMD)	不定
		ペリフェラル・ステータス・レジスタ (PHS)	00H
		システム・ウェイト・コントロール・レジスタ (VSWC)	77H
		ロック・レジスタ (LOCKR)	0xH

注意 上記の表における“不定”とは、パワーオン・リセット時の不定、または $\overline{\text{RESET}}$ 入力とデータ書き込みタイミングが同期したときのデータ破壊による不定を意味し、これ以外の $\overline{\text{RESET}}$ ではデータは直前の状態に保持されます。

第15章 電気的特性

絶対最大定格 (TA = 25 °C)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	V _{DD} 端子	- 0.5 ~ + 4.6	V
	CV _{DD}	CV _{DD} 端子	- 0.5 ~ + 4.6	V
	CV _{SS}	CV _{SS} 端子	- 0.5 ~ + 0.5	V
	AV _{DD}	AV _{DD} 端子	- 0.5 ~ + 4.6	V
	AV _{SS}	AV _{SS} 端子	- 0.5 ~ + 0.5	V
入力電圧	V _I	X1端子を除く, V _I < V _{DD} + 3.0 V	- 0.5 ~ V _{DD} + 0.5	V
クロック入力電圧	V _K	X1, V _{DD} = 3.3 V ± 0.3 V	- 0.5 ~ V _{DD} + 1.0	V
ロウ・レベル出力電流	I _{OL}	1端子	4.0	mA
		全端子合計	100	mA
ハイ・レベル出力電流	I _{OH}	1端子	- 4.0	mA
		全端子合計	- 100	mA
出力電圧	V _O	V _{DD} = 3.3 V ± 0.3 V	- 0.5 ~ V _{DD} + 0.5	V
アナログ入力電圧	V _{WASN}	ANI0-ANI3, V _{DD} = 3.3 V ± 0.3 V, AV _{DD} < V _{DD} + 0.5 V	- 0.3 ~ AV _{DD} + 0.3	V
動作周囲温度	T _A		- 40 ~ + 85	
保存温度	T _{stg}		- 60 ~ + 150	

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

容量 (TA = 25 , V_{DD} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _I	f _c = 1 MHz			15	pF
入出力容量	C _{IO}	被測定ピン以外は0 V			15	pF
出力容量	C _O				15	pF

動作条件

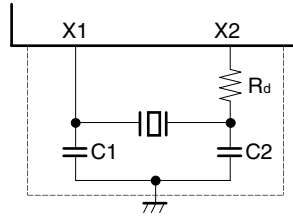
動作モード	内部動作クロック周波数 (f _{xx})	動作周囲温度 (T _A)	電源電圧 (V _{DD})
ダイレクト・モード	4 ~ 20 MHz	- 40 ~ + 85	V _{DD} = 3.3 V ± 0.3 V
PLLモード ^注	4 ~ 40 MHz	- 40 ~ + 85	V _{DD} = 3.3 V ± 0.3 V

- ★ 注 PLLモード時に使用する入力クロック周波数 (f_x) は、4.0 ~ 6.6 MHzにしてください。ただし、4.0 MHzより高い周波数を入力する場合は、必ずクロック・コントロール・レジスタ (CKC) のCKDIV2-CKDIV0ビット = 111 (10 × f_x) 以外を設定してください。

推奨発振回路

(a) セラミック発振子

(i) 京セラ (TA = -20 ~ +80)



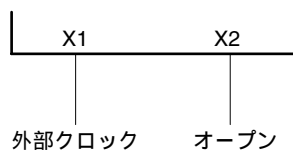
タイプ	品名	発振周波数 fx (MHz)	推奨回路定数			発振電圧範囲		発振安定時間(MAX.) Tost(ms)
			C1(pF)	C2(pF)	Rd(k)	MIN.(V)	MAX.(V)	
表面実装	PBRC4.00HR	4.0	内蔵	内蔵	0	3.0	3.6	0.34
	PBRC5.00HR ^注	5.0	内蔵	内蔵	0	3.0	3.6	0.27
	PBRC6.00HR ^注	6.0	内蔵	内蔵	0	3.0	3.6	0.33
リード	KBR-4.0MKC	4.0	内蔵	内蔵	0	3.0	3.6	0.34
	KBR-5.0MKC ^注	5.0	内蔵	内蔵	0	3.0	3.6	0.27
	KBR-6.0MKC ^注	6.0	内蔵	内蔵	0	3.0	3.6	0.33

注 10進倍以外の設定で使用してください。

注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。

2. 破線の範囲にほかの信号線を通さないでください。
3. μ PD703108と発振子のマッチングについては、十分に評価してください。
4. 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、 μ PD703108の内部動作条件についてはDC, AC特性の規格内で使用してください。

(b) 外部クロック入力 (TA = -40 ~ +85)



DC特性 (TA = -40 ~ +85 , VDD = 3.3 V ± 0.3 V , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH	注1を除く	2.0		VDD + 0.3	V	
		注1	0.75 VDD		VDD + 0.3	V	
ロウ・レベル入力電圧	VIL	注1を除く	- 0.5		0.8	V	
		注1	- 0.5		0.2 VDD	V	
ハイ・レベル・クロック入力電圧	VXH	X1端子					
		ダイレクト・モード	0.8 VDD		VDD + 0.3	V	
ロウ・レベル・クロック入力電圧	VXL	X1端子					
		ダイレクト・モード	- 0.5		0.15 VDD	V	
シュミット・トリガ入力スレッシュ ホールド電圧	Vr+	注1, 立ち上がり		2.0		V	
	Vr-	注1, 立ち下がり		1.0		V	
シュミット・トリガ入力 ヒステリシス幅	Vr+ - Vr-	注1	0.3			V	
ハイ・レベル出力電圧	VOH	IOH = - 2.5 mA	0.8 VDD			V	
		IOH = - 100 μA	VDD - 0.4			V	
ロウ・レベル出力電圧	VOL	IOL = 2.5 mA			0.45	V	
ハイ・レベル入力カリーク電流	IIH	VI = VDD, 注2を除く			10	μA	
ロウ・レベル入力カリーク電流	IIL	VI = 0 V, 注2を除く			- 10	μA	
ハイ・レベル出力カリーク電流	ILOH	VO = VDD			10	μA	
ロウ・レベル出力カリーク電流	ILOL	VO = 0 V			- 10	μA	
アナログ端子入力カリーク電流	ILWASN	注2			± 10	μA	
電源電流	通常時	IDD1	ダイレクト・モード		2.4 × fxx + 30	3.6 × fxx + 45	mA
			PLLモード		2.4 × fxx + 30	3.6 × fxx + 45	mA
	HALT時	IDD2	ダイレクト・モード		1.2 × fxx + 20	1.8 × fxx + 30	mA
			PLLモード		1.2 × fxx + 20	1.8 × fxx + 30	mA
	IDLE時	IDD3	ダイレクト・モード		10	30	mA
			PLLモード		10	30	mA
STOP時	IDD4			10	200	μA	

注1. P01/TI000/INTP000, P02/INTP001, P04/DMARQ0/INTP100, P05/DMARQ1/INTP101, P11/TI010/INTP010, P12/INTP011, P24/TC0/INTP110, P41/RXD0/SI0, P42/SCK0, P44/RXD1/SI1, P45/SCK1, MODE0-MODE2, RESET

2. P70/ANI0-P73/ANI3

備考1. TYP.値は, TA = 25 , VDD = 3.3 V時の参考値です。電流にはプルアップ抵抗に流れる電流は含みません。

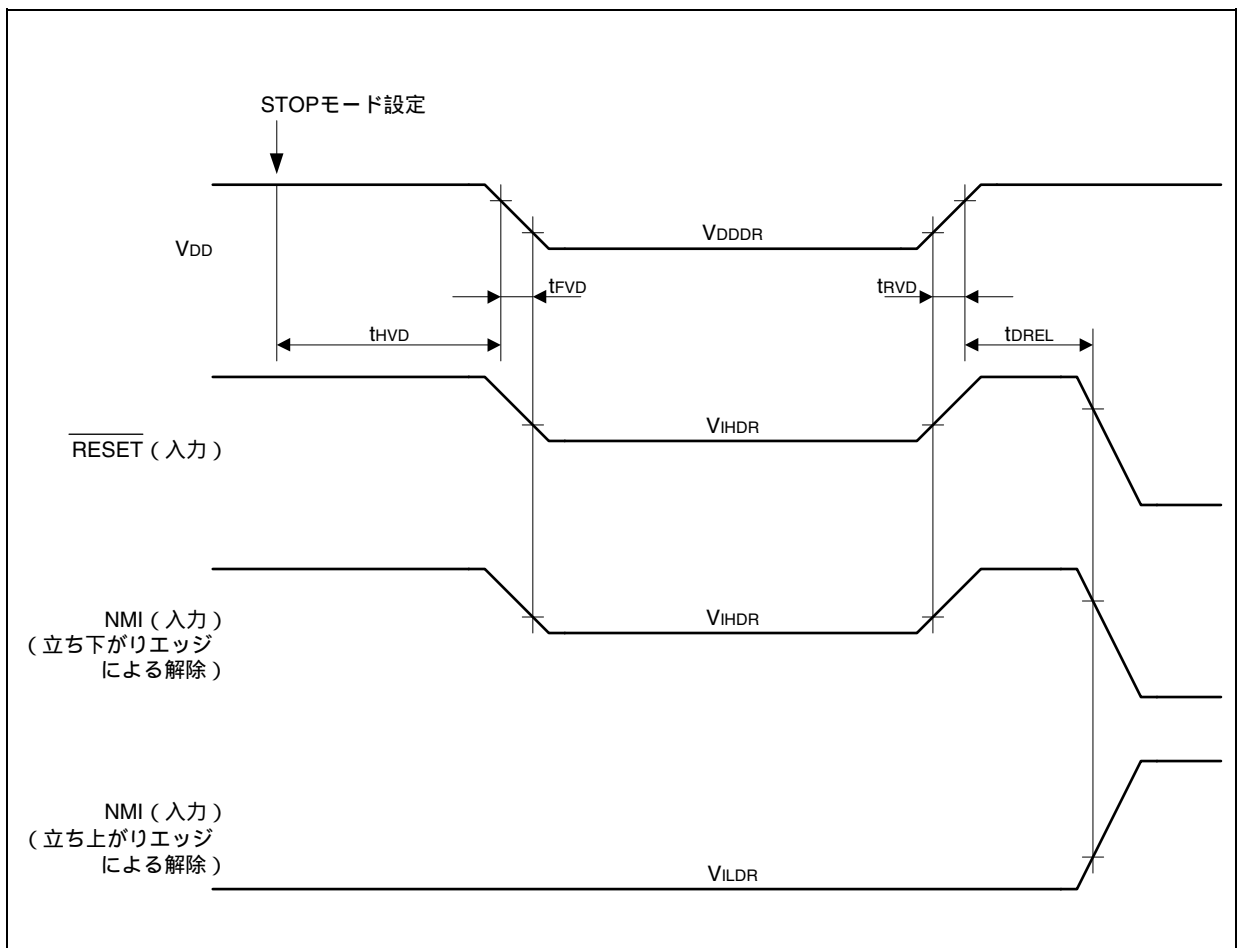
2. fxx : CPU動作周波数

データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V _{DDDR}	STOPモード, V _{DD} = V _{DDDR}	1.5		3.6	V
データ保持電流	I _{DDDR}	V _{DD} = V _{DDDR}		10	200	μA
電源電圧立ち上がり時間	t _{rVD}		200			μs
電源電圧立ち下がり時間	t _{fVD}		200			μs
電源電圧保持時間 (対STOPモード設定)	t _{HVD}		0			ms
STOP解除信号入力時間	t _{DREL}		0			ns
データ保持ハイ・レベル入力電圧	V _{IHDR}	注	0.8 V _{DDDR}		V _{DDDR}	V
データ保持ロウ・レベル入力電圧	V _{ILDR}	注	-0.5		0.2 V _{DDDR}	V

注 P01/TI000/INTP000, P02/INTP001, P04/D $\overline{\text{MARQ0}}$ /INTP100, P05/D $\overline{\text{MARQ1}}$ /INTP101, P11/TI010/INTP010, P12/INTP011, P24/T $\overline{\text{C0}}$ /INTP110, P41/RXD0/SI0, P42/SCK0, P44/RXD1/SI1, P45/SCK1, MODE0-MODE2, $\overline{\text{RESET}}$

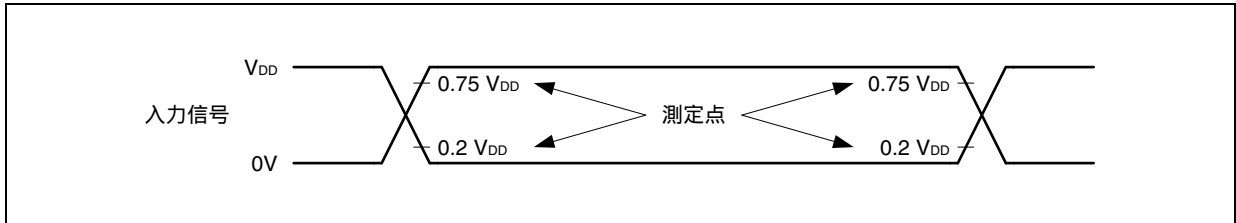
備考 TYP.値は, TA = 25 の参考値です。



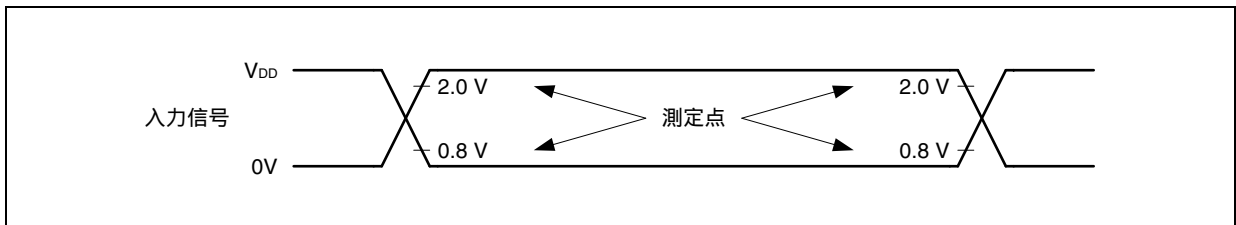
AC特性 ($T_A = -40 \sim +85$, $V_{DD} = 3.3 \text{ V} \pm 0.3 \text{ V}$, $V_{SS} = 0 \text{ V}$, 出力端子の負荷容量 : $C_L = 50 \text{ pF}$)

ACテスト入力測定点

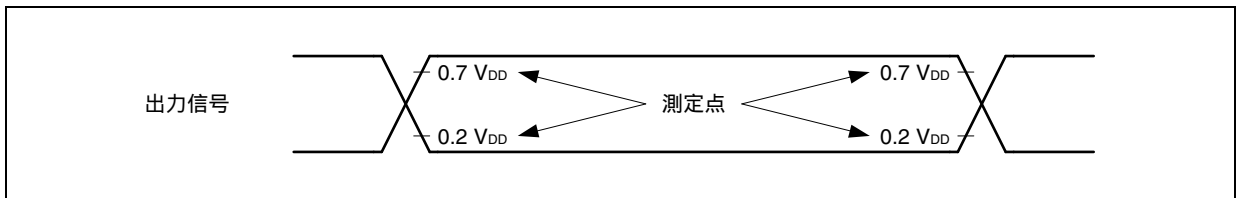
(a) P01/TI000/INTP000, P02/INTP001, P04/DMARQ0/INTP100, P05/DMARQ1/INTP101, P11/TI010/INTP010, P12/INTP011, P24/TC0/INTP110, P41/RXD0/SI0, P42/SCK0, P44/RXD1/SI1, P45/SCK1, MODE0-MODE2, RESET



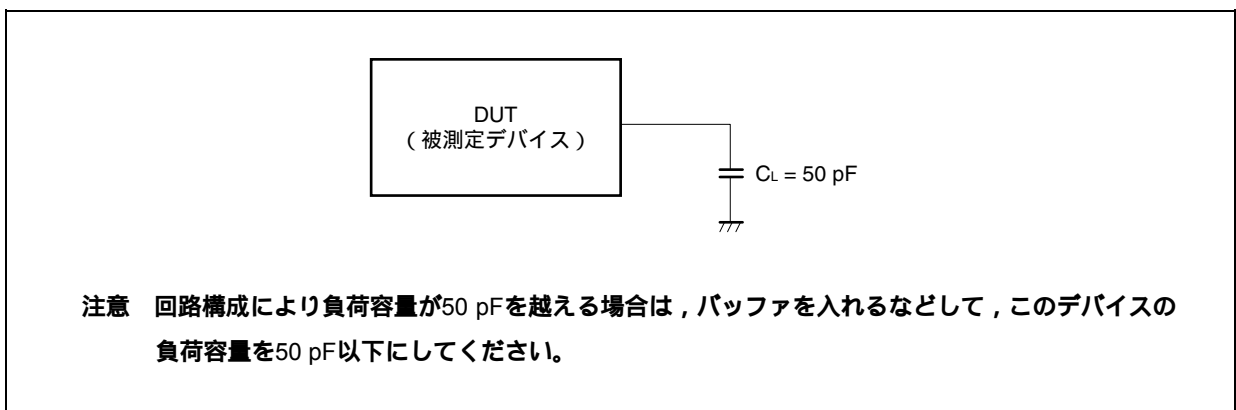
(b) 上記 (a) 以外



ACテスト出力測定点



負荷条件



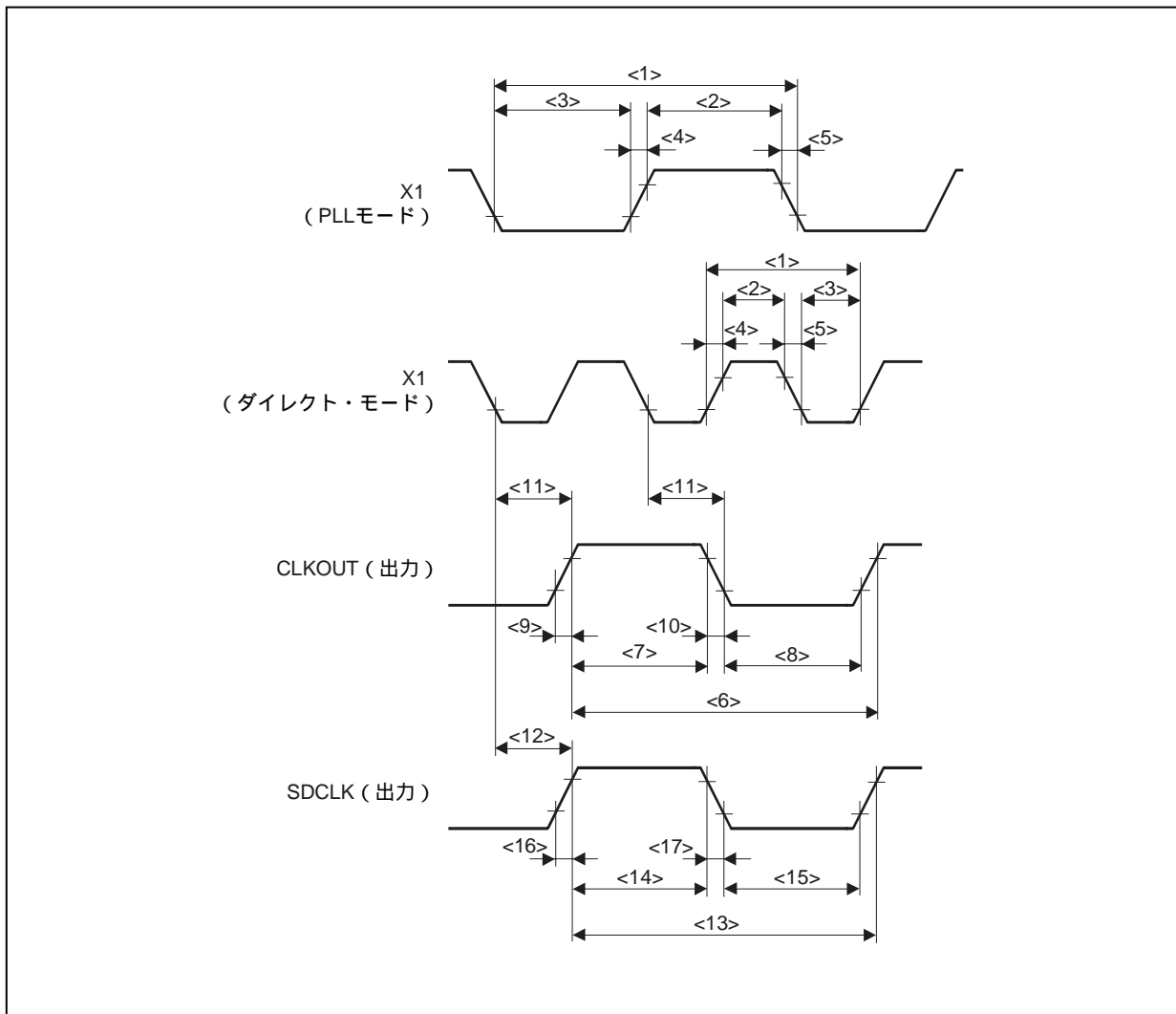
(1) クロック・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位		
X1入力周期	<1>	t _{CYX}	ダイレクト・モード時	25	125	ns	
			PLLモード時	10逡倍時	250	250	ns
				10逡倍以外	150	250	ns
X1入力ハイ・レベル幅	<2>	t _{WXH}	ダイレクト・モード時	5		ns	
			PLLモード時	50		ns	
X1入力ロウ・レベル幅	<3>	t _{WXL}	ダイレクト・モード時	5		ns	
			PLLモード時	50		ns	
X1入力立ち上がり時間	<4>	t _{XR}	ダイレクト・モード時		4	ns	
			PLLモード時		10	ns	
X1入力立ち下がり時間	<5>	t _{XF}	ダイレクト・モード時		4	ns	
			PLLモード時		10	ns	
CLKOUT出力周期	<6>	t _{CYK1}	25	250	ns		
CLKOUTハイ・レベル幅	<7>	t _{WKH1}	0.5T - 5		ns		
CLKOUTロウ・レベル幅	<8>	t _{WKL1}	0.5T - 6		ns		
CLKOUT立ち上がり時間	<9>	t _{KR1}		5	ns		
CLKOUT立ち下がり時間	<10>	t _{KF1}		4	ns		
X1 CLKOUT遅延時間	<11>	t _{DKX}		40	ns		
X1 SDCLK遅延時間	<12>	t _{DSX}		40	ns		
SDCLK出力周期	<13>	t _{CYK2}	25	250	ns		
SDCLKハイ・レベル幅	<14>	t _{WKH2}	0.5T - 5		ns		
SDCLKロウ・レベル幅	<15>	t _{WKL2}	0.5T - 6		ns		
SDCLK立ち上がり時間	<16>	t _{KR2}		5	ns		
SDCLK立ち下がり時間	<17>	t _{KF2}		4	ns		

備考1. T = t_{CYK1}

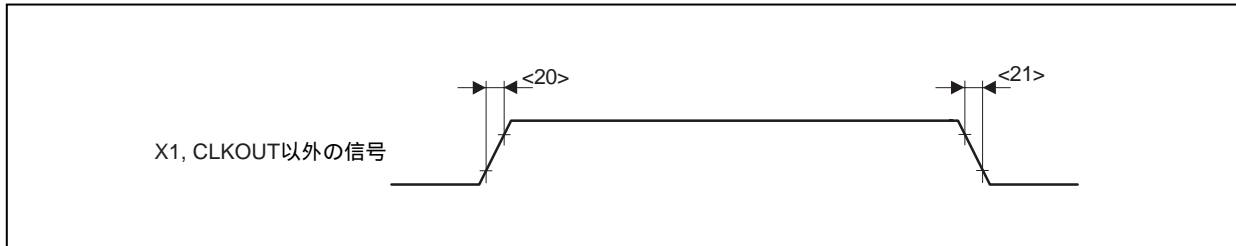
2. CLKOUTとSDCLK間の位相差は規定できません。

(1) クロック・タイミング (2/2)



(2) 出力波形 (X1, CLKOUT以外)

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	<20> t _{OR}			5	ns
出力立ち下がり時間	<21> t _{OF}			4	ns

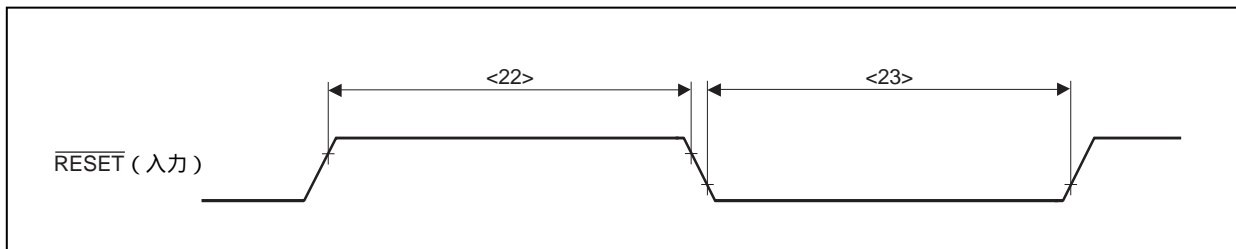


(3) リセット・タイミング

項目	略号	条件	MIN.	MAX.	単位
RESET端子ハイ・レベル幅	<22> t _{WRSH}		500		ns
RESET端子ロウ・レベル幅	<23> t _{WRSL}	電源オン時, STOPモード解除時	500 + T _{OS}		ns
		電源オン時, STOPモード解除時を除く	500		ns

備考 T_{OS} : 発振安定時間

注意 発振安定時間については,十分に評価してください。



(4) SRAM, 外部ROM, 外部I/Oアクセス・タイミング

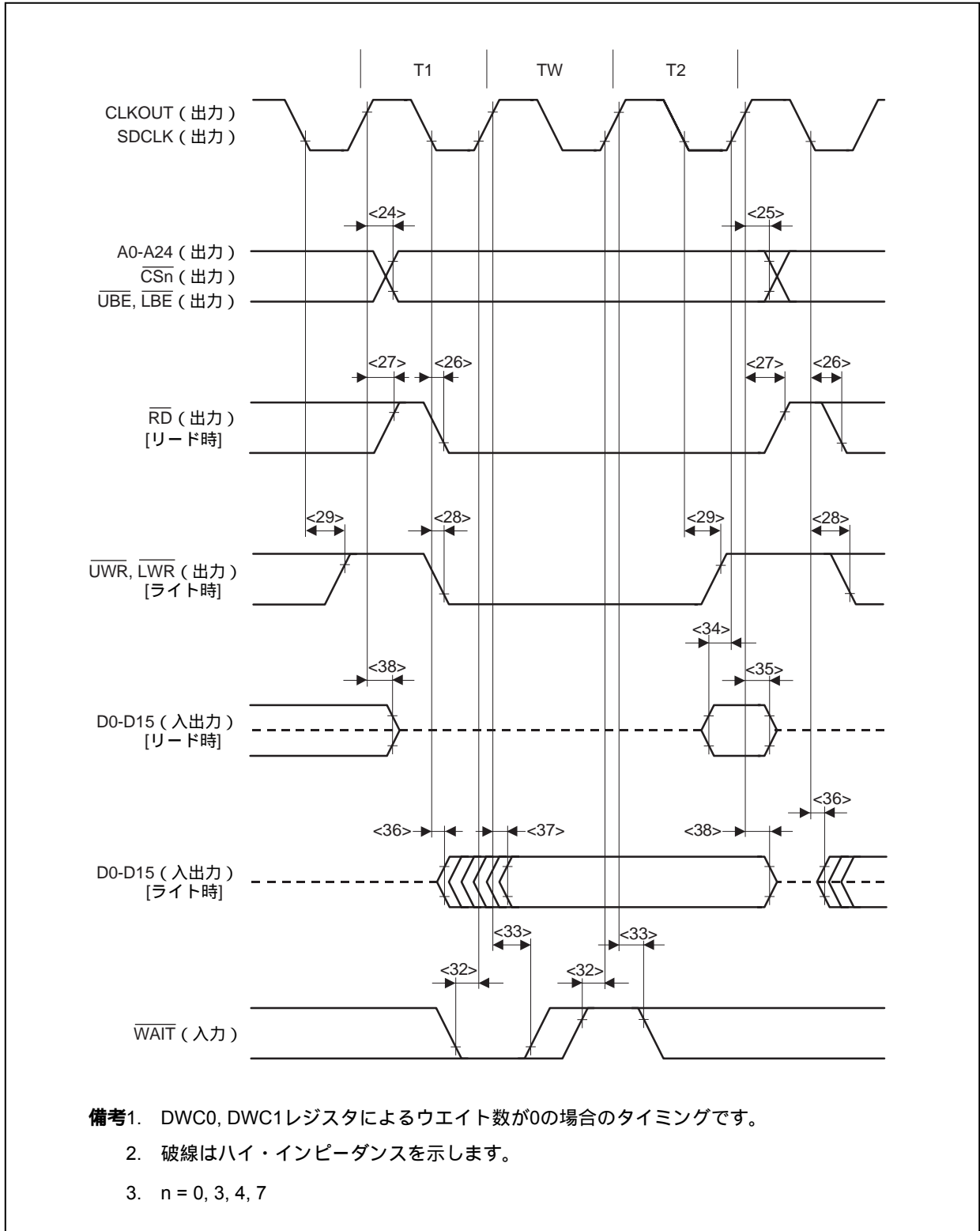
(a) アクセス・タイミング (SRAM, 外部ROM, 外部I/O) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス, \overline{CSn} 出力遅延時間 (対CLKOUT)	<24> t_{DKA1}		2	15	ns
アドレス, \overline{CSn} 出力遅延時間 (対SDCLK)			0	15	ns
アドレス, \overline{CSn} 出力保持時間 (対CLKOUT)	<25> t_{HKA}		2	13	ns
アドレス, \overline{CSn} 出力保持時間 (対SDCLK)			0	13	ns
RD, \overline{IORD} 遅延時間 (対CLKOUT)	<26> t_{DKRDL}		2	13	ns
RD, \overline{IORD} 遅延時間 (対SDCLK)			0	13	ns
RD, \overline{IORD} 遅延時間 (対CLKOUT)	<27> t_{HKRDH}		2	13	ns
RD, \overline{IORD} 遅延時間 (対SDCLK)			0	13	ns
UWR, LWR, \overline{IOWR} 遅延時間 (対CLKOUT)	<28> t_{DKWRL}		2	13	ns
UWR, LWR, \overline{IOWR} 遅延時間 (対SDCLK)			0	13	ns
UWR, LWR, \overline{IOWR} 遅延時間 (対CLKOUT)	<29> t_{HKWRH}		2	13	ns
UWR, LWR, \overline{IOWR} 遅延時間 (対SDCLK)			0	13	ns
WAIT設定時間 (対CLKOUT)	<32> t_{SWK}		8		ns
WAIT設定時間 (対SDCLK)			10		ns
WAIT保持時間 (対CLKOUT)	<33> t_{HKW}		2		ns
WAIT保持時間 (対SDCLK)			2		ns
データ入力設定時間 (対CLKOUT)	<34> t_{SKID}		8		ns
データ入力設定時間 (対SDCLK)			10		ns
データ入力保持時間 (対CLKOUT)	<35> t_{HKID}		2		ns
データ入力保持時間 (対SDCLK)			2		ns
データ出力遅延時間 (対CLKOUT)	<36> t_{DKOD1}		2	13	ns
データ出力遅延時間 (対SDCLK)			0	13	ns
データ出力遅延時間 (対CLKOUT)	<37> t_{DKOD2}		2	15	ns
データ出力遅延時間 (対SDCLK)			0	15	ns
データ・フロート遅延時間 (対CLKOUT)	<38> t_{HKOD}		2	13	ns
データ・フロート遅延時間 (対SDCLK)			0	13	ns

備考1. データ入力保持時間 t_{HRDID} , t_{HKID} は、少なくともどちらか1つを守ってください。

2. $n = 0, 3, 4, 7$

(a) アクセス・タイミング (SRAM, 外部ROM, 外部I/O) (2/2)



(b) リード・タイミング (SRAM, 外部ROM, 外部I/O) (1/2)

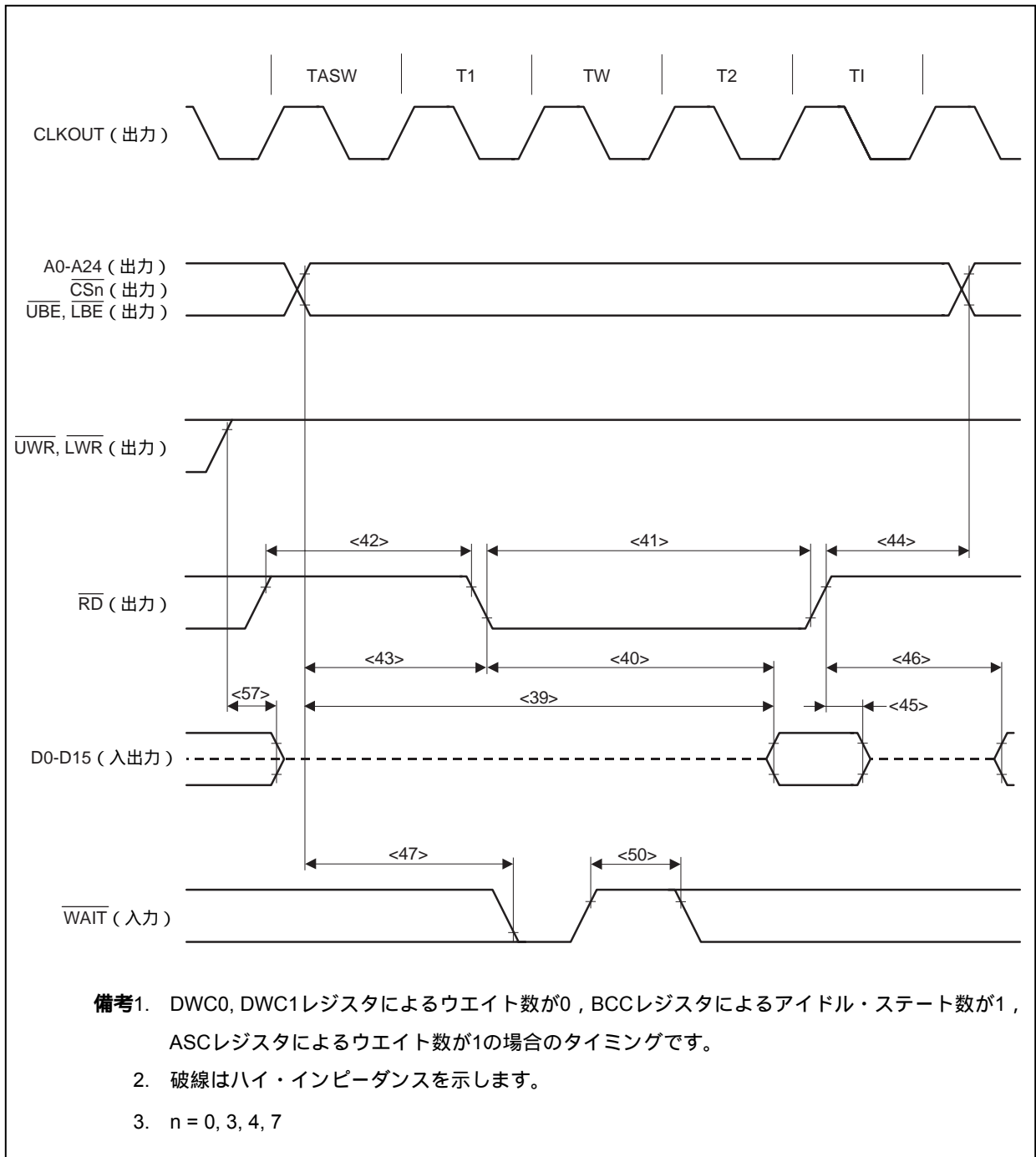
項目	略号	条件	MIN.	MAX.	単位
データ入力設定時間 (対アドレス)	<39>	tSAID		$(2 + w + w_D + w_{AS})T - 19$	ns
データ入力設定時間 (対RD)	<40>	tSRDID		$(1.5 + w + w_D)T - 19$	ns
RDロウ・レベル幅	<41>	tWRDL	$(1.5 + w + w_D)T - 10$		ns
RDハイ・レベル幅	<42>	tWRDH	$(0.5 + w_{AS} + i)T - 10$		ns
アドレス, \overline{CS}_n RD 遅延時間	<43>	tDARD	$(0.5 + w_{AS})T - 10$		ns
RD アドレス遅延時間	<44>	tDRDA	iT		ns
データ入力保持時間 (対RD)	<45>	tHRDID	0		ns
RD データ出力遅延時間	<46>	tDRDOD	$(0.5 + i)T - 10$		ns
WAIT設定時間 (対アドレス)	<47>	tSAW	注	$(1 + w_{AS})T - 21$	ns
WAITハイ・レベル幅	<50>	tWWH	T - 10		ns
データ出力保持時間 (対UWR, LWR)	<57>	tHWROD	$(0.5 + i)T - 8$		ns

注 DWC0, DWC1レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考1. $T = t_{CYK1}$

2. w : WAITによるウェイト数
3. w_D : DWC0, DWC1レジスタによるウェイト数
4. データ入力保持時間 t_{HRDID} , t_{HKID} は, 少なくともどちらか1つを守ってください。
5. $n = 0, 3, 4, 7$
6. i : アイドル・ステート数
7. w_{AS} : ASCレジスタによるアドレス・セットアップ・ウェイト数

(b) リード・タイミング (SRAM, 外部ROM, 外部I/O) (2/2)



(c) ライト・タイミング (SRAM, 外部ROM, 外部I/O) (1/2)

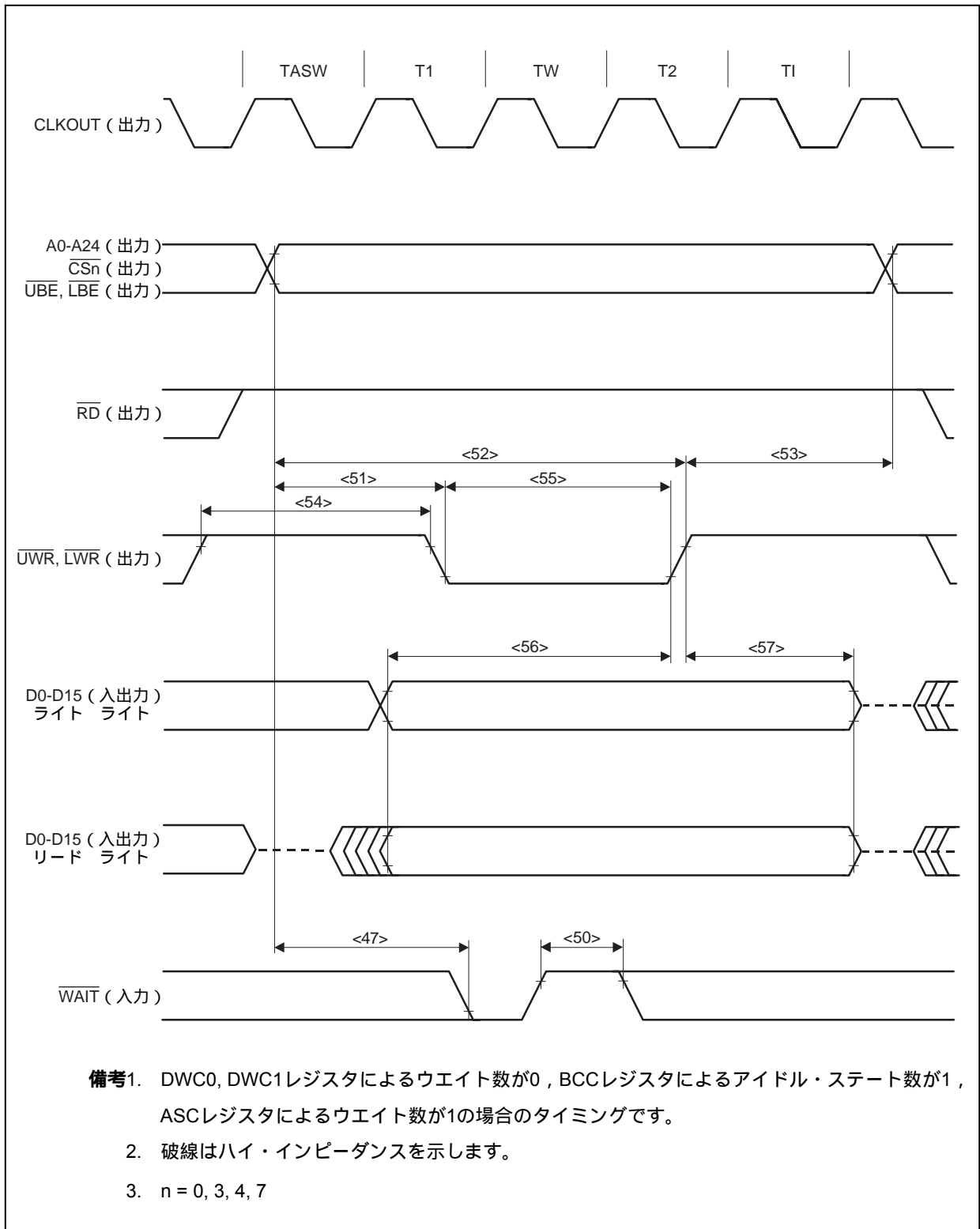
項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間 (対アドレス)	<47>	t _{SAW}	注	$(1 + w_{AS})T - 21$	ns
WAITハイ・レベル幅	<50>	t _{WWH}		T - 10	ns
アドレス, \overline{CSn} , \overline{UWR} , \overline{LWR} 遅延時間	<51>	t _{DAWR}		$(0.5 + w_{AS})T - 10$	ns
アドレス設定時間 (対 \overline{UWR} , \overline{LWR})	<52>	t _{SAWR}		$(1.5 + w + w_D + w_{AS})T - 10$	ns
\overline{UWR} , \overline{LWR} アドレス遅延時間	<53>	t _{DWRA}		$(0.5 + i)T - 10$	ns
\overline{UWR} , \overline{LWR} ハイ・レベル幅	<54>	t _{WWRH}		$(0.5 + i + w_{AS})T - 10$	ns
\overline{UWR} , \overline{LWR} ロウ・レベル幅	<55>	t _{WWRL}		$(1 + w + w_D)T - 10$	ns
データ出力設定時間 (対 \overline{UWR} , \overline{LWR})	<56>	t _{SODWR}		$(0.5 + w + w_D)T - 10$	ns
データ出力保持時間 (対 \overline{UWR} , \overline{LWR})	<57>	t _{HWROD}		$(0.5 + i)T - 8$	ns

注 DWC0, DWC1レジスタによるウェイト数が0のときの, 最初のWAITサンプリング時。

備考1. $T = t_{CYK1}$

2. w : WAITによるウェイト数
3. w_D : DWC0, DWC1レジスタによるウェイト数
4. n = 0, 3, 4, 7
5. i : アイドル・ステート数
6. w_{AS} : ASCレジスタによるアドレス・セットアップ・ウェイト数

(c) ライト・タイミング (SRAM, 外部ROM, 外部I/O) (2/2)



(5) ページROMアクセス・タイミング

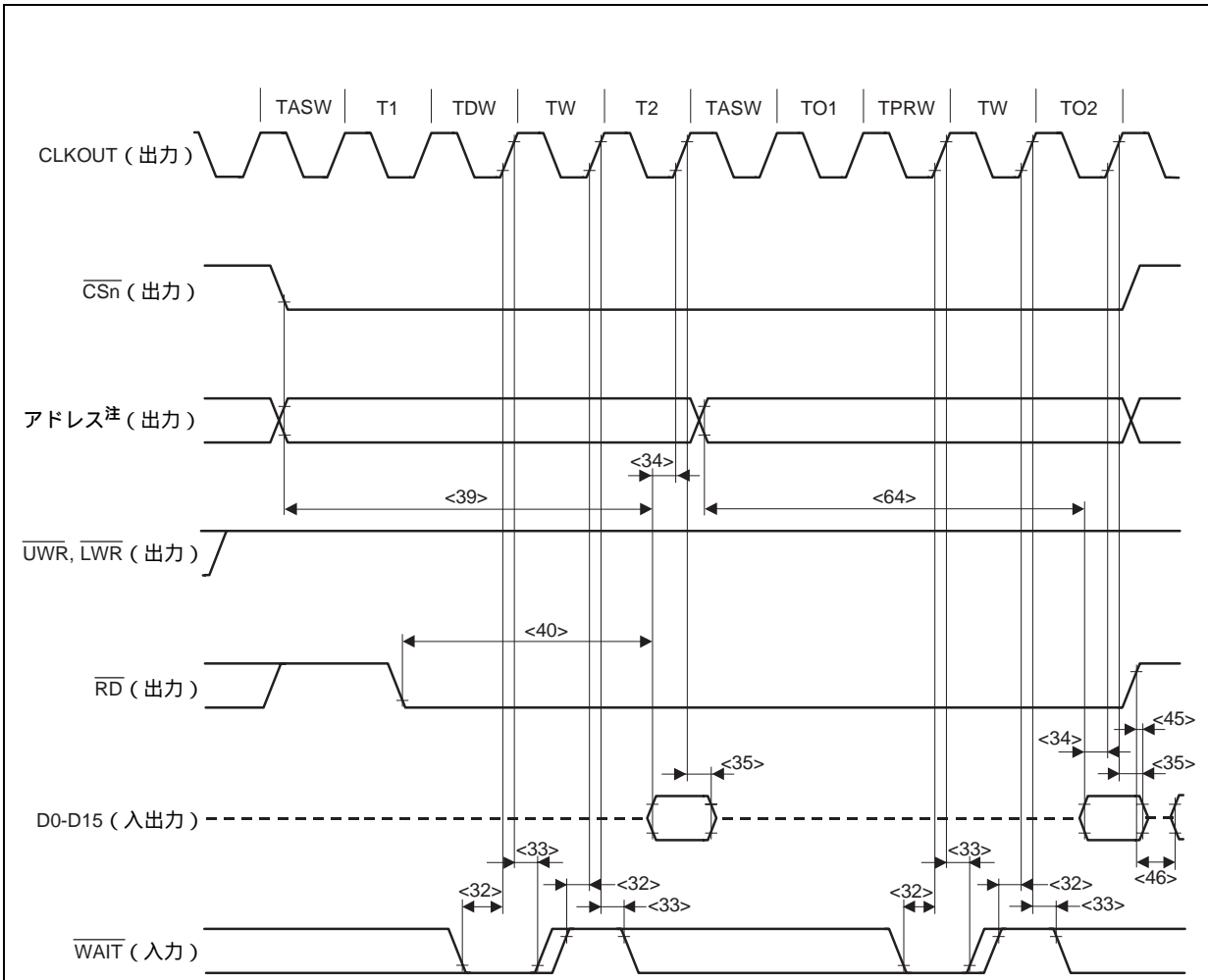
(a) 8ビット・バス幅(ハーフワード/ワード・アクセス時), 16ビット・バス幅(ワード・アクセス時) (1/2)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間(対CLKOUT)	<32> t _{SWK}		8		ns
WAIT保持時間(対CLKOUT)	<33> t _{HKW}		0		ns
データ入力設定時間 (対CLKOUT)	<34> t _{SKID}		8		ns
データ入力保持時間 (対CLKOUT)	<35> t _{HKID}		0		ns
オフページ・データ入力設定時間 (対アドレス)	<39> t _{SAID}			$(2 + w + w_D + w_{AS})T - 21$	ns
オフページ・データ入力設定時間 (対RD)	<40> t _{SRDID}			$(1.5 + w + w_D)T - 21$	ns
データ入力保持時間(対RD)	<45> t _{HRDID}		0		ns
RD データ出力遅延時間	<46> t _{DRDOD}		$(0.5 + i)T - 10$		ns
オンページ・データ入力設定時間 (対アドレス)	<64> t _{SOAID}			$(2 + w + w_{PR} + w_{AS})T - 21$	ns

備考1. $T = t_{CYK1}$

2. w : WAITによるウェイト数
3. w_D : DWC0, DWC1レジスタによるウェイト数
4. w_{PR} : PRCレジスタによるウェイト数
5. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
6. w_{AS} : ASCレジスタによるアドレス・セットアップ・ウェイト数
7. データ入力保持時間 t_{HKID} , t_{HRDID} は, 少なくともどちらか1つを守ってください。

(a) 8ビット・バス幅(ハーフワード/ワード・アクセス時), 16ビット・バス幅(ワード・アクセス時) (2/2)



注 オンページ・アドレス, オフページ・アドレスを次に示します。

PRCレジスタ				オンページ・アドレス	オフページ・アドレス
MA6	MA5	MA4	MA3		
0	0	0	0	A0-A2	A3-A24
0	0	0	1	A0-A3	A4-A24
0	0	1	1	A0-A4	A5-A24
0	1	1	1	A0-A5	A6-A24
1	1	1	1	A0-A6	A7-A24

備考1. 次の場合のタイミングです。

DWC0, DWC1レジスタによるウェイト数 (TDW) : 1

PRCレジスタによるウェイト数 (TPRW) : 1

ASCレジスタによるウェイト数 (TASW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 0, 3, 4, 7

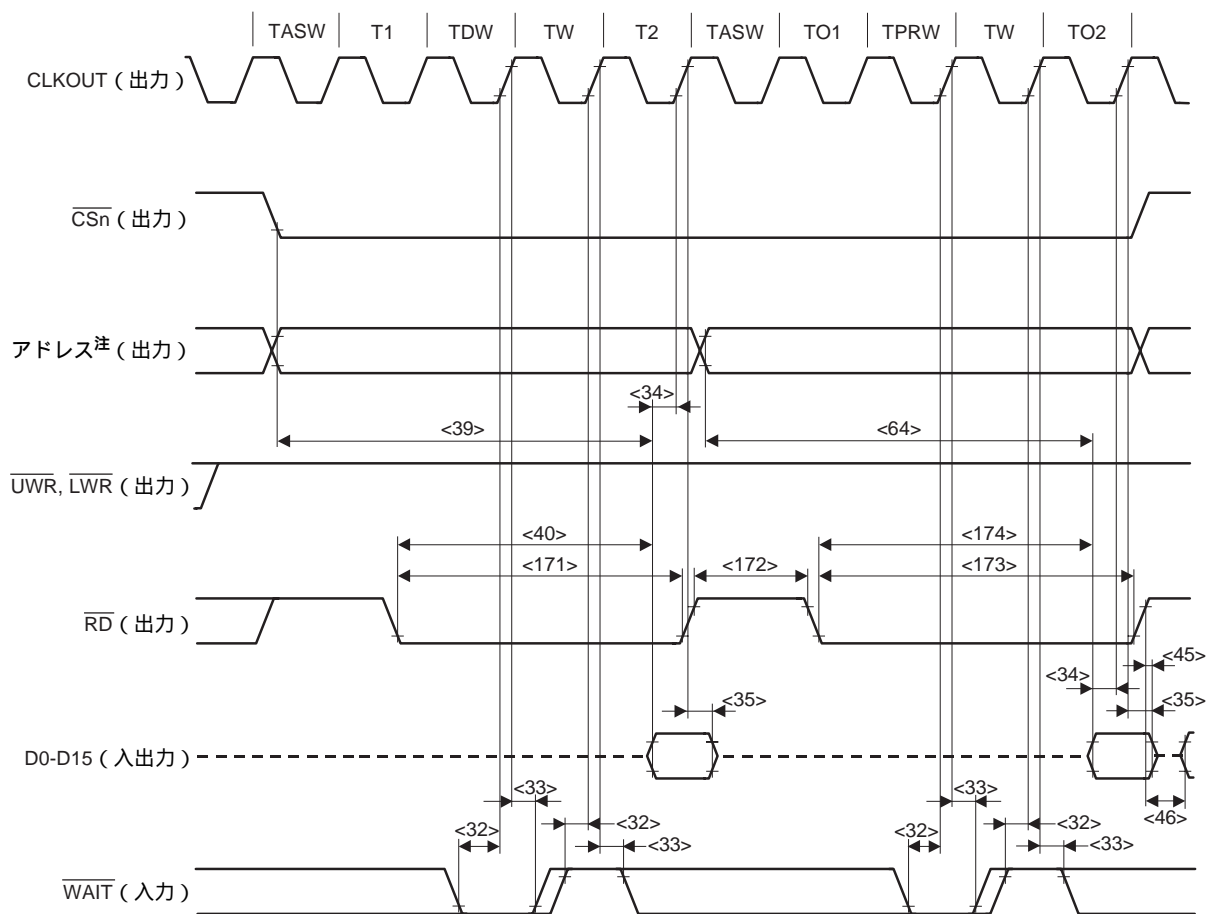
(b) 8ビット・バス幅(バイト・アクセス時), 16ビット・バス幅(バイト/ハーフワード・アクセス時) (1/2)

項目	略号	条件	MIN.	MAX.	単位
WAIT設定時間(対CLKOUT)	<32>	t _{SWK}	8		ns
WAIT保持時間(対CLKOUT)	<33>	t _{HKW}	0		ns
データ入力設定時間 (対CLKOUT)	<34>	t _{SKID}	8		ns
データ入力保持時間 (対CLKOUT)	<35>	t _{HKID}	0		ns
オフページ・データ入力設定時間 (対アドレス)	<39>	t _{SAID}		(2 + w + w _D + w _{AS})T - 21	ns
オフページ・データ入力設定時間 (対 \overline{RD})	<40>	t _{SRDID}		(1.5 + w + w _D)T - 21	ns
オフページ \overline{RD} ロウ・レベル幅	<171>	t _{WRDL}	(1.5 + w + w _D)T - 10		ns
\overline{RD} ハイ・レベル幅	<172>	t _{WRDH}	(0.5 + w _{AS})T - 10		ns
データ入力保持時間(対 \overline{RD})	<45>	t _{HRDID}	0		ns
\overline{RD} データ出力遅延時間	<46>	t _{DRDOD}	(0.5 + i)T - 10		ns
オンページ \overline{RD} ロウ・レベル幅	<173>	t _{WORDL}	(1.5 + w + w _{PR})T - 10		ns
オンページ・データ入力設定時間 (対アドレス)	<64>	t _{SOAID}		(2 + w + w _{PR} + w _{AS})T - 21	ns
オンページ・データ入力設定時間 (対 \overline{RD})	<174>	t _{SORDID}		(1.5 + w + w _{PR})T - 21	ns

備考1. T = t_{CYK1}

2. w : WAITによるウェイト数
3. w_D : DWC0, DWC1レジスタによるウェイト数
4. w_{PR} : PRCレジスタによるウェイト数
5. i : リード・サイクル後にライト・サイクルが続くときに挿入されるアイドル・ステート数
6. w_{AS} : ASCレジスタによるアドレス・セットアップ・ウェイト数
7. データ入力保持時間t_{HKID}, t_{HRDID}は, 少なくともどちらか1つを守ってください。

(b) 8ビット・バス幅 (バイト・アクセス時) , 16ビット・バス幅 (バイト/ハーフワード・アクセス時) (2/2)



注 オンページ・アドレス, オフページ・アドレスを次に示します。

PRCレジスタ				オンページ・ アドレス	オフページ・ アドレス
MA6	MA5	MA4	MA3		
0	0	0	0	A0-A2	A3-A24
0	0	0	1	A0-A3	A4-A24
0	0	1	1	A0-A4	A5-A24
0	1	1	1	A0-A5	A6-A24
1	1	1	1	A0-A6	A7-A24

備考1. 次の場合のタイミングです。

DWC0, DWC1レジスタによるウェイト数 (TDW) : 1

PRCレジスタによるウェイト数 (TPRW) : 1

ASCレジスタによるウェイト数 (TASW) : 1

2. 破線はハイ・インピーダンスを示します。

3. n = 0, 3, 4, 7

(6) SDRAMアクセス・タイミング

(a) リード・タイミング (SDRAMアクセス) (1/2)

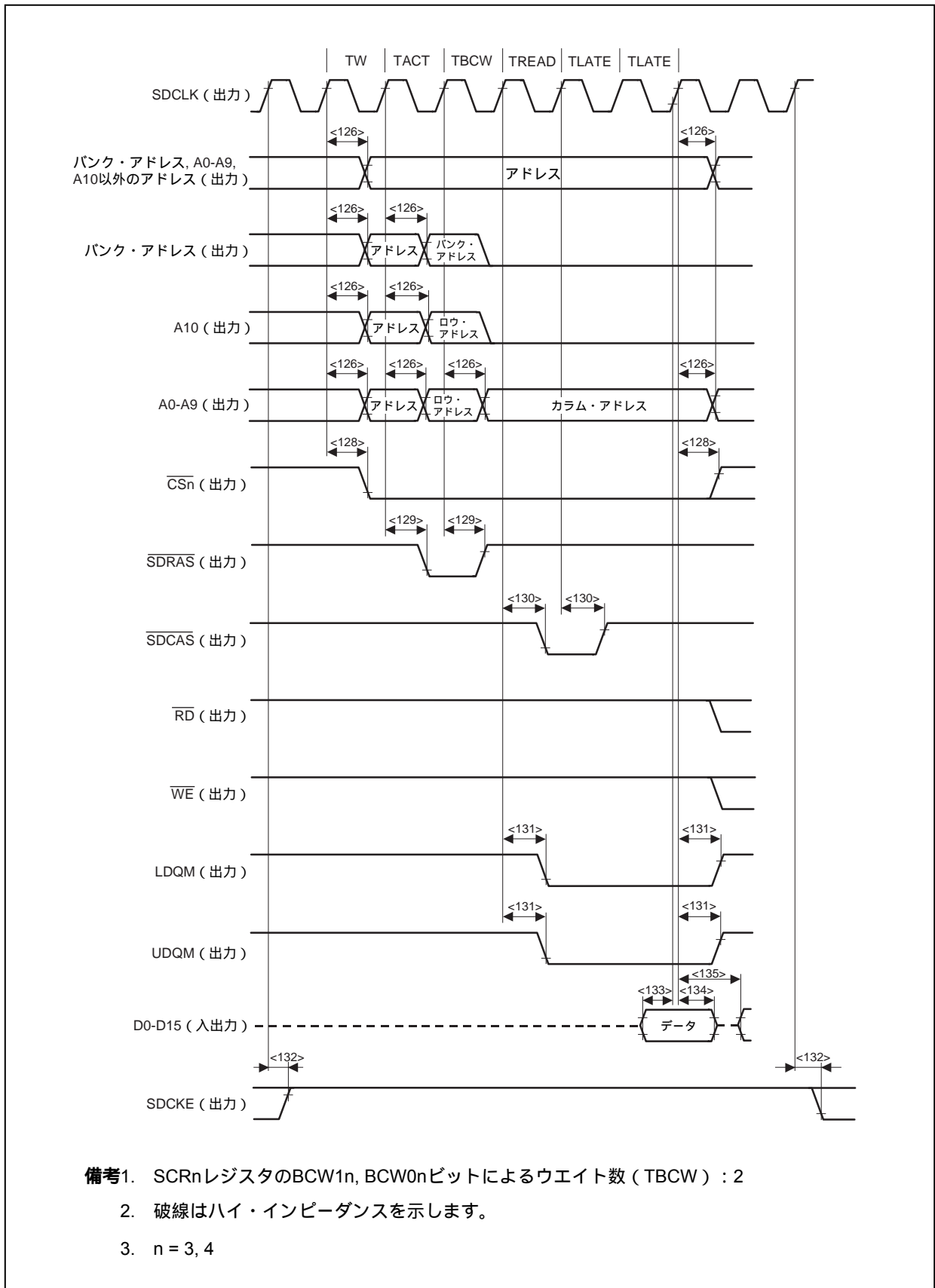
項目	略号	条件	MIN.	MAX.	単位
アドレス遅延時間 (対SDCLK)	<126> t _{DKA2}		2	13	ns
\overline{CS}_n 遅延時間 (対SDCLK)	<128> t _{DKCS}		2	13	ns
\overline{SDRAS} 遅延時間 (対SDCLK)	<129> t _{DKRAS}		2	13	ns
\overline{SDCAS} 遅延時間 (対SDCLK)	<130> t _{DKCAS}		2	13	ns
UDQM, LDQM遅延時間 (対SDCLK)	<131> t _{DKDQM}		2	13	ns
SDCKE遅延時間 (対SDCLK)	<132> t _{DKCKE}		2	13	ns
データ入力設定時間 (SDRAMリード時, 対SDCLK)	<133> t _{SDRMK}		8		ns
データ入力保持時間 (SDRAMリード時, 対SDCLK)	<134> t _{HKDRM}		0		ns
SDCLK データ出力遅延時間	<135> t _{SDOD}			(1+i)T - 5	ns

備考1. T = t_{cyk2}

2. i: アイドル・ステート数

3. n = 3, 4

(a) リード・タイミング (SDRAMアクセス) (2/2)

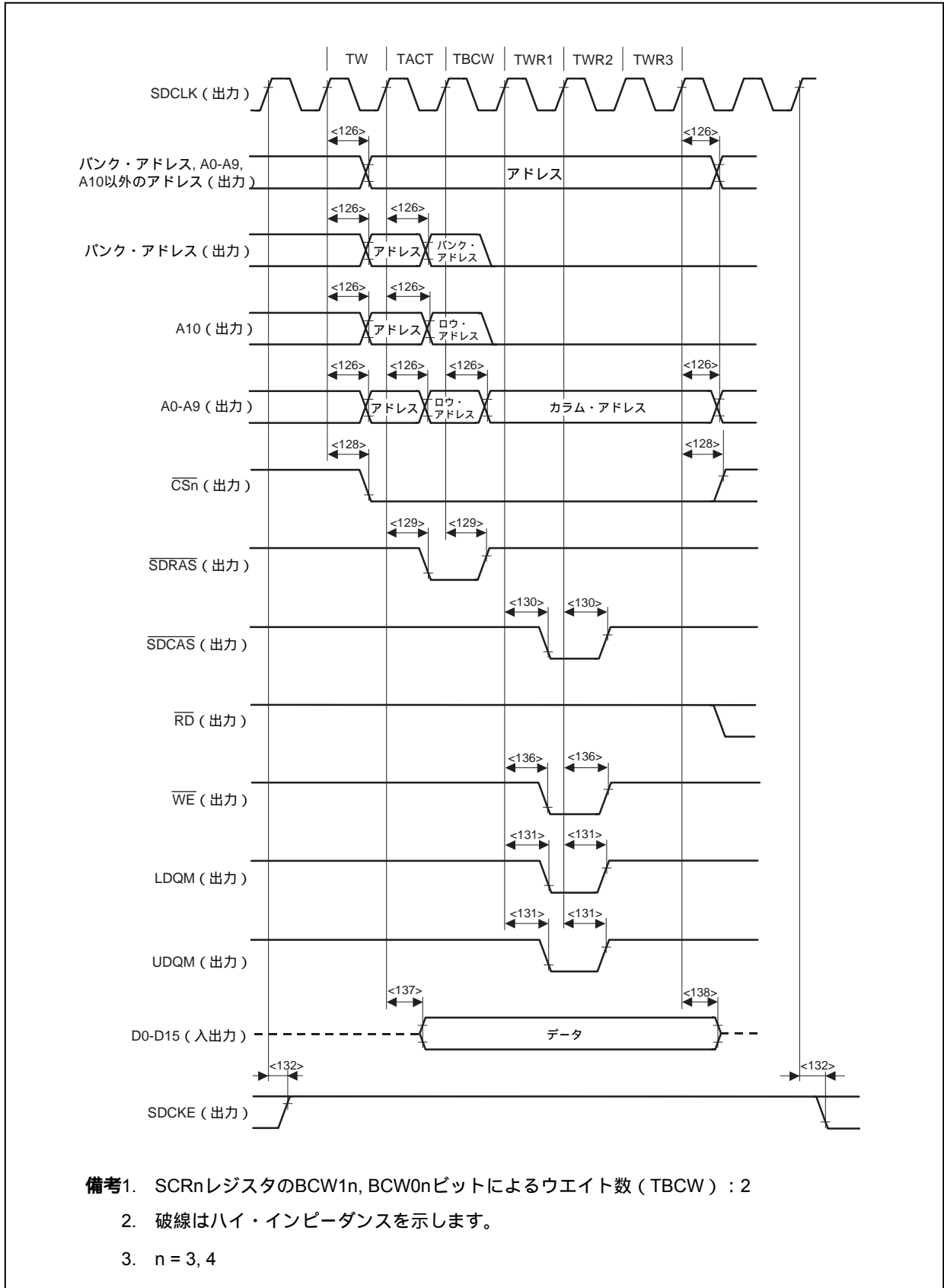


(b) ライト・タイミング (SDRAMアクセス) (1/2)

項目	略号	条件	MIN.	MAX.	単位
アドレス遅延時間 (対SDCLK)	<126> tDKA2		2	13	ns
\overline{CSn} 遅延時間 (対SDCLK)	<128> tDKCS		2	13	ns
SDRAS遅延時間 (対SDCLK)	<129> tDKRAS		2	13	ns
SDCAS遅延時間 (対SDCLK)	<130> tDKCAS		2	13	ns
UDQM, LDQM遅延時間 (対SDCLK)	<131> tDKDQM		2	13	ns
SDCKE遅延時間 (対SDCLK)	<132> tDKCKE		2	13	ns
\overline{WE} 遅延時間 (対SDCLK)	<136> tDKWE		2	13	ns
データ出力遅延時間 (対SDCLK)	<137> tDKDT		2	13	ns
データ・フロート遅延時間 (対SDCLK)	<138> tHZKDT		2	13	ns

備考 n = 3, 4

(b) ライト・タイミング (SDRAMアクセス) (2/2)

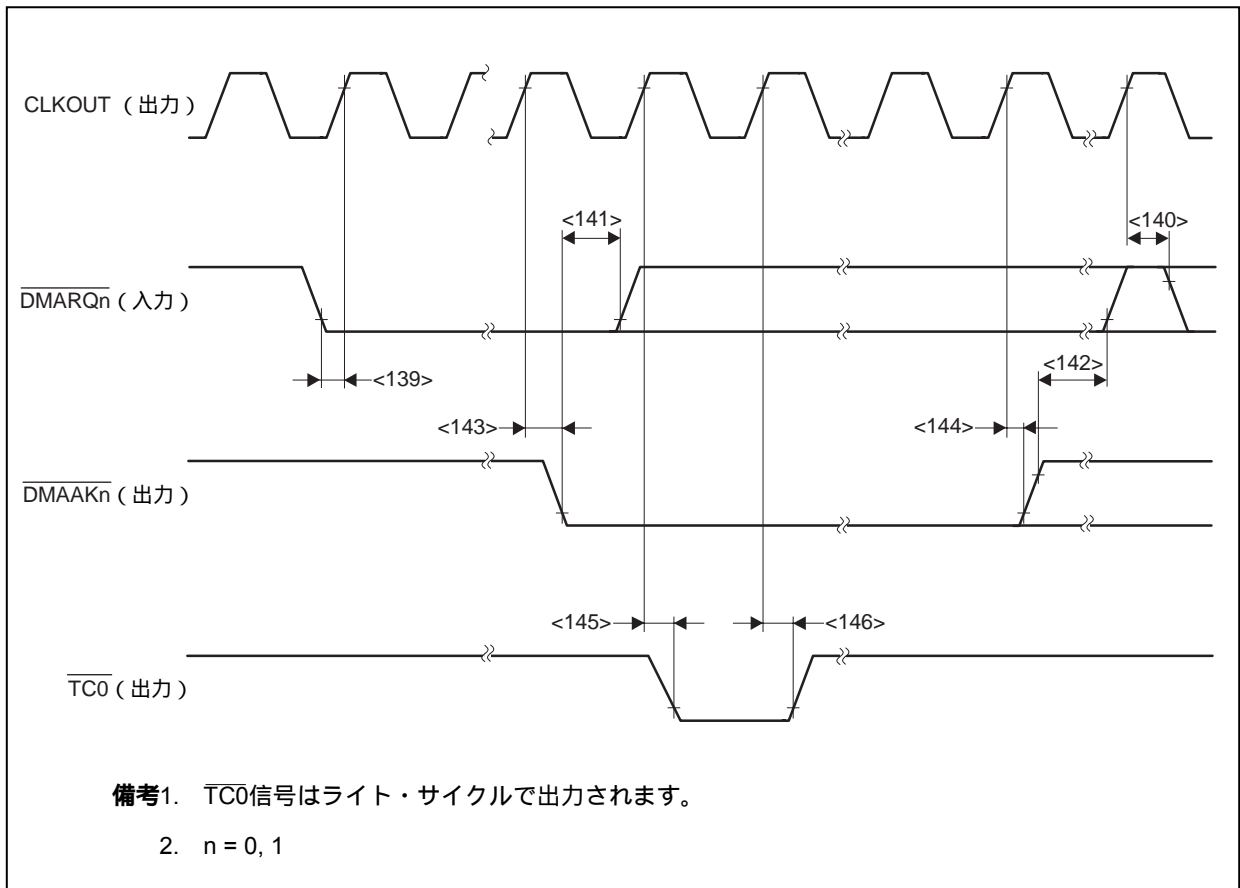


(7) DMACタイミング

項目	略号	条件	MIN.	MAX.	単位
DMARQ \bar{n} 設定時間 (対CLKOUT)	<139>	t_{SDRK}	8		ns
DMARQ \bar{n} 保持時間	<140>	t_{HKDR1}	3		ns
	<141>	t_{HKDR2}		DMAAK \bar{n} まで	ns
シングル転送における2回目のDMA要求禁止タイミング	<142>	t_{AKDR}		3T	ns
DMAAK \bar{n} 出力遅延時間 (対CLKOUT)	<143>	t_{DKDA}	2	13	ns
DMAAK \bar{n} 出力保持時間 (対CLKOUT)	<144>	t_{HKDA}	2	13	ns
TC0出力遅延時間 (対CLKOUT)	<145>	t_{HKTC}	2	13	ns
TC0出力保持時間 (対CLKOUT)	<146>	t_{HKTC}	2	13	ns

備考1. T = t_{CYK1}

2. n = 0, 1

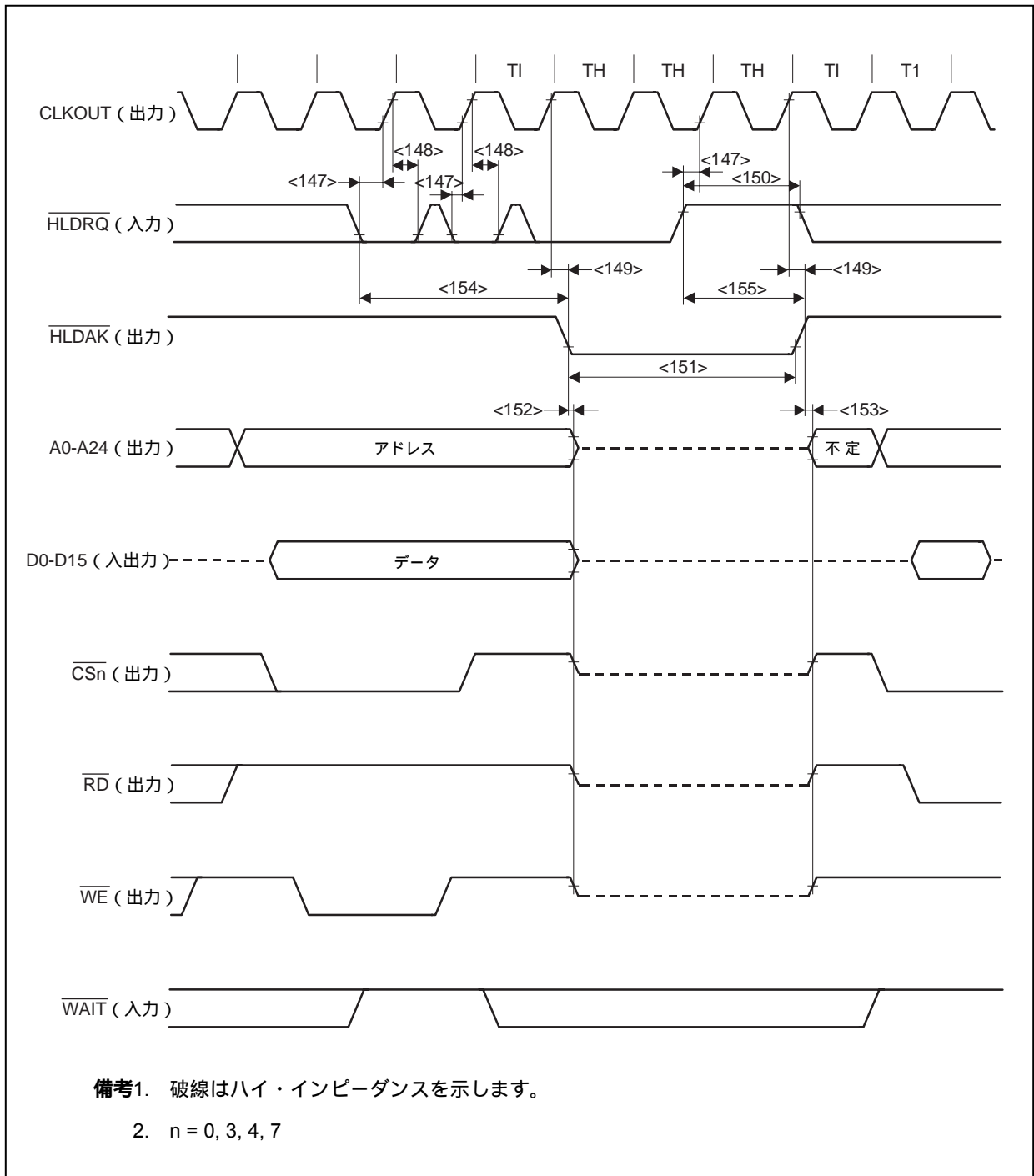


(8) バス・ホールド・タイミング (1/2)

項目	略号	条件	MIN.	MAX.	単位
HLD \overline{RQ} 設定時間 (対CLKOUT)	<147>	t _{SHRK}	8		ns
HLD \overline{RQ} 保持時間 (対CLKOUT)	<148>	t _{HKHR}	3		ns
CLKOUT HLD \overline{AK} 遅延時間	<149>	t _{DKHA}	2	13	ns
HLD \overline{RQ} ハイ・レベル幅	<150>	t _{WHQH}	T + 3		ns
HLD \overline{AK} ロウ・レベル幅	<151>	t _{WHAL}	T - 11		ns
HLD \overline{AK} バス・フロート遅延時間	<152>	t _{DKCF}	0		ns
HLD \overline{AK} バス出力遅延時間	<153>	t _{DHAC}	0	13	ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	<154>	t _{DHQHA1}	2T		ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	<155>	t _{DHQHA2}	T	2T + 10	ns

備考 T = t_{CYK1}

(8) バス・ホールド・タイミング (2/2)



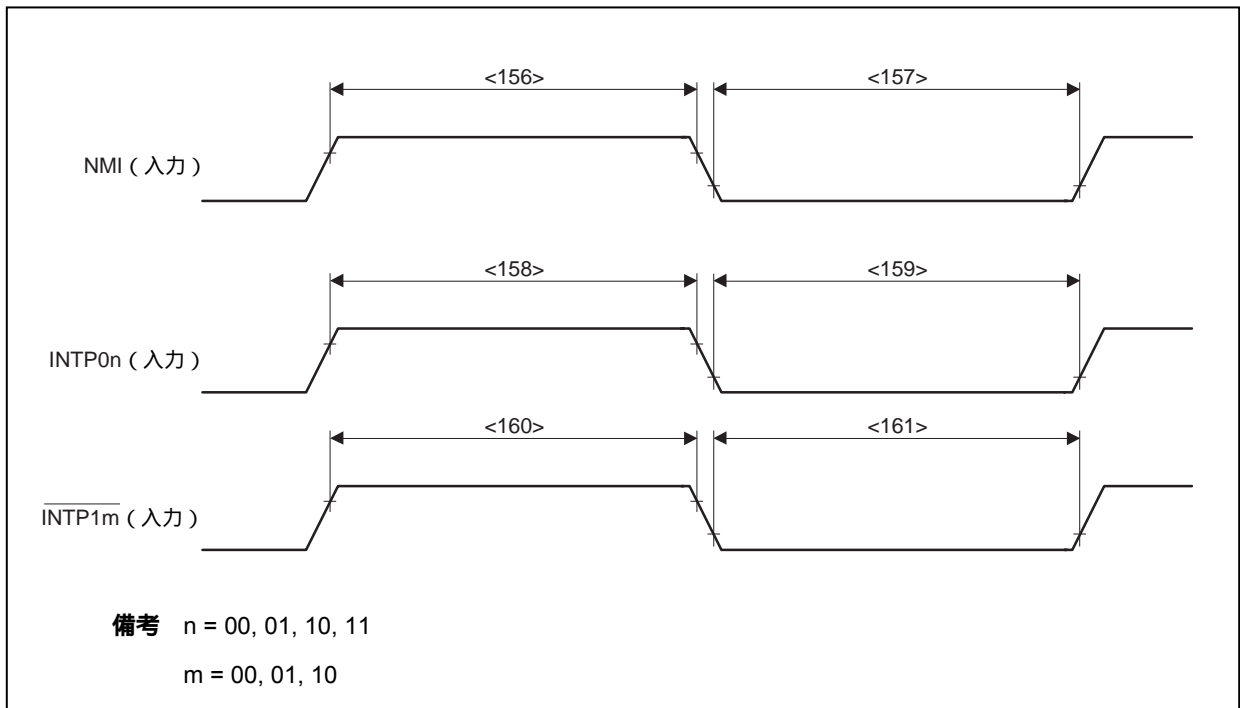
(9) 割り込みタイミング

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	<156>	t_{WNIH}	500		ns
NMIロウ・レベル幅	<157>	t_{WNIL}	500		ns
INTP0nハイ・レベル幅	<158>	t_{WIT0H}	$3T + 500$		ns
INTP0nロウ・レベル幅	<159>	t_{WIT0L}	$3T + 500$		ns
INTP1mハイ・レベル幅	<160>	t_{WIT1H}	500		ns
INTP1mロウ・レベル幅	<161>	t_{WIT1L}	500		ns

備考1. $n = 00, 01, 10, 11$

$m = 00, 01, 10$

2. $T = t_{CYK1}$

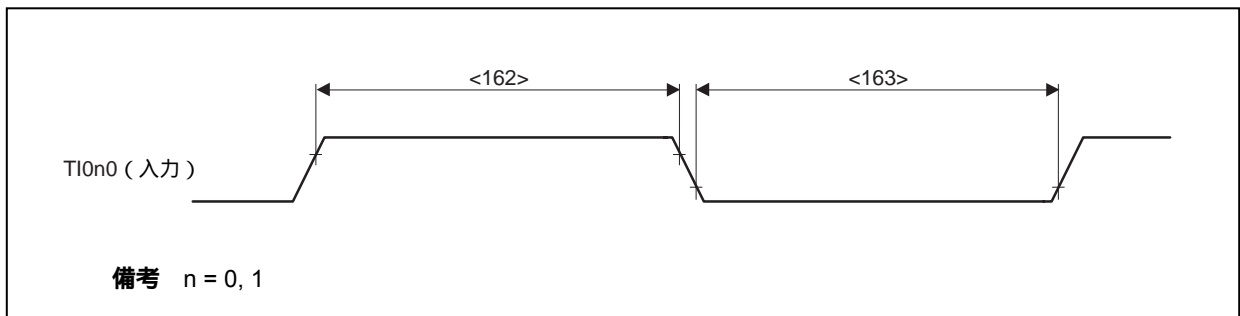


(10) RPUタイミング

項目	略号	条件	MIN.	MAX.	単位
Tl0n0ハイ・レベル幅	<162>	t_{WTIH}	$3T + 500$		ns
Tl0n0ロウ・レベル幅	<163>	t_{WTIL}	$3T + 500$		ns

備考1. $n = 0, 1$

2. $T = t_{CYK1}$



(11) CSI0, CSI1 タイミング (1/3)

(a) マスタ・モード

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{SCKn}}$ 周期	<164> t_{CYSK1}	出力	320		ns
$\overline{\text{SCKn}}$ ハイ・レベル幅	<165> t_{WSK1H}	出力	$0.5t_{\text{CYSK1}} - 20$		ns
$\overline{\text{SCKn}}$ ロウ・レベル幅	<166> t_{WSK1L}	出力	$0.5t_{\text{CYSK1}} - 20$		ns
SIn設定時間 (対 $\overline{\text{SCKn}}$)	<167> t_{SSISK}		30		ns
SIn設定時間 (対 $\overline{\text{SCKn}}$)			30		ns
SIn保持時間 (対 $\overline{\text{SCKn}}$)	<168> t_{HSKSI}		30		ns
SIn保持時間 (対 $\overline{\text{SCKn}}$)			30		ns
SOn出力遅延時間 (対 $\overline{\text{SCKn}}$)	<169> t_{DSKSO}			30	ns
SOn出力遅延時間 (対 $\overline{\text{SCKn}}$)				30	ns
SOn出力保持時間 (対 $\overline{\text{SCKn}}$)	<170> t_{HSKSO}		$0.5t_{\text{CYSK1}} - 5$		ns
SOn出力保持時間 (対 $\overline{\text{SCKn}}$)			$0.5t_{\text{CYSK1}} - 5$		ns

備考 n = 0, 1

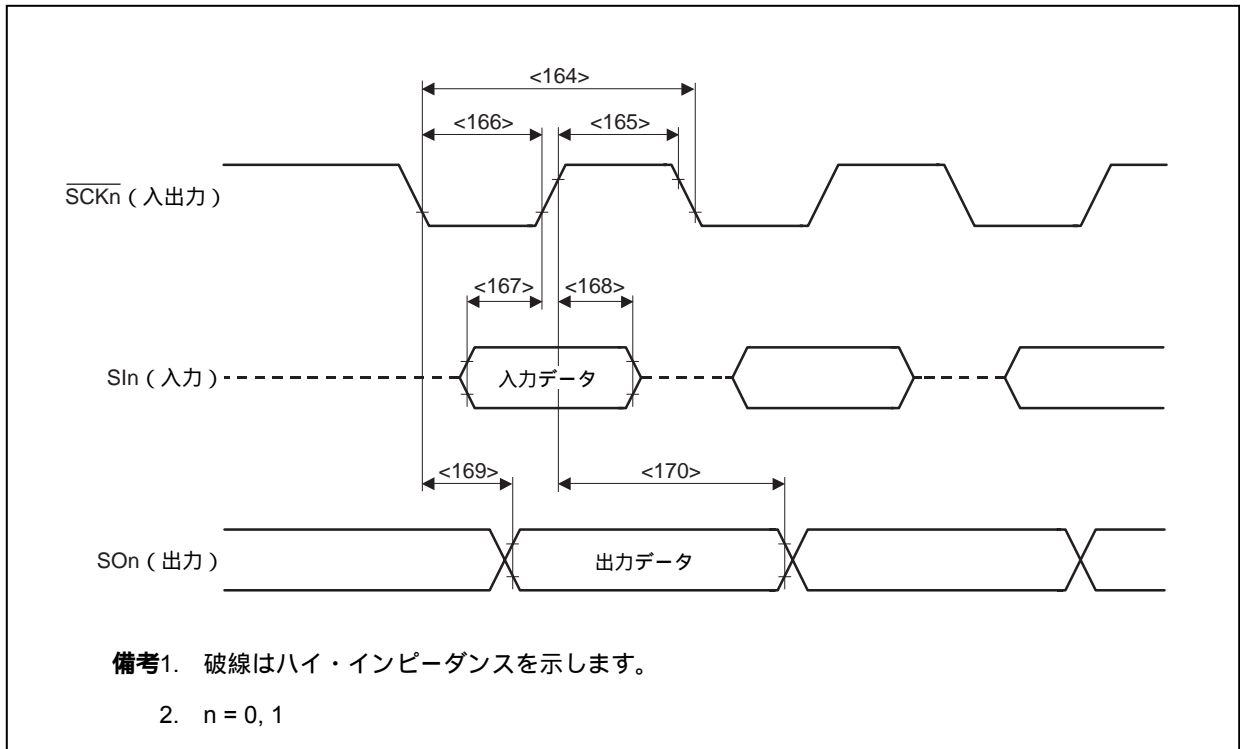
(b) スレーブ・モード

項目	略号	条件	MIN.	MAX.	単位
$\overline{\text{SCKn}}$ 周期	<164> t_{CYSK1}	入力	200		ns
$\overline{\text{SCKn}}$ ハイ・レベル幅	<165> t_{WSK1H}	入力	90		ns
$\overline{\text{SCKn}}$ ロウ・レベル幅	<166> t_{WSK1L}	入力	90		ns
SIn設定時間 (対 $\overline{\text{SCKn}}$)	<167> t_{SSISK}		50		ns
SIn設定時間 (対 $\overline{\text{SCKn}}$)			50		ns
SIn保持時間 (対 $\overline{\text{SCKn}}$)	<168> t_{HSKSI}		50		ns
SIn保持時間 (対 $\overline{\text{SCKn}}$)			50		ns
SOn出力遅延時間 (対 $\overline{\text{SCKn}}$)	<169> t_{DSKSO}			50	ns
SOn出力遅延時間 (対 $\overline{\text{SCKn}}$)				50	ns
SOn出力保持時間 (対 $\overline{\text{SCKn}}$)	<170> t_{HSKSO}		t_{WSK1H}		ns
SOn出力保持時間 (対 $\overline{\text{SCKn}}$)			t_{WSK1H}		ns

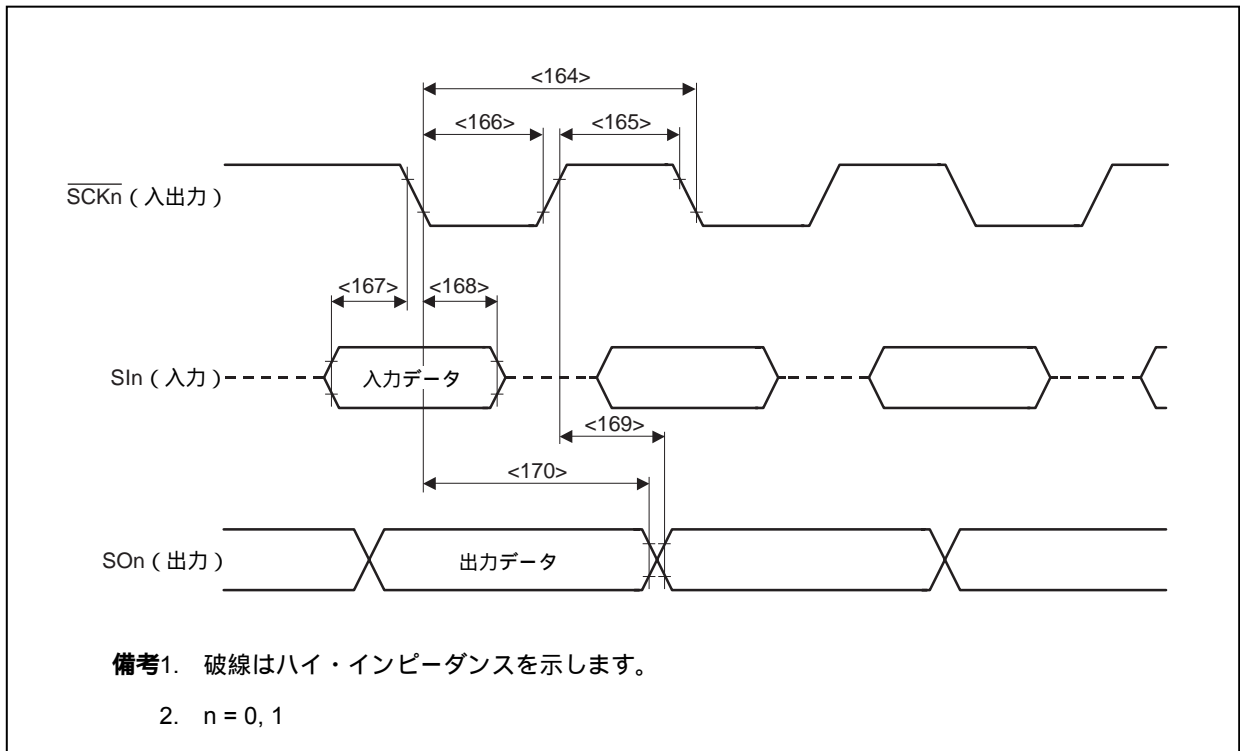
備考 n = 0, 1

(11) CSI0, CSI2タイミング (2/3)

(c) CSICnレジスタのCKPn, DAPnビット = 00時のタイミング

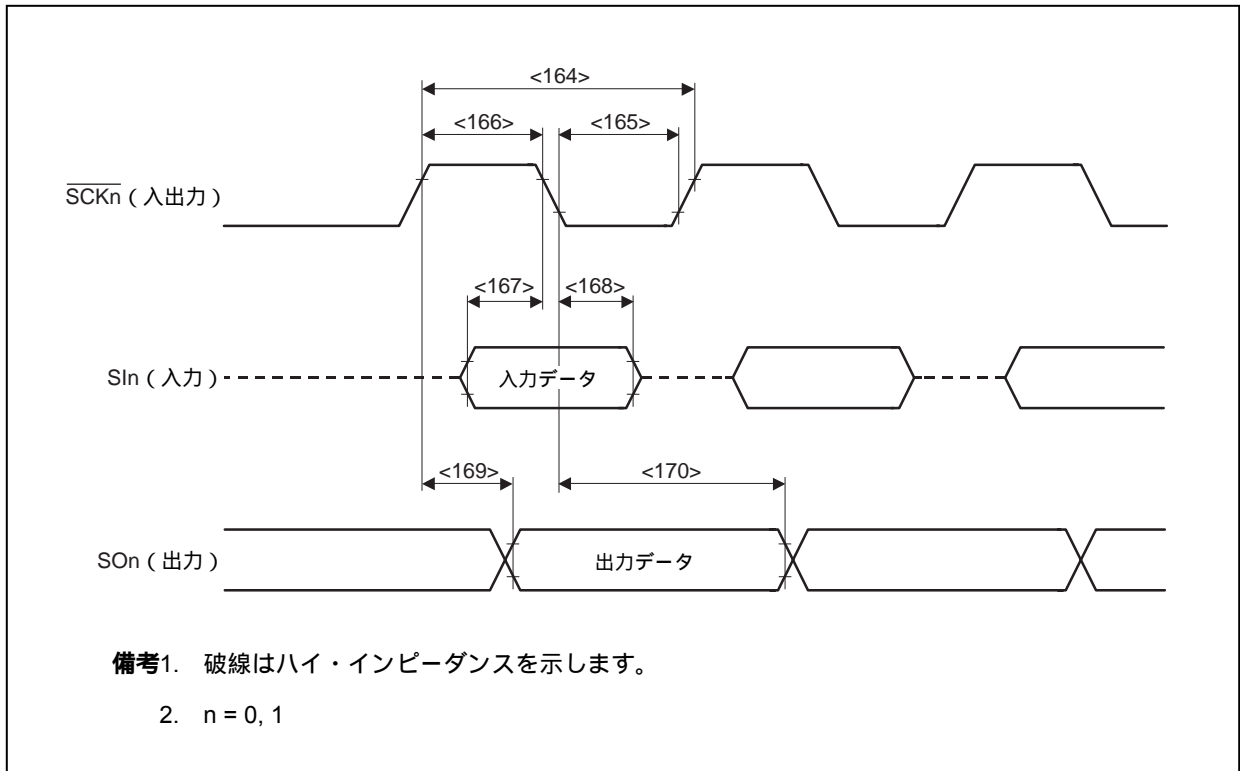


(d) CSICnレジスタのCKPn, DAPnビット = 01時のタイミング

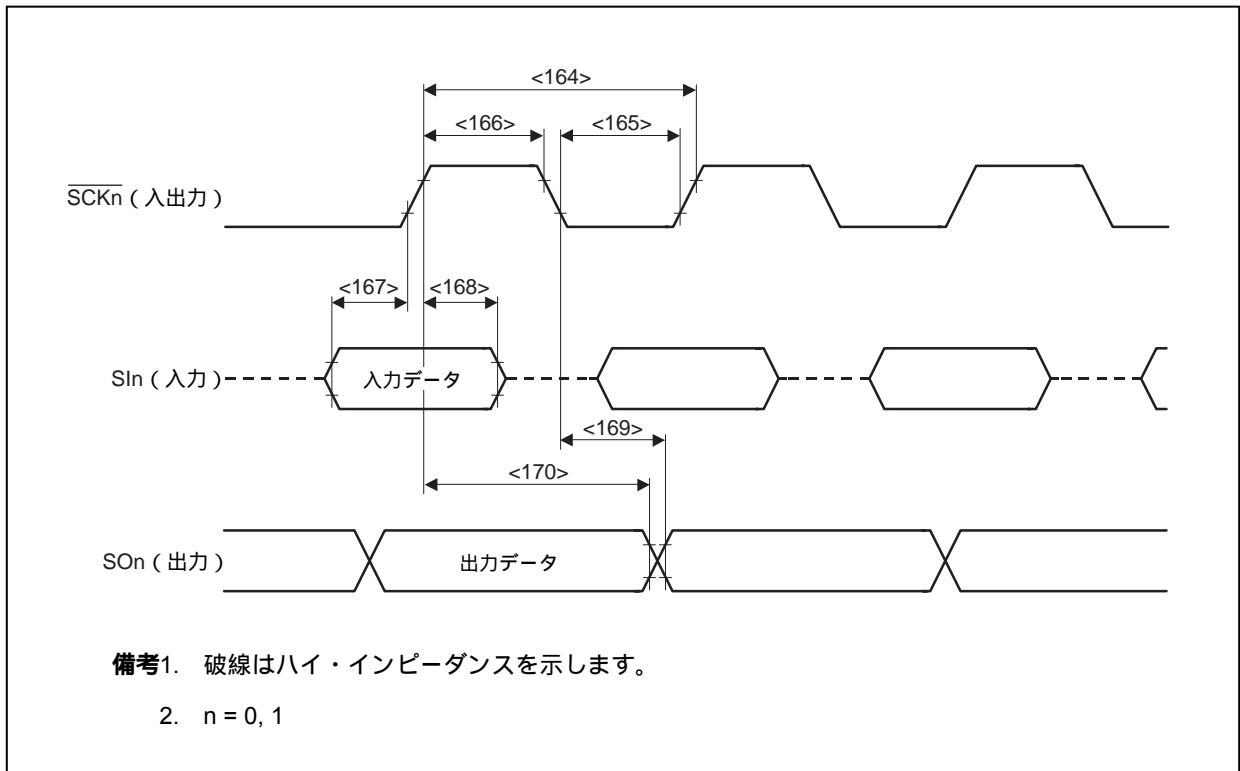


(11) CSI0-CSI2タイミング (3/3)

(e) CSICnレジスタのCKPn, DAPnビット = 10時のタイミング



(f) CSICnレジスタのCKPn, DAPnビット = 11時のタイミング



A/Dコンバータ特性 ($T_A = -40 \sim +85$, $V_{DD} = AV_{DD} = 3.0 \sim 3.6$ V, $V_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	-		10			bit
総合誤差 ^{注1}	-				± 0.49	%FSR
量子化誤差	-				± 1/2	LSB
変換時間	t _{CONV}		5		10	μs
サンプリング時間	t _{SAMP}		変換クロック ^{注2} /6			ns
ゼロスケール誤差 ^{注1}	-				± 0.49	%FSR
フルスケール誤差 ^{注1}	-				± 0.49	%FSR
積分直線性誤差 ^{注3}	-				± 4	LSB
微分直線性誤差 ^{注3}	-				± 4	LSB
アナログ入力電圧	V _{WASN}		- 0.3		AV _{REF} + 0.3	V
AV _{REF} 入力電圧	AV _{REF}	AV _{REF} = AV _{DD}	3.0		3.6	V
AV _{DD} 電源電流	AI _{DD}				10	mA

注1. 量子化誤差 (± 0.05 %FSR) は含みません。

2. 変換クロックは, ADM1レジスタで設定したクロック数です。

3. 量子化誤差 (± 0.5 LSB) は含みません。

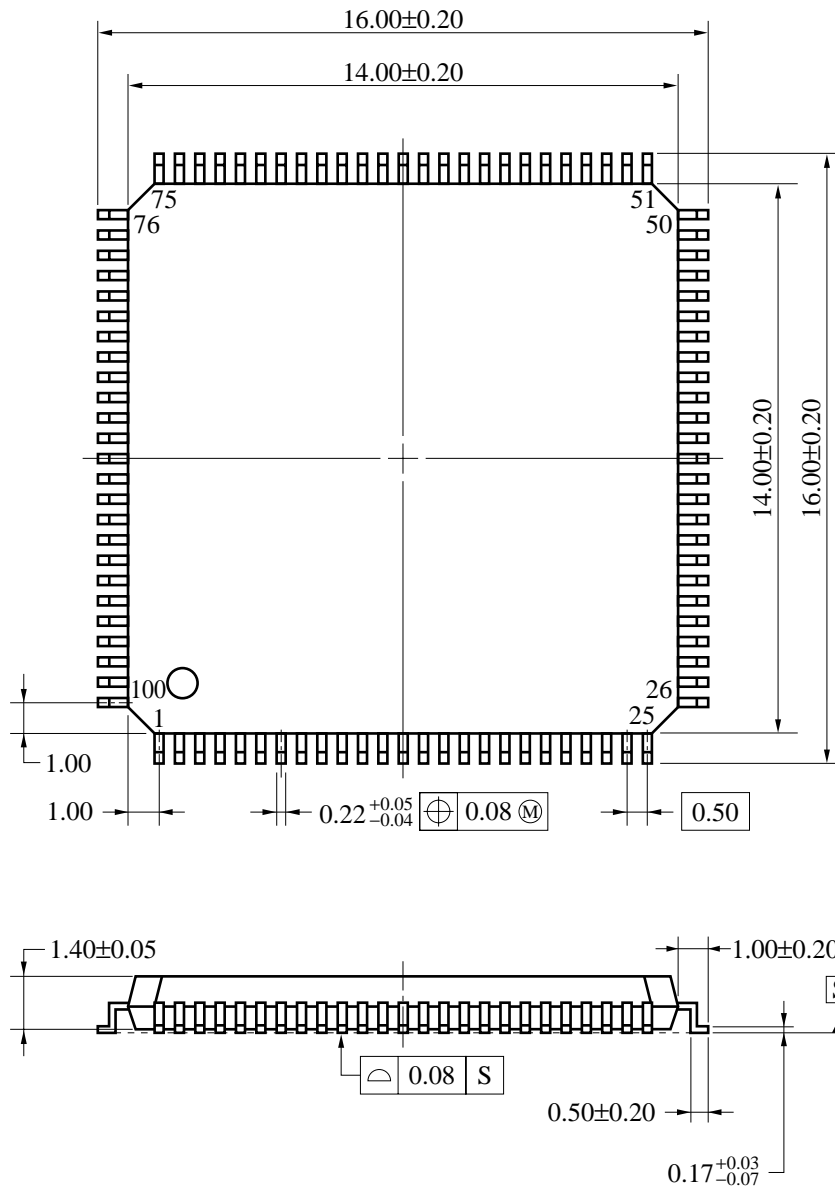
備考 LSB : Least Significant Bit

FSR : Full Scale Range

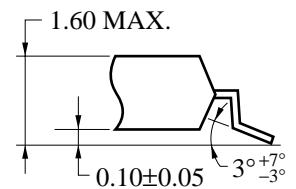
%FSRはフルスケール値に対する比率です。

第16章 外形図

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図 (単位: mm)



端子先端形状詳細図



S100GC-50-8EU, 8EA-2

第17章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表17 - 1 表面実装タイプの半田付け条件

μ PD703108GC-8EU-A 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内 制限日数：7日間 ^注 （以降は125℃プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダリング	詳細については，当社販売員にお問い合わせください。	—
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

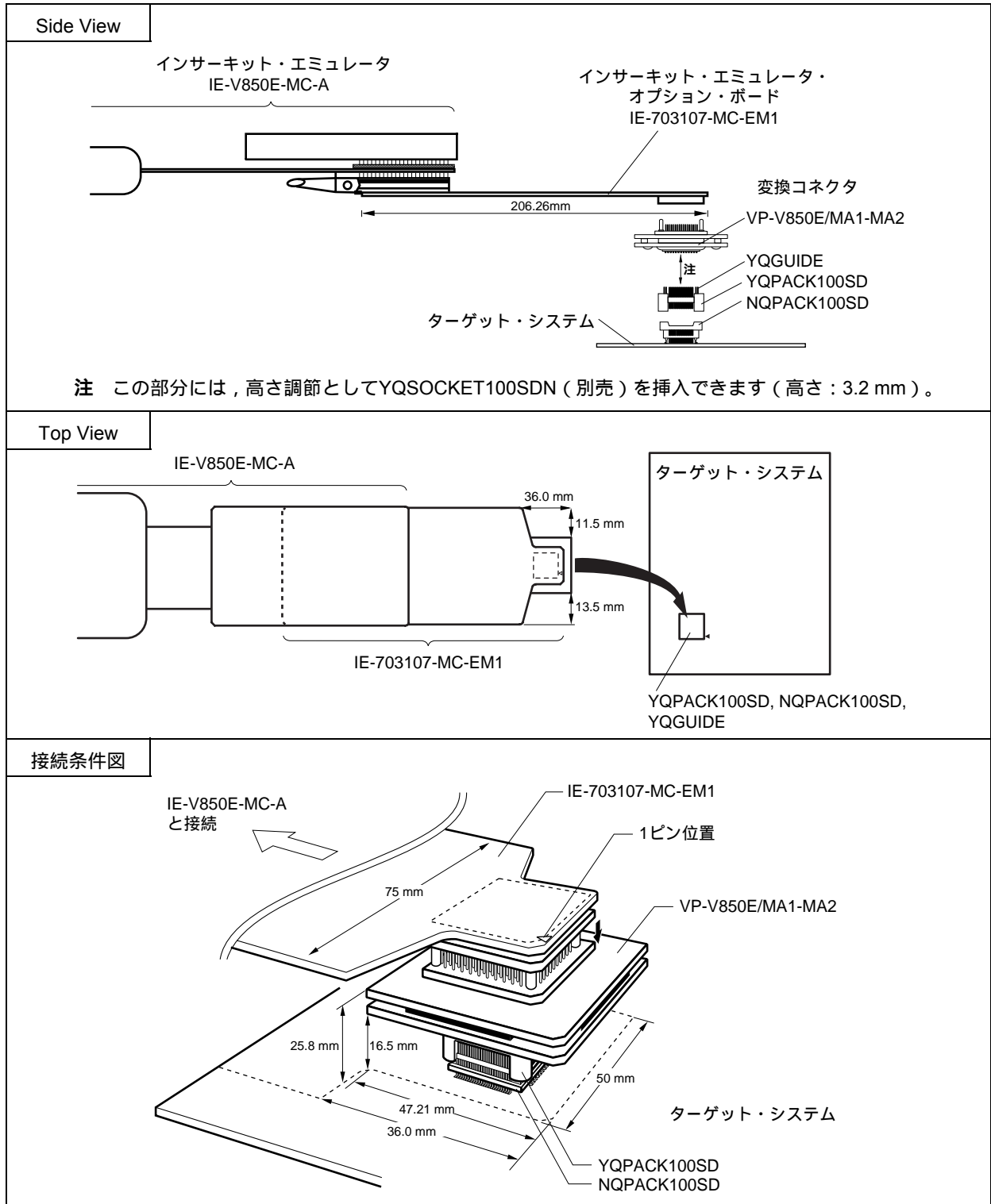
2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

3. μ PD703108GC-8EUの半田付け条件については，未定です。

付録A ターゲット・システム設計上の注意

インサーキット・エミュレータ・オプション・ボードと変換コネクタの接続条件図を次に示します。この構成によってターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。

図A - 1 100ピン・プラスチックLQFP（ファインピッチ）（14×14）の場合



付録B 注意事項

B. 1 ページROMアクセスに関する制限事項

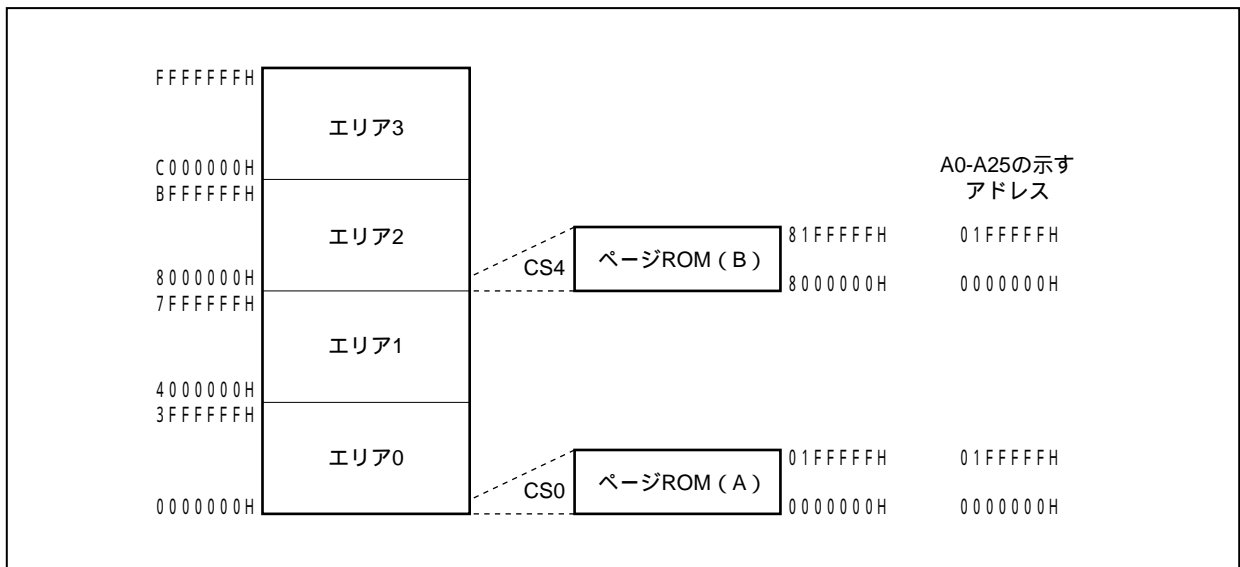
B. 1. 1 内容詳細

複数のページROMをそれぞれ複数の異なるCSn空間に接続しているシステムにおいて、ページROMアクセス直後に連続して別のCSn空間のページROMへのアクセスが発生した場合、前者のアドレス値と後者のアドレス値がページROMの同一ページ内であったときには、両者のCSn空間が異なるにもかかわらず、同一ページROMへのページ・アクセスと誤認し、後者のアクセスに対してオンページ・サイクルを発行してしまいます（ $n = 0, 3, 4, 7$ ）。その結果、後者のアクセスに対するデータ・アクセス時間が不足し、正常な読み出しができなくなります。

注意 ページROMは、ページ・アクセス機能を持ち、ページ上の連続アクセスを高速に行えるメモリを含みます。

たとえば、CS0空間の0xxxxx0Hアドレスへのアクセス直後に、CS4空間の8xxxxx2Hアドレスにアクセスした場合、8xxxxx2Hに対してオンページ・サイクルが実行されます（図B-1参照）。

図B-1 不具合が発生するメモリ・マップ構成例



不具合発生条件に対する非該当例を次に示します。

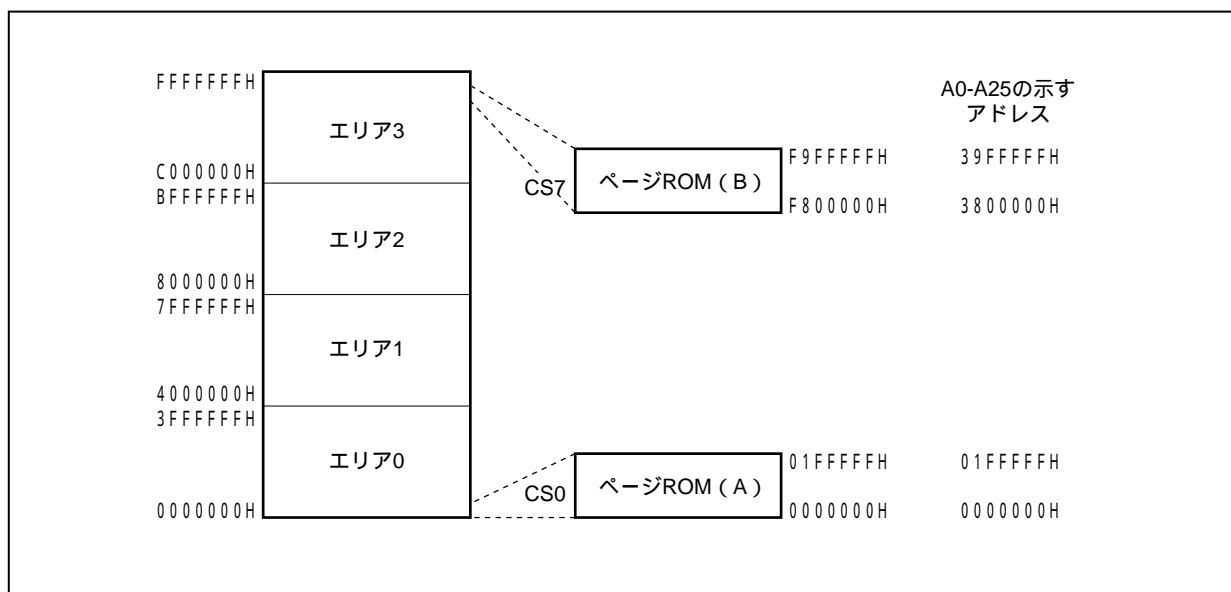
- ・ ページ・モード付きROMを使用していない。
- ・ ページ・モード付きROMを1個のみ使用している。
- ・ すべてのページ・モード付きROMにおいて、A0-A25で示されるアドレスが重ならない。

B.1.2 回避策

複数のページROMを使用する場合、A0-A25で示されるアドレスが重ならないように、それぞれのページROMを配置してください。

たとえば、2 MバイトのページROMを2個、異なるCSn空間に配置する場合には、一方のページROMを0000000H-01FFFFFFHに配置し、他方のページROMをF800000H-F9FFFFFFHに配置するような構成にしてください(図B-2参照)。

図B-2 不具合回避メモリ・マップ構成例



付録C レジスタ索引

(1/5)

略号	名称	ユニット	ページ
ADCR0	A/D変換結果レジスタ0 (10ビット)	ADC	342
ADCR0H	A/D変換結果レジスタ0H (8ビット)	ADC	342
ADCR1	A/D変換結果レジスタ1 (10ビット)	ADC	342
ADCR1H	A/D変換結果レジスタ1H (8ビット)	ADC	342
ADCR2	A/D変換結果レジスタ2 (10ビット)	ADC	342
ADCR2H	A/D変換結果レジスタ2H (8ビット)	ADC	342
ADCR3	A/D変換結果レジスタ3 (10ビット)	ADC	342
ADCR3H	A/D変換結果レジスタ3H (8ビット)	ADC	342
ADIC	割り込み制御レジスタ	INTC	215
ADM0	A/Dコンバータ・モード・レジスタ0	ADC	338
ADM1	A/Dコンバータ・モード・レジスタ1	ADC	340
ADM2	A/Dコンバータ・モード・レジスタ2	ADC	341
ASC	アドレス・セットアップ・ウェイト・コントロール・レジスタ	BCU	101
ASIF0	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	UART0	299
ASIF1	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	UART1	299
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART0	294
ASIM1	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	UART1	294
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART0	297
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART1	297
BCC	バス・サイクル・コントロール・レジスタ	BCU	104
BCT0	バス・サイクル・タイプ・コンフィギュレーション・レジスタ0	BCU	83
BCT1	バス・サイクル・タイプ・コンフィギュレーション・レジスタ1	BCU	83
BEC	エンディアン・コンフィギュレーション・レジスタ	BCU	85
BRGC0	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRG0	317
BRGC1	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRG1	317
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	84
CCC00	キャプチャ/コンペア・レジスタC00	RPU	259
CCC01	キャプチャ/コンペア・レジスタC01	RPU	259
CCC10	キャプチャ/コンペア・レジスタC10	RPU	259
CCC11	キャプチャ/コンペア・レジスタC11	RPU	259
CKC	クロック・コントロール・レジスタ	CG	237
CKSR0	クロック選択レジスタ0	UART0	316
CKSR1	クロック選択レジスタ1	UART1	316
CMD0	コンペア・レジスタD0	RPU	283
CMD1	コンペア・レジスタD1	RPU	283
CMD2	コンペア・レジスタD2	RPU	283
CMD3	コンペア・レジスタD3	RPU	283
CMICD0	割り込み制御レジスタ	INTC	215
CMICD1	割り込み制御レジスタ	INTC	215

略号	名称	ユニット	ページ
CMICD2	割り込み制御レジスタ	INTC	215
CMICD3	割り込み制御レジスタ	INTC	215
CSC0	チップ・エリア選択コントロール・レジスタ0	BCU	81
CSC1	チップ・エリア選択コントロール・レジスタ1	BCU	81
CSIC0	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSI0	327
CSIC1	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSI1	327
CSIIC0	割り込み制御レジスタ	INTC	215
CSIIC1	割り込み制御レジスタ	INTC	215
CSIM0	クロック同期式シリアル・インタフェース・モード・レジスタ0	CSI0	325
CSIM1	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSI1	325
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMAC	168
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMAC	168
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMAC	168
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMAC	168
DBC0	DMA転送カウント・レジスタ0	DMAC	167
DBC1	DMA転送カウント・レジスタ1	DMAC	167
DBC2	DMA転送カウント・レジスタ2	DMAC	167
DBC3	DMA転送カウント・レジスタ3	DMAC	167
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMAC	170
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMAC	170
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMAC	170
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMAC	170
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	165
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	166
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	165
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	166
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	165
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	166
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	165
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	166
DDIS	DMAディスエーブル・ステータス・レジスタ	DMAC	172
DMAIC0	割り込み制御レジスタ	INTC	215
DMAIC1	割り込み制御レジスタ	INTC	215
DMAIC2	割り込み制御レジスタ	INTC	215
DMAIC3	割り込み制御レジスタ	INTC	215
DRST	DMAリスタート・レジスタ	DMAC	172
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	163
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	164
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	163
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	164
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	163
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	164
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	163
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	164

略号	名称	ユニット	ページ
DTFR0	DMAトリガ要因レジスタ0	DMAC	174
DTFR1	DMAトリガ要因レジスタ1	DMAC	174
DTFR2	DMAトリガ要因レジスタ2	DMAC	174
DTFR3	DMAトリガ要因レジスタ3	DMAC	174
DTOC	DMAターミナル・カウント出力コントロール・レジスタ	DMAC	173
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	99
DWC1	データ・ウェイト・コントロール・レジスタ1	BCU	99
IMR0	割り込みマスク・レジスタ0	INTC	217
IMR1	割り込みマスク・レジスタ1	INTC	217
IMR2	割り込みマスク・レジスタ2	INTC	217
IMR3	割り込みマスク・レジスタ3	INTC	217
INTM0	外部割り込みモード・レジスタ0	INTC	207
INTM1	外部割り込みモード・レジスタ1	INTC	219
INTM2	外部割り込みモード・レジスタ2	INTC	219
ISPR	インサースビス・プライオリティ・レジスタ	INTC	218
LOCKR	ロック・レジスタ	CPU	240
OVIC00	割り込み制御レジスタ	INTC	215
OVIC01	割り込み制御レジスタ	INTC	215
P0	ポート0	ポート	385
P00IC0	割り込み制御レジスタ	INTC	215
P00IC1	割り込み制御レジスタ	INTC	215
P01IC0	割り込み制御レジスタ	INTC	215
P01IC1	割り込み制御レジスタ	INTC	215
P1	ポート1	ポート	388
P10IC0	割り込み制御レジスタ	INTC	215
P10IC1	割り込み制御レジスタ	INTC	215
P11IC0	割り込み制御レジスタ	INTC	215
P2	ポート2	ポート	390
P4	ポート4	ポート	393
P7	ポート7	ポート	396
PAH	ポートAH	ポート	399
PAL	ポートAL	ポート	397
PBD	ポートBD	ポート	413
PCD	ポートCD	ポート	409
PCM	ポートCM	ポート	407
PCS	ポートCS	ポート	403
PCT	ポートCT	ポート	405
PDL	ポートDL	ポート	401
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	387
PFC2	ポート2ファンクション・コントロール・レジスタ	ポート	392
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	395
PFCCD	ポートCDファンクション・コントロール・レジスタ	ポート	412
PHCMD	ペリフェラル・コマンド・レジスタ	CPU	236
PHS	ペリフェラル・ステータス・レジスタ	CPU	239

略号	名称	ユニット	ページ
PM0	ポート0モード・レジスタ	ポート	385
PM1	ポート1モード・レジスタ	ポート	388
PM2	ポート2モード・レジスタ	ポート	391
PM4	ポート4モード・レジスタ	ポート	393
PMAH	ポートAHモード・レジスタ	ポート	400
PMAL	ポートALモード・レジスタ	ポート	397
PMBD	ポートBDモード・レジスタ	ポート	413
PMC0	ポート0モード・コントロール・レジスタ	ポート	386
PMC1	ポート1モード・コントロール・レジスタ	ポート	389
PMC2	ポート2モード・コントロール・レジスタ	ポート	391
PMC4	ポート4モード・コントロール・レジスタ	ポート	394
PMCAH	ポートAHモード・コントロール・レジスタ	ポート	400
PMCAL	ポートALモード・コントロール・レジスタ	ポート	398
PMCBD	ポートBDモード・コントロール・レジスタ	ポート	414
PMCCD	ポートCDモード・コントロール・レジスタ	ポート	411
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	408
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	404
PMCCCT	ポートCTモード・コントロール・レジスタ	ポート	406
PMCD	ポートCDモード・レジスタ	ポート	410
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	402
PMCM	ポートCMモード・レジスタ	ポート	407
PMCS	ポートCSモード・レジスタ	ポート	404
PMCT	ポートCTモード・レジスタ	ポート	406
PMDL	ポートDLモード・レジスタ	ポート	401
PRC	ページROMコンフィギュレーション・レジスタ	MEMC	127
PRCMD	コマンド・レジスタ	CPU	244
PSC	パワー・セーブ・コントロール・レジスタ	CPU	245
PSMR	パワー・セーブ・モード・レジスタ	CPU	244
RFS3	SDRAM用リフレッシュ・コントロール・レジスタ3	MEMC	151
RFS4	SDRAM用リフレッシュ・コントロール・レジスタ4	MEMC	151
RXB0	受信バッファ・レジスタ0	UART0	300
RXB1	受信バッファ・レジスタ1	UART1	300
SCR3	SDRAMコンフィギュレーション・レジスタ3	MEMC	135
SCR4	SDRAMコンフィギュレーション・レジスタ4	MEMC	135
SEIC0	割り込み制御レジスタ	INTC	215
SEIC1	割り込み制御レジスタ	INTC	215
SESC0	有効エッジ選択レジスタC0	INTC	221, 265
SESC1	有効エッジ選択レジスタC1	INTC	221, 265
SIO0	シリアルI/Oシフト・レジスタ0	CSI0	329
SIO1	シリアルI/Oシフト・レジスタ1	CSI1	329
SIOE0	受信専用シリアルI/Oシフト・レジスタ0	CSI0	329
SIOE1	受信専用シリアルI/Oシフト・レジスタ1	CSI1	329
SOTB0	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	CSI0	330
SOTB1	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	CSI1	330

略号	名称	ユニット	ページ
SRIC0	割り込み制御レジスタ	INTC	215
SRIC1	割り込み制御レジスタ	INTC	215
STIC0	割り込み制御レジスタ	INTC	215
STIC1	割り込み制御レジスタ	INTC	215
TMC0	タイマC0	RPU	257
TMC1	タイマC1	RPU	257
TMCC00	タイマ・モード・コントロール・レジスタC00	RPU	261
TMCC01	タイマ・モード・コントロール・レジスタC01	RPU	263
TMCC10	タイマ・モード・コントロール・レジスタC10	RPU	261
TMCC11	タイマ・モード・コントロール・レジスタC11	RPU	263
TMCD0	タイマ・モード・コントロール・レジスタD0	RPU	285
TMCD1	タイマ・モード・コントロール・レジスタD1	RPU	285
TMCD2	タイマ・モード・コントロール・レジスタD2	RPU	285
TMCD3	タイマ・モード・コントロール・レジスタD3	RPU	285
TMD0	タイマD0	RPU	282
TMD1	タイマD1	RPU	282
TMD2	タイマD2	RPU	282
TMD3	タイマD3	RPU	282
TXB0	送信バッファ・レジスタ0	UART0	301
TXB1	送信バッファ・レジスタ1	UART1	301
VSWC	システム・ウェイト・コントロール・レジスタ	BCU	77

付録D 命令セット一覧

D.1 凡 例

(1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ
S	レジスタ・リスト中のシステム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR []	汎用レジスタ
SR []	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、n 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower (Less than)
NC/NL	1001	$CY = 0$	No carry No lower (Greater than or equal)
Z/E	0010	$Z = 1$	Zero Equal
NZ/NE	1010	$Z = 0$	Not zero Not equal
NH	0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
H	1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
N	0100	$S = 1$	Negative
P	1100	$S = 0$	Positive
T	0101	-	Always (無条件)
SA	1101	$SAT = 1$	Saturated
LT	0110	$(S \text{ xor } OV) = 1$	Less than signed
GE	1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
LE	0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
GT	1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

D.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	0	x	
★ Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied then PC PC + sign-extend (disp9) 条件成立時 条件不成立時	3 注2	3 注2	3 注2					
BSH	reg2, reg3	rrrrr1111100000 wwwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x	
BSW	reg2, reg3	rrrrr1111100000 wwwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x	
★ CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr,Half-word))	5	5	5					
CLR1	bit#3, disp16[reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3 注3	3 注3	3 注3				x	
	reg2, [reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3 注3	3 注3	3 注3				x	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1					
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x	
★ CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	4	4	4	R	R	R	R	R
★ DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	4	4	4	R	R	R	R	R
★ DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	4	4	4					
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1					

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x	
	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1					
HALT		000001111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr1111100000 WWWWW01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x	
★ JARL	disp22, reg2	rrrrr11110dddddd dddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	3	3	3					
★ JMP	[reg1]	00000000011RRRRR	PC GR[reg1]	4	4	4					
★ JR	disp22	0000011110dddddd dddddddddddddd0 注7	PC PC + sign-extend(disp22)	3	3	3					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2] regID = PSW以外 regID = PSW	1	1	1					
LD.HU	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11					

モニタック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii llllllllllllllllll	GR[reg1] imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1					
★ MUL	reg1, reg2, reg3	rrrrr111111RRRRR wwwww01000100000	GR[reg3] GR[reg2] GR[reg2] × GR[reg1] reg1 reg2 reg3, reg3 r0	1	2	2					注14
	imm9, reg2, reg3	rrrrr111111iiii wwwww01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	2	2					注14
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ²⁶ × GR[reg1] ²⁶	1	1	2					
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ²⁶ × sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ²⁶ × imm16	1	1	2					
★ MULU	reg1, reg2, reg3	rrrrr111111RRRRR wwwww01000100010	GR[reg3] GR[reg2] GR[reg2] × GR[reg1] reg1 reg2 reg3, reg3 r0	1	2	2					注14
	imm9, reg2, reg3	rrrrr111111iiii wwwww01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	2	2					注14
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	x	x	
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					x
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					x
				注3	注3	注3					
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	x	x	
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4					
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until regs in list12 is loaded PC GR[reg1]	n+2 注4	n+2 注4	n+2 注4					
				注17	注17	注17					

★

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	4	4	4	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr111111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	0000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	0000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1					
★ TRAP	vector	000001111111iiii 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FHのとき) 0000050H (vectorが10H-1FHのとき)	4	4	4					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3))	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr111111RRRRR 000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2))	3	3	3	注3	注3	注3		
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	0000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	0000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1					

注1. ddddddddはdisp9の上位8ビットです。

- ★ 2. 直前にPSWの内容を書き換える命令がある場合は4。
- 3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
- ★ 4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ数。n = 0の場合, n = 1と同じ動作)
- 5. RRRRR : 00000以外
- 6. 下位ハーフワード・データだけ有効
- 7. ddddddddddddddddddddはdisp22の上位21ビットです。
- 8. ddddddddddddddddはdisp16の上位15ビットです。
- 9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
- 10. b : disp16のビット0
- 11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
- 12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 - rrrrr = regID指定
 - RRRRR = reg2指定
- 13. iiii : imm9の下位5ビット
IIII : imm9の下位4ビット
- 14. reg2 = reg3 (結果の下位32ビットがレジスタに書き込まれない), またはreg3 = r0 (結果の上位32ビットはレジスタに書き込まれない) 場合は1クロック短縮されます。
- 15. sp/imm : サブオペコードのビット19, 20で指定
- 16. ff = 00 : spをepにロード
 - 01 : 符号拡張した16ビット・イミューディエト・データ (ビット47-32) をepにロード
 - 10 : 16ビット論理左シフトした16ビット・イミューディエト・データ (ビット47-32) をepにロード
 - 11 : 32ビット・イミューディエト・データ (ビット63-32) をepにロード
- 17. imm = imm32の場合はn + 3クロック
- 18. rrrrr : 00000以外
- 19. dddddddはdisp8の上位7ビットです。
- 20. ddddはdisp5の上位4ビットです。
- 21. dddddddはdisp8の上位6ビットです。

付録E 総合索引

E.1 50音で始まる語句の索引

【あ】

- アイドル・ステート挿入機能 ... 104
- アクセス・クロック数 ... 84
- アシンクロナス・シリアル・インタフェース0, 1
... 291
- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0, 1 ... 297
- アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0, 1 ... 299
- アシンクロナス・シリアル・インタフェース・モード・レジスタ0, 1 ... 294
- アドレス空間 ... 61
- アドレス空間の推奨使用方法 ... 69
- アドレス・セットアップ・ウェイト・コントロール・レジスタ ... 101
- アドレス・マルチプレクス機能 ... 133

【い】

- イメージ ... 62
- インサービス・プライオリティ・レジスタ ... 218

【う】

- ウェイト機能 ... 99
- ウェイト機能が有効なバス・サイクル ... 103

【え】

- エッジ検出機能 (ノンマスカブル割り込み)
... 207
- エンディアン・コンフィギュレーション・レジスタ
... 85
- エンディアン制御機能 ... 85

【お】

- 応用分野 ... 27
- オーダ情報 ... 28
- オンページ / オフページの判断 ... 125

【か】

- 外形図 ... 450
- 外部ウェイト機能 ... 102
- 外部メモリ拡張 ... 69
- 外部割り込みモード・レジスタ0 ... 207
- 外部割り込みモード・レジスタ1, 2 ... 219

【き】

- キャプチャ / コンペア・レジスタC00, 01, 10, 11
... 259
- 境界動作条件 ... 114
- 強制終了 ... 197
- 強制中断 ... 196

【く】

- クロック・コントロール・レジスタ ... 237
- クロック選択レジスタ0, 1 ... 316
- クロック同期式シリアル・インタフェース0, 1
... 323
- クロック同期式シリアル・インタフェース・クロック選択レジスタ0, 1 ... 327
- クロック同期式シリアル・インタフェース送信バッファ・レジスタ0, 1 ... 330
- クロック同期式シリアル・インタフェース・モード・レジスタ0, 1 ... 325

【こ】

- コマンド・レジスタ ... 244
- コンペア・レジスタD0-D3 ... 283

【さ】

- サンプリング時間 ... 369

【し】

- システム・ウェイト・コントロール・レジスタ
... 77

- システム構成例 (CSI0, CSI1) ... 334
- システム・レジスタ・セット ... 57
- 周辺I/Oレジスタ ... 71
- 受信専用シリアルI/Oシフト・レジスタ0, 1 ... 329
- 受信バッファ・レジスタ0, 1 ... 300
- シリアルI/Oシフト・レジスタ0, 1 ... 329
- シングルステップ転送モード ... 180
- シングル転送モード ... 178
- 【す】**
- 推奨発振回路 ... 421
- スタンバイ・モード時の動作 ... 361
- 【せ】**
- 積分直線性誤差 ... 369
- セルフ・リフレッシュ制御機能 ... 156
- ゼロスケール誤差 ... 367
- 専用ポー・レート・ジェネレータ0, 1 ... 315
- 【そ】**
- 総合誤差 ... 366
- 送信バッファ・レジスタ0, 1 ... 301
- ソフトウェアSTOPモード ... 251
- ソフトウェア例外 ... 222
- 【た】**
- ターゲット・システム設計上の注意 ... 452
- タイマC ... 255
- タイマC0, C1 ... 257
- タイマCの基本構成 ... 256
- タイマCの動作 ... 266
- タイマD ... 281
- タイマD0-D3 ... 282
- タイマDの基本構成 ... 281
- タイマDの動作 ... 287
- タイマ・トリガの間隔 ... 361
- タイマ・トリガ・モード時のコンペアー一致割り込み ... 362
- タイマ・トリガ・モード時の動作 ... 353
- タイマ・モード・コントロール・レジスタC00, C10 ... 261
- タイマ・モード・コントロール・レジスタC01, C11 ... 263
- タイマ・モード・コントロール・レジスタD0-D3 ... 285
- タイム・ベース・カウンタ ... 254
- ダイレクト・モード ... 235
- 多重割り込み処理制御 ... 229
- 端子機能一覧 ... 33
- 端子機能の説明 ... 38
- 端子状態 ... 37
- 端子接続図 ... 28
- 端子の入出力回路 ... 53
- 端子の入出力回路タイプと未使用時の処理 ... 51
- 【ち】**
- チップ・エリア選択コントロール・レジスタ0, 1 ... 81
- チップ・セレクト制御機能 ... 81
- 注意事項 (A/Dコンバータ) ... 361
- 注意事項 (DMA) ... 200
- 注意事項 (UART) ... 322
- 注意事項 (タイマC) ... 280
- 注意事項 (タイマD) ... 289
- 注意事項 (ページROMアクセス) ... 453
- 中断要因 ... 200
- 【て】**
- ディバグ・トラップ ... 227
- データ・ウェイト・コントロール・レジスタ0, 1 ... 99
- データ空間 ... 114
- データ保持特性 ... 423
- 電気的特性 ... 420
- 転送対象 ... 191
- 転送の種類と転送対象 ... 191
- 転送モード ... 178
- 【と】**
- 動作モード ... 60
- 動作モード指定 ... 60
- 動作モードとトリガ・モード ... 345
- 特定レジスタ ... 76

【な】

- 内部ブロック図 ... 30
- 内部ユニット ... 31

【に】

- 入カクロック選択 ... 235

【ね】

- ネクスト・アドレス設定機能 ... 193

【の】

- ノイズ除去（ノンマスカブル割り込み） ... 207
- ノイズ除去（マスカブル割り込み） ... 219
- ノンマスカブル割り込み ... 203
- ノンマスカブル割り込みステータス・フラグ
... 207

【は】

- バス・アクセス ... 84
- バス・サイクル・コントロール・レジスタ ... 104
- バス・サイクル・タイプ・コンフィギュレーション・
レジスタ0,1 ... 83
- バス・サイクル・タイプ制御機能 ... 82
- バス・サイジング機能 ... 84
- バス・サイズ・コンフィギュレーション・レジスタ
... 84
- バス・ステートの種類 ... 176
- バス制御端子 ... 79
- バスの優先順位 ... 113
- バス幅 ... 88
- バス・ホールド機能 ... 105
- バス・ホールド・タイミング（SDRAM） ... 109
- バス・ホールド・タイミング（SRAM） ... 107
- バス・ホールド手順 ... 106
- 発振安定時間の確保 ... 253
- パワー・セーブ・コントロール・レジスタ ... 245
- パワー・セーブ制御 ... 241
- パワー・セーブ・モード時の動作 ... 106
- パワー・セーブ・モード・レジスタ ... 244
- 半田付け推奨条件 ... 451

【ひ】

- 微分直線性誤差 ... 368

【ふ】

- 不正命令コード ... 225
- プリスケアラ・ユニット ... 233
- フルスケール誤差 ... 368
- プログラマブル・ウエイト機能 ... 99
- プログラマブル・ウエイトと外部ウエイトの関係
... 102
- プログラム空間 ... 114
- プログラム・レジスタ・セット ... 56
- ブロック転送モード ... 181
- 分解能 ... 366

【へ】

- ページROMアクセス ... 128
- ページROMコントローラ ... 123
- ページROMコンフィギュレーション・レジスタ
... 127
- ページROMの接続 ... 124
- ペリフェラル・コマンド・レジスタ ... 236
- ペリフェラル・ステータス・レジスタ ... 239
- 変換時間 ... 369
- 変換動作の停止 ... 361

【ほ】

- ポート0 ... 385
- ポート0ファンクション・コントロール・レジスタ
... 387
- ポート0モード・コントロール・レジスタ ... 386
- ポート0モード・レジスタ ... 385
- ポート1 ... 388
- ポート1モード・コントロール・レジスタ ... 389
- ポート1モード・レジスタ ... 388
- ポート2 ... 390
- ポート2ファンクション・コントロール・レジスタ
... 392
- ポート2モード・コントロール・レジスタ ... 391
- ポート2モード・レジスタ ... 391
- ポート4 ... 393
- ポート4ファンクション・コントロール・レジスタ
... 395
- ポート4モード・コントロール・レジスタ ... 394
- ポート4モード・レジスタ ... 393
- ポート7 ... 396

ポートAH ... 399
 ポートAHモード・コントロール・レジスタ ... 400
 ポートAHモード・レジスタ ... 400
 ポートAL ... 397
 ポートALモード・コントロール・レジスタ ... 398
 ポートALモード・レジスタ ... 397
 ポートBD ... 413
 ポートBDモード・コントロール・レジスタ ... 414
 ポートBDモード・レジスタ ... 413
 ポートCD ... 409
 ポートCDファンクション・コントロール・レジスタ
 ... 412
 ポートCDモード・コントロール・レジスタ ... 411
 ポートCDモード・レジスタ ... 410
 ポートCM ... 407
 ポートCMモード・コントロール・レジスタ ... 408
 ポートCMモード・レジスタ ... 407
 ポートCS ... 403
 ポートCSモード・コントロール・レジスタ ... 404
 ポートCSモード・レジスタ ... 404
 ポートCT ... 405
 ポートCTモード・コントロール・レジスタ ... 406
 ポートCTモード・レジスタ ... 406
 ポートDL ... 401
 ポートDLモード・コントロール・レジスタ ... 402
 ポートDLモード・レジスタ ... 401
 ポートの基本構成 ... 371
 ポー・レート・ジェネレータ・コントロール・レジ
 スタ0,1 ... 317

【ま】

マスカブル割り込み ... 208
 マスカブル割り込みステータス・フラグ ... 218
 マスカブル割り込みの優先順位 ... 211

【め】

メモリ・ブロック機能 ... 80
 メモリ・マップ ... 64

【ゆ】

有効エッジ選択レジスタC0, C1 ... 221, 265

【り】

リセット機能 ... 415
 リフレッシュ制御機能 ... 151
 領域 ... 65
 量子化誤差 ... 367

【れ】

例外ステータス・フラグ ... 224
 例外トラップ ... 225

【ろ】

ロック・レジスタ ... 240

【わ】

割り込み応答時間 ... 231
 割り込みが受け付けられない期間 ... 232
 割り込み制御レジスタ ... 215
 割り込みトリガ・モードの選択 ... 219
 割り込みマスク・レジスタ0-3 ... 217

E.2 数字, アルファベットで始まる語句の索引

【数字】

2サイクル転送 ... 181

【A】

A0-A15 ... 48
 A16-A24 ... 48
 AC特性 ... 424
 ADCR0-ADCR3 ... 342
 ADCR0H-ADCR3H ... 342
 ADIC ... 215
 ADM0 ... 338
 ADM1 ... 340
 ADM2 ... 341
 A/Dコンバータ動作 ... 344
 A/Dコンバータ特性 ... 449
 A/Dコンバータ・モード・レジスタ0 ... 338
 A/Dコンバータ・モード・レジスタ1 ... 340
 A/Dコンバータ・モード・レジスタ2 ... 341
 A/Dトリガ・モード時の動作 ... 350
 A/D変換結果レジスタ0H-3H ... 342
 A/D変換結果レジスタ0-3 ... 342
 ANI0-ANI3 ... 42
 ASC ... 101
 ASIF0, ASIF1 ... 299
 ASIM0, ASIM1 ... 294
 ASIS0, ASIS1 ... 297
 AV_{DD} ... 50
 AV_{REF} ... 50
 AV_{SS} ... 50

【B】

BCC ... 104
 BCT0, BCT1 ... 83
 BEC ... 85
 BRG0, BRG1 ... 315
 BRGC0, BRGC1 ... 317
 BSC ... 84

【C】

CCC00, 01, 10, 11 ... 259
 CKC ... 237

CKSEL ... 49
 CKSR0, CKSR1 ... 316
 CLKOUT ... 43
 CMD0-CMD3 ... 283
 CMICD0-CMICD3 ... 215
 CPUアドレス空間 ... 61
 CPUアドレス空間のラップ・アラウンド ... 63
 CPUレジスタ・セット ... 55
 $\overline{CS0}$, $\overline{CS3}$, $\overline{CS4}$, $\overline{CS7}$... 46
 CSC0, CSC1 ... 81
 CSI0, CSI1 ... 323
 CSIC0, CSIC1 ... 327
 CSIIC0, CSIIC1 ... 215
 CSIM0, CSIM1 ... 325
 CV_{DD} ... 49
 CV_{SS} ... 49

【D】

D0-D15 ... 49
 DADC0-DADC3 ... 168
 DBC0-DBC3 ... 167
 DCHC0-DCHC3 ... 170
 DC特性 ... 422
 DDA0H-DDA3H ... 165
 DDA0L-DDA3L ... 166
 DDIS ... 172
 $\overline{DMAAK0}$, $\overline{DMAAK1}$... 42
 DMACバス・サイクルの状態遷移 ... 177
 DMAIC0-DMAIC3 ... 215
 $\overline{DMARQ0}$, $\overline{DMARQ1}$... 38
 $\overline{DMARQ0}$, $\overline{DMARQ1}$ 信号によるシングル転送時の1
 回転送 ... 199
 DMAアドレッシング・コントロール・レジスタ0-3
 ... 168
 DMAソース・アドレス・レジスタ0H-3H ... 163
 DMAソース・アドレス・レジスタ0L-3L ... 164
 DMAターミナル・カウント出力コントロール・レジ
 スタ... 173
 DMAチャンネル・コントロール・レジスタ0-3
 ... 170
 DMAチャンネルの優先順位 ... 193

- DMAディスエーブル・ステータス・レジスタ ... 172
- DMAデスティネーション・アドレス・レジスタ0H-3H ... 165
- DMAデスティネーション・アドレス・レジスタ0L-3L ... 166
- DMA転送カウント・レジスタ0-3 ... 167
- DMA転送完了時のターミナル・カウント出力 ... 195
- DMA転送起動要因 ... 194
- DMA転送時の外部バス・サイクル ... 192
- DMA転送に関する各種時間 ... 198
- DMA転送の終了 ... 200
- DMAトリガ要因レジスタ0-3 ... 174
- DMAバス・ステート ... 176
- DMA要求に対する応答時間の最大値 ... 198
- DMAリスタート・レジスタ ... 172
- DRST ... 172
- DSA0H-DSA3H ... 163
- DSA0L-DSA3L ... 164
- DTFR0-DTFR3 ... 174
- DTOC ... 173
- DWC0, DWC1 ... 99
- 【E】**
- EP ... 224
- 【H】**
- HALTモード ... 247
- $\overline{\text{HLDAK}}$... 43
- $\overline{\text{HLDRQ}}$... 43
- 【I】**
- ID ... 218
- IDLEモード ... 249
- IMR0-IMR3 ... 217
- INTM0 ... 207
- INTM1, INTM2 ... 219
- INTP000, INTP001 ... 38
- INTP010, INTP011 ... 39
- $\overline{\text{INTP100}}, \overline{\text{INTP101}}$... 38
- $\overline{\text{INTP110}}$... 40
- ISPR ... 218
- 【L】**
- $\overline{\text{LBE}}$... 47
- LDQM ... 45
- LOCKR ... 240
- $\overline{\text{LWR}}$... 45
- 【M】**
- MODE0-MODE2 ... 49
- 【N】**
- NMI ... 40
- NP ... 207
- 【O】**
- OVIC00, OVIC01 ... 215
- 【P】**
- P0 ... 385
- P00IC0, P00IC1 ... 215
- P01-P05 ... 38
- P01IC0, P01IC1 ... 215
- P1 ... 388
- P10IC0, P10IC1 ... 215
- P11IC0 ... 215
- P11, P12 ... 39
- P2 ... 390
- P20, P24 ... 40
- P4 ... 393
- P40-P45 ... 41
- P7 ... 396
- P70-P73 ... 42
- PAH ... 399
- PAH0-PAH8 ... 48
- PAL ... 397
- PAL0-PAL15 ... 48
- PBD ... 413
- PBD0, PBD1 ... 42
- PCD ... 409
- PCD0-PCD3 ... 47
- PCM ... 407
- PCM0-PCM4 ... 43
- PCS ... 403
- PCS0, PCS3, PCS4, PCS7 ... 46

PCT ...	405
PCT0, PCT1, PCT4, PCT5 ...	45
PDL ...	401
PDL0-PDL15 ...	49
PFC0 ...	387
PFC2 ...	392
PFC4 ...	395
PFCCD ...	412
PHCMD ...	236
PHS ...	239
PLLモード ...	235
PLLロックアップ ...	240
PM0 ...	385
PM1 ...	388
PM2 ...	391
PM4 ...	393
PMAH ...	400
PMAL ...	397
PMBD ...	413
PMC0 ...	386
PMC1 ...	389
PMC2 ...	391
PMC4 ...	394
PMCAH ...	400
PMCAL ...	398
PMCBD ...	414
PMCCD ...	411
PMCCM ...	408
PMCCS ...	404
PMCCT ...	406
PMCD ...	410
PMCDL ...	402
PMCM ...	407
PMCS ...	404
PMCT ...	406
PMDL ...	401
PRC ...	127
PRCMD ...	244
PRS ...	233
PSC ...	245
PSMR ...	244
【R】	
\overline{RD} ...	45
\overline{REFRQ} ...	44
\overline{RESET} ...	49
RFS3, RFS4 ...	151
ROMC ...	123
RXB0, RXB1 ...	300
RXD0, RXD1 ...	41
【S】	
$\overline{SCK0}$, $\overline{SCK1}$...	41
SCR3, SCR4 ...	135
\overline{SDCAS} ...	47
SDCKE ...	47
SDCLK ...	47
SDRAMアクセス ...	137
SDRAMコントローラ ...	132
SDRAMコンフィギュレーション・レジスタ3, 4 ...	135
SDRAM初期化シーケンス ...	158
SDRAMの接続 ...	132
SDRAM用リフレッシュ・コントロール・レジスタ3, 4 ...	151
\overline{SDRAS} ...	47
SEIC0, SEIC1 ...	215
SESC0, SESC1 ...	221, 265
SI0, SI1 ...	41
SIO0, SIO1 ...	329
SIOE0, SIOE1 ...	329
SO0, SO1 ...	41
SOTB0, SOTB1 ...	330
SRAM, 外部ROM, 外部I/Oアクセス ...	117
SRAM, 外部ROM, 外部インタフェース ...	115
SRAMの接続 ...	115
SRIC0, SRIC1 ...	215
STIC0, STIC1 ...	215
【T】	
TBC ...	254
$\overline{TC0}$...	40
TI000 ...	38
TI010 ...	39
TMC0, TMC1 ...	257

TMCC00, TMCC10 ... 261
TMCC01, TMCC11 ... 263
TMCD0-TMCD3 ... 285
TMD0-TMD3 ... 282
TO00 ... 38
TXB0, TXB1 ... 301
TXD0, TXD1 ... 41

【U】

UART0, UART1 ... 291
UARTとCSIのモード切り替え ... 290
 \overline{UBE} ... 47
UDQM ... 45
 \overline{UWR} ... 45

【V】

V_{DD} ... 49
V_{SS} ... 50
VSWC ... 77

【W】

\overline{WAIT} ... 43
 \overline{WE} ... 46

【X】

X1, X2 ... 49

〔メモ〕

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
