

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

μPD789871サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789870

μPD789871

μPD78F9872

(メモ)

目次要約

第1章	概 説	...	14
第2章	端子機能	...	21
第3章	CPUアーキテクチャ	...	28
第4章	ポート機能	...	51
第5章	クロック発生回路	...	64
第6章	8ビット・リモコン・タイマ50	...	74
第7章	8ビット・タイマ80, 81	...	78
第8章	時計用タイマ	...	87
第9章	ウォッチドッグ・タイマ	...	92
第10章	シリアル・インタフェース10	...	98
第11章	VFDコントローラ/ドライバ	...	106
第12章	割り込み機能	...	122
第13章	スタンバイ機能	...	135
第14章	リセット機能	...	143
第15章	μ PD78F9872	...	146
第16章	マスク・オプション(マスクROM製品)	...	154
第17章	命令セットの概要	...	155
第18章	電気的特性	...	166
第19章	外形図	...	177
第20章	半田付け推奨条件	...	178
付録A	開発ツール	...	180
付録B	ターゲット・システム設計上の注意	...	186
付録C	レジスタ索引	...	188
付録D	改版履歴	...	192

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご注意ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIP, EEPROMは、NECエレクトロニクス株式会社の登録商標です。

Windows, Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F9872

ユーザ判定品 : μ PD789870, 789871

- ・本資料に記載されている内容は2007年1月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- ・文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- ・当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- ・本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- ・当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- ・当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

はじめに

対象者 このマニュアルは μ PD789871サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示すサブシリーズの各製品です。

・ μ PD789871サブシリーズ : μ PD789870, 789871, 78F9872

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD789871サブシリーズのマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。

μPD789871サブシリーズ ユーザズ・マニュアル	78K/0Sシリーズ ユーザズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K/0Sシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0Sシリーズ ユーザズ・マニュアル 命令編 (U11047J)**を参照してください。

μ PD789871サブシリーズの電気的特性を知りたいとき

第18章 電気的特性を参照してください。

凡例 データ表記の重み：左が上位桁、右が下位桁

アクティブ・ロウの表記 : $\overline{\text{xxx}}$ (端子、信号名称に上線)

注 : 本文中につけた注の説明

注意 : 気をつけて読んでいただきたい内容

備考 : 本文の補足説明

数の表記 : 2進数... xxx または xxx_2

10進数... xxx

16進数... xxx

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD789871サブシリーズ ユーザーズ・マニュアル	このマニュアル	U14938E
78K/0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U17391J	U17391E
	言語編	U17390J	U17390E
	構造化アセンブリ言語編	U17389J	U17389E
CC78K0S Cコンパイラ	操作編	U16654J	U16654E
	言語編	U16655J	U16655E
SM+ システム・シミュレータ	操作編	U17246J	U17246E
	ユーザ・オープン・インタフェース編	U17247J	U17247E
SM78Kシリーズ Ver.2.52 システム・シミュレータ	操作編	U16768J	U16768E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78K0S-NS Ver.2.52 統合ディバッガ	操作編	U16584J	U16584E
PM plus Ver.5.20	U16934J	U16934E	

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789871-NS-EM1 エミュレーション・ボード	U16479J	U16479E

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 14

- 1.1 特 徴 ... 14
- 1.2 応用分野 ... 14
- 1.3 オータ情報 ... 14
- 1.4 端子接続図 (Top View) ... 15
- 1.5 78K/0Sシリーズの展開 ... 16
- 1.6 ブロック図 ... 19
- 1.7 機能概要 ... 20

第2章 端子機能 ... 21

- 2.1 端子機能一覧 ... 21
- 2.2 端子機能の説明 ... 23
 - 2.2.1 P00-P07 (Port0) ... 23
 - 2.2.2 P10-P12 (Port1) ... 23
 - 2.2.3 P20-P25 (Port2) ... 23
 - 2.2.4 P80-P87 (Port8) ... 24
 - 2.2.5 P90-P97 (Port9) ... 24
 - 2.2.6 FIP0-FIP8 ... 24
 - 2.2.7 $\overline{\text{RESET}}$... 24
 - 2.2.8 X1, X2 ... 24
 - 2.2.9 XT1, XT2 ... 24
 - 2.2.10 V_{DD0} ... 24
 - 2.2.11 V_{DD1} ... 24
 - 2.2.12 V_{LOAD} ... 25
 - 2.2.13 V_{SS0} ... 25
 - 2.2.14 V_{PP} ($\mu\text{PD78F9872}$ のみ) ... 25
 - 2.2.15 IC (マスクROM製品のみ) ... 25
- 2.3 端子の入出力回路と未使用端子の処理 ... 26

第3章 CPUアーキテクチャ ... 28

- 3.1 メモリ空間 ... 28
 - 3.1.1 内部プログラム・メモリ空間 ... 31
 - 3.1.2 内部データ・メモリ (内部高速RAM) 空間 ... 32
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 32
 - 3.1.4 データ・メモリ・アドレッシング ... 33
- 3.2 プロセッサ・レジスタ ... 36
 - 3.2.1 制御レジスタ ... 36
 - 3.2.2 汎用レジスタ ... 39
 - 3.2.3 特殊機能レジスタ (SFR) ... 40
- 3.3 命令アドレスのアドレッシング ... 42
 - 3.3.1 レラティブ・アドレッシング ... 42

3.3.2	イミューディエト・アドレッシング	...	43
3.3.3	テーブル・インダイレクト・アドレッシング	...	44
3.3.4	レジスタ・アドレッシング	...	44
3.4	オペランド・アドレスのアドレッシング	...	45
3.4.1	ダイレクト・アドレッシング	...	45
3.4.2	ショート・ダイレクト・アドレッシング	...	46
3.4.3	特殊機能レジスタ (SFR) アドレッシング	...	47
3.4.4	レジスタ・アドレッシング	...	48
3.4.5	レジスタ・インダイレクト・アドレッシング	...	49
3.4.6	ベースト・アドレッシング	...	50
3.4.7	スタック・アドレッシング	...	50

第4章 ポート機能 ... 51

4.1	ポートの機能	...	51
4.2	ポートの構成	...	53
4.2.1	ポート0	...	53
4.2.2	ポート1	...	54
4.2.3	ポート2	...	55
4.2.4	ポート8	...	58
4.2.5	ポート9	...	59
4.3	ポート機能を制御するレジスタ	...	60
4.4	ポート機能の動作	...	63
4.4.1	入出力ポートへの書き込み	...	63
4.4.2	入出力ポートからの読み出し	...	63
4.4.3	入出力ポートでの演算	...	63

第5章 クロック発生回路 ... 64

5.1	クロック発生回路の機能	...	64
5.2	クロック発生回路の構成	...	64
5.3	クロック発生回路を制御するレジスタ	...	66
5.4	システム・クロック発振回路	...	68
5.4.1	メイン・システム・クロック発振回路	...	68
5.4.2	サブシステム・クロック発振回路	...	68
5.4.3	発振子の接続の悪い例	...	69
5.4.4	分周回路	...	70
5.4.5	サブシステム・クロックを使用しない場合	...	70
5.5	クロック発生回路の動作	...	71
5.6	システム・クロックとCPUクロックの設定の変更	...	72
5.6.1	システム・クロックとCPUクロックの切り替えに要する時間	...	72
5.6.2	システム・クロックとCPUクロックの切り替え手順	...	73

第6章 8ビット・リモコン・タイマ50 ... 74

6.1	8ビット・リモコン・タイマ50の機能	...	74
6.2	8ビット・リモコン・タイマ50の構成	...	74
6.3	8ビット・リモコン・タイマ50を制御するレジスタ	...	75
6.4	8ビット・リモコン・タイマ50の動作	...	76

第7章 8ビット・タイマ80, 81 ... 78

- 7.1 8ビット・タイマ80, 81の機能 ... 78
- 7.2 8ビット・タイマ80, 81の構成 ... 79
- 7.3 8ビット・タイマ80, 81を制御するレジスタ ... 81
- 7.4 8ビット・タイマ80, 81の動作 ... 83
 - 7.4.1 インターバル・タイマとしての動作 ... 83
- 7.5 8ビット・タイマ80, 81の注意事項 ... 85

第8章 時計用タイマ ... 87

- 8.1 時計用タイマの機能 ... 87
- 8.2 時計用タイマの構成 ... 88
- 8.3 時計用タイマを制御するレジスタ ... 89
- 8.4 時計用タイマの動作 ... 90
 - 8.4.1 時計用タイマとしての動作 ... 90
 - 8.4.2 インターバル・タイマとしての動作 ... 90

第9章 ウォッチドッグ・タイマ ... 92

- 9.1 ウォッチドッグ・タイマの機能 ... 92
- 9.2 ウォッチドッグ・タイマの構成 ... 93
- 9.3 ウォッチドッグ・タイマを制御するレジスタ ... 94
- 9.4 ウォッチドッグ・タイマの動作 ... 96
 - 9.4.1 ウォッチドッグ・タイマとしての動作 ... 96
 - 9.4.2 インターバル・タイマとしての動作 ... 97

第10章 シリアル・インタフェース10 ... 98

- 10.1 シリアル・インタフェース10の機能 ... 98
- 10.2 シリアル・インタフェース10の構成 ... 99
- 10.3 シリアル・インタフェース10を制御するレジスタ ... 101
- 10.4 シリアル・インタフェース10の動作 ... 103
 - 10.4.1 動作停止モード ... 103
 - 10.4.2 3線式シリアルI/Oモード ... 104

第11章 VFDコントローラ/ドライバ ... 106

- 11.1 VFDコントローラ/ドライバの機能 ... 106
- 11.2 VFDコントローラ/ドライバの構成 ... 107
- 11.3 VFDコントローラ/ドライバを制御するレジスタ ... 108
 - 11.3.1 制御レジスタ ... 108
 - 11.3.2 1表示サイクルとブランキング幅 ... 111
- 11.4 表示データ・メモリ ... 111
- 11.5 キー・スキャンの動作 ... 113
 - 11.5.1 キー・スキャン・フラグとキー・スキャン割り込み ... 113
 - 11.5.2 キー・スキャン・データ ... 114
- 11.6 蛍光表示管のもれ発光について ... 114
- 11.7 全損失の計算方法 ... 117

11.8	VFDコントローラ/ドライバの注意事項	...	120
第12章	割り込み機能	...	122
12.1	割り込み機能の種類	...	122
12.2	割り込み要因と構成	...	122
12.3	割り込み機能を制御するレジスタ	...	125
12.4	割り込み処理動作	...	129
12.4.1	ノンマスカブル割り込み要求の受け付け動作	...	129
12.4.2	マスカブル割り込み要求の受け付け動作	...	131
12.4.3	多重割り込み処理	...	133
12.4.4	割り込み要求の保留	...	134
第13章	スタンバイ機能	...	135
13.1	スタンバイ機能と構成	...	135
13.1.1	スタンバイ機能	...	135
13.1.2	スタンバイ機能を制御するレジスタ	...	136
13.2	スタンバイ機能の動作	...	137
13.2.1	HALTモード	...	137
13.2.2	STOPモード	...	140
第14章	リセット機能	...	143
第15章	μPD78F9872	...	146
15.1	フラッシュ・メモリの特徴	...	147
15.1.1	プログラミング環境	...	147
15.1.2	通信方式	...	148
15.1.3	オンボード上の端子処理	...	150
15.1.4	フラッシュ書き込み用アダプタ上の接続	...	153
第16章	マスク・オプション (マスクROM製品)	...	154
第17章	命令セットの概要	...	155
17.1	オペレーション	...	155
17.1.1	オペランドの表現形式と記述方法	...	155
17.1.2	オペレーション欄の説明	...	156
17.1.3	フラグ動作欄の説明	...	156
17.2	オペレーション一覧	...	157
17.3	アドレッシング別命令一覧	...	163
第18章	電気的特性	...	166
第19章	外形図	...	177
第20章	半田付け推奨条件	...	178

付録A	開発ツール	...	180
A.1	ソフトウェア・パッケージ	...	182
A.2	言語処理用ソフトウェア	...	182
A.3	制御ソフトウェア	...	183
A.4	フラッシュ・メモリ書き込み用ツール	...	183
A.5	デバッグ用ツール(ハードウェア)	...	184
A.6	デバッグ用ツール(ソフトウェア)	...	185
付録B	ターゲット・システム設計上の注意	...	186
付録C	レジスタ索引	...	188
C.1	レジスタ索引(50音順)	...	188
C.2	レジスタ索引(アルファベット順)	...	190
付録D	改版履歴	...	192
D.1	本版で改訂された主な箇所	...	192

第1章 概 説

1.1 特 徴

ROM, RAM容量

項 目 品 名	プログラム・メモリ (ROM)		データ・メモリ	
			内部高速RAM	VFD表示用RAM
μ PD789870	ROM	4 Kバイト	512バイト	96バイト
μ PD789871		8 Kバイト		
μ PD78F9872	フラッシュ・メモリ	16 Kバイト		

高速 (0.4 μ s : メイン・システム・クロック5.0 MHz動作時) から超低速 (122 μ s : サブシステム・クロック32.768 kHz動作時) に最小命令実行時間を変更可能

I/Oポート : 33本

タイマ : 5チャンネル

- ・ 8ビット・リモコン・タイマ50 : 1チャンネル
- ・ 8ビット・タイマ80, 81 : 2チャンネル
- ・ 時計用タイマ : 1チャンネル
- ・ ウォッチドッグ・タイマ : 1チャンネル

シリアル・インタフェース : 1チャンネル

VFDコントローラ / ドライバ : 表示出力合計25本

ベクタ割り込み要因 : 12

電源電圧 : $V_{DD} = 2.7 \sim 5.5$ V (通常動作時)

$V_{DD} = 4.5 \sim 5.5$ V (VFD動作時)

動作周囲温度 : $T_A = -40 \sim +85$

1.2 応用分野

DVD, VCD, S-VCDなどのフロント・パネルを持つ製品など

1.3 オータ情報

オータ名称	パッケージ	内部ROM
μ PD789870GB- $\times \times \times$ -8ET	52ピン・プラスチックLQFP (10 \times 10)	マスクROM
μ PD789871GB- $\times \times \times$ -8ET	"	"
μ PD78F9872GB-8ET	"	フラッシュ・メモリ
★ μ PD789870GB- $\times \times \times$ -8ET-A	"	マスクROM
★ μ PD789871GB- $\times \times \times$ -8ET-A	"	"
★ μ PD78F9872GB-8ET-A	"	フラッシュ・メモリ

備考1. $\times \times \times$ はROMコード番号です。

2. オータ名称末尾「-A」の製品は、鉛フリー製品です。

★ 1.4 端子接続図 (Top View)

52ピン・プラスチックLQFP (10×10)

μ PD789870GB- x x x -8ET

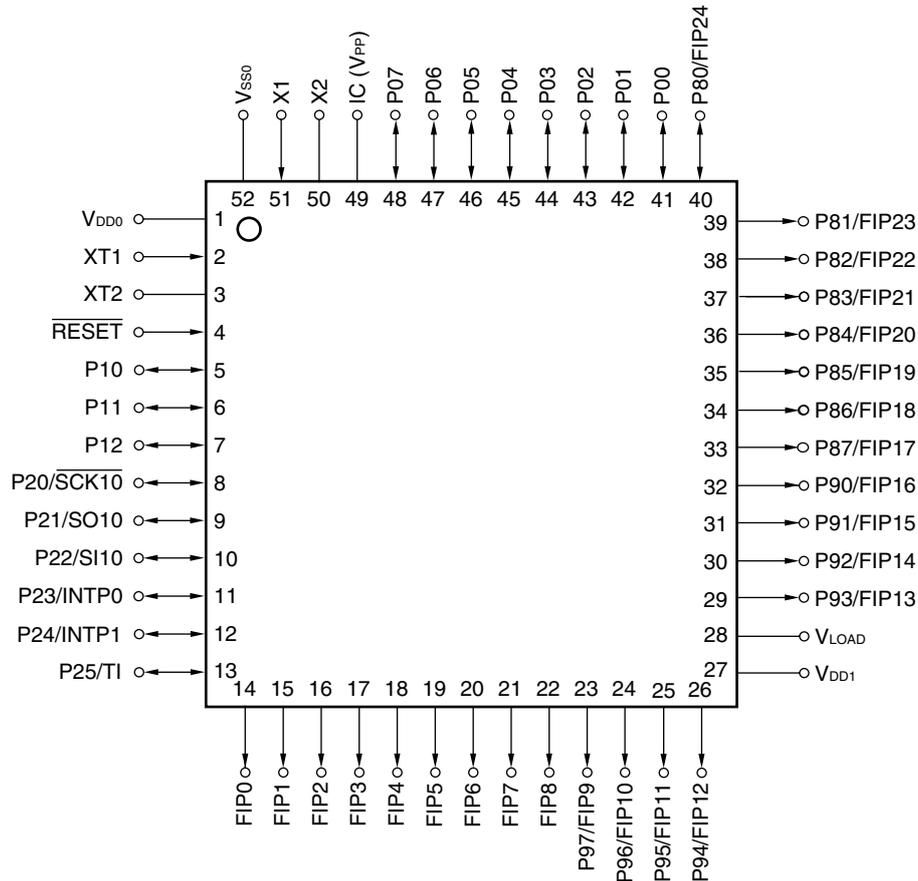
μ PD789870GB- x x x -8ET-A

μ PD789871GB- x x x -8ET

μ PD789871GB- x x x -8ET-A

μ PD78F9872GB-8ET

μ PD78F9872GB-8ET-A



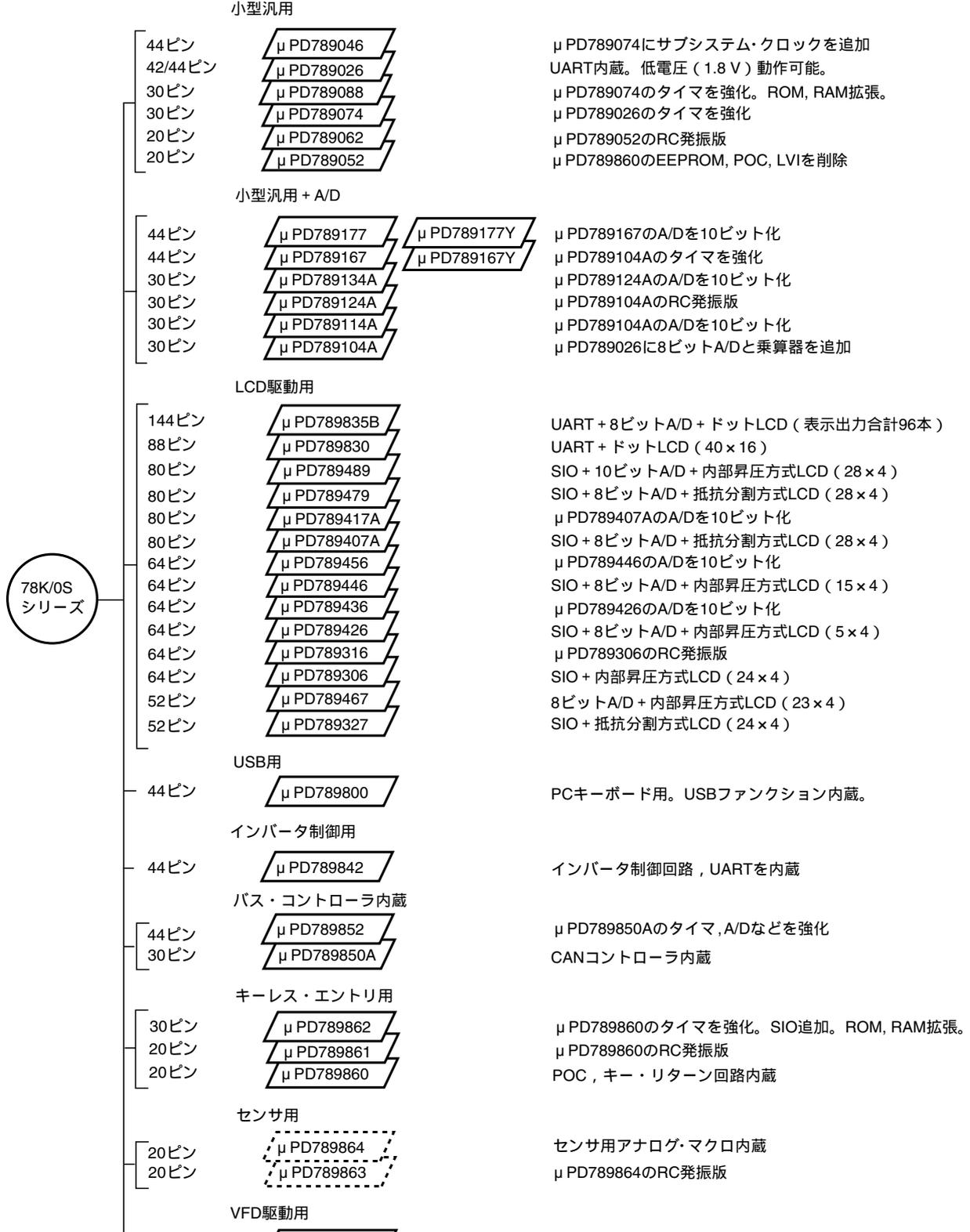
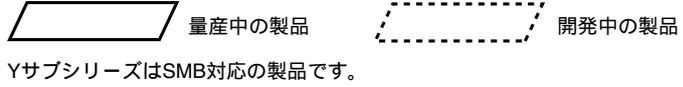
注意 IC (Internally Connected) 端子はVSS0に直接接続してください。

備考 () 内は, μ PD78F9872のとき

FIP0-FIP24	: Fluorescent Indicator Panel	SCK10	: Serial Clock
IC	: Internally Connected	SI10	: Serial Input
INTP0, INTP1	: Interrupt from Peripherals	SO10	: Serial Output
P00-P07	: Port0	TI	: Remote Control Timer Input
P10-P12	: Port1	VDD0, VDD1	: Power Supply
P20-P25	: Port2	VLOAD	: Negative Power Supply
P80-P87	: Port8	VPP	: Programming Power Supply
P90-P97	: Port9	VSS0	: Ground
RESET	: Reset	X1, X2	: Crystal (Main System Clock)
		XT1, XT2	: Crystal (Subsystem Clock)

★ 1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD（Vacuum Fluorescent Display）ですが、ドキュメントによってはFIP[®]（Fluorescent Indicator Panel）と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用，LCD駆動用シリーズ

サブシリーズ名	機 能	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
小型 汎用	μ PD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-
	μ PD789026	4 K-16 K										
	μ PD789088	16 K-32 K	3 ch							24本		
	μ PD789074	2 K-8 K	1 ch									
	μ PD789062	4 K	2 ch	-					-	14本		RC発振版
	μ PD789052											-
小型 汎用 + A/D	μ PD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-
	μ PD789167						8 ch	-				
	μ PD789134A	2 K-8 K	1 ch				-	4 ch		20本		RC発振版
	μ PD789124A						4 ch	-				
	μ PD789114A						-	4 ch				-
	μ PD789104A						4 ch	-				
LCD 駆動用	μ PD789835B	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD
	μ PD789830	24 K	1 ch	1 ch			-			30本	2.7 V	対応
	μ PD789489	32 K-48 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	-
	μ PD789479	24 K-48 K					8 ch	-				
	μ PD789417A	12 K-24 K					-	7 ch	1 ch (UART : 1ch)	43本		
	μ PD789407A						7 ch	-				
	μ PD789456	12 K-16 K	2 ch				-	6 ch		30本		
	μ PD789446						6 ch	-				
	μ PD789436						-	6 ch		40本		
	μ PD789426						6 ch	-				
	μ PD789316	8 K-16 K					-		2 ch (UART : 1ch)	23本		RC発振版
	μ PD789306											-
	μ PD789467	4 K-24 K		-			1 ch		-	18本		
	μ PD789327						-		1 ch	21本		

注 フラッシュ・メモリ版 : 3.0 V

ASSP用シリーズ

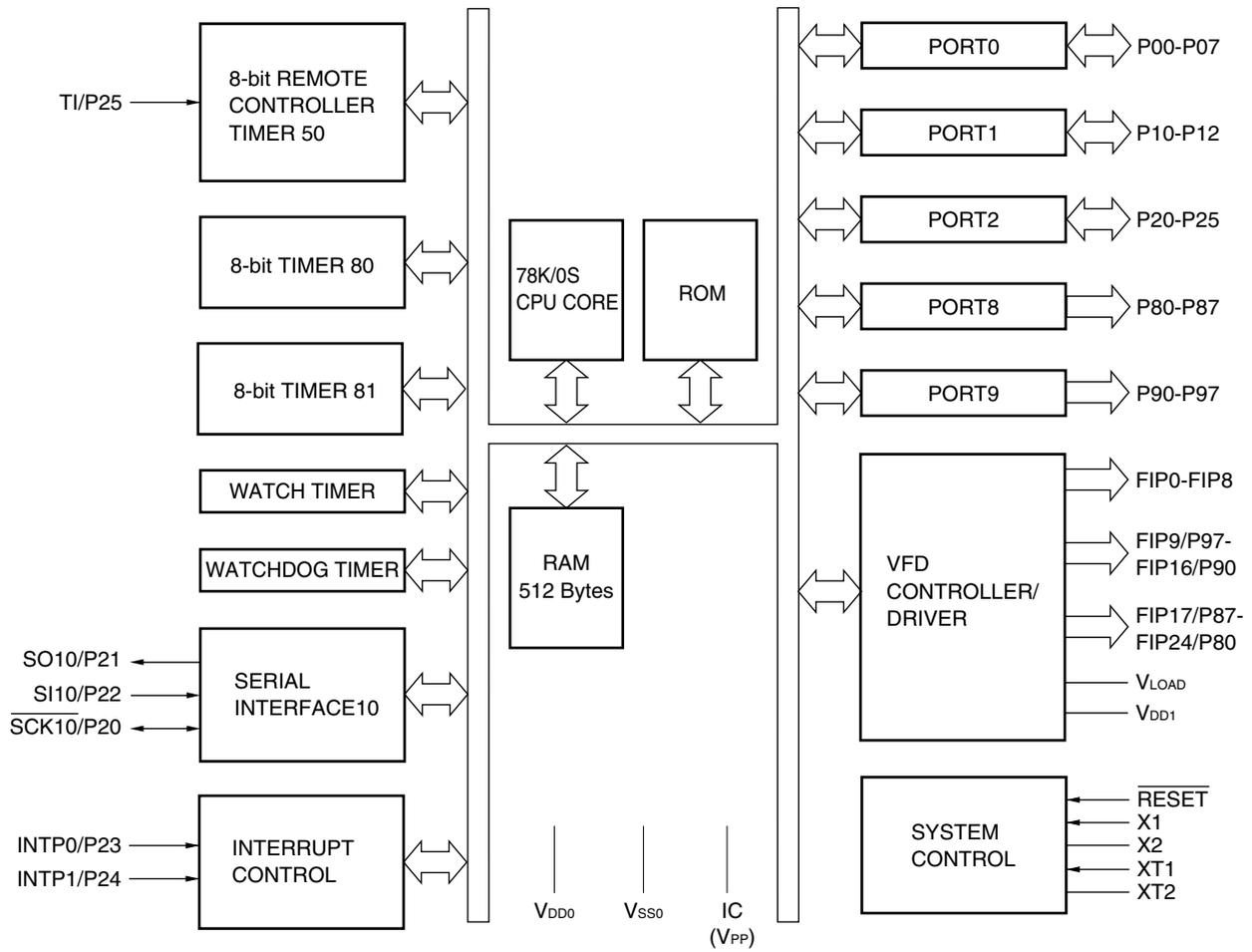
機能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
USB用 μPD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-
インバー タ制御用 μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-
バス・コント ローラ内蔵 μPD789852	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-
μPD789850A	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本		
キース ・エント リ用 μPD789861	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版， EEPROM内蔵
μPD789860	16 K	1 ch						2 ch	-		EEPROM内蔵
μPD789862									1 ch (UART : 1ch)		22本
センサ 用 μPD789864	4 K	1 ch	注2	-	1 ch	-	4 ch	-	5本	1.9 V	EEPROM内蔵
μPD789863											RC発振版， EEPROM内蔵
VFD 駆動用 μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-
メータ 制御用 μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注3}	-

注1. 10ビット・タイマ：1チャンネル

2. 12ビット・タイマ：1チャンネル

3. フラッシュ・メモリ版：3.0 V

★ 1.6 ブロック図



備考1. 内部ROM容量は製品によって異なります。

2. ()内は, μ PD78F9872のとき

1.7 機能概要

項 目		μ PD789870	μ PD789871	μ PD78F9872
内部メモリ	ROM	マスクROM		フラッシュ・メモリ
		4 Kバイト	8 Kバイト	16 Kバイト
	高速RAM	512バイト		
	VFD表示用RAM	96バイト		
最小命令実行時間		・ 0.4 μs/1.6 μs (メイン・システム・クロック : 5.0 MHz動作時) ・ 122 μs (サブシステム・クロック : 32.768 kHz動作時)		
汎用レジスタ		8ビット×8レジスタ		
命令セット		・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など		
I/Oポート		合計 : 33本 ・ CMOS入出力 : 17本 ・ P-chオープン・ドレイン出力 : 16本		
VFDコントローラ/ドライバ		表示出力合計 : 25本		
シリアル・インタフェース		3線式シリアルI/O : 1チャンネル		
タイマ		・ 8ビット・リモコン・タイマ50 : 1チャンネル ・ 8ビット・タイマ80, 81 : 2チャンネル ・ 時計用タイマ : 1チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル		
ベクタ割り込み	マスカブル	内部 : 8, 外部 : 4		
要因	ノンマスカブル	内部 : 1		
電源電圧		V _{DD} = 2.7 ~ 5.5 V (通常動作時) V _{DD} = 4.5 ~ 5.5 V (VFD動作時)		
動作周囲温度		T _A = -40 ~ +85		
パッケージ		52ピン・プラスチックLQFP (10×10)		

★

次にタイマの概要を示します。

		8ビット・リモコン・ タイマ50	8ビット・タイマ 80, 81	時計用タイマ	ウォッチドッ グ・タイマ
動作モード	インターバル・ タイマ	-	2チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
機能	パルス幅測定	1入力	-	-	-
	割り込み要因	3	2	2	2

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	
P10-P12	入出力	ポート1。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB2 (PUB2) により、内蔵プルアップ抵抗を使用可能。	入力	SCK10
P21				SO10
P22				SI10
P23				INTP0
P24				INTP1
P25				TI
★ P80-P87	出力	ポート8。 P-chオープン・ドレイン8ビット高耐圧出力ポート。 マスクROM製品はプルダウン抵抗を内蔵 (プルダウン抵抗はV _{LOAD} 接続)。	出力	FIP24-FIP17
P90-P97	出力	ポート9。 P-chオープン・ドレイン8ビット高耐圧出力ポート。 マスクROM製品はプルダウン抵抗を内蔵 (プルダウン抵抗はV _{LOAD} 接続)。	出力	FIP16-FIP9

(2) ポート以外の端子

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み入力	入力	P23
INTP1				P24
SI10	入力	シリアル・インタフェースのシリアル・データ入力	入力	P22
SO10	出力	シリアル・インタフェースのシリアル・データ出力	入力	P21
SCK10	入出力	シリアル・インタフェースのシリアル・クロック入力/出力	入力	P20
TI	入力	8ビット・リモコン・タイマへのタイマ入力	入力	P25
FIP0-FIP8	出力	VFDコントローラ/ドライバの高耐圧大電流出力	出力	
FIP9-FIP16				P97-P90
FIP17-FIP24				P87-P80
X1	入力	メイン・システム・クロック発振用クリスタル接続		
X2				
XT1	入力	サブシステム・クロック発振用クリスタル接続		
XT2				
V _{LOAD}		VFDコントローラ/ドライバのブルダウン抵抗接続		
V _{DD0}		ポート部の正電源		
V _{DD1}		VFDコントローラ/ドライバ部の正電源		
V _{SS0}		グランド電位		
RESET	入力	システム・リセット入力	入力	
IC		内部接続されています。V _{SS0} に直接接続してください。		
V _{PP}		フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加。		

2.2 端子機能の説明

2.2.1 P00-P07 (Port0)

8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗をポート単位で使用できます。

2.2.2 P10-P12 (Port1)

3ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗をポート単位で使用できます。

2.2.3 P20-P25 (Port2)

6ビット入出力ポートです。入出力ポートのほかにタイマ入力、シリアル・インタフェースのデータ入出力、外部割り込み入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB2 (PUB2) により、内蔵プルアップ抵抗をビット単位で使用できます。

(2) コントロール・モード

タイマ入力、シリアル・インタフェースのデータ入出力、外部割り込み入力として機能します。

(a) TI

8ビット・リモコン・タイマのタイマ入力端子です。

(b) SI10, SO10

シリアル・インタフェースのシリアル・データの入出力端子です。

(c) $\overline{\text{SCK10}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(d) INTPO, INTP1

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりエッジの両エッジ) 指定可能な外部割り込み入力端子です。

★ 2.2.4 P80-P87 (Port 8)

8ビットのP-chオープン・ドレイン出力ポートです。出力ポートのほかにVFDコントローラ/ドライバの出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットのP-chオープン・ドレイン出力ポートとして機能します。

(2) コントロール・モード

VFDコントローラ/ドライバの出力 (FIP17-FIP24) として機能します。マスクROM製品は、プルダウン抵抗を内蔵しています (プルダウン抵抗はV_{LOAD}接続)。

2.2.5 P90-P97 (Port 9)

8ビットのP-chオープン・ドレイン出力ポートです。出力ポートのほかにVFDコントローラ/ドライバの出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットのP-chオープン・ドレイン出力ポートとして機能します。

(2) コントロール・モード

VFDコントローラ/ドライバの出力 (FIP9-FIP16) として機能します。マスクROM製品は、プルダウン抵抗を内蔵しています (プルダウン抵抗はV_{LOAD}接続)。

2.2.6 FIP0-FIP8

VFDコントローラ/ドライバの出力端子です。

2.2.7 $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.8 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

2.2.9 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

2.2.10 V_{DD0}

正電源供給端子です。

2.2.11 V_{DD1}

VFDコントローラ/ドライバ部の正電源供給端子です。

2.2.12 V_{LOAD}

VFDコントローラ/ドライバのプルダウン抵抗接続端子です。

2.2.13 V_{SS0}

グランド電位端子です。

2.2.14 V_{PP} (μ PD78F9872のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

★ 次のどちらかの端子処理をしてください。

個別に10 kΩのプルダウン抵抗を接続する

ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時はV_{SS}に直接接続するように切り替える

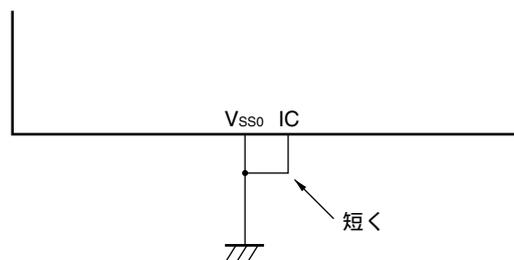
V_{PP}端子とV_{SS}端子間の配線の引き回しが長い場合や、V_{PP}端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

2.2.15 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時にμ PD789870, 789871を検査するためのテスト・モードに設定するための端子です。通常動作時には、IC端子をV_{SS0}に直接接続し、その配線長を極力短くしてください。

IC端子とV_{SS0}端子間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とV_{SS0}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をV_{SS0}端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

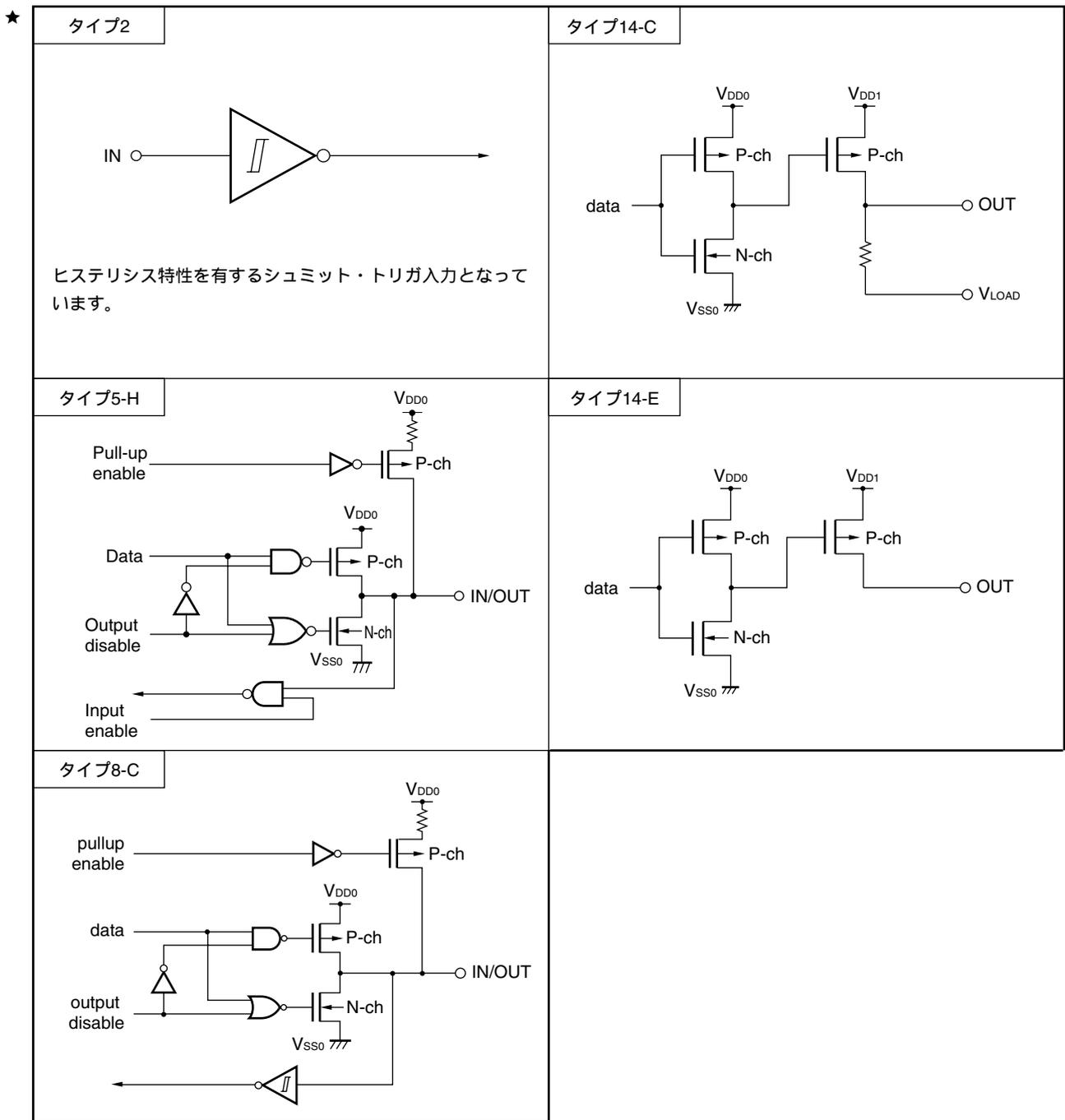
各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5-H	入出力	入力時：個別に抵抗を介して、 V_{DD0} または V_{SS0} に接続してください。 出力時：オープンにしてください。
P10-P12			
P20/ $\overline{SCK10}$	8-C		
P21/SO10	5-H		
P22/SI10	8-C		
P23/INTP0			
P24/INTP1			
P25/TI			
FIP0-FIP8	14-C	出力	オープンにしてください。
★ FIP9/P97-FIP16/P90, FIP17/P87-FIP24/P80 (マスクROM製品)			
★ FIP9/P97-FIP16/P90, FIP17/P87-FIP24/P80 (フラッシュ・メモリ製品)	14-E		
RESET	2	入力	-
IC			V_{SS0} に直接接続してください。
★ V_{PP}			個別に10 k Ω のプルダウン抵抗を接続するか、 V_{SS} に直接接続してください。

図2 - 1 端子の入出力回路一覧



第3章 CPUアーキテクチャ

3.1 メモリ空間

μ PD789871サブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 3に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD789870)

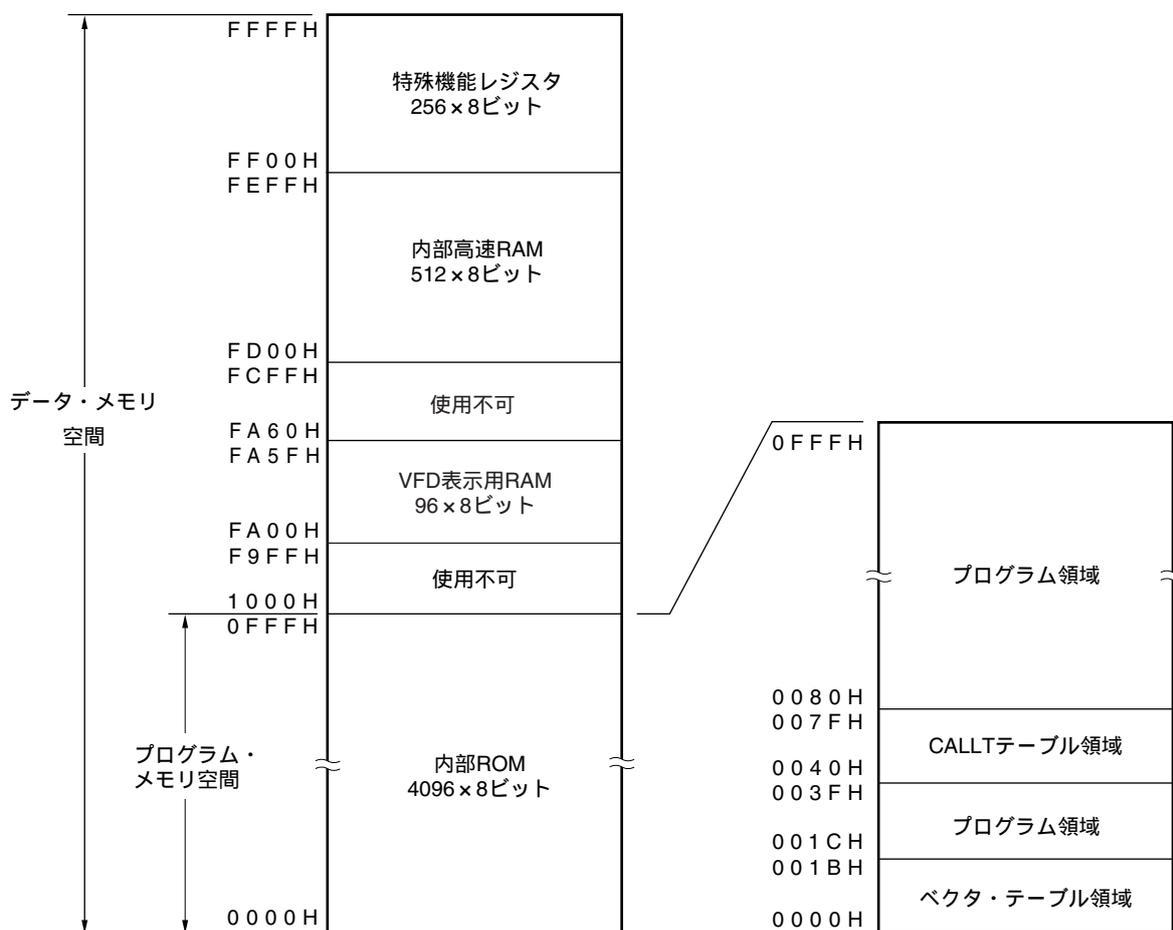


図3-2 メモリ・マップ (μ PD789871)

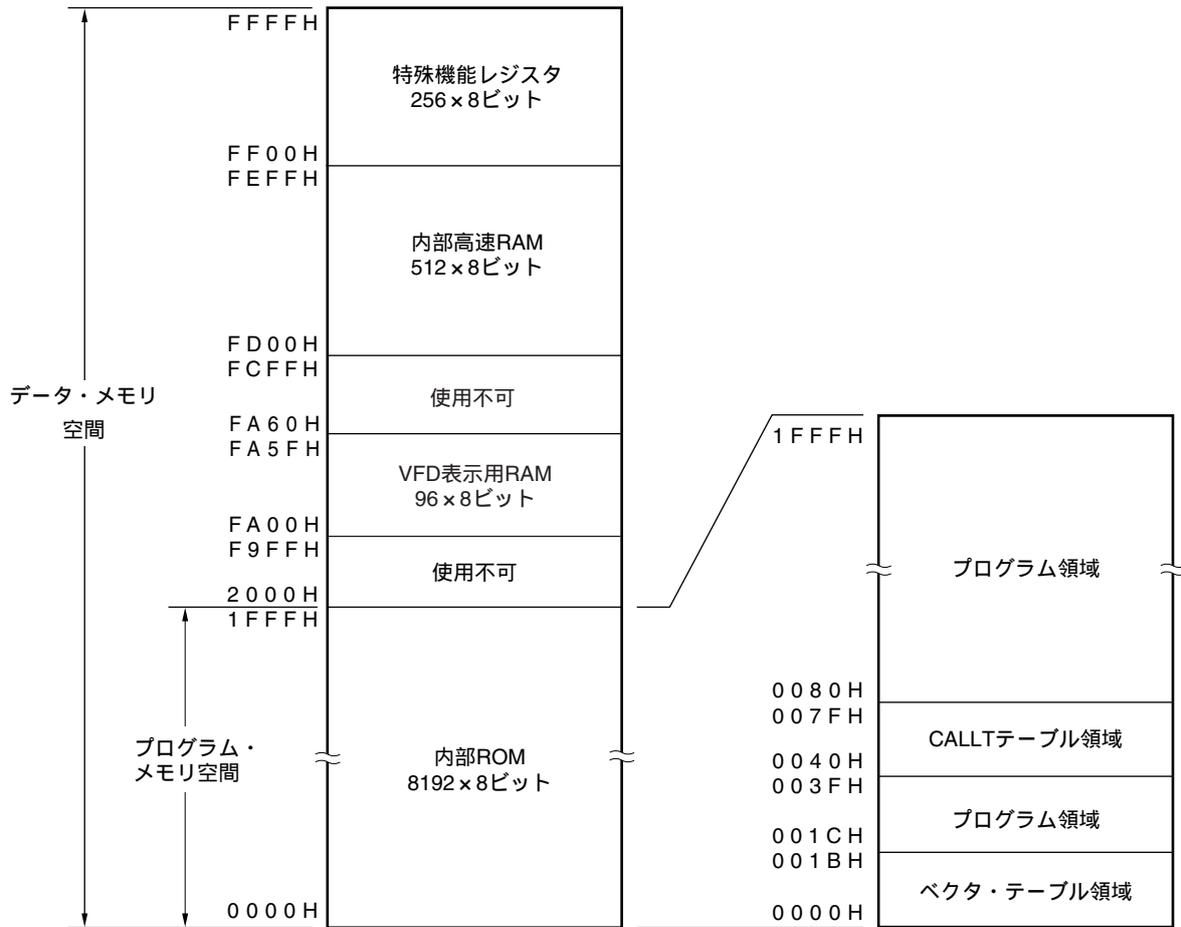
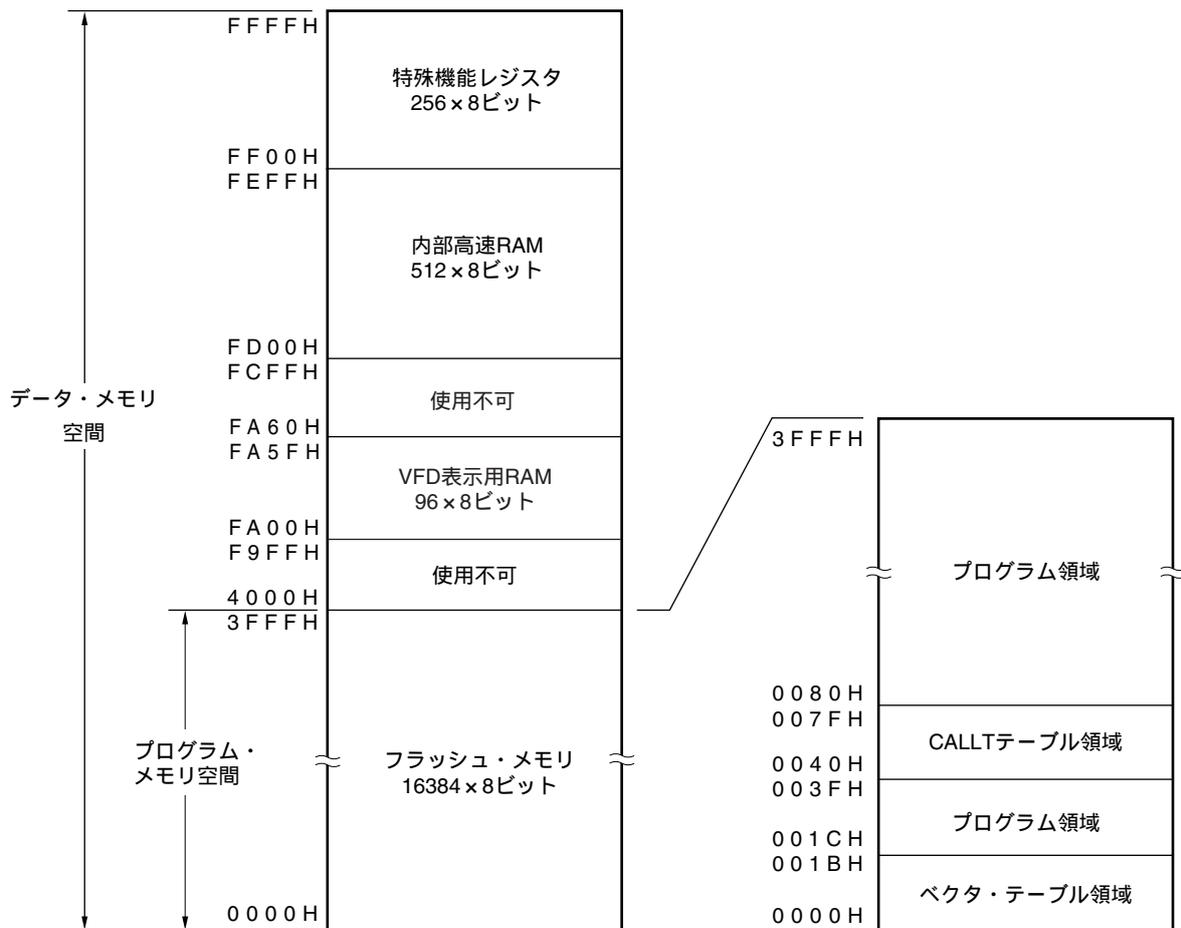


図3-3 メモリ・マップ(μ PD78F9872)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789871サブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3 - 1 内部ROM容量

品 名	内部ROM	
	構 造	容 量
μPD789870	マスクROM	4096×8ビット
μPD789871		8192×8ビット
μPD78F9872	フラッシュ・メモリ	16384×8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-001BHの28バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	0010H	INTKS
0004H	INTWDT	0012H	INTCSI10
0006H	INTP0	0014H	INTTM80
0008H	INTP1	0016H	INTTM81
000AH	INTTM50	0018H	INTWT
000CH	INTTM51	001AH	INTWTI
000EH	INTTM52		

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

3.1.2 内部データ・メモリ（内部高速RAM）空間

μ PD789871サブシリーズの製品には、次に示すRAMを内蔵しています。

（1）内部高速RAM

FD00H-FEFFFHの領域には、内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用できます。

（2）VFD表示用RAM

FA00H-FA5FFHの96バイトの領域には、VFD表示用RAMが割りつけられています。VFD表示用RAMは、通常のRAMとしても使用できます。

3.1.3 特殊機能レジスタ（SFR : Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割りつけられています（表3 - 3参照）。

3.1.4 データ・メモリ・アドレッシング

μPD789871サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域 (FE00H-FEFFFH) では、特殊機能レジスタ (SFR) など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 4から図3 - 6にデータ・メモリのアドレッシングを示します。

図3 - 4 データ・メモリのアドレッシング (μPD789870)

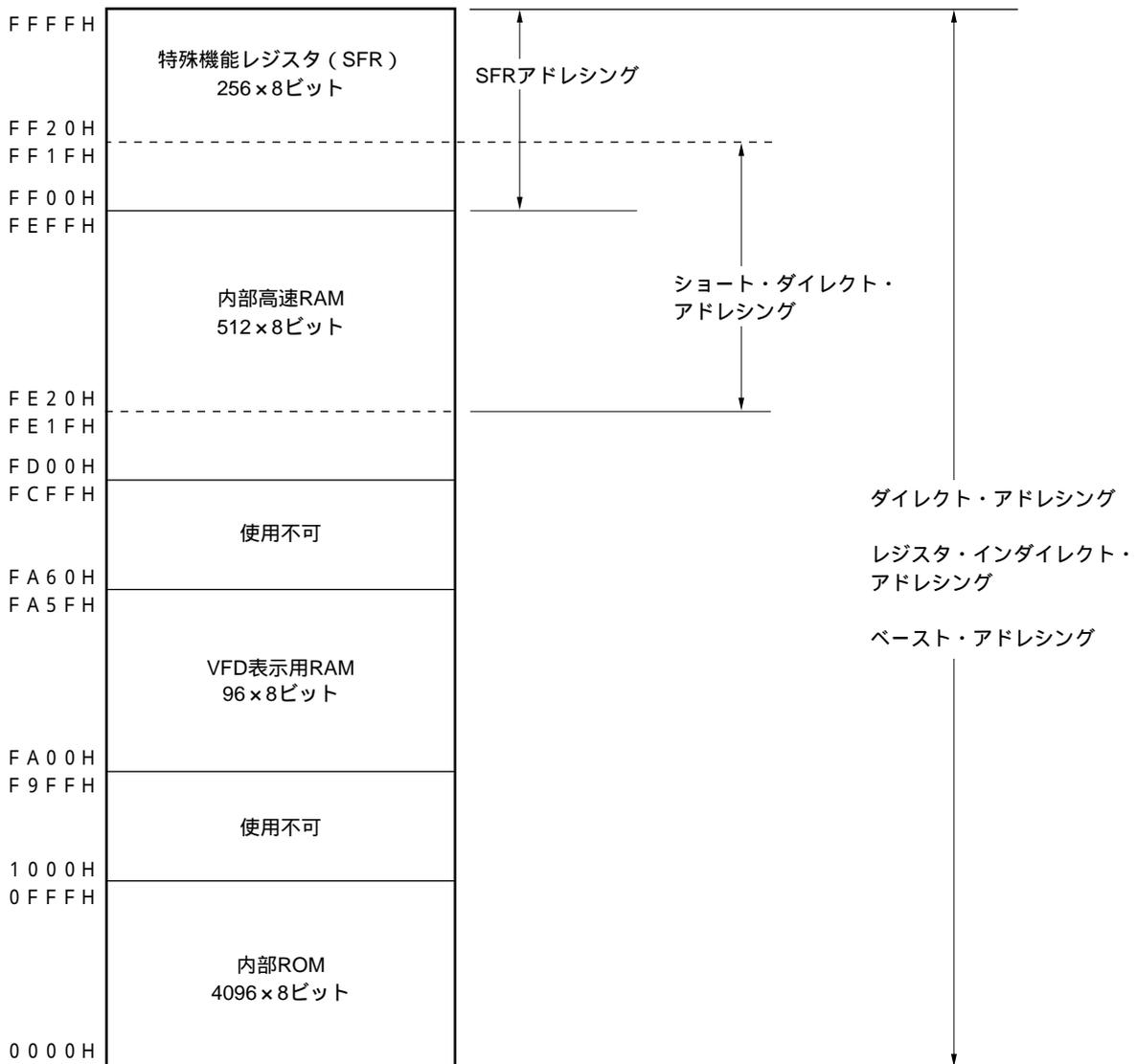


図3-5 データ・メモリのアドレッシング (μ PD789871)

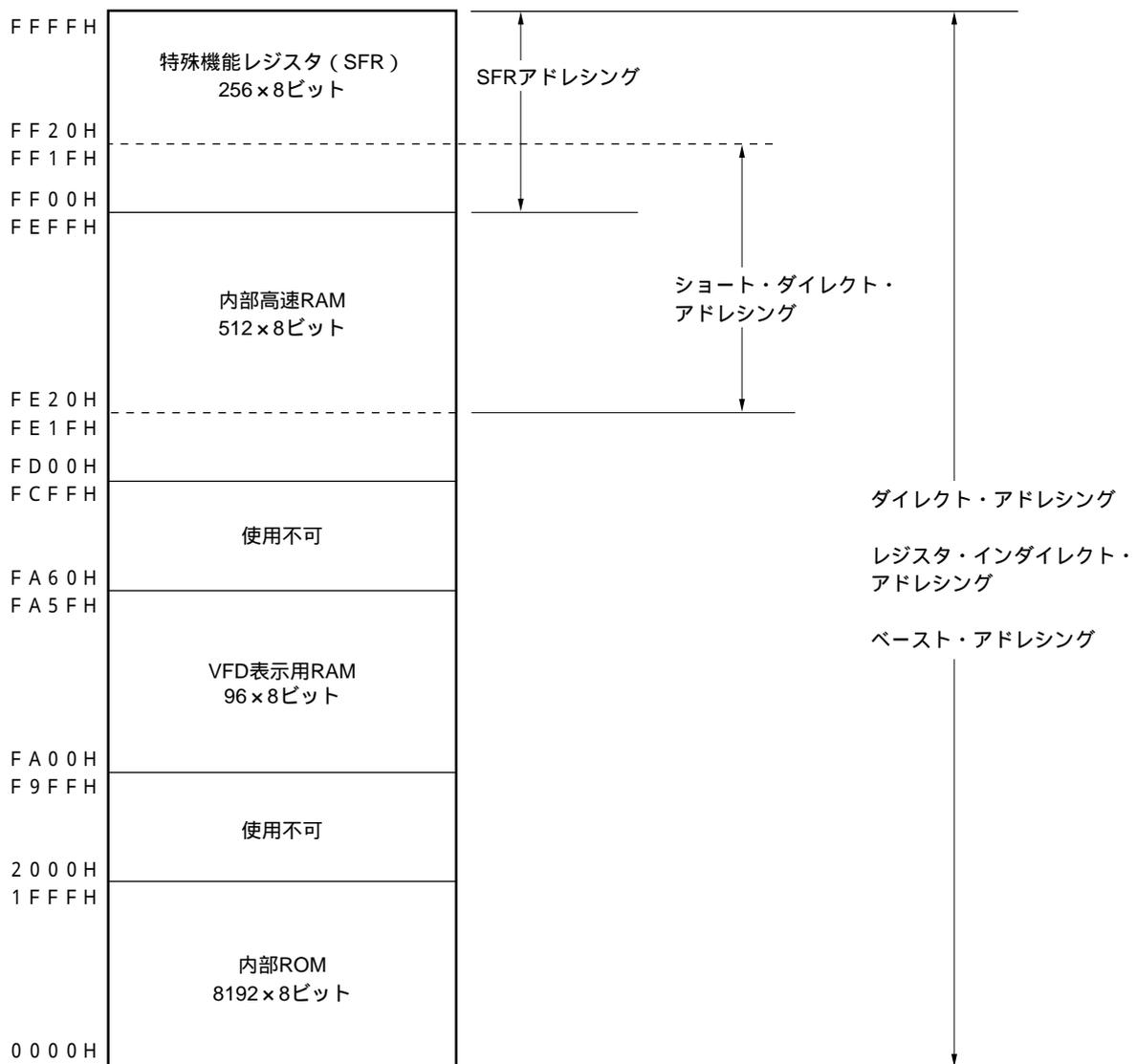
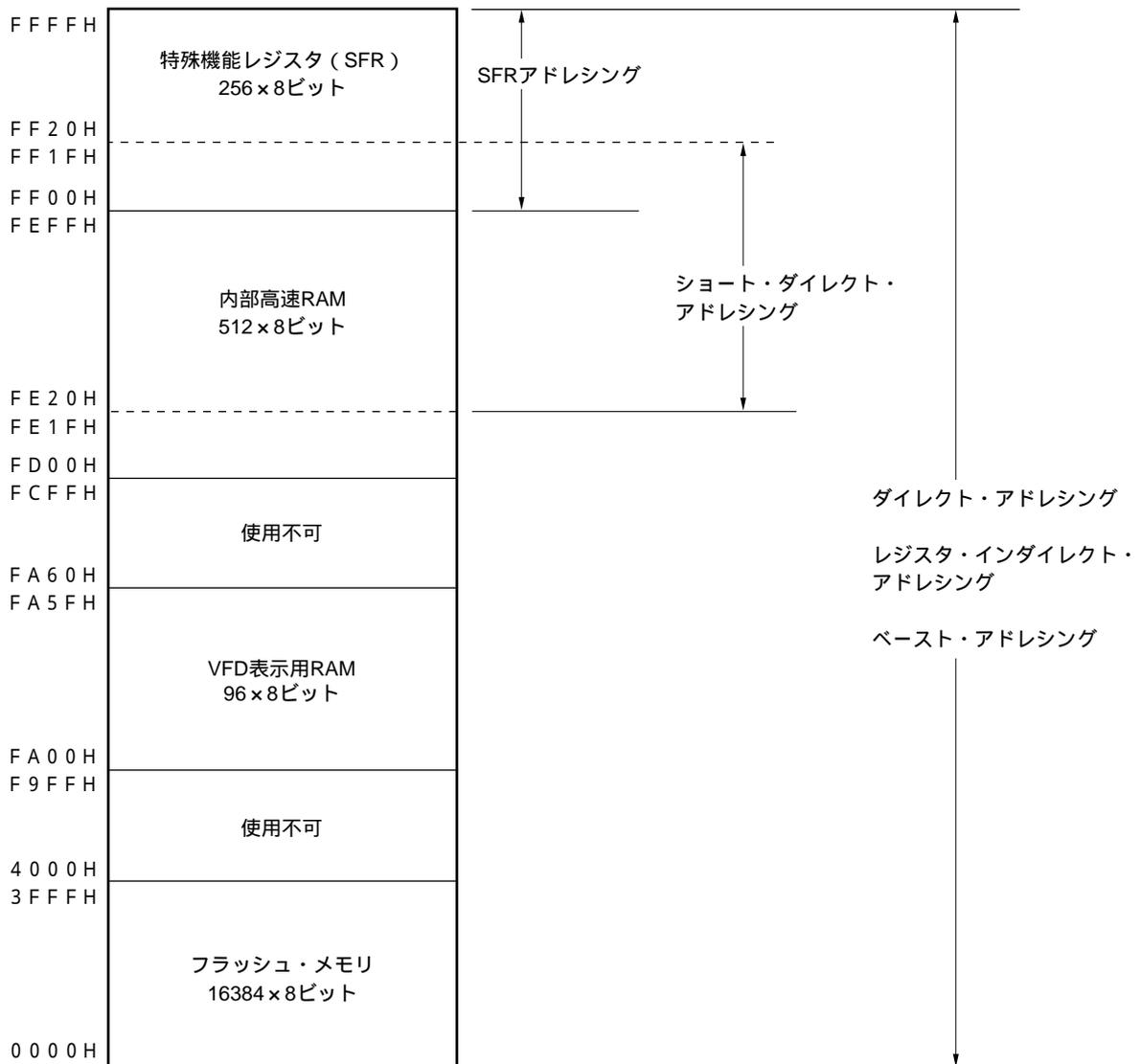


図3-6 データ・メモリのアドレッシング (μ PD78F9872)



3.2 プロセッサ・レジスタ

μ PD789871サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

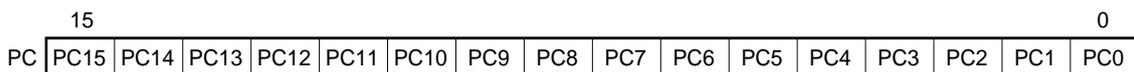
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-7 プログラム・カウンタの構成



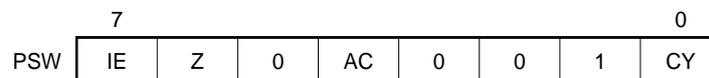
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3-8 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクابل割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

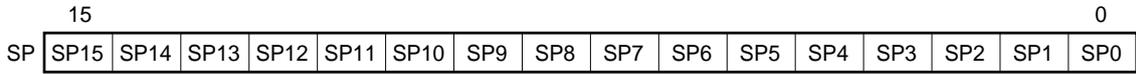
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 9 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3 - 10，3 - 11のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 10 スタック・メモリへ退避されるデータ

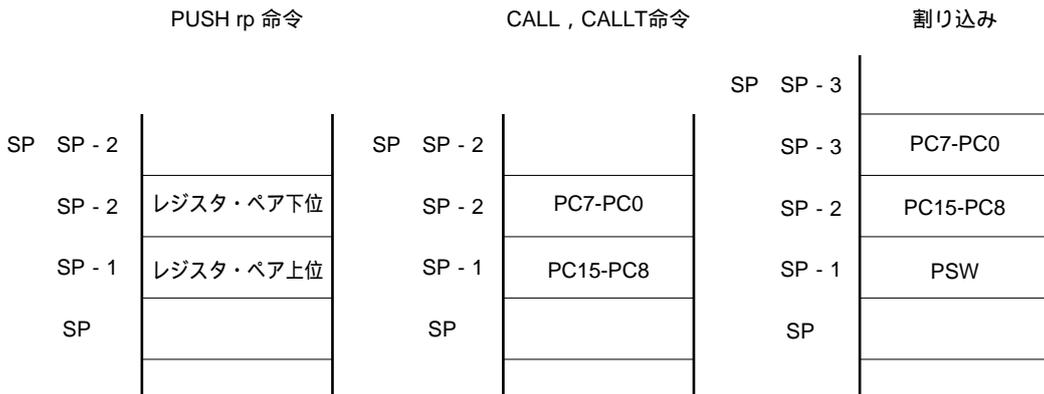
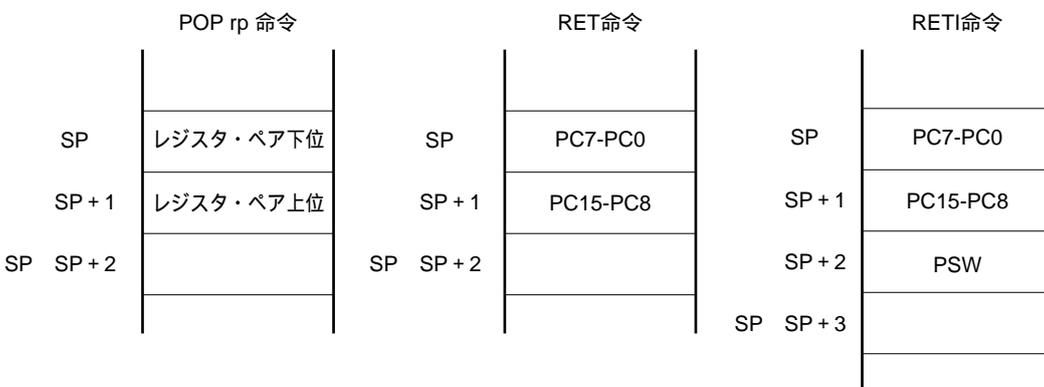


図3 - 11 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

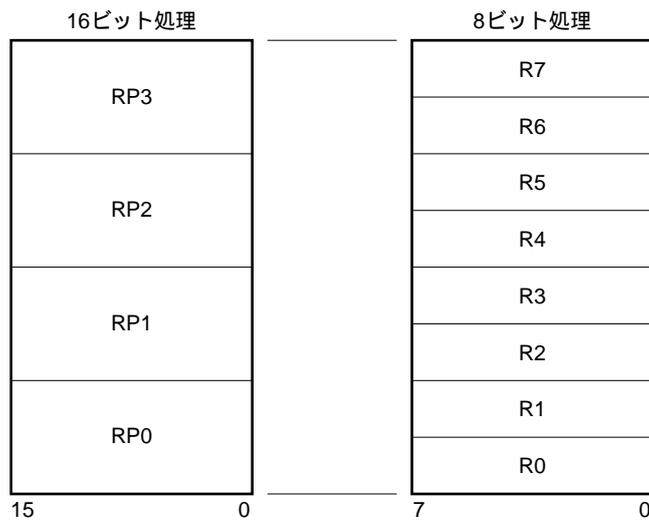
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

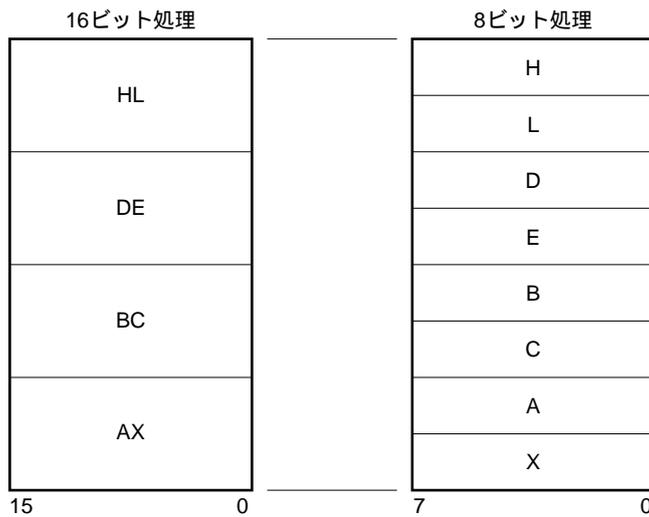
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 12 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラでは #pragma sfr 指令で、sfr変数として定義されているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3-3 特殊機能レジスタ一覧

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF00H	ポート0	P0	R/W			-	00H	
FF01H	ポート1	P1				-		
FF02H	ポート2	P2				-		
FF08H	ポート8	P8				-		
FF09H	ポート9	P9				-		
FF20H	ポート・モード・レジスタ0	PM0				-		FFH
FF21H	ポート・モード・レジスタ1	PM1				-		
FF22H	ポート・モード・レジスタ2	PM2				-		
FF32H	ブルアップ抵抗オプション・レジスタB2	PUB2				-	00H	
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS		-		-		
FF4AH	時計用タイマ・モード・コントロール・レジスタ	WTM				-		
FF50H	8ビット・コンペア・レジスタ80	CR80		W	-		-	不定
FF51H	8ビット・タイマ・カウンタ80	TM80	R	-		-	00H	
FF53H	8ビット・タイマ・モード・コントロール・レジスタ80	TMC80	R/W			-		
FF54H	8ビット・コンペア・レジスタ81	CR81	W	-		-	不定	
FF55H	8ビット・タイマ・カウンタ81	TM81	R	-		-	00H	
FF57H	8ビット・タイマ・モード・コントロール・レジスタ81	TMC81	R/W			-		
FF58H	リモコン・タイマ・コントロール・レジスタ50	TMC50				-		
FF5AH	リモコン・タイマ・キャプチャ・レジスタ50	CP50	R	-		-		
FF5BH	リモコン・タイマ・キャプチャ・レジスタ51	CP51			-		-	
FF72H	シリアル動作モード・レジスタ10	CSIM10	R/W			-	不定	
FF74H	送受信シフト・レジスタ10	SIO10		-		-		
FFA0H	表示モード・レジスタ0	DSPM0				-		10H
FFA1H	表示モード・レジスタ1	DSPM1				-		01H
FFA2H	表示モード・レジスタ2	DSPM2				-	00H	
FFE0H	割り込み要求フラグ・レジスタ0	IF0				-		
FFE1H	割り込み要求フラグ・レジスタ1	IF1				-		
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0				-	FFH	
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1				-		
FFECH	外部割り込みモード・レジスタ0	INTM0			-		-	00H
FFF0H	サブ発振モード・レジスタ	SCKM				-		
FFF2H	サブクロック・コントロール・レジスタ	CSS				-		
FFF7H	ブルアップ抵抗オプション・レジスタ0	PU0				-		
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				-		
FFFAH	発振安定時間選択レジスタ	OSTS		-		-	04H	
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC			-	02H		

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください）。

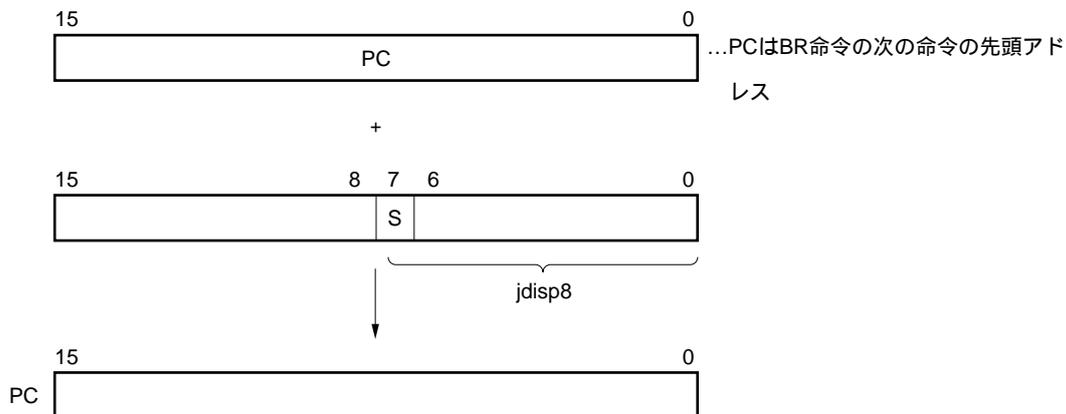
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0 のとき、 は全ビット 0

S = 1 のとき、 は全ビット 1

3.3.2 イミディエト・アドレッシング

【機能】

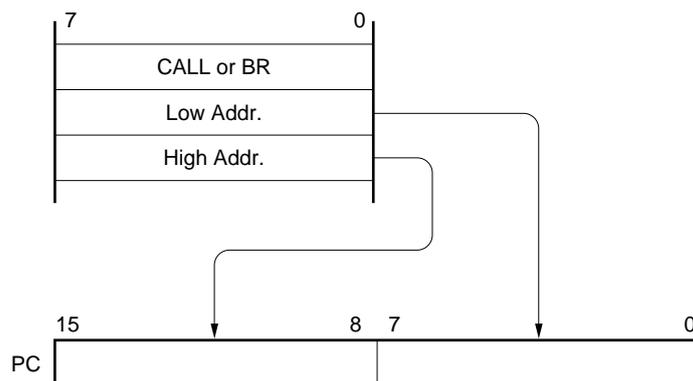
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



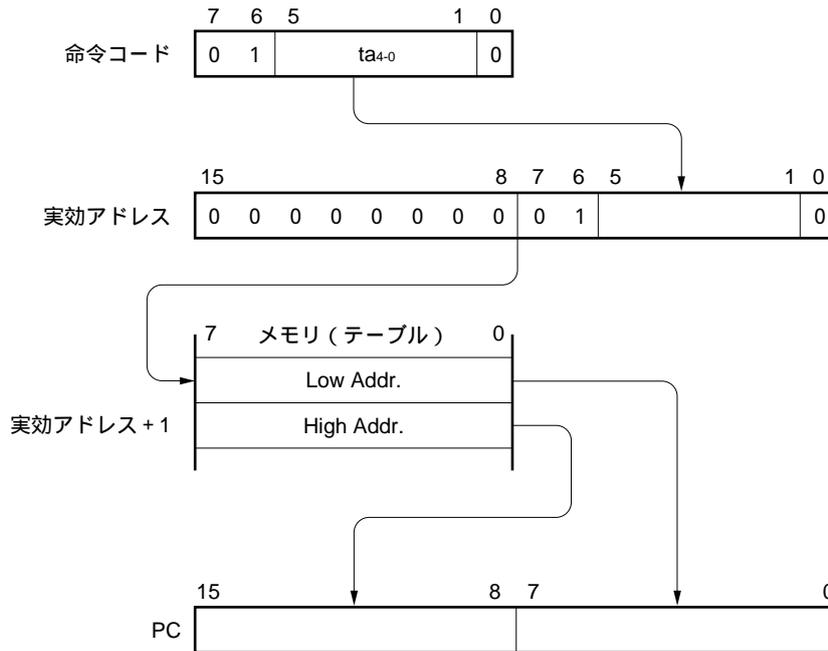
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



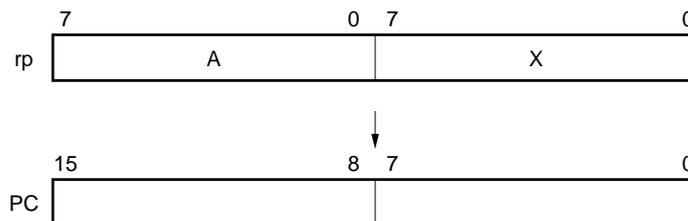
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

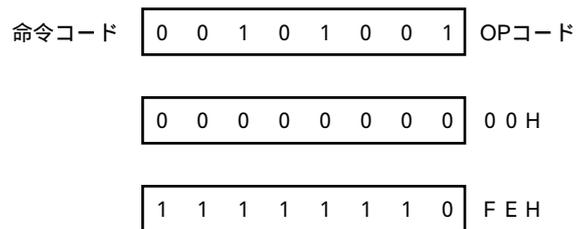
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

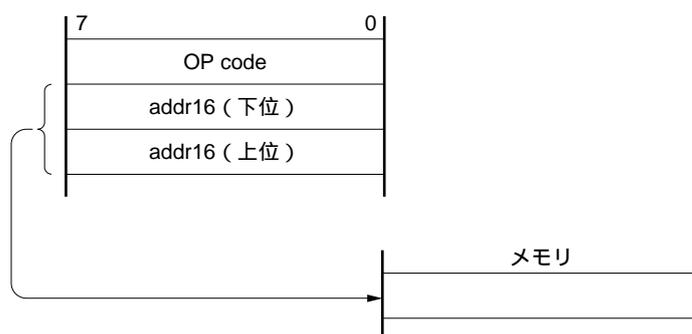
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

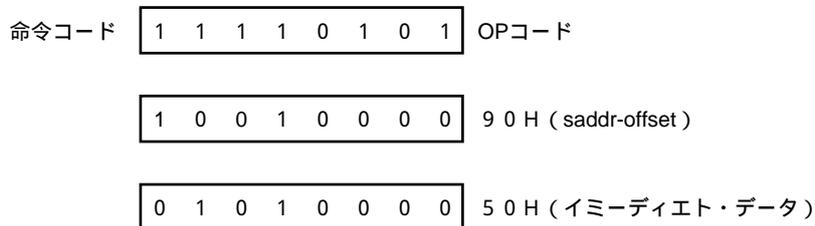
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

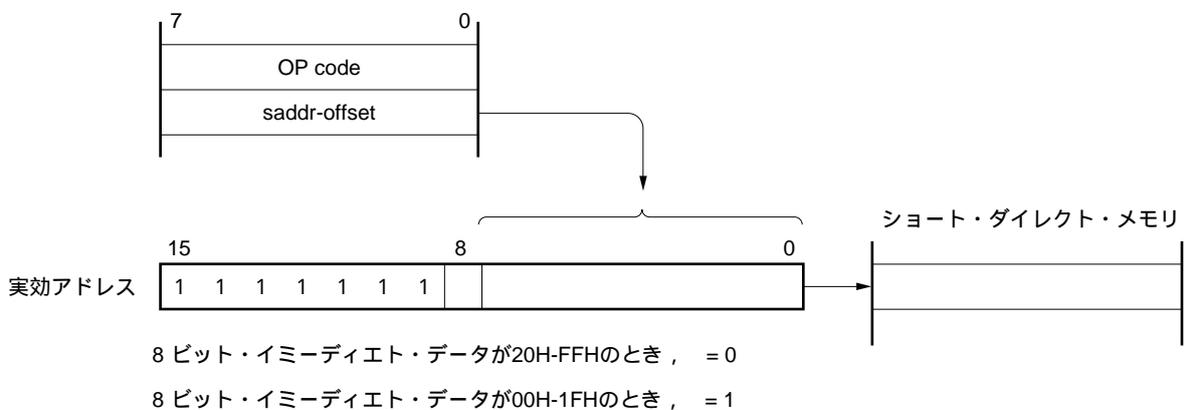
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

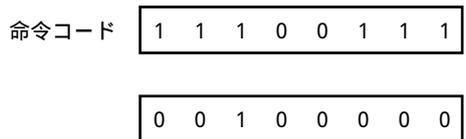
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

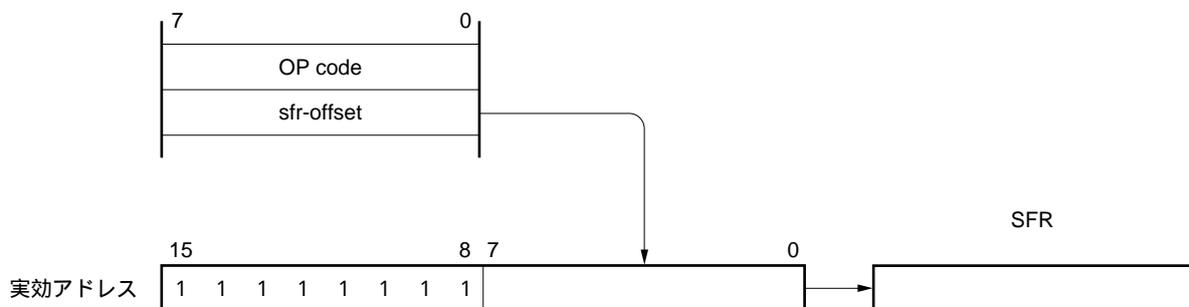
表現形式	記述方法
sfr	特殊機能レジスタ名

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



【図解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

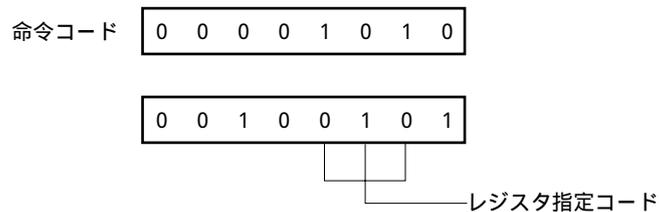
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

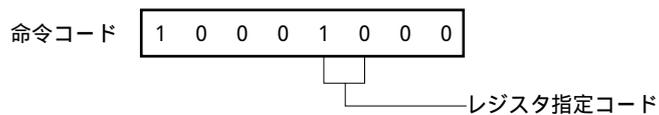
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

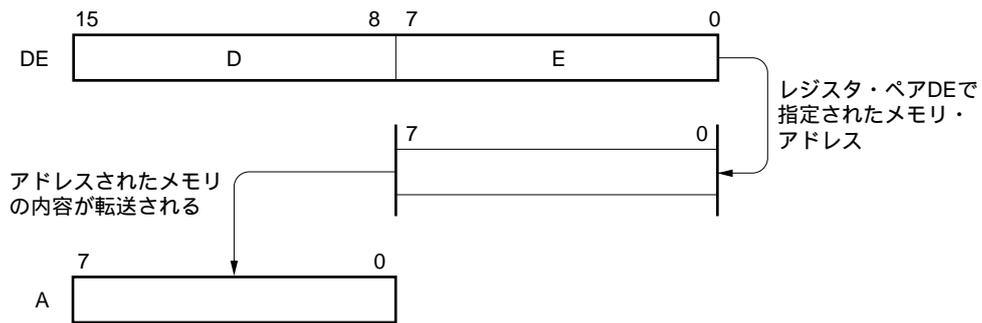
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第4章 ポート機能

4.1 ポートの機能

μPD789871サブシリーズは図4-1に示すポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

★

図4-1 ポートの種類

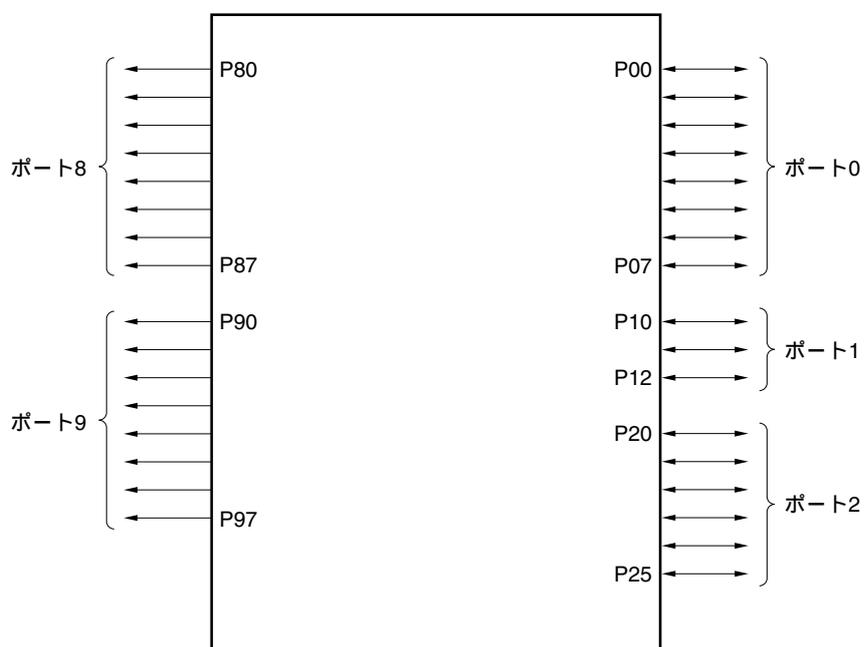


表4 - 1 ポートの機能

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	
P10-P12	入出力	ポート1。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PU0) により、内蔵プルアップ抵抗を使用可能。	入力	
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB2 (PUB2) により、内蔵プルアップ抵抗を使用可能。	入力	SCK10
P21				SO10
P22				SI10
P23				INTP0
P24				INTP1
P25				TI
★ P80-P87	出力	ポート8。 P-chオープン・ドレイン8ビット高耐圧出力ポート。 マスクROM製品はプルダウン抵抗を内蔵 (プルダウン抵抗はV _{LOAD} 接続)。	出力	FIP24-FIP17
P90-P97	出力	ポート9。 P-chオープン・ドレイン8ビット高耐圧出力ポート。 マスクROM製品はプルダウン抵抗を内蔵 (プルダウン抵抗はV _{LOAD} 接続)。	出力	FIP16-FIP9

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM _m : m = 0-2) プルアップ抵抗オプション・レジスタ0 (PU0) プルアップ抵抗オプション・レジスタB2 (PUB2)
ポート	合計 : 33本 CMOS入出力 : 17本 P-chオープン・ドレイン出力 : 16本
★ プルアップ抵抗	17本 (ソフトウェア制御)
★ プルダウン抵抗	・マスクROM製品 : 16本 ・フラッシュ・メモリ製品 : なし

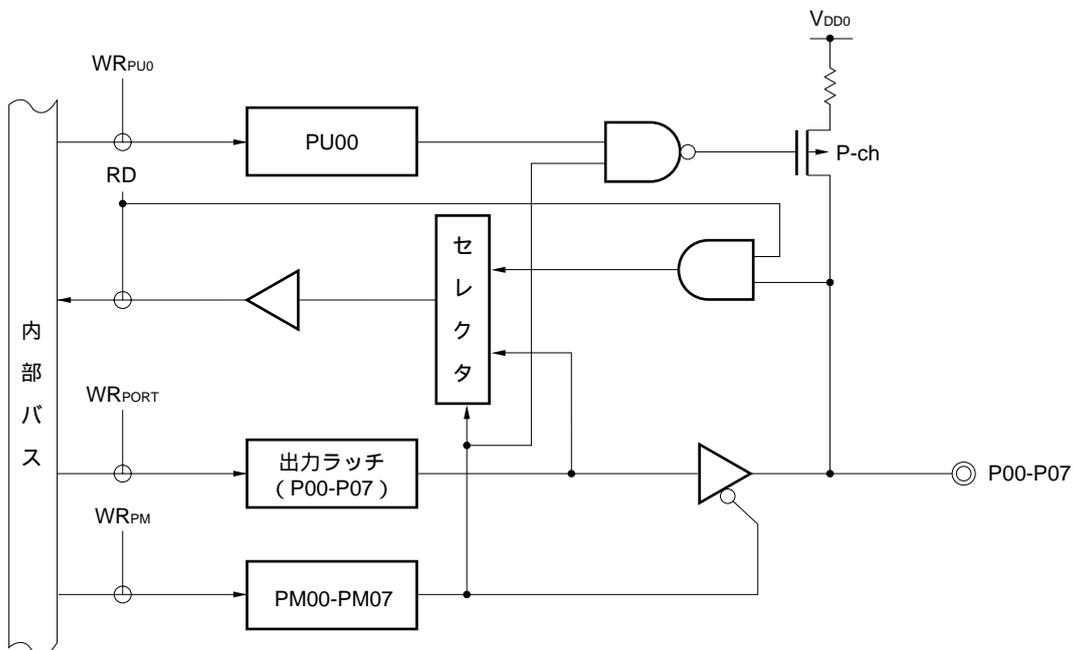
4.2.1 ポート0

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P07端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により8ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-2にポート0のブロック図を示します。

図4-2 P00-P07のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

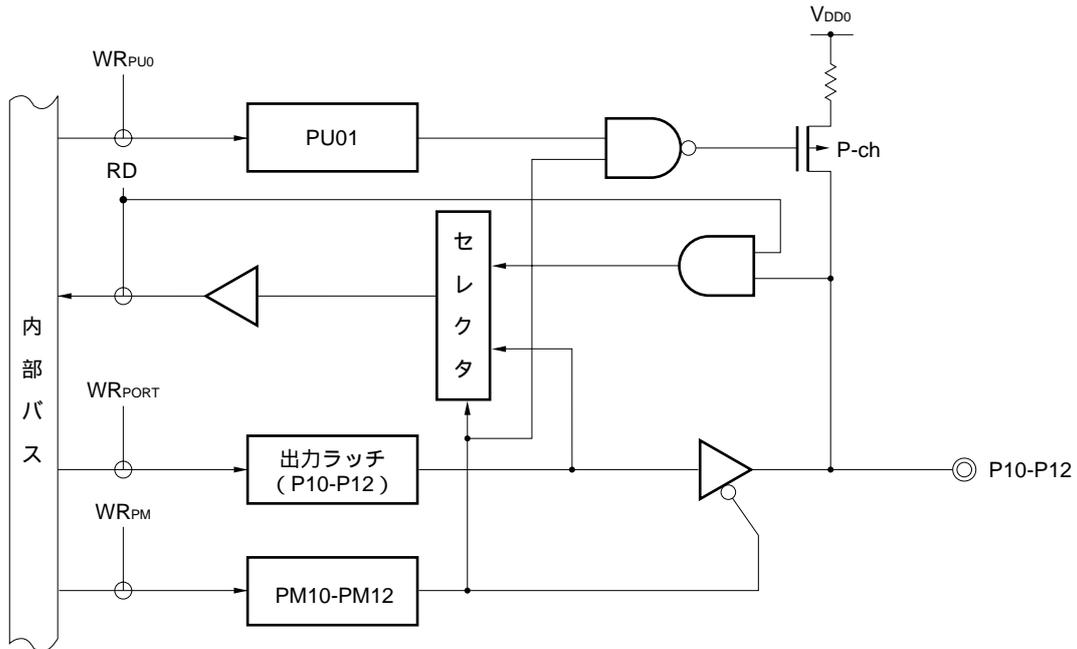
4.2.2 ポート1

出力ラッチ付き3ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P12端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PU0) により3ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4-3にポート1のブロック図を示します。

図4-3 P10-P12のブロック図



PU0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

4.2.3 ポート2

出力ラッチ付き6ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。P20-P25端子は、プルアップ抵抗オプション・レジスタB2 (PUB2) により1ビット単位で内蔵プルアップ抵抗を使用できます。

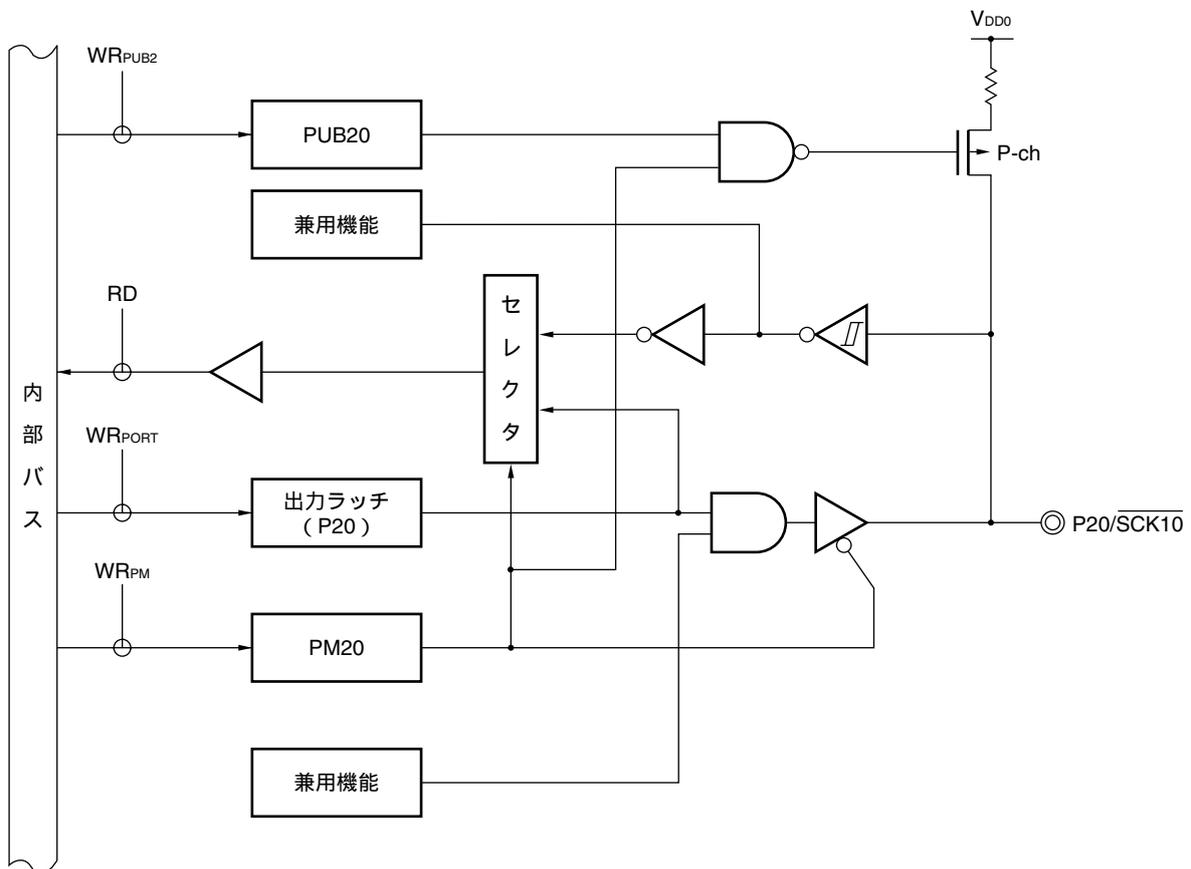
また、兼用機能としてシリアル・インタフェースの入出力、リモコン・タイマ入力、外部割り込み入力があります。

RESET入力により、入力モードになります。

図4 - 4から図4 - 6にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については、表10 - 2 シリアル・インタフェース10の動作モードの設定一覧を参照してください。

図4 - 4 P20のブロック図



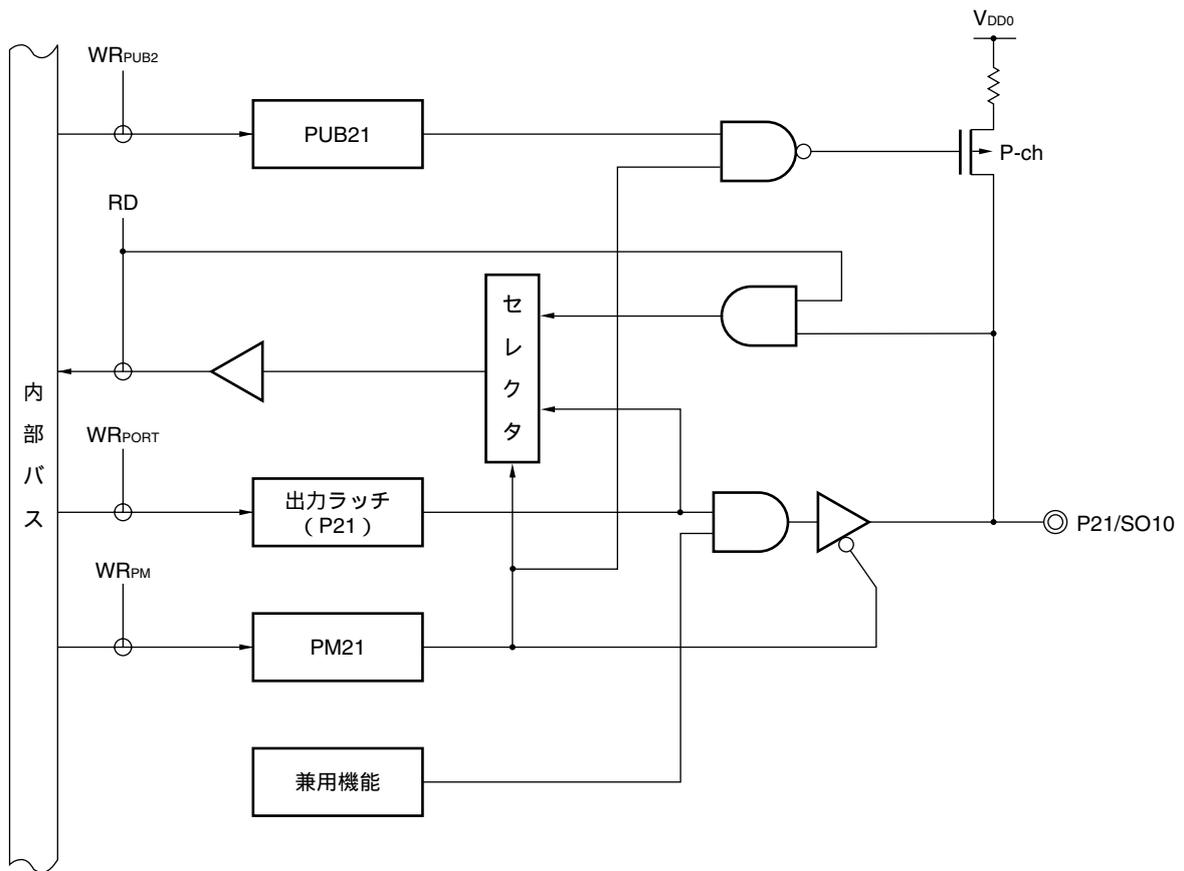
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 5 P21のブロック図



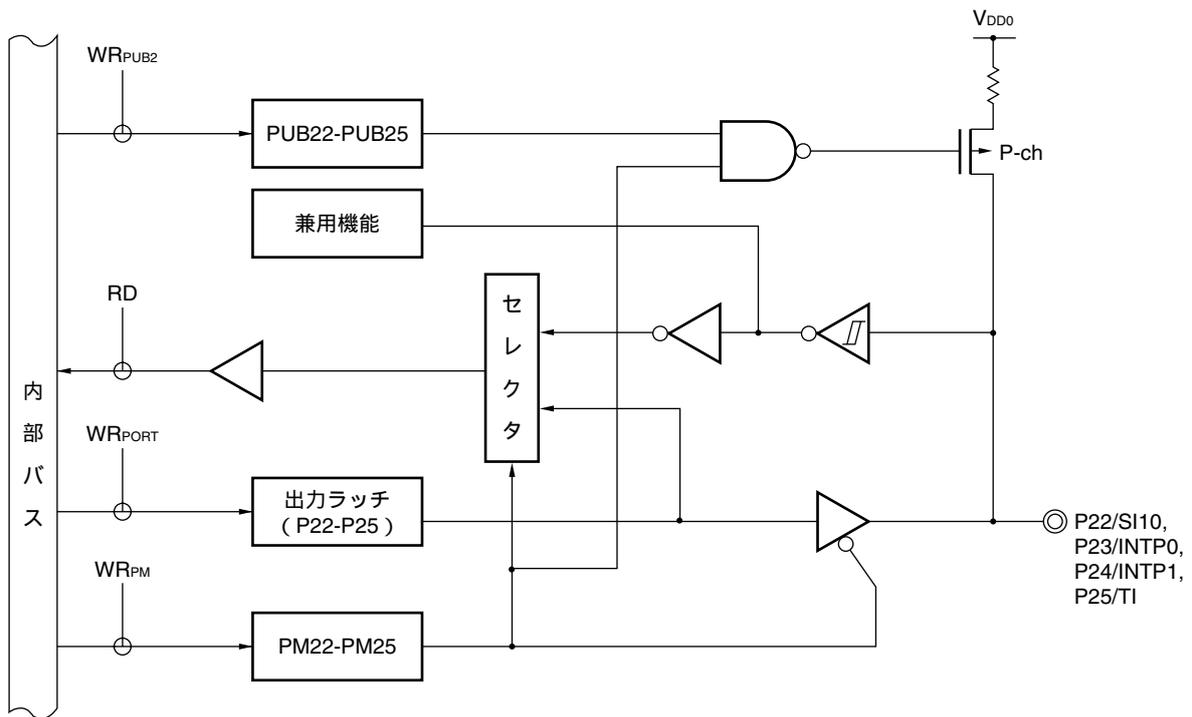
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 6 P22-P25のブロック図



PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

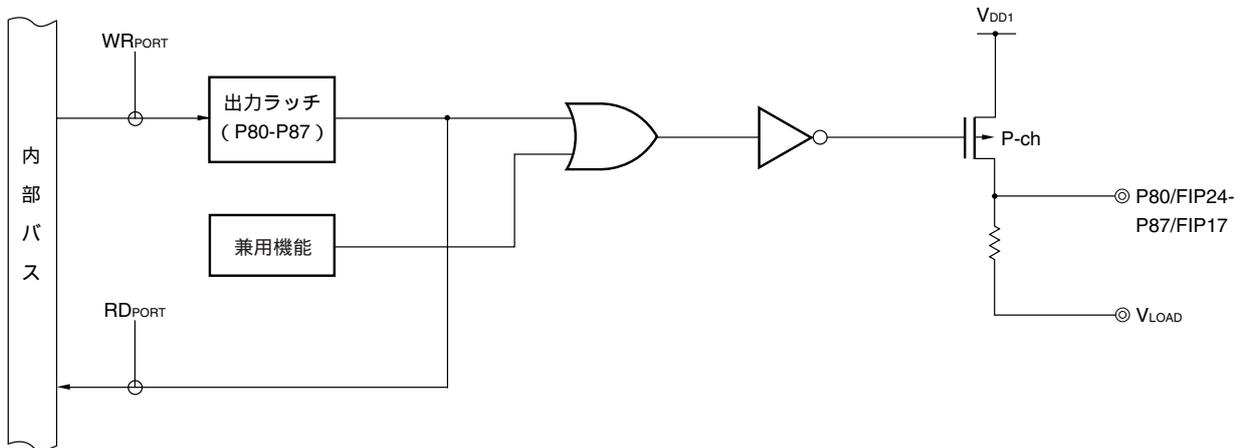
4.2.4 ポート8

- ★ 出力ラッチ付き8ビットP-chオープン・ドレイン出力ポートです。マスクROM製品は、V_{LOAD}へのプルダウン抵抗を内蔵しています。

$\overline{\text{RESET}}$ 入力により、出力モードになります。

図4 - 7, 図4 - 8にポート8のブロック図を示します。

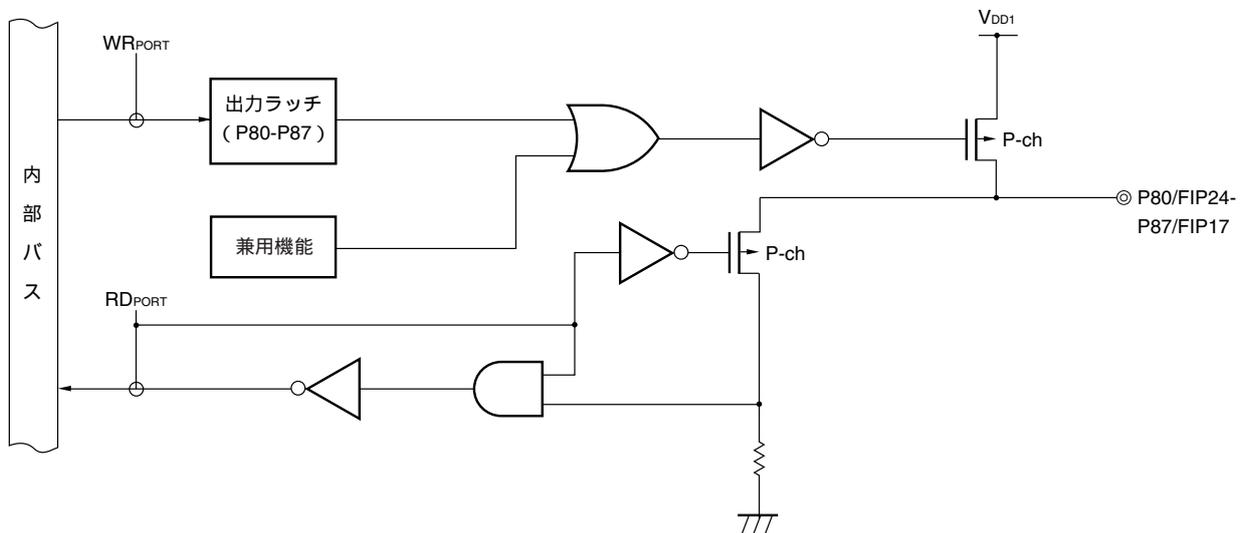
- ★ **図4 - 7 P80-P87のブロック図 (μ PD789870, 789871)**



RD : ポート8のリード信号

WR : ポート8のライト信号

- ★ **図4 - 8 P80-P87のブロック図 (μ PD78F9872)**



RD : ポート8のリード信号

WR : ポート8のライト信号

- ★ **注意** μ PD78F9872において、ポート8の出力ラッチの値を書き換える場合は、8ビット操作命令で行ってください。その際に、兼用機能のFIP出力 (FIP17-FIP23) として使用するビットには、0を設定してください。

<例> P80の出力ラッチを“0” “1”に書き換える場合 (P81-P87はFIP出力として使用)

```
MOV      P8, #00000001B ; FIP出力として使用する端子には“0”を書き込む
```

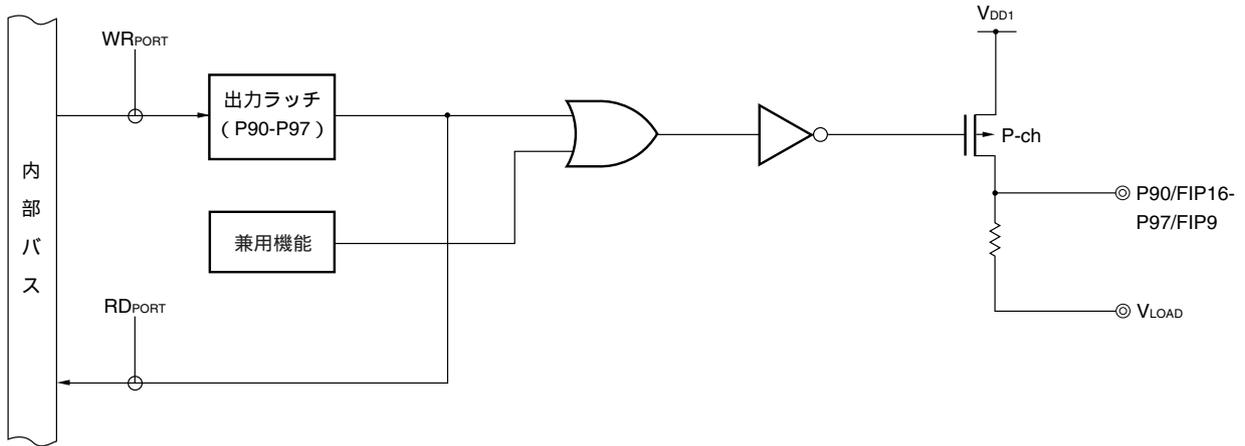
4.2.5 ポート9

出力ラッチ付き8ビットP-chオープン・ドレイン出力ポートです。マスクROM製品は、V_{LOAD}へのプルダウン抵抗を内蔵しています。

$\overline{\text{RESET}}$ 入力により、出力モードになります。

図4 - 9、図4 - 10にポート9のブロック図を示します。

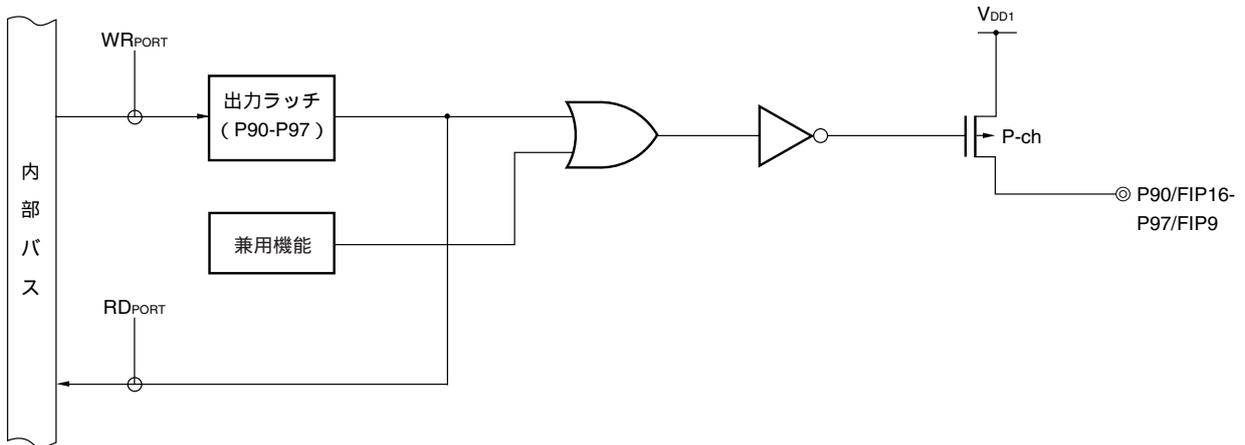
図4 - 9 P90-P97のブロック図 (μ PD789870, 789871)



RD : ポート9のリード信号

WR : ポート9のライト信号

図4 - 10 P90-P97のブロック図 (μ PD78F9872)



RD : ポート9のリード信号

WR : ポート9のライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM2)
- ・プルアップ抵抗オプション・レジスタ0 (PU0)
- ・プルアップ抵抗オプション・レジスタB2 (PUB2)

(1) ポート・モード・レジスタ (PM0-PM2)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表4-3 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

端子名称	兼用機能		PM2 x	P2 x
	名称	入出力		
P23	INTP0	入力	1	x
P24	INTP1	入力	1	x
P25	TI	入力	1	x

注意 ポート2をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、表10-2 シリアル・インタフェース10の動作モードの設定一覧を参照してください。

備考 x : don't care

PM2 x : ポート・モード・レジスタ

P2 x : ポートの出力ラッチ

図4 - 11 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	1	1	1	1	1	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-2, n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ0 (PU0)

各ポートの内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PU0で内蔵プルアップ抵抗の使用を指定したポートで、入力モードに設定したビットにのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットは、PU0の設定にかかわらず、内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PU0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図4 - 12 プルアップ抵抗オプション・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	FFF7H	00H	R/W

PU0m	Pmの内蔵プルアップ抵抗の選択 (m = 0, 1)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

(3) プルアップ抵抗オプション・レジスタB2 (PUB2)

ポート2の各端子の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PUB2で内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットのみ、内部でプルアップ抵抗が使用できます。出力モードに設定したビットは、PUB2の設定にかかわらず、内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PUB2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図4 - 13 プルアップ抵抗オプション・レジスタB2のフォーマット

略号	7	6						0	アドレス	リセット時	R/W
PUB2	0	0	PUB25	PUB24	PUB23	PUB22	PUB21	PUB20	FF32H	00H	R/W

PUB2n	P2nの内蔵プルアップ抵抗の選択 (n = 0-5)
0	内蔵プルアップ抵抗を使用しない
1	内蔵プルアップ抵抗を使用する

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の2種類があります。

- ・メイン・システム・クロック発振回路

1.0～5.0 MHzの周波数を発振します。STOP命令の実行またはプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

- ・サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。サブ発振モード・レジスタ（SCKM）により発振の停止ができます。

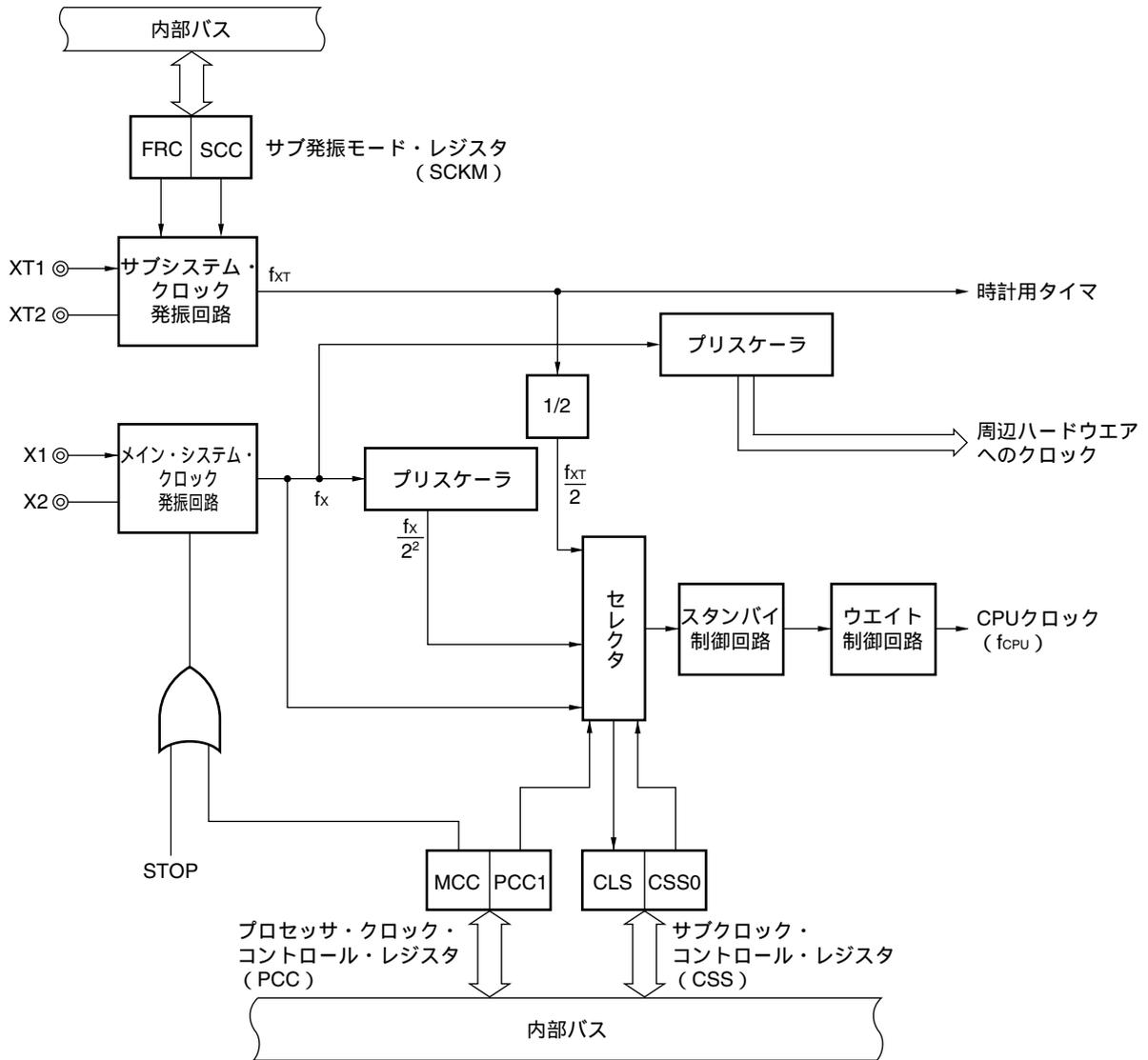
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC） サブ発振モード・レジスタ（SCKM） サブクロック・コントロール・レジスタ（CSS）
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図5 - 1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・サブ発振モード・レジスタ (SCKM)
- ・サブクロック・コントロール・レジスタ (CSS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択，分周比を設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，02Hになります。

図5-2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	MCC	0	0	0	0	0	PCC1	0	FFF BH	02 H	R/W

MCC	メイン・システム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

CSS0	PCC1	CPUクロック (f_{CPU}) の選択 ^注	最小命令実行時間：2/ f_{CPU}
			$f_x = 5.0 \text{ MHz}$ または $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時
0	0	f_x	0.4 μs
0	1	$f_x/2^2$	1.6 μs
1	0	$f_{\text{XT}}/2$	122 μs
1	1		

注 CPUクロックの選択は，プロセッサ・クロック・コントロール・レジスタ (PCC) のPCC1フラグとサブクロック・コントロール・レジスタ (CSS) のCSS0フラグの両方を組み合わせて設定します (5.3 (3) サブクロック・コントロール・レジスタ (CSS) を参照)。

- 注意 1. ビット0, 2-6には必ず0を設定してください。
2. MCCのセットはCPUクロックがサブシステム・クロックを選択しているときのみ設定できます。メイン・システム・クロックで動作中にMCCを“1”にセットしても無効となります。

- 備考 1. f_x : メイン・システム・クロック発振周波数
2. f_{XT} : サブシステム・クロック発振周波数

(2) サブ発振モード・レジスタ (SCKM)

サブシステム・クロックのフィードバック抵抗の選択，発振を制御するレジスタです。
SCKMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図5-3 サブ発振モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCKM	0	0	0	0	0	0	FRC	SCC	FFF0H	00H	R/W

FRC	フィードバック抵抗の選択 ^注
0	内蔵フィードバック抵抗を使用する
1	内蔵フィードバック抵抗を使用しない

SCC	サブシステム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

★ 注 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。
サブクロックを使用しない場合のみ，FRC = 1に設定することでSTOPモード時の消費電流をさらに抑えることが可能です。

注意 ビット2-7には必ず0を設定してください。

(3) サブクロック・コントロール・レジスタ (CSS)

メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択，CPUクロックの動作状態を示すレジスタです。
CSSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図5-4 サブクロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSS	0	0	CLS	CSS0	0	0	0	0	FFF2H	00H	R/W ^注

CLS	CPUクロックの動作状態
0	メイン・システム・クロックの(分周)出力で動作
1	サブシステム・クロックの出力で動作

CSS0	メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択
0	メイン・システム・クロック発振回路の(分周)出力
1	サブシステム・クロックの発振回路の出力

注 ビット5は，Read Onlyです。

注意 ビット0-3, 6, 7には必ず0を設定してください。

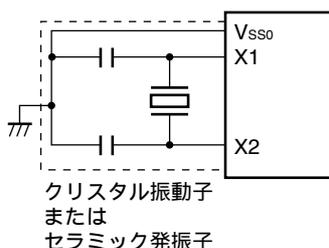
5.4 システム・クロック発振回路

5.4.1 メイン・システム・クロック発振回路

メイン・システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

図5 - 5にメイン・システム・クロック発振回路の外付け回路を示します。

図5 - 5 メイン・システム・クロック発振回路の外付け回路

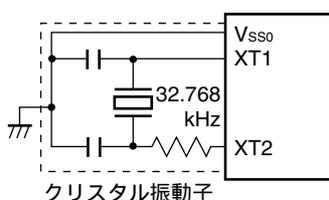


5.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子（標準：32.768 kHz）によって発振します。

図5 - 6にサブシステム・クロック発振回路の外付け回路を示します。

図5 - 6 サブシステム・クロック発振回路の外付け回路



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 5, 5 - 6の破線の部分を次のように配線してください。

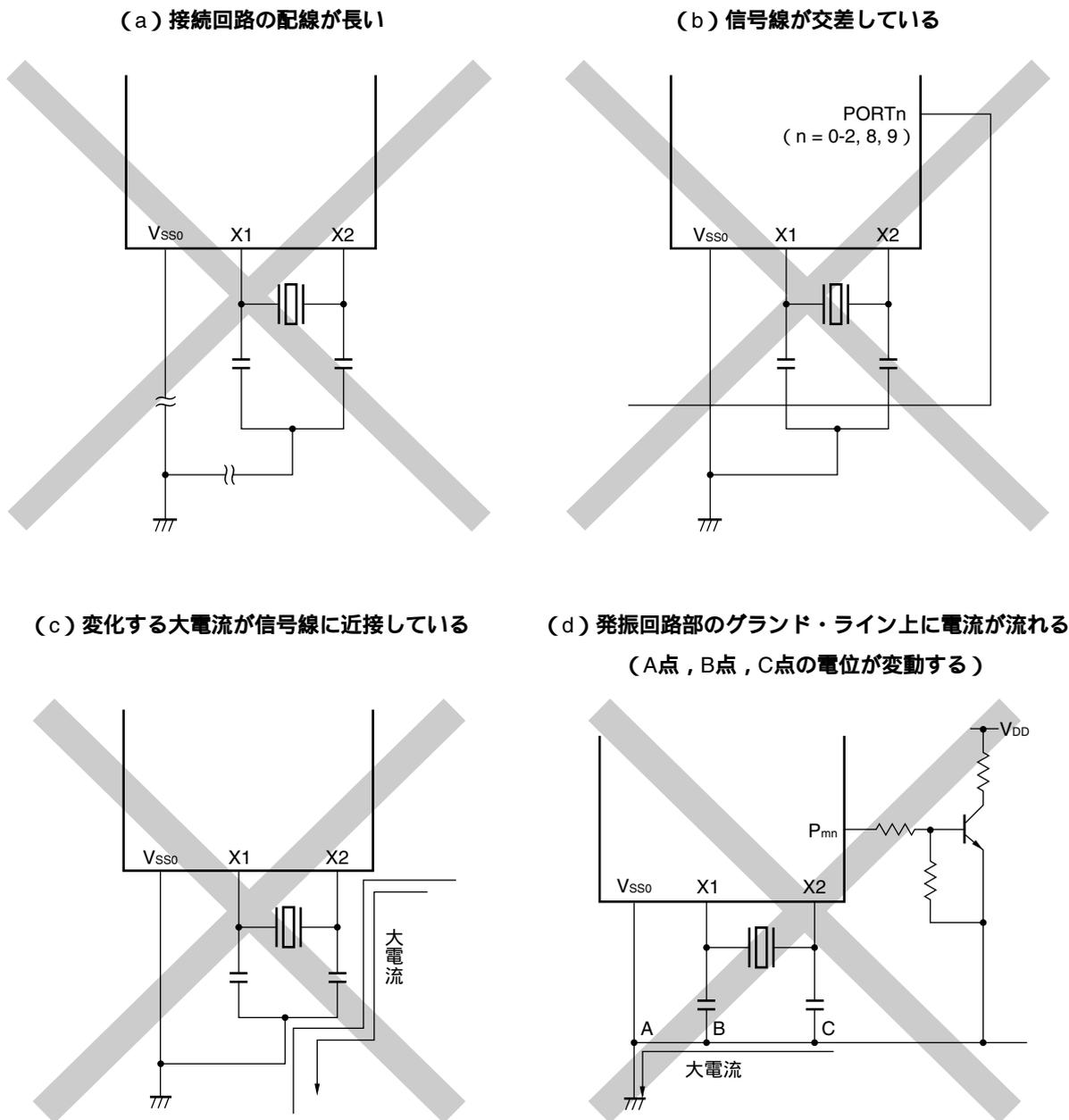
- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVSS0と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

5.4.3 発振子の接続の悪い例

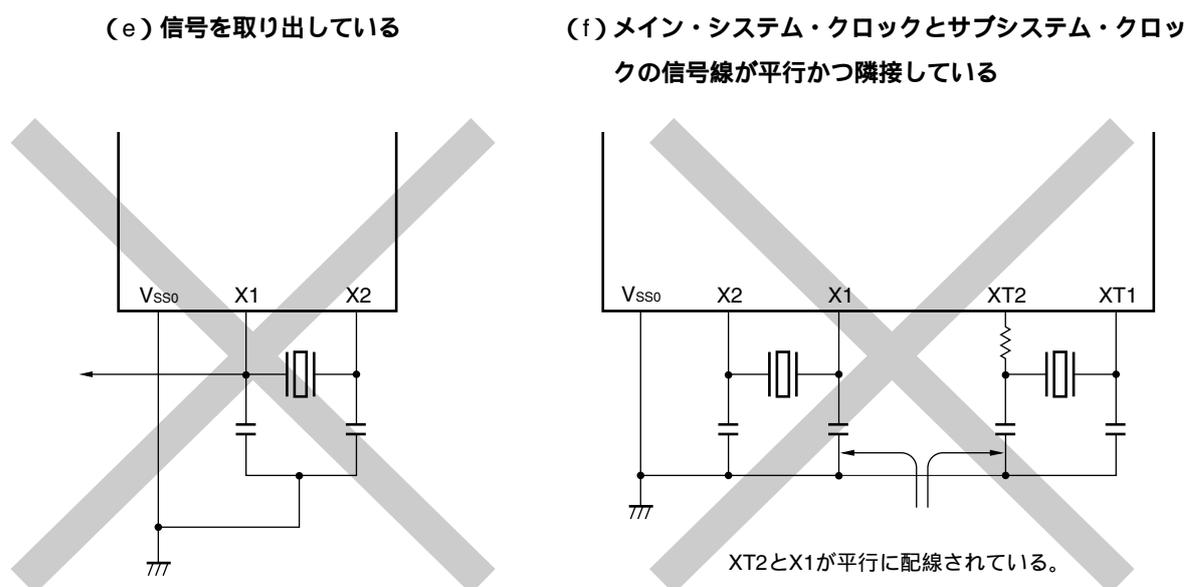
図5-7に発振子の接続の悪い例を示します。

図5-7 発振子の接続の悪い例 (1/2)



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を接続してください。

図5-7 発振子の接続の悪い例 (2/2)



備考 サブシステム・クロックをご使用の場合は、X1、X2をXT1、XT2と読み替えてください。またXT2側に直列に抵抗を接続してください。

注意 X1とXT2が平行に配線されている場合、X1のクロストーク・ノイズがXT2に相乗し誤動作を引き起こすことがあります。

これを避けるために、X1とXT2の配線を平行にしないでください。

5.4.4 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

5.4.5 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1、XT2端子を次のように処置してください。

XT1 : VSS0に接続

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、サブ発振モード・レジスタ (SCKM) のビット1 (FRC) により上述の内蔵フィードバック抵抗を使用しない設定をしてください。このときも、XT1、XT2端子の処理は上記と同じです。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_x
- ・サブシステム・クロック f_{XT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC)、サブ発振モード・レジスタ (SCKM)、サブクロック・コントロール・レジスタ (CSS) により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの低速モード (1.6 μs : 5.0 MHz動作時) が選択されます (PCC = 02H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- (b) PCCとSCKMとCSSの設定により3段階の最小命令実行時間 (0.4 μs , 1.6 μs : メイン・システム・クロック (5.0 MHz動作時), 122 μs : サブシステム・クロック (32.768 kHz動作時)) を選択できます。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、SCKMのビット1 (FRC) で内蔵フィードバック抵抗を使用しない設定にすることにより、STOPモード時の消費電流をさらに低減できます。サブシステム・クロックを使用しているシステムの場合、SCKMのビット0を1に設定することにより、サブシステム・クロックの発振を停止できます。
- (d) CSSのビット4 (CSS0) により、サブシステム・クロックを選択し、低消費電流で動作 (122 μs : 32.768 kHz動作時) できます。
- (e) サブシステム・クロックを選択した状態で、PCCのビット7 (MCC) によりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。しかし、STOPモードは使用できません。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、時計用タイマにのみサブシステム・クロックを供給しています。このため、スタンバイ状態でも時計機能は、継続して使用できます。しかし、そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

5.6 システム・クロックとCPUクロックの設定の変更

5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します (表5 - 2参照)。

表5 - 2 CPUクロックの切り替えに要する最大時間

切り替え前の設定値		切り替え後の設定値					
CSS0	PCC1	CSS0	PCC1	CSS0	PCC1	CSS0	PCC1
		0	0	0	1	1	x
0	0	2クロック		4クロック		2fx/fxTクロック (306クロック)	
	1			fx/2fxTクロック (76クロック)			
1	x	2クロック		2クロック			

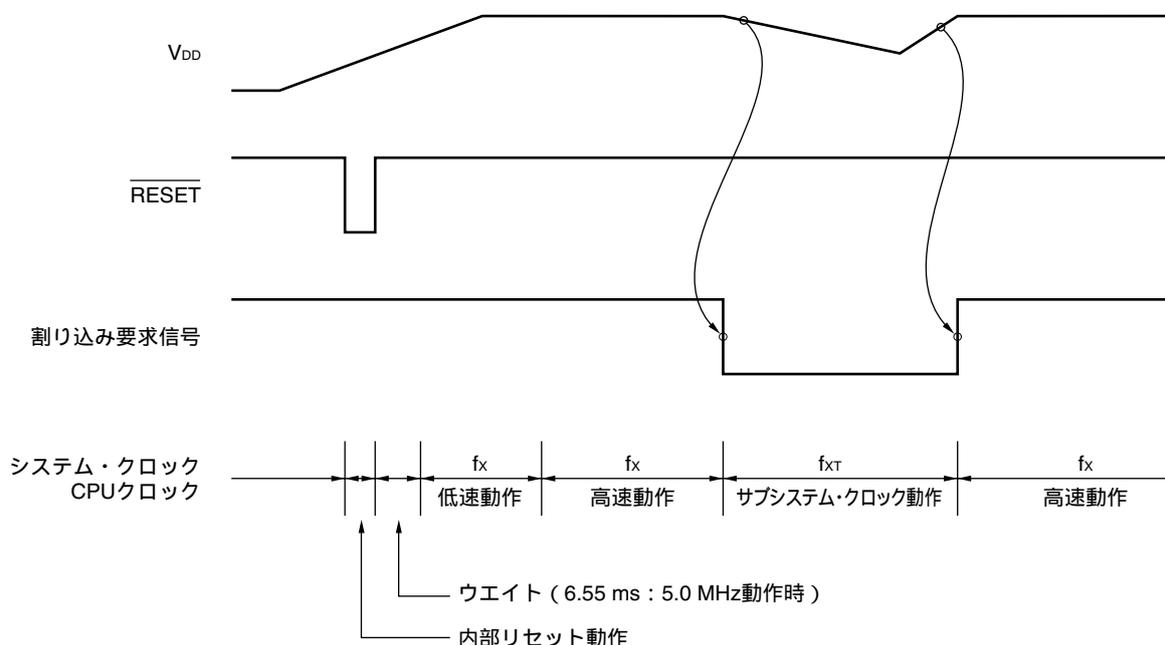
備考 1. 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

2. () 内は、fx = 5.0 MHz動作時またはfxT = 32.768 kHz動作時
3. x : don't care

5.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図5 - 8 システム・クロックとCPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ($2^{15}/f_x$) を確保します。

その後、CPUはメイン・システム・クロックの低速 ($1.6 \mu\text{s} : 5.0 \text{ MHz動作時}$) で命令の実行を開始します。

V_{DD}電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) を書き換えて高速動作を行います。

V_{DD}電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます (このとき、サブシステム・クロックが発振安定状態になっていなければなりません)。

V_{DD}電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7 (MCC) に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC1, CSS0を書き換えて高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

(1) リモコン・タイマ・キャプチャ・レジスタ (CP50, CP51)

8ビット・タイマ・カウンタ50 (TM50) の内容をキャプチャする8ビットのレジスタです。

キャプチャ動作は、TI端子への有効エッジ入力 (キャプチャ・トリガ) に同期します。CP50の内容は、TI端子の次の立ち上がりエッジを検出するまで保持されます。CP51の内容は、TI端子の次の立ち下がりエッジを検出するまで保持されます。

CP50, CP51は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

(2) 8ビット・タイマ・カウンタ50 (TM50)

カウント・パルスをカウントする8ビットのレジスタです。

TM50は、 $\overline{\text{RESET}}$ 入力、またはTCE50ビットのクリアで00Hになります。

6.3 8ビット・リモコン・タイマ50を制御するレジスタ

8ビット・リモコン・タイマ50は、次のレジスタで制御します。

(1) リモコン・タイマ・コントロール・レジスタ50 (TMC50)

8ビット・タイマ・カウンタ50 (TM50) の動作許可 / 禁止、カウント・クロックを設定するレジスタです。

TMC50は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図6-2 リモコン・タイマ・コントロール・レジスタ50のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC50	TCE50	0	0	0	0	0	TCL52 TCL51	FF58H	00H	R/W

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後、動作停止
1	カウント動作開始

TCL52	TCL51	カウント・クロックの選択
0	0	$f_x/2^9$ (9.8 kHz)
0	1	$f_x/2^8$ (19.5 kHz)
1	0	$f_x/2^7$ (39.1 kHz)
1	1	$f_x/2^6$ (78.1 kHz)

注意 ビット2-6には必ず0を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

6.4 8ビット・リモコン・タイマ50の動作

8ビット・リモコン・タイマ50は、パルス幅測定回路として動作します。

パルス幅測定は、TI端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。測定方法は、8ビット・タイマ・カウンタ50 (TM50) をフリーランニングさせて測定します。

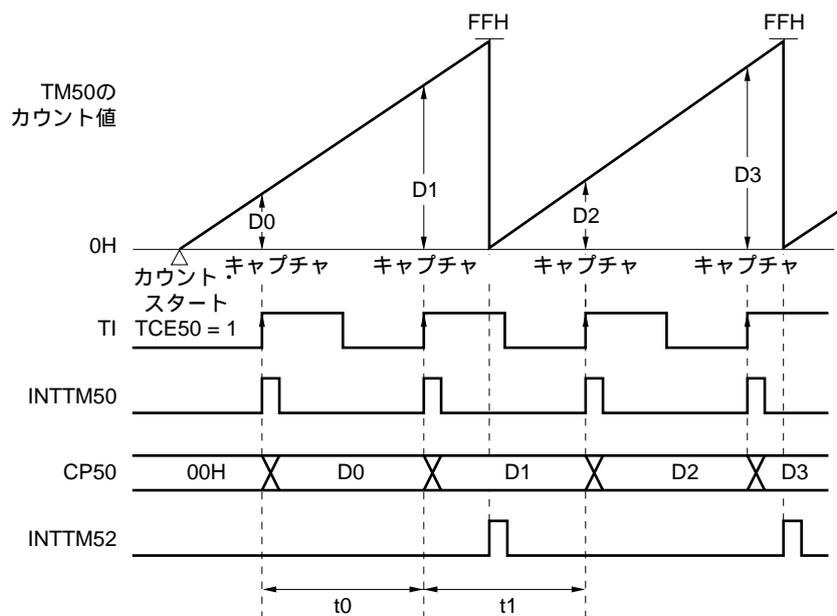
有効エッジの検出は、TCL51, TCL52で選択したカウント・クロックの2周期ごとにサンプリングを行い、2回有効レベルを検出することで始めてキャプチャ動作を行うため、短いパルス幅のノイズを検出できます。したがって、TI端子に入力するパルス幅は、ハイ・レベル、ロウ・レベルともTCL51, TCL52で設定したカウント・クロックの5クロック以上必要で、これ以下の場合には有効エッジが検出されず、キャプチャ動作を行いません。

図6-3に示すように、TI端子に入力されるパルスの有効エッジに同期して、カウント中のタイマ・レジスタ50 (TM50) の値をキャプチャ・レジスタ (CP50, CP51) に取り込み、保持します。

図6-3に、パルス幅測定のタイミングを示します。

図6-3 パルス幅測定のタイミング (1/2)

(1) 立ち上がりエッジに同期してパルス幅を測定する場合



備考 $t_0 = (D1 - D0) \times 1/f_{\text{COUNT}}$

$t_1 = (100H - D1 + D2) \times 1/f_{\text{COUNT}}$

f_{COUNT} : TCL51, TCL52で設定したカウント・クロック周波数

第7章 8ビット・タイマ80, 81

7.1 8ビット・タイマ80, 81の機能

8ビット・タイマ80, 81 (TM80, TM81) により, インターバル機能が使用できます。

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の間隔で割り込みを発生します。

表7-1 8ビット・タイマ80のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2^2/f_x$ (0.8 μ s)	$2^{10}/f_x$ (204.8 μ s)	$2^2/f_x$ (0.8 μ s)
$2^4/f_x$ (3.2 μ s)	$2^{12}/f_x$ (819.2 μ s)	$2^4/f_x$ (3.2 μ s)
$2^6/f_x$ (12.8 μ s)	$2^{14}/f_x$ (3.28 μ s)	$2^6/f_x$ (12.8 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 5.0$ MHz動作時。

表7-2 8ビット・タイマ81のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2/f_x$ (0.4 μ s)	$2^8/f_x$ (51.2 μ s)	$2/f_x$ (0.4 μ s)
$2^5/f_x$ (6.4 μ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 μ s)
$2^7/f_x$ (25.6 μ s)	$2^{15}/f_x$ (6.55 ms)	$2^7/f_x$ (25.6 μ s)

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 5.0$ MHz動作時。

7.2 8ビット・タイマ80, 81の構成

8ビット・タイマ80, 81は、次のハードウェアで構成しています。

表7-3 8ビット・タイマ80, 81の構成

項目	構成
タイマ・カウンタ	8ビット×2本 (TM80, TM81)
レジスタ	コンペア・レジスタ：8ビット×2本 (CR80, CR81)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ80, 81 (TMC80, TMC81)

図7-1 8ビット・タイマ80のブロック図

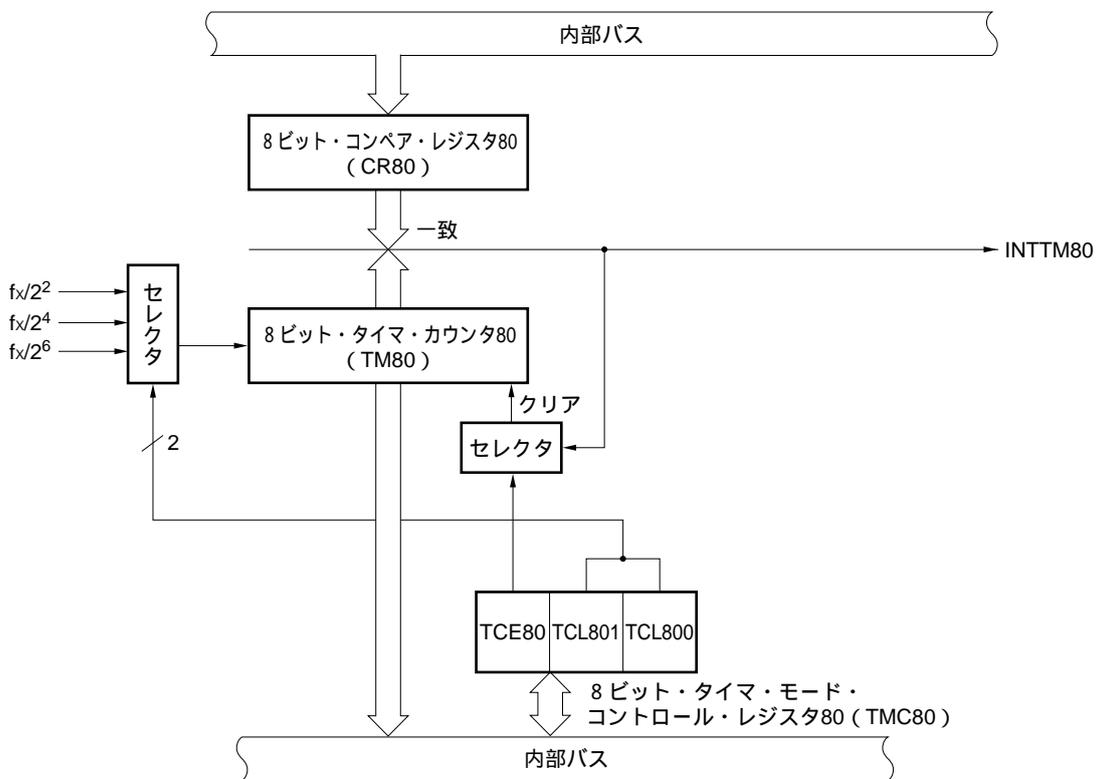
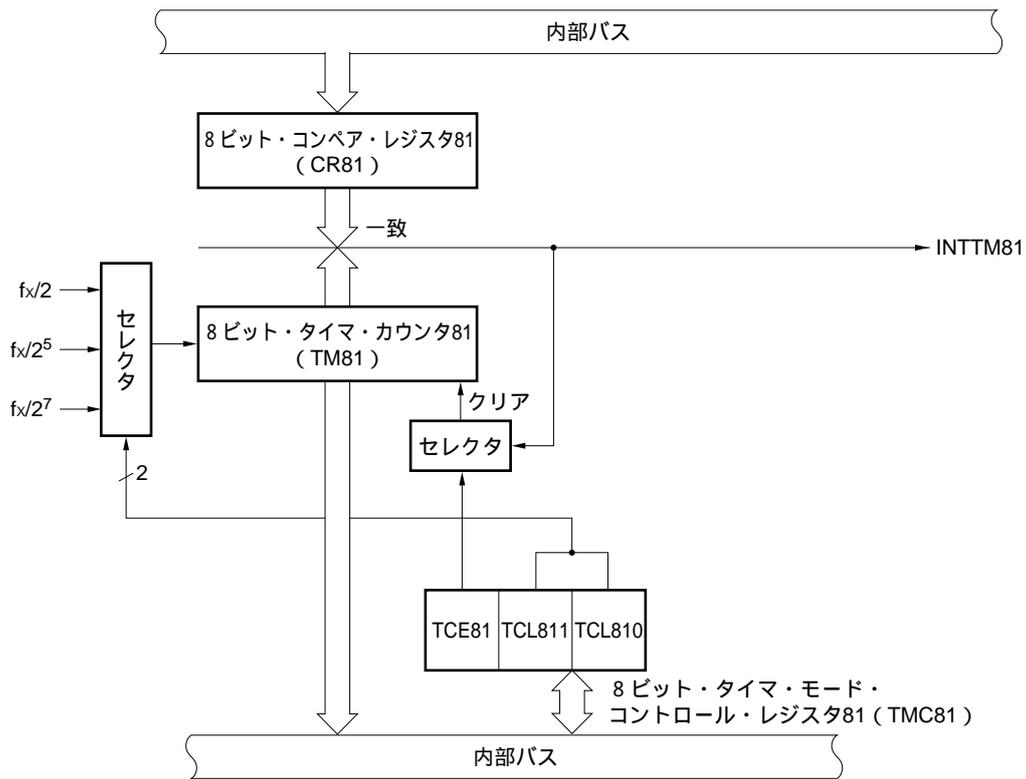


図7-2 8ビット・タイマ81のブロック図



(1) 8ビット・コンペア・レジスタ8n (CR8n)

CR8nに設定した値と8ビット・タイマ・カウンタ8n (TM8n)のカウント値を常に比較し、一致したときに割り込み要求 (INTTM8n) を発生する8ビットのレジスタです。

CR8nは、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

RESET入力により、不定になります。

注意 CR8nの設定は必ずタイマ動作を停止させたのちに行ってください。

備考 n = 0, 1

(2) 8ビット・タイマ・カウンタ8n (TM8n)

カウント・パルスをカウントする8ビットのレジスタです。

TM8nは、8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

備考 n = 0, 1

7.3 8ビット・タイマ80, 81を制御するレジスタ

8ビット・タイマ80, 81は、次のレジスタで制御します。

・8ビット・タイマ・モード・コントロール・レジスタ80, 81 (TMC80, TMC81)

(1) 8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80)

8ビット・タイマ・カウンタ80 (TM80) の動作許可 / 停止, 8ビット・タイマ80のカウント・クロックの設定をするレジスタです。

TMC80は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図7-3 8ビット・タイマ・モード・コントロール・レジスタ80のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
TMC80	TCE80	0	0	0	0	TCL801	TCL800	0	FF53H	00H	R/W

TCE80	8ビット・タイマ・カウンタ80の動作の制御
0	動作停止 (TM80は0にクリア)
1	動作許可

TCL801	TCL800	8ビット・タイマ80のカウント・クロックの選択
0	0	$f_x/2^2$ (1.25 MHz)
0	1	$f_x/2^4$ (312.5 kHz)
1	0	$f_x/2^6$ (78.1 kHz)
1	1	設定禁止

注意 カウント・クロックの設定は必ずタイマ動作を停止 (TCE80 = 0) させたのちに行ってください。

詳しくは、7.4 8ビット・タイマ80, 81の動作を参照してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ81 (TMC81)

8ビット・タイマ・カウンタ81 (TM81) の動作許可/停止, 8ビット・タイマ81のカウンタ・クロックの設定, および出力制御回路の動作を制御するレジスタです。

TMC81は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図7-4 8ビット・タイマ・モード・コントロール・レジスタ81のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC81	TCE81	0	0	0	0	TCL811	TCL810	0	FF57H	00H	R/W

TCE81	8ビット・タイマ・カウンタ81の動作の制御	
0	動作停止 (TM81は0にクリア)	
1	動作許可	

TCL811	TCL810	8ビット・タイマ81のカウンタ・クロックの選択
0	0	$f_x/2$ (2.5 MHz)
0	1	$f_x/2^5$ (156.3 kHz)
1	0	$f_x/2^7$ (39.1 kHz)
1	1	設定禁止

注意 カウンタ・クロックの設定は必ずタイマ動作を停止 (TCE81 = 0) させたのちに行ってください。
詳しくは, 7.4 8ビット・タイマ80, 81の動作を参照してください。

- 備考1.** f_x : メイン・システム・クロック発振周波数
2. () 内は, $f_x = 5.0$ MHz動作時。

7.4 8ビット・タイマ80, 81の動作

7.4.1 インターバル・タイマとしての動作

インターバル・タイマは、あらかじめ8ビット・コンペア・レジスタ8n (CR8n) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマ・カウンタをインターバル・タイマとして動作させるには次の順序で設定をします。

8ビット・タイマ・カウンタ8n (TM8n) を動作禁止 (TCE8n (8ビット・タイマ・モード・コントロール・レジスタ8n (TMC8n) のビット7) = 0) に設定

8ビット・タイマ8nのカウント・クロックを設定 (表7-4, 表7-5参照)

CR8nにカウント値を設定

TM8nを動作許可 (TCE8n = 1) に設定

8ビット・タイマ・カウンタ8n (TM8n) のカウント値がCR8nに設定した値と一致したとき, TM8nの値を0にクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTM8n) を発生します。

表7-4, 表7-5にインターバル時間を, 図7-5にインターバル・タイマ動作のタイミングを示します。

注意 TMC8nでカウント・クロックの設定とTM8nの動作許可を8ビット・メモリ操作命令により同時に設定した場合, タイマ・スタートさせてからの1周期の誤差が1クロック以上になることがあります。そのため, インターバル・タイマとして動作させる際には, 必ず上記の順序で操作してください。

備考 n = 0, 1

表7-4 8ビット・タイマ80のインターバル時間

TCL801	TCL800	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^2/f_x$ (0.8 μ s)	$2^{10}/f_x$ (204.8 μ s)	$2^2/f_x$ (0.8 μ s)
0	1	$2^4/f_x$ (3.2 μ s)	$2^{12}/f_x$ (819.2 μ s)	$2^4/f_x$ (3.2 μ s)
1	0	$2^6/f_x$ (12.8 μ s)	$2^{14}/f_x$ (3.28 ms)	$2^6/f_x$ (12.8 μ s)
1	1	設定禁止		

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 5.0$ MHz動作時。

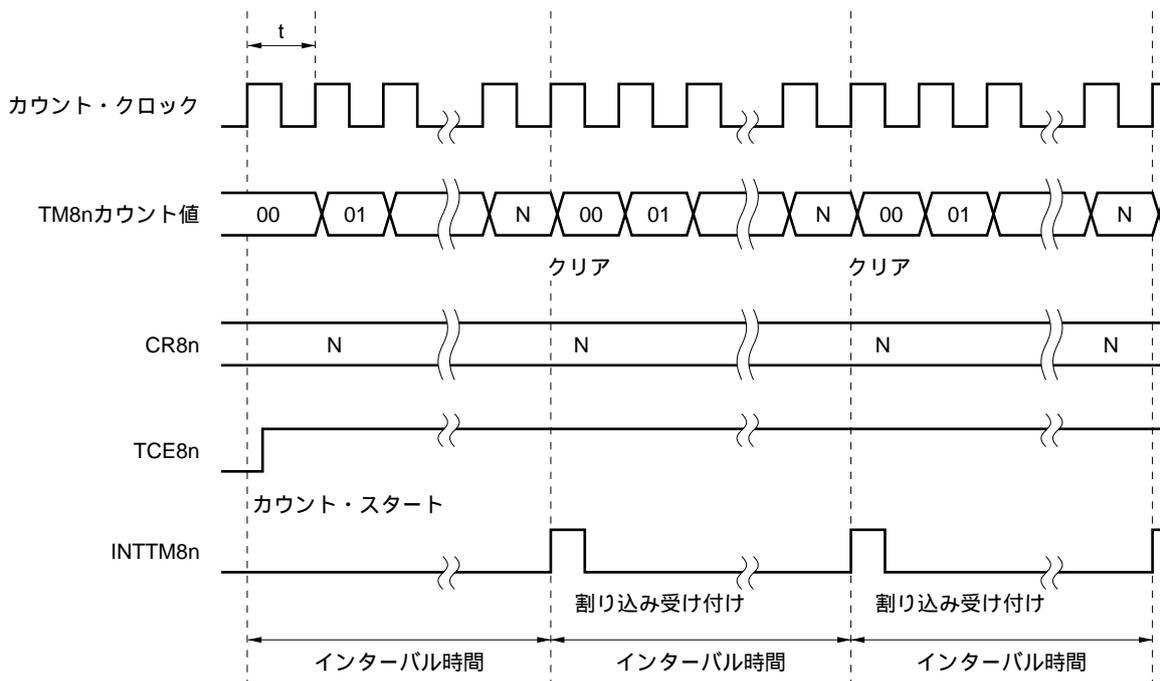
表7-5 8ビット・タイマ81のインターバル時間

TCL811	TCL810	最小インターバル時間	最大インターバル時間	分解能
0	0	$2/f_x$ (0.4 μ s)	$2^9/f_x$ (51.2 μ s)	$2/f_x$ (0.4 μ s)
0	1	$2^5/f_x$ (6.4 μ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 μ s)
1	0	$2^7/f_x$ (25.6 μ s)	$2^{15}/f_x$ (6.55 ms)	$2^7/f_x$ (25.6 μ s)
1	1	設定禁止		

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は, $f_x = 5.0$ MHz動作時。

図7-5 インターバル・タイマ動作のタイミング



注意 タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ8n (TM8n) のスタートが非同期で行われるためです。

備考1. インターバル時間 = $(N + 1) \times t$: $N = 00H\text{-}FFH$

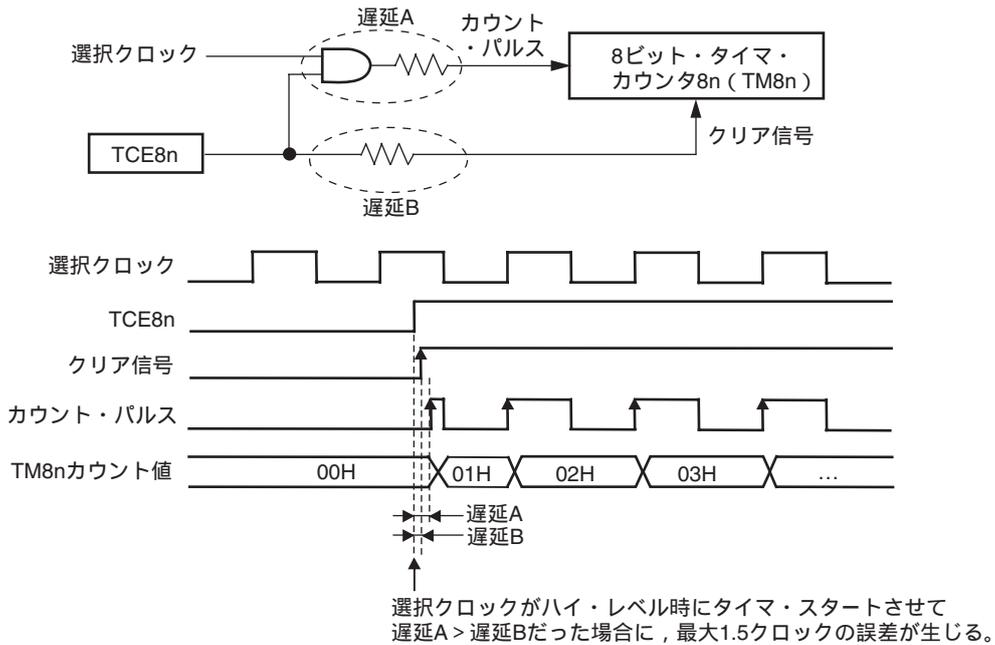
2. $n = 0, 1$

★ 7.5 8ビット・タイマ80, 81の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1.5クロック分の誤差が生じます。これは，カウント・クロックがハイ・レベルのときにタイマ・スタートすると，その瞬間に立ち上がりエッジが検出され，カウンタがインクリメントされてしまうことがあるためです（図7 - 6参照）。

図7 - 6 1.5クロック（最大）の誤差が出るケース

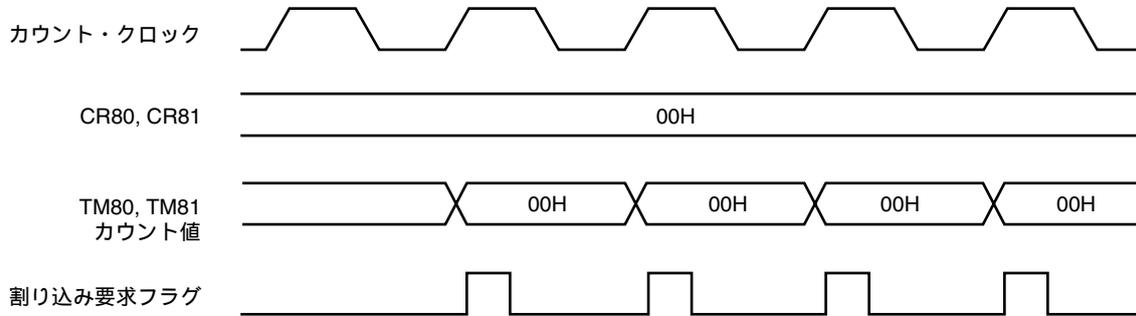


備考 n = 0, 1

(2) 8ビット・コンペア・レジスタ8nの設定

8ビット・コンペア・レジスタ8n (CR8n) には, 00Hの設定が可能です。
したがって, 1パルスのカウント動作が可能です。

図7-7 1パルスのカウント動作時のタイミング



注意 CR8nを書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。タイマ動作を許可している状態でCR8nを書き換えた場合, その時点で一致割り込み要求信号が発生する場合があります。

備考 n = 0, 1

(3) STOPモード設定時の注意

STOP命令を実行する前には, 必ずタイマ動作を停止 (TCE8n = 0) に設定してください。

備考 n = 0, 1

第8章 時計用タイマ

8.1 時計用タイマの機能

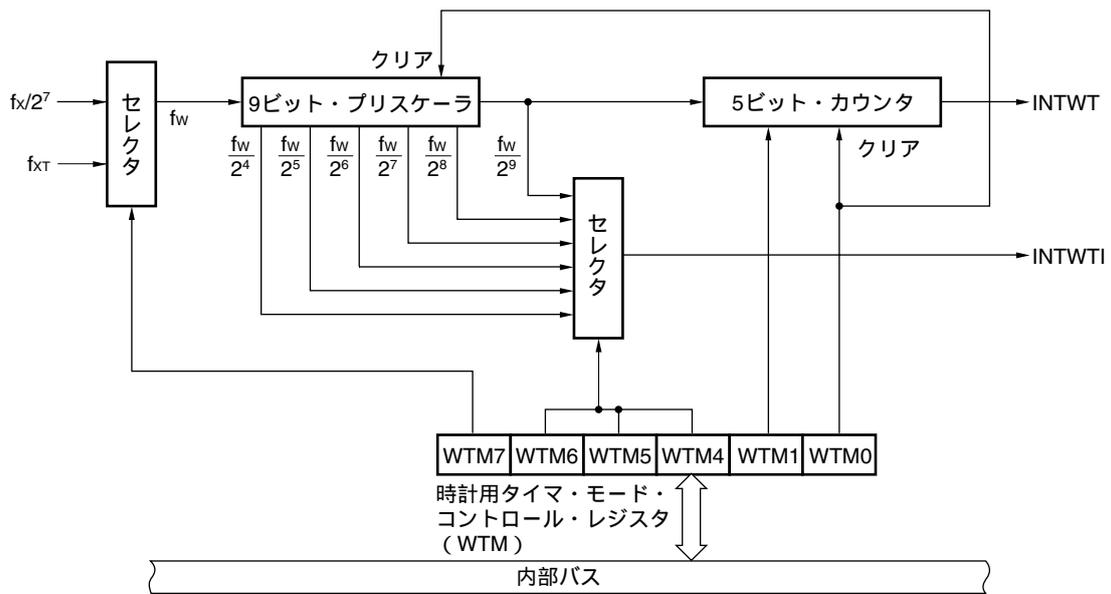
時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図8 - 1に、時計用タイマのブロック図を示します。

図8 - 1 時計用タイマのブロック図



(1) 時計用タイマ

4.19 MHzのメイン・システム・クロックまたは32.768 kHzのサブシステム・クロックを使用することで、0.5秒の時間間隔で割り込み要求 (INTWT) を発生します。

注意 5.0 MHzのメイン・システム・クロックでは、0.5秒の時間間隔を作ることができません。
32.768 kHzのサブシステム・クロックに切り替えて、0.5秒の時間間隔を作ってください。

(2) インターバル・タイマ

★ あらかじめ設定した時間間隔で、割り込み要求 (INTWTI) を発生します。

表8 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	409.6 μs	489 μs	488 μs
$2^5 \times 1/f_w$	819.2 μs	978 μs	977 μs
$2^6 \times 1/f_w$	1.64 ms	1.96 ms	1.95 ms
$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms
$2^8 \times 1/f_w$	6.55 ms	7.82 ms	7.81 ms
$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms

備考 f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

8.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表8 - 2 時計用タイマの構成

項目	構成
カウンタ	5ビット×1本
プリスケアラ	9ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTM)

8.3 時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには、時計用タイマ・モード・コントロール・レジスタ (WTM) があります。

・時計用タイマ・モード・コントロール・レジスタ (WTM)

時計用タイマのカウンタ・クロックおよび動作の許可 / 禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御を設定するレジスタです。

WTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図8-2 時計用タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WTM	WTM7	WTM6	WTM5	WTM4	0	0	WTM1	WTM0	FF4AH	00H	R/W

WTM7	時計用タイマのカウンタ・クロック選択	
0	$f_x/2^7$ (39.1 kHz)	
1	f_{XT} (32.768 kHz)	

WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択
0	0	0	$2^4/f_w$ (488 μ s)
0	0	1	$2^5/f_w$ (977 μ s)
0	1	0	$2^6/f_w$ (1.95 ms)
0	1	1	$2^7/f_w$ (3.91 ms)
1	0	0	$2^8/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (15.6 ms)
上記以外			設定禁止

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, タイマともにクリア)
1	動作許可

備考1. f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$ または f_{XT})

2. f_x : メイン・システム・クロック発振周波数

3. f_{XT} : サブシステム・クロック発振周波数

4. () 内は、 $f_x = 5.0$ MHz動作時または $f_{XT} = f_w = 32.768$ kHz動作時

8.4 時計用タイマの動作

8.4.1 時計用タイマとしての動作

メイン・システム・クロック (4.19 MHz) またはサブシステム・クロック (32.768 kHz) を使用することで、0.5秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、9ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後の最初のオーバフロー (INTWT) には、最大で $2^9 \times 1/f_w$ 秒の誤差が発生します。

8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。

表8-3 インターバル・タイマのインターバル時間

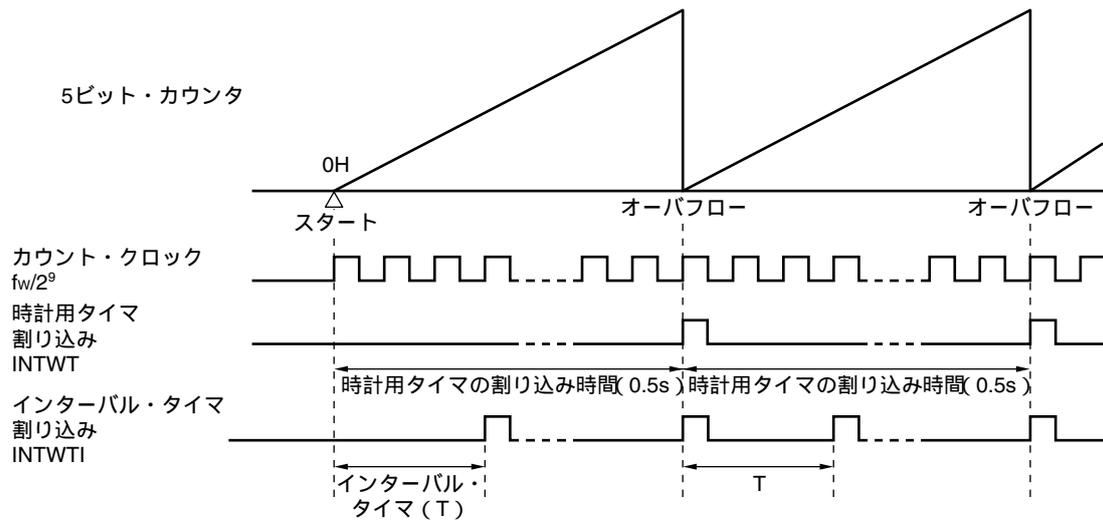
WTM6	WTM5	WTM4	インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^4 \times 1/f_w$	409.6 μs	489 μs	488 μs
0	0	1	$2^5 \times 1/f_w$	819.2 μs	978 μs	977 μs
0	1	0	$2^6 \times 1/f_w$	1.64 ms	1.96 ms	1.95 ms
0	1	1	$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms
1	0	0	$2^8 \times 1/f_w$	6.55 ms	7.82 ms	7.81 ms
1	0	1	$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms
上記以外			設定禁止			

備考 f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数

図8 - 3 時計用タイマ/インターバル・タイマの動作タイミング



注意 時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTM0 (WTMのビット0) = 1) したとき、設定後の最初の割り込み要求 (INTWT) までの時間は、正確に時計用タイマ割り込み時間 (0.5 s) にはなりません。これは5ビット・カウンタのカウント開始が9ビット・プリスケアラの出力1周期分遅れるからです。2回目以降は設定時間ごとにINTWT信号が発生します。

★

- 備考1.** fw : 時計用タイマ・クロック周波数
 2. () 内は, fw = 32.768 kHz動作時

第9章 ウォッチドッグ・タイマ

あらかじめ設定した任意の時間間隔でノンマスクابل割り込み、マスクابل割り込み、 $\overline{\text{RESET}}$ を発生することができます。

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

表9 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	410 μs
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : メイン・システム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表9 - 2 インターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	410 μs
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : メイン・システム・クロック発振周波数

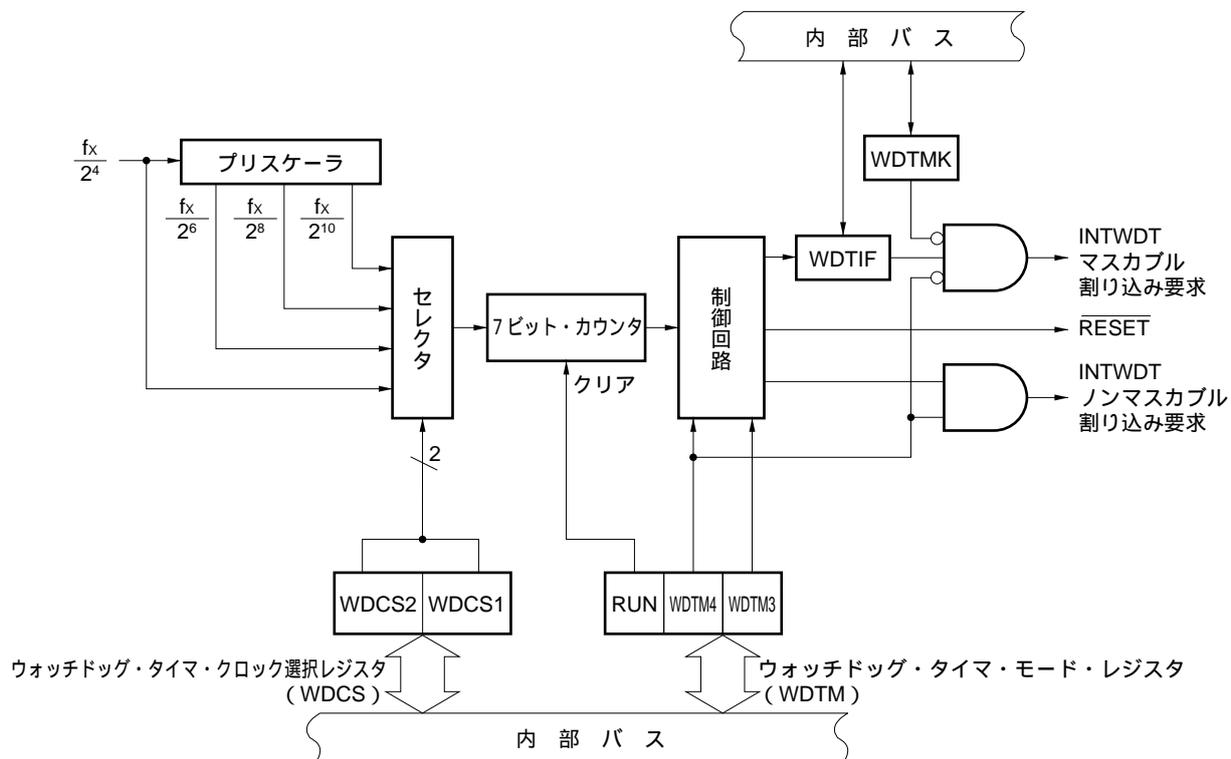
9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表9-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-2 ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	0	FF42H	00H	R/W

WDCS2	WDCS1	ウォッチドッグ・タイマのカウント・クロックの 選択	インターバル時間
0	0	$f_x/2^4$ (312.5 kHz)	$2^{11}/f_x$ (410 μ s)
0	1	$f_x/2^6$ (78.1 kHz)	$2^{13}/f_x$ (1.64 ms)
1	0	$f_x/2^8$ (19.5 kHz)	$2^{15}/f_x$ (6.55 ms)
1	1	$f_x/2^{10}$ (4.88 kHz)	$2^{17}/f_x$ (26.2 ms)
上記以外		設定禁止	

備考 f_x : メイン・システム・クロック発振周波数

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。
 WDTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図9-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード (オーバフロー発生時、マスカブル割り込み発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバフロー発生時、ノンマスカブル割り込み発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバフロー発生時、リセット動作を起動)

- 注1. RUNは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。したがって、カウントを開始すると、 $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
2. WDTM3, WDTM4は、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。
3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

- 注意1. RUNに1を設定し、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、ウォッチドッグ・タイマ・クロック選択レジスタ (WDSC) で設定した時間より最大0.8%短くなります。
2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は、WDTIF (割り込み要求フラグ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。WDTIFが1の状態では、ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込みが発生します。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット1, 2 (WDCS1, WDCS2) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

- 注意1.** 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。
2. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。したがって、このときメイン・システム・クロックが発振していてもウォッチドッグ・タイマの動作は停止します。

表9-4 ウォッチドッグ・タイマの暴走検出時間

WDCS2	WDCS1	$f_x = 5.0 \text{ MHz}$ 動作時
0	0	410 μs
0	1	1.64 ms
1	0	6.55 ms
1	1	26.2 ms

f_x : メイン・システム・クロック発振周波数

9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット1, 2 (WDCS1, WDCS2) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (WDTMK) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) とRESET入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8 %短くなる場合があります。

表9 - 5 インターバル・タイマのインターバル時間

WDCS2	WDCS1	$f_x = 5.0 \text{ MHz}$ 動作時
0	0	410 μs
0	1	1.64 ms
1	0	6.55 ms
1	1	26.2 ms

f_x : メイン・システム・クロック発振周波数

第10章 シリアル・インタフェース10

10.1 シリアル・インタフェース10の機能

シリアル・インタフェース10には、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック (SCK10) と、シリアル・データ (SI10, SO10) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

10.2 シリアル・インタフェース10の構成

シリアル・インタフェース10は、次のハードウェアで構成しています。

表10 - 1 シリアル・インタフェース10の構成

項 目	構 成
レジスタ	送受信シフト・レジスタ10 (SIO10)
制御レジスタ	シリアル動作モード・レジスタ10 (CSIM10)

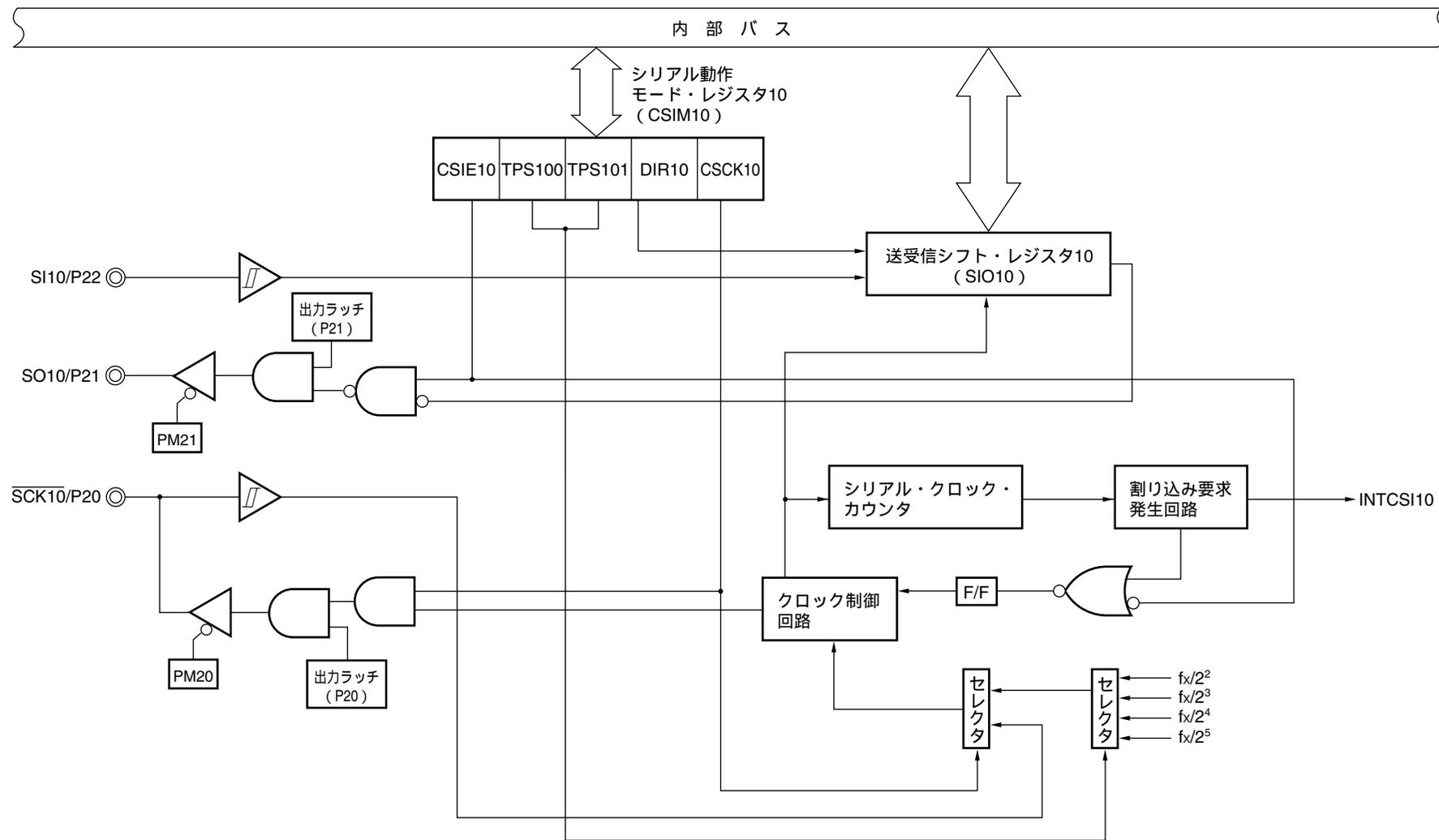
(1) 送受信シフト・レジスタ10 (SIO10)

パラレル - シリアル変換を行い、シリアル・クロックに同期してシリアル送受信を行う8ビットのレジスタです。

SIO10は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

図10-1 シリアル・インタフェース10のブロック図



10.3 シリアル・インタフェース10を制御するレジスタ

シリアル・インタフェース10は、次のレジスタで制御します。

- ・シリアル動作モード・レジスタ10 (CSIM10)

(1) シリアル動作モード・レジスタ10 (CSIM10)

シリアル・インタフェース10の動作制御、シリアル・クロックの設定、先頭ビットの設定をするレジスタです。

CSIM10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-2 シリアル動作モード・レジスタ10のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM10	CSIE10	0	TPS101	TPS100	0	DIR10	CCK10	0	FF72H	00H	R/W

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

TPS101	TPS100	3線式シリアルI/Oモード時の動作許可時のカウント・クロックの選択
0	0	$f_x/2^2$ (1.25 MHz)
0	1	$f_x/2^3$ (625 kHz)
1	0	$f_x/2^4$ (313 kHz)
1	1	$f_x/2^5$ (157 kHz)

DIR10	先頭ビットの指定
0	MSB
1	LSB

CCK10	3線式シリアルI/Oモード時のクロックの選択
0	SCK10端子への外部からの入力クロック
1	TPS100, TPS101で選択した内部クロック

注意1. ビット0, 3, 6には、必ず0を設定してください。

- ★ 2. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) のビット0に1を設定して入力モードにください。
- ★ 3. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

備考1. f_x : メイン・システム・クロック発振周波数

- 2. () 内は、 $f_x = 5.0$ MHz動作時

表10-2 シリアル・インタフェース10の動作モードの設定一覧

(1) 動作停止モード

CSIM10			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI10 端子の機能	P21/SO10 端子の機能	P20/SCK10 端子の機能
CSIE10	DIR10	CCK10											
0	x	x	x ^{注1}			P22	P21	P20					
上記以外									設定禁止				

(2) 3線式シリアルI/Oモード

CSIM10			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI10 端子の機能	P21/SO10 端子の機能	P20/SCK10 端子の機能
CSIE10	DIR10	CCK10											
1	0	0	1 ^{注2}	x ^{注2}	0	1	1	x	MSB	外部 クロック	SI10 ^{注2}	SO10 (CMOS出力)	SCK10入力
		0					1	内部 クロック		SCK10出力			
1	1	0					1	x	LSB	外部 クロック			SCK10入力
		1					0	1		内部 クロック			SCK10出力
上記以外									設定禁止				

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P22 (CMOS入出力) として使用できます。

備考 x : don't care

10.4 シリアル・インタフェース10の動作

シリアル・インタフェース10は、次の2種類のモードがあります。

- ・動作停止モード
- ・3線式シリアル/Oモード

10.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、動作停止モードでは、P20/SCK10, P21/SO10, P22/SI10端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ10 (CSIM10) で行います。

シリアル動作モード・レジスタ10 (CSIM10)

CSIM10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM10	CSIE10	0	TPS101	TPS100	0	DIR10	CSCK10	0	FF72H	00H	R/W

CSIE10	3線式シリアル/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット0, 3, 6には、必ず0を設定してください。

10.4.2 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック（ $\overline{\text{SCK10}}$ ）、シリアル出力（SO10）、シリアル入力（SI10）の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ10（CSIM10）で行います。

(a) シリアル動作モード・レジスタ10（CSIM10）

CSIM10は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM10	CSIE10	0	TPS101	TPS100	0	DIR10	CSCK10	0	FF72H	00H	R/W

CSIE10	3線式シリアルI/Oモード時の動作の制御	
0	動作停止	
1	動作許可	

TPS101	TPS100	3線式シリアルI/Oモード動作許可時のカウント・クロックの選択
0	0	$f_x/2^2$ (1.25 MHz)
0	1	$f_x/2^3$ (625 kHz)
1	0	$f_x/2^4$ (313 kHz)
1	1	$f_x/2^5$ (157 kHz)

DIR10	先頭ビットの指定
0	MSB
1	LSB

CSCK10	3線式シリアルI/Oモード時のクロックの選択
0	$\overline{\text{SCK10}}$ 端子への外部からの入力クロック
1	TPS100, TPS101で選択したカウント・クロック

- 注意1.** ビット0, 3, 6には、必ず0を設定してください。
- 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2（PM2）のビット0に1を設定して入力モードにください。
 - 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

- 備考1.** f_x : メイン・システム・クロック発振周波数
- () 内は、 $f_x = 5.0$ MHz動作時

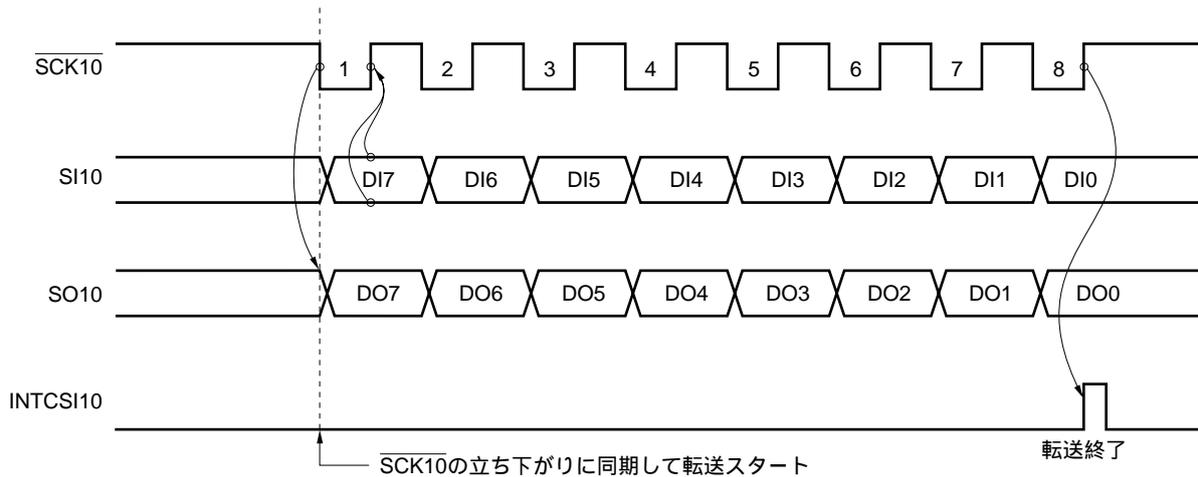
(2) 通信動作

3線式シリアル/I/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送受信シフト・レジスタ10 (SIO10) のシフト動作は、シリアル・クロック ($\overline{\text{SCK10}}$) の立ち下がりに同期して行われます。そして、送信データがSO10ラッチに保持され、SO10端子から出力されます。また、 $\overline{\text{SCK10}}$ の立ち上がりで、SI10端子に入力された受信データがSIO10の入力側ビットにラッチされます。

8ビット転送終了により、SIO10の動作は自動的に停止し、割り込み要求信号 (INTCSI10) を発生します。

図10-3 3線式シリアル/I/Oモードのタイミング



- 注意1. シリアル動作禁止設定時 ($\text{CSIE10} = 0$) に、SIO10にデータを書き込んでも送受信できません。
2. シリアル動作禁止設定時 ($\text{CSIE10} = 0$) に、SIO10にデータを書き込んだあと、シリアル動作許可 ($\text{CSIE10} = 1$) にしても送受信できません。
 3. 外部シリアル・クロック選択時 ($\text{CSCK10} = 0$) で1度SIO10にデータを書き込んだあと、SIO10に上書きをした場合、SIO10の内容は更新されません。
 4. 送受信中にCSIM10を操作した場合、正常な送受信動作はできません。
 5. 送受信中にSIO10を操作した場合、正常な送受信動作はできません。

(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送受信シフト・レジスタ10 (SIO10) に転送データをセットすることで開始します。

- ・シリアル動作モード・レジスタ10 (CSIM10) のビット7 (CSIE10) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK10}}$ がハイ・レベルの状態

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI10) を発生します。

第11章 VFDコントローラ/ドライバ

11.1 VFDコントローラ/ドライバの機能

μ PD789871サブシリーズに内蔵しているVFDコントローラ/ドライバの機能を示します。

- (1) 表示データの自動読み出しによる表示信号出力 (DMA動作) が可能。
- ★ (2) VFD表示に使用しない端子は, 出力ポートとして使用可能 (FIP9-FIP24端子のみ)。
- (3) VFD表示モード・レジスタ1 (DSPM1) により8段階の輝度調節が可能。
- (4) キー・スキャン応用を考慮したハードウェアを内蔵。
 - ・キー・スキャン・タイミングを示す割り込み要求信号 (INTKS) を発生。
 - ・キー・スキャン・フラグ (KSF) により, キー・スキャン・データを出力しているタイミングの検出が可能。
 - ・キー・スキャン・タイミングの挿入/非挿入を選択可能。
- (5) VFDを直接駆動可能な高耐圧出力バッファを内蔵。
- ★ (6) FIP9-FIP24端子は, マスクROM製品のみV_{LOAD}接続へのプルダウン抵抗を内蔵 (μ PD78F9872は, プルダウン抵抗を内蔵していません)。

μ PD789871サブシリーズが内蔵する25本のVFD出力端子のうち, FIP9-FIP24はポート機能との兼用端子になっています。なお, FIP0-FIP8はVFD出力専用端子です。

表示モード・レジスタ0 (DSPM0) のビット7 (DSPEN) によりVFD表示禁止に設定したとき, FIP9-FIP24はポート端子として使用できます。また, VFD表示許可状態であっても, 表示信号出力として使用しないVFD出力端子についてはポート端子として使用できます。

表11 - 1 VFD出力端子とポートの兼用端子対応表

FIP端子名称	兼用ポート名称	入出力
FIP9-FIP16	P97-P90	出力専用ポート
FIP17-FIP24	P87-P80	出力専用ポート

★

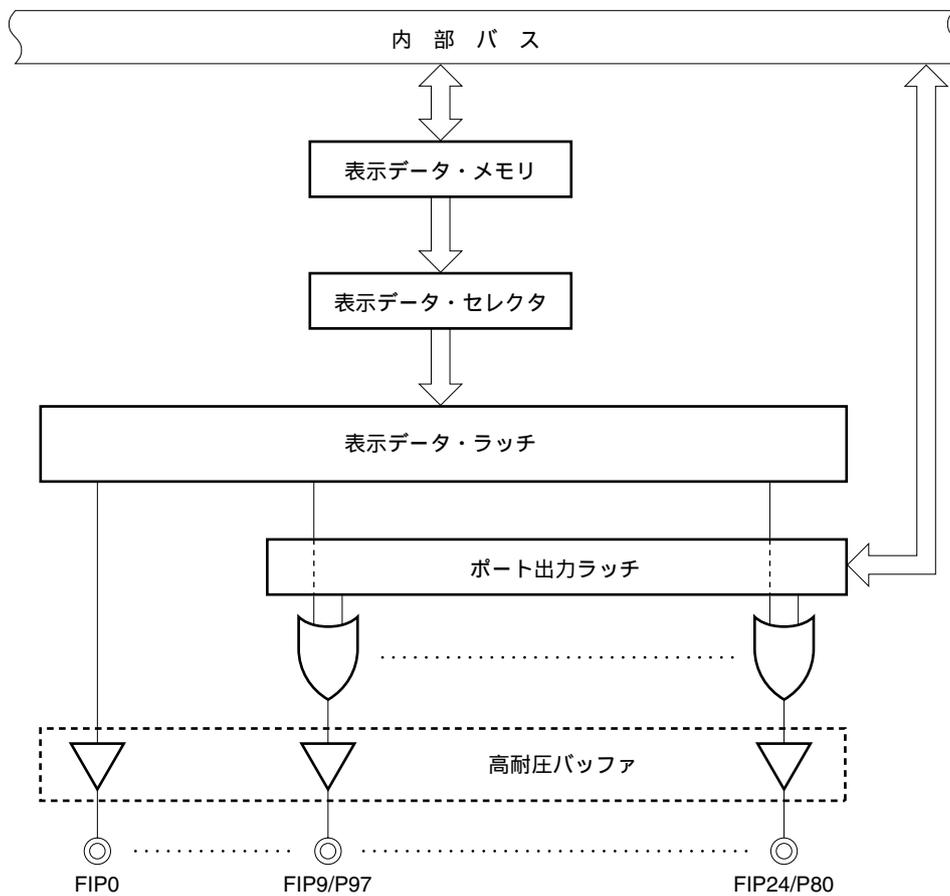
11.2 VFDコントローラ/ドライバの構成

VFDコントローラ/ドライバは、次のハードウェアで構成されています。

表11-2 VFDコントローラ/ドライバの構成

項目	構成
表示出力	25本
制御レジスタ	表示モード・レジスタ0 (DSPM0) 表示モード・レジスタ1 (DSPM1) 表示モード・レジスタ2 (DSPM2)

図11-1 VFDコントローラ/ドライバのブロック図



11.3 VFDコントローラ/ドライバを制御するレジスタ

11.3.1 制御レジスタ

VFDコントローラ/ドライバを制御するレジスタには、次の3種類があります。

- ・表示モード・レジスタ0 (DSPM0)
- ・表示モード・レジスタ1 (DSPM1)
- ・表示モード・レジスタ2 (DSPM2)

(1) 表示モード・レジスタ0 (DSPM0)

DSPM0は次の設定をするレジスタです。

- ・表示許可 / 禁止
- ・VFD出力本数

DSPM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、10Hになります。

図11-2 表示モード・レジスタ0のフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
DSPM0	DSPEN	0	FOUT5	FOUT4	FOUT3	FOUT2	FOUT1	FOUT0	FFA0H	10H	R/W

DSPEN	VFD表示の許可 / 禁止の指定
0	禁止
1	許可

FOUT5	FOUT4	FOUT3	FOUT2	FOUT1	FOUT0	VFD出力本数
0	1	0	0	0	0	17本
0	1	0	0	0	1	18本
0	1	0	0	1	0	19本
0	1	0	0	1	1	20本
0	1	0	1	0	0	21本
0	1	0	1	0	1	22本
0	1	0	1	1	0	23本
0	1	0	1	1	1	24本
0	1	1	0	0	0	25本
上記以外						設定禁止

注意1. ビット6には、必ず“0”を設定してください。

2. ビット7 (DSPEN) = 1のときは、DSPEN以外のビットにデータを書き込まないでください。

3. VFD出力に使用する端子の兼用ポートの出力ラッチには、必ず“0”を設定してください。

- ★
4. セグメントおよびグリッドは、FOUT5-FOUT0で設定するVFD出力本数の中で自由に設定できます。ただし設定の際に、端子の割り当てとそれぞれの負荷電流の大きさに注意してください。

(2) 表示モード・レジスタ1 (DSPM1)

DSPM1は次の設定をするレジスタです。

- ・VFD出力信号のブランキング幅
- ・表示パターン数

DSPM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、01Hになります。

図11-3 表示モード・レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DSPM1	FBLK2	FBLK1	FBLK0	FPAT4	FPAT3	FPAT2	FPAT1	FPAT0	FFA1H	01H	R/W

FBLK2	FBLK1	FBLK0	VFD出力信号のブランキング幅
0	0	0	1/16
0	0	1	2/16
0	1	0	4/16
0	1	1	6/16
1	0	0	8/16
1	0	1	10/16
1	1	0	12/16
1	1	1	14/16

FPAT4	FPAT3	FPAT2	FPAT1	FPAT0	表示パターン数
0	0	0	0	1	2
0	0	0	1	0	3
0	0	0	1	1	4
0	0	1	0	0	5
0	0	1	0	1	6
0	0	1	1	0	7
0	0	1	1	1	8
0	1	0	0	0	9
0	1	0	0	1	10
0	1	0	1	0	11
0	1	0	1	1	12
0	1	1	0	0	13
0	1	1	0	1	14
0	1	1	1	0	15
0	1	1	1	1	16
上記以外					設定禁止

注意 表示モード・レジスタ0 (DSPM0)のビット7 (DSPEN)=1のときは、表示モード・レジスタ1 (DSPM1)にデータを書き込まないでください。

(3) 表示モード・レジスタ2 (DSPM2)

DSPM2は次の設定をするレジスタです。

- ・キー・スキャン・サイクルの挿入 / 非挿入
- ・動作基準クロック (FIPCK)

★

また、キー・スキャン中かどうかの状態を表示します。

DSPM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

ただし、ビット7 (KSF) のみ、1ビット・メモリ操作命令で読み出すことができます。

RESET入力により、00Hになります。

図11-4 表示モード・レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DSPM2	KSF	KSM	0	0	0	0	FCYC1	FCYC0	F F A 2 H	0 0 H	R/W

KSF	キー・スキャンの状態
0	キー・スキャン・サイクルでない
1	キー・スキャン・サイクル中

KSM	キー・スキャン・サイクル挿入の選択
0	挿入しない
1	挿入する

★

FCYC1	FCYC0	動作基準クロック (FIPCK)
0	0	$2^8/f_x$ (51.2 μ s)
0	1	$2^7/f_x$ (25.6 μ s)
1	0	$2^6/f_x$ (12.8 μ s)
1	1	設定禁止

注意1. ビット2-5には、必ず“0”を設定してください。

2. 表示モード・レジスタ0 (DSPM0) のビット7 (DSPEN) = 1のときは、表示モード・レジスタ2 (DSPM2) にデータを書き込まないでください。

備考1. f_x : メイン・システム・クロック発振周波数

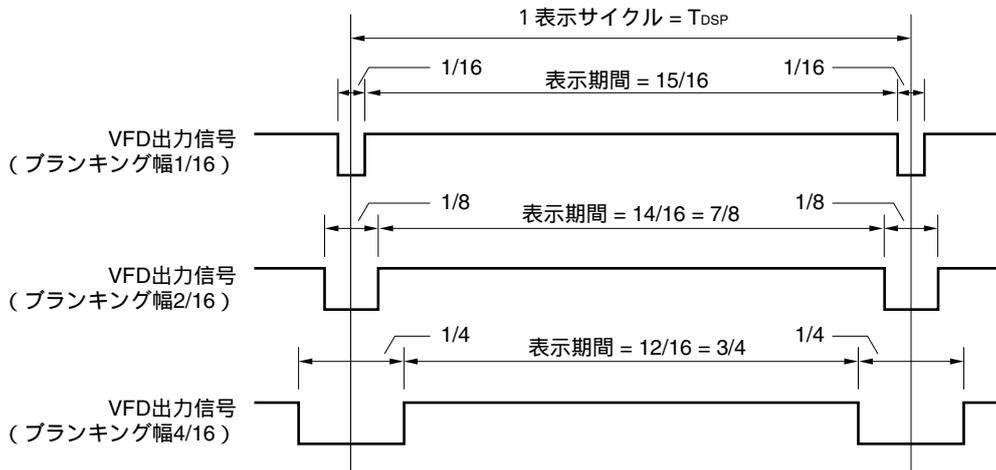
2. () 内は、 $f_x = 5.0$ MHz動作時。

★ 11.3.2 1表示サイクルとブランキング幅

1表示サイクル (T_{DSP}) は、動作基準クロック (FIPCK) の16クロック分で構成されます。

そして、表示モード・レジスタ1 (DSPM1) のビット0-2 (FBLK0-FBLK2) で設定されるブランキング幅によって、表示期間の始まりと終わりに2等分されるかたちでブランキングされます。

図11-5 VFD出力信号の表示期間とブランキング幅



11.4 表示データ・メモリ

表示データ・メモリは、表示する表示データを格納する96バイトのRAM領域です。

表示データ・メモリは、FA00H-FA5FH番地にマッピングしています。

VFDントローラはVFD表示のために、表示データ・メモリに格納したデータをCPUの動作とは無関係に読み出します (DMA動作)。

- ★ 表示データ・メモリにデータを書き込む際には、表示禁止 (DSPEN = 0) にしてから行ってください。表示許可 (DSPEN = 1) 時に書き込まないでください。

また、表示に使用しない領域は、通常のRAMとして使用できます。ただしこのRAMは表示許可 (DSPEN = 1) 中はアクセス禁止です (表示許可時にR/Wした場合は保証できません)。

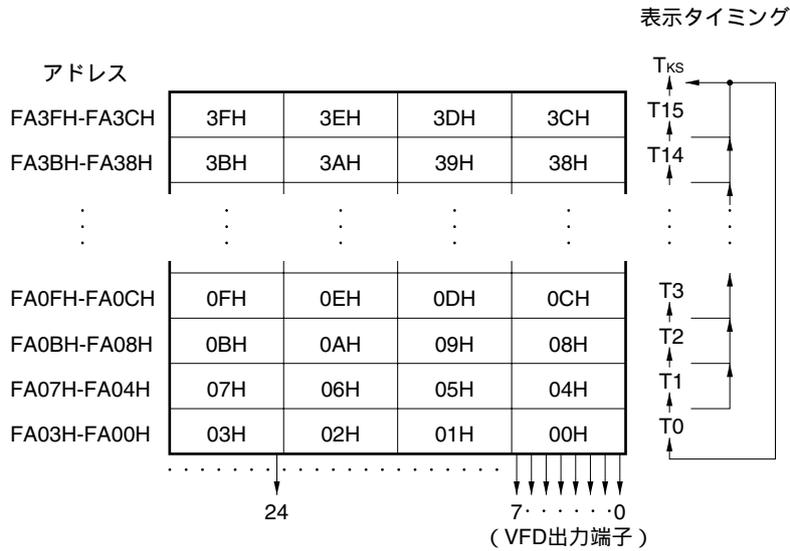
キー・スキャン・サイクル時には、VFD出力の表示データ・ラッチはオール“0”出力となります。キー・スキャンとして使用する端子には、ポート8, 9の出力ラッチにデータを書き込むことで、そのデータがFIP9/P97-FIP24/P80に出力されます (11.5.2 キー・スキャン・データ参照)。そして、キー・スキャン・サイクルの終わりまでには、ポート8, 9の出力ラッチを“0”に戻しておいてください (表示サイクルでは、表示データがFIP9/P97-FIP24/P80に出力されるようにするため)。

- ★ 表示データ・メモリは、表示モード・レジスタ0-2 (DSPM0-DSPM2) の設定にかかわらず、4バイトごとに1表示データを格納します。つまり最大で24個の表示データを格納できます。

(1) VFD出力25本, 16パターンの場合

各表示タイミング (T0-T15) で出力されるデータに対応する表示データ・メモリのアドレスは図11 - 6 (たとえば, T0 = FA00H-FA03H, T1 = FA04H-FA07H) のようになっています。この1表示データの最下位ビットから最上位ビットの順にVFD出力端子0 (FIP0) からVFD出力端子24 (FIP24) に対応しています。

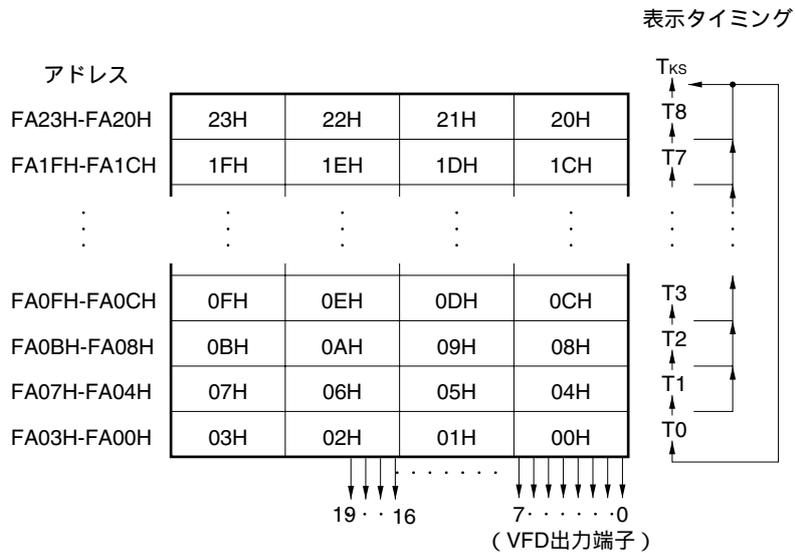
★ 図11 - 6 表示データ・メモリのアドレス配置とVFD出力の関係
(VFD出力25本, 16パターンの場合)



(2) VFD出力20本, 9パターンの場合

各表示タイミング (T0-T8) で出力されるデータに対応する表示データ・メモリのアドレスは図11 - 7 (たとえば, T0 = FA00H-FA02H, T1 = FA04H-FA06H) のようになっています。この1表示データの最下位ビットから最上位ビットの順にVFD出力端子0 (FIP0) からVFD出力端子19 (FIP19) に対応しています。

★ 図11 - 7 表示データ・メモリのアドレス配置とVFD出力の関係
(VFD出力20本, 9パターンの場合)

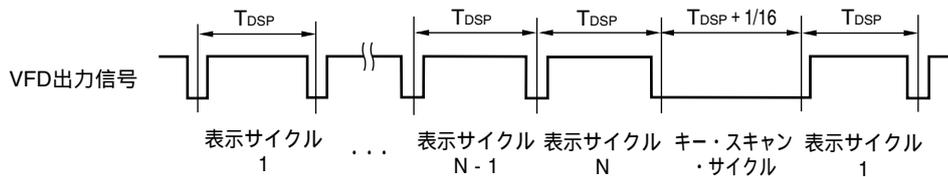


★ 11.5 キー・スキャンの動作

キー・スキャン・サイクル挿入指定フラグ (KSM) (表示モード・レジスタ2 (DSPM2) のビット6) でキー・スキャン・サイクルの挿入/非挿入の選択ができます。

キー・スキャン・サイクルの挿入を指定 (KSM = 1) すると、表示モード・レジスタ1 (DSPM1) のビット4-0 (FPAT4-FPAT0) で設定した表示パターン数 (N) 個分のデータを表示終了したあとで、キー・スキャン・サイクルに入ります。

図11-8 キー・スキャン・サイクル



備考 1表示サイクルを T_{DSP} とした場合、キー・スキャン・サイクルは $T_{DSP} + 1/16$ となります。

詳しくは、11.8 (2) 表示期間、プランキング幅、キー・スキャン・サイクルの制限事項をご参照ください。

11.5.1 キー・スキャン・フラグとキー・スキャン割り込み

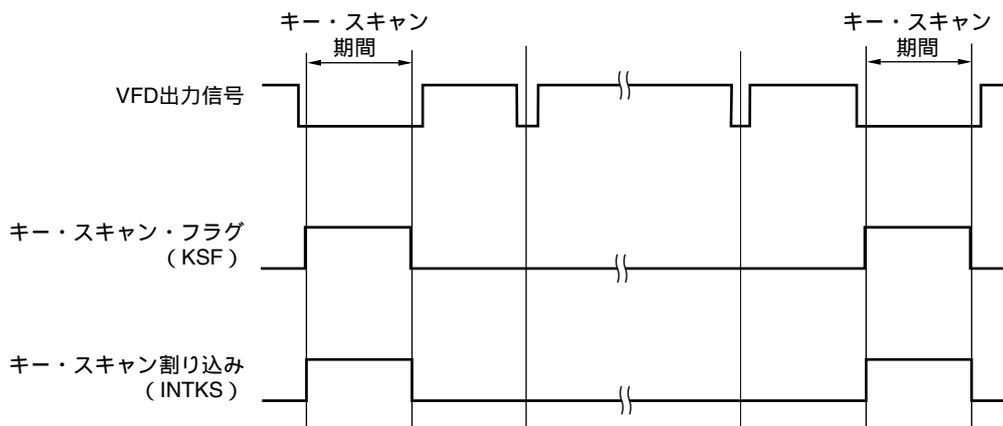
キー・スキャン・フラグ (KSF) はキー・スキャン・サイクル中に1にセットされ、表示サイクルに入ると自動的に0にリセットされるフラグです。

KSFは表示モード・レジスタ2 (DSPM2) のビット7にマッピングされており、1ビット単位での読み出しが可能です。書き込みはできません。

KSFの値を確認することにより、キー・スキャン中であるかどうかを判断でき、キー入力データが正しいかどうかをチェックできます。

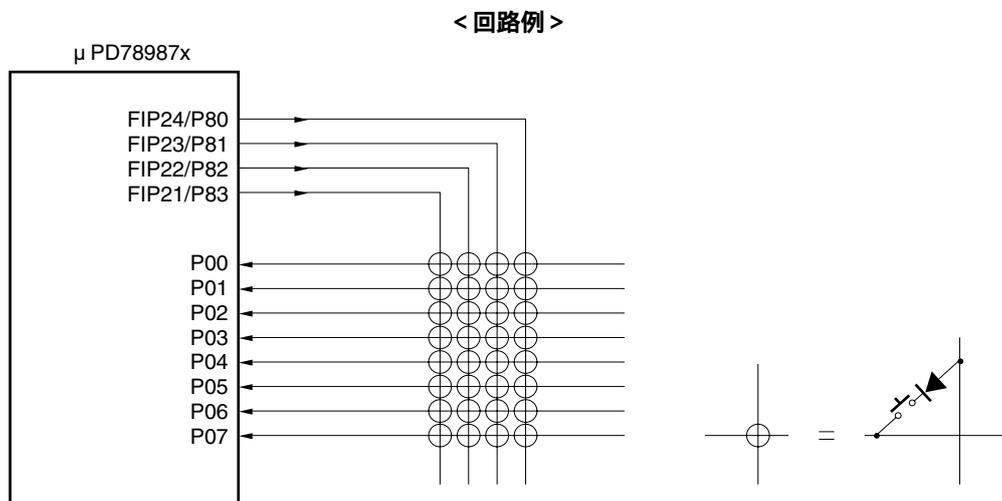
キー・スキャン割り込み信号は、キー・スキャン・フラグに同期して発生します。

図11-9 キー・スキャン・フラグとキー・スキャン割り込み



11.5.2 キー・スキャン・データ

キー・スキャン・サイクル中は、ポート8, 9の出力ラッチにデータを書き込めば、そのデータがFIP9-FIP24端子から出力されます。たとえば以下のようにFIP24/P80-FIP21/P83端子をキー・スキャン端子として使用する回路例では、P80-P83の出力ラッチにデータを設定し、P00-P07の入力データを読み出すことでキー入力状態を検出できます。



PU00 = 1 (P00-P07は内蔵プルアップ抵抗を使用)

キーON時：ロウ・レベル，キーOFF時：ハイ・レベル，

注意 キー・スキャン・タイミング中に、セグメントとグリッドの両方がオンになるようなスキャンを行った場合、表示がちらつくことがあります。

11.6 蛍光表示管のもれ発光について

μ PD789871サブシリーズを用いて蛍光表示管を駆動するときに、もれ発光が生じる場合があります。この原因としては主に次の2つが考えられます。

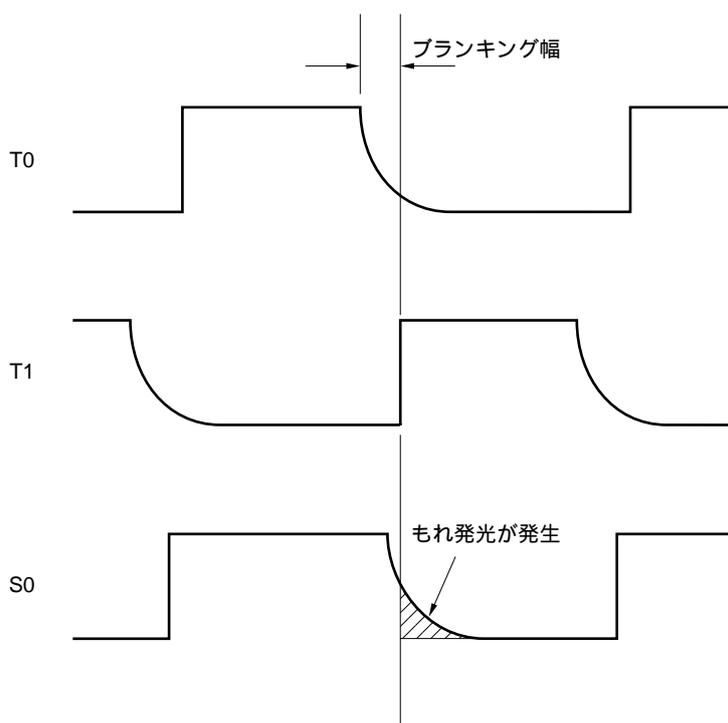
- ・ブランキング時間が短いことによるもれ発光
- ・蛍光表示管のセグメント・グリッド間容量によるもれ発光

次にそれぞれの説明を記載します。

(1) ブランキング時間が短いことによるもれ発光

図11 - 10は2桁表示で1桁目T0は点灯し、2桁目T1は非点灯とした場合の信号波形を示しています。この図のようにブランキング時間が短いとセグメント信号がなくなる前にT1信号が立ち上がってしまうため、もれ発光が生じます。一般的にはブランキング時間は20 μ s程度必要となりますので、表示モード・レジスタ1 (DSPM1) の設定値を考慮する必要があります。

図11 - 10 ブランキング時間が短いことによるもれ発光の概念図



(2) 蛍光表示管のセグメント-グリッド間容量によるもれ発光

図11 - 12のように十分なブランキング時間をとったときでも、もれ発光が生じる場合があります。これは図11 - 11で C_{SG} として示されるように蛍光表示管のグリッド-セグメント間に容量があるため、セグメント信号がオンしたとき、 C_{SG} を通してタイミング信号端子が持ち上げられてしまいます。この電圧が図11 - 12のようにカット・オフ電圧 (E_K) 以上となると、もれ発光が生じます。

このヒゲ状の電圧は、 C_{SG} の大きさと内蔵プルダウン抵抗 (R_L) の値によって変化します。 C_{SG} の値が大きいほど、また R_L の値が大きいほどこの電圧は大きくなり、もれ発光は発生しやすくなります。

この C_{SG} の値は、蛍光表示管の表示面積によって異なり、面積が大きいほど C_{SG} は大きくなります。したがって、蛍光表示管の大きさによってもれ発光を発生させないためのプルダウン抵抗値が異なってきます。

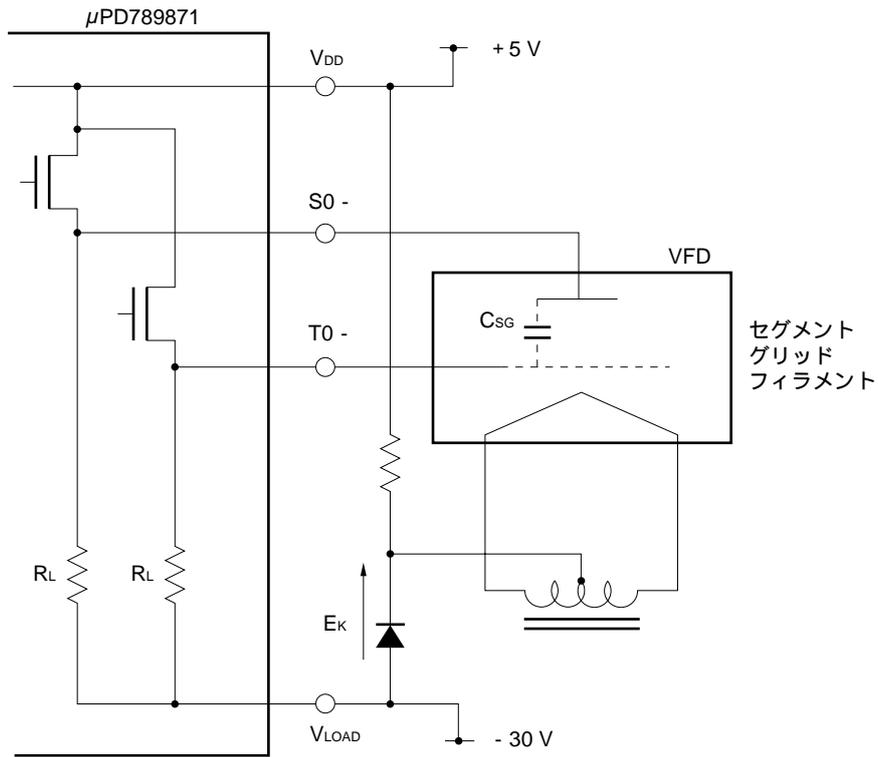
一方、 μ PD789870, 789871で内蔵しているプルダウン抵抗値は比較的大きくなっていますので、この内蔵プルダウン抵抗だけではもれ発光を抑えることができない場合が生じます。

十分な表示品質が得られない場合には、バック・バイアスを深くする (E_K を上げる)、蛍光表示管にフィルタをかける、あるいはタイミング信号端子に数10 k Ω のプルダウン抵抗を外付けするなどの対策を検討してください。

この C_{SG} に起因するもれ発光は、全体の表示周期に対するヒゲ状電圧のデューティ・サイクルによって発生しやすさが変化しますので、表示桁数が少ないほど発生しやすいこととなります。

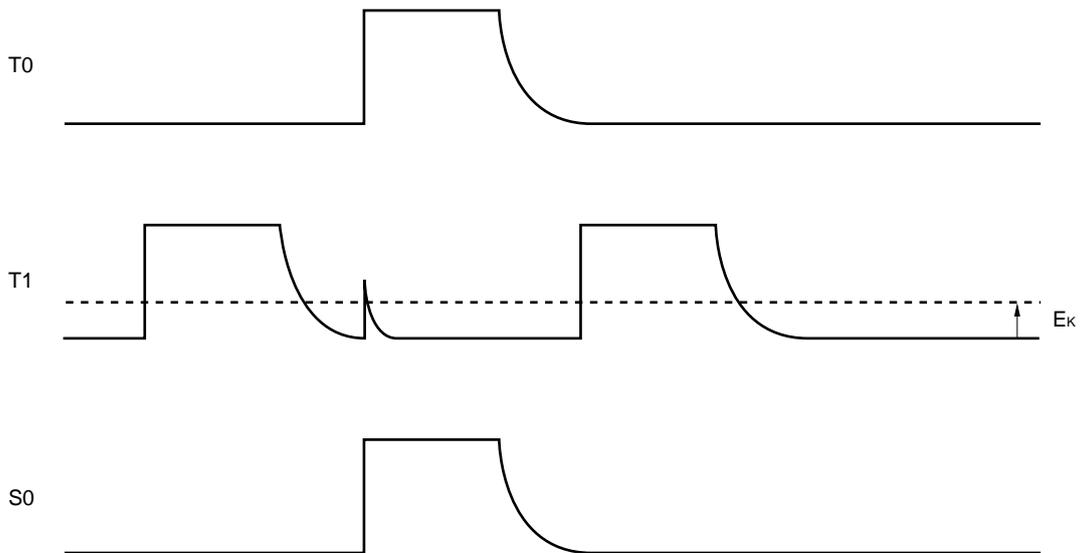
また、表示輝度を下げても効果があります。

図11 - 11 C_{SG} によるもれ発光の説明図



E_k : カット・オフ電圧
 R_L : 内蔵プルダウン抵抗

図11 - 12 C_{SG} によるもれ発光の概念図



11.7 全損失の計算方法

μ PD789871サブシリーズの消費電力には次の3つがあります。この3つの消費電力の和が全損失 P_T (図11 - 13 参照) 以下となるように設計してください (定格の80 %以下での使用を推奨します)。

- CPUの消費電力 : $V_{DD} (MAX.) \times I_{DD} (MAX.)$ で計算される消費電力です。
- 出力端子の消費電力 : VFD出力端子に最大の電流を流した場合の消費電力です。
- プルダウン抵抗の消費電力 : VFD出力端子に接続するプルダウン抵抗による消費電力です。

図11 - 13 許容全損失 P_T ($T_A = -40 \sim +85$)

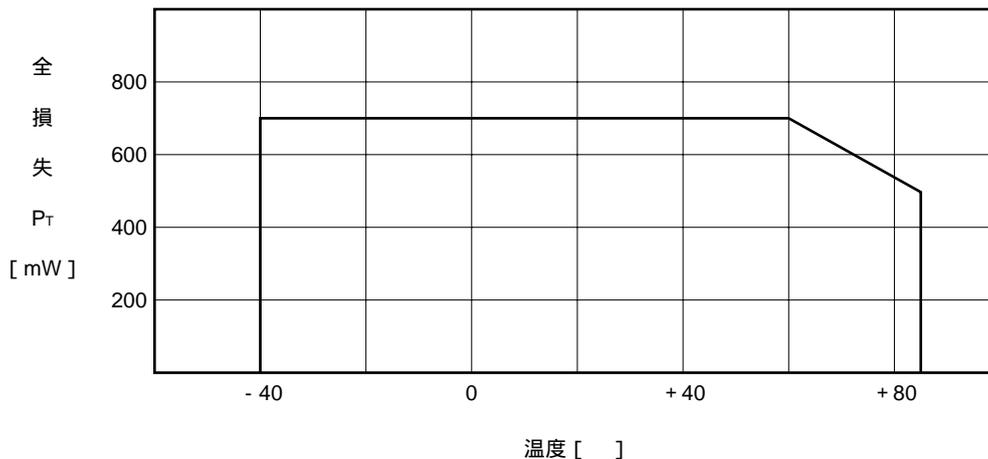


図11 - 14で示す表示例における全消費電力の計算方法を示します。

例 次のような条件を仮定します。

★

μ PD78F9872

$V_{DD} = 5.5$ V, 5.0 MHz発振

電源電流 (I_{DD}) = 15 mA

VFD出力: 11グリッド×10セグメント (ブランキング幅 = 1/16 : FBLK0-FBLK2 = 000Bのとき)

グリッド端子には最大15 mA流れるものとします。

セグメント端子には最大5 mA流れるものとします。

また、キー・スキャン・タイミングではVFD端子はオフしているものとします。

VFD出力電圧: グリッド $V_{OD} = V_{DD} - 2$ V (2 Vの電圧降下があるものとします。)

セグメント $V_{OD} = V_{DD} - 0.5$ V (0.5 Vの電圧降下があるものとします。)

蛍光表示管の電圧 (V_{LOAD}) = -35 V

★

外付けプルダウン抵抗 = 30 k Ω ^注

★

注 μ PD78F9872ではプルダウン抵抗が内蔵されていないので、外付けします。

以上のような条件を計算方法 ~ にあてはめ、全損失を計算します。

CPUの消費電力：5.5 V × 15 mA = 82.5 mW

出力端子の消費電力：

$$\begin{aligned} \text{グリッド} \quad (V_{DD} - V_{OD}) \times \frac{\text{各グリッドの電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 2 \text{ V} \times \frac{15 \text{ mA} \times 11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 25.8 \text{ mW} \end{aligned}$$

$$\begin{aligned} \text{セグメント} (V_{DD} - V_{OD}) \times \frac{\text{点灯ドットのセグメント電流値合計}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ 0.5 \text{ V} \times \frac{5 \text{ mA} \times 31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 6.1 \text{ mW} \end{aligned}$$

ブルダウン抵抗の消費電力：

$$\begin{aligned} \text{グリッド} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{ブルダウン抵抗値}} \times \frac{\text{グリッド数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 2 \text{ V} - (-35 \text{ V}))^2}{30 \text{ k}} \times \frac{11 \text{ グリッド}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 42.5 \text{ mW} \end{aligned}$$

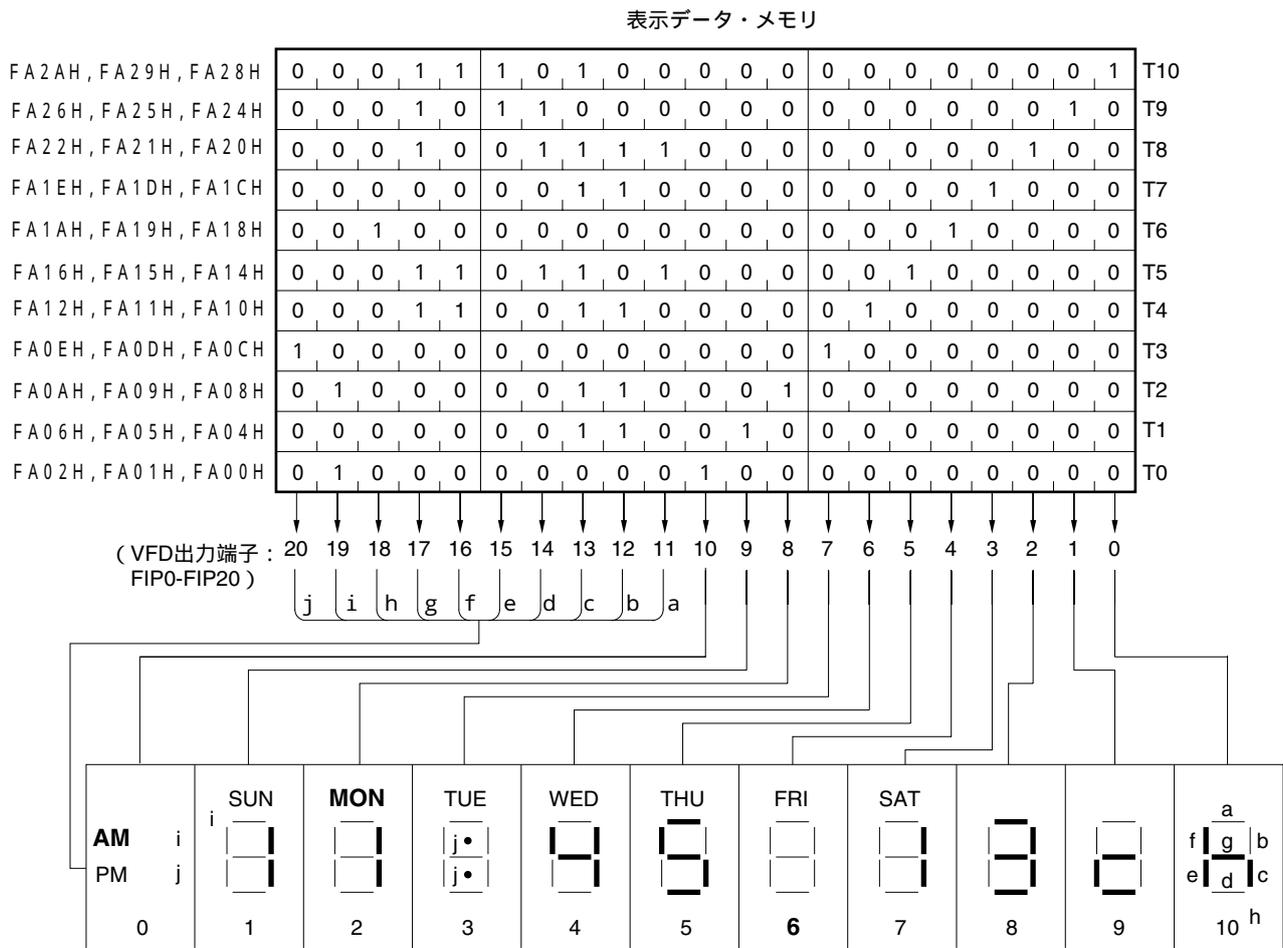
$$\begin{aligned} \text{セグメント} \quad \frac{(V_{OD} - V_{LOAD})^2}{\text{ブルダウン抵抗値}} \times \frac{\text{点灯ドット数}}{\text{グリッド数} + 1} \times (1 - \text{ブランキング幅}) = \\ \frac{(5.5 \text{ V} - 2 \text{ V} - (-35 \text{ V}))^2}{30 \text{ k}} \times \frac{31 \text{ ドット}}{11 \text{ グリッド} + 1} \times (1 - \frac{1}{16}) = 129.2 \text{ mW} \end{aligned}$$

$$\text{全消費電力} = \quad + \quad + \quad = 82.5 + 25.8 + 6.1 + 42.5 + 129.2 = 286.1 \text{ mW}$$

この例では、全消費電力が図11 - 13に示す許容全損失の定格を越えないので、消費電力は問題ありません。

全消費電力が許容全損失の定格を越えた場合には、消費電力を下げる必要があります。消費電力を下げるには、接続するブルダウン抵抗の本数を少なくするか抵抗値を上げます。

★ 図11 - 14 10セグメント-11桁表示時の表示データ・メモリの内容とVFD出力の関係



★ 11.8 VFDコントローラ/ドライバの注意事項

(1) スタンバイ・モード時の注意

VFDコントローラ/ドライバは、表示 (DSPEN = 1) したままスタンバイ・モードに入ると、表示データ・ラッチはその直前状態を保持しますが、表示はされません。そしてスタンバイ・モード解除時に表示を再開しますが、解除直後には表示が乱れます。

したがって、スタンバイ・モードに入る前には必ず表示停止 (DSPEN = 0) に設定し、スタンバイ・モード解除後に再び表示 (DSPEN = 1) に設定してください。

(2) 表示期間，ブランキング幅，キー・スキャン・サイクルの制限事項

ブランキング幅 (FBLK2-FBLK0)，キー・スキャン・サイクルの有無 (KSM) の設定の組み合わせによって、出力波形には以下に示す制限事項があります。

表11-3 表示期間，ブランキング幅，キー・スキャン・サイクルの制限事項

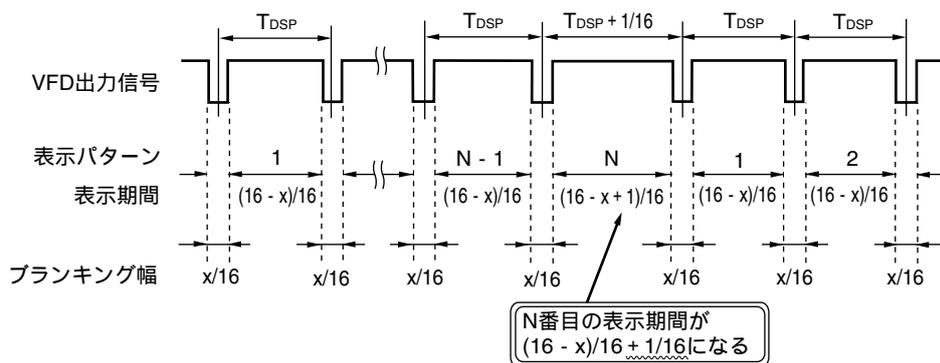
		ブランキング幅						
		1/16	2/16	4/16	6/16	8/16	10/16	12/16
キー・スキャン・サイクル	挿入しない	N番目の表示期間が、+ 1/16になる (条件a参照)		N - 1番目とN番目の間ブランキング幅が、+ 1/16になる(条件b参照)				
	挿入する	キー・スキャン・サイクルが、+ 1/16になる (条件c参照)						

備考 N : FPAT4-FPAT0で設定した表示パターン数

各条件による出力波形例を、次に示します。

<条件a> ブランキング幅 : 1/16, 2/16

キー・スキャン・サイクル : 挿入しない

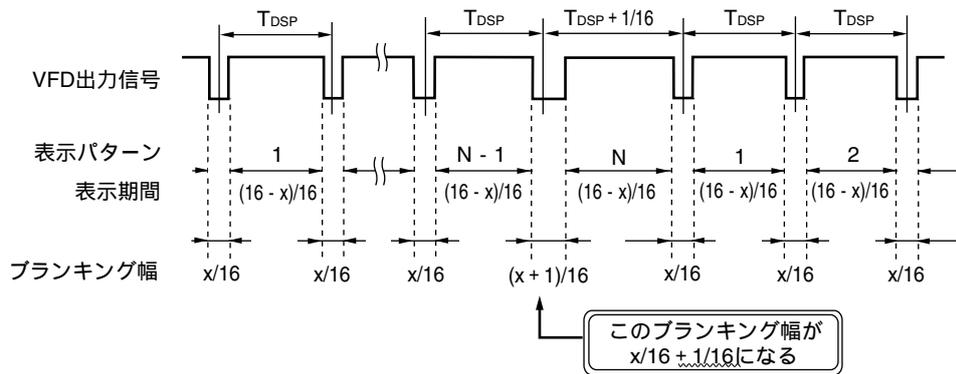


備考 T_{DSP} : 1表示サイクル (正常時 : 16/16)

$x/16$: FBLK2-FBLK0で設定したブランキング幅 ($x = 1, 2$)

<条件b> ブランキング幅 : 4/16, 6/16, 8/16, 10/16, 12/16, 14/16

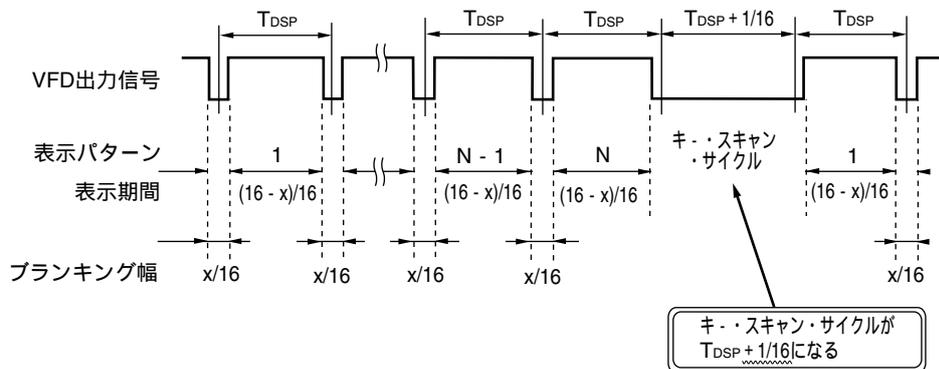
キー・スキャン・サイクル : 挿入しない



備考 T_{DSP} : 1表示サイクル (正常時 : 16/16)

$x/16$: FBLK2-FBLK0で設定したブランキング幅 ($x = 4, 6, 8, 10, 12, 14$)

<条件c> キー・スキャン・サイクル : 挿入する



備考 T_{DSP} : 1表示サイクル (正常時 : 16/16)

$x/16$: FBLK2-FBLK0で設定したブランキング幅 ($x = 1, 2, 4, 6, 8, 10, 12, 14$)

★ (3) サブシステム・クロック動作時の制限事項

マスクROM製品 μ PD789870, 789871 の場合は, サブシステム・クロックでCPU動作中 ($CSS0 = 1$) は, DSPM0レジスタのDSPENを0にクリアし, VFD表示動作を停止してください。サブシステム・クロックでCPU動作中にVFD表示動作すると, 表示輝度が不安定になったり, ちらつく場合があります。

なお, フラッシュ・メモリ製品 μ PD78F9872 については本制限はありません。

第12章 割り込み機能

12.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表12-1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みが4要因、内部割り込みが7要因あります。

12.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて、合計12要因あります(表12-1参照)。

表12-1 割り込み要因一覧

割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成タイプ ^{注2}
		名 称	トリガ			
ノンマスクابل	-	INTWDT	ウォッチドッグ・タイマのオーバフロー（ウォッチドッグ・タイマ・モード1選択時）	内部	0004H	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー（インターバル・タイマ・モード選択時）			
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)
	2	INTP1			0008H	
	3	INTTM50	TI端子入力立ち上がりエッジ検出		000AH	(D)
	4	INTTM51	TI端子入力立ち下がりエッジ検出		000CH	
	5	INTTM52	8ビット・リモコン・タイマのオーバフロー信号	内部	000EH	(B)
	6	INTKS	キー・スキャン割り込み		0010H	
	7	INTCSI10	シリアル・インタフェース10の送受信終了		0012H	
	8	INTTM80	8ビット・タイマ80の一致信号発生		0014H	
	9	INTTM81	8ビット・タイマ81の一致信号発生		0016H	
	10	INTWT	時計用タイマ割り込み		0018H	
	11	INTWTI	時計用タイマのインターバル・タイマ割り込み		001AH	

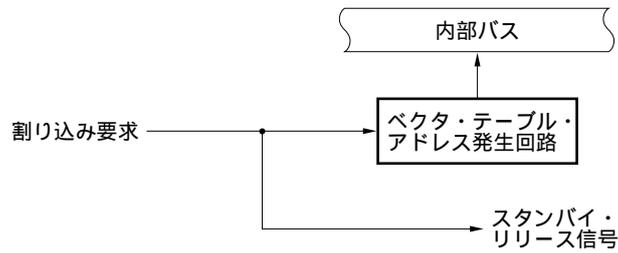
注1. プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位，11が最低順位です。

2. 基本構成タイプの(A)-(C)は、それぞれ図12-1の(A)-(C)に対応しています。

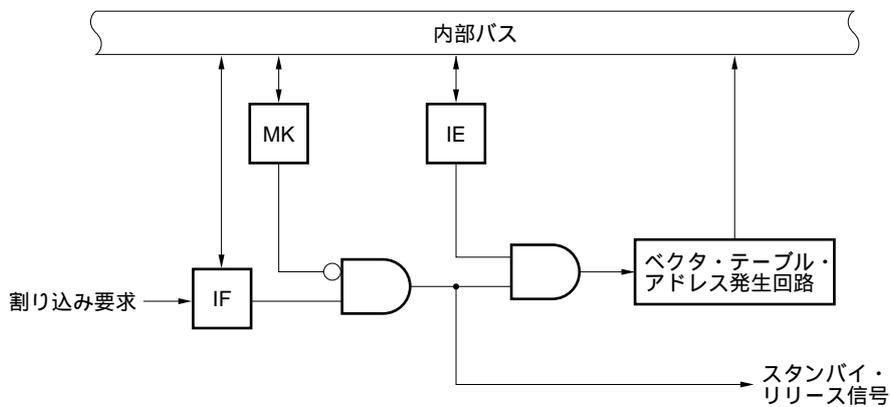
備考 ウォッチドッグ・タイマの割り込み要因（INTWDT）には、ノンマスクابل割り込みとマスクابل割り込み（内部）の2種類があり、どちらか1種類のみ選択できます。

図12 - 1 割り込み機能の基本構成

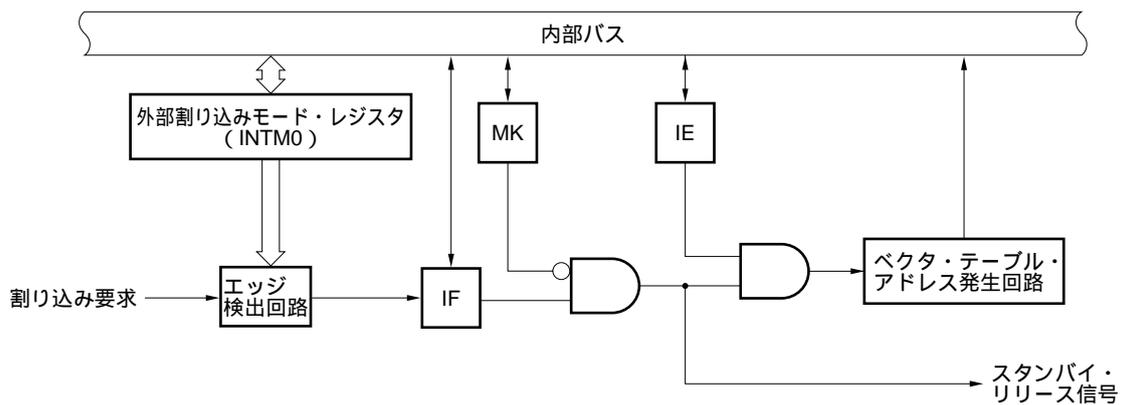
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み

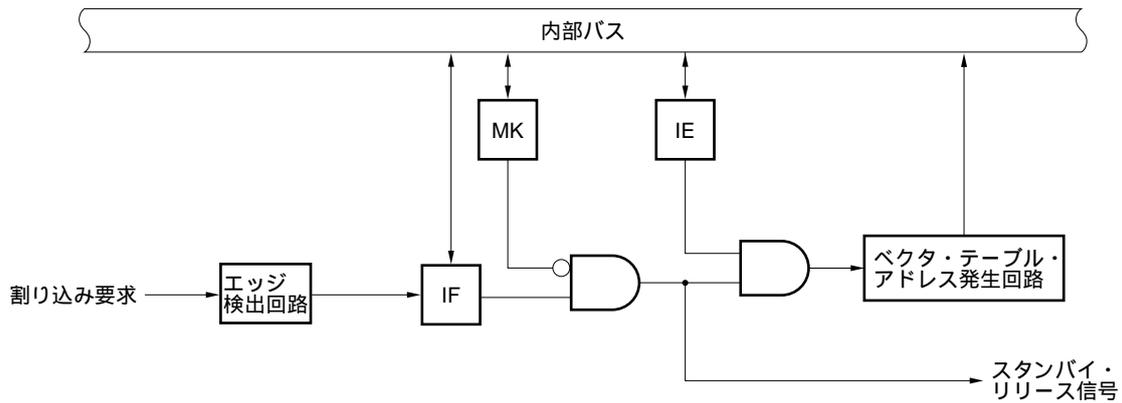


(C) 外部マスクابل割り込み (INTP0, INTP1)



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ

(D) 外部マスカブル割り込み (INTTM50, INTTM51)



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- MK : 割り込みマスク・フラグ

12.3 割り込み機能を制御するレジスタ

割り込み機能は、次の4種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0, IF1)
- ・割り込みマスク・フラグ・レジスタ (MK0, MK1)
- ・外部割り込みモード・レジスタ (INTM0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を、表12-2に示します。

表12-2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	WDTIF	WDTMK
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTTM50	TMIF50	TMMK50
INTTM51	TMIF51	TMMK51
INTTM52	TMIF52	TMMK52
INTKS	KSIF	KSMK
INTCSI10	CSIIIF10	CSIMK10
INTTM80	TMIF80	TMMK80
INTTM81	TMIF81	TMMK81
INTWT	WTIF	WTMK
INTWTI	WTIIF	WTIMK

(1) 割り込み要求フラグ・レジスタ (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0, IF1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図12 - 2 割り込み要求フラグ・レジスタのフォーマット

略号								0	アドレス	リセット時	R/W
IF0	CSIF10	KSIF	TMIF52	TMIF51	TMIF50	PIF1	PIF0	WDTIF	FF E 0 H	0 0 H	R/W

	7	6	5	4				0	アドレス	リセット時	R/W
IF1	0	0	0	0	WTIF	WTIF	TMIF81	TMIF80	FF E 1 H	0 0 H	R/W

XXIFX	割り込み要求フラグ	
0	割り込み要求信号が発生していない	
1	割り込み要求信号が発生し、割り込み要求状態	

注意1. WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、WDTIFフラグに0を設定してください。

2. ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

★ 3. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0, MK1)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。
 MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、FFHになります。

図12-3 割り込みマスク・フラグ・レジスタのフォーマット

略号								0	アドレス	リセット時	R/W
MK0	CSIMK10	KSMK	TMMK52	TMMK51	TMMK50	PMK1	PMK0	WDTMK	FFE4H	FFH	R/W

	7	6	5	4				0	アドレス	リセット時	R/W
MK1	1	1	1	1	WTIMK	WTMK	TMMK81	TMMK80	FFE5H	FFH	R/W

XXMKX	割り込み処理の制御	
0	割り込み処理許可	
1	割り込み処理禁止	

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、WDTMKフラグを読み出すと不定になっています。
2. ポート2は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 外部割り込みモード・レジスタ0 (INTM0)

INTP0, INTP1の有効エッジを設定するレジスタです。

INTM0は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図12-4 外部割り込みモード・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	0	0	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がリエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

注意1. ビット0, 1, 6, 7には必ず0を設定してください。

2. INTM0レジスタの設定は、必ず該当する割り込みマスク・フラグをセット (x x MK x = 1) し、割り込みを禁止してから行ってください。その後、割り込み要求フラグをクリア (x x IF x = 0) してから、割り込みマスク・フラグをクリア (x x MK x = 0) し、割り込みを許可してください。

(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。RETI, POP PSW命令により、スタックから復帰します。

RESET入力により、PSWは02Hになります。

図12-5 プログラム・ステータス・ワードの構成

略号	7	6	5	4	3	2	1	0	リセット時	R/W
PSW	IE	Z	0	AC	0	0	1	CY	0 2 H	R/W

→ 通常の命令実行時に使用

IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

12.4 割り込み処理動作

12.4.1 ノンмасカブル割り込み要求の受け付け動作

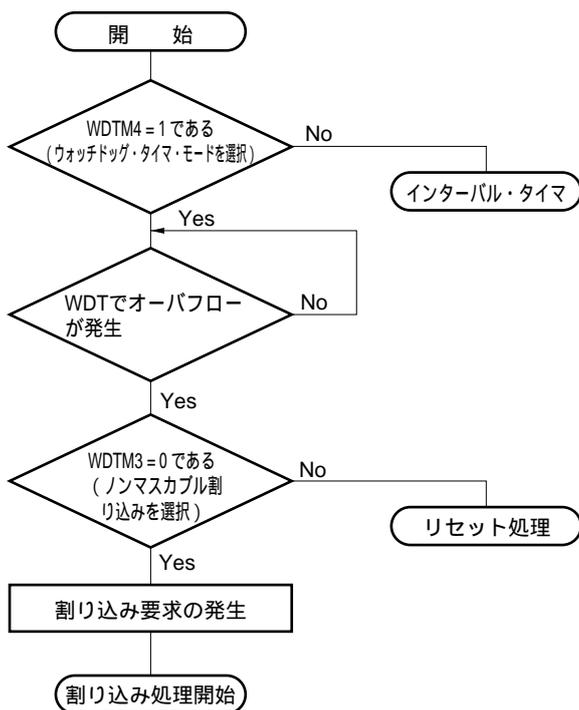
ノンмасカブル割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンмасカブル割り込み要求が受け付けられると、PSW, PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンмасカブル割り込み要求発生から受け付けまでのフロー・チャートを図12 - 6に、ノンмасカブル割り込み要求の受け付けタイミングを図12 - 7に、ノンмасカブル割り込みが多量に発生した場合の受け付け動作を図12 - 8に示します。

注意 ノンмасカブル割り込みサービス・プログラム実行中に新たなノンмасカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンмасカブル割り込み要求を受け付けてしまいます。

図12 - 6 ノンマスクブル割り込み要求発生から受け付けまでのフロー・チャート



WDTM : ウォッチドッグ・タイマ・モード・レジスタ

WDT : ウォッチドッグ・タイマ

図12 - 7 ノンマスクブル割り込み要求の受け付けタイミング

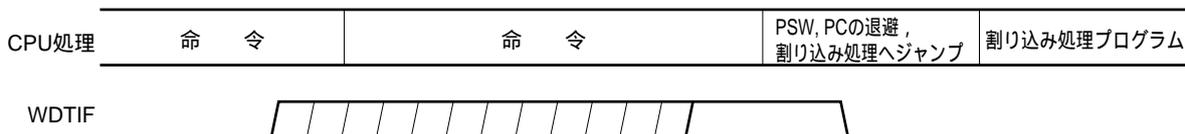
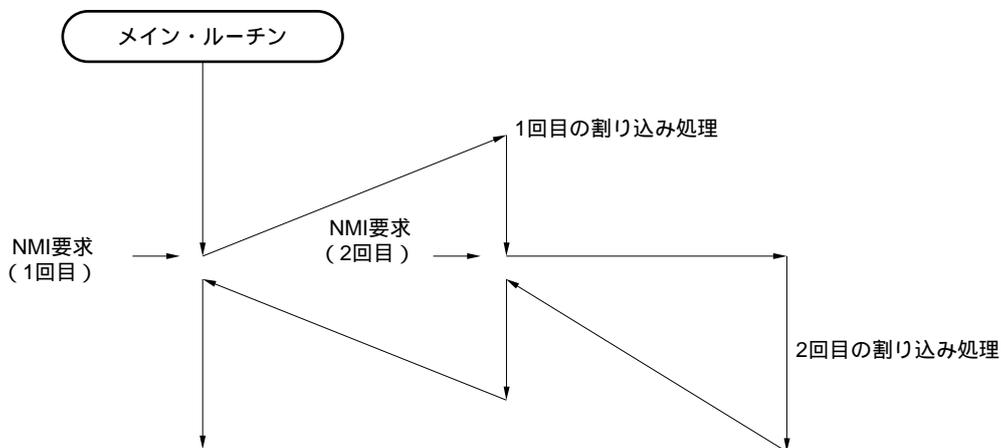


図12 - 8 ノンマスクブル割り込み要求の受け付け動作



12.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みの割り込みマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表12-3のようになります。割り込み要求の受け付けのタイミングについては、図12-10、12-11を参照してください。

表12-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU}: CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

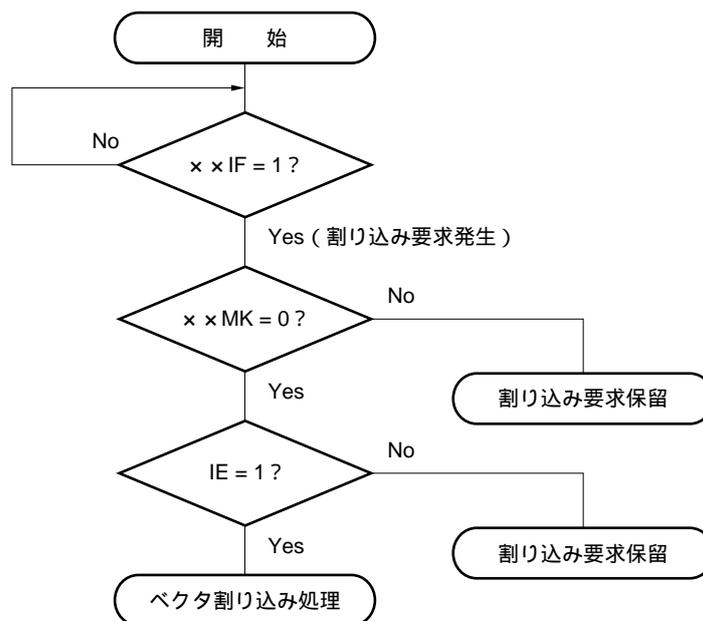
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図12-9に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図12-9 割り込み要求受け付け処理アルゴリズム

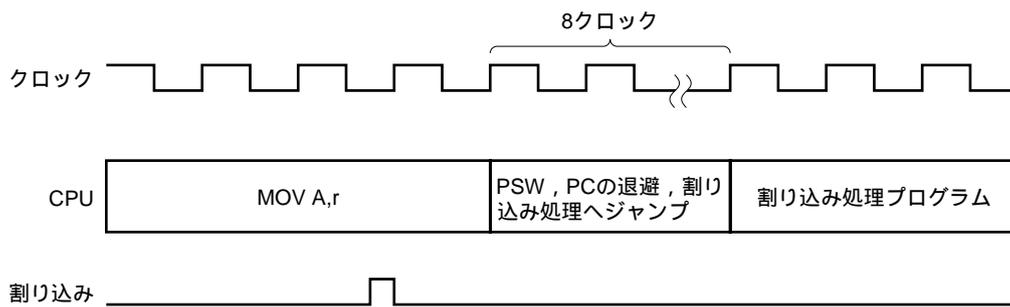


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

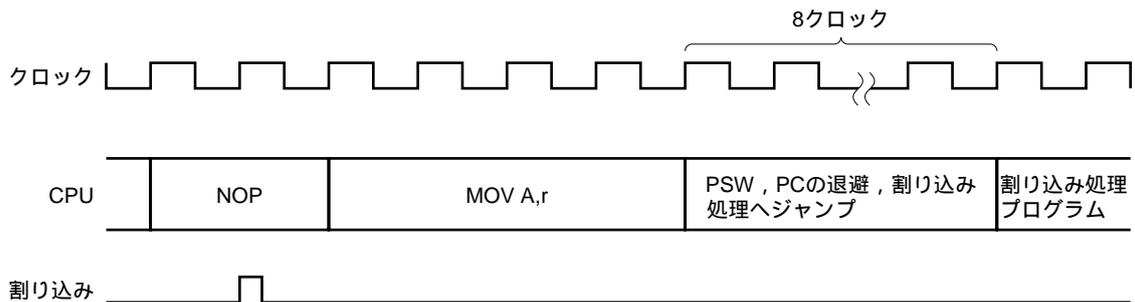
図12 - 10 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図12 - 10では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図12 - 11 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図12 - 11ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

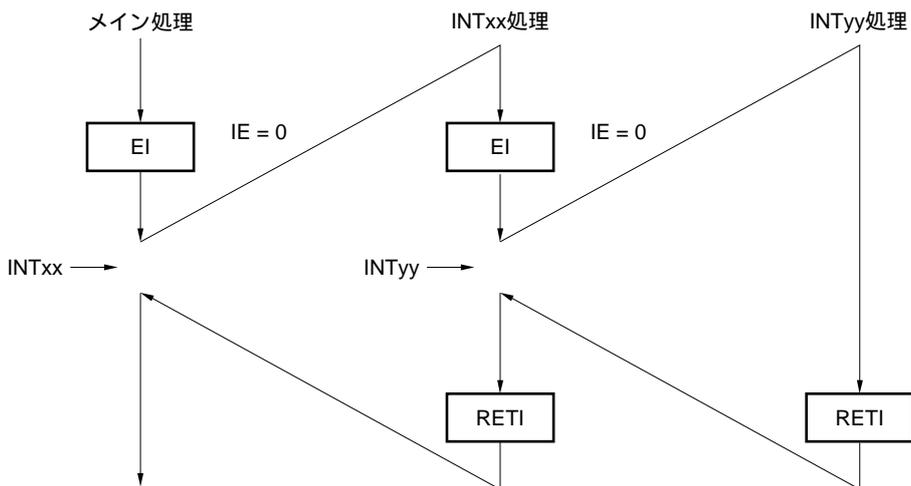
注意 割り込み要求フラグ・レジスタ (IF0, IF1) または割り込みマスク・フラグ・レジスタ (MK0, MK1) にアクセス中は割り込み要求は保留されます。

12.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います（表12-1参照）。

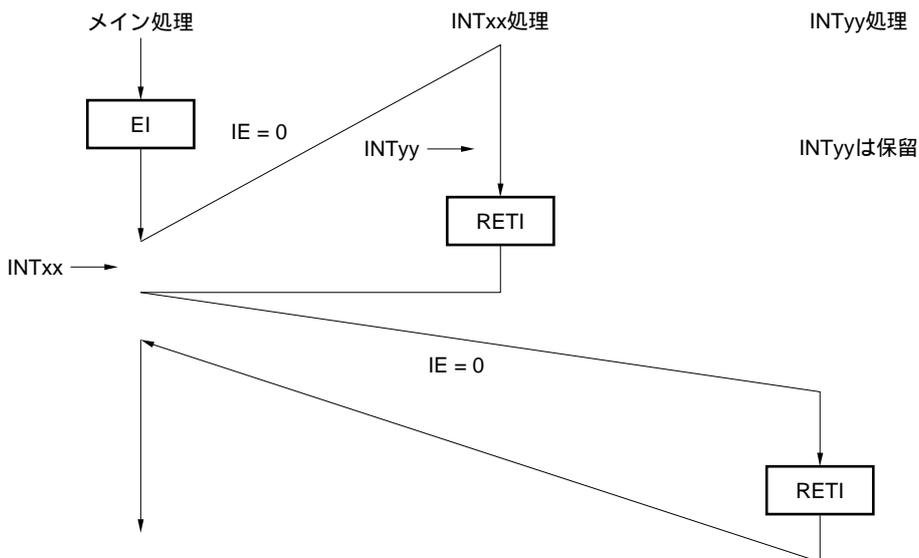
図12-12 多重割り込みの例

例1. 多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

12.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ（IF0, IF1）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ（MK0, MK1）に対する操作命令

第13章 スタンバイ機能

13.1 スタンバイ機能と構成

13.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8\text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

13.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

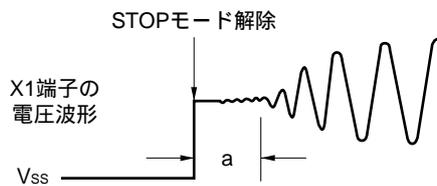
$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間は $2^{17}/f_x$ ではなく、 $2^{15}/f_x$ となります。

図13-1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μ s)
0	1	0	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間は(下図a)は含みません。



備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時。

13.2 スタンバイ機能の動作

13.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表13-1 HALTモード時の動作状態

項目	メイン・システム・クロック動作中のHALTモードの動作状態		サブシステム・クロック動作中のHALTモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止	メイン・システム・クロック動作	メイン・システム・クロック停止
メイン・システム・クロック	発振可能			発振停止
CPU	動作停止			
ポート（出力ラッチ）	HALTモードの設定前の状態を保持			
8ビット・リモコン・タイマ50	動作可能			動作停止
8ビット・タイマ80	動作可能			動作停止
8ビット・タイマ81	動作可能			動作停止
時計用タイマ	動作可能	動作可能 ^{注1}	動作可能	動作可能 ^{注2}
ウォッチドッグ・タイマ	動作可能		動作停止	
シリアル・インタフェース10	動作可能			動作可能 ^{注3}
VFDコントローラ/ドライバ	動作停止（出力データは保持）			
外部割り込み	動作可能 ^{注4}			

注1. メイン・システム・クロック選択時は動作可能

2. サブシステム・クロック選択時は動作可能
3. 外部クロック選択時のみ動作可能
4. マスクされていないマスカブル割り込み

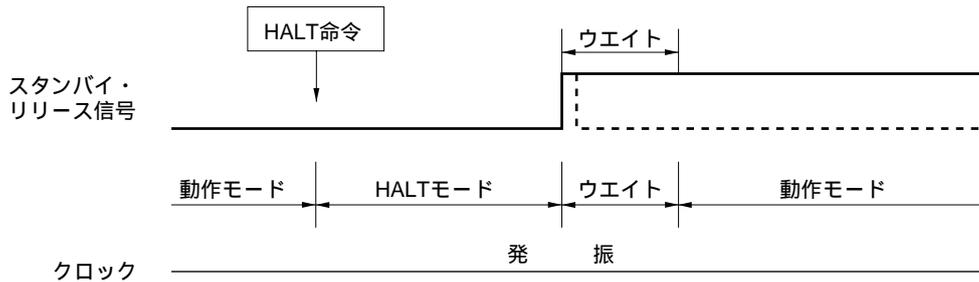
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図13-2 HALTモードの割り込み発生による解除



- 備考1.** 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。
2. ウエイト時間は次のようになります。
- ・ベクタに分岐した場合 : 9~10クロック
 - ・ベクタに分岐しなかった場合 : 1~2クロック

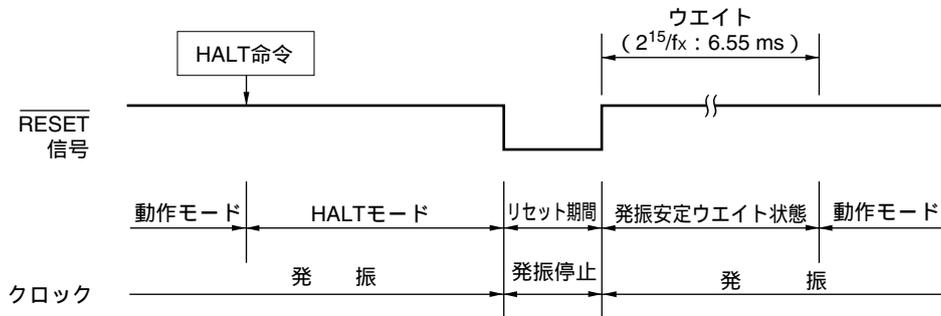
(b) ノンマスカブル割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) $\overline{\text{RESET}}$ 入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図13-3 HALTモードの $\overline{\text{RESET}}$ 入力による解除



備考 f_x : メイン・システム・クロック発振周波数

(3) HALTモードの解除後の動作

HALTモードが解除されると、その解除ソースによって表13-2に示す動作になります。

表13-2 HALTモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
ノンマスカブル割り込み要求	-	x	割り込み処理実行
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

x : don't care

13.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されません。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表13-3 STOPモード時の動作状態

項目	メイン・システム・クロック動作中のSTOPモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止
メイン・システム・クロック	発振停止	
CPU	動作停止	
ポート（出力ラッチ）	STOPモード設定前の状態を保持	
8ビット・リモコン・タイマ50	動作停止	
8ビット・タイマ80	動作停止	
8ビット・タイマ81	動作停止	
時計用タイマ	動作可能 ^{注1}	動作停止
ウォッチドッグ・タイマ	動作停止	
シリアル・インタフェース10	動作可能 ^{注2}	
VFDコントローラ/ドライバ	動作停止（出力データは保持）	
外部割り込み	動作可能 ^{注3}	

注1. サブシステム・クロック選択時は動作可能

2. 外部クロック選択時のみ動作可能

3. マスクされていないマスクブル割り込み

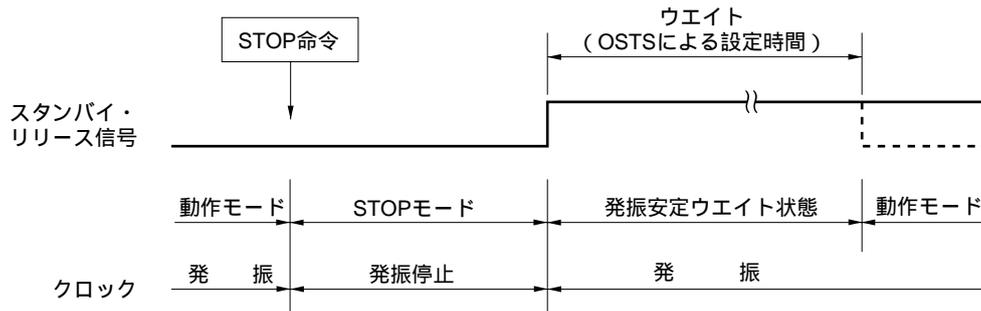
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図13 - 4 STOPモードの割り込み発生による解除

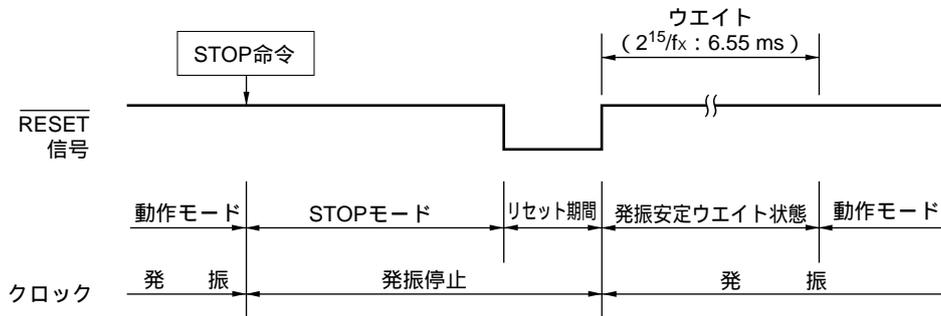


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) RESET入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図13-5 STOPモードのRESET入力による解除



備考 f_x : メイン・システム・クロック発振周波数

(3) STOPモードの解除後の動作

STOPモードが解除されると、その解除ソースによって表13-4に示す動作になります。

表13-4 STOPモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	STOPモード保持
RESET入力	-	-	リセット処理

x : don't care

第14章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバーフローが発生することによってリセットがかかり、各ハードウェアは表14 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) にプログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバーフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) にプログラムの実行を開始します (図14 - 2 ~ 図14 - 4参照)。

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
- 2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図14 - 1 リセット機能のブロック図

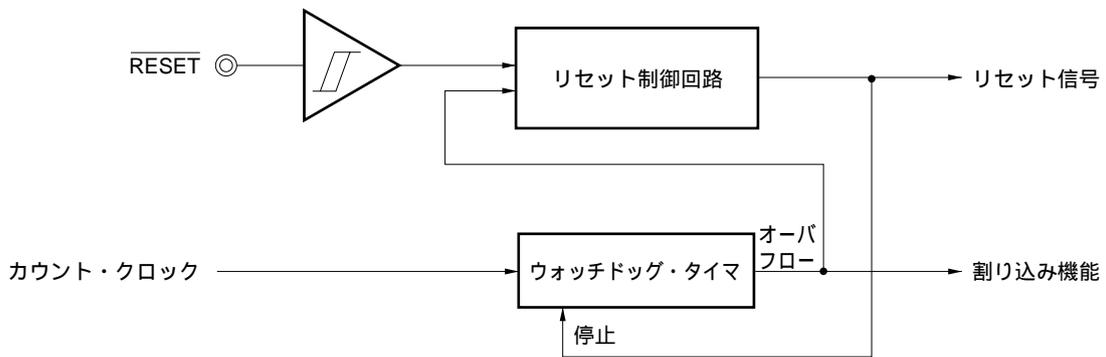


図14-2 RESET入力によるリセット・タイミング

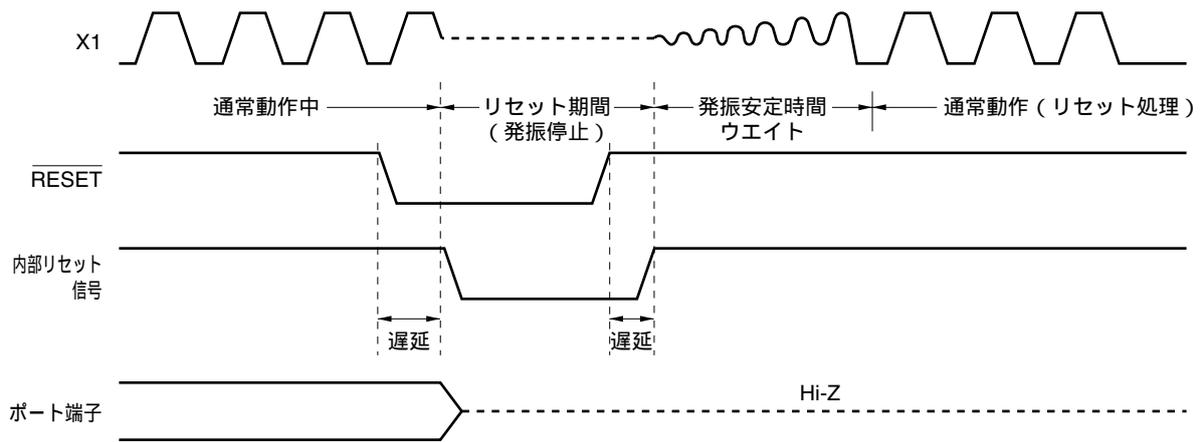


図14-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

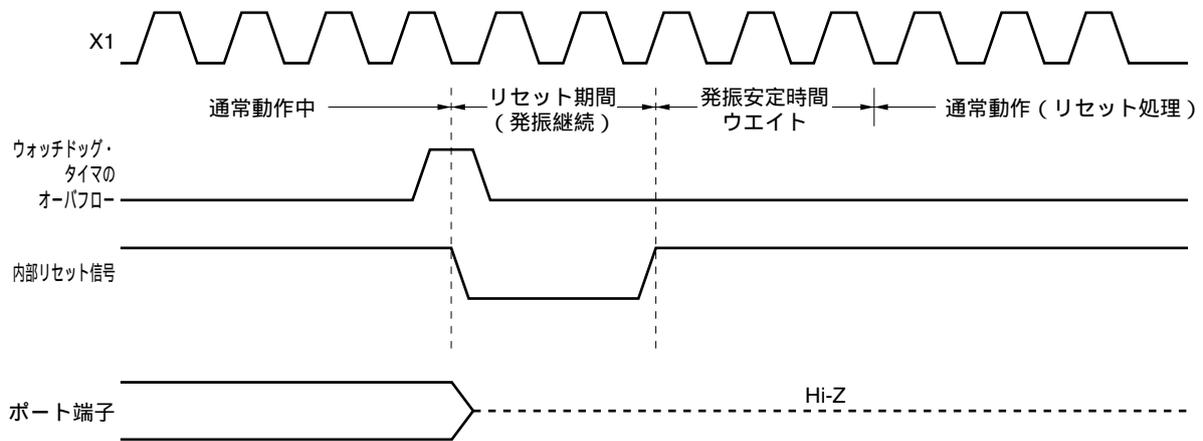


図14-4 STOPモード中のRESET入力によるリセット・タイミング

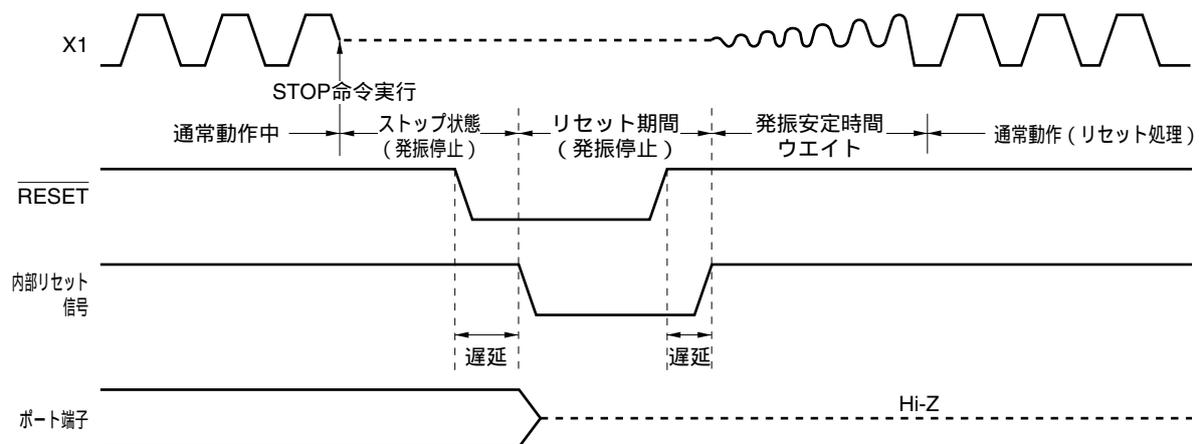


表14-1 各ハードウェアのリセット後の状態

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H)の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0-P2, P8, P9) 出力ラッチ		00H
ポート・モード・レジスタ (PM0-PM2)		FFH
ブルアップ抵抗オプション・レジスタ0 (PU0)		00H
ブルアップ抵抗オプション・レジスタB2 (PUB2)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
発振安定時間選択レジスタ (OSTS)		04H
8ビット・リモコン・タイマ50	コントロール・レジスタ (TMC50)	00H
	キャプチャ・レジスタ (CP50, CP51)	00H
8ビット・タイマ80, 81	タイマ・カウンタ (TM80, TM81)	00H
	コンペア・レジスタ (CR80, CR81)	00H
	モード・コントロール・レジスタ (TMC80, TMC81)	00H
時計用タイマ	モード・コントロール・レジスタ (WTM)	00H
ウォッチドッグ・タイマ	タイマ・クロック選択レジスタ (WDGS)	00H
	モード・レジスタ (WDTM)	00H
シリアル・インタフェース10	モード・レジスタ (CSIM10)	00H
	送受信シフト・レジスタ10 (SIO10)	不定
VFDコントローラ/ドライバ	表示モード・レジスタ0 (DSPM0)	10H
	表示モード・レジスタ1 (DSPM1)	01H
	表示モード・レジスタ2 (DSPM2)	00H
割り込み	要求フラグ・レジスタ (IF0, IF1)	00H
	マスク・フラグ・レジスタ (MK0, MK1)	FFH
	外部割り込みモード・レジスタ (INTM0)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定になります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

第15章 μ PD78F9872

μ PD78F9872は、 μ PD789870, 789871（マスクROM製品）の内部ROMをフラッシュ・メモリに置き換えた製品です。フラッシュ・メモリ製品とマスクROM製品の違いを表15 - 1に示します。

表15 - 1 フラッシュ・メモリ製品とマスクROM製品の違い

項 目		フラッシュ・メモリ製品		マスクROM製品	
		μ PD78F9872	μ PD789870	μ PD789871	
内部メモリ	ROM	16 Kバイト (フラッシュ・メモリ)	4 Kバイト	8 Kバイト	
	高速RAM	512バイト			
VFD表示用RAM		96バイト			
IC端子		なし	あり		
V _{PP} 端子		あり	なし		
FIP0-FIP8のプルダウン抵抗		あり			
★	P80/FIP24-P87/FIP17, P90/FIP16-P97/FIP9 のプルダウン抵抗	なし	あり		
★	ポート8の出力ラッチの操作	8ビット操作命令	1ビット操作命令または8ビット操作命令		
★	電気的特性	第18章 電気的特性を参照してください。			

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価を行ってください。

★ 15.1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、 μ PD78F9872を実装した状態（オンボード）のターゲット・システムに、専用のフラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を接続して行います。またプログラミング専用のターゲット・ボードであるプログラム・アダプタ（FAアダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

15.1.1 プログラミング環境

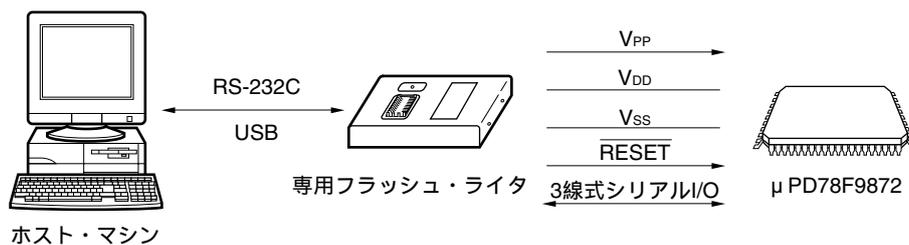
μ PD78F9872のフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4）を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro / Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図15-1 フラッシュ・メモリにプログラムを書き込むための環境



15.1.2 通信方式

専用フラッシュ・ライタとμ PD78F9872との通信は、表15 - 2に示す通信方式から選択して行います。

表15 - 2 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK		Multiple Rate		
			In Flashpro	On Target Board			
3線式シリアル/O	SIO ch-0 (3wired, sync.)	100 Hz- 1.25 MHz ^{注2}	1, 2, 4, 5 MHz ^{注3}	1-5 MHz ^{注2}	1.0	SI10/P22 SO10/P21 SCK10/P20	0

- 注1. 専用フラッシュ・ライタ (Flashpro (型番 FL-PR3, PG-FP3) / Flashpro (型番 FL-PR4, PG-FP4)) 上のTYPE設定における選択項目です。
2. 電圧により設定可能な範囲が異なります。詳細は第18章 電気的特性を参照してください。
3. Flashpro の場合は、2 MHzまたは4 MHzのみ選択可能です。

図15 - 2 通信方式選択フォーマット

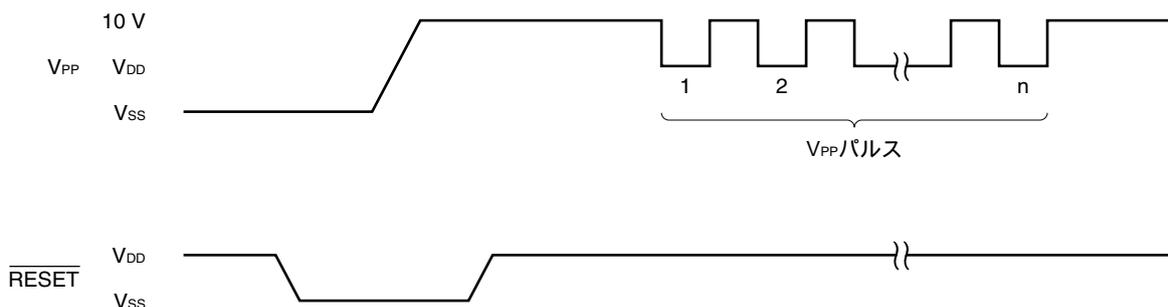
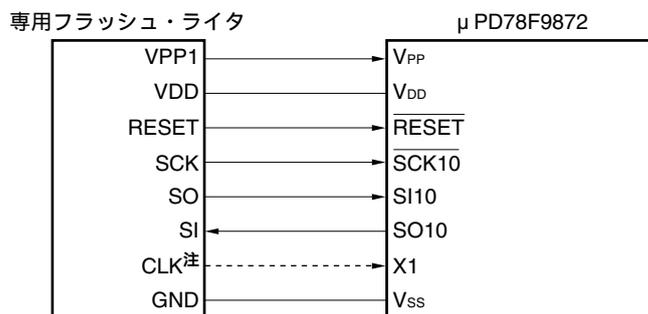


図15 - 3 専用フラッシュ・ライタとの接続例



注 専用フラッシュ・ライタからシステム・クロックを供給する場合には、CLK端子とX1端子を接続し、オンボード上の発振子を切り離します。オンボード上の発振子のクロックを使用する場合は、CLK端子と接続しないでください。

注意 V_{DD}端子は、すでに電源が接続されている場合でも、必ず専用フラッシュ・ライタのV_{DD}端子と接続してください。またその電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライターとしてFlashpro /Flashpro を使用した場合、 μ PD78F9872に対して次の信号を生成します。詳細はFlashpro /Flashpro のマニュアルを参照してください。

表15 - 3 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアルI/O
VPP1	出力	書き込み電圧	V _{PP}	
VPP2	-	-	-	x
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD}	注
GND	-	グランド	V _{SS}	
CLK	出力	クロック出力	X1	
RESET	出力	リセット信号	$\overline{\text{RESET}}$	
SI	入力	受信信号	SO10	
SO	出力	送信信号	SI10	
SCK	出力	転送クロック	$\overline{\text{SCK10}}$	
HS	入力	ハンドシェイク信号	-	x

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

: ターゲット・ボード上で供給されていれば、接続の必要はありません。

x : 接続の必要はありません。

15.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライターと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

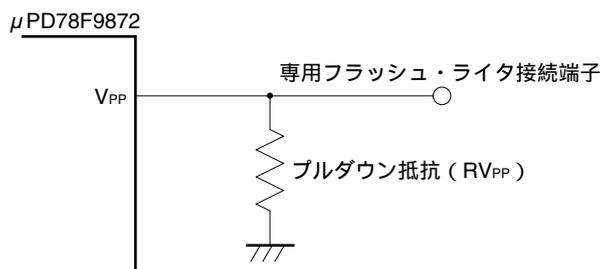
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.)の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗 $R_{VPP} = 10 \text{ k}\Omega$ を接続してください。
- (2) ボード上のジャンパで、V_{PP}端子の入力をライター側または直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を次に示します。

図15 - 4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

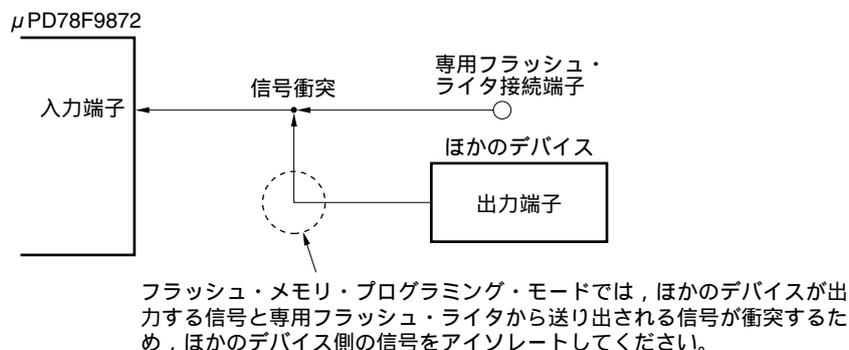
シリアル・インタフェース	使用端子
3線式シリアルI/O	SI10, SO10, SCK10

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライターを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

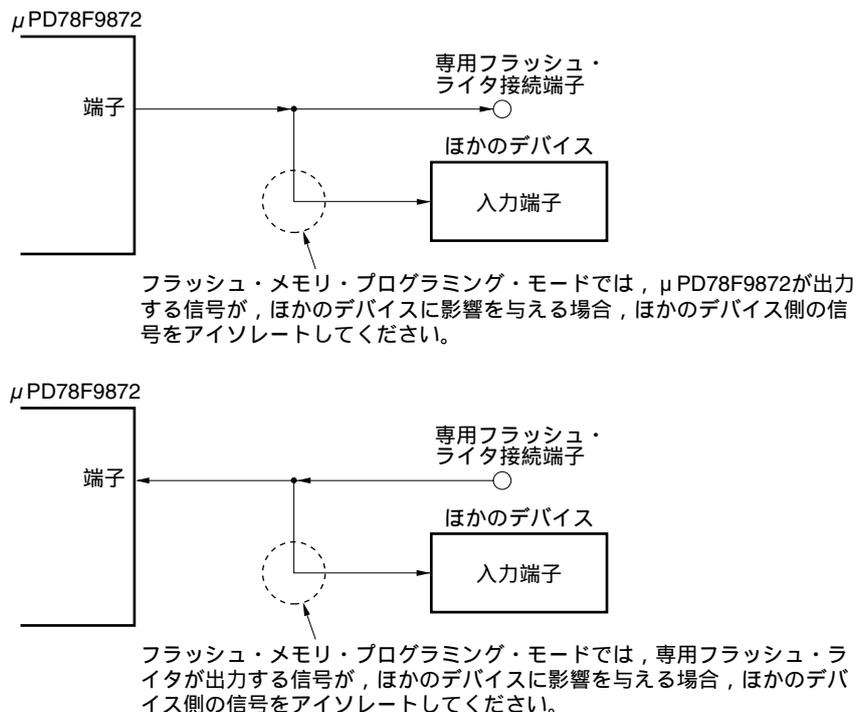
図15 - 5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図15 - 6 ほかのデバイスの異常動作

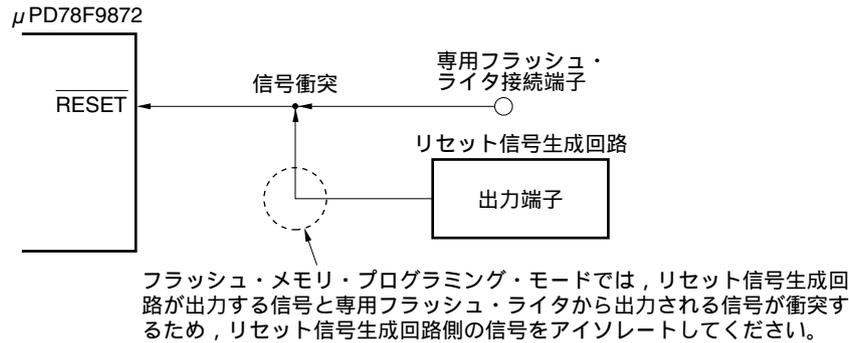


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図15-7 信号の衝突 (RESET端子)

**<ポート端子>**

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してV_{DD}に接続する、または抵抗を介してV_{SS}に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1、X2、XT1、XT2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロックに関しては通常動作モードに準拠します。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、V_{DD}端子はフラッシュ・ライタのV_{DD}に、V_{SS}端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのV_{DD}は必ず接続してください。

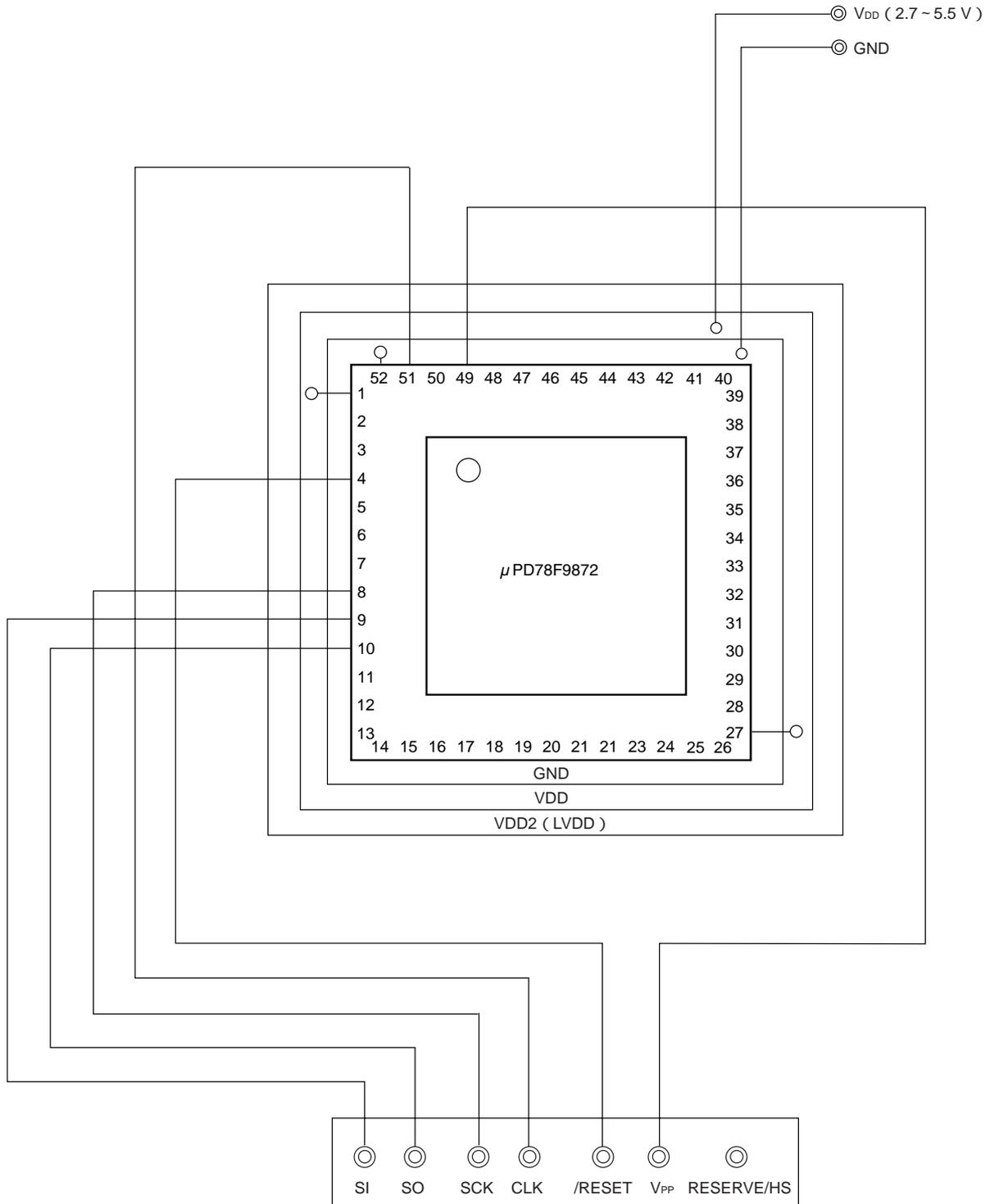
<その他の端子>

その他の端子 (FIP0-FIP8, V_{LOAD}) は、通常動作モード時と同じ処理をしてください。

15.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図15 - 8 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例



第16章 マスク・オプション（マスクROM製品）

- ★ 注意 μ PD789871サブシリーズの製品には、マスク・オプションはありません。

第17章 命令セットの概要

μPD789871サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

17.1 オペレーション

17.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミディエト・データ指定
- ・!：絶対アドレス指定
- ・\$：相対アドレス指定
- ・[]：間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X, A, Cなど）、絶対名称（下表の中のカッコ内の名称、R0, R1, R2など）のいずれの形式でも記述可能です。

表17-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7)
rp	AX (RP0), BC (RP1), DE (RP2), HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3-3 特殊機能レジスタ一覧を参照してください。

17.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

17.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

17.2 オペレーション一覧

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
[HL + byte], A	2	6	(HL + byte) A				
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1 . r = Aを除く。

2 . r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, laddr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, laddr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	$CY \overline{CY}$			x
CALL	laddr16	3	6	$(SP - 1) (PC + 3)_H, (SP - 2) (PC + 3)_L,$ PC addr16, SP SP - 2			
CALLT	[addr5]	1	8	$(SP - 1) (PC + 1)_H, (SP - 2) (PC + 1)_L,$ PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3	R	R	R
PUSH	PSW	1	2	$(SP - 1) PSW, SP SP - 1$			
	rp	1	4	$(SP - 1) rp_H, (SP - 2) rp_L,$ SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	laddr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC _H A, PC _L X			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$addr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$addr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$addr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 (Enable Interrupt)			
DI		3	6	IE 0 (Disable Interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

17.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV , XCH , ADD , ADDC , SUB , SUBC , AND , OR , XOR , CMP , INC , DEC , ROR , ROL , RORC ,
 ROLC , PUSH , POP , DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B , C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

SET1 , CLR1 , NOT1 , BT , BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令/分岐命令

CALL , CALLT , BR , BC , BNC , BZ , BNZ , DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET , RETI , NOP , EI , DI , HALT , STOP

第18章 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 6.5	V
	V _{LOAD}		V _{DD} - 45 ~ V _{DD} + 0.3 ^{注2}	V
	V _{PP}	μ PD78F9872のみ 注1	- 0.3 ~ + 10.5	V
入力電圧	V _{I1}	P00-P07, P10-P12, P20-P25, X1, X2, XT1, XT2, RESET, IC	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{I2}	FIP0-FIP24	V _{DD} - 45 ~ V _{DD} + 0.3 ^{注2}	V
出力電圧	V _{O1}	P00-P07, P10-P12, P20-P25	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{O2}	FIP0-FIP24	V _{DD} - 45 ~ V _{DD} + 0.3 ^{注2}	V
ハイ・レベル出力電流	I _{OH}	P00-P07, P10-P12, P20-P25の1端子	- 10	mA
		P00-P07, P10-P12, P20-P25の合計	- 30	mA
		FIP0-FIP24の1端子	- 30	mA
		FIP0-FIP24の合計	- 300	mA
ロウ・レベル出力電流	I _{OL}	P00-P07, P10-P12, P20-P25の1端子	30	mA
		P00-P07, P10-P12, P20-P25の合計	160	mA
全損失 ^{注3}	P _T	T _A = - 40 ~ + 60	700	mW
		T _A = - 40 ~ + 85	500	mW
動作周囲温度	T _A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T _{stg}	μ PD789870, 789871	- 65 ~ + 150	
		μ PD78F9872	- 65 ~ + 125	

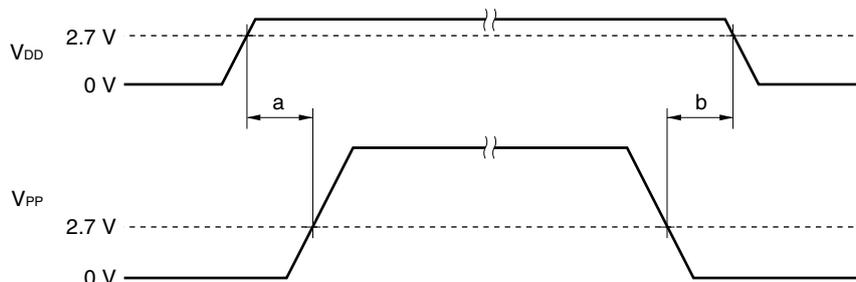
注1. フラッシュ・メモリ書き込み時, V_{PP}の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧(2.7 V)に達してから10 μs以上経過後, V_{PP}がV_{DD}を越えること(下図のa)。

・電源電圧立ち下がり時

V_{PP}がV_{DD}の動作電圧範囲の下限電圧(2.7 V)を下回ってから10 μs以上経過後, V_{DD}を立ち下げること(下図のb)。



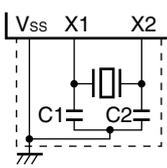
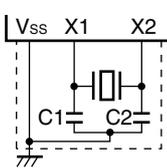
2. 6.5 V以下

3. 許容全損失は温度によって異なります。全損失については, 11.7 全損失の計算方法を参照してください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。
つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子		発振周波数 (fx) 注1		1.0		5.0	MHz
		発振安定時間注2	VDD が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (fx) 注1		1.0		5.0	MHz
		発振安定時間注2	VDD = 4.5 ~ 5.5 V			10	ms
			VDD = 1.8 ~ 5.5 V			30	ms

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 5.5$ V		1.2	2	
			$V_{DD} = 1.8 \sim 5.5$ V			10	

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. V_{DD} が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (TA = -40 ~ +85 , VDD = 2.7 ~ 5.5 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流	I _{OH}	P00-P07, P10-P12, P20-P25	1端子あたり			- 1	mA
			全端子合計			- 15	mA
ロウ・レベル出力電流	I _{OL}	P00-P07, P10-P12, P20-P25	1端子あたり			10	mA
			全端子合計			80	mA
ハイ・レベル出力電圧	V _{OH}	P00-P07, P10-P12, P20-P25	V _{DD} = 4.5 ~ 5.5 V, I _{OH} = - 1 mA	V _{DD} - 1.0			V
			V _{DD} = 2.7 ~ 5.5 V, I _{OH} = - 100 μA	V _{DD} - 0.5			V
ロウ・レベル出力電圧	V _{OL}	P00-P07, P10-P12, P20-P25	V _{DD} = 4.5 ~ 5.5 V, I _{OL} = 10 mA			1.0	V
			V _{DD} = 2.7 ~ 5.5 V, I _{OL} = 400 μA			0.5	V
ハイ・レベル入力電圧	V _{IH1}	P00-P07, P10-P12, P21		0.7 V _{DD}		V _{DD}	V
	V _{IH2}	RESET, P20, P22-P25		0.8 V _{DD}		V _{DD}	V
	V _{IH3}	X1, X2, XT1, XT2	V _{DD} = 4.5 ~ 5.5 V	V _{DD} - 0.5		V _{DD}	V
			V _{DD} - 0.1		V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	P00-P07, P10-P12, P21		0		0.3 V _{DD}	V
	V _{IL2}	RESET, P20, P22-P25		0		0.2 V _{DD}	V
	V _{IL3}	X1, X2, XT1, XT2	V _{DD} = 4.5 ~ 5.5 V	0		0.4	V
			0		0.1	V	
ハイ・レベル入力リーク電流	I _{LIH1}	V _i = V _{DD}	P00-P07, P10-P12, P20-P25, RESET			3	μA
	I _{LIH2}		X1, X2, XT1, XT2			20	μA
ロウ・レベル入力リーク電流	I _{LIL1}	V _i = 0 V	P00-P07, P10-P12, P20-P25, RESET			- 3	μA
	I _{LIL2}		X1, X2, XT1, XT2			- 20	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _o = V _{DD}	P00-P07, P10-P12, P20-P25, FIP0-FIP8, FIP9/P97-FIP16/P90, FIP17/P87-FIP24/P80			3	μA
ロウ・レベル出力リーク電流	I _{LOL1}	V _o = 0 V	P00-P07, P10-P12, P20-P25			- 3	μA
	I _{LOL2}		FIP0-FIP8, FIP9/P97-FIP16/P90, FIP17/P87-FIP24/P80			- 10	μA
VFD出力電流	I _{OD}	V _{OD} = V _{LOAD} - 2.0 V	FIP0-FIP24, V _{DD} = 4.5 ~ 5.5 V			- 15	mA
ソフトウェア・プルアップ抵抗	R ₁	V _i = 0 V, P00-P07, P10-P12, P20-P25		50	100	200	kΩ
内蔵プルダウン抵抗 (V _{LOAD} 接続)	R ₂	FIP0-FIP8, FIP9/P97-FIP16/P90, FIP17/P87-FIP24/P80 ^注		30	60	135	kΩ

注 FIP17/P87-FIP24/P80のプルダウン抵抗は、μ PD789870, 789871のみ内蔵しています。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 2.7 ~ 5.5 V) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流 (μ PD789870, 789871)	I _{DD1} ^{注1}	5.0 MHz水晶発振 動作モード	V _{DD} = 5.0 V \pm 10 % ^{注2}	2.0	4.0	mA
			V _{DD} = 3.0 V \pm 10 % ^{注3}	0.6	1.2	mA
	I _{DD2} ^{注1}	5.0 MHz水晶発振 HALTモード	V _{DD} = 5.0 V \pm 10 % ^{注3}	1.1	2.2	mA
			V _{DD} = 3.0 V \pm 10 % ^{注3}	0.4	0.8	mA
	I _{DD3} ^{注1}	32.768 kHz水晶発振 動作モード	V _{DD} = 5.0 V \pm 10 %	70	160	μ A
			V _{DD} = 3.0 V \pm 10 %	30	90	μ A
	I _{DD4} ^{注1}	32.768 kHz水晶発振 HALTモード	V _{DD} = 5.0 V \pm 10 %	25	55	μ A
			V _{DD} = 3.0 V \pm 10 %	5	25	μ A
	I _{DD5} ^{注1}	STOPモード	V _{DD} = 5.0 V \pm 10 %	0.1	10	μ A
			V _{DD} = 3.0 V \pm 10 %	0.05	5	μ A
電源電流 (μ PD78F9872)	I _{DD1} ^{注1}	5.0 MHz水晶発振 動作モード	V _{DD} = 5.0 V \pm 10 % ^{注2}	5.0	15.0	mA
			V _{DD} = 3.0 V \pm 10 % ^{注3}	2.0	5.0	mA
	I _{DD2} ^{注1}	5.0 MHz水晶発振 HALTモード	V _{DD} = 5.0 V \pm 10 % ^{注3}	1.2	3.6	mA
			V _{DD} = 3.0 V \pm 10 % ^{注3}	0.5	1.5	mA
	I _{DD3} ^{注1}	32.768 kHz水晶発振 動作モード	V _{DD} = 5.0 V \pm 10 %	150	280	μ A
			V _{DD} = 3.0 V \pm 10 %	120	190	μ A
	I _{DD4} ^{注1}	32.768 kHz水晶発振 HALTモード	V _{DD} = 5.0 V \pm 10 %	25	55	μ A
			V _{DD} = 3.0 V \pm 10 %	5	25	μ A
	I _{DD5} ^{注1}	STOPモード	V _{DD} = 5.0 V \pm 10 %	0.1	10	μ A
			V _{DD} = 3.0 V \pm 10 %	0.05	10	μ A

注1. ポート電流 (内蔵プルアップ抵抗に流れる電流を含む) は含みません。

2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) = 00Hに設定したとき)
3. 低速モード動作時 (PCC = 02Hに設定したとき)

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

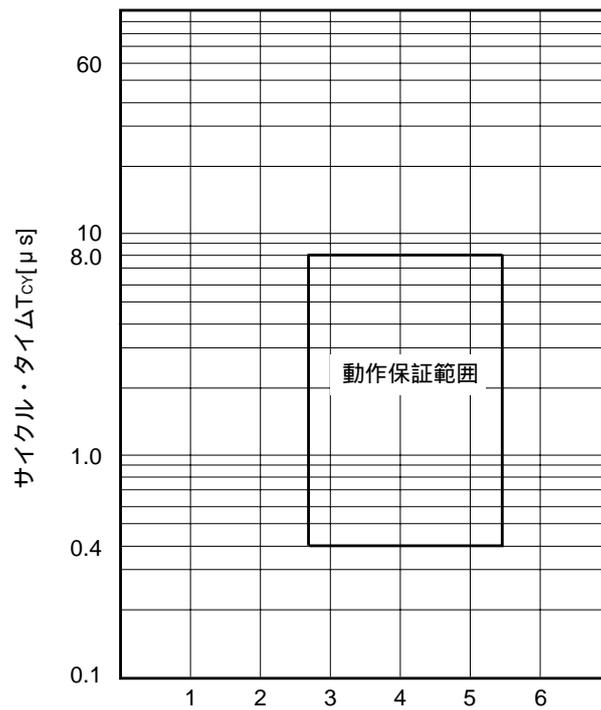
AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
サイクル・タイム (最小命令実行時間)	T _{CY}	メイン・システム・クロック 動作	V _{DD} = 2.7 ~ 5.5 V	0.4		8.0	μs
		サブシステム・クロック動作	V _{DD} = 1.8 ~ 5.5 V	114	122	125	μs
TI入力 ハイ, ロウ・レベル幅	t _{TIH} , t _{TIL}	V _{DD} = 2.7 ~ 5.5 V	2/Fcount + 0.2			μs	
割り込み入力 ハイ, ロウ・レベル幅	t _{INTH} , t _{INTL}	INTP0, INTP1	10			μs	
キー・リターン入力 ロウ・レベル幅	t _{KRL}	KR0-KR7 (μPD789488, 78F9488)	10			μs	
		KR00-KR07, KR10-KR17 (μPD789489, 78F9489)	10			μs	
RESET ロウ・レベル幅	t _{RSL}		10			μs	

備考 Fcountは8ビット・リモコン・タイマ50によって選択されたカウント・クロックです。

T_{CY} vs V_{DD} (メイン・システム・クロック)



(2) シリアル・インタフェース10 (SIO10) ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 5.5$ V)

(a) 3線式シリアル/Oモード (SCK10...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{KCY2}		800			ns
SCK10ハイ,ロウ・レベル幅	t_{KH2} , t_{KL2}		$t_{KCY1}/2 - 50$			ns
SI10セット・アップ時間 (対SCK10)	t_{SIK2}		150			ns
SI10ホールド時間 (対SCK10)	t_{KSI2}		400			ns
SCK10 SO10 出力遅延時間	t_{KSO2}	$R = 1k\Omega, C = 100 pF^{\text{注}}$	0		200	ns

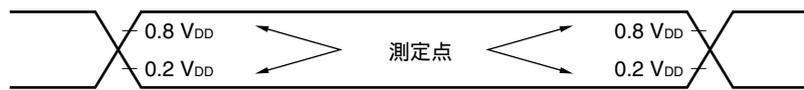
注 R, CはSO10出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアル/Oモード (SCK10...外部クロック入力)

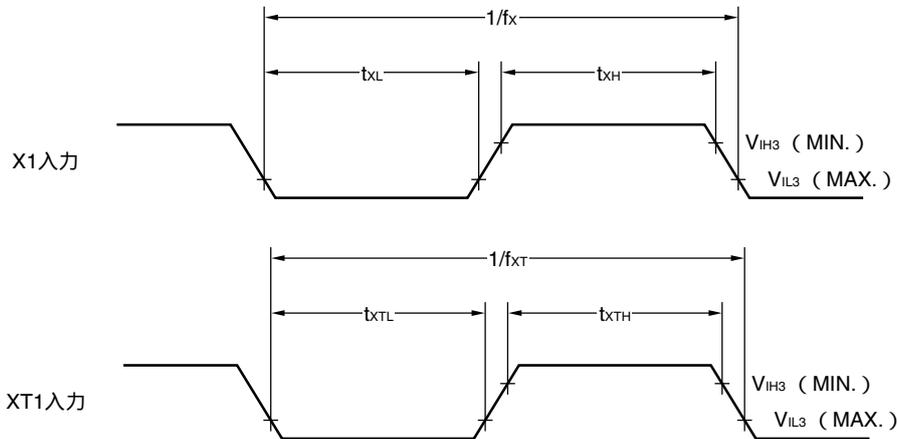
項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	t_{KCY2}		800			ns
SCK10ハイ,ロウ・レベル幅	t_{KH2} , t_{KL2}		400			ns
SI10セット・アップ時間 (対SCK10)	t_{SIK2}		100			ns
SI10ホールド時間 (対SCK10)	t_{KSI2}		400			ns
SCK10 SO10 出力遅延時間	t_{KSO2}	$R = 1k\Omega, C = 100 pF^{\text{注}}$	0		300	ns

注 R, CはSO10出力ラインの負荷抵抗, 負荷容量です。

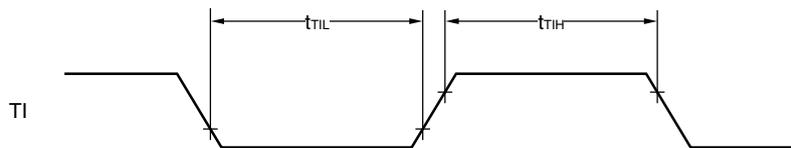
ACタイミング測定点 (X1, XT1入力を除く)



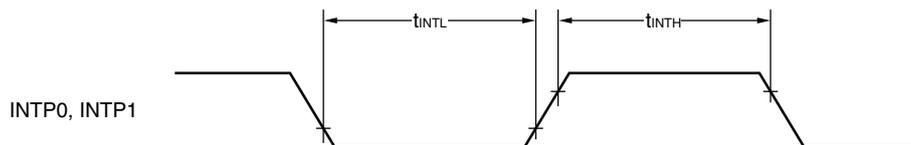
クロック・タイミング



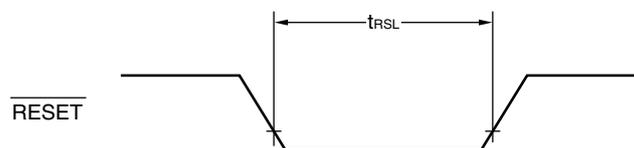
TIタイミング



割り込み入力タイミング

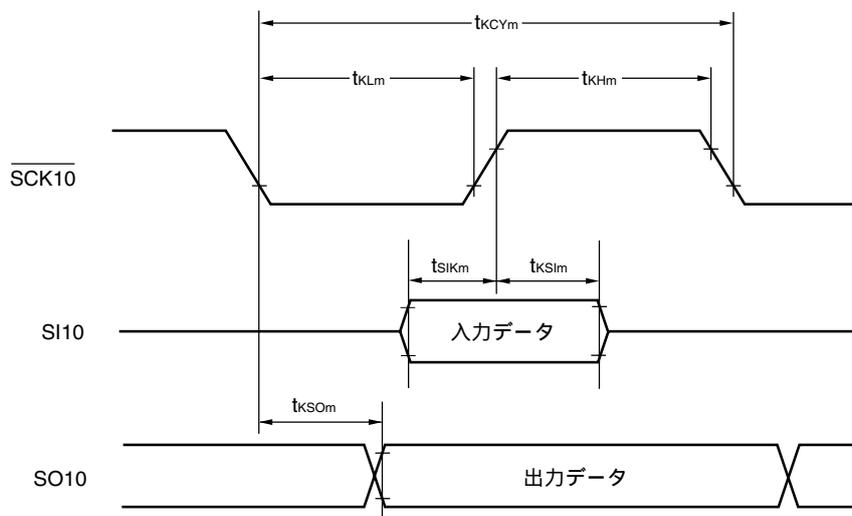


RESET入力タイミング



シリアル転送タイミング

3線式シリアルI/Oモード :



備考 $m = 1, 2$

データ・メモリSTOPモード低電源電圧データ保持特性 (T_A = -40 ~ +85)

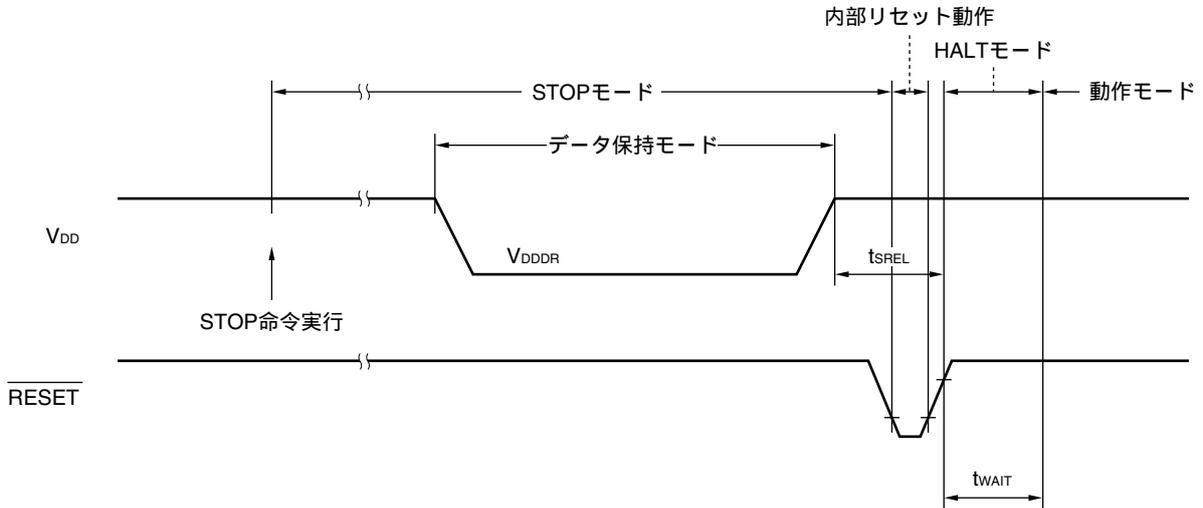
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		2.0		5.5	V
リリース信号セット時間	t _{SREL}		0			μs
発振安定ウエイト時間 ^{注1}	t _{WAIT}	RESETによる解除		2 ¹⁵ /f _x		s
		割り込み要求による解除		注2		s

注1. 発振安定ウエイト時間は、発振開始時の不安定な動作を防ぐため、CPUの動作を停止しておく時間です。

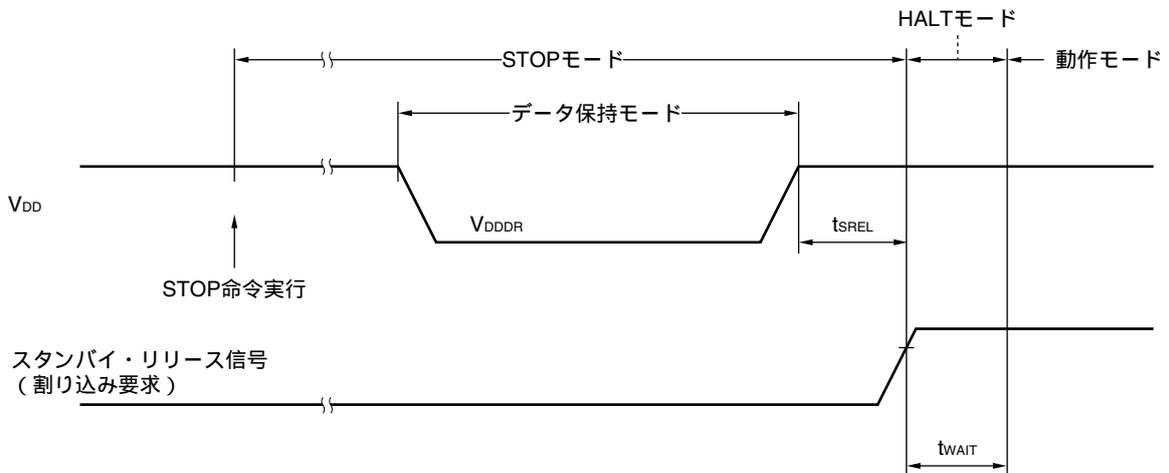
2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により、2¹²/f_x, 2¹⁵/f_x, 2¹⁷/f_xの選択が可能です。

備考 f_x: メイン・システム・クロック発振周波数

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)



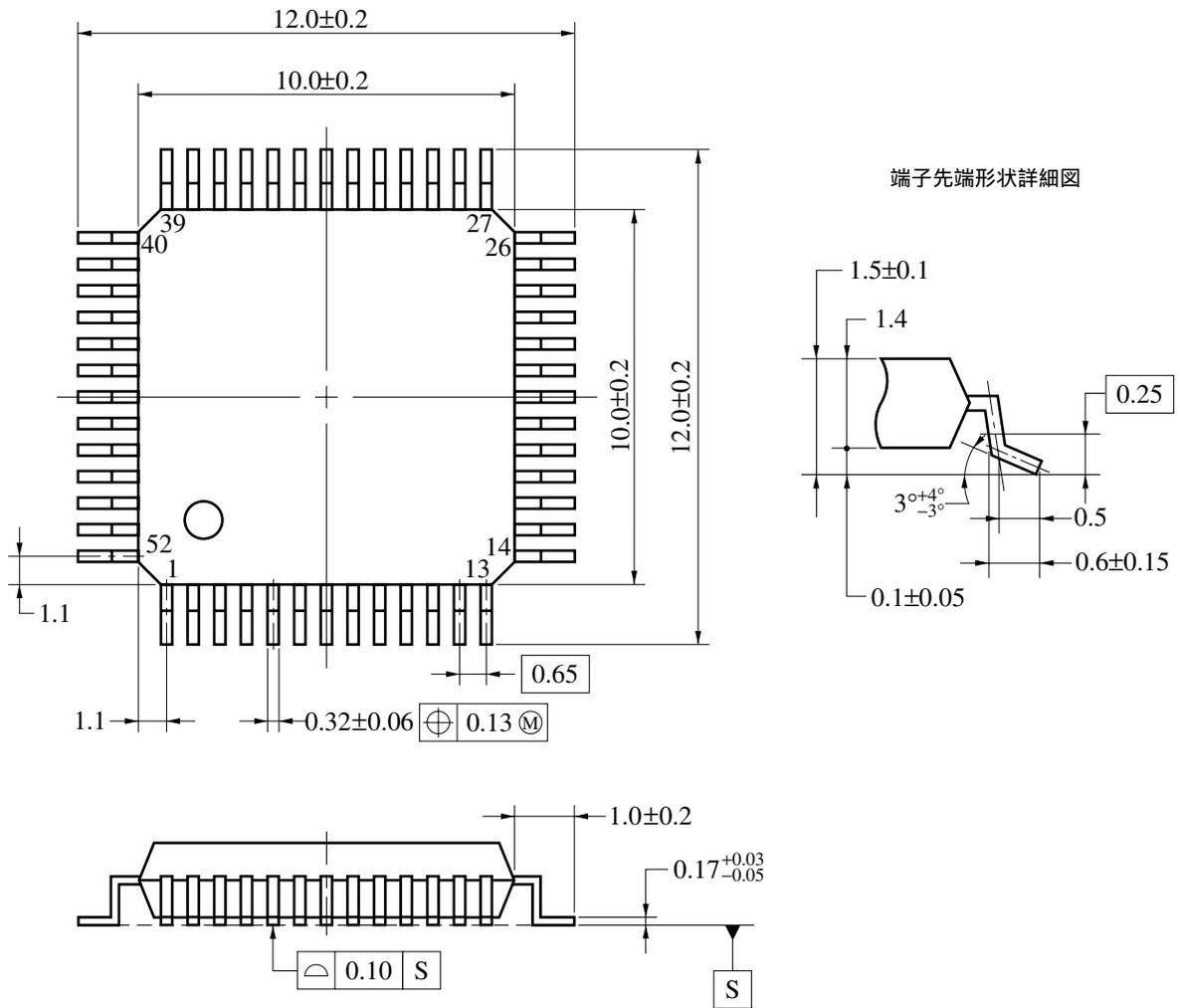
フラッシュ・メモリ書き込み消去特性 ($T_A = 10 \sim 40$, $V_{DD} = 2.7 \sim 5.5$ V) (μ PD78F9872のみ)

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み/消去 動作周波数	f _X	2.7 V V_{DD} 5.5 V	1.0		5	MHz
書き込み電流 (V_{DD} 端子) ^注	I _{DDW}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			7	mA
書き込み電流 (V_{PP} 端子) ^注	I _{PPW}	V_{PP} 電源電圧 = V_{PP1} 時			13	mA
消去電流 (V_{DD} 端子) ^注	I _{DDE}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			7	mA
消去電流 (V_{PP} 端子) ^注	I _{PPE}	V_{PP} 電源電圧 = V_{PP1} 時			100	mA
単位消去時間	t _{er}		0.5	1	1	s
Total消去時間	t _{era}				20	s
書き換え回数		消去/書き込みを1サイクルとする			20	回
V_{PP} 電源電圧	V_{PP0}	通常モード時	0		0.2 V_{DD}	V
	V_{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

第19章 外形図

52ピン・プラスチック LQFP (10x10) 外形図 (単位: mm)



S52GB-65-8ET-2

第20章 半田付け推奨条件

μ PD789870, 789871の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

注 μ PD78F9872については、開発中のため評価未了です。

表20 - 1 表面実装タイプの半田付け条件 (1/2)

μ PD789870GB- x x x -8ET : 52ピン・プラスチックLQFP (10x10)

μ PD789871GB- x x x -8ET : #

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235℃，時間：30秒以内（210℃以上）， 回数：2回以内，制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度：215℃，時間：40秒以内（200℃以上）， 回数：2回以内，制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-107-2
ウエーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数1回， 予備加熱温度：120℃MAX.（パッケージ表面温度）， 制限日数：7日間 ^注 （以降は125℃プリバーク10時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	WS60-107-1
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管状態は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表20 - 1 表面実装タイプの半田付け条件 (2/2)

μ PD789870GB-x x x -8ET-A : 52ピン・プラスチックLQFP (10x10)

μ PD789871GB-x x x -8ET-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内， 制限日数：7日間 [※] （以降は125 プリベーク20～72時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウエーブ・ソルダリング	0.65mmピッチ以上のパッケージでは，ウエーブ・ソルダリングも対応可能です。詳細については，当社販売員にご相談ください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考1．オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2．推奨条件以外の半田付け方式および半田付け条件については，当社販売員にご相談ください。

付録A 開発ツール

μ PD789871サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

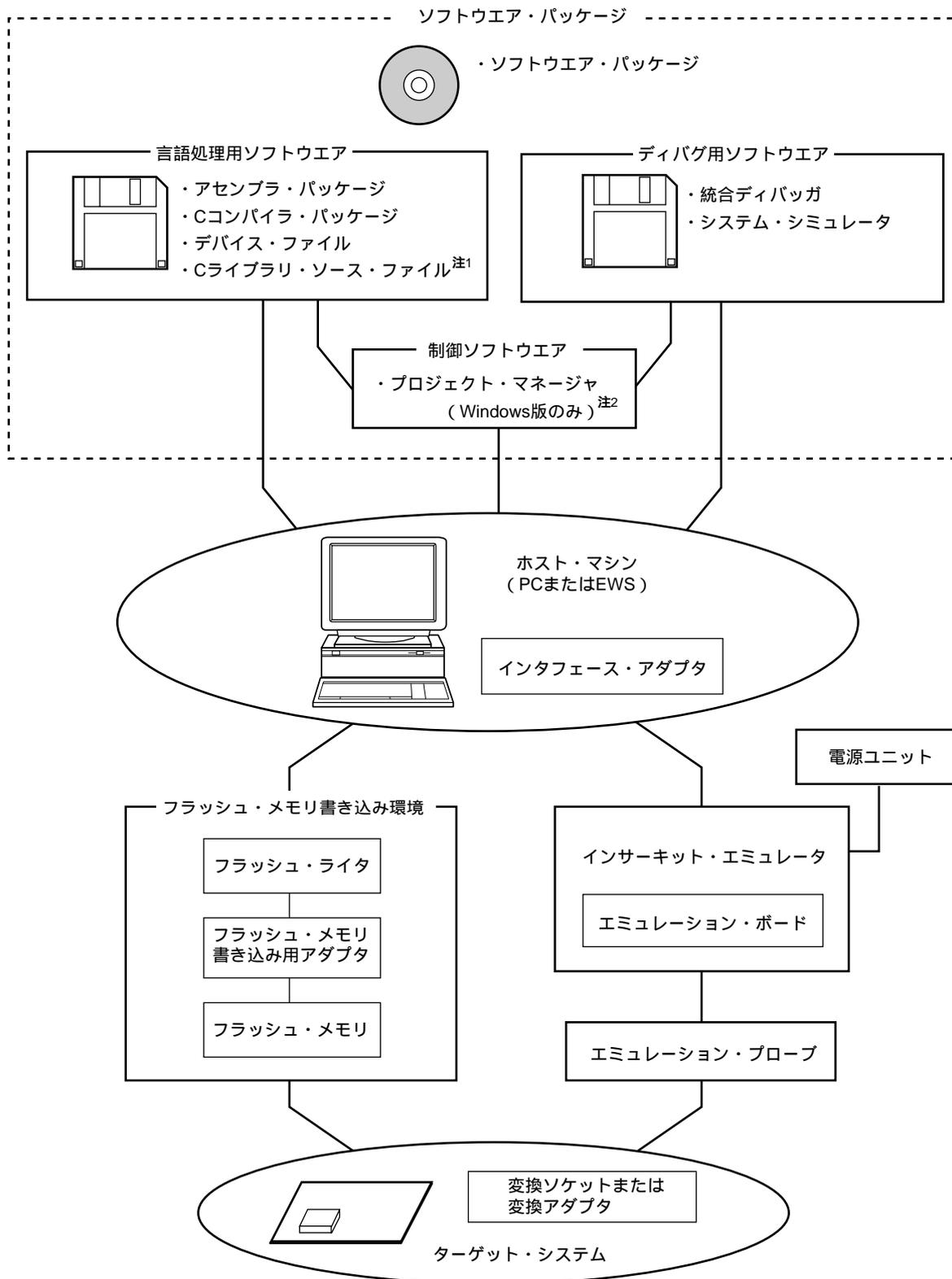
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows[®] について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95
- ・ Windows 98
- ・ Windows 2000
- ・ Windows NT[®] Version 4.0
- ・ Windows XP[®]

図A - 1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 次のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: μ S × × × × SP78K0S
-------------------------	--

備考 オーダ名称の × × × × は、使用するOSにより異なります。

μ S × × × × SP78K0S

× × × ×	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニクで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789872) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: μ S × × × × RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789872) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: μ S × × × × CC78K0S
DF789872 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: μ S × × × × DF789872
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: μ S × × × × CC78K0S-L

注1. DF789872は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) には含まれていません。

備考 オータ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel.4.1.4) , Solaris™ (Rel.2.5.1)	

μS××××DF789872

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ,	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

PM plus プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM plus上から、エディタの起動、ビルド、デバッグの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM plusはアセンブラ・パッケージ (RA78K0S) の中に入っています。 Windows以外の環境では使用できません。
-------------------------	--

A. 4 フラッシュ・メモリ書き込み用ツール

Flashpro (FL-PR3, PG-FP3) Flashpro (FL-PR4, PG-FP4) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター
FA-52GB-8ET-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。

備考 FL-PR3, FL-PR4, FA-52GB-8ET-Aは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール(ハードウェア)

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータ。統合ディバガ(ID78K0S-NS)に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能にカバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されています。
IE-70000-MC-PS-B ACアダプタ	AC100～240Vのコンセントから電源を供給するためのアダプタ
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタ(Cバス対応)
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル(PCMCIAソケット対応)
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ(ISAバス対応)
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-789872-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。
NP-H52GB-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。TGB-052SBPと組み合わせて使用します。
	TGB-052SBP 変換ソケット

備考1. NP-H52GB-TQは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

2. TGB-052SBPは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

A.6 デバッグ用ツール(ソフトウェア)

ID78K0S-NS 統合ディバッガ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバッガです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル(DF789872)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバッグが可能です。 SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF789872)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ SM78K0S
DF789872 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789872

注 DF789872は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の $\times \times \times \times$ は、使用するOS、供給媒体により異なります。

$\mu S \times \times \times \times$ ID78K0S-NS

$\mu S \times \times \times \times$ SM78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

★

付録B ターゲット・システム設計上の注意

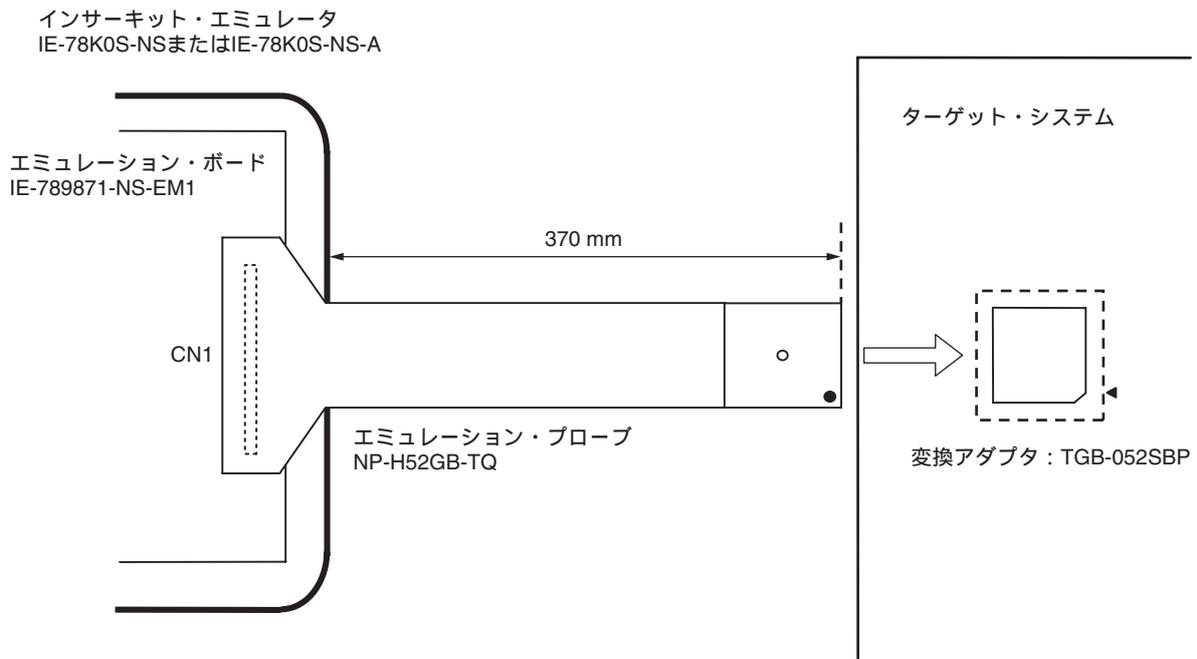
エミュレーション・プローブと変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで、この構成によってシステム設計をしてください。

なお、この付録に記載されている製品名のうちNP-H52GB-TQは、株式会社内藤電誠町田製作所の製品です。また、TGB-052SBPは、東京エレクトック株式会社の製品です。

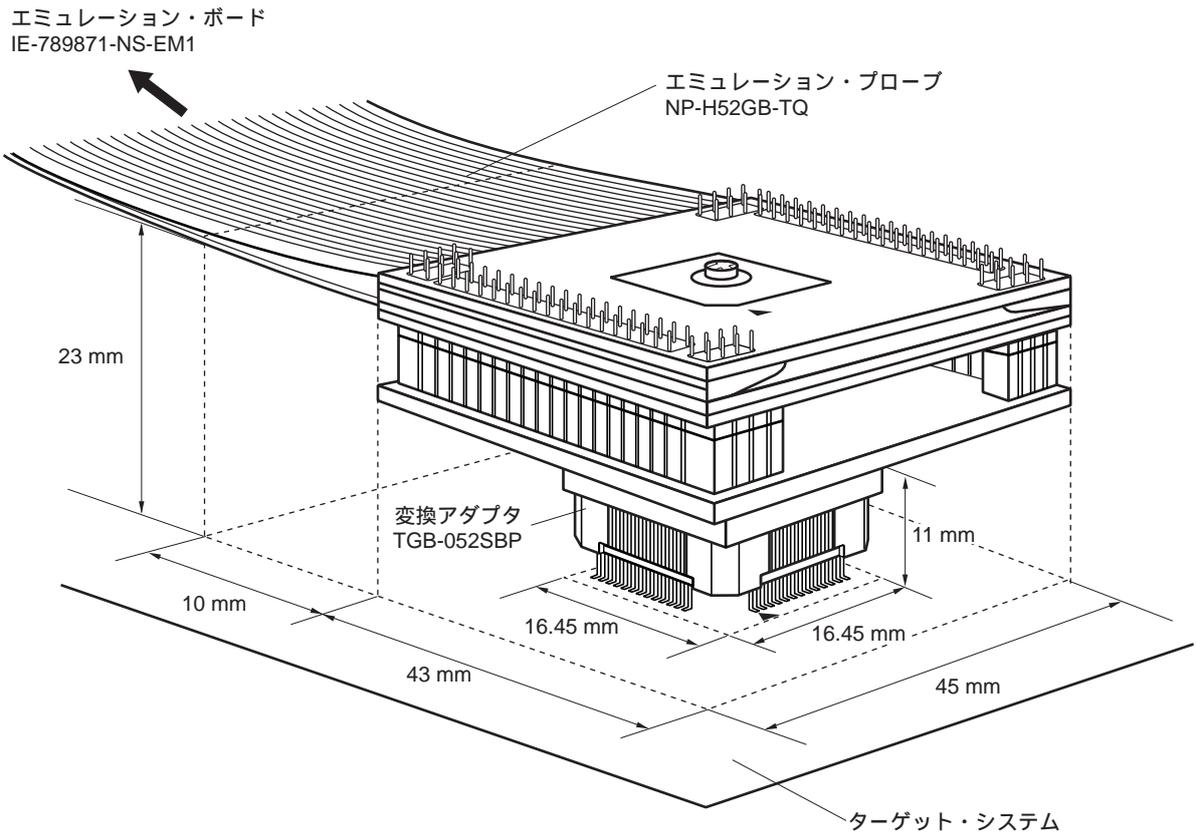
表B - 1 IEシステムから変換アダプタまでの距離

エミュレーション・プローブ	変換アダプタ	IEシステムから変換アダプタまでの距離
NP-H52GB-TQ	TGB-052SBP	370 mm

図B - 1 インサーキット・エミュレータから変換アダプタまでの距離



図B-2 ターゲット・システムの接続条件



付録C レジスタ索引

C.1 レジスタ索引 (50音順)

[あ行]

- ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ... 94
- ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ... 95

[か行]

- 外部割り込みモード・レジスタ0 (INTM0) ... 128

[さ行]

- サブクロック・コントロール・レジスタ (CSS) ... 67
- サブ発振モード・レジスタ (SCKM) ... 67
- シリアル動作モード・レジスタ10 (CSIM10) ... 101
- 送受信シフト・レジスタ10 (TXS10) ... 99

[た行]

- 時計用タイマ・モード・コントロール・レジスタ (WTM) ... 89

[は行]

- 8ビット・コンペア・レジスタ80, 81 (CR80, CR81) ... 80
- 8ビット・タイマ・モード・コントロール・レジスタ80 (TMC80) ... 81
- 8ビット・タイマ・モード・コントロール・レジスタ81 (TMC81) ... 82
- 8ビット・タイマ・カウンタ80, 81 (TM80, TM81) ... 80
- 発振安定時間選択レジスタ (OSTS) ... 136
- VFD表示モード・レジスタ0 (DSPM0) ... 108
- VFD表示モード・レジスタ1 (DSPM1) ... 109
- VFD表示モード・レジスタ2 (DSPM2) ... 110
- プルアップ抵抗オプション・レジスタ0 (PU0) ... 61
- プルアップ抵抗オプション・レジスタB2 (PUB2) ... 62
- プロセッサ・クロック・コントロール・レジスタ (PCC) ... 66
- ポート0 (P0) ... 53
- ポート1 (P1) ... 54
- ポート2 (P2) ... 55
- ポート8 (P8) ... 58
- ポート9 (P9) ... 59
- ポート・モード・レジスタ0 (PM0) ... 60
- ポート・モード・レジスタ1 (PM1) ... 60
- ポート・モード・レジスタ2 (PM2) ... 60

[ら行]

- リモコン・タイマ・キャプチャ・レジスタ50, 51 (CP50, CP51) ... 75
- リモコン・タイマ・コントロール・レジスタ50 (TMC50) ... 75

[わ行]

- 割り込みマスク・フラグ・レジスタ0 (MK0) ... 127
- 割り込みマスク・フラグ・レジスタ1 (MK1) ... 127
- 割り込み要求フラグ・レジスタ0 (IF0) ... 126
- 割り込み要求フラグ・レジスタ1 (IF1) ... 126

C.2 レジスタ索引 (アルファベット順)

[C]

CSS	: サブクロック・コントロール・レジスタ ...	67
CP50	: リモコン・タイマ・キャプチャ・レジスタ50 ...	75
CP51	: リモコン・タイマ・キャプチャ・レジスタ51 ...	75
CR80	: 8ビット・コンペア・レジスタ80 ...	80
CR81	: 8ビット・コンペア・レジスタ81 ...	80
CSIM10	: シリアル動作モード・レジスタ10 ...	101

[D]

DSPM0	: VFD表示モード・レジスタ0 ...	108
DSPM1	: VFD表示モード・レジスタ1 ...	109
DSPM2	: VFD表示モード・レジスタ2 ...	110

[I]

IF0	: 割り込み要求フラグ・レジスタ0 ...	126
IF1	: 割り込み要求フラグ・レジスタ1 ...	125
INTM0	: 外部割り込みモード・レジスタ0 ...	128

[M]

MK0	: 割り込みマスク・フラグ・レジスタ0 ...	127
MK1	: 割り込みマスク・フラグ・レジスタ1 ...	127

[O]

OSTS	: 発振安定時間選択レジスタ ...	136
------	--------------------	-----

[P]

P0	: ポート0 ...	53
P1	: ポート1 ...	54
P2	: ポート2 ...	55
P8	: ポート8 ...	58
P9	: ポート9 ...	59
PCC	: プロセッサ・クロック・コントロール・レジスタ ...	66
PM0	: ポート・モード・レジスタ0 ...	60
PM1	: ポート・モード・レジスタ1 ...	60
PM2	: ポート・モード・レジスタ2 ...	60
PU0	: プルアップ抵抗オプション・レジスタ0 ...	61
PUB2	: プルアップ抵抗オプション・レジスタB2 ...	62

[S]

SCKM	: サブ発振モード・レジスタ ...	67
------	--------------------	----

【T】

TM80	: 8ビット・タイマ・カウンタ80 ...	80
TM81	: 8ビット・タイマ・カウンタ81 ...	80
TMC50	: リモコン・タイマ・コントロール・レジスタ50 ...	75
TMC80	: 8ビット・タイマ・モード・コントロール・レジスタ80 ...	81
TMC81	: 8ビット・タイマ・モード・コントロール・レジスタ81 ...	82
TXS10	: 送受信シフト・レジスタ10 ...	99

【W】

WDCS	: ウォッチドッグ・タイマ・クロック選択レジスタ ...	94
WDTM	: ウォッチドッグ・タイマ・モード・レジスタ ...	95
WTM	: 時計用タイマ・モード・コントロール・レジスタ ...	89

付録D 改版履歴

D.1 本版で改訂された主な箇所

(1/2)

箇所	内容
U14938JJ2V0UD00	U14938JJ2V1UD00
p.111, 121	第11章 VFDコントローラ/ドライバ <ul style="list-style-type: none"> ・ 11.4 表示データ・メモリの説明文を修正 ・ 11.8 (3) サブシステム・クロック動作時の制限事項を追加
U14938JJ1V0UD00	U14938JJ2V0UD00
全 般	FIP17/P87-FIP24/P80端子の仕様を変更 <ul style="list-style-type: none"> ・ ポート8を出力専用ポートに変更 ・ マスクROM製品はポート8にプルダウン抵抗を内蔵 (マスク・オプションは無し)
p.14-20	第1章 概 説 <ul style="list-style-type: none"> ・ 鉛フリー製品を追加 μ PD789870GB-xxx-8ET-A, μ PD789871GB-xxx-8ET-A, μ PD78F9872GB-8ET-A ・ 1.5 78K/0Sシリーズの展開を最新の内容に変更 ・ 1.7 機能概要にパッケージ (GC-8BS) を追加
p.21, 24-27	第2章 端子機能 <ul style="list-style-type: none"> ・ ポート8の仕様を変更 ・ V_{PP}端子の端子処理を変更 ・ 表2-1 各端子の入出力回路タイプと未使用端子の処理を変更 ・ 図2-1 端子の入出力回路一覧を変更
p.51-53, 58	第4章 ポート機能 <ul style="list-style-type: none"> ・ ポート8の仕様を変更 ・ 図4-2 ポートの種類を変更 ・ 表4-2 ポートの構成を変更
p.67	第5章 クロック発生回路 <ul style="list-style-type: none"> ・ フィードバック抵抗に関する注釈を追加
p.85, 86	第7章 8ビット・タイマ80, 81 <ul style="list-style-type: none"> ・ 7.5 8ビット・タイマ80, 81の注意事項を追加
p.88, 91	第8章 時計用タイマ <ul style="list-style-type: none"> ・ インターバル・タイマの割り込み要求名称を訂正 ・ 図8-3 時計用タイマ/インターバル・タイマの動作タイミングの注意文を修正
p.100, 101	第10章 シリアル・インタフェース10 <ul style="list-style-type: none"> ・ 図10-1 シリアル・インタフェース10のブロック図を修正 ・ 図10-2 シリアル動作モード・レジスタのフォーマットに注意文を追加

箇 所	内 容
p.106, 108, 110-114, 117, 119-121	第11章 VFDコントローラ/ドライバ <ul style="list-style-type: none"> ・表11-1 VFD出力端子とポートの兼用端子対応表を修正 ・図11-2 表示モード・レジスタ0のフォーマットに注意文を追加 ・11.3.1(3) 表示モード・レジスタ2の説明文を修正 ・図11-4 表示モード・レジスタ2のフォーマットを修正 ・11.3.2 1表示サイクルとブランキング幅を修正 ・11.4 表示データ・メモリに説明文を追加 ・図11-6 表示データ・メモリのアドレス配置とVFD出力の関係 (VFD出力25本, 16パターン) を修正 ・図11-7 表示データ・メモリのアドレス配置とVFD出力の関係 (VFD出力20本, 9パターン) を修正 ・11.5 キー・スキャンの動作を追加 ・11.7 全損失の計算方法の条件例を修正 ・図11-14 10セグメント-11桁表示時の表示データ・メモリの内容とVFD出力の関係を修正 ・11.8 VFDコントローラ/ドライバの注意事項を追加
p.126	第12章 割り込み機能 <ul style="list-style-type: none"> ・図12-2 割り込み要求フラグ・レジスタのフォーマットに注意文を追加
p.146-153	第15章 μPD78F9872 <ul style="list-style-type: none"> ・表15-1 フラッシュ・メモリ製品とマスクROM製品の違いを変更 ・フラッシュ・メモリ・プログラミングに関する内容を, 15.1 フラッシュ・メモリの特徴として全面改訂
p.154	第16章 マスク・オプション (マスクROM製品) <ul style="list-style-type: none"> ・マスク・オプションの内容を削除
p.166-176	第18章 電気的特性 <ul style="list-style-type: none"> ・章を追加
p.177	第19章 外形図 <ul style="list-style-type: none"> ・章を追加
p.178, 179	第20章 半田付け推奨条件 <ul style="list-style-type: none"> ・章を追加
p.180-185	付録A 開発ツール <ul style="list-style-type: none"> ・開発ツールの内容を全面改訂 ・組み込み用ソフトウェアを削除
p.186, 187	付録B ターゲット・デバイス設計上の注意 <ul style="list-style-type: none"> ・章を追加
p.192, 193	付録D 改版履歴 <ul style="list-style-type: none"> ・章を追加

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
