

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

μPD784956A サブシリーズ

16 ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

μPD784953A

μPD784956A

μPD78F4956A

[メモ]

目 次 要 約

第1章	概 説	...	30
第2章	端子機能	...	39
第3章	CPUアーキテクチャ	...	52
第4章	クロック発生回路	...	84
第5章	ポート機能	...	91
第6章	リアルタイム出力機能	...	106
第7章	タイマの概説	...	127
第8章	16ビット・タイマ0	...	133
第9章	16ビット・タイマ1	...	152
第10章	16ビット・タイマ2	...	163
第11章	16ビット・タイマ3	...	173
第12章	16ビット・タイマ4	...	182
第13章	16ビット・タイマ5	...	202
第14章	8ビット・タイマ6	...	220
第15章	8ビット・タイマ7	...	230
第16章	ウォッチドッグ・タイマ	...	237
第17章	A/Dコンバータ	...	243
第18章	シリアル・インタフェースの概説	...	260
第19章	アシンクロナス・シリアル・インタフェース	...	261
第20章	3線式シリアルI/Oモード	...	281
第21章	エッジ検出機能	...	287
第22章	割り込み機能	...	289
第23章	スタンバイ機能	...	368
第24章	リセット機能	...	394
第25章	μPD78F4956Aのプログラミング	...	396
第26章	命令のオペレーション	...	401
付 録		...	426

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

EEPROM, IEBusは、日本電気株式会社の商標です。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

イーサネットは、米国ゼロックス社の商標です。

OSF/Motifは、Open Software Foundation, Inc.の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F4956A-8BT

ユーザ判定品 : μ PD784953A- $x \times x$ -8BT, 784956A- $x \times x$ -8BT

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所

箇所	内容
p.92	第5章 ポート機能 5.2.1 ポート0の注意を修正
p.254, 255 p.258 p.258 p.258 p.259	第17章 A/Dコンバータ 17.5 A/Dコンバータ特性表の読み方を追加 17.6 注意事項 <ul style="list-style-type: none"> ・(7) A/D変換結果レジスタ0 (ADCR0) の読み出しについてを追加 ・(8) A/D変換結果が不定になるタイミングを追加 ・(9) ボード設計上の注意を追加 ・(11) AVREF端子, AVDD端子を追加
p.351 p.355 p.357 p.365	第22章 割り込み機能 図22 - 32 データ転送制御のタイミングを修正 図22 - 36 自動加算制御 + リング制御のタイミング図1 (1-2相励磁で出力タイミングが変化する場合) を修正 図22 - 38 自動加算制御 + リング制御のタイミング図2 (1-2相励磁の等速運動) を修正 22.12 割り込み機能を初期状態に戻す方法のプログラム例を修正
p.376 p.384 p.390	第23章 スタンバイ機能 図23 - 4 HALTモード解除後の動作を修正 図23 - 5 STOPモード解除後の動作を修正 図23 - 8 IDLEモード解除後の動作を修正
p.396 ~ 400	第25章 μPD78F4956Aのプログラミング <ul style="list-style-type: none"> ・Flashpro を削除

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

- 対象者** このマニュアルは、 μ PD784956Aサブシリーズの機能を理解し、その応用システムを設計するユーザのエンジニアを対象とします。
- 目的** このマニュアルは、 μ PD784956Aサブシリーズの持つ各種ハードウェア機能を理解していただくことを目的とします。
- 構成** μ PD784956Aサブシリーズのユーザズ・マニュアルは、ハードウェア編（このマニュアル）と命令編の2冊に分かれています。

ハードウェア編

端子機能
内部ブロック機能
割り込み
その他の内蔵周辺機能

命令編

CPU機能
アドレッシング
命令セット

この製品には使用上の注意事項があります。

各章の本文中の該当箇所と各章の最後（まとめ）にそれらの注意事項を示しますので、必ずお読みください。

読み方 このマニュアルを読むにあたっては、電気、論理回路およびマイクロコンピュータの一通りの知識を必要とします。

・特に機能面に違いがない場合
μ PD784956Aを代表品種として説明しています。したがってμ PD784953A, 78F4956Aのユーザーズ・マニュアルとしてお使いの場合は、μ PD784956Aをμ PD784953A, 78F4956Aと読み替えてご使用ください。

・機能面に違いがある場合
製品名をあげ、個別に説明しています。

一通りの機能を理解しようとするとき
目次に従って読んでください。

デバッグをしていて、おかしい動作をしているとき
各章末に注意事項がまとめてありますので、関連する機能の注意事項を参照してください。

レジスタ名が分かっている、レジスタの詳細を確認するとき
付録D レジスタ索引を利用してください。

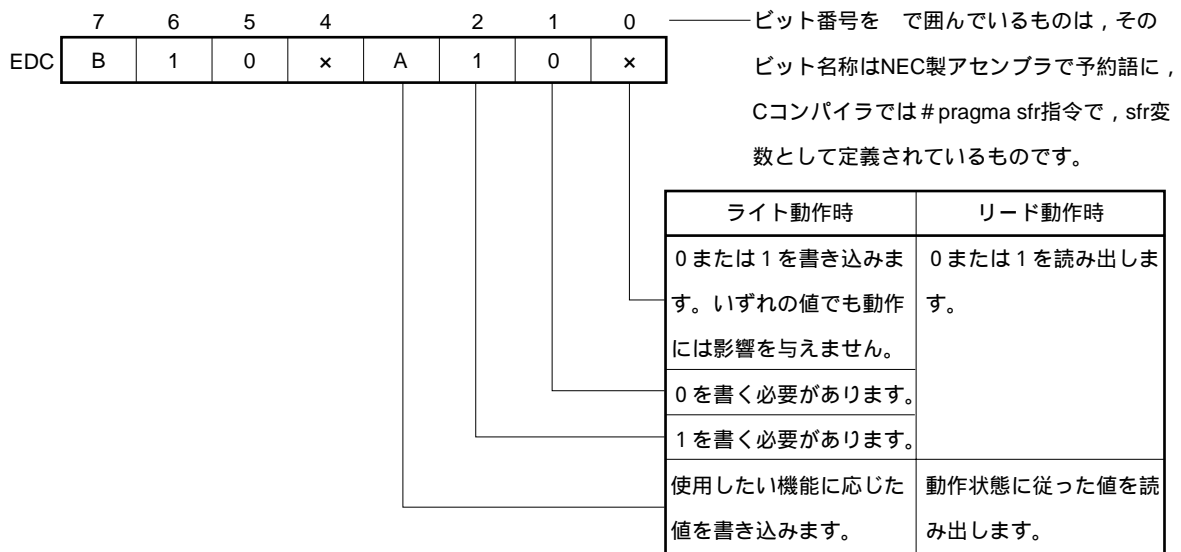
命令機能の詳細を知りたいとき
別冊の78K/ シリーズ ユーザーズ・マニュアル 命令編 (U10905J) を参照してください。

各種機能の応用例を知りたいとき
別冊のアプリケーション・ノートを参照してください。

凡 例

データ表記の重み	: 左側が上位桁, 右側が下位桁
アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
注	: 本文中につけた注の説明
注意	: 特に気をつけていただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数... $\text{xxx} \times \text{B}$ または $\text{xxx} \times$
	: 10進数... $\text{xxx} \times$
	: 16進数... $\text{xxx} \times \text{H}$

レジスタ表記



本文中のレジスタ表記に「設定禁止」と書いてあるコードの組み合わせは、絶対に書き込まないでください。

まぎらわしい文字 : 0 (ゼロ), O (オー)
: 1 (イチ), l (エル), I (アイ)

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD784953A, 784956A データ・シート	作成予定	作成予定
μ PD78F4956A データ・シート	作成予定	作成予定
μ PD784956Aサブシリーズ ユーザーズ・マニュアル ハードウェア編	このマニュアル	-
78K/ シリーズ アプリケーション・ノート ソフトウェア基礎編	U10095J	U10095E
78K/ シリーズ ユーザーズ・マニュアル 命令編	U10905J	U10905E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
RA78K4 アセンブラ・パッケージ	操作編	U11334J U11334E
	言語編	U11162J U11162E
	構造化アセンブラ・プリプロセッサ	U11743J U11743E
CC78K4 Cコンパイラ	操作編	U11572J U11572E
	言語編	U11571J U11571E
SM78K4 システム・シミュレータ Ver.1.40以上 Windowsベース	レファレンス編	U10093J U10093E
SM78Kシリーズ システム・シミュレータ Ver.1.40以上	外部部品ユーザ・オープン・ インタフェース仕様編	U10092J U10092E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上 Windowsベース	操作編	U15185J U15185E
ID78K4 統合ディバッガ Windowsベース	レファレンス編	U10440J U10440E
RX78K4 リアルタイムOS	基礎編	U10603J U10603E
	インストール編	U10604J U10604E
	ディバッガ編	U10364J -
MX78K4 組み込み用OS	基礎編	U11779J -

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K4-NS インサーキット・エミュレータ	U13356J	U13356E
IE-784956-NS-EM1 エミュレーション・ボード	U13745J	U13745E

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E

その他の資料

資料名	資料番号	
	和文	英文
半導体総合セレクション・ガイド - 製品・パッケージ情報 -	X13769J	X13769E
半導体デバイス 実装マニュアル	注	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

(<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ...	30
1.1 特 徴 ...	32
1.2 オーダ情報 ...	33
1.3 端子接続図 (Top View) ...	34
1.4 ブロック図 ...	36
1.5 機能一覧 ...	37
1.6 μ PD784956Aサブシリーズ製品間の違い ...	38
第2章 端子機能 ...	39
2.1 端子機能一覧 ...	39
2.2 端子機能説明 ...	42
2.2.1 通常動作モード ...	42
2.3 端子の入出力回路と未使用端子の処理 ...	50
第3章 CPUアーキテクチャ ...	52
3.1 メモリ空間 ...	52
3.2 内部ROM領域 ...	56
3.3 ベース領域 ...	57
3.3.1 ベクタ・テーブル領域 ...	57
3.3.2 CALLT命令テーブル領域 ...	58
3.3.3 CALLF命令エントリ領域 ...	58
3.4 内部データ領域 ...	59
3.4.1 内部RAM領域 ...	59
3.4.2 特殊機能レジスタ (SFR) 領域 ...	62
3.5 μ PD78F4956Aのメモリ・マッピング ...	63
3.6 制御レジスタ ...	64
3.6.1 プログラム・カウンタ (PC) ...	64
3.6.2 プログラム・ステータス・ワード (PSW) ...	64
3.6.3 RSSビットの使用方法 ...	67
3.6.4 スタック・ポインタ (SP) ...	69
3.6.5 メモリ拡張モード・レジスタ (MM) ...	72
3.7 汎用レジスタ ...	73
3.7.1 構 成 ...	73
3.7.2 機 能 ...	75
3.8 特殊機能レジスタ (SFR) ...	78
3.9 注意事項 ...	83
第4章 クロック発生回路 ...	84
4.1 機 能 ...	84
4.2 構 成 ...	84
4.3 制御レジスタ ...	85
4.4 システム・クロック発振回路 ...	87
4.4.1 分周回路 ...	89

4.5	クロック発生回路の動作	...	90
-----	-------------	-----	----

第5章 ポート機能 ... 91

5.1	デジタル入出力ポート	...	91
5.2	構成	...	92
5.2.1	ポート0	...	92
5.2.2	ポート1	...	94
5.2.3	ポート2	...	95
5.2.4	ポート3	...	96
5.2.5	ポート4	...	97
5.2.6	ポート5	...	98
5.2.7	ポート6	...	99
5.2.8	ポート7	...	100
5.2.9	ポート9	...	101
5.3	制御レジスタ	...	102
5.4	動作	...	105
5.4.1	入出力ポートへの書き込み	...	105
5.4.2	入出力ポートからの読み出し	...	105
5.4.3	入出力ポートでの演算	...	105

第6章 リアルタイム出力機能 ... 106

6.1	機能	...	106
6.2	構成	...	106
6.3	リアルタイム出力ポート0 (RTP0)	...	109
6.3.1	制御レジスタ	...	109
6.3.2	動作	...	113
6.3.3	PWM変調制御	...	114
6.4	リアルタイム出力ポート1 (RTP1)	...	117
6.4.1	制御レジスタ	...	117
6.4.2	動作	...	121
6.4.3	PWM変調制御	...	122
6.5	使用方法	...	125
6.6	注意事項	...	126

第7章 タイマの概説 ... 127

第8章 16ビット・タイマ0 ... 133

8.1	機能	...	133
8.2	構成	...	133
8.3	制御レジスタ	...	137
8.4	動作	...	141
8.4.1	16ビット・タイマ0の基本動作	...	141
8.4.2	TM0のフリーランニング動作	...	142
8.4.3	TM0のINTP0有効エッジ入力でクリア&スタート動作	...	142
8.4.4	TM0とCR00一致でクリア&スタート動作	...	143
8.4.5	16ビットPWM出力としての動作	...	144
8.4.6	TM0のキャプチャ動作	...	145
8.4.7	パルス幅測定としての動作	...	146
8.4.8	TM0のコンペア動作	...	149

- 8.4.9 ノイズ除去回路 ... 150
- 8.5 注意事項 ... 151

第9章 16ビット・タイマ1 ... 152

- 9.1 機能 ... 152
- 9.2 構成 ... 152
- 9.3 制御レジスタ ... 154
- 9.4 動作 ... 157
 - 9.4.1 16ビット・タイマ1の基本動作 ... 157
 - 9.4.2 TM1のフリーランニング動作 ... 158
 - 9.4.3 TM1とCR10一致でクリア&スタート動作 ... 159
 - 9.4.4 16ビットPWM出力としての動作 ... 160
 - 9.4.5 TM1のコンペア動作 ... 161
- 9.5 注意事項 ... 162

第10章 16ビット・タイマ2 ... 163

- 10.1 機能 ... 163
- 10.2 構成 ... 163
- 10.3 制御レジスタ ... 165
- 10.4 動作 ... 168
 - 10.4.1 16ビット・タイマ2の基本動作 ... 168
 - 10.4.2 TM2のフリーランニング動作 ... 169
 - 10.4.3 TM2とCR20一致でクリア&スタート動作 ... 169
 - 10.4.4 16ビットPWM出力としての動作 ... 170
 - 10.4.5 TM2のコンペア動作 ... 171
- 10.5 注意事項 ... 172

第11章 16ビット・タイマ3 ... 173

- 11.1 機能 ... 173
- 11.2 構成 ... 173
- 11.3 制御レジスタ ... 175
- 11.4 動作 ... 177
 - 11.4.1 16ビット・タイマ3の基本動作 ... 177
 - 11.4.2 TM3のフリーランニング動作 ... 178
 - 11.4.3 TM3とCR30一致でクリア&スタート動作 ... 179
 - 11.4.4 TM3のコンペア動作 ... 180
- 11.5 注意事項 ... 181

第12章 16ビット・タイマ4 ... 182

- 12.1 機能 ... 182
- 12.2 構成 ... 182
- 12.3 制御レジスタ ... 187
- 12.4 動作 ... 190
 - 12.4.1 16ビット・タイマ4の基本動作 ... 190
 - 12.4.2 TM4のフリーランニング動作 ... 191
 - 12.4.3 TM4のINTP2有効エッジ入力でクリア&スタート動作 ... 191
 - 12.4.4 TM4とCR40一致でクリア&スタート動作 ... 192
 - 12.4.5 TM4のキャプチャ動作 ... 193

- 12.4.6 パルス幅測定としての動作 ... 194
- 12.4.7 TM4のコンペア動作 ... 198
- 12.4.8 ノイズ除去回路 ... 199
- 12.5 注意事項 ... 200

第13章 16ビット・タイマ5 ... 202

- 13.1 機能 ... 202
- 13.2 構成 ... 202
- 13.3 制御レジスタ ... 206
- 13.4 動作 ... 209
 - 13.4.1 16ビット・タイマ5の基本動作 ... 209
 - 13.4.2 TM5のフリーランニング動作 ... 210
 - 13.4.3 TM5のINTP5有効エッジ入力でクリア&スタート動作 ... 210
 - 13.4.4 TM5とCR50一致でクリア&スタート動作 ... 211
 - 13.4.5 TM5のキャプチャ動作 ... 212
 - 13.4.6 パルス幅測定としての動作 ... 213
 - 13.4.7 TM5のコンペア動作 ... 216
 - 13.4.8 ノイズ除去回路 ... 217
- 13.5 注意事項 ... 218

第14章 8ビット・タイマ6 ... 220

- 14.1 機能 ... 220
- 14.2 構成 ... 221
- 14.3 制御レジスタ ... 223
- 14.4 動作 ... 225
 - 14.4.1 8ビット・タイマ6の基本動作 ... 225
 - 14.4.2 TM6のインターバル動作 ... 226
 - 14.4.3 TM6のフリーランニング動作 (PWM出力) ... 227
- 14.5 注意事項 ... 229

第15章 8ビット・タイマ7 ... 230

- 15.1 機能 ... 230
- 15.2 構成 ... 230
- 15.3 制御レジスタ ... 232
- 15.4 動作 ... 234
 - 15.4.1 8ビット・タイマ7の基本動作 ... 234
 - 15.4.2 TM7のインターバル動作 ... 235
- 15.5 注意事項 ... 236

第16章 ウォッチドッグ・タイマ ... 237

- 16.1 構成 ... 237
- 16.2 制御レジスタ ... 238
- 16.3 動作 ... 240
 - 16.3.1 カウント動作 ... 240
 - 16.3.2 割り込み優先順位 ... 240
- 16.4 注意事項 ... 241
 - 16.4.1 ウォッチドッグ・タイマ使用時の一般的な注意事項 ... 241
 - 16.4.2 μ PD784956Aサブシリーズのウォッチドッグ・タイマに関する注意事項 ... 242

第17章 A/Dコンバータ ... 243

- 17.1 機能 ... 243
- 17.2 構成 ... 243
- 17.3 制御レジスタ ... 246
- 17.4 動作 ... 249
 - 17.4.1 A/Dコンバータの基本動作 ... 249
 - 17.4.2 入力電圧と変換結果 ... 251
 - 17.4.3 A/Dコンバータの動作モード ... 252
- ★ 17.5 A/Dコンバータ特性表の読み方 ... 254
- 17.6 注意事項 ... 256

第18章 シリアル・インタフェースの概説 ... 260

第19章 アシクロナス・シリアル・インタフェース ... 261

- 19.1 アシクロナス・シリアル・インタフェース・モード ... 261
 - 19.1.1 構成 ... 261
 - 19.1.2 制御レジスタ ... 264
- 19.2 動作 ... 268
 - 19.2.1 動作停止モード ... 268
 - 19.2.2 アシクロナス・シリアル・インタフェース (UART) モード ... 269
 - 19.2.3 スタンバイ・モード時の動作 ... 280

第20章 3線式シリアル/Oモード ... 281

- 20.1 機能 ... 281
- 20.2 構成 ... 281
- 20.3 制御レジスタ ... 283
- 20.4 動作 ... 284

第21章 エッジ検出機能 ... 287

- 21.1 制御レジスタ ... 287
- 21.2 NMI端子のエッジ検出 ... 288

第22章 割り込み機能 ... 289

- 22.1 割り込み要求ソース ... 290
 - 22.1.1 ソフトウェア割り込み ... 292
 - 22.1.2 オペランド・エラー割り込み ... 292
 - 22.1.3 ノンマスカブル割り込み ... 292
 - 22.1.4 マスカブル割り込み ... 292
- 22.2 割り込み処理モード ... 293
 - 22.2.1 ベクタ割り込み処理 ... 293
 - 22.2.2 マクロ・サービス ... 293
 - 22.2.3 コンテキスト・スイッチング ... 293
- 22.3 割り込み処理制御レジスタ ... 294
 - 22.3.1 割り込み制御レジスタ ... 296
 - 22.3.2 割り込みマスク・レジスタ (MK0, MK1) ... 301
 - 22.3.3 インサービス・プライオリティ・レジスタ (ISPR) ... 303
 - 22.3.4 割り込みモード・コントロール・レジスタ (IMC) ... 304

22.3.5	ウォッチドッグ・タイマ・モード・レジスタ (WDM) ...	305
22.3.6	プログラム・ステータス・ワード (PSW) ...	306
22.4	ソフトウェア割り込みの受け付け動作 ...	306
22.4.1	BRK命令によるソフトウェア割り込みの受け付け動作 ...	306
22.4.2	BRKCS命令によるソフトウェア割り込み (ソフトウェア・コンテキスト・スイッチング) の受け付け動作 ...	307
22.5	オペランド・エラー割り込みの受け付け動作 ...	308
22.6	ノンマスカブル割り込みの受け付け動作 ...	309
22.7	マスカブル割り込みの受け付け動作 ...	313
22.7.1	ベクタ割り込み ...	315
22.7.2	コンテキスト・スイッチング ...	315
22.7.3	マスカブル割り込みの優先順位 ...	317
22.8	マクロ・サービス機能 ...	323
22.8.1	マクロ・サービスの概要 ...	323
22.8.2	マクロ・サービスの種類 ...	323
22.8.3	マクロ・サービスの基本動作 ...	326
22.8.4	マクロ・サービス終了時の動作 ...	327
22.8.5	マクロ・サービス制御レジスタ ...	330
22.8.6	マクロ・サービス・タイプA ...	334
22.8.7	マクロ・サービス・タイプB ...	339
22.8.8	マクロ・サービス・タイプC ...	344
22.8.9	カウンタ・モード ...	358
22.9	割り込み要求およびマクロ・サービスが一時的に保留される場合 ...	360
22.10	割り込み要求およびマクロ・サービスで一時的に実行が中断される命令 ...	362
22.11	割り込み要求およびマクロ・サービスの動作タイミング ...	362
22.11.1	割り込み要求の受け付け処理時間 ...	363
22.11.2	マクロ・サービスの処理時間 ...	364
22.12	割り込み機能を初期状態に戻す方法 ...	365
22.13	注意事項 ...	366

第23章 スタンバイ機能 ... 368

23.1	構成と機能 ...	368
23.2	制御レジスタ ...	370
23.3	HALTモード ...	372
23.3.1	HALTモードの設定および動作状態 ...	372
23.3.2	HALTモードの解除 ...	372
23.4	STOPモード ...	380
23.4.1	STOPモードの設定および動作状態 ...	380
23.4.2	STOPモードの解除 ...	381
23.5	IDLEモード ...	386
23.5.1	IDLEモードの設定および動作状態 ...	386
23.5.2	IDLEモードの解除 ...	387
23.6	STOPモード/IDLEモード使用時のチェック項目 ...	392

第24章 リセット機能 ... 394

第25章 μ PD78F4956Aのプログラミング ... 396

25.1	内部メモリ・サイズ切り替えレジスタ (IMS) ...	397
25.2	Flashpro 使用によるフラッシュ・メモリ・プログラミング ...	398
25.2.1	通信方式の選択 ...	398

- 25.2.2 フラッシュ・メモリ・プログラミングの機能 ... 399
- 25.2.3 Flashpro の接続 ... 400

第26章 命令のオペレーション ... 401

- 26.1 凡 例 ... 401
- 26.2 オペレーション一覧 ... 404
- 26.3 アドレッシング別命令一覧 ... 422

付録A μ PD784225サブシリーズ, μ PD784216Aサブシリーズとの主な違い ... 426

付録B 開発ツール ... 427

- B.1 言語処理用ソフトウェア ... 430
- B.2 フラッシュ・メモリ書き込み用ツール ... 431
- B.3 デバッグ用ツール ... 432
 - B.3.1 ハードウェア ... 432
 - B.3.2 ソフトウェア ... 434
- B.4 変換ソケット (EV-9200GC-80) の外形図と基板取り付け推奨パターン ... 436

付録C 組み込み用ソフトウェア ... 438

付録D レジスタ索引 ... 440

- D.1 レジスタ索引 (50音順) ... 440
- D.2 レジスタ索引 (アルファベット順) ... 444

★ 付録E 改版履歴 ... 448

図の目次 (1/8)

図番号	タイトル, ページ
2 - 1	端子の入出力回路 ... 51
3 - 1	μPD784953Aのメモリ・マップ ... 53
3 - 2	μPD784956Aのメモリ・マップ ... 54
3 - 3	μPD78F4956Aのメモリ・マップ ... 55
3 - 4	内部RAMのメモリ・マップ ... 60
3 - 5	内部メモリ・サイズ切り替えレジスタ (IMS) のフォーマット ... 63
3 - 6	プログラム・カウンタ (PC) のフォーマット ... 64
3 - 7	プログラム・ステータス・ワード (PSW) のフォーマット ... 64
3 - 8	スタック・ポインタ (SP) のフォーマット ... 69
3 - 9	スタック領域へ退避されるデータ ... 70
3 - 10	スタック領域から復帰されるデータ ... 71
3 - 11	メモリ拡張モード・レジスタ (MM) のフォーマット ... 72
3 - 12	汎用レジスタのフォーマット ... 73
3 - 13	汎用レジスタのアドレス ... 74
4 - 1	クロック発生回路のブロック図 ... 84
4 - 2	スタンバイ・コントロール・レジスタ (STBC) のフォーマット ... 85
4 - 3	発振安定時間指定レジスタ (OSTS) のフォーマット ... 86
4 - 4	システム・クロック発振回路の外付け回路 ... 87
4 - 5	発振子の接続の悪い例 ... 88
5 - 1	ポートの構成 ... 91
5 - 2	P00-P07のブロック図 ... 93
5 - 3	P10-P17のブロック図 ... 94
5 - 4	P20, P21, P25-P27のブロック図 ... 95
5 - 5	P30-P37のブロック図 ... 96
5 - 6	P40-P47のブロック図 ... 97
5 - 7	P50-P57のブロック図 ... 98
5 - 8	P60-P67のブロック図 ... 99
5 - 9	P70-P77のブロック図 ... 100
5 - 10	P90-P95のブロック図 ... 101
5 - 11	ポート・モード・レジスタのフォーマット ... 103
5 - 12	プルアップ抵抗オプション・レジスタのフォーマット ... 104
6 - 1	リアルタイム出力ポートのブロック図 ... 107
6 - 2	リアルタイム出力バッファ・レジスタ 0, 1 の構成 ... 108
6 - 3	リアルタイム出力ポート・モード・レジスタ 0 (RTPM0) のフォーマット ... 109
6 - 4	リアルタイム出力ポート・コントロール・レジスタ 0 (RTPC0) のフォーマット ... 110
6 - 5	PWM変調制御レジスタ 0 (RWMC0) のフォーマット ... 111

図の目次 (2/8)

図番号	タイトル, ページ
6 - 6	PWM変調バッファ・レジスタ0 (BFPWMC0)のフォーマット ... 112
6 - 7	リアルタイム出力ポート0の動作タイミング例 (EXTR0=0, BYTE0=0の場合) ... 113
6 - 8	PWM出力レベル反転動作例 (RTP0) ... 114
6 - 9	PWM変調動作例 (RTP0) ... 115
6 - 10	PWM変調制御回路の構成 (RTP0) ... 116
6 - 11	リアルタイム出力ポート・モード・レジスタ1 (RTPM1)のフォーマット ... 117
6 - 12	リアルタイム出力ポート・コントロール・レジスタ1 (RTPC1)のフォーマット ... 118
6 - 13	PWM変調制御レジスタ1 (PWMC1)のフォーマット ... 119
6 - 14	PWM変調バッファ・レジスタ1 (BFPWMC1)のフォーマット ... 120
6 - 15	リアルタイム出力ポート1の動作タイミング例 (EXTR1=0, BYTE1=0の場合) ... 121
6 - 16	PWM出力レベル反転動作例 (RTP1) ... 122
6 - 17	PWM変調動作例 (RTP1) ... 123
6 - 18	PWM変調制御回路の構成 (RTP1) ... 124
7 - 1	タイマのブロック図 ... 128
8 - 1	16ビット・タイマ0のブロック図 ... 134
8 - 2	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)のフォーマット ... 137
8 - 3	キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)のフォーマット ... 138
8 - 4	タイマ出力コントロール・レジスタ0 (TOC0)のフォーマット ... 139
8 - 5	プリスケラ・モード・レジスタ0 (PRM0)のフォーマット ... 140
8 - 6	TM0の基本動作タイミング ... 141
8 - 7	TMC02, TMC03への再書き込み動作タイミング (フリーランニング・モード) ... 141
8 - 8	TM0のフリーランニング動作タイミング ... 142
8 - 9	TM0のINTP0有効エッジ入力でクリア&スタート・モード動作タイミング ... 142
8 - 10	TM0とCR00一致でクリア&スタート・モード動作タイミング (CR00 = 0000H) ... 143
8 - 11	TM0とCR00一致でクリア&スタート・モード動作タイミング (CR00 = 0000H) ... 143
8 - 12	TO0のPWM出力動作例 ... 144
8 - 13	キャプチャ動作 (フリーランニング・モード時)のタイミング ... 145
8 - 14	キャプチャ動作 (INTP0有効エッジ入力でクリア&スタート・モード時)のタイミング ... 145
8 - 15	パルス幅測定動作のタイミング (両エッジ指定時) ... 146
8 - 16	パルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 147
8 - 17	パルス幅測定動作のタイミング (立ち下がりエッジ指定時) ... 148
8 - 18	TM0のコンペア動作タイミング (CR00, CR01 = 0000H) ... 149
8 - 19	TM0のコンペア動作タイミング (CR00, CR01 = 0000H) ... 149
8 - 20	INTP0のブロック図 ... 150
8 - 21	サンプリング・タイミング図 ... 150
8 - 22	16ビット・タイマ・カウンタ0のスタート・タイミング ... 151
8 - 23	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 151

図の目次 (3/8)

図番号	タイトル, ページ
9 - 1	16ビット・タイマ1のブロック図 ... 152
9 - 2	16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1) のフォーマット ... 154
9 - 3	タイマ出力コントロール・レジスタ1 (TOC1) のフォーマット ... 155
9 - 4	プリスケアラ・モード・レジスタ1 (PRM1) のフォーマット ... 156
9 - 5	TM1の基本動作タイミング ... 157
9 - 6	TMC12, TMC13への再書き込み動作タイミング (フリーランニング・モード) ... 157
9 - 7	TM1のフリーランニング動作タイミング ... 158
9 - 8	TM1とCR10一致でクリア&スタート・モード動作タイミング (CR10 = 0000H) ... 159
9 - 9	TM1とCR10一致でクリア&スタート・モード動作タイミング (CR10 = 0000H) ... 159
9 - 10	TO1のPWM出力動作例 ... 160
9 - 11	TM1のコンペア動作タイミング (CR10, CR11 = 0000H) ... 161
9 - 12	TM1のコンペア動作タイミング (CR10, CR11 = 0000H) ... 161
9 - 13	16ビット・タイマ・カウンタ1のスタート・タイミング ... 162
9 - 14	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 162
10 - 1	16ビット・タイマ2のブロック図 ... 163
10 - 2	16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2) のフォーマット ... 165
10 - 3	タイマ出力コントロール・レジスタ2 (TOC2) のフォーマット ... 166
10 - 4	プリスケアラ・モード・レジスタ2 (PRM2) のフォーマット ... 167
10 - 5	TM2の基本動作タイミング ... 168
10 - 6	TMC22, TMC23への再書き込み動作タイミング (フリーランニング・モード) ... 168
10 - 7	TM2のフリーランニング動作タイミング ... 169
10 - 8	TM2とCR20一致でクリア&スタート・モード動作タイミング (CR20 = 0000H) ... 169
10 - 9	TM2とCR20一致でクリア&スタート・モード動作タイミング (CR20 = 0000H) ... 169
10 - 10	TO2のPWM出力動作例 ... 170
10 - 11	TM2のコンペア動作タイミング (CR20, CR21 = 0000H) ... 171
10 - 12	TM2のコンペア動作タイミング (CR20, CR21 = 0000H) ... 171
10 - 13	16ビット・タイマ・カウンタ2のスタート・タイミング ... 172
10 - 14	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 172
11 - 1	16ビット・タイマ3のブロック図 ... 173
11 - 2	16ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) のフォーマット ... 175
11 - 3	プリスケアラ・モード・レジスタ3 (PRM3) のフォーマット ... 176
11 - 4	TM3の基本動作タイミング ... 177
11 - 5	TMC32, TMC33への再書き込み動作タイミング (フリーランニング・モード) ... 177
11 - 6	TM3のフリーランニング動作タイミング ... 178
11 - 7	TM3とCR30一致でクリア&スタート・モード動作タイミング (CR30 = 0000H) ... 179
11 - 8	TM3とCR30一致でクリア&スタート・モード動作タイミング (CR30 = 0000H) ... 179
11 - 9	TM3のコンペア動作タイミング (CR30, CR31 = 0000H) ... 180
11 - 10	TM3のコンペア動作タイミング (CR30, CR31 = 0000H) ... 180

図の目次 (4/8)

図番号	タイトル, ページ
11 - 11	16ビット・タイマ・カウンタ3のスタート・タイミング ... 181
11 - 12	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 181
12 - 1	16ビット・タイマ4のブロック図 ... 183
12 - 2	16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のフォーマット ... 187
12 - 3	キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) のフォーマット ... 188
12 - 4	プリスケーラ・モード・レジスタ4 (PRM4) のフォーマット ... 189
12 - 5	TM4の基本動作タイミング ... 190
12 - 6	TMC42, TMC43への再書き込み動作タイミング (フリーランニング・モード) ... 190
12 - 7	TM4のフリーランニング動作タイミング ... 191
12 - 8	TM4のINTP2有効エッジ入力でクリア&スタート・モード動作タイミング ... 191
12 - 9	TM4とCR40一致でクリア&スタート・モード動作タイミング (CR40 = 0000H) ... 192
12 - 10	TM4とCR40一致でクリア&スタート・モード動作タイミング (CR40 = 0000H) ... 192
12 - 11	キャプチャ動作 (フリーランニング・モード時) のタイミング ... 193
12 - 12	キャプチャ動作 (INTP2有効エッジ入力でクリア&スタート・モード時) のタイミング ... 193
12 - 13	パルス幅測定動作のタイミング (両エッジ指定時) ... 194
12 - 14	パルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 196
12 - 15	パルス幅測定動作のタイミング (立ち下がりエッジ指定時) ... 197
12 - 16	TM4のコンペア動作タイミング (CR40, CR41, CR42 = 0000H) ... 198
12 - 17	TM4のコンペア動作タイミング (CR40, CR41, CR42 = 0000H) ... 198
12 - 18	INTP2のブロック図 ... 199
12 - 19	サンプリング・タイミング図 ... 199
12 - 20	16ビット・タイマ・カウンタ4のスタート・タイミング ... 200
12 - 21	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 200
13 - 1	16ビット・タイマ5のブロック図 ... 203
13 - 2	16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のフォーマット ... 206
13 - 3	キャプチャ/コンペア・コントロール・レジスタ5 (CRC5) のフォーマット ... 207
13 - 4	プリスケーラ・モード・レジスタ5 (PRM5) のフォーマット ... 208
13 - 5	TM5の基本動作タイミング ... 209
13 - 6	TMC52, TMC53への再書き込み動作タイミング (フリーランニング・モード) ... 209
13 - 7	TM5のフリーランニング動作タイミング ... 210
13 - 8	TM5のINTP5有効エッジ入力でクリア&スタート・モード動作タイミング ... 210
13 - 9	TM5とCR50一致でクリア&スタート・モード動作タイミング (CR50 = 0000H) ... 211
13 - 10	TM5とCR50一致でクリア&スタート・モード動作タイミング (CR50 = 0000H) ... 211
13 - 11	キャプチャ動作 (フリーランニング・モード時) のタイミング ... 212
13 - 12	キャプチャ動作 (INTP5有効エッジ入力でクリア&スタート・モード時) のタイミング ... 212
13 - 13	パルス幅測定動作のタイミング (両エッジ指定時) ... 213
13 - 14	パルス幅測定動作のタイミング (立ち上がりエッジ指定時) ... 214
13 - 15	パルス幅測定動作のタイミング (立ち下がりエッジ指定時) ... 215

図の目次 (5/8)

図番号	タイトル, ページ
13 - 16	TM5のコンペア動作タイミング (CR50, CR51 = 0000H) ... 216
13 - 17	TM5のコンペア動作タイミング (CR50, CR51 = 0000H) ... 216
13 - 18	INTP5のブロック図 ... 217
13 - 19	サンプリング・タイミング図 ... 217
13 - 20	16ビット・タイマ・カウンタ5のスタート・タイミング ... 218
13 - 21	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 218
14 - 1	8ビット・タイマ6のブロック図 ... 221
14 - 2	タイマ・モード・コントロール・レジスタ6 (TMC6)のフォーマット ... 223
14 - 3	タイマ・クロック選択レジスタ6 (TCL6)のフォーマット ... 224
14 - 4	TM6の基本動作タイミング ... 225
14 - 5	TM6のインターバル動作タイミング (CR6 = 00H) ... 226
14 - 6	TM6のインターバル動作タイミング (CR6 = 00H) ... 226
14 - 7	TM6のフリーランニング動作タイミング (CR6 = 00H, FFH) ... 227
14 - 8	TM6のフリーランニング動作タイミング (CR6 = 00H) ... 228
14 - 9	TM6のフリーランニング動作タイミング (CR6 = FFH) ... 228
14 - 10	8ビット・タイマ・カウンタ6のスタート・タイミング ... 229
14 - 11	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 229
15 - 1	8ビット・タイマ7のブロック図 ... 230
15 - 2	タイマ・モード・コントロール・レジスタ7 (TMC7)のフォーマット ... 232
15 - 3	タイマ・クロック選択レジスタ7 (TCL7)のフォーマット ... 233
15 - 4	TM7の基本動作タイミング ... 234
15 - 5	TM7のインターバル動作タイミング (CR7 = 00H) ... 235
15 - 6	TM7のインターバル動作タイミング (CR7 = 00H) ... 235
15 - 7	8ビット・タイマ・カウンタ7のスタート・タイミング ... 236
15 - 8	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 236
16 - 1	ウォッチドッグ・タイマのブロック図 ... 237
16 - 2	ウォッチドッグ・タイマ・モード・レジスタ (WDM)のフォーマット ... 239
17 - 1	A/Dコンバータのブロック図 ... 244
17 - 2	A/Dコンバータ・モード・レジスタ0 (ADM0)のフォーマット ... 247
17 - 3	アナログ入力チャンネル指定レジスタ0 (ADS0)のフォーマット ... 248
17 - 4	A/Dコンバータの基本動作 ... 250
17 - 5	アナログ入力電圧とA/D変換結果の関係 ... 251
17 - 6	ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時) ... 252
17 - 7	ソフトウェア・スタートによるA/D変換動作 ... 253
17 - 8	総合誤差 ... 254
17 - 9	量子化誤差 ... 254

図の目次 (6/8)

図番号	タイトル, ページ
17 - 10	アナログ入力端子の処理 ... 256
17 - 11	A/D変換終了割り込み要求発生タイミング ... 257
17 - 12	変換結果を読み出すタイミング (変換結果が不定値の場合) ... 258
17 - 13	変換結果を読み出すタイミング (変換結果が正常値の場合) ... 258
17 - 14	AV _{DD} 端子の処理 ... 259
17 - 15	AV _{REF} 端子, AV _{DD} 端子とコンデンサの接続例 ... 259
18 - 1	シリアル・インタフェース例 ... 260
19 - 1	アシンクロナス・シリアル・インタフェースのブロック図 ... 262
19 - 2	アシンクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1)のフォーマット ... 265
19 - 3	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1 (ASIS1)のフォーマット ... 266
19 - 4	ポー・レート・ジェネレータ・コントロール・レジスタ1 (BRGC1)のフォーマット ... 267
19 - 5	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 275
19 - 6	アシンクロナス・シリアル・インタフェース送信完了割り込み要求タイミング ... 277
19 - 7	アシンクロナス・シリアル・インタフェース受信完了割り込み要求タイミング ... 278
19 - 8	受信エラー・タイミング ... 279
20 - 1	クロック同期式シリアル・インタフェース (3線式シリアルI/Oモード時)のブロック図 ... 282
20 - 2	シリアル動作モード・レジスタ0 (CSIM0)のフォーマット ... 283
20 - 3	シリアル動作モード・レジスタ0 (CSIM0)のフォーマット (動作停止モード) ... 284
20 - 4	シリアル動作モード・レジスタ0 (CSIM0)のフォーマット (3線式シリアルI/Oモード) ... 285
20 - 5	3線式シリアルI/Oモードのタイミング ... 286
21 - 1	外部割り込み立ち上がりエッジ許可レジスタ (EGP0), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0)のフォーマット ... 287
21 - 2	P00/NMI端子のノイズ除去の構成 ... 288
21 - 3	NMI端子のエッジ検出 ... 288
22 - 1	割り込み制御レジスタ (x x ICn) ... 298
22 - 2	割り込みマスク・レジスタ (MK0, MK1)のフォーマット ... 302
22 - 3	インサースビス・プライオリティ・レジスタ (ISPR)のフォーマット ... 303
22 - 4	割り込みモード・コントロール・レジスタ (IMC)のフォーマット ... 304
22 - 5	ウォッチドッグ・タイマ・モード・レジスタ (WDM)のフォーマット ... 305
22 - 6	プログラム・ステータス・ワード (PSWL)のフォーマット ... 306
22 - 7	BRKCS命令の実行によるコンテキスト・スイッチング動作 ... 307
22 - 8	BRKCS命令によるソフトウェア割り込みからの復帰動作 (RETCSB命令の動作) ... 308
22 - 9	ノンマスカブル割り込み要求の受け付け動作 ... 310
22 - 10	割り込み要求受け付け処理アルゴリズム ... 314
22 - 11	割り込み要求の発生によるコンテキスト・スイッチング動作 ... 315

図の目次 (7/8)

図番号	タイトル, ページ
22 - 12	RETCS命令によるコンテキスト・スイッチング機能を使用した割り込みからの復帰動作 ... 316
22 - 13	割り込み処理中に他の割り込み要求が発生した場合の処理例 ... 318
22 - 14	同時発生した割り込み要求の処理例 ... 321
22 - 15	IMCの設定によるレベル3の割り込みの受け付け動作の違い ... 322
22 - 16	ベクタ割り込みとマクロ・サービスの処理の違い ... 323
22 - 17	マクロ・サービス処理シーケンス ... 326
22 - 18	VCIE = 0 のときのマクロ・サービス終了時の動作 ... 328
22 - 19	VCIE = 1 のときのマクロ・サービス終了時の動作 ... 329
22 - 20	マクロ・サービス・コントロール・ワードのフォーマット ... 331
22 - 21	マクロ・サービス・モード・レジスタのフォーマット ... 332
22 - 22	マクロ・サービス・データ転送処理フロー (タイプA) ... 335
22 - 23	タイプAのマクロ・サービス・チャンネル ... 337
22 - 24	アシンクロナス・シリアル受信 ... 338
22 - 25	マクロ・サービス・データ転送処理フロー (タイプB) ... 340
22 - 26	タイプBのマクロ・サービス・チャンネル ... 341
22 - 27	外部割り込みに同期したパラレル・データ入力 ... 342
22 - 28	パラレル・データ入力のタイミング ... 343
22 - 29	マクロ・サービス・データ転送処理フロー (タイプC) ... 345
22 - 30	タイプCのマクロ・サービス・チャンネル ... 348
22 - 31	リアルタイム出力ポートによるステップング・モータの開ループ制御 ... 350
22 - 32	データ転送制御のタイミング ... 351
22 - 33	4相ステップング・モータの1相励磁の場合 ... 353
22 - 34	4相ステップング・モータの1-2相励磁の場合 ... 353
22 - 35	自動加算制御 + リング制御のブロック図1 (1-2相励磁で出力タイミングが変化する場合) ... 354
22 - 36	自動加算制御 + リング制御のタイミング図1 (1-2相励磁で出力タイミングが変化する場合) ... 355
22 - 37	自動加算制御 + リング制御のブロック図2 (1-2相励磁の等速運動) ... 356
22 - 38	自動加算制御 + リング制御のタイミング図2 (1-2相励磁の等速運動) ... 357
22 - 39	マクロ・サービス・データ転送処理フロー (カウンタ・モード) ... 358
22 - 40	カウンタ・モード ... 359
22 - 41	エッジの回数のカウント ... 359
22 - 42	割り込み要求の発生と受け付け (単位: クロック = $1/f_{CLK}$) ... 362
23 - 1	スタンバイの状態遷移図 ... 369
23 - 2	スタンバイ・コントロール・レジスタ (STBC) のフォーマット ... 370
23 - 3	発振安定時間指定レジスタ (OSTS) のフォーマット ... 371
23 - 4	HALTモード解除後の動作 ... 374
23 - 5	STOPモード解除後の動作 ... 382
23 - 6	NMI入力によるSTOPモードの解除 ... 385
23 - 7	RESET入力によるSTOPモードの解除 ... 385
23 - 8	IDLEモード解除後の動作 ... 388

図の目次 (8/8)

図番号	タイトル, ページ
24 - 1	リセット期間中のシステム・クロックの発振 ... 394
24 - 2	リセット信号の受け付け ... 395
25 - 1	内部メモリ・サイズ切り替えレジスタ (IMS) のフォーマット ... 397
25 - 2	通信方式選択フォーマット ... 398
25 - 3	3線式シリアルI/O方式でのFlashpro の接続 ... 400
25 - 4	3線式シリアルI/O方式でのFlashpro の接続 (ハンドシェイク使用時) ... 400
25 - 5	UART方式でのFlashpro の接続 ... 400
B - 1	開発ツール構成 ... 428
B - 2	EV-9200GC-80 外形図 (参考) (単位: mm) ... 436
B - 3	EV-9200GC-80 基板取り付け推奨パターン (参考) (単位: mm) ... 437

表の目次 (1/3)

表番号	タイトル, ページ
1 - 1	μPD784956Aサブシリーズ製品間の違い ... 38
2 - 1	ポート0の動作モード ... 42
2 - 2	ポート1の動作モード ... 44
2 - 3	ポート2の動作モード ... 45
2 - 4	ポート3の動作モード ... 47
2 - 5	各端子の入出力回路タイプと未使用端子の処理 ... 50
3 - 1	ベクタ・テーブル・アドレス ... 57
3 - 2	内部RAM領域一覧 ... 59
3 - 3	内部メモリ・サイズ切り替えレジスタ (IMS) の設定値 ... 63
3 - 4	レジスタ・バンクの選択 ... 66
3 - 5	機能名称-絶対名称の対応 ... 77
3 - 6	特殊機能レジスタ (SFR) 一覧 ... 79
4 - 1	クロック発生回路の構成 ... 84
5 - 1	ポートの機能 ... 91
5 - 2	ポートの構成 ... 92
5 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 102
6 - 1	リアルタイム出力ポート0, 1の構成 ... 106
6 - 2	リアルタイム出力バッファ・レジスタ0, 1に対する操作時の動作 ... 108
6 - 3	リアルタイム出力ポート0の動作モードと出力トリガ ... 110
6 - 4	PWM変調バッファ・レジスタ0 (BFPWMC0) からPWM変調制御レジスタ0 (PWMC0) へのデータ転送 ... 112
6 - 5	リアルタイム出力ポート1の動作モードと出力トリガ ... 118
6 - 6	PWM変調バッファ・レジスタ1 (BFPWMC1) からPWM変調制御レジスタ1 (PWMC1) へのデータ転送 ... 120
7 - 1	タイマの動作 ... 127
8 - 1	16ビット・タイマ0の構成 ... 133
8 - 2	INTP0端子の有効エッジとCR00, CR01のキャプチャ・トリガ ... 135
8 - 3	INTP1端子の有効エッジとCR00のキャプチャ・トリガ ... 136
8 - 4	INTP0端子の有効エッジとCR01のキャプチャ・トリガ ... 136
9 - 1	16ビット・タイマ1の構成 ... 152
10 - 1	16ビット・タイマ2の構成 ... 163

表の目次 (2/3)

表番号	タイトル, ページ
11 - 1	16ビット・タイマ3の構成 ... 173
12 - 1	16ビット・タイマ4の構成 ... 182
12 - 2	INTP2端子の有効エッジとCR40, CR41のキャプチャ・トリガ ... 184
12 - 3	INTP3端子の有効エッジとCR40のキャプチャ・トリガ ... 185
12 - 4	INTP2端子の有効エッジとCR41のキャプチャ・トリガ ... 185
12 - 5	INTP4端子の有効エッジとCR42のキャプチャ・トリガ ... 186
13 - 1	16ビット・タイマ5の構成 ... 202
13 - 2	INTP5端子の有効エッジとCR50, CR51のキャプチャ・トリガ ... 204
13 - 3	INTP6端子の有効エッジとCR50のキャプチャ・トリガ ... 204
13 - 4	INTP5端子の有効エッジとCR51のキャプチャ・トリガ ... 205
14 - 1	8ビット・タイマ6の構成 ... 221
15 - 1	8ビット・タイマ7の構成 ... 230
17 - 1	A/Dコンバータの構成 ... 243
19 - 1	アシンクロナス・シリアル・インタフェースの構成 ... 261
19 - 2	5ビット・カウンタのソース・クロックとmの値の関係 ... 273
19 - 3	システム・クロックとボー・レートの関係 ... 274
19 - 4	受信エラーの要因 ... 279
20 - 1	3線式シリアルI/Oの構成 ... 281
22 - 1	割り込み要求の処理形態 ... 289
22 - 2	割り込み要求ソースの種類 ... 290
22 - 3	制御レジスタ一覧 ... 294
22 - 4	割り込み要求に対する割り込み制御レジスタのフラグ一覧 ... 295
22 - 5	多重割り込み処理 ... 317
22 - 6	マクロ・サービスが使用可能な割り込み ... 324
22 - 7	タイプCの主な使用例 ... 325
22 - 8	割り込み要求受け付け処理時間 ... 363
22 - 9	マクロ・サービス処理時間 ... 364
23 - 1	スタンバイ機能のモード一覧 ... 368
23 - 2	HALTモード時の動作状態 ... 372
23 - 3	HALTモードの解除と解除後の動作 ... 373
23 - 4	マスカブル割り込み要求によるHALTモードの解除 ... 380

表の目次 (3/3)

表番号	タイトル, ページ
23 - 5	STOPモード時の動作状態 ... 380
23 - 6	STOPモードの解除と解除後の動作 ... 381
23 - 7	IDLEモード時の動作状態 ... 386
23 - 8	IDLEモードの解除と解除後の動作 ... 387
24 - 1	各ハードウェアのリセット中, リセット後の状態 ... 395
25 - 1	μ PD78F4956AとマスクROM製品との違い ... 396
25 - 2	内部メモリ・サイズ切り替えレジスタ (IMS) の設定値 ... 397
25 - 3	通信方式一覧 ... 398
25 - 4	フラッシュ・メモリ・プログラミングの機能 ... 399
26 - 1	8ビット・アドレッシング別命令一覧表 ... 422
26 - 2	16ビット・アドレッシング別命令一覧表 ... 423
26 - 3	24ビット・アドレッシング別命令一覧表 ... 424
26 - 4	ビット操作命令アドレッシング別命令一覧表 ... 424
26 - 5	コール・リターン命令 / 分岐命令アドレッシング別命令一覧表 ... 425

第1章 概 説

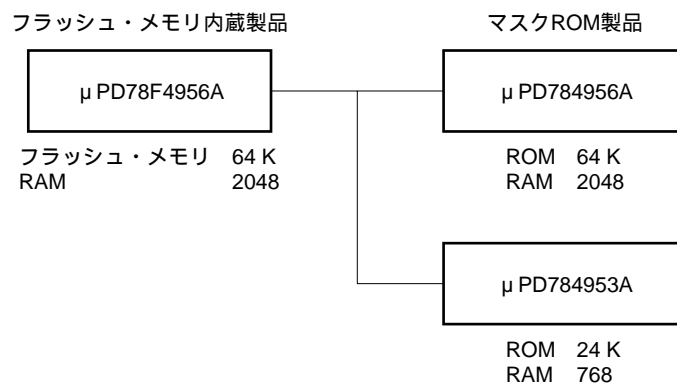
μPD784956Aサブシリーズは78K/ シリーズのうちの一つで、特定用途向けインバータ制御に適した80ピン版マイコンです。78K/ シリーズは、16ビット・シングルチップ・マイクロコンピュータで、高性能CPUを備えた製品です。

μPD784956Aは、64 KバイトのマスクROMと2048バイトのRAMを内蔵しています。また、高機能タイマ/カウンタ、8ビットA/Dコンバータ、2チャンネル独立のシリアル・インタフェースなどを内蔵しています。

μPD784953Aは、μPD784956AのマスクROMを24 Kバイト、RAMを768バイトにした製品です。

μPD78F4956Aは、μPD784956AのマスクROMをフラッシュ・メモリに置き換えた製品です。

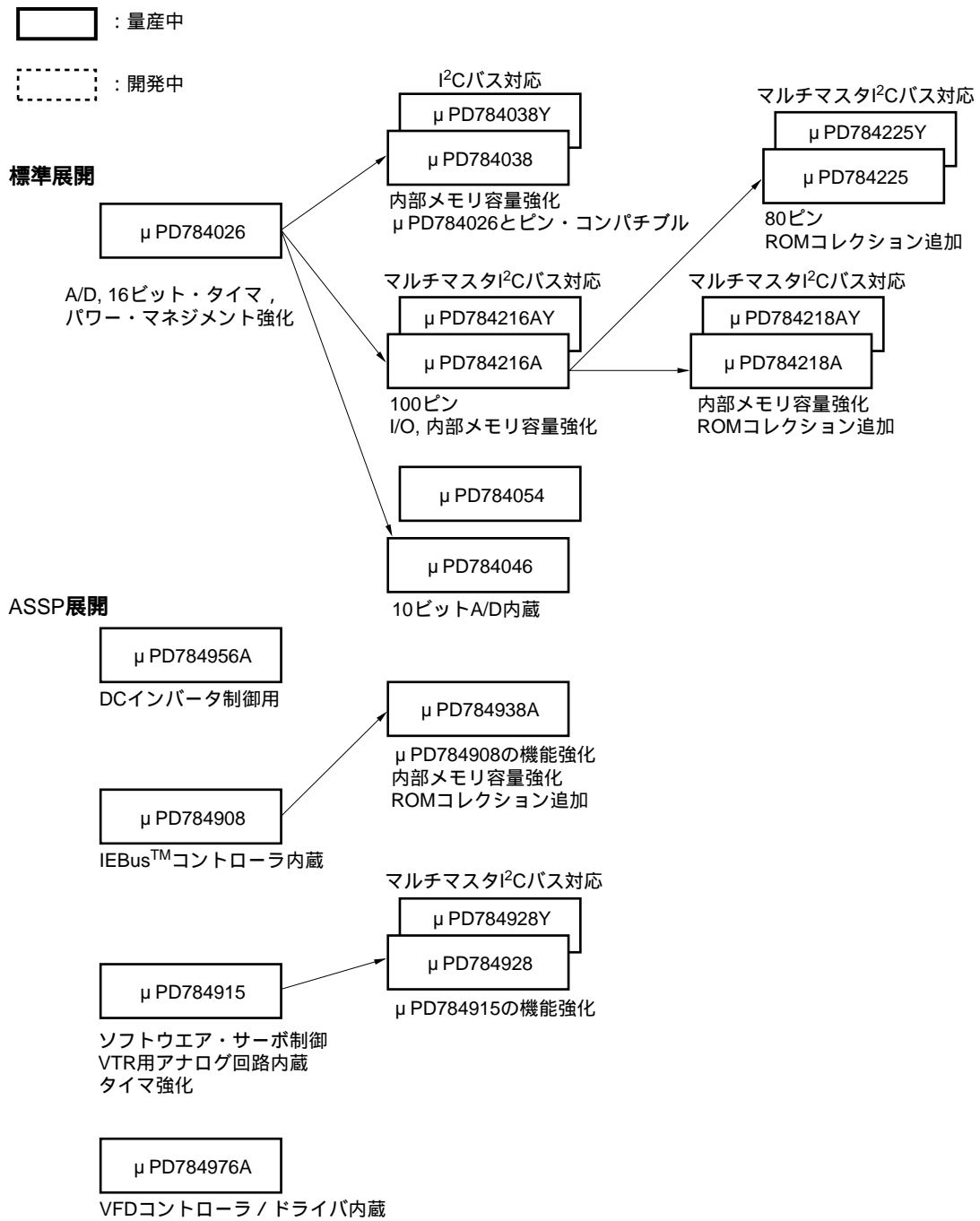
各製品の展開は、次のようになっています。



これらの製品は、次のような分野に応用できます。

- ・インバータ・エアコンなどのモータ制御

★ 78K/ シリーズ製品展開図



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが, ドキュメントによってはFIP® (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

1.1 特 徴

78K/ シリーズ (16ビットCPUコア)

最小命令実行時間: 160 ns/1280 ns ($f_{CLK} = 12.5$ MHz動作時)

制御用途に適する命令セット

内部メモリ: マスクROM	64 Kバイト (μ PD784956A)
	24 Kバイト (μ PD784953A)
フラッシュ・メモリ	64 Kバイト (μ PD78F4956A)
RAM	2048バイト (μ PD784956A, 78F4956A)
	768バイト (μ PD784953A)

I/Oポート: 67本

・ソフトウェア・プログラマブル・プルアップ: 59本

・LEDダイレクト・ドライブ: 32本

タイマ/カウンタ: 16ビット・タイマ×6ユニット

8ビット・タイマ×2ユニット

ウォッチドッグ・タイマ: 1チャンネル

シリアル・インタフェース: 2チャンネル

・UART: 1チャンネル (ボー・レート・ジェネレータ内蔵)

・CSI (3線式シリアルI/O): 1チャンネル

リアルタイム出力機能: 6ビット分解能×2チャンネル

A/Dコンバータ: 8ビット分解能×8チャンネル

割り込みコントローラ (4レベル・プライオリティ)

・ベクタ割り込み/マクロ・サービス/コンテキスト・スイッチング

スタンバイ機能

・HALT/STOP/IDLEモード

電源電圧: $V_{DD} = 4.5 \sim 5.5$ V

1.2 オーダ情報

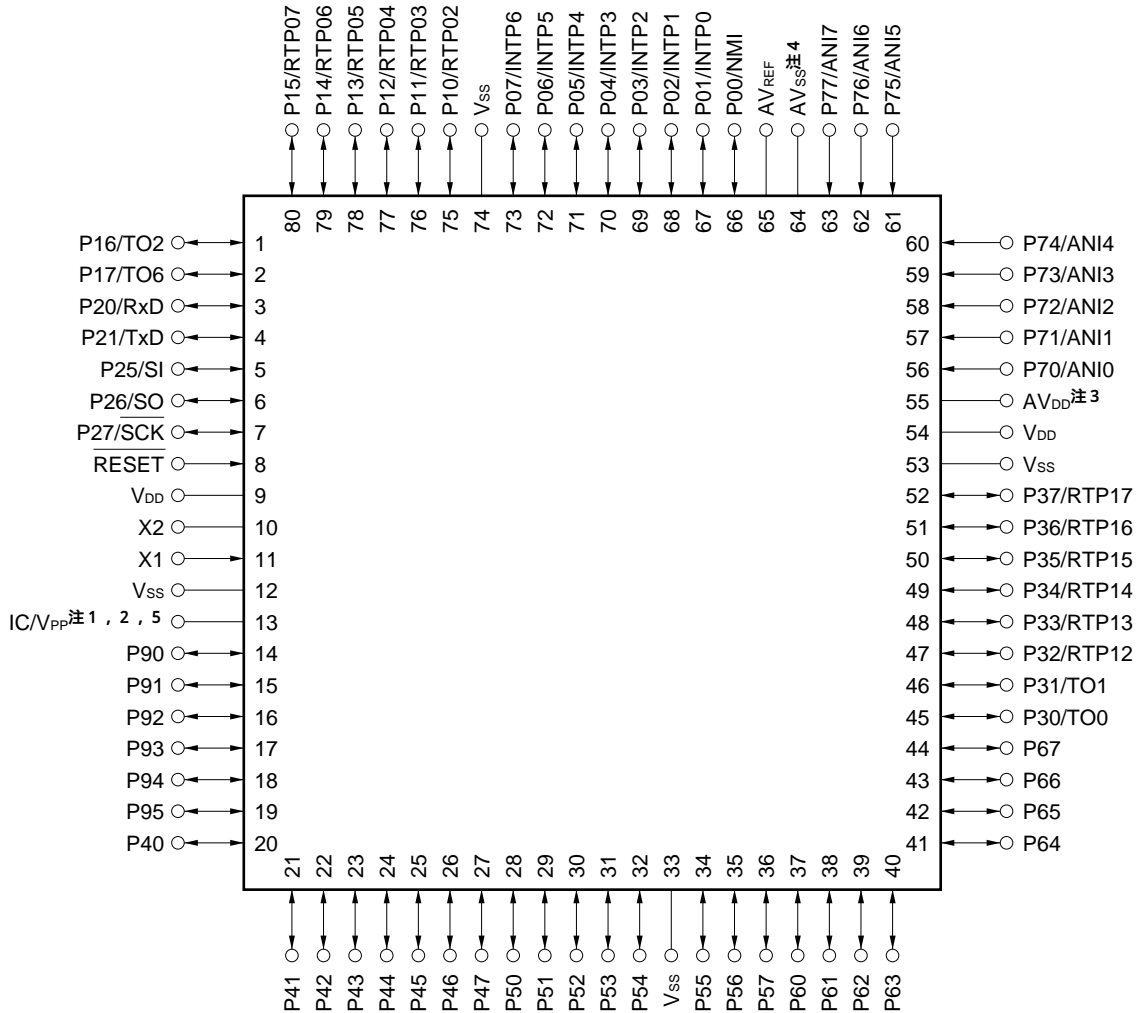
オーダ名称	パッケージ	内部ROM
μ PD784953AGC- x x x -8BT	80ピン・プラスチックQFP (14x14)	マスクROM
μ PD784956AGC- x x x -8BT	”	”
μ PD78F4956AGC-8BT	”	フラッシュ・メモリ

備考 x x x はROMコード番号です。

1.3 端子接続図 (Top View)

・80ピン・プラスチックQFP (14x14)

μ PD784953AGC-x x x -8BT, 784956AGC-x x x -8BT, 78F4956AGC-8BT

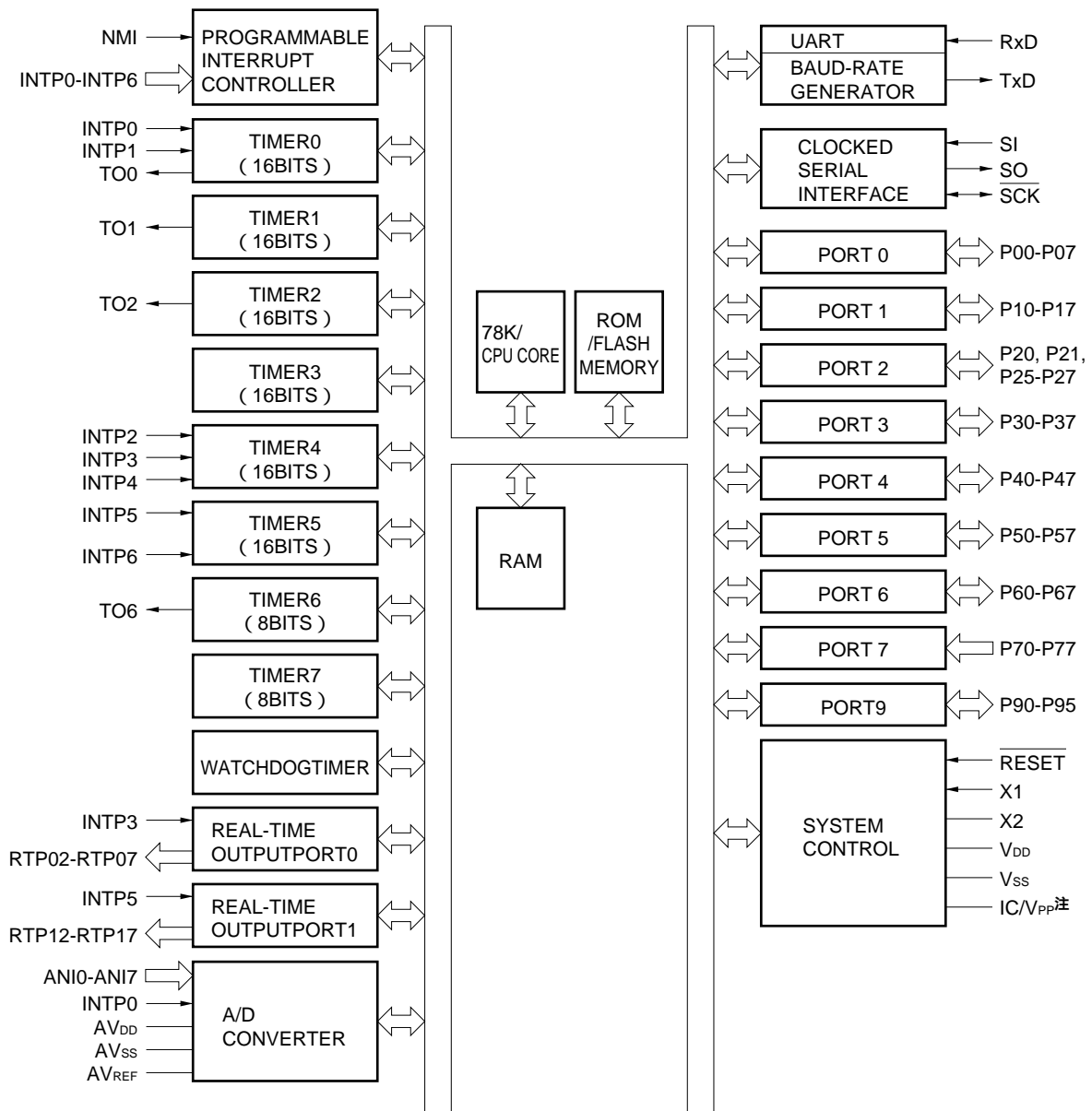


- ★ 注1．IC端子は、V_{SS}に直接接続、またはプルダウン接続してください。なお、プルダウン接続する場合には、470 Ω以上、10 kΩ以下の抵抗を介して接続することを推奨します。
- ★ 2．通常動作時のV_{PP}端子は、V_{SS}に直接接続、またはプルダウン接続してください。内蔵フラッシュ・メモリをボード実装状態で書き換えるシステムでは、V_{PP}端子はプルダウン接続してください。なお、プルダウン接続する場合には、470 Ω以上、10 kΩ以下の抵抗を介して接続することを推奨します。
- 3．AV_{DD}端子は、V_{DD}に直接接続してください。
- 4．AV_{SS}端子は、V_{SS}に直接接続してください。
- 5．V_{PP}端子はμ PD78F4956Aのみ。

ANI0-ANI7	: Analog Input	$\overline{\text{RESET}}$: Reset
AV _{DD}	: Analog Power Supply	RTP02-RTP07	: Real-Time Port0
AV _{SS}	: Analog Ground	RTP12-RTP17	: Real-Time Port1
AV _{REF}	: Analog Reference Voltage	RxD	: Receive Data
IC	: Internally Connected	$\overline{\text{SCK}}$: Serial Clock
INTP0-INTP6	: Interrupt from Peripherals	SI	: Serial Input
NMI	: Non-maskable Interrupt	SO	: Serial Output
P00-P07	: Port0	TO0-TO2, TO6	: Timer Output
P10-P17	: Port1	TxD	: Transmit Data
P20, P21, P25-P27	: Port2	V _{DD}	: Power Supply
P30-P37	: Port3	V _{PP} ^注	: Programming Power Supply
P40-P47	: Port4	V _{SS}	: Ground
P50-P57	: Port5	X1, X2	: Crystal1,2
P60-P67	: Port6		
P70-P77	: Port7		
P90-P95	: Port9		

注 V_{PP}端子はμPD78F4956Aのみ

1.4 ブロック図



注 V_{PP}端子はμPD78F4956Aのみ

備考 内部ROM, RAM容量は製品によって異なります。

1.5 機能一覧

品 名		μ PD784953A	μ PD784956A	μ PD78F4956A
項 目				
基本命令 (二モニック数)		113		
汎用レジスタ		8ビット×16×8バンク, または16ビット×8×8バンク (メモリ・マッピング)		
最小命令実行時間		160 ns/1280 ns (f _{CLK} = 12.5 MHz動作時)		
内部メモリ	ROM	24 Kバイト (マスクROM)	64 Kバイト (マスクROM)	64 Kバイト (フラッシュ・メモリ)
	RAM	768バイト	2048バイト	
I/O ポート	合計	67本		
	CMOS入力	8本		
	CMOS入出力	59本		
	付加機能 付き端子 ^注	プルアップ抵抗 付き端子	59本	
	LEDダイレクト・ ドライブ出力	32本		
リアルタイム出力ポート		6ビット×2		
タイマ/カウンタ		16ビット・タイマ0 : タイマ・カウンタ×1 キャプチャ/コンペア・レジスタ×2	パルス出力可 ・PWM出力	
		16ビット・タイマ1 : タイマ・カウンタ×1 コンペア・レジスタ×2	パルス出力可 ・PWM出力	
		16ビット・タイマ2 : タイマ・カウンタ×1 コンペア・レジスタ×2	パルス出力可 ・PWM出力	
		16ビット・タイマ3 : タイマ・カウンタ×1 コンペア・レジスタ×2		
		16ビット・タイマ4 : タイマ・カウンタ×1 キャプチャ/コンペア・レジスタ×3		
		16ビット・タイマ5 : タイマ・カウンタ×1 コンペア・レジスタ×1 キャプチャ/コンペア・レジスタ×2		
		8ビット・タイマ6 : タイマ・カウンタ×1 コンペア・レジスタ×1	パルス出力可 ・PWM出力	
		8ビット・タイマ7 : タイマ・カウンタ×1 コンペア・レジスタ×1		
シリアル・インタフェース		・ UART : 1チャンネル (ボー・レート・ジェネレータ内蔵) ・ CSI (3線式シリアルI/O) : 1チャンネル		
A/Dコンバータ		8ビット分解能×8チャンネル		
ウォッチドッグ・タイマ		1チャンネル		
スタンバイ機能		HALT/STOP/IDLEモード		
割り込み	ハードウェア要因	28要因 (外部8 (内部兼用2), 内部22)		
	ソフトウェア要因	BRK命令, BRKCS命令, オペランド・エラー		
	ノンマスクابل	内部: 1本, 外部: 1本		
	マスクابل	内部: 20本, 外部: 7本		
		・ 4レベルのプログラマブル・プライオリティ ・ 3種類の処理形態: ベクタ割り込み/マクロ・サービス/コンテキスト・スイッチング		
電源電圧		V _{DD} = 4.5 ~ 5.5 V		
パッケージ		80ピン・プラスチックQFP (14x14)		

注 付加機能付き端子は, I/O端子の中に含まれています。

1.6 μ PD784956Aサブシリーズ製品間の違い

μ PD784953A, 784956Aは、内部メモリ容量が異なるだけです。

μ PD78F4956Aは、上記製品のマスクROMを64 Kバイトのフラッシュ・メモリに置き換えた製品です。相違点を表1 - 1 に示します。

表1 - 1 μ PD784956Aサブシリーズ製品間の違い

項目 \ 品名	μ PD784953A	μ PD784956A	μ PD78F4956A
内部ROM	24 Kバイト (マスクROM)	64 Kバイト (マスクROM)	64 Kバイト (フラッシュ・メモリ)
内部RAM	768バイト	2048バイト	
内部メモリ・サイズ切り替えレジスタ (IMS)	なし		あり
IC端子	あり		なし
V _{PP} 端子	なし		あり
電気的特性, 半田付け推奨条件	個別の製品のデータ・シートを参照してください。		

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子 (1/2)

端子名称	入出力	兼用端子	機能
P00	入出力	NMI	ポート0 (P0) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子に対しては、ソフトウェアの設定により、1ビット単位で内蔵プルアップ抵抗の接続の指定可能
P01		INTP0	
P02		INTP1	
P03		INTP2	
P04		INTP3	
P05		INTP4	
P06		INTP5	
P07		INTP6	
P10	入出力	RTP02	ポート1 (P1) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子に対しては、ソフトウェアの設定により、1ビット単位で内蔵プルアップ抵抗の接続の指定可能 ・ LEDダイレクト・ドライブ可能
P11		RTP03	
P12		RTP04	
P13		RTP05	
P14		RTP06	
P15		RTP07	
P16		TO2	
P17		TO6	
P20	入出力	RxD	ポート2 (P2) : ・ 5ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子に対しては、ソフトウェアの設定により、1ビット単位で内蔵プルアップ抵抗の接続の指定可能
P21		TxD	
P25		SI	
P26		SO	
P27		SCK	
P30		入出力	
P31	TO1		
P32	RTP12		
P33	RTP13		
P34	RTP14		
P35	RTP15		
P36	RTP16		
P37	RTP17		
P40-P47	入出力	-	ポート4 (P4) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子に対しては、ソフトウェアの設定により、一括して内蔵プルアップ抵抗の接続の指定可能 ・ LEDダイレクト・ドライブ可能

(1) ポート端子 (2/2)

端子名称	入出力	兼用端子	機能
P50-P57	入出力	-	ポート5 (P5) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子に対しては、ソフトウェアの設定により、一括して内蔵ブルアップ抵抗の接続の指定可能 ・ LEDダイレクト・ドライブ可能
P60-P67	入出力	-	ポート6 (P6) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子に対しては、ソフトウェアの設定により、一括して内蔵ブルアップ抵抗の接続の指定可能
P70-P77	入力	ANI0-ANI7	ポート7 (P7) : ・ 8ビット入力専用ポート
P90-P95	入出力	-	ポート9 (P9) : ・ 6ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子に対しては、ソフトウェアの設定により、1ビット単位で内蔵ブルアップ抵抗の接続の指定可能

(2) ポート以外の端子

端子名称	入出力	兼用端子	機能	
NMI	入力	P00	ノンマスクابل割り込み要求入力	
INTP0		P01	外部割り込み要求入力	
INTP1		P02		
INTP2		P03		
INTP3		P04		
INTP4		P05		
INTP5		P06		
INTP6		P07		
RTP02-RTP07	出力	P10-P15	トリガに同期してデータを出力するリアルタイム出力ポート	
TO2		P16	16ビット・タイマ出力(16ビットPWM出力と兼用)	
TO6		P17	8ビット・タイマ出力(8ビットPWM出力と兼用)	
RxD	入力	P20	シリアル・データ入力(UART)	
TxD	出力	P21	シリアル・データ出力(UART)	
SI	入力	P25	シリアル・データ入力(3線式シリアルI/O)	
SO	出力	P26	シリアル・データ出力(3線式シリアルI/O)	
SCK	入出力	P27	シリアル・クロック入力/出力(3線式シリアルI/O)	
TO0	出力	P30	16ビット・タイマ出力(16ビットPWM出力と兼用)	
TO1		P31		
RTP12-RTP17		P32-P37	トリガに同期してデータを出力するリアルタイム出力ポート	
ANI0-ANI7	入力	P70-P77	A/Dコンバータ用アナログ電圧入力	
RESET		-	システム・リセット入力	
X1		-		システム・クロック発振用クリスタル接続
X2				
AVREF			A/D基準電圧入力	
AVDD			A/Dコンバータ用正電源。V _{DD} に接続してください。	
AVSS			A/Dコンバータ用グランド電位。V _{SS} に接続してください。	
VDD			正電源	
VSS			グランド電位	
★ IC ^{注1}			入力	V _{PP}
★ V _{PP} ^{注2}	IC	フラッシュ・メモリ・プログラミング・モード設定 プログラム書き込み/ベリファイ時の高電圧印加端子 通常動作時のV _{PP} 端子は、V _{SS} に直接接続、またはプルダウン接続してください。内蔵フラッシュ・メモリをボード実装状態で書き換えるシステムでは、V _{PP} 端子はプルダウン接続してください。なお、プルダウン接続する場合には、470 Ω以上、10 kΩ以下の抵抗を介して接続することを推奨します。		

注1 . IC端子はマスクROM製品のみ

2 . V_{PP}端子はμPD78F4956Aのみ

2.2 端子機能説明

2.2.1 通常動作モード

(1) P00-P07 (Port0) 3 ステート入出力

ポート0は、出力ラッチ付きの8ビット入出力ポートです。ポート0モード・レジスタ (PM0) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。入出力ポートとして動作する以外に外部割り込み信号端子などの制御信号入力端子としても動作します (表2-1 ポート0の動作モード参照)。また、8端子ともノイズによる誤動作を防ぐため、シュミット・トリガ入力になっています。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は00Hになります。しかし、読み込むときは端子レベルを読み込みます。

表2-1 ポート0の動作モード

端子名称	機能
P00	入出力ポート / NMI入力 ^注
P01	入出力ポート / INTP0入力 / CR00, CR01キャプチャ・トリガ入力 / A/Dコンバータの外部トリガ信号
P02	入出力ポート / INTP1入力 / CR00キャプチャ・トリガ入力
P03	入出力ポート / INTP2入力 / CR40, CR41キャプチャ・トリガ入力
P04	入出力ポート / INTP3入力 / CR40キャプチャ・トリガ入力 / リアルタイム出力ポートのトリガ信号
P05	入出力ポート / INTP4入力 / CR42キャプチャ・トリガ入力
P06	入出力ポート / INTP5入力 / CR50, CR51キャプチャ・トリガ入力 / リアルタイム出力ポートのトリガ信号
P07	入出力ポート / INTP6入力 / CR50キャプチャ・トリガ入力

注 NMI入力は、割り込み許可 / 禁止状態にかかわらず受け付けます。

(a) ポート端子としての機能

入力モード / 出力モードの指定にかかわらず、プルアップ抵抗オプション・レジスタ0 (PU0) により、1ビット単位でプルアップ抵抗を接続できます。

(b) コントロール信号入力端子としての機能

(i) NMI (Non-maskable Interrupt)

外部ノンマスクابل割り込み要求入力端子です。外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0) により、立ち上がりエッジ検出、また立ち下がりエッジ検出に指定できます。

(ii) INTP0-INTP6 (Interrupt from Peripherals)

外部割り込み要求入力端子です。INTP0-INTP6端子にプリスケアラ・モード・レジスタ0, 4, 5 (PRM0, 4, 5) で指定された有効エッジが検出されると割り込みを発生します (第8章 16ビット・タイマ0, 第12章 16ビット・タイマ4, 第13章 16ビット・タイマ5参照)。

また, INTP0-INTP6は次のように各種機能の外部トリガ入力端子としても使用します。

- ・ INTP0..... 16ビット・タイマ0のキャプチャ・トリガ入力端子,
A/Dコンバータの外部トリガ入力端子
- ・ INTP1..... 16ビット・タイマ0のキャプチャ・トリガ入力端子
- ・ INTP2..... 16ビット・タイマ4のキャプチャ・トリガ入力端子
- ・ INTP3..... 16ビット・タイマ4のキャプチャ・トリガ入力端子,
リアルタイム出力ポートのトリガ入力端子
- ・ INTP4..... 16ビット・タイマ4のキャプチャ・トリガ入力端子
- ・ INTP5..... 16ビット・タイマ5のキャプチャ・トリガ入力端子,
リアルタイム出力ポートのトリガ入力端子
- ・ INTP6..... 16ビット・タイマ5のキャプチャ・トリガ入力端子

(2) P10-P17 (Port1) 3ステート入出力

ポート1は、出力ラッチ付きの8ビット入出力ポートです。ポート1モード・レジスタ (PM1) により、1ビット単位で入力/出力の指定ができます。入力モード/出力モードの指定にかかわらず、プルアップ抵抗オプション・レジスタ (PU1) により、1ビット単位でプルアップ抵抗を接続できます。

P10-P15は6ビットのリアルタイム出力ポートとして、リアルタイム出力バッファ・レジスタ0 (RTBL0, RTBH0) の内容を任意のインターバル時間で出力できます。通常の入出力ポートかリアルタイム出力かの選択は、リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0) で行います。

P16, P17端子は、タイマ出力端子としても機能します。

また、LEDをダイレクトにドライブ可能です。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は00Hになります。しかし、読み込むときは端子レベルを読み込みます。

表2-2 ポート1の動作モード

(n = 0-7, m = 2-7)

端子名	PM1n = 1	PM1n = 0			
		RTPM0m = 1	TOE2 = 1	TOE6 = 1	左記以外
P10	I	RTP02	O	O	O
P11	I	RTP03	O	O	O
P12	I	RTP04	O	O	O
P13	I	RTP05	O	O	O
P14	I	RTP06	O	O	O
P15	I	RTP07	O	O	O
P16	I	O	TO2出力	O	O
P17	I	O	O	TO6出力	O

注意1 . RTPM0mは、リアルタイム・ポート・モード・レジスタ0 (RTPM0) のビット2-7です。

TOE2は、タイマ出力コントロール・レジスタ2 (TOC2) のビット0です。

TOE6は、タイマ・モード・コントロール・レジスタ6 (TMC6) のビット0です。

- 2 . 兼用機能の端子として使用する場合 (PM1n = 0), P1n (出力ラッチ) は“0”に設定してください。
- 3 . P10-P15を出力ポートとする場合、リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0) のビット7 (RTPOE0) を“0”に設定 (リアルタイム出力動作の禁止) し、PWM変調制御レジスタ0 (PWMC0) のビット1-7を“0”に設定 (PWM変調動作の禁止、リアルタイム出力レベルの反転禁止) してください。
- 4 . P16, P17を出力ポートとする場合、TOE2, TOE6を“0”に設定 (タイマ出力の禁止) してください。

備考 I : 入力ポート, O : 出力ポート

(3) P20, P21, P25-P27 (Port2) 3ステート入出力

ポート2は、出力ラッチ付きの5ビット入出力ポートです。ポート2モード・レジスタ (PM2) により、1ビット単位で入力/出力の指定ができます。入力モード/出力モードの指定にかかわらず、プルアップ抵抗オプション・レジスタ2 (PU2) により、1ビット単位でプルアップ抵抗を接続できます。

入出力ポート機能以外に各種コントロール信号端子としての機能を兼用しています。また動作モードは、アシンクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1) およびシリアル動作モード・レジスタ0 (CSIM0) により表2-3のようにビット単位に指定できます。

RESET入力により入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は00Hになります。しかし、読み込むときは端子レベルを読み込みます。

表2-3 ポート2の動作モード

(n = 0-7, m = 2-7)

端子名	PM2n = 1			PM2n = 0		
	RXE1 = 1	CSIE0 = 1, MODE0 = 0/1	左記以外	TXE = 1	CSIE0 = 1, MODE0 = 0	左記以外
P20	RXD	I	I	O	O	O
P21	I	I	I	TXD	O	O
P25	I	SI	I	O	O	O
P26	I	I	I	O	SO	O
P27	I	SCK ^注	I	O	SCK ^注	O

注 SCK端子は、シリアル動作モード・レジスタ0 (CSIM0) のビット2 (シリアル転送動作モード) の指定に関係なく、CSIM0のビット0, 1 (クロックの選択) の指定により機能します。SCK端子を外部クロック (SCL00, SCL01 = 00B) として機能させるには、CSIE0 = 1, PM27 = 1 (入力モード) に設定してください。

また、SCK端子を内部クロック (SCL00, SCL01 = 00B以外) として機能させるにはCSIE0 = 1, PM27 = 0 (出力モード) に設定してください。

注意1 . RXE1, TXE1は、アシンクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1) のビット6, 7です。

SCL00, SCL01, MODE0, CSIE0は、シリアル動作モード・レジスタ0 (CSIM0) のビット0, 1, 2, 7です。

- 2 . 兼用機能端子 (出力のみ) として使用する場合 (PM2n = 0), P2n (出力ラッチ) は“0”に設定してください。
- 3 . P20, P21, P25-27を出力ポートとする場合, RXE1, TXE1を“0”に設定 (UART動作の禁止) し, CSIM0のビット6, 7を“0”に設定 (SIO動作の禁止) してください。

備考 I : 入力ポート, O : 出力ポート

(a) ポート・モード

各ポートは、PM2により1ビット単位で入力/出力の指定ができます。

(b) シリアル転送動作モード

PM2, ASIM1, CSIM0の設定により、1ビット単位にコントロール端子にすることができます。

(i) RxD (Receive Data)

RxDは、アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

(ii) TxD (Transmit Data)

TxDは、アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

(iii) SI (Serial Input)

SIは、シリアル・データ入力端子です(3線式シリアルI/Oモード時)。

(iv) SO (Serial Output)

SOは、シリアル・データ出力端子です(3線式シリアルI/Oモード時)。

(v) $\overline{\text{SCK}}$ (Serial Clock)

$\overline{\text{SCK}}$ は、シリアル・クロック入出力端子です(3線式シリアルI/Oモード時)。

(4) P30-P37 (Port3) 3ステート入出力

ポート3は、出力ラッチ付きの8ビット入出力ポートです。ポート3モード・レジスタ (PM3) により、1ビット単位で入力/出力の指定ができます。入力モード/出力モードの指定にかかわらず、プルアップ抵抗オプション・レジスタ3 (PU3) により、1ビット単位でプルアップ抵抗を接続できます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

P32-P37は6ビットのリアルタイム出力ポートとして、リアルタイム出力バッファ・レジスタ1 (RTBL1, RTBH1) の内容を、任意のインターバル時間で出力できます。通常の入出力ポートかリアルタイム出力かの選択は、リアルタイム出力ポート・コントロール・レジスタ1 (RTPC1) で行います。またP30, P31端子は、タイマ出力端子としても機能します。

また、LEDをダイレクトにドライブ可能です。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は00Hになります。しかし、読み込むときは端子レベルを読み込みます。

表2-4 ポート3の動作モード

(n = 0-7, m = 2-7)

端子名	PM3n = 1	PM3n = 0			
		TOE0 = 1	TOE1 = 1	RTPM1m = 1	左記以外
P30	I	TO0出力	O	O	O
P31	I	O	TO1出力	O	O
P32	I	O	O	RTP12	O
P33	I	O	O	RTP13	O
P34	I	O	O	RTP14	O
P35	I	O	O	RTP15	O
P36	I	O	O	RTP16	O
P37	I	O	O	RTP17	O

注意1. TOE0は、タイマ出力コントロール・レジスタ0 (TOC0) のビット0です。

TOE1は、タイマ出力コントロール・レジスタ1 (TOC1) のビット0です。

RTPM1mは、リアルタイム出力ポート・モード・レジスタ1 (RTPM1) のビット2-7です。

2. 兼用機能の端子として使用する場合 (PM3n = 0), P3n (出力ラッチ) は“0”に設定してください。
3. P30, P31を出力ポートとする場合, TOE0, TOE1を“0”に設定 (タイマ出力の禁止) してください。
4. P32-P37を出力ポートとして使用する場合, リアルタイム出力ポート・コントロール・レジスタ1 (RTPC1) のビット7 (RTPOE1) を“0”に設定 (リアルタイム出力動作の禁止) し, PWM変調制御レジスタ1 (PWMC1) のビット1-7を“0”に設定 (PWM変調動作の禁止, リアルタイム出力レベルの反転禁止) してください。

備考 I : 入力ポート, O : 出力ポート

(5) P40-P47 (Port4) 3ステート入出力

ポート4は、出力ラッチ付きの8ビット入出力ポートです。ポート4モード・レジスタ (PM4) により、1ビット単位で入力/出力の指定ができます。入力モード時のみ、プルアップ抵抗オプション・レジスタ (PUO) により、8ビット単位でプルアップ抵抗を接続できます。

また、LEDをダイレクトにドライブ可能です。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は00Hになります。しかし、読み込むときは端子レベルを読み込みます。

(6) P50-P55 (Port5) 3ステート入出力

ポート5は、出力ラッチ付きの8ビット入出力ポートです。ポート5モード・レジスタ (PM5) により、1ビット単位で入力/出力の指定ができます。入力モード時のみ、プルアップ抵抗オプション・レジスタ (PUO) により、8ビット単位でプルアップ抵抗を接続できます。

また、LEDをダイレクトにドライブ可能です。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は00Hになります。しかし、読み込むときは端子レベルを読み込みます。

(7) P60-P67 (Port6) 3ステート入出力

ポート6は、出力ラッチ付きの8ビット入出力ポートです。ポート6モード・レジスタ (PM6) により、1ビット単位で入力/出力の指定ができます。入力モード時のみ、プルアップ抵抗オプション・レジスタ (PUO) により、8ビット単位でプルアップ抵抗を接続できます。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は00Hになります。しかし、読み込むときは端子レベルを読み込みます。

(8) P70-P77 (Port7) 3ステート入力

ポート7は、8ビット入力専用ポートです。入力ポートとして動作する以外に、A/Dコンバータ用アナログ入力の端子 (ANI0-ANI7) としても動作します。プルアップ抵抗を内蔵していません。

(a) ポート・モード

8ビット入力専用ポートとして機能します。

(b) コントロール・モード

A/Dコンバータ用アナログ入力の端子 (ANI0-ANI7) としても動作します。アナログ入力として指定した端子を読み出したときの値は不定です。

(9) P90-P95 (Port9) 3ステート入出力

ポート9は、出力ラッチ付きの6ビット入出力ポートです。ポート9モード・レジスタ (PM9) により、1ビット単位で入力/出力の指定ができます。入力モード/出力モードの指定にかかわらず、プルアップ抵抗オプション・レジスタ9 (PU9) により、1ビット単位でプルアップ抵抗を接続できます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は00Hになります。しかし、読み込むときは端子レベルを読み込みます。

(10) AV_{REF}

A/Dコンバータの基準電圧入力端子です。

(11) AV_{DD}

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

(12) AV_{SS}

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

(13) $\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

(14) X1, X2

システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

(15) V_{DD}

V_{DD}は、正電源端子です。

(16) V_{SS}

V_{SS}は、グランド電位端子です。

(17) V_{PP} (μ PD78F4956Aのみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

- ★ 通常動作時のV_{PP}端子は、V_{SS}に直接接続、またはプルダウン接続してください。内蔵フラッシュ・メモリをボード実装状態で書き換えるシステムでは、V_{PP}端子はプルダウン接続してください。なお、プルダウン接続する場合には、470 Ω 以上、10 k Ω 以下の抵抗を介して接続することを推奨します。

(18) IC (マスクROM製品のみ)

- ★ ICのテストに使用する端子です。必ずV_{SS}に直接接続またはプルダウン接続してください。なお、プルダウン接続する場合には、470 Ω 以上、10 k Ω 以下の抵抗を介して接続することを推奨します。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2-5に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

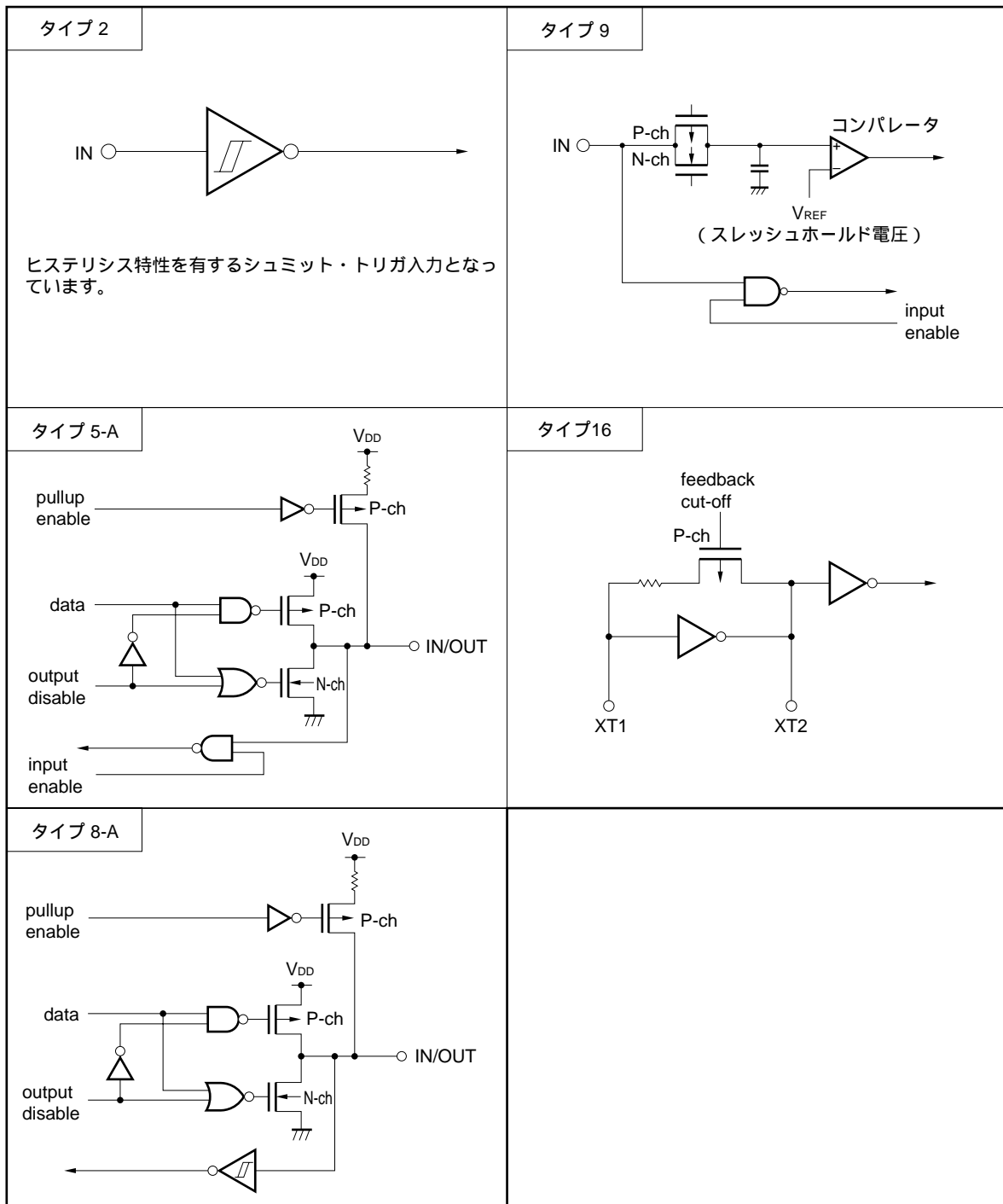
表2-5 各端子の入出力回路タイプと未使用端子の処理

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/NMI	8-A	入出力	入力時：個別に抵抗を介して、V _{SS} またはV _{DD} に接続してください。 出力時：オープンにしてください。
P01/INTP0			
P02/INTP1			
P03/INTP2			
P04/INTP3			
P05/INTP4			
P06/INTP5			
P07/INTP6			
P10/RTP02-P15/RTP07	5-A		
P16/TO2			
P17/TO6			
P20/RxD	8-A		
P21/TxD	5-A		
P25/SI	8-A		
P26/SO	5-A		
P27/SCK	8-A		
P30/TO0	5-A		
P31/TO1			
P32/RTP12-P36/RTP17			
P40-P47			
P50-P57			
P60-P67			
P70/ANI0-P77/ANI7			
P90-P95	5-A	入出力	入力時：個別に抵抗を介して、V _{SS} またはV _{DD} に接続してください。 出力時：オープンにしてください。
X1	16	入力	-
X2		-	
RESET	2	入力	
AV _{DD}	-	-	V _{DD} に接続してください。
AV _{REF}			V _{SS} に接続してください。
AV _{SS}			
IC			V _{SS} に直接接続してください。
V _{PP} ^注			

注 V_{PP}端子はμPD78F4956Aのみ

備考 タイプ番号は78Kシリーズで統一しているため、各製品内では連番とは限りません（内蔵しない回路あり）。

図2-1 端子の入出力回路



第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD784956Aは、LOCATION命令によって、内部データ領域（特殊機能レジスタおよび内部RAM）のマッピングを選択できます。また、LOCATION命令は、リセット解除後に必ず実行する必要があるため、2回以上使用することはできません。

リセット解除後のプログラムは、次ようになっていなければならない必要があります。

```
RETVCT   CSEG   AT0
          DW     RSTSTRT
          }
INITSEG   CSEG   BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
          MOVG   SP, STKBGN
```

(1) LOCATION 0H命令を実行した場合

・内部メモリ

内部データ領域と内部ROM領域は、次のようになります。

品名	内部データ領域	内部ROM領域
μPD784953A	0FC00H-0FFFFH	00000H-05FFFFH
μPD784956A	0F700H-0FFFFH	00000H-0F6FFFH
μPD78F4956A	0F700H-0FFFFH	00000H-0F6FFFH

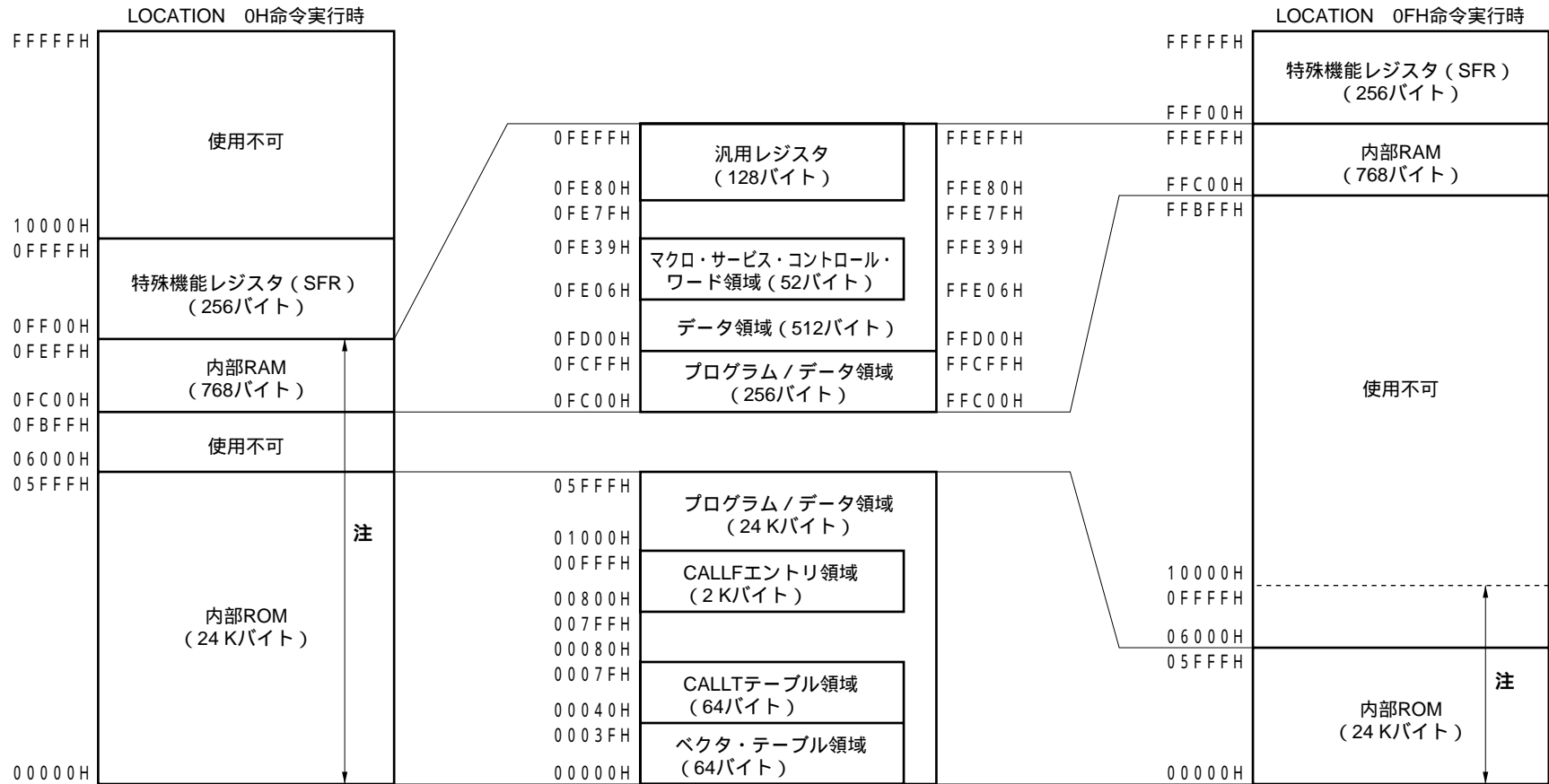
(2) LOCATION 0FH命令を実行した場合

・内部メモリ

内部データ領域と内部ROM領域は、次のようになります。

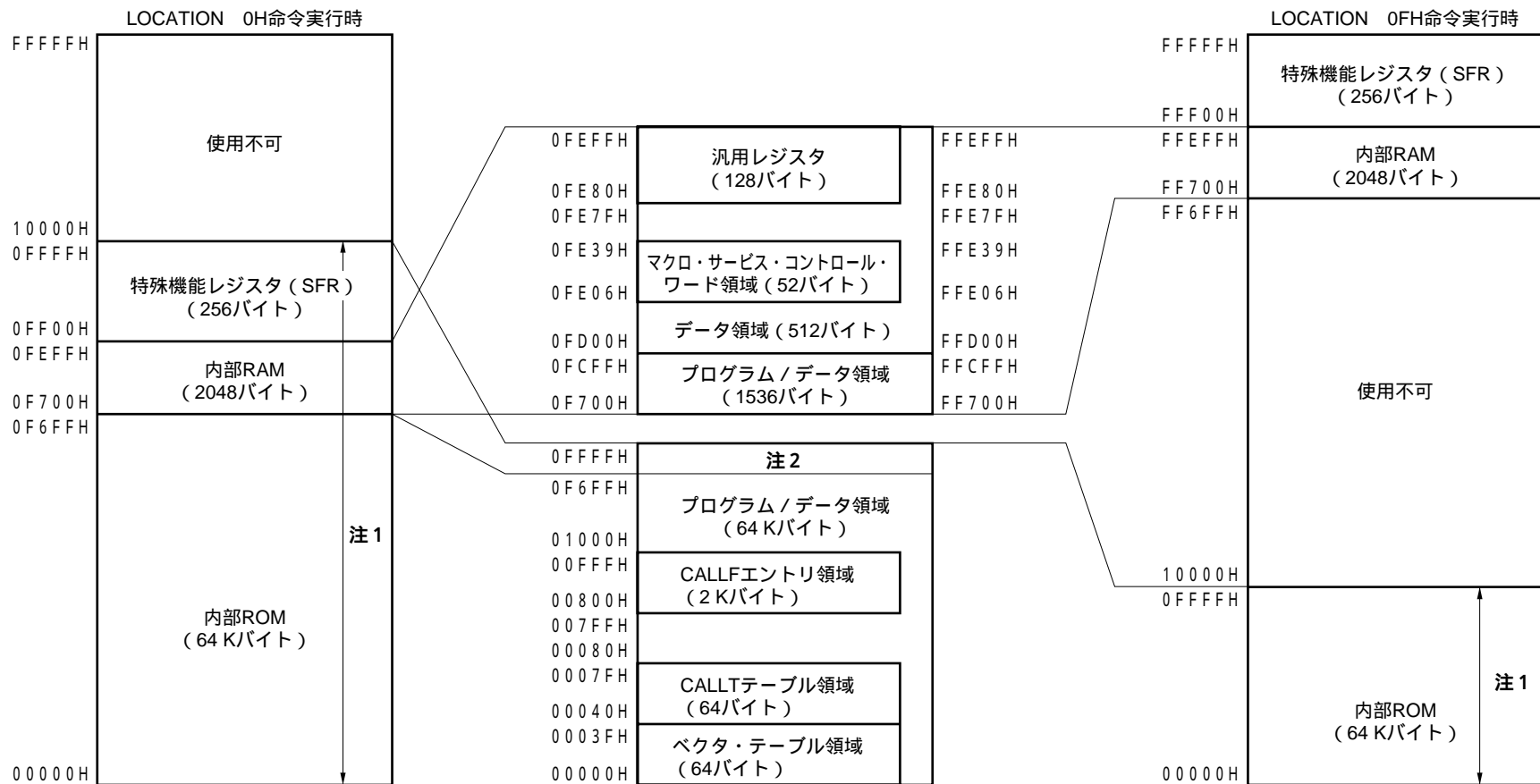
品名	内部データ領域	内部ROM領域
μPD784953A	FFC00H-FFFFFFH	00000H-05FFFFH
μPD784956A	FF700H-FFFFFFH	00000H-0FFFFH
μPD78F4956A	FF700H-FFFFFFH	00000H-0FFFFH

図3 - 1 μPD784953Aのメモリ・マップ



注 ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く。

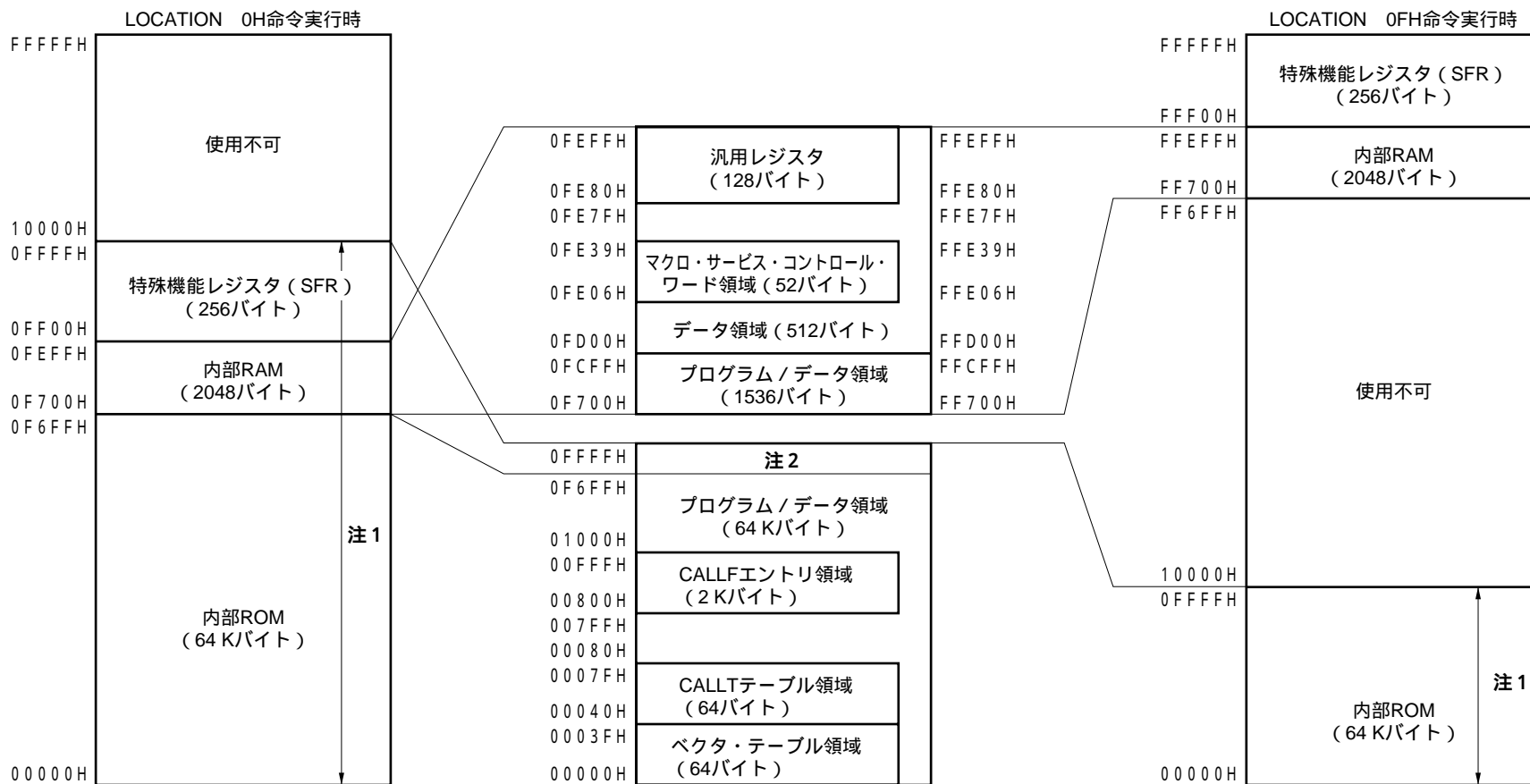
図3 - 2 μPD784956Aのメモリ・マップ



注1．ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く。

2．この領域の2304バイトは，LOCATION 0FH命令実行時のみ，内部ROMとして使用できます。

図3 - 3 μPD78F4956Aのメモリ・マップ



注1．ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く。

2．この領域の2304バイトは，LOCATION 0FH命令実行時のみ，内部ROMとして使用できます。

3.2 内部ROM領域

μPD784956Aは、ROMを内蔵しており、プログラムやテーブル・データなどを格納できます。

なお、LOCATION 0H命令実行時に内部ROM領域と内部データ領域が重なった場合は、内部データ領域がアクセスの対象となり、重なった部分の内部ROM領域はアクセスできません。

品名	内部ROM	アドレス空間	
		LOCATION 0H命令	LOCATION 0FH命令
μPD784953A	24 K × 8 ビット	00000H-05FFFFH	00000H-05FFFFH
μPD784956A	64 K × 8 ビット	00000H-0F6FFFH	00000H-0FFFFFFH
μPD78F4956A	64 K × 8 ビット	00000H-0F6FFFH	00000H-0FFFFFFH

内部ROMは、高速にアクセスすることが可能です。通常は、1バイト単位に6システム・クロックでフェッチするようになっており、メモリ拡張モード・レジスタ(MM)のIFCHビットをセット(1)することにより、高速フェッチ機能が使用され、内部ROMのフェッチを高速(2バイト単位に2システム・クロックでフェッチする)に行うようになります。

3.3 ベース領域

0-FFFFHの空間は、ベース領域となっています。次の用途については、ベース領域が対象となります。

- ・リセットのエントリ・アドレス
- ・割り込みのエントリ・アドレス
- ・CALLT命令のエントリ・アドレス
- ・16ビット・イミディエイト・アドレッシング・モード（命令アドレスのアドレッシング時）
- ・16ビット・ダイレクト・アドレッシング・モード
- ・16ビット・レジスタ・アドレッシング・モード（命令アドレスのアドレッシング時）
- ・16ビット・レジスタ・インダイレクト・アドレッシング・モード
- ・ショート・ダイレクト16ビット・メモリ・インダイレクト・アドレッシング・モード

また、ベース領域には、ベクタ・テーブル領域、CALLT命令テーブル領域、CALLF命令エントリ領域が割り付けられています。

なお、LOCATION 0H命令実行時には、内部データ領域がベース領域内に配置されます。内部データ領域のうち、内部高速RAM領域および特殊機能レジスタ（SFR）領域からは、プログラムのフェッチは行えませんので注意が必要です。また、内部RAM領域のデータは、初期化を行ってから使用してください。

3.3.1 ベクタ・テーブル領域

00000H-0003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域にRESET入力、各割り込み要求発生により分岐する場合のプログラム・スタート・アドレスを格納しておきます。また、各割り込みでコンテキスト・スイッチングを使用する場合に、切り替え先のレジスタ・バンクの番号を格納します。

なお、ベクタ・テーブルとして使用していない部分は、プログラム・メモリまたはデータ・メモリとして使用できます。

ベクタ・テーブルに書ける値は、16ビットの値です。したがって、分岐できるのはベース領域のみです。

表3 - 1 ベクタ・テーブル・アドレス

割り込み要因	ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス
BRK命令	0 0 3 E H	INTTM20	0 0 1 C H
オペランド・エラー	0 0 3 C H	INTTM21	0 0 1 E H
RESET(リセット入力)	0 0 0 0 H	INTTM30	0 0 2 0 H
NMI	0 0 0 2 H	INTTM31	0 0 2 2 H
INTWDT	0 0 0 4 H	INTTM40	0 0 2 4 H
INTP0	0 0 0 6 H	INTTM42	0 0 2 6 H
INTP1	0 0 0 8 H	INTTM50	0 0 2 8 H
INTP2/INTTM41	0 0 0 A H	INTTM52	0 0 2 A H
INTP3	0 0 0 C H	INTTM6	0 0 2 C H
INTP4	0 0 0 E H	INTTM7	0 0 2 E H
INTP5/INTTM51	0 0 1 0 H	INTSER1	0 0 3 0 H
INTP6	0 0 1 2 H	INTSR1	0 0 3 2 H
INTTM00	0 0 1 4 H	INTST1	0 0 3 4 H
INTTM01	0 0 1 6 H	INTCSI0	0 0 3 6 H
INTTM10	0 0 1 8 H	INTAD	0 0 3 8 H
INTTM11	0 0 1 A H		

3.3.2 CALLT命令テーブル領域

00040H-0007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エン트리・アドレスを格納することができます。

CALLT命令では、このテーブルを参照し、テーブル中に書かれているベース領域のアドレスへサブルーチンとして分岐します。CALLT命令は1バイトであるため、プログラム中で記述回数の多いサブルーチン・コールをCALLT命令とすることで、プログラムのオブジェクト・サイズを圧縮することが可能です。なお、テーブルには最大32個のサブルーチン・エン트리・アドレスを記述できますので、記述頻度の多い順に登録することをお勧めします。

また、CALLT命令のテーブルとして使用しない場合は、通常のプログラム・メモリまたはデータ・メモリとして使用可能です。

3.3.3 CALLF命令エン트리領域

00800H-00FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

CALLF命令は、2バイトのコール命令であるため、直接サブルーチン・コールのCALL命令（3バイトまたは4バイト）を使用した場合に比べ、オブジェクト・サイズを圧縮することが可能です。

高速性を活かしたいときには、この領域に直接サブルーチンを記述することが有効です。

オブジェクト・サイズを小さくしたい場合には、この領域に無条件分岐（BR）命令を記述し、サブルーチン本体はこの領域外に置くことで、5カ所以上からコールされているサブルーチンについて、オブジェクト・サイズの圧縮が図れます。この場合、CALLFエン트리領域中ではBR命令の4バイトしか場所をとらないため、多くのサブルーチンでオブジェクト・サイズの圧縮が可能です。

3.4 内部データ領域

内部データ領域は、内部RAM領域、特殊機能レジスタ領域で構成される領域です（図3-1～図3-3参照）。

内部データ領域は、LOCATION命令によって、内部データ領域の最終アドレスを0FFFFH（LOCATION 0H命令実行時）にするか、FFFFFFH（LOCATION 0FH命令実行時）にするかを選択できます。このLOCATION命令による内部データ領域のアドレスの選択は、リセット解除直後に必ず1回実行する必要があるため、一度選択したあとは、変更することはできません。リセット解除後のプログラムは、例のようにしている必要があります。内部データ領域と他の領域が同一アドレスに割り当てられた場合は、内部データ領域がアクセスの対象となり、他の領域にはアクセスできません。

```

例 RSTVCT  CSEG  AT 0
      DW    RSTSTRT
      {
INITSEG  CSEG  BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
      MOVG  SP, #STKBGN
    
```

注意 LOCATION 0H命令実行時には、リセット解除後のプログラムが内部データ領域に重ならないようにする必要があります。また、NMIなどのマスク不可能な割り込み処理ルーチンのエントリ・アドレスも、内部データ領域と重ならないようにしてください。なお、マスカブル割り込みのエントリ領域などについては、内部データ領域を参照する前に初期化を行う必要があります。

3.4.1 内部RAM領域

μPD784956Aは、汎用スタティックRAMを内蔵しています。

この領域は、次のように構成されています。

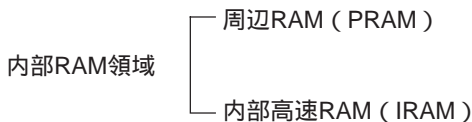


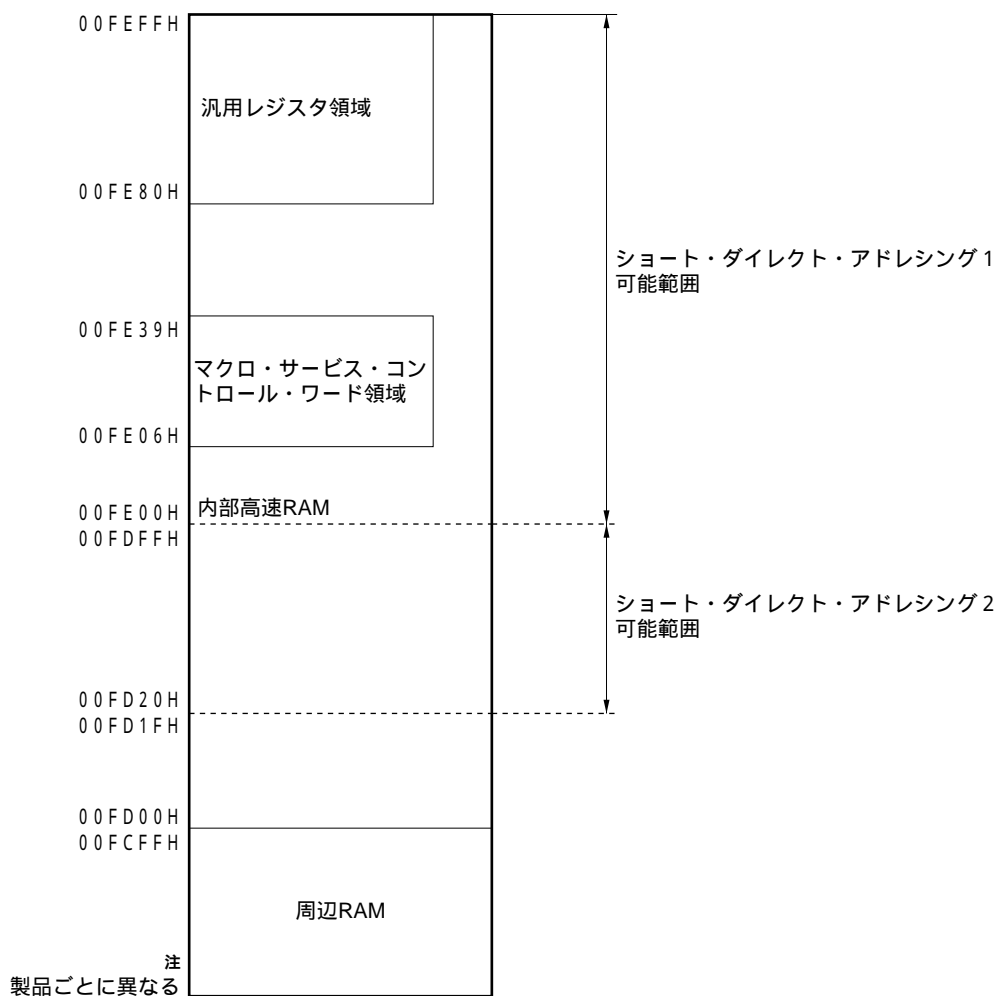
表3-2 内部RAM領域一覧

品名	内部RAM領域		
		周辺RAM : PRAM	内部高速RAM : IRAM
μPD784953A	768バイト (0FC00H-0FEFFH)	256バイト (0FC00H-0FCFFH)	512バイト (0FD00H-0FEFFH)
μPD784956A	2048バイト	1536バイト	
μPD78F4956A	(0F700H-0FEFFH)	(0F700H-0FCFFH)	

備考 表中のアドレスは、LOCATION 0H命令実行時の値です。LOCATION 0FH命令実行時には、上記の値に0F0000Hを加えてください。

内部RAMのメモリ・マップを図3 - 4に示します。

図3 - 4 内部RAMのメモリ・マップ



注 μ PD784953A : 00FC00H
μ PD784956A, 78F4956A : 00F700H

備考 図中のアドレスは、LOCATION 0H命令実行時の値です。LOCATION 0FH命令実行時には、上記の値に0F0000Hを加えてください。

(1) 内部高速RAM (IRAM)

内部高速RAM (IRAM) は、高速アクセスが可能です。このうち、FD20H-FEFFFHは、高速アクセス用のショート・ダイレクト・アドレッシング・モードが使用できます。ショート・ダイレクト・アドレッシング・モードには、その対象となるアドレスにより、ショート・ダイレクト・アドレッシング1とショート・ダイレクト・アドレッシング2の2種類があります。いずれのアドレッシング・モードも、その機能は同一です。一部の命令では、ショート・ダイレクト・アドレッシング2は、ショート・ダイレクト・アドレッシング1より語長が短くなっています。詳細は、78 K/ シリーズ ユーザーズ・マニュアル 命令編 (U10905J) を参照してください。

IRAMから、プログラムのフェッチを行うことはできません。IRAMが、マッピングされているアドレスからプログラムのフェッチを行うと、CPUは暴走します。

また、IRAMには、次の領域が予約されています。

- ・汎用レジスタ領域 : FE80H-FEFFFH
- ・マクロ・サービス・コントロール・ワード領域 : FE06H-FE39H
- ・マクロ・サービス・チャンネル領域 : FE00H-FEFFFH (アドレスは、マクロ・サービス・コントロール・ワードで指定します)

これらの領域で、予約されている機能を使用していない場合は、通常のリデータ・メモリとして使用できます。

備考 本文中のアドレスは、LOCATION 0H命令実行時のアドレスです。LOCATION 0FH命令実行時には、本文中の値に0F0000Hを加えてください。

(2) 周辺RAM (PRAM)

周辺RAM (PRAM) は、普通のプログラム・メモリまたはデータ・メモリとして使用します。プログラム・メモリとして使用する場合は、事前に、プログラムによって周辺RAMにプログラムを書き込んでおく必要があります。

なお、周辺RAMからのプログラム・フェッチは、2バイト単位に2クロックで行うことができるため高速です。

3.4.2 特殊機能レジスタ (SFR) 領域

0FF00H-0FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) がマッピングされています (図3 - 1 ~ 図3 - 3 参照)。

注意 この領域内で、SFRのマッピングされていないアドレスをアクセスしないでください。誤ってアクセスすると、CPUがデッドロック状態になることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

備考 本文中のアドレスは、LOCATION 0H命令実行時のアドレスです。LOCATION 0FH命令実行時には、本文中の値に0F0000Hを加えてください。

3.5 μ PD78F4956Aのメモリ・マッピング

μ PD78F4956Aは、フラッシュ・メモリを64 Kバイト、内部RAMを2048バイト内蔵しています。

μ PD78F4956Aは、ソフトウェアにより内部メモリの一部を使用しないようにするための機能（メモリ・サイズ切り替え機能）を内蔵しています。

メモリ・サイズは、内部メモリ・サイズ切り替えレジスタ（IMS）によって切り替えます。

IMSを設定することにより、内部メモリ（ROM, RAM）容量の異なるマスクROM製品のメモリ・マップと同一のメモリ・マップにすることができます。

IMSは、8ビット・メモリ操作命令で書き込みのみ可能です。

RESET入力により、FFHになります。

図3 - 5 内部メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：0FFFCH リセット時：FFH W

略号	7	6	5	4	3	2	1	0
IMS	1	1	ROM1	ROM0	1	1	RAM1	RAM0

ROM1	ROM0	内部ROM容量の選択
0	0	24 Kバイト
0	1	設定禁止
1	0	設定禁止
1	1	64 Kバイト

RAM1	RAM0	内部RAM容量の選択
0	0	768バイト
0	1	設定禁止
1	0	
1	1	2048バイト

注意 IMSは、マスクROM製品（ μ PD784953A, 784956A）にはありません。

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表3 - 3に示します。

表3 - 3 内部メモリ・サイズ切り替えレジスタ（IMS）の設定値

対象のマスクROM製品	IMSの設定値
μ PD784953A	CCH
μ PD784956A	FFH

3.6 制御レジスタ

制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

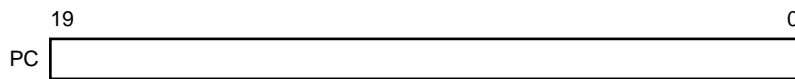
3.6.1 プログラム・カウンタ（PC）

次に実行するプログラムのアドレス情報を保持する20ビット・バイナリ・カウンタです（図3-6参照）。

通常、フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐を伴う命令を実行した場合、イミューディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0番地と1番地の16ビット・データがPCの下位16ビットに、0000がPCの上位4ビットにセットされます。

図3-6 プログラム・カウンタ（PC）のフォーマット



3.6.2 プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワード（PSW）は、命令の実行の結果によってセット、リセットされる各種フラグで構成される16ビット・レジスタです。

上位8ビット（PSWH）、下位8ビット（PSWL）単位でリード・アクセス/ライト・アクセスします。また、ビット操作命令により、各フラグの操作ができます。

PSWの内容は、ベクタ割り込み要求の受け付け時、およびBRK命令の実行時に自動的にスタックに退避し、RETI命令またはRETB命令の実行時に自動的に復帰します。また、コンテキスト・スイッチング使用時には、RP3に自動的に退避し、RETCS命令またはRETCSB命令の実行時に自動的に復帰します。

$\overline{\text{RESET}}$ 入力により、全ビットがリセット（0）されます。

図3-7で“0”と書かれているビットには、必ず“0”を書き込んでください。また、“-”と書かれているビットの内容は、読み出し時には不定となります。

図3-7 プログラム・ステータス・ワード（PSW）のフォーマット

略号	7	6	5	4	3	2	1	0
PSWH	UF	RBS2	RBS1	RBS0	-	-	-	-
PSWL	S	Z	RSS	AC	IE	P/V	0	CY

各フラグについて、次に示します。

(1) キャリー・フラグ (CY)

演算結果のキャリー，ボローを記憶するフラグです。

また，シフト・ローテート命令実行時は，シフト・アウトされた値を記憶し，ビット操作命令実行時は，ビット・アキュムレータとして機能します。

CYフラグの状態は，条件付き分岐命令でテストできます。

(2) パリティ/オーバーフロー・フラグ (P/V)

P/Vフラグは，演算命令の実行に伴い，次の2種類の動作をします。

P/Vフラグの状態は，条件付き分岐命令でテストできます。

・パリティ・フラグ動作

論理演算命令，シフト・ローテート命令，CHKL, CHKLA命令の実行の結果，セット(1)されたビット数が偶数のときにはセット(1)されます。奇数のときにはリセット(0)されます。ただし，16ビットのシフト命令の場合，演算結果の下位8ビットのみパリティ・フラグに有効です。

・オーバーフロー・フラグ動作

算術演算命令の実行の結果，2の補数で表現される数値範囲を越えたときのみセット(1)されます。それ以外ときにはリセット(0)されます。具体的には，MSBからのキャリーとMSBへのキャリーの排他的論理和の結果が，このフラグの内容になります。たとえば，8ビットの算術演算では，2の補数の範囲は80H (-128) ~ 7FH (+127) であり，演算結果がこの範囲以外になったときセット(1)され，範囲内のときはリセット(0)されます。

例 8ビット加算命令実行時のオーバーフロー・フラグの動作を次に示します。

78H (+120) と69H (+105) の加算を行うと，演算結果がE1H (+225) となり，2の補数の上限を越えるため，P/Vフラグがセット(1)されます。また，2の補数表現で，E1Hは-31になります。

$$\begin{array}{r}
 78H (+120) = \quad 0111 \ 1000 \\
 +) \underline{69H (+105)} = +) \underline{0110 \ 1001} \\
 \quad \quad \quad 0 \ 1110 \ 0001 = -31 \ P/V = 1
 \end{array}$$

CY

また，次のような2つの負数の加算は，演算結果が2つの補数の範囲内にあるため，P/Vフラグはリセット(0)されます。

$$\begin{array}{r}
 FBH (-5) = \quad 1111 \ 1011 \\
 +) \underline{F0H (-16)} = +) \underline{1111 \ 0000} \\
 \quad \quad \quad 1 \ 1110 \ 1011 = -21 \ P/V = 0
 \end{array}$$

CY

(3) 割り込み要求許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

“0”のときは割り込み禁止となり、ノンマスクブル割り込み、およびマスク解除したマクロ・サービスのみ受け付けが可能となります。それ以外は、すべて禁止されます。

“1”のときは割り込み許可状態となり、割り込み要求受け付けの許可は、各割り込み要求に対応する割り込みマスク・フラグおよび各割り込みの優先順位により制御されます。

EI命令実行によりセット(1)され、DI命令実行または割り込みの受け付けでリセット(0)されます。

(4) 補助キャリー・フラグ (AC)

演算の結果、ビット3からのキャリーがあったとき、またはビット3へのポローがあったときにセット(1)されます。それ以外のときにはリセット(0)されます。

ADJBA, ADJBS命令実行時に使用されます。

(5) レジスタ・セット選択フラグ (RSS)

X, A, C, Bとして機能する汎用レジスタ、およびAX, BCとして機能する汎用レジスタ・ペア(16ビット)を指定するフラグです。

このフラグは、78K₁ シリーズとの互換性を保つために用意されているフラグです。78K₁ シリーズ用のプログラムを流用する場合を除いて、必ず0にしてください。

(6) ゼロ・フラグ (Z)

演算の結果が“0”であることを記憶するフラグです。

演算の結果が“0”のときにセット(1)されます。それ以外のときにはリセット(0)されます。Zフラグの状態は、条件付き分岐命令でテストできます。

(7) サイン・フラグ (S)

演算の結果、MSBが“1”であることを記憶するフラグです。

演算の結果、MSBが“1”のときにセット(1)されます。“0”のときにはリセット(0)されます。

Sフラグの状態は、条件付き分岐命令でテストできます。

(8) レジスタ・バンク選択フラグ (RBS0-RBS2)

8個のレジスタ・バンク(レジスタ・バンク0-レジスタ・バンク7)のうち、1つを選択する3ビットのフラグです(表3-4参照)。

SEL RBN命令の実行などにより選択されたレジスタ・バンクを示す3ビットの情報が格納されています。

表3-4 レジスタ・バンクの選択

RBS2	RBS1	RBS0	指定レジスタ・バンク
0	0	0	レジスタ・バンク0
0	0	1	レジスタ・バンク1
0	1	0	レジスタ・バンク2
0	1	1	レジスタ・バンク3
1	0	0	レジスタ・バンク4
1	0	1	レジスタ・バンク5
1	1	0	レジスタ・バンク6
1	1	1	レジスタ・バンク7

(9) ユーザ・フラグ (UF)

ユーザ・プログラム上でセットおよびリセットし、プログラムの制御に利用できるフラグです。

3.6.3 RSSビットの使用方法

基本的にRSSビットは、常時、0に固定して使用してください。

次の説明は、78K/ シリーズ用のプログラムを流用する場合で、流用するプログラムがRSSビットを1にしている場合のための説明です。RSSビットを0に固定して使用する場合には読む必要はありません。

RSSビットは、A (R1)、X (R0)、B (R3)、C (R2)、AX (RP0)、BC (RP1)の持っている機能をR4-R7 (RP2, RP3) レジスタでも使用できるようにするためのビットです。このビットを有効に使用することで、プログラム・サイズやプログラムの実行に関して効率の良いプログラムを作成することができます。

しかし、不用意に使用すると思わぬ不具合が発生することがあります。したがって、通常は、RSSビットは0にして使用してください。RSSビットを1にして使用するのは、78K/ シリーズ用のプログラムを流用する場合だけにしてください。

すべてのプログラム中で、RSSビットを0にして使用することにより、プログラム作成およびデバッグ作業の効率が向上します。

RSSビットを1にして使用しているプログラムを流用する場合でも、可能であれば、RSSビットを1にしないプログラムへ修正してから流用することを推奨します。

(1) RSSビットの仕様

オペレーション一覧 (26.2 参照) で、オペランド欄にA, X, B, C, AXレジスタが直接記載されている命令で使用するこれらのレジスタ

インプライド・アドレッシングにより、A, AX, B, Cレジスタを使用する命令で、インプライドで指定されるレジスタ

インデクスト・アドレッシング、ベースト・インデクスト・アドレッシングでA, B, Cレジスタを使用する命令で、アドレッシング時に使用するレジスタ

これらの場合に使用するレジスタをRSSビットによって、次のように切り替えます。

・RSS = 0の場合

A R1, X R0, B R3, C R2, AX RP0, BC RP1

・RSS = 1の場合

A R5, X R4, B R7, C R6, AX RP2, BC RP3

前述以外で使用するレジスタは、RSSビットの内容にかかわらず常に同一のレジスタになります。NEC製のアセンブラ (RA78K4) では、A, X, B, C, AX, BCレジスタについて、この名前で記述されている場合にどちらのレジスタ用の命令コードを生成するかは、アセンブラのRSS疑似命令で決定されます。

RSSビットをセット、リセットする場合には、その命令の直前 (または直後) に、必ずRSS疑似命令を記述してください (下記例参照)。

プログラム例

- ・RSS = 0 にする場合

```
RSS 0 ; RSS疑似命令
CLR1 PSWL. 5
MOV B, A ; この記述は, "MOV R3, R1" に該当します。
```

- ・RSS = 1 にする場合

```
RSS 1 ; RSS疑似命令
SET1 PSWL. 5
MOV B, A ; この記述は, "MOV R7, R5" に該当します。
```

(2) RA78K4での命令コードの生成方法

- ・RA78K4では、命令のオペレーション一覧のオペランド欄にAまたはAXが直接記載されている命令と同機能の命令がある場合、オペランド欄にAまたはAXが直接記載されている命令コードを優先して生成します。

例 MOV A, r命令でrをBとした場合と、MOV r, r'命令でrをA, r'をBとした場合では同一の機能です。また、アセンブラのソース・プログラム上では同一の記述(MOV A, B)となります。この場合、RA78K4は、MOV A, r命令に相当するコードを生成します。

- ・オペランド欄にr, r', rp, rp'が指定されている命令で、A, X, B, C, AX, BCが記述された場合、RA78K4のRSS疑似命令のオペランドによって、A, X, B, C, AX, BC命令はそれぞれ次のレジスタを指定する命令コードを生成します。

レジスタ	RSS = 0	RSS = 1
A	R1	R5
X	R0	R4
B	R3	R7
C	R2	R6
AX	RP0	RP2
BC	RP1	RP3

- ・オペランド欄のr, r', rp, rp'にR0-R7, RP0-RP4を記述した場合、その指定どおりの命令コードを出力します(オペランド欄にA, AXが直接記載されている命令コードは出力しません)。
- ・インデクスト・アドレッシング、ベースト・インデクスト・アドレッシングで使用するA, B, Cレジスタは、R1, R3, R2やR5, R7, R6といった記述はできません。

(3) 使用上の注意

RSSビットを切り替えることで、2組のレジスタ・セットを持つと同様の効果が得られます。しかし、プログラムの静的な記述とプログラム実行時の動的なRSSビットの変化を常に一致するように、十分に注意をしてプログラムを記述しなければなりません。

また、RSS=1にしたプログラムは、コンテキスト・スイッチング機能を使用しているプログラムでは使用できないので、プログラムの流用性が悪くなります。さらに、同一の名称で異なるレジスタを使用するため、プログラムの可読性が悪くなり、デバッグ作業が難しくなります。したがって、RSS=1として使用しなければならぬ場合は、これらの欠点を十分に考慮のうえ、プログラムを作成してください。

なお、RSSビットで指定されないレジスタは、絶対名称を記述することによりアクセスできます。

3.6.4 スタック・ポインタ (SP)

スタック領域 (LIFO形式: 00000H-FFFFFFH) の先頭アドレスを保持する24ビット・レジスタです (図3 - 8 参照)。サブルーチン処理や割り込み処理時にスタック領域をアドレスするために使用されます。

上位4ビットには、必ず“0”を書き込んでください。

SPの内容は、スタック領域への書き込み前にデクリメントされ、スタック領域からの読み出し後にインクリメントされます (図3 - 9, 図3 - 10参照)。

SPは、専用命令によりアクセスします。

SPの内容は、RESET入力により不定になりますので、リセット解除直後に (サブルーチン・コールや割り込みを受け付ける前に) 必ず初期化プログラムによりSPをイニシャライズしてください。

例 SPのイニシャライズ

```
MOVG SP, #0FEE0H ; SP 0FEE0H (FEDFHから使用の場合)
```

図3 - 8 スタック・ポインタ (SP) のフォーマット

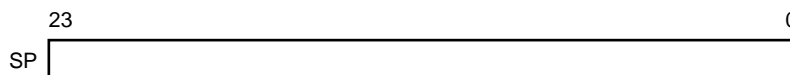


図3-9 スタック領域へ退避されるデータ

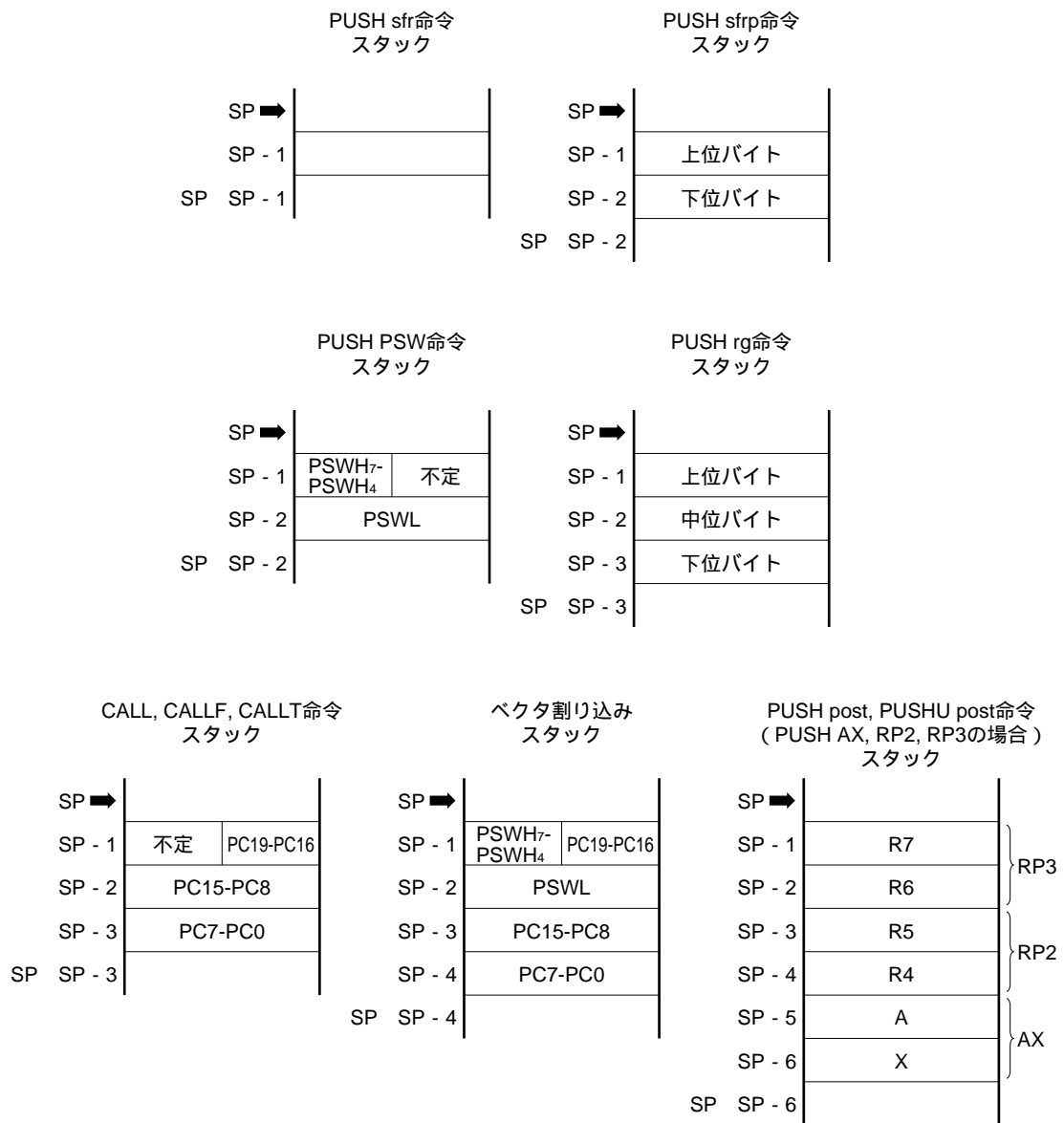
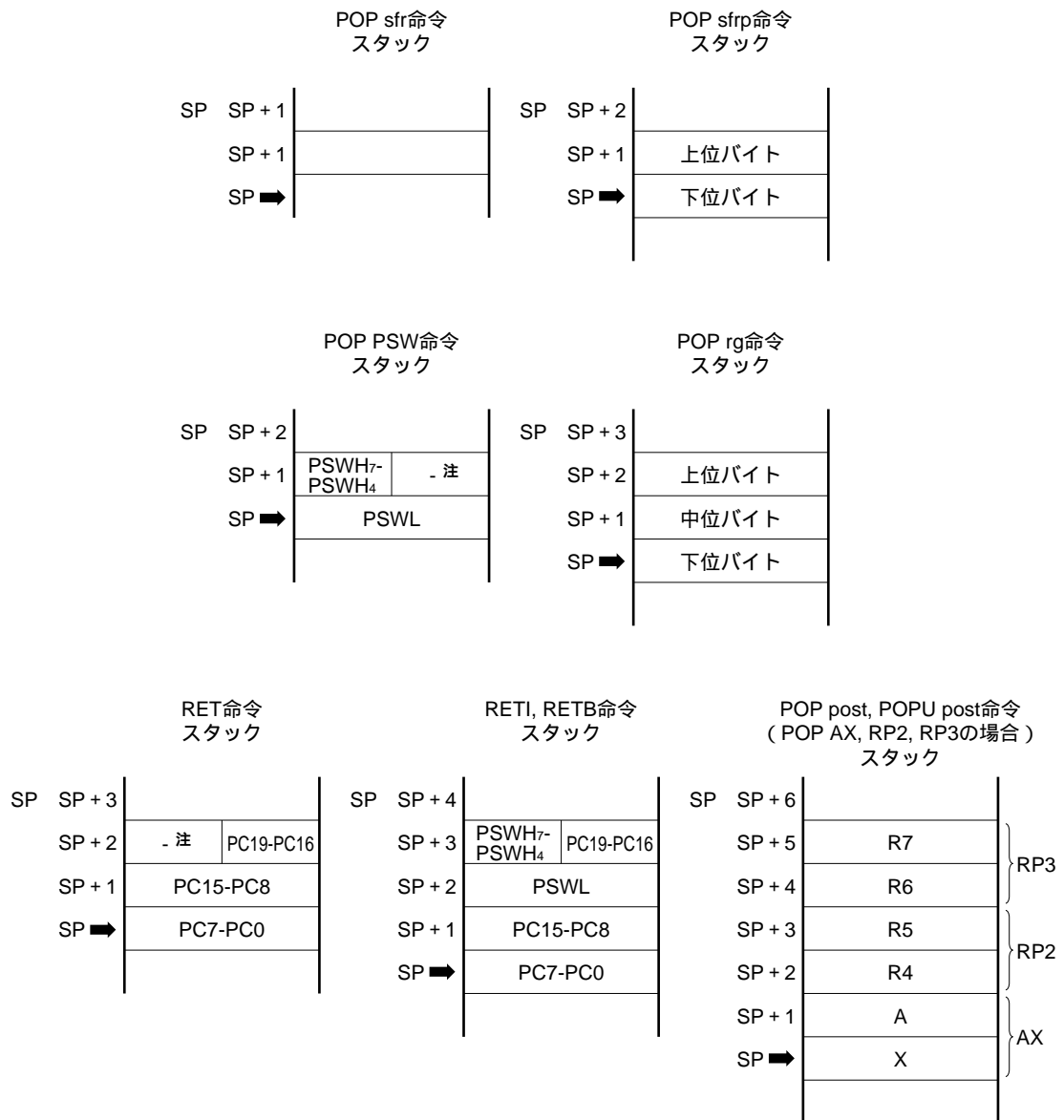


図3-10 スタック領域から復帰されるデータ



注 この4ビットのデータは無視されます。

- 注意1. スタック・アドレッシングでは、1Mバイトすべての空間でアクセス可能ですが、SFR領域および内部ROM領域にスタック・エリアを確保することはできません。
2. スタック・ポインタ (SP) は、 $\overline{\text{RESET}}$ 入力により不定になります。また、SPが不定の状態でもノンマスカブル割り込みは受け付け可能です。したがって、リセット解除直後のSPが不定な状態でノンマスカブル割り込みの要求が発生すると、予期しない動作を行う場合があります。この危険を回避するために、リセット解除後のプログラムは、必ず次のようにしてください。

```
RSTVCT  CSEG  AT 0
        DW   RSTSTRT
        }

INITSEG  CSEG  BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
        MOVG SP, #STKBGN
```

3.6.5 メモリ拡張モード・レジスタ (MM)

MMIは、内部フェッチ・サイクルの制御を行う8ビット・レジスタです。

1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

図3-11に、MMのフォーマットを示します。

$\overline{\text{RESET}}$ 入力により、20Hになります。

図3-11 メモリ拡張モード・レジスタ (MM) のフォーマット

アドレス : 0FFC4H リセット時 : 20H R/W

略号	7	6	5	4	3	2	1	0
MM	IFCH	0	0	0	0	0	0	0

IFCH	内部ROMフェッチ
0	通常フェッチ (6サイクル=1バイトの命令にてフェッチを行う)
1	高速フェッチ (2サイクル=1ワード (2バイト)の命令にてフェッチを行う)

注意 リセット後は、必ず80Hを設定してください。

3.7 汎用レジスタ

3.7.1 構成

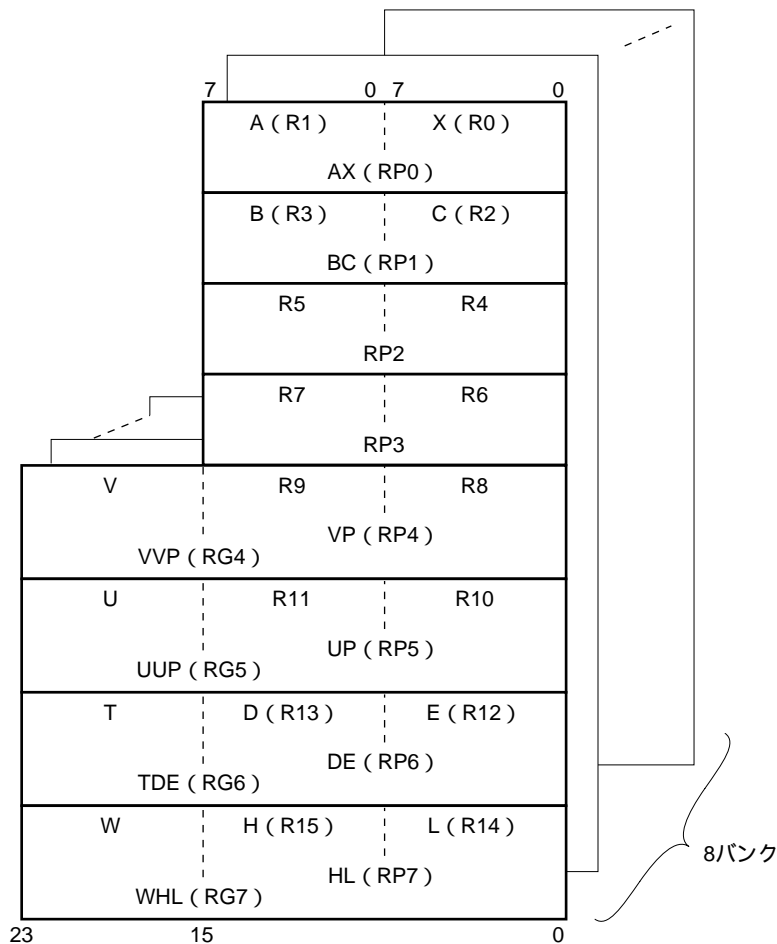
8ビットの汎用レジスタ16本で構成されています。また、8ビット汎用レジスタ2本を組み合わせて、16ビット汎用レジスタとして使用することもできます。さらに、16ビット汎用レジスタのうち4本は、アドレス拡張用の8ビット・レジスタと組み合わせて、24ビット・アドレス指定用レジスタとして使用することができます。

アドレス拡張用のV, U, T, Wレジスタを除いた汎用レジスタは、内部RAMにマッピングされています。

これらのレジスタ・セットは、8バンク用意されており、ソフトウェアまたはコンテキスト・スイッチング機能により切り替えて使用することができます。

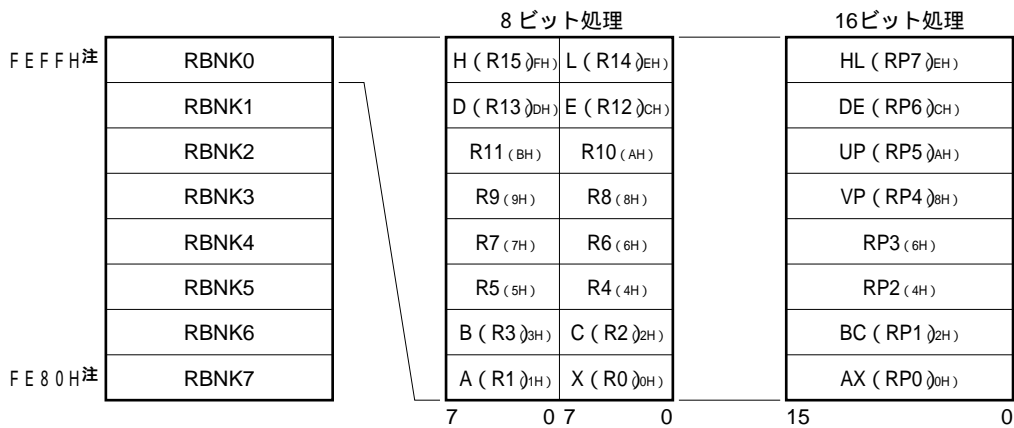
RESET入力により、レジスタ・バンク0が選択されます。また、実行中のプログラムで使用しているレジスタ・バンクは、PSW内のレジスタ・バンク選択フラグ (RBS0, RBS1, RBS2) を読み出すことによって確認できます。

図3 - 12 汎用レジスタのフォーマット



備考 ()内は絶対名称です。

図3 - 13 汎用レジスタのアドレス



注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時のアドレスは、上記の値に0F0000Hを加えた値

注意 R4, R5, R6, R7, RP2, RP3は、PSWのRSSビットを1にすることで、それぞれ、X, A, C, B, AX, BCレジスタとして使用することができますが、この機能を使用するのは78K/ シリーズ用のプログラムを流用する場合だけにしてください。

備考 レジスタ・バンクを変更する場合で、元のレジスタ・バンクに戻す必要がある場合は、PUSH PSW命令でPSWをスタックへ退避してからSEL RBn命令を実行してください。元に戻すときは、スタックの位置に変化がなければPOP PSW命令で戻せます。

なお、ベクタ割り込み処理プログラムなどでレジスタ・バンクを変更する場合には、PSWは割り込みの受け付け時に自動的にスタックへ退避され、RETI, RETB命令で復帰されますので、割り込み処理ルーチンで使用するレジスタ・バンクが1つの場合には、単にSEL RBn命令を実行するだけで、PUSH PSWやPOP PSW命令を実行する必要はありません。

例 レジスタ・バンク2を指定する場合

```

...
PUSH PSW
SEL RB2 } レジスタ・バンク2で動作
...
POP PSW }
...
元レジスタ・バンクで動作

```

3.7.2 機能

汎用レジスタは、それぞれ8ビット単位で操作できるほか、2個の8ビット・レジスタがペアとなって16ビット単位で操作することもできます。また、16ビット・レジスタのうち4本は、アドレス拡張用の8ビット・レジスタと組み合わせて24ビット単位で操作できます。

また、各レジスタは、演算結果の一時保管や、レジスタ間演算命令のオペランドとして汎用的に使用することが可能です。

0FE80H-0FEFFH (LOCATION 0H命令実行時。LOCATION 0FH命令実行時は0FFE80H-0FEFFH) の領域は、汎用レジスタ・エリアとして使用する、しないにかかわらず、通常のデータ・メモリとしてアドレス指定し、アクセスすることができます。

78K/ シリーズでは、8つのレジスタ・バンクを持っているので、通常の処理と割り込み時の処理でレジスタ・バンクを使い分けることにより、効率のよいプログラムを作成できます。

各レジスタは、それぞれ次に示す固有機能を持っています。

A (R1) :

- ・ 8ビット・データの転送や演算処理の中心となるレジスタです。8ビット・データに対するすべてのアドレッシング・モードと組み合わせて使用できます。
- ・ ビット・データの格納にも使用できます。
- ・ インデクスト・アドレッシング、ベースト・インデクスト・アドレッシング時のオフセット値を格納するレジスタとして使用できます。

X (R0) :

- ・ ビット・データの格納に使用できます。

AX (RP0) :

- ・ 16ビット・データの転送や演算処理の中心となるレジスタです。16ビット・データに対するすべてのアドレッシング・モードと組み合わせて使用できます。

AXDE :

- ・ DIVUX, MACW, MACSW命令実行時に、32ビット・データの格納用として使用されます。

B (R3) :

- ・ ループ・カウンタとしての機能を持っており、DBNZ命令で使用できます。
- ・ インデクスト・アドレッシング、ベースト・インデクスト・アドレッシング時のオフセット値を格納するレジスタとして使用できます。
- ・ MACW, MACSW命令のデータ・ポインタとして使用します。

C (R2) :

- ・ ループ・カウンタとしての機能を持っており、DBNZ命令で使用できます。
- ・ ベースト・インデクスト・アドレッシング時のオフセット値を格納するレジスタとして使用できます。
- ・ スtring命令, SACW命令のカウンタとして使用します。
- ・ MACW, MACSW命令のデータ・ポインタとして使用します。

RP2 :

- ・コンテキスト・スイッチング使用時に、プログラム・カウンタ (PC) の下位16ビットを退避するために使用します。

RP3 :

- ・コンテキスト・スイッチング使用時に、プログラム・カウンタ (PC) の上位4ビットおよびプログラム・ステータス・ワード (PSW) (PSWHのビット0-3を除く) を退避するために使用します。

VVP (RG4) :

- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング、ベースト・インデクスト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。

UUP (RG5) :

- ・ユーザ・スタック・ポインタとしての機能を持っており、PUSHU, POPU命令により、システム・スタックとは別のスタックを実現することができます。
- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。

DE (RP6), HL (RP7) :

- ・インデクスト・アドレッシング、ベースト・インデクスト・アドレッシング時には、オフセット値を格納するレジスタとして動作します。

TDE (RG6) :

- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。
- ・ストリング命令, SACW命令のポインタとして動作します。

WHL (RG7) :

- ・24ビット・データの転送や演算処理の中心となるレジスタです。
- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。
- ・ストリング命令, SACW命令のポインタとして動作します。

各レジスタは、それぞれの固有機能を重視した機能名称 (X, A, C, B, E, D, L, H, AX, BC, VP, UP, DE, HL, VVP, UUP, TDE, WHL) のほか、絶対名称 (R0-R15, RP0-RP7, RG4-RG7) でも記述することができます。対応は、表3 - 5を参照してください。

表3 - 5 機能名称-絶対名称の対応

(a) 8ビット・レジスタ

絶対名称	機能名称	
	RSS = 0	RSS = 1 ^注
R0	X	
R1	A	
R2	C	
R3	B	
R4		X
R5		A
R6		C
R7		B
R8		
R9		
R10		
R11		
R12	E	E
R13	D	D
R14	L	L
R15	H	H

(b) 16ビット・レジスタ

絶対名称	機能名称	
	RSS = 0	RSS = 1 ^注
RP0	AX	
RP1	BC	
RP2		AX
RP3		BC
RP4	VP	VP
RP5	UP	UP
RP6	DE	DE
RP7	HL	HL

(c) 24ビット・レジスタ

絶対名称	機能名称
RG4	VVP
RG5	UUP
RG6	TDE
RG7	WHL

注 RSS = 1として使用するのは、78K/ シリーズ用のプログラムを流用する場合だけにしてください。

備考 R8-R11には機能名称はありません。

3.8 特殊機能レジスタ (SFR)

内蔵周辺ハードウェアのモード・レジスタ、コントロール・レジスタなどの特別な機能が割り付けられたレジスタで、0FF00H-0FFFFH[※]の256バイトの空間にマッピングされています。

注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFF00H-FFFFFH

注意 この領域内で、SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、 μ PD784956Aがデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

表3 - 6 に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

略号	内蔵されたSFRを示す記号。NEC製アセンブラ (RA78K4) では予約語になっています。 Cコンパイラ (CC78K4) では# pragma sfr指令により、sfr変数として使用できます。
R/W	該当するSFRが読み出し / 書き込みが可能かどうかを示します。 R/W : 読み出し (Read) / 書き込み (Write) 可能 R : 読み出し (Read) のみ W : 書き込み (Write) のみ
操作可能ビット単位	...	該当するSFRを操作する場合に、適応可能な操作ビット単位を示します。 16ビット操作可能なSFRはオペランドのsfrpに記述でき、アドレスで指定する場合は偶数アドレスを記述します。 1ビット操作可能なSFRは、ビット操作命令に記述できます。
リセット時	RESET \bar 入力時の各レジスタの状態を示します。

表3-6 特殊機能レジスタ(SFR)一覧(1/4)

アドレス ^{注1}	特殊機能レジスタ(SFR)	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FF00H	ポート0	P0	R/W			-	00H ^{注2}
0FF01H	ポート1	P1				-	
0FF02H	ポート2	P2				-	
0FF03H	ポート3	P3				-	
0FF04H	ポート4	P4				-	
0FF05H	ポート5	P5				-	
0FF06H	ポート6	P6				-	
0FF07H	ポート7	P7	R			-	
0FF09H	ポート9	P9	R/W			-	
0FF10H	16ビット・タイマ・カウンタ0	TM0	R	-	-		0000H
0FF11H							
0FF12H	16ビット・キャプチャ/コンペア・レジスタ00 (16ビット・タイマ/イベント・カウンタ)	CR00	R/W	-	-		不定
0FF13H							
0FF14H	16ビット・キャプチャ/コンペア・レジスタ01 (16ビット・タイマ/イベント・カウンタ)	CR01		-	-		
0FF15H							
0FF16H	キャプチャ/コンペア・コントロール・レジスタ0	CRC0				-	00H
0FF18H	16ビット・タイマ・モード・コントロール・レジスタ0	TMC0				-	
0FF1AH	タイマ出力コントロール・レジスタ0	TOC0				-	
0FF1CH	プリスケアラ・モード・レジスタ0	PRM0				-	
0FF20H	ポート0モード・レジスタ	PM0				-	FFH
0FF21H	ポート1モード・レジスタ	PM1				-	
0FF22H	ポート2モード・レジスタ	PM2				-	
0FF23H	ポート3モード・レジスタ	PM3				-	
0FF24H	ポート4モード・レジスタ	PM4				-	
0FF25H	ポート5モード・レジスタ	PM5				-	
0FF26H	ポート6モード・レジスタ	PM6				-	
0FF29H	ポート9モード・レジスタ	PM9				-	
0FF30H	ブルアップ抵抗オプション・レジスタ0	PU0				-	00H
0FF31H	ブルアップ抵抗オプション・レジスタ1	PU1				-	
0FF32H	ブルアップ抵抗オプション・レジスタ2	PU2				-	
0FF33H	ブルアップ抵抗オプション・レジスタ3	PU3				-	
0FF39H	ブルアップ抵抗オプション・レジスタ9	PU9				-	
0FF3CH	16ビット・コンペア・レジスタ10	CR10		-	-		不定
0FF3DH							
0FF3EH	16ビット・コンペア・レジスタ11	CR11		-	-		
0FF3FH							
0FF42H	16ビット・コンペア・レジスタ20	CR20		-	-		
0FF43H							
0FF4EH	ブルアップ抵抗オプション・レジスタ	PUO				-	00H
0FF50H	8ビット・タイマ・カウンタ6	TM6		-	-		
0FF51H	8ビット・タイマ・カウンタ7	TM7		-	-		
0FF52H	8ビット・コンペア・レジスタ6	CR6		-	-		不定
0FF53H	8ビット・コンペア・レジスタ7	CR7		-	-		

注1 . LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F0000H ”を加えます。

2 . リセットにより各ポートは入力モードに初期化されるので、実際に“ 00H ”が読み出されるわけではありません。出力ラッチは“ 0 ”に初期化されます。

表3-6 特殊機能レジスタ(SFR)一覧(2/4)

アドレス ^注	特殊機能レジスタ(SFR)	略号	R/W	操作可能ビット単位			リセット時		
				1ビット	8ビット	16ビット			
0FF54H	タイマ・モード・コントロール・レジスタ6	TMC6	R/W			-	00H		
0FF55H	タイマ・モード・コントロール・レジスタ7	TMC7				-			
0FF56H	タイマ・クロック選択レジスタ6	TCL6				-			
0FF57H	タイマ・クロック選択レジスタ7	TCL7				-			
0FF60H	16ビット・タイマ・カウンタ1	TM1	R	-	-		0000H		
0FF61H									
0FF62H	16ビット・タイマ・カウンタ2	TM2		-	-				
0FF63H									
0FF64H	16ビット・タイマ・カウンタ3	TM3		-	-				
0FF65H									
0FF66H	16ビット・タイマ・カウンタ4	TM4		-	-				
0FF67H									
0FF68H	16ビット・タイマ・カウンタ5	TM5		-	-				
0FF69H									
0FF6BH	16ビット・タイマ・モード・コントロール・レジスタ1	TMC1		R/W				-	00H
0FF6CH	16ビット・タイマ・モード・コントロール・レジスタ2	TMC2						-	
0FF6DH	16ビット・タイマ・モード・コントロール・レジスタ3	TMC3				-			
0FF6EH	16ビット・タイマ・モード・コントロール・レジスタ4	TMC4				-			
0FF6FH	16ビット・タイマ・モード・コントロール・レジスタ5	TMC5				-			
0FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1			-				
0FF72H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R			-			
0FF74H	送信シフト・レジスタ1	TXS1	W	-		-	FFH		
	受信バッファ・レジスタ1	RXB1	R	-		-			
0FF76H	ポーレート・ジェネレータ・コントロール・レジスタ1	BRGC1	R/W			-	00H		
0FF78H	16ビット・コンペア・レジスタ21	CR21	R/W	-	-		不定		
0FF79H									
0FF7BH	タイマ出力コントロール・レジスタ1	TOC1				-	00H		
0FF7CH	タイマ出力コントロール・レジスタ2	TOC2				-			
0FF7DH	キャプチャ/コンペア・コントロール・レジスタ4	CRC4				-			
0FF7EH	キャプチャ/コンペア・コントロール・レジスタ5	CRC5				-			
0FF80H	A/Dコンバータ・モード・レジスタ0	ADM0				-			
0FF81H	アナログ入力チャネル指定レジスタ0	ADS0				-			
0FF83H	A/D変換結果レジスタ0	ADCR0		R	-	-		-	不定
0FF85H	プリスケアラ・モード・レジスタ1	PRM1		R/W				-	00H
0FF86H	プリスケアラ・モード・レジスタ2	PRM2					-		
0FF87H	プリスケアラ・モード・レジスタ3	PRM3					-		
0FF88H	プリスケアラ・モード・レジスタ4	PRM4				-			
0FF89H	プリスケアラ・モード・レジスタ5	PRM5				-			
0FF8AH	16ビット・コンペア・レジスタ30	CR30	R/W	-	-		不定		
0FF8BH									
0FF8EH	16ビット・コンペア・レジスタ31	CR31		-	-		00H		
0FF8FH									
0FF90H	シリアル動作モード・レジスタ0	CSIM0				-	00H		
0FF94H	シリアルI/Oシフト・レジスタ0	SIO0			-	-			

注 LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“F0000H”を加えます。

表3-6 特殊機能レジスタ (SFR) 一覧 (3/4)

アドレス ^注	特殊機能レジスタ (SFR)	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
0FF96H	リアルタイム出力バッファ・レジスタL0	RTBL0	R/W	-		-	00H	
0FF97H	リアルタイム出力バッファ・レジスタH0	RTBH0		-		-		
0FF98H	リアルタイム出力ポート・モード・レジスタ0	RTPM0				-		
0FF99H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0				-		
0FF9AH	リアルタイム出力バッファ・レジスタL1	RTBL1		-		-		
0FF9BH	リアルタイム出力バッファ・レジスタH1	RTBH1		-		-		
0FF9CH	リアルタイム出力ポート・モード・レジスタ1	RTPM1				-		
0FF9DH	リアルタイム出力ポート・コントロール・レジスタ1	RTPC1				-		
0FFA0H	外部割り込み立ち上がりエッジ許可レジスタ	EGP0				-		xxxxxx0B
0FFA2H	外部割り込み立ち下がりエッジ許可レジスタ	EGN0				-		
0FFA4H	PWM変調制御レジスタ0	PWMC0				-		
0FFA5H	PWM変調制御レジスタ1	PWMC1				-		
0FFA6H	PWM変調バッファ・レジスタ0	BFPWMC0				-		
0FFA7H	PWM変調バッファ・レジスタ1	BFPWMC1				-		
0FFA8H	インサースビス・プライオリティ・レジスタ	ISPR	R		-			
0FFAAH	割り込みモード・コントロール・レジスタ	IMC	R/W			-	80H	
0FFACH	割り込みマスク・フラグ・レジスタ0L	MK0L		MK0				FFFFH
0FFADH	割り込みマスク・フラグ・レジスタ0H	MK0H						
0FFAEH	割り込みマスク・フラグ・レジスタ1L	MK1L		MK1				
0FFAFH	割り込みマスク・フラグ・レジスタ1H	MK1H						
0FFB0H	16ビット・キャプチャ/コンペア・レジスタ40	CR40	-	-		不定		
0FFB1H								
0FFB2H	16ビット・キャプチャ/コンペア・レジスタ41	CR41	-	-				
0FFB3H								
0FFB4H	16ビット・キャプチャ/コンペア・レジスタ42	CR42	-	-				
0FFB5H								
0FFB6H	16ビット・キャプチャ/コンペア・レジスタ50	CR50	-	-				
0FFB7H								
0FFB8H	16ビット・キャプチャ/コンペア・レジスタ51	CR51	-	-				
0FFB9H								
0FFBEH	16ビット・コンペア・レジスタ52	CR52	-	-				
0FFBFH								
0FFC0H	スタンバイ・コントロール・レジスタ	STBC	-		-		30H	
0FFC2H	ウォッチドッグ・タイマ・モード・レジスタ	WDM	-		-		00H	
0FFC4H	メモリ拡張モード・レジスタ	MM			-	20H		
0FFCFH	発振安定時間指定レジスタ	OSTS			-	00H		
0FFE0H	割り込み制御レジスタ (INTP0)	PIC0			-	43H		
0FFE1H	" (INTP1)	PIC1			-			
0FFE2H	" (INTTM41/INTP2)	PIC2			-			
0FFE3H	" (INTP3)	PIC3			-			
0FFE4H	" (INTP4)	PIC4			-			
0FFE5H	" (INTTM51/INTP5)	PIC5			-			
0FFE6H	" (INTP6)	PIC6			-			
0FFE7H	" (INTTM00)	TMIC00			-			

注 LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“F000H”を加えます。

表3 - 6 特殊機能レジスタ (SFR) 一覧 (4/4)

アドレス ^{注1}	特殊機能レジスタ (SFR)	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FFE8H	割り込み制御レジスタ (INTTM01)	TMIC01	R/W			-	43H
0FFE9H	" (INTTM10)	TMIC10				-	
0FFEAH	" (INTTM11)	TMIC11				-	
0FEEBH	" (INTTM20)	TMIC20				-	
0FEECH	" (INTTM21)	TMIC21				-	
0FEEDH	" (INTTM30)	TMIC30				-	
0FEEEH	" (INTTM31)	TMIC31				-	
0FEEFH	" (INTTM40)	TMIC40				-	
0FFF0H	" (INTTM42)	TMIC42				-	
0FFF1H	" (INTTM50)	TMIC50				-	
0FFF2H	" (INTTM52)	TMIC52				-	
0FFF3H	" (INTTM6)	TMIC6				-	
0FFF4H	" (INTTM7)	TMIC7				-	
0FFF5H	" (INTSER1)	SERIC1				-	
0FFF6H	" (INTSR1)	SRIC1				-	
0FFF7H	" (INTST1)	STIC1				-	
0FFF8H	" (INTCSI0)	CSIC0				-	
0FFF9H	" (INTAD)	ADIC				-	
0FFFCH	内部メモリ・サイズ切り替えレジスタ ^{注2}	IMS		W	-	-	

注1 . LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F000H ”を加えます。

2 . μPD78F4956Aのみ

3.9 注意事項

(1) 内部高速RAM領域 (LOCATION 0H命令実行時: 0FD00H-0FEFFH, LOCATION 0FH命令実行時: FFD00H-FFEFFH) からのプログラム・フェッチはできません。

(2) 特殊機能レジスタ (SFR)

0FF00H-0FFFFH^注の領域内で、SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、 μ PD784956Aがデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFF00H-FFFFFH

(3) スタック・ポインタ (SP) の動作

スタック・アドレッシングでは、1 Mバイトすべての空間でアクセス可能ですが、SFR領域および内部ROM領域にスタック・エリアを確保することはできません。

(4) スタック・ポインタ (SP) の初期化

SPは、 $\overline{\text{RESET}}$ 入力により不定になります。一方、リセット解除直後でもノンマスクابل割り込みは受け付け可能です。したがって、リセット解除直後のSPが不定な状態でノンマスクابل割り込みの要求が発生すると、予期しない動作を行う場合があります。これらの危険を最小限にするために、リセット解除後のプログラムは必ず次のようにしてください。

```
RSTVCT  CSEG AT 0
        DW  RSTSTRT
        }
INITSEG  CSEG BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
        MOVG SP, #STKBGN
```

第4章 クロック発生回路

4.1 機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

6 ~ 12.5 MHzの周波数を発振します。スタンバイ・コントロール・レジスタ (STBC) により、STOPモードを設定し、発振を停止できます。

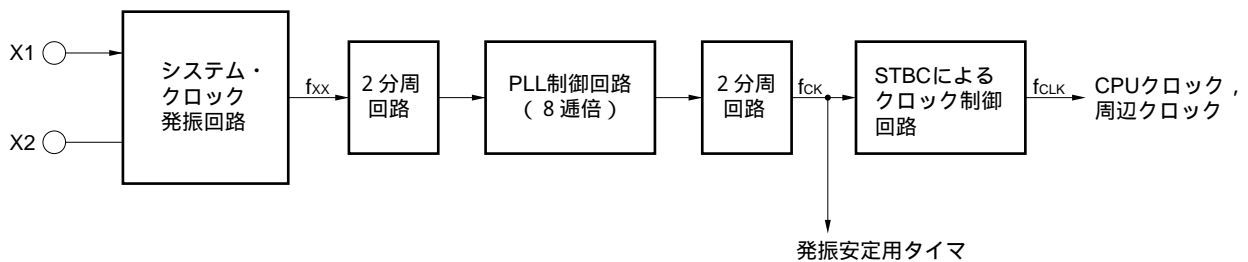
4.2 構成

クロック発生回路は、次のハードウェアで構成しています。

表4 - 1 クロック発生回路の構成

項目	構成
制御レジスタ	スタンバイ・コントロール・レジスタ (STBC) 発振安定時間指定レジスタ (OSTS)

図4 - 1 クロック発生回路のブロック図



備考1 . fxx : 発振周波数

2 . fck : 内部ソース・クロック周波数 ($f_{ck} = 2 \cdot f_{xx}$)

3 . fclk : 内部システム・クロック周波数 (STBCの設定により選択されたクロック)

4.3 制御レジスタ

(1) スタンバイ・コントロール・レジスタ (STBC)

STBCは、スタンバイ・モードの設定とシステム・クロックの選択をするためのレジスタです。STBCの設定により、2段階のシステム・クロックを選択できます。スタンバイ・モードの詳細については、第23章スタンバイ機能を参照してください。

プログラムの暴走によって誤ってスタンバイ・モードに入らないように、専用命令によってのみ書き込みができます。この専用命令は、MOV STBC, #byte命令で特殊なコード構成(4バイト)になっています。3バイト目と4バイト目のオペコードが互いに補数の場合のみ、書き込みが行われます。3バイト目と4バイト目のオペコードが互いに補数になっていない場合は、書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

オペランド・エラー割り込みは、プログラムが暴走している場合のみ発生する(NEC製アセンブラRA78K4では、MOV STBC, #byteと記述された場合、正しい専用命令しか生成しません)ので、オペランド・エラー割り込みの処理プログラムではシステムの初期化を行うようにしてください。

他の書き込み命令(MOV STBC, A, AND STBC, #byte, SET1 STBC.7など)は無視され、何の動作も行いません。すなわち、STBCへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。STBCの読み出しは、データ転送命令によりいつでもできます。

RESET入力により、30Hになります。

図4-2に、STBCのフォーマットを示します。

図4-2 スタンバイ・コントロール・レジスタ (STBC) のフォーマット

アドレス: 0FFC0H リセット時: 30H R/W

略号	7	6	5	4	3	2	1	0
STBC	0	0	CK1	CK0	0	0	STP	HLT

CK1	CK0	システム・クロック (f _{CLK}) の選択
0	0	f _{CK} (8 MHz)
0	1	設定禁止
1	0	
1	1	f _{CK} /8 (1 MHz)

STP	HLT	動作指定フラグ
0	0	通常動作モード
0	1	HALTモード (HALTモードが解除されると自動的にクリア)
1	0	STOPモード (STOPモードが解除されると自動的にクリア)
1	1	IDLEモード (IDLEモードが解除されると自動的にクリア)

備考1 . f_{CK}: 内部ソース・クロック周波数 (f_{CK} = 2 · f_{XX})

2 . () 内は, f_{CK} = 8 MHz動作時

注意 スタンバイ命令のあと（スタンバイ解除後）は、NOP命令を3回実行させてください。スタンバイ命令の実行と割り込み要求が競合した場合は、スタンバイ命令を実行せず、スタンバイ命令に続く複数の命令を実行後に割り込みを受け付けます。割り込みを受け付ける前に実行する命令は、スタンバイ命令実行後の最大6クロック以内に実行を開始する命令です。

```
例 MOV    STBC,    # byte
    NOP
    NOP
    NOP
    ⋮
    ⋮
```

(2) 発振安定時間指定レジスタ (OSTS)

OSTSは、発振回路の動作を指定するレジスタです。

OSTSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図4 - 3 発振安定時間指定レジスタ (OSTS) のフォーマット

アドレス：0FFCFH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	0	OSTS1	OSTS0

OSTS1	OSTS0	発振安定時間
0	0	$2^{19}/f_{\text{CK}}$ (65.5 ms)
0	1	$2^{18}/f_{\text{CK}}$ (32.8 ms)
1	0	$2^{17}/f_{\text{CK}}$ (16.4 ms)
1	1	$2^{16}/f_{\text{CK}}$ (8.2 ms)

備考1 . f_{CK} : 内部ソース・クロック周波数 ($f_{\text{CK}} = 2 \cdot f_{\text{XX}}$)

2 . () 内は、 $f_{\text{CK}} = 8 \text{ MHz}$ 動作時

4.4 システム・クロック発振回路

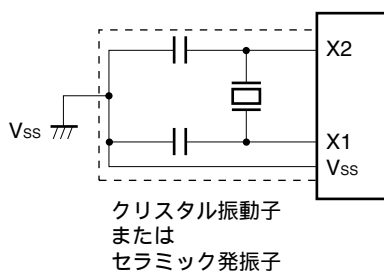
システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

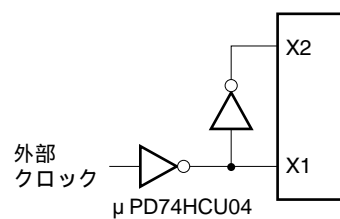
図4 - 4にシステム・クロック発振回路の外付け回路を示します。

図4 - 4 システム・クロック発振回路の外付け回路

(a) クリスタル, セラミック発振



(b) 外部クロック



注意1．外部クロックを入力しているとき、STOP命令を実行しないでください。

2．システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図4 - 4の破線の部分を次のように配線してください。

配線は極力短くする。

他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。

発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。

発振回路から信号を取り出さない。

図4 - 5 に発振子の接続の悪い例を示します。

図4 - 5 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

(b) 信号線が交差している

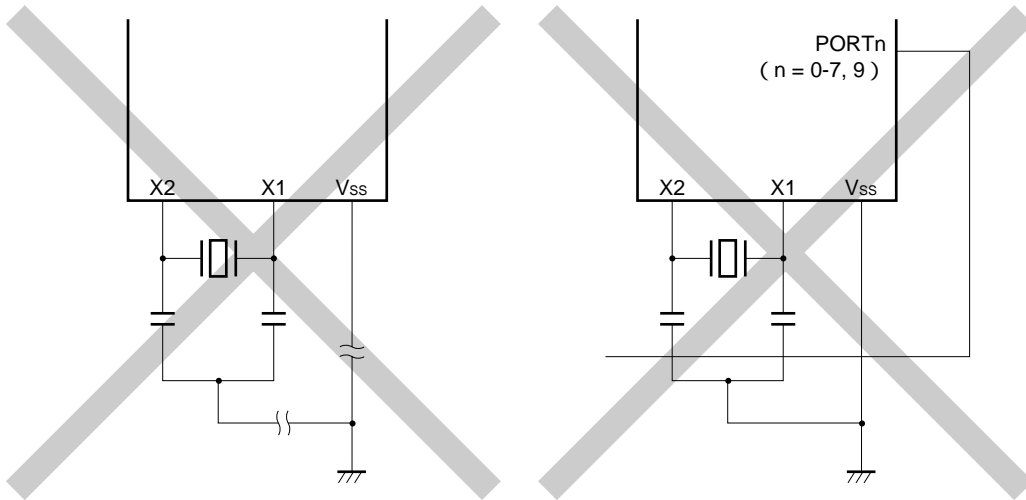
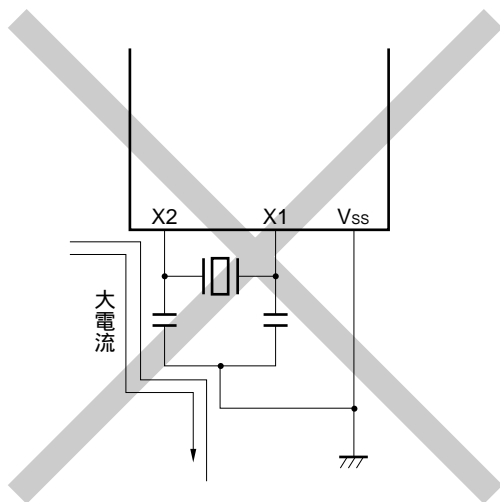
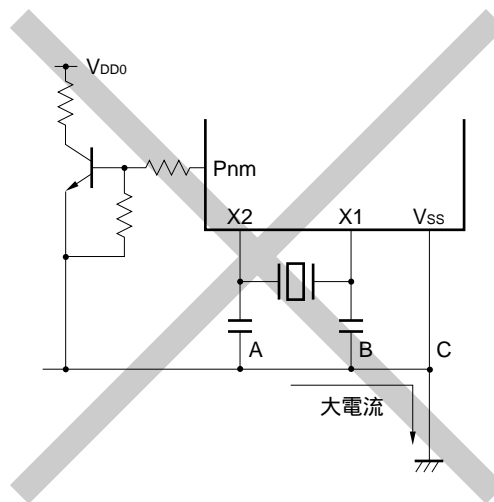


図4-5 発振子の接続の悪い例(2/2)

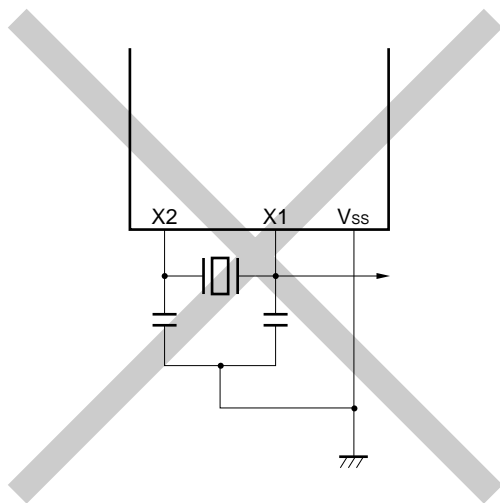
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



4.4.1 分周回路

分周回路は、システム・クロック発振回路出力 (f_{xx}) を分周して、各種クロックを生成します。

4.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_{CLK}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はスタンバイ・コントロール・レジスタ (STBC) により決定されます。
 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。

第5章 ポート機能

5.1 デジタル入出力ポート

図5 - 1のようなポートを備えており、多様な制御ができます。各ポートの機能は表5 - 1のとおりです。ポート0-6, 9は、入力時に、内蔵プルアップをソフトウェアで指定できます。

図5 - 1 ポートの構成

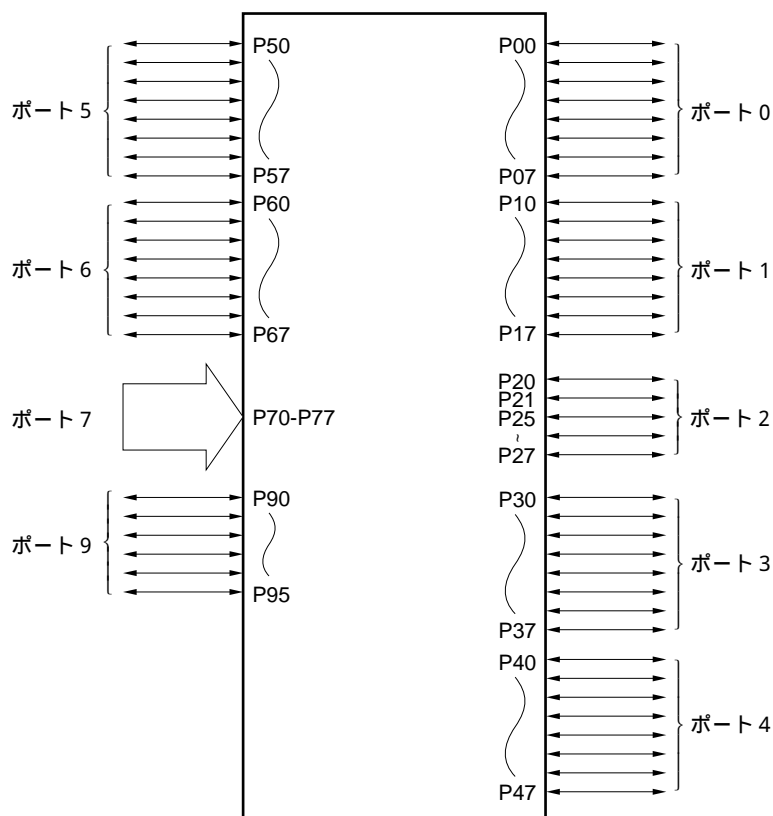


表5 - 1 ポートの機能

名称	端子名称	機能	ソフトウェア・プルアップの指定
ポート0	P00-P07	1ビット単位で入力か出力に指定可能。	1ビット単位で指定可能
ポート1	P10-P17	1ビット単位で入力か出力に指定可能。	1ビット単位で指定可能
ポート2	P20, P21, P25-P27	1ビット単位で入力か出力に指定可能。	1ビット単位で指定可能
ポート3	P30-P37	1ビット単位で入力か出力に指定可能。	1ビット単位で指定可能
ポート4	P40-P47	1ビット単位で入力か出力に指定可能。	一括して指定可能
ポート5	P50-P57	1ビット単位で入力か出力に指定可能。	一括して指定可能
ポート6	P60-P67	1ビット単位で入力か出力に指定可能。	一括して指定可能
ポート7	P70-P77	入力ポート	-
ポート9	P90-P95	1ビット単位で入力か出力に指定可能。	1ビット単位で指定可能

5.2 構成

ポートは、次のハードウェアで構成しています。

表5 - 2 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0-6, 9) プルアップ抵抗オプション・レジスタ (PUO, PUm : m = 0-3, 9)
ポート	合計 : 67本 (入力 : 8本, 入出力 : 59本)
プルアップ抵抗	合計 : 59本 (ソフトウェア制御)

5.2.1 ポート0

出力ラッチ付き8ビット入出力ポートです。P00-P07端子は、ポート0モード・レジスタにより、1ビット単位で入力モード/出力モードの指定ができます。P00-P07端子は、入力モード/出力モードの指定にかかわらず、プルアップ抵抗オプション・レジスタ0により、1ビット単位でプルアップ抵抗を接続できます。

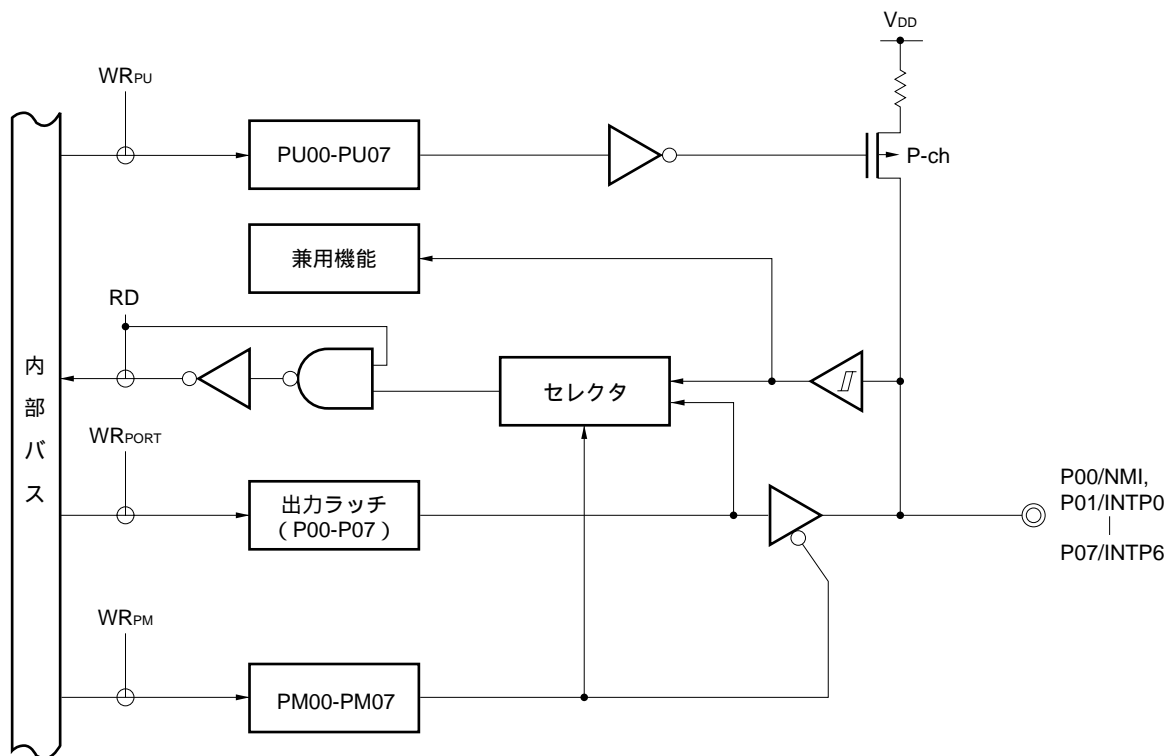
また、兼用機能として外部割り込み要求入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5 - 2にポート0のブロック図を示します。

- ★ **注意** ポート0は外部割り込み入力と兼用となっていますが、割り込み入力端子として使用しない場合は、外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、外部割り込み立ち下がりエッジ許可 (EGN0) で「割り込み禁止」を設定するか、割り込み許可フラグ (PMKn : n = 0-6) に1を設定してください。そうしないと、ポートを出力モードに指定し、出力レベルを変化させたとき、割り込み要求フラグがセットされ、不用意な割り込み処理が実行されることがあります。

図5 - 2 P00-P07のブロック図



- PU : プルアップ抵抗オプション・レジスタ
- PM : ポート・モード・レジスタ
- RD : ポート0のリード信号
- WR : ポート0のライト信号

5.2.2 ポート1

出力ラッチ付き8ビット入出力ポートです。P10-P17端子は、ポート1モード・レジスタにより、1ビット単位で入力モード/出力モードの指定ができます。P10-P17端子は、入力モード/出力モードの指定にかかわらず、プルアップ抵抗オプション・レジスタ1により、1ビット単位でプルアップ抵抗を接続できます。

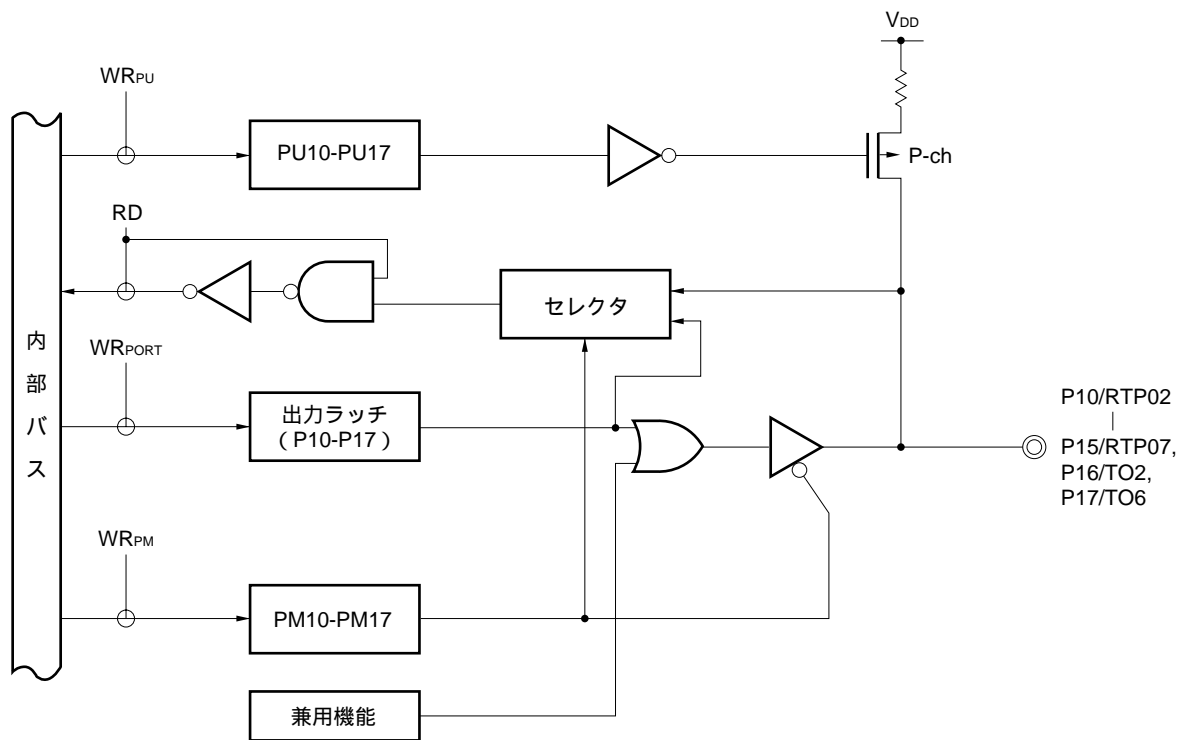
また、兼用機能としてリアルタイム出力機能、タイマの出力があります。

ポート1は、LEDを直接駆動可能です。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5-3にポート1のブロック図を示します。

図5-3 P10-P17のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

5.2.3 ポート2

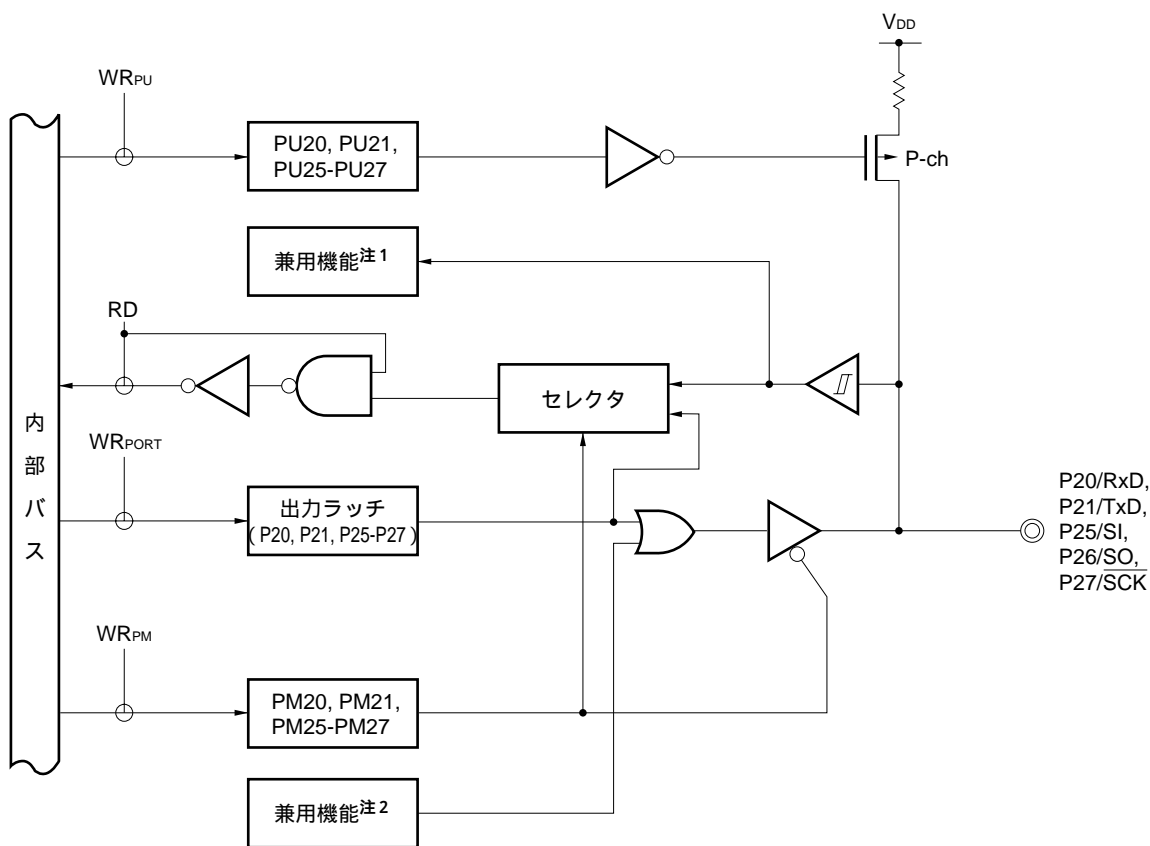
出力ラッチ付き5ビット入出力ポートです。P20, P21, P25-P27端子は、ポート2モード・レジスタにより、1ビット単位で入力モード/出力モードの指定ができます。P20, P21, P25-P27端子は、入力モード/出力モードの指定にかかわらず、プルアップ抵抗オプション・レジスタ2により、1ビット単位でプルアップ抵抗を接続できます。

また、兼用機能としてシリアル・インタフェースのデータ入出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5-4にポート2のブロック図を示します。

図5-4 P20, P21, P25-P27のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

注1 . P21, P26には入力の兼用機能はありません。

2 . P20, P25には出力の兼用機能はありません。

5.2.4 ポート3

出力ラッチ付き8ビット入出力ポートです。P30-P37端子は、ポート3モード・レジスタにより、1ビット単位で入力モード/出力モードの指定ができます。P30-P37端子は、入力モード/出力モードの指定にかかわらず、プルアップ抵抗オプション・レジスタ3により、1ビット単位でプルアップ抵抗を接続できます。

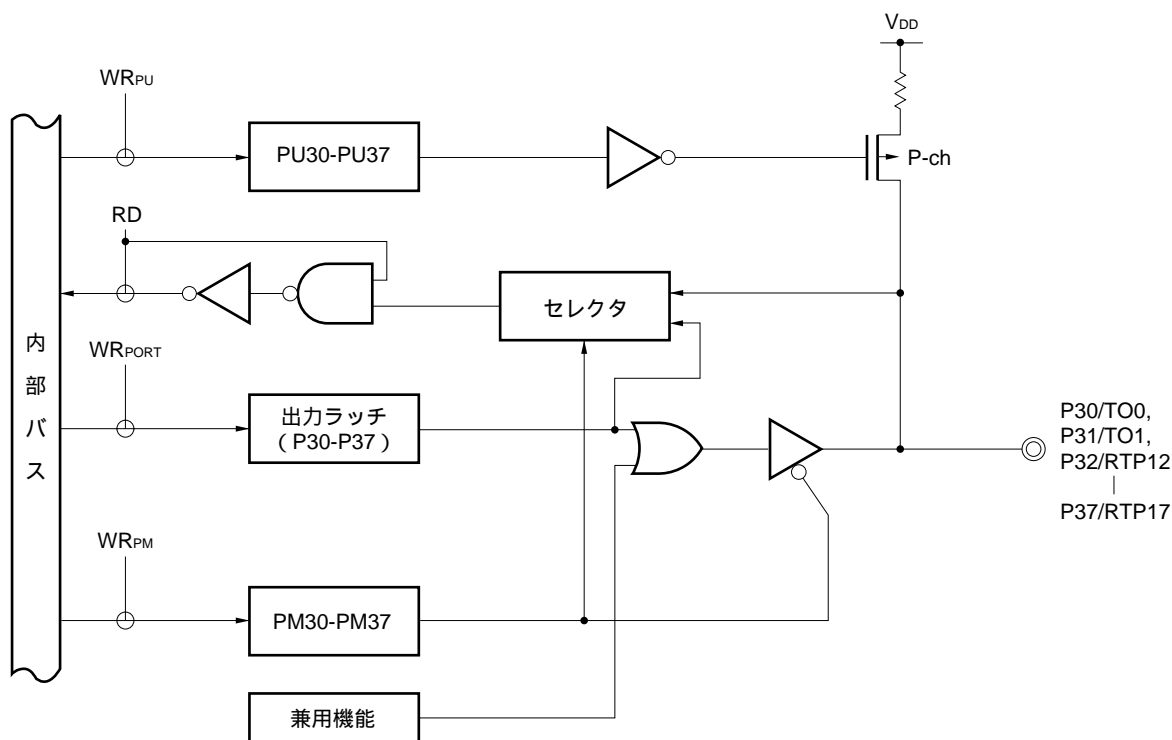
また、兼用機能としてリアルタイム出力機能、タイマの出力があります。

ポート3は、LED直接駆動可能です。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5-5にポート3のブロック図を示します。

図5-5 P30-P37のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

5.2.5 ポート4

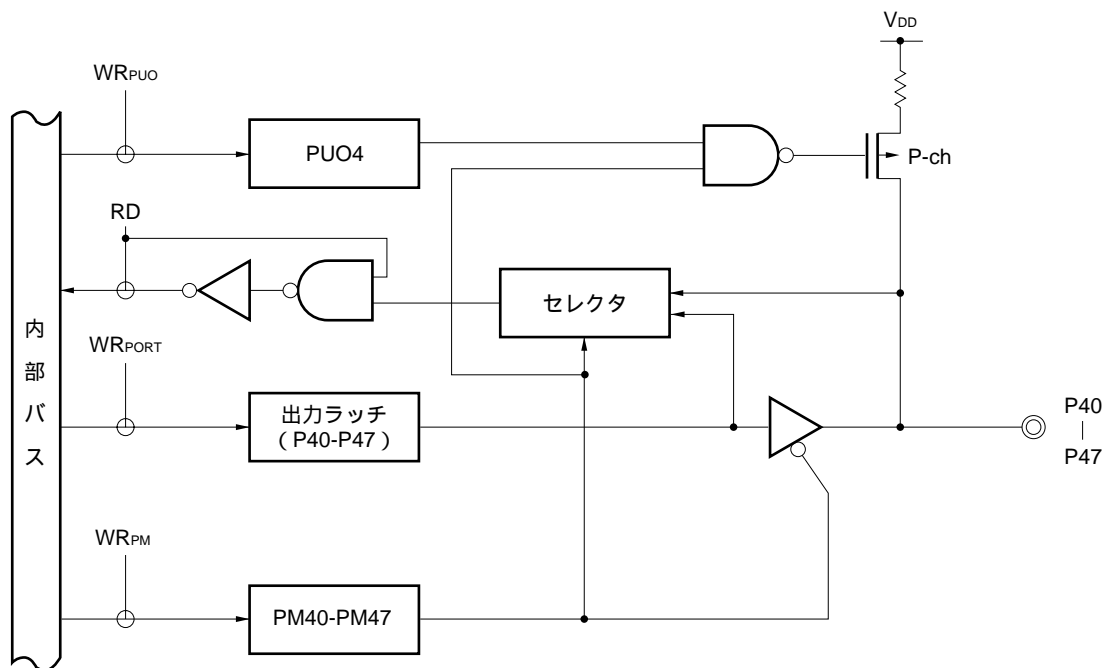
出力ラッチ付き8ビット入出力ポートです。P40-P47端子は、ポート4モード・レジスタにより、1ビット単位で入力モード/出力モードの指定ができます。P40-P47端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタのビット4（PUO4）により、8ビット単位でプルアップ抵抗を接続できます。

ポート4はLEDを直接駆動可能です。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5 - 6にポート4のブロック図を示します。

図5 - 6 P40-P47のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート4のリード信号

WR : ポート4のライト信号

5.2.6 ポート5

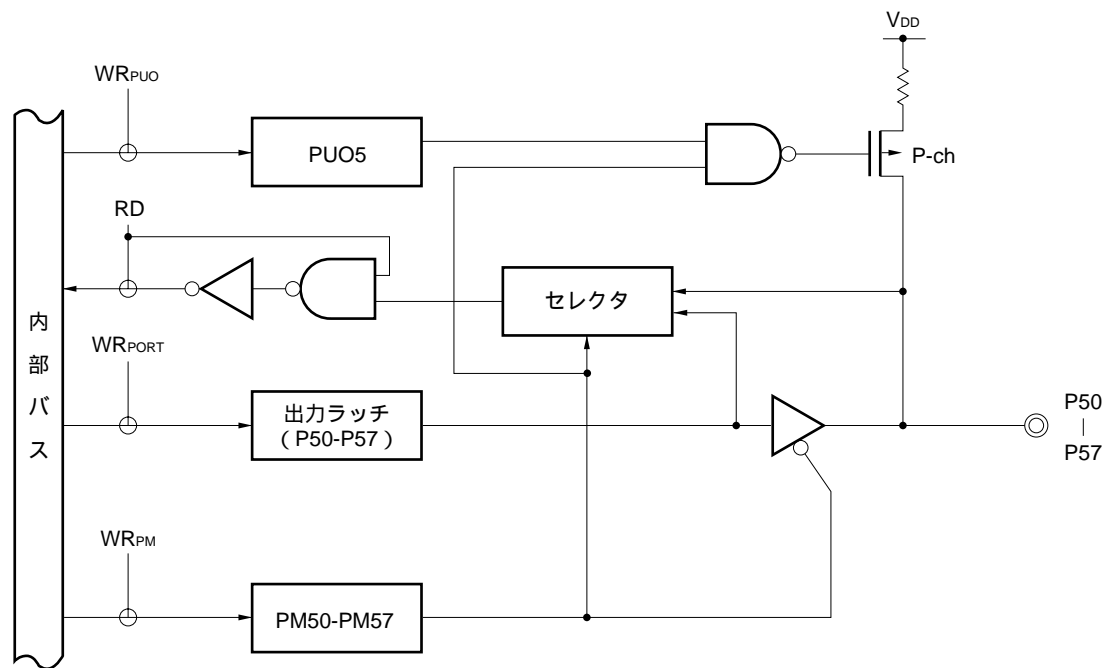
出力ラッチ付き8ビット入出力ポートです。P50-P57端子は、ポート5モード・レジスタにより、1ビット単位で入力モード/出力モードの指定ができます。P50-P57端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタのビット5（PUO5）により、8ビット単位でプルアップ抵抗を接続できます。

ポート5はLEDを直接駆動可能です。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5-7にポート5のブロック図を示します。

図5-7 P50-P57のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

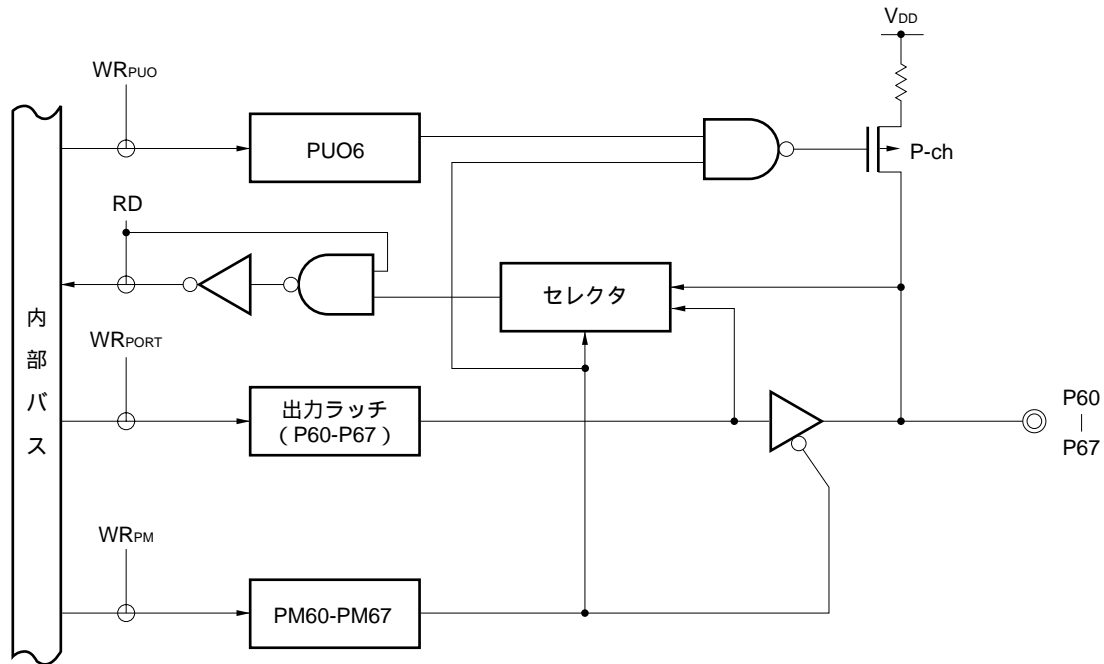
5.2.7 ポート6

出力ラッチ付き8ビット入出力ポートです。P60-P67端子は、ポート6モード・レジスタにより、1ビット単位で入力モード/出力モードの指定ができます。P60-P67端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタのビット6（PUO6）により、8ビット単位でプルアップ抵抗を接続できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5-8にポート6のブロック図を示します。

図5-8 P60-P67のブロック図



PUO : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート6のリード信号

WR : ポート6のライト信号

5.2.8 ポート7

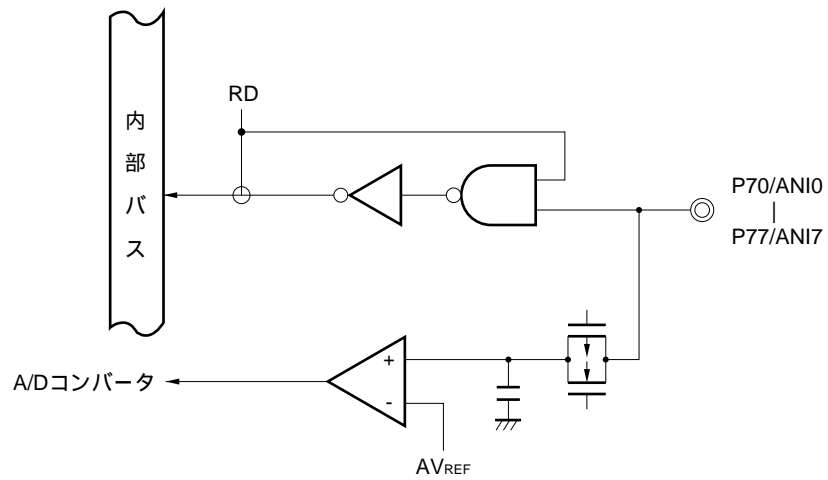
8ビット入力専用ポートです。

プルアップ抵抗を内蔵していません。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

図5 - 9にポート7のブロック図を示します。

図5 - 9 P70-P77のブロック図



RD : ポート7のリード信号

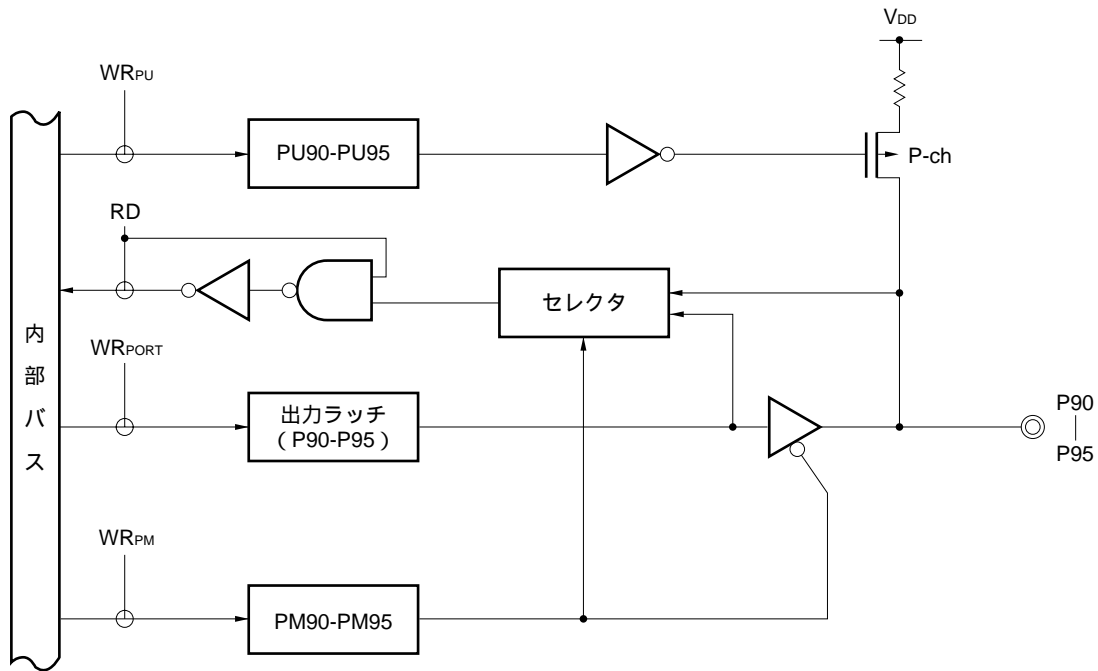
5.2.9 ポート9

出力ラッチ付き6ビット入出力ポートです。ポート9モード・レジスタにより、1ビット単位で入力モード/出力モードの指定ができます。P90-P95端子は、入力モード/出力モードの指定にかかわらず、プルアップ抵抗オプション・レジスタ9により、1ビット単位でプルアップ抵抗を接続できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図5-10にポート9のブロック図を示します。

図5-10 P90-P95のブロック図



PU : プルアップ抵抗オプション・レジスタ

PM : ポート・モード・レジスタ

RD : ポート9のリード信号

WR : ポート9のライト信号

5.3 制御レジスタ

ポートは、次の2種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM6, PM9)
- ・プルアップ抵抗オプション・レジスタ (PU0-PU3, PU9, PU0)

(1) ポート・モード・レジスタ (PM0-PM6, PM9)

ポートの入力/出力を1ビット単位で設定するレジスタです。

PM0-PM6, PM9は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表5-3のように設定してください。

注意 ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを設定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表5-3 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

端子名称	兼用機能		PM x x	P x x
	名称	入出力		
P00	NMI	入力	1	x
P01-P07	INTP0-INTP6	入力	1	x
P10-P15	RTP02-RTP07	出力	0	0
P16	TO2	出力	0	0
P17	TO6	出力	0	0
P20	RxD	入力	1	x
P21	TxD	出力	0	0
P25	SI	入力	1	x
P26	SO	出力	0	0
P27	$\overline{\text{SCK}}$	入力	1	x
		出力	0	0
P30	TO0	出力	0	0
P31	TO1	出力	0	0
P32-P37	RTP12-RTP17	出力	0	0
P70-P77	ANI0-ANI7	入力	-	

備考 x : don't care (設定の必要はありません)

- : ポート・モード・レジスタおよび出力ラッチはありません。

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

図5 - 11 ポート・モード・レジスタのフォーマット

アドレス：0FF20H-0FF26H, 0FF29H

リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
PM2	PM27	PM26	PM25	1	1	1	PM21	PM20
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60
PM9	1	1	PM95	PM94	PM93	PM92	PM91	PM90

PMxn	Pxn端子入出力モード指定 ($x = 0, 1, 3-6 : n = 0-7$ $x = 2 : n = 0, 1, 5-7$ $x = 9 : n = 0-5$)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(2) プルアップ抵抗オプション・レジスタ (PU0-PU3, PU9, PU0)

各ポートの内蔵プルアップ抵抗を接続するか、接続しないかを、1ビットまたは8ビット単位で設定するレジスタです。PUn (n=0-3, 9) は、入力モード/出力モードにかかわらず各ポートの端子ごとにプルアップ抵抗の接続を指定することができます。PU0は、入力モード時のみポート4, 5, 6のプルアップ抵抗の接続を指定することができます。プルアップ抵抗は、各端子の兼用機能の使用にかかわらず接続されます。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

注意1. プルアップ抵抗値はばらつきがありますので、プルアップ抵抗を接続する場合の回路構成には十分注意してください。

2. ポート7は、プルアップ抵抗を内蔵していません。

図5 - 12 プルアップ抵抗オプション・レジスタのフォーマット

アドレス : 0FF30H-0FF33H, 0FF39H

リセット時 : 00H R/W

略号	⑦	⑥	⑤	④	③	②	①	①
PU0	PU07	PU06	PU05	PU04	PU03	PU02	PU01	PU00
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10
PU2	PU27	PU26	PU25	0	0	0	PU21	PU20
PU3	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30
PU9	0	0	PU95	PU94	PU93	PU92	PU91	PU90

PUxn	Pxn端子のプルアップ抵抗の指定 ($x = 0, 1, 3 : n = 0-7$ $x = 2 : n = 0, 1, 5-7$ $x = 9 : n = 0-5$)
0	プルアップ抵抗を接続しない
1	プルアップ抵抗を接続する

アドレス : 0FF4EH リセット時 : 00H R/W

略号	7	⑥	⑤	④	3	2	1	0
PU0	0	PU06	PU05	PU04	0	0	0	0

PUOn	ポートnのプルアップ抵抗の指定 (n = 4-6)
0	プルアップ抵抗を接続しない
1	プルアップ抵抗を接続する

5.4 動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

5.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

5.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

5.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第6章 リアルタイム出力機能

6.1 機 能

リアルタイム出力バッファ・レジスタにあらかじめ設定したデータを、タイマ割り込みまたは外部割り込みの発生と同時にハードウェアでリアルタイム出力用出力ラッチに転送して、外部に出力することをリアルタイム出力機能といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。リアルタイム出力ポートとしてRTP0, RTP1の2チャンネル内蔵しています。

リアルタイム出力ポートを使用することにより、ジッタのない信号が出力できますので、ステッピング・モータなどの制御に最適です。

1ビット単位でポート・モード/リアルタイム出力ポート・モードの指定ができます。

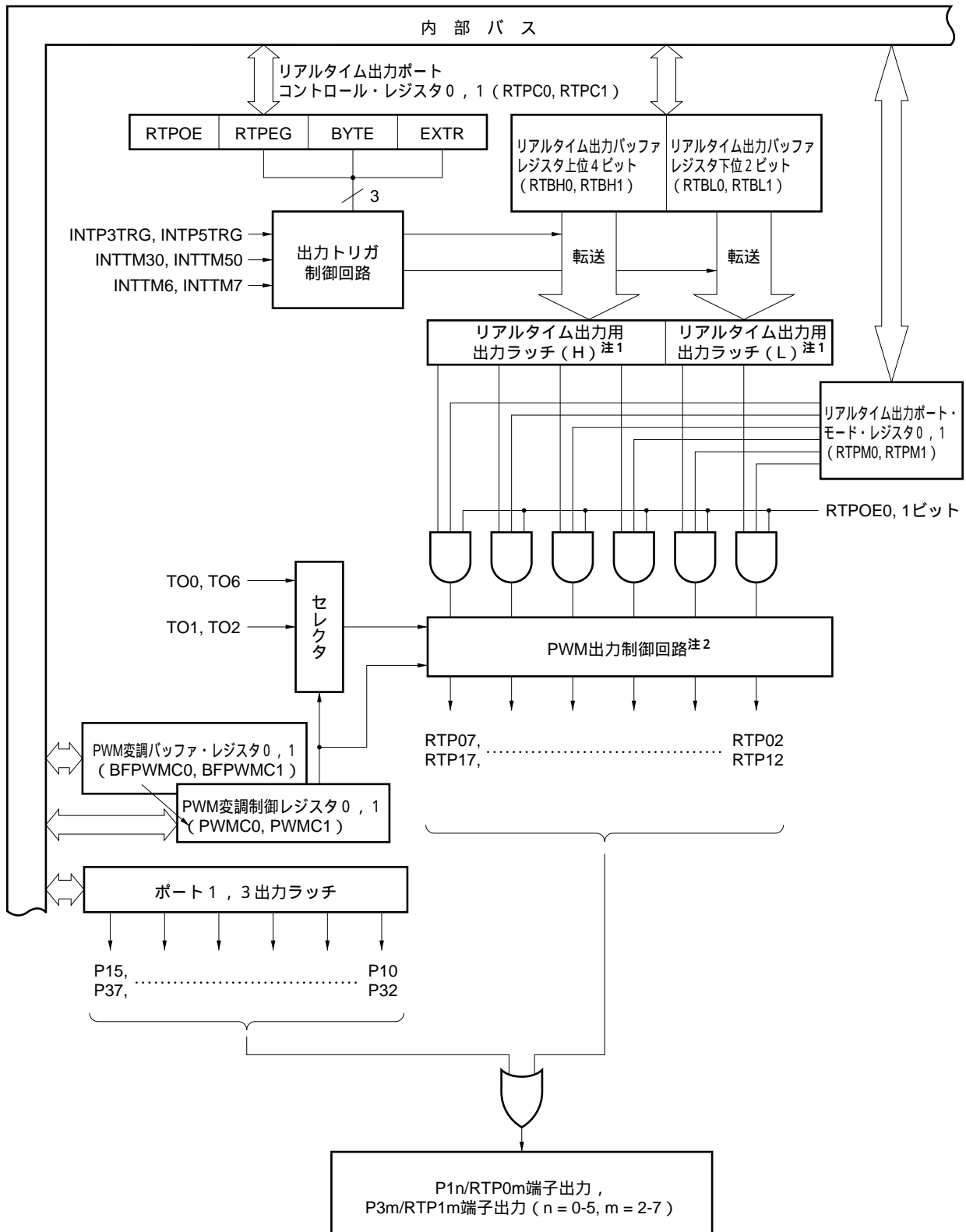
6.2 構 成

リアルタイム出力ポートは、次のハードウェアで構成しています。

表6 - 1 リアルタイム出力ポート0, 1の構成

項 目	構 成
レジスタ	リアルタイム出力バッファ・レジスタ0, 1 (RTBL0, RTBL1, RTBH0, RTBH1) PWM変調バッファ・レジスタ0, 1 (BFPWMC0, BFPWMC1)
制御レジスタ	リアルタイム出力ポート・モード・レジスタ0, 1 (RTPM0, RTPM1) リアルタイム出力ポート・コントロール・レジスタ0, 1 (RTPC0, RTPC1) PWM変調制御レジスタ0, 1 (PWMC0, PWMC1)

図6 - 1 リアルタイム出力ポートのブロック図



- ★ 注1. リアルタイム出力用出力バッファは、特殊機能レジスタ (SFR) として設定していません。
- 2. PWM出力制御回路については、図6 - 10 PWM変調制御回路の構成 (RTP0)、図6 - 18 PWM変調制御回路の構成 (RTP1) を参照してください。

リアルタイム出力バッファ・レジスタ0, 1 (RTBL0, RTBH0, RTBL1, RTBH1)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL0, RTBH0, RTBL1, RTBH1は、図6-2に示すように特殊機能レジスタ (SFR) 領域内でそれぞれ独立したアドレスにマッピングされています。

4ビット×1チャンネル, 2ビット×1チャンネルの動作モードを指定したときは, RTBL0, RTBH0, RTBL1, RTBH1はそれぞれ独立にデータを設定することができます。また, RTBL0, RTBH0, RTBL1, RTBH1のどちらのアドレスを指定しても両方のデータを一括して読み出すことができます。

6ビット×1チャンネルの動作モードを指定したときは, RTBL0, RTBH0, RTBL1, RTBH1のどちらか一方に6ビット・データを書き込むことにより, RTBL0, RTBH0, RTBL1, RTBH1それぞれにデータを設定することができます。また, RTBL0, RTBH0, RTBL1, RTBH1のどちらのアドレスを指定しても両方のデータを一括して読み出すことができます。

表6-2に, RTBL0, RTBH0, RTBL1, RTBH1に対する操作時の動作を示します。

図6-2 リアルタイム出力バッファ・レジスタ0, 1の構成

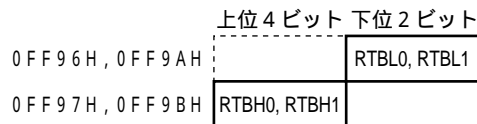


表6-2 リアルタイム出力バッファ・レジスタ0, 1に対する操作時の動作

動作モード	操作対象レジスタ	リード時 ^{注1}		ライト時 ^{注1, 2}	
		上位4ビット	下位2ビット	上位4ビット	下位2ビット
4ビット×1チャンネル	RTBL0, RTBL1	RTBH0, RTBH1	RTBL0, RTBL1	無効	RTBL0, RTBL1
2ビット×1チャンネル	RTBH0, RTBH1	RTBH0, RTBH1	RTBL0, RTBL1	RTBH0, RTBH1	無効
6ビット×1チャンネル	RTBL0, RTBL1	RTBH0, RTBH1	RTBL0, RTBL1	RTBH0, RTBH1	RTBL0, RTBL1
	RTBH0, RTBH1	RTBH0, RTBH1	RTBL0, RTBL1	RTBH0, RTBH1	RTBL0, RTBL1

注1. RTBLm, RTBHmは, リアルタイム出力ポート・モード・レジスタm (RTPMm), RTPOEm (リアルタイム出力ポート・コントロール・レジスタm (RTPCm) のビット7) の設定にかかわらず読み出し, 書き込みができます。

2. リアルタイム出力ポートに設定後, リアルタイム出力トリガが発生するまでにRTBL0, RTBH0, RTBL1, RTBH1に出力データを設定してください。

備考 m = 0, 1

6.3 リアルタイム出力ポート0 (RTP0)

6.3.1 制御レジスタ

リアルタイム出力ポート0は、次の3種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ0 (RTPM0)
- ・リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)
- ・PWM変調制御レジスタ0 (PWMC0)

(1) リアルタイム出力ポート・モード・レジスタ0 (RTPM0)

リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

RTPM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図6-3 リアルタイム出力ポート・モード・レジスタ0 (RTPM0) のフォーマット

アドレス：0FF98H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTPM0	RTPM07	RTPM06	RTPM05	RTPM04	RTPM03	RTPM02	0	0

RTPM0m	リアルタイム出力ポート0の選択 (m = 2-7)
0	ポート・モード
1	リアルタイム出力ポート・モード

注意1. リアルタイム出力ポート0として使用する場合、リアルタイム出力を行うポートは出力モードに設定してください。

2. RTPOE0 (リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0) のビット7)、およびRTPM0mに“0”を設定してもPWM変調動作およびRTP出力レベル指定をマスクすることはできません。したがって、ポート・モードに指定したい端子は必ず次の設定をしてください。

- ・PWMC0n (n = 2-7) = 0 に設定し、PWM変調動作を禁止にする
- ・INVRTP0 (PWMC0のビット1) = 0 に設定し、リアルタイム出力ポート0の出力レベルを反転禁止にする
- ・BFPWMC0n (n = 2-7) = 0 に設定する

(2) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

リアルタイム出力ポート0の動作モード，および出力トリガを設定するレジスタです。

リアルタイム出力ポート0の動作モードと出力トリガについては表6-3に示すような関係があります。

RTPC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図6-4 リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0) のフォーマット

アドレス：0FF99H リセット時：00H R/W

略号	⑦	⑥	⑤	④	3	2	1	0
RTPC0	RTPOE0	RTPEG0	BYTE0	EXTR0	0	0	0	0

RTPOE0	リアルタイム出力ポート0の動作制御
0	動作禁止
1	動作許可 ^注

RTPEG0	INTP3TRGの有効エッジ指定
0	立ち下がリエッジ
1	立ち上がりエッジ

BYTE0	リアルタイム出力ポート0の動作モード
0	4ビット×1チャンネル(上位側)，2ビット×1チャンネル(下位側)
1	6ビット×1チャンネル

EXTR0	INTP3TRGによるリアルタイム出力の制御
0	INTP3TRGをリアルタイム出力トリガにしない
1	INTP3TRGをリアルタイム出力トリガにする

注 リアルタイム出力動作を許可 (RTPOE0 = 1) すると，リアルタイム出力バッファ・レジスタH0, L0 (RTBH0, RTBL0) の値がリアルタイム出力ポート0用の出力ラッチに転送されます。

表6-3 リアルタイム出力ポート0の動作モードと出力トリガ

BYTE0	EXTR0	動作モード	RTBH0 ポート出力	RTBL0 ポート出力
0	0	4ビット×1チャンネル	INTTM6 (内部)	INTTM30 (内部)
0	1	2ビット×1チャンネル	INTTM30 (内部)	INTP3TRG (外部)
1	0	6ビット×1チャンネル	INTTM30 (内部)	
1	1		INTP3TRG (外部)	

(3) PWM変調制御レジスタ0 (PWMC0)

PWMC0は、リアルタイム出力の変調制御やリアルタイム出力ポート0の出力レベルを指定するレジスタです。

PWMC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

図6-5 PWM変調制御レジスタ0 (PWMC0) のフォーマット

アドレス：0FFA4H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PWMC0	PWMC07	PWMC06	PWMC05	PWMC04	PWMC03	PWMC02	INVRTP0	SELPWM0

PWMC0 ^{注1}	PWM変調動作の指定 (n = 2-7)
0	禁止
1	許可

INVRTP0 ^{注2}	リアルタイム出力ポート0の出力レベルの指定
0	反転禁止
1	反転許可

SELPWM0 ^{注3}	PWM信号の指定
0	16ビット・タイマ/カウンタ0 (TM0)のタイマ出力 (TO0)
1	16ビット・タイマ/カウンタ1 (TM1)のタイマ出力 (TO1)

注1 . PWMC0n (ビット2-7) は、リアルタイム出力端子のPWM変調動作の許可/禁止を指定するビットです。各端子ごとに設定可能です。

2 . INVRTP0 (ビット1) は、リアルタイムで出力レベルの反転動作許可/禁止をしているビットです。このビットを設定するとリアルタイム出力バッファ・レジスタ0 (RTBH0, RTBL0) に設定した値の反転したレベルを出力します。PWM変調をかけている場合もPWM変調後の出力レベルを反転します。

3 . SELPWM0 (ビット0) は、PWM信号を指定するビットです。リアルタイム出力ポート0 (RTP0) では、TO0 (TM0のタイマ出力) とTO1 (TM1のタイマ出力) がPWM信号を出力します。

(4) PWM変調バッファ・レジスタ0 (BFPWMC0)

BFPWMC0は、リアルタイム出力の転送トリガに同期してPWMC0にデータ(上位6ビットのみ)を転送するレジスタです。

BFPWMC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET 入力により、00Hになります。

図6-6 PWM変調バッファ・レジスタ0 (BFPWMC0) のフォーマット

アドレス：0FFA6H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BFPWMC0	BFPWMC07	BFPWMC06	BFPWMC05	BFPWMC04	BFPWMC03	BFPWMC02	0	0

BFPWMC0からPWM変調制御レジスタ0 (PWMC0) へのデータ転送(上位6ビット)は、リアルタイム出力バッファ・レジスタ0からリアルタイム出力用出力ラッチへの転送に同期して行われます。この転送動作には、次の3つがあります。

- ・RTBH0レジスタからリアルタイム出力用出力ラッチ(H)：上位4ビット転送
- ・RTBL0レジスタからリアルタイム出力用出力ラッチ(L)：下位2ビット転送
- ・上位、下位の6ビット同時転送

転送動作は、リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0) のビット4、5 (EXTR0, BYTE0) で指定します。指定は、表6-4のようになります。

表6-4 PWM変調バッファ・レジスタ0 (BFPWMC0) からPWM変調制御レジスタ0 (PWMC0) へのデータ転送

BYTE0	EXTR0	上位側4ビット転送	下位側2ビット転送
0	0	INTTM6転送トリガでBFPWMC07-BFPWMC04からPWMC07-PWMC04へ4ビット転送	INTTM30転送トリガでBFPWMC03, BFPWMC02からPWMC03, PWMC02へ2ビット転送
0	1	INTTM30転送トリガでBFPWMC07-BFPWMC04からPWMC07-PWMC04へ4ビット転送	INTP3転送トリガでBFPWMC03, BFPWMC02からPWMC03, PWMC02へ2ビット転送
1	0	INTTM30転送トリガでBFPWMC07-BFPWMC02からPWMC07-PWMC02へ6ビット転送	
1	1	INTP3転送トリガでBFPWMC07-BFPWMC02からPWMC07-PWMC02へ6ビット転送	

注意1. BFPWMC0からPWMC0へのデータ転送は、上位6ビットのみ行われ、下位2ビットは転送されません。

2. PWM変調許可でリアルタイム出力動作を行っているとき、リアルタイム出力を停止させる場合は次の順序で行ってください。

BFPWMC02-BFPWMC07に“0”を設定する。

PWMC02-PWMC07 (PWM変調制御レジスタ0 (PWMC0) のビット2-7) に“0”を設定する(リアルタイム出力停止後、端子をポート・モードで使用する場合は、INVRTP0 (PWMC0のビット1) にも“0”を設定する)。

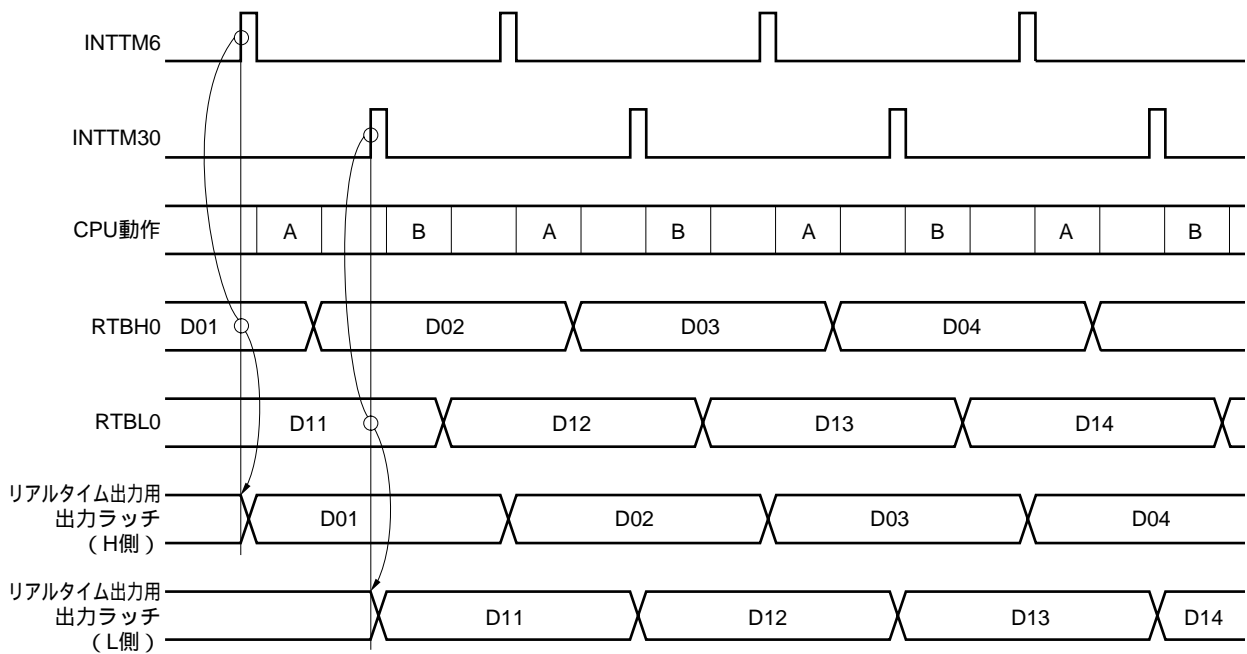
RTPOE0 (リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0) のビット7) に“0”を設定する。

6.3.2 動作

リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0) のビット7 (RTPOE0) = 1 でリアルタイム出力動作を許可した場合、選択された転送トリガ (EXTR0とBYTE0で設定^注) の発生に同期して、リアルタイム出力バッファ・レジスタ0 (RTBH0, RTBL0) のデータをリアルタイム出力用出力ラッチに転送します。転送されたデータのうちリアルタイム出力ポート・モード・レジスタ0 (RTPM0) の設定により、リアルタイム出力ポートに指定されたビットのデータのみをRTP02-RTP07のそれぞれのビットから出力します。RTPM0でポート・モードに指定されたポートは、汎用入出力ポートとして使用できます。

注 EXTR0 : リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0) のビット4
 BYTE0 : " のビット5

図6 - 7 リアルタイム出力ポート0の動作タイミング例 (EXTR0 = 0, BYTE0 = 0の場合)



A : INTTM6によるソフトウェア処理 (RTBH0ライト)
 B : INTTM30によるソフトウェア処理 (RTBL0ライト)

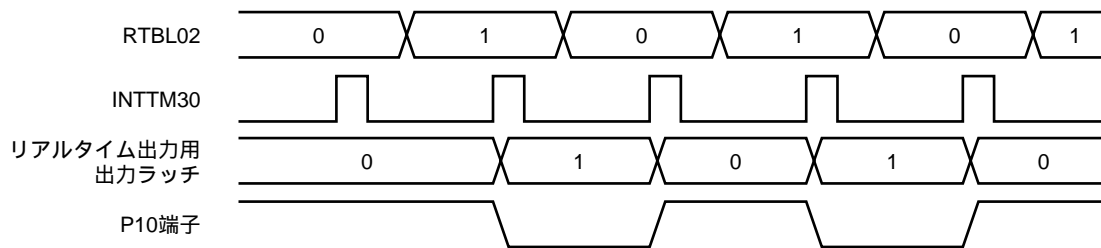
6.3.3 PWM変調制御

リアルタイム出力ポート0 (RTP0) は、リアルタイム出力とPWM信号 (TO0またはTO1) のOR論理をとったPWM変調動作が可能です。また、リアルタイム出力レベルの反転動作を許可することで、RTBH0, RTBL0レジスタに設定した値の反転したレベルのパルス波形を生成できます。

(1) RTP0のリアルタイム出力の反転動作

PWM変調制御レジスタ0 (PWMC0) のビット1 (INVRTP0) に“1”を設定すると、リアルタイム出力バッファ・レジスタ (RTBH0, RTBL0) に設定した値の反転したレベルを出力します。動作例を図6 - 8に示します。

図6 - 8 PWM出力レベル反転動作例 (RTP0)



備考 INTTM30 : 転送トリガ

(2) RTP0のPWM変調動作

P10-P15端子がリアルタイム出力ポート・モード (RTP02-RTP07出力モード) 時, 各端子の出力パターンに対して, PWM変調をかけることができます。PWM変調をかけると, RTBH0, RTBL0からリアルタイム出力用出力ラッチに転送された信号とPWM信号 (TO0またはTO1) のOR論理をとった信号がP10-P15端子に出力されます。また各端子ごとにPWM変調をかけることができます。図6 - 9にPWM変調動作例を示します。

図6 - 9 PWM変調動作例 (RTP0)

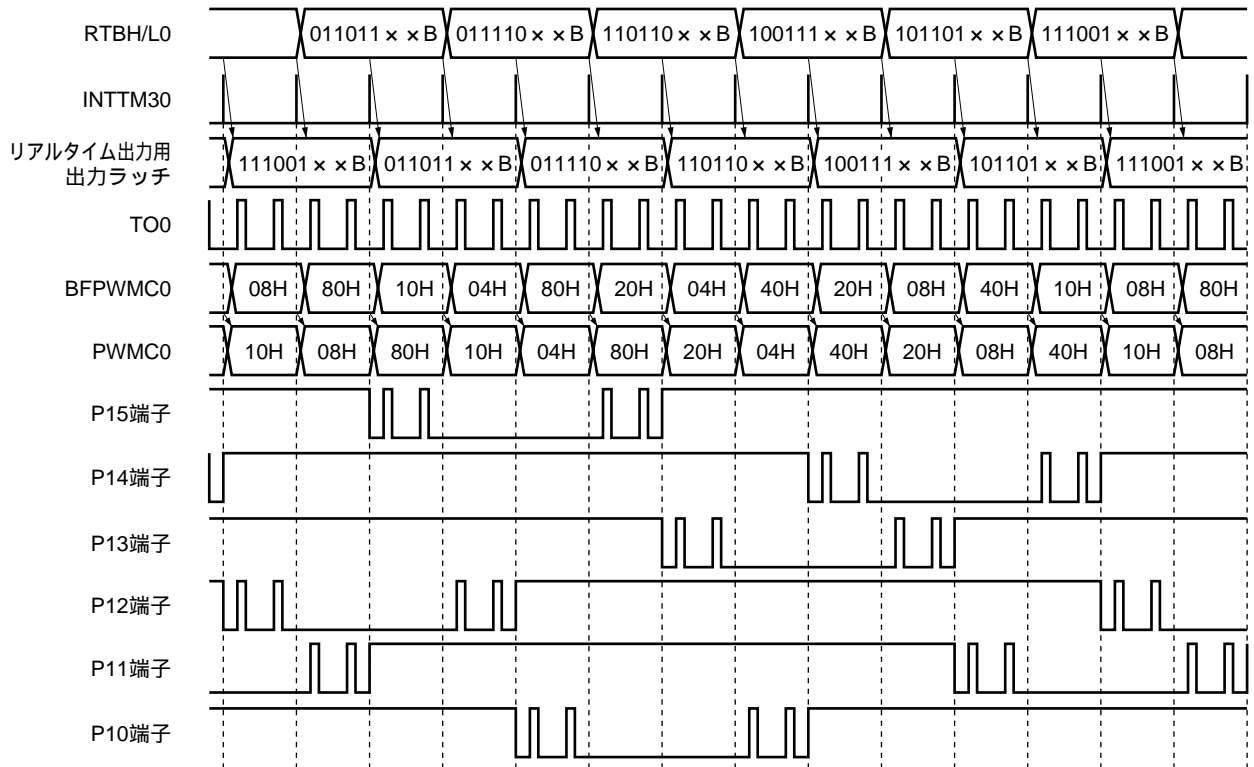
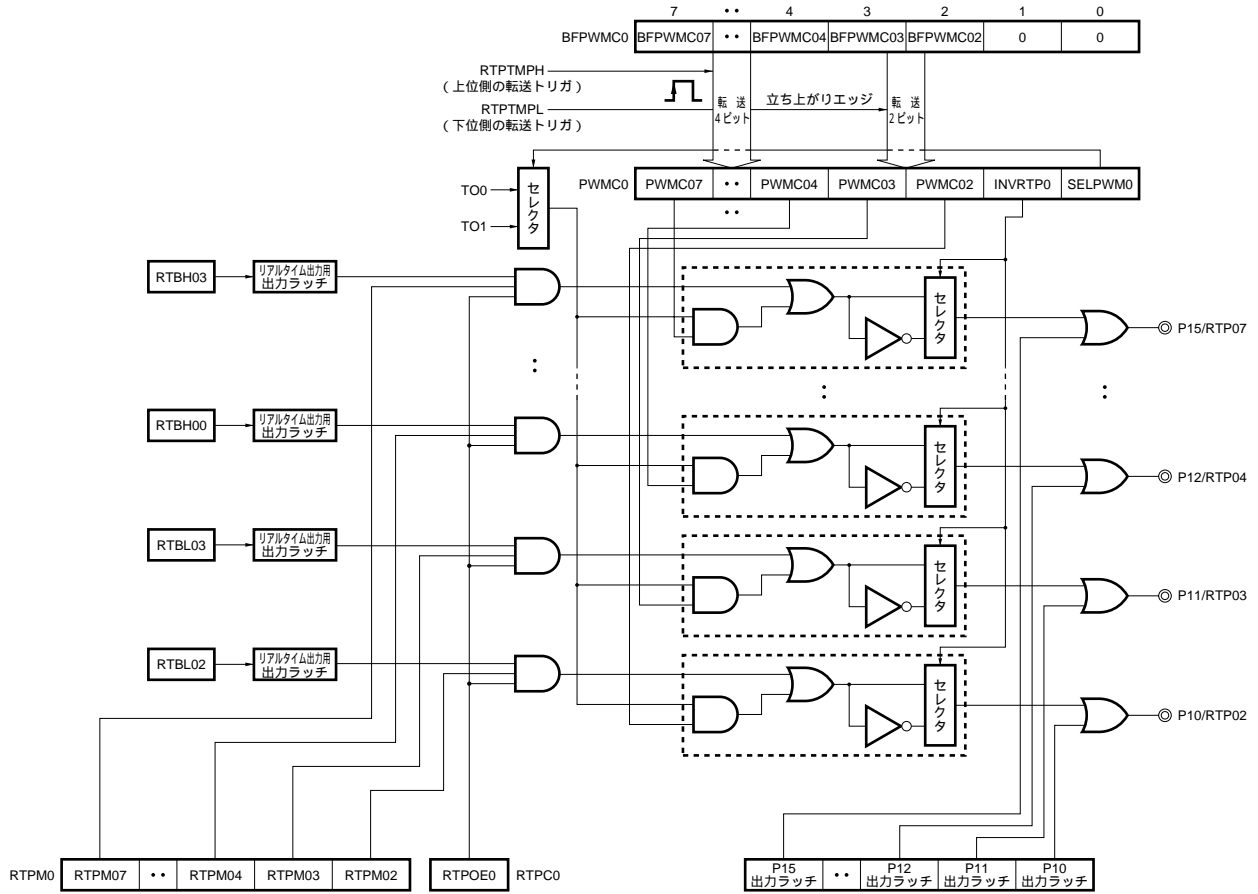


図6-10 PWM変調制御回路の構成 (RTP0)



備考 []内は、図6-1 リアルタイム出力ポートのブロック図のPWM出力制御回路です。

6.4 リアルタイム出力ポート 1 (RTP1)

6.4.1 制御レジスタ

リアルタイム出力ポート 1 は、次の 3 種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ 1 (RTPM1)
- ・リアルタイム出力ポート・コントロール・レジスタ 1 (RTPC1)
- ・PWM変調制御レジスタ 1 (PWMC1)

(1) リアルタイム出力ポート・モード・レジスタ 1 (RTPM1)

リアルタイム出力ポート・モードとポート・モードの選択を 1 ビット単位で設定するレジスタです。

RTPM1 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

RESET 入力により、00H になります。

図 6 - 11 リアルタイム出力ポート・モード・レジスタ 1 (RTPM1) のフォーマット

アドレス : 0FF9CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTPM1	RTPM17	RTPM16	RTPM15	RTPM14	RTPM13	RTPM12	0	0

RTPM1m	リアルタイム出力ポート 1 の選択 (m = 2-7)
0	ポート・モード
1	リアルタイム出力ポート・モード

注意 1 . リアルタイム出力ポート 1 として使用する場合、リアルタイム出力を行うポートは出力モードに設定してください。

2 . RTPOE1 (リアルタイム出力ポート・コントロール・レジスタ 1 (RTPC1) のビット 7)、および RTPM1m に “ 0 ” を設定しても PWM 変調動作および RTP 出力レベル指定をマスクすることはできません。したがって、ポート・モードに指定したい端子は必ず次の設定をしてください。

- ・ PWMC1n (n = 2-7) = 0 に設定し、PWM 変調動作を禁止にする
- ・ INVRTP1 (PWMC1 のビット 1) = 0 に設定し、リアルタイム出力ポート 1 の出力レベルを反転禁止にする
- ・ BFPWMC1n (n = 2-7) = 0 に設定する

(2) リアルタイム出力ポート・コントロール・レジスタ1 (RTPC1)

リアルタイム出力ポート1の動作モード, および出力トリガを設定するレジスタです。

リアルタイム出力ポート1の動作モードと出力トリガについては表6-5に示すような関係があります。

RTPC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図6-12 リアルタイム出力ポート・コントロール・レジスタ1 (RTPC1) のフォーマット

アドレス : 0FF9DH リセット時 : 00H R/W

略号	⑦	⑥	⑤	④	3	2	1	0
RTPC1	RTPOE1	RTPEG1	BYTE1	EXTR1	0	0	0	0

RTPOE1	リアルタイム出力ポート1の動作制御
0	動作禁止
1	動作許可 ^注

RTPEG1	INTP5TRGの有効エッジ指定
0	立ち下がリエッジ
1	立ち上がりエッジ

BYTE1	リアルタイム出力ポート1の動作モード
0	4ビット×1チャンネル(上位側), 2ビット×1チャンネル(下位側)
1	6ビット×1チャンネル

EXTR1	INTP5TRGによるリアルタイム出力の制御
0	INTP5TRGをリアルタイム出力トリガにしない
1	INTP5TRGをリアルタイム出力トリガにする

注 リアルタイム出力動作を許可 (RTPOE1 = 1) すると, リアルタイム出力バッファ・レジスタH1, L1 (RTBH1, RTBL1) の値がリアルタイム出力ポート1用の出力ラッチに転送されます。

表6-5 リアルタイム出力ポート1の動作モードと出力トリガ

BYTE1	EXTR1	動作モード	RTBH1 ポート出力	RTBL1 ポート出力
0	0	4ビット×1チャンネル	INTTM7 (内部)	INTTM50 (内部)
0	1	2ビット×1チャンネル	INTTM50 (内部)	INTP5TRG (外部)
1	0	6ビット×1チャンネル	INTTM50 (内部)	
1	1		INTP5TRG (外部)	

(3) PWM変調制御レジスタ1 (PWMC1)

PWMC1は、リアルタイム出力の変調制御やリアルタイム出力ポート1の出力レベルを指定するレジスタです。

PWMC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図6-13 PWM変調制御レジスタ1 (PWMC1) のフォーマット

アドレス：0FFA5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PWMC1	PWMC17	PWMC16	PWMC15	PWMC14	PWMC13	PWMC12	INVRTP1	SELPWM1

PWMC1 ^{注1}	PWM変調動作の指定 (n = 2-7)
0	禁止
1	許可

INVRTP1 ^{注2}	リアルタイム出力ポート1の出力レベルの指定
0	反転禁止
1	反転許可

SELPWM1 ^{注3}	PWM信号の指定
0	16ビット・タイマ/カウンタ2 (TM2)のタイマ出力 (TO2)
1	8ビット・タイマ/カウンタ6 (TM6)のタイマ出力 (TO6)

注1 . PWMC1n (ビット2-7) は、リアルタイム出力端子のPWM変調動作の許可/禁止を指定するビットです。各端子ごとに設定可能です。

2 . INVRTP1 (ビット1) は、リアルタイムで出力レベルの反転動作許可/禁止をしているビットです。このビットを設定するとリアルタイム出力バッファ・レジスタ1 (RTBH1, RTBL1) に設定した値の反転したレベルを出力します。PWM変調をかけている場合もPWM変調後の出力レベルを反転します。

3 . SELPWM1 (ビット0) は、PWM信号を指定するビットです。リアルタイム出力ポート1 (RTP1) では、TO2 (TM2のタイマ出力) 端子とTO6 (TM6のタイマ出力) 端子がPWM信号を出力します。

(4) PWM変調バッファ・レジスタ1 (BFPWMC1)

BFPWMC1は、リアルタイム出力の転送トリガに同期してPWMC1にデータ(上位6ビットのみ)を転送するレジスタです。

BFPWMC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図6-14 PWM変調バッファ・レジスタ1 (BFPWMC1) のフォーマット

アドレス: 0FFA7H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
BFPWMC1	BFPWMC17	BFPWMC16	BFPWMC15	BFPWMC14	BFPWMC13	BFPWMC12	0	0

BFPWMC1からPWM変調制御レジスタ1 (PWMC1) へのデータ転送(上位6ビット)は、リアルタイム出力バッファ・レジスタ1からリアルタイム出力用出力ラッチへの転送に同期して行われます。この転送動作には、次の3つがあります。

- ・RTBH1レジスタからリアルタイム出力用出力ラッチ(H) : 上位4ビット転送
- ・RTBL1レジスタからリアルタイム出力用出力ラッチ(L) : 下位2ビット転送
- ・上位, 下位の6ビット同時転送

転送動作は、リアルタイム出力ポート・コントロール・レジスタ1 (RTPC1) のビット4, 5 (EXTR1, BYTE1) で指定します。指定は、表6-6のようになります。

表6-6 PWM変調バッファ・レジスタ1 (BFPWMC1) からPWM変調制御レジスタ1 (PWMC1) へのデータ転送

BYTE1	EXTR1	上位側4ビット転送	下位側2ビット転送
0	0	INTTM7転送トリガでBFPWMC17-BFPWMC14からPWMC17-PWMC14へ4ビット転送	INTTM50転送トリガでBFPWMC13, BFPWMC12からPWMC13, PWMC12へ2ビット転送
0	1	INTTM50転送トリガでBFPWMC17-BFPWMC14からPWMC17-PWMC14へ4ビット転送	INTP5転送トリガでBFPWMC13, BFPWMC12からPWMC13, PWMC12へ2ビット転送
1	0	INTTM50転送トリガでBFPWMC17-BFPWMC12からPWMC17-PWMC12へ6ビット転送	
1	1	INTP5転送トリガでBFPWMC17-BFPWMC12からPWMC17-PWMC12へ6ビット転送	

注意1. BFPWMC1からPWMC1へのデータ転送は、上位6ビットのみ行われ、下位2ビットは転送されません。

2. PWM変調許可でリアルタイム出力動作を行っているとき、リアルタイム出力を停止させる場合は次の順序で行ってください。

BFPWMC12-BFPWMC17に“0”を設定する。

PWMC12-PWMC17 (PWM変調制御レジスタ1 (PWMC1) のビット2-7) に“0”を設定する(リアルタイム出力停止後、端子をポート・モードで使用する場合は、INVRTP1 (PWMC1のビット1) にも“0”を設定する)。

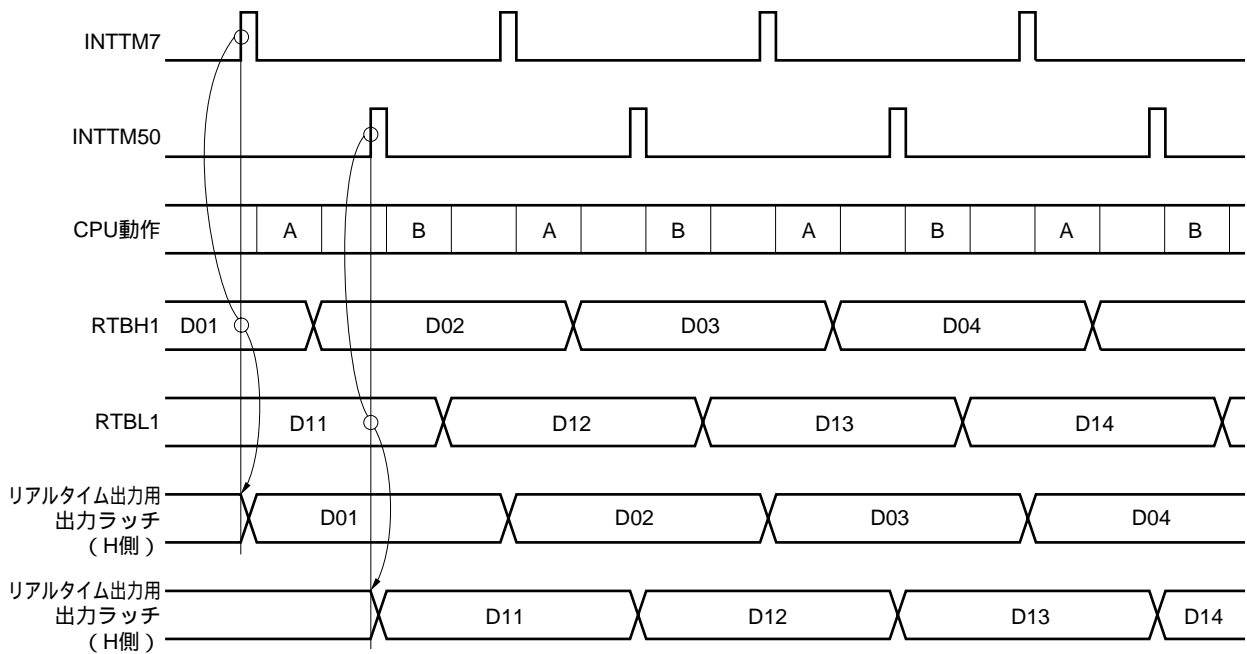
RTPOE1 (リアルタイム出力ポート・コントロール・レジスタ1 (RTPC1) のビット7) に“0”を設定する。

6.4.2 動作

リアルタイム出力ポート・コントロール・レジスタ1 (RTPC1) のビット7 (RTPOE1) = 1 でリアルタイム出力動作を許可した場合、選択された転送トリガ (EXTR1とBYTE1で設定^注) の発生に同期して、リアルタイム出力バッファ・レジスタ1 (RTBH1, RTBL1) のデータをリアルタイム出力用出力ラッチに転送します。転送されたデータのうちリアルタイム出力ポート・モード・レジスタ1 (RTPM1) の設定により、リアルタイム出力ポートに指定されたビットのデータのみをRTP0-RTP7のそれぞれのビットから出力します。RTPM1でポート・モードに指定されたポートは、汎用入出力ポートとして使用できます。

注 EXTR1 : リアルタイム出力ポート・コントロール・レジスタ1 (RTPC1) のビット4
 BYTE1 : " のビット5

図6 - 15 リアルタイム出力ポート1の動作タイミング例 (EXTR1 = 0, BYTE1 = 0の場合)



A : INTTM7によるソフトウェア処理 (RTBH1ライト)
 B : INTTM50によるソフトウェア処理 (RTBL1ライト)

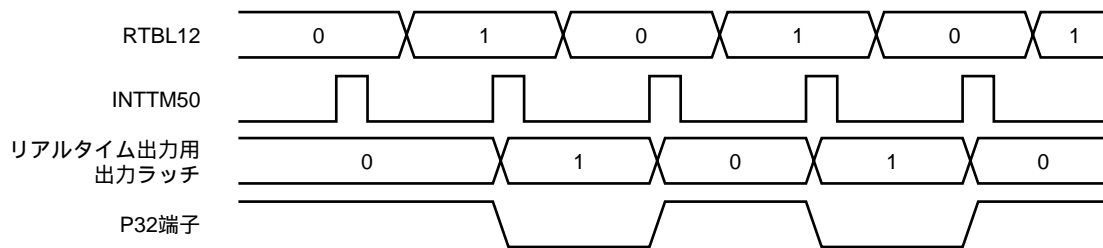
6.4.3 PWM変調制御

リアルタイム出力ポート1 (RTP1) は、リアルタイム出力とPWM信号 (TO2またはTO6) のOR論理をとったPWM変調動作が可能です。また、リアルタイム出力レベルの反転動作を許可することで、RTBH1, RTBL1レジスタに設定した値の反転したレベルのパルス波形を生成できます。

(1) RTP1のリアルタイム出力の反転動作

PWM変調制御レジスタ1 (PWMC1) のビット1 (INVRTP1) に“1”を設定すると、リアルタイム出力バッファ・レジスタ (RTBH1, RTBL1) に設定した値の反転したレベルを出力します。動作例を図6 - 16に示します。

図6 - 16 PWM出力レベル反転動作例 (RTP1)



備考 INTTM50 : 転送トリガ

(2) RTP1のPWM変調動作

P32-P37端子がリアルタイム出力ポート・モード (RTP12-RTP17出力モード) 時, 各端子の出力パターンに対して, PWM変調をかけることができます。PWM変調をかけると, RTBH1, RTBL1から出力ラッチに転送された信号とPWM信号 (TO2またはTO6) のOR論理をとった信号がP32-P37端子に出力されます。また各端子ごとにPWM変調をかけることができます。図6-17にPWM変調動作例を示します。

図6-17 PWM変調動作例 (RTP1)

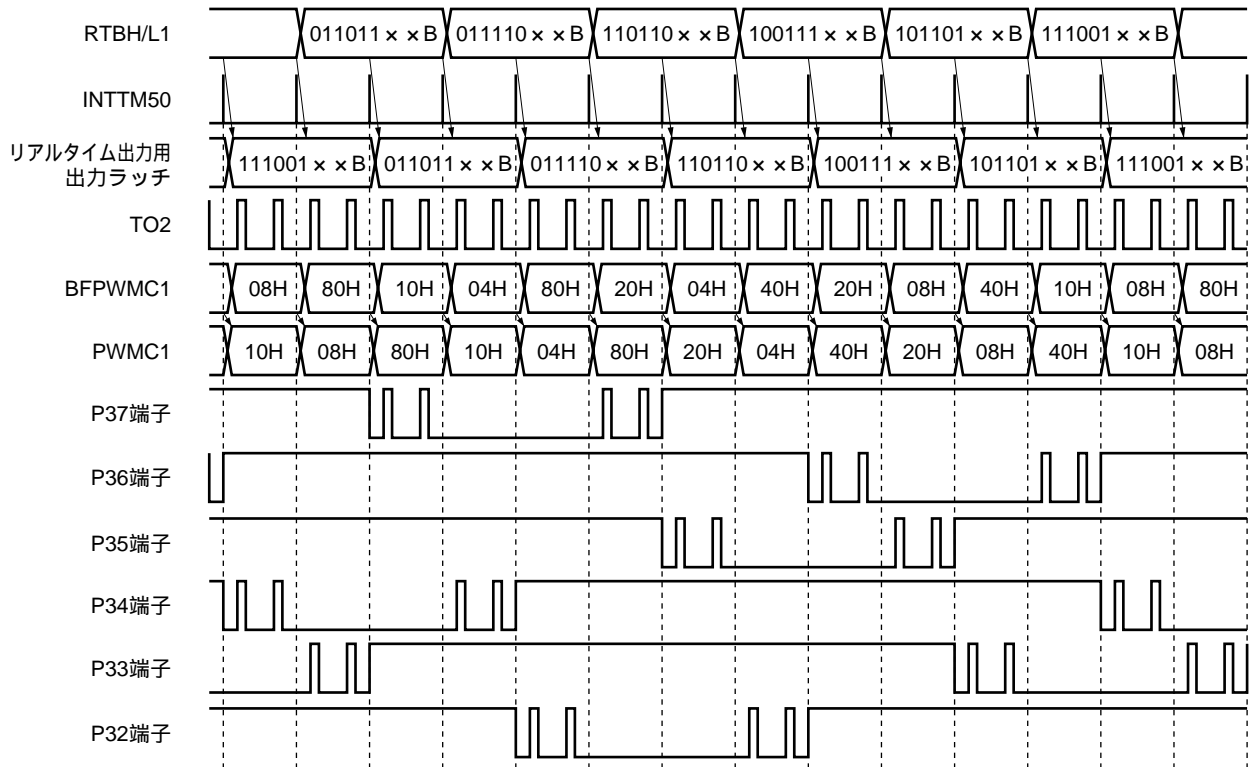
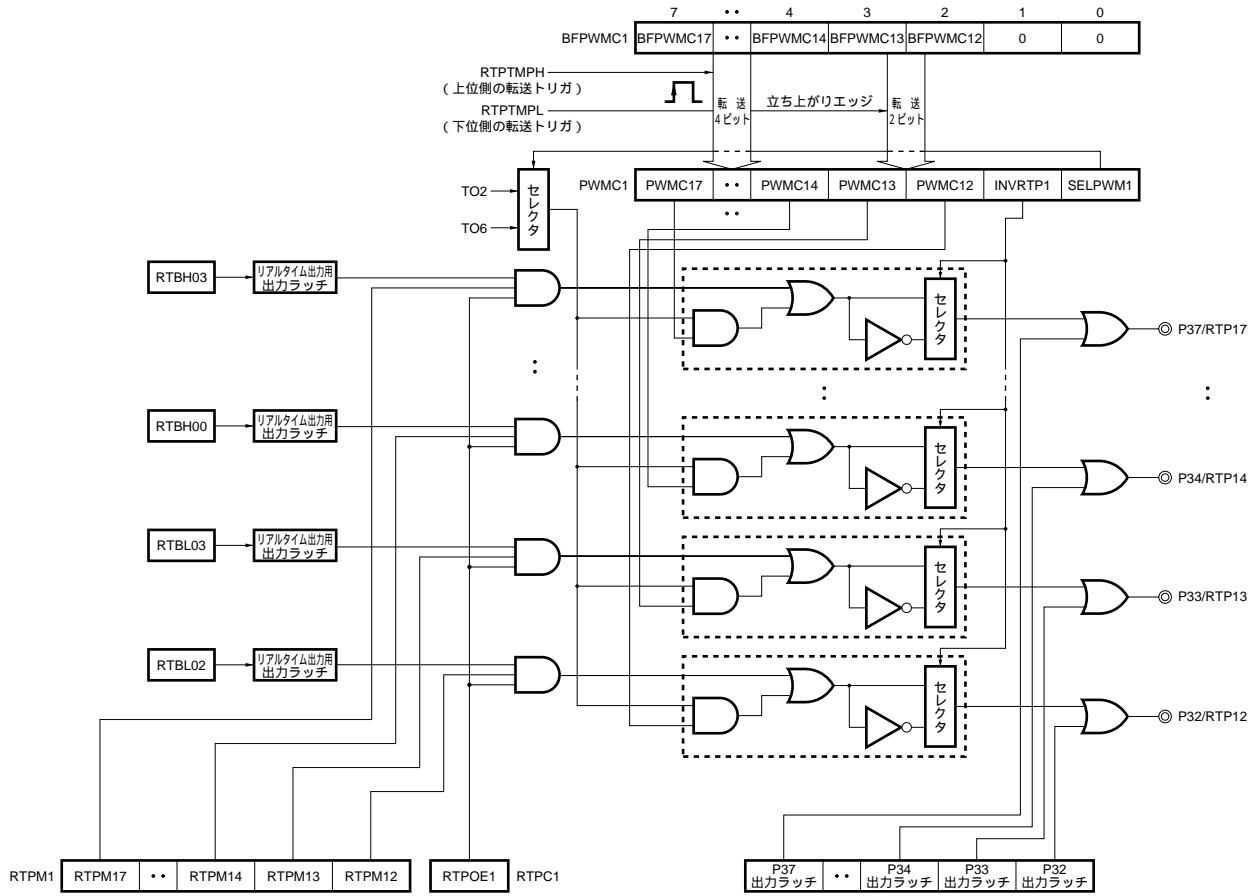


図6-18 PWM変調制御回路の構成 (RTP1)



備考 []内は、図6-1 リアルタイム出力ポートのブロック図のPWM出力制御回路です。

6.5 使用方法

(1) リアルタイム出力動作を禁止する^注。

リアルタイム出力ポート・コントロール・レジスタ0, 1 (RTPC0, RTPC1)のビット7 (RTPOE0, RTPOE1) = 0に設定。

(2) 初期設定

- ・初期値をポートの出力ラッチに設定する。
- ・ビット単位でリアルタイム出力ポート・モード/ポート・モードを指定する。
リアルタイム出力ポート・モード・レジスタ0, 1 (RTPM0, RTPM1)を設定。
- ・転送トリガを選択する。
RTPC0, RTPC1のビット4, 5, 6 (EXTR0, EXTR1, BYTE0, BYTE1, RTPEG0, RTPEG1)を設定。
- ・ポートの出力ラッチと同じ初期値をリアルタイム出力バッファ・レジスタ0, 1 (RTBL0, RTBH0, RTBL1, RTBH1)に設定する。
- ・PWM変調動作, RTP出力レベルを設定する。
- ・PWMC0, PWMC1, BFPWMC0, BFPWMC1を設定する。

(3) リアルタイム出力動作を許可する。

RTPOE0, RTPOE1 = 1

許可すると, RTBL0, RTBH0, RTBL1, RTBH1の値がリアルタイム出力ポート0, 1 (RTP0, RTP1)の出力ラッチにラッチされます。

(4) 選択した転送トリガが発生するまでに, ポートの出力ラッチを0にし, 次の出力をRTBL0, RTBH0, RTBL1, RTBH1に設定する。

リアルタイム出力動作により出力される値は, ポートの出力ラッチとリアルタイム出力ポート0, 1の出力ラッチのORをとったものです(図6-1 リアルタイム出力ポートのブロック図参照)。したがって, リアルタイム出力動作を許可してから転送トリガが発生するまでに, ポートの出力ラッチに0を設定してください。

(5) 選択したトリガに対応する割り込み処理により, 順次, 次のリアルタイム出力値をRTBL0, RTBH0, RTBL1, RTBH1, PWM変調動作をBFPWMC0, BFPWMC1に設定する。

注 PWM変調許可のときにリアルタイム出力動作を停止させる場合は次の順序で行ってください。

BFPWMCn2-BFPWMCn7に“0”を設定する。

PWMCn2-PWMCn7 (PWM変調制御レジスタn (PWMCn)のビット2-7)に“0”を設定する(リアルタイム出力停止後, 端子をポート・モードで使用する場合は, INVRTPn (PWMCnのビット1)にも“0”を設定する)。

RTPOEn (リアルタイム出力ポート・コントロール・レジスタn (RTPCn)のビット7)に“0”を設定する。

備考 n = 0, 1

6.6 注意事項

- (1) 初期設定は、リアルタイム出力ポート・コントロール・レジスタ0, 1 (RTPC0, RTPC1) のビット7 (RTPOE0, RTPOE1) を0にし、リアルタイム出力動作を禁止してから行ってください。
- (2) 一度リアルタイム出力動作を禁止 (RTPOE0, RTPOE1 = 0) した場合は、リアルタイム出力動作を許可 (RTPOE0, RTPOE1 = 0 1) する前に、必ず出力ラッチと同じ初期値をリアルタイム出力バッファ・レジスタ0, 1 (RTBL0, RTBH0, RTBL1, RTBH1) に設定してください。
- (3) 次に示す信号の競合時は、動作の保証はされません。
- ・リアルタイム出力ポート・モード/ポート・モードの切り替え (リアルタイム出力ポート・コントロール・レジスタ0, 1 (RTPC0, RTPC1) のビット7 (RTPOE0, RTPOE1) とリアルタイム出力の転送トリガの競合
 - ・リアルタイム出力ポート・モードにおけるリアルタイム出力バッファ・レジスタ0, 1 (RTBH0, RTBL0, RTBH1, RTBL1) への書き込みとリアルタイム出力の転送トリガの競合
 - ・リアルタイム出力ポート・モードにおけるPWM変調バッファ・レジスタ0, 1 (BFPWMC0, BFPWMC1) への書き込みとリアルタイム出力の転送トリガの競合
 - ・リアルタイム出力ポート・モードにおけるPWM変調制御レジスタ0, 1 (PWMC0, PWMC1) の読み出しとリアルタイム出力の転送トリガの競合
- (4) ポート・モードとリアルタイム出力ポート・モードの切り替え (RTPC0, RTPC1のビット7 (RTPOE0, RTPOE1)) 時には、その以前に必ずリアルタイム出力バッファ・レジスタ0, 1 (RTBH0, RTBL0, RTBH1, RTBL1) およびPWM変調制御レジスタ0, 1 (PWMC0, PWMC1) , PWM変調バッファ・レジスタ0, 1 (BFPWMC0, BFPWMC1) に初期値を設定してください。
- (5) リアルタイム出力用出力ラッチは、直接読み出し、書き込みはできません。
- (6) RTP02-RTP07, RTP12-RTP17は、各ビットごとに出力ポート部で出力ラッチのOR論理をとって外部端子出力とします。
- (7) リアルタイム出力動作時は、P10-P15, P32-P37の出力ラッチに“0”を設定してください。
- (8) リアルタイム出力ポート・モードに設定中、PWM変調制御レジスタ0, 1 (PWMC0, PWMC1) への書き込み動作は、初期設定以外は禁止です。
- (9) P10/RTP02-P15/RTP07, P32/RTP12-P37/RTP17端子を出力ポート (P10-P15, P32-P37) として使用する場合、RTPC0, RTPC1のビット7 (RTPOE0, RTPOE1) を“0” (リアルタイム出力動作の禁止) , PWMC0, PWMC1のビット2-7 (PWMC02-PWMC07) を“0” (PWM変調動作の禁止) および (BFPWMC0, BFPWMC1) のビット1 (INVRTP0, INVRTP1) を“0” (リアルタイム出力レベルの反転禁止) に設定してください。

第7章 タイマの概説

16ビット・タイマを6ユニット，8ビット・タイマを2ユニット内蔵しています。

また，計21の割り込み要求をサポートしていますので，8ユニットのタイマとして機能させることができます。

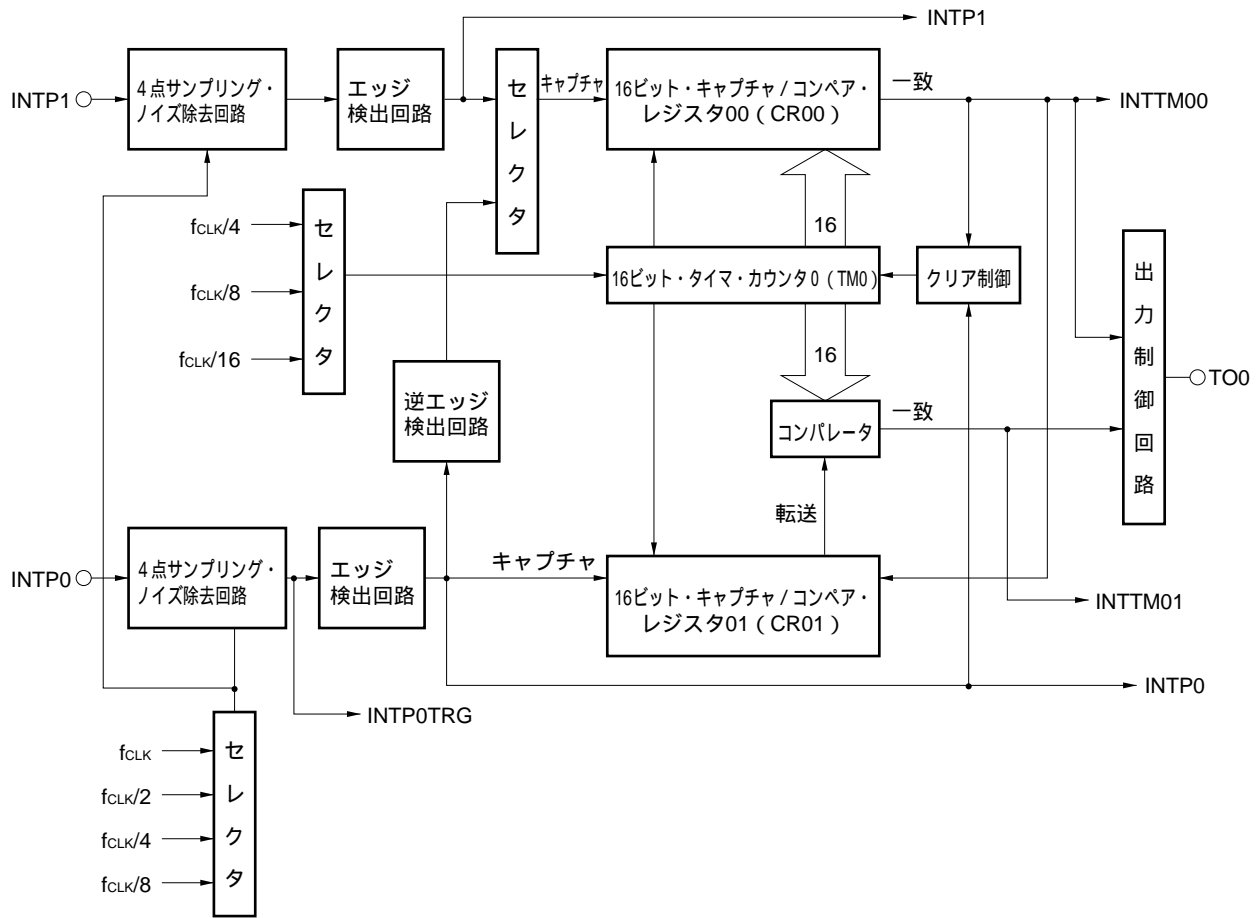
表7-1 タイマの動作

項目		名称	16ビット・ タイマ0	16ビット・ タイマ1	16ビット・ タイマ2	16ビット・ タイマ3	16ビット・ タイマ4	16ビット・ タイマ5
カウント幅	8ビット		-	-	-	-	-	-
	16ビット							
動作モード	インターバル・タイマ		1ch	1ch	1ch	1ch	1ch	1ch
	外部イベント・カウンタ		-	-	-	-	-	-
機能	タイマ出力		1ch	1ch	1ch	-	-	-
	PWM出力					-	-	-
	パルス幅測定		2入力	-	-	-	3入力	2入力
	割り込み要求数		4	2	2	2	5	4

項目		名称	8ビット・ タイマ6	8ビット・ タイマ7
カウント幅	8ビット			
	16ビット			-
動作モード	インターバル・タイマ		1ch	1ch
	外部イベント・カウンタ		-	-
機能	タイマ出力		1ch	-
	PWM出力			-
	パルス幅測定		-	-
	割り込み要求数		1	1

図7-1 タイマのブロック図(1/5)

16ビット・タイマ0



16ビット・タイマ1

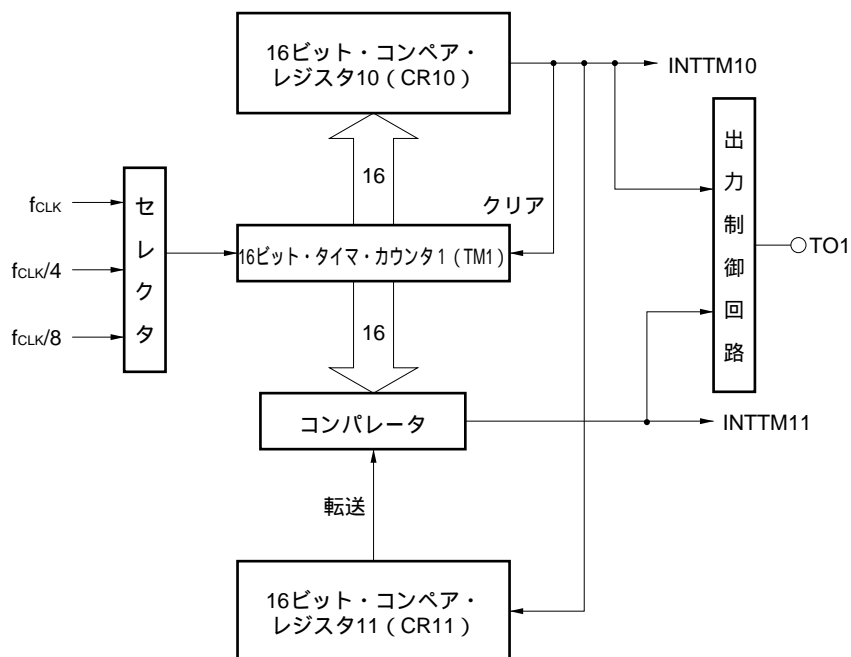
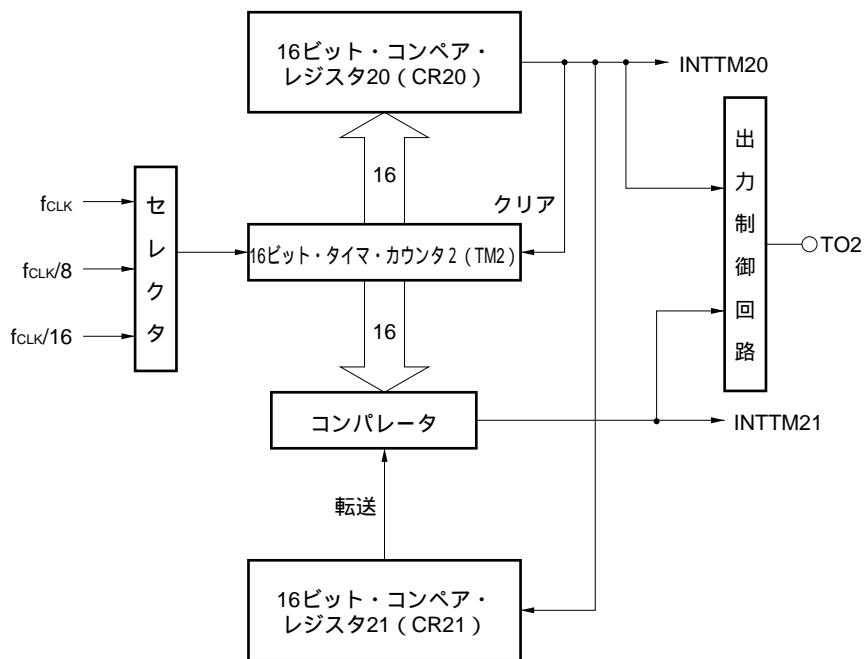


図7-1 タイマのブロック図(2/5)

16ビット・タイマ2



16ビット・タイマ3

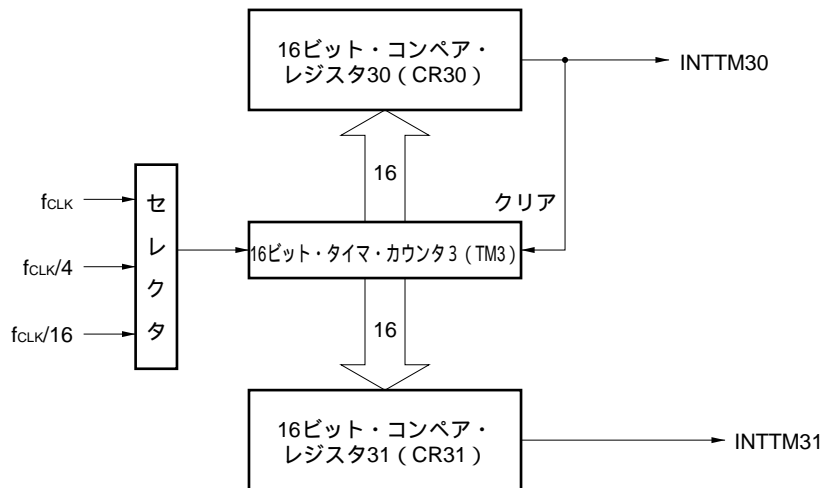


図7-1 タイマのブロック図(3/5)

16ビット・タイマ4

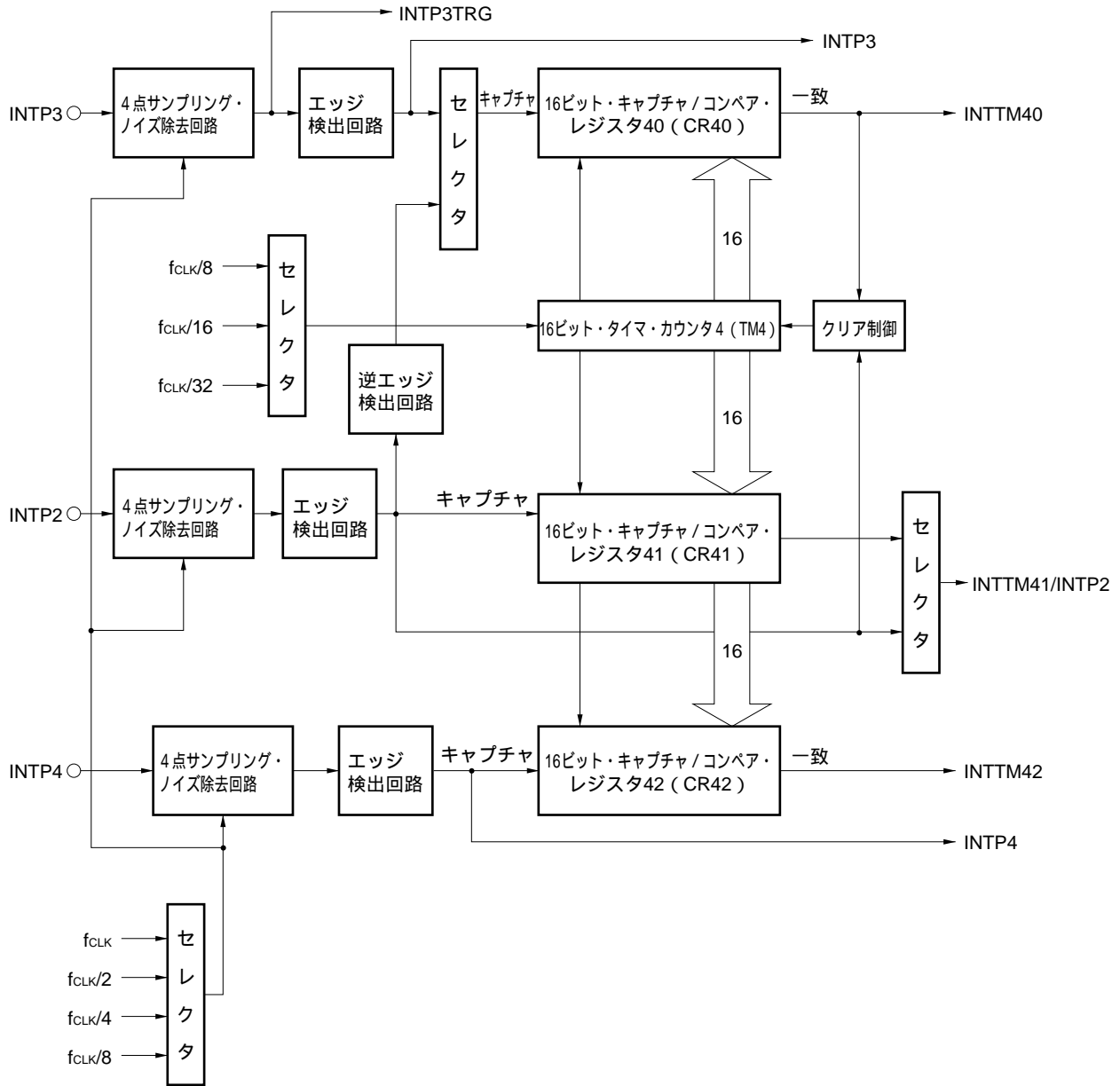
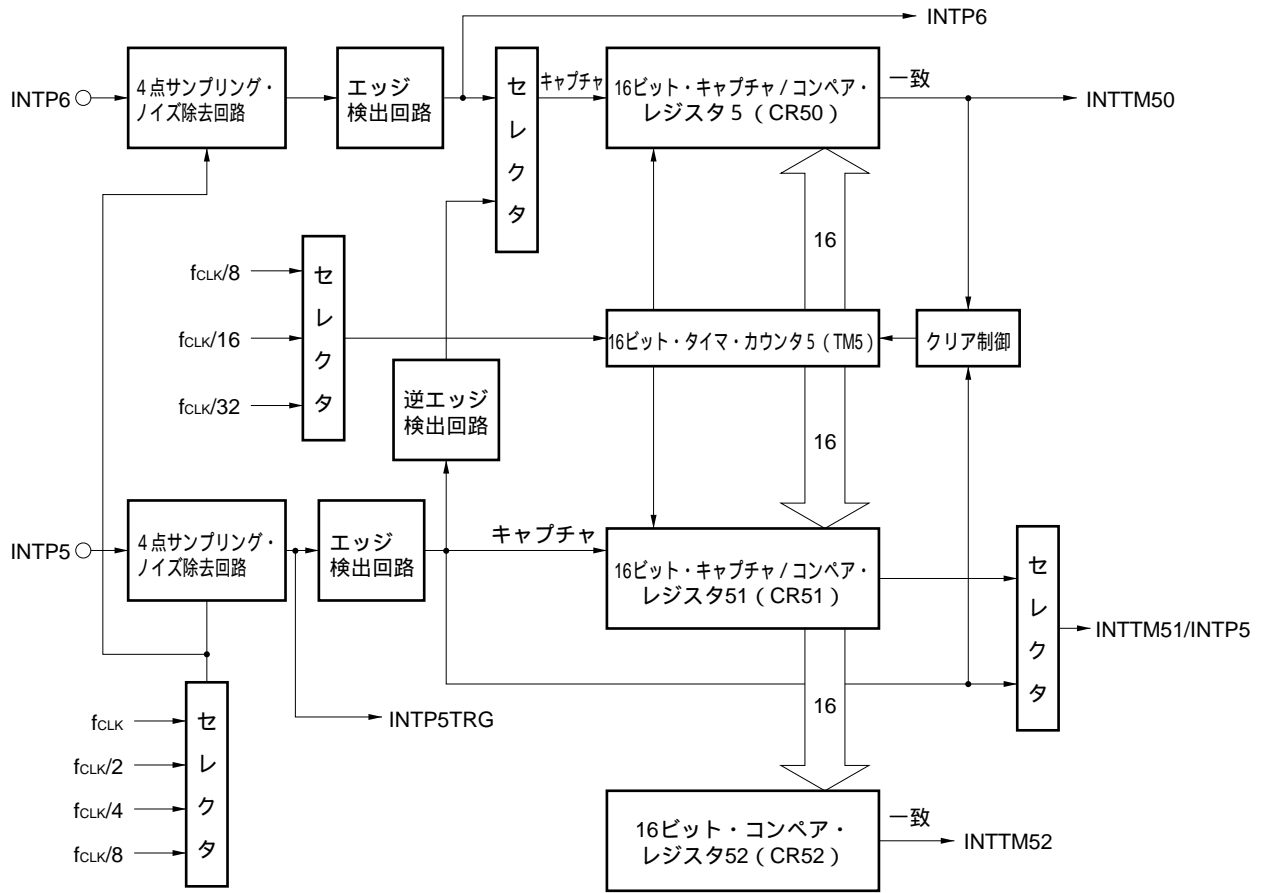


図7-1 タイマのブロック図(4/5)

16ビット・タイマ5



8ビット・タイマ6

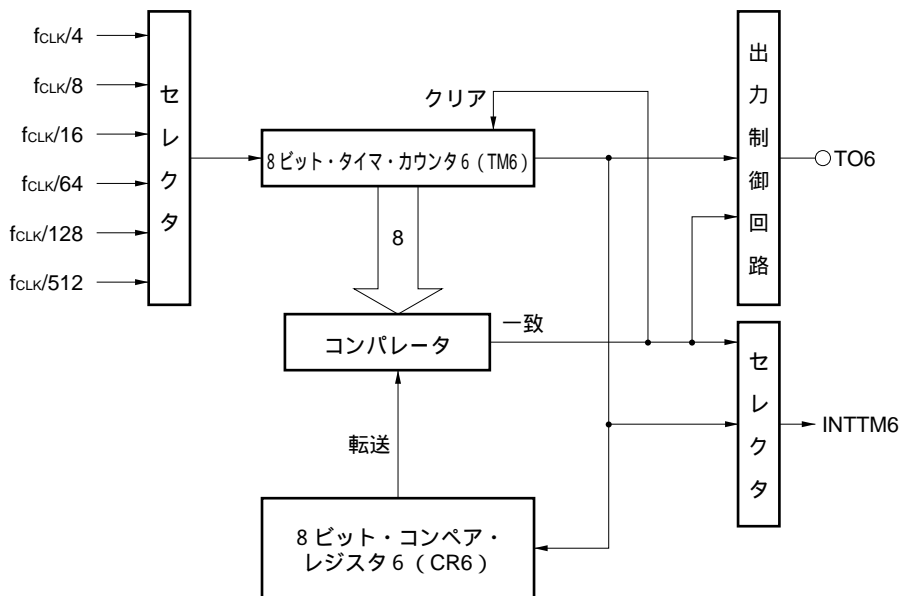
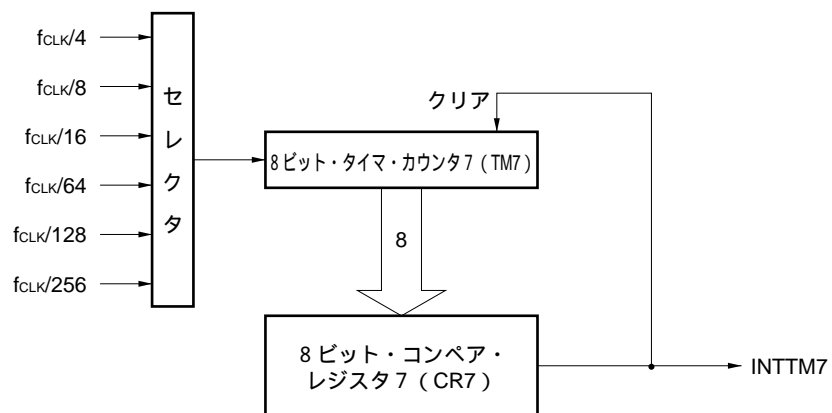


図7-1 タイマのブロック図(5/5)

8ビット・タイマ7



第8章 16ビット・タイマ0

8.1 機能

16ビット・タイマ0には、次のような機能があります。

- ・インターバル・タイマ
あらかじめ設定した任意の時間間隔で割り込み要求を発生します。
- ・PWM出力

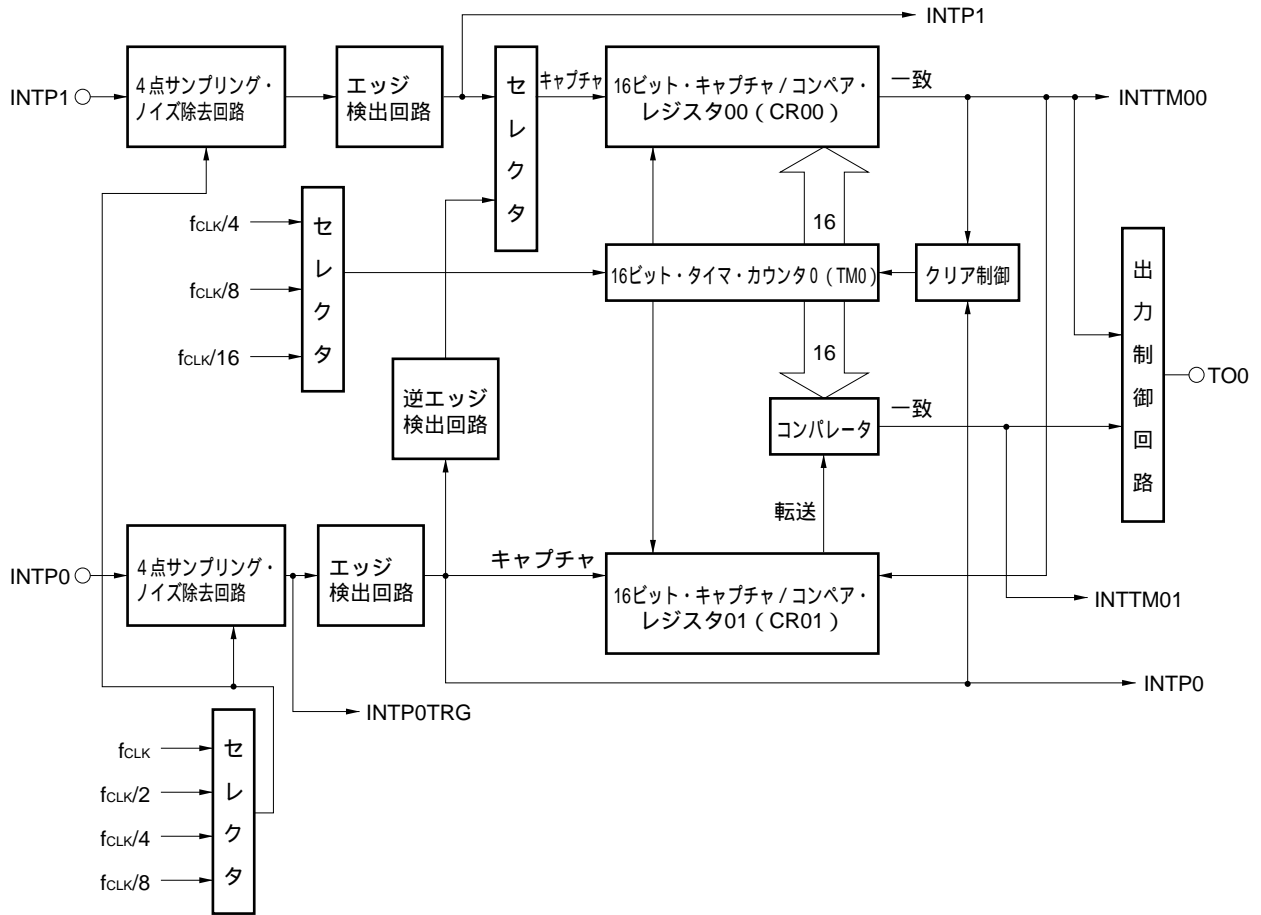
8.2 構成

16ビット・タイマ0は、次のハードウェアで構成しています。

表8 - 1 16ビット・タイマ0の構成

項 目	構 成
タイマ・カウンタ	16ビット×1本 (TM0)
レジスタ	キャプチャ/コンペア・レジスタ：16ビット×2本 (CR00, CR01)
タイマ出力	1本 (TO0)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) タイマ出力コントロール・レジスタ0 (TOC0) プリスケラ・モード・レジスタ0 (PRM0)

図8 - 1 16ビット・タイマ0のブロック図



(1) 16ビット・タイマ・カウンタ0 (TM0)

TM0は、カウント・パルスをカウントする16ビット・フリーランニングまたはインターバル・タイマです。入力クロックの立ち上がりに同期して、カウンタをインクリメントします。次の場合、カウント値は0000Hになります。

$\overline{\text{RESET}}$ 入力

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) をクリア

INTP0有効エッジ入力でクリア&スタート・モード時のINTP0有効エッジが入力されたとき

16ビット・キャプチャ/コンペア・レジスタ00 (CR00) の一致でクリア&スタート・モード時のTM0とCR00の一致

(2) 16ビット・キャプチャ/コンペア・レジスタ00 (CR00)

CR00は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット0 (CRC00) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR00をコンペア・レジスタとして使用するとき

CR00に設定した値と16ビット・タイマ・カウンタ0 (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00) を発生します。TM0をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

・CR00をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてINTP0端子、またはINTP1端子の有効エッジが選択できます。INTP0, INTP1の有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) , およびビット6, 7 (ES10, ES11) で設定します。

キャプチャ・トリガとしてINTP0端子の有効エッジに指定したときは表8 - 2, キャプチャ・トリガとしてINTP1端子の有効エッジに指定したときは表8 - 3のようになります。

表8 - 2 INTP0端子の有効エッジとCR00, CR01のキャプチャ・トリガ

ES01	ES00	INTP0端子の有効エッジ	CR00のキャプチャ・トリガ	CR01のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ	キャプチャ動作しない	立ち上がり, 立ち下がりの両エッジ

表8 - 3 INTP1端子の有効エッジとCR00のキャプチャ・トリガ

ES11	ES10	INTP1端子の有効エッジ	CR00のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり，立ち下がりの両エッジ	立ち上がり，立ち下がりの両エッジ

CR00は，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，不定になります。

注意 CR00をキャプチャ・モードからコンペア・モードに切り替えた場合，CR00の値は最後にキャプチャされた値になります。またコンペア・モードからキャプチャ・モードに切り替えた場合，CR00の値は最後にコンペア・レジスタに設定された値になります。

(3) 16ビット・キャプチャ/コンペア・レジスタ01 (CR01)

CR01は，キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。

キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット2 (CRC02) により，キャプチャ・レジスタとして使用するのか，コンペア・レジスタとして使用するのかを設定します。

・CR01をコンペア・レジスタとして使用するとき

CR01に設定した値と16ビット・タイマ・カウンタ0 (TM0) のカウント値を常に比較し，一致したときに割り込み要求 (INTTM01) を発生します。

・CR01をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてINTP0端子の有効エッジが選択できます。INTP0の有効エッジは，プリスケアラ・モード・レジスタ0 (PRM0) のビット4，5 (ES00, ES01) で設定します。

キャプチャ・トリガとしてINTP0端子の有効エッジに指定したときは表8 - 4のようになります。

表8 - 4 INTP0端子の有効エッジとCR01のキャプチャ・トリガ

ES01	ES00	INTP0端子の有効エッジ	CR01のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり，立ち下がりの両エッジ	立ち上がり，立ち下がりの両エッジ

CR01は，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，不定になります。

注意 CR01をキャプチャ・モードからコンペア・モードに切り替えた場合，CR01の値は最後にキャプチャされた値になります。またコンペア・モードからキャプチャ・モードに切り替えた場合，CR01の値は最後にコンペア・レジスタに設定された値になります。

8.3 制御レジスタ

16ビット・タイマ0を制御するレジスタには、次の4種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)
- ・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)
- ・タイマ出力コントロール・レジスタ0 (TOC0)
- ・プリスケラ・モード・レジスタ0 (PRM0)

(1) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

TMC0は、16ビット・タイマ・カウンタ0 (TM0) のクリア・モード，出力タイミングの設定およびオーバーフローを検出するレジスタです。

TMC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

注意 TM0は、TMC0のビット2，3 (TMC02, TMC03) に“0”，“0” (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC02, TMC03に“0”，“0”を設定してください。

図8 - 2 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のフォーマット

アドレス：0FF18H リセット時：00H R/W

略号	7	6	5	4	3	2	1	①
TMC0	0	0	0	0	TMC03	TMC02	0	OVF0

TMC03	TMC02	動作モードおよびクリア・モードの選択	割り込みの発生
0	0	動作停止 (TM0は0にクリア)	発生しない
0	1	フリーランニング・モード	TM0とCR00の 一致で発生
1	0	INTP0の有効エッジで クリア&スタート	
1	1	TM0とCR00の一致で クリア&スタート	

OVF0	TM0のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意 クリア・モードは、タイマ動作を停止 (16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2，3 (TMC02, TMC03) に“0”，“0”を設定) させてから切り替えてください。

INTP0の有効エッジは、プリスケラ・モード・レジスタ0 (PRM0) で設定します。

備考 INTP0 : 16ビット・タイマ0の入力端子

TM0 : 16ビット・タイマ・カウンタ0

CR00 : 16ビット・キャプチャ/コンペア・レジスタ00

(2) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

16ビット・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) の動作を制御するレジスタです。CRC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図8-3 キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット

アドレス：0FF16H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRC0	SMPC01	SMPC00	0	0	0	CRC02	CRC01	CRC00

SMPC01	SMPC00	サンプリング・クロックの選択
0	0	f _{CLK}
0	1	f _{CLK} /2
1	0	f _{CLK} /4
1	1	f _{CLK} /8

CRC02	CR01の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC01	CR00のキャプチャ・トリガの選択
0	INTP1の有効エッジでキャプチャする
1	INTP0の有効エッジの逆相でキャプチャする

CRC00	CR00の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

- 注意1 . CRC0は、必ずタイマ動作を停止させてから設定してください。
- 2 . 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) で、TM0とCR00の一致でクリア&スタート・モードを選択したとき、CR00をキャプチャ・レジスタに指定しないでください。
- 3 . CRC01に“1”を設定したとき、INTP0の有効エッジを立ち上がり、立ち下りの両エッジに指定しないでください。

(3) タイマ出力コントロール・レジスタ0 (TOC0)

16ビット・タイマ0の出力制御回路の動作を制御するレジスタです。タイマ出力 (TO0) のアクティブ・レベル, 16ビット・タイマ0のタイマ出力許可/禁止を設定します。

TOC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により, 00Hになります。

図8 - 4 タイマ出力コントロール・レジスタ0 (TOC0) のフォーマット

アドレス : 0FF1AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	①
TOC0	0	0	0	0	0	0	ALV0	TOE0

ALV0	アクティブ・レベルの指定
0	アクティブ・レベル " 0 " (Low)
1	アクティブ・レベル " 1 " (High)

TOE0	16ビット・タイマ・カウンタ0 (TM0) の出力制御
0	出力禁止 (出力は0レベルに設定)
1	出力許可

注意 1 . TOC0は, 必ずTM0のタイマ動作を停止させてから設定してください。

- 16ビット・タイマ0からPWM出力する場合は, 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) に " 1 ", " 1 " を設定してください。
 TMC02, TMC03を " 0 ", " 0 " に設定した場合, TO0はインアクティブ・レベルになります。

備考 タイマ出力のセット/リセットは, INTTM00 (セット信号) とINTTM01 (リセット信号) で制御します。

(4) プリスケアラ・モード・レジスタ0 (PRM0)

プリスケアラ・モード・レジスタ0 (PRM0) は、16ビット・タイマ・カウンタ0 (TM0) のカウント・クロックおよびINTP0, INTP1入力の有効エッジを設定するレジスタです。

PRM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8-5 プリスケアラ・モード・レジスタ0 (PRM0) のフォーマット

アドレス：0FF1CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM0	ES11	ES10	ES01	ES00	0	0	PRM01	PRM00

ES11	ES10	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がり両エッジ

ES01	ES00	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がり両エッジ

PRM01	PRM00	カウント・クロックの選択
0	0	$f_{\text{CLK}}/4$ (2 MHz)
0	1	$f_{\text{CLK}}/8$ (1 MHz)
1	0	$f_{\text{CLK}}/16$ (500 kHz)
1	1	設定禁止

注意 PRM0は、必ずタイマ動作を停止させてから設定してください。

備考 ()内は、 $f_{\text{CLK}} = 8 \text{ MHz}$ 動作時

8.4 動作

8.4.1 16ビット・タイマ0の基本動作

16ビット・タイマ0は、カウント・パルスをカウントする16ビット・フリーランニングまたは、インターバル・タイマです。入カクロックの立ち上がり同期して、カウンタをインクリメントします。

$\overline{\text{RESET}}$ 入力により16ビット・タイマ・カウンタ0 (TM0) の全ビットはクリア (0) され、カウント動作は停止します。

カウント動作の許可/禁止は、16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) で制御します。TMC02, TMC03を“0”, “0”以外の動作モードに設定するとカウント動作を開始し、リセット (TMC02, TMC03を“0”, “0”) するとTM0はクリアされ、カウント動作を停止します。

また、カウント値は0000Hになります。

TM0は、カウント・スタート設定後、最初のカウント・クロック入力で0000H 0001Hになります。

TM0は、動作中に再度同じ動作モードを設定しても、そのままカウント動作を続けて、タイマはクリアされません。

TM0リード期間中も、カウントは停止しません。

図8 - 6 TM0の基本動作タイミング

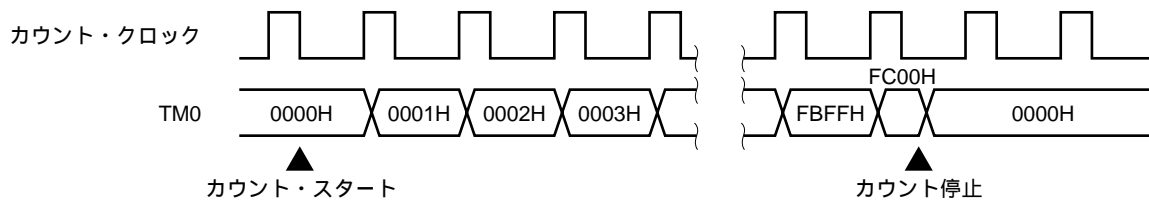
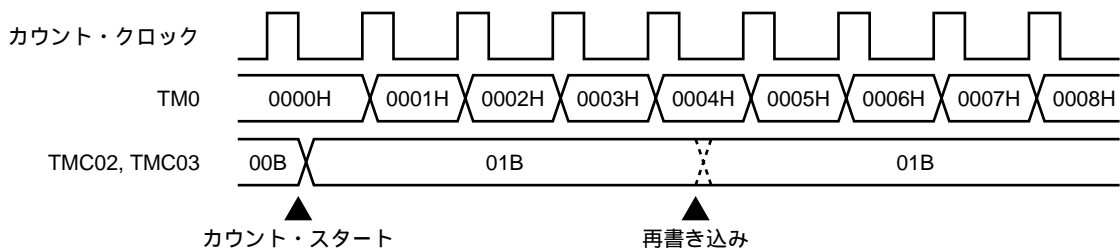


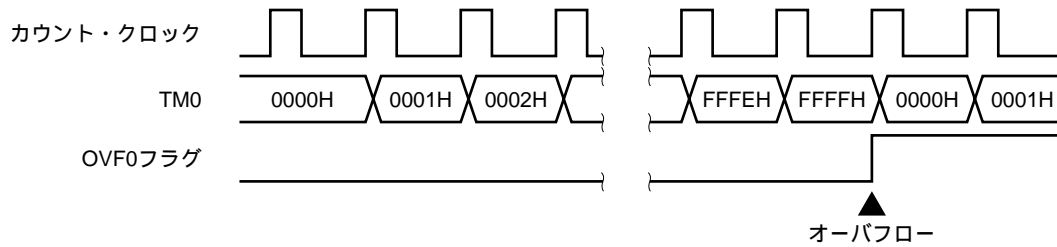
図8 - 7 TMC02, TMC03への再書き込み動作タイミング (フリーランニング・モード)



8.4.2 TM0のフリーランニング動作

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) をそれぞれ“1”, “0”に設定すると, 16ビット・タイマ・カウンタ0 (TM0) はフリーランニング動作をします。TM0は, FFFFHまでフルカウントすると次のカウント・クロックでTMC0のビット0 (OVF0) が1に設定され, TM0はクリア (0000H) されます。その後もカウントは続けられます。またOVF0は, 命令によりクリアできません。

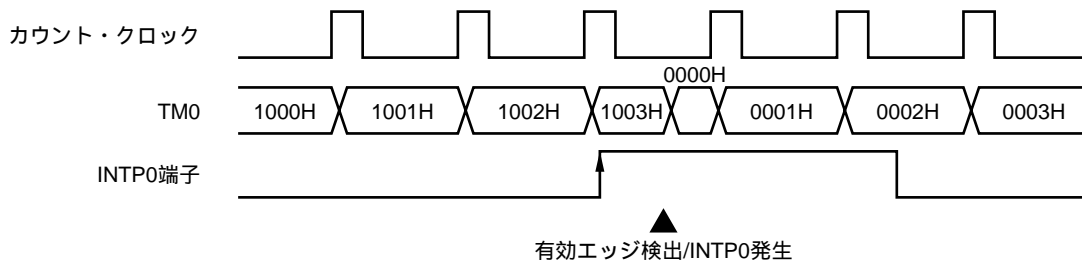
図8 - 8 TM0のフリーランニング動作タイミング



8.4.3 TM0のINTP0有効エッジ入力でクリア&スタート動作

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) をそれぞれ“0”, “1”に設定するとTM0は, INTP0の有効エッジ入力でクリア&スタート・モードになります。INTP0の有効エッジが入力される (割り込み要求信号: INTP0の発生) と, TM0はクリア (0000H) され, 次のカウント・クロックで0001Hとなります。その後もカウントは続けられます。

図8 - 9 TM0のINTP0有効エッジ入力でクリア&スタート・モード動作タイミング



8.4.4 TM0とCR00一致でクリア&スタート動作

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) をそれぞれ“1”, “1” に設定すると16ビット・タイマ・カウンタ0 (TM0) は, 16ビット・キャプチャ/コンペア・レジスタ00 (CR00) の一致でクリア&スタート・モードになります。TM0とCR00が一致すると, 次のカウント・クロックで割り込み要求信号 (INTTM00) を発生し, TM0はクリア (0000H) されます。その後もカウントは続けられます。

図8 - 10 TM0とCR00一致でクリア&スタート・モード動作タイミング (CR00 = 0000H)

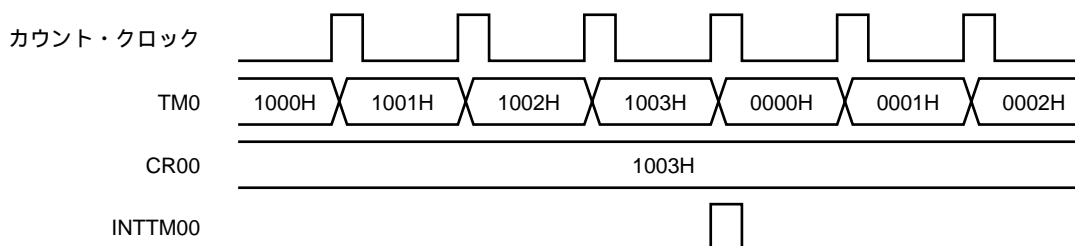
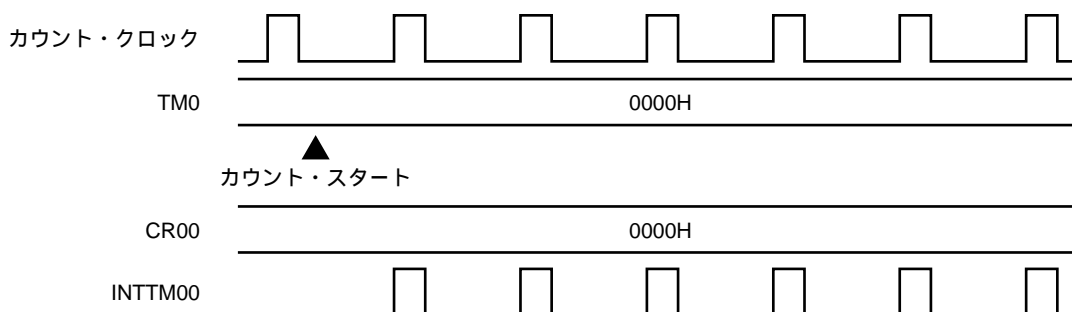


図8 - 11 TM0とCR00一致でクリア&スタート・モード動作タイミング (CR00 = 0000H)



注意 CR00は, 必ずコンペア・モードに設定してください。

備考 インターバル周期 = (CR00 + 1) × TM0のカウント・クロック・レート

8.4.5 16ビットPWM出力としての動作

タイマ出力コントロール・レジスタ0 (TOC0) のビット0 (TOE0) を “ 1 ” に設定することにより、PWM出力として動作します。

設定方法

タイマ0出力 (TO0) のアクティブ・レベル (TOC0のビット1 (ALV0)) を指定し、TO0出力許可 (TOC0のビット0 (TOE0) を “ 1 ”) に設定します。

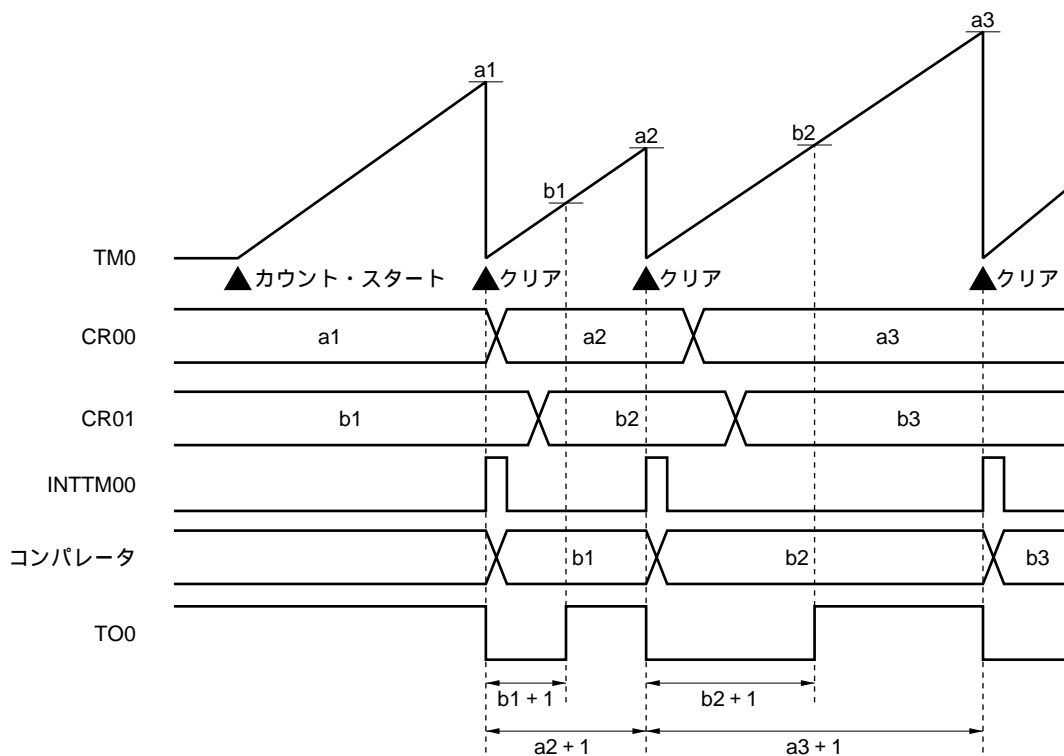
16ビット・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) をコンペア・モード (キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット0, 2 (CRC00, CRC02) を “ 0 ”) に設定します。

CR00にインターバル周期を設定し、CR01にアクティブ・レベル幅を設定します。

カウント・クロックは、プリスケアラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) で選択します。

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) に、“ 1 ” を設定するとカウント動作を開始し、TO0端子からPWM信号を出力します。

図8 - 12 TO0のPWM出力動作例



注意 CR00 = CR01を設定した場合、TO0はインアクティブ・レベル ($\overline{ALV0}$) を出力します。

CR00 < CR01を設定した場合、TO0はアクティブ・レベル (ALV0) を出力します。

備考 CR00, CR01 : コンペア・モード, CR00 > CR01, アクティブ・レベル : “ 0 ”

8.4.6 TM0のキャプチャ動作

キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット0, 2 (CRC00, CRC02) を“1”に設定して, 16ビット・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) をキャプチャ・モードにします。キャプチャ・トリガが入力されると, CR00, CR01に16ビット・タイマ・カウンタ0 (TM0) の値をキャプチャします。

図8 - 13 キャプチャ動作 (フリーランニング・モード時) のタイミング

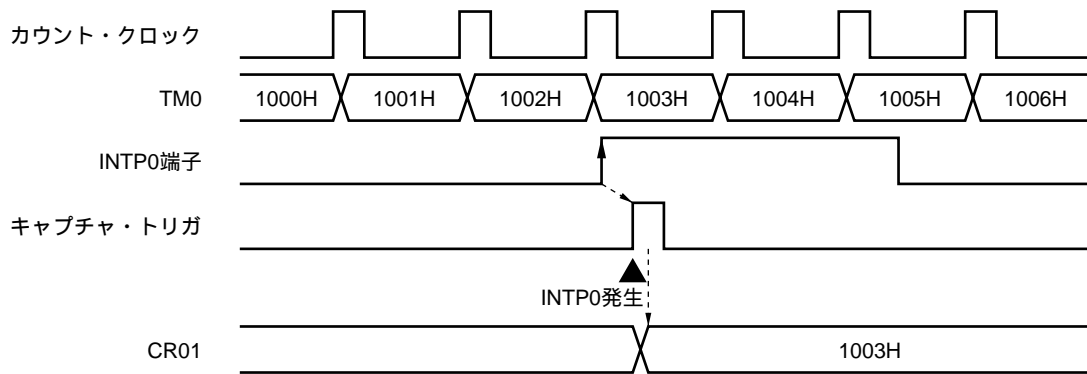
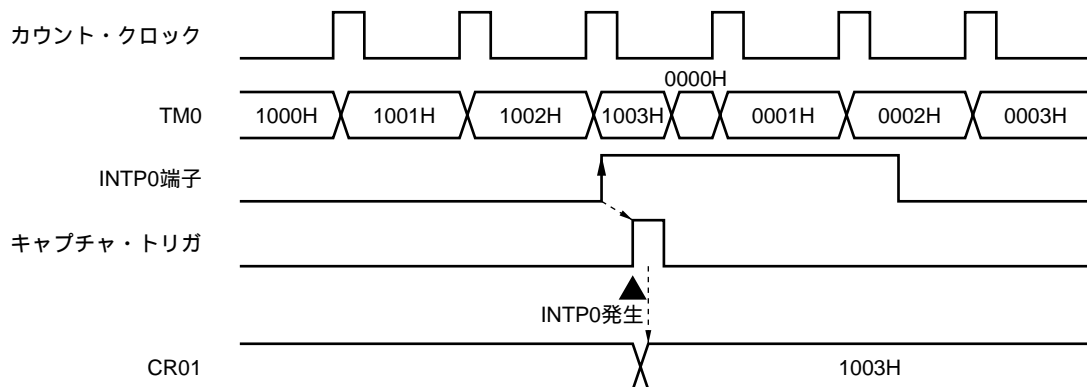


図8 - 14 キャプチャ動作 (INTPO有効エッジ入力でクリア&スタート・モード時) のタイミング



8.4.7 パルス幅測定としての動作

(1) パルス幅測定 (立ち上がり, 立ち下がり両エッジ)

16ビット・タイマ・カウンタ0 (TM0) を使用し, INTP0/P01端子およびINTP1/P02端子に入力される信号のパルス幅を測定できます。エッジからエッジまでの幅を測定します。

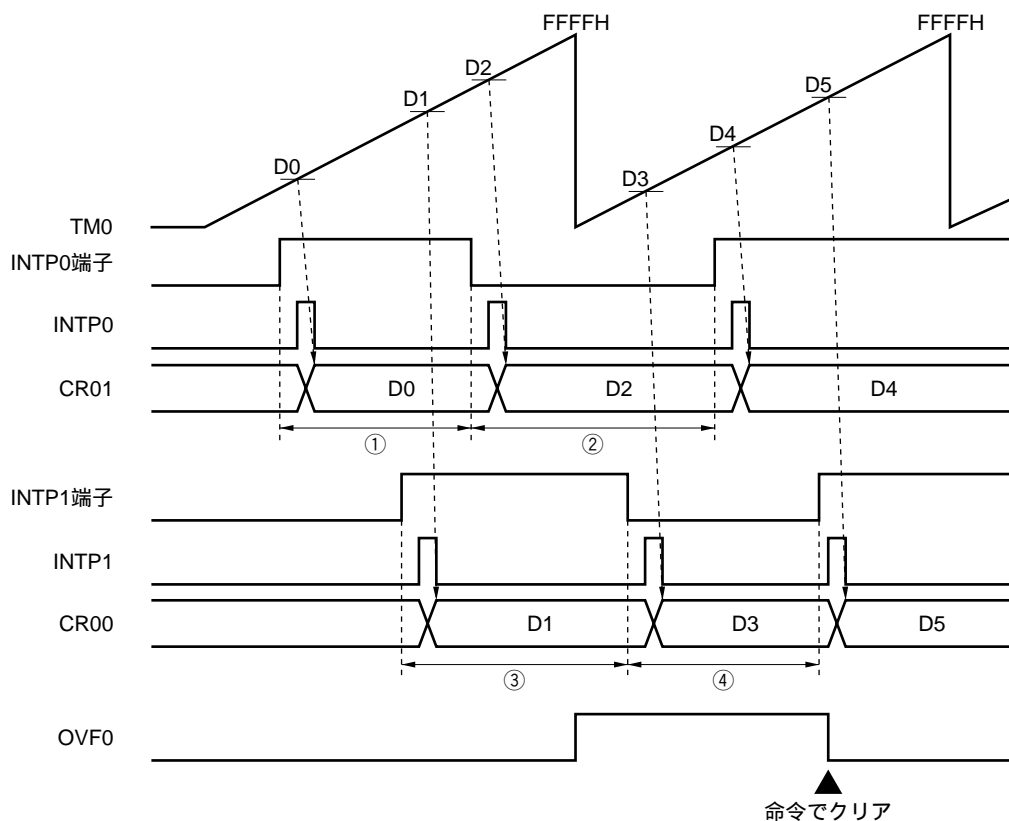
16ビット・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) をキャプチャ・モード (キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット0, 2 (CRC00, CRC02) を“1”) に設定します。

CR00のキャプチャ・トリガは, INTP1 (CRC0のビット1 (CRC01) を“0”) に設定します。

INTP0, INTP1の有効エッジを両エッジ (プリスケアラ・モード・レジスタ0 (PRM0) のビット4-7 (ES00, ES01, ES10, ES11) を“1”) に設定します。

フリーランニング・モード (16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) に, それぞれ“1”, “0”) に設定します。

図8-15 パルス幅測定動作のタイミング (両エッジ指定時)



【測定方法】

- ・ INTP0割り込み処理で, CR01とOVF0 (TMC0のビット0) フラグを読み出します。

は $(D2 - D0) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

は $(10000H - D2 + D4) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

- ・ INTP1割り込み処理で, CR00とOVF0フラグを読み出します。

は $(10000H - D1 + D3) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

は $(D5 - D3) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

備考 Dn : TM0のカウント値 (n = 0, 1, 2, ...)

(2) パルス幅測定(立ち上がりエッジ)

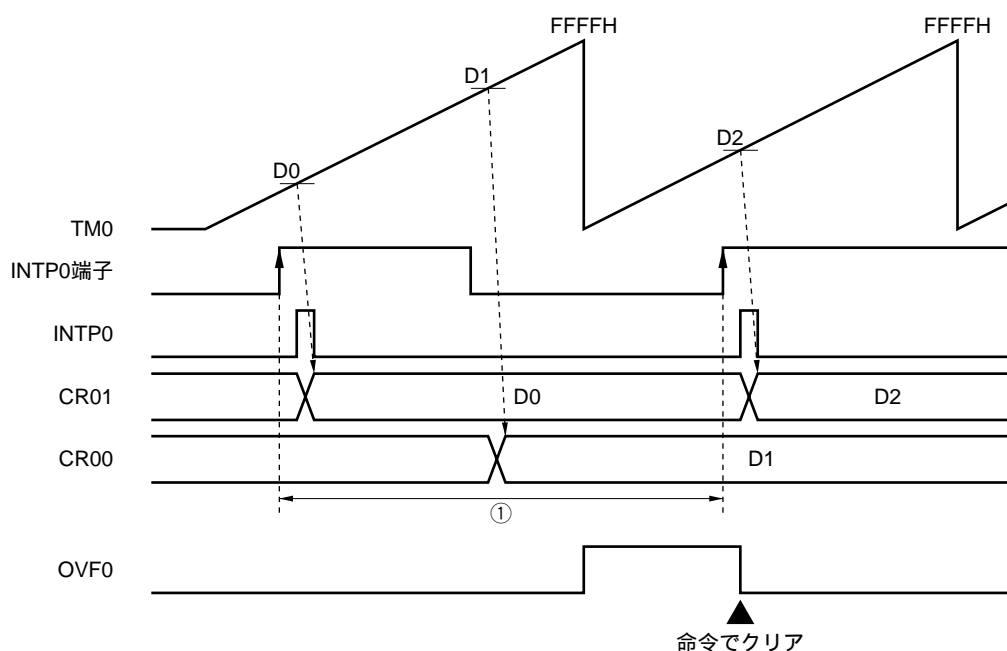
16ビット・タイマ・カウンタ0 (TM0) を使用し, INTP0/P01端子に入力されるパルス幅を測定できます。エッジからエッジまでの幅を測定します。

16ビット・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) をキャプチャ・モード(キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット0, 2 (CRC00, CRC02) を“1”) に設定します。

CR00のキャプチャ・トリガは, INTP0の逆エッジ (CRC0のビット1 (CRC01) を“1”) に設定します。

フリーランニング・モード(16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) に, それぞれ“1”, “0”) に設定します。

図8-16 パルス幅測定動作のタイミング(立ち上がりエッジ指定時)



【測定方法】

・INTP0割り込み処理で, CR01とOVFO (TMC0のビット0) フラグを読み出します。

は $(10000H - D0 + D2) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

注意 CR00は, INTP0の逆エッジでキャプチャされますが, その際, 割り込み要求信号 (INTP0) は発生しません。INTP0 (要求信号) は, 指定した有効エッジが検出されたときのみ発生します。

備考 Dn : TM0のカウント値 (n = 0, 1, 2, ...)

(3) パルス幅測定(立ち下がリエッジ)

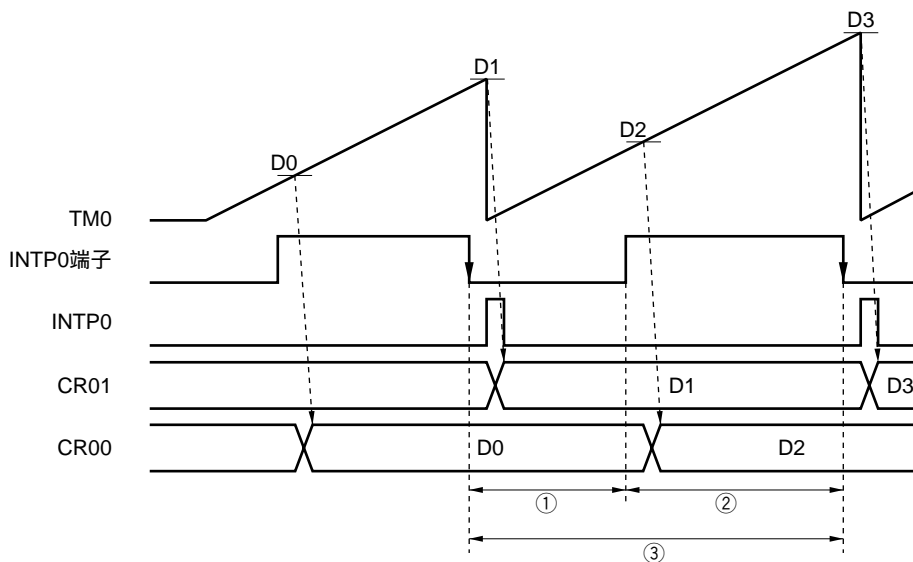
16ビット・タイマ・カウンタ0(TM0)を使用し、INTP0/P01端子に入力されるパルス幅を測定できます。ハイ幅,ロウ幅を別々に測定します。

16ビット・キャプチャ/コンペア・レジスタ00,01(CR00,CR01)をキャプチャ・モード(キャプチャ/コンペア・コントロール・レジスタ0(CRC0)のビット0,2(CRC00,CR02)を“1”)に設定します。

CR00のキャプチャ・トリガは、INTP0の逆エッジ(CRC0のビット1(CRC01)を“1”)に設定します。

INTP0の有効エッジ入力でクリア&スタート・モード(16ビット・タイマ・モード・コントロール・レジスタ0(TMC0)のビット2,3(TMC02,TMC03)をそれぞれ“0”,“1”)に設定します。

図8-17 パルス幅測定動作のタイミング(立ち下がリエッジ指定時)



【測定方法】

- ・ INTP0割り込み処理で、CR00,CR01を読み出します。
 - (ロウ幅)は $D2 \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$
 - (ハイ幅)は $(D3 - D2) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$
 - (1周期)は $D3 \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$
- ただし、TM0がオーバフローした場合は補正が必要です。

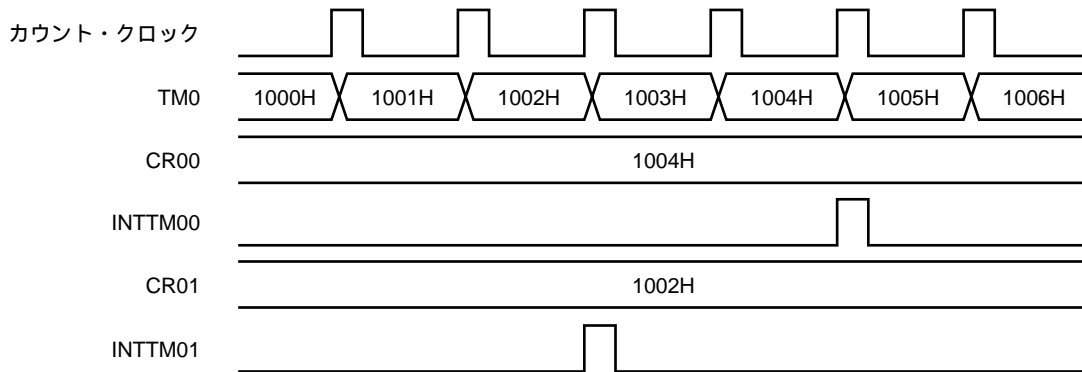
注意 CR00は、INTP0の逆エッジでキャプチャされますが、その際、割り込み要求信号(INTP0)は発生しません。INTP0(要求信号)は、指定した有効エッジが検出されたときのみ発生します。

備考 Dn: TM0のカウント値 (n=0, 1, 2, ...)

8.4.8 TM0のコンペア動作

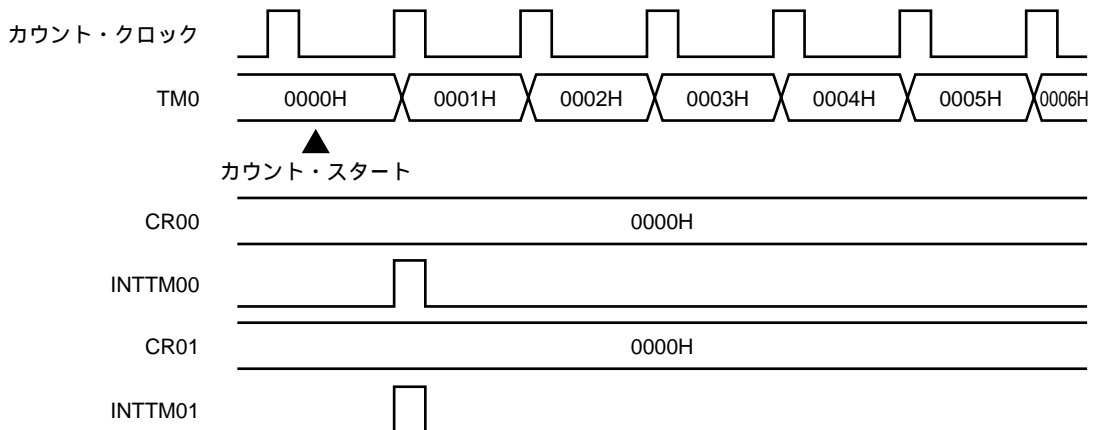
キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のビット0, 2 (CRC00, CRC02) を“0”に設定して, 16ビット・キャプチャ/コンペア・レジスタ00, 01 (CR00, CR01) をコンペア・モードにします。16ビット・タイマ・カウンタ0 (TM0) とCR00またはCR01が一致すると, 次のカウント・クロックで割り込み要求信号 (INTTM00またはINTTM01) を発生します。

図8 - 18 TM0のコンペア動作タイミング (CR00, CR01 = 0000H)



注意 図8 - 18のTM0動作モードは, TM0-CR00一致でクリア&スタート・モード以外です。TM0-CR00の一致でクリア&スタート・モード時は, TM0とCR00が一致すると, 次のカウント・クロックでTM0はクリアされます (図8 - 10 TM0とCR00一致でクリア&スタート・モード動作タイミング (CR00 = 0000H) 参照)。CR01が一致してもTM0はクリアされません。

図8 - 19 TM0のコンペア動作タイミング (CR00, CR01 = 0000H)

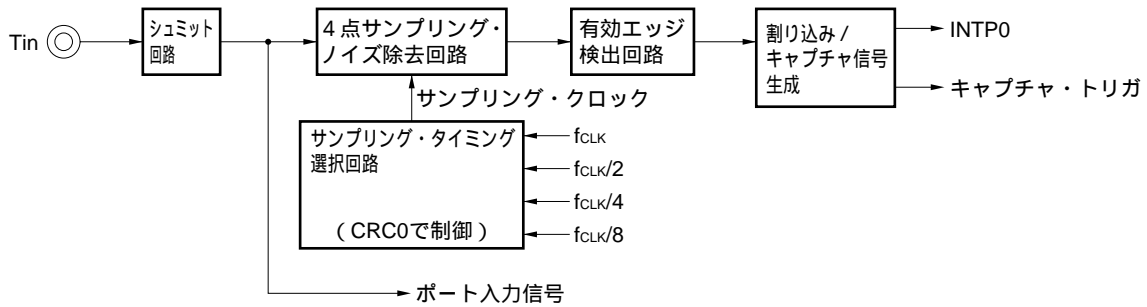


注意 図8 - 19のTM0動作モードは, TM0-CR00一致でクリア&スタート・モード以外です。TM0-CR00の一致でクリア&スタート・モード時は, TM0は0000Hのままです (図8 - 11 TM0とCR00一致でクリア&スタート・モード動作タイミング (CR00 = 0000H) 参照)。

8.4.9 ノイズ除去回路

16ビット・タイマ0のノイズ除去回路は、キャプチャ/コンペア・コントロール・レジスタ0（CRC0）のビット6，7（SMPC00, SMPC01）で指定されるタイミングで4点サンプリングを行います。連続してサンプリングをして4回続けて同じレベルであれば、そのレベルを内部に取り込みます。

図8-20 INTP0のブロック図



【サンプリング・タイミング】

T_{in} : INTP0の端子入力信号の幅, T_{smp} : サンプリング・タイミング,

$C1, C2$: システム・クロック T_{CLK} : システム・クロック・レート (= $1/f_{CLK}$)

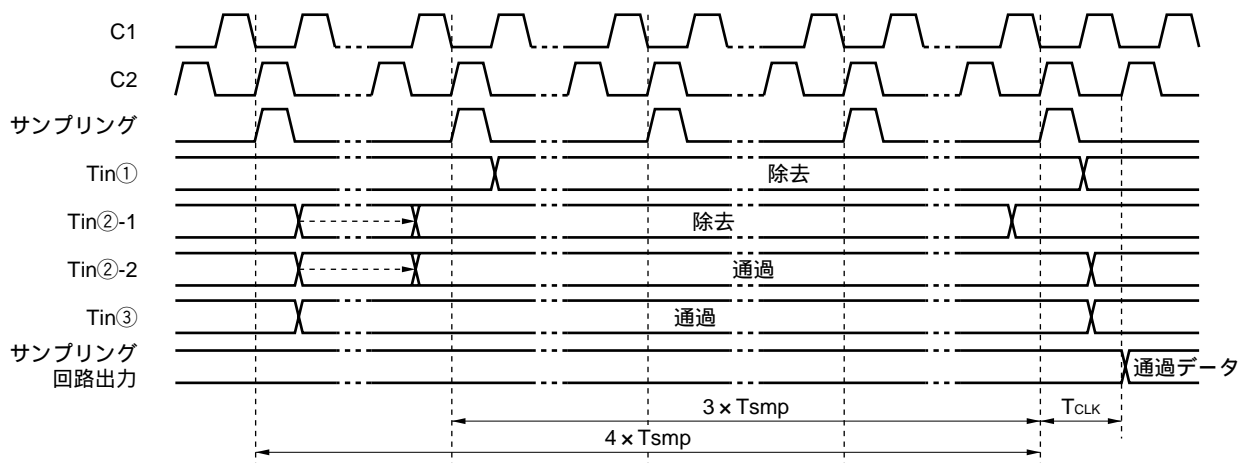
$T_{in} < (3 \times T_{smp})$... ノイズとして除去される。

$(3 \times T_{smp}) < T_{in} < (4 \times T_{smp})$... ノイズとして除去される場合と有効信号として通過する場合があります。

$T_{in} > (4 \times T_{smp})$... 有効信号として通過する。

注意 確実に有効信号として通過させるためには、 $4 \times T_{smp}$ 幅の信号を入力してください。

図8-21 サンプリング・タイミング図



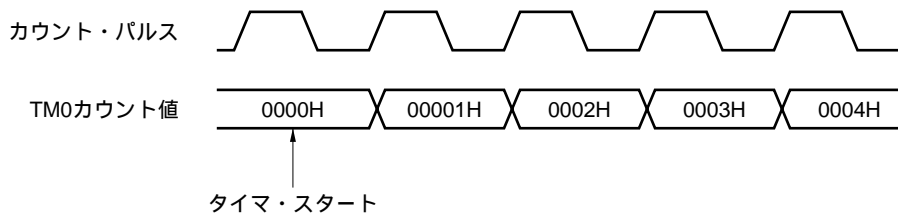
備考 端子レベル (T_{in}) がサンプリング回路を通過する時間は、 $(3 \times T_{smp} + T_{CLK}) \sim (4 \times T_{smp} + T_{CLK})$ で $1 \cdot T_{smp}$ のばらつきがあります。

8.5 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・カウンタ0 (TM0) のスタートが非同期で行われるためです。

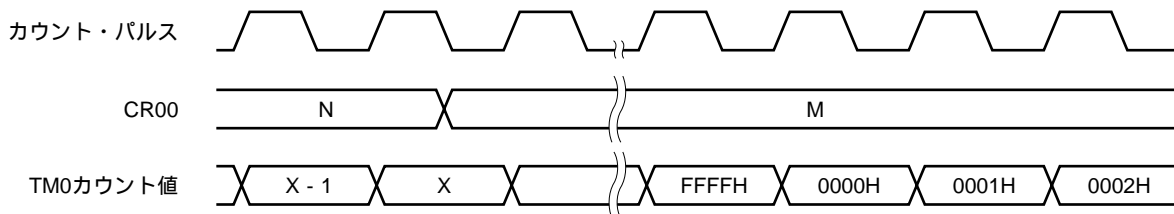
図8 - 22 16ビット・タイマ・カウンタ0のスタート・タイミング



(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・キャプチャ/コンペア・レジスタ00 (CR00) の変更後の値が、16ビット・タイマ・カウンタ0 (TM0) の値よりも小さいとき、TM0はカウントを継続しオーバーフローして0から再カウントします。したがって、CR00の変更後の値 (M) が変更前の値 (N) より小さいときは、CR00を変更後、タイマを再スタートさせる必要があります。

図8 - 23 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

(3) 有効エッジの設定

INTP0/P01端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) のビット2, 3 (TMC02, TMC03) に“0”, “0”を設定し、タイマ動作を停止させたのちに設定してください。有効エッジは、プリスケアラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で設定します。

第9章 16ビット・タイマ1

9.1 機能

16ビット・タイマ1には、次のような機能があります。

- ・インターバル・タイマ
あらかじめ設定した任意の時間間隔で割り込み要求を発生します。
- ・PWM出力

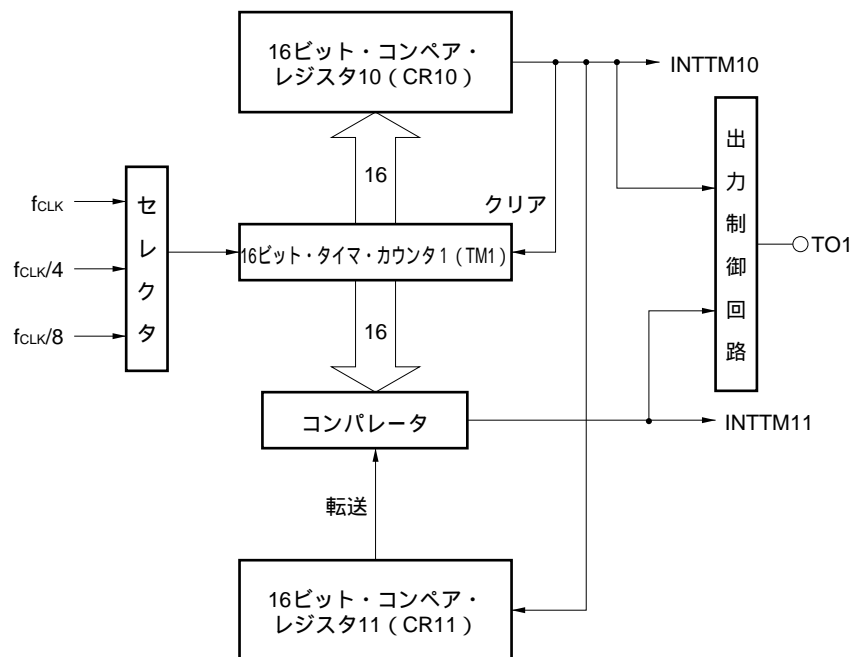
9.2 構成

16ビット・タイマ1は、次のハードウェアで構成しています。

表9 - 1 16ビット・タイマ1の構成

項目	構成
タイマ・カウンタ	16ビット×1本 (TM1)
レジスタ	コンペア・レジスタ：16ビット×2本 (CR10, CR11)
タイマ出力	1本 (TO1)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1) タイマ出力コントロール・レジスタ1 (TOC1) プリスケラ・モード・レジスタ1 (PRM1)

図9 - 1 16ビット・タイマ1のブロック図



(1) 16ビット・タイマ・カウンタ1 (TM1)

TM1は、カウント・パルスをカウントする16ビット・フリーランニングまたはインターバル・タイマです。入力クロックの立ち上がりに同期して、カウンタをインクリメントします。次の場合、カウント値は0000Hになります。

$\overline{\text{RESET}}$ 入力

16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1) のビット2, 3 (TMC12, TMC13) をクリア

16ビット・コンペア・レジスタ10 (CR10) の一致でクリア&スタート・モード時のTM1とCR10の一致

(2) 16ビット・コンペア・レジスタ10 (CR10)

CR10に設定した値と16ビット・タイマ・カウンタ1 (TM1) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM10) を発生します。TM1をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

CR10は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) 16ビット・コンペア・レジスタ11 (CR11)

CR11に設定した値と16ビット・タイマ・カウンタ1 (TM1) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM11) を発生します。

CR11は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

9.3 制御レジスタ

16ビット・タイマ1を制御するレジスタには、次の3種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1)
- ・タイマ出力コントロール・レジスタ1 (TOC1)
- ・プリスケアラ・モード・レジスタ1 (PRM1)

(1) 16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1)

TMC1は、16ビット・タイマ・カウンタ1 (TM1) のクリア・モードの設定およびオーバーフローを検出するレジスタです。

TMC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

注意 TM1は、TMC1のビット2, 3 (TMC12, TMC13) に“0”, “0” (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC12, TMC13に“0”, “0”を設定してください。

図9 - 2 16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1) のフォーマット

アドレス：0FF6BH リセット時：00H R/W

略号	7	6	5	4	3	2	1	①
TMC1	0	0	0	0	TMC13	TMC12	0	OVF1

TMC13	TMC12	動作モードおよびクリア・モードの選択	割り込みの発生
0	0	動作停止 (TM1は0にクリア)	発生しない
0	1	フリーランニング・モード	TM1とCR10の一致で発生
1	0	設定禁止	
1	1	TM1とCR10の一致でクリア&スタート	

OVF1	TM1のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意 TMC1は、必ずTM1のタイマ動作を停止させてから設定してください。

(2) タイマ出力コントロール・レジスタ1 (TOC1)

16ビット・タイマ1の出力制御回路の動作を制御するレジスタです。タイマ出力 (TO1) のアクティブ・レベル, 出力の反転許可/禁止, 16ビット・タイマ1のタイマ出力許可/禁止を設定します。

TOC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図9 - 3 タイマ出力コントロール・レジスタ1 (TOC1) のフォーマット

アドレス : 0FF7BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	①
TOC1	0	0	0	0	0	0	ALV1	TOE1

ALV1	アクティブ・レベルの指定
0	アクティブ・レベル " 0 " (Low)
1	アクティブ・レベル " 1 " (High)

TOE1	16ビット・タイマ・カウンタ1 (TM1) の出力制御
0	出力禁止 (出力は0レベルに設定)
1	出力許可

注意1 . TOC1は, 必ずTM1のタイマ動作を停止させてから設定してください。

- 2 . 16ビット・タイマ1からPWM出力する場合は, 16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1) のビット2, 3 (TMC12, TMC13) に " 1 ", " 1 " を設定してください。TMC12, TMC13を " 0 ", " 0 " に設定した場合, TO1はインアクティブ・レベルになります。

備考 タイマ出力のセット/リセットは, INTTM10 (セット信号) とINTTM11 (リセット信号) で制御します。

(3) プリスケアラ・モード・レジスタ1 (PRM1)

プリスケアラ・モード・レジスタ1 (PRM1) は、16ビット・タイマ・カウンタ1 (TM1) のカウント・クロックを指定するレジスタです。

PRM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9 - 4 プリスケアラ・モード・レジスタ1 (PRM1) のフォーマット

アドレス：0FF85H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM1	0	0	0	0	0	0	PRM11	PRM10

PRM11	PRM10	カウント・クロックの選択
0	0	f _{CLK} (8 MHz)
0	1	f _{CLK} /4 (2 MHz)
1	0	f _{CLK} /8 (1 MHz)
1	1	設定禁止

注意 PRM1は、必ずTM1のタイマ動作を停止させてから設定してください。

備考 ()内は、f_{CLK} = 8 MHz動作時

9.4 動作

9.4.1 16ビット・タイマ1の基本動作

16ビット・タイマ1は、カウント・パルスをカウントする16ビット・フリーランニングまたは、インターバル・タイマです。入カクロックの立ち上がり同期して、カウンタをインクリメントします。

$\overline{\text{RESET}}$ 入力により16ビット・タイマ・カウンタ1 (TM1) の全ビットはクリア (0) され、カウント動作は停止します。

カウント動作の許可/禁止は、16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1) のビット2, 3 (TMC12, TMC13) で制御します。TMC12, TMC13を“0”, “0”以外の動作モードに設定するとカウント動作を開始し、リセット (TMC12, TMC13を“0”, “0”) するとTM1はクリアされ、カウント動作を停止します。

また、カウント値は0000Hになります。

TM1は、カウント・スタート設定後、最初のカウント・クロック入力で0000H 0001Hになります。

TM1は、動作中に再度同じ動作モードを設定しても、そのままカウント動作を続けて、タイマはクリアされません。

TM1リード期間中も、カウントは停止しません。

図9 - 5 TM1の基本動作タイミング

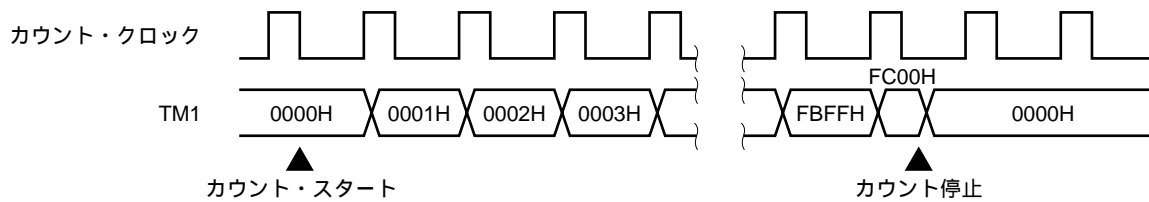
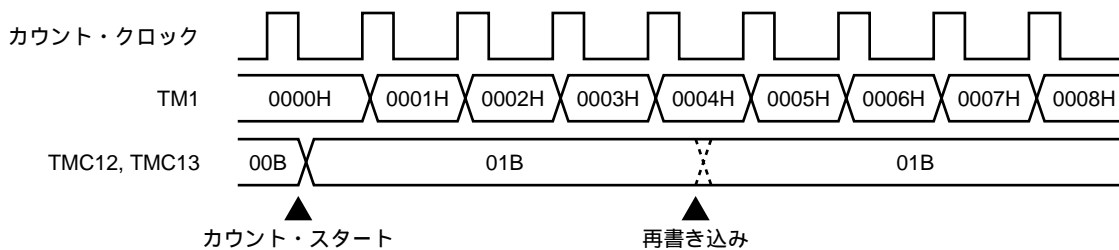


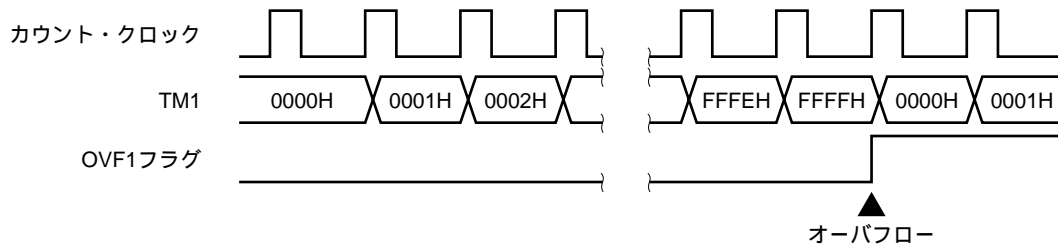
図9 - 6 TMC12, TMC13への再書き込み動作タイミング (フリーランニング・モード)



9.4.2 TM1のフリーランニング動作

16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1) のビット2, 3 (TMC12, TMC13) をそれぞれ“1”, “0” に設定すると, 16ビット・タイマ・カウンタ1 (TM1) はフリーランニング動作をします。TM1は, FFFFHまでフルカウントすると次のカウント・クロックでTMC1のビット0 (OVF1) が1 に設定され, TM1はクリア (0000H) されます。その後もカウントは続けられます。またOVF1は, 命令によりクリアできません。

図9 - 7 TM1のフリーランニング動作タイミング



9.4.3 TM1とCR10一致でクリア&スタート動作

16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1) のビット2, 3 (TMC12, TMC13) をそれぞれ“1”, “1”に設定すると16ビット・タイマ・カウンタ1 (TM1) は, 16ビット・コンペア・レジスタ10 (CR10) の一致でクリア&スタート・モードになります。TM1とCR10が一致すると, 次のカウント・クロックで割り込み要求信号 (INTTM10) を発生し, TM1はクリア (0000H) されます。その後もカウントは続けられます。

図9 - 8 TM1とCR10一致でクリア&スタート・モード動作タイミング (CR10 0000H)

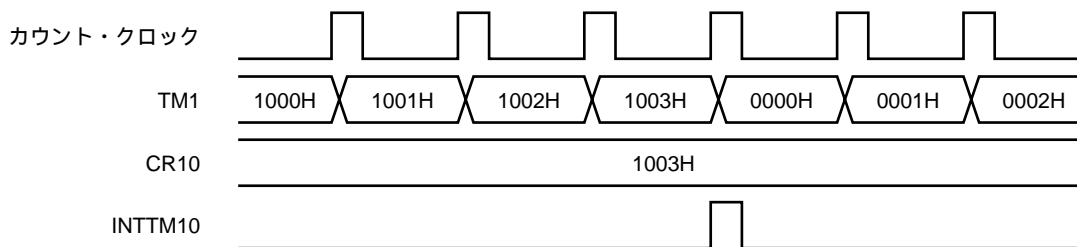
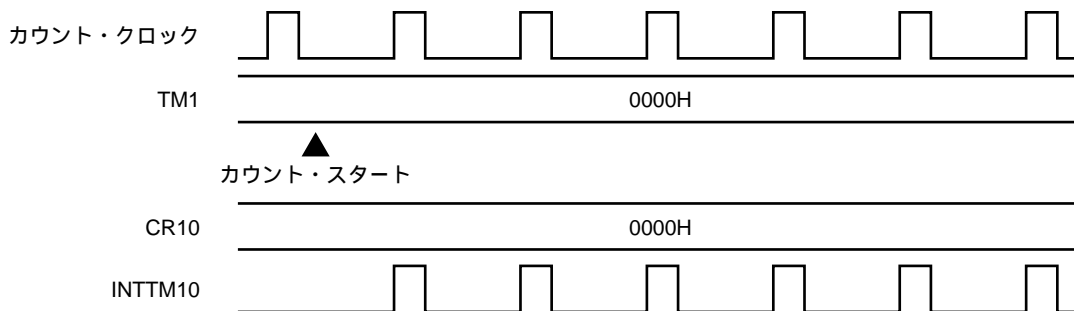


図9 - 9 TM1とCR10一致でクリア&スタート・モード動作タイミング (CR10 = 0000H)



備考 インターバル周期 = (CR10 + 1) × TM1のカウント・クロック・レート

9.4.4 16ビットPWM出力としての動作

タイマ出力コントロール・レジスタ1 (TOC1) のビット0 (TOE1) を “ 1 ” に設定することにより、PWM出力として動作します。

設定方法

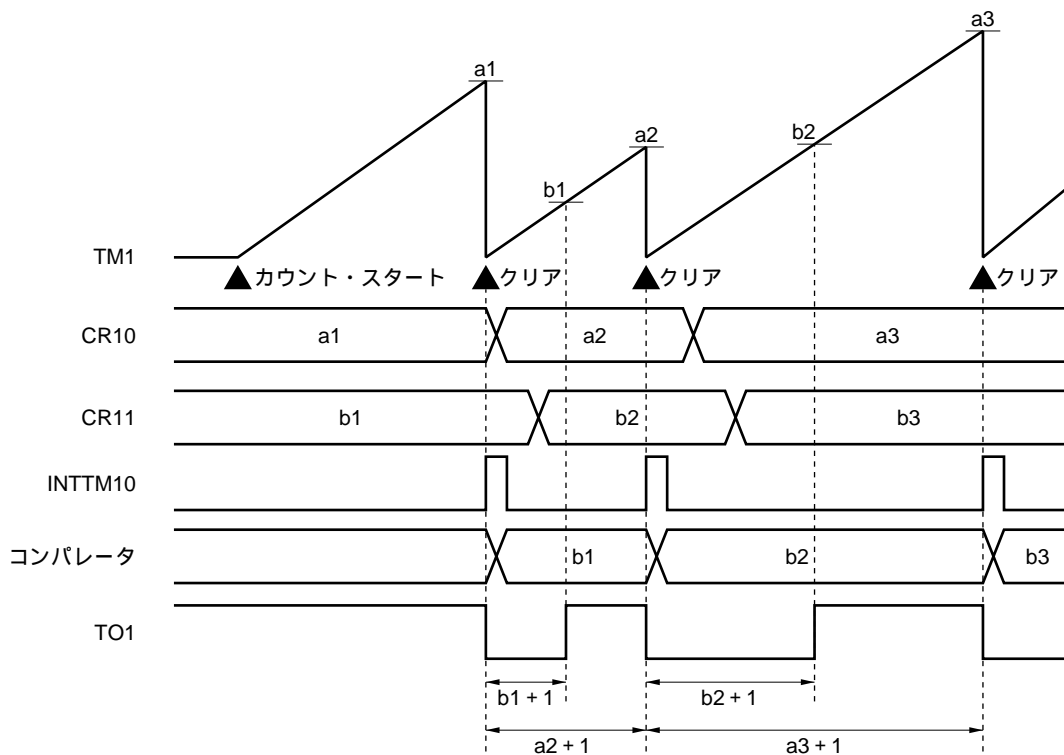
タイマ1出力 (TO1) のアクティブ・レベル (TOC1のビット1 (ALV1)) を指定し、TO1出力許可 (TOC1のビット0 (TOE1) を “ 1 ”) に設定します。

16ビット・コンペア・レジスタ10 (CR10) にインターバル周期を設定し、16ビット・コンペア・レジスタ11 (CR11) にアクティブ・レベル幅を設定します。

カウント・クロックは、プリスケアラ・モード・レジスタ1 (PRM1) のビット0, 1 (PRM10, PRM11) で選択します。

16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1) のビット2, 3 (TMC12, TMC13) に “ 1 ” を設定するとカウント動作を開始し、TO1端子からPWM信号を出力します。

図9 - 10 TO1のPWM出力動作例



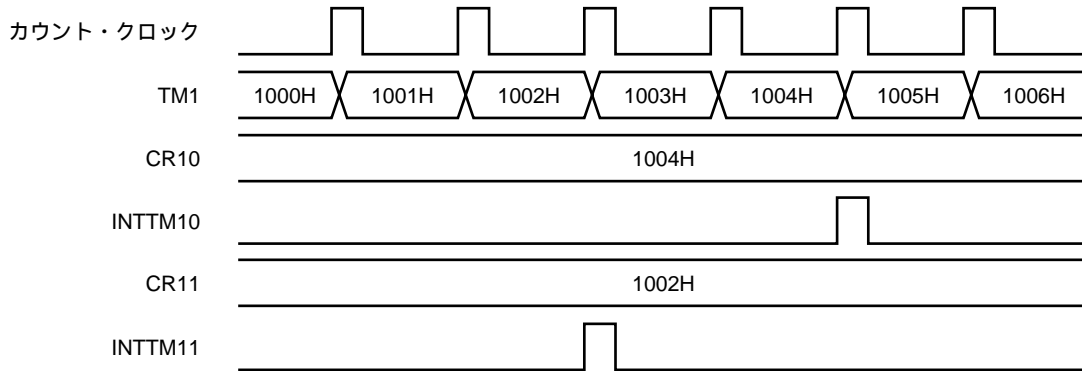
注意 CR10 = CR11を設定した場合、TO1はインアクティブ・レベル ($\overline{ALV1}$) を出力します。
 CR10 < CR11を設定した場合、TO1はアクティブ・レベル (ALV1) を出力します。

備考 CR10 > CR11, アクティブ・レベル: “ 0 ”

9.4.5 TM1のコンペア動作

16ビット・タイマ・カウンタ1 (TM1) と、16ビット・コンペア・レジスタ10 (CR10) または16ビット・コンペア・レジスタ11 (CR11) が一致すると、次のカウント・クロックで割り込み要求信号 (INTTM10またはINTTM11) を発生します。

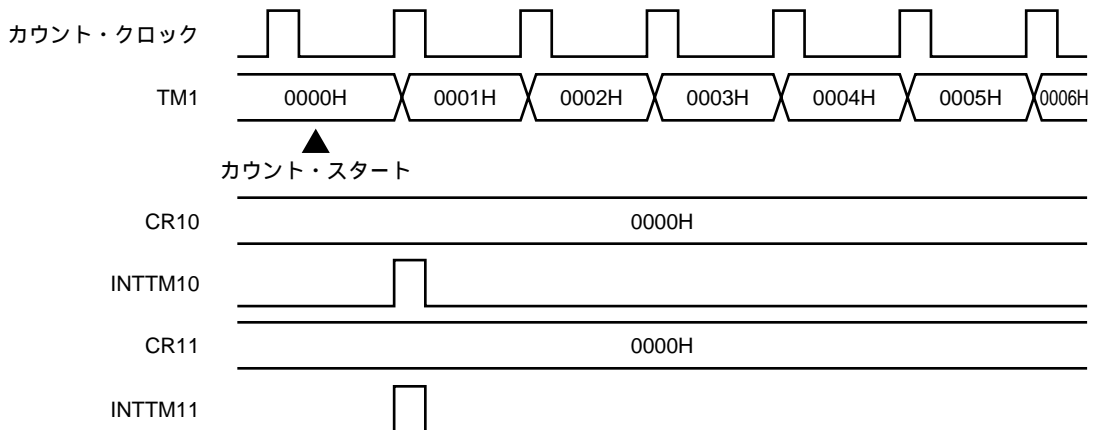
図9 - 11 TM1のコンペア動作タイミング (CR10, CR11 0000H)



注意 図9 - 11のTM1動作モードは、TM1-CR10一致でクリア&スタート・モード以外です。

TM1-CR10の一致でクリア&スタート・モード時は、TM1とCR10が一致すると、次のカウント・クロックでTM1はクリアされます (図9 - 8 TM1とCR10一致でクリア&スタート・モード動作タイミング (CR10 0000H) 参照)。CR11が一致してもTM1はクリアされません。

図9 - 12 TM1のコンペア動作タイミング (CR10, CR11 = 0000H)



注意 図9 - 12のTM1動作モードは、TM1-CR10一致でクリア&スタート・モード以外です。

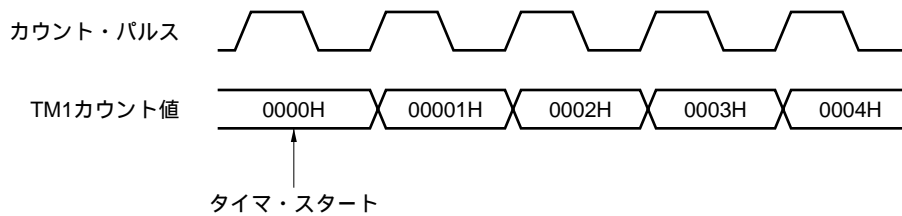
TM1-CR10の一致でクリア&スタート・モード時は、TM1と0000Hのままです (図9 - 9 TM1とCR10一致でクリア&スタート・モード動作タイミング (CR10 = 0000H) 参照)。

9.5 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・カウンタ1 (TM1) のスタートが非同期で行われるためです。

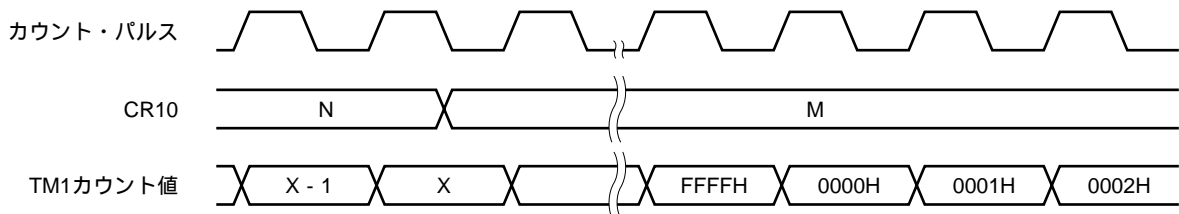
図9 - 13 16ビット・タイマ・カウンタ1のスタート・タイミング



(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・コンペア・レジスタ10 (CR10) の変更後の値が、16ビット・タイマ・カウンタ1 (TM1) の値よりも小さいとき、TM1はカウントを継続しオーバーフローして0から再カウントします。したがって、CR10の変更後の値 (M) は変更前の値 (N) より小さいときは、CR10を変更後、タイマを再スタートさせる必要があります。

図9 - 14 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

第10章 16ビット・タイマ2

10.1 機能

16ビット・タイマ2には、次のような機能があります。

- ・インターバル・タイマ
あらかじめ設定した任意の時間間隔で割り込み要求を発生します。
- ・PWM出力

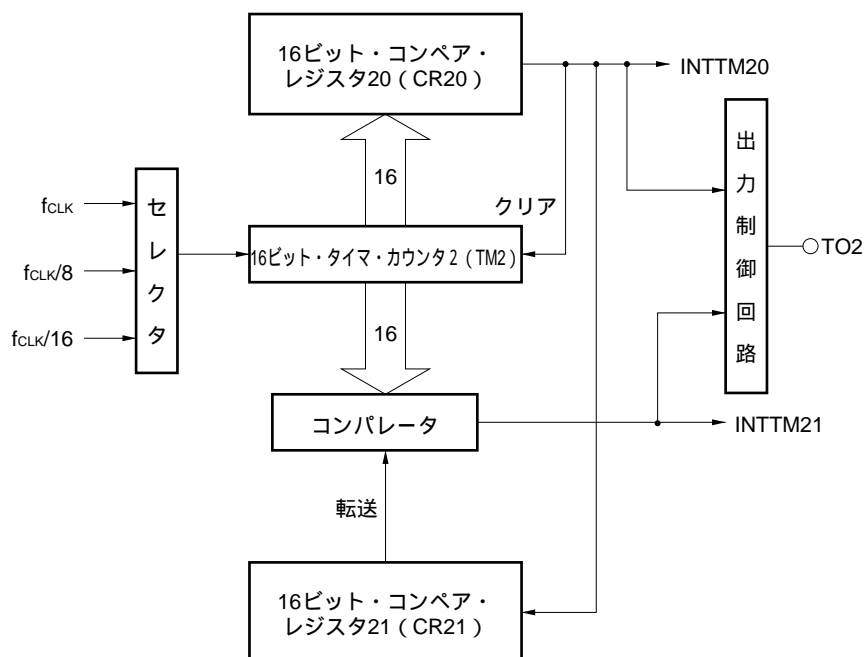
10.2 構成

16ビット・タイマ2は、次のハードウェアで構成しています。

表10 - 1 16ビット・タイマ2の構成

項目	構成
タイマ・カウンタ	16ビット×1本 (TM2)
レジスタ	コンペア・レジスタ: 16ビット×2本 (CR20, CR21)
タイマ出力	1本 (TO2)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2) タイマ出力コントロール・レジスタ2 (TOC2) プリスケアラ・モード・レジスタ2 (PRM2)

図10 - 1 16ビット・タイマ2のブロック図



(1) 16ビット・タイマ・カウンタ2 (TM2)

TM2は、カウント・パルスをカウントする16ビット・フリーランニングまたはインターバル・タイマです。入力クロックの立ち上がりに同期して、カウンタをインクリメントします。また、次の場合、カウント値は0000Hになります。

$\overline{\text{RESET}}$ 入力

16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2) のビット2, 3 (TMC22, TMC23) をクリア

16ビット・コンペア・レジスタ20 (CR20) の一致でクリア&スタート・モード時のTM2とCR20の一致

(2) 16ビット・コンペア・レジスタ20 (CR20)

CR20に設定した値と16ビット・タイマ・カウンタ2 (TM2) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM20) を発生します。TM2をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

CR20は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) 16ビット・コンペア・レジスタ21 (CR21)

CR21に設定した値と16ビット・タイマ・カウンタ2 (TM2) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM21) を発生します。

CR21は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

10.3 制御レジスタ

16ビット・タイマ2を制御するレジスタには、次の3種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2)
- ・タイマ出力コントロール・レジスタ2 (TOC2)
- ・プリスケアラ・モード・レジスタ2 (PRM2)

(1) 16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2)

TMC2は、16ビット・タイマ・カウンタ2 (TM2) のクリア・モードの設定およびオーバーフローを検出するレジスタです。

TMC2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

注意 TM2は、TMC2のビット2, 3 (TMC22, TMC23) に“0”, “0” (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC22, TMC23に“0”, “0”を設定してください。

図10 - 2 16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2) のフォーマット

アドレス：0FF6CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	①
TMC2	0	0	0	0	TMC23	TMC22	0	OVF2

TMC23	TMC22	動作モードおよびクリア・モードの選択	割り込みの発生
0	0	動作停止 (TM2は0にクリア)	発生しない
0	1	フリーランニング・モード	TM2とCR20の一致で発生
1	0	設定禁止	
1	1	TM2とCR20の一致でクリア&スタート	

OVF2	TM2のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意 TMC2は、必ずTM2のタイマ動作を停止させてから設定してください。

(2) タイマ出力コントロール・レジスタ2 (TOC2)

16ビット・タイマ2出力制御回路の動作を制御するレジスタです。タイマ出力 (TO2) のアクティブ・レベル, 出力の反転許可/禁止, 16ビット・タイマ2のタイマ出力許可/禁止を設定します。

TOC2は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図10 - 3 タイマ出力コントロール・レジスタ2 (TOC2) のフォーマット

アドレス : 0FF7CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	①
TOC2	0	0	0	0	0	0	ALV2	TOE2

ALV2	アクティブ・レベルの指定
0	アクティブ・レベル " 0 " (Low)
1	アクティブ・レベル " 1 " (High)

TOE2	16ビット・タイマ・カウンタ2 (TM2) の出力制御
0	出力禁止 (出力は0レベルに設定)
1	出力許可

注意 1 . TOC2は, 必ずTM2のタイマ動作を停止させてから設定してください。

- 2 . 16ビット・タイマ2からPWM出力する場合は, 16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2) のビット2, 3 (TMC22, TMC23) に " 1 " , " 1 " を設定してください。TMC22, TMC23を " 0 " , " 0 " に設定した場合, TO2はインアクティブ・レベルになります。

備考 タイマ出力のセット/リセットは, INTTM20 (セット信号) とINTTM21 (リセット信号) で制御します。

(3) プリスケアラ・モード・レジスタ2 (PRM2)

プリスケアラ・モード・レジスタ2 (PRM2) は、16ビット・タイマ・カウンタ2 (TM2) のカウント・クロックを指定するレジスタです。

PRM2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-4 プリスケアラ・モード・レジスタ2 (PRM2) のフォーマット

アドレス：0FF86H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM2	0	0	0	0	0	0	PRM21	PRM20

PRM21	PRM20	カウント・クロックの選択
0	0	f_{CLK} (8 MHz)
0	1	$f_{\text{CLK}}/8$ (1 MHz)
1	0	$f_{\text{CLK}}/16$ (500 kHz)
1	1	設定禁止

注意 PRM2は、必ずTM2のタイマ動作を停止させてから設定してください。

備考 () 内は、 $f_{\text{CLK}} = 8 \text{ MHz}$ 動作時

10.4 動作

10.4.1 16ビット・タイマ2の基本動作

16ビット・タイマ2は、カウント・パルスをカウントする16ビット・フリーランニングまたは、インターバル・タイマです。入カクロックの立ち上がり同期して、カウンタをインクリメントします。

$\overline{\text{RESET}}$ 入力により16ビット・タイマ・カウンタ2 (TM2) の全ビットはクリア (0) され、カウント動作は停止します。

カウント動作の許可/禁止は、16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2) のビット2, 3 (TMC22, TMC23) で制御します。TMC22, TMC23を“0”, “0”以外の動作モードに設定するとカウント動作を開始し、リセット (TMC22, TMC23を“0”, “0”) するとTM2はクリアされ、カウント動作を停止します。

また、カウント値は0000Hになります。

TM2は、カウント・スタート設定後、最初のカウント・クロック入力で0000H 0001Hになります。

TM2は、動作中に再度同じ動作モードを設定しても、そのままカウント動作を続けて、タイマはクリアされません。

TM2リード期間中も、カウントは停止しません。

図10 - 5 TM2の基本動作タイミング

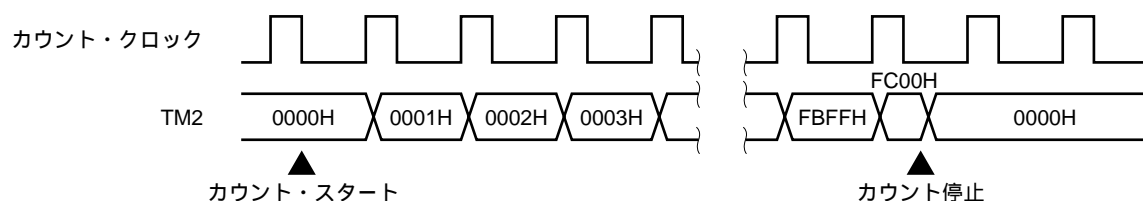
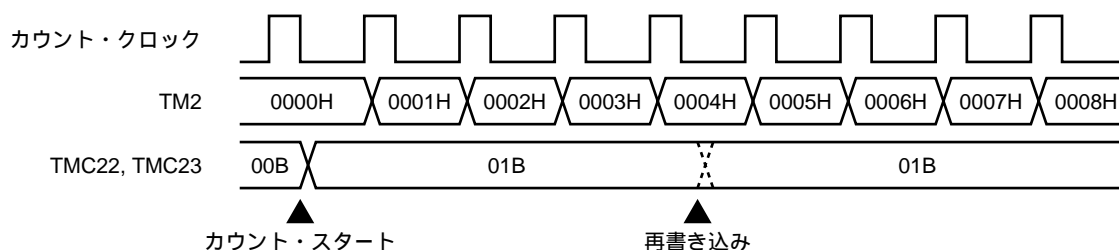


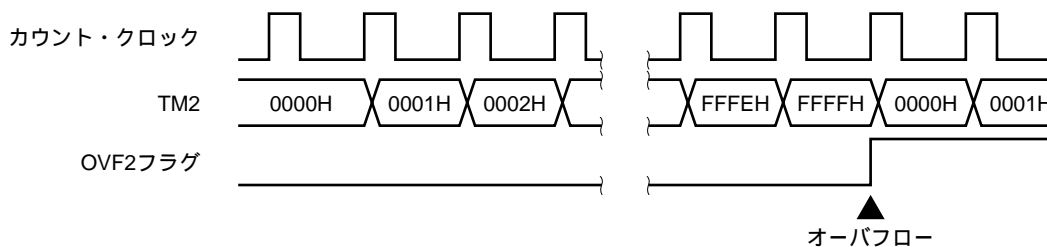
図10 - 6 TMC22, TMC23への再書き込み動作タイミング (フリーランニング・モード)



10.4.2 TM2のフリーランニング動作

16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2) のビット2, 3 (TMC22, TMC23) をそれぞれ“1”, “0” に設定すると, 16ビット・タイマ・カウンタ2 (TM2) はフリーランニング動作をします。TM2は, FFFFHまでフルカウントすると次のカウント・クロックでTMC2のビット0 (OVF2) が1に設定され, TM2はクリア (0000H) されます。その後もカウントは続けられます。またOVF2は, 命令によりクリアできません。

図10 - 7 TM2のフリーランニング動作タイミング



10.4.3 TM2とCR20一致でクリア&スタート動作

16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2) のビット2, 3 (TMC22, TMC23) をそれぞれ“1”, “1” に設定するとTM2は, 16ビット・コンペア・レジスタ20 (CR20) の一致でクリア&スタート・モードになります。TM2とCR20が一致すると, 次のカウント・クロックで割り込み要求信号 (INTTM20) を発生し, TM2はクリア (0000H) されます。その後もカウントは続けられます。

図10 - 8 TM2とCR20一致でクリア&スタート・モード動作タイミング (CR20 0000H)

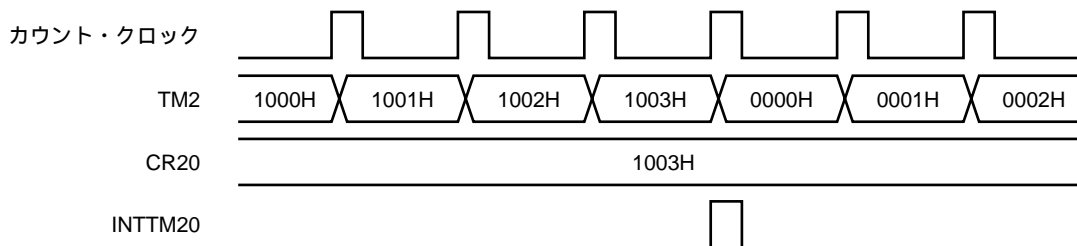
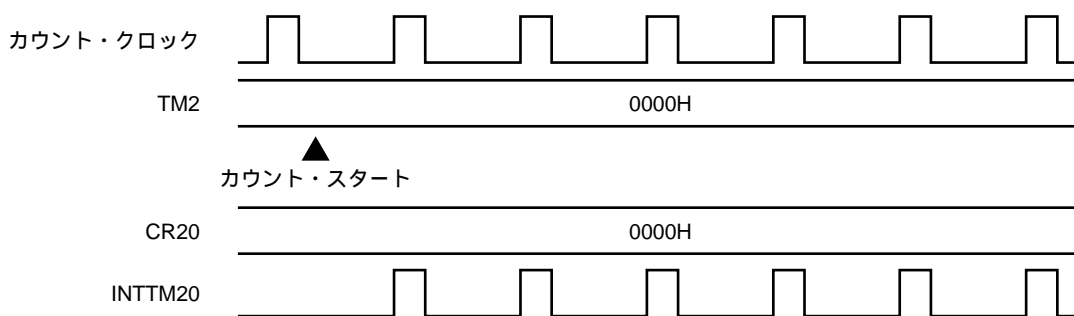


図10 - 9 TM2とCR20一致でクリア&スタート・モード動作タイミング (CR20 = 0000H)



備考 インターバル周期 = (CR20 + 1) × TM2のカウント・クロック・レート

10.4.4 16ビットPWM出力としての動作

タイマ出力コントロール・レジスタ2 (TOC2) のビット0 (TOE2) を “ 1 ” に設定することにより、PWM出力として動作します。

設定方法

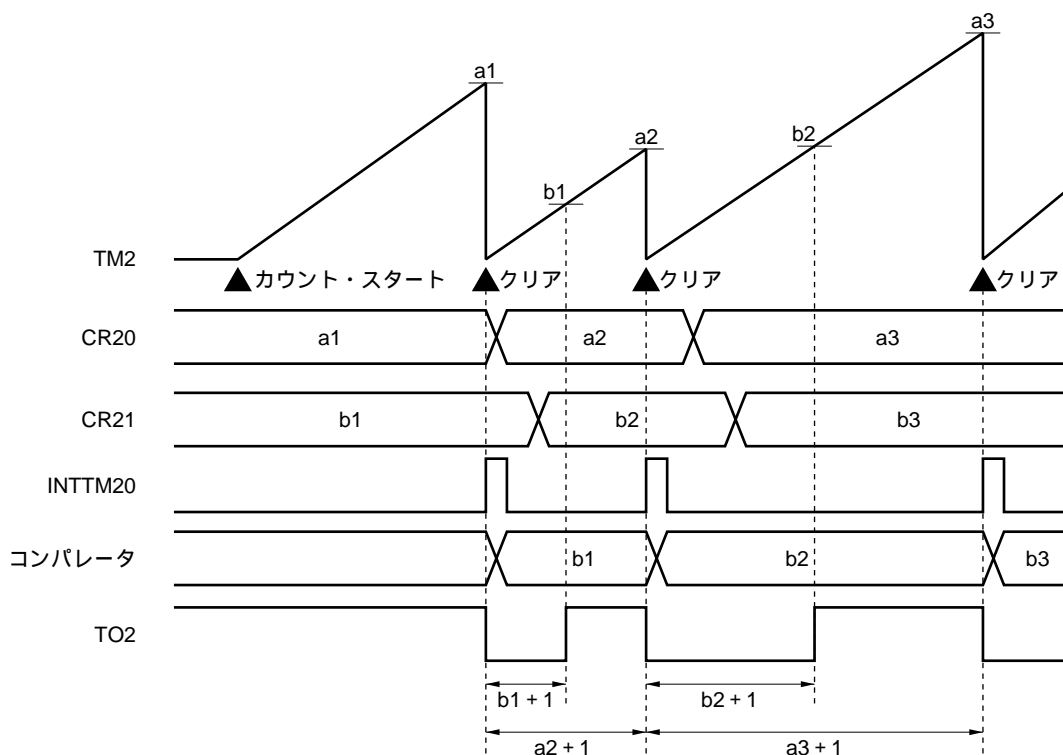
タイマ2出力 (TO2) のアクティブ・レベル (TOC2のビット2 (ALV2)) を指定し、TO2出力許可 (TOC2のビット0 (TOE2) を “ 1 ”) に設定します。

16ビット・コンペア・レジスタ20 (CR20) にインターバル周期を設定し、16ビット・コンペア・レジスタ21 (CR21) にアクティブ・レベル幅を設定します。

カウント・クロックは、プリスケアラ・モード・レジスタ2 (PRM2) のビット0, 1 (PRM20, PRM21) で選択します。

16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2) のビット2, 3 (TMC22, TMC23) に、“ 1 ” を設定するとカウント動作を開始、TO2端子からPWM信号を出力します。

図10 - 10 TO2のPWM出力動作例



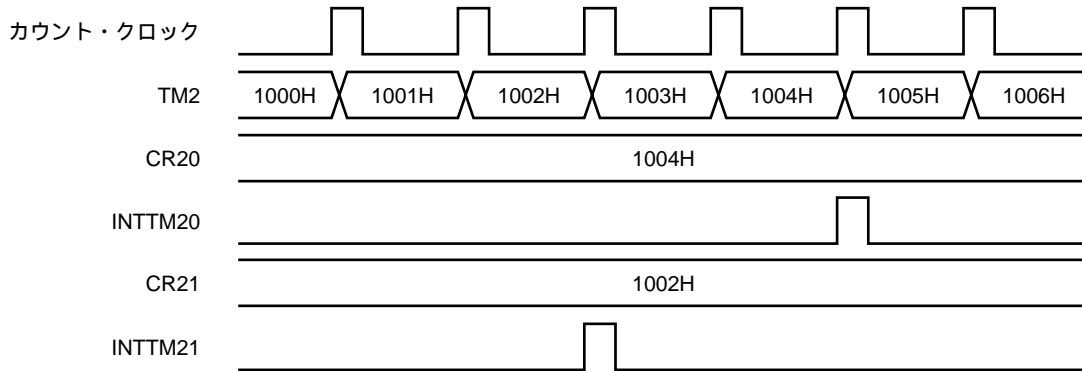
注意 CR20 = CR21を設定した場合、TO2はインアクティブ・レベル ($\overline{ALV2}$) を出力します。
 CR20 < CR21を設定した場合、TO2はアクティブ・レベル (ALV2) を出力します。

備考 CR20 > CR21, アクティブ・レベル: “ 0 ”

10.4.5 TM2のコンペア動作

16ビット・タイマ・カウンタ2 (TM2) と、16ビット・コンペア・レジスタ20 (CR20) または16ビット・コンペア・レジスタ21 (CR21) が一致すると、次のカウント・クロックで割り込み要求信号 (INTTM20またはINTTM21) を発生します。

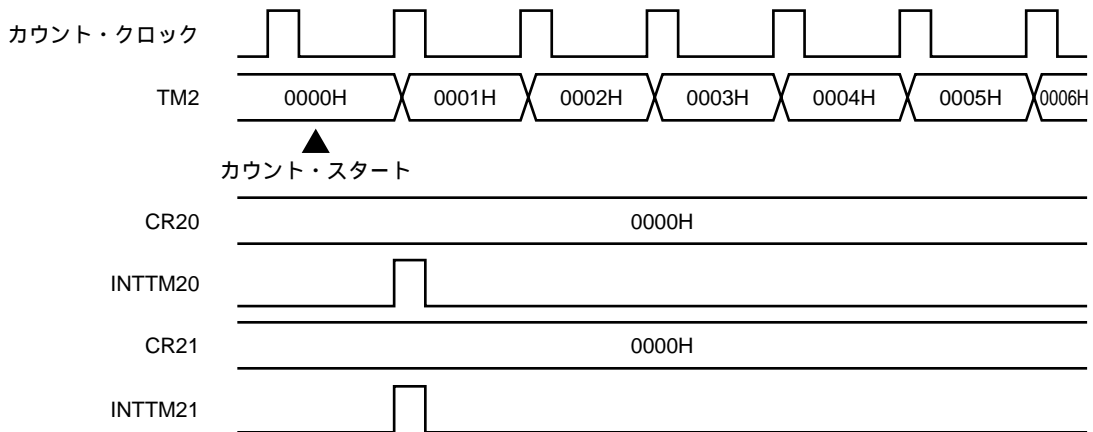
図10 - 11 TM2のコンペア動作タイミング (CR20, CR21 = 0000H)



注意 図10 - 11のTM2動作モードは、TM2-CR20一致でクリア&スタート・モード以外です。

TM2-CR20の一致でクリア&スタート・モード時は、TM2とCR20が一致すると、次のカウント・クロックでTM2はクリアされます (図10 - 8 TM2とCR20一致でクリア&スタート・モード動作タイミング (CR20 = 0000H) 参照)。CR21が一致してもTM2はクリアされません。

図10 - 12 TM2のコンペア動作タイミング (CR20, CR21 = 0000H)



注意 図10 - 12のTM2動作モードは、TM2-CR20一致でクリア&スタート・モード以外です。

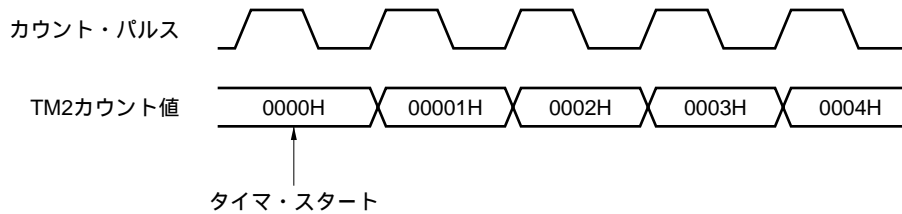
TM2-CR20の一致でクリア&スタート・モード時は、TM2は0000Hのままです (図10 - 9 TM2とCR20一致でクリア&スタート・モード動作タイミング (CR20 = 0000H) 参照)。

10.5 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・カウンタ2 (TM2) のスタートが非同期で行われるためです。

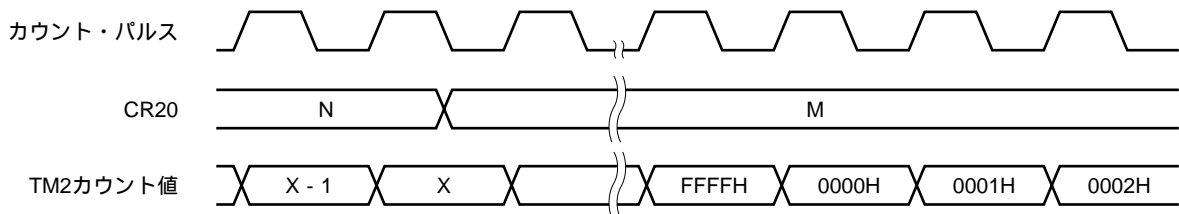
図10 - 13 16ビット・タイマ・カウンタ2のスタート・タイミング



(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・コンペア・レジスタ20 (CR20) の変更後の値が、16ビット・タイマ・カウンタ2 (TM2) の値よりも小さいとき、TM2はカウントを継続しオーバーフローして0から再カウントします。したがって、CR20の変更後の値 (M) が変更前の値 (N) より小さいときは、CR20を変更後、タイマを再スタートさせる必要があります。

図10 - 14 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

第11章 16ビット・タイマ3

11.1 機能

16ビット・タイマ3には、次のような機能があります。

- ・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

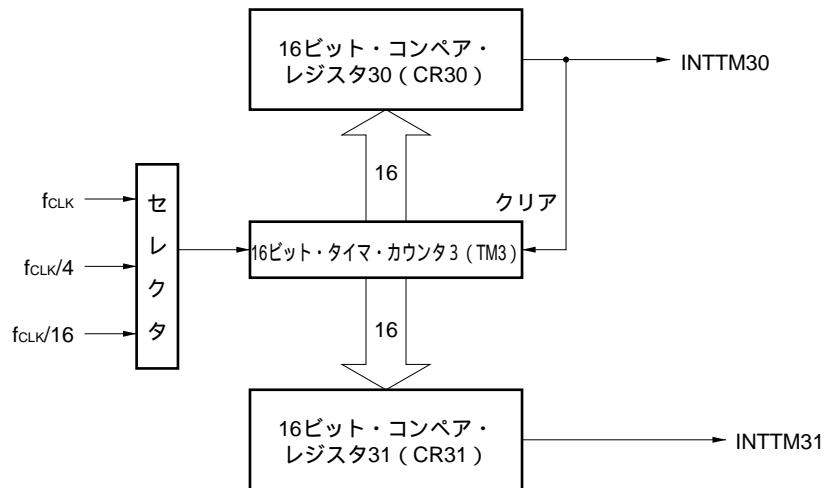
11.2 構成

16ビット・タイマ3は、次のハードウェアで構成しています。

表11 - 1 16ビット・タイマ3の構成

項目	構成
タイマ・カウンタ	16ビット×1本 (TM3)
レジスタ	コンペア・レジスタ : 16ビット×2本 (CR30, CR31)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) プリスケアラ・モード・レジスタ3 (PRM3)

図11 - 1 16ビット・タイマ3のブロック図



(1) 16ビット・タイマ・カウンタ3 (TM3)

TM3は、カウント・パルスをカウントする16ビット・フリーランニングまたはインターバル・タイマです。入力クロックの立ち上がり同期して、カウンタをインクリメントします。次の場合、カウント値は0000Hになります。

$\overline{\text{RESET}}$ 入力

16ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) のビット2, 3 (TMC32, TMC33) をクリア

16ビット・コンペア・レジスタ30 (CR30) の一致でクリア&スタート・モード時のTM3とCR30の一致

(2) 16ビット・コンペア・レジスタ30 (CR30)

CR30に設定した値と16ビット・タイマ・カウンタ3 (TM3) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM30) を発生します。TM3をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

CR30は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) 16ビット・コンペア・レジスタ31 (CR31)

CR31に設定した値とTM3のカウント値を常に比較し、一致したときに割り込み要求 (INTTM31) を発生します。

CR31は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

11.3 制御レジスタ

16ビット・タイマ3を制御するレジスタには、次の2種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ3 (TMC3)
- ・プリスケアラ・モード・レジスタ3 (PRM3)

(1) 16ビット・タイマ・モード・コントロール・レジスタ3 (TMC3)

TMC3は、16ビット・タイマ・カウンタ3 (TM3) のクリア・モードの設定およびオーバーフローを検出するレジスタです。

TMC3は、1ビット・メモリ操作命令または8ビット操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 TM3は、TMC3のビット2, 3 (TMC32, TMC33) に“0”, “0” (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC32, TMC33に“0”, “0”を設定してください。

図11 - 2 16ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) のフォーマット

アドレス：0FF6DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	①
TMC3	0	0	0	0	TMC33	TMC32	0	OVF3

TMC33	TMC32	動作モードおよびクリア・モードの選択	割り込みの発生
0	0	動作停止 (TM3は0にクリア)	発生しない
0	1	フリーランニング・モード	TM3とCR30の一致で発生
1	0	設定禁止	
1	1	TM3とCR30の一致でクリア&スタート	

OVF3	TM3のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意 TMC3は、必ずTM3のタイマ動作を停止させてから設定してください。

(2) プリスケアラ・モード・レジスタ3 (PRM3)

プリスケアラ・モード・レジスタ3 (PRM3) は、16ビット・タイマ・カウンタ3 (TM3) のカウント・クロックを指定するレジスタです。

PRM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-3 プリスケアラ・モード・レジスタ3 (PRM3) のフォーマット

アドレス：0FF87H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM3	0	0	0	0	0	0	PRM31	PRM30

PRM31	PRM30	カウント・クロックの選択
0	0	f_{CLK} (8 MHz)
0	1	$f_{\text{CLK}}/4$ (2 MHz)
1	0	$f_{\text{CLK}}/16$ (500 kHz)
1	1	設定禁止

注意 PRM3は、必ずTM3のタイマ動作を停止させてから設定してください。

備考 ()内は、 $f_{\text{CLK}} = 8 \text{ MHz}$ 動作時

11.4 動作

11.4.1 16ビット・タイマ3の基本動作

16ビット・タイマ3は、カウント・パルスをカウントする16ビット・フリーランニングまたは、インターバル・タイマです。入カクロックの立ち上がり同期して、カウンタをインクリメントします。

$\overline{\text{RESET}}$ 入力によりTM3の全ビットはクリア(0)され、カウント動作は停止します。

カウント動作の許可/禁止は、16ビット・タイマ・モード・コントロール・レジスタ3 (TMC3)のビット2, 3 (TMC32, TMC33)で制御します。TMC32, TMC33を“0”, “0”以外の動作モードに設定するとカウント動作を開始し、リセット (TMC32, TMC33を“0”, “0”)するとTM3はクリアされ、カウント動作を停止します。

また、カウント値は0000Hになります。

TM3は、カウント・スタート設定後、最初のカウント・クロック入力で0000H 0001Hになります。

TM3は、動作中に再度同じ動作モードを設定しても、そのままカウント動作を続けて、タイマはクリアされません。

TM3リード期間中も、カウントは停止しません。

図11 - 4 TM3の基本動作タイミング

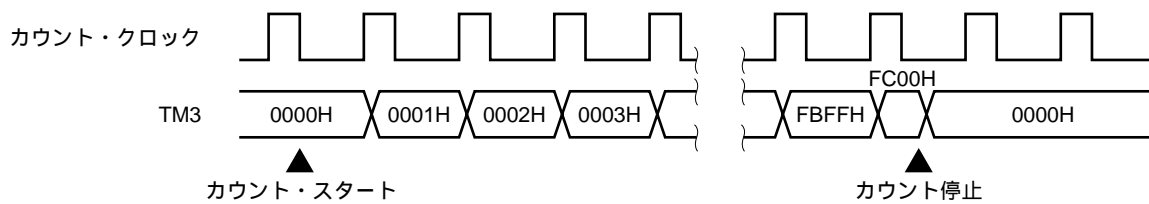
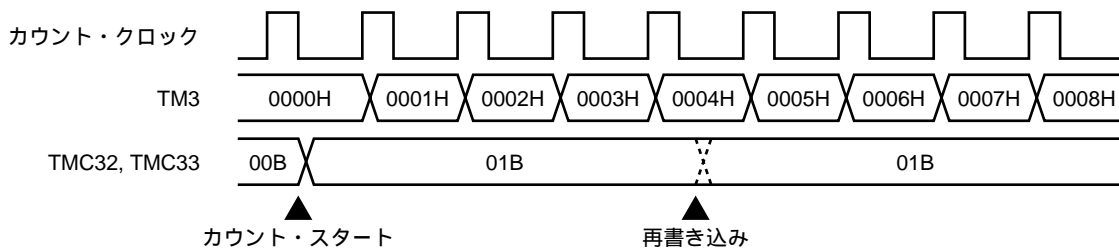


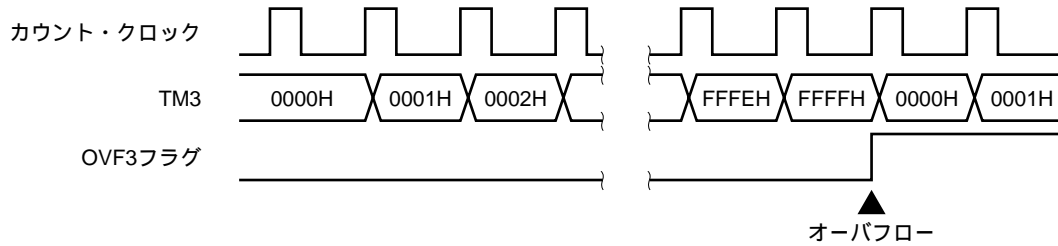
図11 - 5 TMC32, TMC33への再書き込み動作タイミング (フリーランニング・モード)



11.4.2 TM3のフリーランニング動作

16ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) のビット2, 3 (TMC32, TMC33) をそれぞれ“1”, “0” に設定すると, 16ビット・タイマ・カウンタ3 (TM3) はフリーランニング動作をします。TM3は, FFFFHまでフルカウントすると, 次のカウント・クロックでTMC3のビット0 (OVF3) が1に設定され, TM3はクリア (0000H) されます。その後もカウントは続けられます。またOVF3は, 命令によりクリアできます。

図11 - 6 TM3のフリーランニング動作タイミング



11.4.3 TM3とCR30一致でクリア&スタート動作

16ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) のビット2, 3 (TMC32, TMC33) をそれぞれ“1”, “1”に設定すると, 16ビット・タイマ・カウンタ3 (TM3) は16ビット・コンペア・レジスタ30 (CR30) の一致でクリア&スタート・モードになります。TM3とCR30が一致すると, 次のカウント・クロックで割り込み要求信号 (INTTM30) を発生し, TM3はクリア (0000H) されます。その後もカウントは続けられます。

図11 - 7 TM3とCR30一致でクリア&スタート・モード動作タイミング (CR30 = 0000H)

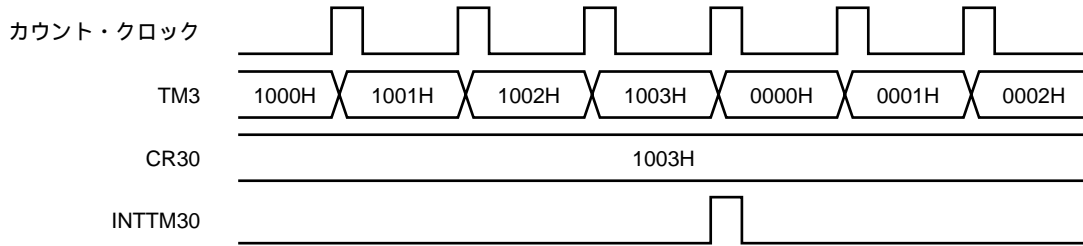
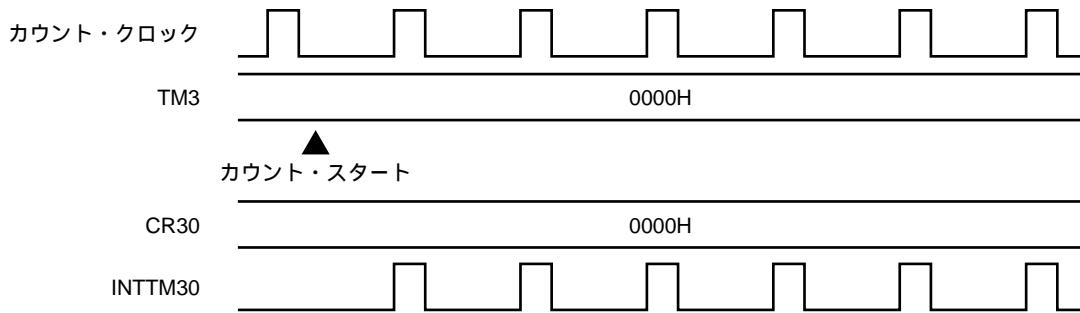


図11 - 8 TM3とCR30一致でクリア&スタート・モード動作タイミング (CR30 = 0000H)

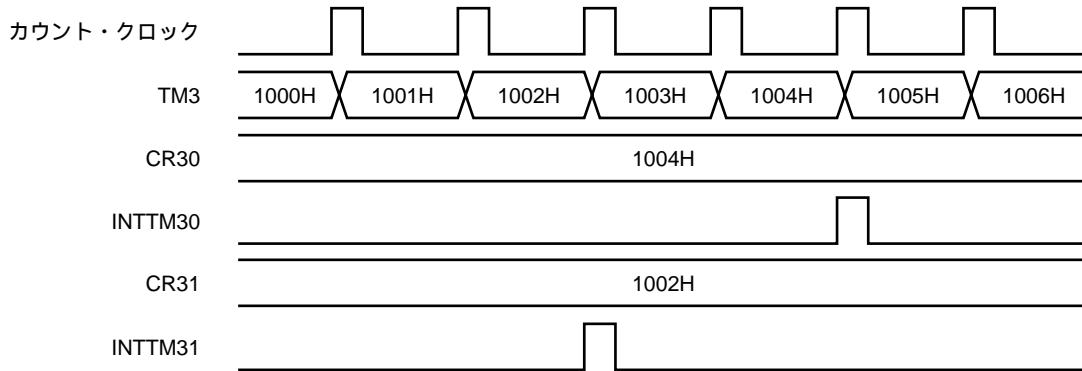


備考 インターバル周期 = (CR30 + 1) × TM3のカウント・クロック・レート

11.4.4 TM3のコンペア動作

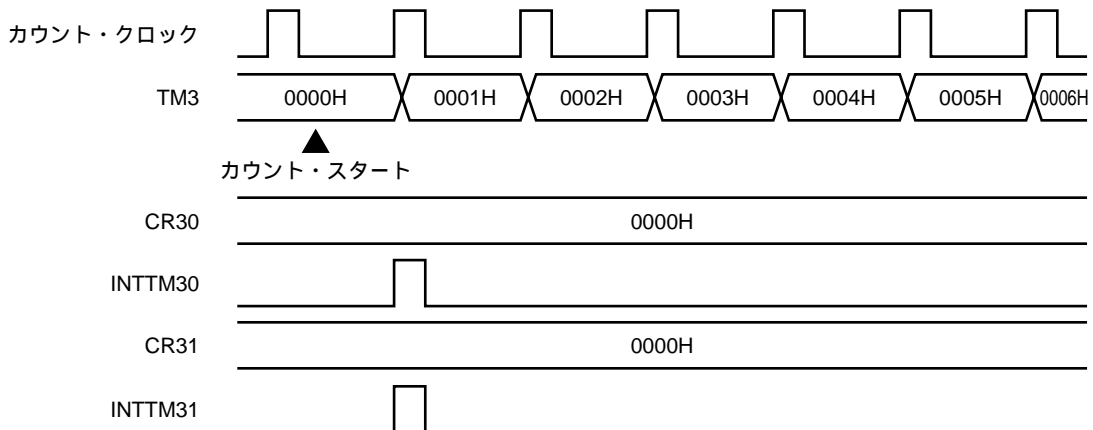
16ビット・タイマ・カウンタ3 (TM3) と、16ビット・コンペア・レジスタ30 (CR30) または16ビット・コンペア・レジスタ31 (CR31) が一致すると、次のカウント・クロックで割り込み要求信号 (INTTM30またはINTTM31) を発生します。

図11 - 9 TM3のコンペア動作タイミング (CR30, CR31 = 0000H)



注意 図11 - 9のTM3動作モードは、TM3-CR30一致でクリア&スタート・モード以外です。TM3-CR30の一致でクリア&スタート・モード時は、TM3とCR30が一致すると、次のカウント・クロックでTM3はクリアされます (図11 - 7 TM3とCR30一致でクリア&スタート・モード動作タイミング (CR30 = 0000H) 参照)。CR31が一致してもTM3はクリアされません。

図11 - 10 TM3のコンペア動作タイミング (CR30, CR31 = 0000H)



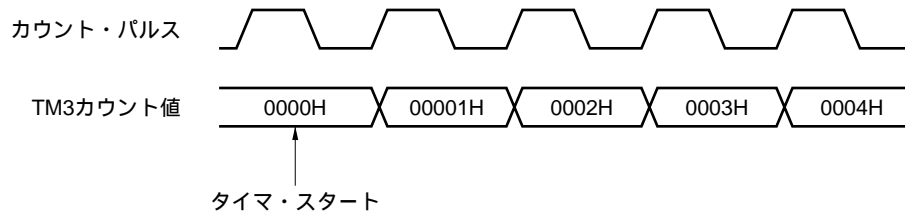
注意 図11 - 10のTM3動作モードは、TM3-CR30一致でクリア&スタート・モード以外です。TM3-CR30の一致でクリア&スタート・モード時は、TM3は0000Hのままです (図11 - 8 TM3とCR30一致でクリア&スタート・モード動作タイミング (CR30 = 0000H) 参照)。

11.5 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・カウンタ3 (TM3) のスタートが非同期で行われるためです。

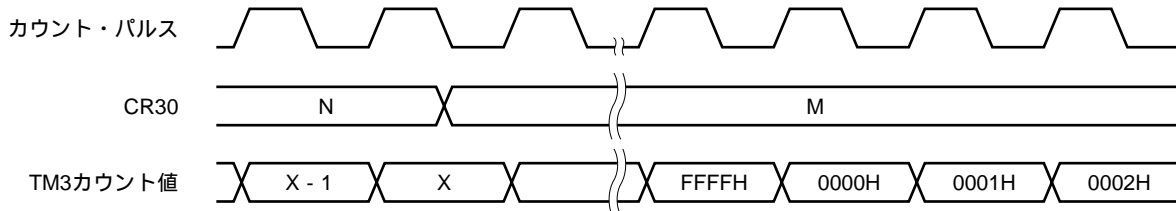
図11 - 11 16ビット・タイマ・カウンタ3のスタート・タイミング



(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・コンペア・レジスタ30 (CR30) の変更後の値が、16ビット・タイマ・カウンタ3 (TM3) の値よりも小さいとき、TM3はカウントを継続しオーバーフローして0から再カウントします。したがって、CR30の変更後の値 (M) は変更前の値 (N) より小さいときは、CR30を変更後、タイマを再スタートさせる必要があります。

図11 - 12 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

第12章 16ビット・タイマ4

12.1 機能

16ビット・タイマ4には、次のような機能があります。

- ・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

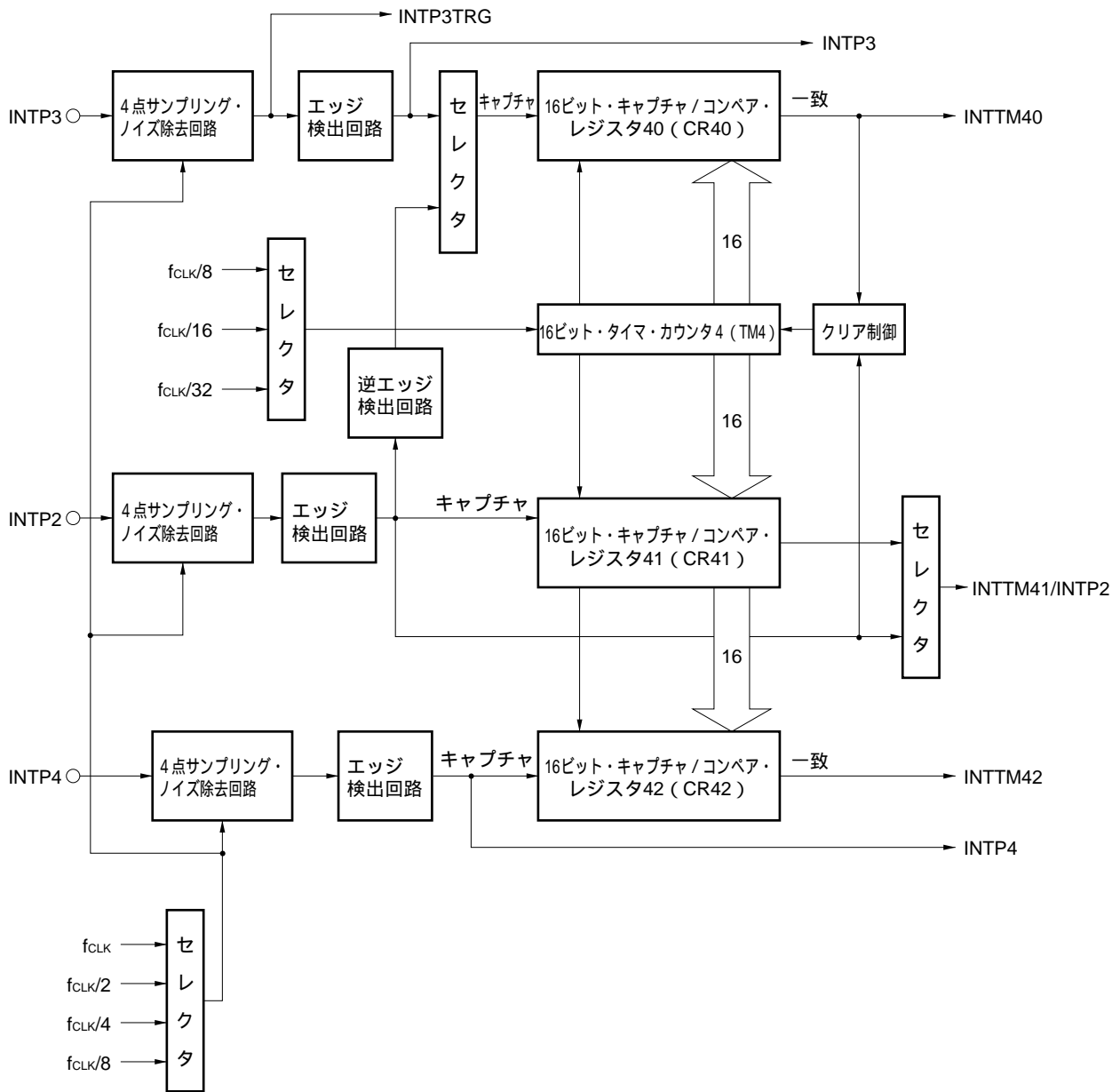
12.2 構成

16ビット・タイマ4は、次のハードウェアで構成しています。

表12 - 1 16ビット・タイマ4の構成

項目	構成
タイマ・カウンタ	16ビット×1本 (TM4)
レジスタ	キャプチャ・コンペア・レジスタ：16ビット×3本 (CR40, CR41, CR42)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) プリスケアラ・モード・レジスタ4 (PRM4)

図12 - 1 16ビット・タイマ4のブロック図



(1) 16ビット・タイマ・カウンタ4 (TM4)

TM4は、カウント・パルスをカウントする16ビット・フリーランニングまたはインターバル・タイマです。入力クロックの立ち上がりに同期して、カウンタをインクリメントします。次の場合、カウント値は、0000Hになります。

 $\overline{\text{RESET}}$ 入力

16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット2, 3 (TMC42, TMC42) をクリア

INTP2有効エッジ入力でクリア&スタート・モード時のINTP2有効エッジが入力されたとき

16ビット・キャプチャ/コンペア・レジスタ40 (CR40) の一致でクリア&スタート・モード時のTM4とCR40の一致

(2) 16ビット・キャプチャ/コンペア・レジスタ40 (CR40)

CR40は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) のビット0 (CRC40) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR40をコンペア・レジスタとして使用するとき

CR40に設定した値と16ビット・タイマ・カウンタ4 (TM4) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM40) を発生します。TM4をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

・CR40をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてINTP2端子、またはINTP3端子の有効エッジが選択できます。

INTP2, INTP3の有効エッジは、プリスケアラ・モード・レジスタ4 (PRM4) のビット4, 5 (ES20, ES21)、およびビット6, 7 (ES30, ES31) で設定します。

キャプチャ・トリガとしてINTP2端子の有効エッジに指定したときは表12 - 2、キャプチャ・トリガとしてINTP3端子の有効エッジに指定したときは表12 - 3のようになります。

表12 - 2 INTP2端子の有効エッジとCR40, CR41のキャプチャ・トリガ

ES21	ES20	INTP2端子の有効エッジ	CR40のキャプチャ・トリガ	CR41のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ	キャプチャ動作しない	立ち上がり, 立ち下がりの両エッジ

表12 - 3 INTP3端子の有効エッジとCR40のキャプチャ・トリガ

ES31	ES30	INTP3端子の有効エッジ	CR40のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	立ち上がり, 立ち下がり両エッジ

CR40は、16ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

注意 CR40をキャプチャ・モードからコンペア・モードに切り替えた場合、CR40の値は最後にキャプチャされた値になります。またコンペア・モードからキャプチャ・モードに切り替えた場合、CR40の値は最後にコンペア・レジスタに設定された値になります。

(3) 16ビット・キャプチャ/コンペア・レジスタ41 (CR41)

CR41は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。

キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) のビット2 (CRC42) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR41をコンペア・レジスタとして使用するとき

CR41に設定した値と16ビット・タイマ・カウンタ4 (TM4) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM41) を発生します。

・CR41をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてINTP2端子の有効エッジが選択できます。INTP2の有効エッジは、プリスケラ・モード・レジスタ4 (PRM4) のビット4, 5 (ES20, ES21) で設定します。

キャプチャ・トリガとしてINTP2端子の有効エッジに指定したときは表12 - 4のようになります。

表12 - 4 INTP2端子の有効エッジとCR41のキャプチャ・トリガ

ES21	ES20	INTP2端子の有効エッジ	CR41のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	立ち上がり, 立ち下がり両エッジ

CR41は、16ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

注意 CR41をキャプチャ・モードからコンペア・モードに切り替えた場合、CR41の値は最後にキャプチャされた値になります。またコンペア・モードからキャプチャ・モードに切り替えた場合、CR41の値は最後にコンペア・レジスタに設定された値になります。

(4) 16ビット・キャプチャ/コンペア・レジスタ42 (CR42)

CR42は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) のビット2 (CRC42) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

- CR42をコンペア・レジスタとして使用するとき

CR42に設定した値と16ビット・タイマ・カウンタ4 (TM4) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM42) を発生します。

- CR42をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてINTP4端子の有効エッジが選択できます。INTP4の有効エッジは、プリスケアラ・モード・レジスタ4 (PRM4) のビット2, 3 (ES40, ES41) で設定します。

キャプチャ・トリガとしてINTP4端子の有効エッジに指定したときは表12 - 5 のようになります。

表12 - 5 INTP4端子の有効エッジとCR42のキャプチャ・トリガ

ES41	ES40	INTP4端子の有効エッジ	CR42のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がり両エッジ	立ち上がり, 立ち下がり両エッジ

CR42は、16ビット・メモリ操作命令で設定します。

RESET入力により、不定になります。

注意 CR42をキャプチャ・モードからコンペア・モードに切り替えた場合、CR42の値は最後にキャプチャされた値になります。またコンペア・モードからキャプチャ・モードに切り替えた場合、CR42の値は最後にコンペア・レジスタに設定された値になります。

12.3 制御レジスタ

16ビット・タイマ4を制御するレジスタには、次の3種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4)
- ・キャプチャ/コンペア・コントロール・レジスタ4 (CRC4)
- ・プリスケラ・モード・レジスタ4 (PRM4)

(1) 16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4)

TMC4は、16ビット・タイマ・カウンタ4 (TM4) のクリア・モードの設定およびオーバーフローを検出するレジスタです。

TMC4は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

注意 TM4は、TMC4のビット2, 3 (TMC42, TMC43) に“0”, “0” (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC42, TMC43に“0”, “0”を設定してください。

図12-2 16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のフォーマット

アドレス：0FF6EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	①
TMC4	0	0	0	0	TMC43	TMC42	0	OVF4

TMC43	TMC42	動作モードおよびクリア・モードの選択	割り込みの発生
0	0	動作停止 (TM4は0にクリア)	発生しない
0	1	フリーランニング・モード	TM4とCR40の一致で発生
1	0	INTP2の有効エッジでクリア&スタート	
1	1	TM4とCR40の一致でクリア&スタート	

OVF4	TM4のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意 TMC4は、必ずTM4のタイマ動作を停止させてから設定してください。

(2) キャプチャ/コンペア・コントロール・レジスタ4 (CRC4)

16ビット・キャプチャ/コンペア・レジスタ40, 41, 42 (CR40, CR41, CR42) の動作を制御するレジスタです。

CRC4は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図12-3 キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) のフォーマット

アドレス: 0FF7DH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
CRC4	SMPC41	SMPC40	0	0	CRC43	CRC42	CRC41	CRC40

SMPC41	SMPC40	サンプリング・クロックの選択
0	0	f _{CLK}
0	1	f _{CLK} /2
1	0	f _{CLK} /4
1	1	f _{CLK} /8

CRC43	CR42の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC42	CR41の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC41	CR40のキャプチャ・トリガの選択
0	INTP3の有効エッジでキャプチャする
1	INTP2の有効エッジの逆相でキャプチャする

CRC40	CR40の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意1 . CRC4は, 必ずタイマ動作を停止させてから設定してください。

2 . 16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) で, TM4とCR40の一致でクリア&スタート・モードを選択したとき, CR40をキャプチャ・レジスタに指定しないでください。

3 . CRC41に“1”を設定したとき, INTP2の有効エッジを立ち上がり, 立ち下りの両エッジに指定しないでください。

(3) プリスケアラ・モード・レジスタ4 (PRM4)

プリスケアラ・モード・レジスタ4 (PRM4) は, 16ビット・タイマ・カウンタ4 (TM4) のカウント・クロックおよびINTP2, INTP3, INTP4入力有効エッジを指定するレジスタです。

PRM4は, 1ビット・メモリ操作命令または8ビット操作命令で設定します。

RESET入力により, 00Hになります。

図12 - 4 プリスケラ・モード・レジスタ4 (PRM4) のフォーマット

アドレス : 0FF88H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM4	ES31	ES30	ES21	ES20	ES41	ES40	PRM41	PRM40

ES31	ES30	INTP3の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES21	ES20	INTP2の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES41	ES40	INTP4の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRM41	PRM40	カウント・クロックの選択
0	0	$f_{CLK}/8$ (1 MHz)
0	1	$f_{CLK}/16$ (500 MHz)
1	0	$f_{CLK}/32$ (250 kHz)
1	1	設定禁止

注意 PRM4は、必ずタイマ動作を停止させてから設定してください。

備考 ()内は、 $f_{CLK} = 8$ MHz動作時

12.4 動作

12.4.1 16ビット・タイマ4の基本動作

16ビット・タイマ4は、カウント・パルスをカウントする16ビット・フリーランニングまたはインターバル・タイマです。入カクロックの立ち上がり同期して、カウンタをインクリメントします。

$\overline{\text{RESET}}$ 入力により16ビット・タイマ・カウンタ4 (TM4) の全ビットはクリア (0) され、カウント動作は停止します。

カウント動作の許可/禁止は、16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット2, 3 (TMC42, TMC43) で制御します。TMC42, TMC43を“0”, “0”以外の動作モードに設定するとカウント動作を開始し、リセット (TMC42, TMC43を“0”, “0”) するとTM4はクリアされ、カウント動作を停止します。

また、カウント値は0000Hになります。

TM4は、カウント・スタート設定後、最初のカウント・クロック入力で0000H 0001Hになります。

TM4は、動作中に再度同じ動作モードを設定しても、そのままカウント動作を続けて、タイマはクリアされません。

TM4リード期間中も、カウントは停止しません。

図12 - 5 TM4の基本動作タイミング

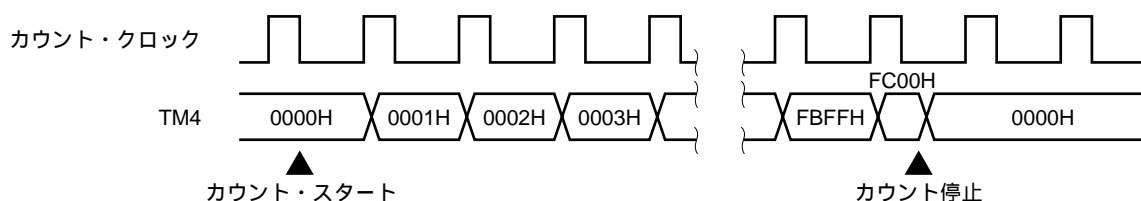
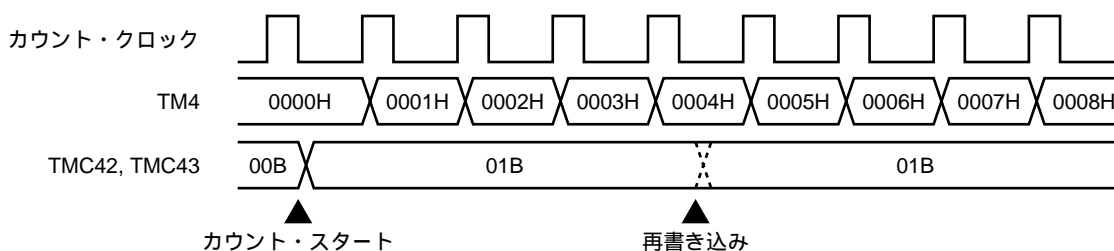


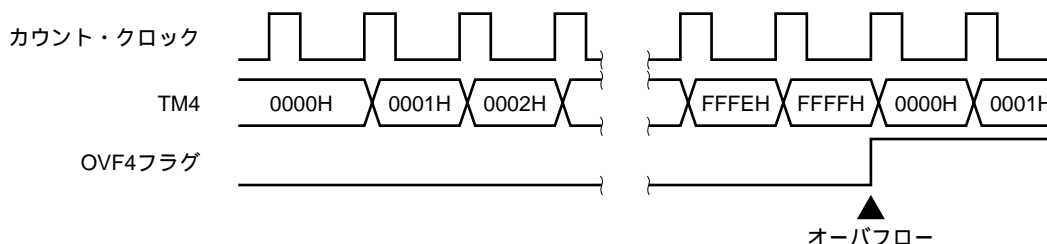
図12 - 6 TMC42, TMC43への再書き込み動作タイミング (フリーランニング・モード)



12.4.2 TM4のフリーランニング動作

16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット2, 3 (TMC42, TMC43) をそれぞれ“1”, “0”に設定すると, 16ビット・タイマ・カウンタ4 (TM4) はフリーランニング動作をします。TM4は, FFFFHまでフルカウントすると次のカウント・クロックでTMC4のビット0 (OVF4) が1に設定され, TM4はクリア (0000H) されます。その後もカウントは続けられます。またOVF4は, 命令によりクリアできません。

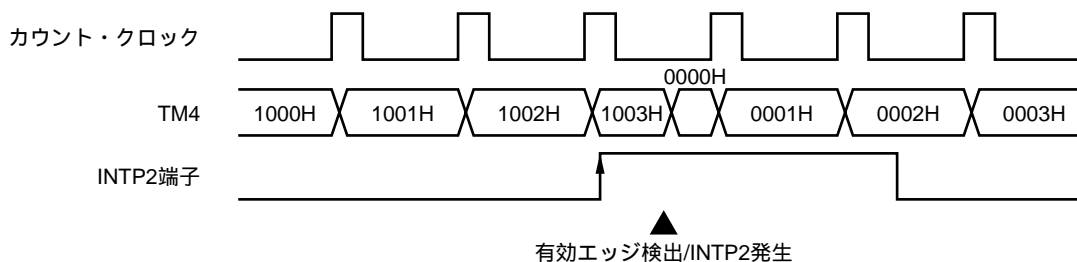
図12 - 7 TM4のフリーランニング動作タイミング



12.4.3 TM4のINTP2有効エッジ入力でクリア&スタート動作

16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット2, 3 (TMC42, TMC43) をそれぞれ“0”, “1”に設定すると, TM4はINTP2の有効エッジ入力でクリア&スタート・モードになります。INTP2の有効エッジが入力される (割り込み要求信号: INTP2の発生) と, TM4はクリア (0000H) され, 次のカウント・クロックで0001Hとなります。その後もカウントは続けられます。

図12 - 8 TM4のINTP2有効エッジ入力でクリア&スタート・モード動作タイミング



12.4.4 TM4とCR40一致でクリア&スタート動作

16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット2, 3 (TMC42, TMC43) をそれぞれ“1”, “1”に設定すると, 16ビット・タイマ・カウンタ4 (TM4) は, 16ビット・キャプチャ/コンペア・レジスタ40 (CR40) の一致でクリア&スタート・モードになります。TM4とCR40が一致すると, 次のカウント・クロックで割り込み要求信号 (INTTM40) を発生し, TM4はクリア (0000H) されます。その後もカウントは続けられます。

図12 - 9 TM4とCR40一致でクリア&スタート・モード動作タイミング (CR40 0000H)

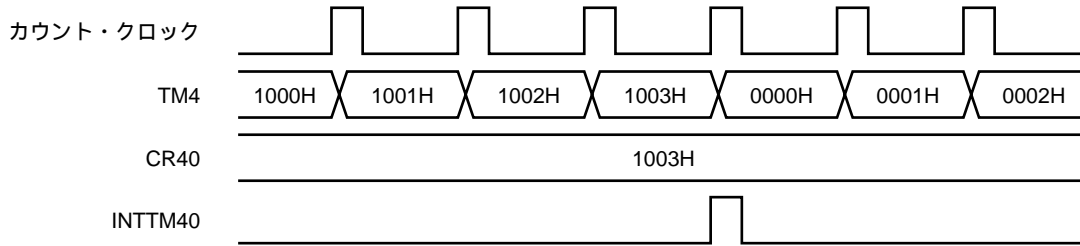
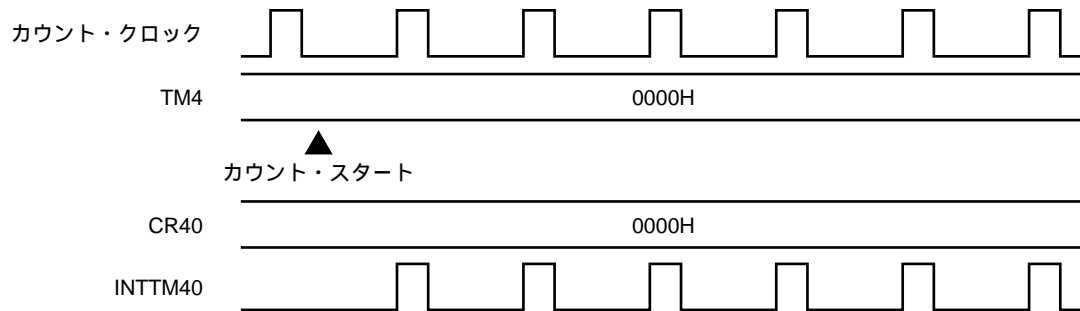


図12 - 10 TM4とCR40一致でクリア&スタート・モード動作タイミング (CR40 = 0000H)



注意 CR40は, 必ずコンペア・モードに設定してください。

備考 インターバル周期 = (CR40 + 1) × TM4のカウント・クロック・レート

12.4.5 TM4のキャプチャ動作

キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) のビット 0, 2, 3 (CRC40, CRC42, CRC43) を “ 1 ” に設定して, 16ビット・キャプチャ/コンペア・レジスタ40, 41, 42 (CR40, CR41, CR42) をキャプチャ・モードにします。キャプチャ・トリガが入力されると, CR40, CR41, CR42に16ビット・タイマ・カウンタ4 (TM4) の値をキャプチャします。

図12 - 11 キャプチャ動作 (フリーランニング・モード時) のタイミング

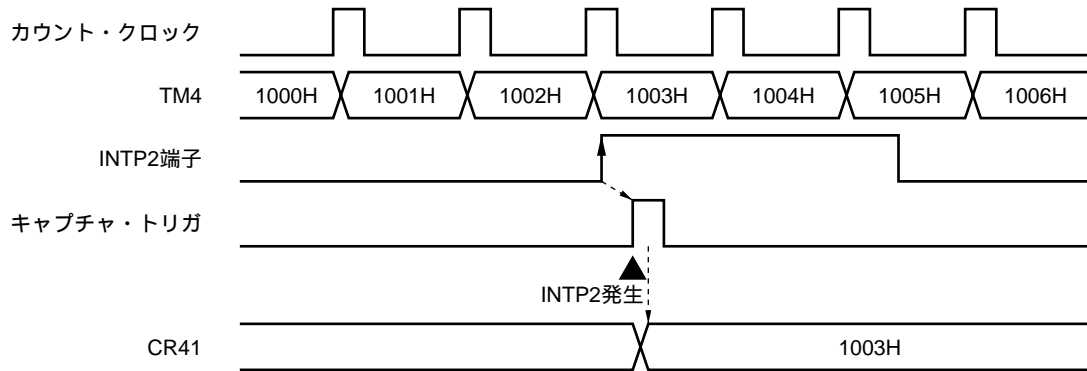
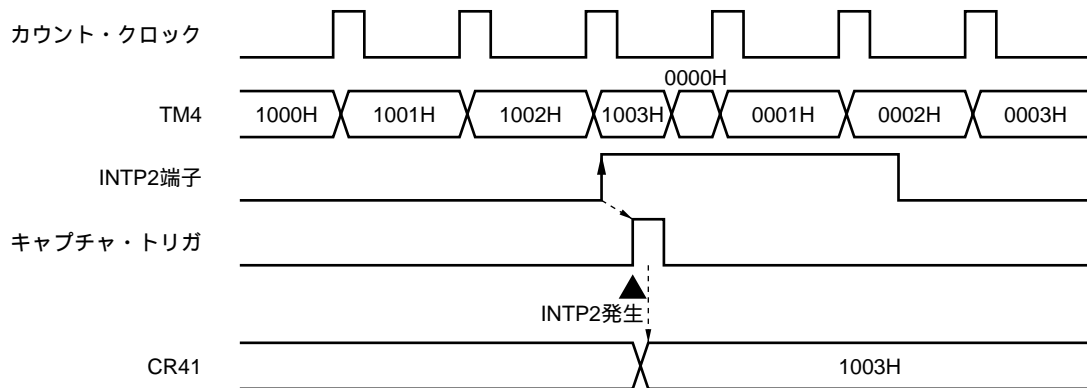


図12 - 12 キャプチャ動作 (INTP2有効エッジ入力でクリア&スタート・モード時) のタイミング



12.4.6 パルス幅測定としての動作

(1) パルス幅測定(立ち上がり, 立ち下がり両エッジ)

16ビット・タイマ・カウンタ4 (TM4) を使用し, INTP2/P03端子, INTP3/P04端子およびINTP4/P05端子に入力される信号のパルス幅を測定できます。エッジからエッジまでの幅を測定します。

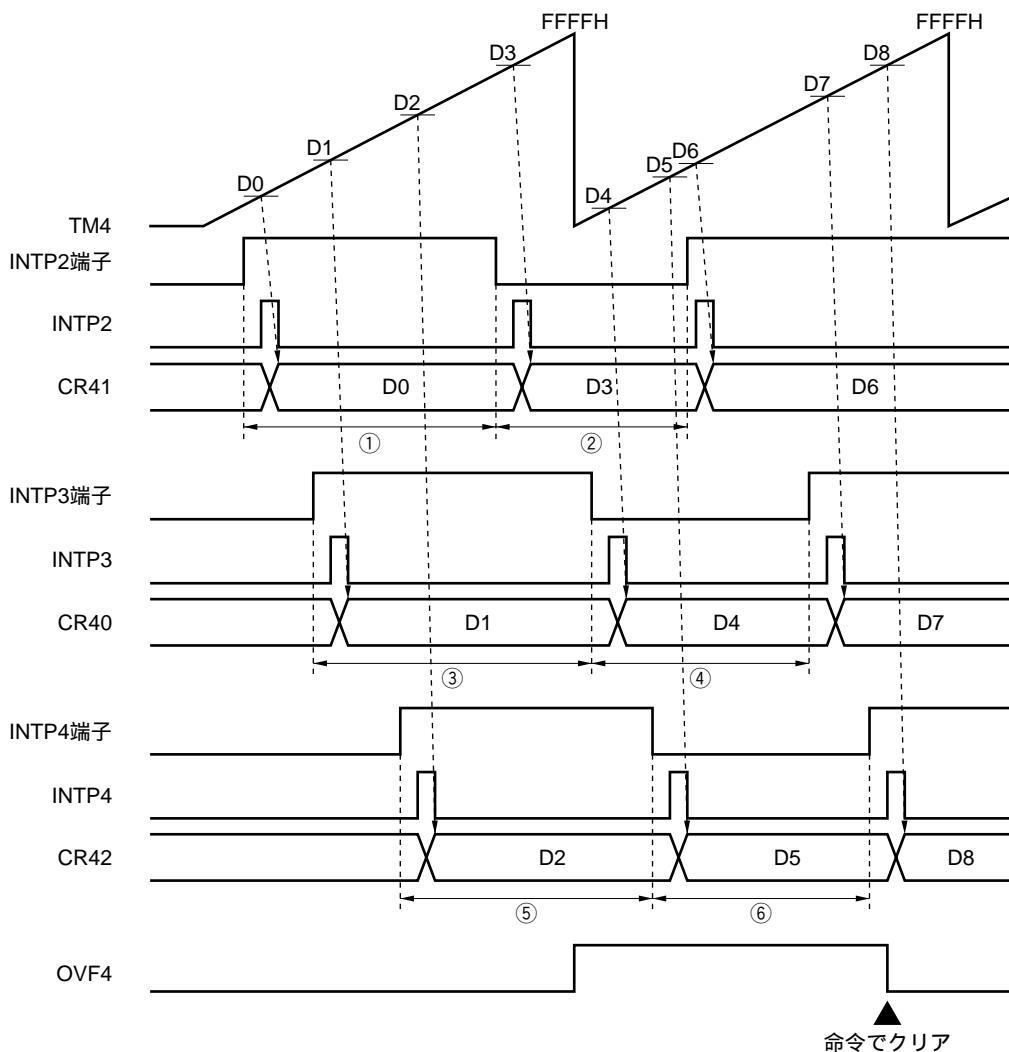
16ビット・キャプチャ/コンペア・レジスタ40, 41, 42 (CR40, CR41, CR42) をキャプチャ・モード(キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) のビット0, 2, 3 (CRC40, CRC42, CRC43) を“1”) に設定します。

CR40のキャプチャ・トリガは, INTP3 (CRC4のビット1 (CRC41) を“0”) に設定します。

INTP2, INTP3, INTP4の有効エッジを両エッジ(プリスケアラ・モード・レジスタ4 (PRM4) のビット2-7 (ES40, ES41, ES20, ES21, ES30, RS31) を“1”) に設定します。

フリーランニング・モード(16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット2, 3 (TMC42, TMC43) に, それぞれ“1”, “0”) に設定します。

図12-13 パルス幅測定動作のタイミング(両エッジ指定時)



【測定方法】

- ・ INTP2割り込み処理で，CR41とOVF4（TMC4のビット0）フラグを読み出します。
 - は $(D3 - D0) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$
 - は $(10000H - D3 + D6) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$
- ・ INTP3割り込み処理で，CR40とOVF4を読み出します。
 - は $(10000H - D1 + D4) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$
 - は $(D7 - D4) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$
- ・ INTP4割り込み処理で，CR42とOVF4を読み出します。
 - は $(10000H - D2 + D5) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$
 - は $(D8 - D5) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

備考 Dn : TM4のカウント値 (n = 0 , 1 , 2 , ...)

(2) パルス幅測定 (立ち上がりエッジ)

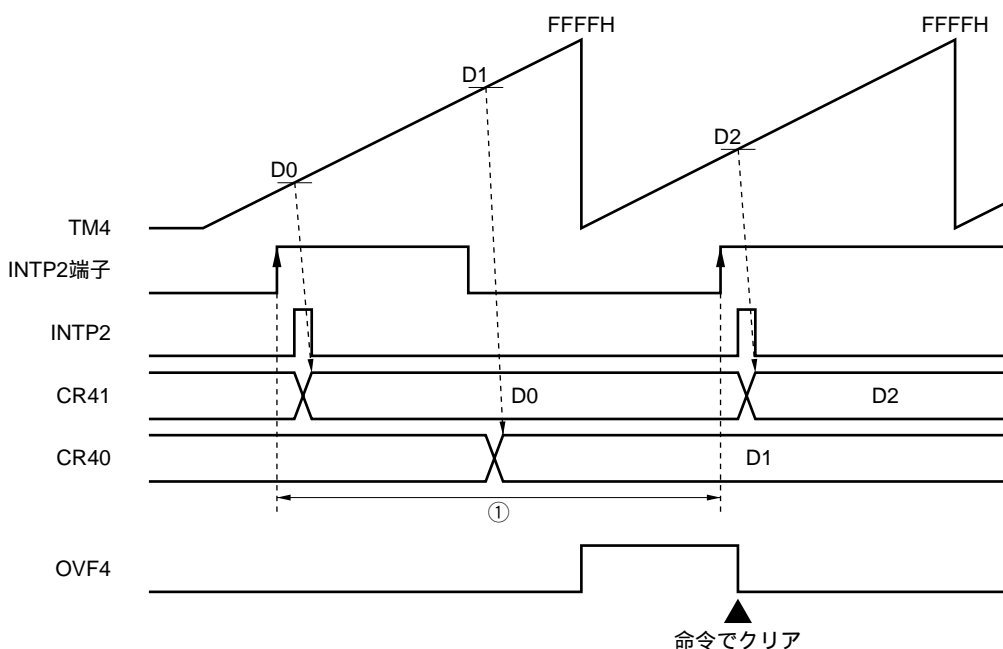
16ビット・タイマ・カウンタ4 (TM4) を使用し、INTP2/P03端子に入力されるパルス幅を測定できます。エッジからエッジまでの幅を測定します。

16ビット・キャプチャ/コンペア・レジスタ40, 41 (CR40, CR41) をキャプチャ・モード (キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) のビット0, 2 (CRC40, CRC42) を“1”) に設定します。

CR40のキャプチャ・トリガは、INTP2の逆エッジ (CRC4のビット1 (CRC41) を“1”) に設定します。

フリーランニング・モード (16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット2, 3 (TMC42, TMC43) に、それぞれ“1”, “0”) に設定します。

図12-14 パルス幅測定動作のタイミング (立ち上がりエッジ指定時)



【測定方法】

・INTP2割り込み処理で、CR41とOVF4 (TMC4のビット0) フラグを読み出します。

は $(10000H - D0 + D2) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

注意 CR40は、INTP2端子の逆エッジでキャプチャされますが、その際、割り込み要求信号 (INTP2) は発生しません。INTP2 (割り込み要求信号) は、指定した有効エッジが検出されたときのみ発生します。

備考 Dn: TM4のカウンタ値 (n=0, 1, 2, ...)

(3) パルス幅測定 (立ち下がリエッジ)

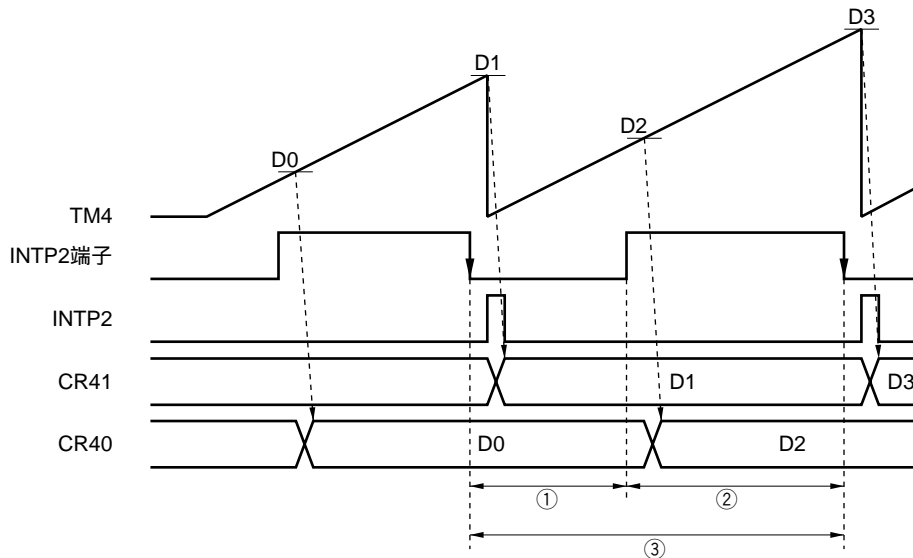
16ビット・タイマ・カウンタ4 (TM4) を使用し, INTP2/P03端子に入力されるパルス幅を測定できます。ハイ幅, ロウ幅を別々に測定します。

16ビット・キャプチャ/コンペア・レジスタ40, 41 (CR40, CR41) をキャプチャ・モード (キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) のビット0, 2 (CRC40, CRC42) を“1”) に設定します。

CR40のキャプチャ・トリガは, INTP2の逆エッジ (CRC4のビット1 (CRC41) を“1”) に設定します。

INTP2の有効エッジ入力でクリア&スタート・モード (16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット2, 3 (TMC42, TMC43) をそれぞれ“0”, “1”) に設定します。

図12 - 15 パルス幅測定動作のタイミング (立ち下がリエッジ指定時)



【測定方法】

- ・ INTP2割り込み処理で, CR40, CR41を読み出します。

(ロウ幅) は $D2 \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

(ハイ幅) は $(D3 - D2) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

(1周期) は $D3 \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

ただし, TM4がオーバーフローした場合は補正が必要です。

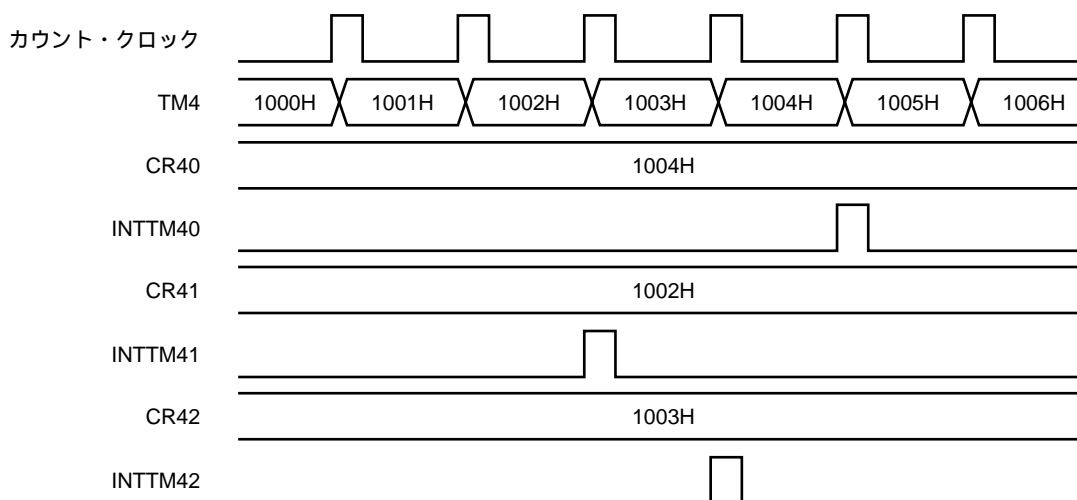
注意 CR40は, INTP2の逆エッジでキャプチャされますが, その際, 割り込み要求信号 (INTP2) は発生しません。INTP2 (割り込み要求信号) 指定した有効エッジが検出されたときのみ発生します。

備考 D_n : TM4のカウント値 ($n = 0, 1, 2, \dots$)

12.4.7 TM4のコンペア動作

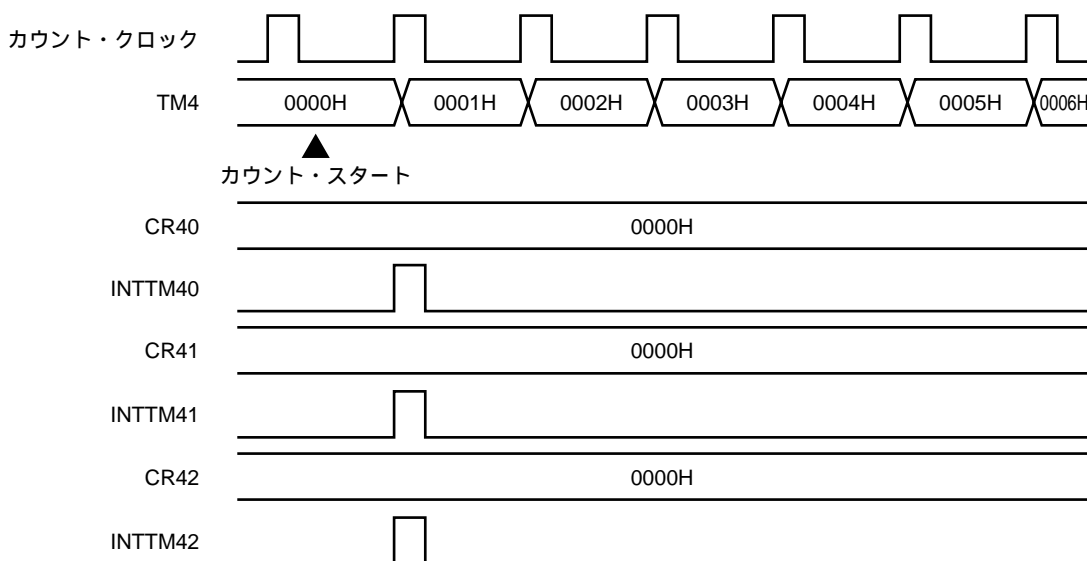
キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) のビット0, 2, 3 (CRC40, CRC42, CRC43) を “0” に設定して, 16ビット・キャプチャ/コンペア・レジスタ40, 41, 42 (CR40, CR41, CR42) をコンペア・モードにします。16ビット・タイマ・カウンタ4 (TM4) と, CR40, CR41またはCR42が一致すると, 次のカウント・クロックで割り込み要求信号 (INTTM40, INTTM41またはINTTM42) を発生します。

図12 - 16 TM4のコンペア動作タイミング (CR40, CR41, CR42 = 0000H)



注意 図12 - 16のTM4の動作モードは, TM4-CR40一致でクリア&スタート・モード以外です。TM4-CR40の一一致でクリア&スタート・モード時は, TM4とCR40が一致すると, 次のカウント・クロックでTM4はクリアされます (図12 - 9 TM4とCR40一致でクリア&スタート・モード動作タイミング (CR40 = 0000H) 参照)。CR41, CR42が一致してもTM4はクリアされません。

図12 - 17 TM4のコンペア動作タイミング (CR40, CR41, CR42 = 0000H)

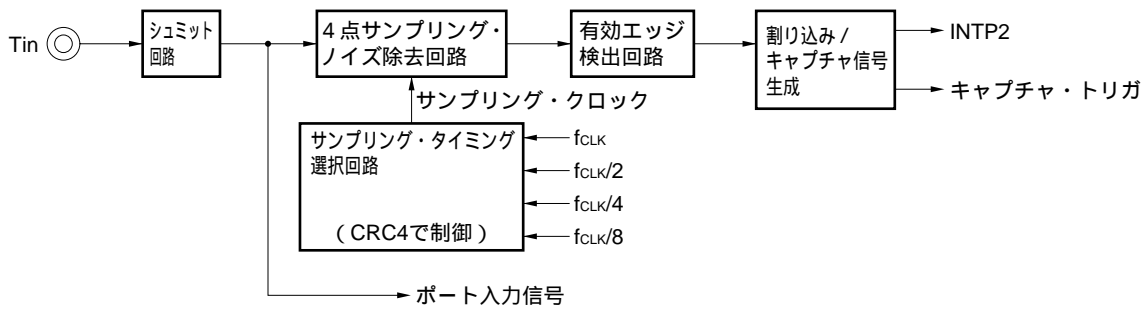


注意 図12 - 17のTM4の動作モードは, TM4-CR40一致でクリア&スタート・モード以外です。TM4-CR40の一一致でクリア&スタート・モード時は, TM4は0000Hのままです (図12 - 10 TM4とCR40一致でクリア&スタート・モード動作タイミング (CR40 = 0000H) 参照)。

12.4.8 ノイズ除去回路

16ビット・タイマ4のノイズ除去回路は、キャプチャ/コンペア・コントロール・レジスタ4（CRC4）のビット6，7（SMPC40, SMPC41）で指定されるタイミングで4点サンプリングを行います。連続してサンプリングをして4回続けて同じレベルであれば、そのレベルを内部に取り込みます。

図12 - 18 INTP2のブロック図



【サンプリング・タイミング】

T_{in} : INTP2の端子入力信号の幅, T_{smp} : サンプリング・タイミング,

$C1, C2$: システム・クロック T_{CLK} : システム・クロック・レート ($= 1/f_{CLK}$)

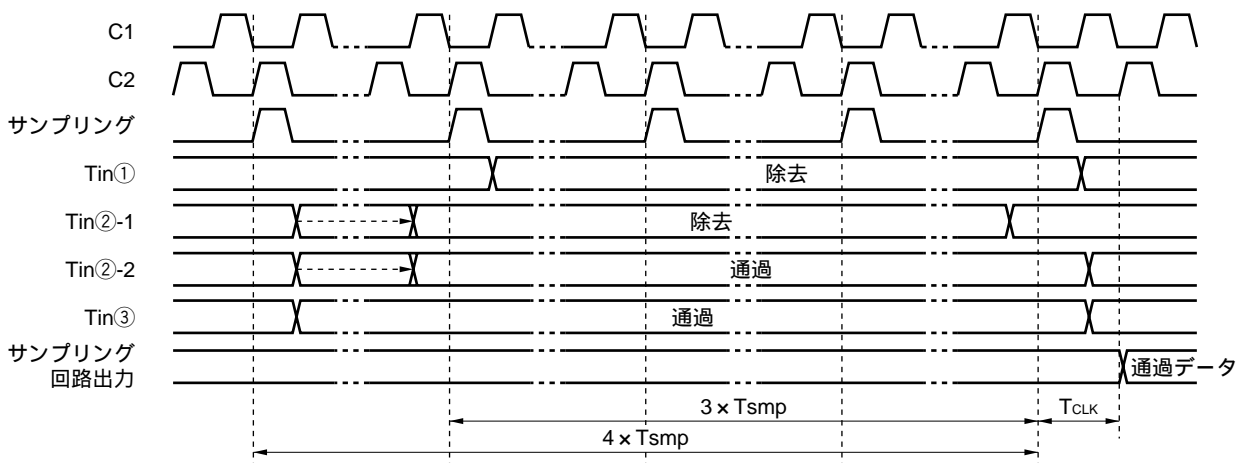
$T_{in} < (3 \times T_{smp})$... ノイズとして除去される。

$(3 \times T_{smp}) < T_{in} < (4 \times T_{smp})$... ノイズとして除去される場合と有効信号として通過する場合があります。

$T_{in} > (4 \times T_{smp})$... 有効信号として通過する。

注意 確実に有効信号として通過させるためには、 $4 \times T_{smp}$ 幅の信号を入力してください。

図12 - 19 サンプリング・タイミング図



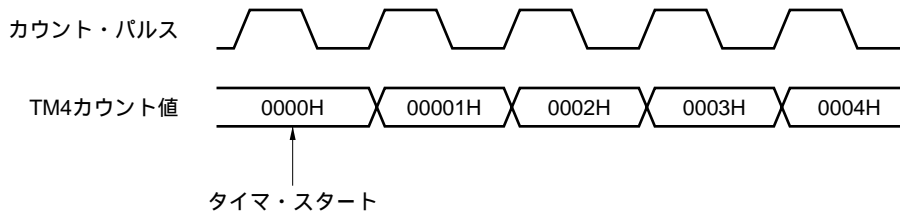
備考 端子レベル (T_{in}) がサンプリング回路を通過する時間は、 $(3 \times T_{smp} + T_{CLK}) \sim (4 \times T_{smp} + T_{CLK})$ で $1 \cdot T_{smp}$ のばらつきがあります。

12.5 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・カウンタ4 (TM4) のスタートが非同期で行われるためです。

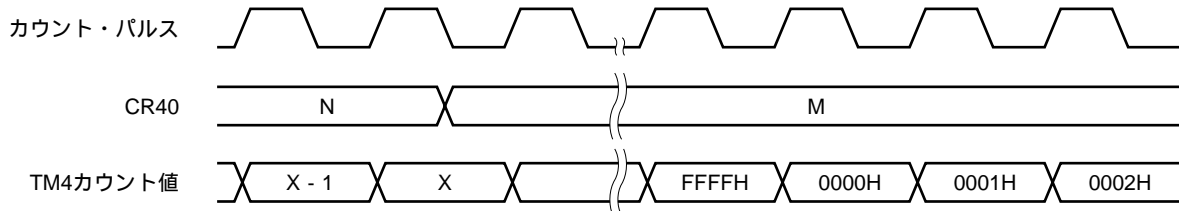
図12-20 16ビット・タイマ・カウンタ4のスタート・タイミング



(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・キャプチャ/コンペア・レジスタ40 (CR40) の変更後の値が、16ビット・タイマ・カウンタ4 (TM4) の値よりも小さいとき、TM4はカウントを継続しオーバーフローして0から再カウントします。したがって、CR40の変更後の値 (M) が変更前の値 (N) より小さいときは、CR40を変更後、タイマを再スタートさせる必要があります。

図12-21 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

(3) 有効エッジの設定

INTP2/P03端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) のビット2, 3 (TMC42, TMC43) に“0”, “0”を設定し、タイマ動作を停止させたのちに設定してください。有効エッジは、プリスケアラ・モード・レジスタ4 (PRM4) のビット4, 5 (ES20, ES21) で設定します。

第13章 16ビット・タイマ5

13.1 機能

16ビット・タイマ5には、次のような機能があります。

- ・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

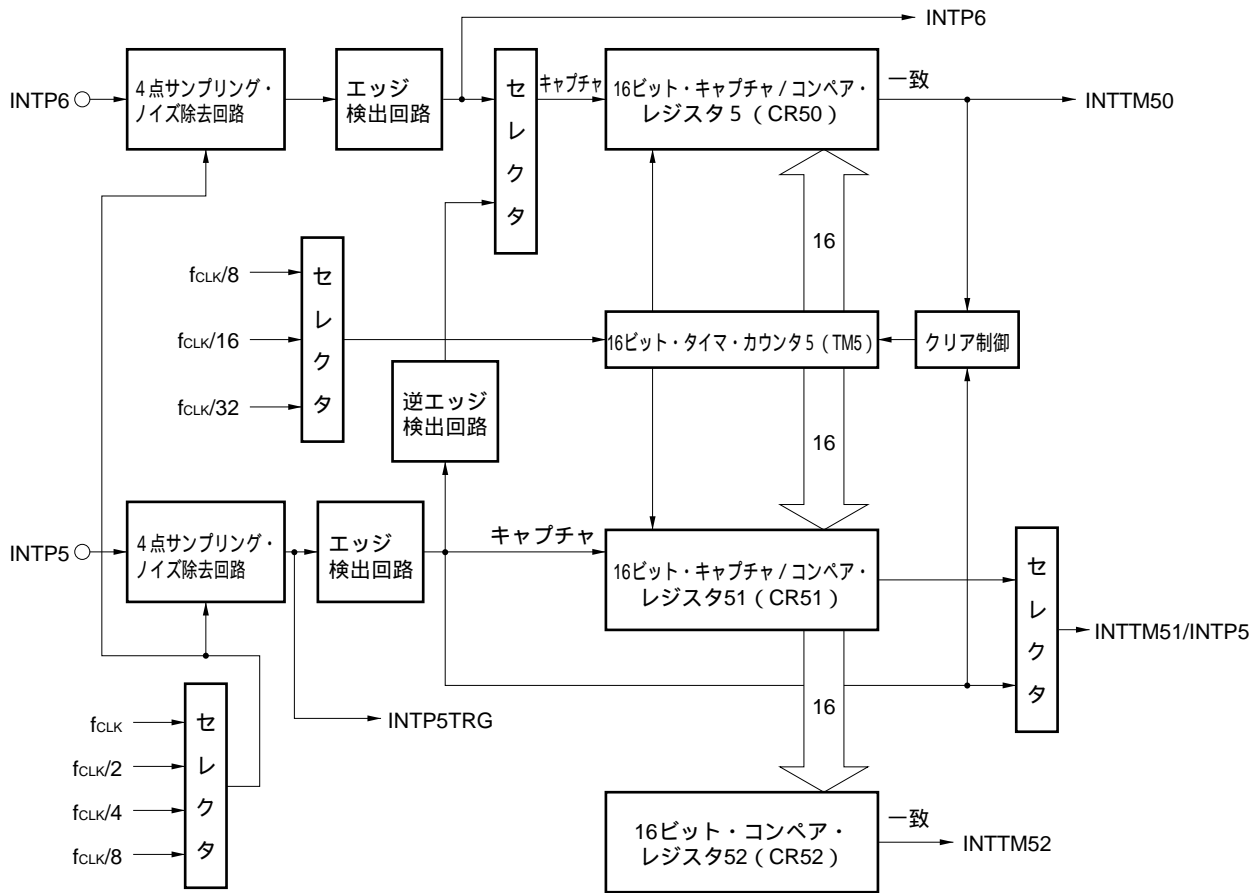
13.2 構成

16ビット・タイマ5は、次のハードウェアで構成しています。

表13 - 1 16ビット・タイマ5の構成

項目	構成
タイマ・カウンタ	16ビット×1本 (TM5)
レジスタ	キャプチャ/コンペア・レジスタ : 16ビット×2本 (CR50, CR51) コンペア・レジスタ : 16ビット×1本 (CR52)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) キャプチャ/コンペア・コントロール・レジスタ5 (CRC5) プリスケアラ・モード・レジスタ5 (PRM5)

図13-1 16ビット・タイマ5のブロック図



(1) 16ビット・タイマ・カウンタ5 (TM5)

TM5は、カウント・パルスをカウントする16ビット・フリーランニングまたはインターバル・タイマです。入力クロックの立ち上がりに同期して、カウンタをインクリメントします。次の場合、カウント値は0000Hになります。

RESET入力

16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット2, 3 (TMC52, TMC53) をクリア

INTP5有効エッジ入力でクリア&スタート・モード時のINTP5有効エッジが入力されたとき

16ビット・キャプチャ/コンペア・レジスタ50 (CR50) の一致でクリア&スタート・モード時のTM5とCR50の一致

(2) 16ビット・キャプチャ/コンペア・レジスタ50 (CR50)

CR50は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。

キャプチャ/コンペア・コントロール・レジスタ5 (CRC5) のビット0 (CRC50) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR50をコンペア・レジスタとして使用するとき

CR50に設定した値と16ビット・タイマ・カウンタ5 (TM5) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM50) を発生します。TM5をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

・CR50をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてINTP5端子、またはINTP6端子の有効エッジが選択できます。

INTP5, INTP6の有効エッジは、プリスケアラ・モード・レジスタ5 (PRM5) のビット4, 5 (ES50, ES51), およびビット6, 7 (ES60, ES61) で設定します。

キャプチャ・トリガとしてINTP5端子の有効エッジに指定したときは表13 - 2, キャプチャ・トリガとしてINTP6端子の有効エッジに指定したときは表13 - 3のようになります。

表13 - 2 INTP5端子の有効エッジとCR50, CR51のキャプチャ・トリガ

ES51	ES50	INTP5端子の有効エッジ	CR50のキャプチャ・トリガ	CR51のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ	キャプチャ動作しない	立ち上がり, 立ち下がりの両エッジ

表13 - 3 INTP6端子の有効エッジとCR50のキャプチャ・トリガ

ES61	ES60	INTP6端子の有効エッジ	CR50のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ	立ち上がり, 立ち下がりの両エッジ

CR50は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 CR50をキャプチャ・モードからコンペア・モードに切り替えた場合、CR50の値は最後にキャプチャされた値になります。またコンペア・モードからキャプチャ・モードに切り替えた場合、CR50の値は最後にコンペア・レジスタに設定された値になります。

(3) 16ビット・キャプチャ/コンペア・レジスタ51 (CR51)

CR51は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。

キャプチャ/コンペア・コントロール・レジスタ5 (CRC5) のビット2 (CRC52) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

- CR51をコンペア・レジスタとして使用するとき

CR51に設定した値と16ビット・タイマ・カウンタ5 (TM5) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM51) を発生します。

- CR51をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてINTP5端子の有効エッジが選択できます。INTP5の有効エッジは、プリスケラ・モード・レジスタ5 (PRM5) のビット4, 5 (ES50, ES51) で設定します。

キャプチャ・トリガとしてINTP5端子の有効エッジに指定したときは表13 - 4 のようになります。

表13 - 4 INTP5端子の有効エッジとCR51のキャプチャ・トリガ

ES51	ES50	INTP5端子の有効エッジ	CR51のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がり両エッジ	立ち上がり、立ち下がり両エッジ

CR51は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 CR51をキャプチャ・モードからコンペア・モードに切り替えた場合、CR51の値は最後にキャプチャされた値になります。またコンペア・モードからキャプチャ・モードに切り替えた場合、CR51の値は最後にコンペア・レジスタに設定された値になります。

(4) 16ビット・コンペア・レジスタ52 (CR52)

CR52に設定した値と16ビット・タイマ・カウンタ5 (TM5) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM52) を発生します。

CR52は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

13.3 制御レジスタ

16ビット・タイマ5を制御するレジスタには、次の3種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5)
- ・キャプチャ/コンペア・コントロール・レジスタ5 (CRC5)
- ・プリスケラ・モード・レジスタ5 (PRM5)

(1) 16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5)

TMC5は、16ビット・タイマ・カウンタ5 (TM5) のクリア・モードの設定およびオーバーフローを検出するレジスタです。

TMC5は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

注意 TM5は、TMC5のビット2, 3 (TMC52, TMC53) に“0”, “0” (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC52, TMC53に“0”, “0”を設定してください。

図13 - 2 16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のフォーマット

アドレス：0FF6FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	①
TMC5	0	0	0	0	TMC53	TMC52	0	OVF5

TMC53	TMC52	動作モードおよびクリア・モードの選択	割り込みの発生
0	0	動作停止 (TM5は0にクリア)	発生しない
0	1	フリーランニング・モード	TM5とCR50の一致で発生
1	0	INTP5有効エッジ入力でクリア&スタート	
1	1	TM5とCR50の一致でクリア&スタート	

OVF5	TM5のオーバーフロー検出
0	オーバーフローなし
1	オーバーフローあり

注意 TMC5は、必ずTM5のタイマ動作を停止させてから設定してください。

(2) キャプチャ/コンペア・コントロール・レジスタ5 (CRC5)

16ビット・キャプチャ/コンペア・レジスタ50, 51 (CR50, CR51) の動作を制御するレジスタです。CRC5は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 RESET入力により、00Hになります。

図13-3 キャプチャ/コンペア・コントロール・レジスタ5 (CRC5) のフォーマット

アドレス：0FF7EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CRC5	SMPC51	SMPC50	0	0	0	CRC52	CRC51	CRC50

SMPC51	SMPC50	サンプリング・クロックの選択
0	0	f _{CLK}
0	1	f _{CLK} /2
1	0	f _{CLK} /4
1	1	f _{CLK} /8

CRC52	CR51の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC51	CR50のキャプチャ・トリガの選択
0	INTP6の有効エッジでキャプチャする
1	INTP5の有効エッジの逆相でキャプチャする

CRC50	CR50の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注意1 . CRC5は、必ずタイマ動作を停止させてから設定してください。

- 2 . 16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) で、TM5とCR50の一致でクリア&スタート・モードを選択したとき、CR50をキャプチャ・レジスタに指定しないでください。
- 3 . CRC51に“1”を設定したとき、INTP5の有効エッジを立ち上がり、立ち下りの両エッジに指定しないでください。

(3) プリスケアラ・モード・レジスタ5 (PRM5)

プリスケアラ・モード・レジスタ5 (PRM5) は、16ビット・タイマ・カウンタ5 (TM5) のカウント・クロックおよびINTP5, INTP6入力有効エッジを指定するレジスタです。

PRM5は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

図13 - 4 プリスケアラ・モード・レジスタ5 (PRM5) のフォーマット

アドレス：0FF89H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PRM5	ES61	ES60	ES51	ES50	0	0	PRM51	PRM50

ES61	ES60	INTP6の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がり両エッジ

ES51	ES50	INTP5の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がり両エッジ

PRM51	PRM50	カウント・クロックの選択
0	0	f _{CLK} /8 (1 MHz)
0	1	f _{CLK} /16 (500 kHz)
1	0	f _{CLK} /32 (250 kHz)
1	1	設定禁止

注意 PRM5は、必ずタイマ動作を停止させてから設定してください。

備考 ()内は、f_{CLK} = 8 MHz動作時

13.4 動作

13.4.1 16ビット・タイマ5の基本動作

16ビット・タイマ5は、カウント・パルスをカウントする16ビット・フリーランニングまたはインターバル・タイマです。入カクロックの立ち上がり同期して、カウンタをインクリメントします。

$\overline{\text{RESET}}$ 入力により16ビット・タイマ・カウンタ5 (TM5) の全ビットはクリア (0) され、カウント動作は停止します。

カウント動作の許可/禁止は、16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット2, 3 (TMC52, TMC53) で制御します。TMC52, TMC53を“0”, “0”以外の動作モードに設定するとカウント動作を開始し、リセット (TMC52, TMC53を“0”, “0”) するとTM5はクリアされ、カウント動作を停止します。

また、カウント値は0000Hになります。

TM5は、カウント・スタート設定後、最初のカウント・クロック入力で0000H 0001Hになります。

TM5は、動作中に再度同じ動作モードを設定しても、そのままカウント動作を続けて、タイマはクリアされません。

TM5リード期間中も、カウントは停止しません。

図13 - 5 TM5の基本動作タイミング

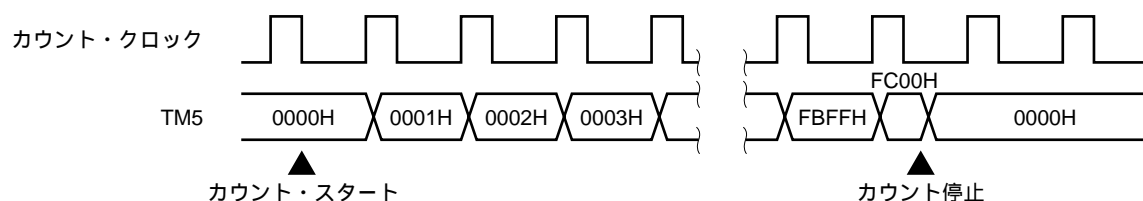
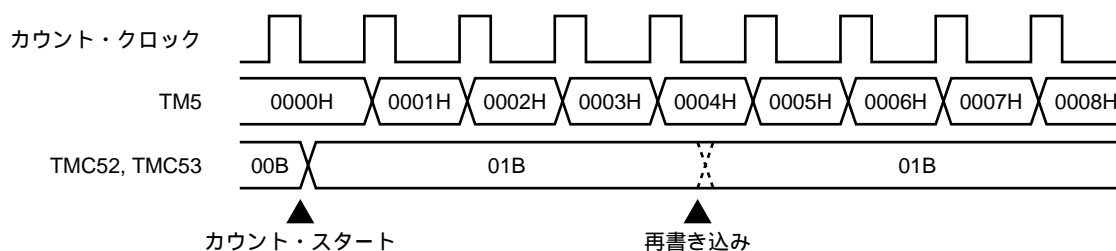


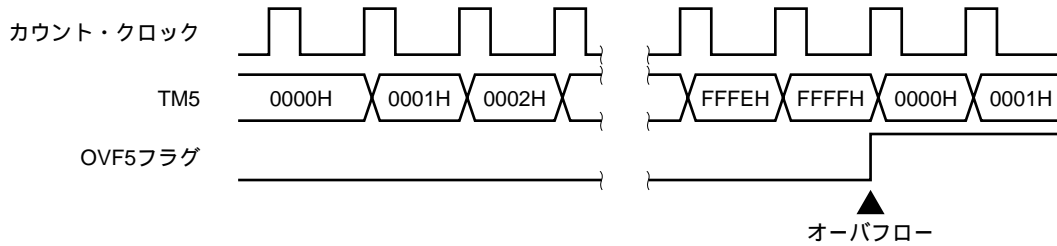
図13 - 6 TMC52, TMC53への再書き込み動作タイミング (フリーランニング・モード)



13.4.2 TM5のフリーランニング動作

16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット2, 3 (TMC52, TMC53) をそれぞれ“1”, “0”に設定すると, 16ビット・タイマ・カウンタ5 (TM5) はフリーランニング動作をします。TM5は, FFFFHまでフルカウントすると次のカウント・クロックでTMC5のビット0 (OVF5) が1に設定され, TM5はクリア (0000H) されます。その後もカウントは続けられます。またOVF5は, 命令によりクリアできません。

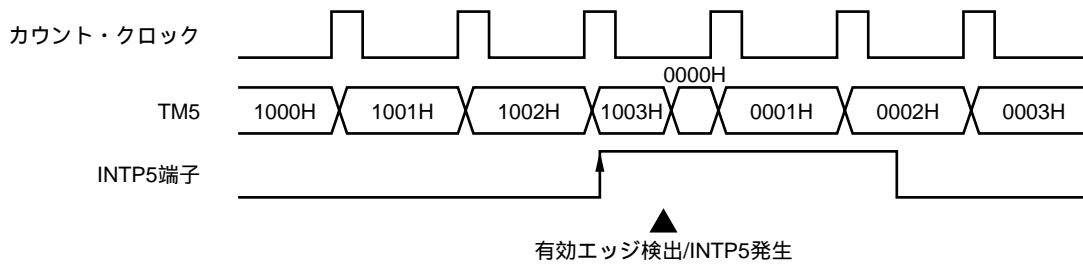
図13 - 7 TM5のフリーランニング動作タイミング



13.4.3 TM5のINTP5有効エッジ入力でクリア&スタート動作

16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット2, 3 (TMC52, TMC53) をそれぞれ“0”, “1”に設定すると, TM5はINTP5の有効エッジ入力でクリア&スタート・モードになります。INTP5の有効エッジが入力される (割り込み要求信号: INTP5の発生) と, TM5はクリア (0000H) され, 次のカウント・クロックで0001Hとなります。その後もカウントは続けられます。

図13 - 8 TM5のINTP5有効エッジ入力でクリア&スタート・モード動作タイミング



13.4.4 TM5とCR50一致でクリア&スタート動作

16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット2, 3 (TMC52, TMC53) をそれぞれ“1”, “1” に設定すると, 16ビット・タイマ・カウンタ5 (TM5) は16ビット・キャプチャ/コンペア・レジスタ50 (CR50) の一致でクリア&スタート・モードになります。TM5とCR50が一致すると, 次のカウント・クロックで割り込み要求信号 (INTTM50) を発生し, TM5はクリア (0000H) されます。その後もカウントは続けられます。

図13 - 9 TM5とCR50一致でクリア&スタート・モード動作タイミング (CR50 = 0000H)

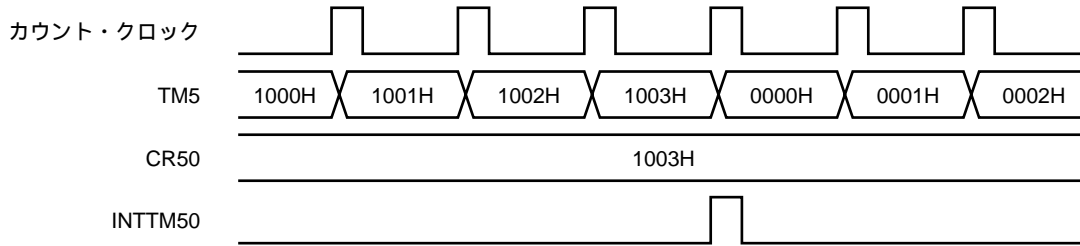
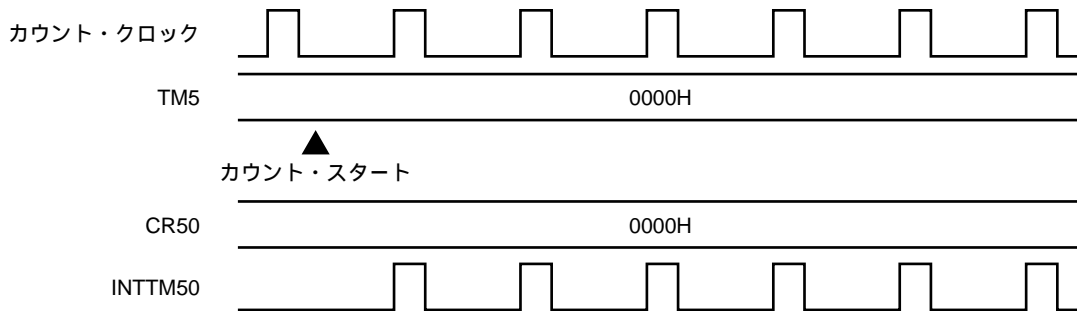


図13 - 10 TM5とCR50一致でクリア&スタート・モード動作タイミング (CR50 = 0000H)



注意 CR50は, 必ずコンペア・モードに設定してください。

備考 インターバル周期 = (CR50 + 1) × TM5のカウント・クロック・レート

13.4.5 TM5のキャプチャ動作

キャプチャ/コンペア・コントロール・レジスタ5 (CRC5) のビット 0, 2 (CRC50, CRC52) を “ 1 ” に設定して, 16ビット・キャプチャ/コンペア・レジスタ50, 51 (CR50, CR51) をキャプチャ・モードにします。キャプチャ・トリガが入力されると, CR50, CR51にTM5の値をキャプチャします。

図13 - 11 キャプチャ動作 (フリーランニング・モード時) のタイミング

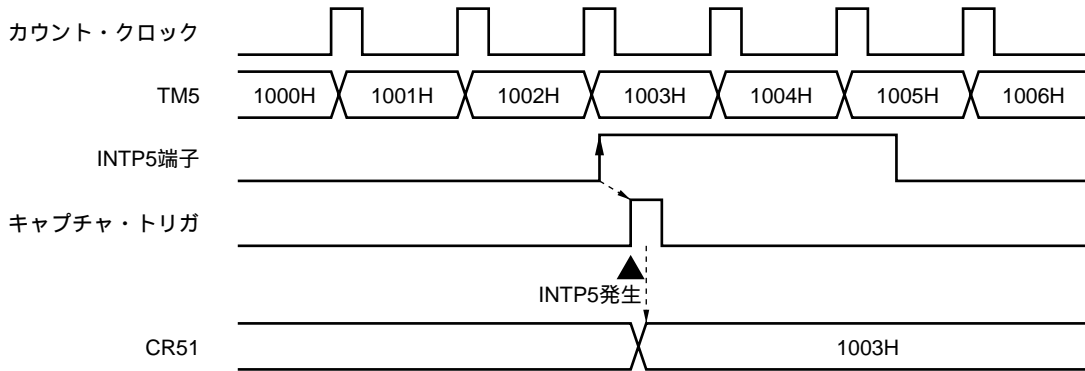
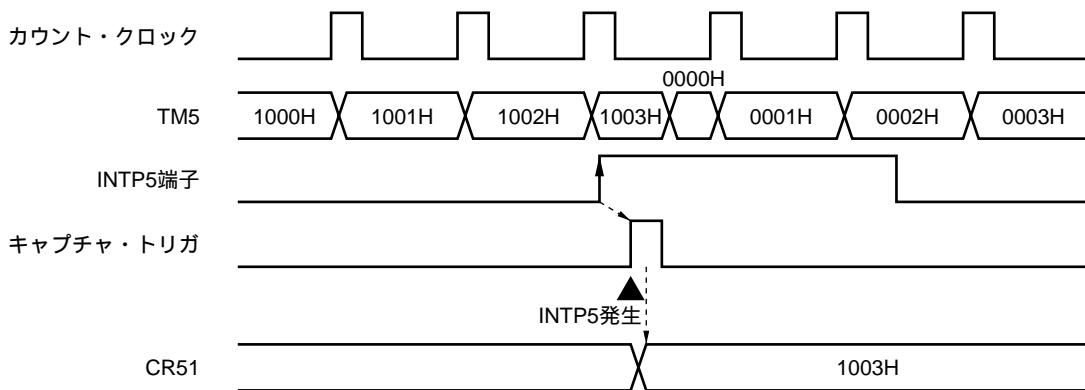


図13 - 12 キャプチャ動作 (INTP5有効エッジ入力でクリア&スタート・モード時) のタイミング



13.4.6 パルス幅測定としての動作

(1) パルス幅測定 (立ち上がり, 立ち下がり両エッジ)

16ビット・タイマ・カウンタ5 (TM5) を使用し, INTP5/P06端子およびINTP6/P07端子に入力される信号のパルス幅を測定できます。エッジからエッジまでの幅を測定します。

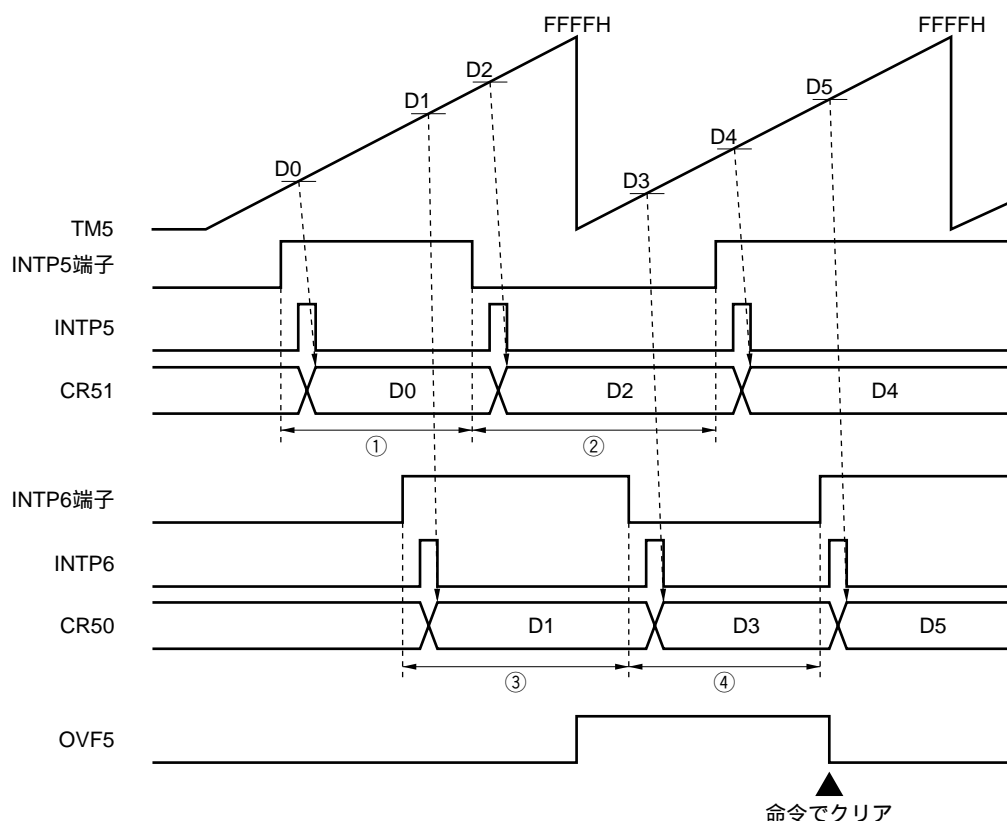
16ビット・キャプチャ/コンペア・レジスタ50, 51 (CR50, CR51) をキャプチャ・モード (キャプチャ/コンペア・コントロール・レジスタ5 (CRC5) のビット0, 2 (CRC50, CRC52) を“1”) に設定します。

CR50のキャプチャ・トリガは, INTP5 (CRC5のビット1 (CRC51) を“0”) に設定します。

INTP5, INTP6の有効エッジを両エッジ (プリスケアラ・モード・レジスタ5 (PRM5) のビット4-7 (ES50, ES51, ES60, ES61) を“1”) に設定します。

フリーランニング・モード (16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット2, 3 (TMC52, TMC53) に, それぞれ“1”, “0”) に設定します。

図13-13 パルス幅測定動作のタイミング (両エッジ指定時)



【測定方法】

- ・INTP5割り込み処理で, CR51とOVF5 (TMC5のビット0) フラグを読み出します。

は $(D2 - D0) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

は $(10000H - D2 + D4) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

- ・INTP6割り込み処理で, CR50とOVF5フラグを読み出します。

は $(10000H - D1 + D3) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

は $(D5 - D3) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

備考 Dn : TM5のカウント値 (n = 0, 1, 2, ...)

(2) パルス幅測定(立ち上がりエッジ)

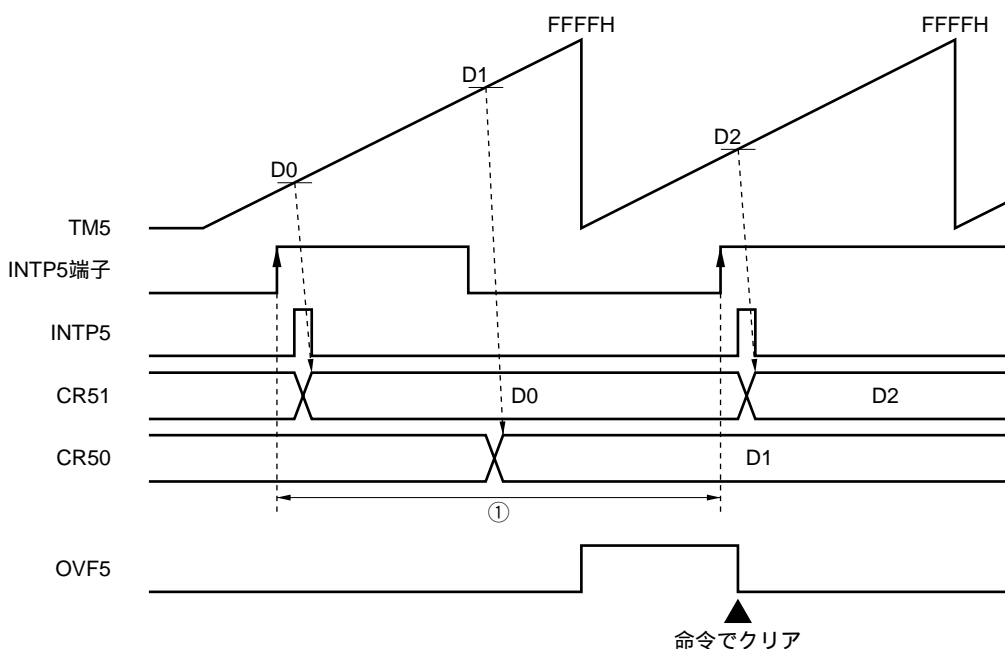
16ビット・タイマ・カウンタ5(TM5)を使用し、INTP5/P06端子に入力されるパルス幅を測定できます。エッジからエッジまでの幅を測定します。

16ビット・キャプチャ/コンペア・レジスタ50,51(CR50,CR51)をキャプチャ・モード(キャプチャ/コンペア・コントロール・レジスタ5(CRC5)のビット0,2(CRC50,CRC52)を“1”)に設定します。

CR50のキャプチャ・トリガは、INTP5の逆エッジ(CRC5のビット1(CRC51)を“1”)に設定します。

フリーランニング・モード(16ビット・タイマ・モード・コントロール・レジスタ5(TMC5)のビット2,3(TMC52,TMC53)に、それぞれ“1”,“0”)に設定します。

図13-14 パルス幅測定動作のタイミング(立ち上がりエッジ指定時)



【測定方法】

- ・INTP5割り込み処理で、CR51とOVF5(TMC5のビット0)フラグを読み出します。
は $(10000H - D0 + D2) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

注意 CR50は、INTP5の逆エッジでキャプチャされますが、その際、割り込み要求信号(INTP5)は発生しません。INTP5(割り込み要求信号)は、指定した有効エッジが検出されたときのみ発生します。

備考 Dn: TM5のカウンタ値(n = 0, 1, 2, ...)

(3) パルス幅測定 (立ち下がリエッジ)

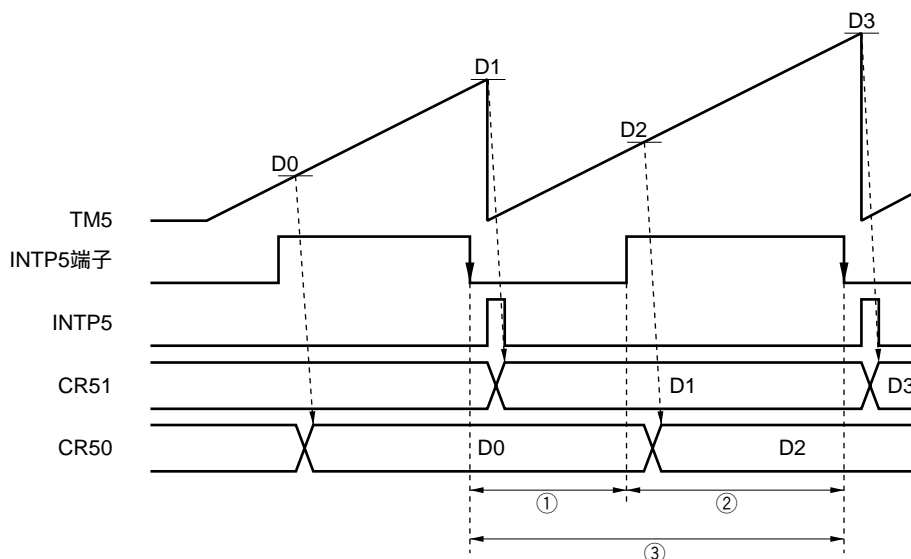
16ビット・タイマ・カウンタ5 (TM5) を使用し, INTP5/P06端子に入力されるパルス幅を測定できます。ハイ幅, ロウ幅を別々に測定します。

16ビット・キャプチャ/コンペア・レジスタ50, 51 (CR50, CR51) をキャプチャ・モード (キャプチャ/コンペア・コントロール・レジスタ5 (CRC5) のビット0, 2 (CRC50, CRC52) を“1”) に設定します。

CR50のキャプチャ・トリガは, INTP5の逆エッジ (CRC5のビット1 (CRC51) を“1”) に設定します。

INTP5の有効エッジ入力でクリア&スタート・モード (16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット2, 3 (TMC52, TMC53) をそれぞれ“0”, “1”) に設定します。

図13 - 15 パルス幅測定動作のタイミング (立ち下がリエッジ指定時)



【測定方法】

- ・ INTP5割り込み処理で, CR50, CR51を読み出します。

(ロウ幅) は $D2 \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

(ハイ幅) は $(D3 - D2) \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

(1周期) は $D3 \times \text{カウント} \cdot \text{クロック} \cdot \text{レート}$

ただし, TM5がオーバーフローした場合は補正が必要です。

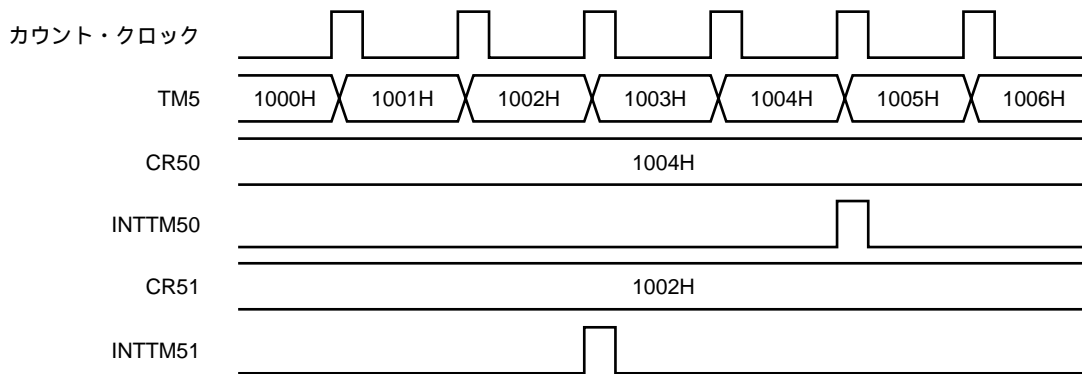
注意 CR50は, INTP5の逆エッジでキャプチャされますが, その際, 割り込み要求信号 (INTP5) は発生しません。INTP5 (割り込み要求信号) は, 指定した有効エッジが検出されたときのみ発生します。

備考 D_n : TM5のカウント値 ($n = 0, 1, 2, \dots$)

13.4.7 TM5のコンペア動作

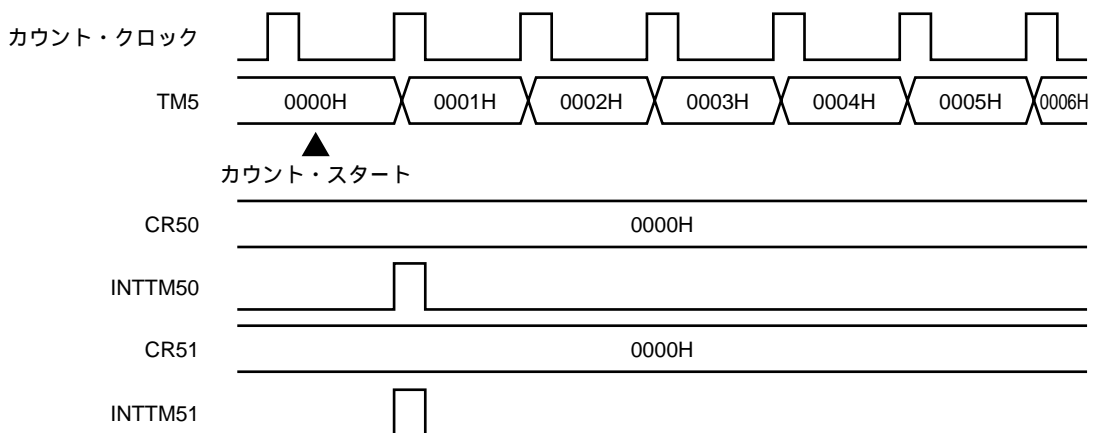
キャプチャ/コンペア・コントロール・レジスタ5 (CRC5) のビット 0, 2 (CRC50, CRC52) を “ 0 ” に設定して, 16ビット・キャプチャ/コンペア・レジスタ50, 51 (CR50, CR51) をコンペア・モードにします。16ビット・タイマ・カウンタ5 (TM5) と, CR50またはCR51が一致すると, 次のカウント・クロックで割り込み要求信号 (INTTM50またはINTTM51) を発生します。

図13 - 16 TM5のコンペア動作タイミング (CR50, CR51 = 0000H)



注意 図13 - 16のTM5動作モードは, TM5-CR50一致でクリア&スタート・モード以外です。TM5-CR50の一致でクリア&スタート・モード時は, TM5とCR50が一致すると, 次のカウント・クロックでTM5はクリアされます (図13 - 9 TM5とCR50一致でクリア&スタート・モード動作タイミング (CR50 = 0000H) 参照)。CR51が一致してもTM5はクリアされません。

図13 - 17 TM5のコンペア動作タイミング (CR50, CR51 = 0000H)

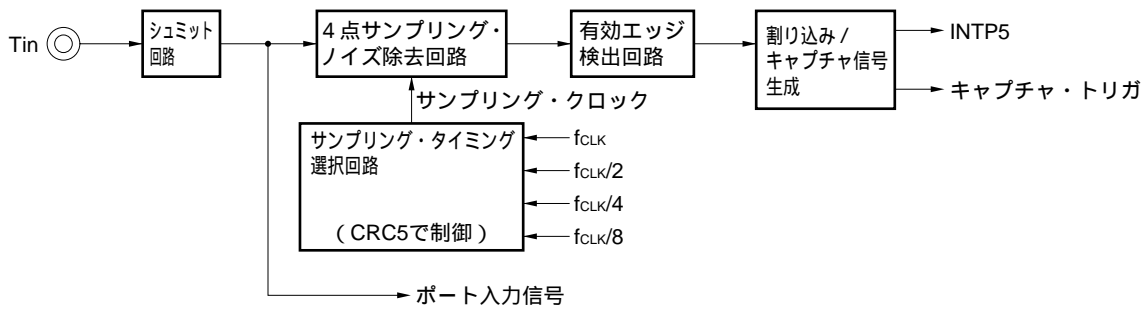


注意 図13 - 17のTM5動作モードは, TM5-CR50一致でクリア&スタート・モード以外です。TM5-CR50の一致でクリア&スタート・モード時は, TM5は0000Hのままです (図13 - 10 TM5とCR50一致でクリア&スタート・モード動作タイミング (CR50 = 0000H) 参照)。

13.4.8 ノイズ除去回路

16ビット・タイマ5のノイズ除去回路は、キャプチャ/コンペア・コントロール・レジスタ5（CRC5）のビット6，7（SMPC50, SMPC51）で指定されるタイミングで4点サンプリングを行います。連続してサンプリングをして4回続けて同じレベルであれば、そのレベルを内部に取り込みます。

図13 - 18 INTP5のブロック図



【サンプリング・タイミング】

T_{in} : INTP5の端子入力信号の幅, T_{smp} : サンプリング・タイミング,

$C1, C2$: システム・クロック T_{CLK} : システム・クロック・レート (= $1/f_{CLK}$)

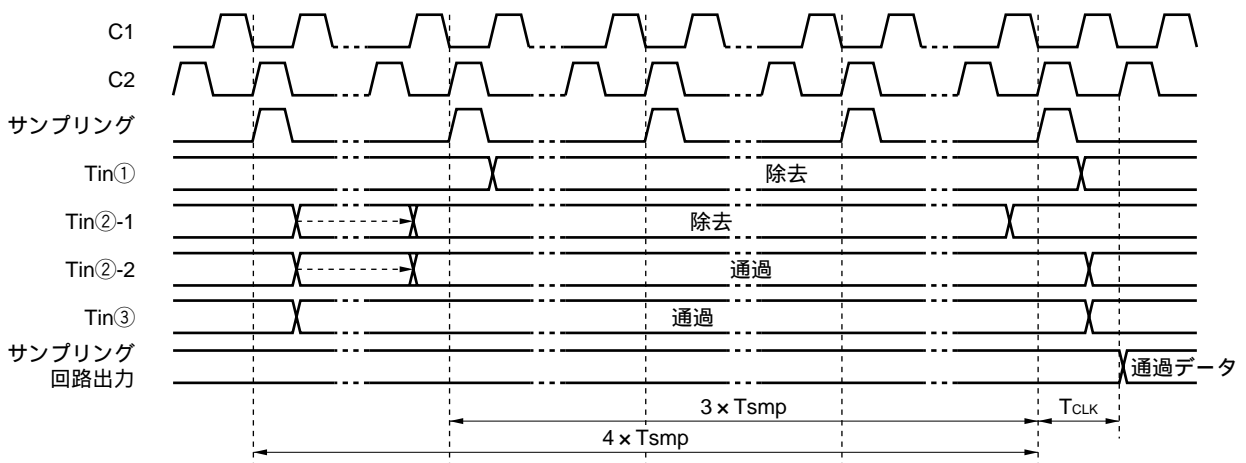
$T_{in} < (3 \times T_{smp})$... ノイズとして除去される。

$(3 \times T_{smp}) < T_{in} < (4 \times T_{smp})$... ノイズとして除去される場合と有効信号として通過する場合があります。

$T_{in} > (4 \times T_{smp})$... 有効信号として通過する。

注意 確実に有効信号として通過させるためには、 $4 \times T_{smp}$ 幅の信号を入力してください。

図13 - 19 サンプリング・タイミング図



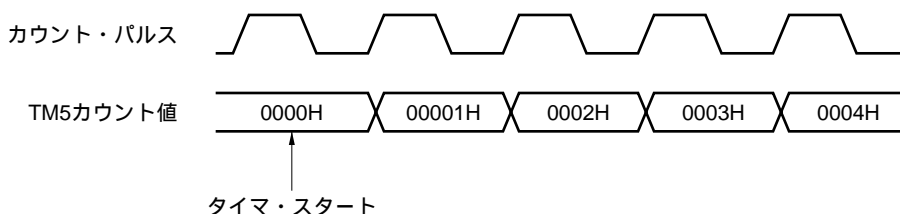
備考 端子レベル (T_{in}) がサンプリング回路を通過する時間は、 $(3 \times T_{smp} + T_{CLK}) \sim (4 \times T_{smp} + T_{CLK})$ で $1 \cdot T_{smp}$ のばらつきがあります。

13.5 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・カウンタ5 (TM5) のスタートが非同期で行われるためです。

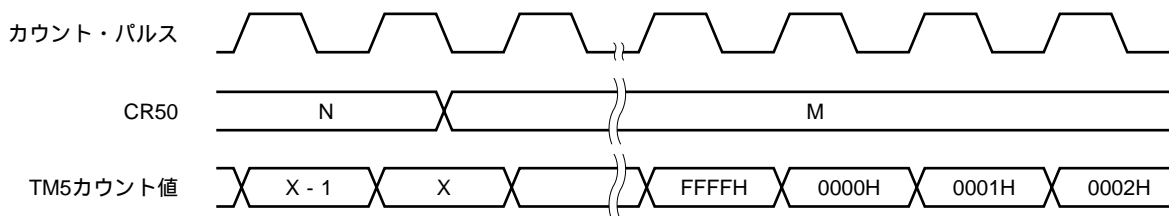
図13-20 16ビット・タイマ・カウンタ5のスタート・タイミング



(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・キャプチャ/コンペア・レジスタ50 (CR50) の変更後の値が、16ビット・タイマ・カウンタ5 (TM5) の値よりも小さいとき、TM5はカウントを継続しオーバーフローして0から再カウントします。したがって、CR50の変更後の値 (M) が変更前の値 (N) より小さいときは、CR50を変更後、タイマを再スタートさせる必要があります。

図13-21 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

(3) 有効エッジの設定

INTP5/P06端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット2, 3 (TMC52, TMC53) に“0”, “0”を設定し、タイマ動作を停止させたのちに設定してください。有効エッジは、プリスケラ・モード・レジスタ5 (PRM5) のビット4, 5 (ES50, ES51) で設定します。

第14章 8ビット・タイマ6

14.1 機能

8ビット・タイマ6には、次のような機能があります。

- ・インターバル・タイマ
- ・PWM出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) PWM出力

周波数と出力パルス幅を任意で設定できる矩形波を出力することができます。

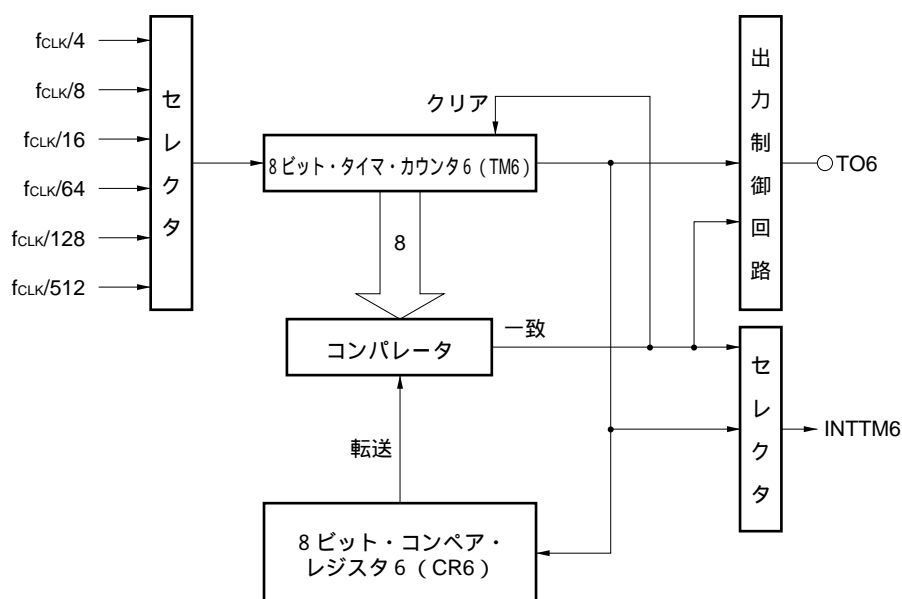
14.2 構成

8ビット・タイマ6は、次のハードウェアで構成しています。

表14 - 1 8ビット・タイマ6の構成

項目	構成
タイマ・カウンタ	8ビット×1本 (TM6)
レジスタ	コンペア・レジスタ：8ビット×1本 (CR6)
タイマ出力	1本 (TO6)
制御レジスタ	タイマ・モード・コントロール・レジスタ6 (TMC6) タイマ・クロック選択レジスタ6 (TCL6)

図14 - 1 8ビット・タイマ6のブロック図



(1) 8ビット・タイマ・カウンタ6 (TM6)

TM6は、カウント・パルスをカウントする8ビット・フリーランニングまたはインターバル・タイマです。入力クロックの立ち上がりに同期して、カウンタをインクリメントします。次の場合、カウント値は00Hになります。

$\overline{\text{RESET}}$ 入力

タイマ・モード・コントロール・レジスタ6 (TMC6) のビット7 (TCE6) をクリア
インターバル・モード時のTM6とCR6の一致

(2) 8ビット・コンペア・レジスタ6 (CR6)

CR6はマスタ (CR6) / スレーブ (コンパレータ) 構成になっています。TM6の動作モードにより転送タイミングが異なります。

TM6がインターバル・モードの場合

CR6への書き込み命令時に、CR6からコンパレータへの転送が行われます。CR6に設定した値とTM6のカウント値を常に比較し、一致したときに割り込み要求 (INTTM6) を発生します。TM6をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できません。

TM6がフリーランニング・モードの場合

TM6のオーバーフローでCR6からコンパレータへの転送が行われます。またフリーランニング・モードでは、TO6端子からPWM出力ができます。

CR6は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

14.3 制御レジスタ

8ビット・タイマ6を制御するレジスタには、次の2種類があります。

- ・タイマ・モード・コントロール・レジスタ6 (TMC6)
- ・タイマ・クロック選択レジスタ6 (TCL6)

(1) タイマ・モード・コントロール・レジスタ6 (TMC6)

TMC6は、8ビット・タイマ・カウンタ6 (TM6) の動作を制御するレジスタです。

TMC6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14-2 タイマ・モード・コントロール・レジスタ6 (TMC6) のフォーマット

アドレス：0FF54H リセット時：00H R/W

略号	⑦	6	5	4	3	2	1	⑩
TMC6	TCE6	TMC66	0	0	0	0	TMC61	TOE6

TCE6	TM6のカウンタ動作制御
0	カウンタ停止
1	カウンタ開始

TMC66	TM6の動作モードの制御
0	インターバル・モード
1	フリーランニング・モード

TMC61	タイマ出力のアクティブ・レベルの指定
0	アクティブ・レベル“1” (High)
1	アクティブ・レベル“0” (Low)

TOE6	TM6の出力制御
0	出力禁止 (出力は0レベルに設定)
1	出力許可

注意1 . TMC6は、必ずTM6のタイマ動作を停止させてから設定してください。

- 2 . 8ビット・タイマ6からPWM出力する場合は、ビット0 (TOE6) に“1”を設定してください。TOE6を“0”に設定した場合、タイマ出力 (TO6) 端子は“0”を出力します。
- 3 . インターバル・モード (TMC66 = 0) でタイマ出力許可 (TOE6 = 1) に設定すると、TO6端子からインアクティブ・レベル固定値が出力されます。TO6端子からPWM出力したい場合は、必ずフリーランニング・モード (TMC66 = 1) に設定してください。

(2) タイマ・クロック選択レジスタ6 (TCL6)

タイマ・クロック選択レジスタ6 (TCL6) は、8ビット・タイマ・カウンタ6 (TM6) のカウント・クロックを指定するレジスタです。

TCL6は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図14 - 3 タイマ・クロック選択レジスタ6 (TCL6) のフォーマット

アドレス：0FF56H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL6	0	0	0	0	0	TCL62	TCL61	TCL60

TCL62	TCL61	TCL60	カウント・クロックの選択
0	0	0	$f_{\text{CLK}}/4$ (2 MHz)
0	0	1	$f_{\text{CLK}}/8$ (1 MHz)
0	1	0	$f_{\text{CLK}}/16$ (500 kHz)
0	1	1	$f_{\text{CLK}}/64$ (125 kHz)
1	0	0	$f_{\text{CLK}}/128$ (62.5 kHz)
1	0	1	$f_{\text{CLK}}/512$ (15.6 kHz)
1	1	0	設定禁止
1	1	1	設定禁止

注意 TCL6は、必ずTM6のタイマ動作を停止させてから設定してください。

備考 ()内は、 $f_{\text{CLK}} = 8 \text{ MHz}$ 動作時

14.4 動作

14.4.1 8ビット・タイマ6の基本動作

8ビット・タイマ6は、カウント・パルスをカウントする8ビット・フリーランニングまたはインターバル・タイマです。入カクロックの立ち上がりで同期して、カウンタをインクリメントします。

$\overline{\text{RESET}}$ 入力によりTM6の全ビットはクリア(0)され、カウント動作は停止します。

カウント動作の許可/禁止は、タイマ・モード・コントロール・レジスタ6 (TMC6)のビット7 (TCE6)で制御します。TCE6を“1”に設定するとカウント動作を開始し、“0”に設定するとTM6はクリアされ、カウント動作を停止します。

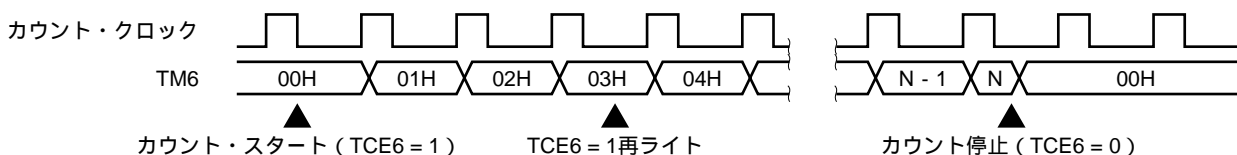
また、カウント値は00Hになります。

TM6は、カウント・スタート設定後、最初のカウント・クロック入力で00H 01Hになります。

TM6は、動作中に再度同じ動作モードを設定しても、そのままカウント動作を続けて、タイマはクリアされません。

TM6リード期間中も、カウントは停止しません。

図14 - 4 TM6の基本動作タイミング



14.4.2 TM6のインターバル動作

タイマ・モード・コントロール・レジスタ6 (TMC6) のビット6 (TMC66) を “ 0 ” に設定すると8ビット・タイマ6は、インターバル動作をします。8ビット・タイマ・カウンタ6 (TM6) と8ビット・コンペア・レジスタ6 (CR6) が一致すると、次のカウント・クロックで割り込み要求信号 (INTTM6) を発生し、TM6はクリア (00H) されます。その後もカウントは続けられます。

TMC6のビット0 (TOE6) を “ 1 ” に設定すると、タイマ出力 (TO6) を許可します。TO6出力が許可されると、インアクティブ・レベル固定値が出力されます。

注意 インターバル・モードでは、PWM出力はできません。

図14 - 5 TM6のインターバル動作タイミング (CR6 = 00H)

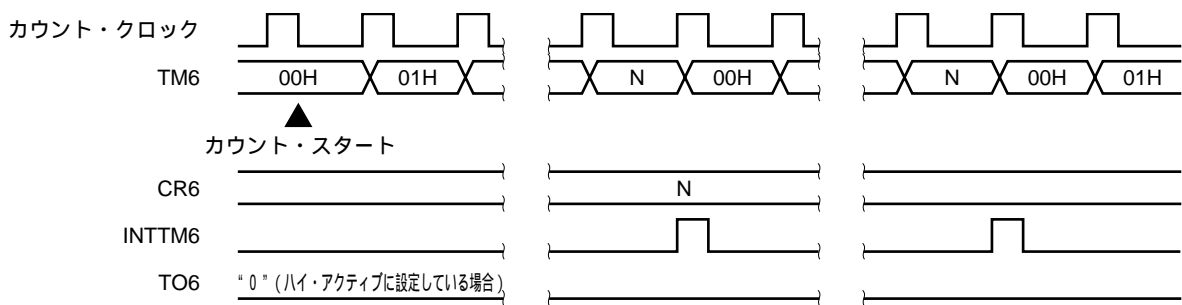
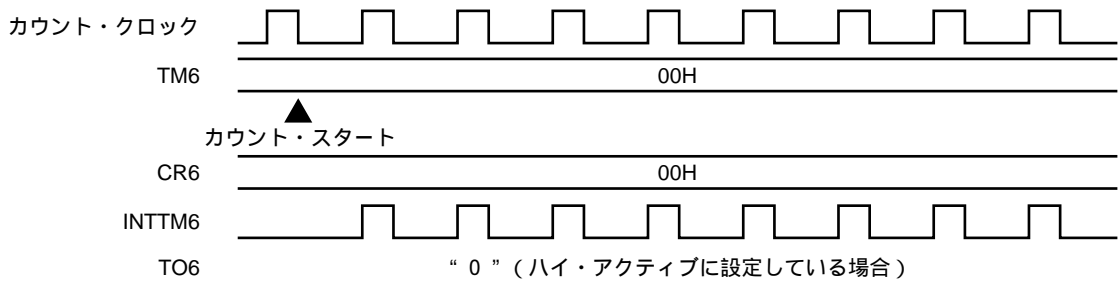


図14 - 6 TM6のインターバル動作タイミング (CR6 = 00H)



14.4.3 TM6のフリーランニング動作 (PWM出力)

タイマ・モード・コントロール・レジスタ6 (TMC6) のビット6 (TMC66) を “ 1 ” に設定すると8ビット・タイマ6は、フリーランニング動作をします。8ビット・タイマ・カウンタ6 (TM6) のオーバーフローにより、割り込み要求信号 (INTTM6) を発生します。

TMC6のビット0 (TOE6) を “ 1 ” に設定すると、タイマ出力 (TO6) を許可します。TMC6のビット7 (TCE6) を “ 0 ” に設定するとカウントが停止し、TO6はインアクティブ・レベルになります。

このモードでは、PWM出力ができます。

PWM出力設定方法

タイマ6出力 (TO6) をフリーランニング・モード (TMC6のビット6 (TMC66) を “ 1 ”) に設定します。

TO6のアクティブ・レベル (TMC6のビット1 (TMC61)) を設定し、TO6出力許可 (TMC6のビット0 (TOE6) を “ 1 ”) に設定します。

カウント・クロックは、タイマ・クロック選択レジスタ6 (TCL6) のビット0-2 (TCL60-TCL62) で選択します。

TMC6のビット7 (TCE6) を “ 1 ” に設定するとカウント動作を開始し、TO6端子からPWM信号を出力します。

- 注意 1** . PWM周期 = カウント・クロック・レート × 256 , アクティブ・レベル幅 = カウント・クロック・レート × CR6値
- 2** . フリーランニング・モードでは、CR6のコンペアー一致割り込みは発生しません。

図14 - 7 TM6のフリーランニング動作タイミング (CR6 00H, FFH)

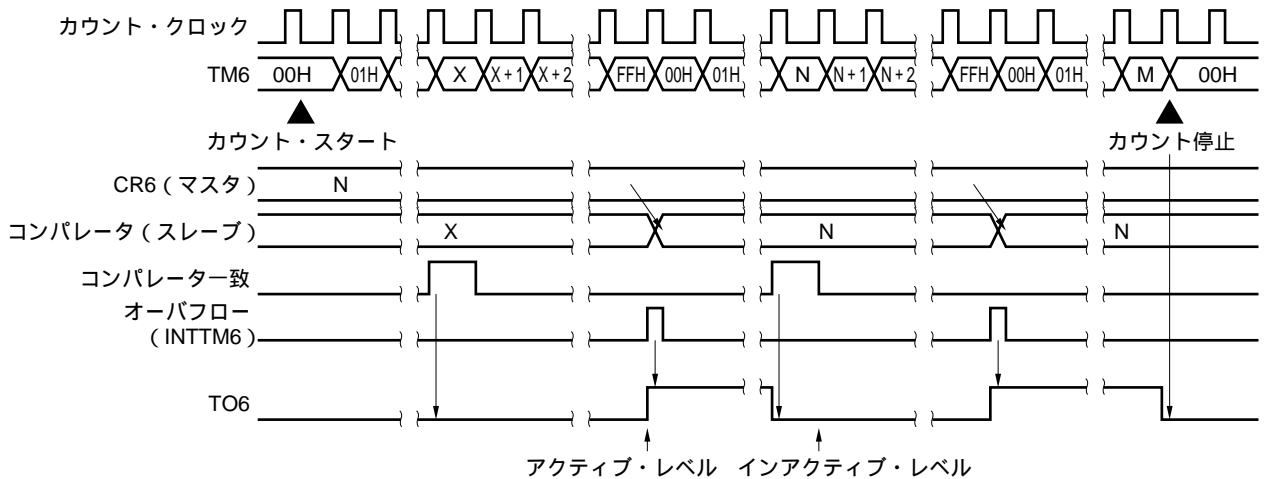


図14 - 8 TM6のフリーランニング動作タイミング (CR6 = 00H)

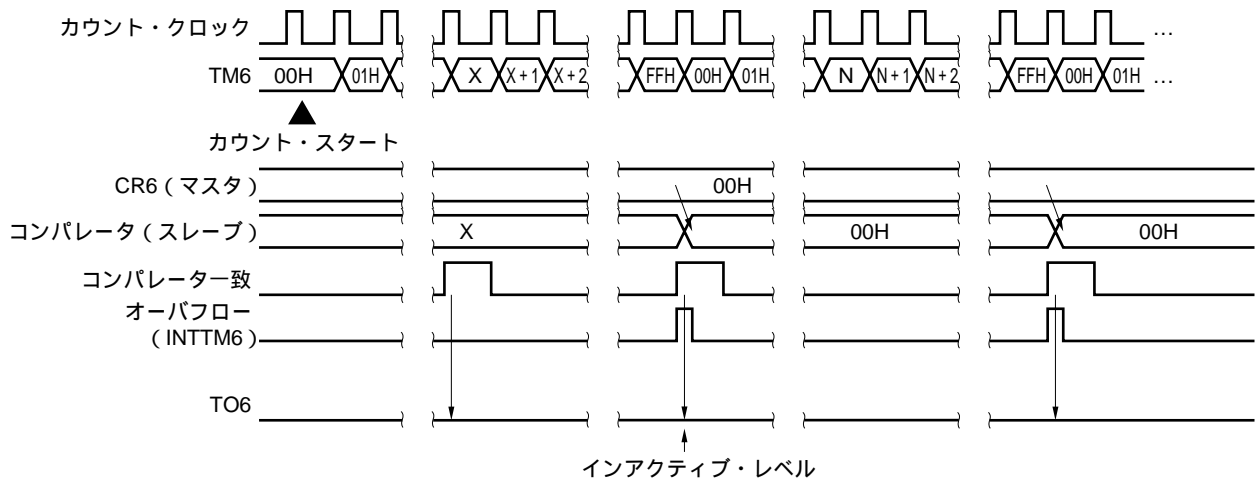
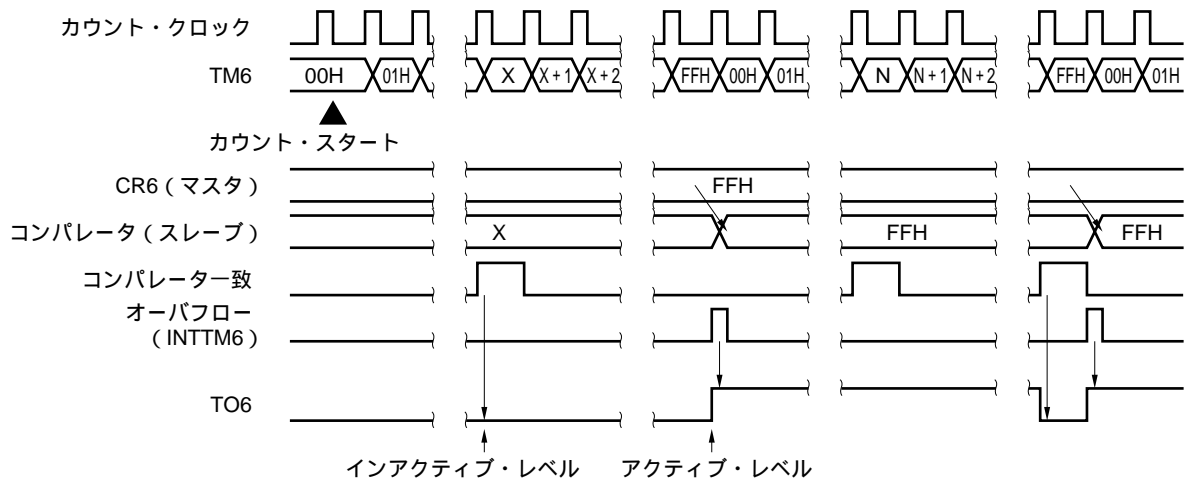


図14 - 9 TM6のフリーランニング動作タイミング (CR6 = FFH)

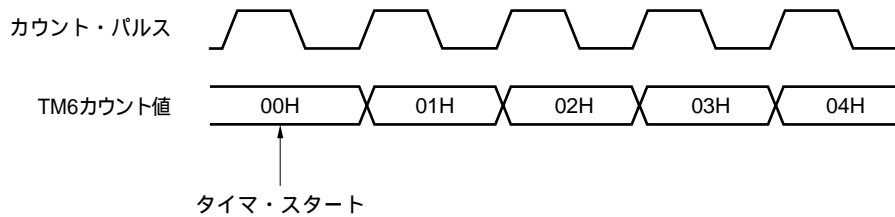


14.5 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ6(TM6)のスタートが非同期で行われるためです。

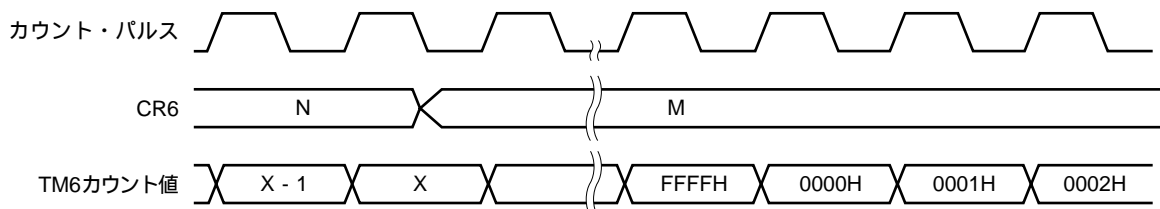
図14 - 10 8ビット・タイマ・カウンタ6のスタート・タイミング



(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ6(CR6)の変更後の値が、8ビット・タイマ・カウンタ6(TM6)の値よりも小さいとき、TM6はカウントを継続しオーバーフローして0から再カウントします。したがって、CR6の変更後の値(M)が変更前の値(N)より小さいときは、CR6を変更後、タイマを再スタートさせる必要があります。

図14 - 11 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

第15章 8ビット・タイマ7

15.1 機能

8ビット・タイマ7には、次のような機能があります。

- ・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

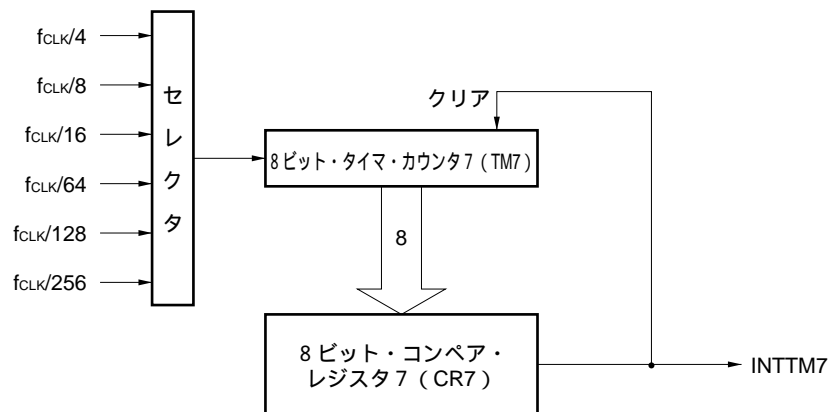
15.2 構成

8ビット・タイマ7は、次のハードウェアで構成しています。

表15 - 1 8ビット・タイマ7の構成

項目	構成
タイマ・カウンタ	8ビット×1本 (TM7)
レジスタ	コンペア・レジスタ：8ビット×1本 (CR7)
制御レジスタ	タイマ・モード・コントロール・レジスタ7 (TMC7) タイマ・クロック選択レジスタ7 (TCL7)

図15 - 1 8ビット・タイマ7のブロック図



(1) 8ビット・タイマ・カウンタ7 (TM7)

TM7は、カウント・パルスをカウントする8ビット・インターバル・タイマです。

入力クロックの立ち上がりに同期して、カウンタをインクリメントします。

次の場合、カウント値は00Hになります。

$\overline{\text{RESET}}$ 入力

タイマ・モード・コントロール・レジスタ7 (TMC7) のビット7 (TCE7) をクリア

TM7とCR7の一致

(2) 8ビット・コンペア・レジスタ7 (CR7)

CR7に設定した値とTM7のカウント値を常に比較し、一致したときに割り込み要求 (INTTM7) を発生します。また、インターバル時間を保持するレジスタとしても使用できます。

CR7は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

15.3 制御レジスタ

8ビット・タイマ7を制御するレジスタには、次の2種類があります。

- ・タイマ・モード・コントロール・レジスタ7 (TMC7)
- ・タイマ・クロック選択レジスタ7 (TCL7)

(1) タイマ・モード・コントロール・レジスタ7 (TMC7)

TMC7は、8ビット・タイマ・カウンタ7 (TM7) の動作を制御するレジスタです。

TMC7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15 - 2 タイマ・モード・コントロール・レジスタ7 (TMC7) のフォーマット

アドレス : 0FF55H リセット時 : 00H R/W

略号	⑦	6	5	4	3	2	1	0
TMC7	TCE7	0	0	0	0	0	0	0

TCE7	TM7のカウンタ動作制御
0	カウンタ停止
1	カウンタ開始

注 TMC7のビット6には、必ず0を設定してください。

(2) タイマ・クロック選択レジスタ7 (TCL7)

タイマ・クロック選択レジスタ7 (TCL7) は、8ビット・タイマ・カウンタ7 (TM7) のカウント・クロックを指定するレジスタです。

TCL7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15 - 3 タイマ・クロック選択レジスタ7 (TCL7) のフォーマット

アドレス：0FF57H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL7	0	0	0	0	0	TCL72	TCL71	TCL70

TCL72	TCL71	TCL70	カウント・クロックの選択
0	0	0	$f_{\text{CLK}}/4$ (2 MHz)
0	0	1	$f_{\text{CLK}}/8$ (1 MHz)
0	1	0	$f_{\text{CLK}}/16$ (500 kHz)
0	1	1	$f_{\text{CLK}}/64$ (125 kHz)
1	0	0	$f_{\text{CLK}}/128$ (62.5 kHz)
1	0	1	$f_{\text{CLK}}/256$ (31.25 kHz)
1	1	0	設定禁止
1	1	1	

注意 TCL7は、必ずタイマ動作を停止させてから設定してください。

備考 ()内は、 $f_{\text{CLK}} = 8 \text{ MHz}$ 動作時

15.4 動作

15.4.1 8ビット・タイマ7の基本動作

8ビット・タイマ7は、カウント・パルスをカウントする8ビット・インターバル・タイマです。入力クロックの立ち上がりに同期して、カウンタをインクリメントします。

$\overline{\text{RESET}}$ 入力により8ビット・タイマ・カウンタ7 (TM7) の全ビットはクリア (0) され、カウント動作は停止します。

カウント動作の許可/禁止は、タイマ・モード・コントロール・レジスタ7 (TMC7) のビット7 (TCE7) で制御します。TCE7を“1”に設定するとカウント動作を開始し、“0”に設定するとTM7はクリアされ、カウント動作を停止します。

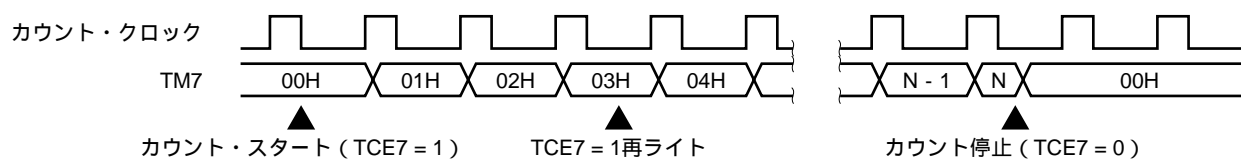
また、カウント値は00Hになります。

TM7は、カウント・スタート設定後、最初のカウント・クロック入力で00H 01Hになります。

TM7は、動作中に再度同じ動作モードを設定しても、そのままカウント動作を続けて、タイマはクリアされません。

TM7リード期間中も、カウントは停止しません。

図15 - 4 TM7の基本動作タイミング



15.4.2 TM7のインターバル動作

8ビット・タイマ・カウンタ7 (TM7) と8ビット・コンペア・レジスタ7 (CR7) が一致すると、次のカウント・クロックで割り込み要求信号 (INTTM7) を発生し、TM7はクリア (00H) されます。その後もカウントは続けられます。

図15 - 5 TM7のインターバル動作タイミング (CR7 = 00H)

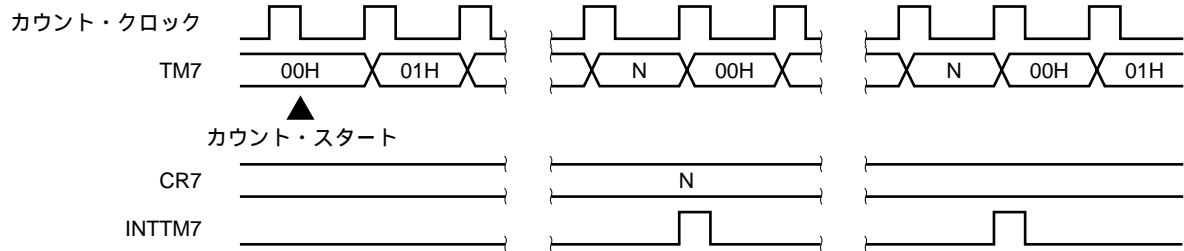
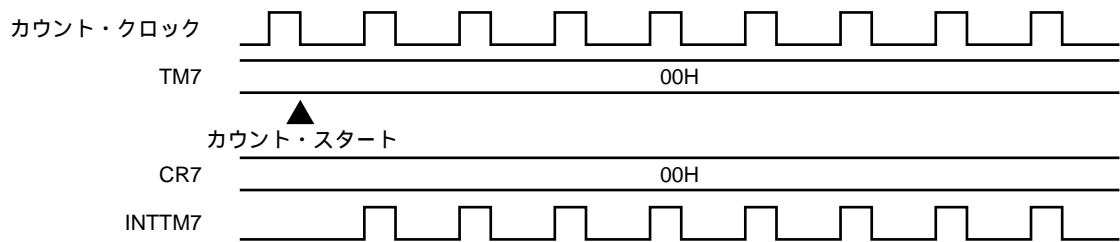


図15 - 6 TM7のインターバル動作タイミング (CR7 = 00H)

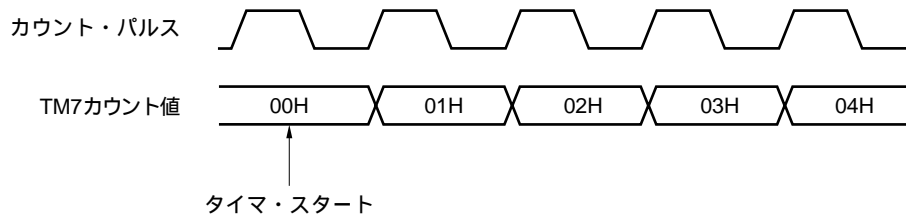


15.5 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ7(TM7)のスタートが非同期で行われるためです。

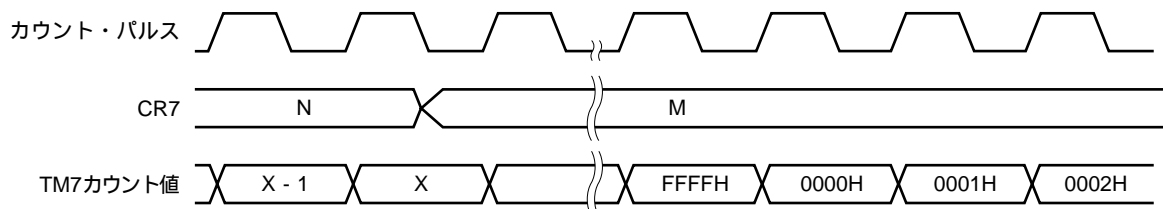
図15-7 8ビット・タイマ・カウンタ7のスタート・タイミング



(2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ7(CR7)の変更後の値が、8ビット・タイマ・カウンタ7(TM7)の値よりも小さいとき、TM7はカウントを継続しオーバーフローして0から再カウントします。したがって、CR7の変更後の値(M)が変更前の値(N)より小さいときは、CR7を変更後、タイマを再スタートさせる必要があります。

図15-8 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

第16章 ウォッチドッグ・タイマ

ウォッチドッグ・タイマは、プログラムの暴走を検出するためのタイマです。

ウォッチドッグ・タイマ割り込みの発生で、プログラムまたはシステムが異常であることを検出します。そのため、プログラムの各所に、一定時間以内にウォッチドッグ・タイマをクリア（カウント開始）する命令を入れておきます。

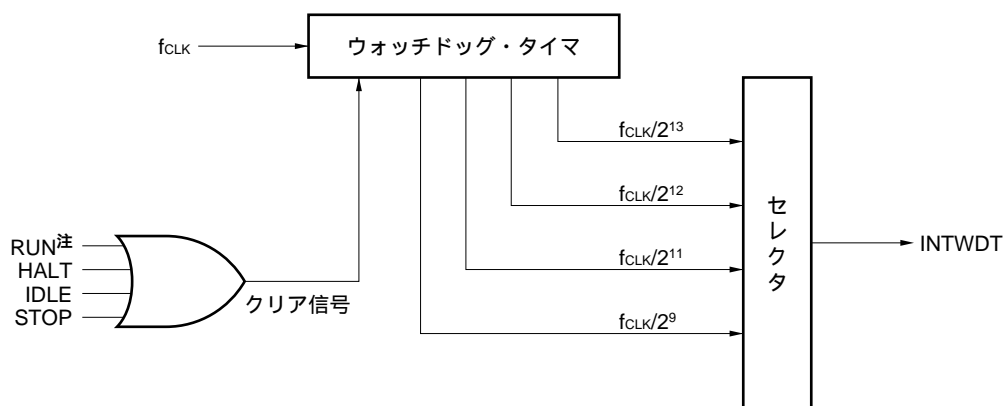
ウォッチドッグ・タイマをクリアする命令が、設定した時間内に実行されずにウォッチドッグ・タイマがオーバーフローすると、ウォッチドッグ・タイマ割り込み（INTWDT）が発生し、プログラムの異常を知らせます。

16.1 構成

図16 - 1 に、ウォッチドッグ・タイマのブロック図を示します。

★

図16 - 1 ウォッチドッグ・タイマのブロック図



注 ウォッチドッグタイマ・モード・レジスタ（WDM）のビット7（RUN）に“1”を書き込んでください。

備考 fCLK：内部システム・クロック（8 MHz）

16.2 制御レジスタ

ウォッチドッグ・タイマ・モード・レジスタ (WDM)

WDMは、ウォッチドッグ・タイマの動作を制御する8ビット・レジスタです。

プログラムの暴走によってウォッチドッグ・タイマが誤ってクリアされないように、専用命令によってのみ書き込みができます。この専用命令は、MOV WDM, byte命令で特殊なコード構成(4バイト)になっています。3バイト目と4バイト目のオペコードが互いに1の補数の場合のみ、書き込みが行われます。

また、3バイト目と4バイト目のオペコードが互いに1の補数でなければ書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

オペランド・エラー割り込みは、プログラムが暴走している場合にのみ発生する(NEC製アセンブラRA78K4では、MOV WDM, byteと記述された場合、正しい専用命令しか生成しません)ので、システムの初期化をプログラムで行うようにしてください。

他の書き込み命令(MOV WDM, AやAND WDM, byteやSET1 WDM.7など)は無視され、何の動作も行いません。すなわち、WDMへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。

システム・リセット($\overline{\text{RESET}}$ 入力)後、いったんウォッチドッグ・タイマをスタートさせると(RUNビットをセット(1)すると)、WDMの内容を変更できません。ウォッチドッグ・タイマを停止させることができるのはリセットのみです。ウォッチドッグ・タイマのクリアは、専用命令によりいつでもできます。

WDMの読み出しは、8ビット・データ転送命令によりいつでもできます。

$\overline{\text{RESET}}$ 入力により、WDMは00Hになります。

図16-2に、WDMのフォーマットを示します。

図16 - 2 ウォッチドッグ・タイマ・モード・レジスタ (WDM) のフォーマット

アドレス : 0FFC2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WDM	RUN	0	0	WDT4	0	WDT2	WDT1	0

RUN	ウォッチドッグ・タイマの動作の指定
0	ウォッチドッグ・タイマの停止
1	ウォッチドッグ・タイマをクリアし、カウントを開始

WDT4	ウォッチドッグ・タイマの割り込み要求の優先順位
0	ウォッチドッグ・タイマの割り込み要求 < NMI端子入力の割り込み要求
1	ウォッチドッグ・タイマの割り込み要求 > NMI端子入力の割り込み要求

WDT2	WDT1	カウント・クロック	オーバーフロー時間 (ms) (f _{CLK} = 8 MHz)
0	0	f _{CLK} /2 ⁹	16.4
0	1	f _{CLK} /2 ¹¹	65.5
1	0	f _{CLK} /2 ¹²	131.1
1	1	f _{CLK} /2 ¹³	262.1

- 注意 1 .** ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, #byte) でのみ書き込みが可能です。
- 2 .** RUNビットをセット (1) するためのWDMへの書き込みには、毎回、同じ値を書き込んでください。異なる値を書いても1回目書き込んだ内容を変更できません。
- 3 .** RUNビットは、いったんセット (1) するとソフトウェアではリセット (0) できません。

備考 f_{CLK} : 内部システム・クロック周波数

16.3 動作

16.3.1 カウント動作

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・モード・レジスタ (WDM) のRUNビットをセット (1) することによりクリアされ、カウント動作を開始します。RUNビットをセット (1) したあと、WDMのWDT2, WDT1ビットで指定されたオーバフロー時間が経過すると、ノンマスクابلな割り込みである割り込み (INTWDT) を発生します。

オーバフロー時間が経過する前にRUNビットを再度セット (1) すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

16.3.2 割り込み優先順位

- ★ ウォッチドッグ・タイマ割り込み (INTWDT) は、割り込みモード・コントロール・レジスタ (SNMI) の設定により、ノンマスクابلかマスクابلかの指定ができます。SNMIのビット1 (SWDT) に“0”を書き込むとノンマスクابل割り込みとして使用できます。マスク不可能な割り込みには、INTWDTのほかにNMI端子からの割り込み (NMI) があります。ウォッチドッグ・タイマ・モード・レジスタ (WDM) のビット4の設定により、INTWDTとNMIが同時に発生した場合の受け付け順序を指定することができます。

NMIの受け付けを優先している場合で、NMIの処理プログラムを実行中にINTWDTが発生しても、INTWDTは受け付けられず、NMIの処理プログラム終了後に受け付けられます。

16.4 注意事項

16.4.1 ウォッチドッグ・タイマ使用時の一般的な注意事項

(1) ウォッチドッグ・タイマは、暴走を検出するための手段の1つですが、すべての暴走を検出できるわけではありません。したがって、特に信頼性の要求される装置では、内蔵のウォッチドッグ・タイマだけでなく、外付けの回路により暴走を早期に検出し、正常状態に復帰、または安全な状態にして動作を停止させるなどの処理ができるようにする必要があります。

(2) 次のような場合、ウォッチドッグ・タイマは暴走を検出できません。

ウォッチドッグ・タイマのクリアを、タイマ割り込み処理プログラム内で行っている場合
 割り込み要求およびマクロ・サービスが一時的に保留される場合 (22.9 割り込み要求およびマクロ・サービスが一時的に保留される場合参照) が連続して発生している場合
 プログラムの論理的な誤りにより暴走している場合 (プログラムの各モジュールは正常に動作しているが、全体として正常に動作していない場合) で、ウォッチドッグ・タイマを定期的にクリアしている場合
 暴走時に実行している命令群で、定期的にウォッチドッグ・タイマをクリアしている場合
 暴走の結果、STOPモード、HALTモードまたはIDLEモードになってしまった場合
 CPUが外来ノイズで暴走したときにウォッチドッグ・タイマも暴走してしまった場合

、 の場合は、プログラムを修正することで検出を可能にすることができます。

の場合は、ウォッチドッグ・タイマがクリアできるのは4バイトの専用命令だけです。も同様に4バイトの専用命令でなければSTOPモード、HALTモードまたはIDLEモードにすることができません。また、暴走の結果、の状態になるためには、3バイト以上の連続したデータが特定パターン (例 BT PSWL. bit, \$\$など) になっている必要があります。したがって、 および暴走の結果、の状態になることが発生するのはきわめてまれであると考えられます。

★ (3) STOPモード、HALTモード、IDLEモードのスタンバイ・モード時は、ウォッチドッグ・タイマのタイマは0にクリアされ、停止します。スタンバイ・モード解除後、タイマは再起動します。

16.4.2 μ PD784956Aサブシリーズのウォッチドッグ・タイマに関する注意事項

- (1) ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, byte) でのみ書き込みが可能です。
- (2) RUNビットをセット (1) するためのウォッチドッグ・タイマ・モード・レジスタ (WDM) への書き込みには、毎回、同じ値を書き込んでください。異なる値を書いても1回目に書き込んだ内容を変更できません。
- (3) RUNビットは、いったんセット (1) するとソフトウェアではリセット (0) できません。

第17章 A/Dコンバータ

17.1 機 能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、8ビット分解能8チャンネル（ANI0-ANI7）の構成になっています。

変換方式は逐次比較方式で、変換結果を8ビットのA/D変換結果レジスタ0（ADCR0）に保持します。

A/D変換動作の起動には、次の2種類があります。

（1）ハードウェア・スタート

トリガ入力（P01）により変換開始（立ち上がり、立ち下がり、立ち上がりと立ち下がりの両エッジの指定が可能）。

（2）ソフトウェア・スタート

A/Dコンバータ・モード・レジスタ0（ADM0）を設定することにより変換開始。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行います。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後、変換動作を停止します。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、割り込み要求（INTAD）を発生します。

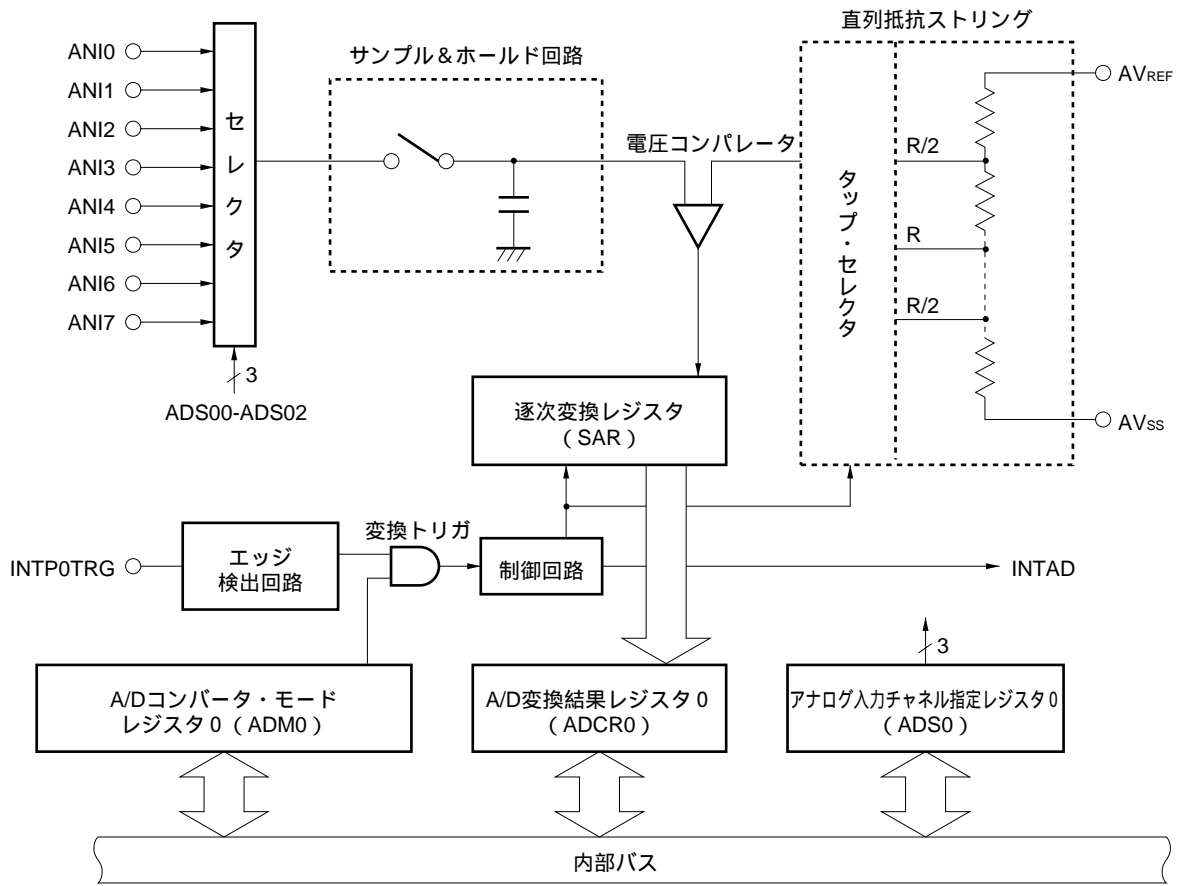
17.2 構 成

A/Dコンバータは、次のハードウェアで構成しています。

表17 - 1 A/Dコンバータの構成

項 目	構 成
アナログ入力	8チャンネル（ANI0-ANI7）
制御レジスタ	A/Dコンバータ・モード・レジスタ0（ADM0） アナログ入力チャンネル指定レジスタ0（ADS0）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ0（ADCR0）

図17 - 1 A/Dコンバータのブロック図



(1) 逐次変換レジスタ(SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ(比較電圧)の値を比較し、その結果を最上位ビット(MSB)から保持するレジスタです。

最下位ビット(LSB)まで保持すると(A/D変換終了)、SARの内容はA/D変換結果レジスタ0(ADCR0)に転送されます。

(2) A/D変換結果レジスタ0(ADCR0)

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

ADCR0は、8ビット・メモリ操作命令で読み出します。

RESET入力により、不定になります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは、 AV_{REF} - AV_{SS} 間に入っており、アナログ入力信号と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力チャンネル指定レジスタ0(ADS0)でアナログ入力として選択した端子以外は、入力ポートとして使用できます。

注意1 . ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

★ **2** . アナログ入力(ANI0-ANI7)端子は、入力ポート(P70-P77)端子と兼用になっています。ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート7に対する入力命令は実行しないでください。変換分解能が低下することがあります。また、A/D変換中に他のアナログ入力端子へデジタル・パルスを加えると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中に他のアナログ入力端子へのパルス印加はしないようにしてください。

(7) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

(8) AV_{REF} 端子

A/Dコンバータの基準電圧入力端子です。A/Dコンバータを使用しないときに、低消費電力化を実現するためには V_{SS} 端子に接続してください。

(9) AV_{DD}端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

17.3 制御レジスタ

A/Dコンバータは、次の2種類のレジスタで制御します。

- ・A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・アナログ入力チャンネル指定レジスタ0 (ADS0)

(1) A/Dコンバータ・モード・レジスタ0(ADM0)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止、外部トリガを設定するレジスタです。

ADM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17 - 2 A/Dコンバータ・モード・レジスタ0 (ADM0)のフォーマット

アドレス : 0FF80H リセット時 : 00H W

略号	⑦	⑥	⑤	④	③	②	①	0
ADM0	ADCS0	TRG0	FR02	FR01	FR00	EGA01	EGA00	0

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

TRG0	ソフトウェア・スタート/ハードウェア・スタートの選択
0	ソフトウェア・スタート
1	ハードウェア・スタート

FR02	FR01	FR00	A/D変換時間の選択	
			クロック数	f _{CLK} = 8 MHz時
0	0	0	144/f _{CLK}	18.0 μs
0	0	1	120/f _{CLK}	15.0 μs
0	1	0	96/f _{CLK}	12.0 μs (変換不可能)
1	0	0	288/f _{CLK}	36.0 μs
1	0	1	240/f _{CLK}	30.0 μs
1	1	0	192/f _{CLK}	24.0 μs
上記以外			-	設定禁止

EGA01	EGA00	外部トリガ信号の有効エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち下がり, 立ち上がりの両エッジ検出

- 注意 1** . A/D変換時間を14 μs以下に設定しないでください。
- 2** . FR00-FR02を同一データ以外に書き換える場合は, いったんA/D変換動作を停止させたのちに行ってください。

備考 f_{CLK} : 内部システム・クロック周波数

(2) アナログ入力チャンネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図17 - 3 アナログ入力チャンネル指定レジスタ0 (ADS0) のフォーマット

アドレス：0FF81H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00

ADS02	ADS01	ADS00	アナログ入力チャンネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

注意 ビット3-7には、必ず0を設定してください。

17.4 動作

17.4.1 A/Dコンバータの基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット7がセットされます。タップ・セクタにより直列抵抗ストリングの電圧タップが $(1/2) AV_{REF}$ にされます。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力が $(1/2) AV_{REF}$ よりも大きければ、SARのMSBはセットされたままです。また、 $(1/2) AV_{REF}$ よりも小さければ、MSBはリセットされます。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット7=1 : $(3/4) AV_{REF}$
- ・ビット7=0 : $(1/4) AV_{REF}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

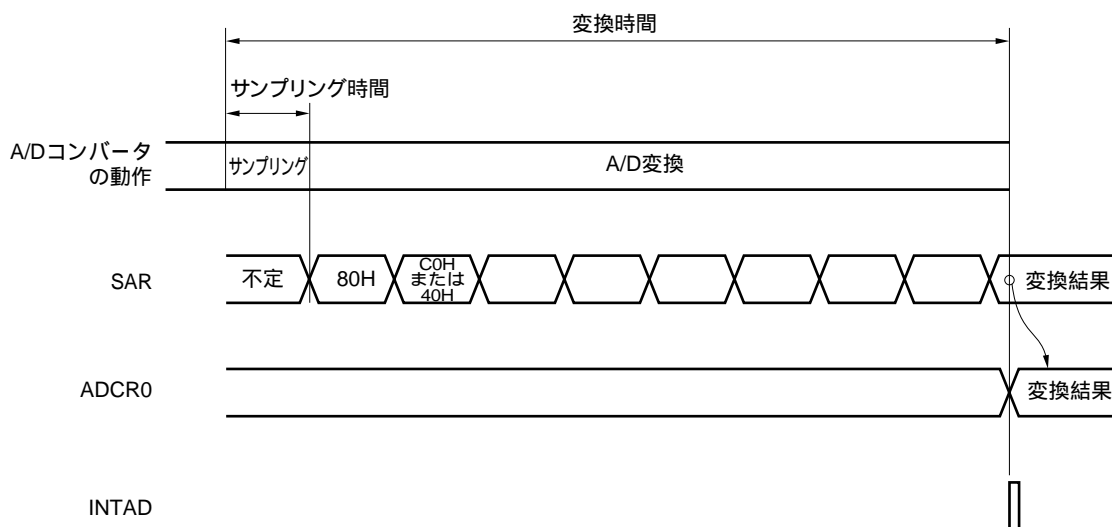
- ・アナログ入力電圧 > 電圧タップ : ビット6=1
- ・アナログ入力電圧 < 電圧タップ : ビット6=0

このような比較をSARのビット0まで続けます。

8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ0 (ADCR0) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

図17 - 4 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS0)をリセット(0)するまで連続的に行われます。

A/D変換動作中に、ADM0または、アナログ入力チャネル指定レジスタ0 (ADS0)に対する書き込み操作を行うと変換動作は初期化され、ADCS0ビットがセット(1)されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCR0)は、RESETにより不定となります。

17.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ0 (ADCR0) に格納された値) には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 256 + 0.5 \right)$$

または,

$$(ADCR - 0.5) \times \frac{AV_{REF}}{256} < V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF}}{256}$$

備考 INT () : () 内の値の整数部を返す関数

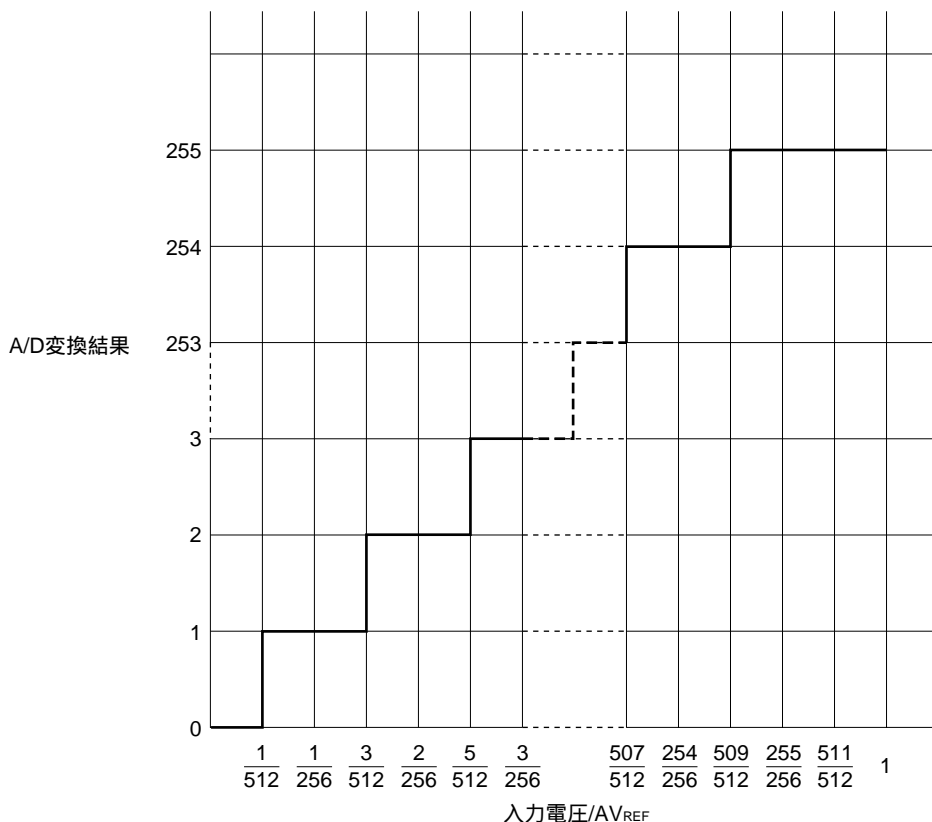
V_{IN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

ADCR : A/D変換結果レジスタ0 (ADCR0) の値

図17 - 5 にアナログ入力電圧とA/D変換結果の関係を示します。

図17 - 5 アナログ入力電圧とA/D変換結果の関係



17.4.3 A/Dコンバータの動作モード

アナログ入力チャンネル指定レジスタ0 (ADS0) によってANI0-ANI7からアナログ入力を1チャンネル選択し、A/D変換を開始させてください。

A/D変換動作の起動方法には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力 (P01) により変換開始
- ・ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ0 (ADM0) を設定することにより変換開始

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCR0) に格納され、同時に割り込み要求信号 (INTAD) が発生されます。

(1) ハードウェア・スタートによるA/D変換動作

A/Dコンバータ・モード・レジスタ0 (ADM0) のビット6 (TRG0) に1、ビット7 (ADCS0) に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号 (P01) が入力されると、ADS0で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

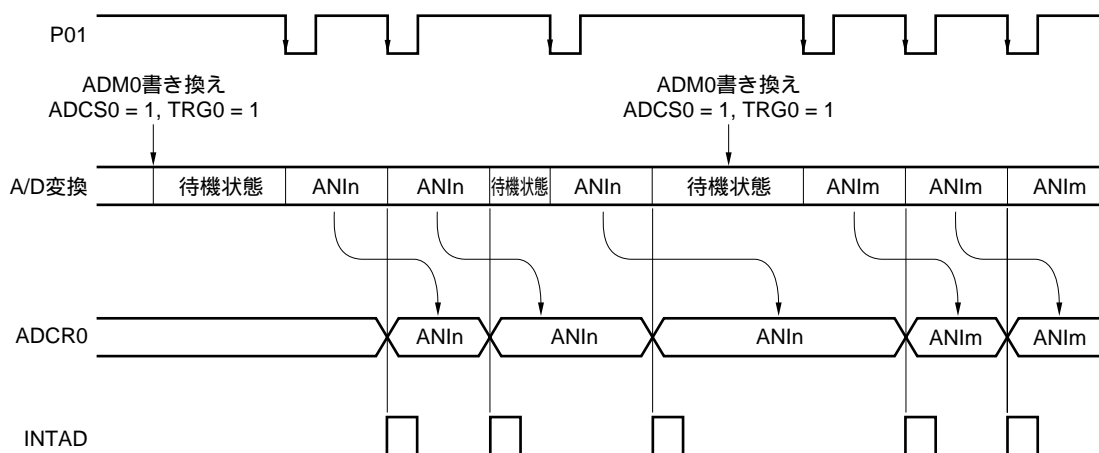
A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し、割り込み要求信号 (INTAD) が発生されます。A/D変換動作が一度起動し、1回のA/D変換が終了すると、新たに外部トリガ信号が入力されないかぎり、A/D変換動作は開始しません。

A/D変換動作中にADM0のビット7 (ADCS0) を書き換えると、そのとき行っていたA/D変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ信号が再度入力されるとA/D変換動作を最初から行います。A/D変換待機中にADCS0を書き換えた場合、次に外部トリガ入力信号が入力された時点で、新たにA/D変換動作を開始します。

また、A/D変換動作中に、ADCS0が0であるデータをADM0に書き込むと、ただちにA/D変換動作を停止します。

注意 P01/INTP0を外部トリガ入力 (P01) として使用するとき、A/Dコンバータ・モード・レジスタ0 (ADM0) のビット1, 2 (EGA00, EGA01) で有効エッジを指定し、割り込みマスク・フラグ (PMK1) を1に設定してください。

図17-6 ハードウェア・スタートによるA/D変換動作 (立ち下がりエッジ指定時)



備考 n=0, 1, …, 7
m=0, 1, …, 7

(2) ソフトウェア・スタートによるA/D変換動作

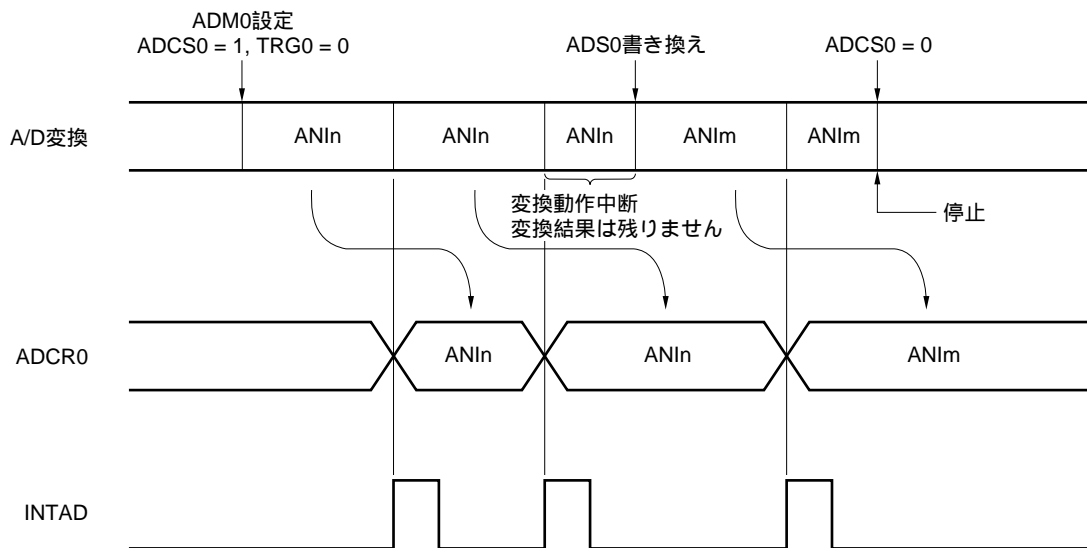
A/Dコンバータ・モード・レジスタ0 (ADM0) のビット6 (TRG0) に0, ビット7 (ADCS0) に1を設定することにより, アナログ入力チャンネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ0 (ADCR0) に格納し, 割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADM0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中ADCS0を書き換えると, そのとき行っていたA/D変換動作は中断し, 新たに選択したアナログ入力チャンネルのA/D変換動作を開始します。

また, A/D変換動作中に, ADCS0が0であるデータをADM0に書き込むと, ただちにA/D変換動作を停止します。

図17-7 ソフトウェア・スタートによるA/D変換動作



備考 n = 0, 1, …, 7
 m = 0, 1, …, 7

★ 17.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力 1 ビットあたりのアナログ入力電圧の比率を 1LSB (Least Significant Bit) といいます。1LSB のフルスケールに対する比率を %FSR (Full Scale Range) で表します。

分解能 8 ビットするとき

$$\begin{aligned} 1\text{LSB} &= 1/2^8 = 1/256 \\ &= 0.39\% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線誤差、微分直線性誤差には含まれていません。

図17-8 総合誤差

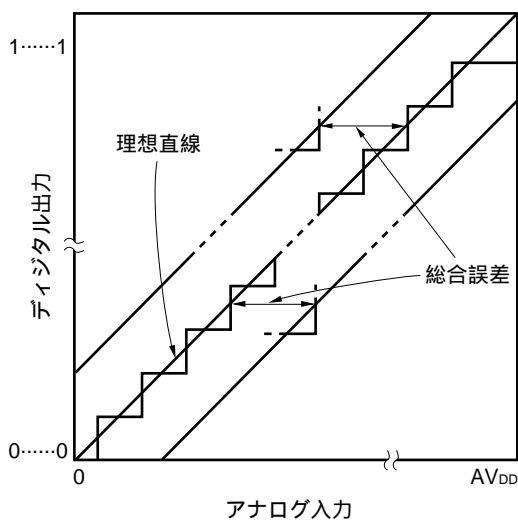
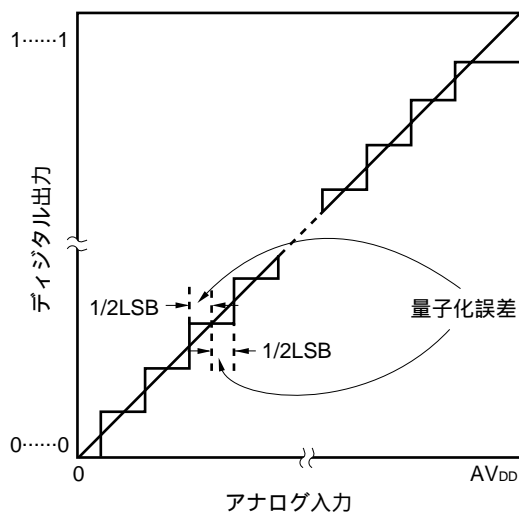


図17-9 量子化誤差

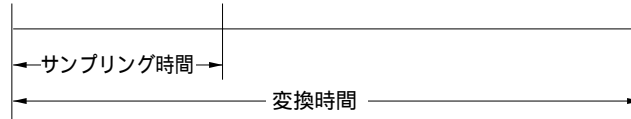


(4) 変換時間

アナログ入力電圧が与えられてから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(5) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



17.6 注意事項

(1) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(2) 競合動作について

変換終了時のA/D変換結果レジスタ0 (ADCR0) ライトと命令によるADCR0リードとの競合

ADCR0リードが優先されます。リードしたあと、新しい変換結果がADCR0にライトされます。

変換終了時のADCR0ライトと外部トリガ信号入力の競合

A/D変換中の外部トリガ信号は受け付けません。したがって、ADCR0ライト中の外部トリガ信号も受け付けません。

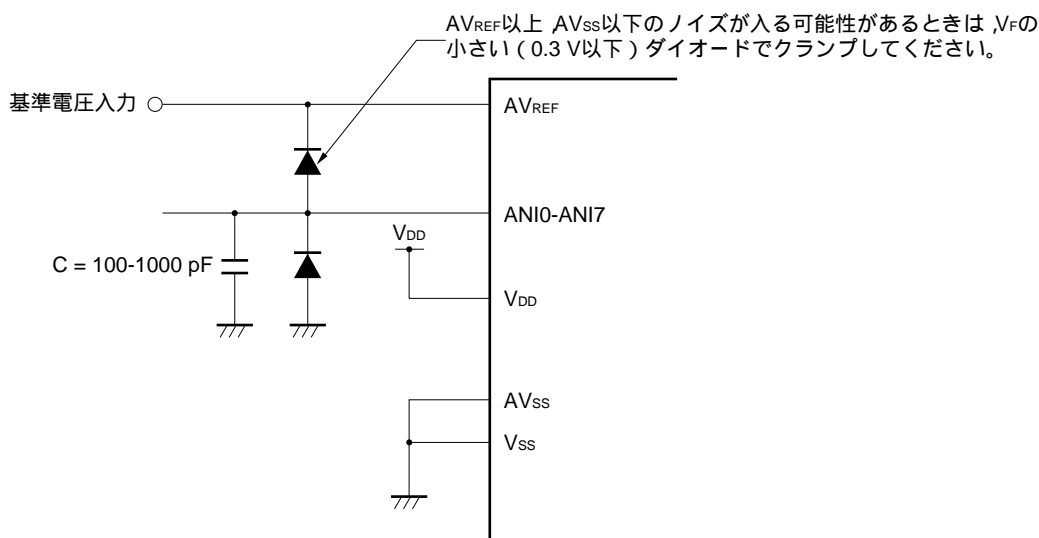
変換終了時のADCR0ライトとA/Dコンバータ・モード・レジスタ0 (ADM0) ライト、またはアナログ入力チャンネル指定レジスタ0 (ADS0) ライトの競合

ADM0またはADS0へのライトが優先されます。ADCR0へのライトはされません。また、変換終了割り込み要求信号 (INTAD) も発生しません。

(3) ノイズ対策について

8ビット分解能を保つためには、 AV_{REF} 、ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図17-10のように、Cを外付けすることを推奨します。

図17-10 アナログ入力端子の処理



★ (4) ANI0/P70-ANI7/P77

アナログ入力 (ANI0-ANI7) 端子は入力ポート (P70-P77) 端子と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポート7に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中に他のアナログ入力端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中に他のアナログ入力端子へのパルス印加はしないようにしてください。

(5) AVREF端子の入力インピーダンスについて

AVREF端子とAVSS端子の間には直列抵抗ストリングが接続されています。

したがって、基準電圧源の出カインピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

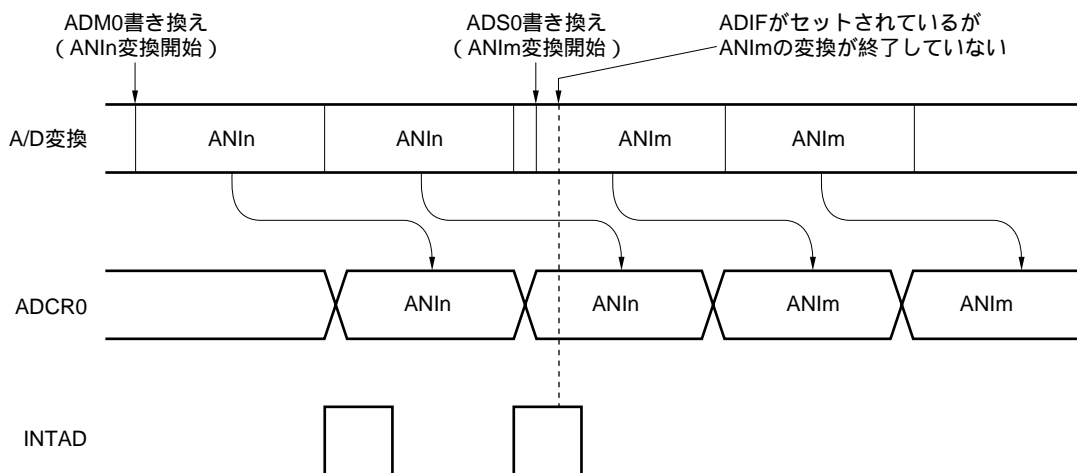
(6) 割り込み要求フラグ(ADIF)について

アナログ入力チャネル指定レジスタ0 (ADS0) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS0書き換え直前に変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。このときADS0書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図17-11 A/D変換終了割り込み要求発生タイミング



備考 n=0, 1, …, 7
m=0, 1, …, 7

★ (7) A/D変換結果レジスタ0 (ADCR0) の読み出しについて

A/D変換動作を停止後、変換結果レジスタ (ADCR0) の読み出しを行うと変換結果値が不定になることがあります。A/D変換動作を停止する前にADCR0の読み出しを行ってください。

★ (8) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。またA/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図17 - 12、図17 - 13に示します。

図17 - 12 変換結果を読み出すタイミング (変換結果が不定値の場合)

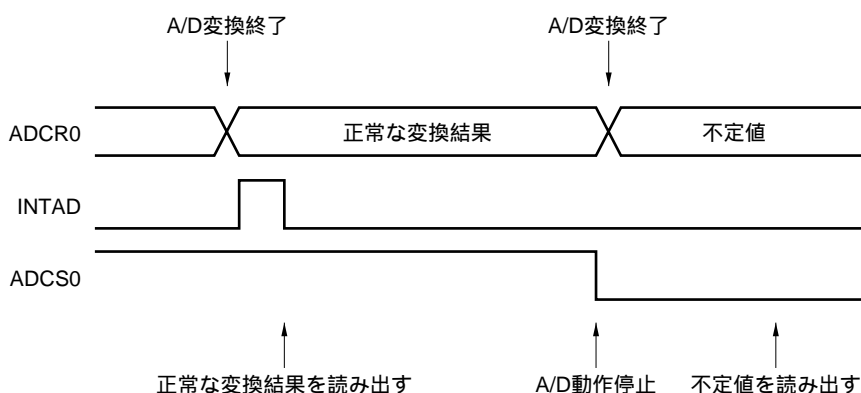
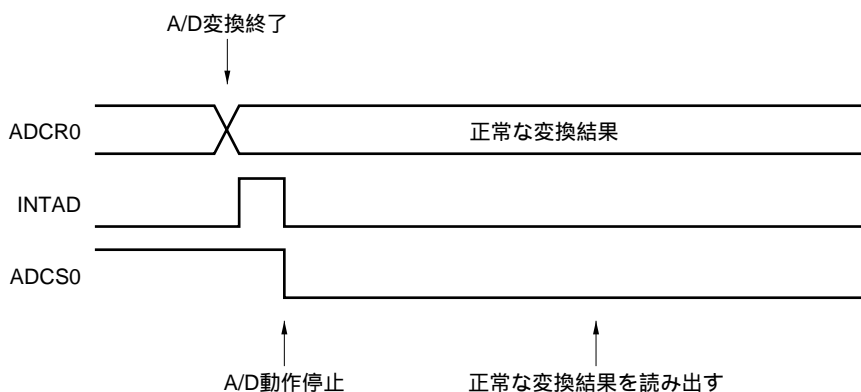


図17 - 13 変換結果を読み出すタイミング (変換結果が正常値の場合)



★ (9) ボード設計上の注意

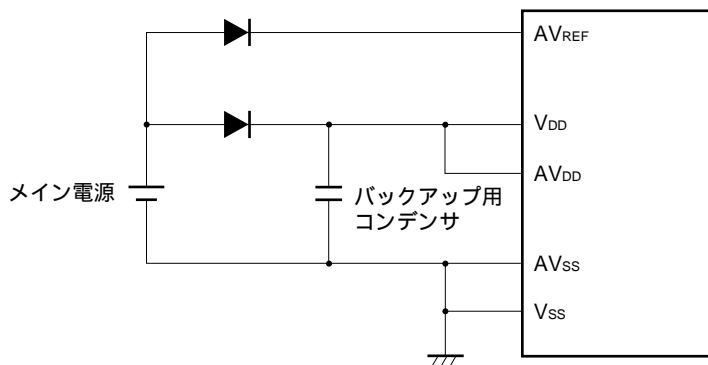
ボード上でのデジタル回路ノイズの影響を避けるために、アナログ回路はデジタル回路とできるだけ離して配置してください。特にアナログ信号線とデジタル信号線を交差させたり近接させたりすることは極力避けてください。ノイズの誘導などによってA/D変換特性が悪化する恐れがあります。

AVssとVssはボード上で安定しているところで1箇所、接続してください。

(10) AV_{DD}端子について

AV_{DD}端子はアナログ回路の電源端子であり，ANI0/P70-ANI7/P77の入力回路にも電源を供給しています。
したがって，バックアップ電源に切り替えるようなアプリケーションにおいても，図17 - 14のように必ずV_{DD}と同レベルの電位を印加してください。

図17 - 14 AV_{DD}端子の処理

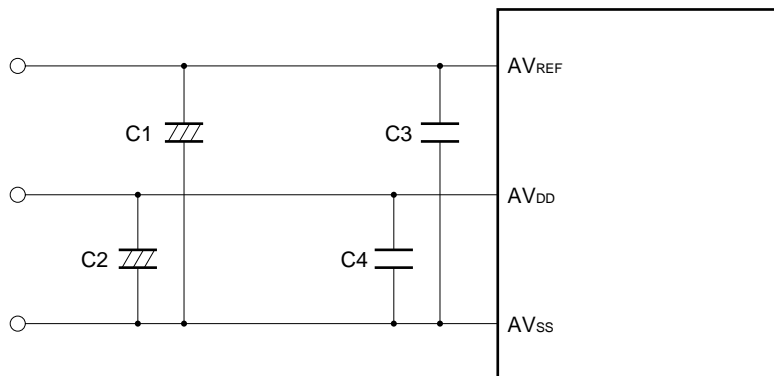


★ (11) AV_{REF}端子，AV_{DD}端子

AV_{REF}は，A/Dコンバータの基準入圧入力端子（AV_{DD}端子はアナログ回路の電源端子）であり，ANI0/P70-ANI7/P77の入力回路にも電源を供給しています。

ノイズによる変換誤差を小さく抑えるため，AV_{REF}端子とAV_{DD}端子にコンデンサを接続してください。またA/D変換動作を停止した状態から動作開始した直後は，AV_{REF}端子やAV_{DD}端子にかかる電圧が不安定になり，A/D変換精度の悪化が生じる場合があります。このような場合にもAV_{REF}端子とAV_{DD}端子にコンデンサを接続してください。コンデンサの接続例を図17 - 15に示します。

図17 - 15 AV_{REF}端子，AV_{DD}端子とコンデンサの接続例



備考 C1, C2 : 4.7 μF ~ 10 μF (参考値)

C3, C4 : 0.01 μF ~ 0.1 μF (参考値)

C3とC4は端子のできるだけ近くに接続してください。

第18章 シリアル・インタフェースの概説

μPD784956Aサブシリーズは、独立した2チャンネルのシリアル・インタフェースを備えています。このため、システム外部との通信と、システム内部のローカルな通信とを2チャンネルで同時に行うことができます。

アシンクロナス・シリアル・インタフェース (UART) × 1チャンネル

第19章をご覧ください。

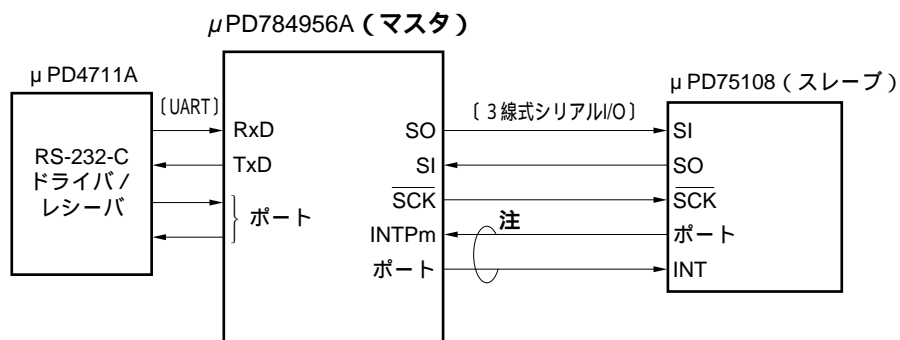
クロック同期式シリアル・インタフェース (CSI) × 1チャンネル

・ 3線式シリアルI/Oモード (MSB/LSBファースト)

第20章をご覧ください。

図18 - 1 シリアル・インタフェース例

UART + 3線式シリアルI/O



注 ハンドシェイク・ライン

第19章 アシクロナス・シリアル・インタフェース

μPD784956Aシリーズは、アシクロナス・シリアル・インタフェース・モードのシリアル・インタフェースを1チャンネル持っています。

19.1 アシクロナス・シリアル・インタフェース・モード

アシクロナス・シリアル・インタフェース (UART : Universal Asynchronous Receiver Transmitter) には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

19.1.1 構成

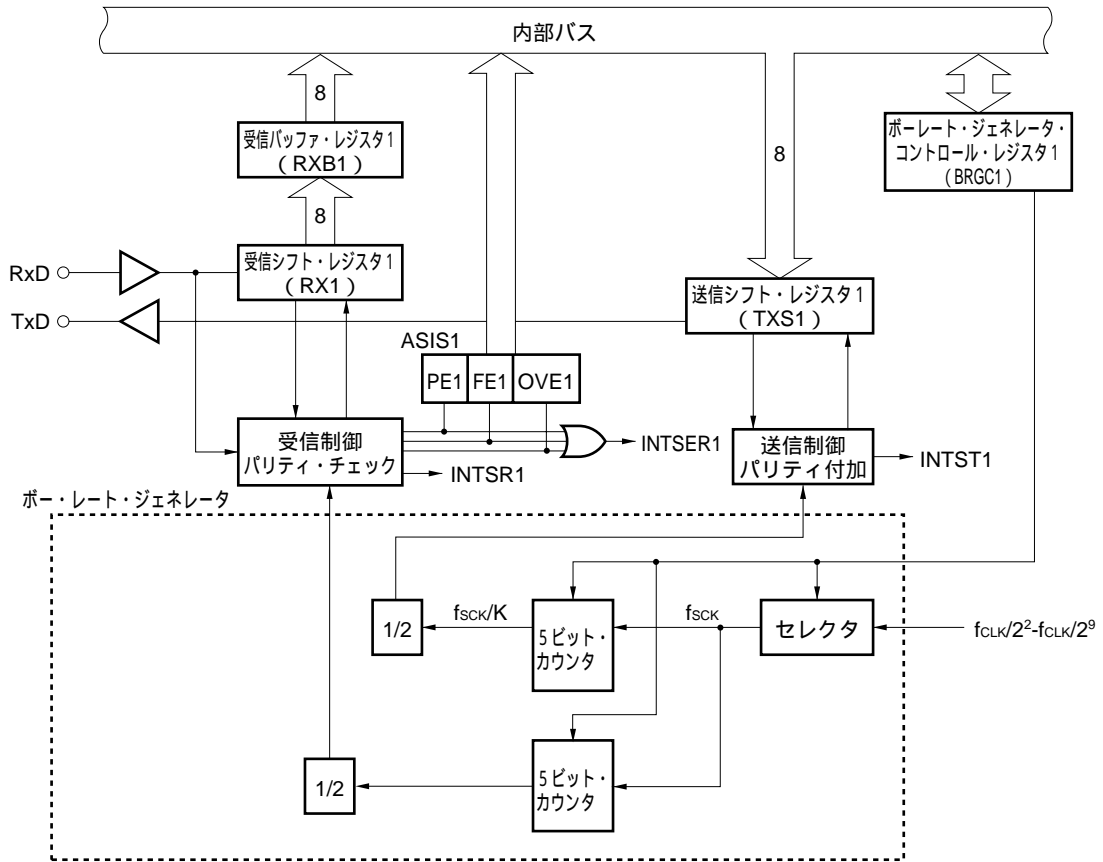
アシクロナス・シリアル・インタフェースは、次のハードウェアで構成されています。

図19-1に、アシクロナス・シリアル・インタフェースのブロック図を示します。

表19-1 アシクロナス・シリアル・インタフェースの構成

項目	構成
レジスタ	送信シフト・レジスタ (TXS1) 受信シフト・レジスタ (RX1) 受信バッファ・レジスタ (RXB1)
制御レジスタ	アシクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1) アシクロナス・シリアル・インタフェース・ステータス・レジスタ1 (ASIS1) ボー・レート・ジェネレータ・コントロール・レジスタ1 (BRGC1)

図19 - 1 アシクロナス・シリアル・インタフェースのブロック図



(1) 送信シフト・レジスタ 1 (TXS1)

送信データを設定するレジスタです。TXS1に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS1に書き込んだデータのビット0-6が送信データとして転送されます。TXS1にデータを書き込むことにより、送信動作を開始します。

TXS1は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS1への書き込みを行わないでください。

TXS1と受信バッファ・レジスタ 1(RXB1)は同一アドレスに割り当てられており、読み出しを行った場合にはRXB1の値が読み出されます。

(2) 受信シフト・レジスタ 1 (RX1)

RxD端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ 1(RXB1)へ転送します。

RX1はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ 1 (RXB1)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ 1(RX1)から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB1のビット0-6に転送され、RXB1のMSBは必ず0になります。

RXB1は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 RXB1と送信シフト・レジスタ 1(TXS1)は同一アドレスに割り当てられており、書き込みを行った場合にはTXS1に値が書き込まれます。

(4) 送信制御回路

アシクロナス・シリアル・インタフェース・モード・レジスタ 1(ASIM1)に設定された内容に従って、送信シフト・レジスタ 1(TXS1)に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシクロナス・シリアル・インタフェース・モード・レジスタ 1(ASIM1)に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシクロナス・シリアル・インタフェース・ステータス・レジスタ 1(ASIS1)にセットします。

19.1.2 制御レジスタ

アシクロナス・シリアル・インタフェースは、次の3種類のレジスタで制御します。

- ・アシクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1)
- ・アシクロナス・シリアル・インタフェース・ステータス・レジスタ1 (ASIS1)
- ・ポーレート・ジェネレータ・コントロール・レジスタ1 (BRGC1)

(1) アシクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1)

ASIM1は、アシクロナス・シリアル・インタフェースのシリアル転送動作を制御する8ビットのレジスタです。

ASIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図19 - 2 アシクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1) のフォーマット

アドレス : 0FF70H リセット時 : 00H R/W

略号	⑦	⑥	5	4	3	2	1	0
ASIM1	TXE1	RXE1	PS11	PS10	CL1	SL1	ISRM1	0 ^注

TXE1	RXE1	動作モード	RxD/P20端子の機能	TxD/P21端子の機能
0	0	動作停止	ポート機能	ポート機能
0	1	UARTモード (受信のみ)	シリアル機能	ポート機能
1	0	UARTモード (送信のみ)	ポート機能	シリアル機能
1	1	UARTモード (送受信)	シリアル機能	シリアル機能

PS11	PS10	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時, 常に0パリティ付加 受信時, パリティの検査をしない (パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL1	キャラクタ長の指定
0	7ビット
1	8ビット

SL1	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM1	エラー発生時の受信完了割り込み要求
0	エラー発生時, 受信完了割り込み要求を発生する
1	エラー発生時, 受信完了割り込み要求を発生しない

注 ビット0には, 必ず“0”を書き込んでください。

注意 動作モードは, シリアル送受信動作を停止させたあとに切り替えてください。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ1 (ASIS1)

ASIS1は、受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図19 - 3 アシクロナス・シリアル・インタフェース・ステータス・レジスタ1 (ASIS1) のフォーマット

アドレス：0FF72H リセット時：00H R

略号	7	6	5	4	3	②	①	①
ASIS1	0	0	0	0	0	PE1	FE1	OVE1

PE1	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE1	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE1	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1 . アシクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1) のビット2 (SL1) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2 . オーバラン・エラーが発生したとき、受信バッファ・レジスタ1 (RXB1) を必ず読み出してください。

RXB1を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ1 (BRGC1)

BRGC1は、アシクロナス・シリアル・インタフェースのシリアル・クロックを設定するレジスタです。

BRGC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図19 - 4 ボー・レート・ジェネレータ・コントロール・レジスタ1 (BRGC1) のフォーマット

アドレス : 0FF76H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BRGC1	0	TPS12	TPS11	TPS10	MDL13	MDL12	MDL11	MDL10

TPS12	TPS11	TPS10	5ビット・カウンタのソース・クロック選択
0	0	0	f _{CLK} /4 (2 MHz)
0	0	1	f _{CLK} /8 (1 MHz)
0	1	0	f _{CLK} /16 (500 kHz)
0	1	1	f _{CLK} /32 (250 kHz)
1	0	0	f _{CLK} /64 (125 kHz)
1	0	1	f _{CLK} /128 (62.5 kHz)
1	1	0	f _{CLK} /256 (31.3 kHz)
1	1	1	f _{CLK} /512 (15.6 kHz)

MDL13	MDL12	MDL11	MDL10	ボー・レート・ジェネレータ の入力クロックの選択	k
0	0	0	0	f _{sck} /16	0
0	0	0	1	f _{sck} /17	1
0	0	1	0	f _{sck} /18	2
0	0	1	1	f _{sck} /19	3
0	1	0	0	f _{sck} /20	4
0	1	0	1	f _{sck} /21	5
0	1	1	0	f _{sck} /22	6
0	1	1	1	f _{sck} /23	7
1	0	0	0	f _{sck} /24	8
1	0	0	1	f _{sck} /25	9
1	0	1	0	f _{sck} /26	10
1	0	1	1	f _{sck} /27	11
1	1	0	0	f _{sck} /28	12
1	1	0	1	f _{sck} /29	13
1	1	1	0	f _{sck} /30	14
1	1	1	1	設定禁止	-

注意 通信動作中にBRGC1への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中はBRGC1へ書き込まないでください。

備考1 . () 内は、f_{CLK} = 8 MHz動作時

2 . f_{sck} : 5ビット・カウンタのソース・クロック

3 . k : MDL10-MDL13で設定した値 (0 k 14)

19.2 動作

アシクロナス・シリアル・インタフェースには、次の2種類の動作モードがあります。

- ・動作停止モード
- ・アシクロナス・シリアル・インタフェース (UART) モード

19.2.1 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常のポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、アシクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1)で行います。

ASIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

アドレス：0FF70H リセット時：00H R/W

略号	⑦	⑥	5	4	3	2	1	0
ASIM1	TXE1	RXE1	PS11	PS10	CL1	SL1	ISRM1	0 ^注

TXE1	RXE1	動作モード	RxD/P20端子の機能	TxD/P21端子の機能
0	0	動作停止	ポート機能	ポート機能
0	1	UARTモード (受信のみ)	シリアル機能	ポート機能
1	0	UARTモード (送信のみ)	ポート機能	シリアル機能
1	1	UARTモード (送受信)	シリアル機能	シリアル機能

注 ビット0には必ず“0”を書き込んでください。

注意 動作モードは、シリアル送受信動作を停止させたあとに切り替えてください。

19.2.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、アシクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ1 (ASIS1)、ボー・レート・ジェネレータ・コントロール・レジスタ1 (BRGC1)で行います。

(a) アシクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1)

ASIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

アドレス：0FF70H リセット時：00H R/W

略号	⑦	⑥	5	4	3	2	1	0
ASIM1	TXE1	RXE1	PS11	PS10	CL1	SL1	ISRM1	0注

TXE1	RXE1	動作モード	RxD/P20端子の機能	TxD/P21端子の機能
0	0	動作停止	ポート機能	ポート機能
0	1	UARTモード(受信のみ)	シリアル機能	ポート機能
1	0	UARTモード(送信のみ)	ポート機能	シリアル機能
1	1	UARTモード(送受信)	シリアル機能	シリアル機能

PS11	PS10	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時，常に0パリティ付加 受信時，パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL1	キャラクタ長の指定
0	7ビット
1	8ビット

SL1	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM1	エラー発生時の受信完了割り込み制御
0	エラー発生時，受信完了割り込みを発生する
1	エラー発生時，受信完了割り込みを発生しない

注 ビット0には，必ず“0”を書き込んでください。

注意 動作モードは，シリアル送受信動作を停止させたあとに切り替えてください。

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ1 (ASIS1)

ASIS1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。
RESET入力により、00Hになります。

アドレス：0FF72H リセット時：00H R

略号	7	6	5	4	3	②	①	①
ASIS1	0	0	0	0	0	PE1	FE1	OVE1

PE1	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE1	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE1	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

注1．アシクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1) のビット2 (SL1) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2．オーバラン・エラーが発生したとき、受信バッファ・レジスタ1 (RXB1) を必ず読み出してください。

RXB1を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(c) ポー・レート・ジェネレータ・コントロール・レジスタ1 (BRGC1)

BRGC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

アドレス：0FF76H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
BRGC1	0	TPS12	TPS11	TPS10	MDL13	MDL12	MDL11	MDL10

TPS12	TPS11	TPS10	5ビット・カウンタのソース・クロック選択	m
0	0	0	f _{CLK} /4 (2 MHz)	2
0	0	1	f _{CLK} /8 (1 MHz)	3
0	1	0	f _{CLK} /16 (500 kHz)	4
0	1	1	f _{CLK} /32 (250 kHz)	5
1	0	0	f _{CLK} /64 (125 kHz)	6
1	0	1	f _{CLK} /128 (62.5 kHz)	7
1	1	0	f _{CLK} /256 (31.3 kHz)	8
1	1	1	f _{CLK} /512 (15.6 kHz)	9

MDL13	MDL12	MDL11	MDL10	ポー・レート・ジェネレータ の入力クロックの選択	k
0	0	0	0	f _{SCK} /16	0
0	0	0	1	f _{SCK} /17	1
0	0	1	0	f _{SCK} /18	2
0	0	1	1	f _{SCK} /19	3
0	1	0	0	f _{SCK} /20	4
0	1	0	1	f _{SCK} /21	5
0	1	1	0	f _{SCK} /22	6
0	1	1	1	f _{SCK} /23	7
1	0	0	0	f _{SCK} /24	8
1	0	0	1	f _{SCK} /25	9
1	0	1	0	f _{SCK} /26	10
1	0	1	1	f _{SCK} /27	11
1	1	0	0	f _{SCK} /28	12
1	1	0	1	f _{SCK} /29	13
1	1	1	0	f _{SCK} /30	14
1	1	1	1	設定禁止	-

注意 通信動作中にBRGC1への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中はBRGC1へ書き込まないでください。

備考1 . () 内は、f_{CLK} = 8 MHz動作時

2 . f_{SCK} : 5ビット・カウンタのソース・クロック

3 . k : MDL10-MDL13で設定した値 (0 k 14)

生成するポー・レート用の送受信クロックは、システム・クロックを分周した信号になります。

・システム・クロックによるポー・レート用のクロックを生成します。

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するポー・レートは次の式によって求められます。

$$[\text{ポー・レート}] = \frac{T}{2^{m+1}(k+16)} [\text{Hz}]$$

T : 5 ビット・カウンタのソース・クロック

m : TPS10-TPS12で設定した値 (2 m 9)

k : MDL10-MDL13で設定した値 (0 k 14)

5 ビット・カウンタのソース・クロックとmの値との関係を表19 - 2 に示します。

表19 - 2 5 ビット・カウンタのソース・クロックとmの値の関係

TPS12	TPS11	TPS10	5 ビット・カウンタのソース・クロックの選択	m
0	0	0	f _{CLK} /4 (2 MHz)	2
0	0	1	f _{CLK} /8 (1 MHz)	3
0	1	0	f _{CLK} /16 (500 kHz)	4
0	1	1	f _{CLK} /32 (250 kHz)	5
1	0	0	f _{CLK} /64 (125 kHz)	6
1	0	1	f _{CLK} /128 (62.5 kHz)	7
1	1	0	f _{CLK} /256 (31.3 kHz)	8
1	1	1	f _{CLK} /512 (15.6 kHz)	9

備考 f_{CLK} = 8 MHz動作時

・ボー・レートの許容範囲

ボー・レートの許容範囲は、1 フレームのビット数およびカウンタの分周比 $[1 / (16 + k)]$ に依存します。

表19 - 3 にシステム・クロックとボー・レートの関係を示します。

表19 - 3 システム・クロックとボー・レートの関係

ボー・レート (bps)	f _{CLK} = 12.5 MHz		f _{CLK} = 8.0 MHz		f _{CLK} = 6.0 MHz	
	BRGC1値	誤差 (%)	BRGC1値	誤差 (%)	BRGC1値	誤差 (%)
195	-	-	7EH	33.55	7EH	0.16
300	7EH	35.63	7AH	0.16	74H	- 2.34
600	74H	1.73	6AH	0.16	64H	- 2.34
976	69H	1.00	60H	0.06	58H	0.06
1200	64H	1.73	5AH	0.16	54H	- 2.34
2400	54H	1.73	4AH	0.16	44H	- 2.34
4800	44H	1.73	3AH	0.16	34H	- 2.34
9615	34H	1.56	2AH	0.00	24H	- 2.50
19200	24H	1.73	1AH	0.16	14H	- 2.34
31250	19H	0.00	10H	0.00	08H	0.00
38400	14H	1.73	0AH	0.16	04H	- 2.34
76800	04H	1.73	00H	- 18.62	00H	- 38.96
97656	00H	0.00	-	-	-	-

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図19 - 5 に示します。

図19 - 5 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



1 データ・フレームは、次に示す各ビットで構成されます。

- ・ スタート・ビット..... 1 ビット
- ・ キャラクタ・ビット... 7 ビット / 8 ビット
- ・ パリティ・ビット..... 偶数パリティ / 奇数パリティ / 0 パリティ / パリティなし
- ・ ストップ・ビット..... 1 ビット / 2 ビット

1 データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ 1 (ASIM1) によって行います。

キャラクタ・ビットとして 7 ビットを選択した場合、下位 7 ビット (ビット 0 - ビット 6) のみが有効となり、送信の場合は最上位ビット (ビット 7) は無視され、受信の場合は必ず最上位ビット (ビット 7) は "0" になります。

シリアル転送レートの設定は、ASIM1 とボー・レート・ジェネレータ・コントロール・レジスタ 1 (BRGC1) によって行います。

また、シリアルデータの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ 1 (ASIS1) の状態を読むことによって受信エラーの内容を判定できます。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット(奇数個)の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が^a 1 のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が^a 1 のビットの数が奇数個：1

送信データ中に、値が^a 1 のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が^a 1 のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が^a 1 のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が^a 1 のビットの数が奇数個：0

送信データ中に、値が^a 1 のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が^a 1 のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを^a 0 にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが^a 0 でも^a 1 でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

送信シフト・レジスタ 1(TXS1)に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、送信シフト・レジスタ 1(TXS1)内のデータがシフト・アウトされ、送信シフト・レジスタ 1(TXS1)が空になると送信完了割り込み要求(INTST1)が発生します。

注意 UARTで送信する場合、最初に次の手順で行ってください。

ポートを入力モード(PM21 = 1)にし、ポート・ラッチに0を書き込みます。

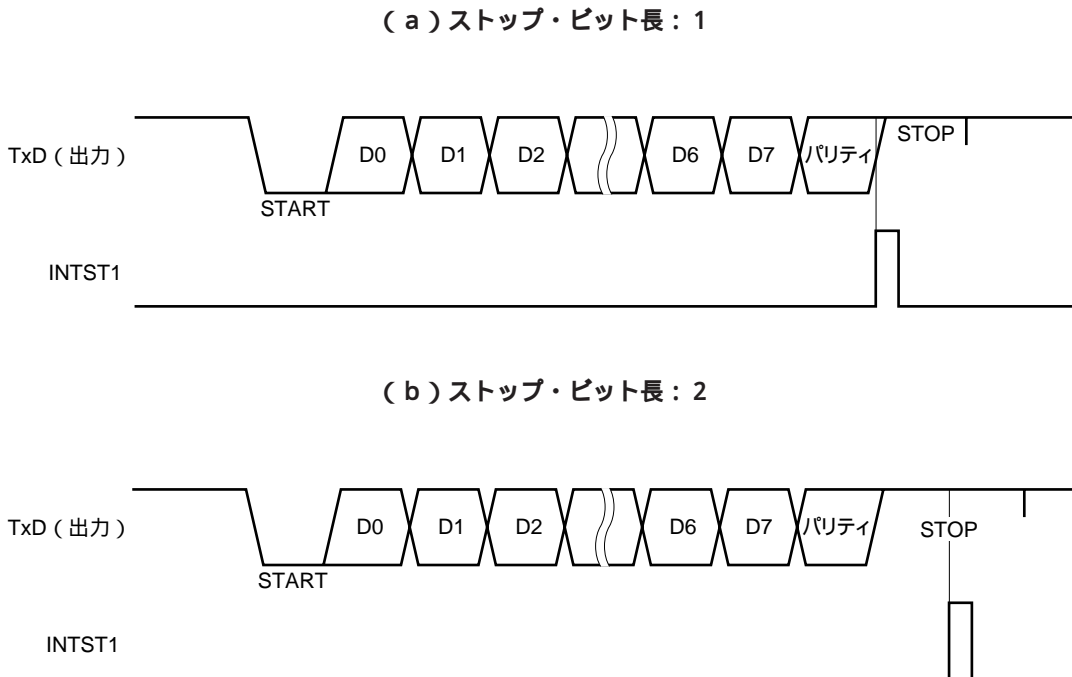
アシクロナス・シリアル・インタフェース・モード・レジスタ 1(ASIM1)のビット7(TXE1)に '1' を書き込み、UART送信許可状態にします(TxD端子よりハイ・レベルを出力します)。

ポートを出力モード(PM21 = 0)にします。

TXS1に送信データを書き込み、送信動作を起動します。

先にポートを出力モードにすると、端子から0が出力されてしまうために、誤動作する可能性があります。

図19 - 6 アシクロナス・シリアル・インタフェース送信完了割り込み要求タイミング



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ 1(ASIM1)の書き換えは行わないでください。送信中にASIM1の書き換えを行うと、それ以降の送信動作ができなくなる場合があります(RESET入力により、正常になります)。

送信中かどうかは、送信完了割り込み(INTST1)またはINTST1によりセットされる割り込み要求フラグ(STIF1)を用いて、ソフトウェアにより判断することができます。

(d) 受信

受信動作は、アシクロナス・シリアル・インタフェース・モード・レジスタ 1 (ASIM1) のRXE1ビットがセット(1)されると許可状態となり、RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはボー・レート・ジェネレータ・コントロール・レジスタ 1 (BRGC1) で指定したシリアル・クロックで行います。

RxD端子入力がロウ・レベルになると、ボー・レート・ジェネレータの 5 ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、5 ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび 1 ビットのストップ・ビットが検出されると、1 フレームのデータ受信が終了します。

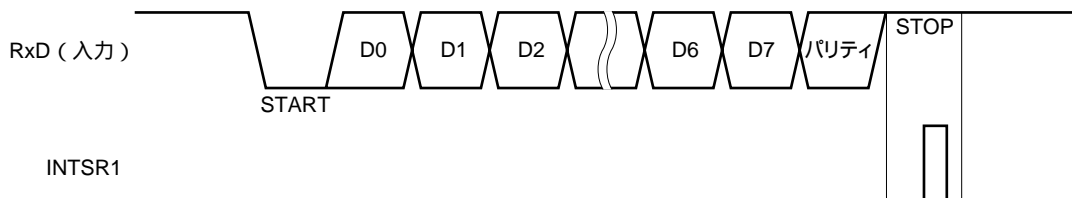
1 フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ 1 (RXB1) に転送し、受信完了割り込み要求(INTSR1)を発生します。

また、エラーが発生しても、RXB1にエラーの発生した受信データを転送します。エラー発生時、ASIM1のビット 1 (ISRM1) がクリア(0)されている場合は、INTSR1を発生します(図19 - 7 参照)。

ISRM1ビットがセットされている場合は、INTSR1は発生しません。

なお、受信動作中にRXE1ビットをリセット(0)すると、ただちに受信動作を停止します。このとき、RXB1およびASIS1の内容は変化せず、また、INTSR1、INTSER1も発生しません。

図19 - 7 アシクロナス・シリアル・インタフェース受信完了割り込み要求タイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ 1 (RXB1) は必ず読み出してください。RXB1 を読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシクロナス・シリアル・インタフェース・ステータス・レジスタ 1(ASIS1)内に立つと、受信エラー割り込み要求(INTSER1)を発生します。受信エラー割り込みは、受信完了割り込み要求(INTSR1)より先に発生します。受信エラーの要因を表19-4に示します。

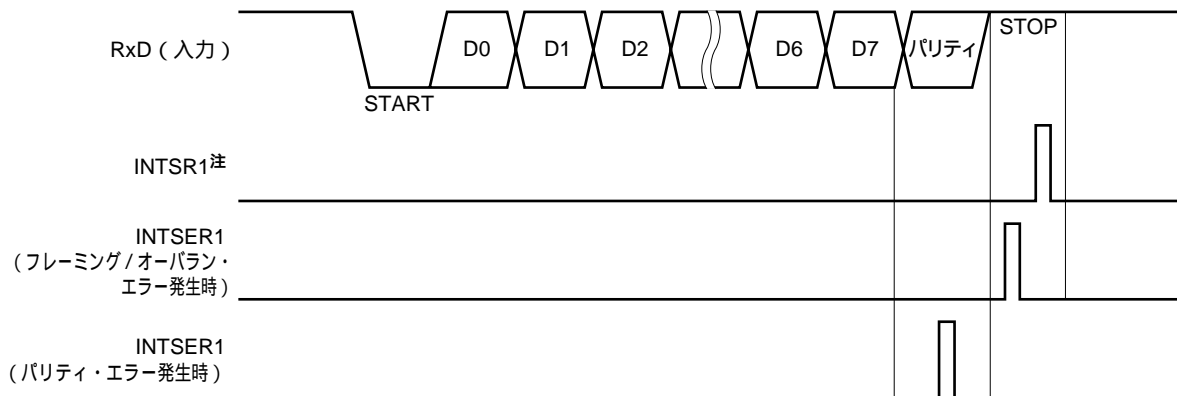
受信エラー割り込み処理内で、アシクロナス・シリアル・インタフェース・ステータス・レジスタ 1(ASIS1)の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます(表19-4, 図19-8参照)。

ASIS1の内容は、受信バッファ・レジスタ 1(RXB1)を読み出すか、次のデータを受信することでリセット(0)されます(次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表19-4 受信エラーの要因

受信エラー	要因	ASIS1の値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了	01H

図19-8 受信エラー・タイミング



注 ISRM1ビットがセット(1)されている場合に受信エラーが発生したときは、INTSR1は発生しません。

注意1 . ASIS1の内容は、受信バッファ・レジスタ 1(RXB1)を読み出すか、次のデータを受信することにより、リセット(0)されます。エラーの内容が知りたい場合には、必ずRXB1を読み出す前にASIS1を読み出してください。

2 . 受信エラー発生時にも、受信バッファ・レジスタ 1(RXB1)は必ず読み出してください。RXB1を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

19.2.3 スタンバイ・モード時の動作

(1) HALTモード時の動作

シリアル転送動作は通常に行われます。

(2) STOPモード時またはIDLEモード時

アシクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1), 送信シフト・レジスタ1 (TXS1), 受信シフト・レジスタ1 (RX1), 受信バッファ・レジスタ1 (RXB1) は, クロック停止直前の値を保持したまま動作を停止します。

TxD端子出力は, 送信状態のときにクロックが停止された場合 (STOPモード時) は, 直前のデータを保持します。受信中にクロックが停止された場合は, 直前までの受信データを格納し, それ以降の動作を停止します。クロックが再起動されると続けて受信動作を再開します。

第20章 3線式シリアルI/Oモード

20.1 機能

シリアル・クロック (\overline{SCK})、シリアル出力 (SO)、シリアル入力 (SI) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは、MSB/LSBの選択が可能です。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

20.2 構成

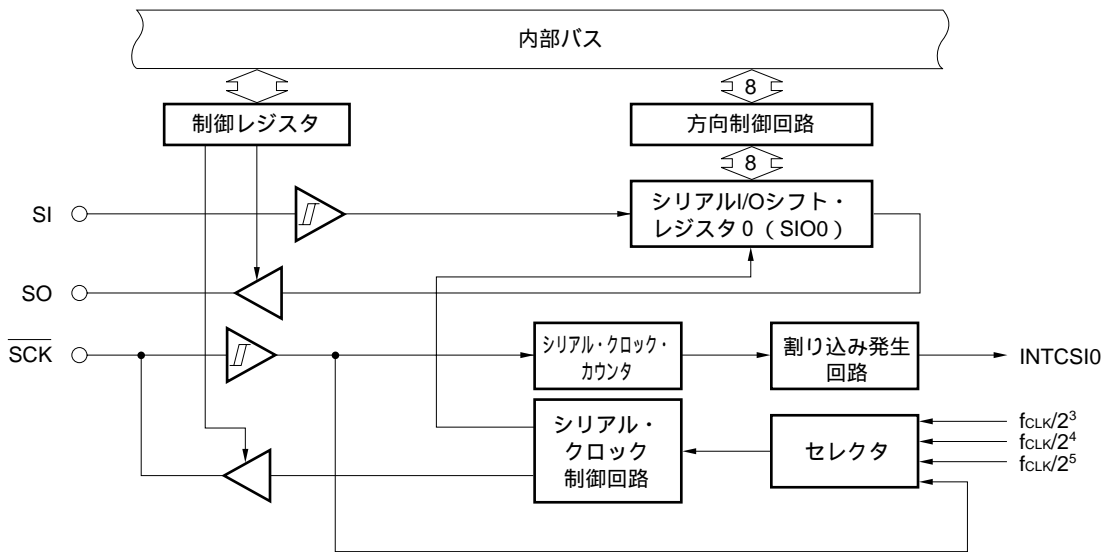
3線式シリアルI/Oモードは、次のハードウェアで構成されています。

図20 - 1に、3線式シリアルI/Oモード時のクロック同期式シリアル・インタフェース (CSI) のブロック図を示します。

表20 - 1 3線式シリアルI/Oの構成

項目	構成
レジスタ	シリアルI/Oシフト・レジスタ0 (SIO0)
制御レジスタ	シリアル動作モード・レジスタ0 (CSIM0)

図20 - 1 クロック同期式シリアル・インタフェース（3線式シリアルI/Oモード時）のブロック図



シリアルI/Oシフト・レジスタ0 (SIO0)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う8ビット・レジスタです。

SIO0は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ0 (CSIM0)のビット7 (CSIE0)が1のとき、SIO0にデータを書き込むか、または読み出すことによりシリアル動作が開始します。

送信時は、SIO0に書き込まれたデータが、シリアル出力 (SO) に出力されます。

受信時は、データがシリアル入力 (SI) からSIO0に読み込まれます。

\overline{RESET} 入力により、00Hになります。

注意 転送動作中のSIO0へのアクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE0 = 0のときはリードが、MODE0 = 1のときはライトが禁止となります)。

20.3 制御レジスタ

シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、3線式シリアルI/Oモード時のシリアル・クロック、動作モード、動作の許可/停止を設定するレジスタです。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図20-2 シリアル動作モード・レジスタ0 (CSIM0) のフォーマット

アドレス：0FF90H リセット時：00H R/W

略号	⑦	6	5	4	3	2	1	0
CSIM0	CSIE0	0	0	0	MODE1	MODE0	SCL01	SCL00

CSIE0	SIO0の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^注
1	動作許可	カウンタ動作許可	シリアル機能+ ポート機能

MODE1	転送データの先頭ビットの指定
0	MSB
1	LSB

MODE0	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO出力
0	送信/送受信モード	SIO0ライト	通常出力
1	受信専用モード	SIO0リード	“0”固定

SCL01	SCL00	クロックの選択
0	0	$\overline{\text{SCK}}$ への外部クロック
0	1	$f_{\text{CLK}}/8$
1	0	$f_{\text{CLK}}/16$
1	1	$f_{\text{CLK}}/32$

注 CSIE0 = 0 (SIO0動作停止状態) のときは、SI, SO, $\overline{\text{SCK}}$ と接続された端子は、ポート機能として使用できます。

注意 ビット4-6には必ず0を設定してください。

備考 f_{CLK} : 内部システム・クロック

20.4 動作

3線式シリアルI/Oには、次の2種類の動作モードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード

(1) 動作停止モード

動作停止モードではシリアル転送を行いませんので、消費電力を低減できます。
また、動作停止モードでは、端子を通常の入出力ポートとして使用できます。

(a) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ0 (CSIM0) で行います。
CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

図20 - 3 シリアル動作モード・レジスタ0 (CSIM0) のフォーマット (動作停止モード)

アドレス：0FF90H リセット時：00H R/W

略号	⑦	6	5	4	3	2	1	0
CSIM0	CSIE0	0	0	0	MODE1	MODE0	SCL01	SCL00

CSIE0	SIO0の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^注
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

注 CSIE0 = 0 (SIO0動作停止状態) のときは、SI, SO, $\overline{\text{SCK}}$ と接続された端子は、ポート機能として使用できます。

注意 ビット4-6には必ず0を設定してください。

(2) 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ($\overline{\text{SCK}}$)、シリアル出力 (SO)、シリアル入力 (SI) の3本のラインで通信を行います。

(a) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ0 (CSIM0)で行います。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図20 - 4 シリアル動作モード・レジスタ0 (CSIM0) のフォーマット (3線式シリアルI/Oモード)

アドレス : 0FF90H リセット時 : 00H R/W

略号	⑦	6	5	4	3	2	1	0
CSIM0	CSIE0	0	0	0	MODE1	MODE0	SCL01	SCL00

CSIE0	SIO0の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 ^注
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

MODE1	転送データの先頭ビットの指定
0	MSB
1	LSB

MODE0	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO出力
0	送信 / 送受信モード	SIO0ライト	通常出力
1	受信専用モード	SIO0リード	“0” 固定

SCL01	SCL00	クロックの選択
0	0	SCKへの外部クロック
0	1	f _{CLK} /8
1	0	f _{CLK} /16
1	1	f _{CLK} /32

注 CSIE0 = 0 (SIO0動作停止状態) のときは、SI, SO, $\overline{\text{SCK}}$ と接続された端子は、ポート機能として使用できます。

注意 ビット4-6には必ず0を設定してください。

備考 ()内は、f_{CLK} : 内部システム・クロック

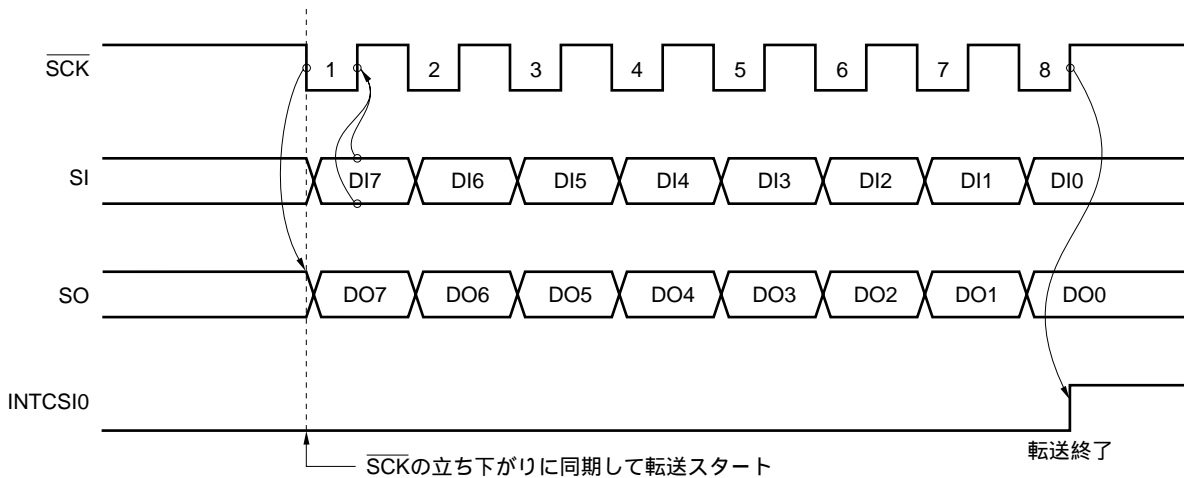
(b) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタ0 (SIO0)のシフト動作は、シリアル・クロック (\overline{SCK})の立ち下がりに同期して行われます。そして、送信データがSOラッチに保持され、SO端子から出力されます。また、 \overline{SCK} の立ち上がりで、SI端子に入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ (INTCSI0) がセットされます。

図20 - 5 3線式シリアルI/Oモードのタイミング



(c) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0 (SIO0) に転送データをセットすることで開始します。

- ・ SIO0の動作の制御ビット (CSIE0) = 1
- ・ 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または \overline{SCK} がハイ・レベルの状態
- ・ 送信 / 送受信モード
CSIE0 = 1, MODE0 = 0のとき、SIO0のライトで転送スタート
- ・ 受信専用モード
CSIE0 = 1, MODE0 = 1のとき、SIO0のリードで転送スタート

注意 SIO0にデータを書き込んだあと、CSIE0を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (INTCSI0) をセットします。

第21章 エッジ検出機能

P00は、立ち上がりエッジ / 立ち下がりエッジをプログラマブルに指定できるエッジ検出機能を持っています。
エッジ検出機能は、STOPモード、IDLEモード時を含み、常時動作しています。

21.1 制御レジスタ

外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0)

EGP0, EGN0は、NMI端子で検出するエッジの有効エッジを指定するレジスタです。

EGP0, EGN0は、8ビット操作命令またはビット操作命令で読み出し / 書き込みが可能です。

RESET入力により $\times \times \times \times \times \times 0B$ になります。

図21 - 1 外部割り込み立ち上がりエッジ許可レジスタ (EGP0)、外部割り込み立ち下がりエッジ許可レジスタ (EGN0) のフォーマット

アドレス : 0FFA0H リセット時 : $\times \times \times \times \times \times 0B$ R/W

略号	7	6	5	4	3	2	1	0
EGP0	x	x	x	x	x	x	x	EGP00

アドレス : 0FFA2H リセット時 : $\times \times \times \times \times \times 0B$ R/W

略号	7	6	5	4	3	2	1	0
EGN0	x	x	x	x	x	x	x	EGN00

EGP00	EGN00	NMI端子の有効エッジ
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち下がり、立ち上がりの両エッジ

なお、INTP0-INTP6端子で検出するエッジの有効エッジは、プリスケラ・モード・レジスタ0、4、5 (PRM0, PRM4, PRM5) で指定します (図8 - 5 プリスケラ・モード・レジスタ0 (PRM0) のフォーマット, 図12 - 4 プリスケラ・モード・レジスタ4 (PRM4) のフォーマット, 図13 - 4 プリスケラ・モード・レジスタ5 (PRM5) のフォーマットを参照)。

21.2 NMI端子のエッジ検出

NMI端子は、アナログ・ディレイによるノイズ除去後にエッジ検出を行っています。したがって、一定以上の時間幅のパルス幅がないとエッジを検出することができません。確実なエッジ検出をするためには、10 μ s以上のパルス幅を入力してください。

P00端子は、アナログ・ディレイ回路の影響を受けません。

図21 - 2 P00/NMI端子のノイズ除去の構成

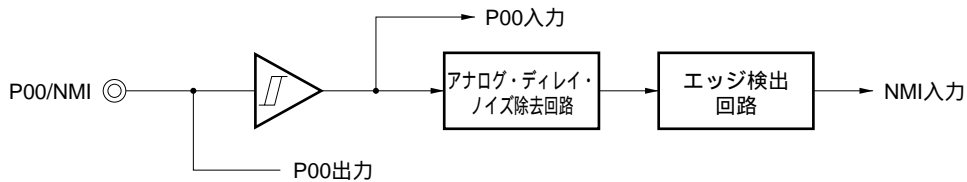
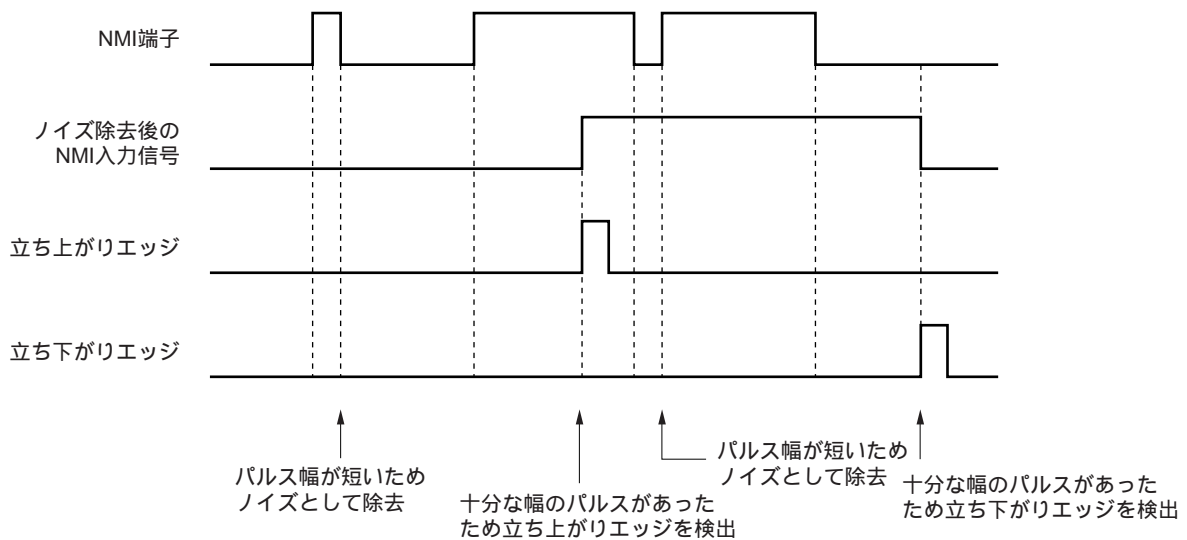


図21 - 3 NMI端子のエッジ検出



- 注意 1 . デバイスごとの特性の違いにより、エッジが検出されるまでの遅延時間は一定の値とはなりません。
- 2 . アナログ・ディレイ期間中にEGP0, EGN0レジスタによる有効エッジ設定を書き換えた場合、書き換え後の設定に対してエッジ検出を行います。したがって、NMI端子に有効エッジを入力したつもりでも、NMI割り込みが発生しなかったり、逆に禁止しているエッジを入力したつもりが有効エッジとして検出される可能性があります。

第22章 割り込み機能

μPD784956Aは、割り込み要求の処理としてベクタ割り込み、コンテキスト・スイッチング、マクロ・サービスの3つのモードを備えています(表22 - 1参照)。これら3つの処理モードは、プログラムで任意に設定できます。ただし、マクロ・サービスによる割り込み処理の選択は表22 - 2で示すマクロ・サービス処理モードを備えている割り込み要求ソースに対してのみ選択できます。コンテキスト・スイッチングは、ノンマスクブル割り込みおよびオペランド・エラー割り込みでは選択できません。

また、マスク可能なベクタ割り込みについては、4レベルの優先順位を持った多重処理制御を容易に行うことが可能です。

表22 - 1 割り込み要求の処理形態

割り込み要求処理モード	処理の主体	PC, PSWの内容	処 理 形 態
ベクタ割り込み	ソフトウェア	スタックへの退避 / 復帰動作を行う	ベクタ・テーブルで指定されたアドレス ^注 のサービス・プログラムに分岐し実行
コンテキスト・スイッチング		レジスタ・バンク中の固定エリアへの退避 / 復帰を行う	ベクタ・テーブルで指定されたレジスタ・バンクへの切り替えを自動的に行い、レジスタ・バンク中の固定エリアで指定されたアドレス ^注 のサービス・プログラムに分岐し実行
マクロ・サービス	ハードウェア (ファームウェア)	保持	メモリとI/Oとのデータ転送などあらかじめ設定した処理を実行

注 すべての割り込みサービス・プログラムの先頭アドレスは、ベース領域にある必要があります。ベース領域内にサービス・プログラムの本体が配置できない場合は、ベース領域内にサービス・プログラムへの分岐命令を記述してください。

22.1 割り込み要求ソース

μPD784956Aには、表22 - 2 に示すように31種類の割り込み要求ソースがあり、それぞれに割り込みベクタ・テーブルが割り付けられています。

表22 - 2 割り込み要求ソースの種類 (1/2)

割り込み 要求タイプ	デフォルト 優先順位	割り込み要求発生ソース	発生ユニット	割り込み制御 レジスタ名	コンテキスト・ スイッチング	マクロ・ サービス	マクロ・サービス・ コントロール・ ワード・アドレス	ベクタ・ テーブル・ アドレス
ソフトウェア	なし	BRK命令の実行	-	-	不可	不可	-	003EH
		BRKCS命令の実行	-	-	可	不可	-	-
オペランド・ エラー	なし	MOV STBC, byte命令またはMOV WDM, byte命令, LOCATION命 令のオペランド不正	-	-	不可	不可	-	003CH
ノンマスク ブル	なし	NMI (端子入力エッジ検出)	エッジ検出	-	不可	不可	-	0002H
		INTWDT (ウォッチドッグ・タ イマのオーバーフロー)	ウォッチドッ グ・タイマ	-	不可	不可	-	0004H

表22 - 2 割り込み要求ソースの種類 (2/2)

割り込み 要求タイプ	デフォルト 優先順位	割り込み要因	発生ユニット	割り込み制御 レジスタ名称	コンテキスト・ スイッチング	マクロ・ サービス	マクロ・サービス・ コントロール・ ワード・アドレス	ベクタ・ テーブル・ アドレス
マスクابل	0	INTP0 (端子入力エッジ検出)	エッジ検出	PIC0	可	可	0FE06H	0006H
	1	INTP1 (")		PIC1			0FE08H	0008H
	2	INTP2/INTTM41 (端子入力エッジ検出/TM4-CR41一致信号)	エッジ検出 /TM4	PIC2			0FE0AH	000AH
	3	INTP3 (端子入力エッジ検出)	エッジ検出	PIC3			0FE0CH	000CH
	4	INTP4 (")		PIC4			0FE0EH	000EH
	5	INTP5/INTTM51 (端子入力エッジ検出/TM5-CR51一致信号)	エッジ検出 /TM5	PIC5			0FE10H	0010H
	6	INTP6 (端子入力エッジ検出)	エッジ検出	PIC6			0FE12H	0012H
	7	INTTM00 (TM0-CR00一致信号)	TM0	TMIC00			0FE14H	0014H
	8	INTTM01 (TM0-CR01 ")		TMIC01			0FE16H	0016H
	9	INTTM10 (TM1-CR10 ")	TM1	TMIC10			0FE18H	0018H
	10	INTTM11 (TM1-CR11 ")		TMIC11			0FE1AH	001AH
	11	INTTM20 (TM2-CR20 ")	TM2	TMIC20			0FE1CH	001CH
	12	INTTM21 (TM2-CR21 ")		TMIC21			0FE1EH	001EH
	13	INTTM30 (TM3-CR30 ")	TM3	TMIC30			0FE20H	0020H
	14	INTTM31 (TM3-CR31 ")		TMIC31			0FE22H	0022H
	15	INTTM40 (TM4-CR40 ")	TM4	TMIC40			0FE24H	0024H
	16	INTTM42 (TM4-CR42 ")		TMIC42			0FE26H	0026H
	17	INTTM50 (TM5-CR50 ")	TM5	TMIC50			0FE28H	0028H
	18	INTTM52 (TM5-CR52 ")		TMIC52			0FE2AH	002AH
	19	INTTM6 (TM6-CR6 ")	TM6	TMIC6			0FE2CH	002CH
	20	INTTM7 (TM7-CR7 ")	TM7	TMIC7			0FE2EH	002EH
	21	INTSER1 (UART受信エラー)	UART	SERIC1			0FE30H	0030H
	22	INTSR1 (UART受信終了)		SRIC1			0FE32H	0032H
	23	INTST1 (UART送信終了)		STIC1			0FE34H	0034H
	24	INTCSIO (クロック同期式シリアル・インタフェース送受信終了)	CSI	CSIIC0			0FE36H	0036H
25	INTAD (A/D変換終了)	A/Dコンバータ	ADIC	0FE38H	0038H			

備考1 . デフォルト優先順位は、固定されている数値です。同一優先順位に指定された複数の割り込み要求が同時に発生した場合に優先される順位を示します。

- 2 . TM : タイマ / カウンタ
- CR (00, 01, 40, 41, 42, 50, 51) : キャプチャ / コンペア ・ レジスタ
- CR (10, 11, 20, 21, 30, 31, 52, 6, 7) : コンペア ・ レジスタ
- UART : アシクロナス ・ シリアル ・ インタフェース
- CSI : クロック同期式シリアル ・ インタフェース

★ 3 . ウォッチドッグ ・ タイマの割り込み要因には、ノンマスクابل割り込み (INTWDT) とマスクابل割り込み (INTWDTM) の2種類があり、どちらか1種類だけ選択できます。

22.1.1 ソフトウェア割り込み

ソフトウェアによる割り込みには、ベクタ割り込みを発生するBRK命令とコンテキスト・スイッチングを行うBRKCS命令があります。

ソフトウェアによる割り込みは、割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

22.1.2 オペランド・エラー割り込み

MOV STBC, byte命令, MOV WDM, byte命令およびLOCATION命令のオペランドが不正の場合に発生する割り込みです。

オペランド・エラー割り込みは、割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

22.1.3 ノンマスカブル割り込み

ノンマスカブル割り込みはNMI端子入力またはウォッチドッグ・タイマによって発生します。

ノンマスカブル割り込みは、割り込み禁止状態であっても無条件^注に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

注 同一のノンマスカブル割り込みのサービス・プログラムの実行中と、優先順位の高いノンマスカブル割り込みのサービス・プログラムの実行中を除く

22.1.4 マスカブル割り込み

マスカブル割り込みは、割り込みマスク・フラグの設定によってマスク制御を受ける割り込みです。また、プログラム・ステータス・ワード (PSW) のIEフラグによって、マスカブル割り込み全体に対して受け付けの許可/禁止の指定ができます。

マスカブル割り込みは、通常のベクタ割り込みのほかに、コンテキスト・スイッチングやマクロ・サービスによって受け付けることが可能です (マクロ・サービスについては一部の割り込みを除く。表22 - 2 参照)。

マスカブル割り込みは、表22 - 2のように同一優先順位を持つ複数の割り込み要求が同時に発生している場合の優先順位が決められています (デフォルト優先順位)。また、割り込み優先順位を4レベルのグループに分け、多重処理の制御を行うことができます。ただしマクロ・サービスは、優先順位制御やIEフラグとは無関係に受け付けられます。

22.2 割り込み処理モード

μPD784956Aの割り込み処理モードには、次の3つのモードがあります。

- ・ベクタ割り込み処理
- ・マクロ・サービス
- ・コンテキスト・スイッチング

22.2.1 ベクタ割り込み処理

割り込みが受け付けられると、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）を自動的にスタック領域に退避させ、ベクタ・テーブルに格納されているデータで示されるアドレスに分岐し、割り込み処理ルーチンを実行します。

22.2.2 マクロ・サービス

割り込みが受け付けられると、CPUの実行を一時中断し、ハードウェア的にデータ転送を行います。マクロ・サービスは、CPUを介さずに行われるため、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）などのCPUステータスを退避／復帰する必要がありません。したがって、CPUのサービス時間を向上させる大きな効果があります（22.8 マクロ・サービス機能参照）。

22.2.3 コンテキスト・スイッチング

割り込みが受け付けられると、ハードウェアにより所定のレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスに分岐すると同時に、現在のプログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）をレジスタ・バンク内に退避します（22.4.2 BRKCS命令によるソフトウェア割り込み（ソフトウェア・コンテキスト・スイッチング）の受け付け動作、22.7.2 コンテキスト・スイッチング参照）。

備考 コンテキストとは、プログラムの実行において、そのプログラムからアクセス可能なCPUのレジスタのことです。このレジスタには、汎用レジスタ、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）が含まれます。

22.3 割り込み処理制御レジスタ

μPD784956Aの割り込み処理は、割り込み処理の指定を行う各種制御レジスタにより、各割り込み要求ごとに制御されます。表22 - 3 に、割り込みの制御レジスタ一覧を示します。

表22 - 3 制御レジスタ一覧

レジスタ名	略号	機能
割り込み制御レジスタ	PIC0, PIC1, PIC2, PIC3, PIC4, PIC5, PIC6, TMIC00, TMIC01, TMIC10, TMIC11, TMIC20, TMIC21, TMIC30, TMIC31, TMIC40, TMIC42, TMIC50, TMIC52, TMIC6, TMIC7, SERIC1, SRIC1, STIC1, CSIIC0, ADIC	各割り込み要求の発生の記憶、マスク制御、ベクタ割り込み処理またはマクロ・サービス処理の指定、コンテキスト・スイッチング機能の許可/禁止、優先順位の指定を行うレジスタ
割り込みマスク・レジスタ	MK0 (MK0L, MK0H) MK1 (MK1L, MK1H)	マスカブル割り込み要求のマスク制御 割り込み制御レジスタ内のマスク制御フラグと連動ワード・アクセスまたはバイト・アクセスが可能
インサービス・プライオリティ・レジスタ	ISPR	現在受け付け中の割り込み要求について優先順位を記憶
割り込みモード・コントロール・レジスタ	IMC	優先順位を最下位レベル(レベル3)に指定したマスカブル割り込みのネスティングを制御
ウォッチドッグ・タイマ・モード・レジスタ	WDM	NMI端子入力による割り込みとウォッチドッグ・タイマのオーバーフローによる割り込みの優先順位を指定
プログラム・ステータス・ワード	PSW	マスカブル割り込みの受け付け許可/禁止を指定

割り込み制御レジスタは、おのおのの割り込み要因ごとに制御レジスタが割り当てられています。各レジスタのフラグは、それぞれのレジスタ内のビット位置に対応した内容の制御を行います。

表22 - 4 に、各割り込み要求信号に対応する割り込み制御レジスタのフラグ名称を示します。

表22 - 4 割り込み要求に対する割り込み制御レジスタのフラグ一覧

デフォルト 優先順位	割り込み 要求信号	割り込み制御レジスタ						
			割り込み 要求フラグ	割り込み マスク・ フラグ	マクロ・ サービス許可 フラグ	コンテキスト・ スイッチング 許可フラグ	優先順位指定フラグ	
0	INTP0	PIC0	PIF0	PMK0	PISM0	PCSE0	PPR01	PPR00
1	INTP1	PIC1	PIF1	PMK1	PISM1	PCSE1	PPR11	PPR10
2	INTP2/ INTTM41	PIC2	PIF2	PMK2	PISM2	PCSE2	PPR21	PPR20
3	INTP3	PIC3	PIF3	PMK3	PISM3	PCSE3	PPR31	PPR30
4	INTP4	PIC4	PIF4	PMK4	PISM4	PCSE4	PPR41	PPR40
5	INTP5/ INTTM51	PIC5	PIF5	PMK5	PISM5	PCSE5	PPR51	PPR50
6	INTP6	PIC6	PIF6	PMK6	PISM6	PCSE6	PPR61	PPR60
7	INTTM00	TMIC00	TMIF00	TMMK00	TMISM00	TMCSE00	TMPR001	TMPR000
8	INTTM01	TMIC01	TMIF01	TMMK01	TMISM01	TMCSE01	TMPR011	TMPR010
9	INTTM10	TMIC10	TMIF10	TMMK10	TMISM10	TMCSE10	TMPR101	TMPR100
10	INTTM11	TMIC11	TMIF11	TMMK11	TMISM11	TMCSE11	TMPR111	TMPR110
11	INTTM20	TMIC20	TMIF20	TMMK20	TMISM20	TMCSE20	TMPR201	TMPR200
12	INTTM21	TMIC21	TMIF21	TMMK21	TMISM21	TMCSE21	TMIC211	TMIC210
13	INTTM30	TMIC30	TMIF30	TMMK30	TMISM30	TMCSE30	TMPR301	TMPR300
14	INTTM31	TMIC31	TMIF31	TMMK31	TMISM31	TMCSE31	TMPR311	TMPR310
15	INTTM40	TMIC40	TMIF40	TMMK40	TMISM40	TMCSE40	TMPR401	TMPR400
16	INTTM42	TMIC42	TMIF42	TMMK42	TMISM42	TMCSE42	TMPR421	TMPR420
17	INTTM50	TMIC50	TMIF50	TMMK50	TMISM50	TMCSE50	TMPR501	TMPR500
18	INTTM52	TMIC52	TMIF52	TMMK52	TMISM52	TMCSE52	TMPR521	TMPR520
19	INTTM6	TMIC6	TMIF6	TMMK6	TMISM6	TMCSE6	TMPR61	TMPR60
20	INTTM7	TMIC7	TMIF7	TMMK7	TMISM7	TMCSE7	TMPR71	TMPR70
21	INTSER1	SERIC1	SERIF1	SERMK1	SERISM1	SERCSE1	SERPR11	SERPR10
22	INTSR1	SRIC1	SRIF1	SRMK1	SRISM1	SRCSE1	SRPR11	SRPR10
23	INTST1	STIC1	STIF1	STMK1	STISM1	STCSE1	STPR11	STPR10
24	INTCSI0	CSIC0	CSIF0	CSIMK0	CSIISM0	CSICSE0	CSIPR01	CSIPR00
25	INTAD	ADIC	ADIF	ADMK	ADISM	ADICSE	ADPR1	ADPR0

22.3.1 割り込み制御レジスタ

割り込み制御レジスタは、各割り込み要因ごとに割り当てられており、対応する割り込み要求の優先順位制御や、マスク制御などを行うレジスタです。図22 - 1に、割り込み制御レジスタのフォーマットを示します。

(1) 優先順位指定フラグ (x x PR1, x x PR0)

優先順位指定フラグは、26種類のマスカブル割り込みに対して、割り込み要因ごとの優先順位を指定するフラグです。

優先順位レベルは、4レベルまで指定でき、複数の割り込み要因を同じレベルに指定することができます。マスカブル割り込み要因のうち、レベル0が最も優先順位が高くなります。

優先順位レベルの等しい割り込み要因同士内で、複数の割り込み要求が同時に発生した場合は、デフォルト優先順位の順に受け付けられません。

ソフトウェアにより、ビット単位で操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが“1”になります。

(2) コンテキスト・スイッチング許可フラグ (x x CSE)

コンテキスト・スイッチング許可フラグは、マスカブル割り込み要求をコンテキスト・スイッチングにより処理することを指定するフラグです。

コンテキスト・スイッチングは、あらかじめ指定してあるレジスタ・バンクをハードウェア的に選択し、レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に、現在のプログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW) の内容をレジスタ・バンクに退避する機能です。

通常のベクタ割り込み処理よりも高速に割り込み処理の実行を開始できるので、リアルタイム処理に適しています。

ソフトウェアにより、ビット単位で操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが“0”になります。

(3) マクロ・サービス許可フラグ (x x ISM)

マクロ・サービス許可フラグは、各フラグに対応する割り込み要求について、ベクタ割り込みまたはコンテキスト・スイッチングで処理するか、マクロ・サービスで処理するかを指定するフラグです。

マクロ・サービス処理を選択していた場合に、マクロ・サービスが終了すると (マクロ・サービス・カウンタが0になると)、マクロ・サービス許可フラグはハードウェアで自動的にクリア (0) されます (ベクタ割り込み処理 / コンテキスト・スイッチング処理)。

ソフトウェアにより、ビット単位で操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが“0”になります。

(4) 割り込みマスク・フラグ (x x MK)

割り込みマスク・フラグは、各フラグに対応する割り込み要求について、ベクタ割り込み処理、マクロ・サービス処理の許可 / 禁止を指定するフラグです。

割り込みマスク・フラグの内容は、割り込み処理の起動などにより変化することはありません。また、割り込みマスク・フラグの内容と、割り込みマスク・レジスタとは同一の内容となります (22.3.2 割り込みマスク・レジスタ (MK0, MK1) 参照)。

マクロ・サービス処理要求もマスク制御の対象で、マクロ・サービス要求もこのフラグによりマスクできます。

ソフトウェアにより、操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが“ 1 ”になります。

(5) 割り込み要求フラグ (x x IF)

割り込み要求フラグは、各フラグに対応する割り込み要求の発生でセット (1) されます。割り込みが受け付けられたときにハードウェアにより自動的にクリア (0) されます。

ソフトウェアにより、操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが“ 0 ”になります。

図22 - 1 割り込み制御レジスタ (x x I C n) (1 / 3)

アドレス : 0FFE0H-0FFE8H リセット時 : 43H R/W

略号	⑦	⑥	⑤	④	3	2	①	①
PIC0	PIF0	PMK0	PISM0	PCSE0	0	0	PPR01	PPR00
PIC1	PIF1	PMK1	PISM1	PCSE1	0	0	PPR11	PPR10
PIC2	PIF2	PMK2	PISM2	PCSE2	0	0	PPR21	PPR20
PIC3	PIF3	PMK3	PISM3	PCSE3	0	0	PPR31	PPR30
PIC4	PIF4	PMK4	PISM4	PCSE4	0	0	PPR41	PPR40
PIC5	PIF5	PMK5	PISM5	PCSE5	0	0	PPR51	PPR50
PIC6	PIF6	PMK6	PISM6	PCSE6	0	0	PPR61	PPR60
TMIC00	TMIF00	TMMK00	TMISM00	TMCSE00	0	0	TMPR001	TMPR000
TMIC01	TMIF01	TMMK01	TMISM01	TMCSE01	0	0	TMPR011	TMPR010

x x I F n	割り込み要求発生の有無
0	割り込み要求なし (割り込み信号が発生していない)
1	割り込み要求状態 (割り込み信号が発生)

x x M K n	割り込み処理の許可 / 禁止
0	割り込み処理を許可
1	割り込み処理を禁止

x x I S M n	割り込み処理形態の指定
0	ベクタ割り込み処理 / コンテキスト・スイッチング処理
1	マクロ・サービス処理

x x C S E n	コンテキスト・スイッチング処理の指定
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

x x P R n 1	x x P R n 0	割り込み要求の優先順位指定
0	0	優先順位 0 (最優先順位)
0	1	優先順位 1
1	0	優先順位 2
1	1	優先順位 3

図22 - 1 割り込み制御レジスタ (x x ICn) (2/3)

アドレス : 0FFE9H-0FFF1H リセット時 : 43H R/W

略号	⑦	⑥	⑤	④	3	2	①	①
TMIC10	TMIF10	TMMK10	TMISM10	TMCSE10	0	0	TMPR101	TMPR100
TMIC11	TMIF11	TMMK11	TMISM11	TMCSE11	0	0	TMPR111	TMPR110
TMIC20	TMIF20	TMMK20	TMISM20	TMCSE20	0	0	TMPR201	TMPR200
TMIC21	TMIF21	TMMK21	TMISM21	TMCSE21	0	0	TMPR211	TMPR210
TMIC30	TMIF30	TMMK30	TMISM30	TMCSE30	0	0	TMPR301	TMPR300
TMIC31	TMIF31	TMMK31	TMISM31	TMCSE31	0	0	TMPR311	TMPR310
TMIC40	TMIF40	TMMK40	TMISM40	TMCSE40	0	0	TMPR401	TMPR400
TMIC42	TMIF42	TMMK42	TMISM42	TMCSE42	0	0	TMPR421	TMPR420
TMIC50	TMIF50	TMMK50	TMISM50	TMCSE50	0	0	TMPR501	TMPR500

x x IFn	割り込み要求発生の有無
0	割り込み要求なし (割り込み信号が発生していない)
1	割り込み要求状態 (割り込み信号が発生)

x x MKn	割り込み処理の許可 / 禁止
0	割り込み処理を許可
1	割り込み処理を禁止

x x ISMn	割り込み処理形態の指定
0	ベクタ割り込み処理 / コンテキスト・スイッチング処理
1	マクロ・サービス処理

x x CSEn	コンテキスト・スイッチング処理の指定
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

x x PRn1	x x PRn0	割り込み要求の優先順位指定
0	0	優先順位 0 (最優先順位)
0	1	優先順位 1
1	0	優先順位 2
1	1	優先順位 3

図22 - 1 割り込み制御レジスタ (x x ICn) (3/3)

アドレス : 0FFF2H-0FFF9H リセット時 : 43H R/W

略号	⑦	⑥	⑤	④	3	2	①	①
TMIC52	TMIF52	TMMK52	TMISM52	TMCSE52	0	0	TMPR521	TMPR520
TMIC6	TMIF6	TMMK6	TMISM6	TMCSE6	0	0	TMPR61	TMPR60
TMIC7	TMIF7	TMMK7	TMISM7	TMCSE7	0	0	TMPR71	TMPR70
SERIC1	SERIF1	SERMK1	SERISM1	SERCSE1	0	0	SERPR11	SERPR10
SRIC1	SRIF1	SRMK1	SRISM1	SRCSE1	0	0	SRPR11	SRPR10
STIC1	STIF1	STMK1	STISM1	STCSE1	0	0	STPR11	STPR10
CSIIC0	CSIF0	CSIMK0	CSIISM0	CSICSE0	0	0	CSIPR01	CSIPR00
ADIC	ADIF	ADMK	ADISM	ADCSE	0	0	ADPR1	ADPR0

x x IFn	割り込み要求発生の有無
0	割り込み要求なし (割り込み信号が発生していない)
1	割り込み要求状態 (割り込み信号が発生)

x x MKn	割り込み処理の許可 / 禁止
0	割り込み処理を許可
1	割り込み処理を禁止

x x ISMn	割り込み処理形態の指定
0	ベクタ割り込み処理 / コンテキスト・スイッチング処理
1	マクロ・サービス処理

x x CSEn	コンテキスト・スイッチング処理の指定
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

x x PRn1	x x PRn0	割り込み要求の優先順位指定
0	0	優先順位 0 (最優先順位)
0	1	優先順位 1
1	0	優先順位 2
1	1	優先順位 3

22.3.2 割り込みマスク・レジスタ (MK0, MK1)

MK0, MK1は、割り込みマスク・フラグで構成されるレジスタです。MK0, MK1は16ビット・レジスタで、16ビット単位で操作できるほか、MK0はMK0L, MK0Hとして、MK1はMK1L, MK1Hとして、8ビット単位でも操作できます。

また、MK0, MK1の各ビットは、ビット操作命令により1ビット単位で操作ができます。各割り込みマスク・フラグは、対応する割り込み要求の許可/禁止を制御します。

割り込みマスク・フラグがセット(1)されていると、該当する割り込み要求の受け付けは禁止されます。

割り込みマスク・フラグがクリア(0)されていると、該当する割り込み要求は、ベクタ割り込みまたはマクロ・サービスとして受け付けが可能な状態になります。

MK0, MK1中の各割り込みマスク・フラグは、割り込み制御レジスタ中の割り込みマスク・フラグと同一のフラグです。割り込みのマスクに関する制御を一括して行うために、MK0, MK1を用意しています。

$\overline{\text{RESET}}$ 入力によりMK0, MK1はFFFFHになり、すべてのマスカブル割り込みは禁止されます。

図22 - 2 割り込みマスク・レジスタ (MK0, MK1) のフォーマット

バイト・アクセス時

アドレス : 0FFACH-0FFAFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	TMMK00	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0
MK0H	TMMK40	TMMK31	TMMK30	TMMK21	TMMK20	TMMK11	TMMK10	TMMK01
MK1L	STMK1	SRMK1	SERMK1	TMMK7	TMMK6	TMMK52	TMMK50	TMMK42
MK1H	1	1	1	1	1	1	ADMK	CSIMK0

x x MKn	割り込み要求の許可 / 禁止の指定
0	割り込み処理を許可
1	割り込み処理を禁止

ワード・アクセス時

アドレス : 0FFACH, 0FFAEH リセット時 : FFFFH R/W

略号	15	14	13	12	11	10	9	8
MK0	TMMK40	TMMK31	TMMK30	TMMK21	TMMK20	TMMK11	TMMK10	TMMK01
	7	6	5	4	3	2	1	0
	TMMK00	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0
	15	14	13	12	11	10	9	8
MK1	1	1	1	1	1	1	ADMK	CSIMK0
	7	6	5	4	3	2	1	0
	STMK1	SRMK1	SERMK1	TMMK7	TMMK6	TMMK52	TMMK50	TMMK42

x x MKn	割り込み要求の許可 / 禁止の指定
0	割り込み処理を許可
1	割り込み処理を禁止

22.3.3 インサース・プライオリティ・レジスタ (ISPR)

ISPRは、現在処理中のマスカブル割り込みの優先順位レベルと処理中のノンマスカブル割り込みを示すレジスタです。マスカブル割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット（1）され、サービス・プログラムが終了するまで保持されます。ノンマスカブル割り込みが受け付けられると、そのノンマスカブル割り込みに対応したビットがセット（1）され、サービス・プログラムが終了するまで保持されます。

RETI命令またはRETCS命令の実行の際、ISPR内でセット（1）されているビットのうち、最も優先順位の高い割り込み要求に対応するビットが、ハードウェアにより自動的にクリア（0）されます。

RETB命令およびRETCSB命令の実行では、ISPRの内容は変化しません。

RESET入力により、00Hになります。

図22 - 3 インサース・プライオリティ・レジスタ (ISPR) のフォーマット

アドレス：0FFA8H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ISPR	NMIS	WDTS	0	0	ISPR3	ISPR2	ISPR1	ISPR0

NMIS	NMI処理状態
0	NMI割り込みを受け付けていない
1	NMI割り込みを受け付け中

WDTS	ウォッチドッグ・タイマ割り込み処理状態
0	ウォッチドッグ・タイマ割り込みを受け付けていない
1	ウォッチドッグ・タイマ割り込みを受け付け中

ISPRn	優先順位のレベル (n = 0-3)
0	優先順位nの割り込みを受け付けていない
1	優先順位nの割り込みを受け付け中

注意 インサース・プライオリティ・レジスタ (ISPR) は、読み出しのみ可能です。書き込みを行うと、誤動作する恐れがあります。

22.3.4 割り込みモード・コントロール・レジスタ (IMC)

IMCは、PRSLフラグで構成されるレジスタです。PRSLフラグは、優先順位が最下位レベル（レベル3）に指定されているマスカブル割り込みのネスティングの許可/禁止を指定します。

IMCを操作する場合は、誤動作を防ぐために割り込み禁止状態（DI状態）に設定してから行ってください。

8ビット操作命令とビット操作命令で、読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により、80Hになります。

図22 - 4 割り込みモード・コントロール・レジスタ (IMC) のフォーマット

アドレス：0FFAAH リセット時：80H R/W

略号	7	6	5	4	3	2	1	0
IMC	PRSL	0	0	0	0	0	0	0

PRSL	マスカブル割り込み（最下位レベル）についてのネスティング動作の制御
0	レベル3（最下位レベル）に設定された割り込み間でのネスティング可能
1	レベル3（最下位レベル）に設定された割り込み間でのネスティング禁止

22.3.5 ウォッチドッグ・タイマ・モード・レジスタ (WDM)

WDMのWDT4ビットは、NMI端子入力によりノンマスクابل割り込みとウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込みの優先順位を指定するビットです。

WDMは、専用命令によってのみ書き込みが可能です。この専用命令は、MOV WDM, byte命令で特殊なコード構成（4バイト）になっています。3バイト目と4バイト目のオペコードが互いに補数の場合のみ、書き込みが行われます。

また、3バイト目と4バイト目のオペコードが互いに1の補数でなければ書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

オペランド・エラー割り込みは、プログラムが暴走している場合にのみ発生する（NEC製アセンブラRA78K4では、MOV WDM, byteと記述された場合、正しい専用命令しか生成しません）ので、システムの初期化をプログラムで行うようにしてください。

他の書き込み命令（MOV WDM, AやAND WDM, byteやSET1 WDM.7など）は無視され、何の動作も行いません。すなわち、WDMへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。

WDMの読み出しは、データ転送命令によりいつでもできます。

RESET入力により、00Hになります。

図22 - 5 ウォッチドッグ・タイマ・モード・レジスタ (WDM) のフォーマット

アドレス：0FFC2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
WDM	RUN	0	0	WDT4	0	WDT2	WDT1	0

RUN	ウォッチドッグ・タイマの動作の指定 (図12 - 2 参照)
-----	-----------------------------------

WDT4	ウォッチドッグ・タイマの割り込み要求の優先順位
0	ウォッチドッグ・タイマの割り込み要求 < NMI端子入力の割り込み要求
1	ウォッチドッグ・タイマの割り込み要求 > NMI端子入力の割り込み要求

WDT2	WDT1	ウォッチドッグ・タイマのカウント・クロックの指定 (図12 - 2 参照)
------	------	---------------------------------------

注意 ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, byte) でのみ書き込みが可能です。

22.3.6 プログラム・ステータス・ワード (PSW)

PSWは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグがPSWの下位8ビット (PSWL) にマッピングされています。

PSWLは、8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。

ベクタ割り込み受け付け時、BRK命令実行時にはスタックに退避され、IEフラグはクリア (0) されます。また、PUSH PSW命令によってもスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

コンテキスト・スイッチングおよびBRKCS命令実行時には、レジスタ・バンクの固定エリアに退避され、IEフラグはクリア (0) されます。また、RETCSI, RETCSB命令により、レジスタ・バンク中の固定エリアから復帰します。

$\overline{\text{RESET}}$ 入力により、PSWLは00Hとなります。

図22-6 プログラム・ステータス・ワード (PSWL) のフォーマット

リセット時：00H

略号	7	6	5	4	3	2	1	0
PSWL	S	Z	RSS	AC	IE	P/V	0	CY

S	通常の命令実行時に使用
Z	
RSS	
AC	

IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

P/V	通常の命令実行時に使用
CY	

22.4 ソフトウェア割り込みの受け付け動作

ソフトウェア割り込みはBRK, BRKCS命令の実行により受け付けられます。ソフトウェア割り込みは禁止することができません。

22.4.1 BRK命令によるソフトウェア割り込みの受け付け動作

BRK命令を実行すると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順にスタックに退避し、IEフラグをクリア (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCの下位16ビットに、0000BをPCの上位4ビットにロードして分岐します (サービス・プログラムの先頭は、ベース領域になければいけません)。

BRK命令によるソフトウェア割り込みからの復帰にはRETB命令を使用します。

注意 BRK命令によるソフトウェア割り込みからの復帰にRETI命令を使用してはいけません。

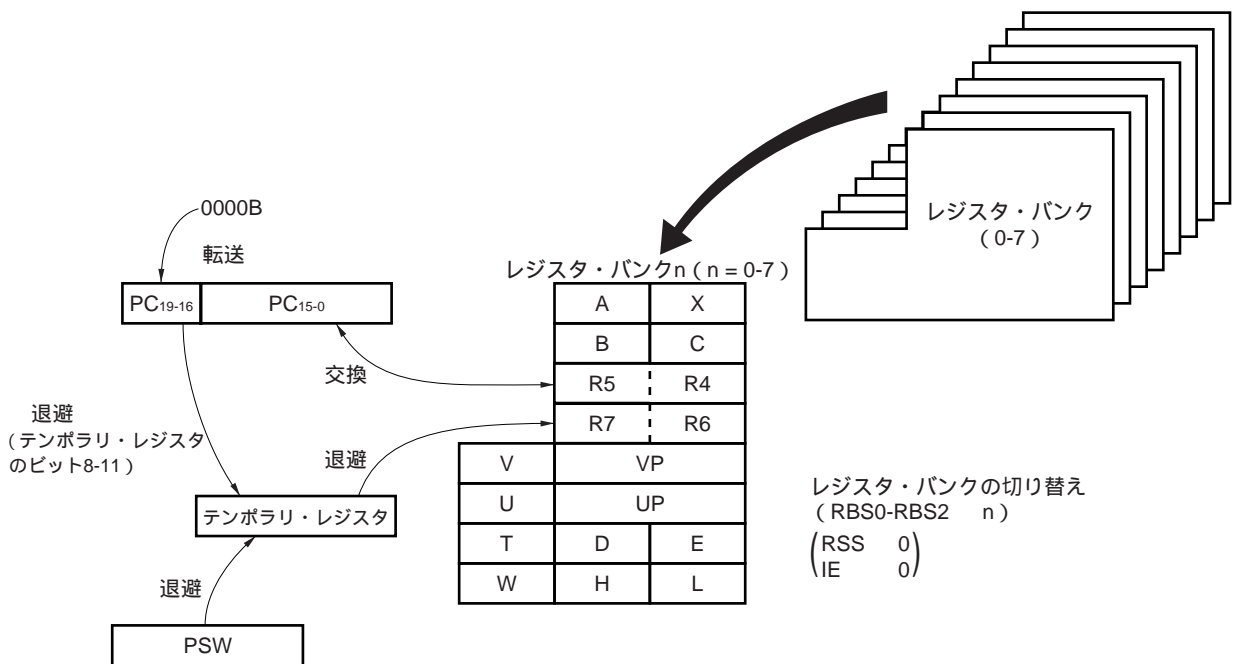
22.4.2 BRKCS命令によるソフトウェア割り込み（ソフトウェア・コンテキスト・スイッチング）の受け付け動作

BRKCS命令の実行により、コンテキスト・スイッチング機能を起動できます。

BRKCS命令のオペランドで、コンテキスト・スイッチング後のレジスタ・バンクを指定します。

BRKCS命令を実行すると、指定したレジスタ・バンク内にあらかじめストアしておいた割り込みサービス・プログラムの先頭アドレス（ベース領域内に限ります）に分岐すると同時に、それまでのプログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）の内容をレジスタ・バンク内に退避します。

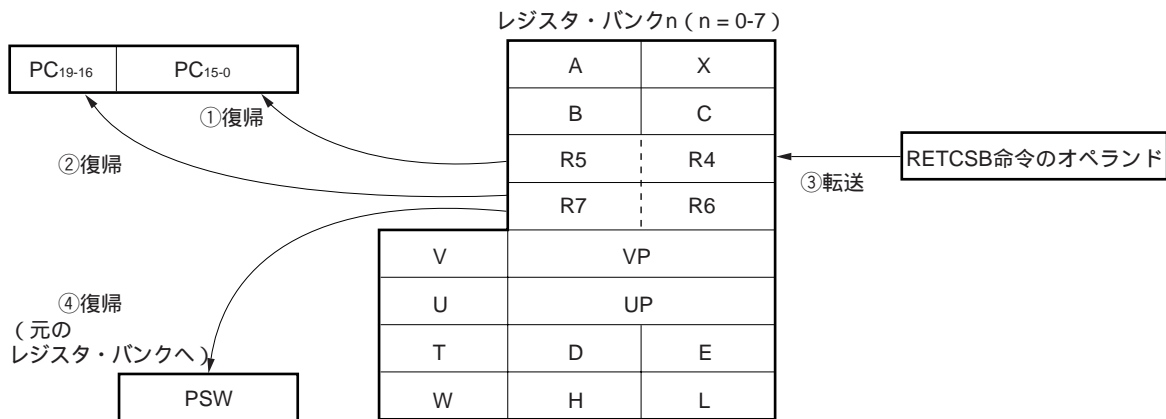
図22 - 7 BRKCS命令の実行によるコンテキスト・スイッチング動作



BRKCS命令によるソフトウェア割り込みからの復帰には、RETCSB命令を使用します。RETCSB命令では、次にBRKCS命令でコンテキスト・スイッチングを行うときの割り込みサービス・プログラムの先頭アドレスを指定する必要があります。この割り込みサービス・プログラムの先頭アドレスは、ベース領域内になければいけません。

注意 BRKCS命令によるソフトウェア割り込みからの復帰にRETCS命令を使用してはいけません。

図22 - 8 BRKCS命令によるソフトウェア割り込みからの復帰動作 (RETCSB命令の動作)



22.5 オペランド・エラー割り込みの受け付け動作

オペランド・エラー割り込みは、MOV STBC, byte命令およびMOV WDM, byte命令、LOCATION命令のオペランドの3バイト目の全ビットを反転させたデータが、オペランドの4バイト目と一致しなかった場合に発生します。オペランド・エラー割り込みは禁止することができません。

オペランド・エラー割り込みが発生すると、プログラム・ステータス・ワード (PSW) とエラーを発生した命令の先頭アドレスをスタックに退避し、IEフラグをクリア (0) し、ベクタ・テーブルの値をプログラム・カウンタ (PC) にロードし、分岐します (ベース領域にかぎる)。

スタックに退避されるアドレスが、エラーの発生した命令の先頭アドレスとなっているので、単純にオペランド・エラー割り込みサービス・プログラムの最後にRETB命令を記述しただけでは、再度オペランド・エラー割り込みが発生してしまいます。したがって、スタック中のアドレスを加工するか、22.12 割り込み機能を初期状態に戻す方法を参考にプログラムを初期状態に戻してください。

22.6 ノンマスカブル割り込みの受け付け動作

ノンマスカブル割り込みは、割り込み禁止状態であっても受け付けられます。ノンマスカブル割り込みは、同一のノンマスカブル割り込みまたは、優先順位の高いノンマスカブル割り込みサービス・プログラムの実行中を除いては、必ず受け付けられます。

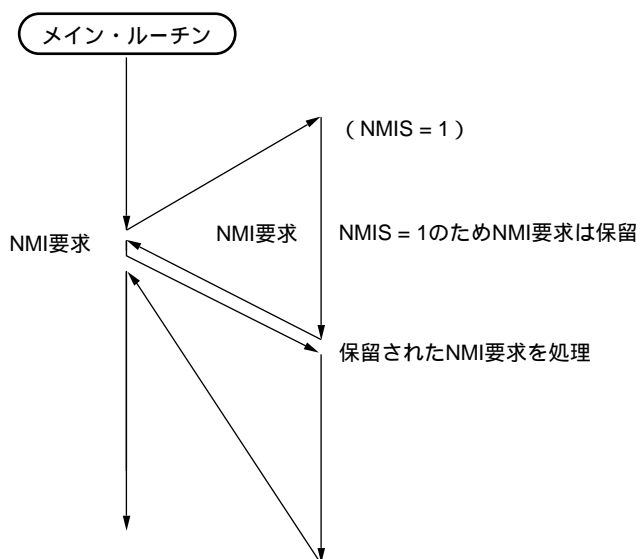
ノンマスカブル割り込み間の優先順位は、ウォッチドッグ・タイマ・モード・レジスタ (WDM) のWDT4ビットで設定します (22.3.5 ウォッチドッグ・タイマ・モード・レジスタ (WDM) 参照)。

ノンマスカブル割り込み要求は、22.9 割り込み要求およびマクロ・サービスが一時的に保留される場合に記述されている状態でなければ、ただちに受け付けられます。ノンマスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順にスタックへの退避を行い、PSWのIEフラグをクリア (0) し、受け付けたノンマスカブル割り込みに対応するインサービス・プライオリティ・レジスタ (ISPR) のビットをセット (1) し、ベクタ・テーブルの内容をPCへロードし、分岐します。セット (1) されるISPRのビットは、NMI端子へのエッジ入力によるノンマスカブル割り込みの場合はNMISビットになり、ウォッチドッグ・タイマのオーバーフローによる場合はWDTSビットになります。

ノンマスカブル割り込みのサービス・プログラムを実行している場合には、現在実行中のノンマスカブル割り込みと同一のノンマスカブル割り込みの要求と、現在実行中のノンマスカブル割り込みより優先順位の低いノンマスカブル割り込みの要求は、保留されます。保留されたノンマスカブル割り込みは、現在実行中のノンマスカブル割り込みサービス・プログラムの終了後 (RETI命令実行後) に受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に、同一のノンマスカブル割り込み要求が2回以上発生しても、ノンマスカブル割り込みサービス・プログラムの終了後に受け付けられるノンマスカブル割り込みは1回だけになります。

図22 - 9 ノンマスカブル割り込み要求の受け付け動作 (1/2)

(a) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合



(b) NMIサービス・プログラム実行中にウォッチドッグ・タイマ割り込み要求が発生した場合 (ウォッチドッグ・タイマ割り込みの優先順位が高い場合 (WDMのWDT4 = 1の場合))

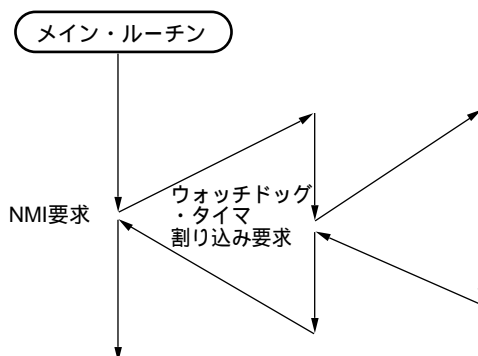
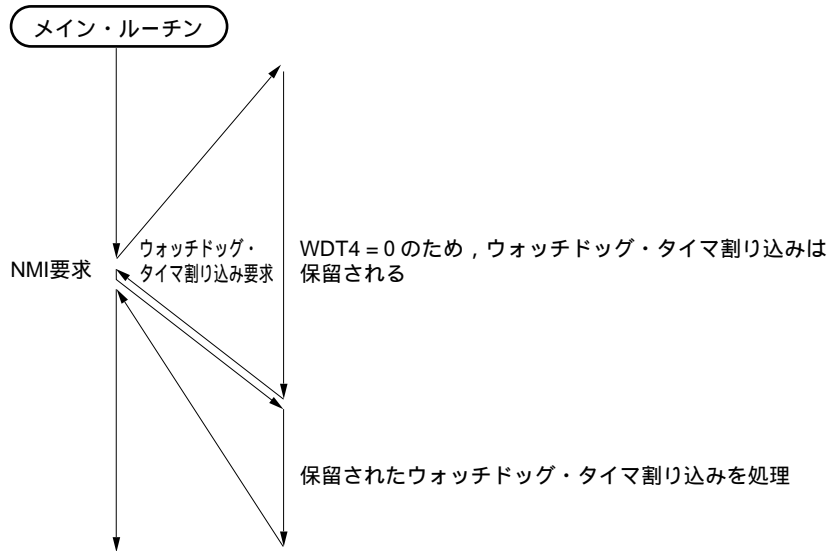
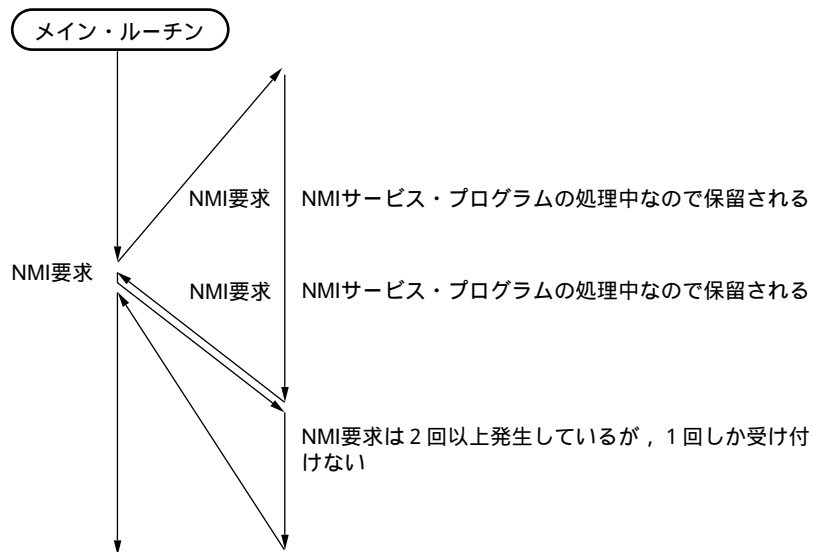


図22 - 9 ノンマスクابل割り込み要求の受け付け動作 (2/2)

(c) NMIサービス・プログラム実行中にウォッチドッグ・タイマ割り込み要求が発生した場合 (NMI割り込みの優先順位が高い場合 (WDMのWDT4 = 0 の場合))



(d) NMIサービス・プログラム実行中に新たに2回のNMI要求が発生した場合



- 注意 1 . ノンマスクابل割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ、処理されません。ノンマスクابل割り込みサービス・プログラム中でマクロ・サービス処理を行いたくない場合は、ノンマスクابل割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して、マクロ・サービスが発生しないようにしてください。
- 2 . ノンマスクابل割り込みからの復帰には、必ずRETI命令を使用してください。他の命令では、以降の割り込みの受け付けが正常に行われません。ノンマスクابل割り込み受け付け後、初期状態からプログラムを再開したい場合は、22.12 割り込み機能を初期状態に戻す方法を参照してください。
- 3 . ノンマスクابل割り込みは、ノンマスクابل割り込みサービス・プログラム実行中（優先順位の低いノンマスクابل割り込みサービス・プログラム実行中に、優先順位の高いノンマスクابل割り込みの要求が発生した場合を除く）および22.9に示す特定命令の実行後の一定期間を除いては必ず受け付けられません。したがって、特にリセット解除後などのスタック・ポインタ（SP）の値が不定の場合でもノンマスクابل割り込みを受け付けます。このときのSPの値によっては特殊機能レジスタ（SFR）の書き込みを禁止しているアドレス（3.8 特殊機能レジスタ（SFR）の表3 - 6参照）へプログラム・カウンタ（PC）およびプログラム・ステータス・ワード（PSW）を書き込んでしまい、CPUがデッドロックしてしまったり、端子から予期しない信号を出力したり、RAMが実装されていないアドレスへPCやPSWを書き込むことにより、ノンマスクابل割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。
- したがって、 $\overline{\text{RESET}}$ 解除後のプログラムは必ず次のようにしてください。

```
CSEG AT 0
DW  STRT
CSEG BASE

STRT :
LOCATION 0FH ; or LOCATION 0
MOVG SP, imm24
```

22.7 マスカブル割り込みの受け付け動作

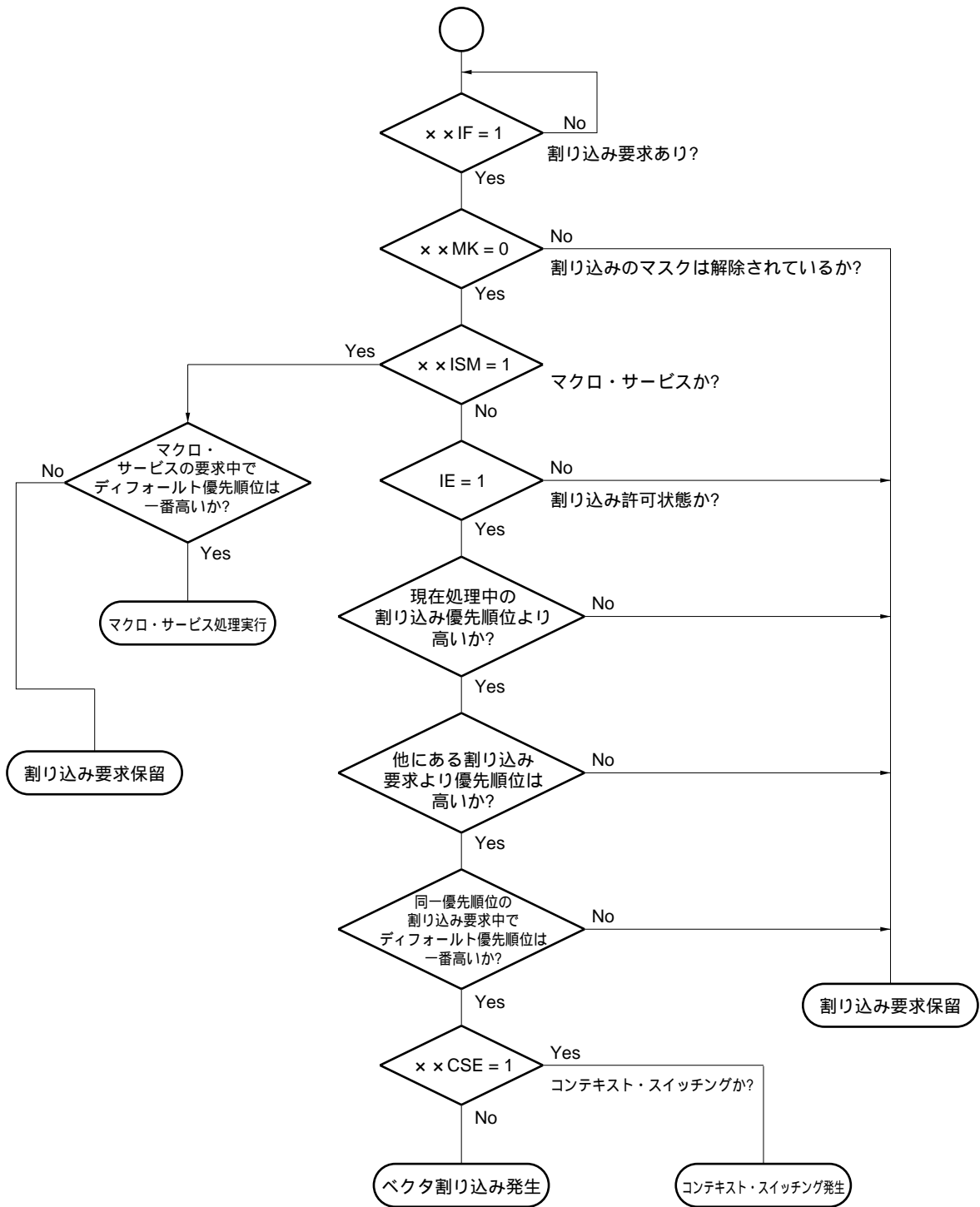
マスカブル割り込みは、割り込み要求フラグがセット（1）され、その割り込みのマスク・フラグがクリア（0）されていると受け付けが可能な状態になります。マクロ・サービスで処理を行う場合は、ただちに受け付けられ、マクロ・サービスによる処理が行われます。ベクタ割り込みまたはコンテキスト・スイッチングの場合は、割り込み許可状態（IEフラグがセット（1）されているとき）で、その割り込みの優先順位が、受け付け可能な優先順位であれば受け付けます。

マスカブル割り込みの要求が同時に発生した場合は、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、同一優先順に指定されている場合はデフォルト優先順位に従います。

保留された割り込みは受け付け可能な状態になると受け付けられます。

図22 - 10に、割り込み受け付けのアルゴリズムを示します。

図22 - 10 割り込み要求受け付け処理アルゴリズム



22.7.1 ベクタ割り込み

ベクタ割り込みによるマスカブル割り込みの要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順にスタックに退避し、IEフラグをクリア (0) (割り込み禁止状態) にし、受け付けた割り込みの優先順位に該当するインサービス・プライオリティ・レジスタ (ISPR) のビットをセット (1) します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。ベクタ割り込みからの復帰は、RETI命令で行います。

注意 マスカブル割り込みをベクタ割り込みで受け付けた場合は、必ずRETI命令で復帰してください。他の命令では、以降の割り込みに関する動作が正常に行われません。

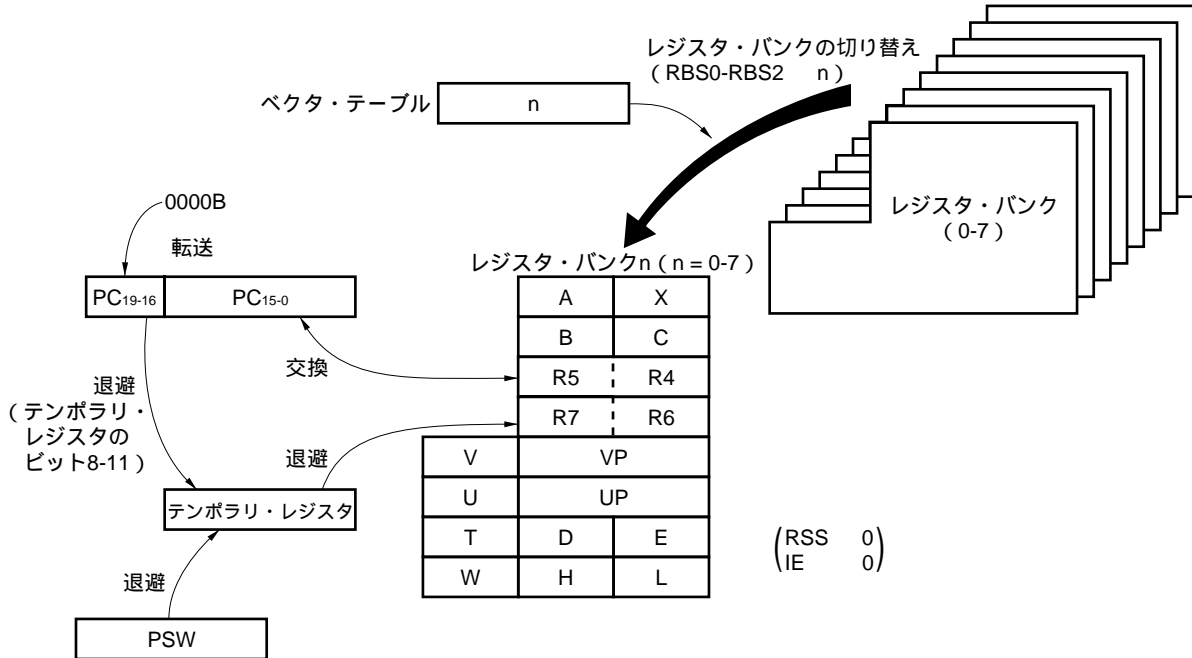
22.7.2 コンテキスト・スイッチング

割り込み制御レジスタのコンテキスト・スイッチング許可フラグをセット (1) することにより、コンテキスト・スイッチング機能の起動を許可します。

コンテキスト・スイッチング機能が許可されている割り込み要求が受け付けられると、対応するベクタ・テーブル・アドレスの下位アドレス (偶数アドレス) の下位3ビットで指定されるレジスタ・バンクが選択されます。

選択されたレジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスをプログラム・カウンタ (PC) に転送すると同時に、それまでのPC、プログラム・ステータス・ワード (PSW) の内容をレジスタ・バンク内に退避し、割り込みサービス・プログラムに分岐します。

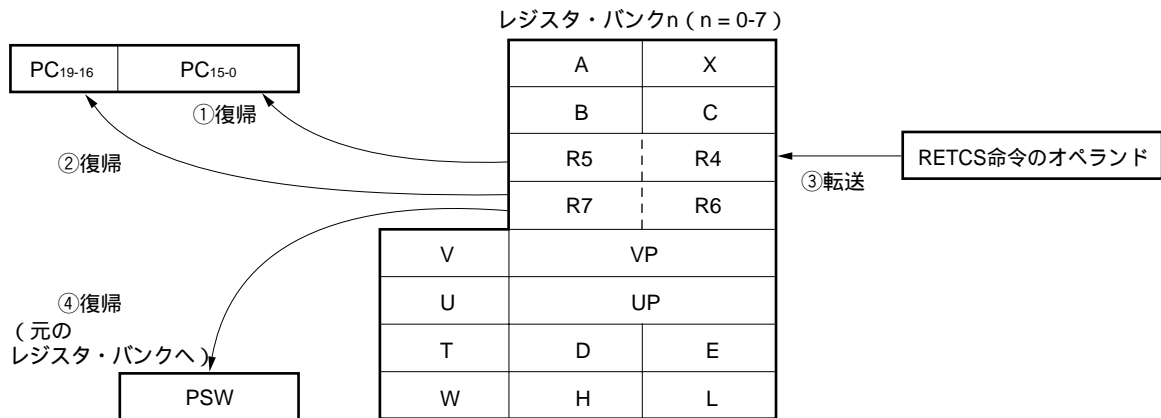
図22 - 11 割り込み要求の発生によるコンテキスト・スイッチング動作



コンテキスト・スイッチング機能を使用した割り込みからの復帰には、RETCS命令を使用します。RETCS命令では、次にその割り込みを受け付けたときに実行する割り込みサービス・プログラムの先頭アドレスを指定する必要があります。この割り込みサービス・プログラムの先頭アドレスは、ベース領域内になければいけません。

注意 コンテキスト・スイッチングによる割り込みからの復帰には、必ずRETCS命令を使用してください。他の命令では、以降の割り込みに関する動作が正常に行われません。

図22 - 12 RETCS命令によるコンテキスト・スイッチング機能を使用した割り込みからの復帰動作



22.7.3 マスカブル割り込みの優先順位

μPD784956Aは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、優先順位指定フラグの設定によるプログラマブル優先順位制御があります。デフォルト優先順位による優先順位制御は、複数の割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位（デフォルト優先順位）に従って割り込み処理を行います（表22 - 2 参照）。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって、4 レベルに分けます。多重割り込み可能な割り込み要求を表22 - 5 に示します。

なお、割り込みを受け付けるとIEフラグが自動的にクリア（0）されますので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどして、IEフラグをセット（1）し、割り込み許可状態にしてください。

表22 - 5 多重割り込み処理

現在受け付け中の割り込みの優先順位	ISPRの値	PSWのIEフラグ	IMCのPRSLフラグ	受け付け可能なマスカブル割り込み
受け付け中の割り込みなし	00000000	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマスカブル割り込み
3	00001000	0	×	・すべてのマクロ・サービスのみ
		1	0	・すべてのマスカブル割り込み
		1	1	・すべてのマクロ・サービス ・優先順位を0, 1, 2に指定したマスカブル割り込み
2	0000 × 100	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマクロ・サービス ・優先順位を0, 1に指定したマスカブル割り込み
1	0000 × × 10	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマクロ・サービス ・優先順位を0に指定したマスカブル割り込み
0	0000 × × × 1	×	×	・すべてのマクロ・サービスのみ
ノンマスカブル割り込み	1000 × × × × 0100 × × × × 1100 × × × ×	×	×	・すべてのマクロ・サービスのみ

図22 - 13 割り込み処理中に他の割り込み要求が発生した場合の処理例 (1/3)

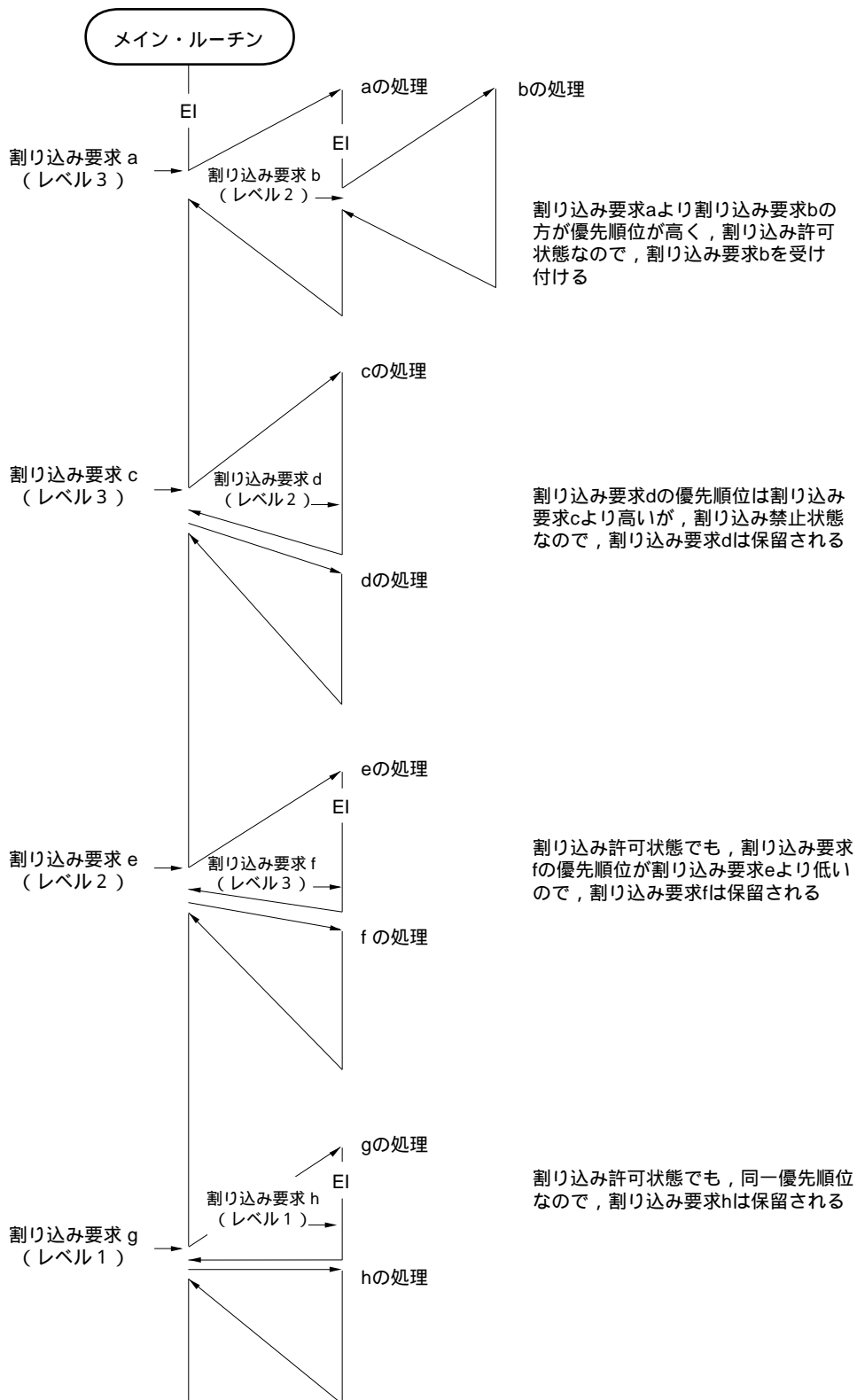


図22 - 13 割り込み処理中に他の割り込み要求が発生した場合の処理例 (2/3)

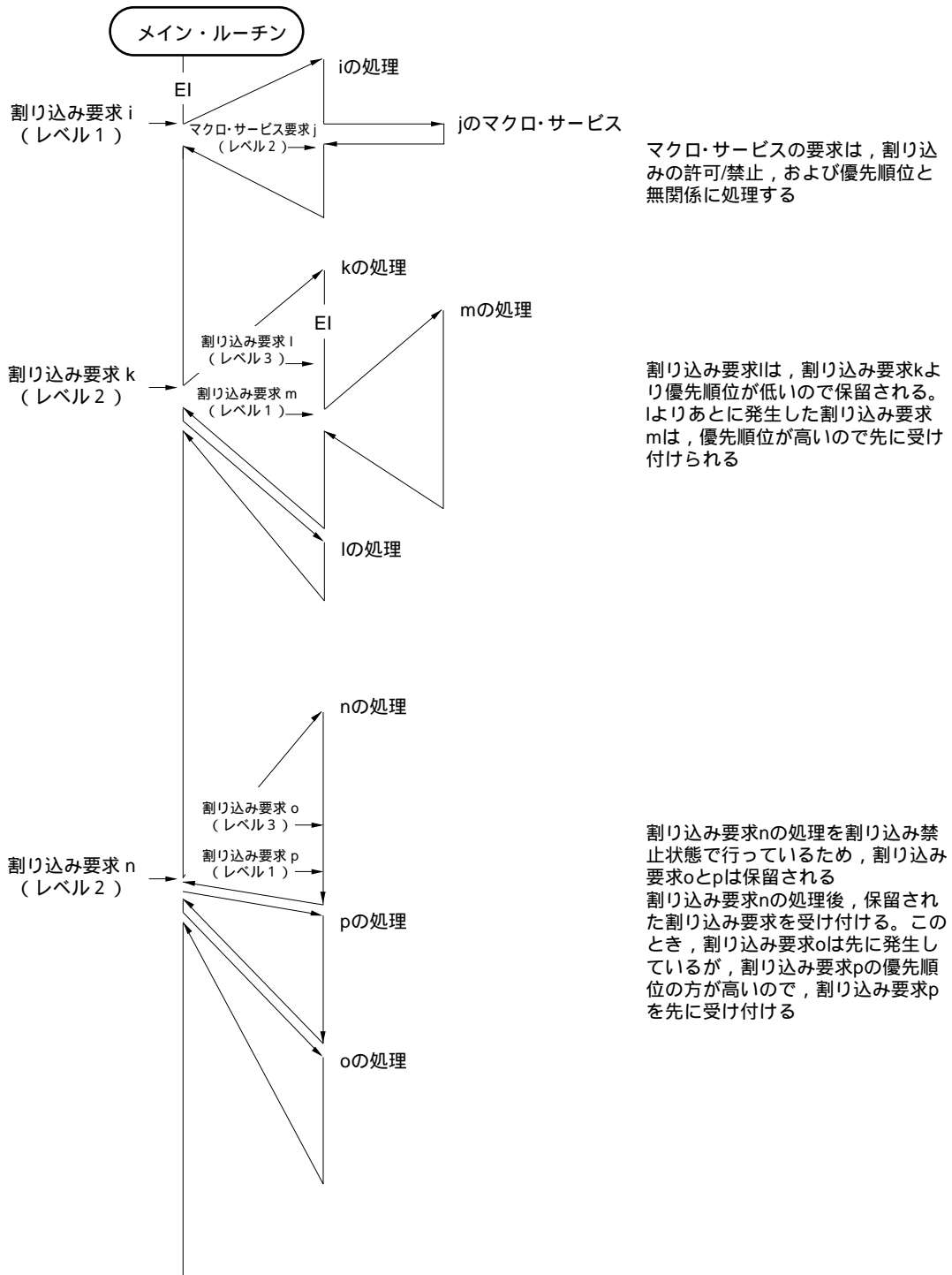
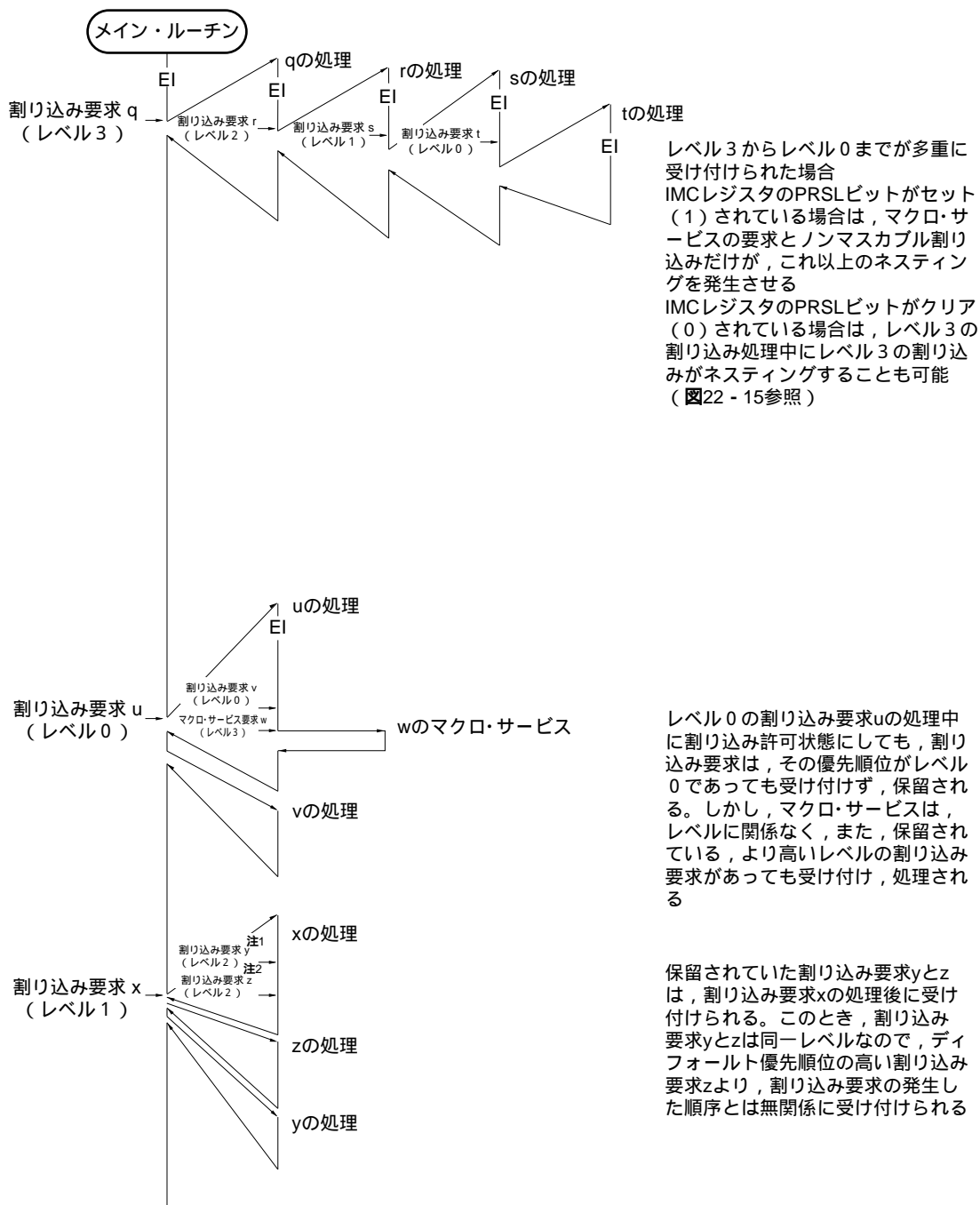


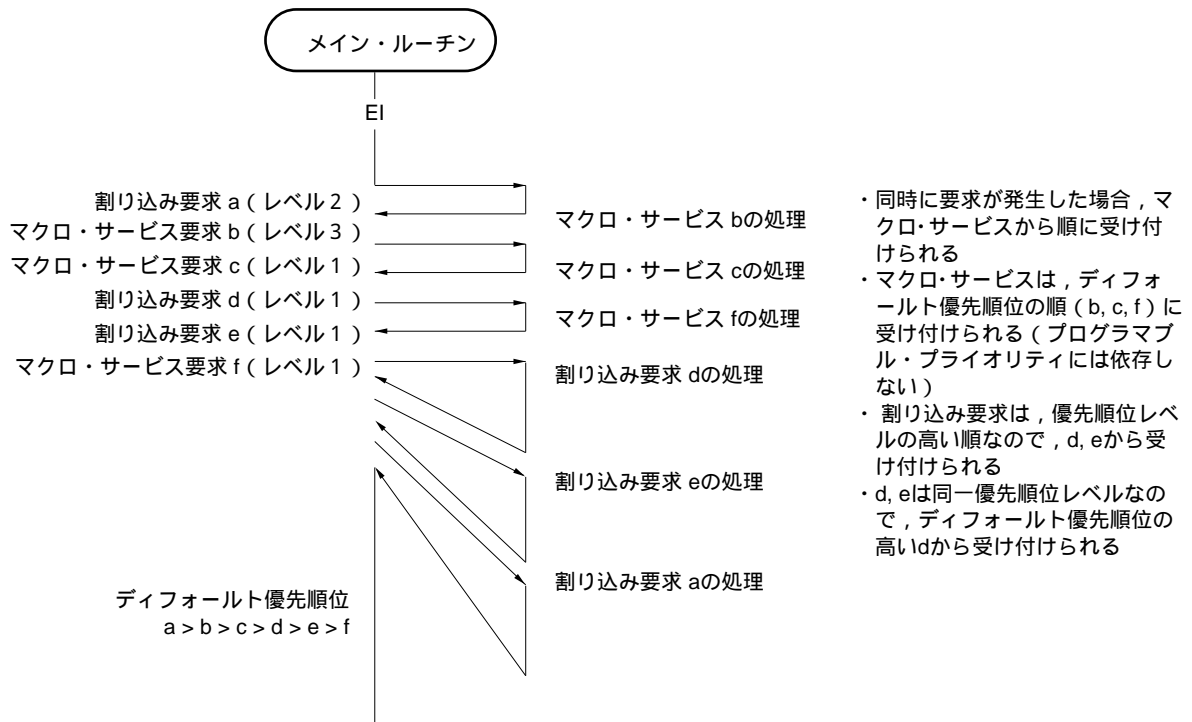
図22 - 13 割り込み処理中に他の割り込み要求が発生した場合の処理例 (3/3)



- 注1 . デフォルト優先順位が低い
- 2 . デフォルト優先順位が高い

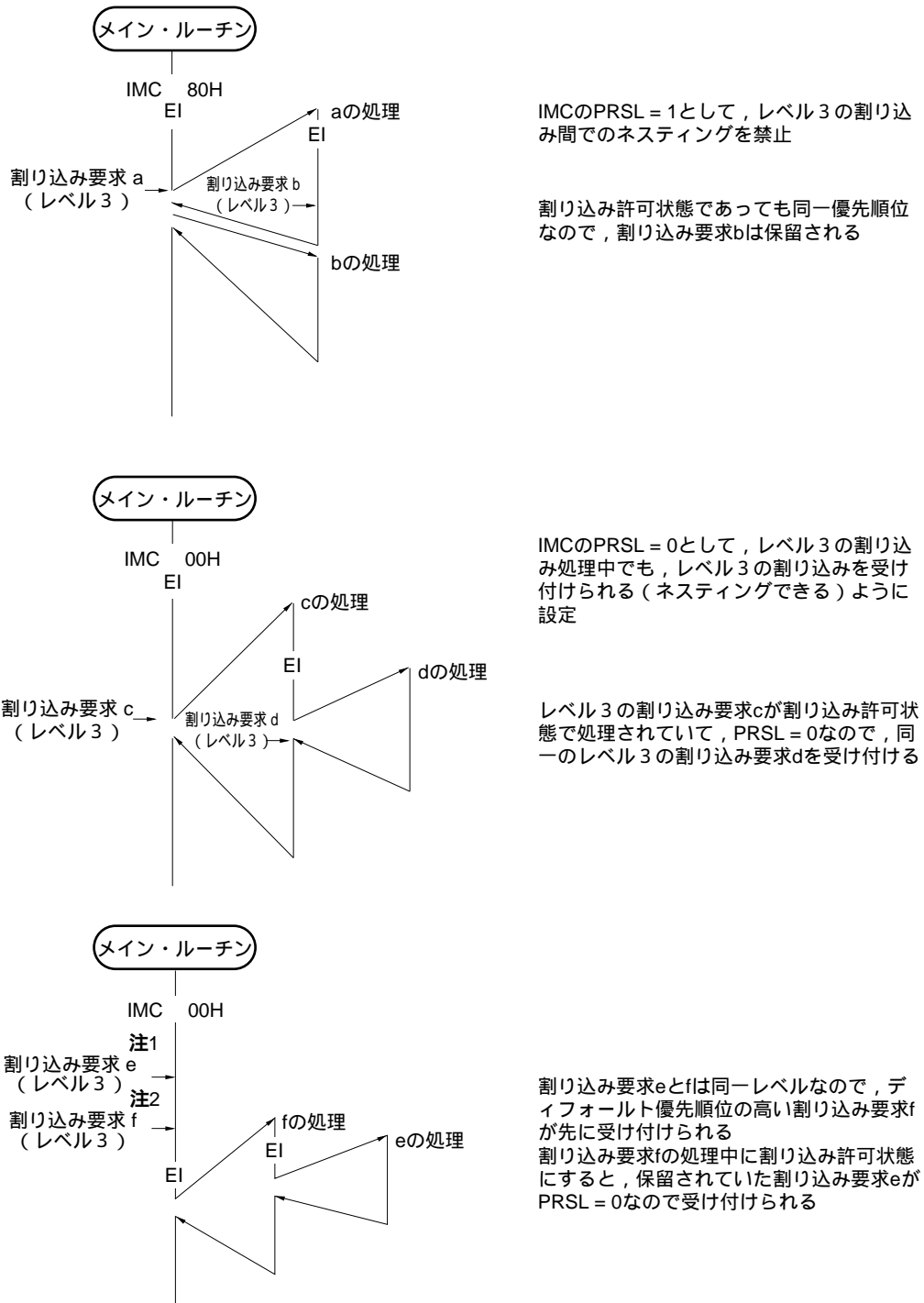
- 備考1 . 図中のa-zは、割り込み要求およびマクロ・サービス要求を区別するためにつけた仮の名称です。
- 2 . 図中のデフォルト優先順位の高い / 低いは、2つの割り込み要求間の相対的な優先順位の高さを示します。

図22 - 14 同時発生した割り込み要求の処理例



備考 図中のa-fは、割り込み要求およびマクロ・サービス要求を区別するためにつけた仮の名称です。

図22 - 15 IMCの設定によるレベル3の割り込みの受け付け動作の違い



- 注1．デフォルト優先順位が低い
2．デフォルト優先順位が高い

- 備考1．図中のa-fは、割り込み要求を区別するためにつけた仮の名称です。
2．図中のデフォルト優先順位の高い/低いは、2つの割り込み要求間の相対的な優先順位の高さを示します。

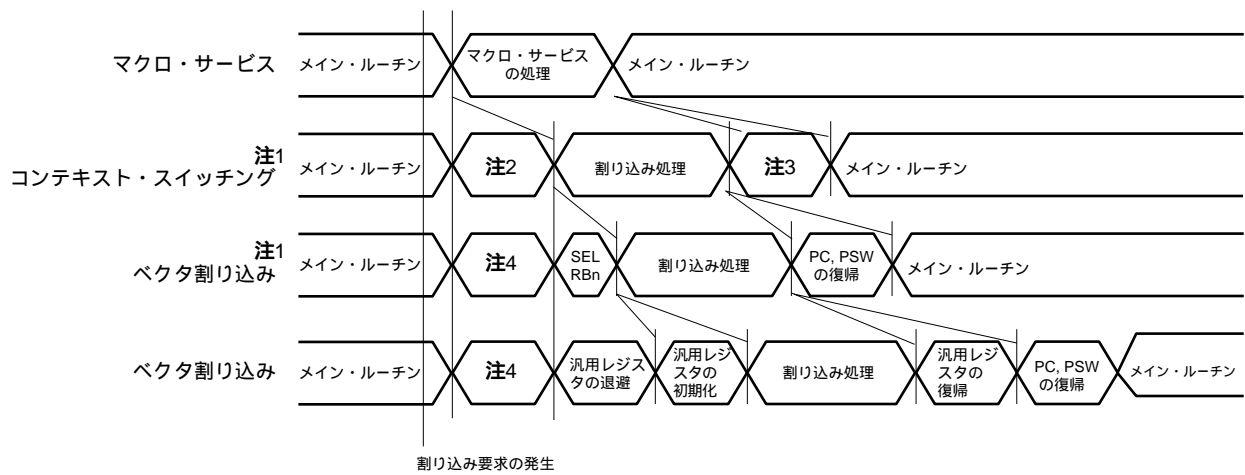
22.8 マクロ・サービス機能

22.8.1 マクロ・サービスの概要

マクロ・サービスは、割り込みの処理方法の一つです。通常の割り込みではプログラム・カウンタ (PC) やプログラム・ステータス・ワード (PSW) を退避し、PCへ割り込みサービス・プログラムの先頭アドレスをロードしますが、これらの処理の代わりに別の処理 (主にデータ転送) を行います。したがって、割り込みの要求に対して高速に応答することができます。さらに、プログラムで行うより高速に転送処理が可能なので、処理時間も短縮することができます。

また、指定された回数の処理を行ったあと、ベクタ割り込みを発生しますので、ベクタ割り込みのプログラムが簡略化できるなどの効果もあります。

図22 - 16 ベクタ割り込みとマクロ・サービスの処理の違い



注1．レジスタ・バンク切り替えを使用した場合で、レジスタにはあらかじめ初期値が設定されているとき

2．コンテキスト・スイッチングによるレジスタ・バンクの切り替え, PC, PSWの退避

3．コンテキスト・スイッチングによるレジスタ・バンク, PC, PSWの復帰

4．PC, PSWをスタックへ退避, ベクタ・アドレスをPCへロード

22.8.2 マクロ・サービスの種類

マクロ・サービスは表22 - 6に示す26種類の割り込みで使用することができます。また、4種類の動作タイプがあり、用途により使い分けが可能です。

表22 - 6 マクロ・サービスが使用可能な割り込み

デフォルト 優先順位	割り込み要求発生ソース	発生ユニット	マクロ・サービス・ コントロール・ ワード・アドレス
0	INTP0 (端子入力エッジ検出)	エッジ検出	0FE06H
1	INTP1 (")		0FE08H
2	INTP2/INTTM41 (端子入力エッジ検出/TM4-CR41一致信号)	エッジ検出 / TM4	0FE0AH
3	INTP3 (端子入力エッジ検出)	エッジ検出	0FE0CH
4	INTP4 (")		0FE0EH
5	INTP5/INTTM51 (端子入力エッジ検出/TM5-CR51一致信号)	エッジ検出 / TM5	0FE10H
6	INTP6 (端子入力エッジ検出)	エッジ検出	0FE12H
7	INTTM00 (TM0-CR00一致信号)	TM0	0FE14H
8	INTTM01 (TM0-CR01 ")		0FE16H
9	INTTM10 (TM1-CR10 ")	TM1	0FE18H
10	INTTM11 (TM1-CR11 ")		0FE1AH
11	INTTM20 (TM2-CR20 ")	TM2	0FE1CH
12	INTTM21 (TM2-CR21 ")		0FE1EH
13	INTTM30 (TM3-CR30 ")	TM3	0FE20H
14	INTTM31 (TM3-CR31 ")		0FE22H
15	INTTM40 (TM4-CR40 ")	TM4	0FE24H
16	INTTM42 (TM4-CR42 ")		0FE26H
17	INTTM50 (TM5-CR50 ")	TM5	0FE28H
18	INTTM52 (TM5-CR52 ")		0FE2AH
19	INTTM6 (TM6-CR6 ")	TM6	0FE2CH
20	INTTM7 (TM7-CR7 ")	TM7	0FE2EH
21	INTSER1 (UART受信エラー)	UART	0FE30H
22	INTSR1 (UART受信終了)		0FE32H
23	INTST1 (UART送信終了)		0FE34H
24	INTCSI0 (クロック同期式シリアル・インターフェース送受信終了)	CSI	0FE36H
25	INTAD (A/D変換終了)	A/Dコンバータ	0FE38H

備考1. デフォルト優先順位は、固定されている数値です。同一優先順位に指定された複数の割り込み要求が同時に発生した場合に優先される順位を示します。

2. TM : タイマ / カウンタ
 CR (00, 01, 40, 41, 42, 50) : キャプチャ / コンペア・レジスタ
 CR (10, 11, 20, 21, 30, 31, 52, 6, 7) : コンペア・レジスタ
 UART : アシクロナス・シリアル・インターフェース
 CSI : クロック同期式シリアル・インターフェース

マクロ・サービスの種類は次の4タイプです。

(1) タイプA

割り込み要求の発生ごとに1バイトまたは1ワードのデータを特殊機能レジスタ(SFR)とメモリとの間で行い、指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるメモリは、LOCATION 0命令実行時は0FE00H-0FEFFH、LOCATION 0FH命令実行時は0FFE00H-0FEFFHの内部RAMに限定されます。

指定の方法が簡単で小容量の高速のデータ転送に向いています。

(2) タイプB

タイプAと同様に、割り込み要求の発生ごとに、1バイトまたは1ワードのデータを特殊機能レジスタ(SFR)とメモリとの間で行い、指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるSFRとメモリはマクロ・サービス・チャンネルで指定します(メモリは、1Mバイトの全空間)。

タイプAの汎用タイプで、転送データ量が多い場合に向いています。

(3) タイプC

割り込み要求の発生ごとに、2つの特殊機能レジスタ(SFR)へメモリからデータ転送します。指定された回数のデータ転送を行うと、ベクタ割り込みを発生します。

タイプCのマクロ・サービスは一度の割り込み要求で2箇所へのデータ転送を行うことのほかに、出力データのリング制御やコンペア・レジスタとデータを自動的に加算する機能などを付加して使用することもできます。メモリについては、1Mバイトの全空間を使用できます。

タイプCは、おもにINTTM30、INTTM6、INTTM50、INTTM7の割り込みで使用し、転送対象となるSFRとしては、RTBLまたはRTBHとCR30、CR6、CR50、CR7を用いてマクロ・サービスでステップング・モータの制御などに使用します。

表22-7 タイプCの主な使用例

割り込み	出力データ	コンペア・レジスタ
INTTM30	RTBH0またはRTBL0	CR30
INTTM6	RTBH0	CR6
INTTM50	RTBH1またはRTBL1	CR50
INTTM7	RTBH1	CR7

(4) カウンタ・モード

割り込み発生によって、マクロ・サービス・カウンタ(MSC)をデクリメントしていくモードで、割り込みの分周動作や、割り込み発生回路のカウント用として使用することができます。

MSCが0になるとベクタ割り込みを発生させることができます。

マクロ・サービスを再起動するときは、MSCの再設定が必要です。

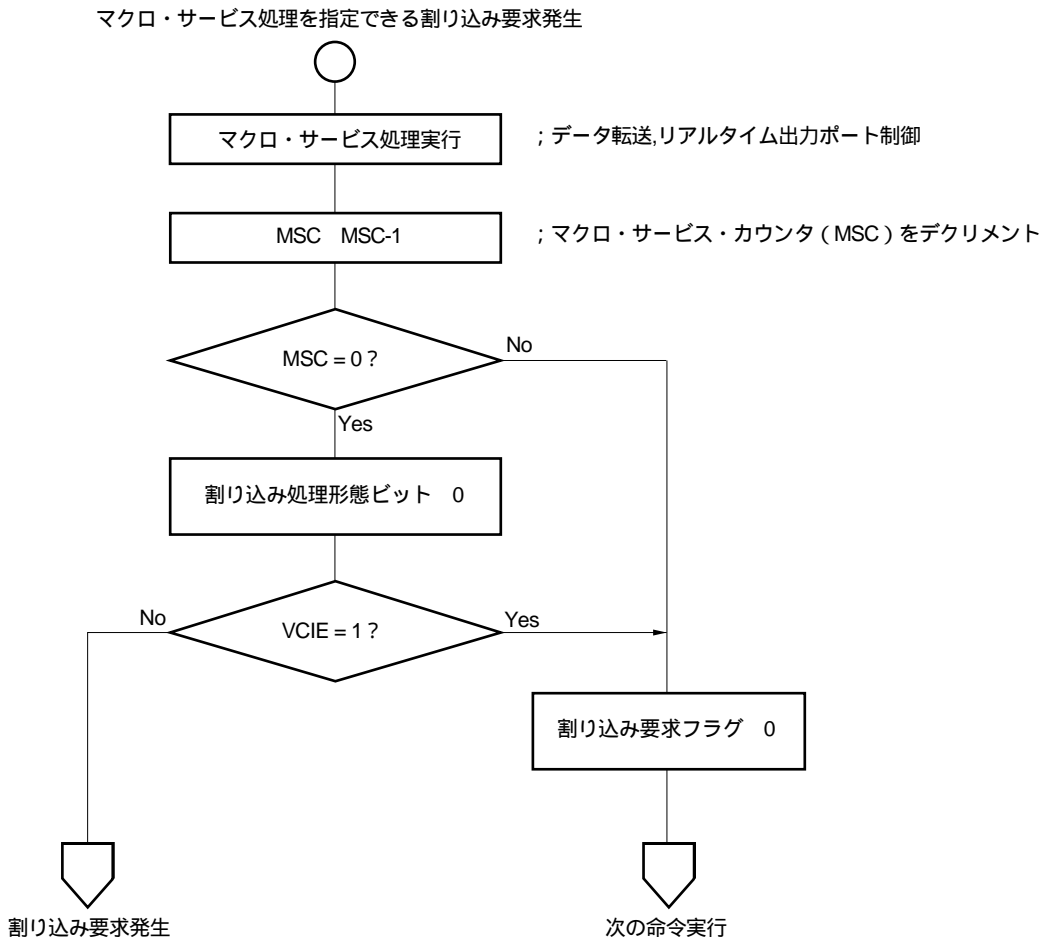
MSCは16ビットに固定で、8ビット・カウンタにすることはできません。

22.8.3 マクロ・サービスの基本動作

図22 - 10で示すアルゴリズムで発生したマクロ・サービス処理を指定できる割り込み要求は、基本的には図22 - 17に示すシーケンスで処理されます。

マクロ・サービス処理を指定できる割り込み要求は、IEフラグの状態には影響されません。割り込みマスク・レジスタ (MK0) の割り込みマスク・フラグのセット (1) によってのみ禁止されます。割り込み禁止状態、また割り込み処理プログラム実行中でもマクロ・サービス処理は実行できます。

図22 - 17 マクロ・サービス処理シーケンス



マクロ・サービスは、マクロ・サービス・コントロール・ワードのモード・レジスタに設定された値により、マクロ・サービスのタイプや転送方向などを決定します。その後、チャンネル・ポインタで指定されるマクロ・サービス・チャンネルをマクロ・サービスのタイプに従って使用して転送処理を行います。

マクロ・サービス・チャンネルは、転送回数を記憶するマクロ・サービス・カウンタや転送先や転送元のポインタやデータ・バッファが配置されているメモリで、LOCATION 0 命令実行時にはFE00H-FEFFFH、LOCATION 0FH 命令実行時にはFFE00H-FFEFFFHの中の任意のアドレスに配置することが可能です。

22.8.4 マクロ・サービス終了時の動作

マクロ・サービスは、他のプログラムの実行中に指定された回数の処理を行います。指定された回数の処理を行うと（マクロ・サービス・カウンタ（MSC）が0になると）、マクロ・サービスは終了します。このときの動作には2通りあり、マクロ・サービスごとのマクロ・サービス・モード・レジスタのビット7にあるVCIEビットでその動作を指定します。

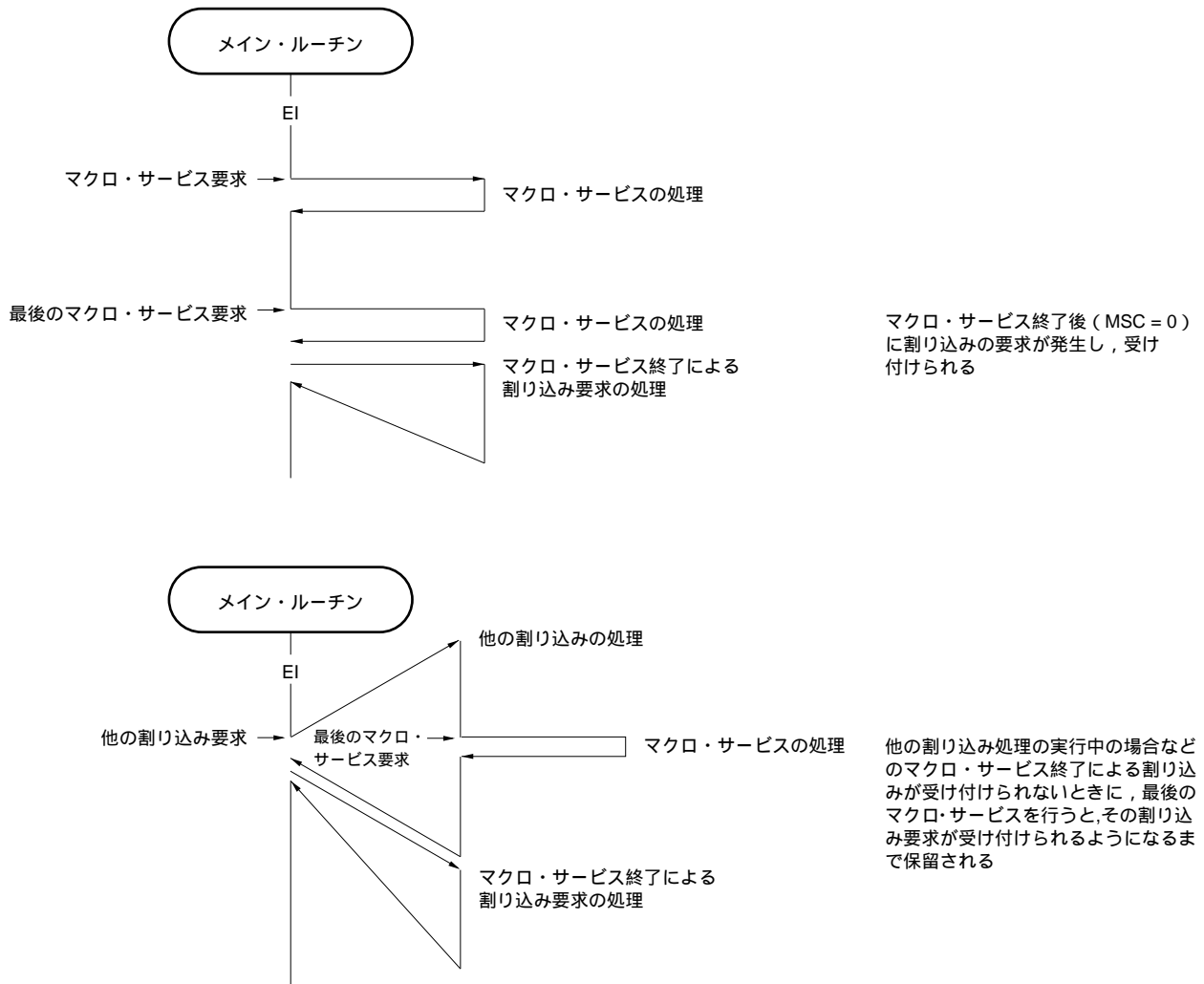
（1）VCIEビットが0の場合

マクロ・サービスの終了後、ただちに割り込みの要求を発生するモードです。図22 - 18に、VCIEビットが0の場合のマクロ・サービスおよび割り込みの受け付けの動作例を示します。

このモードは、最後に行ったマクロ・サービスの処理によって、一連の動作が終了する場合などに使用します。主な使用例を次に示します。

- ・アシンクロナス・シリアル・インタフェースの受信データをバッファリングする場合（INTSR1）
- ・A/D変換結果の取り込み（INTAD）
- ・タイマ・レジスタとコンペア・レジスタの一致によるコンペア・レジスタの更新時（INTTM00, INTTM01, INTTM10, INTTM11, INTTM20, INTTM21, INTTM30, INTTM31, INTTM40, INTTM41, INTTM42, INTTM50, INTTM52, INTTM6, INTTM7）

図22 - 18 VCIE = 0のときのマクロ・サービス終了時の動作



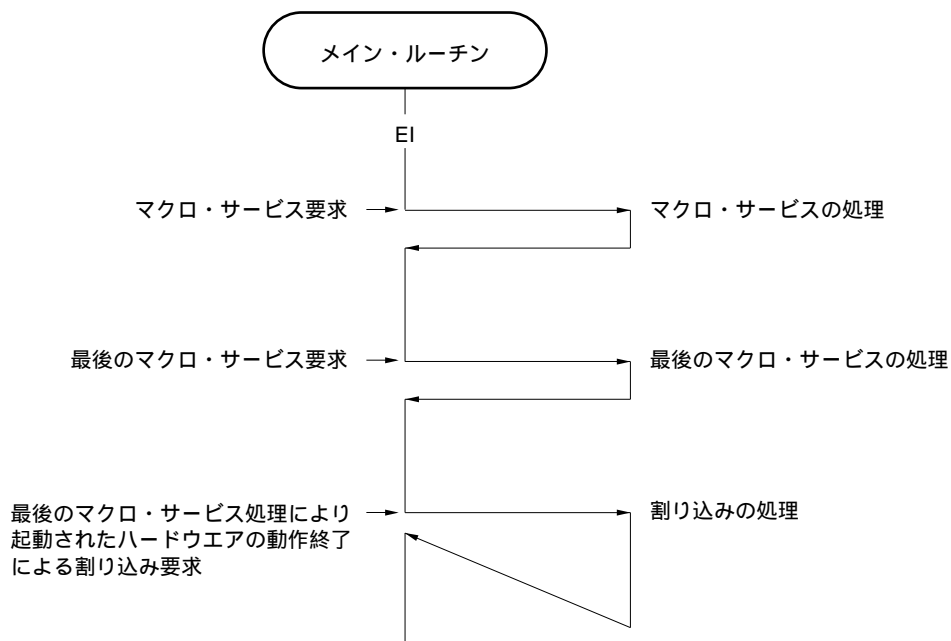
(2) VCIEビットが1の場合

マクロ・サービスの終了後、割り込みの要求を発生しないモードです。図22 - 19に、VCIEビットが1の場合のマクロ・サービスおよび割り込みの受け付けの動作例を示します。

このモードは、最後に行ったマクロ・サービスの処理によって、最後の動作を開始させる場合などに使用します。主な使用例を次に示します。

- ・クロック同期式シリアル・インタフェースによるデータ転送 (INTCSI0)
- ・アシンクロナス・シリアル・インタフェースによるデータの送信 (INTST1)
- ・リアルタイム出力ポートとタイマ/カウンタを使用したマクロ・サービス・タイプCによるステッピング・モータの制御時に、ステッピング・モータを停止させる場合 (INTTM6, INTTM7, INTTM30, INTTM50)

図22 - 19 VCIE = 1 のときのマクロ・サービス終了時の動作



22.8.5 マクロ・サービス制御レジスタ

(1) マクロ・サービス・コントロール・ワード

μPD784956Aのマクロ・サービス機能は、マクロ・サービス・モード・レジスタとマクロ・サービス・チャンネル・ポインタで制御されます。マクロ・サービス・モード・レジスタによってマクロ・サービス処理モードを設定し、マクロ・サービス・チャンネル・ポインタによってマクロ・サービス・チャンネルのアドレスを指し示します。

マクロ・サービス・モード・レジスタとマクロ・サービス・チャンネル・ポインタは、マクロ・サービス・コントロール・ワードとして、各マクロ・サービスごと、図22 - 20に示すように内部RAMの一部にマッピングされています。

マクロ・サービス処理を行うとき、マクロ・サービス処理を指定できる割り込み要求に対応するマクロ・サービス・モード・レジスタとチャンネル・ポインタの値を設定しておく必要があります。

図22 - 20 マクロ・サービス・コントロール・ワードのフォーマット

予約語	アドレス		要因
ADCHP	0FE39H	チャンネル・ポインタ	} INTAD
ADMMD	0FE38H	モード・レジスタ	
CSICHP0	0FE37H	チャンネル・ポインタ	} INTCSI0
CSIMMD0	0FE36H	モード・レジスタ	
STCHP1	0FE35H	チャンネル・ポインタ	} INTST1
STMMD1	0FE34H	モード・レジスタ	
SRCHP1	0FE33H	チャンネル・ポインタ	} INTSR1
SRMMD1	0FE32H	モード・レジスタ	
SERCHP1	0FE31H	チャンネル・ポインタ	} INTSER1
SERMMD1	0FE30H	モード・レジスタ	
TMCHP7	0FE2FH	チャンネル・ポインタ	} INTTM7
TMMMD7	0FE2EH	モード・レジスタ	
TMCHP6	0FE2DH	チャンネル・ポインタ	} INTTM6
TMMMD6	0FE2CH	モード・レジスタ	
TMCHP52	0FE2BH	チャンネル・ポインタ	} INTTM52
TMMMD52	0FE2AH	モード・レジスタ	
TMCHP50	0FE29H	チャンネル・ポインタ	} INTTM50
TMMMD50	0FE28H	モード・レジスタ	
TMCHP42	0FE27H	チャンネル・ポインタ	} INTTM42
TMMMD42	0FE26H	モード・レジスタ	
TMCHP40	0FE25H	チャンネル・ポインタ	} INTTM40
TMMMD40	0FE24H	モード・レジスタ	
TMCHP31	0FE23H	チャンネル・ポインタ	} INTTM31
TMMMD31	0FE22H	モード・レジスタ	
TMCHP30	0FE21H	チャンネル・ポインタ	} INTTM30
TMMMD30	0FE20H	モード・レジスタ	
TMCHP21	0FE1FH	チャンネル・ポインタ	} INTTM21
TMMMD21	0FE1EH	モード・レジスタ	
TMCHP20	0FE1DH	チャンネル・ポインタ	} INTTM20
TMMMD20	0FE1CH	モード・レジスタ	
TMCHP11	0FE1BH	チャンネル・ポインタ	} INTTM11
TMMMD11	0FE1AH	モード・レジスタ	
TMCHP10	0FE19H	チャンネル・ポインタ	} INTTM10
TMMMD10	0FE18H	モード・レジスタ	
TMCHP01	0FE17H	チャンネル・ポインタ	} INTTM01
TMMMD01	0FE16H	モード・レジスタ	
TMCHP00	0FE15H	チャンネル・ポインタ	} INTTM00
TMMMD00	0FE14H	モード・レジスタ	
PCHP6	0FE13H	チャンネル・ポインタ	} INTP6
PMMD6	0FE12H	モード・レジスタ	
PCHP5	0FE11H	チャンネル・ポインタ	} INTTM51/INTP5
PMMD5	0FE10H	モード・レジスタ	
PCHP4	0FE0FH	チャンネル・ポインタ	} INTP4
PMMD4	0FE0EH	モード・レジスタ	
PCHP3	0FE0DH	チャンネル・ポインタ	} INTP3
PMMD3	0FE0CH	モード・レジスタ	
PCHP2	0FE0BH	チャンネル・ポインタ	} INTTM41/INTP2
PMMD2	0FE0AH	モード・レジスタ	
PCHP1	0FE09H	チャンネル・ポインタ	} INTP1
PMMD1	0FE08H	モード・レジスタ	
PCHP0	0FE07H	チャンネル・ポインタ	} INTP0
PMMD0	0FE06H	モード・レジスタ	

(2) マクロ・サービス・モード・レジスタ

マクロ・サービス・モード・レジスタはマクロ・サービスの動作を指定する8ビット・レジスタです。マクロ・サービス・コントロール・ワードの一部として内部RAM上に書いておきます(図22-20参照)。

図22-21に、マクロ・サービス・モード・レジスタのフォーマットを示します。

図22-21 マクロ・サービス・モード・レジスタのフォーマット(1/2)

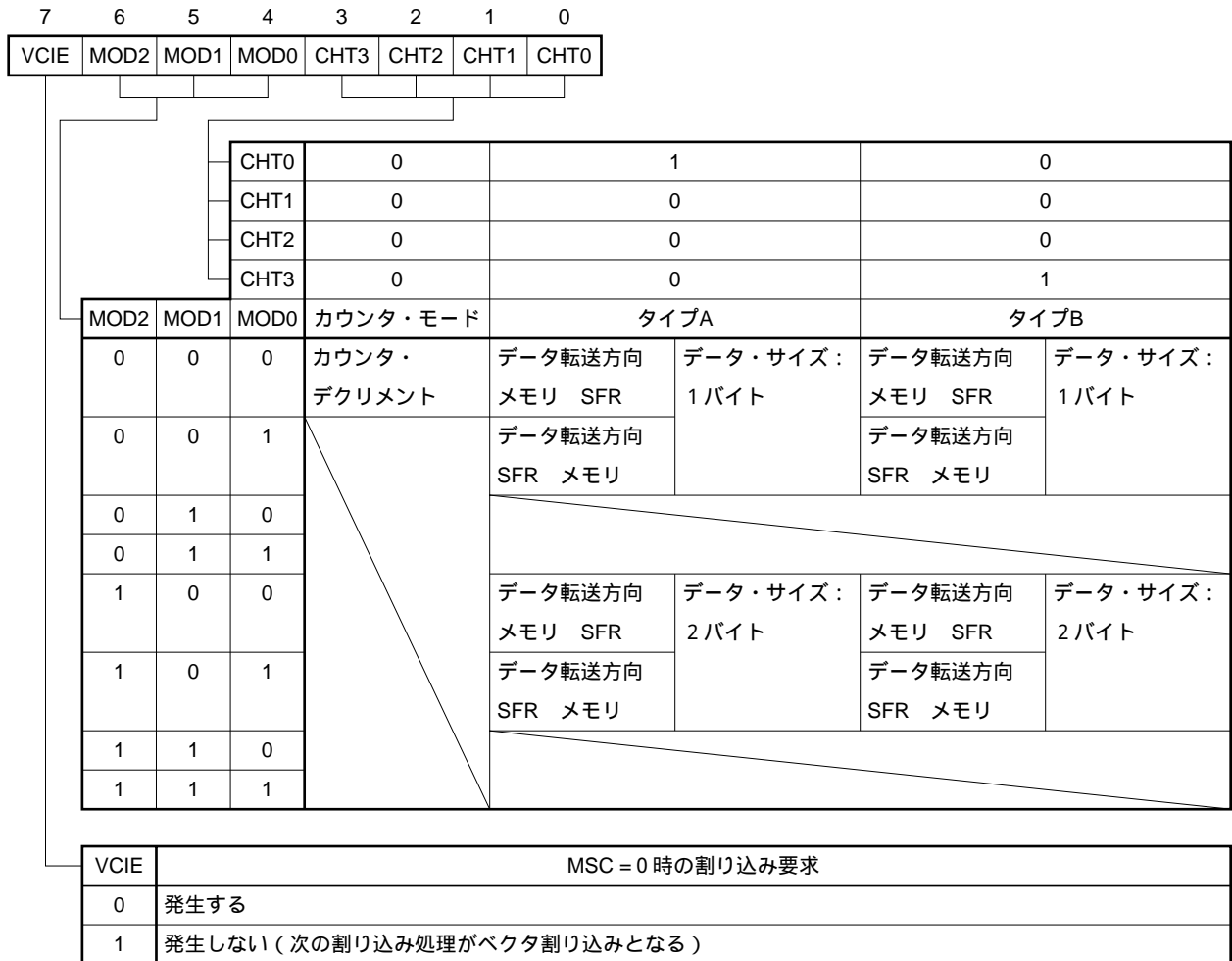


図22 - 21 マクロ・サービス・モード・レジスタのフォーマット (2/2)



(3) マクロ・サービス・チャンネル・ポインタ

マクロ・サービス・チャンネル・ポインタは、マクロ・サービス・チャンネルのアドレスを指定するポインタです。マクロ・サービス・チャンネルはLOCATION 0 命令実行時はFE00H-FEFFFH, LOCATION 0FH 命令実行時はFFE00H-FFEFFFHの256バイトの空間に配置可能で、アドレスの上位16ビットが固定です。したがって、マクロ・サービス・チャンネル・ポインタには、マクロ・サービス・チャンネルの最上位アドレスに格納されるデータの下位8ビットを設定します。

22.8.6 マクロ・サービス・タイプA

(1) 動作

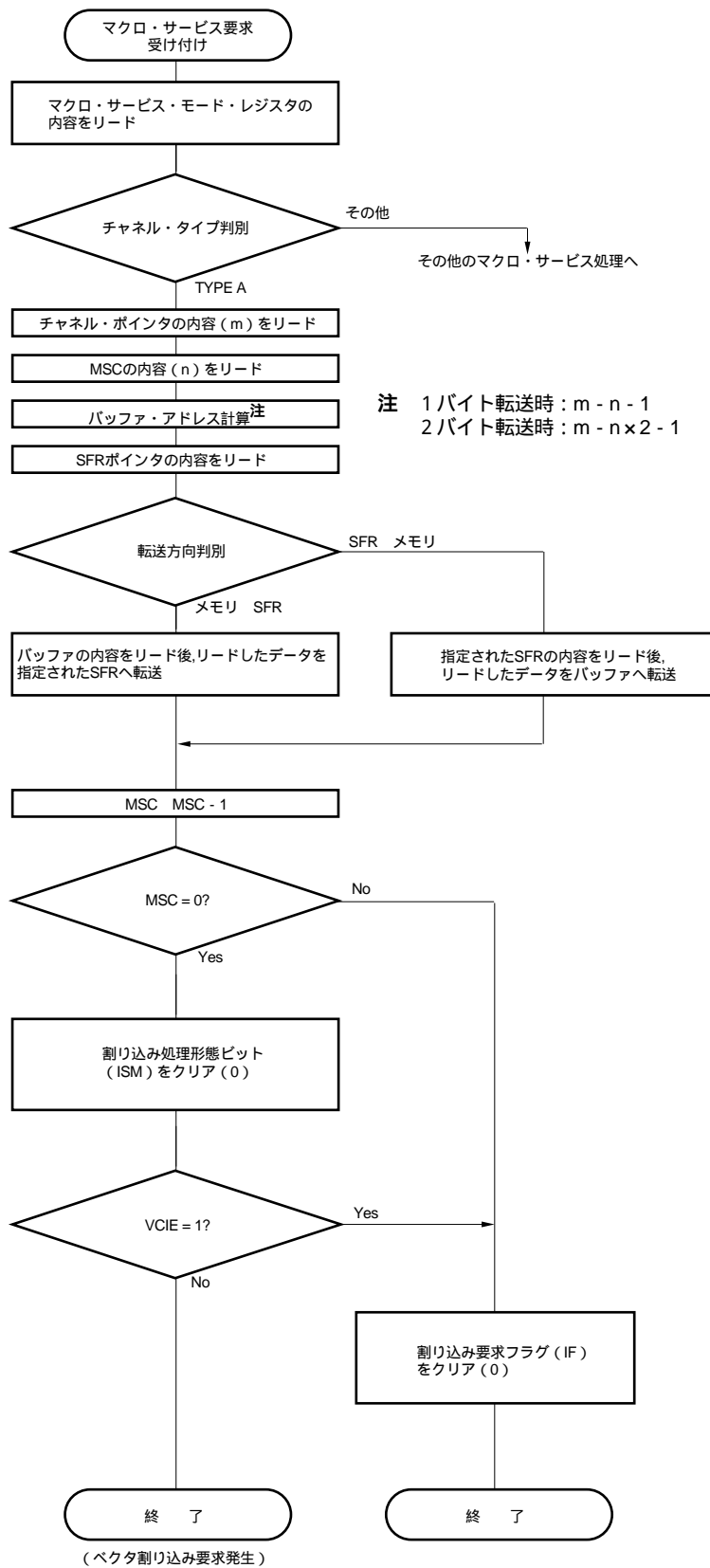
マクロ・サービス・チャンネル内のバッファ・メモリとマクロ・サービス・チャンネル内で指定されるSFRとの間でデータの転送を行います。

タイプAは、データの転送方向としてメモリからSFR、またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ、データ転送を行います。なお、1回のマクロ・サービス処理で8ビットまたは16ビットのデータが転送されます。

転送するデータ量が少ないときに、高速でデータ転送ができるので有効です。

図22 - 22 マクロ・サービス・データ転送処理フロー（タイプA）



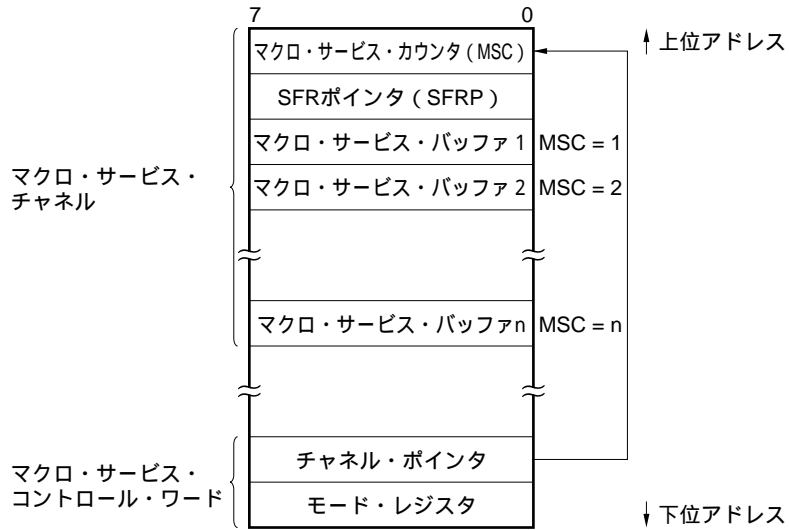
(2) マクロ・サービス・チャンネルの構成

チャンネル・ポインタと8ビットのマクロ・サービス・カウンタ(MSC)とで、転送元もしくは転送先となる内部RAM(LOCATION 0命令実行時:FE00H-FEFFFH, LOCATION 0FH命令実行時:FFE00H-FFEFFFH)上のバッファ・アドレスを示します(図22-23参照)。チャンネル・ポインタには、マクロ・サービス・チャンネル内にあるマクロ・サービス・カウンタのアドレスの下位8ビットを書き込みます。

アクセスの対象となるSFRは、SFRポインタ(SFRP)で指定します。SFRPには、SFRアドレスの下位8ビットを書き込みます。

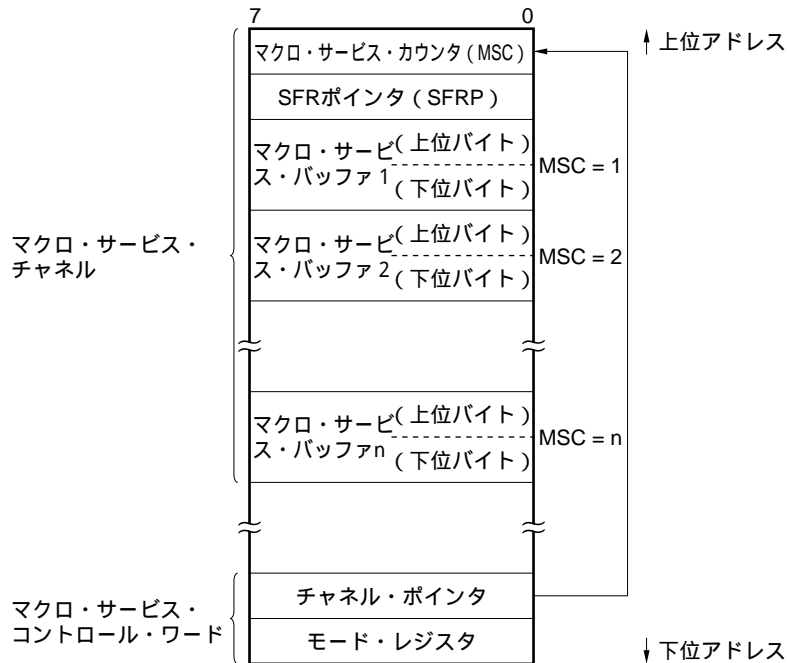
図22 - 23 タイプAのマクロ・サービス・チャンネル

(a) 1バイト転送時



$$\text{マクロ・サービス・バッファ・アドレス} = (\text{チャンネル・ポインタ}) - (\text{マクロ・サービス・カウンタ}) - 1$$

(b) 2バイト転送時

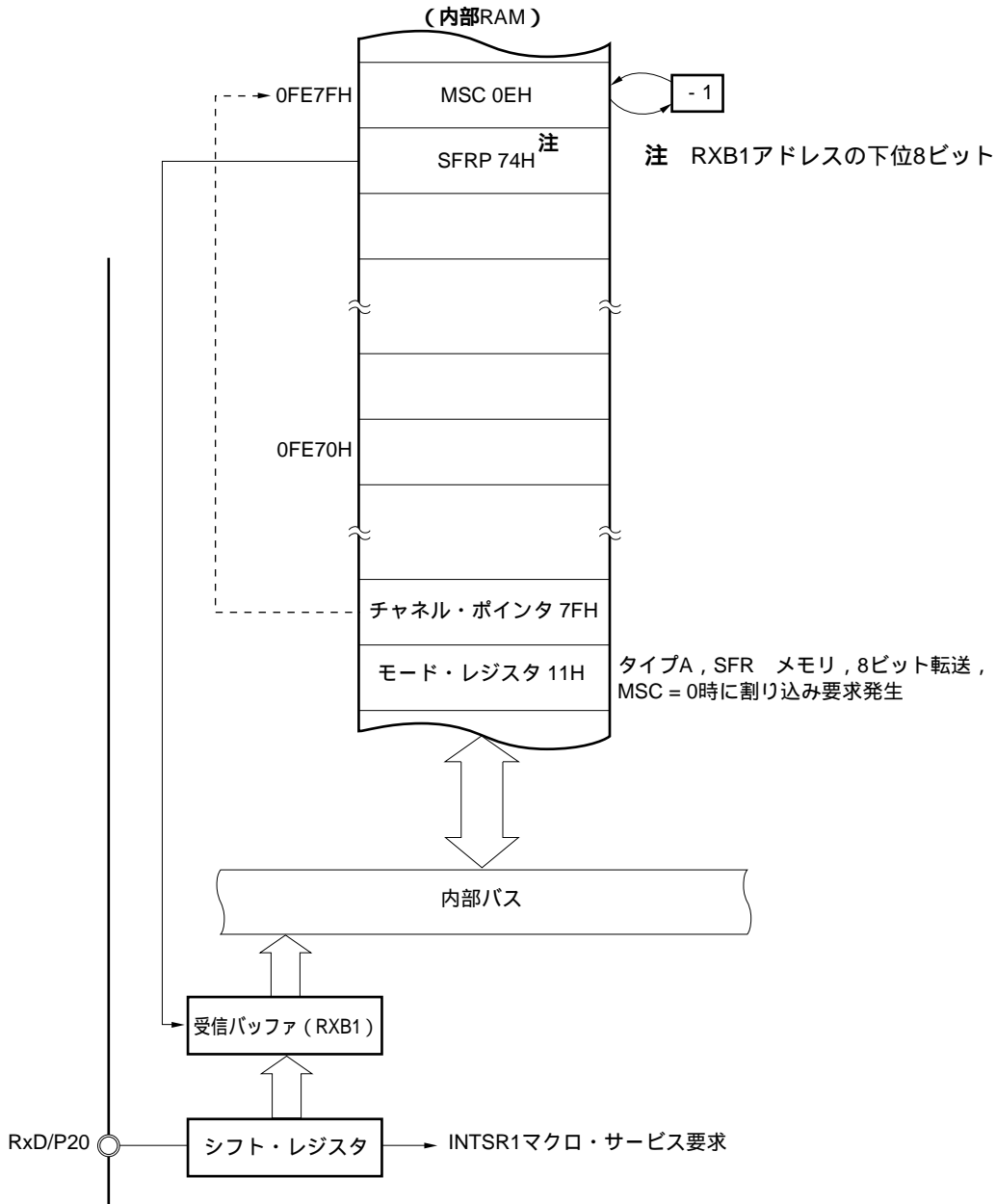


$$\text{マクロ・サービス・バッファ・アドレス} = (\text{チャンネル・ポインタ}) - (\text{マクロ・サービス・カウンタ}) \times 2 - 1$$

(3) タイプA使用例

アシンクロナス・シリアル・インタフェースにより受信したデータを内部RAM内のバッファ領域に転送する例を示します。

図22 - 24 アシンクロナス・シリアル受信



備考 図中のアドレスは、LOCATION 0 命令実行時の値です。
LOCATION 0FH命令実行時には、図中の値に0F0000Hを加えてください。

22.8.7 マクロ・サービス・タイプB

(1) 動作

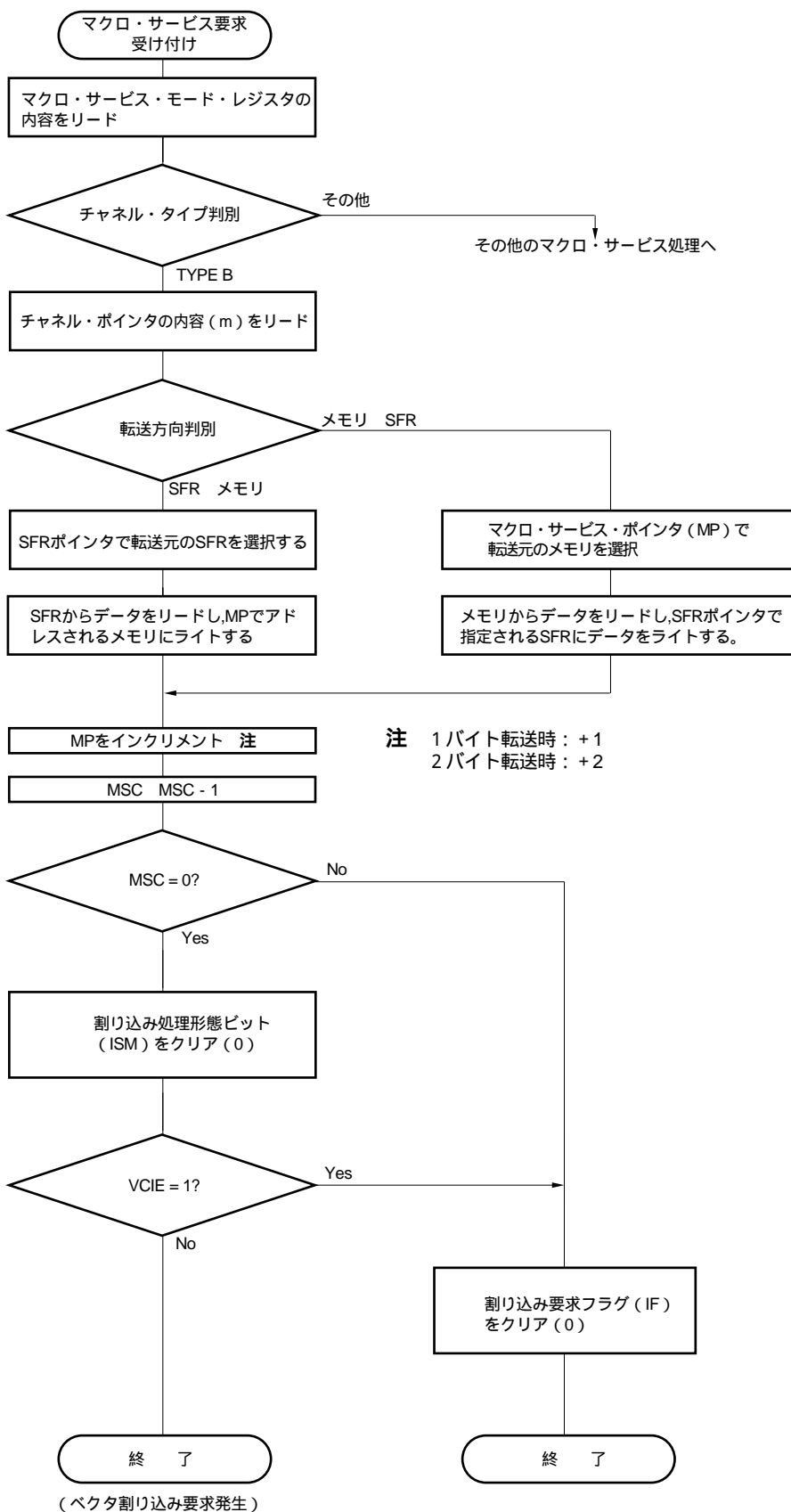
マクロ・サービス・チャンネルで指定されるメモリ内のデータ領域とSFRとの間でデータの転送を行います。

タイプBは、データの転送方向としてメモリからSFR、またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ、データ転送を行います。なお、1回のマクロ・サービス処理で8ビットまたは16ビットのデータが転送されます。

タイプAのマクロ・サービスを汎用的にしたタイプで、データ・バッファ領域として8ビット・データ転送時は最大64 Kバイト、16ビット・データ転送時は最大128 Kバイトまでの領域を1 Mバイトの任意のアドレス空間に持たせることができるため、大容量データの処理に最適です。

図22 - 25 マクロ・サービス・データ転送処理フロー（タイプB）



(2) マクロ・サービス・チャンネルの構成

マクロ・サービス・ポインタ (MP) は、転送先または転送元となる 1 Mメモリ空間内のデータ・バッファ領域を示します。

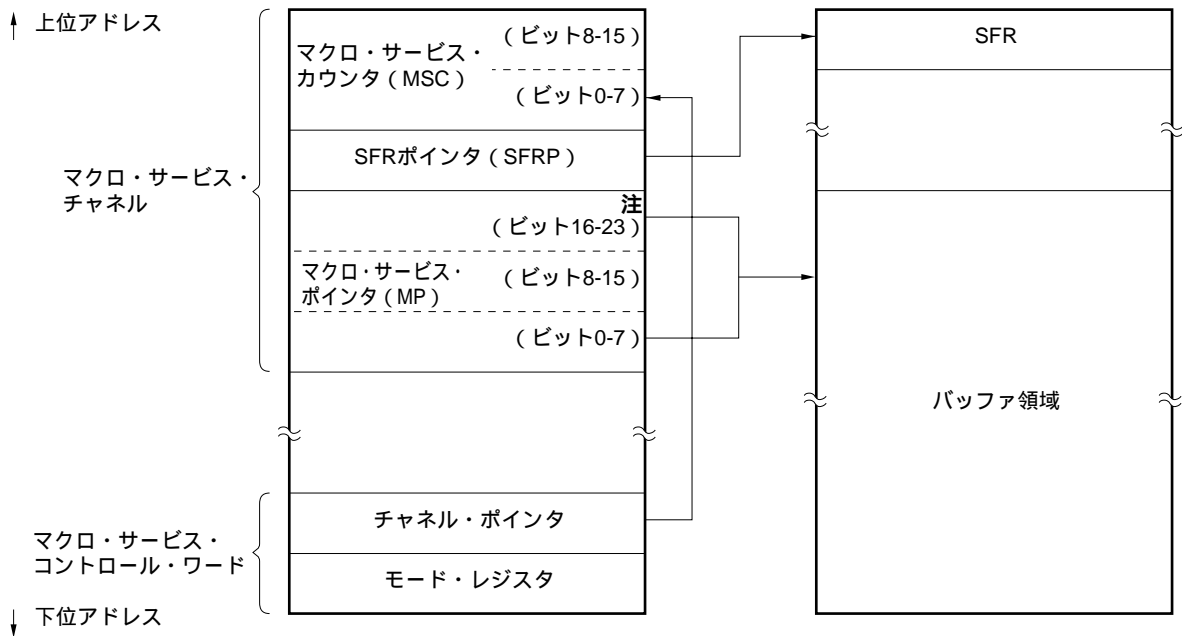
SFRポインタ (SFRP) には、転送先または転送元となるSFRのアドレスの下位 8 ビットを書き込みます。

マクロ・サービス・カウンタ (MSC) は、16ビットのカウンタでデータ転送の回数を指定します。

MP, SFRPおよびMSCを格納するマクロ・サービス・チャンネルは、LOCATION 0 命令実行時は、内部RAM空間の0FE00H-0FEFFH, LOCATION 0FH命令実行時は0FFE00H-0FFEFFHに配置します。

マクロ・サービス・チャンネルは、図22 - 26で示すようにチャンネル・ポインタで示します。チャンネル・ポインタには、マクロ・サービス・チャンネル内にあるマクロ・サービス・カウンタへアドレスの下位 8 ビットを書き込みます。

図22 - 26 タイプBのマクロ・サービス・チャンネル



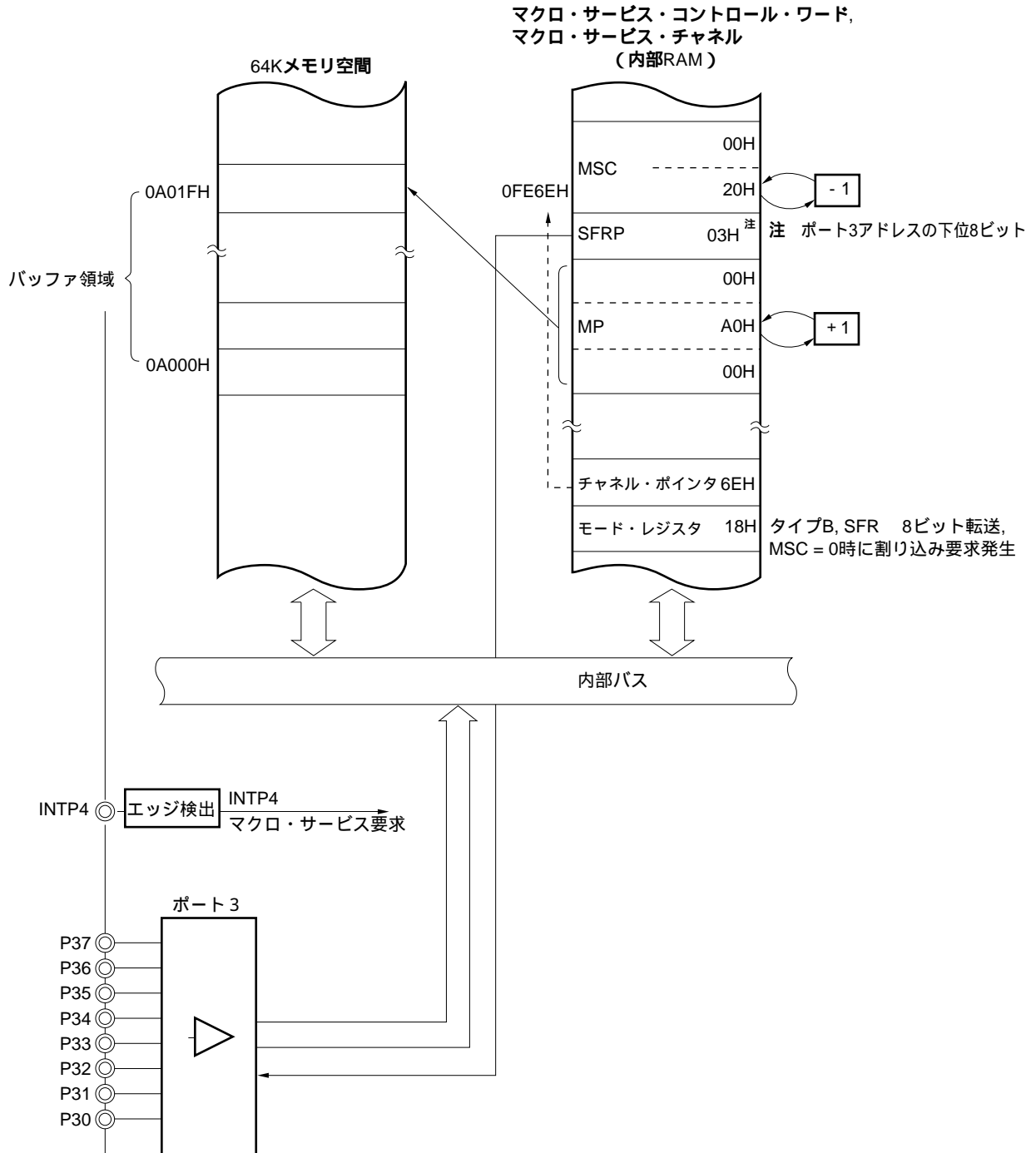
マクロ・サービス・バッファ・アドレス = マクロ・サービス・ポインタ

注 ビット20-23は必ず 0 にしてください。

(3) タイプB使用例

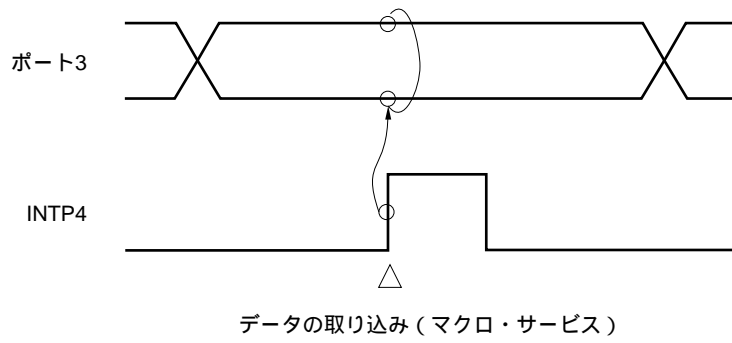
外部信号に同期してポート3から平行・データを入力する例を示します。外部信号との同期は外部割り込み端子 (INTP4) 入力を用います。

図22 - 27 外部割り込みに同期した平行・データ入力



備考 図中のマクロ・サービス・チャンネルのアドレスは、LOCATION 0命令実行時の値です。
LOCATION 0FH命令実行時には、図中の値に0F0000Hを加えてください。

図22 - 28 パラレル・データ入力のタイミング



22.8.8 マクロ・サービス・タイプC

(1) 動作

タイプCのマクロ・サービスは、1回の割り込みの要求でマクロ・サービス・チャンネルで指定されるタイマ用とデータ用の2つのSFRへ、マクロ・サービス・チャンネルで指定されるメモリ内のデータを転送します（SFRは自由に選択できます）。タイマ用のSFRは、8ビットまたは16ビットの選択が可能です。

タイプCのマクロ・サービスは、上記の基本的なデータ転送に加えて、バッファ領域の圧縮とソフトウェアの負担を軽減するために以下の機能を付加することができます。

これらの指定は、マクロ・サービス・コントロール・ワードのモード・レジスタで指定します。

(a) タイマ用マクロ・サービス・ポインタの更新

タイマ用のマクロ・サービス・ポインタ（MPT）を保持するか、インクリメント/デクリメントするかを選択できます。なお、インクリメント/デクリメントの方向は、データ用マクロ・サービス・ポインタ（MPD）と同じ方向になります。

(b) データ用マクロ・サービス・ポインタの更新

データ用のマクロ・サービス・ポインタ（MPD）をインクリメント/デクリメントするかを選択できます。

(c) 自動加算

タイマ用のマクロ・サービス・ポインタ（MPT）でアドレスされるデータと現在のコンペア・レジスタの値を加算して、加算結果をコンペア・レジスタへ転送します。

自動加算を指定しない場合は、MPTでアドレスされるデータをコンペア・レジスタに転送するだけです。

(d) リング制御

あらかじめ指定された長さの出力データ・パターンを自動的に繰り返し出力します。

図22 - 29 マクロ・サービス・データ転送処理フロー（タイプC）（1/2）

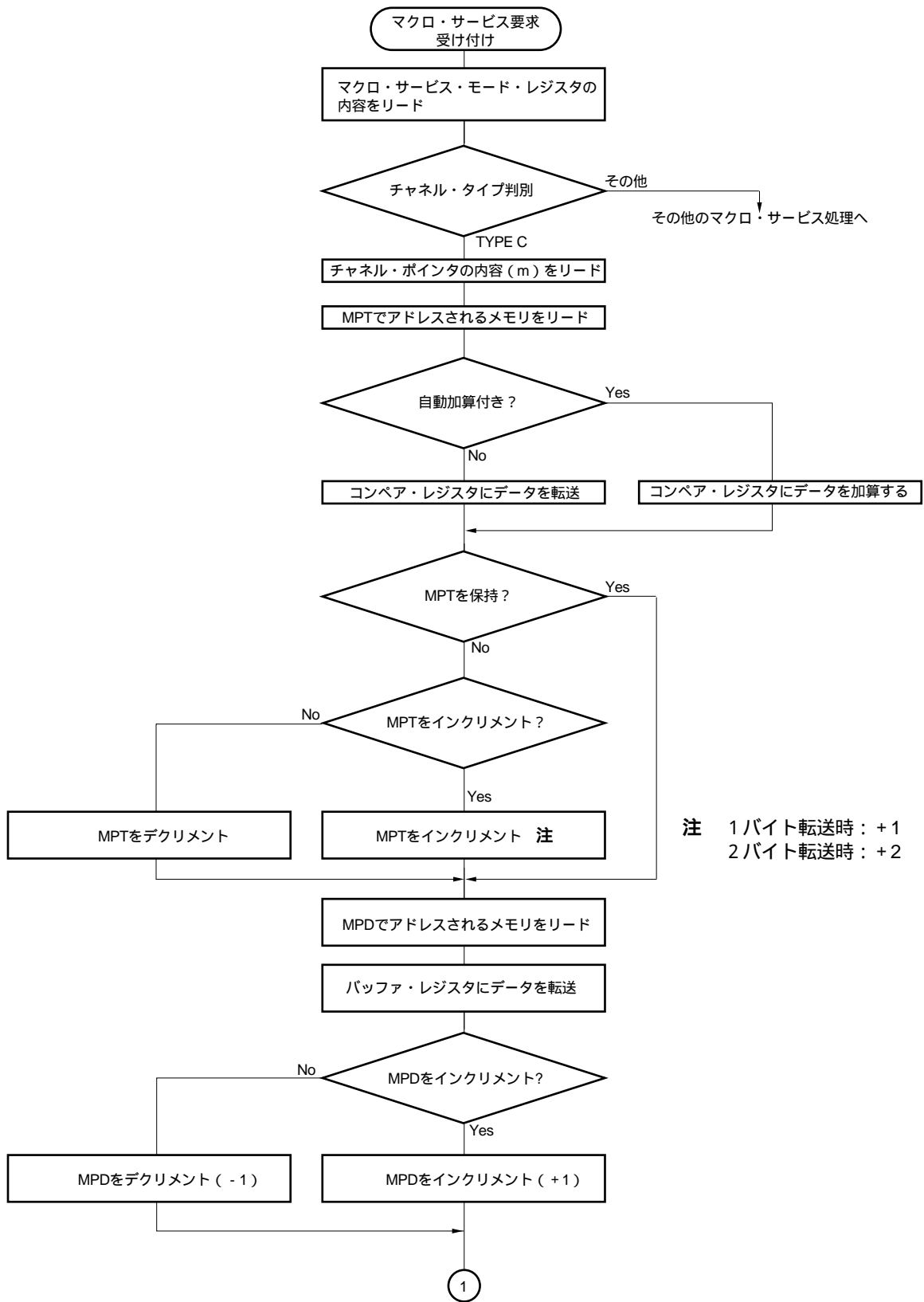
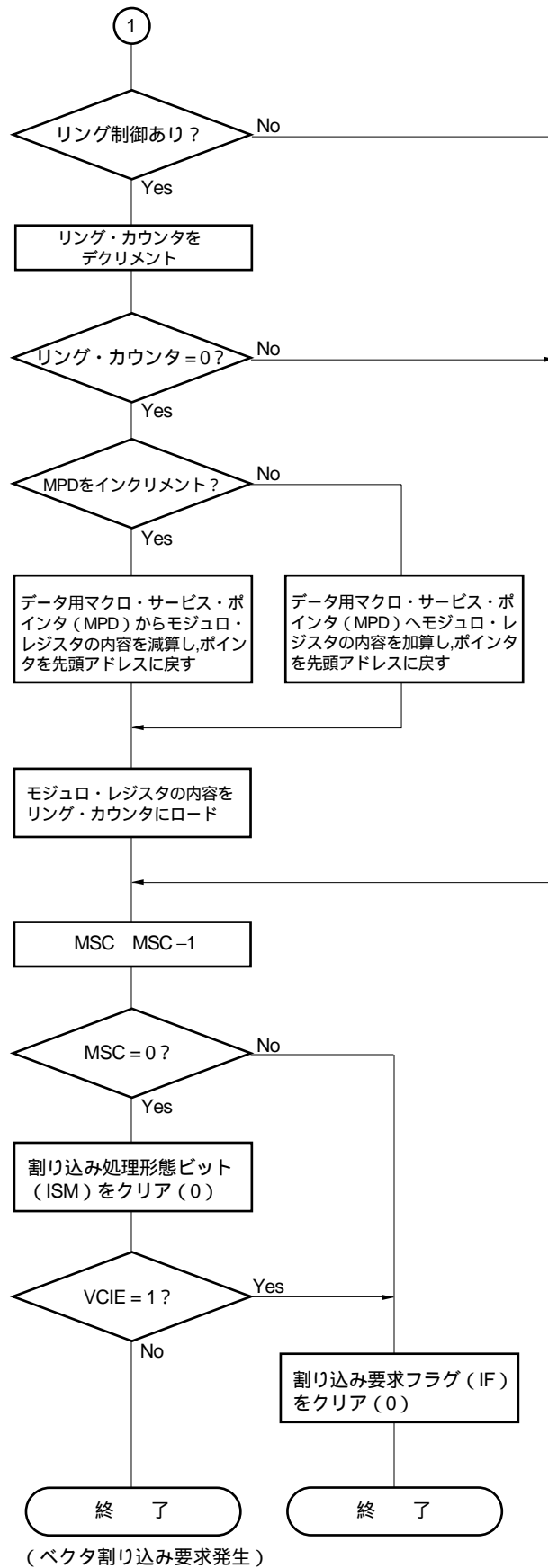


図22 - 29 マクロ・サービス・データ転送処理フロー（タイプC）（2/2）



(2) マクロ・サービス・チャンネルの構成

タイプCのマクロ・サービス・チャンネルには図22 - 30に示す2種類があります。

タイマ用マクロ・サービス・ポインタ (MPT) はおもにタイマ/カウンタのコンペア・レジスタに転送または加算する1Mメモリ空間内のデータ・バッファ領域を示します。

データ用マクロ・サービス・ポインタ (MPD) はリアルタイム出力ポートへ転送する1Mメモリ空間内のデータ・バッファ領域を示します。

モジュロ・レジスタ (MR) は、リング制御を使用するとき繰り返しのパターン数を指定します。

リング・カウンタ (RC) は、リング制御を使用するときのパターン内のステップを保持します。通常初期設定時は、MRと同じ値に設定します。

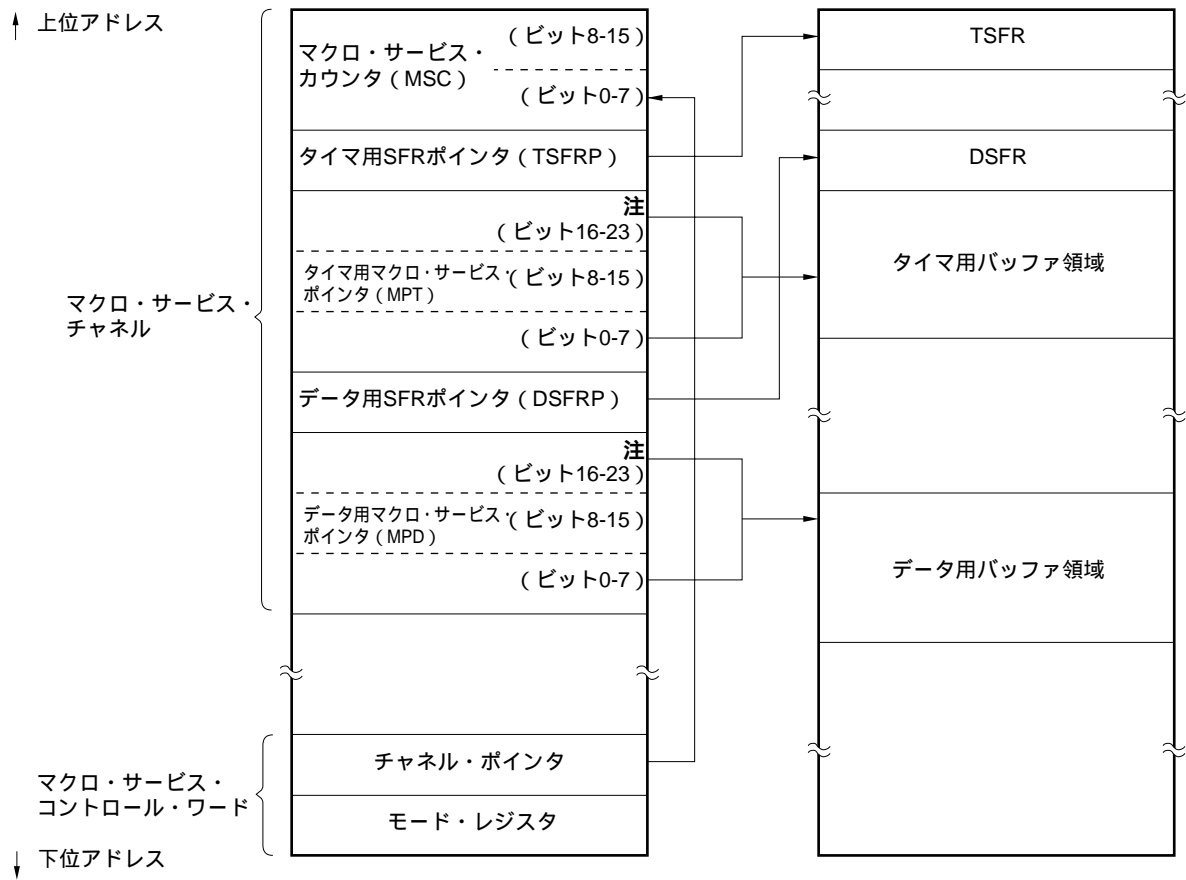
マクロ・サービス・カウンタ (MSC) は、16ビットのカウンタでデータの転送回数を指定します。

タイマ用SFRポインタ (TSFRP)、およびデータ用SFRポインタ (DSFRP) には、転送先となるSFRのアドレスの下位8ビットを書き込みます。

これらのポインタやカウンタを格納するマクロ・サービス・チャンネルは、LOCATION 0命令実行時は0FE00H-0FEFFHの内部RAM空間に、LOCATION 0FH命令実行時は0FFE00H-0FFEFFHの内部RAM空間に配置します。マクロ・サービス・チャンネルは、図22 - 30に示すようにチャンネル・ポインタで示します。チャンネル・ポインタには、マクロ・サービス・チャンネル内にあるマクロ・サービス・カウンタへアドレスの下位8ビットを書き込みます。

図22 - 30 タイプCのマクロ・サービス・チャンネル (1/2)

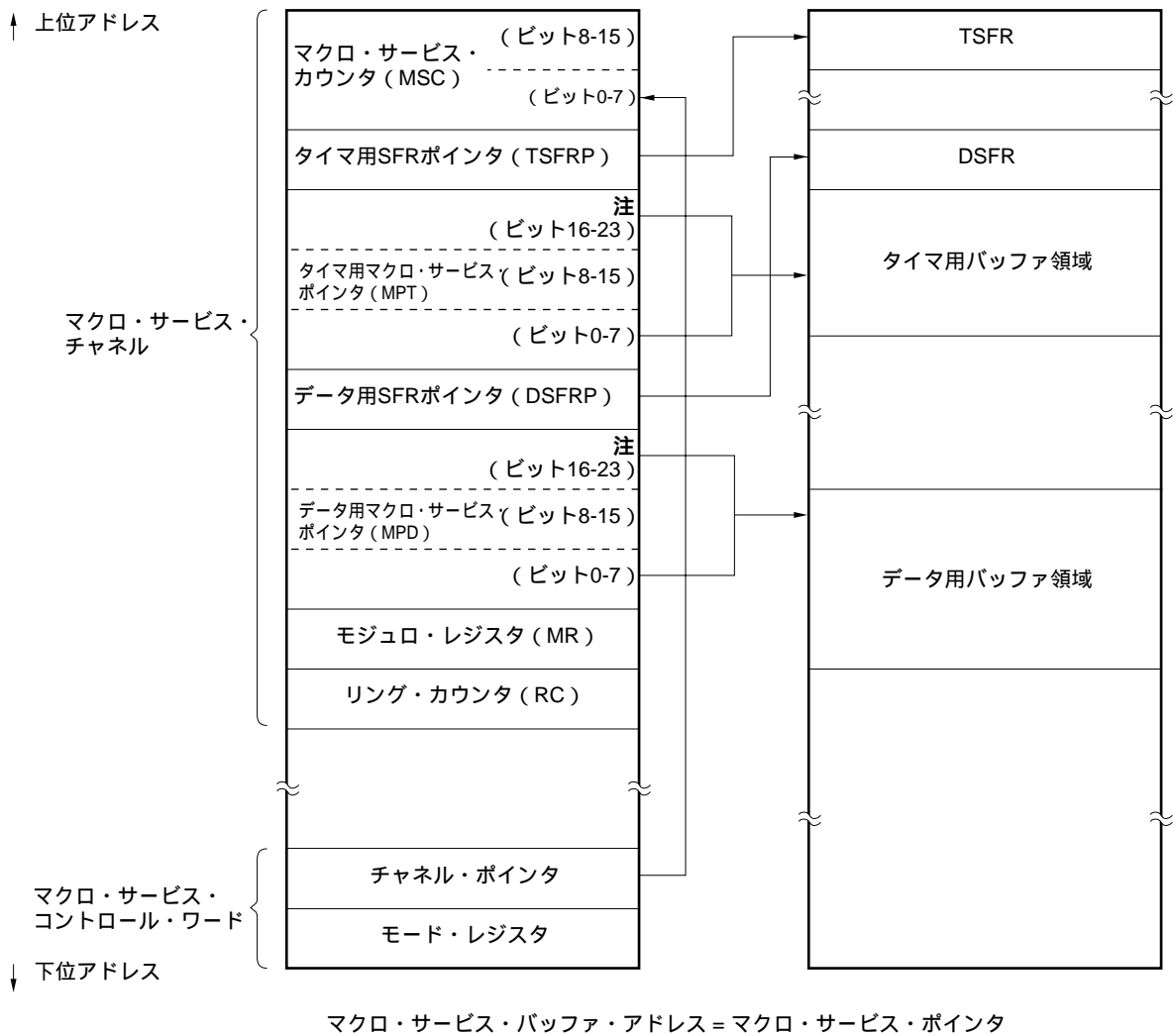
(a) リング制御なし



注 ビット20-23は必ず0にしてください。

図22 - 30 タイプCのマクロ・サービス・チャンネル (2/2)

(b) リング制御あり



注 ビット20-23は必ず0にしてください。

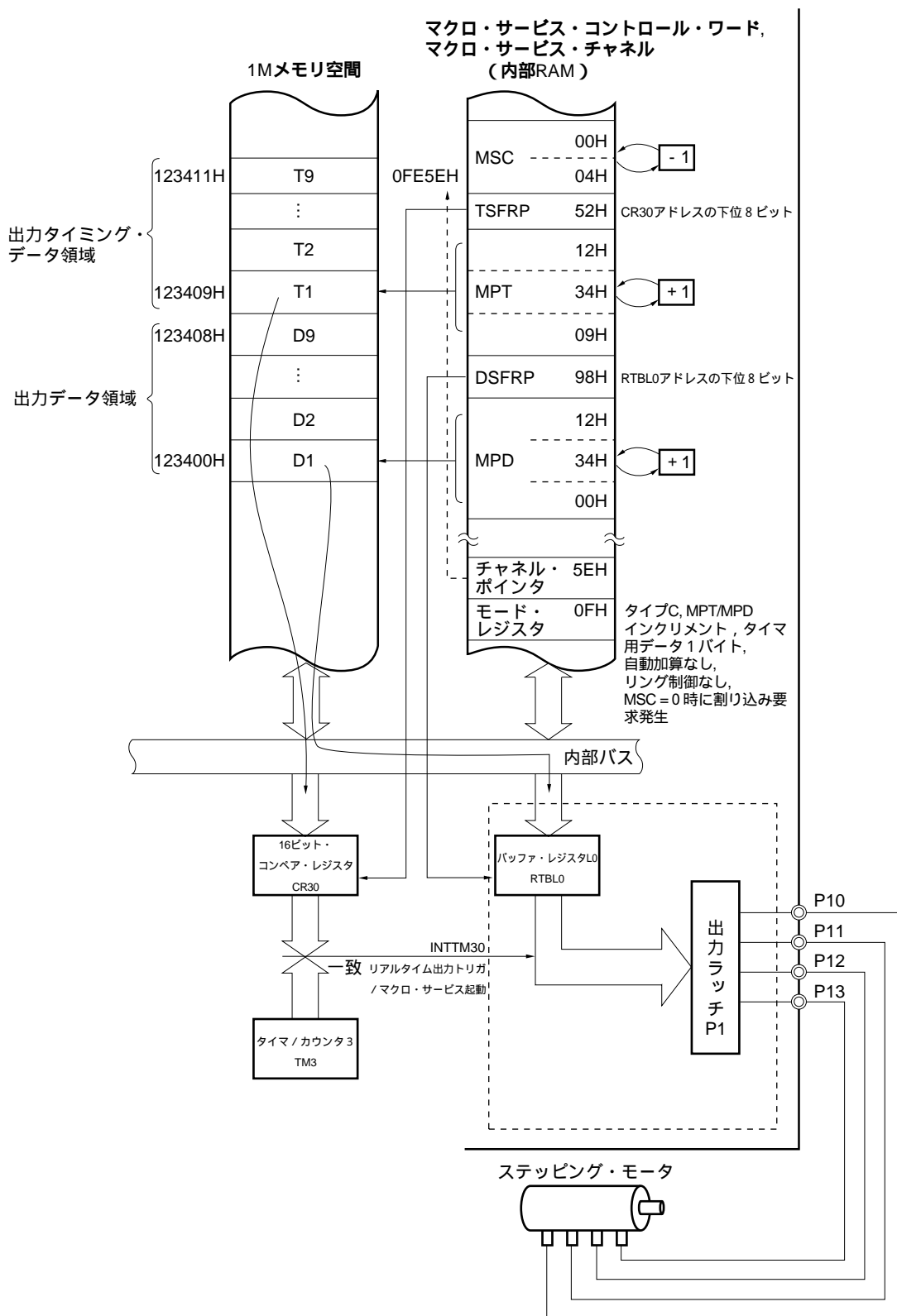
(3) タイプC使用例

(a) 基本動作

ここでは、リアルタイム出力ポート0への出力パターンと出力インターバルを直接制御する例を示します。

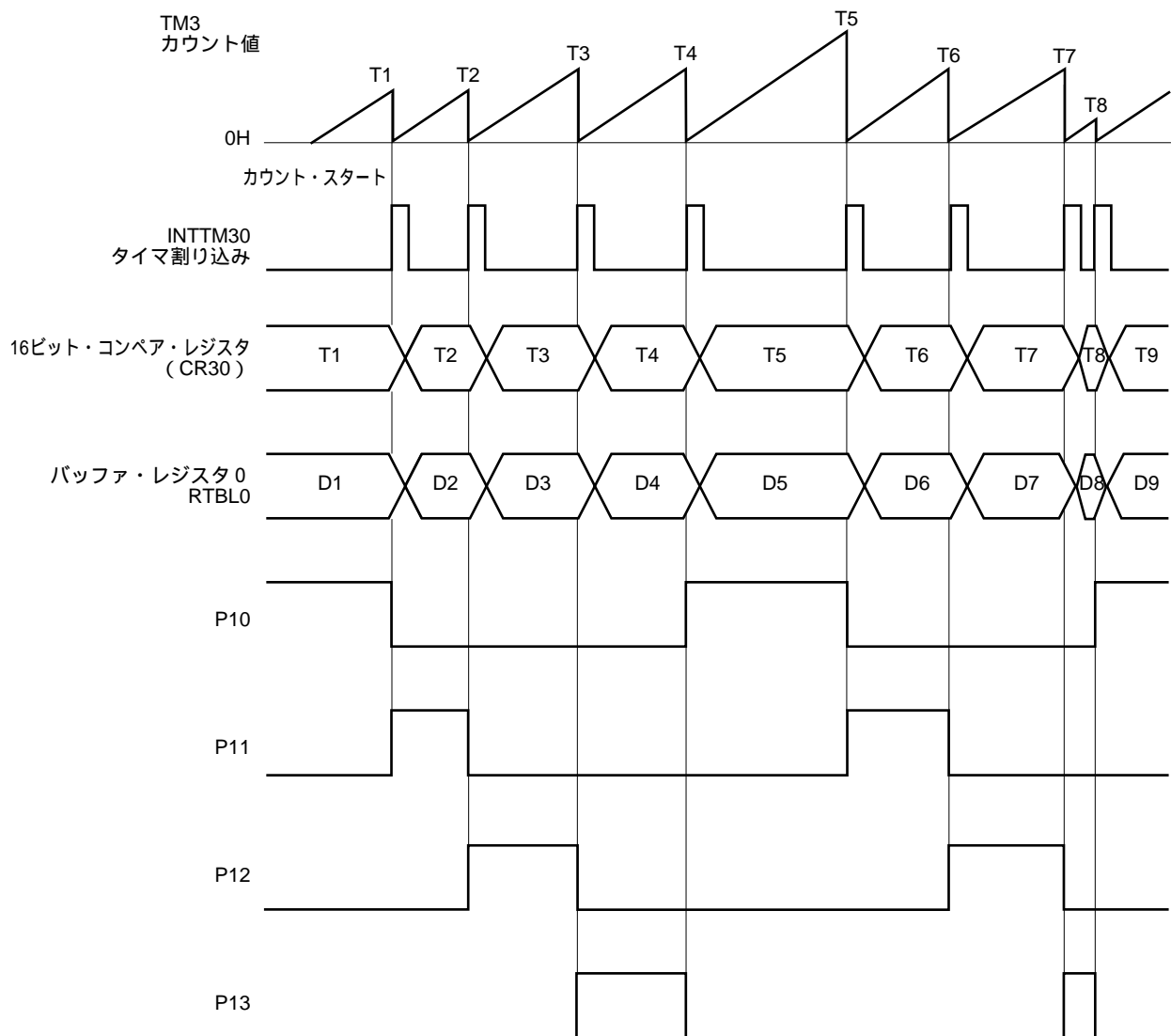
1 Mバイト空間にあらかじめ設定してある2つのデータ格納領域より、リアルタイム出力機能のバッファ・レジスタL0 (RTBL0)、および16ビット・コンペア・レジスタ30 (CR30) に更新データを転送します。

図22 - 31 リアルタイム出力ポートによるステッピング・モータの開ループ制御



備考 図中の内部RAMのアドレスは、LOCATION 0H命令実行時の値です。
LOCATION 0FH命令実行時には、図中の値に0F000Hを加えてください。

図22 - 32 データ転送制御のタイミング



(b) 自動加算制御およびリング制御の使用例**(i) 自動加算制御**

マクロ・サービス・ポインタ (MPT) で指定された出力タイミング・データ (t) をコンペア・レジスタの内容に加算し、加算結果をコンペア・レジスタに書き戻します。

この自動加算制御を利用することにより、コンペア・レジスタの設定値をその都度プログラム中で計算させる必要がなくなります。

(ii) リング制御

リング制御は、あらかじめ決まる出力データ・パターンを1サイクル分だけ用意しておいて、1サイクル分の出力パターンをリング形式で繰り返し順に出力するものです。

リング制御を用いる場合、出力するデータ・パターンとして1サイクル分だけ準備すればよいため、データROM領域を小さくすることができます。

マクロ・サービス・カウンタ (MSC) のデクリメントは、1回のデータ転送ごとに行います。

リング制御の場合も、MSC = 0 で割り込み要求を発生します。

たとえば、ステッピング・モータを制御する場合、対象となるステッピング・モータの構成、および1相励磁、2相励磁などの相励磁方式によって出力データ・パターンは変化しますが、いずれの場合も繰り返しパターンになります。例として、4相ステッピング・モータの1相励磁の場合と1-2相励磁の場合を図22 - 33, 図22 - 34に示します。

図22 - 33 4相ステップング・モータの1相励磁の場合

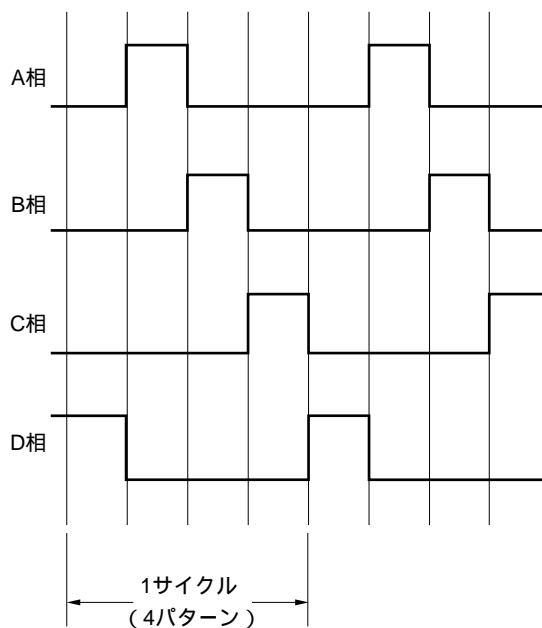


図22 - 34 4相ステップング・モータの1-2相励磁の場合

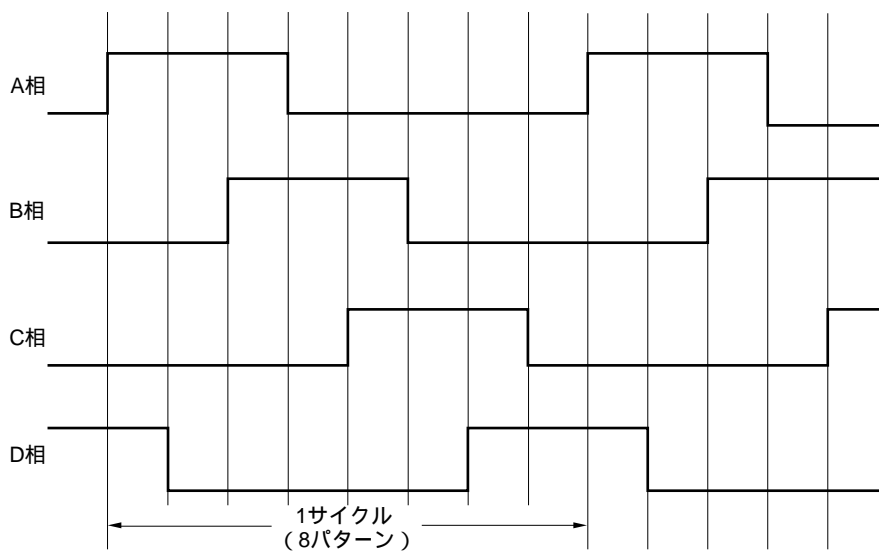
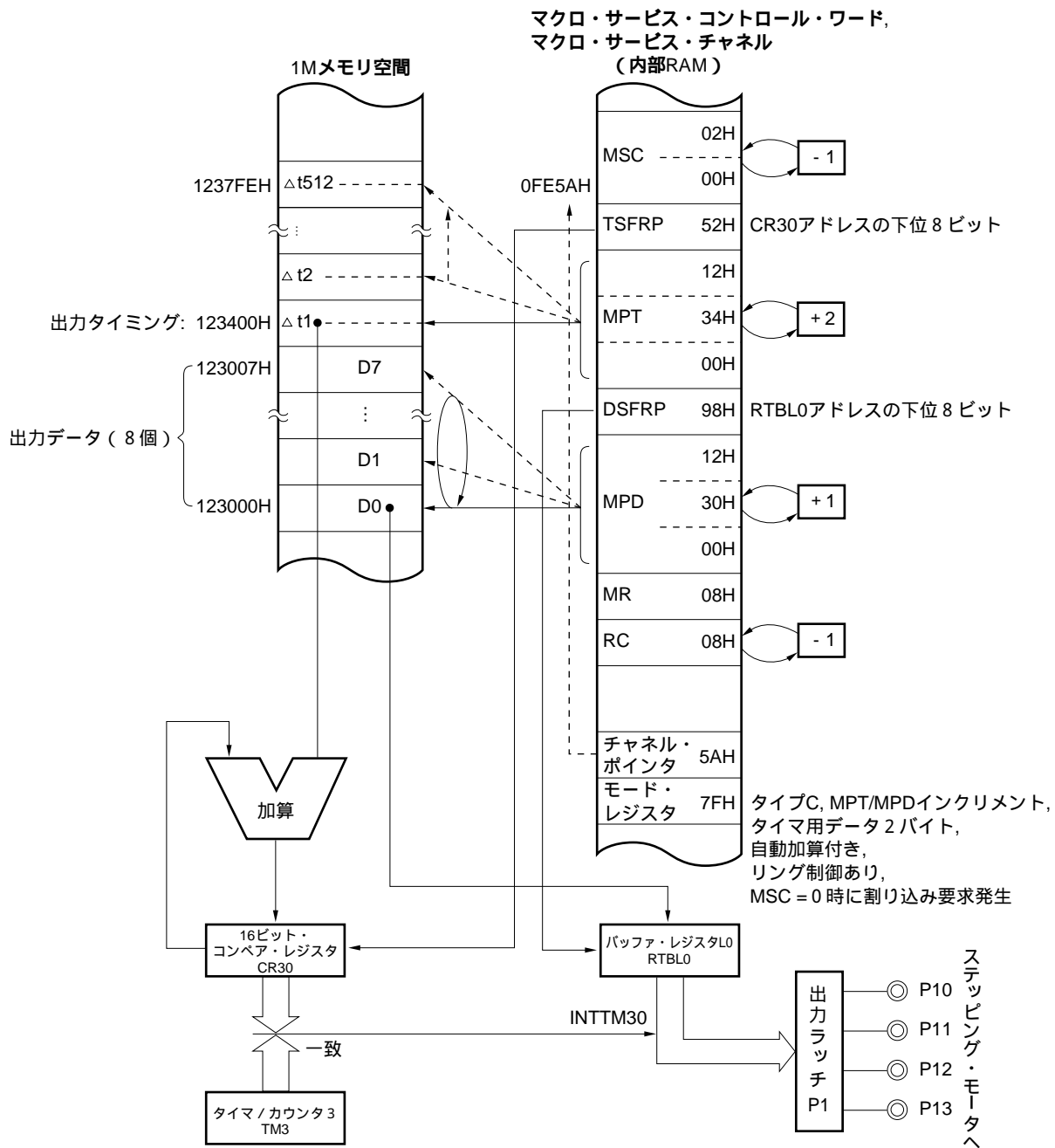


図22 - 35 自動加算制御+リング制御のブロック図1 (1-2相励磁で出力タイミングが変化する場合)



備考 図中の内部RAMのアドレスは、LOCATION 0H命令実行時の値です。
LOCATION 0FH命令実行時には、図中の値に0F0000Hを加えてください。

図22 - 36 自動加算制御+リング制御のタイミング図1 (1-2相励磁で出力タイミングが変化する場合)

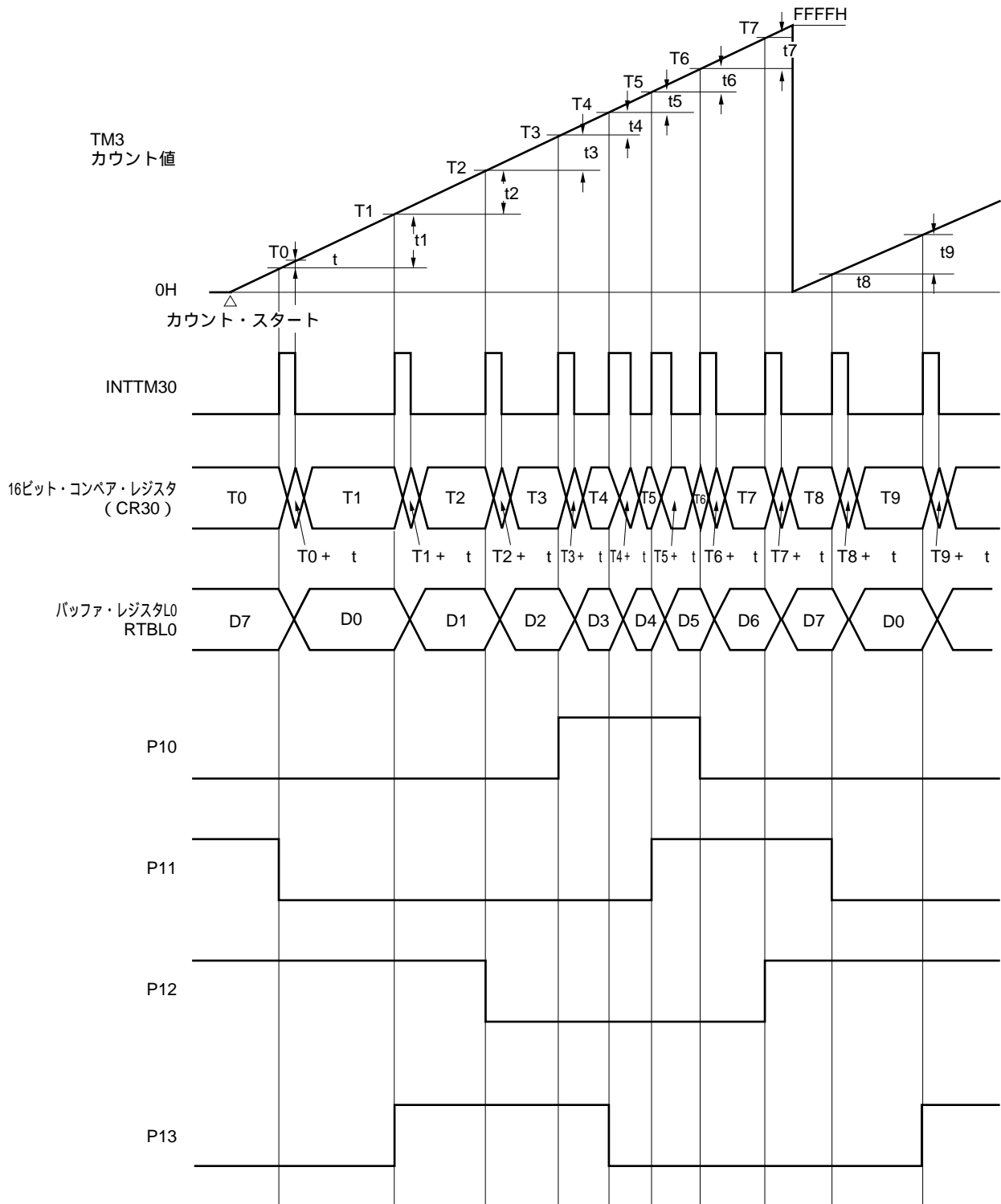
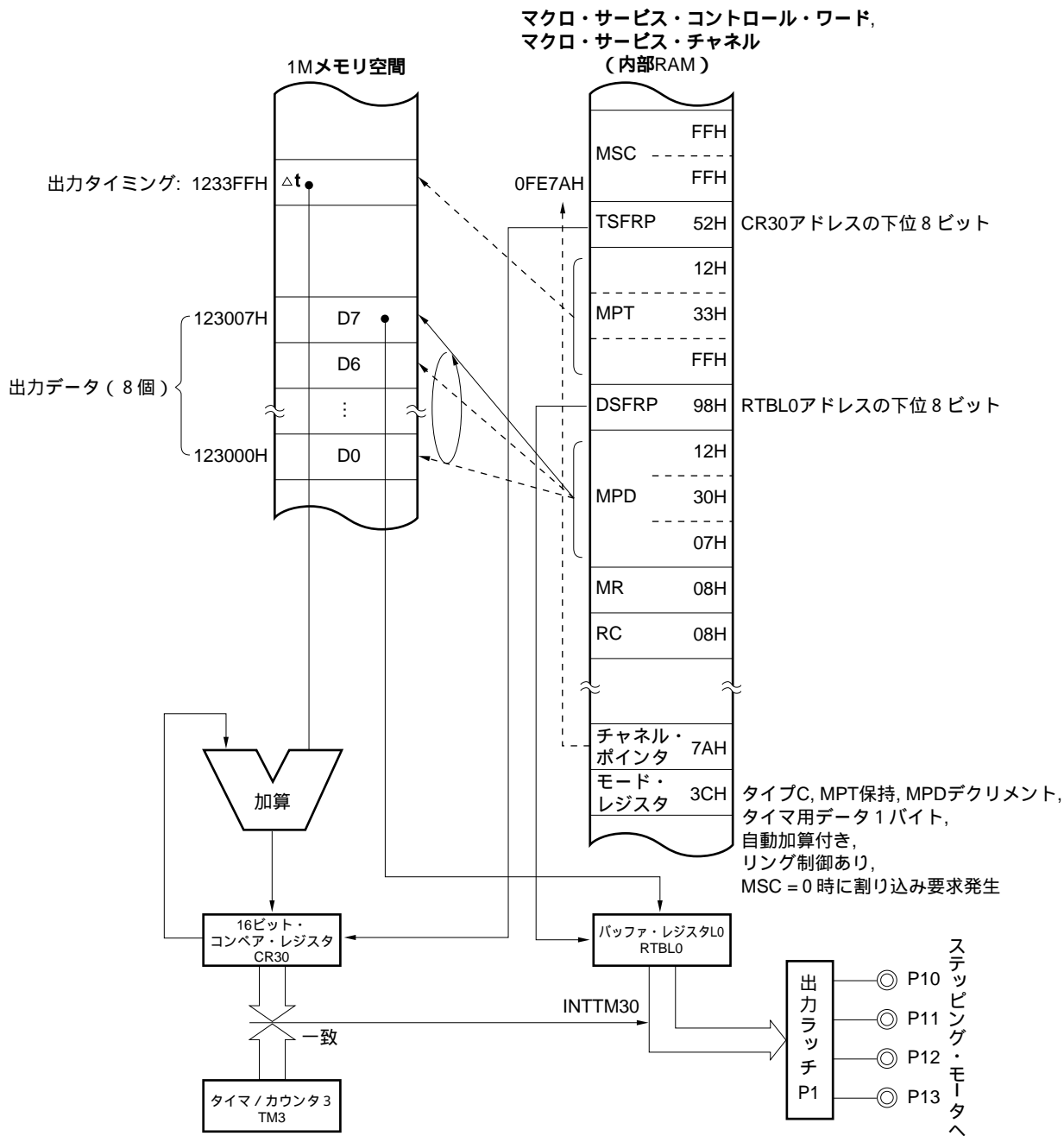
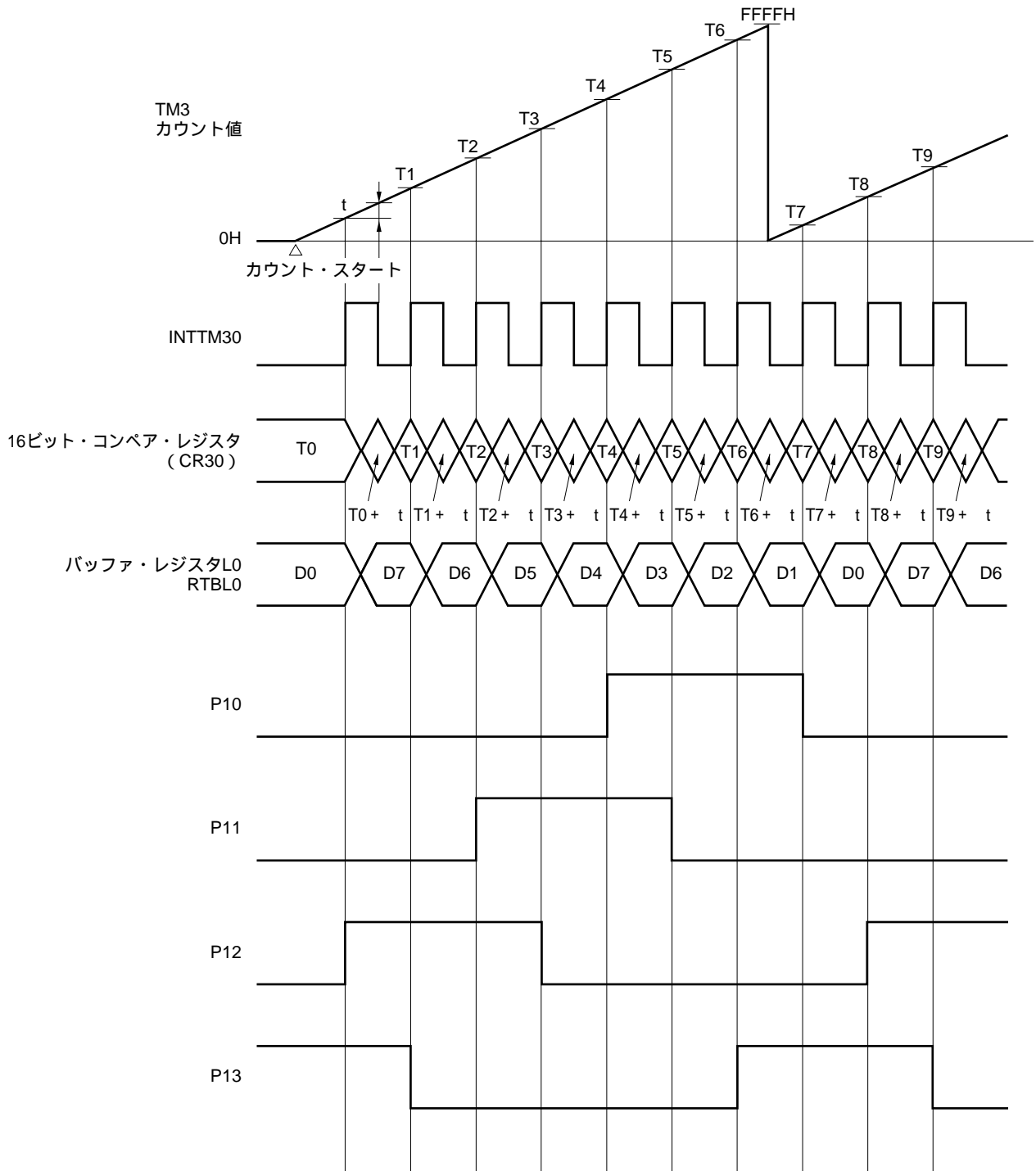


図22 - 37 自動加算制御+リング制御のブロック図2 (1-2相励磁の等速運動)



備考 図中の内部RAMのアドレスは、LOCATION 0H命令実行時の値です。
LOCATION 0FH命令実行時には、図中の値に0F0000Hを加えてください。

図22 - 38 自動加算制御 + リング制御のタイミング図2 (1-2相励磁の等速運動)

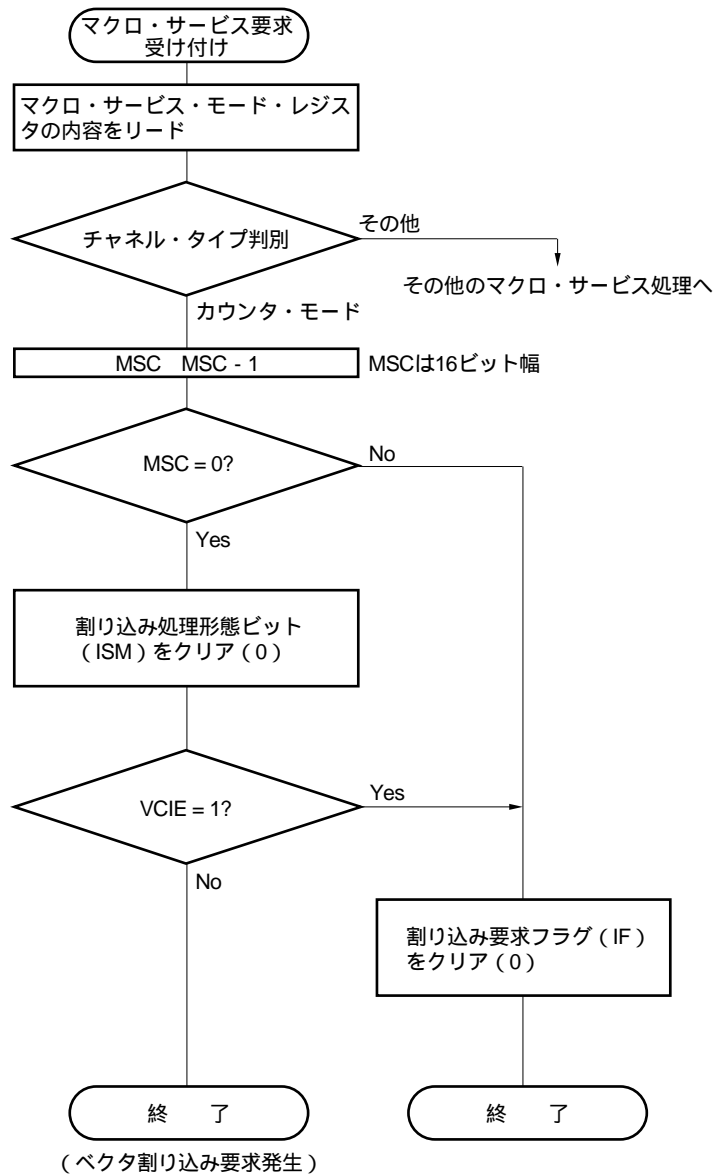


22.8.9 カウンタ・モード

(1) 動作

あらかじめマクロ・サービス・カウンタ (MSC) に設定した回数だけ、MSCのデクリメントを行います。割り込みの発生回数を数えることができるので、割り込み発生周期が長いときに、イベント・カウンタとして使用することができます。

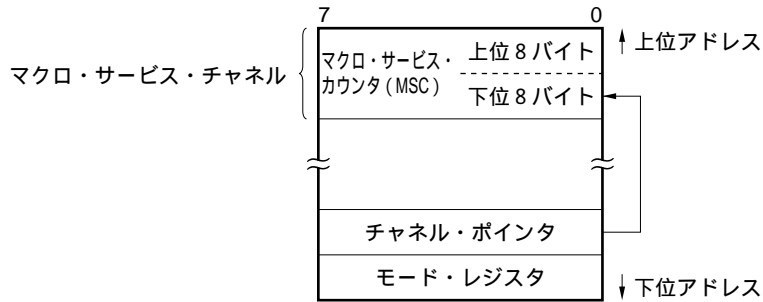
図22 - 39 マクロ・サービス・データ転送処理フロー (カウンタ・モード)



(2) マクロ・サービス・チャンネルの構成

16ビットのマクロ・サービス・カウンタ (MSC) のみでマクロ・サービス・チャンネルは構成されます。チャンネル・ポインタには, MSCのアドレスの下位 8 ビットを書き込みます。

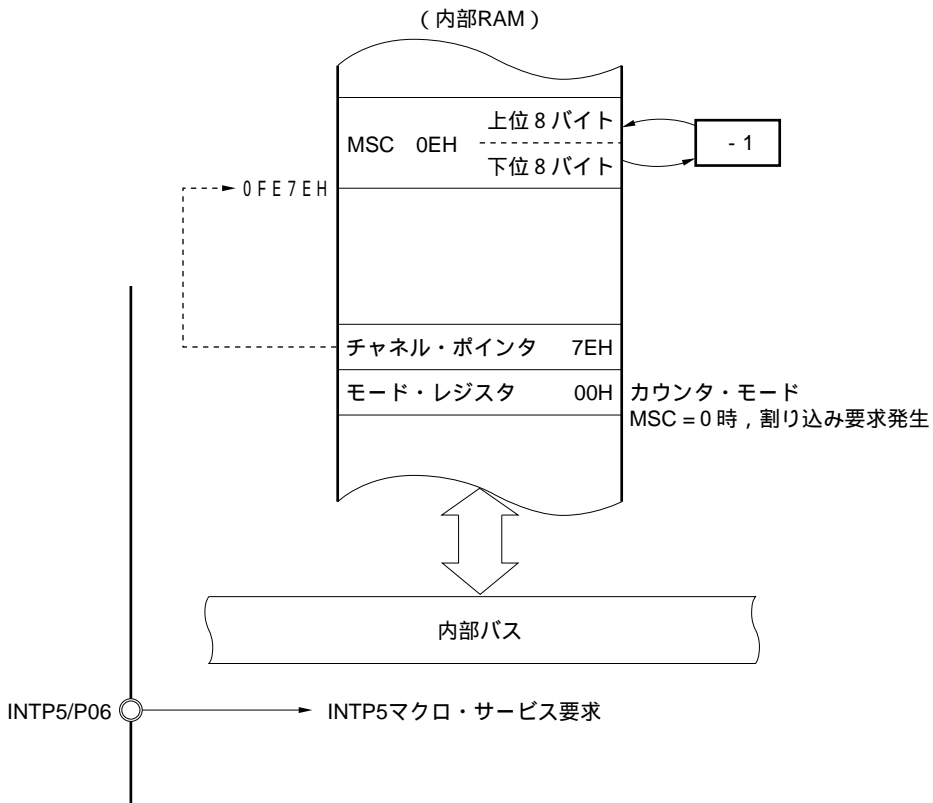
図22 - 40 カウンタ・モード



(3) カウンタ・モード使用例

外部割り込み端子 INTP5に入力されたエッジの回数をカウントする例を示します。

図22 - 41 エッジの回数のカウント



備考 図中の内部RAMのアドレスは, LOCATION 0 命令実行時の値です。LOCATION 0FH命令実行時には, 図中の値に0F0000Hを加えてください。

22.9 割り込み要求およびマクロ・サービスが一時的に保留される場合

次に示す命令を実行すると、8システム・クロックの間、割り込みの受け付けおよびマクロ・サービスの処理が一時的に保留されます。ただし、ソフトウェア割り込みは保留されません。

EI
DI
BRK
BRKCS
RETCS
RETCSB !addr16
RETI
RETB
LOCATION 0HまたはLOCATION 0FH
POP PSW
POPU post
MOV PSWL, A
MOV PSWL, byte
MOVG SP, imm24

割り込み制御レジスタ^注、MK0、MK1、IMC、ISPRの各レジスタに対する書き込み命令およびビット操作命令
(BT、BF命令を除く)

PSWのビット操作命令

(ただし、BT PSWL. bit, \$ addr20命令, BF PSWL. bit, \$ addr20命令, BT PSWH. bit, \$ addr20命令,
BF PSWH. bit, \$ addr20命令, SET1 CY命令, NOT1 CY命令, CLR1 CY命令を除く)。

注 割り込み制御レジスタ：PIC0, PIC1, PIC2, PIC3, PIC4, PIC5, PIC6, TMIC00, TMIC01, TMIC10,
TMIC11, TMIC20, TMIC21, TMIC30, TMIC31, TMIC40, TMIC42, TMIC50,
TMIC52, TMIC6, TMIC7, SERIC1, SRIC1, STIC1, CSIIC0, ADIC

注意1. 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合、そのBF命令などの分岐先は、その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると、その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

```

:
LOOP: BF PIC0.7, $ LOOP
      x x x
:

```

PIC0.7が1になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。

良い例(1)

```

:
LOOP: NOP
      BF PIC0.7, $ LOOP
      :

```

NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

良い例(2)

```

:
LOOP: BT PIC0.7, $ NEXT
      BR $ LOOP
NEXT: :

```

BT命令のかわりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利。BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

2. また、同様の理由により、上記に該当する命令群を連続して使用する場合で、割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には、NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

22.10 割り込み要求およびマクロ・サービスで一時的に実行が中断される命令

次に示す命令は、受け付け可能な割り込み要求およびマクロ・サービスの要求により、一時的にその命令の実行を中断し、割り込み要求およびマクロ・サービスを受け付けます。中断された命令は、割り込みサービス・プログラムの終了後、またはマクロ・サービス処理の終了後に再開します。

一時的に中断される命令

MOVM, XCHM, MOVBK, XCHBK
 CMPME, CMPMNE, CMPMC, CMPMNC
 CMPBKE, CMPBKNE, CMPBKC, CMPBKNC
 SACW

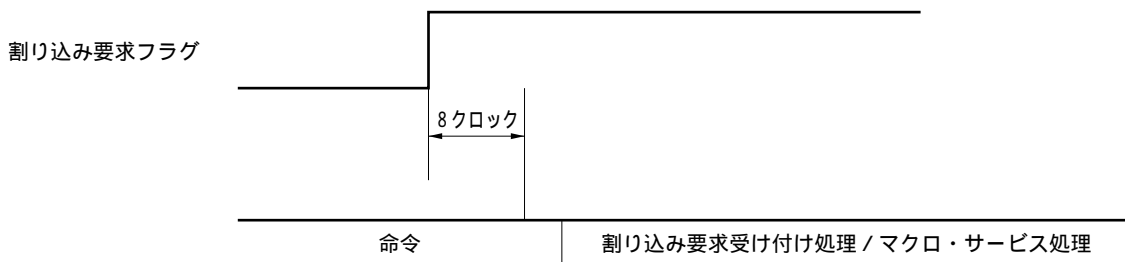
22.11 割り込み要求およびマクロ・サービスの動作タイミング

割り込み要求は、各ハードウェアで発生します。発生した割り込み要求は、割り込み要求フラグをセット（1）します。

割り込み要求フラグがセット（1）されると、優先順位などの判定を行うために8クロック（1.00 μ s, $f_{CLK} = 8$ MHz）かかります。

その後、実行中の命令が終了した時点で、その割り込みまたはマクロ・サービスの受け付けが許可されていれば、その割り込み要求の受け付け処理を行います。なお、実行中の命令が割り込みおよびマクロ・サービスを一時的に保留する命令であれば、その次の命令終了後に受け付けられます（保留する命令については、22.9 割り込み要求およびマクロ・サービスが一時的に保留される場合参照）。

図22 - 42 割り込み要求の発生と受け付け（単位：クロック = $1/f_{CLK}$ ）



22.11.1 割り込み要求の受け付け処理時間

割り込み要求の受け付けには、表22 - 8のような時間がかかります。表22 - 7の時間後に、割り込み処理プログラムの実行を開始します。

表22 - 8 割り込み要求受け付け処理時間

(単位：クロック = $1/f_{CLK}$)

ベクタ・テーブル	IROM						EMEM					
	IROM, PRAM			EMEM			PRAM			EMEM		
スタック	IRAM	PRAM	EMEM	IRAM	PRAM	EMEM	IRAM	PRAM	EMEM	IRAM	PRAM	EMEM
ベクタ割り込み	26	29	$37 + 4n$	27	30	$38 + 4n$	30	33	$41 + 4n$	31	34	$42 + 4n$
コンテキスト・スイッチング	22	-	-	23	-	-	22	-	-	23	-	-

備考1 . IROM : 内部ROM (ただし、高速フェッチ指定時)。

PRAM : 内部RAMの周辺RAM (ただし、分岐先の場合はLOCATION 0 命令実行時のみ)。

IRAM : 内部高速RAM。

EMEM : 外部メモリおよび高速フェッチを指定していないときの内部ROM。

- n は、スタックへの書き込み時に必要となる1バイト当たりのウェイト数 (ウェイト数はアドレス・ウェイトとアクセス・ウェイトの合計です)。
- ベクタ・テーブルがEMEMの場合で、ベクタ・テーブルの読み出し時にウェイトを挿入しているときは、表中の値に、ベクタ割り込み時は $2m$ 、コンテキスト・スイッチング時は m を加えてください。ただし、 m はベクタ・テーブルの読み出し時に必要となる1バイト当たりのウェイト数です。
- 分岐先がEMEMの場合で、分岐先の命令の読み込み時にウェイトを挿入しているときは、そのウェイト数を加えてください。
- スタックがPRAMにとられている場合で、スタック・ポインタ (SP) の値が奇数の場合は、表中の値に4を加えてください。
- ウェイト数は、アドレス・ウェイトとアクセス・ウェイトの合計数です。

22.11.2 マクロ・サービスの処理時間

マクロ・サービス処理は、マクロ・サービスのタイプなどにより異なり、表22 - 9のような時間となります。

表22 - 9 マクロ・サービス処理時間

(単位：クロック = $1/f_{CLK}$)

マクロ・サービスの処理タイプ			データ領域	
			IRAM	その他
タイプA	SFR メモリ	1バイト	24	-
		2バイト	25	-
	メモリ SFR	1バイト	24	-
		2バイト	26	-
タイプB	SFR メモリ		33	35
	メモリ SFR		33	64
タイプC			49	53
カウンタ・モード	MSC = 0		17	-
	USC = 0		25	-

備考1 . IRAM : 内部高速RAM。

- 2 . その他のデータ領域で次の場合には、各場合ごとに指定されたクロック数を加算してください。
 - ・ IROM , PRAMでデータのサイズが2バイトで、奇数番地にデータが配置されている場合：4クロック。
 - ・ EMEMでデータ・サイズが1バイトの場合：データ・アクセス時のウエイト数。
 - ・ EMEMでデータ・サイズが2バイトの場合： $4 + 2n$ (ただし、 n は1バイト当たりのウエイト数)。
- 3 . タイプA , タイプB , タイプCで、MSC = 0となる場合は、1クロックを加算してください。
- 4 . タイプCの場合、使用する機能やそのときの状態に応じて次の値を加算してください。
 - ・ リング制御：4クロック。ただし、リング制御時にリング・カウンタが0になった場合は、さらに7クロックを加算。

22.12 割り込み機能を初期状態に戻す方法

プログラムの暴走や、システムの異常をオペランド・エラー割り込みやウォッチドッグ・タイマ、NMI端子入力などで検出した場合、システム全体を初期状態に戻す必要があります。μPD784956Aは、割り込みの受け付けに関する優先順位の制御をハードウェアによって行います。この割り込みの受け付けに関するハードウェアも、初期状態にしないと以降の割り込みの受け付けに関する制御が異常になる場合があります。

次に、割り込みの受け付けに関するハードウェアをプログラムで初期化する方法を示します。なお、ハードウェアで初期化する方法は、 $\overline{\text{RESET}}$ 入力しかありません。

★ 例

```

MOVW MK0, 0FFFFH ; マスカブル割り込みはすべてマスクする
MOV  MK1H, 0FFH
MOV  MK1L, 0FFH

IRESL :
CMP  ISPR, 0 ; すべての処理中の割り込みサービス・プログラムがなくなったか?
BZ   $NEXT
MOVG SP, RETVAL ; SPの位置を強制的に変更
RETI ; 処理中の割り込みサービス・プログラムを強制終了, 戻り番地はIRESL

RETVAl :
DW   LOWW (IRESL) ; RETI命令でIRESLへ戻るためのスタックのデータ
DB   0
DB   HIGHW (IRESL) ; LOWW, HIGHWは、それぞれシンボルの下位16ビット, 上位16
        ビットの値を計算するアセンブラの演算子

NEXT :

```

- ・このプログラム実行中には、NMI端子によるノンマスカブル割り込み要求が発生しないようにする必要があります。
- ・この後、内蔵周辺ハードウェアの初期化および割り込み制御レジスタの初期化を行う
- ・割り込み制御レジスタの初期化時には、割り込み要求フラグを必ずクリア(0)する

22.13 注意事項

- (1) インサース・プライオリティ・レジスタ (ISPR) は、読み出しのみ可能です。書き込みを行うと、誤動作する恐れがあります。
- (2) ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, byte) でのみ書き込みが可能です。
- (3) BRK命令によるソフトウェア割り込みからの復帰に、RETI命令を使用してはいけません。RETB命令を使用してください。
- (4) BRKCS命令によるソフトウェア割り込みからの復帰に、RETCS命令を使用してはいけません。RETCSB命令を使用してください。
- (5) マスカブル割り込みをベクタ割り込みで受け付けた場合は、必ずRETI命令で復帰してください。他の命令では、以降の割り込みに関する動作が正常に行われません。
- (6) コンテキスト・スイッチングによる割り込みからの復帰には、必ずRETCS命令を使用してください。他の命令では、以降の割り込みに関する動作が正常に行われません。
- (7) ノンマスカブル割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ、処理されます。ノンマスカブル割り込みサービス・プログラム中でマクロ・サービスの処理を行いたくない場合は、ノンマスカブル割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して、マクロ・サービスが発生しないようにしてください。
- (8) ノンマスカブル割り込みからの復帰には、必ずRETI命令を使用してください。他の命令では、以降の割り込みの受け付けが正常に行われません。ノンマスカブル割り込み受け付け後、初期状態からプログラムを再開したい場合は、22.12 **割り込み機能を初期状態に戻す方法**を参照してください。
- (9) ノンマスカブル割り込みは、ノンマスカブル割り込みサービス・プログラム実行中 (優先順位の低いノンマスカブル割り込みサービス・プログラム実行中に、優先順位の高いノンマスカブル割り込みの要求が発生した場合を除く) および22.9に示す特定命令の実行後の一定期間を除いては必ず受け付けられます。したがって、特にリセット解除後などのスタック・ポインタ (SP) の値が不定の場合でもノンマスカブル割り込みを受け付けます。このときのSPの値によっては特殊機能レジスタ (SFR) の書き込みを禁止しているアドレス (3.8 **特殊機能レジスタ (SFR) の表3 - 6**参照) へプログラム・カウンタ (PC) およびプログラム・ステータス・ワード (PSW) を書き込んでしまい、CPUがデッドロックしてしまったり、端子から予期しない信号を出力したり、RAMが実装されていないアドレスへPCやPSWを書き込むことにより、ノンマスカブル割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。したがって、RESET解除後のプログラムは必ず次のようにしてください。


```

CSEG AT 0
DW   STRT
CSEG BASE
STRT :
LOCATION 0FH ; or LOCATION 0
MOVG SP, imm24
    
```

- (10) 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合、そのBF命令などの分岐先は、その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると、その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

```

:
LOOP : BF PIC0.7, $ LOOP
      x x x
:
    
```

PIC0.7が1になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。
BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。

良い例 (1)

```

:
LOOP : NOP
      BF PIC0.7, $ LOOP
:
    
```

NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

良い例 (2)

```

:
LOOP : BT PIC0.7, $ NEXT
      BR $ LOOP
NEXT :
    
```

BT命令のかわりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利。
BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

- (11) (10)と同様の理由により、上記に該当する命令群を連続して使用する場合で、割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には、NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

第23章 スタンバイ機能

23.1 構成と機能

μ PD784956Aは、システムの消費電力を低減させることのできるスタンバイ機能を持っています。スタンバイ機能には、次のような3つのモードがあります。

表23 - 1 スタンバイ機能のモード一覧

HALTモード	CPUの動作クロックを停止させます。通常動作との間欠動作により、平均消費電力を低減できます。
STOPモード	メイン・システム・クロックを停止させます。チップ内部の動作をすべて停止させ、リーク電流だけの微少消費電力状態にします。
IDLEモード	発振回路の動作を継続したまま、それ以外のシステム全体が停止するモードです。STOPモードに近い低消費電力と、HALTモードと同等の時間で、通常のプログラム動作に復帰できます。

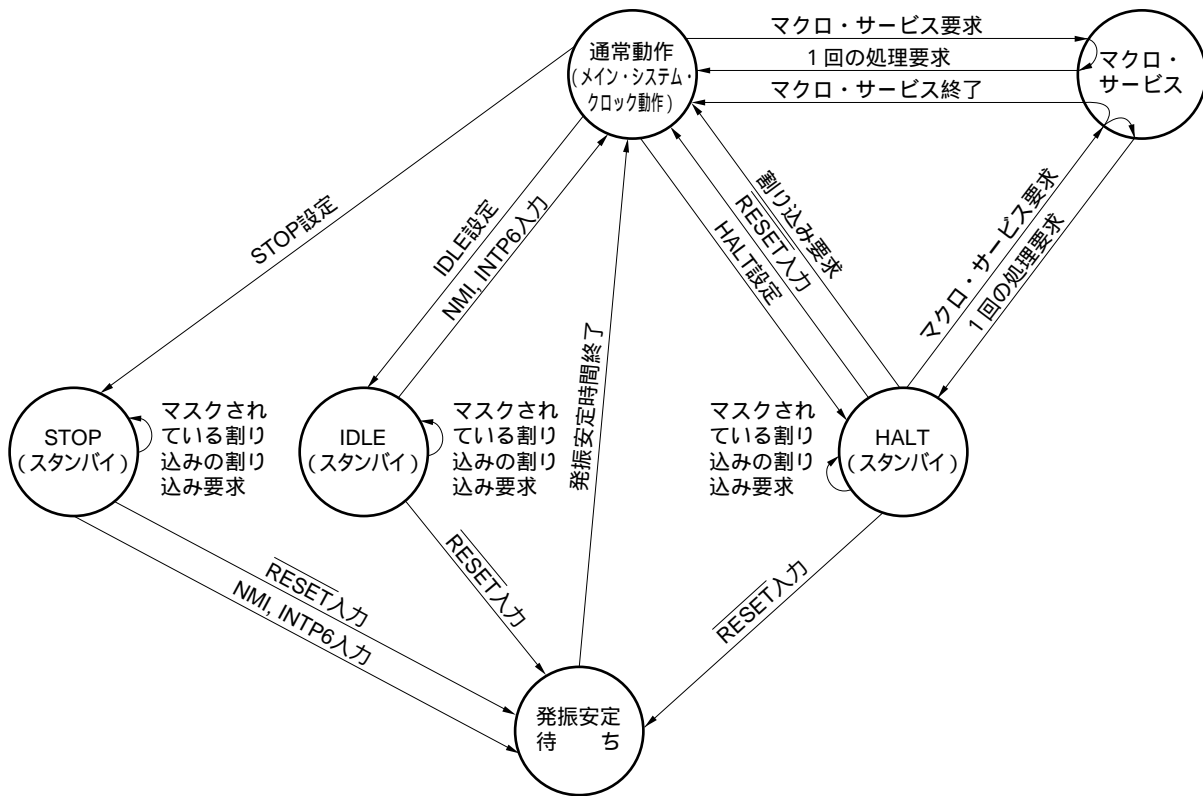
これらのモードは、プログラマブルです。

また、HALTモードからマクロ・サービスを起動することができます。マクロ・サービス処理実行後は、再びHALTモードに戻ります。

図23 - 1 にスタンバイの状態遷移を示します。

- ★ **備考** ウォッチドッグ・タイマは、スタンバイ・モードに移行するとタイマ値が0にクリアされ、停止します。スタンバイ解除後は再起動します。

図23 - 1 スタンバイの状態遷移図



注 マスクされていない割り込み要求のみ

備考 NMIは外部入力のみ有効です。ウォッチドッグ・タイマは、スタンバイの解除（HALTモード / STOPモード / IDLEモード）には使用できません。

23.2 制御レジスタ

(1) スタンバイ・コントロール・レジスタ (STBC)

STBCは、STOPモードの設定と、内部システム・クロックを選択するためのレジスタです。

プログラムの暴走によって誤ってスタンバイ・モードに入らないように、専用命令によってのみ書き込みができます。この専用命令は、MOV STBC, byte命令で、特殊なコード構成(4バイト)になっています。3バイト目と4バイト目のオペコードが互いに1の補数の場合のみ、書き込みが行われます。

また、3バイト目と4バイト目のオペコードが互いに1の補数でなければ書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

オペランド・エラー割り込みは、プログラムが暴走している場合のみ発生する(NEC製アセンブラRA78K4では、MOV STBC, byteと記述された場合、正しい専用命令しか生成しません)ので、システムの初期化をプログラムで行うようにしてください。

他の書き込み命令(MOV STBC, AやAND STBC, byte命令やSET1 STBC.7など)は無視され、何の動作も行いません。つまり、STBCへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。

STBCの読み出しは、データ転送命令によりいつでもできます。

RESET入力により、30Hになります。

図23 - 2に、STBCのフォーマットを示します。

図23 - 2 スタンバイ・コントロール・レジスタ (STBC) のフォーマット

アドレス：0FFC0H リセット時：30H R/W

略号	7	6	5	4	3	2	1	0
STBC	0	0	CK1	CK0	0	0	STP	HLT

STP	HLT	動作指定フラグ
0	0	通常動作モード
0	1	HALTモード (HALTモードが解除されると自動的にクリア)
1	0	STOPモード (STOPモードが解除されると自動的にクリア)
1	1	IDLEモード (IDLEモードが解除されると自動的にクリア)

注意 スタンバイ命令のあと(スタンバイ解除後)は、NOP命令を3回実行させてください。スタンバイ命令の実行と割り込み要求が競合した場合は、スタンバイ命令を実行せず、スタンバイ命令に続く複数の命令を実行後に割り込みを受け付けます。割り込みを受け付ける前に実行する命令は、スタンバイ命令実行後の最大6クロック以内に実行を開始する命令です。

```
例 MOV STBC, #byte
    NOP
    NOP
    NOP
    ⋮
    ⋮
```

(2) 発振安定時間指定レジスタ (OSTS)

OSTSは、発振回路の動作およびSTOPモード解除時の発振安定時間を指定するレジスタです。

また、OSTSのOSTS0, OSTS1ビットで、STOPモード解除時の発振安定時間を選択します。一般的に、水晶振動子を使用する場合は40 ms以上、セラミック発振子を使用する場合は4 ms以上の発振安定時間を選択するようにしてください。

なお、発振安定にかかる時間は、使用する水晶振動子/セラミック発振子および、接続するコンデンサの容量などにより影響を受けます。したがって、発振安定用の時間を短かめに設定したい場合には、水晶振動子/セラミック発振子メーカーと相談してくださいますようお願いいたします。

OSTSは、1ビット転送命令または8ビット転送命令で設定します。

RESET入力により、00Hになります。

図23 - 3 に、OSTSのフォーマットを示します。

図23 - 3 発振安定時間指定レジスタ (OSTS) のフォーマット

アドレス : 0FFCFH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	0	OSTS1	OSTS0

OSTS1	OSTS0	発振安定時間
0	0	$2^{19}/f_{CK}$ (65.5 ms)
0	1	$2^{18}/f_{CK}$ (32.8 ms)
1	0	$2^{17}/f_{CK}$ (16.4 ms)
1	1	$2^{16}/f_{CK}$ (8.2 ms)

備考 ()内は、 $f_{CK} = 8 \text{ MHz}$ 動作時

23.3 HALTモード

23.3.1 HALTモードの設定および動作状態

HALTモードには、スタンバイ・コントロール・レジスタ (STBC) のHLTビットをセット (1) することにより設定されます。

STBCの書き込みは、専用命令による8ビット・データ書き込みのみ可能です。したがって、HALTモードの設定は、“MOV STBC, #byte”命令で行います。

割り込み許可 (PSWのIEフラグがセット (1)) に設定している場合、HALTモード設定の命令のあと (HALTモード解除後) にはNOP命令を3回記述してください。そうしないとHALTモード解除後、割り込みを受け付ける前に複数の命令を実行してしまう可能性があります。これにより、割り込み処理と命令の実行の順序関係が変化してしまうことがあります。実行順序が変化することによる不具合を防止するために、前述の処理が必要です。

次にHALTモード時の動作状態を示します。

表23 - 2 HALTモード時の動作状態

項目	動作状態
クロック発生回路	動作
内部システム・クロック	動作
CPU	動作停止 ^{注1}
I/Oライン	HALTモード設定前の状態を保持
各周辺機能	動作継続 ^{注2}
内部RAM	保持

注1．マクロ・サービス処理は、実行されます。

注2．ウォッチドッグ・タイマは、0にクリアされ停止します。解除後は再起動します。

★

23.3.2 HALTモードの解除

HALTモードは、次の3つのソースによって解除することができます。

- ・ノンマスクابل割り込み要求 (NMI端子入力のみ可能)
- ・マスクابل割り込み要求 (ベクタ割り込み, コンテキスト・スイッチング, マクロ・サービス)
- ・RESET入力

表23 - 3に、解除ソースと解除後の動作の概要を示します。また、図23 - 4に、HALTモード解除後の動作を示します。

表23 - 3 HALTモードの解除と解除後の動作

解除ソース	MK ^{注1}	IE ^{注2}	解除時の状態	解除後の動作
RESET入力	×	×	-	通常のリセット動作
NMI端子入力	×	×	・ノンマスクابل割り込みサービス・プログラムの実行中でない ・優先順位の低いノンマスクابل割り込みサービス・プログラムの実行中	割り込み要求の受け付け
			・同一要求のサービス・プログラム実行中 ・優先順位の高いノンマスクابل割り込みサービス・プログラム実行中	MOV STBC, byte命令の次の命令を実行 (HALTモードを解除した割り込み要求は、保留される ^{注3})
マスクابل割り込み要求 (マクロ・サービスの要求を除く)	0	1	・割り込みサービス・プログラムの実行中でない ・優先順位の低いマスクابل割り込みサービス・プログラムの実行中 ・優先順位レベル3の割り込みサービス・プログラムの実行中で、PRSLビット ^{注4} がクリア(0)されている	割り込み要求の受け付け
			・同一優先順位のマスクابل割り込みサービス・プログラム実行中 (PRSLビット ^{注4} がクリア(0)されている場合で、優先順位レベル3の割り込みサービス・プログラム実行中を除く) ・優先順位の高い割り込みサービス・プログラム実行中	MOV STBC, byte命令の次の命令を実行 (HALTモードを解除した割り込み要求は、保留される ^{注3})
		0	0	-
	1	×	-	HALTモード保持
マクロ・サービス要求	0	×	-	マクロ・サービス処理実行 終了条件不成立 再びHALTモード 終了条件成立 VCIE ^{注5} = 1 のとき：再びHALTモード VCIE ^{注5} = 0 のとき：マスクابل割り込み要求による解除と同じ
			1	×

注1．各割り込み要求ソースにある割り込みマスク・ビット

2．プログラム・ステータス・ワード (PSW) 中にある割り込み許可フラグ

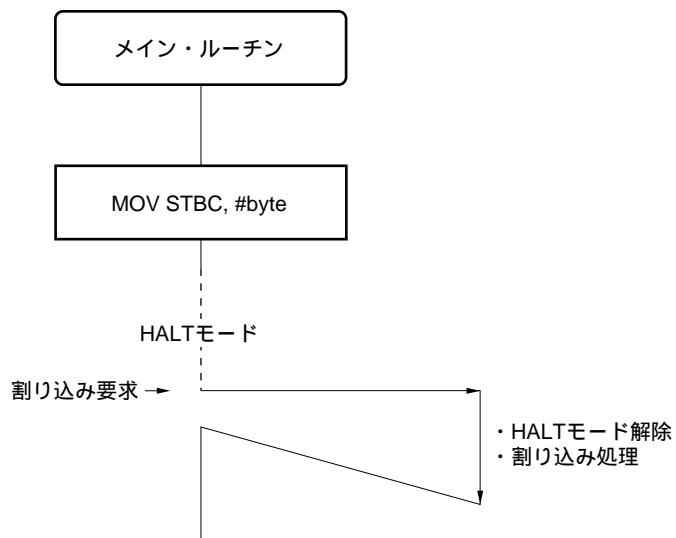
3．保留された割り込み要求は、受け付け可能になった時点で受け付けられる

4．割り込みモード・コントロール・レジスタ (IMC) 中のビット

5．各マクロ・サービス要求ソースにあるマクロ・サービス・コントロール・ワードのマクロ・サービス・モード・レジスタ中のビット

図23 - 4 HALTモード解除後の動作 (1/4)

(1) HALTモードに入ったあと、割り込みが入った場合



(2) HALTモードに入ったあとリセット

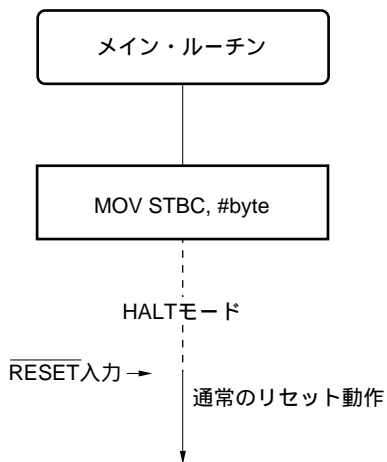
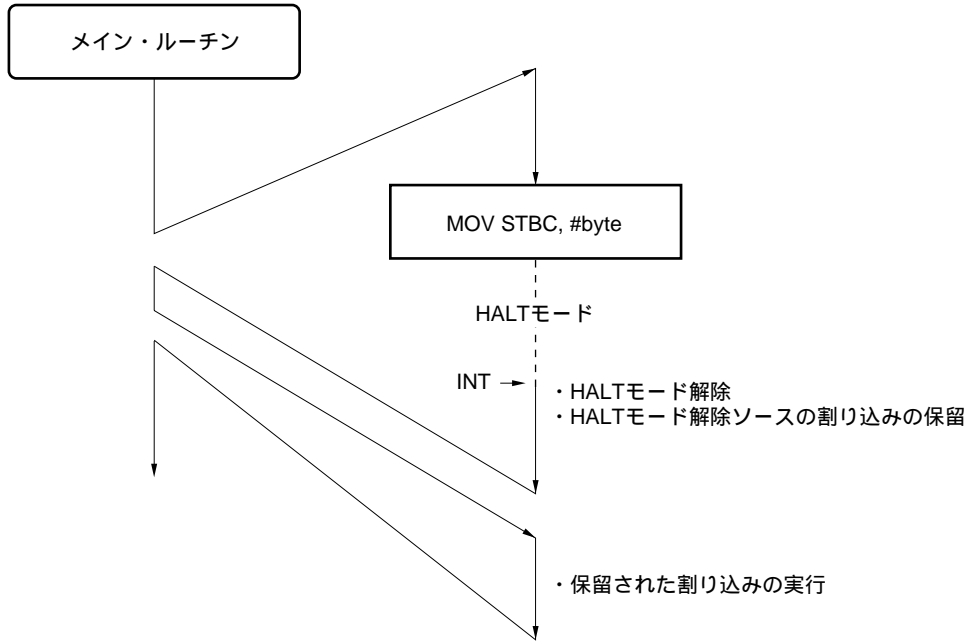


図23 - 4 HALTモード解除後の動作 (2/4)

(3) 解除ソースの割り込みよりも優先順位の高い,あるいは同じ割り込み処理ルーチン中にHALTモードに入った場合



(4) 解除ソースの割り込みよりも優先順位の高い割り込み処理ルーチン中にHALTモードに入った場合

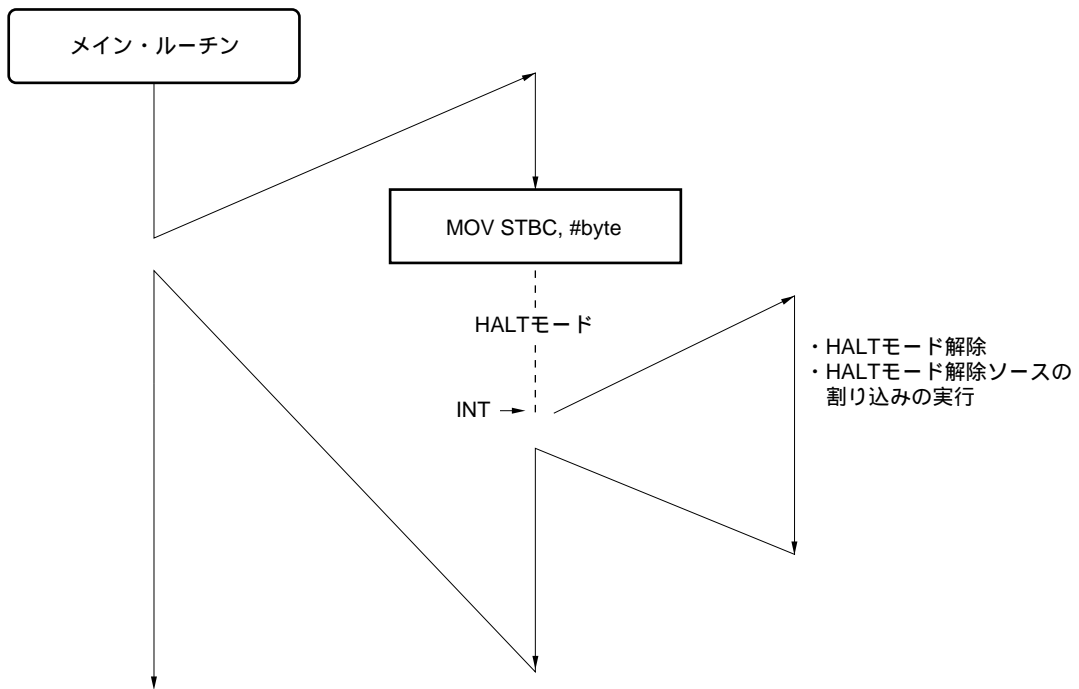
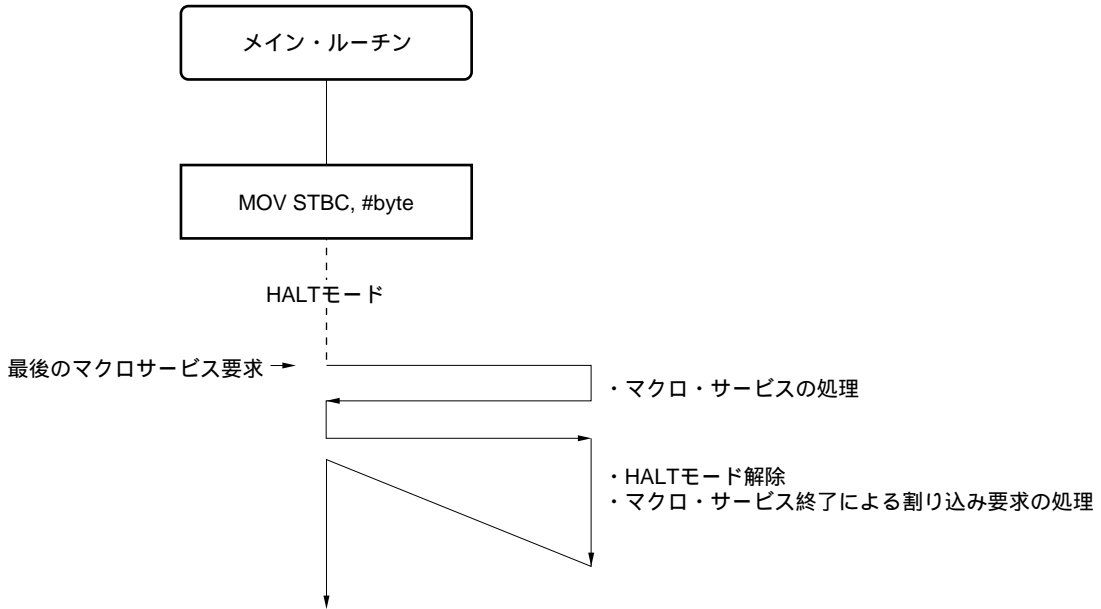


図23 - 4 HALTモード解除後の動作 (3/4)

(5) HALTモード中にマクロ・サービスの要求があった場合

(a) マクロ・サービスの終了条件が成立し、成立後、ただちに割り込み要求を発生する (VCIE = 0) のとき



★ (b) マクロ・サービスの終了条件が成立しないとき、またはマクロ・サービスの終了条件が成立し、成立後、割り込み要求を発生しない (VCIE = 1) のとき

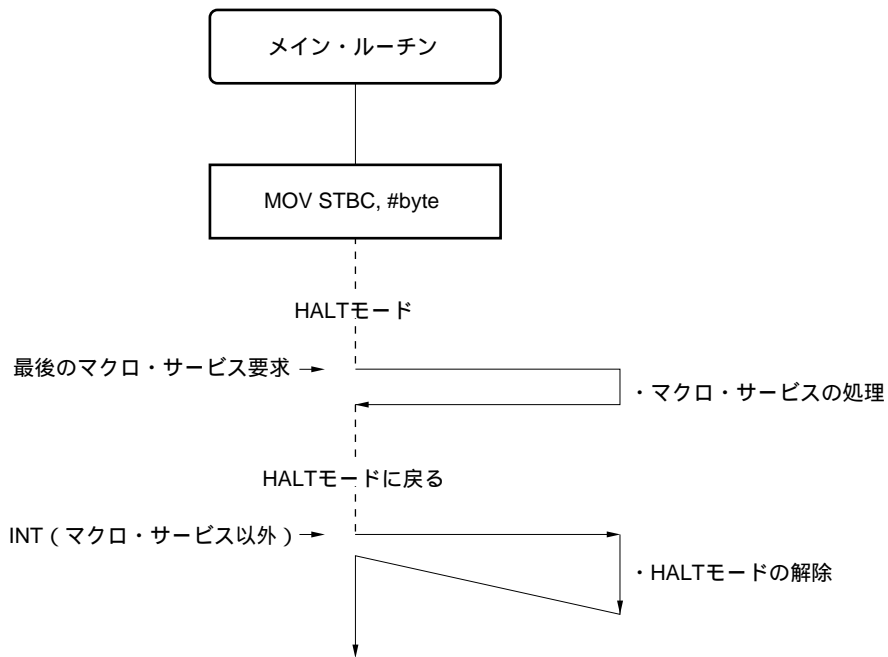
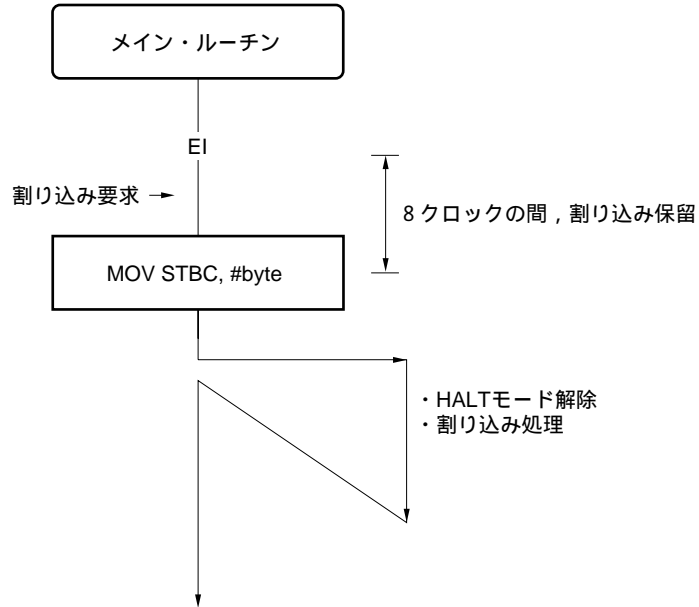
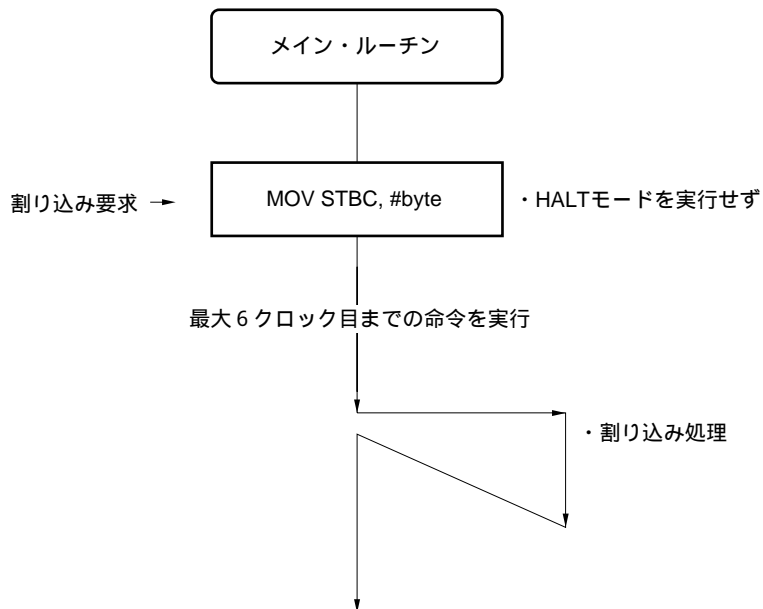


図23 - 4 HALTモード解除後の動作 (4/4)

(6) 割り込み要求が一時的に保留される命令において割り込みが入り、その割り込みが保留中にHALTモードに入った場合



(7) HALT命令と割り込みが競合する場合



(1) ノンマスカブル割り込みによる解除

ノンマスカブル割り込みが発生すると、割り込み受け付けの許可状態 (EI)、禁止状態 (DI) に関係なく HALTモードから解除されます。

HALTモードから解除されると、HALTモードを解除したノンマスカブル割り込みが受け付け可能であれば、そのノンマスカブル割り込みの受け付けを行い、サービス・プログラムへ分岐します。受け付けが不可能であれば、HALTモードを設定した命令 (MOV STBC, byte命令) の次の命令を実行します。HALTモードを解除したノンマスカブル割り込みは、その受け付けが可能になった時点で受け付けられます。ノンマスカブル割り込みの受け付けについての詳細は、22.6 ノンマスカブル割り込みの受け付け動作を参照してください。

注意 ウォッチ・ドッグ・タイマによるHALTモードの解除はできません。

(2) マスカブル割り込み要求による解除

マスカブル割り込み要求によるHALTモードの解除は、割り込みマスク・フラグが0の割り込みによるのみ可能です。

HALTモードが解除されると、割り込み要求許可フラグ (IE) がセット (1) されている場合は、その割り込みが受け付け可能であれば、割り込みサービス・プログラムへ分岐します。受け付けが不可能な場合とIEフラグがクリア (0) されている場合は、HALTモードを設定した次の命令から実行を再開します。割り込みの受け付けについての詳細は、22.7 マスカブル割り込みの受け付け動作を参照してください。

マクロ・サービスは、HALTモードを一時的に解除して、1回の処理を行い、再びHALTモードに戻ります。マクロ・サービスが指定回数だけ行われると、マクロ・サービス・コントロール・ワードのマクロ・サービス・モード・レジスタ中にあるVCIEビットがクリア (0) されている場合は、HALTモードを解除します。この解除後の動作は、前述したマスカブル割り込みによる解除と同一です。また、VCIEビットがセット (1) されている場合は、再びHALTモードとなり、次の割り込みの要求でHALTモードを解除します。

表23 - 4 マスカブル割り込み要求によるHALTモードの解除

解除ソース	MK ^{注1}	IE ^{注2}	解除時の状態	解除後の動作
マスカブル割り込み要求 (マクロ・サービスの要求を除く)	0	1	・割り込みサービス・プログラムの実行中でない	割り込み要求の受け付け
			・優先順位の低いマスカブル割り込みサービス・プログラムの実行中 ・優先順位レベル3の割り込みサービス・プログラムの実行中で、PRSLビット ^{注4} がクリア(0)されている	
	0	0	・同一優先順位のマスカブル割り込みサービス・プログラム実行中 (PRSLビット ^{注4} がクリア(0)されている場合で、優先順位レベル3の割り込みサービス・プログラム実行中を除く) ・優先順位の高い割り込みサービス・プログラム実行中	MOV STBC, byte命令の次の命令を実行 (HALTモードを解除した割り込み要求は、保留される ^{注3})
	1	x	-	HALTモード保持
マクロ・サービス要求	0	x	-	マクロ・サービス処理実行 終了条件不成立 再びHALTモード 終了条件成立 VCIE ^{注5} =1のとき：再びHALTモード VCIE ^{注5} =0のとき：マスカブル割り込み要求による解除と同じ
			1	x

注1．各割り込み要求ソースにある割り込みマスク・ビット

- 2．プログラム・ステータス・ワード (PSW) 中にある割り込み許可フラグ
- 3．保留された割り込み要求は、受け付け可能になった時点で受け付けられる
- 4．割り込みモード・コントロール・レジスタ (IMC) 中のビット
- 5．各マクロ・サービス要求ソースにあるマクロ・サービス・コントロール・ワードのマクロ・サービス・モード・レジスタ中のビット

(3) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐した後、プログラムを実行します。ただし、内部RAMの内容は、HALTモード設定直前の値を保持しています。

23.4 STOPモード

23.4.1 STOPモードの設定および動作状態

STOPモードには、スタンバイ・コントロール・レジスタ (STBC) のSTPビットをセット (1) することにより設定されます。

STBCの書き込みは、専用命令による8ビット・データ書き込みのみ可能です。したがって、STOPモードの設定は、“MOV STBC, #byte” 命令で行います。

割り込み許可 (PSWのIEフラグがセット (1)) に設定している場合、STOPモード設定の命令のあと (STOPモード解除後) にはNOP命令を3回記述してください。そうしないとSTOPモード解除後、割り込みを受け付ける前に複数の命令を実行してしまう可能性があります。これにより、割り込み処理と命令の実行の順序関係が変化してしまうことがあります。実行順序が変化することによる不具合を防止するために、前述の処理が必要です。

- ★ **注意** スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。STOPモード設定命令の実行とマスクされていない割り込み要求フラグのセットまたはノンマスカブル割り込み要求が競合した場合には、次の2通りの状態があります。

- (1) いったんSTOPモードに設定され、その後、解除される状態
- (2) STOPモードに設定されない状態

STOPモード解除後の発振安定時間は、いったんSTOPモードに設定され、その後、解除される状態のみに挿入されます。

次にSTOPモード時の動作状態を示します。

表23 - 5 STOPモード時の動作状態

項目	動作状態
クロック発生回路	動作停止 (PLLも停止)
内部システム・クロック	停止
CPU	動作停止
I/Oライン	STOPモード設定前の状態を保持
各周辺機能	すべて動作停止 ^注
内部RAM	保持

注 A/Dコンバータは動作を停止しますが、A/Dコンバータ・モード・レジスタ0 (ADM0) のADCS0ビットがセット (1) されていると、消費電流は減りません。
ウォッチドッグ・タイマは0にクリアされ停止します。解除は、再起動します。

- 注意 1** . ADM0のADCS0ビットをクリア (0) してください。
2 . 外部クロック入力時は、STOPモードに設定しないでください。

23.4.2 STOPモードの解除

STOPモードは、NMI入力およびRESET入力により解除されます。表23 - 6に、解除ソースと解除後の動作の概要を示します。また、図23 - 5に、STOPモード解除後の動作を示します。

表23 - 6 STOPモードの解除と解除後の動作

解除ソース	MK ^{注1}	ISM ^{注2}	IE ^{注3}	解除時の状態	解除後の動作
RESET入力	×	×	×	-	通常のリセット動作
NMI端子入力	×	×	×	・ノンマスクابل割り込みサービス・プログラムの実行中でない	割り込み要求の受け付け
				・優先順位の低いノンマスクابل割り込みサービス・プログラムの実行中	
				・NMI端子入力のサービス・プログラム実行中	MOV STBC, byte命令の次の命令を実行（STOPモードを解除した割り込み要求は、保留される ^{注4} ）
				・優先順位の高いノンマスクابل割り込みサービス・プログラム実行中	

注1．各割り込み要求ソースにある割り込みマスク・ビット

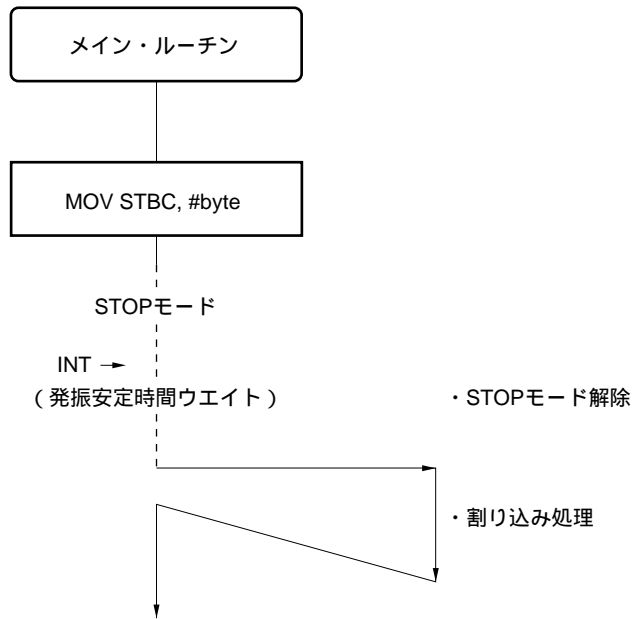
2．各割り込み要求ソースにあるマクロ・サービス許可フラグ

3．プログラム・ステータス・ワード（PSW）中にある割り込み許可フラグ

4．保留された割り込み要求は、受け付け可能になった時点で受け付けられる

図23 - 5 STOPモード解除後の動作 (1/3)

(1) STOPモードに入ったあと、割り込みが入った場合



(2) STOPモードに入ったあとリセット

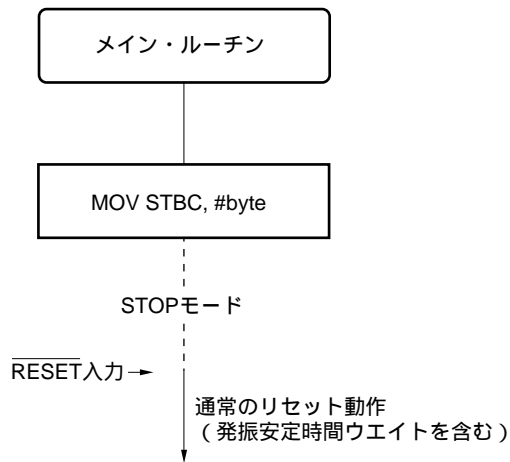
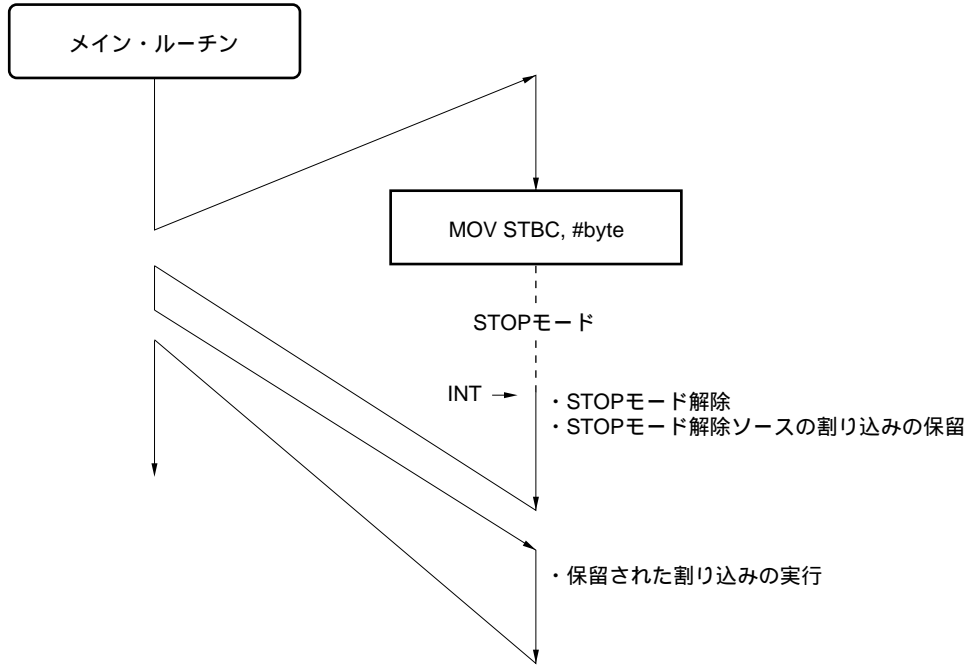


図23 - 5 STOPモード解除後の動作 (2/3)

(3) 解除ソースの割り込みよりも優先順位の高い, あるいは同じ割り込み処理ルーチン中にSTOPモードに入った場合



(4) 解除ソースの割り込みよりも優先順位の高い割り込み処理ルーチン中にSTOPモードに入った場合

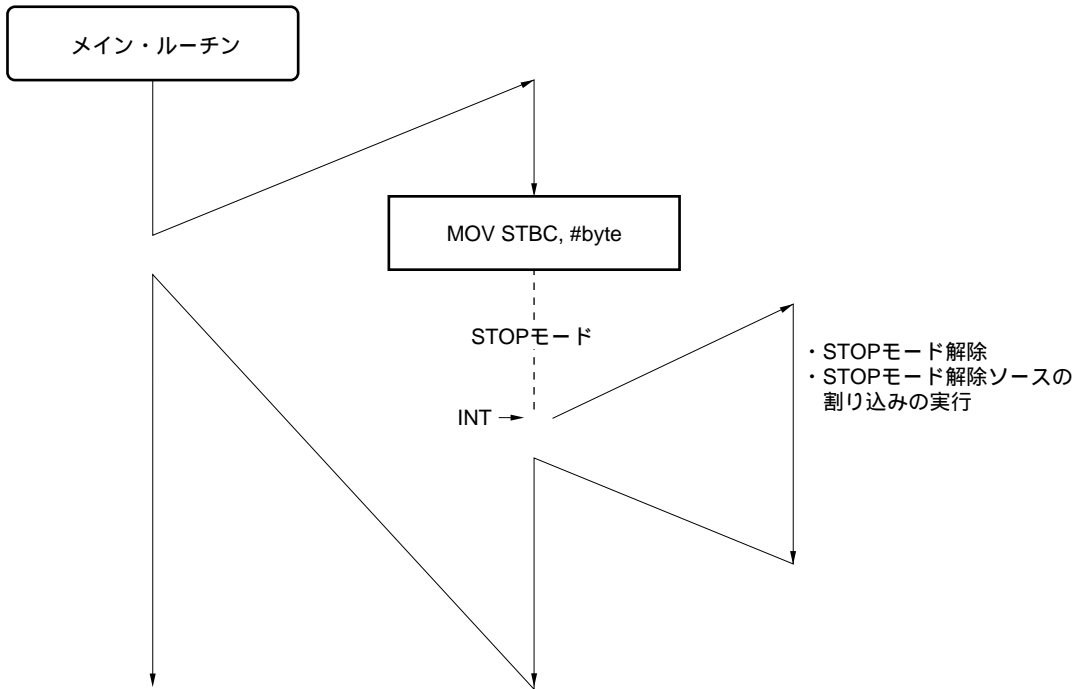
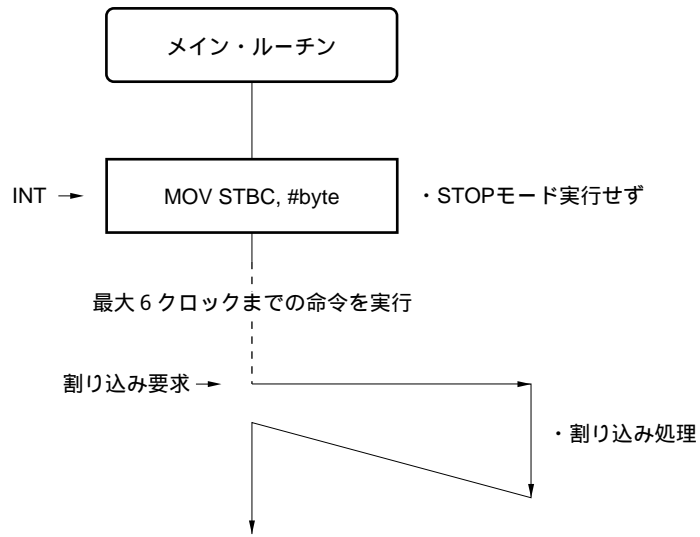


図23 - 5 STOPモード解除後の動作 (3/3)

★ (5) STOPモード設定命令と割り込みが競合する場合



(1) NMI入力によるSTOPモードの解除

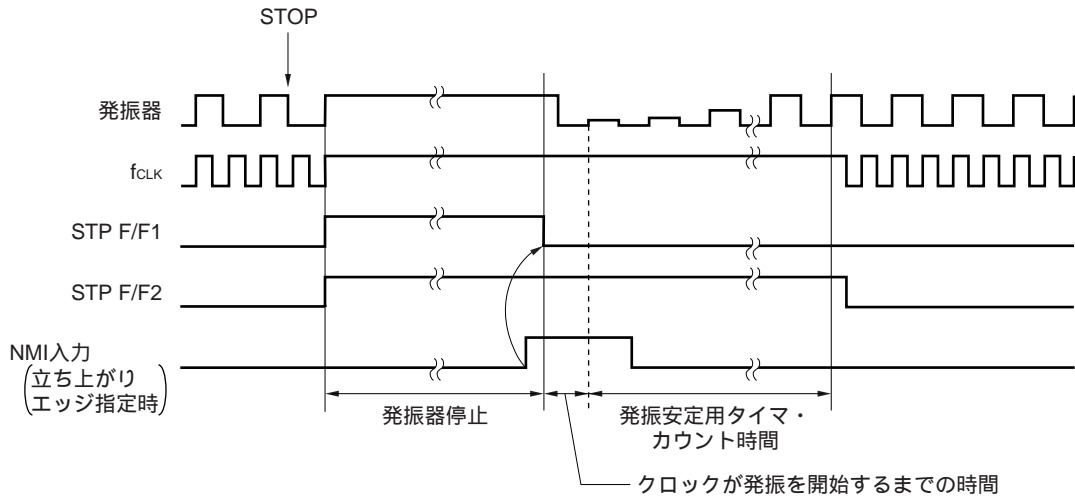
NMI入力に外部割り込みエッジ許可レジスタ (EGP0, EGN0) で指定した有効エッジが入力されると発振器が発振を再開します。その後、発振安定時間指定レジスタ (OSTS) で指定された発振安定時間後にSTOPモードは解除されます。

STOPモードから解除されると、NMI端子入力によるノンマスクابل割り込みが受け付け可能な場合は、NMI割り込みサービス・プログラムに分岐します。また、受け付けが不可能な場合 (NMI割り込みサービス・プログラム中でSTOPモードに設定した場合など) は、STOPモードを設定した命令の次の命令から実行を再開し、受け付けが可能になると (RETI命令実行などによる) NMI割り込みサービス・プログラムへ分岐します。

NMI割り込みの受け付けについての詳細は、22.6 ノンマスクابل割り込みの受け付け動作を参照してください。

★

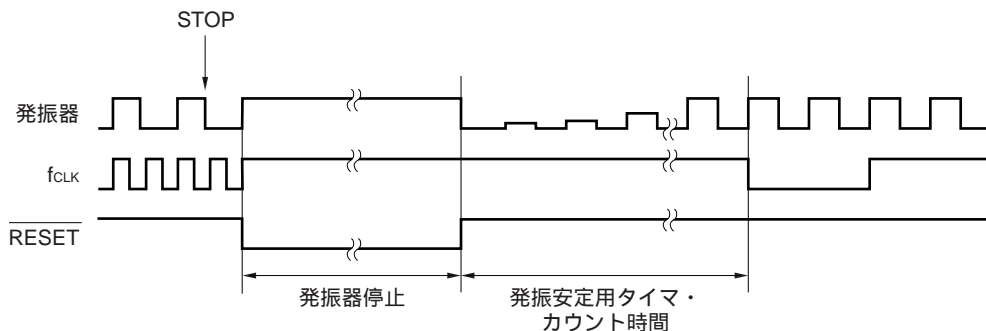
図23 - 6 NMI入力によるSTOPモードの解除



(2) RESET入力によるSTOPモードの解除

RESET入力をハイからロウに下げるとリセット状態になります。RESETの立ち上がりでクロックの発振を開始し、発振安定用タイマがオーバーフローすると通常動作をスタートします。このとき、内蔵データ・メモリはSTOPモード設定前の内容を保持しています。

図23 - 7 RESET入力によるSTOPモードの解除



23.5 IDLEモード

23.5.1 IDLEモードの設定および動作状態

IDLEモードには、スタンバイ・コントロール・レジスタ（STBC）のSTPビットとHLTビットの両方をセット（1）することにより設定されます。

STBCの書き込みは、専用命令による8ビット・データ書き込みのみ可能です。したがって、IDLEモードの設定は、“MOV STBC, #byte”命令で行います。

割り込み許可（PSWのIEフラグがセット（1））に設定している場合、IDLEモード設定の命令のあと（IDLEモード解除後）にはNOP命令を3回記述してください。そうしないとIDLEモード解除後、割り込みを受け付ける前に複数の命令を実行してしまう可能性があります。これにより、割り込み処理と命令の実行の順序関係が変化してしまうことがあります。実行順序が変化することによる不具合を防止するために、前述の処理が必要です。

次にIDLEモード時の動作状態を示します。

表23 - 7 IDLEモード時の動作状態

項目	動作状態
クロック発生回路	発振継続（PLLも動作継続）
内部システム・クロック	停止
CPU	動作停止
I/Oライン	IDLEモード設定前の状態を保持
各周辺機能	すべて動作停止 ^注
内部RAM	保持

注 A/Dコンバータは動作を停止しますが、A/Dコンバータ・モード・レジスタ0（ADM0）のADCS0ビットがセット（1）されていると、消費電流は減りません。

★ ウォッチドッグ・タイマは0にクリアされ停止します。解除後は、再起動します。

注意 ADM0のADCS0ビットをクリア（0）してください。

23.5.2 IDLEモードの解除

IDLEモードは、NMI入力またはRESET入力により解除されます。表23 - 8に、解除ソースと解除後の動作の概要を示します。また、図23 - 8にIDLEモード解除後の動作を示します。

表23 - 8 IDLEモードの解除と解除後の動作

解除ソース	MK ^{注1}	ISM ^{注2}	IE ^{注3}	解除時の状態	解除後の動作
RESET入力	x	x	x	-	通常のリセット動作
NMI端子入力	x	x	x	・ノンマスクابل割り込みサービス・プログラムの実行中でない ・優先順位の低いノンマスクابل割り込みサービス・プログラムの実行中	割り込み要求の受け付け MOV STBC, byte命令の次の命令を実行（IDLEモードを解除した割り込み要求は、保留される ^{注4} ）
				・NM端子入力のサービス・プログラム実行中 ・優先順位の高いノンマスクابل割り込みサービス・プログラム実行中	

注1．各割り込み要求ソースにある割り込みマスク・ビット

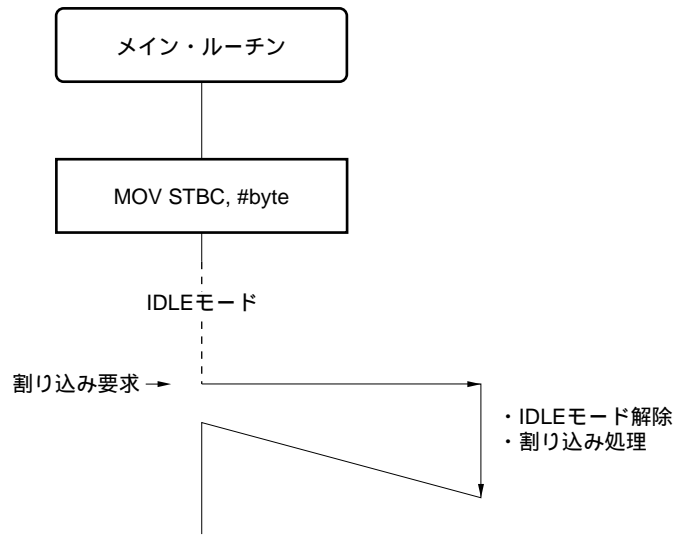
2．各割り込み要求ソースにあるマクロ・サービス許可フラグ

3．プログラム・ステータス・ワード（PSW）中にある割り込み許可フラグ

4．保留された割り込み要求は、受け付け可能になった時点で受け付けられる

図23 - 8 IDLEモード解除後の動作 (1/3)

(1) IDLEモードに入ったあと、割り込みが入った場合



(2) IDLEモードに入ったあとリセット

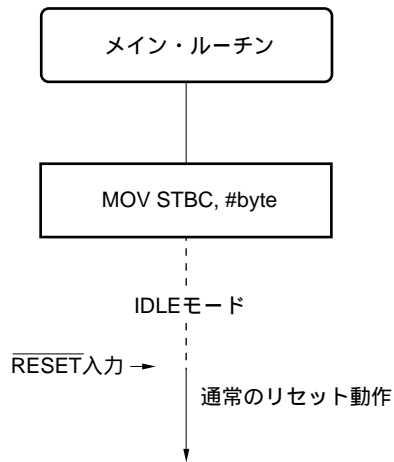
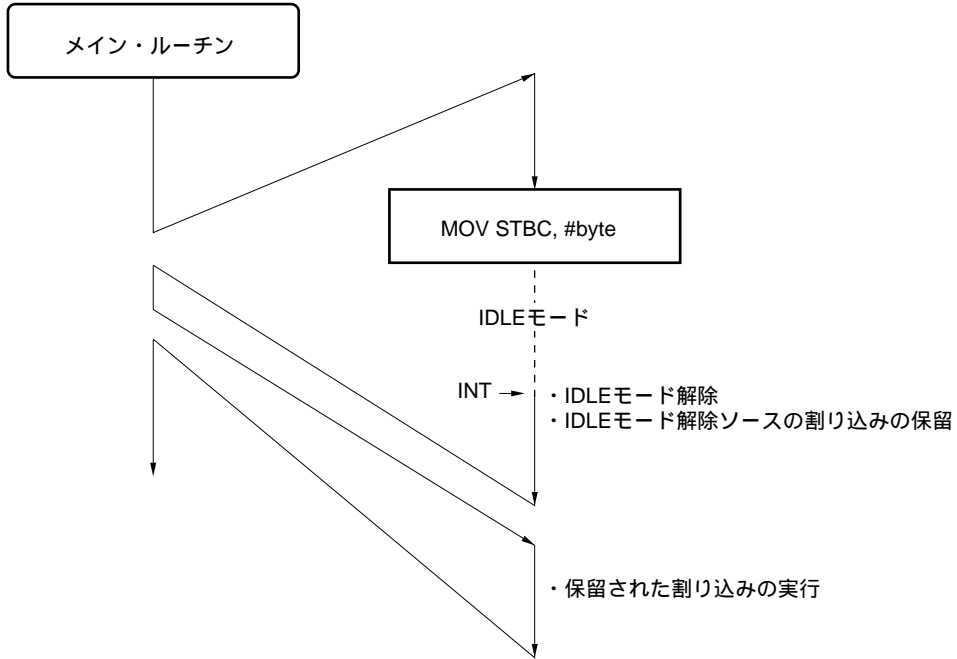


図23 - 8 IDLEモード解除後の動作 (2/3)

(3) 解除ソースの割り込みよりも優先順位の高い、あるいは同じ割り込み処理ルーチン中にIDLEモードに入った場合



(4) 解除ソースの割り込みよりも優先順位の高い割り込み処理ルーチン中にIDLEモードに入った場合

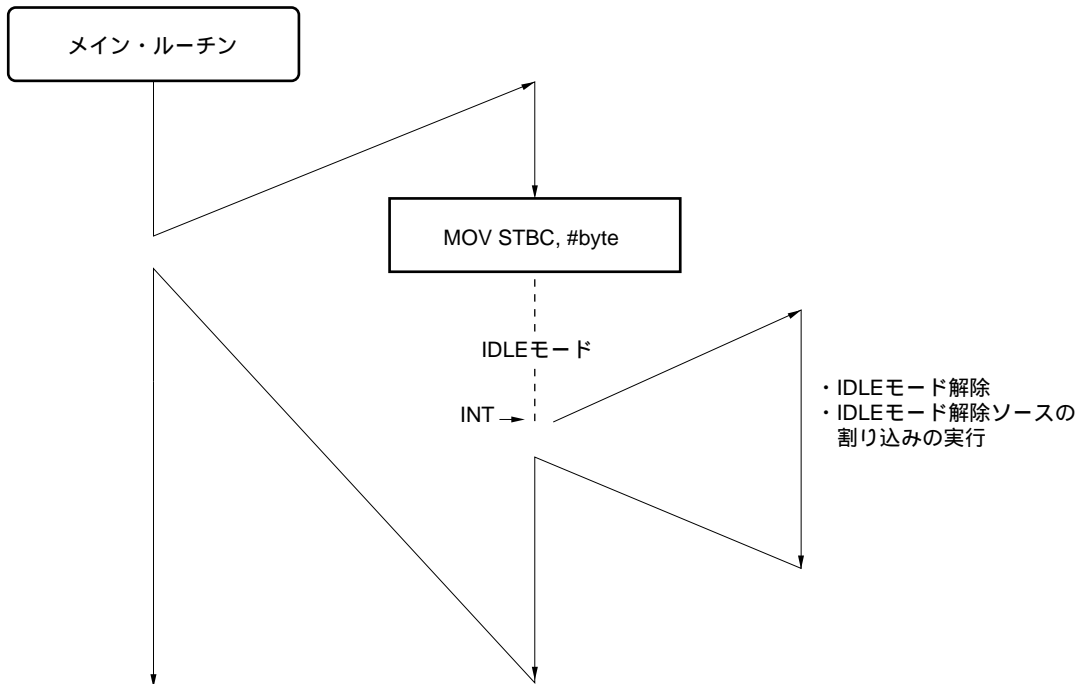
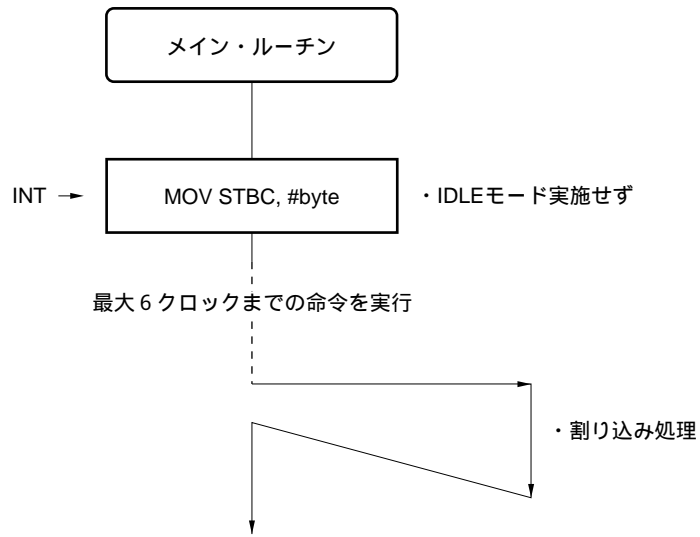


図23 - 8 IDLEモード解除後の動作 (3/3)

★ (5) IDLEモード設定命令と割り込みが競合する場合



(1) NMI入力によるIDLEモードの解除

NMI入力に外部割り込みエッジ許可レジスタ (EGP0, EGN0) で指定した有効エッジが入力されると、IDLEモードは解除されます。

IDLEモードから解除されると、NMI端子入力によるノンマスクابل割り込みが受け付け可能な場合は、NMI割り込みサービス・プログラムに分岐します。また、受け付けが不可能な場合 (NMI割り込みサービス・プログラム中でIDLEモードに設定した場合など) は、IDLEモードを設定した命令の次の命令から実行を再開し、受け付けが可能になると (RETI命令実行などによる)、NMI割り込みサービス・プログラムへ分岐します。

NMI割り込みの受け付けについての詳細は、22.6 ノンマスクابل割り込みの受け付け動作を参照してください。

(2) $\overline{\text{RESET}}$ 入力によるIDLEモードの解除

$\overline{\text{RESET}}$ 入力をハイからロウに下げるとリセット状態になります。 $\overline{\text{RESET}}$ の立ち上がりでクロックの発振を開始し、発振安定用タイマがオーバーフローすると通常動作をスタートします。このとき、内蔵データ・メモリはIDLEモード設定前の内容を保持しています。

23.6 STOPモード/IDLEモード使用時のチェック項目

STOPモード/IDLEモード使用時の消費電流を下げるために必要なチェック項目を示します。

(1) 各出力端子の出力レベルは適正か？

各端子の適正な出力レベルは、次段の回路によって異なります。最も消費電流が少なくなるような出力レベルを選んでください。

- ・次段の回路の入カインピーダンスが低い場合にハイ・レベルを出力していると、電源からポートへ電流が流れ出し、消費電流が増えてしまいます。次段の回路がCMOS ICなどの場合がこれにあたります。CMOS ICは、電源OFF時には、入カインピーダンスが低くなります。消費電流を抑えるため、またCMOS ICの信頼性に悪影響を与えないため、ロウ・レベルを出力してください。ハイ・レベルを出力していると、電源の再投入時にラッチアップの原因となります。
- ・次段の回路によっては、ロウ・レベルを入力すると消費電流が増えてしまう場合があります。このような場合は、ハイ・レベルまたはハイ・インピーダンスを出力し、消費電流が少なくなるようにしてください。
- ・次段の回路がCMOS ICの場合で、そのCMOS ICに電源が供給されているときに出力をハイ・インピーダンスにすると、CMOS ICの消費電流が増える場合があります（このとき、CMOS ICが過熱し、破壊する場合があります）。このような場合には、適正なレベルを出力するか、抵抗によりプルアップまたはプルダウンするなどしてください。

出力レベルの設定方法は、ポートのモードによって異なります。

- ・ポートがコントロール・モードのときには、内蔵ハードウェアの状態によって出力レベルが決定されますので、内蔵ハードウェアの状態を考慮して出力レベルを設定する必要があります。
- ・ポート・モードのときには、ソフトウェアでポートの出力ラッチとポート・モード・レジスタへ書き込みをすることにより、出力レベルを設定することができます。

ポートがコントロール・モードになっているときには、ポート・モードへ変更することで、出力レベルの設定が簡単になります。

(2) 各入力端子の入力レベルは適正か？

各端子に入力される電圧レベルは、 V_{SS} 電位から V_{DD} 電位の範囲内にしてください。この範囲外の電圧を印加すると、消費電流が増えるだけでなく、 μ PD784956Aの信頼性にも悪影響を与えます。

また、中間電位が加わらないようにしてください。

(3) 内蔵プルアップ抵抗は必要か？

不要なプルアップ抵抗は、消費電流を増やしたり、他のデバイスのラッチアップの原因となったりします。プルアップ抵抗は、必要な部分だけを使用するモードに指定してください。

必要な部分と不要な部分が混在する場合は、必要な部分については外付けにプルアップ抵抗を接続し、内蔵プルアップ抵抗を使用しないモードに指定するなどしてください。

(4) A/Dコンバータ

電源を減らしたい場合は、 AV_{REF} 端子への電流供給を外付け回路で切断してください。A/Dコンバータ未使用時に AV_{REF} 端子に流れる電流を減らすためには、 AV_{REF} 端子を V_{SS} 端子に接続してください。

第24章 リセット機能

$\overline{\text{RESET}}$ 入力端子にロウ・レベルが入力されると、システム・リセットがかかり、各ハードウェアは、表24 - 1に示すような状態になります。また、リセット期間中は、システム・クロックの発振を無条件に停止しますので、システム全体の消費電流を抑えることができます。

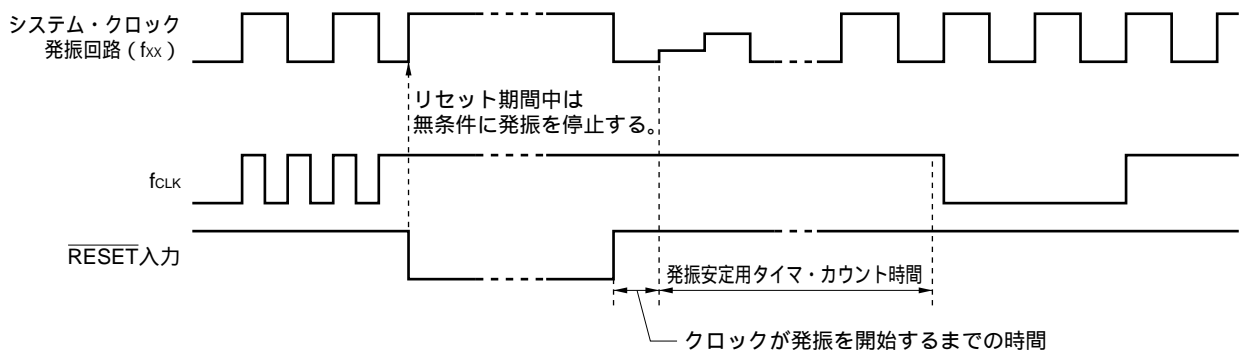
$\overline{\text{RESET}}$ 入力がロウ・レベルからハイ・レベルになると、リセット状態が解除され、発振安定用タイマのカウント時間 ($2^{19}/f_{\text{CK}} : 65.5 \text{ ms}^{\text{註}}$) のあと、リセット・ベクタ・テーブルの内容がプログラム・カウンタ (PC) にセットされ、PCにセットされたアドレスに分岐し、その分岐先のアドレスからプログラムの実行を開始します。

したがって、任意のアドレスからリセット・スタートできます。

注 $f_{\text{CK}} = 8 \text{ MHz}$ 動作時

★

図24 - 1 リセット期間中のシステム・クロックの発振



$\overline{\text{RESET}}$ 入力端子は、ノイズによる誤動作を防ぐため、アナログ・ディレイによるノイズ除去回路を内蔵しています。

備考 1 . f_{XX} : 発振周波数

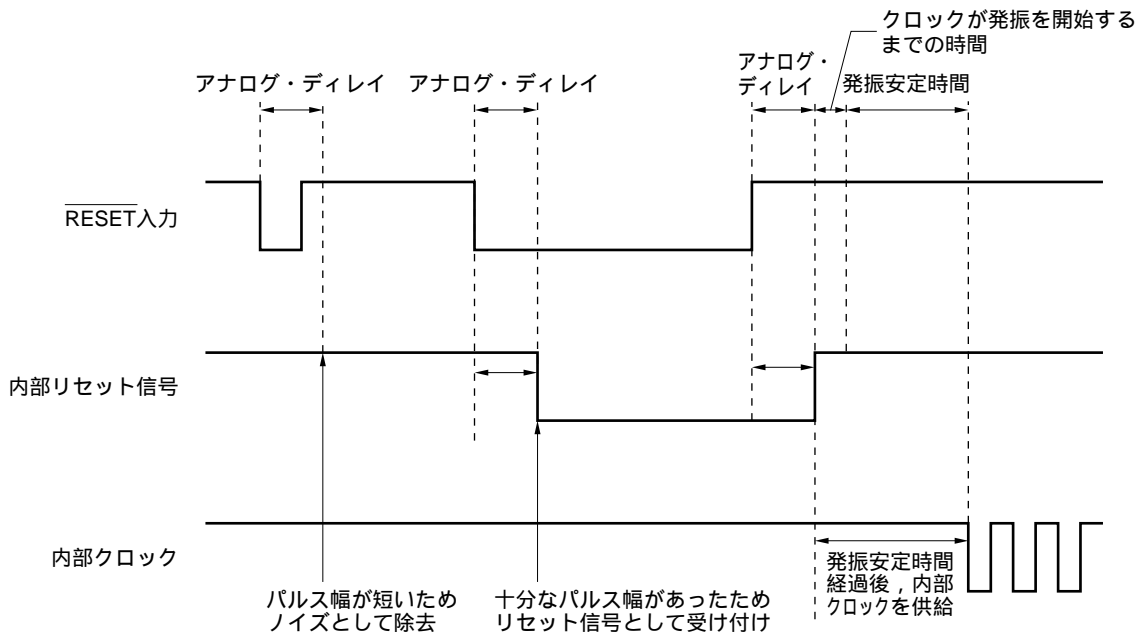
2 . f_{CK} : 内部ソース・クロック周波数 ($f_{\text{CK}} = 2 \cdot f_{\text{XX}}$)

3 . f_{CLK} : 内部システム・クロック周波数 (STBCの設定により選択されたクロック)

(詳細は第4章 クロック発生回路参照)

★

図24 - 2 リセット信号の受け付け



注意 確実なリセット入力のためには、 $2\mu\text{s}$ 以上のパルス幅を入力してください。

またデバイスごとに特性が違うためエッジが検出されるまでの遅延時間は一定の値にはなりません。

表24 - 1 各ハードウェアのリセット中、リセット後の状態

ハードウェア	リセット中の状態 (RESET = L)	リセット後の状態 (RESET = H)
システム・クロック発振回路	発振を停止する	発振を開始する
プログラム・カウンタ (PC)	不 定	リセット・ベクタ・テーブルの値をセット
スタック・ポインタ (SP)	不 定	
プログラム・ステータス・ワード (PSW)	0000Hにイニシャライズ	
内蔵RAM	不定。ただし、スタンバイ状態をリセットで解除した場合には、スタンバイ設定前の値を保持する。	
I/Oライン	ハイ・インピーダンス	
その他のハードウェア	所定の状態に初期化する ^注	

注 表3 - 6 特殊機能レジスタ (SFR) 一覧のリセット時を参照。

第25章 μ PD78F4956Aのプログラミング

μ PD784956Aサブシリーズのフラッシュ・メモリ製品には、 μ PD78F4956Aがあります。

μ PD78F4956Aは基板に実装した状態で、プログラムの書き込み、消去、再書き込みが可能なフラッシュ・メモリを内蔵した製品です。フラッシュ・メモリ製品（ μ PD78F4956A）とマスクROM製品（ μ PD784953A, 784956A）との違いを表25 - 1 に示します。

表25 - 1 μ PD78F4956AとマスクROM製品との違い

項 目	μ PD78F4956A	マスクROM製品
内部ROM構造	フラッシュ・メモリ	マスクROM
内部ROM容量	64 Kバイト	μ PD784953A : 24 Kバイト μ PD784956A : 64 Kバイト
内部RAM容量	2048バイト	μ PD784953A : 768バイト μ PD784956A : 2048バイト
内部メモリ・サイズ切り替えレジスタ (IMS)	あり	なし
IC端子	なし	あり
V _{PP} 端子	あり	なし

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程で、フラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価を行ってください。

25.1 内部メモリ・サイズ切り替えレジスタ (IMS)

IMSは、ソフトウェアにより内部メモリの一部を使用しないようにするためのレジスタです。IMSを設定することにより、内部メモリ (ROM, RAM) 容量の異なるマスクROM製品のメモリ・マップと同一のメモリ・マップにすることができます。

IMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図25 - 1 内部メモリ・サイズ切り替えレジスタ (IMS) のフォーマット

アドレス : 0FFFCH リセット時 : FFH W

略号	7	6	5	4	3	2	1	0
IMS	1	1	ROM1	ROM0	1	1	RAM1	RAM0

ROM1	ROM0	内部ROM容量の選択
0	0	24 Kバイト
0	1	設定禁止
1	0	
1	1	64 Kバイト

RAM1	RAM0	内部RAM容量の選択
0	0	768バイト
0	1	設定禁止
1	0	
1	1	2048バイト

注意 IMSは、マスクROM製品 (μ PD784953A, 784956A) にはありません。

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表25 - 2 に示します。

表25 - 2 内部メモリ・サイズ切り替えレジスタ (IMS) の設定値

対象のマスクROM製品	IMSの設定値
μ PD784953A	CCH
μ PD784956A	FFH

25.2 Flashpro 使用によるフラッシュ・メモリ・プログラミング

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行うことができます。専用フラッシュ・ライター（Flashpro（型番FL-PR3, PG-FP3））をホスト・マシンおよびターゲット・システムに接続して書き込みます。また、Flashpro に接続されたフラッシュ・メモリ書き込み用アダプタ上でも書き込み可能です。

備考 FL-PR3は、株式会社内藤電誠町田製作所の製品です。

25.2.1 通信方式の選択

フラッシュ・メモリへの書き込みは、Flashpro を使用し、シリアル通信で行います。表25 - 3 に示す通信方式から選択して書き込みを行います。この通信方式の選択は、図25 - 2 に示すようなフォーマットを用います。表25 - 3 に示すV_{PP}パルス数で、それぞれの通信方式が選択されます。

★

表25 - 3 通信方式一覧

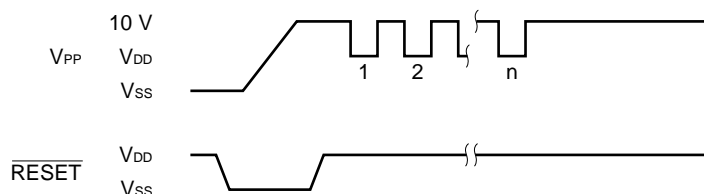
通信方式	チャンネル数	使用端子 ^{注1}	V _{PP} パルス数
3線式シリアルI/O	1	SCK/P27 SO/P26 SI/P25	0
3線式シリアルI/O (ハンドシェイク ^{注2})	1	SCK/P27 SO/P26 SI/P25 P21/TxD	3
UART	1	TxD/P21 RxD/P20	8

注1 .フラッシュ・メモリ・プログラミング・モードに移移するとフラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

2 . I, K規格以外

注意 通信方式は、必ず表25 - 3 に示すV_{PP}パルス数で選択してください。

図25 - 2 通信方式選択フォーマット



25.2.2 フラッシュ・メモリ・プログラミングの機能

選択された通信方式による各種コマンド/データ送受信により、フラッシュ・メモリの書き込みなどの動作を行います。主な機能を表25 - 4 に示します。

表25 - 4 フラッシュ・メモリ・プログラミングの機能

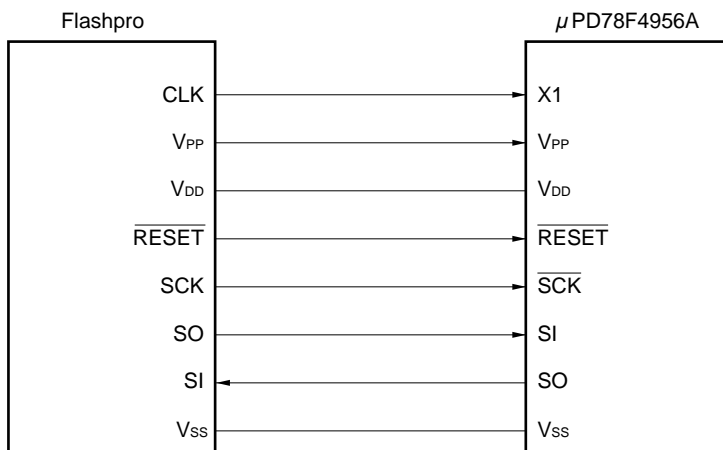
機 能	説 明
一括消去	全メモリの内容を消去します。
一括ブランク・チェック	全メモリの消去状態を確認します。
データ・ライト	書き込み開始アドレスおよび書き込みデータ数(バイト数)をもとに、フラッシュ・メモリに書き込みを行います。
一括ベリファイ	全メモリの内容と入力したデータを比較します。

★ なお、フラッシュ・メモリのベリファイは、ベリファイを行うデータをシリアル・インタフェースを介して外部から供給し、エリアまたは全データの照合が終了したあとに不一致データの有無を外部へ出力するようになっています。したがって、フラッシュ・メモリの読み出し機能はなく、このベリファイ方式によって、フラッシュ・メモリの内容を他者に読まれることはありません。

25.2.3 Flashpro の接続

Flashpro とμPD78F4956Aとの接続は、通信方式（3線式シリアルI/OまたはUART）によって異なります。それぞれの場合の接続図を図25 - 3 から図25 - 5 に示します。

図25 - 3 3線式シリアルI/O方式でのFlashpro の接続



★

図25 - 4 3線式シリアルI/O方式でのFlashpro の接続（ハンドシェイク使用時）

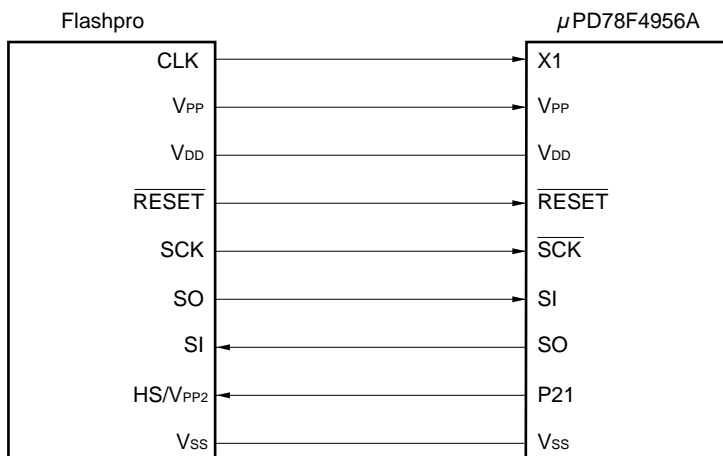
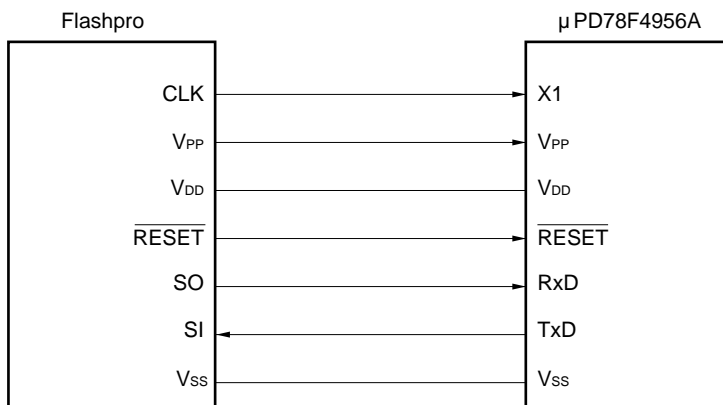


図25 - 5 UART方式でのFlashpro の接続



第26章 命令のオペレーション

26.1 凡 例

(1) オペランドの表現形式と記述方法 (1/2)

表現形式	記 述 方 法
r, r ^{注1}	X(R0), A(R1), C(R2), B(R3), R4, R5, R6, R7, R8, R9, R10, R11, E(R12), D(R13), L(R14), H(R15)
r1 ^{注1}	X(R0), A(R1), C(R2), B(R3), R4, R5, R6, R7
r2	R8, R9, R10, R11, E(R12), D(R13), L(R14), H(R15)
r3	V, U, T, W
rp, rp' ^{注2}	AX(RP0), BC(RP1), RP2, RP3, VR(RP4), UR(RP5), DE(RP6), HL(RP7)
rp1 ^{注2}	AX(RP0), BC(RP1), RP2, RP3
rp2	VR(RP4), UR(RP5), DE(RP6), HL(RP7)
rg, rg'	VVR(RG4), UUR(RG5), TDE(RG6), WHL(RG7)
sfr	特殊機能レジスタ略号(特殊機能レジスタ活用表参照)
sfrp	特殊機能レジスタ略号(16ビット操作可能レジスタ:特殊機能レジスタ活用表参照)
post ^{注2}	AX(RP0), BC(RP1), RP2, RP3, VR(RP4), UR(RP5)PSW, DE(RP6), HL(RP7) 複数記述可能。ただし、UPIはPUSH/POP命令、PSWはPUSHU/POPU命令にかぎる
mem	[TDE][WHL][TDE+][WHL+][TDE-][WHL-][VVP][UUP]: レジスタ・インダイ レクト・アドレッシング [TDE+byte][WHL+byte][SP+byte][UUP+byte][VVP+byte]: ベースト・アドレッシング imm24[A] imm24[B] imm24[DE] imm24[HL]: インデクスト・アドレッシング [TDE+A][TDE+B][TDE+C][WHL+A][WHL+B][WHL+C][VVP+DE] [VVP+HL]: ベースト・インデクスト・アドレッシング
mem1	memから[WHL+][WHL-]を除いたすべて
mem2	[TDE][WHL]
mem3	[AX][BC][RP2][RP3][VVP][UUP][TDE][WHL]

注1 .RSSビットを1とすることで、R4-R7をX, A, C, Bとして使用することができますが、この機能を使用するのは、78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

2 .RSSビットを1とすることで、RP2, RP3をAX, BCとして使用することができますが、この機能を使用するのは、78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

(1) オペランドの表現形式と記述方法 (2/2)

表現形式	記述方法
注	
saddr, saddr'	FD20H-FF1FH イミーディエト・データまたはレーベル
saddr1	FE00H-FEFFFH イミーディエト・データまたはレーベル
saddr2	FD20H-FDFFFH, FF00H-FF1FH イミーディエト・データまたはレーベル
saddrp	FD20H-FF1EH イミーディエト・データまたはレーベル (16ビット操作時)
saddrp1	FE00H-FEFFFH イミーディエト・データまたはレーベル (16ビット操作時)
saddrp2	FD20H-FDFFFH, FF00H-FF1EH イミーディエト・データまたはレーベル (16ビット操作時)
saddrg	FD20H-FEFDH イミーディエト・データまたはレーベル (24ビット操作時)
saddrg1	FE00H-FEFDH イミーディエト・データまたはレーベル (24ビット操作時)
saddrg2	FD20H-FDFFFH イミーディエト・データまたはレーベル (24ビット操作時)
addr24	0H-FFFFFFH イミーディエト・データまたはレーベル
addr20	0H-FFFFFFH イミーディエト・データまたはレーベル
addr16	0H-FFFFFH イミーディエト・データまたはレーベル
addr11	800H-FFFFH イミーディエト・データまたはレーベル
addr8	0FE00H-0FEFFFH ^注 イミーディエト・データまたはレーベル
addr5	40H-7EH イミーディエト・データまたはレーベル
imm24	24ビット・イミーディエト・データまたはレーベル
word	16ビット・イミーディエト・データまたはレーベル
byte	8ビット・イミーディエト・データまたはレーベル
bit	3ビット・イミーディエト・データまたはレーベル
n	3ビット・イミーディエト・データ
locaddr	00Hまたは0FH

注 LOCATION命令で00Hを指定した場合は、ここに示したアドレスになります。

LOCATION命令で0FHを指定した場合は、ここに示したアドレスにF0000Hを加えた値がアドレスになります。

(2) オペランド欄の記号

記号	説明
+	オートインクリメント
-	オートデクリメント
	イミーディエト・データ
!	16ビット絶対アドレス
!!	24ビット/20ビット絶対アドレス
\$	8ビット相対アドレス
\$!	16ビット相対アドレス
/	ビット反転
[]	インダイレクト・アドレッシング
[%]	24ビット・インダイレクト・アドレッシング

(3) フラグ欄の記号

記号	説明
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果に従ってセット/クリアされる
P	P/Vフラグがパリティ・フラグとして動作する
V	P/Vフラグがオーバーフロー・フラグとして動作する
R	以前に退避した値がリストアされる

(4) オペレーション欄の記号

記号	説明
jdisp8	次の命令の先頭アドレスと分岐先アドレスとの相対アドレス距離の符号付き2の補数データ (8ビット)
jdisp16	次の命令の先頭アドレスと分岐先アドレスとの相対アドレス距離の符号付き2の補数データ (16ビット)
PC _{HW}	PCのビット16-19
PC _{LW}	PCのビット0-15

(5) オペランドにmemを含む命令のバイト数

memのモード	レジスタ・インダイレクト・アドレッシング	ベースト・アドレッシング	インデクスト・アドレッシング	ベースト・インデクスト・アドレッシング
バイト数	1	2 ^注	3	2

注 MOV命令でmemに [TDE] [WHL] [TDE +] [TDE -] [WHL +] [WHL -] を記述した場合のみ、1バイト命令になります。

(6) オペランドにsaddr, saddrp, r, rpを含む命令のバイト数

オペランドにsaddr, saddrp, r, rpを含む命令の中には、バイト数をスラッシュ“ / ”で2つに分けて記述しているものがあります。どちらのバイト数になるかは下表によります。

表現形式	バイト数の左側	バイト数の右側
saddr	saddr2	saddr1
saddrp	saddrp2	saddrp1
r	r1	r2
rp	rp1	rp2

(7) オペランドにmemを含む命令、ストリング命令の記述

オペランドのTDE, WHL, VVP, UUP (24ビット・レジスタ) は、それぞれDE, HL, VP, UPと記述することもできます。ただし、DE, HL, VP, UPと記述した場合でもTDE, WHL, VVP, UUP (24ビット・レジスタ) として扱われます。

26.2 オペレーション一覧

(1) 8ビット・データ転送命令：MOV

ニモニック	オペランド	バイト	オペレーション	フラグ							
				S	Z	AC	P/V	CY			
MOV	r, byte	2/3	r byte								
	saddr, byte	3/4	(saddr) byte								
	sfr, byte	3	sfr byte								
	!addr16, byte	5	(saddr16) byte								
	!!addr24, byte	6	(addr24) byte								
	r, r	2/3	r r								
	A, r	1/2	A r								
	A, saddr2	2	A (saddr2)								
	r, saddr	3	r (saddr)								
	saddr2, A	2	(saddr2) A								
	saddr, r	3	(saddr) r								
	A, sfr	2	A sfr								
	r, sfr	3	r sfr								
	sfr, A	2	sfr A								
	sfr, r	3	sfr r								
	saddr, saddr'	4	(saddr) (saddr')								
	r, !addr16	4	r (addr16)								
	!addr16, r	4	(addr16) r								
	r, !!addr24	5	r (addr24)								
	!!addr24, r	5	(addr24) r								
	A, [saddrp]	2/3	A ((saddrp))								
	A, [%saddrg]	3/4	A ((saddrg))								
	A, mem	1-5	A (mem)								
	[saddrp], A	2/3	((saddrp)) A								
	[%saddrg], A	3/4	((saddrg)) A								
	mem, A	1-5	(mem) A				x	x	x	x	x
	PSWL, byte	3	PSWL byte								
	PSWH, byte	3	PSWH byte				x	x	x	x	x
	PSWL, A	2	PSWL A								
	PSWH, A	2	PSWH A								
	A, PSWL	2	A PSWL								
	A, PSWH	2	A PSWH								
r3, byte	3	r3 byte									
A, r3	2	A r3									
r3, A	2	r3 A									

(2) 16ビット・データ転送命令：MOVW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOVW	rp, word	3	rp word					
	saddrp, word	4/5	(saddrp) word					
	sfrp, word	4	sfrp word					
	!addr16, word	6	(addr16) word					
	!!addr24, word	7	(addr24) word					
	rp, rp'	2	rp rp'					
	AX, saddrp2	2	AX (saddrp2)					
	rp, saddrp	3	rp (saddrp)					
	saddrp2, AX	2	(saddrp2) AX					
	saddrp, rp	3	(saddrp) rp					
	AX, sfrp	2	AX sfrp					
	rp, sfrp	3	rp sfrp					
	sfrp, AX	2	sfrp AX					
	sfrp, rp	3	sfrp rp					
	saddrp, saddrp'	4	(saddrp) (saddrp')					
	rp, !addr16	4	rp (addr16)					
	!addr16, rp	4	(addr16) rp					
	rp, !!addr24	5	rp (addr24)					
	!!addr24, rp	5	(addr24) rp					
	AX, [saddrp]	3/4	AX ((saddrp))					
	AX, [%saddrg]	3/4	AX ((saddrg))					
	AX, mem	2-5	AX (mem)					
	[saddrp], AX	3/4	((saddrp)) AX					
[%saddrg], AX	3/4	((saddrg)) AX						
mem, AX	2-5	(mem) AX						

(3) 24ビット・データ転送命令：MOVG

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOVG	rg, imm24	5	rg imm24					
	rg, rg'	2	rg rg'					
	rg, !addr24	5	rg (addr24)					
	!addr24, rg	5	(addr24) rg					
	rg, saddrg	3	rg (saddrg)					
	saddrg, rg	3	(saddrg) rg					
	WHL, [%saddrg]	3/4	WHL ((saddrg))					
	[%saddrg], WHL	3/4	((saddrg) WHL					
	WHL, mem1	2-5	WHL (mem1)					
mem1, WHL	2-5	(mem1) WHL						

(4) 8ビット・データ交換命令：XCH

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
XCH	r, r'	2/3	r r'					
	A, r	1/2	A r					
	A, saddr2	2	A (saddr2)					
	r, saddr	3	r (saddr)					
	r, sfr	3	r sfr					
	saddr, saddr'	4	(saddr) (saddr')					
	r, !addr16	4	r (addr16)					
	r, !addr24	5	r (addr24)					
	A, [saddrp]	2/3	A ((saddrp))					
	A, [%saddrg]	3/4	A ((saddrg))					
	A, mem	2-5	A (mem)					

(5) 16ビット・データ交換命令：XCHW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
XCHW	rp, rp'	2	rp rp'					
	AX, saddrp2	2	AX (saddrp2)					
	rp, saddrp	3	rp (saddrp)					
	rp, sfrp	3	rp sfrp					
	AX, [saddrp]	3/4	AX ((saddrp))					
	AX, [%saddrg]	3/4	AX ((saddrg))					
	AX, !addr16	4	AX (addr16)					
	AX, !addr24	5	AX (addr24)					
	saddrp, saddrp'	4	(saddrp) (saddrp')					
	AX, mem	2-5	AX (mem)					

(6) 8ビット演算命令 : ADD, ADDC, SUB, SUBC, CMP, AND, OR, XOR

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADD	A, byte	2	A, CY A + byte	x	x	x	V	x
	r, byte	3	r, CY r + byte	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) + byte	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr + byte	x	x	x	V	x
	r, r'	2/3	r, CY r + r'	x	x	x	V	x
	A, saddr2	2	A, CY A + (saddr2)	x	x	x	V	x
	r, saddr	3	r, CY r + (saddr)	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) + r	x	x	x	V	x
	r, sfr	3	r, CY r + sfr	x	x	x	V	x
	sfr, r	3	sfr, CY sfr + r	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) + (saddr')	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A + ((saddrp))	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A + ((saddrg))	x	x	x	V	x
	[saddrp], A	3/4	((saddrp)), CY ((saddrp)) + A	x	x	x	V	x
	[%saddrg], A	3/4	((saddrg)), CY ((saddrg)) + A	x	x	x	V	x
	A, !addr16	4	A, CY A + (addr16)	x	x	x	V	x
	A, !!addr24	5	A, CY A + (addr24)	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) + A	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) + A	x	x	x	V	x
	A, mem	2-5	A, CY A + (mem)	x	x	x	V	x
mem, A	2-5	(mem), CY (mem) + A	x	x	x	V	x	
ADDC	A, byte	2	A, CY A + byte + CY	x	x	x	V	x
	r, byte	3	r, CY r + byte + CY	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) + byte + CY	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr + byte + CY	x	x	x	V	x
	r, r'	2/3	r, CY r + r' + CY	x	x	x	V	x
	A, saddr2	2	A, CY A + (saddr2) + CY	x	x	x	V	x
	r, saddr	3	r, CY r + (saddr) + CY	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) + r + CY	x	x	x	V	x
	r, sfr	3	r, CY r + sfr + CY	x	x	x	V	x
	sfr, r	3	sfr, CY sfr + r + CY	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) + (saddr') + CY	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A + ((saddrp)) + CY	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A + ((saddrg)) + CY	x	x	x	V	x
	[saddrp], A	3/4	((saddrp)), CY ((saddrp)) + A + CY	x	x	x	V	x
	[%saddrg], A	3/4	((saddrg)), CY ((saddrg)) + A + CY	x	x	x	V	x
	A, !addr16	4	A, CY A + (addr16) + CY	x	x	x	V	x
	A, !!addr24	5	A, CY A + (addr24) + CY	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) + A + CY	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) + A + CY	x	x	x	V	x
	A, mem	2-5	A, CY A + (mem) + CY	x	x	x	V	x
mem, A	2-5	(mem), CY (mem) + A + CY	x	x	x	V	x	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
SUB	A, byte	2	A, CY A - byte	x	x	x	V	x
	r, byte	3	r, CY r - byte	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) - byte	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr - byte	x	x	x	V	x
	r, r'	2/3	r, CY r - r'	x	x	x	V	x
	A, saddr2	2	A, CY A - (saddr2)	x	x	x	V	x
	r, saddr	3	r, CY r - (saddr)	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) - r	x	x	x	V	x
	r, sfr	3	r, CY r - sfr	x	x	x	V	x
	sfr, r	3	sfr, CY sfr - r	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) - (saddr')	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A - ((saddrp))	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A - ((saddrg))	x	x	x	V	x
	[saddrp], A	3/4	((saddrp)), CY ((saddrp)) - A	x	x	x	V	x
	[%saddrg], A	3/4	((saddrg)), CY ((saddrg)) - A	x	x	x	V	x
	A, !addr16	4	A, CY A - (addr16)	x	x	x	V	x
	A, !!addr24	5	A, CY A - (addr24)	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) - A	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) - A	x	x	x	V	x
	A, mem	2-5	A, CY A - (mem)	x	x	x	V	x
mem, A	2-5	(mem), CY (mem) - A	x	x	x	V	x	
SUBC	A, byte	2	A, CY A - byte - CY	x	x	x	V	x
	r, byte	3	r, CY r - byte - CY	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) - byte - CY	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr - byte - CY	x	x	x	V	x
	r, r'	2/3	r, CY r - r' - CY	x	x	x	V	x
	A, saddr2	2	A, CY A - (saddr2) - CY	x	x	x	V	x
	r, saddr	3	r, CY r - (saddr) - CY	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) - r - CY	x	x	x	V	x
	r, sfr	3	r, CY r - sfr - CY	x	x	x	V	x
	sfr, r	3	sfr, CY sfr - r - CY	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) - (saddr') - CY	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A - ((saddrp)) - CY	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A - ((saddrg)) - CY	x	x	x	V	x
	[saddrp], A	3/4	((saddrp)), CY ((saddrp)) - A - CY	x	x	x	V	x
	[%saddrg], A	3/4	((saddrg)), CY ((saddrg)) - A - CY	x	x	x	V	x
	A, !addr16	4	A, CY A - (addr16) - CY	x	x	x	V	x
	A, !!addr24	5	A, CY A - (addr24) - CY	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) - A - CY	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) - A - CY	x	x	x	V	x
	A, mem	2-5	A, CY A - (mem) - CY	x	x	x	V	x
mem, A	2-5	(mem), CY (mem) - A - CY	x	x	x	V	x	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CMP	A, byte	2	A - byte	x	x	x	V	x
	r, byte	3	r - byte	x	x	x	V	x
	saddr, byte	3/4	(saddr) - byte	x	x	x	V	x
	sfr, byte	4	sfr - byte	x	x	x	V	x
	r, r'	2/3	r - r'	x	x	x	V	x
	A, saddr2	2	A - (saddr2)	x	x	x	V	x
	r, saddr	3	r - (saddr)	x	x	x	V	x
	saddr, r	3	(saddr) - r	x	x	x	V	x
	r, sfr	3	r - sfr	x	x	x	V	x
	sfr, r	3	sfr - r	x	x	x	V	x
	saddr, saddr'	4	(saddr) - (saddr')	x	x	x	V	x
	A, [saddrp]	3/4	A - ((saddrp))	x	x	x	V	x
	A, [%saddrg]	3/4	A - ((saddrg))	x	x	x	V	x
	[saddrp], A	3/4	((saddrp)) - A	x	x	x	V	x
	[%saddrg], A	3/4	((saddrg)) - A	x	x	x	V	x
	A, !addr16	4	A - (addr16)	x	x	x	V	x
	A, !!addr24	5	A - (addr24)	x	x	x	V	x
	!addr16, A	4	(addr16) - A	x	x	x	V	x
	!!addr24, A	5	(addr24) - A	x	x	x	V	x
	A, mem	2-5	A - (mem)	x	x	x	V	x
mem, A	2-5	(mem) - A	x	x	x	V	x	
AND	A, byte	2	A A byte	x	x		P	
	r, byte	3	r r byte	x	x		P	
	saddr, byte	3/4	(saddr) (saddr) byte	x	x		P	
	sfr, byte	4	sfr sfr byte	x	x		P	
	r, r'	2/3	r r r'	x	x		P	
	A, saddr2	2	A A (saddr2)	x	x		P	
	r, saddr	3	r r (saddr)	x	x		P	
	saddr, r	3	(saddr) (saddr) r	x	x		P	
	r, sfr	3	r r sfr	x	x		P	
	sfr, r	3	sfr sfr r	x	x		P	
	saddr, saddr'	4	(saddr) (saddr) (saddr')	x	x		P	
	A, [saddrp]	3/4	A A ((saddrp))	x	x		P	
	A, [%saddrg]	3/4	A A ((saddrg))	x	x		P	
	[saddrp], A	3/4	((saddrp)) ((saddrp)) A	x	x		P	
	[%saddrg], A	3/4	((saddrg)) ((saddrg)) A	x	x		P	
	A, !addr16	4	A A (addr16)	x	x		P	
	A, !!addr24	5	A A (addr24)	x	x		P	
	!addr16, A	4	(addr16) (addr16) A	x	x		P	
	!!addr24, A	5	(addr24) (addr24) A	x	x		P	
	A, mem	2-5	A A (mem)	x	x		P	
mem, A	2-5	(mem) (mem) A	x	x		P		

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
OR	A, byte	2	A A byte	x	x			P
	r, byte	3	r r byte	x	x			P
	saddr, byte	3/4	(saddr) (saddr) byte	x	x			P
	sfr, byte	4	sfr sfr byte	x	x			P
	r, r'	2/3	r r r'	x	x			P
	A, saddr2	2	A A (saddr2)	x	x			P
	r, saddr	3	r r (saddr)	x	x			P
	saddr, r	3	(saddr) (saddr) r	x	x			P
	r, sfr	3	r r sfr	x	x			P
	sfr, r	3	sfr sfr r	x	x			P
	saddr, saddr'	4	(saddr) (saddr) (saddr')	x	x			P
	A, [saddrp]	3/4	A A ((saddrp))	x	x			P
	A, [%saddrg]	3/4	A A ((saddrg))	x	x			P
	[saddrp], A	3/4	((saddrp)) ((saddrp)) A	x	x			P
	[%saddrg], A	3/4	((saddrg)) ((saddrg)) A	x	x			P
	A, !addr16	4	A A (addr16)	x	x			P
	A, !!addr24	5	A A (addr24)	x	x			P
	!addr16, A	4	(addr16) (addr16) A	x	x			P
	!!addr24, A	5	(addr24) (addr24) A	x	x			P
	A, mem	2-5	A A (mem)	x	x			P
mem, A	2-5	(mem) (mem) A	x	x			P	
XOR	A, byte	2	A A ∨ byte	x	x			P
	r, byte	3	r r ∨ byte	x	x			P
	saddr, byte	3/4	(saddr) (saddr) ∨ byte	x	x			P
	sfr, byte	4	sfr sfr ∨ byte	x	x			P
	r, r'	2/3	r r ∨ r'	x	x			P
	A, saddr2	2	A A ∨ (saddr2)	x	x			P
	r, saddr	3	r r ∨ (saddr)	x	x			P
	saddr, r	3	(saddr) (saddr) ∨ r	x	x			P
	r, sfr	3	r r ∨ sfr	x	x			P
	sfr, r	3	sfr sfr ∨ r	x	x			P
	saddr, saddr'	4	(saddr) (saddr) ∨ (saddr')	x	x			P
	A, [saddrp]	3/4	A A ∨ ((saddrp))	x	x			P
	A, [%saddrg]	3/4	A A ∨ ((saddrg))	x	x			P
	[saddrp] A	3/4	((saddrp)) ((saddrp)) ∨ A	x	x			P
	[%saddrg] A	3/4	((saddrg)) ((saddrg)) ∨ A	x	x			P
	A, !addr16	4	A A ∨ (addr16)	x	x			P
	A, !!addr24	5	A A ∨ (addr24)	x	x			P
	!addr16, A	4	(addr16) (addr16) ∨ A	x	x			P
	!!addr24, A	5	(addr24) (addr24) ∨ A	x	x			P
	A, mem	2-5	A A ∨ (mem)	x	x			P
mem, A	2-5	(mem) (mem) ∨ A	x	x			P	

(7) 16ビット演算命令 : ADDW, SUBW, CMPW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDW	AX, word	3	AX, CY AX + word	x	x	x	V	x
	rp, word	4	rp, CY rp + word	x	x	x	V	x
	rp, rp'	2	rp, CY rp + rp'	x	x	x	V	x
	AX, saddrp2	2	AX, CY AX + (saddrp2)	x	x	x	V	x
	rp, saddrp	3	rp, CY rp + (saddrp)	x	x	x	V	x
	saddrp, rp	3	(saddrp), CY (saddrp) + rp	x	x	x	V	x
	rp, sfrp	3	rp, CY rp + sfrp	x	x	x	V	x
	sfrp, rp	3	sfrp, CY sfrp + rp	x	x	x	V	x
	saddrp, word	4/5	(saddrp), CY (saddrp) + word	x	x	x	V	x
	sfrp, word	5	sfrp, CY sfrp + word	x	x	x	V	x
	saddrp, saddrp'	4	(saddrp), CY (saddrp) + (saddrp')	x	x	x	V	x
SUBW	AX, word	3	AX, CY AX - word	x	x	x	V	x
	rp, word	4	rp, CY rp - word	x	x	x	V	x
	rp, rp'	2	rp, CY rp - rp'	x	x	x	V	x
	AX, saddrp2	2	AX, CY AX - (saddrp2)	x	x	x	V	x
	rp, saddrp	3	rp, CY rp - (saddrp)	x	x	x	V	x
	saddrp, rp	3	(saddrp), CY (saddrp) - rp	x	x	x	V	x
	rp, sfrp	3	rp, CY rp - sfrp	x	x	x	V	x
	sfrp, rp	3	sfrp, CY sfrp - rp	x	x	x	V	x
	saddrp, word	4/5	(saddrp), CY (saddrp) - word	x	x	x	V	x
	sfrp, word	5	sfrp, CY sfrp - word	x	x	x	V	x
	saddrp, saddrp'	4	(saddrp), CY (saddrp) - (saddrp')	x	x	x	V	x
CMPW	AX, word	3	AX - word	x	x	x	V	x
	rp, word	4	rp - word	x	x	x	V	x
	rp, rp'	2	rp - rp'	x	x	x	V	x
	AX, saddrp2	2	AX - (saddrp2)	x	x	x	V	x
	rp, saddrp	3	rp - (saddrp)	x	x	x	V	x
	saddrp, rp	3	(saddrp) - rp	x	x	x	V	x
	rp, sfrp	3	rp - sfrp	x	x	x	V	x
	sfrp, rp	3	sfrp - rp	x	x	x	V	x
	saddrp, word	4/5	(saddrp) - word	x	x	x	V	x
	sfrp, word	5	sfrp - word	x	x	x	V	x
	saddrp, saddrp'	4	(saddrp) - (saddrp')	x	x	x	V	x

(8) 24ビット演算命令 : ADDG, SUBG

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDG	rg, rg'	2	rg, CY rg + rg'	x	x	x	V	x
	rg, imm24	5	rg, CY rg + imm24	x	x	x	V	x
	WHL, saddrg	3	WHL, CY WHL + (saddrg)	x	x	x	V	x
SUBG	rg, rg'	2	rg, CY rg - rg'	x	x	x	V	x
	rg, imm24	5	rg, CY rg - imm24	x	x	x	V	x
	WHL, saddrg	3	WHL, CY WHL - (saddrg)	x	x	x	V	x

(9) 乗除算命令 : MULU, MULUW, MULW, DIVUW, DIVUX

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MULU	r	2/3	AX A × r					
MULUW	rp	2	AX (上位), rp (下位) AX × rp					
MULW	rp	2	AX (上位), rp (下位) AX × rp					
DIVUW	r	2/3	AX (商), r (余り) AX ÷ r ^{注1}					
DIVUX	rp	2	AXDE (商), rp (余り) AXDE ÷ rp ^{注2}					

注1 . r = 0 の場合 , r X, AX FFFFH

2 . rp = 0 の場合 , rp DE, AXDE FFFFFFFFH

(10) 特殊演算命令 : MACW, MACSW, SACW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MACW	byte	3	AXDE (B) × (C) + AXDE, B B + 2 , C C + 2 , byte byte - 1 End if (byte = 0 or P/V = 1)	x	x	x	V	x
MACSW	byte	3	AXDE (B) × (C) + AXDE, B B + 2 , C C + 2 , byte byte - 1 if byte = 0 then End if P/V = 1 then if overflow AXDE 7FFFFFFFH, End if underflow AXDE 80000000H, End	x	x	x	V	x
SACW	[TDE +], [WHL +]	4	AX (TDE) - (WHL) + AX, TDE TDE + 2 , WHL WHL + 2 C C - 1 End if (C = 0 or CY = 1)	x	x	x	V	x

(11) 増減命令 : INC, DEC, INCW, DECW, INCG, DECG

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
INC	r	1/2	r r + 1	x	x	x	V	
	saddr	2/3	(saddr) (saddr) + 1	x	x	x	V	
DEC	r	1/2	r r - 1	x	x	x	V	
	saddr	2/3	(saddr) (saddr) - 1	x	x	x	V	
INCW	rp	2/1	rp rp + 1					
	saddrp	3/4	(saddrp) (saddrp) + 1					
DECW	rp	2/1	rp rp - 1					
	saddrp	3/4	(saddrp) (saddrp) - 1					
INCG	rg	2	rg rg + 1					
DECG	rg	2	rg rg - 1					

(12) 補正命令 : ADJBA, ADJBS, CVTBW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADJBA		2	Decimal Adjust Accumulator after Addition	x	x	x	P	x
ADJBS		2	Decimal Adjust Accumulator after Subtract	x	x	x	P	x
CVTBW		1	X A, A 00H if A ₇ = 0 X A, A FFH if A ₇ = 1					

(13) シフト・ローテート命令 : ROR, ROL, RORC, ROLC, SHR, SHL, SHRW, SHLW, ROR4, ROL4

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ROR	r, n	2/3	(CY, r ₇ r ₀ , r _{m-1} r _m) × n回 n = 0 - 7				P	x
ROL	r, n	2/3	(CY, r ₀ r ₇ , r _{m+1} r _m) × n回 n = 0 - 7				P	x
RORC	r, n	2/3	(CY r ₀ , r ₇ CY, r _{m-1} r _m) × n回 n = 0 - 7				P	x
ROLC	r, n	2/3	(CY r ₇ , r ₀ CY, r _{m+1} r _m) × n回 n = 0 - 7				P	x
SHR	r, n	2/3	(CY r ₀ , r ₇ 0, r _{m-1} r _m) × n回 n = 0 - 7	x	x	0	P	x
SHL	r, n	2/3	(CY r ₇ , r ₀ 0, r _{m+1} r _m) × n回 n = 0 - 7	x	x	0	P	x
SHRW	rp, n	2	(CY rp ₀ , rp ₁₅ 0, rp _{m-1} rp _m) × n回 n = 0 - 7	x	x	0	P	x
SHLW	rp, n	2	(CY rp ₁₅ , rp ₀ 0, rp _{m+1} rp _m) × n回 n = 0 - 7	x	x	0	P	x
ROR4	mem3	2	A ₃₋₀ (mem3) ₃₋₀ , (mem3) ₇₋₄ A ₃₋₀ , (mem3) ₃₋₀ (mem3) ₇₋₄					
ROL4	mem3	2	A ₃₋₀ (mem3) ₇₋₄ , (mem3) ₃₋₀ A ₃₋₀ , (mem3) ₇₋₄ (mem3) ₃₋₀					

(14) ビット操作命令 : MOV1, AND1, OR1, XOR1, NOT1, SET1, CLR1

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOV1	CY, saddr. bit	3/4	CY (saddr. bit)						x
	CY, sfr. bit	3	CY sfr. bit						x
	CY, X. bit	2	CY X. bit						x
	CY, A. bit	2	CY A. bit						x
	CY, PSWL. bit	2	CY PSWL. bit						x
	CY, PSWH. bit	2	CY PSWH. bit						x
	CY, !addr16. bit	5	CY !addr16. bit						x
	CY, !!addr24. bit	2	CY !!addr24. bit						x
	CY, mem2. bit	2	CY mem2. bit						x
	saddr. bit, CY	3/4	(saddr. bit) CY						
	sfr. bit, CY	3	sfr. bit CY						
	X. bit, CY	2	X. bit CY						
	A. bit, CY	2	A. bit CY						
	PSWL. bit, CY	2	PSWL. bit CY		x	x	x	x	x
	PSWH. bit, CY	2	PSWH. bit CY						
	!addr16. bit, CY	5	!addr16. bit CY						
	!!addr24. bit, CY	6	!!addr24. bit CY						
mem2. bit, CY	2	mem2. bit CY							
AND1	CY, saddr. bit	3/4	CY CY (saddr. bit)						x
	CY, /saddr. bit	3/4	CY CY ($\overline{saddr. bit}$)						x
	CY, sfr. bit	3	CY CY sfr. bit						x
	CY, /sfr. bit	3	CY CY $\overline{sfr. bit}$						x
	CY, X. bit	2	CY CY X. bit						x
	CY, /X. bit	2	CY CY $\overline{X. bit}$						x
	CY, A. bit	2	CY CY A. bit						x
	CY, /A. bit	2	CY CY $\overline{A. bit}$						x
	CY, PSWL. bit	2	CY CY PSWL. bit						x
	CY, /PSWL. bit	2	CY CY $\overline{PSWL. bit}$						x
	CY, PSWH. bit	2	CY CY PSWH. bit						x
	CY, /PSWH. bit	2	CY CY $\overline{PSWH. bit}$						x
	CY, !addr16. bit	5	CY CY !addr16. bit						x
	CY, /!addr16. bit	5	CY CY $\overline{!addr16. bit}$						x
	CY, !!addr24. bit	2	CY CY !!addr24. bit						x
	CY, /!!addr24. bit	6	CY CY $\overline{!!addr24. bit}$						x
	CY, mem2. bit	2	CY CY mem2. bit						x
CY, /mem2. bit	2	CY CY $\overline{mem2. bit}$						x	

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
OR1	CY, saddr. bit	3/4	CY CY (saddr. bit)						x
	CY, /saddr. bit	3/4	CY CY ($\overline{\text{saddr. bit}}$)						x
	CY, sfr. bit	3	CY CY sfr. bit						x
	CY, /sfr. bit	3	CY CY $\overline{\text{sfr. bit}}$						x
	CY, X. bit	2	CY CY X. bit						x
	CY, /X. bit	2	CY CY $\overline{\text{X. bit}}$						x
	CY, A. bit	2	CY CY A. bit						x
	CY, /A. bit	2	CY CY $\overline{\text{A. bit}}$						x
	CY, PSWL. bit	2	CY CY PSWL. bit						x
	CY, /PSWL. bit	2	CY CY $\overline{\text{PSWL. bit}}$						x
	CY, PSWH. bit	2	CY CY PSWH. bit						x
	CY, /PSWH. bit	2	CY CY $\overline{\text{PSWH. bit}}$						x
	CY, !addr16. bit	5	CY CY !addr16. bit						x
	CY, /!addr16. bit	5	CY CY $\overline{\text{!addr16. bit}}$						x
	CY, !!addr24. bit	2	CY CY !!addr24. bit						x
	CY, /!!addr24. bit	6	CY CY $\overline{\text{!!addr24. bit}}$						x
	CY, mem2. bit	2	CY CY mem2. bit						x
	CY, /mem2. bit	2	CY CY $\overline{\text{mem2. bit}}$						x
XOR1	CY, saddr. bit	3/4	CY CY ∇ (saddr. bit)						x
	CY, sfr. bit	3	CY CY ∇ sfr. bit						x
	CY, X. bit	2	CY CY ∇ X. bit						x
	CY, A. bit	2	CY CY ∇ A. bit						x
	CY, PSWL. bit	2	CY CY ∇ PSWL. bit						x
	CY, PSWH. bit	2	CY CY ∇ PSWH. bit						x
	CY, !addr16. bit	5	CY CY ∇ !addr16. bit						x
	CY, !!addr24. bit	2	CY CY ∇ !!addr24. bit						x
	CY, mem2. bit	2	CY CY ∇ mem2. bit						x
NOT1	saddr. bit	3/4	(saddr. bit) ($\overline{\text{saddr. bit}}$)						
	sfr. bit	3	sfr. bit $\overline{\text{sfr. bit}}$						
	X. bit	2	X. bit $\overline{\text{X. bit}}$						
	A. bit	2	A. bit $\overline{\text{A. bit}}$						
	PSWL. bit	2	PSWL. bit $\overline{\text{PSWL. bit}}$	x	x	x	x	x	
	PSWH. bit	2	PSWH. bit $\overline{\text{PSWH. bit}}$						
	!addr16. bit	5	!addr16. bit $\overline{\text{!addr16. bit}}$						
	!!addr24. bit	2	!!addr24. bit $\overline{\text{!!addr24. bit}}$						
	mem2. bit	2	mem2. bit $\overline{\text{mem2. bit}}$						
	CY	1	CY $\overline{\text{CY}}$						x

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
SET1	saddr. bit	2/3	(saddr. bit) 1						
	sfr. bit	3	sfr. bit 1						
	X. bit	2	X. bit 1						
	A. bit	2	A. bit 1						
	PSWL. bit	2	PSWL. bit 1	x	x	x	x	x	
	PSWH. bit	2	PSWH. bit 1						
	!addr16. bit	5	!addr16. bit 1						
	!!addr24. bit	2	!!addr24. bit 1						
	mem2. bit	2	mem2. bit 1						
CY	1	CY 1						1	
CLR1	saddr. bit	2/3	(saddr. bit) 0						
	sfr. bit	3	sfr. bit 0						
	X. bit	2	X. bit 0						
	A. bit	2	A. bit 0						
	PSWL. bit	2	PSWL. bit 0	x	x	x	x	x	
	PSWH. bit	2	PSWH. bit 0						
	!addr16. bit	5	!addr16. bit 0						
	!!addr24. bit	2	!!addr24. bit 0						
	mem2. bit	2	mem2. bit 0						
CY	1	CY 0						0	

(15) スタック操作命令 : PUSH, PUSHU, POP, POPU, MOVG, ADDWG, SUBWG, INCG, DECG

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
PUSH	PSW	1	(SP - 2) PSW, SP SP - 2						
	sfrp	3	(SP - 2) sfrp, SP SP - 2						
	sfr	3	(SP - 1) sfr, SP SP - 1						
	post	2	{(SP - 2) post, SP SP - 2 } x m回 ^注						
	rg	2	(SP - 3) rg, SP SP - 3						
PUSHU	post	2	{(UUP - 2) post, UUP UUP - 2 } x m回 ^注						
POP	PSW	1	PSW (SP), SP SP + 2	R	R	R	R	R	
	sfrp	3	sfrp (SP), SP SP + 2						
	sfr	3	sfr (SP), SP SP + 1						
	post	2	{ post (SP), SP SP + 2 } x m回 ^注						
	rg	2	rg (SP), SP SP + 3						
POPU	post	2	{ post (UUP), UUP UUP + 2 } x m回 ^注						
MOVG	SP, imm24	5	SP imm24						
	SP, WHL	2	SP WHL						
	WHL, SP	2	WHL SP						
ADDWG	SP, word	4	SP SP + word						
SUBWG	SP, word	4	SP SP - word						
INCG	SP	2	SP SP + 1						
DECG	SP	2	SP SP - 1						

注 mは、postで指定されたレジスタ数

(16) コール・リターン命令 : CALL, CALLF, CALLT, BRK, BRKCS, RET, RETI, RETB, RETCS, RETCSB

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CALL	!addr16	3	(SP - 3) (PC + 3), SP SP - 3, PC _{HW} 0, PC _{LW} addr16					
	!!addr20	4	(SP - 3) (PC + 4), SP SP - 3, PC addr20					
	rp	2	(SP - 3) (PC + 2), SP SP - 3, PC _{HW} 0, PC _{LW} rp					
	rg	2	(SP - 3) (PC + 2), SP SP - 3, PC rg					
	[rp]	2	(SP - 3) (PC + 2), SP SP - 3, PC _{HW} 0, PC _{LW} (rp)					
	[rg]	2	(SP - 3) (PC + 2), SP SP - 3, PC (rg)					
	\$!addr20	3	(SP - 3) (PC + 3), SP SP - 3, PC PC + 3 + jdisp16					
CALLF	!addr11	2	(SP - 3) (PC + 2), SP SP - 3, PC ₁₉₋₁₂ 0, PC ₁₁ 1, PC ₁₀₋₀ addr11					
CALLT	[addr5]	1	(SP - 3) (PC + 1), SP SP - 3, PC _{HW} 0, PC _{LW} (addr5)					
BRK		1	(SP - 2) PSW, (SP - 1) ₀₋₃ , (PC + 1) _{HW} , (SP - 4) (PC + 1) _{LW} , SP SP - 4 PC _{HW} 0, PC _{LW} (003EH)					
BRKCS	RBn	2	PC _{LW} RP2, RP3 PSW, RBS2 - 0 n, RSS 0, IE 0, RP3 ₈₋₁₁ PC _{HW} , PC _{HW} 0					
RET		1	PC (SP), SP SP + 3					
RETI		1	PC _{LW} (SP), PC _{HW} (SP + 3) ₀₋₃ , PSW (SP + 2), SP SP + 4 ISPR中でセット(1)されている最も優先順位の 高いフラグをクリア(0)	R	R	R	R	R
RETB		1	PC _{LW} (SP), PC _{HW} (SP + 3) ₀₋₃ , PSW (SP + 2), SP SP + 4	R	R	R	R	R
RETCS	!addr16	3	PSW RP3, PC _{LW} RP2, RP2 addr16, PC _{HW} RP3 ₈₋₁₁ ISPR中でセット(1)されている最も優先順位の 高いフラグをクリア(0)	R	R	R	R	R
RETCSB	!addr16	4	PSW RP3, PC _{LW} RP2, RP2 addr16, PC _{HW} RP3 ₈₋₁₁	R	R	R	R	R

(17) 無条件分岐命令 : BR

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BR	!addr16	3	PC _{HW} 0, PC _{LW} addr16					
	!!addr20	4	PC addr20					
	rp	2	PC _{HW} 0, PC _{LW} rp					
	rg	2	PC rg					
	[rp]	2	PC _{HW} 0, PC _{LW} (rp)					
	[rg]	2	PC (rg)					
	\$ addr20	2	PC PC + 2 + jdisp8					
	\$!addr20	3	PC PC + 3 + jdisp16					

(18) 条件付き分岐命令 : BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BNZ	\$ addr20	2	PC PC + 2 + jdisp8 if Z = 0					
BNE								
BZ	\$ addr20	2	PC PC + 2 + jdisp8 if Z = 1					
BE								
BNC	\$ addr20	2	PC PC + 2 + jdisp8 if CY = 0					
BNL								
BC	\$ addr20	2	PC PC + 2 + jdisp8 if CY = 1					
BL								
BNV	\$ addr20	2	PC PC + 2 + jdisp8 if P/V = 0					
BPO								
BV	\$ addr20	2	PC PC + 2 + jdisp8 if P/V = 1					
BPE								
BP	\$ addr20	2	PC PC + 2 + jdisp8 if S = 0					
BN	\$ addr20	2	PC PC + 2 + jdisp8 if S = 1					
BLT	\$ addr20	3	PC PC + 3 + jdisp8 if P/V ∇ S = 1					
BGE	\$ addr20	3	PC PC + 3 + jdisp8 if P/V ∇ S = 0					
BLE	\$ addr20	3	PC PC + 3 + jdisp8 if (P/V ∇ S) Z = 1					
BGT	\$ addr20	3	PC PC + 3 + jdisp8 if (P/V ∇ S) Z = 0					
BNH	\$ addr20	3	PC PC + 3 + jdisp8 if Z CY = 1					
BH	\$ addr20	3	PC PC + 3 + jdisp8 if Z CY = 0					
BF	saddr. bit, \$ addr20	4/5	PC PC + 4 ^注 + jdisp8 if (saddr. bit) = 0					
	sfr. bit, \$ addr20	4	PC PC + 4 + jdisp8 if sfr. bit = 0					
	X. bit, \$ addr20	3	PC PC + 3 + jdisp8 if X. bit = 0					
	A. bit, \$ addr20	3	PC PC + 3 + jdisp8 if A. bit = 0					
	PSWL. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWL. bit = 0					
	PSWH. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWH. bit = 0					
	!addr16. bit, \$ addr20	6	PC PC + 3 + jdisp8 if !addr16. bit = 0					
	!!addr24. bit, \$ addr20	3	PC PC + 3 + jdisp8 if !!addr24. bit = 0					
mem2. bit, \$ addr20	3	PC PC + 3 + jdisp8 if mem2. bit = 0						

注 バイト数が4のとき、5のときはPC PC + 5 + jdisp8になります。

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BT	saddr. bit, \$ addr20	3/4	PC PC + 3 ^{注1} + jdisp8 if (saddr. bit) = 1					
	sfr. bit, \$ addr20	4	PC PC + 4 + jdisp8 if sfr. bit = 1					
	X. bit, \$ addr20	3	PC PC + 3 + jdisp8 if X. bit = 1					
	A. bit, \$ addr20	3	PC PC + 3 + jdisp8 if A. bit = 1					
	PSWL. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWL. bit = 1					
	PSWH. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWH. bit = 1					
	!addr16. bit, \$ addr20	6	PC PC + 3 + jdisp8 if !addr16. bit = 1					
	!!addr24. bit, \$ addr20	3	PC PC + 3 + jdisp8 if !!addr24. bit = 1					
BTCLR	mem2. bit, \$ addr20	3	PC PC + 3 + jdisp8 if mem2. bit = 1					
	saddr. bit, \$ addr20	4/5	{ PC PC + 4 ^{注2} + jdisp8, (saddr. bit) 0 } if (saddr. bit) = 1					
	sfr. bit, \$ addr20	4	{ PC PC + 4 + jdisp8, sfr. bit 0 } if sfr. bit = 1					
	X. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, X. bit 0 }if X. bit = 1					
	A. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, A. bit 0 }if A. bit = 1					
	PSWL. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWL. bit 0 } if PSWL. bit = 1	x	x	x	x	x
	PSWH. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWH. bit 0 } if PSWH. bit = 1					
	!addr16. bit, \$ addr20	6	{ PC PC + 3 + jdisp8, !addr16. bit 0 } if !addr16. bit = 1					
BFSET	!!addr24. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, !!addr24. bit 0 } if !!addr24. bit = 1					
	mem2. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, mem2. bit 0 } if mem2. bit = 1					
	saddr. bit, \$ addr20	4/5	{ PC PC + 4 ^{注2} + jdisp8, (saddr. bit) 1 } if (saddr. bit) = 0					
	sfr. bit, \$ addr20	4	{ PC PC + 4 + jdisp8, sfr. bit 1 } if sfr. bit = 0					
	X. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, X. bit 1 }if X. bit = 0					
	A. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, A. bit 1 }if A. bit = 0					
	PSWL. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWL. bit 1 } if PSWL. bit = 0	x	x	x	x	x
	PSWH. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWH. bit 1 } if PSWH. bit = 0					
DBNZ	!addr16. bit, \$ addr20	6	{ PC PC + 3 + jdisp8, !addr16. bit 1 } if !addr16. bit = 0					
	!!addr24. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, !!addr24. bit 1 } if !!addr24. bit = 0					
	mem2. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, mem2. bit 1 } if mem2. bit = 0					
DBNZ	B, \$ addr20	2	B B - 1, PC PC + 2 + jdisp8 if B 0					
	C, \$ addr20	2	C C - 1, PC PC + 2 + jdisp8 if C 0					
	saddr, \$ addr20	3/4	(saddr) (saddr) - 1, PC PC + 3 ^{注1} + jdisp8 if (saddr) 0					

注1 . バイト数が3のとき。4のときはPC PC + 4 + jdisp8になります。

2 . バイト数が4のとき。5のときはPC PC + 5 + jdisp8になります。

(19) CPU制御命令 : MOV, LOCATION, SEL, SWRS, NOP, EI, DI

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOV	STBC, byte	4	STBC byte					
	WDM, byte	4	WDM byte					
LOCATION	locaddr	4	SFR, 内部データ領域の配置アドレスの上位ワード指定					
SEL	RBn	2	RSS 0, RBS2 - 0 n					
	RBn, ALT	2	RSS 1, RBS2 - 0 n					
SWRS		2	RSS $\overline{\text{RSS}}$					
NOP		1	No Operation					
EI		1	IE 1 (Enable interrupt)					
DI		1	IE 0 (Disable interrupt)					

(20) ストリング命令 : MOVTLBW, MOVVM, XCHM, MOVBK, XCHBK, CMPME, CMPMNE, CMPMC, CMPMNC, CMPBKE, CMPBKNE, CMPBKC, CMPBKNC

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOVTLBW	!addr8, byte	4	(addr8 + 2) (addr8), byte byte - 1, addr8 addr8 - 2 End if byte = 0						
MOVVM	[TDE +] A	2	(TDE) A, TDE TDE + 1, C C - 1 End if C = 0						
	[TDE -] A	2	(TDE) A, TDE TDE - 1, C C - 1 End if C = 0						
XCHM	[TDE +] A	2	(TDE) A, TDE TDE + 1, C C - 1 End if C = 0						
	[TDE -] A	2	(TDE) A, TDE TDE - 1, C C - 1 End if C = 0						
MOVBK	[TDE +] [WHL +]	2	(TDE) (WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0						
	[TDE -] [WHL -]	2	(TDE) (WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0						
XCHBK	[TDE +] [WHL +]	2	(TDE) (WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0						
	[TDE -] [WHL -]	2	(TDE) (WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0						
CMPME	[TDE +] A	2	(TDE)-A, TDE TDE + 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x	
	[TDE -] A	2	(TDE)-A, TDE TDE - 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x	
CMPMNE	[TDE +] A	2	(TDE)-A, TDE TDE + 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x	
	[TDE -] A	2	(TDE)-A, TDE TDE - 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x	
CMPMC	[TDE +] A	2	(TDE)-A, TDE TDE + 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	
	[TDE -] A	2	(TDE)-A, TDE TDE - 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	
CMPMNC	[TDE +] A	2	(TDE)-A, TDE TDE + 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x	
	[TDE -] A	2	(TDE)-A, TDE TDE - 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x	
CMPBKE	[TDE +] [WHL +]	2	(TDE)-(WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x	
	[TDE -] [WHL -]	2	(TDE)-(WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x	
CMPBKNE	[TDE +] [WHL +]	2	(TDE)-(WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x	
	[TDE -] [WHL -]	2	(TDE)-(WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x	
CMPBKC	[TDE +] [WHL +]	2	(TDE)-(WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	
	[TDE -] [WHL -]	2	(TDE)-(WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	
CMPBKNC	[TDE +] [WHL +]	2	(TDE)-(WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x	
	[TDE -] [WHL -]	2	(TDE)-(WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x	

26.3 アドレッシング別命令一覧

(1) 8ビット命令(()内は、rとしてAを記述することで実現している組み合わせです)

MOV, XCH, ADD, ADDC, SUB, SUBC, AND OR XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP, MOVW, XCHW, CMPME, CMPMNE, CMPMNC, CMPMC, MOVBK, XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKC

表26 - 1 8ビット・アドレッシング別命令一覧表

第2オペランド 第1オペランド	byte	A	r r'	saddr saddr'	sfr	!addr16 !!addr24	mem [saddrp] [%saddrg]	r3 PSWL PSWH	[WHL +] [WHL -]	n	なし ^{注2}
A	(MOV) ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH (ADD) ^{注1}	(MOV) ^{注6} (XCH) ^{注6} (ADD) ^{注1,6}	MOV (XCH) (ADD) ^{注1}	(MOV) (XCH) ADD ^{注1}	MOV XCH ADD ^{注1}	MOV	(MOV) (XCH) (ADD) ^{注1}		
r	MOV ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH				ROR ^{注3}	MULU DIVUW INC DEC
saddr	MOV ADD ^{注1}	(MOV) ^{注6} (ADD) ^{注1}	MOV ADD ^{注1}	MOV XCH ADD ^{注1}							INC DEC DBNZ
sfr	MOV ADD ^{注1}	MOV (ADD) ^{注1}	MOV ADD ^{注1}								PUSH POP
!addr16 !!addr24	MOV	MOV ADD ^{注1}	MOV								
mem [saddrp] [%saddrg]		MOV ADD ^{注1}									
mem3											ROR4 ROL4
r3 PSWL PSWH	MOV	MOV									
B, C											DBNZ
STBC, WDM	MOV										
[TDE +] [TDE -]		(MOV) (ADD) ^{注1} MOVW ^{注4}							MOVBK ^{注5}		

注1 . ADDC, SUB, SUBC, AND, OR, XOR, CMPはADDと同じ

2 . 第2オペランドがないか、第2オペランドがオペランド・アドレスでない

3 . ROL, RORC, ROLC, SHR, SHLはRORと同じ

4 . XCHW, CMPME, CMPMNE, CMPMNC, CMPMCはMOVWと同じ

5 . XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKCはMOVBKと同じ

6 . この組み合わせでsaddrがsaddr2の場合、短いコード長の命令がある

(2) 16ビット命令()内は, rpとしてAXを記述することで実現している組み合わせです)

MOVM, XCHW, ADDW, SUBW, CMPW, MULUW, MULW, DIVUX, INCW, DECW, SHRW, SHLW, PUSH,
POP, ADDWG, SUBWG, PUSHU, POPU, MOVTBLW, MACW, MACSW, SACW

表26 - 2 16ビット・アドレッシング別命令一覧表

第2オペランド 第1オペランド	word	AX	rp rp'	saddrp saddrp'	sfrp	!addr16 !!addr24	mem [saddrp] [%saddrg]	[WHL+]	byte	n	なし ^{注2}
AX	(MOVW) ADDW ^{注1}	(MOVW) (XCHW) (ADD) ^{注1}	(MOVW) (XCHW) (ADD) ^{注1}	(MOVW) ^{注3} (XCHW) ^{注3} (ADD) ^{注1,3}	MOVW (XCHW) (ADD) ^{注1}	(MOVW) XCHW	MOVW XCHW	(MOVW) (XCHW)			
rp	MOVW ADDW ^{注1}	(MOVW) (XCHW) (ADD) ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW				SHRW SHLW	MULW ^{注4} INCW DECW
saddrp	MOVW ADDW ^{注1}	(MOVW) ^{注3} (ADD) ^{注1}	MOVW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}							INCW DECW
sfrp	MOVW ADDW ^{注1}	MOVW (ADD) ^{注1}	MOVW ADDW ^{注1}								PUSH POP
!addr16 !!addr24	MOVW	(MOVW)	MOVW						MOVTBLW		
mem [saddrp] [%saddrg]		MOVW									
PSW											PUSH POP
SP	ADDWG SUBWG										
post											PUSH POP PUSHU POPU
[TDE +]		(MOVW)						SACW			
byte											MACW MACSW

注1 . SUBW, CMPWはADDWと同じ

2 . 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

3 . この組み合わせでsaddrpがsaddrp2の場合, 短いコード長の命令がある

4 . MULUW, DIVUXはMULWと同じ

(3) 24ビット命令()内は, rgとしてWHLを記述することで実現している組み合わせです)

MOVG, ADDG, SUBG, INCG, DECG, PUSH, POP

表26 - 3 24ビット・アドレッシング別命令一覧表

第2オペランド \ 第1オペランド	imm24	WHL	rg rg'	saddrg	!!addr24	mem1	[%saddrg]	SP	なし ^注
WHL	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) ADDG SUBG	(MOVG)	MOVG	MOVG	MOVG	
rg	MOVG ADDG SUBG	(MOVG) (ADDG) (SUBG)	MOVG ADDG SUBG	MOVG	MOVG				INCG DECG PUSH POP
saddrg		(MOVG)	MOVG						
!!addr24		(MOVG)	MOVG						
mem1		MOVG							
[%saddrg]		MOVG							
SP	MOVG	MOVG							INCG DECG

注 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

(4) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR, BFSET

表26 - 4 ビット操作命令アドレッシング別命令一覧表

第2オペランド \ 第1オペランド	CY	saddr. bit A. bit PSWL. bit mem2. bit !addr16. bit !!addr24. bit	sfr. bit X. bit PSWH. bit	/saddr. bit /A. bit /PSWL. bit /mem2. bit /!addr16. bit /!!addr24. bit	/sfr. bit /X. bit /PSWH. bit	なし ^注
CY		MOV1 AND1 OR1 XOR1		AND1 OR1		NOT1 SET1 CLR1
saddr. bit sfr. bit A. bit X. bit PSWL. bit PSWH. bit mem2. bit !addr16. bit !!addr24. bit	MOV1					NOT1 SET1 CLR1 BF BT BTCLR BFSET

注 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

(5) コール・リターン命令/分岐命令

CALL, CALLF, CALLT, BRK, RET, RETI, RETB, RETCS, RETCSB, BRKCS, BR, BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

表26 - 5 コール・リターン命令/分岐命令アドレッシング別命令一覧表

命令アドレスのオペランド	\$addr20	!addr20	!addr16	!!addr20	rp	rg	[rp]	[rg]	!addr11	[addr5]	RBn	なし
基本命令	BC ^注 BR	CALL BR	CALL BR RETCS RETCSB	CALL BR	CALL BR	CALL BR	CALL BR	CALL BR	CALLF	CALLT	BRKCS	BRK RET RETI RETB
複合命令	BF BT BTCLR BFSET DBNZ											

注 BNZ, BNE, BZ, BE, BNC, BNL, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BHはBCと同じ

(6) その他の命令

ADJBA, ADJBS, CVTBW, LOCATION, SEL, NOT, EI, DI, SWRS

付録A μ PD784225サブシリーズ, μ PD784216Aサブシリーズ との主な違い

シリーズ名		μ PD784956Aサブシリーズ	μ PD784225サブシリーズ	μ PD784216Aサブシリーズ
項目	最小命令実行時間	メイン・システム・クロック選択時 160 ns (12.5 MHz動作時)	160 ns (12.5 MHz動作時)	
		サブシステム・クロック選択時 -	61 μ s (32.768 kHz動作時)	
I/Oポート	合計	67本	86本	
	CMOS入力	8本	8本	
	CMOS入出力	59本	72本	
	N-chオープン・ドレイン入出力	-	6本	
付加機能付き端子 ^注	ブルアップ抵抗付き端子	59本	57本	70本
	LEDダイレクト・ドライブ出力	32本	16本	22本
	中耐圧端子	-	-	6本
リアルタイム出力ポート	6ビット×2チャンネル	8ビット×1チャンネル		
タイマ/カウンタ	・16ビット・タイマ/カウンタ×6ユニット ・8ビット・タイマ/カウンタ×2ユニット	・16ビット・タイマ/カウンタ×1ユニット ・8ビット・タイマ/カウンタ×4ユニット	・16ビット・タイマ/カウンタ×1ユニット ・8ビット・タイマ/カウンタ×6ユニット	
シリアル・インタフェース	・UART×1チャンネル ・CSI(3線式シリアルI/O)×1チャンネル	・UART/IOE(3線式シリアルI/O)×2チャンネル ・CSI(3線式シリアルI/O)×1チャンネル		
外部メモリ拡張機能	なし	あり		
スタンバイ機能	・HALT/STOP/IDLEモード	・HALT/STOP/IDLEモード ・低消費電力モード時: HALT/IDLEモード		
ROMコレクション	なし	あり	なし	
パッケージ	・80ピン・プラスチックQFP(14x14)	・80ピン・プラスチックQFP(14x14) ・80ピン・プラスチックTQFP(ファインピッチ 12x12)	・100ピン・プラスチックQFP(ファインピッチ 14x14) ・100ピン・プラスチックQFP(14x20 mm)	

注 付加機能付き端子は, I/O端子の中に含まれています。

付録B 開発ツール

μPD784956Aサブシリーズを使用するシステムを開発するために必要な開発ツール構成を、次頁以降に示します。

PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

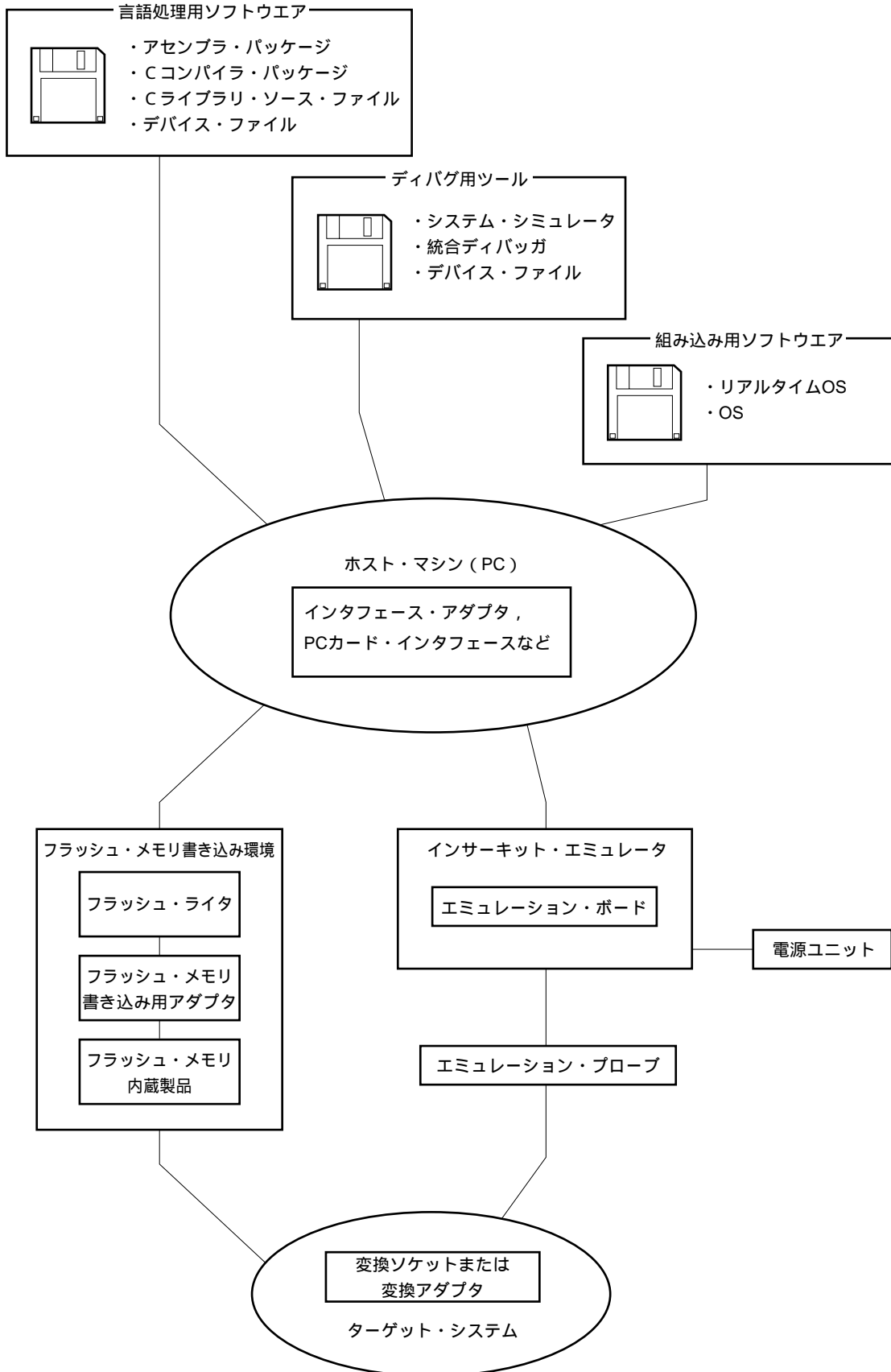
Windowsについて

特に断りのないかぎり、「Windows」は、次のOSを示しています。

- Windows 3.1
- Windows 95
- WindowsNT™ Ver. 4.0

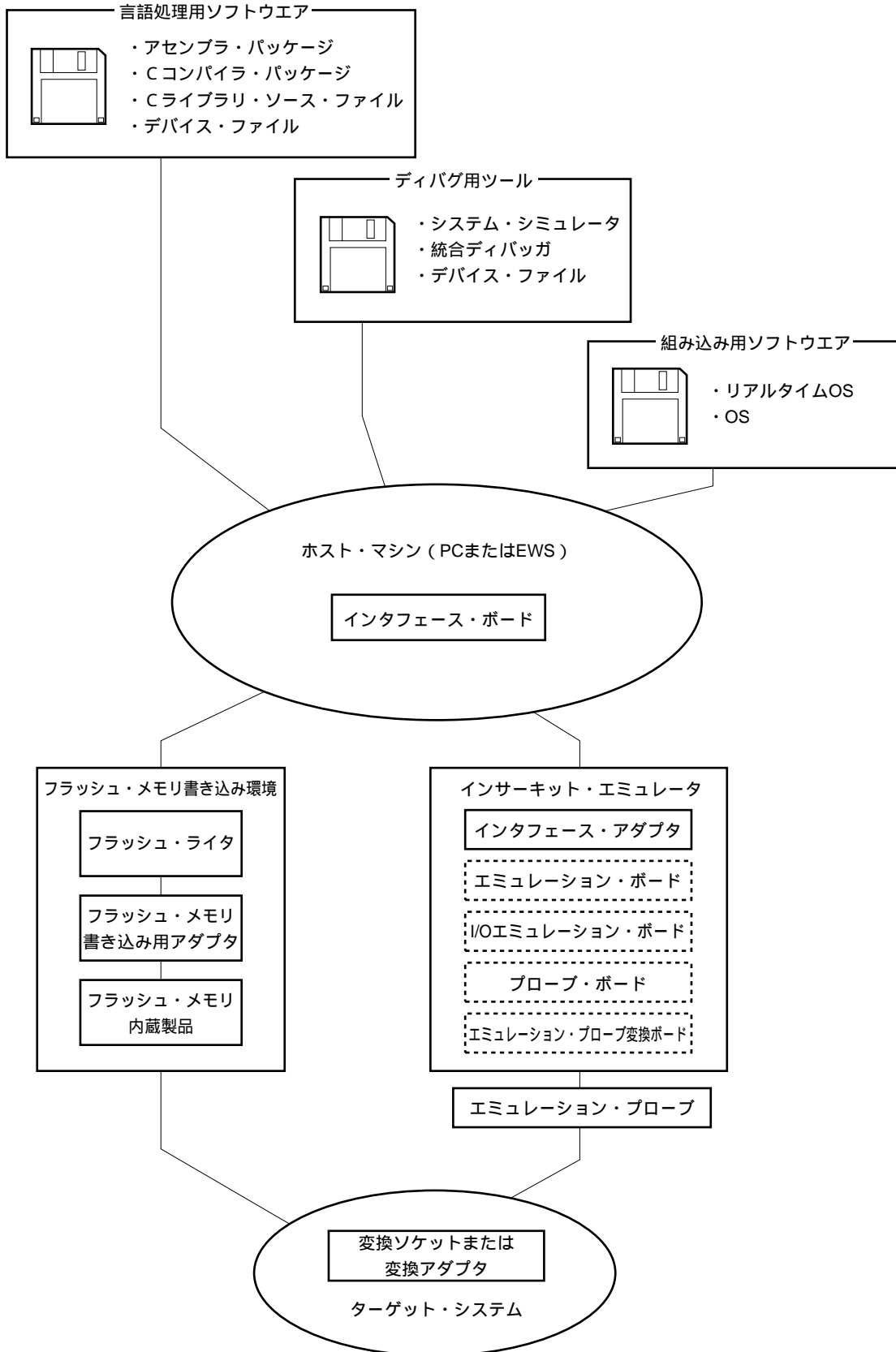
図B - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ IE-78K4-NSを使用する場合



図B - 1 開発ツール構成 (2/2)

(2) インサーキット・エミュレータ IE-784000-Rを使用する場合



備考 破線の部分は開発環境によって異なります。B.3.1 ハードウェアを参照してください。

B.1 言語処理用ソフトウェア

RA78K4 アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。</p> <p>別売のデバイス・ファイル (DF784956) と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。</p> <p>オーダー名称: $\mu S \times \times \times RA78K4$</p>
CC78K4 Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージ (RA78K4) およびデバイス・ファイル (DF784956) と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。</p> <p>オーダー名称: $\mu S \times \times \times CC78K4$</p>
DF784956 ^注	<p>デバイス固有の情報が入ったファイルです。</p> <p>別売の各ツール (RA78K4, CC78K4, SM78K4, ID78K4-NS, ID78K4) と組み合わせて使用します。</p> <p>対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。</p> <p>オーダー名称: $\mu S \times \times \times 784956$</p>
CC78K4-L Cライブラリ・ソース・ファイル	<p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。</p> <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。</p> <p>ソース・ファイルのため、動作環境はOSに依存しません。</p> <p>オーダー名称: $\mu S \times \times \times CC78K4-L$</p>

注 DF784956は、RA78K4, CC78K4, SM78K4, ID78K4-NS, ID78K4のすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

- μS××××RA78K4
- μS××××CC78K4
- μS××××DF784956
- μS××××CC78K4-L

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows ^注	3.5インチ2HC FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700 TM	HP-UX (Rel.10.10)	DAT (DDS)
3K13	SPARCstation TM	SunOS (Rel.4.1.4) ,	3.5インチ2HC FD
3K15		Solaris TM (Rel.2.5.1)	1/4インチCGMT
3R13	NEWS TM (RISC)	NEWS-OS (Rel.6.1)	3.5インチ2HC FD

注 DOS環境でも動作します。

B.2 フラッシュ・メモリ書き込み用ツール

Flashpro (型番 FL-PR3, PG-FP3) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
★ FA-80GC-8BT フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro に接続して使用します。 ・FA-80GC-8BT：80ピン・プラスチックQFP (GC-8BTタイプ) 用

備考 FL-PR3, FA-80GC-8BTは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL 045)475-4191)

B.3 デバッグ用ツール

B.3.1 ハードウェア (1/2)

(1) インサーキット・エミュレータIE-78K4-NSを使用する場合

IE-78K4-NS インサーキット・エミュレータ	78K/IVシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバッガ (ID78K4-NS) に対応しています。電源ユニット、エミュレーション・プローブおよびホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-MC-PS-B 電源ユニット	AC100～240Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタです(Cバス対応)。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K4-NSのホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです(PCMCIAソケット対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてIBM PC/ATおよびその互換機を使用するときに必要なアダプタです(ISAバス対応)。
★ IE-70000-PCI-IF-A インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-784956-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-80GC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP(GC-8BTタイプ)用です。
EV-9200GC-80 変換ソケット (図B-2, 図B-3参照)	80ピン・プラスチックQFP(GC-8BTタイプ)を実装できるように作られたターゲット・システムの基板と、NP-80GCを接続するための変換ソケットです。

備考1. NP-80GCは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所(TEL(045)475-4191)

2. EV-9200GC-80は、5個を1組として、1個単位で販売しています。

B.3.1 ハードウェア (2/2)

(2) インサーキット・エミュレータIE-784000-Rを使用する場合

IE-784000-R インサーキット・エミュレータ	IE-784000-Rは、78K/IVシリーズに共通に使用できるインサーキット・エミュレータです。 別売のIE-784000-R-EM, IE-784956-NS-EM1と組み合わせて使用します。ホスト・マシンを接続してデバッグを行います。別売の統合ディバッガ (ID78K4) とデバイス・ファイルが必要で、これらと組み合わせて、C言語や構造化アセンブリ言語のソース・プログラム・レベルでのデバッグが可能です。C0カバレッジ機能などにより効率の良いデバッグやプログラムの検査ができます。ホスト・マシンとは、イーサネット™ または専用バスで接続し、別売のインタフェース・アダプタが必要となります。
IE-70000-98-IF-C インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてIBM PC/ATおよびその互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-78000-R-SV3 インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてEWSを使用するときに必要なアダプタとケーブルです。IE-784000-R内のボードに接続して使用します。 なお、イーサネットとしては10Base-5をサポートしており、他の方式の場合には市販の変換アダプタが必要になります。
IE-784000-R-EM エミュレーション・ボード	78K/IVシリーズに共通に使用するエミュレーション・ボードです。
IE-784956-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。
IE-78K4-R-EX2 エミュレーション・プローブ 変換ボード	IE-784956-NS-EM1をIE-784000-R上で使用するときに必要な80ピン用の変換ボードです。
EP-78230GC-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP (GC-8BTタイプ) 用です
EV-9200GC-80 変換ソケット (図B-2, 図B-3参照)	80ピン・プラスチックQFP (GC-8BTタイプ) を実装できるように作られたターゲット・システムの基板と、EP-78230GC-Rを接続するための変換ソケットです。

備考 EV-9200GC-80は、5個を1組として、1個単位で販売しています。

B.3.2 ソフトウェア (1/2)

SM78K4 システム・シミュレータ	ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら，C ソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K4はWindows上で動作します。 SM78K4を使用することにより，インサーキット・エミュレータを使用しなくても， アプリケーションの論理検証，性能検証をハードウェア開発から独立してできます。 また，開発効率やソフトウェアの品質向上が図れます。 別売のデバイス・ファイル（DF784956）と組み合わせて使用します。 オーダ名称：μS××××SM78K4
-----------------------	--

備考 オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SM78K4

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ 2 HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ 2 HC FD
BB13		英語Windows	

B.3.2 ソフトウェア (2/2)

ID78K4-NS 統合デバッグ (インサーキット・エミュレータIE-78K4-NS対応)	78K/IVシリーズをデバッグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとして、パソコン上ではWindows, EWS上ではOSF/Motif™を採用し、それらに準拠した外観と操作性を提供しています。また、C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることも可能です。その他、タスク・デバッグやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより、リアルタイムOSを使用したプログラムのデバッグ効率を向上させることができます。
ID78K4 統合デバッグ (インサーキット・エミュレータIE-784000-R対応)	別売のデバイス・ファイル (DF784956) と組み合わせて使用します。
	オーダ名称: $\mu S \times \times \times ID78K4-NS$ $\mu S \times \times \times ID78K4$

備考 オーダ名称の $\times \times \times$ は、使用するホスト・マシン, OSにより異なります。

$\mu S \times \times \times ID78K4-NS$

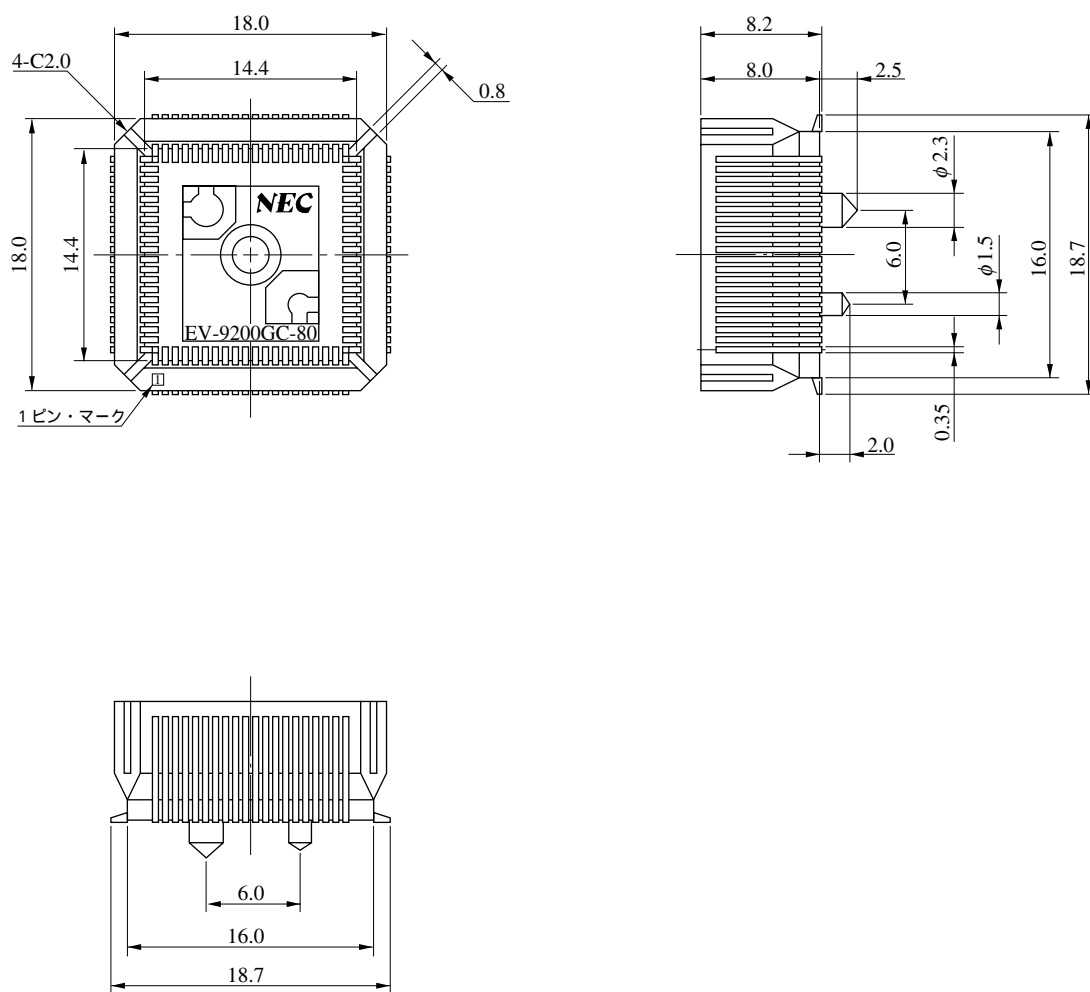
$\times \times \times$	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ 2 HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ 2 HC FD
BB13		英語Windows	

$\mu S \times \times \times ID78K4$

$\times \times \times$	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ 2 HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ 2 HC FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel. 4 . 1 . 4)	3.5インチ 2 HC FD
3K15		Solaris (Rel. 2 . 5 . 1)	1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel. 6 . 1)	3.5インチ2HC FD

B.4 変換ソケット(EV-9200GC-80)の外形図と基板取り付け推奨パターン

図B-2 EV-9200GC-80 外形図(参考)(単位:mm)



EV-9200GC-80-G0

付録C 組み込み用ソフトウェア

μPD784956Aサブシリーズのプログラム開発やメンテナンスをより効率的に行うために、次の組み込み用ソフトウェアを用意しています。

リアルタイムOS (1/2)

RX78K/ リアルタイムOS	<p>μITRON仕様に準拠したリアルタイムOSです。</p> <p>RX78K/ のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。</p> <p>別売のアセンブラ・パッケージ（RA78K4）およびデバイス・ファイル（DF784956）と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使ってください。</p> <p>オーダー名称：μS×××RX78K4</p>
--------------------	--

注意 RX78K/ を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダー名称の×××および は、使用するホスト・マシン、OSなどにより異なります。

μS×××RX78K4-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows ^注	3.5インチ2HC FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel. 4.1.4) ,	3.5インチ2HC FD
3K15		Solaris (Rel. 2.5.1)	1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel. 6.1)	3.5インチ2HC FD

注 DOS環境でも動作します。

リアルタイムOS (2/2)

MX78K4 OS	<p>μITRON仕様サブセットのOSです。MX78K4のニュークリアスを添付しています。</p> <p>タスク管理、イベント管理、時間管理を行います。タスク管理ではタスクの実行順序を制御し、次に実行するタスクへの切り替え処理を行います。</p> <p><PC環境で使用する場合の注意></p> <p>MX78K4はDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。</p> <p>オーダ名称：μS x x x MX78K4-</p>
--------------	--

備考 オーダ名称の x x x x および は、使用するホスト・マシン、OSなどにより異なります。

μS x x x MX78K4-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	試作時に使用してください
XX	量産用オブジェクト	量産時に使用してください
S01	ソース・プログラム	量産用オブジェクト購入時のみ、購入可能

x x x x	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/ATおよびその互換機	日本語Windows ^注	3.5インチ2HC FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel. 4 . 1 . 4) ,	3.5インチ2HC FD
3K15		Solaris (Rel. 2 . 5 . 1)	1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel. 6 . 1)	3.5インチ2HC FD

注 DOS環境でも動作します。

付録D レジスタ索引

D.1 レジスタ索引 (50音順)

【あ行】

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1 (ASIS1) ...	266, 271
アシンクロナス・シリアル・インタフェース・モード・レジスタ1 (ASIM1) ...	265, 268
アナログ入力チャンネル指定レジスタ0 (ADS0) ...	248
インサーピス・プライオリティ・レジスタ (ISPR) ...	303
ウォッチドッグ・タイマ・モード・レジスタ (WDM) ...	238, 305
A/Dコンバータ・モード・レジスタ0 (ADM0) ...	246
A/D変換結果レジスタ0 (ADCR0) ...	245

【か行】

外部割り込み立ち上がりエッジ許可レジスタ (EGP0) ...	287
外部割り込み立ち下がりエッジ許可レジスタ (EGN0) ...	287
キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) ...	138
キャプチャ/コンペア・コントロール・レジスタ4 (CRC4) ...	188
キャプチャ/コンペア・コントロール・レジスタ5 (CRC5) ...	207

【さ行】

16ビット・キャプチャ/コンペア・レジスタ00 (CR00) ...	135
16ビット・キャプチャ/コンペア・レジスタ01 (CR01) ...	136
16ビット・キャプチャ/コンペア・レジスタ40 (CR40) ...	184
16ビット・キャプチャ/コンペア・レジスタ41 (CR41) ...	185
16ビット・キャプチャ/コンペア・レジスタ42 (CR42) ...	186
16ビット・キャプチャ/コンペア・レジスタ50 (CR50) ...	204
16ビット・キャプチャ/コンペア・レジスタ51 (CR51) ...	205
16ビット・コンペア・レジスタ10 (CR10) ...	153
16ビット・コンペア・レジスタ11 (CR11) ...	153
16ビット・コンペア・レジスタ20 (CR20) ...	164
16ビット・コンペア・レジスタ21 (CR21) ...	164
16ビット・コンペア・レジスタ30 (CR30) ...	174
16ビット・コンペア・レジスタ31 (CR31) ...	174
16ビット・コンペア・レジスタ52 (CR52) ...	205
16ビット・タイマ・カウンタ0 (TM0) ...	135
16ビット・タイマ・カウンタ1 (TM1) ...	153
16ビット・タイマ・カウンタ2 (TM2) ...	164
16ビット・タイマ・カウンタ3 (TM3) ...	174
16ビット・タイマ・カウンタ4 (TM4) ...	184
16ビット・タイマ・カウンタ5 (TM5) ...	203

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) ...	137
16ビット・タイマ・モード・コントロール・レジスタ1 (TMC1) ...	154
16ビット・タイマ・モード・コントロール・レジスタ2 (TMC2) ...	165
16ビット・タイマ・モード・コントロール・レジスタ3 (TMC3) ...	175
16ビット・タイマ・モード・コントロール・レジスタ4 (TMC4) ...	187
16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) ...	206
受信バッファ・レジスタ1 (RXB1) ...	263
シリアルI/Oシフト・レジスタ0 (SIO0) ...	282
シリアル動作モード・レジスタ0 (CSIM0) ...	283, 284, 285
スタンバイ・コントロール・レジスタ (STBC) ...	85, 370
送信シフト・レジスタ1 (TXS1) ...	263

【た行】

タイマ・クロック選択レジスタ6 (TCL6) ...	224
タイマ・クロック選択レジスタ7 (TCL7) ...	233
タイマ出力コントロール・レジスタ0 (TOC0) ...	139
タイマ出力コントロール・レジスタ1 (TOC1) ...	155
タイマ出力コントロール・レジスタ2 (TOC2) ...	166
タイマ・モード・コントロール・レジスタ6 (TMC6) ...	223
タイマ・モード・コントロール・レジスタ7 (TMC7) ...	232

【な行】

内部メモリ・サイズ切り替えレジスタ (IMS) ...	63, 397
-----------------------------	---------

【は行】

8ビット・コンペア・レジスタ6 (CR6) ...	222
8ビット・コンペア・レジスタ7 (CR7) ...	231
8ビット・タイマ・カウンタ6 (TM6) ...	222
8ビット・タイマ・カウンタ7 (TM7) ...	231
発振安定時間指定レジスタ (OSTS) ...	86, 371
PWM変調制御レジスタ0 (PWMC0) ...	111
PWM変調制御レジスタ1 (PWMC1) ...	119
PWM変調バッファ・レジスタ0 (BFPWMC0) ...	112
PWM変調バッファ・レジスタ1 (BFPWMC1) ...	120
プリスケアラ・モード・レジスタ0 (PRM0) ...	140
プリスケアラ・モード・レジスタ1 (PRM1) ...	156
プリスケアラ・モード・レジスタ2 (PRM2) ...	167
プリスケアラ・モード・レジスタ3 (PRM3) ...	176
プリスケアラ・モード・レジスタ4 (PRM4) ...	188
プリスケアラ・モード・レジスタ5 (PRM5) ...	208
プルアップ抵抗オプション・レジスタ (PUO) ...	103
プルアップ抵抗オプション・レジスタ0 (PU0) ...	103
プルアップ抵抗オプション・レジスタ1 (PU1) ...	103

プルアップ抵抗オプション・レジスタ 2 (PU2) ...	103
プルアップ抵抗オプション・レジスタ 3 (PU3) ...	103
プルアップ抵抗オプション・レジスタ 9 (PU9) ...	103
プログラム・ステータス・ワード (PSW) ...	64, 306
ポート 0 (P0) ...	92
ポート 1 (P1) ...	94
ポート 2 (P2) ...	95
ポート 3 (P3) ...	96
ポート 4 (P4) ...	97
ポート 5 (P5) ...	98
ポート 6 (P6) ...	99
ポート 7 (P7) ...	100
ポート 9 (P9) ...	101
ポート 0 モード・レジスタ (PM0) ...	102
ポート 1 モード・レジスタ (PM1) ...	102
ポート 2 モード・レジスタ (PM2) ...	102
ポート 3 モード・レジスタ (PM3) ...	102
ポート 4 モード・レジスタ (PM4) ...	102
ポート 5 モード・レジスタ (PM5) ...	102
ポート 6 モード・レジスタ (PM6) ...	102
ポート 9 モード・レジスタ (PM9) ...	102
ポー・レート・ジェネレータ・コントロール・レジスタ 1 (BRGC1) ...	267, 272

【ま行】

マクロ・サービス・モード・レジスタ ...	332
メモリ拡張モード・レジスタ (MM) ...	72

【ら行】

リアルタイム出力バッファ・レジスタH0 (RTBH0) ...	108
リアルタイム出力バッファ・レジスタH1 (RTBH1) ...	108
リアルタイム出力バッファ・レジスタL0 (RTBL0) ...	108
リアルタイム出力バッファ・レジスタL1 (RTBL1) ...	108
リアルタイム出力ポート・コントロール・レジスタ 0 (RTPC0) ...	110
リアルタイム出力ポート・コントロール・レジスタ 1 (RTPC1) ...	118
リアルタイム出力ポート・モード・レジスタ 0 (RTPM0) ...	109
リアルタイム出力ポート・モード・レジスタ 1 (RTPM1) ...	117

【わ行】

割り込み制御レジスタ ...	294
割り込みマスク・フラグ・レジスタ0H (MK0H) ...	301
割り込みマスク・フラグ・レジスタ1H (MK1H) ...	301
割り込みマスク・フラグ・レジスタ0L (MK0L) ...	301
割り込みマスク・フラグ・レジスタ1L (MK1L) ...	301
割り込みモード・コントロール・レジスタ (IMC) ...	304

D.2 レジスタ索引 (アルファベット順)

【A】

ADCR0	: A/D変換結果レジスタ 0 ...	245
ADIC	: 割り込み制御レジスタ ...	300
ADM0	: A/Dコンバータ・モード・レジスタ 0 ...	246
ADS0	: アナログ入力チャネル指定レジスタ 0 ...	248
ASIM1	: アシクロナス・シリアル・インタフェース・モード・レジスタ 1 ...	265, 268
ASIS1	: アシクロナス・シリアル・インタフェース・ステータス・レジスタ 1 ...	266, 271

【B】

BFPWMC0	: PWM変調バッファ・レジスタ 0 ...	112
BFPWMC1	: PWM変調バッファ・レジスタ 1 ...	120
BRGC1	: ボー・レート・ジェネレータ・コントロール・レジスタ 1 ...	267, 272

【C】

CR00	: 16ビット・キャプチャ/コンペア・レジスタ00 ...	135
CR01	: 16ビット・キャプチャ/コンペア・レジスタ01 ...	136
CR10	: 16ビット・コンペア・レジスタ10 ...	153
CR11	: 16ビット・コンペア・レジスタ11 ...	153
CR20	: 16ビット・コンペア・レジスタ20 ...	164
CR21	: 16ビット・コンペア・レジスタ21 ...	164
CR30	: 16ビット・コンペア・レジスタ30 ...	174
CR31	: 16ビット・コンペア・レジスタ31 ...	174
CR40	: 16ビット・キャプチャ/コンペア・レジスタ40 ...	184
CR41	: 16ビット・キャプチャ/コンペア・レジスタ41 ...	185
CR42	: 16ビット・キャプチャ/コンペア・レジスタ42 ...	186
CR50	: 16ビット・キャプチャ/コンペア・レジスタ50 ...	204
CR51	: 16ビット・キャプチャ/コンペア・レジスタ51 ...	205
CR52	: 16ビット・コンペア・レジスタ52 ...	205
CR6	: 8ビット・コンペア・レジスタ 6 ...	222
CR7	: 8ビット・コンペア・レジスタ 7 ...	231
CRC0	: キャプチャ/コンペア・コントロール・レジスタ 0 ...	138
CRC4	: キャプチャ/コンペア・コントロール・レジスタ 4 ...	188
CRC5	: キャプチャ/コンペア・コントロール・レジスタ 5 ...	207
CSIIC0	: 割り込み制御レジスタ ...	300
CSIM0	: シリアル動作モード・レジスタ 0 ...	283, 284, 285

【E】

EGP0	: 外部割り込み立ち上がりエッジ許可レジスタ ...	287
EGN0	: 外部割り込み立ち下がりエッジ許可レジスタ ...	287

【I】

IMC	: 割り込みモード・コントロール・レジスタ ...	304
IMS	: 内部メモリ・サイズ切り替えレジスタ ...	63, 397
ISPR	: インサースビス・プライオリティ・レジスタ ...	303

【M】

MK0H	: 割り込みマスク・フラグ・レジスタ0H ...	301
MK0L	: 割り込みマスク・フラグ・レジスタ0L ...	301
MK1H	: 割り込みマスク・フラグ・レジスタ1H ...	301
MK1L	: 割り込みマスク・フラグ・レジスタ1L ...	301
MM	: メモリ拡張モード・レジスタ ...	72

【O】

OSTS	: 発振安定時間指定レジスタ ...	86, 371
------	--------------------	---------

【P】

P0	: ポート0 ...	92
P1	: ポート1 ...	94
P2	: ポート2 ...	95
P3	: ポート3 ...	96
P4	: ポート4 ...	97
P5	: ポート5 ...	98
P6	: ポート6 ...	99
P7	: ポート7 ...	100
P9	: ポート9 ...	101
PIC0	: 割り込み制御レジスタ ...	298
PIC1	: 割り込み制御レジスタ ...	298
PIC2	: 割り込み制御レジスタ ...	298
PIC3	: 割り込み制御レジスタ ...	298
PIC4	: 割り込み制御レジスタ ...	298
PIC5	: 割り込み制御レジスタ ...	298
PIC6	: 割り込み制御レジスタ ...	298
PM0	: ポート0モード・レジスタ ...	102
PM1	: ポート1モード・レジスタ ...	102
PM2	: ポート2モード・レジスタ ...	102
PM3	: ポート3モード・レジスタ ...	102
PM4	: ポート4モード・レジスタ ...	102
PM5	: ポート5モード・レジスタ ...	102
PM6	: ポート6モード・レジスタ ...	102
PM9	: ポート9モード・レジスタ ...	102
PRM0	: プリスケーラ・モード・レジスタ0 ...	140
PRM1	: プリスケーラ・モード・レジスタ1 ...	156
PRM2	: プリスケーラ・モード・レジスタ2 ...	167

PRM3	: プリスケーラ・モード・レジスタ 3 ...	176
PRM4	: プリスケーラ・モード・レジスタ 4 ...	188
PRM5	: プリスケーラ・モード・レジスタ 5 ...	208
PSW	: プログラム・ステータス・ワード ...	64, 306
PU0	: ブルアップ抵抗オプション・レジスタ 0 ...	103
PU1	: ブルアップ抵抗オプション・レジスタ 1 ...	103
PU2	: ブルアップ抵抗オプション・レジスタ 2 ...	103
PU3	: ブルアップ抵抗オプション・レジスタ 3 ...	103
PU9	: ブルアップ抵抗オプション・レジスタ 9 ...	103
PUO	: ブルアップ抵抗オプション・レジスタ ...	103
PWMC0	: PWM変調制御レジスタ 0 ...	111
PWMC1	: PWM変調制御レジスタ 1 ...	119

【R】

RTBH0	: リアルタイム出力バッファ・レジスタH0 ...	108
RTBH1	: リアルタイム出力バッファ・レジスタH1 ...	108
RTBL0	: リアルタイム出力バッファ・レジスタL0 ...	108
RTBL1	: リアルタイム出力バッファ・レジスタL1 ...	108
RTPC0	: リアルタイム出力ポート・コントロール・レジスタ 0 ...	110
RTPC1	: リアルタイム出力ポート・コントロール・レジスタ 1 ...	118
RTPM0	: リアルタイム出力ポート・モード・レジスタ 0 ...	109
RTPM1	: リアルタイム出力ポート・モード・レジスタ 1 ...	117
RXB1	: 受信バッファ・レジスタ 1 ...	263

【S】

SERIC1	: 割り込み制御レジスタ ...	300
SIO0	: シリアルI/Oシフト・レジスタ 0 ...	282
SRIC1	: 割り込み制御レジスタ ...	300
STBC	: スタンバイ・コントロール・レジスタ ...	85, 370
STIC1	: 割り込み制御レジスタ ...	300

【T】

TCL6	: タイマ・クロック選択レジスタ 6 ...	224
TCL7	: タイマ・クロック選択レジスタ 7 ...	233
TM0	: 16ビット・タイマ・カウンタ 0 ...	135
TM1	: 16ビット・タイマ・カウンタ 1 ...	153
TM2	: 16ビット・タイマ・カウンタ 2 ...	164
TM3	: 16ビット・タイマ・カウンタ 3 ...	174
TM4	: 16ビット・タイマ・カウンタ 4 ...	184
TM5	: 16ビット・タイマ・カウンタ 5 ...	203
TM6	: 8ビット・タイマ・カウンタ 6 ...	222
TM7	: 8ビット・タイマ・カウンタ 7 ...	231
TMC0	: 16ビット・タイマ・モード・コントロール・レジスタ 0 ...	137

TMC1	: 16ビット・タイマ・モード・コントロール・レジスタ 1 ...	154
TMC2	: 16ビット・タイマ・モード・コントロール・レジスタ 2 ...	165
TMC3	: 16ビット・タイマ・モード・コントロール・レジスタ 3 ...	175
TMC4	: 16ビット・タイマ・モード・コントロール・レジスタ 4 ...	187
TMC5	: 16ビット・タイマ・モード・コントロール・レジスタ 5 ...	206
TMC6	: タイマ・モード・コントロール・レジスタ 6 ...	223
TMC7	: タイマ・モード・コントロール・レジスタ 7 ...	232
TMIC00	: 割り込み制御レジスタ ...	298
TMIC01	: 割り込み制御レジスタ ...	298
TMIC10	: 割り込み制御レジスタ ...	299
TMIC11	: 割り込み制御レジスタ ...	299
TMIC20	: 割り込み制御レジスタ ...	299
TMIC21	: 割り込み制御レジスタ ...	299
TMIC30	: 割り込み制御レジスタ ...	299
TMIC31	: 割り込み制御レジスタ ...	299
TMIC40	: 割り込み制御レジスタ ...	299
TMIC42	: 割り込み制御レジスタ ...	299
TMIC50	: 割り込み制御レジスタ ...	299
TMIC52	: 割り込み制御レジスタ ...	300
TMIC6	: 割り込み制御レジスタ ...	300
TMIC7	: 割り込み制御レジスタ ...	300
TOC0	: タイマ出力コントロール・レジスタ 0 ...	139
TOC1	: タイマ出力コントロール・レジスタ 1 ...	155
TOC2	: タイマ出力コントロール・レジスタ 2 ...	166
TXS1	: 送信シフト・レジスタ 1 ...	263

【W】

WDM	: ウォッチドッグ・タイマ・モード・レジスタ ...	238, 305
-----	----------------------------	----------

付録 E 改版履歴

版 数	前版からの主な改版内容	適用箇所
第 2 版	5.2.1 ポート 0 の注意を修正	第 5 章 ポート機能
	17.5 A/Dコンバータ特性表の読み方を追加 17.6 注意事項 ・ (7) A/D変換結果レジスタ 0 (ADCR0) の読み出しについてを追加 ・ (8) A/D変換結果が不定になるタイミングを追加 ・ (9) ボード設計上の注意を追加 ・ (11) AV _{REF} 端子, AV _{DD} 端子を追加	第17章 A/Dコンバータ
	図22 - 32 データ転送制御のタイミングを修正 図22 - 36 自動加算制御 + リング制御のタイミング図 1 (1-2相励磁で出力タイミングが変化する場合) を修正 図22 - 38 自動加算制御 + リング制御のタイミング図 2 (1-2相励磁の等速運動) を修正 22.12 割り込み機能を初期状態に戻す方法のプログラム例を修正	第22章 割り込み機能
	図23 - 4 HALTモード解除後の動作を修正 図23 - 5 STOPモード解除後の動作を修正 図23 - 8 IDLEモード解除後の動作を修正	第23章 スタンバイ機能
	・ Flashpro を削除	第25章 μPD78F4956A のプログラミング

[メモ]

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108

大阪 (06)6945-3178, 3200,
3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

前橋 (027)243-6060

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD784956Aサブシリーズ ユーザーズ・マニュアル ハードウェア編
(U14395JJ2V0UM00 (第2版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡ししてください。

日本電気(株)NECエレクトロニクス
半導体テクニカルホットライン

FAX: (044) 435-9608

2000.6