

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

μPD784938Aサブシリーズ

16ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

μPD784935A

μPD784936A

μPD784937A

μPD784938A

μPD78F4938A

[メモ]

目次要約

第1章	概 説	...	42
第2章	端子機能	...	55
第3章	CPUアーキテクチャ	...	72
第4章	クロック発生回路	...	112
第5章	レギュレータ	...	121
第6章	ポート機能	...	122
第7章	リアルタイム出力機能	...	209
第8章	タイマの概説	...	220
第9章	タイマ/イベント・カウンタ0	...	222
第10章	タイマ/イベント・カウンタ1	...	282
第11章	タイマ/イベント・カウンタ2	...	317
第12章	タイマ3	...	390
第13章	ウォッチドッグ・タイマ	...	405
第14章	時計用タイマ	...	411
第15章	PWM出力ユニット	...	415
第16章	A/Dコンバータ	...	423
第17章	シリアル・インタフェースの概説	...	445
第18章	アシンクロナス・シリアル・インタフェース/3線式シリアルI/O	...	447
第19章	3線式シリアルI/Oモード	...	477
第20章	IEBusコントローラ	...	488
第21章	クロック出力機能	...	550
第22章	エッジ検出機能	...	555
第23章	割り込み機能	...	563
第24章	ローカル・バス・インタフェース機能	...	644
第25章	スタンバイ機能	...	680
第26章	リセット機能	...	702
第27章	ROMコレクション	...	707
第28章	μ PD78F4938Aのプログラミング	...	716
第29章	命令のオペレーション	...	721
付 録		...	754

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIPは、日本電気株式会社の登録商標です。

IEBus, Inter Equipment Bus, EEPROMは、日本電気株式会社の商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

イーサネットは、米国ゼロックス社の商標です。

OSF/Motifは、Open Software Foundation, Inc.の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F4938A

ユーザ判定品 : μ PD784935A, 784936A, 784937A, 784938A

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

- 対象者** このマニュアルは、 μ PD784938Aサブシリーズの機能を理解し、その応用システムを設計するユーザのエンジニアを対象とします。
- 目的** このマニュアルは、 μ PD784938Aサブシリーズの持つ各種ハードウェア機能を理解していただくことを目的とします。
- 構成** μ PD784938Aサブシリーズのユーザーズ・マニュアルは、ハードウェア編（このマニュアル）と命令編の2冊に分かれています。

ハードウェア編

端子機能
内部ブロック機能
割り込み
その他の内蔵周辺機能

命令編

CPU機能
アドレッシング
命令セット

この製品には使用上の注意事項があります。
各章の本文中の該当箇所と各章の最後（まとめ）にそれらの注意事項を示しますので、必ずお読みください。

読み方 このマニュアルを読むにあたっては、電気、論理回路およびマイクロコンピュータの一通りの知識を必要とします。

・特に機能面に違いがない場合

μPD784938Aを代表品種として説明しています。したがってμPD784935A, 784936A, 784937A, 78F4938Aのユーザーズ・マニュアルとしてお使いの場合は、μPD784938AをμPD784935A, 784936A, 784937A, 78F4938Aと読み替えてご使用ください。

一通りの機能を理解しようとするとき

目次に従って読んでください。

μPD784908サブシリーズとの違いを知りたいとき

1.8 μPD784908サブシリーズとの主な違いを参照してください。

デバッグをしていて、おかしい動作をしているとき

各章末に注意事項がまとめてありますので、関連する機能の注意事項を参照してください。

レジスタ名が分かっていて、レジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

命令機能の詳細を知りたいとき

別冊の**78K/ シリーズ ユーザーズ・マニュアル 命令編 (U10905J)**を参照してください。

電気的特性を知りたいとき

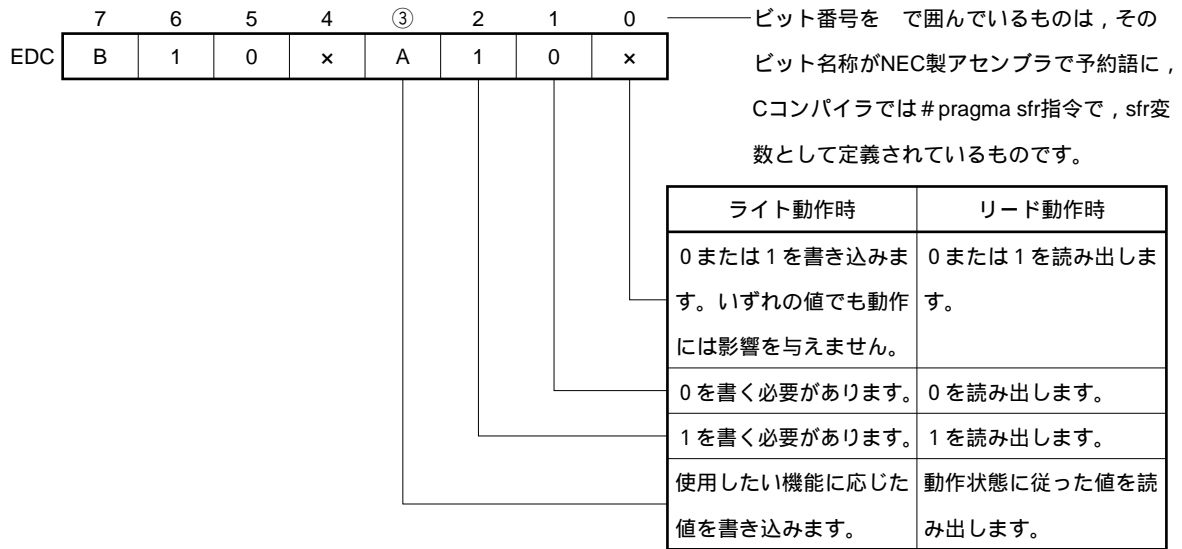
個別のデータ・シートを参照してください。

各種機能の応用例を知りたいとき

別冊の**アプリケーション・ノート**を参照してください。

凡例	データ表記の重み	: 左側が上位桁, 右側が下位桁
	アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 特に気をつけていただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数...xxx ₂ Bまたはxxx ₂
		: 10進数...xxx ₁₀
		: 16進数...xxx ₁₆ H

レジスタ表記



本文中のレジスタ表記に「設定禁止」と書いてあるコードの組み合わせは、絶対に書き込まないでください。

まぎらわしい文字 : 0 (ゼロ), O (オー)
 : 1 (イチ), l (エル), I (アイ)

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD784935A, 784936A, 784937A, 784938A データ・シート	U13572J	U13572E
μ PD78F4938A データ・シート	U14118J	U14118E
μ PD784938Aサブシリーズ ユーザーズ・マニュアル ハードウェア編	このマニュアル	作成予定
78K/ シリーズ ユーザーズ・マニュアル 命令編	U10905J	U10905E
78K/ シリーズ アプリケーション・ノート ソフトウェア基礎編	U10095J	U10095E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K4 アセンブラ・パッケージ	操作編	U11334J	U11334E
	言語編	U11162J	U11162E
	構造化アセンブラ・プリプロセッサ	U11743J	U11743E
CC78K4 Cコンパイラ	操作編	U11572J	U11572E
	言語編	U11571J	U11571E
SM78K4 システム・シミュレータ Ver.1.40以上 Windowsベース	レファレンス編	U10093J	U10093E
SM78Kシリーズ システム・シミュレータ Ver.1.40以上	外部部品ユーザ・オープン・ インタフェース仕様編	U10092J	U10092E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上 Windowsベース	操作編	U15185J	U15185E
ID78K4 統合ディバッガ Windowsベース	レファレンス編	U10440J	U10440E
RX78K4 リアルタイムOS	基礎編	U10603J	U10603E
	インストール編	U10604J	U10604E
	ディバッガ編	U10364J	-

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

開発ツール（ハードウェア）の資料（ユーザズ・マニュアル）

資 料 名	資料番号	
	和文	英文
IE-78K4-NS インサーキット・エミュレータ	U13356J	U13356E
IE-784937-NS-EM1 エミュレーション・ボード	U13743J	U13743E
IE-784000-R インサーキット・エミュレータ	U12903J	U12903E

フラッシュ・メモリ書き込み用の資料

資 料 名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザズ・マニュアル	U13502J	U13502E

その他の資料

資 料 名	資料番号	
	和文	英文
半導体総合セレクション・ガイド - 製品・パッケージ情報 -	X13769J	X13769E
半導体デバイス 実装マニュアル	注	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

(<http://www.ic.nec.co.jp/pkg/ja/jissou/index.html>)

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説	... 42
1.1 特 徴	... 44
1.2 オーダ情報	... 45
1.3 端子接続図 (Top View)	... 46
1.3.1 通常動作モード	... 46
1.4 応用システム構成例 (車載オーディオ (チューナ・デッキ部))	... 48
1.5 ブロック図	... 49
1.6 機能一覧	... 50
1.7 μ PD784938Aサブシリーズ製品間の違い	... 54
1.8 μ PD784908サブシリーズとの主な違い	... 54
第2章 端子機能	... 55
2.1 端子機能一覧	... 55
2.1.1 通常動作モード	... 55
2.2 端子機能説明	... 59
2.2.1 通常動作モード	... 59
2.3 端子の入出力回路と未使用端子の処理	... 68
2.4 注意事項	... 71
第3章 CPUアーキテクチャ	... 72
3.1 メモリ空間	... 72
3.2 内部ROM領域	... 78
3.3 ベース領域	... 79
3.3.1 ベクタ・テーブル領域	... 80
3.3.2 CALLT命令テーブル領域	... 81
3.3.3 CALLF命令エントリ領域	... 81
3.4 内部データ領域	... 82
3.4.1 内部RAM領域	... 83
3.4.2 特殊機能レジスタ (SFR) 領域	... 86
3.4.3 外部SFR領域	... 86
3.5 外部メモリ空間	... 86
3.6 μ PD78F4938Aのメモリ・マッピング	... 87
3.7 制御レジスタ	... 88
3.7.1 プログラム・カウンタ (PC)	... 88
3.7.2 プログラム・ステータス・ワード (PSW)	... 88
3.7.3 RSSビットの使用法	... 92
3.7.4 スタック・ポインタ (SP)	... 95
3.8 汎用レジスタ	... 99
3.8.1 構 成	... 99
3.8.2 機 能	... 101

3.9	特殊機能レジスタ (SFR) ...	104
3.10	注意事項 ...	111
第4章	クロック発生回路 ...	112
4.1	構成と機能 ...	112
4.2	制御レジスタ ...	114
4.2.1	スタンバイ・コントロール・レジスタ (STBC) ...	114
4.2.2	発振安定時間指定レジスタ (OSTS) ...	116
4.3	クロック発生回路の動作 ...	117
4.3.1	クロック発振回路 ...	117
4.3.2	分周回路 ...	117
4.4	注意事項 ...	118
4.4.1	クリスタル/セラミック発振の場合 ...	118
第5章	レギュレータ ...	121
5.1	レギュレータの概要 ...	121
第6章	ポート機能 ...	122
6.1	デジタル入出力ポート ...	122
6.2	ポート0 ...	124
6.2.1	ハードウェア構成 ...	125
6.2.2	入出力モード/コントロール・モードの設定 ...	126
6.2.3	動作状態 ...	127
6.2.4	内蔵プルアップ抵抗 ...	129
6.2.5	トランジスタのドライブ ...	131
6.3	ポート1 ...	132
6.3.1	ハードウェア構成 ...	133
6.3.2	入出力モード/コントロール・モードの設定 ...	137
6.3.3	動作状態 ...	138
6.3.4	内蔵プルアップ抵抗 ...	141
6.3.5	LEDのダイレクト・ドライブ ...	142
6.4	ポート2 ...	143
6.4.1	ハードウェア構成 ...	145
6.4.2	入力モード/コントロール・モードの設定 ...	147
6.4.3	動作状態 ...	147
6.4.4	内蔵プルアップ抵抗 ...	147
6.5	ポート3 ...	149
6.5.1	ハードウェア構成 ...	151
6.5.2	入出力モード/コントロール・モードの設定 ...	155
6.5.3	動作状態 ...	157
6.5.4	内蔵プルアップ抵抗 ...	160
6.6	ポート4 ...	162
6.6.1	ハードウェア構成 ...	163
6.6.2	入出力モード/コントロール・モードの設定 ...	164
6.6.3	動作状態 ...	165

6.6.4	内蔵プルアップ抵抗	...	167
6.6.5	LEDのダイレクト・ドライブ	...	169
6.7	ポート5	...	170
6.7.1	ハードウェア構成	...	171
6.7.2	入出力モード/コントロール・モードの設定	...	172
6.7.3	動作状態	...	173
6.7.4	内蔵プルアップ抵抗	...	175
6.7.5	LEDのダイレクト・ドライブ	...	177
6.8	ポート6	...	178
6.8.1	ハードウェア構成	...	179
6.8.2	入出力モード/コントロール・モードの設定	...	183
6.8.3	動作状態	...	185
6.8.4	内蔵プルアップ抵抗	...	187
6.9	ポート7	...	188
6.9.1	ハードウェア構成	...	188
6.9.2	入出力モード/コントロール・モードの設定	...	189
6.9.3	動作状態	...	190
6.9.4	内蔵プルアップ抵抗	...	191
6.9.5	注意事項	...	191
6.10	ポート9	...	192
6.10.1	ハードウェア構成	...	192
6.10.2	入出力モード/コントロール・モードの設定	...	193
6.10.3	動作状態	...	194
6.10.4	内蔵プルアップ抵抗	...	196
6.11	ポート10	...	197
6.11.1	ハードウェア構成	...	198
6.11.2	入出力モード/コントロール・モードの設定	...	202
6.11.3	動作状態	...	203
6.11.4	内蔵プルアップ抵抗	...	206
6.12	注意事項	...	208

第7章 リアルタイム出力機能 ... 209

7.1	構成と機能	...	209
7.2	リアルタイム出力ポート・コントロール・レジスタ (RTPC)	...	211
7.3	リアルタイム出力ポートのアクセス	...	212
7.4	動作	...	214
7.5	使用例	...	217
7.6	注意事項	...	219

第8章 タイマの概説 ... 220

第9章 タイマ/イベント・カウンタ0 ... 222

9.1	機能	...	222
9.2	構成	...	225
9.3	タイマ/イベント・カウンタ0制御レジスタ	...	228
9.4	タイマ・カウンタ0 (TM0)の動作	...	233

9.4.1	基本動作	...	233
9.4.2	クリア動作	...	235
9.5	外部イベント・カウンタ機能	...	237
9.6	コンペア・レジスタ, キャプチャ・レジスタの動作	...	241
9.6.1	コンペア動作	...	241
9.6.2	キャプチャ動作	...	243
9.7	出力制御回路の基本動作	...	244
9.7.1	基本動作	...	246
9.7.2	トグル出力	...	246
9.7.3	PWM出力	...	248
9.7.4	PPG出力	...	254
9.7.5	ソフト・トリガド・ワンショット・パルス出力	...	260
9.8	使用例	...	261
9.8.1	インターバル・タイマとしての動作(1)	...	261
9.8.2	インターバル・タイマとしての動作(2)	...	263
9.8.3	パルス幅測定としての動作	...	265
9.8.4	PWM出力としての動作	...	267
9.8.5	PPG出力としての動作	...	271
9.8.6	ソフト・トリガド・ワンショット・パルス出力例	...	275
9.9	注意事項	...	278

第10章 タイマ/イベント・カウンタ1 ... 282

10.1	機能	...	282
10.2	構成	...	284
10.3	タイマ/イベント・カウンタ1制御レジスタ	...	288
10.4	タイマ・カウンタ1(TM1)の動作	...	291
10.4.1	基本動作	...	291
10.4.2	クリア動作	...	294
10.5	外部イベント・カウンタ機能	...	296
10.6	コンペア・レジスタ, キャプチャ/コンペア・レジスタの動作	...	300
10.6.1	コンペア動作	...	300
10.6.2	キャプチャ動作	...	302
10.7	使用例	...	305
10.7.1	インターバル・タイマとしての動作(1)	...	305
10.7.2	インターバル・タイマとしての動作(2)	...	308
10.7.3	パルス幅測定としての動作	...	310
10.8	注意事項	...	313

第11章 タイマ/イベント・カウンタ2 ... 317

11.1	機能	...	317
11.2	構成	...	321
11.3	タイマ/イベント・カウンタ2制御レジスタ	...	325
11.4	タイマ・カウンタ2(TM2)の動作	...	329
11.4.1	基本動作	...	329
11.4.2	クリア動作	...	332
11.5	外部イベント・カウンタ機能	...	334

11.6	ワンショット・タイマ機能	...	338
11.7	コンペア・レジスタ, キャプチャ/コンペア・レジスタ, キャプチャ・レジスタの動作	...	339
11.7.1	コンペア動作	...	339
11.7.2	キャプチャ動作	...	342
11.8	出力制御回路の基本動作	...	345
11.8.1	基本動作	...	347
11.8.2	トグル出力	...	347
11.8.3	PWM出力	...	349
11.8.4	PPG出力	...	356
11.9	使用例	...	363
11.9.1	インターバル・タイマとしての動作(1)	...	363
11.9.2	インターバル・タイマとしての動作(2)	...	366
11.9.3	パルス幅測定としての動作	...	369
11.9.4	PWM出力としての動作	...	372
11.9.5	PPG出力としての動作	...	376
11.9.6	外部イベント・カウンタとしての動作	...	381
11.9.7	ワンショット・タイマとしての動作	...	383
11.10	注意事項	...	386

第12章 タイマ3 ... 390

12.1	機能	...	390
12.2	構成	...	391
12.3	タイマ3制御レジスタ	...	393
12.4	タイマ・カウンタ3(TM3)の動作	...	395
12.4.1	基本動作	...	395
12.4.2	クリア動作	...	398
12.5	コンペア・レジスタの動作	...	400
12.6	使用例	...	401
12.7	注意事項	...	403

第13章 ウォッチドッグ・タイマ ... 405

13.1	構成	...	405
13.2	ウォッチドッグ・タイマ・モード・レジスタ(WDM)	...	406
13.3	動作	...	408
13.3.1	カウント動作	...	408
13.3.2	割り込み優先順位	...	408
13.4	注意事項	...	409
13.4.1	ウォッチドッグ・タイマ使用時の一般的な注意事項	...	409
13.4.2	μPD784938Aサブシリーズのウォッチドッグ・タイマに関する注意事項	...	410

第14章 時計用タイマ ... 411

第15章 PWM出力ユニット ... 415

- 15.1 PWM出力ユニットの構成 ... 415
- 15.2 PWM出力ユニットの制御レジスタ ... 417
 - 15.2.1 PWMコントロール・レジスタ (PWMC) ... 417
 - 15.2.2 PWMプリスケアラ・レジスタ (PWPR) ... 418
 - 15.2.3 PWMモジュロ・レジスタ (PWM0, PWM1) ... 418
- 15.3 PWM出力ユニットの動作 ... 419
 - 15.3.1 PWM出力の基本動作 ... 419
 - 15.3.2 PWMパルス出力の許可/禁止 ... 420
 - 15.3.3 PWMパルスのアクティブ・レベルの指定 ... 420
 - 15.3.4 PWMパルス幅書き換え周期の指定 ... 421
- 15.4 注意事項 ... 422

第16章 A/Dコンバータ ... 423

- 16.1 構 成 ... 423
- 16.2 A/Dコンバータ・モード・レジスタ (ADM) ... 427
- 16.3 A/D電流カット選択レジスタ (IEAD) ... 430
- 16.4 動 作 ... 431
 - 16.4.1 A/Dコンバータの基本動作 ... 431
 - 16.4.2 セレクト・モード ... 435
 - 16.4.3 スキャン・モード ... 436
 - 16.4.4 ソフトウェア・スタートによるA/D変換動作の起動 ... 438
 - 16.4.5 ハードウェア・スタートによるA/D変換動作の起動 ... 440
- 16.5 A/Dコンバータの外付け回路 ... 443
- 16.6 注意事項 ... 443

第17章 シリアル・インタフェースの概説 ... 445

第18章 アシクロナス・シリアル・インタフェース/ 3線式シリアルI/O ... 447

- 18.1 アシクロナス・シリアル・インタフェース・モードと
3線式シリアルI/Oモードの切り替え ... 448
- 18.2 アシクロナス・シリアル・インタフェース・モード ... 449
 - 18.2.1 アシクロナス・シリアル・インタフェース・
モード時の構成 ... 449
 - 18.2.2 アシクロナス・シリアル・インタフェース制御レジスタ ... 452
 - 18.2.3 データ・フォーマット ... 455
 - 18.2.4 パリティの種類と動作 ... 456
 - 18.2.5 送 信 ... 457
 - 18.2.6 受 信 ... 458
 - 18.2.7 受信エラー ... 459
- 18.3 3線式シリアルI/Oモード ... 460
 - 18.3.1 3線式シリアルI/Oモード時の構成 ... 460
 - 18.3.2 クロック同期式シリアル・インタフェース・モード・レジスタ
(CSIM1, CSIM2) ... 463
 - 18.3.3 基本動作タイミング ... 464
 - 18.3.4 送信のみ許可の場合の動作 ... 466

- 18.3.5 受信のみ許可の場合の動作 ... 466
- 18.3.6 送受信許可の場合の動作 ... 467
- 18.3.7 シリアル・クロックとシフト動作がずれた場合の処置方法 ... 467
- 18.4 **ポー・レート・ジェネレータ** ... 467
 - 18.4.1 ポー・レート・ジェネレータの構成 ... 467
 - 18.4.2 ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2) ... 469
 - 18.4.3 ポー・レート・ジェネレータの動作 ... 471
 - 18.4.4 アシンクロナス・シリアル・インタフェース・モード時のポー・レートの設定方法 ... 473
- 18.5 **注意事項** ... 476

第19章 3線式シリアルI/Oモード ... 477

- 19.1 **機能** ... 477
- 19.2 **構成** ... 478
- 19.3 **制御レジスタ** ... 480
 - 19.3.1 クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM, CSIM3) ... 480
- 19.4 **3線式シリアルI/Oモード** ... 483
 - 19.4.1 基本動作タイミング ... 483
 - 19.4.2 送信のみ許可の場合の動作 ... 486
 - 19.4.3 受信のみ許可の場合の動作 ... 486
 - 19.4.4 送受信許可の場合の動作 (送受信動作許可) ... 487
 - 19.4.5 シリアル・クロックとシフト動作がずれた場合の処置方法 ... 487

第20章 IEBusコントローラ ... 488

- 20.1 **IEBusコントローラの機能** ... 488
 - 20.1.1 IEBusの通信プロトコル ... 488
 - 20.1.2 バス占有権の決定 (アービトレーション) ... 489
 - 20.1.3 通信モード ... 489
 - 20.1.4 通信アドレス ... 490
 - 20.1.5 同報通信 ... 490
 - 20.1.6 IEBusの伝送フォーマット ... 491
 - 20.1.7 伝送データ ... 501
 - 20.1.8 ビット・フォーマット ... 505
- 20.2 **簡易版IEBusコントローラ** ... 506
- 20.3 **IEBusコントローラの構成** ... 507
- 20.4 **IEBusコントローラの内部レジスタ** ... 509
 - 20.4.1 内部レジスタ一覧 ... 509
 - 20.4.2 内部レジスタ ... 510
- 20.5 **IEBusコントローラの割り込み動作** ... 534
 - 20.5.1 割り込み制御部 ... 534
 - 20.5.2 割り込み要因一覧 ... 535
 - 20.5.3 通信エラー要因処理一覧 ... 536
- 20.6 **割り込み発生タイミングおよび主なCPU処理内容** ... 538
 - 20.6.1 マスタ送信 ... 538

- 20.6.2 マスタ受信 ... 540
- 20.6.3 スレーブ送信 ... 542
- 20.6.4 スレーブ受信 ... 544
- 20.6.5 IEBus制御用割り込み発生間隔 ... 546

第21章 クロック出力機能 ... 550

- 21.1 構成 ... 550
- 21.2 クロック出力モード・レジスタ (CLOM) ... 552
- 21.3 動作 ... 553
 - 21.3.1 クロック出力 ... 553
 - 21.3.2 1ビット出力ポート ... 554
 - 21.3.3 スタンバイ・モード中の動作 ... 554
- 21.4 注意事項 ... 554

第22章 エッジ検出機能 ... 555

- 22.1 エッジ検出機能の制御レジスタ ... 555
 - 22.1.1 外部割り込みモード・レジスタ (INTM0, INTM1) ... 555
 - 22.1.2 サンプリング・クロック選択レジスタ (SCS0) ... 558
- 22.2 P20, P25, P26端子のエッジ検出 ... 559
- 22.3 P21端子のエッジ検出 ... 560
- 22.4 P22-P24端子のエッジ検出 ... 561
- 22.5 注意事項 ... 562

第23章 割り込み機能 ... 563

- 23.1 割り込み要求ソース ... 564
 - 23.1.1 ソフトウェア割り込み ... 566
 - 23.1.2 オペランド・エラー割り込み ... 566
 - 23.1.3 ノンマスカブル割り込み ... 566
 - 23.1.4 マスカブル割り込み ... 566
- 23.2 割り込み処理モード ... 567
 - 23.2.1 ベクタ割り込み処理 ... 567
 - 23.2.2 マクロ・サービス ... 567
 - 23.2.3 コンテキスト・スイッチング ... 567
- 23.3 割り込み処理制御レジスタ ... 568
 - 23.3.1 割り込み制御レジスタ ... 571
 - 23.3.2 割り込みマスク・レジスタ (MK0, MK1) ... 577
 - 23.3.3 インサースervice・プライオリティ・レジスタ (ISPR) ... 579
 - 23.3.4 割り込みモード・コントロール・レジスタ (IMC) ... 580
 - 23.3.5 ウォッチドッグ・タイマ・モード・レジスタ (WDM) ... 581
 - 23.3.6 プログラム・ステータス・ワード (PSW) ... 582
- 23.4 ソフトウェア割り込みの受け付け動作 ... 582
 - 23.4.1 BRK命令によるソフトウェア割り込みの受け付け動作 ... 582
 - 23.4.2 BRKCS命令によるソフトウェア割り込み (ソフトウェア・コンテキスト・スイッチング) の受け付け動作 ... 583
- 23.5 オペランド・エラー割り込みの受け付け動作 ... 584

23.6	ノンマスクابل割り込みの受け付け動作	...	585
23.7	マスクابل割り込みの受け付け動作	...	589
23.7.1	ベクタ割り込み	...	591
23.7.2	コンテキスト・スイッチング	...	591
23.7.3	マスクابل割り込みの優先順位	...	593
23.8	マクロ・サービス機能	...	599
23.8.1	マクロ・サービスの概要	...	599
23.8.2	マクロ・サービスの種類	...	599
23.8.3	マクロ・サービスの基本動作	...	602
23.8.4	マクロ・サービス終了時の動作	...	603
23.8.5	マクロ・サービス制御レジスタ	...	606
23.8.6	マクロ・サービス・タイプA	...	610
23.8.7	マクロ・サービス・タイプB	...	615
23.8.8	マクロ・サービス・タイプC	...	620
23.8.9	カウンタ・モード	...	634
23.9	割り込み要求およびマクロ・サービスが一時的に保留される場合	...	636
23.10	割り込みおよびマクロ・サービスで一時的に実行が中断される命令	...	638
23.11	割り込みおよびマクロ・サービスの動作タイミング	...	638
23.11.1	割り込みの受け付け処理時間	...	639
23.11.2	マクロ・サービスの処理時間	...	640
23.12	割り込み機能を初期状態に戻す方法	...	641
23.13	注意事項	...	642

第24章 ローカル・バス・インタフェース機能 ... 644

24.1	メモリ拡張機能	...	644
24.1.1	メモリ拡張モード・レジスタ (MM)	...	644
24.1.2	外部メモリ拡張時のメモリ・マップ	...	646
24.1.3	ローカル・バス・インタフェースの基本動作	...	655
24.2	ウェイト機能	...	656
24.2.1	ウェイト機能の制御レジスタ	...	656
24.2.2	アドレス・ウェイト	...	660
24.2.3	アクセス・ウェイト	...	663
24.3	疑似スタティックRAMリフレッシュ機能	...	670
24.3.1	制御レジスタ	...	671
24.3.2	動作	...	672
24.4	バス・ホールド機能	...	676
24.4.1	ホールド・モード・レジスタ (HLDM)	...	676
24.4.2	動作	...	677
24.5	注意事項	...	679

第25章 スタンバイ機能 ... 680

25.1	構成と機能	...	680
25.2	制御レジスタ	...	682
25.2.1	スタンバイ・コントロール・レジスタ (STBC)	...	682
25.2.2	発振安定時間指定レジスタ (OSTS)	...	684
25.3	HALTモード	...	686

25.3.1	HALTモードの設定および動作状態	...	686
25.3.2	HALTモードの解除	...	686
25.4	STOPモード	...	690
25.4.1	STOPモードの設定および動作状態	...	690
25.4.2	STOPモードの解除	...	692
25.5	IDLEモード	...	695
25.5.1	IDLEモードの設定および動作状態	...	695
25.5.2	IDLEモードの解除	...	696
25.6	STOPモード/IDLEモード使用時のチェック項目	...	698
25.7	注意事項	...	701
第26章	リセット機能	...	702
26.1	リセット機能	...	702
26.2	注意事項	...	706
第27章	ROMコレクション	...	707
27.1	ROMコレクションの機能	...	707
27.2	ROMコレクションの構成	...	709
27.3	ROMコレクションを制御するレジスタ	...	711
27.4	ROMコレクションの使用方法	...	713
27.5	ROMコレクションを実行するための条件	...	714
第28章	μPD78F4938Aのプログラミング	...	716
28.1	内部メモリ・サイズ切り替えレジスタ (IMS)	...	717
28.2	Flashpro 使用によるフラッシュ・メモリ・プログラミング	...	718
28.2.1	通信方式の選択	...	718
28.2.2	フラッシュ・メモリ・プログラミングの構成	...	719
28.2.3	Flashpro の接続	...	720
第29章	命令のオペレーション	...	721
29.1	凡 例	...	721
29.2	オペレーション一覧	...	725
29.3	アドレッシング別命令一覧	...	750
付録A	開発ツール	...	754
A.1	言語処理用ソフトウェア	...	757
A.2	フラッシュ・メモリ書き込み用ツール	...	758
A.3	デバッグ用ツール	...	759
A.3.1	ハードウェア	...	759
A.3.2	ソフトウェア	...	761
A.4	変換ソケット (EV-9200GF-100) の外形図と基板取り付け推奨パターン	...	763

付録B 組み込み用ソフトウェア ... 765

付録C レジスタ索引 ... 767

C.1 レジスタ索引 (50音順) ... 767

C.2 レジスタ索引 (アルファベット順) ... 771

図の目次 (1/14)

図番号	タイトル, ページ
2 - 1	端子の入出力回路 ... 70
3 - 1	μPD784935Aのメモリ・マップ ... 74
3 - 2	μPD784936Aのメモリ・マップ ... 75
3 - 3	μPD784937Aのメモリ・マップ ... 76
3 - 4	μPD784938A, 78F4938Aのメモリ・マップ ... 77
3 - 5	内部RAMのメモリ・マップ ... 84
3 - 6	内部メモリ・サイズ切り替えレジスタ (IMS) ... 87
3 - 7	プログラム・カウンタ (PC) のフォーマット ... 88
3 - 8	プログラム・ステータス・ワード (PSW) のフォーマット ... 89
3 - 9	スタック・ポインタ (SP) のフォーマット ... 95
3 - 10	スタック領域へ退避されるデータ ... 96
3 - 11	スタック領域から復帰されるデータ ... 97
3 - 12	汎用レジスタのフォーマット ... 99
3 - 13	汎用レジスタのアドレス ... 100
4 - 1	クロック発生回路のブロック図 ... 112
4 - 2	クロック発振回路の外付け回路 ... 113
4 - 3	スタンバイ・コントロール・レジスタ (STBC) のフォーマット ... 115
4 - 4	発振安定時間指定レジスタ (OSTS) のフォーマット ... 116
4 - 5	発振子の接続の注意点 ... 118
4 - 6	発振子の接続の悪い例 ... 119
5 - 1	レギュレータ周辺のブロック図 ... 121
6 - 1	ポートの構成 ... 122
6 - 2	ポート0のブロック図 ... 125
6 - 3	ポート0モード・レジスタ (PM0) のフォーマット ... 126
6 - 4	出力ポート指定のポート ... 127
6 - 5	入力ポート指定のポート ... 128
6 - 6	プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット ... 129
6 - 7	プルアップ抵抗の指定 (ポート0) ... 130
6 - 8	トランジスタのドライブ例 ... 131
6 - 9	P12 (ポート1) のブロック図 ... 133
6 - 10	P13 (ポート1) のブロック図 ... 134

図の目次 (2/14)

図番号	タイトル, ページ
6 - 11	P14 (ポート1) のブロック図 ... 135
6 - 12	P10, P11, P15-P17 (ポート1) のブロック図 ... 136
6 - 13	ポート1モード・レジスタ (PM1) のフォーマット ... 137
6 - 14	ポート1モード・コントロール・レジスタ (PMC1) のフォーマット ... 137
6 - 15	出力ポート指定のポート ... 138
6 - 16	入力ポート指定のポート ... 139
6 - 17	コントロール指定の場合 ... 140
6 - 18	プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット ... 141
6 - 19	プルアップ抵抗の指定 (ポート1) ... 142
6 - 20	LEDのダイレクト・ドライブ例 ... 142
6 - 21	P20-P24, P26, P27 (ポート2) のブロック図 ... 145
6 - 22	P25 (ポート2) のブロック図 ... 146
6 - 23	入力ポート指定のポート ... 147
6 - 24	プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット ... 147
6 - 25	プルアップの指定 (ポート2) ... 148
6 - 26	P30 (ポート3) のブロック図 ... 151
6 - 27	P31, P34-P37 (ポート3) のブロック図 ... 152
6 - 28	P32 (ポート3) のブロック図 ... 153
6 - 29	P33 (ポート3) のブロック図 ... 154
6 - 30	ポート3モード・レジスタ (PM3) のフォーマット ... 155
6 - 31	ポート3モード・コントロール・レジスタ (PMC3) のフォーマット ... 156
6 - 32	出力ポート指定のポート ... 157
6 - 33	入力ポート指定のポート ... 158
6 - 34	コントロール指定の場合 ... 159
6 - 35	プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット ... 160
6 - 36	プルアップの指定 (ポート3) ... 161
6 - 37	ポート4のブロック図 ... 163
6 - 38	ポート4モード・レジスタ (PM4) のフォーマット ... 164
6 - 39	出力ポート指定のポート ... 165
6 - 40	入力ポート指定のポート ... 166
6 - 41	プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット ... 167
6 - 42	プルアップの指定 (ポート4) ... 168
6 - 43	LEDのダイレクト・ドライブ例 ... 169
6 - 44	ポート5のブロック図 ... 171
6 - 45	ポート5モード・レジスタ (PM5) のフォーマット ... 172

図の目次 (3/14)

図番号	タイトル, ページ
6 - 46	出力ポート指定のポート ... 173
6 - 47	入力ポート指定のポート ... 174
6 - 48	ブルアップ抵抗オプション・レジスタL (PUOL) のフォーマット ... 175
6 - 49	ブルアップの指定 (ポート5) ... 176
6 - 50	LEDのダイレクト・ドライブ例 ... 177
6 - 51	P60-P63 (ポート6) のブロック図 ... 179
6 - 52	P64, P65 (ポート6) のブロック図 ... 180
6 - 53	P66 (ポート6) のブロック図 ... 181
6 - 54	P67 (ポート6) のブロック図 ... 182
6 - 55	ポート6モード・レジスタ (PM6) のフォーマット ... 185
6 - 56	出力ポート指定のポート ... 185
6 - 57	入力ポート指定のポート ... 186
6 - 58	ブルアップ抵抗オプション・レジスタL (PUOL) のフォーマット ... 187
6 - 59	ブルアップの指定 (ポート6) ... 187
6 - 60	ポート7のブロック図 ... 188
6 - 61	ポート7モード・レジスタ (PM7) のフォーマット ... 189
6 - 62	出力ポート指定のポート ... 190
6 - 63	入力ポート指定のポート ... 191
6 - 64	ポート9のブロック図 ... 192
6 - 65	ポート9モード・レジスタ (PM9) のフォーマット ... 193
6 - 66	出力ポート指定のポート ... 194
6 - 67	入力ポート指定のポート ... 195
6 - 68	ブルアップ抵抗オプション・レジスタH (PUOH) のフォーマット ... 196
6 - 69	ブルアップ抵抗の指定 (ポート9) ... 196
6 - 70	P100-P104 (ポート10) のブロック図 ... 198
6 - 71	P105 (ポート10) のブロック図 ... 199
6 - 72	P106 (ポート10) のブロック図 ... 200
6 - 73	P107 (ポート10) のブロック図 ... 201
6 - 74	ポート10モード・レジスタ (PM10) のフォーマット ... 202
6 - 75	ポート10モード・コントロール・レジスタ (PMC10) のフォーマット ... 202
6 - 76	出力ポート指定のポート ... 203
6 - 77	入力ポート指定のポート ... 204
6 - 78	コントロール指定の場合 ... 205
6 - 79	ブルアップ抵抗オプション・レジスタH (PUOH) のフォーマット ... 206
6 - 80	ブルアップ抵抗の指定 (ポート10) ... 207

図の目次 (4/14)

図番号	タイトル, ページ
7 - 1	リアルタイム出力ポートのブロック図 ... 210
7 - 2	リアルタイム出力ポート・コントロール・レジスタ (RTPC) のフォーマット ... 211
7 - 3	ポート0バッファ・レジスタ (P0H, P0L) の構成 ... 212
7 - 4	リアルタイム出力ポートの動作タイミング ... 215
7 - 5	リアルタイム出力ポートの動作タイミング (2ch独立制御の例) ... 216
7 - 6	リアルタイム出力ポートの動作タイミング ... 217
7 - 7	リアルタイム出力機能の制御レジスタの設定内容 ... 218
7 - 8	リアルタイム出力機能の設定手順 ... 218
7 - 9	リアルタイム出力機能使用時の割り込み要求処理 ... 219
8 - 1	タイマのブロック図 ... 221
9 - 1	タイマ/イベント・カウンタ0のブロック図 ... 226
9 - 2	タイマ・コントロール・レジスタ0 (TMC0) のフォーマット ... 228
9 - 3	プリスケアラ・モード・レジスタ0 (PRM0) のフォーマット ... 229
9 - 4	キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット ... 230
9 - 5	タイマ出力コントロール・レジスタ (TOC) のフォーマット ... 231
9 - 6	ワンショット・パルス出力制御レジスタ (OSPC) のフォーマット ... 232
9 - 7	タイマ・カウンタ0 (TM0) の基本動作 ... 234
9 - 8	コンペア・レジスタ (CR01) との一致によるTM0のクリア ... 235
9 - 9	CE0ビットをクリア (0) した場合のクリア動作 ... 236
9 - 10	タイマ/イベント・カウンタ0の外部イベント・カウントのタイミング ... 237
9 - 11	外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例 ... 239
9 - 12	外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法 ... 240
9 - 13	コンペア動作 ... 241
9 - 14	一致検出後, TM0のクリア ... 242
9 - 15	キャプチャ動作 ... 243
9 - 16	トグル出力の動作 ... 246
9 - 17	PWMパルス出力 ... 248
9 - 18	TM0を用いたPWM出力例 ... 249
9 - 19	CR00 = FFFFHのときのPWM出力例 ... 250
9 - 20	コンペア・レジスタ (CR00) の書き換え例 ... 251
9 - 21	PWM出力時にデューティが100%になる例 ... 252
9 - 22	PWM信号出力中にタイマ/イベント・カウンタ0を停止した場合 ... 253
9 - 23	TM0を用いたPPG出力例 ... 254

図の目次 (5/14)

図番号	タイトル, ページ
9 - 24	CR00 = CR01のときのPPG出力例 ... 255
9 - 25	コンペア・レジスタ (CR00) の書き換え例 ... 256
9 - 26	PPG出力時にデューティが100 %になる例 ... 257
9 - 27	PPG出力の周期が長くなる例 ... 258
9 - 28	PPG信号出力中にタイマ/イベント・カウンタ 0 を停止した場合 ... 259
9 - 29	ソフト・トリガド・ワンショット・パルス出力例 ... 260
9 - 30	インターバル・タイマ動作 (1) のタイミング ... 261
9 - 31	インターバル・タイマ動作 (1) における制御レジスタの設定内容 ... 262
9 - 32	インターバル・タイマ動作 (1) の設定手順 ... 262
9 - 33	インターバル・タイマ動作 (1) の割り込み要求処理 ... 262
9 - 34	インターバル・タイマ動作 (2) のタイミング ... 263
9 - 35	インターバル・タイマ動作 (2) における制御レジスタの設定内容 ... 264
9 - 36	インターバル・タイマ動作 (2) の設定手順 ... 264
9 - 37	パルス幅測定のタイミング ... 265
9 - 38	パルス幅測定における制御レジスタの設定内容 ... 266
9 - 39	パルス幅測定の設定手順 ... 266
9 - 40	パルス幅を算出する割り込み要求処理 ... 267
9 - 41	タイマ/イベント・カウンタ 0 のPWM信号出力例 ... 267
9 - 42	PWM出力動作における制御レジスタの設定内容 ... 268
9 - 43	PWM出力の設定手順 ... 269
9 - 44	PWM出力のデューティ変更 ... 270
9 - 45	タイマ/イベント・カウンタ 0 のPPG信号出力例 ... 271
9 - 46	PPG出力動作における制御レジスタの設定内容 ... 272
9 - 47	PPG出力の設定手順 ... 273
9 - 48	PPG出力のデューティ変更 ... 274
9 - 49	タイマ/イベント・カウンタ 0 のワンショット・パルス出力例 ... 275
9 - 50	ワンショット・パルス出力における制御レジスタ設定内容 ... 276
9 - 51	ワンショット・パルス出力の設定手順 ... 277
9 - 52	カウント・スタート時の動作 ... 279
9 - 53	外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例 ... 280
9 - 54	外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法 ... 281
10 - 1	タイマ/イベント・カウンタ 1 のブロック図 ... 285
10 - 2	タイマ・コントロール・レジスタ 1 (TMC1) のフォーマット ... 288
10 - 3	プリスケアラ・モード・レジスタ 1 (PRM1) のフォーマット ... 289

図の目次 (6/14)

図番号	タイトル, ページ
10 - 4	キャプチャ/コンペア・コントロール・レジスタ 1 (CRC1) のフォーマット ... 290
10 - 5	8ビット動作モード時の基本動作 (BW1 = 0) ... 292
10 - 6	16ビット動作モード時の基本動作 (BW1 = 1) ... 293
10 - 7	コンペア・レジスタ (CR10, CR11) との一致によるTM1のクリア ... 294
10 - 8	キャプチャ後, TM1のクリア ... 294
10 - 9	CE1ビットをクリア (0) した場合のクリア動作 ... 295
10 - 10	タイマ/イベント・カウンタ 1 の外部イベント・カウンタのタイミング ... 296
10 - 11	外部イベント・カウンタで 1 回または 1 回以下の有効エッジ入力の区別がつかない例 ... 298
10 - 12	外部イベント・カウンタで 1 回以下の有効エッジ入力を区別する方法 ... 299
10 - 13	8ビット動作モード時のコンペア動作 ... 300
10 - 14	16ビット動作モード時のコンペア動作 ... 301
10 - 15	一致検出後, TM1のクリア ... 301
10 - 16	8ビット動作モード時のキャプチャ動作 ... 302
10 - 17	16ビット動作モード時のキャプチャ動作 ... 303
10 - 18	キャプチャ後, TM1のクリア ... 304
10 - 19	インターバル・タイマ動作 (1) のタイミング ... 305
10 - 20	インターバル・タイマ動作 (1) における制御レジスタの設定内容 ... 306
10 - 21	インターバル・タイマ動作 (1) の設定手順 ... 307
10 - 22	インターバル・タイマ動作 (1) の割り込み要求処理 ... 307
10 - 23	インターバル・タイマ動作 (2) のタイミング (CR11をコンペア・レジスタとして使用する場合) ... 308
10 - 24	インターバル・タイマ動作 (2) の制御レジスタの設定内容 ... 309
10 - 25	インターバル・タイマ動作 (2) の設定手順 ... 309
10 - 26	パルス幅測定のタイミング (CR11をキャプチャ・レジスタとして使用する場合) ... 310
10 - 27	パルス幅測定の制御レジスタの設定内容 ... 311
10 - 28	パルス幅測定の設定手順 ... 312
10 - 29	パルス幅を算出する割り込み要求処理 ... 312
10 - 30	カウント・スタート時の動作 ... 314
10 - 31	外部イベント・カウンタで 1 回または 1 回以下の有効エッジ入力の区別がつかない例 ... 315
10 - 32	外部イベント・カウンタで 1 回以下の有効エッジ入力を区別する方法 ... 316
11 - 1	タイマ/イベント・カウンタ 2 のブロック図 ... 322
11 - 2	タイマ・コントロール・レジスタ 1 (TMC1) のフォーマット ... 325
11 - 3	プリスケアラ・モード・レジスタ 1 (PRM1) のフォーマット ... 326
11 - 4	キャプチャ/コンペア・コントロール・レジスタ 2 (CRC2) のフォーマット ... 327

図の目次 (7/14)

図番号	タイトル, ページ
11 - 5	タイマ出力コントロール・レジスタ (TOC) のフォーマット ... 328
11 - 6	8ビット動作モード時の基本動作 (BW2 = 0) ... 330
11 - 7	16ビット動作モード時の基本動作 (BW2 = 1) ... 331
11 - 8	コンペア・レジスタ (CR20, CR21) との一致によるTM2のクリア ... 332
11 - 9	キャプチャ後, TM2のクリア ... 332
11 - 10	CE2ビットをクリア (0) した場合のクリア動作 ... 333
11 - 11	タイマ/イベント・カウンタ2の外部イベント・カウントのタイミング ... 334
11 - 12	外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例 ... 336
11 - 13	外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法 ... 337
11 - 14	ワンショット・タイマ動作 ... 338
11 - 15	8ビット動作モード時のコンペア動作 ... 340
11 - 16	16ビット動作モード時のコンペア動作 ... 341
11 - 17	一致検出後, TM2のクリア ... 342
11 - 18	8ビット動作モード時のキャプチャ動作 ... 343
11 - 19	16ビット動作モード時のキャプチャ動作 ... 344
11 - 20	キャプチャ後, TM2のクリア ... 345
11 - 21	トグル出力の動作 ... 347
11 - 22	PWMパルス出力 (BW2 = 0) ... 350
11 - 23	PWMパルス出力 (BW2 = 1) ... 351
11 - 24	TM2Wを用いたPWM出力例 ... 352
11 - 25	CR20W = FFFFHのときのPWM出力例 ... 352
11 - 26	コンペア・レジスタ (CR20W) の書き換え例 ... 353
11 - 27	PWM出力時にデューティが100%になる例 ... 354
11 - 28	PWM信号出力中にタイマ/イベント・カウンタ2を停止した場合 ... 355
11 - 29	TM2を用いたPPG出力例 ... 357
11 - 30	CR20 = CR21のときのPPG出力例 ... 358
11 - 31	コンペア・レジスタの書き換え例 ... 359
11 - 32	PPG出力時にデューティが100%になる例 ... 360
11 - 33	PPG出力の周期が長くなる例 ... 361
11 - 34	PPG信号出力中にタイマ/イベント・カウンタ2を停止した場合 ... 362
11 - 35	インターバル・タイマ動作 (1) のタイミング ... 363
11 - 36	インターバル・タイマ動作 (1) における制御レジスタの設定内容 ... 364
11 - 37	インターバル・タイマ動作 (1) の設定手順 ... 365
11 - 38	インターバル・タイマ動作 (1) の割り込み要求処理 ... 365
11 - 39	インターバル・タイマ動作 (2) のタイミング ... 366

図の目次 (8/14)

図番号	タイトル, ページ
11 - 40	インターバル・タイマ動作 (2) の制御レジスタの設定内容 ... 367
11 - 41	インターバル・タイマ動作 (2) の設定手順 ... 368
11 - 42	パルス幅測定のタイミング ... 369
11 - 43	パルス幅測定の制御レジスタの設定内容 ... 370
11 - 44	パルス幅測定の設定手順 ... 371
11 - 45	パルス幅を算出する割り込み要求処理 ... 371
11 - 46	タイマ/イベント・カウンタ 2 のPWM信号出力例 ... 372
11 - 47	PWM出力動作における制御レジスタの設定内容 ... 373
11 - 48	PWM出力の設定手順 ... 374
11 - 49	PWM出力のデューティ変更 ... 375
11 - 50	タイマ/イベント・カウンタ 2 のPPG信号出力例 ... 376
11 - 51	PPG出力動作における制御レジスタの設定内容 ... 377
11 - 52	PPG出力の設定手順 ... 379
11 - 53	PPG出力のデューティ変更 ... 380
11 - 54	外部イベント・カウンタ動作 (片エッジの場合) ... 381
11 - 55	外部イベント・カウンタ動作の制御レジスタの設定内容 ... 382
11 - 56	外部イベント・カウンタ動作の設定手順 ... 382
11 - 57	ワンショット・タイマ動作 ... 383
11 - 58	ワンショット・タイマ動作の制御レジスタの設定内容 ... 384
11 - 59	ワンショット・タイマ動作の設定手順 ... 385
11 - 60	2 回目以降のワンショット・タイマの起動手順 ... 385
11 - 61	カウント・スタート時の動作 ... 387
11 - 62	外部イベント・カウンタで 1 回または 1 回以下の有効エッジ入力の区別がつかない例 ... 388
11 - 63	外部イベント・カウンタで 1 回以下の有効エッジ入力を区別する方法 ... 389
12 - 1	タイマ 3 のブロック図 ... 391
12 - 2	タイマ・コントロール・レジスタ 0 (TMC0) のフォーマット ... 393
12 - 3	プリスケラ・モード・レジスタ 0 (PRM0) のフォーマット ... 394
12 - 4	8 ビット動作モード時の基本動作 (BW3 = 0) ... 396
12 - 5	16 ビット動作モード時の基本動作 (BW3 = 1) ... 397
12 - 6	コンペア・レジスタ (CR30) との一致による TM3 のクリア ... 398
12 - 7	CE3 ビットをクリア (0) した場合のクリア動作 ... 399
12 - 8	コンペア動作 ... 400
12 - 9	インターバル・タイマ動作のタイミング ... 401
12 - 10	インターバル・タイマ動作の制御レジスタの設定内容 ... 402

図の目次 (9/14)

図番号	タイトル, ページ
12 - 11	インターバル・タイマ動作の設定手順 ... 402
12 - 12	カウント・スタート時の動作 ... 404
13 - 1	ウォッチドッグ・タイマのブロック図 ... 405
13 - 2	ウォッチドッグ・タイマ・モード・レジスタ (WDM) のフォーマット ... 407
14 - 1	時計用タイマ・モード・レジスタ (WM) のフォーマット ... 412
14 - 2	時計用タイマのブロック図 ... 414
15 - 1	PWM出力ユニットの構成 ... 415
15 - 2	PWMコントロール・レジスタ (PWMC) のフォーマット ... 417
15 - 3	PWMプリスケラ・レジスタ (PWPR) のフォーマット ... 418
15 - 4	PWM出力の基本動作 ... 419
15 - 5	PWM出力のアクティブ・レベル設定 ... 420
15 - 6	PWM出力タイミング例 1 (PWMパルス幅書き換え周期 $2^{12}/f_{PWMC}$) ... 421
15 - 7	PWM出力タイミング例 2 (PWMパルス幅書き換え周期 $2^8/f_{PWMC}$) ... 422
16 - 1	A/Dコンバータのブロック図 ... 424
16 - 2	A/Dコンバータ用端子のキャパシタ接続例 ... 425
16 - 3	A/Dコンバータ・モード・レジスタ (ADM) のフォーマット ... 428
16 - 4	A/D電流カット選択レジスタ (IEAD) のフォーマット ... 430
16 - 5	A/D電流カット選択レジスタの機能 ... 430
16 - 6	A/Dコンバータの基本動作 ... 432
16 - 7	アナログ入力電圧とA/D変換結果の関係 ... 433
16 - 8	セレクト・モードの動作タイミング ... 435
16 - 9	スキャン・モード0の動作タイミング ... 436
16 - 10	スキャン・モード1の動作タイミング ... 437
16 - 11	ソフトウェア・スタートによるセレクト・モードのA/D変換動作 ... 438
16 - 12	ソフトウェア・スタートによるスキャン・モードのA/D変換動作 ... 439
16 - 13	ハードウェア・スタートによるセレクト・モードのA/D変換動作 ... 441
16 - 14	ハードウェア・スタートによるスキャン・モードのA/D変換動作 ... 442
16 - 15	A/Dコンバータ用端子のキャパシタ接続例 ... 444
17 - 1	シリアル・インタフェース例 ... 446

図の目次 (10/14)

図番号	タイトル, ページ
18 - 1	アシンクロナス・シリアル・インタフェース・モードと3線式シリアルI/Oモードの切り替え ... 448
18 - 2	アシンクロナス・シリアル・インタフェースのブロック図 ... 450
18 - 3	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM), アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のフォーマット ... 453
18 - 4	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS), アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) のフォーマット ... 454
18 - 5	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 455
18 - 6	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 457
18 - 7	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 458
18 - 8	受信エラー・タイミング ... 459
18 - 9	3線式シリアルI/Oのシステム構成例 ... 460
18 - 10	3線式シリアルI/Oモード時のブロック図 ... 461
18 - 11	クロック同期式シリアル・インタフェース・モード・レジスタ1 (CSIM1), クロック同期式シリアル・インタフェース・モード・レジスタ2 (CSIM2) のフォーマット ... 463
18 - 12	3線式シリアルI/Oモードのタイミング ... 464
18 - 13	2線式シリアルI/Oとの接続例 ... 465
18 - 14	ポー・レート・ジェネレータのブロック図 ... 468
18 - 15	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC), ポー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2) のフォーマット ... 470
19 - 1	クロック同期式シリアル・インタフェースのブロック図 ... 478
19 - 2	クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM), クロック同期式シリアル・インタフェース・モード・レジスタ3 (CSIM3) のフォーマット ... 481
19 - 3	3線式シリアルI/Oのシステム構成例 ... 483
19 - 4	3線式シリアルI/Oモードのタイミング ... 484
19 - 5	受信禁止の場合の動作 ... 486
20 - 1	IEBusの伝送信号フォーマット ... 491
20 - 2	マスタ・アドレス・フィールド ... 492
20 - 3	スレーブ・アドレス・フィールド ... 493
20 - 4	コントロール・フィールド ... 495
20 - 5	電文長フィールド ... 497
20 - 6	データ・フィールド ... 498
20 - 7	スレーブ・ステータスのビット構成 ... 502
20 - 8	ロック・アドレスの構成 ... 503

図の目次 (11/14)

図番号	タイトル, ページ
20 - 9	IEBusのビット・フォーマット ... 505
20 - 10	IEBusコントローラのブロック図 ... 507
20 - 11	IEBusコントロール・レジスタ (BCR) のフォーマット ... 510
20 - 12	IEBus自局アドレス・レジスタ (UAR) のフォーマット ... 514
20 - 13	IEBusスレーブ・アドレス・レジスタ (SAR) のフォーマット ... 514
20 - 14	IEBus相手先アドレス・レジスタ (PAR) のフォーマット ... 515
20 - 15	IEBusコントロール・データ・レジスタ (CDR) のフォーマット ... 516
20 - 16	割り込み発生タイミング (, , の場合) ... 517
20 - 17	割り込み発生タイミング (, の場合) ... 518
20 - 18	ロック状態中のINTIE2割り込み発生タイミング (, の場合) ... 518
20 - 19	ロック状態中のINTIE2割り込み発生タイミング (の場合) ... 519
20 - 20	IEBus電文長レジスタ (DLR) のフォーマット ... 520
20 - 21	IEBusデータ・レジスタ (DR) のフォーマット ... 521
20 - 22	IEBusユニット・ステータス・レジスタ (USR) のフォーマット ... 522
20 - 23	同報通信フラグの動作例 ... 523
20 - 24	IEBusインタラプト・ステータス・レジスタ (ISR) のフォーマット ... 526
20 - 25	IEBusスレーブ・ステータス・レジスタ (SSR) のフォーマット ... 531
20 - 26	IEBus通信成功カウンタ (SCR) のフォーマット ... 532
20 - 27	IEBus伝送カウンタ (CCR) のフォーマット ... 533
20 - 28	割り込み制御部の構成図 ... 534
20 - 29	マスタ送信 ... 538
20 - 30	マスタ受信 ... 540
20 - 31	スレーブ送信 ... 542
20 - 32	スレーブ受信 ... 544
20 - 33	マスタ送信 (割り込み発生間隔) ... 546
20 - 34	マスタ受信 (割り込み発生間隔) ... 547
20 - 35	スレーブ送信 (割り込み発生間隔) ... 548
20 - 36	スレーブ受信 (割り込み発生間隔) ... 549
21 - 1	クロック出力機能の構成 ... 550
21 - 2	クロック出力モード・レジスタ (CLOM) のフォーマット ... 552
21 - 3	クロック出力動作のタイミング ... 553
21 - 4	1ビット出力ポートの動作 ... 554
22 - 1	外部割り込みモード・レジスタ0 (INTM0) のフォーマット ... 556

図の目次 (12/14)

図番号	タイトル, ページ
22 - 2	外部割り込みモード・レジスタ1 (INTM1)のフォーマット ... 557
22 - 3	サンプリング・クロック選択レジスタ (SCS0)のフォーマット ... 558
22 - 4	P20, P25, P26端子のエッジ検出 ... 559
22 - 5	P21端子のエッジ検出 ... 560
22 - 6	P21-P26端子のエッジ検出 ... 561
23 - 1	割り込み制御レジスタ (x x ICn) ... 573
23 - 2	割り込みマスク・レジスタ (MK0, MK1)のフォーマット ... 577
23 - 3	インサース・プライオリティ・レジスタ (ISPR)のフォーマット ... 579
23 - 4	割り込みモード・コントロール・レジスタ (IMC)のフォーマット ... 580
23 - 5	ウォッチドッグ・タイマ・モード・レジスタ (WDM)のフォーマット ... 581
23 - 6	プログラム・ステータス・ワード (PSWL)のフォーマット ... 582
23 - 7	BRKCS命令の実行によるコンテキスト・スイッチング動作 ... 583
23 - 8	BRKCS命令によるソフトウェア割り込みからの復帰動作 (RETCSB命令の動作) ... 584
23 - 9	ノンマスカブル割り込み要求の受け付け動作 ... 586
23 - 10	割り込み受け付け処理アルゴリズム ... 590
23 - 11	割り込み要求の発生によるコンテキスト・スイッチング動作 ... 591
23 - 12	RETCS命令によるコンテキスト・スイッチング機能を使用した割り込みからの復帰動作 ... 592
23 - 13	割り込み処理中に他の割り込み要求が発生した場合の処理例 ... 594
23 - 14	同時発生した割り込み要求の処理例 ... 597
23 - 15	IMCの設定によるレベル3の割り込みの受け付け動作の違い ... 598
23 - 16	ベクタ割り込みとマクロ・サービスの処理の違い ... 599
23 - 17	マクロ・サービス処理シーケンス ... 602
23 - 18	VCIE = 0のときのマクロ・サービス終了時の動作 ... 604
23 - 19	VCIE = 1のときのマクロ・サービス終了時の動作 ... 605
23 - 20	マクロ・サービス・コントロール・ワードのフォーマット ... 607
23 - 21	マクロ・サービス・モード・レジスタのフォーマット ... 608
23 - 22	マクロ・サービス・データ転送処理フロー (タイプA) ... 611
23 - 23	タイプAのマクロ・サービス・チャンネル ... 613
23 - 24	アシンクロナス・シリアル受信 ... 614
23 - 25	マクロ・サービス・データ転送処理フロー (タイプB) ... 616
23 - 26	タイプBのマクロ・サービス・チャンネル ... 617
23 - 27	外部割り込みに同期したパラレル・データ入力 ... 618
23 - 28	パラレル・データ入力のタイミング ... 619
23 - 29	マクロ・サービス・データ転送処理フロー (タイプC) ... 621

図の目次 (13/14)

図番号	タイトル, ページ
23 - 30	タイプCのマクロ・サービス・チャンネル ... 624
23 - 31	リアルタイム出力ポートによるステップング・モータの開ループ制御 ... 626
23 - 32	データ転送制御のタイミング ... 627
23 - 33	4相ステップング・モータの1相励磁の場合 ... 629
23 - 34	4相ステップング・モータの1-2相励磁の場合 ... 629
23 - 35	自動加算制御+リング制御のブロック図1 (1-2相励磁で出力タイミングが変化する場合) ... 630
23 - 36	自動加算制御+リング制御のタイミング図1 (1-2相励磁で出力タイミングが変化する場合) ... 631
23 - 37	自動加算制御+リング制御のブロック図2 (1-2相励磁の等速運動) ... 632
23 - 38	自動加算制御+リング制御のタイミング図2 (1-2相励磁の等速運動) ... 633
23 - 39	マクロ・サービス・データ転送処理フロー (カウンタ・モード) ... 634
23 - 40	カウンタ・モード ... 635
23 - 41	エッジの回数のカウント ... 635
23 - 42	割り込み要求の発生と受け付け (単位: クロック) ... 638
24 - 1	メモリ拡張モード・レジスタ (MM) のフォーマット ... 645
24 - 2	μPD784935Aのメモリ・マップ ... 647
24 - 3	μPD784936Aのメモリ・マップ ... 649
24 - 4	μPD784937Aのメモリ・マップ ... 651
24 - 5	μPD784938Aのメモリ・マップ ... 653
24 - 6	リード・タイミング ... 655
24 - 7	ライト・タイミング ... 655
24 - 8	メモリ拡張モード・レジスタ (MM) のフォーマット ... 656
24 - 9	プログラマブル・ウエイト制御レジスタ (PWC1, PWC2) のフォーマット ... 658
24 - 10	アドレス・ウエイト機能によるリード/ライト・タイミング ... 660
24 - 11	ウエイト制御の空間 ... 664
24 - 12	アクセス・ウエイト機能によるリード・タイミング ... 665
24 - 13	アクセス・ウエイト機能によるライト・タイミング ... 667
24 - 14	外部ウエイト信号によるタイミング ... 669
24 - 15	リフレッシュ・モード・レジスタ (RFM) のフォーマット ... 671
24 - 16	リフレッシュ領域指定レジスタ (RFA) のフォーマット ... 672
24 - 17	内部メモリ・アクセス時のパルス・リフレッシュ動作 ... 673
24 - 18	リフレッシュ・パルス出力動作 ... 674
24 - 19	セルフ・リフレッシュ動作からの復帰タイミング ... 675
24 - 20	ホールド・モード・レジスタ (HLDM) のフォーマット ... 676
24 - 21	ホールド・モードのタイミング ... 678

図の目次 (14/14)

図番号	タイトル, ページ
25 - 1	スタンバイ・モードの遷移図 ... 680
25 - 2	スタンバイ機能のブロック図 ... 681
25 - 3	スタンバイ・コントロール・レジスタ (STBC) のフォーマット ... 683
25 - 4	発振安定時間指定レジスタ (OSTS) のフォーマット ... 685
25 - 5	NMI入力によるSTOPモードの解除 ... 693
25 - 6	INTP4, INTP5入力によるSTOPモードの解除 ... 694
25 - 7	アドレス/データ・バスの処理例 ... 699
26 - 1	リセット信号の受け付け ... 702
26 - 2	電源投入時のリセット動作 ... 703
26 - 3	リセット入力時のタイミング ... 706
27 - 1	ROMコレクションのブロック図 ... 709
27 - 2	メモリ・マッピング例 (μPD784938A) ... 710
27 - 3	ROMコレクション・アドレス・レジスタ (CORAH, CORAL) のフォーマット ... 711
27 - 4	ROMコレクション・コントロール・レジスタ (CORC) のフォーマット ... 712
28 - 1	内部メモリ・サイズ切り替えレジスタ (IMS) のフォーマット ... 717
28 - 2	通信方式選択フォーマット ... 718
28 - 3	3線式シリアルI/O方式でのFlashpro の接続 ... 720
28 - 4	UART方式でのFlashpro の接続 ... 720
A - 1	開発ツール構成 ... 755
A - 2	EV-9200GF-100 外形図 (参考) (単位: mm) ... 763
A - 3	EV-9200GF-100 基板取り付け推奨パターン (参考) (単位: mm) ... 764

表の目次 (1/4)

表番号	タイトル, ページ
2 - 1	ポート1の動作モード ... 59
2 - 2	ポート2の動作モード ... 61
2 - 3	ポート3の動作モード ... 62
2 - 4	ポート6の動作モード ... 64
2 - 5	各端子の入出力回路タイプと未使用端子の処理 ... 68
3 - 1	ベクタ・テーブル ... 80
3 - 2	内部RAM領域一覧 ... 83
3 - 3	内部メモリ・サイズ切り替えレジスタ (IMS) の設定値 ... 87
3 - 4	レジスタ・バンクの選択 ... 91
3 - 5	機能名称-絶対名称の対応 ... 103
3 - 6	特殊機能レジスタ (SFR) 一覧 ... 105
4 - 1	分周比の変更に必要な時間 ... 117
6 - 1	ポートの機能 ... 123
6 - 2	入出力ポート数 ... 123
6 - 3	ポート1の動作モード ... 132
6 - 4	ポート2の動作モード ... 143
6 - 5	ポート3の動作モード ... 149
6 - 6	ポート4の動作モード ... 164
6 - 7	ポート5の動作モード ... 172
6 - 8	ポート6の動作モード ... 178
6 - 9	ポート6のコントロール端子機能と操作 ... 183
6 - 10	P60-P65のコントロール端子指定 ... 183
6 - 11	ポート10の動作モード ... 197
7 - 1	ポート0とポート0バッファ・レジスタ (P0H, P0L) に対する操作時の動作 ... 212
7 - 2	リアルタイム出力ポートの出力トリガ (P0MH = P0ML = 1の場合) ... 214
8 - 1	タイマの動作 ... 220
9 - 1	タイマ/イベント・カウンタ0のインターバル時間 ... 222
9 - 2	タイマ/イベント・カウンタ0のプログラマブル矩形波出力設定範囲 ... 223
9 - 3	タイマ/イベント・カウンタ0のパルス幅測定範囲 ... 224

表の目次 (2/4)

表番号	タイトル, ページ
9 - 4	タイマ/イベント・カウンタ0のパルス幅測定時間 ... 225
9 - 5	タイマ出力 (TO0, TO1) の動作 ... 245
9 - 6	TO0, TO1のトグル出力 ($f_{xx} = 12.58 \text{ MHz}$) ... 247
9 - 7	TO0, TO1のPWM周期 ($f_{xx} = 12.58 \text{ MHz}$) ... 249
9 - 8	TO0のPPG出力 ($f_{xx} = 12.58 \text{ MHz}$) ... 255
10 - 1	タイマ/イベント・カウンタ1のインターバル時間 ... 282
10 - 2	タイマ/イベント・カウンタ1のパルス幅測定範囲 ... 283
10 - 3	タイマ/イベント・カウンタ1のパルス幅測定時間 ... 284
10 - 4	イベント・カウント可能な最大入力周波数と最小入力パルス幅 ... 296
11 - 1	タイマ/イベント・カウンタ2のインターバル時間 ... 318
11 - 2	タイマ/イベント・カウンタ2のプログラマブル矩形波出力設定範囲 ... 319
11 - 3	タイマ/イベント・カウンタ2のパルス幅測定範囲 ... 320
11 - 4	タイマ/イベント・カウンタ2に入力可能なクロック ... 320
11 - 5	タイマ出力 (TO2, TO3) の動作 ... 346
11 - 6	TO2, TO3のトグル出力 ($f_{xx} = 12.58 \text{ MHz}$) ... 348
11 - 7	TO2, TO3のPWM周期 ($f_{xx} = 12.58 \text{ MHz}$, $BW2 = 0$) ... 350
11 - 8	TO2, TO3のPWM周期 ($f_{xx} = 12.58 \text{ MHz}$, $BW2 = 1$) ... 351
11 - 9	TO2のPPG出力 ($f_{xx} = 12.58 \text{ MHz}$) ... 357
12 - 1	タイマ3のインターバル時間 ... 390
14 - 1	カウント・クロックと時計用タイマ動作の関係 ... 413
16 - 1	A/D変換時間 ... 434
18 - 1	UART/IOE1とUART2/IOE2の名称の違い ... 447
18 - 2	受信エラーの要因 ... 459
18 - 3	ポー・レートの設定方法 ... 473
18 - 4	ポー・レート・ジェネレータを使用した場合のBRGCへの設定例 ... 474
18 - 5	外部ポー・レート入力 (ASCK) を使用した場合の設定例 ... 475
19 - 1	IOE0とIOE3の名称の違い ... 477

表の目次 (3/4)

表番号	タイトル, ページ
20 - 1	通信モード 1 における伝送速度, 最大伝送バイト数 ... 489
20 - 2	コントロール・ビットの内容 ... 494
20 - 3	ロックされたスレーブ・ユニットに対するコントロール・フィールド ... 495
20 - 4	ロックされていないスレーブ・ユニットに対するコントロール・フィールド ... 495
20 - 5	コントロール・フィールドのアクノリッジ信号出力条件 ... 496
20 - 6	電文長ビットの内容 ... 497
20 - 7	従来品と簡易版IEBusインタフェースの比較 ... 506
20 - 8	IEBusコントローラの内部レジスタ一覧 ... 509
20 - 9	ISRレジスタの各フラグのリセット条件 ... 525
20 - 10	割り込み要因一覧 ... 535
20 - 11	通信エラー要因処理一覧 ... 536
22 - 1	P20-P26端子と検出エッジの用途 ... 555
23 - 1	割り込み要求の処理形態 ... 563
23 - 2	割り込み要求ソースの種類 ... 564
23 - 3	制御レジスタ一覧 ... 568
23 - 4	割り込み要求に対する割り込み制御レジスタのフラグ一覧 ... 570
23 - 5	多重割り込み処理 ... 593
23 - 6	マクロ・サービスが使用可能な割り込み ... 600
23 - 7	割り込み受け付け処理時間 ... 639
23 - 8	マクロ・サービス処理時間 ... 640
24 - 1	疑似スタティックRAM使用時のシステム・クロック周波数とリフレッシュ・パルス出力周期 ... 672
25 - 1	HALTモード時の動作状態 ... 686
25 - 2	HALTモードの解除と解除後の動作 ... 687
25 - 3	マスカブル割り込み要求によるHALTモードの解除 ... 689
25 - 4	STOPモード時の動作状態 ... 690
25 - 5	STOPモードの解除と解除後の動作 ... 692
25 - 6	IDLEモード時の動作状態 ... 695
25 - 7	IDLEモードの解除と解除後の動作 ... 696
26 - 1	リセット入力中, リセット解除後の端子状態 ... 703
26 - 2	各ハードウェアのリセット後の状態 ... 704

表の目次 (4/4)

表番号	タイトル, ページ
27 - 1	78K/ ROMコレクションと78K/0 ROMコレクションとの相違点 ... 708
27 - 2	ROMコレクションの構成 ... 709
28 - 1	μ PD78F4938AとマスクROM製品との違い ... 716
28 - 2	内部メモリ・サイズ切り替えレジスタ (IMS) の設定値 ... 717
28 - 3	通信方式一覧 ... 718
28 - 4	フラッシュ・メモリ・プログラミングの機能 ... 719
29 - 1	8ビット・アドレッシング別命令一覧表 ... 750
29 - 2	16ビット・アドレッシング別命令一覧表 ... 751
29 - 3	24ビット・アドレッシング別命令一覧表 ... 752
29 - 4	ビット操作命令アドレッシング別命令一覧表 ... 752
29 - 5	コール・リターン命令 / 分岐命令アドレッシング別命令一覧表 ... 753

第1章 概 説

μ PD784938Aサブシリーズは、大容量メモリ搭載可能な78K/IVシリーズCPUコアとIEBus™ (Inter Equipment Bus™) コントローラを組み合わせた78K/IVシリーズの製品です。78K/IVシリーズは、16ビット・シングルチップ・マイクロコンピュータで、1 Mバイトのメモリ空間にアクセス機能などを持った高性能CPUを備えた製品です。

また、μ PD784938Aサブシリーズは、μ PD784908サブシリーズをベースに内部ROM, RAM容量を拡大しROMコレクション機能を追加したものです。

μ PD784938Aは、256 KバイトのマスクROMと10496バイトのRAMを内蔵しています。また、IEBusコントローラのほかに高性能タイマ・カウンタ、8ビットA/Dコンバータ、PWM出力機能、2チャンネル独立のシリアル・インタフェース、時計用タイマなどを内蔵しています。

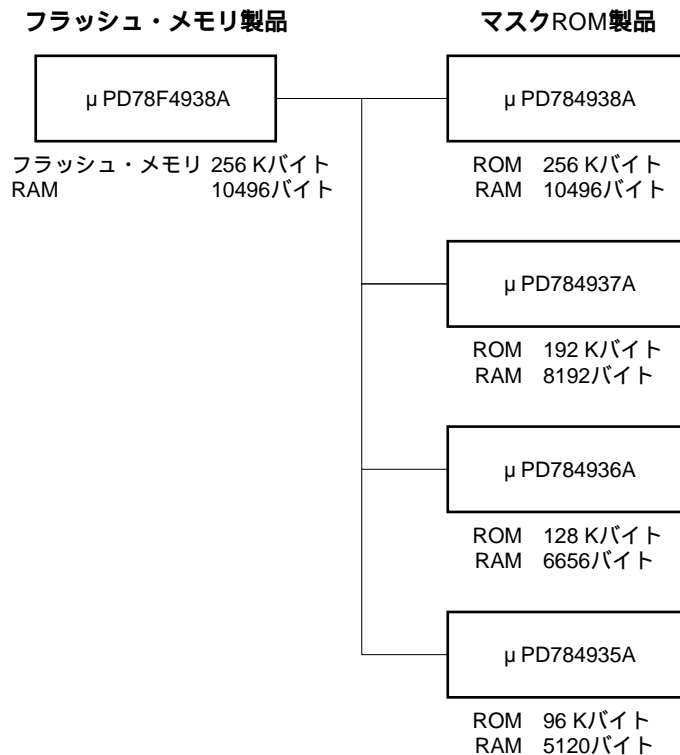
μ PD784937Aは、μ PD784938AのマスクROMを192 Kバイト、RAMを8192バイトにした製品です。

μ PD784936Aは、μ PD784938AのマスクROMを128 Kバイト、RAMを6656バイトにした製品です。

μ PD784935Aは、μ PD784938AのマスクROMを96 Kバイト、RAMを5120バイトにした製品です。

μ PD78F4938Aは、μ PD784938AのマスクROMをフラッシュ・メモリに置き換えた製品です。

μ PD784938Aサブシリーズの製品展開は、次のようになっています。



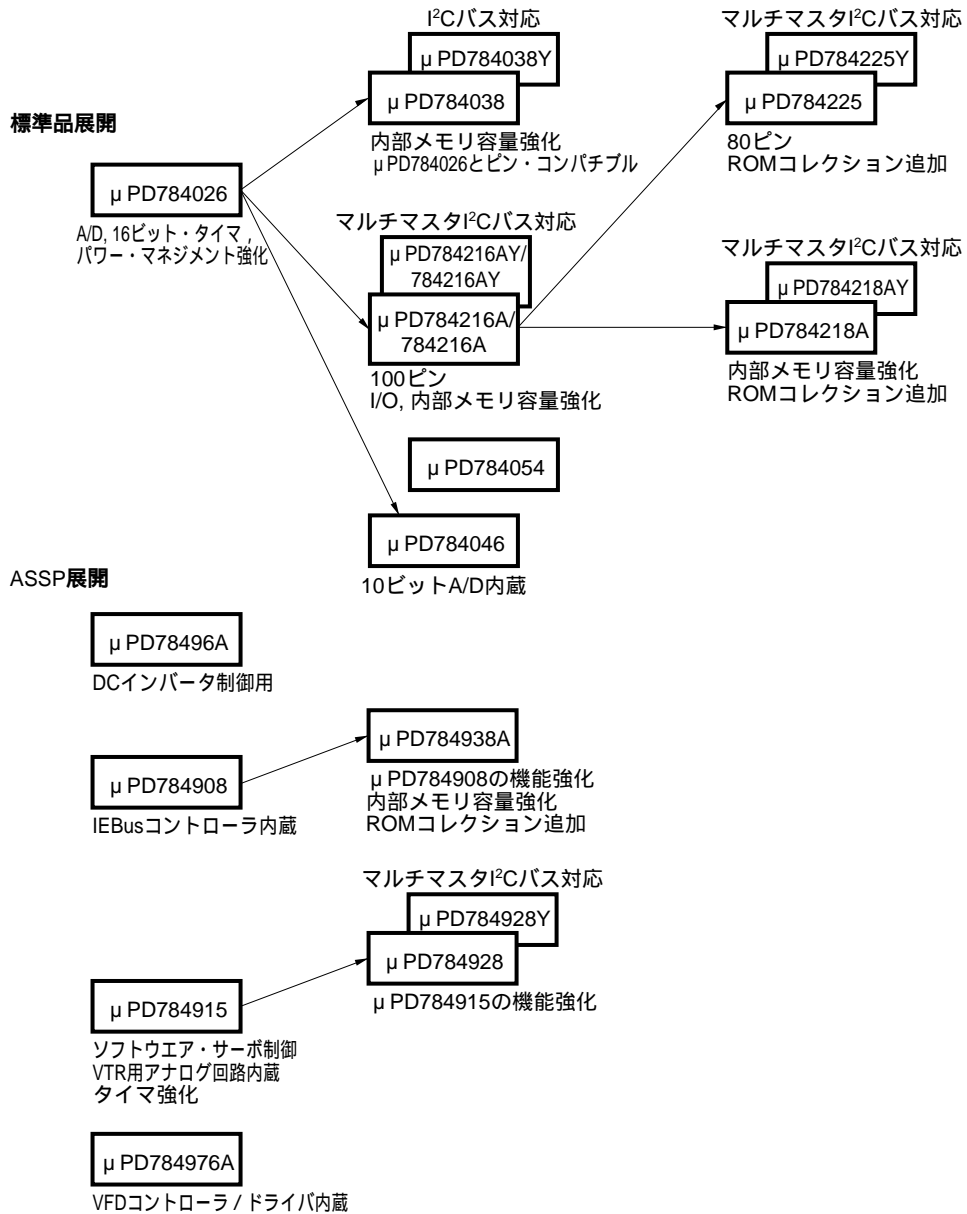
これらの製品は、次のような分野に応用できます。

- ・カー・オーディオなど

78K/IVシリーズ製品展開図

□ : 量産中

□ : 開発中



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによっては FIP® (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

1.1 特 徴

78K/ シリーズ

高速命令実行

- ・最小命令実行時間：320 ns (6.29 MHz動作時)
- 160 ns (12.58 MHz動作時)

制御用途に適する命令セット

データ・メモリ拡張機能 (メモリ空間 1 Mバイト：バンク指定ポインタ × 2)

割り込みコントローラ (4 レベル・プライオリティ)

- ・ベクタ割り込み処理 / マクロ・サーブス / コンテキスト・スイッチング

スタンバイ機能：HALT/STOP/IDLEモード

内部メモリ：・ROM

マスクROM	： 256 Kバイト (μ PD784938A)
	192 Kバイト (μ PD784937A)
	128 Kバイト (μ PD784936A)
	96 Kバイト (μ PD784935A)

フラッシュ・メモリ：256 Kバイト (μ PD78F4938A)

・RAM	： 10496バイト (μ PD784938A, 78F4938A)
	8192バイト (μ PD784937A)
	6656バイト (μ PD784936A)
	5120バイト (μ PD784935A)

I/O端子：80本

- ・ソフトウェア・プログラマブル・プルアップ : 70入力
- ・LEDダイレクト・ドライブ可能 : 24出力
- ・トランジスタ・ダイレクト・ドライブ可能 : 8 出力
- ・N-chオープン・ドレーン : 4 出力

シリアル・インタフェース

- ・UART/IOE (3 線式シリアルI/O) : 2 チャンネル (ボー・レート・ジェネレータ内蔵)
- ・CSI (3 線式シリアルI/O) : 2 チャンネル

リアルタイム出力ポート (タイマ/カウンタと組み合わせることにより, 2 系統のステッピング・モータの独立制御が可能)

A/Dコンバータ：8 ビット分解能 × 8 チャンネル

PWM出力：12ビット分解能 × 2 チャンネル

簡易版IEBusコントローラ内蔵

時計用タイマ (IDLEモード時にメイン・クロックにより動作可能)

低消費電力用レギュレータ

高機能タイマ/カウンタ

- ・タイマ/イベント・カウンタ (16ビット) × 3 ユニット

- ・タイマ (16ビット) × 1 ユニット
- ウォッチドッグ・タイマ: 1 チャンネル
- クロック出力機能: fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/16から選択
- ROMコレクション機能内蔵

1.2 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD784935AGF- x x x -3BA	100ピン・プラスチックQFP(14 × 20)	マスクROM
μ PD784936AGF- x x x -3BA	〃	〃
μ PD784937AGF- x x x -3BA	〃	〃
μ PD784938AGF- x x x -3BA	〃	〃
μ PD78F4938AGF-3BA	〃	フラッシュ・メモリ

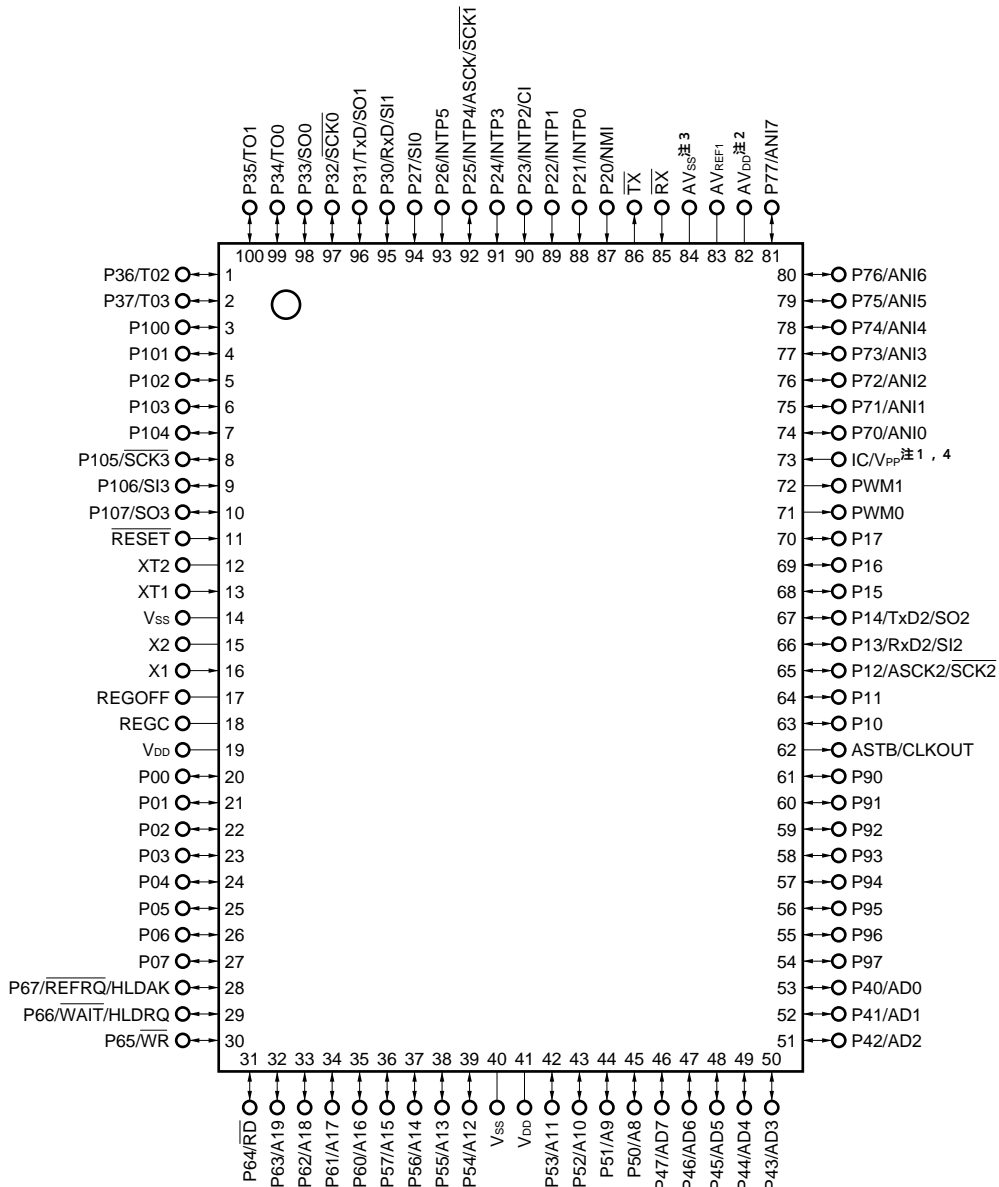
備考 x x xはROMコード番号です。

1.3 端子接続図 (Top View)

1.3.1 通常動作モード

・100ピン・プラスチックQFP (14 × 20)

μ PD784935AGF- x x x -3BA, 784936AGF- x x x -3BA, 784937AGF- x x x -3BA,
784938AGF- x x x -3BA, μ PD78F4938AGF- x x x -3BA



注1 . IC (Internally Connected) /V_{PP}端子はV_{SS}に直接接続してください。

2 . AV_{DD}端子はV_{DD}に直接接続してください。

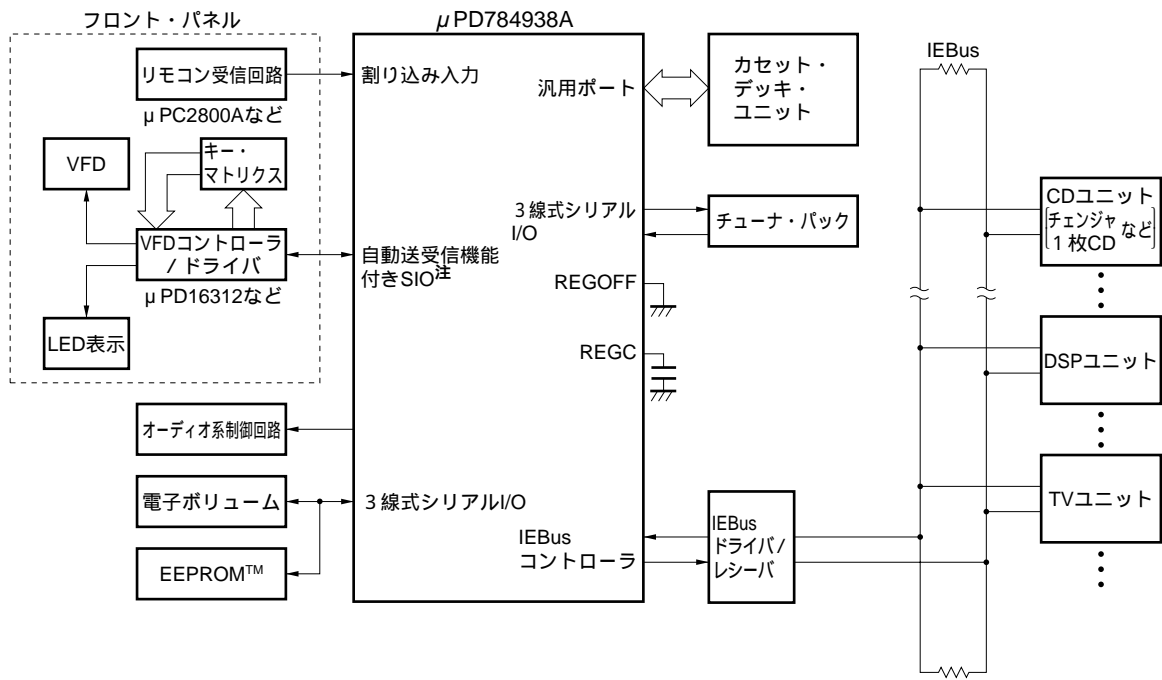
3 . AV_{SS}端子はV_{SS}に直接接続してください。

4 . V_{PP}端子はμ PD78F4938Aのみ。

A8-A19	: Address Bus	PWM0, PWM1	: Pulse Width Modulation 0, 1
AD0-AD7	: Address/Data Bus	$\overline{\text{RD}}$: Read Strobe
ANI0-ANI7	: Analog Input	$\overline{\text{REFRQ}}$: Refresh Request
ASCK, ASCK2	: Asynchronous Serial Clock	REGC	: Regulator Capacitance
ASTB	: Address Strobe	REGOFF	: Regulator Off
AV _{DD}	: Analog Power Supply	$\overline{\text{RESET}}$: Reset
AV _{REF1}	: Analog Reference Voltage	$\overline{\text{RX}}$: IEBus Receive Data
AV _{SS}	: Analog Ground	RxD, RxD2	: Receive Data
CI	: Clock Input	$\overline{\text{SCK0-SCK3}}$: Serial Clock
CLKOUT	: Clock Output	SI0-SI3	: Serial Input
HLDK	: Hold Acknowledge	SO0-SO3	: Serial Output
HLDRQ	: Hold Request	TEST	: Test
INTP0-INTP5	: Interrupt from Peripherals	TO0-TO3	: Timer Output
NMI	: Non-maskable Interrupt	TxD, TxD2	: Transmit Data
P00-P07	: Port0	$\overline{\text{TX}}$: IEBus Transmit Data
P10-P17	: Port1	V _{DD}	: Power Supply
P20-P27	: Port2	V _{PP} ^注	: Programming Power Supply
P30-P37	: Port3	V _{SS}	: Ground
P40-P47	: Port4	$\overline{\text{WAIT}}$: Wait
P50-P57	: Port5	$\overline{\text{WR}}$: Write Strobe
P60-P67	: Port6	X1, X2	: Crystal (Main system Clock)
P70-P77	: Port7	XT1, XT2	: Crystal (Watch)
P90-P97	: Port9		
P100-P107	: Port10		

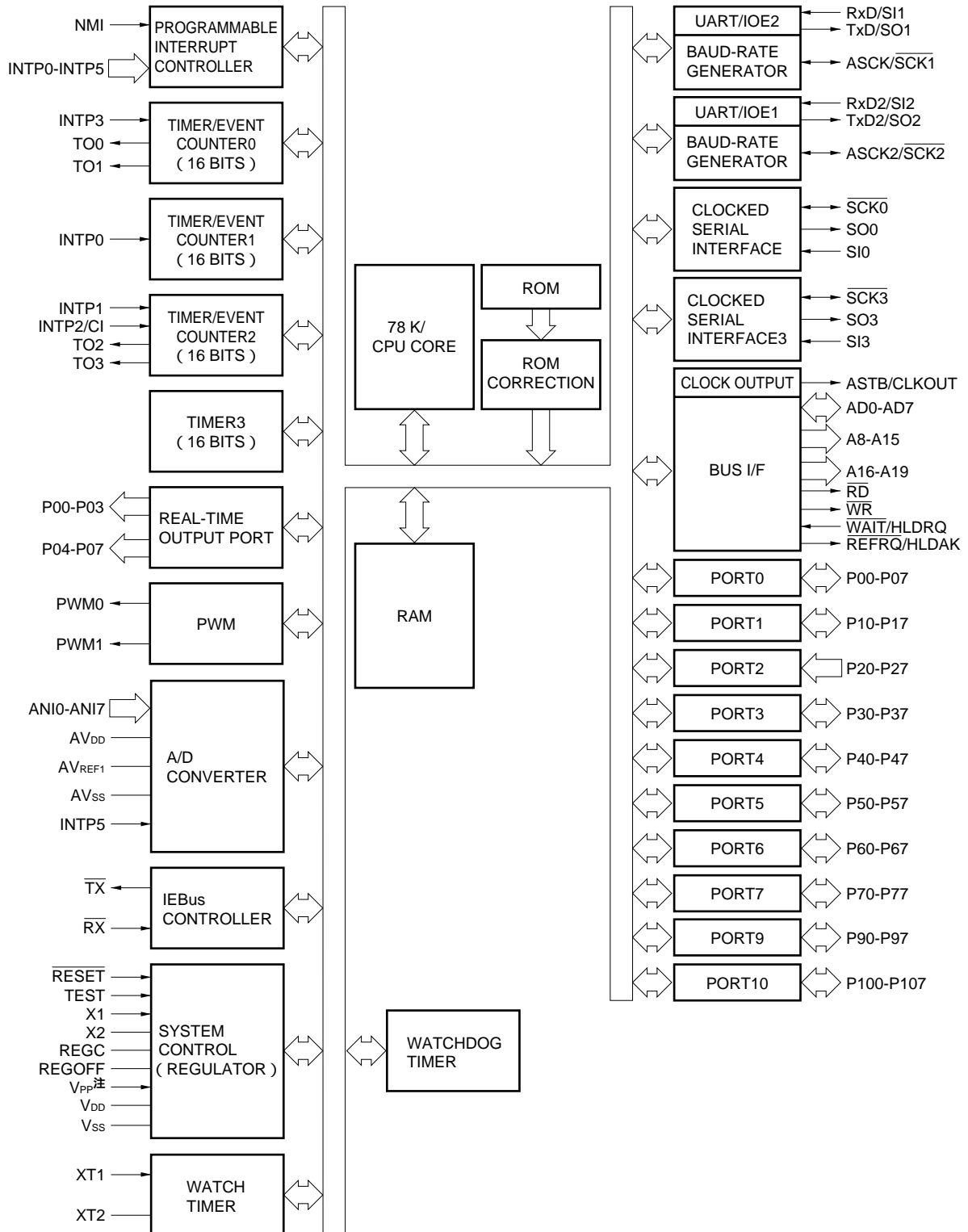
注 V_{PP}端子はμPD78F4938Aのみ。

1.4 応用システム構成例(車載オーディオ(チューナ・デッキ部))



注 マクロ・サービスによる自動送受信

1.5 ブロック図



注 μPD78F4938Aのみ。

備考 内部ROM, RAM容量は, 製品によって異なります。

1.6 機能一覧

品 名		μ PD784935A	μ PD784936A	μ PD784937A	μ PD784938A	μ PD78F4938A
項 目						
基本命令（モニタ）数		113				
汎用レジスタ		8ビット×32レジスタ×8バンク，または16ビット×8レジスタ×8バンク（メモリ・マップ）				
最小命令実行時間		320 ns/636 ns/1.27 μs/2.54 μs（6.29 MHz動作時） 160 ns/320 ns/636 ns/1.27 μs（12.58 MHz動作時）				
内部メモリ	ROM	96 Kバイト （マスクROM）	128 Kバイト （マスクROM）	192 Kバイト （マスクROM）	256 Kバイト （マスクROM）	256 Kバイト （フラッシュ・メモリ）
	RAM	5120バイト	6656バイト	8192バイト	10496バイト	
メモリ空間		プログラム/データあわせて1 Mバイト				
I/Oポート	合 計	80本				
	入 力	8本				
	入出力	72本				
付加機能付き端子 ^注	LEDダイレクト・ドライブ出力	24本				
	トランジスタ・ダイレクト・ドライブ	8本				
	N-chオープン・ドレイン	4本				
リアルタイム出力ポート		4ビット×2，または8ビット×1				
IEBusコントローラ		内蔵（簡易版）				
タイマ/カウンタ	タイマ/イベント・カウンタ0：タイマ・カウンタ×1 (16ビット)	キャプチャ・レジスタ×1 コンペア・レジスタ×2	パルス出力可 ・トグル出力 ・PWM/PPG出力 ・ワンショット・パルス出力			
	タイマ/イベント・カウンタ1：タイマ・カウンタ1 (16ビット)	キャプチャ・レジスタ×1 キャプチャ/コンペア・レジスタ×1 コンペア・レジスタ×1	リアルタイム出力ポート			
	タイマ/イベント・カウンタ2：タイマ・カウンタ×1	キャプチャ・レジスタ×1 キャプチャ/コンペア・レジスタ×1 コンペア・レジスタ×1	パルス出力可 ・トグル出力 ・PWM/PPG出力			
	タイマ3	：タイマ・カウンタ×1 コンペア・レジスタ×1				
時計用タイマ		0.5秒間隔で割り込み要求発生（時計クロック発振回路を内蔵） 入力クロックは，メイン・クロック（12.58 MHz（MAX.））と時計クロック（32.7 kHz）の選択可能				
クロック出力		f _{CLK} ，f _{CLK} /2，f _{CLK} /4，f _{CLK} /8，f _{CLK} /16から選択（1ビット出力ポートとしても使用可能）				

注 付加機能付き端子は，I/O端子の中に含まれています。

項 目		品 名				
		μ PD784935A	μ PD784936A	μ PD784937A	μ PD784938A	μ PD78F4938A
PWM出力		12ビット分解能 × 2チャンネル				
シリアル・インタフェース		UART/IOE (3線式シリアルI/O) : 2チャンネル (ボー・レート・ジェネレータ内蔵) CSI (3線式シリアルI/O) : 2チャンネル				
A/Dコンバータ		8ビット分解能 × 8チャンネル				
ウォッチドッグ・タイマ		1チャンネル				
ROMコレクション		修正アドレス : 4ポイントまで設定可能				
スタンバイ		HALT/STOP/IDLEモード				
割り込み	ハードウェア要因	27 (内部20, 外部7 (サンプリング・クロック可変入力 : 1))				
	ソフトウェア要因	BRK命令, BRKCS命令, オペランド・エラー				
	ノンマスクابل	内部 : 1, 外部 : 1				
	マスクابل	内部 : 19, 外部 : 6				
		4レベルのプログラマブル・プライオリティ 3種類の処理形態 : ベクタ割り込み / マクロ・サービス / コンテキスト・スイッチング				
電源電圧		・ $V_{DD} = 4.0 \sim 5.5 V$ (メイン・システム・クロック : $f_{XX} = 12.58 MHz$ 動作時, 内部システム・クロック = f_{XX} 時, $f_{CYK} = 79 ns$) ・ $V_{DD} = 3.0 \sim 5.5 V$ (メイン・システム・クロック : $f_{XX} = 6.29 MHz$ 動作時, 上記以外るとき, $f_{CYK} = 159 ns$)				
パッケージ		100ピン・プラスチックQFP (14 × 20)				

タイマの概要（詳細は、第8章 タイマの概説を参照）を以下に示します。

項 目	名 称	タイマ/イベント・ カウンタ0	タイマ/イベント・ カウンタ1	タイマ/イベント・ カウンタ2	タイマ3
カウント幅	8ビット	-			
	16ビット				
動作モード	インターバル・タイマ	2ch	2ch	2ch	1ch
	外部イベント・カウンタ				-
	ワンショット・タイマ	-	-		-
機能	タイマ出力	2ch	-	2ch	-
	トグル出力		-		-
	PWM/PPG出力		-		-
	ワンショット・パルス出力 ^注		-	-	-
	リアルタイム出力	-		-	-
	パルス幅測定	1入力	1入力	2入力	-
	割り込み要求数	2	2	2	1

注 ワンショット・パルス出力機能とは、ソフトウェアによりパルス出力レベルをアクティブにし、ハードウェア（割り込み要求信号）によりインアクティブにする機能です。

この機能は、タイマ/イベント・カウンタ2のワンショット・タイマ機能とは性質が異なります。

シリアルの概要（詳細は、第17章 シリアル・インタフェースの概説を参照）を以下に示します。

機 能	UART/IOE1	UART/IOE2	IOE0	IOE3
3線式シリアルI/Oモード	(MSB/LSB先頭切り替え可能)	(MSB/LSB先頭切り替え可能)	(MSB/LSB先頭切り替え可能)	(MSB/LSB先頭切り替え可能)
アシンクロナス・シリアルI/Oモード	(専用ポーレート・ジェネレータ内蔵)	(専用ポーレート・ジェネレータ内蔵)	-	-
SBIモード	-	-	(MSB/LSB先頭切り替え可能)	(MSB/LSB先頭切り替え可能)

1.7 μ PD784938Aサブシリーズ製品間の違い

品 名		μ PD784935A	μ PD784936A	μ PD784937A	μ PD784938A	μ PD78F4938A
項 目	ROM	96 Kバイト (マスクROM)	128 Kバイト (マスクROM)	192 Kバイト (マスクROM)	256 Kバイト (マスクROM)	256 Kバイト (フラッシュ・メモリ)
	RAM	5120バイト	6656バイト	8192バイト	10496バイト	

1.8 μ PD784908サブシリーズとの主な違い

μ PD784938Aサブシリーズは、 μ PD784908サブシリーズのPROM製品をフラッシュ・メモリ製品に変えて、ROMコレクション機能を追加したものです。

第2章 端子機能

2.1 端子機能一覧

2.1.1 通常動作モード

(1) ポート端子 (1/2)

端子名称	入出力	兼用端子	機能
P00-P07	入出力	-	ポート0 (P0) : <ul style="list-style-type: none"> ・ 8ビット入出力ポート ・ リアルタイム出力ポート (4ビット×2) として使用可能 ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により一括して内蔵プルアップ抵抗の接続の指定可能 ・ トランジスタ駆動可能
P10	入出力	-	ポート1 (P1) : <ul style="list-style-type: none"> ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能
P11		-	
P12		ASCK2/SCK2	
P13		RxD2/SI2	
P14		TxD2/SO2	
P15-P17		-	
P20	入力	NMI	ポート2 (P2) : <ul style="list-style-type: none"> ・ 8ビット入力専用ポート ・ P20は汎用ポートとしては使用不可 (ノンマスカブル割り込み)。ただし、割り込みルーチンにおいて、入力レベルの確認可能 ・ P22-P27は6ビット単位でソフトウェアの設定により内蔵プルアップ抵抗の接続の指定可能 ・ P25/INTP4/ASCK/SCK1端子は、CSIM1の指定により、SCK1入出力端子として動作
P21		INTP0	
P22		INTP1	
P23		INTP2/CI	
P24		INTP3	
P25		INTP4/ASCK/SCK1	
P26		INTP5	
P27		SI0	
P30	入出力	RxD/SI1	ポート3 (P3) : <ul style="list-style-type: none"> ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により一括して内蔵プルアップ抵抗の接続の指定可能 ・ P32, P33は、N-chオープン・ドレイン接続の指定可能
P31		TxD/SO1	
P32		SCK0	
P33		SO0	
P34-P37		TO0-TO3	

(1) ポート端子 (2/2)

端子名称	入出力	兼用端子	機能
P40-P47	入出力	AD0-AD7	ポート4 (P4) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能
P50-P57	入出力	A8-A15	ポート5 (P5) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により一括して内蔵プルアップ抵抗の接続の指定可能 ・ LED駆動可能
P60-P63	入出力	A16-A19	ポート6 (P6) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により一括して内蔵プルアップ抵抗の接続の指定可能
P64		\overline{RD}	
P65		\overline{WR}	
P66		$\overline{WAIT}/HLDRQ$	
P67		$\overline{REFRQ}/HLDAK$	
P70-P77	入出力	ANI0-ANI7	ポート7 (P7) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能
P90-P97	入出力	-	ポート9 (P9) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により一括して内蔵プルアップ抵抗の接続の指定可能
P100-P104	入出力	-	ポート10 (P10) : ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により一括して内蔵プルアップ抵抗の接続の指定可能 ・ P105, P107は、N-chオープン・ドレイン接続の指定可能
P105		$\overline{SCK3}$	
P106		SI3	
P107		SO3	

(2) ポート以外の端子 (1/2)

端子名称	入出力	兼用端子	機能
TO0/TO3	出力	P34-P37	タイマ出力
CI	入力	P23/INTP2	タイマ/イベント・カウンタ2へのカウント・クロック入力
RxD	入力	P30/SI1	シリアル・データ入力 (UART0)
RxD2		P13/SI2	シリアル・データ入力 (UART2)
TxD	出力	P31/SO1	シリアル・データ出力 (UART0)
TxD2		P14/SO2	シリアル・データ出力 (UART2)
ASCK	入力	P25/INTP4/ $\overline{\text{SCK1}}$	ボー・レート・クロック入力 (UART0)
ASCK2		P12/ $\overline{\text{SCK2}}$	ボー・レート・クロック入力 (UART2)
SI0	入力	P27	シリアル・データ入力 (3線式シリアルI/O0)
SI1		P30/RxD	シリアル・データ入力 (3線式シリアルI/O1)
SI2		P13/RxD2	シリアル・データ入力 (3線式シリアルI/O2)
SI3		P106	シリアル・データ入力 (3線式シリアルI/O3)
SO0	出力	P33	シリアル・データ出力 (3線式シリアルI/O0)
SO1		P31/TxD	シリアル・データ出力 (3線式シリアルI/O1)
SO2		P14/TxD2	シリアル・データ出力 (3線式シリアルI/O2)
SO3		P107	シリアル・データ出力 (3線式シリアルI/O3)
$\overline{\text{SCK0}}$	入出力	P32	シリアル・クロック入力/出力 (3線式シリアルI/O0)
$\overline{\text{SCK1}}$		P25/INTP4/ASCK	シリアル・クロック入力/出力 (3線式シリアルI/O1)
$\overline{\text{SCK2}}$		P12/ASCK2	シリアル・クロック入力/出力 (3線式シリアルI/O2)
$\overline{\text{SCK3}}$		P105	シリアル・クロック入力/出力 (3線式シリアルI/O3)
NMI	入力	P20	外部割り込み要求
INTP0		P21	・タイマ/イベント・カウンタ1へのカウント・クロック入力 ・CR11またはCR12のキャプチャ・トリガ信号
INTP1		P22	・タイマ/イベント・カウンタ2へのカウント・クロック入力 ・CR22のキャプチャ・トリガ信号
INTP2		P23/CI	・タイマ/イベント・カウンタ2へのカウント・クロック入力 ・CR21のキャプチャ・トリガ信号
INTP3		P24	・タイマ/イベント・カウンタ0へのカウント・クロック入力 ・CR02のキャプチャ・トリガ信号
INTP4		P25/ASCK0/ $\overline{\text{SCK1}}$	-
INTP5		P26	A/Dコンバータの変換スタート・トリガ入力
AD0-AD7	入出力	P40-P47	時分割アドレス/データ・バス (外部メモリ接続)
A8-A15	出力	P50-P57	上位アドレス・バス (外部メモリ接続)
A16-A19	出力	P60-P63	アドレス拡張時の上位アドレス (外部メモリ接続)
$\overline{\text{RD}}$	出力	P64	外部メモリへのリード・ストロープ
$\overline{\text{WR}}$	出力	P65	外部メモリへのライト・ストロープ
$\overline{\text{WAIT}}$	入力	P66/HLDRQ	ウエイト挿入
$\overline{\text{REFRQ}}$	出力	P67/HLDAK	外部疑似スタティック・メモリへのリフレッシュ・パルス出力

(2) ポート以外の端子 (2/2)

端子名称	入出力	兼用端子	機能
HLDQR	入力	P66/ $\overline{\text{WAIT}}$	バス・ホールド要求入力
HLDAR	出力	P67/ $\overline{\text{REFRQ}}$	バス・ホールド応答出力
ASTB	出力	CLKOUT	時分割アドレス (A0-A7) のラッチ・タイミング出力 (外部メモリ・アクセス時)
CLKOUT	出力	ASTB	クロック出力
PWM0	出力	-	PWM出力 0
PWM1	出力	-	PWM出力 1
$\overline{\text{RX}}$	入力	-	データ入力 (IEBus)
$\overline{\text{TX}}$	出力	-	データ出力 (IEBus)
REGC	-	-	レギュレータ出力安定容量接続。1 μF 程度 (TBD) のコンデンサを介してGNDに接続してください。
REGOFF	-	-	レギュレータ動作指定信号。V _{SS} と直接接続してください (レギュレータ動作選択)。
$\overline{\text{RESET}}$	入力	-	チップ・リセット
X1	入力	-	システム・クロック発振用クリスタル接続 (X1にクロック入力も可能)
X2	-	-	
XT1	入力	-	時計クロック接続
XT2	-	-	
ANI0-ANI7	入力	P70-P77	A/Dコンバータ用アナログ電圧入力
AV _{REF1}	-	-	A/Dコンバータ用基準電圧印加
AV _{DD}			A/Dコンバータ用正電源
AV _{SS}			A/Dコンバータ用GND
V _{DD}			正電源
V _{SS}			GND
IC			入力
V _{PP}		IC	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加端子。 通常動作モード時は、V _{SS} に直接接続してください。

2.2 端子機能説明

2.2.1 通常動作モード

(1) P00-P07 (Port0) 3 ステート入出力

ポート0は、出力ラッチ付き8ビット入出力ポートで、トランジスタのダイレクト・ドライブが可能です。ポート0モード・レジスタ (PM0) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

P00-P03, P04-P07はそれぞれ4ビット、または8ビットのリアルタイム出力ポートとして、ポート0バッファ・レジスタ (P0L, P0H) の内容を任意のインターバル時間で出力できます。通常出力ポートかリアルタイム出力ポートかの選択は、リアルタイム出力ポート・コントロール・レジスタ (RTPC) で行います。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) となり、出力ラッチの内容は不定になります。

(2) P10-P17 (Port1) 3 ステート入出力

ポート1は、出力ラッチ付き8ビット入出力ポートです。ポート1モード・レジスタ (PM1) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。また、LEDのダイレクト・ドライブが可能です。

また、ポート1モード・コントロール・レジスタ (PMC1) により、P12-P14端子はシリアル入出力端子としても機能します。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) となり、出力ラッチの内容は不定となります。

表2-1 ポート1の動作モード

端子名称	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P10	入出力ポート	-	-
P11		-	-
P12		ASCK2入出力/SCK2入出力	PMC1のPMC12ビットをセット (1)
P13		RxD2入力/SI2入力	PMC1のPMC13ビットをセット (1)
P14		TxD2出力/SO2出力	PMC1のPMC14ビットをセット (1)
P15-P17		-	-

(a) ポート・モード

P12-P14は、ポート1モード・コントロール・レジスタ (PMC1) の該当するビットがクリア (0) されていれば、ポート・モードとして動作します。また、P10, P11, P15-P17は常時ポート・モードとして動作し、ポート1モード・レジスタ (PM1) により、1ビット単位で入力/出力の指定ができます。

(b) コントロール信号出力モード

P12-P14は、ポート1モード・コントロール・レジスタ (PMC1) の設定により、1ビット単位にコントロール端子にすることができます。

(i) ASCK2/ $\overline{\text{SCK2}}$

ASCK2は、アシンクロナス・シリアル・インタフェースのポー・レート用クロックの入力端子です。

また、 $\overline{\text{SCK2}}$ は、シリアル・クロック入出力端子 (3線式シリアルI/O2モード時) です。

(ii) RxD2/SI2

RxD2は、アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

また、SI2は、シリアル・データ入力端子 (3線式シリアルI/O2モード時) です。

(iii) TxD2/SO2

TxD2は、アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

また、SO2は、シリアル・データ出力端子 (3線式シリアルI/O2モード時) です。

(3) P20-P27 (Port2)入力

ポート2は、8ビット入力専用ポートです。P22-P27には、ソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。入力ポートとして動作する以外に外部割り込み信号端子などの制御信号入力端子としても動作します (表2-2参照)。また、8端子とも、ノイズによる誤動作を防ぐためシュミット・トリガ入力になっています。

また、クロック同期式シリアル・インタフェース・モード・レジスタ1 (CSIM1) でシリアル動作許可で外部クロックを選択することにより、P25端子はシリアル・クロック出力端子としても機能します。

表2-2 ポート2の動作モード

端子名称	機能
P20	入力ポート / NMI入力 ^注
P21	入力ポート / INTP0入力 / CR11キャプチャ・トリガ入力 / タイマ / イベント・カウンタ1カウント・クロック / リアルタイム出力ポートのトリガ信号
P22	入力ポート / INTP1入力 / CR22キャプチャ・トリガ入力
P23	入力ポート / INTP2入力 / CI入力
P24	入力ポート / INTP3入力 / CR02キャプチャ・トリガ入力 / タイマ / イベント・カウンタ0カウント・クロック
P25	入力ポート / INTP4入力 / ASCK入力 / SCK1入出力
P26	入力ポート / INTP5入力 / A/Dコンバータ外部トリガ入力
P27	入力ポート / SI0入力

注 NMI入力は、割り込み許可 / 禁止状態にかかわらず受け付けます。

(a) ポート端子としての機能

兼用端子の動作にかかわらず、常に端子レベルの読み込み、あるいはテストが可能です。

(b) 制御信号入力端子としての機能

(i) NMI (Non-maskable Interrupt)

外部ノンマスクابل割り込み要求入力端子です。外部割り込みモード・レジスタ0 (INTM0) により、立ち上がりエッジ検出、または立ち下がりエッジ検出に指定できます。

(ii) INTP0-INTP5 (Interrupt from Peripherals)

外部割り込み要求入力端子です。INTP0-INTP5端子に外部割り込みモード・レジスタ0, 1 (INTM0, INTM1) で指定された有効エッジが検出されると、割り込みを発生します (第22章 **エッジ検出機能**参照)。

また、INTP0-INTP3, INTP5は次のように各種機能の外部トリガ入力端子などとしても使用します。

- ・ INTP0.....タイマ / イベント・カウンタ1のキャプチャ・トリガ入力端子
タイマ / イベント・カウンタ1の外部カウント・クロック入力端子
リアルタイム出力ポートのトリガ入力端子
- ・ INTP1.....タイマ / イベント・カウンタ2のキャプチャ・レジスタ (CR22) への
キャプチャ・トリガ入力端子
- ・ INTP2.....タイマ / イベント・カウンタ2の外部カウント・クロック入力端子
キャプチャ / コンペア・レジスタ (CR21) へのキャプチャ・トリガ入力
端子

- ・ INTP3.....タイマ/イベント・カウンタ0のキャプチャ・トリガ入力端子
タイマ/イベント・カウンタ0の外部カウント・クロック入力端子
- ・ INTP5.....A/Dコンバータの外部トリガ入力端子

(iii) CI (Clock Input)

タイマ/イベント・カウンタ2の外部クロック入力端子です。

(iv) ASCK (Asynchronous Serial Clock)

外部ポー・レート・クロック入力端子です。

(v) $\overline{\text{SCK1}}$ (Serial Clock)

シリアル・クロック入出力端子 (3線式シリアル/O1モード時) です。

(vi) SI0 (Serial Input0)

シリアル・データ入力端子 (3線式シリアル/O0モード時) です。

(4) P30-P37 (Port3) 3ステート入出力

ポート3は、出力ラッチ付き8ビット入出力ポートです。ポート3モード・レジスタ (PM3) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。また、P32, P33は、N-chオープン・ドレイン接続の指定が可能です。

入出力ポートとしての機能以外に、各種コントロール信号端子としての機能を兼用しています。

動作モードは、ポート3モード・コントロール・レジスタ (PMC3) により、表2-3のようにビット単位に指定できます。いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みあるいはテストが可能です。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は不定となります。

表2-3 ポート3の動作モード

(n = 0-7)

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC3n = 0	PMC3n = 1
P30	入出力ポート	RxD入力 / SI1入力
P31		TxD出力 / SO1出力
P32		$\overline{\text{SCK0}}$ 入出力
P33		SO0出力
P34		TO0出力
P35		TO1出力
P36		TO2出力
P37		TO3出力

(a) ポート・モード

ポート3モード・コントロール・レジスタ (PMC3) によりポート・モードに指定された各ポートは、ポート3モード・レジスタ (PM3) により、1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード

ポート3モード・コントロール・レジスタ (PMC3) の設定により、1ビット単位にコントロール端子にすることができます。

(i) RxD (Receive Data) /SI1 (Serial Input1)

RxDは、アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。
また、SI1はシリアル・データ入力端子 (3線式シリアルI/O1モード時) です。

(ii) TxD (Transmit Data) /SO1 (Serial Output1)

TxDは、アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。
また、SO1はシリアル・データ出力端子 (3線式シリアルI/O1モード時) です。

(iii) $\overline{\text{SCK0}}$ (Serial Clock0)

$\overline{\text{SCK0}}$ は、クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子 (3線式シリアルI/O0モード時) です。

(iv) SO0 (Serial Output0)

SO0はシリアル・データ出力端子 (3線式シリアルI/O0モード時) です。

(v) TO0-TO3 (Timer Output)

タイマ出力端子です。

(5) P40-P47 (Port4) 3 ステート入出力

ポート4は、出力ラッチ付き8ビット入出力ポートです。ポート4モード・レジスタ (PM4) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。また、LEDをダイレクトにドライブ可能です。

また、外部メモリやI/Oを拡張するとき、メモリ拡張モード・レジスタ (MM) により時分割アドレス/データ・バス (AD0-AD7) として機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は不定になります。

(6) P50-P57 (Port5) 3 ステート入出力

ポート5は、出力ラッチ付き8ビット入出力ポートです。ポート5モード・レジスタ (PM5) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。また、LEDをダイレクトにドライブ可能です。

また、外部メモリやI/Oを拡張するとき、P50-P57は、メモリ拡張モード・レジスタ (MM) により、2ビット単位でアドレス・バス (A8-A15) として機能する端子を選択できます。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は不定になります。

(7) P60-P67 (Port6) 3 ステート入出力

ポート6は、出力ラッチ付き8ビット入出力ポートです。P60-P67には、ソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に、表2-4のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は、各機能の操作によって行います。

$\overline{\text{RESET}}$ 入力により、P60-P67は入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は不定になります。

表2-4 ポート6の動作モード

端子名称	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P60-P63	入出力ポート	A16-A19出力	MMのMM3-MM0ビットにより2ビット単位で指定
P64		$\overline{\text{RD}}$ 出力	MMのMM3-MM0ビットにより外部メモリ拡張モードを指定
P65		$\overline{\text{WR}}$ 出力	
P66		$\overline{\text{WAIT}}$ 入力	PWC1, PWC2のPWN1, PWN0ビット (n=0-7) およびP66を入力モードにすることにより指定
		HLDRQ入力	HLDMのHLDEビットでバス・ホールドを許可
P67		HLDK出力	
			REFRQ出力

(a) ポート・モード

コントロール・モードに指定されていない各ポートは、ポート6モード・レジスタ (PM6) により1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード**(i) A16-A19 (Address Bus)**

外部メモリ空間拡張時の上位アドレス・バス出力端子です。
メモリ拡張モード・レジスタ (MM) により動作します。

(ii) \overline{RD} (Read Strobe)

外部メモリのリード動作のために出力されるストロブ信号出力端子です。
メモリ拡張モード・レジスタ (MM) により動作します。

(iii) \overline{WR} (Write Strobe)

外部メモリのライト動作のために出力されるストロブ信号出力端子です。
メモリ拡張モード・レジスタ (MM) により動作します。

(iv) \overline{WAIT} (Wait)

ウエイト信号の入力端子です。プログラマブル・ウエイト制御レジスタ (PWC1, PWC2) により動作します。

(v) \overline{REFRQ} (Refresh Request)

外部に疑似スタティック・メモリを接続した場合に、疑似スタティック・メモリヘリフレッシュ・パルスを出力する端子です。リフレッシュ・モード・レジスタ (RFM) により動作します。

(vi) HLDRQ (Hold Request)

外部バスのバス・ホールド要求信号入力端子です。ホールド・モード・レジスタ (HLDM) により動作します。

(vii) HLDAK (Hold Acknowledge)

バス・ホールド・アクノリッジ信号出力端子です。ホールド・モード・レジスタ (HLDM) により動作します。

(8) P70-P77 (Port7) 3ステート入出力

ポート7は、8ビット入出力ポートです。入出力ポートとして動作する以外に、A/Dコンバータ用アナログ入力の端子 (ANI0-ANI7) としても動作します。

ポート7モード・レジスタ (PM7) により、1ビット単位で入力/出力の指定ができます。

兼用端子の動作にかかわらず、常に端子レベルの読み込み、あるいはテストが可能です。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は不定になります。

(9) P90-P97 (Port9) 3ステート入出力

ポート9は、出力ラッチ付き8ビット入出力ポートです。ポート9モード・レジスタ (PM9) により、1ビット単位で入力/出力の指定ができます。各端子に、ソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は不定になります。

(10) P100-P107 (Port10) 3ステート入出力

ポート10は、出力ラッチ付き8ビット入出力ポートです。ポート10モード・レジスタ (PM10) により、1ビット単位で入力/出力の指定ができます。各端子に、ソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。P105, P107は、N-chオープン・ドレイン接続の指定が可能です。

また、ポート10モード・コントロール・レジスタ (PMC10) により、P105-P107端子は、シリアル入出力端子としても機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は不定になります。

(11) ASTB (Address Strobe) /CLKOUT (Clock Output) 出力

外部メモリをアクセスするため、アドレス情報を外部でラッチするタイミング信号の出力端子です。また、外部デバイスへクロックを供給する端子としても動作します。

(12) X1, X2 (Crystal)

内部クロック発振用のクリスタル接続端子です。外部からクロックを供給する場合はX1端子に入力します。通常は、X2端子はX1端子の逆相の信号を入力します (4.3.1 クロック発振回路参照)。

(13) $\overline{\text{RESET}}$ (Reset) 入力

ロウ・レベル・アクティブのリセット入力です。

(14) AVREF1

A/Dコンバータの基準電圧入力端子です。

(15) AV_{DD}

A/Dコンバータの電源端子です。V_{DD}端子と同電位にしてください。

(16) AV_{SS}

A/DコンバータのGND端子です。V_{SS}端子と同電位にしてください。

(17) V_{DD}

正電源供給端子です。すべてのV_{DD}端子を正電源に接続してください。

(18) V_{SS}

GND電位端子です。すべてのV_{SS}端子をグランドに接続してください。

(19) XT1, XT2

時計クロック発振用クリスタル接続端子です。

(20) PWM0, PWM1

PWM出力用端子です。PWMコントロール・レジスタ (PWMC) により、PWM出力端子として機能します。

(21) $\overline{\text{RX}}$

IEBus用データ入力端子です。

(22) $\overline{\text{TX}}$

IEBus用データ出力端子です。

(23) REGC

レギュレータ出力安定用容量接続端子です。1 μF 程度 (TBD) のコンデンサを介してGNDに接続してください。レギュレータ停止時には、V_{DD}と同一レベルを印加してください (図5 - 1 レギュレータ周辺のブロック図参照)。

(24) REGOFF

レギュレータの動作 / 停止の制御用端子です。V_{SS}と直接接続してください (レギュレータ動作選択)。

(25) V_{PP} ($\mu\text{PD78F4938A}$ のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み / ベリファイ時の高電圧印加端子です。

(26) IC

ICのテストに使用する端子です。必ずV_{SS}に直接接続してください。

2.3 端子の入出力回路と未使用端子の処理

表2 - 5は、機能を有する端子の入出力回路タイプと、その機能を使用しない場合の処理方法を示します。また、各タイプの入出力回路については図2 - 1を参照してください。

表2 - 5 各端子の入出力回路タイプと未使用端子の処理 (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。
P10, P11			
P12/ASCK2/SCK2			
P13/RxD2/SI2			
P14/TxD2/SO2			
P15-P17			
P20/NMI	2	入力	V _{DD} またはV _{SS} に接続してください。
P21/INTP0			
P22/INTP1	2-A		V _{DD} に接続してください。
P23/INTP2/CI			
P24/INTP3			
P25/INTP4/ASCK/SCK1	8-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。
P26/INTP5	2-A	入力	V _{DD} に接続してください。
P27/SI0			
P30/RxD/SI1	5-A	入出力	入力時：V _{DD} に接続してください。 出力時：オープンにしてください。
P31/TxD/SO1			
P32/SCK0	10-A		
P33/SO0			
P34/TO0-P37/TO3	5-A		
P40/AD0-P47/AD7			
P50/A8-P57/A15			
P60/A16-P63/A19			
P64/RD			
P65/WR			
P66/WAIT/HLDRQ			
P67/REFRQ/HLDAK			

表2 - 5 各端子の入出力回路タイプと未使用端子の処理 (2/2)

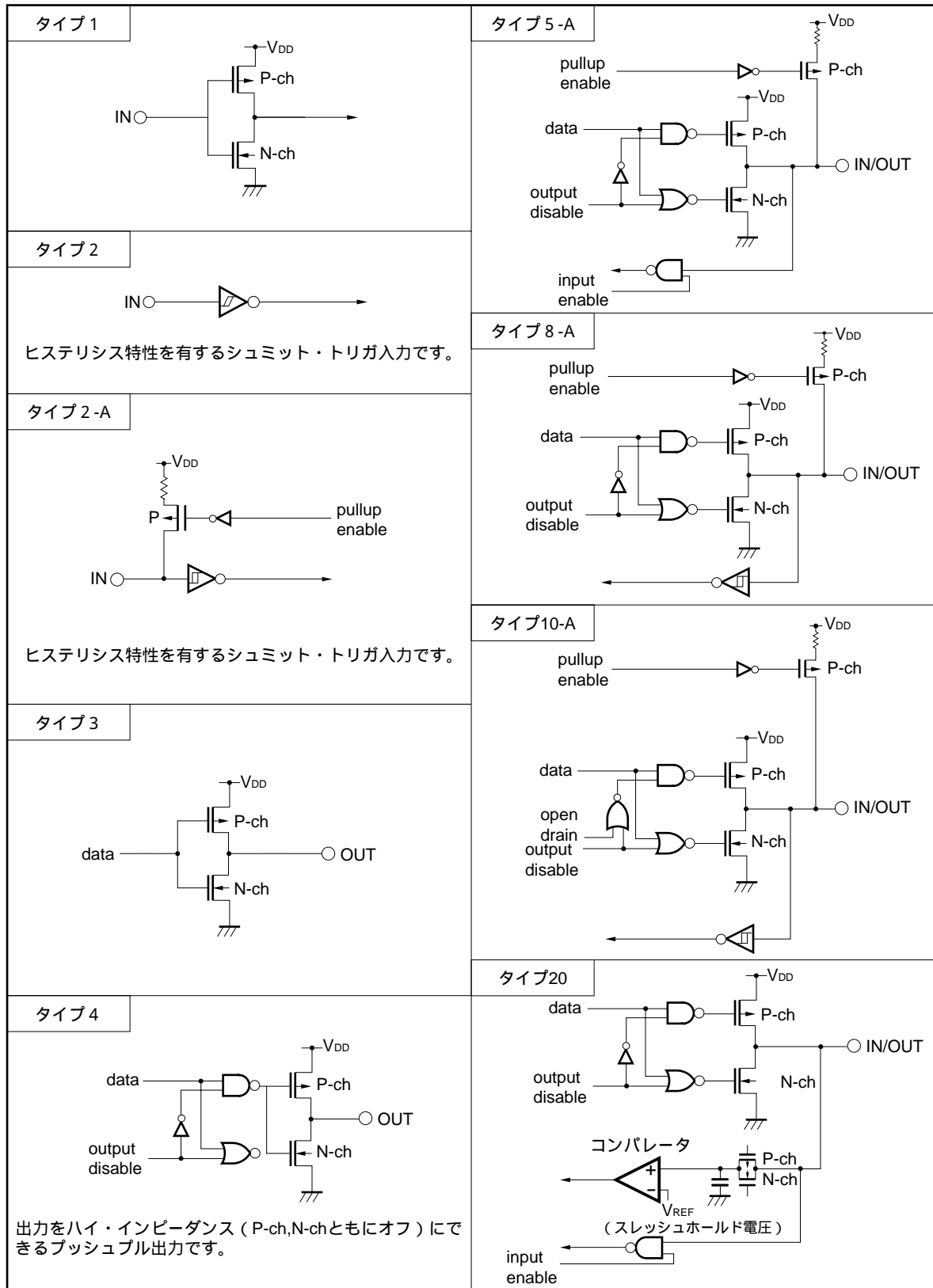
端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P70/ANI0-P77/ANI7	20	入出力	入力時：V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P90-P97	5-A		
P100-P104			
P105/SCK3	10-A		
P106/SI3	8-A		
P107/SO3	10-A		
ASTB/CLKOUT	4	出力	オープンにしてください。
RESET	2	入力	-
IC/V _{PP} 注	1		V _{SS} に直接接続してください。
XT2	-	-	オープンにしてください。
XT1	-	入力	V _{SS} に接続してください。
REGOFF	1		V _{DD} に接続してください。
REGC	-	-	
PWM0, PWM1	3	出力	オープンにしてください。
R _X	1	入力	V _{DD} またはV _{SS} に接続してください。
T _X	3	出力	オープンにしてください。
AV _{REF1}	-	入力	V _{SS} に接続してください。
AV _{SS}			
AV _{DD}			

注 V_{PP}端子はμPD78F4938Aのみ

注意 入出力兼用端子で入出力のモードが不定な場合は、数十kΩの抵抗を介してV_{DD}に接続してください（特に、電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や、ソフトウェアで入出力を切り替えている場合）。

備考 タイプ番号は78Kシリーズで統一しているため、各製品内では連番とは限りません（内蔵しない回路あり）。

図2-1 端子の入出力回路



2.4 注意事項

未使用端子の処理の場合、入出力兼用端子で入出力のモードが不定な場合は、数十k の抵抗を介してV_{DD}に接続してください（特に電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や、ソフトウェアで入出力を切り替えている場合）。

第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD784938Aは、1 Mバイトの空間をアクセスできます。LOCATION命令によって、内部データ領域（特殊機能レジスタおよび内部RAM）のマッピングが異なります。LOCATION命令は、リセットを解除後に必ず実行する必要があり、1回しか使用することはできません。

リセット解除後のプログラムは、次のようになっている必要があります。

```
RSTVCT  CSEG  AT 0
        DW    RSTSTRT
        {
INITSEG  CSEG  BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
        MOVG  SP, #STKBGN
```

(1) LOCATION 0H命令を実行した場合

・内部メモリ

内部データ領域と内部ROM領域は、次のようになります。

品名	内部データ領域	内部ROM領域
μ PD784935A	0EB00H-0FFFFH	00000H-0EAFFH 10000H-17FFFH
μ PD784936A	0E500H-0FFFFH	00000H-0E4FFH 10000H-1FFFFH
μ PD784937A	0DF00H-0FFFFH	00000H-0DEFFH 10000H-2FFFFH
μ PD784938A μ PD78F4938A	0D600H-0FFFFH	00000H-0D5FFH 10000H-3FFFFH

注意 内蔵しているROMのうち、内部データ領域と重なる次の領域は、LOCATION 0命令実行時には使用できません。

品名	使用不可領域
μ PD784935A	0EB00H-0FFFFH (5376バイト)
μ PD784936A	0E500H-0FFFFH (6192バイト)
μ PD784937A	0DF00H-0FFFFH (8448バイト)
μ PD784938A μ PD78F4938A	0D600H-0FFFFH (10752バイト)

・外部メモリ

外部メモリは、外部メモリ拡張モードでアクセスします。

(2) LOCATION 0FH命令を実行した場合

・内部メモリ

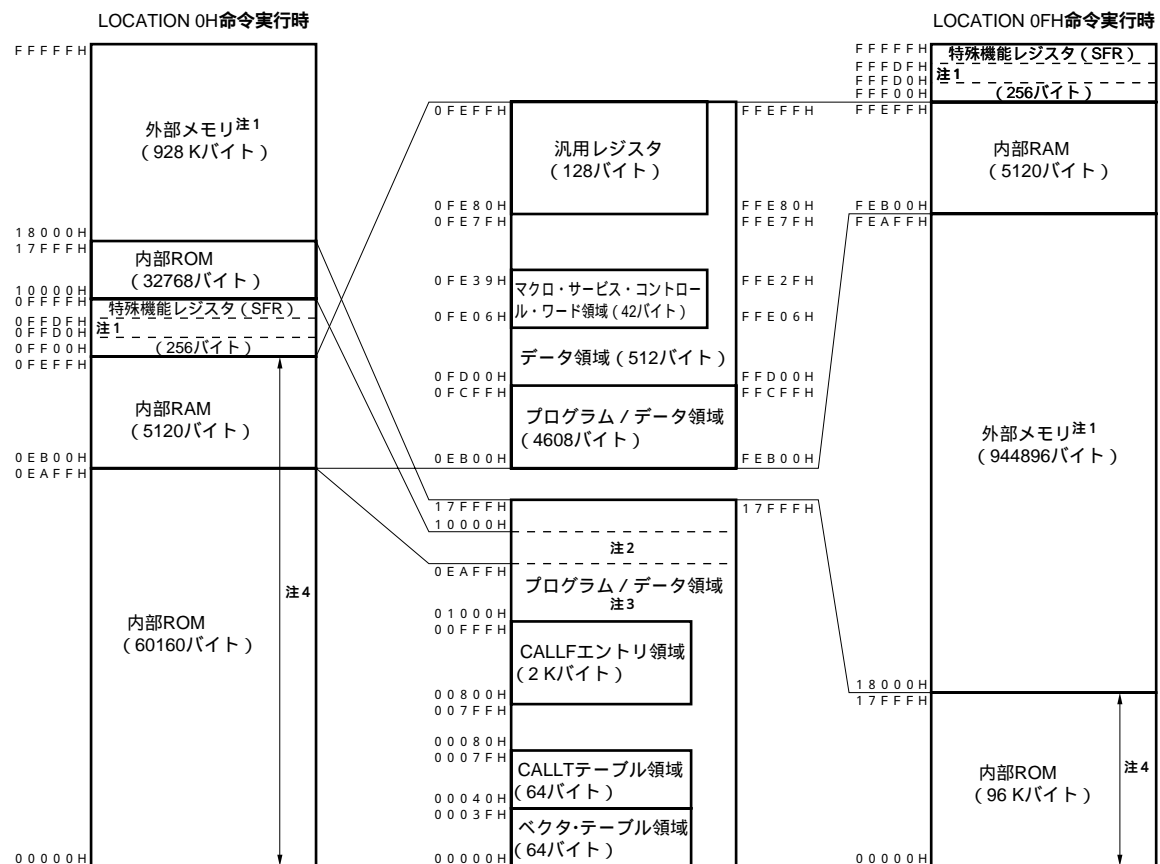
内部データ領域と内部ROM領域は、次のようになります。

品名	内部データ領域	内部ROM領域
μ PD784935A	FEB00H-FFFFFFH	00000H-17FFFH
μ PD784936A	FE500H-FFFFFFH	00000H-1FFFFH
μ PD784937A	FDF00H-FFFFFFH	00000H-2FFFFH
μ PD784938A μ PD78F4938A	FD600H-FFFFFFH	00000H-3FFFFH

・外部メモリ

外部メモリは、外部メモリ拡張モードでアクセスします。

図3-1 μPD784935Aのメモリ・マップ



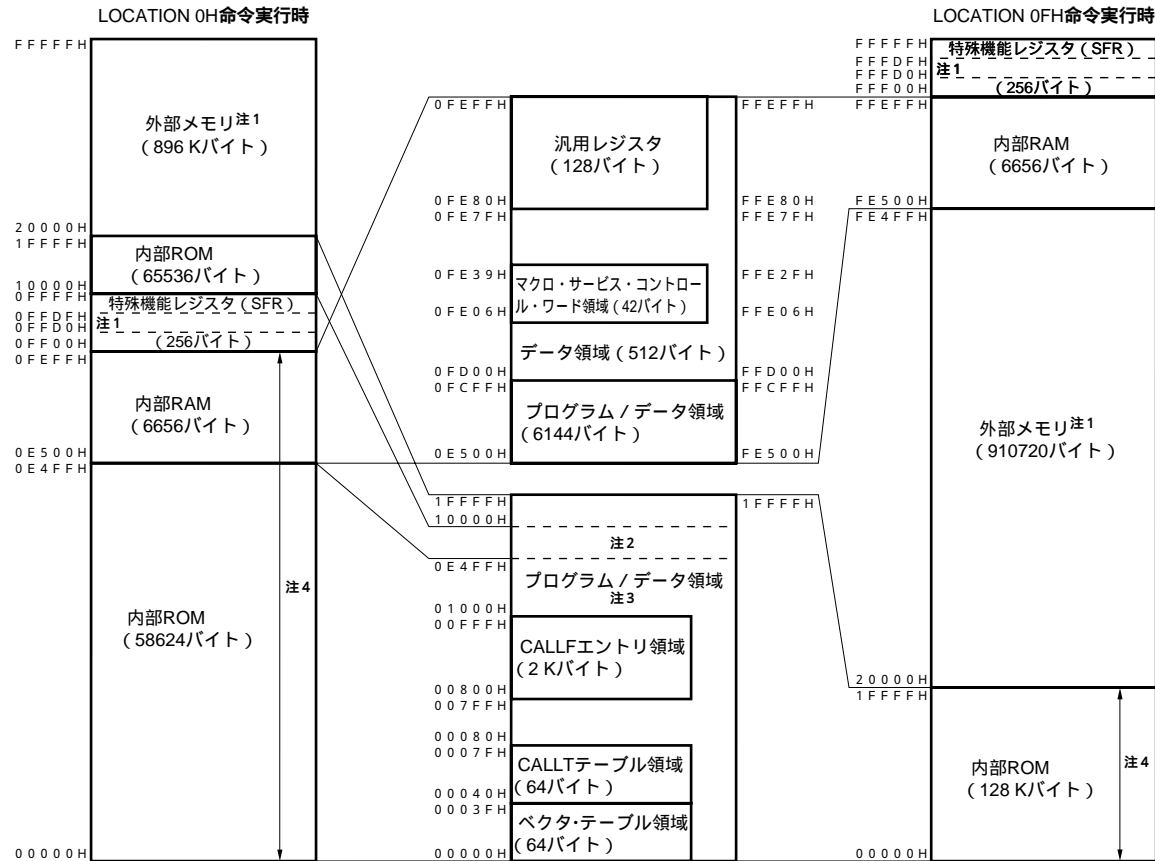
注1．外部メモリ拡張モードでアクセス

2．この領域の5376バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます

3．LOCATION 0H命令実行時：92928 バイト，LOCATION 0FH命令実行時：98304バイト

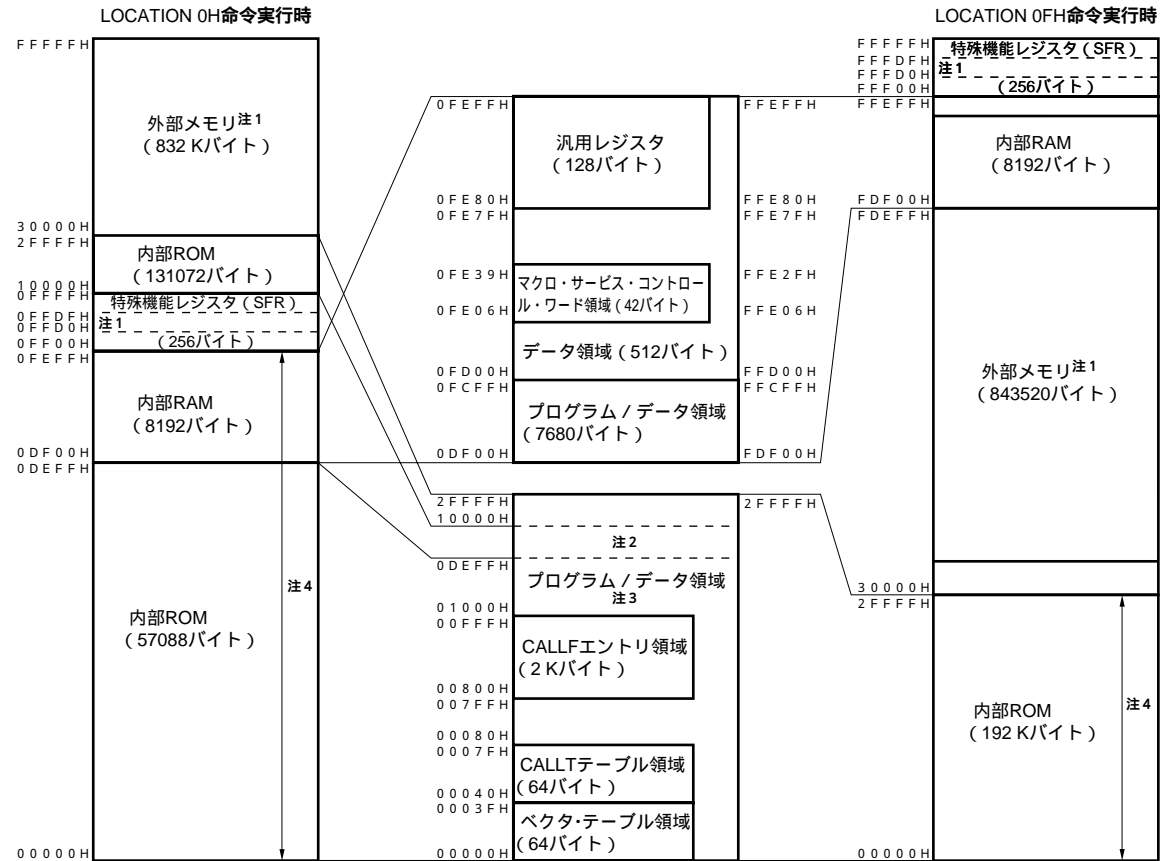
4．ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

図3 - 2 μPD784936Aのメモリ・マップ



- 注1 . 外部メモリ拡張モードでアクセス
- 2 . この領域の6912バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます
- 3 . LOCATION 0H命令実行時：124160バイト，LOCATION 0FH命令実行時：131072バイト
- 4 . ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

図3-3 μPD784937Aのメモリ・マップ



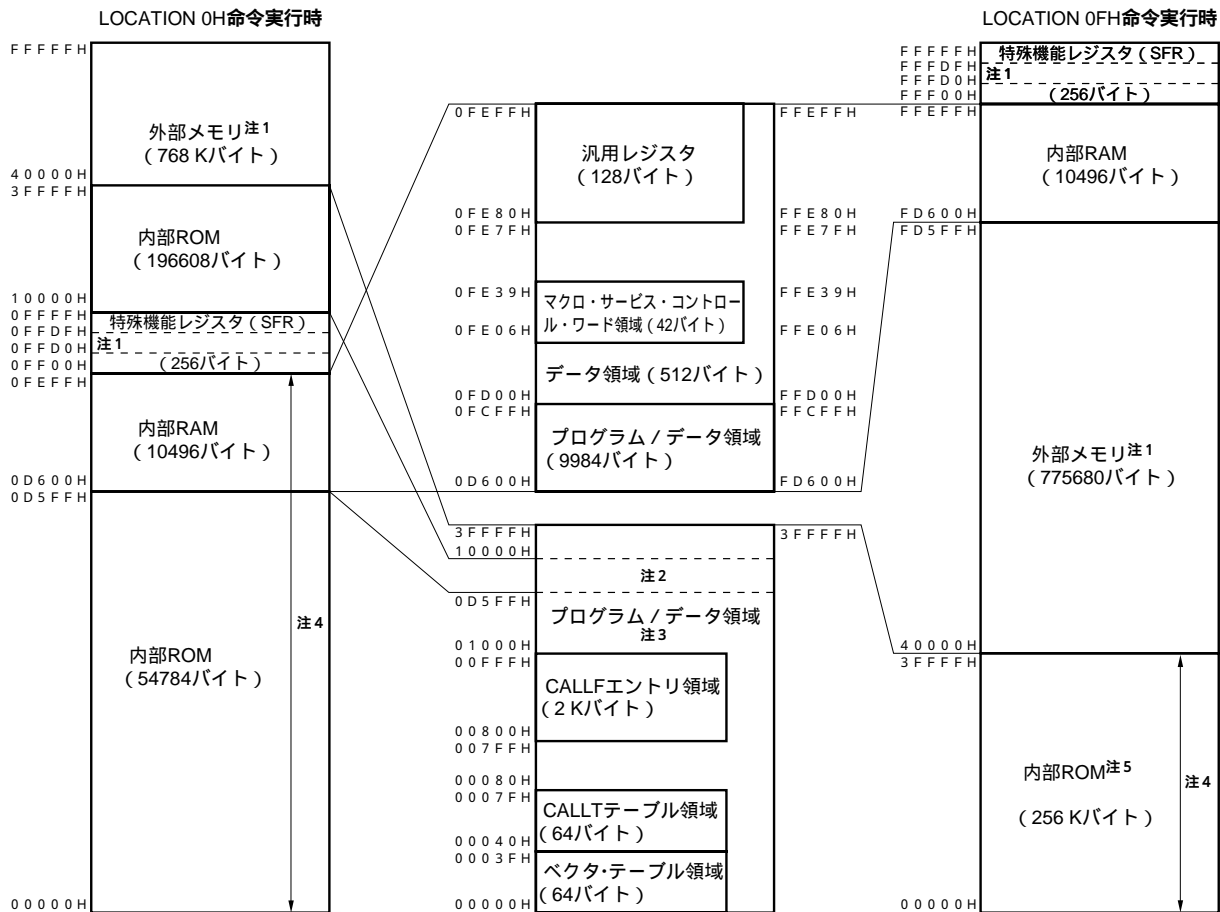
注1．外部メモリ拡張モードでアクセス

2．この領域の8488バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます

3．LOCATION 0H命令実行時：188160バイト，LOCATION 0FH命令実行時：196608バイト

4．ベース領域，リセットまたは割り込みによるエントリ領域。ただし，リセットについては内部RAMを除く

図3-4 μPD784938A, 78F4938Aのメモリ・マップ



注1 . 外部メモリ拡張モードでアクセス

2 . この領域の10752バイトは、LOCATION 0FH命令実行時のみ内部ROMとして使用できます

3 . LOCATION 0H命令実行時: 251392バイト, LOCATION 0FH命令実行時: 262144バイト

4 . ベース領域, リセットまたは割り込みによるエントリ領域。ただし, リセットについては内部RAMを除く

5 . μPD78F4938の場合: フラッシュ・メモリ

3.2 内部ROM領域

μPD784938Aサブシリーズの次に示す製品は、ROMを内蔵しており、プログラムやテーブル・データなどを格納できます。

なお、LOCATION 0H命令実行時に内部ROM領域と内部データ領域が重なった場合は、内部データ領域がアクセスの対象となり、重なった部分の内部ROM領域はアクセスできません。

品名	内部ROM	アドレス空間	
		LOCATION 0命令	LOCATION 0FH命令
μPD784935A	96 K × 8 ビット	00000H-0EAFFH 10000H-17FFFH	00000H-17FFFH
μPD784936A	128 K × 8 ビット	00000H-0E4FFH 10000H-1FFFFH	00000H-1FFFFH
μPD784937A	192 K × 8 ビット	00000H-0DEFFH 10000H-2FFFFH	00000H-2FFFFH
μPD784938A μPD78F4938A	256 K × 8 ビット	00000H-0D5FFH 10000H-3FFFFH	00000H-3FFFFH

内部ROMは、高速にアクセスすることが可能です。通常は、外部ROMと同等のスピードでフェッチするようになっており、メモリ拡張モード・レジスタ（MM）のIFCHビットをセット（1）することにより、高速フェッチ機能が使用され、内部ROMのフェッチを高速（2バイト単位に2システム・クロックでフェッチする）に行うようになります。

なお、外部ROMフェッチと同等な命令実行サイクルを選択した場合は、ウェイト機能によるウェイトの挿入が行われますが、高速フェッチ使用時には、内部ROMに対してはウェイトは挿入されません。

RESET入力により、外部ROMフェッチ・サイクルと同等な命令実行サイクルとなります。

3.3 ベース領域

0-FFFFHの空間は、ベース領域となっています。次の用途については、ベース領域が対象となります。

- ・リセットのエントリ・アドレス
- ・割り込みのエントリ・アドレス
- ・CALLT命令のエントリ・アドレス
- ・16ビット・イミディエト・アドレッシング・モード（命令アドレスのアドレッシング時）
- ・16ビット・ダイレクト・アドレッシング・モード
- ・16ビット・レジスタ・アドレッシング・モード（命令アドレスのアドレッシング時）
- ・16ビット・レジスタ・インダイレクト・アドレッシング・モード
- ・ショート・ダイレクト16ビット・メモリ・インダイレクト・アドレッシング・モード

また、ベース領域には、ベクタ・テーブル領域、CALLT命令テーブル領域、CALLF命令エントリ領域が割り付けられています。

なお、LOCATION 0H命令実行時には、内部データ領域がベース領域内に配置されます。内部データ領域のうち、内部高速RAM領域および特殊機能レジスタ（SFR）領域からは、プログラムのフェッチは行えませんので注意が必要です。また、内部RAM領域のデータは、初期化を行ってから使用してください。

3.3.1 ベクタ・テーブル領域

00000H-0003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域に $\overline{\text{RESET}}$ 入力，各割り込み要求発生により分岐する場合のプログラム・スタート・アドレスを格納しておきます。また，各割り込みでコンテキスト・スイッチングを使用する場合に，切り替え先のレジスタ・バンクの番号を格納します。

なお，ベクタ・テーブルとして使用していない部分は，プログラム・メモリまたはデータ・メモリとして使用できます。

ベクタ・テーブルに書ける値は，16ビットの値です。したがって，分岐できるのはベース領域のみです。

表3 - 1 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0003CH	オペランド・エラー	00034H	INTIE2
0003EH	BRK	00036H	INTW
00000H	リセット ($\overline{\text{RESET}}$ 入力)	00038H	INTCSI3
00002H	NMI		
00004H	WDT		
00006H	INTP0		
00008H	INTP1		
0000AH	INTP2		
0000CH	INTP3		
0000EH	INTC00		
00010H	INTC01		
00012H	INTC10		
00014H	INTC11		
00016H	INTC20		
00018H	INTC21		
0001AH	INTC30		
0001CH	INTP4		
0001EH	INTP5		
00020H	INTAD		
00022H	INTSER1		
00024H	INTSR1/INTCSI1		
00026H	INTST1		
00028H	INTCSI		
0002AH	INTSER2		
0002CH	INTSR2/INTCSI2		
0002EH	INTST2		
00032H	INTIE1		

3.3.2 CALLT命令テーブル領域

00040H-0007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

CALLT命令では、このテーブルを参照し、テーブル中に書かれているベース領域のアドレスへサブルーチンとして分岐します。CALLT命令は1バイトであるため、プログラム中で記述回数の多いサブルーチン・コールをCALLT命令とすることで、プログラムのオブジェクト・サイズを圧縮することが可能です。なお、テーブルには最大32個のサブルーチン・エントリ・アドレスを記述できますので、記述頻度の多い順に登録することをお勧めします。

また、CALLT命令のテーブルとして使用しない場合は、通常のプログラム・メモリまたはデータ・メモリとして使用可能です。

3.3.3 CALLF命令エントリ領域

00800H-00FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

CALLF命令は、2バイトのコール命令であるため、直接サブルーチン・コールのCALL命令（3バイトまたは4バイト）を使用した場合に比べ、オブジェクト・サイズを圧縮することが可能です。

高速性を活かしたいときには、この領域に直接サブルーチンを記述することが有効です。

オブジェクト・サイズを小さくしたい場合には、この領域に無条件分岐（BR）命令を記述し、サブルーチン本体はこの領域外に置くことで、5カ所以上からコールされているサブルーチンについて、オブジェクト・サイズの圧縮が図れます。この場合、CALLFエントリ領域中ではBR命令の4バイトしか場所をとらないため、多くのサブルーチンでオブジェクト・サイズの圧縮が可能です。

3.4 内部データ領域

内部データ領域は、内部RAM領域、特殊機能レジスタ領域で構成される領域です（図3 - 1、図3 - 2、図3 - 3参照）。

内部データ領域は、LOCATION命令によって、内部データ領域の最終アドレスを0FFFFH（LOCATION 0H命令実行時）にするか、FFFFFFH（LOCATION 0FH命令実行時）にするかを選択できます。このLOCATION命令による内部データ領域のアドレスの選択は、リセット解除直後に必ず1回実行する必要があります。一度選択したあとは、変更することはできません。リセット解除後のプログラムは、例のようにしている必要があります。内部データ領域と他の領域が同一アドレスに割り当てられた場合は、内部データ領域がアクセスの対象となり、他の領域にはアクセスできません。

```
例 RSTVCT  CSEG  AT 0
      DW    RSTSTRT
      }
INITSEG  CSEG  BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
MOVG  SP, #STKBGN
```

注意 LOCATION 0H命令実行時には、リセット解除後のプログラムが内部データ領域に重ならないようにする必要があります。また、NMIなどのマスク不可能な割り込み処理ルーチンのエントリ・アドレスも、内部データ領域と重ならないようにしてください。なお、マスク可能割り込みのエントリ領域などについては、内部データ領域を参照する前に初期化を行う必要があります。

3.4.1 内部RAM領域

μPD784938Aは、汎用スタティックRAMを内蔵しています。

この領域は、次のように構成されています。

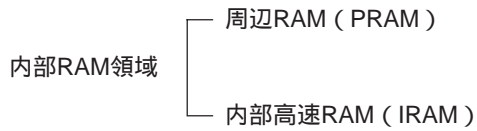


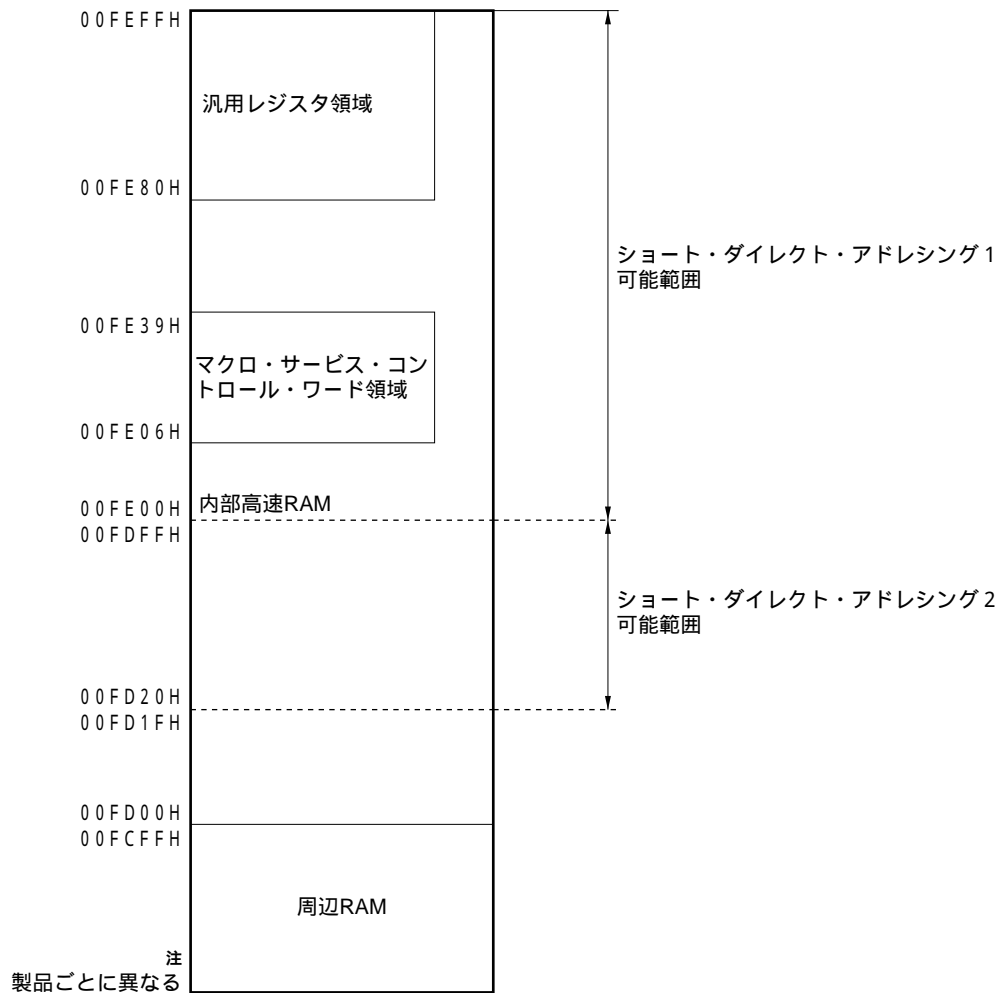
表3 - 2 内部RAM領域一覧

品名	内部RAM領域		
	内部RAM	周辺RAM : PRAM	内部高速RAM : IRAM
μPD784935A	5120バイト (0EB00H-0FEFFH)	4608バイト (0EB00H-0FCFFH)	512バイト (0FD00H-0FEFFH)
μPD784936A	6656バイト (0E500H-0FEFFH)	6144バイト (0E500H-0FCFFH)	
μPD784937A	8192バイト (0DF00H-0FEFFH)	7680バイト (0DF00H-0FCFFH)	
μPD784938A μPD78F4938A	10496バイト (0D600H-0FEFFH)	9984バイト (0D600H-0FCFFH)	

備考 表中のアドレスは、LOCATION 0H命令実行時の値です。LOCATION 0FH命令実行時には、上記の値に0F0000Hを加えてください。

内部RAMのメモリ・マップを図3 - 5 に示します。

図3 - 5 内部RAMのメモリ・マップ



- 注
- μ PD784935A : 00EB00H
 - μ PD784936A : 00E500H
 - μ PD784937A : 00DF00H
 - μ PD784938A, 78F4938A : 00D600H

備考 図中のアドレスは、LOCATION 0H命令実行時の値です。LOCATION 0FH命令実行時には、上記の値に0F0000Hを加えてください。

(1) 内部高速RAM (IRAM)

内部高速RAM (IRAM) は、高速アクセスが可能です。このうち、FD20H-FEFFFHは、高速アクセス用のショート・ダイレクト・アドレッシング・モードが使用できます。ショート・ダイレクト・アドレッシング・モードには、その対象となるアドレスにより、ショート・ダイレクト・アドレッシング1とショート・ダイレクト・アドレッシング2の2種類があります。いずれのアドレッシング・モードも、その機能は同一です。一部の命令では、ショート・ダイレクト・アドレッシング2は、ショート・ダイレクト・アドレッシング1より語長が短くなっています。詳細は、78 K/ シリーズ ユーザーズ・マニュアル 命令編を参照してください。

IRAMから、プログラムのフェッチを行うことはできません。IRAMが、マッピングされているアドレスからプログラムのフェッチを行うと、CPUは暴走します。

また、IRAMには、次の領域が予約されています。

- ・汎用レジスタ領域 : FE80H-FEFFFH
- ・マクロ・サービス・コントロール・ワード領域 : FE06H-FE39H (0FE22H, 0FE23H, 0FE2AH, 0FE2BH, 0FE30H, 0FE31Hを除く)
- ・マクロ・サービス・チャンネル領域 : FE00H-FEFFFH (アドレスは、マクロ・サービス・コントロール・ワードで指定します)

これらの領域で、予約されている機能を使用していない場合は、通常のリデータ・メモリとして使用できます。

備考 本文中のアドレスは、LOCATION 0H命令実行時のアドレスです。LOCATION 0FH命令実行時には、本文中の値に0F0000Hを加えてください。

(2) 周辺RAM (PRAM)

周辺RAM (PRAM) は、普通のプログラム・メモリまたはデータ・メモリとして使用します。プログラム・メモリとして使用する場合は、事前に、プログラムによって周辺RAMにプログラムを書き込んでおく必要があります。

なお、周辺RAMからのプログラム・フェッチは、2バイト単位に2クロックで行うことができるため高速です。

3.4.2 特殊機能レジスタ (SFR) 領域

0FF00H-0FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) がマッピングされています (図3 - 1, 図3 - 2, 図3 - 3, 図3 - 4参照)。

また、0FFD0H-0FFDFHの領域は、外部SFR領域としてマッピングされており、ROMレス製品やROM内蔵の製品で外部メモリ拡張モード (メモリ拡張モード・レジスタ (MM) で設定) 時に外付けされた周辺I/Oなどをアクセスすることができます。

注意 この領域内で、SFRのマッピングされていないアドレスをアクセスしないでください。誤ってアクセスすると、CPUがデッドロック状態になることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

備考 本文中のアドレスは、LOCATION 0H命令実行時のアドレスです。LOCATION 0FH命令実行時には、本文中の値に0F0000Hを加えてください。

3.4.3 外部SFR領域

μPD784938Aサブシリーズの製品では、SFR領域のうち、0FFD0H-0FFDFH (LOCATION 0H命令実行時。LOCATION 0FH命令実行時は0FFFD0H-0FFDFH) の16バイトの領域は、外部SFR領域としてマッピングされています。ROMレス製品やROM内蔵の製品で外部メモリ拡張モードの場合に、アドレス・バスおよびアドレス/データ・バスなどを使用して、外付けされた周辺I/Oなどをアクセスすることができます。

外部SFR領域は、SFRアドレッシングでアクセスすることができるので、周辺I/Oなどの操作が簡単にできる、オブジェクト・サイズを圧縮できる、マクロ・サービスを使用できるなどの特徴があります。

なお、外部SFR領域に対するアクセス時のバスの動作は、通常のメモリ・アクセスと同様になります。

3.5 外部メモリ空間

外部メモリ空間は、メモリ拡張モード・レジスタ (MM) の設定によりアクセスが可能なメモリ空間です。プログラム、テーブル・データなどの格納、および周辺のI/Oデバイスを割り付けることができます。

3.6 μ PD78F4938Aのメモリ・マッピング

ソフトウェアにより内部メモリの一部を使用しないようにするためのレジスタです。IMSを設定することにより、 μ PD78F4938Aを内部メモリ（ROM, RAM）の異なるマスクROM製品のメモリ・マッピングと同一のメモリ・マッピングにすることができます。

IMSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

図3 - 6 内部メモリ・サイズ切り替えレジスタ（IMS）

アドレス：0FFFCCH リセット時：FFH W/R

	7	6	5	4	3	2	1	0
IMS	1	1	ROM1	ROM0	1	1	RAM1	RAM0

ROM1	ROM0	内部ROM容量の選択
0	0	256 Kバイト
0	1	96 Kバイト
1	0	128 Kバイト
1	1	192 Kバイト

RAM1	RAM0	内部RAM容量の選択
0	0	10496バイト
0	1	5120バイト
1	0	6656バイト
1	1	8192バイト

注意 IMSは、マスクROM製品（ μ PD784935A, 784936A, 784937A, 784938A）にはありません。

マスクROM製品と同一のメモリ・マップにするIMSの設定を表3 - 3に示します。

表3 - 3 内部メモリ・サイズ切り替えレジスタ（IMS）の設定値

対象マスクROM製品	IMSの設定値
μ PD784935A	DDH
μ PD784936A	EEH
μ PD784937A	FFH
μ PD784938A	CCH

3.7 制御レジスタ

制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

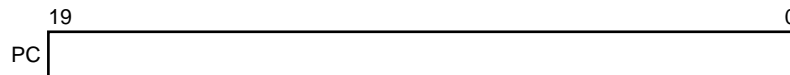
3.7.1 プログラム・カウンタ（PC）

次に実行するプログラムのアドレス情報を保持する20ビット・バイナリ・カウンタです（**図3-7**参照）。

通常、フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐を伴う命令を実行した場合、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0番地と1番地の16ビット・データがPCの下位16ビットに、0000がPCの上位4ビットにセットされます。

図3-7 プログラム・カウンタ（PC）のフォーマット



3.7.2 プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワード（PSW）は、命令の実行の結果によってセット、リセットされる各種フラグで構成される16ビット・レジスタです。

上位8ビット（PSWH）、下位8ビット（PSWL）単位でリード・アクセス/ライト・アクセスします。また、ビット操作命令により、各フラグの操作ができます。

PSWの内容は、ベクタ割り込み要求の受け付け時、およびBRK命令の実行時に自動的にスタックに退避し、RETI命令またはRETB命令の実行時に自動的に復帰します。また、コンテキスト・スイッチング使用時には、RP3に自動的に退避し、RETCS命令またはRETCSB命令の実行時に自動的に復帰します。

$\overline{\text{RESET}}$ 入力により、全ビットがリセット（0）されます。

図3-8で“0”と書かれているビットには、必ず“0”を書き込んでください。また、“-”と書かれているビットの内容は、読み出し時には不定となります。

図3 - 8 プログラム・ステータス・ワード (PSW) のフォーマット

略号	7	6	5	4	3	2	1	0
PSWH	UF	RBS2	RBS1	RBS0	-	-	-	-
PSWL	S	Z	RSS	AC	IE	P/V	0	CY

各フラグについて、次に示します。

(1) キャリー・フラグ (CY)

演算結果のキャリー、ポローを記憶するフラグです。

また、シフト・ローテート命令実行時は、シフト・アウトされた値を記憶し、ビット操作命令実行時は、ビット・アキュムレータとして機能します。

CYフラグの状態は、条件付き分岐命令でテストできます。

(2) パリティ/オーバーフロー・フラグ (P/V)

P/Vフラグは、演算命令の実行に伴い、次の2種類の動作をします。

P/Vフラグの状態は、条件付き分岐命令でテストできます。

・パリティ・フラグ動作

論理演算命令、シフト・ローテート命令、CHKL、CHKLA命令の実行の結果、セット(1)されたビット数が偶数のときにはセット(1)されます。奇数のときにはリセット(0)されます。ただし、16ビットのシフト命令の場合、演算結果の下位8ビットのみパリティ・フラグに有効です。

・オーバーフロー・フラグ動作

算術演算命令の実行の結果、2の補数で表現される数値範囲を越えたときのみセット(1)されます。それ以外のときにはリセット(0)されます。具体的には、MSBからのキャリーとMSBへのキャリーの排他的論理和の結果が、このフラグの内容になります。たとえば、8ビットの算術演算では、2の補数の範囲は80H(-128)~7FH(+127)であり、演算結果がこの範囲以外になったときセット(1)され、範囲内のときはリセット(0)されます。

例 8ビット加算命令実行時のオーバーフロー・フラグの動作を次に示します。

78H (+120) と 69H (+105) の加算を行うと、演算結果が E1H (+225) となり、2の補数の上限を越えるため、P/Vフラグがセット(1)されます。また、2の補数表現で、E1H は -31 になります。

$$\begin{array}{r}
 78H (+120) = \quad 0111 \ 1000 \\
 +) 69H (+105) = +) 0110 \ 1001 \\
 \hline
 0 \ 1110 \ 0001 = -31 \ P/V=1
 \end{array}$$

CY

また、次のような2つの負数の加算は、演算結果が2つの補数の範囲内にあるため、P/Vフラグはリセット(0)されます。

$$\begin{array}{r}
 FBH (-5) = \quad 1111 \ 1011 \\
 +) F0H (-16) = +) 1111 \ 0000 \\
 \hline
 1 \ 1110 \ 1011 = -21 \ P/V=0
 \end{array}$$

CY

(3) 割り込み要求許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

“0”のときは割り込み禁止となり、ノンマスクابل割り込み、およびマスク解除したマクロ・サービスのみ受け付けが可能となります。それ以外は、すべて禁止されます。

“1”のときは割り込み許可状態となり、割り込み要求受け付けの許可は、各割り込み要求に対応する割り込みマスク・フラグおよび各割り込みの優先順位により制御されます。

EI命令実行によりセット(1)され、DI命令実行または割り込みの受け付けでリセット(0)されま

(4) 補助キャリー・フラグ(AC)

演算の結果、ビット3からのキャリーがあったとき、またはビット3へのボローがあったときにセット(1)されます。それ以外のときにはリセット(0)されます。

ADJBA, ADJBS命令実行時に使用されます。

(5) レジスタ・セット選択フラグ (RSS)

X, A, C, Bとして機能する汎用レジスタ, およびAX, BCとして機能する汎用レジスタ・ペア (16ビット) を指定するフラグです。

このフラグは, 78K/ シリーズとの互換性を保つために用意されているフラグです。78K/ シリーズ用のプログラムを流用する場合を除いて, 必ず0にしてください。

(6) ゼロ・フラグ (Z)

演算の結果が“0”であることを記憶するフラグです。

演算の結果が“0”のときにセット (1) されます。それ以外の際にはリセット (0) されます。

Zフラグの状態は, 条件付き分岐命令でテストできます。

(7) サイン・フラグ (S)

演算の結果, MSBが“1”であることを記憶するフラグです。

演算の結果, MSBが“1”のときにセット (1) されます。“0”の際にはリセット (0) されます。Sフラグの状態は, 条件付き分岐命令でテストできます。

(8) レジスタ・バンク選択フラグ (RBS0-RBS2)

8個のレジスタ・バンク (レジスタ・バンク0-レジスタ・バンク7) のうち, 1つを選択する3ビットのフラグです (表3 - 4参照)。

SEL RBn命令の実行などにより選択されたレジスタ・バンクを示す3ビットの情報が格納されています。

表3 - 4 レジスタ・バンクの選択

RBS2	RBS1	RBS0	指定レジスタ・バンク
0	0	0	レジスタ・バンク0
0	0	1	レジスタ・バンク1
0	1	0	レジスタ・バンク2
0	1	1	レジスタ・バンク3
1	0	0	レジスタ・バンク4
1	0	1	レジスタ・バンク5
1	1	0	レジスタ・バンク6
1	1	1	レジスタ・バンク7

(9) ユーザ・フラグ (UF)

ユーザ・プログラム上でセットおよびリセットし, プログラムの制御に利用できるフラグです。

3.7.3 RSSビットの使用法

基本的にRSSビットは、常時、0に固定して使用してください。

次の説明は、78K/ シリーズ用のプログラムを流用する場合で、流用するプログラムがRSSビットを1にしている場合のための説明です。RSSビットを0に固定して使用する場合には読む必要はありません。

RSSビットは、A (R1) , X (R0) , B (R3) , C (R2) , AX (RP0) , BC (RP1) の持っている機能をR4-R7 (RP2, RP3) レジスタでも使用できるようにするためのビットです。このビットを有効に使用することで、プログラム・サイズやプログラムの実行に関して効率の良いプログラムを作成することができます。

しかし、不用意に使用すると思わぬ不具合が発生することがあります。したがって、通常は、RSSビットは0にして使用してください。RSSビットを1にして使用するのは、78K/ シリーズ用のプログラムを流用する場合だけにしてください。

すべてのプログラム中で、RSSビットを0にして使用することにより、プログラム作成およびディバグ作業の効率が向上します。

RSSビットを1にして使用しているプログラムを流用する場合でも、可能であれば、RSSビットを1にしないプログラムへ修正してから流用することを推奨します。

(1) RSSビットの推奨

オペレーション一覧(28.2参照)で、オペランド欄にA, X, B, C, AXレジスタが直接記載されている命令で使用するこれらのレジスタ

インプライド・アドレッシングにより、A, AX, B, Cレジスタを使用する命令で、インプライドで指定されるレジスタ

インデクスト・アドレッシング、ベースト・インデクスト・アドレッシングでA, B, Cレジスタを使用する命令で、アドレッシング時に使用するレジスタ

これらの場合に使用するレジスタをRSSビットによって、次のように切り替えます。

・RSS = 0 の場合

A R1, X R0, B R3, C R2, AX RP0, BC RP1

・RSS = 1 の場合

A R5, X R4, B R7, C R6, AX RP2, BC RP3

前述以外で使用するレジスタは、RSSビットの内容にかかわらず常に同一のレジスタになります。NEC製のアセンブラ（RA78K4）では、A, X, B, C, AX, BCレジスタについて、この名前で記述されている場合にどちらのレジスタ用の命令コードを生成するかは、アセンブラのRSS疑似命令で決定されます。

RSSビットをセット、リセットする場合には、その命令の直前（または直後）に、必ずRSS疑似命令を記述してください（下記例参照）。

プログラム例

- ・RSS = 0 にする場合

```
RSS 0          ; RSS疑似命令
CLR1 PSWL. 5
MOV B, A       ; この記述は、“MOV R3, R1” に該当します。
```

- ・RSS = 1 にする場合

```
RSS 1          ; RSS疑似命令
SET1 PSWL. 5
MOV B, A       ; この記述は、“MOV R7, R5” に該当します。
```

(2) RA78K4での命令コードの生成方法

- ・RA78K4では、命令のオペレーション一覧のオペランド欄にAまたはAXが直接記載されている命令と同機能の命令がある場合、オペランド欄にAまたはAXが直接記載されている命令コードを優先して生成します。

例 MOV A, r命令でrをBとした場合と、MOV r, r'命令でrをA, r'をBとした場合では同一の機能です。また、アセンブラのソース・プログラム上では同一の記述（MOV A, B）となります。この場合、RA78K4は、MOV A, r命令に相当するコードを生成します。

- ・オペランド欄にr, r', rp, rp'が指定されている命令で, A, X, B, C, AX, BCが記述された場合, RA78K4のRSS疑似命令のオペランドによって, A, X, B, C, AX, BC命令はそれぞれ次のレジスタを指定する命令コードを生成します。

レジスタ	RSS = 0	RSS = 1
A	R1	R5
X	R0	R4
B	R3	R7
C	R2	R6
AX	RP0	RP2
BC	RP1	RP3

- ・オペランド欄のr, r', rp, rp'にR0-R7, RP0-RP4を記述した場合, その指定どおりの命令コードを出力します (オペランド欄にA, AXが直接記載されている命令コードは出力しません)。
- ・インデクスト・アドレッシング, ベースト・インデクスト・アドレッシングで使用するA, B, Cレジスタは, R1, R3, R2やR5, R7, R6といった記述はできません。

(3) 使用上の注意

RSSビットを切り替えることで, 2組のレジスタ・セットを持つのと同様の効果が得られます。しかし, プログラムの静的な記述とプログラム実行時の動的なRSSビットの変化を常に一致するように, 十分に注意をしてプログラムを記述しなければなりません。

また, RSS = 1にしたプログラムは, コンテキスト・スイッチング機能を使用しているプログラムでは使用できないので, プログラムの流用性が悪くなります。さらに, 同一の名称で異なるレジスタを使用するため, プログラムの可読性が悪くなり, デバッグ作業が難しくなります。したがって, RSS = 1として使用しなければならない場合は, これらの欠点を十分に考慮のうえ, プログラムを作成してください。

なお, RSSビットで指定されないレジスタは, 絶対名称を記述することによりアクセスできます。

3.7.4 スタック・ポインタ (SP)

スタック領域 (LIFO形式 : 00000H-FFFFFFH) の先頭アドレスを保持する24ビット・レジスタです (図 3 - 9 参照)。サブルーチン処理や割り込み処理時にスタック領域をアドレスするために使用されます。上位4ビットには、必ず“0”を書き込んでください。

SPの内容は、スタック領域への書き込み前にデクリメントされ、スタック領域からの読み出し後にインクリメントされます (図 3 - 10, 図 3 - 11参照)。

SPは、専用命令によりアクセスします。

SPの内容は、 $\overline{\text{RESET}}$ 入力により不定になりますので、リセット解除直後に (サブルーチン・コールや割り込みを受け付ける前に) 必ず初期化プログラムによりSPをイニシャライズしてください。

例 SPのイニシャライズ

```
MOVG SP, #0FEE0H ; SP 0FEE0H (FEDFHから使用の場合)
```

図 3 - 9 スタック・ポインタ (SP) のフォーマット

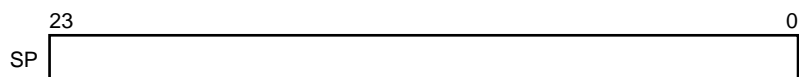


図3 - 10 スタック領域へ退避されるデータ

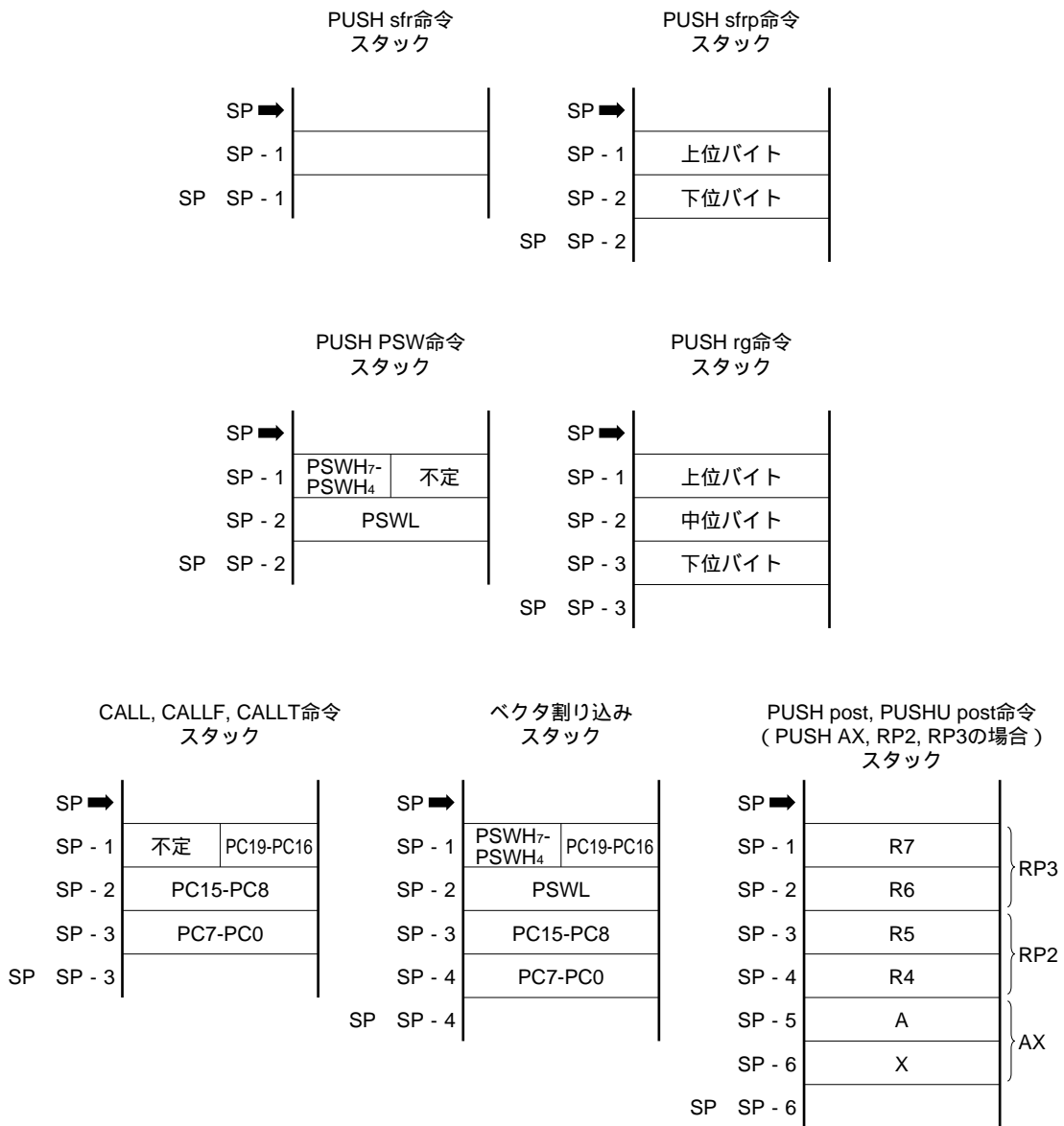
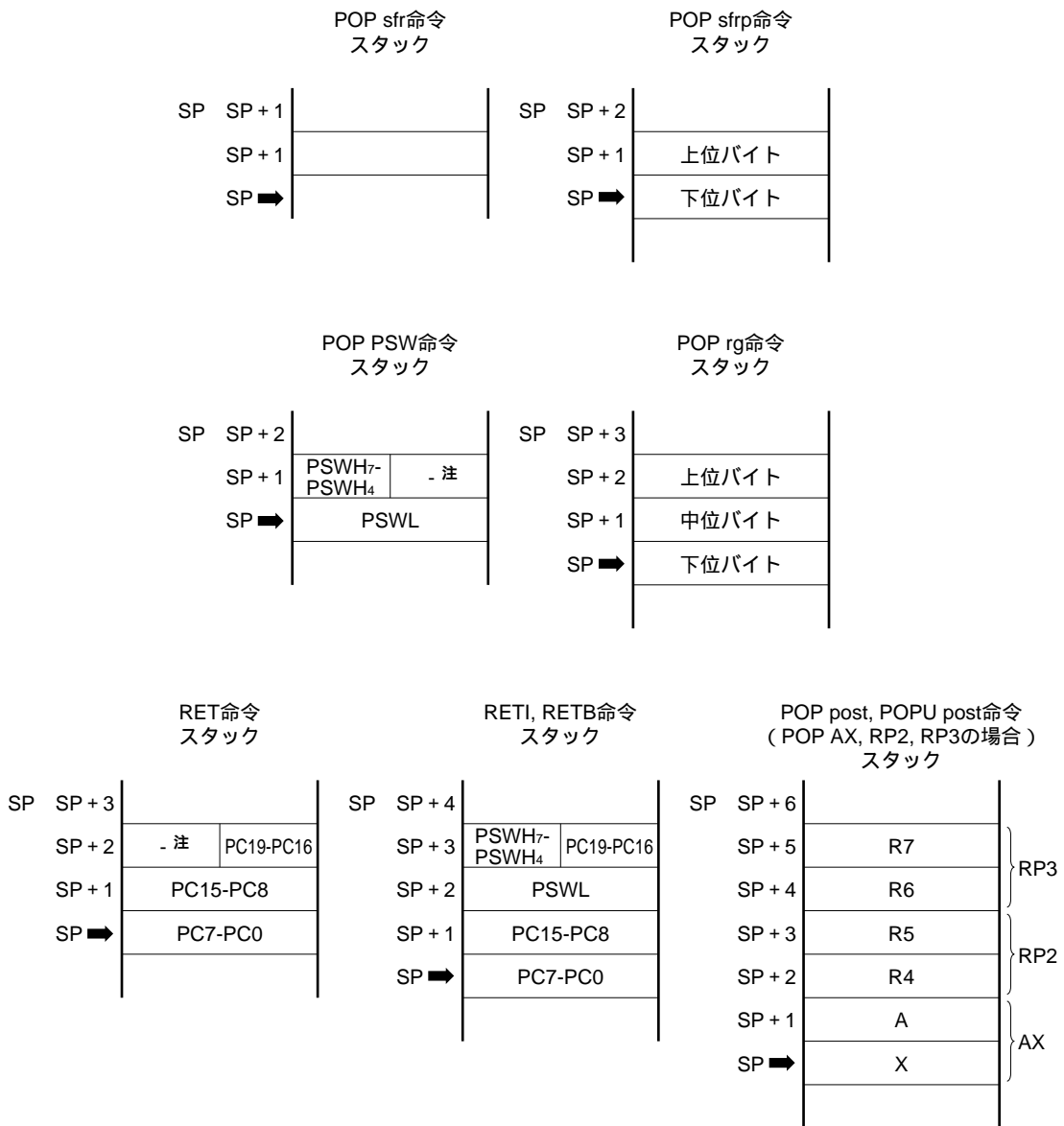


図3 - 11 スタック領域から復帰されるデータ



注 この4ビットのデータは無視されます。

注意1．スタック・アドレッシングでは、1Mバイトすべての空間でアクセス可能ですが、SFR領域および内部ROM領域にスタック・エリアを確保することはできません。

2．スタック・ポインタ（SP）は、 $\overline{\text{RESET}}$ 入力により不定になります。また、SPが不定の状態でもノンマスクブル割り込みは受け付け可能です。したがって、リセット解除直後のSPが不定な状態でノンマスクブル割り込みの要求が発生すると、予期しない動作を行う場合があります。この危険を回避するために、リセット解除後のプログラムは、必ず次のようにしてください。

```
RSTVCT  CSEG  AT 0
        DW   RSTSTRT
        }
INITSEG  CSEG  BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
        MOVG SP, #STKBGN
```

3.8 汎用レジスタ

3.8.1 構成

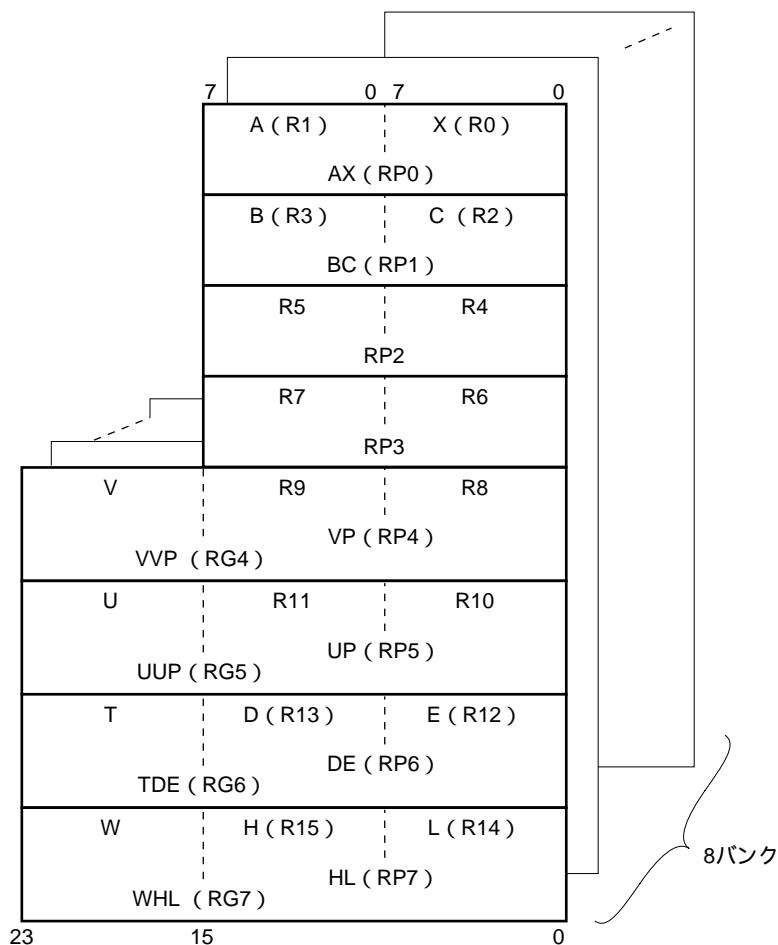
8ビットの汎用レジスタ16本で構成されています。また、8ビット汎用レジスタ2本を組み合わせて、16ビット汎用レジスタとして使用することもできます。さらに、16ビット汎用レジスタのうち4本は、アドレス拡張用の8ビット・レジスタと組み合わせて、24ビット・アドレス指定用レジスタとして使用することができます。

アドレス拡張用のV, U, T, Wレジスタを除いた汎用レジスタは、内部RAMにマッピングされています。

これらのレジスタ・セットは、8バンク用意されており、ソフトウェアまたはコンテキスト・スイッチング機能により切り替えて使用することができます。

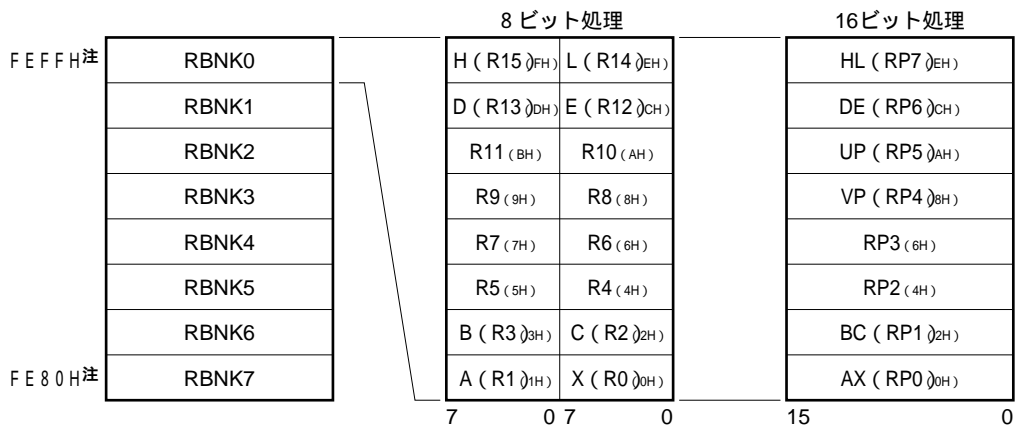
$\overline{\text{RESET}}$ 入力により、レジスタ・バンク0が選択されます。また、実行中のプログラムで使用しているレジスタ・バンクは、PSW内のレジスタ・バンク選択フラグ (RBS0, RBS1, RBS2) を読み出すことによって確認できます。

図3 - 12 汎用レジスタのフォーマット



備考 ()内は絶対名称です。

図3 - 13 汎用レジスタのアドレス



注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時のアドレスは、上記の値にF0000Hを加えた値

注意 R4, R5, R6, R7, RP2, RP3は、PSWのRSSビットを1にすることで、それぞれ、X, A, C, B, AX, BCレジスタとして使用することができますが、この機能を使用するのは78K/シリーズ用のプログラムを流用する場合だけにしてください。

備考 レジスタ・バンクを変更する場合で、元のレジスタ・バンクに戻す必要がある場合は、PUSH PSW命令でPSWをスタックへ退避してからSEL RBn命令を実行してください。元に戻すときは、スタックの位置に変化がなければPOP PSW命令で戻せます。

なお、ベクタ割り込み処理プログラムなどでレジスタ・バンクを変更する場合には、PSWは割り込みの受け付け時に自動的にスタックへ退避され、RETI, RETB命令で復帰されますので、割り込み処理ルーチンで使用するレジスタ・バンクが1つの場合には、単にSEL RBn命令を実行するだけで、PUSH PSWやPOP PSW命令を実行する必要はありません。

例 レジスタ・バンク2を指定する場合

```

...
PUSH PSW
SEL RB2
...
POP PSW
...

```

レジスタ・バンク2で動作

元のレジスタ・バンクで動作

3.8.2 機能

汎用レジスタは、それぞれ8ビット単位で操作できるほか、2個の8ビット・レジスタがペアとなって16ビット単位で操作することもできます。また、16ビット・レジスタのうち4本は、アドレス拡張用の8ビット・レジスタと組み合わせて24ビット単位で操作できます。

また、各レジスタは、演算結果の一時保管や、レジスタ間演算命令のオペランドとして汎用的に使用することが可能です。

0FE80H-0FEFFH (LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFE80H-FFEFFH) の領域は、汎用レジスタ・エリアとして使用する、しないにかかわらず、通常のデータ・メモリとしてアドレス指定し、アクセスすることができます。

78K/ シリーズでは、8つのレジスタ・バンクを持っているので、通常の処理と割り込み時の処理でレジスタ・バンクを使い分けることにより、効率のよいプログラムを作成できます。

各レジスタは、それぞれ次に示す固有機能を持っています。

A (R1) :

- ・ 8ビット・データの転送や演算処理の中心となるレジスタです。8ビット・データに対するすべてのアドレッシング・モードと組み合わせて使用できます。
- ・ ビット・データの格納にも使用できます。
- ・ インデクスト・アドレッシング、ベースト・インデクスト・アドレッシング時のオフセット値を格納するレジスタとして使用できます。

X (R0) :

- ・ ビット・データの格納に使用できます。

AX (RP0) :

- ・ 16ビット・データの転送や演算処理の中心となるレジスタです。16ビット・データに対するすべてのアドレッシング・モードと組み合わせて使用できます。

AXDE :

- ・ DIVUX, MACW, MACSW命令実行時に、32ビット・データの格納用として使用されます。

B (R3) :

- ・ ループ・カウンタとしての機能を持っており、DBNZ命令で使用できます。
- ・ インデクスト・アドレッシング、ベースト・インデクスト・アドレッシング時のオフセット値を格納するレジスタとして使用できます。
- ・ MACW, MACSW命令のデータ・ポインタとして使用します。

C (R2) :

- ・ループ・カウンタとしての機能を持っており、DBNZ命令で使用できます。
- ・ベースト・インデクスト・アドレッシング時のオフセット値を格納するレジスタとして使用できます。
- ・ストリング命令、SACW命令のカウンタとして使用します。
- ・MACW, MACSW命令のデータ・ポインタとして使用します。

RP2 :

- ・コンテキスト・スイッチング使用時に、プログラム・カウンタ (PC) の下位16ビットを退避するために使用します。

RP3 :

- ・コンテキスト・スイッチング使用時に、プログラム・カウンタ (PC) の上位4ビットおよびプログラム・ステータス・ワード (PSW) (PSWHのビット0-3を除く) を退避するために使用します。

VVP (RG4) :

- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング、ベースト・インデクスト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。

UUP (RG5) :

- ・ユーザ・スタック・ポインタとしての機能を持っており、PUSHU, POPU命令により、システム・スタックとは別のスタックを実現することができます。
- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。

DE (RP6), HL (RP7) :

- ・インデクスト・アドレッシング、ベースト・インデクスト・アドレッシング時には、オフセット値を格納するレジスタとして動作します。

TDE (RG6) :

- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。
- ・ストリング命令、SACW命令のポインタとして動作します。

WHL (RG7) :

- ・24ビット・データの転送や演算処理の中心となるレジスタです。
- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。
- ・ストリング命令、SACW命令のポインタとして動作します。

各レジスタは、それぞれの固有機能を重視した機能名称 (X, A, C, B, E, D, L, H, AX, BC, VP, UP, DE, HL, VVP, UUP, TDE, WHL) のほか、絶対名称 (R0-R15, RP0-RP7, RG4-RG7) ででも記述することができます。対応は、表3 - 5を参照してください。

表3 - 5 機能名称-絶対名称の対応

(a) 8ビット・レジスタ

絶対名称	機能名称	
	RSS = 0	RSS = 1 ^注
R0	X	
R1	A	
R2	C	
R3	B	
R4		X
R5		A
R6		C
R7		B
R8		
R9		
R10		
R11		
R12	E	E
R13	D	D
R14	L	L
R15	H	H

(b) 16ビット・レジスタ

絶対名称	機能名称	
	RSS = 0	RSS = 1 ^注
RP0	AX	
RP1	BC	
RP2		AX
RP3		BC
RP4	VP	VP
RP5	UP	UP
RP6	DE	DE
RP7	HL	HL

(c) 24ビット・レジスタ

絶対名称	機能名称
RG4	VVP
RG5	UUP
RG6	TDE
RG7	WHL

注 RSS = 1として使用するの、78K/ シリーズ用のプログラムを流用する場合だけにしてください。

備考 R8-R11には機能名称はありません。

3.9 特殊機能レジスタ (SFR)

内蔵周辺ハードウェアのモード・レジスタ、コントロール・レジスタなどの特別な機能が割り付けられたレジスタで、0FF00H-0FFFFH^注の256バイトの空間にマッピングされています。

注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFF00H-FFFFFH

注意 この領域内で、SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、 μ PD784938Aがデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

表3 - 5 に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- ・略号.....内蔵されたSFRを示す記号。NEC製アセンブラ (RA78K4) では予約語になっています。Cコンパイラ (CC78K4) では`#pragma sfr`指令により、`sfr`変数として使用できます。
- ・R/W.....該当するSFRが読み出し / 書き込みが可能かどうかを示します。
 - R/W : 読み出し (Read) / 書き込み (Write) 可能
 - R : 読み出し (Read) のみ
 - W : 書き込み (Write) のみ
- ・操作可能ビット単位... 該当するSFRを操作する場合に、適応可能な操作ビット単位を示します。16ビット操作可能なSFRはオペランドの`sfrp`に記述でき、アドレスで指定する場合は偶数アドレスを記述します。
 - 1ビット操作可能なSFRは、ビット操作命令に記述できます。
- ・リセット時..... $\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3 - 6 特殊機能レジスタ (SFR) 一覧 (1/6)

アドレス ^注	特殊機能レジスタ (SFR) 名称		略号	R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
0FF00H	ポート0		P0	R/W			-	不定
0FF01H	ポート1		P1				-	
0FF02H	ポート2		P2	R			-	
0FF03H	ポート3		P3	R/W			-	
0FF04H	ポート4		P4				-	
0FF05H	ポート5		P5				-	
0FF06H	ポート6		P6				-	00H
0FF07H	ポート7		P7				-	不定
0FF09H	ポート9		P9				-	
0FF0AH	ポート10		P10				-	
0FF0EH		ポート0バッファ・レジスタL	P0L				-	
0FF0FH	ポート0バッファ・レジスタH		P0H				-	
0FF10H	コンペア・レジスタ (タイマ/イベント・カウンタ0)		CR00		-	-		
0FF12H	キャプチャ/コンペア・レジスタ (タイマ/イベント・カウンタ0)		CR01		-	-		
0FF14H	コンペア・レジスタL (タイマ/イベント・カウンタ1)		CR10	CR10W	-			
0FF15H	コンペア・レジスタH (タイマ/イベント・カウンタ1)		-		-	-		
0FF16H	キャプチャ/コンペア・レジスタL (タイマ/イベント・カウンタ1)		CR11	CR11W	-			
0FF17H	キャプチャ/コンペア・レジスタH (タイマ/イベント・カウンタ1)		-		-	-		
0FF18H	コンペア・レジスタL (タイマ/イベント・カウンタ2)		CR20	CR20W	-			
0FF19H	コンペア・レジスタH (タイマ/イベント・カウンタ2)		-		-	-		
0FF1AH	キャプチャ/コンペア・レジスタL (タイマ/イベント・カウンタ2)		CR21	CR21W	-			
0FF1BH	キャプチャ/コンペア・レジスタH (タイマ/イベント・カウンタ2)		-		-	-		
0FF1CH	コンペア・レジスタL (タイマ3)		CR30	CR30W	-			
0FF1DH	コンペア・レジスタH (タイマ3)		-		-	-		

注 LOCATION 0H命令を実行した場合。 LOCATION 0FH命令を実行した場合は、この値に“F0000H”を加えます。

表3 - 6 特殊機能レジスタ (SFR) 一覧 (2/6)

アドレス ^注	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
0FF20H	ポート0モード・レジスタ	PM0		R/W			-	FFH
0FF21H	ポート1モード・レジスタ	PM1					-	
0FF23H	ポート3モード・レジスタ	PM3					-	
0FF24H	ポート4モード・レジスタ	PM4					-	
0FF25H	ポート5モード・レジスタ	PM5					-	
0FF26H	ポート6モード・レジスタ	PM6					-	
0FF27H	ポート7モード・レジスタ	PM7					-	
0FF29H	ポート9モード・レジスタ	PM9					-	
0FF2AH	ポート10モード・レジスタ	PM10					-	
0FF2EH	リアルタイム出力ポート・コントロール・レジスタ	RTPC					-	
0FF30H	キャプチャ/コンペア・コントロール・レジスタ0	CRC0				-	-	10H
0FF31H	タイマ出力コントロール・レジスタ	TOC					-	00H
0FF32H	キャプチャ/コンペア・コントロール・レジスタ1	CRC1				-	-	
0FF33H	キャプチャ/コンペア・コントロール・レジスタ2	CRC2				-	-	10H
0FF36H	キャプチャ・レジスタ (タイマ/イベント・カウンタ0)	CR02		R	-	-		0000H
0FF38H	キャプチャ・レジスタL (タイマ/イベント・カウンタ1)	CR12	CR12W		-			
0FF39H	キャプチャ・レジスタH (タイマ/イベント・カウンタ1)	-			-	-	-	
0FF3AH	キャプチャ・レジスタL (タイマ/イベント・カウンタ2)	CR22	CR22W		-			
0FF3BH	キャプチャ・レジスタH (タイマ/イベント・カウンタ2)	-			-	-	-	
0FF41H	ポート1モード・コントロール・レジスタ	PMC1			R/W			
0FF43H	ポート3モード・コントロール・レジスタ	PMC3					-	
0FF4AH	ポート10モード・コントロール・レジスタ	PMC10					-	
0FF4EH	プルアップ抵抗オプション・レジスタL	PUOL					-	
0FF4FH	プルアップ抵抗オプション・レジスタH	PUOH					-	
0FF50H	タイマ・カウンタ0	TM0		R		-	-	
0FF51H					-	-		
0FF52H	タイマ・カウンタ1	TM1	TM1W		-			
0FF53H		-			-	-	-	
0FF54H	タイマ・カウンタ2	TM2	TM2W		-			
0FF55H		-			-	-	-	
0FF56H	タイマ・カウンタ3	TM3	TM3W		-			
0FF57H		-			-	-	-	

注 LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“F0000H”を加えます。

表3 - 6 特殊機能レジスタ (SFR) 一覧 (3/6)

アドレス ^注	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
0FF5CH	プリスケアラ・モード・レジスタ0	PRM0	R/W	-		-	11H	
0FF5DH	タイマ・コントロール・レジスタ0	TMC0				-	00H	
0FF5EH	プリスケアラ・モード・レジスタ1	PRM1		-		-	11H	
0FF5FH	タイマ・コントロール・レジスタ1	TMC1				-	00H	
0FF68H	A/Dコンバータ・モード・レジスタ	ADM				-		
0FF6AH	A/D変換結果レジスタ	ADCR	R	-		-	不定	
0FF6CH	A/D電流カット選択レジスタ	IEAD	R/W			-	00H	
0FF6FH	時計用タイマ・モード・レジスタ	WM				-		
0FF70H	PWMコントロール・レジスタ	PWMC				-	05H	
0FF71H	PWMプリスケアラ・レジスタ	PWPR		-		-	00H	
0FF72H	PWMモジュロ・レジスタ0	PWM0		-	-		不定	
0FF74H	PWMモジュロ・レジスタ1	PWM1		-	-			
0FF78H	ROMコレクション・コントロール・レジスタ	CORC				-	00H	
0FF79H	ROMコレクション・アドレス・レジスタH	CORAH		-		-		
0FF7AH	ROMコレクション・アドレス・レジスタL	CORAL		-	-		0000H	
0FF7DH	ワンショット・パルス出力制御レジスタ	OSPC				-	00H	
0FF80H	クロック同期式シリアル・インタフェース・モード・レジスタ3	CSIM3				-		
0FF82H	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM				-		
0FF84H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1		R/W			-	
0FF85H	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSIM2					-	
0FF86H	シリアル・シフト・レジスタ	SIO			-		-	不定
0FF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM				-	00H	
0FF89H	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	ASIM2				-		

注 LOCATION 0H命令を実行した場合。 LOCATION 0FH命令を実行した場合は、この値に“ F0000H ”を加えます。

表3 - 6 特殊機能レジスタ (SFR) 一覧 (4/6)

アドレス ^注	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R			-	00H
0FF8BH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2				-	
0FF8CH	シリアル受信バッファ : UART0	RXB		-		-	不定
	シリアル送信シフト・レジスタ : UART0	TXS	W	-		-	
	シリアル・シフト・レジスタ : IOE1	SIO1	R/W	-		-	
0FF8DH	シリアル受信バッファ : UART2	RXB2	R	-		-	
	シリアル送信シフト・レジスタ : UART2	TXS2	W	-		-	
	シリアル・シフト・レジスタ : IOE2	SIO2	R/W	-		-	
0FF8EH	シリアル・シフト・レジスタ3 : IOE3	SIO3		-		-	
0FF90H	ポー・レート・ジェネレータ・コントロール・レジスタ	BRGC		-		-	00H
0FF91H	ポー・レート・ジェネレータ・コントロール・レジスタ2	BRGC2		-		-	
0FFA0H	外部割り込みモード・レジスタ0	INTM0				-	
0FFA1H	外部割り込みモード・レジスタ1	INTM1				-	
0FFA4H	サンプリング・クロック選択レジスタ	SCS0		-		-	
0FFA8H	インサービス・プライオリティ・レジスタ	ISPR	R			-	
0FFAAH	割り込みモード・コントロール・レジスタ	IMC	R/W			-	80H
0FFACH	割り込みマスク・レジスタ0L	MK0L					FFFFH
0FFADH	割り込みマスク・レジスタ0H	MK0H					
0FFAEH	割り込みマスク・レジスタ1L	MK1L					
0FFAFH	割り込みマスク・レジスタ1H	MK1H					
0FFB0H	IEBusコントロール・レジスタ	BCR				-	00H
0FFB2H	IEBus自局アドレス・レジスタ	UAR		-	-		0000H
0FFB4H	IEBusスレーブ・アドレス・レジスタ	SAR		-	-		
0FFB6H	IEBus相手先アドレス・レジスタ	PAR	R	-	-		
0FFB8H	IEBusコントロール・データ・レジスタ	CDR	R/W	-		-	01H
0FFB9H	IEBus電文長レジスタ	DLR		-		-	
0FFBAH	IEBusデータ・レジスタ	DR		-		-	00H
0FFBBH	IEBusユニット・ステータス・レジスタ	USR	R			-	
0FFBCH	IEBusインタラプト・ステータス・レジスタ	ISR	R/W			-	
0FFBDH	IEBusスレーブ・ステータス・レジスタ	SSR	R			-	41H
0FFBEH	IEBus通信成功カウンタ	SCR		-		-	01H
0FFBFH	IEBus伝送カウンタ	CCR		-		-	20H

注 LOCATION 0H命令を実行した場合。 LOCATION 0FH命令を実行した場合は、この値に“F000H”を加えます。

表3 - 6 特殊機能レジスタ (SFR) 一覧 (5/6)

アドレス ^{注1}	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FFC0H	スタンバイ・コントロール・レジスタ	STBC	R/W	-	注2	-	30H
0FFC2H	ウォッチドッグ・タイマ・モード・レジスタ	WDM		-	注2	-	00H
0FFC4H	メモリ拡張モード・レジスタ	MM				-	20H
0FFC5H	ホールド・モード・レジスタ	HLDM				-	00H
0FFC6H	クロック出力モード・レジスタ	CLOM				-	
0FFC7H	プログラマブル・ウェイト制御レジスタ 1	PWC1		-		-	AAH
0FFC8H	プログラマブル・ウェイト制御レジスタ 2	PWC2		-	-		AAAAH
0FFCCH	リフレッシュ・モード・レジスタ	RFM				-	00H
0FFCDH	リフレッシュ領域指定レジスタ	RFA				-	
0FFCFH	発振安定時間指定レジスタ	OSTS		-		-	
0FFD0H- 0FFDFH	外部SFR領域	-				-	-
0FFE0H	割り込み制御レジスタ (INTP0)	PIC0				-	43H
0FFE1H	割り込み制御レジスタ (INTP1)	PIC1				-	
0FFE2H	割り込み制御レジスタ (INTP2)	PIC2				-	
0FFE3H	割り込み制御レジスタ (INTP3)	PIC3			-		
0FFE4H	割り込み制御レジスタ (INTC00)	CIC00			-		
0FFE5H	割り込み制御レジスタ (INTC01)	CIC01			-		
0FFE6H	割り込み制御レジスタ (INTC10)	CIC10			-		
0FFE7H	割り込み制御レジスタ (INTC11)	CIC11			-		
0FFE8H	割り込み制御レジスタ (INTC20)	CIC20			-		
0FFE9H	割り込み制御レジスタ (INTC21)	CIC21			-		
0FFEAH	割り込み制御レジスタ (INTC30)	CIC30			-		
0FFEBH	割り込み制御レジスタ (INTP4)	PIC4			-		
0FFECH	割り込み制御レジスタ (INTP5)	PIC5			-		
0FFEDH	割り込み制御レジスタ (INTAD)	ADIC			-		
0FFEEH	割り込み制御レジスタ (INTSER)	SERIC			-		
0FFEFH	割り込み制御レジスタ (INTSR)	SRIC			-		
	割り込み制御レジスタ (INTCSI1)	CSIIC1			-		
0FFF0H	割り込み制御レジスタ (INTST)	STIC			-		
0FFF1H	割り込み制御レジスタ (INTCSI)	CSIIC			-		
0FFF2H	割り込み制御レジスタ (INTSER2)	SERIC2			-		

注1 . LOCATION 0H命令を実行した場合。 LOCATION 0FH命令を実行した場合は、この値に“ F0000H ”を加えます。

- 2 . 書き込みは、専用の命令 MOV STBC, #byte命令およびMOV WDM, #byte命令によってのみ可能です。他の命令では、書き込みはできません。

表3 - 6 特殊機能レジスタ (SFR) 一覧 (6/6)

アドレス ^{注1}	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FFF3H	割り込み制御レジスタ (INTSR2)	SRIC2	R/W			-	43H
	割り込み制御レジスタ (INTCSI2)	CSIIC2				-	
0FFF4H	割り込み制御レジスタ (INTST2)	STIC2				-	
0FFF6H	割り込み制御レジスタ (INTIE1)	IEIC1				-	
0FFF7H	割り込み制御レジスタ (INTIE2)	IEIC2				-	
0FFF8H	割り込み制御レジスタ (INTW)	WIC				-	
0FFF9H	割り込み制御レジスタ (INTCSI3)	CSIIC3				-	
0FFFCH	内部メモリ・サイズ切り替えレジスタ ^{注2}	IMS			-	-	FFH

注1 . LOCATION 0H命令を実行した場合。 LOCATION 0FH命令を実行した場合は、この値に“ F000H ”を加えます。

2 . 本レジスタへの書き込みは、μ PD78F4938Aの場合のみ意味があります。

3.10 注意事項

(1) 内部高速RAM領域 (LOCATION 0H命令実行時: 0FD00H-0FEFFH, LOCATION 0FH命令実行時: FFD00H-FFEFFH) からのプログラム・フェッチはできません。

(2) 特殊機能レジスタ (SFR)

0FF00H-0FFFFH^注の領域内で、SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、 μ PD784938Aがデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFF00H-FFFFFH

(3) スタック・ポインタ (SP) の動作

スタック・アドレッシングでは、1 Mバイトすべての空間でアクセス可能ですが、SFR領域および内部ROM領域にスタック・エリアを確保することはできません。

(4) スタック・ポインタ (SP) の初期化

SPは、 $\overline{\text{RESET}}$ 入力により不定になります。一方、リセット解除直後でもノンマスカブル割り込みは受け付け可能です。したがって、リセット解除直後のSPが不定な状態でノンマスカブル割り込みの要求が発生すると、予期しない動作を行う場合があります。これらの危険を最小限にするために、リセット解除後のプログラムは必ず次のようにしてください。

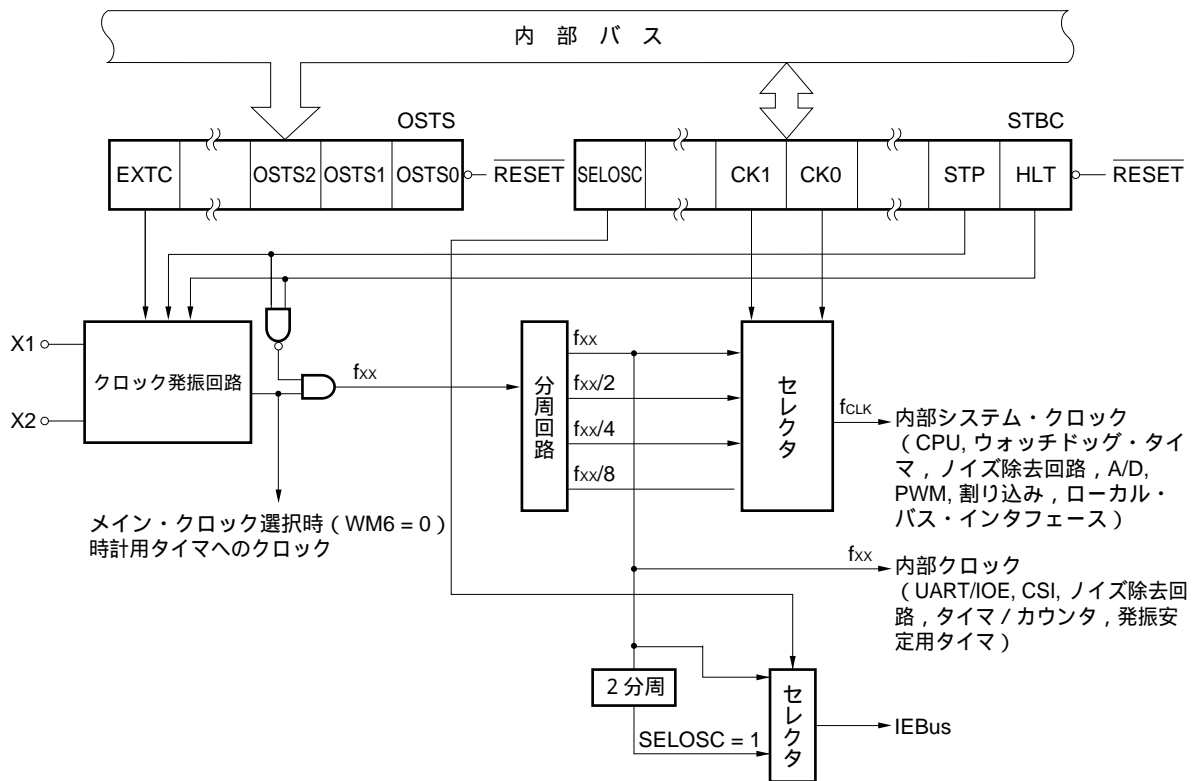
```
RSTVCT  CSEG AT 0
        DW  RSTSTRT
        }
INITSEG  CSEG BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
        MOVG SP, #STKBGN
```

第4章 クロック発生回路

4.1 構成と機能

クロック発生回路は、CPUおよび内蔵ハードウェアに供給される内部クロック、内部システム・クロックを発生、制御する回路です。図4-1に、クロック発生回路のブロック図を示します。

図4-1 クロック発生回路のブロック図



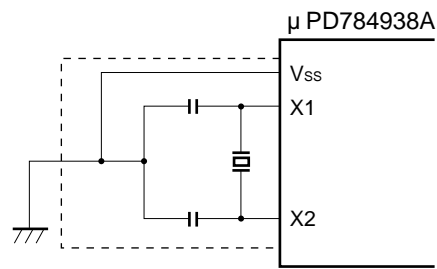
備考 fxx : クリスタル/セラミック発振周波数または内部クロック周波数

fCLK : 内部システム・クロック周波数

クロック発振回路は、X1, X2端子に接続されたクリスタル振動子/セラミック発振子によって発振します。スタンバイ・モード (STOP) に設定されると、発振を停止します (第25章 スタンバイ機能参照)。

分周回路は、クロック発振回路出力 (fxx) をスタンバイ・コントロール・レジスタ (STBC) の設定に従い、1/1, 1/2, 1/4, 1/8に分周して、内部システム・クロックを生成します。

図4 - 2 クロック発振回路の外付け回路



- 注意1**．発振回路は、できるだけX1，X2端子に近づけてください。
- 2**．破線の範囲に他の信号線を通さないでください。

備考 水晶振動子とセラミック発振子の使い分け

一般に水晶振動子の発振周波数はきわめて安定しています。したがって、高精度の時間の管理を行う場合（たとえば、時計、周波数測定など）に最適です。

また、セラミック発振子は、水晶振動子と比較すると発振周波数の安定性では劣りますが、発振開始時間が速く、小型で安価であるという3つの特徴を持っています。したがって通常の用途（高い精度の時間管理を必要としない場合）には有効です。さらに、コンデンサ内蔵品などもあり、部品点数、実装面積の削減に効果があります。

4.2 制御レジスタ

4.2.1 スタンバイ・コントロール・レジスタ (STBC)

STBCは、スタンバイ・モードの設定と、内部システム・クロックを選択するためのレジスタです。スタンバイ・モードの詳細については、第25章 **スタンバイ機能**を参照してください。

プログラムの暴走によって誤ってスタンバイ・モードに入らないように、専用命令によってのみ書き込みができます。この専用命令は、MOV STBC, #byte命令で特殊なコード構成(4バイト)になっています。3バイト目と4バイト目のオペコードが互いに補数の場合のみ、書き込みが行われます。3バイト目と4バイト目のオペコードが互いに補数になっていない場合は、書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

オペランド・エラー割り込みは、プログラムが暴走している場合にのみ発生する(NEC製アセンブラRA78K4では、MOV STBC, #byteと記述された場合、正しい専用命令しか生成しません)ので、オペランド・エラー割り込みの処理プログラムではシステムの初期化を行うようにしてください。

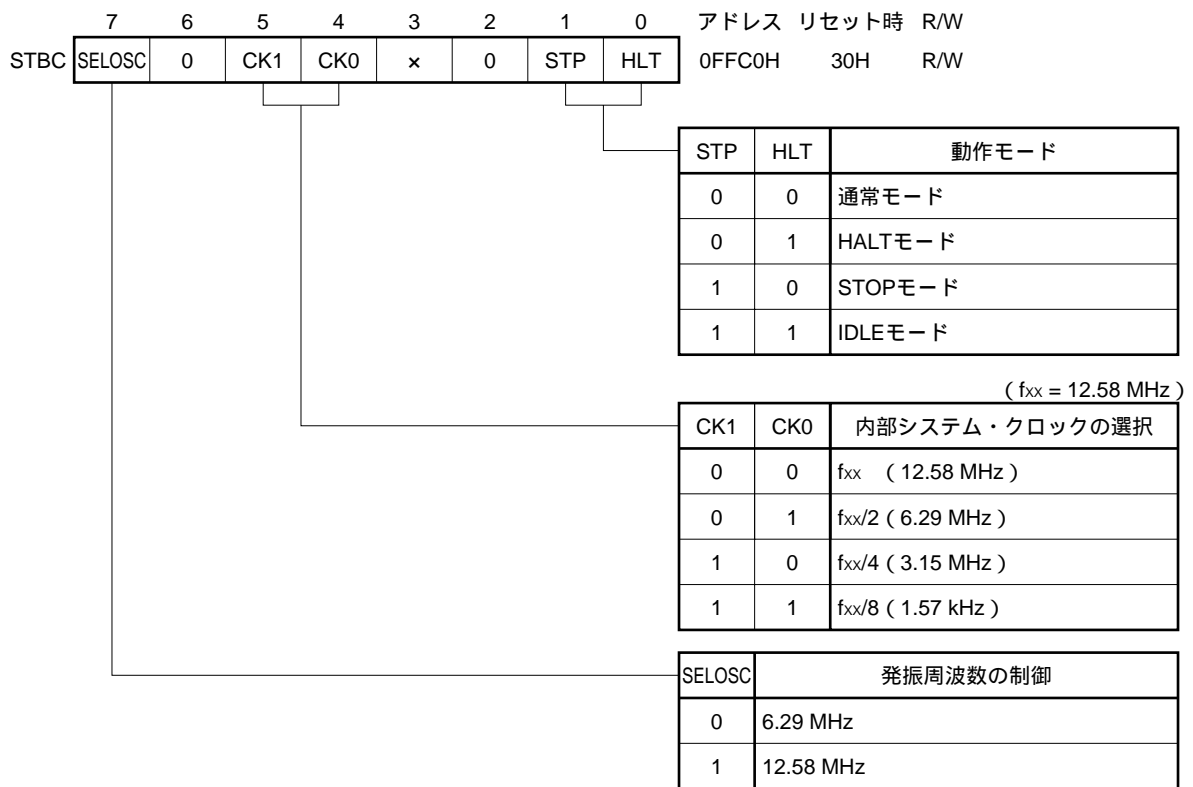
他の書き込み命令(MOV STBC, AやAND STBC, #byteやSET1 STBC.7など)は無視され、何の動作も行いません。すなわち、STBCへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。STBCの読み出しは、データ転送命令によりいつでもできます。

STBCは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により30Hになります。

図4-3に、STBCのフォーマットを示します。

図4 - 3 スタンバイ・コントロール・レジスタ (STBC) のフォーマット



注意 1 . SELOSCビットは、次の設定を行ったあと書き換えてください。

- ・ IEBusを停止 (バス・コントロール・レジスタ (BCR) のビット7を“0”に設定)
- ・ メイン・クロックを選択して時計用タイマを動作させている場合は、時計用タイマを停止 (時計用タイマ・モード・レジスタ (WM) のビット3を“0”に設定)

2 . 上記の設定を行わない場合、IEBus, 時計用タイマが誤作動する恐れがあります。

4.2.2 発振安定時間指定レジスタ (OSTS)

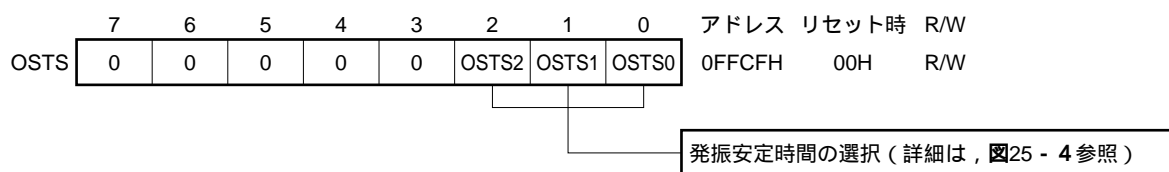
OSTSは、発振安定時間の選択をするレジスタです。

OSTSは、8ビット転送命令によって書き込みのみが可能です。

RESET 入力により00Hになります。

図4 - 4に、OSTSのフォーマットを示します。

図4 - 4 発振安定時間指定レジスタ (OSTS) のフォーマット



注意 レギュレータ使用時 (第5章 レギュレータ参照) は、レギュレータ出力安定時間を考慮し、10.4 ms以上の値を設定してください。

4.3 クロック発生回路の動作

4.3.1 クロック発振回路

クロック発振回路は、 $\overline{\text{RESET}}$ 入力により発振を開始します。スタンバイ・コントロール・レジスタ (STBC) によりSTOPモードに設定されると発振を停止します。STOPモードが解除されると発振を再開します。

4.3.2 分周回路

分周回路は、クロック発振回路からの出力を1/1, 1/2, 1/4, 1/8に分周し、CPU、ウォッチドッグ・タイマ、ノイズ除去回路、クロック同期式シリアル・インタフェース (CSI)、A/Dコンバータ、PWM、割り込み制御回路、ローカル・バス・インタフェースに供給します。分周比は、スタンバイ・コントロール・レジスタ (STBC) のCK0, CK1ビットで指定します。

CPUの必要なスピードに応じて分周比を制御することにより、総合的な消費電力を低減することができます。また、電源電圧に応じた動作速度を選択することができます。

$\overline{\text{RESET}}$ 入力により、最低速 (1/8) が選択されます。

分周回路の分周比を変更した場合、変更前に選択していたクロックに応じて最大で表4-1に示す時間が分周比の変更に必要になります。

なお、分周比の変更中も命令の実行などは継続して行われ、変更が終了するまでは変更前の分周比でクロックが供給されます。

表4-1 分周比の変更に必要な時間

変更前の分周比	変更に必要な最大時間
分周なし	$11/f_{xx}$
1/2	$12/f_{xx}$
1/4	$8/f_{xx}$
1/8	$8/f_{xx}$

4.4 注意事項

クロック発生回路には、次のような注意事項があります。

4.4.1 クリスタル/セラミック発振の場合

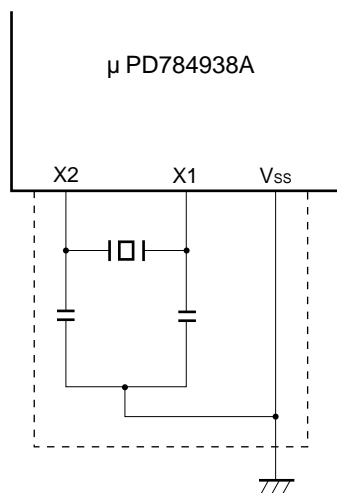
(1) 発振回路は高周波のアナログ回路となりますので、十分に注意を払ってください。

特に注意しなければならない点について次に例をあげます。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}端子と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路部から信号を取り出さない。

発振が正常に安定して行われないと、マイコンも正常に安定した動作を行うことができません。また、高精度な発振周波数を得たい場合などは、発振器メーカーとご相談することを推奨します。

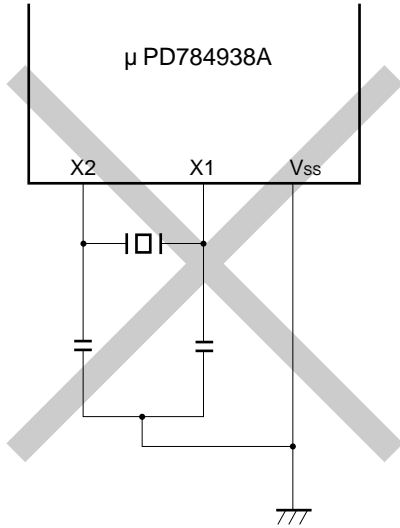
図4-5 発振子の接続の注意点



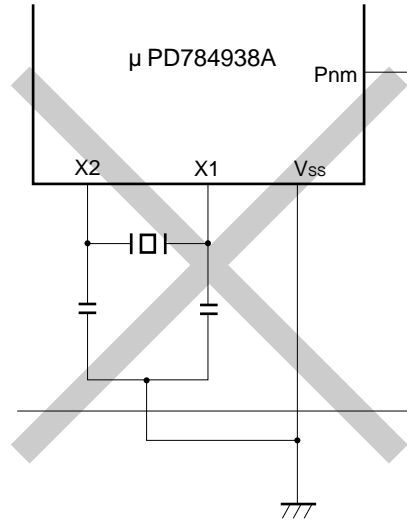
- 注意1．発振回路は、X1，X2端子にできるだけ近づけてください。
- 2．破線の範囲に他の信号線を通さないでください。

図4-6 発振子の接続の悪い例

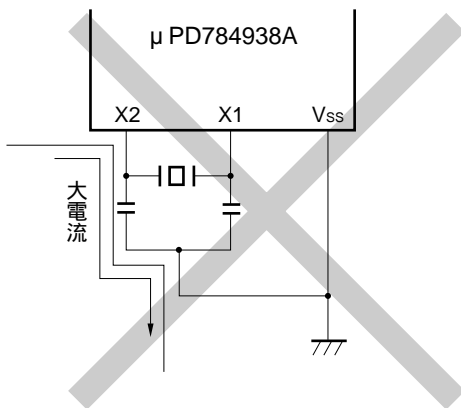
(a) 接続回路の配線が長い



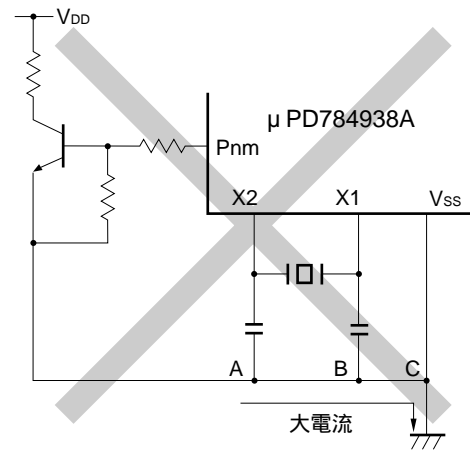
(b) 信号線が交差している



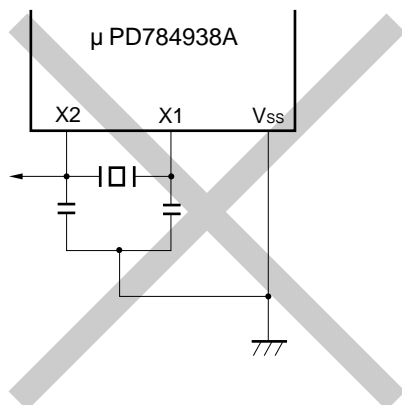
(c) 変化する大電流が信号線を
近接している



(d) 発振回路のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



(2) パワーオン時およびSTOPモードからの復帰時には発振が安定になるまでの時間を確保する必要があります。一般に水晶振動子を使用した場合、数msec、セラミック発振子を使用した場合、数百 μ secの時間が発振を安定させるために必要です。

発振の安定時間は下記のように決定されますので、これらによって十分な時間を確保してください。

パワーオン時 : $\overline{\text{RESET}}$ 入力(リセット期間)

STOPモードからの復帰時:

(i) $\overline{\text{RESET}}$ 入力(リセット期間)

(ii) NMI, INTP4, INTP5 信号^注の有効エッジで自動的にスタートする発振安定用タイマの時間
(発振安定時間指定レジスタ(OSTS)で設定)

注 INTP4, INTP5 については、マスクが解除されていて、マクロ・サービスが禁止されている場合

第5章 レギュレータ

5.1 レギュレータの概要

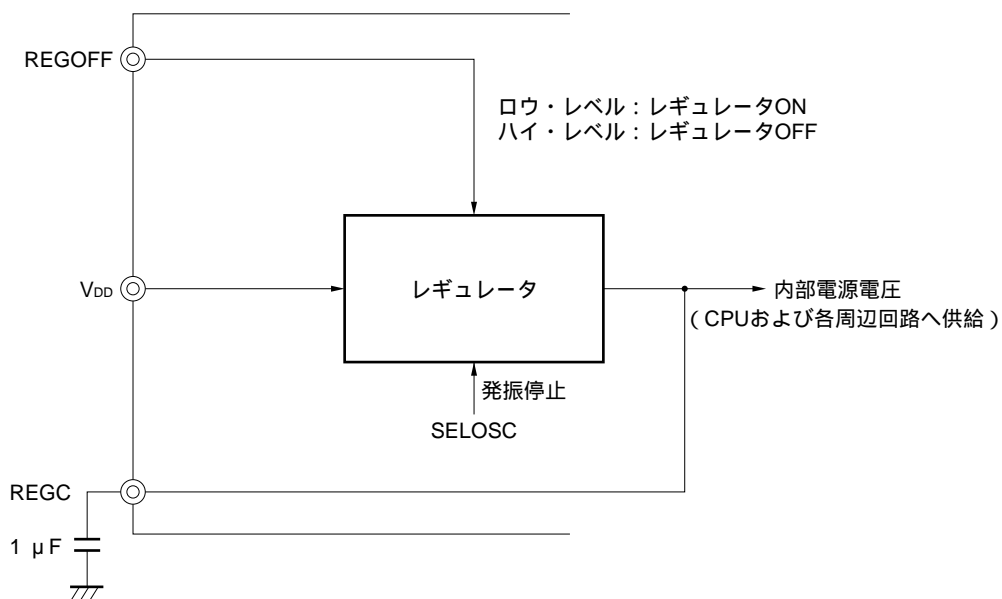
μPD784938Aは、デバイスの消費電力を低減するレギュレータ（内部を低電圧動作させるための回路）を内蔵しています。このレギュレータの動作/停止の切り替えは、REGOFF端子の入力レベルで指定して行います。REGOFF端子にハイ・レベルを入力するとOFFし、ロウ・レベルを入力するとONします。

レギュレータをONにすると、低消費電力動作が可能となります。μPD784938Aでは、レギュレータ選択による動作を推奨します。

このときレギュレータ出力電圧を安定させるためにREGC端子（レギュレータ安定用容量接続端子）にはレギュレータ安定用容量（1 μF程度）のコンデンサを介してGNDに接続してください。

なお、レギュレータ停止時は、REGC端子にV_{DD}と同一レベルを印加してください。図5 - 1にレギュレータ周辺のブロック図を示します。

図5 - 1 レギュレータ周辺のブロック図



・REGC端子の処理

レギュレータ動作時	レギュレータ安定用容量を接続
レギュレータ停止時	電源電圧を供給

注意 ストップ・モード解除時の発振安定時間は、レギュレータ出力安定時間を考慮して発振安定時間指定レジスタ (OSTS) により、10.4 ms以上の値を設定してください (第25章 スタンバイ機能を参照)。

備考 SELOSC: スタンバイ・コントロール・レジスタ (STBC) のビット7

第6章 ポート機能

6.1 デジタル入出力ポート

μPD784938Aは図6-1のようなポートを備えており、多様な制御ができます。各ポートの機能は表6-1のとおりです。ポート0からポート6，ポート9，ポート10は，入力時に，内蔵プルアップ抵抗の使用をソフトウェアで指定できます。

図6-1 ポートの構成

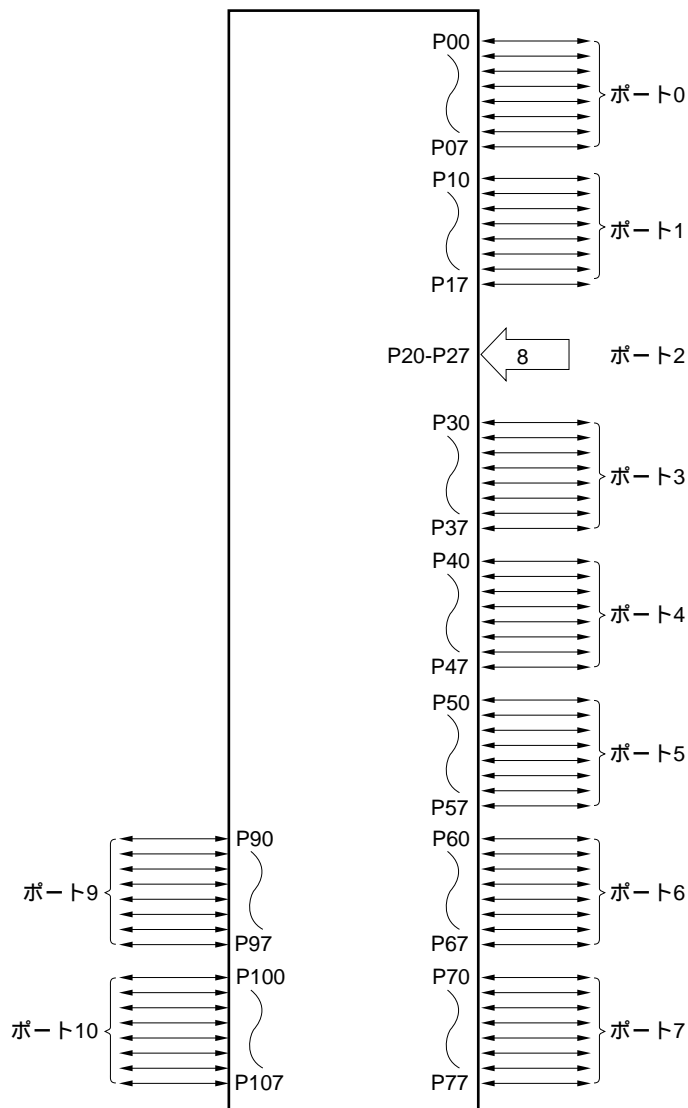


表6 - 1 ポートの機能

ポート名	端子名称	機 能	ソフトウェア・プルアップの指定
ポート0	P00-P07	<ul style="list-style-type: none"> ・ 1ビット単位で入力か出力に指定可能 ・ 4ビット・リアルタイム出力ポートとしても動作可能 (P00-P03, P04-P07) ・ トランジスタ駆動可能 	入力モードの端子について一括して指定
ポート1	P10-P17	<ul style="list-style-type: none"> ・ 1ビット単位で入力か出力に指定可能 ・ LED 駆動可能 	
ポート2	P20-P27	<ul style="list-style-type: none"> ・ 入力ポート 	6ビット単位 (P22-P27)
ポート3	P30-P37	<ul style="list-style-type: none"> ・ 1ビット単位で入力か出力に指定可能 ・ P32/$\overline{\text{SCK0}}$端子とP33/SO0端子は, N-chオープン・ドレインに設定可能 	入力モードの端子について一括して指定
ポート4	P40-P47	<ul style="list-style-type: none"> ・ 1ビット単位で入力か出力に指定可能 ・ LED 駆動可能 	
ポート5	P50-P57	<ul style="list-style-type: none"> ・ 1ビット単位で入力か出力に指定可能 ・ LED 駆動可能 	
ポート6	P60-P67	<ul style="list-style-type: none"> ・ 1ビット単位で入力か出力に指定可能 	
ポート7	P70-P77	<ul style="list-style-type: none"> ・ 1ビット単位で入力か出力に指定可能 	-
ポート9	P90-P97	<ul style="list-style-type: none"> ・ 1ビット単位で入力か出力に指定可能 	入力モードの端子について一括して指定
ポート10	P100-P107	<ul style="list-style-type: none"> ・ 1ビット単位で入力か出力に指定可能 ・ P105/$\overline{\text{SCK3}}$端子とP107/SO3端子は, N-chオープン・ドレインに設定可能 	

表6 - 2 入出力ポート数

入出力 ポート	合 計	入 力 時		
		ソフトウェア・プルアップ抵抗	LEDダイレクト・ドライブ	トランジスタ・ダイレクト・ドライブ
入力ポート	8	6	-	-
入出力ポート	72	64	24	0
出力ポート	0	-	0	8
合 計	80	70	24	8

6.2 ポート0

ポート0は、出力ラッチ付き8ビット入出力ポートで、トランジスタのダイレクト・ドライブが可能です。ポート0モード・レジスタ (PM0) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

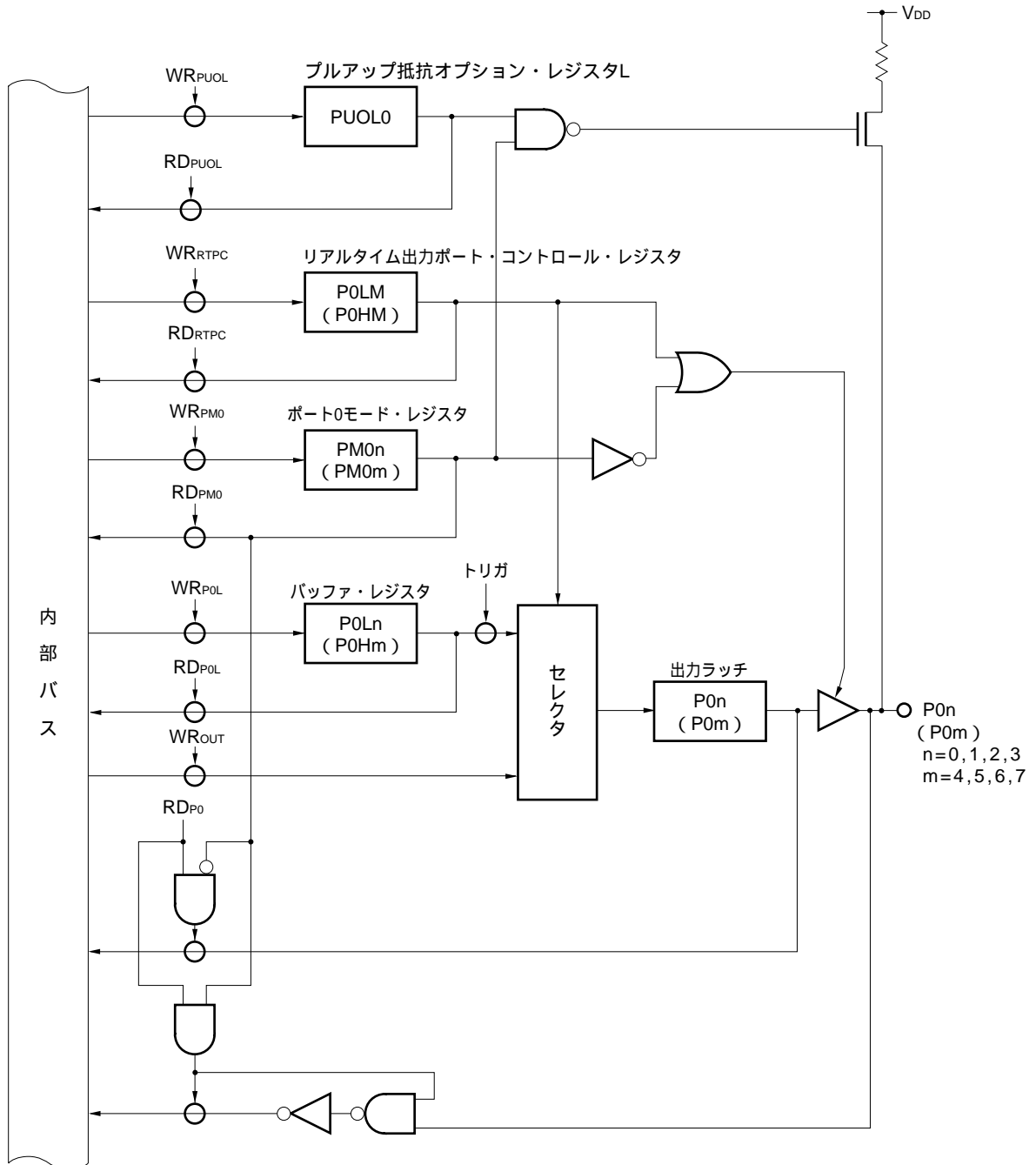
P00-P03, P04-P07はそれぞれ4ビット、または8ビットのリアルタイム出力ポートとして、バッファ・レジスタ (POL, POH) の内容を任意のインターバル時間で出力できます。通常の入出力ポートかリアルタイム出力ポートかの選択は、リアルタイム出力ポート・コントロール・レジスタ (RTPC) で行います。

$\overline{\text{RESET}}$ 入力により入力ポート (出力ハイ・インピーダンス状態) となり、出力ラッチの内容は不定になります。

6.2.1 ハードウェア構成

図6-2に、ポート0のハードウェア構成を示します。

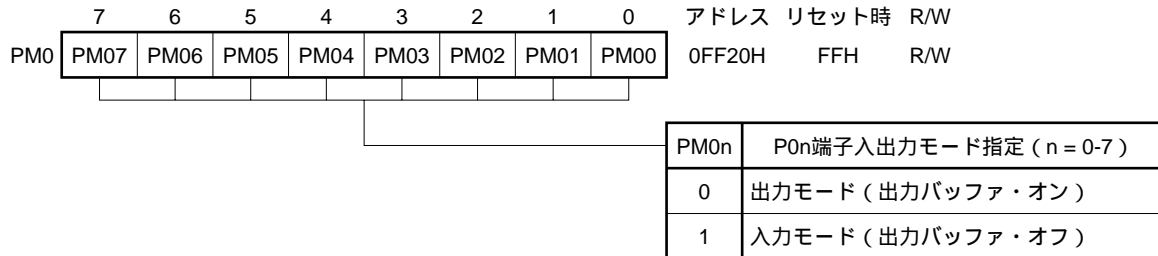
図6-2 ポート0のブロック図



6.2.2 入出力モード/コントロール・モードの設定

ポート0の入出力モードは、図6-3のように、ポート0モード・レジスタ (PM0) により設定します。

図6-3 ポート0モード・レジスタ (PM0) のフォーマット



リアルタイム出力ポートとして使用する場合は、リアルタイム出力ポート・コントロール・レジスタ (RTPC) のP0LM, P0HMの各ビットをセット (1) します。

なお、P0LM, P0HMをセットすると、PM0の内容にかかわらず、それぞれの端子の出力バッファがオンし、出力ラッチの内容が端子に出力されます。

6.2.3 動作状態

ポート0は、入出力ポートです。

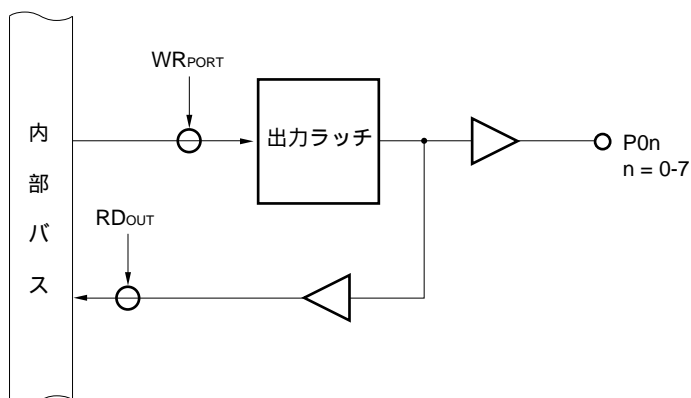
(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む[※]まで保持されます。

リアルタイム出力ポートに指定されているポートの出力ラッチへは、書き込みはできません。しかし、リアルタイム出力ポート・モードに設定されていても出力ラッチの内容は読み出すことができます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

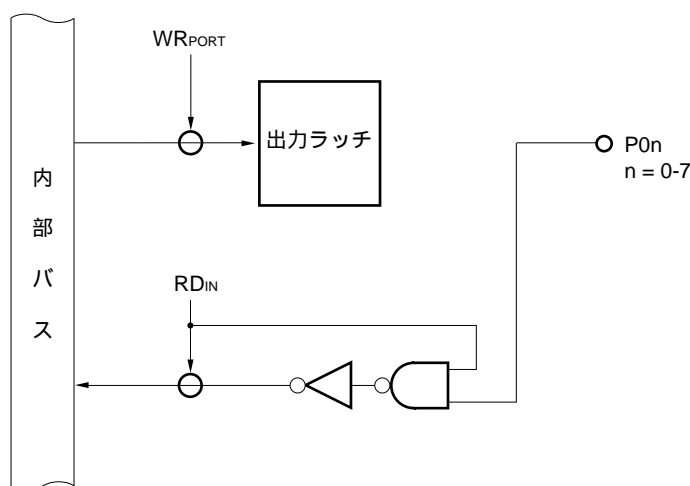
図6-4 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令などでアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図6-5 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

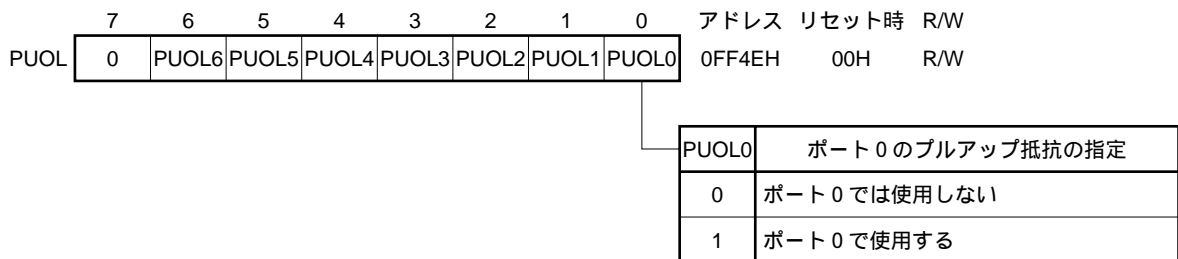
また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

6.2.4 内蔵プルアップ抵抗

ポート0は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

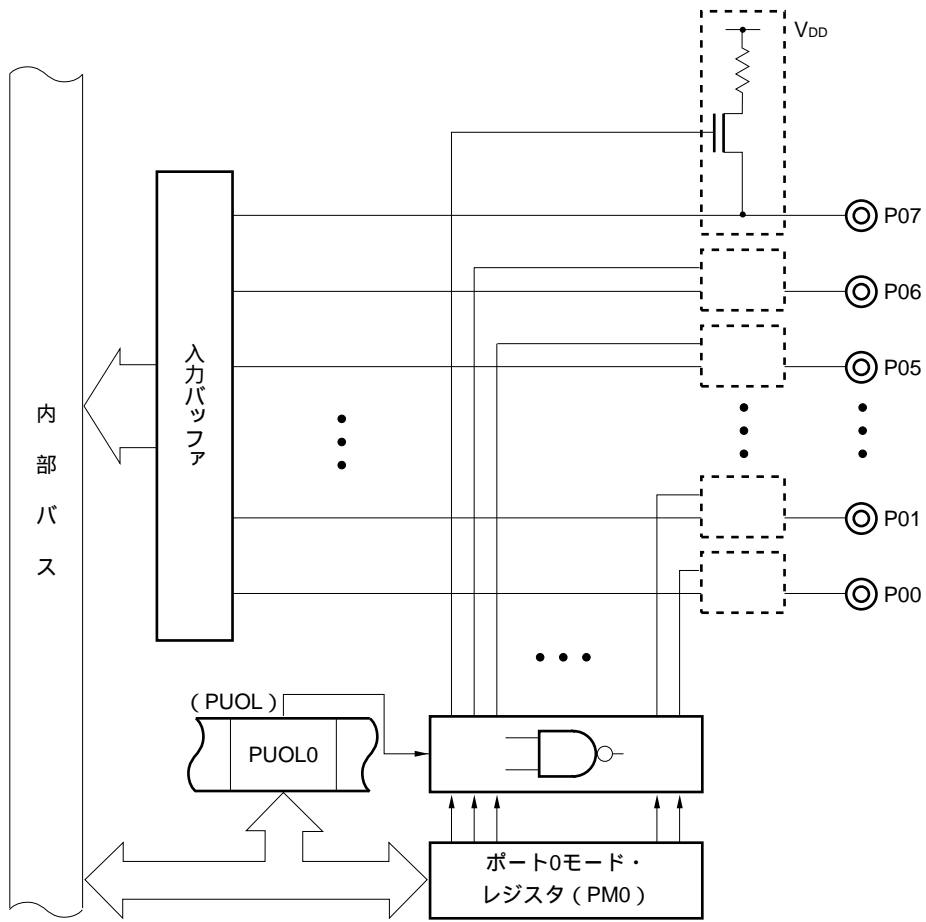
内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタL (PUOL) のPUOL0とポート0モード・レジスタ (PM0) で、端子ごとに指定できます。PUOL0が1のとき、PM0で入力を指定した (PM0n = 1, n = 0-7) 端子の内蔵プルアップ抵抗が有効になります。

図6-6 プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット



備考 STOPモードに入る場合、消費電流を低減するために、PUOLに00Hを設定することが有効です。

図6-7 プルアップ抵抗の指定(ポート0)

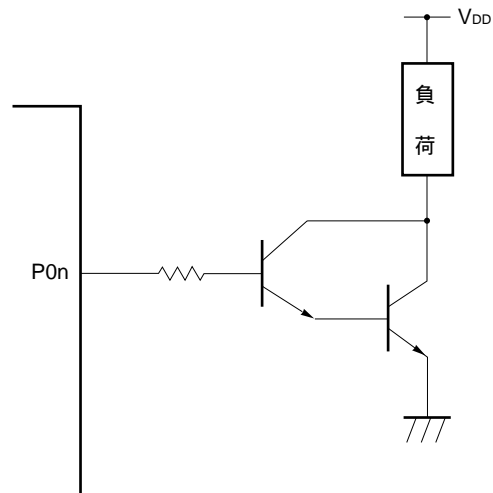


6.2.5 トランジスタのドライブ

ポート0は、出力バッファのハイ・レベル側のドライブ能力を強化しているため、ハイ・アクティブでトランジスタを直接にドライブすることができます。

図6 - 8 に接続例を示します。

図6 - 8 トランジスタのドライブ例



6.3 ポート1

ポート1は、出力ラッチ付き8ビット入出力ポートです。ポート1モード・レジスタ(PM1)により、1ビット単位で入力/出力の指定ができます。各端子にプログラマブル・プルアップ抵抗を内蔵しています。また、LEDのダイレクト・ドライブが可能です。

P10-P14は、入出力ポートとしての機能以外に、シリアル・インタフェース用端子としての機能を兼用しています。動作モードは、ポート1モード・コントロール・レジスタ(PMC1)により、表6-3のように1ビット単位に指定できます。いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みまたはテストが可能です。

$\overline{\text{RESET}}$ 入力により、入力ポート(出力ハイ・インピーダンス状態)となり、出力ラッチの内容は不定となります。

表6-3 ポート1の動作モード

端子名称	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P10, P11	入出力ポート	-	-
P12		ASCK2入出力/ $\overline{\text{SCK2}}$ 入出力	PMC1のPMC12ビットをセット(1)
P13		RxD2入力/SI2入力	PMC1のPMC13ビットをセット(1)
P14		TxD2出力/SO2出力	PMC1のPMC14ビットをセット(1)
P15-P17		-	-

6.3.1 ハードウェア構成

図6 - 9 - 図6 - 12に、ポート1のハードウェア構成を示します。

図6 - 9 P12 (ポート1) のブロック図

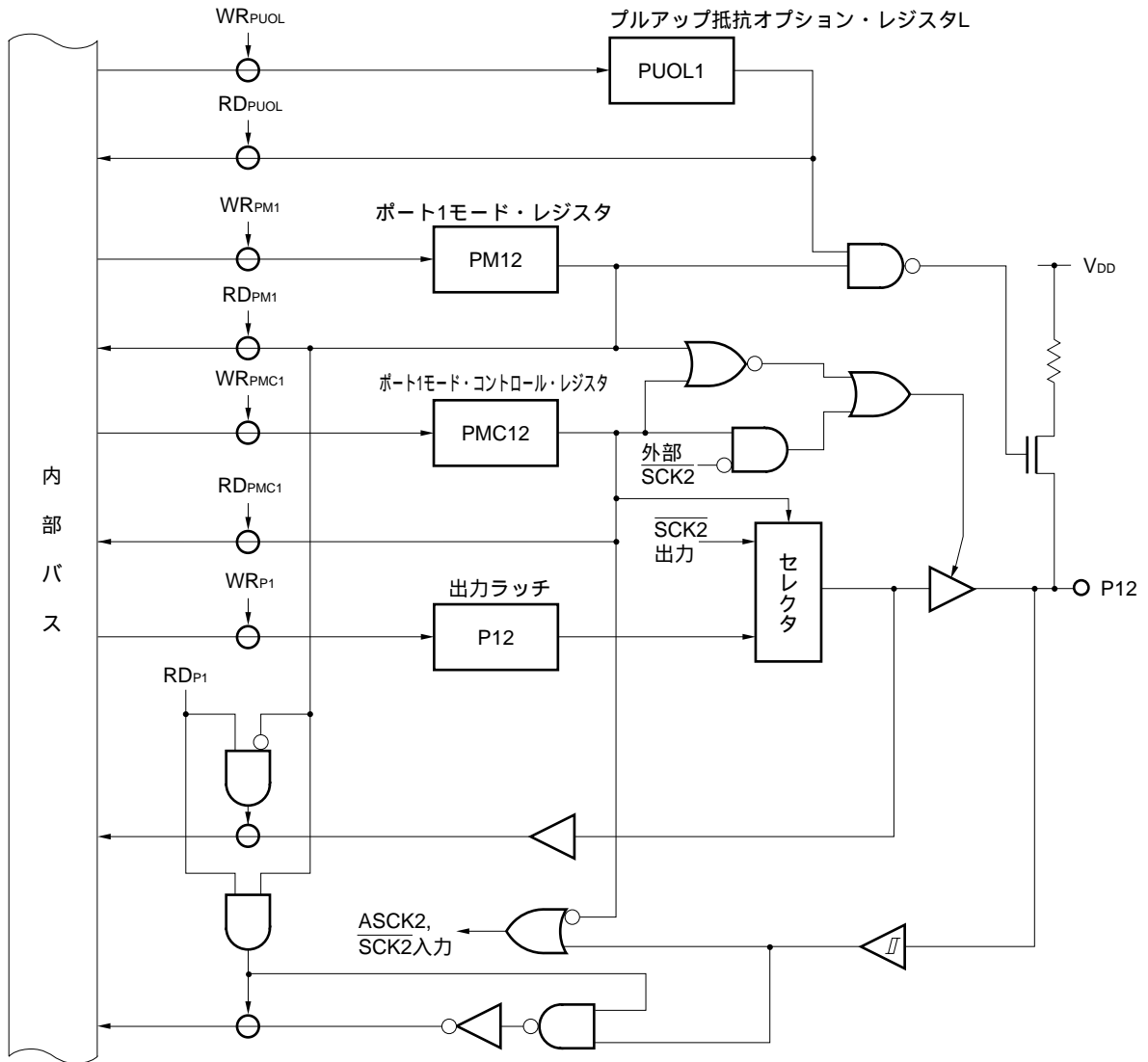


図6-10 P13 (ポート1) のブロック図

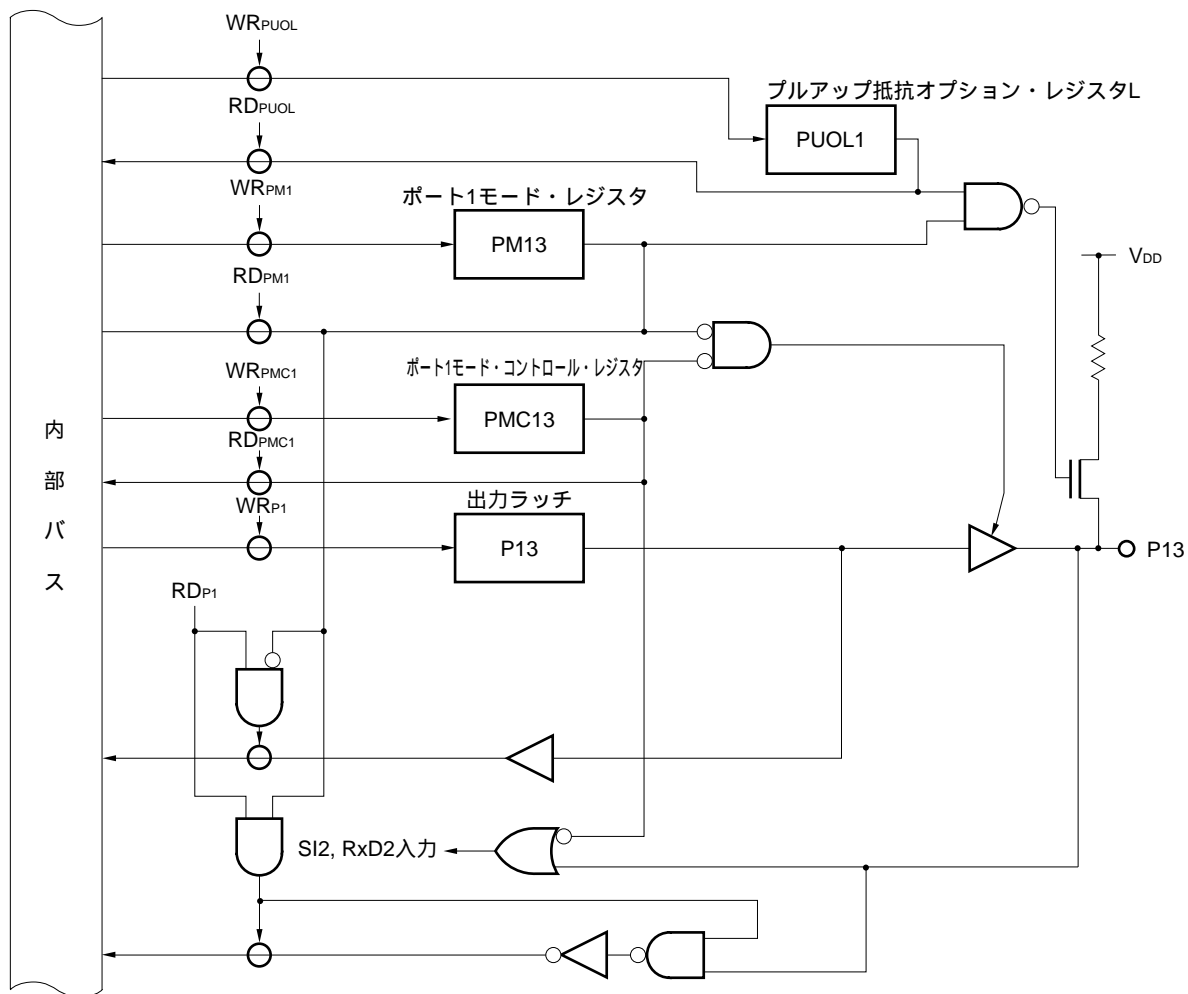


図6-11 P14 (ポート1) のブロック図

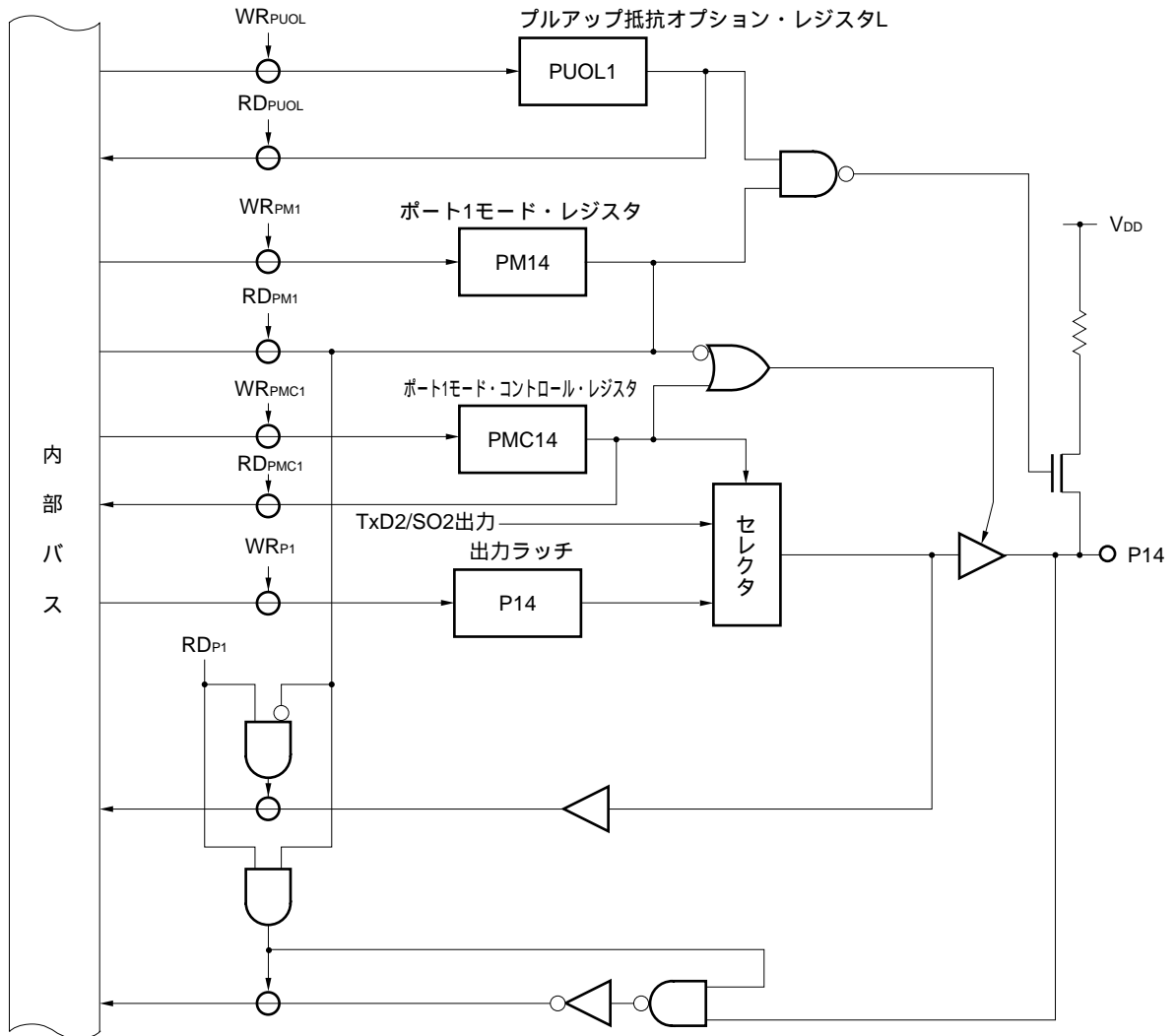
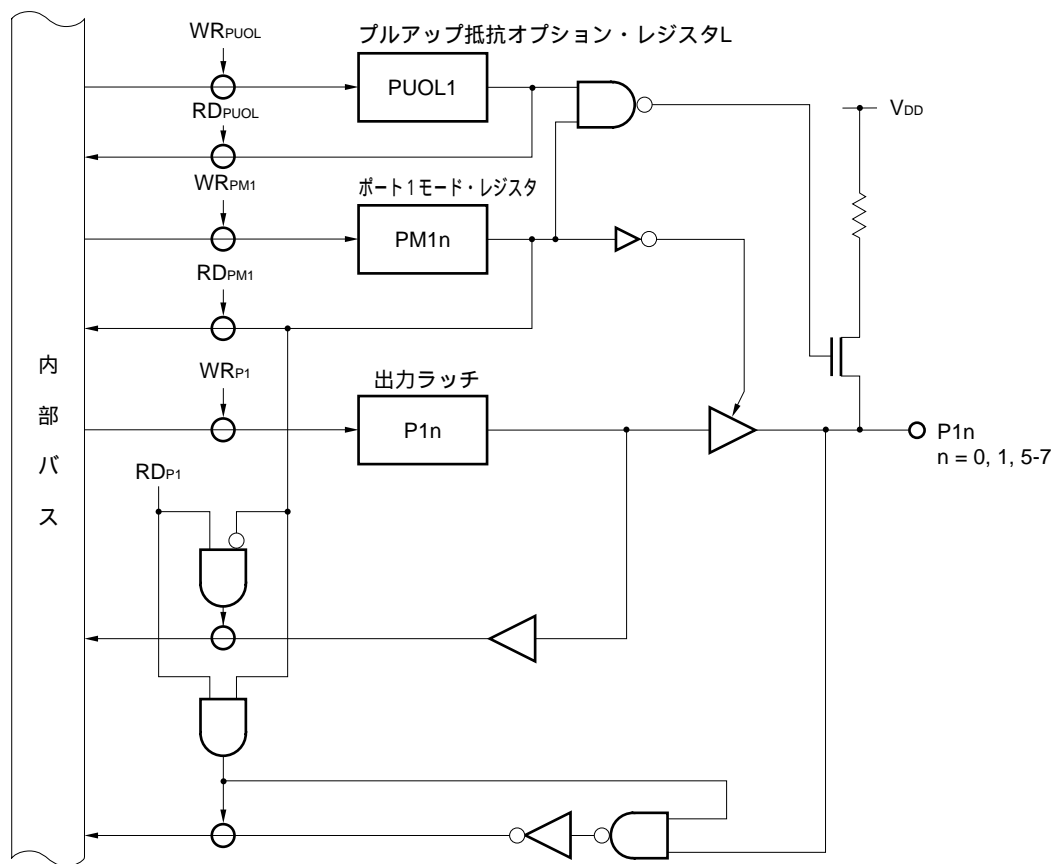


図6 - 12 P10, P11, P15-P17 (ポート1) のブロック図



6.3.2 入出力モード/コントロール・モードの設定

ポート1の入出力モードは、図6-13のように、端子ごとにポート1モード・レジスタ (PM1) により設定します。

P12-P14は、入出力ポートとしての機能のほかに、シリアル・インタフェース用端子としての機能を兼用しており、図6-14のようにポート1モード・コントロール・レジスタ (PMC1) により、コントロール・モードを指定します。

図6-13 ポート1モード・レジスタ (PM1) のフォーマット

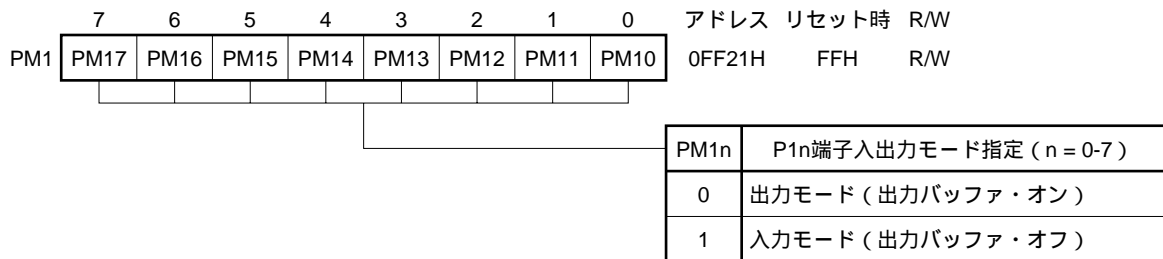
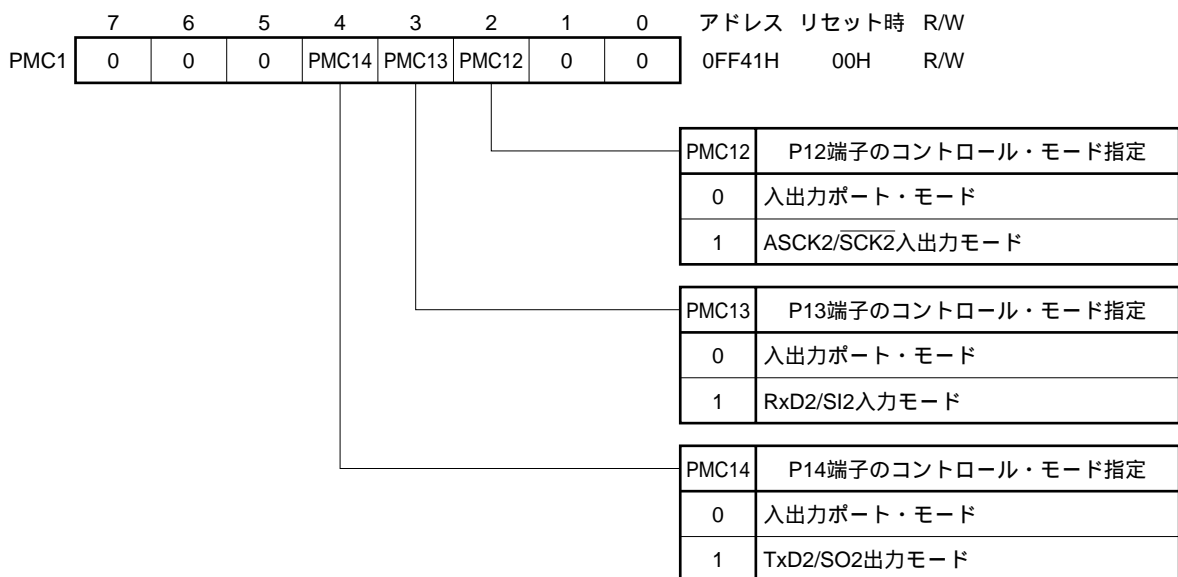


図6-14 ポート1モード・コントロール・レジスタ (PMC1) のフォーマット



6.3.3 動作状態

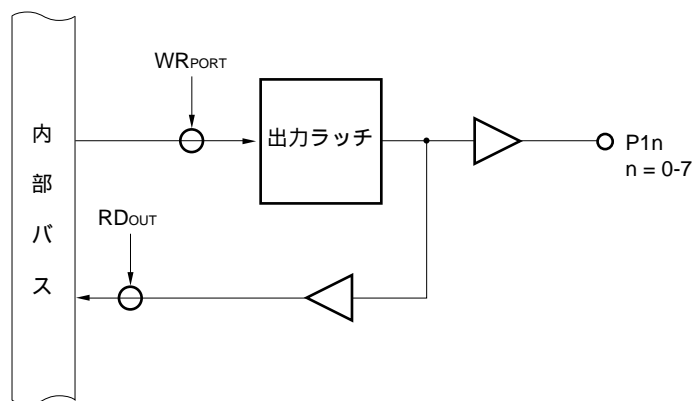
ポート1は、入出力ポートで、P12-P14端子はシリアル・インタフェース用端子を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込むまで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

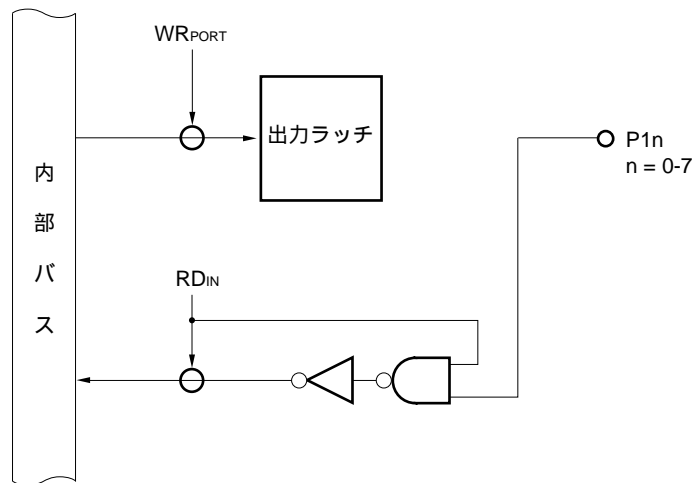
図6-15 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令などでアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図6-16 入力ポート指定のポート



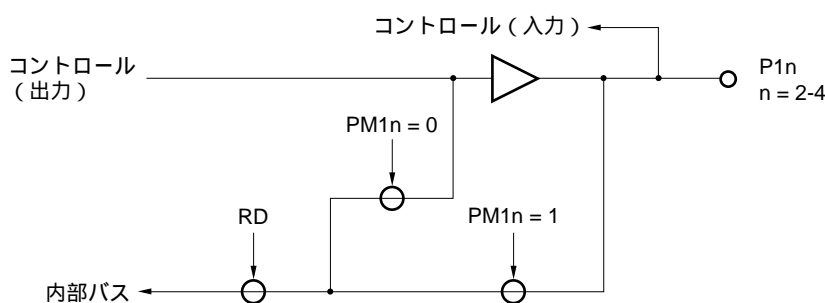
注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力やポート・モードとコントロール・モードが混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1、CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) コントロール信号入出力に指定された場合

P12-P14は、ポート1モード・コントロール・レジスタ (PMC1) のビットをセット (1) することにより、ポート1モード・レジスタ (PM1) の設定にかかわらず、1ビット単位にコントロール信号の入力あるいは出力として使用することができます。各端子をコントロール信号として使用する場合、ポートの読み出し命令を実行することにより、コントロール信号の状態をみることができます。

図6-17 コントロール指定の場合

**(a) ポートがコントロール信号出力の場合**

ポート1モード・レジスタ (PM1) がセット (1) されている場合、ポートの読み込み命令を実行すると、コントロール信号端子のレベルを読み込むことができます。

PM1がリセット (0) されている場合、ポートの読み込み命令を実行すると、 μ PD784938A内のコントロール信号の状態を読み込むことができます。

(b) ポートがコントロール信号入力の場合

ポート1モード・レジスタ (PM1) がセット (1) されている場合のみ、ポートの読み込み命令を実行すると、コントロール信号端子のレベルを読み込むことができます。

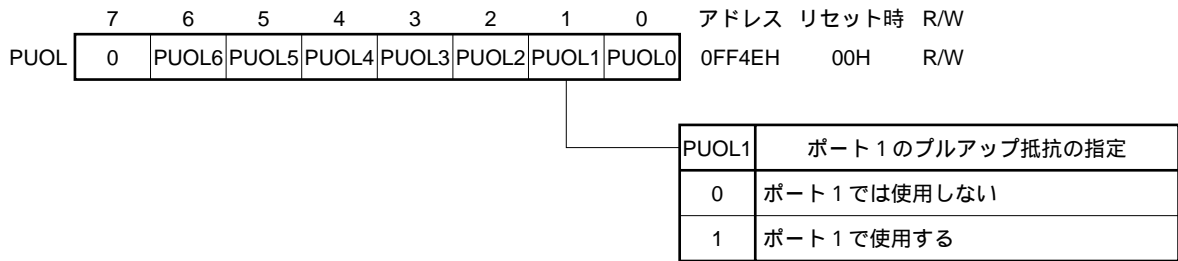
6.3.4 内蔵プルアップ抵抗

ポート1は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタL (PUOL) のPUOL1とポート1モード・レジスタ (PM1) で、端子ごとに指定できます。PUOL1が1のとき、PM1で入力を指定した (PM1n = 1, n = 0-7) 端子の内蔵プルアップ抵抗が有効になります。

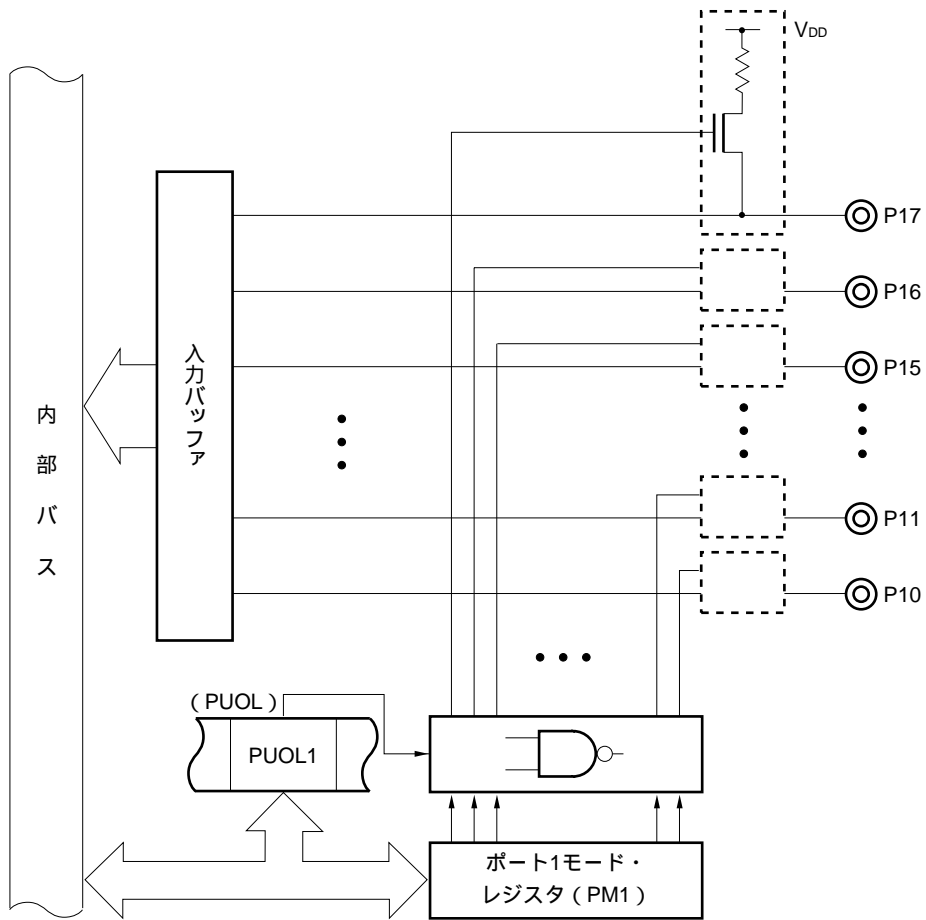
また、コントロール信号出力に指定された端子でも、プルアップ抵抗を使用する指定は有効になります (コントロール信号出力端子となる端子にも、プルアップ抵抗が接続されます)。したがって、コントロール信号出力端子にプルアップ抵抗を接続したくない場合には、PM1の対応するビットの内容を0 (出力モード) にしてください。

図6-18 プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット



備考 STOPモードに入る場合、消費電流を低減するために、PUOLに00Hを設定することが有効です。

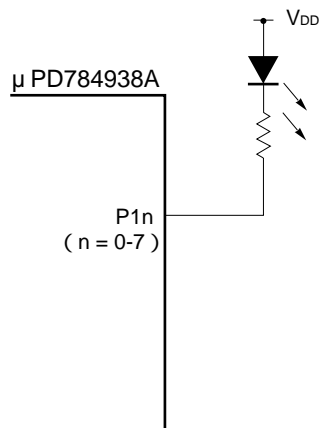
図6 - 19 プルアップ抵抗の指定 (ポート1)



6.3.5 LEDのダイレクト・ドライブ

ポート1は、LEDをアクティブ・ロウでダイレクトにドライブできるように出力バッファのロウ・レベル側のドライブ能力を強化してあります。図6 - 20に、その使用例を示します。

図6 - 20 LEDのダイレクト・ドライブ例



6.4 ポート2

ポート2は、8ビット入力専用ポートです。P22-P27には、ソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。入力ポートとして動作する以外に外部割り込み信号端子などの制御信号入力端子としても動作します（表6-4参照）。また、8端子とも、ノイズによる誤動作を防ぐためシュミット・トリガ入力になっています。

表6-4 ポート2の動作モード

端子名称	機能
P20	入力ポート/NMI入力 ^注
P21	入力ポート/INTP0入力/CR11キャプチャ・トリガ入力/ タイマ/イベント・カウンタ1カウント・クロック/リアルタイム出力ポートのトリガ信号
P22	入力ポート/INTP1入力/CR22キャプチャ・トリガ入力
P23	入力ポート/INTP2入力/CI 入力
P24	入力ポート/INTP3入力/CR02キャプチャ・トリガ入力/ タイマ/イベント・カウンタ0カウント・クロック
P25	入力ポート/INTP4入力/ASCK入力/ $\overline{\text{SCK1}}$ 入出力
P26	入力ポート/INTP5入力/A/Dコンバータ外部トリガ入力
P27	入力ポート/SIO入力

注 NMI 入力は、割り込み許可/禁止状態にかかわらず受け付けます。

(a) ポート端子としての機能

兼用端子の動作にかかわらず、常に端子レベルの読み込み、あるいはテストが可能です。

(b) 制御信号入力端子としての機能

(i) NMI (Non-maskable Interrupt)

外部ノンマスクابل割り込み要求入力端子です。外部割り込みモード・レジスタ0 (INTM0) により、立ち上がりエッジ検出、または立ち下がりエッジ検出に指定できます。

(ii) INTP0-INTP5 (Interrupt from Peripherals)

外部割り込み要求入力端子です。INTP0-INTP5端子に外部割り込みモード・レジスタ0, 1 (INTM0, INTM1) で指定された有効エッジが検出されると、割り込みを発生します（第22章 エッジ検出機能参照）。

また、INTP0-INTP3, INTP5は次のように各種機能の外部トリガ入力端子としても使用します。

- ・ INTP0 タイマ/イベント・カウンタ1のキャプチャ・トリガ入力端子
外部カウント・クロック入力端子
リアルタイム出力ポートのトリガ入力端子
- ・ INTP1 タイマ/イベント・カウンタ2のキャプチャ・レジスタ (CR22) へのキャ
プチャ・トリガ入力端子
- ・ INTP2 タイマ/イベント・カウンタ2の外部カウント・クロック入力端子
キャプチャ/コンペア・レジスタ (CR21) へのキャプチャ・トリガ入力端
子
- ・ INTP3 タイマ/イベント・カウンタ0のキャプチャ・トリガ入力端子
タイマ/イベント・カウンタ0の外部カウント・クロック入力端子
- ・ INTP5 A/Dコンバータの外部トリガ入力端子

(iii) CI (Clock Input)

タイマ/イベント・カウンタ2の外部クロック入力端子です。

(iv) ASCK (Asynchronous Serial Clock)

外部ポー・レート・クロック入力端子です。

(v) $\overline{\text{SCK1}}$ (Serial Clock1)

シリアル・クロック入出力端子 (3線式シリアルI/O1モード時) です。

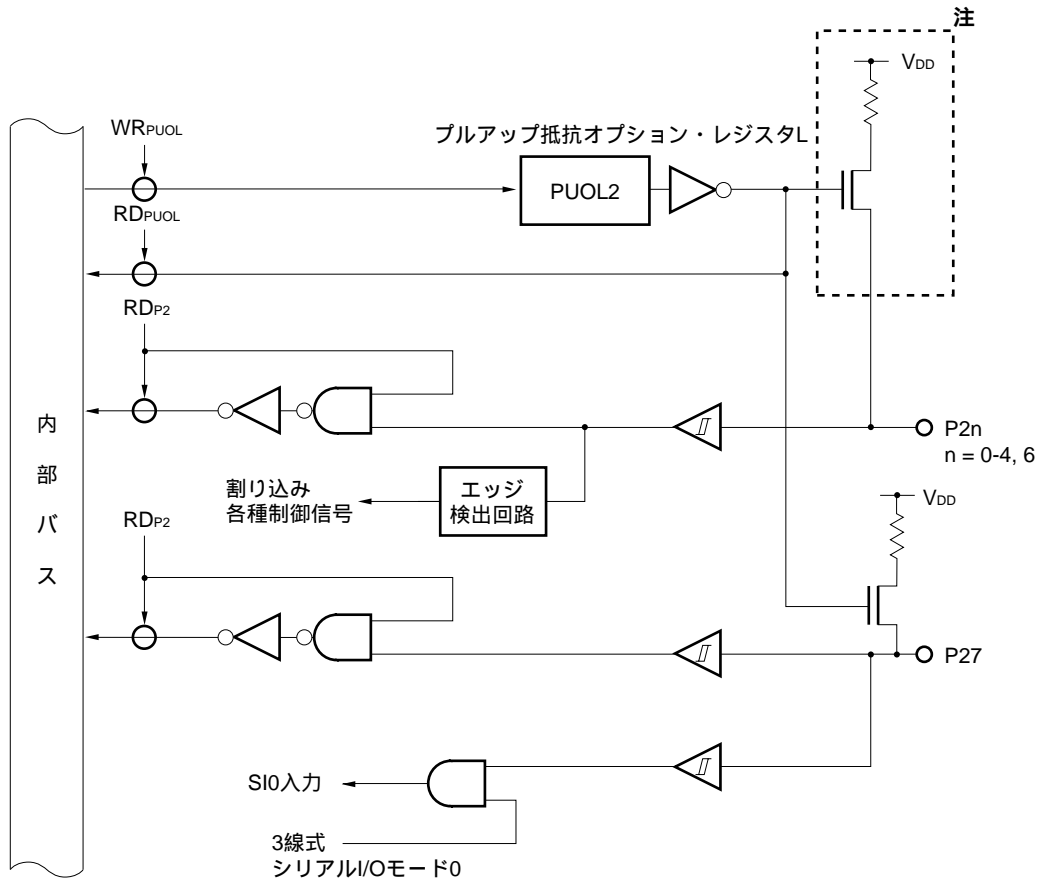
(vi) SI0 (Serial Input0)

シリアル・データ入力端子 (3線式シリアルI/O0モード時) です。

6.4.1 ハードウェア構成

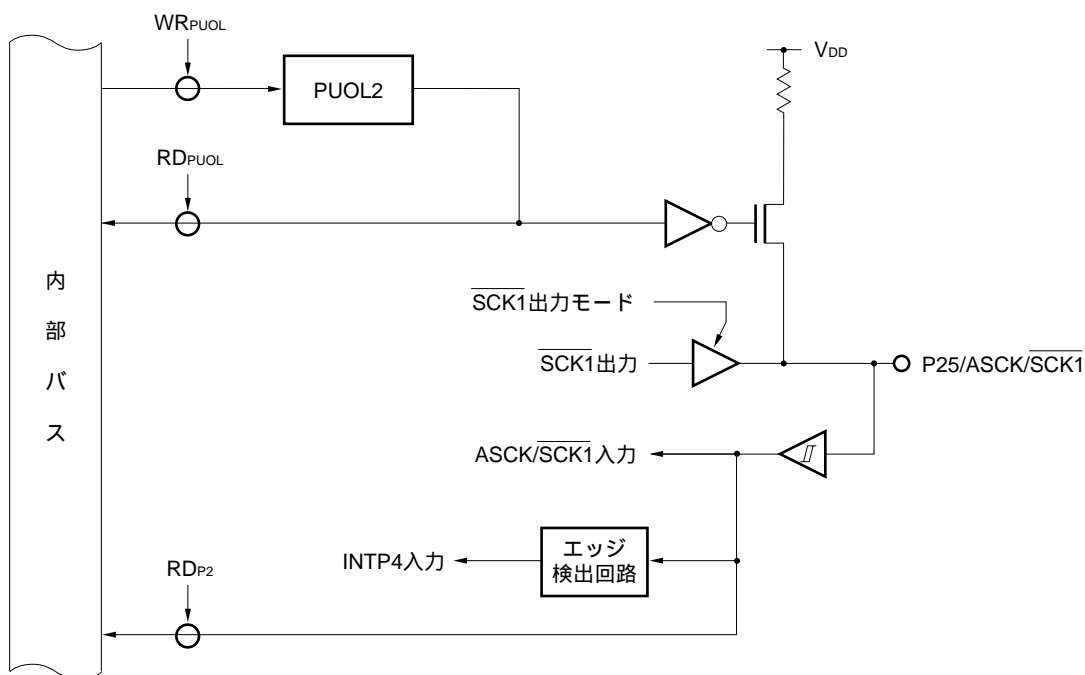
図6-21に、ポート2のハードウェア構成を示します。

図6-21 P20-P24, P26, P27 (ポート2) のブロック図



注 P20, P21には、破線で囲まれた回路はありません。

図6-22 P25 (ポート2) のブロック図



6.4.2 入力モード/コントロール・モードの設定

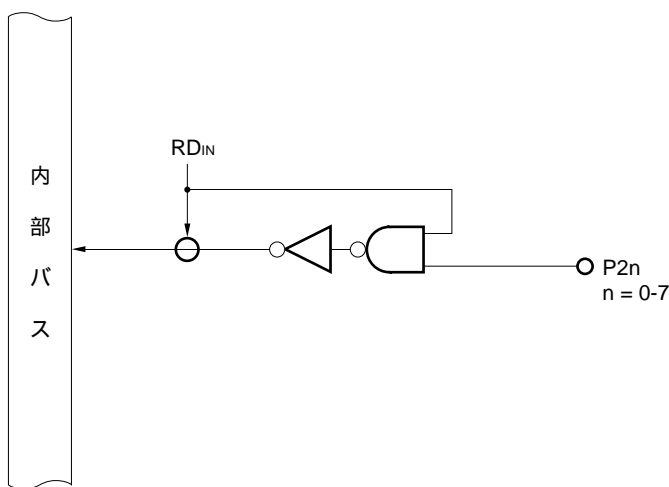
ポート2は、入力専用ポートです。入力モードを設定するためのレジスタはありません。

また、常時コントロール信号の入力ができる状態になっていますので、各内蔵ハードウェアのコントロール・レジスタなどで、どの信号を使用するかを決定します。

6.4.3 動作状態

ポート2は、入力専用のポートで、常に端子レベルの読み込みあるいはテストが可能です。

図6-23 入力ポート指定のポート



6.4.4 内蔵プルアップ抵抗

P22-P27は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタL (PUOL) のPUOL2によりP22-P27の6端子一括で指定できます(ビットごとには指定できません)。

なお、P20、P21には、プルアップ抵抗を内蔵していません。

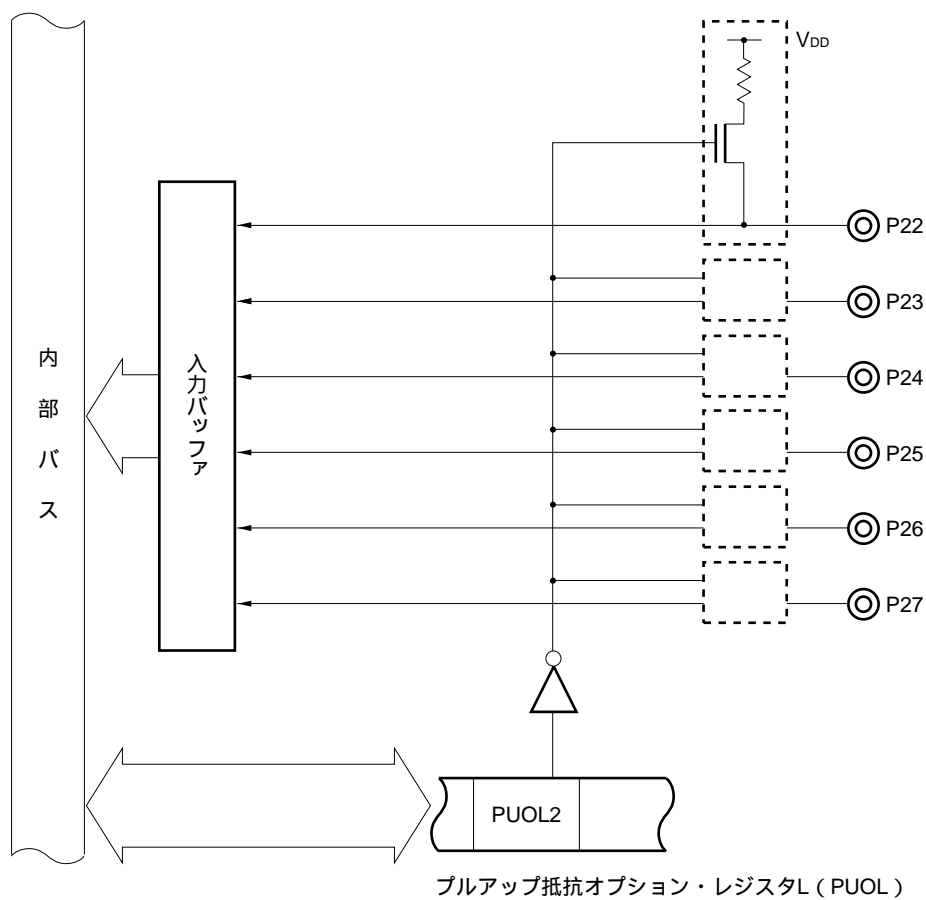
図6-24 プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOL	0	PUOL6	PUOL5	PUOL4	PUOL3	PUOL2	PUOL1	PUOL0	0FF4EH	00H	R/W

PUOL2	ポート2のプルアップ抵抗の指定
0	ポート2では使用しない
1	P22-P27の端子で使用する

備考 STOPモードに入る場合、消費電流を低減するために、PUOLに00Hを設定することが有効です。

図6 - 25 プルアップの指定 (ポート2)



注意 P22-P26は、リセット直後にプルアップされないため、兼用端子 (INTP1-INTP5) の機能によって割り込み要求フラグがセットされることがあります。したがって、初期化ルーチンでプルアップを指定してから、割り込み要求フラグをクリアしてください。

6.5 ポート3

ポート3は、出力ラッチ付き8ビット入出力ポートです。ポート3モード・レジスタ (PM3) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。また、P32, P33は、N-chオープン・ドレイン接続の指定が可能です。

入出力ポートとしての機能以外に、各種コントロール信号端子としての機能を兼用しています。

動作モードは、ポート3モード・コントロール・レジスタ (PMC3) により、表6-5のようにビット単位に指定できます。いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みあるいはテストが可能です。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は不定となります。

表6-5 ポート3の動作モード

(n=0-7)

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC3n = 0	PMC3n = 1
P30	入出力ポート	RxD入力/SI1入力
P31		TxD出力/SO1出力
P32		$\overline{\text{SCK0}}$ 入出力
P33		SO0出力
P34		TO0出力
P35		TO1出力
P36		TO2出力
P37		TO3出力

(a) ポート・モード

ポート3モード・コントロール・レジスタ (PMC3) によりポート・モードに指定された各ポートは、ポート3モード・レジスタ (PM3) により、1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード

ポート3モード・コントロール・レジスタ (PMC3) の設定により、1ビット単位にコントロール端子にすることができます。

(i) RxD (Receive Data) /SI1 (Serial Input1)

RxDはアシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。また、SI1はシリアル・データ入力端子 (3線式シリアルI/O1モード時) です。

(ii) TxD (Transmit Data) /SO1 (Serial Output1)

TxDはアシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。また、SO1はシリアル・データ出力端子 (3線式シリアルI/O1モード時) です。

(iii) $\overline{\text{SCK0}}$ (Serial Clock0)

$\overline{\text{SCK0}}$ は、クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子 (3線式シリアルI/O0モード時) です。

(iv) SO0 (Serial Output0)

SO0はシリアル・データ出力端子 (3線式シリアルI/O0モード時) です。

(v) TO0-TO3 (Timer Output)

タイマ出力端子です。

6.5.1 ハードウェア構成

図6-26-図6-29に、ポート3のハードウェア構成を示します。

図6-26 P30 (ポート3) のブロック図

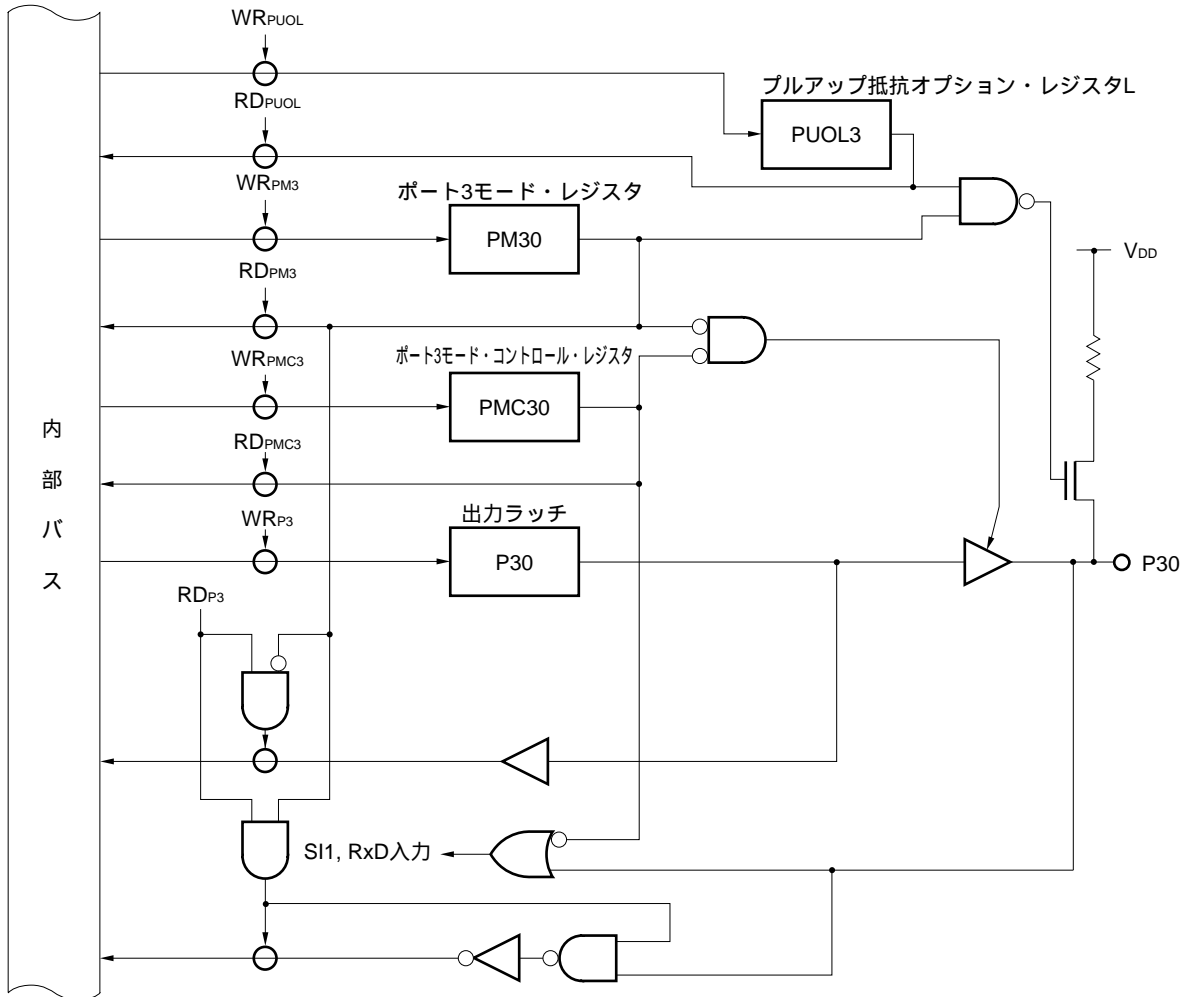


図6-27 P31, P34-P37 (ポート3) のブロック図

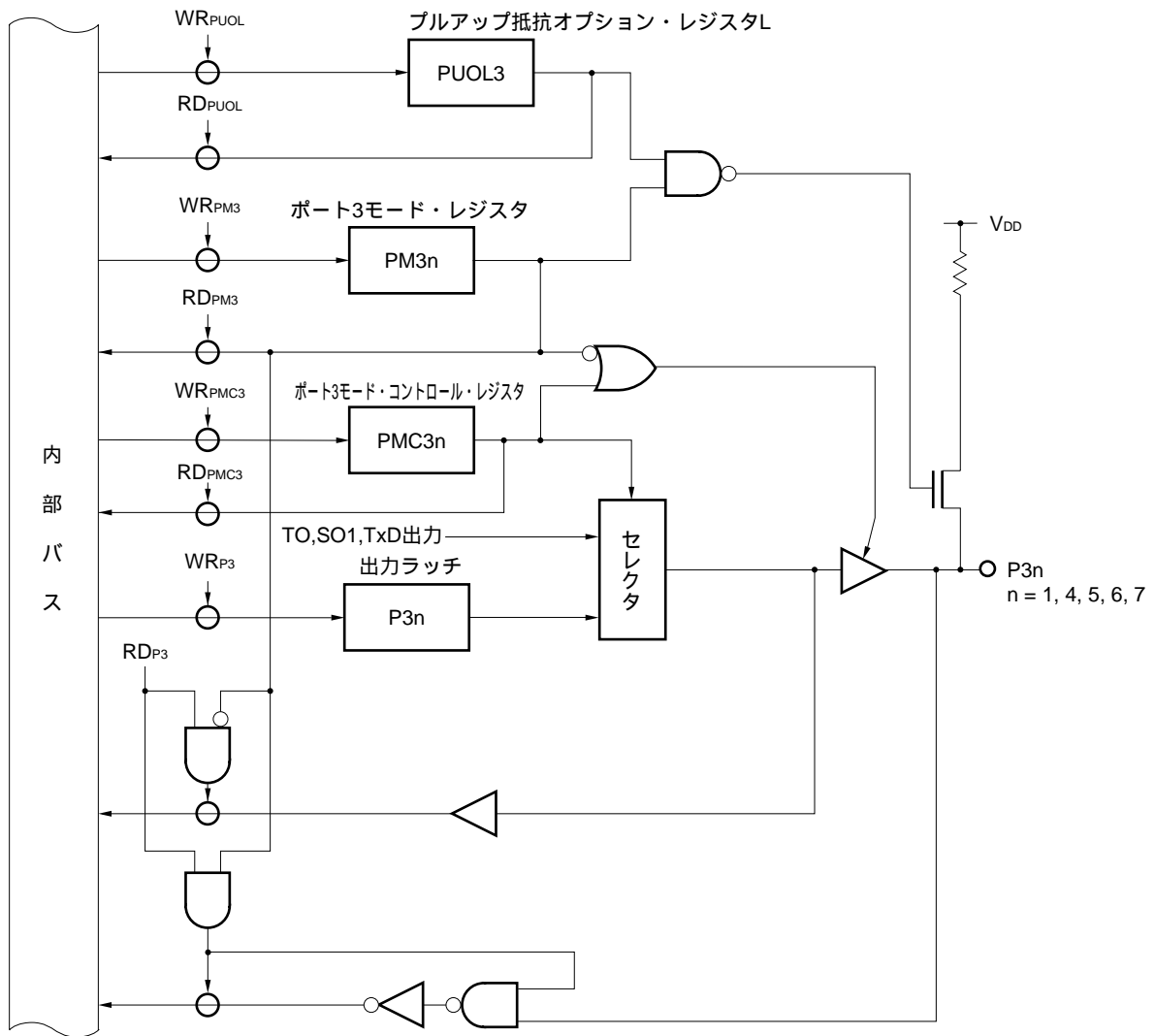


図6-28 P32 (ポート3) のブロック図

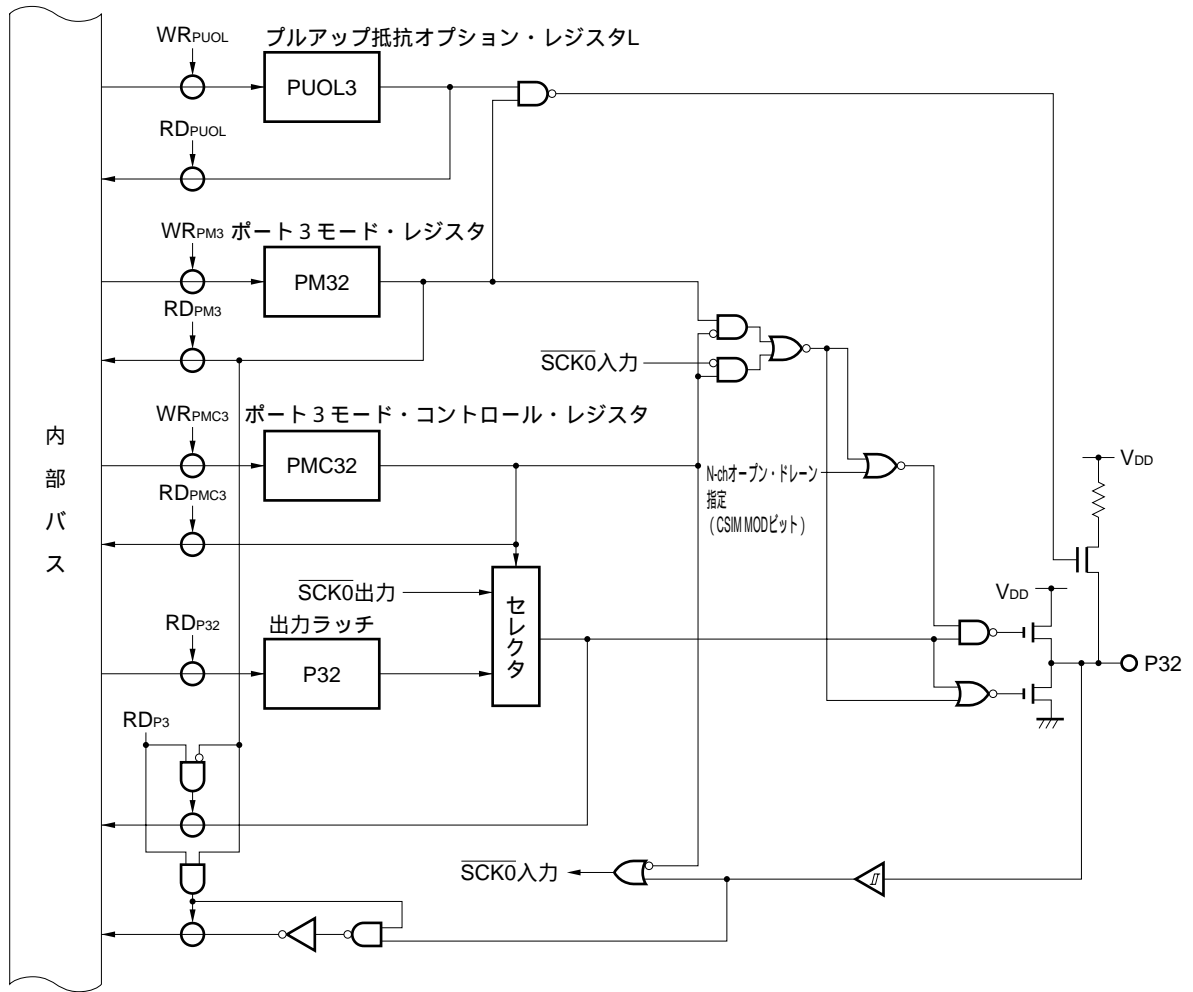
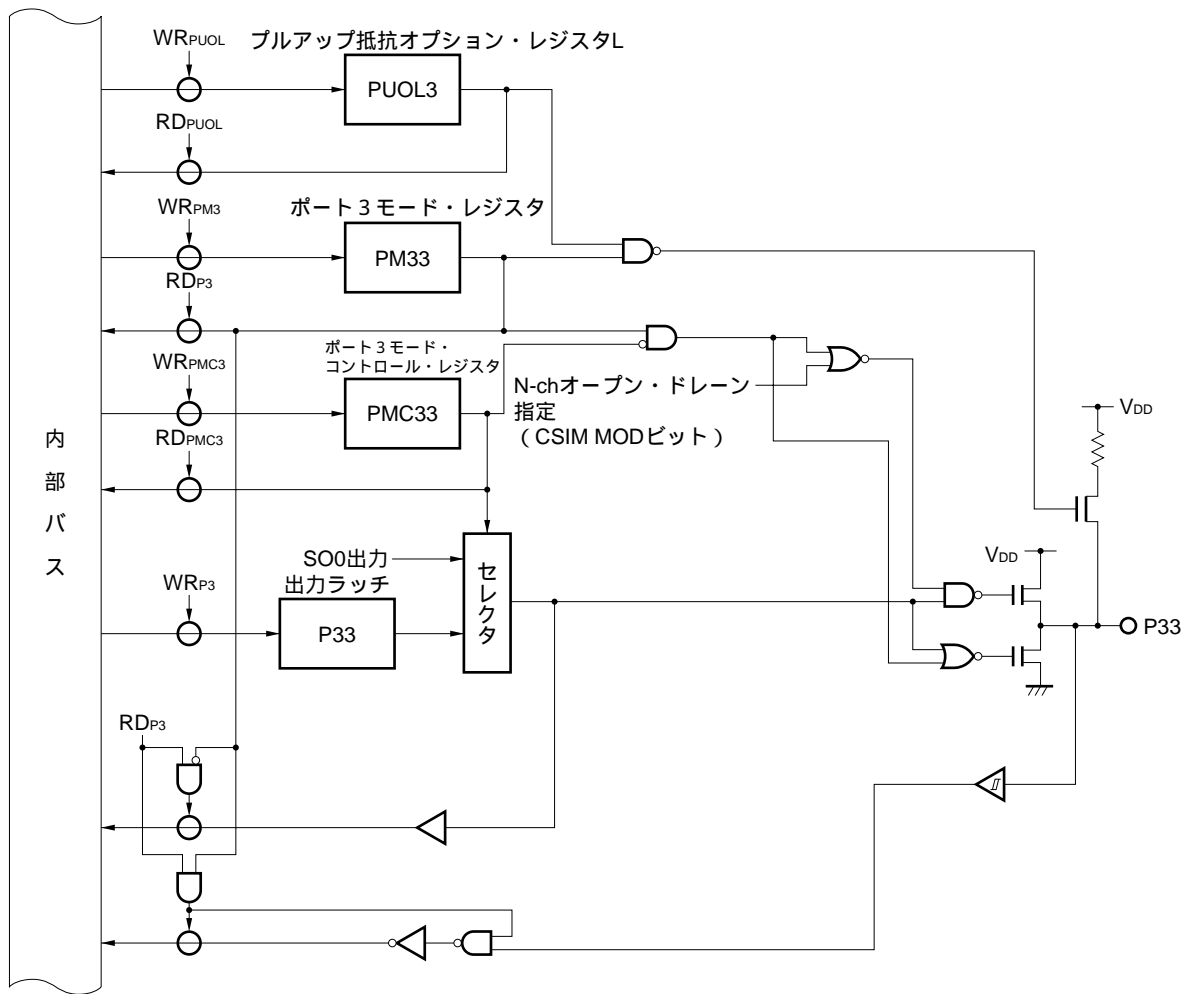


図6-29 P33(ポート3)のブロック図



6.5.2 入出力モード/コントロール・モードの設定

ポート3の入出力モードは、図6-30のように、端子ごとにポート3モード・レジスタ (PM3) により設定します。

また、ポート3は入出力ポートとしての機能のほかに、各種コントロール信号端子としての機能を兼用しており、図6-31のように、ポート3モード・コントロール・レジスタ (PMC3) により、コントロール・モードを指定します。

図6-30 ポート3モード・レジスタ (PM3) のフォーマット

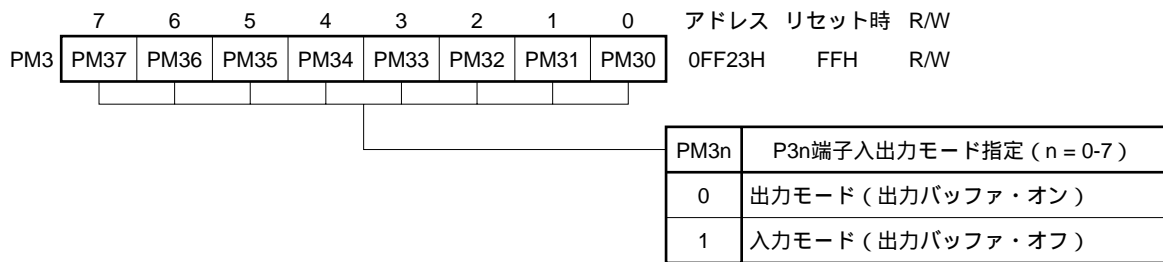
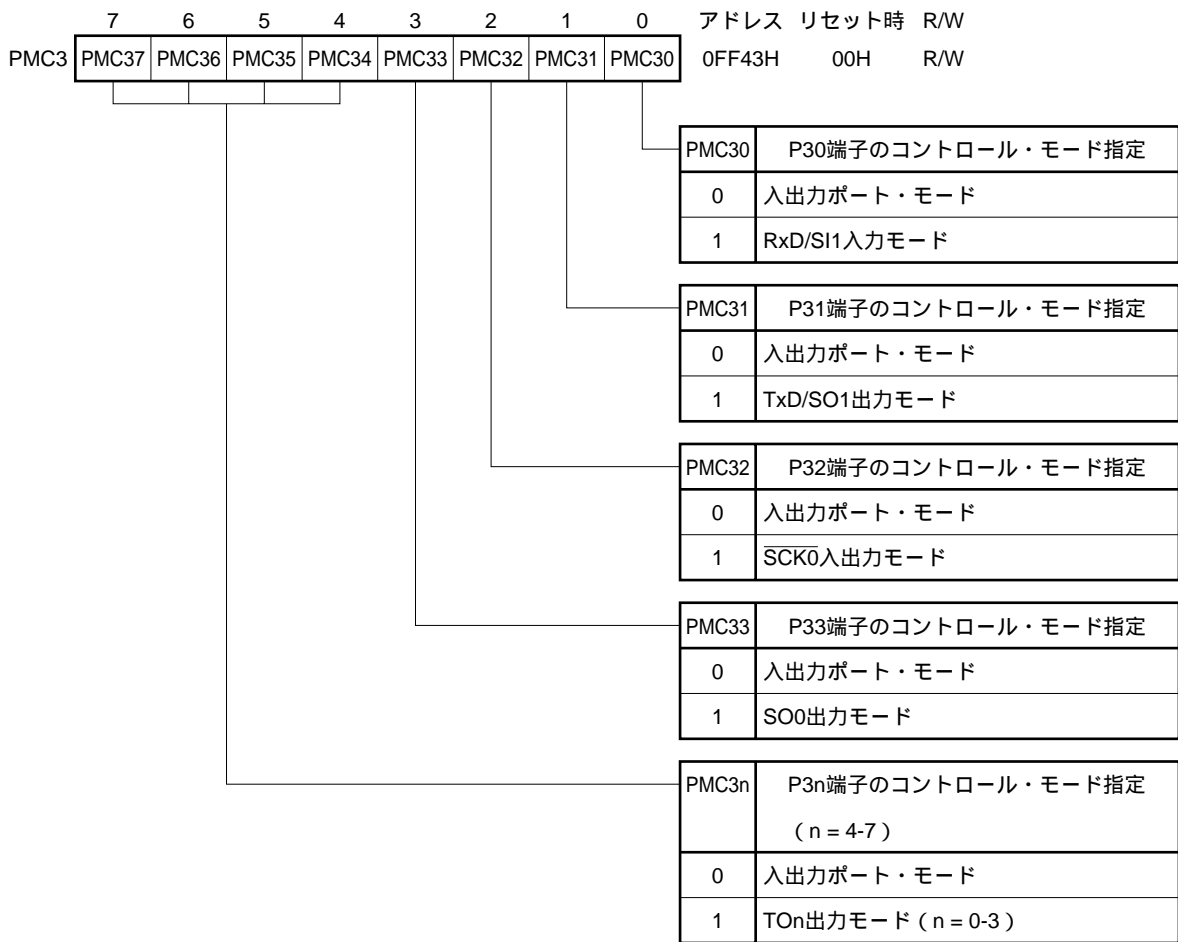


図6-31 ポート3モード・コントロール・レジスタ (PMC3) のフォーマット



6.5.3 動作状態

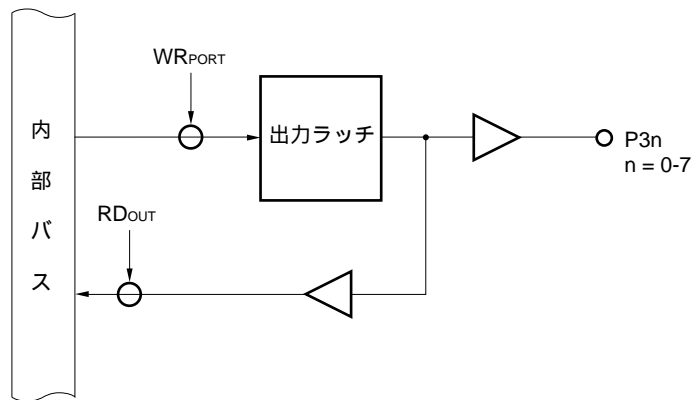
ポート3は、入出力ポートで、各種コントロール端子を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む[※]まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

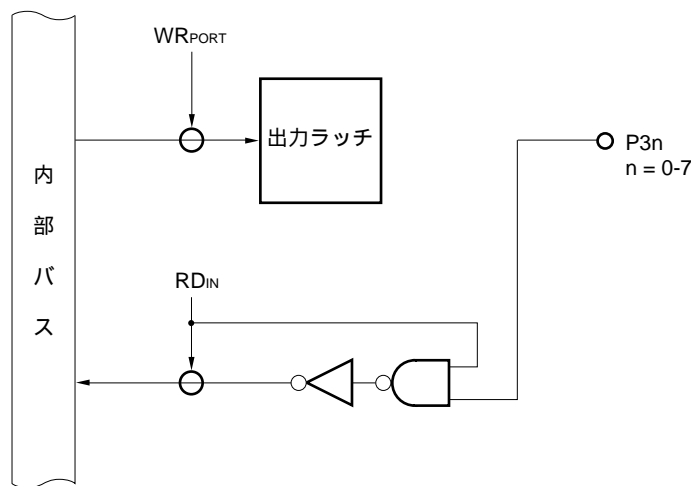
図6-32 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図6-33 入力ポート指定のポート



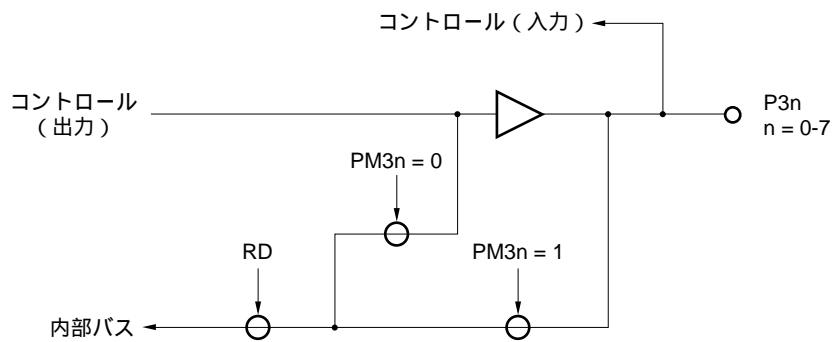
注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力やポート・モードとコントロール・モードが混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) コントロール信号入出力に指定された場合

ポート3は、ポート3モード・コントロール・レジスタ (PMC3) のビットをセット (1) することにより、ポート3モード・レジスタ (PM3) の設定にかかわらず、1ビット単位にコントロール信号の入力あるいは出力として使用することができます。各端子をコントロール信号として使用する場合、ポートの読み出し命令を実行することにより、コントロール信号の状態をみることができます。

図6-34 コントロール指定の場合

**(a) ポートがコントロール信号出力の場合**

ポート3モード・レジスタ (PM3) がセット (1) されている場合、ポートの読み込み命令を実行すると、コントロール信号端子のレベルを読み込むことができます。

PM3がリセット (0) されている場合、ポートの読み込み命令を実行すると、 μ PD784938A内のコントロール信号の状態を読み込むことができます。

(b) ポートがコントロール信号入力の場合

ポート3モード・レジスタ (PM3) がセット (1) されている場合のみ、ポートの読み込み命令を実行すると、コントロール信号端子のレベルを読み込むことができます。

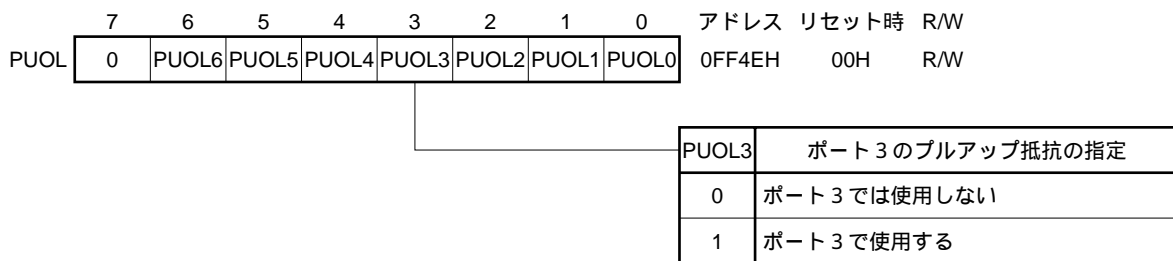
6.5.4 内蔵プルアップ抵抗

ポート3は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタL (PUOL) のPUOL3とポート3モード・レジスタ (PM3) で、端子ごとに指定できます。PUOL3が1のとき、PM3で入力を指定した (PM3n=1, n=0-7) 端子の内蔵プルアップ抵抗が有効になります。

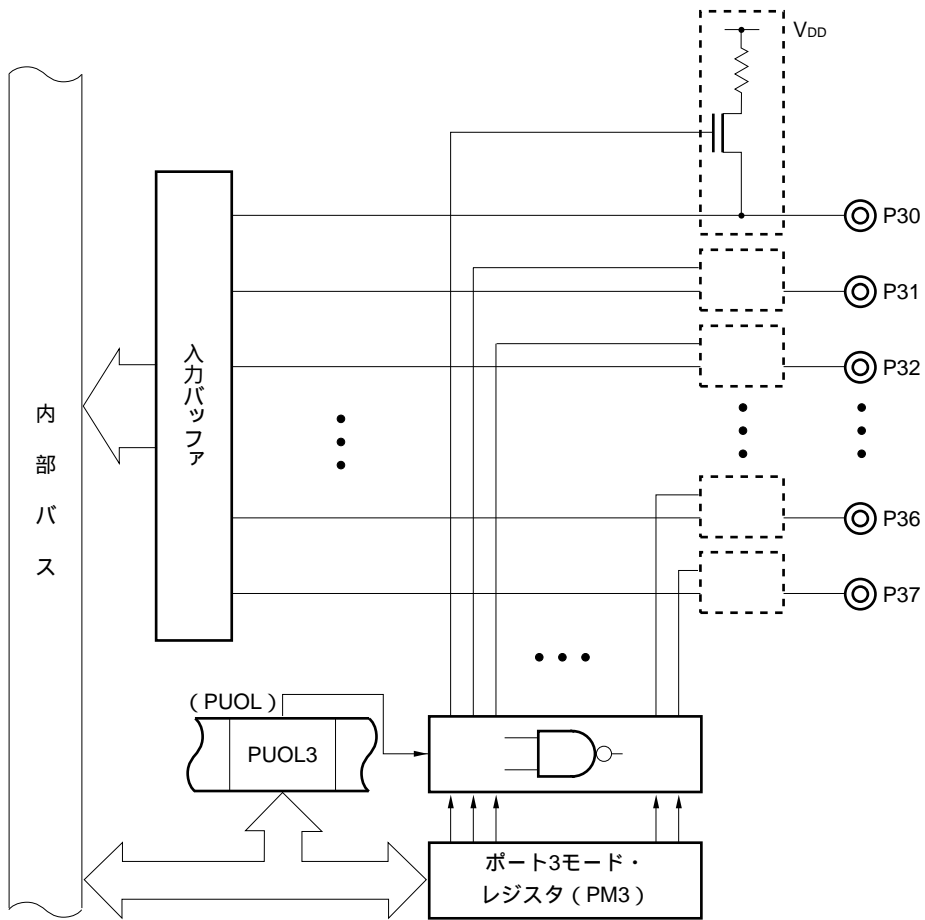
また、コントロール・モードに指定された端子でも、プルアップ抵抗を使用する指定は有効になります (コントロール・モード時に出力端子となる端子にも、プルアップ抵抗が接続されます)。したがって、コントロール・モード時にプルアップ抵抗を接続したくない場合には、PM3の対応するビットの内容を0 (出力モード) にしてください。

図6-35 プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット



備考 STOPモードに入る場合、消費電流を低減するために、PUOLに00Hを設定することが有効です。

図6 - 36 プルアップの指定 (ポート3)



6.6 ポート4

ポート4は、出力ラッチ付き8ビット入出力ポートです。ポート4モード・レジスタ (PM4) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。またLEDをダイレクトにドライブ可能です。

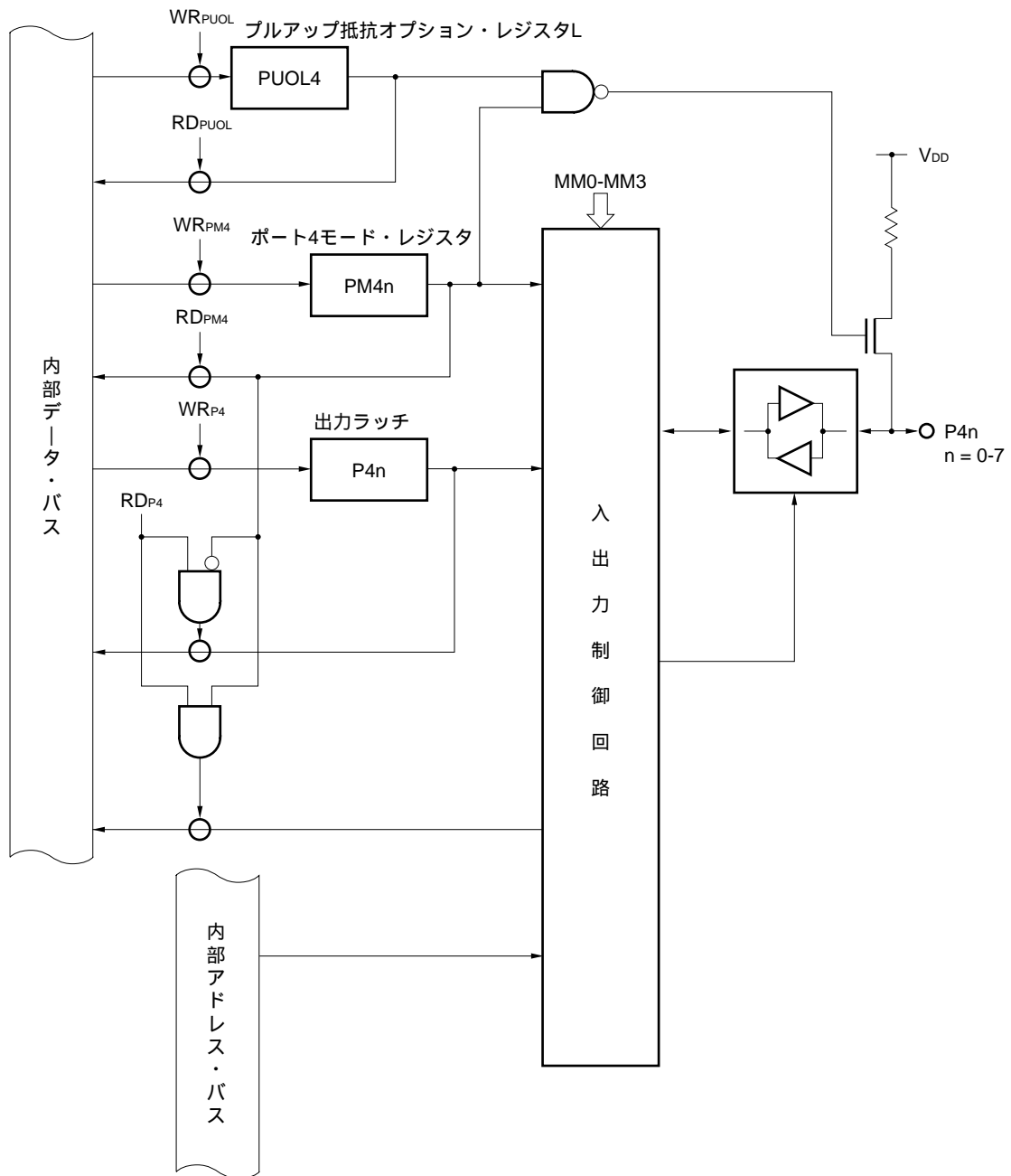
また、外部メモリやI/Oを拡張するとき、メモリ拡張モード・レジスタ (MM) により時分割アドレス/データ・バス (AD0-AD7) として機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は不定になります。

6.6.1 ハードウェア構成

図6-37に、ポート4のハードウェア構成を示します。

図6-37 ポート4のブロック図



6.6.2 入出力モード/コントロール・モードの設定

ポート4の入出力モードは、図6-38のように、端子ごとにポート4モード・レジスタ（PM4）により設定します。

ポート4をアドレス/データ・バスとして使用する場合は、表6-6のように、メモリ拡張モード・レジスタ（MM：図24-1参照）により設定します。

図6-38 ポート4モード・レジスタ（PM4）のフォーマット

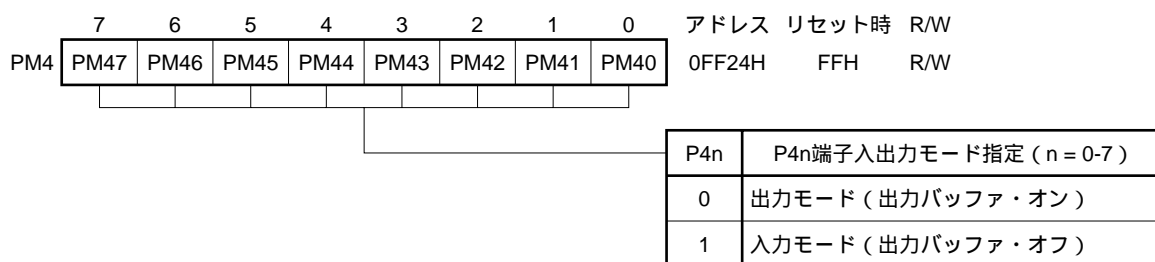


表6-6 ポート4の動作モード

MMのビット				動作モード
MM3	MM2	MM1	MM0	
0	0	0	0	ポート
0	0	1	1	アドレス/データ・バス (AD0-AD7)
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	

6.6.3 動作状態

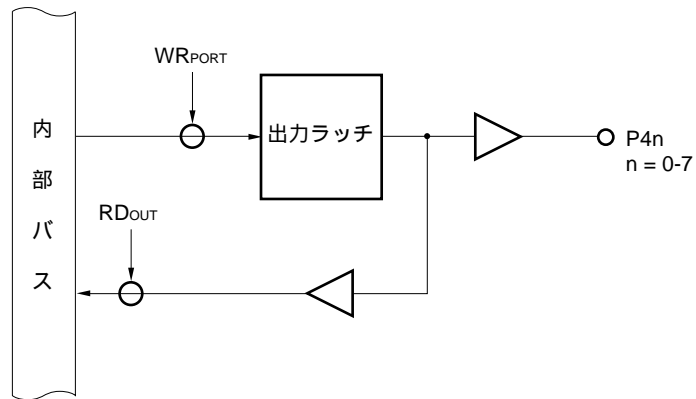
ポート4は入出力ポートで、アドレス/データ・バス (AD0-AD7) と兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一時出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む[※]まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

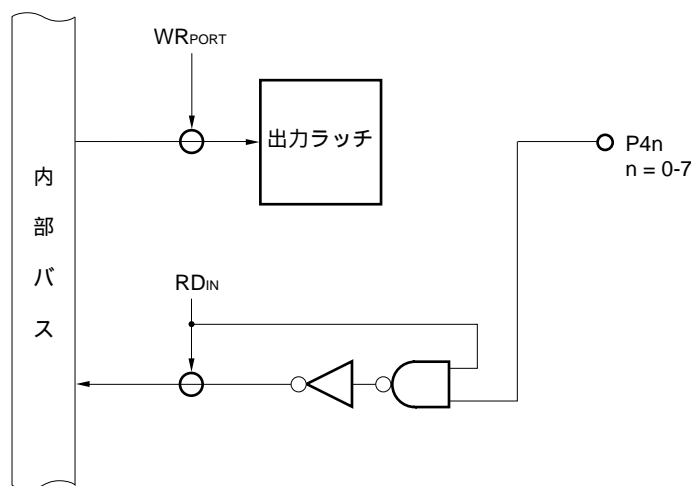
図6-39 出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートの指定されているビットの出力バッファはハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力ポートの指定が出力ポートに切り替えられたとき、出力ラッチの内容が、ポート端子に出力されます）。また、入力ポートに指定されている場合、出力ラッチの内容は、アキュムレータにロードすることはできません。

図6-40 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートでビット操作命令を使用すると、入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) アドレス/データ・バス (AD0-AD7) の場合

外部アクセス時に、自動的に使用されます。

ポート4に対する入出力命令は、実行しないでください。

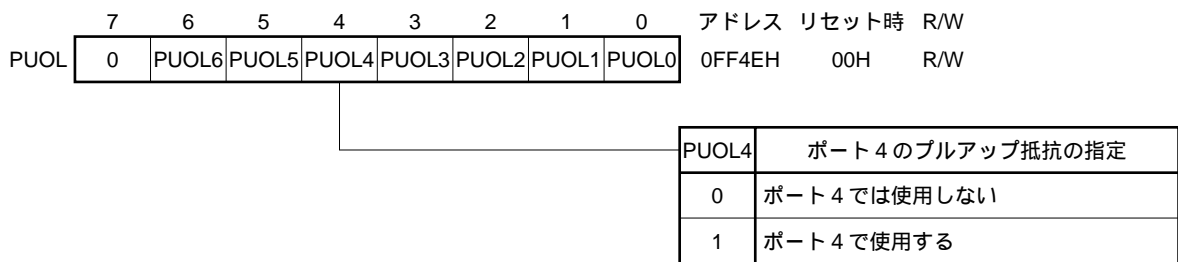
6.6.4 内蔵プルアップ抵抗

ポート4は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタL (PUOL) のPUOL4とポート4モード・レジスタ (PM4) で端子ごとに指定できます。

PUOL4が1のとき、ポート4に対してPM4で入力を指定した (PM4n = 1, n = 0-7) 端子の内蔵プルアップ抵抗が有効になります。

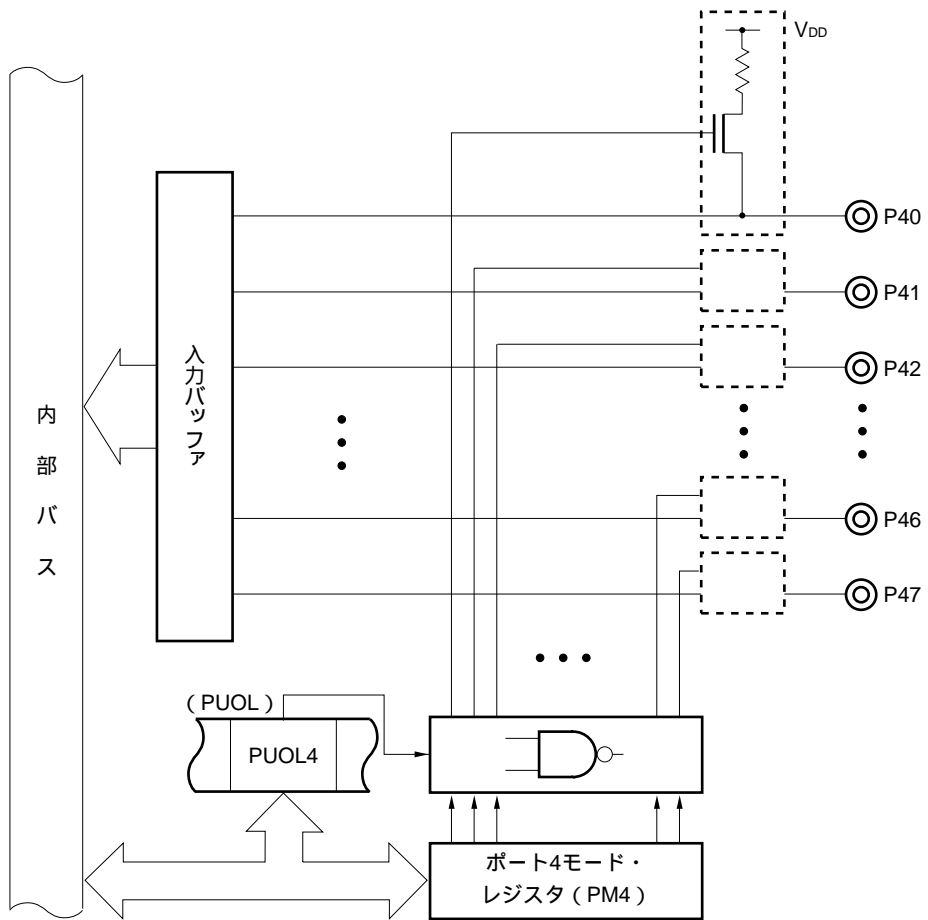
図6-41 プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット



注意 μ PD784938Aで、ポート4をアドレス/データ・バスとして使用する場合は、PUOL4に必ず“0”を設定して内蔵プルアップ抵抗の接続を行わないようにしてください。

備考 STOPモードに入る場合、消費電流を低減するために、PUOLに00Hを設定することが有効です。

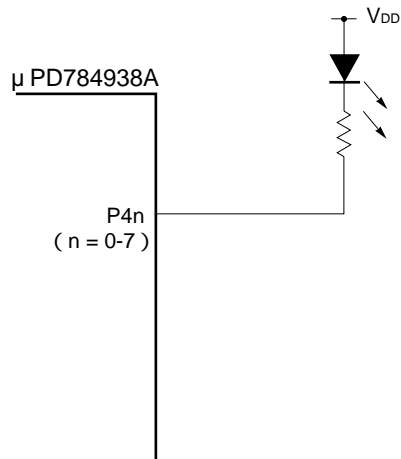
図6-42 プルアップの指定(ポート4)



6.6.5 LEDのダイレクト・ドライブ

ポート4は、LEDをアクティブ・ロウでダイレクトにドライブできるように、出力バッファのロウ・レベル側のドライブ能力を強化してあります。図6 - 43にその使用例を示します。

図6 - 43 LEDのダイレクト・ドライブ例



6.7 ポート5

ポート5は、出力ラッチ付き8ビット入出力ポートです。ポート5モード・レジスタ(PM5)により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。また、LEDをダイレクトにドライブ可能です。

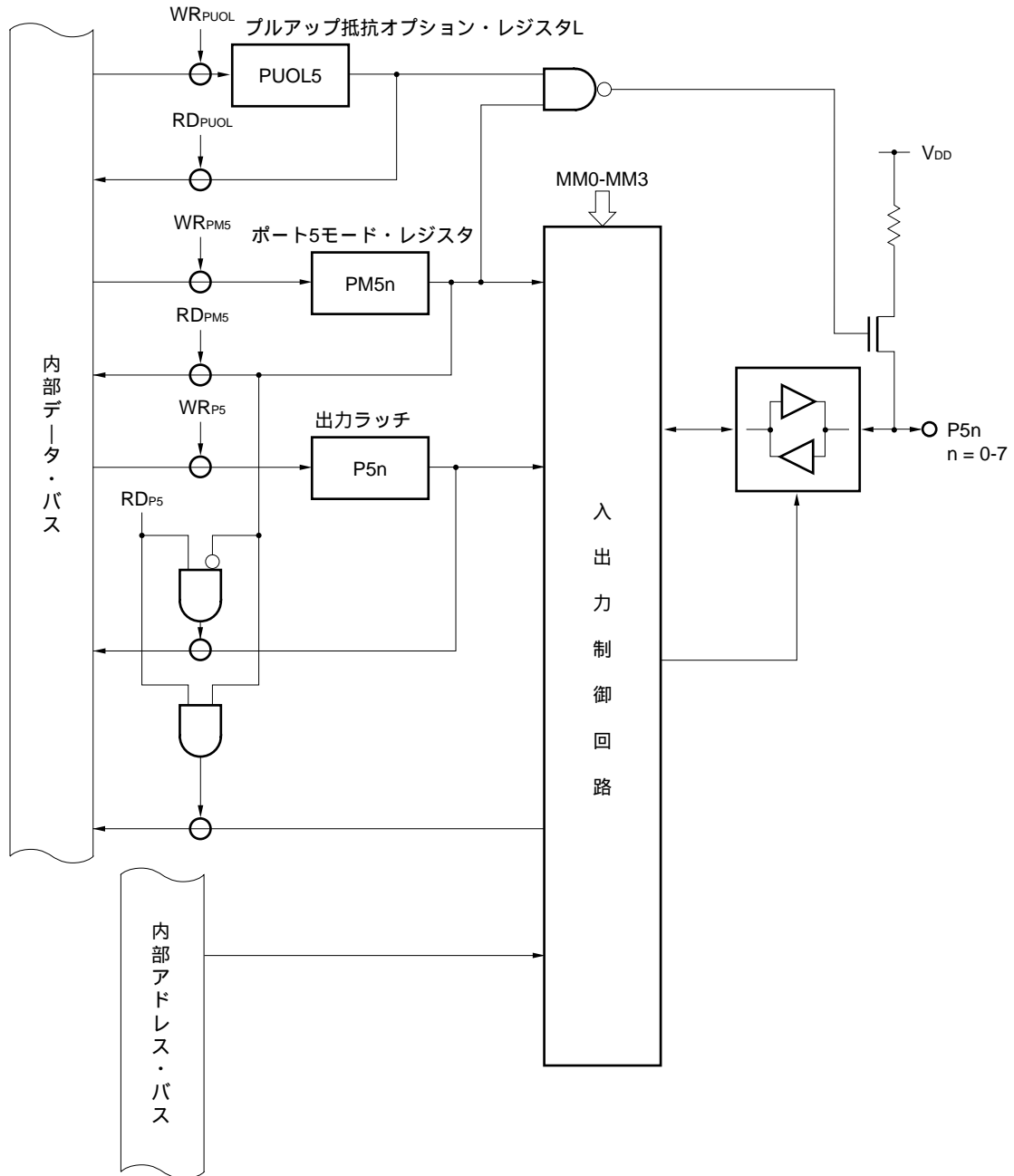
また、外部メモリやI/Oを拡張するとき、P50-P57は、アドレス・バス(A8-A15)として機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート(出力ハイ・インピーダンス状態)になり、出力ラッチの内容は不定となります。

6.7.1 ハードウェア構成

図6-44に、ポート5のハードウェア構成を示します。

図6-44 ポート5のブロック図



6.7.2 入出力モード/コントロール・モードの設定

ポート5の入出力モードは、図6-45のように、端子ごとにポート5モード・レジスタ（PM5）により設定します。

ポート5は、2ビット単位でポートまたはアドレス端子として使用でき、表6-7のように、メモリ拡張モード・レジスタ（MM：図24-1参照）により設定します。

図6-45 ポート5モード・レジスタ（PM5）のフォーマット

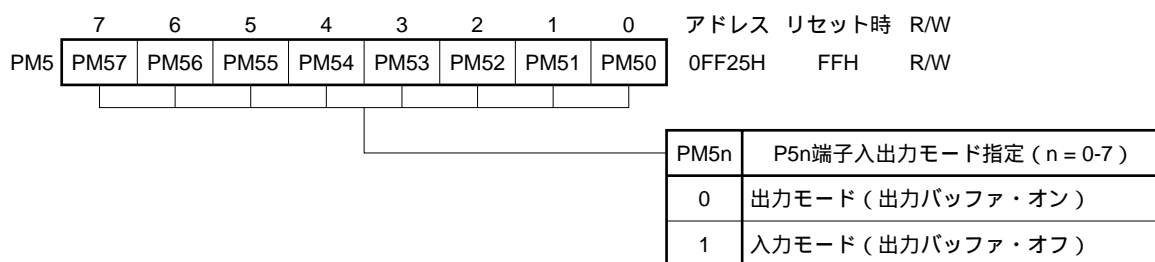


表6-7 ポート5の動作モード

MMのビット				動作モード								
MM3	MM2	MM1	MM0	P50	P51	P52	P53	P54	P55	P56	P57	
0	0	0	0	ポート (P50-P57)								
0	0	1	1	ポート								
0	1	0	0	A8	A9	ポート						
0	1	0	1	A8	A9	A10	A11	ポート				
0	1	1	0	A8	A9	A10	A11	A12	A13	ポート		
0	1	1	1	A8	A9	A10	A11	A12	A13	A14	A15	
1	0	0	0									
1	0	0	1									

6.7.3 動作状態

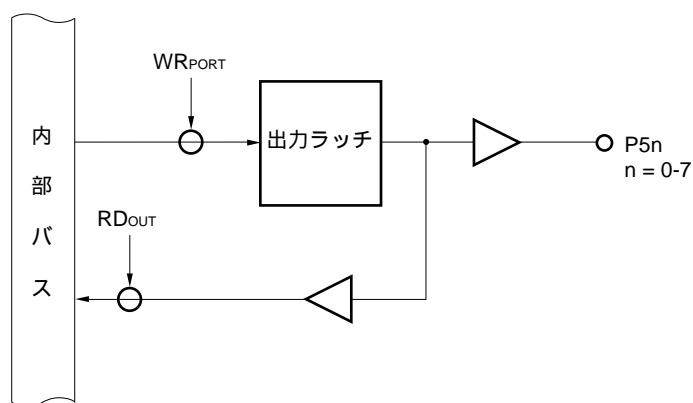
ポート5は、入出力ポートで、アドレス・バス(A8-A15)を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む[※]まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

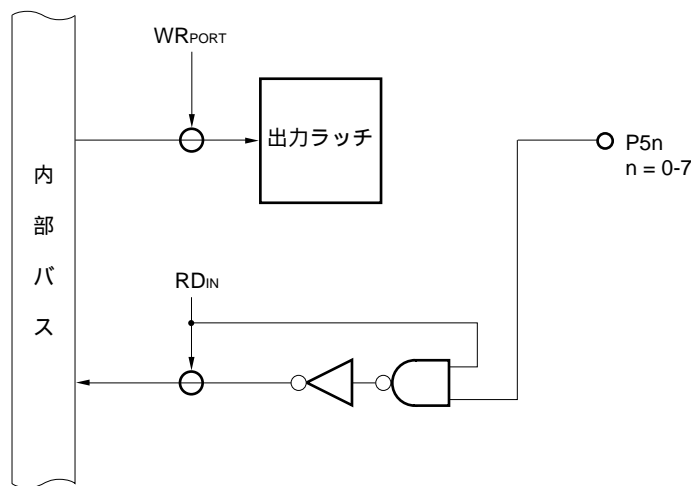
図6 - 46 出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが、出力ポートに切り替えられたとき、出力ラッチの内容が、ポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図6-47 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) アドレス・バス (A8-A15) の場合

外部アドレス時に、自動的に使用されます。

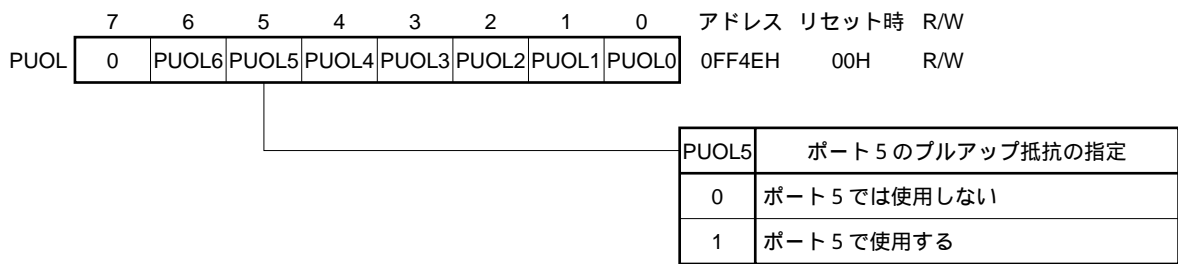
6.7.4 内蔵プルアップ抵抗

ポート5は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタL (PUOL) のPUOL5とポート5モード・レジスタ (PM5) で、端子ごとに指定できます。

PUOL5が1のとき、ポート5に対してPM5で入力を指定した (PM5n=1, n=0-7) 端子の内蔵プルアップ抵抗が有効になります。

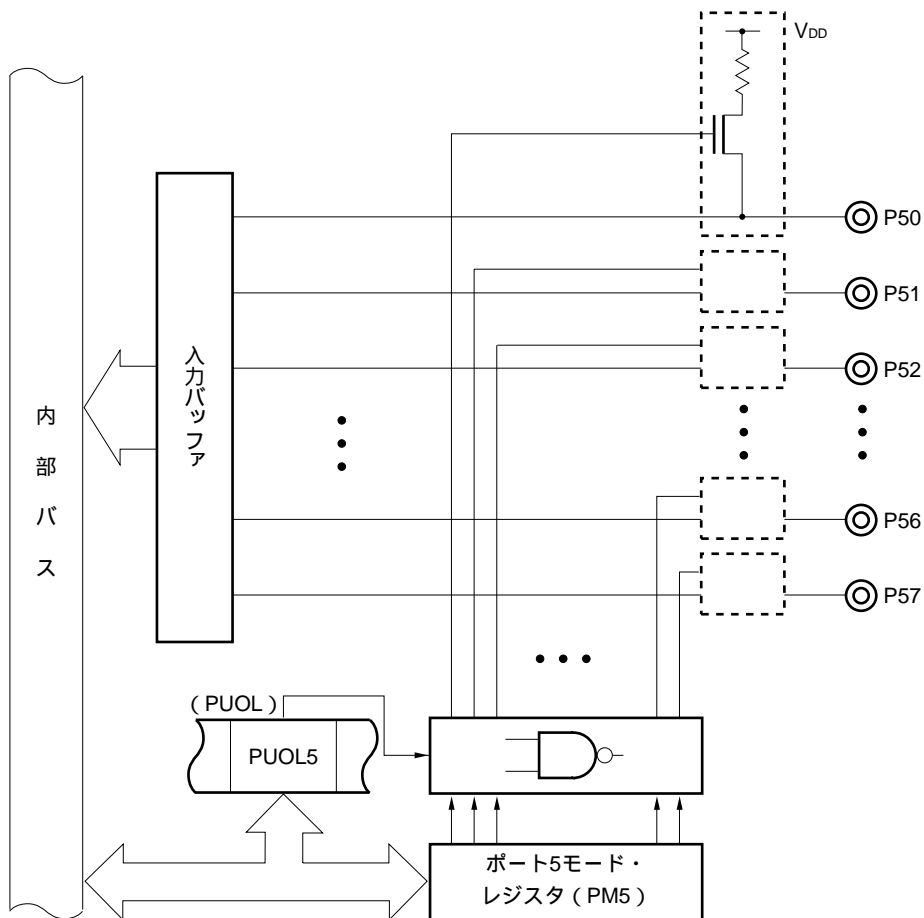
図6-48 プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット



注意 μ PD784938Aで、ポート5をアドレス・バスとして使用する場合は、PUOL5に必ず“0”を設定して内蔵プルアップ抵抗の接続を行わないようにしてください。

備考 STOPモードに入る場合、消費電流を低減するために、PUOLに00Hを設定することが有効です。

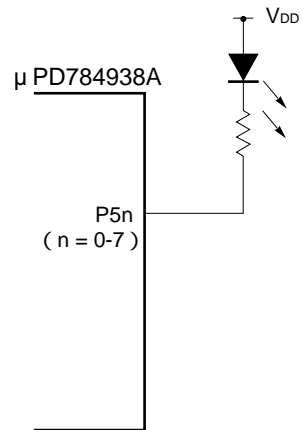
図6-49 プルアップの指定(ポート5)



6.7.5 LEDのダイレクト・ドライブ

ポート5は、LEDをアクティブ・ロウでダイレクトにドライブできるように出力バッファのロウ・レベル側のドライブ能力を強化してあります。図6 - 50に、その使用例を示します。

図6 - 50 LEDのダイレクト・ドライブ例



6.8 ポート6

ポート6は、出力ラッチ付き8ビット入出力ポートです。P60-P67には、ソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に、表6-8のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は、各機能の操作によって行います。

$\overline{\text{RESET}}$ 入力により、P60-P67は入力ポート（出力ハイ・インピーダンス状態）になり、出力ラッチの内容は不定になります。

表6-8 ポート6の動作モード

端子名称	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P60-P63	入出力ポート	A16-A19出力	MMのMM3-MM0ビットにより2ビット単位で指定
P64		$\overline{\text{RD}}$ 出力	MMのMM3-MM0ビットにより外部メモリ拡張モードを指定
P65		$\overline{\text{WR}}$ 出力	
P66		$\overline{\text{WAIT}}$ 入力	PWC1, PWC2のPWn1, PWn0ビット（n=0-7）およびP66を入力モードにすることにより指定
		$\overline{\text{HLDRQ}}$ 入力	HLDMのHLDEビットでパス・ホールドを許可
P67		$\overline{\text{HLDAK}}$ 出力	
		$\overline{\text{REFRQ}}$ 出力	

6.8.1 ハードウェア構成

図6 - 51- 図6 - 54に、ポート6のハードウェア構成を示します。

図6 - 51 P60-P63 (ポート6) のブロック図

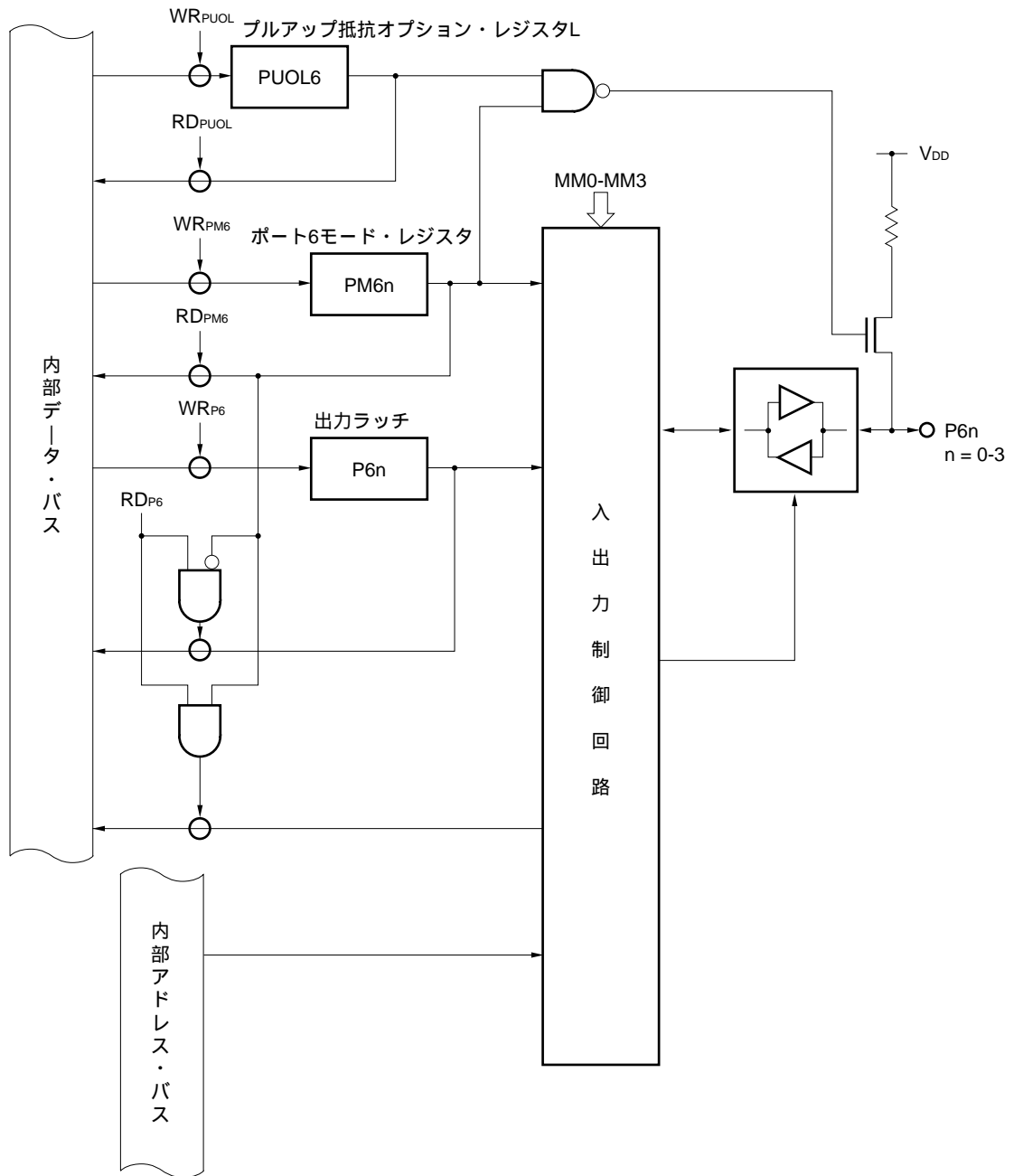


図6-52 P64, P65 (ポート6) のブロック図

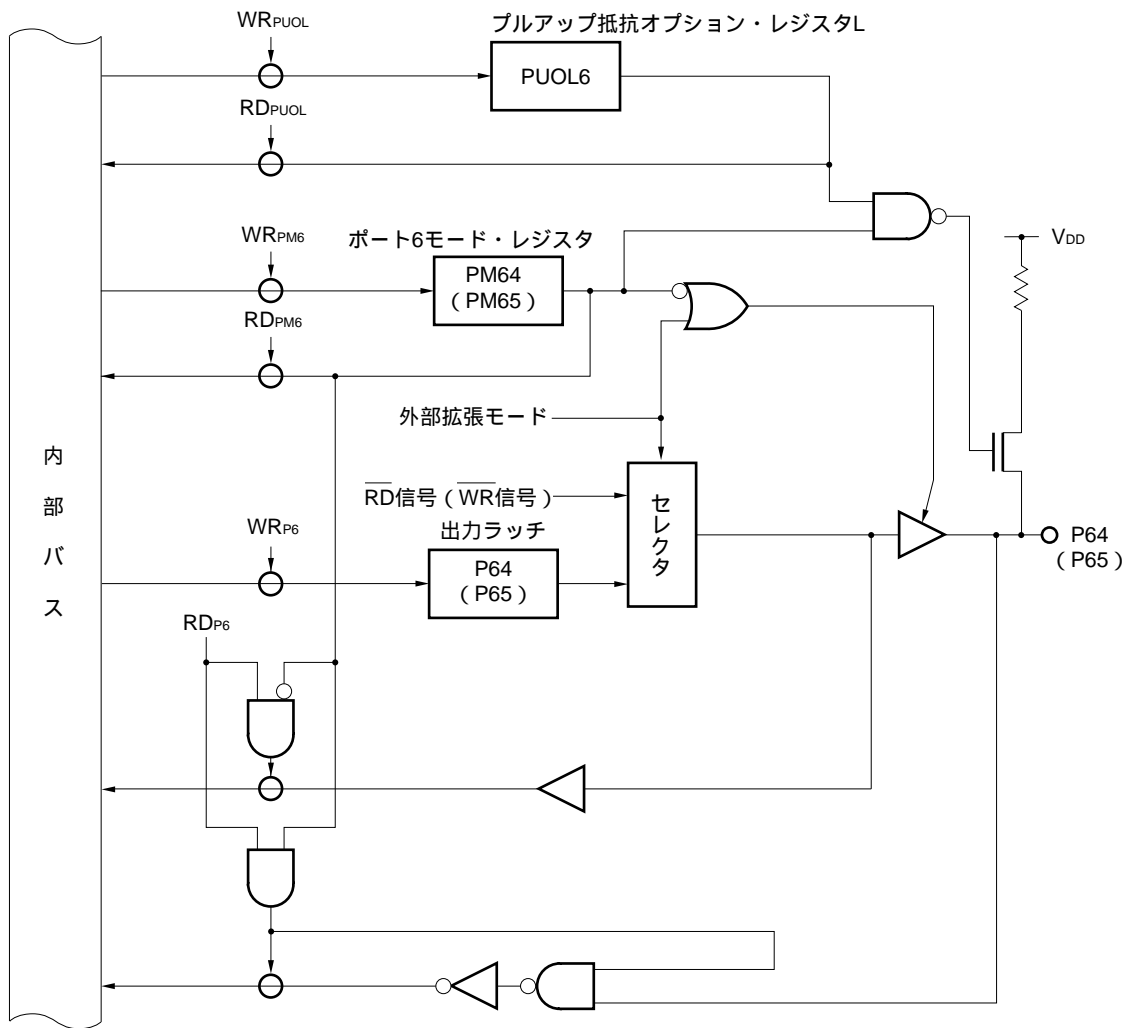


図6-53 P66 (ポート6) のブロック図

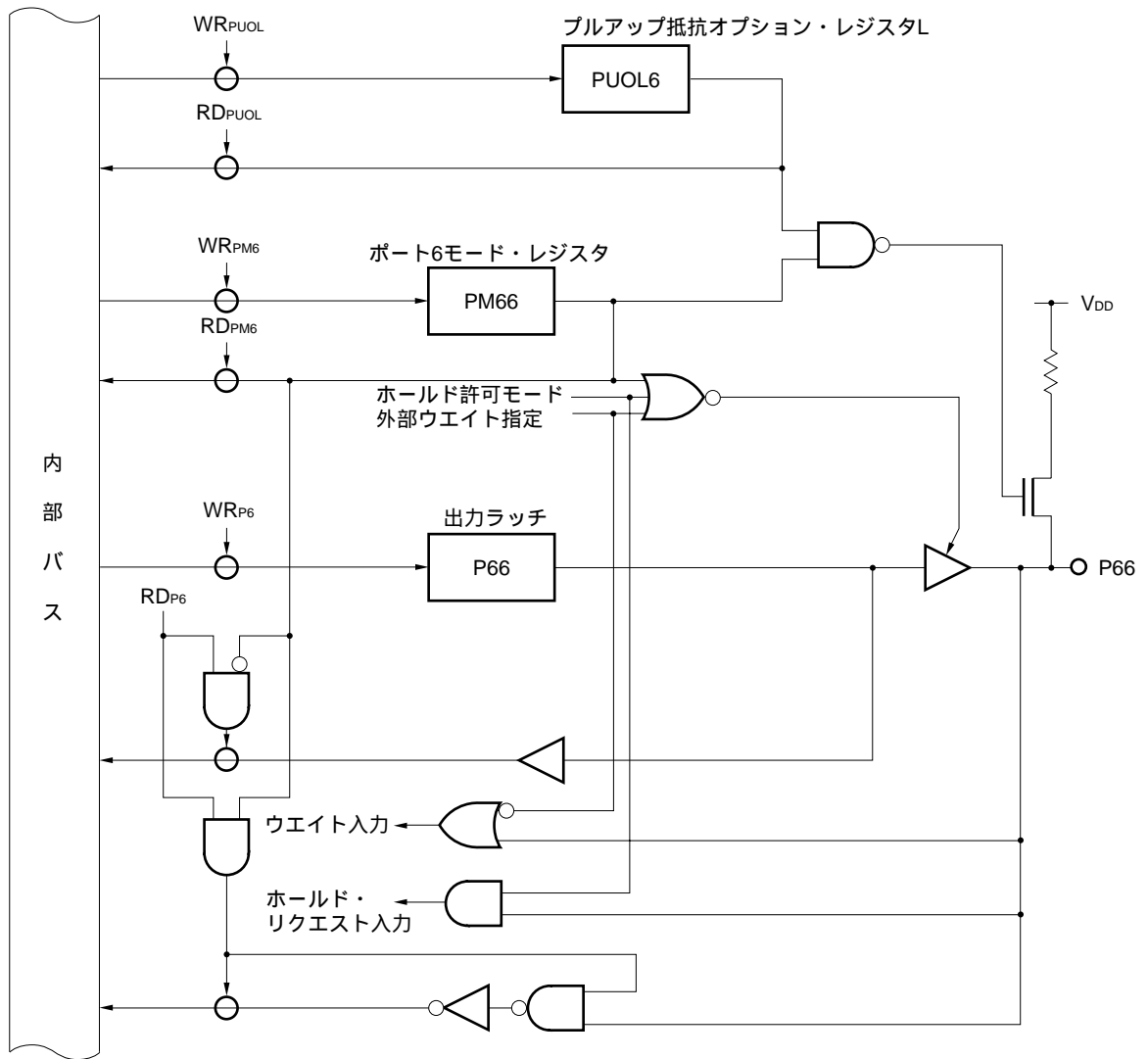
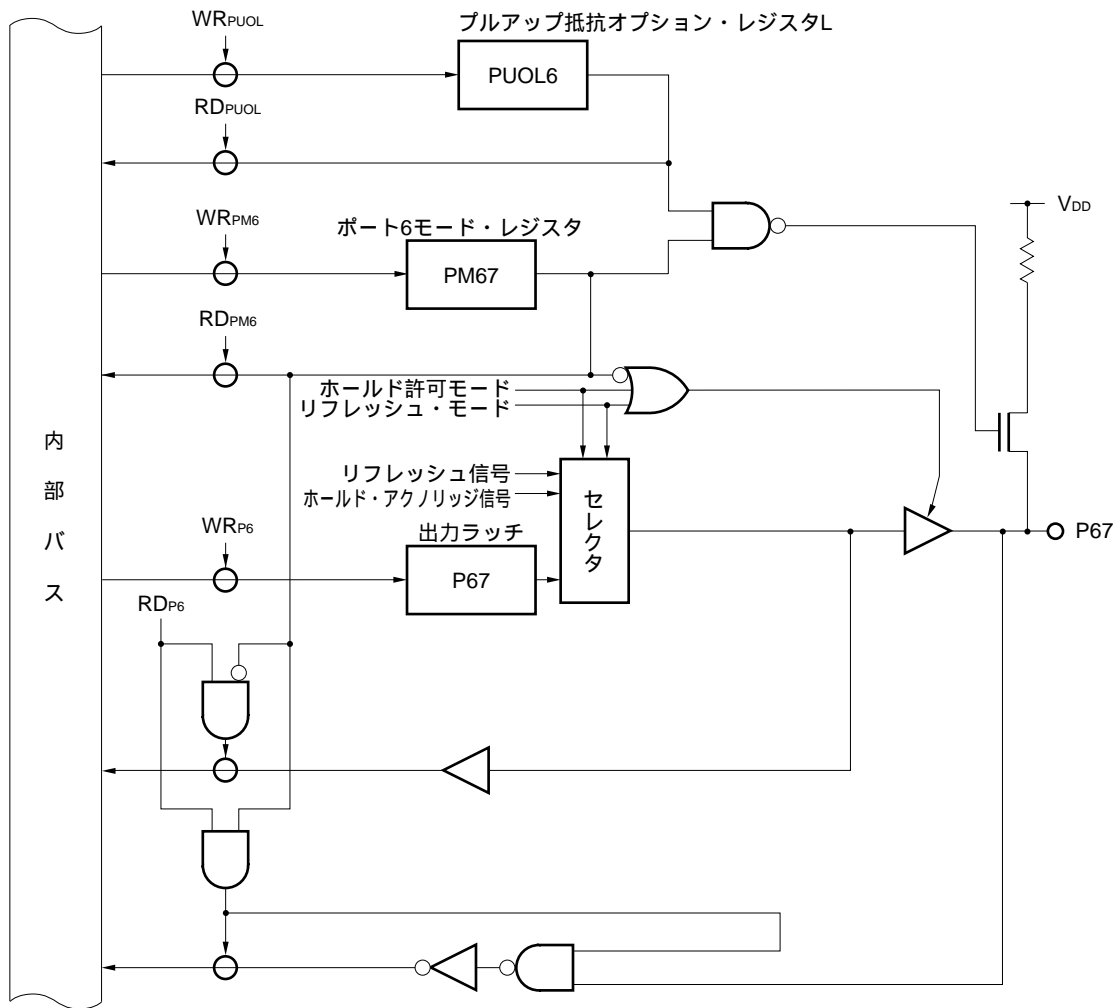


図6-54 P67 (ポート6) のブロック図



6.8.2 入出力モード/コントロール・モードの設定

ポート6の入出力モードは、図6-55のように、ポート6モード・レジスタ(PM6)により設定します。
 ポート6のコントロール端子として動作させるための操作は、表6-9に示します。

表6-9 ポート6のコントロール端子機能と操作

端子名称	コントロール信号 入出力モード	ポート・モード	コントロール端子として動作させるための操作
P60	A16	入出力ポート	MMのMM3-MM0ビットにより外部メモリ拡張モードを指定(表6-10参照)
P61	A17		
P62	A18		
P63	A19		
P64	\overline{RD}	出力ポート	MMのMM3-MM0ビットにより外部メモリ拡張モードを指定(表6-10参照)
P65	\overline{WR}		
P66	\overline{WAIT}	入出力ポート	PWC1, PWC2のPWn1, PWn0 (n=0-7)により外部ウエイト入力を指定 HLDLMのHLDEビットでバス・ホールドを許可
	HLDLRQ		
P67	HLDLAK	出力ポート	RFMのRFENビットをセット(1)
	\overline{REFRQ}		

表6-10 P60-P65のコントロール端子指定

MMのビット				動作モード					
MM3	MM2	MM1	MM0	P60	P61	P62	P63	P64	P65
0	0	0	0	ポート(P60-P65)					
0	0	1	1	ポート(P60-P65)					
0	1	0	0	ポート(P60-P63)				\overline{RD}	\overline{WR}
0	1	0	1	ポート(P60-P63)				\overline{RD}	\overline{WR}
0	1	1	0	ポート(P60-P63)				\overline{RD}	\overline{WR}
0	1	1	1	ポート(P60-P63)				\overline{RD}	\overline{WR}
1	0	0	0	A16	A17	ポート			
1	0	0	1	A16	A17	A18	A19		

(a) ポート・モード

コントロール・モードに指定されていない各ポートは、ポート6モード・レジスタ(PM6)により1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード

(i) A16-A19 (Address Bus)

外部メモリ空間拡張時 (10000H-FFFFFH) の上位アドレス・バス出力端子です。
メモリ拡張モード・レジスタ (MM) により動作します。

(ii) $\overline{\text{RD}}$ (Read Strobe)

外部メモリのリード動作のために出力されるストロブ信号出力端子です。メモリ拡張モード・レジスタ (MM) により動作します。

(iii) $\overline{\text{WR}}$ (Write Strobe)

外部メモリのライト動作のために出力されるストロブ信号出力端子です。メモリ拡張モード・レジスタ (MM) により動作します。

(iv) $\overline{\text{WAIT}}$ (Wait)

ウェイト信号の入力端子です。プログラマブル・ウェイト制御レジスタ (PWC1, PWC2) により動作します。

(v) HLDRQ (Hold Request)

外部バスのバス・ホールド要求信号入力端子です。ホールド・モード・レジスタ (HLDM) により動作します。

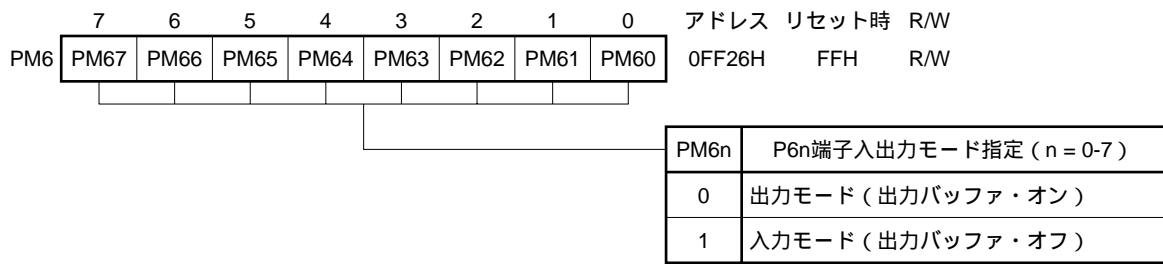
(vi) HLDAK (Hold Acknowledge)

バス・ホールド・アクノリッジ信号出力端子です。ホールド・モード・レジスタ (HLDM) により動作します。

(vii) $\overline{\text{REFRQ}}$ (Refresh Request)

外部に疑似スタティック・メモリを接続した場合に、疑似スタティック・メモリヘリフレッシュ・パルスを出力する端子です。リフレッシュ・モード・レジスタ (RFM) により動作します。

図6 - 55 ポート6モード・レジスタ (PM6) のフォーマット



6.8.3 動作状態

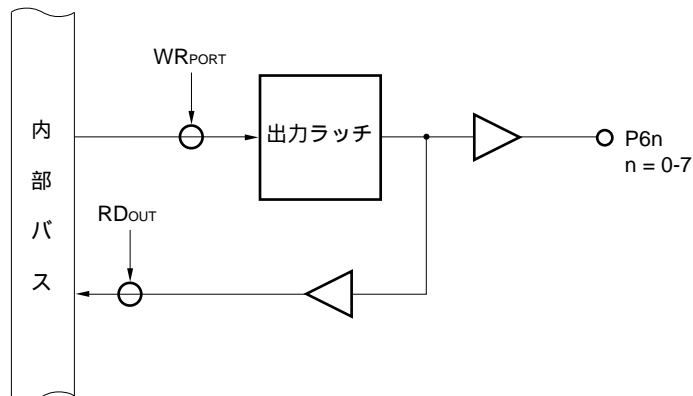
ポート6は入出力ポートで、各種コントロール端子を兼用しています。

(1) 出力ポートに指定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む[※]まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

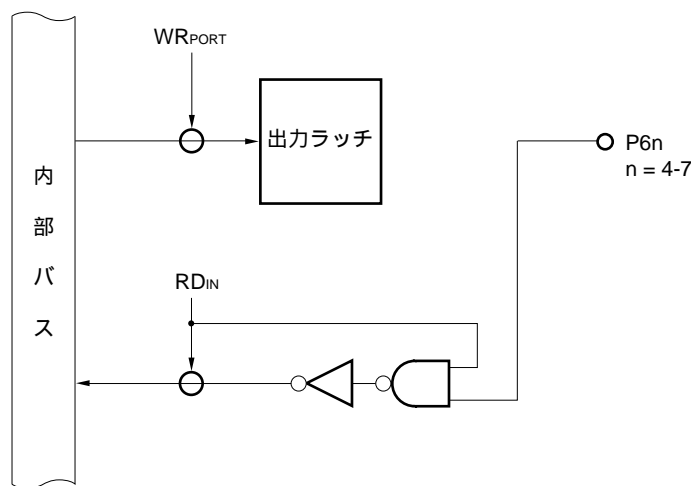
図6 - 56 出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが、出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図6-57 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力やポート・モードとコントロール・モードが混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1 命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) コントロール端子の場合

ソフトウェアで操作することやテストすることはできません。

6.8.4 内蔵プルアップ抵抗

P60-P67は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタL (PUOL) のPUOL6とポート6モード・レジスタ (PM6) で、端子ごとに指定できます。

PUOL6が1のとき、PM6で入力を指定した (PM6n = 1, n = 0-7) 端子の内蔵プルアップ抵抗が有効になります。

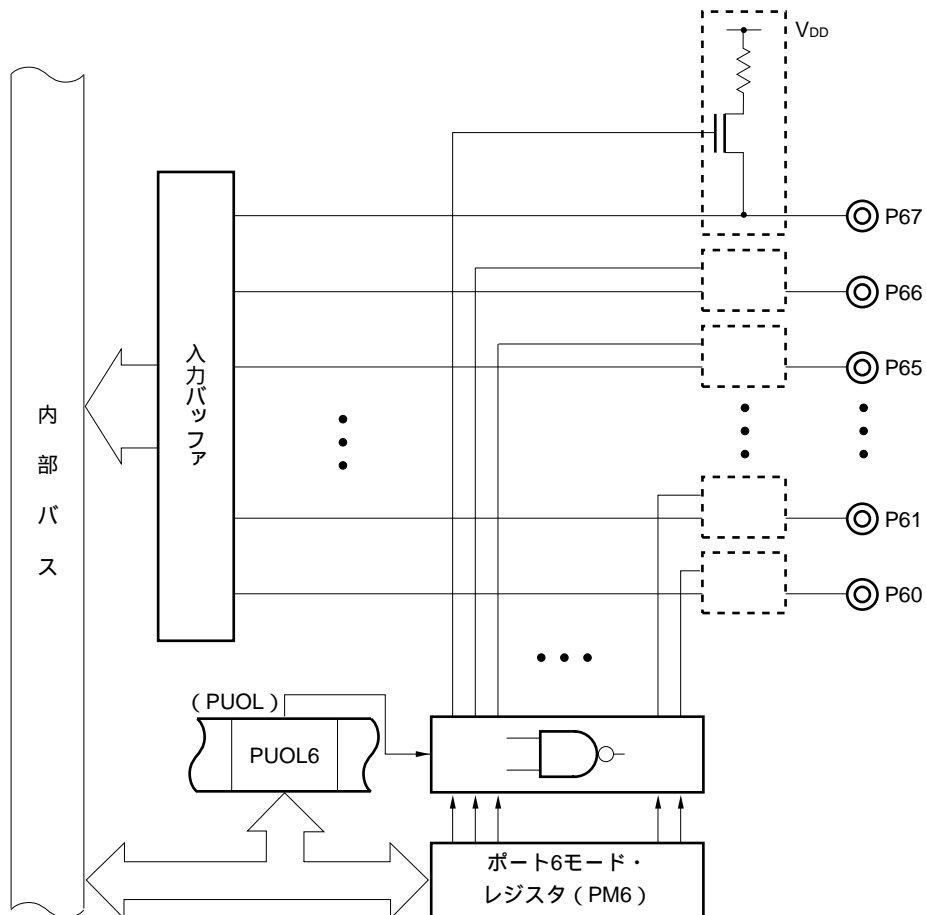
図6-58 プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOL	0	PUOL6	PUOL5	PUOL4	PUOL3	PUOL2	PUOL1	PUOL0	0FF4EH	00H	R/W

PUOL6	ポート6のプルアップ抵抗の指定
0	ポート6では使用しない
1	ポート6で使用する

備考 STOPモードに入る場合、消費電流を低減するために、PUOLに00Hを設定することが有効です。

図6-59 プルアップの指定 (ポート6)



6.9 ポート7

ポート7は、8ビット入出力ポートです。入出力ポートとして動作する以外に、A/Dコンバータ用アナログ入力の端子（ANI0-ANI7）としても動作します。

ポート7モード・レジスタ（PM7）により、1ビット単位で入力/出力の指定ができます。

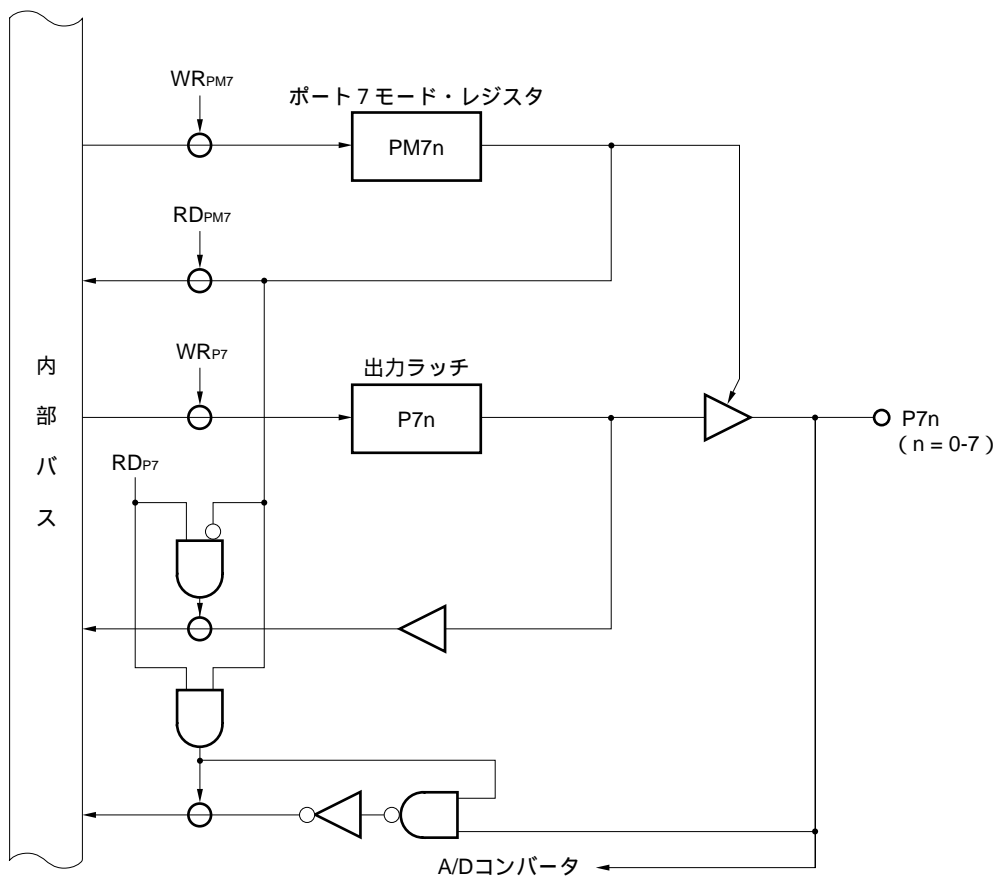
兼用端子の動作にかかわらず、常に端子レベルの読み込み、あるいはテストが可能です。

$\overline{\text{RESET}}$ 入力により、入力ポート（出力ハイ・インピーダンス状態）になり、出力ラッチの内容は不定になります。

6.9.1 ハードウェア構成

図6-60に、ポート7のハードウェア構成を示します。

図6-60 ポート7のブロック図



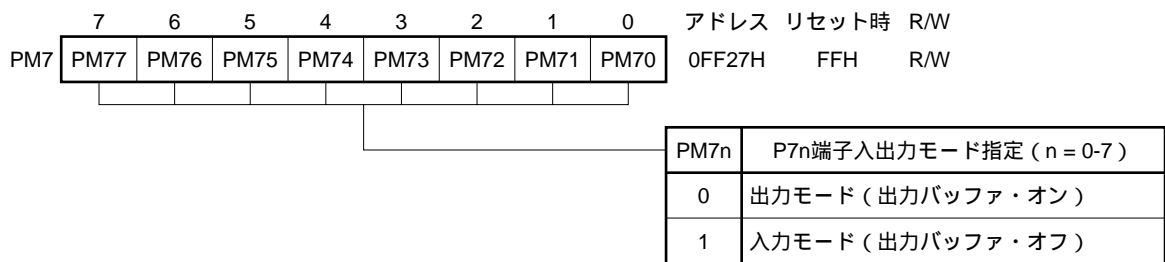
6.9.2 入出力モード/コントロール・モードの設定

ポート7の入出力モードは、図6-61のように端子ごとにポート7モード・レジスタ (PM7) により設定します。

入出力ポートとして動作する以外に、常時アナログ信号の入力ができるようになっています。モードの設定をする必要はありません。

なお、A/D変換動作の指定は、A/DコンバータのADMで行います (詳細は、第16章 A/Dコンバータ参照)。

図6-61 ポート7モード・レジスタ (PM7) のフォーマット



6.9.3 動作状態

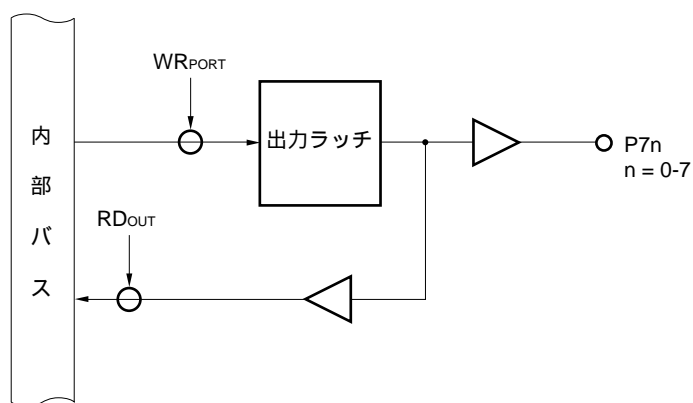
ポート7は、入出力ポートで、A/Dコンバータ用アナログ入力端子（ANI0-ANI7）を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込むまで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

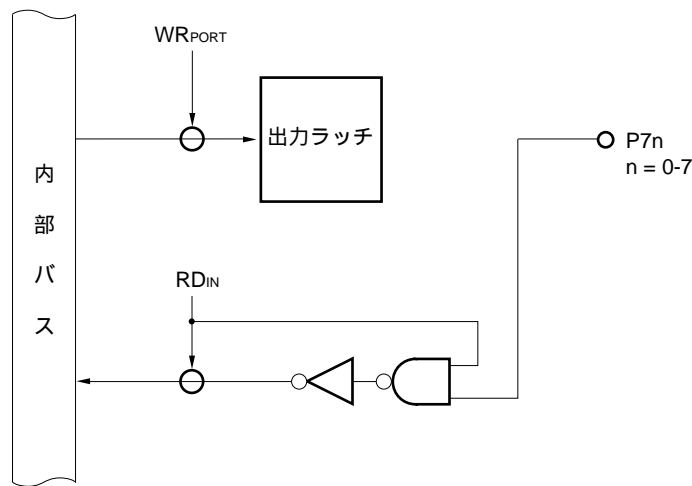
図6-62 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図6-63 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1、CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

6.9.4 内蔵プルアップ抵抗

ポート7は、プルアップ抵抗を内蔵していません。

6.9.5 注意事項

P70-P77をANI0-ANI7として使用している端子にAV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

詳細については、第16章 A/Dコンバータ 16.6 注意事項を参照してください。

6.10 ポート9

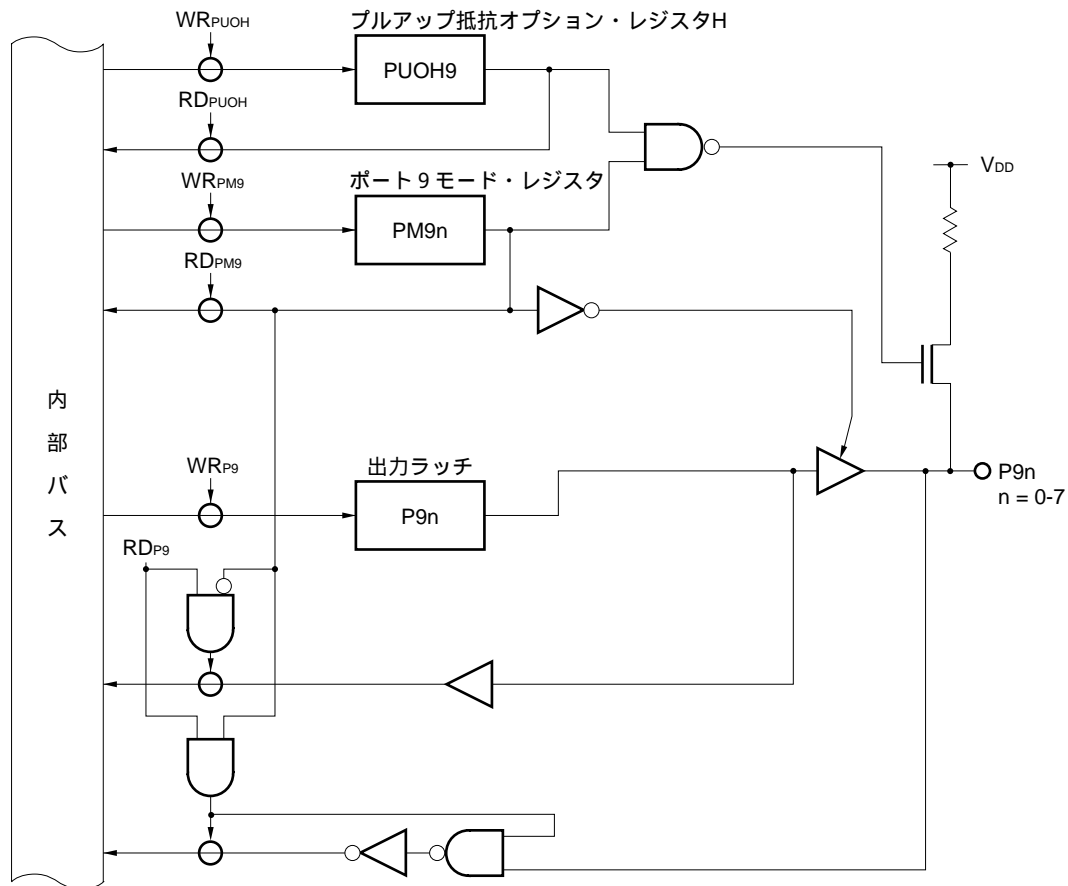
ポート9は、出力ラッチ付き8ビット入出力ポートです。ポート9モード・レジスタ（PM9）により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

$\overline{\text{RESET}}$ 入力により、入力ポート（出力ハイ・インピーダンス状態）になり、出力ラッチの内容は不定となります。

6.10.1 ハードウェア構成

図6-64に、ポート9のハードウェア構成を示します。

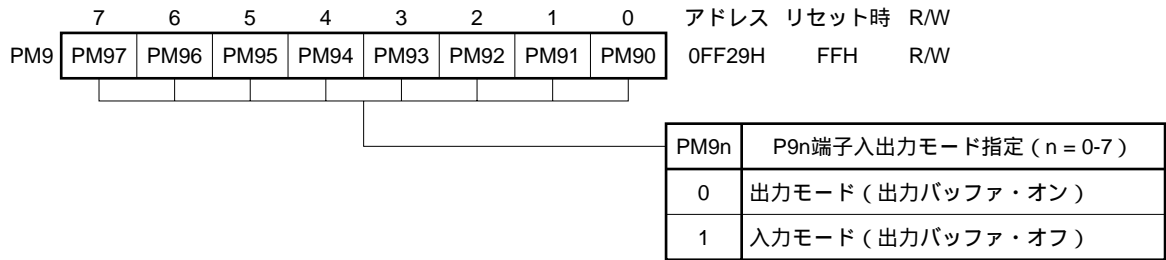
図6-64 ポート9のブロック図



6.10.2 入出力モード/コントロール・モードの設定

ポート9の入出力モードは、図6-65のように、端子ごとにポート9モード・レジスタ (PM9) により設定します。

図6-65 ポート9モード・レジスタ (PM9) のフォーマット



6.10.3 動作状態

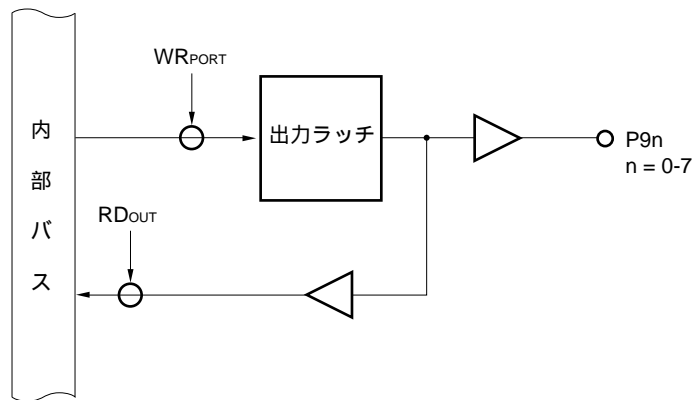
ポート9は、入出力ポートです。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込むまで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

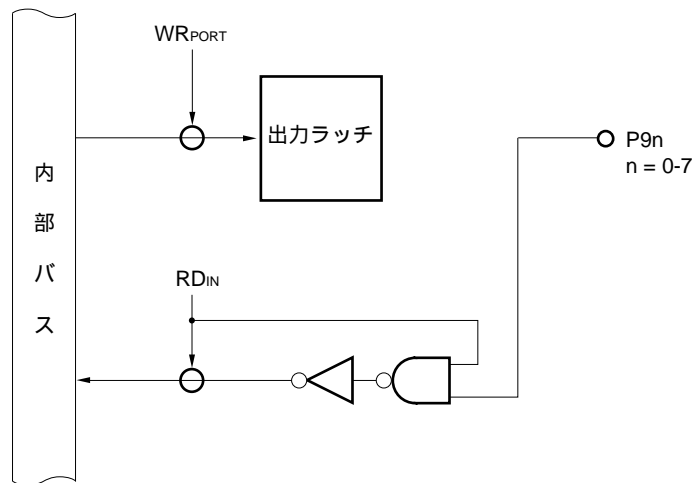
図6 - 66 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令などでアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図6-67 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

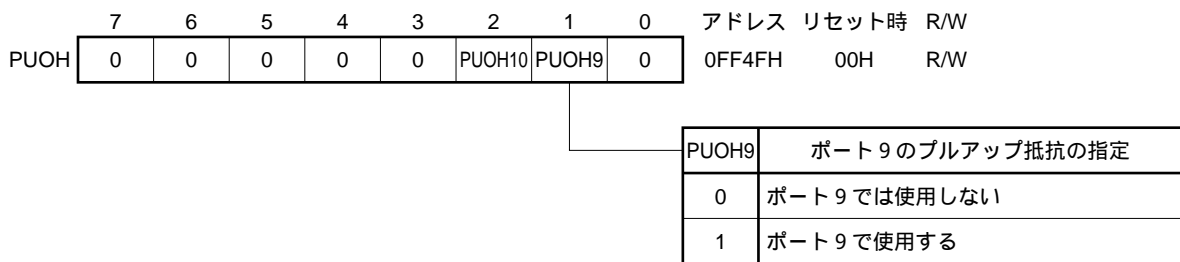
また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

6.10.4 内蔵プルアップ抵抗

ポート9は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

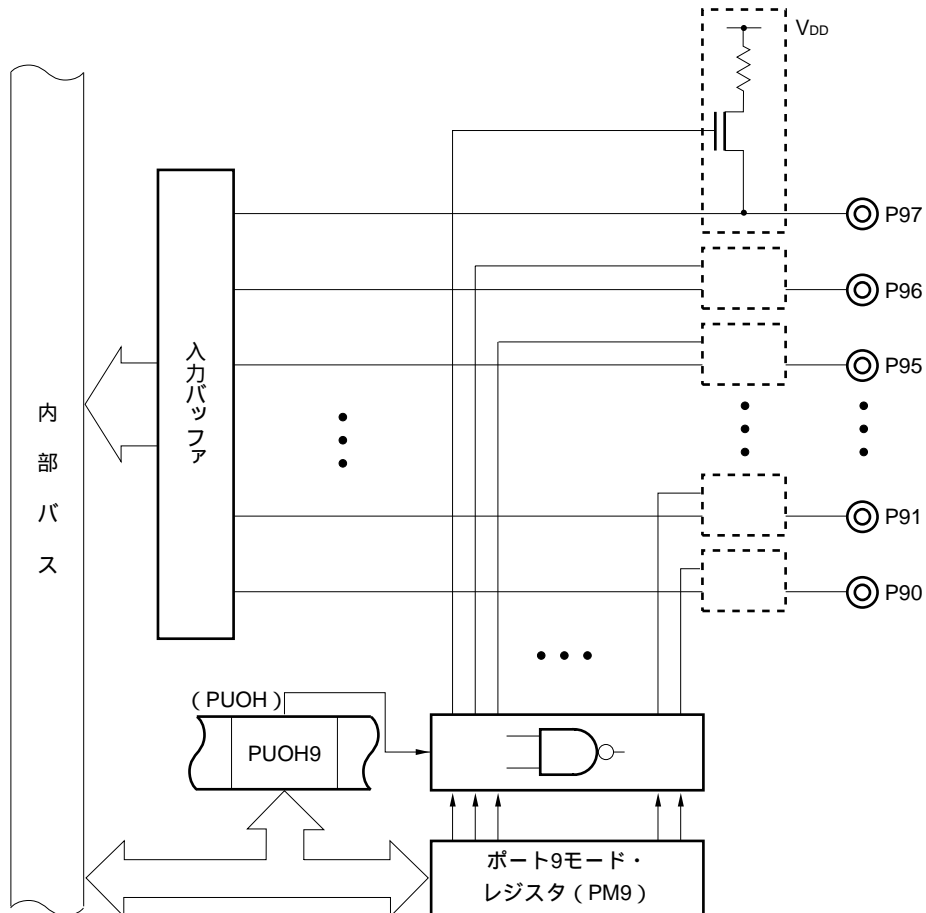
内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタH (PUOH) のPUOH9とポート9モード・レジスタ (PM9) で、端子ごとに指定できます。PUOH9が1のとき、PM9で入力を指定した (PM9n = 1, n = 0-7) 端子の内蔵プルアップ抵抗が有効になります。

図6 - 68 プルアップ抵抗オプション・レジスタH (PUOH) のフォーマット



備考 STOPモードに入る場合、消費電流を低減するために、PUOHに“00H”を設定することが有効です。

図6 - 69 プルアップ抵抗の指定 (ポート9)



6.11 ポート10

ポート10は、出力ラッチ付き8ビット入出力ポートです。ポート10モード・レジスタ (PM10) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。P105, P107は、N-chオープン・ドレイン接続の指定が可能です。

入出力ポートとしての機能以外に、シリアル・インタフェース用端子としての機能を兼用しています。動作モードは、ポート10モード・コントロール・レジスタ (PMC10) により、表6-11のようにビット単位に指定できます。いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みあるいはテストが可能です。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) になり、出力ラッチの内容は不定となります。

表6-11 ポート10の動作モード

(n = 0-7)

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC10n = 0	PMC10n = 1
P100-104	入出力ポート	-
P105		$\overline{\text{SCK3}}$ 入出力
P106		SI3入力
P107		SO3出力

(a) ポート・モード

PMC10によりポート・モードに指定された各ポートは、PM10により、1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード

PMC10の設定により、1ビット単位のコントロール端子にすることができます。

(i) $\overline{\text{SCK3}}$ (Serial Clock3)

$\overline{\text{SCK3}}$ は、クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子 (3線式シリアルI/O3モード時) です。

(ii) SI3 (Serial Input3)

SI3は、シリアル・データ入力端子 (3線式シリアルI/O3モード時) です。

(iii) SO3 (Serial Output3)

SO3は、シリアル・データ出力端子 (3線式シリアルI/O3モード時) です。

6.11.1 ハードウェア構成

図6-70-図6-73に、ポート10のハードウェア構成を示します。

図6-70 P100-P104 (ポート10) のブロック図

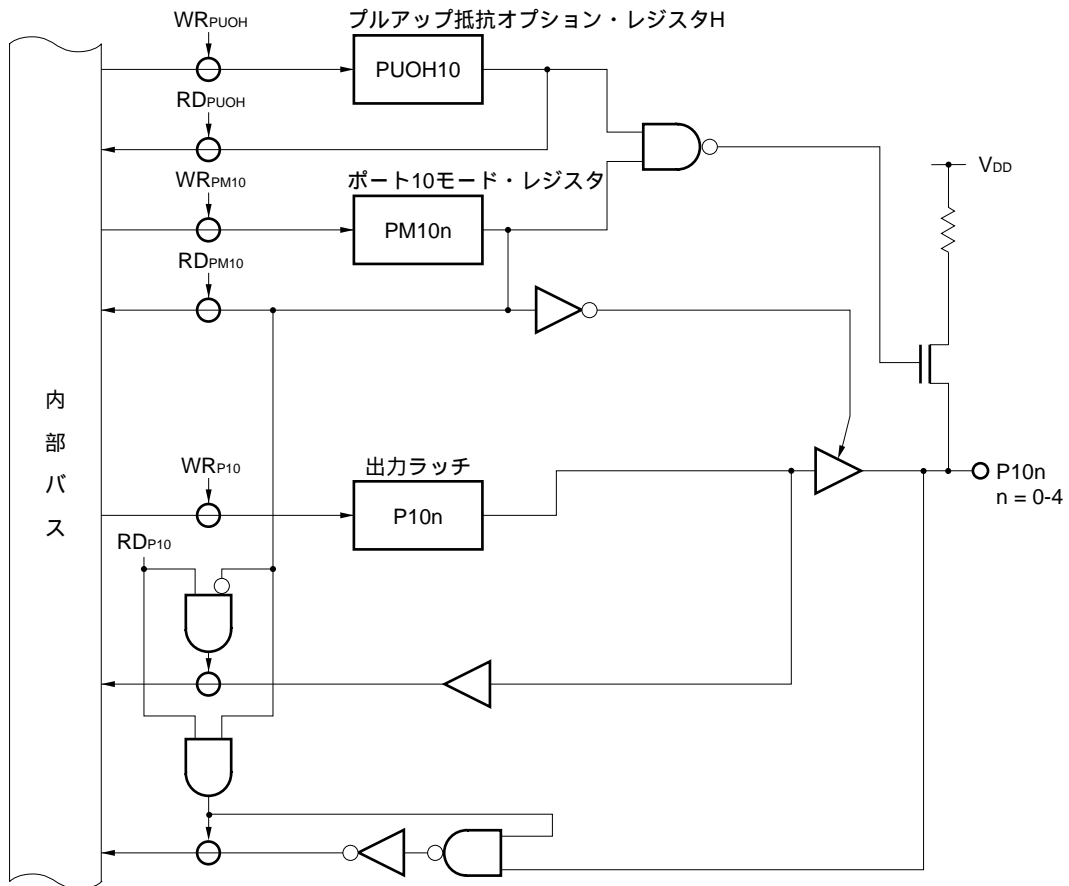


図6 - 71 P105 (ポート10) のブロック図

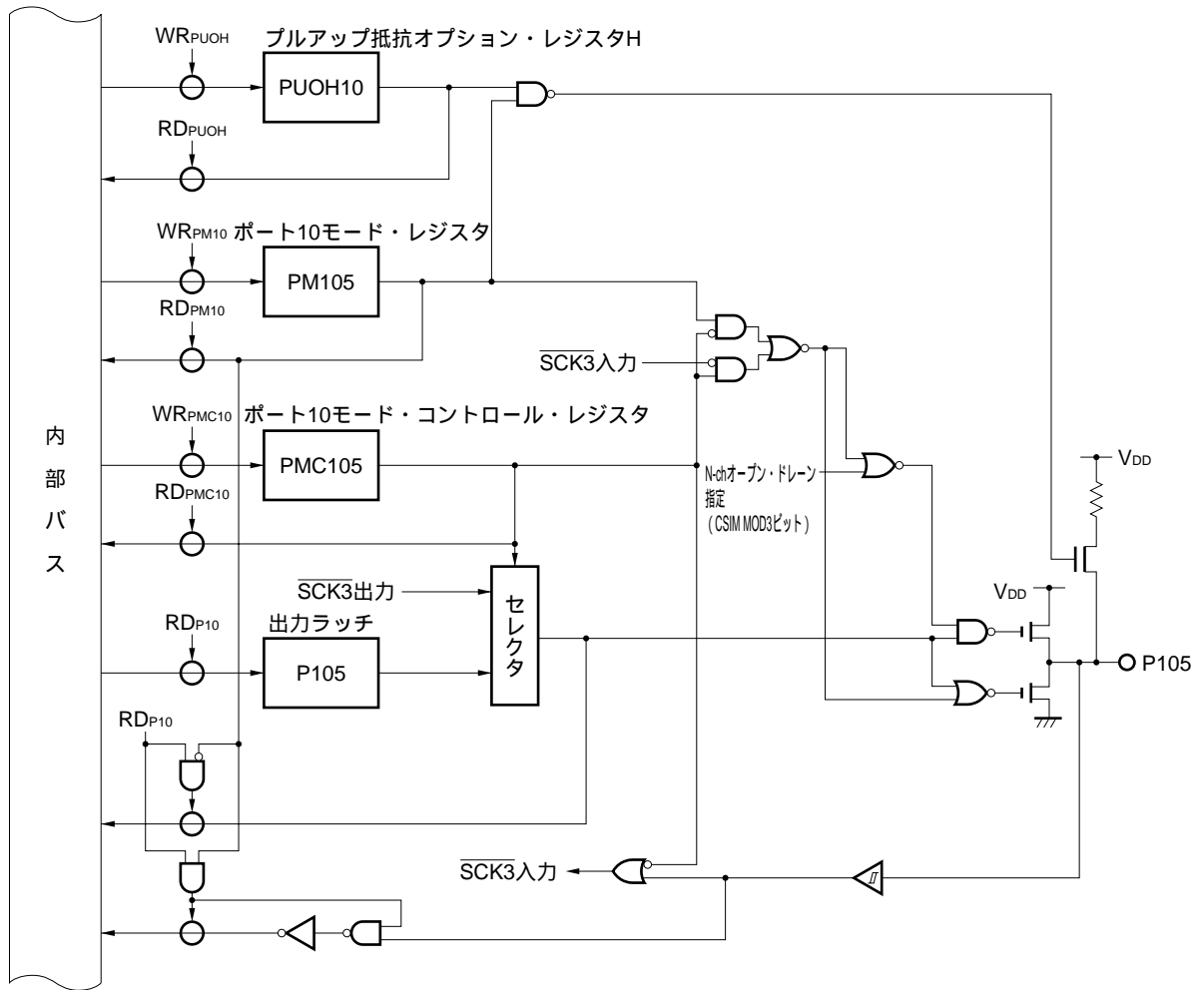


図6-72 P106 (ポート10) のブロック図

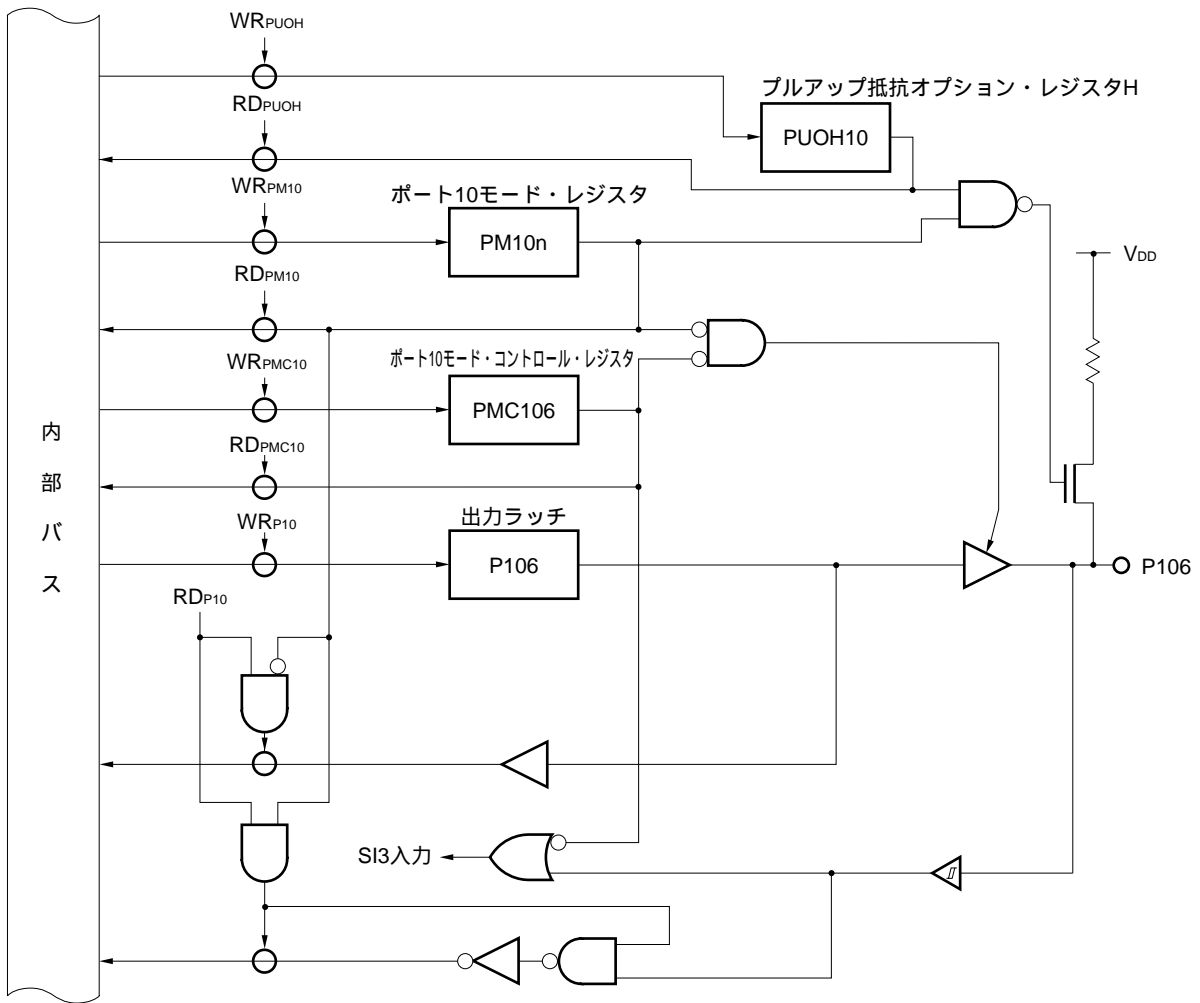
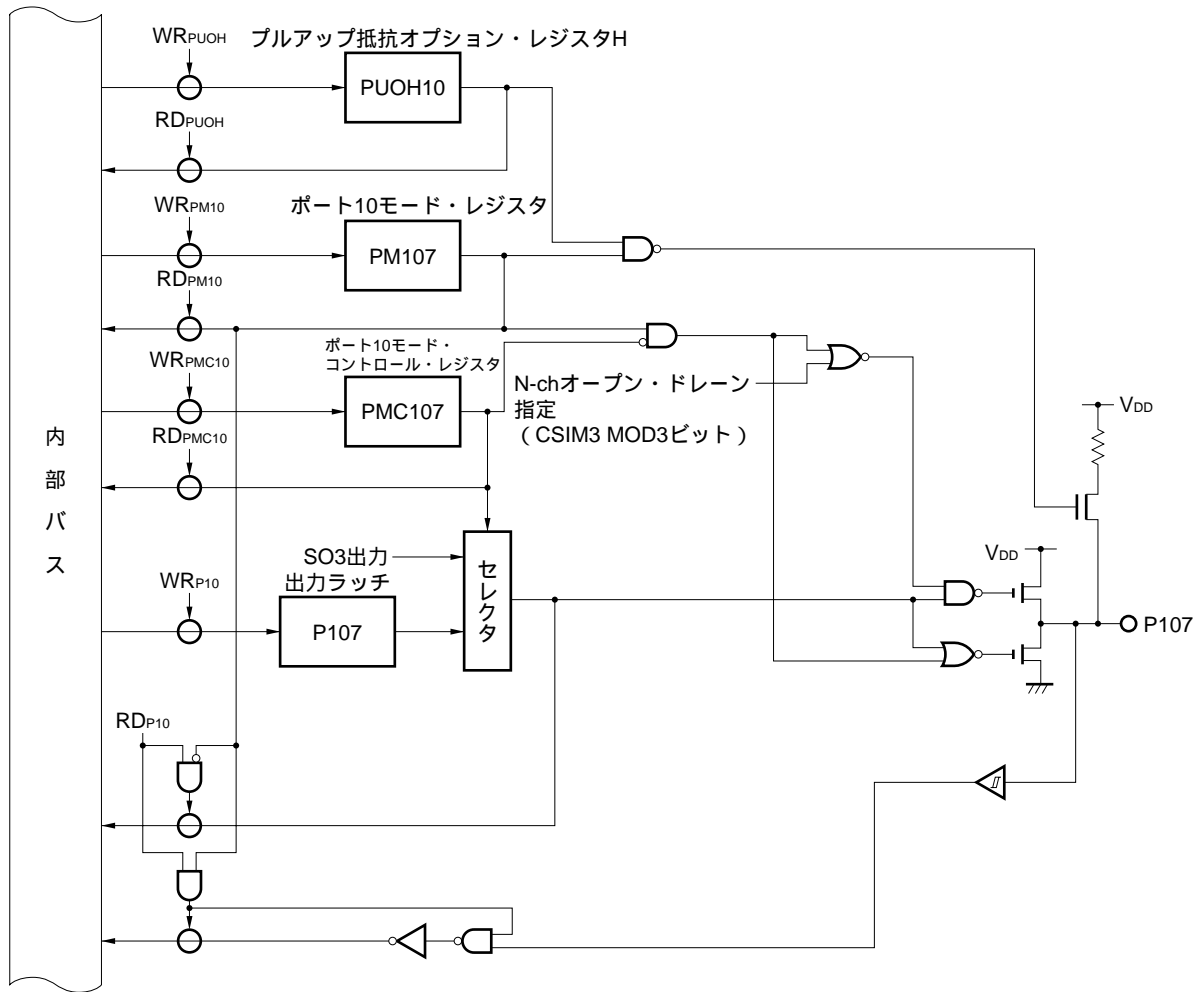


図6-73 P107 (ポート10) のブロック図



6.11.2 入出力モード/コントロール・モードの設定

ポート10の入出力モードは、図6-74のように、端子ごとにポート10モード・レジスタ (PM10) により設定します。

また、ポート10は入出力ポートとしての機能のほかに、シリアル・インタフェース用としての機能を兼用しており、図6-75のように、ポート10モード・コントロール・レジスタ (PMC10) により、コントロール・モードを指定します。

図6-74 ポート10モード・レジスタ (PM10) のフォーマット

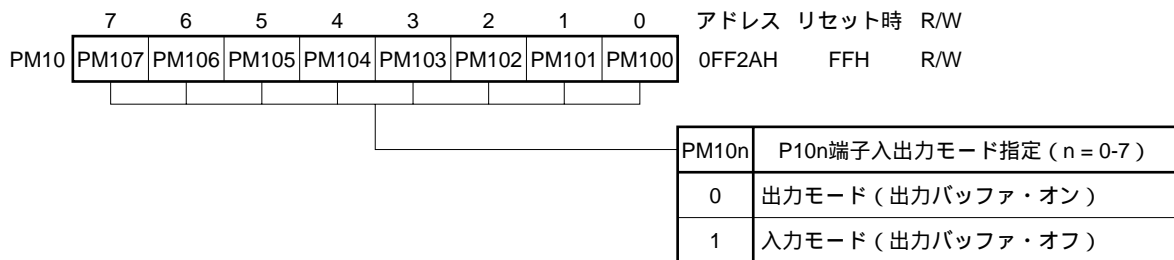
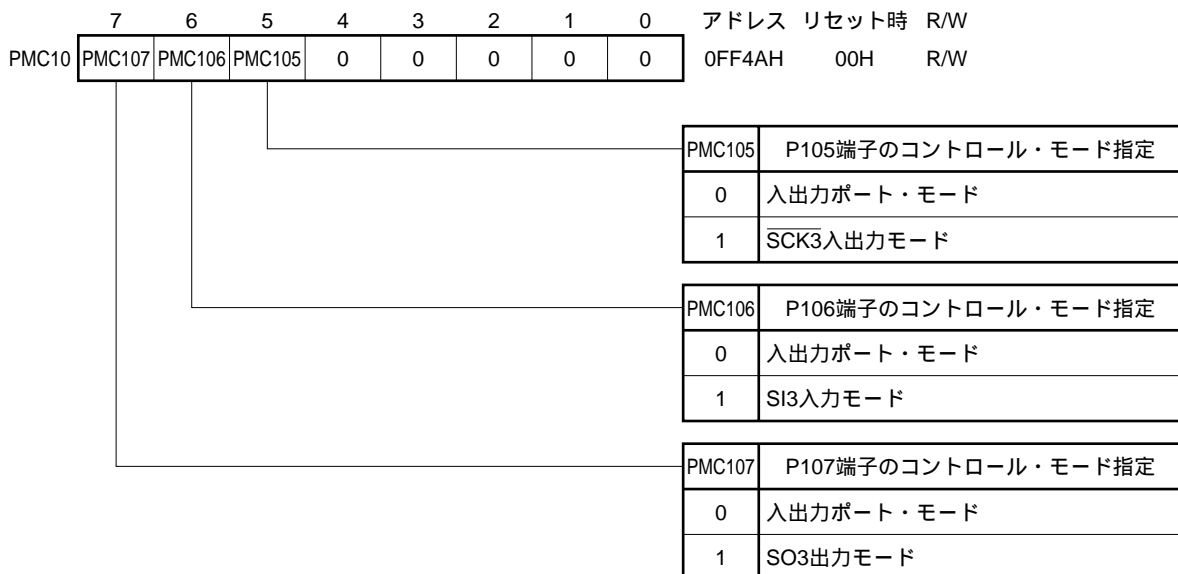


図6-75 ポート10モード・コントロール・レジスタ (PMC10) のフォーマット



6.11.3 動作状態

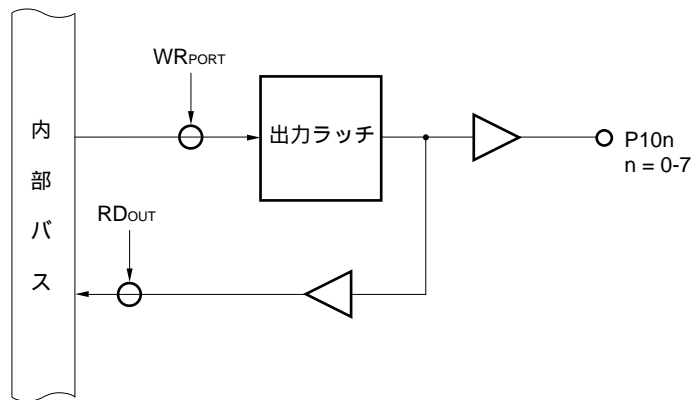
ポート10は、入出力ポートで、各種コントロール端子を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む[※]まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

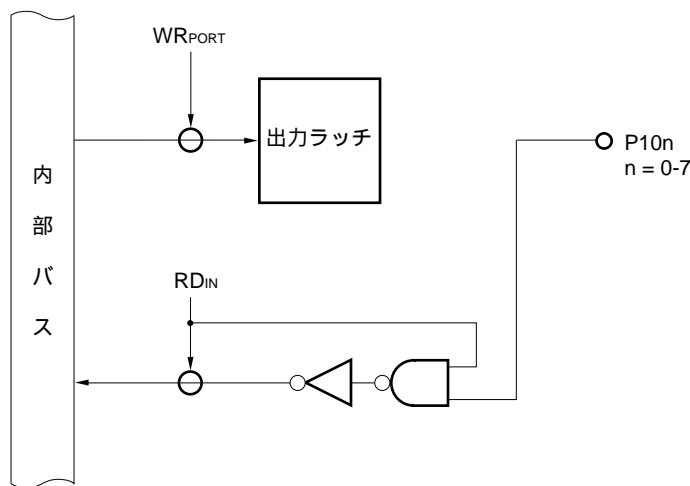
図6 - 76 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図6-77 入力ポート指定のポート



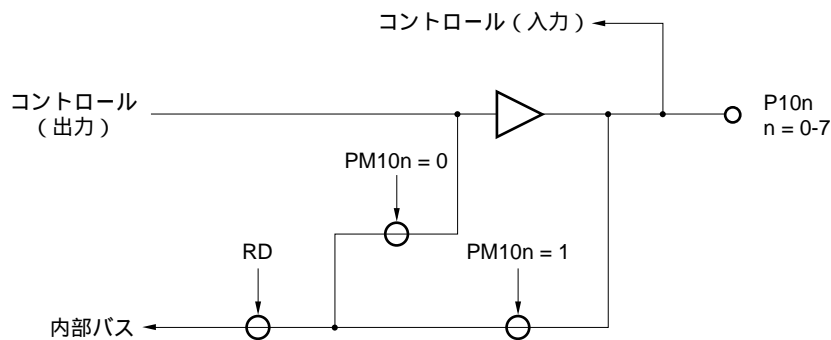
注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力やポート・モードとコントロール・モードが混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) コントロール信号入出力に指定された場合

ポート10は、ポート10モード・コントロール・レジスタ (PMC10) のビットをセット (1) することにより、ポート10モード・レジスタ (PM10) の設定にかかわらず、1ビット単位にコントロール信号の入力あるいは出力として使用することができます。各端子をコントロール信号として使用する場合、ポートの読み出し命令を実行することにより、コントロール信号の状態をみることができます。

図6 - 78 コントロール指定の場合

**(a) ポートがコントロール信号出力の場合**

ポート10モード・レジスタ (PM10) がセット (1) されている場合、ポートの読み込み命令を実行すると、コントロール信号端子のレベルを読み込むことができます。

PM10がリセット (0) されている場合、ポートの読み込み命令を実行すると、 μ PD784938A内のコントロール信号の状態を読み込むことができます。

(b) ポートがコントロール信号入力の場合

ポート10モード・レジスタ (PM10) がセット (1) されている場合のみ、ポートの読み込み命令を実行すると、コントロール信号端子のレベルを読み込むことができます。

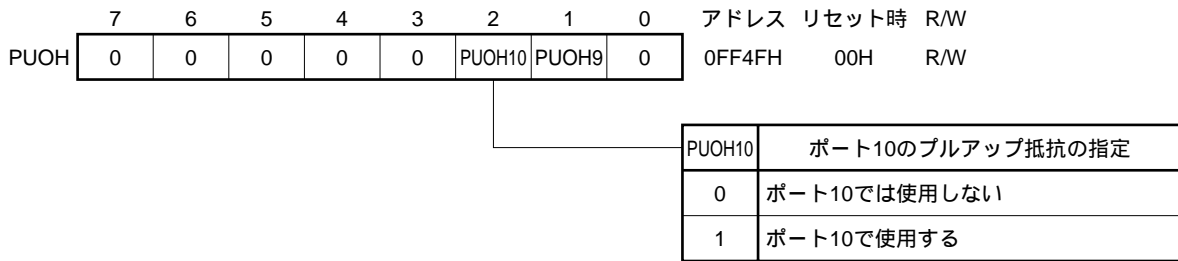
6.11.4 内蔵プルアップ抵抗

ポート10は、プルアップ抵抗を内蔵します。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタH (PUOH) のPUOH10とポート10モード・レジスタ (PM10) で、端子ごとに指定できます。PUOH10が1のとき、PM10で入力を指定した (PM10n = 1, n = 0-7) 端子の内蔵プルアップ抵抗が有効になります。

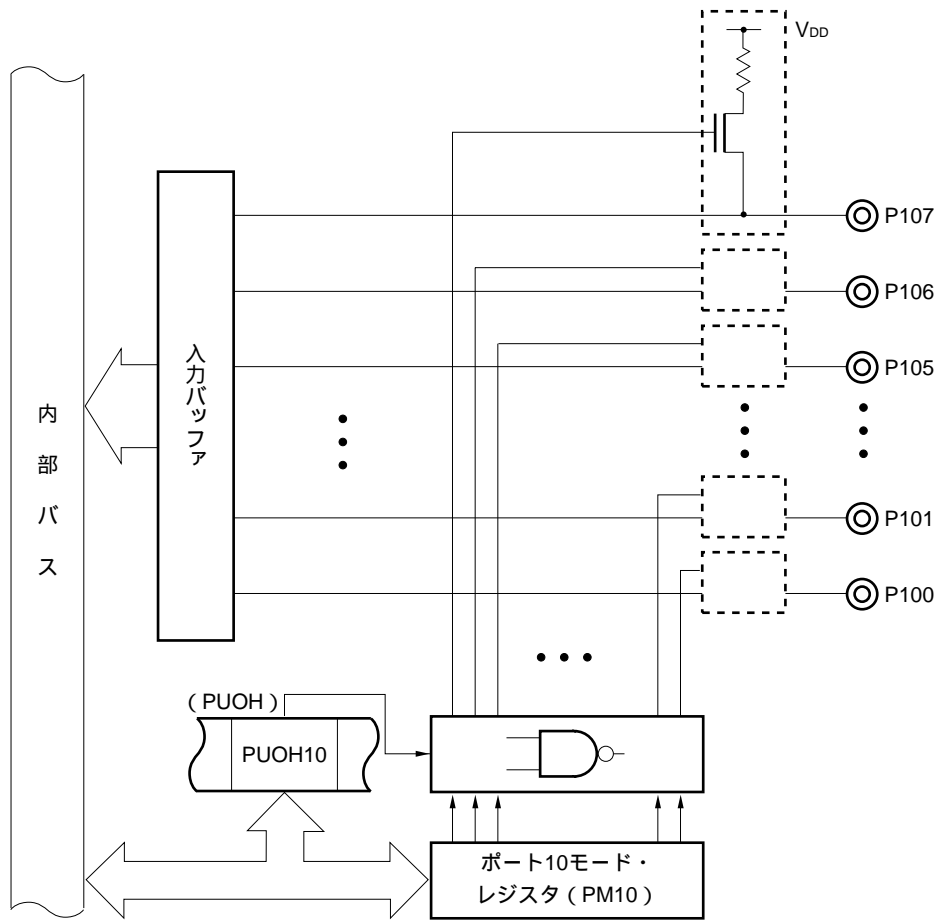
また、コントロール・モードに指定された端子でも、プルアップ抵抗を使用する指定は有効になります (コントロール・モード時に出力端子となる端子にも、プルアップ抵抗が接続されます)。したがって、コントロール・モード時にプルアップ抵抗を接続したくない場合には、PM10の対応するビットの内容を0 (出力モード) にしてください。

図6 - 79 プルアップ抵抗オプション・レジスタH (PUOH) のフォーマット



備考 STOPモードに入る場合、消費電流を低減するために、PUOHに“00H”を設定することが有効です。

図6-80 プルアップ抵抗の指定(ポート10)



6.12 注意事項

(1) すべてのポート端子は $\overline{\text{RESET}}$ 信号が入力されるとハイ・インピーダンスになります(内蔵プルアップ抵抗も端子から切り離されます)。

$\overline{\text{RESET}}$ 入力中に端子がハイ・インピーダンスとなって困る場合は、外付けの回路で対策を行ってください。

(2) 内蔵プルアップ抵抗の接続を設定するプルアップ抵抗オプション・レジスタ(PUO)のビット7は0固定ですが、インサーキット・エミュレータではPUOのビット7には1を書き込むと、1が読み出せるようになっています。

(3) 出力ラッチの内容は $\overline{\text{RESET}}$ 入力によっても初期化されません。出力ポートとして使用する場合は、必ず出力バッファをオンする前に、出力ラッチを初期化してください。出力バッファをオンする前に出力ラッチを初期化していないと出力ポートに予期しないデータが出力されます。

また同様に、コントロール端子として使用する端子は、必ず内部周辺ハードウェアの初期化を行ってからコントロール端子への指定を行ってください。

(4) P22-P26は、リセット直後にプルアップされないため、兼用端子(INTP1-INTP5)機能によって割り込み要求フラグがセットされることがあります。したがって、初期化ルーチンでプルアップを指定してから、割り込み要求フラグをクリアしてください。

(5) μ PD784938Aで、P40-P47、P50-P57をそれぞれアドレス/データ・バス、アドレス・バスとして使用する場合は、プルアップ抵抗オプション・レジスタ(PUO)のPUO4、PUO5ビットを必ず“0”に設定して内蔵プルアップ抵抗の接続を行わないようにしてください。

(6) P70-P77をANI0-ANI7として使用している端子にAV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

詳細については第16章 A/D コンバータ 16.6 注意事項を参照してください。

(7) ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力やポート・モードとコントロール・モードが混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます(SET1、CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

第7章 リアルタイム出力機能

7.1 構成と機能

リアルタイム出力機能は、図7 - 1に示すようにポート0とポート0バッファ・レジスタ（POH, POL）を中心とするハードウェアによって実現されます。

POH, POLにあらかじめ用意しておいたデータをタイマ/イベント・カウンタ1からの割り込み、または外部割り込みの発生と同時にハードウェアにより出力ラッチに転送し、外部に出力することをリアルタイム出力機能といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

リアルタイム出力データとして次の2種が扱えます。

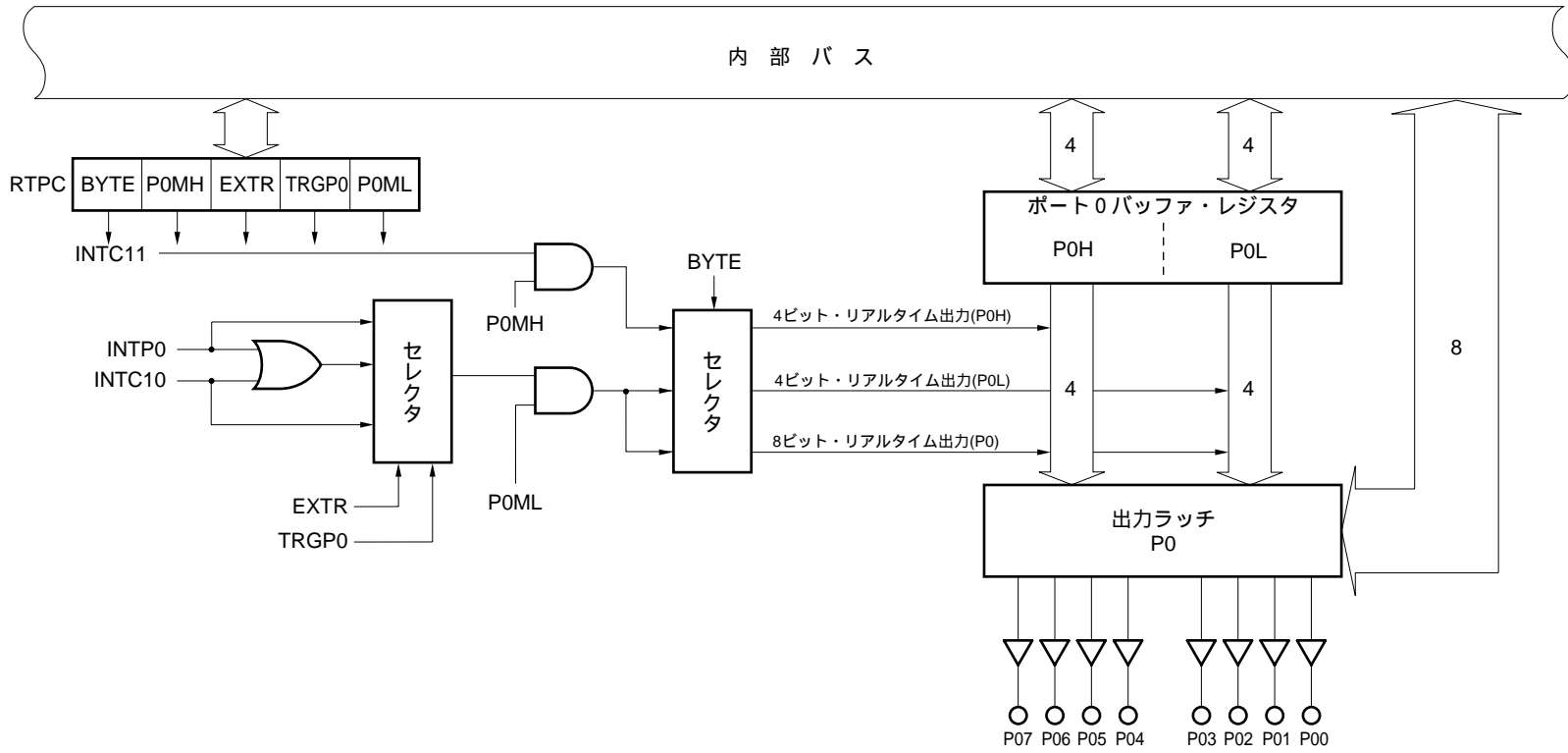
- ・ 4ビット×2チャンネル
- ・ 8ビット×1チャンネル

リアルタイム出力機能と後述するマクロ・サービス機能を組み合わせることによって、ソフトウェアの介在なしにプログラマブルなタイミングを持ったパターン・ジェネレータの機能を実現します。

たとえば、ステッピング・モータの制御に最適です。

図7 - 1に、リアルタイム出力ポートのブロック図を示します。

図7 - 1 リアルタイム出力ポートのブロック図



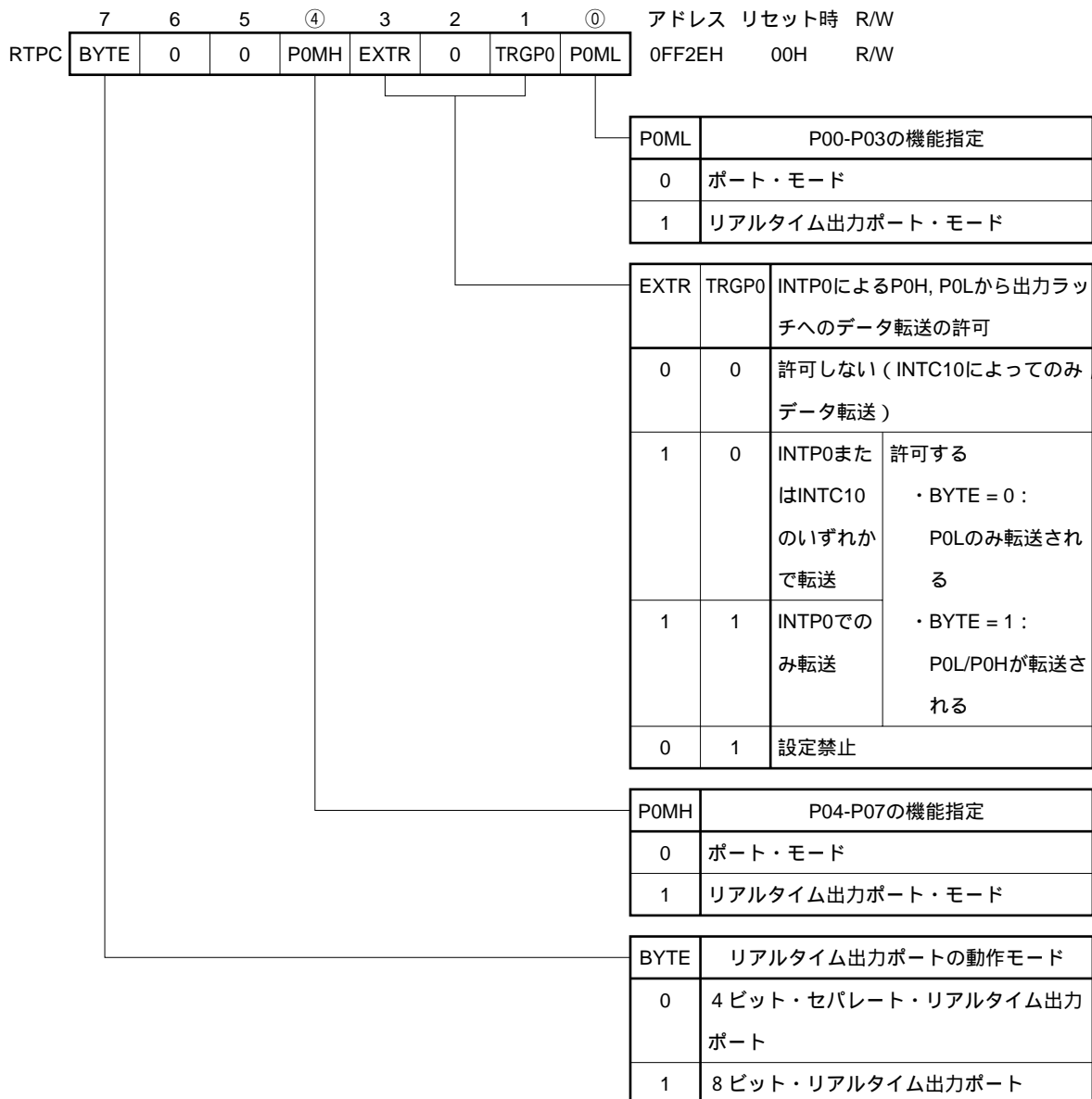
7.2 リアルタイム出力ポート・コントロール・レジスタ (RTPC)

RTPCはポート0の機能を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図7-2に、RTPCのフォーマットを示します。

RESET入力により00Hになります。

図7-2 リアルタイム出力ポート・コントロール・レジスタ (RTPC) のフォーマット



注意 P0ML, P0MHビットをセット(1)すると、ポート0モード・レジスタ(PM0)の内容にかかわらず、該当するポートの出力バッファがオンとなり、ポート0出力ラッチの内容が出力されます。したがって、リアルタイム出力ポートとして指定する前に、出力ラッチの内容を初期化してください。

7.3 リアルタイム出力ポートのアクセス

ポート0バッファ・レジスタ (P0H, P0L) は図7 - 3に示すようにSFR領域内でそれぞれ独立したアドレスにマッピングされています。

4ビット×2チャンネルのリアルタイム出力機能を指定した場合, P0H, P0Lはそれぞれ独立にデータをセットすることができます。

8ビット×1チャンネルのリアルタイム出力機能を指定した場合は, P0H, P0Lのどちらか一方に8ビット・データを書き込むことによって, P0H, P0Lそれぞれにデータをセットすることができます。

表7 - 1に, ポート0とP0H, P0Lに対する操作時の動作を示します。

図7 - 3 ポート0バッファ・レジスタ (P0H, P0L) の構成

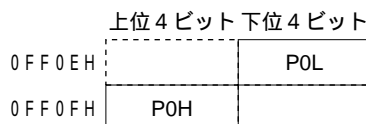


表7 - 1 ポート0とポート0バッファ・レジスタ (P0H, P0L) に対する操作時の動作

動作モード	レジスタ	リード動作		ライト動作	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
8ビット・ポート・モード	P0	出力ラッチ		出力ラッチ	
	P0L	バッファ・レジスタ ^注		-	バッファ・レジスタ
	P0H	バッファ・レジスタ ^注		バッファ・レジスタ	-
8ビット・リアルタイム出力ポート・モード	P0	出力ラッチ		-	
	P0L	バッファ・レジスタ		バッファ・レジスタ	
	P0H	バッファ・レジスタ		バッファ・レジスタ	
4ビット・セパレート・リアルタイム出力ポート・モード	P0	出力ラッチ		-	
	P0L	バッファ・レジスタ ^注		-	バッファ・レジスタ
	P0H	バッファ・レジスタ ^注		バッファ・レジスタ	-
P00-P03 : ポート P04-P07 : リアルタイム出力 ポート・モード	P0	出力ラッチ		-	出力ラッチ
	P0L	バッファ・レジスタ ^注		-	バッファ・レジスタ
	P0H	バッファ・レジスタ ^注		バッファ・レジスタ	-
P00-P03 : リアルタイム出力 ポート・モード P04-P07 : ポート	P0	出力ラッチ		出力ラッチ	-
	P0L	バッファ・レジスタ ^注		-	バッファ・レジスタ
	P0H	バッファ・レジスタ ^注		バッファ・レジスタ	-

注 上位4ビットにはP0Hの内容が, 下位4ビットにはP0Lの内容がそれぞれ読み出されます。

備考 - : 出力ラッチおよびポート0バッファ・レジスタに影響を与えません。

ポート0バッファ・レジスタへのデータ設定の例

- ・ 4ビット×2チャンネル動作の場合
MOV P0L, #05H ; P0Lに0101Bをセット
MOV P0H, #0C0H ; P0Hに1100Bをセット
- ・ 8ビット×1チャンネル動作の場合
MOV P0L, #0C5H ; P0Lに0101B, P0Hに1100Bをセット
または
MOV P0H, #0C5H

出力ラッチに転送するタイミングは、次の3つのソースで決定できます。

- ・ タイマ/イベント・カウンタ1からの割り込み (INTC10またはINTC11)
- ・ INTP0外部割り込み

7.4 動作

ポート0の機能をリアルタイム出力ポートに指定すると、表7-2に示すトリガ条件の発生に同期してポート0バッファ・レジスタ (POH, POL) の内容が出力ラッチに取り込まれ、ポート0の端子に出力されます。

たとえば、出力トリガの発生源としてタイマ/イベント・カウンタ1のタイマ・カウンタ1 (TM1) とコンペア・レジスタ (CR10, CR11) との一致信号 (INTC10, INTC11) を選択します。そのとき、CR10, CR11にあらかじめ設定した値をインターバルとするタイミングでポート0端子の出力データをPOH, POLの値に変化させることができます。このリアルタイム出力ポート機能とマクロ・サービス機能を組み合わせることによって、ポート0出力端子の出力データを任意のインターバル時間で順次変化させることができます (23.8マクロ・サービス機能参照)。

また、出力トリガの発生源として外部割り込み端子 (INTP0) を選択すれば外部イベントに同期したポート0出力を得ることができます。

表7-2 リアルタイム出力ポートの出力トリガ (P0MH = P0ML = 1の場合)

RTPC			出力モード	POH	POL
BYTE	EXTR	TRGP0			
0	0	0	4ビット・リアルタイム出力	INTC11	INTC10
0	1	0		INTC11	INTC10またはINTP0
0	1	1		INTC11	INTP0
1	0	0	8ビット・リアルタイム出力	INTC10	
1	1	0		INTC10またはINTP0	
1	1	1		INTP0	

図7-4 リアルタイム出力ポートの動作タイミング

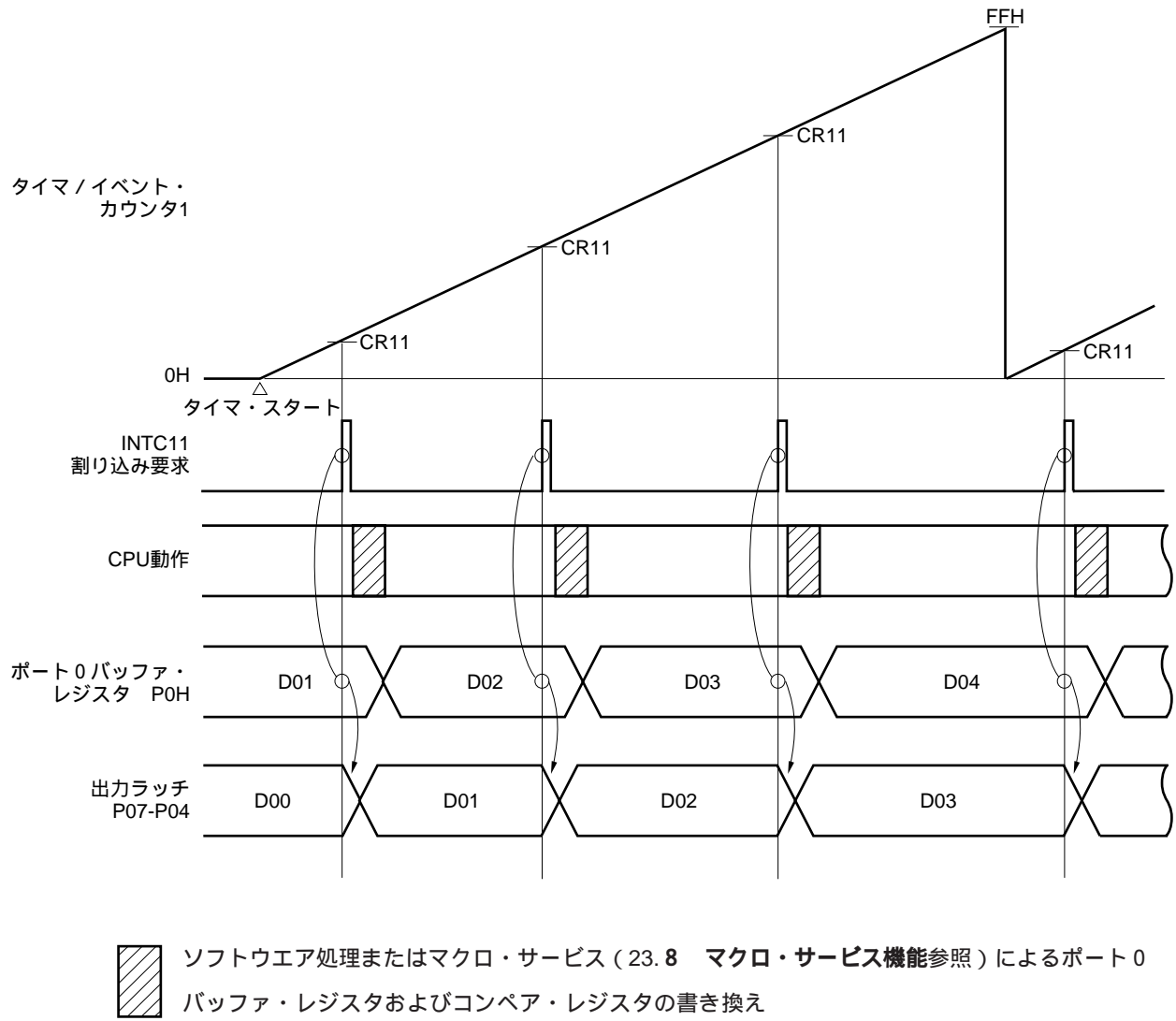
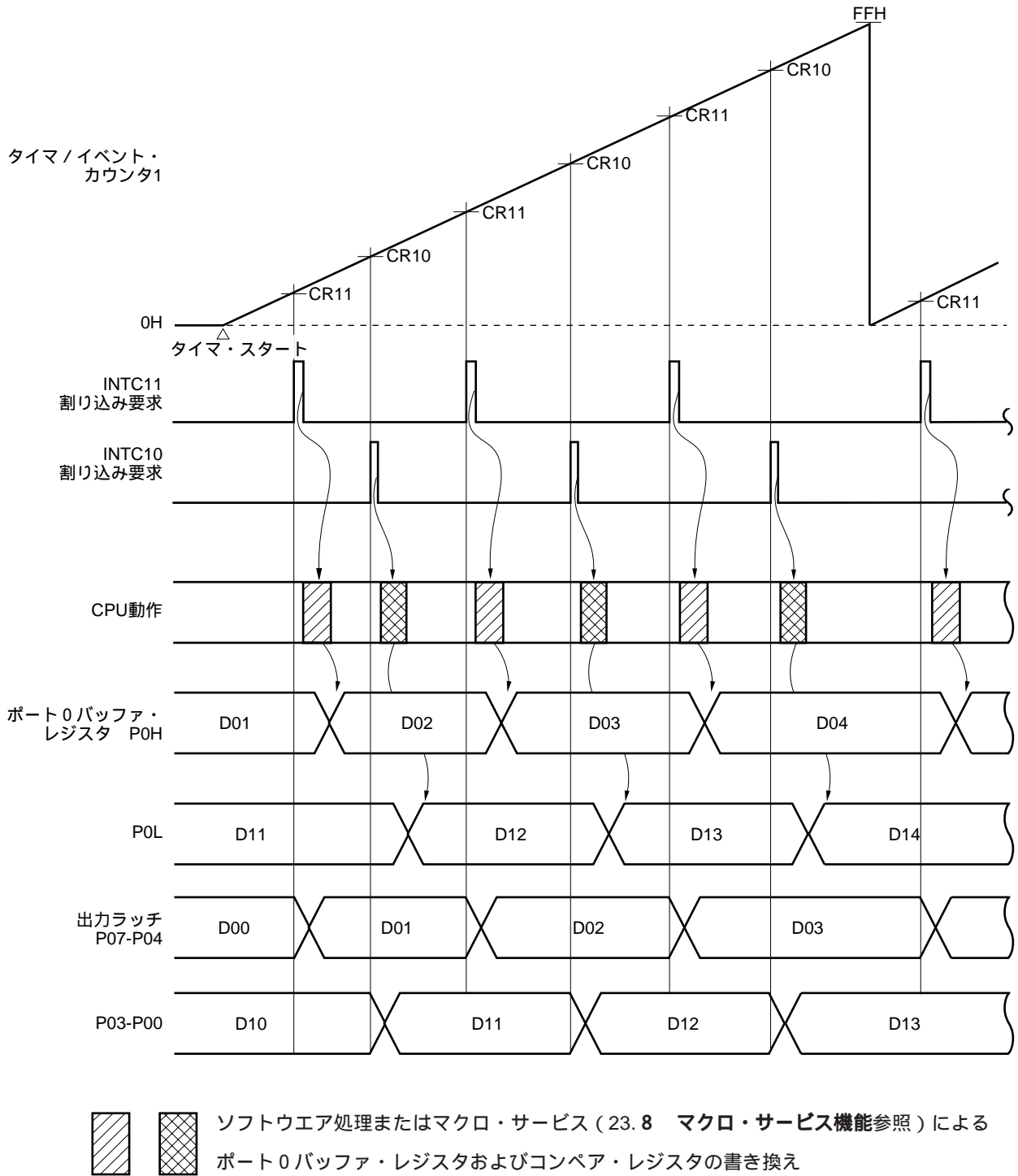


図7-5 リアルタイム出力ポートの動作タイミング(2ch独立制御の例)



7.5 使用例

P00-P03を4ビット・リアルタイム出力ポートとして使用する場合を示します。

タイマ/イベント・カウンタ1のタイマ・カウンタ1 (TM1)とコンペア・レジスタ (CR10)の内容が一致するごとに、ポート0バッファ・レジスタ (P0L)の内容がP00-P03へ出力されます。このときに同時に発生する割り込み処理ルーチン中で、次に出力するデータの設定と、次に出力を変化させるタイミングを設定します (図7 - 6参照)。

なお、タイマ/イベント・カウンタ1の使用方法については、第10章 タイマ/イベント・カウンタ1を参照してください。

図7 - 7に制御レジスタの設定内容、図7 - 8にその設定手順、図7 - 9に割り込み処理ルーチン内での処理を示します。

図7 - 6 リアルタイム出力ポートの動作タイミング

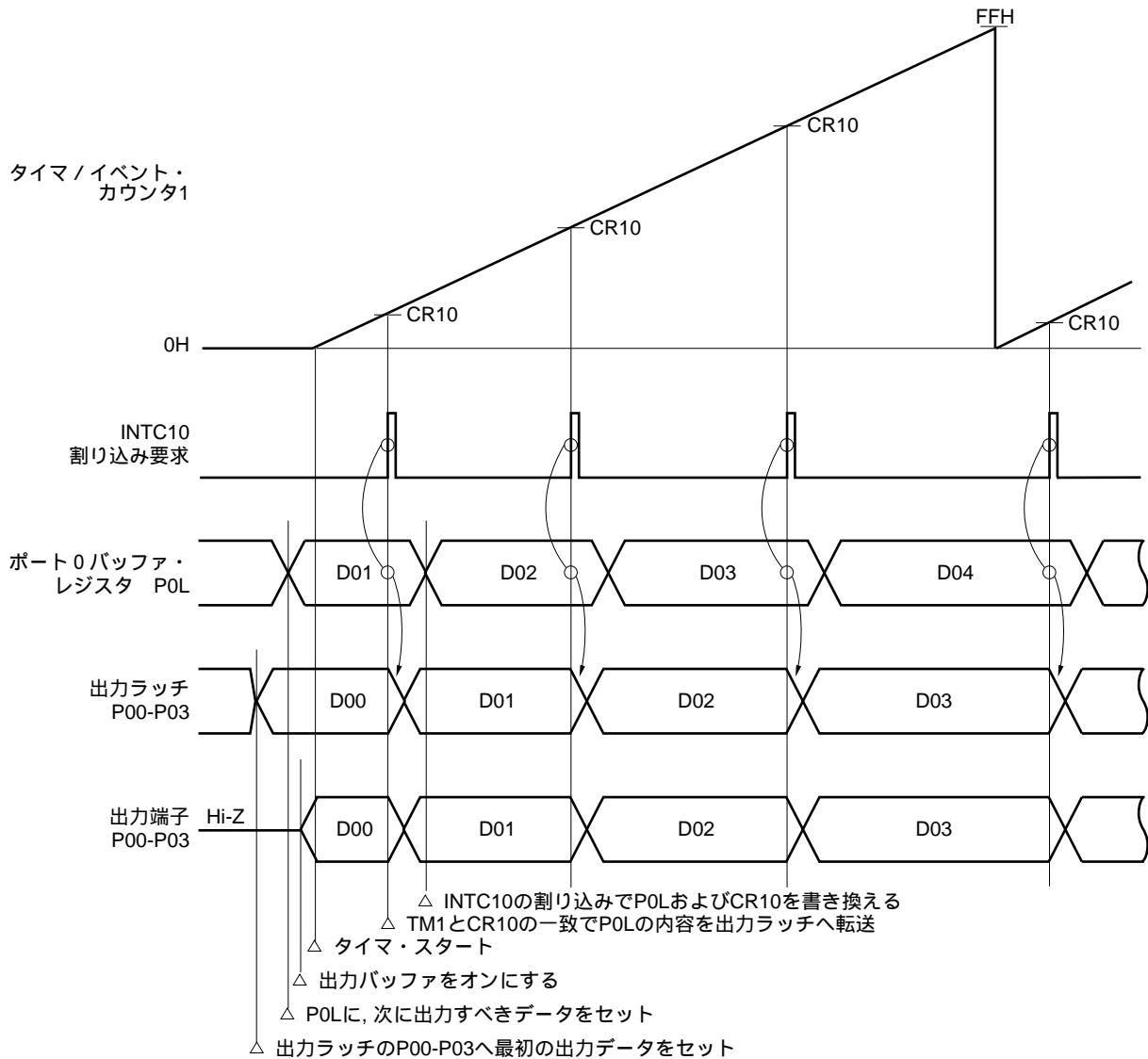


図7-7 リアルタイム出力機能の制御レジスタの設定内容

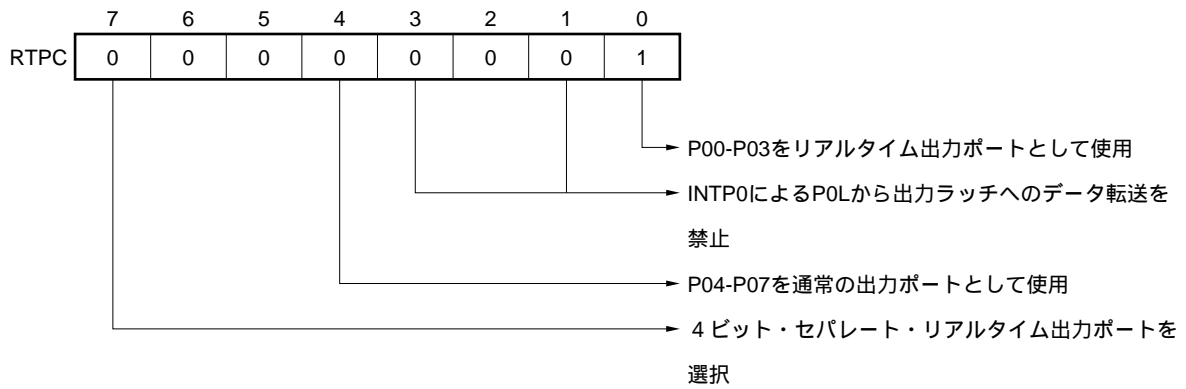
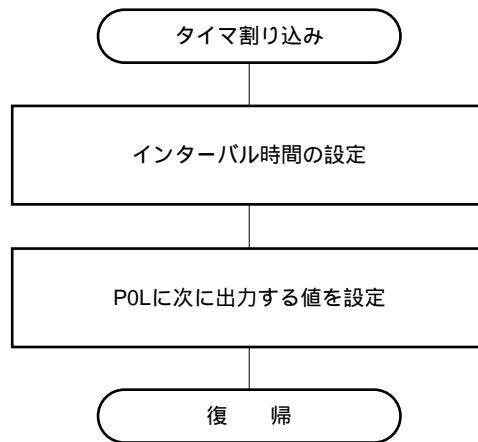


図7-8 リアルタイム出力機能の設定手順



図7-9 リアルタイム出力機能使用時の割り込み要求処理



7.6 注意事項

(1) P0ML, P0MHビットをセット(1)すると、ポート0モード・レジスタ(PM0)の内容にかかわらず、該当するポートの出力バッファがオンとなり、ポート0出力ラッチの内容が出力されます。したがって、リアルタイム出力ポートとして指定する前に、出力ラッチの内容を初期化してください。

(2) リアルタイム出力ポートとして指定された場合、ソフトウェアで出力ラッチに直接値を書くことはできなくなります。したがって、リアルタイム出力ポートとして使用することを指定する前に、ソフトウェアで出力ラッチの初期値を設定する必要があります。

また、リアルタイム出力ポートとして使用中に、出力データを強制的に固定値にする必要が生じた場合には、リアルタイム出力ポート・コントロール・レジスタ(RTPC)を操作して、通常出力ポートに変更してから出力ラッチに出力したい値を書き込むようにしてください。

第8章 タイマの概説

μPD784938Aは、タイマ/イベント・カウンタを3ユニット、タイマを1ユニット内蔵しています。

また、計7つの割り込み要求をサポートしていますので、7ユニットのタイマ/イベント・カウンタとして機能させることができます。

表8 - 1 タイマの動作

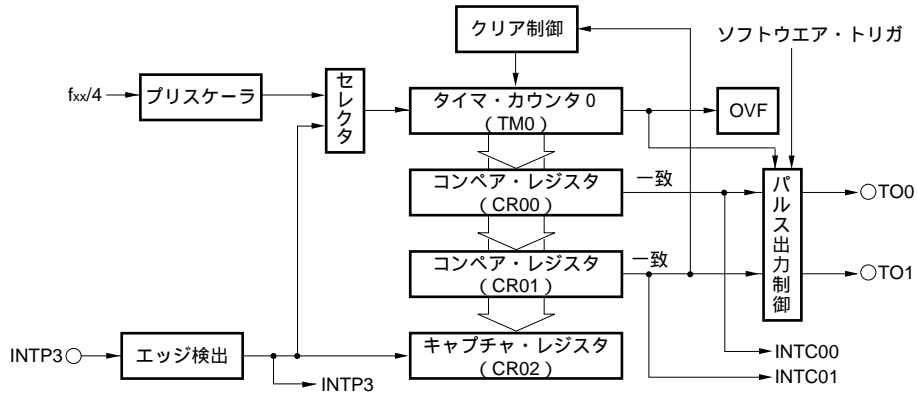
項 目		名 称	タイマ/イベント・ カウンタ0	タイマ/イベント・ カウンタ1	タイマ/イベント・ カウンタ2	タイマ3
カウント幅	8ビット		-			
	16ビット					
動作モード	インターバル・タイマ		2ch	2ch	2ch	1ch
	外部イベント・カウンタ					-
	ワンショット・タイマ		-	-		-
機 能	タイマ出力		2ch	-	2ch	-
	トグル出力			-		-
	PWM/PPG出力			-		-
	ワンショット・パルス出力 ^注			-	-	-
	リアルタイム出力		-		-	-
	パルス幅測定		1入力	1入力	2入力	-
	割り込み要求数		2	2	2	1

注 ワンショット・パルス出力機能とは、ソフトウェアによりパルス出力レベルをアクティブにし、ハードウェア（割り込み要求信号）によりインアクティブにする機能です。

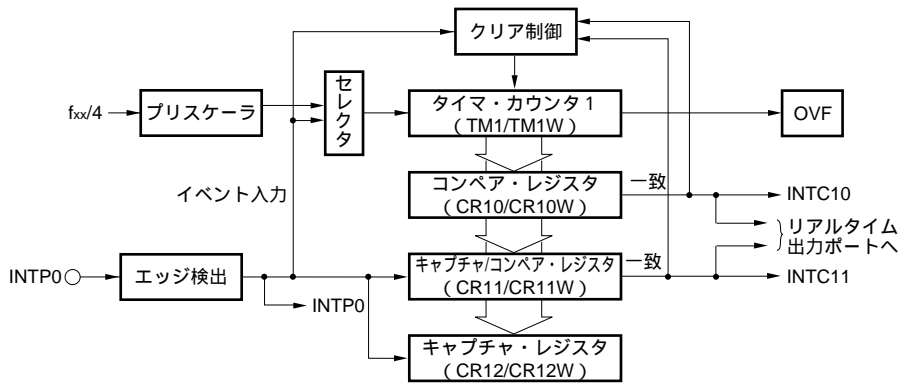
この機能は、タイマ/イベント・カウンタ2のワンショット・タイマ機能とは性質が異なります。

図8-1 タイマのブロック図

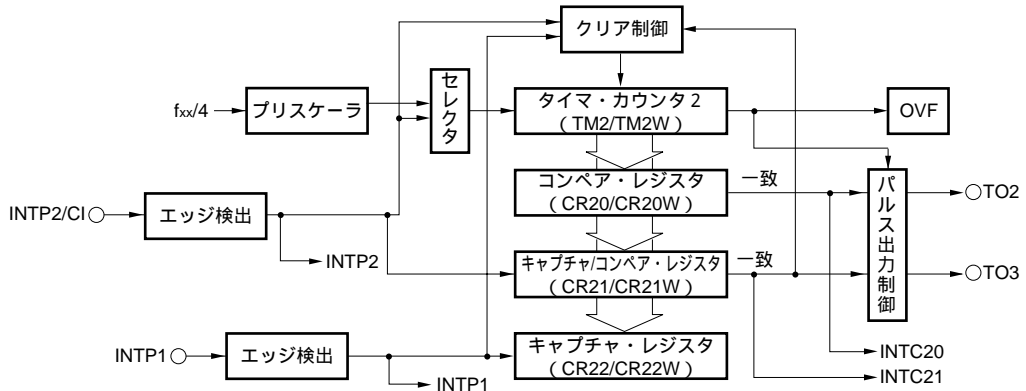
タイマ/イベント・カウンタ0



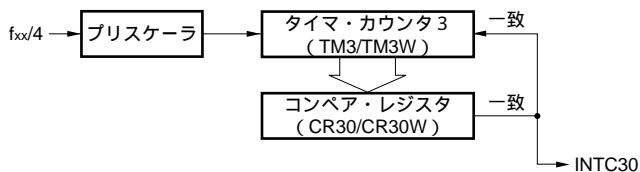
タイマ/イベント・カウンタ1



タイマ/イベント・カウンタ2



タイマ3



備考 OVF : オーバフロー・フラグ

第9章 タイマ/イベント・カウンタ0

9.1 機能

タイマ/イベント・カウンタ0は、16ビットのタイマ/イベント・カウンタです。

インターバル・タイマ、プログラマブル矩形波出力、パルス幅測定、イベント・カウンタのような基本機能のほかに、次のような機能として使うことができます。

- ・PWM出力
- ・周期測定
- ・ソフト・トリガド・ワンショット・パルス出力

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表9 - 1 タイマ/イベント・カウンタ0のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$4/f_{xx}$ (0.32 μ s)	$2^{16} \times 4/f_{xx}$ (20.8 ms)	$4/f_{xx}$ (0.32 μ s)
$8/f_{xx}$ (0.64 μ s)	$2^{16} \times 8/f_{xx}$ (41.7 ms)	$8/f_{xx}$ (0.64 μ s)
$16/f_{xx}$ (1.27 μ s)	$2^{16} \times 16/f_{xx}$ (83.4 ms)	$16/f_{xx}$ (1.27 μ s)
$32/f_{xx}$ (2.54 μ s)	$2^{16} \times 32/f_{xx}$ (167 ms)	$32/f_{xx}$ (2.54 μ s)
$64/f_{xx}$ (5.09 μ s)	$2^{16} \times 64/f_{xx}$ (333 ms)	$64/f_{xx}$ (5.09 μ s)
$128/f_{xx}$ (10.17 μ s)	$2^{16} \times 128/f_{xx}$ (667 ms)	$128/f_{xx}$ (10.17 μ s)
$256/f_{xx}$ (20.35 μ s)	$2^{16} \times 256/f_{xx}$ (1.33 s)	$256/f_{xx}$ (20.35 μ s)
$512/f_{xx}$ (40.70 μ s)	$2^{16} \times 512/f_{xx}$ (2.67 s)	$512/f_{xx}$ (40.20 μ s)
$1024/f_{xx}$ (81.40 μ s)	$2^{16} \times 1024/f_{xx}$ (5.33 s)	$1024/f_{xx}$ (81.40 μ s)

() 内は $f_{xx} = 12.58$ MHzの場合

(2) プログラマブル矩形波出力

タイマ出力端子 (TO0, TO1) にそれぞれ独立に矩形波を出力します。

表9 - 2 タイマ/イベント・カウンタ0のプログラマブル矩形波出力設定範囲

最小パルス幅	最大パルス幅
$4/f_{xx}$ (0.32 μ s)	$2^{16} \times 4/f_{xx}$ (20.8 ms)
$8/f_{xx}$ (0.64 μ s)	$2^{16} \times 8/f_{xx}$ (41.7 ms)
$16/f_{xx}$ (1.27 μ s)	$2^{16} \times 16/f_{xx}$ (83.4 ms)
$32/f_{xx}$ (2.54 μ s)	$2^{16} \times 32/f_{xx}$ (167 ms)
$64/f_{xx}$ (5.09 μ s)	$2^{16} \times 64/f_{xx}$ (333 ms)
$128/f_{xx}$ (10.17 μ s)	$2^{16} \times 128/f_{xx}$ (667 ms)
$256/f_{xx}$ (20.35 μ s)	$2^{16} \times 256/f_{xx}$ (1.33 s)
$512/f_{xx}$ (40.70 μ s)	$2^{16} \times 512/f_{xx}$ (2.67 s)
$1024/f_{xx}$ (81.40 μ s)	$2^{16} \times 1024/f_{xx}$ (5.33 s)

() 内は $f_{xx} = 12.58$ MHzの場合

(3) パルス幅測定

外部割り込み要求入力端子 (INTP3) へ入力される信号のパルス幅を検出します。

表9 - 3 タイマ/イベント・カウンタ0のパルス幅測定範囲

測定可能なパルス幅 ^注	分解能
$4/f_{xx}$ - $2^{16} \times 4/f_{xx}$ (0.32 μ s) (20.8 ms)	$4/f_{xx}$ (0.32 μ s)
$8/f_{xx}$ - $2^{16} \times 8/f_{xx}$ (0.64 μ s) (41.7 ms)	$8/f_{xx}$ (0.64 μ s)
$16/f_{xx}$ - $2^{16} \times 16/f_{xx}$ (1.27 μ s) (83.4 ms)	$16/f_{xx}$ (1.27 μ s)
$32/f_{xx}$ - $2^{16} \times 32/f_{xx}$ (2.54 μ s) (167 ms)	$32/f_{xx}$ (2.54 μ s)
$64/f_{xx}$ - $2^{16} \times 64/f_{xx}$ (5.09 μ s) (333 ms)	$64/f_{xx}$ (5.09 μ s)
$128/f_{xx}$ - $2^{16} \times 128/f_{xx}$ (10.17 μ s) (667 ms)	$128/f_{xx}$ (10.17 μ s)
$256/f_{xx}$ - $2^{16} \times 256/f_{xx}$ (20.35 μ s) (1.33 s)	$256/f_{xx}$ (20.35 μ s)
$512/f_{xx}$ - $2^{16} \times 512/f_{xx}$ (40.70 μ s) (2.67 s)	$512/f_{xx}$ (40.70 μ s)
$1024/f_{xx}$ - $2^{16} \times 1024/f_{xx}$ (81.40 μ s) (5.33 s)	$1024/f_{xx}$ (81.40 μ s)

() 内は $f_{xx} = 12.58$ MHzの場合

注 測定可能な最小パルス幅は、選択した f_{CLK} の値により異なります。

測定可能な最小パルス幅は、 $3/f_{CLK}$ の値と表中の値のいずれか大きい方になります。

(4) ソフト・トリガド・ワンショット・パルス出力

ソフトウェアによりパルス出力レベルをアクティブに、また、ハードウェア (割り込み要求信号) によりパルス出力レベルをインアクティブにするワンショット・パルス出力機能です。タイマ出力端子 (TO0, TO1) に対して独立に制御することができます。

注意 ソフト・トリガド・ワンショット・パルス出力機能は、タイマ/イベント・カウンタ2のワンショット・タイマ機能とは性質が異なります。

(5) 外部イベント・カウンタ

外部割り込み要求入力端子 (INTP3) から入力されるクロック・パルスをカウントします。

表9 - 4に、タイマ/イベント・カウンタ0に入力可能なクロックを示します。

表9 - 4 タイマ/イベント・カウンタ0のパルス幅測定時間

	片エッジをカウントする場合	両エッジをカウントする場合
最大周波数	$f_{CLK}/6$ (2.10 MHz)	$f_{CLK}/6$ (2.10 MHz)
最小パルス幅 (ハイおよびロウ・レベル)	$3/f_{CLK}$ (0.24 μ s)	$3/f_{CLK}$ (0.24 μ s)

() 内は $f_{CLK} = 12.58$ MHzの場合

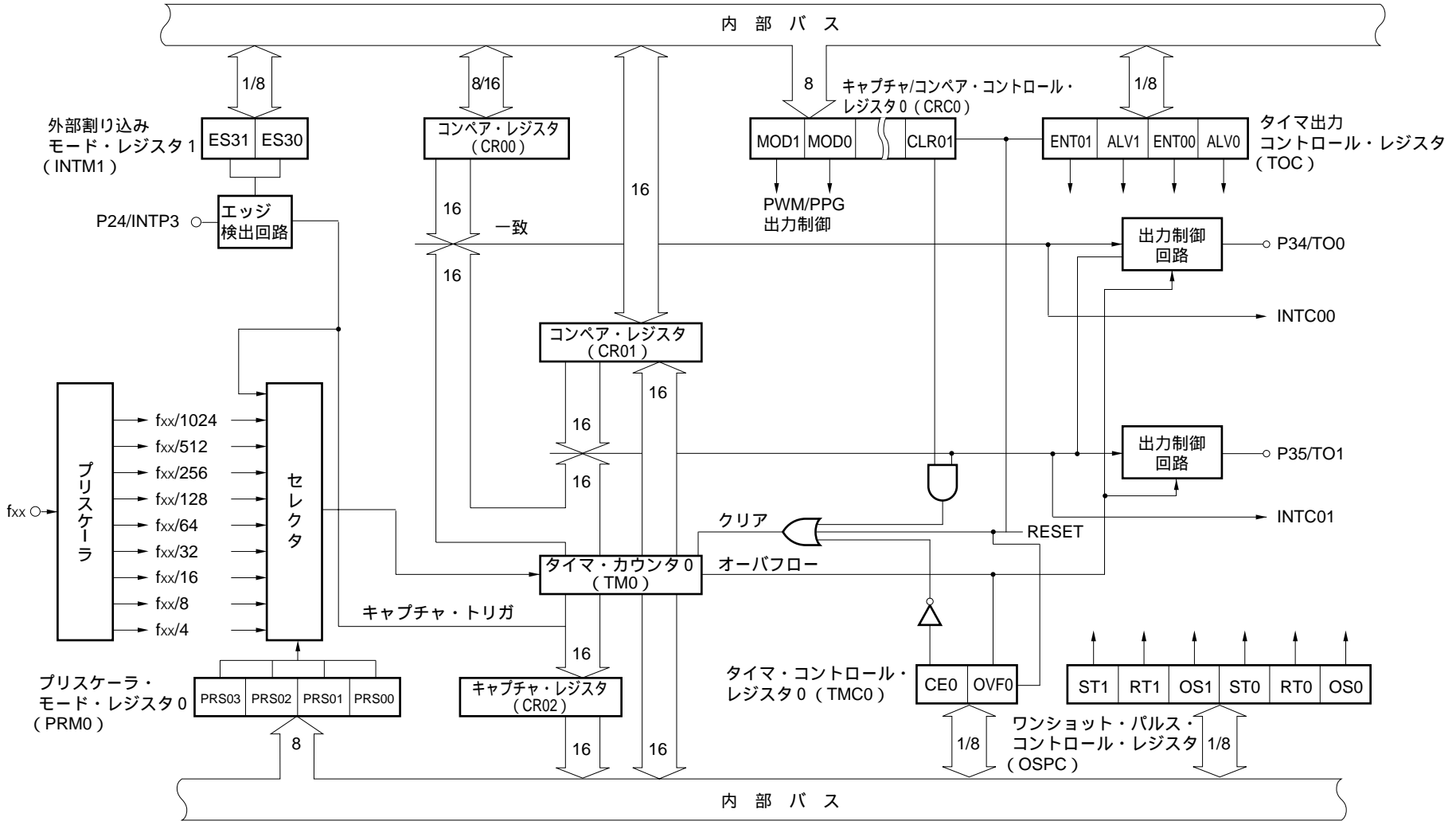
9.2 構成

タイマ/イベント・カウンタ0は、次のレジスタから構成されています。

- ・タイマ・カウンタ (TM0) × 1
- ・コンペア・レジスタ (CR00, CR01) × 2
- ・キャプチャ・レジスタ (CR02) × 1

図9 - 1に、タイマ/イベント・カウンタ0のブロック図を示します。

図9 - 1 タイマ/イベント・カウンタ0のブロック図



(1) タイマ・カウンタ0 (TM0)

TM0は、プリスケアラ・モード・レジスタ0 (PRM0) の下位4ビットで指定されるカウント・クロックでアップカウントするタイマ・カウンタです。

タイマ・コントロール・レジスタ0 (TMC0) によってカウント動作の停止、許可ができます。

16ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により、TM0は0000Hにクリアされ、カウントは停止します。

(2) コンペア・レジスタ (CR00, CR01)

CR00, CR01は、インターバル・タイマの周期を決める値を保持する16ビット・レジスタです。

CR00, CR01の内容がTM0の内容と一致すると、割り込み要求 (INTC00, INTC01) およびタイマ出力の制御信号を発生します。また、内容一致 (CR01) によるカウント値のクリア動作もできます。

16ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(3) キャプチャ・レジスタ (CR02)

CR02は、TM0の内容をキャプチャする16ビット・レジスタです。

キャプチャ動作は、外部割り込み要求入力端子 (INTP3) の有効エッジ入力 (キャプチャ・トリガ) に同期します。次のキャプチャ・トリガが発生するまでCR02の内容は保持されます。

16ビット操作命令で読み出しのみ可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(4) エッジ検出回路

エッジ検出回路は、外部入力の有効エッジを検出します。

INTP3端子入力で外部割り込みモード・レジスタ1 (INTM1) により設定された有効エッジを検出して、外部割り込み要求 (INTP3) とキャプチャ・トリガおよび外部イベントのカウント・クロックを発生します (INTM1については図22 - 2 参照)。

(5) 出力制御回路

コンペア・レジスタ (CR00, CR01) の内容とタイマ・カウンタ0 (TM0) の内容が一致すると、タイマ出力を反転することができます。タイマ出力コントロール・レジスタ (TOC) の下位4ビットの設定でタイマ出力端子 (TO0, TO1) から矩形波を出力することができます。このときキャプチャ/コンペア・コントロール・レジスタ0 (CRC0) の指定により、PWM出力やPPG出力もできます。

さらにソフトウエア・トリガによるワンショット・パルスの出力も可能です。

また、TOCによってタイマ出力の禁止/許可ができます。タイマ出力の禁止状態ではTO0, TO1端子には固定レベルが出力されます (出力レベルはTOCにより設定)。

(6) プリスケアラ

カウント・クロックを内部システム・クロックから生成します。このプリスケアラで生成されたクロックをセレクタで選択し、カウント・クロックとしてタイマ・カウンタ0 (TM0) はカウント動作を行います。

(7) セレクタ

タイマ・カウンタ0 (TM0) のカウント・クロックとして内部クロックを分周した信号またはエッジ検出回路で検出されたエッジから選択します。

9.3 タイマ/イベント・カウンタ0制御レジスタ

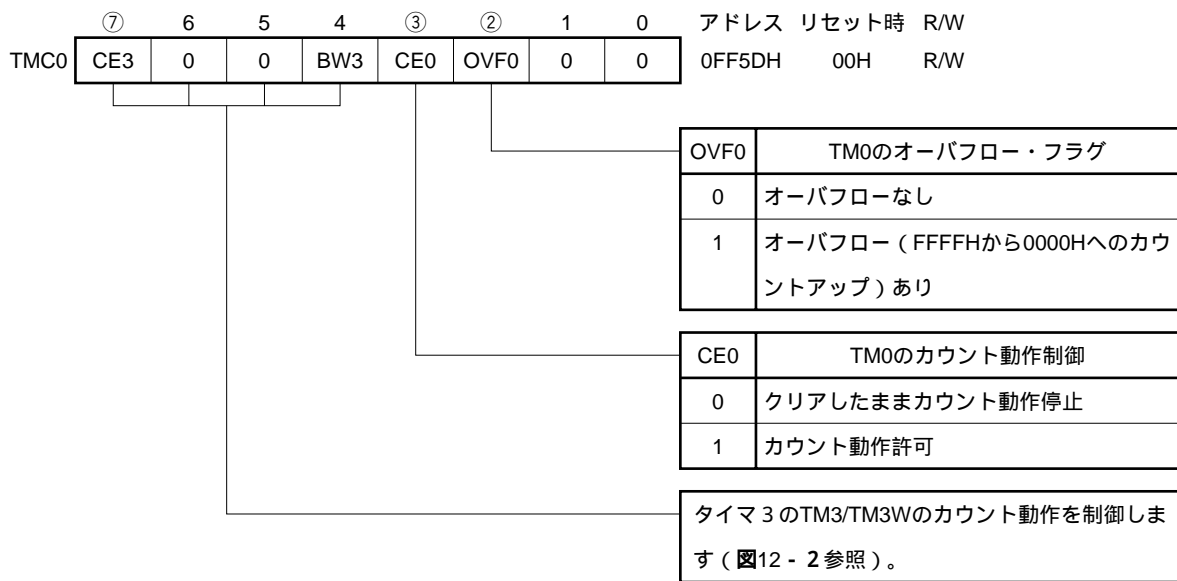
(1) タイマ・コントロール・レジスタ0 (TMC0)

TMC0は、下位4ビットでタイマ/イベント・カウンタ0のTM0のカウント動作を制御します(上位4ビットはタイマ3のTM3/TM3Wのカウント動作を制御します)。

8ビット操作命令およびビット操作命令で読み出し/書き込みが可能です。図9-2に、TMC0のフォーマットを示します。

RESET入力により00Hにクリアされます。

図9-2 タイマ・コントロール・レジスタ0 (TMC0) のフォーマット



備考 OVF0ビットはソフトウェアでのみリセットされます。

(2) プリスケアラ・モード・レジスタ0 (PRM0)

PRM0は、下位4ビットでタイマ/イベント・カウンタ0のTM0のカウンタ・クロックを指定します (上位4ビットはタイマ3のTM3/TM3Wのカウンタ・クロックを指定します)。

8ビット操作命令で読み出し/書き込みが可能です。図9-3に、PRM0のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により11Hになります。

図9-3 プリスケアラ・モード・レジスタ0 (PRM0) のフォーマット



備考 f_{xx} : X1入力周波数, または発振周波数

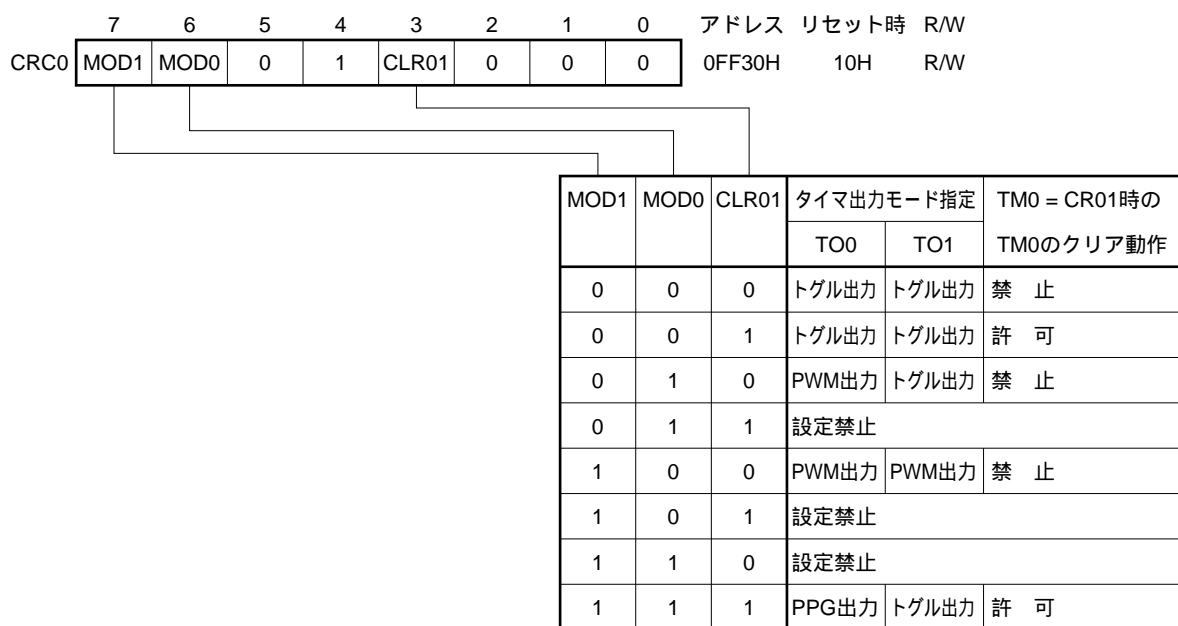
(3) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

CRC0は、コンペア・レジスタ (CR01) の内容とタイマ・カウンタ0 (TM0) のカウンタ値との一致信号によるTM0のクリア動作の許可条件や、タイマ出力 (TO0, TO1) モードを指定するレジスタです。

8ビット操作命令で読み出し/書き込みが可能です。図9-4に、CRC0のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により10Hになります。

図9-4 キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のフォーマット



(4) タイマ出力コントロール・レジスタ (TOC)

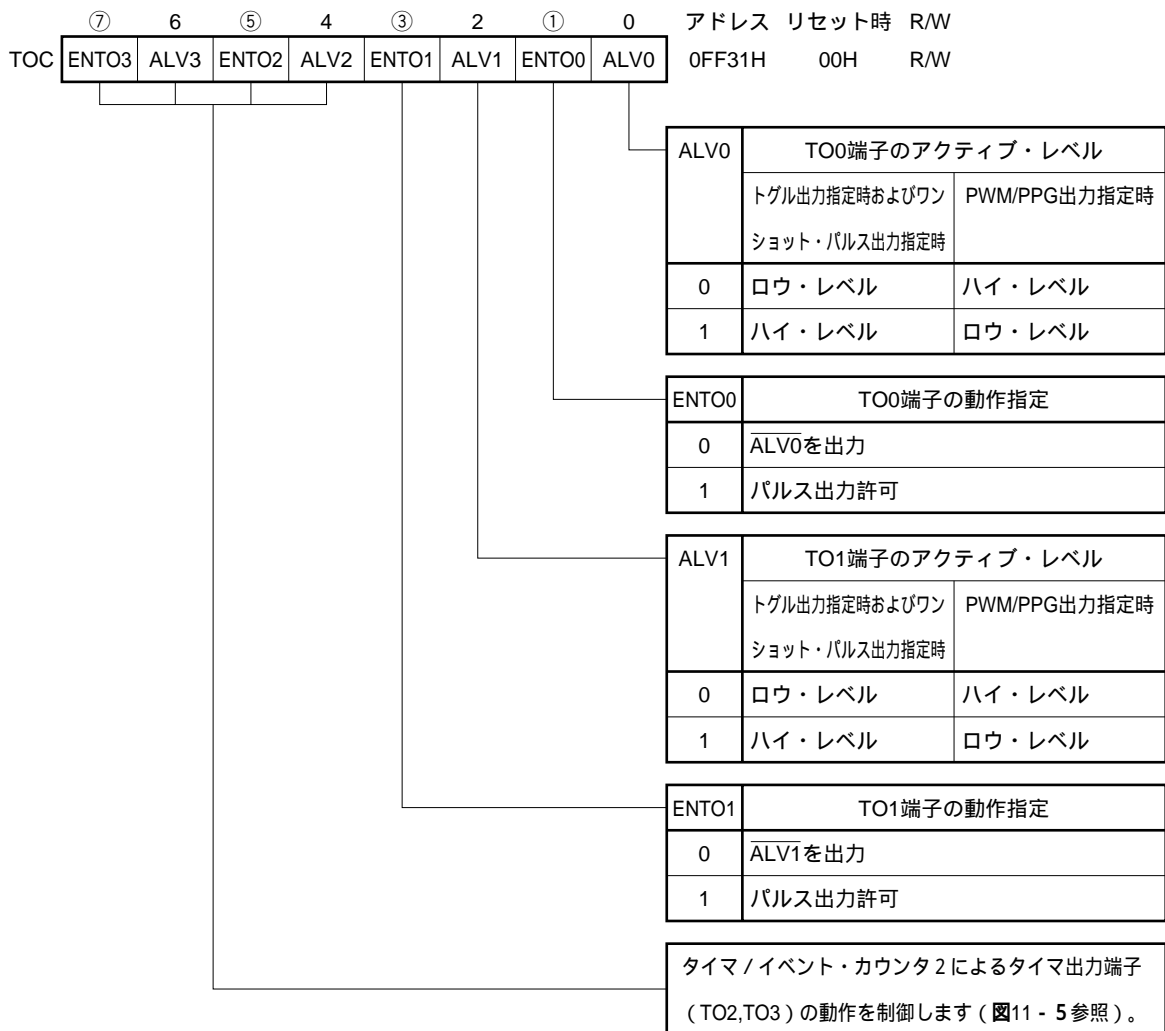
TOCは、タイマ出力のアクティブ・レベルと出力許可/禁止を制御する8ビット・レジスタです。

下位4ビットでタイマ/イベント・カウンタ0によるタイマ出力端子 (TO0, TO1) の動作を制御します (上位4ビットはタイマ/イベント・カウンタ2によるタイマ出力端子 (TO2, TO3) の動作を制御します)。

8ビット操作命令およびビット操作命令で書き込み/読み出しが可能です。図9-5に、TOCのフォーマットを示します。

RESET入力により00Hにクリアされます。

図9-5 タイマ出力コントロール・レジスタ (TOC) のフォーマット



(5) ワンショット・パルス出力制御レジスタ (OSPC)

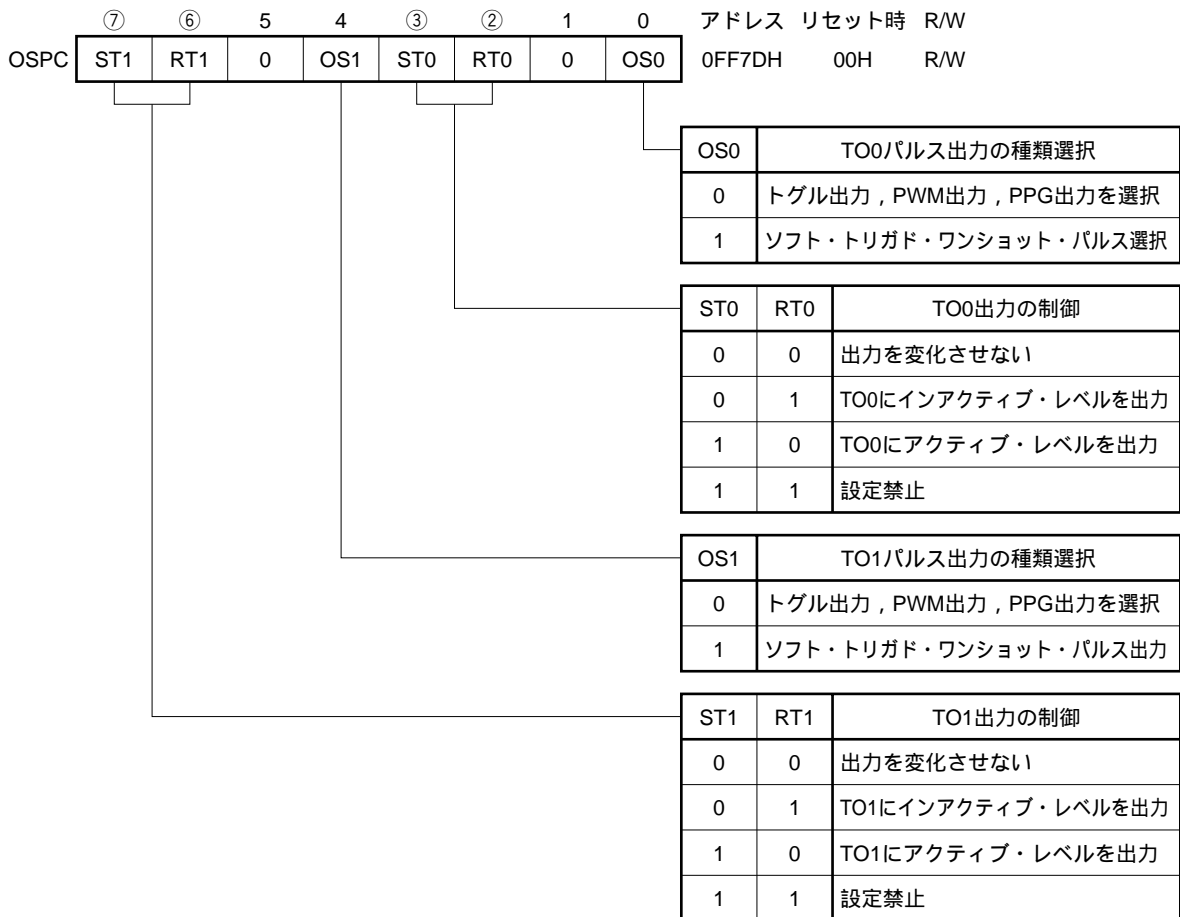
OSPCは、ソフトウェア・トリガによるワンショット・パルス出力の禁止/許可および出力レベルなどを指定する8ビット・レジスタです。

8ビット操作命令およびビット操作命令で、読み出し/書き込みが可能です。

図9-6に、OSPCのフォーマットを示します。

RESET入力により00Hにクリアされます。

図9-6 ワンショット・パルス出力制御レジスタ (OSPC) のフォーマット



備考1 . RT0, ST0, RT1, ST1の各ビットは書き込みのみが可能です, 読み出し時は“ 0 ”になります。

2 . 端子からのパルス出力の禁止/許可およびアクティブ・レベルの指定は, タイマ出力制御レジスタ (TOC) で行います。

9.4 タイマ・カウンタ0 (TM0) の動作

9.4.1 基本動作

タイマ/イベント・カウンタ0のカウント動作は、プリスケアラ・モード・レジスタ0 (PRM0) の下位4ビットで指定されるカウント・クロックによりカウントアップします。

カウント動作の禁止/許可は、タイマ・コントロール・レジスタ0 (TMC0) のビット3 (CE0) で制御します。CE0ビットをソフトウェアによりセット(1)すると、最初のカウント・クロックでTM0の内容が0000Hにクリアされたのち、カウントアップ動作を行います。

CE0ビットをクリア(0)することによってTM0はただちに0000Hになり、キャプチャ動作や一致信号の発生は停止します。

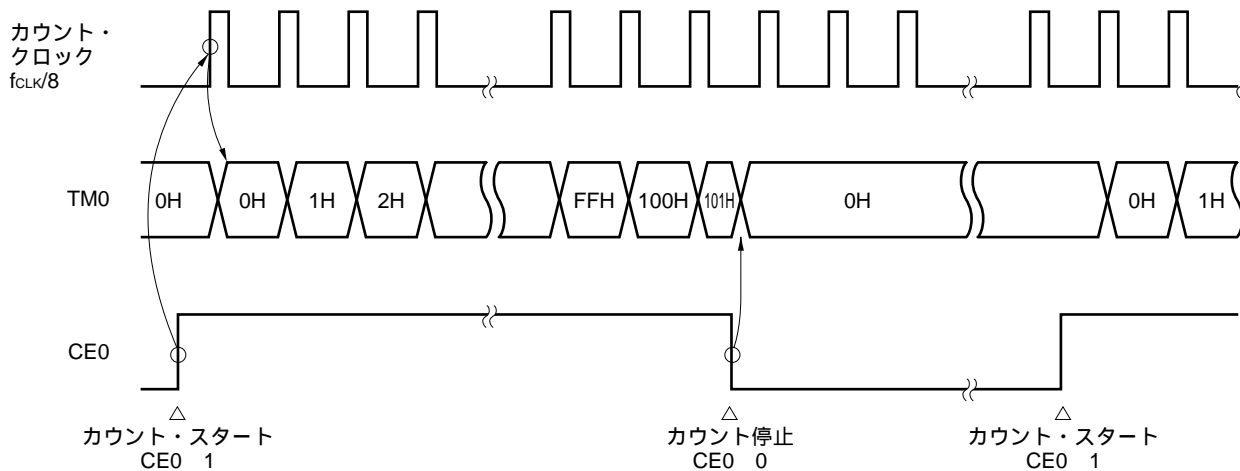
CE0ビットがセット(1)されている状態でさらにCE0ビットをセット(1)した場合、TM0はクリアされないでカウント動作を続けます。

TM0がFFFFHのときにカウント・クロックが入力されると、TM0は0000Hになります。このとき、OVF0ビットがセット(1)され、出力制御回路にオーバフロー信号を送ります。OVF0ビットは、ソフトウェアによってのみクリアされます。また、カウント動作はそのまま継続されます。

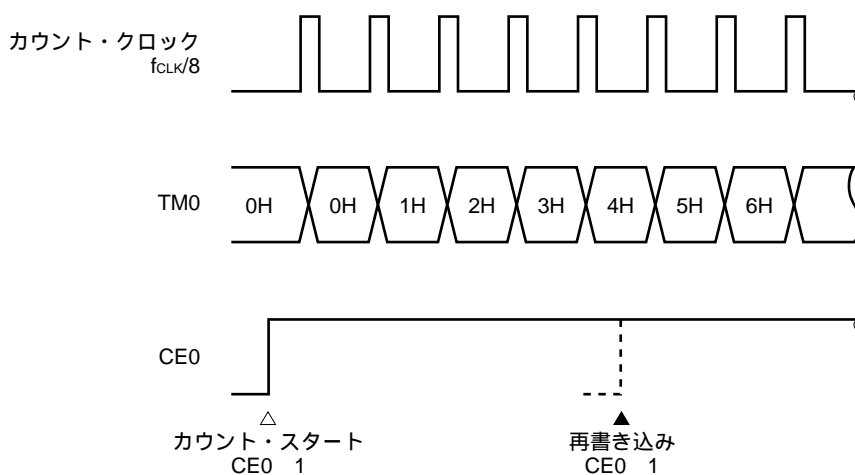
$\overline{\text{RESET}}$ 入力により、TM0は0000Hにクリアされ、カウント動作は停止します。

図9-7 タイマ・カウンタ0 (TM0) の基本動作

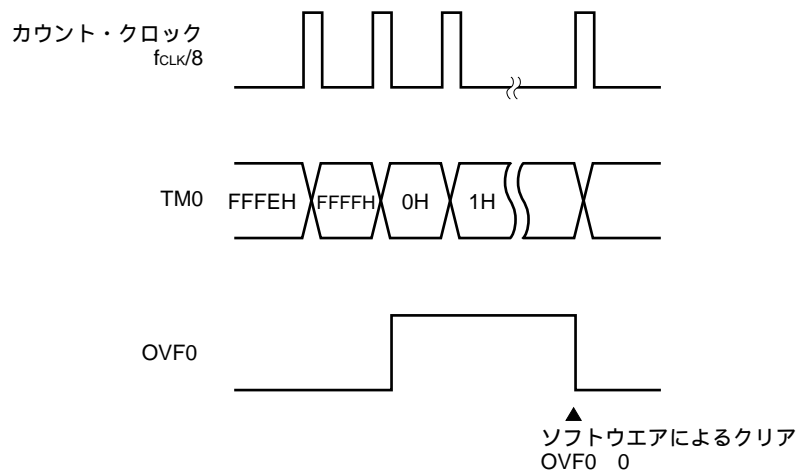
(a) カウント・スタート カウント停止 カウント・スタートの場合



(b) カウント・スタート後に再度CE0ビット“1”を書き込んだ場合



(c) TM0がFFFFHのときの動作

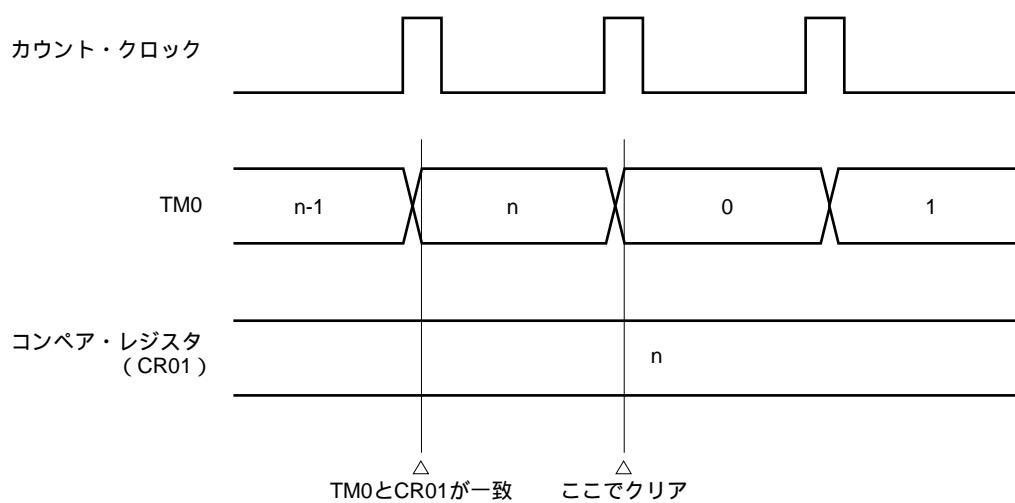


9.4.2 クリア動作

(1) コンペア・レジスタとの一致後のクリア動作

タイマ・カウンタ0 (TM0) は、コンペア・レジスタ (CR01) との一致後に自動的にクリアすることができます。TM0は、クリアする要因が発生すると、次のカウント・クロックで0000Hにクリアされます。したがって、クリアする要因が発生しても、次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図9 - 8 コンペア・レジスタ (CR01) との一致によるTM0のクリア

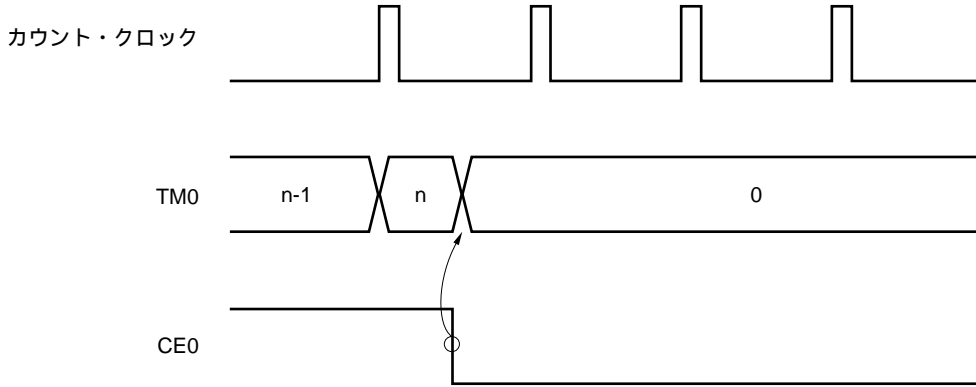


(2) タイマ・コントロール・レジスタ0 (TMC0) のCE0ビットによるクリア動作

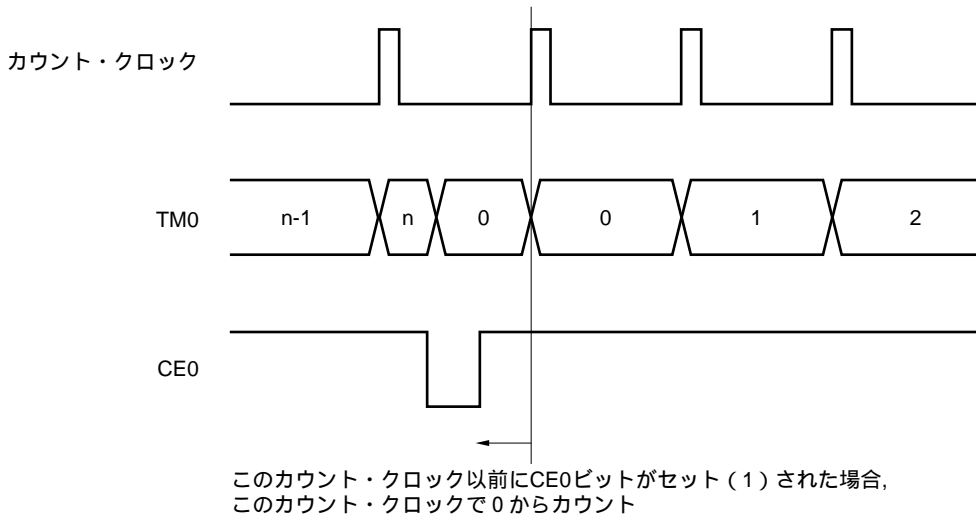
タイマ・カウンタ0 (TM0) は、ソフトウェアによりTMC0のCE0ビットをクリア (0) することによってもクリアされます。クリア動作は、CE0ビットがクリア (0) されるとただちに行われます。

図9 - 9 CE0ビットをクリア(0)した場合のクリア動作

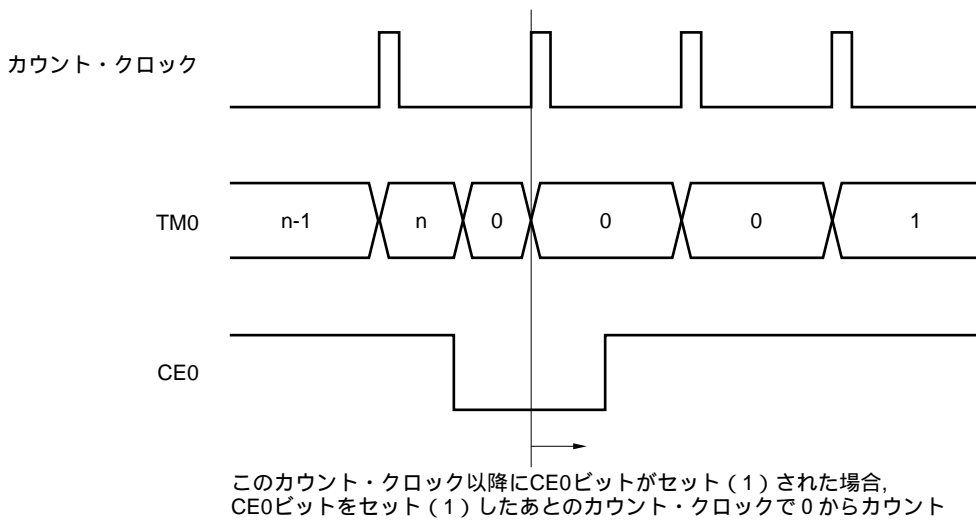
(a) 基本動作



(b) クリア後のカウント・クロックが入力される前の再スタート



(c) クリア後にカウント・クロックが入力されてからの再スタート



9.5 外部イベント・カウンタ機能

タイマ/イベント・カウンタ0は、外部割り込み要求入力端子 (INTP3) から入力されるクロック・パルスをカウントすることができます。

外部イベント・カウンタ動作モードは、特別な選択方法を必要としません。プリスケアラ・モード・レジスタ0 (PRM0) の下位4ビットの設定によって、タイマ・カウンタ0 (TM0) のカウント・クロックを外部クロック入力に指定すると、TM0は外部イベント・カウンタとして動作します。

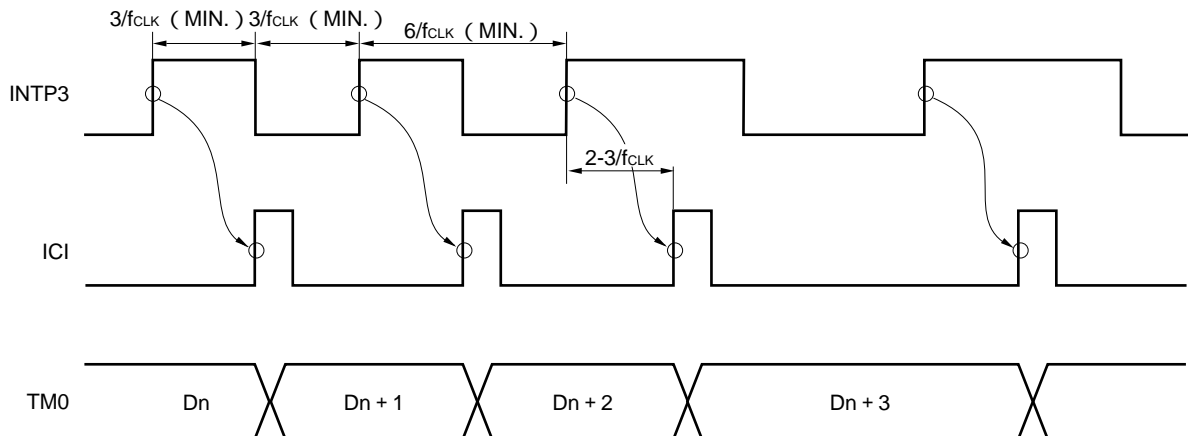
外部イベント・カウンタとしてカウントできる外部クロック・パルスの最大周波数は、INTP3入力の両エッジをカウントする場合も、片エッジのみをカウントする場合も、同じ2.10 MHzです ($f_{CLK} = 12.58 \text{ MHz}$)。

また、INTP3入力のパルス幅はハイ・レベル、ロウ・レベルともに3システム・クロック ($0.24 \mu\text{s}$: $f_{CLK} = 12.58 \text{ MHz}$) 以上必要で、これ以下の場合は、カウントされない場合があります。

図9 - 10に、タイマ/イベント・カウンタ0の外部イベント・カウントのタイミングを示します。

図9 - 10 タイマ/イベント・カウンタ0の外部イベント・カウントのタイミング (1/2)

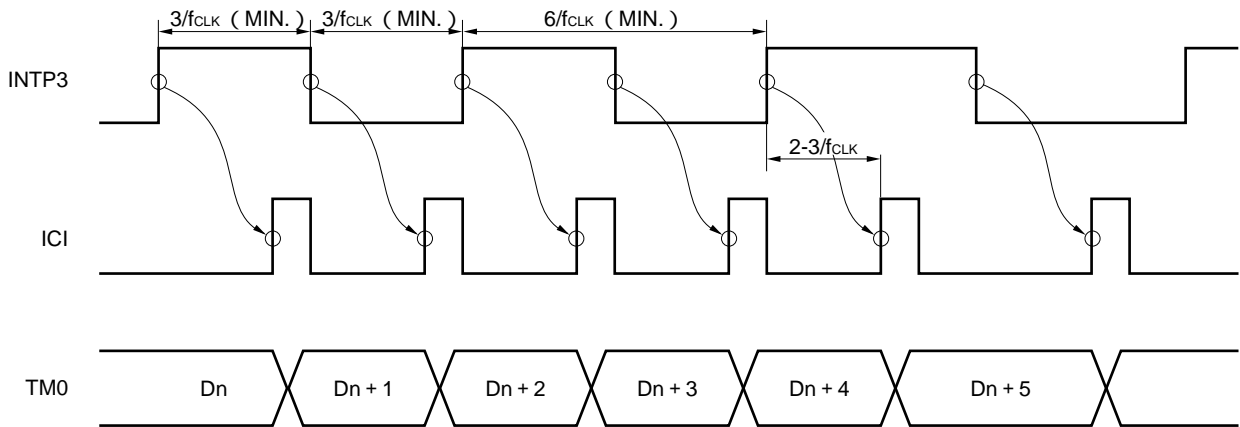
(1) 片エッジをカウントする場合 (最大周波数 = $f_{CLK}/6$)



備考 ICI : INTP3入力のエッジ検出回路通過後の記号

図9 - 10 タイマ/イベント・カウンタ0の外部イベント・カウントのタイミング (2/2)

(2) 両エッジをカウントする場合 (最大周波数 = $f_{CLK}/6$)



備考 ICI : INTP3入力のエッジ検出回路通過後の記号

TM0のカウントの動作は、基本動作の場合と同様にタイマ・コントロール・レジスタ0 (TMC0) のCE0ビットで制御します。

CE0ビットをソフトウェアによってセット (1) すると、最初のカウント・クロックでTM0の内容が0000Hとなり、カウントアップ動作を開始します。

TM0のカウント動作中、CE0ビットをソフトウェアによりクリア (0) すると、TM0は、ただちに0000Hになり、停止状態となります。また、CE0ビットがセット (1) されている状態で、さらにソフトウェアによりCE0ビットをセット (1) した場合、TM0のカウント動作は影響を受けません。

注意 タイマ/イベント・カウンタ0を外部イベント・カウンタとして使用する場合、有効エッジの入力が一度もない状態と1回だけあった状態の区別がタイマ・カウンタ0 (TM0) だけではつけられません (図9 - 11参照)。TM0の内容はいずれの場合も0になります。区別をつける必要がある場合には、INTP3の割り込み要求フラグを利用してください。例を図9 - 12に示します。

図9 - 11 外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例

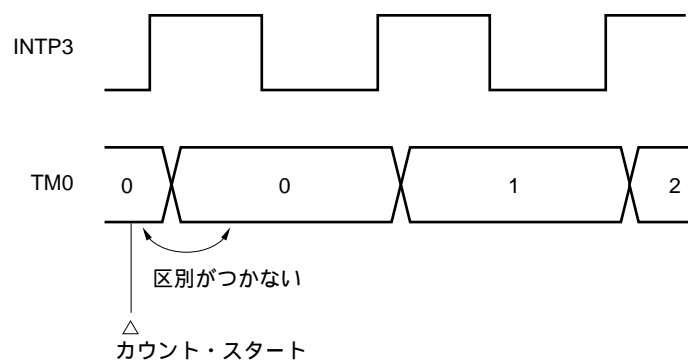
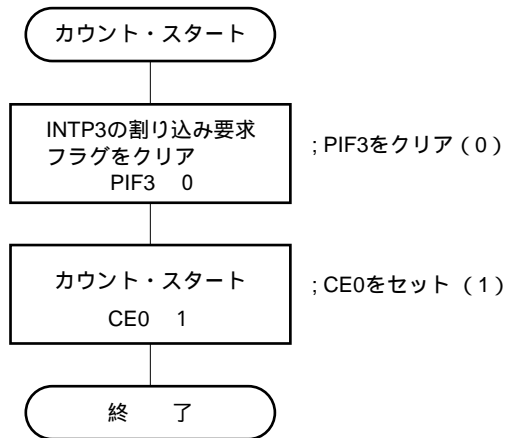
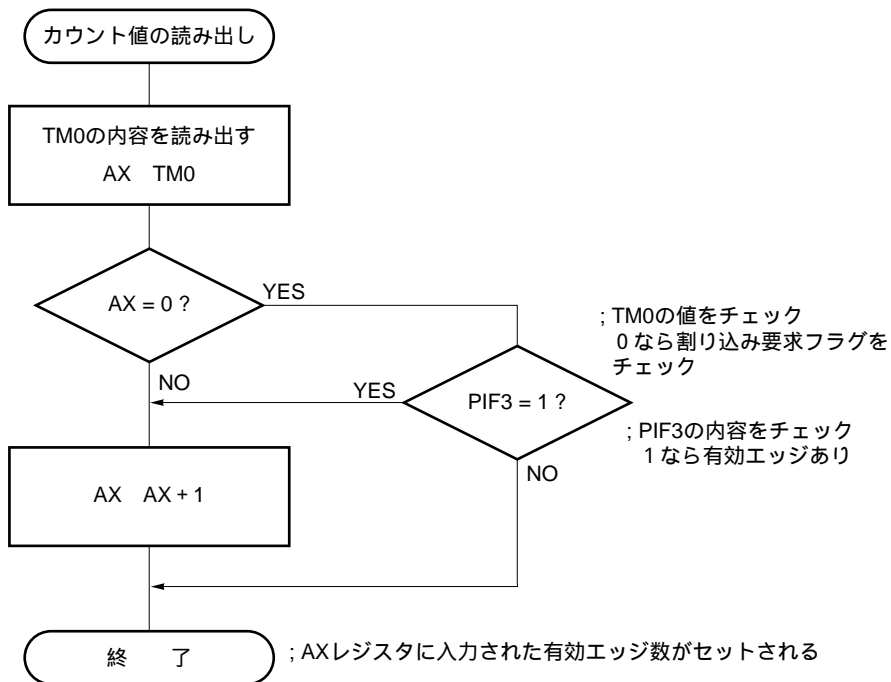


図9 - 12 外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



9.6 コンペア・レジスタ，キャプチャ・レジスタの動作

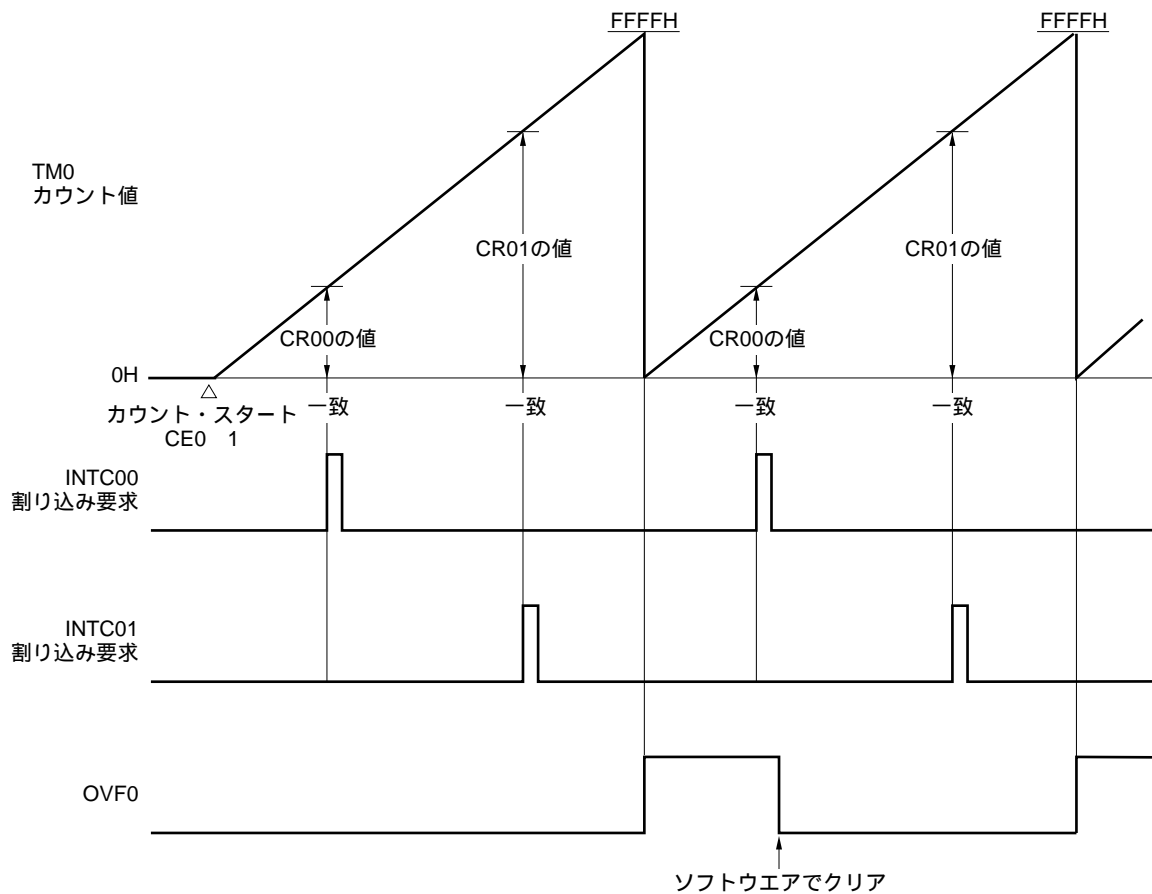
9.6.1 コンペア動作

タイマ/イベント・カウンタ0は，コンペア・レジスタ（CR00，CR01）に設定された値をタイマ・カウンタ0（TM0）のカウント値と比較するコンペア動作を行います。

あらかじめ設定されたCR0n（n = 0， 1）の値にTM0のカウント値がカウント動作によって一致すると，出力制御回路に一致信号を送ります。同時に割り込み要求（INTC00，INTC01）を発生します。

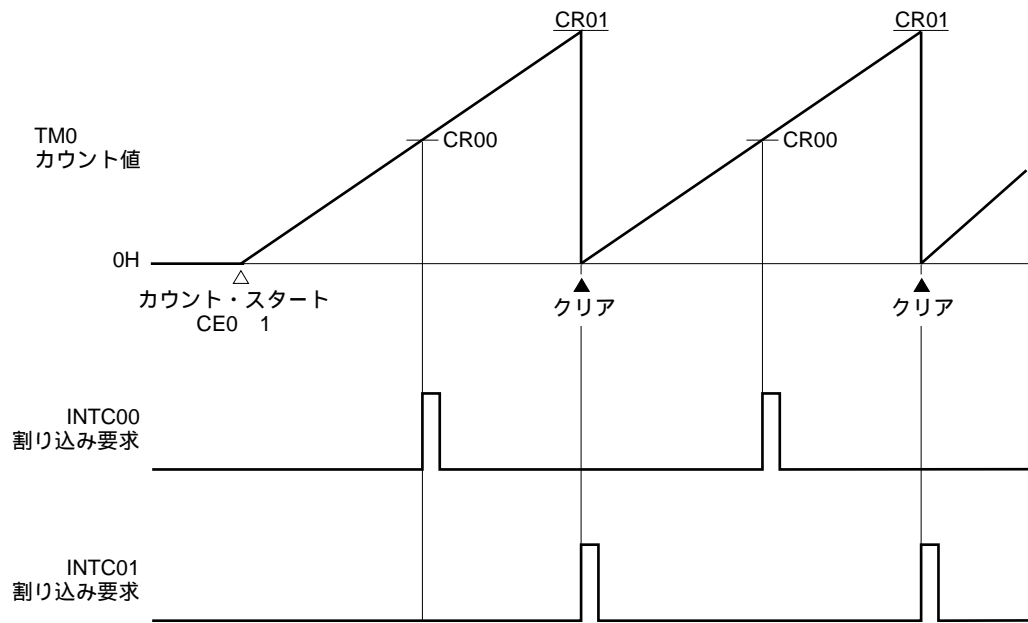
また，CR01の値と一致後，TM0のカウント値をクリアすることができ，CR01に設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図9 - 13 コンペア動作



備考 CLR01 = 0

図9 - 14 一致検出後、TM0のクリア



備考 CLR01 = 0

9.6.2 キャプチャ動作

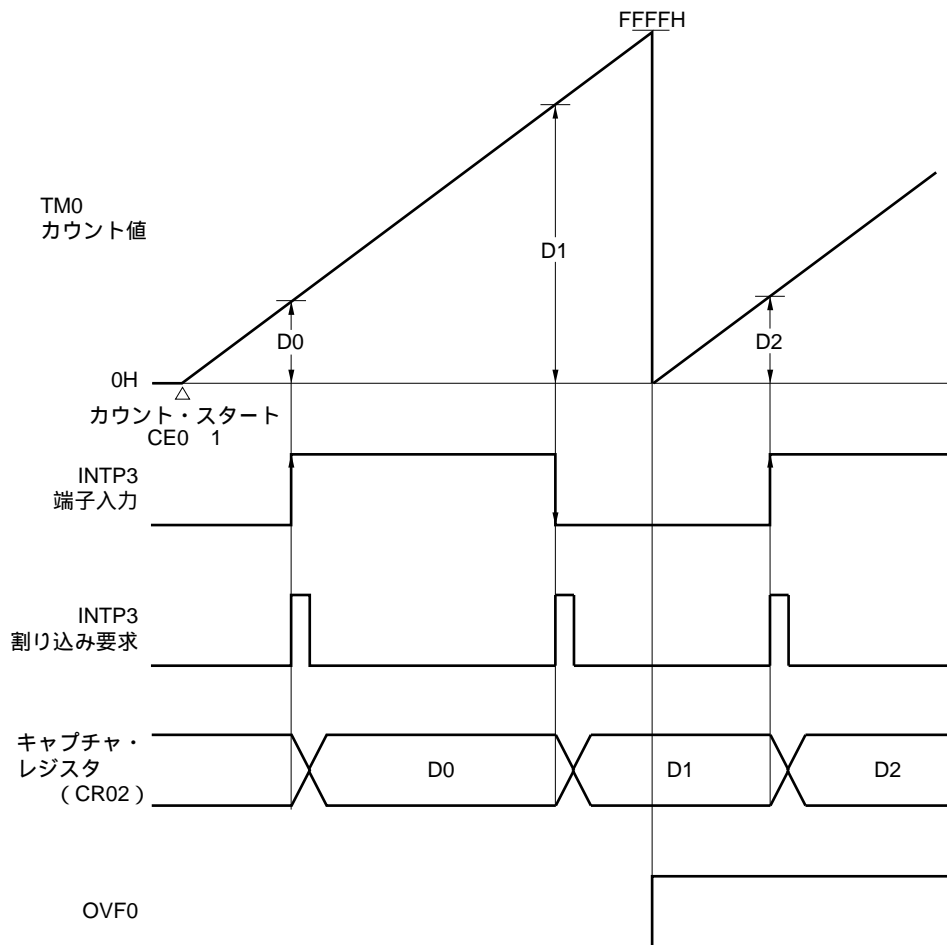
タイマ/イベント・カウンタ0は、外部トリガに同期してタイマ・カウンタ0 (TM0) のカウント値をキャプチャ・レジスタに取り込み、保持するキャプチャ動作を行います。

外部トリガとして、外部割り込み要求入力端子 (INTP3) の入力から検出された有効エッジを用います (キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中のTM0のカウント値をキャプチャ・レジスタ (CR02) に取り込み、保持します。次のキャプチャ・トリガが発生するまでCR02の内容は保持されます。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ1 (INTM1) により設定します。立ち上がり、立ち下がりの両エッジがキャプチャ・トリガとなるように設定すれば、外部からの入力パルス幅を測定することができます。また、片エッジでキャプチャ・トリガが発生させた場合、入力パルスの周期を測定することができます。

INTM1の詳細フォーマットは、図22 - 2を参照してください。

図9 - 15 キャプチャ動作



備考 Dn : TM0のカウント値 (n = 0, 1, 2, ...)

CLR01 = 0

9.7 出力制御回路の基本動作

出力制御回路は、オーバフロー信号または、コンペア・レジスタ (CR00, CR01) から的一致信号によって、タイマ出力端子 (TO0, TO1) のレベルを制御します。出力制御回路の動作は、タイマ出力コントロール・レジスタ (TOC) とキャプチャ/コンペア・コントロール・レジスタ0 (CRC0) とワンショット・パルス出力制御レジスタ (OSPC) によって決定されます (表9 - 5 参照)。

なお、TO0, TO1信号を端子へ出力する場合は、ポート3モード・レジスタ (PMC3) で該当する端子がコントロール・モードになっている必要があります。

表9 - 5 タイマ出力 (TO0, TO1) の動作

TOC				OSPC		CRC0			TO1	TO0
ENTO1	ALV1	ENTO0	ALV0	OS1	OS0	MOD1	MOD0	CLR01		
0	0/1	0	0/1	x	x	x	x	x	ハイ/ロウ・レベル固定	ハイ/ロウ・レベル固定
0	0/1	1	0/1	x	0	0	0	x	ハイ/ロウ・レベル固定	トグル出力 (ロウ/ハイ・アクティブ)
0	0/1	1	0/1	x	0	0	1	0	ハイ/ロウ・レベル固定	PWM出力 (ハイ/ロウ・アクティブ)
0	0/1	1	0/1	x	0	1	0	0	ハイ/ロウ・レベル固定	PWM出力 (ハイ/ロウ・アクティブ)
0	0/1	1	0/1	x	0	1	1	1	ハイ/ロウ・レベル固定	PPG出力 (ハイ/ロウ・アクティブ)
0	0/1	1	0/1	x	1	x	x	x	ハイ/ロウ・レベル固定	ワンショット・パルス出力 (ロウ/ハイ・アクティブ)
1	0/1	0	0/1	0	x	0	x	x	トグル出力 (ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	0	0/1	0	x	1	0	0	PWM出力 (ハイ/ロウ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	0	0/1	0	x	1	1	x	トグル出力 (ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	0	0/1	1	x	x	x	x	ワンショット・パルス出力 (ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	1	0/1	0	0	0	0	x	トグル出力 (ロウ/ハイ・アクティブ)	トグル出力 (ロウ/ハイ・アクティブ)
1	0/1	1	0/1	0	0	0	1	0	トグル出力 (ロウ/ハイ・アクティブ)	PWM出力 (ハイ/ロウ・アクティブ)
1	0/1	1	0/1	0	0	1	0	0	PWM出力 (ハイ/ロウ・アクティブ)	PWM出力 (ハイ/ロウ・アクティブ)
1	0/1	1	0/1	0	0	1	1	1	トグル出力 (ロウ/ハイ・アクティブ)	PPG出力 (ハイ/ロウ・アクティブ)
1	0/1	1	0/1	0	1	0	x	x	トグル出力 (ロウ/ハイ・アクティブ)	ワンショット・パルス出力 (ロウ/ハイ・アクティブ)
1	0/1	1	0/1	0	1	1	0	0	PWM出力 (ハイ/ロウ・アクティブ)	ワンショット・パルス出力 (ロウ/ハイ・アクティブ)
1	0/1	1	0/1	0	1	1	1	1	トグル出力 (ロウ/ハイ・アクティブ)	ワンショット・パルス出力 (ロウ/ハイ・アクティブ)
1	0/1	1	0/1	1	0	0	0	x	ワンショット・パルス出力 (ロウ/ハイ・アクティブ)	トグル出力 (ロウ/ハイ・アクティブ)
1	0/1	1	0/1	1	0	0	1	0	ワンショット・パルス出力 (ロウ/ハイ・アクティブ)	PWM出力 (ハイ/ロウ・アクティブ)
1	0/1	1	0/1	1	0	1	0	0	ワンショット・パルス出力 (ロウ/ハイ・アクティブ)	PWM出力 (ハイ/ロウ・アクティブ)
1	0/1	1	0/1	1	0	1	1	1	ワンショット・パルス出力 (ロウ/ハイ・アクティブ)	PPG出力 (ハイ/ロウ・アクティブ)
1	0/1	1	0/1	1	1	x	x	x	ワンショット・パルス出力 (ロウ/ハイ・アクティブ)	ワンショット・パルス出力 (ロウ/ハイ・アクティブ)

備考1 . ALVn (n = 0, 1) の “/” は, TOn (n = 0, 1) の欄の “/” の左右にそれぞれ対応しています。

- 2 . x印は, 0でも1でも動作が同じ場合を示しますが, 一部禁止されている組み合わせも含まれています (図9 - 4参照)。
- 3 . この表にない組み合わせは, その組み合わせでの使用を禁止しています。

9.7.1 基本動作

タイマ出力コントロール・レジスタ (TOC) のENTOn (n=0, 1) ビットをセット (1) することにより, キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のMOD0, MOD1, CLR01ビットとワンショット・パルス出力制御レジスタ (OSPC) の設定に従ったタイミングでタイマ出力 (TON: n=0, 1) を変化させることができます。

また, ENTOnをクリア (0) することにより, TOnを固定レベルにします。固定されるレベルは, TOCのALVn (n=0, 1) ビットによって決定されます。ALVnが0のときはハイ・レベルに, ALVnが1のときはロウ・レベルになります。

9.7.2 トグル出力

トグル出力は, コンペア・レジスタ (CR00, CR01) の値がタイマ・カウンタ0 (TM0) の値と一致するたびに出力レベルを反転させる動作モードです。タイマ出力 (TO0) はCR00とTM0の一致によって出力レベルが反転し, TO1はCR01とTM0の一致によって出力レベルが反転します。

なお, タイマ・コントロール・レジスタ0 (TMC0) のCE0ビットをクリア (0) して, タイマ/イベント・カウンタ0を停止させると, インアクティブ・レベル (\overline{ALVn} : n=0, 1) を出力します。

図9 - 16 トグル出力の動作

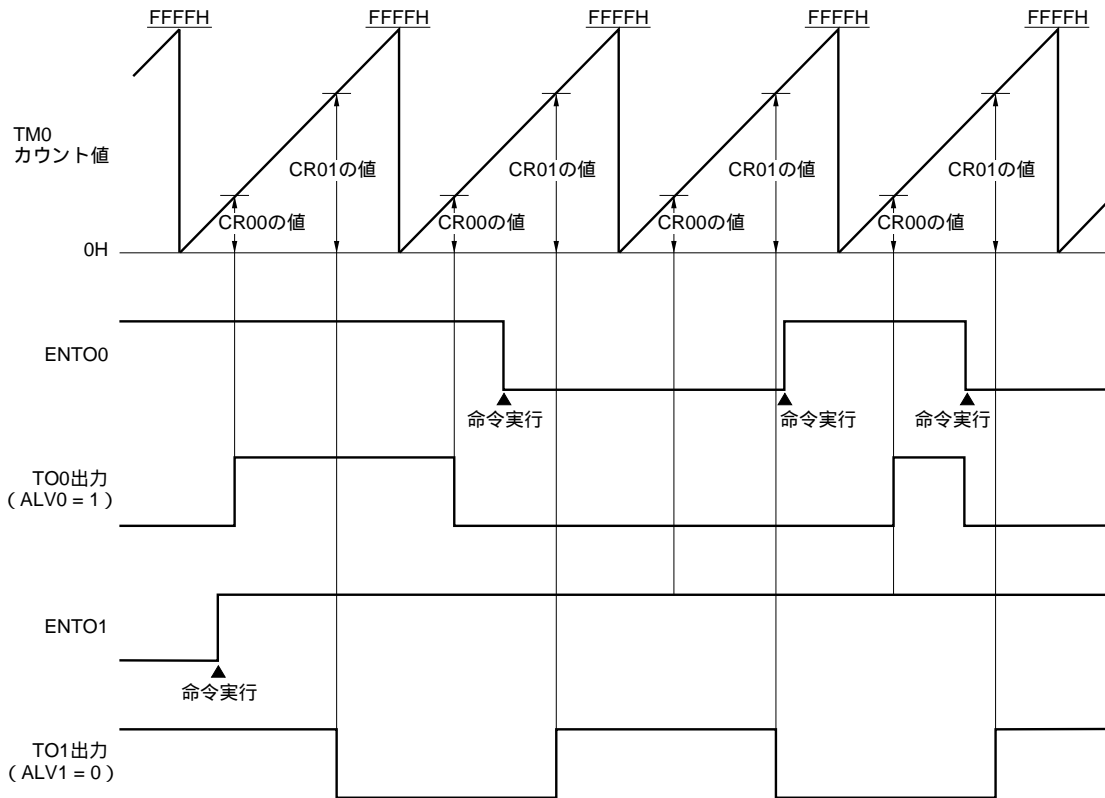


表9 - 6 TO0, TO1のトグル出力 ($f_{xx} = 12.58 \text{ MHz}$)

カウント・クロック	最小パルス幅	最大インターバル時間
$f_{xx}/4$	0.32 μs	0.02 s
$f_{xx}/8$	0.64 μs	0.04 s
$f_{xx}/16$	1.27 μs	0.08 s
$f_{xx}/32$	2.54 μs	0.17 s
$f_{xx}/64$	5.09 μs	0.33 s
$f_{xx}/128$	10.17 μs	0.67 s
$f_{xx}/256$	20.35 μs	1.33 s
$f_{xx}/512$	40.70 μs	2.67 s
$f_{xx}/1024$	81.40 μs	5.33 s

9.7.3 PWM出力

(1) PWM出力の基本動作

タイマ・カウンタ0 (TM0) がフルカウントする期間を1周期とするPWM信号を出力するモードです。タイマ出力 (TO0) のパルス幅は、コンペア・レジスタ (CR00) の値によって決定され、タイマ出力 (TO1) のパルス幅は、コンペア・レジスタ (CR01) の値によって決定されます。この機能を使用する場合は、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) のCLR01ビットを0にする必要があります。

パルス周期とパルス幅は、次のようになります。

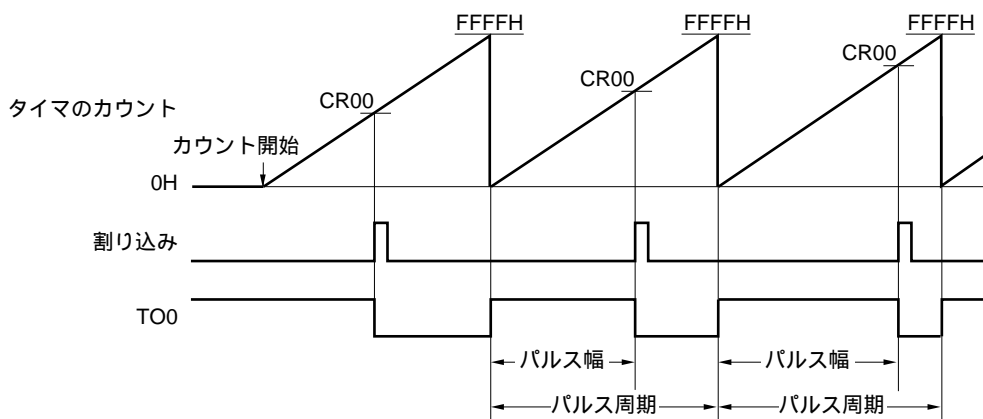
- ・ PWM周期 = $65536 \times x / f_{xx}$
- ・ PWMパルス幅 = $CR0n \times x / f_{xx}$ 注; $x = 4, 8, 16, 32, 64, 128, 256, 512, 1024$

注 CR0nには0は設定できません。

$$\text{デューティ} = \frac{\text{PWMパルス幅}}{\text{PWM周期}} = \frac{CR0n}{65536}$$

備考 $n = 0, 1$

図9 - 17 PWMパルス出力



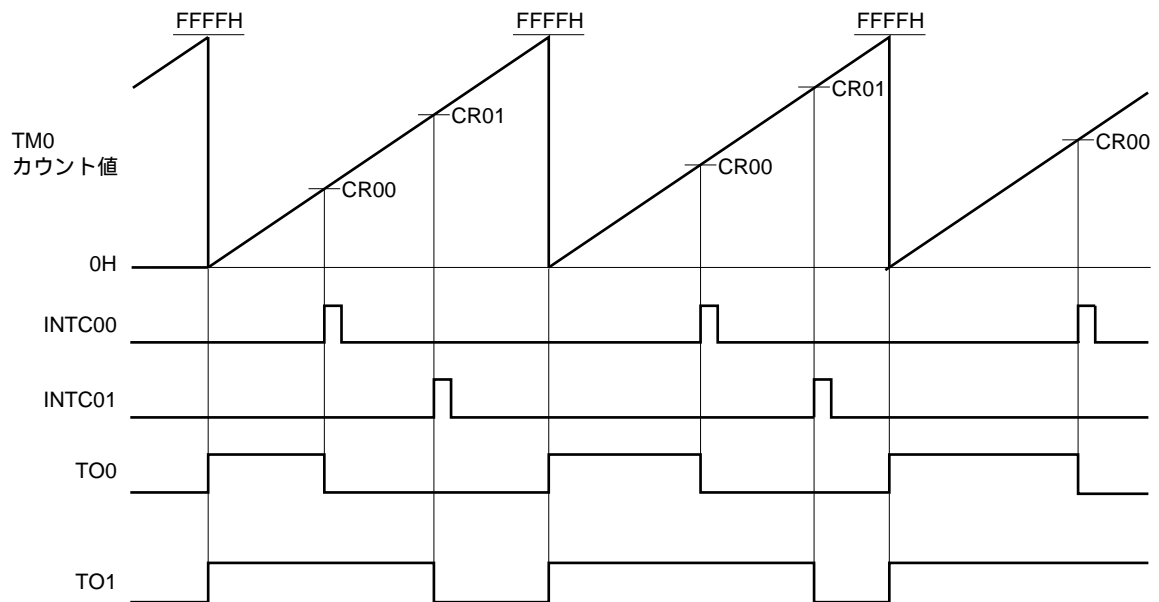
備考 ALV0 = 0

表9 - 7 TO0, TO1のPWM周期 (f_{xx} = 12.58 MHz)

カウント・クロック	最小パルス幅 [μs]	PWM周期 [s]	PWM周波数 [Hz]
f _{xx} /4	0.32	0.02	47.6
f _{xx} /8	0.64	0.04	23.8
f _{xx} /16	1.27	0.08	12.0
f _{xx} /32	2.54	0.17	6.0
f _{xx} /64	5.09	0.33	3.0
f _{xx} /128	10.17	0.67	1.5
f _{xx} /256	20.35	1.33	0.7
f _{xx} /512	40.70	2.67	0.4
f _{xx} /1024	81.40	5.33	0.2

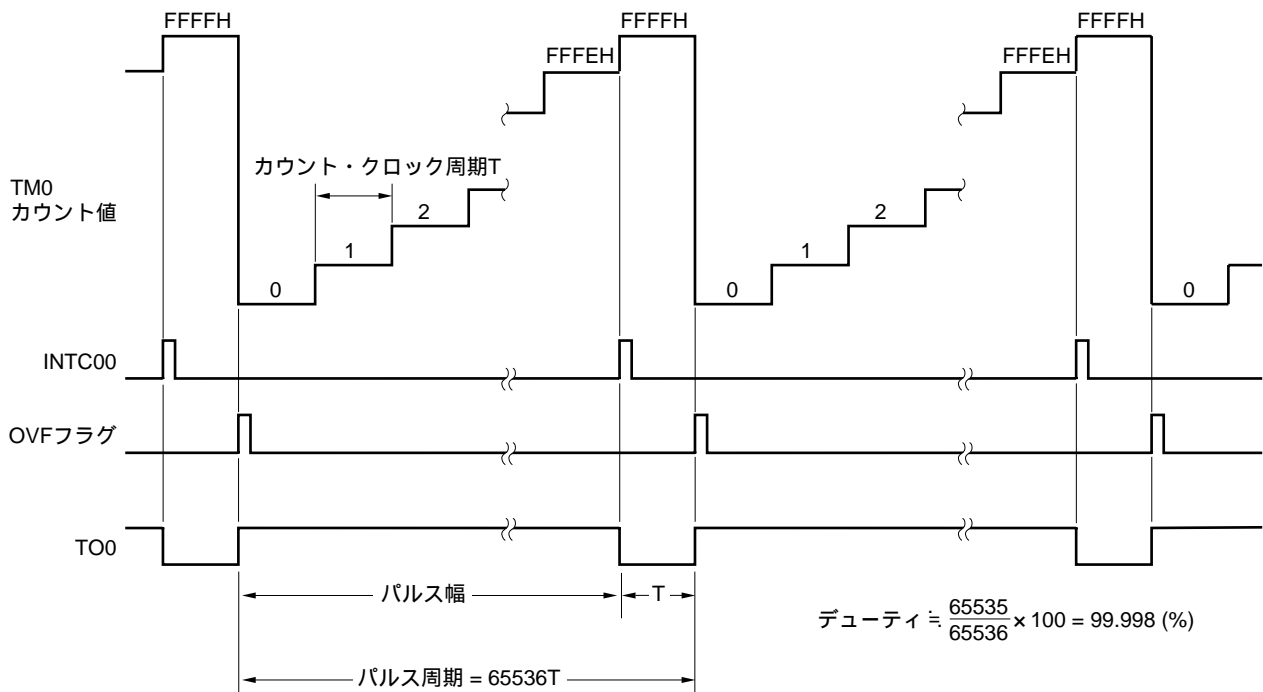
図9 - 18は、2チャンネルのPWM出力の例です。また、図9 - 19は、CR00にFFFFHを設定した場合の動作です。

図9 - 18 TM0を用いたPWM出力例



備考 ALV0 = 0, ALV1 = 0

図9 - 19 CR00 = FFFFHのときのPWM出力例



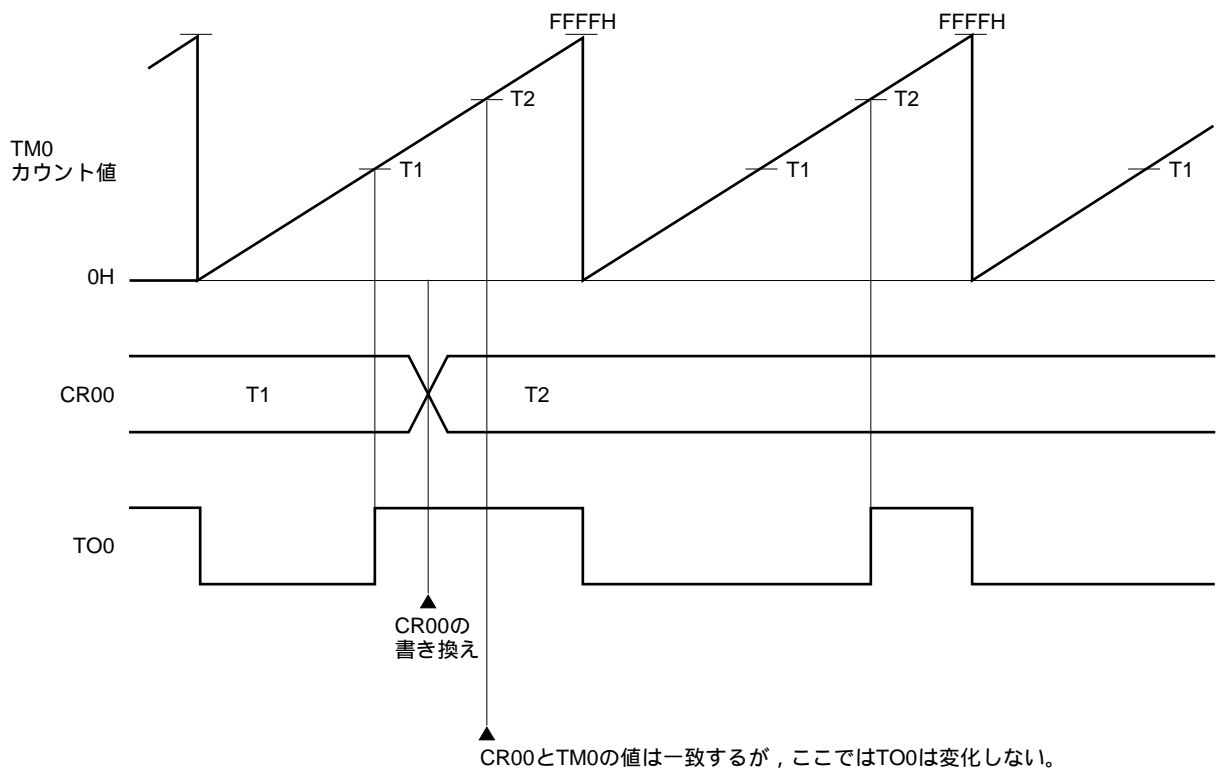
備考1 . ALV0 = 0

2 . T = x/fxx (x = 4, 8, 16, 32, 64, 128, 256, 512, 1024)

(2) コンペア・レジスタ (CR00, CR01) の書き換え

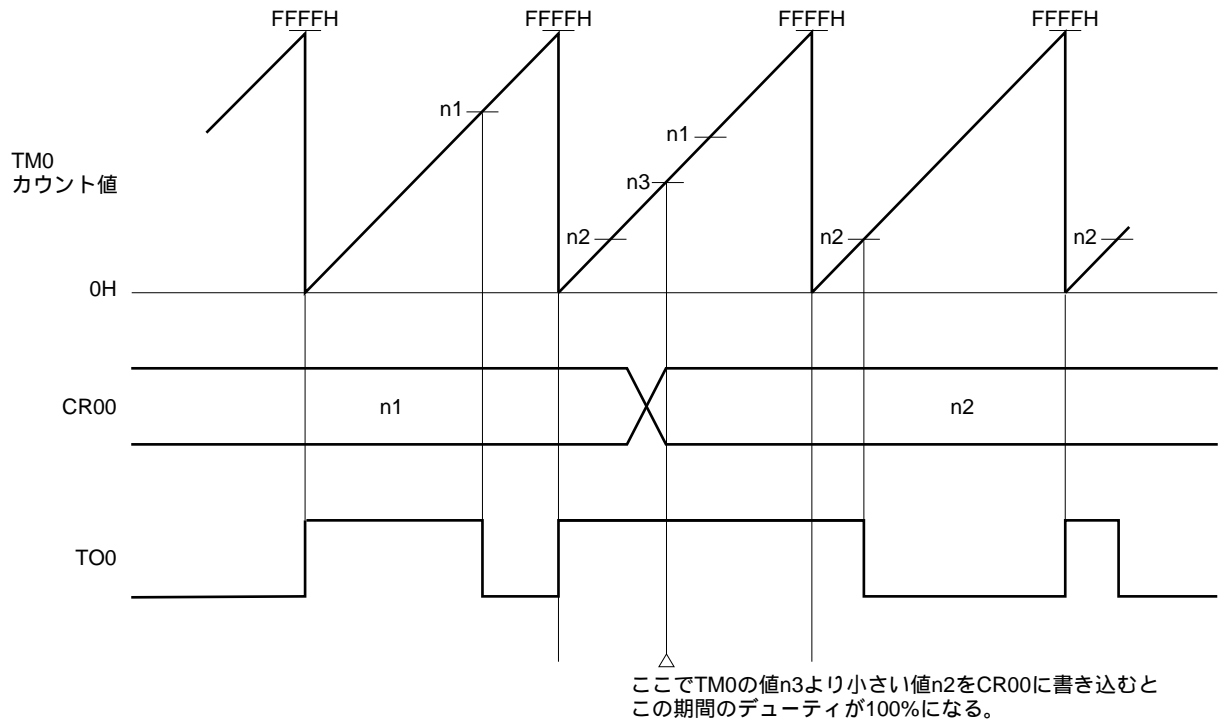
PWM出力の1周期の期間中に、二度以上CR0n (n = 0, 1) の値がタイマ・カウンタ0 (TM0) の値と一致しても、タイマ出力 (TON : n = 0, 1) の出力レベルは変化しません。

図9 - 20 コンペア・レジスタ (CR00) の書き換え例



しかし、CR0nの値をTM0より小さい値に設定すると、デューティ100%のPWM信号が出力されてしまいます。CR0nの書き換えはTM0と書き換えを行うCR0nとの一致による割り込みで行ってください。

図9 - 21 PWM出力時にデューティが100%になる例

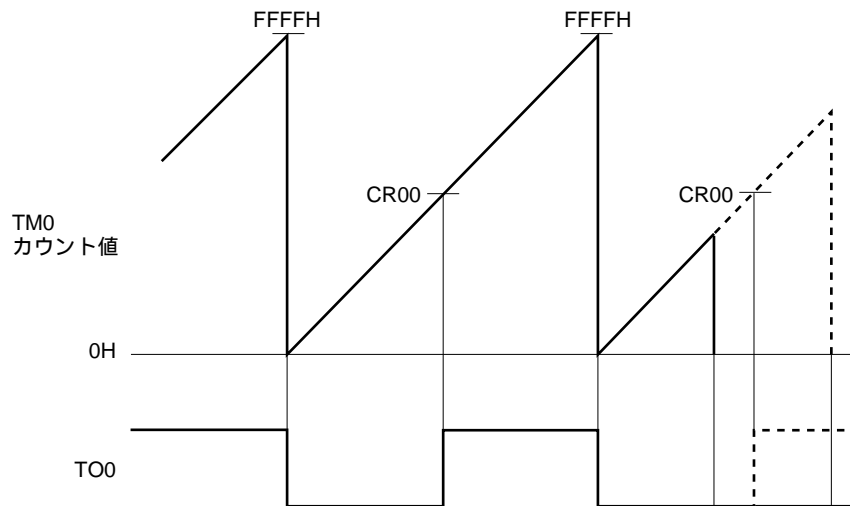


備考 ALV0 = 0

(3) PWM出力の停止

PWM信号出力中に、タイマ・コントロール・レジスタ0 (TMC0) のCE0ビットをクリア (0) してタイマ/イベント・カウンタ0を停止させると、停止時の出力レベルをそのまま保持します。

図9 - 22 PWM信号出力中にタイマ/イベント・カウンタ0を停止した場合



備考 ALV0 = 1

注意 タイマ出力禁止時 (ENTOn = 0 : n = 0, 1) のTON (n = 0, 1) 端子の出力レベルは、ALVn (n = 0, 1) ビットに設定した値の反転値となります。したがって、PWM出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

9.7.4 PPG出力

(1) PPG出力の基本動作

コンペア・レジスタCR01の値で決まる時間を1周期とし、コンペア・レジスタCR00の値で決まる時間をパルス幅とする矩形波を出力する機能です。PWM出力のPWM周期を可変にしたものです。この出力は、タイマ出力(TO0)からのみ出力することができます。

この機能を使用する場合は、キャプチャ/コンペア・コントロール・レジスタ0(CRC0)のCLR01ビットを1にする必要があります。

パルス周期とパルス幅は、次のようになります。

- PPG周期 = $(CR01 + 1) \times x / f_{xx}$; $x = 4, 8, 16, 32, 64, 128, 256, 512, 1024$

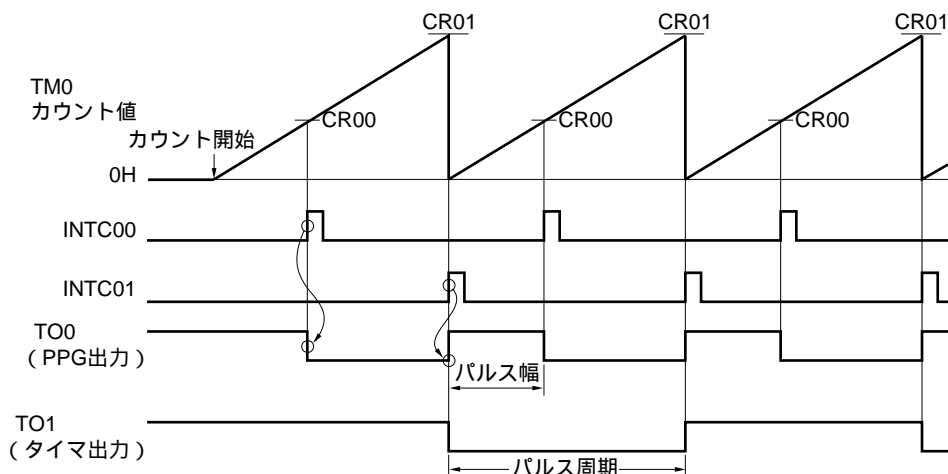
- PPGパルス幅 = $CR00 \times x / f_{xx}$

ただし、 $1 \leq CR00 \leq CR01$

- デューティ = $\frac{\text{PPGパルス幅}}{\text{PPG周期}} = \frac{CR00}{CR01 + 1}$

図9-23は、タイマ・カウンタ0(TM0)を用いたPPG出力の例です。また、図9-24はCR00 = CR01に設定した場合の例です。

図9-23 TM0を用いたPPG出力例

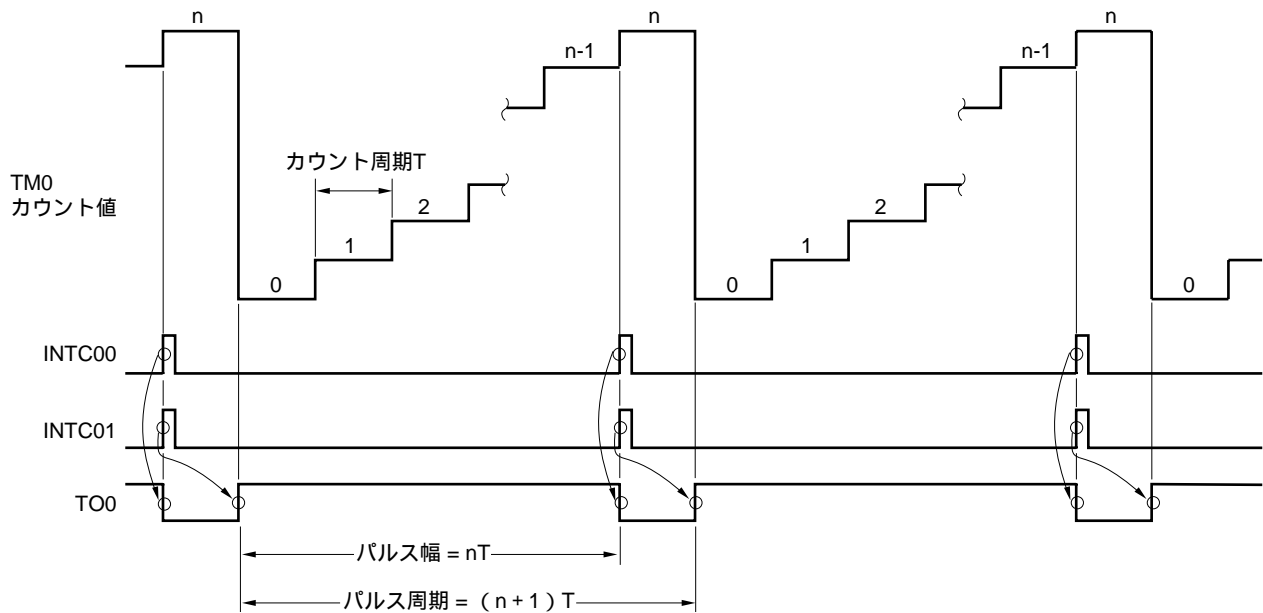


備考 ALV0 = 0 , ALV1 = 0

表9 - 8 TO0のPPG出力 ($f_{xx} = 12.58 \text{ MHz}$)

カウント・クロック	最小パルス幅 $[\mu\text{s}]$	PPG周期	PPG周波数
$f_{xx}/4$	0.32	$0.64 \mu\text{s} - 20.84 \text{ ms}$	1572 kHz - 48.0 Hz
$f_{xx}/8$	0.64	$1.27 \mu\text{s} - 41.68 \text{ ms}$	786 kHz - 24.0 Hz
$f_{xx}/16$	1.27	$2.54 \mu\text{s} - 83.35 \text{ ms}$	393 kHz - 12.0 Hz
$f_{xx}/32$	2.54	$5.09 \mu\text{s} - 166.71 \text{ ms}$	197 kHz - 6.0 Hz
$f_{xx}/64$	5.09	$10.17 \mu\text{s} - 333.41 \text{ ms}$	98.3 kHz - 3.0 Hz
$f_{xx}/128$	10.17	$20.35 \mu\text{s} - 666.82 \text{ ms}$	49.1 kHz - 1.5 Hz
$f_{xx}/256$	20.35	$40.70 \mu\text{s} - 1.33 \text{ s}$	24.6 kHz - 0.7 Hz
$f_{xx}/512$	40.70	$81.40 \mu\text{s} - 2.67 \text{ s}$	12.3 kHz - 0.4 Hz
$f_{xx}/1024$	81.40	$162.80 \mu\text{s} - 5.33 \text{ s}$	6.1 kHz - 0.2 Hz

図9 - 24 CR00 = CR01のときのPPG出力例



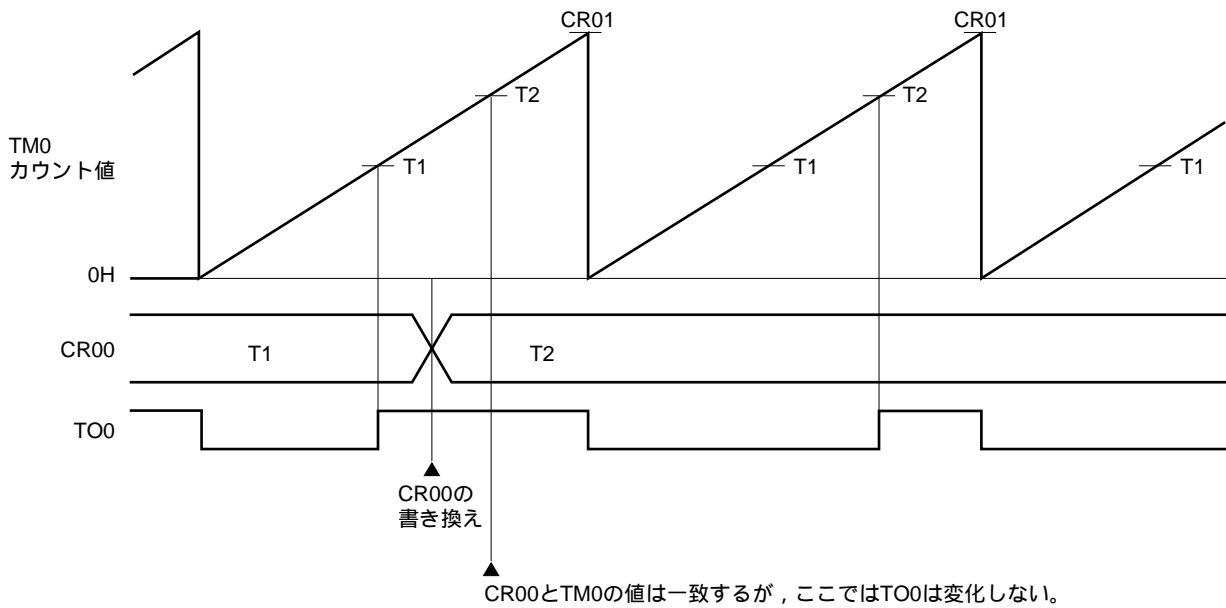
備考 ALV0 = 0

$$T = x/f_{xx} \quad (x = 4, 8, 16, 32, 64, 128, 256, 512, 1024)$$

(2) コンペア・レジスタ (CR00) の書き換え

PPG出力の1周期の期間中に二度以上CR00の値がタイマ・カウンタ0 (TM0) の値と一致しても、タイマ出力 (TO0) の出力レベルは変化しません。

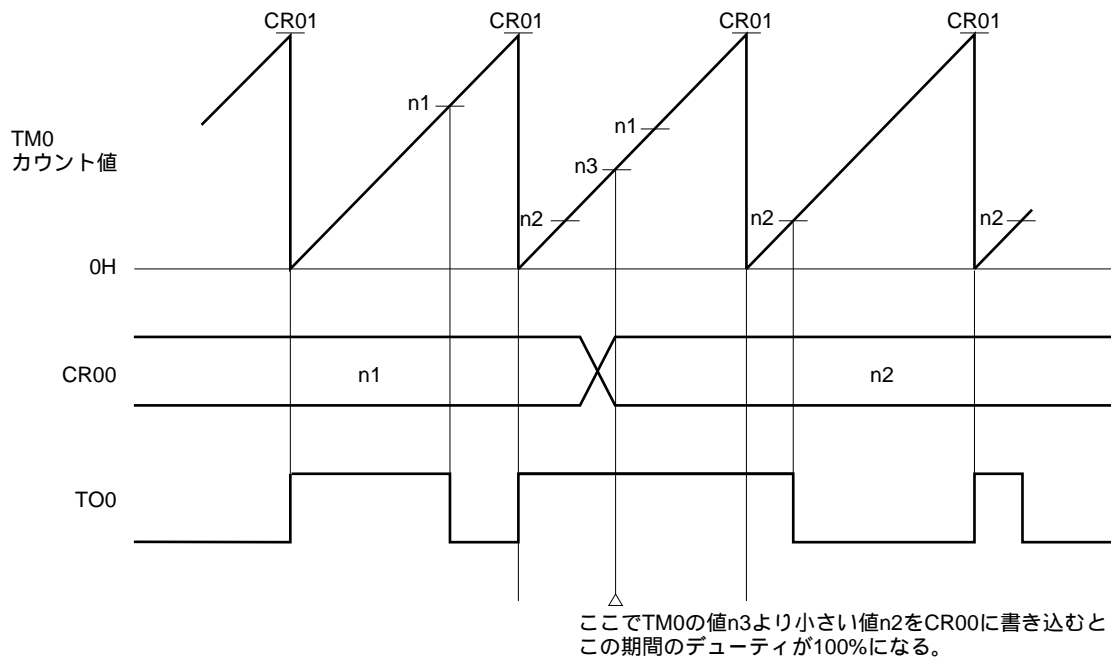
図9 - 25 コンペア・レジスタ (CR00) の書き換え例



備考 ALV0 = 1

しかし、コンペア・レジスタ (CR00) とタイマ・カウンタ0 (TM0) が一致するより前にCR00にTM0以下の値を書き込むと、そのPPG周期のデューティが100%になってしまいます。CR00の書き換えは、TM0とCR00との一致による割り込みで行うようにするなどしてください。

図9 - 26 PPG出力時にデューティが100%になる例



備考 ALV0 = 0

注意 割り込みの受け付けなどにかかる時間に対して、十分な時間がPPG周期にないとき (PPG周期が極端に短いとき) は、TM0とCR00の一致による割り込み処理でCR00の値を書き換えることはできません。ほかの方法 (すべての割り込みをマスクして、割り込み要求フラグをソフトウェアでポーリングするなど) を考えてください。

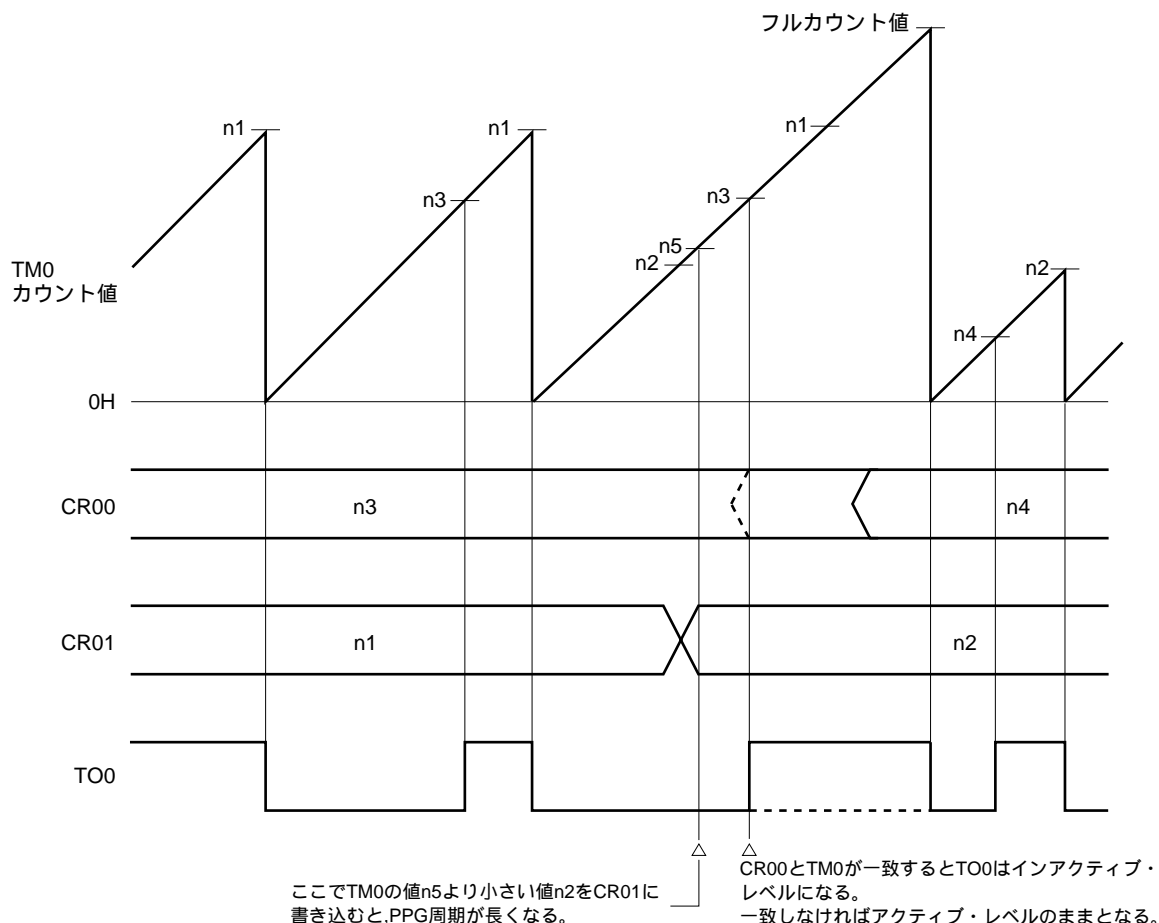
(3) コンペア・レジスタ (CR01) の書き換え

CR01を現在の値より小さい値に変更する場合に、CR01の値をタイマ・カウンタ0 (TM0) の値より小さくすると、そのときのPPG周期がTM0がフルカウントする時間にまで長くなってしまいます。このときの出力レベルは、コンペア・レジスタ (CR00) とTM0が一致したあとにCR01を書き換えた場合は、TM0がオーバーフローして0になるまでインアクティブ・レベルとなり、その後、正常なPPG出力に戻ります。

CR00とTM0が一致する前にCR01を書き換えた場合は、CR00とTM0が一致するまでアクティブ・レベルを出力します。TM0がオーバーフローし、0になる前にCR00とTM0が一致した場合は、その時点でインアクティブ・レベルを出力します。TM0がオーバーフローし、0になった時点でアクティブ・レベルを出力し、正常なPPG出力に戻ります。

CR01の書き換えは、TM0とCR01との一致割り込みで行うようにしてください。

図9 - 27 PPG出力の周期が長くなる例



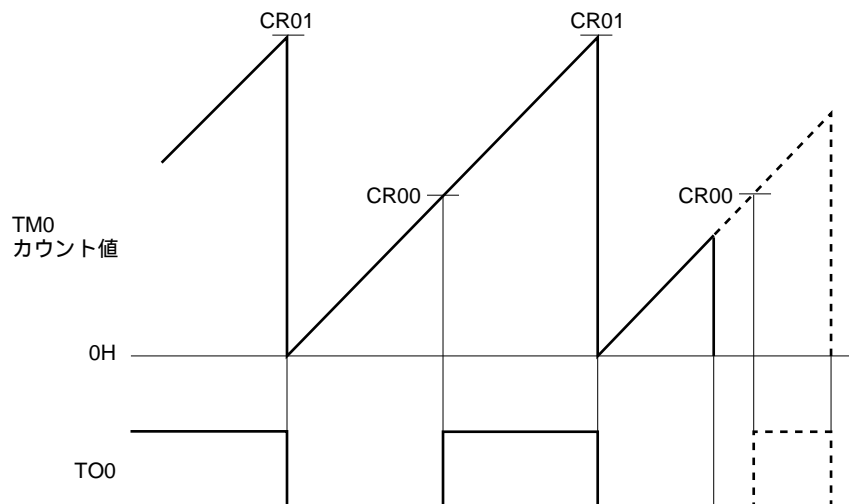
備考 ALV0 = 1

注意 割り込みの受け付けなどにかかる時間に対して、十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は、タイマ・カウンタ0（TM0）とコンペア・レジスタ（CR01）の一致による割り込み処理でCR01の値を書き換えることはできません。ほかの方法（すべての割り込みをマスクして、割り込み要求フラグをソフトウェアでポーリングするなど）を考えてください。

（4）PPG出力の停止

PPG信号出力中に、タイマ・コントロール・レジスタ0（TMC0）のCE0ビットをクリア（0）してタイマ/イベント・カウンタ0を停止させると、停止時の出力レベルとは無関係に、アクティブ・レベルを出力します。

図9 - 28 PPG信号出力中にタイマ/イベント・カウンタ0を停止した場合



注意 タイマ出力禁止時（ $ENTOn = 0 : n = 0, 1$ ）の $TOn (n = 0, 1)$ 端子の出力レベルは、 $ALVn (n = 0, 1)$ ビットに設定した値の反転値となります。したがって、PPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

9.7.5 ソフト・トリガド・ワンショット・パルス出力

ソフト・トリガド・ワンショット・パルス出力は、ワンショット・パルスをソフトウェアにより出力するモードです。

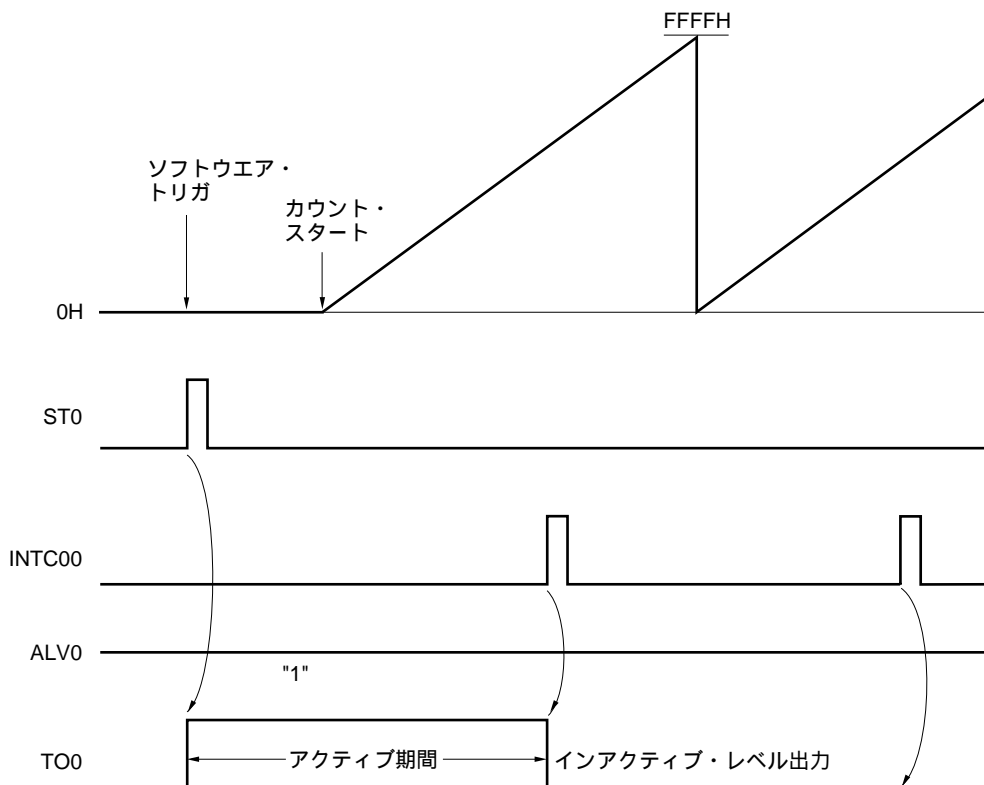
ワンショット・パルス出力制御レジスタ (OSPC) のSTn (n = 0, 1) をセット (1) することにより、タイマ出力端子 (TON : n = 0, 1) はアクティブ・レベルになります。その後、タイマ・カウンタ0 (TM0) の値とコンペア・レジスタ (CR0n : n = 0, 1) の値が一致するまでTONはアクティブ・レベルを保持し、TM0とCR0nの値が一致すると、TONはインアクティブ・レベルに変化します。その後、再びSTnビットをセットするまでTONはインアクティブ・レベルを保持します。また、RTn (n = 0, 1) ビットをセット (1) することによってもTONをインアクティブ・レベルにすることができ、同様に再びSTnビットをセットするまでTONはインアクティブ・レベルを保持します。

TO0, TO1に対して独立に制御することができます。

図9 - 29は、ソフト・トリガド・ワンショット・パルス出力の例です。

なお、TMC0のCE0ビットをクリア (0) してタイマ/イベント・カウンタ0を停止させると、停止時のレベルを保持します。

図9 - 29 ソフト・トリガド・ワンショット・パルス出力例



注意 STnとRTnに同時に“1”を書き込まないでください。

9.8 使用例

9.8.1 インターバル・タイマとしての動作(1)

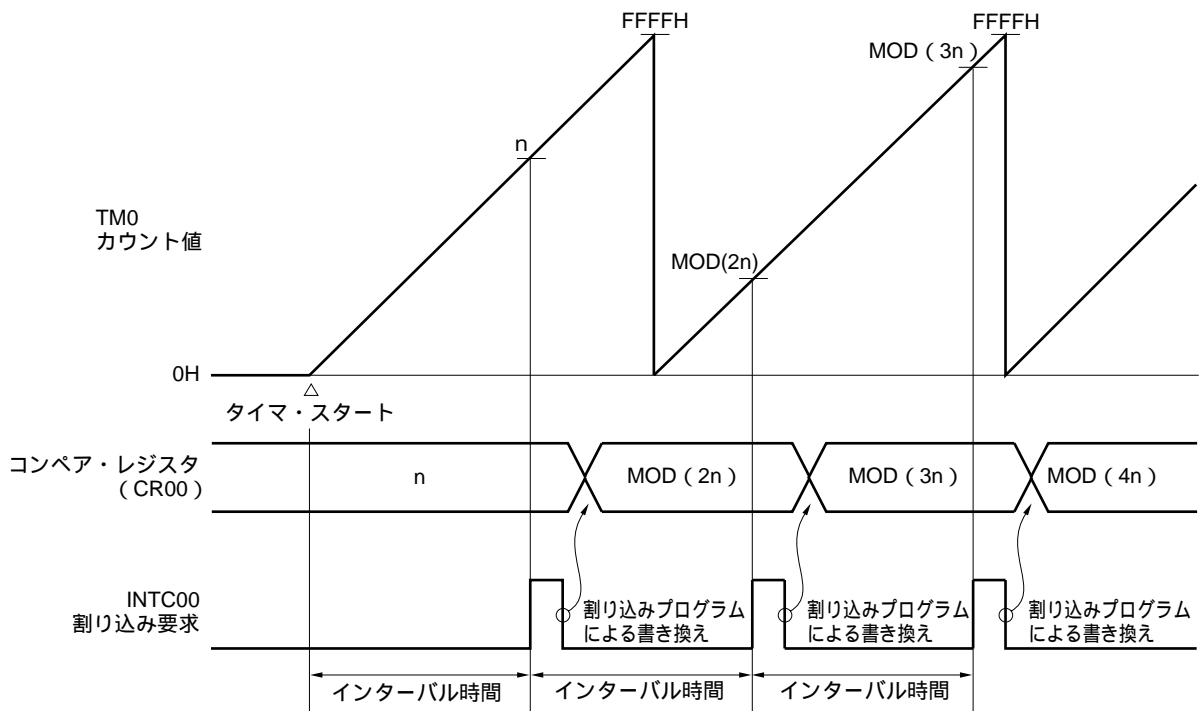
タイマ・カウンタ0 (TM0) をフリーランニングさせ、割り込み処理ルーチン中でコンペア・レジスタ (CR0n: n = 0, 1) に一定の値を加算することで、加算する一定の値を周期とするインターバル・タイマとして動作します (図9 - 30参照)。

このインターバル・タイマは、表9 - 1に示す範囲でカウントができます (内部システム・クロック $f_{xx} = 32 \text{ MHz}$)。

また、TM0 1本にコンペア・レジスタが2本ついているため、2種類の周期のインターバル・タイマを作ることができます。

図9 - 31に制御レジスタの設定内容、図9 - 32にその設定手順、図9 - 33に割り込み処理ルーチン内の処理を示します。

図9 - 30 インターバル・タイマ動作(1)のタイミング



備考 インターバル時間 = $n \times 4 / f_{xx}$, 1 n $FFFFH$

図9 - 31 インターバル・タイマ動作 (1) における制御レジスタの設定内容

キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

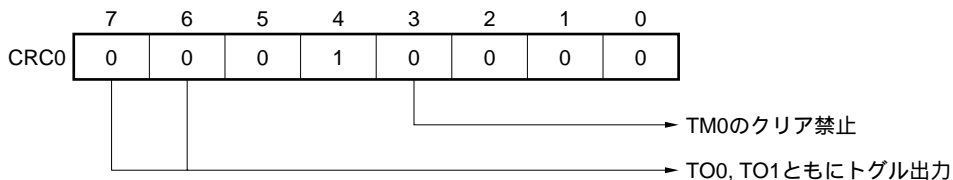


図9 - 32 インターバル・タイマ動作 (1) の設定手順

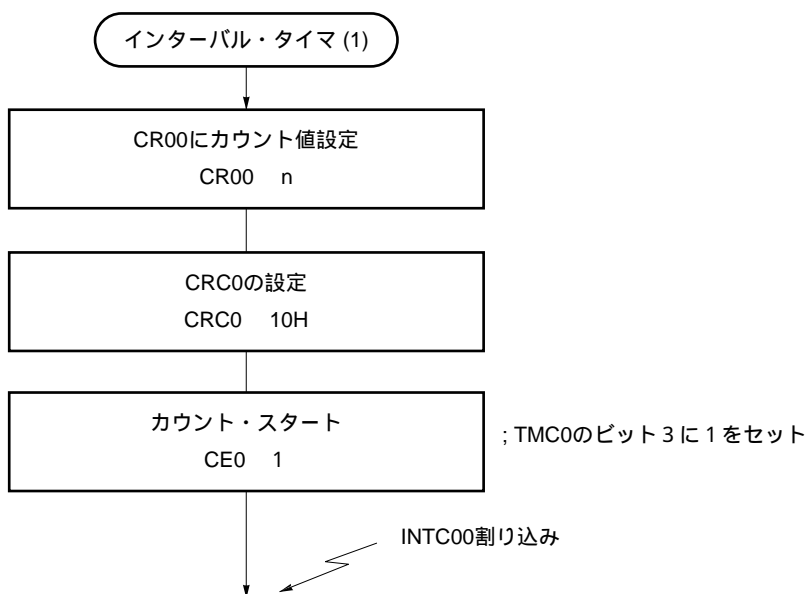
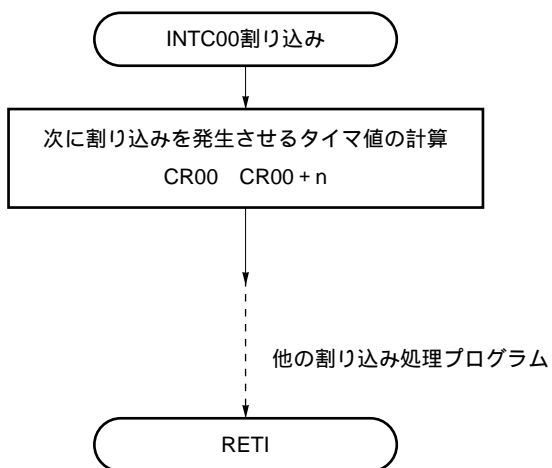


図9 - 33 インターバル・タイマ動作 (1) の割り込み要求処理



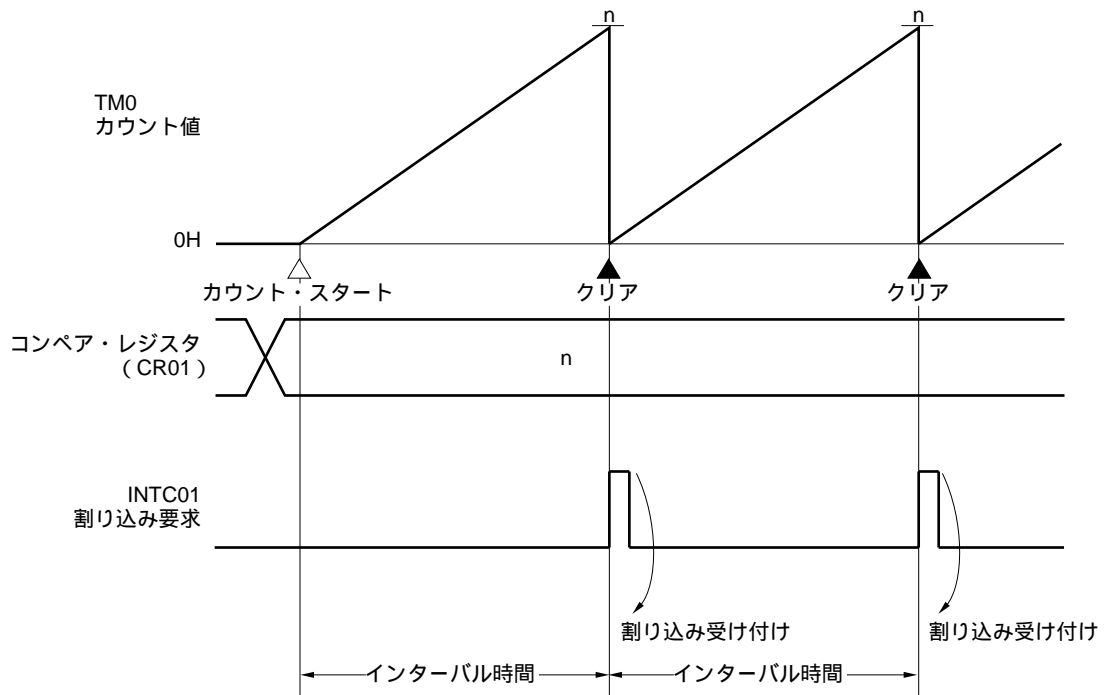
9.8.2 インターバル・タイマとしての動作(2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します(図9-34参照)。

このインターバル・タイマは、表9-1に示す範囲でカウントができます(内部システム・クロック $f_{xx} = 32 \text{ MHz}$)。

図9-35に制御レジスタの設定内容を、図9-36にその設定手順を示します。

図9-34 インターバル・タイマ動作(2)のタイミング



備考 インターバル時間 = $(n + 1) \times 4 / f_{xx}$, 0 n FFFFH

図9 - 35 インターバル・タイマ動作(2)における制御レジスタの設定内容

キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

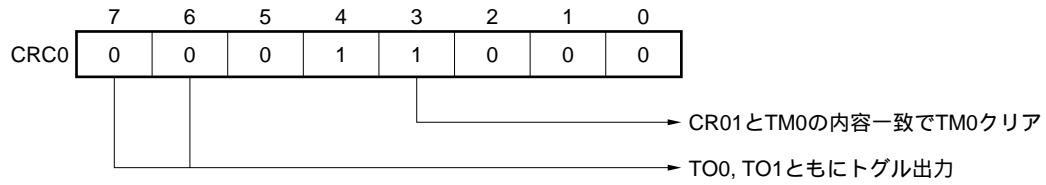
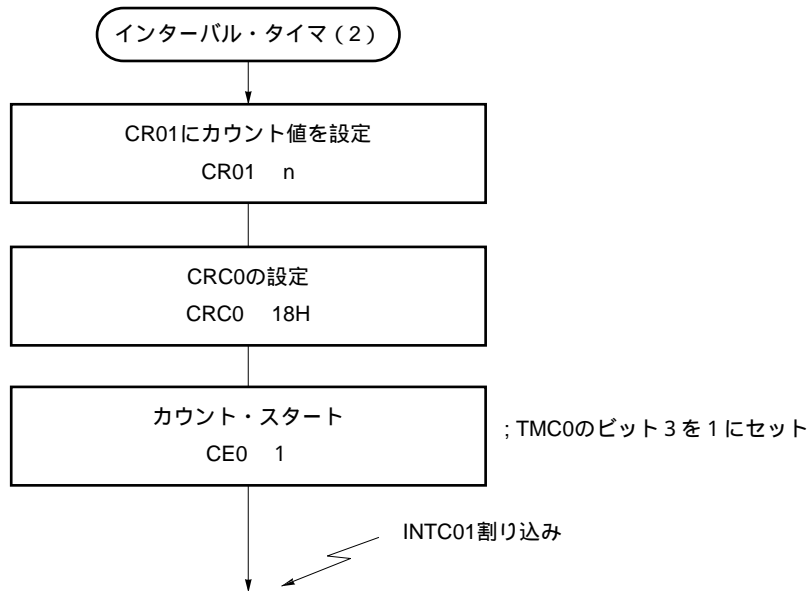


図9 - 36 インターバル・タイマ動作(2)の設定手順



9.8.3 パルス幅測定としての動作

パルス幅測定は、外部割り込み要求入力端子 (INTP3) に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

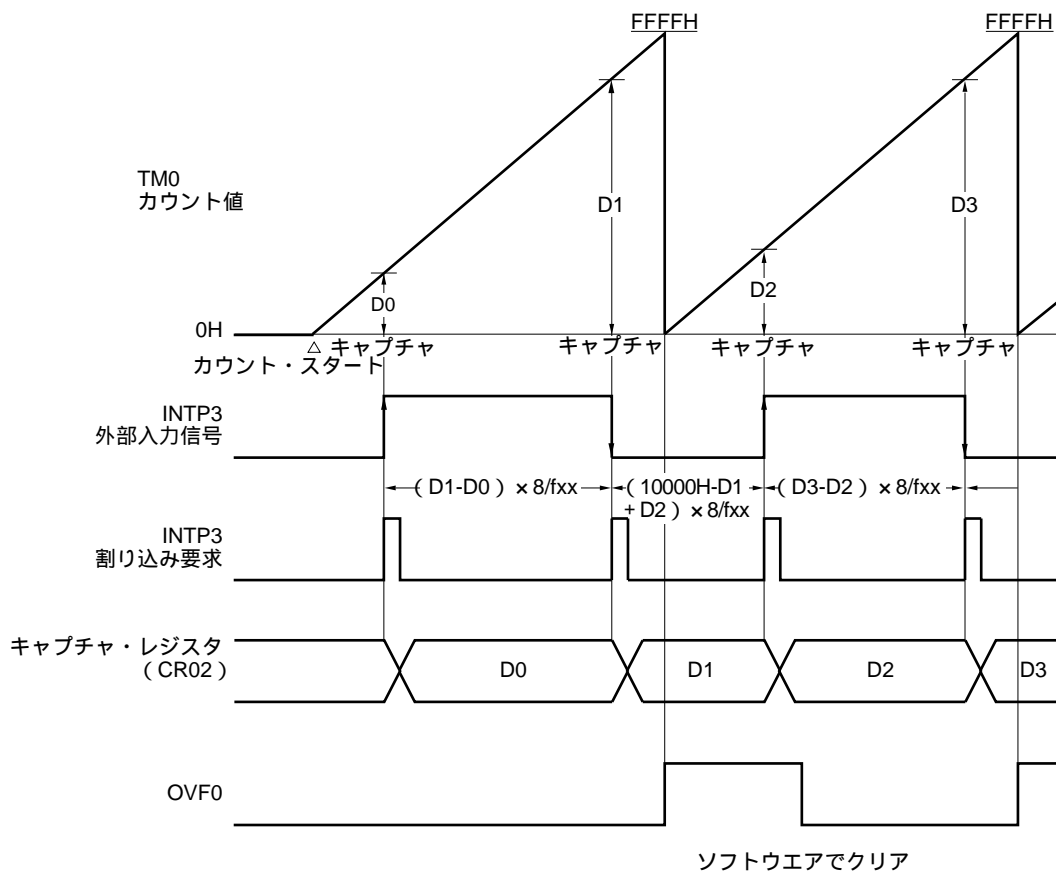
INTP3端子に入力するパルス幅はハイ・レベル、ロウ・レベルとも3システム・クロック (0.24 μs : $f_{CLK} = 12.58 \text{ MHz}$) 以上必要で、これ以下の場合には有効エッジが検出されずキャプチャ動作を行いません。

このパルス幅測定では、表9-3に示す範囲のパルス幅を測定することができます ($f_{CLK} = 12.58 \text{ MHz}$)。

図9-37に示すようにINTP3端子入力の有効エッジ (立ち上がり, 立ち下がり)の両エッジに指定)に同期して、カウント中のタイマ・カウンタ0 (TM0)の値をキャプチャ・レジスタ (CR02)に取り込み、保持します。パルス幅は、n回目の有効エッジ検出によりCR02に取り込み、保持されているTM0のカウント値 (D_n)とn-1回目の有効エッジ検出によるカウント値 (D_{n-1})との差の値とカウント・クロック数 (x/f_{xx} ; $x = 4, 8, 16, 32, 64, 128, 256, 512, 1024$)との積から求めます。

そのときの制御レジスタの設定内容を図9-38に、設定手順を図9-39に示します。

図9-37 パルス幅測定のタイミング

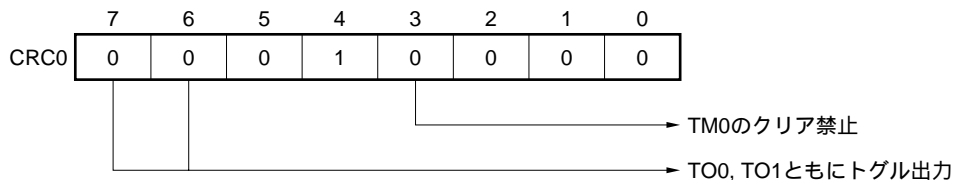


備考 D_n : TM0のカウント値 ($n = 0, 1, 2, \dots$)

$x = 4, 8, 16, 32, 64, 128, 256, 512, 1024$

図9 - 38 パルス幅測定における制御レジスタの設定内容

(a) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(b) 外部割り込みモード・レジスタ1 (INTM1)

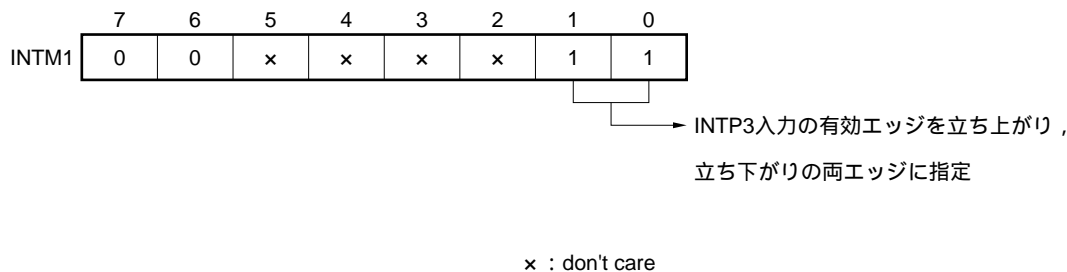


図9 - 39 パルス幅測定の設定手順

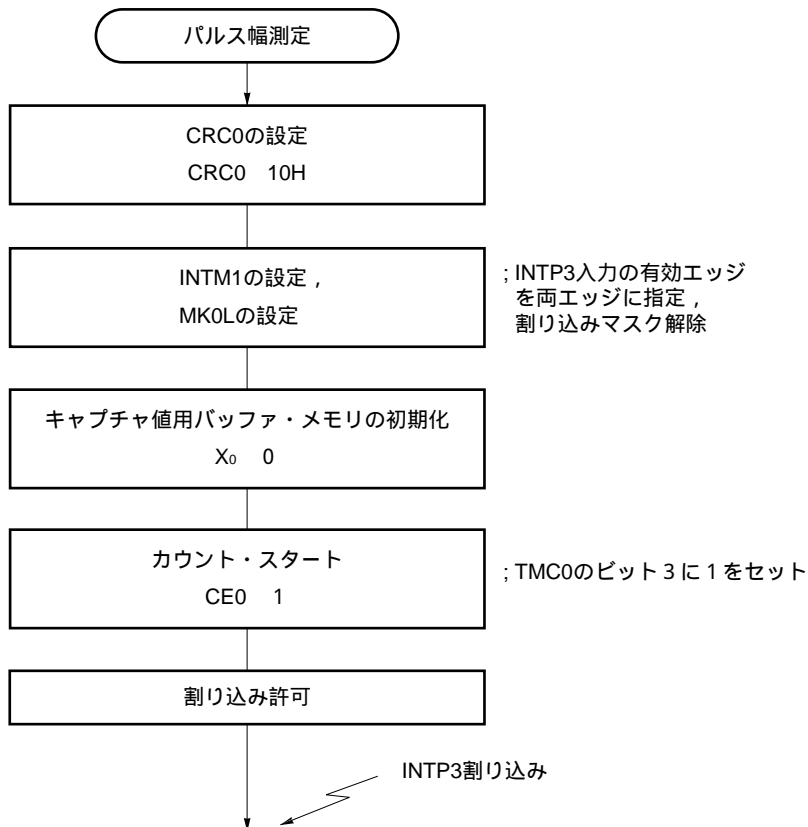
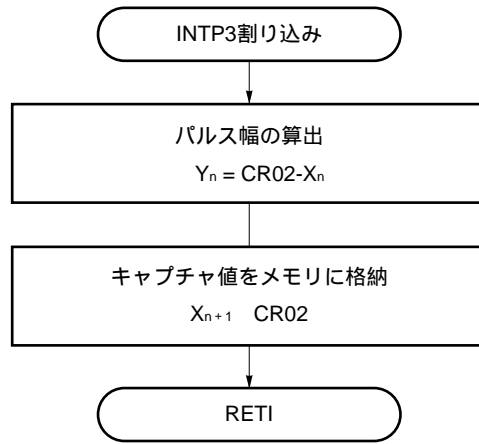


図9 - 40 パルス幅を算出する割り込み要求処理



9.8.4 PWM出力としての動作

PWM出力は、コンペア・レジスタ (CR0n : n = 0, 1) に設定した値で決まるデューティ比のパルスを出します (図9 - 41参照)。

このPWM出力は、1/65536-65535/65536のデューティ比を1/65536単位で変化させることができます。

また、タイマ・カウンタ0 (TM0) 1本にコンペア・レジスタが2本ついているため2種類のPWM信号を出力できます。

図9 - 42に制御レジスタの設定内容、図9 - 43にその設定手順、図9 - 44にデューティを変化させる場合の手順を示します。

図9 - 41 タイマ/イベント・カウンタ0のPWM信号出力例

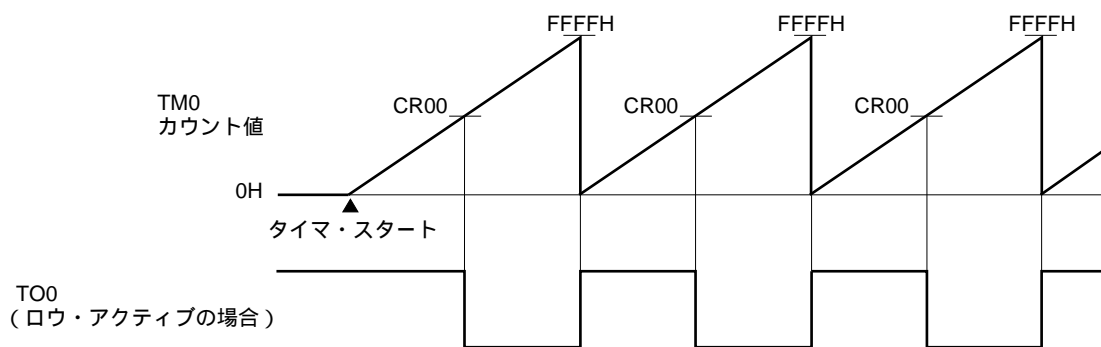
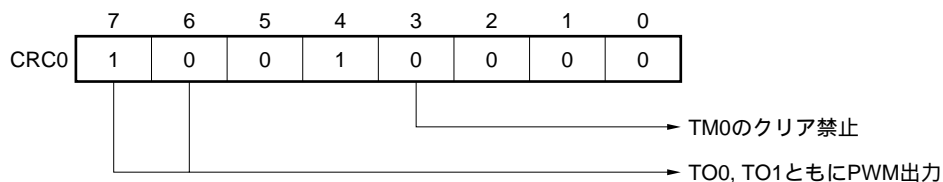
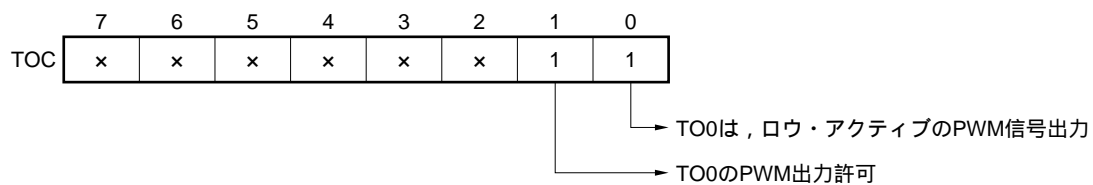


図9 - 42 PWM出力動作における制御レジスタの設定内容

(a) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(b) タイマ出力コントロール・レジスタ (TOC)



(c) ポート3モード・コントロール・レジスタ (PMC3)

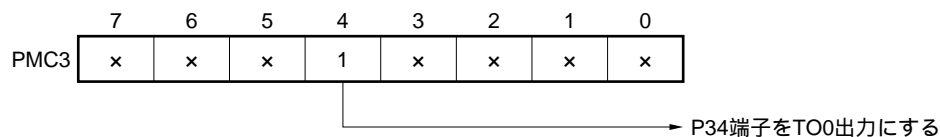


図9 - 43 PWM出力の設定手順

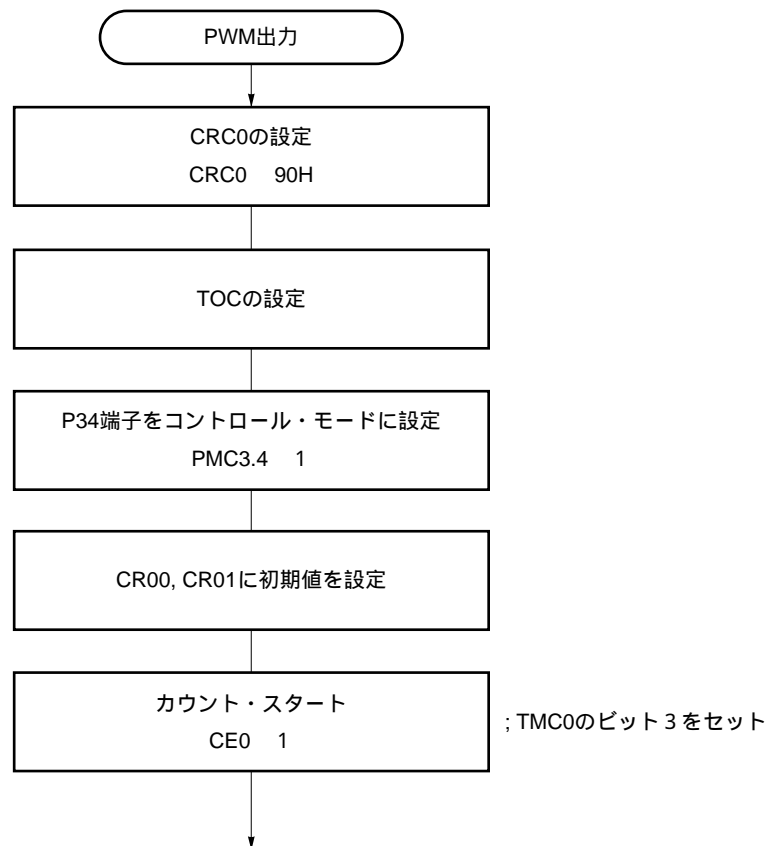
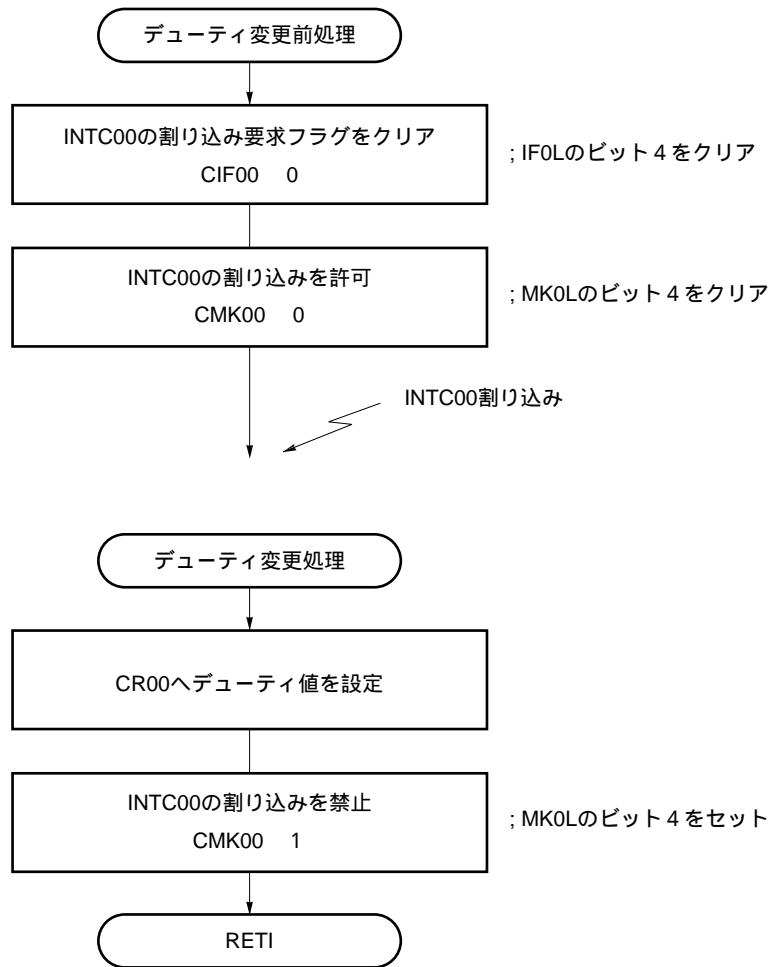


図9 - 44 PWM出力のデューティ変更



9.8.5 PPG出力としての動作

PPG出力は、コンペア・レジスタ (CR0n : n = 0, 1) に設定した値で決まる周期と、デューティ比のパルスを出力します (図9 - 45参照)。

図9 - 46に制御レジスタの設定内容, 図9 - 47にその設定手順, 図9 - 48にデューティを変化させる場合の手順を示します。

図9 - 45 タイマ/イベント・カウンタ0のPPG信号出力例

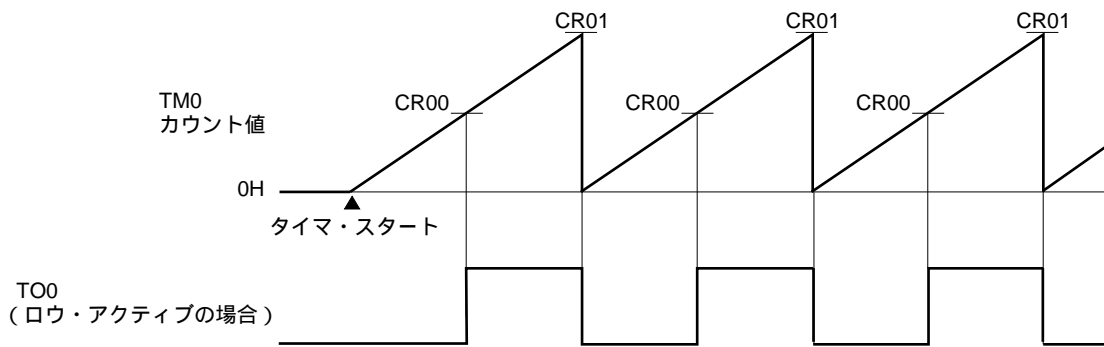
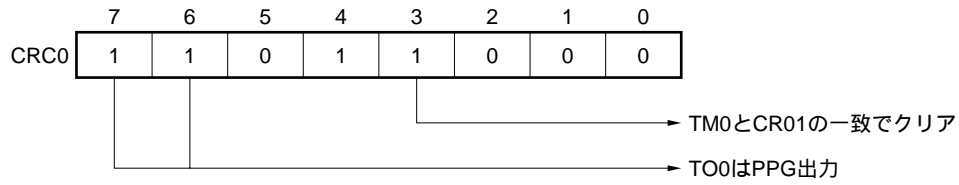
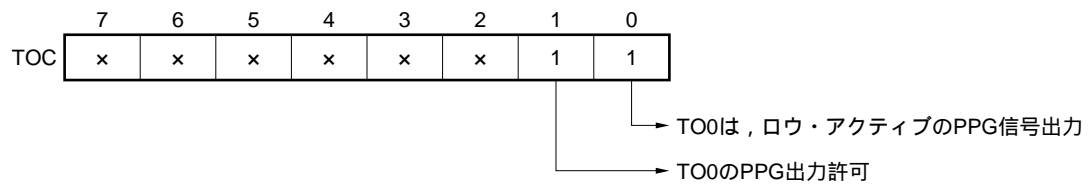


図9 - 46 PPG出力動作における制御レジスタの設定内容

(a) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(b) タイマ出力コントロール・レジスタ (TOC)



(c) ポート3モード・コントロール・レジスタ (PMC3)

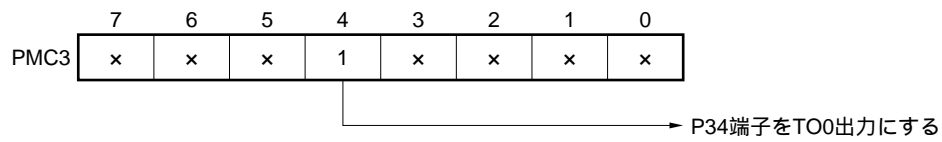


図9 - 47 PPG出力の設定手順

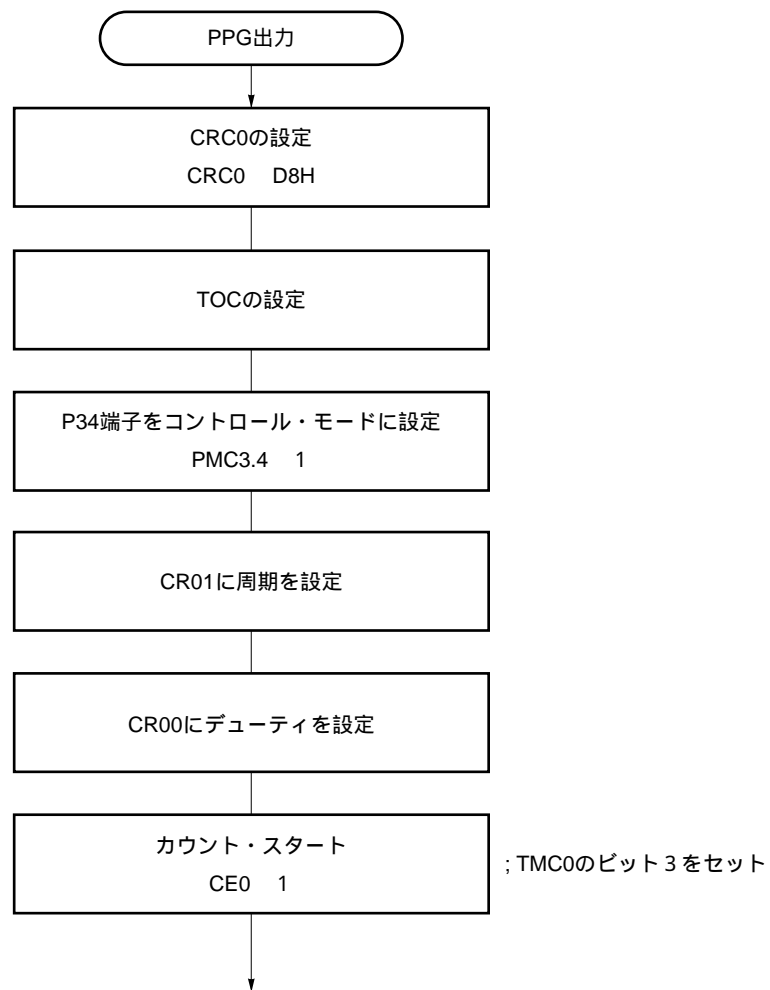
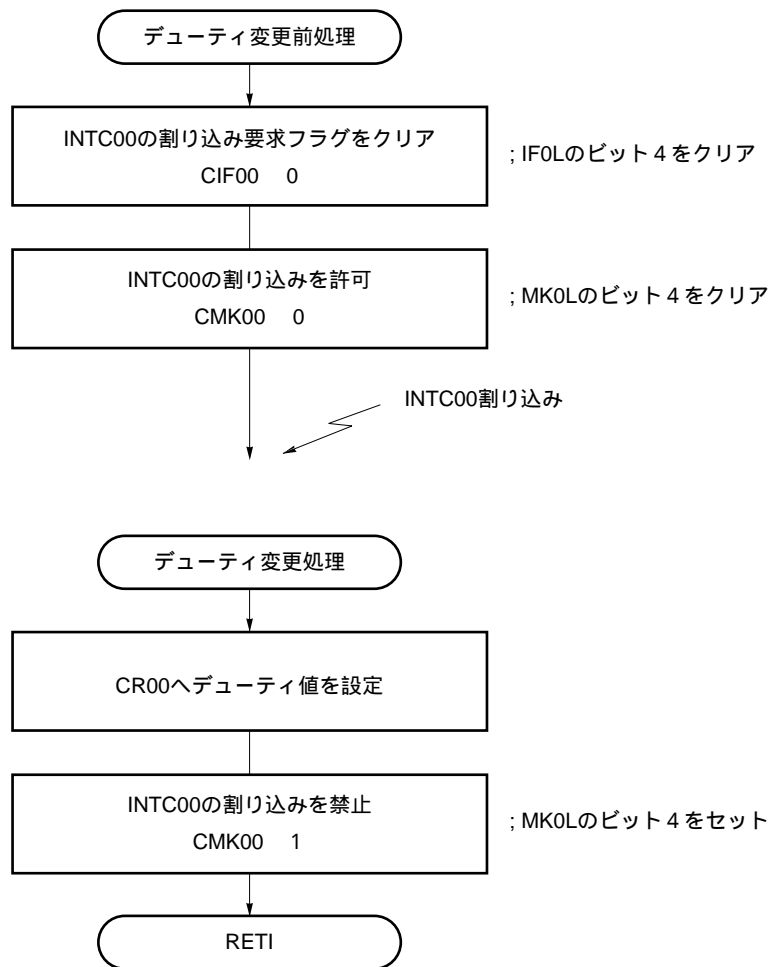


図9 - 48 PPG出力のデューティ変更



9.8.6 ソフト・トリガド・ワンショット・パルス出力例

ソフト・トリガド・ワンショット・パルス出力は、ソフトウェアでトリガをかけてワンショット・パルス
を出力するモードです（図9 - 49参照）。

図9 - 50に制御レジスタの設定内容，図9 - 51にその設定手順を示します。

図9 - 49 タイマ/イベント・カウンタ0のワンショット・パルス出力例

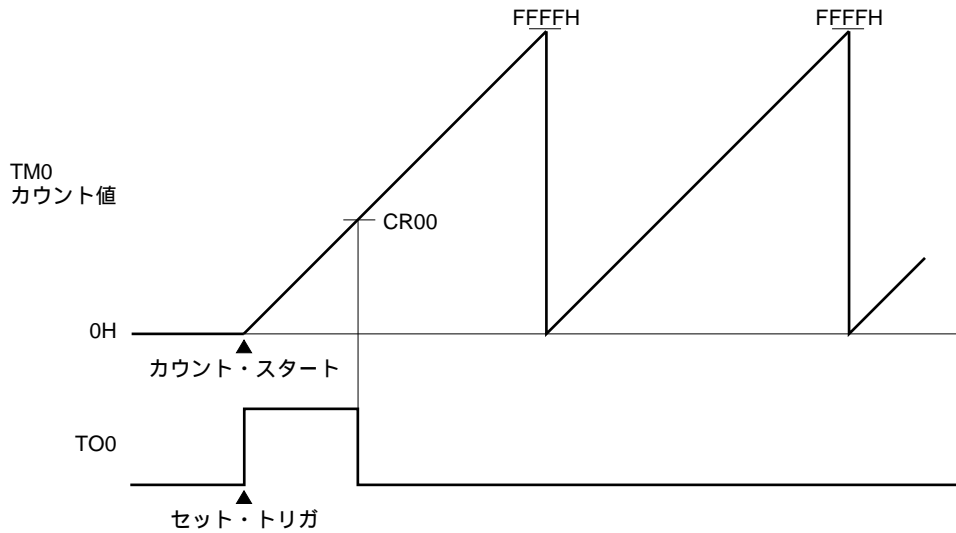
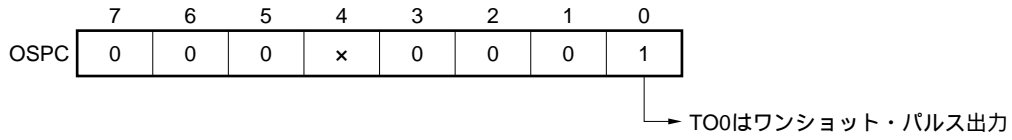
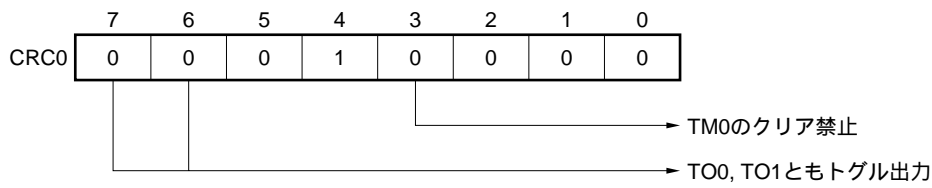


図9 - 50 ワンショット・パルス出力における制御レジスタ設定内容

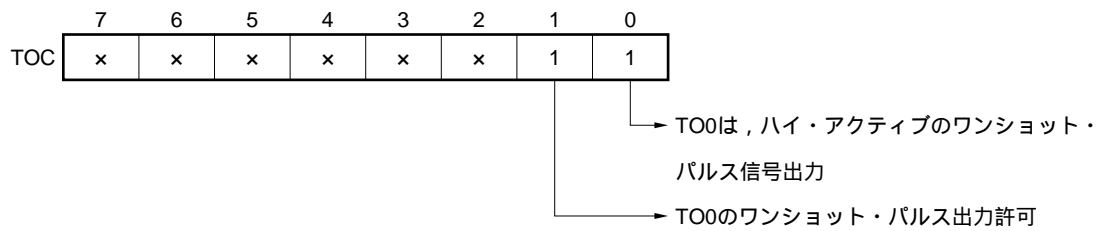
(a) ワンショット・パルス出力制御レジスタ (OSPC)



(b) キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) タイマ出力コントロール・レジスタ (TOC)



(d) ポート3モード・コントロール・レジスタ (PMC3)

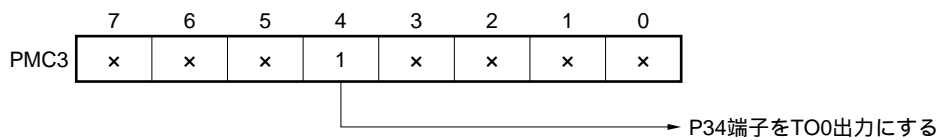
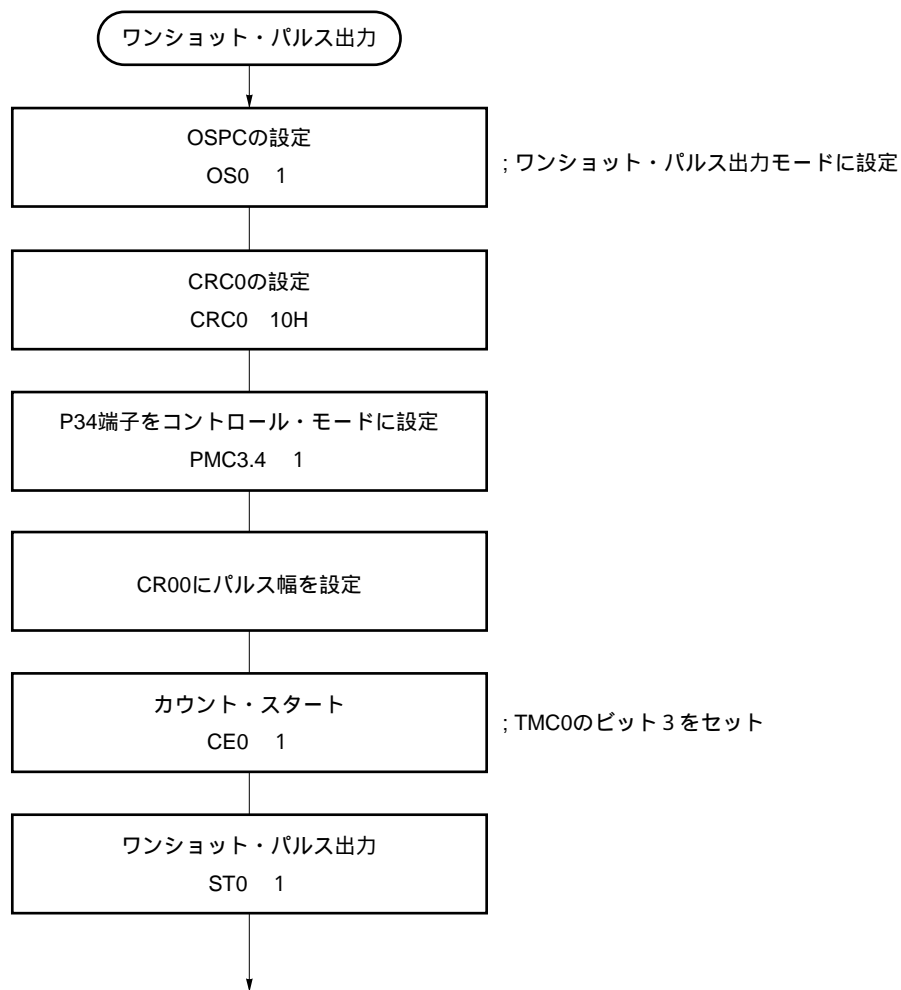


図9 - 51 ワンショット・パルス出力の設定手順



9.9 注意事項

(1) タイマ/イベント・カウンタ0が動作している期間(タイマ・コントロール・レジスタ0(TMC0)のCE0ビットがセットされているとき)、次のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウェアの機能の変化と、書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

次のレジスタの内容を書き換える場合は、安全のため必ずカウンタ動作を停止させてから行ってください。

- ・プリスケアラ・モード・レジスタ0(PRM0)
- ・キャプチャ/コンペア・コントロール・レジスタ0(CRC0)
- ・タイマ出力コントロール・レジスタ(TOC)

(2) タイマ・カウンタ0(TM0)の動作を停止させる命令実行時にコンペア・レジスタ(CR0n:n=0,1)とTM0の内容が一致した場合、TM0のカウント動作は停止しますが、割り込みの要求は発生しません。

TM0の動作を停止する場合に割り込みを発生させたくないときは、先に割り込みマスク・レジスタで割り込みをマスクしてからTM0を停止させてください。

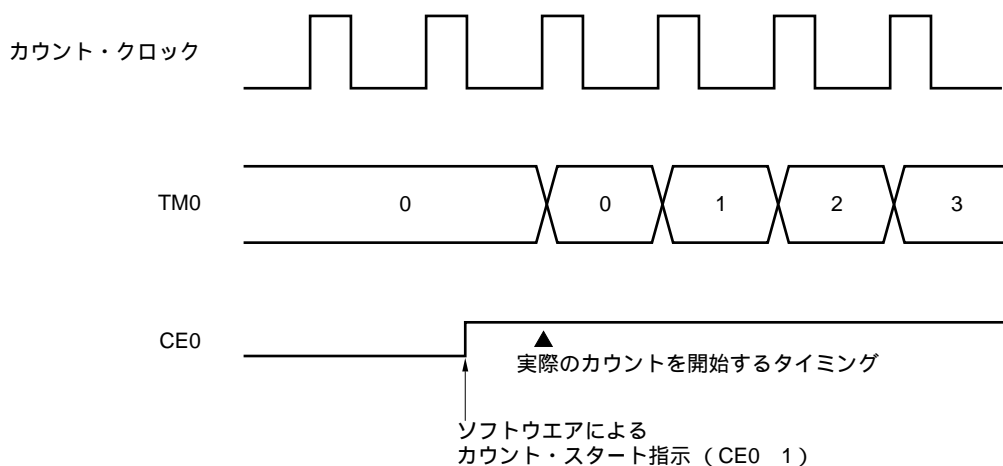
例

割り込み要求が発生する可能性のあるプログラム	割り込み要求が発生しないプログラム
<pre> ⋮ CLR1 CE0 OR MK0L, #30H ⋮ </pre>	<pre> ⋮ OR MK0L, #30H CLR1 CE0 CLR1 CIF00 CLR1 CIF01 ⋮ </pre>
<p>この間でタイマ/イベント・カウンタ0からの割り込み要求発生</p>	<p>タイマ/イベント・カウンタ0からの割り込み禁止 タイマ/イベント・カウンタ0からの割り込み要求フラグをクリア</p>

- (3) タイマ/イベント・カウンタ0をスタート(CE0 = 1)させる操作を行ってから、実際にタイマ/イベント・カウンタ0がスタートするまで最大1カウント・クロック分の時間がかかります(図9-52参照)。

たとえば、インターバル・タイマとして使用する場合は、1回目のインターバル時間が最大1クロック分だけ長くなります。2回目以降は、指定した間隔どおりになります。

図9-52 カウント・スタート時の動作



- (4) コンペア・レジスタ(CR0n : n = 0, 1)への書き込みを行う命令実行中は、書き込みの対象となっているCR0nとタイマ・カウンタ0(TM0)の一致を検出しません。たとえば、書き込みの前後でCR0nの内容が変わらない場合に、TM0の値がCR0nの値と一致しても割り込みの要求は発生せず、また、タイマ出力(TOn : n = 0, 1)も変化しません。

タイマ/イベント・カウンタ0がカウント動作を行っているときのCR0nへの書き込みは、CR0nへの書き込み中にTM0の内容とCR0nの書き込み前後の値が一致しないようなタイミングで行ってください(TM0とCR0nの一致による割り込み要求の発生直後など)。

- (5) TM0とコンペア・レジスタ(CR0n : n = 0, 1)の一致の検出は、TM0がインクリメントされたときにのみ行われます。したがって、TM0と同じ値をCR0nへ書き込んでも割り込みの要求は発生せず、タイマ出力(TOn : n = 0, 1)も変化しません。

- (6) PPG出力を使用している場合、割り込みの受け付けなどにかかる時間に対して、十分な時間がPPG周期にないとき(PPG周期が極端に短いとき)は、TM0とコンペア・レジスタ(CR0n : n = 0, 1)の一致による割り込み処理でCR0nの値を書き換えることはできません。ほかの方法(すべての割り込みをマスクして、割り込み要求フラグをソフトウェアでポーリングするなど)を考えてください。

(7) タイマ出力禁止時 (ENTOn = 0 : n = 0, 1) のTON (n = 0, 1) 端子の出力レベルは, ALVn (n = 0, 1) ビットに設定した値の反転値となります。したがって, PWM出力機能またはPPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

(8) タイマ/イベント・カウンタ0を外部イベント・カウンタとして使用する場合, 有効エッジの入力が一度もない状態と1回だけあった状態の区別がタイマ・カウンタ0 (TM0) だけではつけられません (図9 - 53参照)。TM0の内容はいずれの場合も0になります。区別をつける必要がある場合には, INTP3の割り込み要求フラグを利用してください。例を図9 - 54に示します。

図9 - 53 外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例

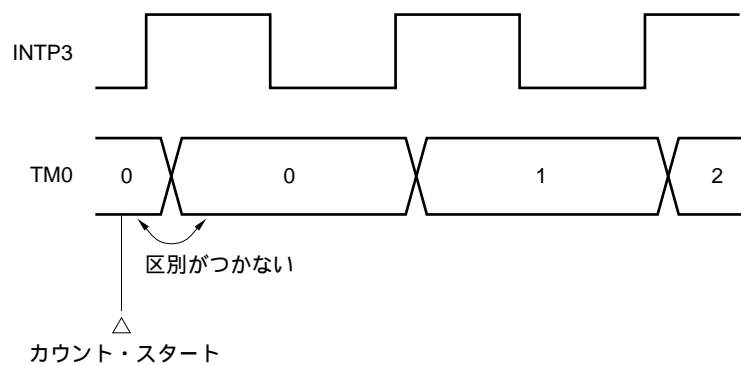
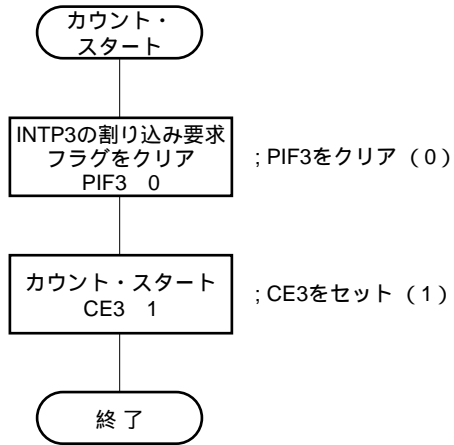
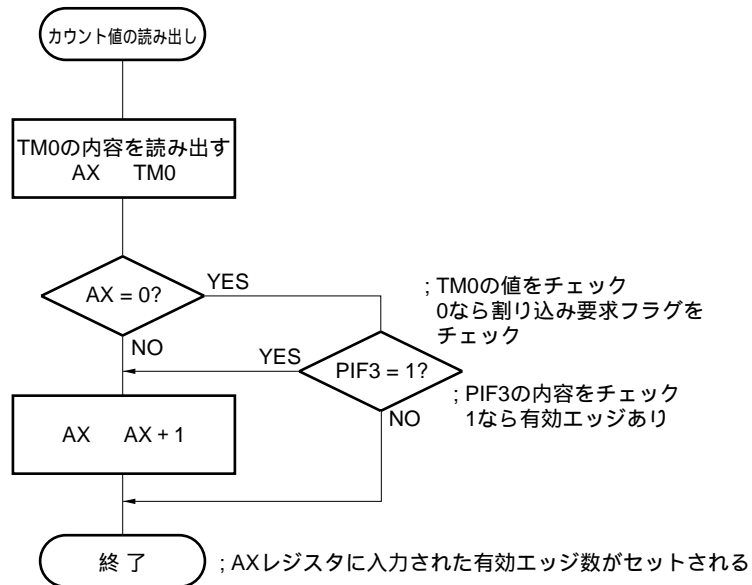


図9 - 54 外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



第10章 タイマ/イベント・カウンタ 1

10.1 機能

タイマ/イベント・カウンタ 1 は、16ビットまたは 8ビットのタイマ/イベント・カウンタです。
インターバル・タイマ、パルス幅測定、イベント・カウンタのような基本機能のほかに、リアルタイム出力ポートの出力トリガ発生用のタイマとして使うことができます。

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表10 - 1 タイマ/イベント・カウンタ 1のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$4/f_{xx}$ (0.32 μ s)	$2^{16} \times 4/f_{xx}$ (20.8 ms)	$4/f_{xx}$ (0.32 μ s)
$8/f_{xx}$ (0.64 μ s)	$2^{16} \times 8/f_{xx}$ (41.7 ms)	$8/f_{xx}$ (0.64 μ s)
$16/f_{xx}$ (1.27 μ s)	$2^{16} \times 16/f_{xx}$ (83.4 ms)	$16/f_{xx}$ (1.27 μ s)
$32/f_{xx}$ (2.54 μ s)	$2^{16} \times 32/f_{xx}$ (167 ms)	$32/f_{xx}$ (2.54 μ s)
$64/f_{xx}$ (5.09 μ s)	$2^{16} \times 64/f_{xx}$ (333 ms)	$64/f_{xx}$ (5.09 μ s)
$128/f_{xx}$ (10.17 μ s)	$2^{16} \times 128/f_{xx}$ (667 ms)	$128/f_{xx}$ (10.17 μ s)
$256/f_{xx}$ (20.35 μ s)	$2^{16} \times 256/f_{xx}$ (1.33 s)	$256/f_{xx}$ (20.35 μ s)
$512/f_{xx}$ (40.70 μ s)	$2^{16} \times 512/f_{xx}$ (2.67 s)	$512/f_{xx}$ (40.70 μ s)
$1024/f_{xx}$ (81.40 μ s)	$2^{16} \times 1024/f_{xx}$ (5.33 s)	$1024/f_{xx}$ (81.40 μ s)

() 内は $f_{xx} = 12.58$ MHzの場合

(2) パルス幅測定

外部割り込み要求入力端子 (INTP0) へ入力される信号のパルス幅を検出します。

表10 - 2 タイマ/イベント・カウンタ1のパルス幅測定範囲

測定可能なパルス幅 ^注	分解能
4/f _{xx} - 2 ¹⁶ × 4/f _{xx} (0.32 μs) (20.8 ms)	4/f _{xx} (0.32 μs)
8/f _{xx} - 2 ¹⁶ × 8/f _{xx} (0.64 μs) (41.7 ms)	8/f _{xx} (0.64 μs)
16/f _{xx} - 2 ¹⁶ × 16/f _{xx} (1.27 μs) (83.4 ms)	16/f _{xx} (1.27 μs)
32/f _{xx} - 2 ¹⁶ × 32/f _{xx} (2.54 μs) (167 ms)	32/f _{xx} (2.54 μs)
64/f _{xx} - 2 ¹⁶ × 64/f _{xx} (5.09 μs) (332 ms)	64/f _{xx} (5.09 μs)
128/f _{xx} - 2 ¹⁶ × 128/f _{xx} (10.17 μs) (667 ms)	128/f _{xx} (10.17 μs)
256/f _{xx} - 2 ¹⁶ × 256/f _{xx} (20.35 μs) (1.33 s)	256/f _{xx} (20.35 μs)
512/f _{xx} - 2 ¹⁶ × 512/f _{xx} (40.70 μs) (2.67 s)	512/f _{xx} (40.70 μs)
1024/f _{xx} - 2 ¹⁶ × 1024/f _{xx} (81.40 μs) (5.33 s)	1024/f _{xx} (81.40 μs)

() 内はf_{xx} = 12.58 MHzの場合

注 サンプルング・クロック選択レジスタ (SCS0) で選択したサンプルング・クロックにより、測定可能な最小パルス幅は変化します。測定可能な最小パルス幅は、下表と上表の値を比較した結果の大きい方になります。

サンプルング・クロック		最小パルス幅
f _{CLK}	f _{CLK} = f _{xx}	3/f _{CLK} = 3/f _{xx} (0.24 μs)
	f _{CLK} = f _{xx} /2	3/f _{CLK} = 6/f _{xx} (0.48 μs)
	f _{CLK} = f _{xx} /4	3/f _{CLK} = 12/f _{xx} (0.95 μs)
	f _{CLK} = f _{xx} /8	3/f _{CLK} = 24/f _{xx} (1.19 μs)
f _{xx} /32		96/f _{xx} (7.63 μs)
f _{xx} /64		192/f _{xx} (15.26 μs)
f _{xx} /128		384/f _{xx} (30.52 μs)

() 内はf_{xx} = 12.58 MHzの場合

(3) 外部イベント・カウンタ

外部割り込み要求入力端子 (INTP0) から入力されるクロック・パルスをカウントします。

表10 - 3 に、タイマ/イベント・カウンタ1に入力可能なクロックを示します。

表10 - 3 タイマ/イベント・カウンタ1のパルス幅測定時間

() 内は $f_{CLK} = 12.58 \text{ MHz}$, $f_{XX} = 12.58 \text{ MHz}$ の場合

サンプリング・クロック注		片エッジをカウントする場合	両エッジをカウントする場合
f _{CLK}	最大周波数	f _{CLK} /6 (2.10 MHz)	f _{CLK} /6 (2.10 MHz)
	最小パルス幅 (ハイおよびロウ・レベル)	3/f _{CLK} (0.24 μs)	3/f _{CLK} (0.24 μs)
f _{XX} /32	最大周波数	f _{XX} /192 (65.52 kHz)	f _{XX} /192 (65.52 kHz)
	最小パルス幅 (ハイおよびロウ・レベル)	96/f _{XX} (7.63 μs)	96/f _{XX} (7.63 μs)
f _{XX} /64	最大周波数	f _{XX} /384 (32.76 kHz)	f _{XX} /384 (32.76 kHz)
	最小パルス幅 (ハイおよびロウ・レベル)	192/f _{XX} (15.26 μs)	192/f _{XX} (15.26 μs)
f _{XX} /128	最大周波数	f _{XX} /768 (16.38 kHz)	f _{XX} /768 (16.38 kHz)
	最小パルス幅 (ハイおよびロウ・レベル)	384/f _{XX} (30.52 μs)	384/f _{XX} (30.52 μs)

注 サンプリング・クロック選択レジスタ (SCS0) で選択

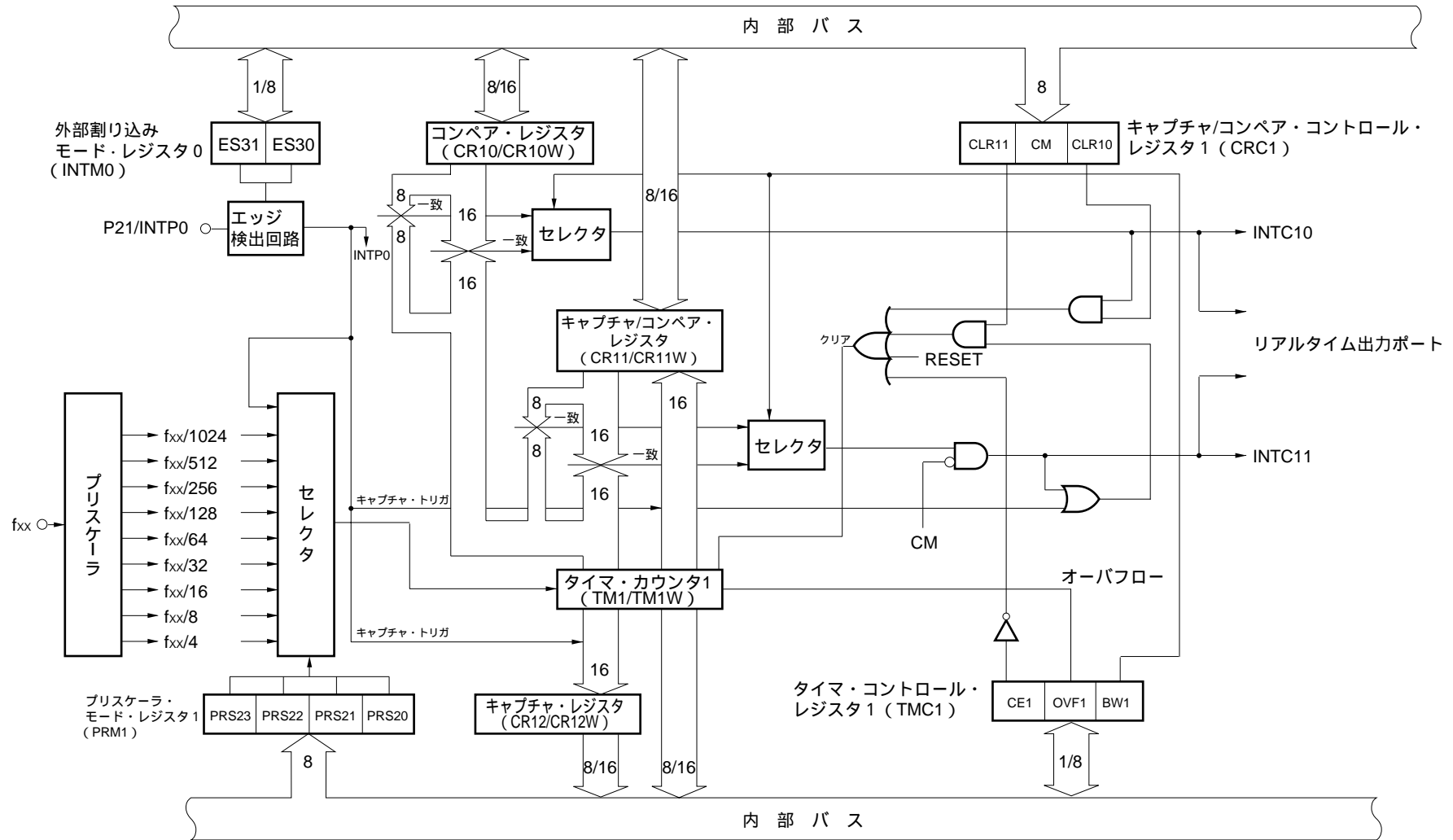
10.2 構成

タイマ/イベント・カウンタ1は、次のレジスタから構成されています。

- ・タイマ・カウンタ (TM1/TM1W) × 1
- ・コンペア・レジスタ (CR10/CR10W) × 1
- ・キャプチャ/コンペア・レジスタ (CR11/CR11W) × 1
- ・キャプチャ・レジスタ (CR12/CR12W) × 1

図10 - 1 に、タイマ/イベント・カウンタ1のブロック図を示します。

図10 - 1 タイマ/イベント・カウンタ1のブロック図



(1) タイマ・カウンタ1 (TM1/TM1W)

TM1/TM1Wは、プリスケアラ・モード・レジスタ1 (PRM1) の下位4ビットで指定されるカウント・クロックをアップカウントするタイマ・カウンタです。

タイマ・コントロール・レジスタ1 (TMC1) によりカウント動作の停止/許可を指定します。また、8ビット動作モード (TM1) /16ビット動作モード (TM1W) の選択ができます。

8/16ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により、TM1/TM1Wは00Hにクリアされ、カウントは停止します。

(2) コンペア・レジスタ (CR10/CR10W)

CR10/CR10Wは、インターバル・タイマ動作の周期を決める値を保持する8/16ビット・レジスタです。

CR10/CR10Wの内容がTM1/TM1Wの値と一致すると、割り込み要求 (INTC10) を発生します。この一致信号は、リアルタイム出力ポートのトリガ信号にもなります。また、一致によりカウント値をクリアすることができます。8ビット動作モード時はCR10、16ビット動作モード時はCR10Wになります。

8/16ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(3) キャプチャ/コンペア・レジスタ (CR11/CR11W)

CR11/CR11Wは、キャプチャ/コンペア・コントロール・レジスタ1 (CRC1) の設定により、TM1/TM1Wのカウント値との一致を検出するためのコンペア・レジスタに、またはTM1/TM1Wのカウント値をキャプチャするキャプチャ・レジスタに設定することが可能な8/16ビット・レジスタです。

8ビット動作モード時はCR11、16ビット動作モード時はCR11Wになります。

8/16ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(a) コンペア・レジスタに設定した場合

インターバル・タイマ動作の周期を決める値を保持する8/16ビット・レジスタとして機能しません。

CR11/CR11Wの内容とTM1/TM1Wの内容一致で割り込み要求 (INTC11) を発生します。

また、一致によりカウント値をクリアすることができます。この一致信号は、リアルタイム出力ポートのトリガ信号にもなります。また、一致によりカウント値をクリアすることができます。

(b) キャプチャ・レジスタに設定した場合

外部割り込み要求入力端子 (INTP0) の有効エッジ入力 (キャプチャ・トリガ) に同期してTM1/TM1Wの内容をキャプチャする8/16ビット・レジスタとして機能します。

次のキャプチャ・トリガが発生するまでCR11/CR11Wの内容は保持されます。またキャプチャ後、TM1/TM1Wをクリアすることができます。

(4) キャプチャ・レジスタ (CR12/CR12W)

CR12/CR12Wは、TM1/TM1Wの内容をキャプチャする8/16ビット・レジスタです。

キャプチャ動作は、外部割り込み要求入力端子 (INTP0) の有効エッジ入力 (キャプチャ・トリガ) に同期します。次のキャプチャ・トリガが発生するまでCR12/CR12Wの内容は保持されます。

8ビット動作モード時はCR12、16ビット動作モード時はCR12Wになります。

8/16ビット操作命令で読み出しのみ可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(5) エッジ検出回路

エッジ検出回路は、外部入力の有効エッジを検出します。

INTP0端子入力で外部割り込みモード・レジスタ0 (INTM0) により設定された有効エッジを検出して、外部割り込み要求 (INTP0) とキャプチャ・トリガおよび外部イベントのカウント・クロックを発生します (INTM0については図22 - 1参照)。

(6) プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクタで選択し、カウント・クロックとしてタイマ・カウンタ1 (TM1/TM1W) はカウント動作を行います。

(7) セレクタ

タイマ・カウンタ1 (TM1/TM1W) のカウント・クロックとして内部クロックを分周した信号またはエッジ検出回路で検出されたエッジから選択します。

10.3 タイマ/イベント・カウンタ1制御レジスタ

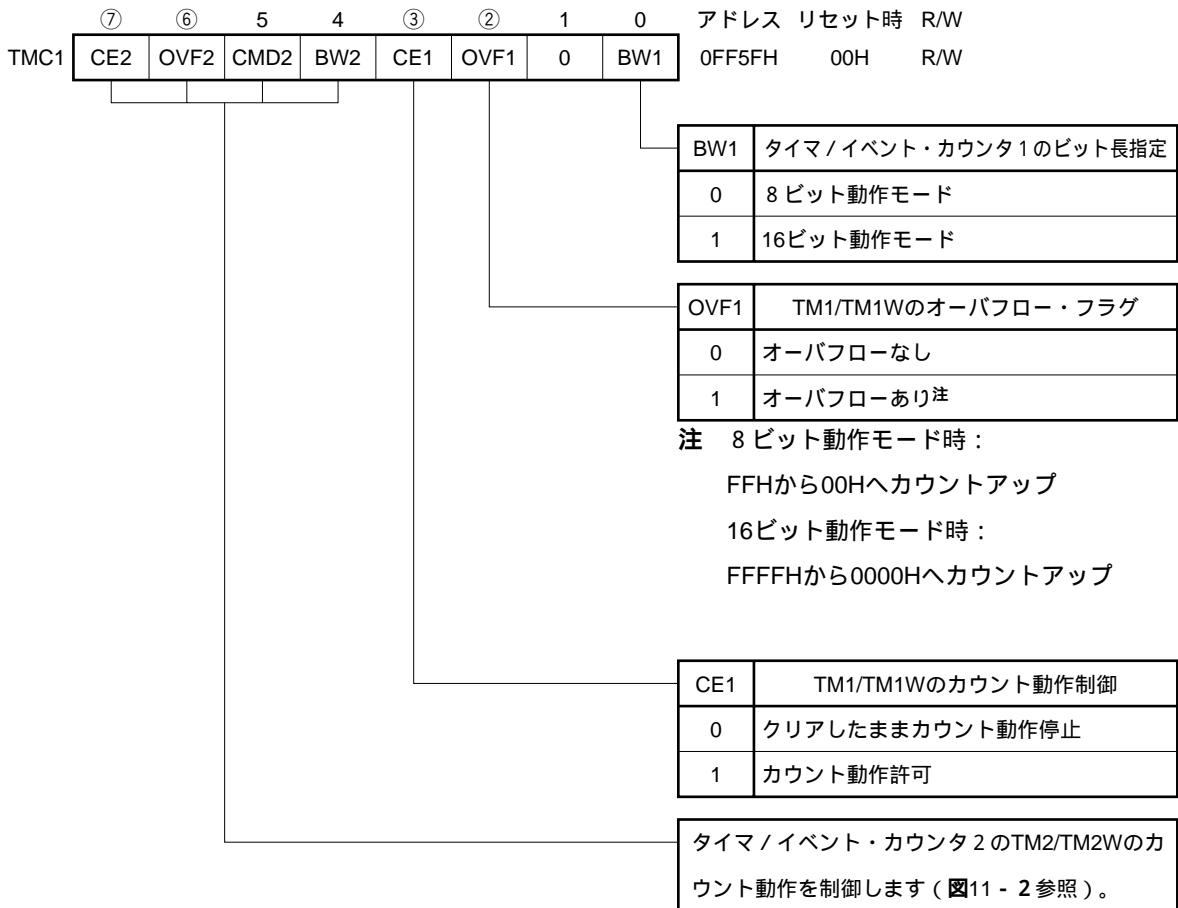
(1) タイマ・コントロール・レジスタ1 (TMC1)

TMC1は、下位4ビットでタイマ/イベント・カウンタ1のTM1/TM1Wのカウンタ動作を制御します (上位4ビットはタイマ/イベント・カウンタ2のTM2/TM2Wのカウンタ動作を制御します)。

8ビット操作命令およびビット操作命令で読み出し/書き込みが可能です。図10-2に、TMC1のフォーマットを示します。

RESET入力により00Hにクリアされます。

図10-2 タイマ・コントロール・レジスタ1 (TMC1) のフォーマット



備考 OVF1ビットはソフトウェアでのみリセットされます。

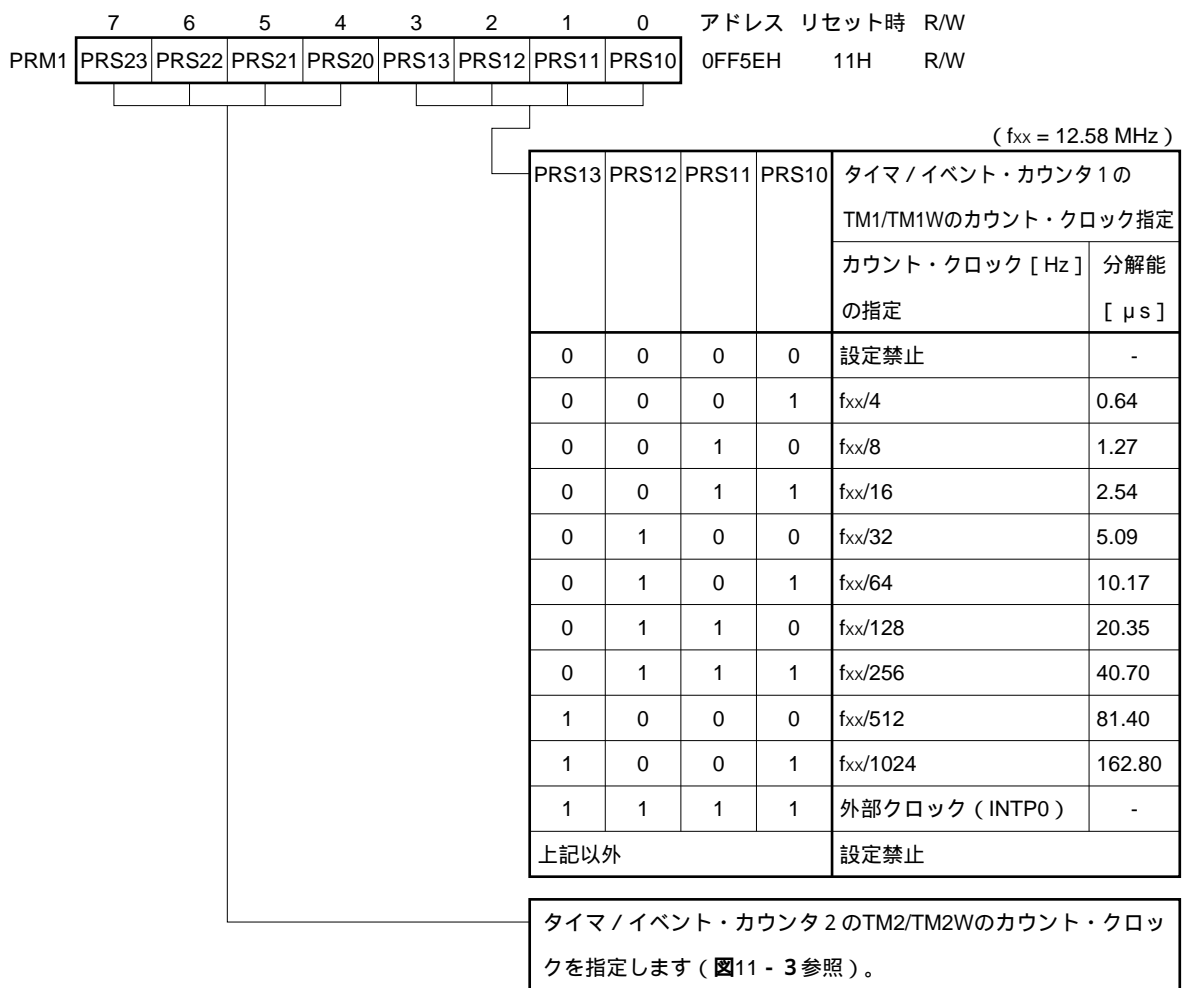
(2) プリスケアラ・モード・レジスタ (PRM1)

PRM1は、下位4ビットでタイマ/イベント・カウンタ1のTM1/TM1Wのカウンタ・クロックを指定します(上位4ビットはタイマ/イベント・カウンタ2のTM2/TM2Wのカウンタ・クロックを指定します)。

8ビット操作命令で読み出し/書き込みが可能です。図10-3に、PRM1のフォーマットを示します。

RESET入力により11Hになります。

図10-3 プリスケアラ・モード・レジスタ1 (PRM1) のフォーマット



備考 f_{xx} : X1入力周波数, または発振周波数

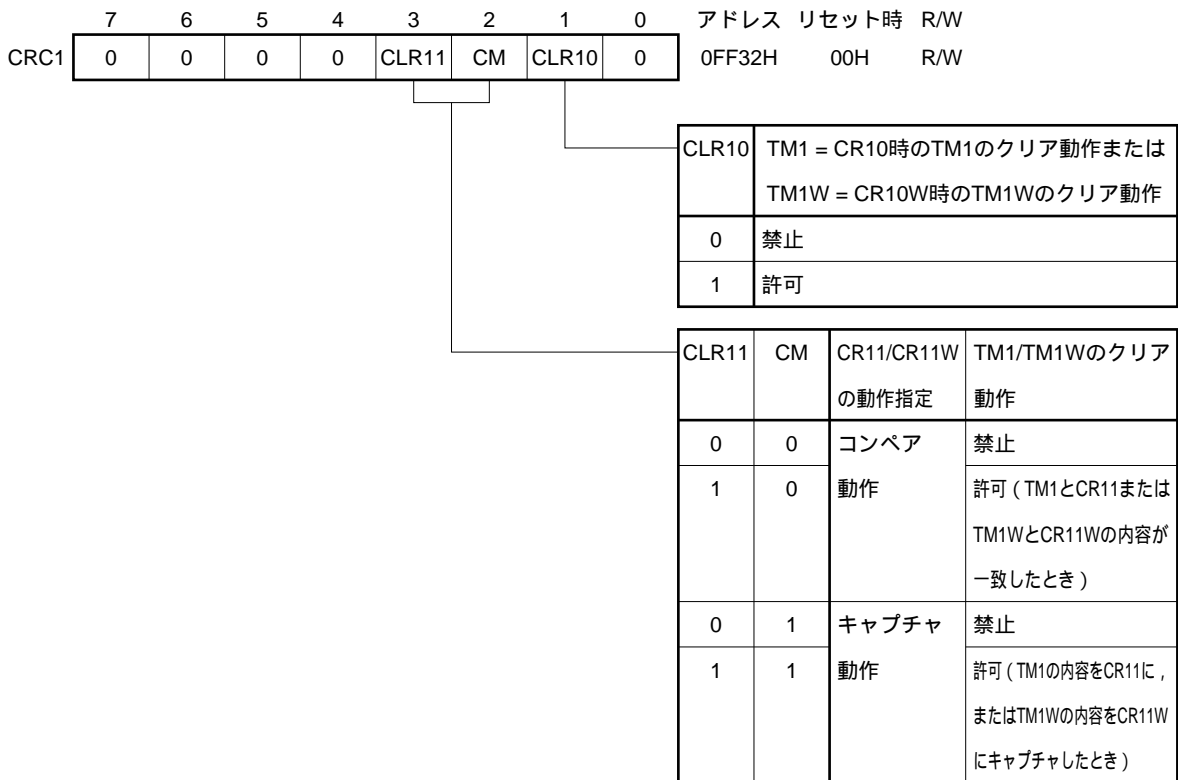
(3) キャプチャ/コンペア・コントロール・レジスタ1 (CRC1)

CRC1は、キャプチャ/コンペア・レジスタ (CR11/CR11W) の動作指定と、タイマ・カウンタ1 (TM1/TM1W) のクリア動作の許可条件を指定するレジスタです。

8ビット操作命令で読み出し/書き込みが可能です。図10-4に、CRC1のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hにクリアされます。

図10-4 キャプチャ/コンペア・コントロール・レジスタ1 (CRC1) のフォーマット



10.4 タイマ・カウンタ1 (TM1) の動作

10.4.1 基本動作

タイマ/イベント・カウンタ1は、タイマ・コントロール・レジスタ1 (TMC1) のビット0 (BW1) で、8ビット動作モード/16ビット動作モードの制御が可能です。^注

タイマ/イベント・カウンタ1のカウント動作は、プリスケアラ・モード・レジスタ1 (PRM1) の下位4ビットで指定されるカウント・クロックによりカウントアップします。

カウント動作の禁止/許可は、TMC1のビット3 (CE1) で制御します (タイマ/イベント・カウンタ1の動作制御はTMC1の下位4ビットです)。CE1ビットをソフトウェアによりセット (1) すると、最初のカウント・クロックでTM1の内容が0Hにクリアされた後、カウントアップ動作を行います。

CE1ビットをクリア (0) することによってTM1はただちに0Hになり、キャプチャ動作や一致信号の発生は停止します。

CE1ビットがセット (1) されている状態でさらにCE1ビットをセット (1) した場合、TM1はクリアされないでカウント動作を続けます。

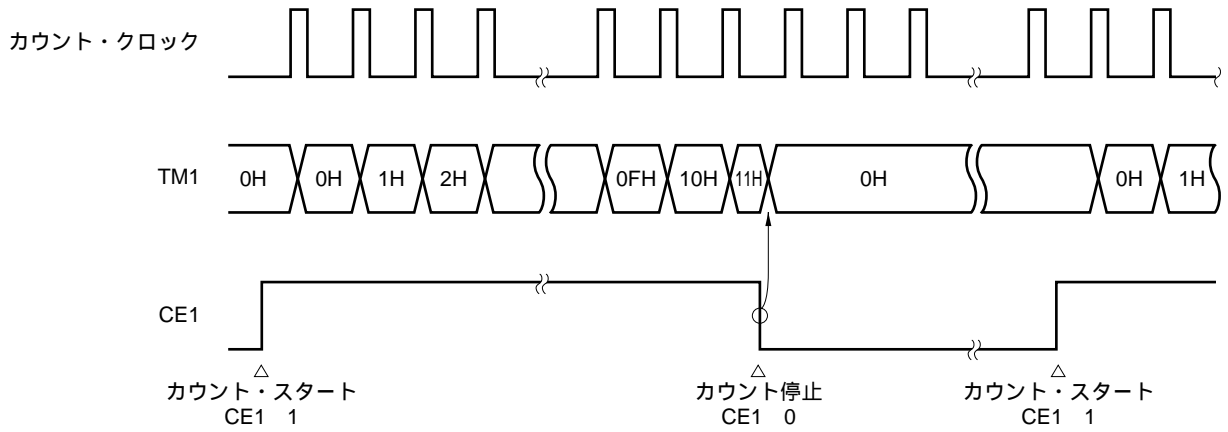
8ビット動作モード時でTM1がFFHのときと、16ビット動作モード時でTM1WがFFFFHのときにカウント・クロックが入力されると、TM1/TM1Wは0Hになります。このとき、OVF1ビットがセットされます。OVF1ビットは、ソフトウェアによってのみクリアされます。また、カウント動作はそのまま継続されません。

$\overline{\text{RESET}}$ 入力により、TM1は0Hにクリアされ、カウント動作は停止します。

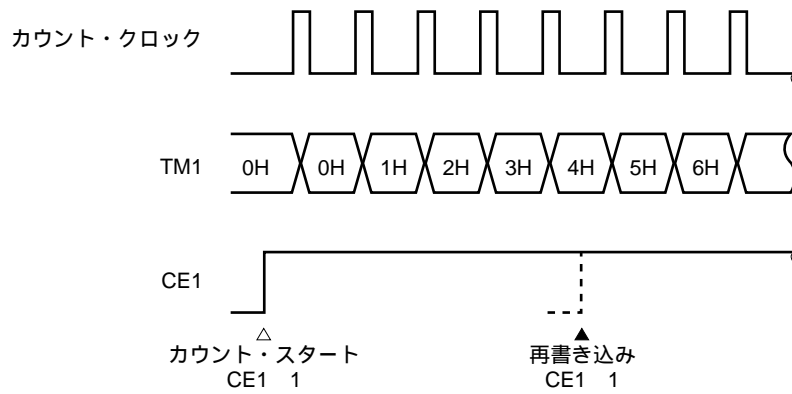
注 機能に特に違いがない場合は、8ビット動作モードで説明しています。16ビット動作モード時は、TM1, CR10, CR11はTM1W, CR10W, CR11Wになります。

図10 - 5 8ビット動作モード時の基本動作 (BW1 = 0)

(a) カウント・スタート カウント禁止 カウント・スタートの場合



(b) カウント・スタート後に再度CE1ビットに“1”を書き込んだ場合



(c) TM1がFFHのときの動作

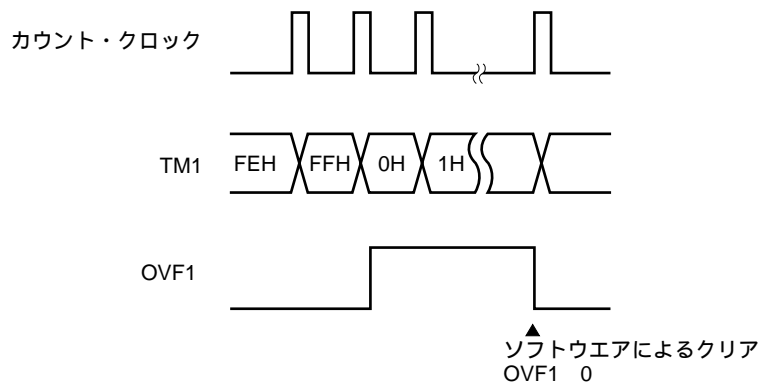
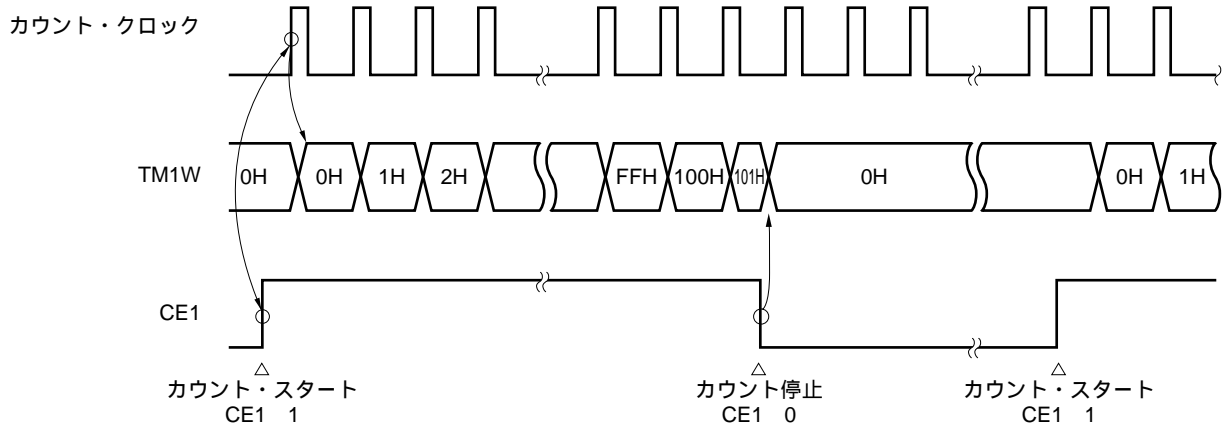
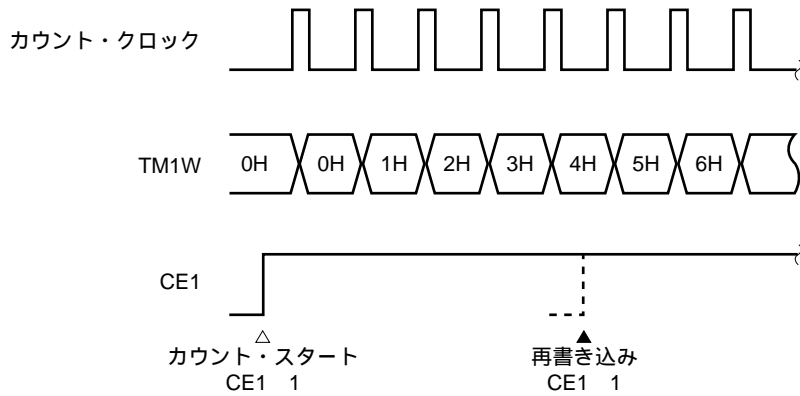


図10 - 6 16ビット動作モード時の基本動作 (BW1 = 1)

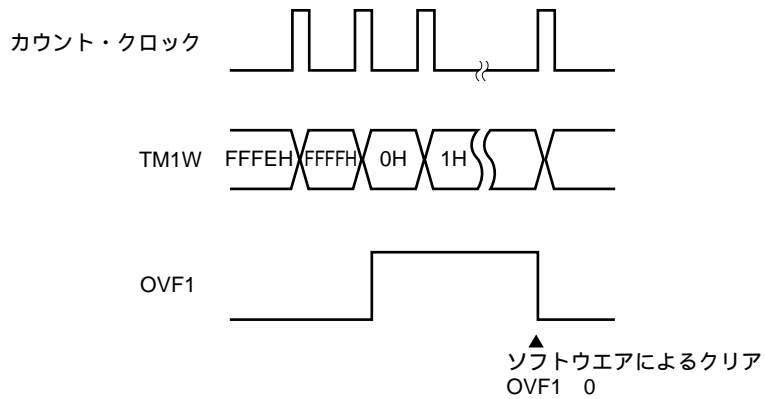
(a) カウント・スタート カウント禁止 カウント・スタートの場合



(b) カウント・スタート後に再度CE1ビットに " 1 " を書き込んだ場合



(c) TM1WがFFFFHのときの動作



10.4.2 クリア動作

(1) コンペア・レジスタとの一致後およびキャプチャ後のクリア動作

タイマ・カウンタ1 (TM1) は、コンペア・レジスタ (CR1n : n = 0, 1) との一致後およびキャプチャ後に自動的にクリアすることができます。TM1は、クリアする要因が発生すると、次のカウント・クロックで0Hにクリアされます。したがって、クリアする要因が発生しても、次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図10 - 7 コンペア・レジスタ (CR10, CR11) との一致によるTM1のクリア

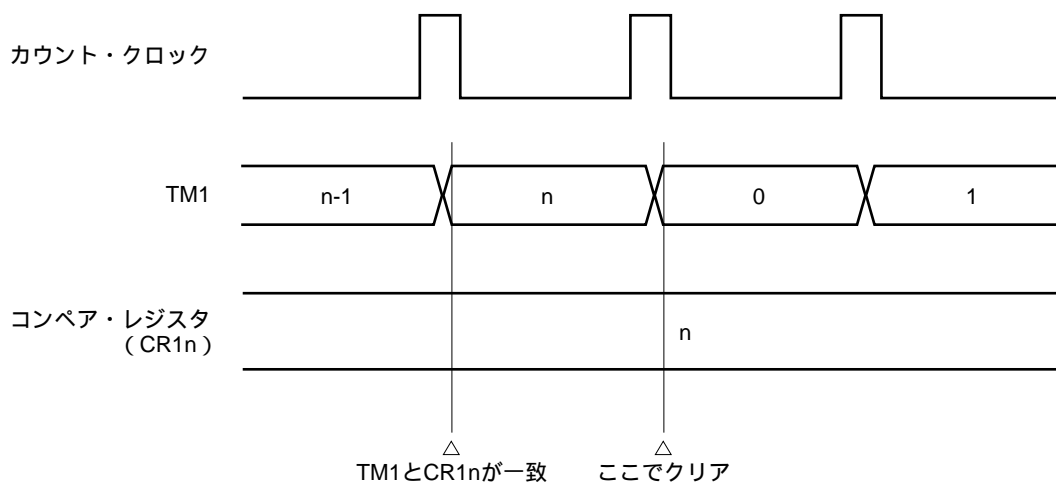
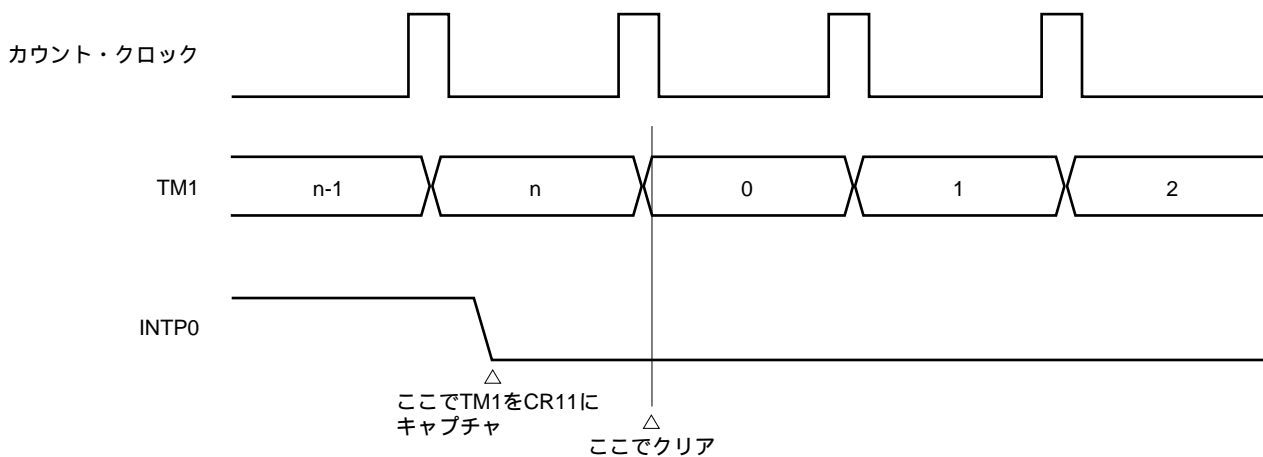


図10 - 8 キャプチャ後, TM1のクリア

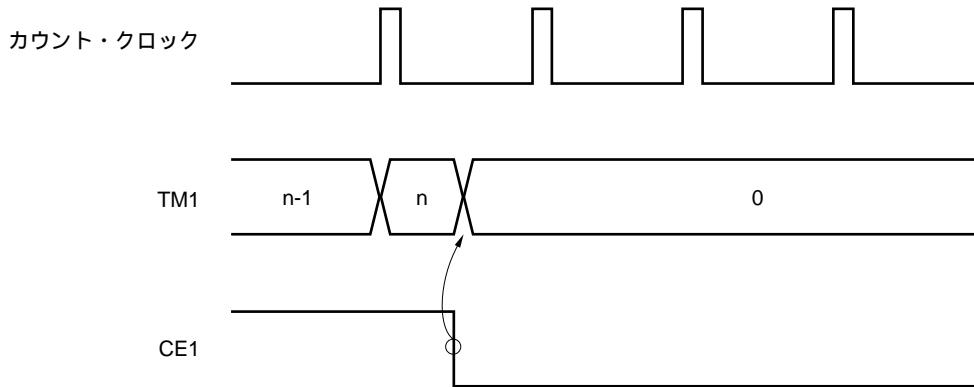


(2) タイマ・コントロール・レジスタ1 (TMC1) のCE1ビットによるクリア動作

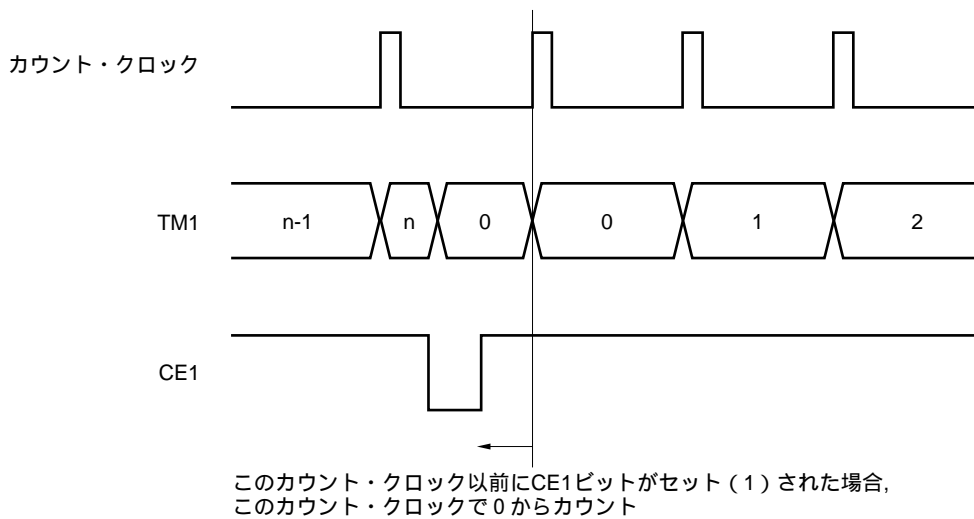
タイマ・カウンタ1 (TM1) は、ソフトウェアにより、TMC1のCE1ビットをクリア (0) することによってもクリアされます。クリア動作は、CE1ビットがクリア (0) されるとただちに行われます。

図10 - 9 CE1ビットをクリア(0)した場合のクリア動作

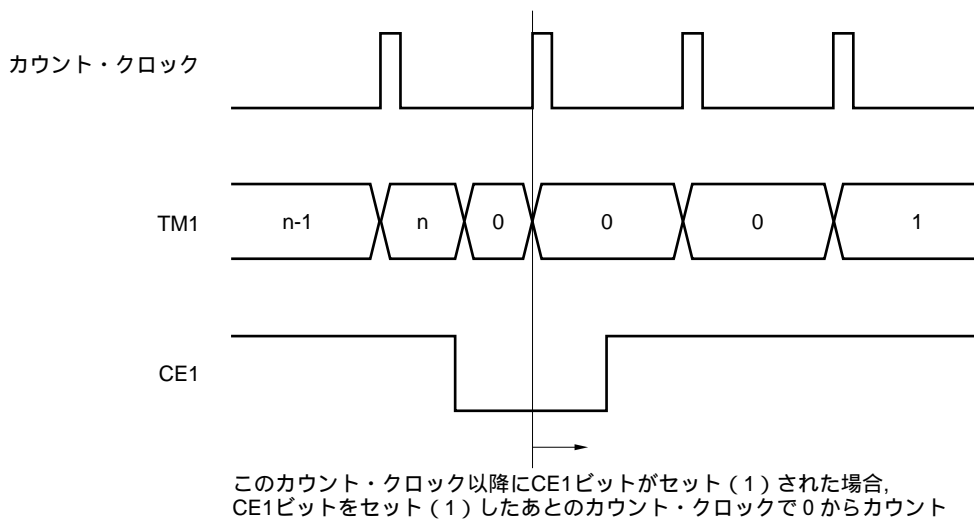
(a) 基本動作



(b) クリア後のカウント・クロックが入力される前の再スタート



(c) クリア後にカウント・クロックが入力されてからの再スタート



10.5 外部イベント・カウンタ機能

タイマ/イベント・カウンタ1は、外部割り込み要求入力端子 (INTP0) から入力されるクロック・パルスをカウントすることができます。

外部イベント・カウンタ動作モードは、特別な選択方法を必要としません。プリスケアラ・モード・レジスタ1 (PRM1) の下位4ビットの設定によって、タイマ・カウンタ1 (TM1) のカウント・クロックを外部クロック入力に指定すると、TM1は外部イベント・カウンタとして動作します。

外部イベント・カウンタとしてカウントできる外部クロック・パルスの最大周波数は、サンプリング・クロック選択レジスタ (SCS0) で決定され、表10 - 4 に示す値となります。

なお、最大周波数はINTP0入力の両エッジをカウントする場合も、片エッジのみをカウントする場合も同じになります。

また、INTP0入力のパルス幅はハイ・レベル、ロウ・レベルともにSCS0で選択したサンプリング・クロックで3クロック以上必要で、これ以下の場合にはカウントされない場合があります。

図10 - 10に、タイマ/イベント・カウンタ1の外部イベント・カウントのタイミングを示します。

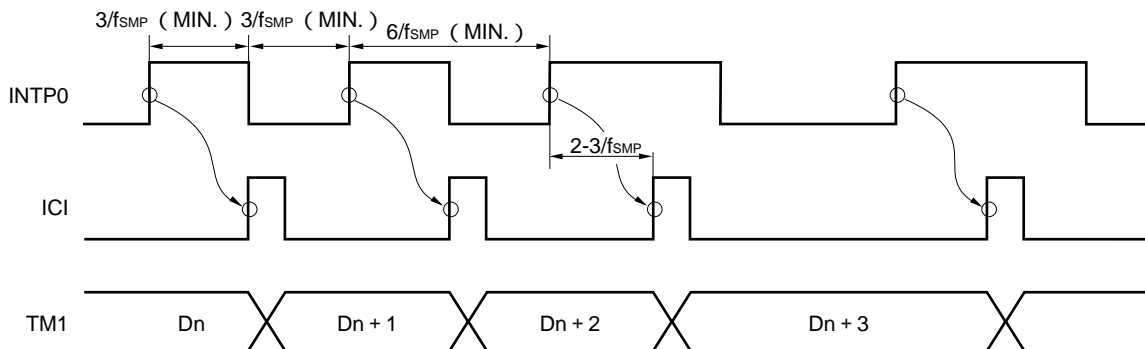
表10 - 4 イベント・カウント可能な最大入力周波数と最小入力パルス幅

() 内は $f_{xx} = 12.58 \text{ MHz}$, $f_{CLK} = 12.58 \text{ MHz}$ 動作時

SCS0で選択したサンプリング・クロック	最大入力周波数	最小パルス幅
f_{CLK}	$f_{CLK}/6$ (2.10 MHz)	$3/f_{CLK}$ (0.24 μs)
$f_{xx}/32$	$f_{xx}/192$ (65.52 kHz)	$96/f_{xx}$ (7.63 μs)
$f_{xx}/64$	$f_{xx}/384$ (32.76 kHz)	$192/f_{xx}$ (15.26 μs)
$f_{xx}/128$	$f_{xx}/768$ (16.38 kHz)	$384/f_{xx}$ (30.52 μs)

図10 - 10 タイマ/イベント・カウンタ1の外部イベント・カウントのタイミング (1/2)

(1) 片エッジをカウントする場合 (最大周波数 = $f_{CLK}/6$)

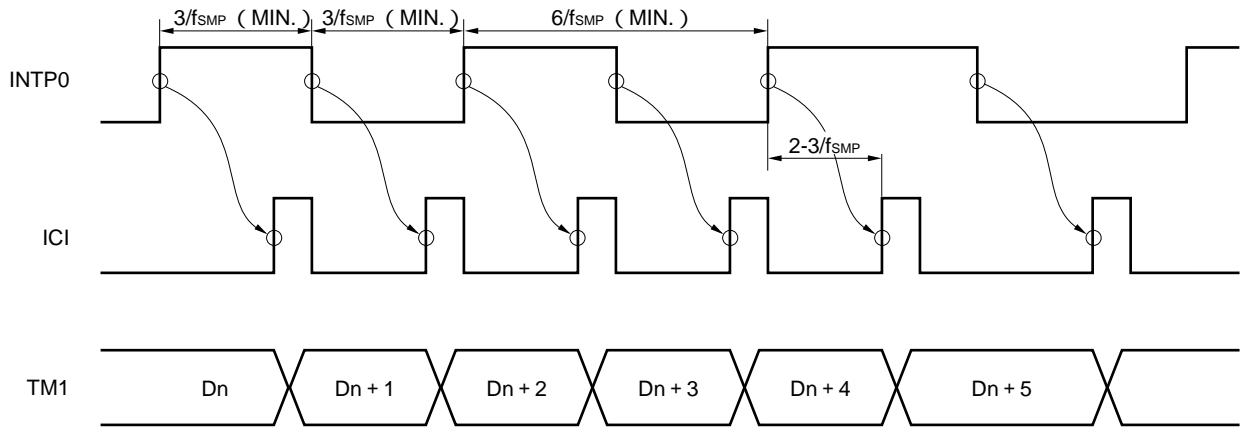


備考1 . ICI : INTP0入力のエッジ検出回路通過後の記号

2 . f_{SMP} はサンプリング・クロック選択レジスタ (SCS0) で選択

図10 - 10 タイマ/イベント・カウンタ1の外部イベント・カウントのタイミング (2/2)

(2) 両エッジをカウントする場合 (最大周波数 = $f_{CLK}/6$)



備考1 . ICI : INTPO入力のエッジ検出回路通過後の記号

2 . f_{SMP} はサンプリング・クロック選択レジスタ (SCS0) で選択

TM1のカウントの動作は、基本動作の場合と同様にタイマ・コントロール・レジスタ1 (TMC1) のCE1ビットで制御します。

CE1ビットをソフトウェアによってセット (1) すると、最初のカウント・クロックでTM1の内容が0Hとなり、カウントアップ動作を開始します。

TM1のカウント動作中、CE1ビットをソフトウェアによりクリア (0) すると、TM1は、ただちに0Hになり、停止状態となります。また、CE1ビットがセット (1) されている状態で、さらにソフトウェアによりCE1ビットをセット (1) した場合、TM1のカウント動作は影響を受けません。

注意 タイマ/イベント・カウンタ1を外部イベント・カウンタとして使用する場合、有効エッジの入力が一度もない状態と1回だけあった状態の区別がタイマ・カウンタ1 (TM1) だけではつけられません (図10 - 11参照)。TM1の内容はいずれの場合も0になります。区別をつける必要がある場合には、INTP0の割り込み要求フラグを利用してください。例を図10 - 12に示します。

図10 - 11 外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例

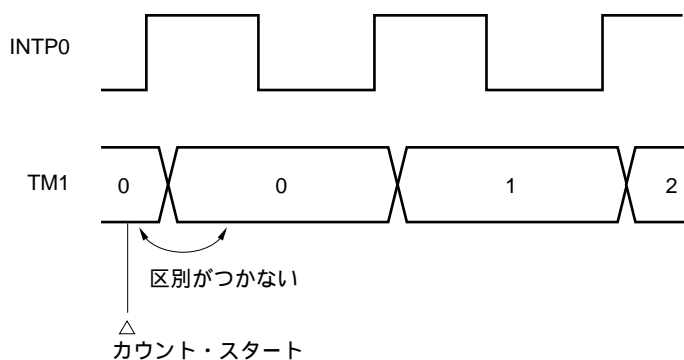
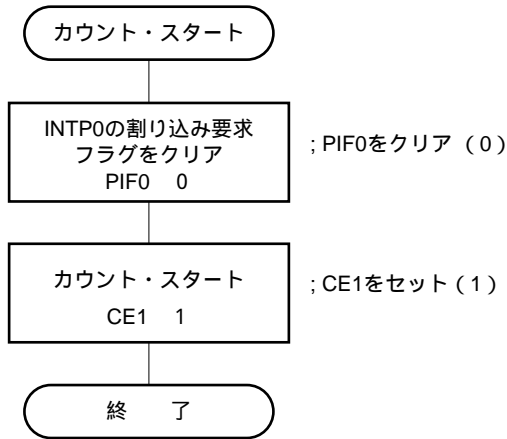
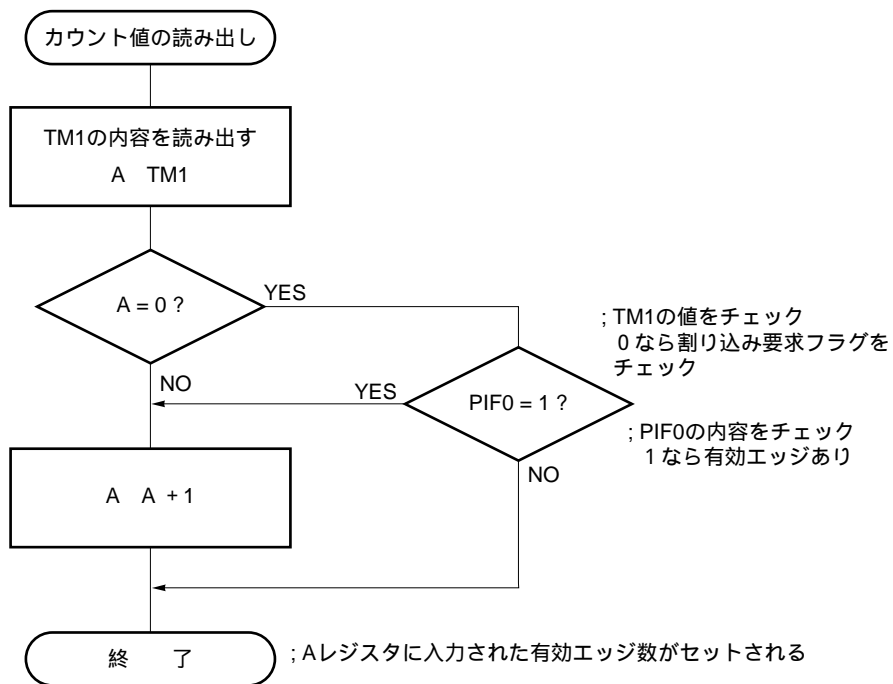


図10 - 12 外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



10.6 コンペア・レジスタ，キャプチャ/コンペア・レジスタの動作

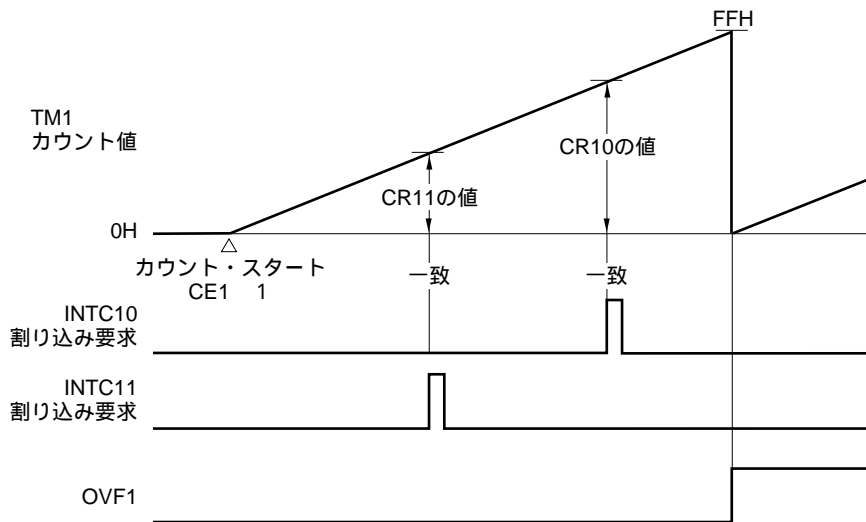
10.6.1 コンペア動作

タイマ/イベント・カウンタ1はコンペア・レジスタ（CR10），コンペア動作に指定したキャプチャ/コンペア・レジスタ（CR11）に設定された値をタイマ・カウンタ1（TM1）のカウント値と比較するコンペア動作を行います。

あらかじめ設定されたCR10，CR11の値にTM1のカウント値がカウント動作によって一致すると，割り込み要求信号（INTC10，INTC11）を発生します。

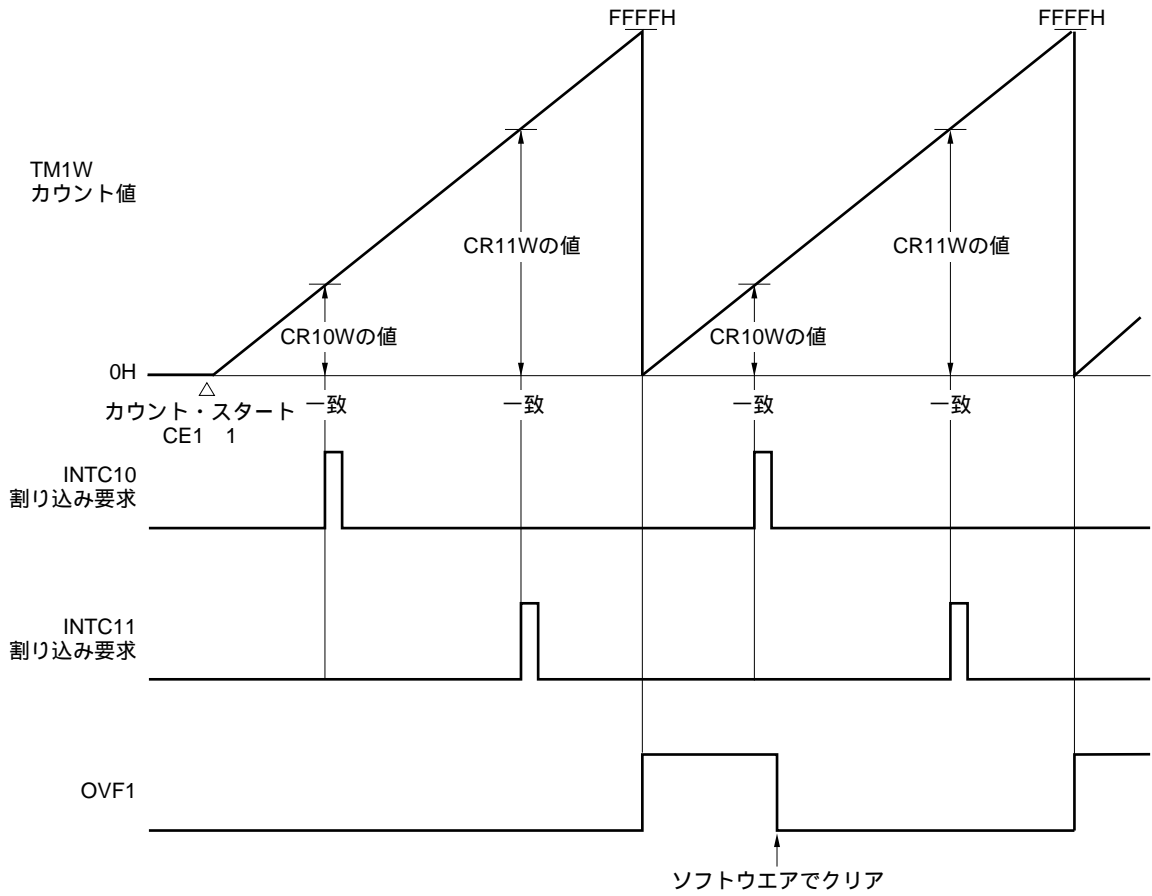
また，CR10またはCR11の値と一致後，TM1の内容をクリアすることができ，CR10，またはCR11に設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図10 - 13 8ビット動作モード時のコンペア動作



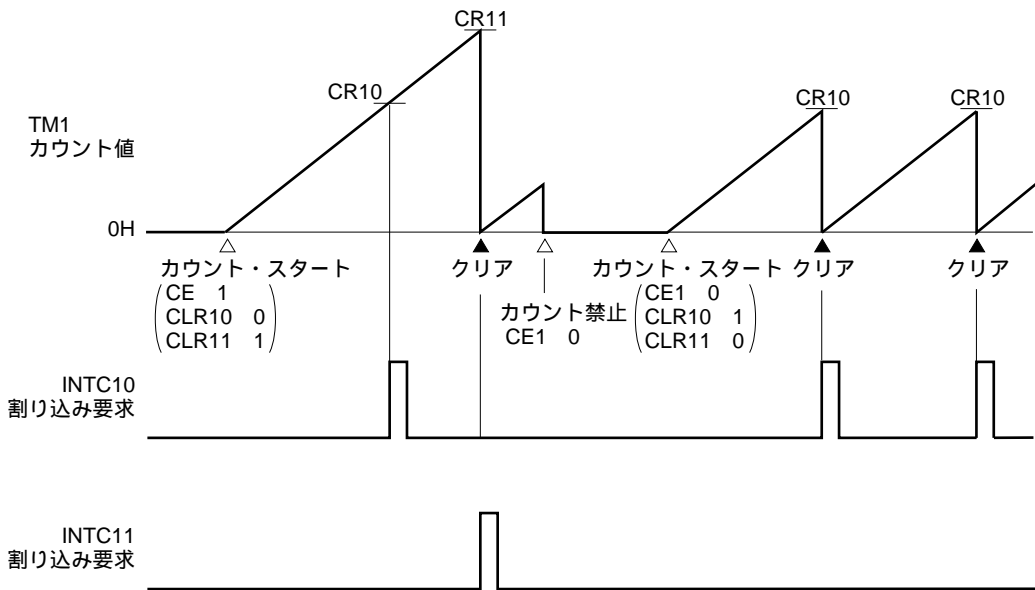
備考 CLR10 = 0 , CLR11 = 0 , CM = 0 , BW1 = 0

図10 - 14 16ビット動作モード時のコンペア動作



備考 CLR10 = 0 , CLR11 = 0 , BW1 = 1

図10 - 15 一致検出後、TM1のクリア



10.6.2 キャプチャ動作

タイマ/イベント・カウンタ1は、外部トリガに同期してタイマ・カウンタ1 (TM1) のカウント値をキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。

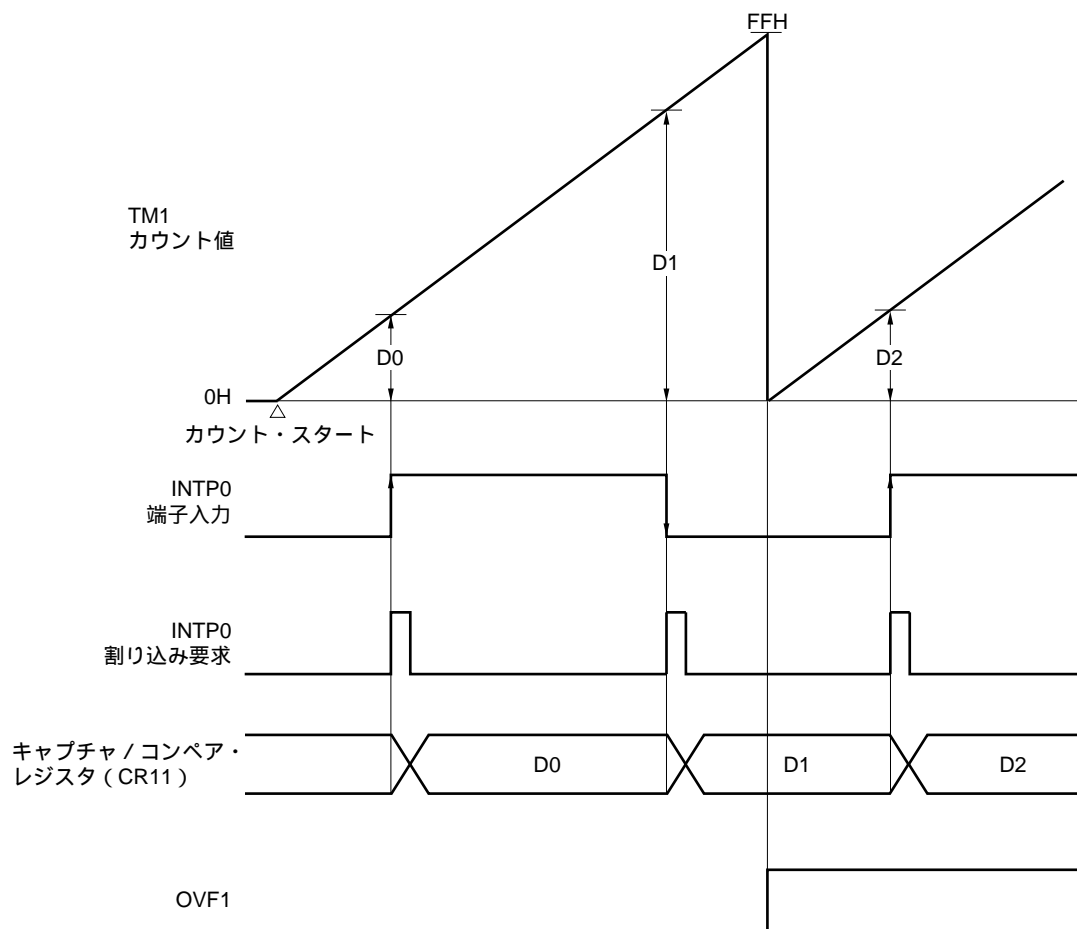
外部トリガとして、外部割り込み要求入力端子 (INTP0) の入力から検出された有効エッジを用います (キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中のTM1のカウント値をキャプチャ・レジスタ (CR12)、キャプチャ動作に指定したキャプチャ/コンペア・レジスタ (CR11) に取り込み保持します。次のキャプチャ・トリガが発生するまでCR11およびCR12の内容は保持されます。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ0 (INTM0) により設定します。立ち上がり、立ち下がりの両エッジがキャプチャ・トリガとなるように設定すれば、外部からの入力パルス幅を測定することができます。また、片エッジでキャプチャ・トリガを発生させた場合、入力パルスの周期を測定することができます。

INTM0の詳しいフォーマットは、図22-1を参照してください。

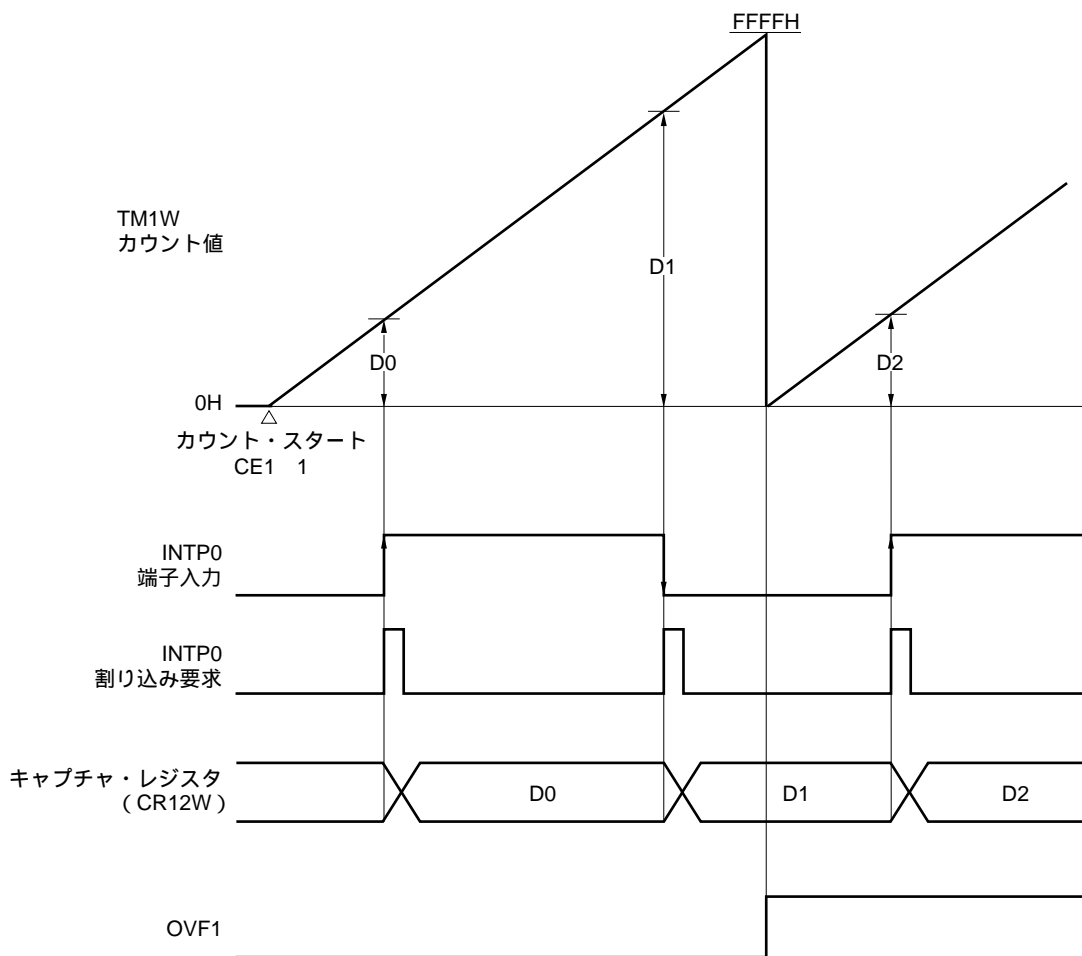
また、CR11をキャプチャ・レジスタとして使用した場合、キャプチャ・トリガによりTM1の内容をCR11にキャプチャすると同時にTM1をクリアすることが設定可能です。

図10-16 8ビット動作モード時のキャプチャ動作



備考 Dn : TM1のカウント値 (n = 0, 1, 2, ...)
 CLR10 = 0, CLR11 = 0, CM = 1, BW1 = 0

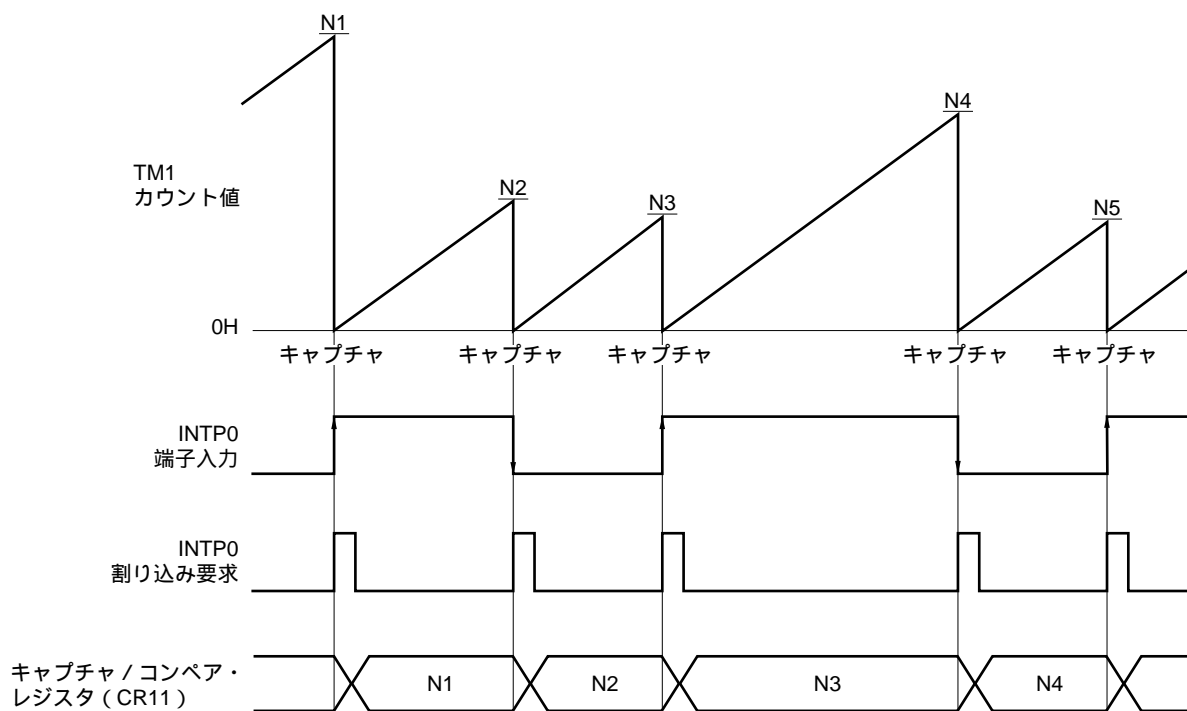
図10 - 17 16ビット動作モード時のキャプチャ動作



備考 D_n: TM1Wのカウント値 (n = 0, 1, 2, ...)

CLR10 = 0, CLR11 = 0, CM = 1, BW1 = 1

図10 - 18 キャプチャ後，TM1のクリア



備考 NI : TM1のカウント値 (n = 0 , 1 , 2 , ...)

CLR10 = 0 , CLR11 = 1 , CM = 1

10.7 使用例

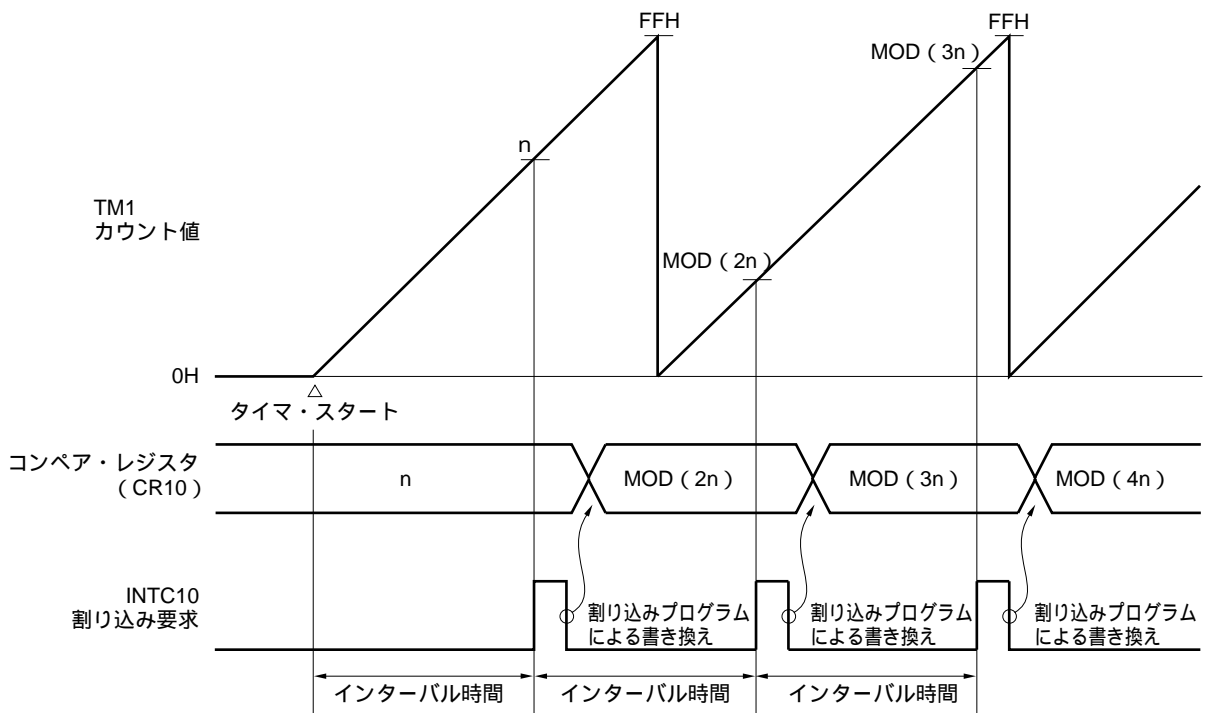
10.7.1 インターバル・タイマとしての動作(1)

タイマ・カウンタ1 (TM1) をフリーランニングさせ、割り込み処理ルーチン中でコンペア・レジスタ (CR1n: n = 0, 1) に一定の値を加算することで、加算する一定の値を同期とするインターバル・タイマとして動作します (図10-19参照)。

また、TM1 1本にコンペア・レジスタが2本ついているため、2種類の周期のインターバル・タイマを作ることができます。

図10-20に制御レジスタの設定内容、図10-21にその設定手順、図10-22に割り込み処理ルーチンでの処理を示します。

図10-19 インターバル・タイマ動作(1)のタイミング



備考 インターバル時間 = $n \times x / f_{xx}$, 1 n FFH
 $x = 4, 8, 16, 32, 64, 128, 256, 512, 1024$

図10 - 20 インターバル・タイマ動作 (1) における制御レジスタの設定内容

(a) プリスケアラ・モード・レジスタ 1 (PRM1)



(b) キャプチャ/コンペア・コントロール・レジスタ 1 (CRC1)

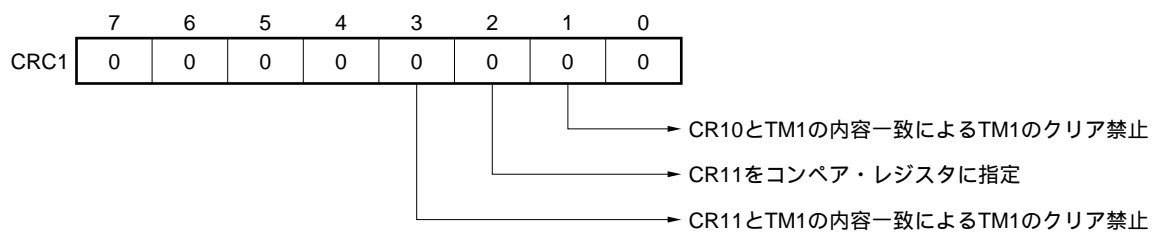


図10 - 21 インターバル・タイマ動作（1）の設定手順

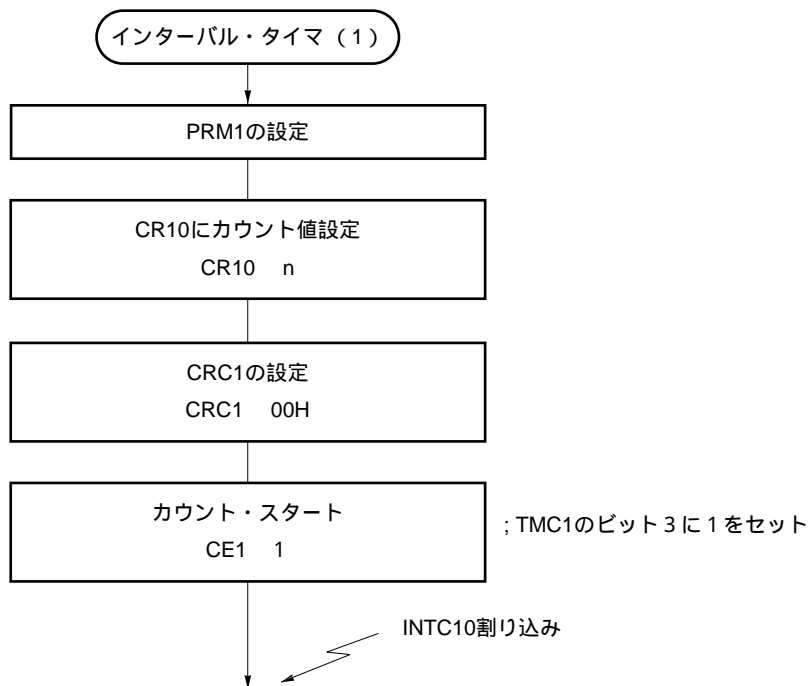
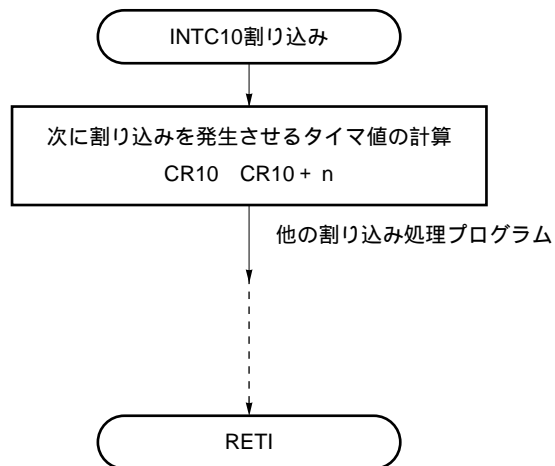


図10 - 22 インターバル・タイマ動作（1）の割り込み要求処理

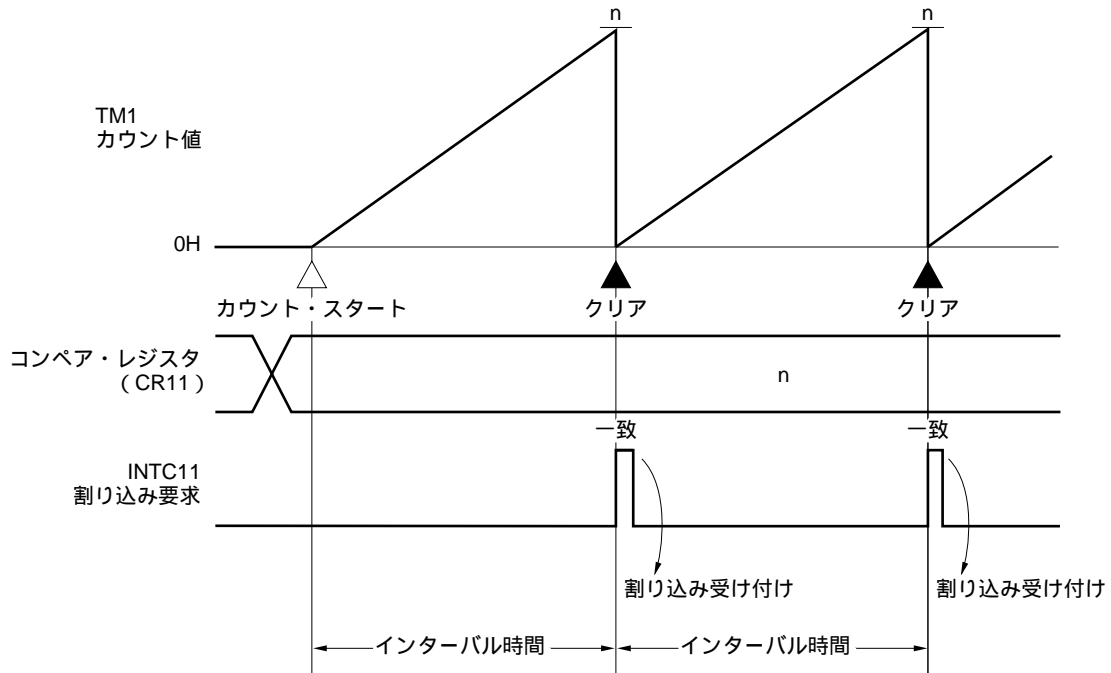


10.7.2 インターバル・タイマとしての動作(2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します(図10-23参照)。

図10-24に制御レジスタの設定内容を, 図10-25にその設定手順を示します。

図10-23 インターバル・タイマ動作(2)のタイミング(CR11をコンペア・レジスタとして使用する場合)



備考 インターバル時間 = (n + 1) × x / f_{xx}

0 n FFH

x = 4, 8, 16, 32, 64, 128, 256, 512, 1024

図10 - 24 インターバル・タイマ動作（2）の制御レジスタの設定内容

(a) プリスケアラ・モード・レジスタ1 (PRM1)



(b) キャプチャ/コンペア・コントロール・レジスタ1 (CRC1)

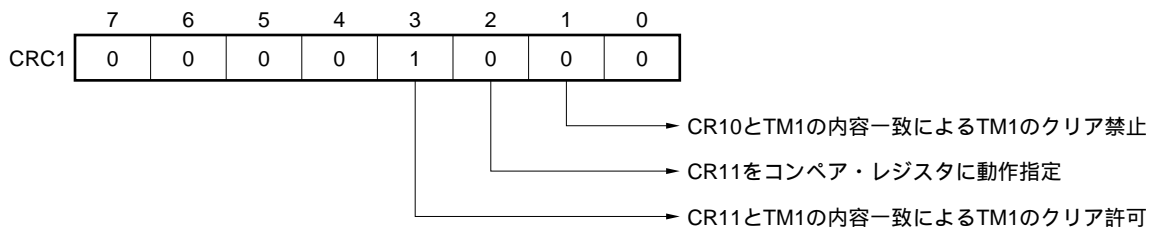
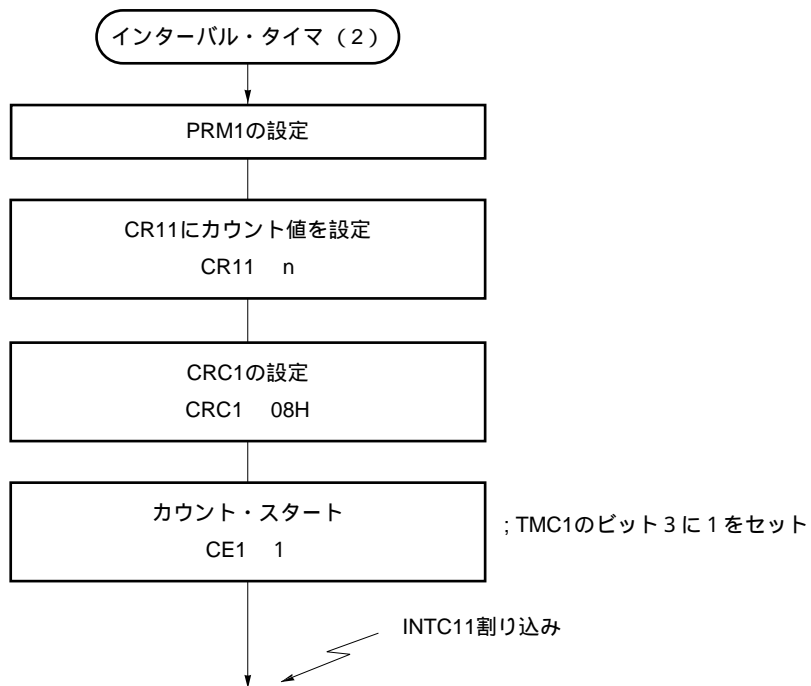


図10 - 25 インターバル・タイマ動作（2）の設定手順



10.7.3 パルス幅測定としての動作

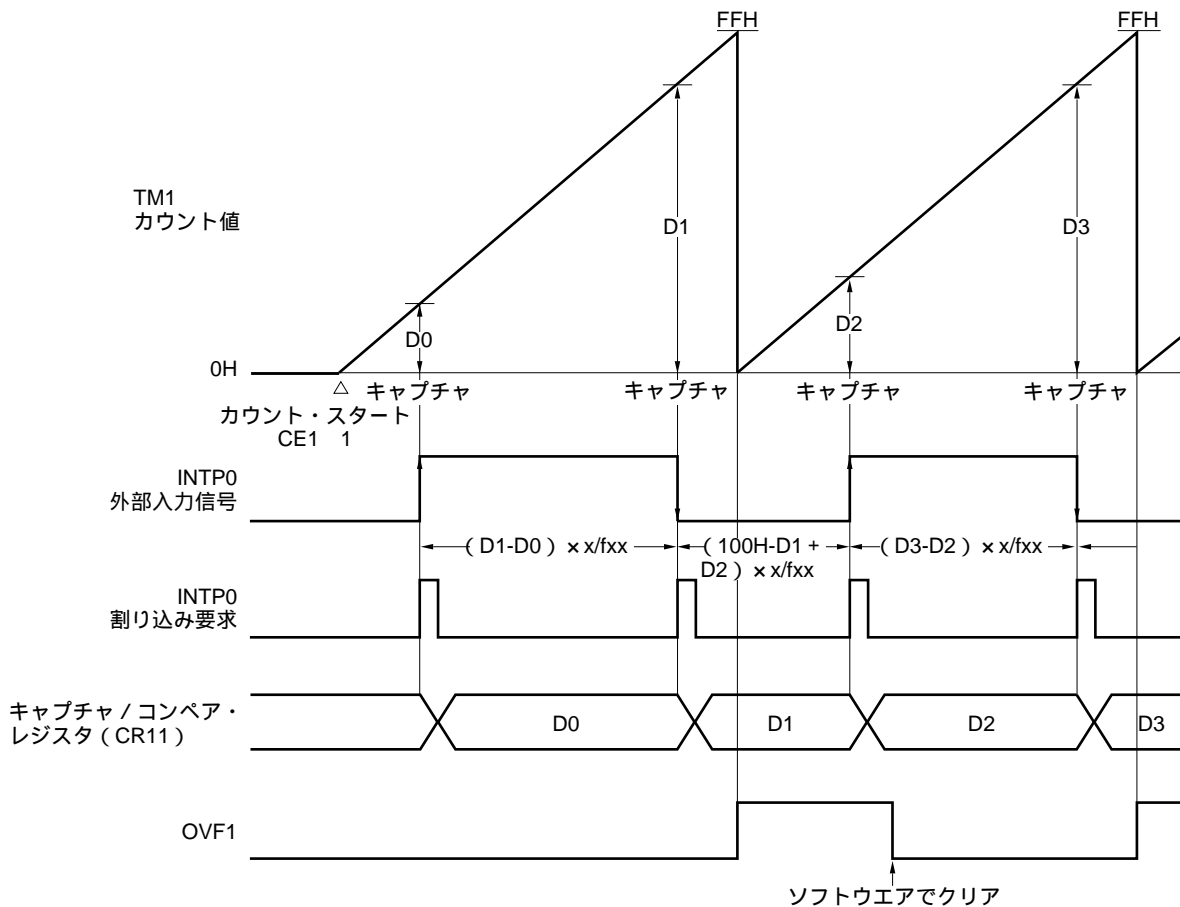
パルス幅測定は、外部割り込み要求入力端子 (INTP0) に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP0端子に入力するパルス幅はハイ・レベル、ロウ・レベルともSCS0で選択したサンプリング・クロックで3クロック以上必要で、これ以下の場合には有効エッジが検出されず、キャプチャ動作を行いません。

図10 - 26に示すようにINTP0端子入力の有効エッジ (立ち上がり, 立ち下がりの両エッジに設定) に同期して、カウント中のタイマ・カウンタ1 (TM1) の値をキャプチャ・レジスタとして設定したキャプチャ/コンペア・レジスタ (CR11) に取り込み、保持します。パルス幅は、n回目の有効エッジ検出によりCR11に取り込み保持されたTM1のカウンタ値 (Dn) とn - 1回目の有効エッジ検出によるカウンタ値 (Dn - 1) との差の値とカウンタ・クロック数 (x/fxx ; x=4, 8, 16, 32, 64, 128, 256, 512, 1024) との積から求めます。

そのときの制御レジスタの設定内容を図10 - 27に、設定手順を図10 - 28に示します。

図10 - 26 パルス幅測定のタイミング (CR11をキャプチャ・レジスタとして使用する場合)

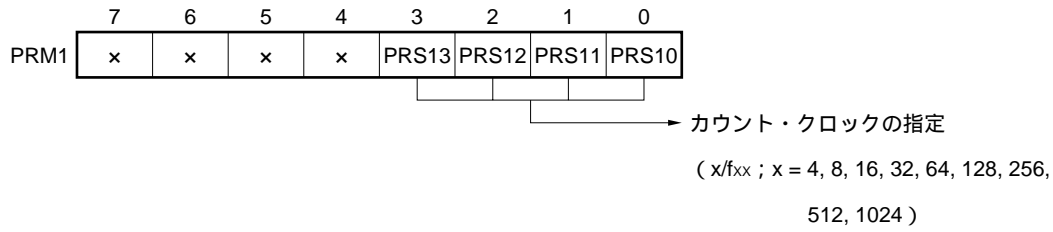


備考 Dn : TM1のカウンタ値 (n = 0, 1, 2, ...)

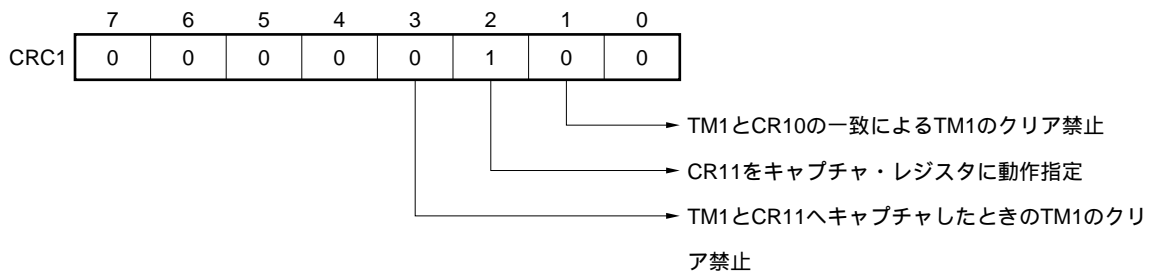
x = 4, 8, 16, 32, 64, 128, 256, 512, 1024

図10 - 27 パルス幅測定の制御レジスタの設定内容

(a) プリスケアラ・モード・レジスタ 1 (PRM1)



(b) キャプチャ/コンペア・コントロール・レジスタ 1 (CRC1)



(c) 外部割り込みモード・レジスタ 0 (INTM0)

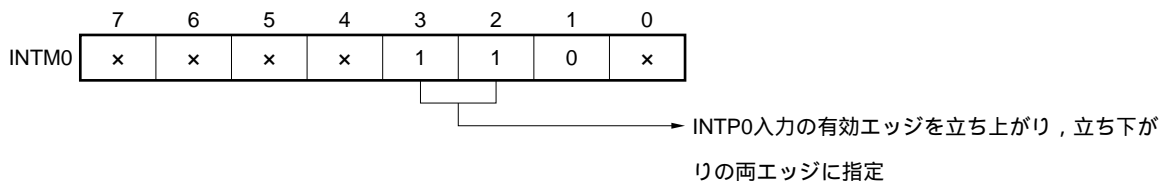


図10 - 28 パルス幅測定の設定手順

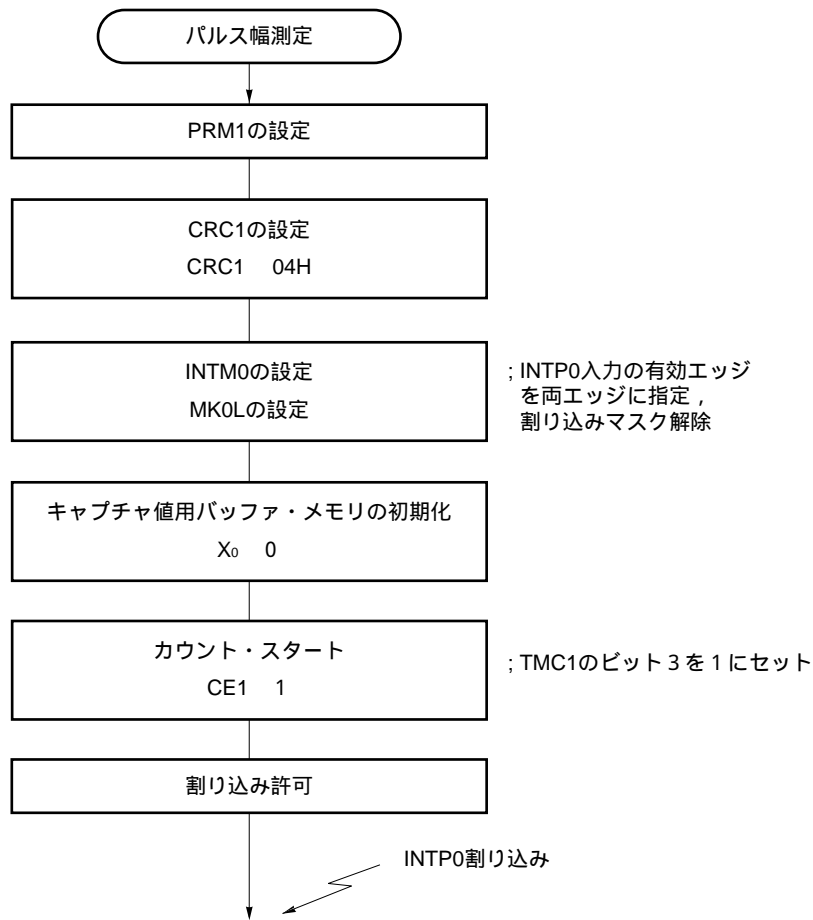
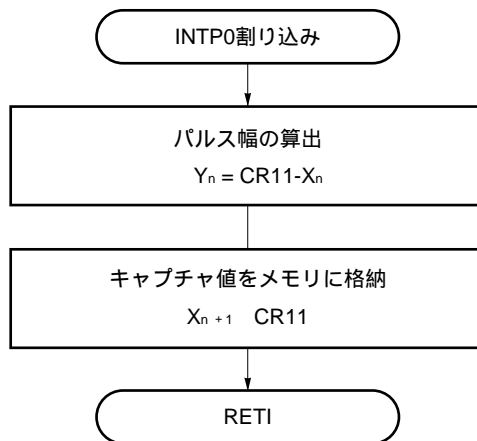


図10 - 29 パルス幅を算出する割り込み要求処理



10.8 注意事項

(1) タイマ/イベント・カウンタ1が動作している期間(タイマ・コントロール・レジスタ1(TMC1)のCE1ビットがセットされているとき)、次のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウェアの機能の変化と、書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

次のレジスタの内容を書き換える場合は、安全のため必ずカウンタ動作を停止させてから行ってください。

- ・プリスケラ・モード・レジスタ1(PRM1)
- ・キャプチャ/コンペア・コントロール・レジスタ1(CRC1)
- ・タイマ・コントロール・レジスタ1(TMC1)のCMD2ビット

(2) タイマ・カウンタ1(TM1)の動作を停止させる命令実行時にコンペア・レジスタ(CR1n:n=0,1)とTM1の内容が一致した場合、TM1のカウント動作は停止しますが、割り込みの要求は発生しません。

TM1の動作を停止する場合に割り込みを発生させたくないときは、先に割り込みマスク・レジスタで割り込みをマスクしてからTM1を停止させてください。

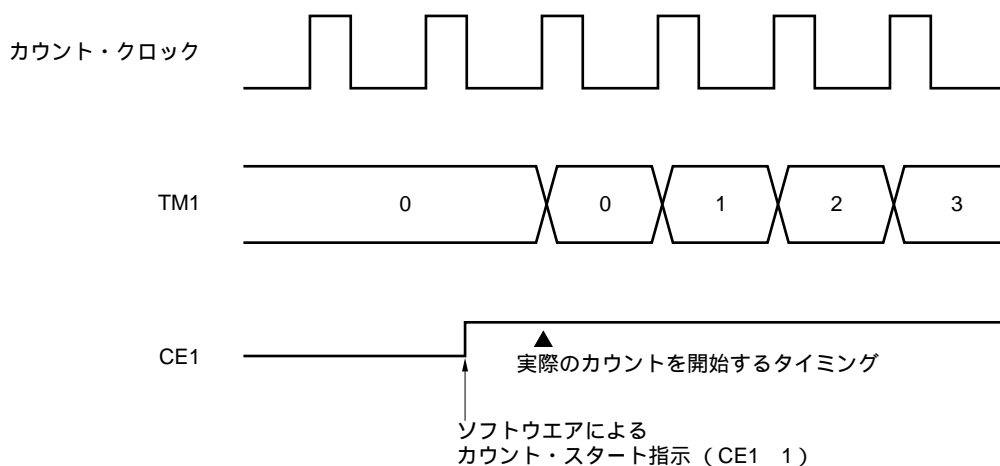
例

割り込み要求が発生する可能性のあるプログラム	割り込み要求が発生しないプログラム
<pre> : CLR1 CE1 OR MK0L, #C0H : </pre>	<pre> : OR MK0L, #C0H CLR1 CE1 CLR1 CIF10 CLR1 CIF11 : </pre>
<p>この間でタイマ/イベント・カウンタ1からの割り込み要求発生</p>	<p>タイマ/イベント・カウンタ1からの割り込み禁止 タイマ/イベント・カウンタ1からの割り込み要求フラグをクリア</p>

(3) タイマ/イベント・カウンタ1をスタート(CE1 = 1)させる操作を行ってから、実際にタイマ/イベント・カウンタ1がスタートするまで最大1カウント・クロック分の時間がかかります(図10-30参照)。

たとえば、インターバル・タイマとして使用する場合は、1回目のインターバル時間が最大1クロック分だけ長くなります。2回目以降は、指定した間隔どおりになります。

図10-30 カウント・スタート時の動作



(4) コンペア・レジスタ(CR1n : n = 0, 1)への書き込みを行う命令実行中は、書き込みの対象となっているCR1nとタイマ・カウンタ1(TM1)の一致を検出しません。

タイマ/イベント・カウンタ1がカウント動作を行っているときのCR1nへの書き込みは、CR1nへの書き込み中にTM1の内容とCR1nの書き込み前後の値が一致しないようなタイミングで行ってください(TM1とCR1nの一致による割り込み要求の発生直後など)。

(5) TM1とコンペア・レジスタ(CR1n : n = 0, 1)の一致の検出は、TM1がインクリメントされたときにのみ行われます。したがって、TM1と同じ値をCR1nへ書き込んでも割り込みの要求は発生しません。

(6) タイマ/イベント・カウンタ1を外部イベント・カウンタとして使用する場合、有効エッジの入力が一度もない状態と1回だけあった状態の区別がタイマ・カウンタ1 (TM1) だけではつけられません (図10 - 31参照)。TM1の内容はいずれの場合も0になります。区別をつける必要がある場合には、INTP0の割り込み要求フラグを利用してください。例を図10 - 32に示します。

図10 - 31 外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例

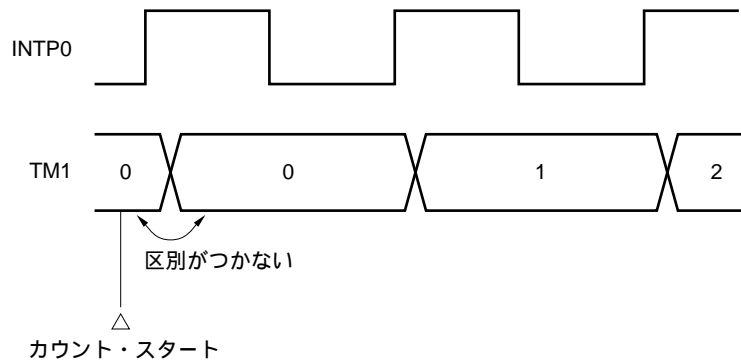
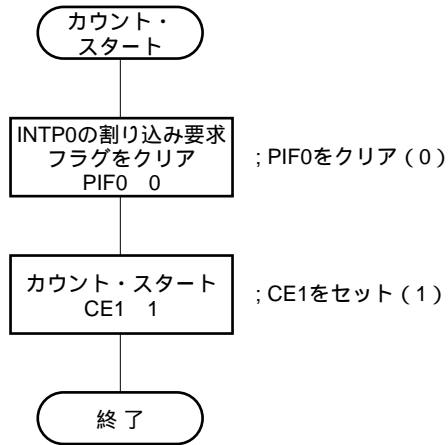
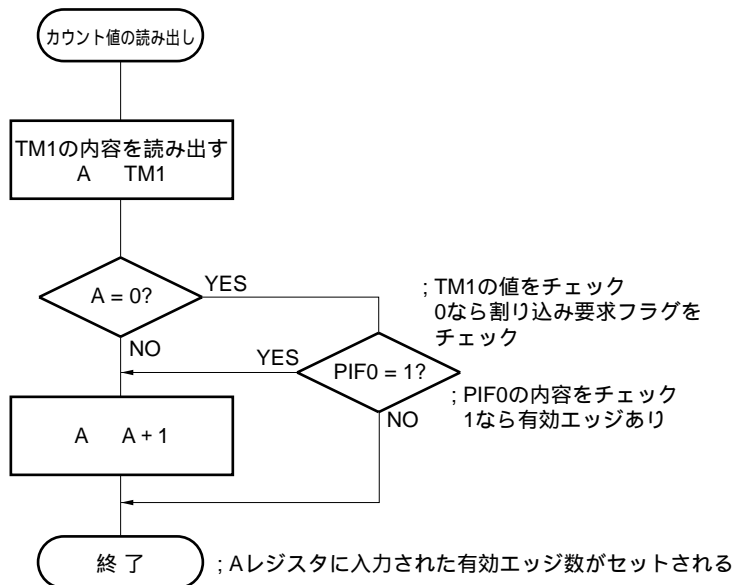


図10 - 32 外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



第11章 タイマ/イベント・カウンタ2

11.1 機能

タイマ/イベント・カウンタ2は、16ビットまたは8ビットのタイマ/イベント・カウンタです。
タイマ/イベント・カウンタ2には、ほかの3つのタイマ/カウンタにはない次の機能があります。

- ・ワンショット・タイマ^注

注 ワンショット・タイマ機能とは、タイマ/イベント・カウンタ2 (TM2/TM2W) のカウント動作のことです。したがって、タイマ/イベント・カウンタ0のワンショット・パルス出力機能とは性質が異なります。

ここでは次に示す4つの基本的機能について順に説明します。

- ・インターバル・タイマ
- ・プログラマブル矩形波出力
- ・パルス幅測定
- ・外部イベント・カウンタ

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表11 - 1 タイマ/イベント・カウンタ2のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$4/f_{xx}$ (0.32 μ s)	$2^{16} \times 4/f_{xx}$ (20.8 ms)	$4/f_{xx}$ (0.32 μ s)
$8/f_{xx}$ (0.64 μ s)	$2^{16} \times 8/f_{xx}$ (41.7 ms)	$8/f_{xx}$ (0.64 μ s)
$16/f_{xx}$ (1.27 μ s)	$2^{16} \times 16/f_{xx}$ (83.4 ms)	$16/f_{xx}$ (1.27 μ s)
$32/f_{xx}$ (2.54 μ s)	$2^{16} \times 32/f_{xx}$ (167 ms)	$32/f_{xx}$ (2.54 μ s)
$64/f_{xx}$ (5.09 μ s)	$2^{16} \times 64/f_{xx}$ (333 ms)	$64/f_{xx}$ (5.09 μ s)
$128/f_{xx}$ (10.17 μ s)	$2^{16} \times 128/f_{xx}$ (667 ms)	$128/f_{xx}$ (10.17 μ s)
$256/f_{xx}$ (20.35 μ s)	$2^{16} \times 256/f_{xx}$ (1.33 s)	$256/f_{xx}$ (20.35 μ s)
$512/f_{xx}$ (40.70 μ s)	$2^{16} \times 512/f_{xx}$ (2.67 s)	$512/f_{xx}$ (40.70 μ s)
$1024/f_{xx}$ (81.40 μ s)	$2^{16} \times 1024/f_{xx}$ (5.33 s)	$1024/f_{xx}$ (81.40 μ s)

() 内は $f_{xx} = 12.58$ MHzの場合

(2) プログラマブル矩形波出力

タイマ出力端子 (TO2, TO3) にそれぞれ独立に矩形波を出力します。

表11 - 2 タイマ/イベント・カウンタ2のプログラマブル矩形波出力設定範囲

最小パルス幅	最大パルス幅
$4/f_{xx}$ (0.32 μ s)	$2^{16} \times 4/f_{xx}$ (20.8 ms)
$8/f_{xx}$ (0.64 μ s)	$2^{16} \times 8/f_{xx}$ (41.7 ms)
$16/f_{xx}$ (1.27 μ s)	$2^{16} \times 16/f_{xx}$ (83.4 ms)
$32/f_{xx}$ (2.54 μ s)	$2^{16} \times 32/f_{xx}$ (167 ms)
$64/f_{xx}$ (5.09 μ s)	$2^{16} \times 64/f_{xx}$ (333 ms)
$128/f_{xx}$ (10.17 μ s)	$2^{16} \times 128/f_{xx}$ (667 ms)
$256/f_{xx}$ (20.35 μ s)	$2^{16} \times 256/f_{xx}$ (1.33 s)
$512/f_{xx}$ (40.70 μ s)	$2^{16} \times 512/f_{xx}$ (2.67 s)
$1024/f_{xx}$ (81.40 μ s)	$2^{16} \times 1024/f_{xx}$ (5.33 s)

() 内は $f_{xx} = 12.58$ MHzの場合

注意 上表は内部クロックの場合です。

(3) パルス幅測定

外部割り込み要求入力端子 (INTP1, INTP2) へ入力される信号のパルス幅を検出します。

表11 - 3 タイマ/イベント・カウンタ2のパルス幅測定範囲

測定可能なパルス幅 ^注	分解能
4/f _{xx} - 2 ¹⁶ × 4/f _{xx} (0.32 μs) (20.8 ms)	4/f _{xx} (0.32 μs)
8/f _{xx} - 2 ¹⁶ × 8/f _{xx} (0.64 μs) (41.7 ms)	8/f _{xx} (0.64 μs)
16/f _{xx} - 2 ¹⁶ × 16/f _{xx} (1.27 μs) (83.4 ms)	16/f _{xx} (1.27 μs)
32/f _{xx} - 2 ¹⁶ × 32/f _{xx} (2.54 μs) (167 ms)	32/f _{xx} (2.54 μs)
64/f _{xx} - 2 ¹⁶ × 64/f _{xx} (5.09 μs) (333 ms)	64/f _{xx} (5.09 μs)
128/f _{xx} - 2 ¹⁶ × 128/f _{xx} (10.17 μs) (667 ms)	128/f _{xx} (10.17 μs)
256/f _{xx} - 2 ¹⁶ × 256/f _{xx} (20.35 μs) (1.33 s)	256/f _{xx} (20.35 μs)
512/f _{xx} - 2 ¹⁶ × 512/f _{xx} (40.70 μs) (2.67 s)	512/f _{xx} (40.70 μs)
1024/f _{xx} - 2 ¹⁶ × 1024/f _{xx} (81.40 μs) (5.33 s)	1024/f _{xx} (81.40 μs)

() 内はf_{xx} = 12.58 MHzの場合

注 測定可能な最小パルス幅は、選択したf_{CLK}の値により異なります。

測定可能な最小パルス幅は、3/f_{CLK}の値と表中の値のいずれか大きい方になります。

(4) 外部イベント・カウンタ

外部割り込み要求入力端子 (INTP2) から入力されるクロック・パルス (CI端子入力パルス) をカウントします。表11 - 4に、タイマ/イベント・カウンタ2に入力可能なクロックを示します。

表11 - 4 タイマ/イベント・カウンタ2に入力可能なクロック

	片エッジをカウントする場合	両エッジをカウントする場合
最大周波数	f _{CLK} /6 (2.10 MHz)	f _{CLK} /6 (2.10 MHz)
最小パルス幅 (ハイおよびロウ・レベル)	3/f _{CLK} (0.24 μs)	3/f _{CLK} (0.24 μs)

() 内はf_{CLK} = 12.58 MHz, f_{xx} = 12.58 MHzの場合

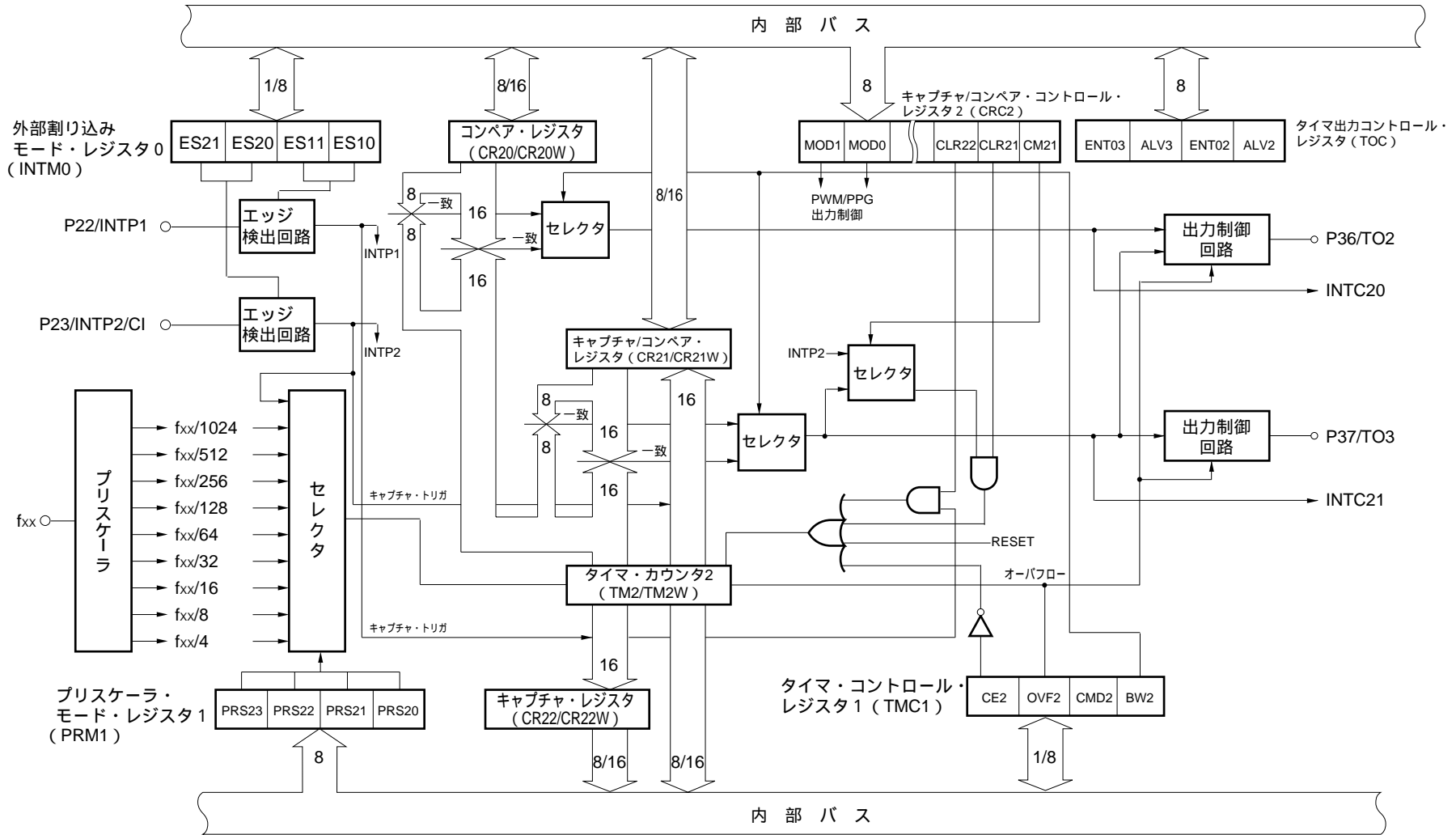
11.2 構 成

タイマ/イベント・カウンタ2は、次のレジスタから構成されています。

- ・タイマ・カウンタ (TM2/TM2W) × 1
- ・コンペア・レジスタ (CR20/CR20W) × 1
- ・キャプチャ/コンペア・レジスタ (CR21/CR21W) × 1
- ・キャプチャ・レジスタ (CR22/CR22W) × 1

図11 - 1に、タイマ/イベント・カウンタ2のブロック図を示します。

図11-1 タイマ/イベント・カウンタ2のブロック図



(1) タイマ・カウンタ2 (TM2/TM2W)

TM2/TM2Wは、プリスケアラ・モード・レジスタ1 (PRM1) の上位4ビットで指定されるカウント・クロックをアップカウントするタイマ・カウンタです。カウント・クロックは内部クロック，外部クロックの選択もできます。

タイマ・コントロール・レジスタ1 (TMC1) によりカウント動作の停止/許可を指定します。また，8ビット動作モード (TM2) /16ビット動作モード (TM2W) の選択ができます。

8/16ビット操作命令で読み出しのみが可能です。

$\overline{\text{RESET}}$ 入力により，TM2/TM2Wは00Hにクリアされ，カウントは停止します。

(2) コンペア・レジスタ (CR20/CR20W)

CR20/CR20Wは，インターバル・タイマ動作の周期を決める値を保持する8/16ビット・レジスタです。

CR20/CR20Wの内容がTM2/TM2Wの値と一致すると，割り込み要求 (INTC20)，およびタイマ出力の制御信号を発生します。また，一致 (CR21/CR21W) によりカウント値をクリアすることができます。8ビット動作モード時はCR20，16ビット動作モード時はCR20Wになります。

8/16ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(3) キャプチャ/コンペア・レジスタ (CR21/CR21W)

CR21/CR21Wは，キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) の設定により，TM2/TM2Wのカウント値との一致を検出するためのコンペア・レジスタに，またはTM2/TM2Wのカウント値をキャプチャするキャプチャ・レジスタに設定することが可能な8/16ビット・レジスタです。

8ビット動作モード時はCR21，16ビット動作モード時はCR21Wになります。

8/16ビット操作命令で読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により不定となります。

(a) コンペア・レジスタに設定した場合

インターバル・タイマ動作の周期を決める値を保持する8/16ビット・レジスタとして機能します。

CR21/CR21Wの内容がTM2/TM2Wの内容と一致すると割り込み要求 (INTC21) およびタイマ出力の制御信号を発生します。

また，内容一致によりカウント値をクリアすることができます。

(b) キャプチャ・レジスタに設定した場合

外部割り込み入力端子 (INTP2) の有効エッジ入力 (キャプチャ・トリガ) に同期してTM2/TM2Wの内容をキャプチャする8/16ビット・レジスタとして機能します。

次のキャプチャ・トリガが発生するまでCR21/CR21Wの内容は保持されます。

(4) キャプチャ・レジスタ (CR22/CR22W)

CR22/CR22Wは、TM2/TM2Wの内容をキャプチャする8/16ビット・レジスタです。

キャプチャ動作は、外部割り込み要求入力端子 (INTP1) への有効エッジ入力 (キャプチャ・トリガ) に同期します。次のキャプチャ・トリガが発生するまで、CR22/CR22Wの内容は保持されます。また、キャプチャ後、TM2/TM2Wをクリアすることができます。

8ビット動作モード時はCR22、16ビット動作モード時はCR22Wになります。

8/16ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(5) エッジ検出回路

エッジ検出回路は、外部入力の有効エッジを検出します。

INTP1端子入力で外部割り込みモード・レジスタ0 (INTM0) により設定された有効エッジを検出して、外部割り込み要求 (INTP1) とキャプチャ・トリガを発生します。また、外部割り込み要求入力端子 (INTP2) からの有効エッジを検出すると、キャプチャ・トリガと外部イベントのカウンタ・クロックと外部割り込み要求 (INTP2) を発生します。

(6) 出力制御回路

CR20、CR21の内容とTM2の内容が一致、またはCR20W、CR21Wの内容とTM2Wの内容が一致すると、タイマ出力を反転することができます。

タイマ出力コントロール・レジスタ (TOC) 上位4ビットの設定でタイマ出力端子 (TO2, TO3) から矩形波を出力することができます。このとき、キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) の指定により、PWM出力やPPG出力もできます。

また、TOCによってタイマ出力の禁止/許可ができます。タイマ出力の禁止状態ではTO2、TO3端子には固定レベルが出力されます (出力レベルはTOCにより設定)。

(7) プリスケーラ

カウンタ・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクタで選択し、カウンタ・クロックとしてタイマ・カウンタ2 (TM2/TM2W) はカウンタ動作を行います。

(8) セレクタ

タイマ・カウンタ2 (TM2/TM2W) のカウンタ・クロックとして内部クロックを分周した信号またはエッジ検出回路で検出されたエッジから選択します。

11.3 タイマ/イベント・カウンタ2 制御レジスタ

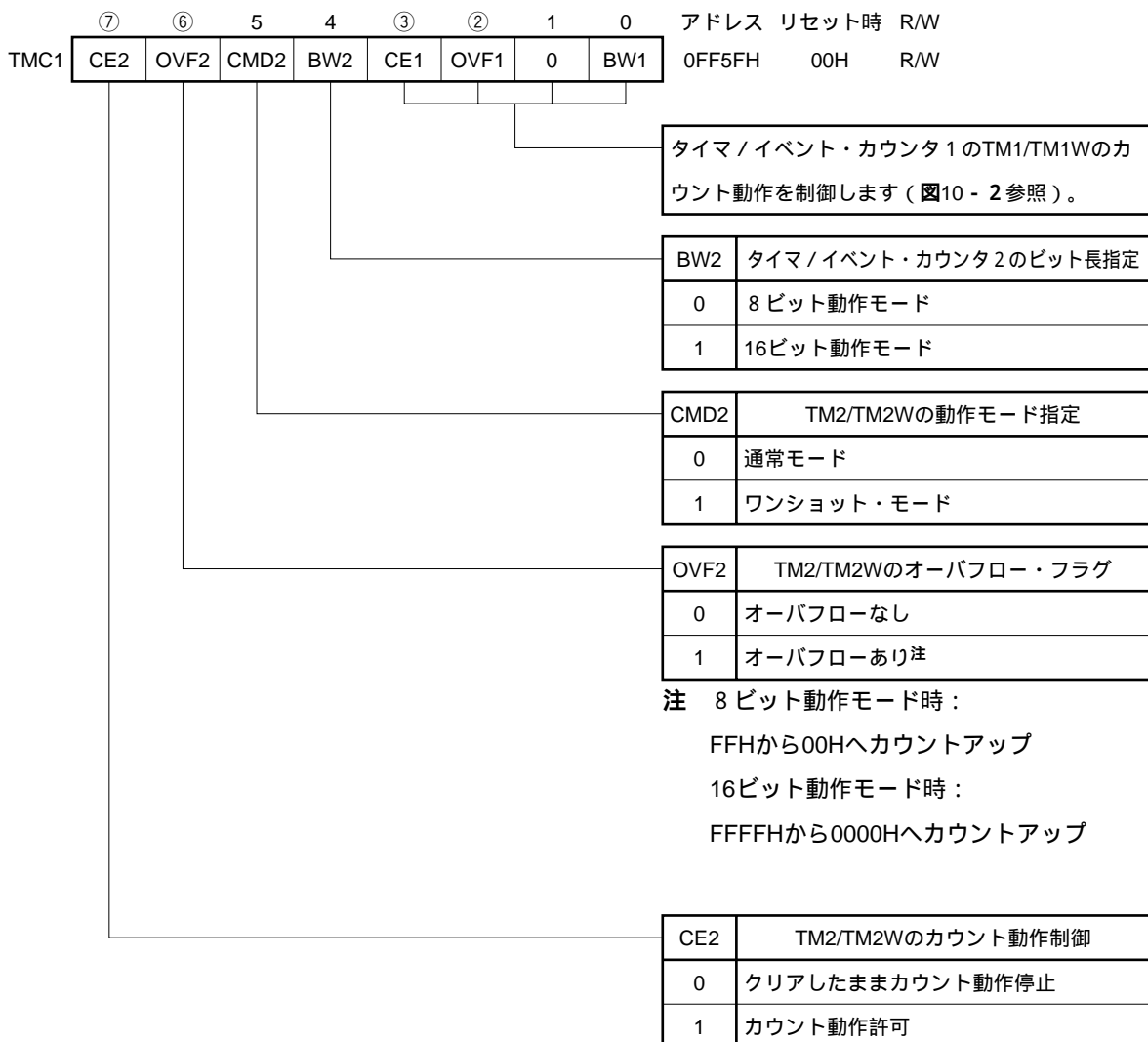
(1) タイマ・コントロール・レジスタ1 (TMC1)

TMC1は、上位4ビットでタイマ/イベント・カウンタ2のTM2/TM2Wのカウンタ動作を制御します(下位4ビットはタイマ/イベント・カウンタ1のTM1/TM1Wのカウンタ動作を制御します)。

8ビット操作命令およびビット操作命令で読み出し/書き込みが可能です。図11-2に、TMC1のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hにクリアされます。

図11-2 タイマ・コントロール・レジスタ1 (TMC1) のフォーマット



備考 OVF2ビットはソフトウェアでのみリセットされます。

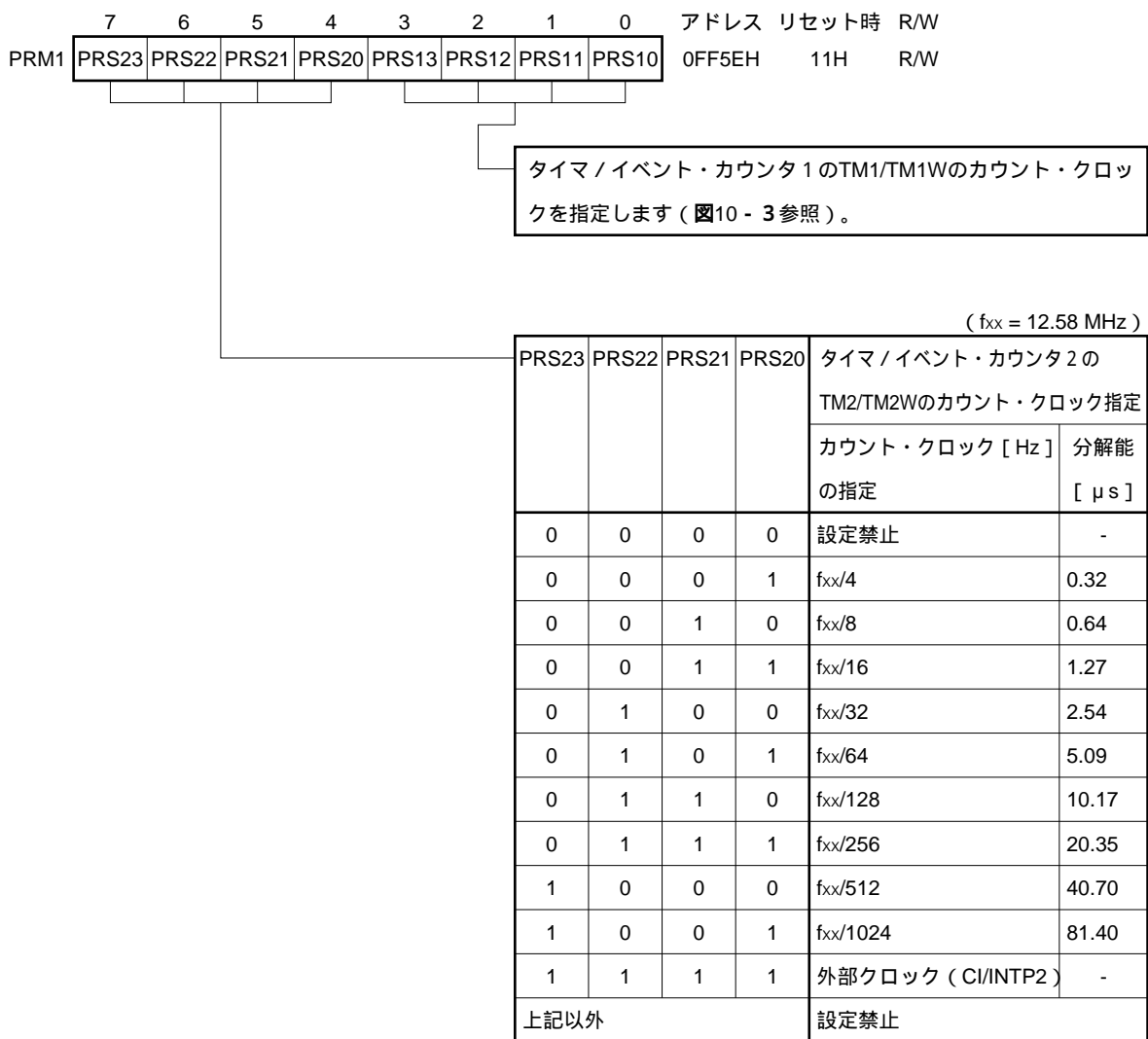
(2) プリスケアラ・モード・レジスタ1 (PRM1)

PRM1は、上位4ビットでタイマ/イベント・カウンタ2のTM2/TM2Wのカウンタ・クロックを指定します(下位4ビットはタイマ/イベント・カウンタ1のTM1/TM1Wのカウンタ・クロックを指定します)。

8ビット操作命令で読み出し/書き込みが可能です。図11-3に、PRM1のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により11Hになります。

図11-3 プリスケアラ・モード・レジスタ1 (PRM1) のフォーマット



備考 f_{xx} : X1入力周波数,または発振周波数

(3) キャプチャ/コンペア・コントロール・レジスタ2 (CRC2)

CRC2は、キャプチャ/コンペア・レジスタ (CR21/CR21W)、またはキャプチャ・レジスタ (CR22/CR22W) によるタイマ・カウンタ2 (TM2/TM2W) のクリア動作の許可条件やタイマ出力 (TO2, TO3) モードを指定するレジスタです。

8ビット操作命令で読み出し/書き込みが可能です。図11-4に、CRC2のフォーマットを示します。

RESET入力により10Hになります。

図11-4 キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CRC2	MOD1	MOD0	CLR22	1	CLR21	CM21	0	0	0FF33H	10H	R/W	
	MOD1	MOD0	CLR22	CLR21	CM21	CR21の動作指定	タイマ出力モード指定		TM2のクリア動作			
							TO2	TO3				
	0	0	0	0	0	コンペア動作	トグル出力	トグル出力	クリアしない			
	0	0	0	1	0		トグル出力	トグル出力	TM2とCR21が一致したらクリア			
	0	0	1	0	0		トグル出力	トグル出力	INTP1によりTM2の内容をCR22へキャプチャしたあとにクリア			
	0	0	1	1	0		トグル出力	トグル出力	TM2とCR21の一致またはINTP1によりTM2の内容をCR22へキャプチャしたあとにクリア			
	0	1	0	0	0		PWM出力	トグル出力	クリアしない			
	1	0	0	0	0		PWM出力	PWM出力	クリアしない			
	1	1	0	1	0		PPG出力	トグル出力	TM2とCR21が一致したらクリア			
	0	0	0	0	1	キャプチャ動作	トグル出力	/	クリアしない			
	0	0	0	1	1		トグル出力		INTP2によりTM2の内容をCR21へキャプチャしたあとにクリア			
	0	1	0	0	1		PWM出力		クリアしない			
	上記以外					設定禁止						

備考 8ビット動作モード時のレジスタ名称で記載しています。16ビット動作モード時は、TM2, CR20, CR21, CR22は、TM2W, CR20W, CR21W, CR22Wになります。

(4) タイマ出力コントロール・レジスタ (TOC)

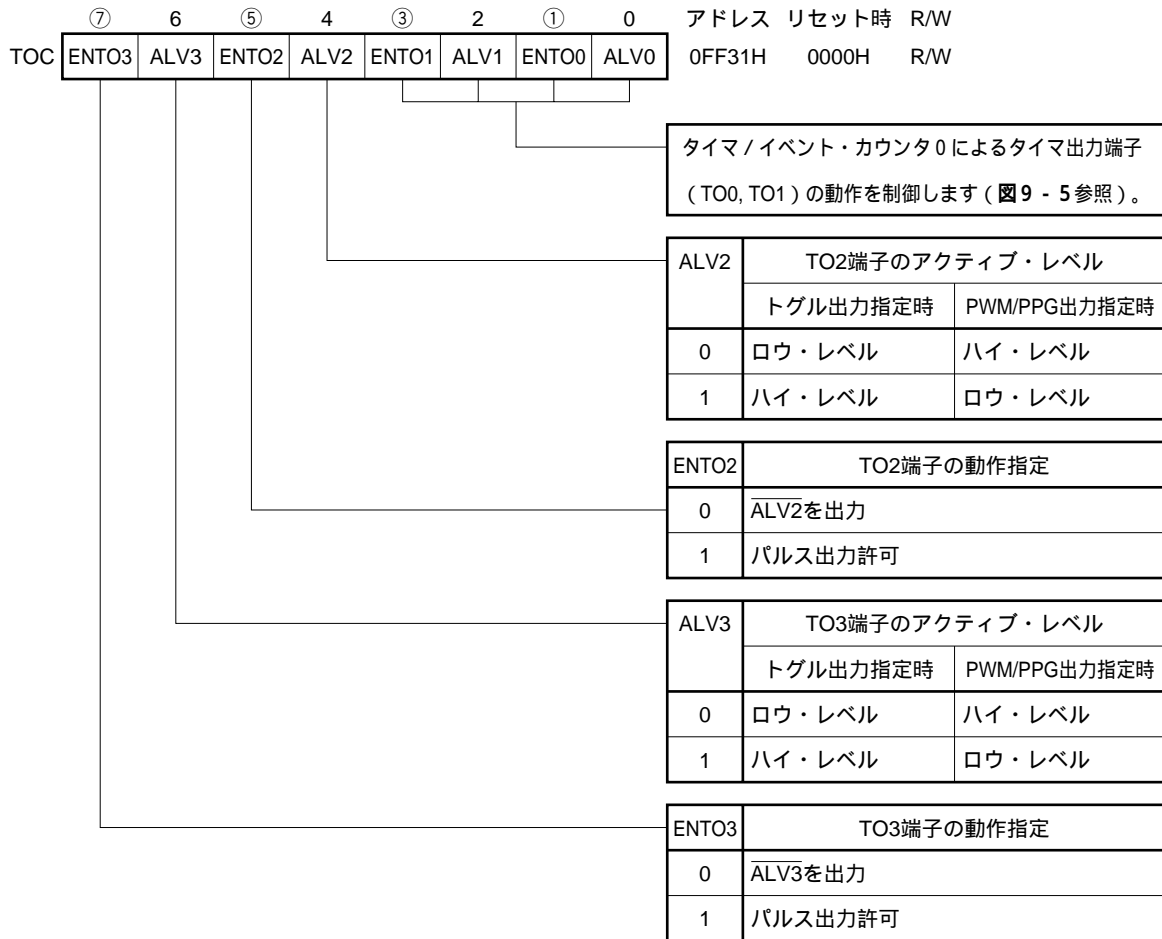
TOCは、タイマ出力のアクティブ・レベル出力許可/禁止を制御する8ビット・レジスタです。

上位4ビットでタイマ/イベント・カウンタ2によるタイマ出力端子 (TO2, TO3) の動作を制御します (下位4ビットはタイマ/イベント・カウンタ0によるタイマ出力端子 (TO0, TO1) の動作を制御します)。

8ビット操作命令およびビット操作命令で書き込み/読み出しが可能です。図11-5に、TOCのフォーマットを示します。

RESET入力により00Hにクリアされます。

図11-5 タイマ出力コントロール・レジスタ (TOC) のフォーマット



11.4 タイマ・カウンタ2 (TM2) の動作

11.4.1 基本動作

タイマ/イベント・カウンタ2は、タイマ・コントロール・レジスタ2 (TMC2) のビット0 (BW2) で8ビット動作モード/16ビット動作モードの制御が可能です。^注

タイマ/イベント・カウンタ2のカウント動作は、プリスケアラ・モード・レジスタ1 (PRM1) の上位4ビットで指定されるカウント・クロックによりカウントアップします。

カウント動作の禁止/許可は、TMC2のビット3 (CE2) で制御します (タイマ/イベント・カウンタ2の動作制御はタイマ・コントロール・レジスタ1 (TMC1) の上位4ビットで行われます)。CE2ビットをソフトウェアによりセット (1) すると、最初のカウント・クロックでTM2の内容が0Hにクリアされた後、カウントアップ動作を行います。

CE2ビットをソフトウェアによりクリア (0) すると、TM2はただちに0Hになり、キャプチャ動作や一致信号の発生は停止します。

CE2ビットがセット (1) されている状態でさらにCE2ビットをセット (1) した場合、TM2のカウント動作は影響を受けません (図11-6 (b) 参照)。

8ビット動作モード時でTM2がFFHのときと、16ビット動作モード時でTM2WがFFFFHのときにカウント・クロックが入力されると、TM2/TM2Wは0Hになります。このとき、OVF2ビットがセットされ、出力制御回路にオーバーフロー信号を送ります。OVF2ビットは、ソフトウェアによってのみクリアされます。また、カウント動作はそのまま継続されます。

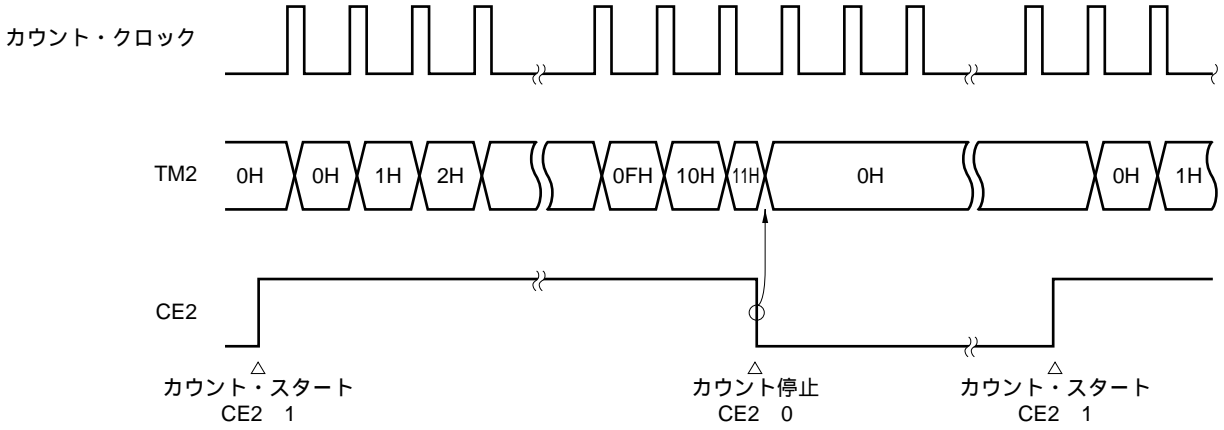
$\overline{\text{RESET}}$ 入力によりTM2は0Hにクリアされ、カウント動作は停止します。

注 機能に特に違いがない場合は、8ビット動作モードで説明しています。

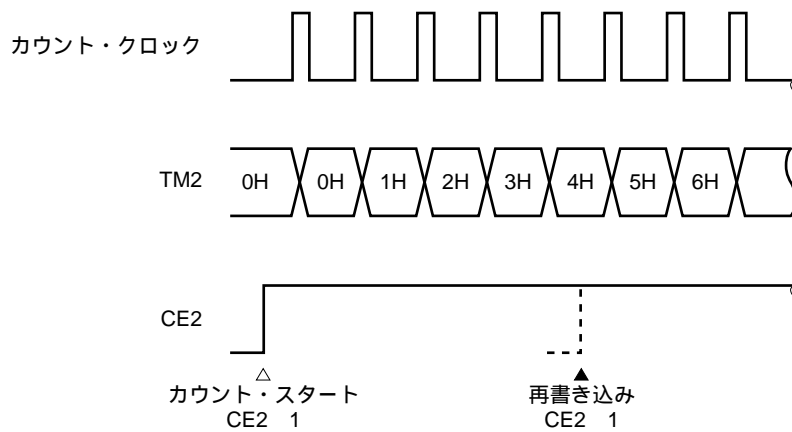
16ビット動作モード時は、TM2, CR20, CR21, CR22は、TM2W, CR20W, CR21W, CR22Wになります。

図11 - 6 8ビット動作モード時の基本動作 (BW2 = 0)

(a) カウント・スタート カウント禁止 カウント・スタートの場合



(b) カウント・スタート後に再度CE2ビットに“1”を書き込んだ場合



(c) TM2がFFHのときの動作

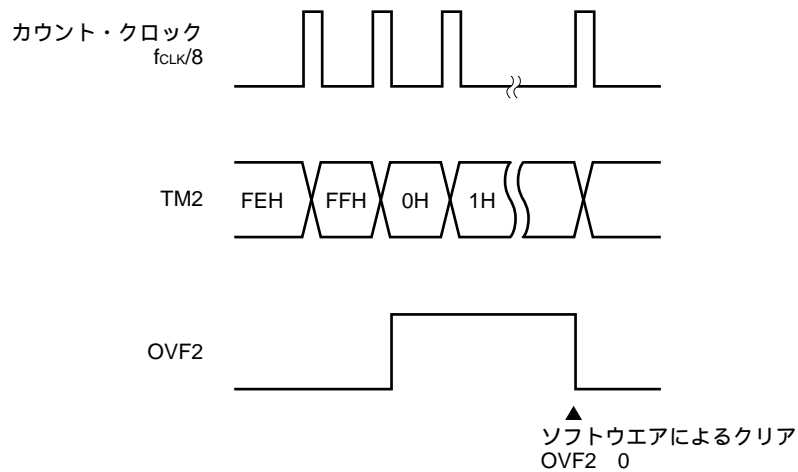
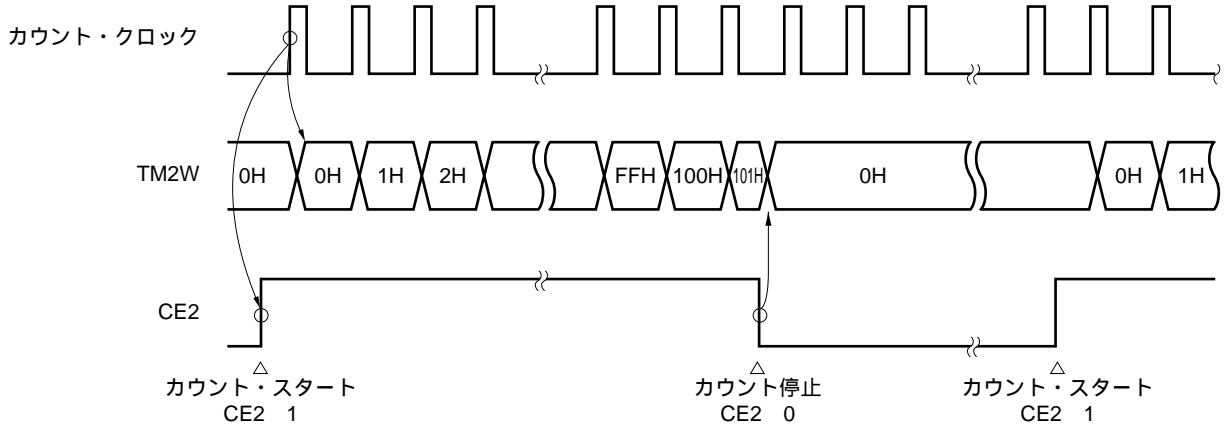
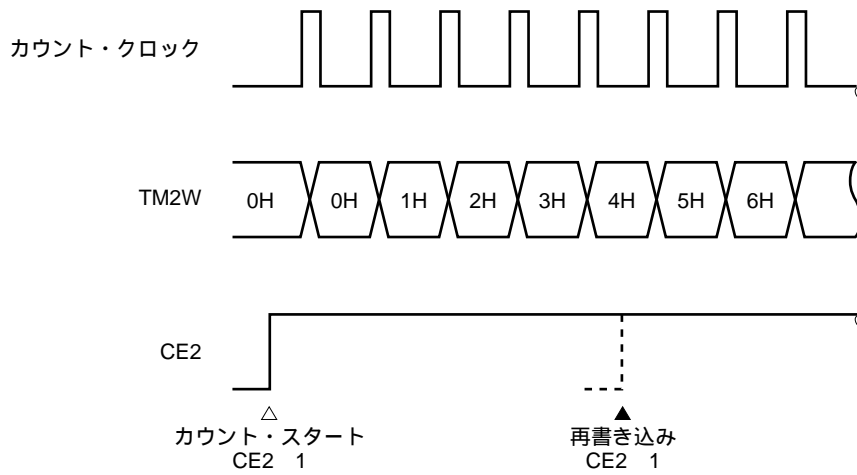


図11 - 7 16ビット動作モード時の基本動作 (BW2 = 1)

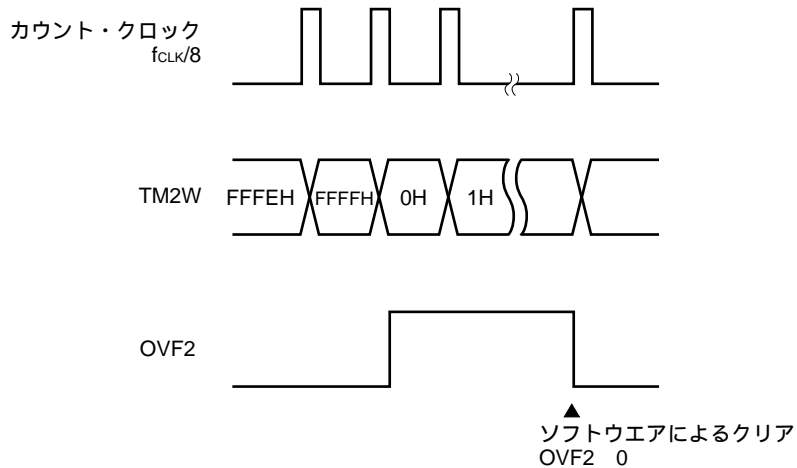
(a) カウント・スタート カウント禁止 カウント・スタートの場合



(b) カウント・スタート後に再度CE2ビットに“1”を書き込んだ場合



(c) TM2WがFFFFHのときの動作



11.4.2 クリア動作

(1) コンペア・レジスタとの一致後およびキャプチャ後のクリア動作

タイマ・カウンタ2 (TM2) は、コンペア・レジスタ (CR2n : n = 0, 1) との一致後およびキャプチャ後に自動的にクリアすることができます。TM2は、クリアする要因が発生すると、次のカウント・クロックで0Hにクリアされます。したがって、クリアする要因が発生しても、次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図11-8 コンペア・レジスタ (CR20, CR21) との一致によるTM2のクリア

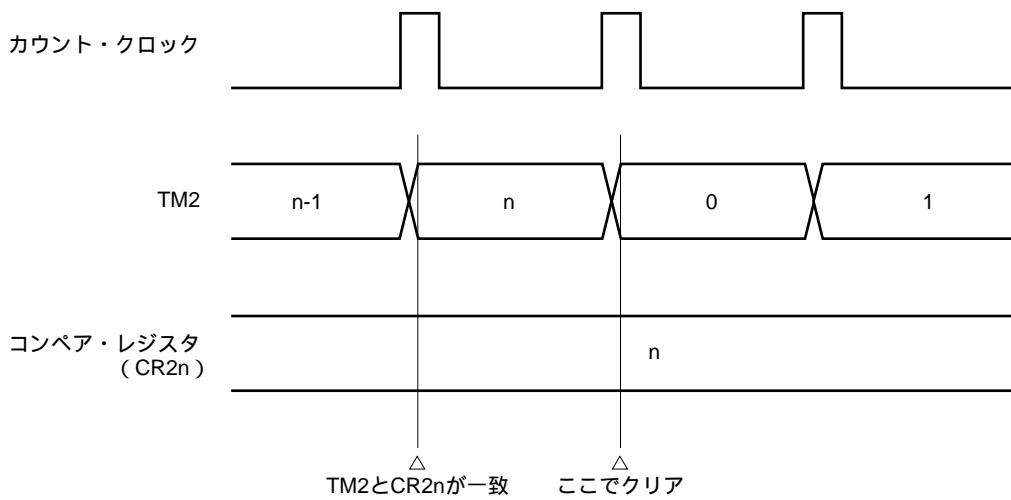
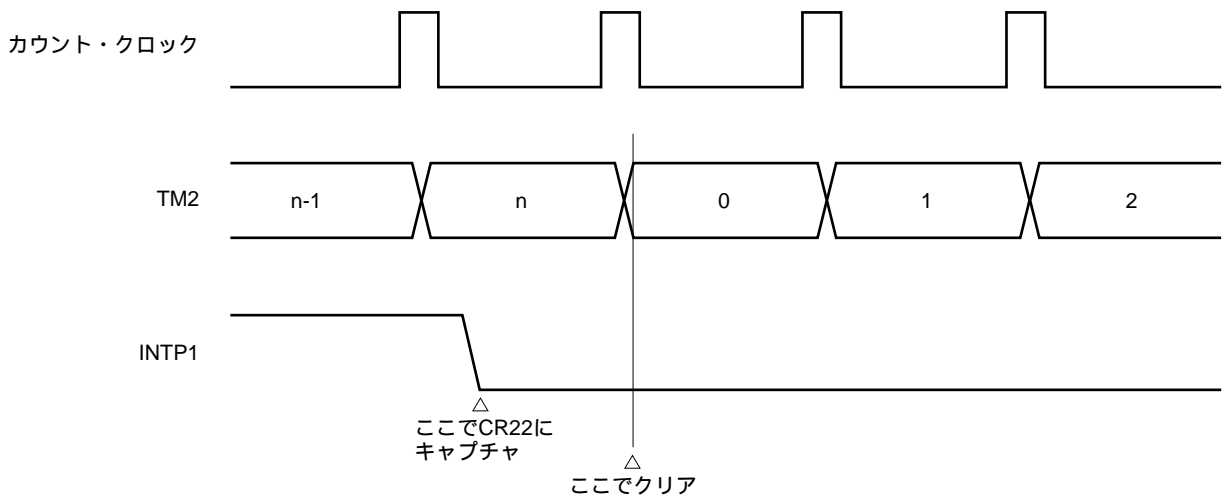


図11-9 キャプチャ後、TM2のクリア

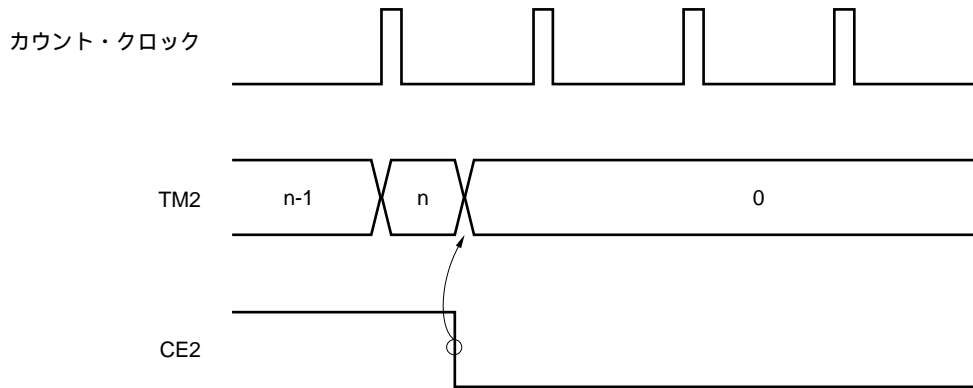


(2) タイマ・コントロール・レジスタ1 (TMC1) のCE2ビットによるクリア動作

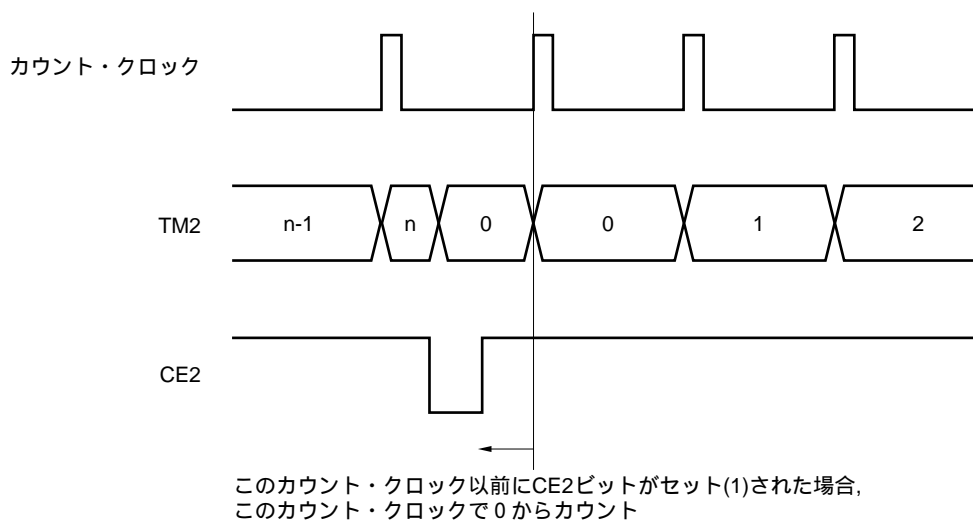
TM2は、ソフトウェアにより、TMC1のCE2ビットをクリア (0) することによってもクリアされます。クリア動作は、CE2ビットがクリア (0) されるとただちに行われます。

図11-10 CE2ビットをクリア(0)した場合のクリア動作

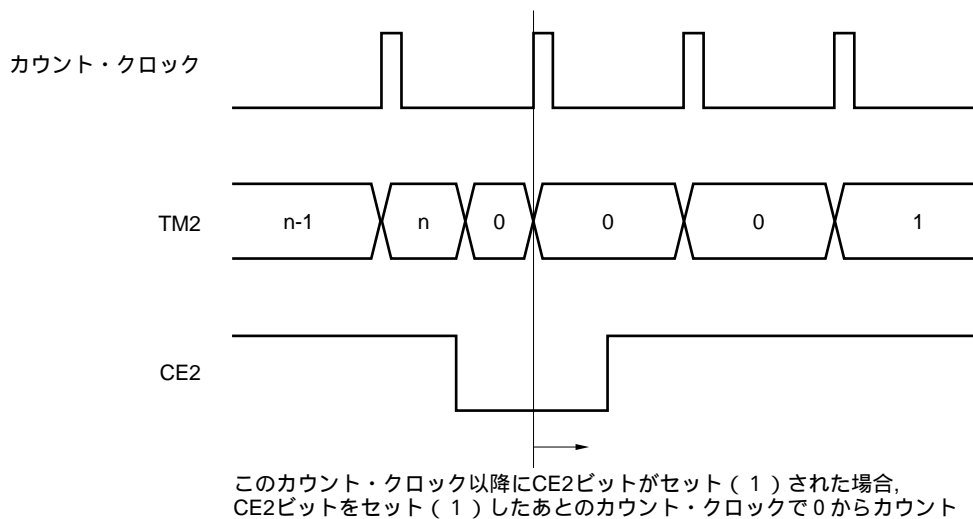
(a) 基本動作



(b) クリア後のカウント・クロックが入力される前の再スタート



(c) クリア後にカウント・クロックが入力されてからの再スタート



11.5 外部イベント・カウンタ機能

タイマ/イベント・カウンタ2は、外部割り込み要求入力端子 (INTP2/CI) から入力されるクロック・パルスをカウントすることができます。

外部イベント・カウンタ動作モードは、特別な選択方法を必要としません。プリスケアラ・モード・レジスタ1 (PRM1) の上位4ビットの設定によって、タイマ・カウンタ2 (TM2) のカウント・クロックを外部クロック入力に指定すると、TM2は外部イベント・カウンタとして動作します。

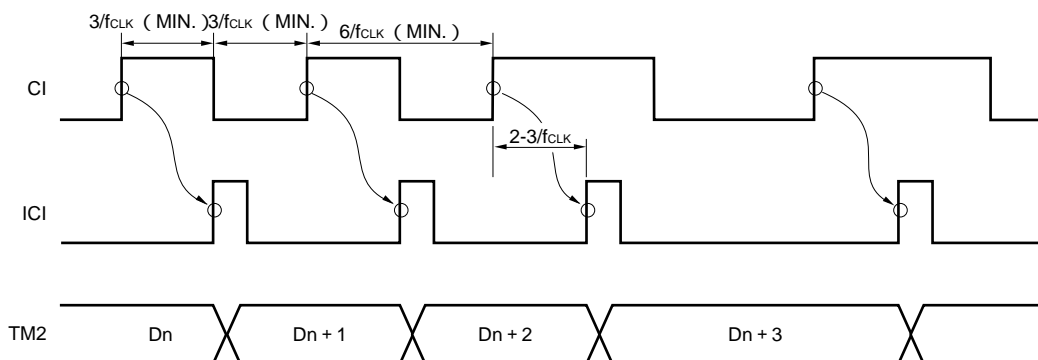
外部イベント・カウンタとしてカウントできる外部クロック・パルスの最大周波数は、INTP2/CI入力の両エッジをカウントする場合も片エッジのみをカウントする場合も同じ2.10 MHzです ($f_{CLK} = 12.58 \text{ MHz}$)。

また、INTP2/CI入力のパルス幅はハイ・レベル、ロウ・レベルともに3システム・クロック ($0.24 \mu\text{s}$: $f_{CLK} = 12.58 \text{ MHz}$) 以上必要で、これ以下の場合、カウントされない場合があります。

図11 - 11に、タイマ/イベント・カウンタ2の外部イベント・カウントのタイミングを示します。

図11 - 11 タイマ/イベント・カウンタ2の外部イベント・カウントのタイミング (1/2)

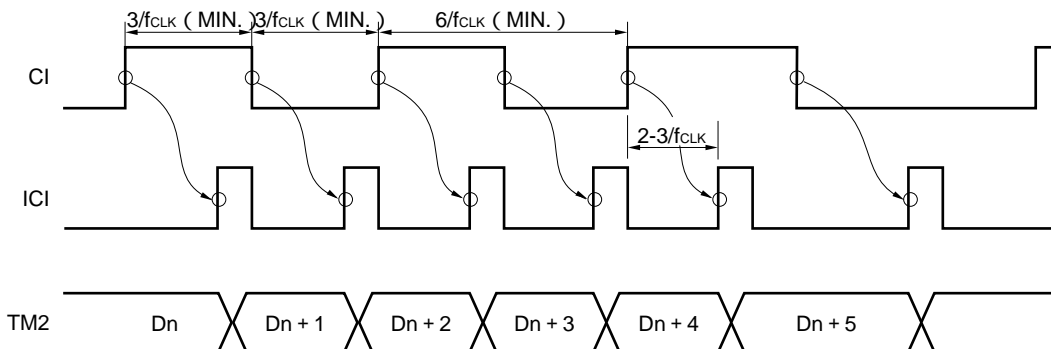
(1) 片エッジをカウントする場合 (最大周波数 = $f_{CLK}/6$)



備考 ICI: CI入力のエッジ検出回路通過後の信号

図11-11 タイマ/イベント・カウンタ2の外部イベント・カウントのタイミング (2/2)

(2) 両エッジをカウントする場合 (最大周波数 = $f_{CLK}/6$)



備考 ICI : CI入力のエッジ検出回路通過後の信号

TM2のカウントの動作は、基本動作の場合と同様にタイマ・コントロール・レジスタ1 (TMC1) のCE2ビットで制御します。

CE2ビットをソフトウェアによってセット (1) すると、最初のカウント・クロックでTM2の内容が0Hとなり、カウントアップ動作を開始します。

TM2のカウント動作中、CE2ビットをソフトウェアによりクリア (0) すると、TM2はただちに0Hになり、停止状態となります。また、CE2ビットがセットされている状態で、さらにソフトウェアによりCE2ビットをセット (1) した場合、TM2のカウント動作は影響を受けません。

注意 タイマ/イベント・カウンタ2を外部イベント・カウンタとして使用する場合、有効エッジの入力が一度もない状態と1回だけあった状態の区別がタイマ・カウンタ2 (TM2) だけではつけられません (図11 - 12参照)。TM2の内容はいずれの場合も0になります。区別をつける必要がある場合には、INTP2の割り込み要求フラグを利用してください (INTP2端子とCI端子は兼用になっており、いずれの機能も同時に使用できます)。例を図11 - 13に示します。

図11 - 12 外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例

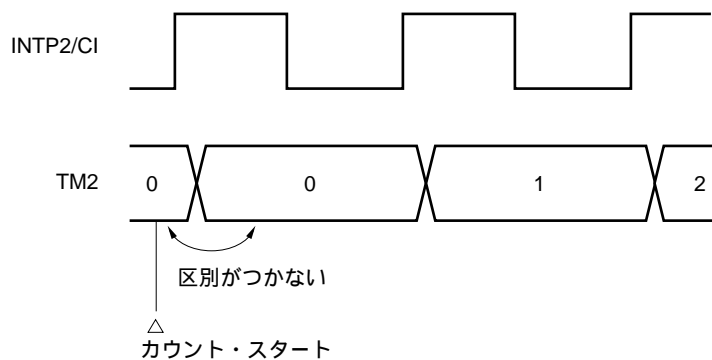
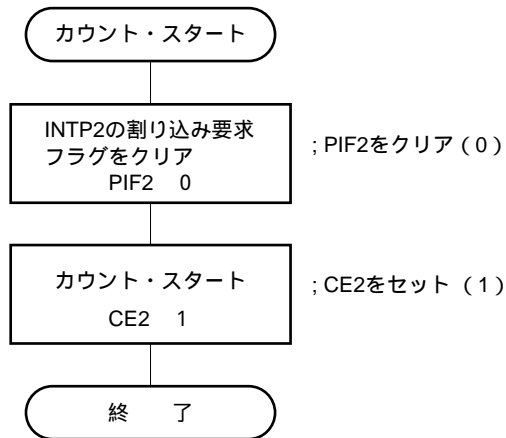
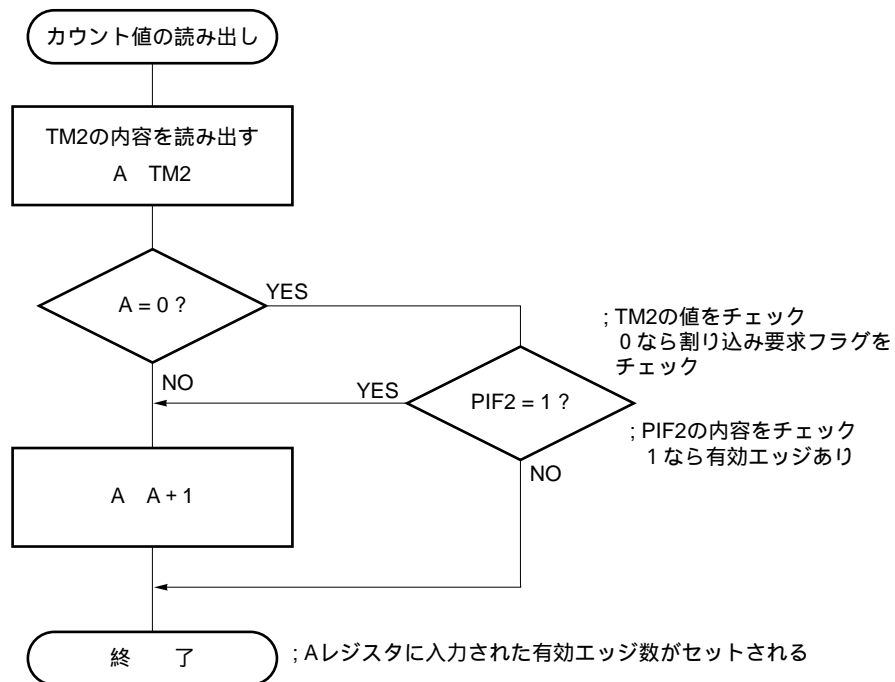


図11 - 13 外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



11.6 ワンショット・タイマ機能

タイマ/イベント・カウンタ2には、カウントの結果、タイマ・カウンタ2 (TM2/TM2W) がフルカウント値 (FFH/FFFFH) になると自動的に停止する動作モードがあります。

図11 - 14 ワンショット・タイマ動作

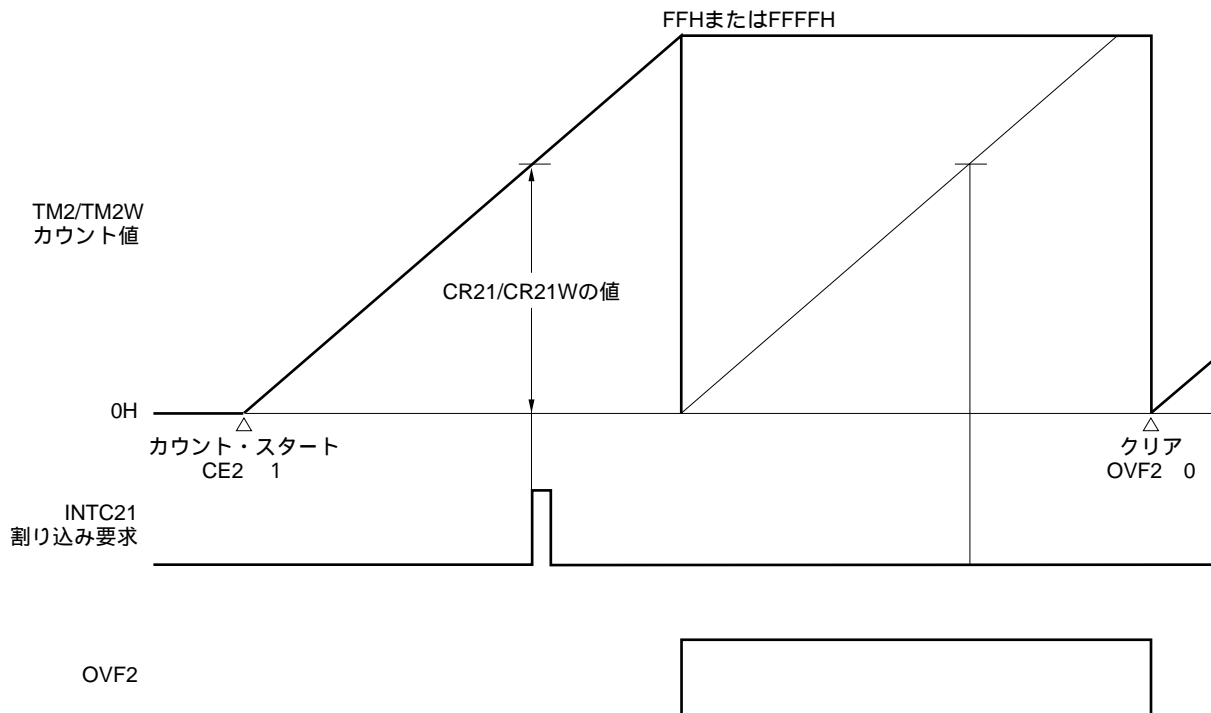


図11 - 14に示すように、CR20, CR21/CR20W, CR21Wにあらかじめ設定した値 (0H-FFH/FFFFH) とTM2/TM2Wの値との一致で、それぞれワンショットの割り込みを発生します。

ワンショット・タイマ動作モードの指定は、タイマ・コントロール・レジスタ1 (TMC1) のビット5 (CMD2) をソフトウェアでセット (1) することによって行います。

TM2/TM2Wのカウント動作は、基本動作の場合と同様にTMC1のCE2ビットで制御します。

CE2ビットをソフトウェアによってセット (1) すると、最初のカウント・クロックでTM2/TM2Wの内容が0Hとなり、カウントアップ動作を開始します。

カウントアップの結果、TM2/TM2Wの内容がFFH/FFFFH (フルカウント) になると、TMC1のビット6 (OVF2) がセット (1) され、TM2/TM2Wはカウント値FFH/FFFFHのまま停止します。

カウント停止状態から再びワンショット・タイマ動作をスタートさせる場合、OVF2ビットをソフトウェアでクリア (0) することによって行います。OVF2ビットをクリア (0) すると、次のカウント・クロックでTM2/TM2Wの内容が0Hとなり、カウントアップ動作を再開します。

TM2/TM2Wのカウント動作中にCE2ビットをソフトウェアによりクリア (0) すると、TM2/TM2Wはただちに0Hになり、停止状態となります。また、CE2ビットがセット (1) されている状態で、さらにソフトウェアでCE2ビットをセット (1) した場合、TM2/TM2Wのカウント動作は影響を受けません。

11.7 コンペア・レジスタ，キャプチャ/コンペア・レジスタ，キャプチャ・レジスタの動作

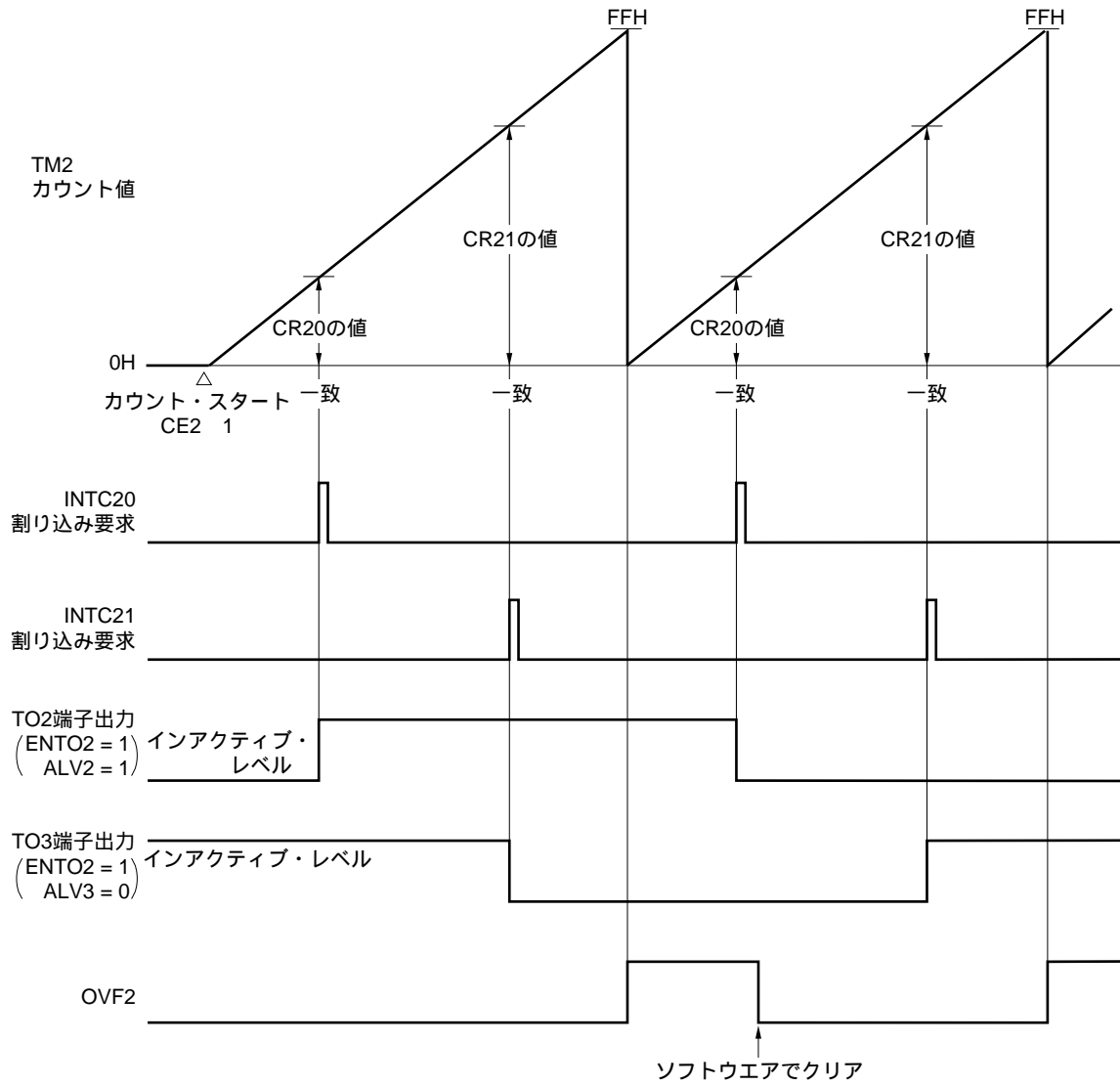
11.7.1 コンペア動作

タイマ/イベント・カウンタ2は、コンペア・レジスタ（CR20）、コンペア動作に指定したキャプチャ/コンペア・レジスタ（CR21）に設定された値をタイマ・カウンタ2（TM2）のカウンタ値と比較するコンペア動作を行います。

あらかじめ設定されたCR20，CR21の値にTM2のカウンタ値がカウンタ動作によって一致すると、出力制御回路に一致信号を送ります。同時に割り込み要求信号（INTC20，INTC21）を発生します。

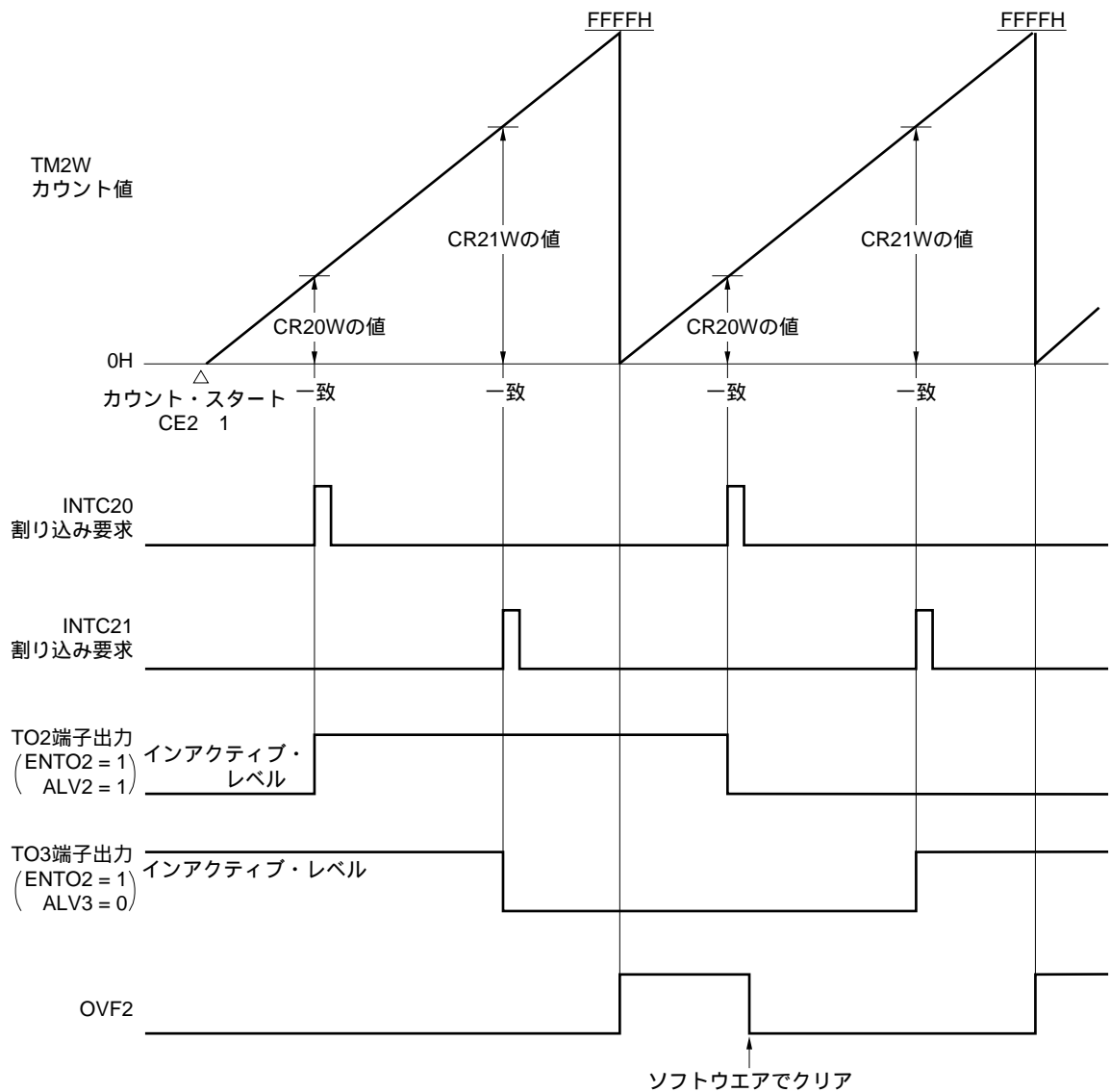
また、CR20またはCR21の値と一致後、TM2の内容をクリアすることができ、CR20，またはCR21に設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図11 - 15 8ビット動作モード時のコンペア動作



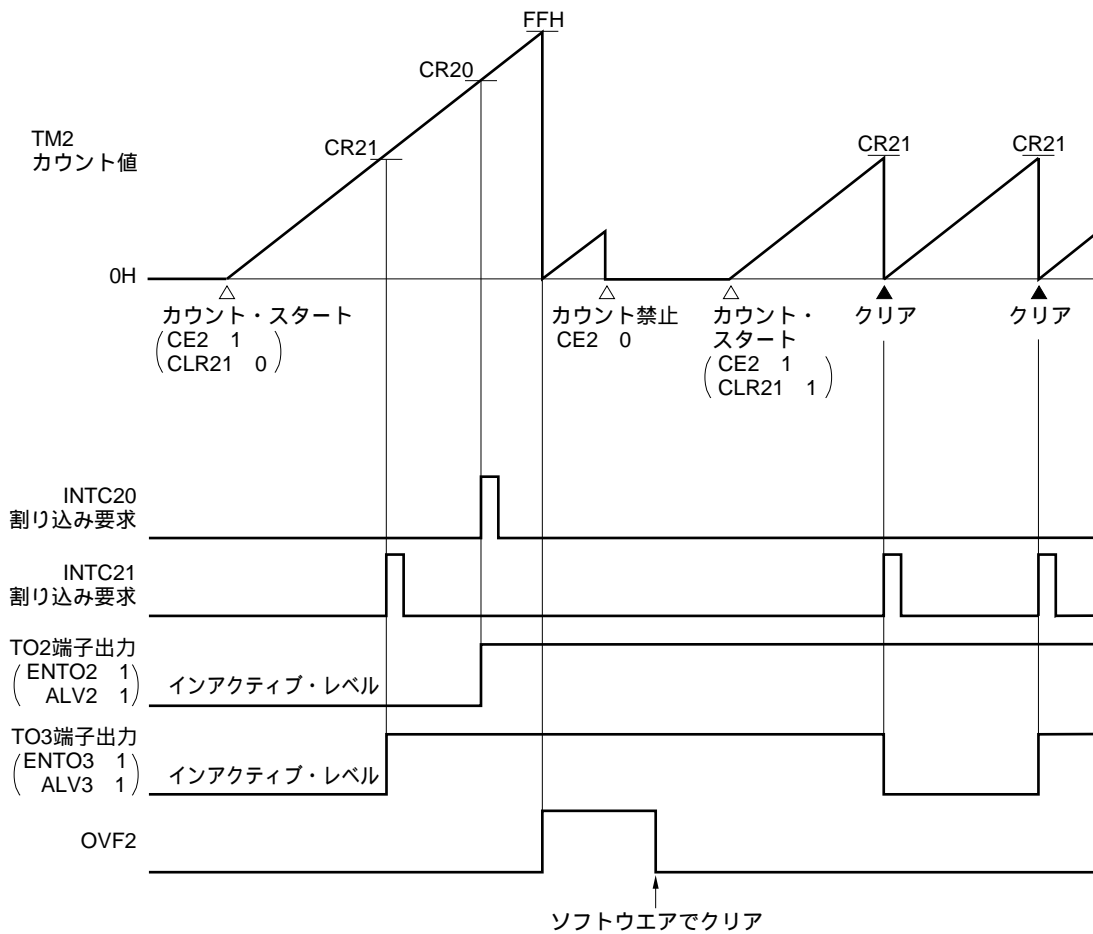
備考 CLR21 = 0, CLR22 = 0, BW2 = 0

図11 - 16 16ビット動作モード時のコンペア動作



備考 CLR21 = 0, CLR22 = 0, BW2 = 1

図11-17 一致検出後、TM2のクリア



備考 CLR22 = 0

11.7.2 キャプチャ動作

タイマ/イベント・カウンタ2は、外部トリガに同期してタイマ・カウンタ2 (TM2) のカウント値をキャプチャ・レジスタに取り込み、保持するキャプチャ動作を行います。

外部トリガとして、外部割り込み要求入力端子 (INTP1, INTP2) の入力から検出された有効エッジをします (キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中のTM2のカウント値をINTP1に同期してキャプチャ・レジスタ (CR22) に、INTP2に同期してキャプチャ動作に指定したキャプチャ/コンペア・レジスタ (CR21) に取り込み、保持します。

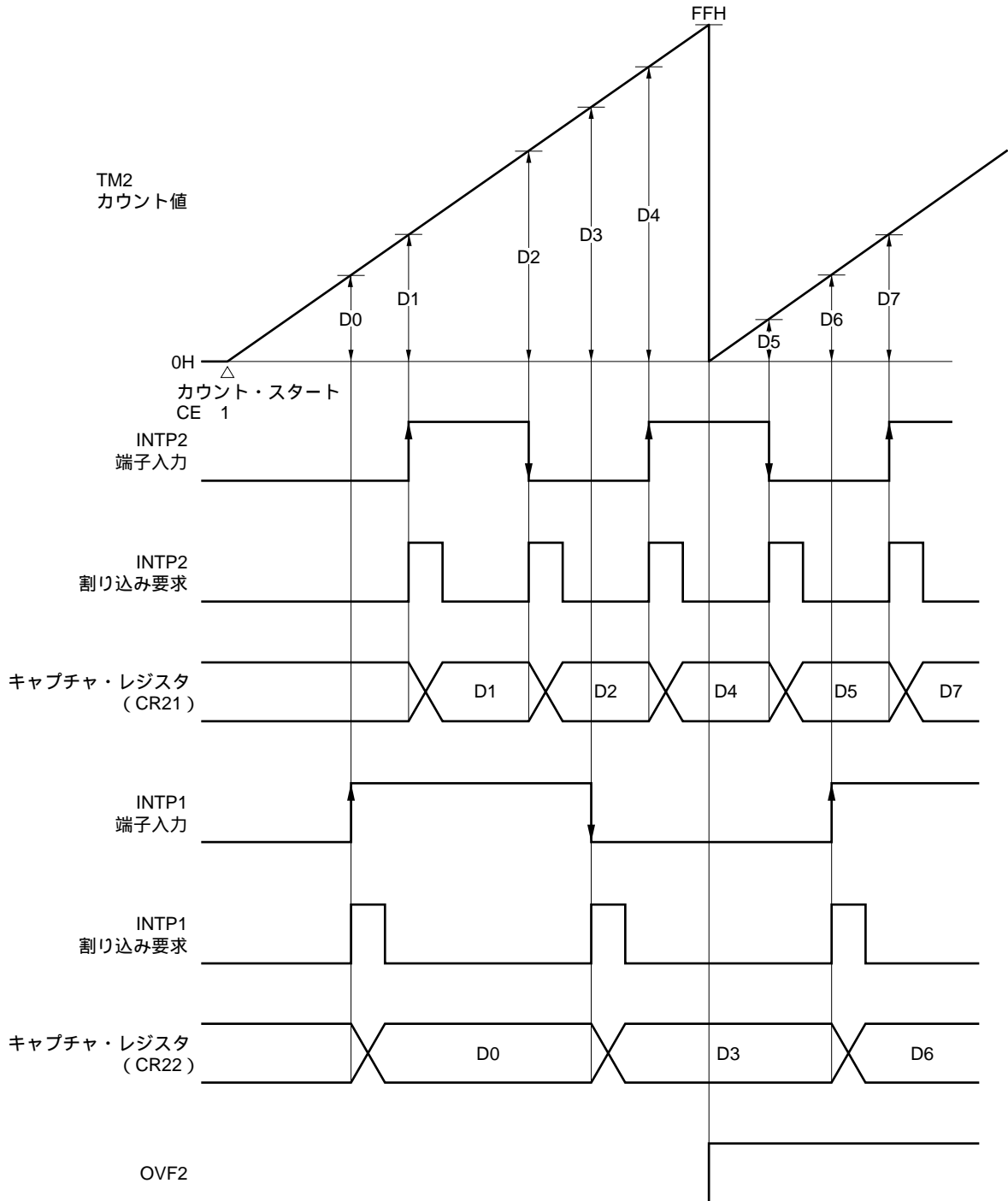
CR21, CR22のそれぞれに対応した次のキャプチャ・トリガが発生するまで、CR21, CR22の内容は保持されます。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ0 (INTM0) により設定します。立ち上がり、立ち下がりの両エッジがキャプチャ・トリガとなるように設定すれば、外部からの入力パルス幅を測定することができます。また、片エッジでキャプチャ・トリガを発生させた場合、入力パルスの周期を測定することができます。

INTM0の詳細なフォーマットは、図22 - 1を参照してください。

また、CR21をキャプチャ・レジスタとして使用した場合、キャプチャ・トリガによりTM2の内容をCR21またはCR22にキャプチャすると同時にTM2をクリアすることが設定可能です。

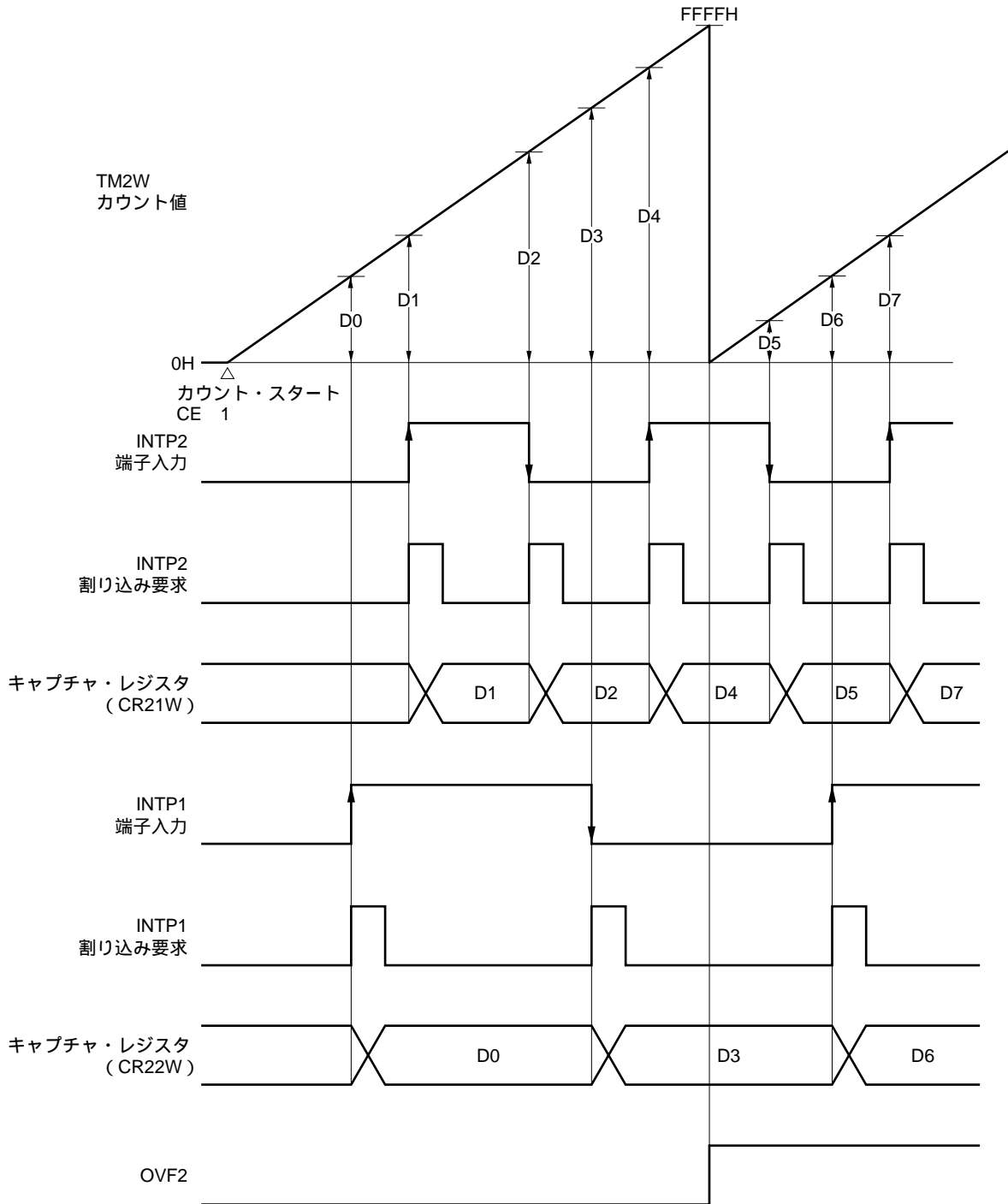
図11 - 18 8ビット動作モード時のキャプチャ動作



備考 Dn : TM2のカウント値 (n = 0, 1, 2, ...)

CM21 = 1, CLR21 = 0, CLR22 = 0, BW2 = 0

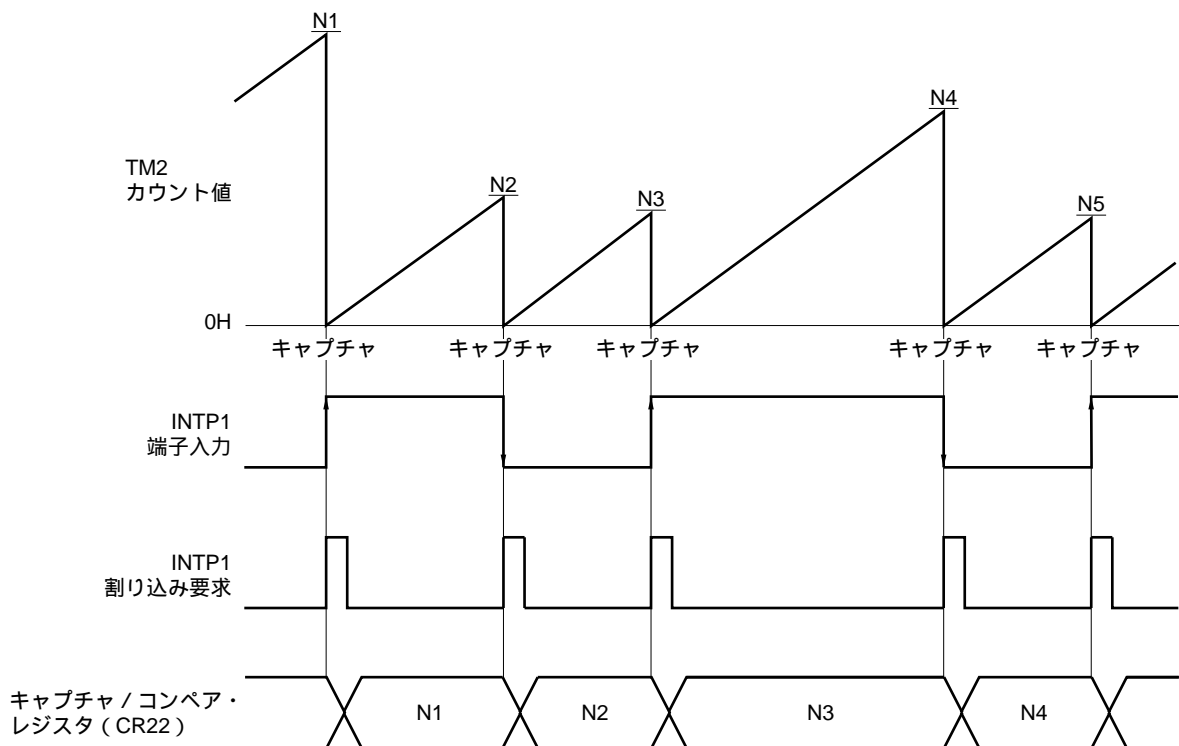
図11 - 19 16ビット動作モード時のキャプチャ動作



備考 Dn : TM2Wのカウント値 (n = 0 , 1 , 2 , ...)

CM21 = 1 , CLR21 = 0 , CLR22 = 0 , BW2 = 0

図11 - 20 キャプチャ後，TM2のクリア



備考 CLR21 = 0, CLR22 = 1

11.8 出力制御回路の基本動作

出力制御回路は，コンペア・レジスタ（CR22）からの一致信号によって，タイマ出力端子（TO2，TO3）のレベルを制御します。出力制御回路の動作は，タイマ出力コントロール・レジスタ（TOC）とキャプチャ/コンペア・コントロール・レジスタ2（CRC2）によって決定されます（表11 - 5参照）。なお，TO2，TO3信号の端子への出力は，ポート3モード・レジスタ（PMC3）で該当する端子がコントロール・モードになっている必要があります。

表11 - 5 タイマ出力 (TO2, TO3) の動作

TOC				CRC2				TMC1	TO3	TO2
ENTO3	ALV3	ENTO2	ALV2	MOD1	MOD0	CLR22	CLR21	CMD2		
0	0/1	0	0/1	×	×	×	×	×	ハイ/ロウ・レベル固定	ハイ/ロウ・レベル固定
0	0/1	1	0/1	0	0	×	×	×	ハイ/ロウ・レベル固定	トグル出力 (ロウ/ハイ・アクティブ)
1	0/1	0	0/1	0	0	×	×	×	トグル出力 (ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	1	0/1	0	0	×	×	×	トグル出力 (ロウ/ハイ・アクティブ)	トグル出力 (ロウ/ハイ・アクティブ)
0	0/1	1	0/1	0	1	0	0	0	ハイ/ロウ・レベル固定	PWM出力 (ハイ/ロウ・アクティブ)
1	0/1	0	0/1	0	1	0	0	0	トグル出力 (ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	1	0/1	0	1	0	0	0	トグル出力 (ロウ/ハイ・アクティブ)	PWM出力 (ハイ/ロウ・アクティブ)
0	0/1	1	0/1	1	0	0	0	0	ハイ/ロウ・レベル固定	PWM出力 (ハイ/ロウ・アクティブ)
1	0/1	0	0/1	1	0	0	0	0	PWM出力 (ハイ/ロウ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	1	0/1	1	0	0	0	0	PWM出力 (ハイ/ロウ・アクティブ)	PWM出力 (ハイ/ロウ・アクティブ)
0	0/1	1	0/1	1	1	0	1	0	ハイ/ロウ・レベル固定	PPG出力 (ハイ/ロウ・アクティブ)
1	0/1	0	0/1	1	1	0	1	0	トグル出力 (ロウ/ハイ・アクティブ)	ハイ/ロウ・レベル固定
1	0/1	1	0/1	1	1	0	1	0	トグル出力 (ロウ/ハイ・アクティブ)	PPG出力 (ハイ/ロウ・アクティブ)

注 通常, この場合はCLR22は0とします。

備考1 . ALVn (n = 2, 3) の欄の0/1は, TOn (n = 2, 3) の欄の “ / ” の左右にそれぞれ対応します。

2 . × は0または1を表します。

3 . この表にない組み合わせは, その組み合わせでの使用を禁止しています。

11.8.1 基本動作

タイマ出力コントロール・レジスタ (TOC) のENTOn (n = 2, 3) をセット (1) することにより、キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) のMOD0, MOD1およびCLR21ビットの設定に従ったタイミングでタイマ出力 (TON: n = 2, 3) を変化させることができます。

また、ENTOnをクリア (0) することにより、TONを固定レベルにします。固定されるレベルは、TOCのALVn (n = 2, 3) によって決定されます。ALVnが0のときはハイ・レベルに、ALVnが1のときはロウ・レベルになります。

11.8.2 トグル出力

トグル出力は、コンペア・レジスタ (CR20, CR21) の値がタイマ・カウンタ2 (TM2) の値と一致するたびに出力レベルを反転させる動作モードです。タイマ出力 (TO2) はCR20とTM2の一致によって出力レベルが反転し、タイマ出力 (TO3) はCR21とTM2の一致によって出力レベルが反転します。

なお、タイマ・コントロール・レジスタ1 (TMC1) のCE2ビットをリセット (0) して、タイマ/イベント・カウンタ2を停止させると、インアクティブ・レベル (\overline{ALVn} : n = 0, 1) を出力します。

図11-21 トグル出力の動作

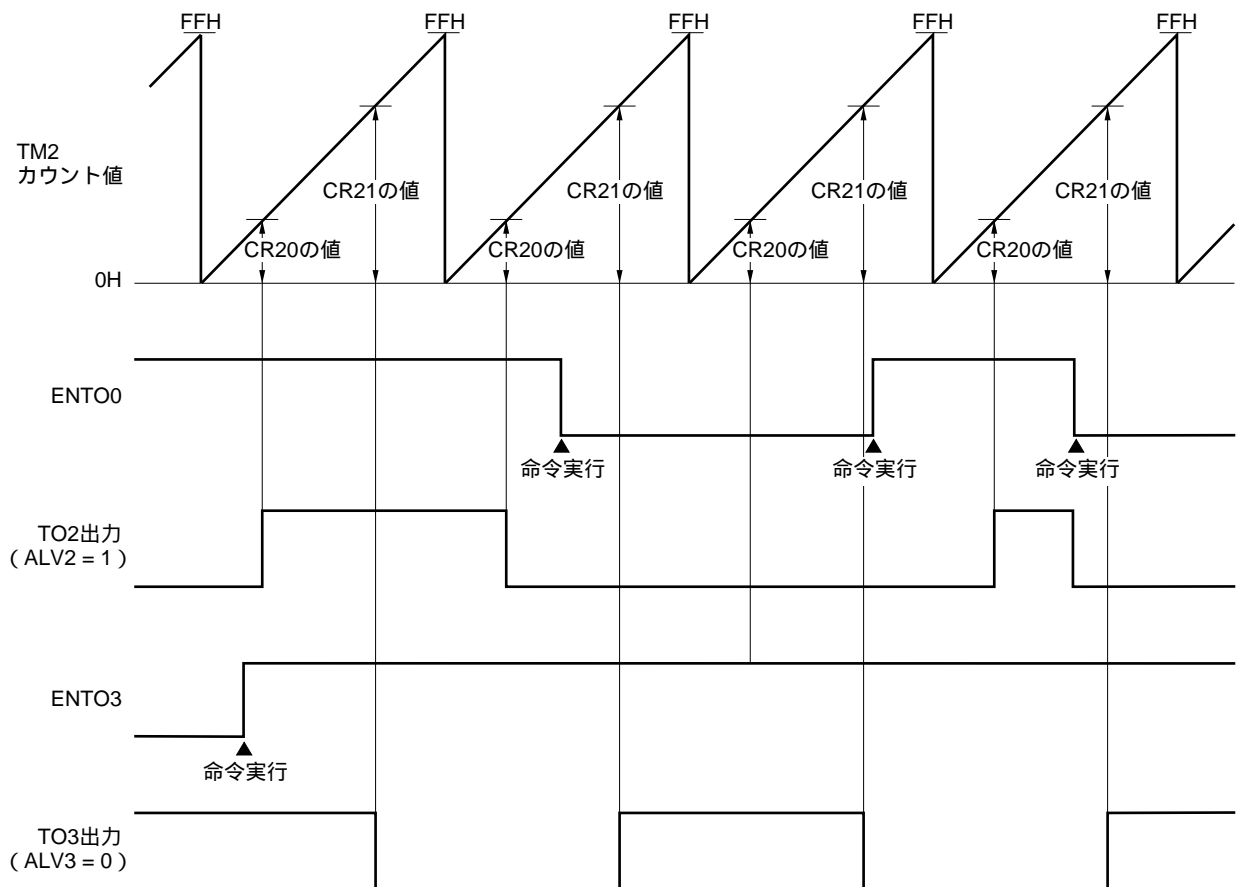


表11 - 6 TO2, TO3のトグル出力 ($f_{xx} = 12.58 \text{ MHz}$)

カウント・クロック	最小パルス幅	最大パルス幅
$f_{xx}/4$ (0.32 μs)	$4/f_{xx}$ (0.32 μs)	$2^{16} \times 4/f_{xx}$ (20.8 ms)
$f_{xx}/8$ (0.64 μs)	$8/f_{xx}$ (0.64 μs)	$2^{16} \times 8/f_{xx}$ (41.7 ms)
$f_{xx}/16$ (1.27 μs)	$16/f_{xx}$ (1.27 μs)	$2^{16} \times 16/f_{xx}$ (83.4 ms)
$f_{xx}/32$ (2.54 μs)	$32/f_{xx}$ (2.54 μs)	$2^{16} \times 32/f_{xx}$ (167 ms)
$f_{xx}/64$ (5.09 μs)	$64/f_{xx}$ (5.09 μs)	$2^{16} \times 64/f_{xx}$ (333 ms)
$f_{xx}/128$ (10.17 μs)	$128/f_{xx}$ (10.17 μs)	$2^{16} \times 128/f_{xx}$ (667 ms)
$f_{xx}/256$ (20.35 μs)	$256/f_{xx}$ (20.35 μs)	$2^{16} \times 256/f_{xx}$ (1.33 s)
$f_{xx}/512$ (40.70 μs)	$512/f_{xx}$ (40.70 μs)	$2^{16} \times 512/f_{xx}$ (2.67 s)
$f_{xx}/1024$ (81.40 μs)	$1024/f_{xx}$ (81.40 μs)	$2^{16} \times 1024/f_{xx}$ (5.33 s)

11.8.3 PWM出力

(1) PWM出力の基本動作

タイマ・カウンタ2 (TM2) がフルカウントする期間を1周期とするPWM信号を出力するモードです。タイマ出力 (TO2) のパルス幅は、コンペア・レジスタ (CR20) の値によって決定され、タイマ出力 (TO3) のパルス幅は、コンペア・レジスタ (CR21) の値によって決定されます。この機能を使用する場合は、キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) のCLR21ビットおよびCLR22ビットを0に、また、タイマ・コントロール・レジスタ1 (TMC1) のCMD2ビットを0にする必要があります。

パルス周期とパルス幅は、次のようになります。

(a) BW2 = 0 のとき

- ・ PWM周期 = $256 \times x / f_{xx}$
- ・ PWMパルス幅 = $CR2n \times x / f_{xx}$ ^注; x = 4, 8, 16, 32, 64, 128, 256, 512, 1024

注 CR2nには0は設定できません。

$$\cdot \text{デューティ} = \frac{\text{PWMパルス幅}}{\text{PWM}} = \frac{CR2n}{256}$$

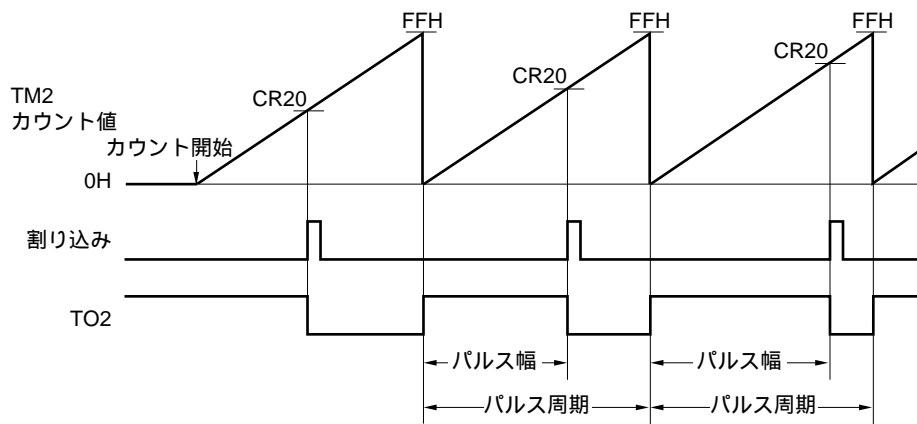
(b) BW2 = 1 のとき

- ・ PWM周期 = $65536 \times x / f_{xx}$
- ・ PWMパルス幅 = $CR2n \times x / f_{xx}$ ^注; x = 4, 8, 16, 32, 64, 128, 256, 512, 1024

注 CR2nには0は設定できません。

$$\cdot \text{デューティ} = \frac{\text{PWMパルス幅}}{\text{PWM周期}} = \frac{CR2n}{65536}$$

図11 - 22 PWMパルス出力 (BW2 = 0)

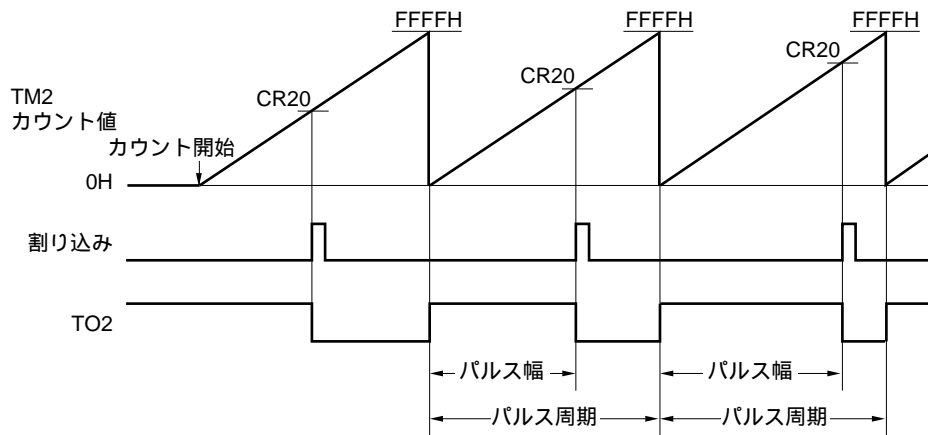


備考 ALV2 = 0

表11 - 7 TO2, TO3のPWM周期 (f_{xx} = 12.58 MHz, BW2 = 0)

カウント・クロック	最小パルス幅 [μs]	PWM周期 [ms]	PWM周波数 [Hz]
f _{xx} /4	0.32	0.08	12286
f _{xx} /8	0.64	0.16	6143
f _{xx} /16	1.27	0.33	3071
f _{xx} /32	2.54	0.65	1536
f _{xx} /64	5.09	1.30	768
f _{xx} /128	10.17	2.60	384
f _{xx} /256	20.35	5.21	192
f _{xx} /512	40.70	10.42	96
f _{xx} /1024	81.40	20.84	48

図11 - 23 PWMパルス出力 (BW2 = 1)



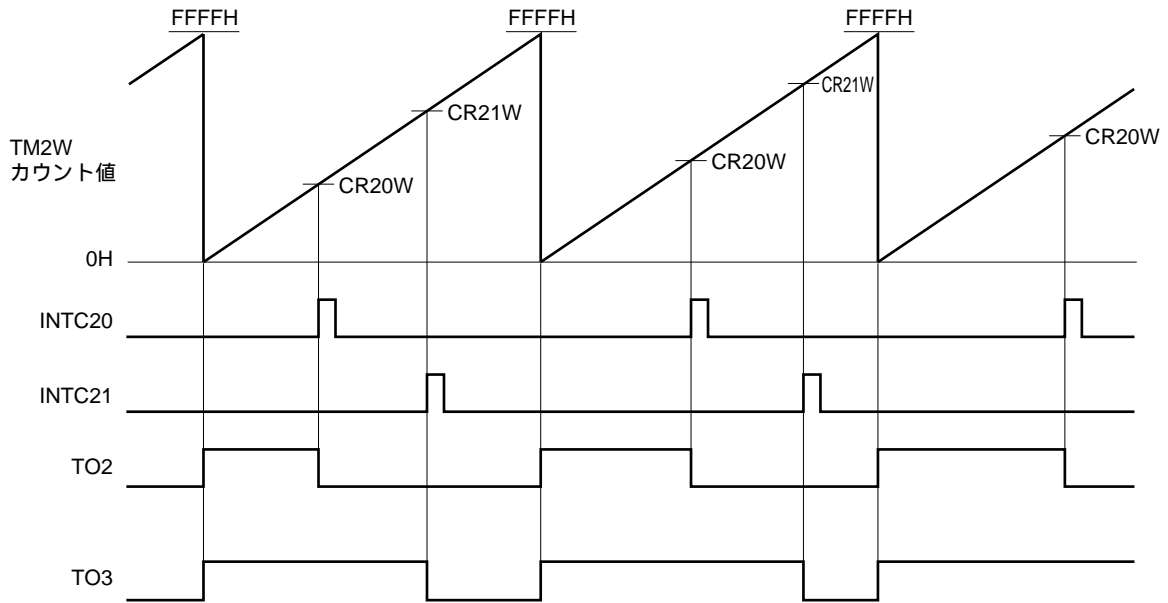
備考 ALV2 = 0

表11 - 8 TO2, TO3のPWM周期 ($f_{xx} = 12.58 \text{ MHz}$, BW2 = 1)

カウント・クロック	最小パルス幅 [μs]	PWM周期 [s]	PWM周波数 [Hz]
$f_{xx}/4$	0.32	0.02	47.6
$f_{xx}/8$	0.64	0.04	23.8
$f_{xx}/16$	1.27	0.08	12.0
$f_{xx}/32$	2.54	0.17	6.0
$f_{xx}/64$	5.09	0.33	3.0
$f_{xx}/128$	10.17	0.67	1.5
$f_{xx}/256$	20.35	1.33	0.7
$f_{xx}/512$	40.70	2.67	0.4
$f_{xx}/1024$	81.40	5.33	0.2

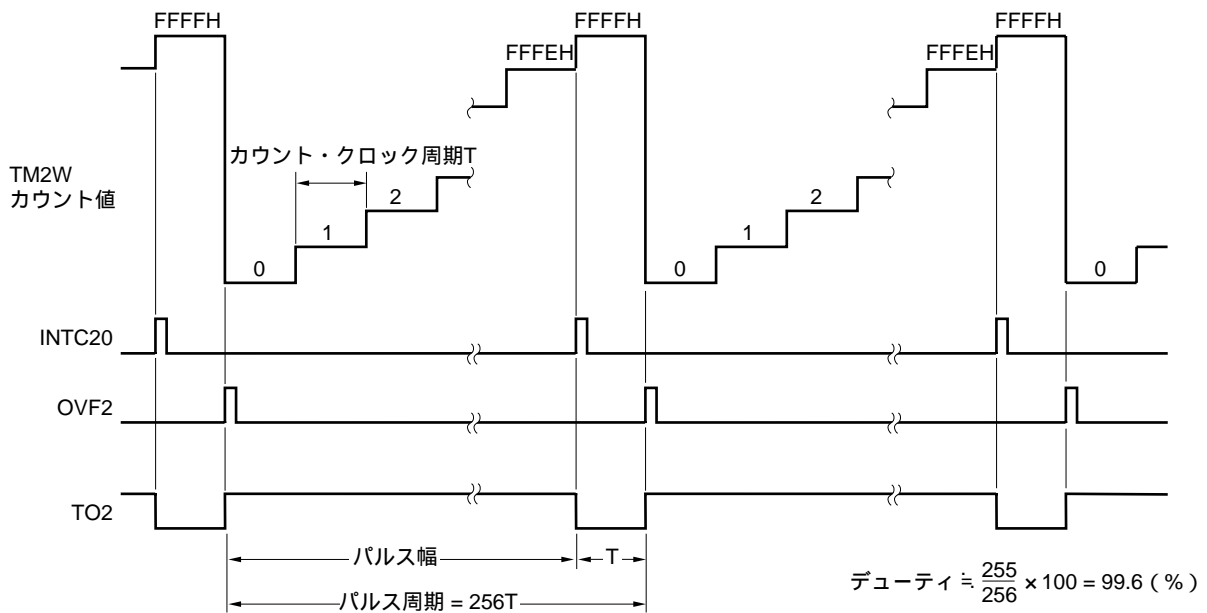
図11 - 24は、2チャンネルのPWM出力の例です。また、図11 - 25は、CR20WにFFFFHを設定した場合の動作です。

図11 - 24 TM2Wを用いたPWM出力例



備考 ALV2 = 0 , AVL3 = 0

図11 - 25 CR20W = FFFFHのときのPWM出力例



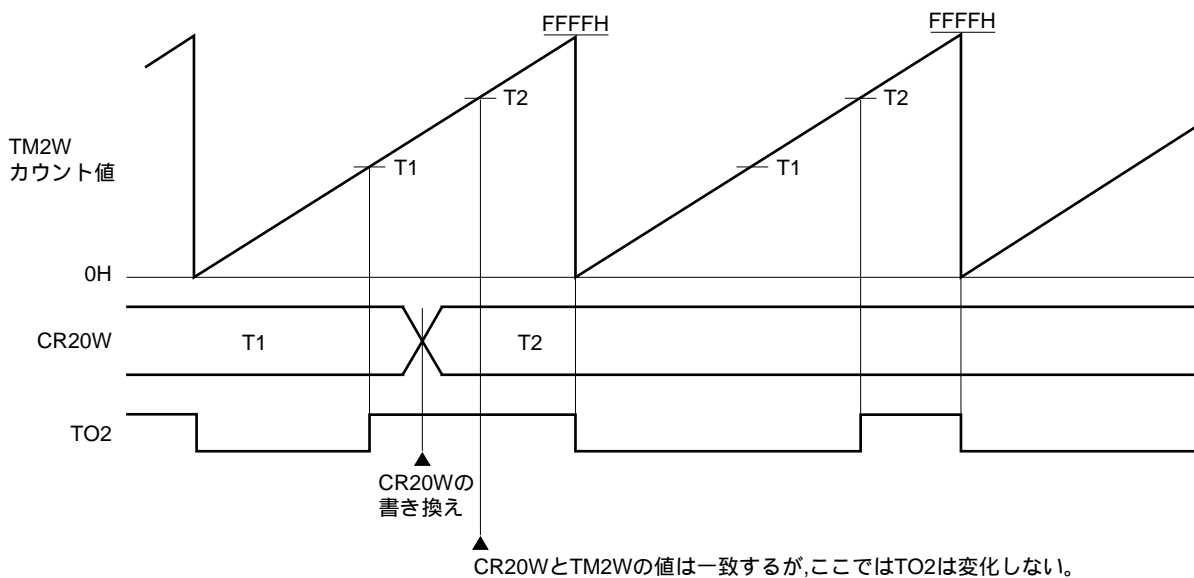
備考 1 . ALV2 = 0

2 . $T = x/f_{xx}$ ($x = 4, 8, 16, 32, 64, 128, 256, 512, 1024$)

(2) コンペア・レジスタ (CR20, CR21) の書き換え

PWM出力の1周期の期間中に、二度以上CR2n (n = 0, 1) の値がタイマ・カウンタ2 (TM2) の値と一致しても、タイマ出力 (TON+ 2 : n+ 2=2, 3) の出力レベルは反転しません。

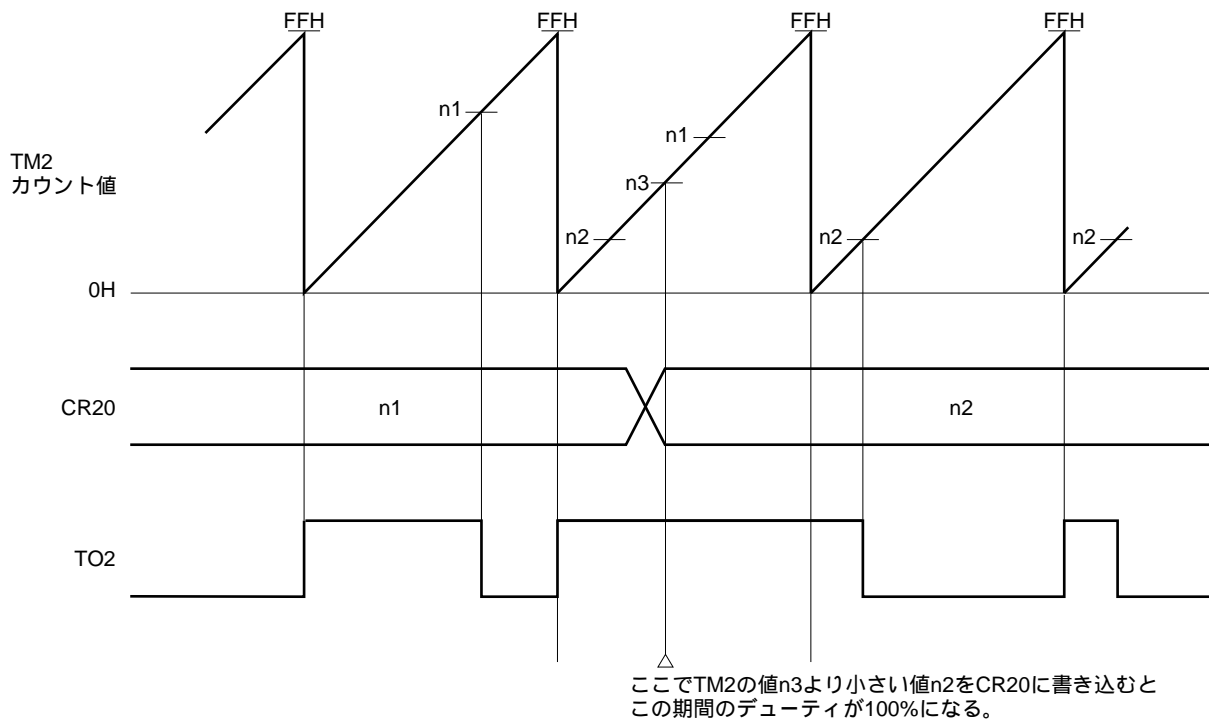
図11 - 26 コンペア・レジスタ (CR20W) の書き換え例



備考 ALV2 = 1

しかし、CR2nの値をTM2より小さい値に設定すると、デューティ100%のPWM信号が出力されてしまいます。CR2nの書き換えはTM2と書き換えを行うCR2nとの一致による割り込みで行ってください。

図11 - 27 PWM出力時にデューティが100%になる例

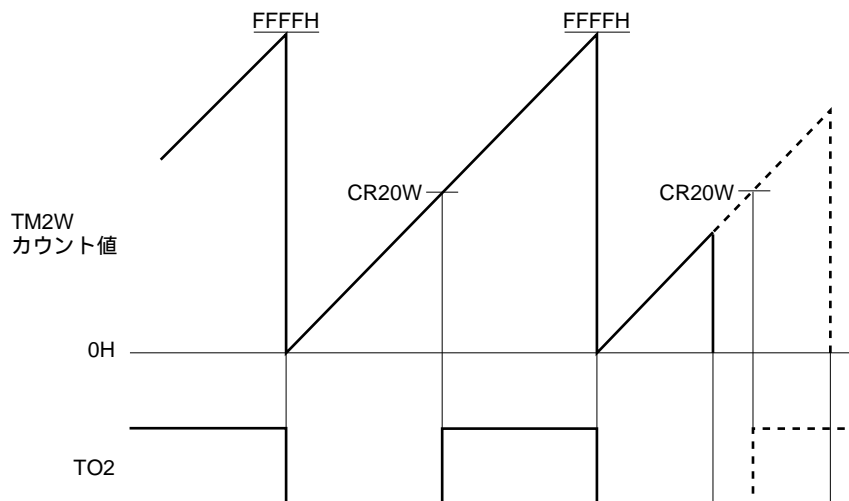


備考 ALV2 = 0

(3) PWM出力の停止

PWM信号出力中に、タイマ・コントロール・レジスタ1 (TMC1) のCE2ビットをクリア (0) してタイマ/イベント・カウンタ2を停止させると、停止時の出力レベルをそのまま保持します。

図11 - 28 PWM信号出力中にタイマ/イベント・カウンタ2を停止した場合



備考 ALV2 = 1

注意 タイマ出力禁止時 (ENTOn = 0 : n = 2, 3) のTON (n = 2, 3) 端子の出力レベルは、ALVn (n = 2, 3) ビットに設定した値の反転値となります。したがって、PWM出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

11.8.4 PPG出力

(1) PPG出力の基本動作

コンペア・レジスタ CR21の値で決まる時間を1周期とし、コンペア・レジスタ CR20の値で決まる時間をパルス幅とする矩形波を出力する機能です。PWM出力のPWM周期を可変にしたものです。この出力は、タイマ出力 (TO2) からのみ出力することができます。

この機能を使用する場合は、キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) のCLR21ビットを1に、またCLR22ビットを0に、タイマ・コントロール・レジスタ1 (TMC1) のCMD2ビットを0にする必要があります。

パルス周期とパルス幅は、次のようになります。

$$\cdot \text{PPG周期} = (\text{CR21} + 1) \times x / f_{xx}; x = 4, 8, 16, 32, 64, 128, 256, 512, 1024$$

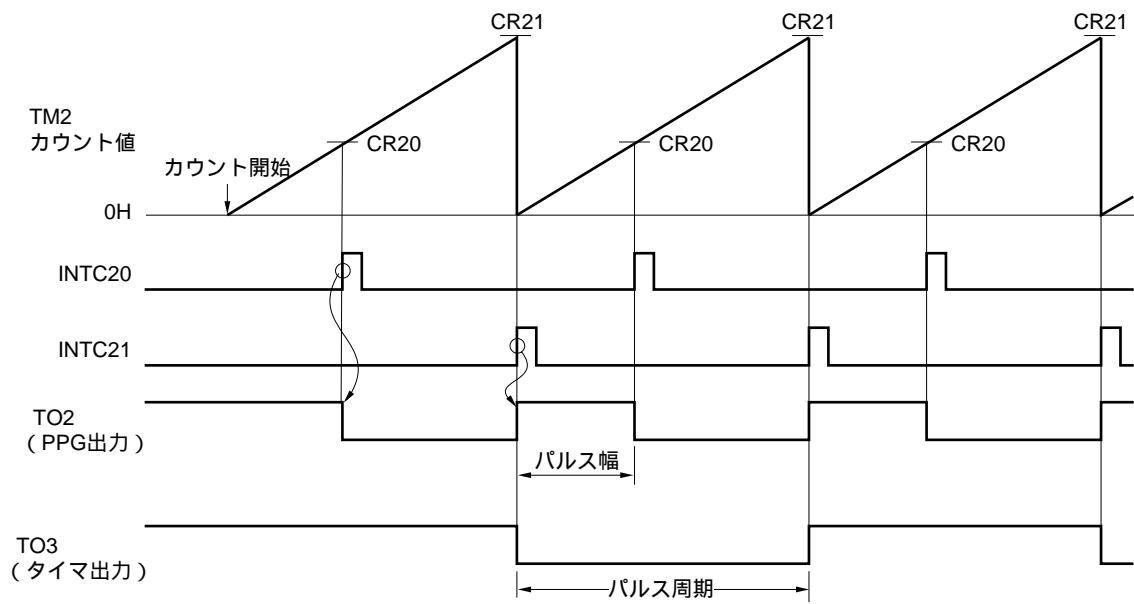
$$\cdot \text{PPGパルス幅} = \text{CR20} \times x / f_{xx}$$

ただし、 $1 \leq \text{CR20} \leq \text{CR21}$

$$\cdot \text{デューティ} = \frac{\text{PPGパルス幅}}{\text{PPG周期}} = \frac{\text{CR20}}{\text{CR21} + 1}$$

図11 - 29は、タイマ・カウンタ2 (TM2) を用いたPPG出力の例です。また、図11 - 30はCR20 = CR21に設定した場合の例です。

図11 - 29 TM2を用いたPPG出力例

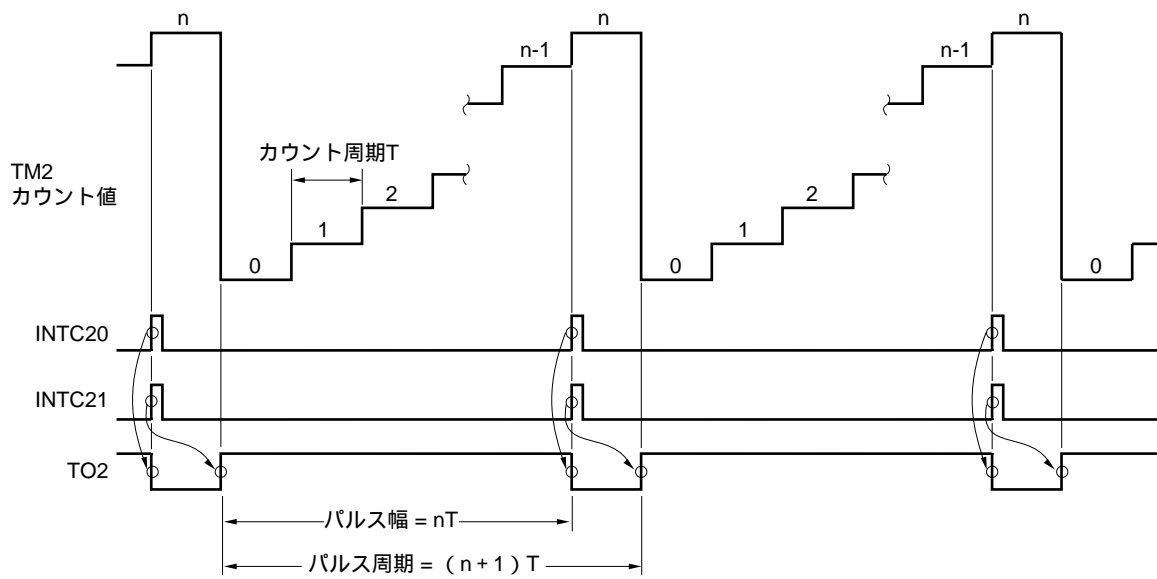


備考 ALV2 = 0 , ALV3 = 0

表11 - 9 TO2のPPG出力 ($f_{xx} = 12.58 \text{ MHz}$)

カウント・クロック	最小パルス幅 [μs]	PPG周期 [s]	PPG周波数 [Hz]
$f_{xx}/4$	0.32	$0.64 \mu\text{s} - 20.84 \text{ ms}$	$1572 \text{ kHz} - 48.0 \text{ Hz}$
$f_{xx}/8$	0.64	$1.27 \mu\text{s} - 41.68 \text{ ms}$	$786 \text{ kHz} - 24.0 \text{ Hz}$
$f_{xx}/16$	1.27	$2.54 \mu\text{s} - 83.35 \text{ ms}$	$393 \text{ kHz} - 12.0 \text{ Hz}$
$f_{xx}/32$	2.54	$5.09 \mu\text{s} - 166.71 \text{ ms}$	$197 \text{ kHz} - 6.0 \text{ Hz}$
$f_{xx}/64$	5.09	$10.17 \mu\text{s} - 333.41 \text{ ms}$	$98.3 \text{ kHz} - 3.0 \text{ Hz}$
$f_{xx}/128$	10.17	$20.35 \mu\text{s} - 666.82 \text{ ms}$	$49.1 \text{ kHz} - 1.5 \text{ Hz}$
$f_{xx}/256$	20.35	$40.70 \mu\text{s} - 1.33 \text{ s}$	$24.6 \text{ kHz} - 0.7 \text{ Hz}$
$f_{xx}/512$	40.70	$81.40 \mu\text{s} - 2.67 \text{ s}$	$12.3 \text{ kHz} - 0.4 \text{ Hz}$
$f_{xx}/1024$	81.40	$162.80 \mu\text{s} - 5.38 \text{ s}$	$6.1 \text{ kHz} - 0.2 \text{ Hz}$

図11 - 30 CR20 = CR21のときのPPG出力例



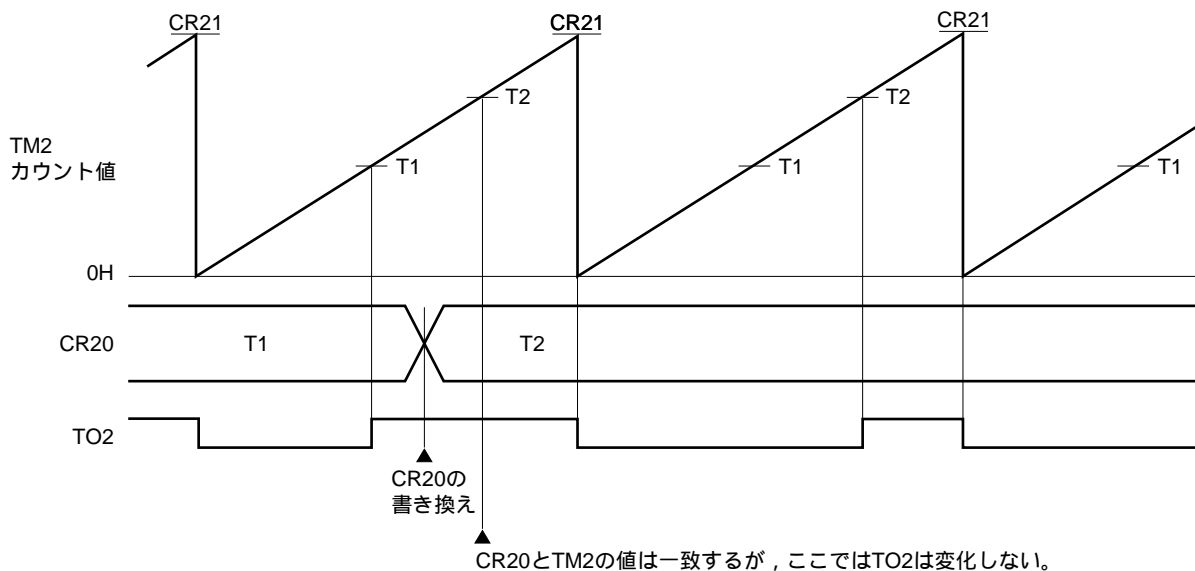
備考 ALV2 = 0

$$T = x/f_{xx} \quad (x = 4, 8, 16, 32, 64, 128, 256, 512, 1024)$$

(2) コンペア・レジスタ (CR20) の書き換え

PPG出力の1周期の期間中に、二度以上CR20の値がタイマ・カウンタ2 (TM2) の値と一致しても、タイマ出力 (TO2) の出力レベルは変化しません。

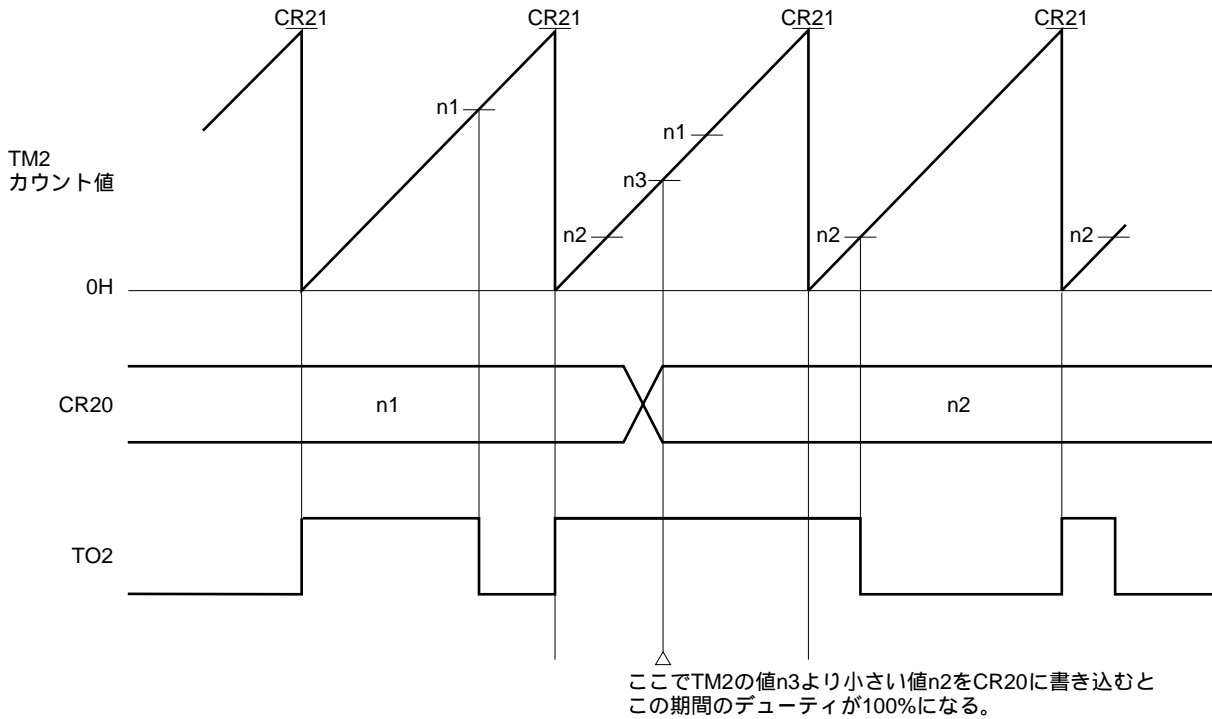
図11 - 31 コンペア・レジスタの書き換え例



備考 ALV2 = 1

しかし、CR20とTM2が一致するより前にCR20にTM2以下の値を書き込むと、そのPPG周期のデューティが100%になってしまいます。CR20の書き換えは、TM2とCR20との一致による割り込みで行うようにするなどしてください。

図11 - 32 PPG出力時にデューティが100%になる例



備考 ALV2 = 0

注意 割り込みの受け付けなどにかかる時間に対して、十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は、TM2とCR20の一致による割り込み処理でCR20の値を書き換えることはできません。ほかの方法（すべての割り込みをマスクして、割り込み要求フラグをソフトウェアでポーリングするなど）を考えてください。

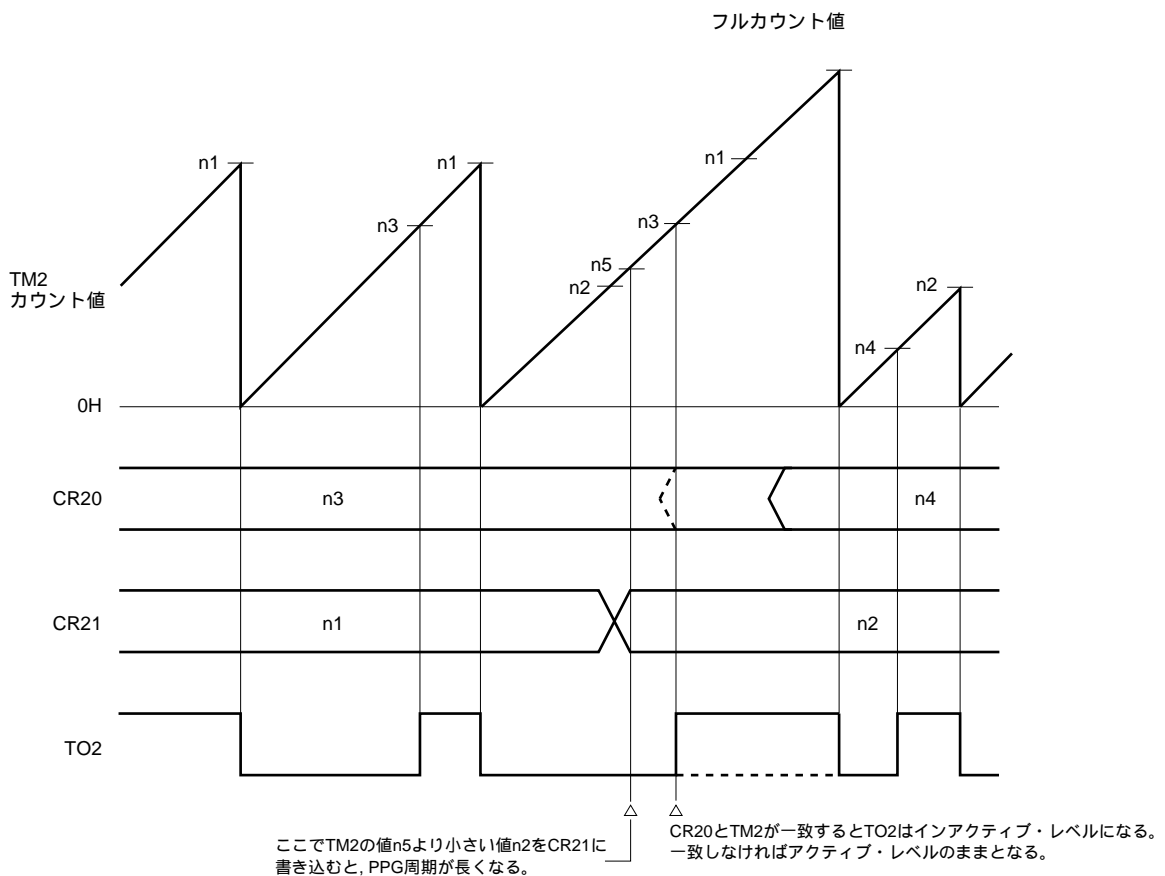
(3) コンペア・レジスタ (CR21) の書き換え

CR21を現在の値より小さい値に変更する場合に、CR21の値をタイマ・カウンタ2 (TM2) の値より小さくすると、そのときのPPG周期がTM2がフルカウントする時間まで長くなってしまいます。このときの出力レベルは、コンペア・レジスタ (CR20) とTM2が一致したあとにCR21を書き換えた場合は、TM2がオーバーフローして0になるまでインアクティブ・レベルとなり、その後、正常なPPG出力に戻ります。

CR20とTM2が一致する前にCR21を書き換えた場合は、CR20とTM2が一致するまでアクティブ・レベルを出力します。TM2がオーバーフローし、0になる前にCR20とTM2が一致した場合は、その時点でインアクティブ・レベルを出力します。TM2がオーバーフローし、0になった時点でアクティブ・レベルを出力し、正常なPPG出力に戻ります。

CR21の書き換えは、TM2とCR21との一致割り込みで行うようにするなどしてください。

図11 - 33 PPG出力の周期が長くなる例



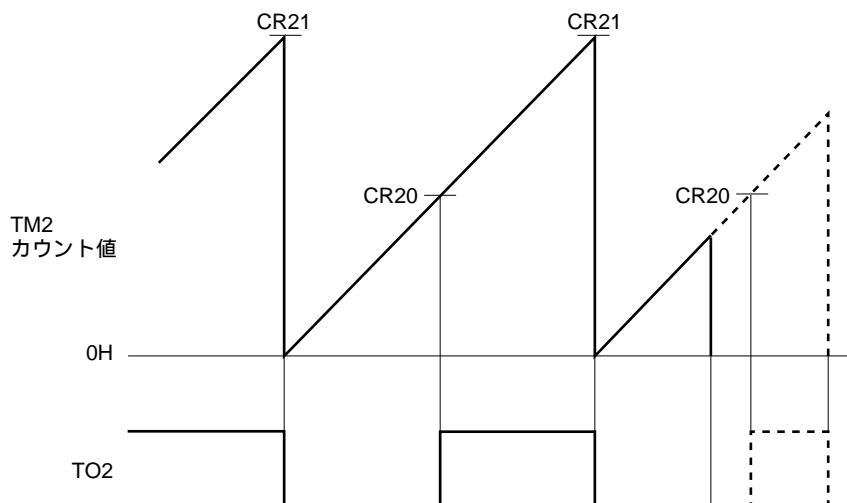
備考 ALV2 = 1

注意 割り込みの受け付けなどにかかる時間に対して、十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は、タイマ・カウンタ2（TM2）とコンペア・レジスタ（CR2n：n = 0, 1）の一致による割り込み処理でCR2nの値を書き換えることはできません。ほかの方法（すべての割り込みをマスクして、割り込み要求フラグをソフトウェアでポーリングするなど）を考えてください。

（4）PPG出力の停止

PPG信号出力中に、タイマ・コントロール・レジスタ1（TMC1）のCE2ビットをクリア（0）してタイマ/イベント・カウンタ2を停止させると、停止時の出力レベルとは無関係に、アクティブ・レベルを出力します。

図11 - 34 PPG信号出力中にタイマ/イベント・カウンタ2を停止した場合



注意 タイマ出力禁止時（ENTOn = 0：n = 2, 3）のTON（n = 2, 3）端子の出力レベルは、ALVn（n = 2, 3）ビットに設定した値の反転値となります。したがって、PPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

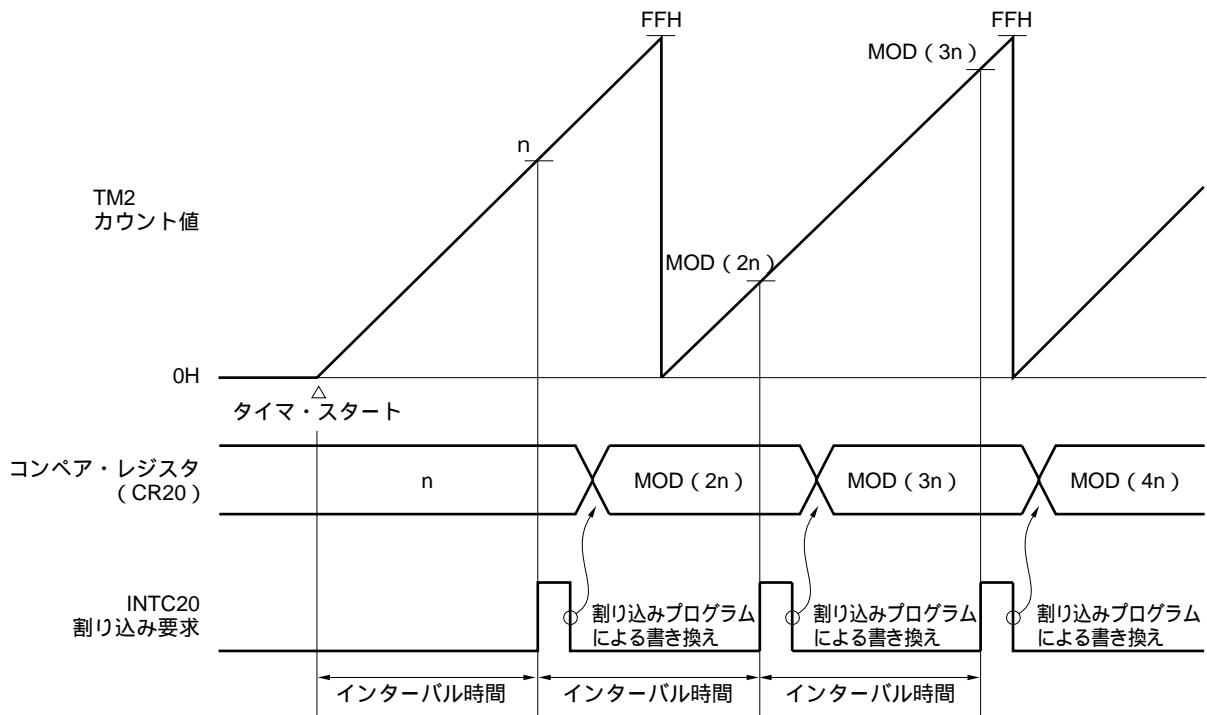
11.9 使用例

11.9.1 インターバル・タイマとしての動作(1)

タイマ・カウンタ2 (TM2) をフリーランニングさせ、割り込み処理ルーチン中でコンペア・レジスタ (CR2n : n = 0, 1) に一定の値を加算することで、加算する一定の値を周期とするインターバル・タイマとして動作します (図11-35参照)。

図11-36に制御レジスタの設定内容、図11-37にその設定手順、図11-38に割り込み処理ルーチン内の処理を示します。

図11-35 インターバル・タイマ動作(1)のタイミング

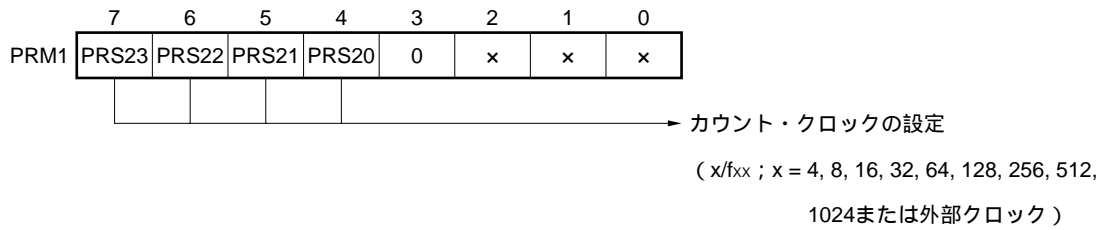


備考 インターバル時間 = $n \times x / f_{xx}$

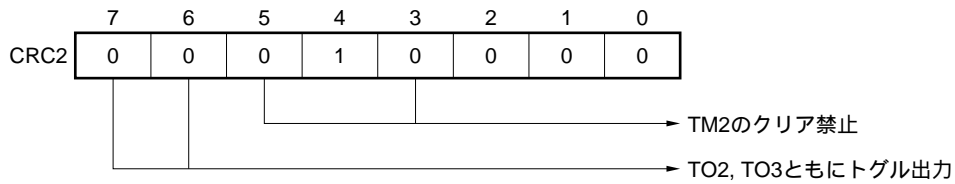
1 n FFH, x = 4, 8, 16, 32, 64, 128, 256, 512, 1024

図11 - 36 インターバル・タイマ動作 (1) における制御レジスタの設定内容

(a) プリスケアラ・モード・レジスタ 1 (PRM1)



(b) キャプチャ/コンペア・コントロール・レジスタ 2 (CRC2)



(c) タイマ・コントロール・レジスタ 1 (TMC1)

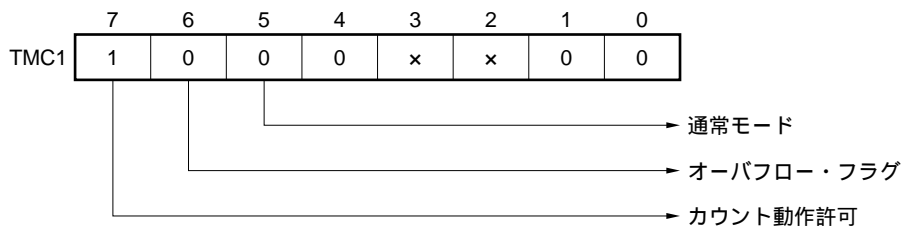


図11 - 37 インターバル・タイマ動作（1）の設定手順

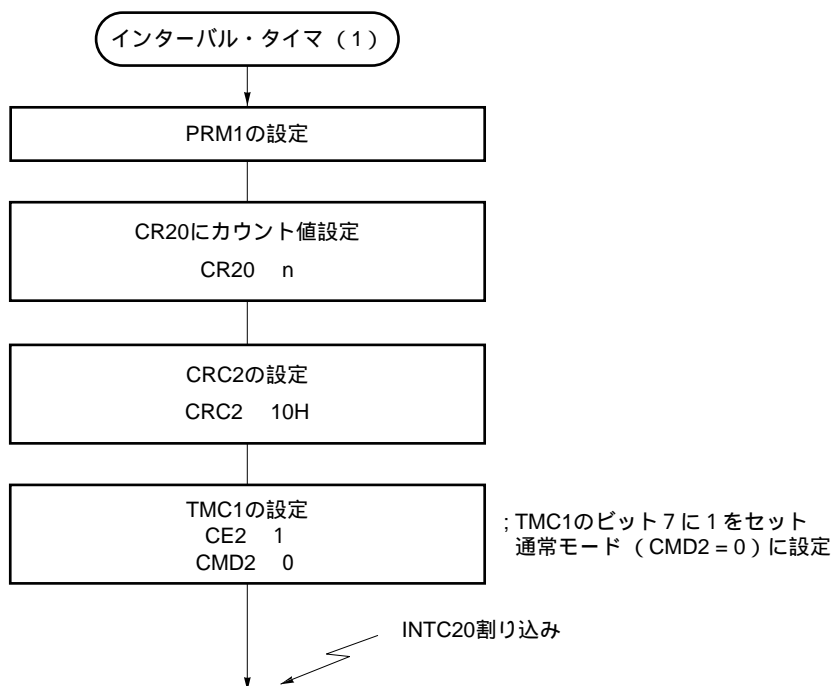
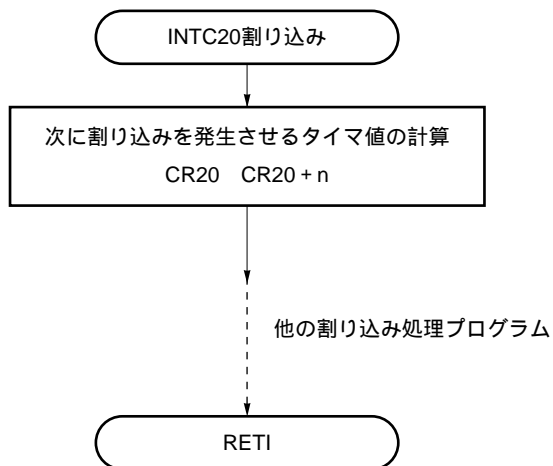


図11 - 38 インターバル・タイマ動作（1）の割り込み要求処理

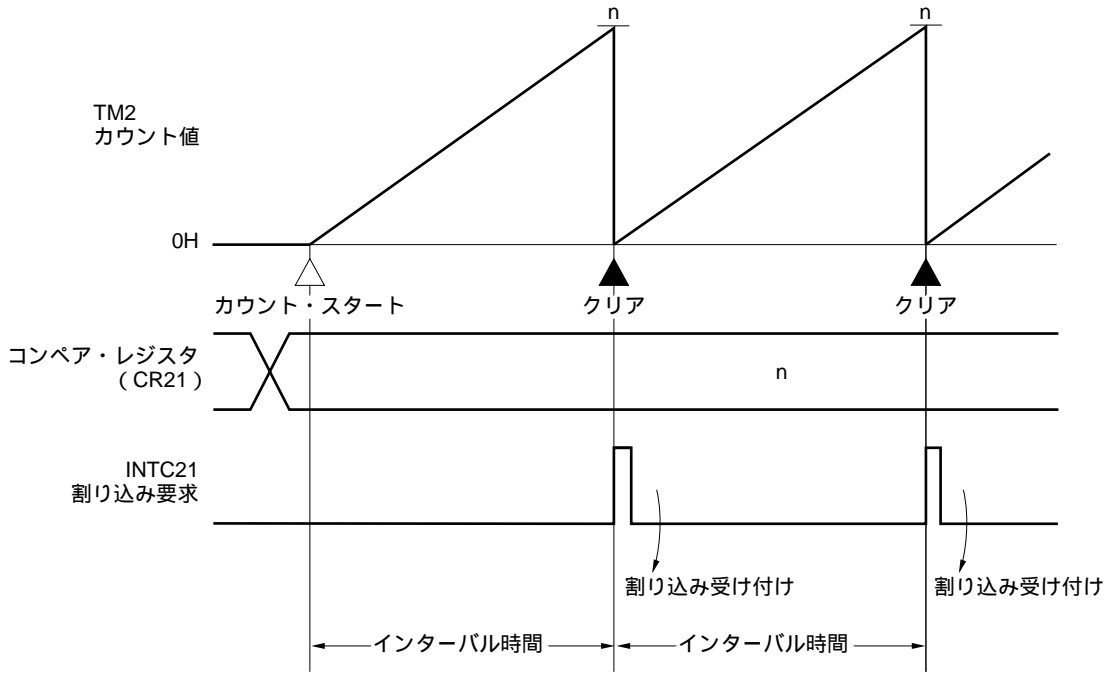


11.9.2 インターバル・タイマとしての動作(2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します(図11-39参照)。

図11-40に制御レジスタの設定内容を, 図11-41にその設定手順を示します。

図11-39 インターバル・タイマ動作(2)のタイミング

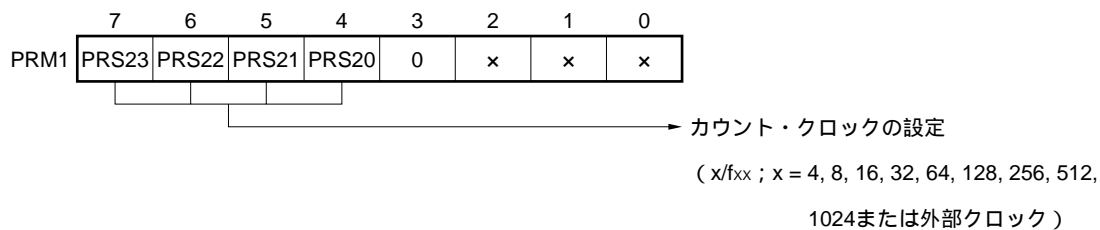


備考 インターバル時間 = (n + 1) × x / f_{xx}

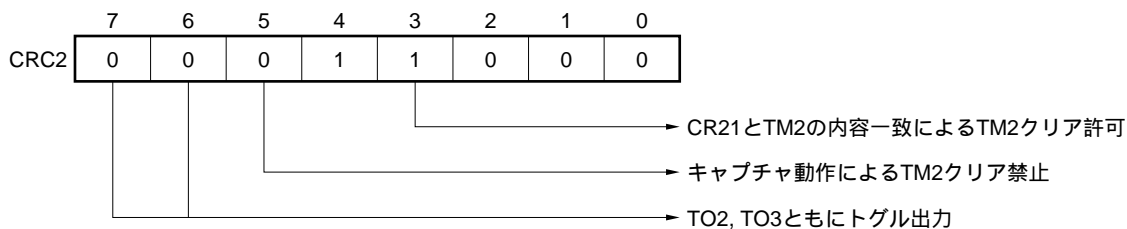
0 n FFH, x = 4, 8, 16, 32, 64, 128, 256, 512, 1024

図11 - 40 インターバル・タイマ動作 (2) の制御レジスタの設定内容

(a) プリスケアラ・モード・レジスタ 1 (PRM1)



(b) キャプチャ/コンペア・コントロール・レジスタ 2 (CRC2)



(c) タイマ・コントロール・レジスタ 1 (TMC1)

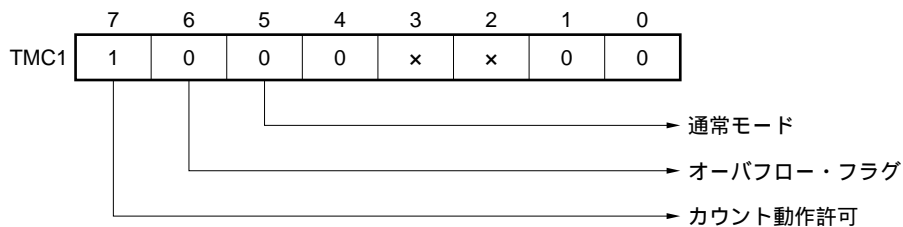
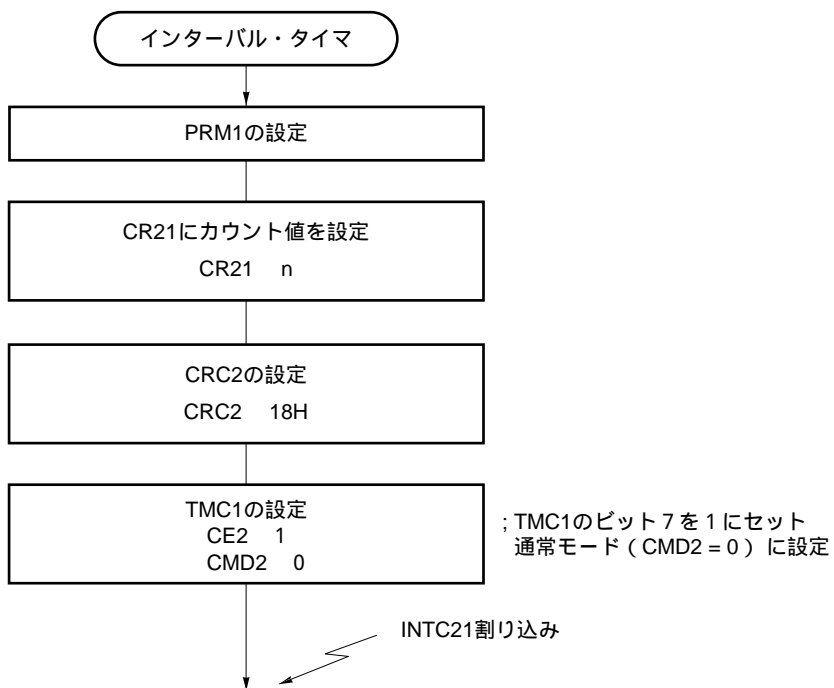


図11 - 41 インターバル・タイマ動作（2）の設定手順



11.9.3 パルス幅測定としての動作

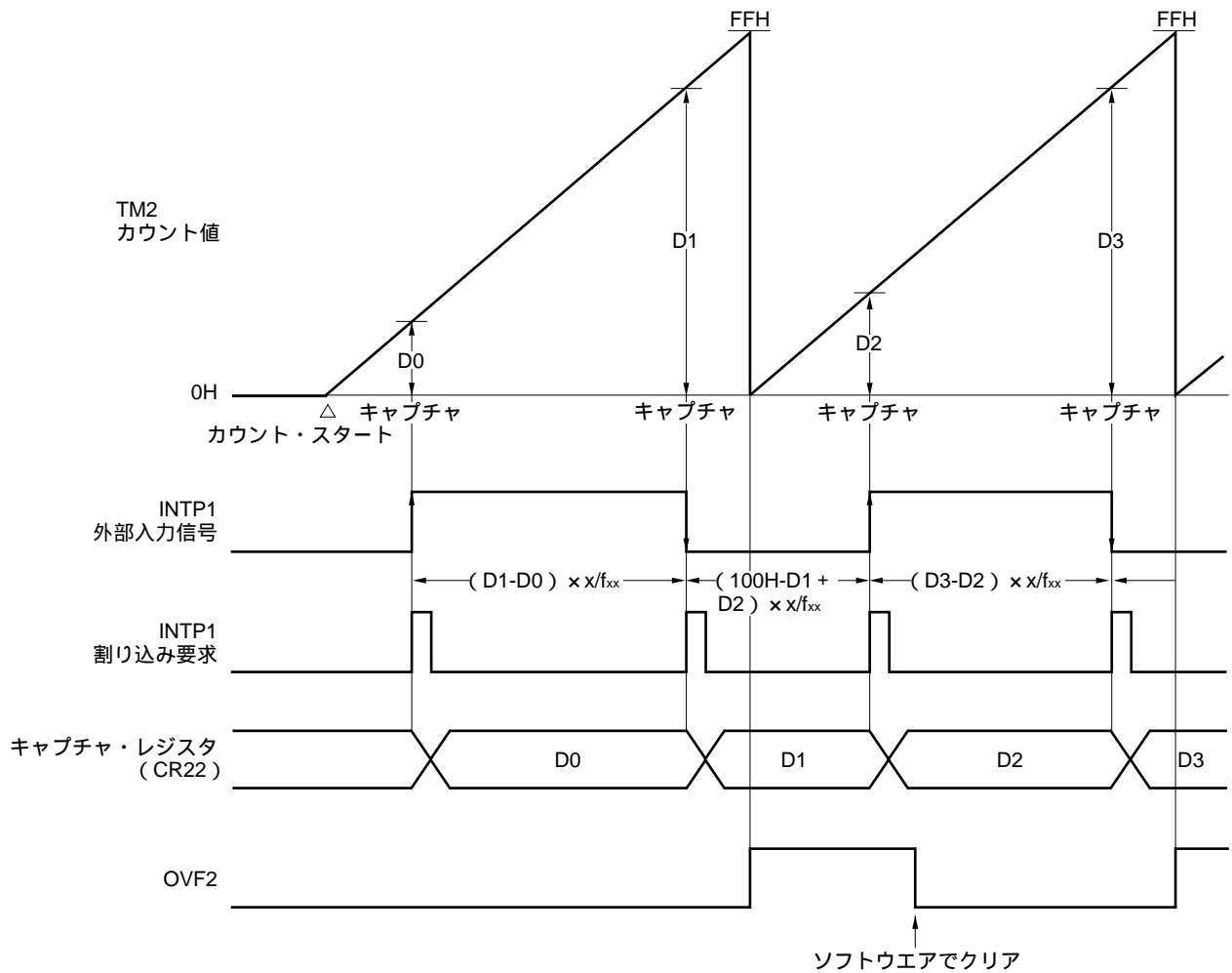
パルス幅測定は、外部割り込み要求入力端子 (INTP1) に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP1端子に入力するパルス幅はハイ・レベル、ロウ・レベルとも3システム・クロック (0.24 μs : f_{CLK} = 12.58 MHz) 以上必要で、これ以下の場合には有効エッジが検出されずキャプチャ動作を行いません。

図11 - 42に示すようにINTP1端子入力の有効エッジ (立ち上がり、立ち下がりの両エッジに指定) に同期して、カウント中のタイマ・カウンタ2 (TM2) の値をキャプチャ・レジスタ (CR22) に取り込み、保持します。パルス幅は、n回目の有効エッジ検出によりCR22に取り込み、保持されているTM2のカウント値 (D_n)とn - 1 回目の有効エッジ検出によるカウント値(D_{n-1})との差の値とカウント・クロック数(x/f_{xx}; x = 4, 8, 16, 32, 64, 128, 256, 521, 1024) との積から求めます。

そのときの制御レジスタの設定内容を図11 - 43に、設定手順を図11 - 44に示します。

図11 - 42 パルス幅測定のタイミング

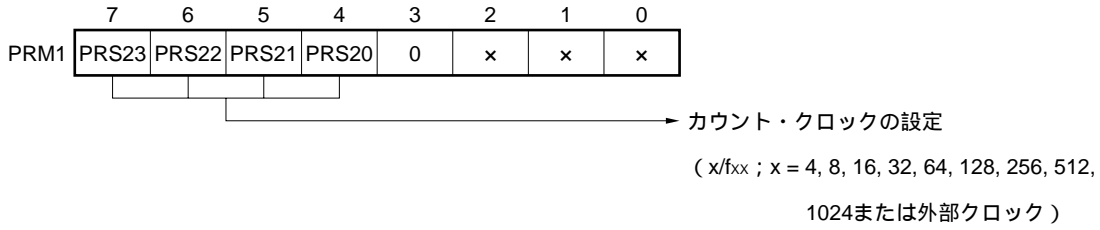


備考 D_n: TM2のカウント値 (n = 0, 1, 2, ...)

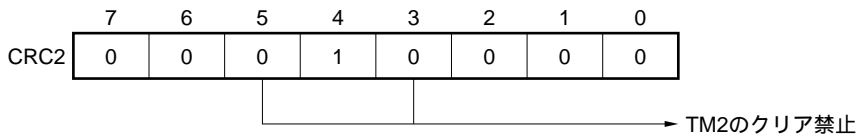
x = 4, 8, 16, 32, 64, 128, 256, 512, 1024

図11 - 43 パルス幅測定の制御レジスタの設定内容

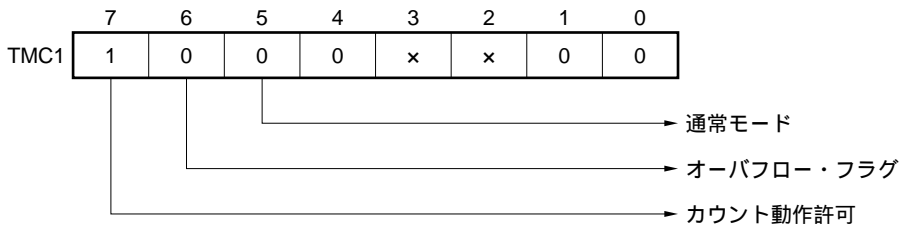
(a) プリスケアラ・モード・レジスタ 1 (PRM1)



(b) キャプチャ/コンペア・コントロール・レジスタ 2 (CRC2)



(c) タイマ・コントロール・レジスタ 1 (TMC1)



(d) 外部割り込みモード・レジスタ 0 (INTM0)

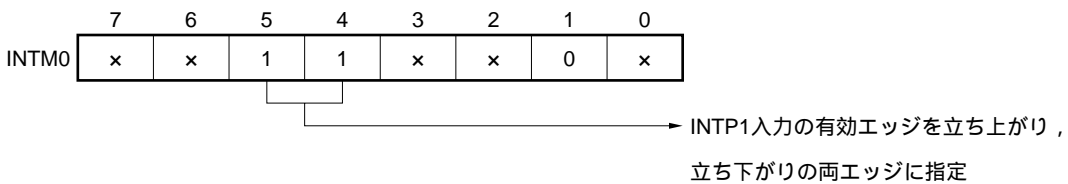


図11 - 44 パルス幅測定の設定手順

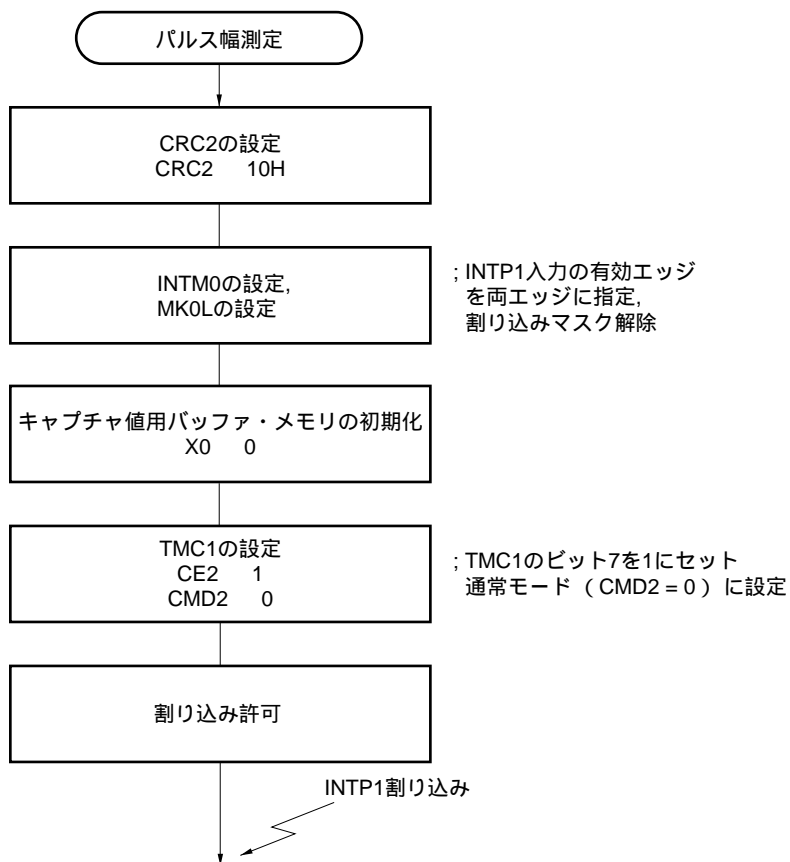
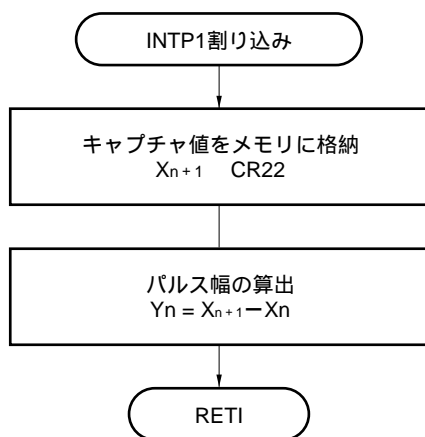


図11 - 45 パルス幅を算出する割り込み要求処理



11.9.4 PWM出力としての動作

PWM出力は、コンペア・レジスタ (CR2n : n = 0 , 1) に設定した値で決まるデューティ比のパルスを出力します (図11 - 46参照) 。

このPWM出力は、1/256-255/256のデューティ比を1/256単位で変化させることができます。

図11 - 47に制御レジスタの設定内容、図11 - 48にその設定手順、図11 - 49にデューティを変化させる場合の手順を示します。

図11 - 46 タイマ/イベント・カウンタ2のPWM信号出力例

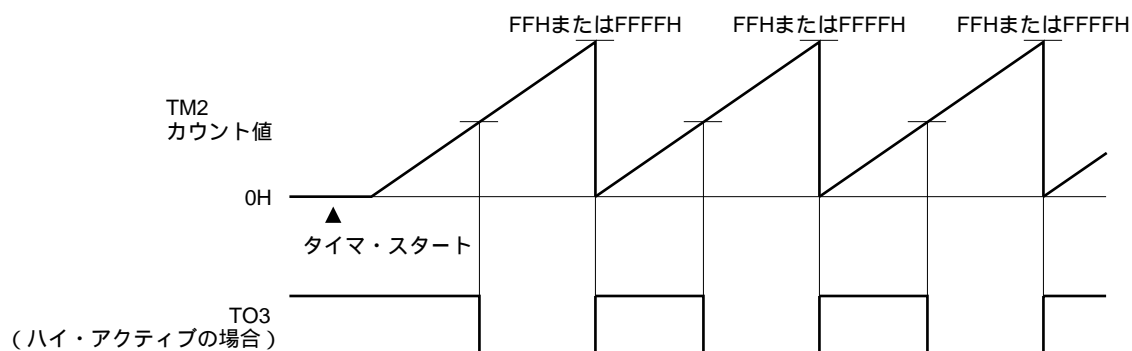
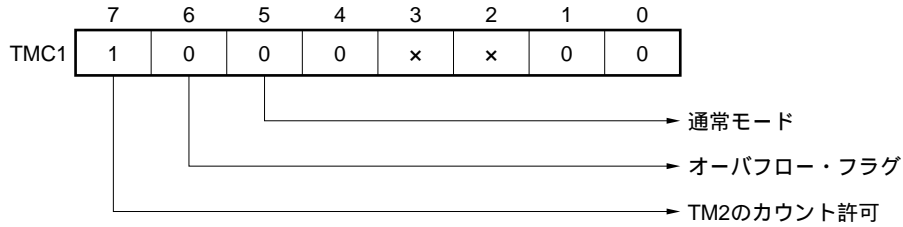
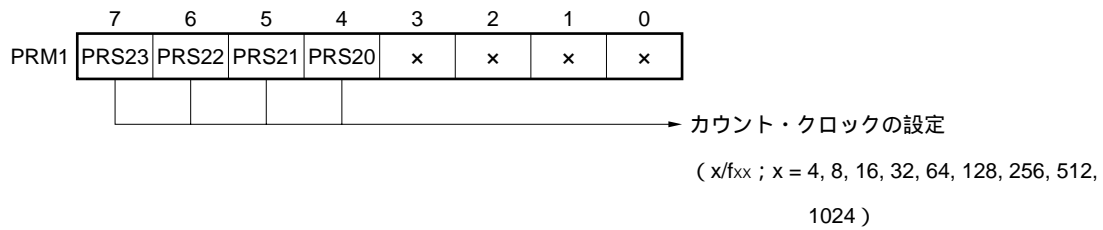


図11 - 47 PWM出力動作における制御レジスタの設定内容

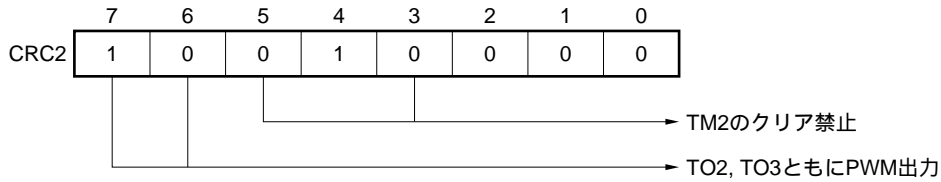
(a) タイマ・コントロール・レジスタ 1 (TMC1)



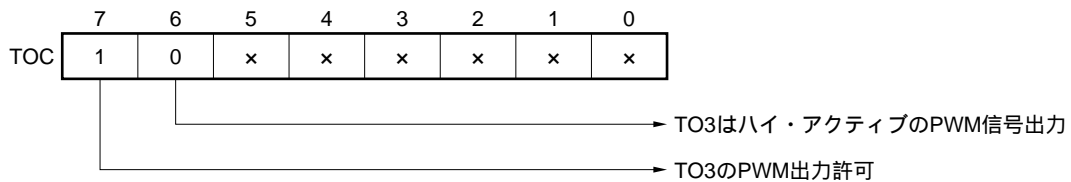
(b) プリスケアラ・モード・レジスタ 1 (PRM1)



(c) キャプチャ/コンペア・コントロール・レジスタ 2 (CRC2)



(d) タイマ出力コントロール・レジスタ (TOC)



(e) ポート3モード・コントロール・レジスタ (PMC3)

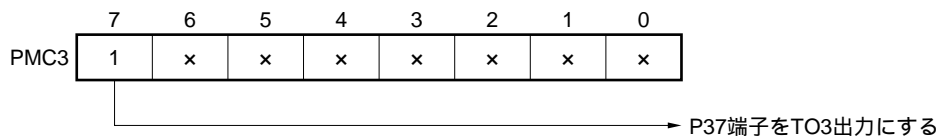


図11 - 48 PWM出力の設定手順

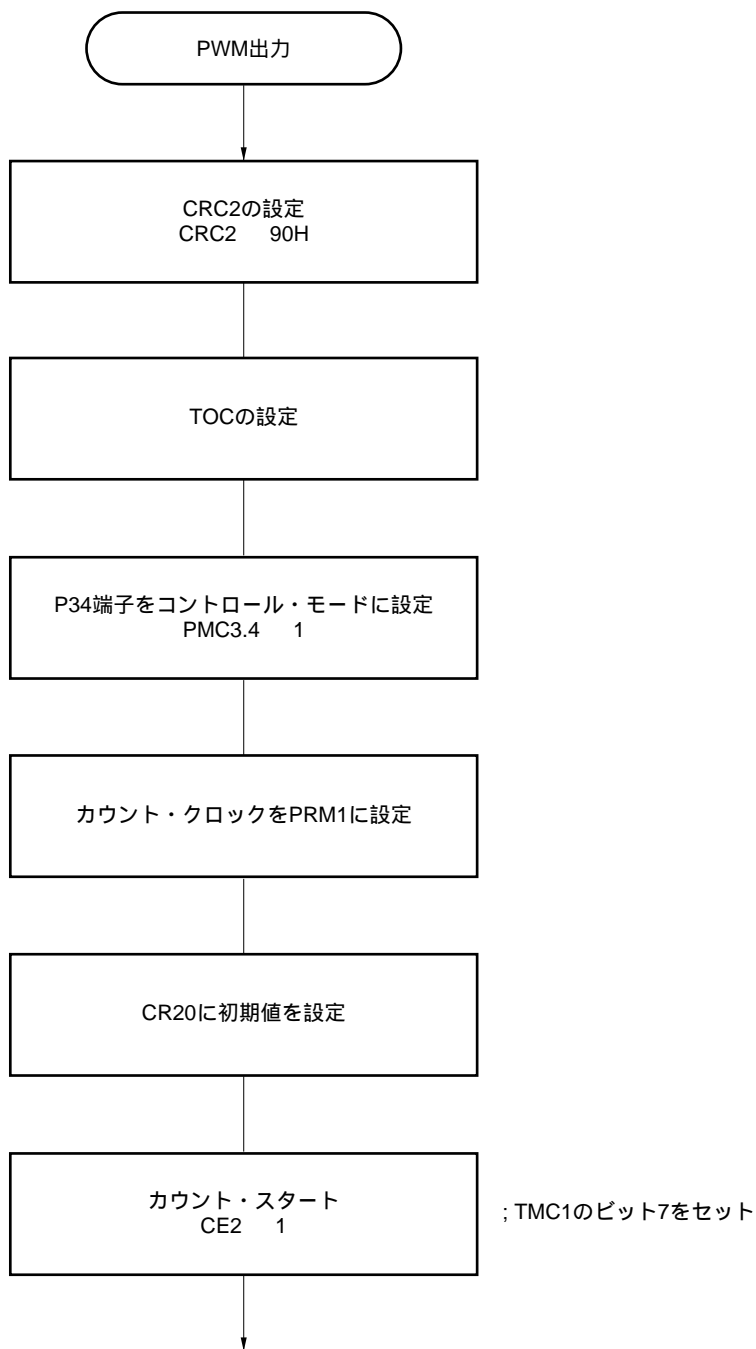
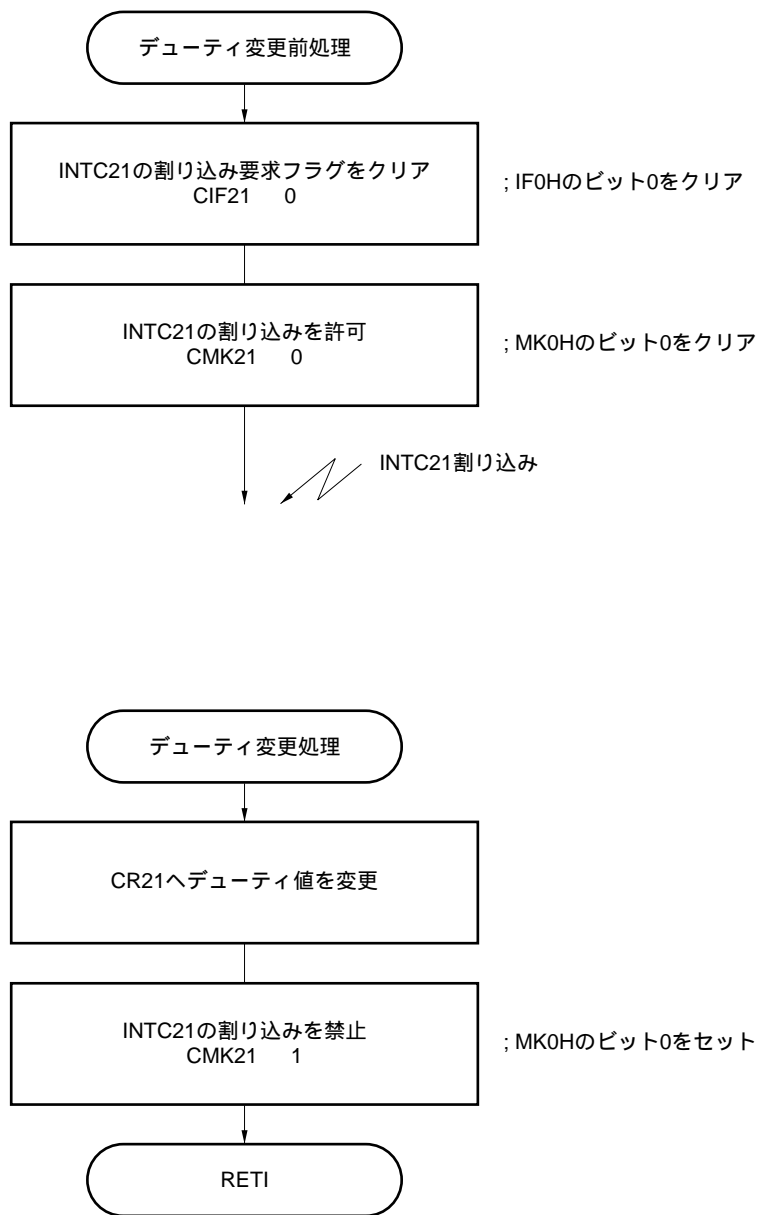


図11 - 49 PWM出力のデューティ変更



11.9.5 PPG出力としての動作

PPG出力は、コンペア・レジスタ (CR2n : n = 0 , 1) に設定した値で決まる周期と、デューティ比のパルスを出力します (図11 - 50参照)。

図11 - 51に制御レジスタの設定内容，図11 - 52にその設定手順，図11 - 53にデューティを変化させる場合の手順を示します。

図11 - 50 タイマ/イベント・カウンタ2のPPG信号出力例

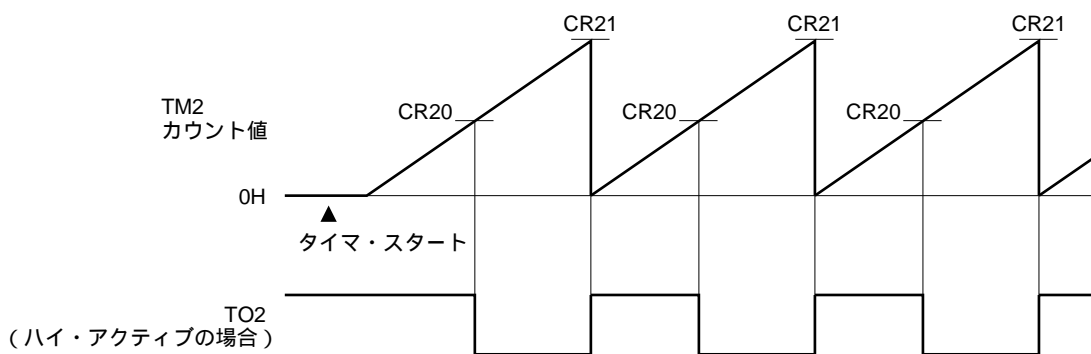
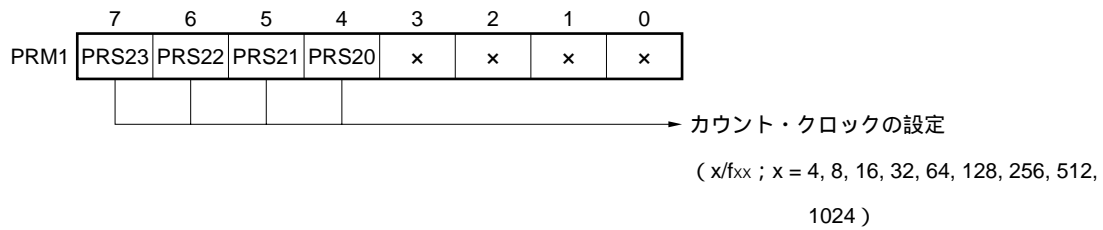


図11 - 51 PPG出力動作における制御レジスタの設定内容 (1/2)

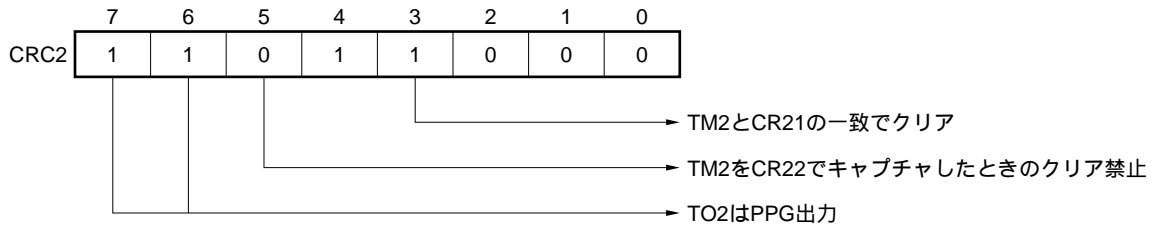
(a) タイマ・コントロール・レジスタ 1 (TMC1)



(b) プリスケアラ・モード・レジスタ 1 (PRM1)



(c) キャプチャ/コンペア・コントロール・レジスタ 2 (CRC2)



(d) タイマ出力コントロール・レジスタ (TOC)

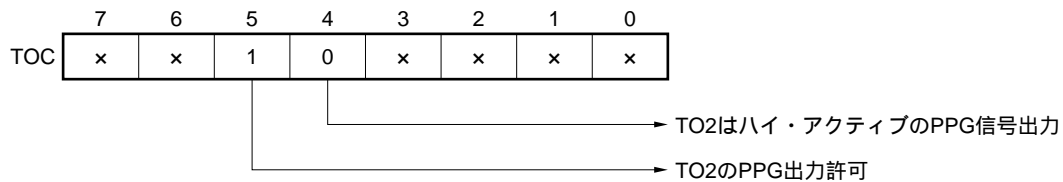


図11 - 51 PPG出力動作における制御レジスタの設定内容 (2/2)

(e) ポート3モード・コントロール・レジスタ (PMC3)

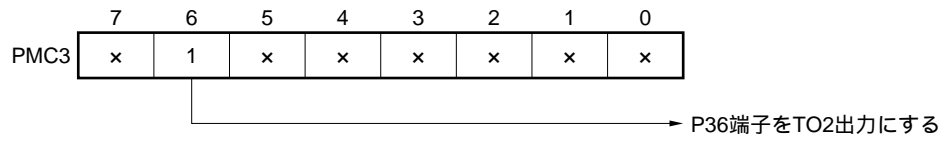


図11 - 52 PPG出力の設定手順

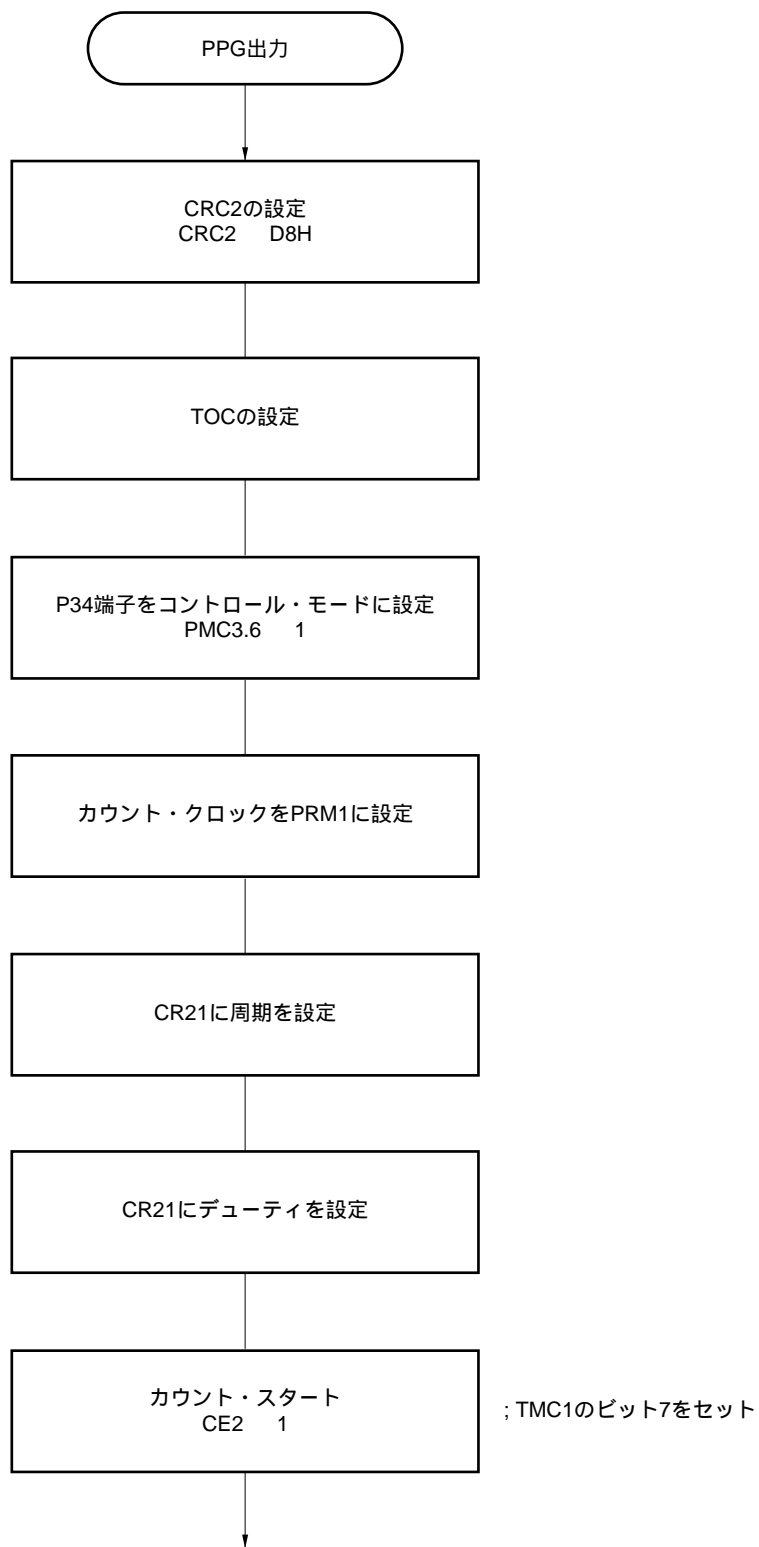
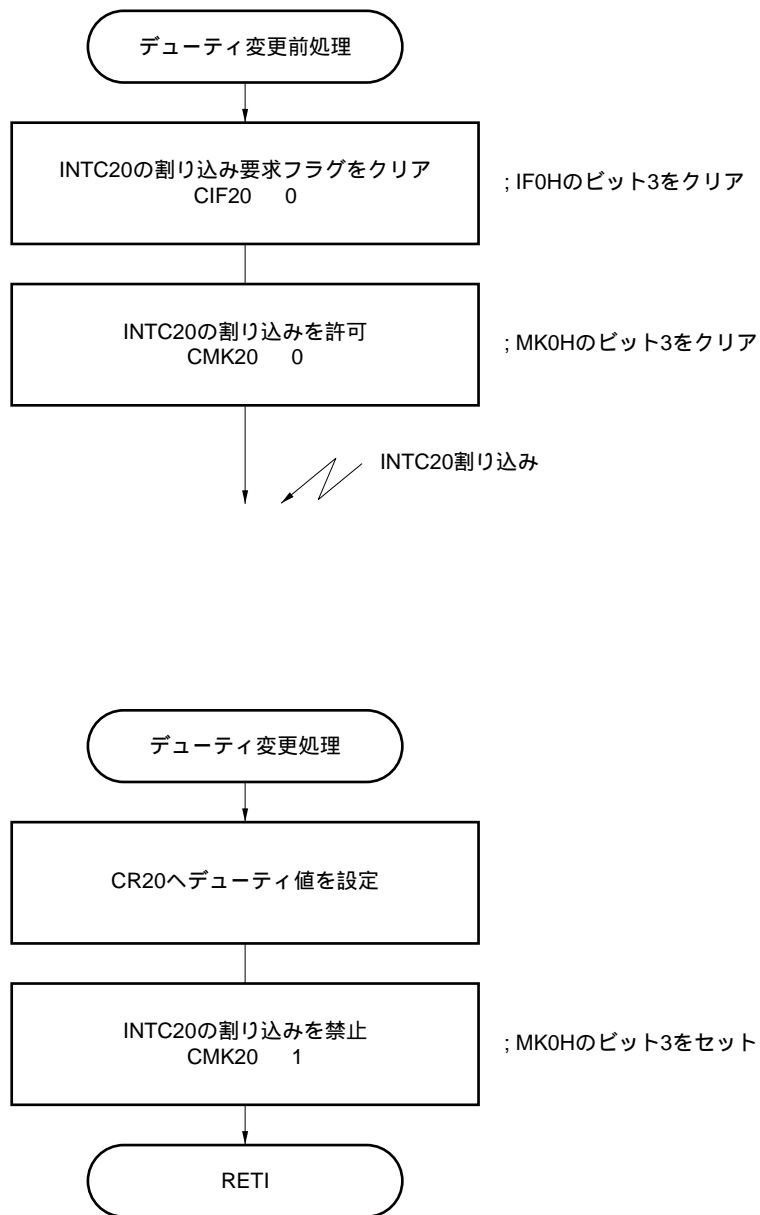


図11 - 53 PPG出力のデューティ変更

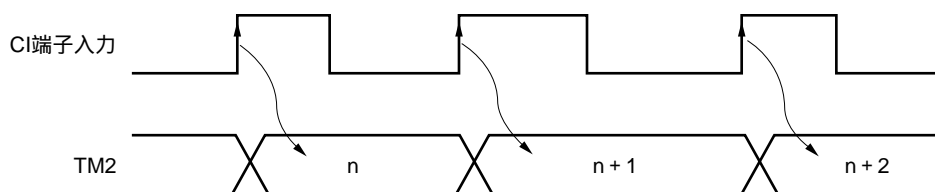


11.9.6 外部イベント・カウンタとしての動作

外部イベント・カウンタは、外部から入力されるクロック・パルス（CI端子入力パルス）をカウントするものです。

図11 - 54に示すように、CI端子入力の有効エッジ（立ち上がりエッジのみを指定）に同期して、タイマ・カウンタ2（TM2）の値をインクリメントします。

図11 - 54 外部イベント・カウンタ動作（片エッジの場合）

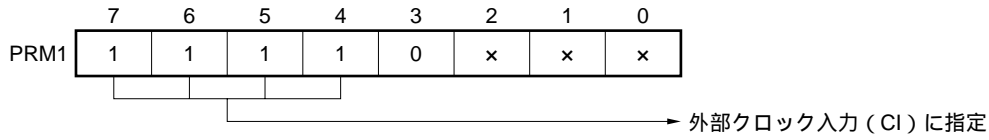


備考 TM2の値は、入力クロック・パルス数より、1小さい値になります。

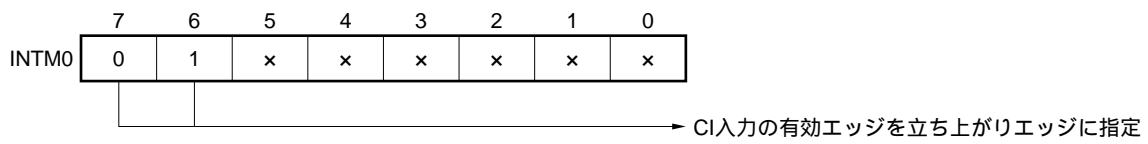
外部イベント・カウンタとして動作する場合の制御レジスタの設定内容を図11 - 55に、設定手順を図11 - 56に示します。

図11 - 55 外部イベント・カウンタ動作の制御レジスタの設定内容

(a) プリスケーラ・モード・レジスタ 1 (PRM1)



(b) 外部割り込みモード・レジスタ 0 (INTM0)



(c) タイマ・コントロール・レジスタ 1 (TMC1)

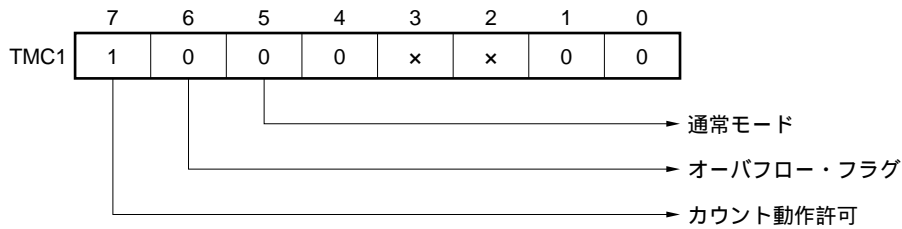
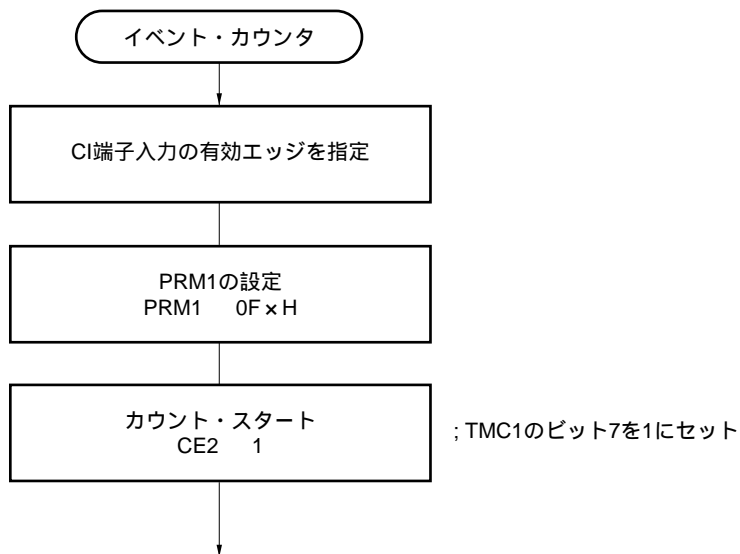


図11 - 56 外部イベント・カウンタ動作の設定手順



11.9.7 ワンショット・タイマとしての動作

タイマ・カウンタ2 (TM2) をスタートさせてから、あらかじめ設定したカウント時間後に1回だけ割り込みを発生するワンショット・パルスとして動作します (図11-57参照)。

また、2回目以降のワンショット・タイマの動作は、タイマ・コントロール・レジスタ1 (TMC1) のOVF2ビットをクリアすることで起動することができます。

図11-58に制御レジスタの設定内容、図11-59にその設定手順、図11-60に2回目以降のワンショット・タイマの起動手順を示します。

図11-57 ワンショット・タイマ動作

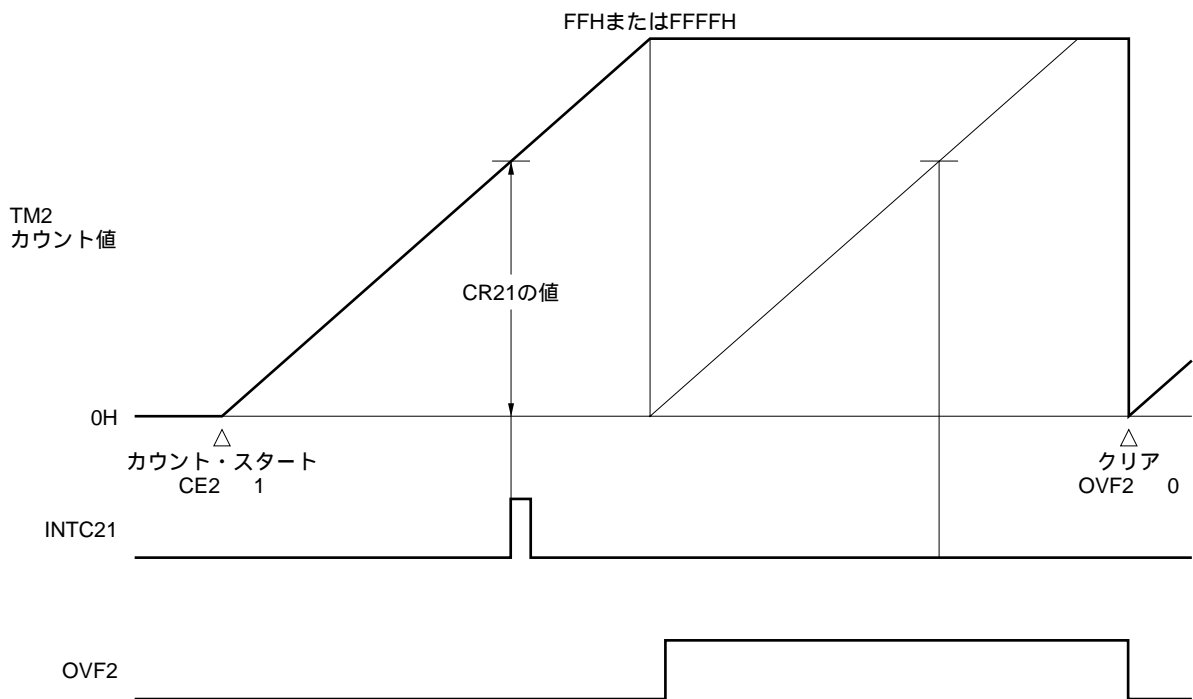
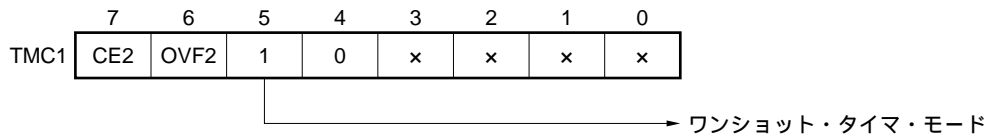
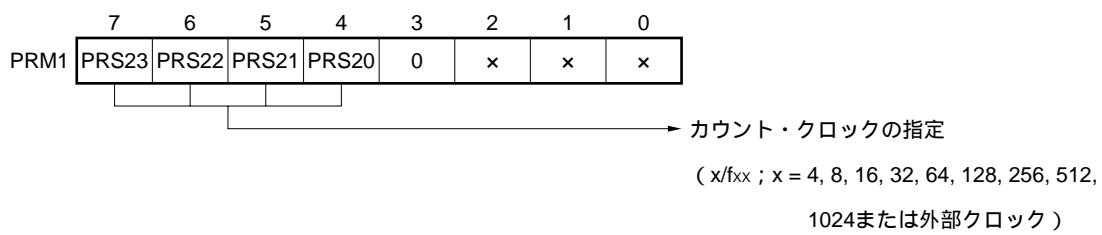


図11 - 58 ワンショット・タイマ動作の制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ 1 (TMC1)



(b) プリスケアラ・モード・レジスタ 1 (PRM1)



(c) キャプチャ/コンペア・コントロール・レジスタ 2 (CRC2)

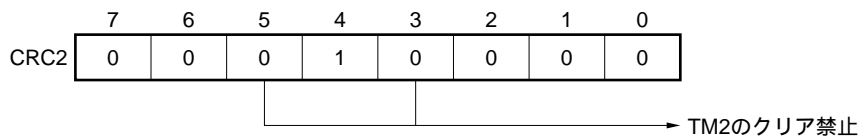


図11 - 59 ワンショット・タイマ動作の設定手順

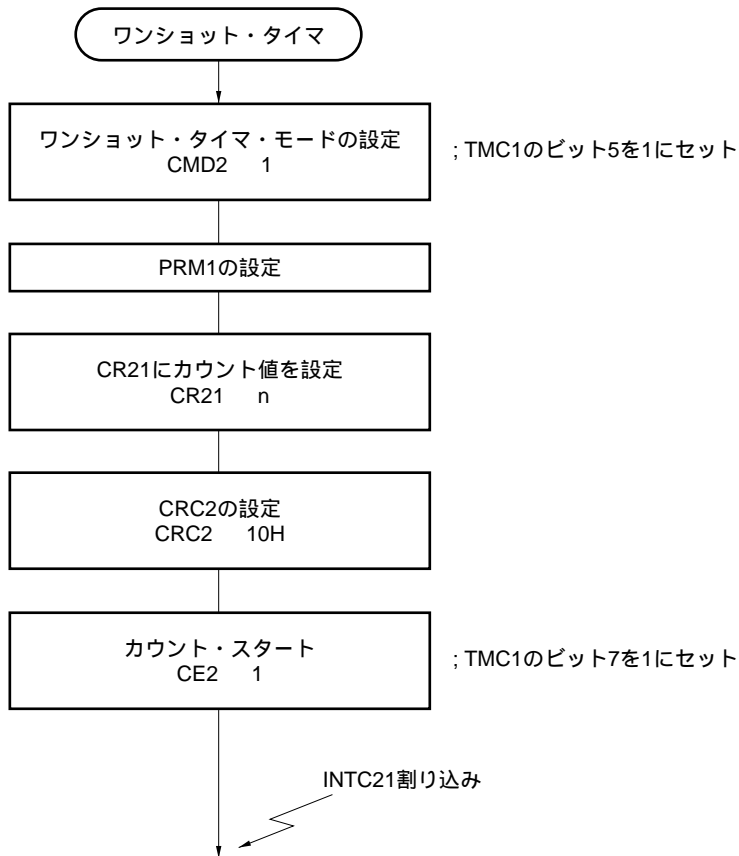
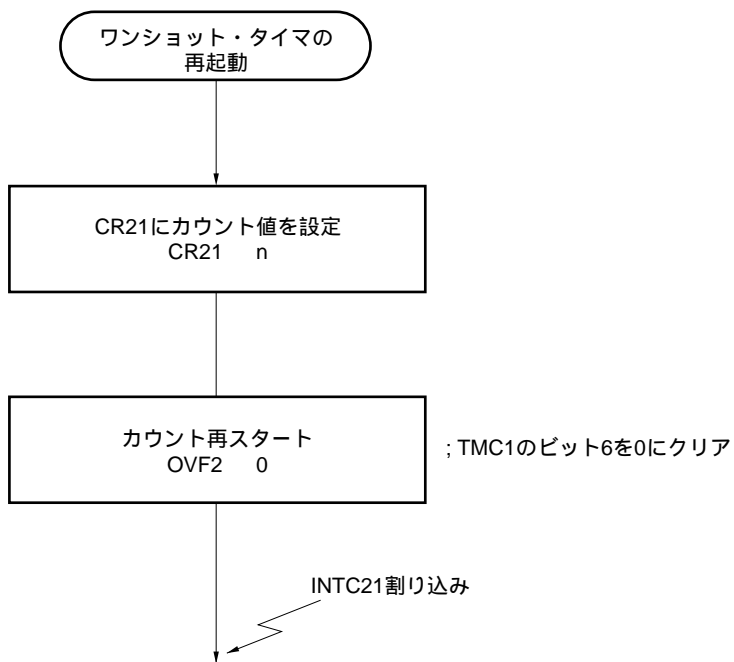


図11 - 60 2回目以降のワンショット・タイマの起動手順



11.10 注意事項

- (1) タイマ/イベント・カウンタ2が動作している期間(タイマ・コントロール・レジスタ1(TMC1)のCE2ビットがセットされているとき), 次のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウェアの機能の変化と, 書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

次のレジスタの内容を書き換える場合は, 安全のため必ずカウンタ動作を停止させてから行ってください。

- ・プリスケアラ・モード・レジスタ1 (PRM1)
- ・キャプチャ/コンペア・コントロール・レジスタ2 (CRC2)
- ・タイマ出力コントロール・レジスタ (TOC)
- ・タイマ・コントロール・レジスタ1 (TMC1) のCMD2ビット

- (2) タイマ・カウンタ2(TM2)の動作を停止させる命令実行時にコンペア・レジスタ(CR2n: n = 0, 1)とTM2の内容が一致した場合, TM2のカウント動作は停止しますが, 割り込みの要求は発生しません。

TM2の動作を停止する場合に割り込みを発生させたくないときは, 先に割り込みマスク・レジスタで割り込みをマスクしてからTM2を停止させてください。

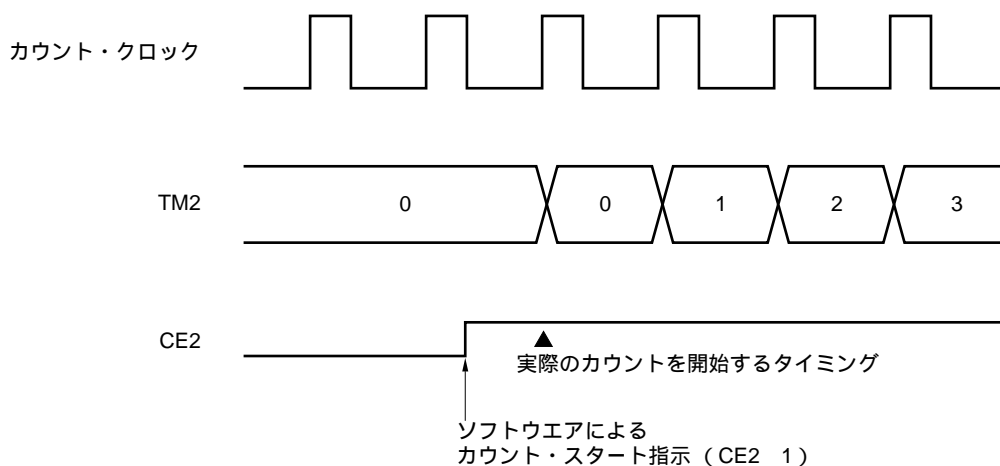
例

割り込み要求が発生する可能性のあるプログラム	割り込み要求が発生しないプログラム
<pre> CLR1 CE2 OR MK0H, #03H :</pre>	<pre> OR MK0H, #03H CLR1 CE2 CLR1 CIF20 CLR1 CIF21 :</pre>
<p>この間でタイマ/イベント・カウンタ2からの割り込み要求発生</p>	<p>タイマ/イベント・カウンタ2からの割り込み禁止 タイマ/イベント・カウンタ2からの割り込み要求フラグをクリア</p>

(3) タイマ/イベント・カウンタ2をスタート(CE2 = 1)させる操作を行ってから、実際にタイマ/イベント・カウンタ2がスタートするまで最大1カウント・クロック分の時間がかかります(図11-61参照)。

たとえば、インターバル・タイマとして使用する場合は、1回目のインターバル時間が最大1クロック分だけ長くなります。2回目以降は、指定した間隔どおりになります。

図11-61 カウント・スタート時の動作



(4) コンペア・レジスタ(CR2n : n = 0, 1)への書き込みを行う命令実行中は、書き込みの対象となっているCR2nとタイマ・カウンタ2(TM2)の一致を検出しません。たとえば、書き込みの前後でCR2nの内容が変わらない場合に、TM2の値がCR2nの値と一致しても割り込みの要求は発生せず、また、タイマ出力(TOn + 2 : n + 2 = 2, 3)も変化しません。

タイマ/イベント・カウンタ2がカウント動作を行っているときのCR2nへの書き込みは、CR2nへの書き込み中にTM2の内容とCR2nの書き込み前後の値が一致しないようなタイミングで行ってください(TM2とCR2nの一致による割り込み要求の発生直後など)。

(5) TM2とコンペア・レジスタ(CR2n : n = 0, 1)の一致の検出は、TM2がインクリメントされたときにのみ行われます。したがって、TM2と同じ値をCR2nへ書き込んでも割り込みの要求は発生せず、タイマ出力(TOn + 2 : n + 2 = 2, 3)も変化しません。

- (6) PPG出力を使用している場合、割り込みの受け付けなどにかかる時間に対して、十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は、タイマ・カウンタ2（TM2）とコンペア・レジスタ（CR2n：n = 0，1）の一致による割り込み処理でCR2nの値を書き換えることはできません。ほかの方法（すべての割り込みをマスクして、割り込み要求フラグをソフトウェアでポーリングするなど）を考えてください。
- (7) タイマ出力禁止時（ENTOn = 0：n = 2，3）のTON（n = 2，3）端子の出力レベルは、ALVn（n = 2，3）ビットに設定した値の反転値となります。したがって、PWM出力機能またはPPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。
- (8) タイマ/イベント・カウンタ2を外部イベント・カウンタとして使用する場合、有効エッジの入力が一度もない状態と1回だけあった状態の区別がTM2だけではつけられません（図11 - 62参照）。TM2の内容はいずれの場合も0になります。区別をつける必要がある場合には、INTP2の割り込み要求フラグを利用してください（INTP2端子とCI端子は兼用になっており、いずれの機能も同時に使用できません）。例を図11 - 63に示します。

図11 - 62 外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例

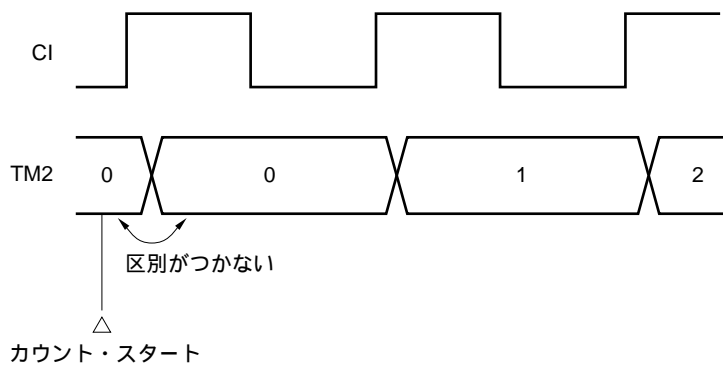
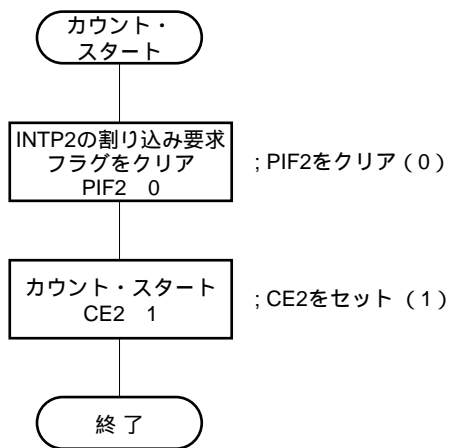
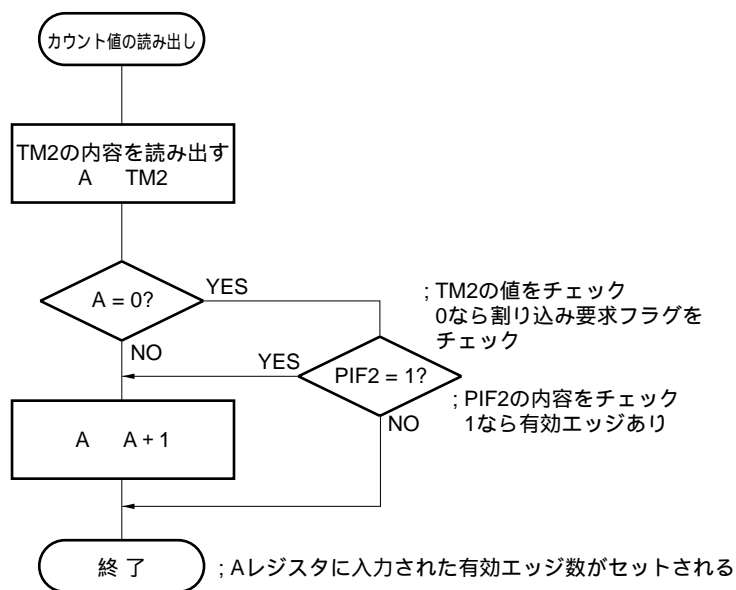


図11 - 63 外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



第12章 タイマ3

12.1 機能

タイマ3は、16ビットまたは8ビットのタイマです。

インターバル・タイマとしての機能のほかにクロック同期式シリアル・インタフェース(CSI)のクロック生成用カウンタとして使用することができます。

インターバル・タイマは、あらかじめ設定したインターバルで内部割り込みを発生します。表12 - 1に、インターバル時間の設定範囲を示します。

表12 - 1 タイマ3のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$4/f_{xx}$ (0.32 μ s)	$2^{16} \times 4/f_{xx}$ (20.8 ms)	$4/f_{xx}$ (0.32 μ s)
$8/f_{xx}$ (0.64 μ s)	$2^{16} \times 8/f_{xx}$ (41.7 ms)	$8/f_{xx}$ (0.64 μ s)
$16/f_{xx}$ (1.27 μ s)	$2^{16} \times 16/f_{xx}$ (83.4 ms)	$16/f_{xx}$ (1.27 μ s)
$32/f_{xx}$ (2.54 μ s)	$2^{16} \times 32/f_{xx}$ (167 ms)	$32/f_{xx}$ (2.54 μ s)
$64/f_{xx}$ (5.09 μ s)	$2^{16} \times 64/f_{xx}$ (333 ms)	$64/f_{xx}$ (5.09 μ s)
$128/f_{xx}$ (10.17 μ s)	$2^{16} \times 128/f_{xx}$ (667 ms)	$128/f_{xx}$ (10.17 μ s)
$256/f_{xx}$ (20.35 μ s)	$2^{16} \times 256/f_{xx}$ (1.33 s)	$256/f_{xx}$ (20.35 μ s)
$512/f_{xx}$ (40.70 μ s)	$2^{16} \times 512/f_{xx}$ (2.67 s)	$512/f_{xx}$ (40.70 μ s)
$1024/f_{xx}$ (81.40 μ s)	$2^{16} \times 1024/f_{xx}$ (5.33 s)	$1024/f_{xx}$ (81.40 μ s)

()内は $f_{xx} = 12.58$ MHzの場合

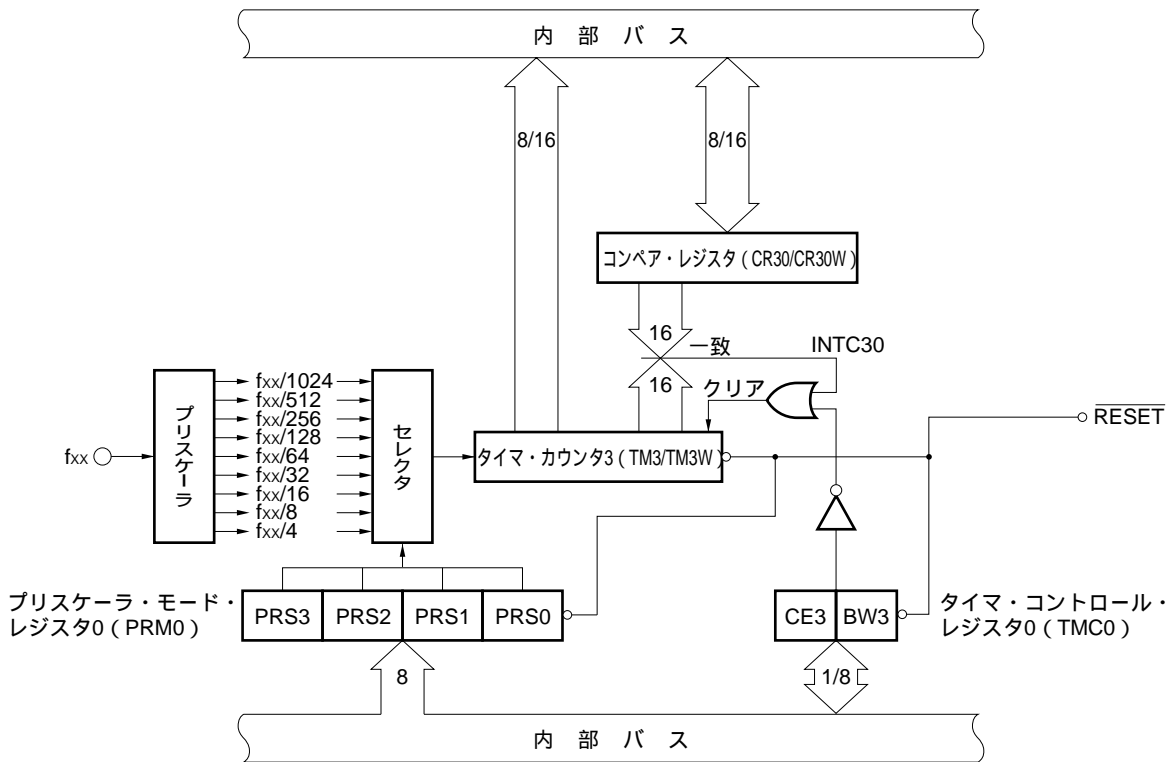
12.2 構成

タイマ3は、次のレジスタから構成されています。

- ・タイマ・カウンタ (TM3/TM3W) × 1
- ・コンペア・レジスタ (CR30/CR30W) × 1

図12 - 1 に、タイマ3のブロック図を示します。

図12 - 1 タイマ3のブロック図



(1) タイマ・カウンタ3 (TM3/TM3W)

TM3/TM3Wは、プリスケアラ・モード・レジスタ0 (PRM0) の上位4ビットで指定されるカウント・クロックをアップカウントするタイマ・カウンタです。

タイマ・コントロール・レジスタ0 (TMC0) により、カウント動作の停止/許可を指定します。また、8ビット動作モード (TM3) /16ビット動作モード (TM3W) の選択ができます。

8/16ビット操作命令で読み出しのみが可能です。

$\overline{\text{RESET}}$ 入力により00Hとなり、カウントは停止します。

(2) コンペア・レジスタ (CR30/CR30W)

CR30/CR30Wは、インターバル・タイマ動作の周期を決める値を保持する8/16ビット・レジスタです。

CR30/CR30Wの内容がTM3/TM3Wの値と一致すると、TM3/TM3Wの内容を自動的にクリアし、割り込み要求 (INTC30) を発生します。

8ビット動作モード時はCR30、16ビット動作モード時はCR30Wになります。

8/16ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(3) プリスケアラ

カウント・クロックを内部システム・クロックから生成します。このプリスケアラで生成されたクロックをセレクトで選択し、カウント・クロックとしてTM3/TM3Wはカウント動作を行います。

(4) セレクタ

TM3/TM3Wのカウント・クロックとして内部クロックを分周した信号またはエッジ検出回路で検出されたエッジから選択します。

12.3 タイマ3制御レジスタ

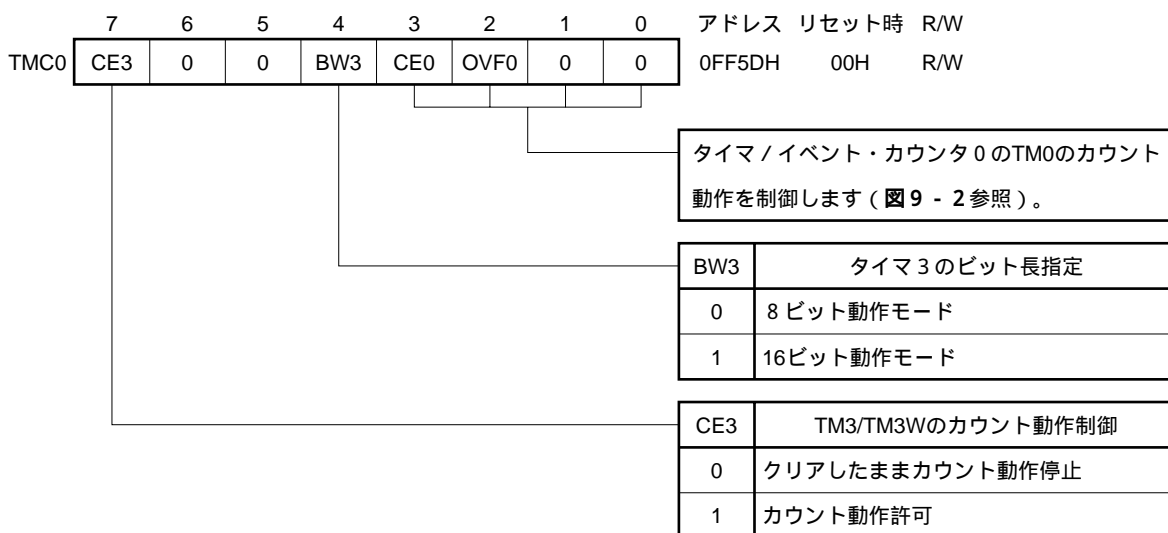
(1) タイマ・コントロール・レジスタ0 (TMC0)

TMC0は、上位4ビットでタイマ3のタイマ・カウンタ3 (TM3/TM3W) のカウント動作を制御します (下位4ビットはタイマ/イベント・カウンタ0のTM0のカウント動作を制御します)。

8ビット操作命令で読み出し/書き込みが可能です。図12-2に、TMC0のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図12-2 タイマ・コントロール・レジスタ0 (TMC0) のフォーマット



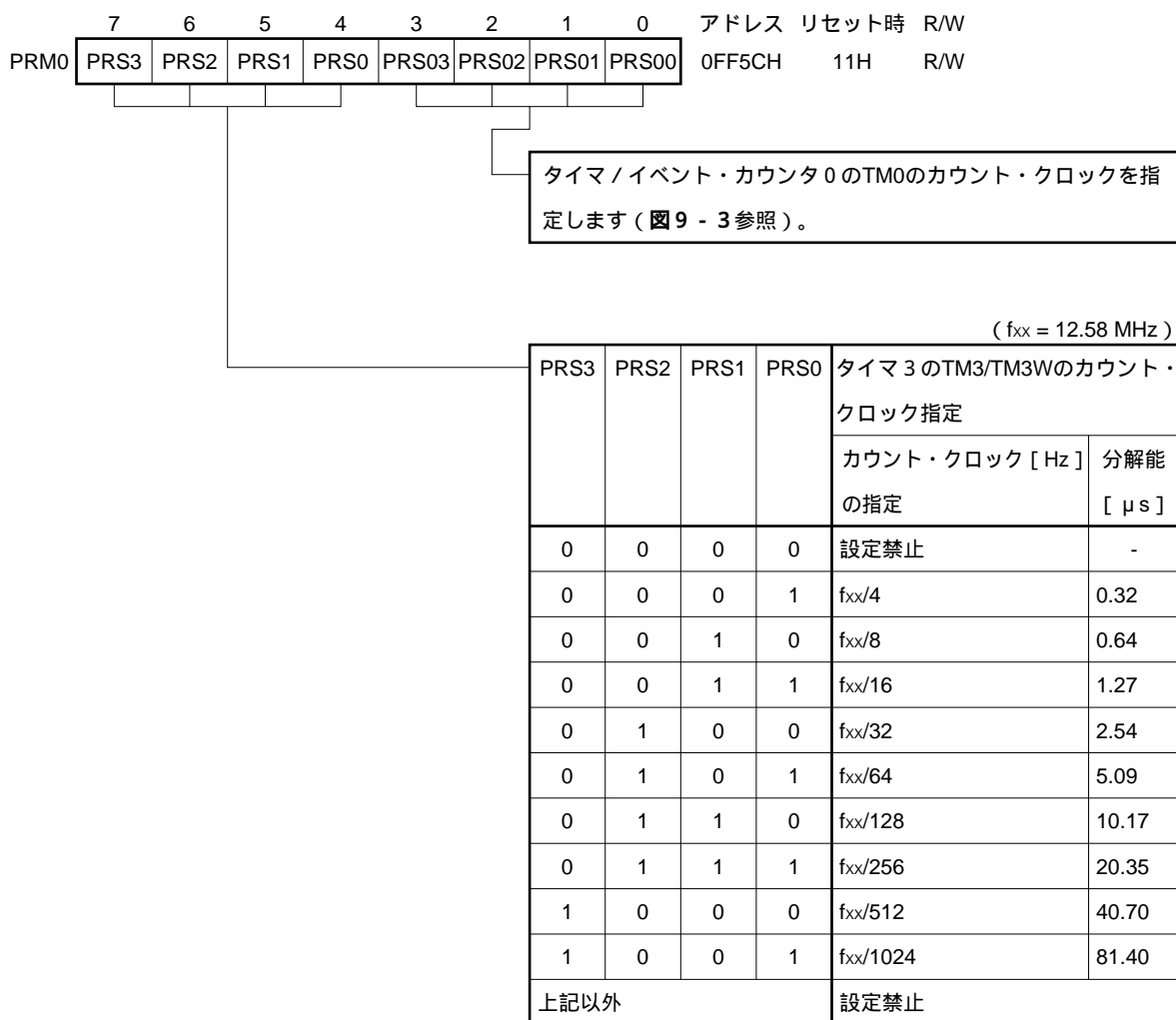
(2) プリスケアラ・モード・レジスタ0 (PRM0)

PRM0は、上位4ビットでタイマ3のタイマ・カウンタ3 (TM3/TM3W)のカウント・クロックを指定します(下位4ビットはタイマ/イベント・カウンタ0のTM0のカウント・クロックを指定します)。

8ビット操作命令で読み出し/書き込みが可能です。図12-3に、PRM0のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により11Hになります。

図12-3 プリスケアラ・モード・レジスタ0 (PRM0)のフォーマット



12.4 タイマ・カウンタ3 (TM3) の動作

12.4.1 基本動作

タイマ3は、タイマ・コントロール・レジスタ0 (TMC0) のビット4 (BW3) で8ビット動作モード / 16ビット動作モードの制御が可能です。^注

タイマ3のカウンタ動作は、プリスケアラ・モード・レジスタ0 (PRM0) の上位4ビットで指定されるカウンタ・クロックによるカウンタアップで行います。

$\overline{\text{RESET}}$ 入力により、タイマ・カウンタ3 (TM3) は0000Hにクリアされ、カウンタ動作は停止します。

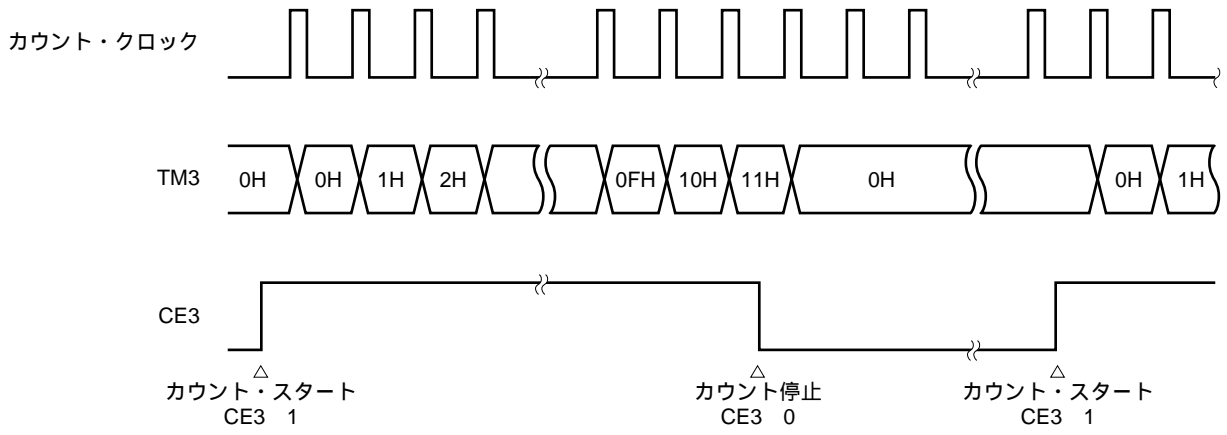
カウンタ動作の禁止 / 許可は、タイマ・コントロール・レジスタ0 (TMC0) のビット7 (CE3) で制御します (タイマ3の動作制御はTMC0の上位4ビットです)。CE3ビットをソフトウェアによりセット (1) すると、最初のカウンタ・クロックでTM3はただちに0Hにクリアされたのち、カウンタアップ動作を行います。CE3ビットをクリア (0) することによってTM3はただちに0Hになり、一致信号の発生は停止します。CE3ビットがセット (1) されている状態でさらにCE3ビットをセット (1) した場合、TM3はクリアされないでカウンタ動作を続けます。

注 機能に特に違いがない場合は、8ビット動作モードで説明しています。

16ビット動作モード時は、TM3, CR30は、TM3W, CR30Wになります。

図12-4 8ビット動作モード時の基本動作 (BW3 = 0)

(a) カウント・スタート カウント停止 カウント・スタートの場合



(b) カウント・スタート後に再度CE3ビットに“1”を書き込んだ場合

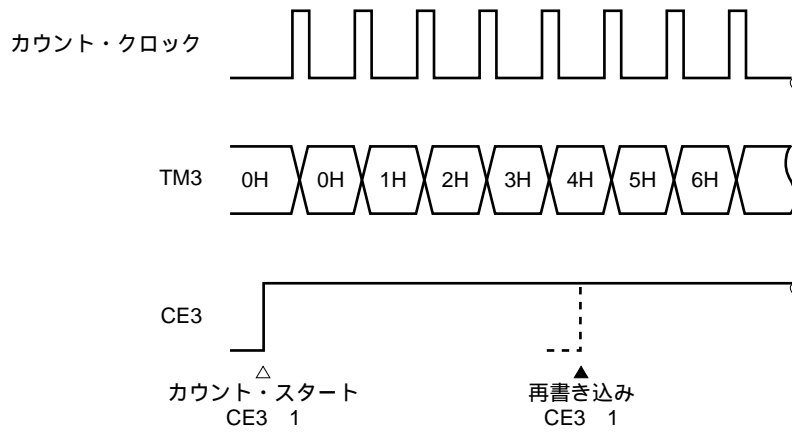
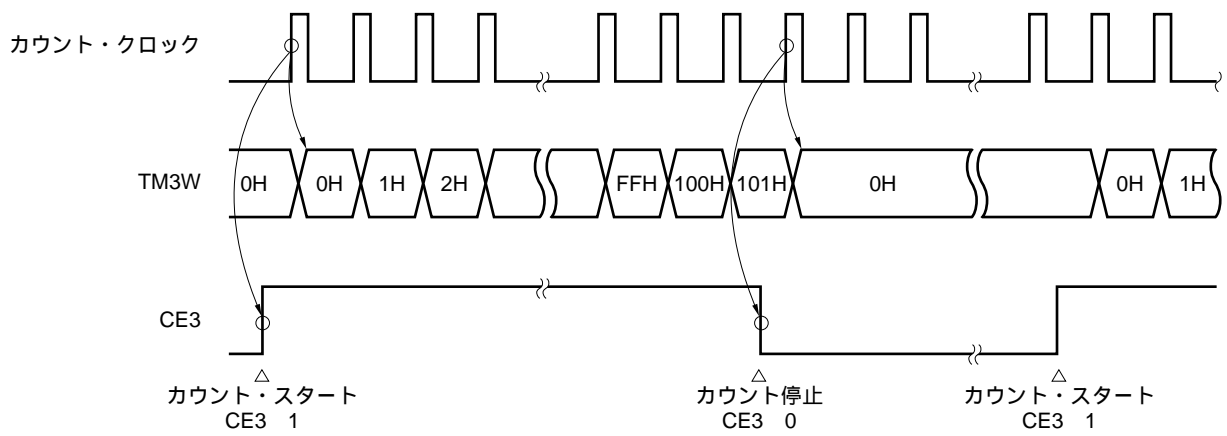
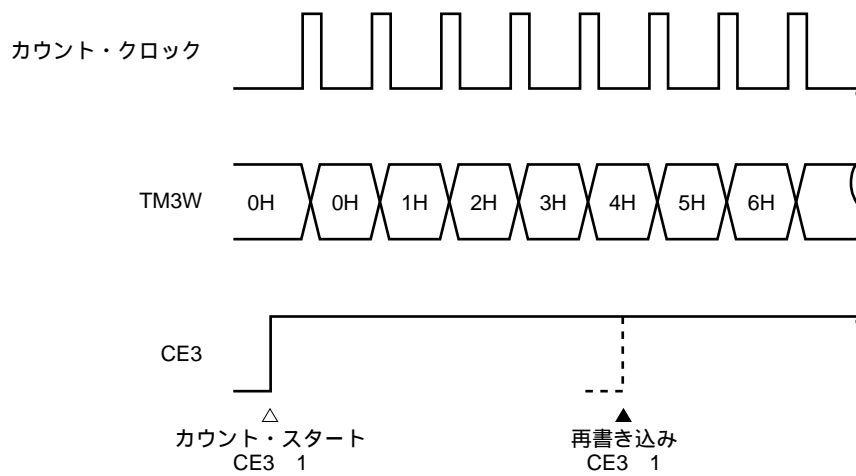


図12 - 5 16ビット動作モード時の基本動作 (BW3 = 1)

(a) カウント・スタート カウント停止 カウント・スタートの場合



(b) カウント・スタート後に再度CE3ビットに "1" を書き込んだ場合

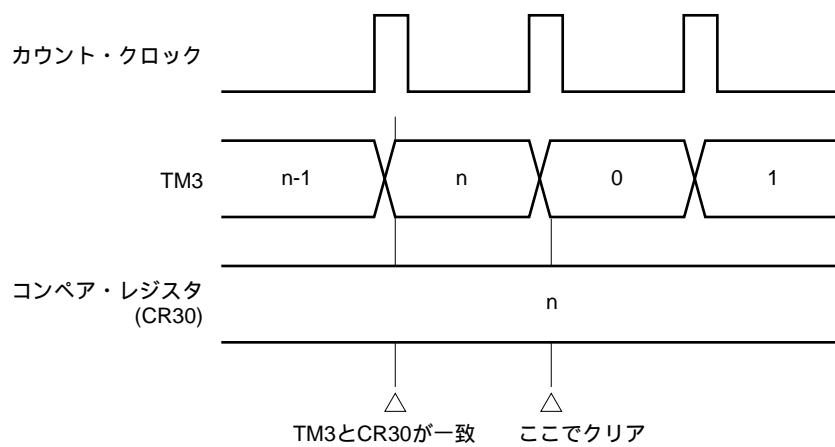


12.4.2 クリア動作

(1) コンペア・レジスタ (CR30) との一致によるクリア動作

タイマ・カウンタ3 (TM3) は、CR30との一致により自動的にクリアされます。TM3は、クリアする要因が発生すると、次のカウント・クロックで0Hにクリアされます。したがって、クリアする要因が発生しても、次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図12 - 6 コンペア・レジスタ (CR30) との一致によるTM3のクリア

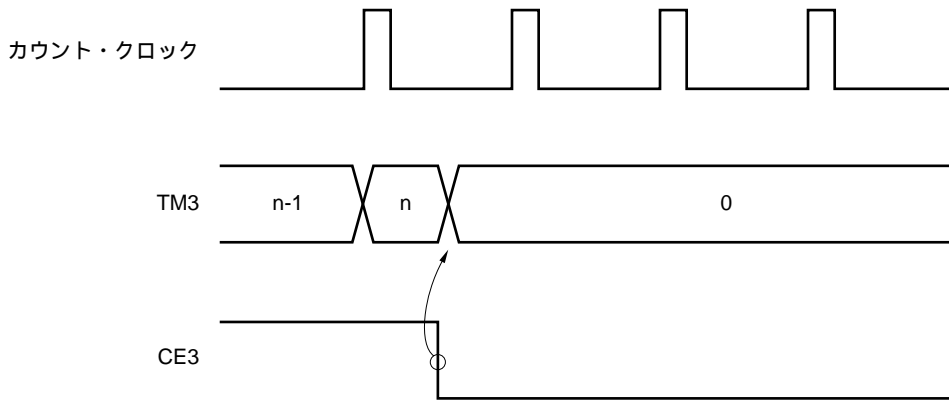


(2) タイマ・コントロール・レジスタ0 (TMC0) のCE3ビットによるクリア動作

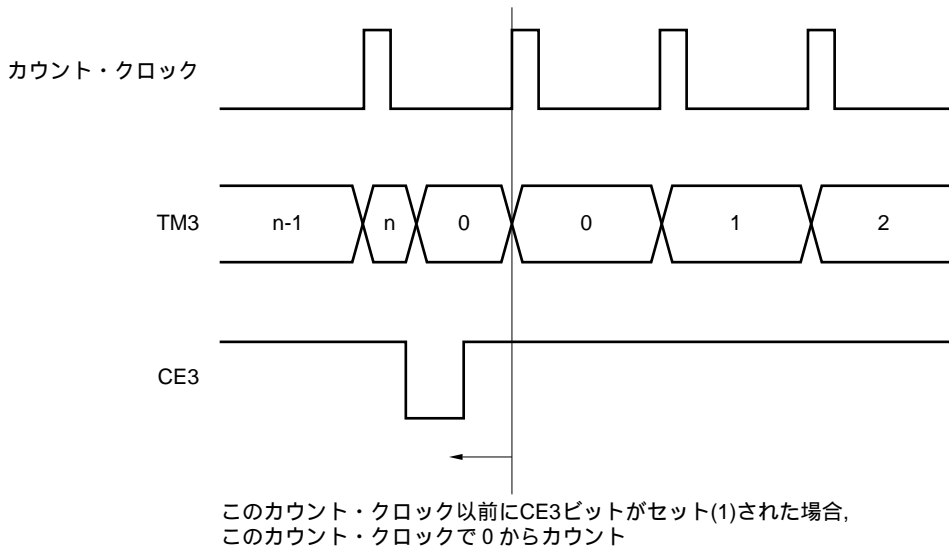
TM3はソフトウェアにより、TMC0のCE3ビットをクリア (0) することによってもクリアされます。クリア動作は、CE3ビットがクリア (0) されるとただちに行われます。

図12 - 7 CE3ビットをクリア(0)した場合のクリア動作

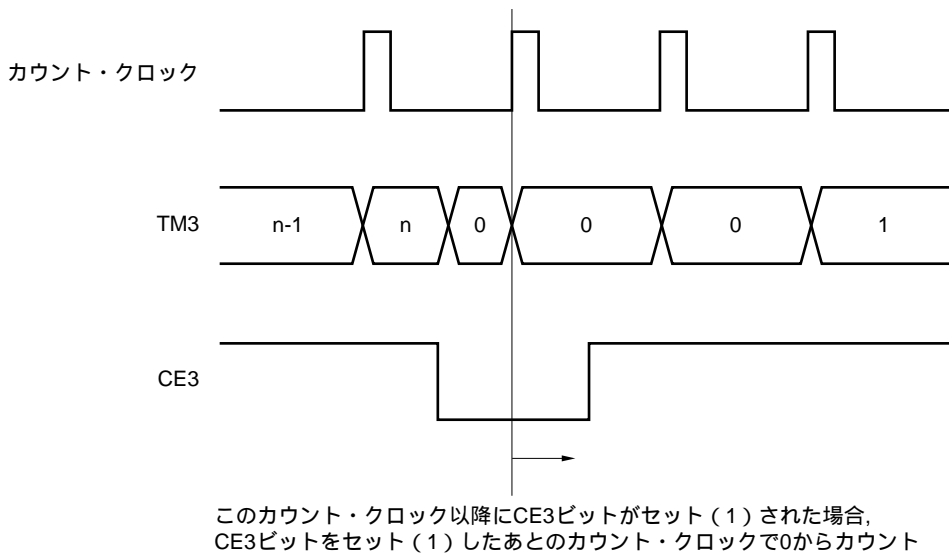
(a) 基本動作



(b) クリア後のカウント・クロックが入力される前の再スタート



(c) クリア後にカウント・クロックが入力されてからの再スタート



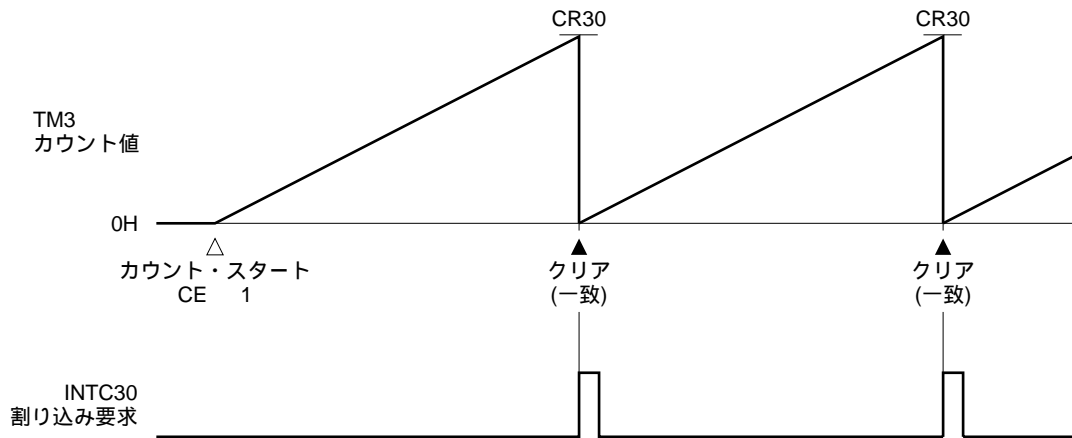
12.5 コンペア・レジスタの動作

タイマ3は、コンペア・レジスタ（CR30）に設定された値をタイマ・カウンタ3（TM3）のカウンタ値と比較するコンペア動作を行います。

あらかじめ設定されたCR30の値にTM3のカウンタ値がカウンタ動作によって一致すると、割り込み要求（INTC30）を発生します。

また一致後、TM3の内容を自動的にクリアしますので、CR30に設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図12 - 8 コンペア動作



12.6 使用例

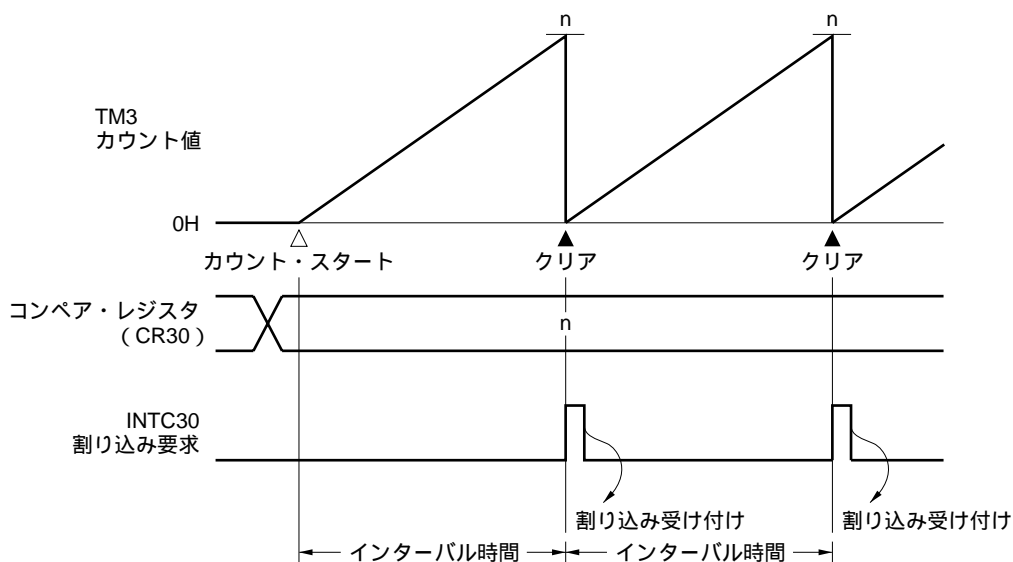
インターバル・タイマとしての動作

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（図12-9参照）。また、ポーレート生成用としても使用できます。

このインターバル・タイマは、最小0.32 μs、最大81.40 μsの分解能で、それぞれ最高20.85 ms、5.33 sまでのカウントができます（内部システム・クロック $f_{xx} = 12.58 \text{ MHz}$ ）。

図12-10に制御レジスタの設定内容を、図12-11にその設定手順を示します。

図12-9 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(n + 1) \times x / f_{xx}$

0 n FFH, $x = 4, 8, 16, 32, 64, 128, 256, 512, 1024$

図12 - 10 インターバル・タイマ動作の制御レジスタの設定内容

プリスケアラ・モード・レジスタ0 (PRM0)

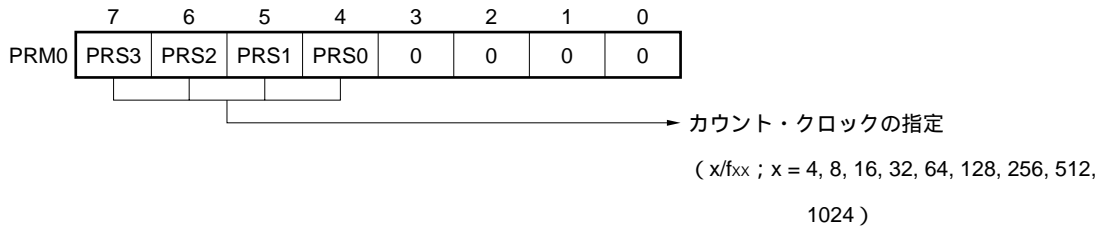
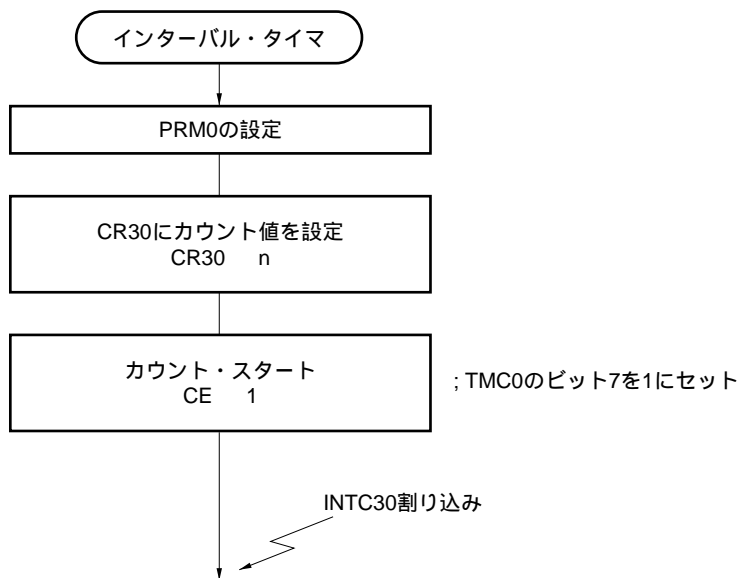


図12 - 11 インターバル・タイマ動作の設定手順



12.7 注意事項

(1) タイマ3が動作している期間(タイマ・コントロール・レジスタ0(TMC0)のCE3ビットがセットされているとき)、次のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウェアの機能の変化と、書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

次のレジスタの内容を書き換える場合は、安全のため必ずカウンタ動作を停止させてから行ってください。

・プリスケラ・モード・レジスタ0(PRM0)

(2) タイマ・カウンタ3(TM3)の動作を停止させる命令実行時にコンペア・レジスタ(CR30)とTM3の内容が一致した場合、TM3のカウント動作は停止しますが、割り込みの要求は発生します。

TM3の動作を停止する場合に割り込みを発生させたくないときは、先に割り込みマスク・レジスタで割り込みをマスクしてからTM3を停止させてください。

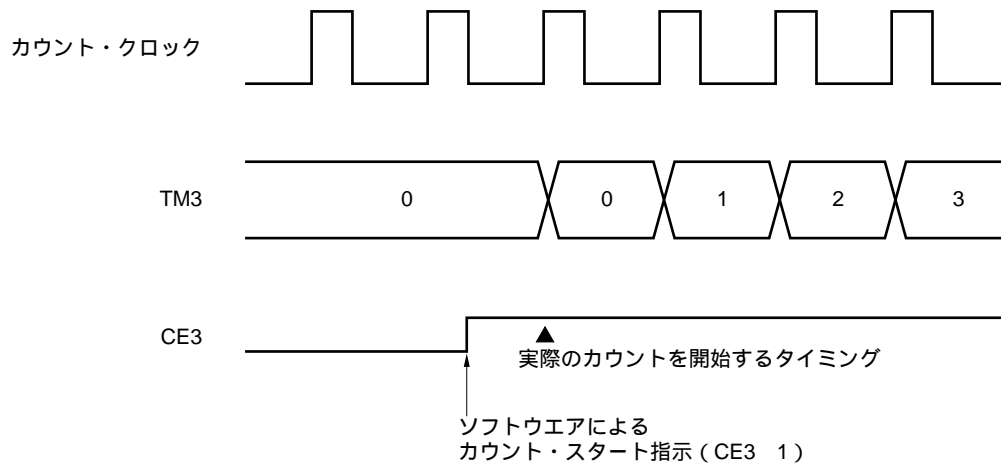
例

割り込み要求が発生する可能性のあるプログラム	割り込み要求が発生しないプログラム
<pre> ⋮ CLR1 CE3 SET1 CMK30 ⋮ </pre>	<pre> ⋮ SET1 CMK30 CLR1 CE3 CLR1 CIF30 ⋮ </pre>
<p>この間でタイマ3からの 割り込み要求発生</p>	<p>タイマ3からの割り込み禁止 タイマ3からの割り込み要求 フラグをクリア</p>

(3) タイマ3をスタート(CE3 = 1)させる操作を行ってから、実際にタイマ3がスタートするまで最大1カウント・クロック分の時間がかかります(図12-12参照)。

たとえば、インターバル・タイマとして使用する場合は、1回目のインターバル時間が最大1クロック分だけ長くなります。2回目以降は、指定した間隔どおりになります。

図12-12 カウント・スタート時の動作



(4) コンペア・レジスタ(CR30)への書き込みを行う命令実行中は、書き込みの対象となっているCR30とタイマ・カウンタ3(TM3)の一致を検出しません。

タイマ3がカウント動作を行っているときのCR30への書き込みは、CR30への書き込み中にTM3の内容とCR30の書き込み前後の値が一致しないようなタイミングで行ってください(TM3とCR30の一致による割り込み要求の発生直後など)。

(5) TM3とコンペア・レジスタ(CR30)の一致の検出は、TM3がインクリメントされたときにのみ行われます。したがって、TM3と同じ値をCR30へ書き込んでも割り込みの要求は発生しません。

第13章 ウォッチドッグ・タイマ

ウォッチドッグ・タイマは、プログラムの暴走を検出するためのタイマです。

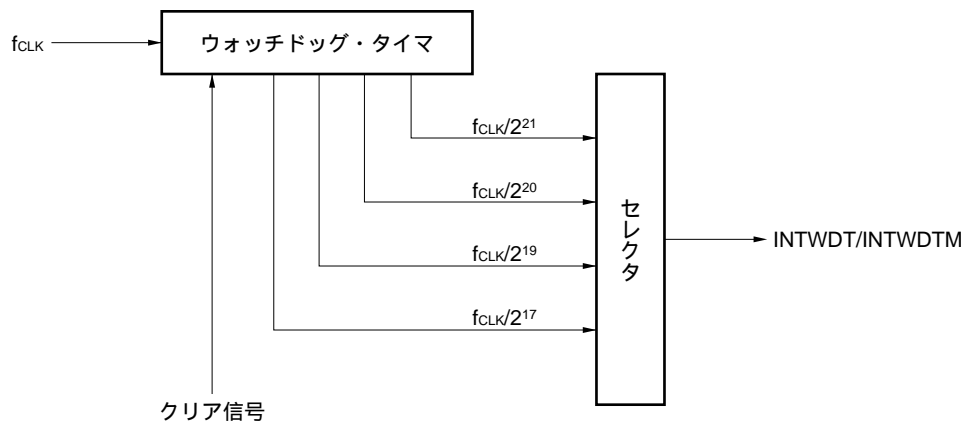
ウォッチドッグ・タイマ割り込みの発生で、プログラムまたはシステムが異常であることを検出します。そのため、プログラムの各所に、一定時間以内にウォッチドッグ・タイマをクリア（カウント開始）する命令を入れておきます。

ウォッチドッグ・タイマをクリアする命令が、設定した時間内に実行されずにウォッチドッグ・タイマがオーパフローすると、ウォッチドッグ・タイマ割り込み（INTWDT）が発生し、プログラムの異常を知らせます。

13.1 構成

図13 - 1に、ウォッチドッグ・タイマのブロック図を示します。

図13 - 1 ウォッチドッグ・タイマのブロック図



13.2 ウォッチドッグ・タイマ・モード・レジスタ (WDM)

WDMは、ウォッチドッグ・タイマの動作を制御する8ビット・レジスタです。

プログラムの暴走によってウォッチドッグ・タイマが誤ってクリアされないように、専用命令によってのみ書き込みができます。この専用命令は、MOV WDM, byte命令で特殊なコード構成(4バイト)になっています。3バイト目と4バイト目のオペコードが互いに1の補数の場合のみ、書き込みが行われます。

また、3バイト目と4バイト目のオペコードが互いに1の補数でなければ書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

オペランド・エラー割り込みは、プログラムが暴走している場合にのみ発生する(NEC製アセンブラRA78K4では、MOV WDM, byteと記述された場合、正しい専用命令しか生成しません)ので、システムの初期化をプログラムで行うようにしてください。

他の書き込み命令(MOV WDM, A, AND WDM, byte命令および、SET1 WDM.7など)は無視され、何の動作も行いません。すなわち、WDMへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。

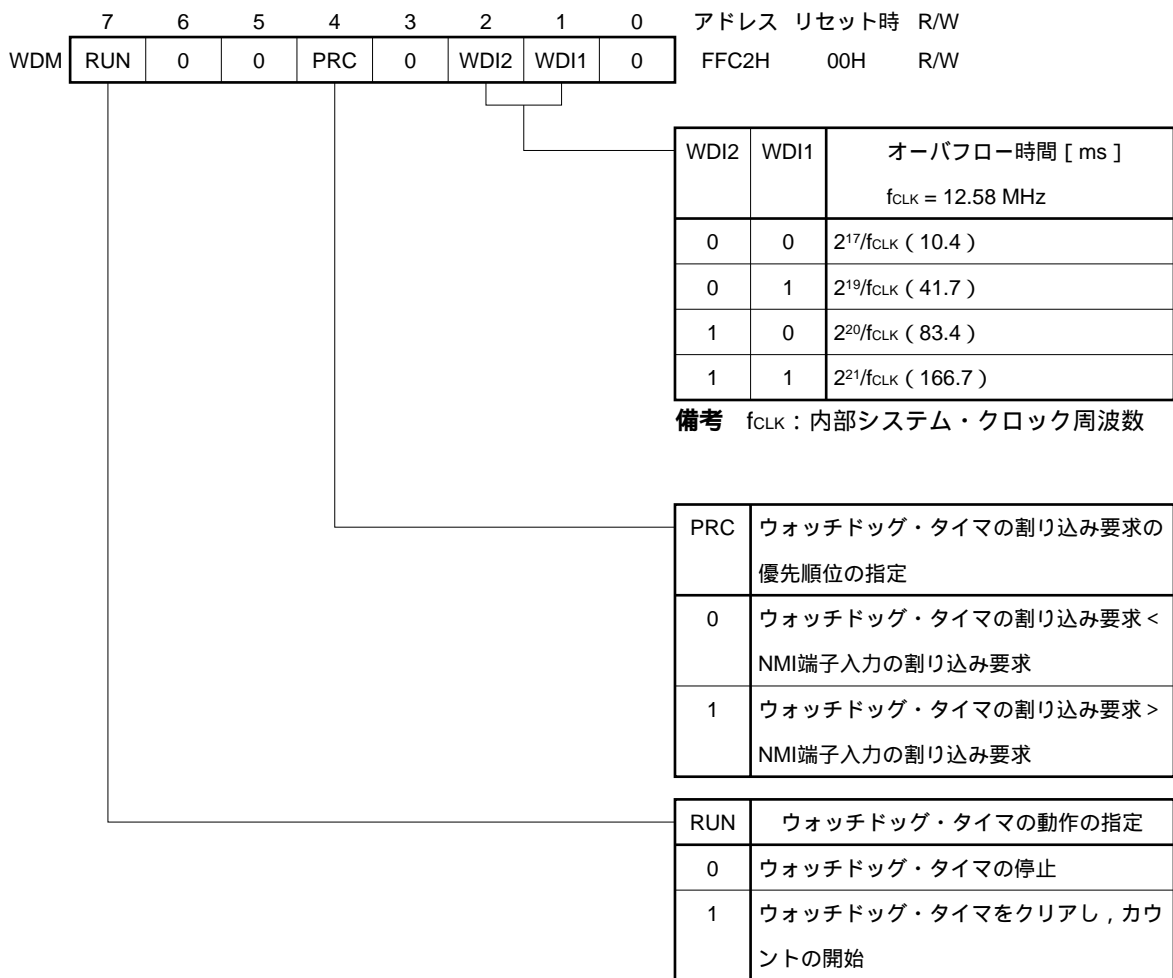
システム・リセット($\overline{\text{RESET}}$ 入力)後、いったんウォッチドッグ・タイマをスタートさせると(RUNビットをセット(1)すると)、WDMの内容を変更できません。ウォッチドッグ・タイマを停止させることができるのはリセットのみです。ウォッチドッグ・タイマのクリアは、専用命令によりいつでもできます。

WDMの読み出しは、データ転送命令によりいつでもできます。

$\overline{\text{RESET}}$ 入力により、WDMは00Hになります。

図13-2に、WDMのフォーマットを示します。

図13 - 2 ウォッチドッグ・タイマ・モード・レジスタ (WDM) のフォーマット



- 注意1 . ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, byte) でのみ書き込みが可能です。
- 2 . RUNビットをセット (1) するためのWDMへの書き込みには、毎回、同じ値を書き込んでください。異なる値を書いても1回目に書き込んだ内容を変更できません。
- 3 . RUNビットは、いったんセット (1) するとソフトウェアではリセット (0) できません。

13.3 動作

13.3.1 カウント動作

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・モード・レジスタ (WDM) のRUNビットをセット (1) することによりクリアされ、カウント動作を開始します。RUNビットをセット (1) したあと、WDMのWDM2, WDM1ビットで指定されたオーバフロー時間が経過すると、ノンマスクابلな割り込みである割り込み (INTWDT) を発生します。

オーバフロー時間が経過する前にRUNビットを再度セット (1) すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

13.3.2 割り込み優先順位

ウォッチドッグ・タイマ割り込み (INTWDT) は、マスク不可能な割り込みです。マスク不可能な割り込みには、INTWDTのほかにNMI端子からの割り込み (NMI) があります。ウォッチドッグ・タイマ・モード・レジスタ (WDM) のビット4の設定により、INTWDTとNMIが同時に発生した場合の受け付け順序を指定することができます。

NMIの受け付けを優先している場合で、NMIの処理プログラムを実行中にINTWDTが発生しても、INTWDTは受け付けられず、NMIの処理プログラム終了後に受け付けられます。

13.4 注意事項

13.4.1 ウォッチドッグ・タイマ使用時の一般的な注意事項

(1) ウォッチドッグ・タイマは、暴走を検出するための手段の1つですが、すべての暴走を検出できるわけではありません。したがって、特に信頼性の要求される装置では、内蔵のウォッチドッグ・タイマだけでなく、外付けの回路により暴走を早期に検出し、正常状態に復帰、または安全な状態にして動作を停止させるなどの処理ができるようにする必要があります。

(2) 次のような場合、ウォッチドッグ・タイマは暴走を検出できません。

ウォッチドッグ・タイマのクリアを、タイマ割り込み処理プログラム内で行っている場合
割り込み要求およびマクロ・サービスが一時的に保留される場合(23.9参照)が連続して発生している場合

プログラムの論理的な誤りにより暴走している場合(プログラムの各モジュールは正常に動作しているが、全体として正常に動作していない場合)で、ウォッチドッグ・タイマを定期的にクリアしている場合

暴走時に実行している命令群で、定期的にウォッチドッグ・タイマをクリアしている場合
暴走の結果、STOPモードまたはIDLEモードになってしまった場合

CPUが外来ノイズで暴走したときにウォッチドッグ・タイマも暴走してしまった場合

、 の場合は、プログラムを修正することで検出を可能にすることができます。

の場合は、ウォッチドッグ・タイマがクリアできるのは4バイトの専用命令だけです。も同様に4バイトの専用命令でなければSTOPモード、またはIDLEモードにすることができません。また、暴走の結果、の状態になるためには、3バイト以上の連続したデータが特定パターン(例 BT PSWL. bit, \$\$など)になっている必要があります。したがって、 および暴走の結果、の状態になることが発生するのはきわめてまれであると考えられます。

13.4.2 μ PD784938Aサブシリーズのウォッチドッグ・タイマに関する 注意事項

- (1) ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, byte) でのみ書き込みが可能です。
- (2) RUNビットをセット (1) するためのウォッチドッグ・タイマ・モード・レジスタ (WDM) への書き込みには、毎回、同じ値を書き込んでください。異なる値を書いても1回目を書き込んだ内容を変更できません。
- (3) RUNビットは、いったんセット (1) するとソフトウェアではリセット (0) できません。

第14章 時計用タイマ

時計用タイマに入力するカウント・クロックは、メイン・クロック（12.58 MHz（MAX.））と時計クロック（32.768 kHz）の2種類があり、制御レジスタにより選択できます。時計クロックは、時計用タイマのみに入力するクロックで、CPUや他の周辺回路には入力しません。したがって、時計クロックによりCPUを低速動作させることはできません。

時計用タイマはカウント・クロックを分周して、0.5秒間隔の割り込み信号（INTW）を発生します。同時に割り込み要求フラグ（WIF）もセットします（ここでのWIFは、割り込み制御レジスタ（WIC）のビット7です）。

また、モード切り替えにより、INTW発生間隔を約1 msに変更することもできます（早送りモード：通常動作の512倍速）。さらに、INTW発生間隔を15.6 msに設定することもできます。

カウント・クロックにメイン・クロックを選択している場合は、STOPモードのスタンバイ時には、動作を停止します。ただし、IDLEモード時、HALTモード時は動作を継続します。また、カウント・クロックに時計クロックを選択した場合は、どのスタンバイ・モード時でも動作を継続することができます。時計クロック発振器の動作制御は、時計用タイマ・モード・レジスタ（WM）で行います。

図14 - 1 にWMのフォーマットを示します。

図14 - 1 時計用タイマ・モード・レジスタ (WM) のフォーマット



注意 時計用タイマを動作させてからの最初のINTWの発生までの時間は, 0.5秒にはなりません。2発目以降からの0.5秒間隔になります。

μ PD784938Aの時計用タイマには、ブザー出力機能は内蔵しません。

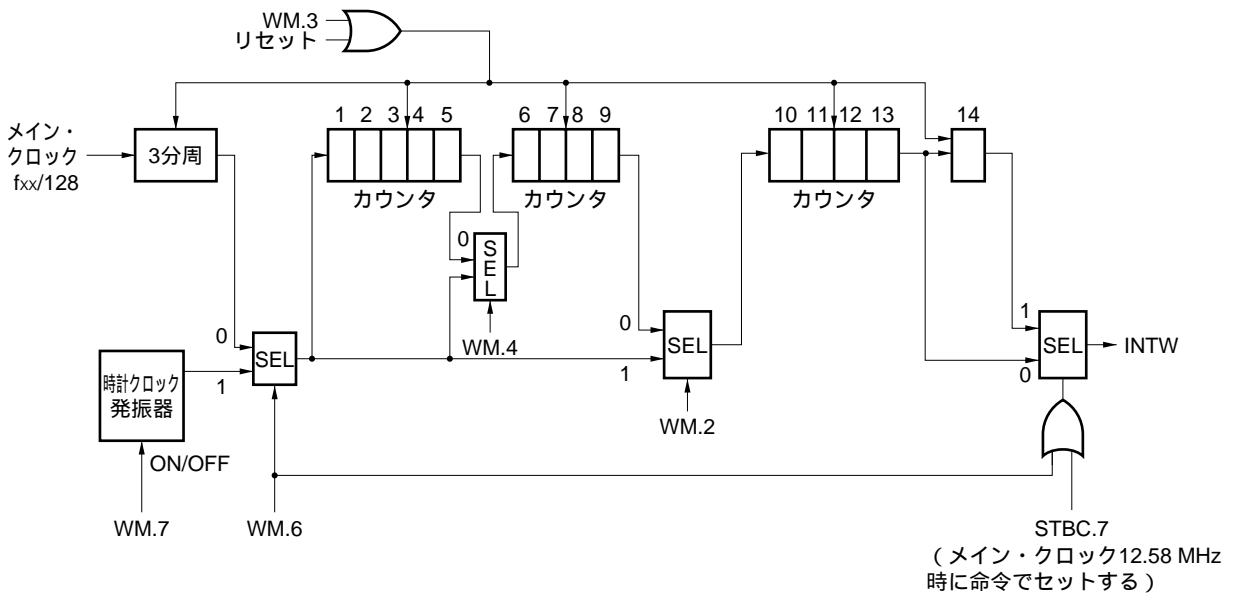
表14 - 1 カウント・クロックと時計用タイマ動作の関係

カウント・クロックの選択	通常動作モード	スタンバイ・モードの種類		
		HALTモード	STOPモード	IDLEモード
メイン・クロック	動作可能	動作可能	停止	動作可能 ^注
時計クロック	動作可能	動作可能	動作可能	動作可能

注 時計用タイマ・モード・レジスタ(WM)のビット3(WM3)を“1”,ビット6(WM6)を“0”にしたとき, IDLEモード時でもメイン・クロックでの動作ができます。

時計用タイマの構成は、カウント・クロックを3分周する分周回路と、分周回路の出力を 2^{14} 分周するカウンタから構成されています。カウント・クロックは、内部システム・クロックを128分周した信号と、時計クロック発振器からの信号を選択して使用してください。

図14 - 2 時計用タイマのブロック図



注意 動作許可後、はじめのINTWまでは0.5 sではありません。

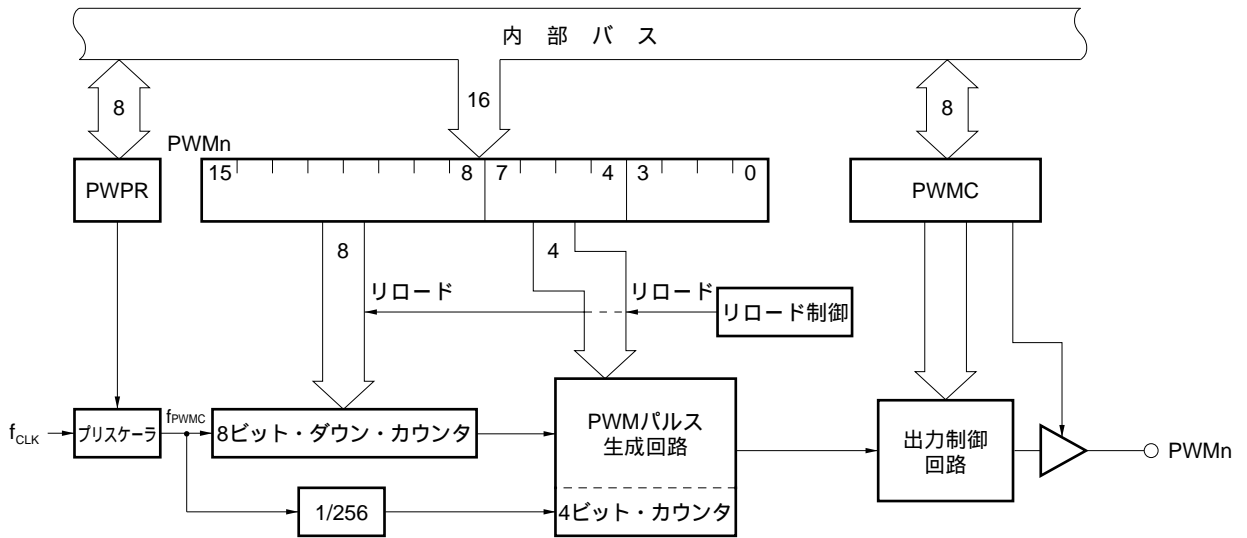
第15章 PWM出力ユニット

μPD784938Aは、12ビット分解能のPWM（パルス幅変調）出力回路を、2チャンネル内蔵しています。PWM出力パルスのアクティブ・レベルをハイ/ロウに選択することができます。また、PWM出力ポートは専用端子になっています。

15.1 PWM出力ユニットの構成

図15 - 1に、PWM出力ユニットの構成を示します。

図15 - 1 PWM出力ユニットの構成



備考 n = 0, 1

(1) 8ビット・ダウン・カウンタ

基本となるPWM信号のタイミングを生成します。

(2) PWMパルス生成回路(4ビット・カウンタを含む)

追加パルス付加の制御をし、出力するPWMパルスを生成します。

(3) リロード制御

8ビット・ダウン・カウンタおよび4ビット・カウンタのモジュロ値のリロードを制御します。

(4) 出力制御回路

PWM信号のアクティブ・レベルの制御をします。

(5) プリスケーラ

f_{CLK}を分周し、基準クロックを生成します。

15.2 PWM出力ユニットの制御レジスタ

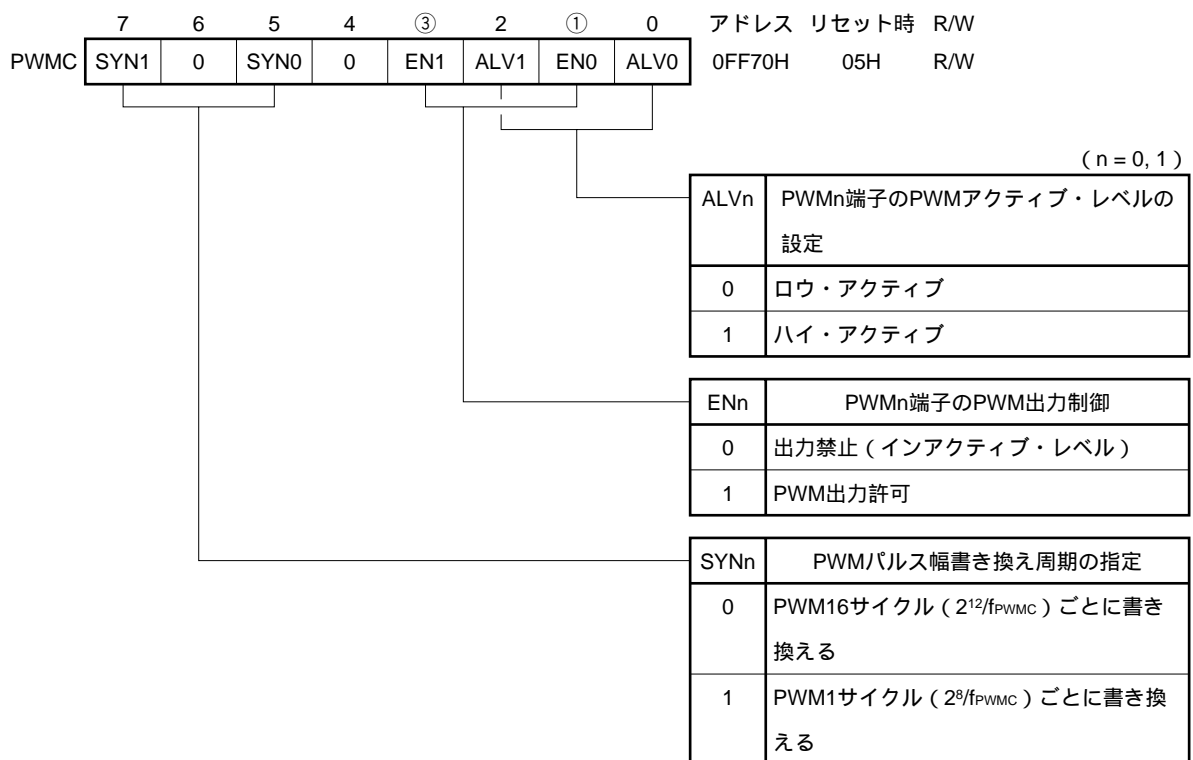
15.2.1 PWMコントロール・レジスタ (PWMC)

PWMCは、PWM出力端子 (PWMn : n = 0, 1) の動作状態を制御する 8 ビット・レジスタです。

PWMCは、8 ビット操作命令とビット操作命令で読み出し / 書き込みが可能です。図15 - 2 に、PWMC のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により、PWMCは05Hとなり、PWMn端子は、出力禁止状態となります。

図15 - 2 PWMコントロール・レジスタ (PWMC) のフォーマット



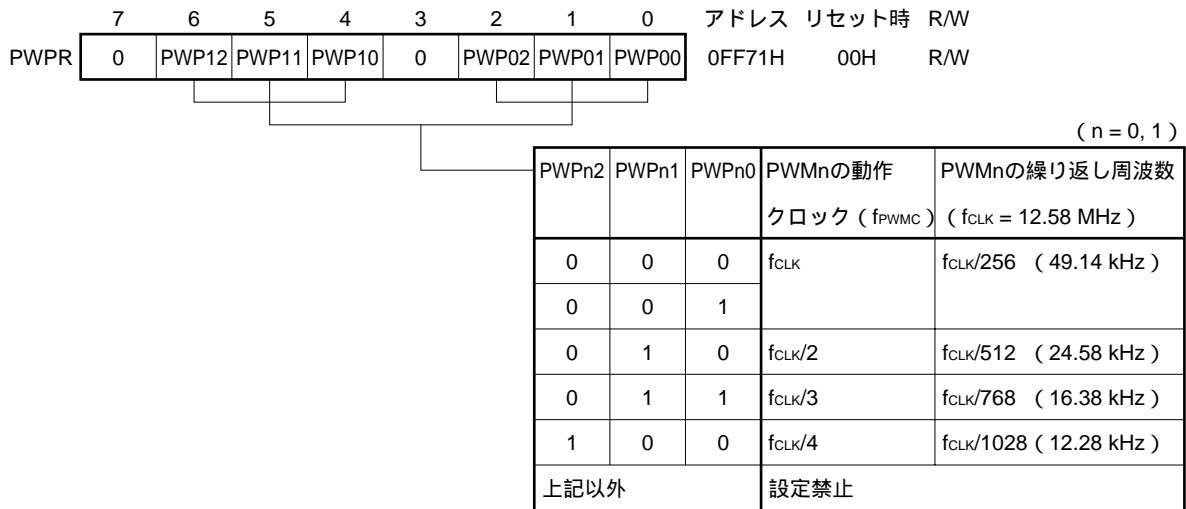
15.2.2 PWMプリスケラ・レジスタ (PWPR)

PWPRは、PWM出力回路の動作クロック (f_{PwMC}) を選択する8ビット・レジスタです。

PWPRは、8ビット操作命令で読み出し/書き込みが可能です。図15-3に、PWPRのフォーマットを示します。

\overline{RESET} 入力により00Hとなり、2チャンネルとも f_{PwMC} として f_{CLK} が選択されます。

図15-3 PWMプリスケラ・レジスタ (PWPR) のフォーマット



15.2.3 PWMモジュロ・レジスタ (PWM0, PWM1)

PWMモジュロ・レジスタ ($PWMn : n = 0, 1$) は、PWMパルスのパルス幅を決定する16ビット・レジスタです。データの設定は、16ビット操作命令で読み出し/書き込みが可能です。

$PWMn$ のビット4-15の内容が12ビットPWMパルス幅を決定します(12ビット分解能)。ビット3-0は意味を持たず、1または0のいずれのデータを書き込んでもPWM出力に影響しません。

\overline{RESET} 入力により、 $PWMn$ の内容は不定になりますので、初期化プログラムでデータを設定してから、PWM出力の許可をしてください。

注意 PWMモジュロ・レジスタ ($PWMn : n = 0, 1$) へは、0000H-00FFHの値を設定しないでください。PWMnへは0100H-FFFFHの値を設定するようにしてください。出力可能なPWM信号のデューティ値は、17/4096-4096/4096となります。

15.3 PWM出力ユニットの動作

15.3.1 PWM出力の基本動作

PWMパルス出力のデューティは、PWMモジュロ・レジスタ (PWMn : n = 0, 1) のビット4-15に設定する値で次のように決定されます。

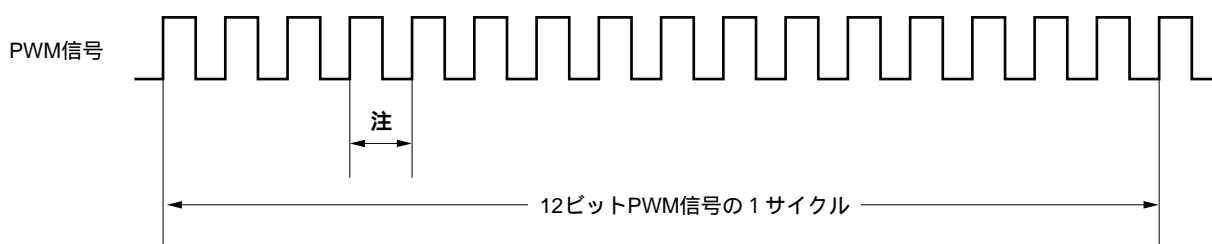
$$\text{PWMパルス出力のデューティ} = \frac{(\text{PWMnのビット4-15の値})^{\text{注}+1}}{4096}$$

注 16 (PWMnのビット4-15の値) 4095

PWMパルス出力の繰り返し周波数は、PWMプリスケアラ・レジスタ (PWPR) で設定される $f_{\text{CLK}}/1-f_{\text{CLK}}/4$ のPWMクロック (f_{PWMC}) を256分周 ($= f_{\text{PWMC}}/256$) した周波数になり、最小パルス幅は、 $1/f_{\text{PWMC}}$ になります。

PWMパルス出力は、繰り返し周波数 $f_{\text{PWMC}}/256$ の8ビット分解能のPWM信号を16回繰り返して出力することで、12ビット分解能を実現しています。PWMnのビット8-15で決定される8ビット分解能のPWMパルスに、1サイクルごとにPWMnのビット4-7の値に従って、追加パルス ($1/f_{\text{PWMC}}$) の付加を制御して、16周期で1回のPWMパルス信号を実現しています。

図15 - 4 PWM出力の基本動作



注 PWMパルス : 1サイクル8ビット分解能

15.3.2 PWMパルス出力の許可/禁止

PWMパルスを出力するときは、PWMプリスケアラ・レジスタ (PWPR)、PWMモジュロ・レジスタ (PWMn : n = 0, 1) にデータを設定したあと、PWMコントロール・レジスタ (PWMC) のENn (n = 0, 1) ビットをセット (1) します。

これにより、PWM出力端子からは、PWMCのALVn (n = 0, 1) ビットで指定されたアクティブ・レベルのPWMパルスが出力されます。

PWMCのENnビットをクリア (0) すると、PWM出力ユニットはただちにPWM出力動作を停止します。

15.3.3 PWMパルスのアクティブ・レベルの指定

PWMコントロール・レジスタ (PWMC) のALVn (n = 0, 1) ビットは、PWM出力端子から出力されるPWMパルスのアクティブ・レベルを指定します。

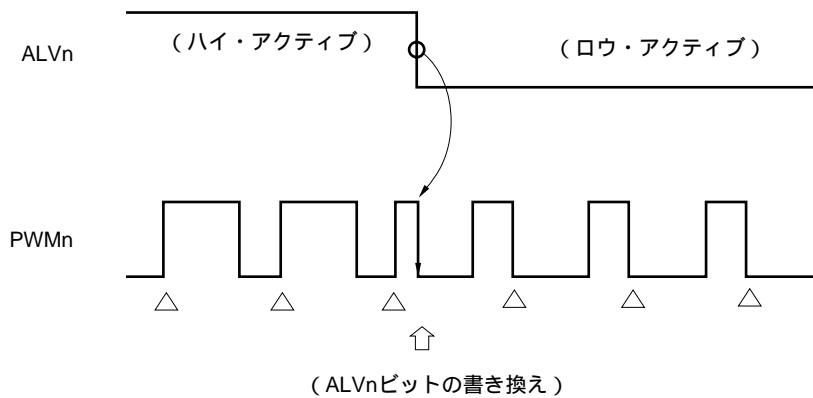
ALVnビットをセット (1) すると、ハイ・アクティブ・レベルのパルスを出し、クリア (0) するとロウ・アクティブ・レベルのパルスを出します。

ALVnビットを書き換えると、ただちにPWMアクティブ・レベルが変化します。図15 - 5 に、PWM出力のアクティブ・レベル設定と端子状態を示します。

図15 - 5 は、PWMCのENn (n = 0, 1) ビットをセット (1) し、PWM出力を許可している状態でALVnビットを切り替えた場合です。

ENnビットがクリア (0) の状態でALVnビットを書き換えても、端子状態は変化しません。

図15 - 5 PWM出力のアクティブ・レベル設定



備考 ENn = 1 (n = 0, 1)

15.3.4 PWMパルス幅書き換え周期の指定

PWM出力の開始、およびパルス幅の変更は、PWMパルス16サイクル ($2^{12}/f_{\text{PWMC}}$) ごと、あるいは、PWMパルス1サイクル ($2^8/f_{\text{PWMC}}$) ごとの、いずれかに同期して行われます。このPWMパルス幅書き換え周期の指定は、PWMコントロール・レジスタ (PWMC) のSYNn ($n = 0, 1$) ビットで行います。

SYNnビットをクリア (0) すると、パルス幅の変更は、PWMパルス16サイクル ($2^{12}/f_{\text{PWMC}}$) ごとに行われます。したがって、PWMモジュロ・レジスタ (PWMn: $n = 0, 1$) に書き込まれたデータに対応する幅のパルスを出力するようになるまでには、最大 2^{12} クロック ($f_{\text{PWMC}} = 12.58 \text{ MHz}$ 時で $326 \mu\text{s}$) かかります。

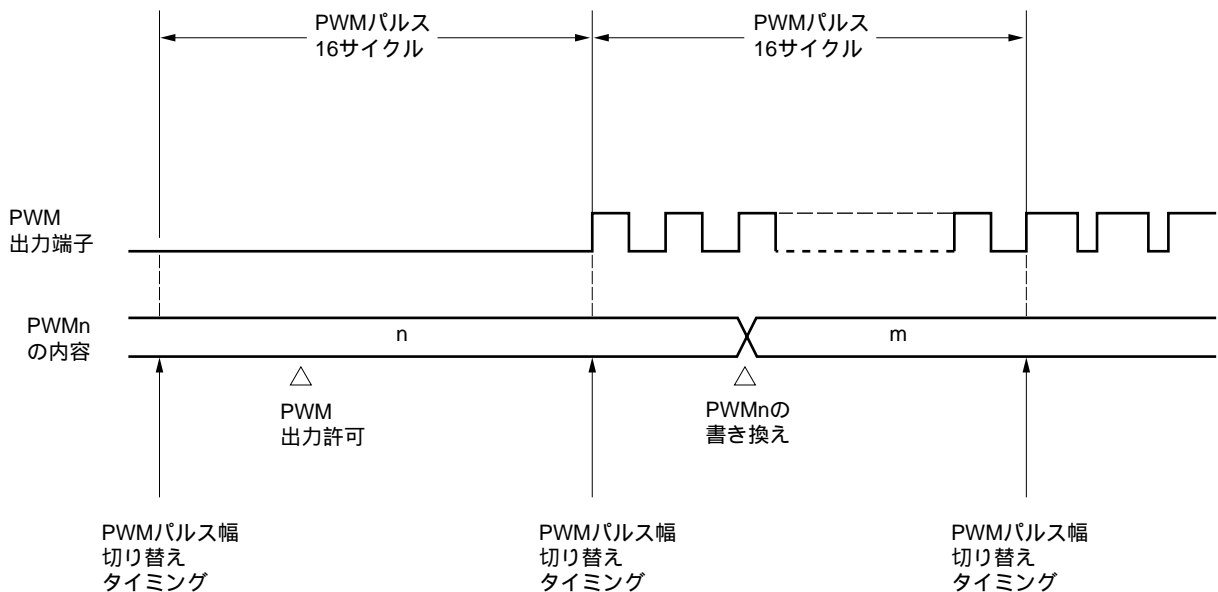
このときのPWM出力タイミング例を図15 - 6 に示します。

一方、SYNnビットをセット (1) すると、パルス幅の変更は、PWMパルス1サイクル ($2^8/f_{\text{PWMC}}$) ごとに行われます。この場合、PWMnに書き込まれたデータに対応する幅のパルスを出力するようになるまでには、最大 2^8 クロック ($f_{\text{PWMC}} = 12.58 \text{ MHz}$ 時で、 $20.4 \mu\text{s}$) となります。

ただし、PWMパルス書き換え周期を、 $2^9/f_{\text{PWMC}}$ ごとに指定した場合、(SYNnビットをセット (1) した場合)、得られるPWMパルスの精度は8ビット以上、12ビット以下となり、書き換え周期を $2^{12}/f_{\text{PWMC}}$ に指定したときよりも精度が低下するので、注意が必要です。

書き換えタイミングが $2^9/f_{\text{PWMC}}$ の場合のPWM出力タイミング例を、図15 - 7 に示します。

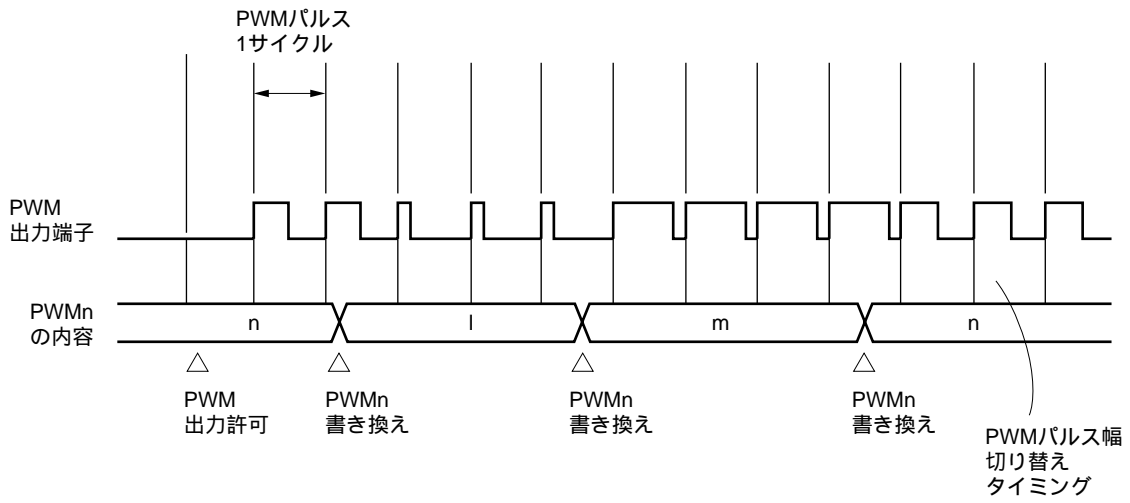
図15 - 6 PWM出力タイミング例1 (PWMパルス幅書き換え周期 $2^{12}/f_{\text{PWMC}}$)



注意 1 . パルス幅の書き換えは、PWMパルス1サイクルごとに行われます。

2 . PWMパルスの精度は、12ビット。

図15 - 7 PWM出力タイミング例2 (PWMパルス幅書き換え周期 $2^8/f_{PWM}$)



注意 1 . パルス幅の書き換えは , PWMパルス 1 サイクルごとに行われます。

2 . PWMパルスの精度は , 8 ビット以上 , 12 ビット以下。

備考 l , m , nはPWMnの内容

15.4 注意事項

PWMモジュロ・レジスタ (PWMn : n = 0 , 1) へは , 0000H-00FFHの値を設定しないでください。PWMnへは0100H-FFFFHの値を設定するようにしてください。出力可能なPWM信号のデューティ値は , 17/4096-4096/4096となります。

第16章 A/Dコンバータ

μPD784938Aは、8マルチプレクスト・アナログ入力 (ANI0-ANI7) を持つアナログ/ディジタル (A/D) コンバータを内蔵しています。

変換方式は逐次比較で、変換結果を8ビットのA/D変換結果レジスタ (ADCR) に保持します。このため、高速で高精度に変換します。

A/D変換動作の起動には、次のモードがあります。

- ・ハードウェア・スタート：トリガ入力 (INTP5) により変換開始。
- ・ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ (ADM) のビット設定により変換開始。

また、起動後の動作には、次のモードがあります。

- ・スキャン・モード：複数のアナログ入力を順次選択し、全端子からの変換データを得ます。
- ・セレクト・モード：アナログ入力を1端子に固定し、連続的な変換値を得ます。

以上のモードと変換動作の停止は、すべてADMで指定します。

なお、変換結果をADCRへ転送すると、割り込み要求INTADが発生します。このため、マクロ・サービスによって、変換値をメモリへ連続的に転送できます。

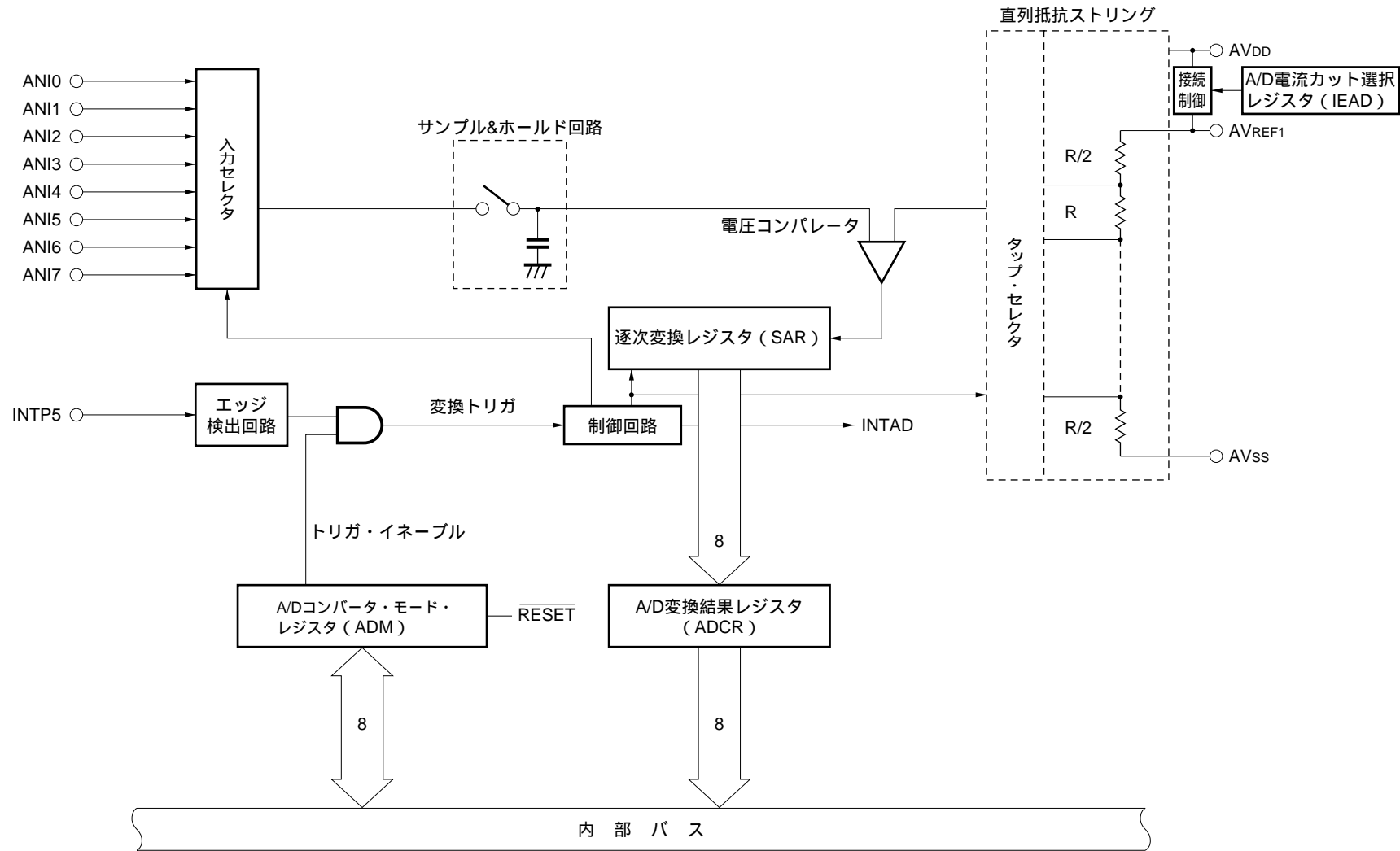
注意 1．本製品では、基準電圧入力端子 (AVREF1) には電源電圧 (AVDD) と同じ電圧を印加して使用してください。

2．ポート7を出力ポートとA/D入力を混在して使用している場合には、A/D変換動作中は、出力ポートの操作は行わないでください。

16.1 構 成

図16 - 1 に、A/Dコンバータのブロック図を示します。

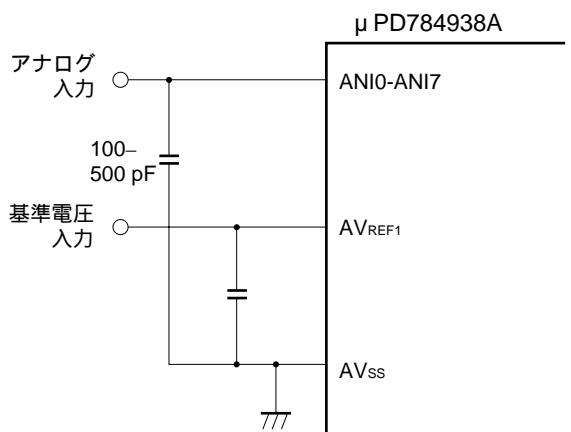
図16 - 1 A/Dコンバータのブロック図



注意1．アナログ入力端子（ANIO-ANI7）および基準電圧入力端子（AV_{REF1}）には、ノイズによる誤動作を防ぐため、AV_{SS}との間にキャパシタを接続してください。

また、キャパシタは必ずANIO-ANI7およびAV_{REF1}の近くに接続してください。

図16 - 2 A/Dコンバータ用端子のキャパシタ接続例



2．A/Dコンバータの入力端子として使用している端子には、AV_{SS}-AV_{REF1}の範囲外の電圧が加わらないようにしてください。詳細については、16.6 注意事項を参照してください。

（1）入力回路

入力回路は、A/Dコンバータ・モード・レジスタ（ADM）の指定によりアナログ入力を選択し、動作モードに従ってアナログ入力をサンプル&ホールド回路に送ります。

（2）サンプル&ホールド回路

サンプル&ホールド回路は、順次送られてくるアナログ入力を1つ1つサンプリングし、A/D変換中のアナログ入力を保持します。

（3）電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの電圧タップとの電圧差を比較します。

（4）直列抵抗ストリング

直列抵抗ストリングは、アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは、A/Dコンバータ用の基準電圧端子（AV_{REF1}）とA/Dコンバータ用のGND端子（AV_{SS}）間に接続されています。2端子間を256の等価な電圧ステップにするため、等価な抵抗255個とその1/2の抵抗値の抵抗2個で構成されています。

直列抵抗ストリングの電圧タップは、逐次変換レジスタ（SAR）で制御されるタップ・セレクタによって選択します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARは、直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを、最上位ビット (MSB) から 1 ビットずつ設定する 8 ビット・レジスタです。

SARの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARの内容 (変換結果) は、A/D変換結果レジスタ (ADCR) に保持されます。

(6) A/D変換結果レジスタ (ADCR : A/D Conversion Result Register)

ADCRは、A/D変換結果を保持する 8 ビット・レジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされます。

$\overline{\text{RESET}}$ 入力により不定となります。

(7) エッジ検出回路

エッジ検出回路は、割り込み要求入力端子 (INTP5) の入力から有効エッジを検出して、外部割り込み要求信号 (INTP5) とA/D変換動作の外部トリガを発生します。

INTP5端子入力の有効エッジは、外部割り込みモード・レジスタ 1 (INTM1) で指定します (図22 - 2 参照)。外部トリガの許可/禁止は、A/Dコンバータ・モード・レジスタ (ADM) で設定します (16.2 A/Dコンバータ・モード・レジスタ (ADM) 参照)。

16.2 A/Dコンバータ・モード・レジスタ (ADM)

ADMは、A/Dコンバータの動作を制御する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図16-3に、ADMのフォーマットを示します。

ビット0 (MS) は、動作モードを制御するビットです。

ビット1, 2, 3 (ANI0, 1, 2) は、A/D変換するアナログ入力を選択するビットです。

ビット5 (SCMD) は、スキャン・モード時のA/D変換動作を制御するビットです。

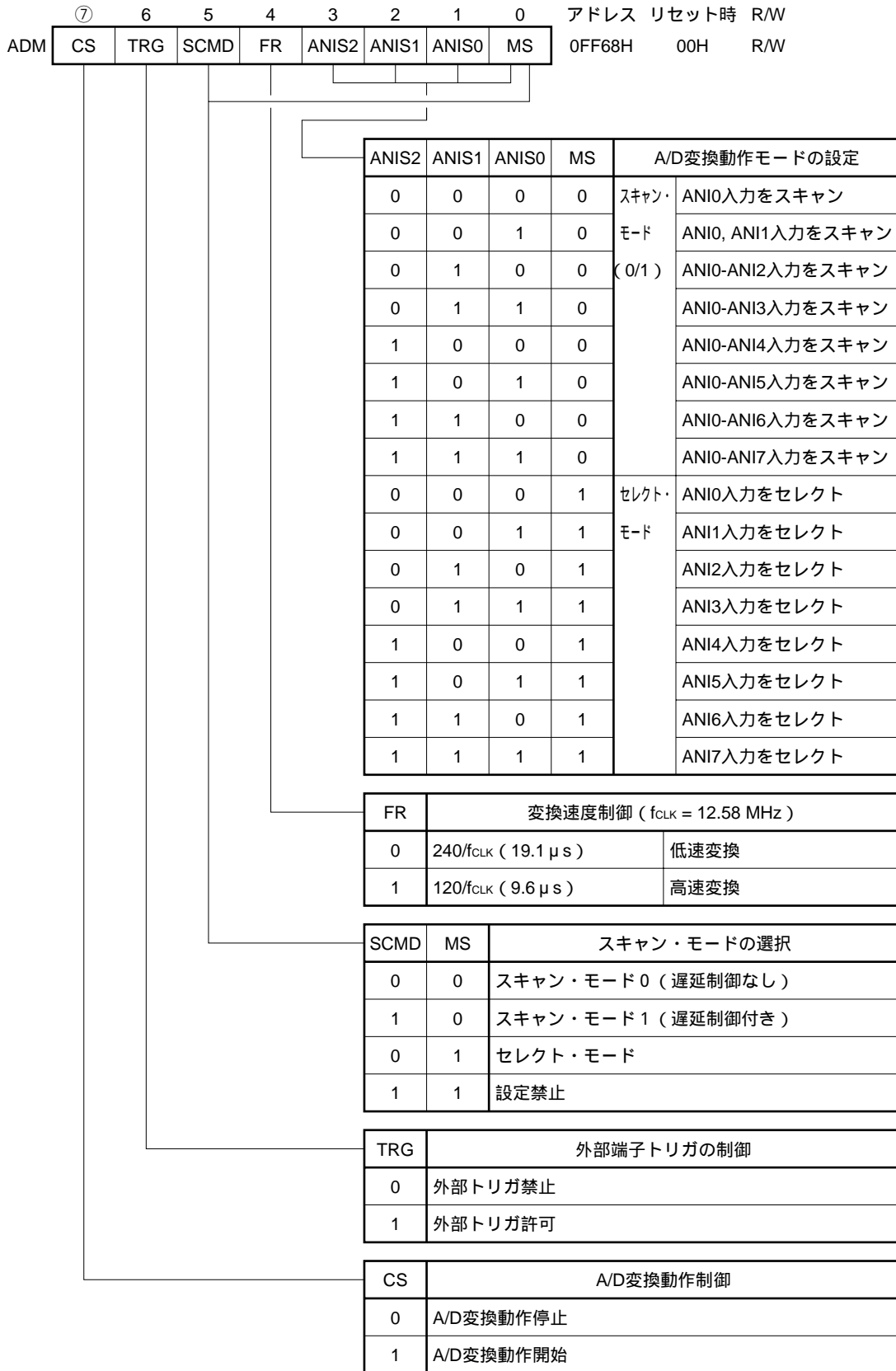
ビット6 (TRG) は、A/D変換動作の外部同期を許可するビットです。CSビットがセット(1)時、TRGビットをセット(1)すると、INTP5端子に外部トリガとして有効エッジを入力することに変換動作を初期化します。TRGビットをクリア(0)すると、INTP5端子入力に関係なく変換動作を行います。

ビット7 (CS) は、A/D変換動作を制御するビットです。CSビットをセット(1)すると変換動作を開始し、クリア(0)すると、変換中であってもすべての変換動作を中止します。このとき、A/D変換結果レジスタ(ADCR)の更新、INTAD割り込み要求は発生しません。また、電圧コンパレータへの電源供給を停止し、A/Dコンバータでの消費電流を減らします。

$\overline{\text{RESET}}$ 入力により00Hとなります。

注意 STOPモード、IDLEモードを使用する場合は、STOPモード、IDLEモードに入る前にCSビットをクリア(0)して消費電流が下がるようにしてください。CSビットがセット(1)されたままだと、STOPモード、IDLEモードに入ることにより変動動作は止まりますが、電圧コンパレータへの電源供給は止まりませんので、A/Dコンバータでの消費電流は減りません。

図16 - 3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット



注意 A/Dコンバータは、一度動作を開始すると、A/Dコンバータ・モード・レジスタ (ADM) のCSビットをクリア (0) するまで変換動作を繰り返し行います。したがって、A/Dコンバータのモード変換時などに、割り込みに関するレジスタなどの設定後にADMの設定を行った場合、不要な割り込みが発生することがあります。この不要な割り込みにより、スキャン・モード使用時には変換結果の格納アドレスがずれたように見えます。また、セレクト・モード使用時には、1回目の変換結果が他チャンネルの変換結果などの異常な値になったように見えます。A/Dコンバータのモード変換は、次の手順で行うことをお勧めします。

ADMへの書き込み (CSビットは、必ずセット (1) する)

割り込み要求フラグ (ADIF) のクリア (0)

割り込みマスク・フラグまたは、割り込みサービス・モード・フラグの設定

～ の操作は、割り込みやマクロ・サービスによって分断されないようにしてください。特に、スキャン・モード0 (遅延制御なし) 使用時には、 と の間はA/D変換の1回分の時間以下になるようにしてください。

または次の手順で行うことをお勧めします。

ADMのCSビットをクリア (0) することにより、A/D変換動作を停止

割り込み要求フラグ (ADIF) のクリア (0)

割り込みマスク・フラグまたは割り込みサービス・モード・フラグの設定

ADMへの書き込み

16.3 A/D電流カット選択レジスタ (IEAD)

IEADは、AV_{DD}-AV_{REF1}間を接続するか、しないかを選択するレジスタです。

AV_{DD} AV_{REF1}で、かつ、精度を要求しないシステムにおいて、AV_{REF1}端子をオープンにして使用し、通常の状態ではAV_{DD}-AV_{REF1}間を接続し、スタンバイ・モード時には切断することで、スタンバイ・モード時の消費電力を小さくすることができます。

IEADは、8ビット操作命令または1ビット操作命令で設定します。 $\overline{\text{RESET}}$ 入力により、00Hになります。

図16 - 4 A/D電流カット選択レジスタ (IEAD) のフォーマット

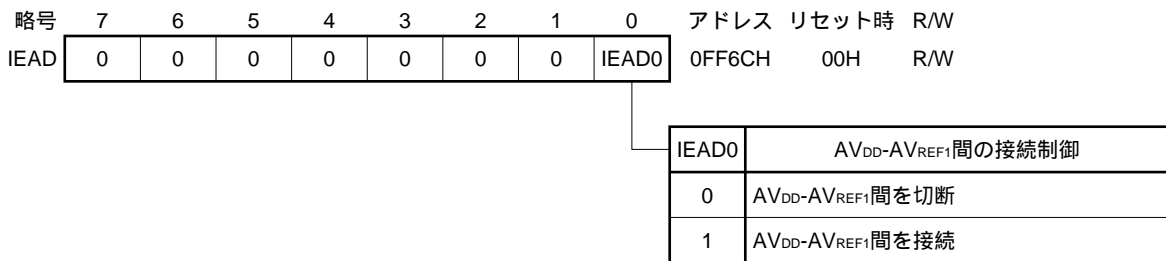
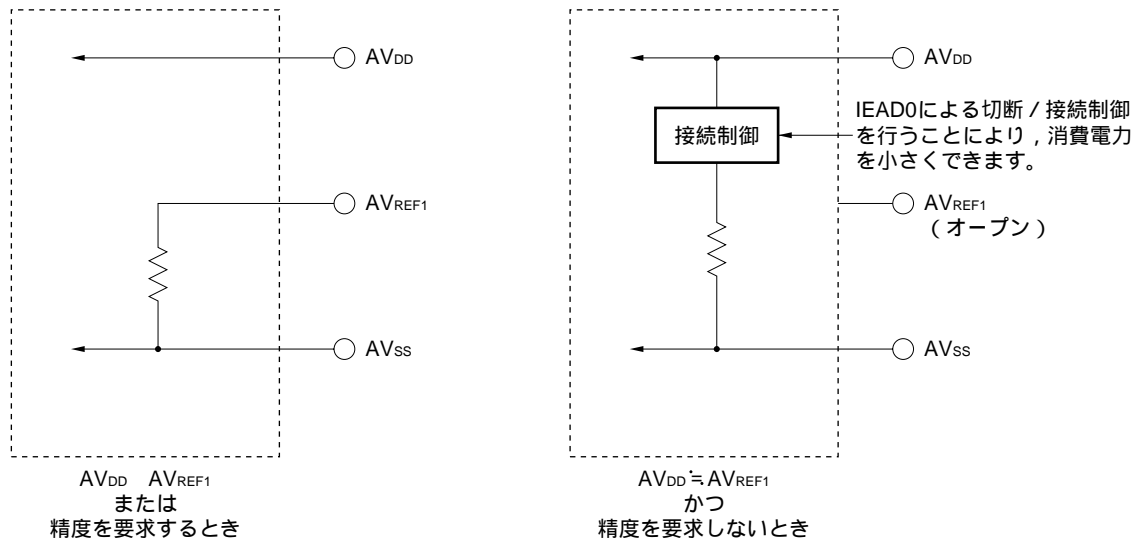


図16 - 5 A/D電流カット選択レジスタの機能



16.4 動作

16.4.1 A/Dコンバータの基本動作

(1) A/D変換動作手順

A/D変換は、次のような手順で行います。

- (a) アナログ入力を選択と動作モードの指定をA/Dコンバータ・モード・レジスタ (ADM) によって設定します。
- (b) ADMのビット7 (CS) をセット (1) し、A/D変換を開始させます。
- (c) 変換開始とともに逐次変換レジスタ (SAR) の最上位ビット (ビット7) が自動的にセット (1) されます。
- (d) SARのビット7がセット (1) されるとタップ・セレクタは、直列抵抗ストリングの電圧タップを $\frac{255}{512}AV_{REF1}$ ($\frac{1}{2}AV_{REF1}$) にします。
- (e) 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログが $(1/2)AV_{REF1}$ よりも大きければ、SARのMSBをセット (1) したままです。また、もし $(1/2)AV_{REF1}$ よりも小さければ、MSBをクリア (0) します。
- (f) 次にSARのビット6が自動的にセット (1) され、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

$$\cdot \text{ビット7} = 1 \dots\dots \frac{383}{512}AV_{REF1} \quad \frac{3}{4}AV_{REF1}$$

$$\cdot \text{ビット7} = 0 \dots\dots \frac{127}{512}AV_{REF1} \quad \frac{1}{4}AV_{REF1}$$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

・アナログ入力電圧 > 電圧タップ : ビット6 = 1

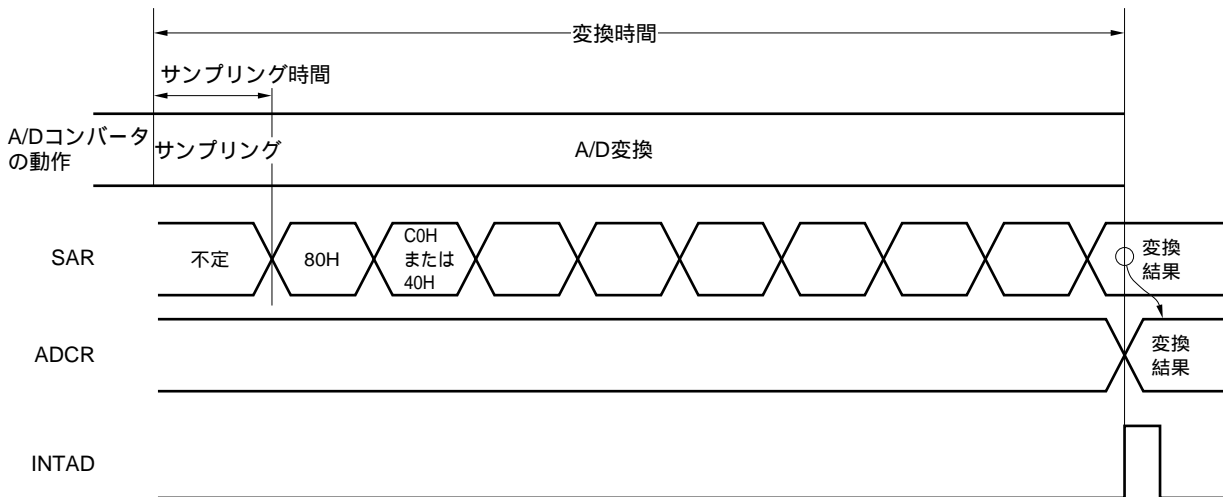
・アナログ入力電圧 < 電圧タップ : ビット6 = 0

- (g) このような比較をSARの最下位ビット (ビット0) まで続けます (バイナリ・サーチ法)。

(h) 8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ(ADCR)に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求(INTAD)を発生させることができます。

図16-6 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりCSビットをクリア(0)するまで連続的に行われます。

A/D変換動作中に、ADMに対する書き込み操作を行うと変換動作は初期化され、CSビットがセット(1)されていれば、最初から変換を開始します。

ADCRは、RESETにより不定となります。

(2) 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI7) に入力されたアナログ入力電圧とA/D変換結果 (ADCRに格納された値) には次式に示す関係があります。

$$ADCR = \text{INT} \left(\frac{V_{IN}}{AV_{REF1}} \times 256 + 0.5 \right)$$

または,

$$\left(ADCR - 0.5 \right) \times \frac{AV_{REF1}}{256} < V_{IN} < \left(ADCR + 0.5 \right) \times \frac{AV_{REF1}}{256}$$

備考 INT () : () 内の値の整数部を返す関数

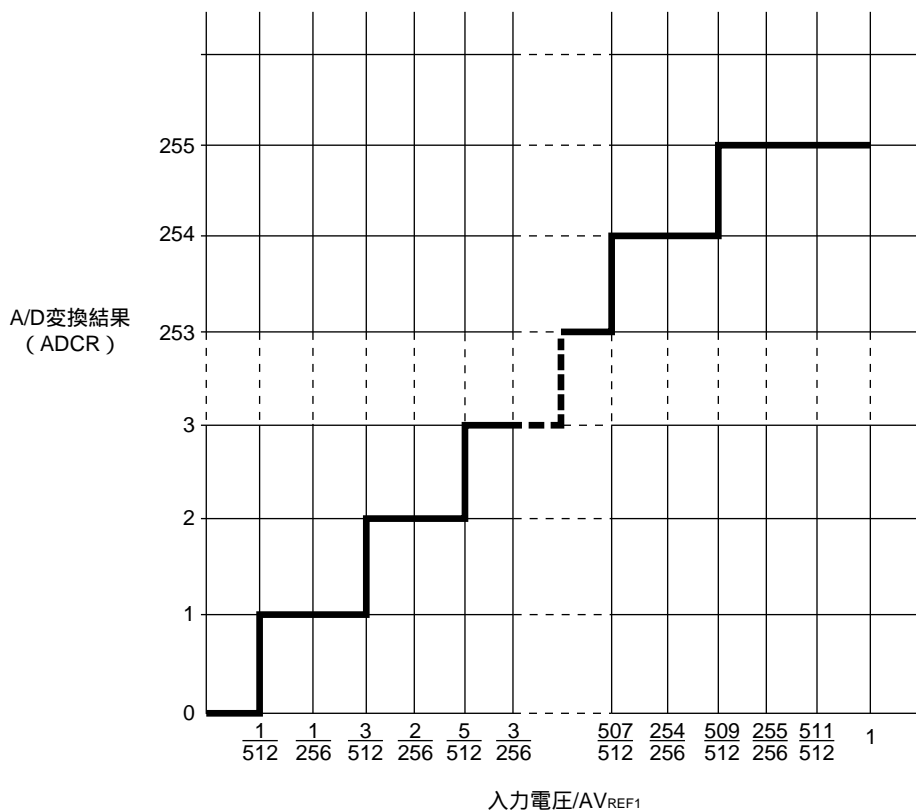
V_{IN} : アナログ入力電圧

AV_{REF1} : AV_{REF1} 端子電圧

ADCR : ADCRの値

図16 - 7 に, アナログ入力電圧とA/D変換結果の関係を示します。

図16 - 7 アナログ入力電圧とA/D変換結果の関係



(3) A/D変換の変換時間

A/D変換の変換時間は、システム・クロック周波数 (f_{CLK}) とA/Dコンバータ・モード・レジスタ (ADM) のFRビットによって決定されます。

A/D変換時間は、1回のA/D変換に必要なすべての時間を含んでおり、サンプリング時間も変換時間に含まれます。

表16 - 1 に、その値を示します。

表16 - 1 A/D変換時間

システム・クロック (f_{CLK}) の範囲	FRビット	変換時間	サンプリング時間
2 MHz f_{CLK} 16 MHz	0	$240/f_{CLK}$ (11.3 μ s - 90 μ s)	$36/f_{CLK}$ (2.3 μ s - 18 μ s)
2 MHz f_{CLK} 16 MHz	1	$120/f_{CLK}$ (7.5 μ s - 60 μ s)	$18/f_{CLK}$ (1.5 μ s - 12 μ s)

(4) A/Dコンバータの動作モード

A/Dコンバータの動作モードには、セレクト・モードとスキャン・モードがあります。各モードは、A/Dコンバータ・モード・レジスタ (ADM) のビット0 (MS) の設定により選択します。

また、ADMのビット5 (SCMD) により、スキャン・モード0, 1の選択ができます。

各モードの動作は、ADMが書き換えられるまで続けられます。

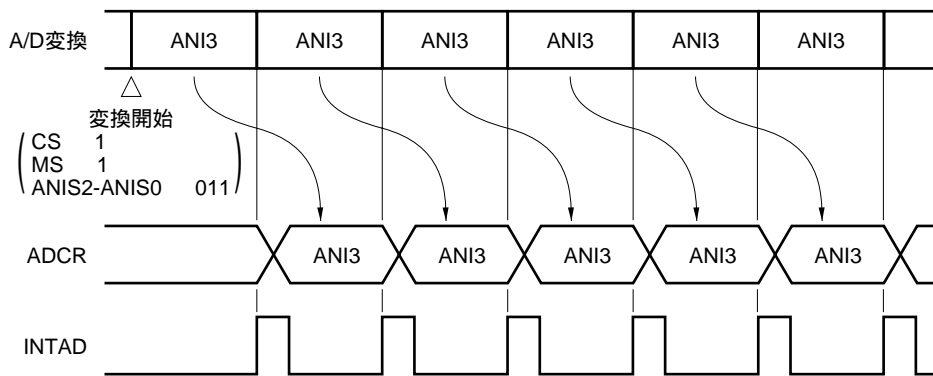
16.4.2 セレクト・モード

A/Dコンバータ・モード・レジスタ (ADM) のビット1-3 (ANIS0-ANIS2) により1つのアナログ入力を指定し、指定されたアナログ入力端子のA/D変換を開始します。変換結果をA/D変換結果レジスタ (ADCR) に格納します。

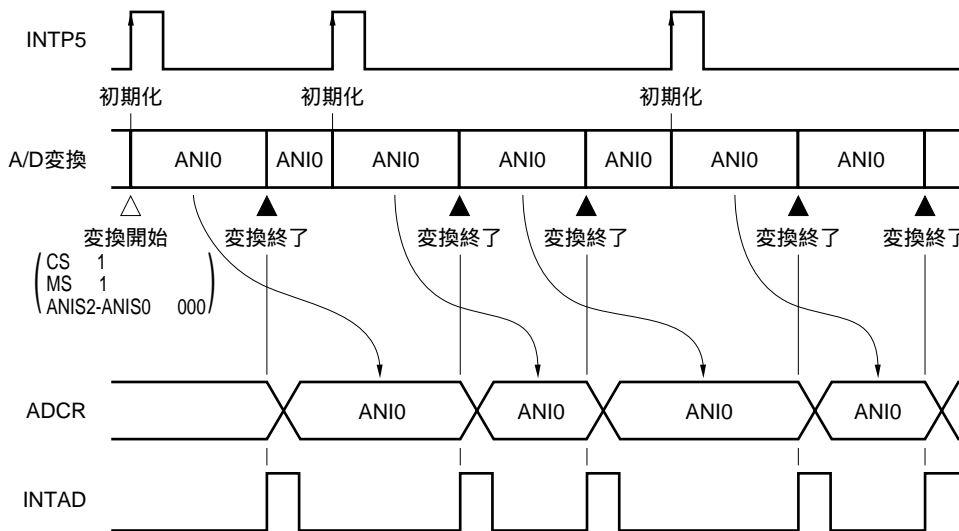
なお、1回の変換動作が終了するごとに、A/D変換終了割り込み要求 (INTAD) を発生します。

図16 - 8 セレクト・モードの動作タイミング

(a) TRGビット 0



(b) TRGビット 1



16.4.3 スキャン・モード

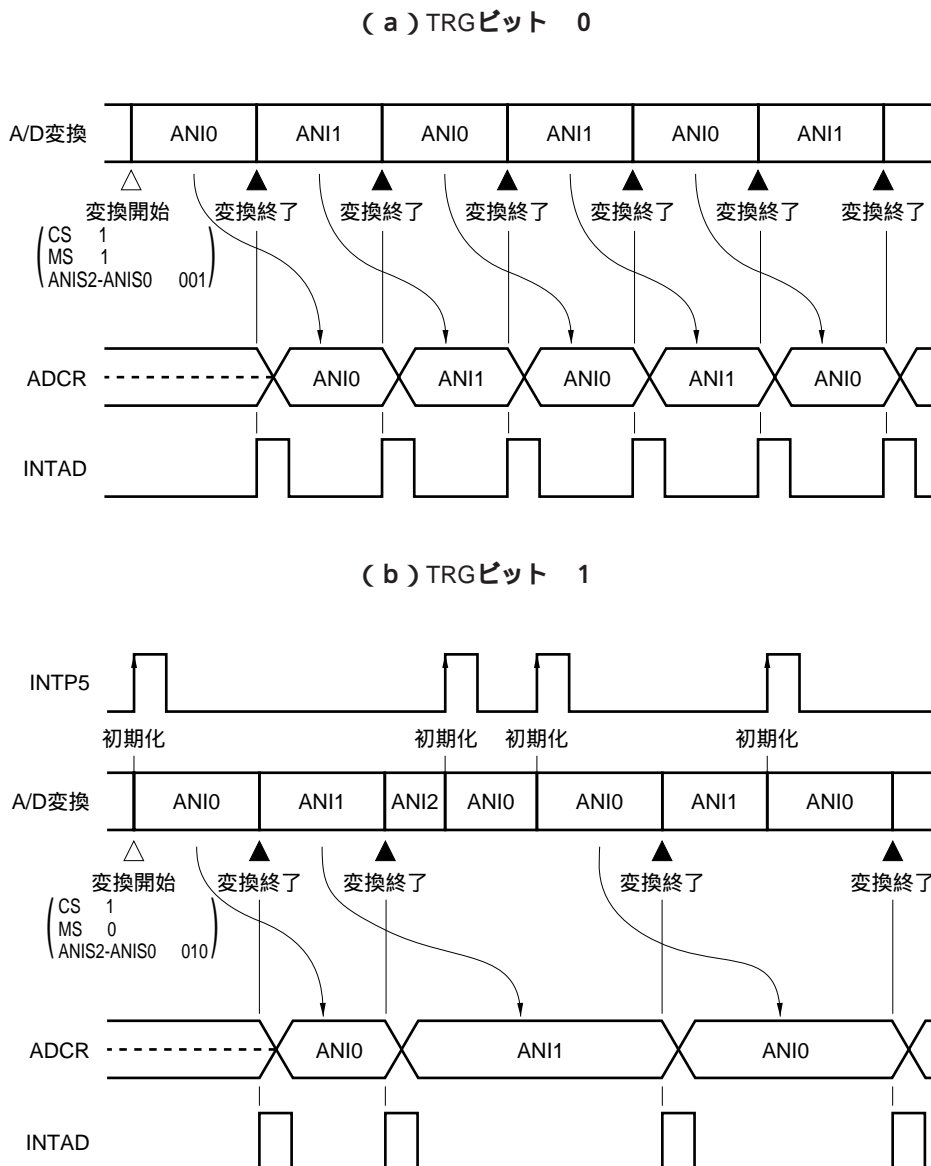
スキャン・モードには、CPUによるA/D変換結果の読み出しが遅れた場合を考慮した遅延制御付きのスキャン・モード1と、A/D変換の間隔を一定にした遅延制御なしのスキャン・モード0の2つがあります。一般的には遅延制御付きのスキャン・モード1を使用することを推奨します。

(1) スキャン・モード0 (A/Dコンバータ・モード・レジスタ (ADM) のビット5 (SCMD) = 0 のとき)

ADMのビット1-3 (ANIS0-ANIS2) により指定されたアナログ入力端子からの入力を順に選択し変換します。

たとえば、ADMのANIS2-ANIS0 = 001のときはANI0とANI1が繰り返しスキャン (ANI0 ANI1 ANI0 ANI1 ...) されます。スキャン・モードでは各入力の変換動作が終了するごとに、変換値はA/D変換結果レジスタ (ADCR) に格納され、A/D変換終了割り込み要求 (INTAD) を発生します。

図16 - 9 スキャン・モード0の動作タイミング

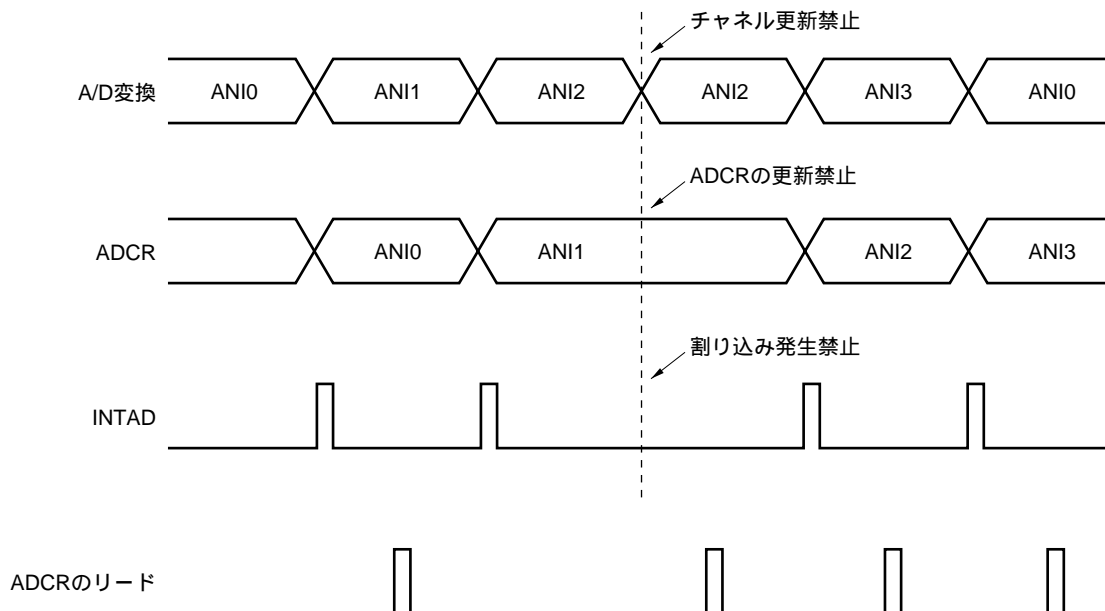


(2) スキャン・モード1 (A/Dコンバータ・モード・レジスタ (ADM) のビット5 (SCMD) = 1 のとき)

ADMのビット5がセット(1)されているとき、ビット1-3 (ANIS0-ASIN2)により指定されたアナログ入力端子を順に選択し、変換します。このとき、A/D変換終了割り込み要求 (INTAD) 発生後、次のA/D変換終了までにCPUによるA/D変換結果レジスタ (ADCR) のリードが行われなかった場合には、INTADの発生、ADCRの更新、チャンネルの更新をそれぞれ行わず、変換を再スタートします (図16-10参照)。

なお、CPUによるADCRのリードが次のA/D変換終了前に行われた場合は、スキャン・モード0と同様の動作を行います。

図16-10 スキャン・モード1の動作タイミング



16.4.4 ソフトウェア・スタートによるA/D変換動作の起動

ソフトウェアによるA/D変換動作のスタートは、A/Dコンバータ・モード・レジスタ (ADM) のTRGビットを0、CSビットを1とする値をADMへ書き込むことで行います。

A/D変換動作中 (CSビット = 1) に、再度TRGビットが0でCSビットが1になるような値をADMに書き込むと、そのとき行っていたA/D変換動作を中断し、書き込まれた値に応じたA/D変換をただちに開始します。

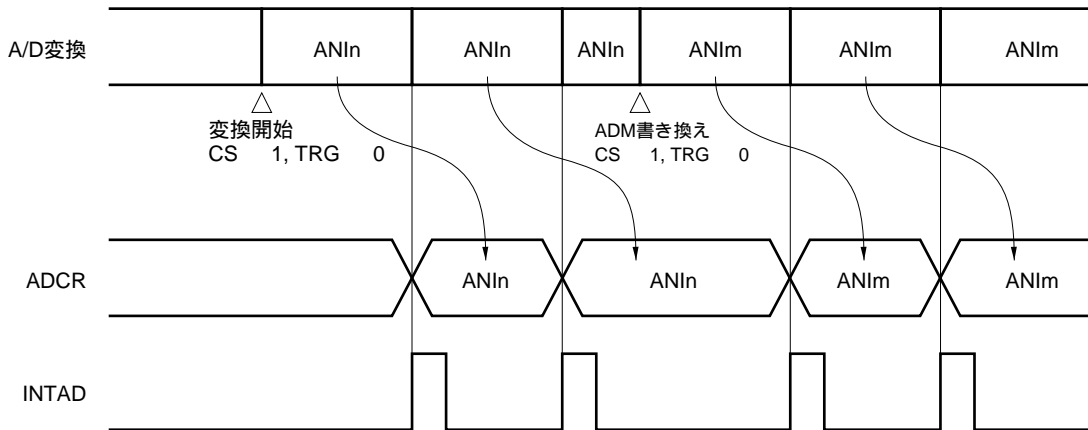
A/D変換動作が一度起動されると、1回のA/D変換動作が終了するとただちにADMで設定された動作モードに従って、次のA/D変換動作を開始し、ADMに対する書き込み命令が実行されるまで繰り返し変換動作を続けます。

ソフトウェアによってA/D変換動作が起動された場合 (TRGビット = 0) は、INTP5端子 (P26端子) 入力は、A/D変換動作に影響を与えません。

(1) セレクト・モードのA/D変換動作の場合

A/Dコンバータ・モード・レジスタ (ADM) で設定されたアナログ入力端子のA/D変換動作を起動します。A/D変換動作が終了すると、再度、同一アナログ入力端子のA/D変換動作を行います。A/D変換動作が終了するたびにA/D変換終了割り込み要求 (INTAD) が発生します。

図16-11 ソフトウェア・スタートによるセレクト・モードのA/D変換動作

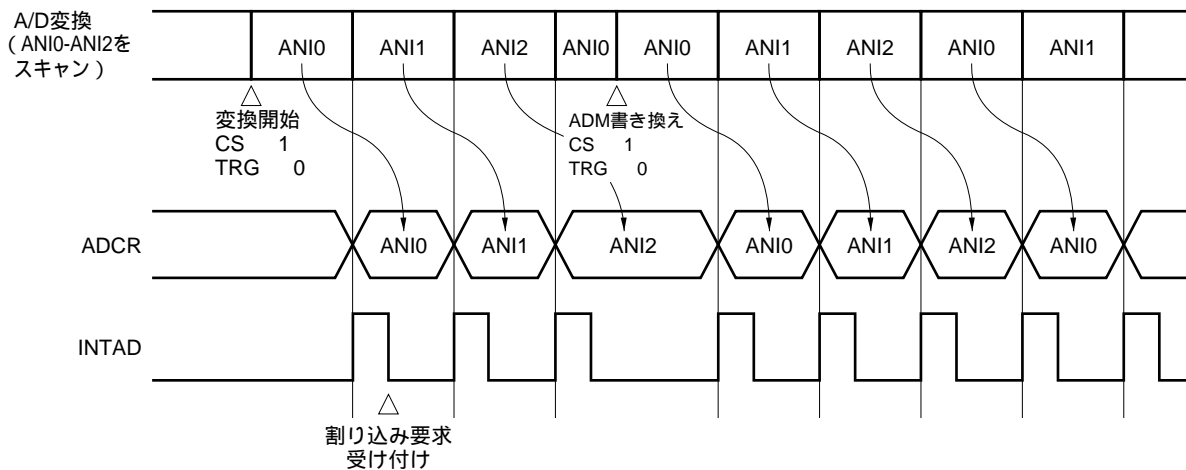


備考 n = 0, 1, ..., 7
m = 0, 1, ..., 7

(2) スキャン・モードのA/D変換動作の場合

変換動作が起動されるとANI0端子入力のA/D変換動作を開始します。A/D変換動作が終了すると、次のアナログ入力端子のA/D変換動作を開始します。また、A/D変換動作が終了するたびに、A/D変換終了割り込み要求 (INTAD) が発生します。

図16 - 12 ソフトウェア・スタートによるスキャン・モードのA/D変換動作



16.4.5 ハードウェア・スタートによるA/D変換動作の起動

ハードウェアによるA/D変換動作の起動は、A/Dコンバータ・モード・レジスタ (ADM) のTRGビットを1, CSビットを1とすることで可能となります。ADMのTRGビットを1, CSビットを1とすると外部信号の待機状態になり、INTP5端子 (P26端子) に有効エッジが入力されるとA/D変換動作が起動されます。

A/D変換動作がINTP5端子に入力された有効エッジによって起動された後に、再度INTP5端子に有効エッジが入力されると、そのとき行っていたA/D変換動作を中断し、ADMに設定されている内容に従ったA/D変換動作を最初から行います。

また、A/D変換動作中 (CSビット = 1) に、再度TRGビットが1, CSビットが1になるような値をADMに書き込むと、そのとき行っていたA/D変換動作を中断し (待機状態も中断されます)、書き込まれた値に応じたA/D変換動作モードでINTP5端子に有効エッジが入力されるのを待つ待機状態になり、有効エッジが入力されると変換動作を起動します。

この機能を使用することにより、外部信号に同期したA/D変換動作を行うことができます。

A/D変換動作が一度起動されると、1回のA/D変換が終了すると、ただちにADMで設定された動作モードに従って、次のA/D変換動作を開始します (INTP5端子入力を待ちません)。ADMに対する書き込み命令が実行されるか、INTP5端子に有効エッジが入力されるまで繰り返し変換動作を行います。

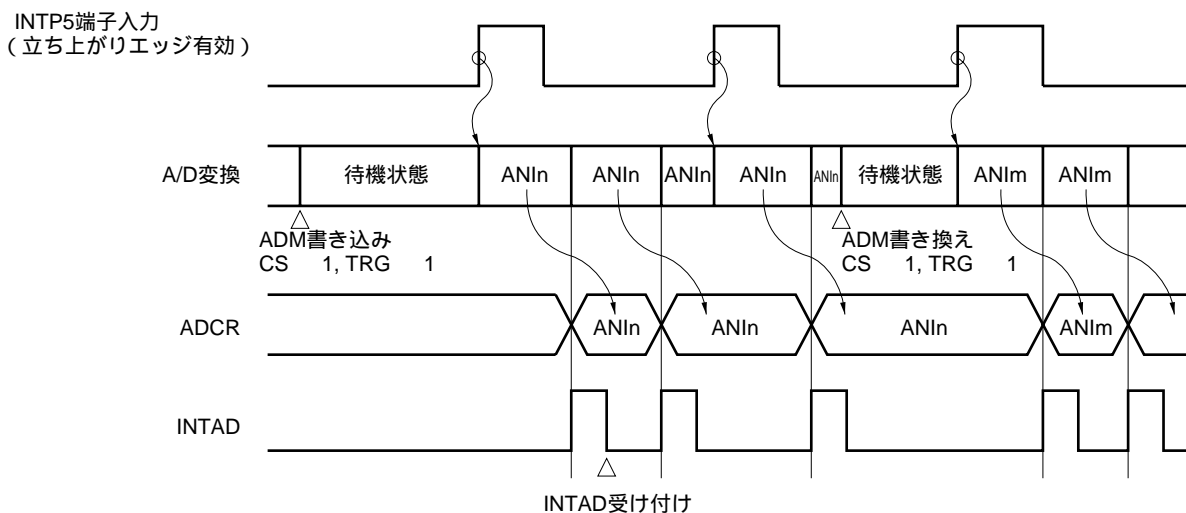
注意 INTP5端子に有効エッジが入力されてから実際にA/D変換動作を開始するまでに最大で10 μ sが必要です。設計の際には、この遅れ時間について考慮してください。エッジ検出機能の詳細については、第22章 エッジ検出機能を参照してください。

(1) セレクト・モードのA/D変換動作の場合

A/Dコンバータ・モード・レジスタ (ADM) を設定されたアナログ入力端子のA/D変換動作を起動します。A/D変換動作が終了すると、再度、同一アナログ入力端子のA/D変換動作をただちに行います。また、A/D変換動作が終了するたびに、A/D変換終了割り込み要求 (INTAD) を発生します。

A/D変換動作中にINTP5端子に有効エッジが入力されると、そのとき行っていたA/D変換動作を一度中断して、新たにA/D変換動作を開始します。

図16 - 13 ハードウェア・スタートによるセレクト・モードのA/D変換動作



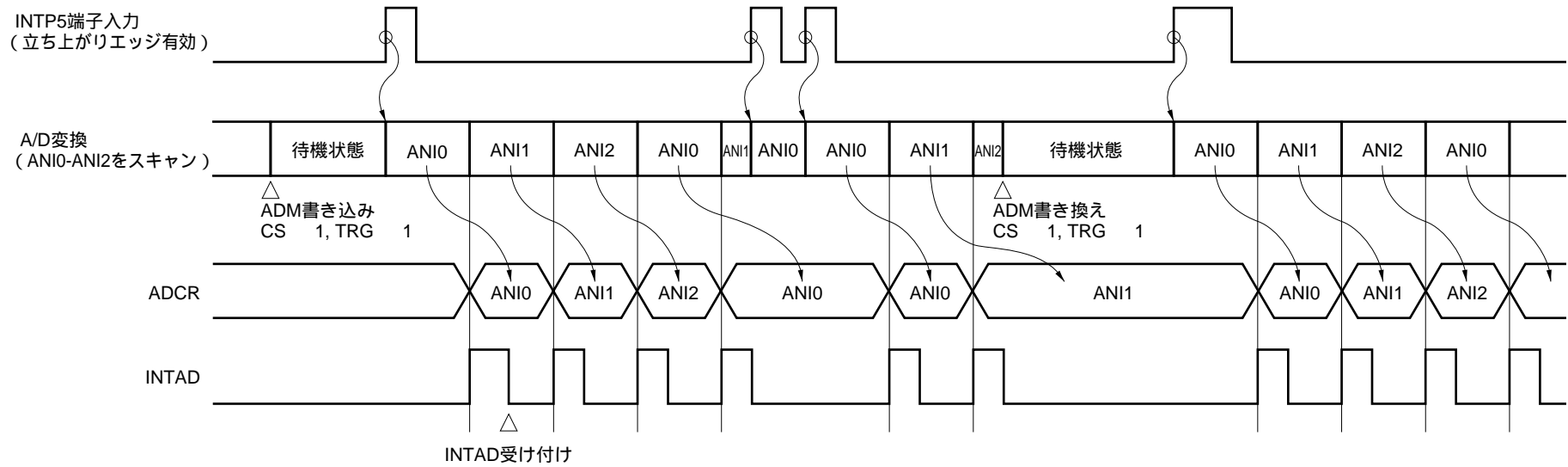
備考 n = 0, 1, ..., 7
m = 0, 1, ..., 7

(2) スキャン・モードのA/D変換動作の場合

変換動作が起動されるとANIO端子入力のA/D変換動作を開始します。A/D変換動作が終了すると、次のアナログ入力端子のA/D変換動作を開始します。また、A/D変換動作が終了するたびにA/D変換終了割り込み要求 (INTAD) を発生します。

A/D変換動作中にINTP5端子に有効エッジが入力されると、そのときに行っていたA/D変換動作を中断し、ANIO端子入力のA/D変換動作から新たに開始します。

図16-14 ハードウェア・スタートによるスキャン・モードのA/D変換動作



16.5 A/Dコンバータの外付け回路

A/Dコンバータには、その変換動作を安定させるためにサンプル&ホールド回路を内蔵しています。このサンプル&ホールド回路から、A/D変換チャンネルを変更した直後のサンプリングの際にサンプリング・ノイズが出力されます。

このサンプリング・ノイズを吸収するためには、必ず外付けにキャパシタを接続する必要があります。また、信号源のインピーダンスが高いときのサンプリング・ノイズにより、変換結果に誤差が生じる可能性があります。特にスキャン・モードを使用している場合は変換対象のチャンネルが連続的に変化しますので、信号源のインピーダンスには十分な注意が必要です。

なお、サンプリング・ノイズの吸収にはキャパシタの容量を大きくするという方法がありますが、あまり大きくするとサンプリング・ノイズが蓄積されてしまいます。したがって、抵抗分を下げるのが最も効果的です。

16.6 注意事項

(1) アナログ入力端子に印加する電圧範囲について

A/Dコンバータの入力端子ANI0-ANI7 (P70-P77) には、次のような注意事項があります。

- ・A/D変換動作中は、A/D変換の対象となっている端子には、 AV_{SS} - AV_{REF1} の範囲外の電圧を印加しないでください。

上記注意事項を守らない場合には、 μ PD784938Aが破壊する可能性があります。

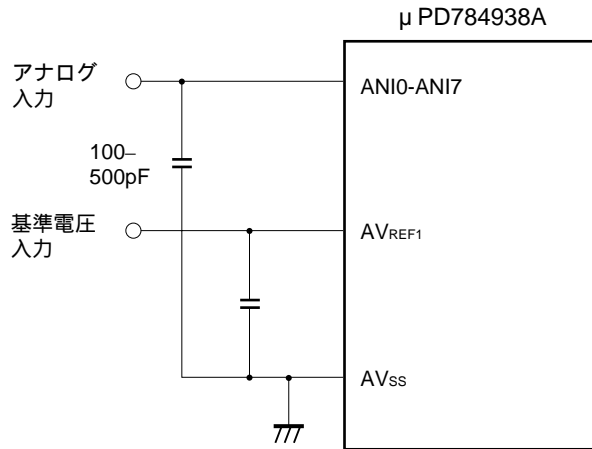
(2) ハードウェア・スタートのA/D変換

INTP5端子に有効エッジが入力されてから実際にA/D変換動作を開始するまでに最大で10 μ sが必要です。設計の際には、この遅れ時間について考慮してください。エッジ検出機能の詳細については、**第22章 エッジ検出機能**を参照してください。

(3) アナログ入力端子に接続するコンデンサについて

アナログ入力端子 (ANI0-ANI7) および基準電圧入力端子 (AV_{REF1}) には、ノイズによる誤動作を防ぐため、 AV_{SS} との間にキャパシタを接続してください。

図16 - 15 A/Dコンバータ用端子のキャパシタ接続例



(4) STOPモード、IDLEモードを使用する場合は、STOPモード、IDLEモードに入る前にCSビットをクリア(0)して消費電流が下がるようにしてください。CSビットがセット(1)されたままだと、STOPモード、IDLEモードに入ることにより変換動作は止まりますが、電圧コンパレータへの電源供給は止まりませんので、A/Dコンバータでの消費電流は減りません。

(5) A/Dコンバータは、一度動作を開始すると、A/Dコンバータ・モード・レジスタ(ADM)のCSビットをクリア(0)するまで変換動作を繰り返し行います。したがって、A/Dコンバータのモード変換時などに、割り込みに関するレジスタなどの設定後にADMの設定を行った場合、不要な割り込みが発生することがあります。この不要な割り込みにより、スキャン・モード使用時には変換結果の格納アドレスがずれたように見えます。また、セレクト・モード使用時には、1回目の変換結果が他チャンネルの変換結果などの異常な値になったように見えます。

A/Dコンバータのモード変換は、次の手順で行うことをお勧めします。

ADMへの書き込み(CSビットは、必ずセット(1)する)

割り込み要求フラグ(ADIF)のクリア(0)

割り込みマスク・フラグまたは、割り込みサービス・モード・フラグの設定

～ の操作は、割り込みやマクロ・サービスによって分断されないようにしてください。特に、スキャン・モード0(遅延制御なし)使用時には、 と の間はA/D変換の1回分の時間以下になるようにしてください。

または次の手順で行うことをお勧めします。

ADMのCSビットをクリア(0)することにより、A/D変換動作を停止

割り込み要求フラグ(ADIF)のクリア(0)

割り込みマスク・フラグまたは割り込みサービス・モード・フラグの設定

ADMへの書き込み

第17章 シリアル・インタフェースの概説

μPD784938Aサブシリーズは、独立した4チャンネルのシリアル・インタフェースを備えています。このため、システム外部との通信と、システム内部のローカルな通信とを4チャンネルで同時に行うことができます。

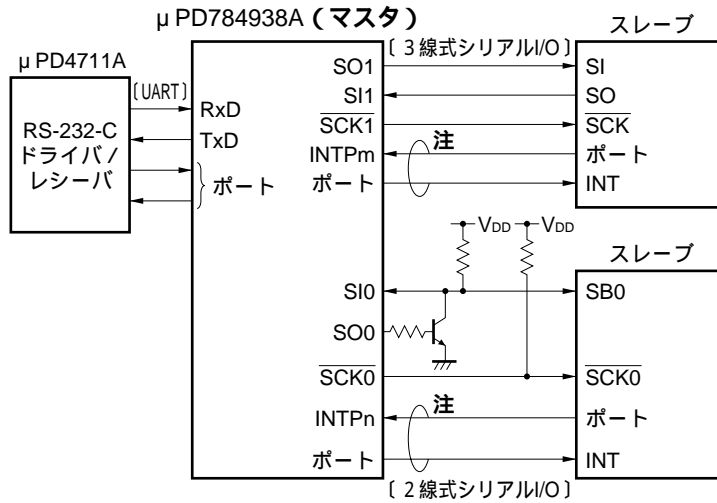
アシンクロナス・シリアル・インタフェース (UART) / 3線式シリアルI/O (IOE) × 2チャンネル
第18章をご覧ください。

クロック同期式シリアル・インタフェース (CSI) × 2チャンネル
・ 3線式シリアルI/Oモード (MSB/LSBファースト)
第19章をご覧ください。

図17 - 1 に、シリアル・インタフェース例を示します。

図17 - 1 シリアル・インタフェース例

UART + 3 線式シリアルI/O + 2 線式シリアルI/O



注 ハンドシェーク・ライン

第18章 アシクロナス・シリアル・インタフェース / 3線式シリアルI/O

μPD784938Aは、アシクロナス・シリアル・インタフェース (UART) モードと3線式シリアルI/O (IOE) モードを選択できるシリアル・インタフェースを2チャンネル内蔵しています。

2チャンネルのUART/IOEは、まったく同一の機能です。したがって、この章では特に違いがないかぎり、UART/IOE1を代表として説明しています。UART2/IOE2として使用する場合は、UART/IOE1のレジスタ名称、ビット名称、端子名称を表18 - 1を参照に読み替えてください。

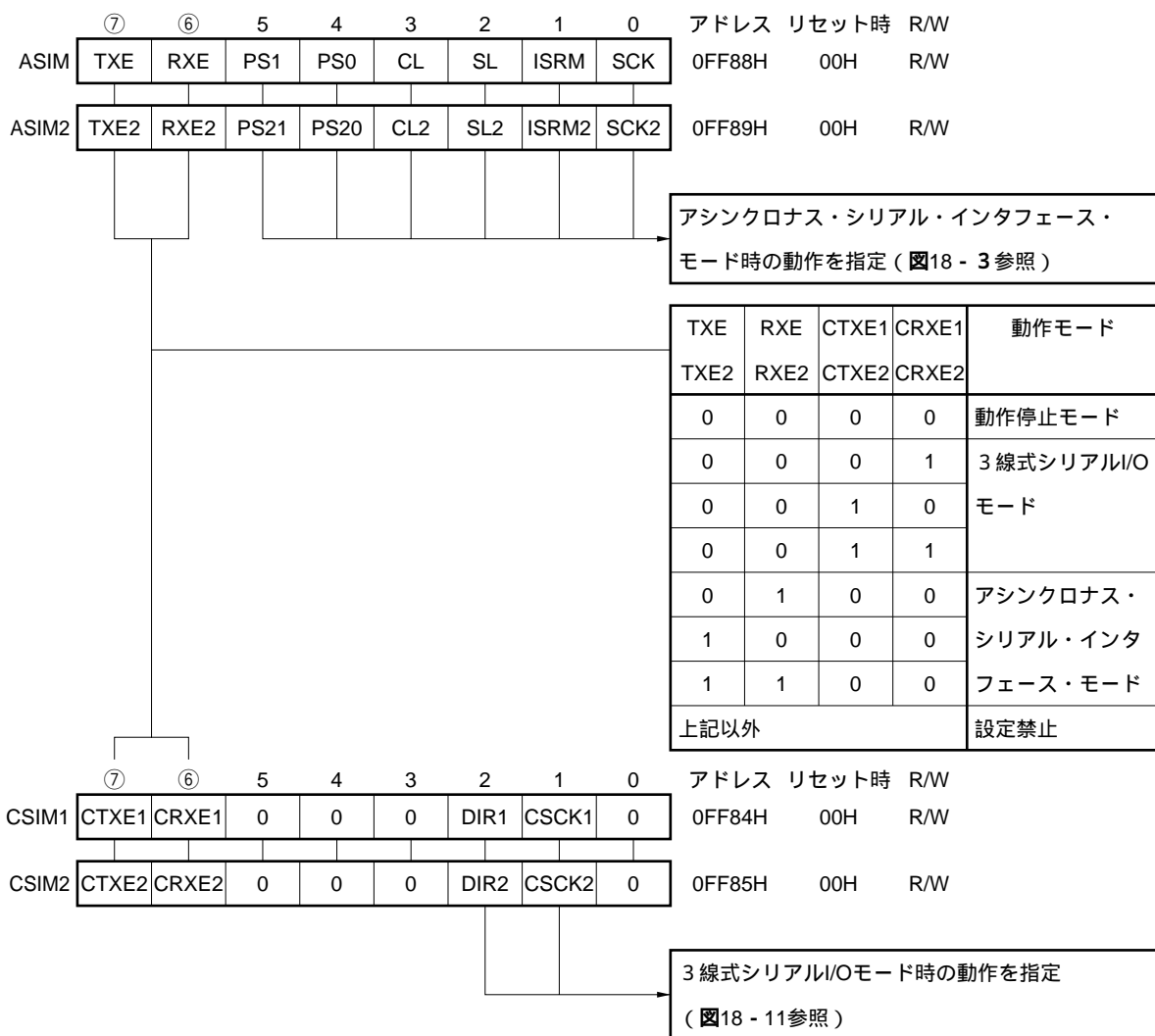
表18 - 1 UART/IOE1とUART2/IOE2の名称の違い

項 目	UART/IOE1	UART2/IOE2
端子名称	P25/ASCK/SCK1, P30/RxD/SI1, P31/TxD/SO2	P12/ASCK2/SCK2, P13/RxD2/SI2, P14/TxD2/SO2
アシクロナス・シリアル・インタフェース・モード・レジスタ	ASIM	ASIM2
アシクロナス・シリアル・インタフェース・モード・レジスタ内のビット名称	TXE, RXE, PS1, PS0, CL, SL, ISRM, SCK	TXE2, RXE2, PS21, PS20, CL2, SL2, ISRM2, SCK2
アシクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	ASIS2
アシクロナス・シリアル・インタフェース・ステータス・レジスタ内のビット名称	PE, FE, OVE	PE2, FE2, OVE2
クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM1	CSIM2
クロック同期式シリアル・インタフェース・モード・レジスタ内のビット名称	CTXE1, CRXE1, DIR1, CSCK1	CTXE2, CRXE2, DIR2, CSCK2
ポーレート・ジェネレータ・コントロール・レジスタ	BRGC	BRGC2
ポーレート・ジェネレータ・コントロール・レジスタ内のビット名称	TPS0-TPS3, MDL0-MDL3	TPS20-TPS23, MDL20-MDL23
割り込み要求名称	INTSR/INTCSI1, INTSER, INTST	INTSR2/INTCSI2, INTSER2, INTST2
割り込み制御レジスタおよび本章で使用するビット名称	SRIC, CSIIC1, SERIC, STIC, SRIF, CSIIF1, SERIF, STIF	SRIC2, CSIIC2, SERIC2, STIC2, SRIF2, SCIIF2, SERIF2, STIF2

18.1 アシクロナス・シリアル・インタフェース・モードと3線式シリアルI/Oモードの切り替え

アシクロナス・シリアル・インタフェース・モードと3線式シリアルI/Oモードは、同時に使用できません。両者の切り替えは、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM, ASIM2) とクロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1, CSIM2) の設定で図18 - 1 に示すようにします。

図18 - 1 アシクロナス・シリアル・インタフェース・モードと3線式シリアルI/Oモードの切り替え



18.2 アシクロナス・シリアル・インタフェース・モード

アシクロナス・シリアル・インタフェースとしてUART (Universal Asynchronous Receiver Transmitter) モードを内蔵しています。これは、スタート・ビットに続く1バイトのデータを送信する方式で、全二重動作が可能です。

ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

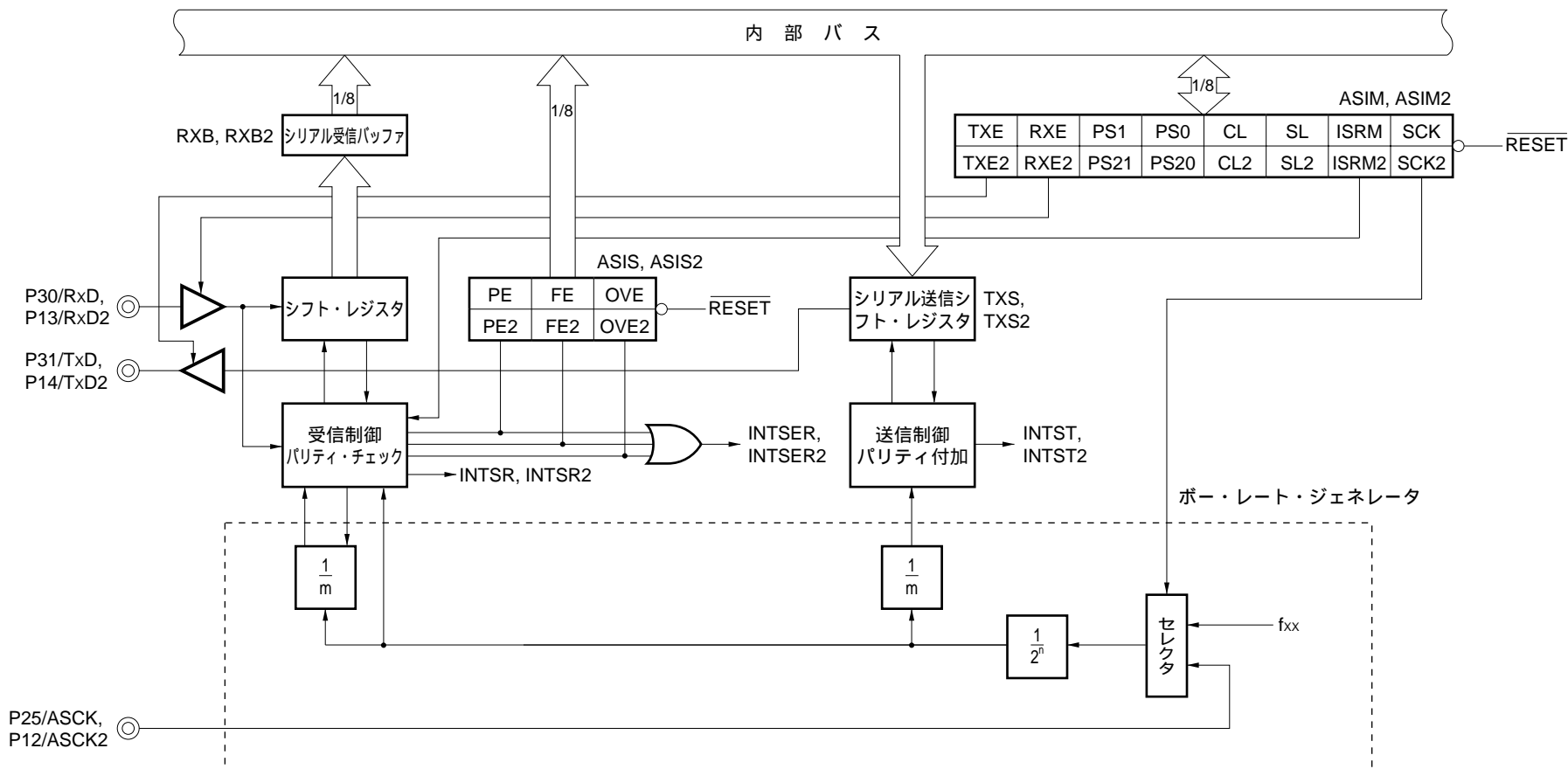
また、ASCK端子への入力クロックを分周して、ボー・レートを定義することもできます。

18.2.1 アシクロナス・シリアル・インタフェース・モード時の構成

図18-2に、アシクロナス・シリアル・インタフェースのブロック図を示します。

なお、ボー・レート・ジェネレータについては、18.4 ボー・レート・ジェネレータを参照してください。

図18 - 2 アシクロナス・シリアル・インタフェースのブロック図



(1) シリアル受信バッファ (RXB, RXB2)

受信データを保持するレジスタです。データを1バイト受信することにシフト・レジスタから受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB, RXB2のビット0-6に転送され、RXB, RXB2のMSBは必ず“0”になります。

8ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により、RXB, RXB2は不定となります。

(2) シリアル送信シフト・レジスタ (TXS, TXS2)

送信するデータを設定するレジスタです。TXS, TXS2に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合は、TXS, TXS2に書き込んだデータのビット0-6が送信データとして扱われます。TXS, TXS2に書き込みを行うと送信動作が開始します。送信動作中にTXS, TXS2に書き込みを行ってはいけません。

8ビット操作命令により書き込みのみが可能です。 $\overline{\text{RESET}}$ 入力により、TXS, TXS2は不定となります。

(3) シフト・レジスタ

RxD端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを送信すると受信データを受信バッファへ転送します。

シフト・レジスタはCPUから直接操作することはできません。

(4) 受信制御パリティ・チェック

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM, ASIM2) に設定された内容に従って、受信動作を制御します。また、受信動作時にパリティ・エラーなどのエラー・チェックも行い、エラーが検出された場合は、エラー内容に応じた値をアシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS, ASIS2) にセットします。

(5) 送信制御パリティ付加

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM, ASIM2) に設定された内容に従って、シリアル送信シフト・レジスタ (TXS, TXS2) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

(6) セレクタ

ポー・レート用のクロックのソースを選択します。

18.2.2 アシクロナス・シリアル・インタフェース制御レジスタ

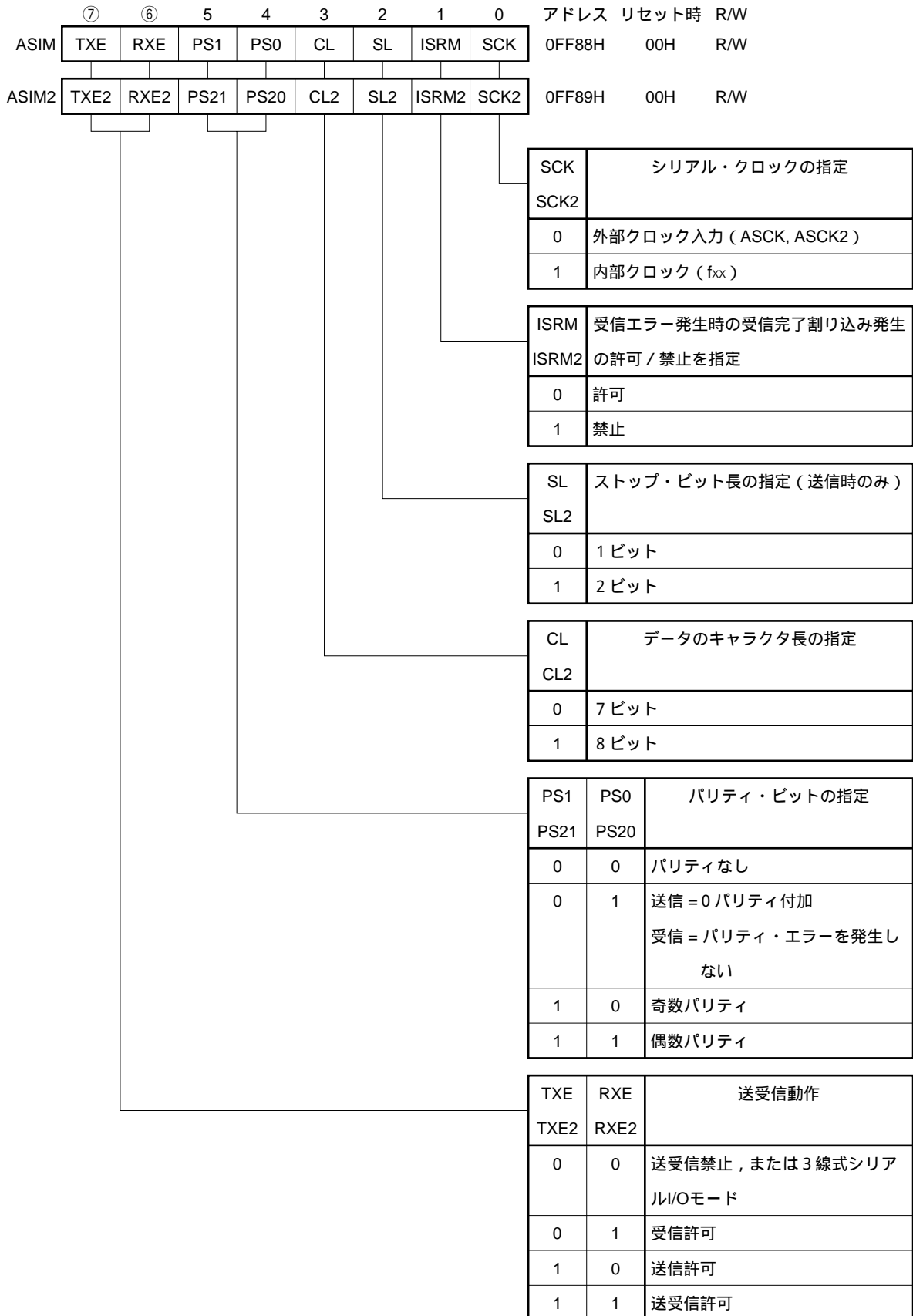
- (1) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM),
アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)

ASIM, ASIM2は, UARTモードの動作を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図18-3に, ASIM, ASIM2のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図18 - 3 アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM),
アシクロナス・シリアル・インタフェース・モード・レジスタ 2 (ASIM2) のフォーマット



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM, ASIM2) の書き換えは行わないでください。送信中にASIM, ASIM2の書き換えを行うと、それ以降の送信動作ができなくなる場合があります ($\overline{\text{RESET}}$ 入力により、正常になります)。送信中かどうかは、送信完了割り込み (INTST, INTST2) またはINTST, INTST2によりセットされる割り込み要求フラグ (STIF, STIF2) を用いて、ソフトウェアにより判断することができます。

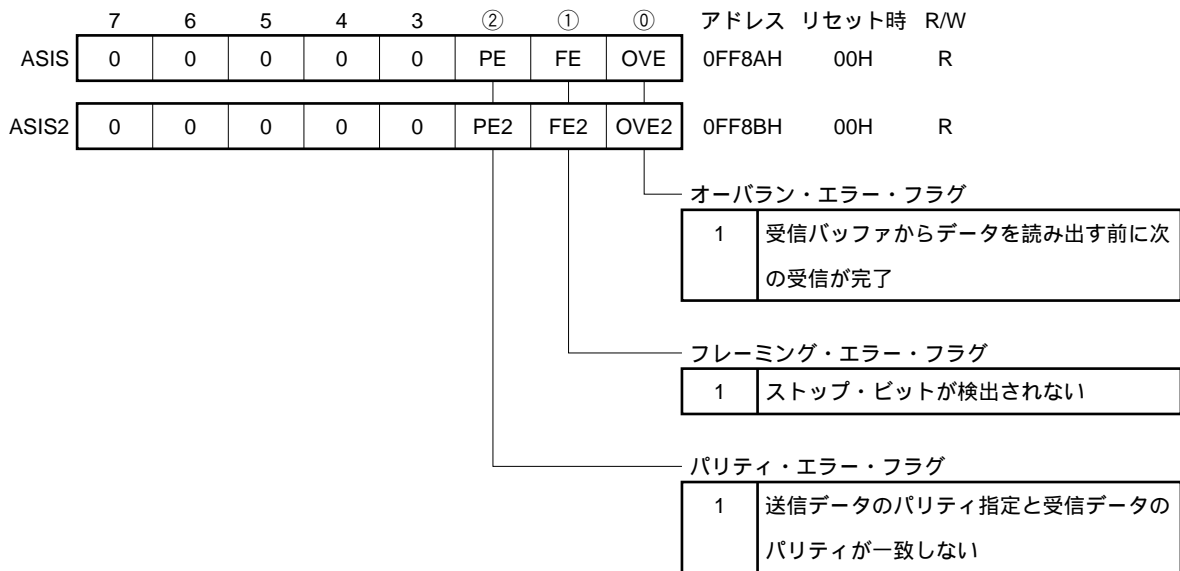
(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS),
アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2)

ASIS, ASIS2は、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。各フラグは、受信エラー発生時にセット (1) され、シリアル受信バッファ (RXB, RXB2) からデータを読み出すことによってクリア (0) されます。また、RXB, RXB2を読み出すより前に次のデータを受信すると、オーバーラン・エラー・フラグ (OVE, OVE2) がセット (1) され、その他のエラー・フラグはクリア (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセット (1) されます)。

8ビット操作命令とビット操作命令で読み出しのみ可能です。図18-4に、ASIS, ASIS2のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図18-4 アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS),
アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) のフォーマット



注意 受信エラー発生時にも、シリアル受信バッファ (RXB, RXB2) は必ず読み出してください。RXB, RXB2を読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

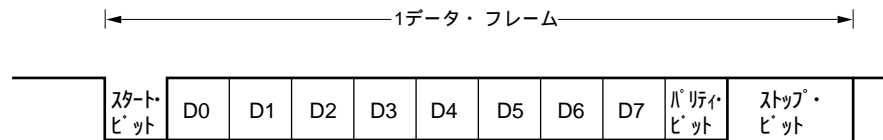
18.2.3 データ・フォーマット

全二重のアシクロナス・モードによるシリアル・データの送受信を行います。

送受信データのフォーマットは図18-5に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) によって行います。

図18-5 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット/8ビット
- ・パリティ・ビット.....偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット..... 1ビット/2ビット

シリアルの転送レートは、アシクロナス・シリアル・インタフェース・モード・レジスタとボー・レート・ジェネレータの設定により選択します。

また、シリアル・データの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の状態を読むことによって受信エラーの内容を判定することができます。

18.2.4 パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

・偶数パリティ

送信データ中の値が“1”のビットの数が奇数個の場合にパリティ・ビットを“1”にします。値が“1”のビットの数が偶数個の場合にはパリティ・ビットを“0”にします。これにより、送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるよう制御します。受信時には、受信データとパリティ・ビットの中に含まれる値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

・奇数パリティ

偶数パリティとは逆に、送信データとパリティ・ビットの中に含まれる値が“1”のビットを奇数個になるように制御します。

受信時には、同様に受信データとパリティ・ビットの中に含まれる値が“1”のビットの数が偶数個であった場合にパリティ・エラーを発生します。

・0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

・パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

18.2.5 送信

μPD784938Aのアシクロナス・シリアル・インタフェースは、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のTXEビットがセット (1) されると送信許可状態になります。送信許可のときにシリアル送信シフト・レジスタ (TXS) に送信データを書き込むことによって送信動作を起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

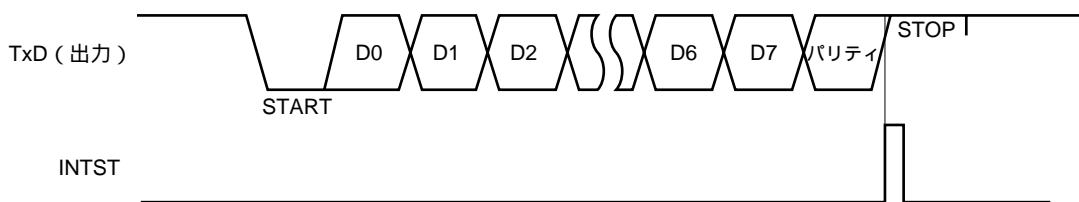
送信動作の開始により、TXS内のデータがシフト・アウトされ、TXSが空になると送信完了割り込み (INTST) が発生します。

次に送信するデータをTXSに書き込まなければ、送信動作は中断されます。

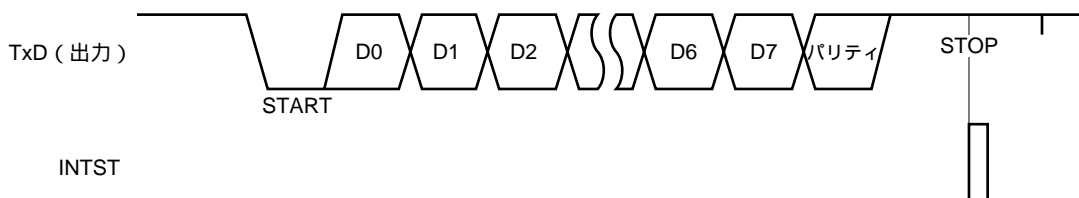
送信中にTXEビットをクリア (0) すると、ただちに送信動作を中断します。

図18-6 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング

(a) ストップ・ビット長: 1



(b) ストップ・ビット長: 2



注意1. $\overline{\text{RESET}}$ 入力後、シリアル送信シフト・レジスタ (TXS) は空になりますが、送信完了割り込みは発生しません。TXSに送信データを書き込むことによって送信動作を起動できます。

2. 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) の書き換えは行わないでください。送信中にASIMの書き換えを行うと、それ以降の送信動作ができなくなる場合があります ($\overline{\text{RESET}}$ 入力により、正常になります)。

送信中かどうかは、送信完了割り込み (INTST) またはINTSTによりセットされる割り込み要求フラグ (STIF) を用いて、ソフトウェアにより判断することができます。

18.2.6 受信

受信動作は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のRXEビットがセット (1) されると許可状態となり、RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはASIMとポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) で指定したシリアル・クロック (m分周カウンタの入力クロック) で行います。

RxD端子入力が高レベルになると、m分周カウンタがカウントを開始し、m回カウントしたところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果、高レベルであれば、スタート・ビットとして認識し、m分周カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

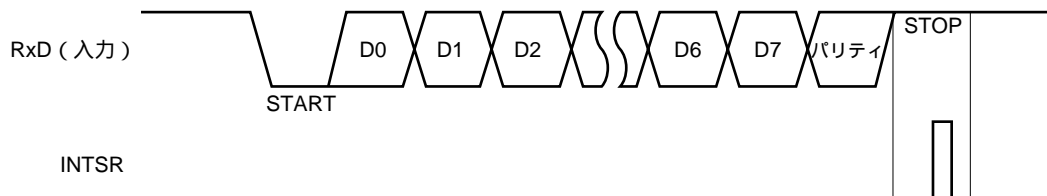
1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データをシリアル受信バッファ (RXB) に転送し、受信完了割り込み (INTSR) を発生します。

また、エラーが発生しても、RXBにエラーの発生した受信データを転送します。エラー発生時、ASIMのビット1 (ISRM) がクリア (0) されている場合は、INTSRを発生します。

ISRMビットがセット (1) されている場合は、INTSRは発生しません。

なお、受信動作中にRXEビットをクリア (0) すると、ただちに受信動作を停止します。このとき、RXBおよびASISの内容は変化せず、またINTSR、INTSERも発生しません。

図18 - 7 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意 受信エラー発生時にも、シリアル受信バッファ (RXB) は必ず読み出してください。RXBを読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

18.2.7 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) 内に立つと同時に、受信エラー割り込み (INTSER) を発生します。受信エラーの要因を表18-2に示します。

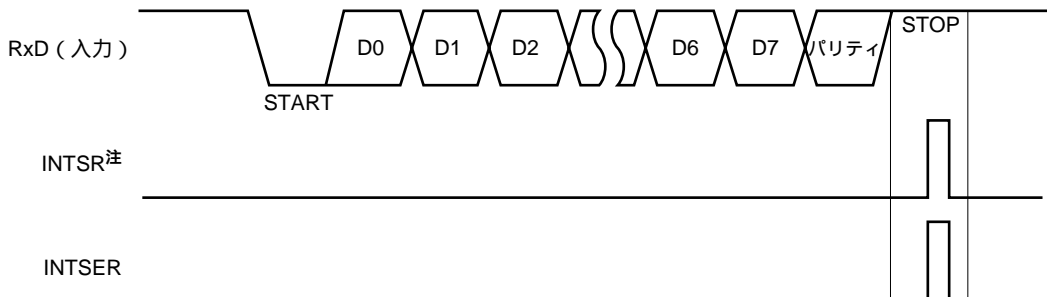
受信エラー割り込み処理 (INTSER) 内で、ASISの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図18-4, 図18-8参照)。

ASISの内容は、シリアル受信バッファ (RXB) を読み出すか、次のデータを受信することでクリア (0) されます (次の受信データにエラーがあれば、そのエラー・フラグがセットされます)。

表18-2 受信エラーの要因

受信エラー	要因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

図18-8 受信エラー・タイミング



注 ISRMビットがセット (1) されている場合に受信エラーが発生したときは、INTSRは発生しません。

備考 μPD784938Aでは、ハードウェアによりブ레이크信号を検出することはできません。ブ레이크信号は、2キャラクタ以上のロウ・レベル信号なので、受信データが00Hだったフレーミング・エラーが2回連続して発生したことをソフトウェアで検出することで、ブ레이크信号が入力されたと判断することが可能です。なお、偶然、フレーミング・エラーが2回発生したときと識別するためには、RxD端子レベルをソフトウェアで読み込み (ポート3モード・レジスタ (PM3) のビット0を“1”にして、ポート3 (P3) をリードすることで確認が可能) “0”であることを確認することにより、行うことができます。

注意1．アシクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）の内容は、シリアル受信バッファ（RXB）を読み出すか、次のデータを受信することにより、クリア（0）されてしまいます。エラーの内容が知りたい場合には、必ずRXBを読み出す前にASISを読み出してください。

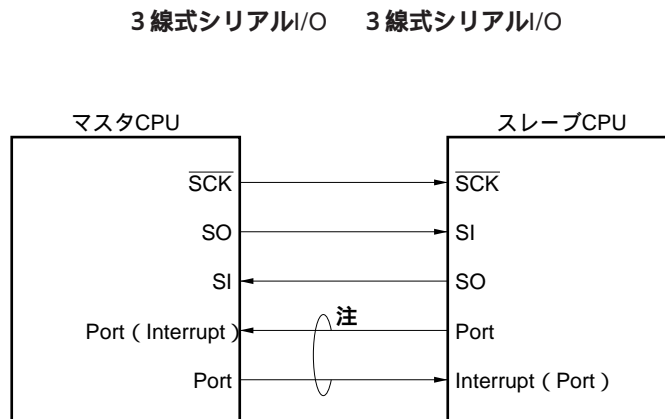
2．受信エラー発生時にも、RXBは必ず読み出してください。RXBを読み出さないで次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

18.3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのモードです。

基本的にはシリアル・クロック（ $\overline{\text{SCK}}$ ）とシリアル・データ出力（SO）とシリアル・データ入力（SI）の3本のラインで通信を行います。また、一般的には通信状態の確認を行うため、ハンドシェーク・ラインが必要となります。

図18 - 9 3線式シリアルI/Oのシステム構成例

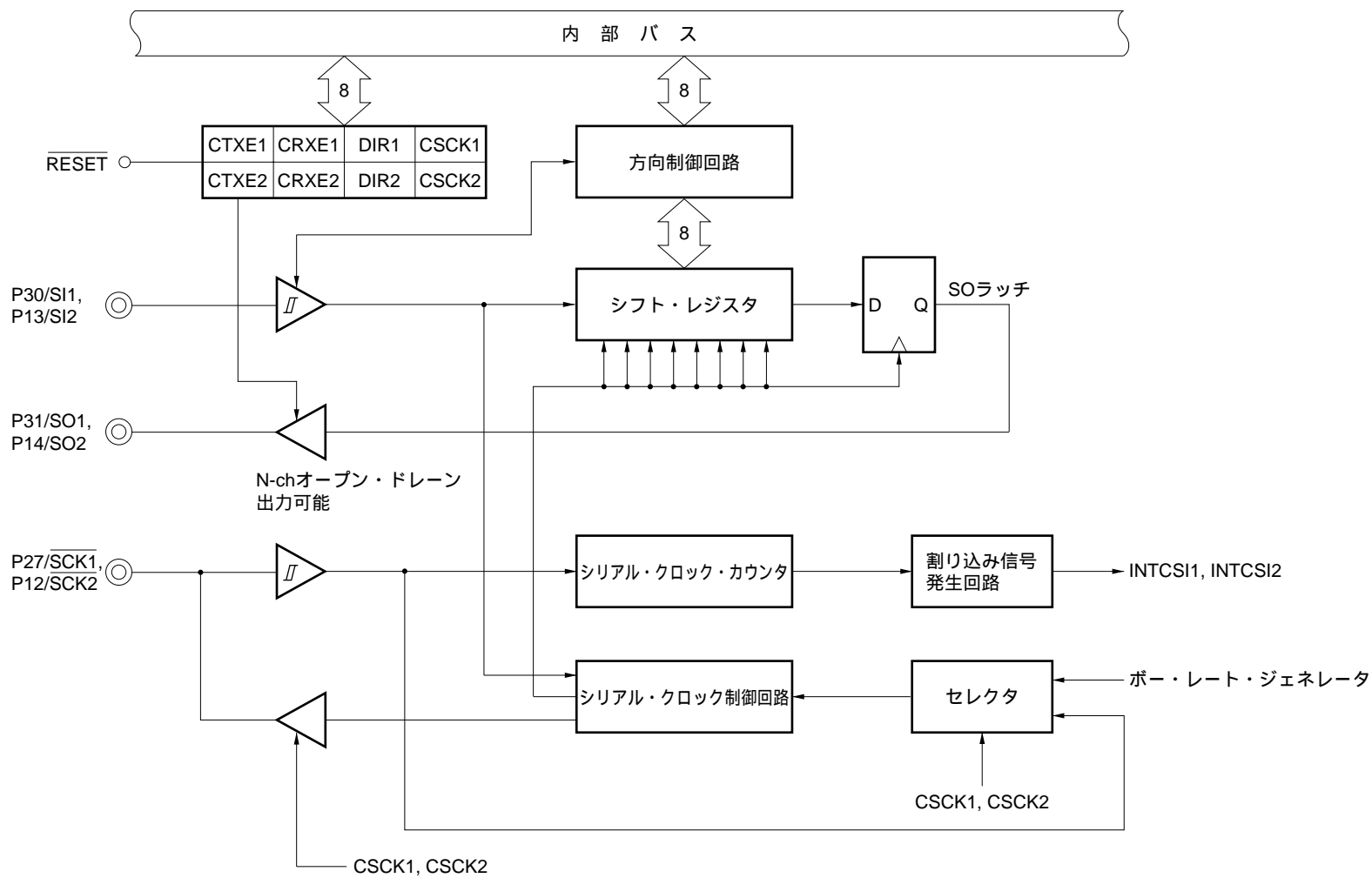


注 ハンドシェーク・ライン

18.3.1 3線式シリアルI/Oモード時の構成

図18 - 10に、3線式シリアルI/Oモード時のブロック図を示します。

図18-10 3線式シリアル/Oモード時のブロック図



(1) シリアル・シフト・レジスタ (SIO1, SIO2)

SIO1, SIO2は, 8ビットのシリアル・データを8ビットの平行・データに, 8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。SIO1, SIO2は, 送信および受信の両方に使用されます。

SIO1, SIO2に対する書き込み/読み出しにより, 実際の送受信動作が制御されます。

8ビット操作命令で, 読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により不定となります。

(2) SOラッチ

SOラッチは, SO1, SO2端子出力レベルを保持するラッチです。

(3) シリアル・クロック・セクタ (1/2n)

使用するシリアル・クロックを生成し, 選択します。

(4) シリアル・クロック・カウンタ

送信/受信動作時に出力する, または入力されるシリアル・クロックをカウントし, 8ビット・データの送受信が行われたことを調べます。

(5) 割り込み信号発生回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに, 割り込み要求を発生します。

(6) セクタ

シリアル・シフト・レジスタ1, 2 (SIO1, SIO2) に入力するデータをSI1, SI2端子にするか, 出力ラッチにするかを選択します。

(7) 方向制御回路

MSBファースト, LSBファーストを切り替えます。

18.3.2 クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1, CSIM2)

CSIM1, CSIM2は, 3線式シリアルI/Oモード時の動作を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図18-11に, CSIM1, CSIM2のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hとなります。

図18-11 クロック同期式シリアル・インタフェース・モード・レジスタ1 (CSIM1),
クロック同期式シリアル・インタフェース・モード・レジスタ2 (CSIM2)のフォーマット



18.3.3 基本動作タイミング

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期してMSBファースト/LSBファーストで1ビットごとに送受信されます。

MSB/LSBの切り替えは、クロック同期式シリアル・インタフェース・モード・レジスタ(CSIM1)のDIR1ビットで指定します。

送信データは、 $\overline{SCK1}$ の立ち下がりに同期して出力されます。受信データは、 $\overline{SCK1}$ の立ち上がりでサンプリングされます。

また、8番目の $\overline{SCK1}$ の立ち上がりで割り込み要求(INTCSI1)を発生します。

内部クロックを $\overline{SCK1}$ として使用している場合は、 $\overline{SCK1}$ の8番目の立ち上がりで $\overline{SCK1}$ の出力を停止し、次のデータの送信または受信動作が起動されるまで、 $\overline{SCK1}$ はハイ・レベルを保持します。

図18-12に、3線式シリアルI/Oモードのタイミングを示します。

図18-12 3線式シリアルI/Oモードのタイミング(1/2)

(a) MSBファースト時

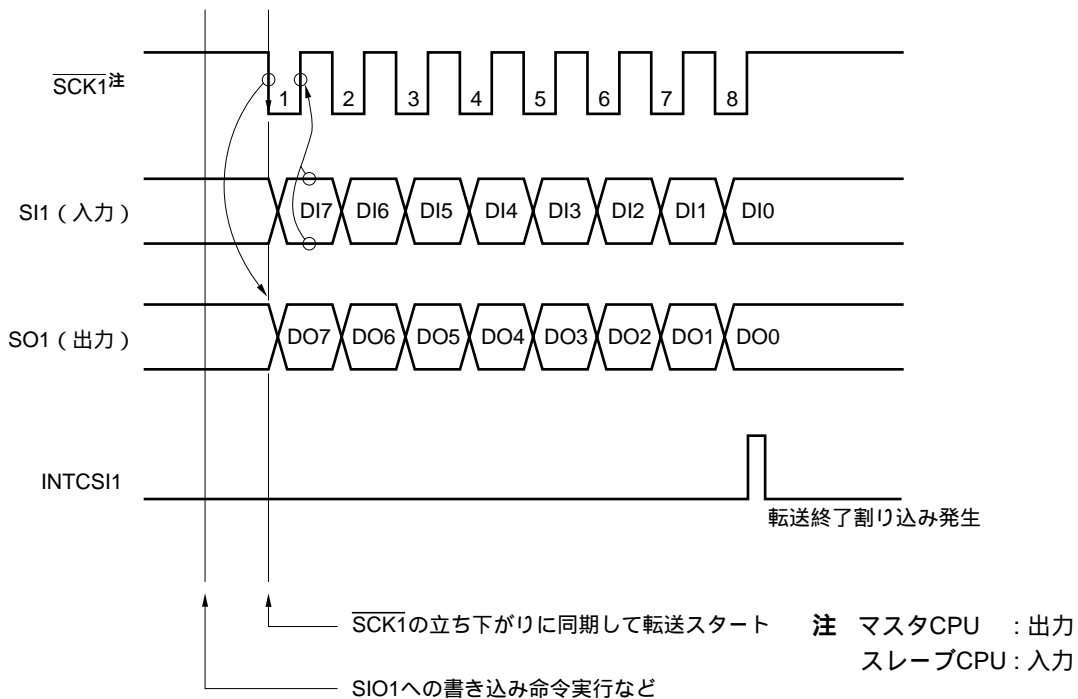
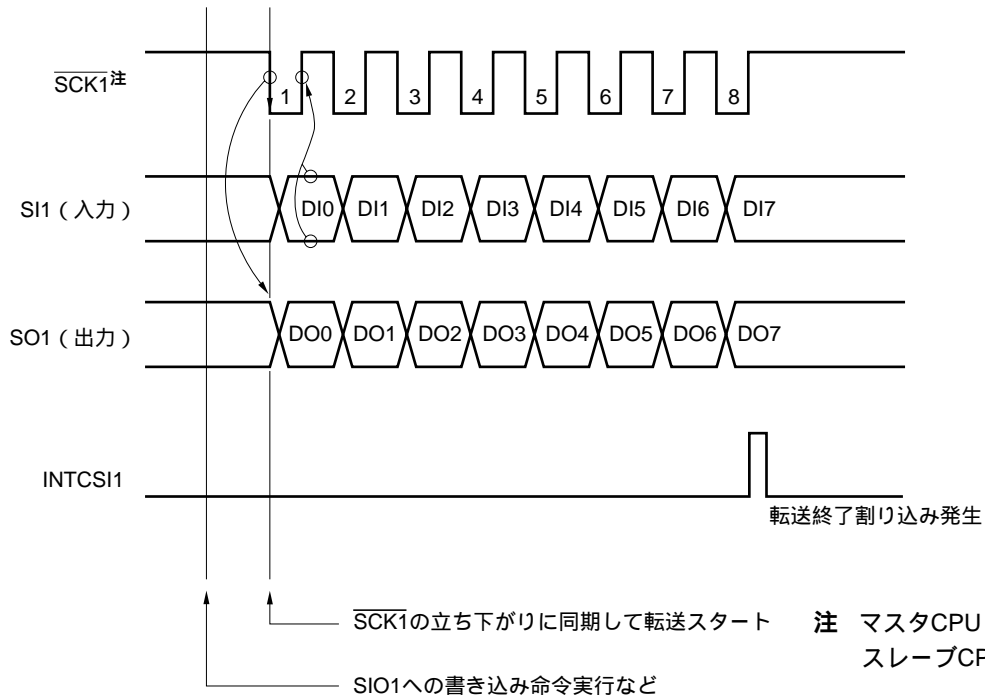


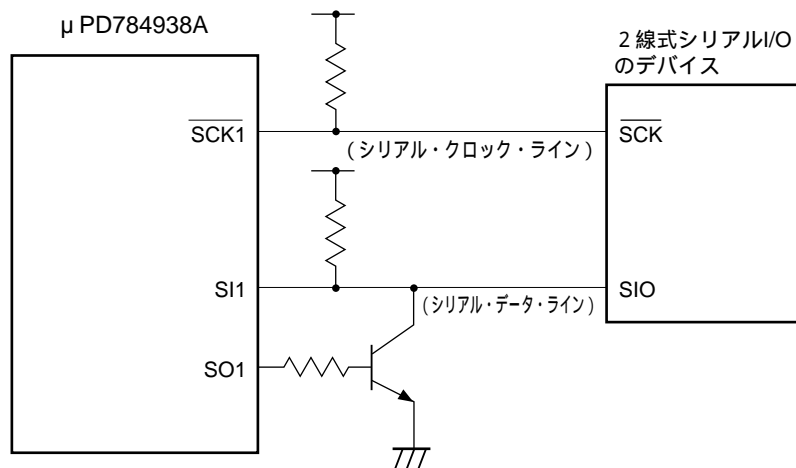
図18 - 12 3線式シリアルI/Oモードのタイミング (2/2)

(b) LSBファースト時



備考 2線式のシリアルI/Oと接続する場合は、図18 - 13のようにSO1端子にバッファを接続してください。なお、図18 - 13の場合は、バッファにより出力レベルが反転するので、SIO1へは出力したいデータの反転データを書き込んでください。
また、P31/SO1端子には、内蔵プルアップ抵抗を接続しないように指定してください。

図18 - 13 2線式シリアルI/Oとの接続例



18.3.4 送信のみ許可の場合の動作

送信動作は、クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1) のCTXE1ビットがセット (1) されているときに行われます。CTXE1ビットがセット (1) されているときに、シリアル・シフト・レジスタ (SIO1) への書き込みを行うと送信動作が起動されます。

なお、CTXE1ビットがクリア (0) されているときは、SO1端子は出力ハイ・レベルとなります。

送信が起動されるとシリアル・クロックを $\overline{\text{SCK1}}$ 端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIO1からデータをSO1端子へ順次出力します。また、シリアル・クロックの立ち上がりに同期して、SI1端子の信号をSIO1にシフト入力します。

なお、送信の起動から $\overline{\text{SCK1}}$ の最初の立ち下がりまでには、最大 $\overline{\text{SCK1}}$ の1クロック分の時間がかかります。

送信動作中に送信を禁止 (CTXE1ビットをクリア (0)) すると、次の $\overline{\text{SCK1}}$ の立ち上がりで $\overline{\text{SCK1}}$ クロックの出力を停止し、送信動作を中断します。このとき割り込みの要求 (INTCSI1) は発生しません。また、SO1端子は出力ハイ・レベルになります。

18.3.5 受信のみ許可の場合の動作

受信動作はクロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1) のCRXE1ビットがセット (1) されているときに行われます。CRXE1ビットを“0”から“1”へ変換させるか、シリアル・シフト・レジスタ (SIO1) からの読み出しを行うと受信動作は起動されます。

受信が起動されるとシリアル・クロックを $\overline{\text{SCK1}}$ 端子から出力し、シリアル・クロックの立ち上がりに同期してSI1端子のデータをシリアル・シフト・レジスタ (SIO1) へ順次取り込みます。

なお、受信の起動から $\overline{\text{SCK1}}$ の最初の立ち下がりまでには、最大 $\overline{\text{SCK1}}$ の1クロック分の時間がかかります。

受信動作中に受信を禁止 (CRXE1ビットをクリア (0)) すると、次の $\overline{\text{SCK1}}$ の立ち上がりで $\overline{\text{SCK1}}$ クロックの出力を停止し、受信動作を中断します。このとき割り込みの要求 (INTCSI1) は発生しません。また、SIO1の内容は不定になります。

18.3.6 送受信許可の場合の動作

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1) のCTXE1ビットとCRXE1ビットが両方ともセット (1) されているときは、送信動作と受信動作を同時に行うことができます (送受信動作)。送受信動作は、CRXE1ビットを“0”から“1”へ変化させるか、シリアル・シフト・レジスタ (SIO1) へ書き込みを行うと起動します。

なお、送受信動作の1回目の起動時は、必ずCRXE1ビットが“0”から“1”へ変化するので、すぐに送受信動作が起動され、不定なデータが出力される可能性があります。したがって、送信および受信とも禁止されている (CTXE1ビットおよびCRXE1ビットが両方ともクリア (0) されている) ときに、あらかじめSIO1へ最初の送信データを書き込んでから、送受信を許可してください。

なお、送受信禁止時 (CTXE1 = CRXE1 = 0) のときは、SO1端子は出力ハイ・レベルになります。

送受信が起動されると、シリアル・クロックが $\overline{\text{SCK1}}$ 端子より出力され、シリアル・クロックの立ち下がりに同期してシリアル・シフト・レジスタ (SIO1) からSO1端子へ順次データが出力され、シリアル・クロックの立ち上がりに同期してSI1端子のデータを順次SIO1へシフト・インします。

なお、送受信の起動から $\overline{\text{SCK1}}$ の最初の立ち下がりにまでには、最大 $\overline{\text{SCK1}}$ の1クロック分の時間がかかります。

送受信動作時に送信または受信の一方を禁止した場合は、禁止された動作のみが中断されます。送信のみを禁止した場合は、SO1端子は出力ハイ・レベルになります。受信のみを禁止した場合は、SIO1の内容は不定となります。

送受信を同時に禁止した場合は、 $\overline{\text{SCK1}}$ の立ち上がりで $\overline{\text{SCK1}}$ クロックの出力を停止し、送信および受信動作を中断します。送受信を同時に禁止した場合は、SIO1の内容は不定となり、割り込みの要求 (INTCS11) は発生しません。また、SO1端子は出力ハイ・レベルになります。

18.3.7 シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合に、ノイズなどにより、シリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合、送信動作と受信動作をともに禁止する (CTXE1ビットおよびCRXE1ビットをクリア (0) する) ことにより、シリアル・クロック・カウンタが初期化されるので、次に送信または受信を許可した後に最初に入力されるシリアル・クロックを1発目のクロックとして、シフト動作とシリアル・クロックの同期を回復することができます。

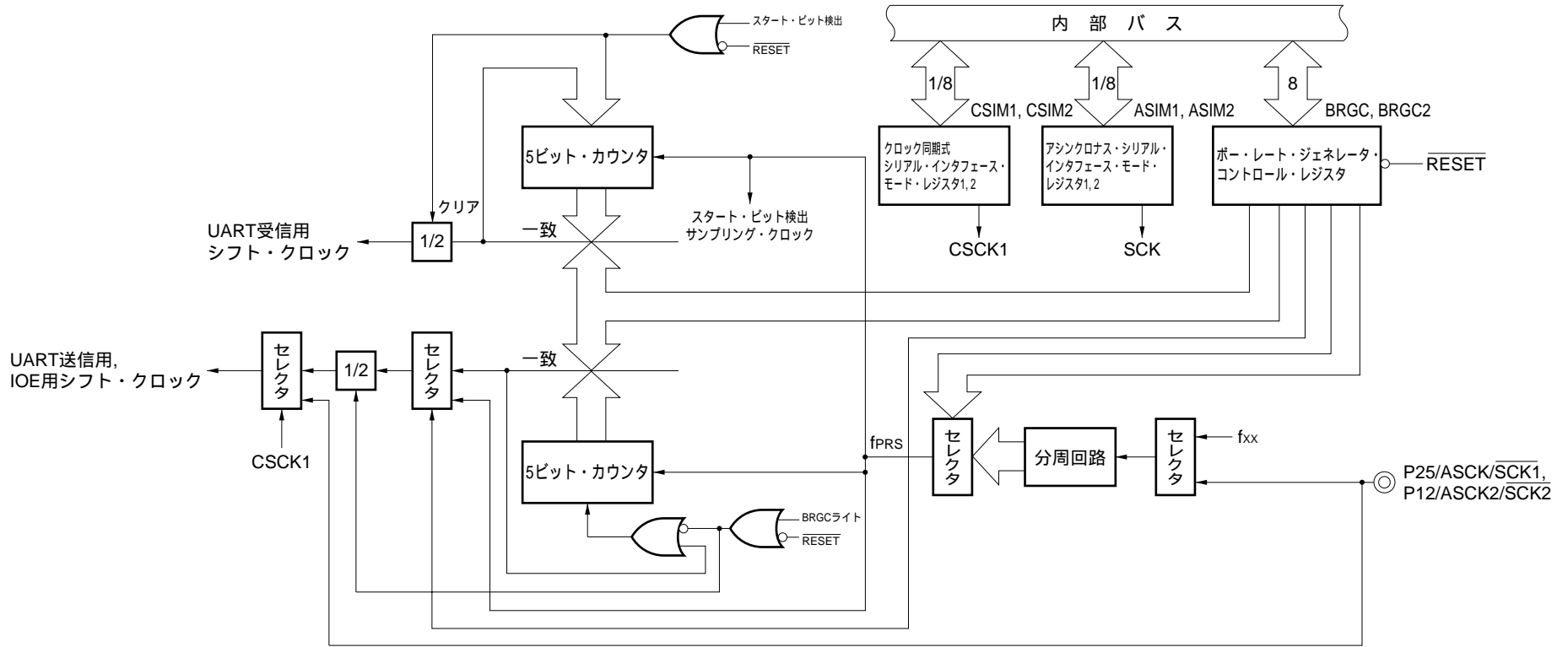
18.4 ボー・レート・ジェネレータ

ボー・レート・ジェネレータは、UART/IOEのシリアル・クロックを生成する回路です。各シリアル・インタフェース用に独立して2回路内蔵しています。

18.4.1 ボー・レート・ジェネレータの構成

図18-14に、ボー・レート・ジェネレータのブロック図を示します。

図18-14 ポー・レート・ジェネレータのブロック図



(1) 5ビット・カウンタ

分周回路からの出力を選択したクロック (f_{PRS}) をカウントするカウンタです。ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2) の下位4ビットで選択された周波数の信号を生成します。

(2) 分周回路

内部クロック (f_{XX}) , またはアシンクロナス・シリアル・インタフェース・モード時には、外部ポー・レート入力 (ASCK, ASCK2) の2倍のクロックを分周し、次段のセレクトで f_{PRS} を選択します。

(3) 両エッジ検出回路

ASCK, ASCK2端子入力信号の両エッジを検出し、ASCK, ASCK2入力クロックの倍の周波数の信号を生成します。

18.4.2 ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2)

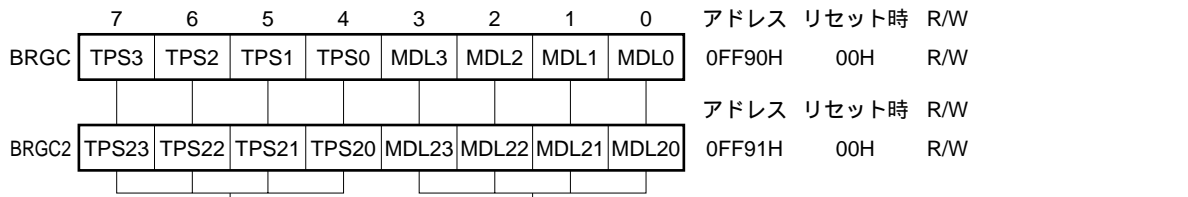
BRGC, BRGC2は、アシンクロナス・シリアル・インタフェース・モード時のポー・レート用クロックや3線式シリアルI/Oモード時のシフト・クロックを設定する8ビット・レジスタです。

8ビット操作命令で書き込みのみが可能です。図18-15に、BRGC, BRGC2のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hになります。

注意 ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2) の書き込み命令を実行すると、5ビット・カウンタおよび1/2分周回路の動作がリセットされてしまいます。したがって、通信動作中にBRGC, BRGC2への書き込みを行うと、生成されるポー・レート用クロックが乱れてしまい、正常な通信動作ができなくなる可能性があります。通信動作中にはBRGC, BRGC2への書き込みをしないでください。

図18 - 15 ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC),
 ボー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2) のフォーマット



f_{PRS} : プリスケアラ出力の選択クロック

MDL3	MDL2	MDL1	MDL0	k	ボー・レート・ジェネレータ の入力クロック注1
0	0	0	0	0	f _{PRS} /16
0	0	0	1	1	f _{PRS} /17
0	0	1	0	2	f _{PRS} /18
0	0	1	1	3	f _{PRS} /19
0	1	0	0	4	f _{PRS} /20
0	1	0	1	5	f _{PRS} /21
0	1	1	0	6	f _{PRS} /22
0	1	1	1	7	f _{PRS} /23
1	0	0	0	8	f _{PRS} /24
1	0	0	1	9	f _{PRS} /25
1	0	1	0	10	f _{PRS} /26
1	0	1	1	11	f _{PRS} /27
1	1	0	0	12	f _{PRS} /28
1	1	0	1	13	f _{PRS} /29
1	1	1	0	14	f _{PRS} /30
1	1	1	1	15	f _{PRS} 注2

注1 . ASCK, ASCK2入力使用時は, f_{PRS}/16しか選択できません。
 2 . 3線式シリアルI/Oモード時のみ使用可能

f_{XX} : 発振周波数

TPS3	TPS2	TPS1	TPS0	n	12ビット・プリスケアラの タップ選択 (f _{PRS})
TPS23	TPS22	TPS21	TPS20		
0	0	0	0	0	f _{XX} /2 f _{ASCK} /2注
0	0	0	1	1	f _{XX} /4 f _{ASCK} /4
0	0	1	0	2	f _{XX} /8 f _{ASCK} /8
0	0	1	1	3	f _{XX} /16 f _{ASCK} /16
0	1	0	0	4	f _{XX} /32 f _{ASCK} /32
0	1	0	1	5	f _{XX} /64 f _{ASCK} /64
0	1	1	0	6	f _{XX} /128 f _{ASCK} /128
0	1	1	1	7	f _{XX} /256 f _{ASCK} /256
1	0	0	0	8	f _{XX} /512 f _{ASCK} /512
1	0	0	1	9	f _{XX} /1024 f _{ASCK} /1024
1	0	1	0	10	f _{XX} /2048 f _{ASCK} /2048
1	0	1	1	11	f _{XX} /4096 f _{ASCK} /4096
上記以外					設定禁止

注 MDL3-MDL0でk = 15を選択した場合は, 選択できません。

18.4.3 ボー・レート・ジェネレータの動作

ボー・レート・ジェネレータは、UART/IOEの送受信動作が許可されているときだけ動作します。生成するボー・レート用クロックは、内部クロック (f_{xx}) を分周した信号か、外部ボー・レート入力 (ASCK) 端子から入力されたクロックを分周した信号になります。

注意 通信動作中にボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) への書き込みを行うと、生成されるボー・レート用クロックが乱れてしまい、正常な通信動作ができなくなる可能性があります。通信動作中にBRGCへの書き込みをしないでください。

(1) UARTモード時のボー・レート用クロックの生成

(a) 内部クロック (f_{xx}) による場合

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット0 (SCK) をセット (1) することにより、この機能が選択されます。

内部クロック (f_{xx}) を分周回路で分周し、その信号 (f_{PRS}) を5ビット・カウンタで分周し、さらに2分周した信号がボー・レートとなります。ボー・レートは、次の式によって求めます。

$$(\text{ボー・レート}) = \frac{f_{xx}}{(k+16) \cdot 2^{n+2}}$$

f_{xx} : 発振周波数

k : BRGCのMDL3-MDL0ビットの設定値 ($k=0-14$)

n : BRGCのTPS3-TPS0ビットの設定値 ($n=0-11$)

(b) 外部ボー・レート入力による場合

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット0 (SCK) をクリア (0) することにより、この機能が選択されます。なお、この機能を使用するときは、ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) のMDL3-MDL0ビットは、すべてクリア (0) して ($k=0$) 使用してください。

また、UART2では、この機能を使用するときにはポート1モード・コントロール・レジスタ (PMC1) のビット2をセット (1) し、P12端子をコントロール・モードにする必要があります。

ASCK端子入力のクロックを分周回路で分周し、その信号 (f_{PRS}) を32分周 (16分周と2分周) した信号がボー・レートとなります。ボー・レートは、次の式によって求めます。

$$(\text{ポー・レート}) = \frac{f_{\text{ASCK}}}{2^{n+6}}$$

f_{ASCK} : ASCK端子入力クロック周波数

n : BRGCのTPS3-TPS0ビットの設定値 ($n=0-11$)

この機能により、1種類の外部入力クロックで複数のポー・レートを生成できます。

(2) 3線式シリアルI/Oモード時のシリアル・クロックの生成

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1) のCSCK1ビットをセット (1) し、 $\overline{\text{SCK1}}$ を出力した場合に選択されます。

(a) 通常モード

内部クロック (f_{XX}) を分周回路で分周し、その信号 (f_{PRS}) を5ビット・カウンタで分周し、さらに2分周した信号がシリアル・クロックになります。シリアル・クロックは、次の式によって求めます。

$$(\text{シリアル・クロック}) = \frac{f_{\text{XX}}}{(k+16) \cdot 2^{n+2}}$$

f_{XX} : 発振周波数

k : BRGCのMDL3-MDL0ビットの設定値 ($k=0-14$)

n : BRGCのTPS3-TPS0ビットの設定値 ($n=0-11$)

(b) 高速モード

この機能を使用するときは、ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) のMDL3-MDL0ビットは、すべてセット (1) して ($k=15$) 使用します。

内部クロック (f_{XX}) を分周回路で分周し、その信号 (f_{PRS}) を2分周した信号がシリアル・クロックになります。シリアル・クロックは、次の式によって求めます。

$$(\text{シリアル・クロック}) = \frac{f_{\text{XX}}}{2^{n+2}}$$

f_{XX} : 発振周波数

n : BRGCのTPS3-TPS0ビットの設定値 ($n=1-11$)

18.4.4 アシンクロナス・シリアル・インタフェース・モード時の ボー・レートの設定方法

ボー・レートの設定方法には、表18 - 3に示す2通りの方法があります。

それぞれ生成できるボー・レートの範囲，ボー・レートの計算式および選択方法についてまとめます。

表18 - 3 ボー・レートの設定方法

ボー・レート用クロック・ソース		選択方法	ボー・レートの計算式	ボー・レートの範囲
ボー・レート・ ジェネレータ	内部システム・クロック	ASIMのSCK = 1	$\frac{f_{XX}}{(k + 16) \cdot 2^{n+2}}$	$\frac{f_{XX}}{245760} - \frac{f_{XX}}{64}$
	ASCK入力	ASIMのSCK = 0	$\frac{f_{ASCK}}{2^{n+6}}$	$\frac{f_{ASCK}}{131072} - \frac{f_{ASCK}}{64}$ 注

注 f_{ASCK} の入力範囲を含めると $\left(0 - \frac{f_{XX}}{256}\right)$

備考 f_{XX} : 発振周波数

k : BRGCのMDL3-MDL0ビットの設定値 (k = 0-14 ; 図18 - 15参照)

n : BRGCのTPS3-TPS0ビットの設定値 (n = 0-11 ; 図18 - 15参照)

f_{ASCK} : ASCK入力クロックの周波数 $\left(0 - \frac{f_{XX}}{4}\right)$

(1) ボー・レート・ジェネレータを使用した場合の設定例

ボー・レート・ジェネレータを使用した場合のボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) への設定例を示します。

ボー・レート・ジェネレータを使用する場合は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のSCKビットをセット (1) してください。

表18 - 4 ボー・レート・ジェネレータを使用した場合のBRGCへの設定例

発振周波数 (f _{xx})	12.0 MHz		11.0592 MHz	
	BRGC値	ボー・レート誤差 (%)	BRGC値	ボー・レート誤差 (%)
75	B4H	2.40	B2H	0.00
110	ABH	1.38	A9H	1.85
150	A4H	2.40	A2H	0.00
300	94H	2.40	92H	0.00
600	84H	2.40	82H	0.00
1200	74H	2.40	72H	0.00
2400	64H	2.40	62H	0.00
4800	54H	2.40	52H	0.00
9600	44H	2.40	42H	0.00
19200	34H	2.40	32H	0.00
31250	29H	0.00	26H	-0.54
38400	24H	2.40	22H	0.00
76800	14H	2.40	12H	0.00

(2) 外部ボー・レート入力 (ASCK) を使用した場合の設定例

外部ボー・レート入力 (ASCK) を使用した場合の設定例を表18 - 5 に示します。ASCK入力を使用する場合は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のSCKビットをクリア (0) し、PMC3またはPMC1で該当する端子をコントロール・モードにしてください。

表18 - 5 外部ボー・レート入力 (ASCK) を使用した場合の設定例

f _{ASCK} (ASCK入力周波数)	153.6 kHz	4.9152 MHz
ボー・レート [bps]	BRGC値	BRGC値
75	50H	A0H
150	40H	90H
300	30H	80H
600	20H	70H
1200	10H	60H
2400	00H	50H
4800	-	40H
9600	-	30H
19200	-	20H
38400	-	10H
76800	-	00H

18.5 注意事項

- (1) 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) の書き換えは行わないでください。送信中にASIMの書き換えを行うと、それ以降の送信動作ができなくなる場合があります ($\overline{\text{RESET}}$ 入力により、正常になります)。
送信中かどうかは、送信完了割り込み (INTST) またはINTSTによりセットされる割り込み要求フラグ (STIF) を用いて、ソフトウェアにより判断することができます。
- (2) $\overline{\text{RESET}}$ 入力後、シリアル送信シフト・レジスタ (TXS) は空になりますが、送信完了割り込みは発生しません。TXSに送信データを書き込むことによって、送信動作を起動できます。
- (3) 受信エラー発生時にも、シリアル受信バッファ (RXB) は必ず読み出してください。RXBを読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。
- (4) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容は、シリアル受信バッファ (RXB) を読み出すか、次のデータを受信することにより、クリア (0) されてしまいます。エラーの内容が知りたい場合には、必ずRXBを読み出す前にASISを読み出してください。
- (5) 通信動作中には、ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) への書き込みをしないでください。もし書き込み命令を実行すると、5ビット・カウンタおよび1/2分周回路の動作がリセットされてしまい、生成されるポー・レート用クロックが乱れ、正常な通信動作ができなくなる可能性があります。
- (6) CSIM1, CSIM2で転送ビット順の指定を行う場合 (ビット2操作) は、同時にCTXEビットおよびCRXEビットをセットしないでください。同時に指定した場合、指定した転送ビット順にならないことがあります。

第19章 3線式シリアル/Oモード

μPD784938Aは、3線式シリアル/Oモード（IOE0, IOE3）のシリアル・インタフェースを2チャンネル内蔵しています。

2チャンネルのIOEはまったく同一の機能です。したがって、この章では特に違いがない限り、IOE0を代表として説明しています。IOE3を使用する場合は、IOE0のレジスタ名称、ビット名称、端子名称を表19 - 1を参照に読み替えてください。

表19 - 1 IOE0とIOE3の名称の違い

項 目	IOE0	IOE3
端子名称	P32/SCK $\bar{0}$ P27/SI0 P33/SO0	P105/SCK $\bar{3}$ P106/SI3 P107/SO3
クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM	CSIM3
クロック同期式シリアル・インタフェース・モード・レジスタ内のビット名称	ENCSI, DIR, CRXE, MOD, SELCL2-SELCL0	ENCSI3, DIR3, CRXE3, MOD3, SELCL32-SELCL30
シリアル・シフト・レジスタ	SIO	SIO3
割り込み要求名称	INTCSI	INTCSI3

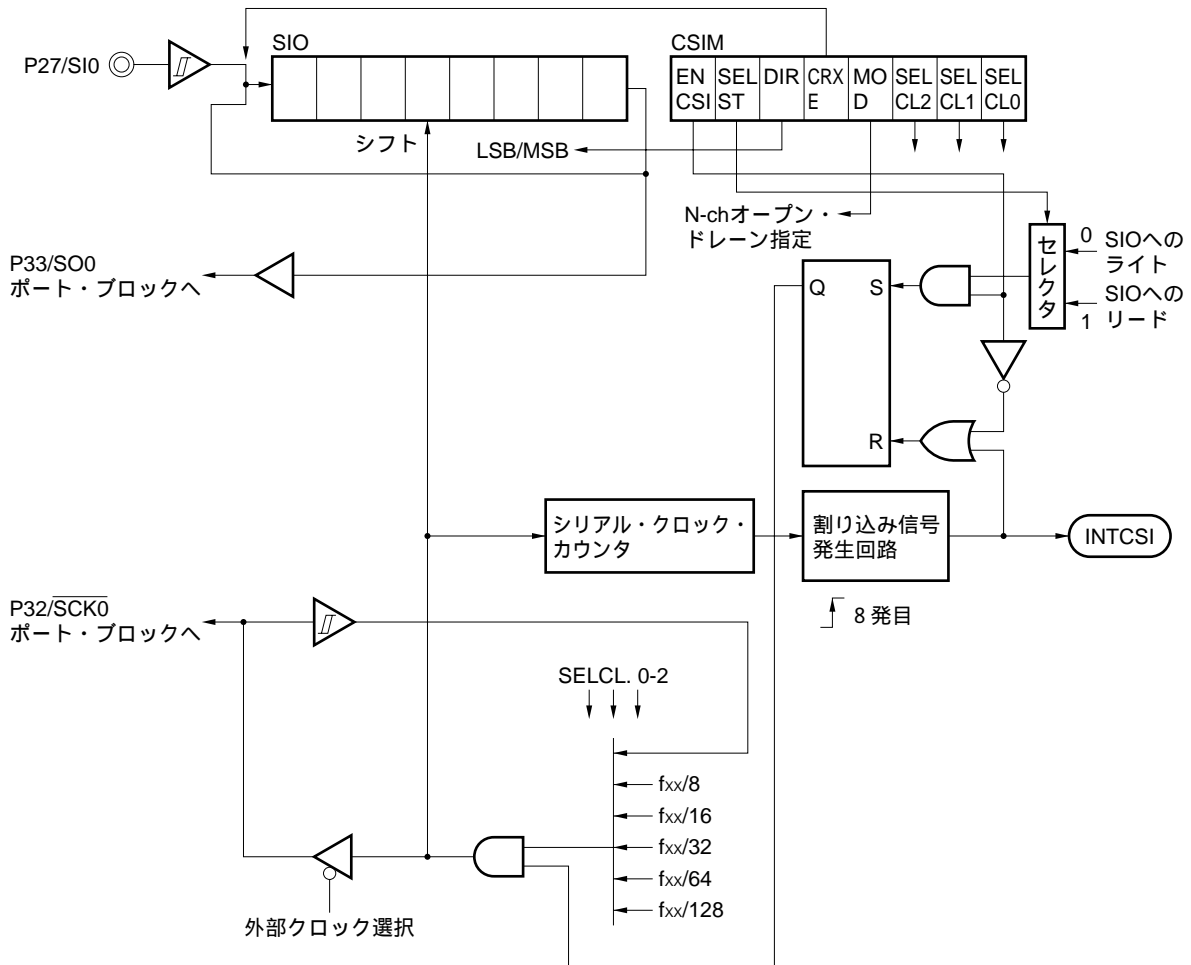
19.1 機 能

3線式シリアル/Oモード（MSB/LSBファースト）は、基本的にはシリアル・クロック（SCK $\bar{0}$ ）とシリアル・データ出力（SO0）、およびシリアル・データ入力（SI0）の3本のラインで通信を行います。また一般的には通信状態の確認を行うため、ハンドシェイク・ラインが必要となります。

19.2 構成

図19 - 1 に3線式シリアル/Oモード時のクロック同期式シリアル・インタフェースのブロック図を示します（2チャンネルとも同機能）。

図19 - 1 クロック同期式シリアル・インタフェースのブロック図



(1) シリアル・シフト・レジスタ (SIO)

SIOは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。SIOは、送信および受信の両方に使用されます。データは、MSB（またはLSB）側から受信または送信されます。SIOに対する書き込み/読み出しにより、実際の送受信動作が制御されます。

8ビット操作命令で、読み出し/書き込みが可能です。また、 $\overline{\text{RESET}}$ により不定となります。

(2) シリアル・クロック・カウンタ

送信受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(3) 割り込み信号発生回路

シリアル・クロック・カウンタで、シリアル・クロックを8発カウントしたときに、割り込み要求が発生します。

19.3 制御レジスタ

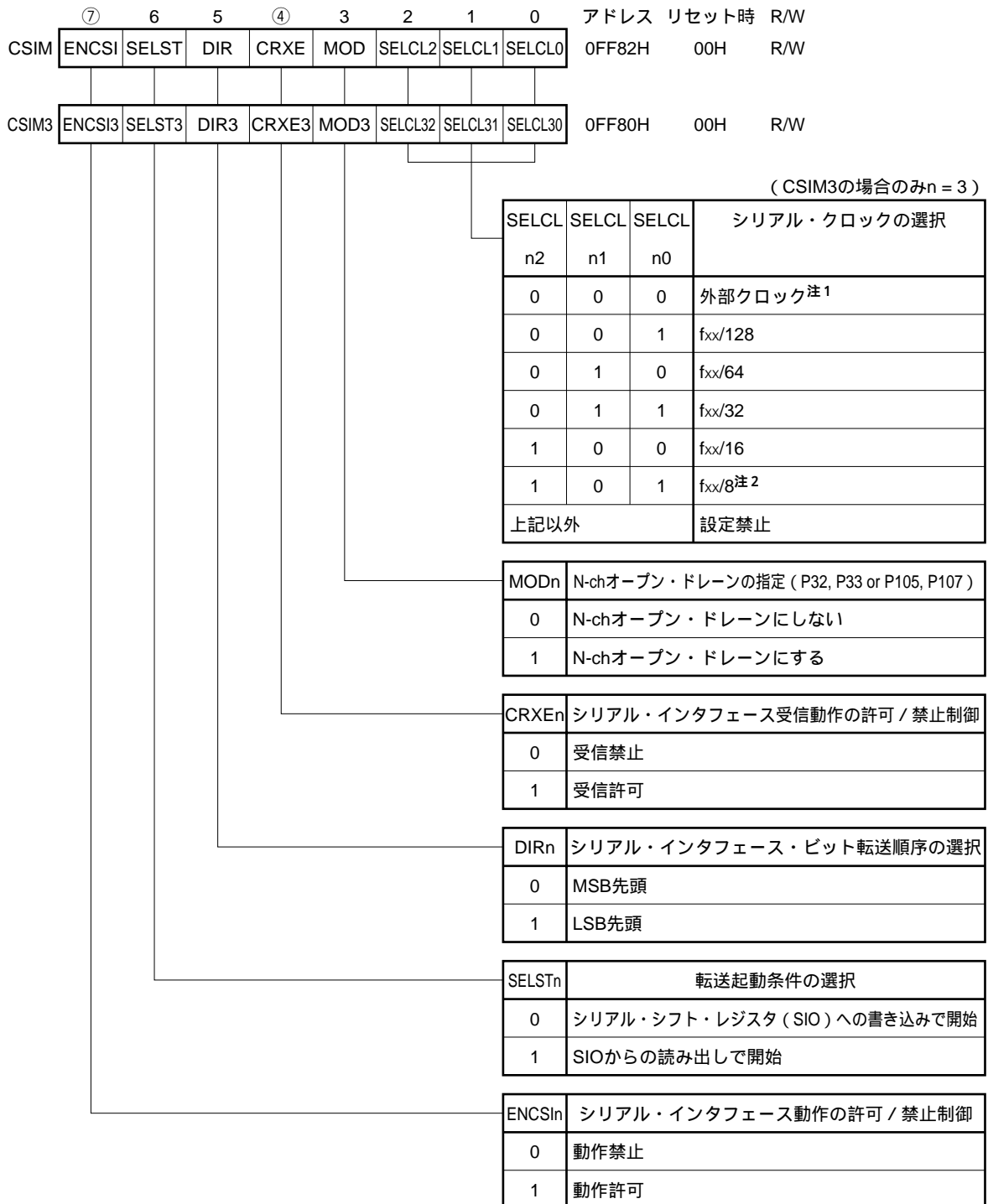
19.3.1 クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM, CSIM3)

CSIM, CSIM3は、クロック同期式シリアル・インタフェースの動作許可/禁止、シリアル・クロックを指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図19 - 1に、CSIM, CSIM3のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hとなります。

図19 - 2 クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) ,
 クロック同期式シリアル・インタフェース・モード・レジスタ3 (CSIM3) のフォーマット



注1 . 外部クロックを選択した場合、使用可能なシリアル・クロックは、 $f_{CLK} = f_{XX}/1$ の場合MIN $f_{XX}/8$,
 $f_{CLK} = f_{XX}$ 以外の場合MIN $f_{CLK}/4$ となります。

2 . システム・クロック (f_{CLK}) = $f_{XX}/8$ 選択時は、設定禁止。

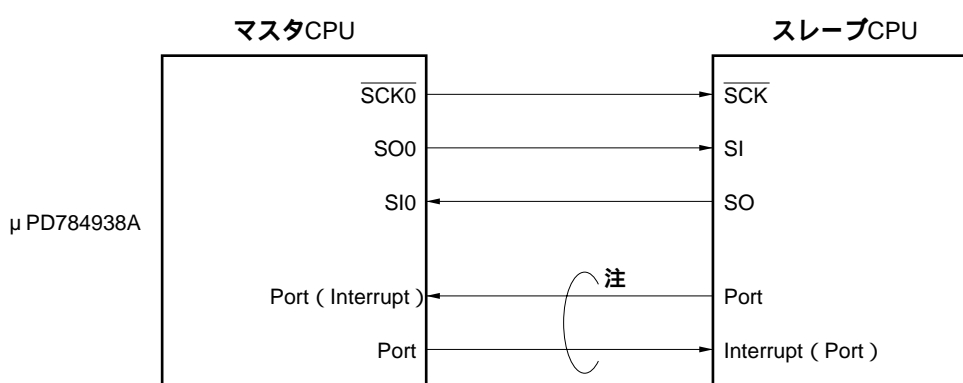
注意 ビット3をセットすると、出力バッファのP-chを強制的にOFFにします。PM3やPMC3またはPM10やPMC10の影響を受けません。したがってポート・モード時、ビット3をセット状態でPMレジスタで入出力切り替えを行うと、N-chオープン・ドレインでのポート・ラッチ出力と端子レベル・リードを行うことができます。

19.4 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのモードです。

基本的にはシリアル・クロック（SCK0）とシリアル・データ出力（SO0）、およびシリアル・データ入力（SI0）の3本のラインで通信を行います。また一般的には通信状態の確認を行うため、ハンドシェーク・ラインが必要となります。

図19 - 3 3線式シリアルI/Oのシステム構成例



注 ハンドシェーク・ライン

19.4.1 基本動作タイミング

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期してMSBファースト/LSBファーストで1ビットごとに送受信されます。

MSBファースト/LSBファーストの切り替えは、クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のDIRビットで指定します。

送信データは、 $\overline{\text{SCK0}}$ の立ち下がりに同期して出力されます。受信データは、 $\overline{\text{SCK0}}$ の立ち上がりでサンプリングされます。

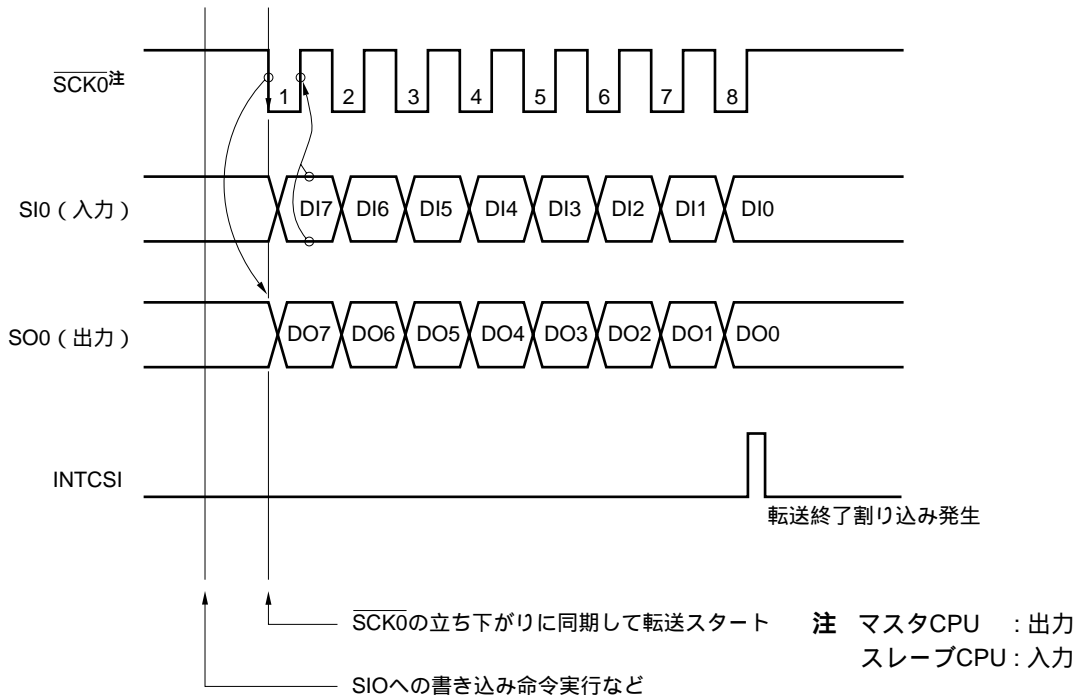
また、8番目の $\overline{\text{SCK0}}$ の立ち上がりで割り込み要求（INTCSI）を発生します。

内部クロックを $\overline{\text{SCK0}}$ として使用している場合は、 $\overline{\text{SCK0}}$ の8番目の立ち上がりで $\overline{\text{SCK0}}$ の出力を停止し、次のデータの送受信動作が起動されるまで、 $\overline{\text{SCK0}}$ はハイ・レベルを保持します。

図19 - 4に3線式シリアルI/Oモードのタイミングを示します。

図19 - 4 3線式シリアルI/Oモードのタイミング (1/2)

(a) MSBファースト時

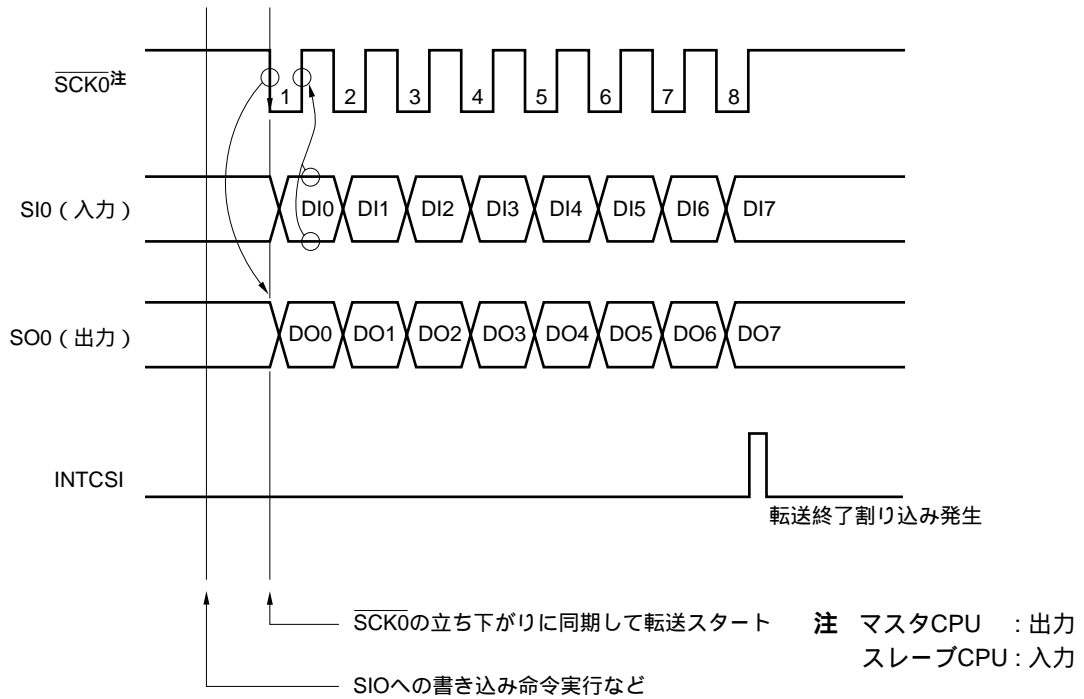


注意 1 . SIOの書き込みで転送を開始したあと、転送動作中にSIOにデータを書き込むと誤動作する可能性があります。したがって、転送動作中にSIOを書き換えないでください。

2 . ENCSIビットをクリア (0) すると転送動作中であっても、ただちに動作を中止します。

図19-4 3線式シリアルI/Oモードのタイミング(2/2)

(b) LSBファースト時



3線式シリアルI/Oの場合、SO0端子はCMOSのプッシュプル出力になります。

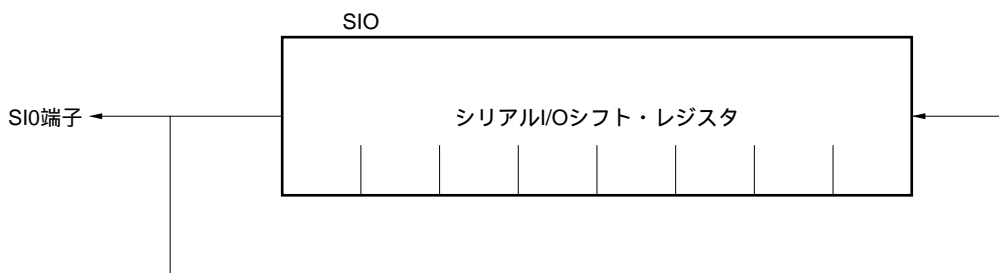
19.4.2 送信のみ許可の場合の動作

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) のCRXEビットをクリア (0) すると、データ送信のみを行い受信動作は禁止します。送信動作は、ENCSIビットがセット (1) されている状態で、シリアル・シフト・レジスタ (SIO) への書き込みを行うことで起動します。

SIOには、SIO端子からの受信データの代わりに送信データが入力されます。したがって、受信を禁止した場合、転送データを破壊せずに保存できます。

ENCSI = 1 かつ CRXE = 0 に設定したあと、SIOへの書き込み命令を実行すると、シリアル・クロックに同期して、1ビットごとに送信を開始します。先頭ビットのデータはSO0端子から出力されると同時に、SIOの最終ビットに入力されます。この動作を8回繰り返し送信が終了すると、割り込み要求を発生しません。

図19 - 5 受信禁止の場合の動作



送信が起動されると、シリアル・クロックを $\overline{\text{SCK0}}$ 端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIOからデータをSO0端子へ順次出力します。また、シリアル・クロックの立ち上がりに同期して、出力ラッチのデータをSIOにシフト入力します。

なお、送信の起動から $\overline{\text{SCK0}}$ の最初の立ち下がりまでは、最大 $\overline{\text{SCK0}}$ の1クロック分の時間がかかります。

19.4.3 受信のみ許可の場合の動作

受信動作のみを許可する場合は、クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) のENCSIビットをセット (1)、およびCRXEビットをセット (1) します。また、P33/SO0端子をポート3モード・コントロール・レジスタ (PMC3) により、ポート・モードに設定します (ポート・モードに設定しないとP33/SO0端子からデータが出力されます)。受信動作の起動は、シリアル・シフト・レジスタ (SIO) からの読み出しで行うことができます。

19.4.4 送受信許可の場合の動作（送受信動作許可）

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のENCSIビットとCRXEビットがセット（1）されている場合は、送信動作と受信動作を同時に行うことができます（送受信動作）。

送受信も起動は、ENCSIビットとCRXEビットが両方ともセット（1）されている場合にSIOへの書き込みで行います。

送受信が起動されると、シリアル・クロックが $\overline{\text{SCK0}}$ 端子から出力され、シリアル・クロックの立ち下がりに同期してSIOからSO0端子へ順次出力され、シリアル・クロックの立ち上がりに同期して、SIO端子のデータを順次SIOにシフト入力します。

なお、送受信の起動から $\overline{\text{SCK0}}$ の最初の立ち下がりまでは、最大 $\overline{\text{SCK0}}$ の1クロック分の時間がかかります。

19.4.5 シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合に、ノイズなどによりシリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合、クロック同期式シリアル・インタフェースの動作を禁止する（ENCSIビットをクリア（0）する）ことによりシリアル・クロック・カウンタが初期化されるので、次にシリアルの送信または受信を許可した後に入力されるシリアル・クロックを1発目のクロックとして、シフト動作とシリアル・クロックの同期を回復することができます。

第20章 IEBusコントローラ

IEBus (Inter Equipment Bus) は、ユニット間のデータ伝送を行うことを目的とした小規模のデジタル・データ伝送システムです。μPD784938AでIEBusを実現する場合は、IEBusドライバ/レシーバを内蔵していないため、これらを外付けする必要があります。

μPD784938Aが内蔵しているIEBusコントローラは、負論理になります。

20.1 IEBusコントローラの機能

20.1.1 IEBusの通信プロトコル

IEBusの通信プロトコルを次に示します。

(1) マルチタスク方式

IEBusに接続しているすべてのユニットで、ほかのユニットへのデータ伝送ができます。

(2) 同報通信機能

次に示す「1つのユニット 対 複数ユニット」の通信ができます。

- ・グループ同報通信 : グループ・ユニットに対しての同報通信
- ・一斉同報通信 : すべてのユニットに対しての同報通信

(3) 実効伝送速度

実効伝送速度は、モード1になります(μPD784938Aは、実効伝送速度モードのモード0, モード2はサポートしていません)。

- ・モード1 : 約17 Kbps

注意 1つのIEBus上に、異なるモードを混在することはできません。

(4) 通信方式

半二重非同期通信方式でデータを転送します。

(5) アクセス制御 : CSMA/CD (Carrier Sense Multiple Access with Collision Detection)

IEBus占有の優先順位を次に示します。

同報通信が個別通信(1ユニット 対 1ユニットの通信)より優先されます。

マスタ・アドレスの小さいほうが優先されます。

(6) 通信規模

IEBusの通信規模を次に示します。

- ・ユニット数：最大50ユニット
- ・ケーブル長：最大150 m (ツイスト・ペア・ケーブルを使用した場合)

注意 実際のシステムにおける通信規模は、IEBusドライバ/レシーバやIEBusを構成するケーブルなどの特性によって異なります。

20.1.2 バス占有権の決定 (アービトレーション)

IEBusに接続された装置は、ほかのユニットを制御するときにバスを占有するための動作を行います。この動作をアービトレーションと呼びます。

アービトレーションでは、複数のユニットが同時に送信を開始したときに、それらの複数のユニットの中から1つのユニットに対して、バスを占有する許可を与える処理を行います。

アービトレーションにより1ユニットのみがバス占有権を得るために、次に示すようなバス占有の優先条件があります。

注意 通信が途中で終了した場合、バスの占有権は解放されます。

(1) 通信の種類による優先条件

同報通信 (1ユニット 対 複数ユニットの通信) が、通常通信 (1ユニット 対 1ユニットの通信) より優先されます。

(2) マスタ・アドレスによる優先条件

通信種類が同じ場合は、マスタ・アドレスの最も小さいものが優先されます。

マスタ・アドレスは12ビットで構成され、000Hのユニットが最上位に優先順位を持ち、FFFHのユニットが最下位の優先順位を持ちます。

20.1.3 通信モード

IEBusには、伝送速度の異なる3種類の通信モードがあります。μPD784938Aサブシリーズは、通信モード1固定になります。通信モード1における伝送速度および1通信フレーム中の最大伝送バイト数を次に示します。

表20 - 1 通信モード1における伝送速度，最大伝送バイト数

通信モード	最大伝送バイト数	最大伝送速度 ^注
1	32バイト/フレーム	約17 Kbps

注 最大伝送バイト数を伝送したときの実効伝送速度

IEBusに接続した各ユニットは、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタ・ユニットとその通信相手ユニット (スレーブ・ユニット) の通信モードが同一でないと、通信は正しく行われません。

20.1.4 通信アドレス

IEBusでは、各ユニットに12ビットの固有な通信アドレスが割り当てられています。次に通信アドレスの構成を示します。

- ・上位4ビット：グループ番号（各ユニットの所属するグループを識別する番号）
- ・下位8ビット：ユニット番号（グループ内の各ユニットを識別する番号）

20.1.5 同報通信

通常の通信では、マスタ・ユニットとその通信相手局となるスレーブ・ユニットはともに1ユニットで、1対1の送信/受信が行われます。それに対して同報通信ではスレーブ・ユニットが複数あり、マスタ・ユニットは複数のスレーブ・ユニットに対して送信を行います。スレーブ・ユニットが複数あるために、通信中スレーブ・ユニットからはアクノリッジ信号は返されません。

同報通信を行うか通常の通信を行うかは、同報ビットにより選択することができます（20.1.6（2）同報ビット参照）。

同報通信には、グループ同報通信と一斉同報通信の2種類の同報通信があります。グループ同報と一斉同報の識別は、スレーブ・アドレスの値で行われます（20.1.6（4）スレーブ・アドレス・フィールド参照）。

（1）グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内のユニットに対して、同報通信を行います。

（2）一斉同報通信

グループ番号の値にかかわらず、すべてのユニットに対して同報通信を行います。

20.1.6 IEBusの伝送フォーマット

IEBusの伝送信号フォーマットを図20 - 1に示します。

図20 - 1 IEBusの伝送信号フォーマット

フレーム・フォーマット	ヘッダ		マスタ・アドレス・フィールド		スレーブ・アドレス・フィールド		コントロール・フィールド		電文長フィールド		データ・フィールド			
	スタート・ビット	同報ビット	マスタ・アドレス・ビット	P	スレーブ・アドレス・ビット	PA	コントロール・ビット	PA	電文長ビット	PA	データ・ビット	PA	データ・ビット	PA

備考1 . P : パリティ・ビット

A : $\overline{\text{ACK/NACK}}$ ビット

2 . 同報通信時には、マスタ局はアクノリッジ・ビットを無視します。

(1) スタート・ビット

スタート・ビットは、データ伝送の開始をほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間 $\overline{\text{TX}}$ 端子からハイ・レベルの信号(スタート・ビット)を出力し、同報ビットの出力へ移行します。

スタート・ビットを出力しようとしたとき、すでにほかのユニットがスタート・ビットを出力している場合には、スタート・ビットを出力しないでそのユニットのスタート・ビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を開始したユニット以外は、このスタート・ビットを検出し、受信状態へ移行します。

(2) 同報ビット

マスタが通信相手として単一のスレーブを選択(個別通信)しているのか、複数のスレーブを選択(同報通信)しているのかを示します。

同報ビットが0の場合は同報通信を示し、1の場合は個別通信を示します。また、同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブ・アドレスの値によって行われます(20.1.6(4)スレーブ・アドレス・フィールド参照)

同報通信の場合には、通信相手局となるスレーブ・ユニットが複数存在するため、マスタ・アドレス・フィールド以降の各フィールドでのアクノリッジ・ビットは返されません。

2つ以上のユニットが同じタイミングで通信フレームの送出を開始した場合には、同報通信が個別通信より優先され、アービトレーションに勝ち残ります。

自局がマスタとしてバスを占有しているときは、IEBusコントロール・レジスタ(BCR)の同報リクエスト・ビット(ALLRQ)に設定した値が出力されます。

(3) マスタ・アドレス・フィールド

マスタが自局のアドレスをスレーブに伝えるために出力します。

マスタ・アドレス・フィールドは、図20 - 2 に示す構成となっています。

2つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタ・アドレス・フィールドへ持ち越されます。

マスタ・アドレス・フィールドでは、1ビット送信するごとに出力しているデータとバス上のデータを比較します。比較の結果、出力しているマスタ・アドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断して、送信を中止し受信状態に変わります。

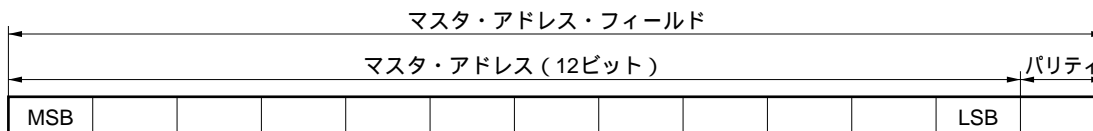
IEBusは、ワイアードANDで構成されているため、アービトレーションに参加しているユニット（アービトレーション・マスタ）の中で、最小のマスタ・アドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に12ビットのマスタ・アドレスを出力後、1つのユニットのみがマスタ・ユニットとして送信状態で残ります。

次に、このマスタ・ユニットはパリティ・ビットを出力し、ほかのユニットに対してマスタ・アドレスを確定させ、スレーブ・アドレス・フィールド出力へ移行します。

自局がマスタとしてバスを占有しているときは、IEBus自局アドレス・レジスタ（UAR）で設定したアドレスが出力されます。

図20 - 2 マスタ・アドレス・フィールド



(4) スレーブ・アドレス・フィールド

マスタが通信を行いたい相手局のアドレスを出力します。

スレーブ・アドレス・フィールドは、図20 - 3 に示す構成になっています。

12ビットのスレーブ・アドレス送信後、スレーブ・アドレスが間違っ受受信されることを避けるため、パリティ・ビットを出力します。次にスレーブ・ユニットがバス上にあることを確認するために、マスタ・ユニットはスレーブ・ユニットからのアクノリッジ信号を検出します。アクノリッジ信号を検出した場合、コントロール・フィールド出力へ移行します。ただし、同報通信時は、アクノリッジ・ビットを検出せずに、コントロール・フィールド出力へ移行します。

スレーブ・ユニットは、スレーブ・アドレスが一致して、マスタ・アドレスとスレーブ・アドレスの両方のパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。スレーブ・ユニットは、パリティが奇数の場合、マスタ・アドレスまたはスレーブ・アドレスが正しく受信されなかったと判断して、アクノリッジ信号を出力しません。このとき、マスタ・ユニットは待機（モニタ）状態になり、通信が終了します。

また、同報通信の場合にはスレーブ・アドレスは、次のようにグループ同報 / 一斉同報の識別に使用されます。

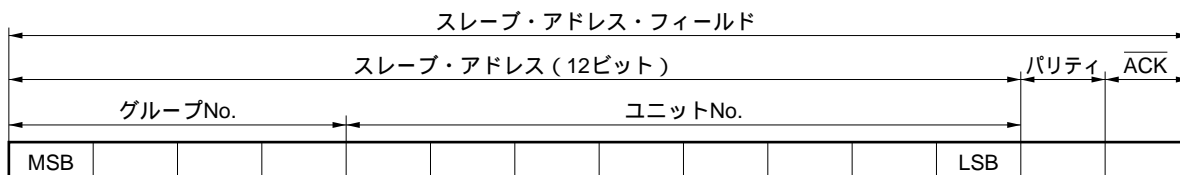
スレーブ・アドレスがFFFHのとき : 一斉同報通信

スレーブ・アドレスがFFFH以外のとき : グループ同報通信

備考 グループ同報通信時のグループNo.は、スレーブ・アドレスの上位4ビットの値になります。

自局がマスタとしてバスを占有しているときは、IEBusスレーブ・アドレス・レジスタ（SAR）で設定したアドレスが出力されます。

図20 - 3 スレーブ・アドレス・フィールド



(5) コントロール・フィールド

マスタがスレーブに要求する動作内容を出力します。

コントロール・フィールドは、図20 - 4 に示す構成になっています。

コントロール・ビットに続くパリティが偶数で、かつマスタ・ユニットの要求機能をスレーブが実行できる場合は、スレーブ・ユニットはアクノリッジ信号を出力して、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブ・ユニットがマスタ・ユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブ・ユニットはアクノリッジ信号を出力しないで、待機（モニタ）状態に戻ります。

マスタ・ユニットはアクノリッジ信号を確認したあと、次の電文長フィールドへ移行します。

アクノリッジ信号を確認できない場合は、マスタ・ユニットは待機状態になり、通信が終了します。ただし、同報通信の場合は、マスタ・ユニットはアクノリッジ信号を確認しないで次の電文長フィールドへ移行します。

コントロール・ビットの内容を表20 - 2 に示します。

表20 - 2 コントロール・ビットの内容

ビット3 ^{注1}	ビット2	ビット1	ビット0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック ^{注2}
0	1	0	0	ロック・アドレスの読み込み（下位8ビット） ^{注3}
0	1	0	1	ロック・アドレスの読み込み（上位4ビット） ^{注3}
0	1	1	0	スレーブ・ステータスの読み込みとロック解除 ^{注2}
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック ^{注2}
1	0	1	1	データ書き込みとロック ^{注2}
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

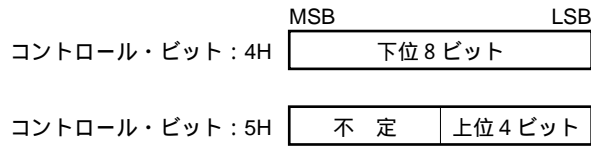
注1．ビット3（MSB）の値により、以後の電文長フィールドの電文長ビットおよびデータ・フィールドのデータ転送方向が変わります。

ビット3 = 1の場合：マスタ・ユニットからスレーブ・ユニットへ転送

ビット3 = 0の場合：スレーブ・ユニットからマスタ・ユニットへ転送

2．ロックの設定／解除を指定するコントロール・ビットです（20.1.7（4）ロックの設定／解除参照）。

3．ロック・アドレスは、1バイト単位（8ビット）で伝送されるため、次に示す構成になっています。



マスタ・ユニットによりロックを設定されたユニットは、ロックを要求したマスタ・ユニット以外から受信したコントロール・ビットが表20 - 3 に示した以外の場合は、受け付けを拒否してアクノリッジ・ビットを出力しません。

表20 - 3 ロックされたスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	1	0	0	ロック・アドレスの読み込み（下位 8 ビット）
0	1	0	1	ロック・アドレスの読み込み（上位 4 ビット）

また、マスタ・ユニットによりロックを設定されていないユニットは、表20 - 4 に示したコントロール・データを受信した場合は、受け付けを拒否してアクノリッジ・ビットを出力しません。

表20 - 4 ロックされていないスレーブ・ユニットに対するコントロール・フィールド

ビット3	ビット2	ビット1	ビット0	機 能
0	1	0	0	ロック・アドレスの読み込み（下位 8 ビット）
0	1	0	1	ロック・アドレスの読み込み（上位 4 ビット）

自局がマスタとしてバスを占有しているときは、IEBusコントロール・データ・レジスタ（CDR）に設定した値が出力されます。

図20 - 4 コントロール・フィールド

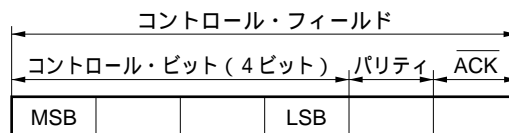


表20 - 5 コントロール・フィールドのアクノリッジ信号出力条件

(a) 受信したコントロール・データがAH, BH, EH, FHの場合

通信対象 (SLVRQ) スレーブ指定 = 1 指定なし = 0	ロック状態 (LOCK) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (ENSLVTX)	スレーブ受信許可 (ENSLVRX)	受信したコントロール・データ			
					AH	BH	EH	FH
1	0	don't care	don't care	1				
	1	1						
上記以外					x			

(b) 受信したコントロール・データが0H, 3H, 4H, 5H, 6H, 7Hの場合

通信対象 (SLVRQ) スレーブ指定 = 1 指定なし = 0	ロック状態 (LOCK) ロック = 1 非ロック = 0	マスタ・ユニット判定 (PARと一致) ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可 (ENSLVTX)	スレーブ受信許可 (ENSLVRX)	受信したコントロール・データ						
					0H	3H	4H	5H	6H	7H	
1	0	don't care	0	don't care	x	x	x			x	
			1			x	x				
	1	0	don't care		x			x	x		
		1	0		x				x		
上記以外					x						

注意 受信したコントロール・データが表20 - 5 以外の場合は無条件でx (ACK返信しない) になります。

備考 1 . : $\overline{\text{ACK}}$ 返信する

x : $\overline{\text{ACK}}$ 返信しない

2 . ENSLVTX : IEBusユニット・コントロール・レジスタ (BCR) のビット 4

ENSLVRX : " のビット 3

LOCK : IEBusユニット・ステータス・レジスタ (USR) のビット 2

SLVRQ : " のビット 6

PAR : IEBus相手先アドレス・レジスタ

(6) 電文長フィールド

送信側が受信側に対して送信データのバイト数を伝えるために出力します。

電文長フィールドは、図20 - 5 に示す構成になっています。

電文長ビットと送信データ数の関係を表20 - 6 に示します。

図20 - 5 電文長フィールド

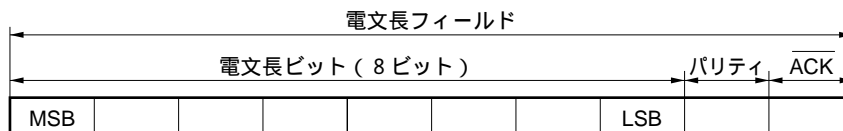


表20 - 6 電文長ビットの内容

電文長ビット (16進)	送信データ・バイト数
01H	1バイト
02H	2バイト
⋮	⋮
FFH	255バイト
00H	256バイト

電文長フィールドの動作は、マスタ送信時 (コントロール・ビットのビット3 = 1) とマスタ受信時 (コントロール・ビットのビット3 = 0) では異なります。

(a) マスタ送信時

電文長ビットおよびパリティ・ビットは、マスタ・ユニットが出力します。スレーブ・ユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力して、次のデータ・フィールドへ移行します。ただし、同報通信では、スレーブ・ユニットはアクノリッジ信号を出力しません。

スレーブ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、アクノリッジ信号を出力しないで、待機 (モニタ) 状態に戻ります。このとき、マスタ・ユニットも待機状態に戻り、通信が終了します。

(b) マスタ受信時

電文長ビットおよびパリティ・ビットはスレーブ・ユニットが出力し、各ビットの同期信号はマスタ・ユニットが出力します。マスタ・ユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力します。

マスタ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、アクノリッジ信号を出力しないで、待機 (モニタ) 状態に戻ります。このとき、スレーブ・ユニットも待機状態に戻り、通信が終了します。

(7) データ・フィールド

送信側が出力するデータです。

マスタ・ユニットは、データ・フィールドを使用してスレーブ・ユニットにデータを送信したり、スレーブ・ユニットからデータを受信したりします。

データ・フィールドは、次に示す構成になっています。

図20 - 6 データ・フィールド



データ・ビットに続き、パリティ・ビットとアクノリッジ・ビットが、それぞれマスタ・ユニットおよびスレーブ・ユニットより出力されます。

同報通信は、マスタ・ユニットの送信動作のみに使用してください。また、このときアクノリッジ信号は無視されます。

マスタ送信時とマスタ受信時の動作を次に示します。

(a) マスタ送信時

マスタ・ユニットからスレーブ・ユニットへ書き込みする場合、マスタ・ユニットは、スレーブ・ユニットに対してデータ・ビット、パリティ・ビットを送信します。スレーブ・ユニットは、データ・ビット、パリティ・ビットを受信して、パリティが偶数で、IEBusデータ・レジスタ (DR) に受信データを格納していなければ、アクノリッジ信号を出力します。パリティが奇数、またはDRレジスタに受信データを格納している場合、スレーブ・ユニットは対応するデータの受け付けを拒否して、アクノリッジ信号を出力しません。

スレーブ・ユニットからアクノリッジ信号が出力されなかった場合、マスタ・ユニットは再び同じデータを送信します。この動作はスレーブ・ユニットからのアクノリッジ信号を検出するか、データが最大伝送バイト数を越えるまで続けられます。

パリティが偶数で、スレーブ・ユニットからアクノリッジ信号が出力された場合、データに続きがあり、かつ最大伝送バイト数を越えていなければ、マスタ・ユニットは次のデータを送信します。

また、同報通信の場合では、スレーブ・ユニットからアクノリッジ信号は出力しないで、マスタ・ユニットはデータを1バイトごとに転送します。同報通信時にスレーブ・ユニットがデータ・ビット、パリティ・ビットを受信して、パリティが奇数、またはDRレジスタが受信データを格納中の場合は、正常に受信ができなかったと判断され、受信を中止します。

(b) マスタ受信時

マスタ・ユニットがスレーブ・ユニットから読み込みする場合、マスタ・ユニットは、すべての読み込みビットに対応する同期信号を出力します。

スレーブ・ユニットは、データ、パリティ・ビットの内容をマスタ・ユニットからの同期信号に応じてバス上に出力します。

マスタ・ユニットは、スレーブ・ユニットの出力したデータ、パリティ・ビットを読み込み、パリティを確認します。

パリティが奇数、またはDRレジスタが受信データを格納中の場合、マスタ・ユニットはそのデータの受け付けを拒否して、アクノリッジ信号を出力しません。1通信フレームで送信できる最大伝送バイト数以内であれば、マスタ・ユニットは同じデータの読み込み動作を繰り返します。

また、パリティが偶数、かつDRレジスタが受信データを格納していない場合、マスタ・ユニットはデータを受け付け、アクノリッジ信号を返します。1フレームで送信できる最大伝送バイト数以内であればマスタ・ユニットは次のデータを読み込みます。

注意 同報通信ではマスタ受信を行わないでください。スレーブ・ユニットが特定できず、正常なデータ転送ができません。

(8) パリティ・ビット

パリティ・ビットは、伝送データに誤りがないことを確認するために使用します。

パリティ・ビットは、マスタ・アドレス・ビット、スレーブ・アドレス・ビット、コントロール・ビット、電文長ビット、データ・ビットの各データに対して付加されます。

パリティ・ビットは、偶数パリティです。データ中の ' 1 ' になっているビット数が奇数の場合は、パリティ・ビットは ' 1 ' になります。データ中の ' 1 ' になっているビット数が偶数の場合は、パリティ・ビットは ' 0 ' になります。

(9) アクノリッジ・ビット

通常の通信（1ユニット対1ユニット間の通信）では、データを正しく受け付けたかを確認するために、次に示す箇所にアクノリッジ・ビットが付加されます。

- ・スレーブ・アドレス・フィールドの最後
- ・コントロール・フィールドの最後
- ・電文長フィールドの最後
- ・データ・フィールドの最後

アクノリッジ・ビットの定義を次に示します。

0：伝送データを認識したことを示します。（ $\overline{\text{ACK}}$ ）

1：伝送データを認識しなかったことを示します。（NACK）

ただし、同報通信の場合は、アクノリッジ・ビットの内容は無視されます。

(a) スレーブ・アドレス・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、スレーブ・アドレス・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・ マスタ・アドレス・ビットまたはスレーブ・アドレス・ビットのパリティが正しくない場合
- ・ タイミング・エラー（ビット・フォーマットにエラー）が発生した場合
- ・ スレーブ・ユニットが存在しなかった場合

(b) コントロール・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、コントロール・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・ コントロール・ビットのパリティが正しくない場合
- ・ スレーブ受信許可フラグ（ENSLVRX）がセット（1）されていないときに、コントロール・ビットのビット3=1（書き込み動作）の場合（20.3.2（1）IEBusコントロール・レジスタ（BCR）参照）
- ・ スレーブ送信許可フラグ（ENSLVTX）がセット（1）されていないときに、コントロール・ビットがデータの読み込み（3H, 7H）の場合（20.3.2（1）IEBusコントロール・レジスタ（BCR）参照）
- ・ ロックを設定しているのに、ロックを設定したユニット以外からコントロール・ビットの3H, 6H, 7H, AH, BH, EH, FHを要求した場合
- ・ ロックを設定していないのに、コントロール・ビットがロック・アドレスの読み込み（4H, 5H）の場合
- ・ タイミング・エラーが発生した場合
- ・ 未定義のコントロール・ビットの場合

注意 1．スレーブ送信許可フラグ（ENSLVTX）がセット（1）されていない場合でも、スレーブ・ステータス要求のコントロール・データを受信したときは必ず $\overline{\text{ACK}}$ を返信します。

2．スレーブ受信許可フラグ（ENSLVRX）がセット（1）されていない場合でも、データ/コマンド書き込みのコントロール・データを受信すると、コントロール・フィールドのアクノリッジ・ビットでNACKを返信します。

個別通信の場合だけENSLVRXフラグによりスレーブ受信を禁止（通信を中止）することができます。同報通信の場合は、通信が接続され、データ要求割り込み（INTIE1）やIEBus終了割り込み（INTIE2）が発生します。

(c) 電文長フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、電文長フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・電文長ビットのパリティが正しくない場合
- ・タイミング・エラーが発生した場合

(d) データ・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、データ・フィールドの最後のアクノリッジ・ビットはNACKになり、伝送は中止されます。

- ・データ・ビットのパリティが正しくない場合^注
- ・タイミング・エラーが前回のアクノリッジ・ビット伝送以降で発生した場合
- ・IEBusデータ・レジスタ (DR) に受信データが格納されており、それ以上のデータを受け付けることができない場合^注

注 この場合、実行されている通信が個別通信のとき、送信側は1フレームで伝送できる最大伝送バイト数以内であれば、そのデータ・フィールドの送信を再実行します。同報通信のときは、送信側からのデータ再送はなく、受信側は通信エラーとなり受信を中止します。

20.1.7 伝送データ**(1) スレーブ・ステータス**

マスタ・ユニットは、スレーブ・ステータスを読み込むことにより、スレーブ・ユニットが、アクノリッジ・ビット (\overline{ACK}) を返送しなかった理由を知ることができます。

スレーブ・ステータスは、スレーブ・ユニットが最後に行った通信結果に対して決定されます。

すべてのスレーブ・ユニットは、スレーブ・ステータスの情報を提供できます。

スレーブ・ステータスについて次に示します。

図20 - 7 スレーブ・ステータスのビット構成

MSB								LSB		
ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0			
ビット0 ^{注1}		意 味								
0		IEBusデータ・レジスタ (DR) に送信データが書き込まれていない								
1		IEBusデータ・レジスタ (DR) に送信データが書き込まれている								
ビット1 ^{注2}		意 味								
0		IEBusデータ・レジスタ (DR) に受信データが格納されていない								
1		IEBusデータ・レジスタ (DR) に受信データが格納されている								
ビット2		意 味								
0		ユニットがロック状態でない								
1		ユニットがロック状態である								
ビット3		意 味								
0		0固定								
ビット4 ^{注3}		意 味								
0		スレーブ送信停止								
1		スレーブ送信動作可能								
ビット5		意 味								
0		0固定								
ビット7	ビット6	意 味								
0	0	モード0	ユニットがサポートしている最高位のモードを示します ^{注4} 。							
0	1	モード1								
1	0	モード2								
1	1	未使用								

注1．リセット時：ビット0は“1”になります。

2．受信バッファが1バイト分になります。

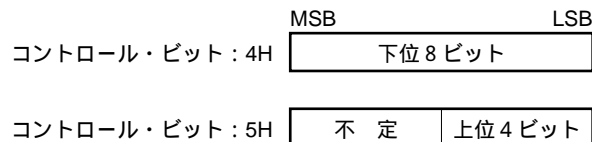
3．スレーブ・ユニットの場合、IEBusコントロール・レジスタ (BCR) のビット4 (ENSLVTX) で示される状態に該当します。

4．スレーブ・ユニットの場合、ビット7, 6はそれぞれモード1に固定されています (ビット7, 6 = 0, 1)。

(2) ロック・アドレス

ロック・アドレスの読み込み処理時（コントロール・ビット：4H, 5H）には、ロック命令を発行したマスタ・ユニットのアドレス（12ビット）が、次に示すように1バイト単位に構成されて、読み出されます。

図20 - 8 ロック・アドレスの構成



(3) データ

コントロール・ビットがデータ読み込み（3H, 7H）の場合、スレーブ・ユニットのデータ・バッファにあるデータがマスタ・ユニットに読み込まれます。

コントロール・ビットがデータ書き込み（BH, FH）の場合、スレーブ・ユニットが受信したデータは、そのスレーブ・ユニットの動作規定に従って処理されます。

(4) ロックの設定 / 解除

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。

ロックを設定したユニットは、ロックをかけたユニット以外からの受信は行いません（同報通信の受信も行いません）。

ロックの設定 / 解除について次に示します。

(a) ロックの設定

ロックを指定したコントロール・ビット（3H, AH, BH）で、電文長フィールドの送受信終了後（ $\overline{ACK} = 0$ ）、電文長ビットで指定したデータ・バイト数分のデータを送信 / 受信を成功せずに通信フレームを終了した場合、スレーブ・ユニットは、マスタ・ユニットよりロックが設定されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がセット（1）されます。

(b) ロックの解除

ロックを指定したコントロール・ビット（3H, AH, BH）、またはロックの解除を指定したコントロール・ビット（6H）で、1通信フレーム内に電文長ビットで指定したデータ・バイト数分のデータを送信 / 受信終了後、スレーブ・ユニットは、マスタ・ユニットよりロックが解除されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット2）がリセット（0）されます。

なお、同報通信にはロックの設定 / 解除は行われません。

次にロックの設定 / 解除の条件を示します。

(c) ロック設定条件

コントロール・データ	同報通信		個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H ^注			ロックにならない	ロック設定
AH, BH	ロックにならない	ロックにならない	ロックにならない	ロック設定
0H, 4H, 5H, EH, FH	ロックにならない	ロックにならない	ロックにならない	ロックにならない

注 コントロール・データ6H (スレーブ・ステータスの読み込みとロック解除)でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からのアクノリッジ信号が出力されずに最大伝送バイト数まで繰り返された場合に発生します。

(d) ロック解除条件(ロック中)

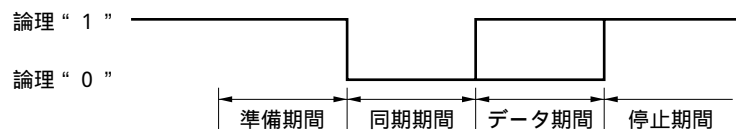
コントロール・データ	ロック要求ユニットからの同報通信		ロック要求ユニットからの個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H ^注			ロック解除	ロック保持
AH, BH	ロック解除	ロック解除	ロック解除	ロック保持
0H, 4H, 5H, EH, FH	ロック保持	ロック保持	ロック保持	ロック保持

注 コントロール・データ6H (スレーブ・ステータスの読み込みとロック解除)でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からのアクノリッジ信号が出力されずに最大伝送バイト数まで繰り返された場合に発生します。

20.1.8 ビット・フォーマット

IEBusの通信フレームを構成するビット・フォーマットを次に示します。

図20 - 9 IEBusのビット・フォーマット



- 準備期間 : 最初のロウ・レベル期間 (論理 " 1 ")
- 同期期間 : 次のハイ・レベル時間 (論理 " 0 ")
- データ期間 : ビットの値を表す期間
- 停止期間 : 最後のロウ・レベル期間 (論理 " 1 ")

同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBusは1ビットごとに同期がとられています。また、ビット全体の時間と、そのビット中に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタ・ユニットかスレーブ・ユニットかの違いにより異なります。また、マスタ・ユニット、スレーブ・ユニットは通信中、各期間 (準備期間、同期期間、データ期間、停止期間) が所定の時間どおり出力されているかを検出しています。所定の時間どおりに出力されていない場合は、マスタ・ユニット、スレーブ・ユニットはタイミング・エラーとしてただちに通信を終了し待機状態に戻ります。

20.2 簡易版IEBusコントローラ

μPD784938Aは、新規に開発したIEBusコントローラを内蔵しています。従来品のIEBusインタフェース機能（78K/0に内蔵）に比べると、機能を限定したものです。

表20 - 7 に従来品と簡易版IEBusインタフェースの比較を示します。

表20 - 7 従来品と簡易版IEBusインタフェースの比較

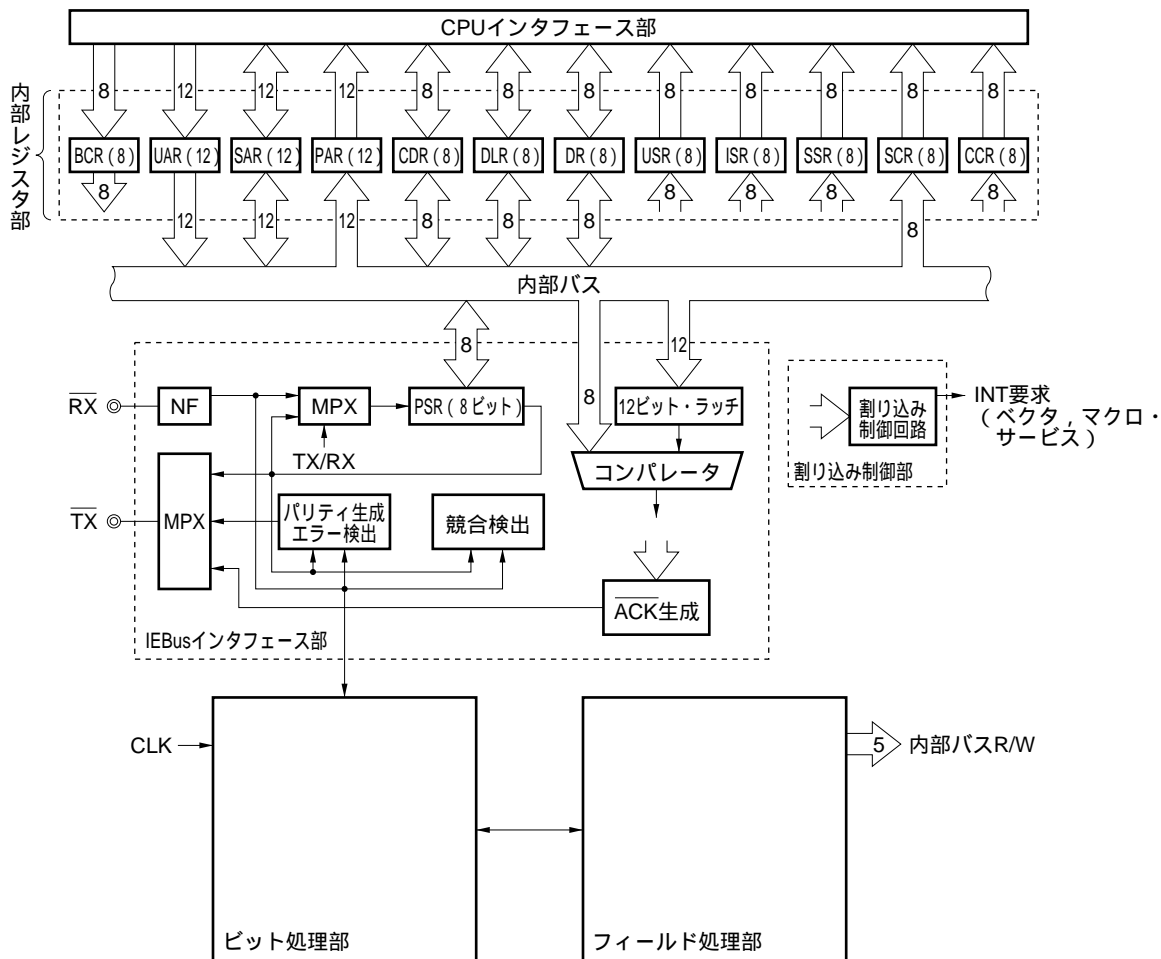
項目	従来品（78K/0内蔵IEBus）	簡易版IEBus
通信モード	モード0，モード1，モード2	モード1固定
内部システム・クロック	6.0（6.29）MHz	
内部バッファ・サイズ	送信バッファ 33バイト（FIFO） 受信バッファ 40バイト（FIFO） 最大4フレーム受信可能	送受信データ・レジスタ
CPU処理	通信開始前処理（データ設定） 各通信状態設定，管理 送信バッファへのデータ・ライト 受信バッファからのデータ・リード	通信開始前処理（データ設定） 各通信状態設定，管理 1バイトごとのデータ・ライト処理 1バイトごとのデータ・リード処理 スレーブ・ステータスなど送信管理 複数フレーム管理，再マスタ要求処理
ハード処理	ビット処理（変復調，エラー検出） フィールド処理（生成／管理） アービトレーション結果検出 パリティ処理（生成／エラー検出） ACK/NACKの自動返答 自動データ再送処理 自動再マスタ処理 ^注 自動スレーブ・ステータスなどの送信処理 複数フレーム受信処理	ビット処理（変復調，エラー検出） フィールド処理（生成／管理） アービトレーション結果検出 パリティ処理（生成／エラー検出） ACK/NACKの自動返答 自動データ再送処理

注 自動再マスタ処理：マスタ要求を発生後，アービトレーション等によりマスタ要求がキャンセルされた場合，バス開放後再度自動的にマスタ要求を発行します。

20.3 IEBusコントローラの構成

IEBusコントローラのブロック図を次に示します。

図20 - 10 IEBusコントローラのブロック図



(1) ハードウェアの構成と機能

IEBusの内部構成は、次に示す6つのブロックから構成されています。

- ・ CPUインタフェース部
- ・ 割り込み制御部
- ・ 内部レジスタ部
- ・ ビット処理部
- ・ フィールド処理部
- ・ IEBusインタフェース部

(a) CPUインタフェース部

CPU (μ PD784938A) とIEBus本体とをインタフェースするための制御部です。

(b) 割り込み制御部

IEBus本体からの割り込み要求信号をCPUに渡すための制御部です。

(c) 内部レジスタ部

IEBusの制御を行うコントロール・レジスタ, 各フィールドのデータを設定します (20.3 IEBusコントローラの内部レジスタ参照)。

(d) ビット処理部

ビット・タイミングの生成, 分解を行い, 主にビット・シーケンスROM, 8ビット・プリセット・タイマ, 判定器から構成されています。

(e) フィールド処理部

通信フレーム内のフィールドを生成して, 主にフィールド・シーケンスROM, 4ビット・ダウン・カウンタ, 判定器から構成されています。

(f) IEBusインタフェース部

外付けドライバ/レシーバのインタフェース部で, 主にノイズ・フィルタ, シフト・レジスタ, 競合検出, パリティ検出, パリティ生成回路, $\overline{\text{ACK}}/\text{NACK}$ 生成回路から構成されています。

20.4 IEBusコントローラの内部レジスタ

20.4.1 内部レジスタ一覧

表20 - 8 IEBusコントローラの内部レジスタ一覧

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			リセット時
				1	8	16	
0FFB0H	IEBusコントロール・レジスタ	BCR	R/W			-	00H
0FFB2H	IEBus自局アドレス・レジスタ	UAR		-	-		0000H
0FFB4H	IEBusスレーブ・アドレス・レジスタ	SAR		-	-		
0FFB6H	IEBus相手先アドレス・レジスタ	PAR	R	-	-		
0FFB8H	IEBusコントロール・データ・レジスタ	CDR	R/W	-		-	01H
0FFB9H	IEBus電文長レジスタ	DLR		-		-	
0FFBAH	IEBusデータ・レジスタ	DR		-		-	00H
0FFBBH	IEBusユニット・ステータス・レジスタ	USR	R			-	
0FFBCH	IEBusインタラプト・ステータス・レジスタ	ISR	R/W			-	
0FFBDH	IEBusスレーブ・ステータス・レジスタ	SSR	R			-	41H
0FFBEH	IEBus通信成功カウンタ	SCR		-		-	01H
0FFBFH	IEBus伝送カウンタ	CCR		-		-	20H

注意 1 . 上記レジスタは、SFR空間にマッピングされます。

2 . 1ワード操作の必要なレジスタは、UAR, SAR, およびPARです。

3 . DR, CDRおよびDLR, ISRは、Read modify Write方式の命令（XCH, ROL4など）は使用できません。

20.4.2 内部レジスタ

次にIEBusコントローラに内蔵されている各レジスタを説明します。

(1) IEBusコントロール・レジスタ (BCR)

図20 - 11 IEBusコントロール・レジスタ (BCR) のフォーマット

リセット時：00H R/W アドレス：0FFB0H

	⑦	⑥	⑤	④	③	2	1	0
BCR	ENIEBUS	MSTRQ	ALLRQ	ENSLVTX	ENSLVRX	0	0	0

ENIEBUS	通信許可フラグ
0	IEBusユニットを停止
1	IEBusユニットをアクティブにする

MSTRQ	マスタ・リクエスト・フラグ
0	IEBusユニットをマスタとして要求しない
1	IEBusユニットをマスタとして要求する

ALLRQ	同報リクエスト・フラグ
0	個別通信を要求する
1	同報通信を要求する

ENSLVTX	スレーブ送信許可フラグ
0	スレーブ送信を禁止
1	スレーブ送信を許可

ENSLVRX	スレーブ受信許可フラグ
0	スレーブ受信を禁止
1	スレーブ受信を許可

注意 1 . マスタとして動作中、その通信が通信終了/フレーム終了するか、または競合負け、通信エラー発生により通信中止になるまでは、BCRレジスタへの書き込み動作（ビット操作命令も含む）を禁止します。したがって、マスタ要求の多重化はできません。ただし、マスタ要求が保留された状態でスレーブ指定された場合、通信終了時に通信終了フラグ/フレーム終了フラグをクリアするためにBCRレジスタへ書き込みを行う動作は問題ありません。また、通信を強制終了する（ENIEBUSフラグ = 0）場合も問題ありません。

2 . BCRレジスタに対するビット操作命令と、MSTRQフラグのハードウェア・リセットが競合すると正常に動作しない場合があります。この場合、次に示す対策により回避できます。

- ・ハードウェア・リセットはスレーブ・アドレス・フィールドのアクノリッジ期間に行われるので、(b) マスタ・リクエスト・フラグ (MSTRQ) の注意 1 を守ってください。
- ・BCRレジスタの書き込みに対しては、上記の注意 1 を守ってください。

(a) 通信許可フラグ (ENIEBUS) ... ビット7

セット/リセット条件

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意 ENIEBUSフラグをセットする場合は、あらかじめ次の設定を両方行ってください。

- ・割り込み許可 (EI) 状態かつINTIE2の割り込み処理を許可 (IEBMK = 2) に設定
- ・IEBusの自局アドレス・レジスタ (UAR) の設定

(b) マスタ・リクエスト・フラグ (MSTRQ) ... ビット6

セット/リセット条件

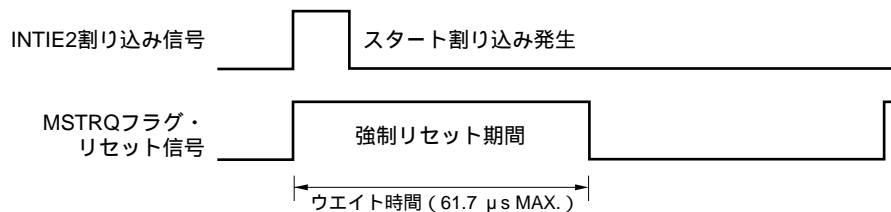
セット : ソフトウェア操作で行います。

リセット : アービトレーション期間の終わりにハードウェアにて行われます。

スレーブ・アドレス・フィールドのACK期間にリセット信号が発生するため、この期間にMSTRQフラグのセット命令を行っても無効になります。

注意 1 . 競合に負けた場合の再マスタ要求は、ソフトウェア処理にて行ってください。

競合に負けた場合で、再マスタ要求を行うときはウェイト時間を確保してからMSTRQフラグのセット (1) を行ってください。このウェイト期間内にMSTRQフラグのセット命令を実行してもセット (1) されません。



- 2 . マスタ要求して、バス占有権を得た場合は、その通信が終了する (ISRレジスタの通信終了フラグまたはフレーム終了フラグがセット (1)) まで、MSTRQフラグ、ENSLVTXフラグ、ENSLVRXフラグのいずれかをセット (1) しないでください。セットした場合、割り込み要求が発生しなくなります。ただし、通信を中止する場合は問題ありません。

(c) 同報リクエスト・フラグ (ALLRQ) ... ビット5

セット/リセット条件

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意 同報通信を要求する場合は必ずALLRQフラグをセットし、MSTRQフラグをセットしてください。

(d) スレーブ送信許可フラグ (ENSLVTX) ... ビット4

セット/リセット条件

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意 1 . マスタ要求時には, MSTRQフラグをセットする前にENSLVTXフラグをクリアしてください。

スレーブ時にENSLVTXフラグをセットしていない状態でマスタからスレーブ送信要求があった場合は, コントロール・フィールドでNACKを返信します。また, 禁止状態から許可状態に戻したときは, 次の新しいフレームから有効になります。

2 . ENSLVTXフラグがセットされていないときに, データ/コマンド書き込みのコントロール・データ (3H, 7H) を受信すると, コントロール・フィールドのアクノリッジ・ビットでNACKを返信します。

3 . ENSLVTXフラグをリセット状態にしたときでも, スレーブ・ステータス要求のコントロール・データを返信したときは, ステータス割り込み (INTIE2) が発生し, 通信は継続します。

(e) スレーブ受信許可フラグ (ENSLVRX) ... ビット3

セット/リセット条件

セット : ソフトウェア操作で行います。

リセット : ソフトウェア操作で行います。

注意 ほかのCPU処理で忙しいときは, ENSLVRXフラグをリセットすると, コントロール・フィールドのアクノリッジ・ビットでNACKを返信し, スレーブ受信を禁止できます。したがって, ENSLVRXフラグをリセットすると個別通信を禁止できますが, 同報通信は禁止できません。ただし, 個別通信時, 受信したスレーブ・アドレスが自局アドレスと一致した場合, スタート割り込み (INTIE2) を発生します。CPU処理を優先させた場合 (受信も送信も行わない場合) は, ENIEBUSフラグをリセットし, IEBusユニットを停止してください。また, 禁止状態から許可状態に戻したときは, 次の新しいフレームから有効になります。

(2) IEBus自局アドレス・レジスタ (UAR)

IEBusユニットの自局アドレスを設定するレジスタです。通信を開始する前に、必ずUARを設定してください。

ビット11-0に、ユニット・アドレス (12ビット) を設定します。

図20 - 12 IEBus自局アドレス・レジスタ (UAR) のフォーマット

リセット時 : 0000H R/W アドレス : 0FFB2H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UAR	0	0	0	0												

(3) IEBusスレーブ・アドレス・レジスタ (SAR)

マスタ要求時にスレーブ・アドレス・フィールドの送信データの値に反映されます。マスタ要求時は、通信を開始する前に、必ずSARを設定してください。

ビット11-0に、スレーブ・アドレス (12ビット) を設定します。

図20 - 13 IEBusスレーブ・アドレス・レジスタ (SAR) のフォーマット

リセット時 : 0000H R/W アドレス : 0FFB4H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SAR	0	0	0	0												

(4) IEBus相手先アドレス・レジスタ (PAR)

(a) スレーブ・ユニット時

マスタ・アドレス・フィールドの受信データの値 (マスタ・ユニットのアドレス) が書き込まれます。

マスタからロック・アドレス (下位 8 ビット) の読み込み要求 (4H) を受けた場合, CPUが PARの値を読み出したあとに, 下位 8 ビットのデータをIEBusデータ・レジスタ (DR) に書き込んでください。

マスタからロック・アドレス (上位 4 ビット) の読み込み要求 (5H) を受けた場合, CPUが PARの値を読み出したあとに, 上位 4 ビットのデータをIEBusデータ・レジスタ (DR) に書き込んでください。

ビット11-0に, 相手先アドレス (12ビット) を設定します。

図20 - 14 IEBus相手先アドレス・レジスタ (PAR) のフォーマット

リセット時 : 0000H R アドレス : 0FFB6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PAR	0	0	0	0												

(5) IEBusコントロール・データ・レジスタ (CDR)

(a) マスタ・ユニット時

下位 4 ビットのデータは, コントロール・フィールドで送信されるデータに反映されます。マスタ要求時は, 通信を開始する前にCDRをあらかじめ設定してください。

(b) スレーブ・ユニット時

下位 4 ビットは, コントロール・フィールドで受信したデータが書き込まれます。

IEBusインタラプト・ステータス・レジスタ (ISR) のステータス送信フラグ (STATUS) がセットされると, 割り込み (INTIE2) が発生して, ソフトウェア操作でCDRの下位 4 ビットの値により各処理を行ってください。

図20 - 15 IEBusコントロール・データ・レジスタ (CDR) のフォーマット

リセット時：01H R/W アドレス：0FFB8H

	7	6	5	4	3	2	1	0
CDR	0	0	0	0	MOD	SELCL2	SELCL1	SELCL0

MOD	SELCL2	SELCL1	SELCL0	機 能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック
0	1	0	0	ロック・アドレスの読み込み (下位 8 ビット)
0	1	0	1	ロック・アドレスの読み込み (上位 4 ビット)
0	1	1	0	スレーブ・ステータスの読み込みとロック解除
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック
1	0	1	1	データ書き込みとロック
1	1	0	0	未定義
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

- 注意 1 . スレーブ・ユニットは、受信したデータがコマンドかデータか判断する必要があるため、通信終了後にCDRの値を読み出してください。
- 2 . CDRは、Read modify Write方式の命令 (XCH, ROL4など) は使用できません。
- 3 . マスタ・ユニットが未定義の値を設定した場合、スレーブ・ユニットからNACKが返されて、通信は途中終了されますが、同報通信時には、マスタ・ユニットは $\overline{\text{ACK}}$ /NACKを認識せずに通信継続するため、未定義の値を設定しないでください。
- 4 . 競合で負けて、勝ったユニットからスレーブ・ステータス要求を受けた場合、電文長レジスタ (DLR) が01Hに固定されるので、次にマスタを再要求する場合は、必ず所定の電文長をDLRに設定してください。

(c) スレーブ・ステータス返信動作

マスタからスレーブ・ステータスの要求（コントロール・データ：0H, 6H），ロック・アドレスの要求（4H, 5H）を受信した場合，自局の状態によりコントロール・フィールドでのACK返信動作が異なります。

非ロック状態で“0H, 6H”のコントロール・データを受信した場合	$\overline{\text{ACK}}$ 返信する
非ロック状態で“4H, 5H”のコントロール・データを受信した場合	$\overline{\text{ACK}}$ 返信しない
ロック状態でロック要求した局から“0H, 4H, 5H, 6H”のコントロール・データを受信した場合	$\overline{\text{ACK}}$ 返信する
ロック状態でロック要求した局以外から“0H, 4H, 5H”のコントロール・データを受信した場合	$\overline{\text{ACK}}$ 返信する
ロック状態でロック要求した局以外から“6H”のコントロール・データを受信した場合	$\overline{\text{ACK}}$ 返信しない

- のすべての場合，スレーブ・ステータス，ロック・アドレスの要求を受け付けたということとSTATUSFフラグ（ISRレジスタのビット4）がセットし，ステータス割り込み要求（INTIE2）が発生します。発生タイミングは，コントロール・フィールドのパリティ・ビットの終わり（ $\overline{\text{ACK}}$ ビットの始まり）です。ただし， $\overline{\text{ACK}}$ 返信を行わない場合は， $\overline{\text{ACK}}$ ビット終了後，NACKエラーとなり通信は終了します。

図20 - 16 割り込み発生タイミング（ ， ， の場合）

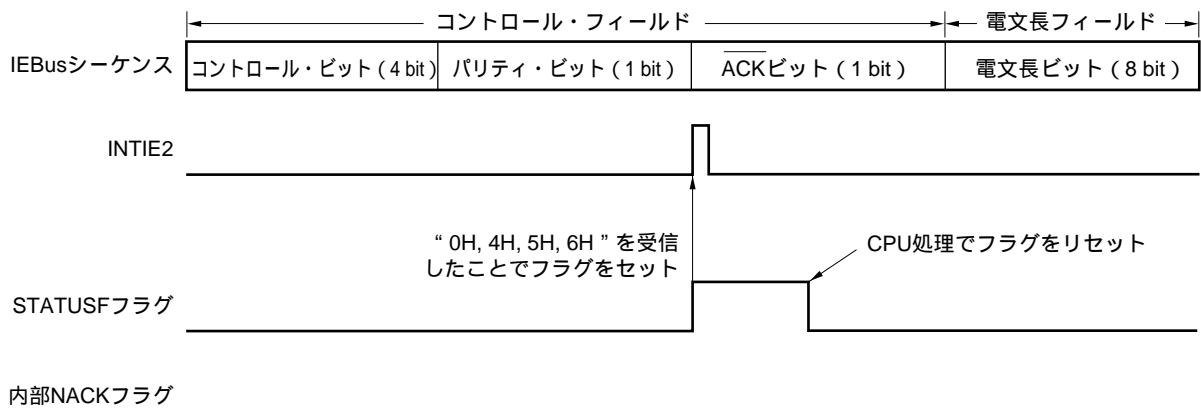
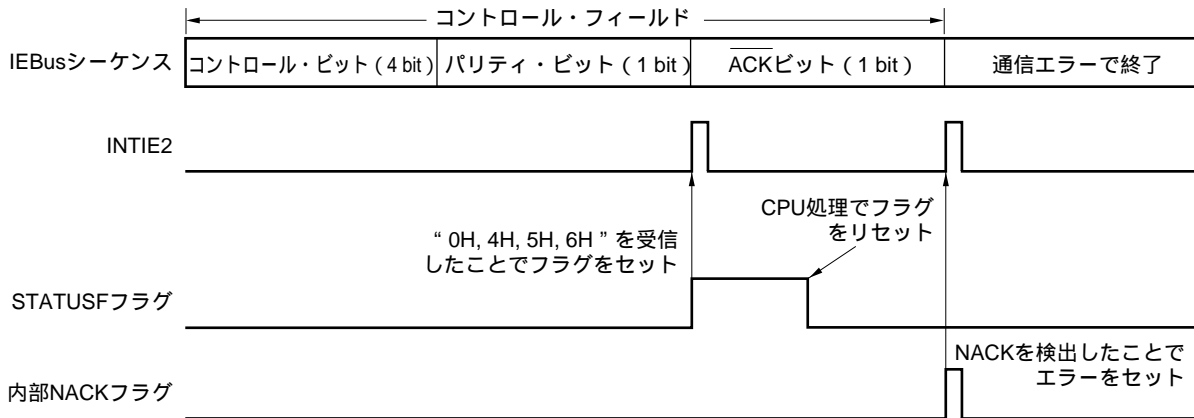
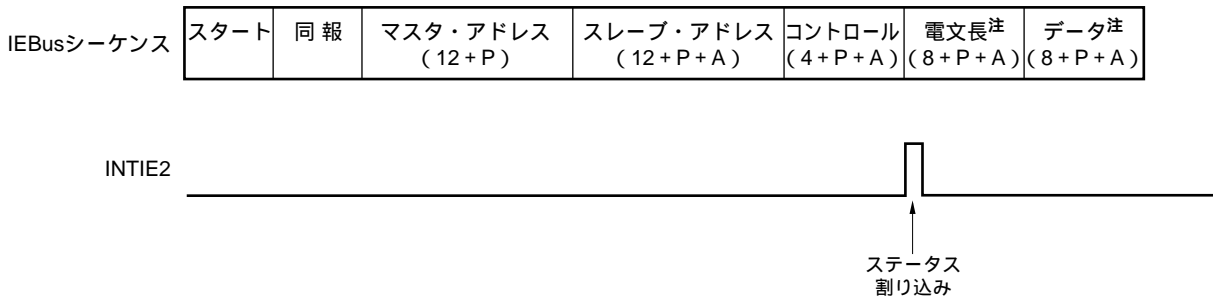


図20 - 17 割り込み発生タイミング (, の場合)



, の場合, 「ロック状態中におけるロック要求以外からの通信」であるため, 自局が通信対象の場合でもスタート割り込みや通信完了割り込み (INTIE2) は発生しません。ただし, スレープ・ステータス, ロック・アドレスの要求を受け付けた場合はSTATUSFフラグ (IEBusインタラプト・ステータス・レジスタ (ISR) のビット4) がセットし, ステータス割り込み要求 (INTIE2) が発生します。このようにロック状態中に同じコントロール・データを受けた場合でも, マスタ側がロック要求局 () か, それ以外の局 () により, INTIE2の発生タイミングが異なります。

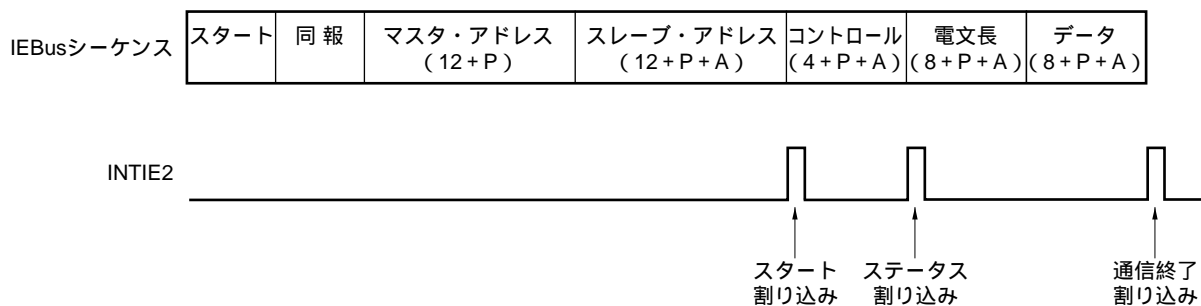
図20 - 18 ロック状態中のINTIE2割り込み発生タイミング (, の場合)



注 の場合はACK返信はしないので電文長, データには移行しません。

備考 P: パリティ・ビット, A: ACK/NACKビット

図20 - 19 ロック状態中のINTIE2割り込み発生タイミング (の場合)



備考 P: パリティ・ビット, A: $\overline{\text{ACK/NACK}}$ ビット

(6) IEBus電文長レジスタ (DLR)

(a) 送信ユニット時 (マスタ送信, スレーブ送信)

電文長フィールドで送信されるデータに反映され、送信データのバイト数を表します。送信前にあらかじめDLRを設定してください。

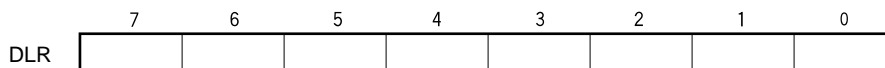
(b) 受信ユニット時 (マスタ受信, スレーブ受信)

送信ユニットから送信される電文長フィールドの受信データが書き込まれます。

備考 IEBus電文長レジスタは、書き込み側と読み出し側が別レジスタになっており、書き込んだデータがそのまま読み出せる構成にはなっていません。読み出せるデータはIEBus通信で受信したデータとなります。

図20 - 20 IEBus電文長レジスタ (DLR) のフォーマット

リセット時 : 01H R/W アドレス : 0FFB9H



ビット								設定値	通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	256バイト

- 注意 1** . マスタからスレーブ・ステータス、ロック・アドレス (上位4ビット, 下位8ビット) の送信要求 (0H, 4H, 5H, 6H) があつたとき, DLRの内容は, 01Hにハードウェア上で設定されるため, CPUは設定する必要がありません。
- 2** . 競合で負けて, 勝ったユニットからスレーブ・ステータス要求を受けた場合, 電文長レジスタ (DLR) が01Hに固定されるので, 次にマスタを再要求する場合は, 必ず所定の電文長をDLRに設定してください。
- 3** . DLRは, Read Modify Write方式の命令 (XCH, ROL4など) は使用できません。

(7) IEBusデータ・レジスタ (DR)

IEBusデータ・レジスタ (DR) は、通信データを設定するレジスタです。ビット7-0に通信データ (8ビット) を設定します。

備考 IEBusデータ・レジスタは、書き込み側と読み出し側が別レジスタになっており、書き込んだデータがそのまま読み出せる構成にはなっていません。読み出されるデータはIEBus通信で受信したデータとなります。

(a) 送信ユニット時

IEBusデータ・レジスタ (DR) に書き込まれたデータ (1バイト分) は、IEBus内部のシフト・レジスタに格納されます。引き続き最上位ビットから出力されて、正常に1バイトの送信が終了するごとにCPUに対して割り込み (INTIE1) が発行されます。ただし、個別送信時に1バイト・データ送信後NACK受信した場合は、DRからシフト・レジスタへの転送は行われず、同一データを再送します。このとき、INTIE1は発生しません。

INTIE1は、IEBusデータ・レジスタ (DR) の値がIEBusインタフェース部のシフト・レジスタに格納されるタイミングで発行されます。ただし、最終バイトおよび32バイト目 (1通信フレームの最終バイト) をシフト・レジスタに格納したとき、INTIE1は発行されません。

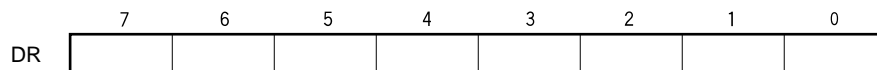
(b) 受信ユニット時

IEBusインタフェース部のシフト・レジスタで受信したデータ1バイト分が格納されます。正常に1バイトの受信が終了するごとに割り込み (INTIE1) が発行されます。

送受信データをIEBusデータ・レジスタ (DR) に転送するとき、マクロ・サービスを使用するとCPUの処理を軽減できます。

図20 - 21 IEBusデータ・レジスタ (DR) のフォーマット

リセット時 : 00H R/W アドレス : 0FFBAH



注意 1 . 送信ユニット時に次のデータの設定が間に合わない場合、アンダラン発生となり通信エラーの割り込み (INTIE2) が発生して送信を中止します。

2 . 受信ユニット時にデータの読み出しが次のデータ受信タイミングに間に合わない場合は、オーバラン状態になります。このとき、個別通信受信時はデータ・フィールドのアクノリッジ・ビットでNACKを返信し、マスタ・ユニットに再送を要求します。同報通信受信時はオーバラン・エラー発生となり、通信エラー割り込み (INTIE2) が発生します。

3 . DRは、Read Modify Write方式の命令 (XCH, ROL4など) は使用できません。

(8) IEBusユニット・ステータス・レジスタ (USR)

図20 - 22 IEBusユニット・ステータス・レジスタ (USR) のフォーマット

リセット時：00H R アドレス：0FFBBH

	7	⑥	⑤	④	③	②	1	0
USR	0	SLVRQ	ARBIT	ALLTRNS	ACK	LOCK	0	0

SLVRQ	スレーブ要求フラグ
0	マスタからスレーブ要求なし
1	マスタからスレーブ要求あり

ARBIT	競合結果フラグ
0	競合勝ち
1	競合負け

ALLTRNS	同報通信フラグ
0	個別通信状態
1	同報通信状態

ACK	ACK送信フラグ
0	NACKを送信
1	ACKを送信

LOCK	ロック状態フラグ
0	ユニットが非ロック状態
1	ユニットがロック状態

(a) スレーブ要求フラグ (SLVRQ) ... ビット6

マスタからスレーブ要求があったかを示すフラグです。

セット/リセット条件

セット：自局がスレーブ要求されたとき（個別通信受信時は受信したスレーブ・アドレスと自局UARが一致したとき。同報通信受信時は受信したスレーブ・アドレスの上位4ビットと一致、または受信したスレーブ・アドレスがFFFHのとき）に、スレーブ・アドレス・フィールドのアクノリッジ期間開始時にハードウェアでセットされます。

リセット：自局がスレーブ要求されていないとき、ハードウェアにてリセットします。タイミングはセット時と同じです。ただし、正常に通信を受信した直後（SLVRQビットがセット状態）に自局がスレーブ要求され、その通信のスレーブ・アドレス・フィールドでパリティ・エラーが発生した場合、フラグはリセットしません。

(b) 競合結果フラグ (ARBIT) ... ビット5

競合結果を示すフラグです。

セット/リセット条件

セット : マスタの要求後, アービトレーション期間中に自局が出力しているデータとバス・ラインのデータが不一致のときにセットされます。

リセット: スタート・ビット・タイミングでリセットされます。

注意1. 競合結果フラグ (ARBIT) のリセット・タイミングは, 自局がスタート・ビットを出力する場合としない場合で異なります。

- ・スタート・ビットを出力する : 出力開始タイミングでリセット
- ・スタート・ビットを出力しない: スタート・ビットの検出タイミング (出力から約160 μ s) でリセット

2. マスタ要求したあと, 他局のスタート・ビット出力の方が早く, 自局がスタート・ビットを出力していない場合はスタート・ビットの検出タイミングでリセットします。

(c) 同報通信フラグ (ALLTRNS) ... ビット4

ユニットが同報通信しているかを示すフラグです。フラグの内容は, 各フレームの同報フィールドで更新されます。

セット/リセット条件は, システム・リセットで初期化 (リセット) される以外は, 同報フィールド・ビットの受信データにより変化します。

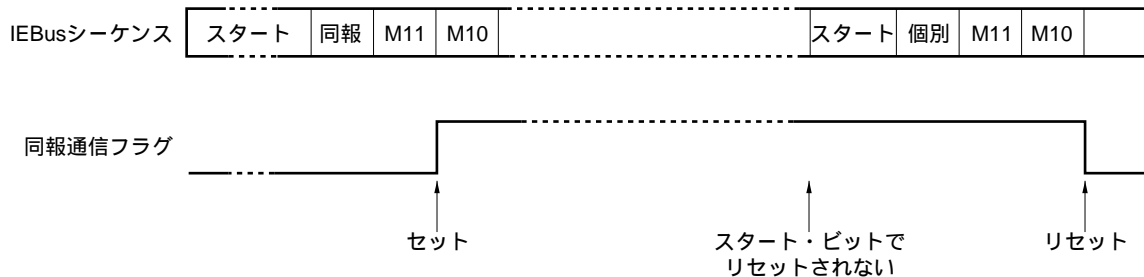
セット/リセット条件

セット : 同報フィールドで「同報」を受信したとき

リセット: 同報フィールドで「個別」を受信したとき, またはシステム・リセット入力時

注意 同報通信フラグの更新は, 自局が通信対象である / なしにかかわらず行われます。

図20 - 23 同報通信フラグの動作例



(d) $\overline{\text{ACK}}$ 送信フラグ (ACK) ... ビット3

受信ユニット時、各フィールドの $\overline{\text{ACK}}$ 期間中に $\overline{\text{ACK}}$ を送信したかを示します。フラグの内容は、各フレームの $\overline{\text{ACK}}$ 期間で更新されます。ただし、パリティ・エラー発生などにより、内部回路が初期化された場合は、そのフィールドの $\overline{\text{ACK}}$ 期間での更新はされません。

(e) ロック状態フラグ (LOCK) ... ビット2

ユニットがロック状態かを示すフラグです。

セット/リセット条件

セット : コントロール・フィールドでロック指定 (3H, 6H, AH, BH) を受けて、通信終了フラグがロウ・レベルで、かつフレーム終了フラグがハイ・レベルのときセットされます。

リセット : 通信許可フラグ (ENIEBus) をクリアした場合。

コントロール・フィールドでロック解除 (3H, 6H, AH, BH) を受けて、通信終了フラグがセットされた場合。

注意 同報通信では、ロックの設定/解除はできません。また、ロック状態中はロック要求したユニット以外からの個別通信を受け付けません。ただしロック要求ユニット以外からの通信でも、その通信がスレーブ・ステータス要求であるかぎり受け付けます。

(9) IEBusインタラプト・ステータス・レジスタ (ISR)

IEBusの割り込み発行時の状態を示すステータス・レジスタです。割り込みが発生するごとにISRを読み出して、所定の割り込み処理を行います。

ISRレジスタは読み出し後リセットしてください。リセットされるまでは、以後のINTIE2割り込み信号が発生しません（保留もされません）。

ISRレジスタのリセットは、表20 - 9のリセット条件に従って各フラグをリセットしてください。

表20 - 9 ISRレジスタの各フラグのリセット条件

フラグ名	リセット条件	処理例
IEERR, STARTF, STATUSF	ISRレジスタのバイト書き込み動作。書き込み値は任意	ISR = 00Hなど
ENDTRNS, ENDFRAM	MSTRQフラグ, ENSLVTXフラグ, ENSLVRXフラグのいずれかをセットする	BCRレジスタ = 88H, またはENSLVTX =1など

注意 ISRレジスタへのアクセスにより、ENDTRNS, ENDFRAMフラグへ0の書き込みを行っても、これらのフラグはリセットされません。上記の方法でリセットしてください。

備考 MSTRQ : IEBusコントロール・レジスタ (BCR) のビット 6
 ENSLVTX : IEBusコントロール・レジスタ (BCR) のビット 4
 ENSLVRX : IEBusコントロール・レジスタ (BCR) のビット 3

図20 - 24 IEBusインタラプト・ステータス・レジスタ (ISR) のフォーマット

リセット時：00H R/W アドレス：0FFBCH

	7	⑥	⑤	④	③	②	1	0
ISR	0	IEERR	STARTF	STATUSF	ENDTRNS	ENDFRAM	0	0

IEERR	通信エラー・フラグ (通信中)
0	通信エラーなし
1	通信エラー発生

STARTF	スタート割り込みフラグ
0	スタート割り込み発生なし
1	スタート割り込み発生あり

STATUSF	ステータス送信フラグ (スレープ時)
0	スレープ・ステータス/ロック・アドレス (上位4ビット, 下位8ビット) 送信要求なし
1	スレープ・ステータス/ロック・アドレス (上位4ビット, 下位8ビット) 送信要求あり

ENDTRNS	通信終了フラグ
0	電文長フィールドで設定した伝送バイト数分の通信が終了せず
1	電文長フィールドで設定した伝送バイト数分の通信が終了

ENDFRAM	フレーム終了フラグ
0	フレーム (モード1で規定される最大伝送バイト数分 (32バイト) の通信) が終了せず
1	フレーム (モード1で規定される最大伝送バイト数分 (32バイト) の通信) が終了

注意 IEERR, STARTF, STATUSF, ENDTRNS, ENDFRAMは、それぞれ割り込み要求信号 (INTIE2) の生成要因となります (図20 - 28 割り込み制御部の構成を参照)。そのためどれか1つの割り込み要因がセットされた状態のとき、後発の要因による割り込み要求は発生しません。割り込み処理プログラムにより、次の割り込み発生タイミングまでに割り込み発生要因のフラグをクリアしてください。

(a) 通信エラー・フラグ (IEERR) ... ビット 6

通信中のエラーを検出するフラグです。

セット/リセット条件

セット : タイミング・エラー, パリティ・エラー (データ・フィールドを除く), NACK 受信 (データ・フィールドを除く), アンダラン・エラー, オーバラン・エラー (同報通信受信時に発生) のいずれかが発生したときにセットされます。

リセット: ソフトウェア操作で行います。

(b) スタート割り込みフラグ (STARTF) ... ビット 5

スレーブ・アドレス・フィールドのACK期間の割り込みを示すフラグです。

セット/リセット条件

セット : マスタ要求時は, スレーブ・アドレス・フィールドでセットされます。

スレーブ・ユニット時は, マスタから要求があったとき (ロック状態ではロック要求ユニットからのスレーブ要求があった場合のみ) にセットされます。

リセット: ソフトウェア操作で行います。

(c) ステータス送信フラグ (STATUSF) ... ビット 4

スレーブ時にマスタからスレーブ・ステータス, ロック・アドレス (上位4ビット, 下位8ビット) のいずれかの送信状態であるかを示すフラグです。

セット/リセット条件

セット : スレーブ・ユニット時に, マスタからコントロール・フィールドで, 0H, 4H, 5H, 6Hを受信したときにセットされます。

リセット: ソフトウェア操作で行います。

(d) 通信終了フラグ (ENDTRNS) ... ビット 3

電文長フィールドで設定した / された伝送バイト数分の通信が終了したかを示すフラグです。

セット/リセット条件

セット : SCRのカウンタ値が0になったとき, セットされます。

リセット: MSTRQフラグ, ENSLVTXフラグ, ENSLVRXフラグのいずれかがセットされたとき, リセットされます。

(e) フレーム終了フラグ (ENDFRAM) ... ビット 2

モード1で規定されている最大伝送バイト数分 (32バイト) の通信が終了したかを示すフラグです。

セット/リセット条件

セット : CCRのカウンタ値が0になったとき, セットされます。

リセット: MSTRQフラグ, ENSLVTXフラグ, ENSLVRXフラグのいずれかがセットされたとき, リセットされます。

(f) 通信エラー発生要因

タイミング・エラー

発生条件：通信ビットのハイ/ロウ・レベル幅が規定値からはずれた場合に発生します。

備考：それぞれの規定値はビット処理部に設定されていて、内部の8ビット・タイマで監視されています。タイミング・エラーが発生した場合、割り込みが発生します。

パリティ・エラー

発生条件：受信ユニット時、各フィールドで生成パリティと受信パリティが一致しなかった場合に発生します。

備考：個別通信時はデータ・フィールド以外でパリティ・エラーが発生した場合、割り込みが発生します。

同報通信時はデータ・フィールドでパリティ・エラーが発生した場合でも、割り込みが発生します。

制限事項：同報通信要求を行い競合負けしたスレーブ要求があった場合は、データ・フィールドでパリティ・エラーが発生しても、割り込みは発生しません。

NACK受信

発生条件：個別通信時、マスタ/スレーブ・ユニットにかかわらず、スレーブ・アドレス、コントロール、電文長の各フィールドで $\overline{\text{ACK}}$ 期間にNACKを受信したときに発生します。

NACK受信エラーが発生するのは個別通信時のみです。同報通信の場合は、 $\overline{\text{ACK}}$ /NACKの判定を行いません。

備考：データ・フィールド以外でNACKを受信した場合、割り込みが発生します。

アンダラン

発生条件：データ送信時に、 $\overline{\text{ACK}}$ 受信までにIEBusデータ・レジスタ(DR)に次に送信されるデータの書き込みが間に合わなかった場合に発生します。

備考：アンダランが発生した場合、割り込みが発生します。

オーバーラン

発生条件：受信ユニット時に1バイトごとのデータがIEBusデータ・レジスタ（DR）に格納されるデータ割り込み要求（INTIE1）が発生し、マクロ・サービスまたはソフトウェアでDRレジスタの読み込み処理を行います。この読み込み処理が遅れて次のデータの受信タイミングになると、オーバーラン・エラーが発生します。

備考：個別通信受信時は、次のデータのACK期間でアクノリッジを返信しません。これにより送信ユニットはデータを再送します。したがって、IEBus伝送カウンタ（CCR）のディクリメントを行いますが、IEBus通信成功カウンタ（SCR）のディクリメントは行いません。

同報通信受信時は、通信エラー割り込み要求（INTIE2）が発生し、受信を中止します。このときDRレジスタは更新されません。また、INTIE1も発生せず、STATRXフラグ（SSRレジスタのビット1）のセット（1）を保持します。オーバーラン状態の解除は、DRレジスタを読み出したあとのデータ受信タイミングになります。

(g) オーバラン・エラーの補足説明**(i) 個別通信受信でオーバラン状態になり、フレーム終了する場合**

オーバラン状態のあとのDR読み込みが実行されず、データ再送が最大伝送バイト数分（32バイト）に達した場合、フレーム終了割り込み（INTIE2）が発生します。フレーム終了したあともDR読み込みを行うまではオーバラン状態を保持します。

(ii) 上記(i)の場合で次の受信が開始された場合、または同報/個別通信に関係なく最終データを受信したあと、DR読み込みを行わず次の通信が開始された場合

オーバラン状態で自局宛での通信が開始された場合でも、スレーブ・アドレスやコントロール、電文長の各フィールドのACK期間では、オーバラン起因のNACK返信は行いません（DRの更新を行いません）。次の通信が自局宛での通信でない場合は、DR読み込みを行うまではDRを更新しません。自局非対象のため、データ割り込み（INTIE1）や通信エラー割り込み（INTIE2）は発生しません。

(iii) オーバラン状態で次の送信動作を行う場合

オーバラン状態で次の送信を行う場合は、2バイト以上の送信ができません。

データ要求割り込み（INTIE1）が発生しないため、送信データの設定ができず、アンダラン・エラーになります。したがって、オーバラン状態を解除してから送信を行ってください。

(iv) オーバラン状態の解除

オーバラン状態の解除は、DR読み出しとシステム・リセット時にのみ行われます。したがって、通信エラー割り込み処理プログラム中などで、必ずDR読み出しを行ってください。

(10) IEBusスレーブ・ステータス・レジスタ (SSR)

スレーブ・ユニットの通信状態を示すレジスタです。マスタからスレーブ・ステータス送信要求を受けたら、CPUはSSRを読み出したあと、IEBusデータ・レジスタ (DR) に書き込むことでスレーブ・ステータスを送信できます。また、このときの電文長は自動的に01Hに設定されるので、IEBus電文長レジスタ (DLR) を設定する必要はありません (ハードウェアによりプリセットされます)。

ビット7, 6は、ユニットがサポートする最高位のモードを示すために“01” (モード1) に固定されています。

図20 - 25 IEBusスレーブ・ステータス・レジスタ (SSR) のフォーマット

リセット時：41H R アドレス：FFFFFF3F2H

	7	6	5	④	3	②	①	①
SSR	0	1	0	STATSLV	0	STATLOCK	STATRX	STATTX
STATSLV	スレーブ送信状態フラグ							
0	スレーブ送信停止							
1	スレーブ送信許可							
STATLOCK	ロック状態フラグ							
0	非ロック状態							
1	ロック状態							
STATRX	DR受信状態							
0	DRに受信データを未格納							
1	DRに受信データを格納							
STATTX	DR送信状態							
0	DRに送信データを未格納							
1	DRに送信データを格納							

(a) スレーブ送信状態フラグ (STATSLV) ... ビット4

スレーブ送信許可フラグの内容が反映されます。

(b) ロック状態フラグ (STATLOCK) ... ビット2

ロック状態のフラグの内容が反映されます。

(c) DR受信状態 (STATRX) ... ビット1

DRの受信状態を示すフラグです。

(d) DR送信状態 (STATTX) ... ビット0

DRの送信状態を示すフラグです。

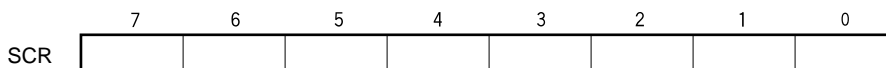
(11) IEBus通信成功カウンタ (SCR)

IEBus通信成功カウンタ (SCR) は、残りの通信バイト数を示すレジスタです。

IEBus電文長レジスタ (DLR) で設定された値が、データ・フィールドの $\overline{\text{ACK}}$ によりデクリメントされるカウンタのカウンタ値が読み出されます。また、カウンタ値が00HになるとIEBusインタラプト・ステータス・レジスタ (ISR) の通信終了フラグ (ENDTRNS) がセットされます。

図20 - 26 IEBus通信成功カウンタ (SCR) のフォーマット

リセット時：01H R アドレス：0FFBEH



ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1バイト
0	0	0	0	0	0	1	0	02H	2バイト
:	:	:	:	:	:	:	:	:	:
0	0	1	0	0	0	0	0	20H	32バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255バイト
0	0	0	0	0	0	0	0	00H	0バイト (通信終了) または 256バイト ^注

注 実際のハード・カウンタのビット長は、9ビットで構成されています。00Hが読み出されたときは、残りの通信データ・バイト数が0バイト (通信終了) か、256バイトなのか判断できません。したがって、通信終了フラグと併用して処理するか、通信開始時の最初の割り込み (00H) が読み出された場合は、残りの通信データ・バイト数は256バイトと判断することができます。

(12) IEBus**伝送カウンタ** (CCR)

IEBus伝送カウンタ (CCR) は、通信モードで規定されている通信バイト数に対する残りバイト数を示すレジスタです。

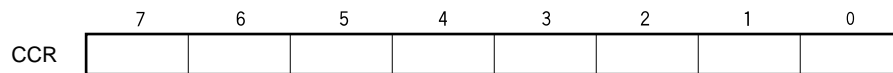
IEBus伝送カウンタ (CCR) のビット7-0は、伝送バイト数を示します。

モード1で規定されている1フレーム当たりの最大伝送バイト数 (32バイト) がプリセットされ、データ・フィールドの $\overline{\text{ACK}}$ の期間に $\overline{\text{ACK}}$ /NACKに関係なくデクリメントされるカウンタのカウンタ値が読み出されます。SCR (IEBus通信成功カウンタ) が正常通信 ($\overline{\text{ACK}}$) でデクリメントされるのに対して、CCRは $\overline{\text{ACK}}$ /NACKにかかわらず1バイトを通信するとデクリメントされます。また、カウンタ値が00HになるとIEBusインタラプト・ステータス・レジスタ (ISR) のフレーム終了フラグ (ENDFRAM) がセットされます。

モード1のプリセット値のフレーム当たりの最大伝送バイト数は、20H (32バイト) になります。

図20 - 27 IEBus**伝送カウンタ** (CCR) のフォーマット

リセット時 : 20H R アドレス : 0FFBFH



20.5 IEBusコントローラの割り込み動作

20.5.1 割り込み制御部

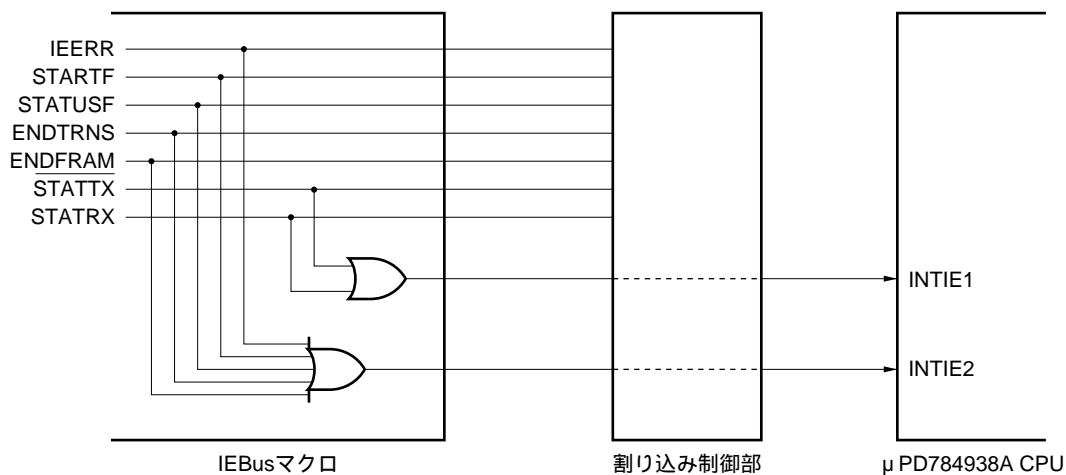
割り込み要求信号について次に示します。

通信エラー	: IEERR
スタート割り込み	: STARTF
ステータス通信	: STATUSF
通信終了	: ENDTRNS
フレーム終了	: ENDFRAM
送信データ書き込み要求	: $\overline{\text{STATTX}}$
受信データ読み出し要求	: STATRX

上記の - の割り込み要求は、IEBusインタラプト・ステータス・レジスタ (ISR) にアサインされています (表20 - 10 割り込み要因一覧参照)。

次に割り込み制御部の構成を示します。

図20 - 28 割り込み制御部の構成



注意1 . STATRX, $\overline{\text{STATTX}}$ のOR出力については、マクロ・サービスで使用するすると処理の高速化が図れません。

2 . IEERR, STARTF, STATUSF, ENDTRNS, ENDFRAMのOR出力については、μ PD784938A用ベクタ割り込み要求信号 (INTIE2) として扱います。

20.5.2 割り込み要因一覧

μPD784938A内蔵用IEBusコントローラの割り込み要求信号は、ベクタ割り込みとマクロ・サービス割り込みの2つに分けられます。割り込み要求信号は、ソフトウェア操作で指定できます。割り込み要因の一覧を次に示します。

表20 - 10 割り込み要因一覧

割り込み要因		発生状態		割り込み発生後のCPU処理	備 考
		ユニット	フィールド		
通信エラー	タイミング・エラー	マスタ / スレーブ	全フィールド	通信処理のやり直し	通信エラーは、タイミング・エラー、パリティ・エラー、NACK受信、アンダラン・エラー、オーバラン・エラーのOR出力になります。
	パリティ・エラー	受信	データ以外 (個別)		
			全フィールド (同報)		
	NACK受信	受信 (送信)	データ以外 (個別)		
	アンダラン・エラー	送信	データ		
オーバラン・エラー	受信	データ (同報)			
スタート割り込み		マスタ	スレーブ / アドレス	スレーブ要求判定 競合判定 (負けた場合は再マスタ処理) 通信準備処理	マスタ要求時は、競合に負けた場合も必ず割り込みが発生します。
		スレーブ	スレーブ / アドレス	スレーブ要求判定 通信準備処理	スレーブ要求時のみ発生します。
ステータス送信		スレーブ	コントロール	スレーブ・ステータスなどの送信処理例を参照してください。	スレーブ送信許可フラグに関係なく発生します。コントロール・フィールドでNACK返信するときも発生します。
通信終了	送信		データ	マクロ・サービス終了処理	SCRが0になるとセットされます。
	受信		データ	マクロ・サービス終了処理 受信データ処理	
フレーム終了	送信		データ	再通信準備処理	CCRが0になるとセットされます。
	受信		データ	再受信準備処理	
送信データ書き込み		送信	データ	なし (マクロ・サービスにて処理)	送信データを内部シフト・レジスタへ転送後にセットされます。最終データ転送時には発生しません。
受信データ読み出し		受信	データ	なし (マクロ・サービスにて処理)	正常データ受信後にセットされます。

20.5.3 通信エラー要因処理一覧

各通信エラー（タイミング・エラー，NACK受信エラー，オーバーラン・エラー，アンダラン・エラー，パリティ・エラー）発生条件，および内蔵IEBusコントローラのエラー処理内容，およびソフトウェアでの処理例を次に示します。

表20 - 11 通信エラー要因処理一覧（1/2）

		タイミング・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	ビット規定タイミングを外れた場合			
	発生場所	データ・フィールド 以外	データ・フィールド	データ・フィールド 以外	データ・フィールド
同報通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ <p>備考 他局間の通信は終了しない。</p>		<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ 	
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 		<ul style="list-style-type: none"> エラー処理（再送要求など） 	
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 NACK返信 スタート・ビット待ち状態へ 		<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ 	
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 		<ul style="list-style-type: none"> エラー処理（再送要求など） 	

		NACK受信エラー				
発生条件	自局状態	受信時		送信時		
	発生条件	自局NACK送信		NACK受信		
	発生場所	データ・フィールド 以外	データ・フィールド	データ・フィールド 以外	データ・フィールド	32バイト目のデータでNACK受信
同報通信時	ハードウェア処理	-	-	-	-	-
	ソフトウェア処理	-	-	-	-	-
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ 	<ul style="list-style-type: none"> INTIE2発生せず 他局が再送するデータを受信 	<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ 	<ul style="list-style-type: none"> INTIE2発生せず 再送処理 	<ul style="list-style-type: none"> INTIE2発生^注 スタート・ビット待ち状態へ
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 	-	<ul style="list-style-type: none"> エラー処理（再送要求など） 	-	<ul style="list-style-type: none"> エラー処理（再送要求など）

注 ISR.6 (IEERR) および, ISR.2 (ENDFRAM) の両方がセット (1) されます。

リセットする場合は, 表20 - 9 の条件に従って, 行ってください。

表20 - 11 通信エラー要因処理一覧 (2/2)

		オーバーラン・エラー		アンダラン・エラー	
発生条件	自局状態	受信時		送信時	
	発生条件	DRの読み出しが次データ受信タイミングまでに間に合わない		DRの書き込みが次データ送信タイミングまでに間に合わない	
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	-	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ <p>備考 1. 他局間の通信は終了しない。 2. オーバラン状態解除までデータ受信できない。</p>	-	<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ
	ソフトウェア処理	-	<ul style="list-style-type: none"> DR読み出しを実行し、オーバーラン状態解除を行う エラー処理（再送要求など） 	-	<ul style="list-style-type: none"> エラー処理（再送要求など）
個別通信時	ハードウェア処理	-	<ul style="list-style-type: none"> INTIE2発生せず NACK返信 他局からデータ再送 <p>備考 オーバラン状態解除までデータ受信できない。</p>	-	<ul style="list-style-type: none"> 送信中止 INTIE2発生 スタート・ビット待ち状態へ
	ソフトウェア処理	-	<ul style="list-style-type: none"> DR読み出しを実行し、オーバーラン状態解除を行う エラー処理（再送要求など） 	-	<ul style="list-style-type: none"> エラー処理（再送要求など）

		パリティ・エラー			
発生条件	自局状態	受信時		送信時	
	発生条件	受信データと受信パリティが不一致			
	発生場所	データ・フィールド以外	データ・フィールド	データ・フィールド以外	データ・フィールド
同報通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ <p>備考 他局間の通信は終了しない。</p>		-	-
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 		-	-
個別通信時	ハードウェア処理	<ul style="list-style-type: none"> 受信中止 INTIE2発生 スタート・ビット待ち状態へ 	<ul style="list-style-type: none"> 受信中止せず INTIE2発生せず NACK返信 他局から再送されたデータを受信 	-	-
	ソフトウェア処理	<ul style="list-style-type: none"> エラー処理（再送要求など） 	-	-	-

20.6 割り込み発生タイミングおよび主なCPU処理内容

20.6.1 マスタ送信

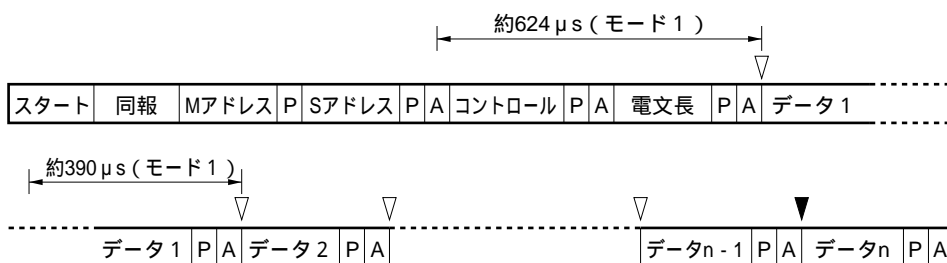
初期準備処理：

自局アドレス，スレーブ・アドレス，コントロール・データ，電文長，1バイト目送信データの設定

通信開始処理：

バス・コントロール・レジスタの設定（通信許可，マスタ・リクエスト，スレーブ受信許可）

図20 - 29 マスタ送信



割り込み（INTIE2）発生

エラー発生判定 → エラー処理

スレーブ要求判定 → スレーブ受信処理（20.5.1（1）スレーブ受信処理参照）

競合結果判定 → 再マスタ要求処理

割り込み（INTIE2）発生

エラー発生判定 → エラー処理

通信終了判定 → 通信終了処理

フレーム終了判定 → 再通信処理（20.6.1（3）再通信処理参照）

備考1．▽：割り込み（INTIE1）が発生します（20.6.1（2）割り込み（INTIE1）発生参照）。

マクロ・サービスにて2バイト目以降の送信データをIEBusデータ・レジスタ（DR）に書き込みます。このときの転送方向は，RAM（メモリ） SFR（周辺）になります。

2．▼：割り込み（INTIE1）は発生しません。

3．n = 最終データ・バイト数

(1) スレーブ受信処理

ベクタ割り込み処理でスレーブ受信要求を確認した場合は、1バイト目のデータを受信するまでに、マクロ・サービスのデータの転送方向をRAM(メモリ) SFR(周辺)からSFR(周辺) RAM(メモリ)に変更してください。通信モード1のとき、このデータ転送方向の変更処理の保留期間は、最大約1040 μ sになります。

(2) 割り込み(INTIE1)発生

データ・フィールドでスレーブからNACKを受信した場合は、CPUに対して割り込み(INTIE1)は発生しないで、ハードウェアにより同じデータを再送します。また、送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は、アンダラン発生により通信エラー割り込みが発生して、通信は途中終了になります。

(3) 再通信処理

図20 - 29のベクタ割り込み処理では、1フレーム以内で正常にデータの送信が終了したか、しなかったかを判定します。正常に送信できていない(1フレーム以内で送信すべきデータ数が送信できなかった)場合は、次の通信フレームで再送、または続きのデータ送信を行ってください。

20.6.2 マスタ受信

マスタ受信を行う場合は、あらかじめスレーブとなるユニットに対して、「スレーブ送信」を予告しておく必要があります。したがって、マスタ受信は最低2通信フレーム必要になります。

スレーブ・ユニットは送信データを用意して、スレーブ送信許可フラグ (ENSLVTX) をセット (1) して待機します。

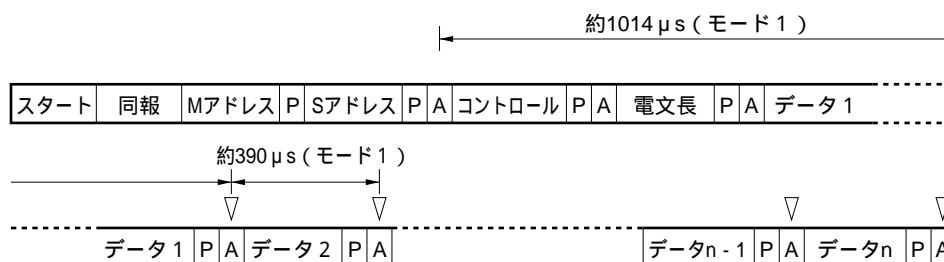
初期準備処理：

自局アドレス、スレーブ・アドレス、コントロール・データの設定

通信開始処理：

バス・コントロール・レジスタの設定 (通信許可、マスタ・リクエスト)

図20 - 30 マスタ受信



割り込み (INTIE2) 発生

エラー発生判定 → エラー処理

スレーブ要求判定 → スレーブ受信処理

競合結果判定 → 再マスタ要求処理

割り込み (INTIE2) 発生

エラー発生判定 → エラー処理

通信終了判定 → 通信終了処理

フレーム終了判定 → フレーム終了処理 (20.5.2 (2) フレーム終了処理参照)

備考 1 . ▽ : 割り込み (INTIE1) が発生します (20.5.2 (1) 割り込み (INTIE1) 発生参照)。

マクロ・サービスにてIEBusデータ・レジスタ (DR) に格納された受信データを読み出します。このときの転送方向は、SFR (周辺) RAM (メモリ) になります。

2 . n = 最終データ・バイト数

(1) 割り込み (INTIE1) 発生

データ・フィールドでNACKを送信 (ハードウェア処理) した場合は, CPUに対して割り込み (INTIE1) は発生しないで, スレーブより同じデータが再送されます。また, 受信したデータの読み出しが次のデータ受信に間に合わなかった場合は, 自動的にハードウェアでNACKを送信します。

(2) フレーム終了処理

図20 - 30の のベクタ割り込み処理では, 1フレーム以内で正常にデータの受信が終了したか, しなかったかを判定します。正常に受信できていない (1フレーム以内で受信すべきデータ数が受信できなかった) 場合は, 次の通信フレームで, スレーブに再送要求を行ってください。

20.6.3 スレーブ送信

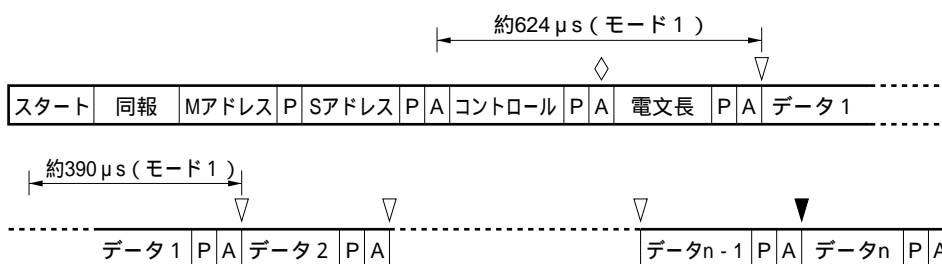
初期準備処理：

自局アドレス，電文長，1バイト目送信データの設定

通信開始処理：

バス・コントロール・レジスタの設定（通信許可，スレーブ送信許可，スレーブ受信許可）

図20 - 31 スレーブ送信



割り込み (INTIE2) 発生

エラー発生判定 → エラー処理

スレーブ要求判定

割り込み (INTIE2) 発生

エラー発生判定 → エラー処理

通信終了判定 → 通信終了処理

フレーム終了判定 → フレーム終了処理 (20.6.3 (2) フレーム終了処理参照)

備考 1 . ▽ : 割り込み (INTIE1) が発生します (20.6.3 (1) 割り込み (INTIE1) 発生参照)。

ソフトウェアにて2バイト目以降の送信データをIEBusデータ・レジスタ (DR) に書き込みます。このときの転送方向は，RAM (メモリ) SFR (周辺) になります。

2 . ▼ : 割り込み (INTIE1) は発生しません。

3 . ◇ : 割り込み (INTIE2) が発生します。

スレーブ状態で，かつコントロール・フィールドで，0H, 4H, 5H, 6Hを受信したときのみ割り込みが発生します (ロック設定状態でのスレーブ・ステータス返信動作については，20.3.2 (5) IEBusコントロール・データ・レジスタ (CDR) を参照してください)。

4 . n = 最終データ・バイト数

(1) 割り込み (INTIE1) 発生

データ・フィールドでスレーブからNACKを受信した場合は、CPUに対して割り込み (INTIE1) は発生しないで、ハードウェアより同じデータを再送します。また、送信データの書き込みが次のデータ書き込み期間内に間に合わなかった場合は、アンダラン発生により通信エラー割り込みが発生して、通信は異常終了になります。

(2) フレーム終了処理

図20 - 31の のベクタ割り込み処理では、1フレーム以内で正常にデータの送信が終了したか、しなかったかを判定します。正常に送信できていない (1フレーム以内で送信すべきデータ数が送信できなかった) 場合は、次の通信フレームで再送、または続きのデータ送信を行ってください。

20.6.4 スレーブ受信

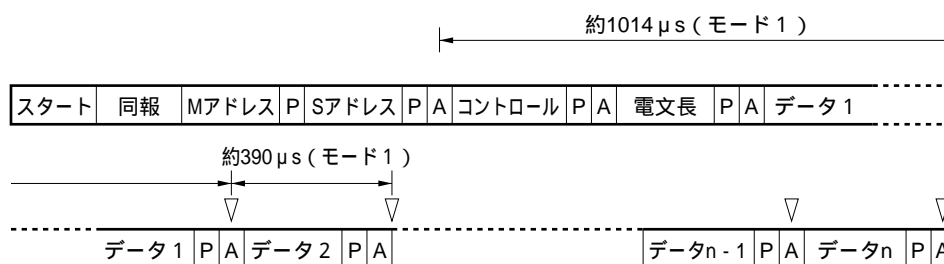
初期準備処理：

自局アドレスの設定

通信開始処理：

バス・コントロール・レジスタの設定（通信許可，スレーブ送信禁止，スレーブ受信許可）

図20 - 32 スレーブ受信



割り込み (INTIE2) 発生

エラー発生判定 → エラー処理

スレーブ要求判定 → スレーブ処理

割り込み (INTIE2) 発生

エラー発生判定 → エラー処理

通信終了判定 → 通信終了処理

フレーム終了判定 → フレーム終了処理 (20.6.4(2) フレーム終了処理参照)

備考 1 . ▽ : 割り込み (INTIE1) が発生します (20.6.4(1) 割り込み (INTIE1) 発生参照)。

マクロ・サービスにてIEBusデータ・レジスタ (DR) に格納された受信データを読み出します。このときの転送方向は、SFR (周辺) RAM (メモリ) になります。

2 . n = 最終データ・バイト数

(1) 割り込み (INTIE1) 発生

データ・フィールドでNACKを送信した場合は、CPUに対して割り込み (INTIE1) は発生しないで、マスタより同じデータが再送されます。また、受信したデータの読み出しが次のデータ受信までに間に合わなかった場合は、自動的にNACKを送信します。

(2) フレーム終了処理

図20 - 32の のベクタ割り込み処理では、1フレーム以内で正常にデータの受信が終了したか、しなかったかを判定します。

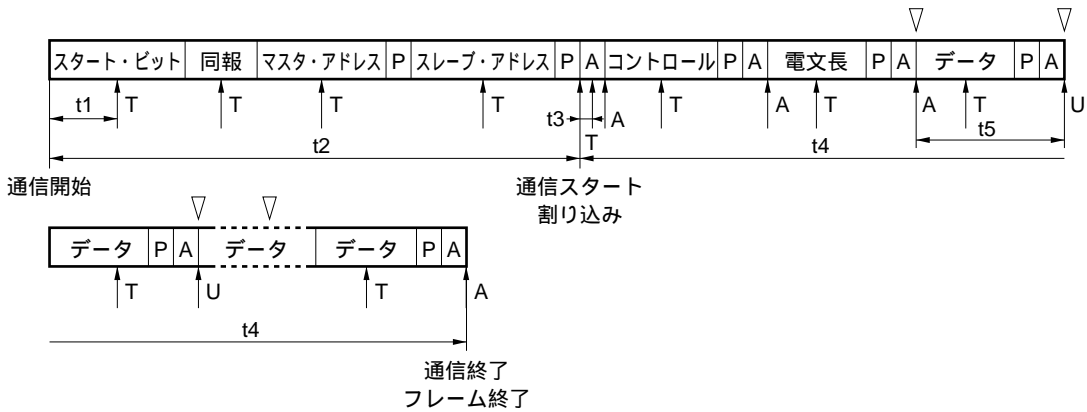
20.6.5 IEBus制御用割り込み発生間隔

各制御割り込みは、通信中それぞれのポイントで逐次発生して、次の割り込み発生までに必要な処理を行います。そのため、CPUはこの割り込みでの最短時間を考慮して、IEBusコントロール・ブロックを制御します。

次に示すエラー割り込みに関しては、発生する可能性のあるフィールドに“ ”で示しています（この“ ”で示しているポイントごとに割り込みが発生することはありません）。エラー割り込み（タイミング・エラー、パリティ・エラー、 \overline{ACK} エラー）が発生した場合、IEBus内部回路を初期化するため、その通信フレーム内でそれ以降の割り込みは発生しなくなります。

(1) マスタ送信

図20 - 33 マスタ送信（割り込み発生間隔）



備考1 . T : タイミング・エラー

A : \overline{ACK} エラー

U : アンダラン・エラー

▽ : データ・セット割り込み (INTIE1)

2 . フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています (IEBus : 6.29 MHz動作時)。

t1 : 通信開始 タイミング・エラー (約93 μ s)

t2 : 通信開始 通信スタート割り込み (約1282 μ s)

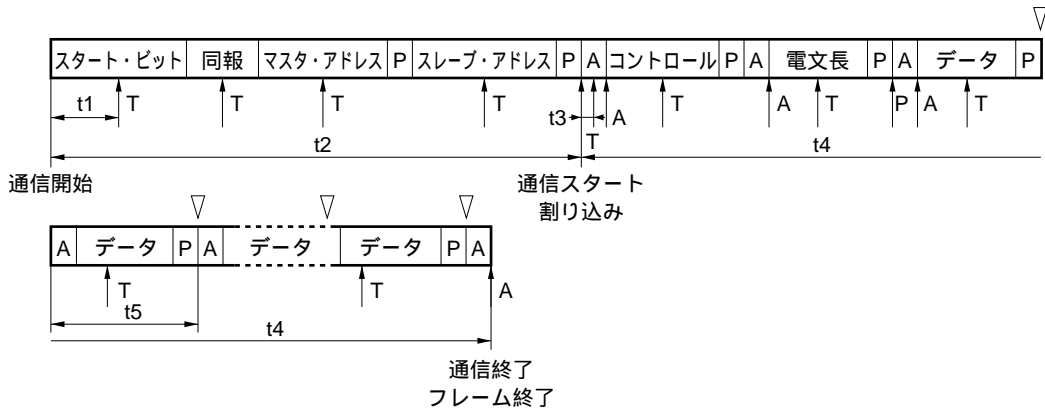
t3 : 通信スタート割り込み タイミング・エラー (約15 μ s)

t4 : 通信スタート割り込み 通信終了 (約1012 μ s)

t5 : 送信データ要求割り込み間隔 (約375 μ s)

(2) マスタ受信

図20 - 34 マスタ受信 (割り込み発生間隔)



備考1 . T : タイミング・エラー

P : パリティ・エラー

A : $\overline{\text{ACK}}$ エラー

▽ : データ・セット割り込み (INTIE1)

2 . フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています (IEBus : 6.29 MHz動作時)。

t1 : 通信開始 タイミング・エラー (約93 μ s)

t2 : 通信開始 通信スタート割り込み (約1282 μ s)

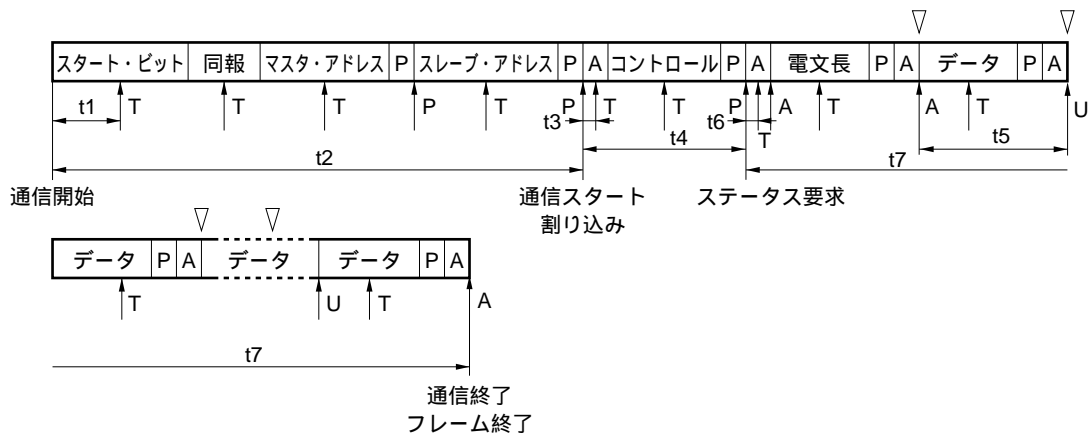
t3 : 通信スタート割り込み タイミング・エラー (約15 μ s)

t4 : 通信スタート割り込み 通信終了 (約1012 μ s)

t5 : 受信データ読み出し間隔 (約375 μ s)

(3) スレーブ送信

図20 - 35 スレーブ送信 (割り込み発生間隔)



備考1 . T : タイミング・エラー

P : パリティ・エラー

A : $\overline{\text{ACK}}$ エラー

U : アンダラン・エラー

▽ : データ・セット割り込み (INTIE1)

2 . フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています (IEBus : 6.29 MHz動作時)。

t1 : 通信開始 タイミング・エラー (約96 μs)

t2 : 通信開始 通信スタート割り込み (約1192 μs)

t3 : 通信スタート割り込み タイミング・エラー (約15 μs)

t4 : 通信スタート割り込み ステータス要求 (約225 μs)

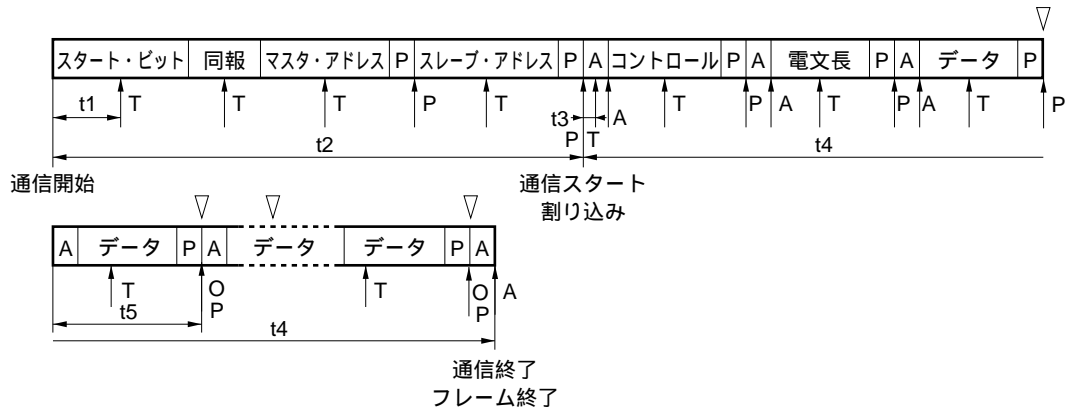
t5 : 送信データ要求割り込み間隔 (約375 μs)

t6 : ステータス要求 タイミング・エラー (約15 μs)

t7 : ステータス要求 通信終了 (約787 μs)

(4) スレーブ受信

図20 - 36 スレーブ受信 (割り込み発生間隔)



備考1 . T : タイミング・エラー

P : パリティ・エラー

A : $\overline{\text{ACK}}$ エラー

O : オーバラン・エラー

▽ : データ・セット割り込み (INTIE1)

2 . フレーム終了は32バイト・データ終了時に発生します。

カッコ内の数値はMIN.値を示しています (IEBus : 6.29 MHz動作時)。

t1 : 通信開始 タイミング・エラー (約96 μs)

t2 : 通信開始 通信スタート割り込み (約1192 μs)

t3 : 通信スタート割り込み タイミング・エラー (約15 μs)

t4 : 通信スタート割り込み 通信終了 (約1012 μs)

t5 : 受信データ読み出し間隔 (約375 μs)

第21章 クロック出力機能

μPD784938Aは、システム・クロックを分周した信号を出力するクロック出力機能を持っています。

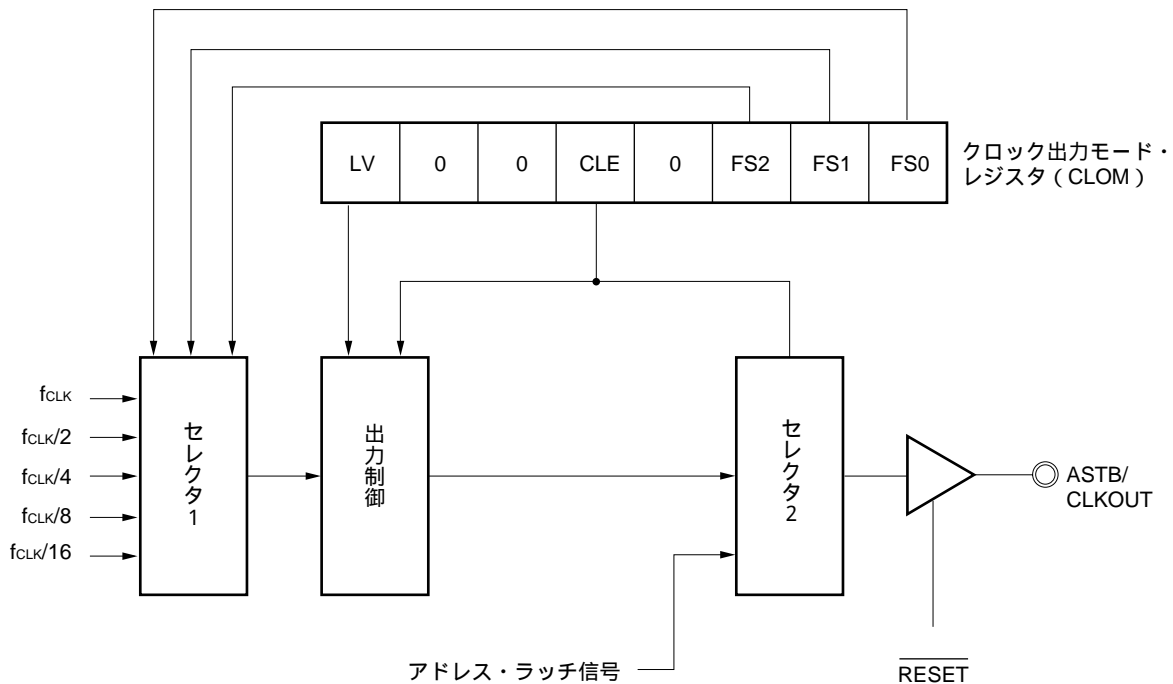
クロック出力機能は、システム・クロックをそのまま、またはシステム・クロック 1/2, 1/4, 1/8, 1/16の信号を出力することができます。また、1ビットの出力ポートとしても使用することができます。出力端子は、ASTB端子と兼用になっています。

注意 外部メモリ拡張モード使用時には、この機能は使用できません。

21.1 構成

図21 - 1に、クロック出力機能の構成を示します。

図21 - 1 クロック出力機能の構成



(1) クロック出力モード・レジスタ (CLOM)

クロック出力機能の動作を制御するレジスタです。

(2) セレクタ1

出力するクロックの周波数を選択するセレクタです。

(3) 出力制御

クロック出力モード・レジスタ (CLOM) の内容で出力信号を制御します。

(4) セレクタ2

ASTB/CLKOUT端子に出力する信号を、ASTB信号にするか、CLKOUT信号にするかを制御します。

(5) ASTB/CLKOUT端子

セレクタ2で選択された信号を出力する端子です。 $\overline{\text{RESET}}$ 入力がロウ・レベルの間中はHi-Z状態となり、 $\overline{\text{RESET}}$ 入力がハイ・レベルになると、ロウ・レベルを出力したあと、設定された機能に対応する信号を出力します。

21.2 クロック出力モード・レジスタ (CLOM)

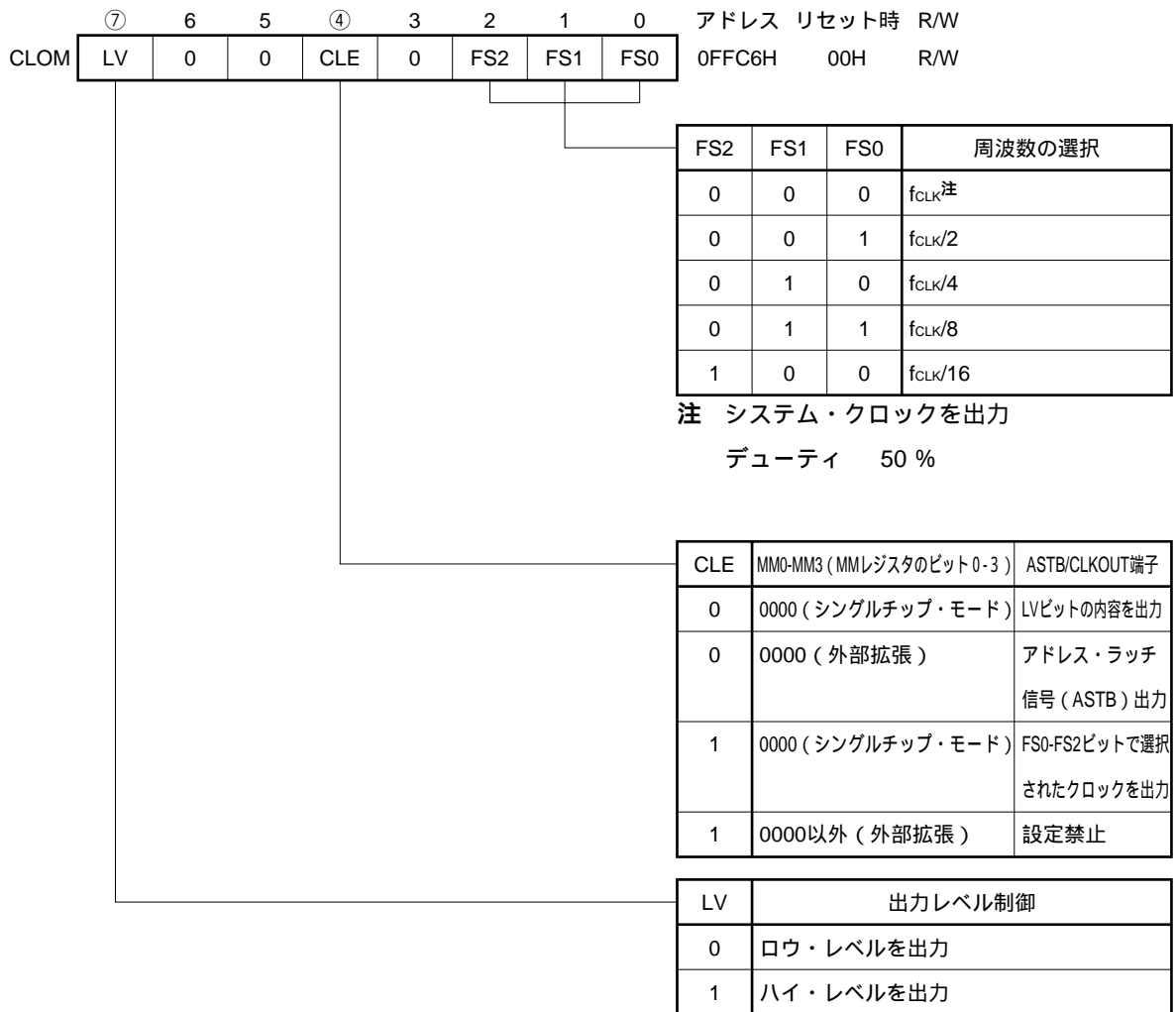
CLOMは、クロック出力機能を制御するレジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。

図21 - 2 に、CLOMのフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図21 - 2 クロック出力モード・レジスタ (CLOM) のフォーマット



注意 1 . 外部メモリ拡張モード使用時には、クロック出力モード・レジスタ (CLOM) は00H ($\overline{\text{RESET}}$ 解除後の値) にしてください。

2 . CLEビットをセット (1) している間は、他のビット (FS0-FS2, LV) を変化させてはいけません。

3 . CLEビットを変化させる場合には、他のビット (FS0-FS2, LV) を同時に変化させてはいけません。

21.3 動作

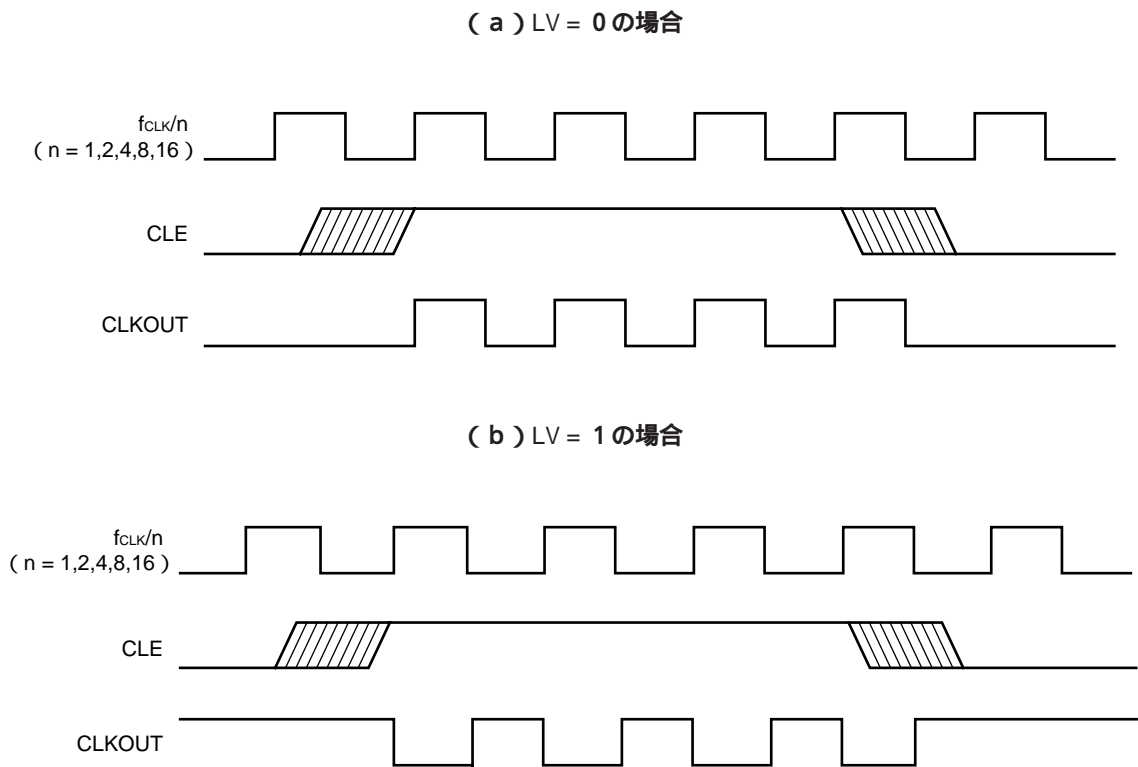
21.3.1 クロック出力

FS0-FS2ビットで選択されたクロック出力周波数の信号をセクタ1で選択し、出力します。

出力信号は、CLEビットがクリア(0)されているときにはLVビットと同一のレベルになっており、CLEビットをセット(1)した直後のクロック信号から出力します。

また、CLEビットをクリア(0)すると、クロック信号に同期してLVビットの内容を出力し、以後の出力動作を停止します。

図21-3 クロック出力動作のタイミング



なお、FS0-FS2ビットおよびLVビットの設定は、CLE = 0 のときにだけ行ってください (CLEビットの内容を変化させる命令と同一の命令中で、FS0-FS2ビットおよびLVビットを変化させないでください)。

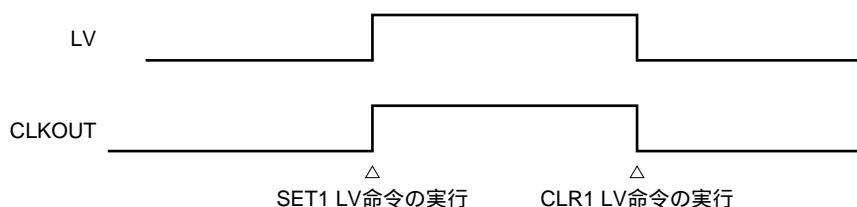
操作例

```
MOV CLOM, 82H ; CLKOUT端子 : ハイ・レベル, クロック出力 : fCLK/4
SET1 CLE      ; クロック出力スタート
⋮
CLR1 CLE      ; クロック出力停止, CLKOUT端子 : ハイ・レベル
```

21.3.2 1ビット出力ポート

CLEビットがクリア(0)されているときにLVビットの内容がCLKOUT端子から出力されます。LVビットの内容が変化するとすぐにCLKOUT端子は変化します。

図21-4 1ビット出力ポートの動作



21.3.3 スタンバイ・モード中の動作

(1) HALTモード時

HALTモードを設定する以前の状態が継続されます。つまり、クロック出力中は、クロック出力を継続して行い、クロック出力を禁止していた場合には、HALTモード設定以前に設定されていたLVビットの内容がそのまま出力されます。

(2) STOPモードまたはIDLEモード時

STOPモードまたはIDLEモードを設定する以前に、クロック出力を禁止しなければなりません(ソフトウェアで行う必要があります)。CLKOUT端子のレベルは、STOPモードまたはIDLEモード設定以前のレベル(LVビットの内容)が出力されます。

21.4 注意事項

- (1) 外部メモリ拡張モード使用時には、クロック出力機能は使用できません。
- (2) 外部メモリ拡張モード使用時には、クロック出力モード・レジスタ(CLOM)は00H(RES \overline{E} T解除後の値)にしてください。
- (3) CLEビットをセット(1)している間は、他のビット(FS0-FS2, LV)を変化させてはいけません。
- (4) CLEビットを変化させる場合には、他のビット(FS0-FS2, LV)を同時に変化させてはいけません。

第22章 エッジ検出機能

P20-P26は、立ち上がりエッジ/立ち下がりエッジをプログラマブルに指定できるエッジ検出機能を持っており、検出したエッジを内部の各ハードウェアへ送っています。P20-P26端子と検出されたエッジの用途の関係を表22 - 1 に示します。

表22 - 1 P20-P26端子と検出エッジの用途

端子名称	用 途	検出エッジ指定レジスタ
P20	NMI, スタンバイ回路の制御	INTM0
P21	INTP0, タイマ/イベント・カウンタ1のキャプチャ信号 タイマ/イベント・カウンタ1のカウンタ信号 リアルタイム出力ポートのトリガ信号	
P22	INTP1, タイマ/イベント・カウンタ2のCR22のキャプチャ信号	
P23	INTP2, CI (タイマ/イベント・カウンタ2のカウンタ・クロック信号), タイマ/イベント・カウンタ2のCR21のキャプチャ信号	
P24	INTP3, タイマ/イベント・カウンタ0のキャプチャ信号, タイマ/イベント・カウンタ0のカウンタ・クロック信号	INTM1
P25	INTP4, スタンバイ回路の制御	
P26	INTP5, A/Dコンバータの変換スタート信号, スタンバイ回路の制御	

エッジ検出機能は、STOPモード、IDLEモード時を除いて常時動作しています（ただし、P20、P25、P26端子のエッジ検出機能はSTOPモード、IDLEモード時も動作しています）。

また、P21/INTP0端子は、エッジ検出時に行われるノイズ除去の時間をソフトウェアで選択できます。

22.1 エッジ検出機能の制御レジスタ

22.1.1 外部割り込みモード・レジスタ (INTM0, INTM1)

INTM_n (n = 0, 1) は、P20-P26端子で検出するエッジの有効エッジを指定するレジスタです。INTM0でP20-P23端子の有効エッジを指定し、INTM1でP24-P26端子での有効エッジを指定します。

INTM_nは、8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。

図22 - 1 にINTM0のフォーマット、図22 - 2 にINTM1のフォーマットを示します。

RESET入力で00Hになります。

図22 - 1 外部割り込みモード・レジスタ0 (INTM0) のフォーマット



図22 - 2 外部割り込みモード・レジスタ 1 (INTM1) のフォーマット



注意 外部割り込みモード・レジスタ (INTM_n : n = 0, 1) への書き込みによって有効エッジを変更したときには有効エッジの検出は行われません。また, 有効エッジの変更中に, エッジが入力された場合は, そのエッジが有効エッジと判断されるか, 有効でないエッジと判断されるかは不定です。

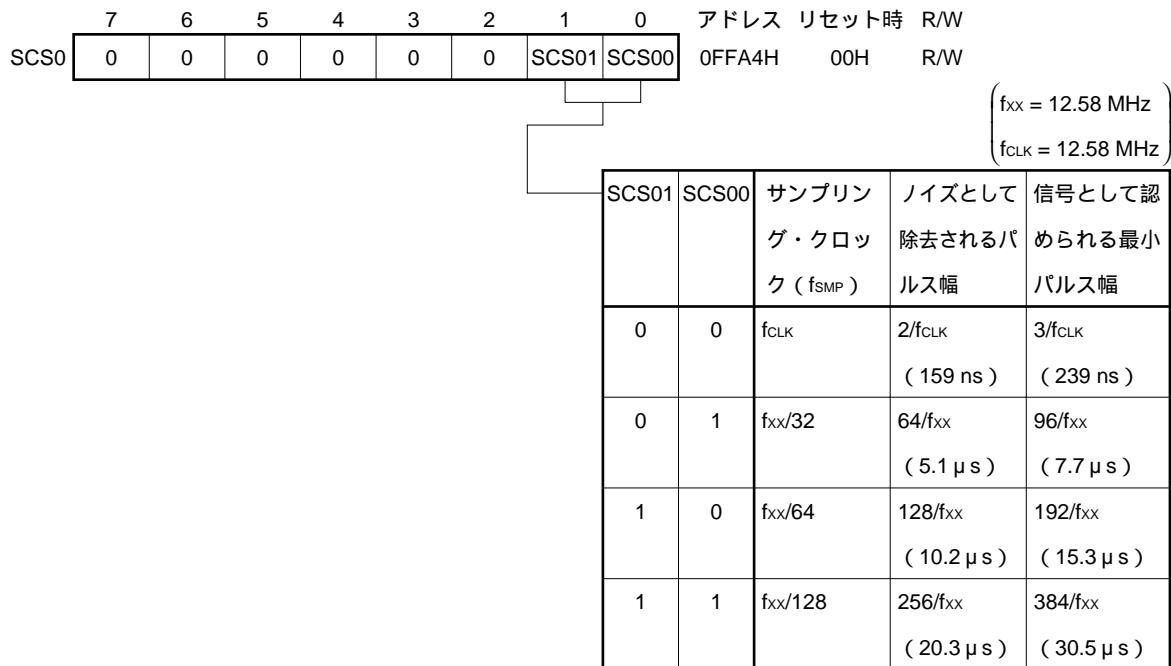
22.1.2 サンプリング・クロック選択レジスタ (SCS0)

SCS0は、P21端子で行うデジタル・ノイズ除去のサンプリング・クロック (f_{SMP}) を指定するレジスタです。

SCS0は、8ビット操作命令で読み出し/書き込みが可能です。図22 - 3に、SCS0のフォーマットを示します。

\overline{RESET} 入力により、00Hになります。

図22 - 3 サンプリング・クロック選択レジスタ (SCS0) のフォーマット

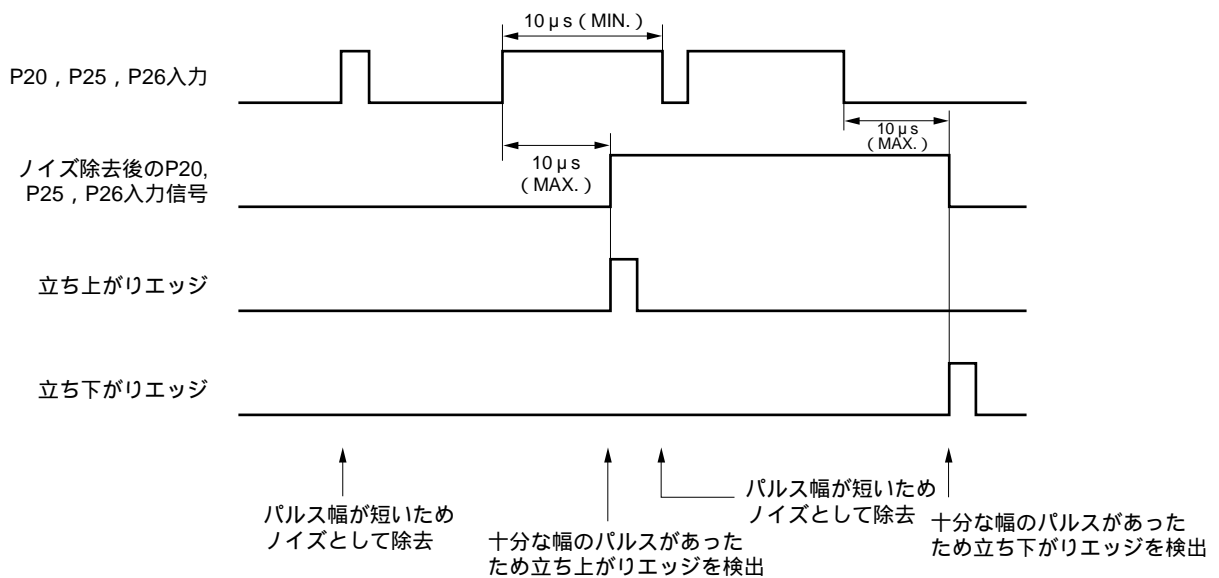


22.2 P20, P25, P26端子のエッジ検出

P20, P25, P26端子は、アナログ・ディレイによるノイズ除去後にエッジ検出を行っています。したがって、一定以上の時間幅(10 μ s)のパルス幅がないとエッジを検出することができません。

ノイズとして除去されるパルス幅は、Typ.200 ns程度(設定上)をターゲットとしていて、この値はデバイスごとの特性や周囲温度などにより変化します。ノイズとして除去されないようにするには、10 μ s以上のパルス幅を入力することを奨励します。

図22 - 4 P20, P25, P26端子のエッジ検出



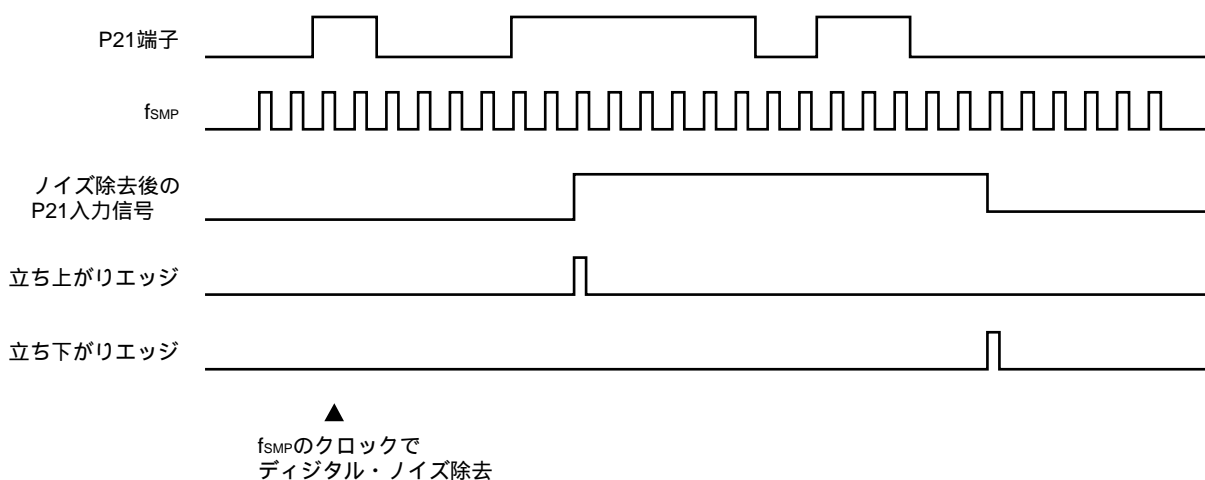
注意 P20, P25, P26端子にはアナログ・ディレイによるノイズ除去を行っているため、実際にエッジが入力されてから遅れてエッジが検出されます。また、P21-P24端子と異なり、デバイスごとの特性の違いにより、エッジが検出されるまでの遅延時間は一定の値とはなりません。

22.3 P21端子のエッジ検出

P21端子のエッジ検出は、サンプリング・クロック選択レジスタ（SCS0）で指定されるクロック（ f_{SMP} ）でデジタル・ノイズ除去を行います。デジタル・ノイズ除去は、 f_{SMP} のクロックでサンプリングを行い、入力されているレベルが連続して3回以上同一でなければ（2回以下しか連続しなければ）ノイズとして除去されます。したがって、有効エッジと認められるためには、 f_{SMP} のクロックで3周期以上の期間、レベルを保持しなければなりません。

備考 赤外線リモコンの受信信号などのように、比較的長いパルス幅で、ノイズの多い信号のパルス幅を測定する場合や、スイッチ入力のチャタリングのようなエッジの発生時に振動が発生する信号を入力する場合などに、サンプリング・クロック選択レジスタ（SCS0）でサンプリング・クロックを低速にすると有効です。サンプリング・クロックが高速の場合、ノイズ成分である短いパルスにも反応してしまい、頻繁にプログラムでノイズか信号かを判定しなければなりません。しかしサンプリング・クロックを遅くすることにより、短いパルス幅のノイズには反応しなくなるため、プログラムによる判定を行う回数が減り、かつ、プログラムも簡単になります。

図22 - 5 P21端子のエッジ検出



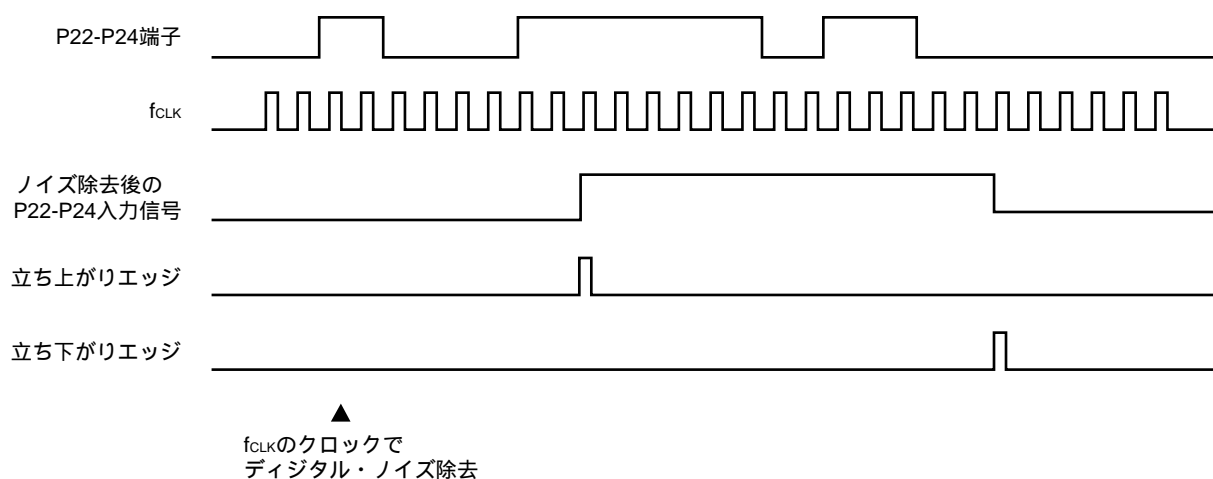
- 注意 1** f_{SMP} のクロックでデジタル・ノイズ除去を行っているため、端子にエッジが入力されてから、実際にエッジが検出されるまで f_{SMP} のクロックで2-3クロックかかります。
- 2** . 入力パルスの幅が f_{SMP} のクロックで2-3クロックの場合は、有効エッジが検出されるか、検出されないかは不定です。確実に動作させるためには、3クロック以上の期間、レベルを固定するようにしてください。
- 3** . 端子に入力されたノイズが μ PD784938A内の f_{SMP} のクロックと同期している場合には、ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は、入力端子にフィルタを付加してノイズを除去するようにしてください。

22.4 P22-P24端子のエッジ検出

P22-P24端子のエッジ検出は、クロック・サンプリングによるデジタル・ノイズ除去後に行われます。P21端子とは異なり、サンプリング・クロックは f_{CLK} に固定です。

デジタル・ノイズ除去は、 f_{CLK} のクロックでサンプリングを行い、入力されているレベルが連続して3回以上同一でなければ（2回以下しか連続しなければ）ノイズとして除去されます。したがって、有効エッジと認められるためには、 f_{CLK} のクロックで3周期以上の期間（ $0.24 \mu s : f_{CLK} = 12.58 \text{ MHz}$ ）レベルを保持しなければなりません。

図22 - 6 P21-P26端子のエッジ検出



- 注意 1** . f_{CLK} のクロックでデジタル・ノイズ除去を行っているため、端子にエッジが入力されてから、実際にエッジが検出されるまで f_{CLK} のクロックで2-3クロックかかります。
- 2** . 入力パルスの幅が f_{CLK} のクロックで2-3クロックの場合は、有効エッジが検出されるか、検出されないかは不定です。確実に動作させるためには、3クロック以上の期間、レベルを固定するようにしてください。
- 3** . 端子に入力されたノイズが $\mu PD784938A$ 内の f_{CLK} のクロックと同期している場合には、ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は、入力端子にフィルタを付加してノイズを除去するようにしてください。

22.5 注意事項

- (1) 外部割り込みモード・レジスタ (INTMn : n = 0, 1) への書き込みによって有効エッジを変更したときには有効エッジの検出は行われません。また、有効エッジの変更中にエッジが入力された場合は、そのエッジが有効エッジと判断されるか、有効でないとして判断されるかは不定です。
- (2) P20, P25, P26端子はアナログ・ディレイによるノイズ除去を行っているため、実際にエッジが入力されてから最大10 μ s後にエッジが検出されます。また、P21-P24端子と異なり、デバイスごとの特性の違いにより、エッジが検出されるまでの遅延時間は一定の値とはなりません。
- (3) P21端子は、f_{SMP}のクロックでデジタル・ノイズ除去を行っているため、端子にエッジが入力されてから、実際にエッジが検出されるまでf_{SMP}のクロックで2-3クロックかかります。
- (4) P21端子は、入力パルスの幅がf_{SMP}のクロックで2-3クロックの場合は、有効エッジが検出されるか、検出されないかは不定です。確実に動作させるためには、3クロック以上の期間、レベルを固定するようにしてください。
- (5) P21端子に入力されたノイズが μ PD784938A内のf_{SMP}のクロックと同期している場合には、ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は、入力端子にフィルタを付加してノイズを除去するようにしてください。
- (6) P22-P24端子は、f_{CLK}のクロックでデジタル・ノイズ除去を行っているため、端子にエッジが入力されてから、実際にエッジが検出されるまでf_{CLK}のクロックで2-3クロックかかります。
- (7) P22-P24端子は、入力パルスの幅がf_{CLK}のクロックで2-3クロックの場合は、有効エッジが検出されるか、されないかは不定です。確実に動作させるためには、3クロック以上の期間レベルを固定するようにしてください。
- (8) P22-P24端子に入力されたノイズが μ PD784938A内のf_{CLK}のクロックと同期している場合には、ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は、入力端子フィルタを付加してノイズを除去するようにしてください。

第23章 割り込み機能

μPD784938Aは、割り込み要求の処理としてベクタ割り込み、コンテキスト・スイッチング、マクロ・サービスの3つのモードを備えています(表23-1参照)。これら3つの処理モードは、プログラムで任意に設定できます。ただし、マクロ・サービスによる割り込み処理の選択は表23-2で示すマクロ・サービス処理モードを備えている割り込み要求ソースに対してのみ選択できます。コンテキスト・スイッチングは、ノンマスクابل割り込みおよびオペランド・エラー割り込みでは選択できません。

また、マスク可能なベクタ割り込みについては、4レベルの優先順位を持った多重処理制御を容易に行うことが可能です。

表23-1 割り込み要求の処理形態

割り込み要求処理モード	処理の主体	PC, PSWの内容	処 理 形 態
ベクタ割り込み	ソフトウェア	スタックへの退避 / 復帰動作を行う	ベクタ・テーブルで指定されたアドレス ^注 のサービス・プログラムに分岐し実行
コンテキスト・スイッチング		レジスタ・バンク中の固定エリアへの退避 / 復帰を行う	ベクタ・テーブルで指定されたレジスタ・バンクへの切り替えを自動的に行い、レジスタ・バンク中の固定エリアで指定されたアドレス ^注 のサービス・プログラムに分岐し実行
マクロ・サービス	ハードウェア (ファームウェア)	保持	メモリとI/Oとのデータ転送などあらかじめ設定した処理を実行

注 すべての割り込みサービス・プログラムの先頭アドレスは、ベース領域にある必要があります。ベース領域内にサービス・プログラムの本体が配置できない場合は、ベース領域内にサービス・プログラムへの分岐命令を記述してください。

23.1 割り込み要求ソース

μPD784938Aには、表23 - 2に示すように29種類の割り込み要求ソースがあり、それぞれに割り込みベクタ・テーブルが割り付けられています。

表23 - 2 割り込み要求ソースの種類 (1/2)

割り込み要求タイプ	デフォルト優先順位	割り込み要求発生ソース	発生ユニット	割り込み制御レジスタ名	コンテキスト・スイッチング	マクロ・サービス	マクロ・サービス・コントロール・ワード・アドレス	ベクタ・テーブル・アドレス
ソフトウェア	なし	BRK命令の実行	-	-	不可	不可	-	3EH
		BRKCS命令の実行	-	-	可	不可	-	-
オペランド・エラー	なし	MOV STBC, byte命令またはMOV WDM, byte命令, LOCATION命令のオペランド不正	-	-	不可	不可	-	3CH
ノンマスクブル	なし	NMI (端子入力エッジ検出)	エッジ検出	-	不可	不可	-	2H
		INTWDT (ウォッチドッグ・タイマのオーバーフロー)	ウォッチドッグ・タイマ	-	不可	不可	-	4H

表23 - 2 割り込み要求ソースの種類 (2/2)

割り込み要求タイプ	デフォルト優先順位	割り込み要求発生ソース	発生ユニット	割り込み制御レジスタ名	コンテキスト・スイッチング	マクロ・サービス	マクロ・サービス・コントロール・ワード・アドレス	ベクタ・テーブル・アドレス		
マスクابل	0	INTP0 (端子入力エッジ検出)	エッジ検出	PIC0	可	可	0FE06H	6H		
	1	INTP1 (")		PIC1			0FE08H	8H		
	2	INTP2 (")		PIC2			0FE0AH	0AH		
	3	INTP3 (")		PIC3			0FE0CH	0CH		
	4	INTC00 (TM0-CR00一致信号発生)		タイマ/イベント・カウンタ0			CIC00	0FE0EH	0EH	
	5	INTC01 (TM0-CR01一致信号発生)	タイマ/イベント・カウンタ1	CIC01			0FE10H	10H		
	6	INTC10 (TM1-CR10またはTM1W-CR10W一致信号発生)		CIC10			0FE12H	12H		
	7	INTC11 (TM1-CR11またはTM1W-CR11W一致信号発生)		CIC11			0FE14H	14H		
	8	INTC20 (TM2-CR20またはTM2W-CR20W一致信号発生)	タイマ/イベント・カウンタ2	CIC20			0FE16H	16H		
	9	INTC21 (TM2-CR21またはTM2W-CR21W一致信号発生)	タイマ3	CIC21			0FE18H	18H		
	10	INTC30 (TM3-CR30またはTM3W-CR30W一致信号発生)		CIC30			0FE1AH	1AH		
	11	INTP4 (端子入力エッジ検出)	エッジ検出	PIC4			不可	可	0FE1CH	1CH
	12	INTP5 (")		PIC5					0FE1EH	1EH
	13	INTAD (A/D変換終了)	ADコンバータ	ADIC		0FE20H			20H	
	14	INTSER (アシンクロナス・シリアル・インタフェース受信エラー)	アシンクロナス・シリアル・インタフェース/	SERIC		0FE22H			22H	
	15	INTSR (アシンクロナス・シリアル・インタフェース受信終了)	クロック同期式シリアル・インタフェース転送終了)	SRIC						
		INTCSI1 (クロック同期式シリアル・インタフェース転送終了)	クロック同期式シリアル・インタフェース1	CSIIC1		0FE24H			24H	
	16	INTST (アシンクロナス・シリアル・インタフェース送信終了)	クロック同期式シリアル・インタフェース	STIC		0FE26H			26H	
	17	INTCSI (クロック同期式シリアル・インタフェース転送終了)	クロック同期式シリアル・インタフェース	CSIIC		0FE28H			28H	
	18	INTSER2 (アシンクロナス・シリアル・インタフェース2受信エラー)	アシンクロナス・シリアル・インタフェース2 /	SERIC2		不可			0FE2AH	2AH
	19	INTSR2 (アシンクロナス・シリアル・インタフェース2受信終了)	クロック同期式シリアル・インタフェース2転送終了)	SRIC2						
		INTCSI2 (クロック同期式シリアル・インタフェース2転送終了)	クロック同期式シリアル・インタフェース2	CSIIC2		0FE2CH			2CH	
	20	INTST2 (アシンクロナス・シリアル・インタフェース2送信終了)	クロック同期式シリアル・インタフェース2	STIC2		0FE2EH			2EH	
	21	INTIE1 (IEBusデータ・アクセス要求)	IEBusコントローラ	IEIC1		0FE32H			32H	
22	INTIE2 (IEBus通信エラーおよび通信終了)		IEIC2	0FE34H	34H					
23	INTW (時計用タイマ出力)	時計用タイマ	WIC	0FE36H	36H					
24	INTCSI3 (クロック同期式シリアル・インタフェース3転送終了)	クロック同期式シリアル・インタフェース3	CSIIC3	0FE38H	38H					

備考1. デフォルト優先順位は、固定されている数値です。同一優先順位に指定された複数の割り込み要求が、同時に発生した場合に優先される順位を示します。

2. INTSRとINTCSI1は、同一のハードウェアから発生する割り込みです（同時に両方は使用できません）。したがって、割り込みに関しても同一のハードウェアを使用していますが、どちらのモードを使用しているかに応じて名称を使い分けられるように、2通りの名称を用意しています。INTSR2、INTCSI2についても同様です。

23.1.1 ソフトウェア割り込み

ソフトウェアによる割り込みには、ベクタ割り込みを発生するBRK命令とコンテキスト・スイッチングを行うBRKCS命令があります。

ソフトウェアによる割り込みは、割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

23.1.2 オペランド・エラー割り込み

MOV STBC, byte命令、MOV WDM, byte命令およびLOCATION命令のオペランドが不正の場合に発生する割り込みです。

オペランド・エラー割り込みは、割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

23.1.3 ノンマスカブル割り込み

ノンマスカブル割り込みはNMI端子入力またはウォッチドッグ・タイマによって発生します。

ノンマスカブル割り込みは、割り込み禁止状態であっても無条件^注に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

注 同一のノンマスカブル割り込みのサービス・プログラムの実行中と、優先順位の高いノンマスカブル割り込みのサービス・プログラムの実行中を除く

23.1.4 マスカブル割り込み

マスカブル割り込みは、割り込みマスク・フラグの設定によってマスク制御を受ける割り込みです。また、プログラム・ステータス・ワード（PSW）のIEフラグによって、マスカブル割り込み全体に対して受け付けの許可/禁止の指定ができます。

マスカブル割り込みは、通常のベクタ割り込みのほかに、コンテキスト・スイッチングやマクロ・サービスによって受け付けることが可能です（マクロ・サービスについては一部の割り込みを除く。表23-2参照）。

マスカブル割り込みは、表23-2のように同一優先順位を持つ複数の割り込み要求が同時に発生している場合の優先順位が決められています（デフォルト優先順位）。また、割り込み優先順位を4レベルのグループに分け、多重処理の制御を行うことができます。ただしマクロ・サービスは、優先順位制御やIEフラグとは無関係に受け付けられます。

23.2 割り込み処理モード

μPD784938Aの割り込み処理モードには、次の3つのモードがあります。

- ・ベクタ割り込み処理
- ・マクロ・サービス
- ・コンテキスト・スイッチング

23.2.1 ベクタ割り込み処理

割り込みが受け付けられると、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)を自動的にスタック領域に退避させ、ベクタ・テーブルに格納されているデータで示されるアドレスに分岐し、割り込み処理ルーチンを実行します。

23.2.2 マクロ・サービス

割り込みが受け付けられると、CPUの実行を一時中断し、ハードウェア的にデータ転送を行います。マクロ・サービスは、CPUを介さずに行われるため、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)などのCPUステータスを退避/復帰する必要がありません。したがって、CPUのサービス時間を向上させる大きな効果があります(23.8 マクロ・サービス機能参照)。

23.2.3 コンテキスト・スイッチング

割り込みが受け付けられると、ハードウェアにより所定のレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスに分岐すると同時に、現在のプログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)をレジスタ・バンク内に退避します(23.4.2 BRKCS命令によるソフトウェア割り込み(ソフトウェア・コンテキスト・スイッチング)の受け付け動作、23.7.2 コンテキスト・スイッチング参照)。

備考 コンテキストとは、プログラムの実行において、そのプログラムからアクセス可能なCPUのレジスタのことです。このレジスタには、汎用レジスタ、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)、スタック・ポインタ(SP)が含まれます。

23.3 割り込み処理制御レジスタ

μPD784938Aの割り込み処理は、割り込み処理の指定を行う各種制御レジスタにより、各割り込み要求ごとに制御されます。表23 - 3 に、割り込みの制御レジスタ一覧を示します。

表23 - 3 制御レジスタ一覧 (1/2)

レジスタ名	略号	機能
割り込み制御レジスタ	PIC0	各割り込み要求の発生の記憶、マスク制御、ベクタ割り込み処理またはマクロ・サービス処理の指定、コンテキスト・スイッチング機能の許可/禁止、優先順位の指定を行うレジスタ
	PIC1	
	PIC2	
	PIC3	
	CIC00	
	CIC01	
	CIC10	
	CIC11	
	CIC20	
	CIC21	
	CIC30	
	PIC4	
	PIC5	
	ADIC	
	SERIC	
	SRIC	
	CSIIC1	
	STIC	
	CSIIC	
	SERIC2	
	SRIC2	
	CSIIC2	
	STIC2	
	IEIC1	
	IEIC2	
	WIC	
CSIIC3		
割り込みマスク・レジスタ	MK0	マスカブル割り込み要求のマスク制御
	MK1	割り込み制御レジスタ内のマスク制御フラグと連動ワード・アクセスまたはバイト・アクセスが可能
インサービス・プライオリティ・レジスタ	ISPR	現在受け付け中の割り込み要求について優先順位を記憶

表23 - 3 制御レジスタ一覧 (2/2)

レジスタ名	略号	機能
割り込みモード・コントロール・レジスタ	IMC	優先順位を最下位レベル(レベル3)に指定したマスカブル割り込みのネスティングを制御
ウォッチドッグ・タイマ・モード・レジスタ	WDM	NMI端子入力による割り込みとウォッチドッグ・タイマのオーバフローによる割り込みの優先順位を指定
プログラム・ステータス・ワード	PSW	マスカブル割り込みの受け付け許可/禁止を指定

割り込み制御レジスタは、おのこの割り込み要因ごとに制御レジスタが割り当てられています。各レジスタのフラグは、それぞれのレジスタ内のビット位置に対応した内容の制御を行います。

表23 - 4に、各割り込み要求信号に対応する割り込み制御レジスタのフラグ名称を示します。

表23 - 4 割り込み要求に対する割り込み制御レジスタのフラグー覧 (1/2)

デフォルト 優先順位	割り込み 要求信号	割り込み制御レジスタ					
			割り込み 要求フラグ	割り込みマス ク・フラグ	マクロ・サービス 許可フラグ	優先順位 指定フラグ	コンテキスト・スイッ チング許可フラグ
0	INTP0	PIC0	PIF0	PMK0	PISM0	PPR00 PPR01	PCSE0
1	INTP1	PIC1	PIF1	PMK1	PISM1	PPR10 PPR11	PCSE1
2	INTP2	PIC2	PIF2	PMK2	PISM2	PPR20 PPR21	PCSE2
3	INTP3	PIC3	PIF3	PMK3	PISM3	PPR30 PPR31	PCSE3
4	INTC00	CIC00	CIF00	CMK00	CISM00	CPR000 CPR001	CCSE00
5	INTC01	CIC01	CIF01	CMK01	CISM01	CPR010 CPR011	CCSE01
6	INTC10	CIC10	CIF10	CMK10	CISM10	CPR100 CPR101	CCSE10
7	INTC11	CIC11	CIF11	CMK11	CISM11	CPR110 CPR111	CCSE11
8	INTC20	CIC20	CIF20	CMK20	CISM20	CPR200 CPR201	CCSE20
9	INTC21	CIC21	CIF21	CMK21	CISM21	CPR210 CPR211	CCSE21
10	INTC30	CIC30	CIF30	CMK30	CISM30	CPR300 CPR301	CCSE30
11	INTP4	PIC4	PIF4	PMK4	PISM4	PPR40 PPR41	PCSE4
12	INTP5	PIC5	PIF5	PMK5	PISM5	PPR50 PPR51	PCSE5
13	INTAD	ADIC	ADIF	ADMK	ADISM	ADPR0 ADPR1	ADCSE
14	INTSER	SERIC	SERIF	SERMK	-	SERPR0 SERPR1	SERCSE
15	INTSR	SRIC	SRIF	SRMK	SRISM	SRPR0 SRPR1	SRCSE
	INTCSI1	CSIIC1	CSIIF1	CSIMK1	CSIISM1	CSIPR10 CSIPR11	CSICSE1
16	INTST	STIC	STIF	STMK	STISM	STPR0 STPR1	STCSE
17	INTCSI	CSIIC	CSIIF	CSIMK	CSIISM	CSIPR0 CSIPR1	CSICSE
18	INTSER2	SERIC2	SERIF2	SERMK2	-	SERPR20 SERPR21	SERCSE2
19	INTSR2	SRIC2	SRIF2	SRMK2	SRISM2	SRPR20 SRPR21	SRCSE2
	INTCSI2	CSIIC2	CSIF2	CSIMK2	CSIISM2	CSIPR20 CSIPR21	CSICSE2
20	INTST2	STIC2	STIF2	STMK2	STISM2	STPR20 STPR21	STCSE2
21	INTIE1	IEIC1	IEIF1	IEMK1	IEISM1	IEPR10 IEPR11	IECSE1
22	INTIE2	IEIC2	IEIF2	IEMK2	IEISM2	IEPR20 IEPR21	IECSE2

表23 - 4 割り込み要求に対する割り込み制御レジスタのフラグ一覧 (2/2)

デフォルト 優先順位	割り込み 要求信号	割り込み制御レジスタ					
			割り込み 要求フラグ	割り込みマス ク・フラグ	マクロ・サービ ス許可フラグ	優先順位 指定フラグ	コンテキスト・スイ ッチング許可フラグ
23	INTW	WIC	WIF	WMK	WISM	WRP0 WRP1	WCSE
24	INTCSI3	CSIIC3	CSIIF3	CSIMK3	CSIISM3	CSIPR30 CSIPR31	CSICSE3

23.3.1 割り込み制御レジスタ

割り込み制御レジスタは、各割り込み要因ごとに割り当てられており、対応する割り込み要求の優先順位制御や、マスク制御などを行うレジスタです。図23 - 1に、割り込み制御レジスタのフォーマットを示します。

(1) 優先順位指定フラグ (××PR1, ××PR0)

優先順位指定フラグは、25種類のマスカブル割り込みに対して、割り込み要因ごとの優先順位を指定するフラグです。

優先順位レベルは、4レベルまで指定でき、複数の割り込み要因を同じレベルに指定することができます。マスカブル割り込み要因のうち、レベル0が最も優先順位が高くなります。

優先順位レベルの等しい割り込み要因同士内で、複数の割り込み要求が同時に発生した場合は、デフォルト優先順位の順に受け付けられます。

ソフトウェアにより、ビット単位で操作ができます。

RESET入力により、全ビットが“1”になります。

(2) コンテキスト・スイッチング許可フラグ (××CSE)

コンテキスト・スイッチング許可フラグは、マスカブル割り込み要求をコンテキスト・スイッチングにより処理することを指定するフラグです。

コンテキスト・スイッチングは、あらかじめ指定してあるレジスタ・バンクをハードウェア的に選択し、レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に、現在のプログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW) の内容をレジスタ・バンクに退避する機能です。

通常のベクタ割り込み処理よりも高速に割り込み処理の実行を開始できるので、リアルタイム処理に適しています。

ソフトウェアにより、ビット単位で操作ができます。

RESET入力により、全ビットが“0”になります。

(3) マクロ・サービス許可フラグ (××ISM)

マクロ・サービス許可フラグは、各フラグに対応する割り込み要求について、ベクタ割り込みまたはコンテキスト・スイッチングで処理するか、マクロ・サービスで処理するかを指定するフラグです。

マクロ・サービス処理を選択していた場合に、マクロ・サービスが終了すると（マクロ・サービス・カウンタが0になると）、マクロ・サービス許可フラグはハードウェアで自動的にクリア（0）されます（ベクタ割り込み処理 / コンテキスト・スイッチング処理）。

ソフトウェアにより、ビット単位で操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが“0”になります。

（4）割り込みマスク・フラグ（ $\times \times \text{MK}$ ）

割り込みマスク・フラグは、各フラグに対応する割り込み要求について、ベクタ割り込み処理、マクロ・サービス処理の許可 / 禁止を指定するフラグです。

割り込みマスク・フラグの内容は、割り込み処理の起動などにより変化することはありません。また、割り込みマスク・フラグの内容と、割り込みマスク・レジスタとは同一の内容となります（23.3.2 割り込みマスク・レジスタ（MK0, MK1）参照）。

マクロ・サービス処理要求もマスク制御の対象で、マクロ・サービス要求もこのフラグによりマスクできます。

ソフトウェアにより、操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが“1”になります。

（5）割り込み要求フラグ（ $\times \times \text{IF}$ ）

割り込み要求フラグは、各フラグに対応する割り込み要求の発生でセット（1）されます。割り込みが受け付けられたときにハードウェアにより自動的にクリア（0）されます。

ソフトウェアにより、操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが“0”になります。

図23 - 1 割り込み制御レジスタ (x x ICn) (1/4)

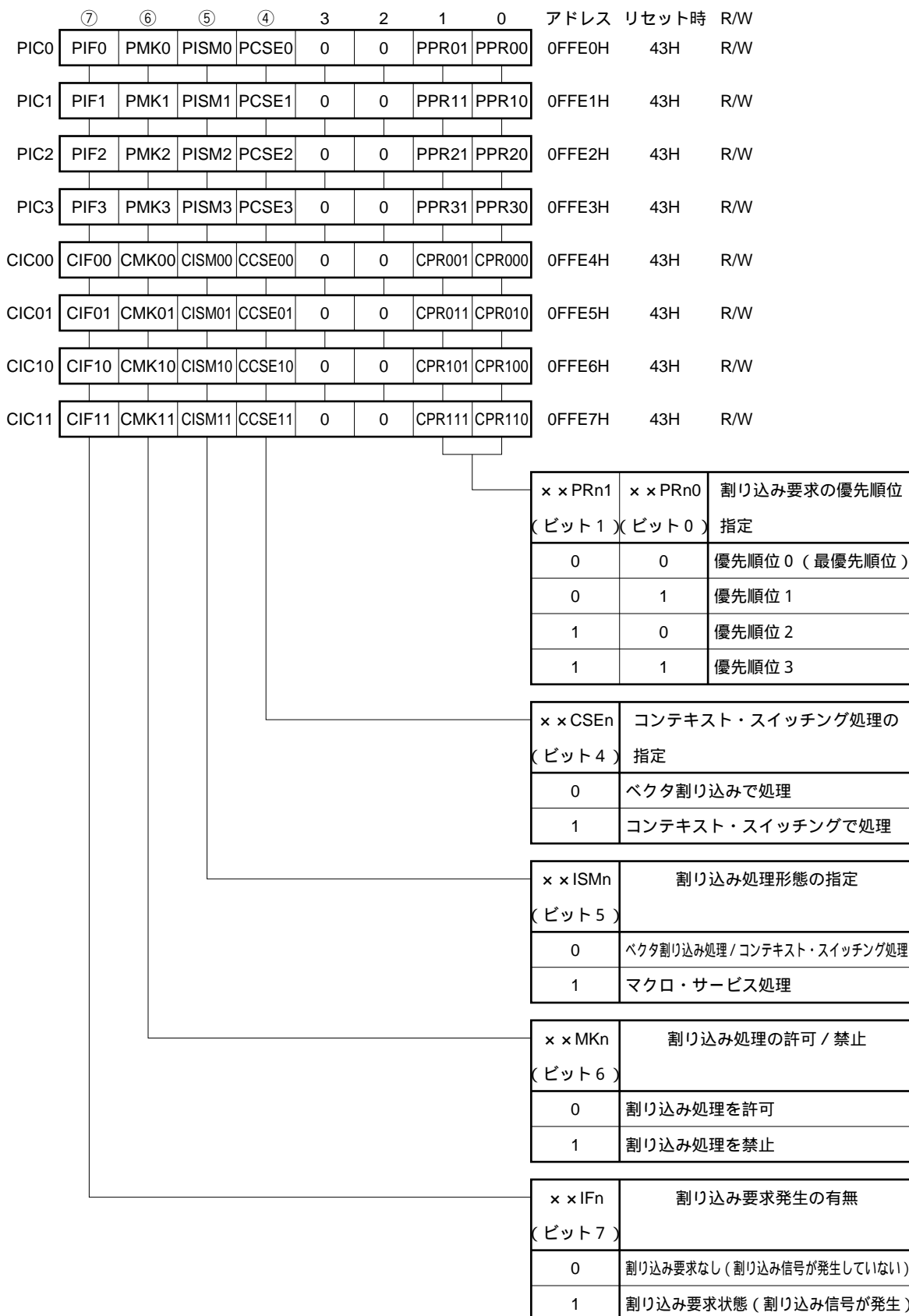


図23 - 1 割り込み制御レジスタ (x x ICn) (2/4)

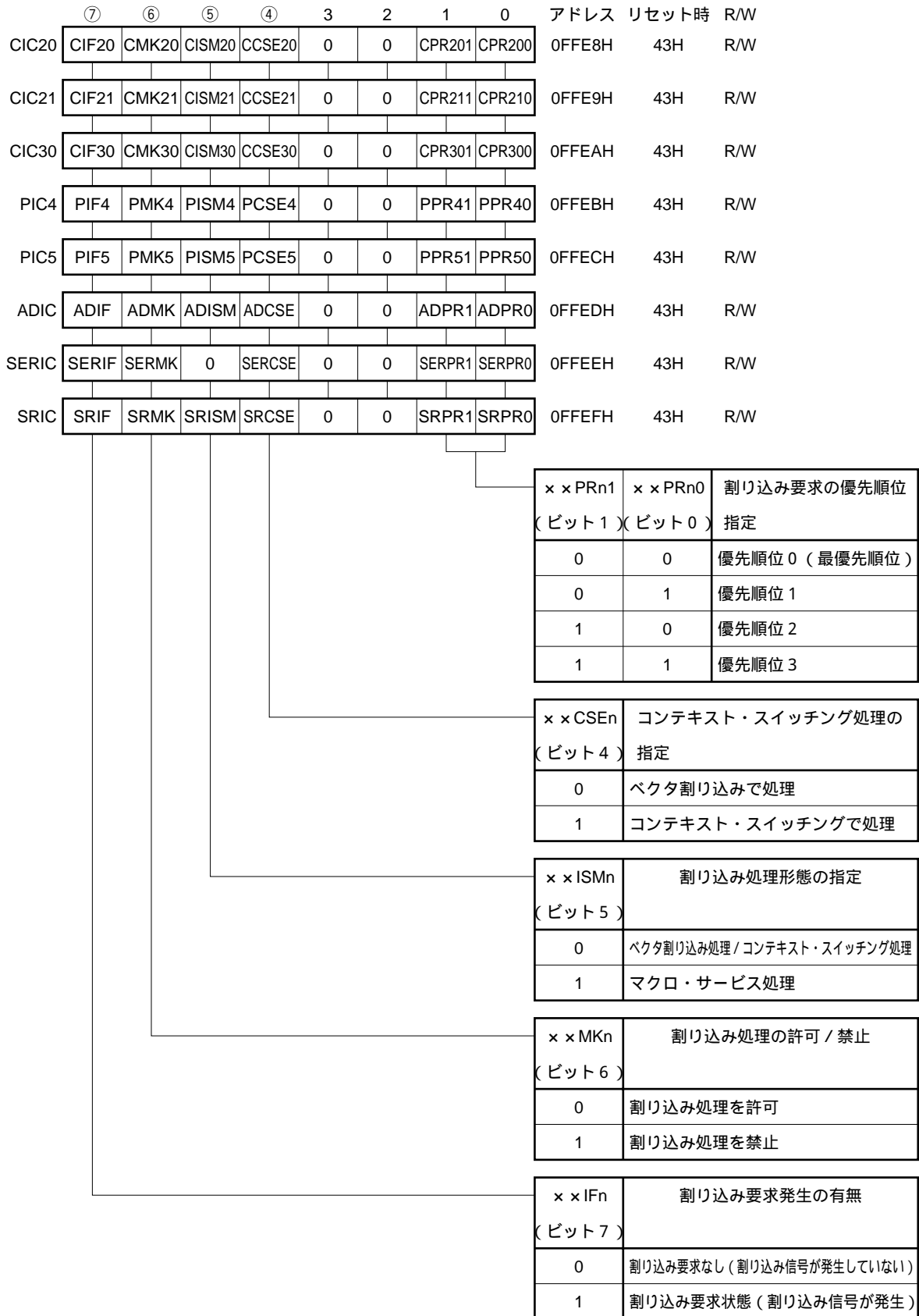


図23 - 1 割り込み制御レジスタ (x x ICn) (3/4)

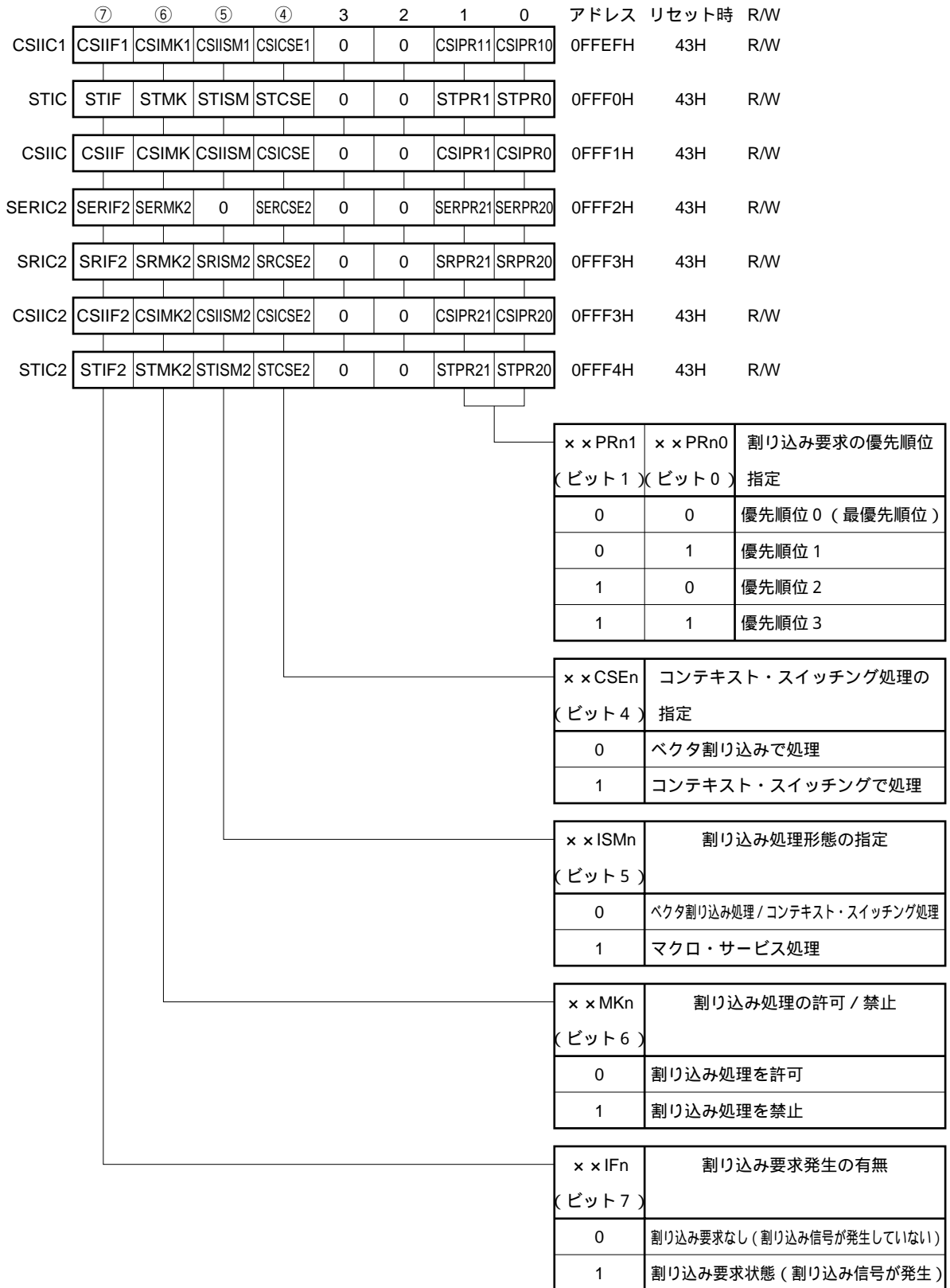
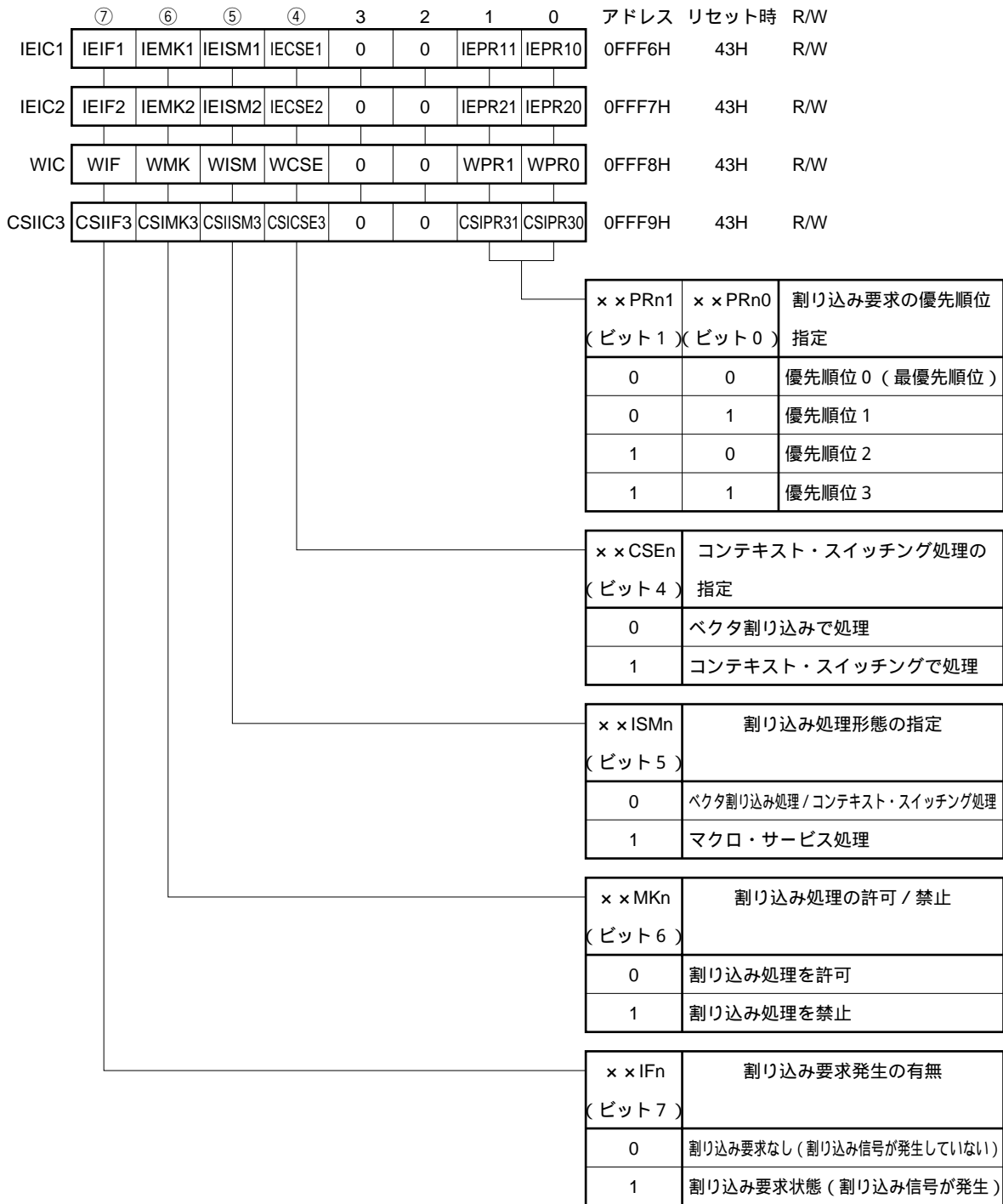


図23 - 1 割り込み制御レジスタ (x x ICn) (4/4)



23.3.2 割り込みマスク・レジスタ (MK0, MK1)

MK0, MK1は、割り込みマスク・フラグで構成されるレジスタです。MK0, MK1は16ビット・レジスタで、16ビット単位で操作できるほか、MK0L, MK0H, MK1L, MK1Hとして8ビット単位でも操作できます。

また、MK0, MK1の各ビットは、ビット操作命令により1ビット単位で操作ができます。各割り込みマスク・フラグは、対応する割り込み要求の許可/禁止を制御します。

割り込みマスク・フラグがセット(1)されていると、該当する割り込み要求の受け付けは禁止されます。

割り込みマスク・フラグがクリア(0)されていると、該当する割り込み要求は、ベクタ割り込みまたはマクロ・サービスとして受け付けが可能な状態になります。

MK0, MK1中の各割り込みマスク・フラグは、割り込み制御レジスタ中の割り込みマスク・フラグと同一のフラグです。割り込みのマスクに関する制御を一括して行うために、MK0, MK1を用意しています。

RESET入力によりMK0, MK1はFFFFHになり、すべてのマスクプル割り込みは禁止されます。

図23 - 2 割り込みマスク・レジスタ (MK0, MK1) のフォーマット (1/2)

(1) バイト・アクセス時

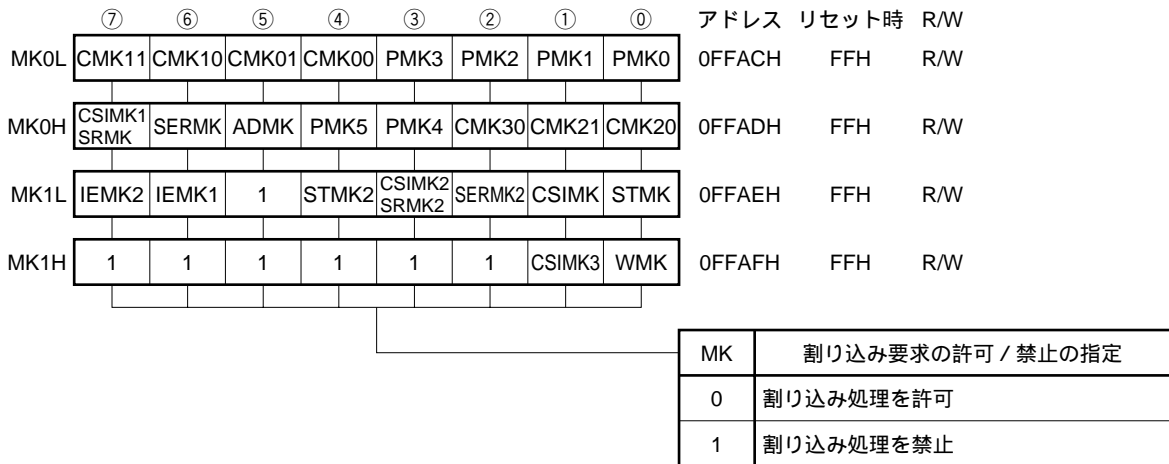
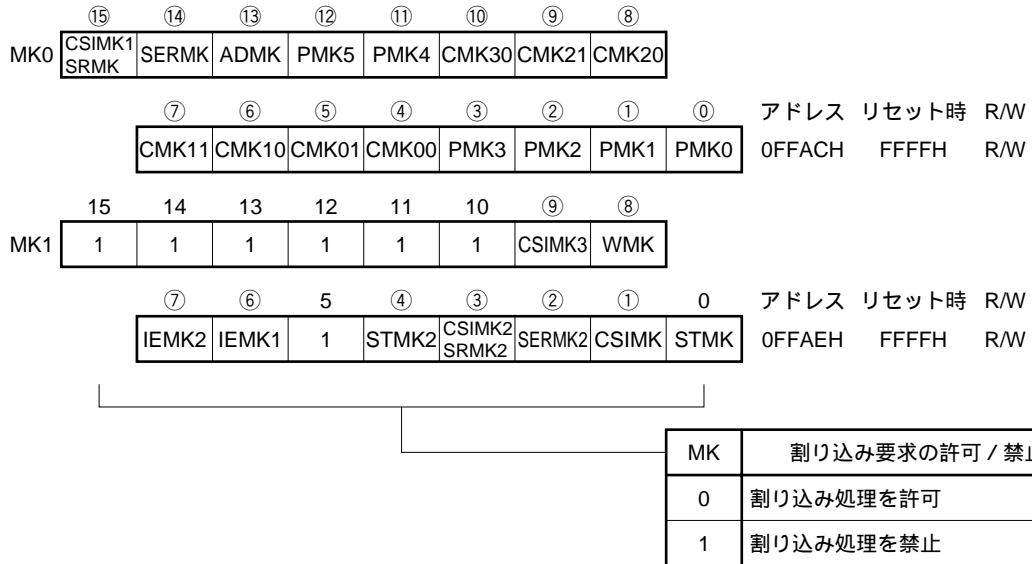


図23 - 2 割り込みマスク・レジスタ (MK0, MK1) のフォーマット (2/2)

(2) ワード・アクセス時



23.3.3 インサース・プライオリティ・レジスタ (ISPR)

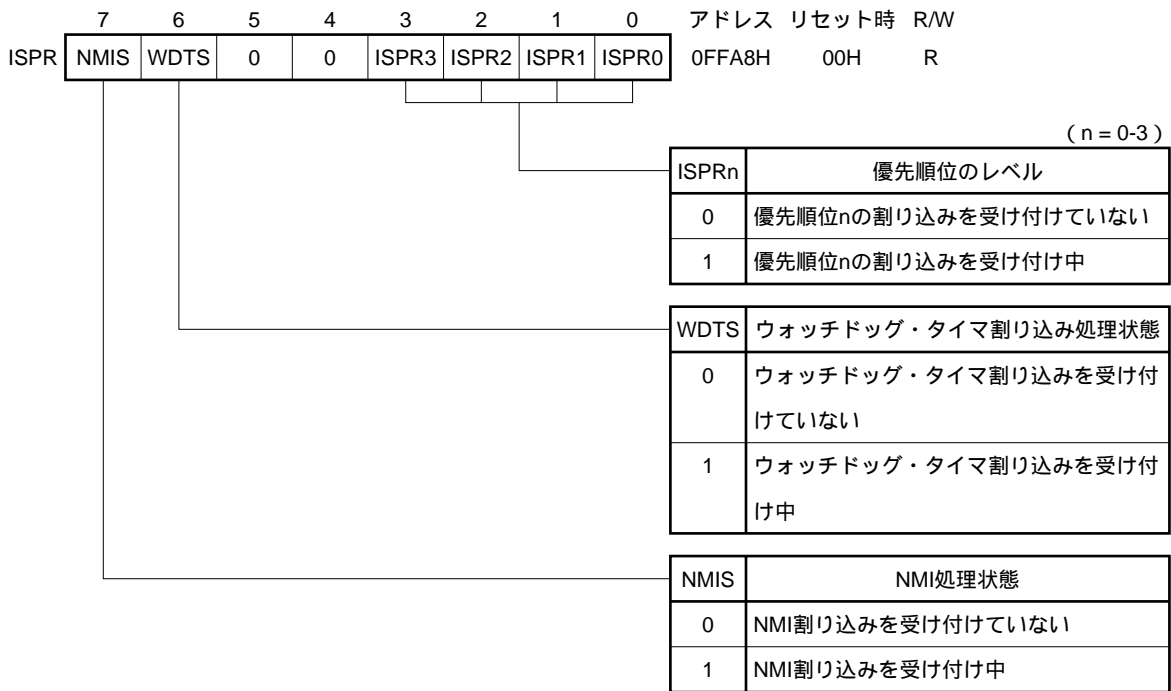
ISPRは、現在処理中のマスク割込みの優先順位レベルと処理中のノンマスク割込みを示すレジスタです。マスク割込み要求が受け付けられると、その割込み要求の優先順位レベルに対応するビットがセット(1)され、サービス・プログラムが終了するまで保持されます。ノンマスク割込みが受け付けられると、そのノンマスク割込みに対応したビットがセット(1)され、サービス・プログラムが終了するまで保持されます。

RETI命令またはRETCS命令の実行の際、ISPR内でセット(1)されているビットのうち、最も優先順位の高い割込み要求に対応するビットが、ハードウェアにより自動的にクリア(0)されます。

RETB命令およびRETCSB命令の実行では、ISPRの内容は変化しません。

RESET入力により、00Hになります。

図23-3 インサース・プライオリティ・レジスタ (ISPR) のフォーマット



注意 インサース・プライオリティ・レジスタ (ISPR) は、読み出しのみ可能です。書き込みを行うと、誤動作する恐れがあります。

23.3.4 割り込みモード・コントロール・レジスタ (IMC)

IMCは、PRSLフラグで構成されるレジスタです。PRSLフラグは、優先順位が最下位レベル（レベル3）に指定されているマスクブル割り込みのネスティングの許可/禁止を指定します。

IMCを操作する場合は、誤動作を防ぐために割り込み禁止状態（DI状態）に設定してから行ってください。

8ビット操作命令とビット操作命令で、読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により、80Hになります。

図23 - 4 割り込みモード・コントロール・レジスタ (IMC) のフォーマット



23.3.5 ウォッチドッグ・タイマ・モード・レジスタ (WDM)

WDMのPRCビットは、NMI端子入力によりノンマスクابل割り込みとウォッチドッグ・タイマのオーバーフローによるノンマスクابل割り込みの優先順位を指定するビットです。

WDMは、専用命令によってのみ書き込みが可能です。この専用命令は、MOV WDM, byte命令で特殊なコード構成(4バイト)になっています。3バイト目と4バイト目のオペコードが互いに1の補数の場合のみ、書き込みが行われます。

また、3バイト目と4バイト目のオペコードが互いに1の補数で書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

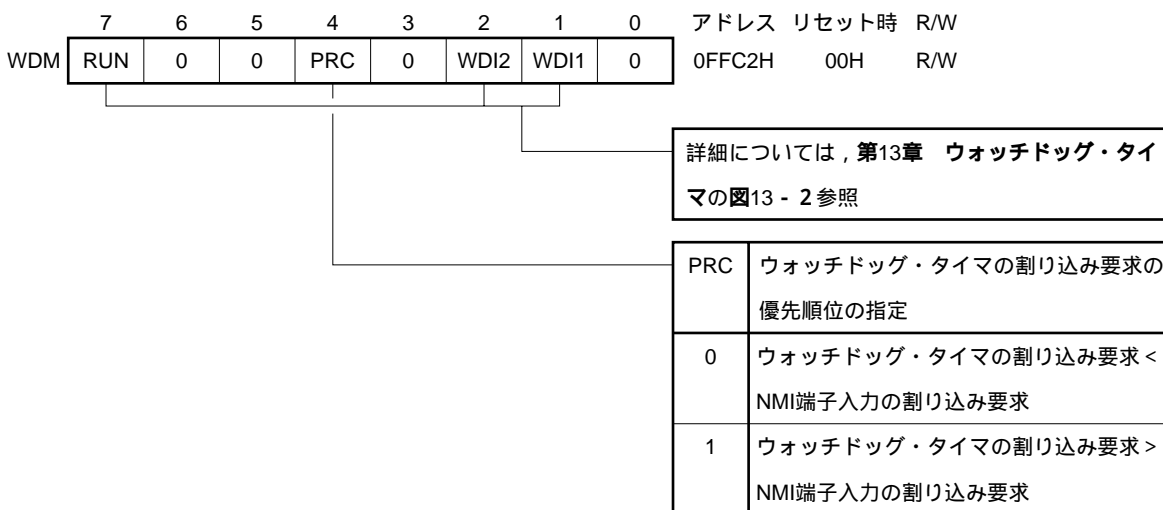
オペランド・エラー割り込みは、プログラムが暴走している場合にのみ発生する(NEC製アセンブラRA78K4では、MOV WDM, byteと記述された場合、正しい専用命令しか生成しません)ので、システムの初期化をプログラムで行うようにしてください。

他の書き込み命令(MOV WDM, A, AND WDM, byte命令, SET1 WDM.7など)は無視され、何の動作も行いません。すなわち、WDMへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。

WDMの読み出しは、データ転送命令によりいつでもできます。

RESET入力により、00Hになります。

図23 - 5 ウォッチドッグ・タイマ・モード・レジスタ (WDM) のフォーマット



注意 ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, byte) でのみ書き込みが可能です。

23.3.6 プログラム・ステータス・ワード (PSW)

PSWは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスク可能割り込みの許可 / 禁止を設定するIEフラグがPSWの下位8ビット (PSWL) にマッピングされています。

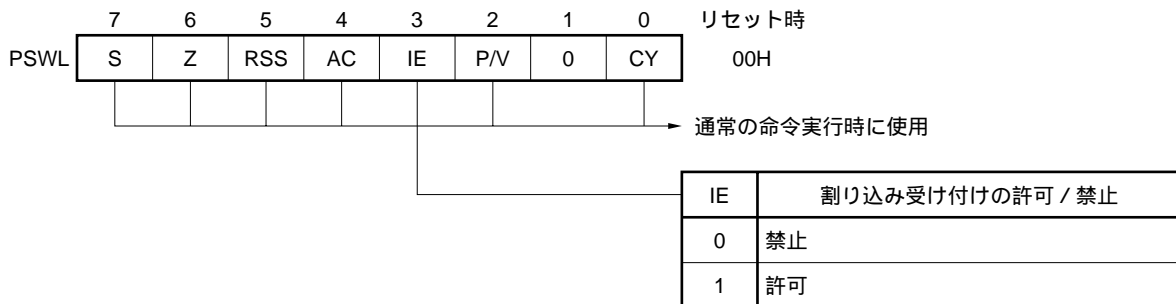
PSWLは、8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。

ベクタ割り込み受け付け時、BRK命令実行時にはスタックに退避され、IEフラグはクリア (0) されます。また、PUSH PSW命令によってもスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

コンテキスト・スイッチングおよびBRKCS命令実行時には、レジスタ・バンクの固定エリアに退避され、IEフラグはクリア (0) されます。また、RETCSI, RETCSB命令により、レジスタ・バンク中の固定エリアから復帰します。

$\overline{\text{RESET}}$ 入力により、PSWLは00Hとなります。

図23 - 6 プログラム・ステータス・ワード (PSWL) のフォーマット



23.4 ソフトウェア割り込みの受け付け動作

ソフトウェア割り込みはBRK, BRKCS命令の実行により受け付けられます。ソフトウェア割り込みは禁止することができません。

23.4.1 BRK命令によるソフトウェア割り込みの受け付け動作

BRK命令を実行すると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順にスタックに退避し、IEフラグをクリア (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCの下位16ビットに、0000BをPCの上位4ビットにロードして分岐します (サービス・プログラムの先頭は、ベース領域になければいけません)。

BRK命令によるソフトウェア割り込みからの復帰にはRETB命令を使用します。

注意 BRK命令によるソフトウェア割り込みからの復帰にRETI命令を使用してはいけません。

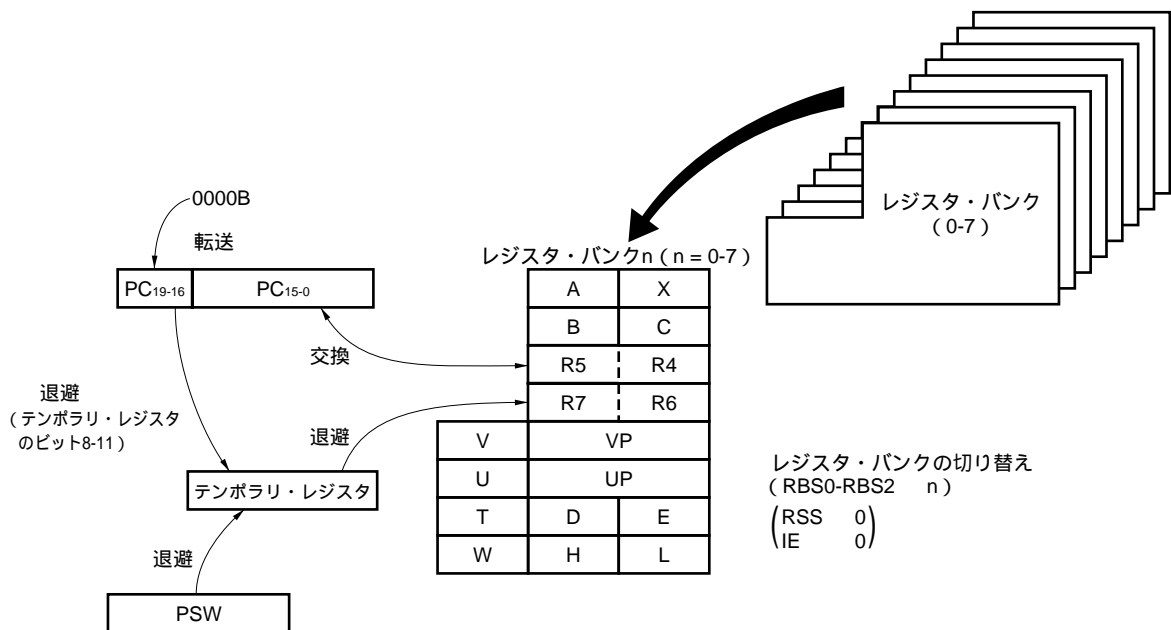
23.4.2 BRKCS命令によるソフトウェア割り込み（ソフトウェア・コンテキスト・スイッチング）の受け付け動作

BRKCS命令の実行により、コンテキスト・スイッチング機能を起動できます。

BRKCS命令のオペランドで、コンテキスト・スイッチング後のレジスタ・バンクを指定します。

BRKCS命令を実行すると、指定したレジスタ・バンク内にあらかじめストアしておいた割り込みサービス・プログラムの先頭アドレス（ベース領域内にかぎります）に分岐すると同時に、それまでのプログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）の内容をレジスタ・バンク内に退避します。

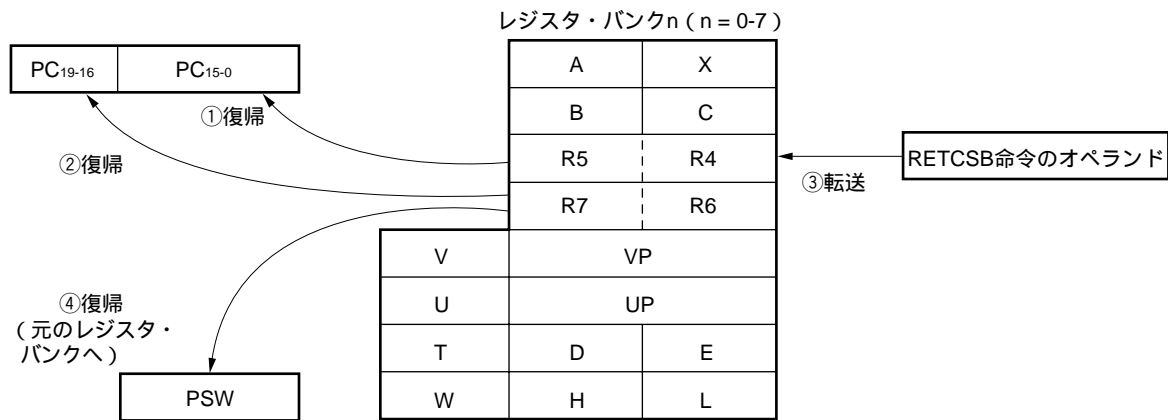
図23 - 7 BRKCS命令の実行によるコンテキスト・スイッチング動作



BRKCS命令によるソフトウェア割り込みからの復帰には、RETCSB命令を使用します。RETCSB命令では、次にBRKCS命令でコンテキスト・スイッチングを行うときの割り込みサービス・プログラムの先頭アドレスを指定する必要があります。この割り込みサービス・プログラムの先頭アドレスは、ベース領域内になければいけません。

注意 BRKCS命令によるソフトウェア割り込みからの復帰にRETCS命令を使用してはいけません。

図23 - 8 BRKCS命令によるソフトウェア割り込みからの復帰動作 (RETCSB命令の動作)



23.5 オペランド・エラー割り込みの受け付け動作

オペランド・エラー割り込みは、MOV STBC, byte命令およびMOV WDM, byte命令、LOCATION命令のオペランドの3バイト目の全ビットを反転させたデータが、オペランドの4バイト目と一致しなかった場合に発生します。オペランド・エラー割り込みは禁止することができません。

オペランド・エラー割り込みが発生すると、プログラム・ステータス・ワード (PSW) とエラーを発生した命令の先頭アドレスをスタックに退避し、IEフラグをクリア (0) し、ベクタ・テーブルの値をプログラム・カウンタ (PC) にロードし、分岐します (ベース領域にかぎる)。

スタックに退避されるアドレスが、エラーの発生した命令の先頭アドレスとなっているので、単純にオペランド・エラー割り込みサービス・プログラムの最後にRETB命令を記述しただけでは、再度オペランド・エラー割り込みが発生してしまいます。したがって、スタック中のアドレスを加工するか、23.12 割り込み機能を初期状態に戻す方法を参考にプログラムを初期状態に戻してください。

23.6 ノンマスカブル割り込みの受け付け動作

ノンマスカブル割り込みは、割り込み禁止状態であっても受け付けられます。ノンマスカブル割り込みは、同一のノンマスカブル割り込みまたは、優先順位の高いノンマスカブル割り込みサービス・プログラムの実行中を除いては、必ず受け付けられます。

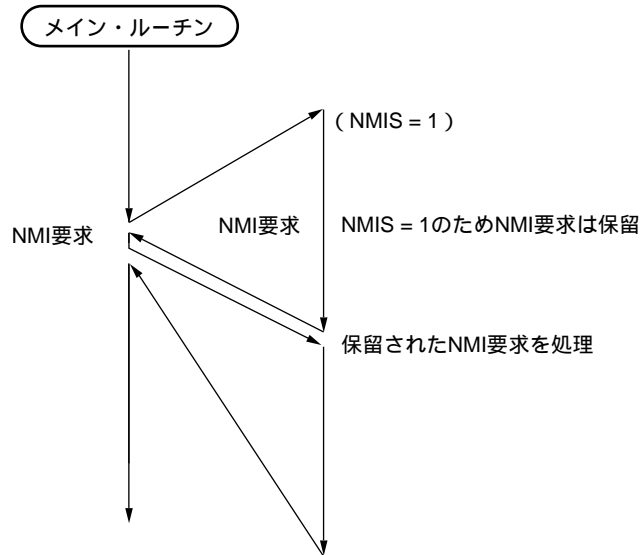
ノンマスカブル割り込み間の優先順位は、ウォッチドッグ・タイマ・モード・レジスタ (WDM) のPRCビットで設定します (23.3.5 ウォッチドッグ・タイマ・モード・レジスタ (WDM) 参照)。

ノンマスカブル割り込み要求は、23.9 割り込み要求およびマクロ・サービスが一時的に保留される場合に記述されている状態でなければ、ただちに受け付けられます。ノンマスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順にスタックへの退避を行い、PSWのIEフラグをクリア (0) し、受け付けたノンマスカブル割り込みに対応するインサービス・プライオリティ・レジスタ (ISPR) のビットをセット (1) し、ベクタ・テーブルの内容をPCへロードし、分岐します。セット (1) されるISPRのビットは、NMI端子へのエッジ入力によるノンマスカブル割り込みの場合はNMISビットになり、ウォッチドッグ・タイマのオーバフローによる場合はWDTSビットになります。

ノンマスカブル割り込みのサービス・プログラムを実行している場合には、現在実行中のノンマスカブル割り込みと同一のノンマスカブル割り込みの要求と、現在実行中のノンマスカブル割り込みより優先順位の低いノンマスカブル割り込みの要求は、保留されます。保留されたノンマスカブル割り込みは、現在実行中のノンマスカブル割り込みサービス・プログラムの終了後 (RETI命令実行後) に受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に、同一のノンマスカブル割り込み要求が2回以上発生しても、ノンマスカブル割り込みサービス・プログラムの終了後に受け付けられるノンマスカブル割り込みは1回だけになります。

図23 - 9 ノンマスカブル割り込み要求の受け付け動作 (1/2)

(a) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合



(b) NMIサービス・プログラム実行中にウォッチドッグ・タイマ割り込み要求が発生した場合
 (ウォッチドッグ・タイマ割り込みの優先順位が高い場合 (WDMのPRC = 1の場合))

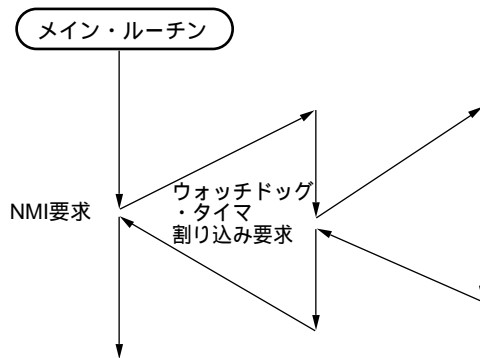
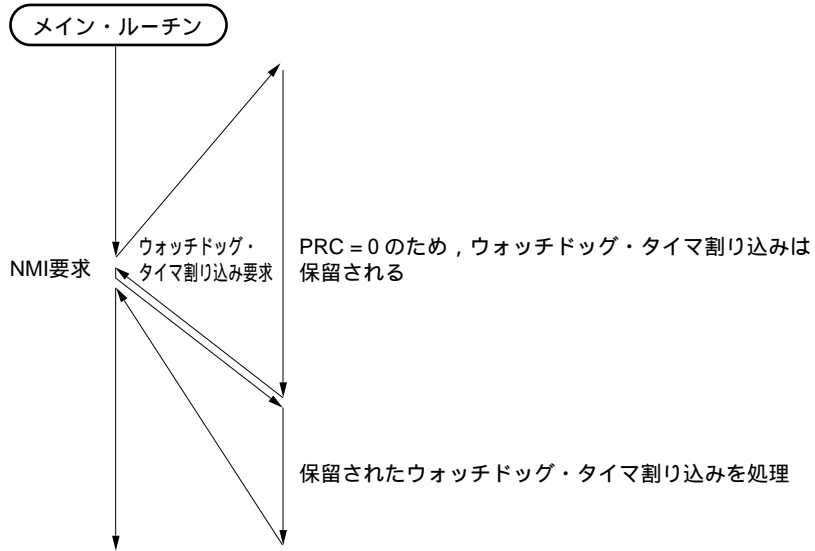
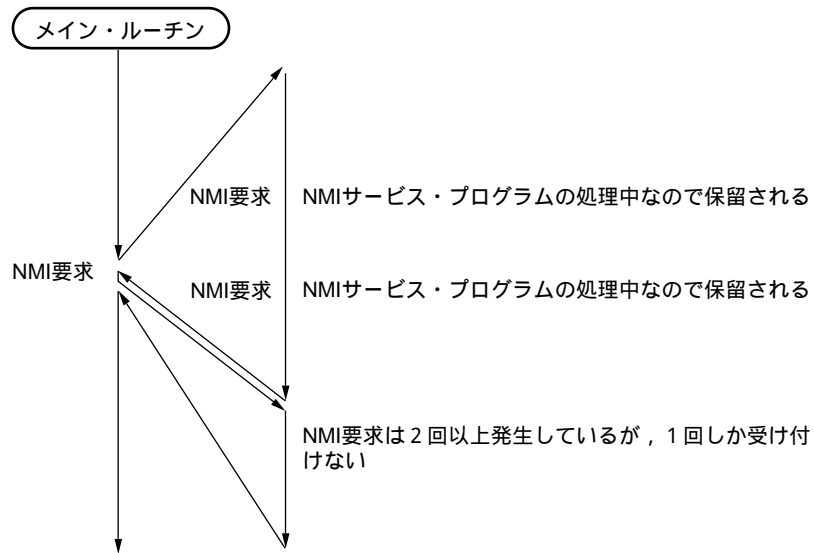


図23 - 9 ノンマスクブル割り込み要求の受け付け動作 (2/2)

(c) NMIサービス・プログラム実行中にウォッチドッグ・タイマ割り込み要求が発生した場合 (NMI 割り込みの優先順位が高い場合 (WDMのPRC = 0 の場合))



(d) NMIサービス・プログラム実行中に新たに2回のNMI要求が発生した場合



- 注意 1 . ノンマスクابل割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ、処理されます。ノンマスクابل割り込みサービス・プログラム中でマクロ・サービス処理を行いたくない場合は、ノンマスクابل割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して、マクロ・サービスが発生しないようにしてください。
- 2 . ノンマスクابل割り込みからの復帰には、必ずRETI命令を使用してください。他の命令では、以降の割り込みの受け付けが正常に行われません。
- 3 . ノンマスクابل割り込みは、ノンマスクابل割り込みサービス・プログラム実行中（優先順位の低いノンマスクابل割り込みサービス・プログラム実行中に、優先順位の高いノンマスクابل割り込みの要求が発生した場合を除く）および23.9 割り込み要求およびマクロ・サービスが一時的に保留される場合に示す特定命令の実行後の一定期間を除いては必ず受け付けられます。したがって、特にリセット解除後などのスタック・ポインタ（SP）の値が不定の場合でもノンマスクابل割り込みを受け付けます。このときのSPの値によっては特殊機能レジスタ（SFR）の書き込みを禁止しているアドレス（3.9 特殊機能レジスタ（SFR）の表3 - 5 参照）へプログラム・カウンタ（PC）およびプログラム・ステータス・ワード（PSW）を書き込んでしまい、CPUがデッドロックしてしまったり、端子から予期しない信号を出力したり、RAMが実装されていないアドレスへPCやPSWを書き込むことにより、ノンマスクابل割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。したがって、 $\overline{\text{RESET}}$ 解除後のプログラムは必ず次のようにしてください。

```

CSEG AT 0
DW  STRT
CSEG BASE
STRT :
LOCATION 0FH ; or LOCATION 0
MOVG SP, imm24

```

23.7 マスカブル割り込みの受け付け動作

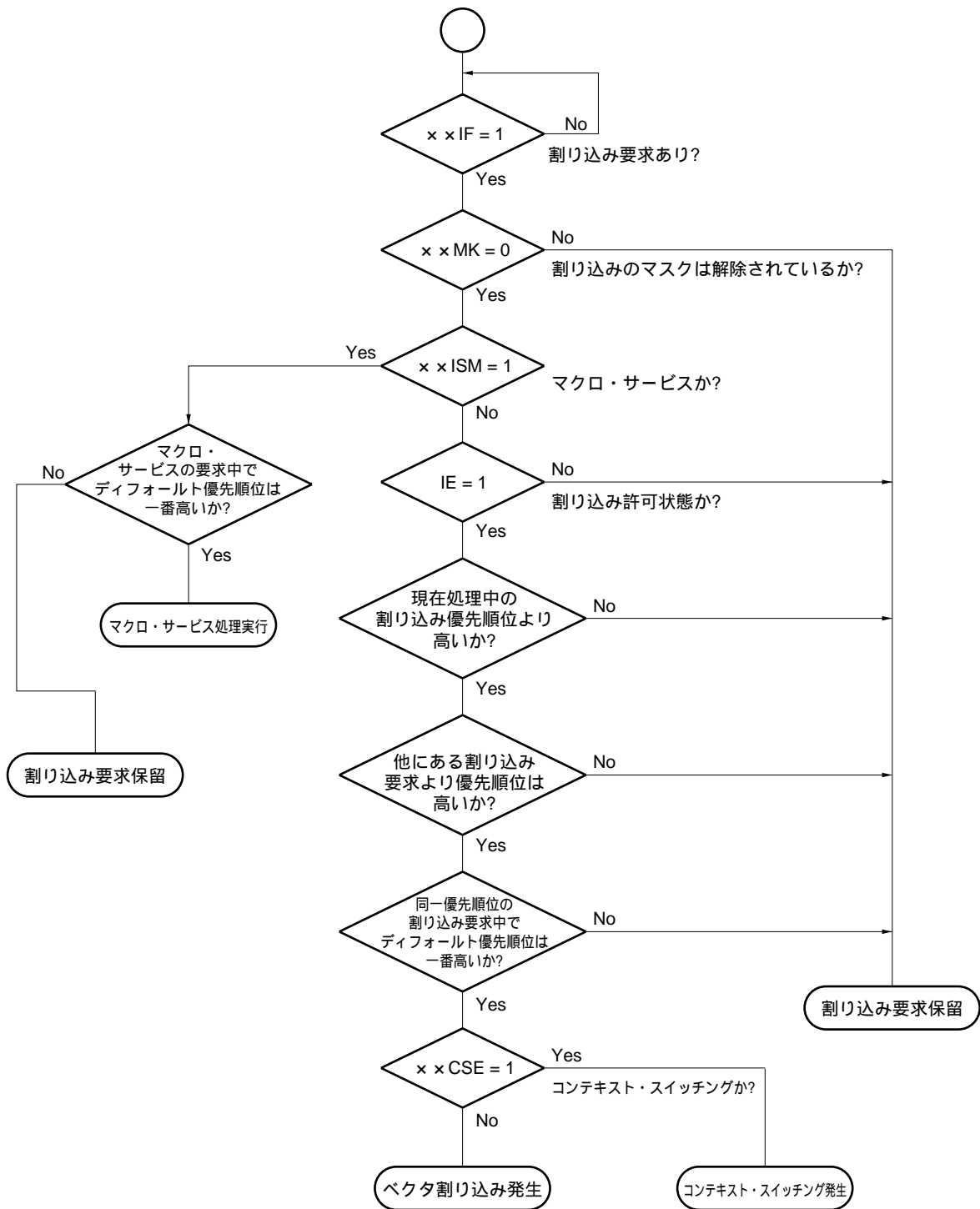
マスカブル割り込みは、割り込み要求フラグがセット（1）され、その割り込みのマスク・フラグがクリア（0）されていると受け付けが可能な状態になります。マクロ・サービスで処理を行う場合は、ただちに受け付けられ、マクロ・サービスによる処理が行われます。ベクタ割り込みまたはコンテキスト・スイッチングの場合は、割り込み許可状態（IEフラグがセット（1）されているとき）で、その割り込みの優先順位が、受け付け可能な優先順位であれば受け付けます。

マスカブル割り込みの要求が同時に発生した場合は、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、同一優先順に指定されている場合はデフォルト優先順位に従います。

保留された割り込みは受け付け可能な状態になると受け付けられます。

図23 - 10に、割り込み受け付けのアルゴリズムを示します。

図23 - 10 割り込み受け付け処理アルゴリズム



23.7.1 ベクタ割り込み

ベクタ割り込みによるマスカブル割り込みの要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順にスタックに退避し、IEフラグをクリア (0) (割り込み禁止状態) にし、受け付けた割り込みの優先順位に該当するインサービス・プライオリティ・レジスタ (ISPR) のビットをセット (1) します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。ベクタ割り込みからの復帰は、RETI命令で行います。

注意 マスカブル割り込みをベクタ割り込みで受け付けた場合は、必ずRETI命令で復帰してください。他の命令では、以降の割り込みに関する動作が正常に行われません。

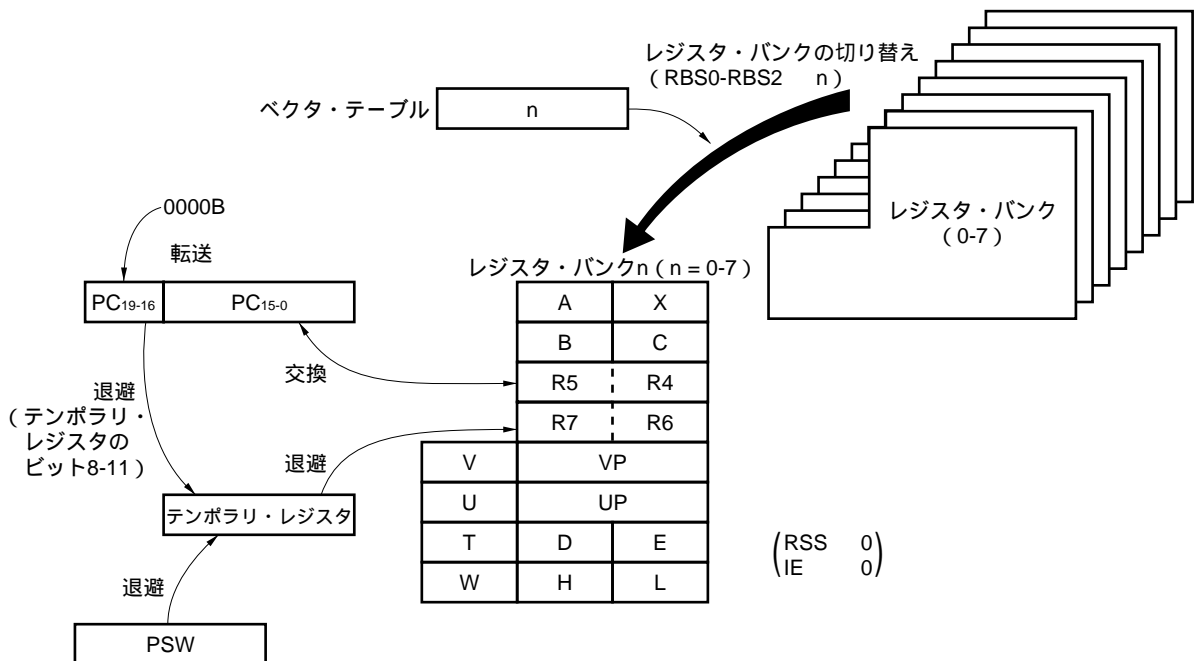
23.7.2 コンテキスト・スイッチング

割り込み制御レジスタのコンテキスト・スイッチング許可フラグをセット (1) することにより、コンテキスト・スイッチング機能の起動を許可します。

コンテキスト・スイッチング機能が許可されている割り込み要求が受け付けられると、対応するベクタ・テーブル・アドレスの下位アドレス (偶数アドレス) の下位3ビットで指定されるレジスタ・バンクが選択されます。

選択されたレジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスをプログラム・カウンタ (PC) に転送すると同時に、それまでのPC、プログラム・ステータス・ワード (PSW) の内容をレジスタ・バンク内に退避し、割り込みサービス・プログラムに分岐します。

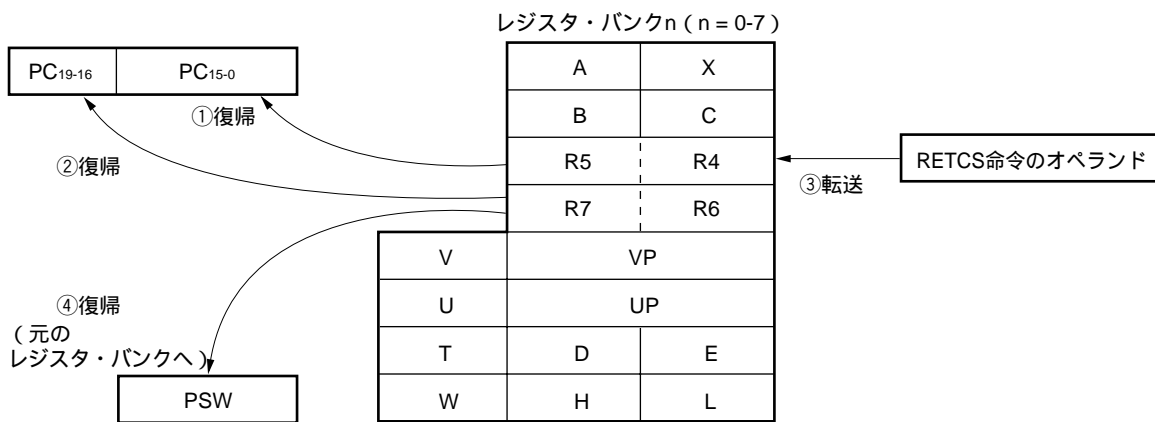
図23 - 11 割り込み要求の発生によるコンテキスト・スイッチング動作



コンテキスト・スイッチング機能を使用した割り込みからの復帰には、RETCS命令を使用します。RETCS命令では、次にその割り込みを受け付けたときに実行する割り込みサービス・プログラムの先頭アドレスを指定する必要があります。この割り込みサービス・プログラムの先頭アドレスは、ベース領域内になければいけません。

注意 コンテキスト・スイッチングによる割り込みからの復帰には、必ずRETCS命令を使用してください。他の命令では、以降の割り込みに関する動作が正常に行われません。

図23 - 12 RETCS命令によるコンテキスト・スイッチング機能を使用した割り込みからの復帰動作



23.7.3 マスカブル割り込みの優先順位

μPD784938Aは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、優先順位指定フラグの設定によるプログラマブル優先順位制御があります。デフォルト優先順位による優先順位制御は、複数の割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位（デフォルト優先順位）に従って割り込み処理を行います（表23 - 2参照）。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって、4レベルに分けます。多重割り込み可能な割り込み要求を表23 - 5に示します。

なお、割り込みを受け付けるとIEフラグが自動的にクリア（0）されますので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどして、IEフラグをセット（1）し、割り込み許可状態にしてください。

表23 - 5 多重割り込み処理

現在受け付け中の割り込みの優先順位	ISPRの値	PSWのIEフラグ	IMCのPRSLフラグ	受け付け可能なマスカブル割り込み
受け付け中の割り込みなし	00000000	0	x	・すべてのマクロ・サービスのみ
		1	x	・すべてのマスカブル割り込み
3	00001000	0	x	・すべてのマクロ・サービスのみ
		1	0	・すべてのマスカブル割り込み
		1	1	・すべてのマクロ・サービス ・優先順位を0, 1, 2に指定したマスカブル割り込み
2	0000 x 100	0	x	・すべてのマクロ・サービスのみ
		1	x	・すべてのマクロ・サービス ・優先順位を0, 1に指定したマスカブル割り込み
1	0000 x x 10	0	x	・すべてのマクロ・サービスのみ
		1	x	・すべてのマクロ・サービス ・優先順位を0に指定したマスカブル割り込み
0	0000 x x x 1	x	x	・すべてのマクロ・サービスのみ
ノンマスカブル割り込み	1000 x x x x 0100 x x x x 1100 x x x x	x	x	・すべてのマクロ・サービスのみ

図23 - 13 割り込み処理中に他の割り込み要求が発生した場合の処理例 (1/3)

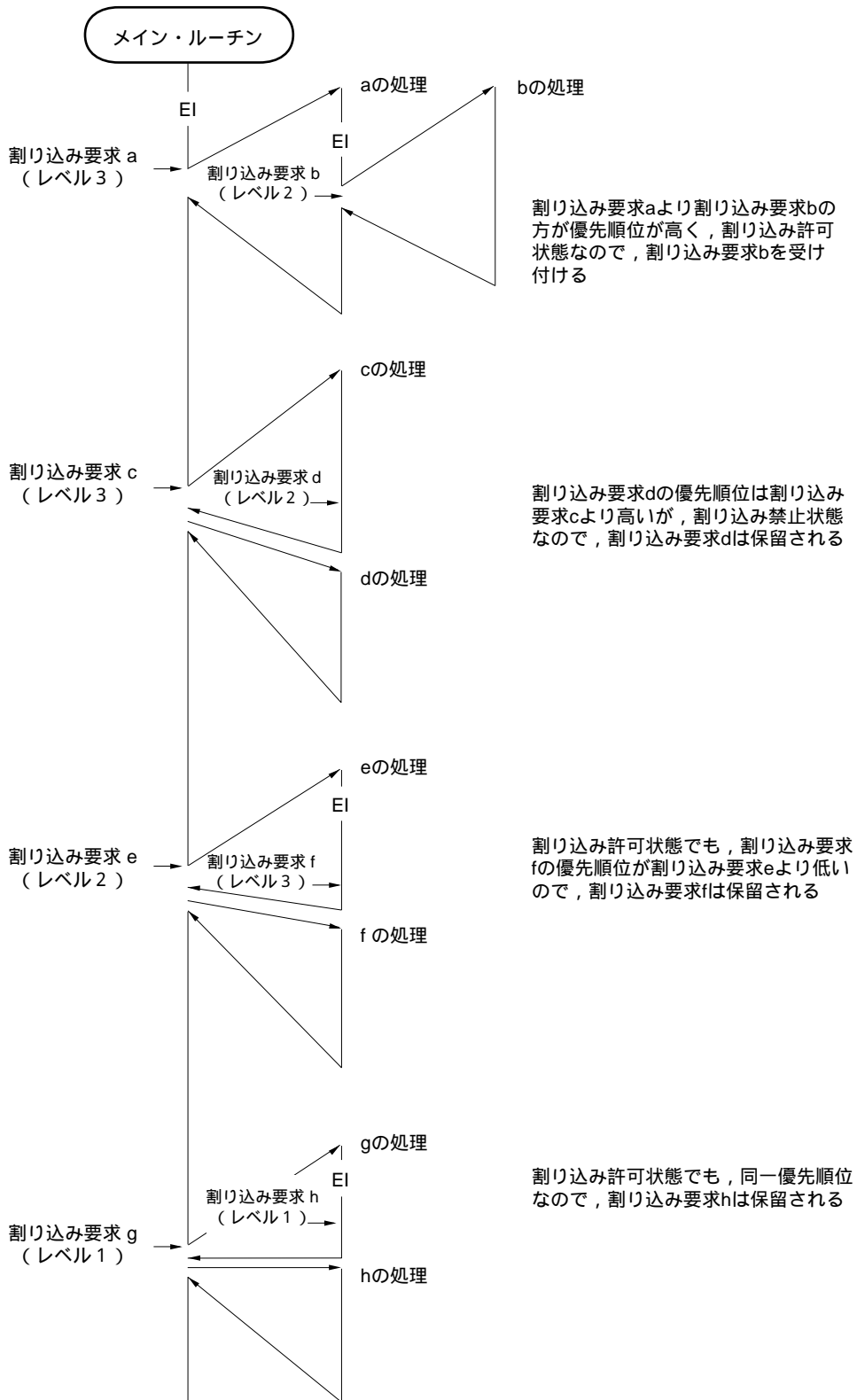


図23 - 13 割り込み処理中に他の割り込み要求が発生した場合の処理例 (2/3)

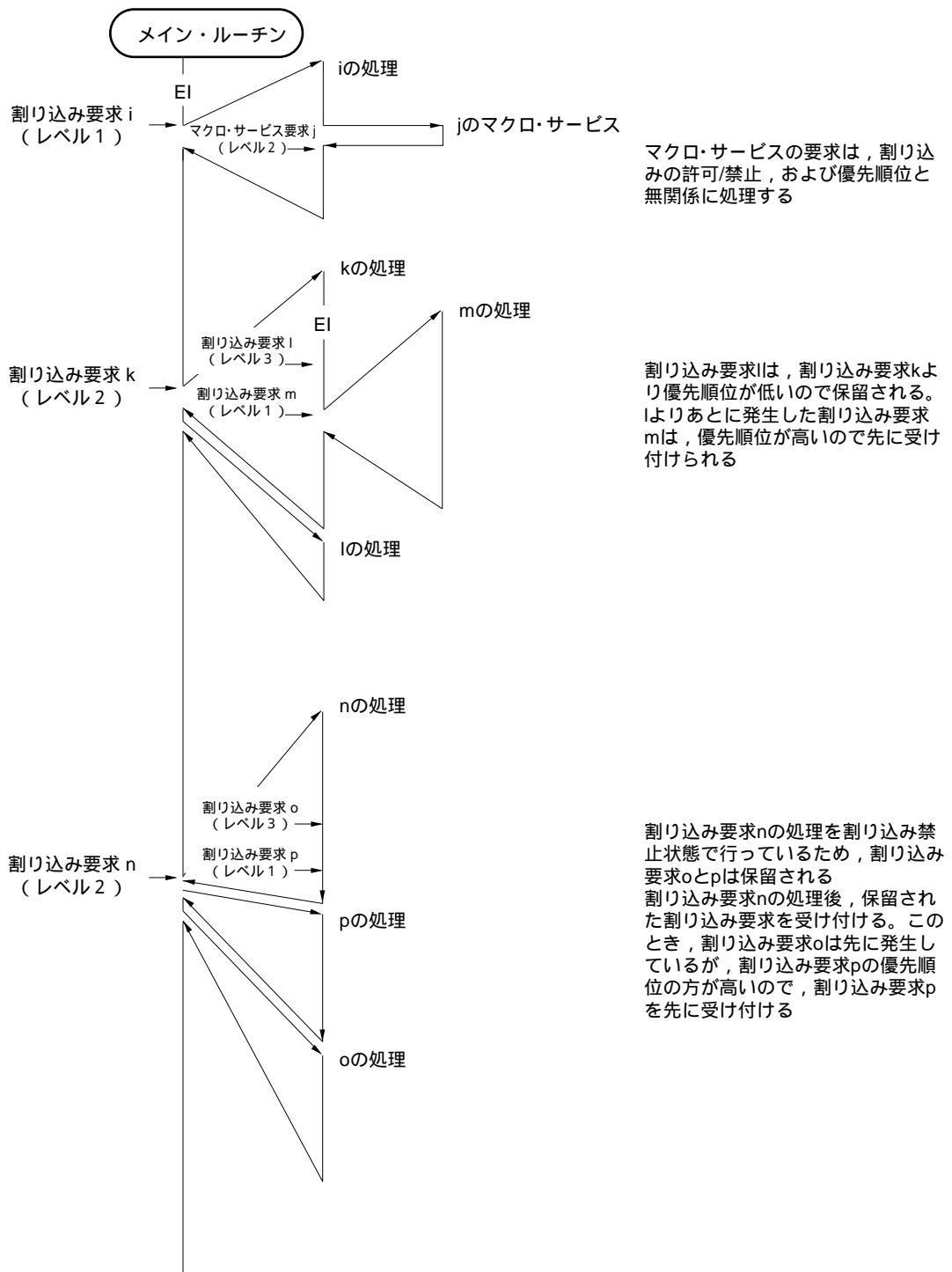
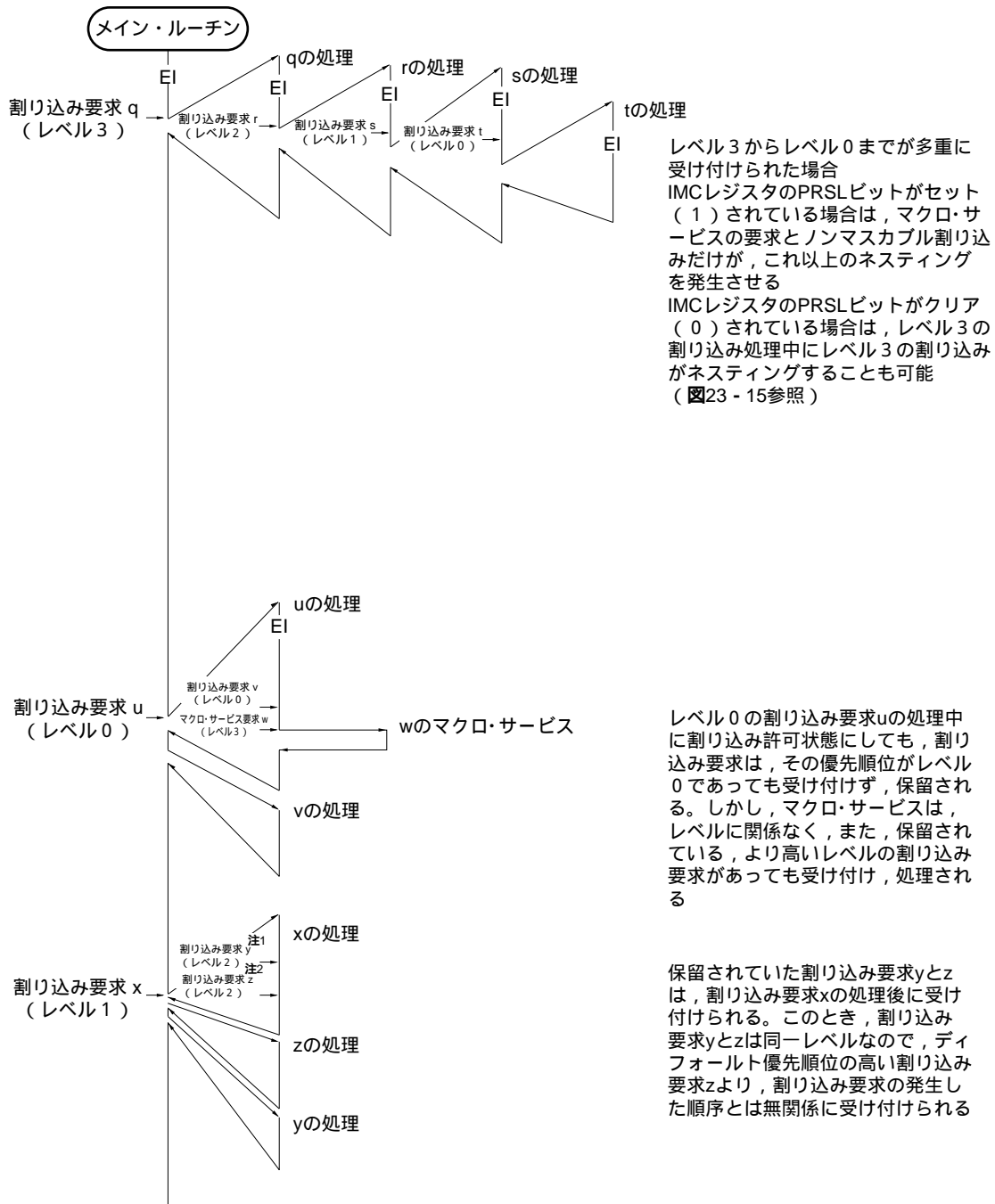


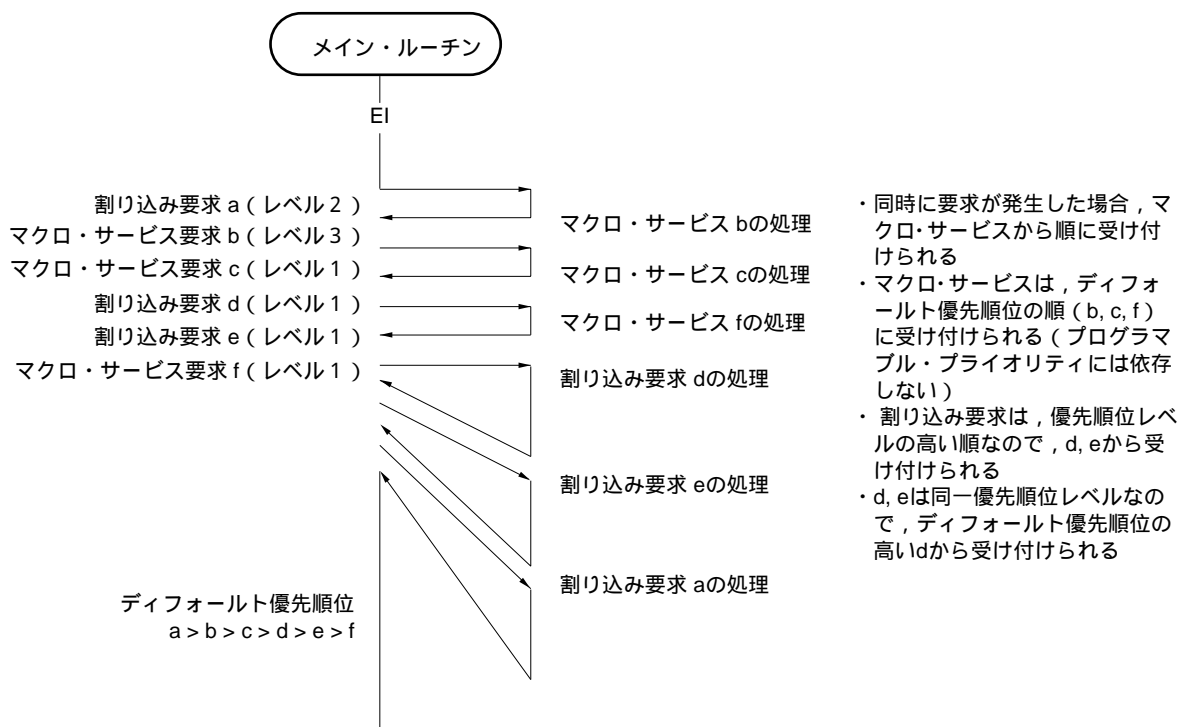
図23 - 13 割り込み処理中に他の割り込み要求が発生した場合の処理例 (3/3)



- 注1 . デフォルト優先順位が低い
- 2 . デフォルト優先順位が高い

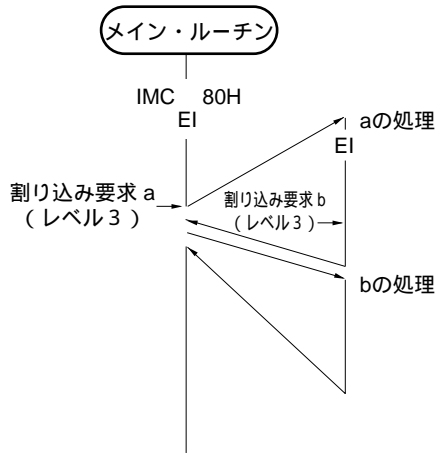
- 備考1 . 図中のa-zは、割り込み要求およびマクロ・サービス要求を区別するためにつけた仮の名称です。
- 2 . 図中のデフォルト優先順位の高い/低いは、2つの割り込み要求間の相対的な優先順位の高さを示します。

図23 - 14 同時発生した割り込み要求の処理例



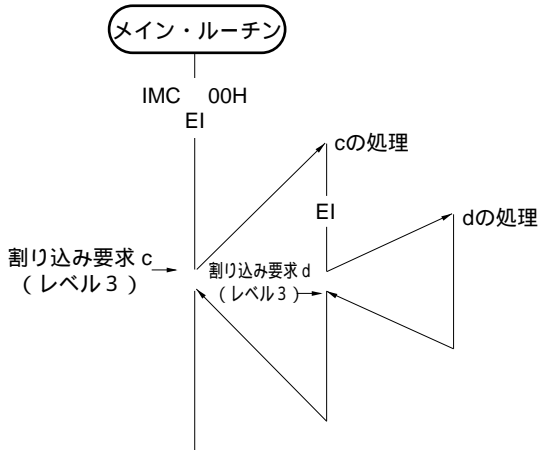
備考 図中のa-fは、割り込み要求およびマクロ・サービス要求を区別するためにつけた仮の名称です。

図23 - 15 IMCの設定によるレベル3の割り込みの受け付け動作の違い



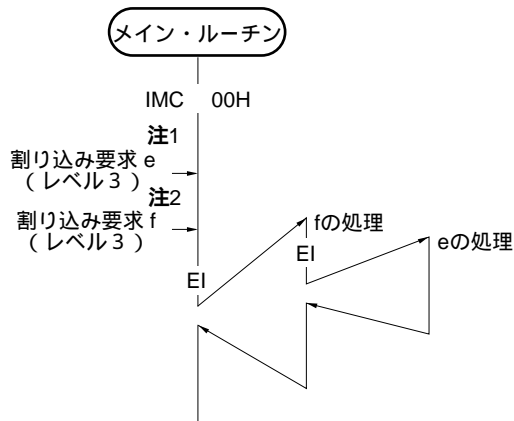
IMCのPRSL = 1として、レベル3の割り込み間でのネスタイングを禁止

割り込み許可状態であっても同一優先順位なので、割り込み要求bは保留される



IMCのPRSL = 0として、レベル3の割り込み処理中でも、レベル3の割り込みを受け付けられる（ネスタイングできる）ように設定

レベル3の割り込み要求cが割り込み許可状態で処理されていて、PRSL = 0なので、同一のレベル3の割り込み要求dを受け付ける



割り込み要求eとfは同一レベルなので、デフォルト優先順位の高い割り込み要求fが先に受け付けられる
割り込み要求fの処理中に割り込み許可状態にすると、保留されていた割り込み要求eがPRSL = 0なので受け付けられる

- 注1 . デフォルト優先順位が低い
2 . デフォルト優先順位が高い

備考1 . 図中のa-fは、割り込み要求を区別するためにつけた仮の名称です。

- 2 . 図中のデフォルト優先順位の高い / 低いは、2つの割り込み要求間の相対的な優先順位の高さを示します。

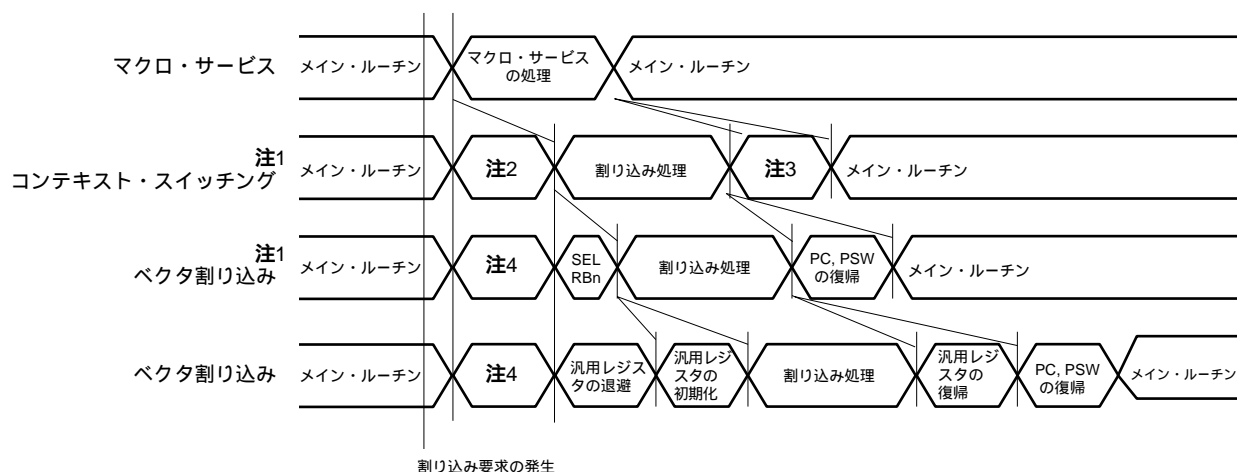
23.8 マクロ・サービス機能

23.8.1 マクロ・サービスの概要

マクロ・サービスは、割り込みの処理方法の一つです。通常の割り込みではプログラム・カウンタ (PC) やプログラム・ステータス・ワード (PSW) を退避し、PCへ割り込みサービス・プログラムの先頭アドレスをロードしますが、これらの処理の代わりに別の処理 (主にデータ転送) を行います。したがって、割り込みの要求に対して高速に応答することができます。さらに、プログラムで行うより高速に転送処理が可能なので、処理時間も短縮することができます。

また、指定された回数の処理を行ったあと、ベクタ割り込みを発生しますので、ベクタ割り込みのプログラムが簡略化できるなどの効果もあります。

図23 - 16 ベクタ割り込みとマクロ・サービスの処理の違い



注1．レジスタ・バンク切り替えを使用した場合で、レジスタにはあらかじめ初期値が設定されているとき

- 2．コンテキスト・スイッチングによるレジスタ・バンクの切り替え，PC，PSWの退避
- 3．コンテキスト・スイッチングによるレジスタ・バンク，PC，PSWの復帰
- 4．PC，PSWをスタックへ退避，ベクタ・アドレスをPCへロード

23.8.2 マクロ・サービスの種類

マクロ・サービスは表23 - 6 に示す23種類の割り込みで使用することができます。また、4種類の動作タイプがあり、用途により使い分けが可能です。

表23 - 6 マクロ・サービスが使用可能な割り込み

デフォルト 優先順位	割り込み要求発生ソース	発生ユニット	マクロ・サービス・コン ロール・ワード・アドレ ス
0	INTP0 (端子入力エッジ検出)	エッジ検出	0FE06H
1	INTP1 (")		0FE08H
2	INTP2 (")		0FE0AH
3	INTP3 (")		0FE0CH
4	INTC00 (TM0-CR00一致信号発生)	タイマ/イベント・	0FE0EH
5	INTC01 (TM0-CR01一致信号発生)	カウンタ 0	0FE10H
6	INTC10 (TM1-CR10またはTM1W-CR10W一致信号発生)	タイマ/イベント・	0FE12H
7	INTC11 (TM1-CR11またはTM1W-CR11W一致信号発生)	カウンタ 1	0FE14H
8	INTC20 (TM2-CR20またはTM2W-CR20W一致信号発生)	タイマ/イベント・	0FE16H
9	INTC21 (TM2-CR21またはTM2W-CR21W一致信号発生)	カウンタ 2	0FE18H
10	INTC30 (TM3-CR30またはTM3W-CR30W一致信号発生)	タイマ 3	0FE1AH
11	INTP4 (端子入力エッジ検出)	エッジ検出	0FE1CH
12	INTP5 (")		0FE1EH
13	INTAD (A/D変換終了)	A/Dコンバータ	0FE20H
14	INTSR (アシクロナス・シリアル・インタフェース受 信終了)	アシクロナス・ シリアル・インタ フェース/クロッ ク同期式シリア ル・インタフェ ース 1	0FE24H
	INTCSI1 (クロック同期式シリアル・インタフェース転 送終了)		
15	INTST (アシクロナス・シリアル・インタフェース送 信終了)		0FE26H
16	INTCSI (クロック同期式シリアル・インタフェース転 送終了)	クロック同期式シリア ル・インタフェース	0FE28H
17	INTSR2 (アシクロナス・シリアル・インタフェース 2受信終了)	アシクロナス・ シリアル・インタ フェース 2/クロッ ク同期式シリア ル・インタフェ ース 2	0FE2CH
	INTCSI2 (クロック同期式シリアル・インタフェース 2 転送終了)		
18	INTST2 (アシクロナス・シリアル・インタフェース 2送信終了)		0FE2EH
19	INTIE1 (IEBusデータ・アクセス要求)	IEBusコントローラ	0FE32H
20	INTIE2 (IEBus通信エラーおよび通信終了)		0FE34H
21	INTW (時計用タイマ出力)	時計用タイマ	0FE36H
22	INTCSI3 (クロック同期式シリアル・インタフェース 3 転送終了)	クロック同期式シリア ル・インタフェース 3	0FE38H

備考1. デフォルト優先順位は、固定されている数値です。マクロ・サービス要求が、同時に発生した場合に優先される順位を示します。

2. INTSRとINTCSI1は、同一のハードウェアから発生する割り込みです（同時に両方は使用できません）。したがって、割り込みに関しても同一のハードウェアを使用していますが、どちらのモードを使用しているかに応じて名称を使い分けられるように、2通りの名称を用意しています。INTSR2, INTCSI2についても同様です。

マクロ・サービスの種類は次の4タイプです。

(1) タイプA

割り込み要求の発生ごとに1バイトまたは1ワードのデータを特殊機能レジスタ（SFR）とメモリとの間で行い、指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるメモリは、LOCATION 0命令実行時は0FE00H-0FEFFH、LOCATION 0FH命令実行時は0FFE00H-0FFEFFHの内部RAMに限定されます。

指定の方法が簡単で小容量の高速のデータ転送に向いています。

(2) タイプB

タイプAと同様に、割り込み要求の発生ごとに、1バイトまたは1ワードのデータを特殊機能レジスタ（SFR）とメモリとの間で行い、指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるSFRとメモリはマクロ・サービス・チャンネルで指定します（メモリは、1 Mバイトの全空間）。

タイプAの汎用タイプで、転送データ量が多い場合に向いています。

(3) タイプC

割り込み要求の発生ごとに、2つの特殊機能レジスタ（SFR）へメモリからデータ転送します。指定された回数のデータ転送を行うと、ベクタ割り込みを発生します。

タイプCのマクロ・サービスは一度の割り込み要求で2箇所へのデータ転送を行うことのほかに、出力データのリング制御やコンペア・レジスタとデータを自動的に加算する機能などを付加して使用することもできます。メモリについては、1 Mバイトの全空間を使用できます。

タイプCは、おもにINTC10とINTC11の割り込みで使用し、転送対象となるSFRとしては、POLまたはPOLHとCR10, CR10W, CR11, CR11Wを用いてマクロ・サービスでステップング・モータの制御などに使用します。

(4) カウンタ・モード

割り込み発生によって、マクロ・サービス・カウンタ（MSC）をデクリメントしていくモードで、割り込みの分周動作や、割り込み発生回路のカウント用として使用することができます。

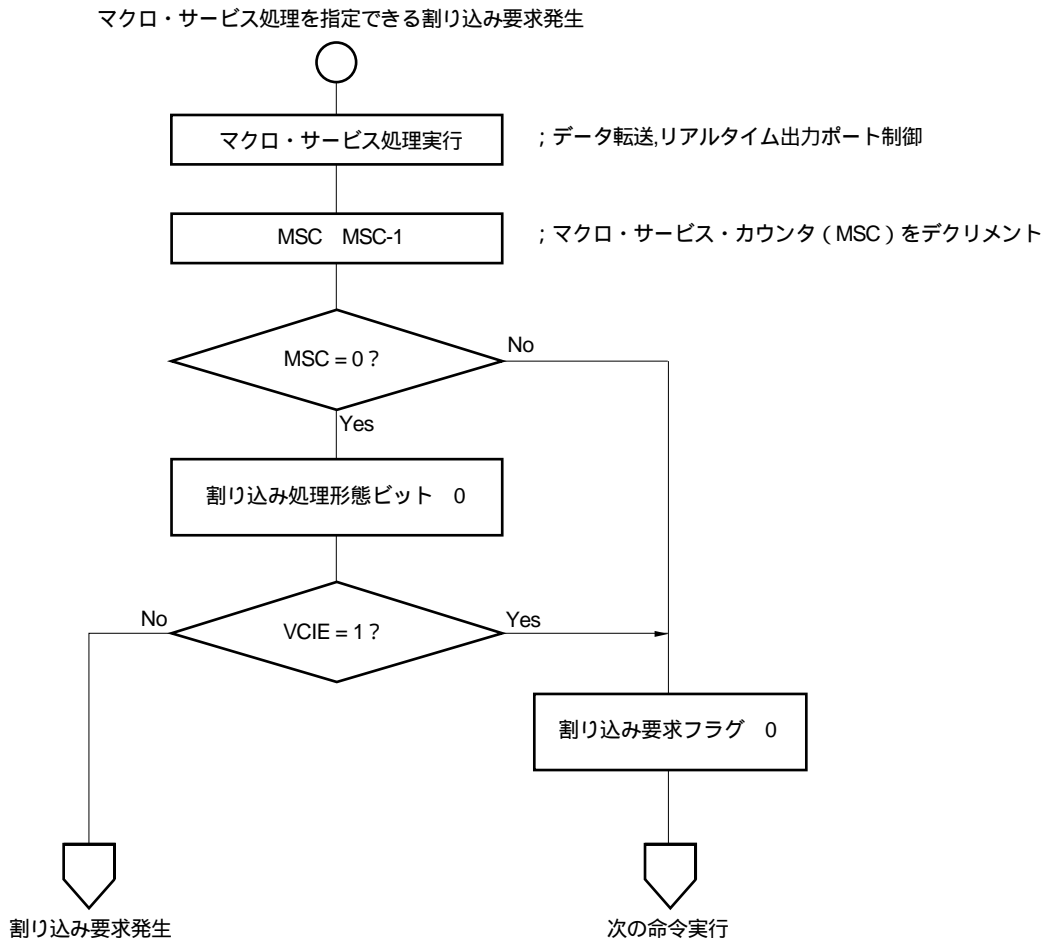
MSCが0になるとベクタ割り込みを発生させることができます。
 マクロ・サービスを再起動するときは、MSCの再設定が必要です。
 MSCは16ビットに固定で、8ビット・カウンタにすることはできません。

23.8.3 マクロ・サービスの基本動作

図23 - 10で示すアルゴリズムで発生したマクロ・サービス処理を指定できる割り込み要求は、基本的には図23 - 17に示すシーケンスで処理されます。

マクロ・サービス処理を指定できる割り込み要求は、IEフラグの状態には影響されません。割り込みマスク・レジスタ(MK0)の割り込みマスク・フラグのセット(1)によってのみ禁止されます。割り込み禁止状態、また割り込み処理プログラム実行中でもマクロ・サービス処理は実行できます。

図23 - 17 マクロ・サービス処理シーケンス



マクロ・サービスは、マクロ・サービス・コントロール・ワードのモード・レジスタに設定された値により、マクロ・サービスのタイプや転送方向などを決定します。その後、チャンネル・ポインタで指定されるマクロ・サービス・チャンネルをマクロ・サービスのタイプに従って使用して転送処理を行います。

マクロ・サービス・チャンネルは、転送回数を記憶するマクロ・サービス・カウンタや転送先や転送元のポインタやデータ・バッファが配置されているメモリで、LOCATION 0H命令実行時にはFE00H-FEFFFH、LOCATION 0FH命令実行時にはFFE00H-FFEFFFHの中の任意のアドレスに配置することが可能です。

23.8.4 マクロ・サービス終了時の動作

マクロ・サービスは、他のプログラムの実行中に指定された回数の処理を行います。指定された回数の処理を行うと（マクロ・サービス・カウンタ（MSC）が0になると）、マクロ・サービスは終了します。このときの動作には2通りあり、マクロ・サービスごとのマクロ・サービス・モード・レジスタのビット7にあるVCIEビットでその動作を指定します。

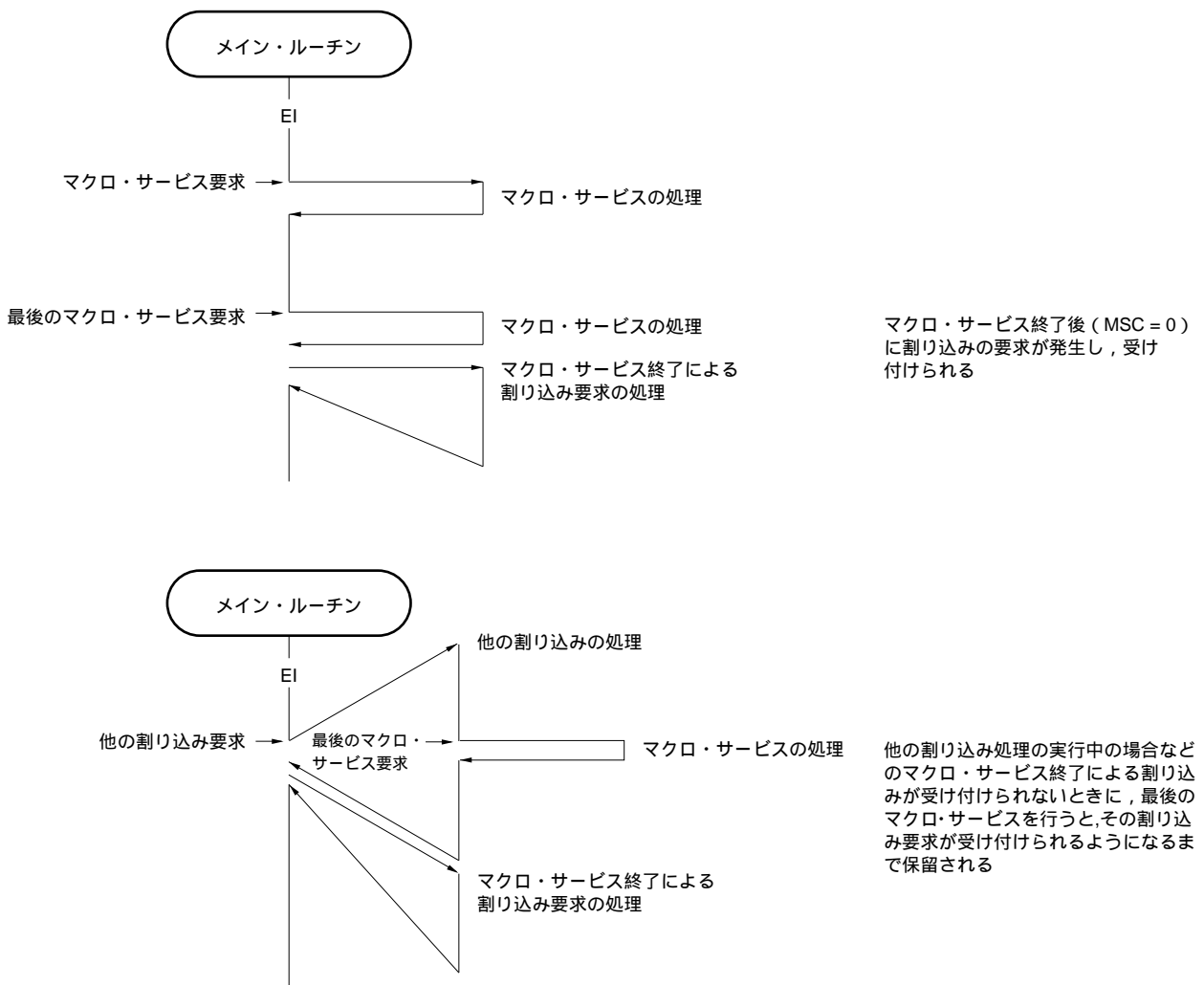
（1）VCIEビットが0の場合

マクロ・サービスの終了後、ただちに割り込みの要求を発生するモードです。図23 - 18に、VCIEビットが0の場合のマクロ・サービスおよび割り込みの受け付けの動作例を示します。

このモードは、最後に行ったマクロ・サービスの処理によって、一連の動作が終了する場合などに使用します。主な使用例を次に示します。

- ・アシンクロナス・シリアル・インタフェースの受信データをバッファリングする場合（INTSR, INTSR2）
- ・A/D変換結果の取り込み（INTAD）
- ・タイマ・レジスタとコンペア・レジスタの一致によるコンペア・レジスタの更新時（INTC00, INTC01, INTC10, INTC11, INTC20, INTC21, INTC30）
- ・INTPn端子へのエッジ入力によるタイマ/カウンタのキャプチャ・レジスタの読み込み時（INTP0, INTP1, INTP2, INTP3）

図23 - 18 VCIE = 0のときのマクロ・サービス終了時の動作



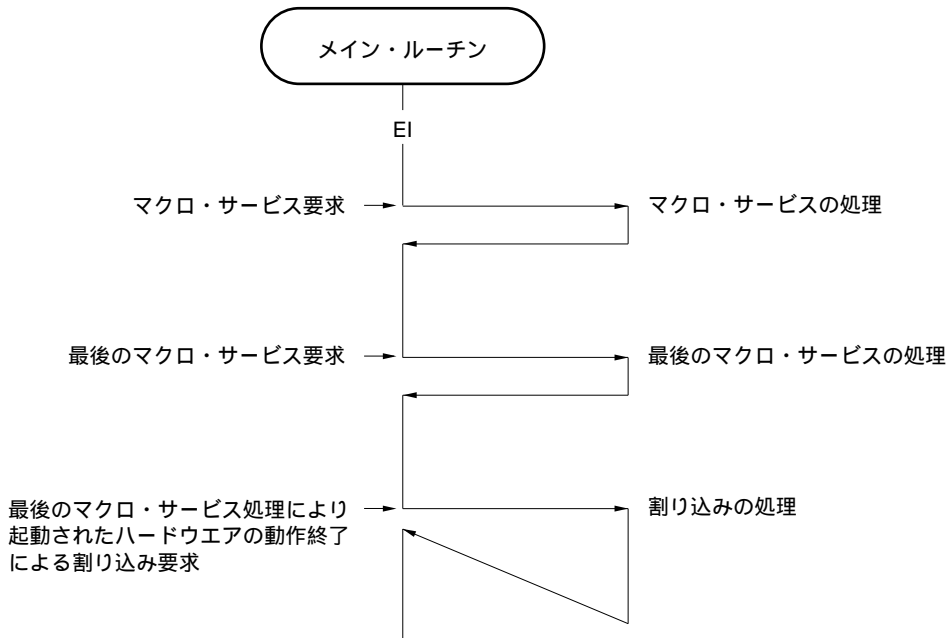
(2) VCIEビットが1の場合

マクロ・サービスの終了後、割り込みの要求を発生しないモードです。図23 - 19に、VCIEビットが1の場合のマクロ・サービスおよび割り込みの受け付けの動作例を示します。

このモードは、最後に行ったマクロ・サービスの処理によって、最後の動作を開始させる場合などに使用します。主な使用例を次に示します。

- ・クロック同期式シリアル・インタフェースによるデータ転送 (INTCSI, INTCSI1, INTCSI2)
- ・アシンクロナス・シリアル・インタフェースによるデータの送信 (INTST, INTST2)
- ・リアルタイム出力ポートとタイマ/カウンタを使用したマクロ・サービス・タイプCによるステッピング・モータの制御時に、ステッピング・モータを停止させる場合 (INTC10, INTC11)

図23 - 19 VCIE = 1 のときのマクロ・サービス終了時の動作



23.8.5 マクロ・サービス制御レジスタ

(1) マクロ・サービス・コントロール・ワード

μPD784938Aのマクロ・サービス機能は、マクロ・サービス・モード・レジスタとマクロ・サービス・チャンネル・ポインタで制御されます。マクロ・サービス・モード・レジスタによってマクロ・サービス処理モードを設定し、マクロ・サービス・チャンネル・ポインタによってマクロ・サービス・チャンネルのアドレスを指し示します。

マクロ・サービス・モード・レジスタとマクロ・サービス・チャンネル・ポインタは、マクロ・サービス・コントロール・ワードとして、各マクロ・サービスごと、図23 - 20に示すように内部RAMの一部にマッピングされています。

マクロ・サービス処理を行うとき、マクロ・サービス処理を指定できる割り込み要求に対応するマクロ・サービス・モード・レジスタとチャンネル・ポインタの値を設定しておく必要があります。

図23 - 20 マクロ・サービス・コントロール・ワードのフォーマット

予約語	アドレス		要因
CSICHP3	0FE39H	チャンネル・ポインタ	INTCSI3
CSIMMD3	0FE38H	モード・レジスタ	
WCHP	0FE37H	チャンネル・ポインタ	INTW
WMMD	0FE36H	モード・レジスタ	
IECHP2	0FE35H	チャンネル・ポインタ	INTIE2
IEMMD2	0FE34H	モード・レジスタ	
IECHP1	0FE33H	チャンネル・ポインタ	INTIE1
IEMMD1	0FE32H	モード・レジスタ	
STCHP2	0FE2FH	チャンネル・ポインタ	INTST2
STMMD2	0FE2EH	モード・レジスタ	
SRCHP2/CSICHP2	0FE2DH	チャンネル・ポインタ	INTSR2/INTCSI2
SRMMD2/CSIMMD2	0FE2CH	モード・レジスタ	
CSICHP	0FE29H	チャンネル・ポインタ	INTCSI
CSIMMD	0FE28H	モード・レジスタ	
STCHP	0FE27H	チャンネル・ポインタ	INTST
STMMD	0FE26H	モード・レジスタ	
SRCHP/CSICHP1	0FE25H	チャンネル・ポインタ	INTSR/INTCSI1
SRMMD/CSIMMD1	0FE24H	モード・レジスタ	
ADCHP	0FE21H	チャンネル・ポインタ	INTAD
ADMMD	0FE20H	モード・レジスタ	
PCHP5	0FE1FH	チャンネル・ポインタ	INTP5
PMMD5	0FE1EH	モード・レジスタ	
PCHP4	0FE1DH	チャンネル・ポインタ	INTP4
PMMD4	0FE1CH	モード・レジスタ	
CCHP30	0FE1BH	チャンネル・ポインタ	INTC30
CMMD30	0FE1AH	モード・レジスタ	
CCHP21	0FE19H	チャンネル・ポインタ	INTC21
CMMD21	0FE18H	モード・レジスタ	
CCHP20	0FE17H	チャンネル・ポインタ	INTC20
CMMD20	0FE16H	モード・レジスタ	
CCHP11	0FE15H	チャンネル・ポインタ	INTC11
CMMD11	0FE14H	モード・レジスタ	
CCHP10	0FE13H	チャンネル・ポインタ	INTC10
CMMD10	0FE12H	モード・レジスタ	
CCHP01	0FE11H	チャンネル・ポインタ	INTC01
CMMD01	0FE10H	モード・レジスタ	
CCHP00	0FE0FH	チャンネル・ポインタ	INTC00
CMMD00	0FE0EH	モード・レジスタ	
PCHP3	0FE0DH	チャンネル・ポインタ	INTP3
PMMD3	0FE0CH	モード・レジスタ	
PCHP2	0FE0BH	チャンネル・ポインタ	INTP2
PMMD2	0FE0AH	モード・レジスタ	
PCHP1	0FE09H	チャンネル・ポインタ	INTP1
PMMD1	0FE08H	モード・レジスタ	
PCHP0	0FE07H	チャンネル・ポインタ	INTP0
PMMD0	0FE06H	モード・レジスタ	

(2) マクロ・サービス・モード・レジスタ

マクロ・サービス・モード・レジスタはマクロ・サービスの動作を指定する8ビット・レジスタです。マクロ・サービス・コントロール・ワードの一部として内部RAM上に書いておきます(図23-20参照)。

図23-21に、マクロ・サービス・モード・レジスタのフォーマットを示します。

図23-21 マクロ・サービス・モード・レジスタのフォーマット(1/2)

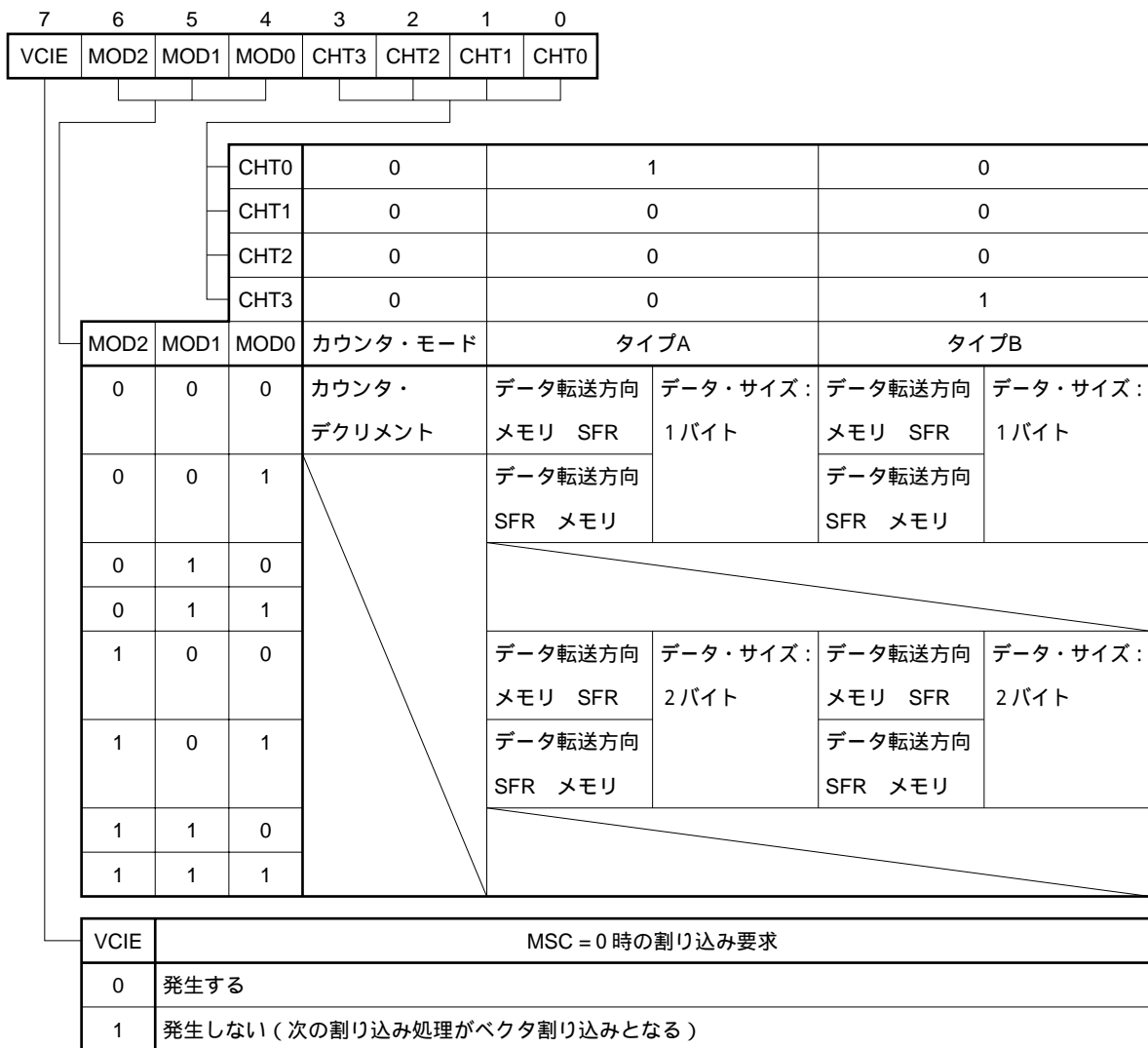


図23 - 21 マクロ・サービス・モード・レジスタのフォーマット (2/2)



(3) マクロ・サービス・チャンネル・ポインタ

マクロ・サービス・チャンネル・ポインタは、マクロ・サービス・チャンネルのアドレスを指定するポインタです。マクロ・サービス・チャンネルはLOCATION 0H命令実行時はFE00H-FEFFFH, LOCATION 0FH命令実行時はFFE00H-FFEFFFHの256バイトの空間に配置可能で、アドレスの上位16ビットが固定です。したがって、マクロ・サービス・チャンネル・ポインタには、マクロ・サービス・チャンネルの最上位アドレスに格納されるデータの低位8ビットを設定します。

23.8.6 マクロ・サービス・タイプA

(1) 動作

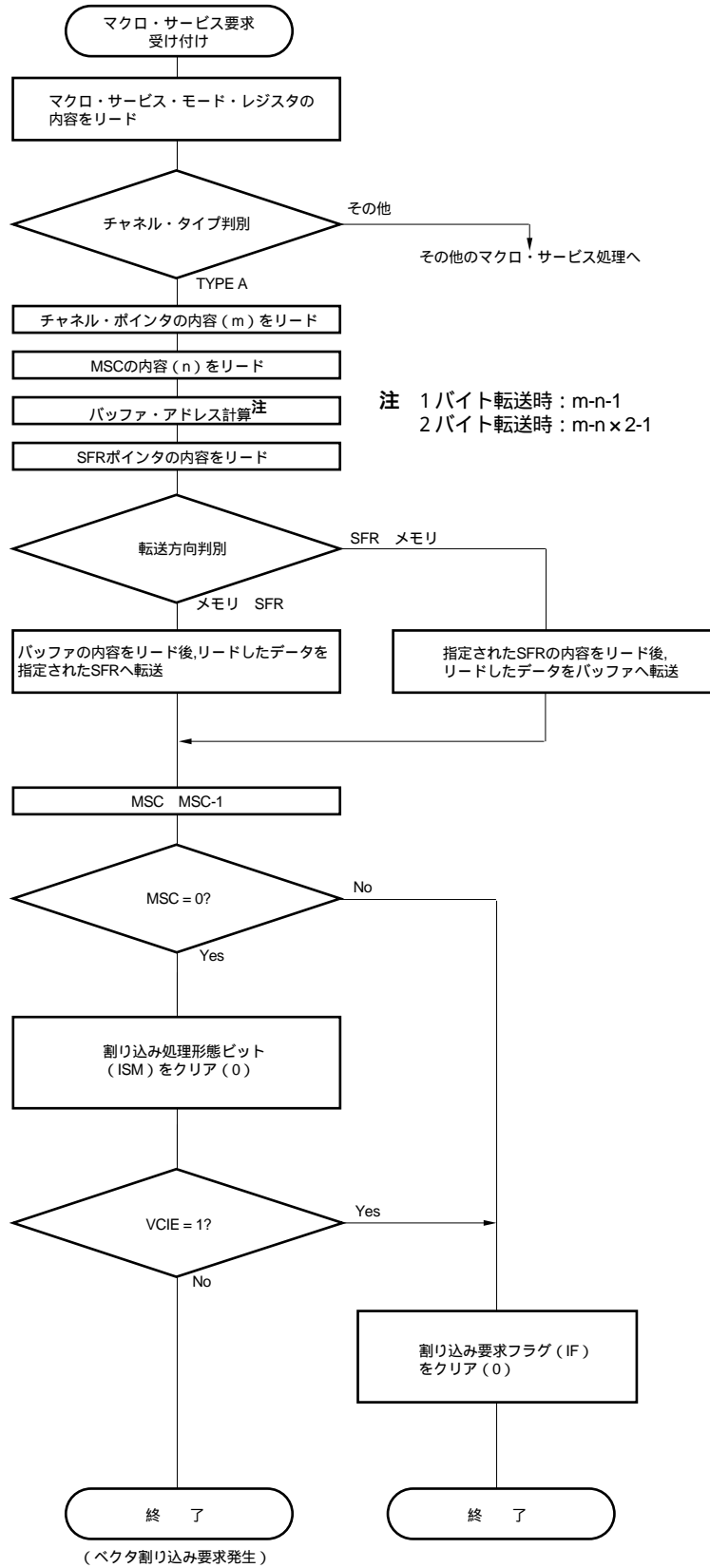
マクロ・サービス・チャンネル内のバッファ・メモリとマクロ・サービス・チャンネル内で指定されるSFRとの間でデータの転送を行います。

タイプAは、データの転送方向としてメモリからSFR、またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ、データ転送を行います。なお、1回のマクロ・サービス処理で8ビットまたは16ビットのデータが転送されます。

転送するデータ量が少ないときに、高速でデータ転送ができるので有効です。

図23 - 22 マクロ・サービス・データ転送処理フロー（タイプA）



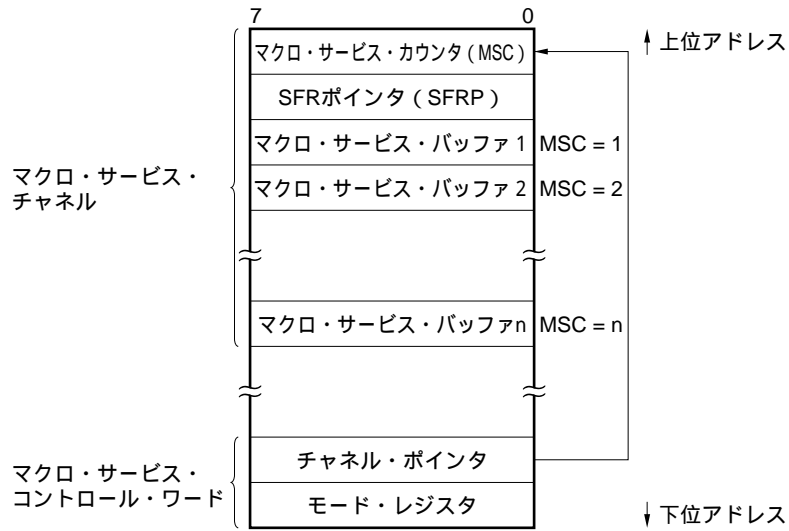
(2) マクロ・サービス・チャンネルの構成

チャンネル・ポインタと8ビットのマクロ・サービス・カウンタ(MSC)とで、転送元もしくは転送先となる内部RAM (LOCATION 0H命令実行時: FE00H-FEFFFH, LOCATION 0FH命令実行時: FFE00H-FFEFFH) 上のバッファ・アドレスを示します(図23-23参照)。チャンネル・ポインタには、マクロ・サービス・チャンネル内にあるマクロ・サービス・カウンタのアドレスの下位8ビットを書き込みます。

アクセスの対象となるSFRは、SFRポインタ(SFRP)で指定します。SFRPには、SFRアドレスの下位8ビットを書き込みます。

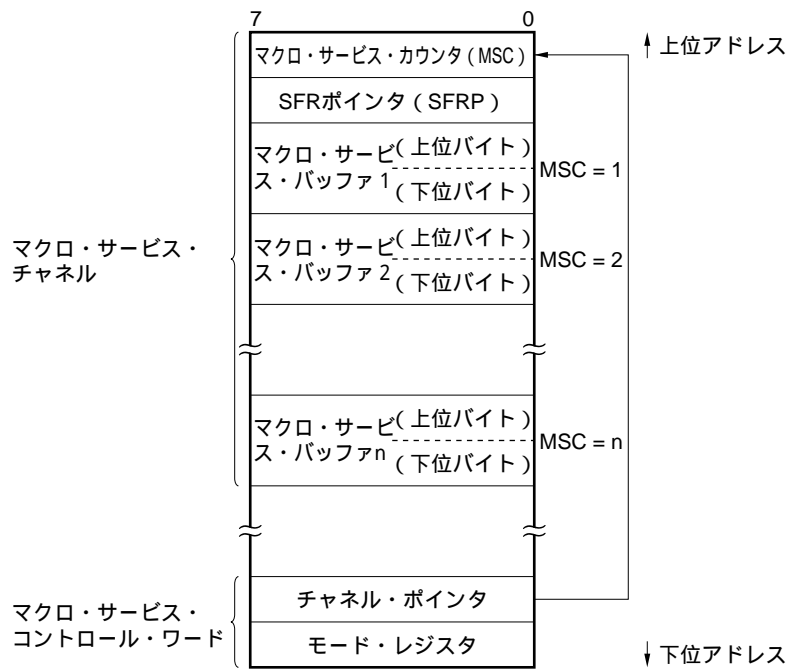
図23 - 23 タイプAのマクロ・サービス・チャンネル

(a) 1バイト転送時



$$\text{マクロ・サービス・バッファ・アドレス} = (\text{チャンネル・ポインタ}) - (\text{マクロ・サービス・カウンタ}) - 1$$

(b) 2バイト転送時

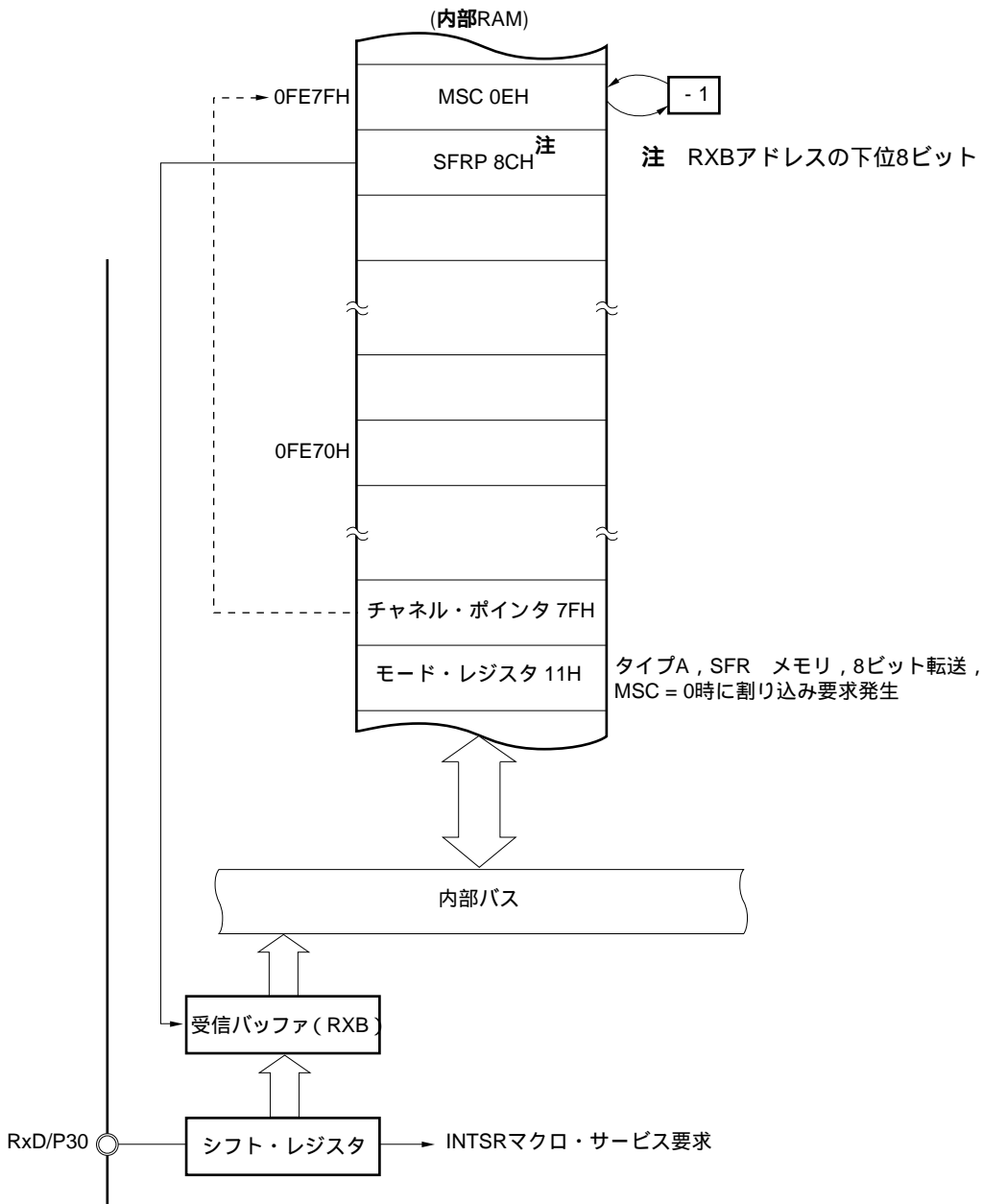


$$\text{マクロ・サービス・バッファ・アドレス} = (\text{チャンネル・ポインタ}) - (\text{マクロ・サービス・カウンタ}) \times 2 - 1$$

(3) タイプA使用例

アシンクロナス・シリアル・インタフェースにより受信したデータを内部RAM内のバッファ領域に転送する例を示します。

図23 - 24 アシンクロナス・シリアル受信



備考 図中のアドレスは、LOCATION 0H命令実行時の値です。
LOCATION 0FH命令実行時には、図中の値に0F0000Hを加えてください。

23.8.7 マクロ・サービス・タイプB

(1) 動作

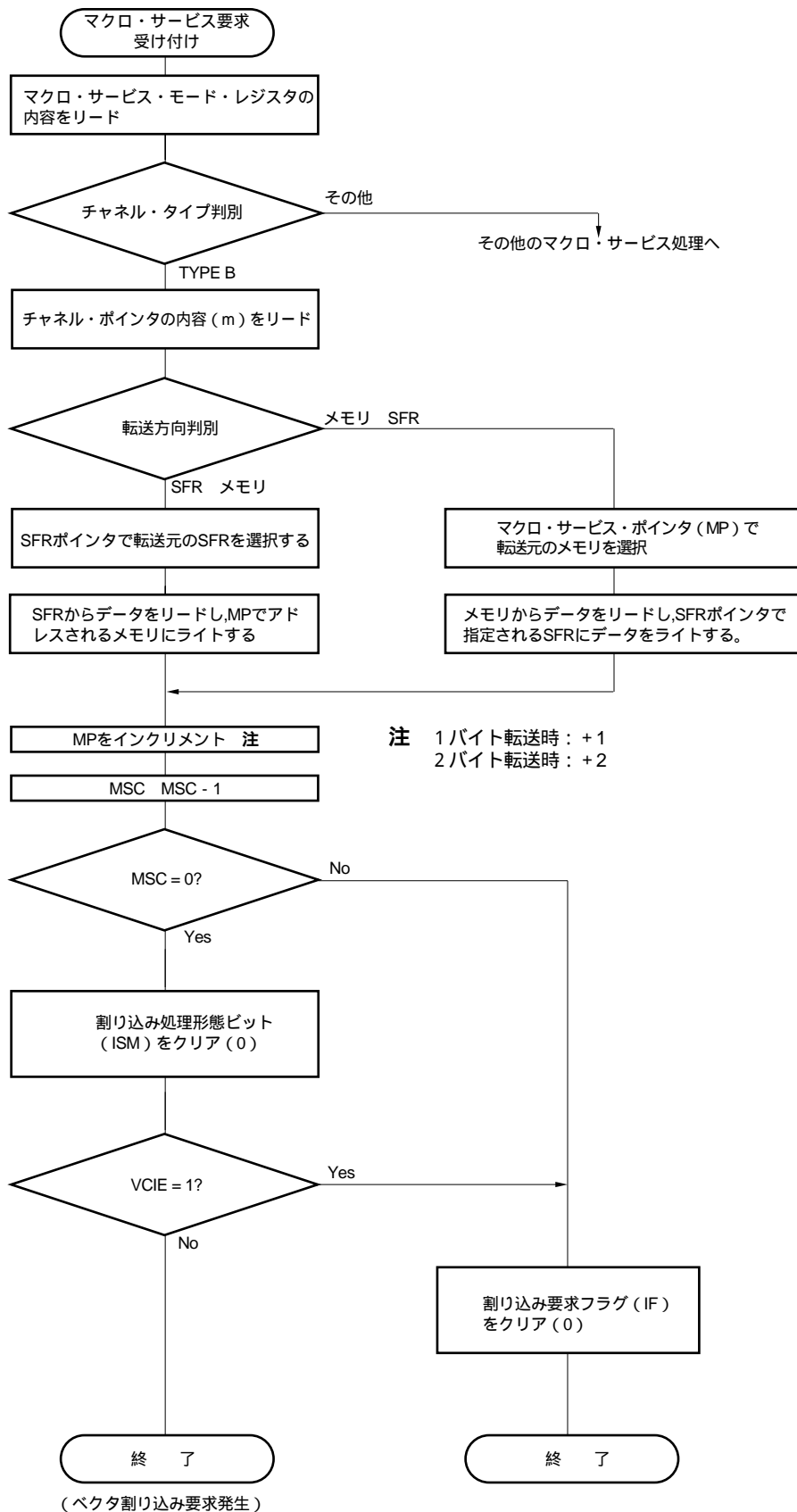
マクロ・サービス・チャンネルで指定されるメモリ内のデータ領域とSFRとの間でデータの転送を行います。

タイプBは、データの転送方向としてメモリからSFR、またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ、データ転送を行います。なお、1回のマクロ・サービス処理で8ビットまたは16ビットのデータが転送されます。

タイプAのマクロ・サービスを汎用的にしたタイプで、データ・バッファ領域として8ビット・データ転送時は最大64 Kバイト、16ビット・データ転送時は最大128 Kバイトまでの領域を1 Mバイトの任意のアドレス空間に持たせることができるため、大容量データの処理に最適です。

図23 - 25 マクロ・サービス・データ転送処理フロー（タイプB）



(2) マクロ・サービス・チャンネルの構成

マクロ・サービス・ポインタ (MP) は、転送先または転送元となる 1 Mメモリ空間内のデータ・バッファ領域を示します。

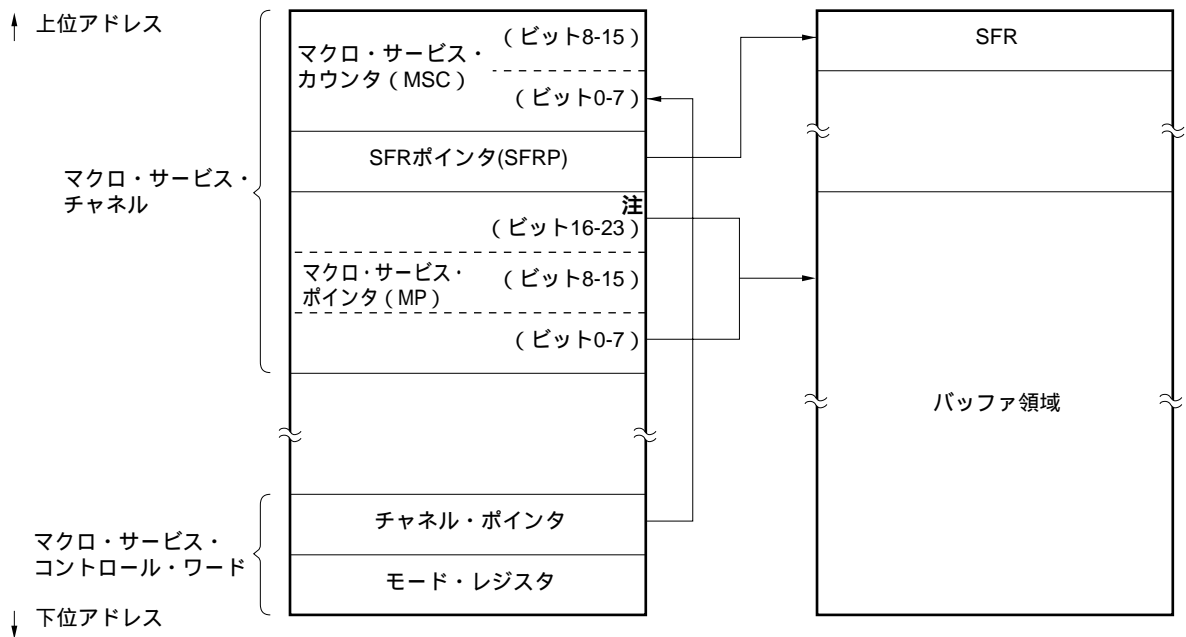
SFRポインタ (SFRP) には、転送先または転送元となるSFRのアドレスの下位 8 ビットを書き込みます。

マクロ・サービス・カウンタ (MSC) は、16ビットのカウンタでデータ転送の回数を指定します。

MP, SFRPおよびMSCを格納するマクロ・サービス・チャンネルは、LOCATION 0H命令実行時は、内部RAM空間の0FE00H-0FEFFH, LOCATION 0FH命令実行時は0FFE00H-0FEFFHに配置します。

マクロ・サービス・チャンネルは、図23 - 26で示すようにチャンネル・ポインタで示します。チャンネル・ポインタには、マクロ・サービス・チャンネル内にあるマクロ・サービス・カウンタへアドレスの下位 8 ビットを書き込みます。

図23 - 26 タイプBのマクロ・サービス・チャンネル



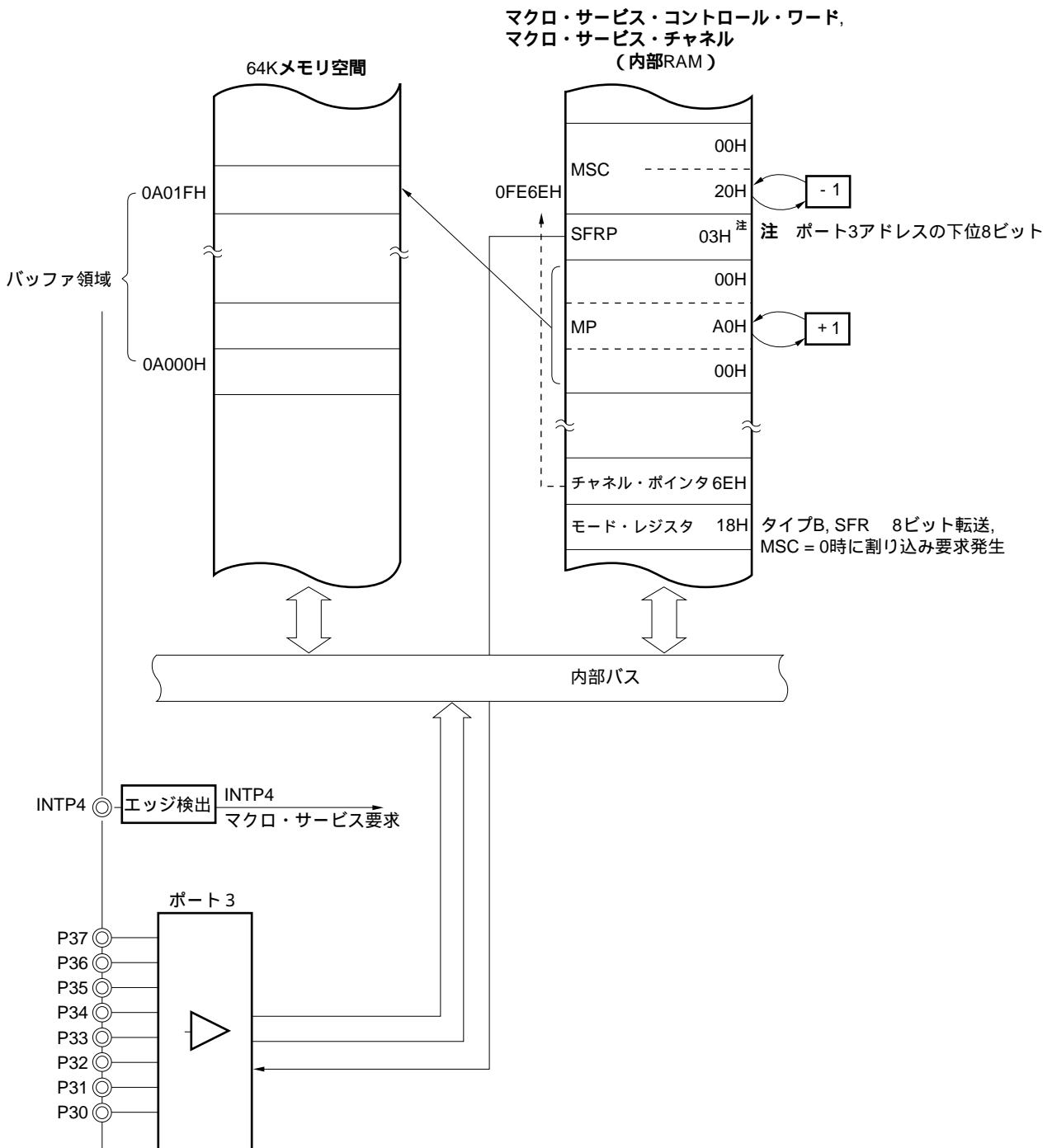
マクロ・サービス・バッファ・アドレス = マクロ・サービス・ポインタ

注 ビット20-23は必ず 0 にしてください。

(3) タイプB使用例

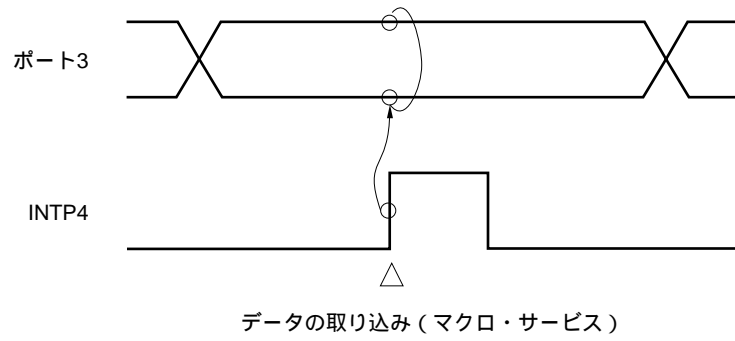
外部信号に同期してポート3から平行・データを入力する例を示します。外部信号との同期は外部割り込み端子 (INTP4) 入力を用います。

図23 - 27 外部割り込みに同期した平行・データ入力



備考 図中のマクロ・サービス・チャンネルのアドレスは、LOCATION 0H命令実行時の値です。
LOCATION 0FH命令実行時には、図中の値に0F0000Hを加えてください。

図23 - 28 パラレル・データ入力のタイミング



23.8.8 マクロ・サービス・タイプC

(1) 動作

タイプCのマクロ・サービスは、1回の割り込みの要求でマクロ・サービス・チャンネルで指定されるタイマ用とデータ用の2つのSFRへ、マクロ・サービス・チャンネルで指定されるメモリ内のデータを転送します（SFRは自由に選択できます）。タイマ用のSFRは、8ビットまたは16ビットの選択が可能です。

タイプCのマクロ・サービスは、上記の基本的なデータ転送に加えて、バッファ領域の圧縮とソフトウェアの負担を軽減するために以下の機能を付加することができます。

これらの指定は、マクロ・サービス・コントロール・ワードのモード・レジスタで指定します。

(a) タイマ用マクロ・サービス・ポイントの更新

タイマ用のマクロ・サービス・ポイント（MPT）を保持するか、インクリメント/デクリメントするかを選択できます。なお、インクリメント/デクリメントの方向は、データ用マクロ・サービス・ポイント（MPD）と同じ方向になります。

(b) データ用マクロ・サービス・ポイントの更新

データ用のマクロ・サービス・ポイント（MPD）をインクリメント/デクリメントするかを選択できます。

(c) 自動加算

タイマ用のマクロ・サービス・ポイント（MPT）でアドレスされるデータと現在のコンペア・レジスタの値を加算して、加算結果をコンペア・レジスタへ転送します。

自動加算を指定しない場合は、MPTでアドレスされるデータをコンペア・レジスタに転送するだけです。

(d) リング制御

あらかじめ指定された長さの出力データ・パターンを自動的に繰り返し出力します。

図23 - 29 マクロ・サービス・データ転送処理フロー（タイプC）（1/2）

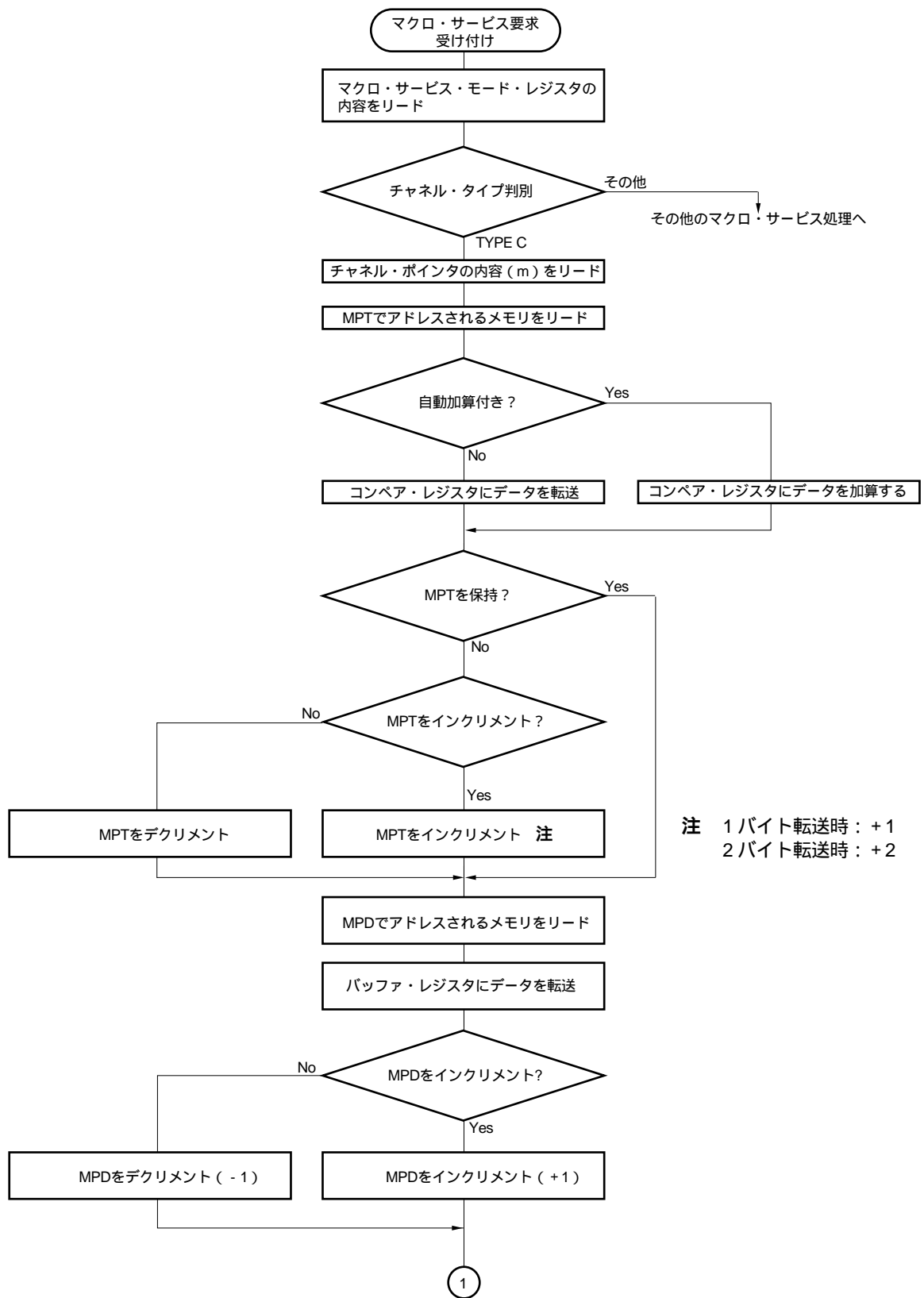
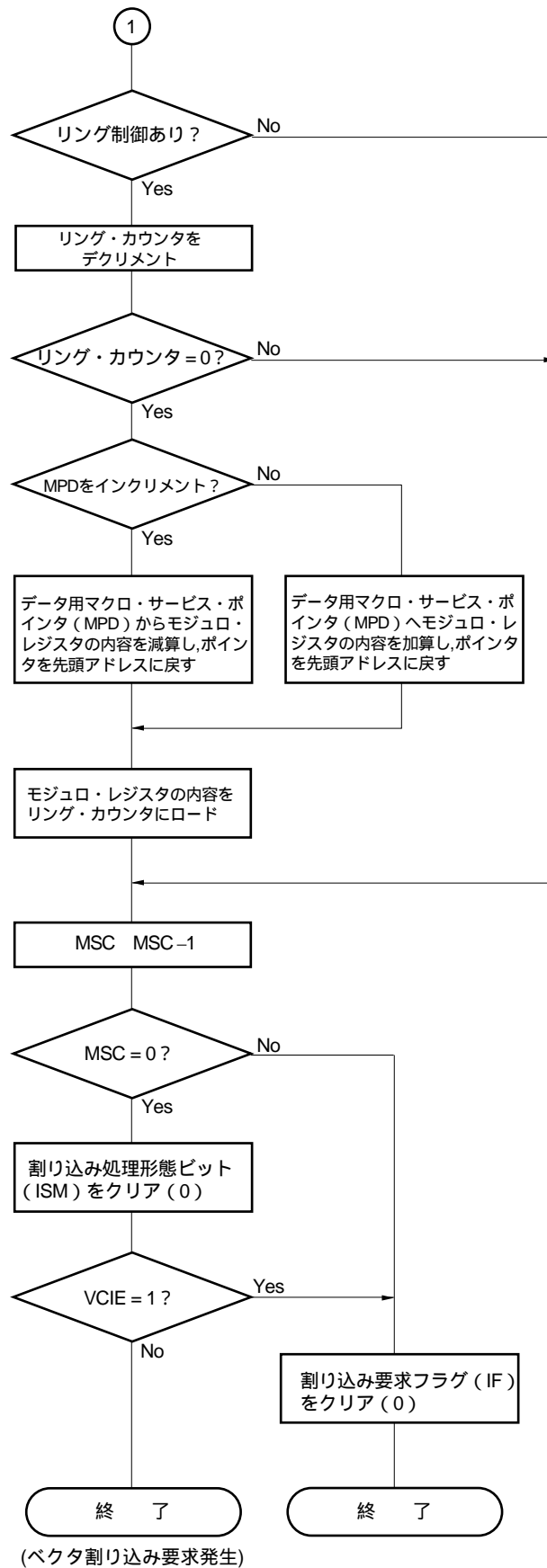


図23 - 29 マクロ・サービス・データ転送処理フロー（タイプC）（2/2）



(2) マクロ・サービス・チャンネルの構成

タイプCのマクロ・サービス・チャンネルには図23 - 30に示す2種類があります。

タイマ用マクロ・サービス・ポインタ (MPT) はおもにタイマ/イベント・カウンタのコンペア・レジスタに転送または加算する1 Mメモリ空間内のデータ・バッファ領域を示します。

データ用マクロ・サービス・ポインタ (MPD) はリアルタイム出力ポートへ転送する1 Mメモリ空間内のデータ・バッファ領域を示します。

モジュロ・レジスタ (MR) は、リング制御を使用するとき繰り返しのパターン数を指定します。

リング・カウンタ (RC) は、リング制御を使用するときのパターン内のステップを保持します。通常初期設定時は、MRと同じ値に設定します。

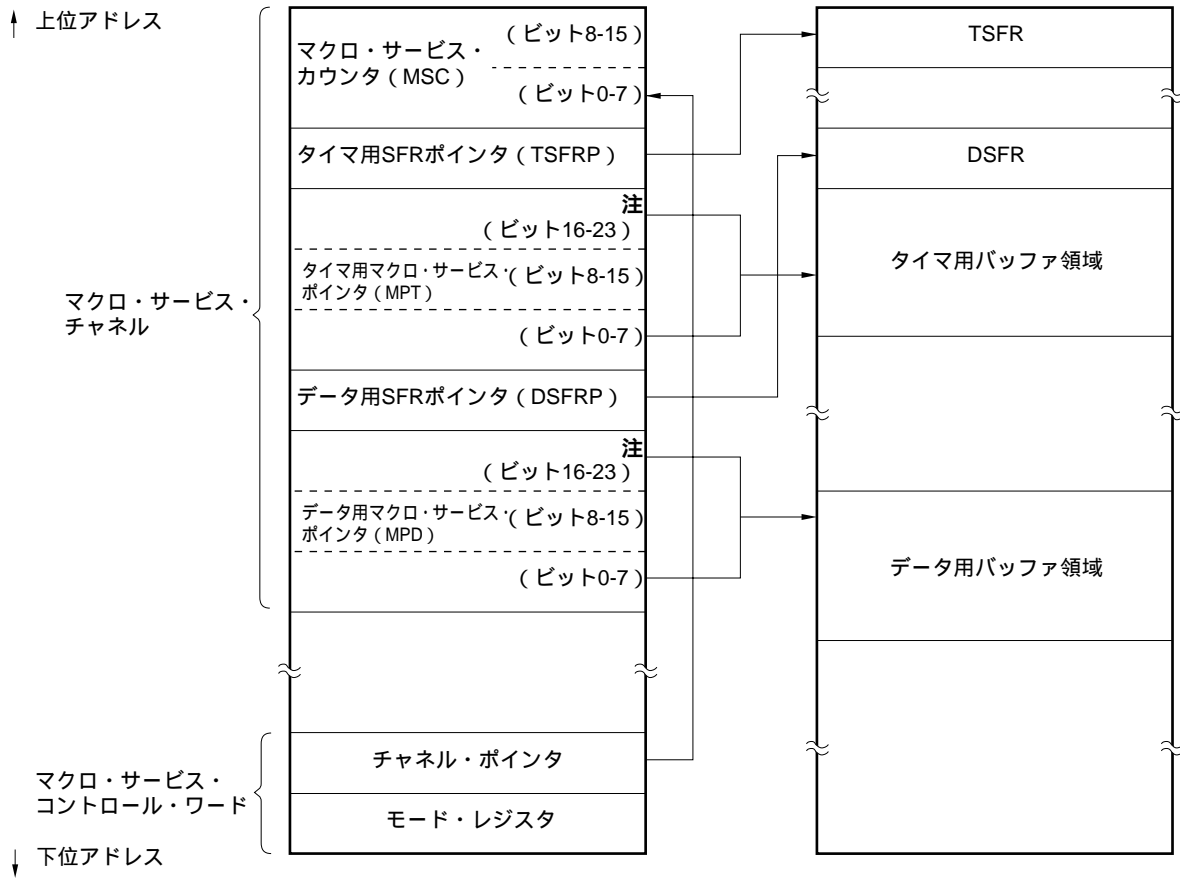
マクロ・サービス・カウンタ (MSC) は、16ビットのカウンタでデータの転送回数を指定します。

タイマ用SFRポインタ (TSFRP)、およびデータ用SFRポインタ (DSFRP) には、転送先となるSFRのアドレスの下位8ビットを書き込みます。

これらのポインタやカウンタを格納するマクロ・サービス・チャンネルは、LOCATION 0H命令実行時は0FE00H-0FEFFHの内部RAM空間に、LOCATION 0FH命令実行時は0FFE00H-0FFEFFHの内部RAM空間に配置します。マクロ・サービス・チャンネルは、図23 - 30に示すようにチャンネル・ポインタで示します。チャンネル・ポインタには、マクロ・サービス・チャンネル内にあるマクロ・サービス・カウンタへアドレスの下位8ビットを書き込みます。

図23 - 30 タイプCのマクロ・サービス・チャンネル(1/2)

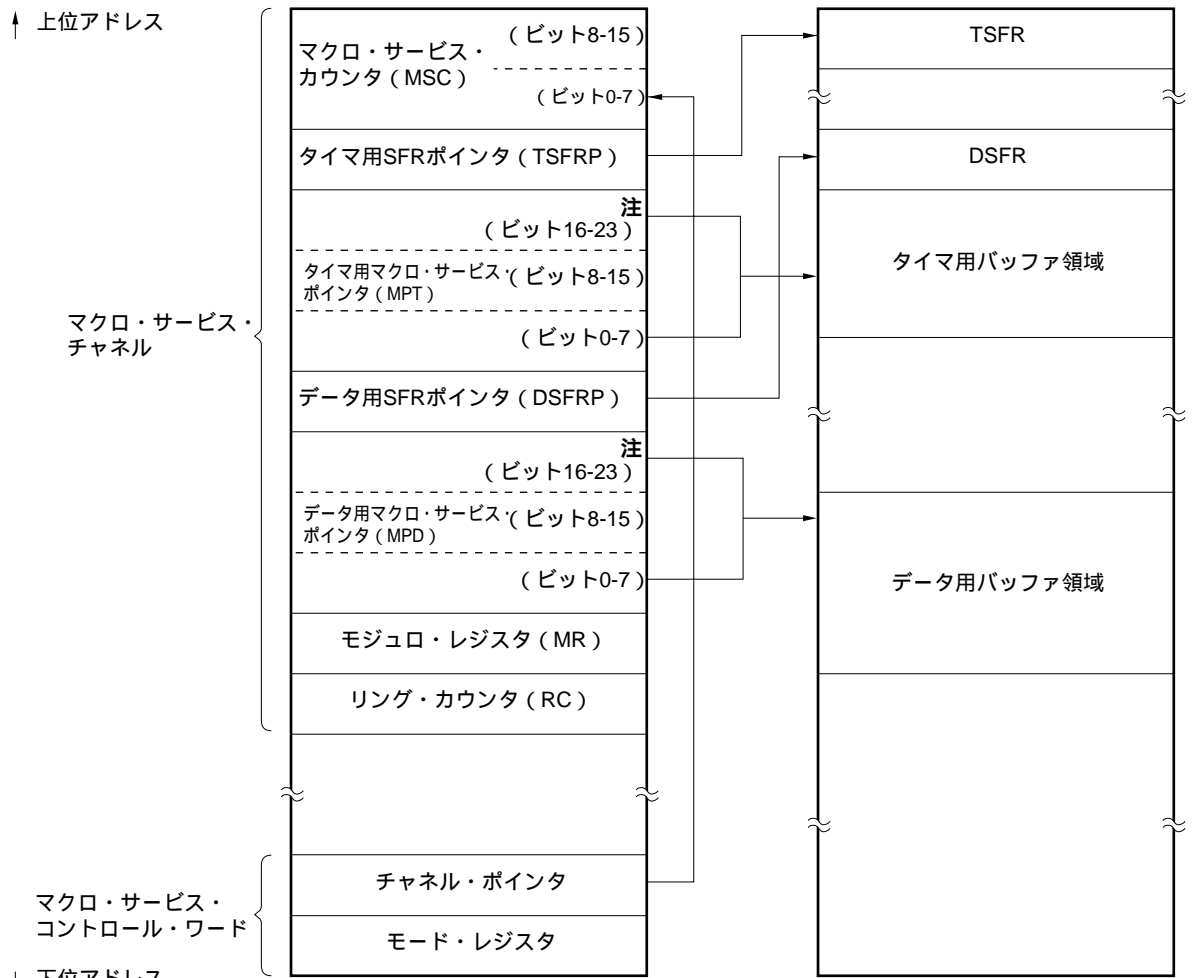
(a) リング制御なし



注 ビット20-23は必ず0にしてください。

図23-30 タイプCのマクロ・サービス・チャンネル(2/2)

(b) リング制御あり



マクロ・サービス・バッファ・アドレス=マクロ・サービス・ポインタ

注 ビット20-23は必ず0にしてください。

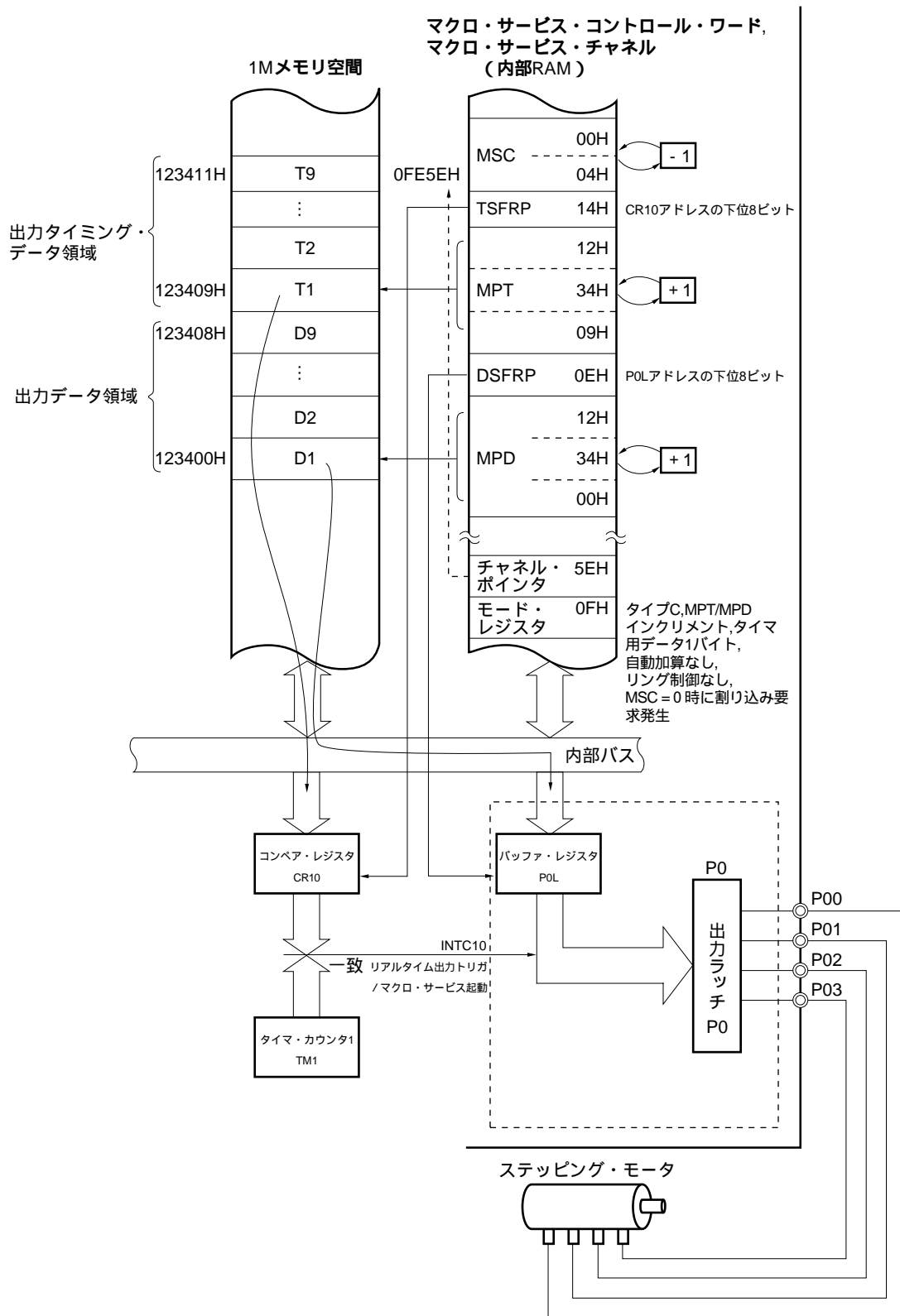
(3) タイプC使用例

(a) 基本動作

リアルタイム出力ポートへの出力パターンと出力インターバルを直接制御する例を示します。

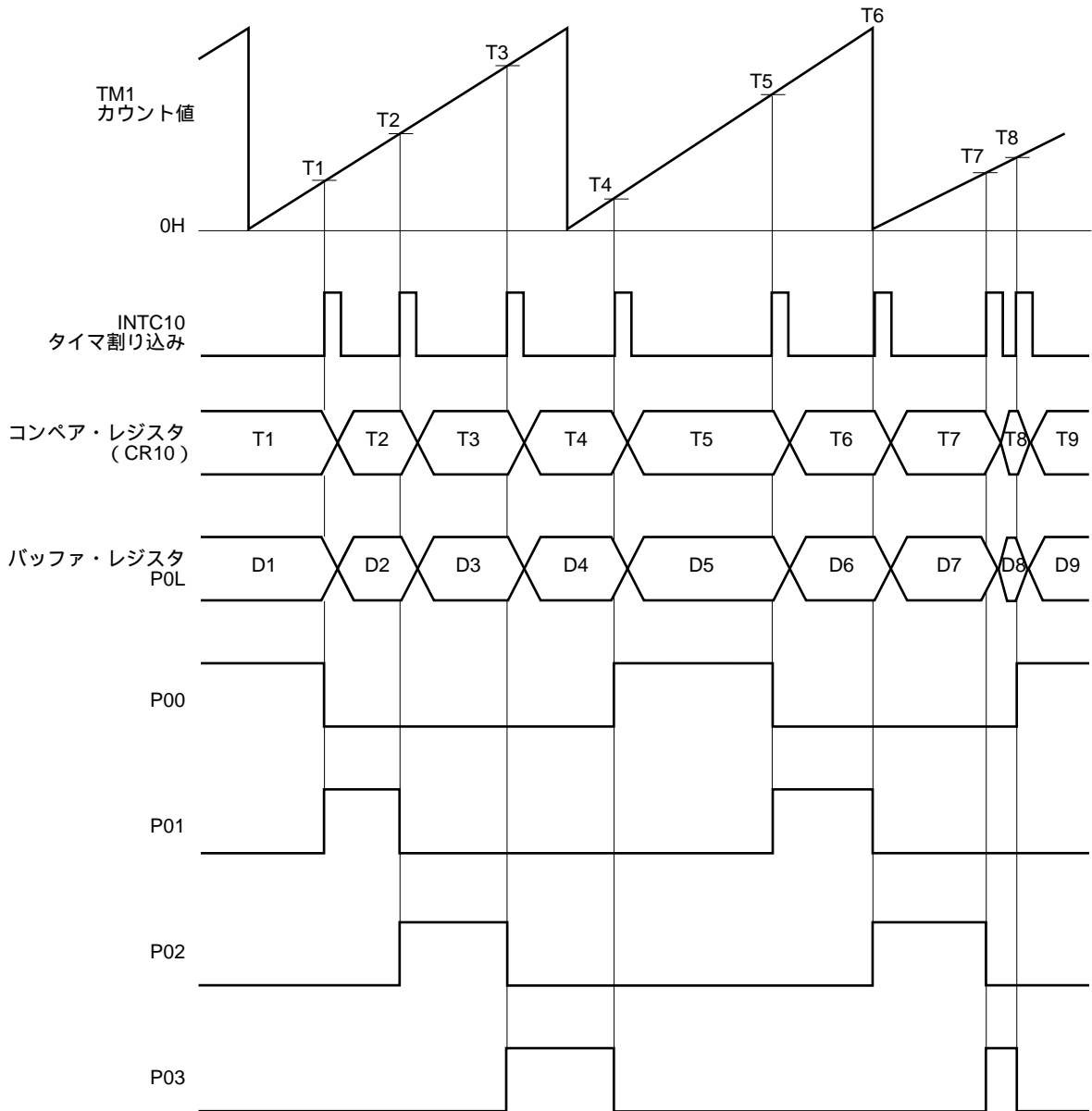
1Mバイト空間にあらかじめ設定してある2つのデータ格納領域より、リアルタイム出力機能のバッファ・レジスタ (P0L)、およびコンペア・レジスタ (CR10) に更新データを転送します。

図23 - 31 リアルタイム出力ポートによるステッピング・モータの開ループ制御



備考 図中の内部RAMのアドレスは、LOCATION 0H命令実行時の値です。
LOCATION 0FH命令実行時には、図中の値に0F0000Hを加えてください。

図23 - 32 データ転送制御のタイミング



(b) 自動加算制御およびリング制御の使用例**(i) 自動加算制御**

マクロ・サービス・ポインタ (MPT) で指定された出力タイミング・データ (t) をコンペア・レジスタの内容に加算し、加算結果をコンペア・レジスタに書き戻します。

この自動加算制御を利用することにより、コンペア・レジスタの設定値をその都度プログラム中で計算させる必要がなくなります。

(ii) リング制御

リング制御は、あらかじめ決まる出力データ・パターンを1サイクル分だけ用意しておいて、1サイクル分の出力パターンをリング形式で繰り返し順に出力するものです。

リング制御を用いる場合、出力するデータ・パターンとして1サイクル分だけ準備すればよいので、データROM領域を小さくすることができます。

マクロ・サービス・カウンタ (MSC) のデクリメントは、1回のデータ転送ごとに行います。

リング制御の場合も、MSC = 0 で割り込み要求を発生します。

たとえば、ステッピング・モータを制御する場合、対象となるステッピング・モータの構成、および1相励磁、2相励磁などの相励磁方式によって出力データ・パターンは変化しますが、いずれの場合も繰り返しパターンになります。例として、4相ステッピング・モータの1相励磁の場合と1-2相励磁の場合を図23 - 33、図23 - 34に示します。

図23 - 33 4相ステップング・モータの1相励磁の場合

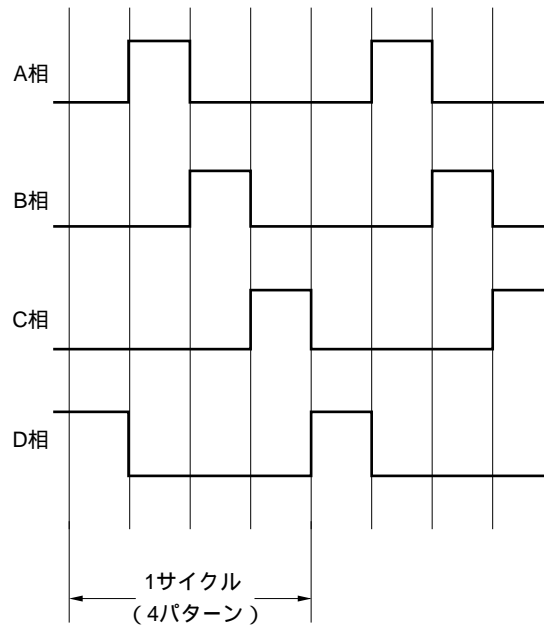


図23 - 34 4相ステップング・モータの1-2相励磁の場合

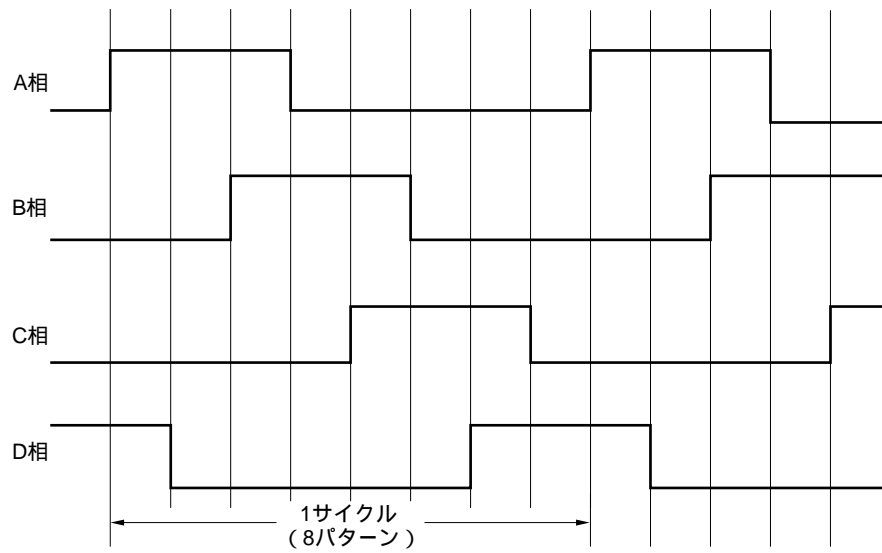
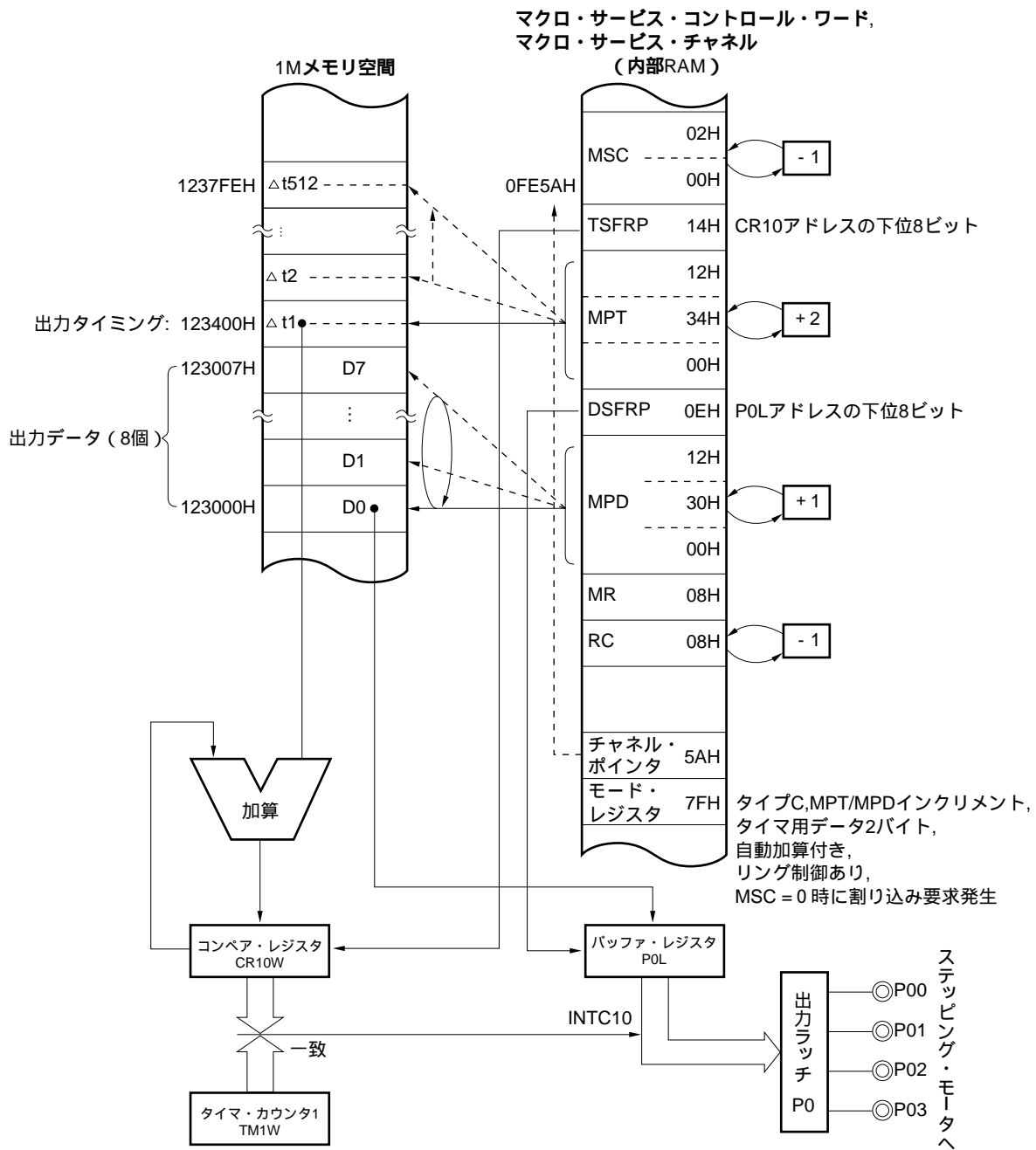


図23 - 35 自動加算制御+リング制御のブロック図1 (1-2相励磁で出力タイミングが変化する場合)



備考 図中の内部RAMのアドレスは、LOCATION 0H命令実行時の値です。
LOCATION 0FH命令実行時には、図中の値に0F0000Hを加えてください。

図23 - 36 自動加算制御 + リング制御のタイミング図1 (1-2相励磁で出力タイミングが変化する場合)

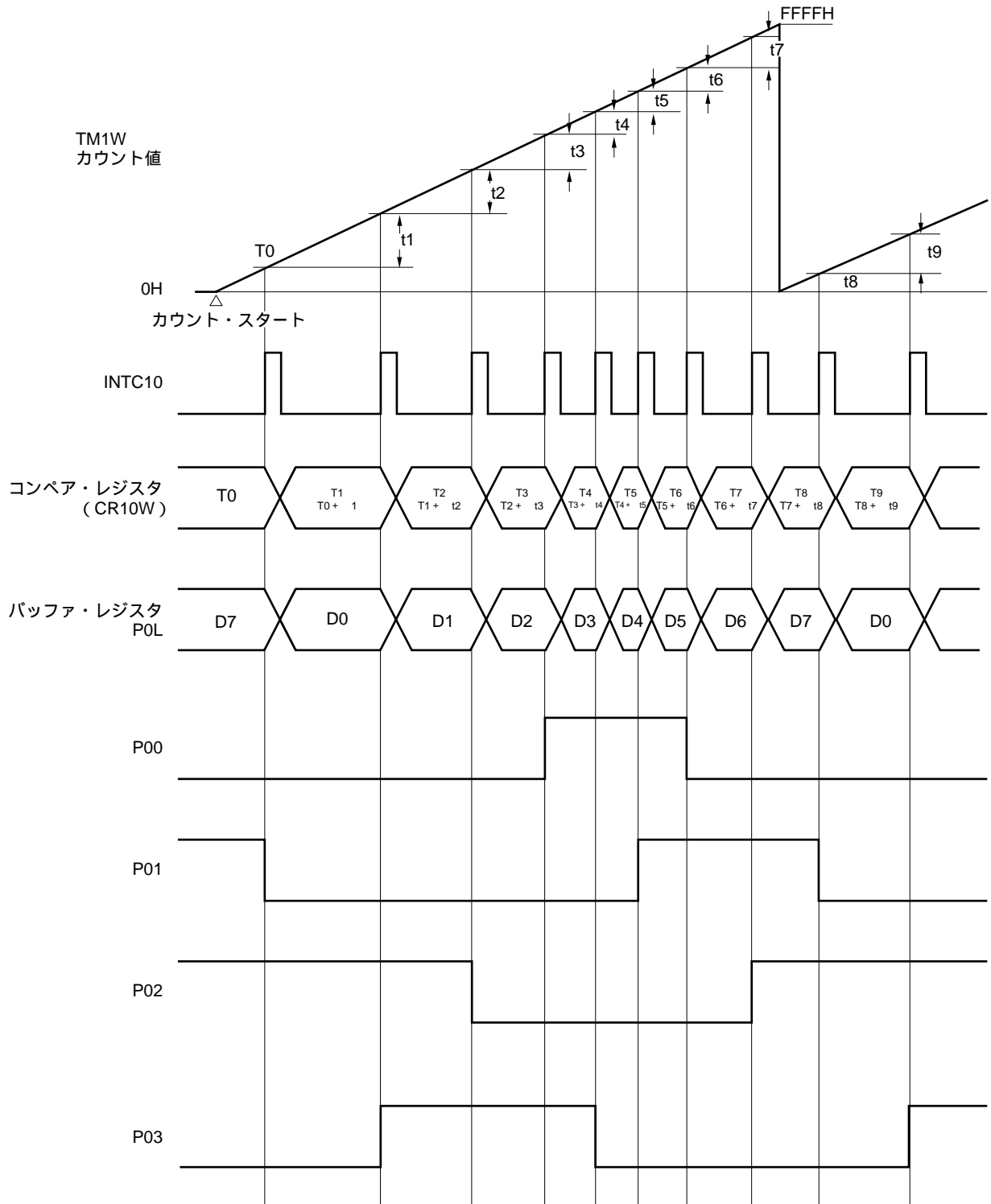
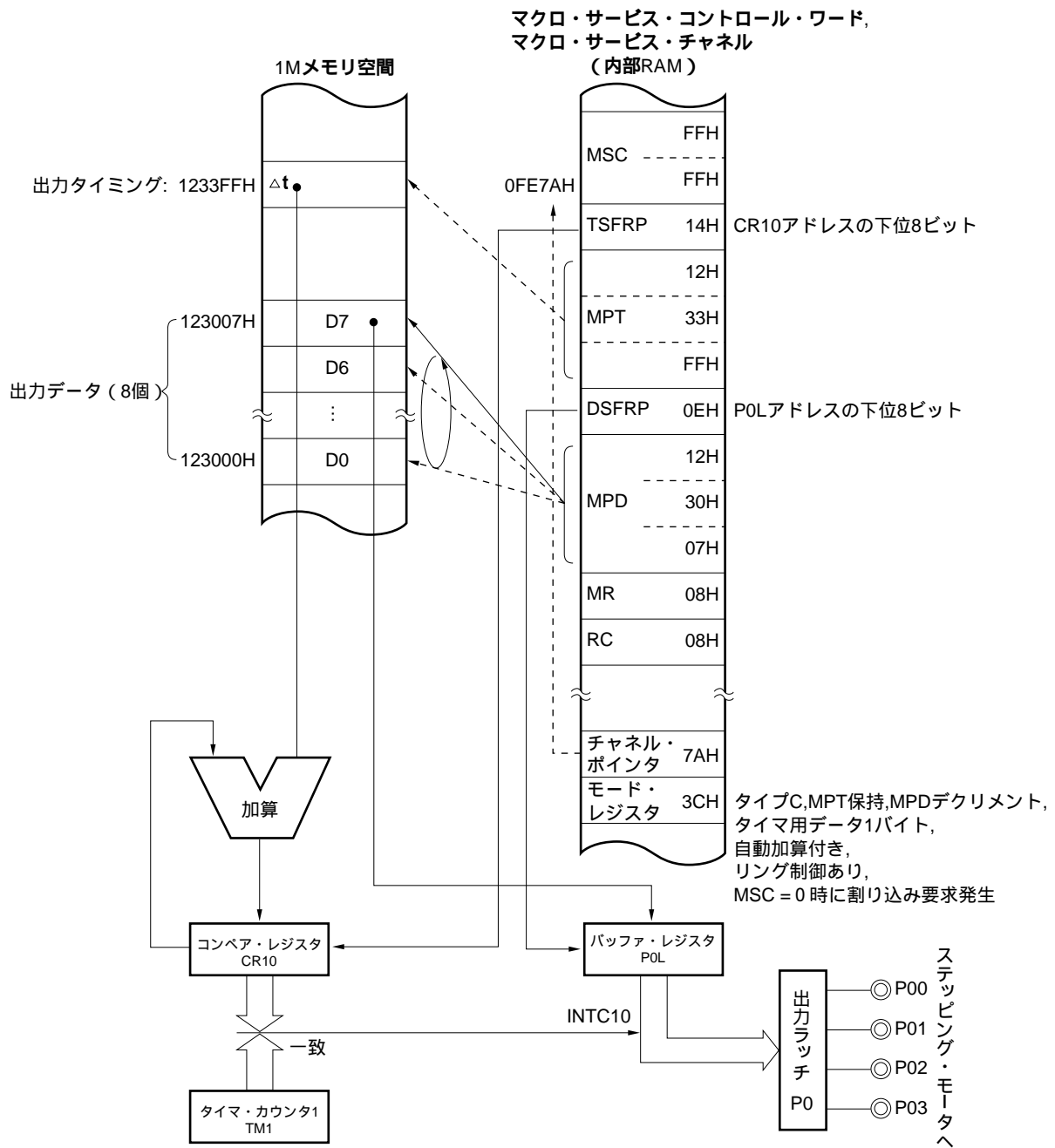
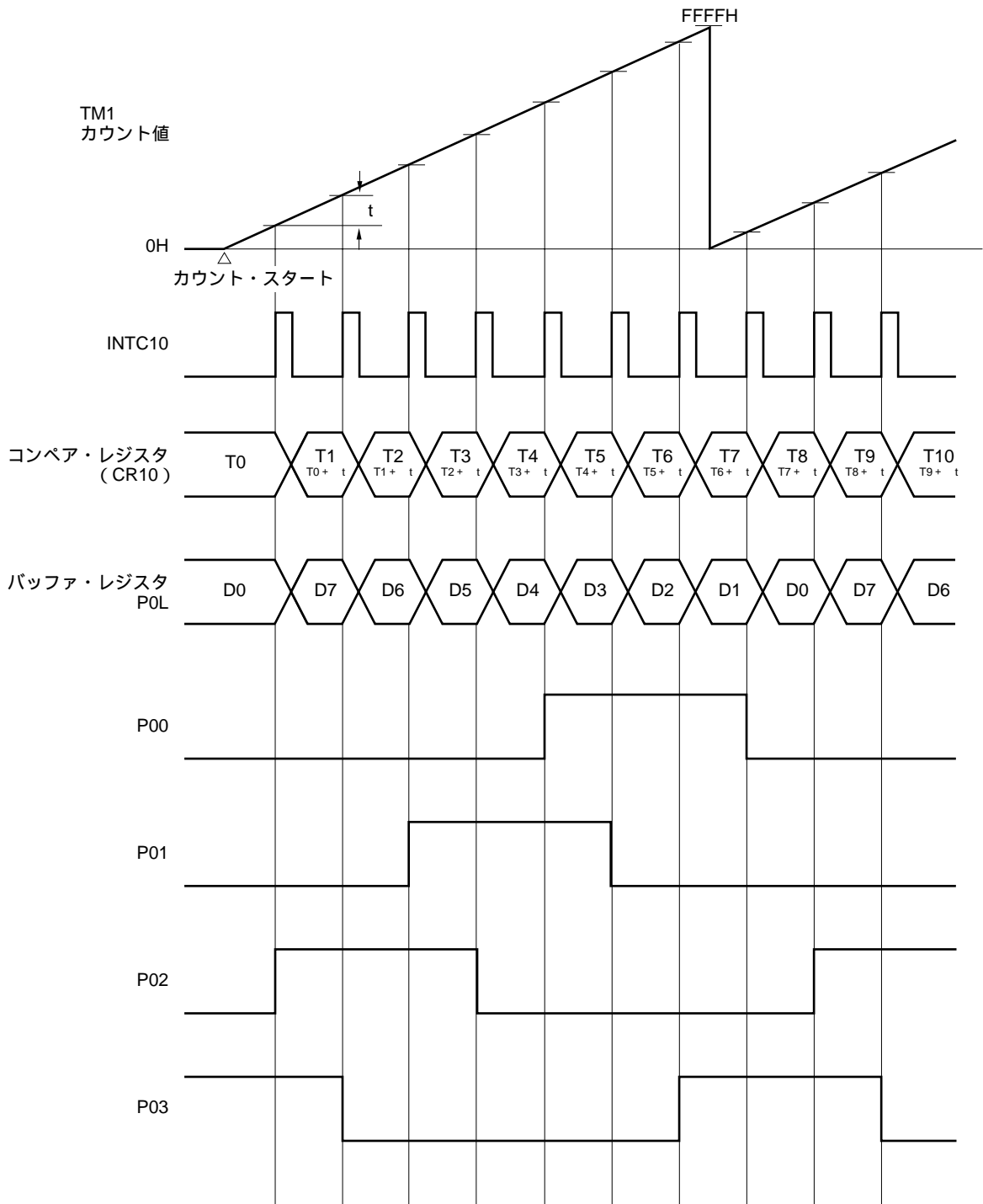


図23 - 37 自動加算制御 + リング制御のブロック図2 (1-2相励磁の等速運動)



備考 図中の内部RAMのアドレスは、LOCATION 0H命令実行時の値です。
LOCATION 0FH命令実行時には、図中の値に0F0000Hを加えてください。

図23 - 38 自動加算制御+リング制御のタイミング図2 (1-2相励磁の等速運動)



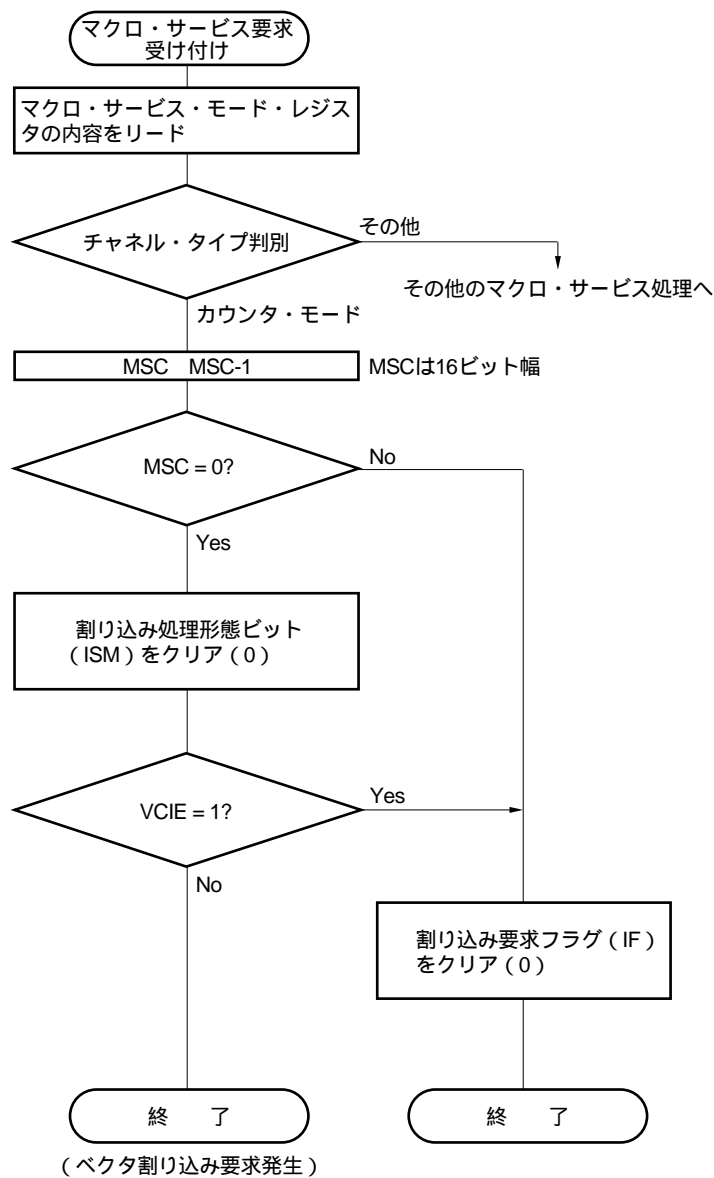
23.8.9 カウンタ・モード

(1) 動作

あらかじめマクロ・サービス・カウンタ (MSC) に設定した回数だけ、MSCのデクリメントを行います。

割り込みの発生回数を数えることができるので、割り込み発生周期が長いときに、イベント・カウンタとして使用することができます。

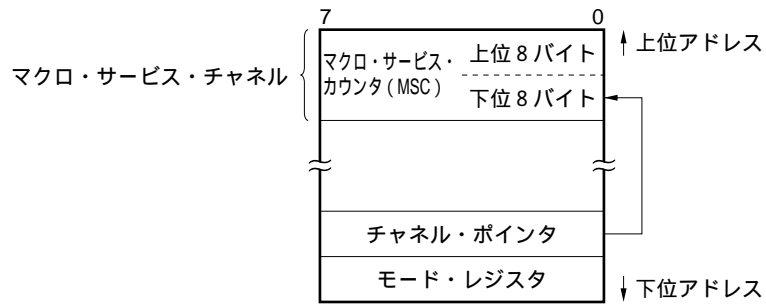
図23 - 39 マクロ・サービス・データ転送処理フロー (カウンタ・モード)



(2) マクロ・サービス・チャンネルの構成

16ビットのマクロ・サービス・カウンタ (MSC) のみでマクロ・サービス・チャンネルは構成されま
す。チャンネル・ポインタには, MSCのアドレスの下位 8 ビットを書き込みます。

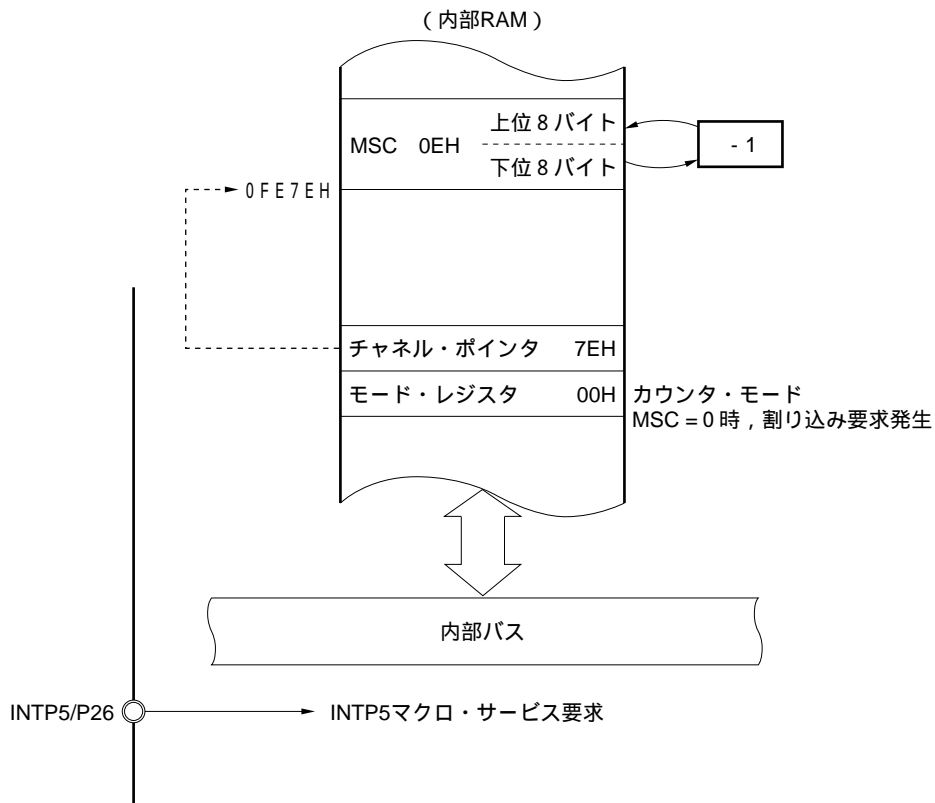
図23 - 40 カウンタ・モード



(3) カウンタ・モード使用例

外部割り込み端子 INTP5に入力されたエッジの回数をカウントする例を示します。

図23 - 41 エッジの回数のカウント



備考 図中の内部RAMのアドレスは, LOCATION 0 命令実行時の値です。
LOCATION 0FH命令実行時には, 図中の値に0F0000Hを加えてください。

23.9 割り込み要求およびマクロ・サービスが一時的に保留される場合

次に示す命令を実行すると、8システム・クロックの間、割り込みの受け付けおよびマクロ・サービスの処理が一時的に保留されます。ただし、ソフトウェア割り込みは保留されません。

EI

DI

BRK

BRKCS RBn

RETI

RETB

RETCS

RETCSB !addr16

POP PSW

LOCATION 0HまたはLOCATION 0FH

POPU POST

MOV PSWL, A

MOV PSWL, byte

MOVG SP, imm24

割り込み制御レジスタ^注、MK0、MK1、IMC、ISPRの各レジスタに対する書き込み命令およびビット操作命令（BT、BF命令を除く）

PSWLのビット操作命令

（ただし、BT PSWL, bit, \$ addr16命令、BF PSWL. bit, \$ addr16命令、SET1 CY命令、NOT1 CY命令、CLR1 CY命令を除く）。

注 割り込み制御レジスタ：PIC0、PIC1、PIC2、PIC3、PIC4、PIC5、CIC00、CIC01、CIC10、CIC11、CIC20、CIC21、CIC30、ADIC、SERIC、SRIC、CSIIC1、STIC、CSIIC、SERIC2、SRIC2、CSIIC2、STIC2、IEIC1、IEIC2、WIC、CSIIC3

注意 1 . 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合、そのBF命令などの分岐先は、その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると、その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

```

:
LOOP : BF PIC0.7, $ LOOP
      x x x
:

```

PIC0.7が1になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。

良い例 (1)

```

:
LOOP : NOP
      BF PIC0.7, $ LOOP
:

```

NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

良い例 (2)

```

:
LOOP : BT PIC0.7, $ NEXT
      BR $ LOOP
NEXT :

```

BT命令のかわりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利。BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

2 . また、同様の理由により、上記に該当する命令群を連続して使用する場合で、割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には、NOP命令などを途中で挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

23.10 割り込みおよびマクロ・サービスで一時的に実行が中断される命令

次に示す命令は、受け付け可能な割り込み要求およびマクロ・サービスの要求により、一時的にその命令の実行を中断し、割り込みおよびマクロ・サービスを受け付けます。中断された命令は、割り込みサービス・プログラムの終了後、またはマクロ・サービス処理の終了後に再開します。

一時的に中断される命令

MOVM, XCHM, MOVBK, XCHBK
 CMPME, CMPMNE, CMPMC, CMPMNC
 CMPBKE, CMPBKNE, CMPBKC, CMPBKNC
 SACW

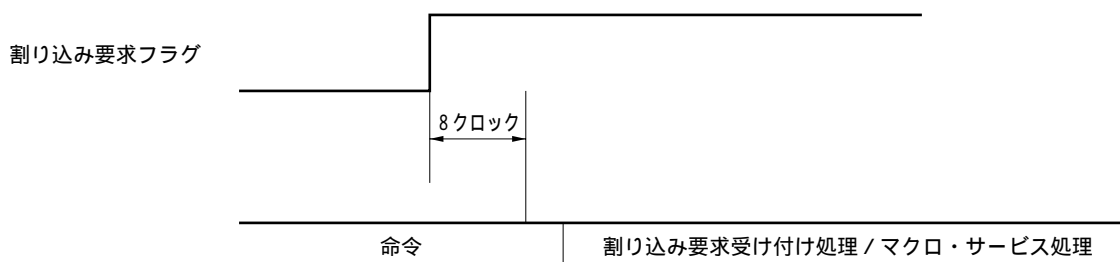
23.11 割り込みおよびマクロ・サービスの動作タイミング

割り込み要求は、各ハードウェアで発生します。発生した割り込み要求は、割り込み要求フラグをセット（1）します。

割り込み要求フラグがセット（1）されると、優先順位などの判定を行うために8クロック（0.64 μ s, $f_{CLK} = 12.58$ MHz）かかります。

その後、実行中の命令が終了した時点で、その割り込みまたはマクロ・サービスの受け付けが許可されていれば、その割り込み要求の受け付け処理を行います。なお、実行中の命令が割り込みおよびマクロ・サービスを一時的に保留する命令であれば、その次の命令終了後に受け付けられます（保留する命令については、23.9 割り込み要求およびマクロ・サービスが一時的に保留される場合参照）。

図23 - 42 割り込み要求の発生と受け付け（単位：クロック）



23.11.1 割り込みの受け付け処理時間

割り込み要求の受け付けには、表23 - 7のような時間がかかります。表23 - 7の時間後に、割り込み処理プログラムの実行を開始します。

表23 - 7 割り込み受け付け処理時間

(単位：クロック = 1/f_{CLK})

ベクタ・テーブル	IROM						EMEM					
	IROM, PRAM			EMEM			PRAM			EMEM		
スタック	IRAM	PRAM	EMEM	IRAM	PRAM	EMEM	IRAM	PRAM	EMEM	IRAM	PRAM	EMEM
ベクタ割り込み	26	29	37 + 4n	27	30	38 + 4n	30	33	41 + 4n	31	34	42 + 4n
コンテキスト・スイッチング	22	-	-	23	-	-	22	-	-	23	-	-

備考1 . IROM : 内部ROM (ただし、高速フェッチ指定時)。

PRAM : 内部RAMの周辺RAM (ただし、分岐先の場合はLOCATION 0 命令実行時のみ)。

IRAM : 内部高速RAM。

EMEM : 外部メモリおよび高速フェッチを指定していないときの内部ROM。

- 2 . nは、スタックへの書き込み時に必要となる1バイト当たりのウエイト数 (ウエイト数はアドレス・ウエイトとアクセス・ウエイトの合計です)。
- 3 . ベクタ・テーブルがEMEMの場合で、ベクタ・テーブルの読み出し時にウエイトを挿入しているときは、表中の値に、ベクタ割り込み時は2m、コンテキスト・スイッチング時はmを加えてください。ただし、mはベクタ・テーブルの読み出し時に必要となる1バイト当たりのウエイト数です。
- 4 . 分岐先がEMEMの場合で、分岐先の命令の読み込み時にウエイトを挿入しているときは、そのウエイト数を加えてください。
- 5 . スタックがPRAMにとられている場合で、スタック・ポインタ (SP) の値が奇数の場合は、表中の値に4を加えてください。
- 6 . ウエイト数は、アドレス・ウエイトとアクセス・ウエイトの合計数です。

23.11.2 マクロ・サービスの処理時間

マクロ・サービス処理は、マクロ・サービスのタイプなどにより異なり、表23 - 8のような時間となります。

表23 - 8 マクロ・サービス処理時間

(単位：クロック = $1/f_{CLK}$)

マクロ・サービスの処理タイプ			データ領域	
			IRAM	その他
タイプA	SFR メモリ	1バイト	24	-
		2バイト	25	-
	メモリ SFR	1バイト	24	-
		2バイト	26	-
タイプB	SFR メモリ		33	35
	メモリ SFR		34	36
タイプC			49	53
カウンタ・モード	MSC = 0		17	-
	MSC = 0		25	-

備考1．IRAM：内部高速RAM。

2．その他のデータ領域で次の場合には、各場合ごとに指定されたクロック数を加算してください。

- ・ IROM, PRAMでデータのサイズが2バイトで、奇数番地にデータが配置されている場合：4クロック。
- ・ EMEMでデータ・サイズが1バイトの場合：データ・アクセス時のウエイト数。
- ・ EMEMでデータ・サイズが2バイトの場合： $4 + 2n$ (ただし、 n は1バイト当たりのウエイト数)。

3．タイプA, タイプB, タイプCで、MSC = 0となる場合は、1クロックを加算してください。

4．タイプCの場合、使用する機能やそのときの状態に応じて次の値を加算してください。

- ・ リング制御：4クロック。ただし、リング制御時にリング・カウンタが0になった場合は、さらに7クロックを加算。

23.12 割り込み機能を初期状態に戻す方法

プログラムの暴走や、システムの異常をオペランド・エラー割り込みやウォッチドッグ・タイマ、NMI端子入力などで検出した場合、システム全体を初期状態に戻す必要があります。μPD784938Aは、割り込みの受け付けに関する優先順位の制御をハードウェアによって行います。この割り込みの受け付けに関するハードウェアも、初期状態にしないと以降の割り込みの受け付けに関する制御が異常になる場合があります。

次に、割り込みの受け付けに関するハードウェアをプログラムで初期化する方法を示します。なお、ハードウェアで初期化する方法は、 $\overline{\text{RESET}}$ 入力しかありません。

```

例      MOVW MK0,  0FFFFH ; マスカブル割り込みはすべてマスクする
        MOV  MK1,  0FFFFH

IRESL  :
        CMP  ISPR2,  0      ; すべての処理中の割り込みサービス・プログラムがなくなったか?
        BNZ  $ INIR
        CMP  ISPR,  0

INIR   :
        BZ   $ NEXT
        MOVG SP,  RETVAL ; SPの位置を強制的に変更
        RETI                ; 処理中の割り込みサービス・プログラムを強制終了、戻り番地はIRESL

RETVAL :
        DW   LOWW ( IRESL ) ; RETI命令でIRESLへ戻るためのスタックのデータ
        DB   0
        DB   HIGHW ( IRESL ) ; LOWW, HIGHWは、それぞれシンボルの下位16ビット、上位16ビットの値を計算するアセンブラの演算子

NEXT   :
        ・このプログラム実行中には、NMI端子によるノンマスカブル割り込み要求が発生しないようにする必要があります。
        ・この後、内蔵周辺ハードウェアの初期化および割り込み制御レジスタの初期化を行う
        ・割り込み制御レジスタの初期化時には、割り込み要求フラグを必ずクリア ( 0 ) する

```

23.13 注意事項

- (1) インサースビス・プライオリティ・レジスタ (ISPR) は、読み出しのみ可能です。書き込みを行うと、誤動作する恐れがあります。
- (2) ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, byte) でのみ書き込みが可能です。
- (3) BRK命令によるソフトウェア割り込みからの復帰に、RETI命令を使用してはいけません。
- (4) BRKCS命令によるソフトウェア割り込みからの復帰に、RETCS命令を使用してはいけません。
- (5) マスカブル割り込みをベクタ割り込みで受け付けた場合は、必ずRETI命令で復帰してください。他の命令では、以降の割り込みに関する動作が正常に行われません。
- (6) コンテキスト・スイッチングによる割り込みからの復帰には、必ずRETCS命令を使用してください。他の命令では、以降の割り込みに関する動作が正常に行われません。
- (7) ノンマスカブル割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ、処理されます。ノンマスカブル割り込みサービス・プログラム中でマクロ・サービスの処理を行いたくない場合は、ノンマスカブル割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して、マクロ・サービスが発生しないようにしてください。
- (8) ノンマスカブル割り込みからの復帰には、必ずRETI命令を使用してください。他の命令では、以降の割り込みの受け付けが正常に行われません。
- (9) ノンマスカブル割り込みは、ノンマスカブル割り込みサービス・プログラム実行中 (優先順位の低いノンマスカブル割り込みサービス・プログラム実行中に、優先順位の高いノンマスカブル割り込みの要求が発生した場合を除く) および23.9に示す特定命令の実行後の一定期間を除いては必ず受け付けられます。したがって、特にリセット解除後などのスタック・ポインタ (SP) の値が不定の場合でもノンマスカブル割り込みを受け付けます。このときのSPの値によっては特殊機能レジスタ (SFR) の書き込みを禁止しているアドレス (3.9 特殊機能レジスタ (SFR) の表3 - 6参照) へプログラム・カウンタ (PC) およびプログラム・ステータス・ワード (PSW) を書き込んでしまい、CPUがデッドロックしてしまったり、端子から予期しない信号を出力したり、RAMが実装されていないアドレスへPCやPSWを書き込むことにより、ノンマスカブル割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。
したがって、RESET解除後のプログラムは必ず次のようにしてください。

```

CSEG AT 0
DW   STRT
CSEG BASE

STRT :
LOCATION 0FH ; or LOCATION 0
MOVG SP,   imm24
    
```

- (10) 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合、そのBF命令などの分岐先は、その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると、その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

```

悪い例
:
LOOP : BF PIC0.7, $ LOOP
      x x x
:
    
```

PIC0.7が1になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。

```

良い例(1)
:
LOOP : NOP
      BF PIC0.7, $ LOOP
:
    
```

NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

```

良い例(2)
:
LOOP : BT PIC0.7, $ NEXT
      BR $ LOOP
NEXT :
    
```

BT命令のかわりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利。BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

- (11) (10)と同様の理由により、上記に該当する命令群を連続して使用する場合で、割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には、NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

第24章 ローカル・バス・インタフェース機能

ローカル・バス・インタフェース機能は、外部にメモリ（ROM, RAM）およびI/Oを接続するための機能です。

外部のメモリ（ROM, RAM）およびI/Oは、AD0-AD7端子をマルチプレクスト・アドレス/データ・バス、A8-A19端子をアドレス・バスとし、 \overline{RD} 、 \overline{WR} 、ASTB端子信号を用いてアクセスします。

図24 - 5、図24 - 6に基本的なバス・インタフェース・タイミングを示します。

また、低速なメモリとインタフェースするためのウエイト機能、疑似スタティックRAMをリフレッシュするためのリフレッシュ信号出力機能、DMAコントローラなどのバス・マスタ機能を持つデバイスを接続するためのバス・ホールド機能を備えています。

24.1 メモリ拡張機能

μ PD784938Aは、メモリ拡張機能モード・レジスタ（MM）の設定により、外部にメモリおよびI/Oの拡張ができます。

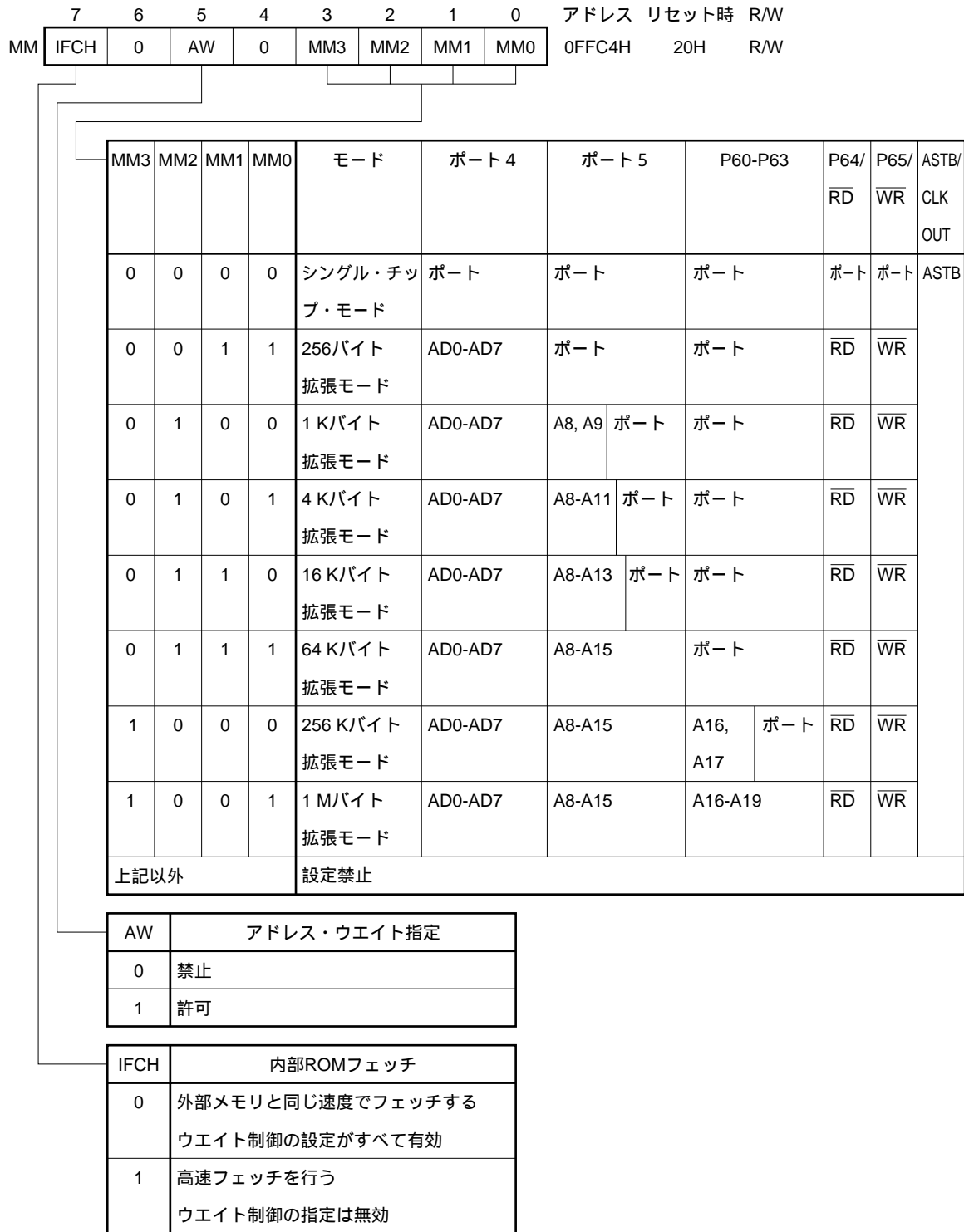
24.1.1 メモリ拡張モード・レジスタ（MM）

MMは、外部拡張メモリの制御、アドレス・ウエイト数の指定、内部フェッチ・サイクルの制御を行う8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図24 - 1に、MMのフォーマットを示します。

\overline{RESET} 入力で20Hになります。

図24 - 1 メモリ拡張モード・レジスタ (MM) のフォーマット



24.1.2 外部メモリ拡張時のメモリ・マップ

メモリ拡張時のメモリ・マップを図24 - 2, 図24 - 3に示します。メモリ拡張時であっても, 内部ROM領域, 内部RAM領域およびSFR領域(外部SFR領域(0FFD0H-0FFDFH)を除く)と同一のアドレスにある外部デバイスはアクセスできません。これらのアクセスに対するアクセス時には, μ PD784938A内のメモリおよびSFRが優先的にアクセスされ, $\overline{\text{ASTB}}$ 信号, $\overline{\text{RD}}$ 信号, $\overline{\text{WR}}$ 信号は出力されません(インアクティブ・レベルのまま)。また, アドレス・バスの出力レベルはそれ以前に出力したレベルのままとなり, アドレス/データ・バスの出力はハイ・インピーダンスになります。

1Mバイト拡張モード以外では, 外部に出力されるアドレスは, プログラムで指定したアドレスの上位側がマスクされた状態で出力されます。

例 1

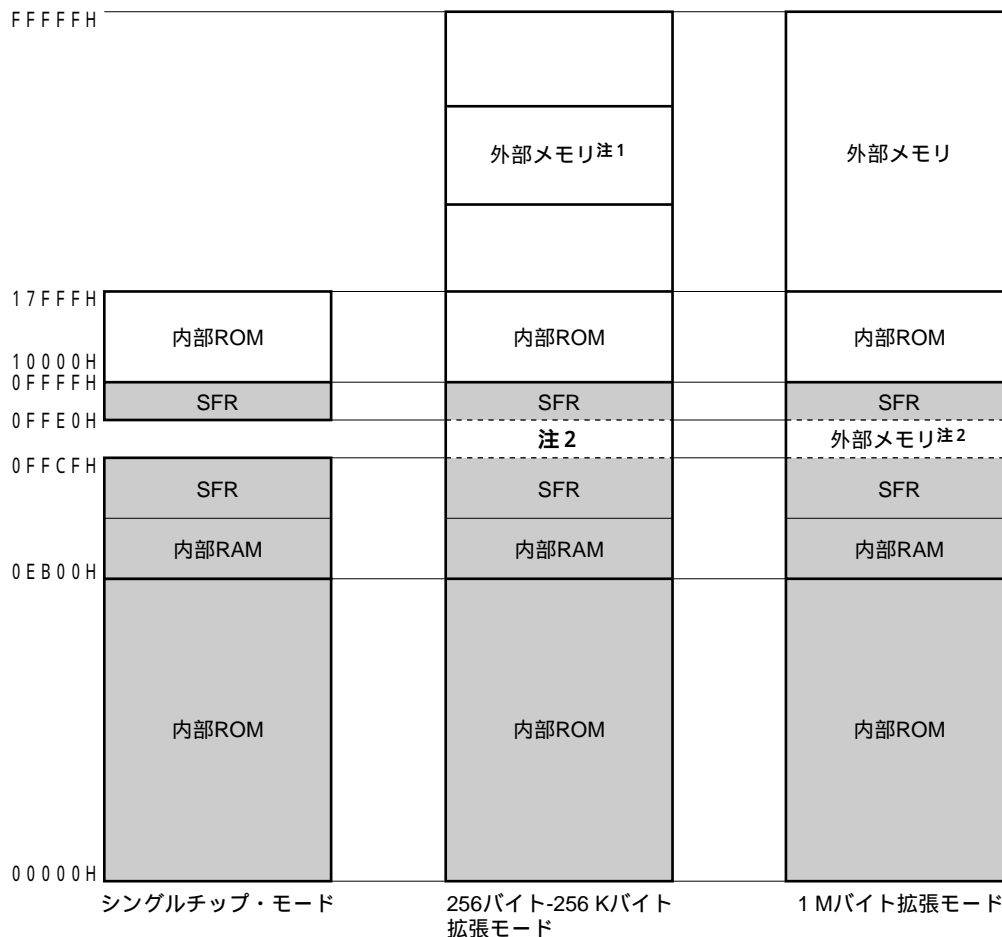
256バイト拡張モード時に, プログラムで54321H番地をアクセスする場合, 出力されるアドレスは21Hとなる。

例 2

256バイト拡張モード時に, プログラムで67821H番地をアクセスする場合, 出力されるアドレスは21Hとなる。

図24 - 2 μPD784935Aのメモリ・マップ (1/2)

(a) LOCATION 0H命令実行時

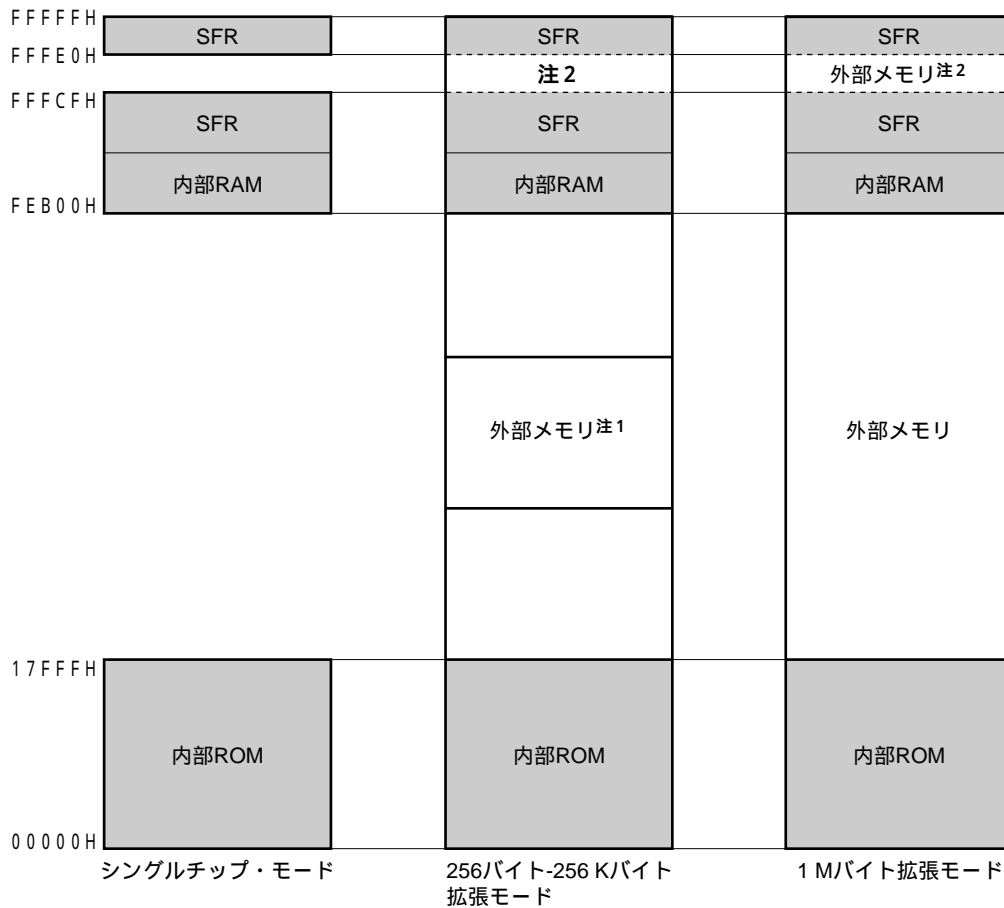


注1 . アミのない部分の任意の拡張サイズ分の領域

2 . 外部SFR領域

図24 - 2 μPD784935Aのメモリ・マップ (2/2)

(b) LOCATION 0FH命令実行時

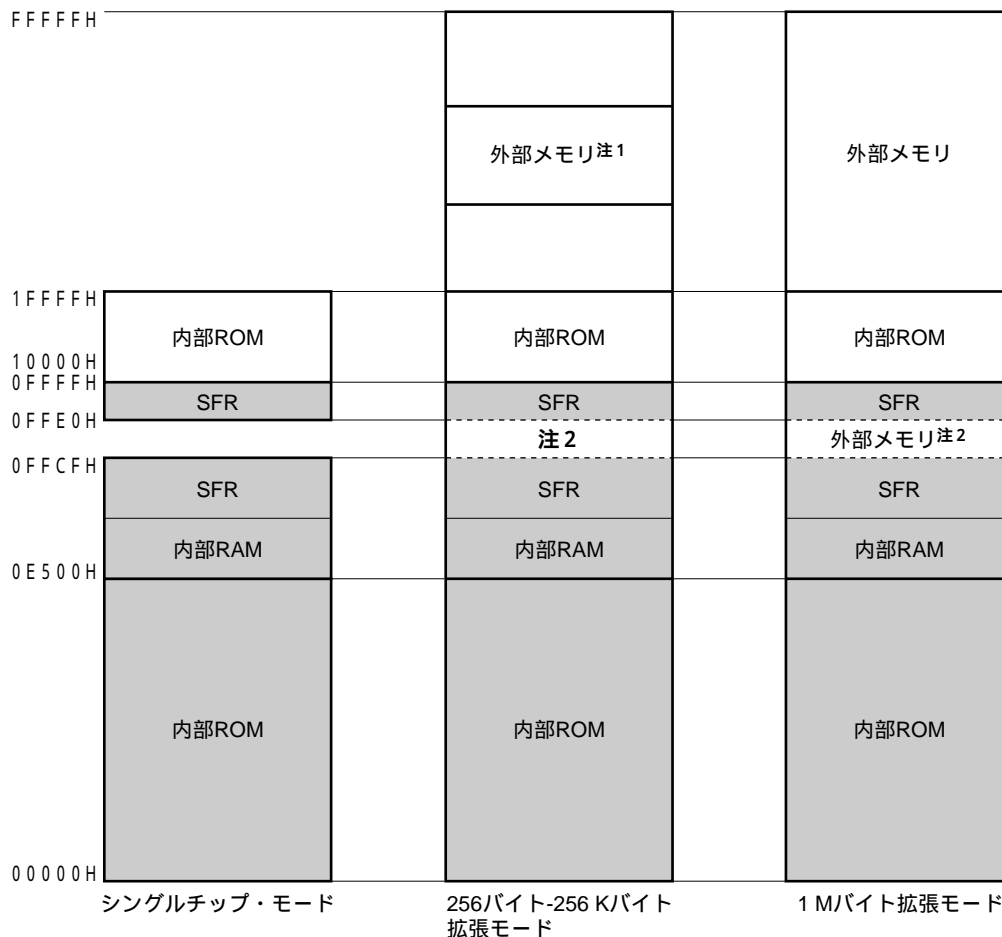


注1 . アミのない部分の任意の拡張サイズ分の領域

2 . 外部SFR領域

図24 - 3 μPD784936Aのメモリ・マップ(1/2)

(a) LOCATION 0H命令実行時

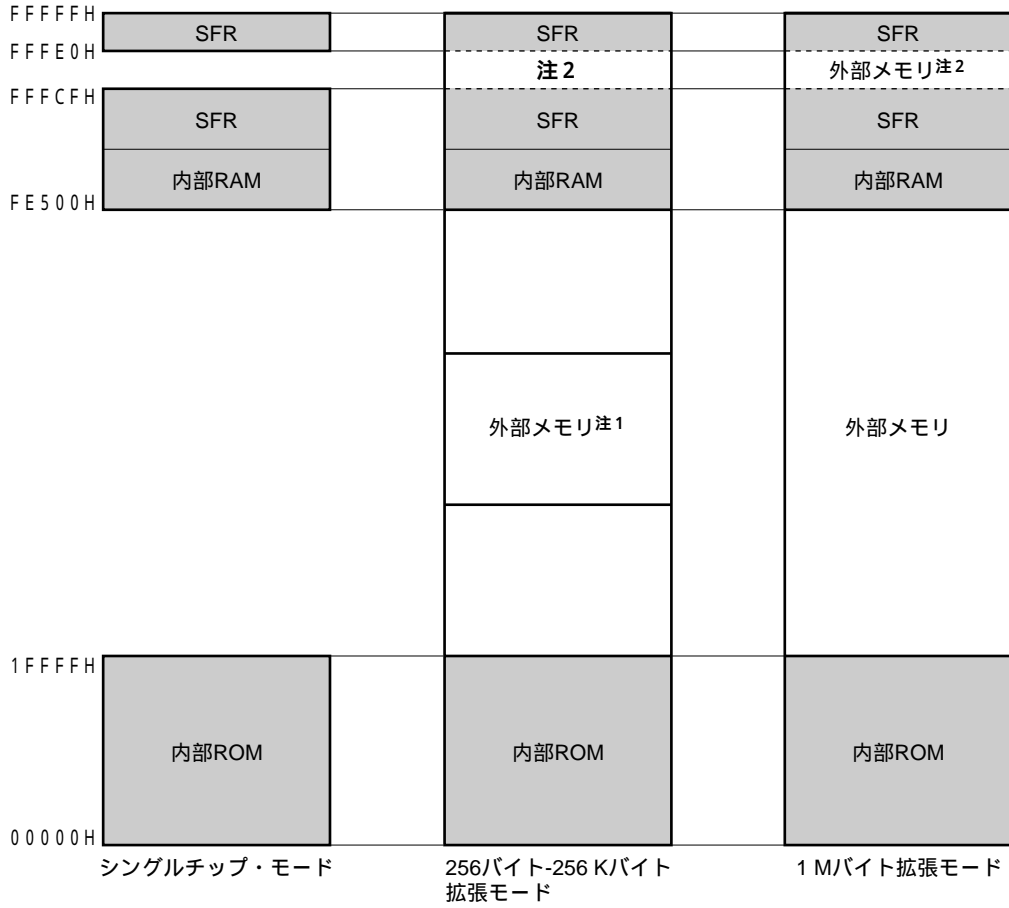


注1 . アミのない部分の任意の拡張サイズ分の領域

2 . 外部SFR領域

図24 - 3 μPD784936Aのメモリ・マップ (2/2)

(b) LOCATION 0FH命令実行時

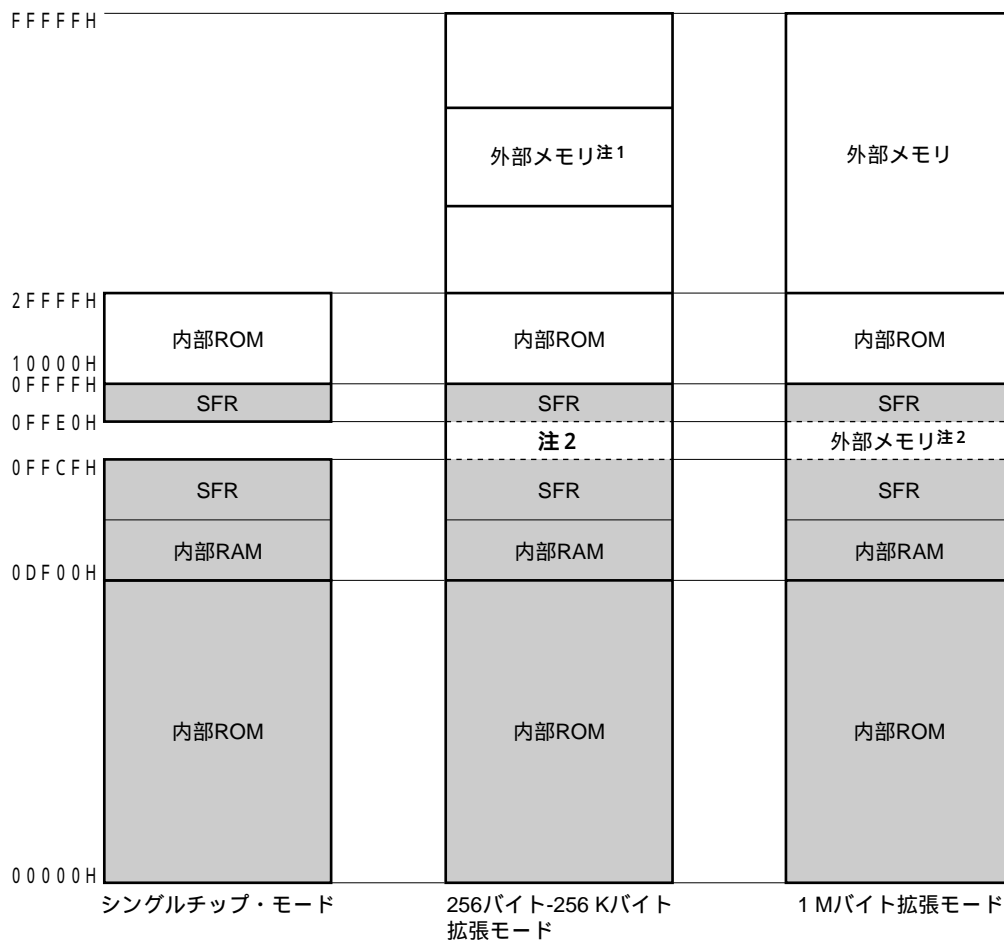


注1 . アミのない部分の任意の拡張サイズ分の領域

2 . 外部SFR領域

図24 - 4 μPD784937Aのメモリ・マップ (1/2)

(a) LOCATION 0H命令実行時

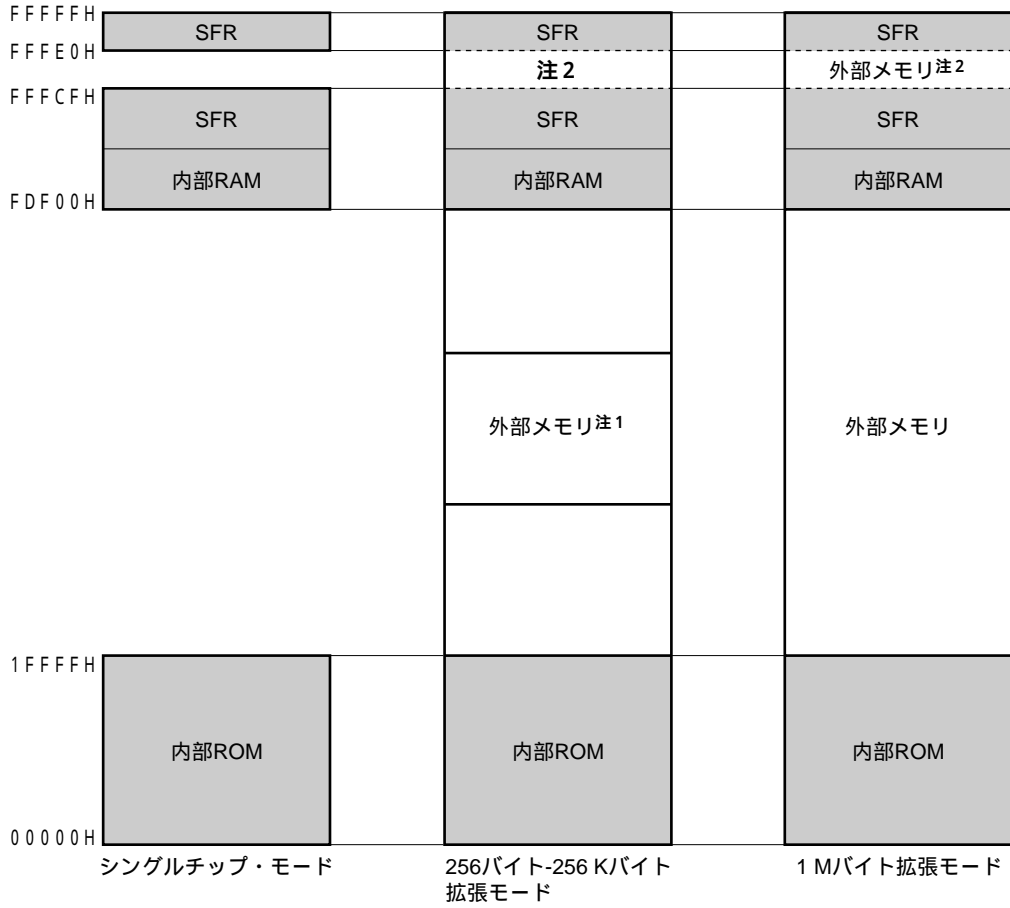


注1 . アミのない部分の任意の拡張サイズ分の領域

2 . 外部SFR領域

図24 - 4 μPD784937Aのメモリ・マップ (2/2)

(b) LOCATION 0FH命令実行時

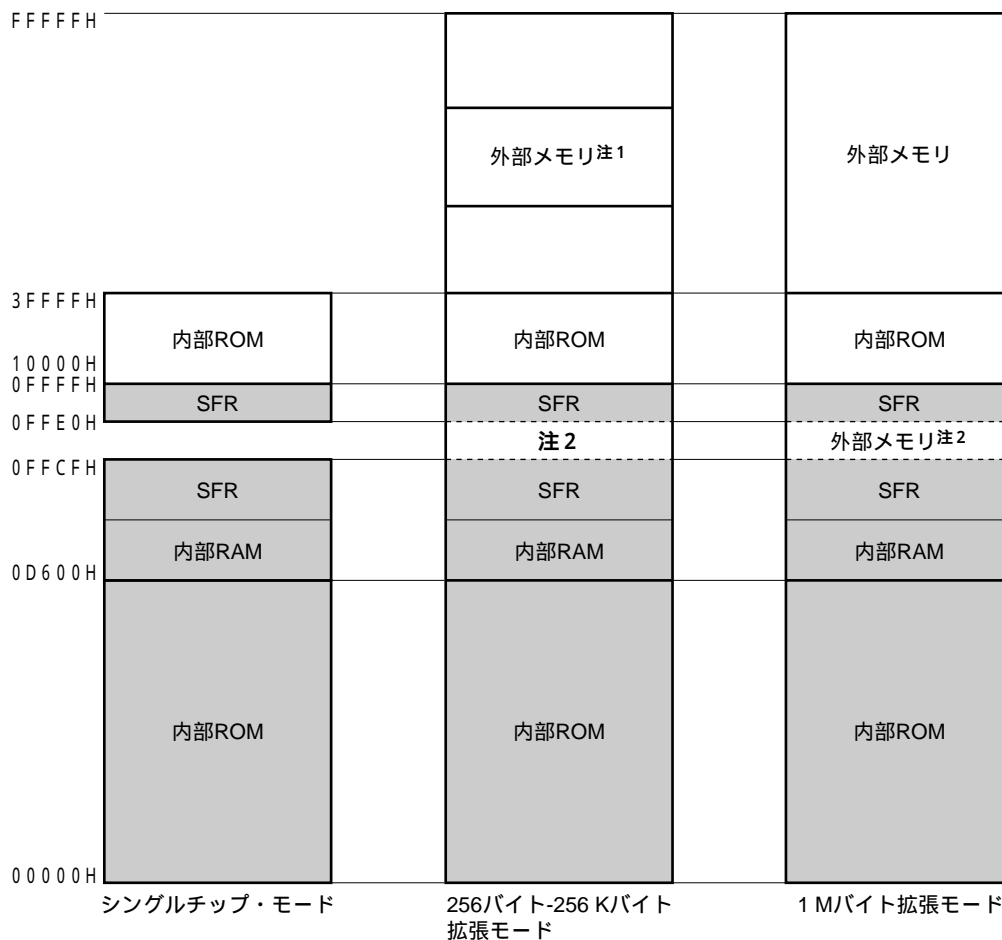


注1 . アミのない部分の任意の拡張サイズ分の領域

2 . 外部SFR領域

図24 - 5 μPD784938Aのメモリ・マップ(1/2)

(a) LOCATION 0H命令実行時

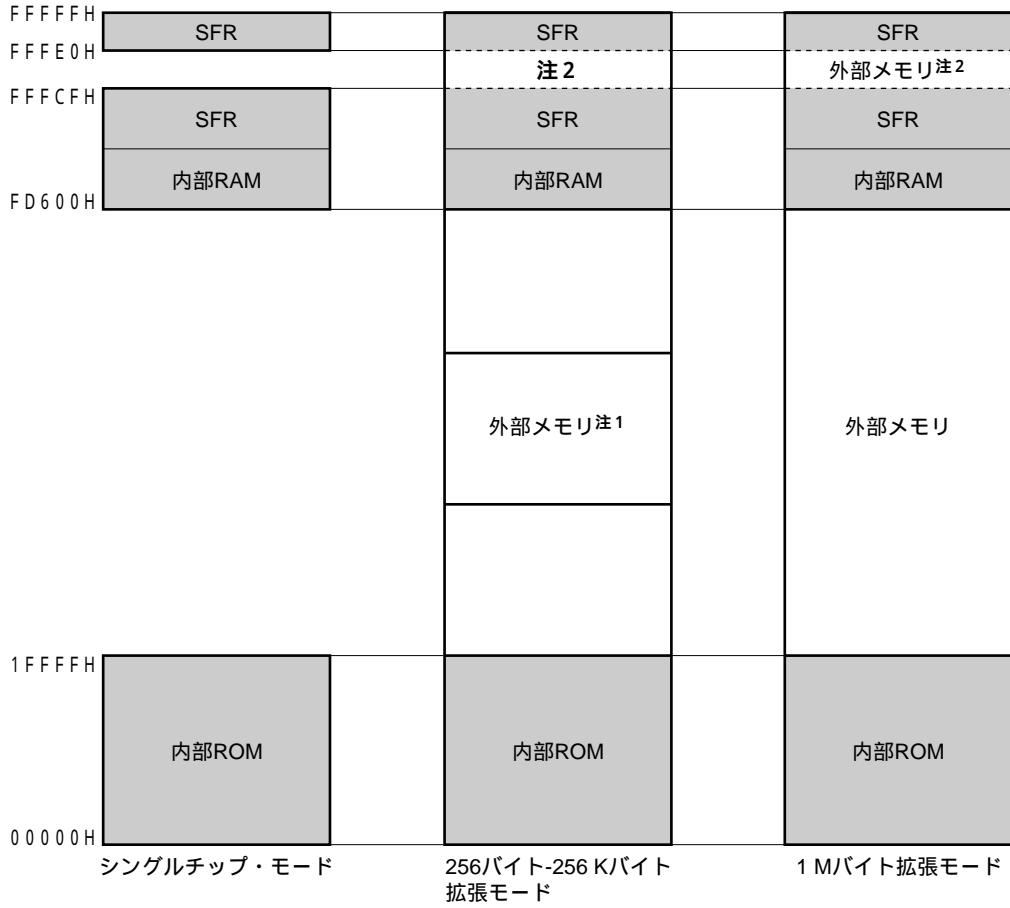


注1 . アミのない部分の任意の拡張サイズ分の領域

2 . 外部SFR領域

図24 - 5 μ PD784938Aのメモリ・マップ (2/2)

(b) LOCATION 0FH命令実行時



注1 . アミのない部分の任意の拡張サイズ分の領域

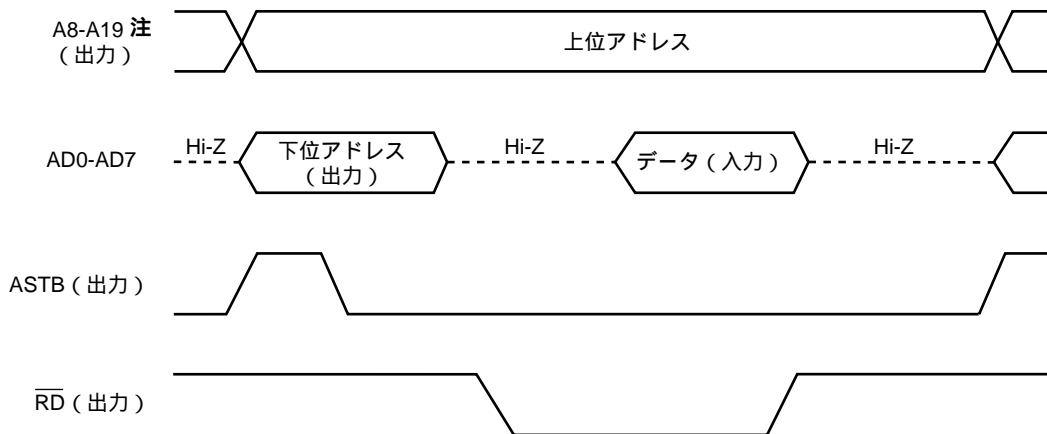
2 . 外部SFR領域

24.1.3 ローカル・バス・インタフェースの基本動作

ローカル・バス・インタフェースは、 \overline{ASTB} 、 \overline{RD} 、 \overline{WR} 、アドレス/データ・バス (AD0-AD7)、アドレス・バス (A8-A19) を使用して外付けのメモリなどをアクセスします。ローカル・バス・インタフェース使用時は、P64、P65およびポート4は自動的に \overline{RD} 、 \overline{WR} 、AD0-AD7として動作するようになります。アドレス・バスは拡張するメモリ・サイズに応じた端子のみがアドレス・バスとして動作します。

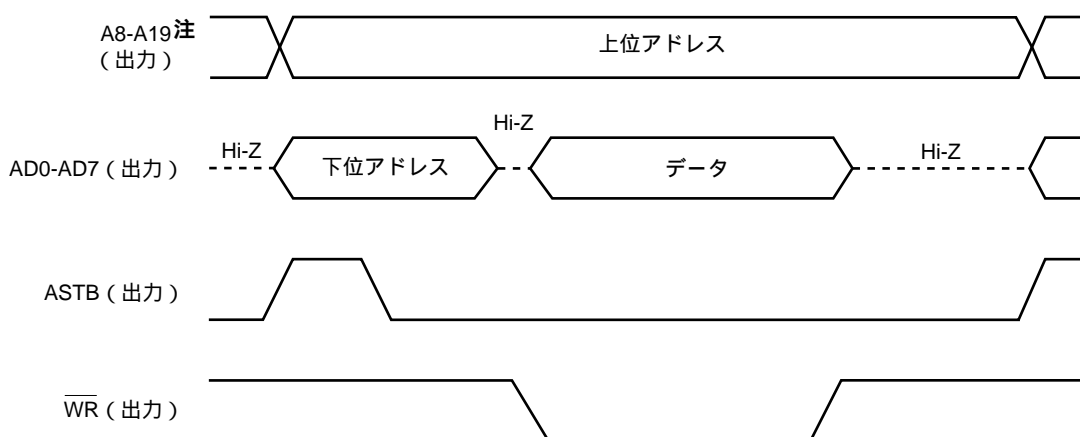
メモリ・アクセスのタイミングの概要を、図24-6、図24-7に示します。

図24-6 リード・タイミング



注 拡張モードのサイズにより、使用するアドレス・バスの端子数は変わります。

図24-7 ライト・タイミング



注 拡張モードのサイズにより、使用するアドレス・バスの端子数は変わります。

24.2 ウェイト機能

μPD784938Aは外部に低速なメモリ，I/Oを接続する場合，外部メモリ・アクセス・サイクルにウェイトを挿入することができます。

ウェイト・サイクルには，アドレスのデコード時間を確保するためのアドレス・ウェイトと，アクセス・タイムを確保するためのアクセス・ウェイトがあります。

24.2.1 ウェイト機能の制御レジスタ

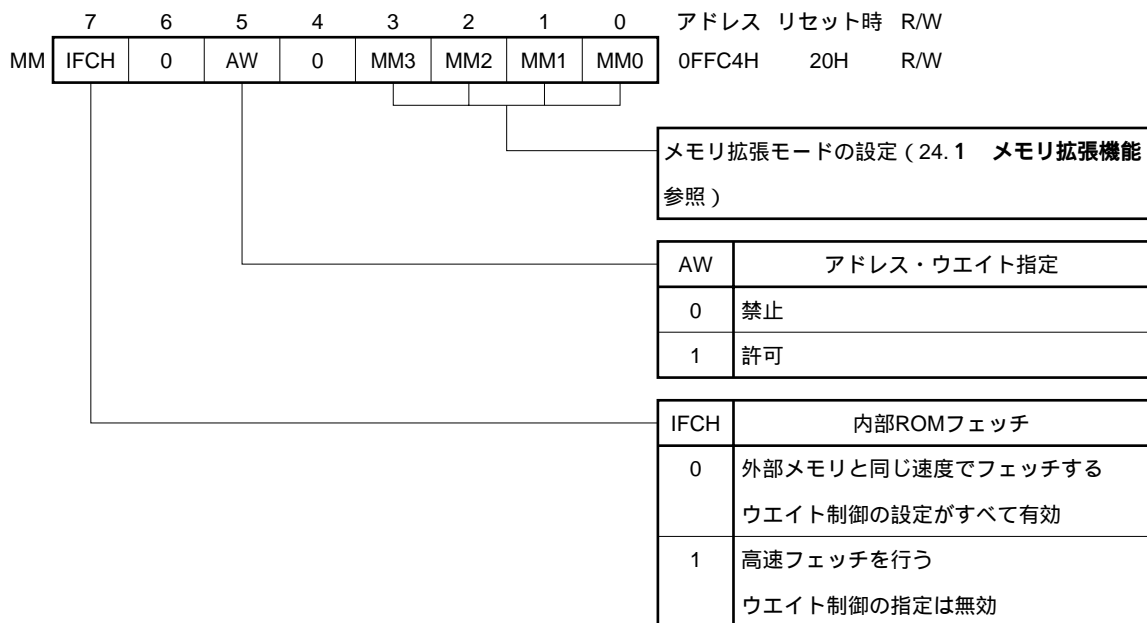
(1) メモリ拡張モード・レジスタ (MM)

MMのIFCHビットで内部ROMアクセス時のウェイト制御の設定と，AWビットでアドレス・ウェイトの設定を行います。

MMは，8ビット操作命令で読み出し／書き込みが可能です。図24 - 8に，MMのフォーマットを示します。

$\overline{\text{RESET}}$ 入力により20Hになり，内部ROMアクセスは外部メモリと同等のサイクルになり，アドレス・ウェイト機能が有効となります。

図24 - 8 メモリ拡張モード・レジスタ (MM) のフォーマット



(2) プログラマブル・ウェイト制御レジスタ (PWC1, PWC2)

PWC1, PWC2は, ウェイト数を指定するレジスタです。

PWC1は, 0-FFFFHの空間を4分割し, 分割した各空間ごとにウェイトの制御を指定する8ビットのレジスタです。PWC2は, 10000H-FFFFHの空間を4分割し, 分割した各空間ごとにウェイトの制御を指定する16ビットのレジスタです。

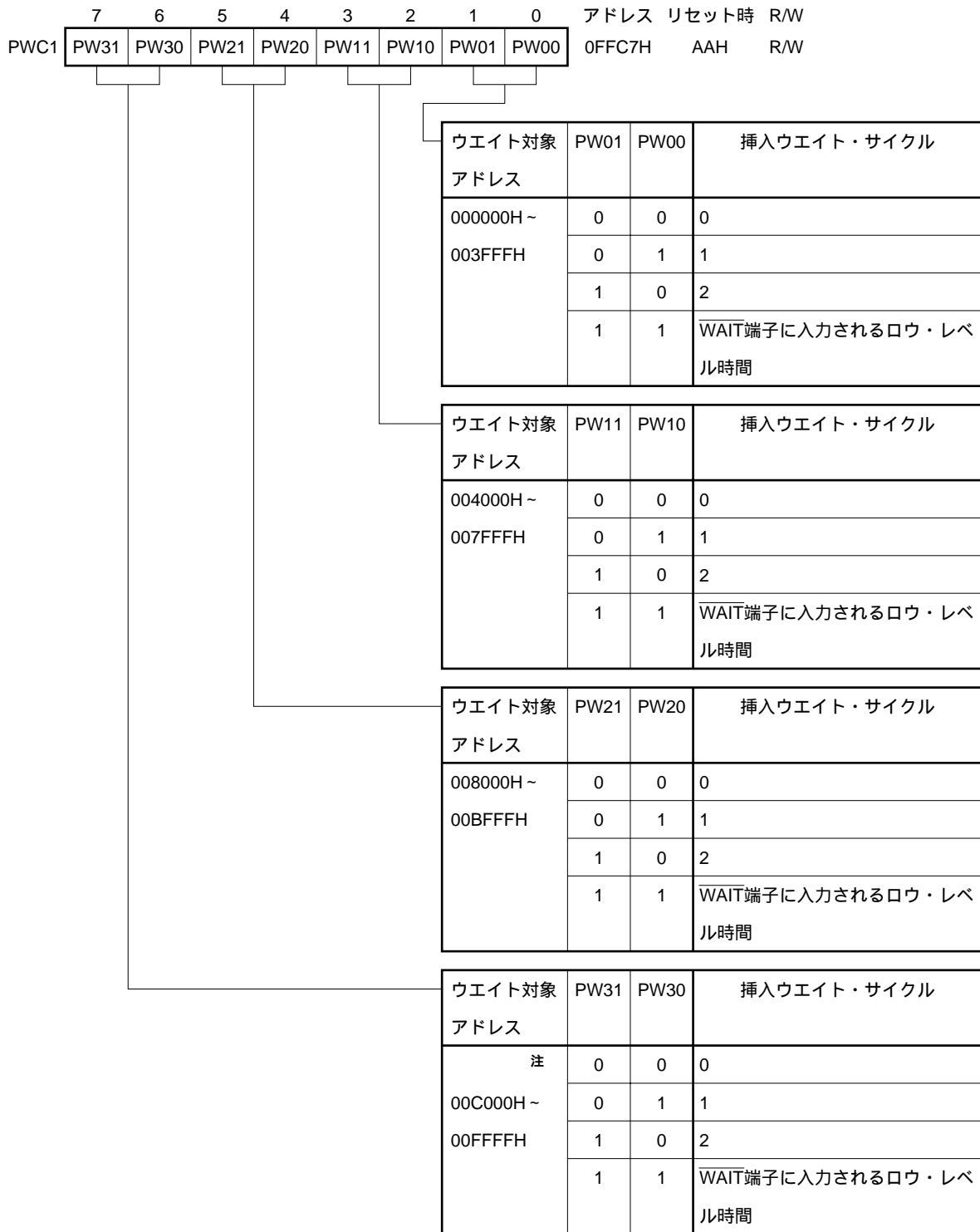
PWC1は8ビット操作命令で, PWC2は16ビット操作命令で読み出し/書き込みが可能です。図24-9に, PWC1, PWC2のフォーマットを示します。

なお, PWC2の上位8ビットはAAHに固定されていますので, 必ず上位8ビットはAAHになるようにしてください。

$\overline{\text{RESET}}$ 入力により, PWC1はAAHに, PWC2はAAAAAHになり, 全空間に対して, 2ウェイトの挿入が行われます。

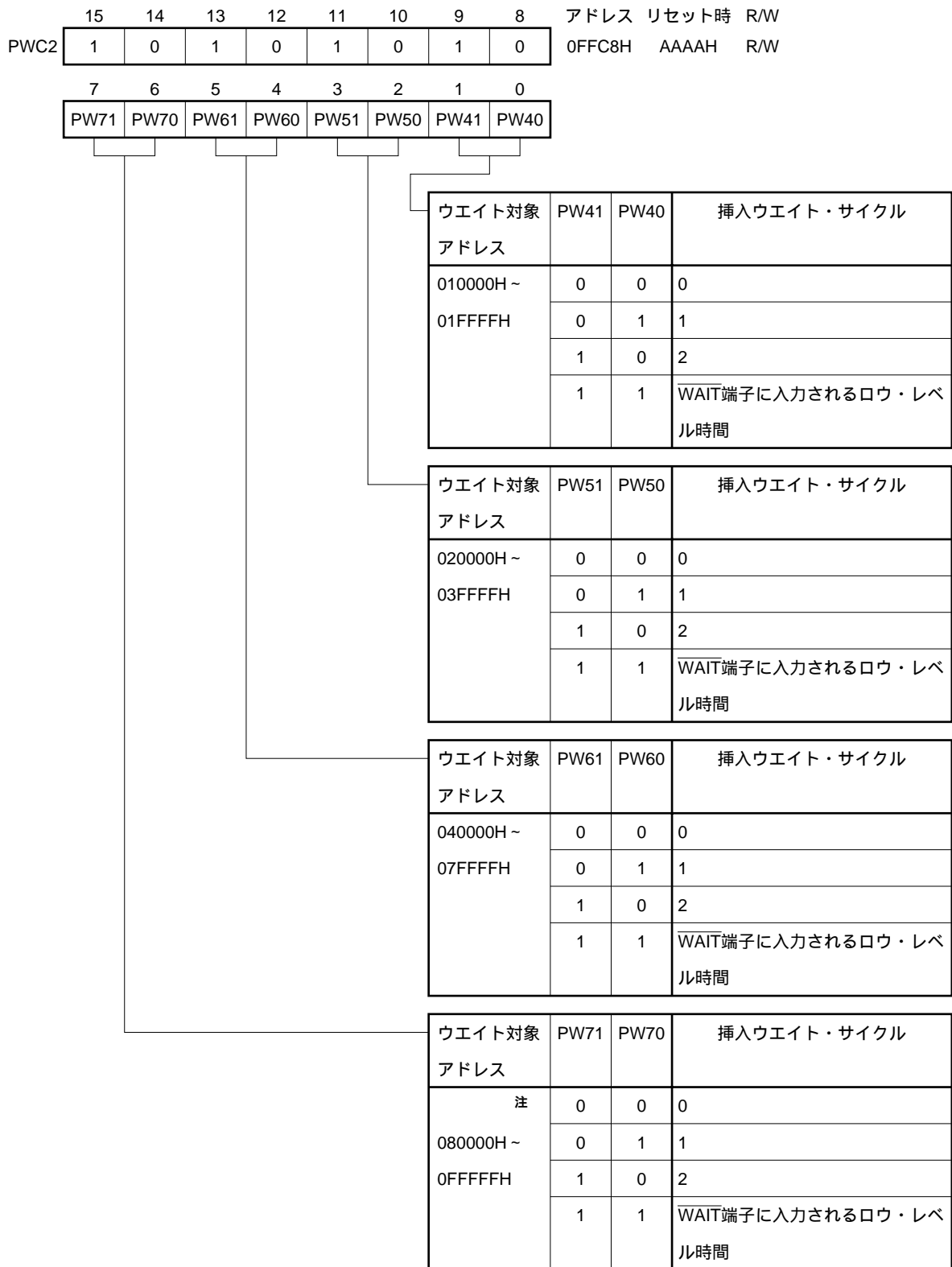
図24 - 9 プログラマブル・ウェイト制御レジスタ (PWC1, PWC2) のフォーマット

(a) プログラマブル・ウェイト制御レジスタ 1 (PWC1)



注 内部データ領域と重なる部分を除く

(b) プログラマブル・ウエイト制御レジスタ2 (PWC2)



注 内部データ領域と重なる部分を除く

注意 バス・ホールド機能使用時には、 $\overline{\text{WAIT}}$ 端子によるアクセス・ウエイトの制御はできません。必ず、すべての空間に対して0、1または2ウエイトを選択してください。

24.2.2 アドレス・ウエイト

アドレス・ウエイトは、アドレスのデコード時間を確保するためのウエイトです。メモリ拡張モード・レジスタ (MM) のAWビットをセット (1) することにより、すべてのメモリ・アクセス時に挿入されます。アドレス・ウエイトを挿入すると、ASTB信号のハイ・レベルの期間が1システム・クロック (80 ns, $f_{CLK} = 12.58 \text{ MHz}$ 時) 長くなります。

注 内部RAM、内部のSFRおよび高速フェッチ時の内部ROMを除く。

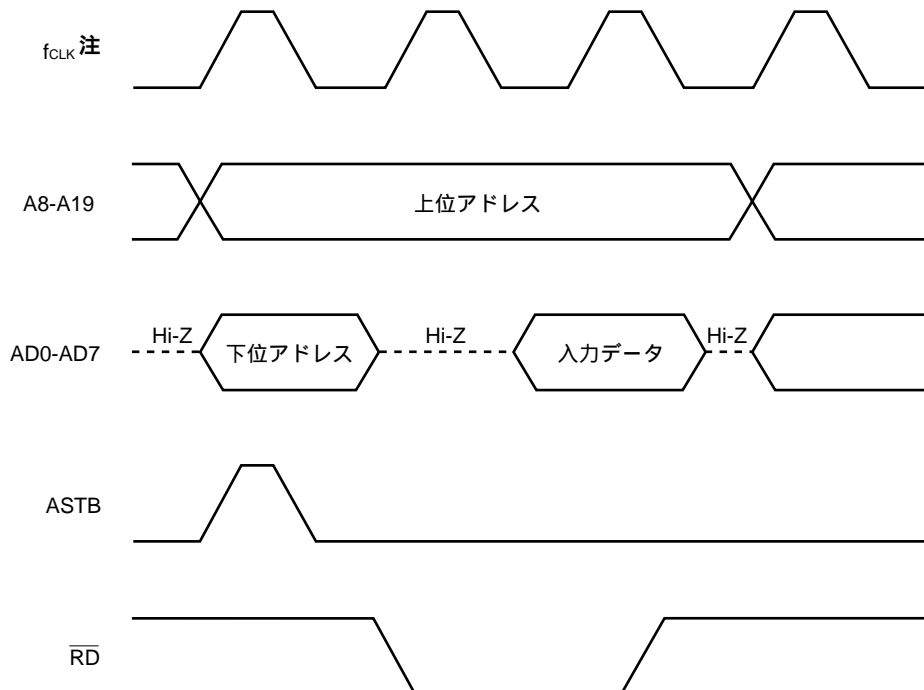
なお、内部ROMアクセスを外部ROMアクセスと同じサイクルで行うように指定した場合は、内部ROMアクセス時にもアドレス・ウエイトが挿入されます。

注意 アドレス・ウエイト機能使用時に疑似スタティックRAMリフレッシュ機能を使用すると、リフレッシュ・パルスの出力とメモリ・アクセスが同時に発生する場合があります。したがって、アドレス・ウエイト機能使用時には、疑似スタティックRAMリフレッシュ機能を使用しないでください。

また、疑似スタティックRAMリフレッシュ機能使用時には、アドレス・ウエイト機能を使用しないでください。

図24 - 10 アドレス・ウエイト機能によるリード/ライト・タイミング (1/3)

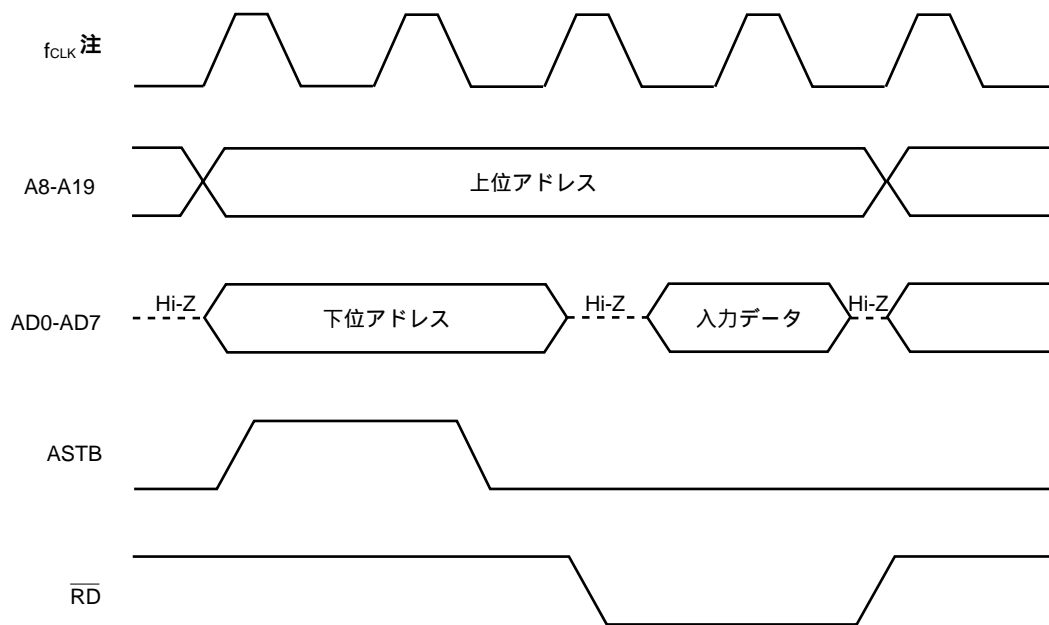
(a) アドレス・ウエイト未挿入時のリード・タイミング



注 f_{CLK} : 内部システム・クロック周波数。この信号は、 μ PD784938A内にもみ存在する信号です。

図24 - 10 アドレス・ウエイト機能によるリード/ライト・タイミング (2/3)

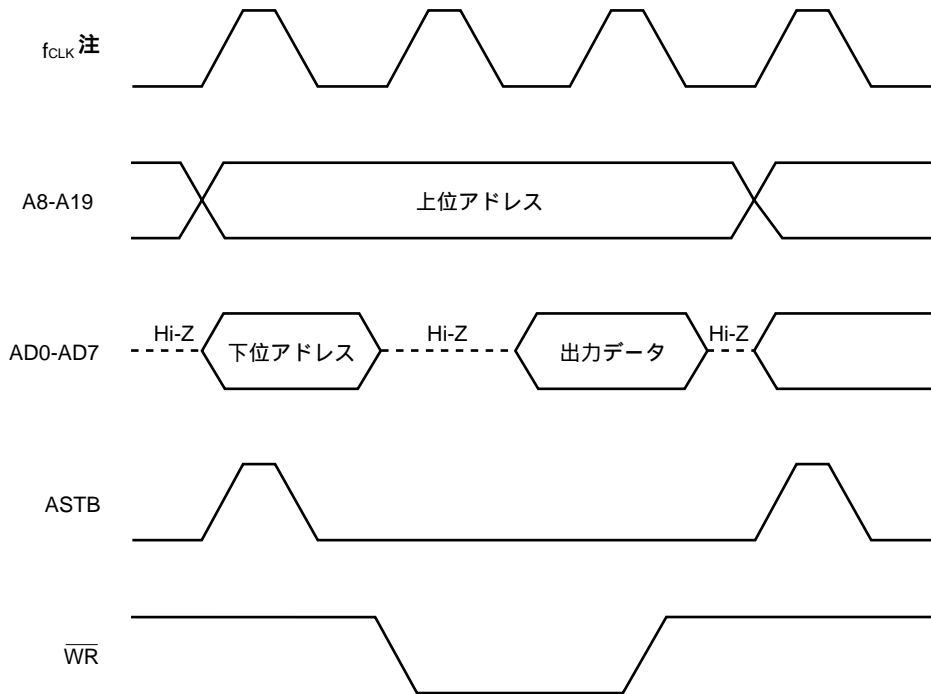
(b) アドレス・ウエイト挿入時のリード・タイミング



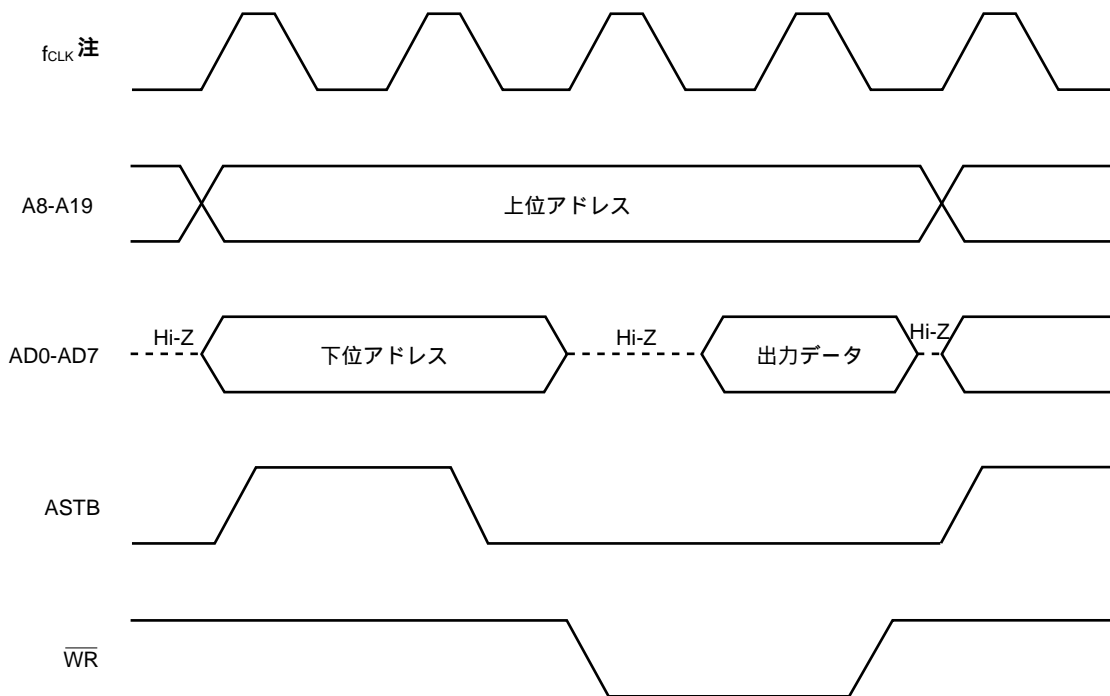
注 f_{CLK} : 内部システム・クロック周波数。この信号は μ PD784938A内にもみ存在する信号です。

図24 - 10 アドレス・ウェイト機能によるリード/ライト・タイミング (3/3)

(c) アドレス・ウェイト未挿入時のライト・タイミング



(d) アドレス・ウェイト挿入時のライト・タイミング



注 fCLK : 内部システム・クロック周波数。この信号は μ PD784938A内にもみ存在する信号です。

24.2.3 アクセス・ウエイト

アクセス・ウエイトは、 \overline{RD} 、 \overline{WR} 信号のロウ・レベルの期間中に挿入され、1サイクルあたり $1/f_{CLK}$ (80 ns, $f_{CLK} = 12.58$ MHz時) ずつロウ・レベルの期間が引き延ばされます。

ウエイトの挿入方法としては、あらかじめ設定したサイクル数を自動的に挿入するプログラマブル・ウエイト機能、外部からウエイト信号によって制御する外部ウエイト機能とがあります。

ウエイト・サイクル挿入の制御は、1 Mバイトのメモリ空間を図24 - 11のように8分割して、各空間ごとにプログラマブル・ウエイト制御レジスタ (PWC1, PWC2) で指定します。なお、高速フェッチ時の内部ROMおよび内部RAMに対するアクセス時には、ウエイトは挿入されません。また、内部のSFRに対するアクセス時には、この指定とは無関係に必要なタイミングでウエイトが挿入されます。

外部ROMと同じサイクル数でアクセス動作を行うよう指定した場合は、PWC1の設定にしたがって、内部ROMのアクセスにもウエイトが入ります。

P66端子は、PWC1, PWC2で外部からのウエイト信号で制御することを選択した空間があると、 \overline{WAIT} 信号入力端子として動作するようになります。 \overline{RESET} 入力により、P66端子は汎用入出力ポートとして動作するようになります。

アクセス・ウエイト挿入時のバス・タイミングを図24 - 12-図24 - 14に示します。

注意 バス・ホールド機能使用時には、外部ウエイト機能は使用できません。

図24 - 11 ウェイト制御の空間

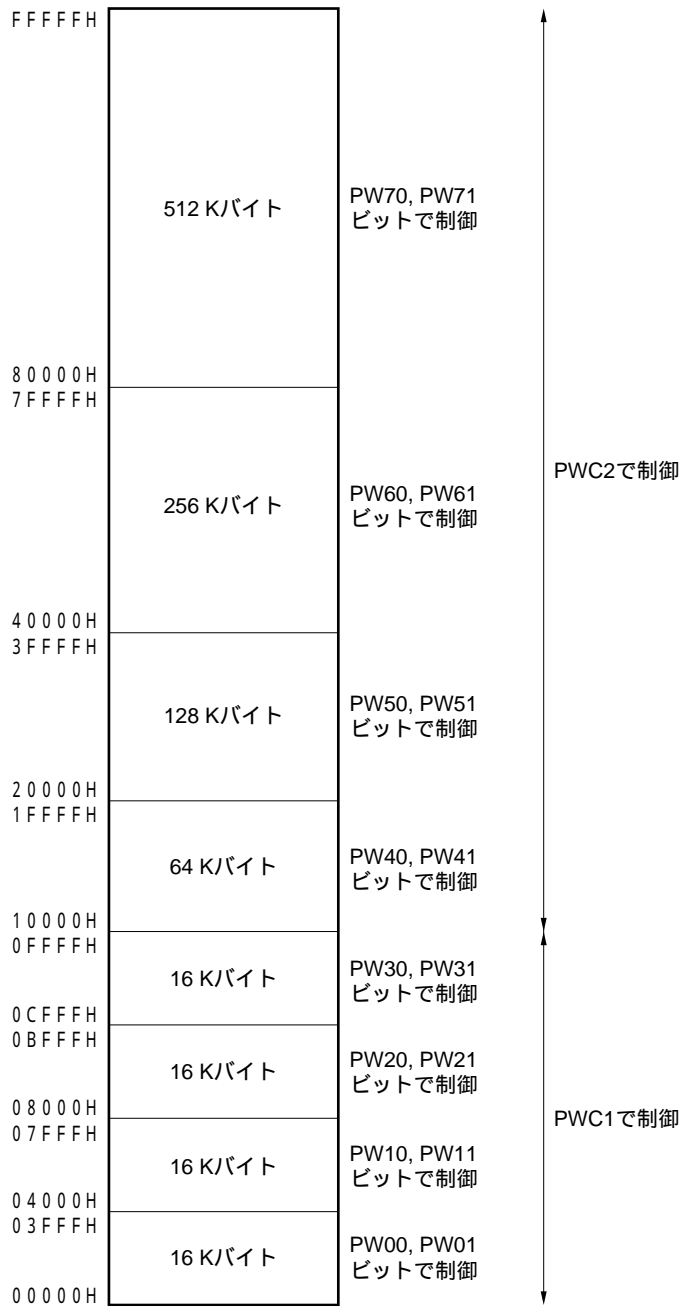
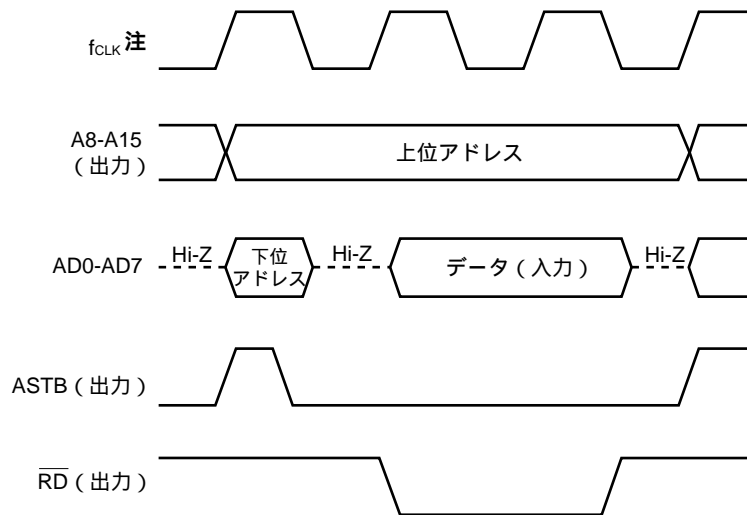
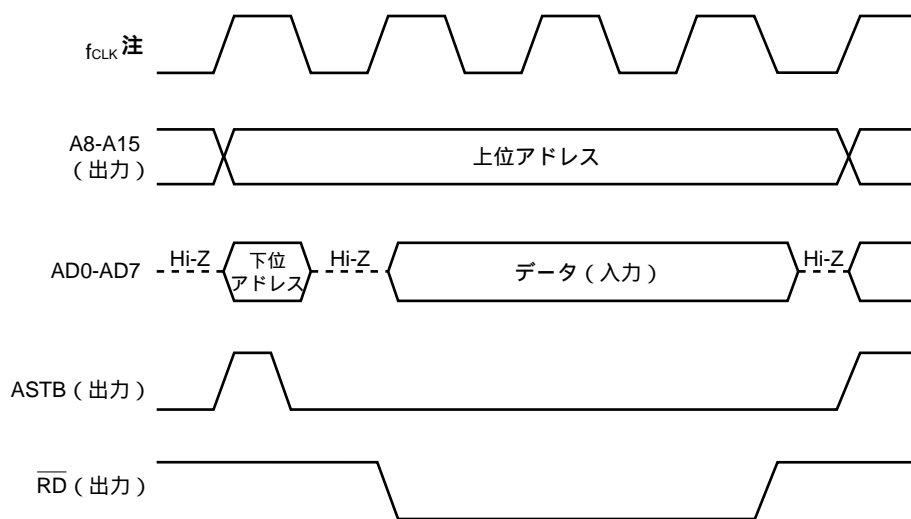


図24 - 12 アクセス・ウエイト機能によるリード・タイミング (1/2)

(a) 0 ウエイト・サイクル設定時



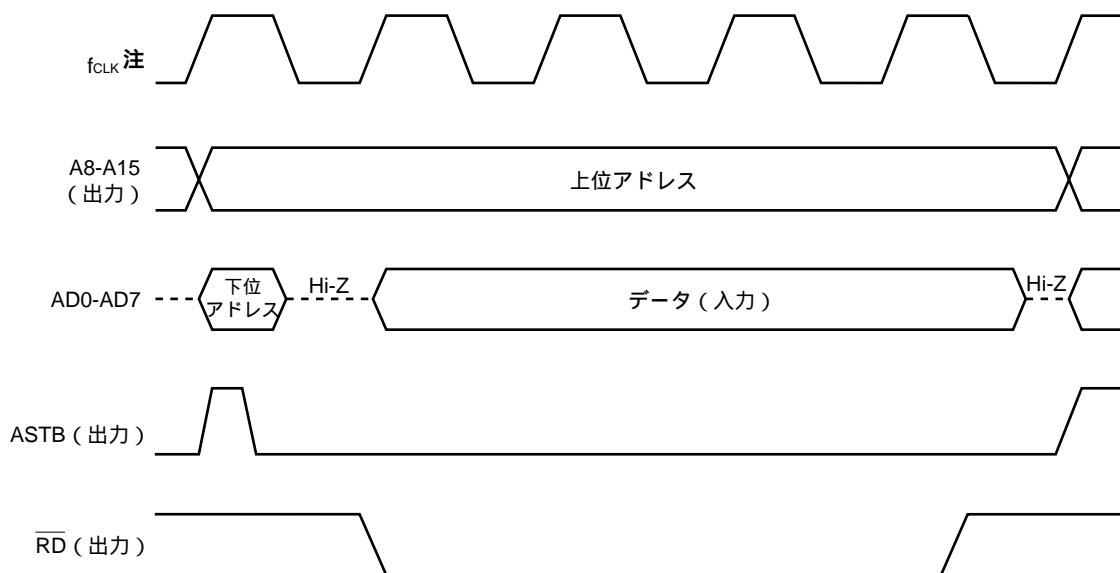
(b) 1 ウエイト・サイクル設定時



注 f_{CLK} : 内部システム・クロック周波数。この信号は、μPD784938A内にもみ存在する信号です。

図24 - 12 アクセス・ウェイト機能によるリード・タイミング (2/2)

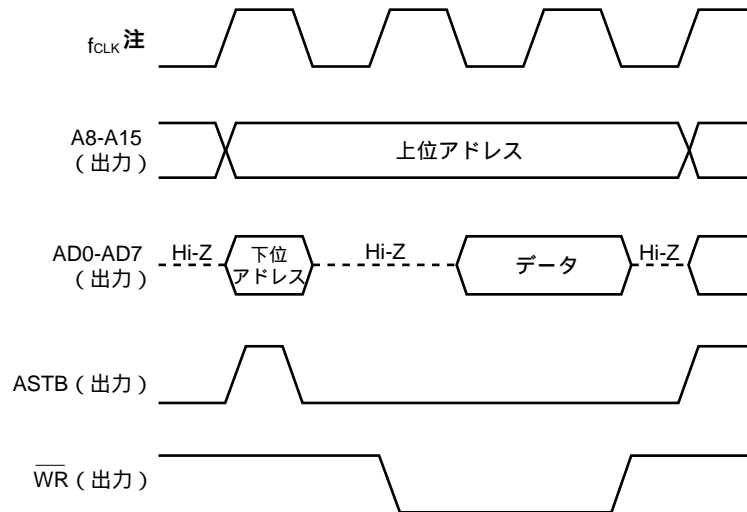
(c) 2ウェイト・サイクル設定時



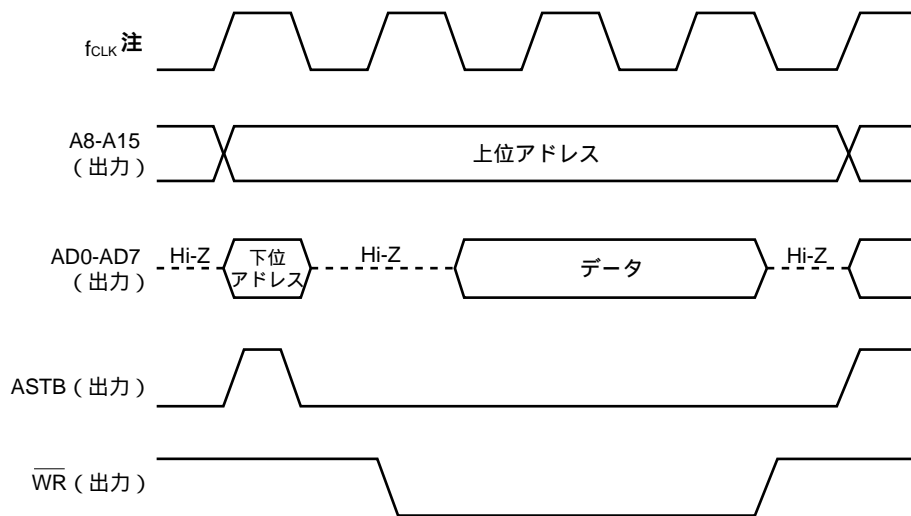
注 f_{CLK} : 内部システム・クロック周波数。この信号は、μPD784938A内にもみ存在する信号です。

図24 - 13 アクセス・ウエイト機能によるライト・タイミング (1/2)

(a) 0 ウエイト・サイクル設定時



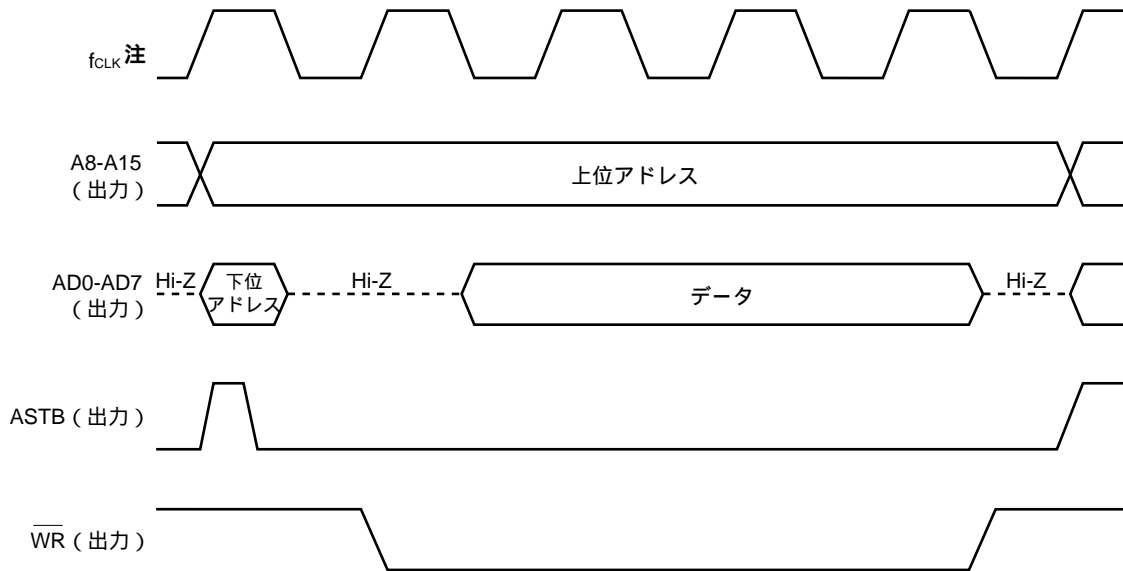
(b) 1 ウエイト・サイクル設定時



注 f_{CLK} : 内部システム・クロック周波数。この信号は、μPD784938A内にもみ存在する信号です。

図24 - 13 アクセス・ウェイト機能によるライト・タイミング (2/2)

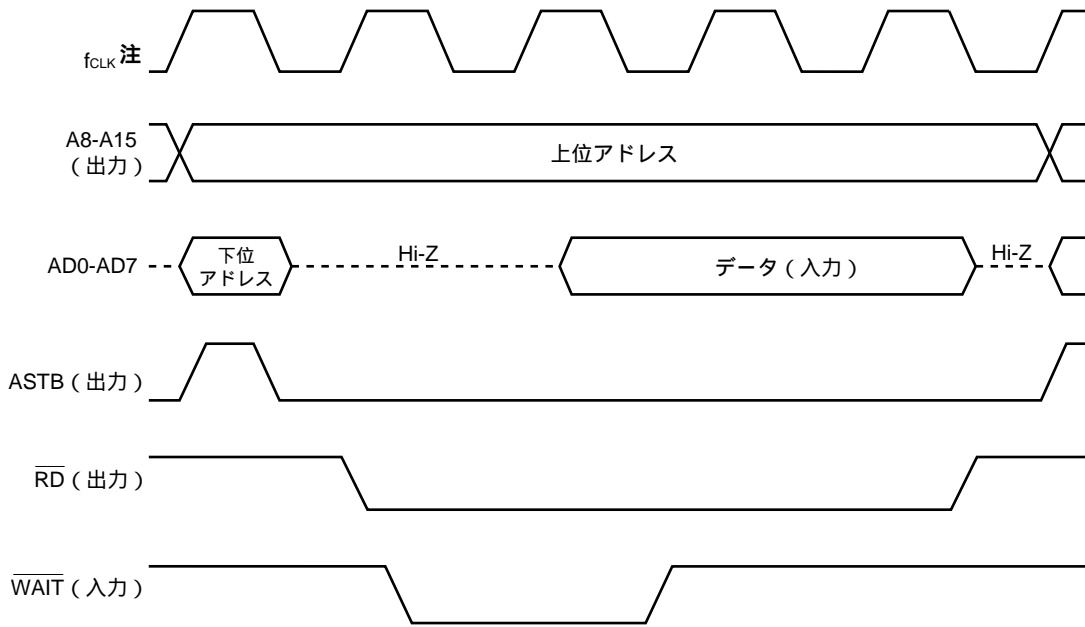
(c) 2ウェイト・サイクル設定時



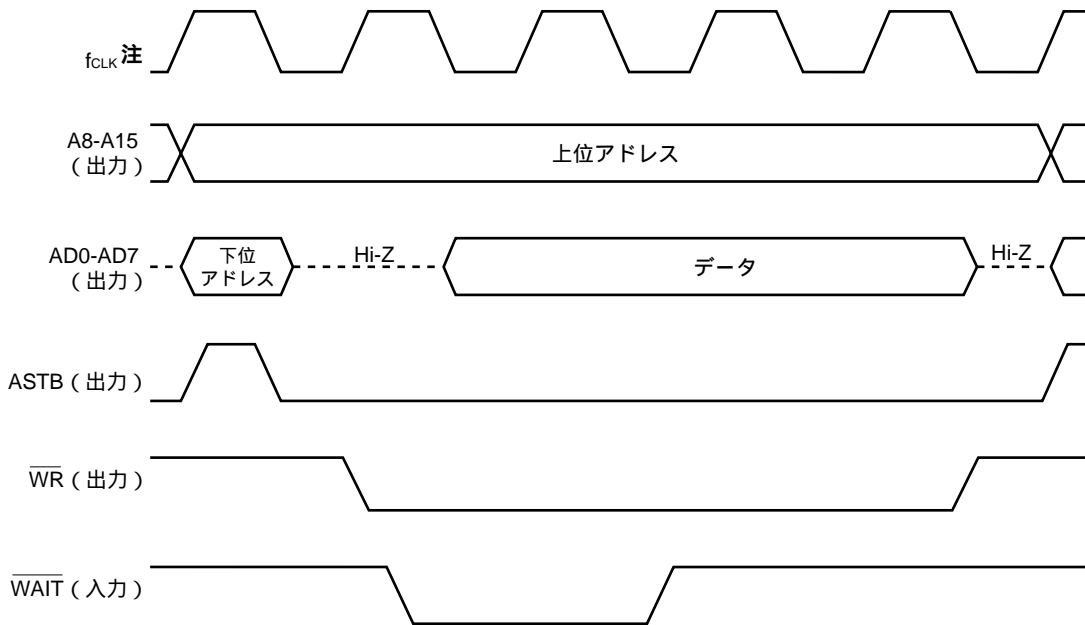
注 fCLK : 内部システム・クロック周波数。この信号は、 μ PD784938A内にもみ存在する信号です。

図24 - 14 外部ウエイト信号によるタイミング

(a) リード・タイミング



(b) ライト・タイミング



注 f_{CLK}: 内部システム・クロック周波数。この信号は、μPD784938A内にもみ存在する信号です。

24.3 疑似スタティックRAMリフレッシュ機能

μPD784938Aでは、疑似スタティックRAMを直接接続するための疑似スタティックRAMリフレッシュ機能を内蔵しています。

疑似スタティックRAMリフレッシュ機能は、任意のインターバルでリフレッシュ・パルスを出力します。リフレッシュ・モード・レジスタ（RFM）の設定により、リフレッシュ・パルス出力間隔を指定します。

リフレッシュ領域指定レジスタ（RFA）で、メモリ・アクセス動作と同時にリフレッシュ動作を行ってよいアドレスを指定します。これにより、リフレッシュ動作のためのバス・サイクルの挿入を大幅に低減でき、リフレッシュ動作によるパフォーマンスの低下を最小限にすることができます。

μPD784938Aでは、疑似スタティックRAMの応用システムの低消費電力を実現するセルフ・リフレッシュ動作をサポートするための機能も備えています。

注意 1 . バス・ホールド機能使用時には、リフレッシュ機能は使用できません。

2 . アドレス・ウエイト機能使用時に疑似スタティックRAMリフレッシュ機能を使用すると、リフレッシュ・パルスの出力とメモリ・アクセスが同時に発生する場合があります。したがって、アドレス・ウエイト機能使用時には、疑似スタティックRAMリフレッシュ機能を使用しないでください。

また、疑似スタティックRAMリフレッシュ機能使用時には、アドレス・ウエイト機能を使用しないでください。

24.3.1 制御レジスタ

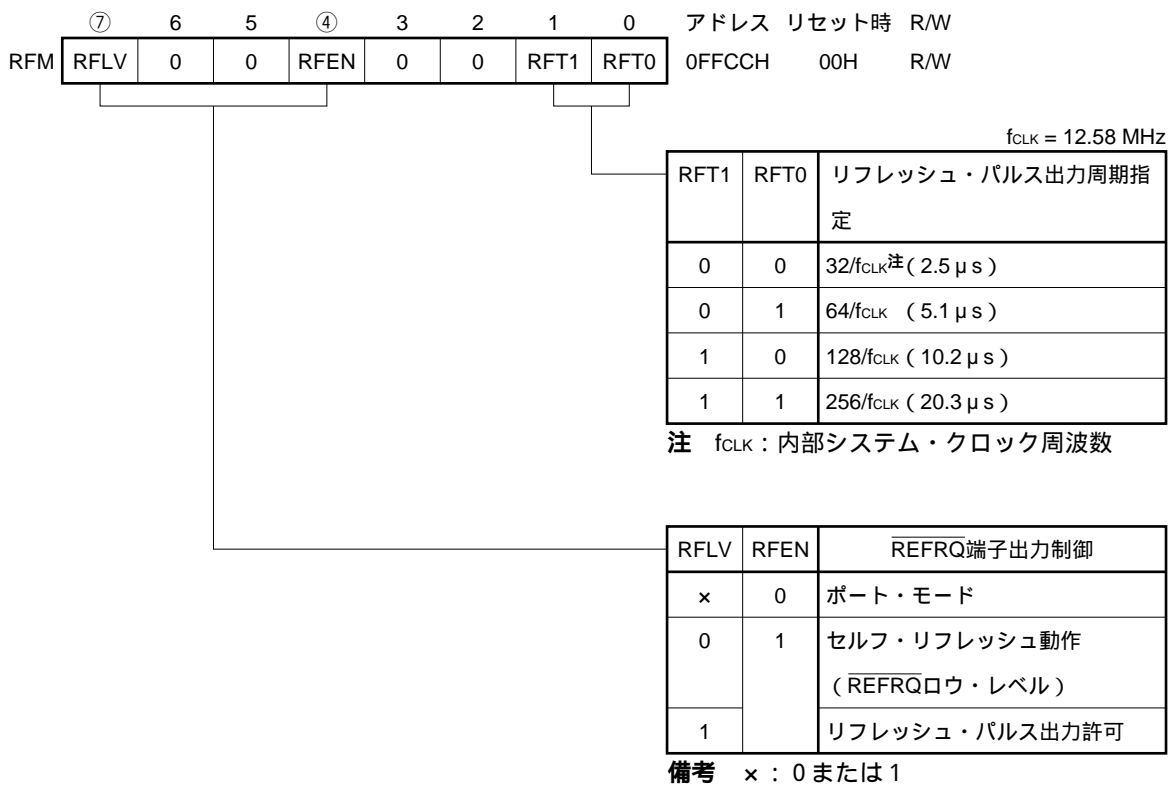
(1) リフレッシュ・モード・レジスタ (RFM)

RFMは、疑似スタティックRAMのリフレッシュ周期およびセルフ・リフレッシュ動作への切り替えを制御する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図24-15に、RFMのフォーマットを示します。

$\overline{\text{RESET}}$ 入力で00Hとなります。 $\overline{\text{REFRQ}}$ 端子はポート・モードになり、兼用であるP67端子として動作します。

図24-15 リフレッシュ・モード・レジスタ (RFM) のフォーマット



注意 バス・ホールド機能使用時には、リフレッシュ機能は使用できません。必ずリフレッシュ禁止に指定してください。

(2) リフレッシュ領域指定レジスタ (RFA)

RFAは、メモリ・アクセス動作とリフレッシュ動作を同時に行うことができる領域を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で、読み出し/書き込みが可能です。図24 - 16に、RFAのフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図24 - 16 リフレッシュ領域指定レジスタ (RFA) のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RFA	RFA7	RFA6	RFA5	RFA4	RFA3	RFA2	RFA1	RFA0	0FFCDH	00H	R/W
(n = 0-7)											
リフレッシュ 指定 領域 RFA _n	080000H-	040000H-	020000H-	010000H-	00C000H-	008000H-	004000H-	000000H-			
	0FFFFFFH	07FFFFFFH	03FFFFFFH	01FFFFFFH	00FFFFFFH	00BFFFFH	007FFFFH	003FFFFH			
0	対応するブロックのメモリ・アクセス動作とリフレッシュを同時に行う										
1	対応するブロックのメモリ・アクセス動作とリフレッシュを排他的に行う										

24.3.2 動作

(1) パルス・リフレッシュ動作

疑似スタティックRAMのパルス・リフレッシュ・サイクルをサポートするため、バス・サイクルに同期して $\overline{\text{REFRQ}}$ 端子からリフレッシュ・パルスを出力します。

リフレッシュ・パルスは8ms間に512回以上発生するようにシステム・クロック周波数とリフレッシュ・モード・レジスタ (RFM) のビット1, 0 (RFT1, RFT0) で調整します。

表24 - 1 疑似スタティックRAM使用時のシステム・クロック周波数とリフレッシュ・パルス出力周期

システム・クロック周波数 (f _{CLK}) MHz	リフレッシュ・パルス出力周期指定	RFT1	RFT0
8.192 < f _{CLK} 16	128/f _{CLK}	1	0
4.096 < f _{CLK} 8.192	64/f _{CLK}	0	1
2.048 < f _{CLK} 4.096	32/f _{CLK}	0	0

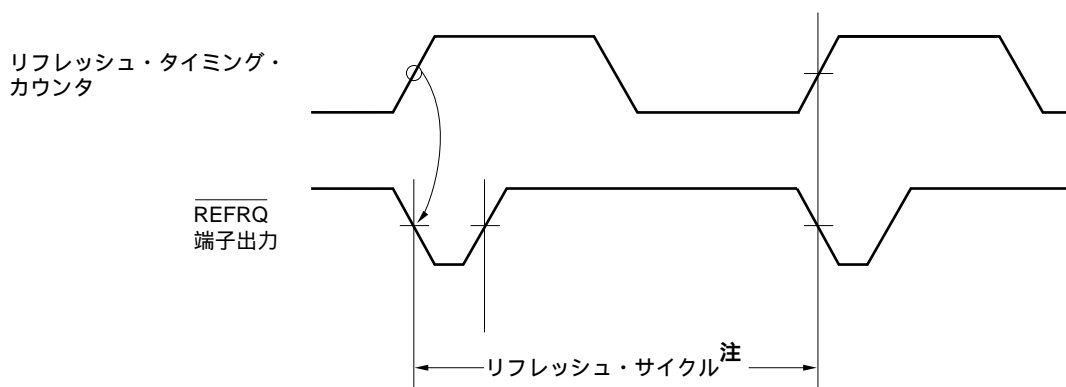
このパルス・リフレッシュ動作は、外部メモリ・アクセス動作と重ならないように行われます。リフレッシュ・サイクル中は、外部メモリ・アクセス・サイクルを保留し (ASTB, $\overline{\text{RD}}$, $\overline{\text{WR}}$ などはインアクティブ)、外部メモリ・アクセス・サイクル中ではリフレッシュ・サイクルを保留します。

外部メモリ・アクセス動作と重ならない場合は、CPUの命令実行に影響を与えずにリフレッシュ・サイクルを行います。

(a) 内部メモリ・アクセス時

外付けの疑似スタティックRAMをアクセスしない内部メモリ・アクセス時においても、疑似スタティックRAMに格納されたデータが保持されるように、リフレッシュ・バス・サイクルをリフレッシュ・モード・レジスタ (RFM) で指定された間隔で出力します。この場合、CPUの命令実行に影響を与えません。

図24 - 17 内部メモリ・アクセス時のパルス・リフレッシュ動作



注 RFMのRFT1, RFT0ビットで指定される周期

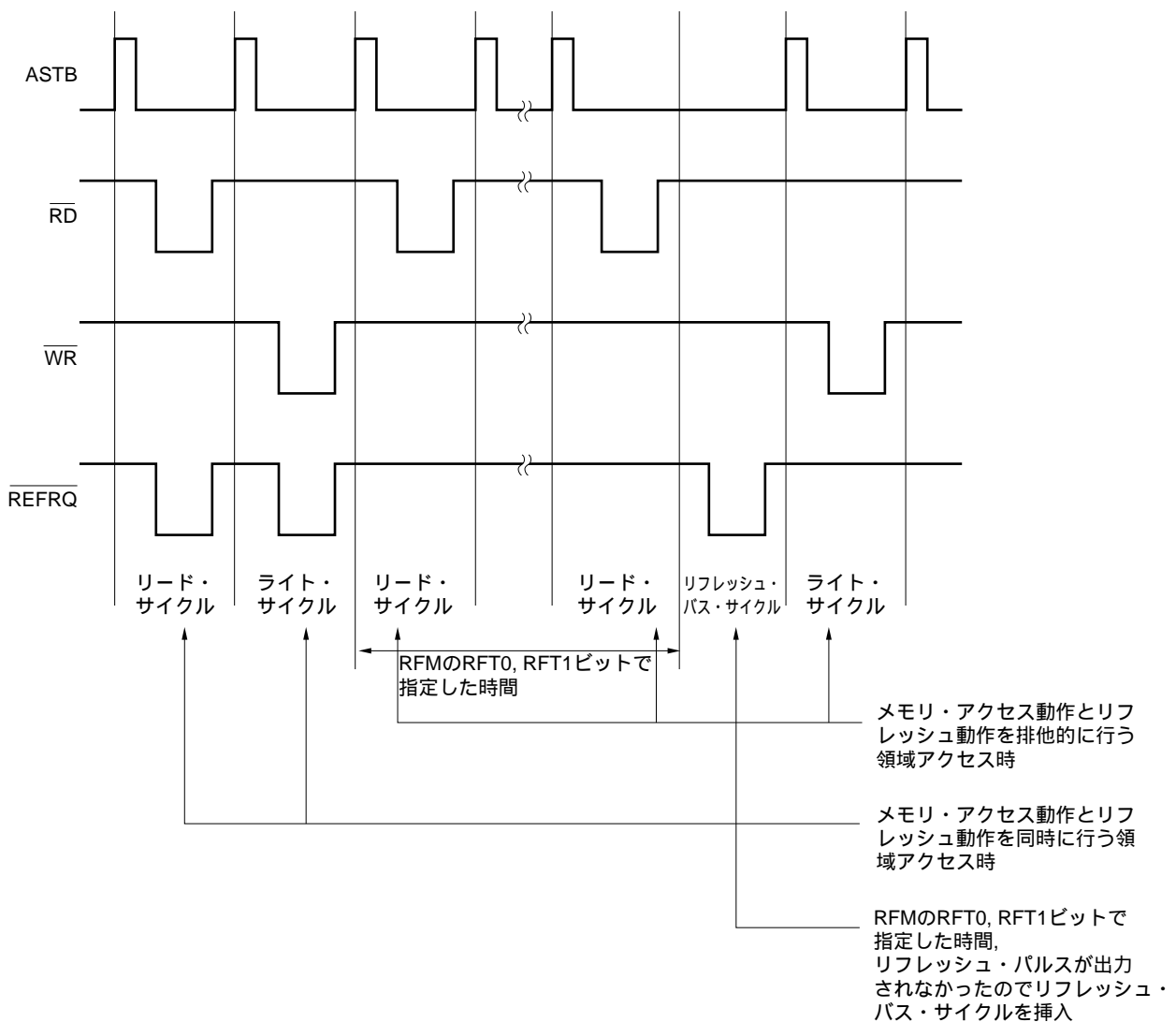
(b) 外部メモリ・アクセス時

リフレッシュ領域指定レジスタ (RFA) のクリア (0) されているビットに相当するアドレスへのアクセス時には、リフレッシュ・モード・レジスタ (RFM) で指定された周期とは無関係に、必ず \overline{RD} 信号または \overline{WR} 信号と同時に、 \overline{REFRQ} 端子からリフレッシュ・パルスを出力します。

リフレッシュ・パルス出力後、内部メモリへのアクセスや、RFAのセット (1) されているビットに相当するアドレスへのアクセスが連続し、RFMのRFT0, RFT1ビットで指定された時間が経過すると、メモリ・アクセス・サイクルと重ならないようにリフレッシュ・バス・サイクルを発生し、リフレッシュ・パルスを出力します。

これにより、PROMなどのリフレッシュが不要なメモリをアクセスしている間に、リフレッシュを行うことができ、リフレッシュ・バス・サイクルの挿入を少なくすることができ、命令実行を効率的に行うことができます。

図24 - 18 リフレッシュ・パルス出力動作



(2) セルフ・リフレッシュ動作

スタンバイ・モード時も疑似スタティックRAMの内容を保持させるためのモードです。

(a) セルフ・リフレッシュ動作モードの設定

リフレッシュ・モード・レジスタ (RFM) のビット4 (RFEN) を“1”, ビット7 (RFLV) を“0” に設定すると, $\overline{\text{REFRQ}}$ 端子からロウ・レベルを出力し, 疑似スタティックRAMにセルフ・リフレッシュ動作モードを指示します。

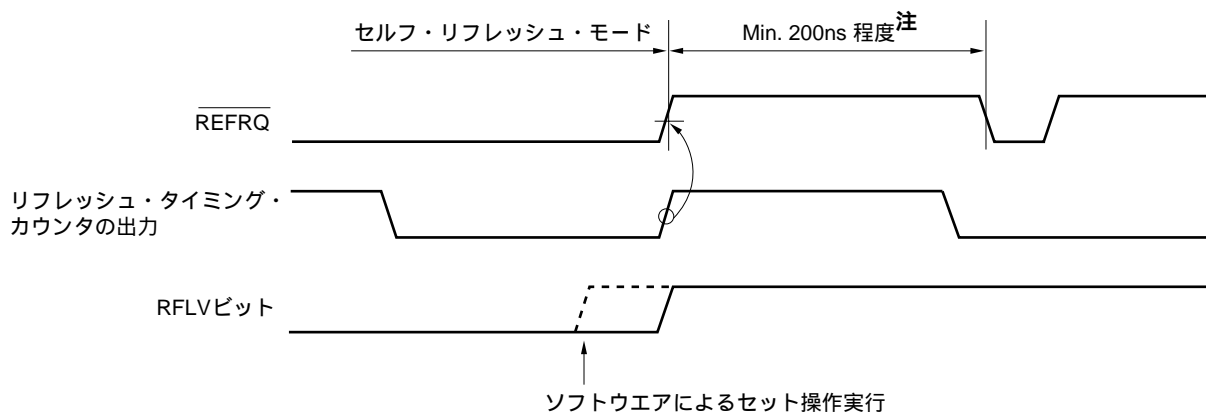
(b) セルフ・リフレッシュ動作からの復帰

疑似スタティックRAMへのリフレッシュ・パルスの出力は, $\overline{\text{REFRQ}}$ 端子出力レベルがロウ・レベルからハイ・レベルに変化してから200 ns程度^注は禁止されています。したがって $\mu\text{PD784938A}$ は $\overline{\text{REFRQ}}$ 端子をリフレッシュ・タイミング・カウンタに同期して立ち上げることににより, 禁止時間内にリフレッシュ・パルスを出力しないようにしています。

また, この $\overline{\text{REFRQ}}$ 端子レベルがロウ・レベルからハイ・レベルに変化したことを知る事ができるように, RFLVビットの読み出しレベルは $\overline{\text{REFRQ}}$ 端子レベルがロウ・レベルからハイ・レベルに変化したときセット (1) されるようになっています。

注 疑似スタティックRAMのスピード・ランクなどによりこの時間は変化します。

図24 - 19 セルフ・リフレッシュ動作からの復帰タイミング



注 リフレッシュ禁止時間

24.4 バス・ホールド機能

バス・ホールド機能は、DMAコントローラなどのバス・マスタとなるデバイスを接続するための機能です。バス・マスタとなるデバイスからの要求に応じて、ローカル・バス・インタフェース用の端子をすべてハイ・インピーダンスにして（HLDAKを除く）、ローカル・バス・インタフェースの使用権を明け渡します。

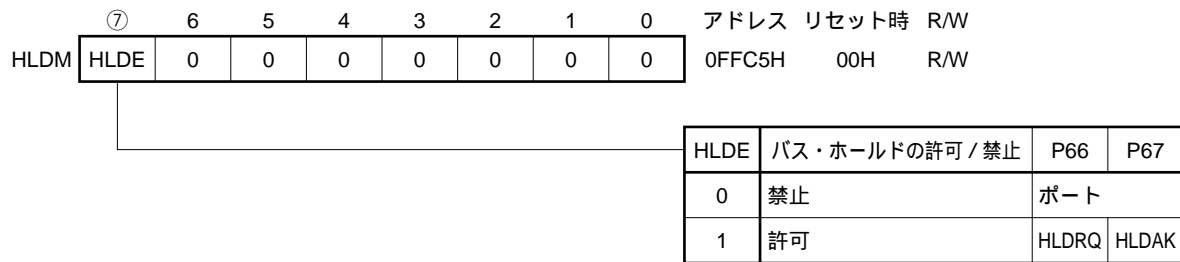
外部ウエイト機能、リフレッシュ機能使用時には、バス・ホールド機能を使用することはできません。

24.4.1 ホールド・モード・レジスタ（HLDM）

HLDMは、バス・ホールド機能の許可/禁止を指定する8ビット・レジスタです。図24 - 20に、HLDMのフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hになり、バス・ホールド機能は禁止され、HLDRQ、HLDAK端子はポート・モードとなり、P66、P67端子として動作します。

図24 - 20 ホールド・モード・レジスタ（HLDM）のフォーマット



注意 外部ウエイト機能、リフレッシュ機能使用時には、必ずバス・ホールド禁止にしてください。

24.4.2 動作

ホールド・モード・レジスタ (HLDM) の HLDE ビットがセット (1) されると、バス・ホールド機能は許可されます。バス・ホールド機能が許可されると、P66, P67 端子はそれぞれ HLDRQ, HLDK 端子として動作します。HLDRQ 端子はハイ・インピーダンスになり、HLDK 端子はロウ・レベルを出力します。

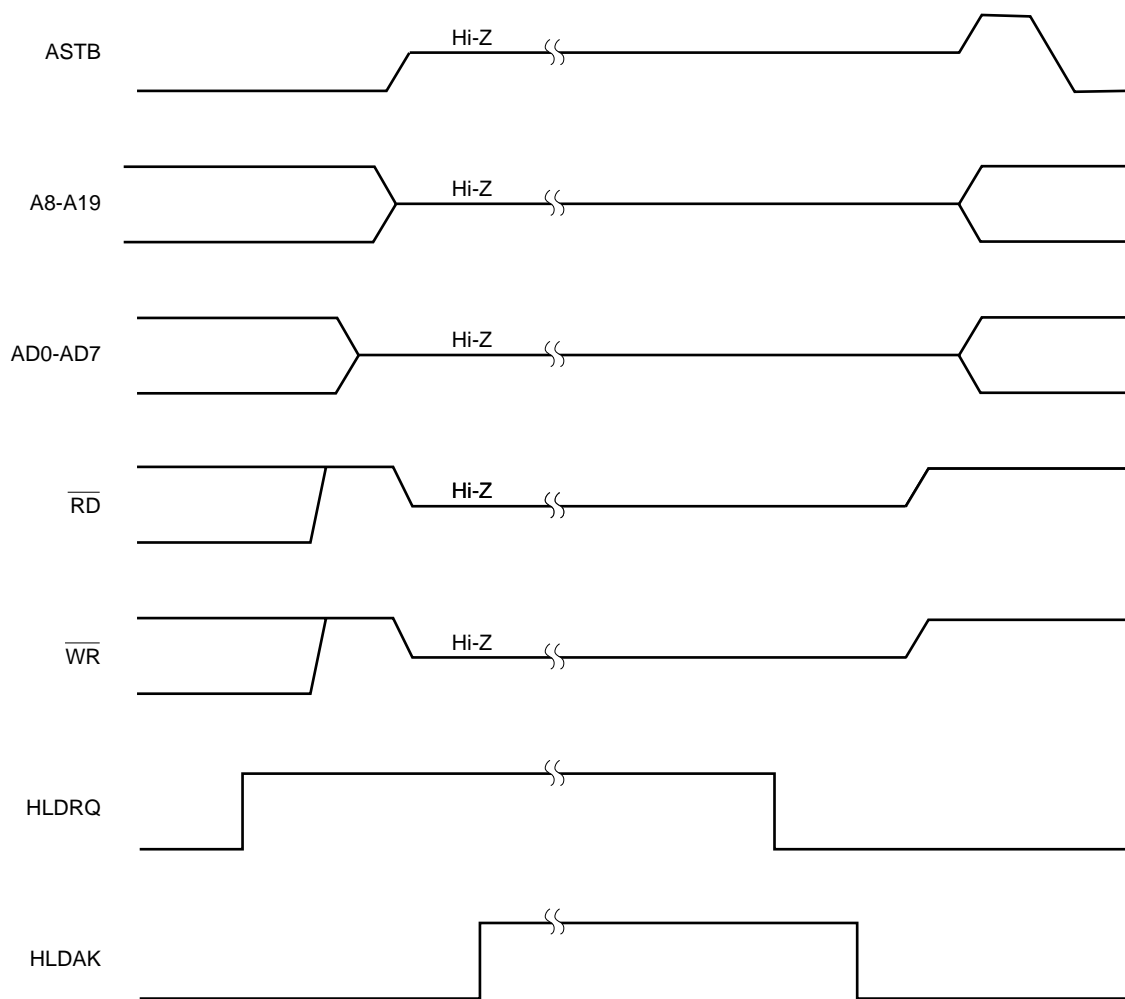
バス・ホールド機能許可時に、HLDRQ 端子にハイ・レベルが入力されると、実行中のアクセス動作終了後にアドレス・バス (A8-A19), アドレス/データ・バス (AD0-AD7), \overline{RD} , \overline{WR} , ASTB 端子をすべてハイ・インピーダンスにし、HLDK 端子からの出力レベルをハイ・レベルにし、ホールド・モードになります。

HLDK 端子がハイ・レベルの期間中 (ホールド・モード中) は、 μ PD784938A は、ローカル・バス・インタフェースを使用しないので、外付けの DMA コントローラなどが自由にメモリをアクセスすることができます。

HLDRQ 端子入力がハイ・レベルからロウ・レベルに変化すると、ホールド・モードは解除され、HLDK 端子をハイ・レベルからロウ・レベルにしたあと、 μ PD784938A はローカル・バスの使用を再開します。

ホールド・モードへの移行は、バス・サイクルの切れ目で行われ、実行途中の命令が中断される場合もあります。また、ローカル・バス・インタフェースを使用しない命令を実行中にホールド・モードに移行した場合、 μ PD784938A は、プリフェッチ済みの命令については、内部 ROM, 内部 RAM (内部高速 RAM を除く) および特殊機能レジスタ (SFR) をアクセスする命令が出現するまで命令の実行を継続し、プリフェッチ済みの命令がなくなった時点で命令の実行を中断します。中断された命令は、ホールド・モードが解除されると、中断されたところから命令の実行を再開します。

図24 - 21 ホールド・モードのタイミング



24.5 注意事項

- (1) バス・ホールド機能使用時には、 $\overline{\text{WAIT}}$ 端子によるアクセス・ウエイトの制御はできません。必ず、すべての空間に対して0, 1または2ウエイトを選択してください。
- (2) バス・ホールド機能使用時には、外部ウエイト機能は使用できません。
- (3) バス・ホールド機能使用時には、リフレッシュ機能は使用できません。必ずリフレッシュ禁止に指定してください。
- (4) アドレス・ウエイト機能使用時に疑似スタティックRAMリフレッシュ機能を使用すると、リフレッシュ・パルスの出力とメモリ・アクセスが同時に発生する場合があります。したがって、アドレス・ウエイト機能使用時には、疑似スタティックRAMリフレッシュ機能を使用しないでください。
また、疑似スタティックRAMリフレッシュ機能使用時には、アドレス・ウエイト機能を使用しないでください。

第25章 スタンバイ機能

25.1 構成と機能

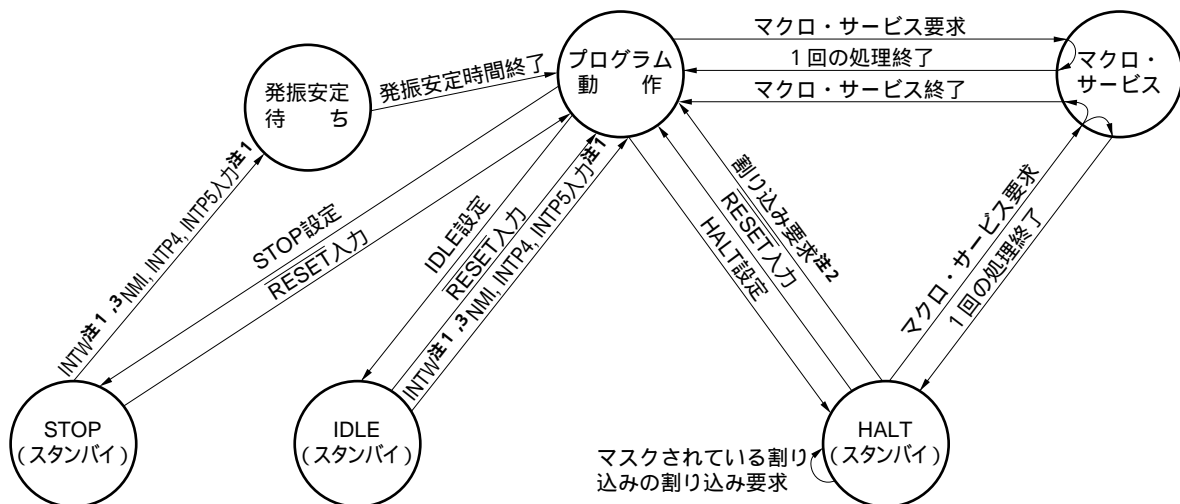
μPD784938Aは、システムの消費電力を低減させることのできるスタンバイ機能を持っています。スタンバイ機能には次のような3つのモードがあります。

- ・HALTモード CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により、システムのトータル消費電力を低下させることができます。
- ・IDLEモード 発振回路の動作を継続したまま、それ以外のシステム全体が停止するモードです。STOPモードに近い低消費電力と、HALTモードと同等の時間で、通常のプログラム動作に復帰できます。
- ・STOPモード 発振回路を停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力にすることができます。

各モードにはソフトウェアによって設定します。図25 - 1に、スタンバイ・モード (STOP/IDLE/HALTモード) の遷移図を示します。

図25 - 2に、スタンバイ機能のブロック図を示します。

図25 - 1 スタンバイ・モードの遷移図



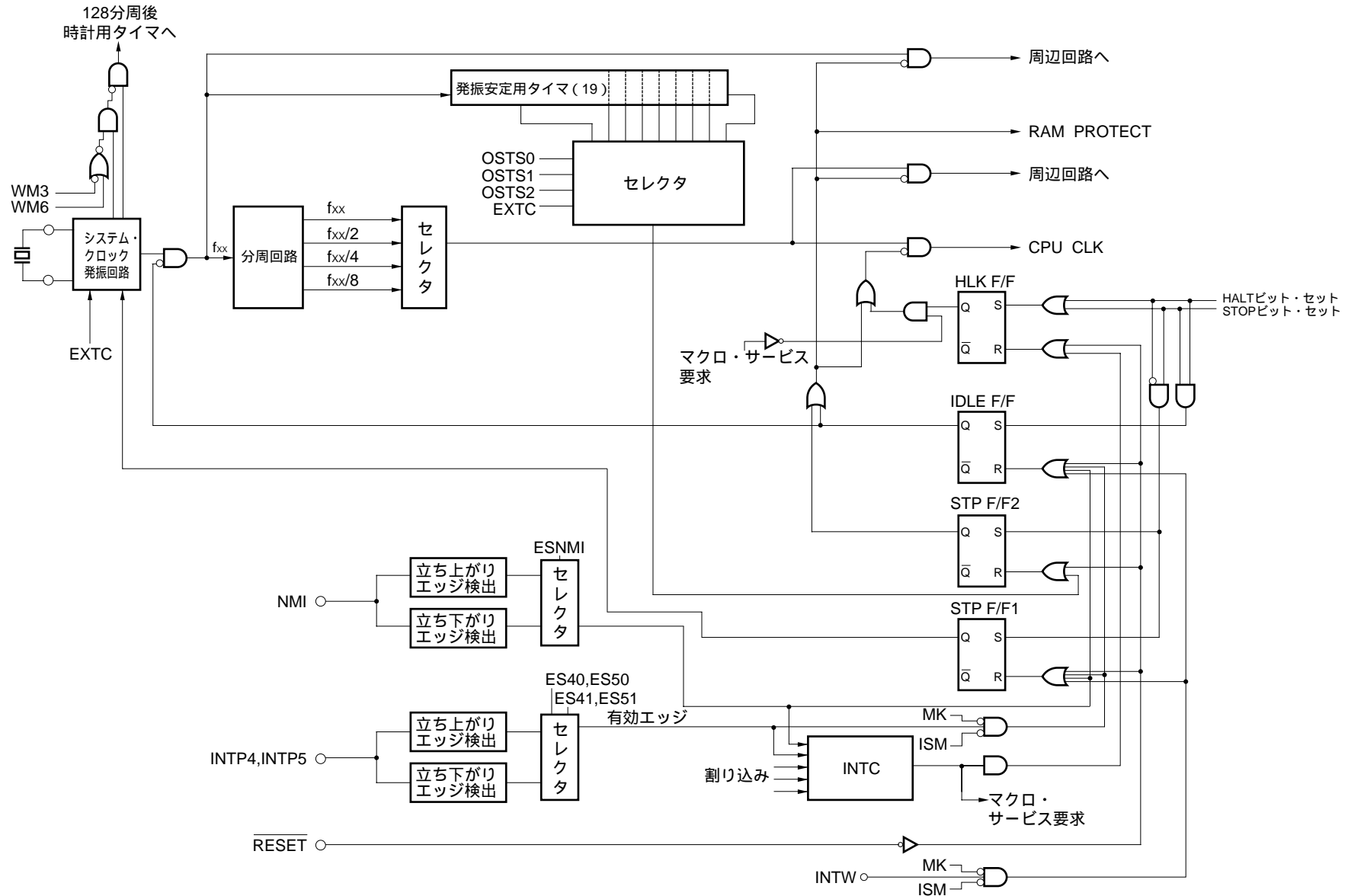
注1 . INTW, INTP4, INTP5はマスクされていない場合

2 . マスクされていない割り込み要求のみ

3 . 時計クロック動作時

備考 NMIは外部入力のみ有効です。ウォッチドッグ・タイマは、スタンバイの解除 (STOP/IDLE/HALTモード) には使用できません。

図25 - 2 スタンバイ機能のブロック図



25.2 制御レジスタ

25.2.1 スタンバイ・コントロール・レジスタ (STBC)

STBCは、STOPモードの設定と、内部システム・クロックを選択するためのレジスタです。

プログラムの暴走によって誤ってスタンバイ・モードに入らないように、専用命令によってのみ書き込みができます。この専用命令は、MOV STBC, #byte命令で、特殊なコード構成(4バイト)になっています。3バイト目と4バイト目のオペコードが互いに1の補数の場合のみ、書き込みが行われます。

また、3バイト目と4バイト目のオペコードが互いに1の補数でなければ書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

オペランド・エラー割り込みは、プログラムが暴走している場合のみ発生する(NEC製アセンブラRA78K4では、MOV STBC, #byteと記述された場合、正しい専用命令しか生成しません)ので、システムの初期化をプログラムで行うようにしてください。

他の書き込み命令(MOV STBC, A, AND STBC, #byte命令, SET1 STBC.7など)は無視され、何の動作も行いません。つまり、STBCへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。

STBCの読み出しは、データ転送命令によりいつでもできます。

$\overline{\text{RESET}}$ 入力により30Hになります。

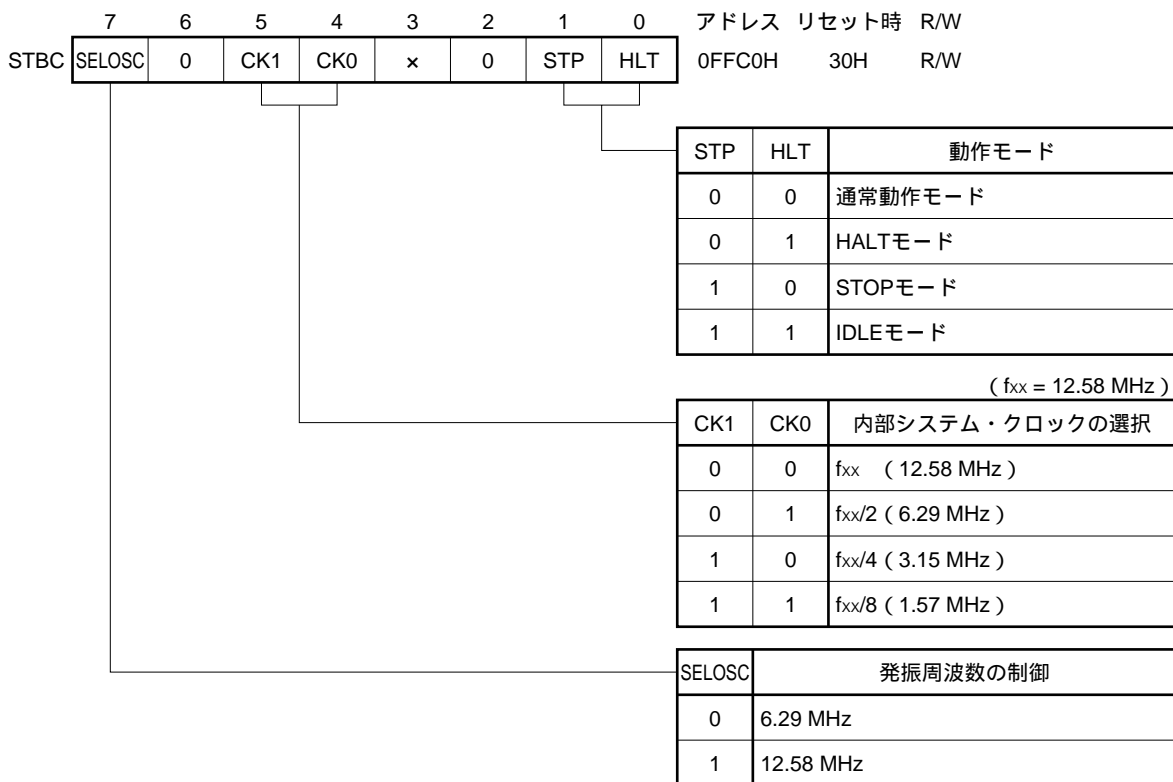
図25-3に、STBCのフォーマットを示します。

注意 スタンバイ・モードへの設定命令は、必ずNOP命令を3回実行するプログラムにしてください。

```

      ⋮
      ⋮
      ⋮
例 MOV STBC, #byte ; スタンバイ設定
      NOP
      NOP
      NOP
      ⋮
      ⋮
  
```

図25 - 3 スタンバイ・コントロール・レジスタ (STBC) のフォーマット



注意1 . SELOSCビットは、次の設定を行ったあと書き換えてください。

- ・IEBusを停止 (バス・コントロール・レジスタ (BCR) のビット7 (ENIEBUS) を0に設定)。
- ・メイン・クロックを選択して時計用タイマを動作させている場合は、時計用タイマを停止 (時計用タイマ・モード・レジスタ (WM) のビット3 (WM3) を0に設定)。

2 . 上記の設定を行わない場合、IEBus, 時計用タイマが誤動作するおそれがあります。

25.2.2 発振安定時間指定レジスタ (OSTS)

OSTSは、発振回路の動作およびSTOPモード解除時の発振安定時間を指定するレジスタです。OSTSのEXTCビットにクリスタル/セラミック発振または外部クロックのどちらを使用しているかを設定します。EXTCビットをセット(1)している場合だけ、外部クロック入力時にもSTOPモードを設定することができます。

また、OSTSのOSTS0-OSTS2ビットで、STOPモード解除時の発振安定時間を選択します。一般的に、水晶振動子を使用する場合は40 ms以上、セラミック発振子を使用する場合は4 ms以上の発振安定時間を選択するようにしてください。

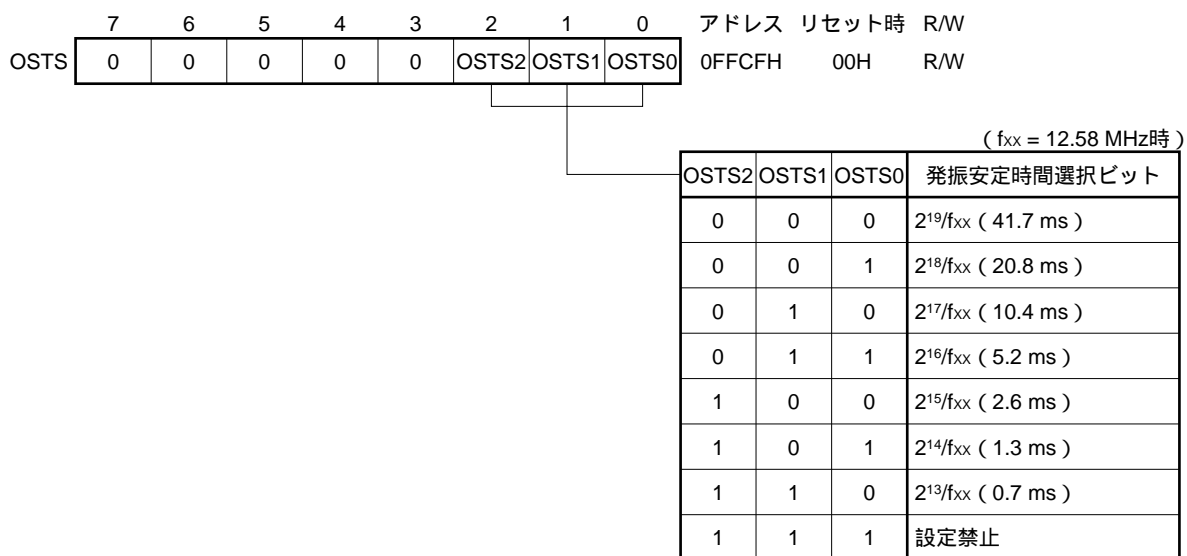
なお、発振安定にかかる時間は、使用する水晶振動子/セラミック発振子および、接続するコンデンサの容量などにより影響を受けます。したがって、発振安定用の時間を短かめに設定したい場合には、水晶振動子/セラミック発振子メーカーと相談してくださいますようお願いいたします。

OSTSは、8ビット転送命令によって書き込みのみが可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

図25 - 4に、OSTSのフォーマットを示します。

図25 - 4 発振安定時間指定レジスタ (OSTS) のフォーマット



注意 レギュレータ使用時 (第5章 レギュレータ参照) は、レギュレータ出力安定時間を考慮し、10.4 ms以上の値を設定してください。

25.3 HALTモード

25.3.1 HALTモードの設定および動作状態

HALTモードには、スタンバイ・コントロール・レジスタ (STBC) のHLTビットをセット (1) することにより設定されます。

STBCの書き込みは、専用命令による8ビット・データ書き込みのみ可能です。したがって、HALTモードの設定は、“MOV STBC, byte” 命令で行います。

注意 HALTモードを解除する条件が成立しているときにHALTモードの設定を行った場合、HALTモードに入らずに次の命令の実行、またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にHALTモードの設定をしたい場合は、HALTモードに入る前に割り込み要求をクリアするなどしてください。

表25 - 1 HALTモード時の動作状態

クロック発振回路	動作	
内部システム・クロック	動作	
CPU	動作停止 ^注	
I/Oライン	HALTモード設定前の状態を保持	
各周辺機能	動作継続	
内部RAM	保持	
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A19	保持
\overline{RD} , \overline{WR} 出力	ハイ・レベル	
ASTB出力	ロウ・レベル	
\overline{REFRQ} 出力	動作継続	
HLD \overline{RQ} 入力	動作継続 (入力)	
HLD \overline{AK} 出力	動作継続	

注 マクロ・サービス処理は実行されます。

25.3.2 HALTモードの解除

HALTモードは、次の3つのソースによって解除することができます。

- ・ノンマスクブル割り込み要求
- ・マスクブル割り込み要求 (ベクタ割り込み、コンテキスト・スイッチング、マクロ・サービス)
- ・ \overline{RESET} 入力

表25 - 2 に、解除ソースと解除後の動作の概要を示します。

表25 - 2 HALTモードの解除と解除後の動作

解除ソース	MK ^{注1}	IE ^{注2}	解除時の状態	解除後の動作
RESET入力	x	x	-	通常のリセット動作
ノンマスクابل 割り込み要求 (NMI端子入力, ウォッチドッグ・ タイマ)	x	x	・ノンマスクابل割り込みサービス・プログラムの実行中でない ・優先順位の低いノンマスクابل割り込みサービス・プログラムの実行中	割り込み要求の受け付け
			・同一要求のサービス・プログラム実行中 ・優先順位の高いノンマスクابل割り込みサービス・プログラム実行中	MOV STBC, byte命令の次の命令を実行 (HALTモードを解除した割り込み要求は、 保留される ^{注3})
マスクابل割り 込み要求 (マクロ・サービ スの要求を除く)	0	1	・割り込みサービス・プログラムの実行中でない ・優先順位の低いマスクابل割り込みサービス・プログラムの実行中 ・優先順位レベル3の割り込みサービス・プログラムの実行中で、PRSLビット ^{注4} がクリア(0)されている	割り込み要求の受け付け
			・同一優先順位のマスクابل割り込みサービス・プログラム実行中 (PRSLビット ^{注4} がクリア(0)されている場合で、優先順位レベル3の割り込みサービス・プログラム実行中を除く) ・優先順位の高い割り込みサービス・プログラム実行中	MOV STBC, byte命令の次の命令を実行 (HALTモードを解除した割り込み要求は、 保留される ^{注3})
			-	
	0	0	-	
	1	x	-	HALTモード保持
マクロ・サービ ス要求	0	x	-	マクロ・サービス処理実行 終了条件不成立 再びHALTモード 終了条件成立 VCIE ^{注5} = 1 のとき：再びHALTモード VCIE ^{注5} = 0 のとき：マスクابل割り 込み要求による解除と同じ
			1	x

注1．各割り込み要求ソースにある割り込みマスク・ビット

2．プログラム・ステータス・ワード (PSW) 中にある割り込み許可フラグ

3．保留された割り込み要求は、受け付け可能になった時点で受け付けられる

4．割り込みモード・コントロール・レジスタ (IMC) 中のビット

5．各マクロ・サービス要求ソースにあるマクロ・サービス・コントロール・ワードのマクロ・サービス・モード・レジスタ中のビット

(1) ノンマスクابل割り込みによる解除

ノンマスクابل割り込みが発生すると、割り込み受け付けの許可状態 (EI)、禁止状態 (DI) に関係なくHALTモードから解除されます。

HALTモードから解除されると、HALTモードを解除したノンマスクابل割り込みが受け付け可能であれば、そのノンマスクابل割り込みの受け付けを行い、サービス・プログラムへ分岐します。受け付けが不可能であれば、HALTモードを設定した命令 (MOV STBC, byte命令) の次の命令を実行します。HALTモードを解除したノンマスクابل割り込みは、その受け付けが可能になった時点で受け付けられます。ノンマスクابل割り込みの受け付けについての詳細は、23.6 ノンマスクابل割り込みの受け付け動作を参照してください。

(2) マスクابل割り込み要求による解除

マスクابل割り込み要求によるHALTモードの解除は、割り込みマスク・フラグが0の割り込みによつてのみ可能です。

HALTモードが解除されると、割り込み要求許可フラグ (IE) がセット (1) されている場合は、その割り込みが受け付け可能であれば、割り込みサービス・プログラムへ分岐します。受け付けが不可能な場合とIEフラグがクリア (0) されている場合は、HALTモードを設定した次の命令から実行を再開します。割り込みの受け付けについての詳細は、23.7 マスクابل割り込みの受け付け動作を参照してください。

マクロ・サービスは、HALTモードを一時的に解除して、1回の処理を行い、再びHALTモードに戻ります。マクロ・サービスが指定回数だけ行われると、マクロ・サービス・コントロール・ワードのマクロ・サービス・モード・レジスタ中にあるVCIEビットがクリア (0) されている場合は、HALTモードを解除します。この解除後の動作は、前述したマスクابل割り込みによる解除と同一です。また、VCIEビットがセット (1) されている場合は、再びHALTモードとなり、次の割り込みの要求でHALTモードを解除します。

表25 - 3 マスカブル割り込み要求によるHALTモードの解除

解除ソース	MK ^{注1}	IE ^{注2}	解除時の状態	解除後の動作
マスカブル割り込み要求 (マクロ・サービスの要求を除く)	0	1	・割り込みサービス・プログラムの実行中でない	割り込み要求の受け付け
			・優先順位の低いマスカブル割り込みサービス・プログラムの実行中	
	・優先順位レベル3の割り込みサービス・プログラムの実行中で、PRSLビット ^{注4} がクリア(0)されている	MOV STBC, byte命令の次の命令を実行 (HALTモードを解除した割り込み要求は、保留される ^{注3})		
	0	0	-	
	1	x	-	HALTモード保持
マクロ・サービス要求	0	x	-	マクロ・サービス処理実行 終了条件不成立 再びHALTモード 終了条件成立 VCIE ^{注5} =1のとき：再びHALTモード VCIE ^{注5} =0のとき：マスカブル割り込み要求による解除と同じ
			1	x

注1．各割り込み要求ソースにある割り込みマスク・ビット

- 2．プログラム・ステータス・ワード (PSW) 中にある割り込み許可フラグ
- 3．保留された割り込み要求は、受け付け可能になった時点で受け付けられる
- 4．割り込みモード・コントロール・レジスタ (IMC) 中のビット
- 5．各マクロ・サービス要求ソースにあるマクロ・サービス・コントロール・ワードのマクロ・サービス・モード・レジスタ中のビット

(3) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐した後、プログラムを実行します。ただし、内部RAMの内容は、HALTモード設定直前の値を保持しています。

25.4 STOPモード

25.4.1 STOPモードの設定および動作状態

STOPモードには、スタンバイ・コントロール・レジスタ (STBC) のSTPビットをセット (1) することにより設定されます。

STBCの書き込みは、専用命令による8ビット・データ書き込みのみ可能です。したがって、STOPモードの設定は、“MOV STBC, byte”命令で行います。

注意 HALTモードを解除する条件 (25.3.2 HALTモードの解除参照) が成立しているときにSTOPモードの設定を行った場合、STOPモードには入らずに次の命令の実行、またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にSTOPモードの設定をしたい場合は、STOPモードに入る前に割り込み要求をクリアするなどしてください。

表25 - 4 STOPモード時の動作状態

クロック発振回路	発振停止	
内部システム・クロック	停止	
CPU	動作停止	
I/Oライン	STOPモード設定前の状態を保持	
各周辺機能	すべて動作停止 ^注	
内部RAM	保持	
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A19	ハイ・インピーダンス
RD, WR出力	ハイ・インピーダンス	
ASTB出力	ハイ・インピーダンス	
REFRQ出力	保持	
HLDNRQ入力	ハイ・インピーダンス	
HLDNRQ出力	ロウ・レベル	

注 A/Dコンバータは動作を停止しますが、A/Dコンバータ・モード・レジスタ (ADM) のCSビットがセット (1) されていると、消費電流は減りません。

注意 1 . 発振安定時間指定レジスタ (OSTS) のEXTCのビットがクリア (0) されている場合にSTOPモードに設定されると、クロック発振回路のリークを抑えるためX1端子が内部でV_{SS} (GND電位) にショートされます。したがって、外部クロックを使用するシステムでSTOPモードを使用する場合は、OSTSのEXTCビットを必ずセット (1) してください。OSTSのEXTCビットがクリア (0) されているときに、外部クロックを入力するシステムでSTOPモードの設定を行うと、 μ PD784938Aの破壊または信頼性の低下を招く可能性があります。

なお、OSTSのEXTCビットをセット (1) する場合には、必ずX2端子に、X1端子に入力しているクロックの逆相のクロックを入力する必要があります (4.3.1 クロック発振回路参照)。

2 . A/Dコンバータ・モード・レジスタ (ADM) のCSビットをクリア (0) してください。

25.4.2 STOPモードの解除

STOPモードは、NMI入力、INTP4入力、INTP5入力、INTW入力およびRESET入力により解除されます。

表25 - 5 STOPモードの解除と解除後の動作

解除ソース	MK ^{注1}	SM ^{注2}	IE ^{注3}	解除時の状態	解除後の動作
RESET入力	x	x	x	-	通常のリセット動作
NMI端子入力	x	x	x	<ul style="list-style-type: none"> ・ノンマスクابل割り込みサービス・プログラムの実行中でない ・優先順位の低いノンマスクابل割り込みサービス・プログラムの実行中 	割り込み要求の受け付け
				<ul style="list-style-type: none"> ・NMI 端子入力のサービス・プログラム実行中 ・優先順位の高いノンマスクابل割り込みサービス・プログラム実行中 	MOV STBC, byte命令の次の命令を実行（STOPモードを解除した割り込み要求は、保留される ^{注4} ）
INTP4, INTP5 端子入力, INTW入力	0	0	1	<ul style="list-style-type: none"> ・割り込みサービス・プログラムの実行中でない ・優先順位の低いマスクابل割り込みサービス・プログラムの実行中 ・優先順位レベル3の割り込みサービス・プログラムの実行中で、PRSLビット^{注5}がクリア（0）されている 	割り込み要求の受け付け
				<ul style="list-style-type: none"> ・同一優先順位のマスクابل割り込みサービス・プログラム実行中（PRSLビット^{注5}がクリア（0）されている場合で、優先順位レベル3の割り込みサービス・プログラム実行中を除く） ・優先順位の高い割り込みサービス・プログラム実行中 	MOV STBC, byte命令の次の命令を実行（STOPモードを解除した割り込み要求は、保留される ^{注4} ）
				-	
				-	STOPモード保持
	0	0	0	-	
	1	0	x	-	
	x	1	x	-	

注1．各割り込み要求ソースにある割り込みマスク・ビット

2．各割り込み要求ソースにあるマクロ・サービス許可フラグ

3．プログラム・ステータス・ワード（PSW）中にある割り込み許可フラグ

4．保留された割り込み要求は、受け付け可能になった時点で受け付けられる

5．割り込みモード・コントロール・レジスタ（IMC）中のビット

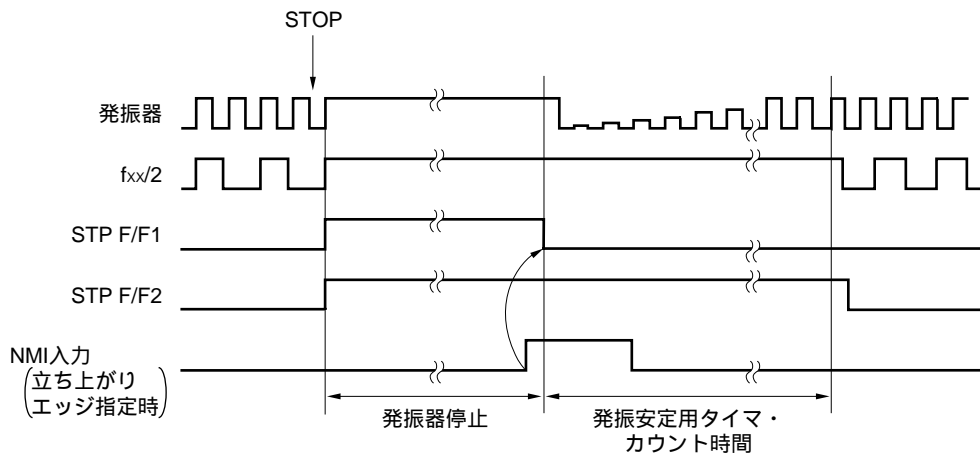
(1) NMI入力によるSTOPモードの解除

NMI入りに外部割り込みモード・レジスタ0 (INTM0) で指定した有効エッジが入力されると発振器が発振を再開します。その後、発振安定時間指定レジスタ (OSTS) で指定された発振安定時間後にSTOPモードは解除されます。

STOPモードから解除されると、NMI端子入力によるノンマスクابل割り込みが受け付け可能な場合は、NMI割り込みサービス・プログラムに分岐します。また、受け付けが不可能な場合 (NMI割り込みサービス・プログラム中でSTOPモードに設定した場合など) は、STOPモードを設定した命令の次の命令から実行を再開し、受け付けが可能になると (RETI命令実行などによる) NMI割り込みサービス・プログラムへ分岐します。

NMI割り込みの受け付けについての詳細は、23.6 ノンマスクابل割り込みの受け付け動作を参照してください。

図25 - 5 NMI入力によるSTOPモードの解除



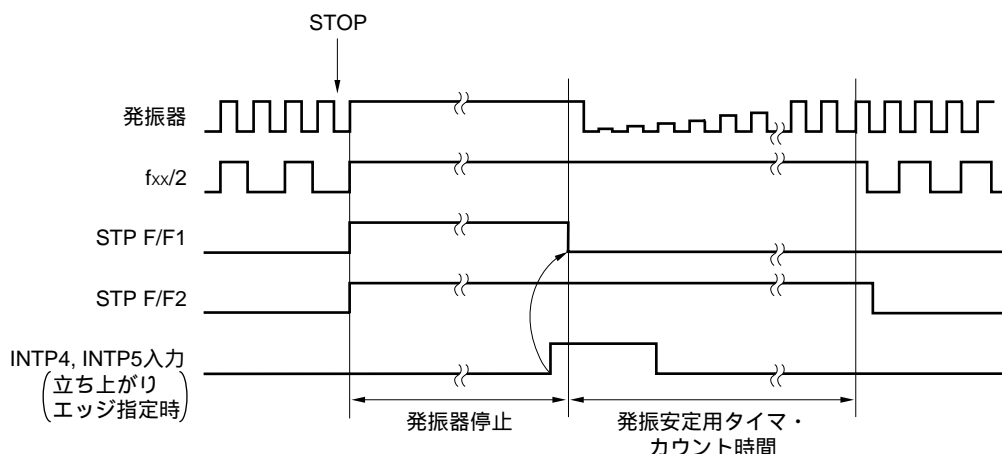
(2) INTP4, INTP5入力によるSTOPモードの解除

INTP4, INTP5入力による割り込みのマスクが解除されていて、マクロ・サービスが禁止されている場合に、INTP4, INTP5入力に外部割り込みモード・レジスタ1 (INTM1) で指定した有効エッジが入力されると発振器が発振を再開します。その後、発振安定時間指定レジスタ (OSTS) で指定された発振安定時間後にSTOPモードは解除されます。

STOPモードから解除されると、割り込み許可フラグ (IE) がセット (1) されている場合は、その割り込みが受け付け可能であれば、割り込みサービス・プログラムに分岐します。受け付け不可能な場合とIEフラグがクリア (0) されている場合は、STOPモードを設定した命令の次の命令から実行を再開します。

割り込みの受け付けについての詳細は、23.7 マスカブル割り込みの受け付け動作を参照してください。

図25 - 6 INTP4, INTP5入力によるSTOPモードの解除



(3) RESET入力によるSTOPモードの解除

RESET入力をハイからロウに下げ、リセット状態にすると発振器が発振を開始します。RESETのアクティブ期間で発振安定時間を確保してください。その後、RESETを立ち上げると通常の動作をスタートします。

通常のリセット動作とは異なり、データ・メモリはSTOPモード設定前の内容を保持しています。

25.5 IDLEモード

25.5.1 IDLEモードの設定および動作状態

IDLEモードには、スタンバイ・コントロール・レジスタ (STBC) のSTPビットとHLTビットの両方をセット (1) することにより設定されます。

STBCの書き込みは、専用命令による8ビット・データ書き込みのみ可能です。したがって、IDLEモードの設定は、“MOV STBC, byte” 命令で行います。

注意 HALTモードを解除する条件 (25.3.2 HALTモードの解除参照) が成立しているときにIDLEモードの設定を行った場合、IDLEモードには入らずに次の命令の実行、またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にIDLEモードの設定をしたい場合は、STOPモードに入る前に割り込み要求をクリアするなどしてください。

表25 - 6 IDLEモード時の動作状態

クロック発振回路	発振継続	
内部システム・クロック	停止	
CPU	動作停止	
I/Oライン	IDLEモード設定前の状態を保持	
各周辺機能	時計用タイマ (WM3 = 1, WM6 = 0のとき) を除くすべて動作停止 ^注	
内部RAM	保持	
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A19	ハイ・インピーダンス
\overline{RD} , \overline{WR} 出力	ハイ・インピーダンス	
ASTB出力	ハイ・インピーダンス	
\overline{REFRQ} 出力	保持	
HLD \overline{RQ} 入力	ハイ・インピーダンス	
HLD \overline{AK} 出力	ロウ・レベル	

注 A/Dコンバータは動作を停止しますが、A/Dコンバータ・モード・レジスタ (ADM) のCSビットがセットされていると、消費電流は減りません。

注意 A/Dコンバータ・モード・レジスタ (ADM) のCSビットをリセットしてください。

25.5.2 IDLEモードの解除

IDLEモードは、NMI入力、INTP4入力、INTP5入力、INTW入力または、 $\overline{\text{RESET}}$ 入力により解除されます。

表25 - 7 IDLEモードの解除と解除後の動作

解除ソース	MK ^{注1}	SM ^{注2}	IE ^{注3}	解除時の状態	解除後の動作
$\overline{\text{RESET}}$ 入力	x	x	x	-	通常のリセット動作
NMI端子入力	x	x	x	<ul style="list-style-type: none"> ・ノンマスクابل割り込みサービス・プログラムの実行中でない ・優先順位の低いノンマスクابل割り込みサービス・プログラムの実行中 	割り込み要求の受け付け
				<ul style="list-style-type: none"> ・NM端子入力のサービス・プログラム実行中 ・優先順位の高いノンマスクابل割り込みサービス・プログラム実行中 	MOV STBC, byte命令の次の命令を実行 (IDLEモードを解除した割り込み要求は、保留される ^{注4})
INTP4, INTP5 端子入力, INTW入力	0	0	1	<ul style="list-style-type: none"> ・割り込みサービス・プログラムの実行中でない ・優先順位の低いマスクابل割り込みサービス・プログラムの実行中 ・優先順位レベル3の割り込みサービス・プログラムの実行中で、PRSLビット^{注5}がクリア(0)されている 	割り込み要求の受け付け
				<ul style="list-style-type: none"> ・同一優先順位のマスクابل割り込みサービス・プログラム実行中 (PRSLビット^{注5}がクリア(0)されている場合で、優先順位レベル3の割り込みサービス・プログラム実行中を除く) ・優先順位の高い割り込みサービス・プログラム実行中 	MOV STBC, byte命令の次の命令を実行 (IDLEモードを解除した割り込み要求は、保留される ^{注4})
				-	
				-	IDLEモード保持
	0	0	0	-	
	1	0	x	-	
	x	1	x	-	

注1 . 各割り込み要求ソースにある割り込みマスク・ビット

2 . 各割り込み要求ソースにあるマクロ・サービス許可フラグ

3 . プログラム・ステータス・ワード (PSW) 中にある割り込み許可フラグ

4 . 保留された割り込み要求は、受け付け可能になった時点で受け付けられる

5 . 割り込みモード・コントロール・レジスタ (IMC) 中のビット

(1) NMI入力によるIDLEモードの解除

NMI入力に外部割り込みモード・レジスタ0 (INTM0) で指定した有効エッジが入力されると、IDLEモードは解除されます。

IDLEモードから解除されると、NMI端子入力によるノンマスクابل割り込みが受け付け可能な場合は、NMI割り込みサービス・プログラムに分岐します。また、受け付けが不可能な場合 (NMI割り込みサービス・プログラム中でIDLEモードに設定した場合など) は、IDLEモードを設定した命令の次の命令から実行を再開し、受け付けが可能になると (RETI命令実行などによる)、NMI割り込みサービス・プログラムへ分岐します。

NMI割り込みの受け付けについての詳細は、23.6 ノンマスクابل割り込みの受け付け動作を参照してください。

(2) INTP4, INTP5入力によるIDLEモードの解除

INTP4, INTP5入力による割り込みのマスクが解除されていて、マクロ・サービスが禁止されている場合に、INTP4, INTP5入力に外部割り込みモード・レジスタ1 (INTM1) で指定した有効エッジが入力されると、IDLEモードは解除されます。

IDLEモードから解除されると、割り込み許可フラグ (IE) がセット (1) されている場合は、その割り込みが受け付け可能であれば、割り込みサービス・プログラムに分岐します。受け付けが不可能な場合とIEフラグがクリア (0) されている場合は、IDLEモードを設定した命令の次の命令から実行を再開します。

割り込みの受け付けについての詳細は、23.7 マスクابل割り込みの受け付け動作を参照してください。

(3) $\overline{\text{RESET}}$ 入力によるIDLEモードの解除

$\overline{\text{RESET}}$ 入力をハイからロウに下げ、リセット状態にすると発振器が発振を開始します。 $\overline{\text{RESET}}$ のアクティブ期間で発振安定時間を確保してください。その後、 $\overline{\text{RESET}}$ を立ち上げると通常の動作をスタートします。

通常のリセット動作とは異なり、データ・メモリはSTOPモード設定前の内容を保持しています。

25.6 STOPモード/IDLEモード使用時のチェック項目

STOPモード/IDLEモード使用時の消費電流を下げるために必要なチェック項目を示します。

(1) 各出力端子の出力レベルは適正か？

各端子の適正な出力レベルは、次段の回路によって異なります。最も消費電流が少なくなるような出力レベルを選んでください。

- ・次段の回路の入カインピーダンスが低い場合にハイ・レベルを出力していると、電源からポートへ電流が流れ出し、消費電流が増えてしまいます。次段の回路がCMOS ICなどの場合がこれにあたります。CMOS ICは、電源OFF時には、入カインピーダンスが低くなります。消費電流を抑えるため、またCMOS ICの信頼性に悪影響を与えないため、ロウ・レベルを出力してください。ハイ・レベルを出力していると、電源の再投入時にラッチアップの原因となります。
- ・次段の回路によっては、ロウ・レベルを入力すると消費電流が増えてしまう場合があります。このような場合は、ハイ・レベルまたはハイ・インピーダンスを出力し、消費電流が少なくなるようにしてください。
- ・次段の回路がCMOS ICの場合で、そのCMOS ICに電源が供給されているときに出力をハイ・インピーダンスにすると、CMOS ICの消費電流が増える場合があります（このとき、CMOS ICが過熱し、破壊する場合があります）。このような場合には、適正なレベルを出力するか、抵抗によりプルアップまたはプルダウンするなどしてください。

出力レベルの設定方法は、ポートのモードによって異なります。

- ・ポートがコントロール・モードのときには、内蔵ハードウェアの状態によって出力レベルが決定されますので、内蔵ハードウェアの状態を考慮して出力レベルを設定する必要があります。
- ・ポート・モードのときには、ソフトウェアでポートの出力ラッチとポート・モード・レジスタへ書き込みをすることにより、出力レベルを設定することができます。

ポートがコントロール・モードになっているときには、ポート・モードへ変更することで、出力レベルの設定が簡単になります。

(2) 各入力端子の入力レベルは適正か？

各端子に入力される電圧レベルは、 V_{SS} 電位から V_{DD} 電位の範囲内にしてください。この範囲外の電圧を印加すると、消費電流が増えるだけでなく、 μ PD784938の信頼性にも悪影響を与えます。

また、中間電位が加わらないようにしてください。

(3) 内蔵プルアップ抵抗は必要か？

不要なプルアップ抵抗は、消費電流を増やしたり、他のデバイスのラッチアップの原因となったりします。プルアップ抵抗は、必要な部分だけを使用するモードに指定してください。

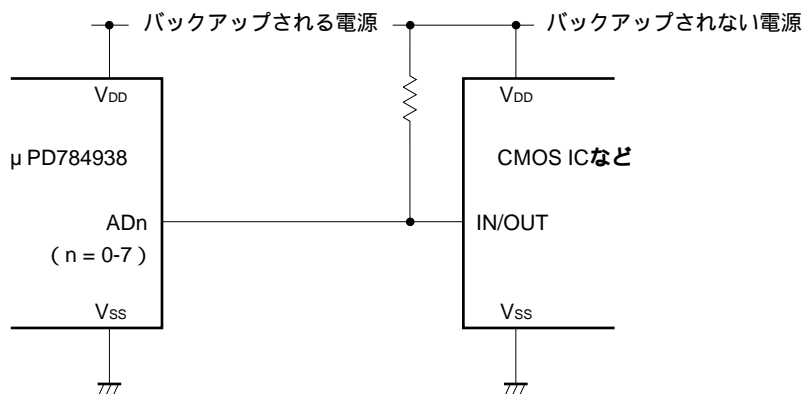
必要な部分と不要な部分が混在する場合は、必要な部分については外付けにプルアップ抵抗を接続し、内蔵プルアップ抵抗を使用しないモードに指定するなどしてください。

(4) アドレス・バスおよびアドレス/データ・バスなどの処理は適正か？

アドレス・バス、アドレス/データ・バス、 \overline{RD} 、 \overline{WR} 端子は、STOPモード/IDLEモード時にハイ・インピーダンスになります。通常、これらの端子はプルアップ抵抗によってプルアップします。このプルアップ抵抗をバックアップされる電源に接続すると、バックアップされない電源に接続されている回路の入力インピーダンスが低い場合には、プルアップ抵抗を介して電流が流れてしまい、消費電流が増えてしまいます。したがって、図25-7に示すように、プルアップ抵抗はバックアップされない電源側に接続してください。

また、ASTB端子もSTOPモード/IDLEモード時にハイ・インピーダンスとなり、 $\overline{REFRQ}/\overline{HLDACK}$ 端子は、固定レベルとなります。(1)で示した内容などを参考に対策を行ってください。

図25-7 アドレス/データ・バスの処理例



$\overline{WAIT}/\overline{HLDRQ}$ 端子に入力される電圧レベルは、 V_{SS} 電位から V_{DD} 電位の範囲内にしてください。この範囲外の電圧を印加すると、消費電流が増えるだけでなく、 μ PD784938の信頼性にも悪影響を与えます。

(5) A/Dコンバータ

A/Dコンバータ・モード・レジスタ (ADM) のビット7にあるCSビットをクリア (0) することにより、AVDD、AVREF1端子に流れる電流を減らすことが可能です。さらに、電流を減らしたい場合には、AVDD、AVREF1端子への電流供給を外付け回路で切断してください。

なお、AVDD端子は必ずVDD端子と同電位にしてください。STOPモード時にAVDD端子に電源が供給されていないと、消費電流が増えるだけでなく、信頼性にも悪影響を与えます。

25.7 注意事項

- (1) HALTモードを解除する条件(25.3.2 HALTモードの解除参照)が成立しているときにHALTモード/STOPモード/IDLEモード(以下スタンバイ・モード)の設定を行った場合、スタンバイ・モードには入らずに次の命令の実行、またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にスタンバイ・モードの設定をしたい場合は、スタンバイ・モードに入る前に割り込み要求をクリアするなどしてください。
- (2) クリスタル/セラミック発振使用時には、EXTCビットを必ずクリア(0)して使用してください。EXTCビットをセット(1)すると、発振が停止してしまいます。
- (3) 発振安定時間指定レジスタ(OSTS)のEXTCビットがクリア(0)されている場合にSTOPモードに設定されると、クロック発振回路のリークを抑えるためX1端子が内部でV_{SS}(GND電位)にショートされます。したがって、外部クロックを使用するシステムでSTOPモードを使用する場合は、OSTSのEXTCビットを必ずセット(1)してください。OSTSのEXTCビットがクリア(0)されているときに、外部クロックを入力するシステムでSTOPモードの設定を行うと、 μ PD784938Aの破壊または信頼性の低下を招く可能性があります。

なお、OSTSのEXTCビットをセット(1)する場合には、必ずX2端子に、X1端子に入力しているクロックの逆相のクロックを入力する必要があります(4.3.1 クロック発振回路参照)。
- (4) STOPモード/IDLEモード設定時には、A/Dコンバータ・モード・レジスタ(ADM)のCSビットをクリア(0)してください。

第26章 リセット機能

26.1 リセット機能

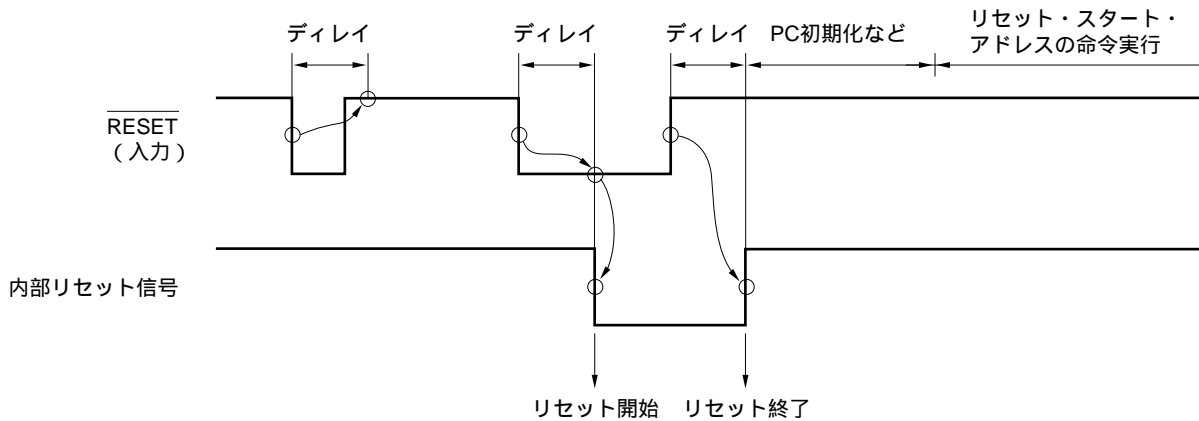
$\overline{\text{RESET}}$ 入力端子にロウ・レベルが入力されると、システム・リセットがかかり、各ハードウェアは表26 - 2に示すような状態になります。また、電源端子およびX1, X2端子を除くすべての端子は、ハイ・インピーダンス状態になります。表26 - 1に、リセット中およびリセット解除後の端子の状態を示します。

$\overline{\text{RESET}}$ 入力がロウ・レベルからハイ・レベルになると、リセット状態が解除されリセット・ベクタ・テーブルの00000H番地の内容がプログラム・カウンタ（PC）のビット0-7に、00001H番地の内容がPCのビット8-15にセットされ、PCのビット16-19に0000Bをセットして分岐し、その分岐先アドレスからプログラムの実行を開始します。したがって、ベース領域内の任意の番地からリセット・スタートできます。

各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

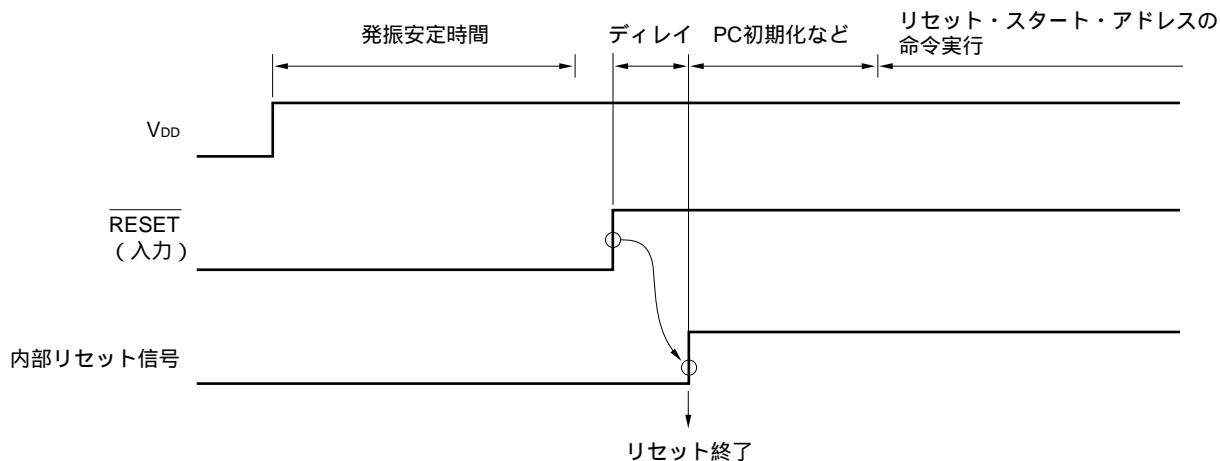
$\overline{\text{RESET}}$ 入力端子は、ノイズによる誤動作を防ぐため、アナログ・ディレイによるノイズ除去回路を内蔵しています（図26 - 1参照）。

図26 - 1 リセット信号の受け付け



電源投入時のリセット動作では、発振安定時間が経過するまで $\overline{\text{RESET}}$ 信号をアクティブにしてください。
 なお、発振安定にかかる時間は、使用する水晶振動子/セラミック発振子および、接続するコンデンサの容量などにより影響を受けるので、水晶振動子/セラミック発振子メーカーと相談してください。

図26 - 2 電源投入時のリセット動作



備考 f_{CLK} : 内部システム・クロック周波数

表26 - 1 リセット入力中、リセット解除後の端子状態

端子名称	入出力	リセット中	リセット解除直後
P00-P07	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P10-P17	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P20/NMI-P27/SI	入力	Hi-Z	Hi-Z (入力ポート)
P30/RxD/SI1-P37/TO3	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P40/AD0-P47/AD7	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P50/A8-P57/A15	入出力	Hi-Z	Hi-Z (入力ポート・モード)
A60/A16-P63/A19	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P64/ $\overline{\text{RD}}$, P65/ $\overline{\text{WR}}$	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P66/ $\overline{\text{WAIT}}$, P67/ $\overline{\text{REFRQ}}$	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P70/ANI0-P77/ANI7	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P90-P97	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P100-P107/SO3	入出力	Hi-Z	Hi-Z (入力ポート・モード)
ASTB/CLKOUT	出力	Hi-Z	0
PWM0, PWM1	出力	Hi-Z	ロウ・レベル出力
$\overline{\text{TX}}$	出力	Hi-Z	ロウ・レベル出力
$\overline{\text{RX}}$	入力	Hi-Z	Hi-Z (入力ポート)

表26 - 2 各ハードウェアのリセット後の状態 (1/3)

ハードウェア		リセット後の状態	
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。	
スタック・ポインタ (SP)		不 定 ^注	
プログラム・ステータス・ワード (PSW)		02H	
内部RAM	データ・メモリ	不 定 ^注	
	汎用レジスタ		
ポート	ポート0, ポート1, ポート2, ポート3, ポート4, ポート5, ポート6, ポート7, ポート9, ポート10	不 定 (ハイ・インピーダンス)	
ポート・モード・レジスタ	PM0, PM1, PM3, PM4, PM5, PM6, PM7, PM9, PM10	FFH	
ポート・モード・コントロール・レジスタ (PMC1, PMC3, PMC10)		00H	
プルアップ抵抗オプション・レジスタ (PUOL, PUOH)		00H	
リアルタイム出力ポート・コントロール・レジスタ (RTPC)		00H	
タイマ/カウンタ	タイマ・カウンタ (TM0, TM1W, TM2W, TM3W)	0000H	
	コンペア・レジスタ (CR00, CR01, CR10LW, CR20W, CR30W)	不 定	
	キャプチャ・レジスタ (CR02, CR12W, CR22W)		
	キャプチャ/コンペア・レジスタ (CR11W, CR21W)		
	タイマ・コントロール・レジスタ (TMC0, TMC1)	00H	
	タイマ出力コントロール・レジスタ (TOC)		
	キャプチャ/コンペア・コントロール・レジスタ	CRC0	10H
		CRC1, CRC2	00H
	プリスケアラ・モード・レジスタ (PRM0, PRM1)	00H	
	ワンショット・パルス出力制御レジスタ (OSPC)	00H	
PWM	PWMコントロール・レジスタ (PWMC)	05H	
	PWMプリスケアラ・レジスタ (PWPR)	00H	
	PWMモジュロ・レジスタ (PWM0, PWM1)	不 定	
A/Dコンバータ	A/Dコンバータ・モード・レジスタ (ADM)	00H	
	A/D変換結果レジスタ (ADCR)	不 定	
	A/D電流カット選択レジスタ (IEAD)	00H	
ROMコレクション	ROMコレクション・アドレス・レジスタH (CORAH)	00H	
	ROMコレクション・アドレス・レジスタL (CORAL)	0000H	
	ROMコレクション・コントロール・レジスタ (CORC)	00H	

注 HALTモード, STOPモード, IDLEモードをRESET入力で解除した場合は, 各モード設定前の値を保持しています。

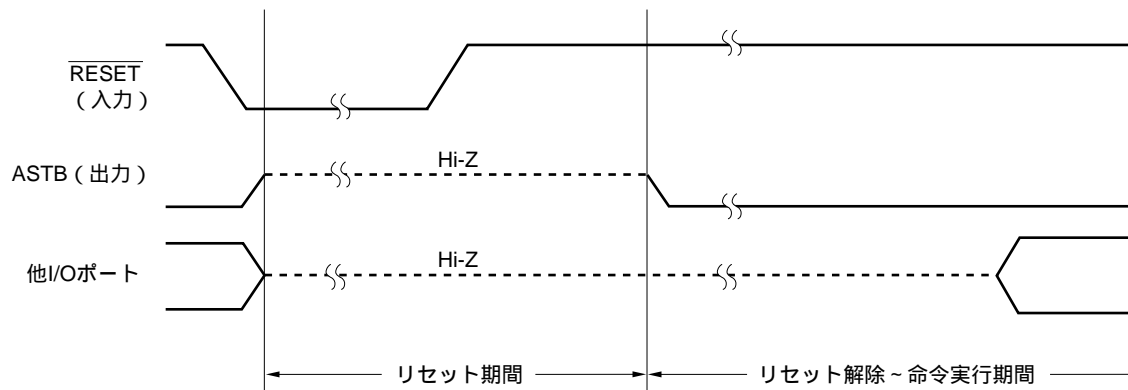
表26 - 2 各ハードウェアのリセット後の状態 (2/3)

ハードウェア		リセット後の状態	
シリアル・インタフェース	クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM, CSIM1, CSIM2, CSIM3)	00H	
	シリアル・シフト・レジスタ (SIO, SIO1, SIO2, SIO3)	不 定	
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM, ASIM2)	00H	
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS, ASIS2)	00H	
	シリアル受信バッファ (RXB, RXB2)	不 定	
	シリアル送信シフト・レジスタ (TXS, TXS2)	不 定	
	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2)	00H	
クロック出力機能 (CLOM)		00H	
時計用タイマ・モード・レジスタ (WM)		00H	
メモリ拡張モード・レジスタ (MM)		20H	
プログラマブル・ウェイト制御レジスタ	PWC1	AAH	
	PWC2	AAAAH	
リフレッシュ機能	リフレッシュ・モード・レジスタ (RFM)	00H	
	リフレッシュ領域指定レジスタ (RFA)	00H	
ホールド・モード・レジスタ (HLDM)		00H	
割り込み	割り込み制御レジスタ (PIC0, PIC1, PIC2, PIC3, PIC4, PIC5, CIC00, CIC01, CIC10, CIC11, CIC20, CIC21, CIC30, ADIC, SERIC, SRIC, STIC, SERIC2, SRIC2, STIC2, CSIIC, CSIIC1, CSIIC2, IEIC1, IEIC2, WIC, CSIIC3)	43H	
	割り込みマスク・レジスタ	MK0	FFFFH
		MK1	FFFFH
	インサースビス・プライオリティ・レジスタ (ISPR)		00H
	割り込みモード・コントロール・レジスタ (IMC)		00H
外部割り込みモード・レジスタ (INTM0, INTM1)		00H	
サンプリング・クロック選択レジスタ (SCS0)		00H	
スタンバイ・コントロール・レジスタ (STBC)		30H	
発振安定時間指定レジスタ (OSTS)		00H	
内部メモリ・サイズ切り替えレジスタ (IMS)		FFH	

表26 - 2 各ハードウェアのリセット後の状態 (3/3)

ハードウェア		リセット後の状態
IEBusコントローラ	IEBusコントロール・レジスタ (BCR)	00H
	IEBus自局アドレス・レジスタ (UAR)	0000H
	スレーブ・アドレス・レジスタ (SAR)	
	IEBusパートナ・アドレス・レジスタ (PAR)	
	IEBusコントロール・データ・レジスタ (CDR)	01H
	IEBus電文長レジスタ (DLR)	00H
	IEBusデータ・レジスタ (DR)	
	IEBusユニット・ステータス・レジスタ (USR)	
	IEBusインタラプト・ステータス・レジスタ (ISR)	
	IEBusスレーブ・ステータス・レジスタ (SSR)	41H
	IEBus通信成功カウンタ (SCR)	01H
	IEBus伝送カウンタ (CCR)	20H

図26 - 3 リセット入力時のタイミング



26.2 注意事項

パワーオン時のリセット入力は、電源電圧が規定電圧に達したあと、発振が安定するまでロウ・レベルを保持しなければなりません。

第27章 ROMコレクション

27.1 ROMコレクションの機能

μPD784938Aは、マスクROM内のプログラムの一部を内部拡張RAM内のプログラムに書き換えて実行できます。

ROMコレクションを使用することにより、マスクROMで発見された命令バグを回避したり、プログラムの流れを変更したりできます（フラッシュ・メモリ製品を含め、μPD784938Aサブシリーズの製品に内蔵）。

ROMコレクション機能を使用するには、ROMコレクション用の制御SFRにデータ設定するプログラムをコード化しておくこと、さらに設定するデータを外部の不揮発性メモリから読み込める構成であることが、必要条件となります。

不具合が判明するまでは制御SFRにROMコレクションを禁止するデータ、および無効（任意）な修正アドレスを設定しておき、不具合判明後、ROMコレクション許可データおよび修正アドレスの設定を行います。

ROMコレクションは内部ROM（プログラム）中、最大4箇所使用できます。

注意 ROMコレクションはインサーキット・エミュレータ（IE-784000-R, IE-784000-R-EM）にてエミュレーションできません。あらかじめご了承ください。

具体的には、ユーザ・プログラムによってマイコン外部に接続した不揮発性メモリから修正すべき、命令のアドレスと修正命令コードを周辺RAMにロードします。

内部ROMプログラム実行中、マイコンに内蔵したコンパレータで、上記アドレスと内部ROMへのアクセス・アドレスを比較し、（命令フェッチ時）、一致すると内部ROMの出力データをコール命令に（CALLT）のコードに置き換えて、出力します。

CALLT命令コードをCPUが有効命令にして実行すると、CALLTテーブルを参照して、周辺RAMなどの処理ルーチンに分岐します。このとき参照するCALLTテーブルは、修正アドレスごとに用意してあります。μPD784938Aでは、修正アドレスを4点設定できます。

アドレス・ポインタ0との一致	: CALLTテーブル（0078H） 置き換え命令コード FCH
アドレス・ポインタ1との一致	: CALLTテーブル（007AH） 置き換え命令コード FDH
アドレス・ポインタ2との一致	: CALLTテーブル（007CH） 置き換え命令コード FEH
アドレス・ポインタ3との一致	: CALLTテーブル（007EH） 置き換え命令コード FFH

- 注意1 . ROMコレクション機能を使用する場合（のちに使用する可能性のある場合）、CALLTテーブルを4箇所（0078H, 007AH, 007CH, 007EH）予約しておく必要があるため、他の用途に使用しないでください。ただし、ROMコレクション機能を使用しない場合は、CALLTテーブルを使用してかまいません。
- 2 . コレクション動作を許可したチャンネルが複数ある場合、互いに同一のコレクション・アドレスを設定しないでください。
- 3 . コレクション・アドレスには、必ず先頭の命令コードが格納されているアドレスを設定してください。

表27-1 に78K/ ROMコレクションと78K/0 ROMコレクションとの相違点を示します。

表27 - 1 78K/ ROMコレクションと78K/0 ROMコレクションとの相違点

相違点	78K/	78K/0
生成する命令コード	CALLT命令 (1バイト命令： FCH, FDH, FEH, FFH)	周辺RAMへの分岐命令 (3バイト命令)
スタック・ポインタの変化	あり (3バイト待避)	なし
アドレス比較条件	命令フェッチのみ	命令フェッチのみ
コレクション・ステータス・フラグ	なし 無効フェッチによるアドレス 一致があり得るのでステータスを持つ必要がない	あり
コレクション時の飛び先アドレス	CALLTテーブル 0078H, 007AH, 007CH, 007EH	周辺RAM上の固定アドレス

27.2 ROMコレクションの構成

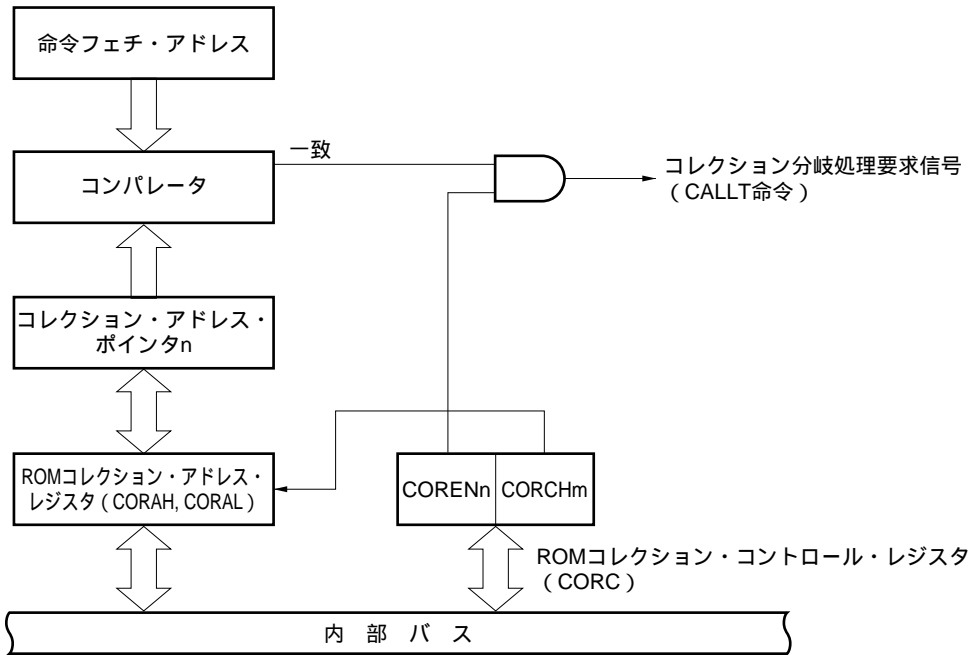
ROMコレクションは、次のハードウェアで構成しています。

表27-2 ROMコレクションの構成

項目	構成
レジスタ	ROMコレクション・アドレス・レジスタH, L (CORAH, CORAL)
制御レジスタ	ROMコレクション・コントロール・レジスタ (CORC)

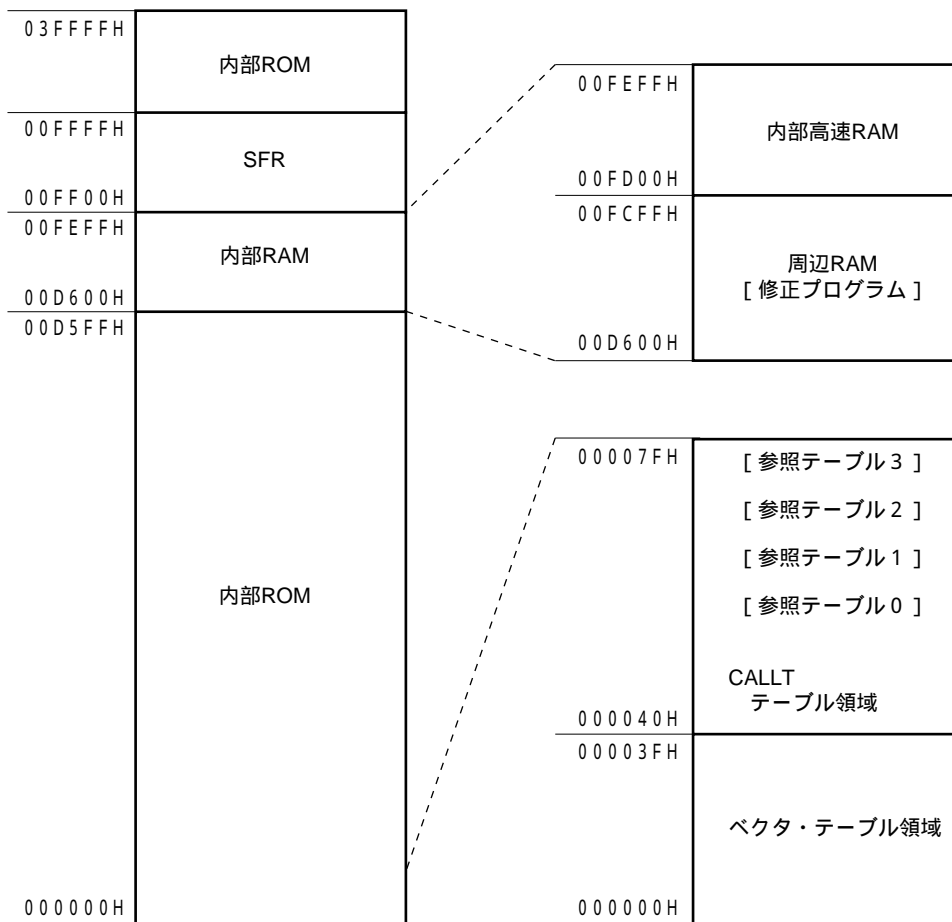
図27-1にROMコレクションのブロック図、図27-2にメモリ・マッピング例を示します。

図27-1 ROMコレクションのブロック図



備考 n = 0-3, m = 0, 1

図27 - 2 メモリ・マッピング例 (μPD784938A)

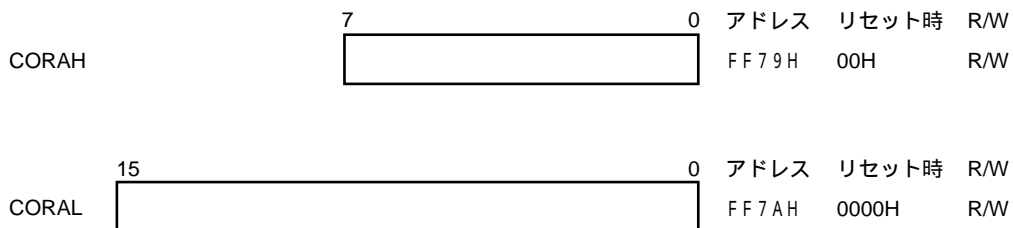


(1) ROMコレクション・アドレス・レジスタ (CORAH, CORAL)

マスクROM中の修正をしたい命令の先頭アドレス (修正アドレス) を設定するレジスタです。

ROMコレクションでは、プログラムを最大4箇所修正できます。あらかじめ、ROMコレクション・コントロール・レジスタ (CORC) のビット0 (CORCH0), ビット1 (CORCH1) でチャンネルを選択し、CORAHとCORALにアドレスを書き込むと、指定されたチャンネルのアドレス・ポインタにアドレスを設定することができます。

図27 - 3 ROMコレクション・アドレス・レジスタ (CORAH, CORAL) のフォーマット



(2) コンパレータ

ROMコレクション・アドレス・レジスタH, L (CORAH, CORAL) を修正したアドレス値とフェッチ・レジスタ値を常に比較します。ROMコレクション・コントロール・レジスタ (CORC) のビット4-7 (COREN0-3) のいずれかが1のとき、修正アドレスとフェッチ・アドレスの値が一致すると、ROMコレクション回路からテーブル参照命令 (CALLT) が発生します。

27.3 ROMコレクションを制御するレジスタ

ROMコレクションはROMコレクション・コントロール・レジスタ (CORC) で制御します。

(1) ROMコレクション・コントロール・レジスタ (CORC)

ROMコレクション・アドレス・レジスタH, L (CORAH, CORAL) に設定した修正アドレスとフェッチ・アドレスの値が一致したときに、テーブル参照命令 (CALLT) の発生を制御するレジスタです。

コンパレータでの一致検出の許可/禁止をするコレクション・イネーブル・フラグ (COREN0-3) と、4チャンネルのコレクション・ポインタで構成されています。

CORCは、1ビット・メモリ操作命令または、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図27-4 ROMコレクション・コントロール・レジスタ (CORC) のフォーマット

アドレス : 0FF78H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CORC	COREN3	COREN2	COREN1	COREN0	0	0	CORCH1	CORCH0

CORENn	ROMコレクション機能の動作許可 / 禁止の設定
0	アドレスが一致してもCALLT命令を出力しない。
1	アドレス・ポインタのチャンネルnに設定したアドレスと内部ROMアドレスが一致すると、ROMデータの代わりにCALLT命令コードを出力します。

CORCH1	CORCH0	チャンネルの選択
0	0	ROMコレクション・アドレス・レジスタへのアクセスが、アドレス・ポインタのチャンネル0に対して行われる。
0	1	ROMコレクション・アドレス・レジスタへのアクセスが、アドレス・ポインタのチャンネル1に対して行われる。
1	0	ROMコレクション・アドレス・レジスタへのアクセスが、アドレス・ポインタのチャンネル2に対して行われる。
1	1	ROMコレクション・アドレス・レジスタへのアクセスが、アドレス・ポインタのチャンネル3に対して行われる。

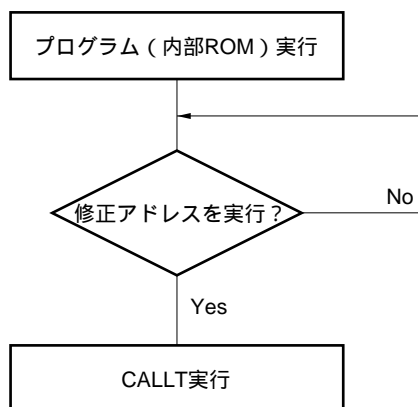
備考 n = 0-3

27.4 ROMコレクションの使用方法

マイコン外部の不揮発性メモリ（EEPROM）などに修正アドレスおよび、修正後の命令（修正プログラム）を格納します。

リセット後の初期化プログラム中で、シリアル・インタフェースなどを用いて不揮発性メモリから修正プログラムを読み出し、周辺RAMや外部メモリに格納します。また、コレクション・チャンネルを選択し、修正すべき命令のアドレスを読み出して、ROMコレクション・アドレス・レジスタ（CORAH, CORAL）に設定し、コレクション・イネーブル・フラグ（COREN0-3）を“1”にします。4箇所まで設定可能です。

修正アドレス実行時にCALLT命令実行（ハードウェアで実行）



CALLTルーチン分岐（ハードウェアで実行）

アドレス・ポインタ0との一致時：CALLTテーブル（0078H）

アドレス・ポインタ1との一致時：CALLTテーブル（007AH）

アドレス・ポインタ2との一致時：CALLTテーブル（007CH）

アドレス・ポインタ3との一致時：CALLTテーブル（007EH）

修正プログラム（代替命令）を実行

スタック・ポインタ（SP）に+3を加算（修正プログラムで実行）

分岐命令（BR）を用いて任意の番地に復帰

27.5 ROMコレクションを実行するための条件

ROMコレクション機能を使用するうえで、外部環境およびプログラムに関して、以下の条件を満たす必要があります。

(1) 外部環境

外部に不揮発性メモリを接続し、そのデータを読める構成であること。

(2) ターゲット・プログラム

ターゲット・プログラム（ROMに格納するプログラム）に、あらかじめCORC, CORAH, CORALへのデータ設定命令を記述すること。

設定するデータ（下の設定例の小文字部分）は、外部不揮発性メモリから読み込むものとし、必要とするコレクション・ポイント数分を設定します。

4 ポイント設定する場合の例

```

MOV      CORC, #00H      ;チャンネル0指定
MOVW     CORAL, #ch0 datal ;チャンネル0一致アドレス設定
MOV      CORAH, #ch0 datah ;チャンネル0一致アドレス設定
MOV      CORC, #01H      ;チャンネル1指定
MOVW     CORAL, #ch1 datal ;チャンネル1一致アドレス設定
MOV      CORAH, #ch1 datah ;チャンネル1一致アドレス設定
MOV      CORC, #02H      ;チャンネル2指定
MOVW     CORAL, #ch2 datal ;チャンネル2一致アドレス設定
MOV      CORAH, #ch2 datah ;チャンネル2一致アドレス設定
MOVW     CORC, #chH      ;チャンネル3指定
MOV      CORAL, #ch3 datah ;チャンネル3一致アドレス設定
MOV      CORAH, #ch3 datah ;チャンネル3一致アドレス設定
MOV      CORC, #romcgr en
                                           ;コレクション禁止の場合は、00Hを設定
                                           ;コレクション動作の場合は、F0Hを設定

BR       $NORMAL
BR       !!COR_ADDR0      ;修正プログラムのアドレス指定
                           (チャンネル0)
BR       !!COR_ADDR1      ;修正プログラムのアドレス指定
                           (チャンネル1)
BR       !!COR_ADDR2      ;修正プログラムのアドレス指定
                           (チャンネル2)
BR       !!COR_ADDR3      ;修正プログラムのアドレス指定
                           (チャンネル3) (2段分岐の場合)
;
NOMAL命令                  ;次の命令

```

(3) CALLTテーブルに分岐命令を設定すること

上記のプログラムの場合、BR !!COR_ADDRn (n = 0-3) 命令の先頭アドレスを指定します (COR_ADDRは修正プログラムのある番地を示す)。

このようにCALLT命令とBR命令で2分岐するのは、CALLTではベース空間にしか分岐できないためです。LOCATION 0FH命令でRAM領域をFF x x xHに割り付けた場合、CALLTだけでは修正プログラムが格納してあるRAM領域に分岐できません。

したがってLOCATION命令で、RAMベース空間 (0000H-0FFFFH) に取り付けた場合は、2段分岐する必要はありません。

第28章 μ PD78F4938Aのプログラミング

μ PD784938Aサブシリーズのフラッシュ・メモリ製品には、 μ PD78F4938Aがあります。

μ PD78F4938Aは基板に実装した状態で、プログラムの書き込み、消去、再書き込みが可能なフラッシュ・メモリを内蔵した製品です。フラッシュ・メモリ製品（ μ PD78F4938A）とマスクROM製品（ μ PD784935A, 784936A, 784937A, 784938A）との違いを表28 - 1 に示します。

表28 - 1 μ PD78F4938AとマスクROM製品との違い

項 目	μ PD78F4938A	マスクROM製品
内部ROM構造	フラッシュ・メモリ	マスクROM
内部ROM容量	256 Kバイト	μ PD784935A : 96 Kバイト μ PD784936A : 128 Kバイト μ PD784937A : 192 Kバイト μ PD784938A : 256 Kバイト
内部RAM容量	10496バイト	μ PD784935A : 5120バイト μ PD784936A : 6656バイト μ PD784937A : 8192バイト μ PD784938A : 10496バイト
内部メモリ・サイズ切り替えレジスタ (IMS)	あり	なし
IC端子	なし	あり
V _{PP} 端子	あり	なし

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程で、フラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価を行ってください。

28.1 内部メモリ・サイズ切り替えレジスタ (IMS)

IMSは、ソフトウェアにより内部メモリの一部を使用しないようにするためのレジスタです。IMSを設定することにより、内部メモリ (ROM, RAM) 容量の異なるマスクROM製品のメモリ・マップと同一のメモリ・マップにすることができます。

IMSは、8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図28 - 1 内部メモリ・サイズ切り替えレジスタ (IMS) のフォーマット

アドレス：0FFFCH リセット時：FFH W

略号	7	6	5	4	3	2	1	0
IMS	1	1	ROM1	ROM0	1	1	RAM1	RAM0

ROM1	ROM0	内部ROM容量の選択
0	0	256 Kバイト
0	1	96 Kバイト
1	0	128 Kバイト
1	1	192 Kバイト

RAM1	RAM0	内部RAM容量の選択
0	0	10496バイト
0	1	5120バイト
1	0	6656バイト
1	1	8192バイト

注意 IMSは、マスクROM製品 (μ PD784935A, 784936A, 784937A, 784938A) にはありません。

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表28 - 2 に示します。

表28 - 2 内部メモリ・サイズ切り替えレジスタ (IMS) の設定値

対象のマスクROM製品	IMSの設定値
μ PD784935A	DDH
μ PD784936A	EEH
μ PD784937A	FFH
μ PD784938A	CCH

28.2 Flashpro 使用によるフラッシュ・メモリ・プログラミング

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行えます。専用フラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3））をホスト・マシンおよびターゲット・システムに接続して書き込みます。また、Flashpro に接続されたフラッシュ・メモリ書き込み用アダプタ上でも書き込み可能です。

備考 FL-PR3は、株式会社内藤電誠町田製作所の製品です。

28.2.1 通信方式の選択

フラッシュ・メモリへの書き込みは、Flashpro を使用し、シリアル通信で行います。表28 - 3 に示す通信方式から選択して書き込みます。この通信方式の選択は、図28 - 2 に示すようなフォーマットを用います。表28 - 3 に示す V_{PP} パルス数で、それぞれの通信方式が選択されます。

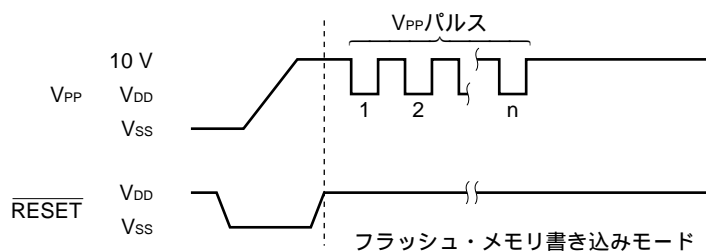
表28 - 3 通信方式一覧

通信方式	チャンネル数	使用端子 ^注	V_{PP} パルス数
3線式シリアルI/O	3	SCK3/P105 SI3/P106 SO3/P107	1
		SCK0/P32 SI0/P27 SO0/P33	0
		SCK3/P105 SI3/P106 SO3/P107 P104（ハンド・シェイク用）	3
UART	1	RxD/P30 TxD/P31	8

注 フラッシュ・メモリ・プログラミング・モードに遷移するとフラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して V_{DD} に接続するか、または抵抗を介して V_{SS} に接続するなどの端子処理が必要です。

注意 通信方式は、必ず表28 - 3 に示す V_{PP} パルス数で選択してください。

図28 - 2 通信方式選択フォーマット



28.2.2 フラッシュ・メモリ・プログラミングの機能

選択された通信方式による各種コマンド/データ送受信により、フラッシュ・メモリの書き込みなどの動作を行います。主な機能を表28 - 4 に示します。

表28 - 4 フラッシュ・メモリ・プログラミングの機能

機 能	説 明
エリア消去	指定したメモリ・エリアの内容を消去します。
エリア・ブランク・チェック	指定したブロックの消去状態を確認します。
データ・ライト	書き込み開始アドレスおよび書き込みデータ数(バイト数)をもとに、フラッシュ・メモリに書き込みを行います。
エリア・ベリファイ	指定したメモリ・ブロックの内容と入力したデータを比較します。

なお、フラッシュ・メモリのベリファイは、ベリファイを行うデータをシリアル・インタフェースを介して外部から供給し、エリアまたは全データの照合が終了したあとに不一致データの有無を外部へ出力するようになっています。したがって、フラッシュ・メモリの読み出し機能はなく、このベリファイ方式によって、フラッシュ・メモリの内容を他者に読まれることはありません。

28.2.3 Flashpro の接続

Flashpro と μ PD78F4938Aとの接続は、通信方式（3線式シリアルI/OまたはUART）によって異なります。それぞれの場合の接続図を図28 - 3、図28 - 4に示します。

図28 - 3 3線式シリアルI/O方式でのFlashpro の接続

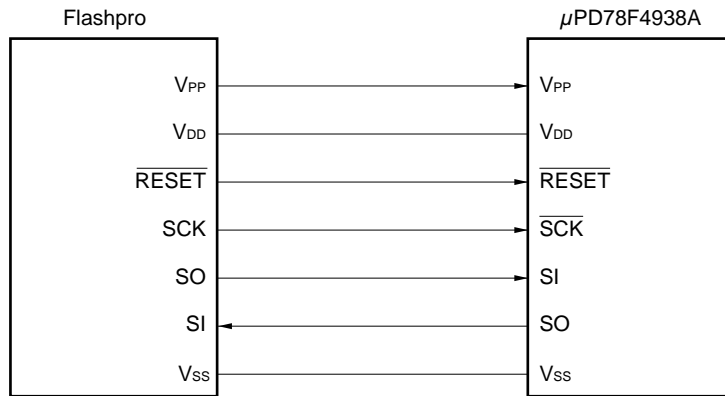
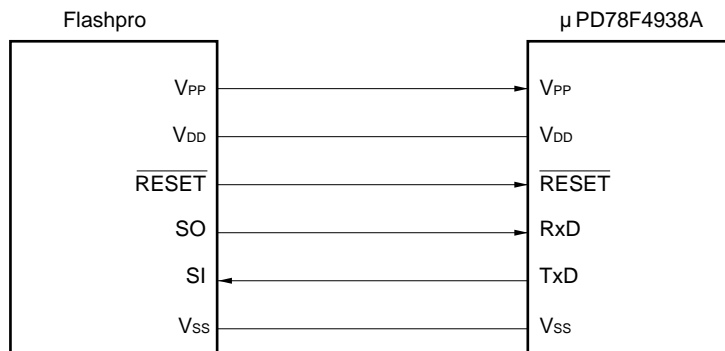


図28 - 4 UART方式でのFlashpro の接続



第29章 命令のオペレーション

29.1 凡 例

(1) オペランドの表現形式と記述方法 (1/2)

表現形式	記 述 方 法
r, r' ^{注1}	X(R0), A(R1), C(R2), B(R3), R4, R5, R6, R7, R8, R9, R10, R11, E(R12), D(R13), L(R14), H(R15)
r1 ^{注1}	X(R0), A(R1), C(R2), B(R3), R4, R5, R6, R7
r2	R8, R9, R10, R11, E(R12), D(R13), L(R14), H(R15)
r3	V, U, T, W
rp, rp' ^{注2}	AX(RP0), BC(RP1), RP2, RP3, VR(RP4), UR(RP5), DE(RP6), HL(RP7)
rp1 ^{注2}	AX(RP0), BC(RP1), RP2, RP3
rp2	VR(RP4), UR(RP5), DE(RP6), HL(RP7)
rg, rg'	VVR(RG4), UUR(RG5), TDE(RG6), WHL(RG7)
sfr	特殊機能レジスタ略号 (特殊機能レジスタ活用表参照)
sfrp	特殊機能レジスタ略号 (16ビット操作可能レジスタ: 特殊機能レジスタ活用表参照)
post ^{注2}	AX(RP0), BC(RP1), RP2, RP3, VR(RP4), UR(RP5)PSW, DE(RP6), HL(RP7) 複数記述可能。ただし、UPIはPUSH/POP命令、PSWIはPUSHU/POPU命令にかぎる
mem	[TDE][WHL][TDE+][WHL+][TDE-][WHL-][VVP][UUP]: レジスタ・インダイ レクト・アドレッシング [TDE+byte][WHL+byte][SP+byte][UUP+byte][VVP+byte]: ベースト・アドレッシング imm24[A] imm24[B] imm24[DE] imm24[HL]: インデクスト・アドレッシング [TDE+A][TDE+B][TDE+C][WHL+A][WHL+B][WHL+C][VVP+DE] [VVP+HL]: ベースト・インデクスト・アドレッシング
mem1	memから[WHL+][WHL-]を除いたすべて
mem2	[TDE][WHL]
mem3	[AX][BC][RP2][RP3][VVP][UUP][TDE][WHL]

注1 . RSSビットを1とすることで、R4-R7をX, A, C, Bとして使用することができますが、この機能を使用するのは、78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

2 . RSSビットを1とすることで、RP2, RP3をAX, BCとして使用することができますが、この機能を使用するのは、78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

(1) オペランドの表現形式と記述方法 (2/2)

表現形式	記述方法
注	
saddr, saddr'	FD20H-FF1FH イミーディエト・データまたはレーベル
saddr1	FE00H-FEFFFH イミーディエト・データまたはレーベル
saddr2	FD20H-FDFFFH, FF00H-FF1FH イミーディエト・データまたはレーベル
saddrp	FD20H-FF1EH イミーディエト・データまたはレーベル (16ビット操作時)
saddrp1	FE00H-FEFFFH イミーディエト・データまたはレーベル (16ビット操作時)
saddrp2	FD20H-FDFFFH, FF00H-FF1EH イミーディエト・データまたはレーベル (16ビット操作時)
saddrg	FD20H-FEFDH イミーディエト・データまたはレーベル (24ビット操作時)
saddrg1	FE00H-FEFDH イミーディエト・データまたはレーベル (24ビット操作時)
saddrg2	FD20H-FDFFFH イミーディエト・データまたはレーベル (24ビット操作時)
addr24	0H-FFFFFFH イミーディエト・データまたはレーベル
addr20	0H-FFFFFFH イミーディエト・データまたはレーベル
addr16	0H-FFFFH イミーディエト・データまたはレーベル
addr11	800H-FFFH イミーディエト・データまたはレーベル
addr8	0FE00H-0FEFFF ^注 イミーディエト・データまたはレーベル
addr5	40H-7EH イミーディエト・データまたはレーベル
imm24	24ビット・イミーディエト・データまたはレーベル
word	16ビット・イミーディエト・データまたはレーベル
byte	8ビット・イミーディエト・データまたはレーベル
bit	3ビット・イミーディエト・データまたはレーベル
n	3ビット・イミーディエト・データ
locaddr	00Hまたは0FH

注 LOCATION命令で00Hを指定した場合は、ここに示したアドレスになります。

LOCATION命令で0FHを指定した場合は、ここに示したアドレスにF0000Hを加えた値がアドレスになります。

(2) オペランド欄の記号

記号	説明
+	オートインクリメント
-	オートデクリメント
	イミューティエト・データ
!	16ビット絶対アドレス
!!	24ビット/20ビット絶対アドレス
\$	8ビット相対アドレス
\$!	16ビット相対アドレス
/	ビット反転
[]	インダイレクト・アドレッシング
[%]	24ビット・インダイレクト・アドレッシング

(3) フラグ欄の記号

記号	説明
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果に従ってセット/クリアされる
P	P/Vフラグがパリティ・フラグとして動作する
V	P/Vフラグがオーバーフロー・フラグとして動作する
R	以前に退避した値がリストアされる

(4) オペレーション欄の記号

記号	説明
jdisp8	次の命令の先頭アドレスと分岐先アドレスとの相対アドレス距離の符号付き2の補数データ (8ビット)
jdisp16	次の命令の先頭アドレスと分岐先アドレスとの相対アドレス距離の符号付き2の補数データ (16ビット)
PC _{HW}	PCのビット16-19
PC _{LW}	PCのビット0-15

(5) オペランドにmemを含む命令のバイト数

memのモード	レジスタ・インダイレクト・アドレッシング		ベースト・アドレッシング	インデクスト・アドレッシング	ベースト・インデクスト・アドレッシング
バイト数	1	2注	3	5	2

注 MOV命令でmemに [TDE] [WHL] [TDE +] [TDE -] [WHL +] [WHL -] を記述した場合のみ、1バイト命令になります。

(6) オペランドにsaddr, saddrp, r, rpを含む命令のバイト数

オペランドにsaddr, saddrp, r, rpを含む命令の中には、バイト数をスラッシュ “ / ” で2つに分けて記述しているものがあります。どちらのバイト数になるかは下表によります。

表現形式	バイト数の左側	バイト数の右側
saddr	saddr2	saddr1
saddrp	saddrp2	saddrp1
r	r1	r2
rp	rp1	rp2

(7) オペランドにmemを含む命令、ストリング命令の記述

オペランドのTDE, WHL, VVP, UUP (24ビット・レジスタ) は、それぞれDE, HL, VP, UPと記述することもできます。ただし、DE, HL, VP, UPと記述した場合でもTDE, WHL, VVP, UUP (24ビット・レジスタ) として扱われます。

29.2 オペレーション一覧

(1) 8ビット・データ転送命令：MOV

二モニック	オペランド	バイト	オペレーション	フラグ							
				S	Z	AC	P/V	CY			
MOV	r, byte	2/3	r byte								
	saddr, byte	3/4	(saddr) byte								
	sfr, byte	3	sfr byte								
	!addr16, byte	5	(saddr16) byte								
	!!addr24, byte	6	(addr24) byte								
	r, r	2/3	r r								
	A, r	1/2	A r								
	A, saddr2	2	A (saddr2)								
	r, saddr	3	r (saddr)								
	saddr2, A	2	(saddr2) A								
	saddr, r	3	(saddr) r								
	A, sfr	2	A sfr								
	r, sfr	3	r sfr								
	sfr, A	2	sfr A								
	sfr, r	3	sfr r								
	saddr, saddr'	4	(saddr) (saddr')								
	r, !addr16	4	r (addr16)								
	!addr16, r	4	(addr16) r								
	r, !!addr24	5	r (addr24)								
	!!addr24, r	5	(addr24) r								
	A, [saddrp]	2/3	A ((saddrp))								
	A, [%saddrg]	3/4	A ((saddrg))								
	A, mem	1-5	A (mem)								
	[saddrp] A	2/3	((saddrp)) A								
	[%saddrg] A	3/4	((saddrg)) A								
	mem, A	1-5	(mem) A								
	PSWL, byte	3	PSW _L byte				x	x	x	x	x
	PSWH, byte	3	PSW _H byte								
	PSWL, A	2	PSW _L A				x	x	x	x	x
	PSWH, A	2	PSW _H A								
	A, PSWL	2	A PSW _L								
	A, PSWH	2	A PSW _H								
r3, byte	3	r3 byte									
A, r3	2	A r3									
r3, A	2	r3 A									

(2) 16ビット・データ転送命令 : MOVW

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOVW	rp, word	3	rp word						
	saddrp, word	4/5	(saddrp) word						
	sfrp, word	4	sfrp word						
	!addr16, word	6	(addr16) word						
	!!addr24, word	7	(addr24) word						
	rp, rp'	2	rp rp'						
	AX, saddrp2	2	AX (saddrp2)						
	rp, saddrp	3	rp (saddrp)						
	saddrp2, AX	2	(saddrp2) AX						
	saddrp, rp	3	(saddrp) rp						
	AX, sfrp	2	AX sfrp						
	rp, sfrp	3	rp sfrp						
	sfrp, AX	2	sfrp AX						
	sfrp, rp	3	sfrp rp						
	saddrp, saddrp'	4	(saddrp) (saddrp')						
	rp, !addr16	4	rp (addr16)						
	!addr16, rp	4	(addr16) rp						
	rp, !!addr24	5	rp (addr24)						
	!!addr24, rp	5	(addr24) rp						
	AX, [saddrp]	3/4	AX ((saddrp))						
	AX, [%saddrg]	3/4	AX ((saddrg))						
	AX, mem	2-5	AX (mem)						
	[saddrp] AX	3/4	((saddrp)) AX						
[%saddrg] AX	3/4	((saddrg)) AX							
mem, AX	2-5	(mem) AX							

(3) 24ビット・データ転送命令：MOVG

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOVG	rg, imm24	5	rg imm24						
	rg, rg'	2	rg rg'						
	rg, !addr24	5	rg (addr24)						
	!addr24, rg	5	(addr24) rg						
	rg, saddrg	3	rg (saddrg)						
	saddrg, rg	3	(saddrg) rg						
	WHL, [%saddrg]	3/4	WHL ((saddrg))						
	[%saddrg] WHL	3/4	((saddrg) WHL)						
	WHL, mem1	2-5	WHL (mem1)						
	mem1, WHL	2-5	(mem1) WHL						

(4) 8ビット・データ交換命令：XCH

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
XCH	r, r'	2/3	r r'						
	A, r	1/2	A r						
	A, saddr2	2	A (saddr2)						
	r, saddr	3	r (saddr)						
	r, sfr	3	r sfr						
	saddr, saddr'	4	(saddr) (saddr')						
	r, !addr16	4	r (addr16)						
	r, !addr24	5	r (addr24)						
	A, [saddrp]	2/3	A ((saddrp))						
	A, [%saddrg]	3/4	A ((saddrg))						
	A, mem	2-5	A (mem)						

(5) 16ビット・データ交換命令 : XCHW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
XCHW	rp, rp'	2	rp rp'					
	AX, saddrp2	2	AX (saddrp2)					
	rp, saddrp	3	rp (saddrp)					
	rp, sfrp	3	rp sfrp					
	AX, [saddrp]	3/4	AX ((saddrp))					
	AX, [%saddrg]	3/4	AX ((saddrg))					
	AX, !addr16	4	AX (addr16)					
	AX, !!addr24	5	AX (addr24)					
	saddrp, saddrp'	4	(saddrp) (saddrp')					
	AX, mem	2-5	AX (mem)					

(6) 8ビット演算命令 : ADD, ADDC, SUB, SUBC, CMP, AND, OR, XOR

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADD	A, byte	2	A, CY A + byte	x	x	x	V	x
	r, byte	3	r, CY r + byte	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) + byte	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr + byte	x	x	x	V	x
	r, r'	2/3	r, CY r + r'	x	x	x	V	x
	A, saddr2	2	A, CY A + (saddr2)	x	x	x	V	x
	r, saddr	3	r, CY r + (saddr)	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) + r	x	x	x	V	x
	r, sfr	3	r, CY r + sfr	x	x	x	V	x
	sfr, r	3	sfr, CY sfr + r	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) + (saddr')	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A + ((saddrp))	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A + ((saddrg))	x	x	x	V	x
	[saddrp] A	3/4	((saddrp)), CY ((saddrp)) + A	x	x	x	V	x
	[%saddrg] A	3/4	((saddrg)), CY ((saddrg)) + A	x	x	x	V	x
	A, !addr16	4	A, CY A + (addr16)	x	x	x	V	x
	A, !!addr24	5	A, CY A + (addr24)	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) + A	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) + A	x	x	x	V	x
	A, mem	2-5	A, CY A + (mem)	x	x	x	V	x
mem, A	2-5	(mem), CY (mem) + A	x	x	x	V	x	

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDC	A, byte	2	A, CY A + byte + CY	x	x	x	V	x
	r, byte	3	r, CY r + byte + CY	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) + byte + CY	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr + byte + CY	x	x	x	V	x
	r, r'	2/3	r, CY r + r' + CY	x	x	x	V	x
	A, saddr2	2	A, CY A + (saddr2) + CY	x	x	x	V	x
	r, saddr	3	r, CY r + (saddr) + CY	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) + r + CY	x	x	x	V	x
	r, sfr	3	r, CY r + sfr + CY	x	x	x	V	x
	sfr, r	3	sfr, CY sfr + r + CY	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) + (saddr') + CY	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A + ((saddrp)) + CY	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A + ((saddrg)) + CY	x	x	x	V	x
	[saddrp] A	3/4	((saddrp)), CY ((saddrp)) + A + CY	x	x	x	V	x
	[%saddrg] A	3/4	((saddrg)), CY ((saddrg)) + A + CY	x	x	x	V	x
	A, !addr16	4	A, CY A + (addr16) + CY	x	x	x	V	x
	A, !!addr24	5	A, CY A + (addr24) + CY	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) + A + CY	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) + A + CY	x	x	x	V	x
	A, mem	2-5	A, CY A + (mem) + CY	x	x	x	V	x
mem, A	2-5	(mem), CY (mem) + A + CY	x	x	x	V	x	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
SUB	A, byte	2	A, CY A - byte	x	x	x	V	x
	r, byte	3	r, CY r - byte	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) - byte	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr - byte	x	x	x	V	x
	r, r'	2/3	r, CY r - r'	x	x	x	V	x
	A, saddr2	2	A, CY A - (saddr2)	x	x	x	V	x
	r, saddr	3	r, CY r - (saddr)	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) - r	x	x	x	V	x
	r, sfr	3	r, CY r - sfr	x	x	x	V	x
	sfr, r	3	sfr, CY sfr - r	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) - (saddr')	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A - ((saddrp))	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A - ((saddrg))	x	x	x	V	x
	[saddrp] A	3/4	((saddrp)), CY ((saddrp)) - A	x	x	x	V	x
	[%saddrg] A	3/4	((saddrg)), CY ((saddrg)) - A	x	x	x	V	x
	A, !addr16	4	A, CY A - (addr16)	x	x	x	V	x
	A, !!addr24	5	A, CY A - (addr24)	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) - A	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) - A	x	x	x	V	x
	A, mem	2-5	A, CY A - (mem)	x	x	x	V	x
mem, A	2-5	(mem), CY (mem) - A	x	x	x	V	x	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
SUBC	A, byte	2	A, CY A - byte - CY	x	x	x	V	x
	r, byte	3	r, CY r - byte - CY	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) - byte - CY	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr - byte - CY	x	x	x	V	x
	r, r'	2/3	r, CY r - r' - CY	x	x	x	V	x
	A, saddr2	2	A, CY A - (saddr2) - CY	x	x	x	V	x
	r, saddr	3	r, CY r - (saddr) - CY	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) - r - CY	x	x	x	V	x
	r, sfr	3	r, CY r - sfr - CY	x	x	x	V	x
	sfr, r	3	sfr, CY sfr - r - CY	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) - (saddr') - CY	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A - ((saddrp)) - CY	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A - ((saddrg)) - CY	x	x	x	V	x
	[saddrp] A	3/4	((saddrp)), CY ((saddrp)) - A - CY	x	x	x	V	x
	[%saddrg] A	3/4	((saddrg)), CY ((saddrg)) - A - CY	x	x	x	V	x
	A, !addr16	4	A, CY A - (addr16) - CY	x	x	x	V	x
	A, !!addr24	5	A, CY A - (addr24) - CY	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) - A - CY	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) - A - CY	x	x	x	V	x
	A, mem	2-5	A, CY A - (mem) - CY	x	x	x	V	x
mem, A	2-5	(mem), CY (mem) - A - CY	x	x	x	V	x	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CMP	A, byte	2	A - byte	x	x	x	V	x
	r, byte	3	r - byte	x	x	x	V	x
	saddr, byte	3/4	(saddr) - byte	x	x	x	V	x
	sfr, byte	4	sfr - byte	x	x	x	V	x
	r, r'	2/3	r - r'	x	x	x	V	x
	A, saddr2	2	A - (saddr2)	x	x	x	V	x
	r, saddr	3	r - (saddr)	x	x	x	V	x
	saddr, r	3	(saddr) - r	x	x	x	V	x
	r, sfr	3	r - sfr	x	x	x	V	x
	sfr, r	3	sfr - r	x	x	x	V	x
	saddr, saddr'	4	(saddr) - (saddr')	x	x	x	V	x
	A, [saddrp]	3/4	A - ((saddrp))	x	x	x	V	x
	A, [%saddrg]	3/4	A - ((saddrg))	x	x	x	V	x
	[saddrp] A	3/4	((saddrp)) - A	x	x	x	V	x
	[%saddrg] A	3/4	((saddrg)) - A	x	x	x	V	x
	A, !addr16	4	A - (addr16)	x	x	x	V	x
	A, !!addr24	5	A - (addr24)	x	x	x	V	x
	!addr16, A	4	(addr16) - A	x	x	x	V	x
	!!addr24, A	5	(addr24) - A	x	x	x	V	x
	A, mem	2-5	A - (mem)	x	x	x	V	x
mem, A	2-5	(mem) - A	x	x	x	V	x	

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
AND	A, byte	2	A A byte	x	x			P
	r, byte	3	r r byte	x	x			P
	saddr, byte	3/4	(saddr) (saddr) byte	x	x			P
	sfr, byte	4	sfr sfr byte	x	x			P
	r, r'	2/3	r r r'	x	x			P
	A, saddr2	2	A A (saddr2)	x	x			P
	r, saddr	3	r r (saddr)	x	x			P
	saddr, r	3	(saddr) (saddr) r	x	x			P
	r, sfr	3	r r sfr	x	x			P
	sfr, r	3	sfr sfr r	x	x			P
	saddr, saddr'	4	(saddr) (saddr) (saddr')	x	x			P
	A, [saddrp]	3/4	A A ((saddrp))	x	x			P
	A, [%saddrg]	3/4	A A ((saddrg))	x	x			P
	[saddrp] A	3/4	((saddrp)) ((saddrp)) A	x	x			P
	[%saddrg] A	3/4	((saddrg)) ((saddrg)) A	x	x			P
	A, !addr16	4	A A (addr16)	x	x			P
	A, !!addr24	5	A A (addr24)	x	x			P
	!addr16, A	4	(addr16) (addr16) A	x	x			P
	!!addr24, A	5	(addr24) (addr24) A	x	x			P
	A, mem	2-5	A A (mem)	x	x			P
mem, A	2-5	(mem) (mem) A	x	x			P	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
OR	A, byte	2	A A byte	x	x		P	
	r, byte	3	r r byte	x	x		P	
	saddr, byte	3/4	(saddr) (saddr) byte	x	x		P	
	sfr, byte	4	sfr sfr byte	x	x		P	
	r, r'	2/3	r r r'	x	x		P	
	A, saddr2	2	A A (saddr2)	x	x		P	
	r, saddr	3	r r (saddr)	x	x		P	
	saddr, r	3	(saddr) (saddr) r	x	x		P	
	r, sfr	3	r r sfr	x	x		P	
	sfr, r	3	sfr sfr r	x	x		P	
	saddr, saddr'	4	(saddr) (saddr) (saddr')	x	x		P	
	A, [saddrp]	3/4	A A ((saddrp))	x	x		P	
	A, [%saddrg]	3/4	A A ((saddrg))	x	x		P	
	[saddrp] A	3/4	((saddrp)) ((saddrp)) A	x	x		P	
	[%saddrg] A	3/4	((saddrg)) ((saddrg)) A	x	x		P	
	A, !addr16	4	A A (saddr16)	x	x		P	
	A, !!addr24	5	A A (saddr24)	x	x		P	
	!addr16, A	4	(addr16) (addr16) A	x	x		P	
	!!addr24, A	5	(addr24) (addr24) A	x	x		P	
	A, mem	2-5	A A (mem)	x	x		P	
mem, A	2-5	(mem) (mem) A	x	x		P		

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
XOR	A, byte	2	A A ∨ byte	x	x			P
	r, byte	3	r r ∨ byte	x	x			P
	saddr, byte	3/4	(saddr) (saddr) ∨ byte	x	x			P
	sfr, byte	4	sfr sfr ∨ byte	x	x			P
	r, r'	2/3	r r ∨ r'	x	x			P
	A, saddr2	2	A A ∨ (saddr2)	x	x			P
	r, saddr	3	r r ∨ (saddr)	x	x			P
	saddr, r	3	(saddr) (saddr) ∨ r	x	x			P
	r, sfr	3	r r ∨ sfr	x	x			P
	sfr, r	3	sfr sfr ∨ r	x	x			P
	saddr, saddr'	4	(saddr) (saddr) ∨ (saddr')	x	x			P
	A, [saddrp]	3/4	A A ∨ ((saddrp))	x	x			P
	A, [%saddrg]	3/4	A A ∨ ((saddrg))	x	x			P
	[saddrp] A	3/4	((saddrp)) ((saddrp)) ∨ A	x	x			P
	[%saddrg] A	3/4	((saddrg)) ((saddrg)) ∨ A	x	x			P
	A, !addr16	4	A A ∨ (addr16)	x	x			P
	A, !!addr24	5	A A ∨ (addr24)	x	x			P
	!addr16, A	4	(addr16) (addr16) ∨ A	x	x			P
	!!addr24, A	5	(addr24) (addr24) ∨ A	x	x			P
	A, mem	2-5	A A ∨ (mem)	x	x			P
mem, A	2-5	(mem) (mem) ∨ A	x	x			P	

(7) 16ビット演算命令: ADDW, SUBW, CMPW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDW	AX, word	3	AX, CY AX + word	x	x	x	V	x
	rp, word	4	rp, CY rp + word	x	x	x	V	x
	rp, rp'	2	rp, CY rp + rp'	x	x	x	V	x
	AX, saddrp2	2	AX, CY AX + (saddrp2)	x	x	x	V	x
	rp, saddrp	3	rp, CY rp + (saddrp)	x	x	x	V	x
	saddrp, rp	3	(saddrp), CY (saddrp) + rp	x	x	x	V	x
	rp, sfrp	3	rp, CY rp + sfrp	x	x	x	V	x
	sfrp, rp	3	sfrp, CY sfrp + rp	x	x	x	V	x
	saddrp, word	4/5	(saddrp), CY (saddrp) + word	x	x	x	V	x
	sfrp, word	5	sfrp, CY sfrp + word	x	x	x	V	x
	saddrp, saddrp'	4	(saddrp), CY (saddrp) + (saddrp')	x	x	x	V	x
SUBW	AX, word	3	AX, CY AX - word	x	x	x	V	x
	rp, word	4	rp, CY rp - word	x	x	x	V	x
	rp, rp'	2	rp, CY rp - rp'	x	x	x	V	x
	AX, saddrp2	2	AX, CY AX - (saddrp2)	x	x	x	V	x
	rp, saddrp	3	rp, CY rp - (saddrp)	x	x	x	V	x
	saddrp, rp	3	(saddrp), CY (saddrp) - rp	x	x	x	V	x
	rp, sfrp	3	rp, CY rp - sfrp	x	x	x	V	x
	sfrp, rp	3	sfrp, CY sfrp - rp	x	x	x	V	x
	saddrp, word	4/5	(saddrp), CY (saddrp) - word	x	x	x	V	x
	sfrp, word	5	sfrp, CY sfrp - word	x	x	x	V	x
	saddrp, saddrp'	4	(saddrp), CY (saddrp) - (saddrp')	x	x	x	V	x
CMPW	AX, word	3	AX - word	x	x	x	V	x
	rp, word	4	rp - word	x	x	x	V	x
	rp, rp'	2	rp - rp'	x	x	x	V	x
	AX, saddrp2	2	AX - (saddrp2)	x	x	x	V	x
	rp, saddrp	3	rp - (saddrp)	x	x	x	V	x
	saddrp, rp	3	(saddrp) - rp	x	x	x	V	x
	rp, sfrp	3	rp - sfrp	x	x	x	V	x
	sfrp, rp	3	sfrp - rp	x	x	x	V	x
	saddrp, word	4/5	(saddrp) - word	x	x	x	V	x
	sfrp, word	5	sfrp - word	x	x	x	V	x
	saddrp, saddrp'	4	(saddrp) - (saddrp')	x	x	x	V	x

(8) 24ビット演算命令 : ADDG, SUBG

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDG	rg, rg'	2	rg, CY rg + rg'	x	x	x	V	x
	rg, imm24	5	rg, CY rg + imm24	x	x	x	V	x
	WHL, saddrg	3	WHL, CY WHL + (saddrg)	x	x	x	V	x
SUBG	rg, rg'	2	rg, CY rg - rg'	x	x	x	V	x
	rg, imm24	5	rg, CY rg - imm24	x	x	x	V	x
	WHL, saddrg	3	WHL, CY WHL - (saddrg)	x	x	x	V	x

(9) 乗除算命令 : MULU, MULUW, MULW, DIVUW, DIVUX

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MULU	r	2/3	AX A × r					
MULUW	rp	2	AX(上位), rp(下位) AX × rp					
MULW	rp	2	AX(上位), rp(下位) AX × rp					
DIVUW	r	2/3	AX(商), r(余り) AX ÷ r ^{注1}					
DIVUX	rp	2	AXDE(商), rp(余り) AXDE ÷ rp ^{注2}					

注1 . r = 0 の場合 , r X, AX FFFFH

2 . rp = 0 の場合 , rp DE, AXDE FFFFFFFFH

(10) 特殊演算命令 : MACW, MACSW, SACW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MACW	byte	3	AXDE (B) × (C) + AXDE, B B + 2 , C C + 2 , byte byte - 1 End if(byte = 0 or P/V = 1)	x	x	x	V	x
MACSW	byte	3	AXDE (B) × (C) + AXDE, B B + 2 , C C + 2 , byte byte - 1 if byte = 0 then End if P/V = 1 then if overflow AXDE 7FFFFFFFH, End if underflow AXDE 80000000H, End	x	x	x	V	x
SACW	[TDE +] [WHL +]	4	AX (TDE) - (WHL) + AX, TDE TDE + 2, WHL WHL + 2 C C - 1 End if(C = 0 or CY = 1)	x	x	x	V	x

(11) 増減命令 : INC, DEC, INCW, DECW, INCG, DECG

モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
INC	r	1/2	r r + 1	x	x	x	V	
	saddr	2/3	(saddr) (saddr) + 1	x	x	x	V	
DEC	r	1/2	r r - 1	x	x	x	V	
	saddr	2/3	(saddr) (saddr) - 1	x	x	x	V	
INCW	rp	2/1	rp rp + 1					
	saddrp	3/4	(saddrp) (saddrp) + 1					
DECW	rp	2/1	rp rp - 1					
	saddrp	3/4	(saddrp) (saddrp) - 1					
INCG	rg	2	rg rg + 1					
DECG	rg	2	rg rg - 1					

(12) 補正命令 : ADJBA, ADJBS, CVTBW

モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADJBA		2	Decimal Adjust Accumulator after Addition	x	x	x	P	x
ADJBS		2	Decimal Adjust Accumulator after Subtract	x	x	x	P	x
CVTBW		1	X A , A 00H if A ₇ = 0					
			X A , A FFH if A ₇ = 1					

(13) シフト・ローテート命令 : ROR, ROL, RORC, ROLC, SHR, SHL, SHRW, SHLW, ROR4, ROL4

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ROR	r, n	2/3	(CY, r7, r0, r _{m-1} , r _m) × n回 n = 0 - 7				P	x
ROL	r, n	2/3	(CY, r0, r7, r _{m+1} , r _m) × n回 n = 0 - 7				P	x
RORC	r, n	2/3	(CY, r0, r7, CY, r _{m-1} , r _m) × n回 n = 0 - 7				P	x
ROLC	r, n	2/3	(CY, r7, r0, CY, r _{m+1} , r _m) × n回 n = 0 - 7				P	x
SHR	r, n	2/3	(CY, r0, r7, 0, r _{m-1} , r _m) × n回 n = 0 - 7	x	x	0	P	x
SHL	r, n	2/3	(CY, r7, r0, 0, r _{m+1} , r _m) × n回 n = 0 - 7	x	x	0	P	x
SHRW	rp, n	2	(CY, rp0, rp15, 0, rp _{m-1} , rp _m) × n回 n = 0 - 7	x	x	0	P	x
SHLW	rp, n	2	(CY, rp15, rp0, 0, rp _{m+1} , rp _m) × n回 n = 0 - 7	x	x	0	P	x
ROR4	mem3	2	A ₃₋₀ (mem3) ₃₋₀ , (mem3) ₇₋₄ A ₃₋₀ , (mem3) ₃₋₀ (mem3) ₇₋₄					
ROL4	mem3	2	A ₃₋₀ (mem3) ₇₋₄ , (mem3) ₃₋₀ A ₃₋₀ , (mem3) ₇₋₄ (mem3) ₃₋₀					

(14) ビット操作命令 : MOV1, AND1, OR1, XOR1, NOT1, SET1, CLR1

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOV1	CY, saddr. bit	3/4	CY (saddr. bit)					x
	CY, sfr. bit	3	CY sfr. bit					x
	CY, X. bit	2	CY X. bit					x
	CY, A. bit	2	CY A. bit					x
	CY, PSWL. bit	2	CY PSWL. bit					x
	CY, PSWH. bit	2	CY PSWH. bit					x
	CY, !addr16. bit	5	CY !addr16. bit					x
	CY, !!addr24. bit	2	CY !!addr24. bit					x
	CY, mem2. bit	2	CY mem2. bit					x
	saddr. bit, CY	3/4	(saddr. bit) CY					
	sfr. bit, CY	3	sfr. bit CY					
	X. bit, CY	2	X. bit CY					
	A. bit, CY	2	A. bit CY					
	PSWL. bit, CY	2	PSWL. bit CY	x	x	x	x	x
	PSWH. bit, CY	2	PSWH. bit CY					
	!addr16. bit, CY	5	!addr16. bit CY					
	!!addr24. bit, CY	6	!!addr24. bit CY					
mem2. bit, CY	2	mem2. bit CY						

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
AND1	CY, saddr. bit	3/4	CY CY (saddr. bit)						x
	CY, /saddr. bit	3/4	CY CY ($\overline{\text{saddr. bit}}$)						x
	CY, sfr. bit	3	CY CY sfr. bit						x
	CY, /sfr. bit	3	CY CY $\overline{\text{sfr. bit}}$						x
	CY, X. bit	2	CY CY X. bit						x
	CY, /X. bit	2	CY CY $\overline{\text{X. bit}}$						x
	CY, A. bit	2	CY CY A. bit						x
	CY, /A. bit	2	CY CY $\overline{\text{A. bit}}$						x
	CY, PSWL. bit	2	CY CY PSWL. bit						x
	CY, /PSWL. bit	2	CY CY $\overline{\text{PSWL. bit}}$						x
	CY, PSWH. bit	2	CY CY PSWH. bit						x
	CY, /PSWH. bit	2	CY CY $\overline{\text{PSWH. bit}}$						x
	CY, !addr16. bit	5	CY CY !addr16. bit						x
	CY, /!addr16. bit	5	CY CY $\overline{\text{!addr16. bit}}$						x
	CY, !!addr24. bit	2	CY CY !!addr24. bit						x
	CY, /!!addr24. bit	6	CY CY $\overline{\text{!!addr24. bit}}$						x
	CY, mem2. bit	2	CY CY mem2. bit						x
	CY, /mem2. bit	2	CY CY $\overline{\text{mem2. bit}}$						x
OR1	CY, saddr. bit	3/4	CY CY (saddr. bit)						x
	CY, /saddr. bit	3/4	CY CY ($\overline{\text{saddr. bit}}$)						x
	CY, sfr. bit	3	CY CY sfr. bit						x
	CY, /sfr. bit	3	CY CY $\overline{\text{sfr. bit}}$						x
	CY, X. bit	2	CY CY X. bit						x
	CY, /X. bit	2	CY CY $\overline{\text{X. bit}}$						x
	CY, A. bit	2	CY CY A. bit						x
	CY, /A. bit	2	CY CY $\overline{\text{A. bit}}$						x
	CY, PSWL. bit	2	CY CY PSWL. bit						x
	CY, /PSWL. bit	2	CY CY $\overline{\text{PSWL. bit}}$						x
	CY, PSWH. bit	2	CY CY PSWH. bit						x
	CY, /PSWH. bit	2	CY CY $\overline{\text{PSWH. bit}}$						x
	CY, !addr16. bit	5	CY CY !addr16. bit						x
	CY, /!addr16. bit	5	CY CY $\overline{\text{!addr16. bit}}$						x
	CY, !!addr24. bit	2	CY CY !!addr24. bit						x
	CY, /!!addr24. bit	6	CY CY $\overline{\text{!!addr24. bit}}$						x
	CY, mem2. bit	2	CY CY mem2. bit						x
	CY, /mem2. bit	2	CY CY $\overline{\text{mem2. bit}}$						x

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
XOR1	CY, saddr. bit	3/4	CY \vee (saddr. bit)						x
	CY, sfr. bit	3	CY \vee sfr. bit						x
	CY, X. bit	2	CY \vee X. bit						x
	CY, A. bit	2	CY \vee A. bit						x
	CY, PSWL. bit	2	CY \vee PSWL. bit						x
	CY, PSWH. bit	2	CY \vee PSWH. bit						x
	CY, !addr16. bit	5	CY \vee !addr16. bit						x
	CY, !!addr24. bit	2	CY \vee !!addr24. bit						x
	CY, mem2. bit	2	CY \vee mem2. bit						x
NOT1	saddr. bit	3/4	(saddr. bit) ($\overline{\text{saddr. bit}}$)						
	sfr. bit	3	sfr. bit $\overline{\text{sfr. bit}}$						
	X. bit	2	X. bit $\overline{\text{X. bit}}$						
	A. bit	2	A. bit $\overline{\text{A. bit}}$						
	PSWL. bit	2	PSWL. bit $\overline{\text{PSWL. bit}}$	x	x	x	x	x	
	PSWH. bit	2	PSWH. bit $\overline{\text{PSWH. bit}}$						
	!addr16. bit	5	!addr16. bit $\overline{\text{!addr16. bit}}$						
	!!addr24. bit	2	!!addr24. bit $\overline{\text{!!addr24. bit}}$						
	mem2. bit	2	mem2. bit $\overline{\text{mem2. bit}}$						
	CY	1	CY $\overline{\text{CY}}$						x
SET1	saddr. bit	2/3	(saddr. bit) 1						
	sfr. bit	3	sfr. bit 1						
	X. bit	2	X. bit 1						
	A. bit	2	A. bit 1						
	PSWL. bit	2	PSWL. bit 1	x	x	x	x	x	
	PSWH. bit	2	PSWH. bit 1						
	!addr16. bit	5	!addr16. bit 1						
	!!addr24. bit	2	!!addr24. bit 1						
	mem2. bit	2	mem2. bit 1						
	CY	1	CY 1						1
CLR1	saddr. bit	2/3	(saddr. bit) 0						
	sfr. bit	3	sfr. bit 0						
	X. bit	2	X. bit 0						
	A. bit	2	A. bit 0						
	PSWL. bit	2	PSWL. bit 0	x	x	x	x	x	
	PSWH. bit	2	PSWH. bit 0						
	!addr16. bit	5	!addr16. bit 0						
	!!addr24. bit	2	!!addr24. bit 0						
	mem2. bit	2	mem2. bit 0						
	CY	1	CY 0						0

(15) スタック操作命令 : PUSH, PUSHU, POP, POPU, MOVG, ADDWG, SUBWG, INCG, DECG

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
PUSH	PSW	1	(SP - 2) PSW, SP SP - 2						
	sfrp	3	(SP - 2) sfrp, SP SP - 2						
	sfr	3	(SP - 1) sfr, SP SP - 1						
	post	2	{(SP - 2) post, SP SP - 2 }x m回 ^注						
	rg	2	(SP - 3) rg, SP SP - 3						
PUSHU	post	2	{(UUP - 2) post, UUP UUP - 2 }x m回 ^注						
POP	PSW	1	PSW (SP), SP SP + 2	R	R	R	R	R	
	sfrp	3	sfrp (SP), SP SP + 2						
	sfr	3	sfr (SP), SP SP + 1						
	post	2	{ post (SP), SP SP + 2 }x m回 ^注						
	rg	2	rg (SP), SP SP + 3						
POPU	post	2	{ post (UUP), UUP UUP + 2 }x m回 ^注						
MOVG	SP, imm24	5	SP imm24						
	SP, WHL	2	SP WHL						
	WHL, SP	2	WHL SP						
ADDWG	SP, word	4	SP SP + word						
SUBWG	SP, word	4	SP SP - word						
INCG	SP	2	SP SP + 1						
DECG	SP	2	SP SP - 1						

注 mは, postで指定されたレジスタ数

(16) コール・リターン命令 : CALL, CALLF, CALLT, BRK, BRKCS, RET, RETI, RETB, RETCS, RETCSB

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CALL	!addr16	3	(SP - 3) (PC + 3) SP SP - 3, PC _{HW} 0, PC _{LW} addr16					
	!!addr20	4	(SP - 3) (PC + 4) SP SP - 3, PC addr20					
	rp	2	(SP - 3) (PC + 2) SP SP - 3, PC _{HW} 0, PC _{LW} rp					
	rg	2	(SP - 3) (PC + 2) SP SP - 3, PC rg					
	[rp]	2	(SP - 3) (PC + 2) SP SP - 3, PC _{HW} 0, PC _{LW} (rp)					
	[rg]	2	(SP - 3) (PC + 2) SP SP - 3, PC (rg)					
	\$!addr20	3	(SP - 3) (PC + 3) SP SP - 3, PC PC + 3 + jdisp16					
CALLF	!addr11	2	(SP - 3) (PC + 2) SP SP - 3, PC ₁₉₋₁₂ 0, PC ₁₁ 1, PC ₁₀₋₀ addr11					
CALLT	[addr5]	1	(SP - 3) (PC + 1) SP SP - 3, PC _{HW} 0, PC _{LW} (addr5)					
BRK		1	(SP - 2) PSW, (SP - 1) ₀₋₃ , (PC + 1) _{HW} , (SP - 4) (PC + 1) _{LW} , SP SP - 4 PC _{HW} 0, PC _{LW} (003EH)					
BRKCS	RBn	2	PC _{LW} RP2, RP3 PSW, RBS2 - 0 n, RSS 0, IE 0, RP3 ₈₋₁₁ PC _{HW} , PC _{HW} 0					
RET		1	PC (SP) SP SP + 3					
RETI		1	PC _{LW} (SP), PC _{HW} (SP + 3) ₀₋₃ , PSW (SP + 2), SP SP + 4 ISPR中でセット(1)されている最も優先順位の 高いフラグをクリア(0)	R	R	R	R	R
RETB		1	PC _{LW} (SP), PC _{HW} (SP + 3) ₀₋₃ , PSW (SP + 2), SP SP + 4	R	R	R	R	R
RETCS	!addr16	3	PSW RP3, PC _{LW} RP2, RP2 addr16, PC _{HW} RP3 ₈₋₁₁ ISPR中でセット(1)されている最も優先順位の 高いフラグをクリア(0)	R	R	R	R	R
RETCSB	!addr16	4	PSW RP3, PC _{LW} RP2, RP2 addr16, PC _{HW} RP3 ₈₋₁₁	R	R	R	R	R

(17) 無条件分岐命令 : BR

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BR	!addr16	3	PC _{HW} 0, PC _{LW} addr16					
	!!addr20	4	PC addr20					
	rp	2	PC _{HW} 0, PC _{LW} rp					
	rg	2	PC rg					
	[rp]	2	PC _{HW} 0, PC _{LW} (rp)					
	[rg]	2	PC (rg)					
	\$ addr20	2	PC PC + 2 + jdisp8					
	\$!addr20	3	PC PC + 3 + jdisp16					

(18) 条件付き分岐命令 : BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

二モニク	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BNZ	\$ addr20	2	PC PC + 2 + jdisp8 if Z = 0					
BNE								
BZ	\$ addr20	2	PC PC + 2 + jdisp8 if Z = 1					
BE								
BNC	\$ addr20	2	PC PC + 2 + jdisp8 if CY = 0					
BNL								
BC	\$ addr20	2	PC PC + 2 + jdisp8 if CY = 1					
BL								
BNV	\$ addr20	2	PC PC + 2 + jdisp8 if P/V = 0					
BPO								
BV	\$ addr20	2	PC PC + 2 + jdisp8 if P/V = 1					
BPE								
BP	\$ addr20	2	PC PC + 2 + jdisp8 if S = 0					
BN	\$ addr20	2	PC PC + 2 + jdisp8 if S = 1					
BLT	\$ addr20	3	PC PC + 3 + jdisp8 if P/V ∇ S = 1					
BGE	\$ addr20	3	PC PC + 3 + jdisp8 if P/V ∇ S = 0					
BLE	\$ addr20	3	PC PC + 3 + jdisp8 if (P/V ∇ S) Z = 1					
BGT	\$ addr20	3	PC PC + 3 + jdisp8 if (P/V ∇ S) Z = 0					
BNH	\$ addr20	3	PC PC + 3 + jdisp8 if Z CY = 1					
BH	\$ addr20	3	PC PC + 3 + jdisp8 if Z CY = 0					
BF	saddr. bit, \$ addr20	4/5	PC PC + 4 ^注 + jdisp8 if (saddr. bit) = 0					
	sfr. bit, \$ addr20	4	PC PC + 4 + jdisp8 if sfr. bit = 0					
	X. bit, \$ addr20	3	PC PC + 3 + jdisp8 if X. bit = 0					
	A. bit, \$ addr20	3	PC PC + 3 + jdisp8 if A. bit = 0					
	PSWL. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWL. bit = 0					
	PSWH. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWH. bit = 0					
	!addr16. bit, \$ addr20	6	PC PC + 3 + jdisp8 if !addr16. bit = 0					
	!!addr24. bit, \$ addr20	3	PC PC + 3 + jdisp8 if !!addr24. bit = 0					
mem2. bit, \$ addr20	3	PC PC + 3 + jdisp8 if mem2. bit = 0						

注 バイト数が4のとき。5のときはPC PC + 5 + jdisp8になります。

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BT	saddr. bit, \$ addr20	3/4	PC PC + 3 ^{注1} + jdisp8 if (saddr. bit)= 1					
	sfr. bit, \$ addr20	4	PC PC + 4 + jdisp8 if sfr. bit = 1					
	X. bit, \$ addr20	3	PC PC + 3 + jdisp8 if X. bit = 1					
	A. bit, \$ addr20	3	PC PC + 3 + jdisp8 if A. bit = 1					
	PSWL. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWL. bit = 1					
	PSWH. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWH. bit = 1					
	!addr16. bit, \$ addr20	6	PC PC + 3 + jdisp8 if !addr16. bit = 1					
	!!addr24. bit, \$ addr20	3	PC PC + 3 + jdisp8 if !!addr24. bit = 1					
mem2. bit, \$ addr20	3	PC PC + 3 + jdisp8 if mem2. bit = 1						
BTCLR	saddr. bit, \$ addr20	4/5	{ PC PC + 4 ^{注2} + jdisp8, (saddr. bit) 0 } if (saddr. bit)= 1					
	sfr. bit, \$ addr20	4	{ PC PC + 4 + jdisp8, sfr. bit 0 } if sfr. bit = 1					
	X. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, X. bit 0 }if X. bit = 1					
	A. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, A. bit 0 }if A. bit = 1					
	PSWL. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWL. bit 0 } if PSWL. bit = 1	x	x	x	x	x
	PSWH. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWH. bit 0 } if PSWH. bit = 1					
	!addr16. bit, \$ addr20	6	{ PC PC + 3 + jdisp8, !addr16. bit 0 } if !addr16. bit = 1					
	!!addr24. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, !!addr24. bit 0 } if !!addr24. bit = 1					
mem2. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, mem2. bit 0 } if mem2. bit = 1						

注1 . バイト数が3のとき。4のときはPC PC + 4 + jdisp8になります。

2 . バイト数が4のとき。5のときはPC PC + 5 + jdisp8になります。

二モニク	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
BFSET	saddr. bit, \$ addr20	4/5	{ PC PC + 4 ^{注2} + jdisp8, (saddr. bit) 1 } if (saddr. bit) = 0						
	sfr. bit, \$ addr20	4	{ PC PC + 4 + jdisp8, sfr. bit 1 } if sfr. bit = 0						
	X. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, X. bit 1 } if X. bit = 0						
	A. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, A. bit 1 } if A. bit = 0						
	PSWL. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWL. bit 1 } if PSWL. bit = 0	x	x	x	x	x	
	PSWH. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWH. bit 1 } if PSWH. bit = 0						
	!addr16. bit, \$ addr20	6	{ PC PC + 3 + jdisp8, !addr16. bit 1 } if !addr16. bit = 0						
	!!addr24. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, !!addr24. bit 1 } if !!addr24. bit = 0						
	mem2. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, mem2. bit 1 } if mem2. bit = 0						
DBNZ	B, \$ addr20	2	B B - 1, PC PC + 2 + jdisp8 if B 0						
	C, \$ addr20	2	C C - 1, PC PC + 2 + jdisp8 if C 0						
	saddr, \$ addr20	3/4	(saddr) (saddr) - 1, PC PC + 3 ^{注1} + jdisp8 if (saddr) 0						

注1 . バイト数が3のとき。4のときはPC PC + 4 + jdisp8になります。

2 . バイト数が4のとき。5のときはPC PC + 5 + jdisp8になります。

(19) CPU制御命令 : MOV, LOCATION, SEL, SWRS, NOP, EI, DI

二モニク	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOV	STBC, byte	4	STBC byte						
	WDM, byte	4	WDM byte						
LOCATION	locaddr	4	SFR, 内部データ領域の配置アドレスの上位ワード指定						
SEL	RBn	2	RSS 0, RBS2 - 0 n						
	RBn, ALT	2	RSS 1, RBS2 - 0 n						
SWRS		2	RSS $\overline{\text{RSS}}$						
NOP		1	No Operation						
EI		1	IE 1 (Enable interrupt)						
DI		1	IE 0 (Disable interrupt)						

(20) ストリング命令 : MOVTLBW, MOVML, XCHM, MOVBLK, XCHBK, CMPME, CMPMNE, CMPMC, CMPMNC, CMPBKE, CMPBKNE, CMPBKC, CMPBKNC

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOVTLBW	!addr8, byte	4	(addr8 + 2) (addr8), byte byte - 1, addr8 addr8 - 2 End if byte = 0						
MOVML	[TDE +] A	2	(TDE) A, TDE TDE + 1, C C - 1 End if C = 0						
	[TDE -] A	2	(TDE) A, TDE TDE - 1, C C - 1 End if C = 0						
XCHM	[TDE +] A	2	(TDE) A, TDE TDE + 1, C C - 1 End if C = 0						
	[TDE -] A	2	(TDE) A, TDE TDE - 1, C C - 1 End if C = 0						
MOVBLK	[TDE +] [WHL +]	2	(TDE) (WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0						
	[TDE -] [WHL -]	2	(TDE) (WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0						
XCHBK	[TDE +] [WHL +]	2	(TDE) (WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0						
	[TDE -] [WHL -]	2	(TDE) (WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0						
CMPME	[TDE +] A	2	(TDE)-A, TDE TDE + 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x	
	[TDE -] A	2	(TDE)-A, TDE TDE - 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x	
CMPMNE	[TDE +] A	2	(TDE)-A, TDE TDE + 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x	
	[TDE -] A	2	(TDE)-A, TDE TDE - 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x	
CMPMC	[TDE +] A	2	(TDE)-A, TDE TDE + 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	
	[TDE -] A	2	(TDE)-A, TDE TDE - 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	
CMPMNC	[TDE +] A	2	(TDE)-A, TDE TDE + 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x	
	[TDE -] A	2	(TDE)-A, TDE TDE - 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x	
CMPBKE	[TDE +] [WHL +]	2	(TDE)-(WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x	
	[TDE -] [WHL -]	2	(TDE)-(WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x	
CMPBKNE	[TDE +] [WHL +]	2	(TDE)-(WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x	
	[TDE -] [WHL -]	2	(TDE)-(WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x	
CMPBKC	[TDE +] [WHL +]	2	(TDE)-(WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	
	[TDE -] [WHL -]	2	(TDE)-(WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x	

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CMPBKNC	[TDE +] [WHL +]	2	(TDE) - (WHL), TDE TDE + 1 , WHL WHL + 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x
	[TDE -] [WHL -]	2	(TDE) - (WHL), TDE TDE - 1 , WHL WHL - 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x

29.3 アドレッシング別命令一覧

(1) 8ビット命令(() 内は、rとしてAを記述することで実現している組み合わせです)

MOV, XCH, ADD, ADDC, SUB, SUBC, AND OR XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP, MOVVM, XCHM, CMPME, CMPMNE, CMPMNC, CMPMC, MOVBK, XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKC

表29 - 1 8ビット・アドレッシング別命令一覧表

第2オペランド 第1オペランド	byte	A	r r'	saddr saddr'	sfr	!addr16 !!addr24	mem [saddrp] [%saddrg]	r3 PSWL PSWH	[WHL +] [WHL -]	n	なし ^{注2}
A	(MOV) ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH (ADD) ^{注1}	(MOV) ^{注6} (XCH) ^{注6} (ADD) ^{注1,6}	MOV (XCH) (ADD) ^{注1}	(MOV) (XCH) ADD ^{注1}	MOV XCH ADD ^{注1}	MOV	(MOV) (XCH) (ADD) ^{注1}		
r	MOV ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH				ROR ^{注3}	MULU DIVUW INC DEC
saddr	MOV ADD ^{注1}	(MOV) ^{注6} (ADD) ^{注1}	MOV ADD ^{注1}	MOV XCH ADD ^{注1}							INC DEC DBNZ
sfr	MOV ADD ^{注1}	MOV (ADD) ^{注1}	MOV ADD ^{注1}								PUSH POP
!addr16 !!addr24	MOV	MOV ADD ^{注1}	MOV								
mem [saddrp] [%saddrg]		MOV ADD ^{注1}									
mem3											ROR4 ROL4
r3 PSWL PSWH	MOV	MOV									
B, C											DBNZ
STBC, WDM	MOV										
[TDE +] [TDE -]		(MOV) (ADD) ^{注1} MOVVM ^{注4}							MOVBK ^{注5}		

注1 . ADDC, SUB, SUBC, AND, OR, XOR, CMPはADDと同じ

2 . 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

3 . ROL, RORC, ROLC, SHR, SHLはRORと同じ

4 . XCHM, CMPME, CMPMNE, CMPMNC, CMPMCはMOVVMと同じ

5 . XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKCはMOVBKと同じ

6 . この組み合わせでsaddrがsaddr2の場合, 短いコード長の命令がある

(2) 16ビット命令 (() 内は, rpとしてAXを記述することで実現している組み合わせです)

MOVM, XCHW, ADDW, SUBW, CMPW, MPULW, MULW, DIVUX, INCW, DECW, SHRW,
SHLW, PUSH, POP, ADDWG, SUBWG, PUSHU, POPU, MOVTBLW, MACW, MACSW, SACW

表29 - 2 16ビット・アドレッシング別命令一覧表

第2オペランド 第1オペランド	word	AX	rp rp'	saddrp saddrp'	sfrp	!addr16 !!addr24	mem [saddrp] [%saddrg]	[WHL +]	byte	n	なし ^{注2}
AX	(MOVW) ADDW ^{注1}	(MOVW) (XCHW) (ADD) ^{注1}	(MOVW) (XCHW) (ADD) ^{注1}	(MOVW) ^{注3} (XCHW) ^{注3} (ADD) ^{注1,3}	MOVW (XCHW) (ADD) ^{注1}	(MOVW) XCHW	MOVW XCHW	(MOVW) (XCHW)			
rp	MOVW ADDW ^{注1}	(MOVW) (XCHW) (ADD) ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW				SHRW SHLW	MULW ^{注4} INCW DECW
saddrp	MOVW ADDW ^{注1}	(MOVW) ^{注3} (ADD) ^{注1}	MOVW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}							INCW DECW
sfrp	MOVW ADDW ^{注1}	MOVW (ADD) ^{注1}	MOVW ADDW ^{注1}								PUSH POP
!addr16 !!addr24	MOVW	(MOVW)	MOVW						MOVTBLW		
mem [saddrp] [%saddrg]		MOVW									
PSW											PUSH POP
SP	ADDWG SUBWG										
post											PUSH POP PUSHU POPU
[TDE +]		(MOVW)						SACW			
byte											MACW MACSW

注1 . SUBW, CMPWはADDWと同じ

2 . 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない

3 . この組み合わせでsaddrpがsaddrp2の場合, 短いコード長の命令がある

4 . MULW, DIVUXはMULWと同じ

(3) 24ビット命令()内は、rgとしてWHLを記述することで実現している組み合わせです)

MOVG, ADDG, SUBG, INCG, DECG, PUSH, POP

表29 - 3 24ビット・アドレッシング別命令一覧表

第2オペランド \ 第1オペランド	imm24	WHL	rg rg'	saddrg	!!addr24	mem1	[%saddrg]	SP	なし ^注
WHL	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) ADDG SUBG	(MOVG)	MOVG	MOVG	MOVG	
rg	MOVG ADDG SUBG	(MOVG) (ADDG) (SUBG)	MOVG ADDG SUBG	MOVG	MOVG				INCG DECG PUSH POP
saddrg		(MOVG)	MOVG						
!!addr24		(MOVG)	MOVG						
mem1		MOVG							
[%saddrg]		MOVG							
SP	MOVG	MOVG							INCG DECG

注 第2オペランドがないか、第2オペランドがオペランド・アドレスでない

(4) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR, BFSET

表29 - 4 ビット操作命令アドレッシング別命令一覧表

第2オペランド \ 第1オペランド	CY	saddr. bit A. bit PSWL. bit mem2. bit !addr16. bit !!addr24. bit	sfr. bit X. bit PSWH. bit	/saddr. bit /A. bit /PSWL. bit /mem2. bit /!addr16. bit /!!addr24. bit	/sfr. bit /X. bit /PSWH. bit	なし ^注
CY		MOV1 AND1 OR1 XOR1		AND1 OR1		NOT1 SET1 CLR1
saddr. bit sfr. bit A. bit X. bit PSWL. bit PSWH. bit mem2. bit !addr16. bit !!addr24. bit	MOV1					NOT1 SET1 CLR1 BF BT BTCLR BFSET

注 第2オペランドがないか、第2オペランドがオペランド・アドレスでない

(5) コール・リターン命令 / 分岐命令

CALL, CALLF, CALLT, BRK, RET, RETI, RETB, RETCS, RETCSB, BRKCS, BR, BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

表29 - 5 コール・リターン命令 / 分岐命令アドレッシング別命令一覧表

命令アドレスの オペランド	\$addr20	\$!addr20	!addr16	!!addr20	rp	rg	[rp]	[rg]	!addr11	[addr5]	RBn	なし
基本命令	BC ^注 BR	CALL BR	CALL BR RETCS RETCSB	CALL BR	CALL BR	CALL BR	CALL BR	CALL BR	CALLF	CALLT	BRKCS	BRK RET RETI RETB
複合命令	BF BT BTCLR BFSET DBNZ											

注 BNZ, BNE, BZ, BE, BNC, BNL, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BHはBCと同じ

(6) その他の命令

ADJBA, ADJBS, CVTBW, LOCATION, SEL, NOT, EI, DI, SWRS

付録 A 開発ツール

μ PD784938Aサブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。

図 A - 1 に開発ツールを用意しています。

PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

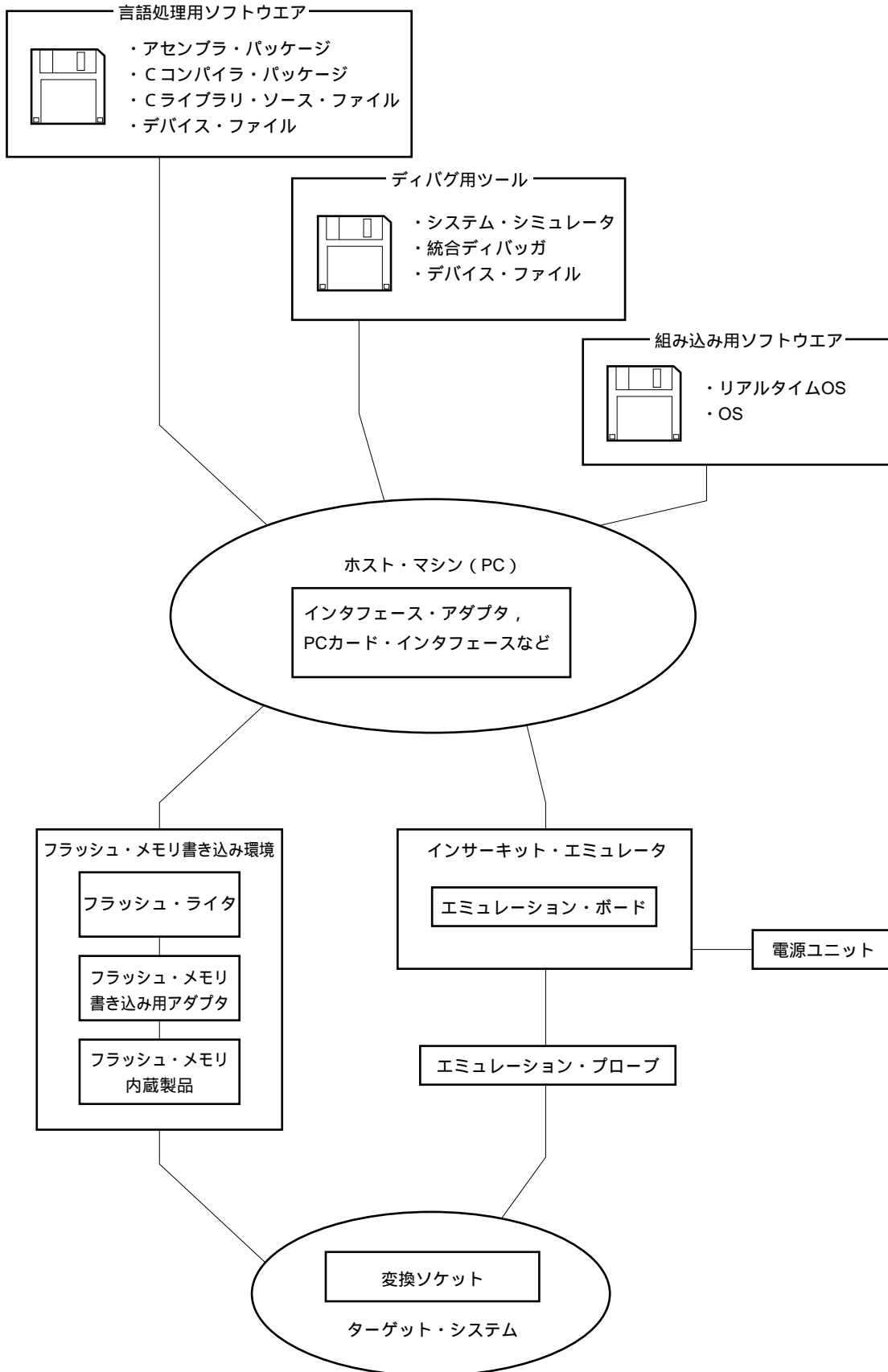
Windowsについて

特に断りのないかぎり、「Windows」は、次のOSを示しています。

- Windows3.1
- Windows95, 98, 2000
- WindowsNT™ Ver.4.0

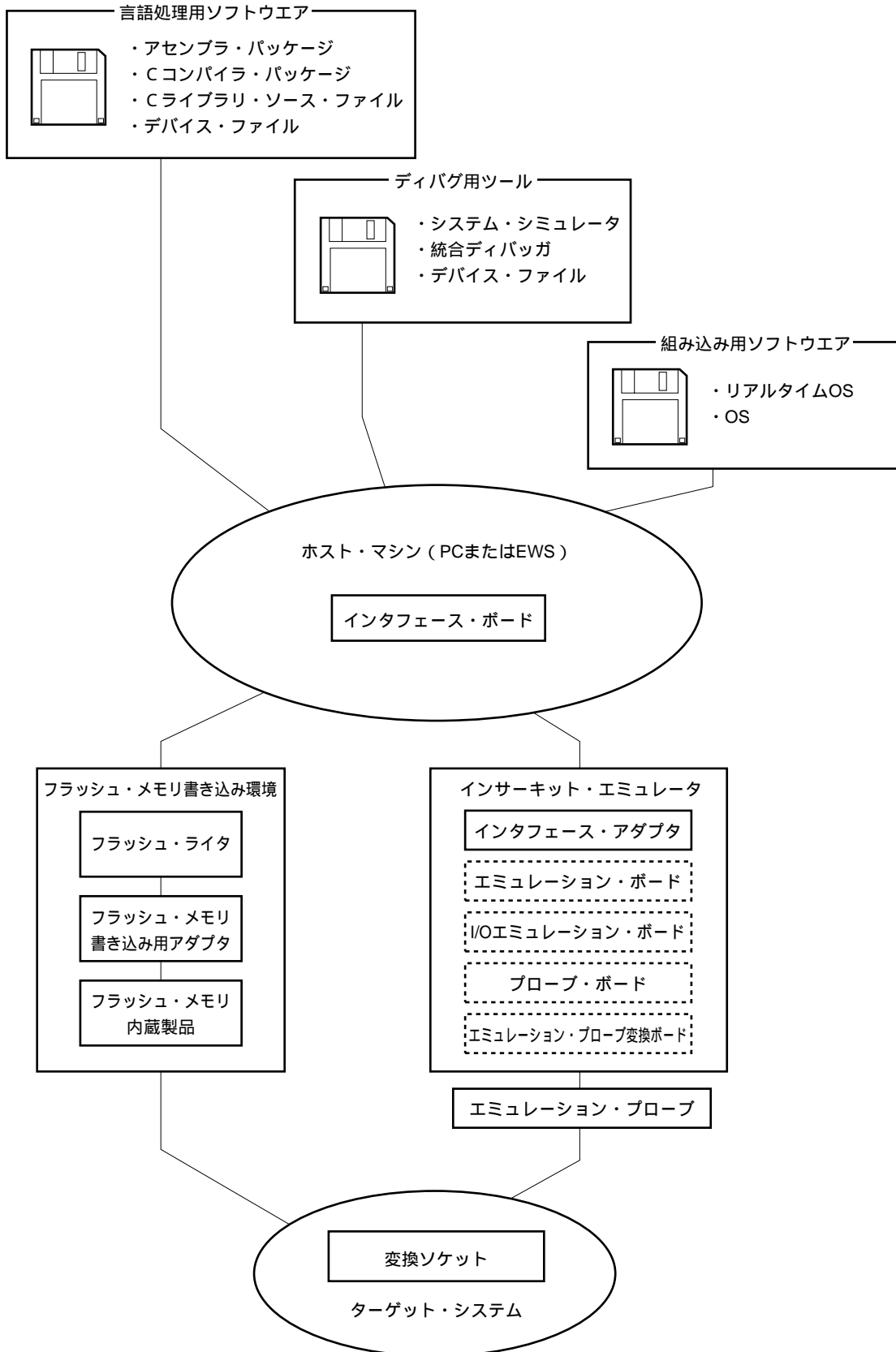
図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ IE-78K4-NSを使用する場合



図A - 1 開発ツール構成 (2/2)

(2) インサーキット・エミュレータ IE-784000-Rを使用する場合



備考 破線の部分は開発環境によって異なります。A.3.1 ハードウェアを参照してください。

A.1 言語処理用ソフトウェア

SP78K4 78K/4シリーズ・ソフトウェア・ パッケージ	78K/4シリーズ共通の開発ツール（ソフトウェア・パッケージ）を1つのパッケージにした製品です。 オーダー名称：μS××××SP78K4
RA78K4 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル（DF784937）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダー名称：μS××××RA78K4
CC78K4 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ（RA78K4）およびデバイス・ファイル（DF784937）と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダー名称：μS××××CC78K4
DF784937 ^注	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K4, CC78K4, SM78K4, ID78K4-NS, ID78K4）と組み合わせて使用します。 対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。 オーダー名称：μS××××784937
CC78K4-L Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダー名称：μS××××CC78K4-L

注 DF784937は、RA78K4, CC78K4, SM78K4, ID78K4-NS, ID78K4のすべての製品に共通に使用できます。

備考 オータ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××SP78K4

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

μS××××RA78K4

μS××××CC78K4

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UJ™ (Rel. 10.10)	
3K17	SPARCstation™	SunOS™ (Rel. 4.1.4) , Solaris™ (Rel. 2.5.1)	

μS××××DF784937

μS××××CC78K4-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel. 10.10)	DAT
3K13	SPARCstation	SunOS (Rel. 4.1.4) ,	3.5インチ2HD FD
3K15		Solaris (Rel. 2.5.1)	1/4インチCGMT

A.2 フラッシュ・メモリ書き込み用ツール

Flashpro (型番FL-PR3, PG-FP3) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-100GF ^注 フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro に接続して使用します。 ・FA-100GF：100ピン・プラスチックQFP (GF-3BAタイプ)用

注 開発中

備考 FL-PR3, FA-100GFは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.3 デバッグ用ツール

A.3.1 ハードウェア (1/2)

(1) インサーキット・エミュレータIE-78K4-NSを使用する場合

IE-78K4-NS インサーキット・エミュレータ	78K/IVシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバガ (ID78K4-NS) に対応しています。電源ユニット、エミュレーション・プローブおよびホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-MC-PS-B 電源ユニット	AC100～240Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K4-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです (PCMCIAソケット対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-70000-PCI-IF インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-784937-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-100GF エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。100ピン・プラスチックQFP (GF-3BAタイプ) 用です。
EV-9200GF-100 変換ソケット (図A-2, 図A-3参照)	100ピン・プラスチックQFP (GF-3BAタイプ) を実装できるように作られたターゲット・システムの基板と、NP-100GFを接続するための変換ソケットです。

備考1 . NP-100GFは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL(045)475-4191)

2 . EV-9200GF-100は、5個を1組として、1個単位で販売しています。

A.3.1 ハードウェア (2/2)

(2) インサーキット・エミュレータIE-784000-Rを使用する場合

IE-784000-R インサーキット・エミュレータ	IE-784000-Rは、78K/IVシリーズに共通に使用できるインサーキット・エミュレータです。 別売のIE-784000-R-EM, IE-784937-NS-EM1と組み合わせて使用します。ホスト・マシンを接続してデバッグを行います。別売の統合デバッガ (ID78K4) とデバイス・ファイルが必要で、これらと組み合わせて、C言語や構造化アセンブリ言語のソース・プログラム・レベルでのデバッグが可能です。C0カバレッジ機能などにより効率の良いデバッグやプログラムの検査ができます。ホスト・マシンとは、イーサネット™または専用バスで接続し、別売のインタフェース・アダプタが必要となります。
IE-70000-98-IF-C インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-70000-PCI-IF インタフェース・アダプタ	ホストマシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-78000-R-SV3 インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてEWSを使用するときに必要なアダプタとケーブルです。IE-784000-R内のボードに接続して使用します。 なお、イーサネットとしては10Base-5をサポートしており、他の方式の場合には市販の変換アダプタが必要となります。
IE-784000-R-EM エミュレーション・ボード	78K/IVシリーズに共通に使用するエミュレーション・ボードです。
IE-784937-NS-EM1または IE-784937-SL-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。
IE-78K4-R-EX3 エミュレーション・プローブ 変換ボード	IE-784937-NS-EM1をIE-784000-R上で使用するときに必要な100ピン用の変換ボードです。
EP-78064GF-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。100ピン・プラスチックQFP (GF-3BAタイプ) 用です
EV-9200GF-100 変換ソケット (図A-2, 図A-3参照)	100ピン・プラスチックQFP (GF-3BAタイプ) を実装できるように作られたターゲット・システムの基板と、EP-78064GF-Rを接続するための変換ソケットです。

備考 EV-9200GF-100は、5個を1組として、1個単位で販売しています。

A.3.2 ソフトウェア (1/2)

SM78K4 システム・シミュレータ	ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら，C ソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K4はWindows上で動作します。 SM78K4を使用することにより，インサーキット・エミュレータを使用しなくても， アプリケーションの論理検証，性能検証をハードウェア開発から独立してできます。 また，開発効率やソフトウェアの品質向上が図れます。 別売のデバイス・ファイル（DF784937）と組み合わせて使用します。 オーダー名称：μS××××SM78K4
-----------------------	---

備考 オーダー名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SM78K4

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ 2 HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ 2 HC FD
BB13		英語Windows	

A.3.2 ソフトウェア (2/2)

ID78K4-NS 統合デバッグ (インサーキット・エミュレータIE-78K4-NS対応)	78K/IVシリーズをデバッグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとして、パソコン上ではWindows, EWS上ではOSF/Motif™を採用し、それらに準拠した外観と操作性を提供しています。また、C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることも可能です。その他、タスク・デバッグやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより、リアルタイムOSを使用したプログラムのデバッグ効率を向上させることができます。
ID78K4 統合デバッグ (インサーキット・エミュレータIE-784000-R対応)	別売のデバイス・ファイル (DF784937) と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times ID78K4-NS$ $\mu S \times \times \times ID78K4$

備考 オーダ名称の $\times \times \times$ は、使用するホスト・マシン, OSにより異なります。

$\mu S \times \times \times ID78K4-NS$

$\times \times \times$	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ 2 HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ 2 HC FD
BB13		英語Windows	

$\mu S \times \times \times ID78K4$

$\times \times \times$	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ 2 HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ 2 HC FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel.4.1.4)	3.5インチ 2 HC FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel.6.1)	3.5インチ2HC FD

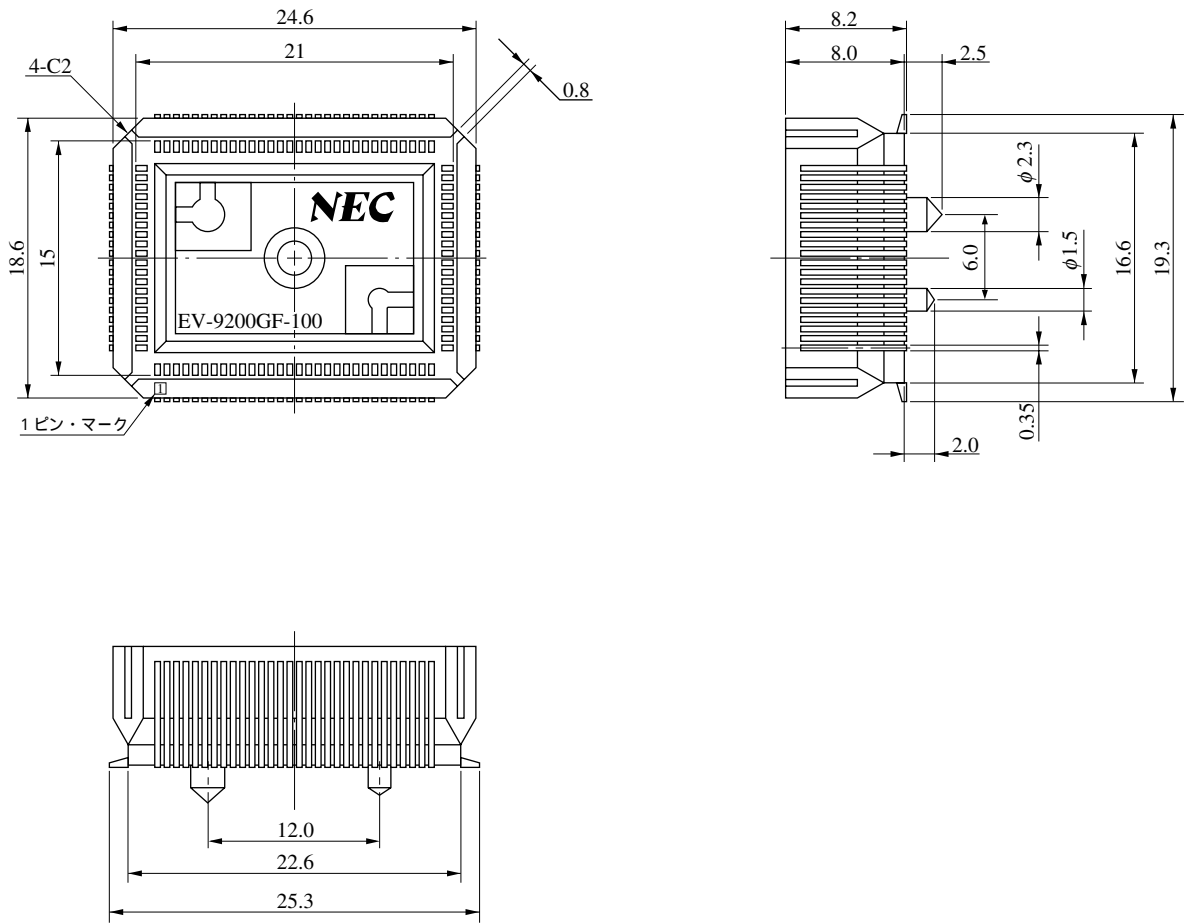
A.4 変換ソケット(EV-9200GF-100)の外形図と基板取り付け推奨パターン

EP-78064GF-Rと組み合わせて基板に実装します。

図A - 2 EV-9200GF-100 外形図(参考)(単位: mm)

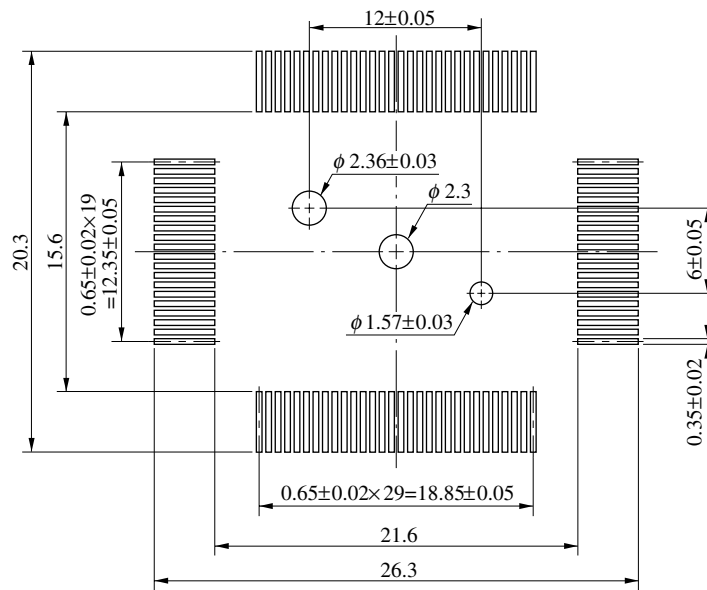
参考図: EV-9200GF-100

(1) 外形図(単位: mm)



EV-9200GF-100-G0

図A - 3 EV-9200GF-100 基板取り付け推奨パターン（参考）（単位：mm）



EV-9200GF-100-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法（QFP用）は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル, C10535J」をご参照ください。

付録B 組み込み用ソフトウェア

μPD784938Aサブシリーズのプログラム開発やメンテナンスをより効率的に行うために、次の組み込み用ソフトウェアを用意しています。

リアルタイムOS (1/2)

RX78K/ リアルタイムOS	<p>μITRON仕様に準拠したリアルタイムOSです。</p> <p>RX78K/ のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。</p> <p>別売のアセンブラ・パッケージ（RA78K4）およびデバイス・ファイル（DF784937）と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使ってください。</p> <p>オーダー名称：μS×××RX78K4</p>
--------------------	--

注意 RX78K/ を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の×××および は、使用するホスト・マシン、OSなどにより異なります。

μS×××RX78K4-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows ^注	3.5インチ2HC FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel. 4.1.4)	3.5インチ2HC FD
3K15		Solaris (Rel. 2.5.1)	1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel. 6.1)	3.5インチ2HC FD

注 DOS環境でも動作します。

リアルタイムOS (2/2)

MX78K4 OS	<p>μITRON仕様サブセットのOSです。MX78K4のニュークリアスを添付しています。</p> <p>タスク管理，イベント管理，時間管理を行います。タスク管理ではタスクの実行順序を制御し，次に実行するタスクへの切り替え処理を行います。</p> <p><PC環境で使用する場合の注意></p> <p>MX78K4はDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。</p> <p>オーダ名称：μS××××MX78K4-</p>
--------------	---

備考 オーダ名称の××××および は，使用するホスト・マシン，OSなどにより異なります。

μS××××MX78K4-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	試作時に使用してください
XX	量産用オブジェクト	量産時に使用してください
S01	ソース・プログラム	量産用オブジェクト購入時のみ，購入可能

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows ^注	3.5インチ2HC FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel. 4. 1. 4)	3.5インチ2HC FD
3K15		Solaris (Rel. 2. 5. 1)	1/4インチCGMT
3R13	NEWS (RISC)	NEWS-OS (Rel. 6. 1)	3.5インチ2HC FD

注 DOS環境でも動作します。

付録C レジスタ索引

C.1 レジスタ索引 (50音順)

[あ行]

IEBus相手先アドレス・レジスタ (PAR) ...	509
IEBusインタラプト・ステータス・レジスタ (ISR) ...	509
IEBusコントロール・データ・レジスタ (CDR) ...	509
IEBusコントロール・レジスタ (BCR) ...	509
IEBus自局アドレス・レジスタ (UAR) ...	509
IEBusスレーブ・アドレス・レジスタ (SAR) ...	509
IEBusスレーブ・ステータス・レジスタ (SSR) ...	509
IEBus通信成功カウンタ (SCR) ...	509
IEBusデータ・レジスタ (DR) ...	509
IEBus伝送カウンタ (CCR) ...	509
IEBus電文長レジスタ (DLR) ...	509
IEBusユニット・ステータス・レジスタ (USR) ...	509
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) ...	454
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) ...	454
アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) ...	448, 452
アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) ...	448, 452
インサービス・プライオリティ・レジスタ (ISPR) ...	579
ウォッチドッグ・タイマ・モード・レジスタ (WDM) ...	407, 581
A/D変換結果レジスタ (ADCR) ...	426
A/Dコンバータ・モード・レジスタ (ADM) ...	427
A/D電流カット選択レジスタ (IEAD) ...	430

[か行]

外部割り込みモード・レジスタ0 (INTM0) ...	555
外部割り込みモード・レジスタ1 (INTM1) ...	555
キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) ...	230
キャプチャ/コンペア・コントロール・レジスタ1 (CRC1) ...	290
キャプチャ/コンペア・コントロール・レジスタ2 (CRC2) ...	327
キャプチャ/コンペア・レジスタ (CR11/CR11W, CR21/CR21W) ...	286, 323
キャプチャ・レジスタ (CR02, CR12/CR12W, CR22/CR22W) ...	227, 287, 324

クロック出力モード・レジスタ (CLOM) ... 552
クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM) ... 480
クロック同期式シリアル・インタフェース・モード・レジスタ 1 (CSIM1) ... 448, 463
クロック同期式シリアル・インタフェース・モード・レジスタ 2 (CSIM2) ... 448, 463
クロック同期式シリアル・インタフェース・モード・レジスタ 3 (CSIM3) ... 480
コンペア・レジスタ (CR00, CR01, CR10/CR10W, CR20/CR20W, CR30/CR30W) ... 227, 286, 323, 392

[さ行]

サンプリング・クロック選択レジスタ (SCS0) ... 558
シリアル・シフト・レジスタ (SIO) ... 479
シリアル・シフト・レジスタ 1 (SIO1) ... 462
シリアル・シフト・レジスタ 2 (SIO2) ... 462
シリアル・シフト・レジスタ 3 (SIO3) ... 477
シリアル受信バッファ (RXB) ... 451
シリアル受信バッファ 2 (RXB2) ... 451
シリアル送信シフト・レジスタ (TXS) ... 451
シリアル送信シフト・レジスタ 2 (TXS2) ... 451
スタンバイ・コントロール・レジスタ (STBC) ... 114, 682

[た行]

タイマ・コントロール・レジスタ 0 (TMC0) ... 228, 393
タイマ・コントロール・レジスタ 1 (TMC1) ... 288, 325
タイマ出力コントロール・レジスタ (TOC) ... 231, 328
タイマ・カウンタ 0 (TM0) ... 227
タイマ・カウンタ 1 (TM1/TM1W) ... 286
タイマ・カウンタ 2 (TM2/TM2W) ... 323
タイマ・カウンタ 3 (TM3/TM3W) ... 392
時計用タイマ・モード・レジスタ (WM) ... 412

[な行]

内部メモリ・サイズ切り替えレジスタ (IMS) ... 87, 717

[は行]

発振安定時間指定レジスタ (OSTS) ... 116, 684
PWMコントロール・レジスタ (PWMC) ... 417
PWMプリスケアラ・レジスタ (PWPR) ... 418
PWMモジュロ・レジスタ 0 (PWM0) ... 418

PWMモジュロ・レジスタ1 (PWM1) ... 418

プリスケアラ・モード・レジスタ0 (PRM0) ... 229, 394

プリスケアラ・モード・レジスタ1 (PRM1) ... 289, 326

プルアップ抵抗オプション・レジスタH (PUOH) ... 196, 206

プルアップ抵抗オプション・レジスタL (PUOL) ... 129, 141, 147, 160, 167, 175, 187

プログラマブル・ウエイト制御レジスタ1 (PWC1) ... 657

プログラマブル・ウエイト制御レジスタ2 (PWC2) ... 657

プログラム・ステータス・ワード (PSWL) ... 582

ポート0 (P0) ... 124

ポート1 (P1) ... 132

ポート2 (P2) ... 143

ポート3 (P3) ... 149

ポート4 (P4) ... 162

ポート5 (P5) ... 170

ポート6 (P6) ... 178

ポート7 (P7) ... 188

ポート9 (P9) ... 192

ポート10 (P10) ... 197

ポート0バッファ・レジスタ (P0L, P0H) ... 212

ポート1モード・コントロール・レジスタ (PMC1) ... 137

ポート3モード・コントロール・レジスタ (PMC3) ... 156

ポート10モード・コントロール・レジスタ (PMC10) ... 202

ポート0モード・レジスタ (PM0) ... 126

ポート1モード・レジスタ (PM1) ... 137

ポート3モード・レジスタ (PM3) ... 155

ポート4モード・レジスタ (PM4) ... 164

ポート5モード・レジスタ (PM5) ... 172

ポート6モード・レジスタ (PM6) ... 185

ポート7モード・レジスタ (PM7) ... 189

ポート9モード・レジスタ (PM9) ... 193

ポート10モード・レジスタ (PM10) ... 202

ホールド・モード・レジスタ (HLDM) ... 676

ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) ... 469

ボー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2) ... 469

【ま行】

マクロ・サービス・モード・レジスタ ... 608

メモリ拡張モード・レジスタ (MM) ... 644, 656

[ら行]

リアルタイム出力ポート・コントロール・レジスタ (RTPC) ... 211

リフレッシュ・モード・レジスタ (RFM) ... 671

リフレッシュ領域指定レジスタ (RFA) ... 672

ROMコレクション・アドレス・レジスタH (CORAH) ... 711

ROMコレクション・アドレス・レジスタL (CORAL) ... 711

ROMコレクション・コントロール・レジスタ (CORC) ... 711

[わ行]

割り込み制御レジスタ ... 571

割り込みマスク・レジスタ (MK0H, MK0L, MK1H, MK1L) ... 577

割り込みモード・コントロール・レジスタ (IMC) ... 580

ワンショット・パルス出力制御レジスタ (OSPC) ... 232

C.2 レジスタ索引（アルファベット順）

[A]

ADCR	: A/D変換結果レジスタ ...	426
ADIC	: 割り込み制御レジスタ ...	574
ADM	: A/Dコンバータ・モード・レジスタ ...	427
ASIM	: アシクロナス・シリアル・インタフェース・モード・レジスタ ...	448, 452
ASIM2	: アシクロナス・シリアル・インタフェース・モード・レジスタ2 ...	448, 452
ASIS	: アシクロナス・シリアル・インタフェース・ステータス・レジスタ ...	454
ASIS2	: アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 ...	454

[B]

BCR	: IEBusコントロール・レジスタ ...	509
BRGC	: ボー・レート・ジェネレータ・コントロール・レジスタ ...	469
BRGC2	: ボー・レート・ジェネレータ・コントロール・レジスタ2 ...	469

[C]

CCR	: IEBus伝送カウンタ ...	509
CDR	: IEBusコントロール・データ・レジスタ ...	509
CIC00	: 割り込み制御レジスタ ...	573
CIC01	: 割り込み制御レジスタ ...	573
CIC10	: 割り込み制御レジスタ ...	573
CIC11	: 割り込み制御レジスタ ...	573
CIC20	: 割り込み制御レジスタ ...	574
CIC21	: 割り込み制御レジスタ ...	574
CIC30	: 割り込み制御レジスタ ...	574
CLOM	: クロック出力モード・レジスタ ...	552
CORAH	: ROMコレクション・アドレス・レジスタH ...	711
CORAL	: ROMコレクション・アドレス・レジスタL ...	711
CORC	: ROMコレクション・コントロール・レジスタ ...	711
CR00	: コンペア・レジスタ ...	227
CR01	: コンペア・レジスタ ...	227
CR02	: キャプチャ・レジスタ ...	227
CR10/CR10W	: コンペア・レジスタ ...	286
CR11/CR11W	: キャプチャ/コンペア・レジスタ ...	286
CR12/CR12W	: キャプチャ・レジスタ ...	287
CR20/CR20W	: コンペア・レジスタ ...	323

CR21/CR21W	: キャプチャ/コンペア・レジスタ ...	323
CR22/CR22W	: キャプチャ・レジスタ ...	324
CR30/CR30W	: コンペア・レジスタ ...	392
CRC0	: キャプチャ/コンペア・コントロール・レジスタ 0 ...	230
CRC1	: キャプチャ/コンペア・コントロール・レジスタ 1 ...	290
CRC2	: キャプチャ/コンペア・コントロール・レジスタ 2 ...	327
CSIIC	: 割り込み制御レジスタ ...	575
CSIIC1	: 割り込み制御レジスタ ...	575
CSIIC2	: 割り込み制御レジスタ ...	575
CSIIC3	: 割り込み制御レジスタ ...	576
CSIM	: クロック同期式シリアル・インタフェース・モード・レジスタ ...	480
CSIM1	: クロック同期式シリアル・インタフェース・モード・レジスタ 1 ...	448, 463
CSIM2	: クロック同期式シリアル・インタフェース・モード・レジスタ 2 ...	448, 463
CSIM3	: クロック同期式シリアル・インタフェース・モード・レジスタ 3 ...	480

[D]

DLR	: IEBus電文長レジスタ ...	509
DR	: IEBusデータ・レジスタ ...	509

[H]

HLDM	: ホールド・モード・レジスタ ...	676
------	---------------------	-----

[I]

IEAD	: A/D電流カット選択レジスタ ...	430
IEIC1	: 割り込み制御レジスタ ...	576
IEIC2	: 割り込み制御レジスタ ...	576
IMC	: 割り込みモード・コントロール・レジスタ ...	580
IMS	: 内部メモリ・サイズ切り替えレジスタ ...	87, 717
INTM0	: 外部割り込みモード・レジスタ 0 ...	555
INTM1	: 外部割り込みモード・レジスタ 1 ...	555
ISPR	: インサーピス・プライオリティ・レジスタ ...	579
ISR	: IEBusインタラプト・ステータス・レジスタ ...	509

[M]

MK0H	: 割り込みマスク・レジスタH ...	577
MK0L	: 割り込みマスク・レジスタL ...	577
MK1H	: 割り込みマスク・レジスタ1H ...	577

MK1L : 割り込みマスク・レジスタ1L ... 577
 MM : メモリ拡張モード・レジスタ ... 644, 656

[O]

OSPC : ワンショット・パルス出力制御レジスタ ... 232
 OSTC : 発振安定時間指定レジスタ ... 116, 684

[P]

P0 : ポート0 ... 124
 P0H : ポート0 バッファ・レジスタH ... 212
 P0L : ポート0 バッファ・レジスタL ... 212
 P1 : ポート1 ... 132
 P2 : ポート2 ... 143
 P3 : ポート3 ... 149
 P4 : ポート4 ... 162
 P5 : ポート5 ... 170
 P6 : ポート6 ... 178
 P7 : ポート7 ... 188
 P9 : ポート9 ... 192
 P10 : ポート10 ... 197
 PAR : IEBus相手先アドレス・レジスタ ... 509
 PIC0 : 割り込み制御レジスタ ... 573
 PIC1 : 割り込み制御レジスタ ... 573
 PIC2 : 割り込み制御レジスタ ... 573
 PIC3 : 割り込み制御レジスタ ... 573
 PIC4 : 割り込み制御レジスタ ... 574
 PIC5 : 割り込み制御レジスタ ... 574
 PM0 : ポート0 モード・レジスタ ... 126
 PM1 : ポート1 モード・レジスタ ... 137
 PM3 : ポート3 モード・レジスタ ... 155
 PM4 : ポート4 モード・レジスタ ... 164
 PM5 : ポート5 モード・レジスタ ... 172
 PM6 : ポート6 モード・レジスタ ... 185
 PM7 : ポート7 モード・レジスタ ... 189
 PM9 : ポート9 モード・レジスタ ... 193
 PM10 : ポート10モード・レジスタ ... 202
 PMC1 : ポート1 モード・コントロール・レジスタ ... 137

PMC3	: ポート3モード・コントロール・レジスタ ...	156
PMC10	: ポート10モード・コントロール・レジスタ ...	202
PRM0	: プリスケアラ・モード・レジスタ0 ...	229, 394
PRM1	: プリスケアラ・モード・レジスタ1 ...	289, 326
PSWL	: プログラム・ステータス・ワード ...	582
PUOH	: ブルアップ抵抗オプション・レジスタH ...	196, 206
PUOL	: ブルアップ抵抗オプション・レジスタL ...	129, 141, 147, 160, 167, 175, 187
PWC1	: プログラマブル・ウエイト制御レジスタ1 ...	657
PWC2	: プログラマブル・ウエイト制御レジスタ2 ...	657
PWM0	: PWMモジュロ・レジスタ0 ...	418
PWM1	: PWMモジュロ・レジスタ1 ...	418
PWMC	: PWMコントロール・レジスタ ...	417
PWPR	: PWMプリスケアラ・レジスタ ...	418

[R]

RFA	: リフレッシュ領域指定レジスタ ...	672
RFM	: リフレッシュ・モード・レジスタ ...	671
RTPC	: リアルタイム出力ポート・コントロール・レジスタ ...	211
RXB	: シリアル受信バッファ ...	451
RXB2	: シリアル受信バッファ2 ...	451

[S]

SAR	: IEBusスレーブ・アドレス・レジスタ ...	509
SCR	: IEBus通信成功カウンタ ...	509
SCS0	: サンプリング・クロック選択レジスタ ...	558
SERIC	: 割り込み制御レジスタ ...	574
SERIC2	: 割り込み制御レジスタ ...	575
SIO	: シリアル・シフト・レジスタ ...	479
SIO1	: シリアル・シフト・レジスタ1 ...	462
SIO2	: シリアル・シフト・レジスタ2 ...	462
SIO3	: シリアル・シフト・レジスタ3 ...	477
SRIC	: 割り込み制御レジスタ ...	574
SRIC2	: 割り込み制御レジスタ ...	575
SSR	: IEBusスレーブ・ステータス・レジスタ ...	509
STBC	: スタンバイ・コントロール・レジスタ ...	114, 682
STIC	: 割り込み制御レジスタ ...	575
STIC2	: 割り込み制御レジスタ ...	575

[T]

TM0	: タイマ・カウンタ 0 ...	227
TM1/TM1W	: タイマ・カウンタ 1 ...	286
TM2/TM2W	: タイマ・カウンタ 2 ...	323
TM3/TM3W	: タイマ・カウンタ 3 ...	392
TMC0	: タイマ・コントロール・レジスタ 0 ...	228, 393
TMC1	: タイマ・コントロール・レジスタ 1 ...	288, 325
TOC	: タイマ出力コントロール・レジスタ ...	231, 328
TXS	: シリアル送信シフト・レジスタ ...	451
TXS2	: シリアル送信シフト・レジスタ 2 ...	451

[U]

UAR	: IEBus自局アドレス・レジスタ ...	509
USR	: IEBusユニット・ステータス・レジスタ ...	509

[W]

WDM	: ウォッチドッグ・タイマ・モード・レジスタ ...	407, 581
WIC	: 割り込み制御レジスタ ...	576
WM	: 時計用タイマ・モード・レジスタ ...	412

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108

大阪 (06)6945-3178, 3200,
3208, 3212

広島 (082)242-5504

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156

水戸 (029)226-1702

前橋 (027)243-6060

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD784938Aサブシリーズ ユーザーズ・マニュアル ハードウェア編
(U15609JJ1V0UM00 (第1版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡ししてください。

日本電気(株)NECエレクトロニクス
半導体テクニカルホットライン

FAX: (044) 435-9608

2000.6