お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

保守／廃止

μPD784915 サブシリーズ

16ビット・シングルチップ・マイクロコンピュータ

ハードウエア編

μPD784915
μPD784915A
μPD784916A
μPD78P4916

資料番号　U10444JJ4V0UM00（第4版）
発行年月　August 1997　N

© NEC Corporation 1995

保守／廃止

〔メ　モ〕

保守／廃止

目　次　要　約

第1章　概　　説 … 1

第2章　端子機能 … 11

第3章　CPU機能 … 31

第4章　クロック発生回路 … 65

第5章　ポート機能 … 77

第6章　リアルタイム出力ポート（RTP） … 101

第7章　シリアル・インタフェース … 119

第8章　スーパ・タイマ・ユニット … 143

第9章　A/Dコンバータ … 233

第10章　VTR用アナログ回路 … 251

第11章　時計機能 … 281

第12章　クロック出力（CLO） … 293

第13章　割り込み機能 … 297

第14章　スタンバイ機能 … 377

第15章　リセット機能 … 399

第16章　応 用 例 … 401

第17章　μPD78P4916 … 415

第18章　命令セット … 427

付　　録 … 461

保守／廃止

CMOSデバイスの一般的注意事項

①静電気対策（MOS全般）

注意　MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，NECが出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理（CMOS特有）

注意　CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり，CMOSデバイスの入力に何も接続しない状態で動作させると，ノイズなどに起因する中間レベル入力が生じ，内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また，未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③初期化以前の状態（MOS全般）

注意　電源投入時，MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため，初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

FIPは，日本電気株式会社の登録商標です。

イーサネットは，米国ゼロックス社の商標です。

MS-DOSおよびWindowsは，米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS，PC/AT，PC DOSは，米国IBM社の商標です。

HP9000シリーズ700，HP-UXは，米国ヒューレット・パッカード社の商標です。

SPARCstationは，米国SPARC International，Inc.の商標です。

SunOSは，米国サン・マイクロシステムズ社の商標です。

TRONは，The Real-time Operating system Nucleusの略称です。

ITRONは，Industrial TRONの略称です。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは，ユーザ（仕様を決定した者）が判定してください。

○本資料の内容は，後日変更する場合があります。

○文書による当社の承諾なしに本資料の転載複製を禁じます。

○本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して，当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合，当社はその責を負うものではありませんのでご了承ください。

○当社は品質，信頼性の向上に努めていますが，半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として，人身事故，火災事故，社会的な損害等を生じさせない冗長設計，延焼対策設計，誤動作防止設計等安全設計に十分ご注意願います。

○当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また，各品質水準は以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

特別水準：輸送機器（自動車，列車，船舶等），交通用信号機器，防災／防犯装置，各種安全装置，生命維持を直接の目的としない医療機器

特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で，特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は，必ず事前に当社販売窓口までご相談頂きますようお願い致します。

○この製品は耐放射線設計をしておりません。

保守／廃止

本版で改訂された主な箇所

箇　所	内　　容
全　般	・IMSやリセットに関する注意文を追加 ・μPD784915A，784916A…「開発中」を「開発済み」に変更
p.32	**3.1　メモリ空間**に注意文を追加
p.33	**3.2　内部ROM領域**　μPD784916Aの内部ROM領域を変更
p.34	**図3-3　μPD784916Aのメモリ・マップ**を変更
p.35	**図3-4　μPD78P4916のメモリ・マップ**にIMSの注意文を追加
p.38	**3.3　内部データ領域**に注意文を追加
p.43	**図3-6　内部メモリ容量選択レジスタ（IMS）のフォーマット**に注意文を追加
p.53	**3.5.4　スタック・ポインタ（SP）**に注意文を追加
p.64	**表3-6　特殊機能レジスタ（SFR）一覧**にIMSの注意文を追加
p.72	**4.3.4　クロック分周回路**に注意文を追加
p.192	**図8-49　タイマ・コントロール・レジスタ3（TMC3）のフォーマット**に注意文を追加
p.196	**図8-53　キャプチャ・モード・レジスタ（CPTM）のフォーマット**に注意文を追加
p.207	**図8-62　キャプチャ・モード・レジスタ（CPTM）のフォーマット**に注意文を追加
p.262	**10.3.2　波形整形回路**を修正
p.331	**図13-18　キャプチャ・モード・レジスタ（CPTM）のフォーマット**に注意文を追加
p.368	**13.11　割り込み要求およびマクロ・サービスが一時的に保留される場合**を修正
p.416	**図17-1　内部メモリ容量選択レジスタ（IMS）のフォーマット**に注意文を追加
p.474	**図A-6　YQPACK100RB（プローブ側）外形図（参考）（単位：mm）**を追加

本文欄外の★印は，本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

保守／廃止

はじめに

対象者　このマニュアルは，μPD784915サブシリーズの機能を理解し，その応用システムを設計するユーザのエンジニアを対象とします。

目　的　このマニュアルは，μPD784915サブシリーズの持つ各種ハードウエア機能を理解していただくことを目的とします。

構　成　μPD784915サブシリーズのマニュアルは，ハードウエア編（このマニュアル）と命令編（78K/Ⅳシリーズ共通）の２冊に分かれています。

ハードウエア編	命令編
●端子機能	●CPU機能
●内部ブロック機能	●アドレシング
●割り込み	●命令セット
●その他の内蔵周辺機能	●命令の説明

読み方　このマニュアルを読むにあたっては，電気，論理回路およびマイクロコンピュータの一般知識を必要とします。

●μPD784915A，784916A，78P4916のマニュアルとしてお使いになる方へ

→このマニュアルでは，特に機能面での違いがないかぎり，μPD784915を代表品種として説明しています。μPD784915A，784916A，78P4916のマニュアルとしてお使いの場合は，μPD784915をμPD784915A，784916A，78P4916と読み替えてお使いください。

●一通りμPD784915サブシリーズの機能を理解しようとするとき

→目次に従って読んでください。

●78K/Ⅰシリーズとの違いを知りたいとき

→**1.8　μPD784915サブシリーズとμPD78148サブシリーズの相違点**で違いを確認してください。

●レジスタ名が分かっていて，レジスタの詳細を確認するとき

→**付録C　レジスタ索引**を利用してください。

保守／廃止

●μPD784915サブシリーズの命令機能の詳細を知りたいとき

→別冊の78K/IVシリーズ　ユーザーズ・マニュアル　命令編（U10905J）を参照してください。

凡　例

データ表記の重み	：左側が上位桁，右側が下位桁
アクティブ・ロウの表記	：$\overline{\times\times\times}$（端子，信号名称に上線）
注	：本文中につけた注の説明
注意	：特に気をつけていただきたい内容
備考	：本文の補足説明
数の表記	：２進数…××××Bまたは××××
	：10進数…××××
	：16進数…××××H
まぎらわしい文字	：0（ゼロ），O（オー）
	：1（イチ），l（エル），I（アイ）

レジスタ表記

	7	6	5	4	③	2	1	0
EDC	B	1	0	×	A	1	0	×

レジスタ名

ビット番号を○で囲んでいるものは，そのビット名称がNEC製アセンブラで予約語に，Cコンパイラでは，#pragma sfr指令で，sfr変数として定義されているものです。

ライト動作時	リード動作時
0または1を書き込みます。いずれの値でも動作には影響を与えません。	0または1を読み出します。
0を書く必要があります。	
1を書く必要があります。	
使用したい機能に応じた値を書き込みます。	動作状態に従った値を読み出します。

本文中のレジスタ表記に『設定禁止』と書いてあるコードの組み合わせは，絶対に書き込まないでください。

保守／廃止

★ **関連資料** 関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資　料　名	資料番号	
	和文	英文
μPD784915サブシリーズ　ユーザーズ・マニュアル　ハードウエア編	このマニュアル	U10444E
μPD784915　データ・シート	U11044J	U11044E
μPD784915A，784916A　データ・シート	U11022J	作成予定
μPD78P4916　データ・シート	U11045J	U11045E
μPD784915サブシリーズ　特殊機能レジスタ活用表	U10976J	—
μPD784915サブシリーズ　アプリケーション・ノート	U11361J	U11361E
78K/IVシリーズ　ユーザーズ・マニュアル　命令編	U10905J	U10905E
78K/IVシリーズ　インストラクション活用表	U10594J	—
78K/IVシリーズ　インストラクション・セット	U10595J	—

保守／廃止

開発ツールの資料（ユーザーズ・マニュアル）

資　料　名		資料番号	
		和文	英文
RA78K4　アセンブラ・パッケージ	言語編	U11162J	U11162E
	操作編	U11334J	U11334E
RA78K4　構造化アセンブラ・プリプロセッサ		U11743J	U11743E
CC78K4シリーズ	言語編	EEU-961	U11571E
	操作編	U11572J	U11572E
CC78Kシリーズ　ライブラリ・ソース・ファイル		U12322J	—
PG-1500　PROMプログラマ		U11940J	EEU-1335
PG-1500コントローラ　PC-9800シリーズ（MS-DOS™）ベース		EEU-704	EEU-1291
PG-1500コントローラ　IBM PCシリーズ（PC DOS™）ベース		EEU-5008	U10540E
IE-784000-R		U12903J	EEU-1534
IE-784915-R-EM1		U10931J	作成予定
SM78K4　システム・シュミレータ　Windows™ベース	レファレンス編	U10093J	U10093E
SM78Kシリーズ　システム・シュミレータ	外部部品ユーザオープンインタフェース　仕様編	U10092J	U10092E
ID78K4　統合ディバッガ　PC-9801, 9821シリーズ（Windows）ベース	レファレンス編	U10440J	U10440E
ID78K4　統合ディバッガ　HP9000シリーズ700™（HP-UX™）ベース	レファレンス編	U11960J	—

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

その他の関連資料

資　料　名	資料番号	
	和文	英文
IC PACKAGE MANUAL	C10943X	
半導体デバイス　実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	U10983J	U10983E
静電気放電（ESD）試験について	MEM-539	—
半導体デバイスの品質保証ガイド	C11893J	MEI-1202
マイクロコンピュータ関連製品ガイド　社外メーカ編	U11461J	—

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

保守／廃止

目　　次

第1章　概　　説 … 1

1.1　特　　徴 … 3
1.2　応用分野 … 3
1.3　オーダ情報 … 3
1.4　機能概要 … 4
1.5　内部ブロック図 … 5
1.6　端子接続図（Top View） … 6
1.6.1　通常動作モード … 6
1.6.2　PROMプログラミング・モード（μPD78P4916のみ） … 8
1.7　μPD784915サブシリーズとμPD78148サブシリーズの相違点 … 9

第2章　端子機能 … 11

2.1　端子機能一覧 … 11
2.1.1　通常動作モード … 11
2.1.2　PROMプログラミング・モード（μPD78P4916のみ：IC/V_{PP}=H, $\overline{RESET}$=L） … 14
2.2　端子機能説明 … 15
2.2.1　通常動作モード … 15
2.2.2　PROMプログラミング・モード（μPD78P4916のみ） … 25
2.3　入出力回路と未使用端子の処理 … 26

第3章　CPU機能 … 31

3.1　メモリ空間 … 31
3.2　内部ROM領域 … 33
3.2.1　ベクタ・テーブル領域 … 36
3.2.2　CALLT命令テーブル領域 … 37
3.2.3　CALLF命令エントリ領域 … 37
3.3　内部データ領域 … 38
3.3.1　内部RAM領域 … 40
3.3.2　特殊機能レジスタ（SFR：Special Function Register）領域 … 42
3.4　μPD78P4916のメモリ・マッピング … 43
3.5　制御レジスタ … 44
3.5.1　プログラム・カウンタ（PC） … 44
3.5.2　プログラム・ステータス・ワード（PSW） … 44
3.5.3　RSSビットの使用方法 … 47
3.5.4　スタック・ポインタ（SP） … 50
3.6　汎用レジスタ … 54
3.6.1　構　　成 … 54
3.6.2　機　　能 … 55
3.7　特殊機能レジスタ（SFR：Special Function Register） … 59

保守／廃止

第4章　クロック発生回路 … 65

4.1　構成と機能 … 65
4.2　制御レジスタ … 68
4.3　クロック発生回路の動作 … 71
　4.3.1　メイン・システム・クロック発振回路 … 71
　4.3.2　サブシステム・クロック発振回路 … 71
　4.3.3　低周波発振モード … 71
　4.3.4　クロック分周回路 … 71
4.4　注意事項 … 73

第5章　ポート機能 … 77

5.1　各ポートの機能と概要 … 77
5.2　ポート0（P00-P07）…8ビット入出力ポート … 78
　5.2.1　ハードウエア構成 … 78
　5.2.2　入出力モード／コントロール・モードの設定 … 79
　5.2.3　内蔵プルアップ抵抗 … 80
5.3　ポート4（P40-P47）…8ビット入出力ポート … 81
　5.3.1　ハードウエア構成 … 81
　5.3.2　入出力モード／コントロール・モードの設定 … 82
　5.3.3　内蔵プルアップ抵抗 … 82
5.4　ポート5（P50-P57）…8ビット入出力ポート … 83
　5.4.1　ハードウエア構成 … 83
　5.4.2　入出力モード／コントロール・モードの設定 … 84
　5.4.3　内蔵プルアップ抵抗 … 84
5.5　ポート6（P60-P67）…8ビット入出力ポート … 85
　5.5.1　ハードウエア構成 … 85
　5.5.2　入出力モード／コントロール・モードの設定 … 88
　5.5.3　内蔵プルアップ抵抗 … 90
5.6　ポート7（P70-P77）…8ビット入力ポート … 91
　5.6.1　ハードウエア構成 … 91
　5.6.2　入力モード／コントロール・モードの設定 … 91
　5.6.3　内蔵プルアップ抵抗 … 91
5.7　ポート8（P80，P82-P87）…7ビット入出力ポート … 92
　5.7.1　ハードウエア構成 … 92
　5.7.2　入出力モード／コントロール・モードの設定 … 95
　5.7.3　内蔵プルアップ抵抗 … 96
5.8　ポート9（P90-P96）…7ビット入出力ポート … 97
　5.8.1　ハードウエア構成 … 97
　5.8.2　入出力モード／コントロール・モードの設定 … 98
　5.8.3　内蔵プルアップ抵抗 … 98
5.9　入出力ポート（ポート0，4-6，8，9）使用時の注意事項 … 99

第6章　リアルタイム出力ポート（RTP） … 101

6.1　リアルタイム出力ポート（RTP）の構成と機能 … 101

保守／廃止

6.2　リアルタイム出力ポート０（RTPO）　…　104
6.2.1　機　　能　…　104
6.2.2　ハードウエア構成　…　104
6.2.3　ポート０バッファ・レジスタの構成　…　105
6.2.4　RTPOモードの設定　…　106
6.2.5　RTPOの動作　…　107
6.3　リアルタイム出力ポート８（RTP8）　…　109
6.3.1　機　　能　…　109
6.3.2　ハードウエア構成　…　109
6.3.3　RTP8モードの設定　…　111
6.3.4　出力トリガ・ソースの設定　…　111
6.3.5　ポート８バッファ・レジスタの構成　…　113
6.3.6　RTP8の動作　…　114

第７章　シリアル・インタフェース　…　119

7.1　概　　要　…　119
7.2　シリアル・インタフェース・チャネル１（３線式シリアルI/O）　…　119
7.2.1　機　　能　…　119
7.2.2　構　　成　…　120
7.2.3　制御レジスタ　…　121
7.2.4　動　　作　…　123
7.2.5　マクロ・サービスを用いた自動送受信動作　…　126
7.3　シリアル・インタフェース・チャネル２（ビジィ／ストローブ制御機能付き３線式シリアルI/O）　…　129
7.3.1　機　　能　…　129
7.3.2　構　　成　…　129
7.3.3　制御レジスタ　…　131
7.3.4　動　　作　…　135
7.3.5　ストローブ制御とビジィ制御　…　139
7.3.6　マクロ・サービスを用いた自動送受信動作　…　141

第８章　スーパ・タイマ・ユニット　…　143

8.1　スーパ・タイマ・ユニットの概要　…　144
8.1.1　スーパ・タイマ・ユニットの構成　…　144
8.1.2　各タイマ・ユニットの機能概要　…　147
8.2　タイマ０ユニット　…　149
8.2.1　タイマ０ユニットの構成　…　149
8.2.2　イベント・カウンタ（EC）　…　151
8.2.3　タイマ０（TM0）　…　156
8.2.4　動作モード　…　157
8.2.5　H_{SYNC}の重畳　…　159
8.2.6　タイマ０ユニット制御レジスタの設定　…　160
8.2.7　タイマ０ユニットの使用例　…　165
8.3　タイマ１ユニット　…　169
8.3.1　タイマ１ユニットの構成　…　169

保守／廃止

8.3.2　イベント・ディバイダ … 171
8.3.3　パルス幅検出回路 … 172
8.3.4　タイマ１（TM1） … 175
8.3.5　タイマ１出力端子の出力モード … 176
8.3.6　タイマ１の動作 … 177
8.3.7　ディジタル・ノイズ除去回路 … 181
8.3.8　タイマ１ユニット制御レジスタの設定 … 190
8.3.9　タイマ１のVTRへの応用 … 198
8.4　フリー・ランニング・カウンタ（FRC）ユニット … 202
8.4.1　FRCユニットの構成 … 202
8.4.2　フリー・ランニング・カウンタ（FRC） … 203
8.4.3　キャプチャ・レジスタ … 204
8.4.4　FRCの動作 … 205
8.4.5　FRCユニット制御レジスタの設定 … 205
8.4.6　FRCのVTRへの応用 … 209
8.5　タイマ２ユニット … 214
8.5.1　タイマ２ユニットの構成 … 214
8.5.2　タイマ２ユニット制御レジスタの設定 … 215
8.6　タイマ４ユニット … 216
8.6.1　タイマ４ユニットの構成 … 216
8.6.2　タイマ４ユニット制御レジスタの設定 … 216
8.7　タイマ５ユニット … 219
8.7.1　タイマ５ユニットの構成 … 219
8.7.2　タイマ５ユニット制御レジスタの設定 … 220
8.8　PWM出力ユニット … 221
8.8.1　16ビットPWM出力（PWM0，PWM1，PWM5） … 221
8.8.2　８ビットPWM出力（PWM2-PWM4） … 224
8.8.3　PWM出力ユニット制御レジスタの設定 … 225
8.9　アップ／ダウン・カウンタ（UDC）ユニット … 227
8.9.1　アップ／ダウン・カウンタ・ユニットの構成 … 227
8.9.2　アップ／ダウン・カウンタ・ユニットの動作 … 229
8.9.3　アップ／ダウン・カウンタ・ユニット制御レジスタの設定 … 230
8.9.4　アップ／ダウン・カウンタのVTRへの応用 … 232

第９章　A/Dコンバータ … 233

9.1　A/Dコンバータの機能 … 233
9.2　ハードウエア構成 … 234
9.3　制御レジスタ … 236
9.4　A/Dコンバータの基本動作 … 238
9.5　A/Dコンバータの動作モード … 240
9.5.1　セレクト・モード … 240
9.5.2　スキャン・モード … 241
9.6　ソフトウエア・スタートによるA/D変換動作の起動 … 244
9.7　ハードウエア・スタートによるA/D変換動作の起動 … 246
9.8　注意事項 … 249
9.8.1　アナログ入力端子に印加する電圧範囲について … 249

保守／廃止

第10章　VTR用アナログ回路 … 251

10.1　ハードウエア構成 … 252
10.2　制御レジスタ … 253
10.3　CTLアンプ，RECCTLドライバ … 259
10.3.1　CTLアンプ … 260
10.3.2　波形整形回路 … 262
10.3.3　CTLアンプのバイパス … 265
10.3.4　RECCTLドライバ … 265
10.4　DPGコンパレータ，DFGアンプ，DPFG分離回路 … 270
10.4.1　DPGコンパレータ … 271
10.4.2　DFGアンプ … 271
10.4.3　DPFG分離回路（3値分離回路） … 271
10.5　CFGアンプ … 274
10.6　リールFGコンパレータ … 275
10.7　CSYNCコンパレータ … 276
10.8　レファレンス・アンプ … 277
10.9　ロジック入力バッファの動作制御 … 278
10.10　アナログ回路未使用時の端子処理 … 279

第11章　時計機能 … 281

11.1　時計用タイマ … 281
11.1.1　時計用タイマの構成 … 281
11.2　ハードウエア時計機能 … 283
11.2.1　ハードウエア時計機能の構成 … 283
11.2.2　制御レジスタ … 284
11.3　外部入力カウント機能 … 286
11.3.1　外部入力カウンタの構成 … 286
11.3.2　制御レジスタ … 287
11.3.3　外部入力カウンタの動作 … 289
11.3.4　注意事項 … 289
11.4　BUZ出力 … 291
11.4.1　BUZ出力回路の構成 … 291
11.4.2　BUZ出力の動作タイミング … 292
11.4.3　注意事項 … 292

第12章　クロック出力（CLO） … 293

12.1　CLOの構成と機能 … 293
12.2　CLOの制御レジスタ … 295

第13章　割り込み機能 … 297

13.1　割り込み要求ソース … 298
13.1.1　ソフトウエア割り込み … 300
13.1.2　オペランド・エラー割り込み … 300

保守／廃止

13.1.3　ノンマスカブル割り込み　…　300
13.1.4　マスカブル割り込み　…　300
13.2　割り込み要求処理モード　…　301
13.2.1　ベクタ割り込み処理　…　301
13.2.2　マクロ・サービス　…　301
13.2.3　コンテキスト・スイッチング機能　…　301
13.3　割り込み処理制御レジスタ　…　302
13.3.1　割り込み制御レジスタ　…　302
13.3.2　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）　…　308
13.3.3　割り込みモード・コントロール・レジスタ（IMC）　…　309
13.3.4　インサービス・プライオリティ・レジスタ（ISPR）　…　310
13.3.5　割り込み要求許可フラグ（IE）　…　311
13.4　ソフトウエア割り込み要求　…　312
13.5　オペランド・エラー割り込み要求　…　312
13.6　ノンマスカブル割り込み要求　…　313
13.7　マスカブル割り込み要求　…　316
13.7.1　マスカブル割り込みの優先順位　…　318
13.8　外部割り込み要求機能　…　324
13.8.1　外部割り込み端子のノイズ除去　…　324
13.8.2　外部割り込み制御レジスタ　…　325
13.8.3　キー割り込み機能　…　333
13.8.4　時計割り込み機能　…　335
13.9　マクロ・サービス機能　…　337
13.9.1　マクロ・サービス終了時の動作　…　339
13.9.2　マクロ・サービス制御レジスタ　…　341
13.9.3　カウンタ・モード　…　344
13.9.4　複合データ転送モード　…　344
13.9.5　データ・パターン識別モード（VISS検出モード）　…　351
13.9.6　マクロ・サービス・タイプA　…　360
13.10　コンテキスト・スイッチング機能　…　364
13.10.1　割り込み要求発生によるコンテキスト・スイッチング機能　…　365
13.10.2　BRKCS命令によるコンテキスト・スイッチング機能　…　366
13.10.3　コンテキスト・スイッチング機能により分岐したアドレスからの復帰　…　367
13.11　割り込み要求およびマクロ・サービスが一時的に保留される場合　…　368
13.12　割り込み要求およびマクロ・サービスで一時的に実行が中断される命令　…　369
13.13　各割り込み処理モードの動作タイミング　…　370
13.14　割り込み機能を初期状態に戻す方法　…　372
13.15　注意事項　…　373

第14章　スタンバイ機能　…　377

14.1　構成と機能　…　377
14.2　制御レジスタ　…　380
14.2.1　スタンバイ・コントロール・レジスタ（STBC）　…　380
14.2.2　CPUクロック・ステータス・レジスタ（PCS）　…　382
14.2.3　発振安定時間指定レジスタ（OSTS）　…　382
14.2.4　キー割り込みコントロール・レジスタ（KEYC）　…　383

保守／廃止

14.2.5　時計モード・レジスタ（WM）　…　384
14.3　動　　作　…　385
14.3.1　HALTモード　…　385
14.3.2　STOPモード　…　387
14.4　サブシステム・クロック発振停止フラグ　…　391
14.5　注意事項　…　391
14.6　低消費電力モード　…　392
14.6.1　低消費電力モードの動作　…　392
14.6.2　低消費電力モードへの設定　…　393
14.6.3　メイン・システム・クロック動作への復帰　…　395
14.6.4　低消費電力モード時のスタンバイ機能　…　396
14.6.5　注意事項　…　398

第15章　リセット機能　…　399

第16章　応 用 例　…　401

16.1　VTRサーボの概要　…　401
16.1.1　VTRの制御系　…　401
16.1.2　VTRサーボ系の構成　…　401
16.2　スーパ・タイマ・ユニットの使用例　…　404
16.3　ドラム・モータの制御　…　405
16.4　キャプスタン・モータの制御　…　409
16.5　据え置き型VTRへの応用例　…　413
16.6　カメラ一体型VTRへの応用例　…　414

第17章　μPD78P4916　…　415

17.1　μPD78P4916とμPD784915，784915A，784916Aの違い　…　415
17.1.1　内蔵メモリ容量選択レジスタ（IMS）　…　416
17.2　μPD78P4916のプログラミング　…　417
17.2.1　動作モード　…　417
17.2.2　PROM書き込みの手順（ページ・プログラム・モード）　…　418
17.2.3　PROM書き込みの手順（バイト・プログラム・モード）　…　421
17.2.4　PROM読み出しの手順　…　424
17.3　ワン・タイムPROM製品のスクリーニングについて　…　425

第18章　命令セット　…　427

18.1　凡　　例　…　427
18.2　命令のオペレーション一覧　…　431
18.3　アドレシング別命令一覧　…　457

付録A　開発ツール　…　461

A.1　言語処理用ソフトウエア　…　463
A.2　PROM書き込み用ツール　…　465

保守／廃止

A.3　ディバグ用ツール　…　466
A.3.1　ハードウエア　…　466
A.3.2　ソフトウエア　…　467
A.4　IBM PC用のOSについて　…　469
A.5　変換ソケット（EV-9200GF-100，NQPACK100RB）の外形図と基板取り付け推奨パターン　…　470

付録B　レジスタ索引　…　475

B.1　レジスタ索引（50音順）　…　475
B.2　レジスタ索引（アルファベット順）　…　480

付録C　改版履歴　…　485

保守／廃止

図の目次（1/10）

図番号	タイトル，ページ
1-1	78K/IVシリーズの製品展開図 … 2
2-1	端子の入出力回路一覧 … 28
3-1	実行速度選択レジスタ（MM）のフォーマット … 32
3-2	μPD784915，784915Aのメモリ・マップ … 33
3-3	μPD784916Aのメモリ・マップ … 34
3-4	μPD78P4916のメモリ・マップ … 35
3-5	内部RAMのメモリ・マップ … 41
3-6	内部メモリ容量選択レジスタ（IMS）のフォーマット … 43
3-7	プログラム・カウンタの構成 … 44
3-8	プログラム・ステータス・ワードの構成 … 44
3-9	スタック・ポインタの構成 … 50
3-10	スタック領域へ退避されるデータ … 51
3-11	スタック領域から復帰されるデータ … 52
3-12	汎用レジスタ構成 … 54
3-13	汎用レジスタのアドレス … 55
4-1	クロック発生回路のブロック図 … 66
4-2	メイン・システム・クロック発振回路の外付け回路 … 67
4-3	サブシステム・クロック発振回路の外付け回路 … 67
4-4	クロック・コントロール・レジスタ（CC）のフォーマット … 68
4-5	スタンバイ・コントロール・レジスタ（STBC）のフォーマット … 69
4-6	CPUクロック・ステータス・レジスタ（PCS）のフォーマット … 70
4-7	発振安定時間指定レジスタ（OSTS）のフォーマット … 70
4-8	発振子の接続の注意点 … 73
4-9	発振子の接続の悪い例 … 74
5-1	ポートの構成 … 77
5-2	ポート0のブロック図 … 78
5-3	ポート0モード・レジスタ（PM0）のフォーマット … 79
5-4	リアルタイム出力ポート0コントロール・レジスタ（RTPC）のフォーマット … 79
5-5	プルアップ抵抗オプション・レジスタL（PUOL）のフォーマット … 80
5-6	ポート4のブロック図 … 81

保守／廃止

図の目次（2/10）

図番号	タイトル，ページ
5-7	ポート４モード・レジスタ（PM4）のフォーマット … 82
5-8	プルアップ抵抗オプション・レジスタL（PUOL）のフォーマット … 82
5-9	ポート５のブロック図 … 83
5-10	ポート５モード・レジスタ（PM5）のフォーマット … 84
5-11	プルアップ抵抗オプション・レジスタL（PUOL）のフォーマット … 84
5-12	ポート６のブロック図 … 86
5-13	ポート６モード・レジスタ（PM6）のフォーマット … 88
5-14	ポート６モード・コントロール・レジスタ（PMC6）のフォーマット … 89
5-15	プルアップ抵抗オプション・レジスタL（PUOL）のフォーマット … 90
5-16	ポート７のブロック図 … 91
5-17	ポート８のブロック図 … 93
5-18	ポート８モード・レジスタ（PM8）のフォーマット … 95
5-19	ポート８モード・コントロール・レジスタ（PMC8）のフォーマット … 95
5-20	プルアップ抵抗オプション・レジスタH（PUOH）のフォーマット … 96
5-21	ポート９のブロック図 … 97
5-22	ポート９モード・レジスタ（PM9）のフォーマット … 98
5-23	プルアップ抵抗オプション・レジスタH（PUOH）のフォーマット … 98
6-1	リアルタイム出力ポートの構成 … 101
6-2	RTPのトリガ・ソースの選択 … 103
6-3	RTP0のブロック図 … 104
6-4	ポート０バッファ・レジスタ（P0H，P0L）の構成 … 105
6-5	リアルタイム出力ポート０コントロール・レジスタ（RTPC）のフォーマット … 106
6-6	RTP0の動作タイミング … 108
6-7	RTP8のブロック図 … 110
6-8	ポート８モード・コントロール・レジスタ（PMC8）のフォーマット … 111
6-9	トリガ・ソース選択レジスタ０（TRGS0）のフォーマット … 112
6-10	ポート８バッファ・レジスタL（P8L）のフォーマット … 113
6-11	疑似V_{SYNC}信号，HASW信号，ROT-C信号出力部の構成 … 114
6-12	RTP80の動作タイミング例 … 115
6-13	HASW/ROT-C発生回路の構成 … 116
6-14	ヘッド・アンプ出力コントロール・レジスタ（HAPC）のフォーマット … 117
7-1	シリアル・インタフェース・チャネル１のブロック図 … 120

保守／廃止

図の目次（3/10）

図番号	タイトル，ページ
7-2	シリアル・インタフェース・チャネル１モード・レジスタ（CSIM1）のフォーマット … 122
7-3	３線式シリアルI/Oのシステム構成例 … 123
7-4	シリアル・インタフェース・チャネル１のタイミング … 124
7-5	２線式シリアルI/Oとの接続例 … 124
7-6	受信禁止の場合の動作 … 125
7-7	nバイト・データを自動送受信する場合の手順 … 127
7-8	複合データ転送モード（エクスチェンジ）のアドレシング … 128
7-9	シリアル・インタフェース・チャネル２のブロック図 … 130
7-10	シリアル・インタフェース・チャネル２モード・レジスタ（CSIM2）のフォーマット … 132
7-11	シリアル・コントロール・レジスタ２（CSIC2）のフォーマット … 133
7-12	プルアップ抵抗オプション・レジスタL（PUOL）のフォーマット … 134
7-13	３線式シリアルI/Oのシステム構成例 … 135
7-14	シリアル・インタフェース・チャネル２のタイミング … 136
7-15	２線式シリアルI/Oとの接続例 … 136
7-16	受信禁止の場合の動作 … 137
7-17	INTCSI2割り込み発生タイミング … 139
7-18	ビジィ制御タイミング … 140
7-19	３線式シリアルI/Oのシステム構成例（ビジィ，ストローブ制御付き） … 141
7-20	ビジィ，ストローブ制御付きのデータ転送タイミング（ビジィ：ハイ・アクティブ） … 142
8-1	スーパ・タイマ・ユニットのブロック図 … 145
8-2	タイマ０ユニットのブロック図 … 150
8-3	イベント・カウンタの構成 … 151
8-4	VHSドラム・ヘッドの構成 … 152
8-5	VHS用ヘッド・スイッチング信号作成時の動作タイミング … 152
8-6	VHS用ヘッド・スイッチング信号作成時のECの構成 … 153
8-7	VHS-Cドラム・ヘッドの構成 … 153
8-8	VHS-C用ヘッド・スイッチング信号作成時の動作タイミング … 154
8-9	VHS-C用ヘッド・スイッチング信号作成時のECの構成 … 154
8-10	汎用イベント・ディバイダ・モードの動作タイミング … 155
8-11	汎用イベント・ディバイダ・モードのECの構成 … 155
8-12	タイマ０のブロック図 … 156
8-13	タイマ０汎用出力モードの構成（n=0，1，2） … 157
8-14	タイマ０RS出力モードの構成 … 157

保守／廃止

図の目次（4/10）

図番号	タイトル，ページ
8-15	タイマ０遅延パルス出力モード１の構成（n=0，1，2） … 158
8-16	タイマ０遅延パルス出力モード２の構成（n=0，1，2） … 158
8-17	H_{SYNC}重畳後のPTO0n端子の出力（n=1，2） … 159
8-18	入力コントロール・レジスタ（ICR）のフォーマット … 161
8-19	タイマ・コントロール・レジスタ０（TMC0）のフォーマット … 162
8-20	タイマ０出力モード・レジスタ（TOM0）のフォーマット … 163
8-21	タイマ０出力コントロール・レジスタ（TOC0）のフォーマット … 163
8-22	ヘッド・アンプ・スイッチ出力コントロール・レジスタ（HAPC）のフォーマット … 164
8-23	タイマ０遅延パルス出力モード１，２の動作タイミング … 166
8-24	タイマ０ユニットを用いたヘッド・スイッチング信号の作成 … 167
8-25	タイマ０ユニットを用いたヘッド・スイッチング信号のタイミング例 … 168
8-26	タイマ１ユニットのブロック図 … 170
8-27	EDVのカウント動作 … 171
8-28	パルス幅検出回路の構成 … 172
8-29	VISS検出動作のタイミング … 173
8-30	PBCTL信号からのアスペクト・データの判定結果 … 174
8-31	タイマ１のブロック図 … 175
8-32	タイマ１汎用出力モードの構成 … 176
8-33	タイマ１遅延パルス出力モード１の構成 … 176
8-34	タイマ１遅延パルス出力モード２の構成 … 176
8-35	タイマ１の基準カウンタ動作 … 178
8-36	タイマ１プログラマブル・タイマ出力動作 … 179
8-37	タイマ１位相差検出動作 … 180
8-38	CSYNC信号入力のマスク動作 … 180
8-39	CSYNC信号入力部の構成 … 182
8-40	ディジタル・ノイズ除去回路の動作（立ち上がりエッジの場合） … 183
8-41	ディジタル・ノイズ除去回路の動作（立ち下がりエッジの場合） … 183
8-42	H_{SYNC}分離回路の動作タイミング … 185
8-43	ディジタル・ノイズ除去回路を用いた垂直同期信号の分離 … 186
8-44	CSYNC信号入力のノイズ誤動作例 … 187
8-45	偶数フィールド／奇数フィールドでの$COMP_{SYNC}$信号 … 188
8-46	偶数／奇数フィールド判別の動作タイミング … 189
8-47	イベント・ディバイダ・コントロール・レジスタ（EDVC）のフォーマット … 190
8-48	外部キャプチャ・モード・レジスタ１（INTM1）のフォーマット … 191

保守／廃止

図の目次（5/10）

図番号	タイトル，ページ
8-49	タイマ・コントロール・レジスタ３（TMC3）のフォーマット … 192
8-50	タイマ・コントロール・レジスタ０（TMC0）のフォーマット … 193
8-51	タイマ１出力モード・レジスタ（TOM1）のフォーマット … 194
8-52	タイマ１出力コントロール・レジスタ（TOC1）のフォーマット … 195
8-53	キャプチャ・モード・レジスタ（CPTM）のフォーマット … 196
8-54	外部キャプチャ・モード・レジスタ２（INTM2）のフォーマット … 197
8-55	タイマ１の動作タイミング例（記録時） … 199
8-56	キャプスタン位相誤差検出方法 … 200
8-57	CR11を用いたRECCTL信号の作成タイミング例 … 201
8-58	FRCユニットのブロック図 … 203
8-59	FRCの構成 … 204
8-60	FRCキャプチャ・レジスタの構成（n=0-5） … 204
8-61	タイマ・コントロール・レジスタ１（TMC1）のフォーマット … 206
8-62	キャプチャ・モード・レジスタ（CPTM）のフォーマット … 207
8-63	外部キャプチャ・モード・レジスタ２（INTM2）のフォーマット … 208
8-64	VTRにおけるFRCの使用例（キャプチャ・レジスタ２を用いたドラム・モータの速度誤差検出方法） … 209
8-65	FRCキャプチャ・レジスタ０（CPT0）の使用例 … 210
8-66	再生動作時のFRCとTM1の使用例（内部位相基準タイマの作成方法） … 210
8-67	再生動作時のFRCとTM1の動作 … 211
8-68	記録動作時のFRCとTM1の使用例（位相基準信号入力によるFRCのキャプチャ方法） … 212
8-69	記録動作時のFRCとTM1の動作 … 213
8-70	タイマ２ユニットのブロック図 … 215
8-71	タイマ・コントロール・レジスタ１（TMC1）のフォーマット … 215
8-72	タイマ４ユニットのブロック図 … 216
8-73	外部割り込みモード・レジスタ（INTM0）のフォーマット … 217
8-74	タイマ・コントロール・レジスタ２（TMC2）のフォーマット … 218
8-75	キャプチャ／コンペア・コントロール・レジスタ（CRC）のフォーマット … 218
8-76	タイマ５ユニットのブロック図 … 219
8-77	タイマ・コントロール・レジスタ２（TMC2）のフォーマット … 220
8-78	16ビットPWM出力ユニットのブロック図 … 221
8-79	PWM出力のアクティブ・レベル設定 … 222
8-80	PWM出力タイミング例 … 223
8-81	８ビットPWM出力ユニットのブロック図 … 224
8-82	８ビットPWM出力の出力タイミング … 225

保守／廃止

図の目次（6/10）

図番号	タイトル，ページ
8-83	PWMコントロール・レジスタ0（PWMC0）のフォーマット … 225
8-84	PWMコントロール・レジスタ1（PWMC1）のフォーマット … 226
8-85	ポート6モード・コントロール・レジスタ（PMC6）のフォーマット … 226
8-86	アップ／ダウン・カウンタのブロック図 … 228
8-87	アップ／ダウン・カウンタの動作タイミング（6ビット・コンペア・レジスタ（UDCC）を1EHに設定した場合） … 229
8-88	外部キャプチャ・モード・レジスタ1（INTM1）のフォーマット … 230
8-89	タイマ・コントロール・レジスタ4（TMC4）のフォーマット … 231
8-90	リニア・テープ・カウンタへの応用例 … 232
9-1	A/Dコンバータのブロック図 … 234
9-2	A/Dコンバータ用端子のキャパシタ接続例 … 235
9-3	A/Dコンバータ・モード・レジスタ（ADM）のフォーマット … 237
9-4	A/Dコンバータの基本動作 … 239
9-5	アナログ入力電圧とA/D変換結果の関係 … 240
9-6	セレクト・モードの動作タイミング … 241
9-7	スキャン・モード0の動作タイミング … 242
9-8	スキャン・モード1の動作タイミング … 243
9-9	ソフトウエア・スタートによるセレクト・モードのA/D変換動作 … 244
9-10	ソフトウエア・スタートによるスキャン・モードのA/D変換動作 … 245
9-11	トリガ・ソース選択レジスタ1（TRGS1）のフォーマット … 246
9-12	ハードウエア・スタートによるセレクト・モードのA/D変換動作 … 247
9-13	ハードウエア・スタートによるスキャン・モードのA/D変換動作 … 248
10-1	アナログ回路のブロック図 … 252
10-2	アンプ・コントロール・レジスタ（AMPC）のフォーマット … 254
10-3	アンプ・モード・レジスタ0（AMPM0）のフォーマット … 255
10-4	アンプ・モード・レジスタ1（AMPM1）のフォーマット … 256
10-5	タイマ1出力モード・レジスタ（TOM1）のフォーマット … 257
10-6	ゲイン・コントロール・レジスタ（CTLM）のフォーマット … 258
10-7	CTLアンプ，RECCTLドライバ … 259
10-8	CTLアンプ出力と検出レベル，検出フラグの関係 … 261
10-9	波形整形回路 … 262
10-10	波形整形回路の出力選択切り替えタイミング例 … 264

保守／廃止

図の目次（7/10）

図番号	タイトル，ページ
10-11	RECCTLドライバのブロック図 … 265
10-12	台形波生成ブロックの端子接続 … 266
10-13	RECモード動作タイミング例 … 268
10-14	再書き込みモード動作タイミング例 … 269
10-15	DPGコンパレータ，DFGアンプ，DPFG分離回路 … 270
10-16	DPFG分離回路（3値分離回路） … 272
10-17	PFG信号波形と分離後のPG，FG信号波形 … 273
10-18	CFGアンプ … 274
10-19	リールFGコンパレータ … 275
10-20	COMPSYNCコンパレータ … 276
10-21	レファレンス・アンプ … 277
10-22	アンプ・コントロール・レジスタ（AMPC）のフォーマット … 278
11-1	時計用タイマのブロック図 … 282
11-2	時計割り込みとNMI発生の関係 … 282
11-3	ハードウエア時計機能のブロック図 … 283
11-4	時計モード・レジスタ（WM）のフォーマット … 284
11-5	ポート6モード・コントロール・レジスタ（PMC6）のフォーマット … 285
11-6	外部入力カウンタのブロック図 … 286
11-7	ポート6モード・コントロール・レジスタ（PMC6）のフォーマット … 287
11-8	時計モード・レジスタ（WM）のフォーマット … 288
11-9	カウント・クロックの切り替え動作例 … 290
11-10	BUZ出力回路のブロック図 … 291
11-11	BUZ出力の動作タイミング … 292
12-1	クロック出力機能の応用例 … 293
12-2	クロック出力回路のブロック図 … 294
12-3	クロック出力モード・レジスタ（CLOM）のフォーマット … 295
12-4	CLOMレジスタ設定例 … 295
13-1	割り込み要求への対応 … 297
13-2	割り込み制御レジスタ（××ICn）のフォーマット … 305
13-3	割り込みマスク・フラグ・レジスタ（MK××）のフォーマット … 308
13-4	割り込みモード・コントロール・レジスタ（IMC）のフォーマット … 309

保守／廃止

図の目次（8/10）

図番号	タイトル，ページ
13-5	インサービス・プライオリティ・レジスタ（ISPR）のフォーマット … 310
13-6	プログラム・ステータス・ワード（PSWL）のフォーマット … 311
13-7	ノンマスカブル割り込み要求の受け付け動作 … 314
13-8	割り込み受け付け処理アルゴリズム … 317
13-9	割り込み処理中に他の割り込み要求が発生した場合の処理例 … 319
13-10	同時発生した割り込み要求の処理例 … 322
13-11	IMCレジスタの設定によるレベル３の割り込み受け付け動作の違い … 323
13-12	外部割り込み要求端子入力のノイズ除去 … 324
13-13	外部割り込みモード・レジスタ（INTM0）のフォーマット … 326
13-14	プルアップ抵抗オプション・レジスタL（PUOL）のフォーマット … 327
13-15	タイマ・コントロール・レジスタ２（TMC2）のフォーマット … 328
13-16	外部キャプチャ・モード・レジスタ１（INTM1）のフォーマット … 329
13-17	外部キャプチャ・モード・レジスタ２（INTM2）のフォーマット … 330
13-18	キャプチャ・モード・レジスタ（CPTM）のフォーマット … 331
13-19	キー割り込みコントロール・レジスタ（KEYC）のフォーマット … 334
13-20	キー割り込みおよび時計割り込み機能のブロック図 … 335
13-21	時計モード・レジスタ（WM）のフォーマット … 336
13-22	マクロ・サービス処理シーケンス … 337
13-23	ベクタ割り込みとマクロ・サービス処理の違い … 339
13-24	VCIE＝0のときのマクロ・サービス終了時の動作 … 340
13-25	VCIE＝1のときのマクロ・サービス終了時の動作 … 341
13-26	マクロ・サービス・コントロール・ワードの構成 … 342
13-27	マクロ・サービス・モード・レジスタのフォーマット … 343
13-28	カウンタ・モードのチャネル構成 … 344
13-29	複合データ転送モードのブロック図 … 344
13-30	複合データ転送モードのチャネル構成 … 346
13-31	複合データ転送モードの処理シーケンス … 347
13-32	転送数設定レジスタの設定例 … 348
13-33	エクスチェンジ・モード例 … 349
13-34	エクスチェンジ・モードの応用例 … 350
13-35	VISS検出動作のタイミング … 351
13-36	データ・パターン識別モードのブロック構成 … 352
13-37	データ・パターン識別モードのアドレシング … 353
13-38	データ・パターン識別モードのマクロ・サービス・モード・レジスタの設定 … 355

保守／廃止

図の目次（9/10）

図番号	タイトル，ページ
13-39	データ・パターン識別モードの応用例 … 356
13-40	データ・パターン識別モードのアドレシングとデータ設定 … 359
13-41	マクロ・サービス・タイプAのマクロ・サービス・モード・レジスタの設定 … 360
13-42	マクロ・サービス・タイプAのアドレシング … 361
13-43	マクロ・サービス・タイプAの処理フロー … 362
13-44	シリアル・インタフェース・チャネル1による受信データの転送 … 363
13-45	コンテキスト・スイッチングとベクタ割り込みとマクロ・サービスの違い … 364
13-46	割り込み要求の発生によるコンテキスト・スイッチング動作 … 365
13-47	BRKCS命令の実行によるコンテキスト・スイッチング動作 … 366
13-48	RETCS命令のフォーマット … 367
13-49	割り込み要求の発生と受け付け（単位：クロック＝$1/f_{CLK}$） … 370
14-1	スタンバイ・モードの遷移図 … 378
14-2	スタンバイ機能のブロック図 … 379
14-3	スタンバイ・コントロール・レジスタ（STBC）のフォーマット … 380
14-4	STBCレジスタの書き込み命令 … 381
14-5	CPUクロック・ステータス・レジスタ（PCS）のフォーマット … 382
14-6	発振安定時間指定レジスタ（OSTS）のフォーマット … 382
14-7	キー割り込みコントロール・レジスタ（KEYC）のフォーマット … 383
14-8	時計モード・レジスタ（WM）のフォーマット … 384
14-9	STOPモード解除におけるNMI，時計割り込み，キー割り込みの関係 … 390
14-10	サブシステム・クロック動作への設定フロー … 393
14-11	サブシステム・クロック動作への設定タイミング … 394
14-12	メイン・システム・クロック動作への復帰フロー … 396
14-13	メイン・システム・クロック動作への復帰タイミング … 396
15-1	リセット期間中のメイン・システム・クロックの発振 … 399
15-2	リセット信号の受け付け … 400
16-1	ソフトウエア・ディジタル・サーボ系のブロック … 403
16-2	ドラム・モータの制御 … 406
16-3	ドラム速度制御 … 407
16-4	ドラムの位相制御 … 408
16-5	キャプスタン・モータの制御 … 410

保守／廃止

図の目次（10/10）

図番号	タイトル，ページ
16-6	キャプスタン速度制御 … 411
16-7	キャプスタン位相制御 … 412
16-8	据え置き型VTRへの応用 … 413
16-9	カメラ一体型VTRへの応用 … 414
17-1	内部メモリ容量選択レジスタ（IMS）のフォーマット … 416
17-2	書き込み手順フロー・チャート（ページ・プログラム・モード） … 419
17-3	PROMの書き込み／ベリファイ・タイミング（ページ・プログラム・モード） … 420
17-4	書き込み手順フロー・チャート（バイト・プログラム・モード） … 422
17-5	PROMの書き込み／ベリファイ・タイミング（バイト・プログラム・モード） … 423
17-6	PROMの読み出しタイミング … 424
A-1	開発ツール構成 … 462
A-2	EV-9200GF-100 外形図（参考）（単位：mm） … 470
A-3	EV-9200GF-100 基板取り付け推奨パターン（参考）（単位：mm） … 471
A-4	NQPACK100RB（ターゲット接続側）外形図（参考）（単位：mm） … 472
A-5	HQPACK100RB（デバイス実装時のフタ）外形図（参考）（単位：mm） … 473
A-6	YQPACK100RB（プローブ側）外形図（参考）（単位：mm） … 474

保守／廃止

表の目次（1/3）

表番号	タイトル，ページ
1-1	各製品の主な違い … 1
1-2	μPD784915サブシリーズとμPD78148サブシリーズの相違点 … 9
2-1	ポート６のモード指定（n=0-7） … 16
2-2	ポート８のモード指定（n=0，2-7） … 18
2-3	ポート９の兼用端子 … 19
2-4	各端子の入出力回路タイプと未使用時の処理方法 … 26
3-1	μPD784915サブシリーズのメモリ空間 … 31
3-2	ベクタ・テーブル … 36
3-3	μPD784915サブシリーズ製品別内部RAM領域一覧 … 40
3-4	レジスタ・バンクの選択 … 47
3-5	機能名称-絶対名称の対応 … 58
3-6	特殊機能レジスタ（SFR）一覧 … 60
4-1	分周比の変更に必要な時間 … 72
5-1	ポートの機能 … 77
5-2	ポート０の機能 … 78
5-3	ポート４の機能 … 81
5-4	ポート５の機能 … 83
5-5	ポート６の機能 … 85
5-6	ポート７の機能 … 91
5-7	ポート８の機能 … 92
5-8	ポート９の機能 … 97
6-1	リアルタイム出力ポートの種類 … 101
6-2	RTPのトリガ・ソース一覧 … 102
6-3	RTP0の出力トリガ … 107
7-1	シリアル・インタフェース … 119
7-2	ストローブ制御の有無によるタイミングの違い … 139
8-1	スーパ・タイマ・ユニットの構成 … 144

保守／廃止

表の目次（2/3）

表番号	タイトル，ページ
8-2	各タイマの分解能と最大カウント時間（16 MHz動作時） … 148
8-3	タイマ０の分解能と最大カウント時間 … 156
8-4	タイマ１の分解能と最大カウント時間 … 175
8-5	ディジタル・ノイズ除去回路の仕様 … 181
8-6	FRCキャプチャ・レジスタのキャプチャ・トリガ一覧 … 202
8-7	FRCの分解能と最大カウント時間 … 205
8-8	タイマ２の分解能とインターバル時間 … 214
10-1	VTR用アナログ回路 … 251
10-2	CTLMレジスタの設定とCTLアンプのゲイン … 260
10-3	CTL検出フラグのリード値とCTLアンプのゲイン指定の関係 … 261
10-4	波形整形回路の出力選択 … 263
10-5	波形整形回路の出力切り替えイベント … 263
10-6	ロジック信号入力時のモード・レジスタの設定 … 265
10-7	RECCTLドライバのシーケンス … 267
10-8	タイマ部に供給される信号の選択 … 273
10-9	ロジック入力バッファの動作指定ビットと各アンプ，コンパレータの動作制御ビットの関係 … 278
10-10	アナログ回路未使用時の端子処理方法 … 279
13-1	割り込み要求の処理形態 … 297
13-2	割り込み要求と処理モード … 298
13-3	割り込み要求ソースの種類 … 299
13-4	割り込み要求に対する割り込み制御レジスタのフラグ一覧 … 304
13-5	多重割り込み処理 … 318
13-6	外部割り込み信号の有効エッジと制御レジスタ … 325
13-7	複合データ転送モードの種類と転送数設定レジスタ … 345
13-8	複合データ転送モードのマクロ・サービス・モード・レジスタの設定 … 349
13-9	割り込み要求受け付け処理時間 … 370
13-10	マクロ・サービス処理時間 … 371
14-1	HALTモード時の動作状態 … 385
14-2	割り込み要求によるHALTモード解除後の動作 … 386
14-3	マクロ・サービス要求によるHALTモードの解除 … 386
14-4	STOPモード時の動作状態 … 387

保守／廃止

表の目次（3/3）

表番号	タイトル，ページ
14-5	STOPモードの解除ソース … 389
14-6	低消費電力モード時に動作可能な機能 … 392
14-7	HALTモード中の動作状態 … 397
14-8	低消費電力モード時のHALTモードの解除ソース … 398
14-9	ノイズ除去回路のサンプリング周期とシステム・クロックの関係 … 398
15-1	各ハードウエアのリセット中，リセット後の状態 … 400
16-1	スーパ・タイマ・ユニットの使用例 … 404
17-1	μPD78P4916とμPD784915，784915A，784916Aの違い … 415
17-2	PROMプログラミング・モード時の端子機能 … 417
17-3	PROMプログラミングの動作モード … 417
18-1	8ビット・アドレシング別命令一覧 … 457
18-2	16ビット・アドレシング別命令一覧 … 458
18-3	24ビット・アドレシング別命令一覧 … 459
18-4	ビット操作命令アドレシング別命令一覧 … 459
18-5	コール・リターン命令／分岐命令アドレシング別命令一覧 … 460

保守／廃止

〔メ　モ〕

保守／廃止

第1章　概　　説

μPD784915は高速，高性能16ビットCPUを内蔵した78K/IVシリーズの製品で，VTRソフトウエア・サーボ制御用8ビット・シングルチップ・マイコン　78K/Iシリーズの後継製品です。

ソフトウエア・サーボ制御に最適な多機能タイマ・ユニット（スーパ・タイマ・ユニット）やアナログ回路をはじめとするVTR制御に最適な周辺ハードウエアを内蔵しています。1チップでVTRのシステム／サーボ／タイマ制御が実現できます。

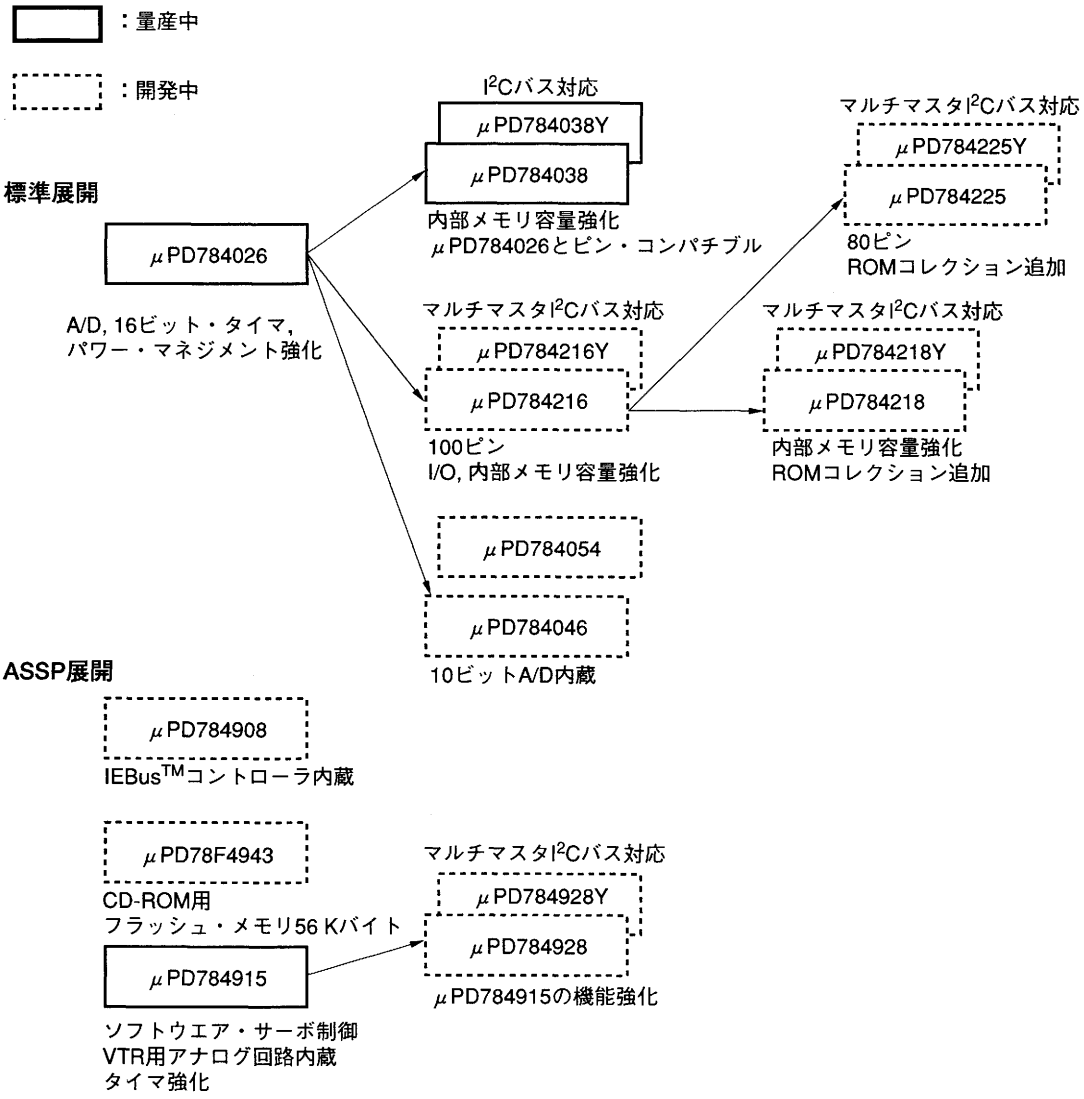
また，ワン・タイムPROM内蔵品としてμPD78P4916も用意しています。

表1-1　各製品の主な違い

製　　品	ROM	RAM	ROMの構造
μPD784915 μPD784915A	49152バイト	1280バイト	マスクROM
★ μPD784916A	63488バイト	1280バイト	マスクROM
μPD78P4916	63232バイト	2048バイト	ワン・タイムPROM

保守／廃止

★ 図1-1　78K/IVシリーズの製品展開図



保守／廃止

1.1 特　　徴

○78 K/IVシリーズ（16ビットCPUコア採用）：最小命令実行時間250 ns（内部クロック 8 MHz動作時）

○VTRサーボ制御用タイマ・ユニット（スーパ・タイマ・ユニット）内蔵

○I/Oポート：54本

○VHS規格VTR用アナログ回路内蔵

- CTLアンプ
- RECCTLドライバ（再書き込み対応）
- CFGアンプ
- DFGアンプ
- DPGコンパレータ
- DPFG分離回路（3値分離回路）
- リールFGコンパレータ（2チャネル）
- CSYNCコンパレータ

○シリアル・インタフェース：2チャネル（3線式シリアルI/O）

○A/Dコンバータ：12チャネル（変換時間：10 μs）

○PWM出力：16ビット精度×3チャネル，8ビット精度×3チャネル

○割り込み機能

- ベクタ割り込み機能
- マクロ・サービス機能
- コンテキスト・スイッチング機能

○低周波発振モード対応：メイン・システム・クロック周波数＝内部クロック周波数

○低消費電力モード対応：サブシステム・クロックによるCPU動作可能

○電源電圧：V_{DD}＝2.7～5.5 V

○ハードウエア時計機能内蔵：低電圧（V_{DD}＝2.7 V（MIN.）），低消費電流の時計動作が可能

1.2 応用分野

VTRのシステム／サーボ／タイマ制御用（据え置き型，カメラ一体型）

1.3 オーダ情報

	オーダ名称	パッケージ	内蔵ROM
	μPD784915GF-×××-3BA	100ピン・プラスチックQFP(14×20 mm)	マスクROM
★	μPD784915AGF-×××-3BA	〃	〃
★	μPD784916AGF-×××-3BA	〃	〃
	μPD78P4916GF-3BA	〃	ワン・タイムPROM

備考　×××はROMコード番号です。

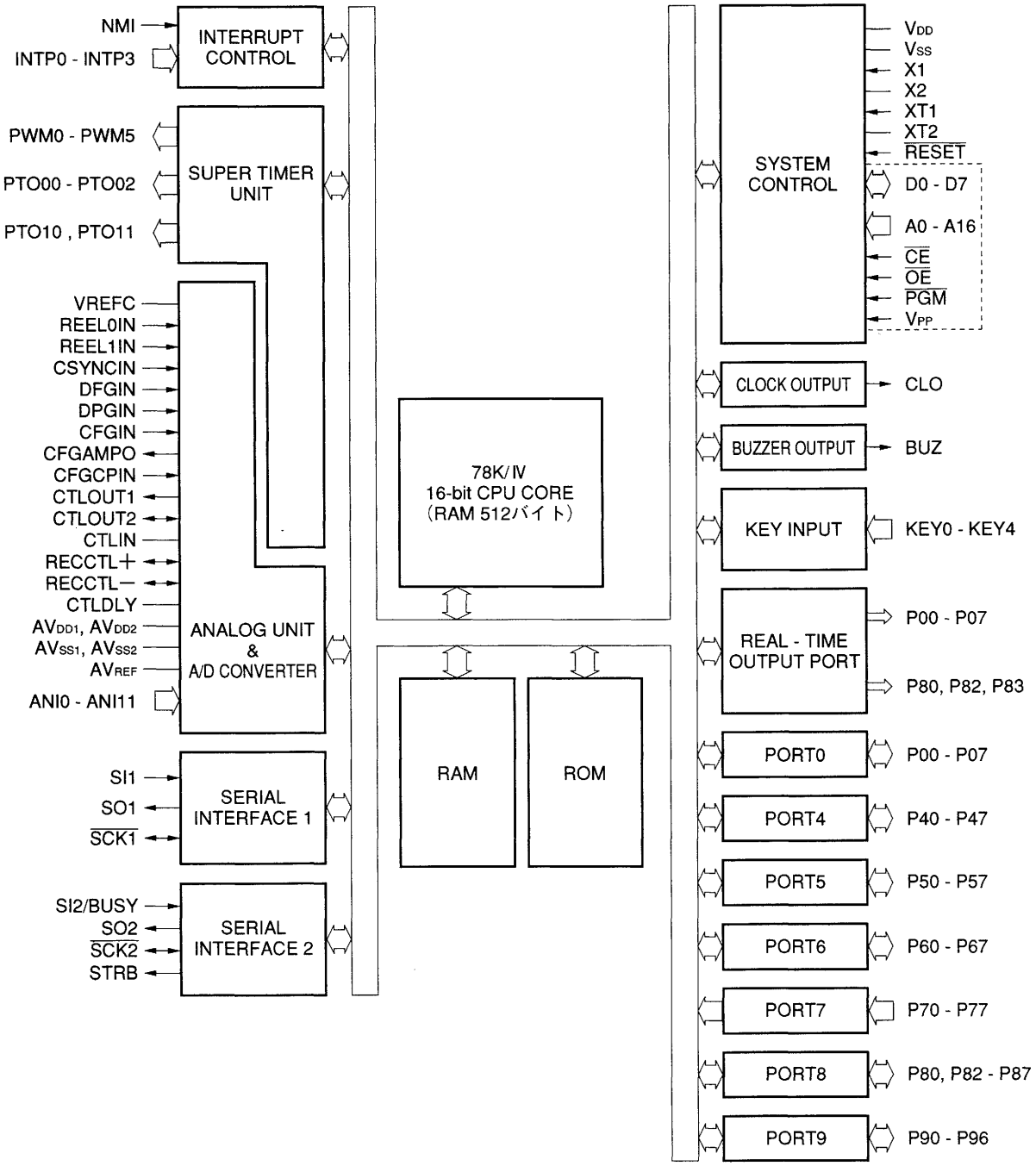
保守／廃止

1.4　機能概要

サブシリーズ名	μPD784915サブシリーズ		
品　　名	μPD784915 μPD784915A	μPD784916A	μPD78P4916
命令数	113		
最小命令実行時間	250 ns（内部クロック：8 MHz動作時）		
内部ROM容量	マスクROM		ワン・タイムPROM
★	49152バイト	63488バイト	63232バイト
内部RAM容量	1280バイト		2048バイト
割り込み	4レベル（プログラマブル），ベクタ割り込み，マクロ・サービス，コンテキスト・スイッチング		
外部	9本（NMI含む）		
内部	19本		
マクロ・サービス使用可能割り込み数	25本		
マクロ・サービスの種類	4タイプ10種類		
I/Oポート　入　力	8本		
I/Oポート　入出力	46本		
タイム・ベース・カウンタ	・22ビットFRC ・分解能：125 ns，最大カウント時間：524 ms		
キャプチャ・レジスタ	入力信号　ビット数　計測周期　動作エッジ CFG　22　125 ns～524 ms　↑ ↓ DFG　22　125 ns～524 ms　↑ HSW　16　1 μs～65.5 ms　↑ ↓ V_{SYNC}　22　125 ns～524 ms　↑ CTL　16　1 μs～65.5 ms　↑ ↓ T_{REEL}　22　125 ns～524 ms　↑ ↓ S_{REEL}　22　125 ns～524 ms　↑ ↓		
汎用タイマ	16ビット・タイマ×3		
PBCTLデューティ判別	・再生コントロール信号のデューティ判別 ・VISS検出，ワイド・アスペクト検出		
リニア・タイム・カウンタ	5ビットUDCによるCTL信号のカウント		
リアルタイム出力ポート	11本		
シリアル・インタフェース	クロック同期式（3線式シリアルI/O）：2チャネル		
A/Dコンバータ	8ビット分解能×12チャネル，変換時間：10 μs		
PWM出力	・16ビット分解能×3チャネル，8ビット分解能×3チャネル ・キャリア周波数：62.5 kHz		
時計機能	0.5秒計測，低電圧動作（V_{DD}=2.7 V）可能		
スタンバイ機能	HALTモード／STOPモード／低消費電力モード／低消費電力HALTモード		
アナログ回路	・CTLアンプ　・DPGコンパレータ ・RECCTLドライバ（再書き込み対応）　・DPFG分離回路（3値分離回路） ・CFGアンプ　・リールFGコンパレータ ・DFGアンプ　・CSYNCコンパレータ		
電源電圧	V_{DD}=2.7～5.5 V		
パッケージ	100ピン・プラスチックQFP（14×20 mm）		

保守／廃止

1.5　内部ブロック図



備考1． 内部ROM, RAM容量は，製品によって異なります。

2． 破線はPROMプログラミング・モード時

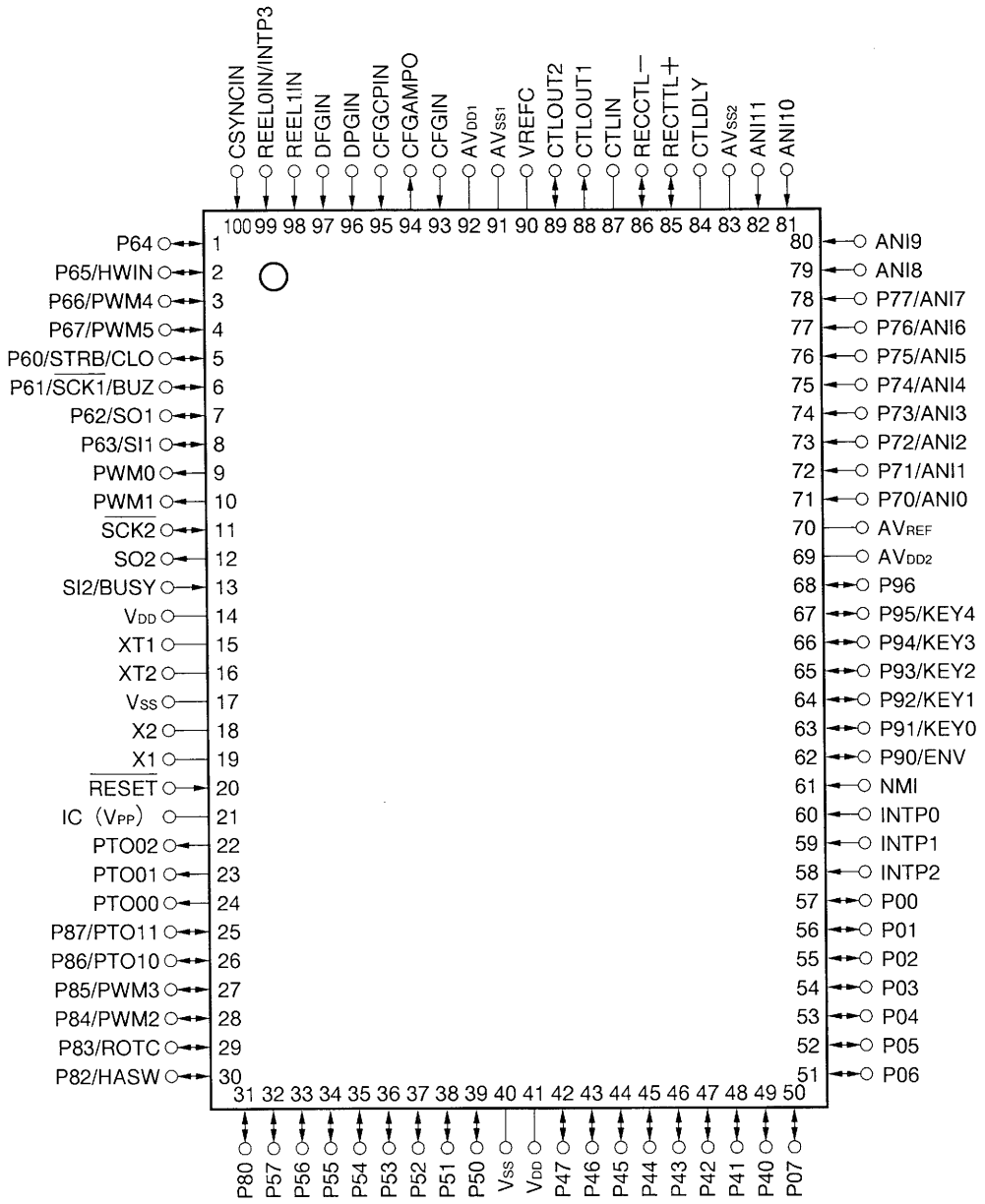
保守／廃止

1.6　端子接続図（Top View）

1.6.1　通常動作モード

・100ピン・プラスチックQFP（14×20 mm）

μPD784915GF-×××-3BA，784915AGF-×××-3BA，784916AGF-×××-3BA，78P4916GF-3BA



注意　IC（Internally Connected）端子はVSSに直接接続してください。

備考　（　）内はμPD78P4916のとき

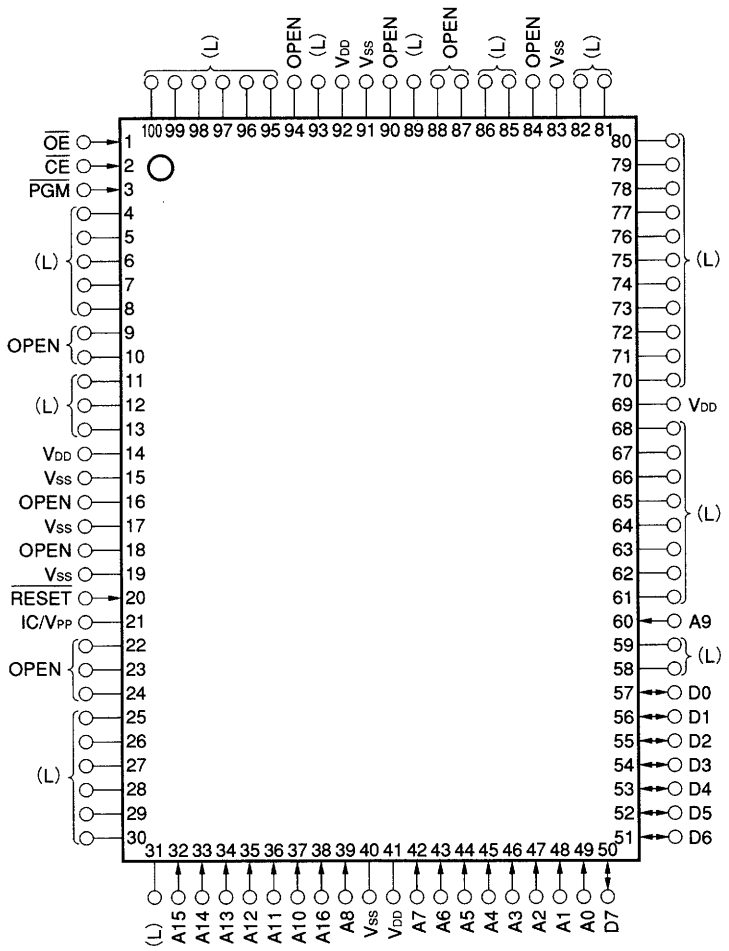
保守／廃止

ANI0-ANI11	: Analog Input	P00-P07	: Port0
AV_{DD1}, AV_{DD2}	: Analog Power Supply	P40-P47	: Port4
AV_{SS1}, AV_{SS2}	: Analog Ground	P50-P57	: Port5
AV_{REF}	: Analog Reference Voltage	P60-P67	: Port6
BUSY	: Serial Busy	P70-P77	: Port7
BUZ	: Buzzer Output	P80, P82-P87	: Port8
CFGAMPO	: Capstan FG Amplifier Output	P90-P96	: Port9
CFGCPIN	: Capstan FG Capacitor Input	PTO00-PTO02,	: Programmable Timer Output
CFGIN	: Analog Unit Input	PTO10, PTO11	
CLO	: Clock Output	PWM0-PWM5	: Pulse Width Modulation Output
CSYNCIN	: Analog Unit Input	RECCTL+, RECCTL−	: RECCTL Output/PBCLT Input
CTLDLY	: Control Delay Input	REEL0IN, REEL1IN	: Analog Unit Input
CTLIN	: CTL Amplifier Input Capacitor	$\overline{RESET}$	: Reset
CTLOUT1, CTLOUT2	: CTL Amplifier Output	ROTC	: Chrominance Rotate Output
DFGIN	: Analog Unit Input	$\overline{SCK1}$, $\overline{SCK2}$	: Serial Clock
DPGIN	: Analog Unit Input	SI1, SI2	: Serial Input
ENV	: Envelope Input	SO1, SO2	: Serial Output
HASW	: Head Amplifier Switch Output	STRB	: Serial Strobe
HWIN	: Hardware Timer External Input	V_{DD}	: Power Supply
IC	: Internally Connected	VREFC	: Reference Amplifier Capacitor
INTP0-INTP3	: Interrupt From Peripherals	V_{SS}	: Ground
KEY0-KEY4	: Key Return	X1, X2	: Crystal (Main System Clock)
NMI	: Nonmaskable Interrupt	XT1, XT2	: Crystal (Subsystem Clock)

1.6.2　PROMプログラミング・モード（μPD78P4916のみ）

・100ピン・プラスチックQFP（14×20 mm）

μPD78P4916GF-3BA



注意　(L)　：個別にプルダウン抵抗を介してVssに接続してください。

Vss　：グラウンドに接続してください。

OPEN　：何も接続しないでください。

$\overline{\text{RESET}}$　：ロウ・レベルにしてください。

A0-A16	：Address Bus	$\overline{\text{RESET}}$	：Reset
D0-D7	：Data Bus	V_{DD}	：Power Supply
$\overline{\text{CE}}$	：Chip Enable	V_{PP}	：Programming Power Supply
$\overline{\text{OE}}$	：Output Enable	V_{SS}	：Ground
$\overline{\text{PGM}}$	：Program		

保守／廃止

1.7　μPD784915サブシリーズとμPD78148サブシリーズの相違点

μPD784915は，VTRのシステム／サーボ／タイマ制御を1チップで実現できる，高速，高性能16ビットCPUを内蔵した78K/IVシリーズの製品で，VTRソフトウエア・サーボ制御用8ビット・シングルチップ・マイコン　78K/Iシリーズの後継製品です。

表1-2に，μPD784915サブシリーズとμPD78148サブシリーズの相違点を示します。

表1-2　μPD784915サブシリーズとμPD78148サブシリーズの相違点

項　目		μPD784915サブシリーズ		μPD78148サブシリーズ
内部ROM容量		48K／62Kバイト		24K／32Kバイト
内部RAM容量		1280／2048バイト		688／816バイト
命令セット		16ビットCPU採用により命令セット強化 ・高速乗算命令（補数16ビット×補数16ビットなど） ・積和命令 ・16ビット処理強化，24ビット処理		・16ビット×8ビット ・補数16ビット×絶対値8ビット ・補数16ビット×補数16ビット（乗算器）
動作クロック		@16MHz（内部8MHz）		@12MHz（内部6MHz）
I/O	ポート	54本		76本
	A/D	12本（8本はポートと兼用）		15本
シリアル・インタフェース		・3線式×2チャネル		・3線式／2線式（SBI）×1チャネル ・3線式　×1チャネル
スーパ・タイマ・ユニット（汎用タイマ含む）	タイマ	・16ビット×6本（高速化）		・16ビット×3本 ・8ビット×3本
	カウンタ	・22ビットFRC×1本（高速化） ・5ビットUDC×1本		・22ビットFRC×1本 ・6ビットUDC×1本
	キャプチャ・レジスタ	・22ビット×6本 ・16ビット×4本（1本はキャプチャ／コンペア選択可）		・22ビット×2本 ・16ビット×3本 ・8ビット×2本
	コンペア・レジスタ	・16ビット×10本 ・5ビット×1本		・16ビット×7本 ・8ビット×3本
	特殊回路	・V_{SYNC}，H_{SYNC}分離回路 ・フィールド判別回路 ・VISS検出回路 ・ヘッド・アンプ・スイッチ出力，クロマ・ローテーション出力		・V_{SYNC}分離回路 ・フィールド判別回路 ・VISS検出回路 ・H_{SYNC}発生回路
	PWM出力	・16ビット×3本（キャリア周波数62.5kHz） ・8ビット×3本（キャリア周波数62.5kHz）		・12ビット×2本 ・8ビット×3本 ・14ビット×1本
割り込み	外部	9本（NMI含む）	時計割り込みとキー割り込みでスタンバイ解除可能	5本（MNI含む）
	内部	19本		20本
	処理モード	ベクタ割り込み，マクロ・サービス，コンテキスト・スイッチング		ベクタ割り込み，マクロ・サービス
リアルタイム出力ポート		11本		18本
A/Dコンバータ		・8ビット×12本 ・変換時間：10μs		・8ビット×15本 ・変換時間：20μs
アナログ回路		CTLアンプ，RECCTLドライバ，DPFG分離回路，DFGアンプ，DPGコンパレータ，CFGアンプ，リールFGコンパレータ，CSYNCコンパレータ		オペアンプ，RECCTLドライバ
その他の周辺機能		ハードウエア時計機能（専用カウンタ）内蔵		ハードウエア時計機能内蔵
PROM内蔵品		μPD78P4916		μPD78P148
パッケージ		100ピン・プラスチックQFP（14×20mm）		100ピン・セラミックWQFN（14×20mm）

保守／廃止

〔メ　モ〕

保守／廃止

第2章　端子機能

2.1　端子機能一覧

2.1.1　通常動作モード

(1) ポート端子

端子名称	入出力	兼用端子	機　　能
P00-P07	入出力	リアルタイム出力ポート	8ビット入出力ポート（ポート0） ・1ビット単位で入力／出力の指定可能 ・ソフトウエア・プルアップ抵抗の接続の指定可能（P00-P07）
P40-P47	入出力	—	8ビット入出力ポート（ポート4） ・1ビット単位で入力／出力の指定可能 ・ソフトウエア・プルアップ抵抗の接続の指定可能（P40-P47）
P50-P57	入出力	—	8ビット入出力ポート（ポート5） ・1ビット単位で入力／出力の指定可能 ・ソフトウエア・プルアップ抵抗の接続の指定可能（P50-P57）
P60	入出力	STRB/CLO	8ビット入出力ポート（ポート6） ・1ビット単位で入力／出力の指定可能 ・ソフトウエア・プルアップ抵抗の接続の指定可能（P60-P67）
P61		$\overline{\text{SCK1}}$/BUZ	
P62		SO1	
P63		SI1	
P64		—	
P65		HWIN	
P66		PWM4	
P67		PWM5	
P70-P77	入力	ANI0-ANI7	8ビット入力ポート（ポート7）
P80	入出力	リアルタイム出力ポート	疑似V_{SYNC}出力対応 7ビット入出力ポート（ポート8） ・1ビット単位で入力／出力の指定可能 ・ソフトウエア・プルアップ抵抗の接続の指定可能（P80，P82-P87）
P82			HASW出力対応
P83			ROTC出力対応
P84		PWM2	
P85		PWM3	
P86		PTO10	
P87		PTO11	
P90		ENV	7ビット入出力ポート（ポート9） ・1ビット単位で入力／出力の指定可能 ・ソフトウエア・プルアップ抵抗の接続の指定可能（P90-P96）
P91-P95		KEY0-KEY4	
P96		—	

(2) ポート端子以外 (1/2)

端子名称	入出力	兼用端子	機　　能
REEL0IN	入力	INTP3	リールFG入力
REEL1IN		—	
DFGIN		—	ドラムFG, PFG入力（3値）
DPGIN		—	ドラムPG入力
CFGIN		—	キャプスタンFG入力
CSYNCIN		—	コンポジットSYNC入力
CFGCPIN		—	CFGコンパレータ入力
CFGAMPO	出力	—	CFGアンプ出力
PTO00	出力	—	スーパ・タイマ・ユニットのプログラマブル・タイマ出力
PTO01		—	
PTO02		—	
PTO10		P86	
PTO11		P87	
PWM0	出力	—	スーパ・タイマ・ユニットのPWM出力
PWM1		—	
PWM2		P84	
PWM3		P85	
PWM4		P66	
PWM5		P67	
HASW	出力	P82	ヘッド・アンプ・スイッチ信号出力
ROTC	出力	P83	クロマ・ローテーション信号出力
ENV	入力	P90	エンベロープ信号入力
SI1	入力	P63	シリアル・データ入力（シリアル・インタフェース・チャネル1）
SO1	出力	P62	シリアル・データ出力（シリアル・インタフェース・チャネル1）
$\overline{\text{SCK1}}$	入出力	P61/BUZ	シリアル・クロック入出力(シリアル・インタフェース・チャネル1)
SI2	入力	BUSY	シリアル・データ入力（シリアル・インタフェース・チャネル2）
SO2	出力	—	シリアル・データ出力（シリアル・インタフェース・チャネル2）
$\overline{\text{SCK2}}$	入出力	—	シリアル・クロック入出力(シリアル・インタフェース・チャネル2)
BUSY	入力	SI2	シリアル・ビジー信号入力(シリアル・インタフェース・チャネル2)
STRB	出力	P60/CLO	シリアル・ストローブ信号出力(シリアル・インタフェース・チャネル2)
ANI0-ANI7	アナログ入力	P70-P77	A/Dコンバータのアナログ信号入力
ANI8-ANI11		—	
CTLIN	—	—	CTLアンプ入力容量接続
CTLOUT1	出力	—	CTLアンプ出力
CTLOUT2	入出力	—	ロジック信号入力／CTLアンプ出力
RECCTL+, RECCTL−	入出力	—	RECCTL信号出力／PBCTL信号入力

保守／廃止

(2) ポート端子以外 (2/2)

端子名称	入出力	兼用端子	機　　能
CTLDLY	—	—	外部時定数接続（RECCTL再書き込み用）
VREFC	—	—	VREFアンプ用AC接地
NMI	入力	—	ノンマスカブル割り込み要求入力
INTP0-INTP2	入力	—	外部割り込み要求入力
INTP3	入力	REELOIN	
KEY0-KEY4	入力	P91-P95	キー入力信号入力
CLO	出力	P60/STRB	クロック出力
BUZ	出力	P61/$\overline{\text{SCK1}}$	ブザー出力
HWIN	入力	P65	ハードウエア時計カウンタの外部入力
$\overline{\text{RESET}}$	入力	—	リセット入力
X1	入力	—	メイン・システム・クロック発振用クリスタル接続
X2	—		
XT1	入力	—	サブシステム・クロック発振用クリスタル接続
XT2	—		時計用クロック発振用クリスタル接続
AV_{DD1}	—	—	アナログ・アンプ部分への正電源供給
AV_{DD2}	—	—	A/Dコンバータおよびアナログ回路入力バッファ部分への正電源供給
AV_{SS1}	—	—	アナログ・アンプ部分のGND電位
AV_{SS2}	—	—	A/Dコンバータおよびアナログ回路入力バッファ部分のGND電位
AV_{REF}	—	—	A/Dコンバータの基準電圧入力
V_{DD}	—	—	ディジタル部への正電源供給
V_{SS}	—	—	ディジタル部のGND電位
IC	—	—	内部接続されています。V_{SS}に直接接続してください。

保守／廃止

2.1.2 PROMプログラミング・モード（μPD78P4916のみ：IC/V_{PP}＝H，$\overline{RESET}$＝L）

端子名称	入出力	兼用端子	機　　能
A0-A7	入力	P40-P47	アドレス入力
A8		P50	
A9		INTP0	
A10-A15		P52-P57	
A16		P51	
D0-D7	入出力	P00-P07	データ入出力
$\overline{PGM}$	入力	P66/PWM4	プログラム・パルス入力
$\overline{CE}$		P65/HWIN	チップ・イネーブル入力
$\overline{OE}$		P64	アウトプット・イネーブル入力
IC/V_{PP}	—	—	プログラミング・モード設定／書き込み，ベリファイ時の高電圧印加
$\overline{RESET}$	入力	—	プログラミング・モード設定
V_{DD}	—		正電源
V_{SS}			GND

保守／廃止

2.2　端子機能説明

2.2.1　通常動作モード

(1) P00-P07（Port 0）…入出力

8ビット入出力ポートです。また，汎用入出力ポートのほかに，リアルタイム出力ポートとして機能します。

ポート0は，リアルタイム出力ポート・コントロール・レジスタ（RTPC）により，次のような動作モードに指定できます（**第5章　ポート機能参照**）。

(a) ポート・モード

出力ラッチ付き8ビット入出力ポートとして機能します。

ポート0モード・レジスタ（PM0）により，1ビット単位で入力／出力を指定することができます。

また，ソフトウエア・プルアップ抵抗が内蔵されています。プルアップ抵抗を使用するかどうかの指定は，プルアップ抵抗オプション・レジスタL（PUOL）のビット0で行います。

ポート0では，8ビット単位でソフトウエア・プルアップ抵抗の接続を指定できます（入力に指定されたポートのみ）。

(b) コントロール・モード

リアルタイム出力ポートとして機能します。

P00-P03，P04-P07は，それぞれ4ビットまたは8ビットのリアルタイム出力ポートとして，バッファ・レジスタ（POL，POH）の内容を任意インターバル時間で出力します。

注意　$\overline{\text{RESET}}$入力により，ポート0は全ビット入力ポート（出力ハイ・インピーダンス）となり，出力ラッチの内容は不定になります。

(2) P40-P47（Port 4）…入出力

出力ラッチ付き8ビット入出力ポートです。

ポート4モード・レジスタ（PM4）により，1ビット単位で入力／出力を指定することができます。

また，ソフトウエア・プルアップ抵抗が内蔵されています。プルアップ抵抗を使用するかどうかの指定は，プルアップ抵抗オプション・レジスタL（PUOL）のビット4で行います。

ポート4では，8ビット単位でソフトウエア・プルアップ抵抗の接続を指定できます（入力に指定されたポートのみ）。

注意　$\overline{\text{RESET}}$入力により，ポート4は全ビット入力ポート（出力ハイ・インピーダンス）となり，

出力ラッチの内容は不定になります。

(3) P50-P57（Port 5）…入出力

出力ラッチ付き8ビット入出力ポートです。

ポート5モード・レジスタ（PM5）により，1ビット単位で入力／出力を指定することができます。

また，ソフトウエア・プルアップ抵抗が内蔵されています。プルアップ抵抗を使用するかどうかの指定は，プルアップ抵抗オプション・レジスタL（PUOL）のビット5で行います。

ポート5では，8ビット単位でソフトウエア・プルアップ抵抗の接続を指定できます（入力に指定されたポートのみ）。

注意　$\overline{\text{RESET}}$入力により，ポート5は全ビット入力ポート（出力ハイ・インピーダンス）となり，出力ラッチの内容は不定になります。

(4) P60-P67（Port 6）…入出力

8ビット入出力ポートです。また，汎用入出力ポートのほかに，各種コントロール端子として機能します。

各端子の動作モードは，ポート6モード・コントロール・レジスタ（PMC6）により，表2-1のように1ビット単位で指定できます（**第5章　ポート機能**参照）。

表2-1　ポート6のモード指定（n=0-7）

PMC6n / P6n	PMC6n=0	PMC6n=1
	ポート・モード	コントロール信号入出力モード
P60	入出力ポート／CLO出力	STRB出力
P61	入出力ポート／BUZ出力	$\overline{\text{SCK1}}$
P62	入出力ポート	SO1
P63	入出力ポート	SI1
P64	入出力ポート	—
P65	入出力ポート	HWIN入力
P66	入出力ポート	PWM4出力
P67	入出力ポート	PWM5出力

(a) ポート・モード

出力ラッチ付き8ビット入出力ポートとして機能します。

ポート6モード・レジスタ（PM6）により，1ビット単位で入力／出力を指定することができます。

保守／廃止

また，ソフトウエア・プルアップ抵抗が内蔵されています。プルアップ抵抗を使用するかどうかの指定は，プルアップ抵抗オプション・レジスタL（PUOL）のビット6で行います。

ポート6では，8ビット単位でソフトウエア・プルアップ抵抗の接続を指定できます（入力に指定されたポートのみ）。

次に，ポート・モードで使用するコントロール信号を示します。
（出力に設定し，出力ラッチに“0”を書くこと）

① **CLO**

外付けの周辺LSIやマイコンにクロックを供給するクロック出力端子として機能します。クロック出力モード・レジスタ（CLOM）で動作指定を行います。

② **BUZ**

P61の出力レベルがロウ・レベルのときに，ブザー出力を重畳します。時計モード・レジスタ（WM）で動作指定を行います。

(b) コントロール・モード

次に示す各種コントロール端子として機能します。

① **STRB**

シリアル・インタフェース・チャネル2のストローブ信号出力端子です。シリアル・コントロール・レジスタ2（CSIC2）で動作指定を行います。

② **$\overline{\text{SCK1}}$，SI1**

シリアル・インタフェース・チャネル1のシリアル・クロック入出力端子とシリアル・データ入力端子です。

ソフトウエア・プルアップ抵抗が内蔵されています。プルアップ抵抗を使用するかどうかの指定は，プルアップ抵抗オプション・レジスタH（PUOH）のビット2で行います。

③ **SO1**

シリアル・インタフェース・チャネル1のシリアル・データ出力端子です。

④ **HWIN**

ハードウエア時計カウンタの外部入力端子です。

⑤ **PWM4**

スーパ・タイマ・ユニットからの8ビットPWMパルス出力端子です。

保守／廃止

⑥ **PWM5**

スーパ・タイマ・ユニットからの16ビットPWMパルス出力端子です。

注意　$\overline{\text{RESET}}$入力により，ポート6は全ビット入力ポート（出力ハイ・インピーダンス）となり，出力ラッチの内容は不定になります。

(5) P70-P77（Port 7）…入力

8ビット入力ポートです。また，汎用入力ポートのほかに，A/Dコンバータ入力端子として機能します。

P70-P77は，常時アナログ入力モードとして使用できます。

(a) ポート・モード

8ビット入力ポートとして機能します。

注意　Port 7には，ソフトウエア・プルアップ抵抗が内蔵されていません。

(b) コントロール・モード

A/Dコンバータのアナログ信号入力端子（ANI0-ANI7）として機能します。

(6) P80，P82-P87（Port8）…入出力

7ビット入出力ポートです。また，汎用入出力ポートのほかに，各種コントロール端子として機能します。

各端子の動作モードは，ポート8モード・コントロール・レジスタ（PMC8）により，表2-2のようにビット単位で指定できます（**第5章　ポート機能**参照）。

表2-2　ポート8のモード指定（n=0，2-7）

PMC8n / P8n	PMC8n=0	PMC8n=1	
	ポート・モード	コントロール信号出力モード	
P80	入出力ポート	リアルタイム出力ポート	疑似V_{SYNC}出力対応
P82	入出力ポート		HASW出力対応
P83	入出力ポート		ROTC出力対応
P84	入出力ポート	PWM2出力	
P85	入出力ポート	PWM3出力	
P86	入出力ポート	PTO10出力	
P87	入出力ポート	PTO11出力	

保守／廃止

(a) ポート・モード

出力ラッチ付き7ビット入出力ポートとして機能します。

ポート8モード・レジスタ（PM8）により，1ビット単位で入力／出力を指定することができます。

また，ソフトウエア・プルアップ抵抗が内蔵されています。プルアップ抵抗を使用するかどうかの指定は，プルアップ抵抗オプション・レジスタH（PUOH）のビット0で行います。

ポート8では，7ビット単位でソフトウエア・プルアップ抵抗の接続を指定できます（入力に指定されたポートのみ）。

(b) コントロール・モード

次に示す各種コントロール端子として機能します。

① リアルタイム出力ポート

P80は疑似V_{SYNC}出力，P82はHASW出力，P83はROTC出力として機能します。

② PWM2，PWM3

スーパ・タイマ・ユニットからの8ビットPWMパルス出力端子です。

③ PTO10，PTO11

スーパ・タイマ・ユニットのプログラマブル・タイマ出力端子です。

注意　$\overline{\text{RESET}}$入力により，ポート8は全ビット入力ポート（出力ハイ・インピーダンス）となり，出力ラッチの内容は不定になります。

(7) P90-P96（Port 9）…入出力

7ビット入出力ポートです。また，汎用入出力ポートのほかに，各種コントロール入力端子として機能します。

各種コントロール入力端子として使用の場合は，入力ポートに設定してください。

表2-3　ポート9の兼用端子

ポート9	兼用端子	ポート9	兼用端子
P90	ENV入力	P94	KEY3入力
P91	KEY0入力	P95	KEY4入力
P92	KEY1入力	P96	—
P93	KEY2入力	—	—

保守／廃止

(a) ポート・モード

出力ラッチ付き7ビット入出力ポートとして機能します。

ポート9モード・レジスタ（PM9）により，1ビット単位で入力／出力を指定することができます。

また，ソフトウエア・プルアップ抵抗が内蔵されています。プルアップ抵抗を使用するかどうかの指定は，プルアップ抵抗オプション・レジスタH（PUOH）のビット1で行います。

ポート9では，7ビット単位でソフトウエア・プルアップ抵抗の接続を指定できます（入力に指定されたポートのみ）。

(b) コントロール・モード

次に示す各種コントロール端子として機能します。

① ENV

HASW/ROT-C作成用エンベロープ信号入力端子です。ヘッド・アンプ・スイッチ出力コントロール・レジスタ（HAPC）で動作指定します。

② KEY0-KEY4

キー割り込み入力端子です。キー割り込みコントロール・レジスタ（KEYC）で動作指定します。

(8) NMI…入力

外部ノンマスカブル割り込み要求入力端子です。外部割り込みモード・レジスタ（INTM0）により，立ち上がりエッジ，立ち下がりエッジの二通りが選択できます。

STOPモード，HALTモードの解除ができます。

(9) INTP0…入力

外部割り込み要求入力端子です。外部割り込みモード・レジスタ（INTM0）により，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジ検出，選択エッジなしの四通りが選択できます。

INTP0入力端子には，ソフトウエア・プルアップ抵抗は内蔵していません。

HALTモードの解除ができます。

(10) INTP1，INTP2…入力

外部割り込み要求入力端子です。外部割り込みモード・レジスタ（INTM0）により，立ち上がりエッジ，立ち下がりエッジ，立ち上がり／立ち下がり両エッジ検出，選択エッジなしの四通りが選択できます。

HALTモードの解除ができます。

保守／廃止

また，INTP1，INTP2入力によりNMIを起動すると（KEYCレジスタのビット4で設定），STOPモードの解除もできます。

ソフトウエア・プルアップ抵抗が内蔵されています。プルアップ抵抗を使用するかどうかの指定は，プルアップ抵抗オプション・レジスタL（PUOL）のビット2で行います。

(11) INTP3…入力

外部割り込み要求入力端子です。外部キャプチャ・モード・レジスタ（INTM2）により，INTP3割り込みの発生ソースを選択できます。

HALTモードの解除ができます。

(12) REEL0IN，REEL1IN…入力

リールFGパルス入力端子です。μPD784915内部のアナログ回路によって，REEL0信号，REEL1信号を生成します。また，アンプ・コントロール・レジスタ（AMPC）の設定により，外部で整形された波形を入力させることもできます。

(13) DPGIN…入力

ドラムPGパルス入力端子です。μPD784915内部のアナログ回路によって，DPG信号を生成します。また，アンプ・コントロール・レジスタ（AMPC）の設定により，外部で整形された波形を入力させることもできます。

(14) CSYNCIN…入力

$COMP_{SYNC}$信号入力端子です。μPD784915内部のアナログ回路によって，CSYNC信号を生成します。また，アンプ・コントロール・レジスタ（AMPC）の設定により，外部で整形された波形を入力させることもできます。

(15) DFGIN…入力

ドラムFGパルス入力端子です。μPD784915内部のアナログ回路によって，DFG信号を生成します。また，アンプ・コントロール・レジスタ（AMPC）の設定により，外部で整形された波形を入力させることもできます。

(16) CFGIN…入力

キャプスタンFGパルス入力端子です。アンプ・コントロール・レジスタ（AMPC）の設定により，外部で整形された波形を入力させることができます。

(17) CFGAMPO…出力

CFGアンプ出力端子です。

(18) CFGCPIN…入力

CFGコンパレータ入力端子です。

(19) PWM0，PWM1…出力

スーパ・タイマ・ユニットからの16ビットPWMパルス出力端子です。

(20) PTO00，PTO01，PTO02…出力

スーパ・タイマ・ユニットのプログラマブル・タイマ出力端子です。

(21) $\overline{\text{SCK2}}$，SI2…入出力，入力

シリアル・インタフェース・チャネル2のシリアル・クロック入出力端子とシリアル・データ入力端子です。

ソフトウエア・プルアップ抵抗が内蔵されています。プルアップ抵抗を使用するかどうかの指定は，プルアップ抵抗オプション・レジスタL（PUOL）のビット3で行います。

(22) BUSY…入力

シリアル・インタフェース・チャネル2のビジィ信号入力端子です。シリアル・コントロール・レジスタ2（CSIC2）で動作指定を行います。

(23) SO2…出力

シリアル・インタフェース・チャネル2のシリアル・データ出力端子です。

(24) ANI8-ANI11…入力

A/Dコンバータのアナログ信号入力端子です。

(25) RECCTL+，RECCTL−…入出力

RECCTL出力/PBCTL入力端子です。

(26) CTLDLY

GNDとの間にコンデンサを接続し，RECCTL書き込み回路の再書き込みモードの時定数を設定します。

(27) CTLIN

CTLアンプ入力容量接続端子です。

(28) CTLOUT1…出力

CTLアンプ出力端子です。

保守／廃止

(29) **CTLOUT2…入出力**

ロジック信号入力／CTLアンプ出力端子です。

(30) **VREFC**

レファレンス・アンプのAC接地用端子です。

(31) **$\overline{\text{RESET}}$…入力**

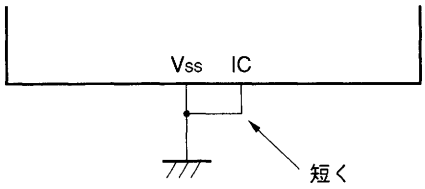
ロウ・レベル・アクティブのリセット端子です。

(32) **IC**

IC（Internally Connected）端子は，当社出荷時にμPD784915を検査するテスト・モードに設定するための端子です。通常動作時には，IC端子をV_{SS}端子に直接接続し，その配線長を極力短くしてください。

IC端子とV_{SS}端子間の配線の引き回しが長い場合や，IC端子に外来ノイズが加わった場合などでIC端子とV_{SS}端子間に電位差が生じたときは，お客様のプログラムが正常に動作しないことがあります。

○IC端子をV_{SS}端子に直接接続してください。



(33) **X1，X2**

システム・クロック発振用のクリスタル接続端子です。

(34) **XT1，XT2**

サブシステム・クロックおよび時計用クロック発振用のクリスタル接続端子です。

(35) **AV_{REF}**

アナログ部分への基準電圧供給端子です。

保守／廃止

(36) AV_{DD1}

アナログ・アンプ部分への正電源供給端子です。

(37) AV_{DD2}

A/Dコンバータおよびアナログ回路入力バッファ部分への正電源供給端子です。

(38) AV_{SS1}

アナログ・アンプ部分のGND電位端子です。

(39) AV_{SS2}

A/Dコンバータおよびアナログ回路入力バッファ部分のGND電位端子です。

(40) V_{DD}

ディジタル部分への正電源供給端子です。

注意　V_{DD}, AV_{DD1}, AV_{DD2}の各電源供給端子間の電位差は以下のような条件のもとで使用してください。

$$|V_{DD}-AV_{DD1}| \leqq 0.5\ V$$
$$|V_{DD}-AV_{DD2}| \leqq 0.5\ V$$
$$|AV_{DD1}-AV_{DD2}| \leqq 0.5\ V$$

(41) V_{SS}

ディジタル部分のGND電位端子です。

保守／廃止

2.2.2 PROMプログラミング・モード（μPD78P4916のみ）

(1) A0-A16…入力

アドレス・バスです。内部PROMのアドレス（0000H-F7FFH）を選択します。

(2) D0-D7…入出力

データ・バスです。このバスを介して，内部PROMのプログラムを書き込み／読み出します。

(3) $\overline{\text{PGM}}$…入力

プログラム・パルス入力端子です。V_{PP}＝12.5 V，$\overline{\text{CE}}$＝0，$\overline{\text{OE}}$＝1のときにこの信号をアクティブにすると，D0-D7上のプログラムをA0-A16で選択されている内部PROMセル内へ書き込めます。

(4) $\overline{\text{CE}}$…入力

チップ・イネーブル信号入力端子です。この信号がアクティブのとき，プログラムの書き込み／読み出しが可能となります。

(5) $\overline{\text{OE}}$…入力

アウトプット・イネーブル信号入力端子です。内部PROMへのリード・ストローブ信号を入力します。$\overline{\text{CE}}$＝0のときにこの信号をアクティブにすると，A0-A16で選択されている内部PROMセル内のプログラム（1バイト）をD0-D7上に読み出せます。

(6) IC/V_{PP}…入力

プログラム・パルス入力端子です。V_{PP}＝12.5 V，$\overline{\text{CE}}$＝0，$\overline{\text{OE}}$＝1のときにこの信号をアクティブにすると，D0-D7上のプログラムをA0-A16で選択されている内部PROMセル内へ書き込めます。

(7) $\overline{\text{RESET}}$…入力

PROMプログラミング・モード設定端子です。PROMプログラミング時は，$\overline{\text{RESET}}$＝0にしてください。

(8) V_{DD}

正電源供給端子です。

(9) V_{SS}

GND電位端子です。

保守／廃止

2.3　入出力回路と未使用端子の処理

表2-4に各端子の入出力回路タイプと未使用時の処理方法を示します。また，図2-1は各タイプの回路です。

表2-4　各端子の入出力回路タイプと未使用時の処理方法（1/2）

端　　子	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P07	5-A	入出力	入力時：V_{DD}に接続してください。 出力時：オープン
P40-P47			
P50-P57			
P60/STRB/CLO			
P61/$\overline{\text{SCK1}}$/BUZ	8-A		
P62/SO1	5-A		
P63/SI1	8-A		
P64	5-A		
P65/HWIN	8-A		
P66/PWM4	5-A		
P67/PWM5			
P70/ANI0-P77/ANI7	9	入力	V_{SS}に接続してください。
P80	5-A	入出力	入力時：V_{DD}に接続してください。 出力時：オープン
P82/HASW			
P83/ROTC			
P84/PWM2			
P85/PWM3			
P86/PTO10			
P87/PTO11			
P90/ENV			
P91/KEY0-P95/KEY4	8-A		
P96	5-A		
SI2/BUSY	2-A	入力	V_{DD}に接続してください。
SO2	4	出力	Hi-Z時：プルダウン抵抗を介して，V_{SS}に接続してください。 上記以外：オープン
$\overline{\text{SCK2}}$	8-A	入出力	入力時：V_{DD}に接続してください。 出力時：オープン
ANI8-ANI11	7	入力	V_{SS}に接続してください。

備考　ENCTL：アンプ・コントロール・レジスタ（AMPC）のビット1

ENREC：アンプ・モード・レジスタ0（AMPM0）のビット7

保守／廃止

表2-4　各端子の入出力回路タイプと未使用時の処理方法（2/2）

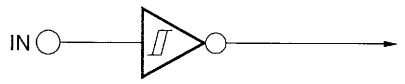
端　　子	入出力回路タイプ	入出力	未使用時の推奨接続方法
RECCTL+，RECCTL−	—	入出力	ENCTL=0かつENREC=0の場合：V_{SS}に接続してください。
DFGIN	—	入力	ENDRUM=0の場合：V_{SS}に接続してください。
DPGIN			ENDRUM=0，またはENDRUM=1かつSELPGSEPA=0の場合：V_{SS}に接続してください。
CFGIN，CFGCPIN			ENCAP=0の場合：V_{SS}に接続してください。
CSYNCIN			ENCSYN=0の場合：V_{SS}に接続してください。
REEL0IN/INTP3，REEL1IN			ENREEL=0の場合：V_{SS}に接続してください。
CTLOUT1	—	出力	オープン
CTLOUT2	—	入出力	ENCTL=0かつENCOMP=0の場合：V_{SS}に接続してください。 ENCTL=1の場合：オープン
CFGAMPO	—	出力	オープン
CTLIN	—	—	ENCTL=0の場合：オープン
VREFC			ENCTL=0かつENCAP=0かつENCOMP=0の場合：オープン
CTLDLY			オープン
PWM0，PWM1	3	出力	オープン
PTO00-PTO02			
NMI	2	入力	V_{DD}に接続してください。
INTP0			V_{DD}またはV_{SS}に接続してください。
INTP1，INTP2	2-A	入力	V_{DD}に接続してください。
AV_{DD1}，AV_{DD2}	—	—	V_{DD}に接続してください。
AV_{REF}，AV_{SS1}，AV_{SS2}			V_{SS}に接続してください。
$\overline{RESET}$	2	—	—
XT1	—	—	V_{SS}に接続してください。
XT2			オープン
IC			V_{SS}に直接接続してください。

備考　ENDRUM　：アンプ・コントロール・レジスタ（AMPC）のビット2
SELPGSEPA：アンプ・モード・レジスタ0（AMPM0）のビット2
ENCAP　：アンプ・コントロール・レジスタ（AMPC）のビット3
ENCSYN　：アンプ・コントロール・レジスタ（AMPC）のビット5
ENREEL　：アンプ・コントロール・レジスタ（AMPC）のビット6
ENCTL　：アンプ・コントロール・レジスタ（AMPC）のビット1
ENCOMP　：アンプ・コントロール・レジスタ（AMPC）のビット4

保守／廃止

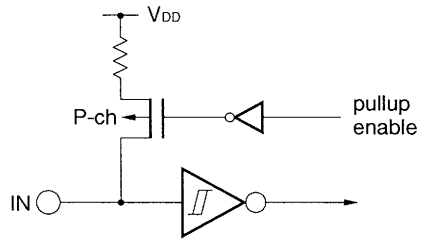
図2-1　端子の入出力回路一覧（1/2）

タイプ2



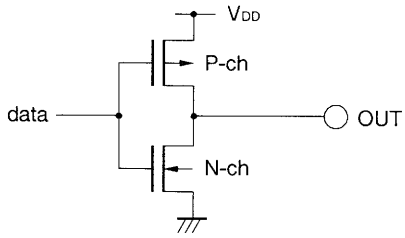
ヒステリシス特性を有するシュミット・トリガ入力となっています。

タイプ2-A

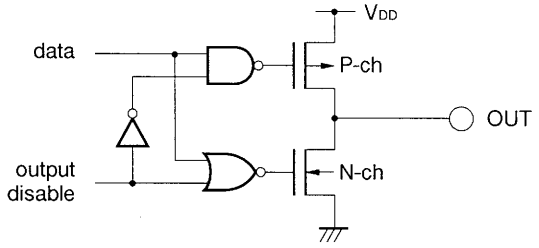


ヒステリシス特性を有するシュミット・トリガ入力となっています。

タイプ3

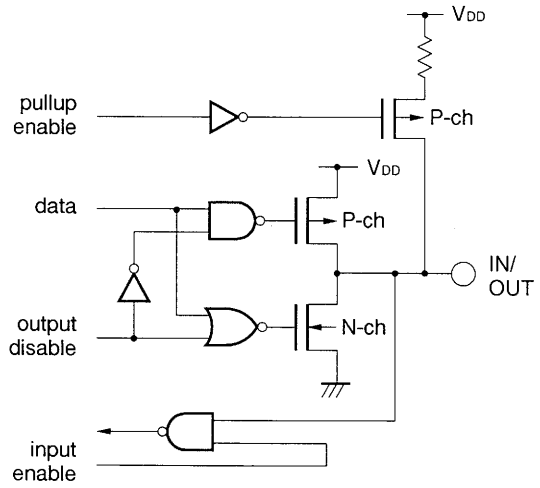


タイプ4

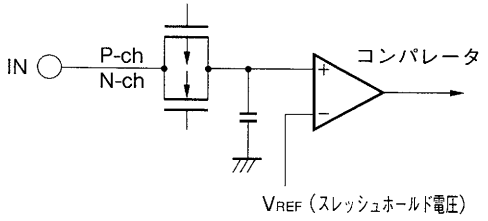


出力をハイ・インピーダンス（P-ch，N-chともにオフ）できるプッシュプル出力です。

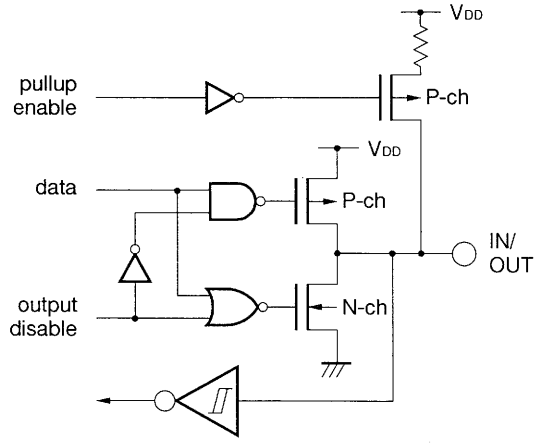
タイプ5-A



タイプ7

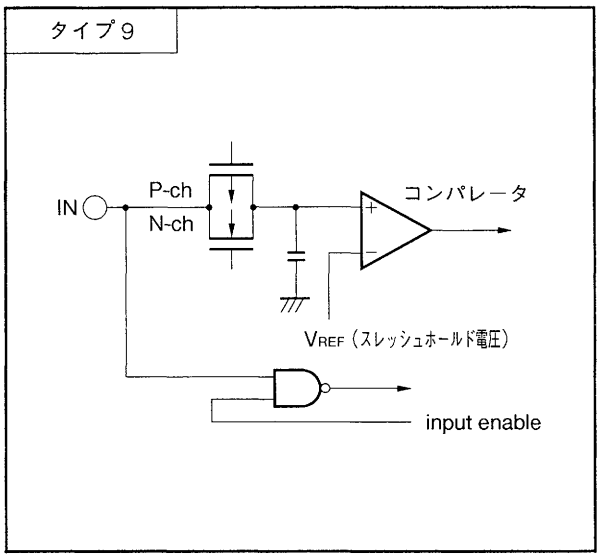


タイプ8-A



保守／廃止

図２－１　端子の入出力回路一覧（2/2）



保守／廃止

〔メ　モ〕

保守／廃止

第３章　CPU機能

3.1　メモリ空間

μPD784915は，64Kバイトのメモリ空間をアクセスできます。

内部ROM領域，内部データ領域を表３－１に示します。

表３－１　μPD784915サブシリーズのメモリ空間

製　品	内部ROM領域	内部データ領域
μPD784915 μPD784915A	0000H-BFFFH	FA00H-FFFFH
★ μPD784916A	0000H-F7FFH	FA00H-FFFFH
μPD78P4916	0000H-F6FFH	F700H-FFFFH

注意　78K/IVシリーズとしては，LOCATION命令でアドレス拡張モードを設定することにより１Mバイト空間までアクセスできる製品もありますが，μPD784915のメモリ空間は64Kバイト（0000H-FFFFH）です。したがって，LOCATION 0命令をリセット直後に必ず実行して，メモリ空間を64Kバイトに設定するようにしてください（LOCATION命令は２回以上使用することはできません）。

リセット解除後のプログラムは，例のようになっている必要があります。

例
```
RSTVCT   CSEG     AT 0
         DW       RSTSTRT
           ∫
INITSEG  CSEG     BASE
RSTSTRT : LOCATION 0H
         MOVG     SP, #STKBGN
         MOV      STBC, #00H
         MOV      MM, #10000000B注
```

注　μPD784915は，$\overline{\text{RESET}}$解除後，命令実行速度が低速モードになっているので，実行速度選択レジスタ（MM：図３－１参照）を通常モードに設定してください。
MMレジスタには80H以外の値を設定しないでください。

★　注意　IE-784000-Rとデバイスではリセット・スタート時の動作に違いがありますので，あらかじめプログラムでの対策が必要になります。

IE-784000-Rでは，リセット・スタート時にSTBCレジスタが“30H”にセットされ最低速が選択されます。デバイスではSTBCレジスタは“00H”にセットされ，内部システム・クロックは$f_{XX}/2$の最高速の内部クロックが選択されます。そこで対策としてあらかじめプログラムの初期設定で，STBCレジスタに“00H”を設定し最高速の内部クロックに指定してください。

● リセット解除後の初期設定プログラム例

```
RSTVCT    CSEG     AT  0
          DW       RESTRT
RESTRT : LOCATION  0H            ;                          13クロック
         MOVG      SP, #STKBGN ; スタック・ポインタ設定      5クロック
         MOV       STBC, #00H  ; STBCレジスタ設定（実行速度を高速に設定）
                                ;                          13クロック
         MOV       MM, #80H    ;
```

なお，STBCレジスタが設定されるまでの動作時間は，IE-784000-Rとデバイスでは異なります。上記プログラム例の場合，以下のようになります。

IE-784000-R	31クロック	約31.1 μs（f_{XX}/8 MHz）
μPD784915	31クロック	約3.9 μs

図3-1　実行速度選択レジスタ（MM）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MM	IFCH	0	1	0	0	0	0	0	FFC4H	20H	W

IFCH	命令実行速度の選択
0	低速モード
1	通常モード

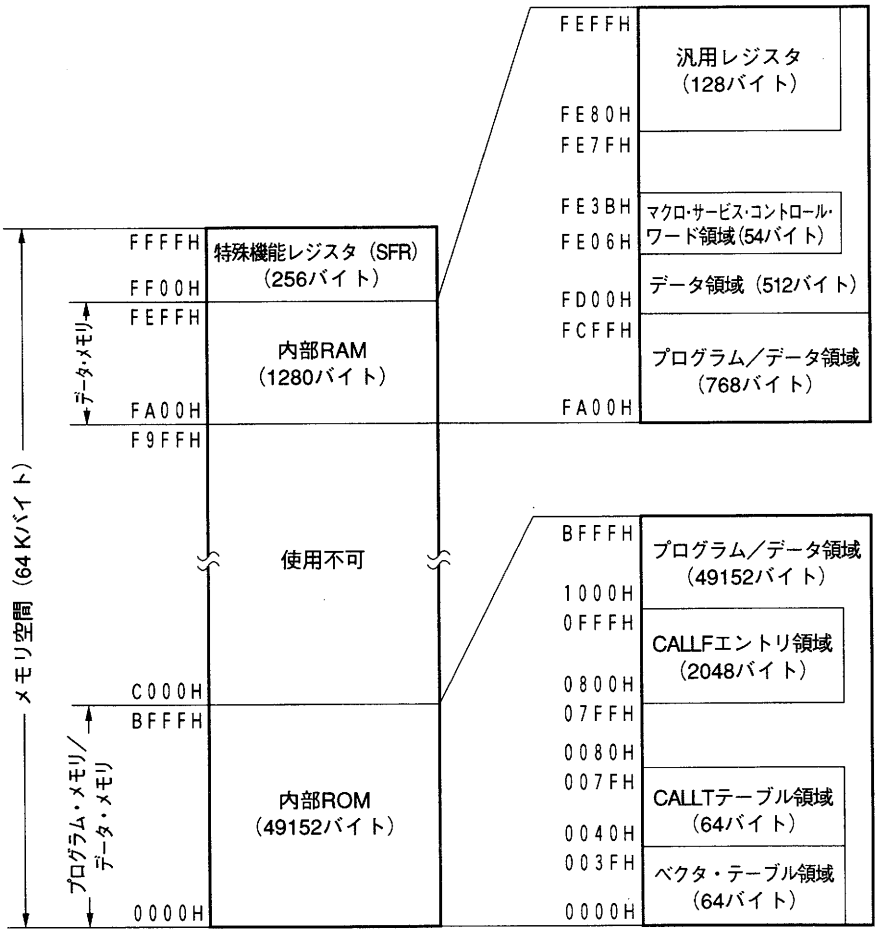
保守／廃止

3.2　内部ROM領域

μPD784915は，ROMを内蔵しており，プログラムやテーブル・データなどを格納できます。

製　品	アドレス空間	内部ROM
μPD784915 μPD784915A	0000H-BFFFH	49152バイト
★ μPD784916A	0000H-F7FFH	63488バイト
μPD78P4916	0000H-F6FFH	63232バイト

図3-2　μPD784915，784915Aのメモリ・マップ



★ 図３－３　μPD784916Aのメモリ・マップ

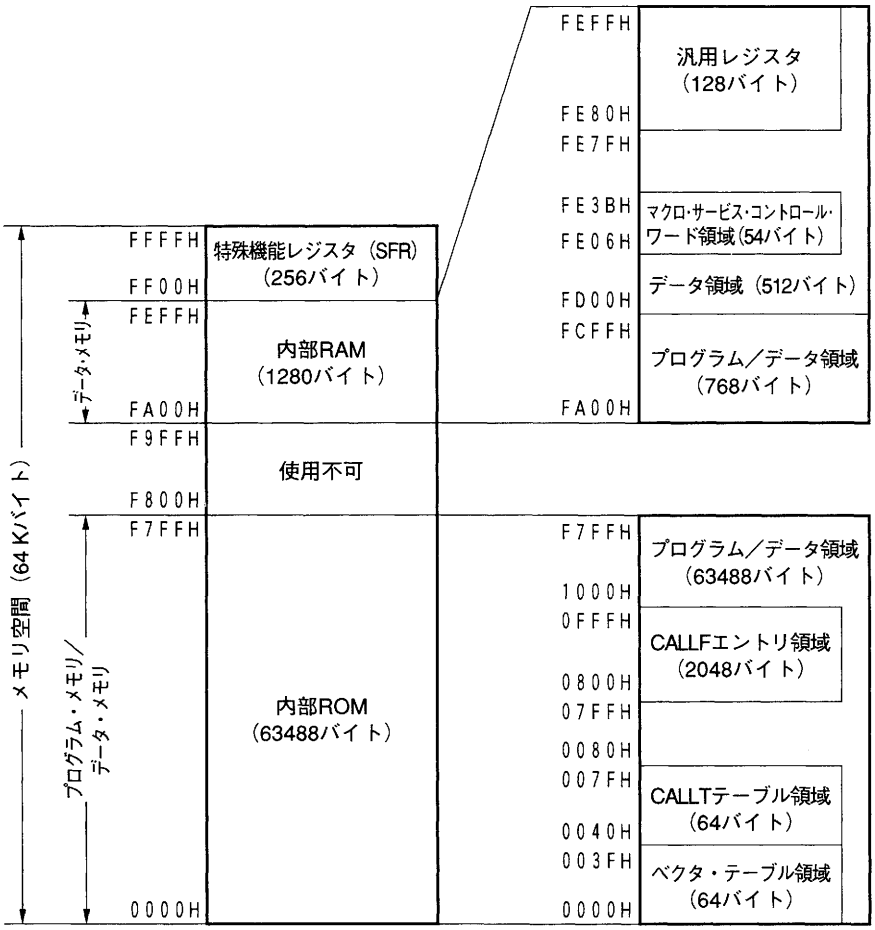
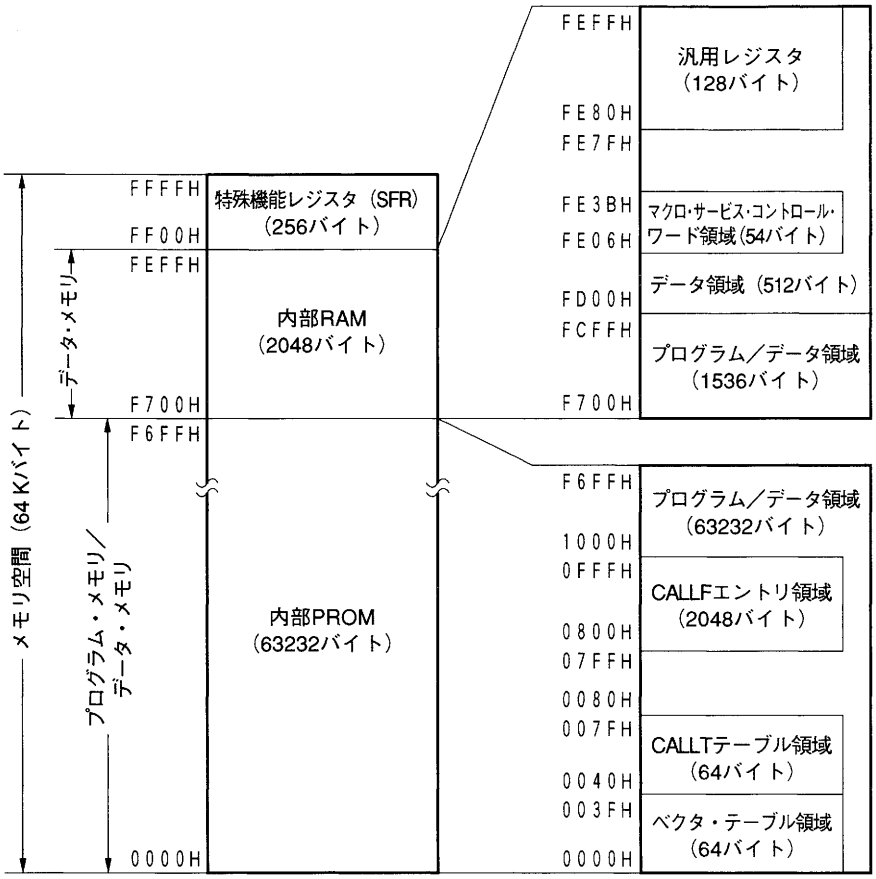


図３－４　μPD78P4916のメモリ・マップ



★　注意　内部メモリ容量選択レジスタ（IMS）の設定で，μPD78P4916を指定した場合，ROM容量がマスク品と異なります。

保守／廃止

3.2.1　ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，$\overline{\text{RESET}}$入力，各割り込み要求発生により分岐する場合のプログラム・スタート・アドレスを格納しておきます。また，各割り込みでコンテキスト・スイッチングを使用する場合に，切り替え先のレジスタ・バンクの番号を格納します。

なお，ベクタ・テーブルとして使用していない部分は，プログラム・メモリまたはデータ・メモリとして使用できます。

ベクタ・テーブルに書ける値は，16ビットの値です。

表3-2　ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	リセット	0020H	INTTB
0002H	NMI	0022H	INTAD
0004H	—	0024H	INTP2/INTCR40
0006H	INTP0	0026H	INTUDC
0008H	INTCPT3	0028H	INTCR30
000AH	INTCPT2	002AH	INTCR50
000CH	INTCR12	002CH	INTCR13
000EH	INTCR00	002EH	INTCSI1
0010H	INTCLR1	0030H	INTW
0012H	INTCR10	0032H	—
0014H	INTCR01	0034H	INTP1
0016H	INTCR02	0036H	INTP3
0018H	INTCR11	0038H	—
001AH	INTCPT1	003AH	INTCSI2
001CH	INTCR20	003CH	オペランド・エラー
001EH	—	003EH	BRK命令

保守／廃止

3.2.2　CALLT命令テーブル領域

0040H-007FHの64バイトの領域には，1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

CALLT命令では，このテーブルを参照し，テーブル中に書かれているベース領域のアドレスへサブルーチンとして分岐します。CALLT命令は1バイトであるため，プログラム中で記述回数の多いサブルーチン・コールをCALLT命令とすることで，プログラムのオブジェクト・サイズを圧縮することが可能です。なお，テーブルには最大32個のサブルーチン・エントリ・アドレスを記述できますので，記述頻度の多い順に登録することをお勧めします。

また，CALLT命令のテーブルとして使用しない場合は，通常のプログラム・メモリまたはデータ・メモリとして使用可能です。

3.2.3　CALLF命令エントリ領域

0800H-0FFFHの領域は，2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

CALLF命令は，2バイトのコール命令であるため，直接サブルーチン・コールのCALL命令（3バイト）を使用した場合に比べ，オブジェクト・サイズを圧縮することが可能です。

高速性を生かしたいときには，この領域に直接サブルーチンを記述することが有効です。

オブジェクト・サイズを小さくしたい場合には，この領域に無条件分岐（BR）命令を記述し，サブルーチン本体はこの領域外に置くことで，5カ所以上からコールされているサブルーチンについて，オブジェクト・サイズの圧縮が図れます。この場合，CALLFエントリ領域中ではBR命令の4バイトしか場所をとらないため，多くのサブルーチンでオブジェクト・サイズの圧縮が可能です。

3.3　内部データ領域

内部データ領域は，内部RAM領域，特殊機能レジスタ領域で構成される領域です（図3-2，3-3，3-4参照）。

内部データ領域は，**LOCATION 0**命令によって，内部データ領域の最終アドレスを**FFFFH**に設定してください。この**LOCATION**命令は，リセット解除直後に必ず**1**回実行する必要があり，**2**回以上使用することはできません。リセット解除後のプログラムは，例のようになっている必要があります。

例
```
RSTVCT   CSEG      AT 0
         DW        RSTSTRT
           ∫
INITSEG  CSEG      BASE
RSTSTRT : LOCATION 0H
         MOVG      SP, #STKBGN
         MOV       STBC, #00H
         MOV       MM, #10000000B注
```

注　μPD784915は，$\overline{\text{RESET}}$解除後，命令実行速度が低速モードになっているので，実行速度選択レジスタ（MM）を通常モードに設定してください。

★　**注意　IE-784000-Rとデバイスではリセット・スタート時の動作に違いがありますので，あらかじめプログラムでの対策が必要になります。**

IE-784000-Rでは，リセット・スタート時にSTBCレジスタが“30H”にセットされ最低速が選択されます。デバイスではSTBCレジスタは“00H”にセットされ，内部システム・クロックは$f_{XX}/2$の最高速の内部クロックが選択されます。そこで対策としてあらかじめプログラムの初期設定で，STBCレジスタに“00H”を設定し最高速の内部クロックに指定してください。

●リセット解除後の初期設定プログラム例

```
RSTVCT    CSEG     AT  0
          DW       RESTRT
RESTRT : LOCATION  0H          ;                          13クロック
         MOVG     SP, #STKBGN ; スタック・ポインタ設定     5クロック
         MOV      STBC, #00H  ; STBCレジスタ設定（実行速度を高速に設定）
                              ;                          13クロック
         MOV      MM, #80H    ;
```

保守／廃止

なお，STBCレジスタが設定されるまでの動作時間は，IE-784000-Rとデバイスでは異なります。上記プログラム例の場合，以下のようになります。

IE-784000-R	31クロック	約31.1 μs（f_{XX}/8 MHz）
μPD784915	31クロック	約3.9 μs

3.3.1　内部RAM領域

μPD784915は，汎用スタティックRAMを内蔵しています。

この領域は，次のように構成されています。

- ●内部RAM領域
  - 周辺RAM（PRAM）
  - 内部高速RAM（IRAM）

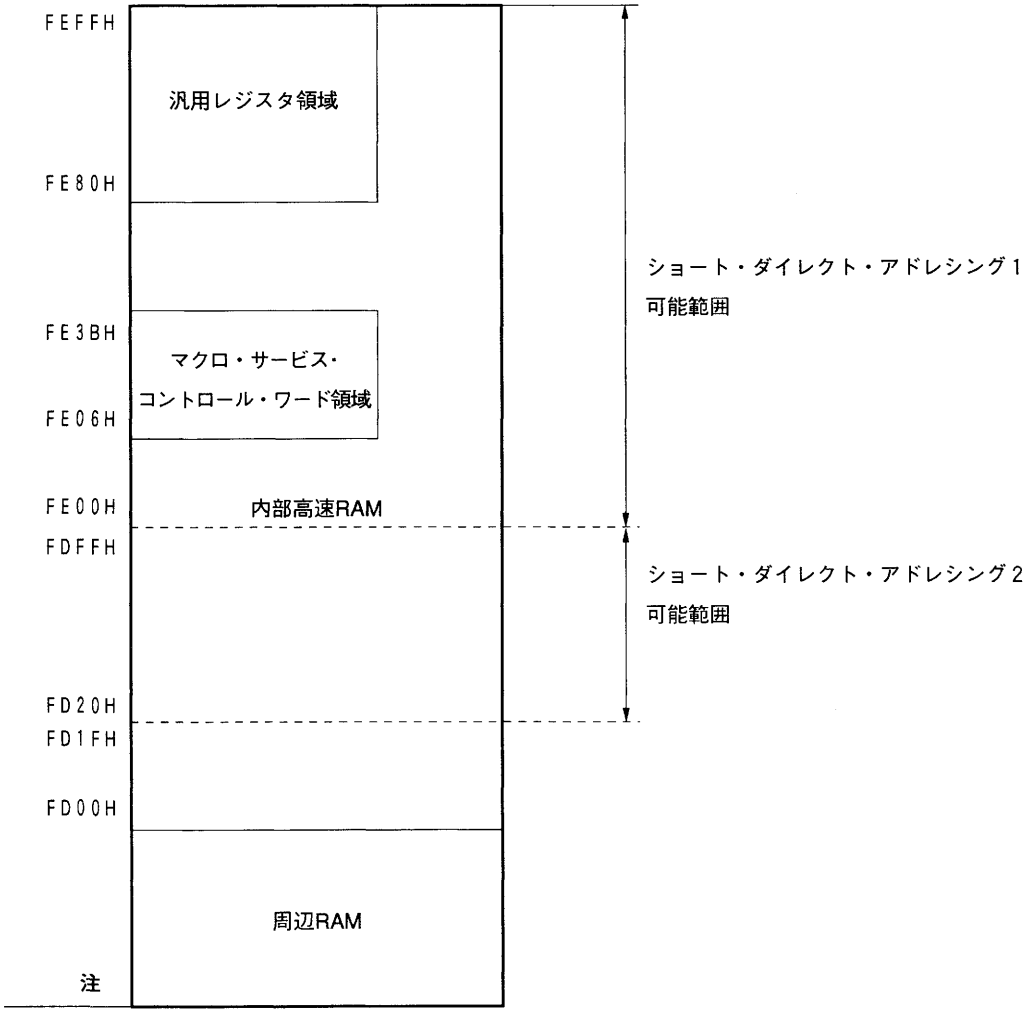
表3-3　μPD784915サブシリーズ製品別内部RAM領域一覧

内部RAM ＼ 品名	内部RAM領域	周辺RAM：PRAM	内部高速RAM：IRAM
μPD784915 μPD784915A μPD784916A	1280バイト （FA00H-FEFFH）	768バイト （FA00H-FCFFH）	512バイト （FD00H-FEFFH）
μPD78P4916	2048バイト （F700H-FEFFH）	1536バイト （F700H-FCFFH）	

保守／廃止

内部RAMのメモリ・マップを図３-５に示します。

図３-５　内部RAMのメモリ・マップ



注　μPD784915　：FA00H
　　μPD784915A：　〃
　　μPD784916A：　〃
　　μPD78P4916：F700H

保守／廃止

(1) 内部高速RAM (IRAM)

内部高速RAM (IRAM) は，高速アクセスが可能です。このうち，FD20H-FEFFHは，高速アクセス用のショート・ダイレクト・アドレシング・モードが使用できます。ショート・ダイレクト・アドレシング・モードには，その対象となるアドレスにより，ショート・ダイレクト・アドレシング1とショート・ダイレクト・アドレシング2の2種類があります。いずれのアドレシング・モードも，その機能は同一です。一部の命令では，ショート・ダイレクト・アドレシング2は，ショート・ダイレクト・アドレシング1より語長が短くなっています。詳細は，**78K/IVシリーズ　ユーザーズ・マニュアル　命令編 (U10905J)** を参照してください。

IRAMからプログラムのフェッチを行うことはできません。IRAMがマッピングされているアドレスからプログラムのフェッチを行うと，CPUは暴走します。

また，IRAMには，次の領域が予約されています。

- ●汎用レジスタ領域　：FE80H-FEFFH
- ●マクロ・サービス・コントロール・ワード領域：FE06H-FE3BH
- ●マクロ・サービス・チャネル領域　：FE00H-FEFFH（アドレスは，マクロ・サービス・コントロール・ワードで指定します）

これらの領域で，予約されている機能を使用していない場合は，通常のデータ・メモリとして使用できます。

(2) 周辺RAM (PRAM)

周辺RAM (PRAM) は，普通のプログラム・メモリまたはデータ・メモリとして使用します。プログラム・メモリとして使用する場合は，事前に，プログラムによって周辺RAMにプログラムを書き込んでおく必要があります。

なお，周辺RAMからのプログラム・フェッチは，2バイト単位に2クロックで行うことができるため高速です。

3.3.2　特殊機能レジスタ (SFR：Special Function Register) 領域

FF00H-FFFFHの領域には，オンチップ周辺ハードウエアの特殊機能レジスタ (SFR) がマッピングされています (図3-2－図3-4参照)。

注意　この領域内で，SFRのマッピングされていないアドレスをアクセスしないでください。誤ってアクセスすると，CPUがデッドロック状態となることがあります。デッドロック状態は，リセット入力によってのみ解除されます。

3.4　μPD78P4916のメモリ・マッピング

μPD78P4916は，内部PROMを62Kバイト，内部RAMを2048バイト内蔵しています。したがって，μPD784915，784915A，784916Aとは若干メモリ・マッピングが異なっています。この違いを吸収するために，μPD78P4916には，ソフトウエアにより内部メモリの一部を使用しないようにする機能（メモリ・サイズの切り替え機能）があります。

メモリ・サイズの切り替えは，内部メモリ容量選択レジスタ（IMS）によって行います。μPD784915，784915A，784916Aと同一のメモリ・マッピングにする場合は，リセット直後にこのレジスタへの書き込みを必ず行ってください。

IMSレジスタは，8ビット操作命令で書き込みが可能です。そのフォーマットを図3-6に示します。$\overline{\text{RESET}}$入力によりFFHになります。

図3-6　内部メモリ容量選択レジスタ（IMS）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMS	1	1	ROM1	ROM0	1	1	RAM1	RAM0	FFFCH	FFH	W

ROM1	ROM0	RAM1	RAM0	デバイスの指定
1	0	0	1	μPD784915/784915A
1	1	0	1	μPD784916A
1	1	1	1	μPD78P4916
上記以外				設定禁止

注意1.　IMSは，μPD78P4916のみ内蔵しています。μPD784915，784915A，784916AにはIMSはありません。μPD784915，784915A，784916Aでこのレジスタへの書き込み命令を実行しても動作に影響を与えません。

★　**2.　IMSの設定で，μPD78P4916を指定した場合，ROM容量がマスク品と異なります。**

3.5　制御レジスタ

制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

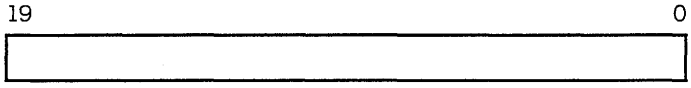
3.5.1　プログラム・カウンタ（PC）

次に実行するプログラムのアドレス情報を保持する20ビット・バイナリ・カウンタです（図3-7参照）。

通常，フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐を伴う命令を実行した場合，イミーディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$入力により，0番地と1番地の16ビット・データがPCの下位16ビットに，0000がPCの上位4ビットにセットされます。

図3-7　プログラム・カウンタの構成



3.5.2　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワード（PSW）は，命令の実行の結果によってセット，リセットされる各種フラグで構成される16ビット・レジスタです。

上位8ビット（PSWH），下位8ビット（PSWL）単位でリード・アクセス／ライト・アクセスします。また，ビット操作命令により，各フラグの操作ができます。

PSWの内容は，ベクタ割り込み要求の受け付け時，およびBRK命令の実行時に自動的にスタックに退避し，RETI命令またはRETB命令の実行時に自動的に復帰します。また，コンテキスト・スイッチング使用時には，RP3に自動的に退避し，RETCS命令またはRETCSB命令の実行時に自動的に復帰します。

$\overline{\text{RESET}}$入力により，全ビットがリセット(0)されます。

図3-8で“0”と書かれているビットには，必ず“0”を書き込んでください。また，“－”と書かれているビットの内容は，読み出し時には不定となります。

図3-8　プログラム・ステータス・ワードの構成

略号	7	6	5	4	3	2	1	0
PSWH	UF	RBS2	RBS1	RBS0	—	—	—	—

	7	6	5	4	3	2	1	0
PSWL	S	Z	RSS	AC	IE	P/V	0	CY

保守／廃止

各フラグについて，次に示します。

(1) キャリー・フラグ（CY）

演算結果のキャリー，ボローを記憶するフラグです。

また，シフト・ローテート命令実行時は，シフト・アウトされた値を記憶し，ビット操作命令実行時は，ビット・アキュームレータとして機能します。

CYフラグの状態は，条件付き分岐命令でテストできます。

(2) パリティ／オーバフロー・フラグ（P/V）

P/Vフラグは，演算命令の実行に伴い，次の２種類の動作をします。

P/Vフラグの状態は，条件付き分岐命令でテストできます。

●パリティ・フラグ動作

論理演算命令，シフト・ローテート命令，CHKL，CHKLA命令の実行の結果，セット(1)されたビット数が偶数のときにはセット(1)されます。奇数のときにはリセット(0)されます。ただし，16ビットのシフト命令の場合，演算結果の下位８ビットのみパリティ・フラグに有効です。

●オーバフロー・フラグ動作

算術演算命令の実行の結果，２の補数で表現される数値範囲を越えたときのみセット(1)されます。それ以外のときにはリセット(0)されます。具体的には，MSBからのキャリーとMSBへのキャリーの排他的論理和の結果が，本フラグの内容になります。たとえば，８ビットの算術演算では，２の補数の範囲は80H（－128）～7FH（＋127）であり，演算結果がこの範囲以外になったときセット(1)され，範囲内のときはリセット(0)されます。

例　８ビット加算命令実行時のオーバフロー・フラグの動作を次に示します。

78H（＋120）と69H（＋105）の加算を行うと，演算結果がE1H（＋225）となり，２の補数の上限を越えるため，P/Vフラグがセット(1)されます。また，２の補数表現で，E1Hは－31になります。

```
   78H (+120)    =     0111  1000
+) 69H (+105)    = +) 0110  1001
                      0  1110  0001  =  -31    P/V=1
                      ↑
                      CY
```

また，次のような２つの負数の加算は，演算結果が２の補数の範囲内にあるため，P/Vフラグはリセット(0)されます。

保守／廃止

```
   FBH (−5)      =     1111  1011
+) F0H (−16)     =  +) 1111  0000
                    ─────────────
                    1  1110  1011  =  −21    P/V=0
                    ↑
                    CY
```

(3) 割り込み要求許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

“0”のときは割り込み禁止となり，ノンマスカブル割り込み，およびマスク解除したマクロ・サービスのみ受け付けのみが可能となります。それ以外は，すべて禁止されます。

“1”のときは割り込み許可状態となり，割り込み要求受け付けの許可は，各割り込み要求に対応する割り込みマスク・フラグおよび各割り込みの優先順位により制御されます。

EI命令実行によりセット(1)され，DI命令実行または割り込みの受け付けでリセット(0)されます。

(4) 補助キャリー・フラグ (AC)

演算の結果，ビット3からのキャリーがあったとき，またはビット3へのボローがあったときにセット(1)されます。それ以外のときにはリセット(0)されます。

ADJBA，ADJBS命令実行時に使用されます。

(5) レジスタ・セット選択フラグ (RSS)

X，A，C，Bとして機能する汎用レジスタ，およびAX，BCとして機能する汎用レジスタ・ペア(16ビット）を指定するフラグです。

このフラグは，78K/IIIシリーズとの互換性を保つために用意されているフラグです。78K/IIIシリーズ用のプログラムを流用する場合を除いて，必ず0にしてください。

(6) ゼロ・フラグ (Z)

演算の結果が“0”であることを記憶するフラグです。

演算の結果が“0”のときにセット(1)されます。それ以外のときにはリセット(0)されます。Zフラグの状態は，条件付き分岐命令でテストできます。

(7) サイン・フラグ (S)

演算の結果，MSBが“1”であることを記憶するフラグです。

演算の結果，MSBが“1”のときセット(1)されます。“0”のときリセット(0)されます。Sフラグの状態は，条件付き分岐命令でテストできます。

保守／廃止

(8) レジスタ・バンク選択フラグ（RBS0-RBS2）

8個のレジスタ・バンク（レジスタ・バンク0-レジスタ・バンク7）のうち，1つを選択する3ビットのフラグです（**表3-4**参照）。

SEL RBn命令の実行などにより選択されたレジスタ・バンクを示す3ビットの情報が格納されています。

表3-4　レジスタ・バンクの選択

RBS2	RBS1	RBS0	指定レジスタ・バンク
0	0	0	レジスタ・バンク0
0	0	1	レジスタ・バンク1
0	1	0	レジスタ・バンク2
0	1	1	レジスタ・バンク3
1	0	0	レジスタ・バンク4
1	0	1	レジスタ・バンク5
1	1	0	レジスタ・バンク6
1	1	1	レジスタ・バンク7

(9) ユーザ・フラグ（UF）

ユーザ・プログラム上でセットおよびリセットし，プログラムの制御に利用できるフラグです。

3.5.3　RSSビットの使用方法

基本的にRSSビットは，常時，0に固定して使用してください。

次の説明は，78K/IIIシリーズ用のプログラムを流用する場合で，流用するプログラムがRSSビットを1にしている場合のための説明です。RSSビットを0に固定して使用する場合には読む必要はありません。

RSSビットは，A（R1），X（R0），B（R3），C（R2），AX（RP0），BC（RP1）の持っている機能をR4-R7（RP2，RP3）レジスタでも使用できるようにするためのビットです。このビットを有効に使用することで，プログラム・サイズやプログラムの実行に関して効率の良いプログラムを作成することができます。

しかし，不用意に使用すると思わぬ不具合が発生することがあります。したがって，通常は，RSSビットは0にして使用してください。RSSビットを1にして使用するのは，78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

すべてのプログラム中で，RSSビットを0にして使用することにより，プログラム作成およびディバグ作業の効率が向上します。

RSSビットを1にして使用しているプログラムを流用する場合でも，可能であれば，RSSビットを1にしないプログラムへ修正してから流用することを推奨します。

(1) RSSビットの機能

○命令のオペレーション一覧(**18.2**参照)で，オペランド欄にA，X，B，C，AXレジスタが直接記載されている命令で使用するこれらのレジスタ

○インプライド・アドレシングにより，A，AX，B，Cレジスタを使用する命令で，インプライドで指定されるレジスタ

○インデクスト・アドレシング，ベースト・インデクスト・アドレシングでA，B，Cレジスタを使用する命令で，アドレシング時に使用するレジスタ

これらの場合に使用するレジスタをRSSビットによって，次のように切り替えます。

●RSS＝0の場合

A→R1，X→R0，B→R3，C→R2，AX→RP0，BC→RP1

●RSS＝1の場合

A→R5，X→R4，B→R7，C→R6，AX→RP2，BC→RP3

前記以外で使用するレジスタは，RSSビットの内容に関わらず常に同一のレジスタになります。NEC製のアセンブラ（RA78K/IV）では，A，X，B，C，AX，BCレジスタについて，この名前で記述されている場合にどちらのレジスタ用の命令コードを生成するかは，アセンブラのRSS疑似命令で決定されます。

RSSビットをセット，リセットする場合には，その命令の直前（または直後）に，必ずRSS疑似命令を記述してください（下記例参照）。

〈プログラム例〉

●RSS＝0にする場合

```
RSS   0        ;RSS疑似命令
CLR1  PSWL.5
MOV   B, A     ;この記述は，“MOV R3, R1”に該当します。
```

●RSS＝1にする場合

```
RSS   1        ;RSS疑似命令
SET1  PSWL.5
MOV   B, A     ;この記述は，“MOV R7, R5”に該当します。
```

保守／廃止

(2) RA78K4での命令コードの生成方法

●RA78K4では，命令のオペレーション一覧のオペランド欄にAまたはAXが直接記載されている命令と同機能の命令がある場合，オペランド欄にAまたはAXが直接記載されている命令コードを優先して生成します。

例　MOV A，r命令でrをBとした場合と，MOV r，r′命令でrをA，r′をBとした場合では同一の機能です。また，アセンブラのソース・プログラム上では同一の記述（MOV，A，B）となります。この場合，RA78K4は，MOV A，r命令に相当するコードを生成します。

●オペランド欄にr，r′，rp，rp′が指定されている命令で，A，X，B，C，AX，BCが記述された場合，RA78K4のRSS疑似命令のオペランドによって，A，X，B，C，AX，BC命令はそれぞれ次のレジスタを指定する命令コードを生成します。

レジスタ	RSS＝0	RSS＝1
A	R1	R5
X	R0	R4
B	R3	R7
C	R2	R6
AX	RP0	RP2
BC	RP1	RP3

●オペランド欄のr，r′，rp，rp′にR0-R7，RP0-RP4を記述した場合，その指定どおりの命令コードを出力します（オペランド欄にA，AXが直接記載されている命令コードは出力しません）。

●インデクスト・アドレシング，ベースト・インデクスト・アドレシングで使用するA，B，Cレジスタは，R1，R3，R2やR5，R7，R6といった記述はできません。

(3) 使用上の注意

RSSビットを切り替えることで，2組のレジスタ・セットを持つのと同様な効果が得られます。しかし，プログラムの静的な記述とプログラム実行時の動的なRSSビットの変化を常に一致するように，十分に注意をしてプログラムを記述しなければなりません。

また，RSS＝1にしたプログラムは，コンテキスト・スイッチング機能を使用しているプログラムでは使用できないので，プログラムの流用性が悪くなります。さらに，同一の名称で異なるレジスタを使用するため，プログラムの可読性が悪くなり，ディバグ作業が難しくなります。したがって，RSS＝1として使用しなければならない場合は，これらの欠点を十分に考慮のうえ，プログラムを作

保守／廃止

成してください。

なお，RSSビットで指定されないレジスタは，絶対名称を記述することによりアクセスできます。

3.5.4　スタック・ポインタ（SP）

スタック領域（LIFO形式：0000H-FFFFH）の先頭アドレスを保持する24ビット・レジスタです（図3-8参照）。サブルーチン処理や割り込み処理時にスタック領域をアドレスするために使用されます。

上位8ビットには必ず"0"を書き込んでください。

SPの内容は，スタック領域への書き込み前にデクリメントされ，スタック領域からの読み出し後にインクリメントされます（図3-10，図3-11参照）。

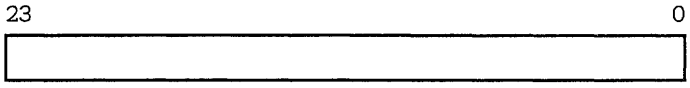
SPは，専用命令によりアクセスします。

SPの内容は，$\overline{\text{RESET}}$入力により不定になりますので，リセット解除直後に（サブルーチン・コールや割り込みを受け付ける前に）必ず初期化プログラムによりSPをイニシャライズしてください。

例　SPのイニシャライズ

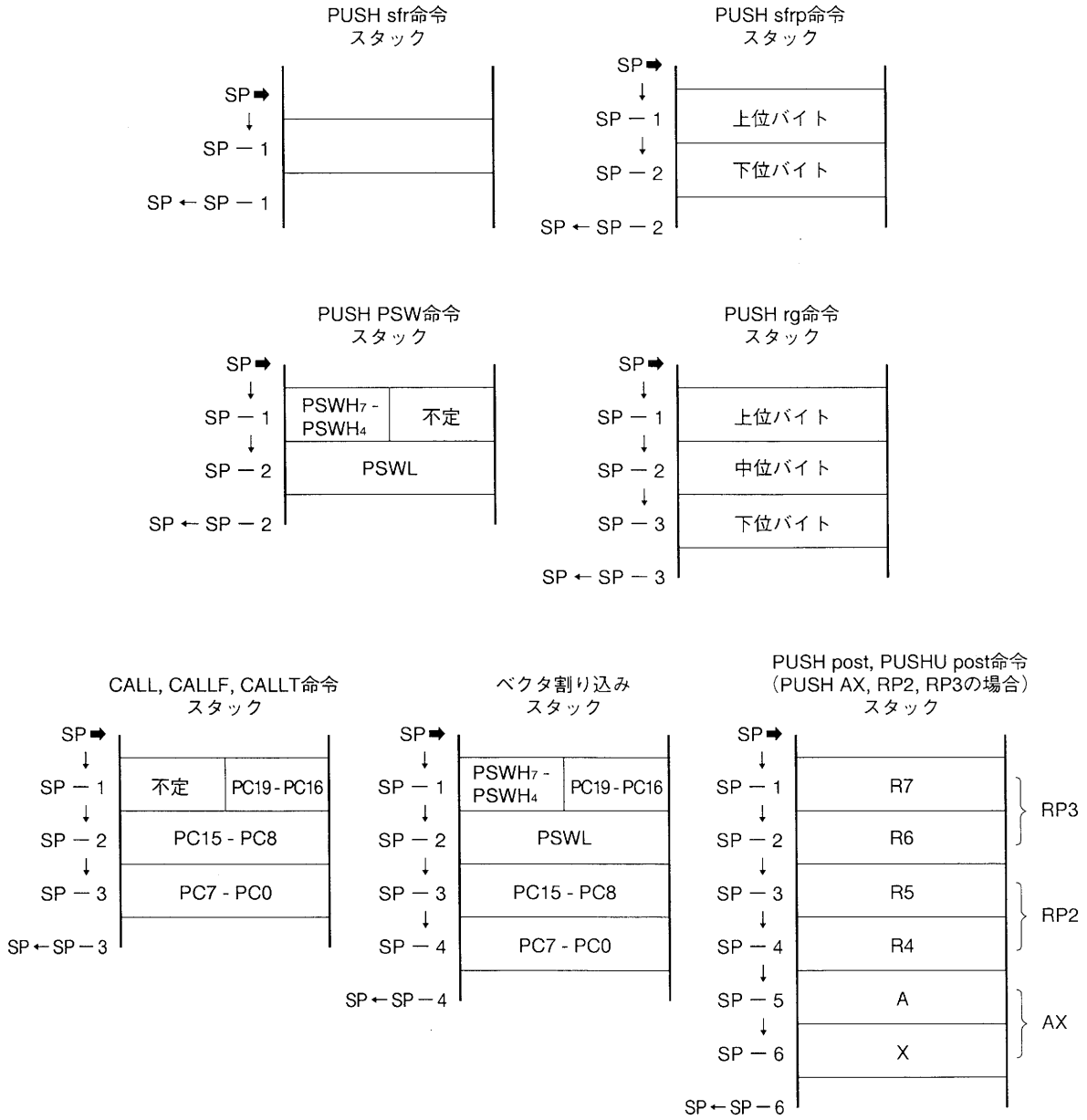
MOVG SP，#FEE0H；SP　←　FEE0H（FEDFHから使用の場合）

図3-9　スタック・ポインタの構成



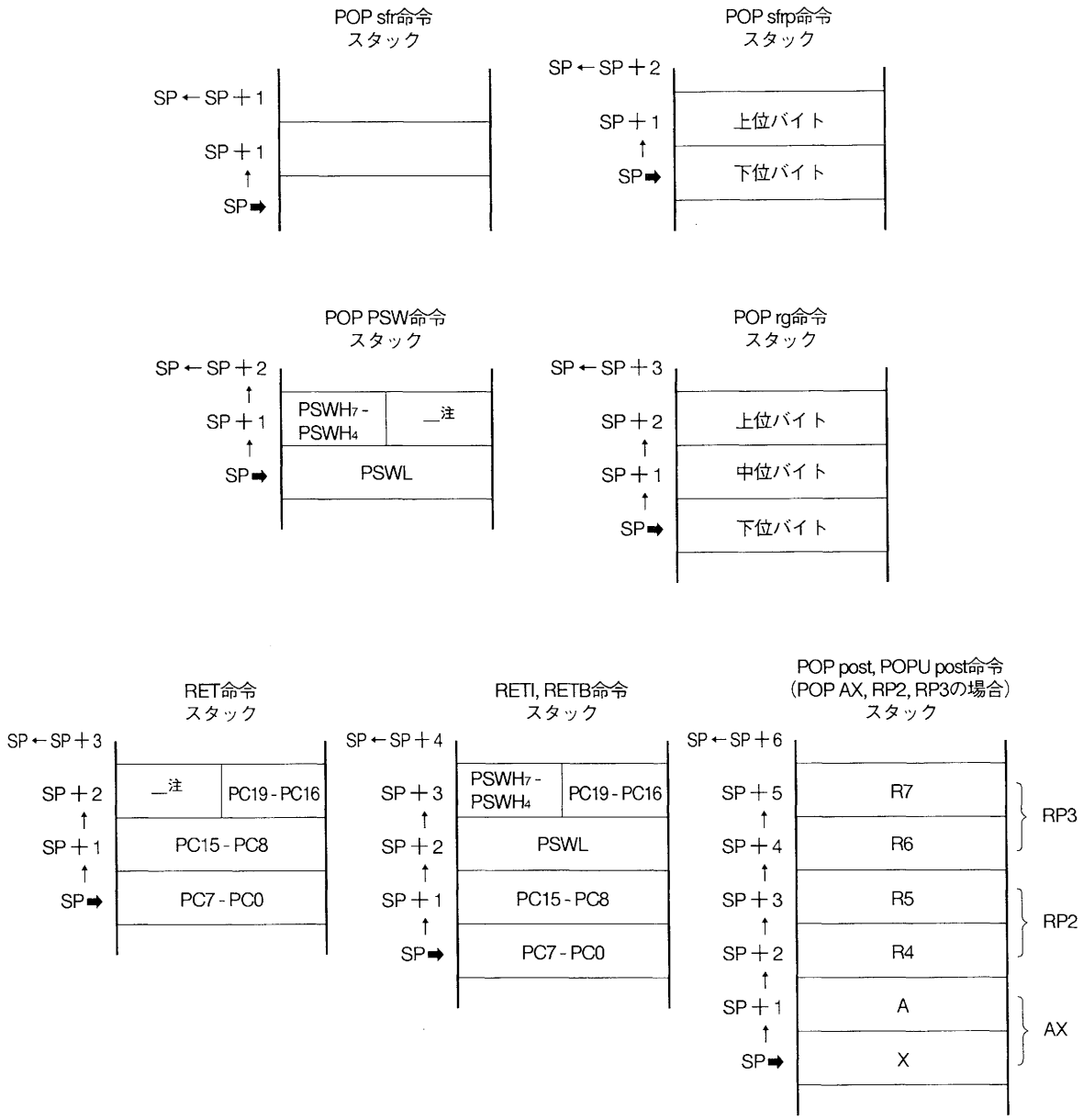
保守／廃止

図３－10　スタック領域へ退避されるデータ



保守／廃止

図3-11　スタック領域から復帰されるデータ



注　この4ビットのデータは無視されます。

注意1.　スタック・アドレシングでは，64Kバイトすべての空間でアクセス可能ですが，SFR領域および内部ROM領域にスタック・エリアを確保することはできません。

2.　SPは，$\overline{\text{RESET}}$入力により不定になります。また，SPが不定の状態でもノンマスカブル割り込みは受け付け可能です。したがって，リセット解除直後のSPが不定な状態でノンマスカブル割り込みの要求が発生すると，予期しない動作を行う場合があります。この危険を回避するために，リセット解除後のプログラムは，必ず次のようにしてください。

```
RSTVCT   CSEG   AT 0
         DW     RSTSTRT
         ⌇
INITSEG  CSEG   BASE
RSTSTRT : LOCATION 0H
         MOVG   SP, #STKBGN
         MOV    STBC, #00H
         MOV    MM, #10000000B注
```

注　μPD784915は，$\overline{\text{RESET}}$解除後，命令実行速度が低速モードになっているので，実行速度選択レジスタ（MM）を通常モードに設定してください。

★　**注意　IE-784000-Rとデバイスではリセット・スタート時の動作に違いがありますので，あらかじめプログラムでの対策が必要になります。**
IE-784000-Rでは，リセット・スタート時にSTBCレジスタが“30H”にセットされ最低速が選択されます。デバイスではSTBCレジスタは“00H”にセットされ，内部システム・クロックは$f_{XX}/2$の最高速の内部クロックが選択されます。そこで対策としてあらかじめプログラムの初期設定で，STBCレジスタに“00H”を設定し最高速の内部クロックに指定してください。

● リセット解除後の初期設定プログラム例

```
RSTVCT    CSEG    AT  0
          DW      RESTRT
RESTRT : LOCATION  0H          ;                          13クロック
         MOVG     SP, #STKBGN ; スタック・ポインタ設定     5クロック
         MOV      STBC, #00H  ; STBCレジスタ設定（実行速度を高速に設定）
                              ;                          13クロック
         MOV      MM, #80H    ;
```

なお，STBCレジスタが設定されるまでの動作時間は，IE-784000-Rとデバイスでは異なります。上記プログラム例の場合，以下のようになります。

IE-784000-R	31クロック	約31.1μs（f_{XX}/8 MHz）
μPD784915	31クロック	約3.9μs

保守／廃止

3.6　汎用レジスタ

3.6.1　構　　成

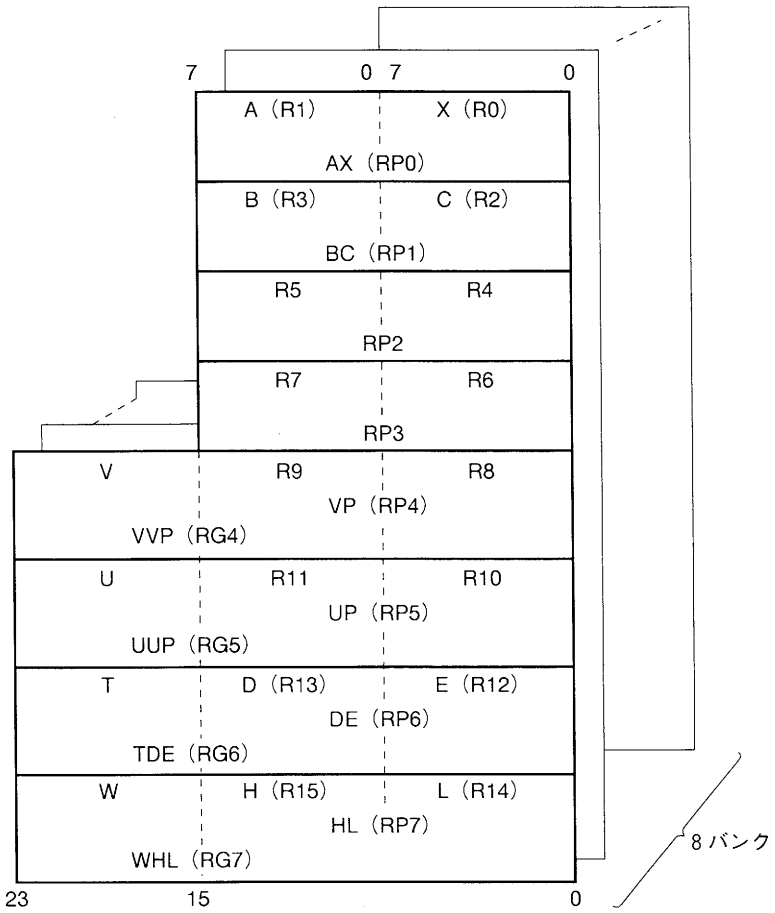
8ビットの汎用レジスタ16本で構成されています。また，8ビット汎用レジスタ2本を組み合わせて，16ビット汎用レジスタとして使用することもできます。さらに，16ビット汎用レジスタのうち4本は，アドレス拡張用の8ビット・レジスタと組み合わせて，24ビット・アドレス指定用レジスタとして使用することができます。

アドレス拡張用のV, U, T, Wレジスタを除いた汎用レジスタは，内部RAMにマッピングされています。

これらのレジスタ・セットは，8バンク用意されており，ソフトウエアまたはコンテキスト・スイッチング機能により切り替えて使用することができます。

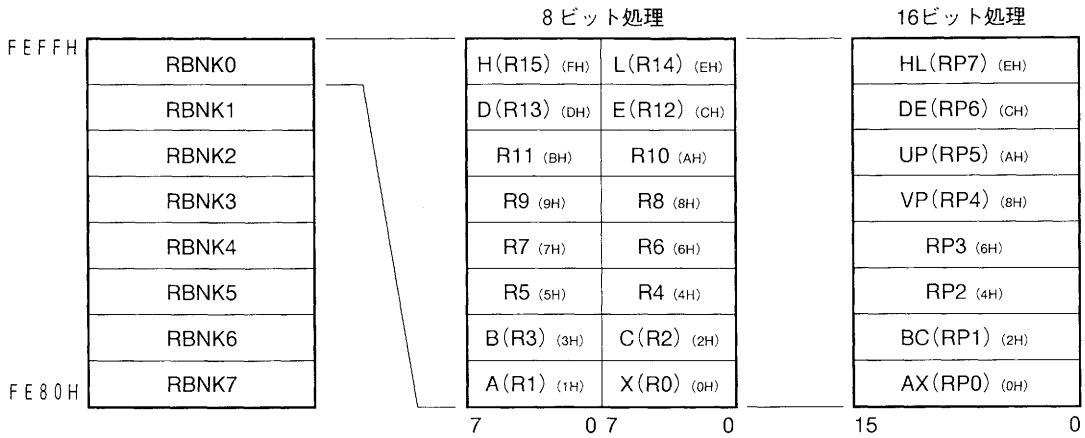
$\overline{\text{RESET}}$入力により，レジスタ・バンク0が選択されます。また，実行中のプログラムで使用しているレジスタ・バンクは，PSW内のレジスタ・バンク選択フラグ（RBS0，RBS1，RBS2）を読み出すことによって確認できます。

図3－12　汎用レジスタ構成



備考　（　）内は絶対名称です。

図3-13　汎用レジスタのアドレス



注意　R4，R5，R6，R7，RP2，RP3は，PSWのRSSビットを1にすることで，それぞれ，X，A，C，B，AX，BCレジスタとして使用することができますが，この機能を使用するのは78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

備考　レジスタ・バンクを変更する場合で，元のレジスタ・バンクに戻す必要がある場合は，PUSH PSW命令でPSWをスタックへ退避してからSEL RBn命令を実行してください。元に戻すときは，スタックの位置に変化がなければPOP PSW命令で戻せます。

なお，ベクタ割り込み処理プログラムなどでレジスタ・バンクを変更する場合には，PSWは割り込みの受け付け時に自動的にスタックへ退避され，RETI，RETB命令で復帰されますので，割り込み処理ルーチンで使用するレジスタ・バンクが1つの場合には，単にSEL RBn命令を実行するだけで，PUSH PSWやPOP PSW命令を実行する必要はありません。

例　レジスタ・バンク2を指定する場合

```
    ⋮
    PUSH PSW
    SEL RB2   ┐
    ⋮         │ レジスタ・バンク2で動作
    POP PSW   ┘
    ⋮         元のレジスタ・バンクで動作
```

3.6.2　機　　能

汎用レジスタは，それぞれ8ビット単位で操作できるほか，2個の8ビット・レジスタがペアとなって16ビット単位で操作することもできます。また，16ビット・レジスタのうち4本は，アドレス拡張用の8ビット・レジスタと組み合わせて24ビット単位で操作できます。

また，各レジスタは，演算結果の一時保管や，レジスタ間演算命令のオペランドとして汎用的に使用

保守／廃止

することが可能です。

FE80H-FEFFHの領域は，汎用レジスタ・エリアとして使用する，しないにかかわらず，通常のデータ・メモリとしてアドレス指定し，アクセスすることができます。

78K/IVシリーズでは，8つのレジスタ・バンクを有しているので，通常の処理と割り込み時の処理でレジスタ・バンクを使い分けることにより，効率のよいプログラムを作成できます。

各レジスタは，それぞれ次に示す固有機能を持っています。

A (R1)：

- 8ビット・データの転送や演算処理の中心となるレジスタです。8ビット・データに対するすべてのアドレシング・モードと組み合わせて使用できます。
- ビット・データの格納にも使用できます。
- インデクスト・アドレシング，ベースト・インデクスト・アドレシング時のオフセット値を格納するレジスタとして使用できます。

X (R0)：

- ビット・データの格納に使用できます。

AX (RP0)：

- 16ビット・データの転送や演算処理の中心となるレジスタです。16ビット・データに対するすべてのアドレシング・モードと組み合わせて使用できます。

AXDE：

- DIVUX，MACW，MACSW命令実行時に，32ビット・データの格納用として使用されます。

B (R3)：

- ループ・カウンタとしての機能を持っており，DBNZ命令で使用できます。
- インデクスト・アドレシング，ベースト・インデクスト・アドレシング時のオフセット値を格納するレジスタとして使用できます。
- MACW，MACSW命令のデータ・ポインタとして使用します。

C (R2)：

- ループ・カウンタとしての機能を持っており，DBNZ命令で使用できます。
- ベースト・インデクスト・アドレシング時のオフセット値を格納するレジスタとして使用できます。
- ストリング命令，SACW命令のカウンタとして使用します。
- MACW，MACSW命令のデータ・ポインタとして使用します。

保守／廃止

RP2：

- コンテキスト・スイッチング使用時に，プログラム・カウンタ（PC）の下位16ビットを退避するために使用します。

RP3：

- コンテキスト・スイッチング使用時に，プログラム・カウンタ(PC)の上位４ビットおよびプログラム・ステータス・ワード(PSW)（PSWHのビット０-３を除く)を退避するために使用します。

VVP（RG4）：

- ポインタとしての機能を持っており，レジスタ・インダイレクト・アドレシング，ベースト・アドレシング，ベースト・インデクスト・アドレシング時に，ベース・アドレスを指定するレジスタとして動作します。

UUP（RG5）：

- ユーザ・スタック・ポインタとしての機能を持っており，PUSHU，POPU命令により，システム・スタックとは別のスタックを実現することができます。
- ポインタとしての機能を持っており，レジスタ・インダイレクト・アドレシング，ベースト・アドレシング時に，ベース・アドレスを指定するレジスタとして動作します。

DE（RP6），HL（RP7）：

- インデクスト・アドレシング，ベースト・インデクスト・アドレシング時には，オフセット値を格納するレジスタとして動作します。

TDE（RG6）：

- ポインタとしての機能を持っており，レジスタ・インダイレクト・アドレシング，ベースト・アドレシング時に，ベース・アドレスを指定するレジスタとして動作します。
- ストリング命令，SACW命令のポインタとして動作します。

WHL（RG7）：

- 24ビット・データの転送や演算処理の中心となるレジスタです。
- ポインタとしての機能を持っており，レジスタ・インダイレクト・アドレシング，ベースト・アドレシング時に，ベース・アドレスを指定するレジスタとして動作します。
- ストリング命令，SACW命令のポインタとして動作します。

各レジスタは，それぞれの固有機能を重視した機能名称（X，A，C，B，E，D，L，H，AX，BC，VP，UP，DE，HL，VVP，UUP，TDE，WHL）のほか，絶対名称（R0-R15，RP0-RP7，RG4-RG7）ででも記述することができます。対応は，表３-５を参照してください。

保守／廃止

表3-5　機能名称－絶対名称の対応

(a) 8ビット・レジスタ

絶対名称	機能名称	
	RSS=0	RSS=1注
R0	X	
R1	A	
R2	C	
R3	B	
R4		X
R5		A
R6		C
R7		B
R8		
R9		
R10		
R11		
R12	E	E
R13	D	D
R14	L	L
R15	H	H

(b) 16ビット・レジスタ

絶対名称	機能名称	
	RSS=0	RSS=1注
RP0	AX	
RP1	BC	
RP2		AX
RP3		BC
RP4	VP	VP
RP5	UP	UP
RP6	DE	DE
RP7	HL	HL

(c) 24ビット・レジスタ

絶対名称	機能名称
RG4	VVP
RG5	UUP
RG6	TDE
RG7	WHL

注　RSS=1として使用するのは，78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

備考　R8-R11には機能名称はありません。

保守／廃止

3.7　特殊機能レジスタ（SFR：Special Function Register）

内蔵周辺ハードウエアのモード・レジスタ，コントロール・レジスタなどの特別な機能が割り付けられたレジスタで，FF00H-FFFFHの256バイトの領域にマッピングされています。

FF00H-FF1FHの32バイトの領域には，ショート・ダイレクト・アドレシングが適用できるので，タイマのコンペア・レジスタ，キャプチャ・レジスタおよびポートなどアクセス回数の多いSFRを，短い語長，少ないクロック数で処理することができます。

注意　この領域内で，SFRのマッピングされていないアドレスをアクセスしないでください。誤ってアクセスすると，CPUがデッドロック状態となることがあります。デッドロック状態は，リセット入力によってのみ解除されます。

表3-6に特殊機能レジスタ（SFR）の一覧を示します。表中の項目の意味は次のようになります。

●略　号……内蔵されたSFRのアドレスを示す記号。NEC製アセンブラ（RA78K4）では予約語になっています。Cコンパイラ（CC78K4）では#pragma sfr指令により，sfr変数として使用できます。

●R/W　……該当するSFRが読み出し／書き込み可能かどうかを示します。

R/W：読み出し（Read）／書き込み（Write）可能

R　：読み出し（Read）のみ

W　：書き込み（Write）のみ

●ビット長……該当するSFRのビット長（語長）を示します。

●操作可能ビット単位…該当するSFRを操作する場合に，適応可能な操作ビット単位を示します。16ビット操作可能なSFRはオペランド欄のsfrpに記述でき，2アドレスにまたがるSFRPで指定する場合は偶数アドレスを記述します。

1ビット操作可能なSFRは，ビット操作命令に記述できます。

●リセット解除後……$\overline{\text{RESET}}$入力後の各レジスタの状態を示します。

保守／廃止

表３-６　特殊機能レジスタ（SFR）一覧（1/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	ビット長	操作可能ビット単位			リセット解除後
					1ビット	8ビット	16ビット	
FF00H	ポート０	P0	R/W	8	○	○	—	不定
FF04H	ポート４	P4		8	○	○	—	
FF05H	ポート５	P5		8	○	○	—	
FF06H	ポート６	P6		8	○	○	—	
FF07H	ポート７	P7	R	8	○	○	—	
FF08H	ポート８	P8	R/W	8	○	○	—	
FF09H	ポート９	P9		8	○	○	—	
FF0EH	ポート０バッファ・レジスタL	P0L		8	○	○	—	
FF0FH	ポート０バッファ・レジスタH	P0H		8	○	○	—	
FF10H	タイマ０コンペア・レジスタ０	CR00		16	—	—	○	０クリア
FF11H	イベント・カウンタ・コンペア・レジスタ０	ECC0	W	8	—	○	—	
FF12H	タイマ０コンペア・レジスタ１	CR01	R/W	16	—	—	○	
FF13H	イベント・カウンタ・コンペア・レジスタ１	ECC1	W	8	—	○	—	
FF14H	タイマ０コンペア・レジスタ２	CR02	R/W	16	—	—	○	
FF15H	イベント・カウンタ・コンペア・レジスタ２	ECC2	W	8	—	○	—	
FF16H	タイマ１コンペア・レジスタ０	CR10	R/W	16	—	—	○	
FF17H	イベント・カウンタ・コンペア・レジスタ３	ECC3	W	8	—	○	—	
FF18H	タイマ１コンペア・レジスタ１	CR11	R/W	16	—	—	○	
FF1AH	タイマ１コンペア・レジスタ２	CR12	R	16	—	—	○	
FF1CH	タイマ１コンペア・レジスタ３	CR13	R/W	16	—	—	○	
FF1EH	タイマ２コンペア・レジスタ０	CR20		16	—	—	○	
FF20H	ポート０モード・レジスタ	PM0	W	8	—	○	—	FFH
FF24H	ポート４モード・レジスタ	PM4		8	—	○	—	
FF25H	ポート５モード・レジスタ	PM5		8	—	○	—	
FF26H	ポート６モード・レジスタ	PM6		8	—	○	—	
FF28H	ポート８モード・レジスタ	PM8		8	—	○	—	FDH
FF29H	ポート９モード・レジスタ	PM9		8	—	○	—	7FH
FF2EH	リアルタイム出力ポート０コントロール・レジスタ	RTPC	R/W	8	○	○	—	00H
FF30H	タイマ・レジスタ０	TM0	R	16	—	—	○	０クリア
FF31H	イベント・カウンタ	EC	R/W	8	—	○	—	
FF32H	タイマ・レジスタ１	TM1	R	16	—	—	○	
FF34H	フリー・ランニング・カウンタ（ビット０-15）	FRCL		16	—	—	○	0000H
FF35H	フリー・ランニング・カウンタ（ビット16-21）	FRCH		8	—	○	—	00H
FF36H	タイマ・レジスタ２	TM2		16	—	—	○	０クリア

備考　０クリア：リセット解除後16クロック以内にカウンタを０に初期化（初期化以前の内容は不定）。

保守／廃止

表3-6　特殊機能レジスタ（SFR）一覧（2/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	ビット長	操作可能ビット単位			リセット解除後
					1ビット	8ビット	16ビット	
FF38H	タイマ・コントロール・レジスタ0	TMC0	R/W	8	○	○	—	00H
FF39H	タイマ・コントロール・レジスタ1	TMC1		8	○	○	—	
FF3AH	タイマ・コントロール・レジスタ2	TMC2		8	○	○	—	
FF3BH	タイマ・コントロール・レジスタ3	TMC3		8	○	○	—	00×00000
FF3CH	タイマ・レジスタ3	TM3	R	16	—	—	○	0クリア
FF3DH	タイマ・コントロール・レジスタ4	TMC4	R/W	8	○	○	—	××000000
FF3EH	タイマ・レジスタ4	TM4	R	16	—	—	○	0クリア
FF48H	ポート8モード・コントロール・レジスタ	PMC8	R/W	8	○	○	—	00H
FF4DH	トリガ・ソース選択レジスタ0	TRGS0		8	○	○	—	
FF4EH	プルアップ抵抗オプション・レジスタL	PUOL		8	○	○	—	
FF4FH	プルアップ抵抗オプション・レジスタH	PUOH		8	○	○	—	
FF50H	入力コントロール・レジスタ	ICR		8	○	○	—	10H
FF51H	アップ／ダウン・カウンタ・カウント・レジスタ	UDC		8	—	○	—	不定
FF52H	イベント・ディバイダ・カウンタ	EDV	R	8	—	○	—	0クリア
FF53H	キャプチャ・モード・レジスタ	CPTM	R/W	8	○	○	—	00H
FF54H	タイマ・レジスタ5	TM5	R	16	—	—	○	0クリア
FF56H	タイマ3キャプチャ・レジスタ0	CPT30		16	—	—	○	
FF58H	タイマ0出力モード・レジスタ	TOM0	W	8	—	○	—	××000000
FF59H	タイマ0出力コントロール・レジスタ	TOC0		8	—	○	—	00H
FF5AH	タイマ1出力モード・レジスタ	TOM1	R/W	8	—	○	—	80H
FF5BH	タイマ1出力コントロール・レジスタ	TOC1	W	8	—	○	—	00H
FF5CH	タイマ3コンペア・レジスタ0	CR30	R/W	16	—	—	○	0クリア
FF5EH	タイマ3コンペア・レジスタ1	CR31		16	—	—	○	
FF60H	ポート8バッファ・レジスタL	P8L		8	○	○	—	000×0×0×
FF63H	アップ／ダウン・カウンタ・コンペア・レジスタ	UDCC	W	8	—	○	—	不定
FF65H	トリガ・ソース選択レジスタ1	TRGS1	R/W	8	○	○	—	00H
FF66H	ポート6モード・コントロール・レジスタ	PMC6		8	○	○	—	
FF68H	A/Dコンバータ・モード・レジスタ	ADM		16	—	—	○	0000H
		ADML注		8	○	○	—	
FF6AH	A/D変換結果レジスタ	ADCR	R	8	—	○	—	不定
FF6CH	ハードウエア時計カウンタ0	HW0	R/W	16	—	—	○	リセットに影響されない
FF6EH	ハードウエア時計カウンタ1	HW1	R	16	—	—	○	

注　ADMLはA/Dコンバータ・モード・レジスタ（ADM）の下位8ビットを指し，1ビット操作および8ビット操作可能です。

備考　0クリア：リセット解除後16クロック以内にカウンタを0に初期化（初期化以前の内容は不定）。

表3-6　特殊機能レジスタ（SFR）一覧（3/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	ビット長	操作可能ビット単位			リセット解除後
					1ビット	8ビット	16ビット	
FF6FH	時計モード・レジスタ	WM	R/W	8	○	○	—	00××0×00
FF70H	PWMコントロール・レジスタ0	PWMC0	R/W	8	○	○	—	05H
FF71H	PWMコントロール・レジスタ1	PWMC1		8	○	○	—	15H
FF72H	PWM0モジュロ・レジスタ	PWM0		16	—	—	○	0000H
FF73H	PWM2モジュロ・レジスタ	PWM2		8	—	○	—	00H
FF74H	PWM1モジュロ・レジスタ	PWM1		16	—	—	○	0000H
FF75H	PWM3モジュロ・レジスタ	PWM3		8	—	○	—	00H
FF76H	PWM5モジュロ・レジスタ	PWM5		16	—	—	○	0000H
FF77H	PWM4モジュロ・レジスタ	PWM4		8	—	○	—	00H
FF78H	イベント・ディバイダ・コントロール・レジスタ	EDVC	W	8	—	○	—	00H
FF79H	クロック出力モード・レジスタ	CLOM	R/W	8	○	○	—	00H
FF7AH	タイマ4キャプチャ／コンペア・レジスタ0	CR40		16	—	—	○	0クリア
FF7BH	クロック・コントロール・レジスタ	CC		8	○	○	—	00H
FF7CH	タイマ4キャプチャ・レジスタ1	CR41	R	16	—	—	○	0クリア
FF7DH	キャプチャ／コンペア・コントロール・レジスタ	CRC	W	8	—	○	—	00H
FF7EH	タイマ5コンペア・レジスタ	CR50	R/W	16	—	—	○	0クリア
FF84H	シリアル・モード・レジスタ1	CSIM1		8	○	○	—	00H
FF85H	シリアル・シフト・レジスタ1	SIO1		8	—	○	—	不定
FF88H	シリアル・モード・レジスタ2	CSIM2		8	○	○	—	00H
FF89H	シリアル・シフト・レジスタ2	SIO2		8	—	○	—	不定
FF8AH	シリアル・コントロール・レジスタ2	CSIC2		8	—	○	—	00H
FF91H	ヘッド・アンプ・スイッチ出力コントロール・レジスタ	HAPC		8	○	○	—	
FF94H	アンプ・コントロール・レジスタ	AMPC		8	○	○	—	
FF95H	アンプ・モード・レジスタ0	AMPM0		8	○	○	—	
FF96H	アンプ・モード・レジスタ1	AMPM1		8	○	○	—	
FF97H	ゲイン・コントロール・レジスタ	CTLM		8	○	○	—	
FFA0H	外部割り込みモード・レジスタ	INTM0		8	○	○	—	000000×0
FFA1H	外部キャプチャ・モード・レジスタ1	INTM1		8	○	○	—	00H
FFA2H	外部キャプチャ・モード・レジスタ2	INTM2		8	○	○	—	
FFA6H	キー割り込みコントロール・レジスタ	KEYC		8	○	○	—	70H
FFA8H	インサービス・プライオリティ・レジスタ	ISPR	R	8	○	○	—	00H
FFAAH	割り込みモード・コントロール・レジスタ	IMC	R/W	8	○	○	—	80H

備考　0クリア：リセット解除後16クロック以内にカウンタを0に初期化（初期化以前の内容は不定）。

表3-6　特殊機能レジスタ（SFR）一覧（4/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	ビット長	操作可能ビット単位			リセット解除後
						1ビット	8ビット	16ビット	
FFACH	割り込みマスク・フラグ・レジスタ	MK0L	MK0	R/W	8	○	○	○	FFH
FFADH		MK0H			8	○	○		
FFAEH		MK1L	MK1		8	○	○	○	
FFAFH		MK1H			8	○	○		
FFB0H	FRCキャプチャ・レジスタ0L	CPT0L		R	16	—	—	○	0クリア
FFB1H	FRCキャプチャ・レジスタ0H	CPT0H			8	—	○	—	
FFB2H	FRCキャプチャ・レジスタ1L	CPT1L			16	—	—	○	
FFB3H	FRCキャプチャ・レジスタ1H	CPT1H			8	—	○	—	
FFB4H	FRCキャプチャ・レジスタ2L	CPT2L			16	—	—	○	
FFB5H	FRCキャプチャ・レジスタ2H	CPT2H			8	—	○	—	
FFB6H	FRCキャプチャ・レジスタ3L	CPT3L			16	—	—	○	
FFB7H	FRCキャプチャ・レジスタ3H	CPT3H			8	—	○	—	
FFB8H	FRCキャプチャ・レジスタ4L	CPT4L			16	—	—	○	
FFB9H	FRCキャプチャ・レジスタ4H	CPT4H			8	—	○	—	
FFBAH	FRCキャプチャ・レジスタ5L	CPT5L			16	—	—	○	
FFBBH	FRCキャプチャ・レジスタ5H	CPT5H			8	—	○	—	
FFC0H	スタンバイ・コントロール・レジスタ	STBC		R/W	8	—	○	—	0000×000
FFC4H	実行速度選択レジスタ	MM		W	8	—	○	—	20H
FFCEH	CPUクロック・ステータス・レジスタ	PCS		R	8	○	○	—	00H
FFCFH	発振安定時間指定レジスタ	OSTS		W	8	—	○	—	
FFE0H	割り込み制御レジスタ（INTP0）	PIC0		R/W	8	○	○	—	43H
FFE1H	割り込み制御レジスタ（INTCPT3）	CPTIC3			8	○	○	—	
FFE2H	割り込み制御レジスタ（INTCPT2）	CPTIC2			8	○	○	—	
FFE3H	割り込み制御レジスタ（INTCR12）	CRIC12			8	○	○	—	
FFE4H	割り込み制御レジスタ（INTCR00）	CRIC00			8	○	○	—	
FFE5H	割り込み制御レジスタ（INTCLR1）	CLRIC1			8	○	○	—	
FFE6H	割り込み制御レジスタ（INTCR10）	CRIC10			8	○	○	—	
FFE7H	割り込み制御レジスタ（INTCR01）	CRIC01			8	○	○	—	
FFE8H	割り込み制御レジスタ（INTCR02）	CRIC02			8	○	○	—	
FFE9H	割り込み制御レジスタ（INTCR11）	CRIC11			8	○	○	—	
FFEAH	割り込み制御レジスタ（INTCPT1）	CPTIC1			8	○	○	—	
FFEBH	割り込み制御レジスタ（INTCR20）	CRIC20			8	○	○	—	

備考　0クリア：リセット解除後16クロック以内にカウンタを0に初期化（初期化以前の内容は不定）。

保守／廃止

表3-6　特殊機能レジスタ（SFR）一覧（5/5）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	ビット長	操作可能ビット単位			リセット解除後
					1ビット	8ビット	16ビット	
FFEDH	割り込み制御レジスタ（INTTB）	TBIC	R/W	8	○	○	—	43H
FFEEH	割り込み制御レジスタ（INTAD）	ADIC		8	○	○	—	
FFEFH	割り込み制御レジスタ（INTP2）注	PIC2		8	○	○	—	
	割り込み制御レジスタ（INTCR40）注	CRIC40						
FFF0H	割り込み制御レジスタ（INTUDC）	UDCIC		8	○	○	—	
FFF1H	割り込み制御レジスタ（INTCR30）	CRIC30		8	○	○	—	
FFF2H	割り込み制御レジスタ（INTCR50）	CRIC50		8	○	○	—	
FFF3H	割り込み制御レジスタ（INTCR13）	CRIC13		8	○	○	—	
FFF4H	割り込み制御レジスタ（INTCSI1）	CSIIC1		8	○	○	—	
FFF5H	割り込み制御レジスタ（INTW）	WIC		8	○	○	—	
FFF7H	割り込み制御レジスタ（INTP1）	PIC1		8	○	○	—	
FFF8H	割り込み制御レジスタ（INTP3）	PIC3		8	○	○	—	
FFFAH	割り込み制御レジスタ（INTCSI2）	CSIIC2		8	○	○	—	
FFFCH	内部メモリ容量選択レジスタ	IMS	W	8	—	○	—	FFH

注　PIC2とCRIC40は同じアドレス（レジスタ）を指します。

★　**注意1.　内部メモリ容量選択レジスタ（IMS）はμPD78P4916のみ内蔵しています。μPD784915, 784915A, 784916AにはIMSはありません。μPD784915, 784915A, 784916Aでこのレジスタへの書き込み命令を実行しても動作に影響を与えません。**

2.　IMSの設定で，μPD78P4916を指定した場合，ROM容量がマスク品と異なります。

保守／廃止

第4章　クロック発生回路

4.1　構成と機能

クロック発生回路は，CPUおよび周辺回路に供給する内部システム・クロック（CLK）を発生，制御する回路です。クロック発生回路は，図4-1のように構成されています。

メイン・システム・クロック発振回路は，X1，X2端子に接続された水晶振動子，またはセラミック発振子によって発振します。スタンバイ・モードの設定，$\overline{\text{RESET}}$入力により，発振を停止します。

注意　μPD784915には外部クロックを入力することはできません。

サブシステム・クロック発振回路は，XT1，XT2端子に接続された水晶振動子によって発振します。スタンバイ・コントロール・レジスタ（STBC）のビット7の設定により，発振を停止します。スタンバイ・モードの設定，および$\overline{\text{RESET}}$入力にも影響を受けません。

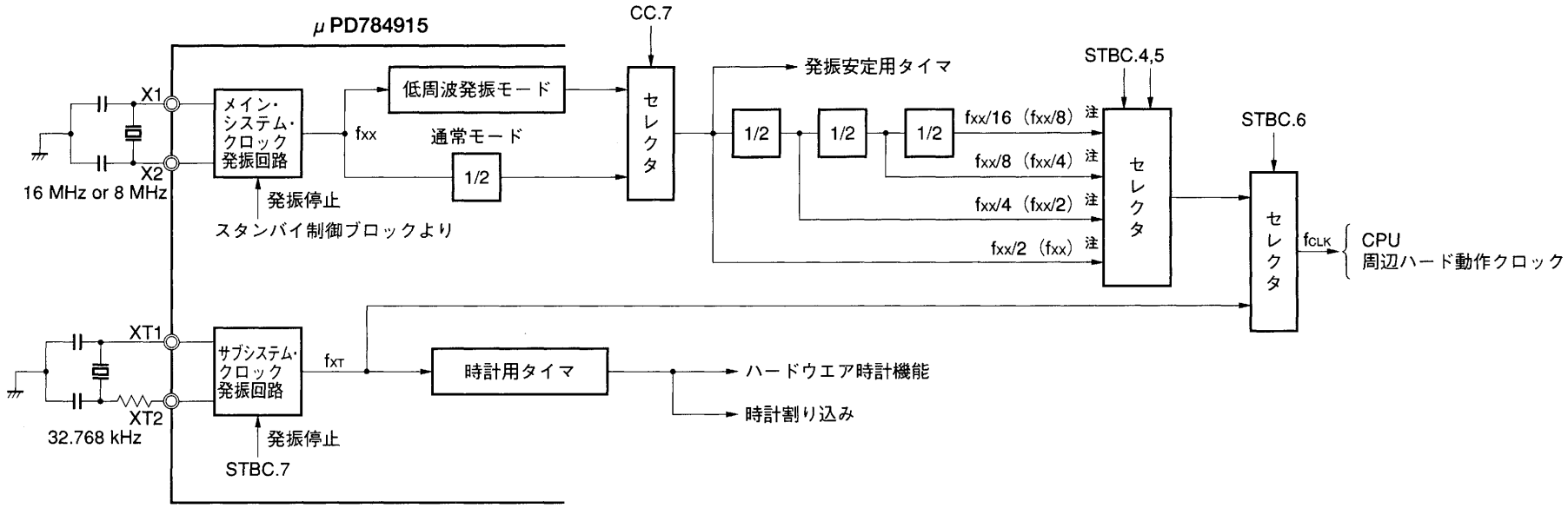
サブシステム・クロックは，おもに時計回路や一定時間ごとの割り込みに使用されます。また，低消費電力モード時のシステム・クロックとして使用されます。

また，クロック・コントロール・レジスタ（CC）のビット7の設定により，低周波発振モードに切り替えることができます。内部システム・クロックの周波数と外付け発振子の周波数を同一にすることができます。輻射ノイズによるチューナ・ブロックなどへの影響を低減できます。低周波発振モードはソフトウエアで設定しますが，一度設定するとソフトウエアで通常モードに戻すことはできません（$\overline{\text{RESET}}$入力でのみ解除できます）。

μPD784915サブシリーズではクロック分周回路を内蔵していますので，高速動作が不要な場合は，内部動作周波数を下げることにより，低消費電流を実現します。

保守／廃止

図4－1　クロック発生回路のブロック図



注　f_{XX}：発振周波数，（　）内は低周波発振モード時

保守／廃止

図４－２にメイン・システム・クロックの発振回路の外付け回路，図４－３にサブシステム・クロック発振回路の外付け回路を示します。

図４－２　メイン・システム・クロック発振回路の外付け回路

クリスタル／セラミック発振

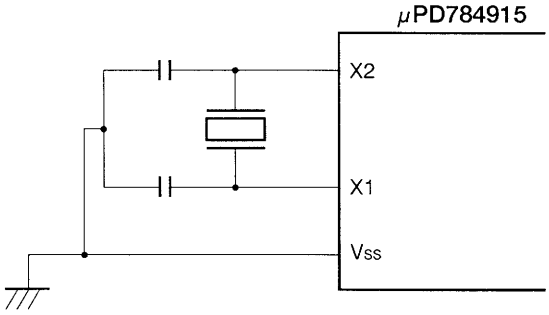
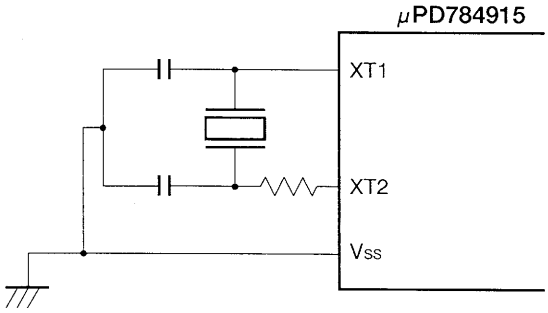


図４－３　サブシステム・クロック発振回路の外付け回路

クリスタル発振



備考　水晶振動子とセラミック発振子の使い分け

一般に水晶振動子の発振周波数はきわめて安定しています。したがって，高精度の時間の管理を行う場合（たとえば，時計，周波数測定など）に最適です。

また，セラミック発振子は，水晶振動子と比較すると発振周波数の安定性では劣りますが，発振開始時間が速く，小型で安価であるという３つの特徴を持っています。したがって通常の用途（高い精度の時間管理を必要としない場合）には有効です。また，コンデンサ内蔵品などもあり，部品点数，実装面積の削減に効果があります。

4.2　制御レジスタ

クロック発生回路の制御は，次のレジスタで行います。

- クロック・コントロール・レジスタ（CC：図4－4参照）
- スタンバイ・コントロール・レジスタ（STBC：図4－5参照）
- CPUクロック・ステータス・レジスタ（PCS：図4－6参照）
- 発振安定時間指定レジスタ（OSTS：図4－7参照）

図4－4　クロック・コントロール・レジスタ（CC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CC	ENMP	0	0	0	0	0	0	0	FF7BH	00H	R/W

ENMP	低周波発振モードの制御
0	通常動作モード
1	低周波発振モード（8 MHzスルー・モード）

保守／廃止

図4-5　スタンバイ・コントロール・レジスタ（STBC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
STBC	SBK	CK2	CK1	CK0	XTS	MCK	STP	HLT	FFC0H	0000×000	R/W

MCK	STP	HLT	CPUクロック	メイン・システム・クロック	動作モード
0	0	0	動作	動作	通常モード
	0	1	停止	動作	HALTモード
	1	0	停止	停止	STOPモード
1	0	0	動作	停止	通常モード
	0	1	停止	停止	HALTモード
上記以外			設定禁止		

XTS	サブシステム・クロック発振停止フラグ 1を書き込むことにより発振を停止する サブシステム・クロックが停止すると自動的にクリア XTSはリセットの影響を受けない

CK1	CK0	内部システム・クロックの選択
0	0	$f_{XX}/2$ (f_{XX})
0	1	$f_{XX}/4$ ($f_{XX}/2$)
1	0	$f_{XX}/8$ ($f_{XX}/4$)
1	1	$f_{XX}/16$ ($f_{XX}/8$)

備考　f_{XX}：発振周波数，（　）内は低周波発振モード時

CK2	CPUクロックの選択
0	メイン・システム・クロック（内部8MHz）
1	サブシステム・クロック

SBK	サブシステム・クロックの帰環抵抗制御
0	帰環抵抗を接続
1	帰環抵抗を切断

保守／廃止

図4-6　CPUクロック・ステータス・レジスタ（PCS）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCS	—	—	—	—	—	—	—	CST	FFCEH	00H	R

CST	CPUクロックの状態
0	メイン・システム・クロックで動作
1	サブシステム・クロックで動作

備考　—：不定

図4-7　発振安定時間指定レジスタ（OSTS）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	0	OSTS1	OSTS0	FFCFH	00H	W

OSTS1	OSTS0	発振安定時間の指定（f_{CLK}=8 MHz時）
0	0	発振安定用タイマ18ビット分のカウント時間（32.8 ms）
0	1	発振安定用タイマ17ビット分のカウント時間（16.4 ms）
1	0	発振安定用タイマ16ビット分のカウント時間（8.2 ms）
1	1	発振安定用タイマ15ビット分のカウント時間（4.1 ms）

保守／廃止

4.3　クロック発生回路の動作

4.3.1　メイン・システム・クロック発振回路

メイン・システム・クロック発振回路は，X1，X2端子に接続された水晶振動子，またはセラミック発振子によって発振します。発振の停止は，スタンバイ・モードの設定により行います（**第14章　スタンバイ機能**参照）。

また，$\overline{\text{RESET}}$入力により，リセット期間中は無条件に発振を停止します（**第15章　リセット機能**参照）。

発振の再開は，スタンバイ・モードの解除およびリセットの解除により行います。

4.3.2　サブシステム・クロック発振回路

サブシステム・クロック発振回路は，XT1，XT2端子に接続された水晶振動子によって発振します。

発振の停止は，スタンバイ・モード・レジスタ（STBC）のビット7の設定により行います（スタンバイ・モードおよび$\overline{\text{RESET}}$入力の影響を受けません）。

サブシステムは，主に時計回路や一定時間ごとの割り込みに使用されます。また，低消費電力モード時のシステム・クロックとして使用されます（**第14章　スタンバイ機能**参照）。

4.3.3　低周波発振モード

μPD784915は，内部システム・クロック周波数と外付け発振子の周波数を同一にすることができる低周波発振モードを準備しています。輻射ノイズによるチューナ・ブロックなどへの影響を低減できます。

低周波発振モードの設定は，クロック・コントロール・レジスタ（CC）のビット7によって行います。低周波発振モードは，一度設定するとソフトウエアで通常モードに戻すことはできません（$\overline{\text{RESET}}$入力でのみ解除できます）。

4.3.4　クロック分周回路

クロック分周回路は，メイン・システム・クロック発振回路からの出力を1/2，1/4，1/8，1/16に分周して，内部システム・クロックを生成します。分周比は，スタンバイ・コントロール・レジスタ（STBC）のCK0，CK1ビットで指定します。

CPUの必要なスピードに応じて分周比を制御することにより，総合的な消費電力を低減することができます。また，電源電圧に応じた動作速度を選択することができます。

$\overline{\text{RESET}}$入力により，最高速（1/2）が選択されます。

クロック分周回路の分周比を変更した場合，変更前に選択していたクロックに応じて，最大で表4-1に示す時間が，分周比の変更に必要になります。

なお，分周比の変更中も命令の実行などは継続して行われ，変更が終了するまでは，変更前分周比でクロックが供給されます。

保守／廃止

表4－1　分周比の変更に必要な時間

変更前の内部システム・クロック注	変更に必要な最大時間
$f_{XX}/2$ (f_{XX})	11クロック
$f_{XX}/4$ ($f_{XX}/2$)	6クロック
$f_{XX}/8$ ($f_{XX}/4$)	2クロック
$f_{XX}/16$ ($f_{XX}/8$)	1クロック

注　f_{XX}：発振周波数，（　）内は低周波発振モード時

★　**注意　IE-784000-Rとデバイスではリセット・スタート時の動作に違いがありますので，あらかじめプログラムでの対策が必要になります。**
IE-784000-Rでは，リセット・スタート時にSTBCレジスタが“30H”にセットされ最低速が選択されます。デバイスではSTBCレジスタは“00H”にセットされ，内部システム・クロックは$f_{XX}/2$の最高速の内部クロックが選択されます。そこで対策としてあらかじめプログラムの初期設定で，STBCレジスタに“00H”を設定し最高速の内部クロックに指定してください。

● リセット解除後の初期設定プログラム例

```
RSTVCT    CSEG     AT  0
          DW       RESTRT
RESTRT : LOCATION  0H            ;                          13クロック
         MOVG      SP, #STKBGN ; スタック・ポインタ設定     5クロック
         MOV       STBC, #00H  ; STBCレジスタ設定（実行速度を高速に設定）
                                ;                          13クロック
         MOV       MM, #80H    ;
```

なお，STBCレジスタが設定されるまでの動作時間は，IE-784000-Rとデバイスでは異なります。上記プログラム例の場合，以下のようになります。

IE-784000-R	31クロック	約31.1 μs (f_{XX}/8 MHz)
μPD784915	31クロック	約3.9 μs

保守／廃止

4.4　注意事項

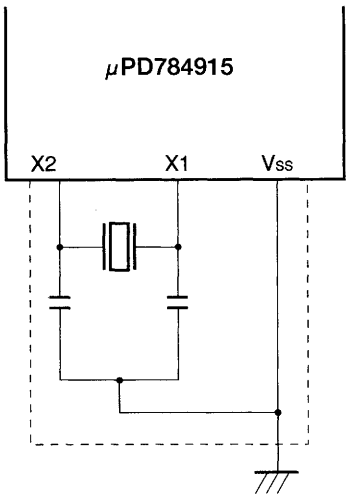
(1) 発振回路は高周波のアナログ回路となりますので，十分に注意をしてください。特に注意しなければならない点について次に例をあげます。

- 配線は極力短くする。
- 他の信号線と交差させない。また，大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}端子と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- 発振回路部から信号を取り出さない。

サブシステム発振回路は，低消費電流にするために増幅度の低い回路になっており，ノイズに対する誤動作がメイン・システム・クロック発振回路よりも起こりやすくなっています。したがって，サブシステム・クロック回路を使用する場合は，配線方法について特に注意してください。

発振が正常に安定して行われないと，マイコンも正常に安定した動作を行うことができません。また，高精度な発振周波数を得たい場合などは，発振器メーカと相談してください。

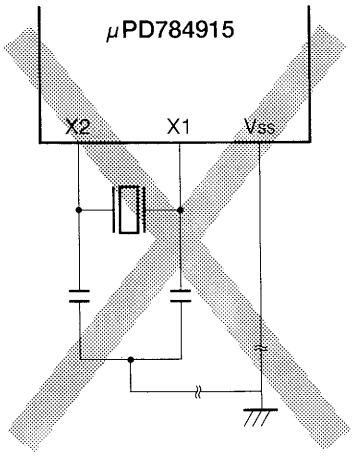
図4-8　発振子の接続の注意点



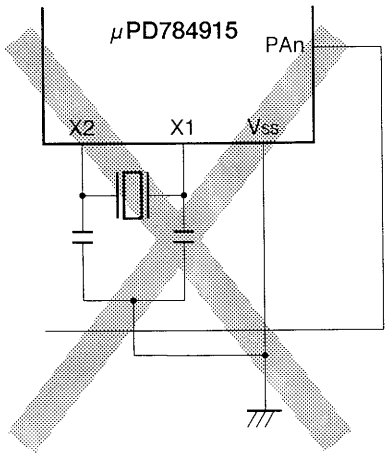
注意1．発振回路は，X1，X2（XT1，XT2）端子にできるだけ近づけてください。
　　2．破線の範囲に他の信号線を通さないでください。

図４－９　発振子の接続の悪い例

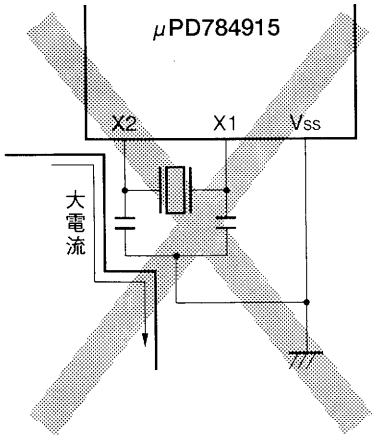
（ａ）接続回路の配線が長い



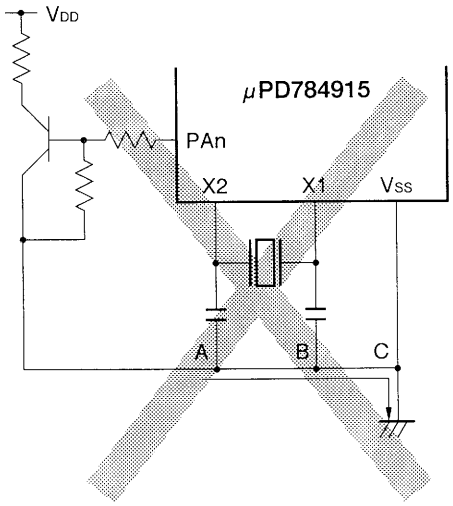
（ｂ）信号線が交差している



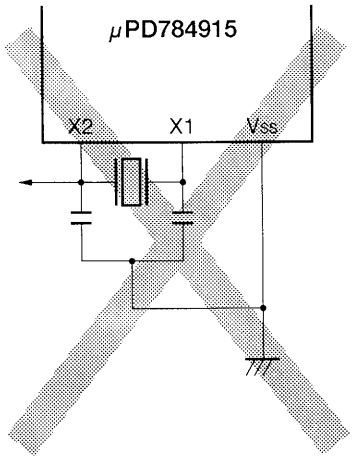
（ｃ）変化する大電流が信号線に近接
　　している



（ｄ）発振回路のグランド・ライン
　　上に電流が流れる
　　（A点，B点，C点の電位が変動する）



（ｅ）信号を取り出している



保守／廃止

(2) パワーオン時およびスタンバイ・モードからの復帰時には発振が安定するまでの時間を確保する必要があります。一般に，発振を安定させるためには，水晶振動子を使用した場合は数msec，セラミック発振子を使用した場合は数百μsecの時間が必要です。

μPD784915では，発振安定時間を確保するために，発振安定用カウンタを設けています。$\overline{\text{RESET}}$入力時，スタンバイ・モードからの復帰時には自動的に発振安定用カウンタで発振安定時間を確保します。

発振安定時間は，発振安定時間指定レジスタ（OSTS）で指定します。

(3) システム・クロックをメイン・システム・クロックからサブシステム・クロックに切り替える場合は，スタンバイ・コントロール・レジスタ（STBC）を使用します。このとき，システム応用上では，メイン電源からバックアップ電源への切り替えをメイン・システム・クロックの発振停止確認後に実行する必要があります。この場合に，メイン・システム・クロックの発振が停止したかどうかは，CPUクロック・ステータス・レジスタ（PCS）のCSTビットのリード・データから判定できます（**図4－6**参照）。

また，システム・クロックをサブシステム・クロックからメイン・システム・クロックに復帰させる場合は，まず，システム上でメイン電源（5 V）を供給し，メイン・システム・クロックの発振を許可します。その後，メイン・システム・クロックの発振安定時間をウエイトし，システム・クロックをメイン・システム・クロックに切り替えます。

詳細は，**14.6　低消費電力モード**を参照してください。

(4) IE-784000-Rとデバイスではリセット・スタート時の動作に違いがありますので，あらかじめプログラムでの対策が必要になります。

IE-784000-Rでは，リセット・スタート時にSTBCレジスタが“30H”にセットされ最低速が選択されます。デバイスではSTBCレジスタは“00H”にセットされ，内部システム・クロックは$f_{XX}/2$の最高速の内部クロックが選択されます。そこで対策としてあらかじめプログラムの初期設定で，STBCレジスタに“00H”を設定し最高速の内部クロックに指定してください。

保守／廃止

● リセット解除後の初期設定プログラム例

```
RSTVCT    CSEG     AT  0
          DW       RESTRT
RESTRT : LOCATION  0H          ;                          13クロック
         MOVG     SP, #STKBGN ; スタック・ポインタ設定     5クロック
         MOV      STBC, #00H  ; STBCレジスタ設定（実行速度を高速に設定）
                              ;                          13クロック
         MOV      MM, #80H    ;
```

なお，STBCレジスタが設定されるまでの動作時間は，IE-784000-Rとデバイスでは異なります。上記プログラム例の場合，以下のようになります。

IE-784000-R	31クロック	約31.1 μs（f_{XX}/8 MHz）
μPD784915	31クロック	約3.9 μs

分周回路の分周比を変更した場合，変更前に選択していたクロックに応じてクロックが切り替わるには，以下に示す時間が必要になります。

f_{XX}は発振周波数

変更前クロック	変更に必要な時間
f_{XX}/2	11クロック
f_{XX}/4	6クロック
f_{XX}/8	2クロック
f_{XX}/16	1クロック

保守／廃止

第5章　ポート機能

5.1　各ポートの機能と概要

μPD784915は図5-1のようなポートを備えており，多様な制御ができます。

各ポートの機能は表5-1のとおりです。

図5-1　ポートの構成

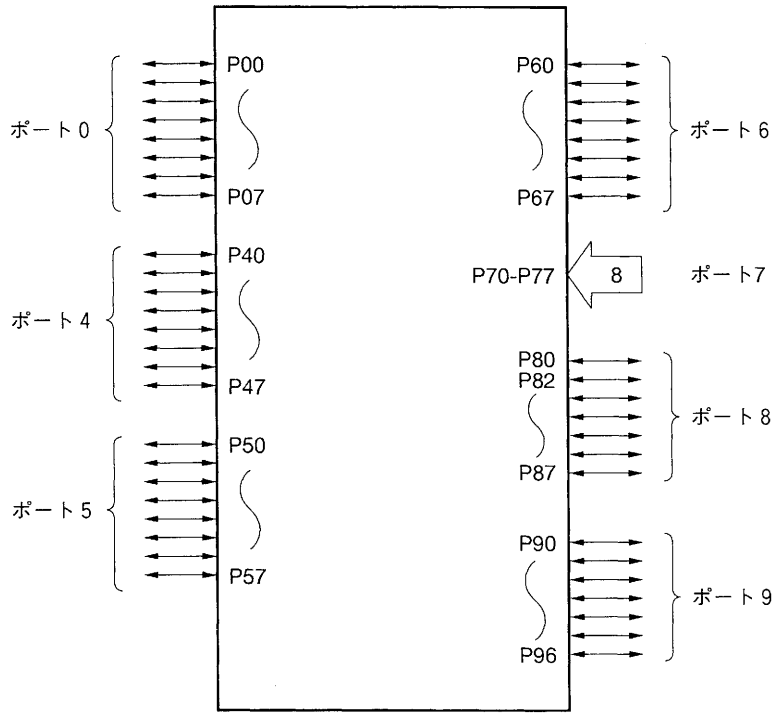


表5-1　ポートの機能

名　称	端子名	機　　能	ソフトウエア・プルアップ抵抗の指定
ポート0	P00-P07	・1ビット単位で入力か出力に指定可能	入力モードの端子について一括して指定
ポート4	P40-P47		
ポート5	P50-P57		
ポート6	P60-P67		
ポート7	P70-P77	・入力ポート	プルアップ抵抗を内蔵していません
ポート8	P80，P82-P87	・1ビット単位で入力か出力に指定可能	入力モードの端子について一括して指定
ポート9	P90-P96		

5.2　ポート0（P00-P07）…8ビット入出力ポート

8ビットの入出力ポートです。1ビット単位で入力／出力の指定が可能です。ソフトウエア制御によるプルアップ抵抗を内蔵できます（入力モード時）。

ポート0は，リアルタイム出力ポートと兼用になっています（**第6章　リアルタイム出力ポート（RTP）**参照）。

表5-2にポート0の機能を示します。

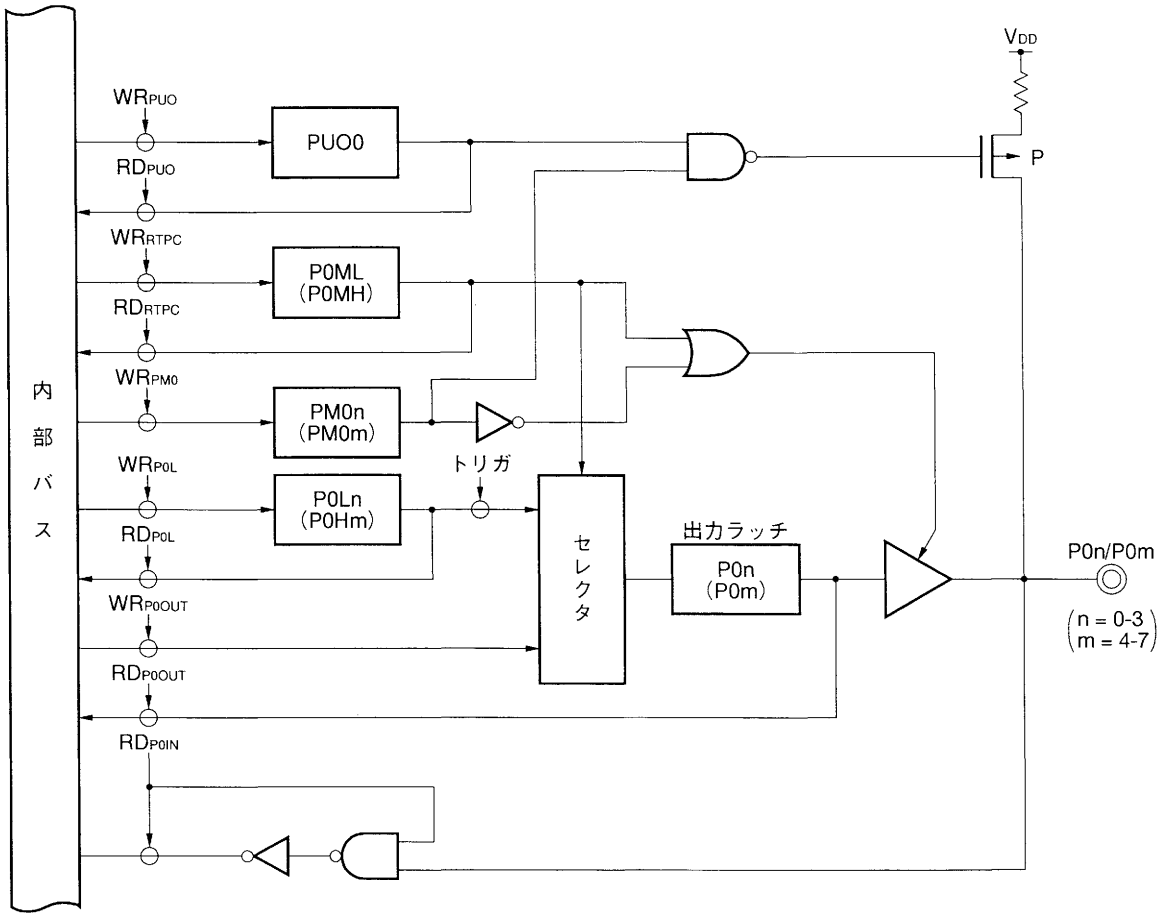
表5-2　ポート0の機能

端子	ポート機能	兼用端子	兼用端子の機能
P00 ｜ P07	入出力	リアルタイム 出力ポート0	8ビット×1または4ビット×2のリアルタイム出力ポートとして使用可能

5.2.1　ハードウエア構成

図5-2にポート0のハードウエア構成を示します。

図5-2　ポート0のブロック図



5.2.2　入出力モード／コントロール・モードの設定

ポート0の入出力モードは，図5-3に示すポート0モード・レジスタ（PM0）により，端子ごとに設定します。

PM0は8ビット・データ転送命令で設定します（ビット操作および読み出しはできません）。

図5-3　ポート0モード・レジスタ（PM0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	W

PM0n	P0n端子の入出力モード指定（n=0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

リアルタイム出力ポートとして使用する場合は，リアルタイム出力ポート0コントロール・レジスタ（RTPC）のP0ML，P0MHの各ビットを1にセットします。

なお，P0ML，P0MHをセットすると，PM0の内容にかかわらず，それぞれの端子の出力バッファがオンし，出力ラッチの内容が端子に出力されます。

図5-4　リアルタイム出力ポート0コントロール・レジスタ（RTPC）のフォーマット

	7	6	5	④	3	2	1	⓪	アドレス	リセット時	R/W
RTPC	BYTE	0	0	P0MH	EXTR	0	TRGP0	P0ML	FF2EH	00H	R/W

P0ML	P0L（P00-P03）の機能指定
0	ポート・モード
1	リアルタイム出力ポート・モード（出力バッファ・オン）

P0MH	P0H（P04-P07）の機能指定
0	ポート・モード
1	リアルタイム出力ポート・モード（出力バッファ・オン）

5.2.3　内蔵プルアップ抵抗

ポート0はプルアップ抵抗を内蔵しています。プルアップする必要がある場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

プルアップ抵抗を使用するかどうかは，次の2つのレジスタで指定します。

- プルアップ抵抗オプション・レジスタL（PUOL）のビット0（PUO0）
- ポート0モード・レジスタ（PM0）

PUO0＝1のとき，PM0で入力モードに指定した端子のプルアップ抵抗が有効になります。

図5-5　プルアップ抵抗オプション・レジスタL（PUOL）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOL	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	PUO0	FF4EH	00H	R/W

PUO0	ポート0のプルアップ抵抗の指定
0	ポート0でプルアップ抵抗を使用しない
1	ポート0でプルアップ抵抗を使用する

注意　**リアルタイム出力ポート・モードに指定した端子でも，上記の設定を行っていればプルアップ抵抗は接続されています。リアルタイム出力ポート・モード時は，対応するPM0のビットを0（出力モード）にしてください。**

備考　STOPモードに入る場合は，消費電流を低減するために，PUOLに00Hを設定することが有効です。

保守／廃止

5.3　ポート4（P40-P47）…8ビット入出力ポート

8ビットの入出力ポートです。1ビット単位で入力／出力の指定が可能です。

ソフトウエア制御によるプルアップ抵抗を内蔵できます（入力モード時）。

表5-3にポート4の機能を示します。

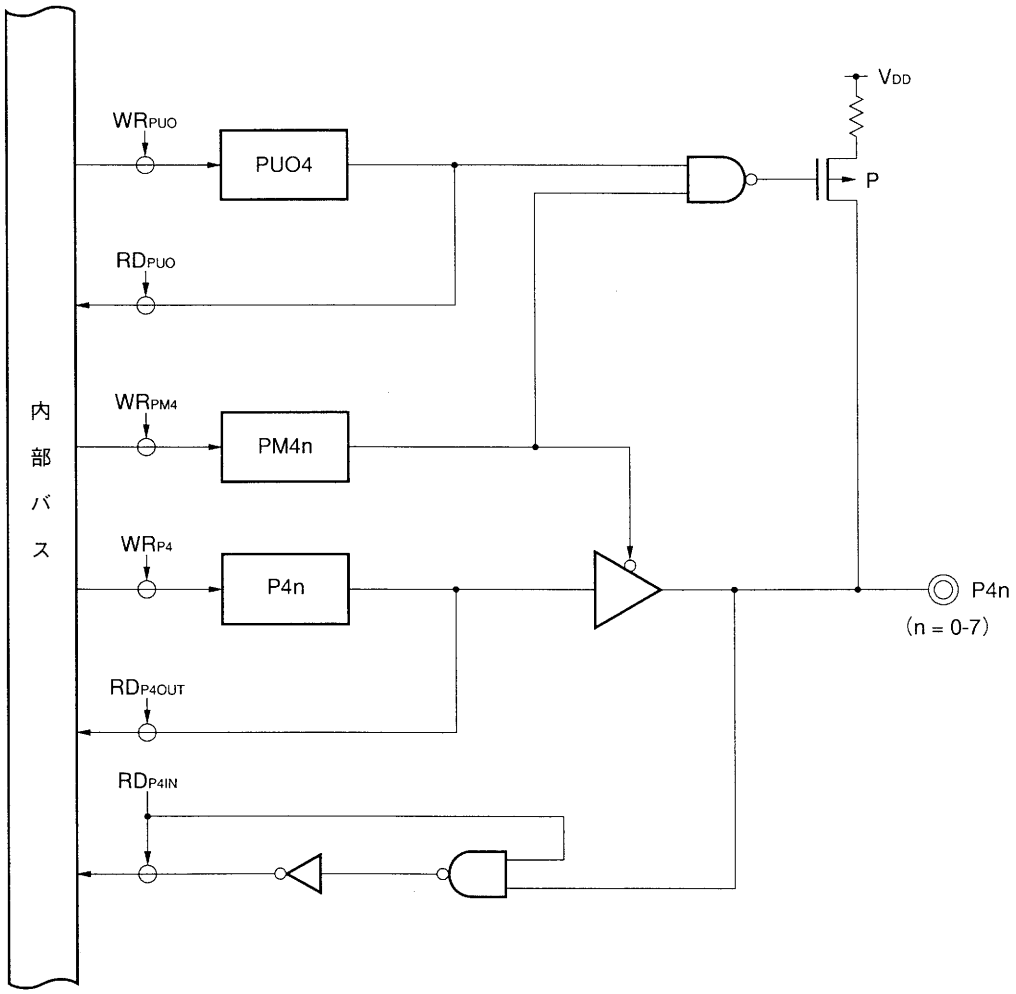
表5-3　ポート4の機能

端子	ポート機能	兼用端子	兼用端子の機能
P40 | P47	入出力	—	—

5.3.1　ハードウエア構成

図5-6にポート4のハードウエア構成を示します。

図5-6　ポート4のブロック図



5.3.2　入出力モード／コントロール・モードの設定

ポート4の入出力モードは，図5-7に示すポート4モード・レジスタ（PM4）により，端子ごとに設定します。

PM4は8ビット・データ転送命令で設定します（ビット操作および読み出しはできません）。

図5-7　ポート4モード・レジスタ（PM4）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	W

PM4n	P4n端子の入出力モード指定（n=0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

5.3.3　内蔵プルアップ抵抗

ポート4はプルアップ抵抗を内蔵しています。プルアップする必要がある場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

プルアップ抵抗を使用するかどうかは，次の2つのレジスタで指定します。

- プルアップ抵抗オプション・レジスタL（PUOL）のビット4（PUO4）
- ポート4モード・レジスタ（PM4）

PUO4=1のとき，PM4で入力モードに指定した端子のプルアップ抵抗が有効になります。

図5-8　プルアップ抵抗オプション・レジスタL（PUOL）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOL	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	PUO0	FF4EH	00H	R/W

PUO4	ポート4のプルアップ抵抗の指定
0	ポート4でプルアップ抵抗を使用しない
1	ポート4でプルアップ抵抗を使用する

備考　STOPモードに入る場合は，消費電流を低減するために，PUOLに00Hを設定することが有効です。

保守／廃止

5.4　ポート5（P50-P57）…8ビット入出力ポート

8ビットの入出力ポートです。1ビット単位で入力／出力の指定が可能です。
ソフトウエア制御によるプルアップ抵抗を内蔵できます（入力モード時）。
表5-4にポート5の機能を示します。

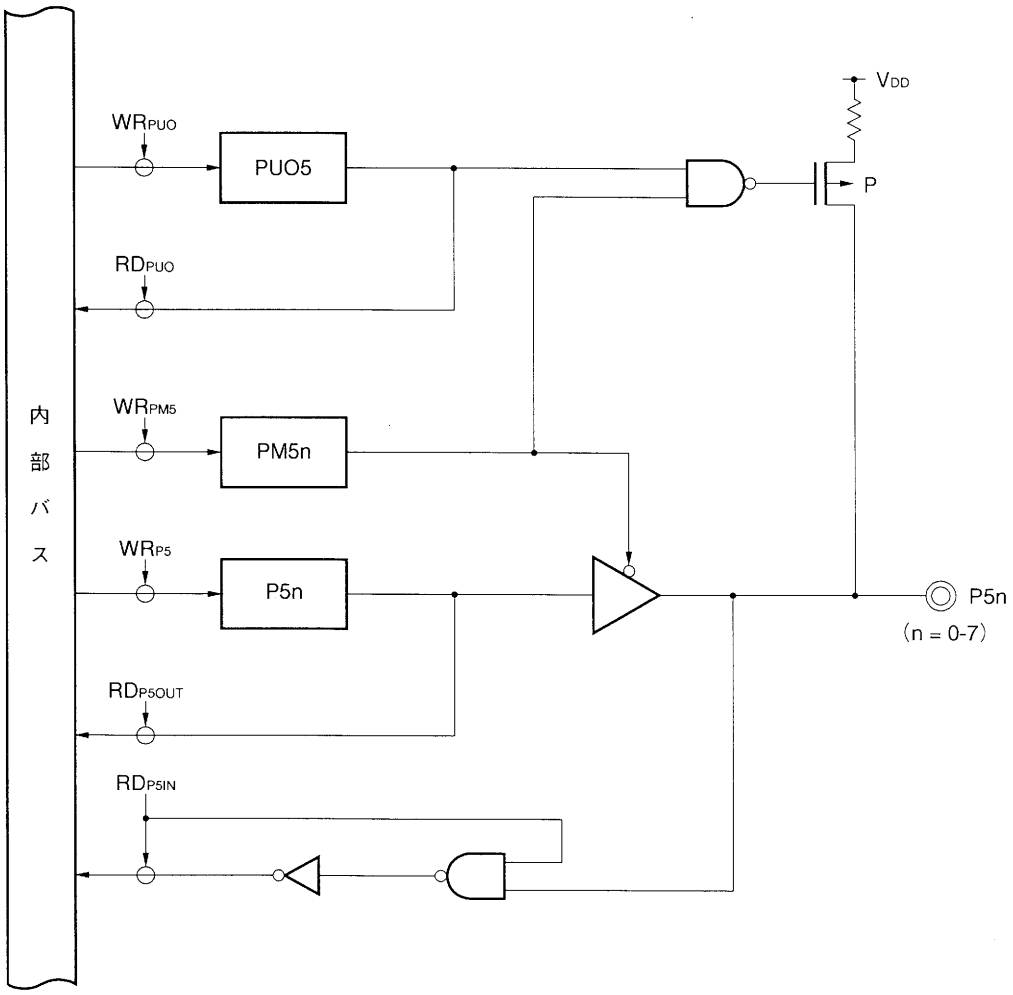
表5-4　ポート5の機能

端子	ポート機能	兼用端子	兼用端子の機能
P50 | P57	入出力	—	—

5.4.1　ハードウエア構成

図5-9にポート5のハードウエア構成を示します。

図5-9　ポート5のブロック図



5.4.2　入出力モード／コントロール・モードの設定

ポート5の入出力モードは，図5-10に示すポート5モード・レジスタ（PM5）により，端子ごとに設定します。

PM5は8ビット・データ転送命令で設定します（ビット操作および読み出しはできません）。

図5-10　ポート5モード・レジスタ（PM5）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	W

PM5n	P5n端子の入出力モード指定（n=0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

5.4.3　内蔵プルアップ抵抗

ポート5はプルアップ抵抗を内蔵しています。プルアップする必要がある場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

プルアップ抵抗を使用するかどうかは，次の2つのレジスタで指定します。

- プルアップ抵抗オプション・レジスタL（PUOL）のビット5（PUO5）
- ポート5モード・レジスタ（PM5）

PUO5=1のとき，PM5で入力モードに指定した端子のプルアップ抵抗が有効になります。

図5-11　プルアップ抵抗オプション・レジスタL（PUOL）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOL	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	PUO0	FF4EH	00H	R/W

PUO5	ポート5のプルアップ抵抗の指定
0	ポート5でプルアップ抵抗を使用しない
1	ポート5でプルアップ抵抗を使用する

備考　STOPモードに入る場合は，消費電流を低減するために，PUOLに00Hを設定することが有効です。

保守／廃止

5.5　ポート6（P60-P67）…8ビット入出力ポート

8ビットの入出力ポートです。1ビット単位で入力／出力の指定が可能です。

ソフトウエア制御によるプルアップ抵抗を内蔵できます（入力モード時）。

また，P60はシリアル・インタフェース2のストローブ出力，P61-P63はシリアル・インタフェース1の入出力，P65はハードウエア時計カウンタの外部入力，P66，P67はPWM出力とそれぞれ兼用になっています。

P60，P61はポート・モード時，クロック出力CLO，ブザー出力BUZを重畳することができます。

表5-5にポート6の機能を示します。

表5-5　ポート6の機能

端子	ポート機能	兼用端子	兼用端子の機能
P60	入出力	STRB/CLO	シリアル・インタフェース2ストローブ出力／クロック出力
P61		$\overline{\text{SCK1}}$/BUZ	シリアル・インタフェース1クロック入出力／ブザー出力
P62		SO1	シリアル・インタフェース1データ出力
P63		SI1	シリアル・インタフェース1データ入力
P64		—	—
P65		HWIN	ハードウエア時計カウンタの外部入力
P66		PWM4	PWM出力（8ビット精度）
P67		PWM5	PWM出力（16ビット精度）

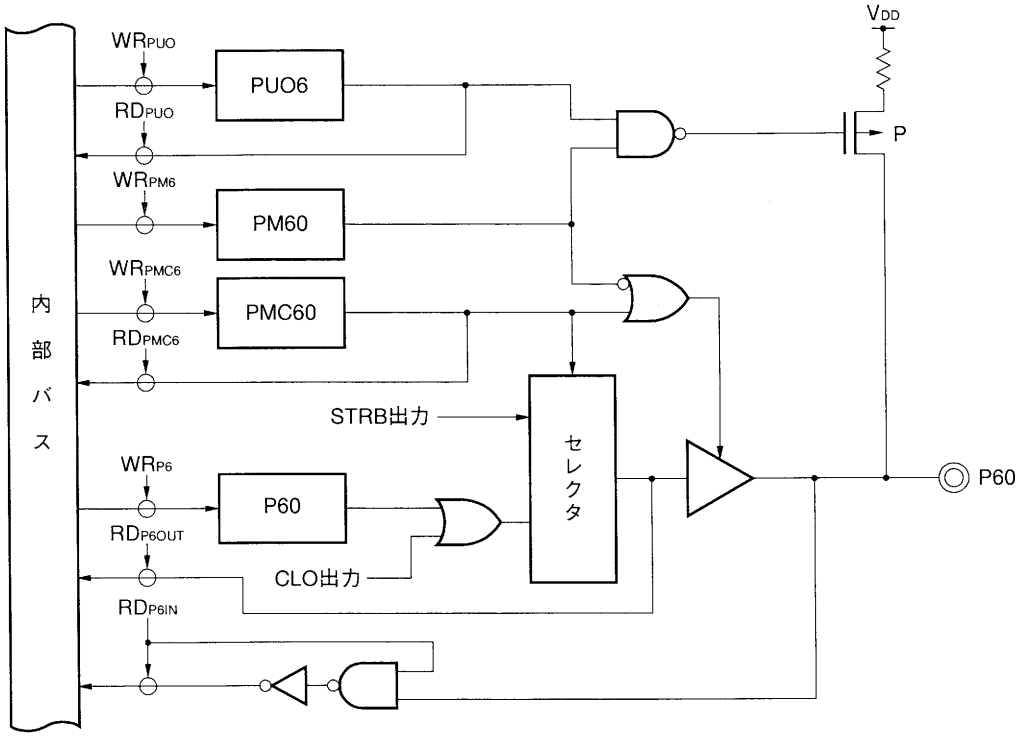
5.5.1　ハードウエア構成

図5-12にポート6のハードウエア構成を示します。

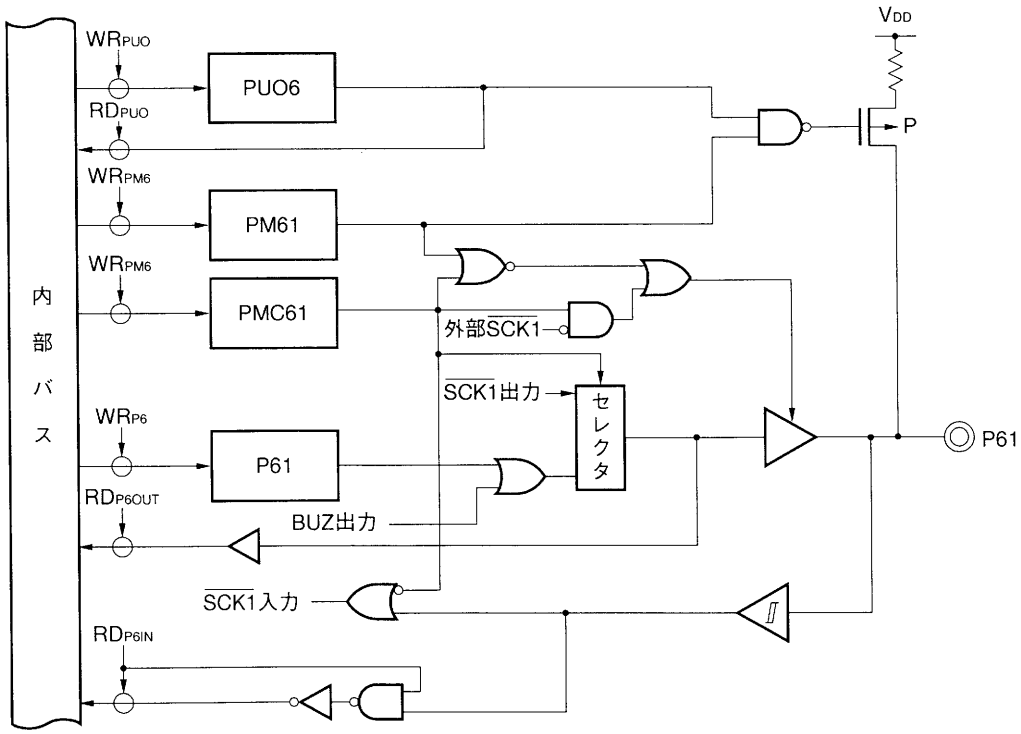
保守／廃止

図5-12　ポート6のブロック図（1/3）

(a) P60



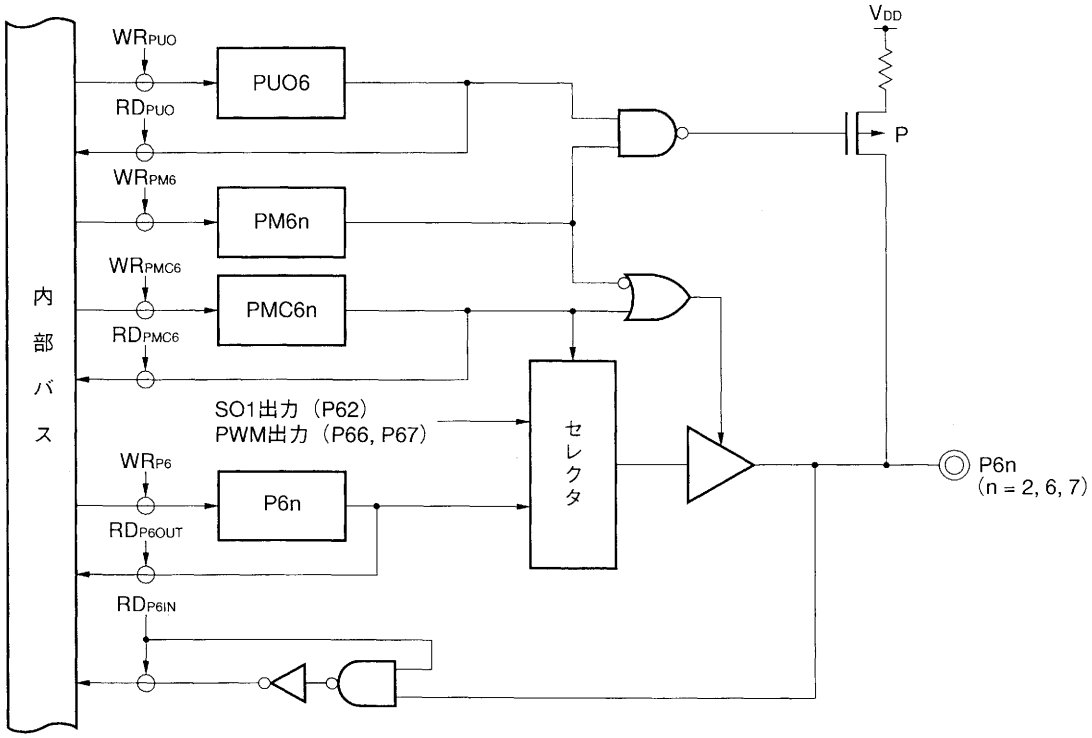
(b) P61



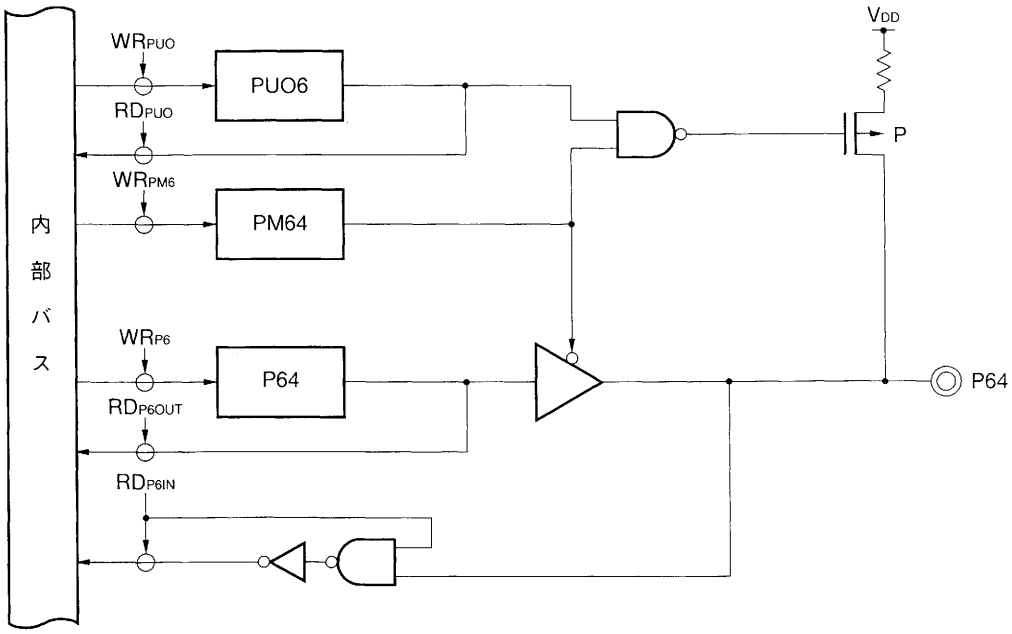
保守／廃止

図5-12　ポート6のブロック図（2/3）

（c）P62，P66，P67



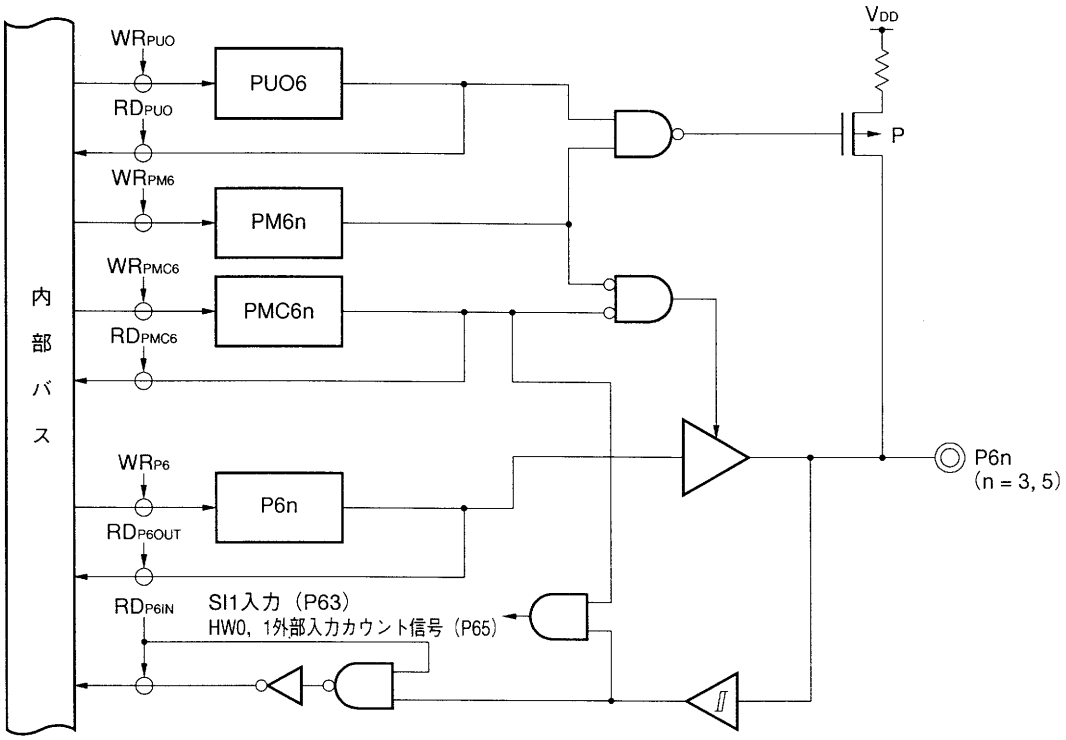
（d）P64



保守／廃止

図5-12　ポート6のブロック図（3/3）

（e）P63，P65



5.5.2　入出力モード／コントロール・モードの設定

ポート6の入出力モードは，図5-13に示すポート6モード・レジスタ（PM6）により，端子ごとに設定します。

PM6は8ビット・データ転送命令で設定します（ビット操作および読み出しはできません）。

図5-13　ポート6モード・レジスタ（PM6）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FF26H	FFH	W

PM6n	P6n端子の入出力モード指定（n=0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　CLO，BUZはポート出力に重畳する構成になっているので，ポートは出力モード（PM6n=0）で，かつポート出力ラッチは0（P6m=0）に設定してください。

また，P60はシリアル・インタフェース２のストローブ出力，P61-P63はシリアル・インタフェース１の入出力，P65はハードウエア時計カウンタの外部入力，P66，P67はPWM出力とそれぞれ兼用になっており，ポート６モード・コントロール・レジスタ（PMC6）によりコントロール・モードを指定できます。

図5-14　ポート６モード・コントロール・レジスタ（PMC6）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC6	PMC67	PMC66	PMC65	0	PMC63	PMC62	PMC61	PMC60	FF66H	00H	R/W

PMC60	P60端子のコントロール・モード指定
0	入出力ポート・モード/CLO出力モード
1	STRB出力モード

PMC61	P61端子のコントロール・モード指定
0	入出力ポート・モード/BUZ出力モード
1	シリアル・インタフェース１クロック入出力モード

PMC62	P62端子のコントロール・モード指定
0	入出力ポート・モード
1	シリアル・インタフェース１データ出力モード

PMC63	P63端子のコントロール・モード指定
0	入出力ポート・モード
1	シリアル・インタフェース１データ入力モード

PMC65	P65端子のコントロール・モード指定
0	入出力ポート・モード
1	HW0，HW1外部入力カウント・モード

PMC6n	P6n端子のコントロール・モード指定（n＝6，7）
0	入出力ポート・モード
1	PWM出力モード

5.5.3　内蔵プルアップ抵抗

ポート6はプルアップ抵抗を内蔵しています。プルアップする必要がある場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

プルアップ抵抗を使用するかどうかは，次の2つのレジスタで指定します。

- プルアップ抵抗オプション・レジスタL（PUOL）のビット6（PUO6）
- ポート6モード・レジスタ（PM6）

PUO6＝1のとき，PM6で入力モードに指定した端子のプルアップ抵抗が有効になります。

図5－15　プルアップ抵抗オプション・レジスタL（PUOL）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOL	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	PUO0	FF4EH	00H	R/W

PUO6	ポート6のプルアップ抵抗の指定
0	ポート6でプルアップ抵抗を使用しない
1	ポート6でプルアップ抵抗を使用する

注意　PUO6＝1に設定していると，コントロール・モードに指定した端子でもプルアップ抵抗は接続されています。したがってコントロール・モード時にプルアップ抵抗を接続したくない場合には，PM6の対応するビットを0（出力モード）にしてください。

備考　STOPモードに入る場合は，消費電流を低減するために，PUOLに00Hを設定することが有効です。

5.6　ポート7（P70-P77）…8ビット入力ポート

8ビットの入力専用ポートです。ソフトウエア制御によるプルアップ抵抗は内蔵していません。

ポート7は，A/Dコンバータの入力端子と兼用になっています（**第9章　A/Dコンバータ**参照）。

表5-6にポート7の機能を示します。

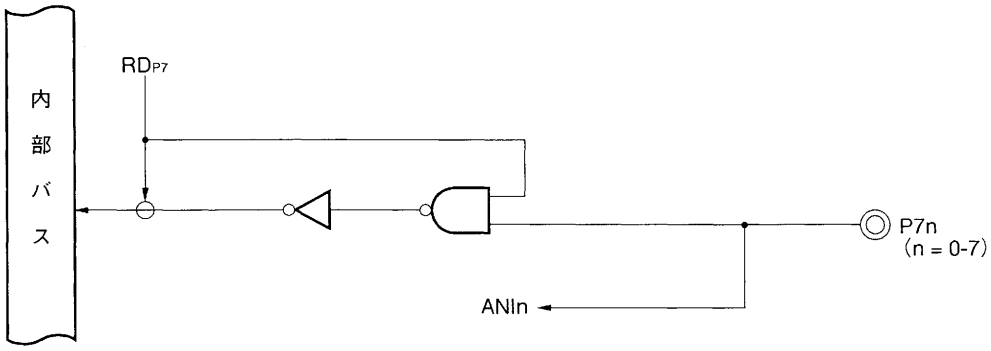
表5-6　ポート7の機能

端子	ポート機能	兼用端子	兼用端子の機能
P70 | P77	入力	ANI0 | ANI7	A/Dコンバータ入力端子

5.6.1　ハードウエア構成

図5-16にポート7のハードウエア構成を示します。

図5-16　ポート7のブロック図



5.6.2　入力モード／コントロール・モードの設定

ポート7は入力専用ポートです。入力モードに設定するためのレジスタはありません。

また，常時A/Dコンバータの入力端子として使用できます。ただし，A/Dコンバータの入力端子として使用しているときは，ポート操作を行わないでください。

5.6.3　内蔵プルアップ抵抗

ポート7はプルアップ抵抗を内蔵していません。

5.7　ポート8（P80，P82-P87）…7ビット入出力ポート

7ビット入出力ポートです。1ビット単位で入力／出力の指定が可能です。ソフトウエア制御によるプルアップ抵抗を内蔵できます（入力モード時）。

P80は疑似V_{SYNC}出力対応，P82はHASW出力，P83はROT-C出力に対応しています。P84，P85はPWM出力，P86，P87はタイマ出力とそれぞれ兼用になっています。

表5-7にポート8の機能を示します。

表5-7　ポート8の機能

端子	ポート機能	兼用端子	兼用端子の機能
P80	入出力	リアルタイム出力ポート	疑似V_{SYNC}出力対応（H_{SYNC}重畳可能，3値出力）
P82			HASW出力対応
P83			ROT-C出力対応
P84		PWM2	PWM出力
P85		PWM3	
P86		PTO10	タイマ出力
P87		PTO11	

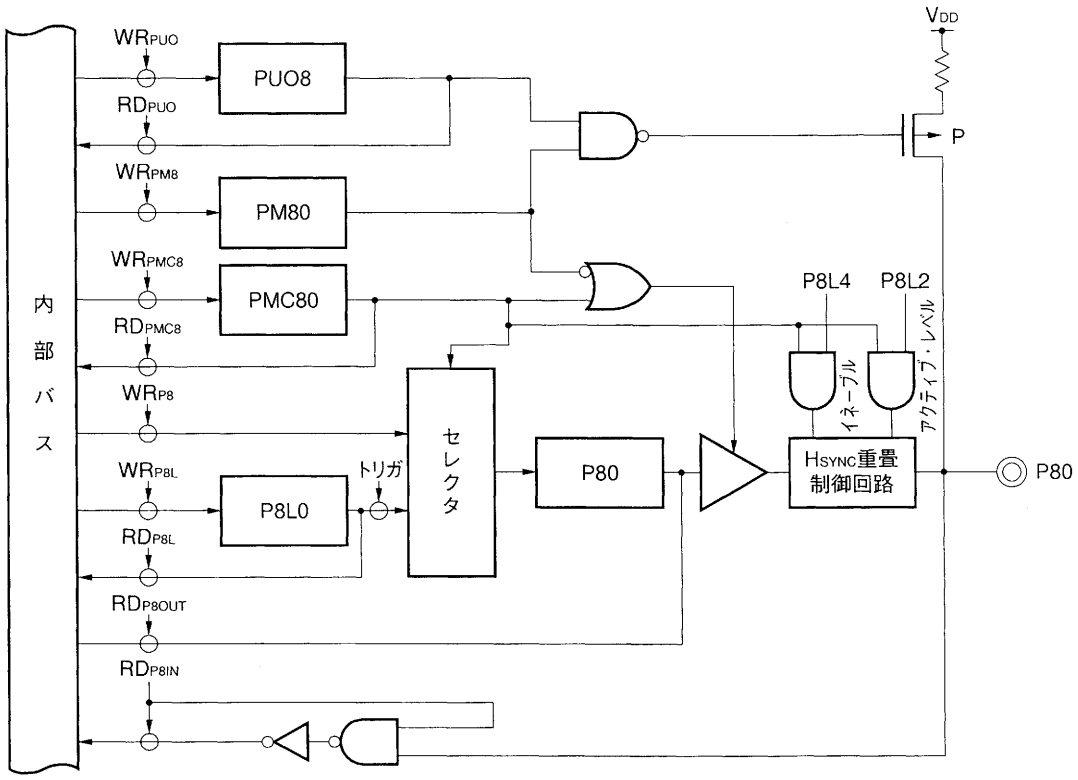
5.7.1　ハードウエア構成

図5-17にポート8のハードウエア構成を示します。

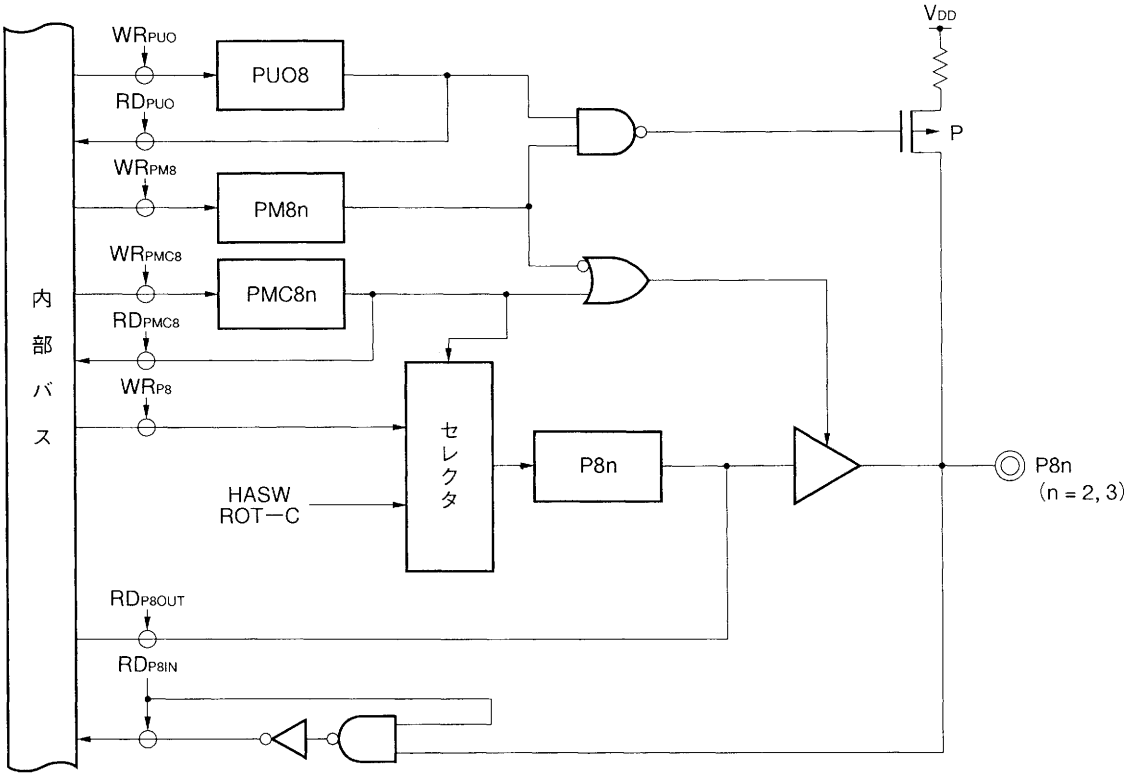
保守／廃止

図5-17　ポート8のブロック図（1/2）

（a）P80



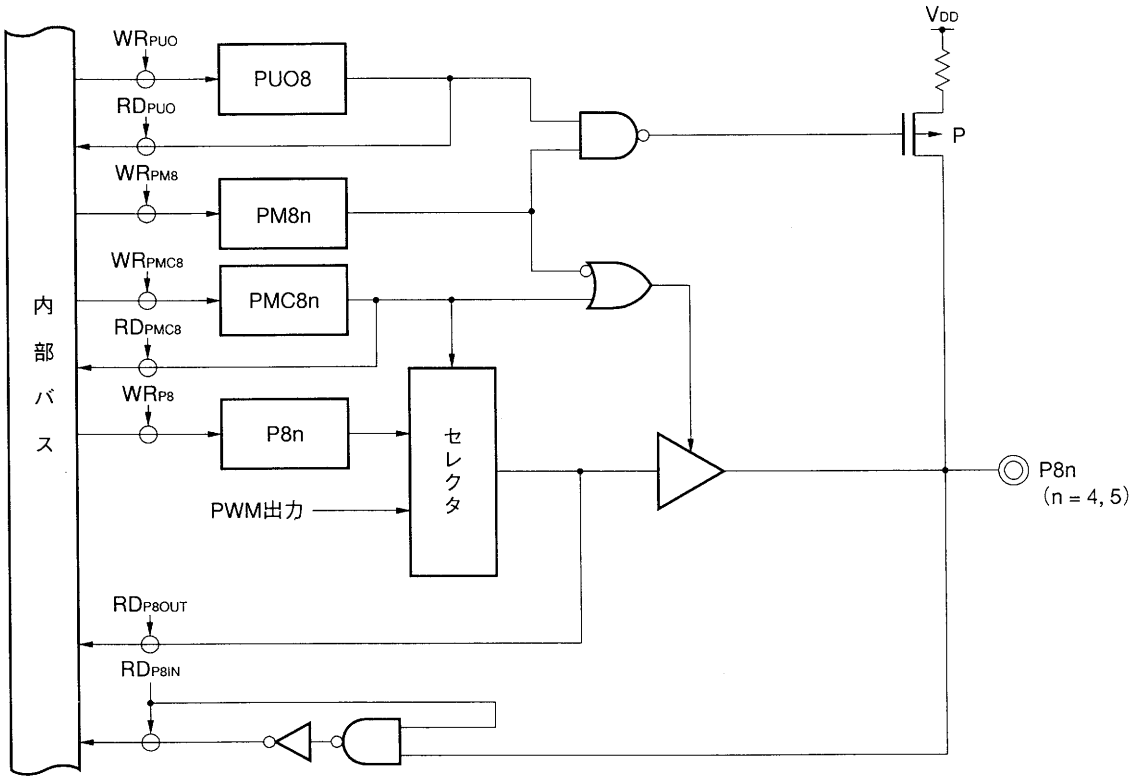
（b）P82，P83



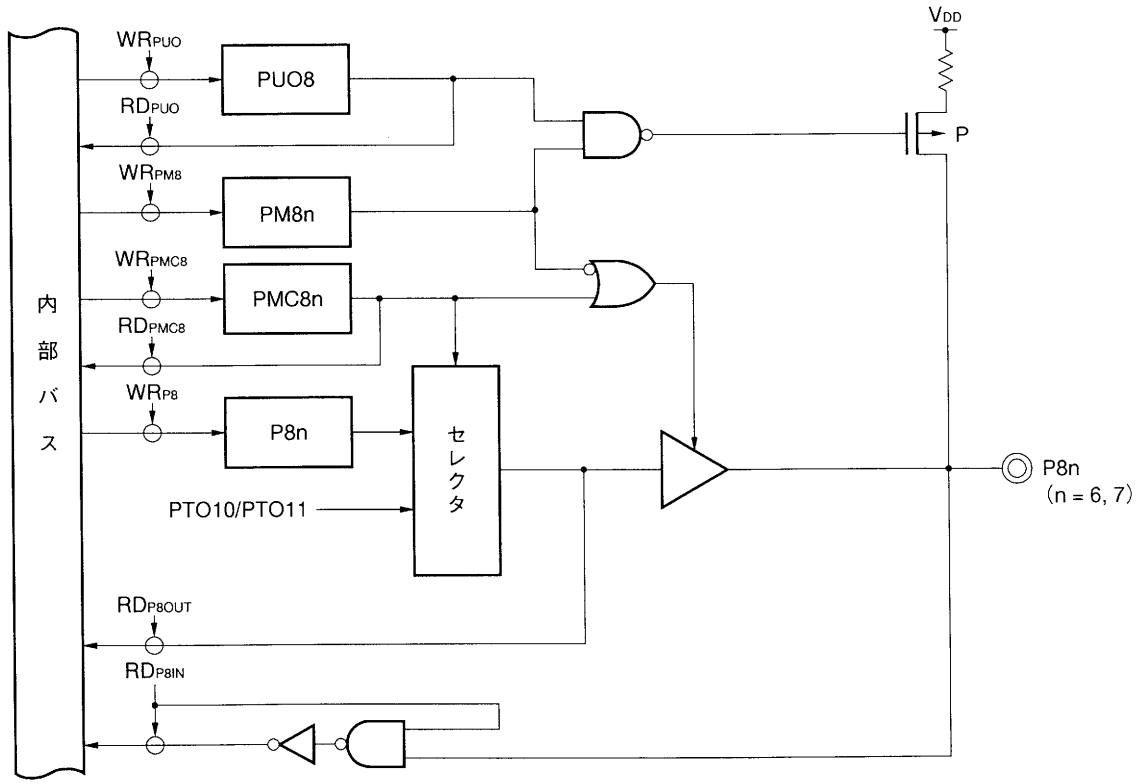
保守／廃止

図５－17　ポート８のブロック図（2/2）

（ｃ）P84，P85



（ｄ）P86，P87

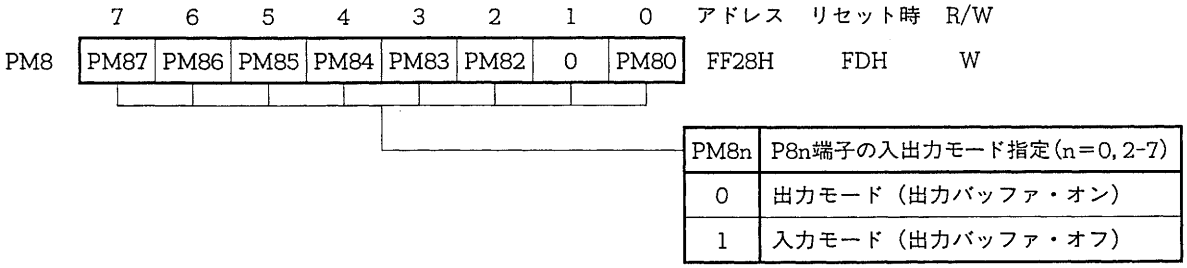


5.7.2　入出力モード／コントロール・モードの設定

ポート８の入出力モードは，図５－18に示すポート８モード・レジスタ（PM8）により，端子ごとに設定します。

PM8は８ビット・データ転送命令で設定します（ビット操作および読み出しはできません）。

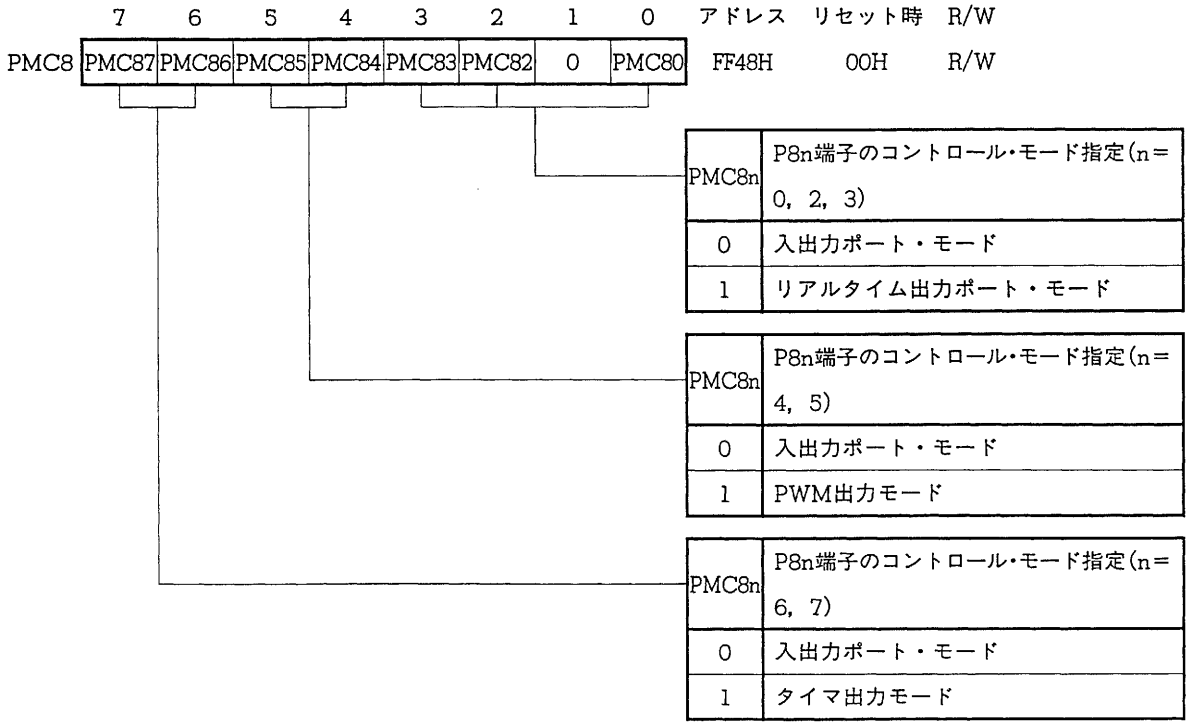
図５－18　ポート８モード・レジスタ（PM8）のフォーマット



リアルタイム出力ポートとして使用する場合は，ポート８モード・コントロール・レジスタ（PMC8）の各ビットを１にセットします。

PMC8のいずれかのビットをセットすると，そのビットはPM8の内容にかかわらず，出力バッファがオンし，出力バッファの内容が端子に出力されます。

図５－19　ポート８モード・コントロール・レジスタ（PMC8）のフォーマット



保守／廃止

5.7.3　内蔵プルアップ抵抗

ポート8はプルアップ抵抗を内蔵しています。プルアップする必要がある場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

プルアップ抵抗を使用するかどうかは，次の2つのレジスタで指定します。

- プルアップ抵抗オプション・レジスタH（PUOH）のビット0（PUO8）
- ポート8モード・レジスタ（PM8）

PUO8＝1のとき，PM8で入力モードに指定した端子のプルアップ抵抗が有効になります。

図5－20　プルアップ抵抗オプション・レジスタH（PUOH）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOH	0	0	0	0	0	0	PUO9	PUO8	FF4FH	00H	R/W

PUO8	ポート8のプルアップ抵抗の指定
0	ポート8でプルアップ抵抗を使用しない
1	ポート8でプルアップ抵抗を使用する

注意　リアルタイム出力ポート・モードに指定した端子でも，上記の設定を行っていればプルアップ抵抗は接続されています。リアルタイム出力ポート・モード時は，対応するPM8のビットを0(出力モード）にしてください。

備考　STOPモードに入る場合は，消費電流を低減するために，PUOHに00Hを設定することが有効です。

保守／廃止

5.8　ポート9（P90-P96）…7ビット入出力ポート

7ビット入出力ポートです。1ビット単位で入力／出力の指定が可能です。ソフトウエア制御によるプルアップ抵抗を内蔵できます。

また，P90はエンベロープ信号入力，P91-P95はキー入力とそれぞれ兼用になっています。

表5-8にポート9の機能を示します。

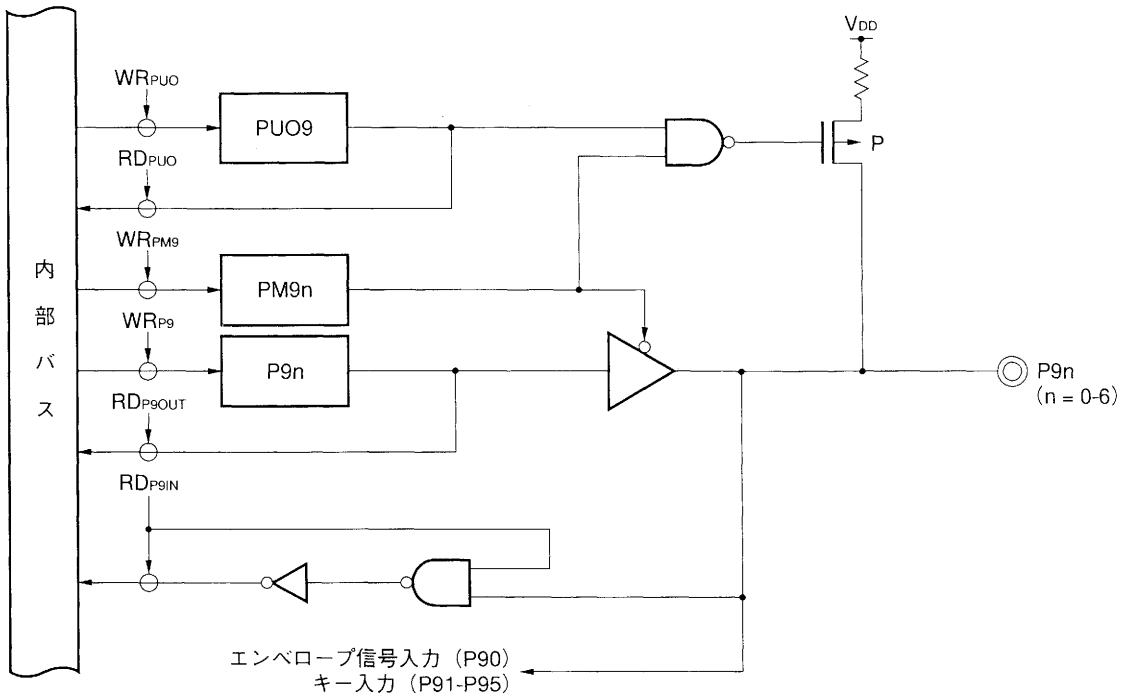
表5-8　ポート9の機能

端子	ポート機能	兼用端子	兼用端子の機能
P90	入出力	ENV	エンベロープ信号入力
P91		KEY0	キー入力
P92		KEY1	
P93		KEY2	
P94		KEY3	
P95		KEY4	
P96		—	—

5.8.1　ハードウエア構成

図5-21にポート9のハードウエア構成を示します。

図5-21　ポート9のブロック図



5.8.2　入出力モード／コントロール・モードの設定

ポート９の入出力モードは，図５-22に示すポート９モード・レジスタ（PM9）により，端子ごとに設定します。

PM9は８ビット・データ転送命令で設定します（ビット操作および読み出しはできません）。

図５-22　ポート９モード・レジスタ（PM9）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM9	0	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FF29H	7FH	W

PM9n	P9n端子の入出力モード指定（n=0-6）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

P90をエンベロープ信号入力，P91-P95をキー入力端子として使用する場合は，対応するポート９モード・レジスタ（PM9）の各ビットを１（入力モード）にセットしてください。

5.8.3　内蔵プルアップ抵抗

ポート９はプルアップ抵抗を内蔵しています。プルアップする必要がある場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

プルアップ抵抗を使用するかどうかは，次の２つのレジスタで指定します。

- プルアップ抵抗オプション・レジスタH（PUOH）のビット１（PUO9）
- ポート９モード・レジスタ（PM9）

PUO9＝1のとき，PM9で入力モードに指定した端子のプルアップ抵抗が有効になります。

図５-23　プルアップ抵抗オプション・レジスタH（PUOH）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOH	0	0	0	0	0	0	PUO9	PUO8	FF4FH	00H	R/W

PUO9	ポート９のプルアップ抵抗の指定
0	ポート９でプルアップ抵抗を使用しない
1	ポート９でプルアップ抵抗を使用する

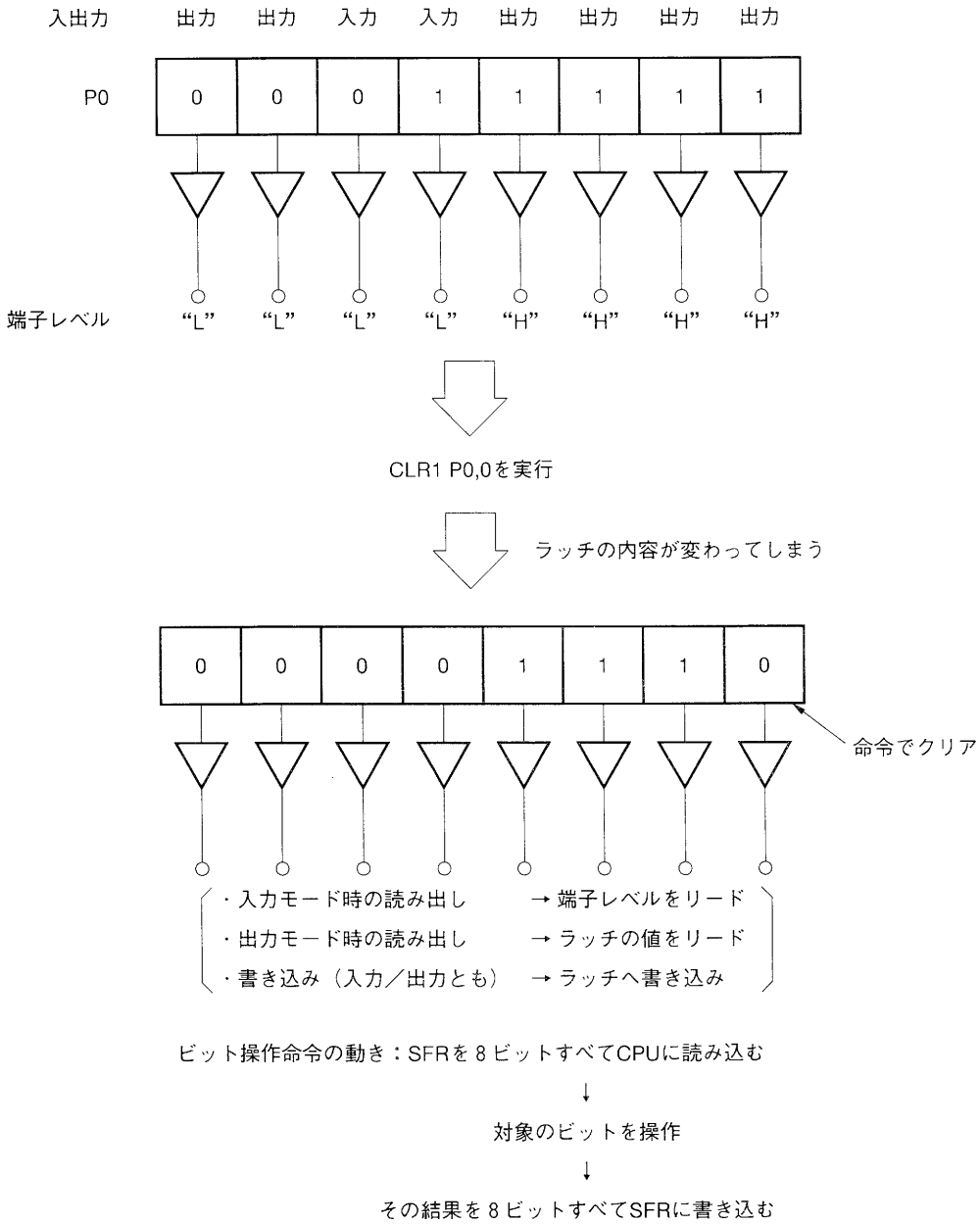
備考　STOPモードに入る場合は，消費電流を低減するために，PUOHに00Hを設定することが有効です。

保守／廃止

5.9　入出力ポート（ポート0，4-6，8，9）使用時の注意事項

ビット操作命令は，結果として操作するのは1ビットですが，ポートを8ビット単位でアクセスします。したがって，入出力が混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子の出力ラッチの内容は不定になってしまいます(操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。また，その他の演算命令でポートを操作する場合も同様に注意が必要です。

例



ビット操作命令の動き：SFRを8ビットすべてCPUに読み込む

↓

対象のビットを操作

↓

その結果を8ビットすべてSFRに書き込む

保守／廃止

〔メ　モ〕

保守／廃止

第6章　リアルタイム出力ポート（RTP）

6.1　リアルタイム出力ポート（RTP）の構成と機能

リアルタイム出力ポートは，図6-1に示すようにポート出力ラッチとバッファ・レジスタの2段バッファで構成しています。

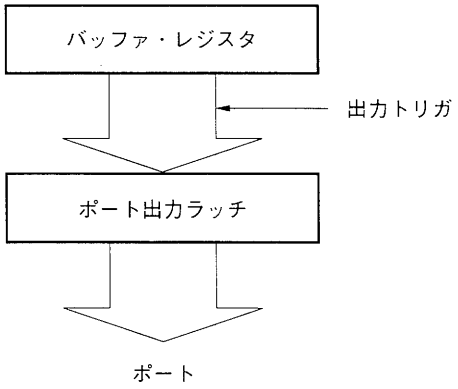
バッファ・レジスタにあらかじめ用意しておいたデータを，タイマ割り込みまたは外部割り込みの発生と同時にハードウエア出力ラッチに転送して，外部に出力する機能をリアルタイム出力機能といいます。また，このようにして使用するポートをリアルタイム出力ポート（RTP）と呼びます。

μPD784915には，表6-1に示す3種類のリアルタイム出力ポートがあります。

表6-1　リアルタイム出力ポートの種類

	リアルタイム出力データのビット数	RTPとして指定可能なビット数
RTP0	4ビット×2チャネル または 8ビット×1チャネル	4ビット単位
RTP8	1ビット×1チャネル 2ビット×1チャネル	1ビット単位

図6-1　リアルタイム出力ポートの構成



保守／廃止

RTPのトリガ・ソースを表6-2に示します。

データの出力トリガは表6-2に示すように選択できます。

リアルタイム出力機能とマクロ・サービス機能（複合転送モード）を組み合わせることによって，ソフトウエアの介在なしにプログラマブルなタイミングを持ったパターン・ジェネレータの機能を実現できます。

VTRのヘッド・スイッチング信号の作成に最適です。

表6-2　RTPのトリガ・ソース一覧

		トリガ・ソース						備考
		INTCR00	INTCR01	INTCR02	INTCR13	INTCR50	INTP0	
RTP0	上位4ビット		○					
	下位4ビット			○			○	
	8ビット一括			○			○	
RTP8	ビット0		○	○	○	○		注1
	ビット2，3	○						注2

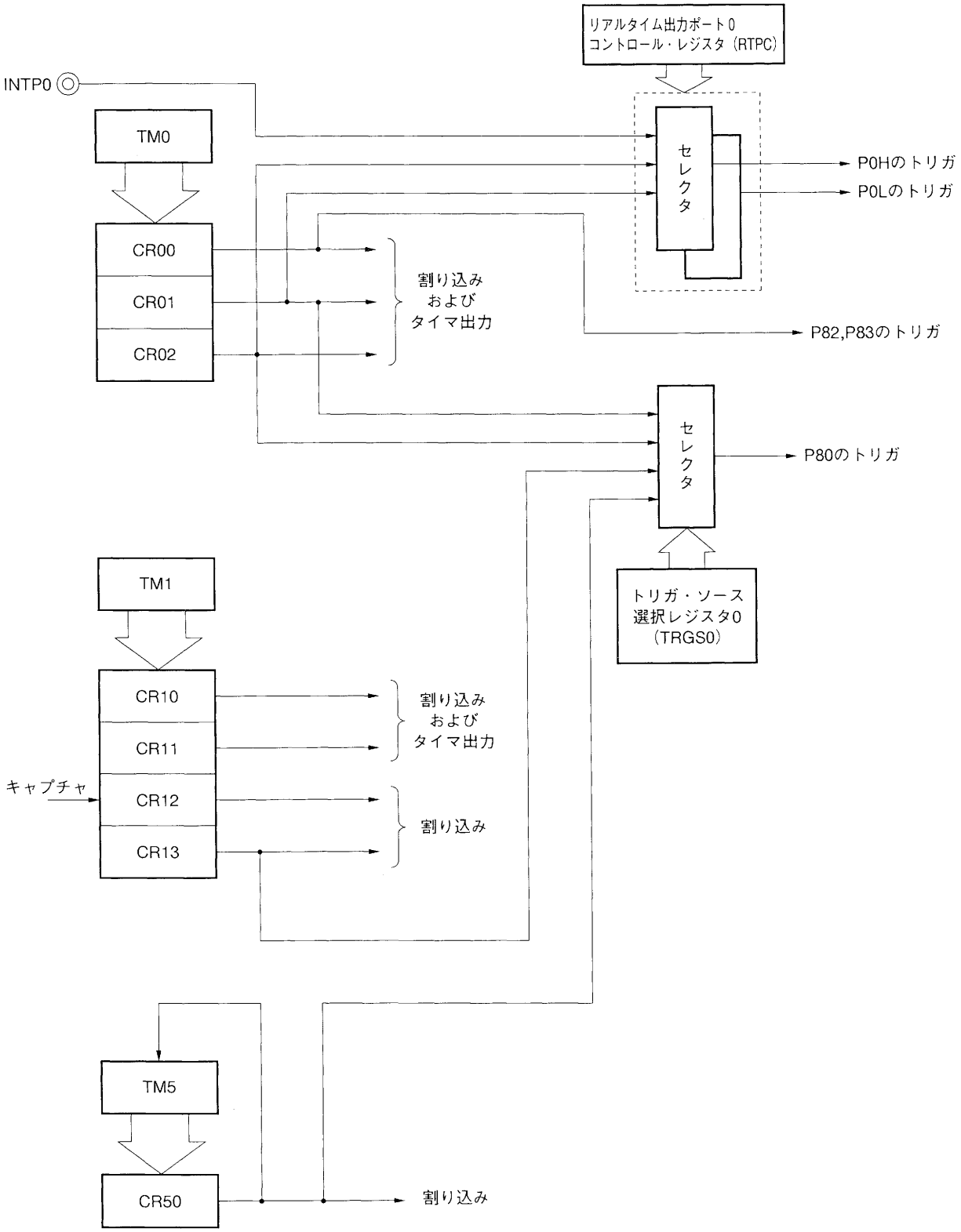
注1. トリガ・ソースは，4種類のうちいずれか1つを選択してください。

2. PMC8レジスタでリアルタイム出力ポート・モードを設定すると，HAPCレジスタで設定するHASW，ROT-C信号を直接出力します。HASW，ROT-C信号はHSW出力(TM0-CR00一致信号)に同期しています。ただし，HAPCレジスタを書き換えるとただちに設定した信号を出力します。

図6-2にRTPのトリガ・ソースを模式的に示します。

保守／廃止

図６－２　RTPのトリガ・ソースの選択



6.2　リアルタイム出力ポート０（RTPO）

6.2.1　機　　能

RTP0は，８ビットのリアルタイム出力ポートです。リアルタイム出力データとして次の２種類が扱えます。

- ４ビット×2チャネル
- ８ビット×1チャネル

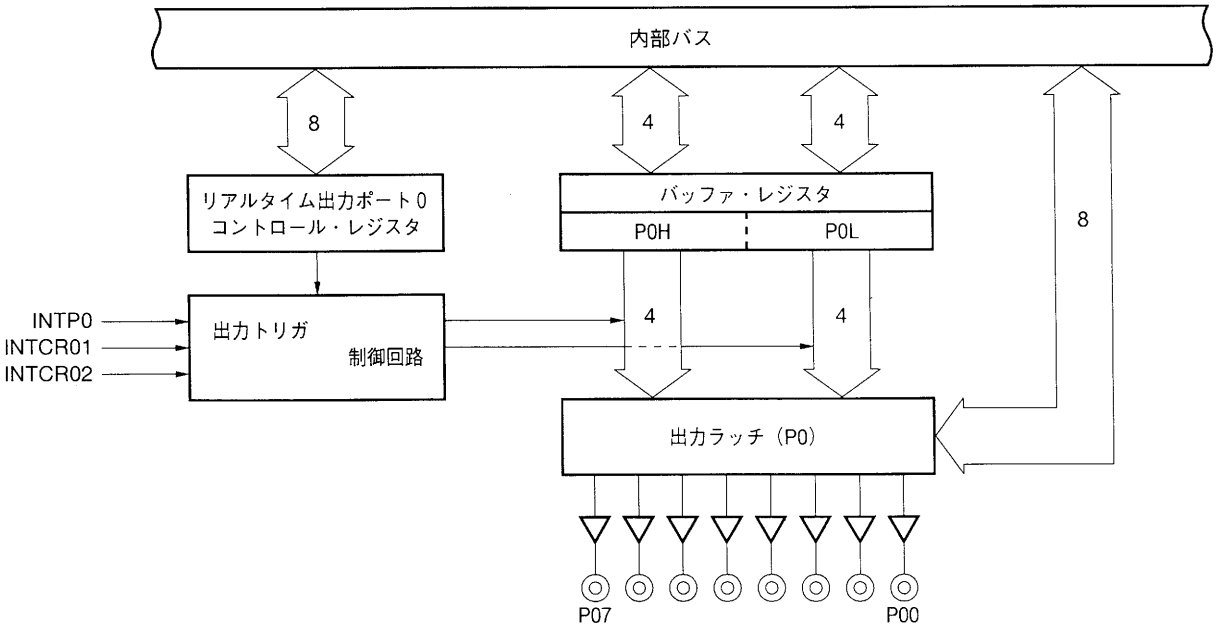
リアルタイム出力ポート・モード／ポート・モードの選択は，４ビット単位に選択できます。
バッファ・レジスタの内容を出力ラッチに転送するタイミングは，次のトリガで指定します。

- INTCR01：TM0とCR01との一致信号
- INTCR02：TM0とCR02との一致信号
- INTP0　：外部割り込み端子のエッジ検出

6.2.2　ハードウエア構成

図６-３にRTP0のハードウエア構成を示します。

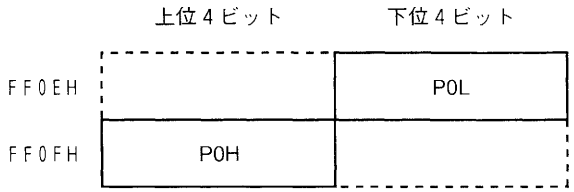
図６-３　RTP0のブロック図



6.2.3　ポート0バッファ・レジスタの構成

ポート0バッファ・レジスタ（P0H，P0L）は，図6-4に示すようにSFR領域内でそれぞれ独立したアドレスにマッピングしています。4ビット×2チャネルのリアルタイム出力機能を指定した場合，ポート0バッファ・レジスタ(P0H，P0L)はそれぞれ独立にデータをセットすることができます。8ビット×1チャネルのリアルタイム出力機能を指定した場合，バッファ・レジスタ（P0H，P0L）のどちらか一方に8ビット・データを書き込むことによって，P0H，P0Lそれぞれにデータをセットすることができます。

図6-4　ポート0バッファ・レジスタ（P0H，P0L）の構成



●ポート0バッファ・レジスタへのデータ設定例

・4ビット×2チャネル動作の場合

```
MOV P0L, #05H   ;P0Lレジスタに0101Bをセット
MOV P0H, #0C0H ;P0Hレジスタに1100Bをセット
```

・8ビット×1チャネル動作の場合

```
MOV P0L, #0C5H ;P0Lレジスタに0101B，P0Hレジスタに1100Bをセット
        または
MOV P0H, #0C5H
```

注意　P0Lの内容を読み出すと，上位4ビットはP0Hの内容が読めます。
P0Hの内容を読み出すと，下位4ビットはP0Lの内容が読めます。

6.2.4　RTPOモードの設定

RTPOは，リアルタイム出力ポート０コントロール・レジスタ(RTPC)で制御されます。RTPCは８ビットのレジスタで，データは８ビット操作命令，ビット操作命令で書き込みます。RTPCのフォーマットを図６-５に示します。

図６-５　リアルタイム出力ポート０コントロール・レジスタ（RTPC）のフォーマット

	7	6	5	④	3	2	1	⓪	アドレス	リセット時	R/W
RTPC	BYTE	0	0	POMH	EXTR	0	TRGPO	POML	FF2EH	00H	R/W

POML	POL（PO0-PO3）の機能指定
0	ポート・モード
1	リアルタイム出力ポート・モード

EXTR	TRGPO	INTPOによるデータ転送の許可／禁止	
0	0	INTPOによるデータ転送の禁止	
0	1	設定禁止	
1	0	INTPOによるデータ転送の許可（INTCRO2による転送も許可）	BYTE=0：POLのみ転送 BYTE=1：POL/POHの両方を転送
1	1	INTPOによるデータ転送の許可（INTCRO2による転送は禁止）	

POMH	POH（PO4-PO7）の機能指定
0	ポート・モード
1	リアルタイム出力ポート・モード

BYTE	リアルタイム出力ポートの動作モード指定
0	４ビット・セパレート・リアルタイム出力ポート
1	８ビット・リアルタイム出力ポート

6.2.5　RTP0の動作

ポート０の機能をリアルタイム出力ポートに指定すると，表６－３に示すトリガ条件の発生に同期してバッファ・レジスタ（P0H，P0L）の内容が出力ラッチに取り込まれ，ポート０端子に出力されます。

たとえば，出力トリガの発生源として，タイマ０（TM0）とコンペア・レジスタ（CR01，CR02）との一致信号（INTCR01，INTCR02）を選択します。そのとき，それぞれのコンペア・レジスタにあらかじめ設定した値をインターバルとするタイミングで，ポート０端子の出力データをバッファ・レジスタの値に変化させることができます。

このリアルタイム出力ポート機能とマクロ・サービス機能を組み合わせることによって，ポート０出力端子の出力データを任意のインターバルで順次変化させることができます。

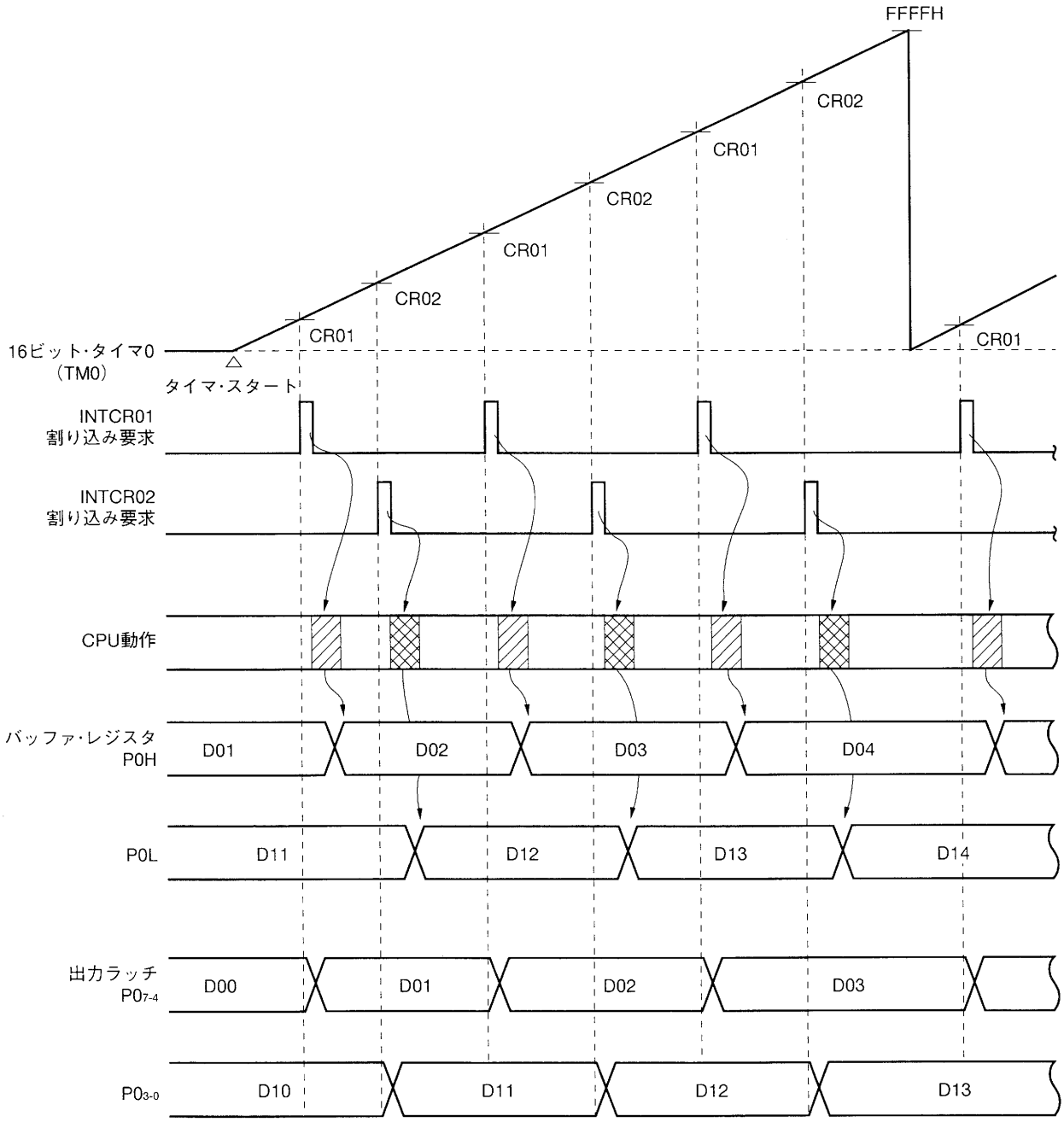
図６－６に，リアルタイム出力ポート０の動作タイミング例を示します。タイマ０とコンペア・レジスタCR01との一致で発生する割り込み（INTCR01）をトリガとして，ポート０の上位４ビット・データ（P04-P07）を書き換えます。さらにコンペア・レジスタCR02との一致で発生する割り込み（INTCR02）をトリガとして，ポート０の下位４ビット・データ（P00-P03）を書き換えます。

表６－３　RTP0の出力トリガ

RTPCレジスタ			リアルタイム出力のビット数	出力トリガ	
BYTE	EXTR	TRGP0		P0H	P0L
0	0	0	４ビット・リアルタイム出力	INTCR01	INTCR02
	1	0			INTCR02 or INTP0
	1	1			INTP0
1	0	0	８ビット・リアルタイム出力	INTCR02	
	1	0		INTCR02 or INTP0	
	1	1		INTP0	

保守／廃止

図6-6　RTPOの動作タイミング



ソフトウエア処理またはマクロ・サービスによるバッファ・レジスタとコンペア・レジスタの書き換え

6.3　リアルタイム出力ポート8（RTP8）

6.3.1　機　　能

リアルタイム出力ポート8(RTP8)は，1ビットのリアルタイム出力を1チャネル，2ビットのリアルタイム出力を1チャネルで構成しています。ポート・モードとリアルタイム出力ポート・モードを1ビット単位で選択できます。

RTP8は，疑似V_{SYNC}出力，HASW出力，ROT-C出力などに用いることができます。

出力トリガは，各ポート端子により異なり，次のようになります。

(1) RTP80

- INTCR01：TM0とCR01との一致信号
- INTCR02：TM0とCR02との一致信号
- INTCR13：TM1とCR13との一致信号
- INTCR50：TM5とCR50との一致信号

(2) RTP82，RTP83

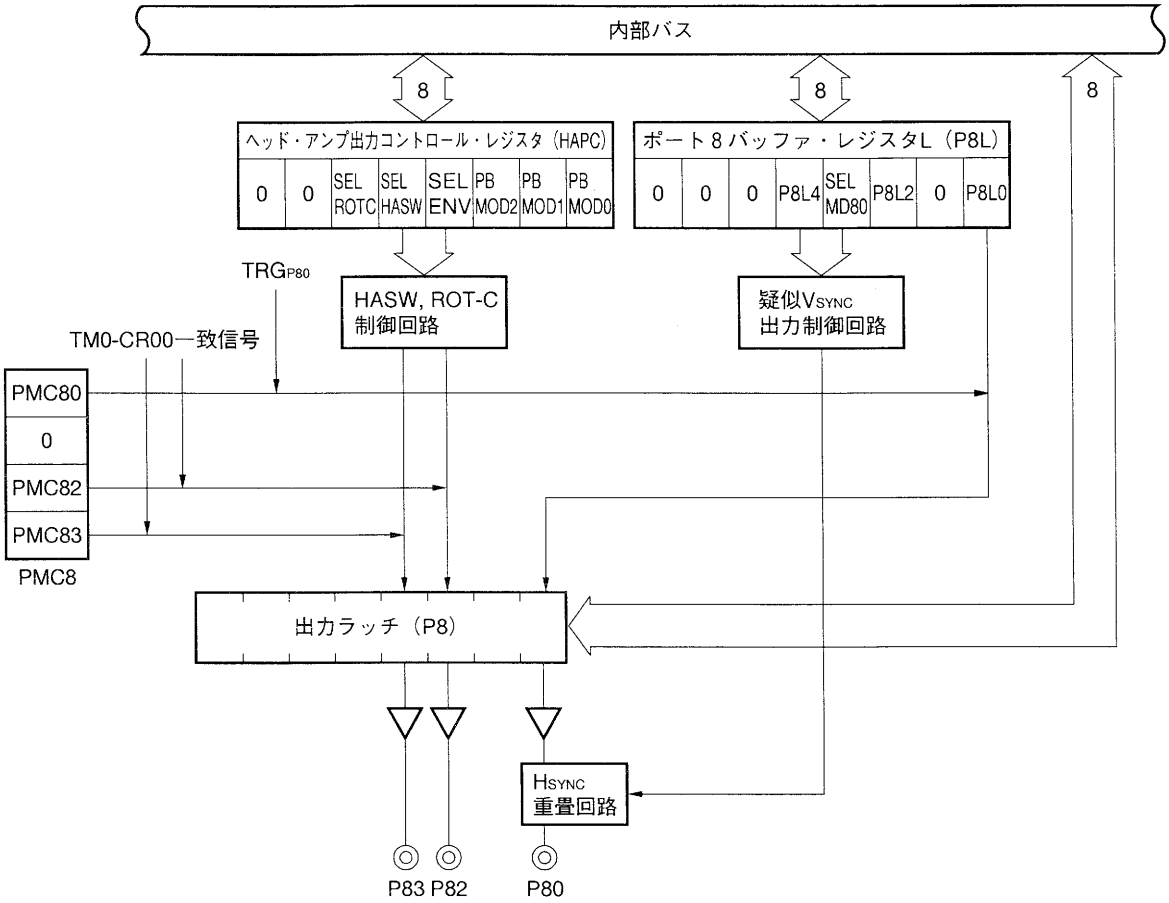
RTP82（HASW），RTP83（ROT-C）出力は，PMC8レジスタをリアルタイム出力ポート・モードに設定すると，ヘッド・アンプ出力コントロール・レジスタ（HAPC）で設定するHASW信号およびROT-C信号を直接出力します。HASW，ROT-C信号はHSW出力（TM0-CR00一致信号）に同期しています。ただし，HAPCレジスタを再設定すると，ただちに再設定した信号に切り替わります。

6.3.2　ハードウエア構成

図6-7にRTP8のハードウエア構成を示します。

保守／廃止

図６－７　RTP8のブロック図



6.3.3　RTP8モードの設定

RTP8は，ポート８モード・コントロール・レジスタ（PMC8）でポート・モード／リアルタイム出力・ポート・モードを選択します。

図６-８　ポート８モード・コントロール・レジスタ（PMC8）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC8	PMC87	PMC86	PMC85	PMC84	PMC83	PMC82	0	PMC80	FF48H	00H	R/W

PMC8n	P8n端子のコントロール・モード指定（n＝0，2，3）
0	入出力ポート・モード
1	リアルタイム出力ポート・モード

PMC8n	P8n端子のコントロール・モード指定（n＝4，5）
0	入出力ポート・モード
1	PWM出力モード

PMC8n	P8n端子のコントロール・モード指定（n＝6，7）
0	入出力ポート・モード
1	タイマ出力モード

6.3.4　出力トリガ・ソースの設定

RTP80の出力トリガ・ソースは以下の４種類の中から１種選択できます。

- INTCR01：TM0とCR01との一致信号
- INTCR02：TM0とCR02との一致信号
- INTCR13：TM1とCR13との一致信号
- INTCR50：TM5とCR50との一致信号

トリガ・ソースの設定はトリガ・ソース選択レジスタ０（TRGS0）で設定します。

図６－９　トリガ・ソース選択レジスタ０（TRGS0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TRGS0	0	0	P80 TRG1	P80 TRG0	0	0	0	0	FF4DH	00H	R/W

P80TRG1	P80TRG0	出力トリガ・ソースの指定
0	0	タイマ0-コンペア・レジスタ01一致信号
0	1	タイマ0-コンペア・レジスタ02一致信号
1	0	タイマ1-コンペア・レジスタ13一致信号
1	1	タイマ5-コンペア・レジスタ50一致信号

保守／廃止

6.3.5　ポート8バッファ・レジスタの構成

ポート8バッファ・レジスタ（P8L）は，図6-10に示すような構成になっています。

RTP80はP8Lレジスタのビット0，2，4の組み合わせによる3値出力が可能です。

図6-10　ポート8バッファ・レジスタL（P8L）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P8L	0	0	0	P8L4	SELMD80	P8L2	0	P8L0	FF60H	000×0×0×	R/W

P8L4	P8L2	P8L0	トリガによってP80から出力するデータ	P8にライトするデータ（下記の注意②参照）
0	0	0	0	0
		1	1	1
	1	×	Hi-Z	0または1
1	0	0	Hi-Zのロウ・レベルのH_{SYNC}を重畳	0
		1	Hi-Zにハイ・レベルのH_{SYNC}を重畳	1
	1	0	ロウ・レベルにHi-ZのH_{SYNC}を重畳	0
		1	ハイ・レベルにHi-ZのH_{SYNC}を重畳	1

SELMD80	リアルタイム出力ポート（RTP80）の動作モードを指定
0	通常モード
1	疑似V_{SYNC}出力モード

注意　P80をポート・モードからリアルタイム出力ポート・モード（RTP80）へ切り替える場合は，次の手順で設定を行ってください。

①　リアルタイム出力ポート・モード設定直後に出力させたい値を，P8Lに設定する。

②　リアルタイム出力ポート・モード設定直後に出力させたい値を，P8にライトする。

③　PMC80（PMC8のビット0）をセット（1）し，リアルタイム出力ポート・モードに設定する。

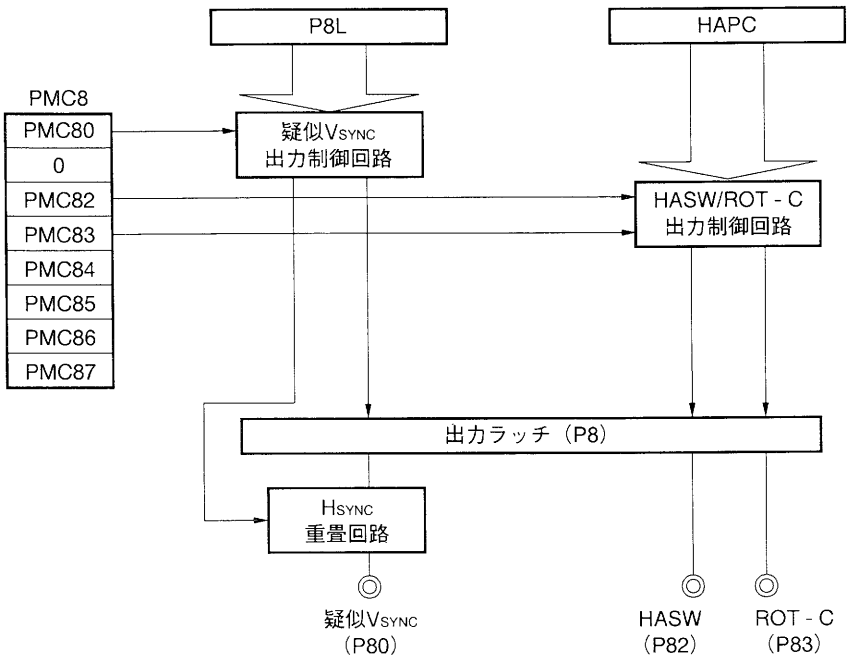
P8Lの設定	切り替え時の動作
ロウ／ハイ・レベル出力	PMC8でリアルタイム出力ポートに切り替えたのち，トリガ入力までの間はP80のデータ・ラッチの設定値を出力する。
Hi-Z出力	PMC8でリアルタイム出力ポートに切り替えると，トリガ入力を待たずにHi-Z状態になる。

6.3.6　RTP8の動作

リアルタイム出力ポート8は，VTRの特殊再生処理に必要なさまざまな信号を出力させる機能を有します。ここでは，疑似V_{SYNC}信号，ヘッド・アンプ・スイッチング（HASW）信号，クロマ・ローテーション（ROT-C）信号の出力方法について説明します。

疑似V_{SYNC}信号，HASW信号，ROT-C信号出力部の構成を図6-11に示します。

図6-11　疑似V_{SYNC}信号，HASW信号，ROT-C信号出力部の構成



(1) 疑似V_{SYNC}信号の作成

RTP80はロウ・レベル，ハイ・レベル，ハイ・インピーダンスの値をリアルタイム出力することができます。また，水平同期信号（H_{SYNC}）を重畳することができるので，RTP80は疑似垂直同期信号（疑似V_{SYNC}）の作成に使用できます。

●疑似V_{SYNC}出力モード

疑似V_{SYNC}出力モードは，出力トリガの発生により特定のパターンを繰り返し出力します。

SELMD80（P8Lレジスタのビット3）をセット(1)すると，P8LレジスタのP8L4，P8L2，P8L0を（0，0，0）に初期化してロウ・レベルを出力します。その後1回目のトリガ入力で（0，1，0）を設定しハイ・インピーダンスを出力します。2回目のトリガ入力で（0，0，1）を設定しハイ・レベルを出力します。3回目のトリガ入力で（0，0，0）に戻りロウ・レベルを出力し，以降はこの動作を繰り返します。

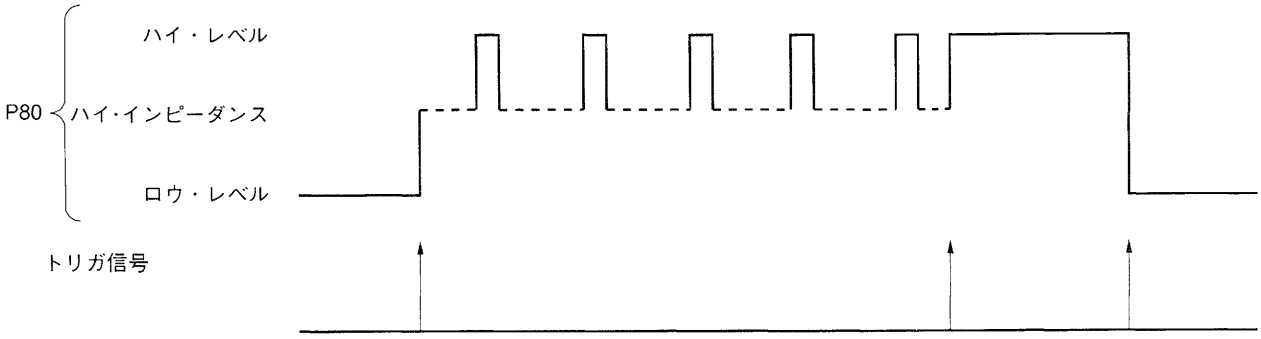
保守／廃止

注意　**SELMD80＝1（疑似V_{SYNC}出力モード）に設定したときは，P8L4，P8L2，P8L0のデータは自動的に更新されるため，これらのビットに対するライト命令は受け付けません。SELMD80のセットと同時にライトされるデータも無効になります。**
通常モードに復帰して使用するときは，SELMD80＝0をライトした次のアクセスで，はじめてP8L4，P8L2，P8L0にデータをライトできます。

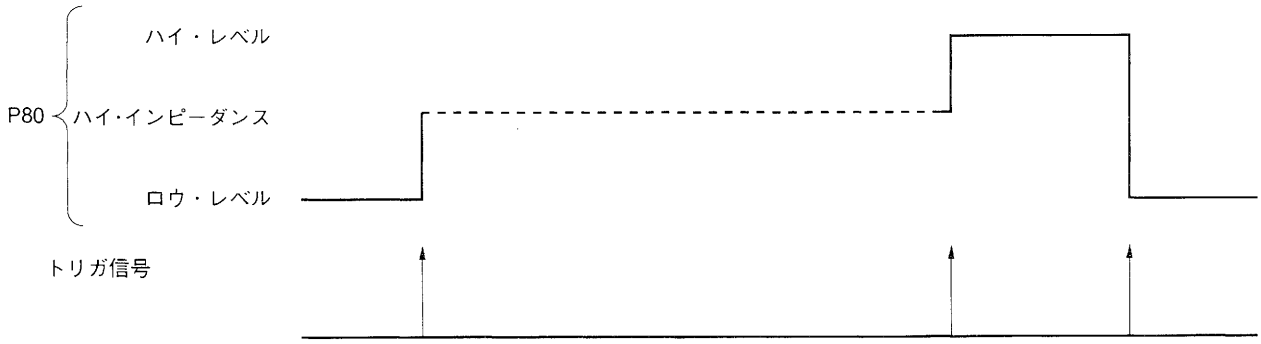
図6－12にRTP80の動作タイミング例を示します。

図6－12　RTP80の動作タイミング例

(a) HSYNC信号を重畳させた場合



(b) 疑似VSYNC出力モード



(2) HASW信号，ROT-C信号の出力

外部より入力されるエンベロープ（ENV）信号とμPD784915内部で作成されるヘッド・スイッチング（HSW）信号により，ヘッド・アンプ・スイッチ（HASW）信号とクロマ・ローテーション（ROT-C）信号を出力させることができます。これはPMC8レジスタをリアルタイム出力ポート・モードに設定すると，HAPCレジスタで設定するHASW信号およびROT-C信号を直接出力します。

図6－13にHASW/ROT-C発生回路の構成を示します。

保守／廃止

図６－13　HASW/ROT-C発生回路の構成

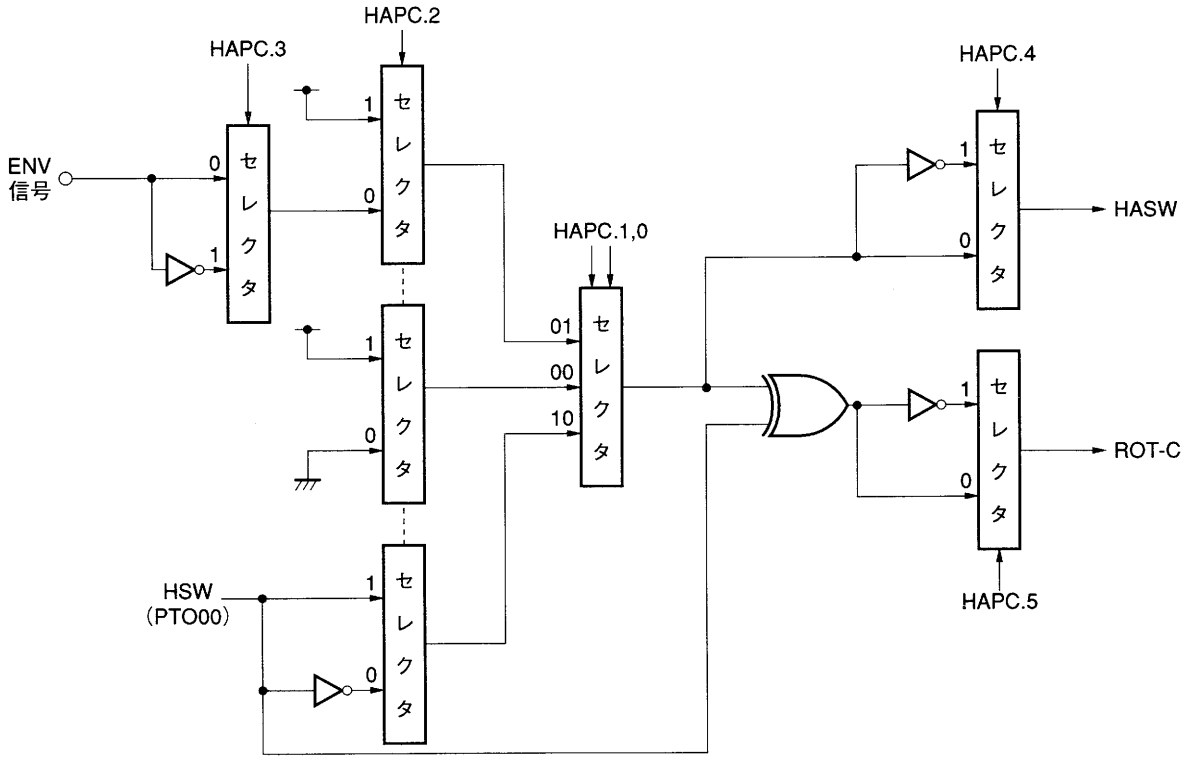


図6－14にHAPCレジスタのフォーマットを示します。

図6－14　ヘッド・アンプ出力コントロール・レジスタ（HAPC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
HAPC	0	0	SELROTC	SELHASW	SELENV	PBMOD2	PBMOD1	PBMOD0	FF91H	00H	R/W

PBMOD2	PBMOD1	PBMOD0	HASW出力信号指定
0	0	0	ロウ・レベル
0	0	1	ENV信号入力レベル
0	1	0	PTO00出力の反転
0	1	1	設定禁止
1	0	×	ハイ・レベル
1	1	0	PTO00出力
1	1	1	設定禁止

SELENV	エンベロープ信号の極性指定
0	正極性
1	負極性

SELHASW	ヘッド・アンプ・スイッチ信号の極性指定
0	正極性
1	負極性

SELROTC	クロマ・ローテーション信号出力指定	
0	HASWとHSWのEx-OR (HASW⊕HSW)	HASWはSELHASWの指定にかかわらず正極性に固定
1	HASWとHSWのEx-NOR ($\overline{\text{HASW}\oplus\text{HSW}}$)	

保守／廃止

〔メ　モ〕

保守／廃止

第7章　シリアル・インタフェース

7.1 概　　要

μPD784915は，表7-1に示すシリアル・インタフェースを内蔵しています。

マクロ・サービスを使用することにより，データの自動送受信を行うことができます。

表7-1　シリアル・インタフェース

名　　称	機　　能	付加機能
シリアル・インタフェース・チャネル1	クロック同期式シリアル・インタフェース（3線式）	
シリアル・インタフェース・チャネル2	クロック同期式シリアル・インタフェース（3線式）	ビジィ／ストローブ制御

7.2 シリアル・インタフェース・チャネル1（3線式シリアルI/O）

7.2.1 機　　能

シリアル・クロック（$\overline{\text{SCK1}}$）と，シリアル・バス（SO1，SI1）の3本のラインによって8ビット長のデータ転送を行います（MSB先頭／LSB先頭切り替え可能）。

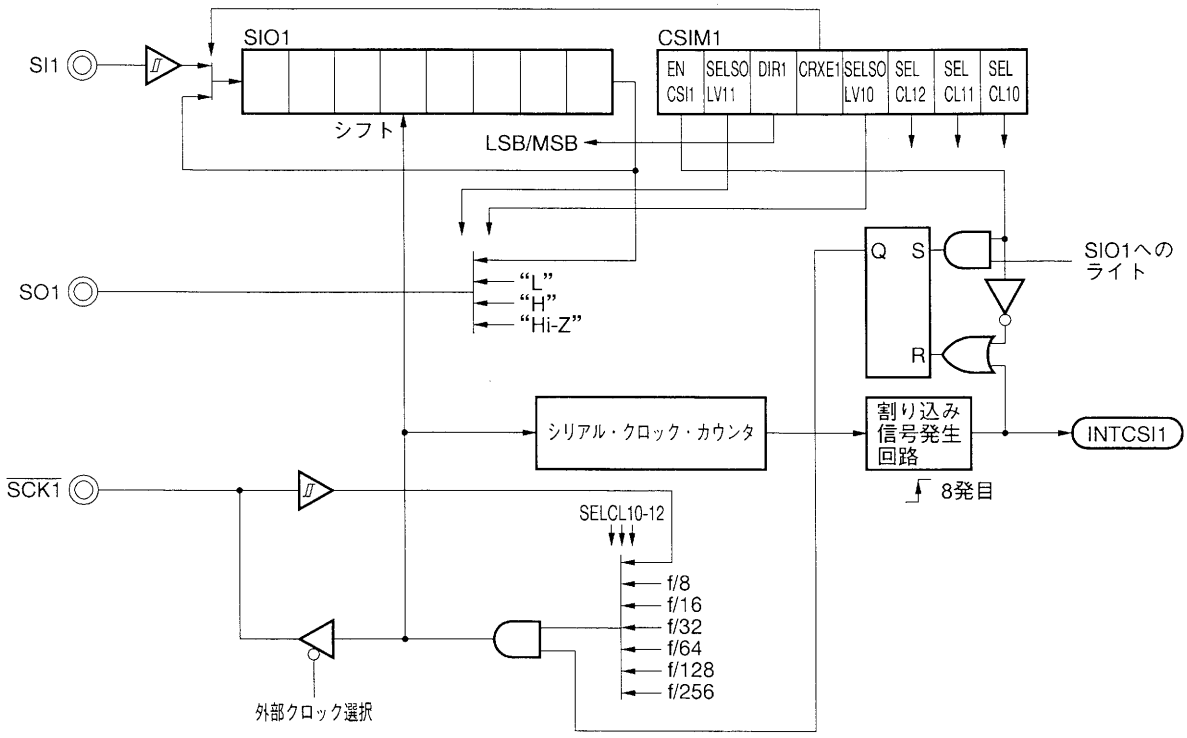
従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です。

保守／廃止

7.2.2 構　　成

図7-1にシリアル・インタフェース・チャネル1の構成を示します。

図7-1　シリアル・インタフェース・チャネル1のブロック図



(1) シリアルI/Oシフト・レジスタ 1 (SIO1)

シリアルI/Oシフト・レジスタ 1 (SIO1) は，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。SIO1は送信および受信の両方に使用されます。

データは，MSB（またはLSB）側からシフト・イン（受信）またはシフト・アウトされます。

SIO1に対する書き込み／読み出しにより，実際の送受信動作が制御されます。

8ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(2) シリアル・クロック・セレクタ

使用するシリアル・クロックを選択します。

(3) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(4) 割り込み信号発生回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントするごとに，割り込み要求を発生させる制御をします。

7.2.3　制御レジスタ

シリアル・インタフェース・チャネル1の動作は，シリアル・インタフェース・チャネル1モード・レジスタ（CSIM1）で制御します。

CSIM1レジスタはシリアル・インタフェースの動作モード，シリアル・クロックなどを指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図7-2に示します。

保守／廃止

図7-2　シリアル・インタフェース・チャネル1モード・レジスタ（CSIM1）のフォーマット

	⑦	6	5	④	3	2	1	0	アドレス	リセット時	R/W
CSIM1	ENCSI1	SELSOLV11	DIR1	CRXE1	SELSOLV10	SELCL12	SELCL11	SELCL10	FF84H	00H	R/W

SELCL12	SELCL11	SELCL10	シリアル・インタフェース・チャネル1　シリアル・クロックの選択
0	0	0	外部クロック
0	0	1	f_{CLK}/256（31.25 kHz）
0	1	0	f_{CLK}/128（62.5 kHz）
0	1	1	f_{CLK}/64（125 kHz）
1	0	0	f_{CLK}/32（250 kHz）
1	0	1	f_{CLK}/16（500 kHz）
1	1	0	f_{CLK}/8（1 MHz）
上記以外			設定禁止

備考　（　）内はf_{CLK}＝8 MHz時

SELSOLV11	SELSOLV10	SO1端子出力状態
0	0	Hi-Z
0	1	シリアル出力
1	0	ロウ・レベル
1	1	ハイ・レベル

CRXE1	シリアル・インタフェース・チャネル1受信動作の許可／禁止制御
0	受信禁止
1	受信許可

DIR1	シリアル・インタフェース・チャネル1ビット転送順序の選択
0	MSB先頭
1	LSB先頭

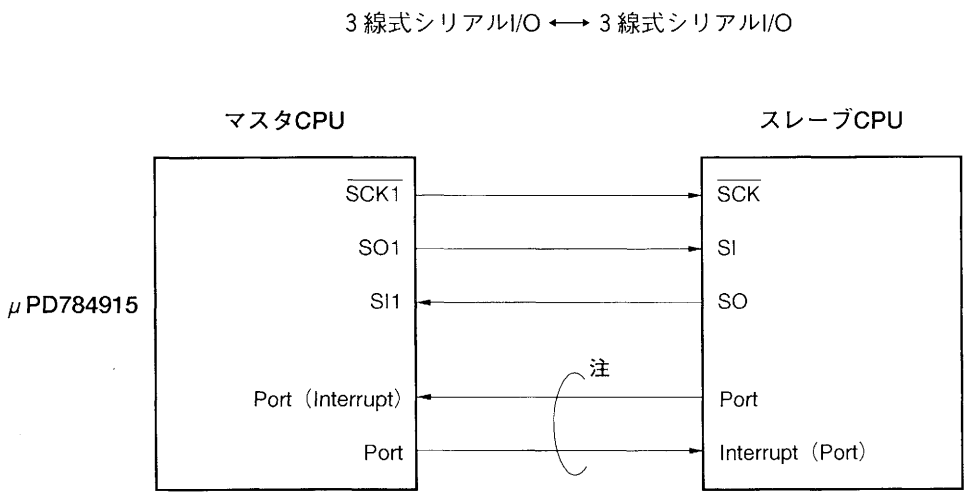
ENCSI1	シリアル・インタフェース・チャネル1動作の許可／禁止制御
0	動作禁止
1	動作許可

7.2.4 動　　作

従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行います。

基本的には，シリアル・クロック（$\overline{\text{SCK1}}$）とシリアル・データ出力（SO1）とシリアル・データ入力（SI1）の３本のラインで通信を行います。複数のデバイスと接続する場合はハンドシェーク用のラインが必要になります。

図７－３　３線式シリアルI/Oのシステム構成例



注　ハンドシェーク・ライン

（1）基本動作タイミング

８ビット単位でデータの送受信を行います。データは，シリアル・クロックに同期してMSB（またはLSB）先頭で１ビットごとに送受信されます。

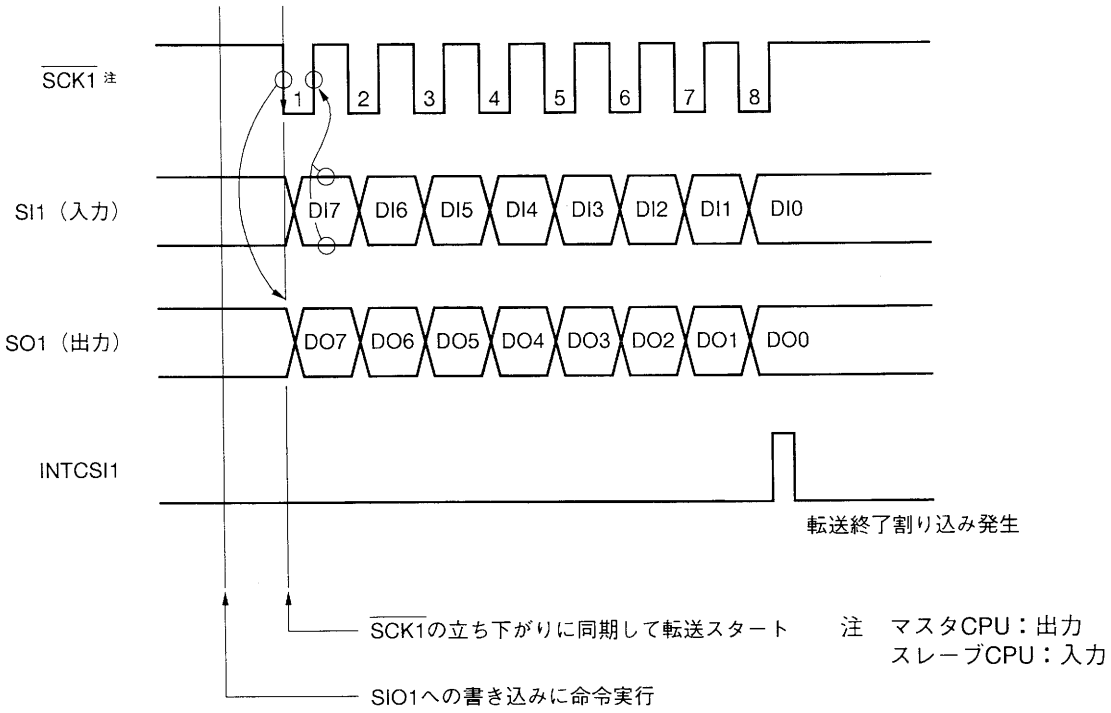
送信データは，$\overline{\text{SCK1}}$の立ち下がりに同期して出力されます。受信データは，$\overline{\text{SCK1}}$立ち上がりでサンプリングされます。

また，８番目の$\overline{\text{SCK1}}$の立ち上がりで割り込み要求INTCSI1を発生します。

内部クロックを$\overline{\text{SCK1}}$として使用している場合は，$\overline{\text{SCK1}}$の８番目の立ち上がりで$\overline{\text{SCK1}}$の出力を停止し，次のデータの送信または受信動作が起動されるまで，$\overline{\text{SCK1}}$はハイ・レベルを保持します。

図７－４にシリアル・インタフェース・チャネル１のタイミング図を示します。

図7-4　シリアル・インタフェース・チャネル1のタイミング

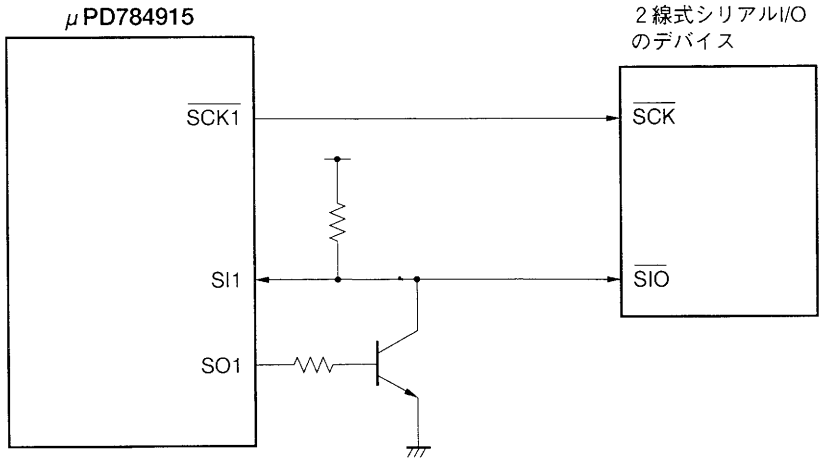


注意1．SIO1レジスタへのライトで転送を開始したあと，転送動作中にSIO1レジスタにデータをライトすると誤動作することがあります。したがって，転送動作中にSIO1レジスタを書き換えないでください。

2．ENCSI1ビットをクリアすると転送動作中であっても，ただちに動作を中止します。

備考　2線式のシリアルI/Oと接続する場合は，図7-5のようにSO1端子にバッファを接続してください。なお，図7-5の場合は，バッファにより出力レベルが反転するので，SIO1へは出力したいデータの反転データを書き込んでください。

図7-5　2線式シリアルI/Oとの接続例



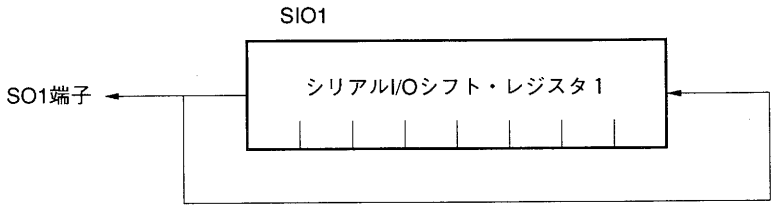
(2) 受信禁止の場合の動作（送信のみ動作許可）

CRXE1ビットをクリア(0)すると，データ送信のみ行い受信動作を禁止します。

SIO1レジスタには，SI1端子からの受信データの代わりに送信データが入力されます。したがって受信を禁止した場合，転送データを破壊せずに保存できます。

ENCSI1＝1かつCRXE1＝0に設定したあと，SIO1レジスタへのライト命令を実行すると，シリアル・クロックに同期して1ビットごとに送信を開始します。先頭ビットのデータはSO1端子から出力されると同時に，SIO1レジスタの最終ビットに入力されます。この動作を8回繰り返し送信が終了すると，割り込み要求を発生します。

図7－6　受信禁止の場合の動作



(a) シリアル・クロックとして内部クロックを選択した場合

送信が起動されると，シリアル・クロックを$\overline{\text{SCK1}}$端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIO1からデータをSO1端子へ順次出力し，シリアル・クロックの立ち上がりに同期して，同出力データをSIO1にシフト・インします。

(b) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると，送信起動後に$\overline{\text{SCK1}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIO1からデータをSO1端子へ順次出力し，同時に$\overline{\text{SCK1}}$端子へ入力されたシリアル・クロックの立ち上がりに同期して，同出力データをSIO1に再格納します。送信が起動されていないときにシリアル・クロックを$\overline{\text{SCK1}}$端子へ入力してもシフト動作は行われず，SO1端子の出力レベルは変化しません。

注意　外部クロック選択時は，送信起動後，SIO1に送信データを設定する前にシリアル・クロックを$\overline{\text{SCK1}}$端子に入力しないようにしてください。不定データを出力することがあります。
同様に，外部クロック選択時はマクロ・サービスを使用しないでください。

(3) 受信許可の場合の動作（送受信動作許可）

ENCSI1ビットとCRXE1ビットが両方ともセット(1)されているときは，送信動作と受信動作を同時に行うことができます（送受信動作）。

送受信の起動は，ENCSI1ビットとCRXE1ビットが両方ともセット(1)されているときにSIO1への書き込みで行います。

(a) シリアル・クロックとして内部クロックを選択した場合

送信が起動されると，シリアル・クロックを$\overline{\text{SCK1}}$端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIO1からデータをSO1端子へ順次出力し，シリアル・クロックの立ち上がりに同期して，SI1端子のデータを順次SIO1にシフト・インします。

(b) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると，送信起動後に$\overline{\text{SCK1}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIO1からデータをSO1端子へ順次出力し，シリアル・クロックの立ち上がりに同期して，SI1端子のデータを順次SIO1にシフト・インします。送信が起動されていないときにシリアル・クロックを$\overline{\text{SCK1}}$端子へ入力してもシフト動作は行われず，SO1端子の出力レベルは変化しません。

注意　外部クロック選択時は，送信起動後，SIO1に送信データを設定する前にシリアル・クロックを$\overline{\text{SCK1}}$端子に入力しないようにしてください。不定データを出力することがあります。
同様に，外部クロック選択時はマクロ・サービスを使用しないでください。

(4) 送信を禁止し，受信だけ行いたい場合の動作

SELSOLV11，SELSOLV10ビットの操作により，SO1端子からのシリアル出力を禁止し，レベル（L，H，Hi-Z）を出力することができます（CSIM1レジスタ参照）。

SELSOLV11，SELSOLV10ビットの操作およびCRXE1ビットをセットすることにより受信のみできるようになります。

(5) シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合，ノイズなどによりシリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合，シリアル・インタフェースの動作を禁止する（ENCSI1ビットをリセット(0)する）ことによりシリアル・クロック・カウンタが初期化されるので，次にシリアルの送信または送受信を起動した直後に入力されるクロックを1発目のクロックとして，シフト動作とシリアル・クロックの同期を回復することができます。

7.2.5　マクロ・サービスを用いた自動送受信動作

μPD784915では，3線式シリアルI/Oとマクロ・サービスを組み合わせて自動送受信動作を実現します。

注意　外部クロック選択時はマクロ・サービスを使用しないでください。

(1) nバイト・データを自動送受信する場合の手順

図7-7　nバイト・データを自動送受信する場合の手順

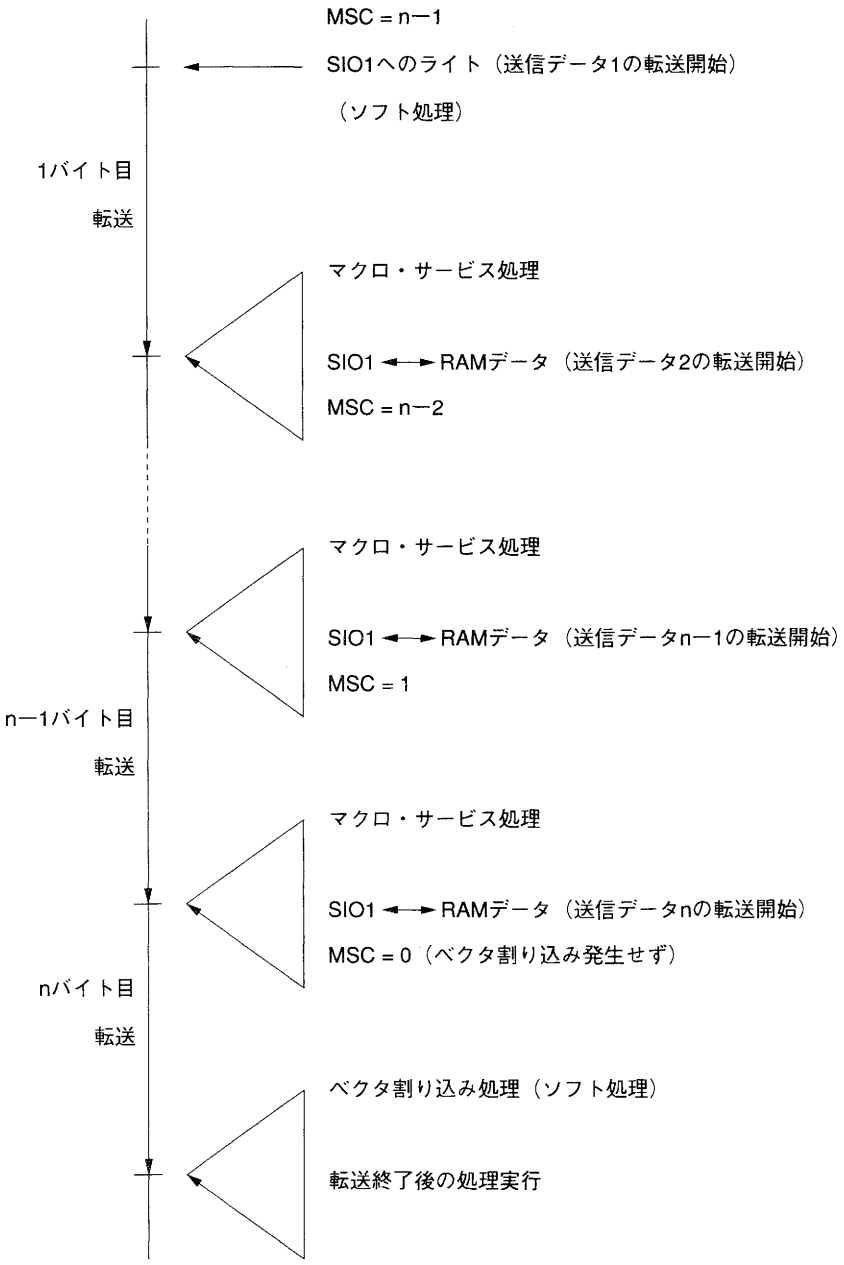
初期設定

シリアル送受信を許可（ENCSI1 = 1かつCRXE1 = 1）

マクロ・サービス処理の設定［エクスチェンジ・モード（複合データ転送モード），MSC = 0でのベクタ割り込み発生なし］

割り込み処理としてマクロ・サービスを指定

割り込みマスクを解除



(2) 3線式シリアルI/O（チャネル1）とマクロ・サービスを用いて3バイト・データを自動送受信する例

図7-8　複合データ転送モード（エクスチェンジ）のアドレシング

7.3　シリアル・インタフェース・チャネル2（ビジィ／ストローブ制御機能付き3線式シリアルI/O）

シリアル・インタフェース・チャネル2は，チャネル1に対してビジィ制御とストローブ制御を追加したものです。

7.3.1　機　　能

シリアル・クロック（$\overline{\text{SCK2}}$）と，シリアル・バス（SO2，SI2）の3本のラインによって8ビット長のデータ転送を行います（MSB先頭／LSB先頭切り替え可能）。

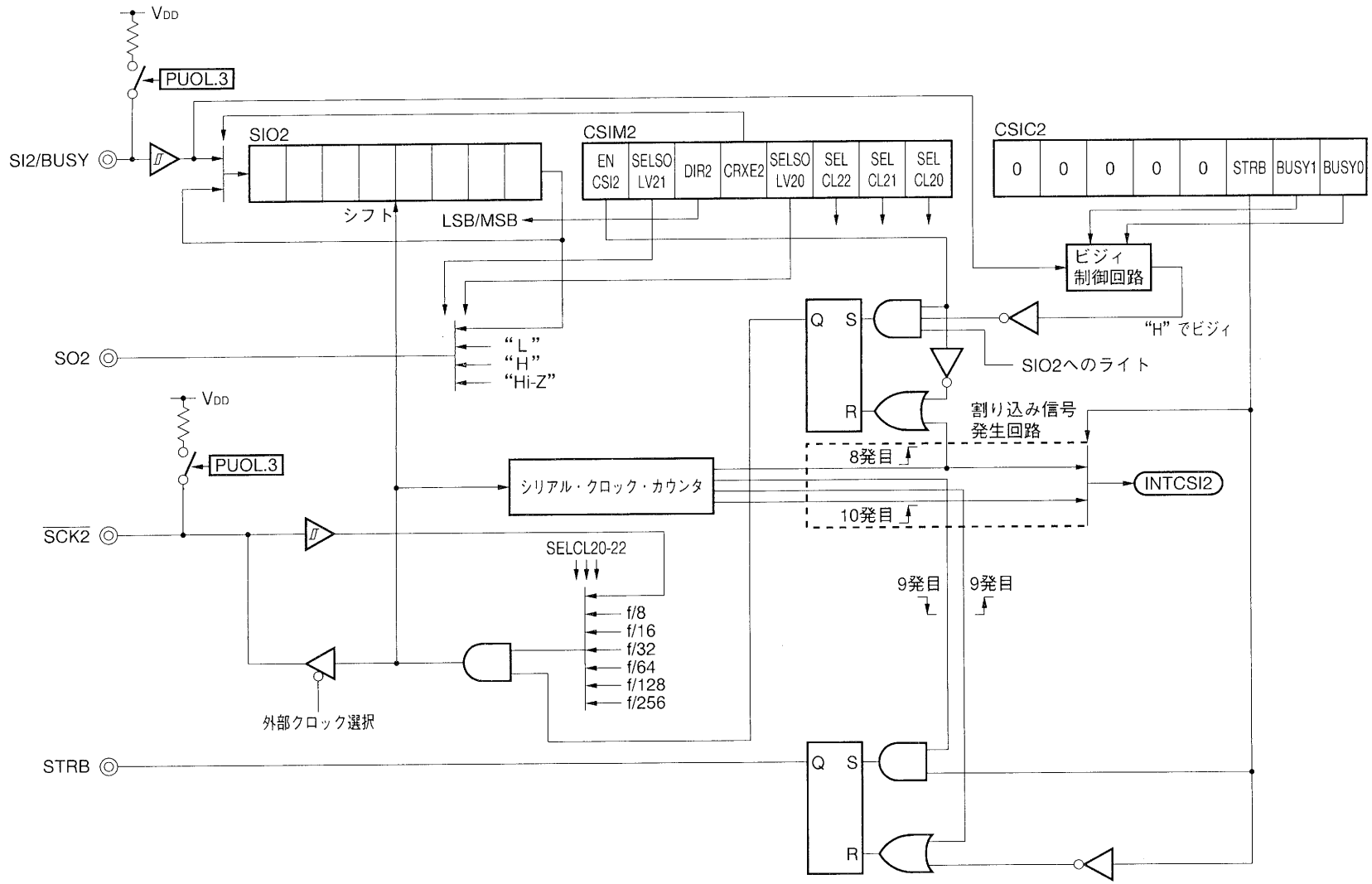
従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなど（特に，ストローブ，ビジィ制御を必要とするもの）を接続する場合に有効です。

7.3.2　構　　成

図7-9にシリアル・インタフェース・チャネル2の構成を示します。

保守／廃止

図7-9　シリアル・インタフェース・チャネル2のブロック図



(1) シリアルI/Oシフト・レジスタ2 (SIO2)

シリアルI/Oシフト・レジスタ2 (SIO2) は，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。SIO2は送信および受信の両方に使用されます。

データは，MSB（またはLSB）側からシフト・イン（受信）またはシフト・アウトされます。

SIO2に対する書き込み／読み出しにより，実際の送受信動作が制御されます。

8ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(2) シリアル・クロック・セレクタ

使用するシリアル・クロックを選択します。

(3) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(4) 割り込み信号発生回路

8ビット・データ転送が終了したとき，割り込み要求を発生させる制御をします。

ストローブ制御の有無により，割り込みの発生タイミングが異なります。

(5) ビジィ制御回路

ビジィ信号の入力により，シリアル転送動作の保留／再開を制御します。

通信先のデイバスが送ってくるビジィ信号を検出すると次のシリアル転送を保留し，ビジィ信号解除後に転送を再開します。転送の保留はシリアル・クロックの出力を保留することによって行います。

(6) ストローブ制御回路

1バイトのシリアル転送が終了したあと，ストローブ信号を発生します。

7.3.3 制御レジスタ

(1) シリアル・インタフェース・チャネル2モード・レジスタ (CSIM2)

CSIM2レジスタはシリアル・インタフェースの動作モード，シリアル・クロックなどを指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図7-10に示します。

図7-10　シリアル・インタフェース・チャネル2モード・レジスタ（CSIM2）のフォーマット

	⑦	6	5	④	3	2	1	0	アドレス	リセット時	R/W
CSIM2	ENCSI2	SELSOLV21	DIR2	CRXE2	SELSOLV20	SELCL22	SELCL21	SELCL20	FF88H	00H	R/W

SELCL22	SELCL21	SELCL20	シリアル・インタフェース・チャネル2　シリアル・クロックの選択
0	0	0	外部クロック
0	0	1	f_{CLK}/256（31.25 kHz）
0	1	0	f_{CLK}/128（62.5 kHz）
0	1	1	f_{CLK}/64（125 kHz）
1	0	0	f_{CLK}/32（250 kHz）
1	0	1	f_{CLK}/16（500 kHz）
1	1	0	f_{CLK}/8（1 MHz）
上記以外			設定禁止

備考　（　）内はf_{CLK}＝8 MHz時

SELSOLV21	SELSOLV20	SO2端子出力状態
0	0	Hi-Z
0	1	シリアル出力
1	0	ロウ・レベル
1	1	ハイ・レベル

CRXE2	シリアル・インタフェース・チャネル2受信動作の許可／禁止制御
0	受信禁止
1	受信許可

DIR2	シリアル・インタフェース・チャネル2ビット転送順序の選択
0	MSB先頭
1	LSB先頭

ENCSI2	シリアル・インタフェース・チャネル2動作の許可／禁止制御
0	動作禁止
1	動作許可

(2) シリアル・コントロール・レジスタ2 (CSIC2)

CSIC2レジスタは，ストローブ制御の許可／禁止，ビジィ制御の許可／禁止の設定をするレジスタです。

8ビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図7-11に示します。

図7-11　シリアル・コントロール・レジスタ2 (CSIC2) のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIC2	0	0	0	0	0	STRB	BUSY1	BUSY0	FF8AH	00H	R/W

BUSY1	BUSY0	BUSY入力制御（シリアル・インタフェース・チャネル2）
0	×	BUSY入力禁止
1	0	BUSY入力許可（ロウ・アクティブ）
1	1	BUSY入力許可（ハイ・アクティブ）

STRB	STRB出力制御（シリアル・インタフェース・チャネル2）
0	STRB出力禁止
1	STRB出力許可

注意　ストローブ (STRB) 出力をする場合は，ビジィ (BUSY) 動作も同時に許可に設定する必要があります。どちらか片方だけの動作はできません。

保守／廃止

(3) プルアップ抵抗オプション・レジスタL (PUOL)

$\overline{\text{SCK2}}$, SI2はプルアップ抵抗を内蔵しています。プルアップする必要がある場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタL (PUOL) のビット3 (PUO3) により2ビット一括して指定します（ビットごとには指定できません)。

図7-12　プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOL	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	PUO0	FF4EH	00H	R/W

PUO3	$\overline{\text{SCK2}}$, SI2のプルアップ抵抗の指定
0	$\overline{\text{SCK2}}$, SI2でプルアップ抵抗を使用しない
1	$\overline{\text{SCK2}}$, SI2でプルアップ抵抗を使用する

シリアル・クロック ($\overline{\text{SCK2}}$) として内部クロックを選択した場合は，プルアップ抵抗を指定しないでください (PUO3ビットには“0”をライトしてください)。

備考　STOPモードに入る場合は，消費電流を低減するために，PUOLに00Hを設定することが有効です。

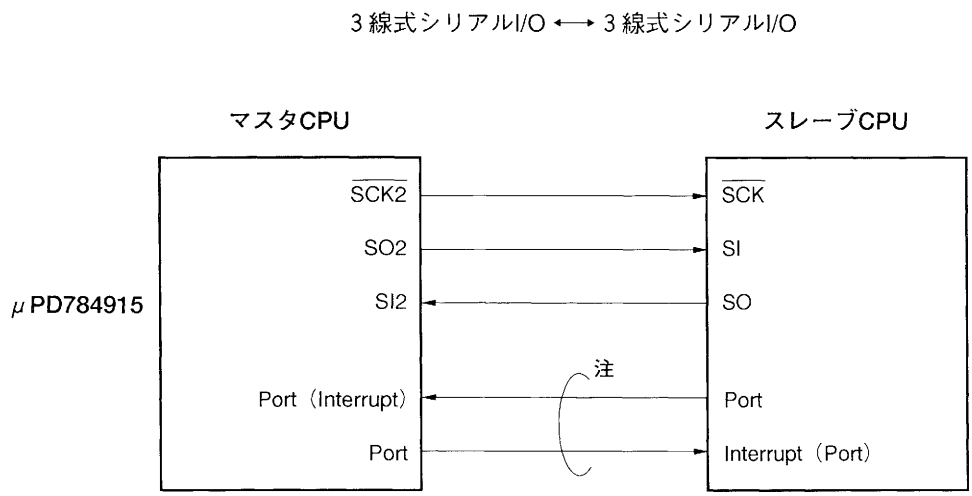
保守／廃止

7.3.4 動　　作

従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行います。

基本的には，シリアル・クロック（$\overline{\text{SCK2}}$）とシリアル・データ出力（SO2）とシリアル・データ入力（SI2）の３本のラインで通信を行います。複数のデバイスと接続する場合はハンドシェーク用のラインが必要になります。

図７－13　３線式シリアルI/Oのシステム構成例



注　ハンドシェーク・ライン

(1) 基本動作タイミング

８ビット単位でデータの送受信を行います。データは，シリアル・クロックに同期してMSB（またはLSB）先頭で１ビットごとに送受信されます。

送信データは，$\overline{\text{SCK2}}$の立ち下がりに同期して出力されます。受信データは，$\overline{\text{SCK2}}$の立ち上がりでサンプリングされます。

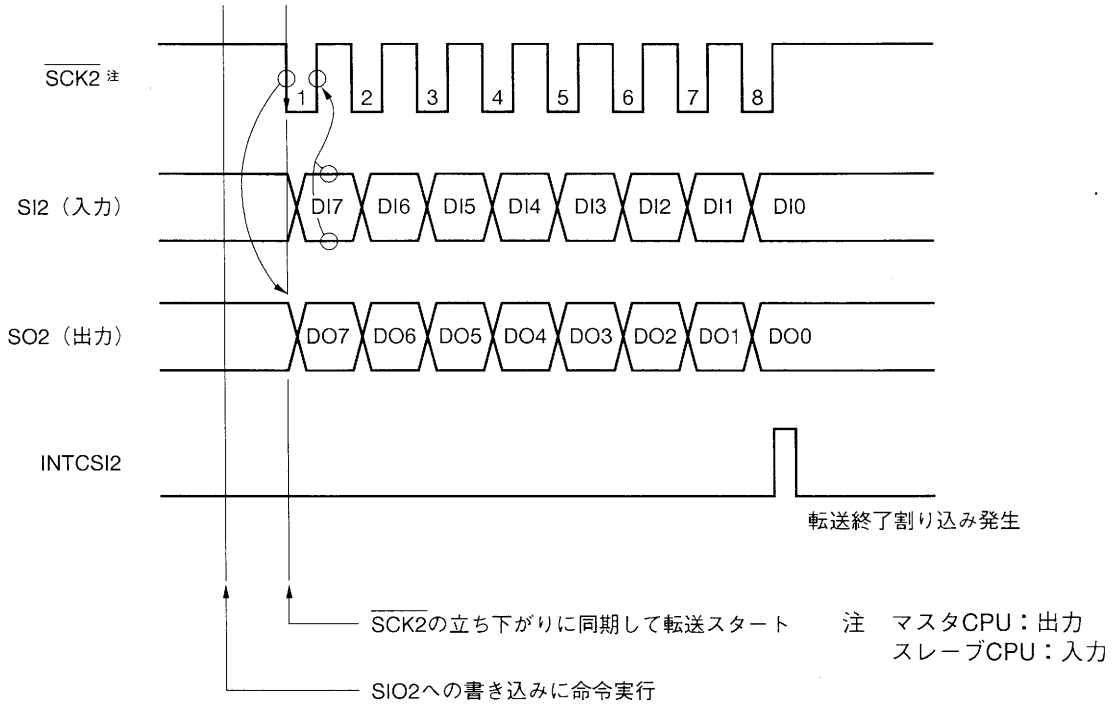
また，８番目の$\overline{\text{SCK2}}$の立ち上がりで割り込み要求INTCSI2を発生します。

内部クロックを$\overline{\text{SCK2}}$として使用している場合は，$\overline{\text{SCK2}}$の８番目の立ち上がりで$\overline{\text{SCK2}}$の出力を停止し，次のデータの送信または受信動作が起動されるまで，$\overline{\text{SCK2}}$はハイ・レベルを保持します。

図７－14に，シリアル・インタフェース・チャネル２のタイミング図を示します。

保守／廃止

図7－14　シリアル・インタフェース・チャネル2のタイミング

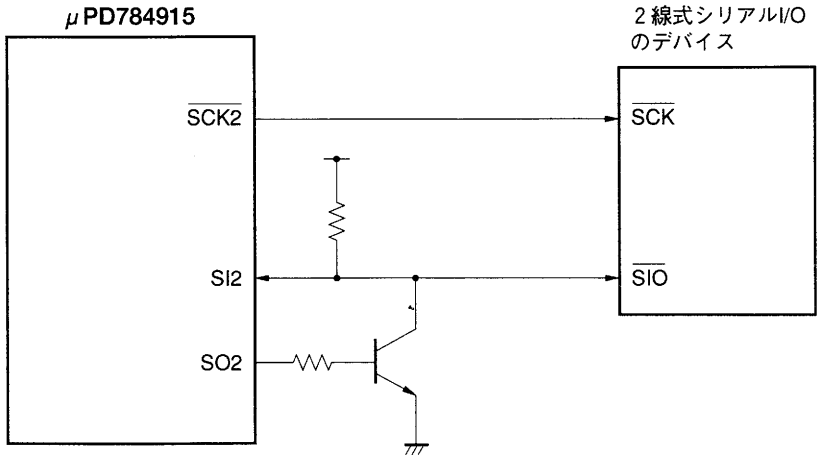


注意1．SIO2レジスタへのライトで転送を開始したあと，転送動作中にSIO2レジスタにデータをライトすると誤動作することがあります。したがって，転送動作中にSIO2レジスタを書き換えないでください。

2．ENCSI2ビットをクリアすると転送動作中であっても，ただちに動作を中止します。

備考　2線式のシリアルI/Oと接続する場合は，図7－15のようにSO2端子にバッファを接続してください。なお，図7－15の場合は，バッファにより出力レベルが反転するので，SIO2へは出力したいデータの反転データを書き込んでください。

図7－15　2線式シリアルI/Oとの接続例



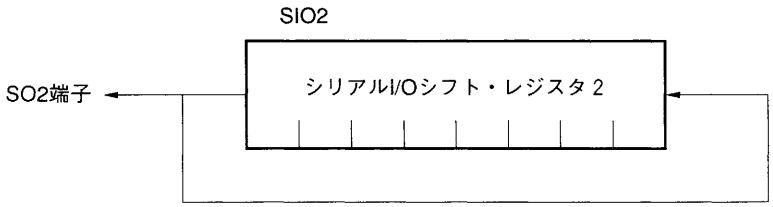
(2) 受信禁止の場合の動作（送信のみ動作許可）

CRXE2ビットをクリア(0)すると，データ送信のみ行い受信動作を禁止します。

SIO2レジスタには，SI2端子からの受信データの代わりに送信データが入力されます。したがって受信を禁止した場合，転送データを破壊せずに保存できます。

ENCSI2＝1かつCRXE2＝0に設定したあと，SIO2レジスタへのライト命令を実行すると，シリアル・クロックに同期して1ビットごとに送信を開始します。先頭ビットのデータはSO2端子から出力されると同時に，SIO2レジスタの最終ビットに入力されます。この動作を8回繰り返し，送信が終了すると割り込み要求を発生します。

図7－16　受信禁止の場合の動作



(a) シリアル・クロックとして内部クロックを選択した場合

送信が起動されると，シリアル・クロックを$\overline{\text{SCK2}}$端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIO2からデータをSO2端子へ順次出力し，シリアル・クロックの立ち上がりに同期して，同出力データをSIO2にシフト・インします。

(b) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると，送信起動後に$\overline{\text{SCK2}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIO2からデータをSO2端子へ順次出力し，同時に$\overline{\text{SCK2}}$端子へ入力されたシリアル・クロックの立ち上がりに同期して，同出力データをSIO2に再格納します。送信が起動されていないときにシリアル・クロックを$\overline{\text{SCK2}}$端子へ入力してもシフト動作は行われず，SO2端子の出力レベルは変化しません。

注意　外部クロック選択時は，送信起動後，SIO2に送信データを設定する前にシリアル・クロックを$\overline{\text{SCK2}}$端子に入力しないようにしてください。不定データを出力することがあります。

同様に，外部クロック選択時はマクロ・サービスを使用しないでください。

(3) 受信許可の場合の動作（送受信動作許可）

ENCSI2ビットとCRXE2ビットが両方ともセット(1)されているときは，送信動作と受信動作を同時に行うことができます（送受信動作）。

送受信の起動は，ENCSI2ビットとCRXE2ビットが両方ともセット(1)されているときにSIO2への書き込みで行います。

(a) シリアル・クロックとして内部クロックを選択した場合

送信が起動されると，シリアル・クロックを$\overline{\text{SCK2}}$端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIO2からデータをSO2端子へ順次出力し，シリアル・クロックの立ち上がりに同期して，SI2端子のデータを順次SIO2にシフト・インします。

(b) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると，送信起動後に$\overline{\text{SCK2}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIO2からデータをSO2端子へ順次出力し，シリアル・クロックの立ち上がりに同期して，SI2端子のデータを順次SIO2にシフト・インします。送信が起動されていないときにシリアル・クロックを$\overline{\text{SCK2}}$端子へ入力してもシフト動作は行われず，SO2端子の出力レベルは変化しません。

注意　外部クロック選択時は，送信起動後，SIO2に送信データを設定する前にシリアル・クロックを$\overline{\text{SCK2}}$端子に入力しないようにしてください。不定データを出力することがあります。
同様に，外部クロック選択時はマクロ・サービスを使用しないでください。

(4) 送信を禁止し，受信だけ行いたい場合の動作

SELSOLV21，SELSOLV20ビットの操作により，SO2端子からのシリアル出力を禁止し，レベル（L，H，Hi-Z）を出力することができます（図7－10参照）。

SELSOLV21，SELSOLV20ビットの操作およびCRXE2ビットをセットすることにより受信のみできるようになります。

(5) シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合，ノイズなどによりシリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合，シリアル・インタフェースの動作を禁止する（ENCSI2ビットをリセット(0)する）ことによりシリアル・クロック・カウンタが初期化されるので，次にシリアルの送信または送受信を起動した直後に入力されるクロックを1発目のクロックとして，シフト動作とシリアル・クロックの同期を回復することができます。

7.3.5　ストローブ制御とビジィ制御

(1) ストローブ制御

1バイトのシリアル転送が終了したあと，ストローブ信号を発生させます。

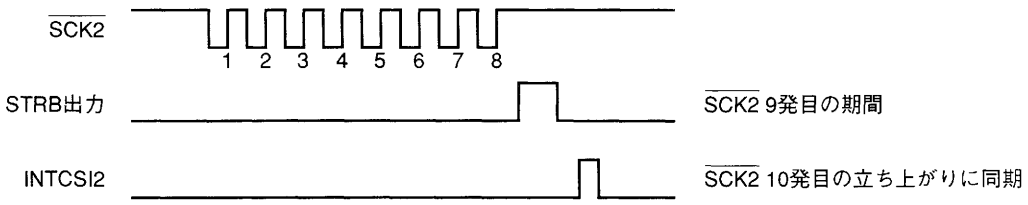
ストローブ制御の有無によりタイミングが異なります。

表7-2　ストローブ制御の有無によるタイミングの違い

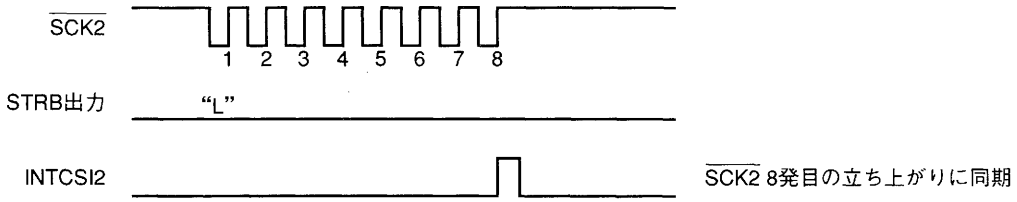
ストローブ制御	ストローブ信号出力タイミング	INTCSI2割り込み発生タイミング
なし	—	$\overline{\text{SCK2}}$ 8発目の立ち上がりに同期
あり	$\overline{\text{SCK2}}$ 9発目相当の期間	$\overline{\text{SCK2}}$10発目相当の立ち上がりに同期

図7-17　INTCSI2割り込み発生タイミング

(1) ストローブ制御＝あり（ビジィ制御＝ありに設定）



(2) ストローブ制御＝なし



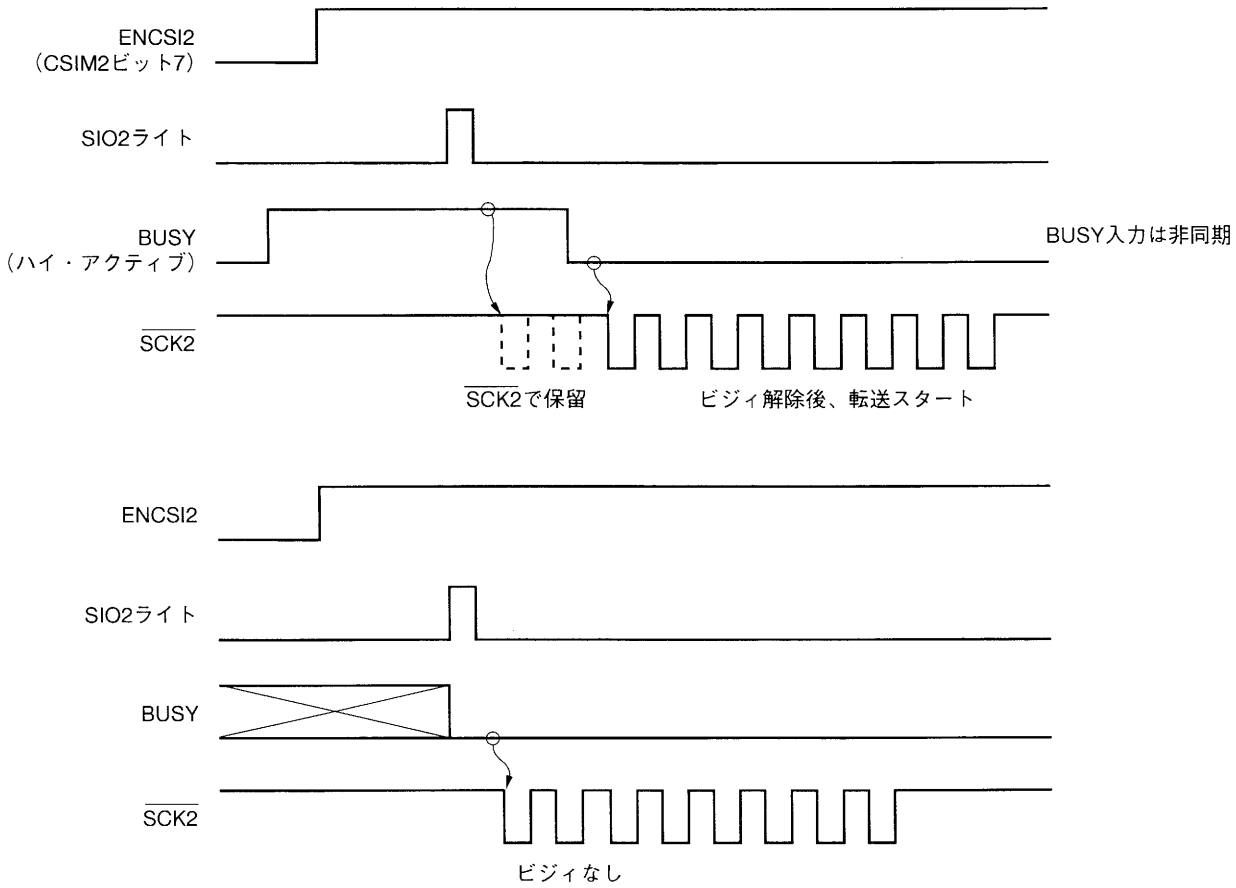
(2) ビジィ制御

ビジィ信号の入力により，シリアル転送動作の保留／再開を制御します。

通信先のデバイスが送ってくるビジィ信号を検出すると次のシリアル転送を保留し，ビジィ信号解除後に転送を再開します。転送の保留はシリアル・クロックの出力を保留することによって行います。

ビジィ信号の検出は，データ転送前に行います。シリアル動作を許可しSIO2レジスタへライト後，BUSY端子のレベルを検出します。BUSY端子のレベルがCSIC2レジスタで設定したアクティブ・レベルであれば，$\overline{\text{SCK2}}$出力を保留します。そして，BUSY端子のレベルがインアクティブ・レベルになったあとの$\overline{\text{SCK2}}$から出力を開始します。

図7－18　ビジィ制御タイミング



保守／廃止

7.3.6　マクロ・サービスを用いた自動送受信動作

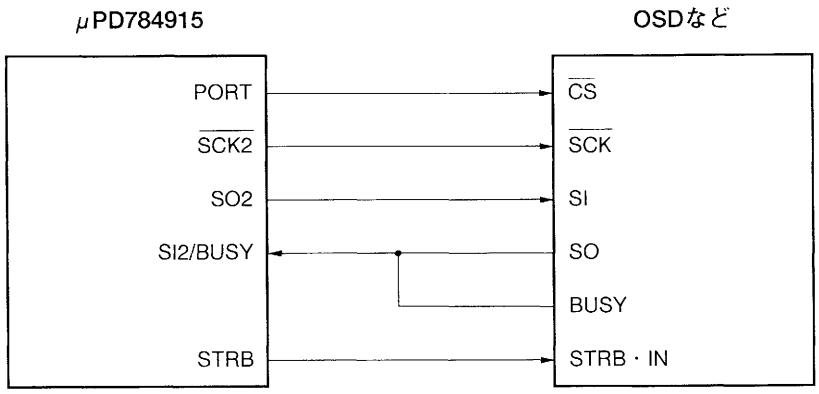
μPD784915では，3線式シリアルI/Oとマクロ・サービスを組み合わせて，ビジィ，ストローブ制御付きの自動送受信動作を行うことができます。

転送を開始すると，あらかじめメモリに格納しておいたデータを設定したバイト数だけ送信したり，設定したバイト数だけ受信しデータ・メモリに格納することができます。

また，連続してデータを送信するために，ハードウエアによるハンドシェーク信号（ストローブ，ビジィ）をサポートしており，OSDやLCDコントローラ／ドライバ，FIPコントローラ／ドライバなどの周辺LSIとの接続が容易に実現できます。

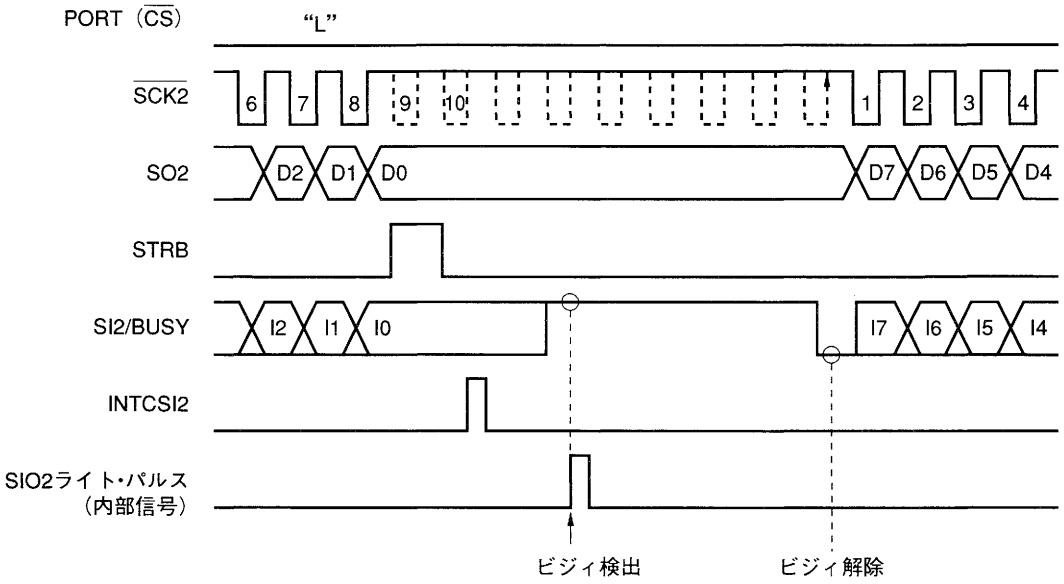
注意　外部クロック選択時はマクロ・サービスを使用しないでください。

図7－19　3線式シリアルI/Oのシステム構成例（ビジィ，ストローブ制御付き）



保守／廃止

図7-20　ビジィ，ストローブ制御付きのデータ転送タイミング（ビジィ：ハイ・アクティブ）



注意1．シリアル・クロックとして外部クロックを選択した場合，ビジィ制御とストローブ制御は使用しないでください。

2．ストローブ（STRB）出力をする場合は，ビジィ（BUSY）動作も同時に許可に設定する必要があります。

保守／廃止

第8章　スーパ・タイマ・ユニット

μPD784915は，ソフトウエアによるディジタル・サーボ制御を容易にするスーパ・タイマ・ユニットを内蔵しています。このスーパ・タイマ・ユニットは，以下のような構成になっています。

- 22ビット・カウンタ　：1チャネル
- 16ビット・タイマ　：6チャネル
- 8ビット・タイマ　：2チャネル
- 5ビット・アップ・ダウン・カウンタ：1チャネル
- 16ビット分解能PWM出力　：3チャネル
- 8ビット分解能PWM出力　：3チャネル

μPD784915のスーパ・タイマ・ユニットは，サーボ制御を容易にするためにさまざまな機能を内蔵しており，特にVTRのサーボ制御に最適です。

保守／廃止

8.1　スーパ・タイマ・ユニットの概要

8.1.1　スーパ・タイマ・ユニットの構成

μPD784915のスーパ・タイマ・ユニットの基本構成を表8-1に示します。

表8-1　スーパ・タイマ・ユニットの構成

ユニット名	タイマ／カウンタ	レジスタ	備　　考
タイマ0	16ビット・タイマ×1 (TM0)	16ビット・コンペア・レジスタ×3	映像HSW，音声HSW，疑似V_{SYNC}信号を生成
	8ビット・カウンタ×1 (EC)	8ビット・コンペア・レジスタ×4	内部HSW信号を生成
フリー・ランニング・カウンタ	22ビット・カウンタ×1 (FRC)	22ビット・キャプチャ・レジスタ×6	ディジタル・ノイズ除去回路内蔵 (V_{SYNC}分離回路)
タイマ1	16ビット・タイマ×1 (TM1)	16ビット・コンペア・レジスタ×3 16ビット・キャプチャ・レジスタ×1	内部基準タイマ，バッファ・オシレータRECCTL信号の生成
	16ビット・タイマ×1 (TM3)	16ビット・コンペア・レジスタ×2 16ビット・キャプチャ・レジスタ×1	VISS検出，ワイド・アスペクト検出回路内蔵
	8ビット・カウンタ×1 (EDV)	8ビット・コンペア・レジスタ×1	高速サーチ時のCFG信号の分周
タイマ2	16ビット・タイマ×1 (TM2)	16ビット・コンペア・レジスタ×1	インターバル・タイマとして使用可能
タイマ4	16ビット・タイマ×1 (TM4)	16ビット・キャプチャ／コンペア・レジスタ（切り替え可)×1 16ビット・キャプチャ・レジスタ×1	リモコン受信への応用が可能
タイマ5	16ビット・タイマ×1 (TM5)	16ビット・コンペア・レジスタ×1	リアルタイム出力ポート出力トリガおよびA/D変換開始トリガとして使用可能
アップ／ダウン・カウンタ	5ビット・カウンタ (UDC)	5ビット・コンペア・レジスタ×1	リニア・テープ・カウンタへの応用が可能
PWM出力ユニット	—	16ビット・モジュロ・レジスタ×3 8ビット・モジュロ・レジスタ×3	キャリア周波数　62.5 kHz

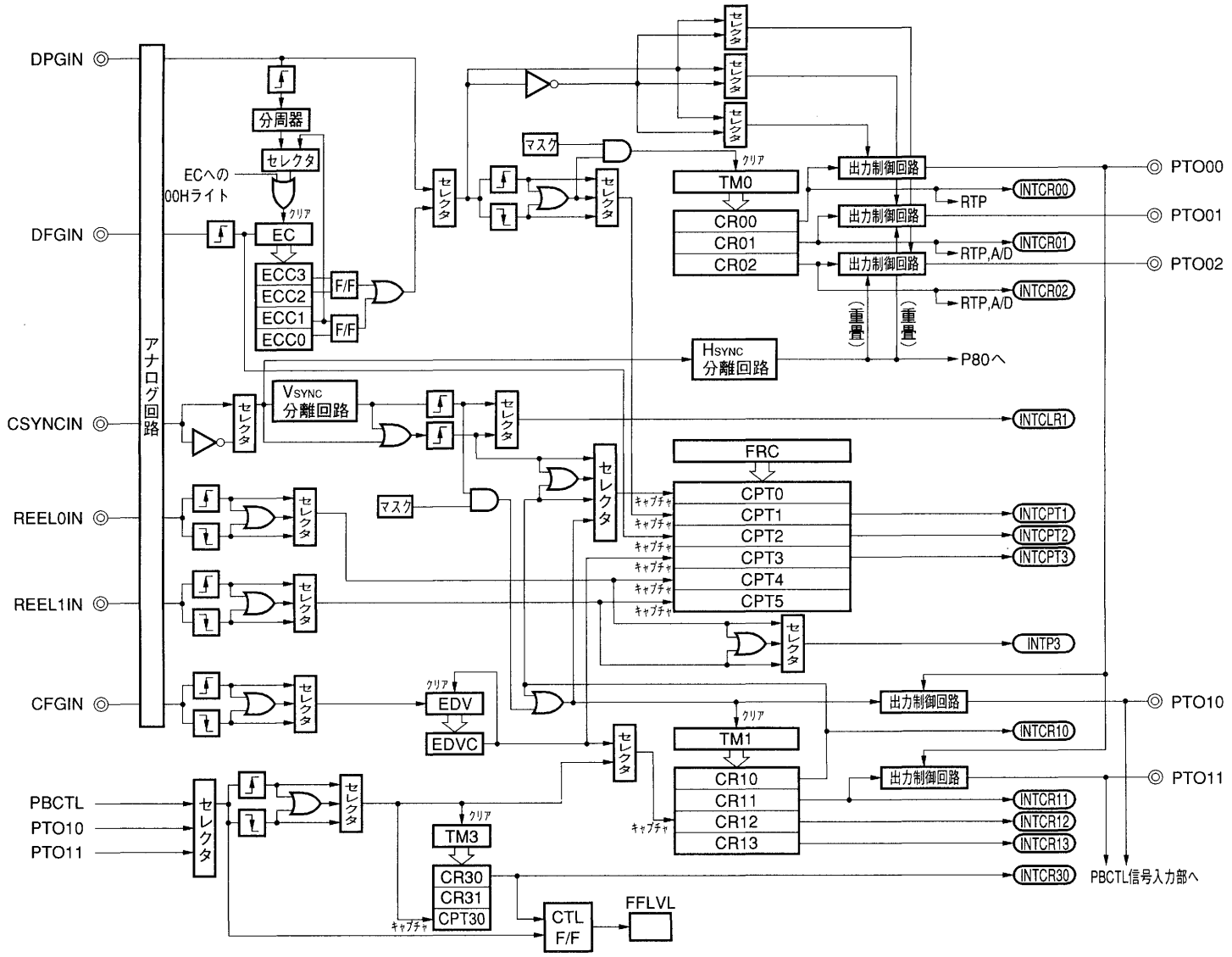
図8-1にスーパ・タイマ・ユニットの構成を示します。

μPD784915のスーパ・タイマ・ユニットの最大の特徴はタイマ0（TM0)，フリー・ランニング・カウンタ（FRC)，タイマ1（TM1)，にあります（図8-1（1/2))。

これらのタイマ・ユニットを使用することによって，ソフトウエアによるサーボ制御やDCモータの制御，VTRのインデクス・サーチなどが容易に実現できます。

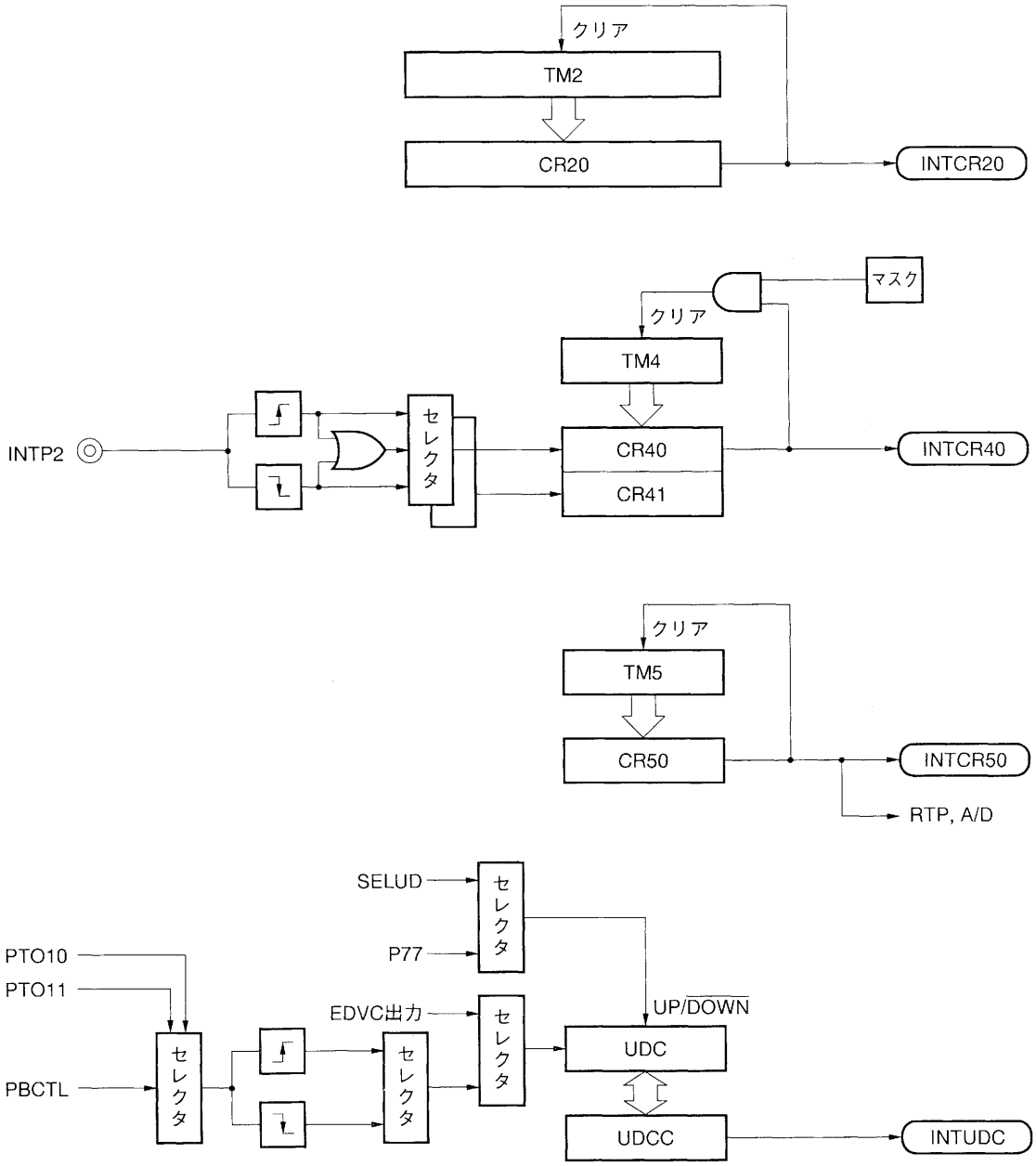
保守／廃止

図8-1　スーパ・タイマ・ユニットのブロック図（1/2）



保守／廃止

図8-1　スーパ・タイマ・ユニットのブロック図（2/2）



8.1.2　各タイマ・ユニットの機能概要

(1) タイマ0ユニット

タイマ0ユニットはドラム・モータのPG，FG信号からヘッド・スイッチング信号，疑似V_{SYNC}出力タイミングを作成するためのタイマ・ユニットです。

イベント・カウンタ（EC：8ビット）とコンペア・レジスタ（ECC0-ECC3），タイマ0（TM0：16ビット）とコンペア・レジスタ（CR00-CR02）から構成されます。

また，タイマ0とコンペア・レジスタの一致信号は，リアルタイム出力ポートの出力トリガおよびA/Dコンバータの変換開始トリガとして使用できます。

(2) フリー・ランニング・カウンタ・ユニット

フリー・ランニング・カウンタ・ユニットは，ドラム・モータの速度と位相，キャプスタン・モータの速度，リール速度を検出するためのカウンタ・ユニットです。

フリー・ランニング・カウンタ（FRC）とキャプチャ・レジスタ（CPT0-CPT5），V_{SYNC}分離回路，H_{SYNC}分離回路から構成されます。

(3) タイマ1ユニット

タイマ1ユニットは，フレーム周期に同期した基準タイマで，RECCTLの作成，キャプスタン・モータの位相検出，PBCTLのデューティ検出を行うタイマ・ユニットです。

タイマ1(TM1)とコンペア・レジスタ(CR10，CR11，CR13)，キャプチャ・レジスタ（CR12），タイマ3（TM3）とコンペア・レジスタ（CR30，CR31），キャプチャ・レジスタ（CPT30），イベント・ディバイダ・カウンタ（EDV）とコンペア・レジスタ（EDVC）から構成されます。

また，TM1-CR13一致信号はV_{SYNC}自動マスク解除，リアルタイム出力ポートの出力トリガ，およびA/Dコンバータの変換開始トリガとして使用できます。

(4) タイマ2ユニット

タイマ2ユニットは汎用の16ビット・タイマです。

タイマ2（TM2）とコンペア・レジスタ（CR20）から構成されます。

TM2-CR20一致信号でタイマをクリアし，同時に割り込みを発生します。

(5) タイマ4ユニット

タイマ4ユニットは汎用の16ビット・タイマです。

タイマ4（TM4）とキャプチャ／コンペア・レジスタ（CR40），キャプチャ・レジスタ（CR41）から構成されます。

INTP2入力でタイマの値をCR40/CR41にキャプチャします。リモコン信号のデコードなどに使用できます。

保守／廃止

(6) タイマ5ユニット

タイマ5ユニットは汎用の16ビット・タイマです。

タイマ5（TM5）とコンペア・レジスタ（CR50）から構成されます。

TM5-CR50一致信号でタイマをクリアし，同時に割り込みを発生します。

また，TM5-CR50一致信号は，リアルタイム出力ポートの出力トリガおよびA/Dコンバータの変換開始トリガとして使用できます。

(7) アップ／ダウン・カウンタ・ユニット

アップ／ダウン・カウンタ・ユニットはリニア・テープ・カウンタを実現するためのカウンタです。

アップ／ダウン・カウンタ（UDC）とコンペア・レジスタ（UDCC）から構成されます。

PBCTLの立ち上がりエッジをアップ・カウント，立ち下がりエッジをダウン・カウントします。コンペア・レジスタとの一致またはカウンタのアンダフローで割り込みを発生します。

(8) PWM出力ユニット

PWM出力ユニットには16ビット精度出力3本(PMW0，PWM1，PWM5)と，8ビット精度出力3本（PWM2-PWM4）があります。キャリア周波数はすべて62.5 kHz（f_{CLK}=8 MHz時）です。

PWM0，PWM1はドラム・モータ，キャプスタン・モータの制御に使用します。

表8-2　各タイマの分解能と最大カウント時間（16 MHz動作時）

ユニット名	タイマ／カウンタ	入力クロック		分解能	最大カウント時間
タイマ0	16ビット・タイマ×1 (TM0)	1 MHz（f_{CLK}/8）		1 μs	65.5 ms
フリー・ランニング・カウンタ	22ビット・カウンタ×1 (FRC)	8 MHz（f_{CLK}）		125 ns	524 ms
タイマ1	16ビット・タイマ×1 (TM1)	1 MHz（f_{CLK}/8）		1 μs	65.5 ms
	16ビット・タイマ×1 (TM3)	選択可	1 MHz（f_{CLK}/8）	1 μs	65.5 ms
			917 kHz（(f_{CLK}/8)×11/12）	1.1 μs	71.5 ms
タイマ2	16ビット・タイマ×1 (TM2)	1 MHz（f_{CLK}/8）		1 μs	65.5 ms
タイマ4	16ビット・タイマ×1 (TM4)	500 kHz（f_{CLK}/16）		2 μs	131 ms
タイマ5	16ビット・タイマ×1 (TM5)	500 kHz（f_{CLK}/16）		2 μs	131 ms

8.2　タイマ0ユニット

8.2.1　タイマ0ユニットの構成

タイマ0ユニットの構成を図8-2に示します。

タイマ0ユニットは，イベント・カウンタ（EC：8ビット）とタイマ0（TM0：16ビット）で構成しています。

(1) 8ビット・イベント・カウンタ（EC）

DPGIN，DFGIN端子入力からタイマ0（TM0）のクリア・パルスを作成する機能やDFGIN端子入力パルスを分周する機能を持つ8ビットのカウンタです。

(2) 16ビット・タイマ0（TM0）

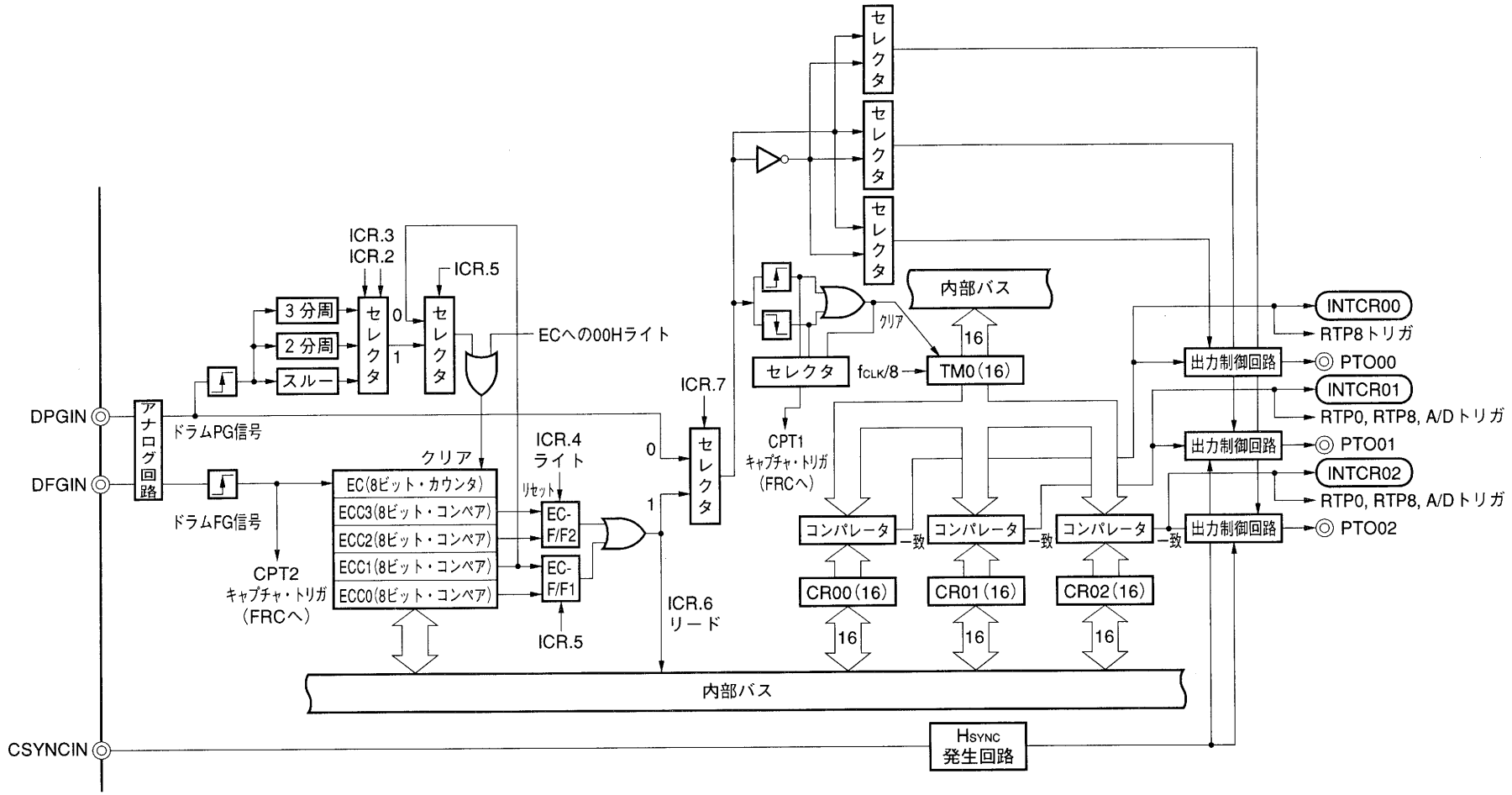
16ビット・タイマと3つのコンペア・レジスタ（CR00-CR02）で構成しています。

DPGIN端子入力パルスあるいは，イベント・カウンタで作成した内部生成パルスを，一定量遅延させるプログラマブル・ディレイ・パルス出力機能があります。

VTRでの応用例では，このタイマ0ユニットはドラムFG（DFG）信号およびドラムPG（DPG）信号から，ヘッド・スイッチング信号を作るために使用します。

保守／廃止

図8-2　タイマ0ユニットのブロック図

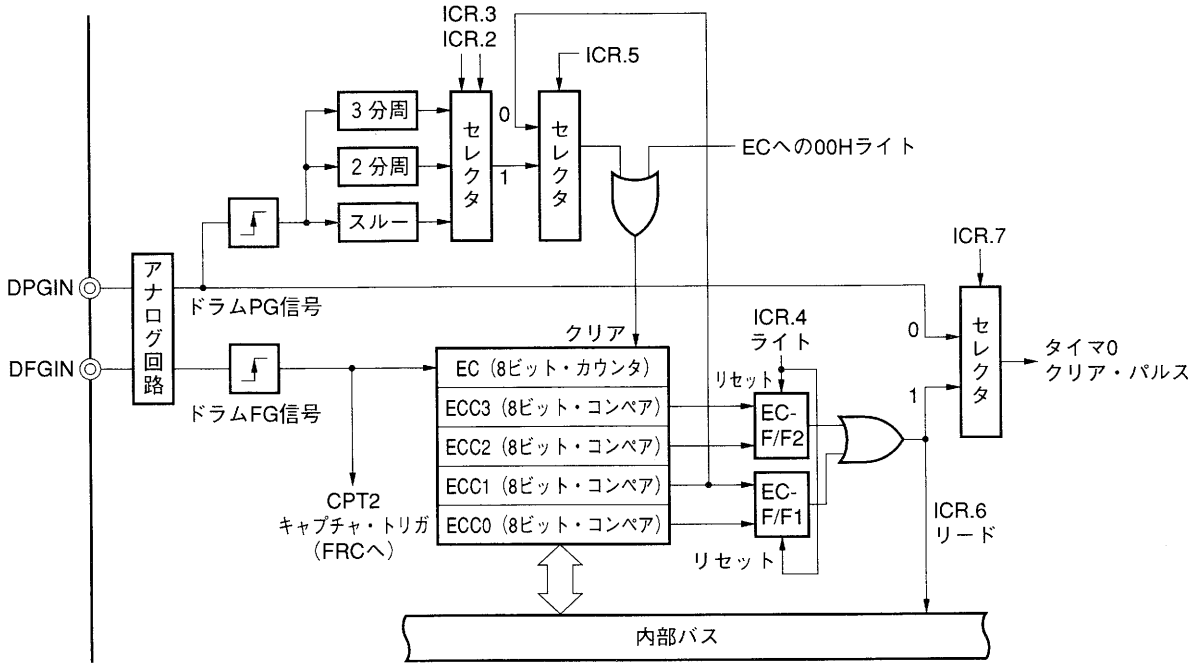


8.2.2　イベント・カウンタ（EC）

DPGINおよびDFGIN端子入力から内部でパルスを生成するための回路です。

８ビット・カウンタ（EC）と８ビット・コンペア・レジスタ４本（ECC0-ECC3）および動作制御用のフリップフロップ２個（EC-F/F1，EC-F/F2）で構成しています。イベント・カウンタの構成を図８-３に示します。

図８-３　イベント・カウンタの構成



DPGIN端子入力は「分周しない」，「２分周する」，「３分周する」のいずれかに選択できます。

DFGIN端子入力で８ビット・カウンタ（EC）をカウント・アップします。ECC1に設定された値とECが一致するとEC-F/F1をセットし，ECC0に設定された値とECが一致するとEC-F/F1をリセットします。同様にEC-F/F2は，ECとECC3の一致でセットし，ECC2の一致でリセットします。タイマ０クリア・パルスは，この２つのF/F出力の論理和をとったものです。ECはDPGIN端子入力でクリアされます。

イベント・カウンタには，次の２つの動作モードがあります。

- 内部パルス生成モード
- 汎用イベント・ディバイダ・モード

(1) 内部パルス生成モード

DPGIN端子入力およびDFGIN端子入力から内部パルスを生成するためのモードです。

例1．VHS用ヘッド・スイッチング信号の作成方法

図8-4に，VHSドラム・ヘッドの構成を示します。

図8-5に，VHS用ヘッド・スイッチング信号作成時の動作タイミングを示します。ここでは，FG波数が24極のドラム・モータ（モータ1回転で24個のFG信号が出るモータ）からデューティ50％のヘッド・スイッチング信号を作成する方法を示します。DPGIN端子入力は「分周しない」（ICRレジスタのビット3およびビット2で設定）に設定してください。また，ヘッド・スイッチング信号として，DPG信号入力後4発目のFG信号でセットし16発目のFG信号でリセットするようなパルスを作成する場合は，ECC1＝03H，ECC0＝0FHに設定してください。この場合，ECC3とECC2は使用しませんので，両レジスタとも00Hに設定しておいてください。

図8-6に，VHS用ヘッド・スイッチング信号作成時のECの構成を示します。

図8-4　VHSドラム・ヘッドの構成

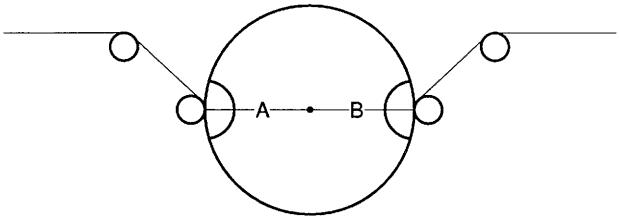
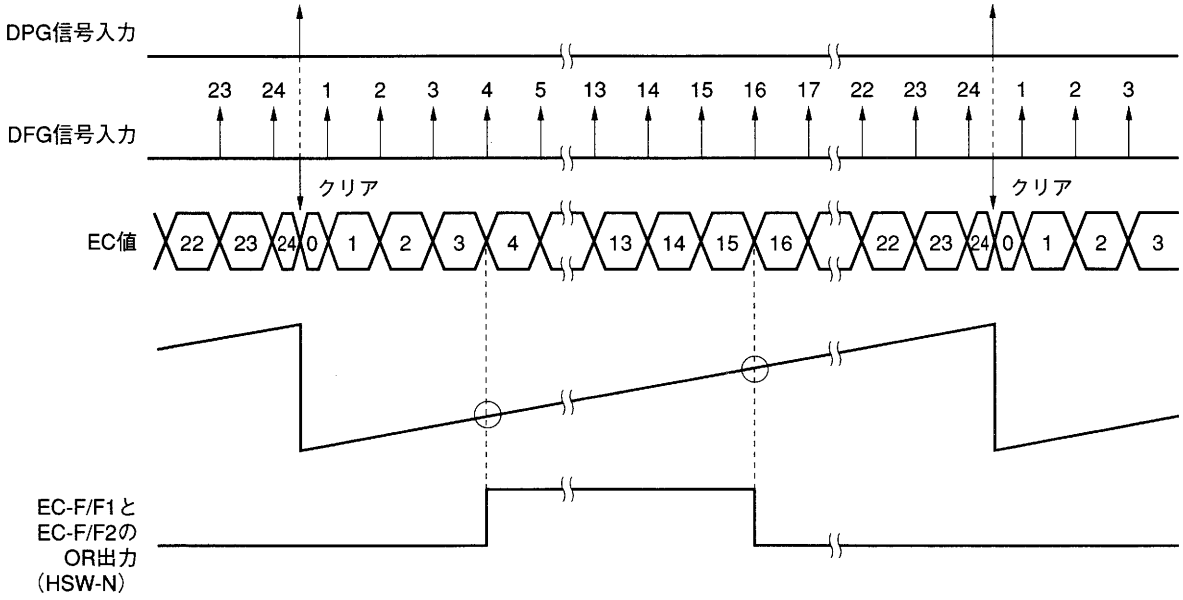
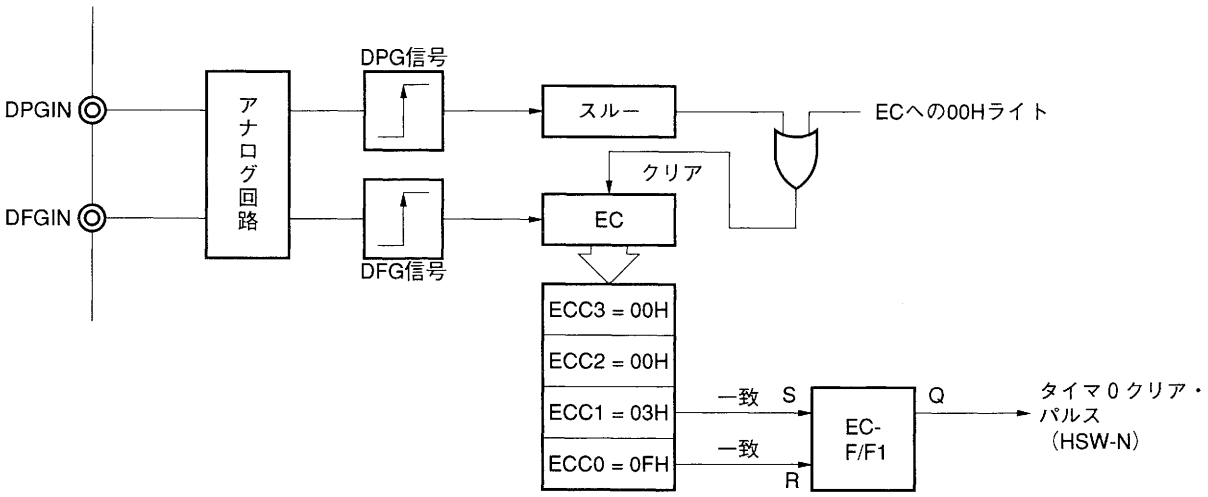


図8-5　VHS用ヘッド・スイッチング信号作成時の動作タイミング



保守／廃止

図8-6　VHS用ヘッド・スイッチング信号作成時のECの構成



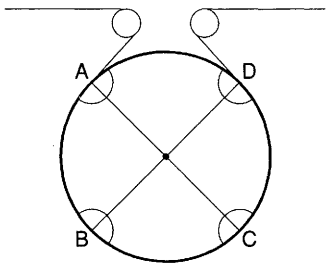
例2.　小径ドラム（VHS-C）用ヘッド・スイッチング信号の作成方法

図8-7に，VHS-Cドラム・ヘッドの構成を示します。

図8-8に，VHS-C用ヘッド・スイッチング信号作成時の動作タイミングを示します。DPGIN端子入力は「3分周する」に設定してください。また，ECC3=01H，ECC2=10H，ECC1=1FH，ECC0=2EHにそれぞれ設定してください。

図8-9に，VHS-C用ヘッド・スイッチング信号作成時のECの構成を示します。

図8-7　VHS-Cドラム・ヘッドの構成



保守／廃止

図8-8　VHS-C用ヘッド・スイッチング信号作成時の動作タイミング

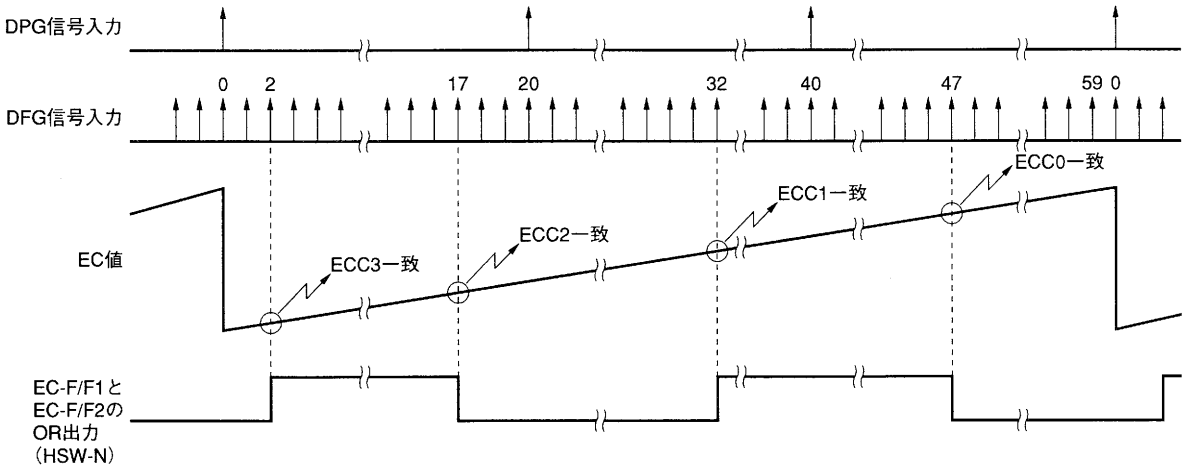
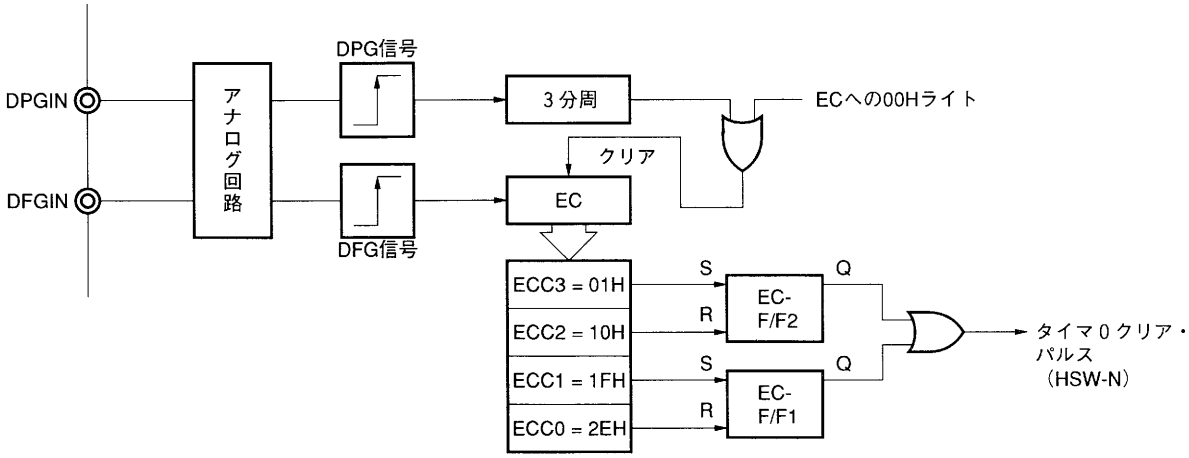


図8-9　VHS-C用ヘッド・スイッチング信号作成時のECの構成



(2) 汎用イベント・ディバイダ・モード

DFGIN端子入力を分周する汎用のイベント・ディバイダとして機能するモードです。この場合，EC-F/F1は，ECとECC1との値が一致するたびに出力を反転させるTフリップフロップとして動作します。このとき，ECC3，ECC2，ECC0の設定値は無効になります。

図8-10に，ECC1＝03Hの場合の汎用イベント・ディバイダ・モードの動作タイミングを示します。

図8-11に，汎用イベント・ディバイダ・モードのECの構成を示します。

図8-10　汎用イベント・ディバイダ・モードの動作タイミング

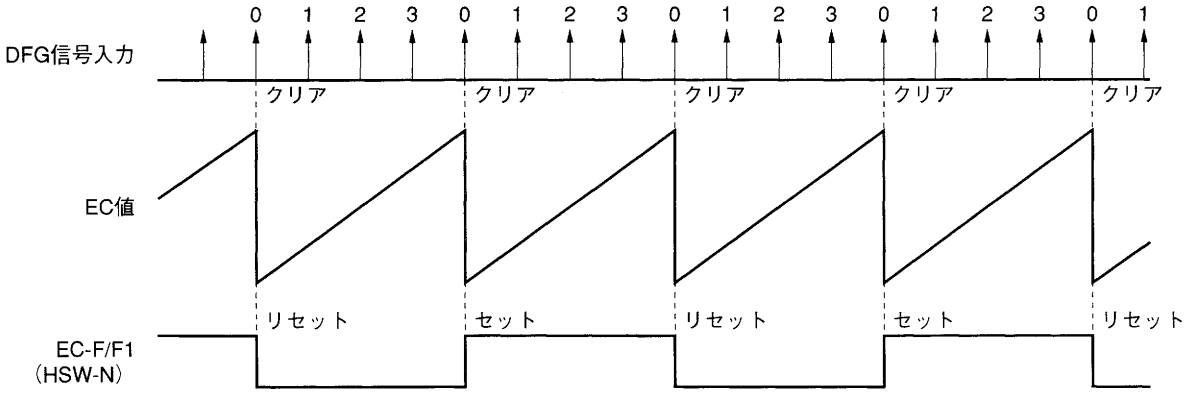
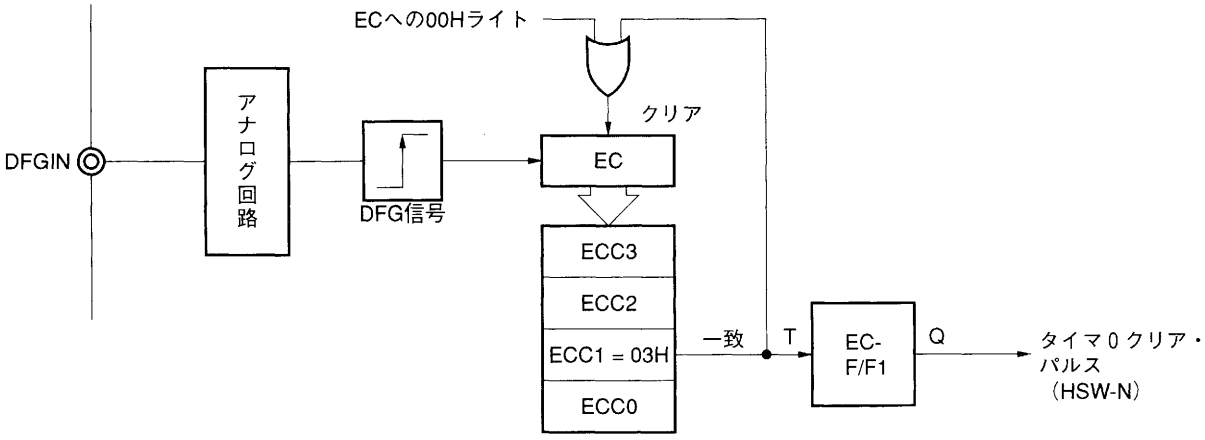


図8-11　汎用イベント・ディバイダ・モードのECの構成



8.2.3　タイマ０（TMO）

タイマ０は読み出し専用の16ビット・カウンタで，タイマ０クリア・パルスの立ち上がり，立ち下がり両エッジ入力時に，0000Hにクリアされます。

タイマ０クリア・パルスは，入力コントロール・レジスタ(ICR)のビット7(SELCLR0)により，DPGIN端子入力か，イベント・カウンタ（EC）による内部パルスかを選択することができます。

f_{CLK}＝8 MHz動作時のTM0の分解能および最大カウント時間を表８－３に示します。

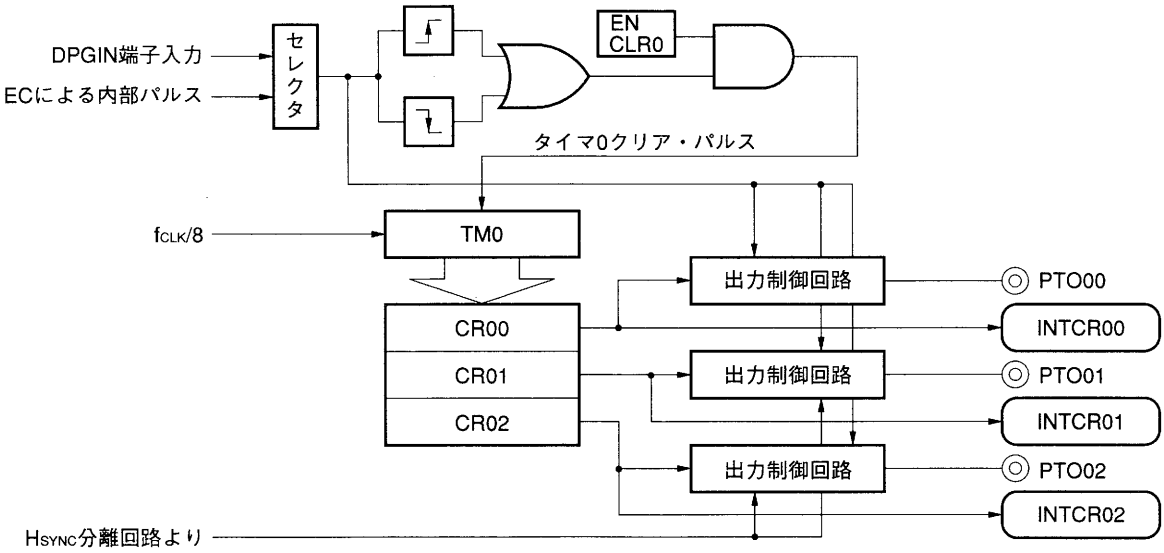
表８－３　タイマ０の分解能と最大カウント時間

入力クロック	分解能	最大カウント時間
1 MHz（$f_{CLK}/8$）	1 μs	65.5 ms

注意　リセット解除後16クロック（16/f_{CLK}）の間，TMOは不定です。TMOのカウント・スタートは17クロック以降に行ってください。

図８－12にタイマ０の構成図を示します。

図８－12　タイマ０のブロック図



8.2.4　動作モード

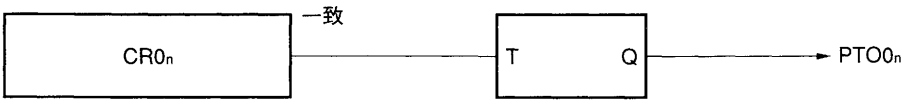
タイマ０の出力端子（PTO00，PTO01，PTO02）には次の４つのモードがあります。

各端子のモードは独立に設定することができます。

(1) 汎用出力モード

タイマ０の値がコンペア・レジスタに設定された値と一致するごとに，出力端子のレベルが反転するモードです。

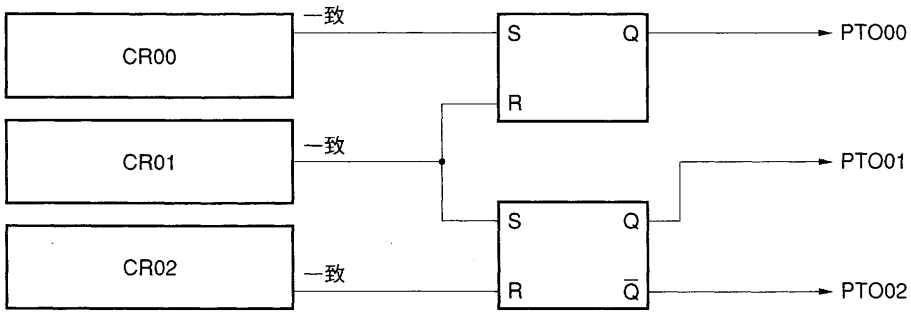
図８－13　タイマ０汎用出力モードの構成（n=0，1，2）



(2) RS出力モード

タイマ０の値がコンペア・レジスタに設定された値と一致するごとに，出力端子のレベルをセット／リセットするモードです。

図８－14　タイマ０RS出力モードの構成

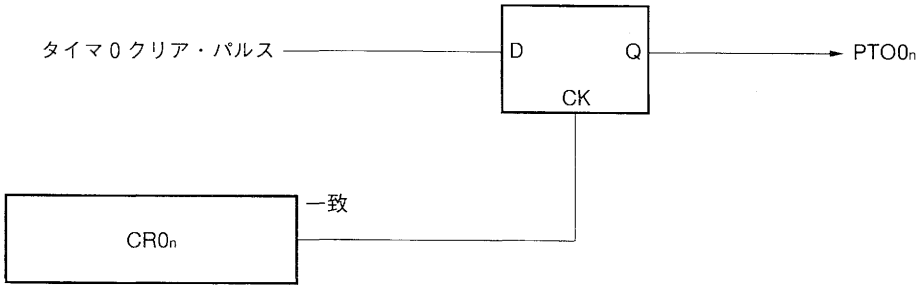


注意　RS出力モードのセット／リセットのソースは固定になっています。図８－14以外の組み合わせはできません。

(3) 遅延パルス出力モード1

タイマ0のカウント値とコンペア・レジスタに設定された値が一致したときに，タイマ0のクリア・パルスのレベルをラッチして出力するモードです。

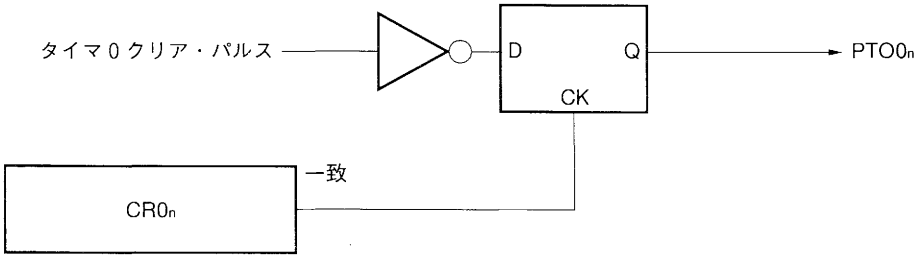
図8-15　タイマ0遅延パルス出力モード1の構成（n=0，1，2）



(4) 遅延パルス出力モード2

タイマ0のカウント値とコンペア・レジスタに設定された値が一致したときに，タイマ0のクリア・パルスの反転信号をラッチして出力するモードです。

図8-16　タイマ0遅延パルス出力モード2の構成（n=0，1，2）



保守／廃止

8.2.5　H_{SYNC}の重畳

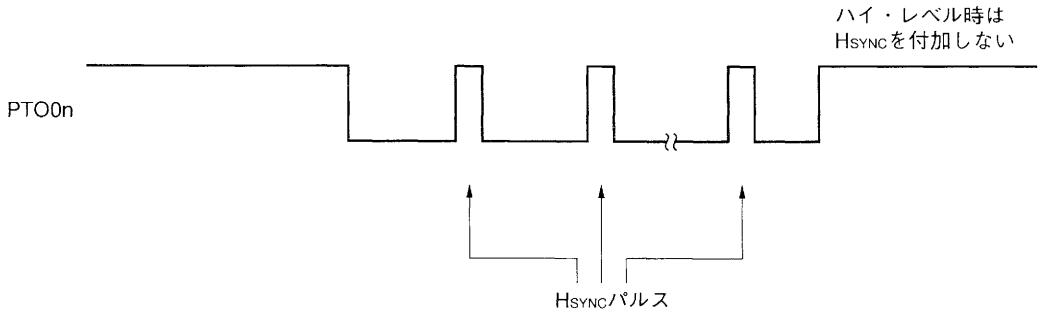
タイマ０の出力端子PTO01，PTO02からの出力にはH_{SYNC}信号を重畳させることができます。

このH_{SYNC}信号は，μPD784915内部のH_{SYNC}分離回路により$COMP_{SYNC}$信号から分離したパルスです。

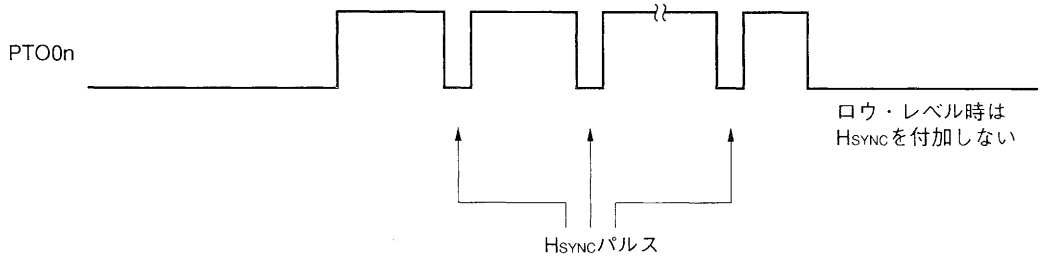
H_{SYNC}信号はPTO01またはPTO02のアクティブ・レベル期間にのみ重畳できます。図８－17にH_{SYNC}重畳後のPTO0n端子の出力を示します。

図８－17　H_{SYNC}重畳後のPTO0n端子の出力（n＝1，2）

(a) アクティブ・ロウの場合（ALVn = 0の場合）



(b) アクティブ・ハイの場合（ALVn = 1の場合）



8.2.6　タイマ0ユニット制御レジスタの設定

タイマ0ユニットの動作は，次のレジスタで制御できます。

- ICR　：入力コントロール・レジスタ（イベント・カウント，クリア・パルスの制御）
- TMC0：タイマ・コントロール・レジスタ0（タイマ0の動作の制御）
- TOM0：タイマ0出力モード・レジスタ（PTO0n出力モードの制御）
- TOC0：タイマ0出力コントロール・レジスタ（PTO0n出力の制御）
- HAPC：ヘッド・アンプ・スイッチ出力コントロール・レジスタ（HASW出力，ROT-C出力の指定）

次に，それぞれのレジスタのフォーマットを示します。

図8-18　入力コントロール・レジスタ（ICR）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ICR	SELCLR0	ECFFLVL	ECMOD	ECFFCLR	SELDPG1	SELDPG0	0	0	FF50H	10H	R/W

R/W

SELDPG1	SELDPG0	DPG信号分周指定
0	0	分周しない
0	1	2分周
1	0	3分周
1	1	設定禁止

R/W

ECFFCLR	0をライトするとECのFF1, FF2をリセットする（リードすると常に1が読める）

R/W

ECMOD	イベント・カウンタ動作モードの選択
0	汎用イベント・ディバイダ・モード
1	内部パルス生成モード

R

ECFFLVL	EC出力パルスのレベル

R/W

SELCLR0	タイマ0クリア・パルスの選択
0	DPGIN端子入力
1	EC出力パルス

図8-19　タイマ・コントロール・レジスタ0（TMC0）のフォーマット

	⑦	⑥	5	4	③	②	1	0	アドレス	リセット時	R/W
TMC0	CS1	SELFFLG	ATMSK	ENCLR1	CS0	INITMSK	0	ENCLR0	FF38H	00H	R/W

R/W

ENCLR0	タイマ0クリア制御
0	タイマ0クリア信号をマスクしてTM0をクリアしない
1	TM0クリア信号によりTM0をクリアする

R/W

INITMSK	H_{SYNC}分離回路初期化フラグ 1をライトするとH_{SYNC}分離回路のマスク期間計測カウンタを初期化する リードすると常に0が読める

R/W

CS0	タイマ0動作制御
0	クリアし，カウント停止
1	カウント動作

R/W

ENCLR1	タイマ1クリア制御
0	CSYNC信号入力をマスクしてTM1をクリアしない
1	CSYNC信号入力によりTM1をクリアする

R/W

ATMSK	CSYNC信号マスク自動解除制御
0	TM1-CR13一致信号によってCSYNC信号マスクを解除しない
1	TM1-CR13一致信号によってCSYNC信号マスクを解除(ENCLR1をセット)する

R

SELFFLG	H_{SYNC}自己生成の状態
0	自己生成パルスを出力していない
1	自己生成パルスを出力した

R/W

CS1	タイマ1動作制御
0	クリアし，カウント停止
1	カウント動作

注意　ビット操作のタイミングとTM1-CR13一致信号によるENCLR1自動セットのタイミングが競合しないようにしてください。

図8-20　タイマ0出力モード・レジスタ（TOM0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TOM0	—	—	MOD021	MOD020	MOD011	MOD010	MOD001	MOD000	FF58H	××000000	W

MOD0n1	MOD0n0	PTO0n出力モード指定(n=0-2)
0	0	汎用出力モード
0	1	RS出力モード
1	0	遅延パルス出力モード1
1	1	遅延パルス出力モード2

図8-21　タイマ0出力コントロール・レジスタ（TOC0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TOC0	ENHSY	SELPTO	ENTO02	ALV02	ENTO01	ALV01	ENTO00	ALV00	FF59H	00H	W

ALV0n	PTO0nタイマ出力のアクティブ・レベル指定（n=0-2）
0	アクティブ・ロウ
1	アクティブ・ハイ

ENTO0n	PTO0nタイマ出力の許可指定(n=0-2)
0	出力禁止（インアクティブ・レベルに固定）
1	出力許可

SELPTO	H_{SYNC}を重畳する端子を指定
0	PTO02に重畳
1	PTO01に重畳

ENHSY	PTO0n端子へのH_{SYNC}重畳許可指定(n=1，2)
0	重畳しない
1	重畳する

保守／廃止

図8-22　ヘッド・アンプ・スイッチ出力コントロール・レジスタ（HAPC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
HAPC	0	0	SELROTC	SELHASW	SELENV	PBMOD2	PBMOD1	PBMOD0	FF91H	00H	R/W

PBMOD2	PBMOD1	PBMOD0	HASW出力信号指定
0	0	0	ロウ・レベル
0	0	1	ENV入力レベル
0	1	0	PTO00出力の反転
0	1	1	設定禁止
1	0	×	ハイ・レベル
1	1	0	PTO00出力
1	1	1	設定禁止

SELENV	エンベロープ信号の極性指定
0	正極性
1	負極性

SELHASW	ヘッド・アンプ・スイッチ信号の極性指定
0	正極性
1	負極性

SELROTC	クロマ・ローテーション信号出力指定	
0	HASWとHSWのEx-OR (HASW⊕HSW)	HASWはSELHASWの指定にかかわらず正極性に固定
1	HASWとHSWのEx-NOR $(\overline{HASW \oplus HASW})$	

8.2.7　タイマ０ユニットの使用例

(1) タイマ０の遅延パルス出力モードについて

μPD784915では，遅延パルス出力モード１および２の遅延量をプログラマブルに変えられるように構成しています。

遅延パルス出力モード１では，タイマ０の値とCR00またはCR01の一致をトリガとしてタイマ０クリア・パルスのレベルをラッチし，出力します。

このモードでは，遅延量τは，最大でタイマ０クリア・パルスの1/2周期分，すなわち位相角度で表すと次のようになります。

$0 \leqq \tau < 180$ [度]

一方遅延パルス出力モード２では，タイマ０の値とCR00またはCR01の一致をトリガとして，タイマ０クリア・パルスの反転信号をラッチします。

このモードでは，タイマ０出力の遅延量τを位相角度で表すと次のようになります。

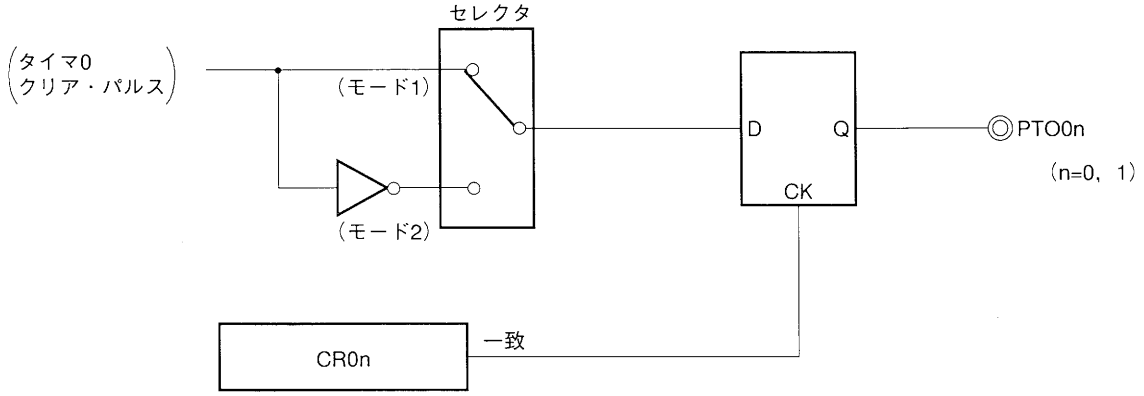
$180 \leqq \tau < 360$ [度]

したがって，タイマ０出力端子（PTO00，PTO01）をVTRのヘッド・スイッチング信号として使用した場合，遅延パルス出力モード１および２を使い分けることによって，遅延量を$0 \leqq \tau < 360$[度]の範囲で変化させることができます。

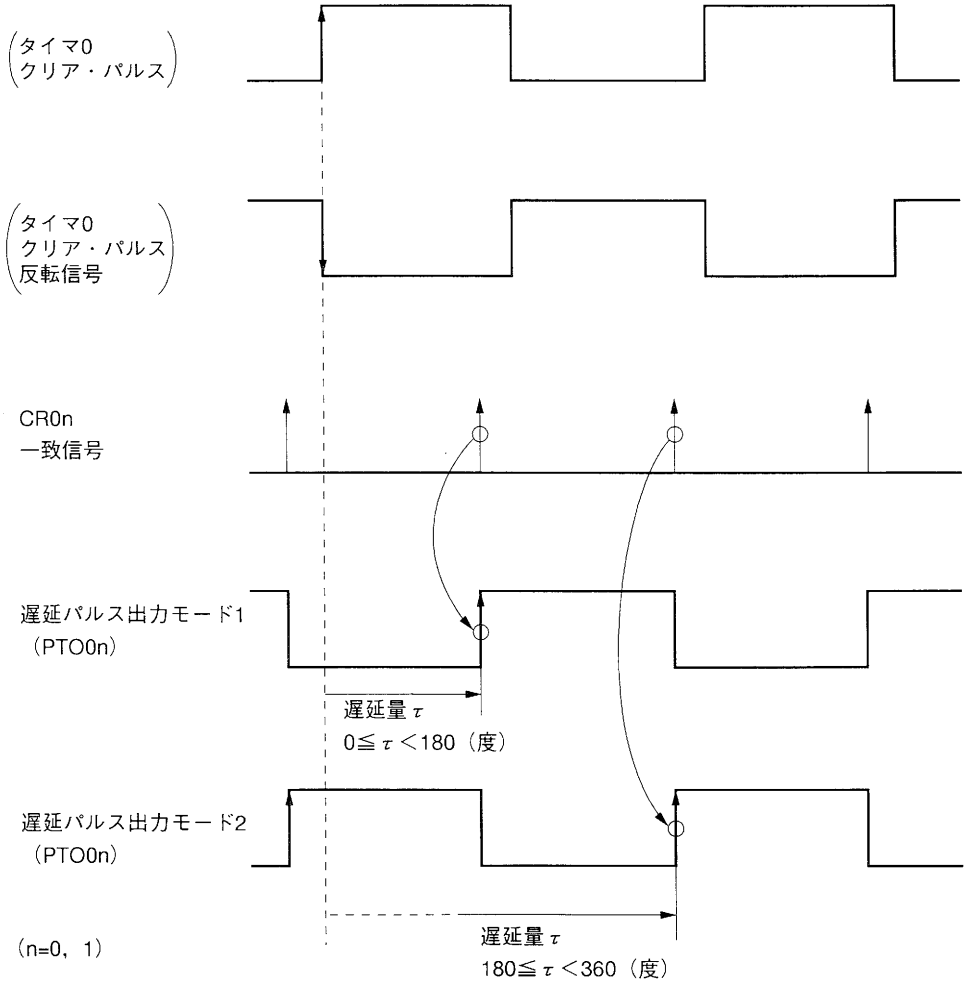
以上のタイミングを図８－23に示します。

図8-23　タイマ0遅延パルス出力モード1，2の動作タイミング

(a) タイマ0遅延パルス出力モードの構成



(b) 動作タイミング



保守／廃止

(2) VTRヘッド・スイッチング信号を作成する場合

図8-24，図8-25に，タイマ0の応用例を示します。

この例では，タイマ0ユニットを使用して，VTRのヘッド・スイッチング信号を作成する場合を示します。

使用するドラム・モータは，24極のFG信号出力（モータ1回転で24個のパルスを出力）のものを想定します。

DPGIN入力端子にドラム・モータのPG信号，DFGIN入力端子にドラム・モータのFG信号を入力します。イベント・カウンタ（EC）の，ECC1に02H，ECC0に0EHを設定しておくと，ドラムPG信号入力から4個目のFG信号で立ち上がり，16個目のFG信号で立ち下がるような，デューティ50％のタイマ0クリア・パルスが生成されます。

タイマ0のコンペア・レジスタ（CR00）に，PTO00端子から出力されるヘッド・スイッチング信号の遅延量τd1に相当するディジタル値を設定しておきます。

また，CR01には，PTO01から出力されるヘッド・スイッチング信号の遅延量τd2に相当するディジタル値を設定しておきます。

このようにすると，PTO00，PTO01の出力端子から，遅延量の異なった2系統のパルスを出力することができます。

この場合，コンペア・レジスタに設定するディジタル値と，遅延量τd1，τd2との関係は，以下のようになります。

$\tau d1 = (\text{CR00設定値}) \times 8/f_{CLK}$ [sec]

$\tau d2 = (\text{CR01設定値}) \times 8/f_{CLK}$ [sec]

（内部システム・クロックf_{CLK}=8［MHz］動作時）

図8-24　タイマ0ユニットを用いたヘッド・スイッチング信号の作成

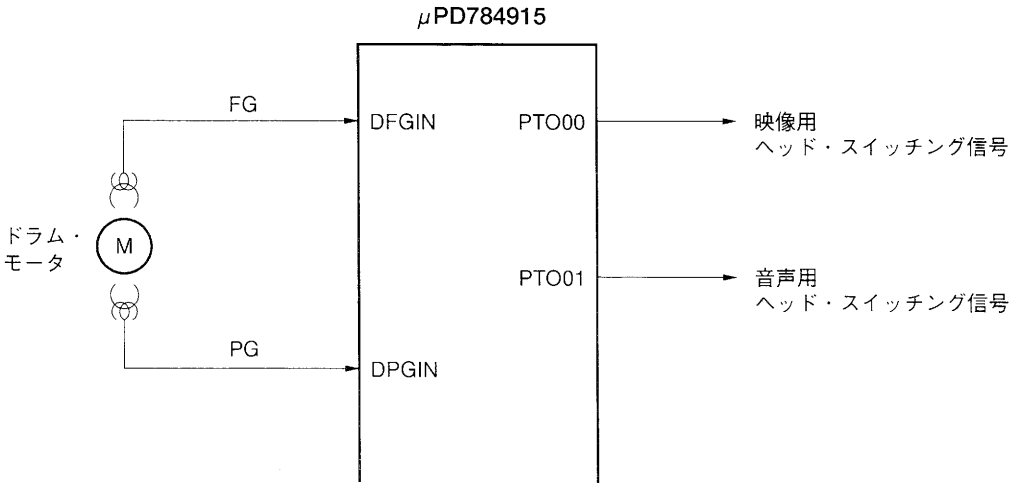
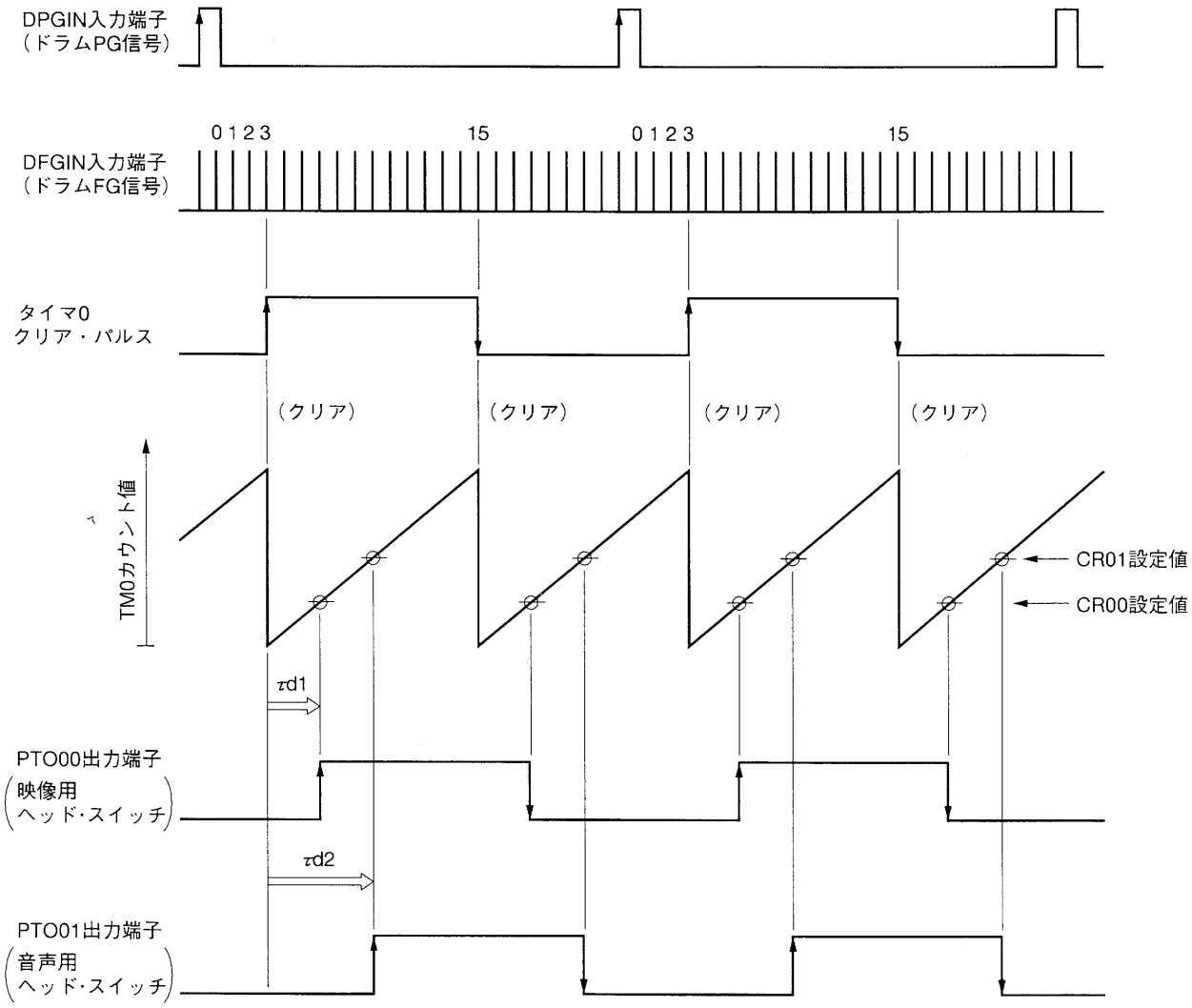


図8-25　タイマ0ユニットを用いたヘッド・スイッチング信号のタイミング例



τd1，τd2：ヘッド・スイッチング信号遅延量

8.3　タイマ1ユニット

8.3.1　タイマ1ユニットの構成

タイマ1ユニットの構成を図8-26に示します。

タイマ1ユニットは，8ビット・イベント・ディバイダ，パルス幅検出回路，16ビット・タイマ1(TM1)で構成しています。

(1) 8ビット・イベント・ディバイダ

CFGIN端子に入力される信号の有効エッジをカウントし，分周するための8ビット・イベント・ディバイダです。これにより，高速サーチ時などキャプスタンFG（CFG）信号周波数が高い場合に，CFG信号を分周することが可能です。

(2) パルス幅検出回路

PBCTL信号のパルスの幅を判定する16ビット・タイマ3（TM3）です。

パルス幅検出回路は，PBCTL信号のデューティを判定します。VISS(VHS Index Search System)信号やワイド・アスペクトの検出などに使用できます。

(3) 16ビット・タイマ1（TM1）

16ビット・タイマ1（TM1）は，一定のインターバルでINTCR10を発生するインターバル・タイマとして動作するほか，外部イベントに同期した基準カウンタとして動作します。

タイマ出力端子を2本持っています。

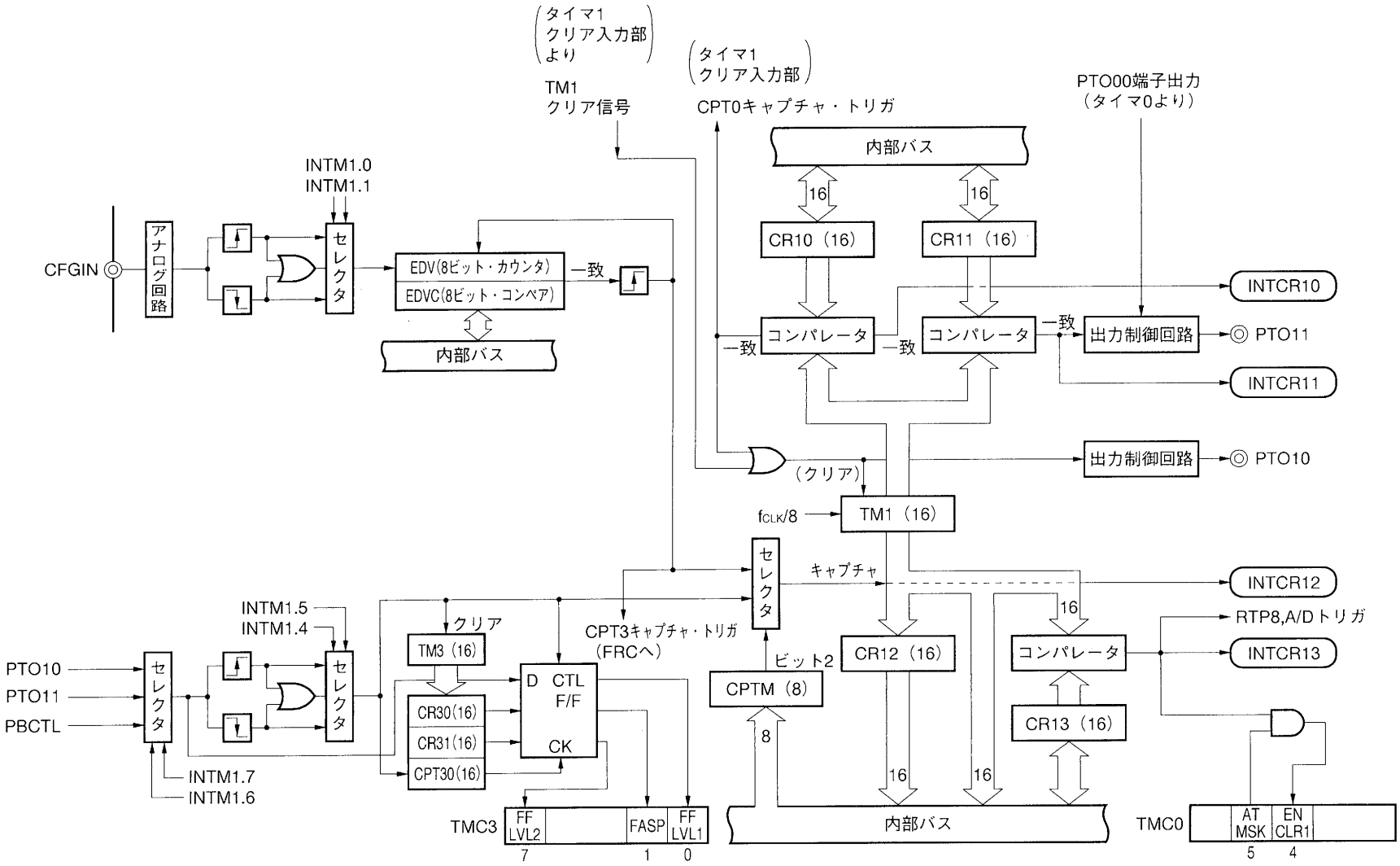
また，A/Dコンバータの変換開始トリガ，リアルタイム出力ポートの出力トリガを発生します(TM1-CR13一致信号)。

VTRへの応用では，タイマ1は30 Hzでクリアする基準タイマとして使用します。

各キャプチャ／コンペア・レジスタは，RECCTL信号作成，キャプスタン位相誤差検出，V_{SYNC}のマスク解除などに使用します。

保守／廃止

図8-26　タイマ1ユニットのブロック図



8.3.2　イベント・ディバイダ

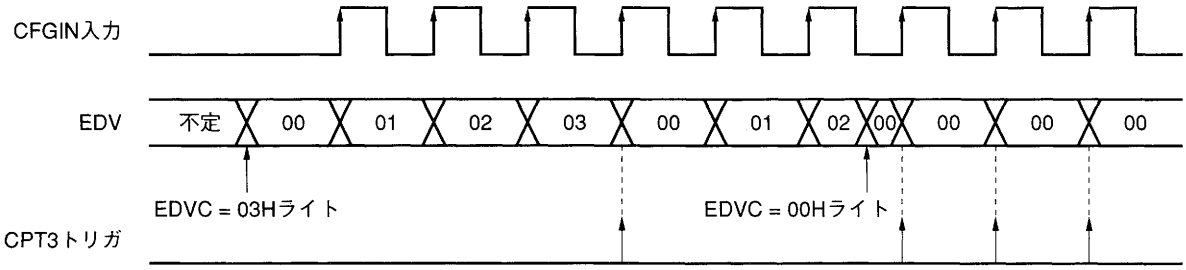
イベント・ディバイダ・コントロール・レジスタ（EDVC）の指定分だけCFGIN端子に入力された信号を分周する機能を持つ，8ビットのイベント・ディバイダです。

イベント・ディバイダ（EDV）のカウント値がEDVCの設定値と一致すると，CPT3のキャプチャ・トリガを出力するとともにEDVをクリアします。EDVのクリアは，EDVとEDVCの一致，またはEDVCへのデータ・ライトで行われます。

EDVのカウント動作を図8－27に示します。

CFGIN端子入力の検出エッジ指定は，外部キャプチャ・モード・レジスタ（INTM1）のビット0およびビット1で指定します。

図8－27　EDVのカウント動作



保守／廃止

8.3.3　パルス幅検出回路

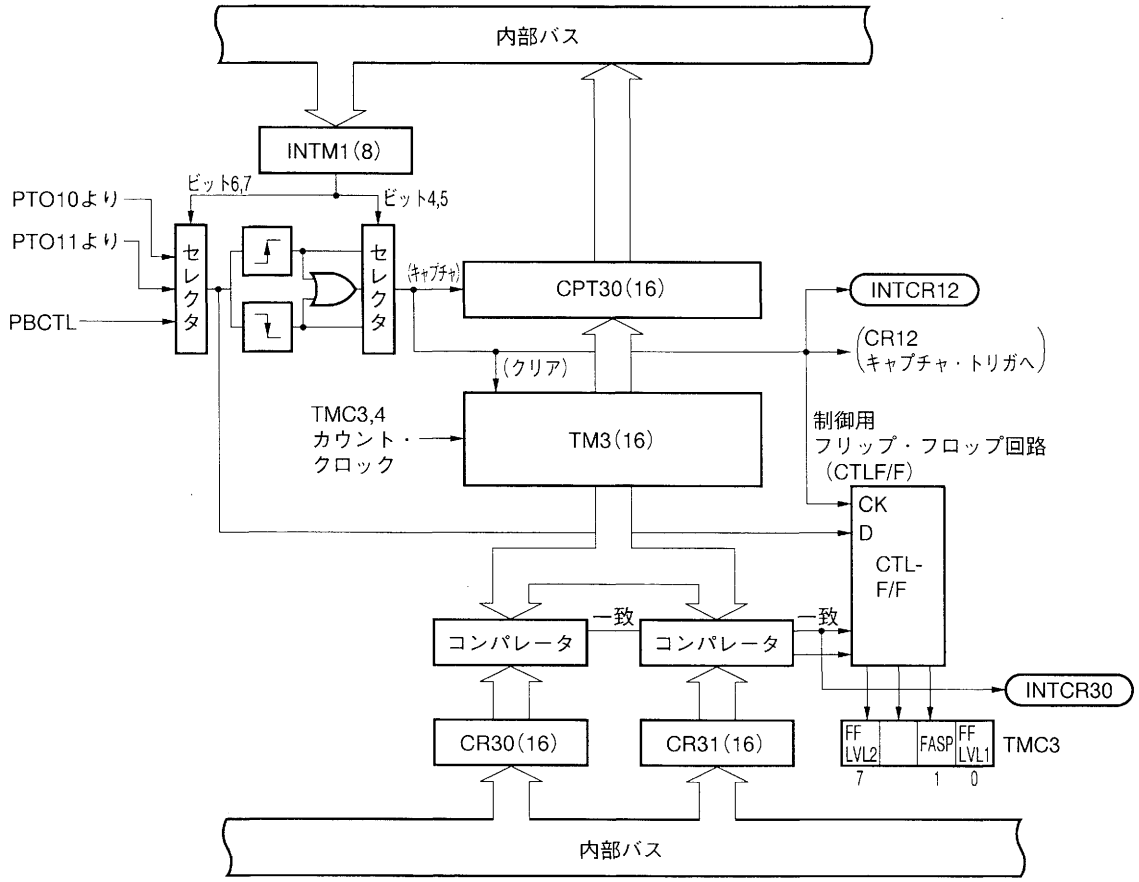
パルス幅検出回路は，PBCTL信号のパルスのデューティ比を検出する回路です。

パルス幅検出回路は，次のハードウエアで構成しています。

- 16ビット・タイマ・カウンタ（TM3）
- 16ビット・コンペア・レジスタ（CR30，CR31）
- 16ビット・キャプチャ・レジスタ（CPT30）
- 制御用フリップフロップ回路（CTL-F/F）

パルス幅検出回路の構成を図8-28に示します

図8-28　パルス幅検出回路の構成



パルス幅検出回路には，次の3つの動作モードがあります。

- 汎用タイマ動作
- VISS検出動作
- ワイド・アスペクト検出動作

保守／廃止

(1) 汎用タイマ動作

PBCTL信号入力部からの有効エッジ入力により，タイマ3（TM3）のカウント値をキャプチャ・レジスタCPT30にキャプチャします。そして，TM3を0クリアし，再びカウントを開始します。

(2) VISS検出動作

VISS検出を行う場合は，TM3の動作クロックを汎用クロックに設定します。これは，タイマ・コントロール・レジスタ3（TMC3）のビット4（CLS3）で設定できます。

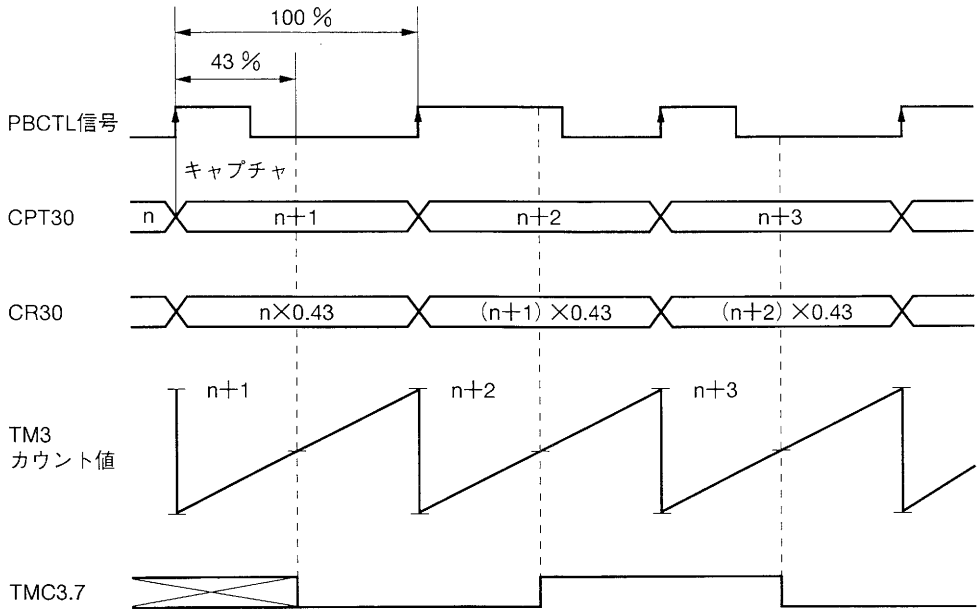
汎用タイマ動作と同様にPBCTLからの有効エッジ入力により，TM3のカウント値をCPT30にキャプチャします。このカウント値はPBCTL信号の1周期分に相当します。

次に，コンペア・レジスタ30（CR30）にPBCTL信号のパルス幅検出点に当たる値を格納します。TM3とCR30の一致信号でPBCTLのレベルを制御フリップフロップにラッチします。このとき，同時にINTCR30の割り込み要求を発生します。この内容は，タイマ・コントロール・レジスタ3（TMC3）のビット7（FFLVL2）を読み出すことで知ることができます。この機能によりPBCTL信号のデューティ比の検出が可能です。

パルス幅検出点に当たる値は，CPT30の値にあるパラメータを乗じてCR30に格納します。たとえば，デューティ43％のパルス幅検出では，CPT30の値に0.43を乗じてCR30に格納します。ただし，CPT30の値はPBCTL信号の1周期前のパルス幅です。この動作は，マクロ・サービスのデータ・パターン識別モードで容易に実行することができます。VISS検出動作のタイミングを図8－29に示します。マクロ・サービスによるVISS検出動作の詳細は，**13.9.5　データ・パターン識別モード（VISS検出モード）**を参照してください。

また，一度VISSデータを検出すると，2発以上反VISSデータを検出しないかぎりVISSデータ入力中と判断するVISS誤動作防止回路を動作させることで，VISSデータの取りこぼしを防止します。VISS誤動作防止回路の動作は，タイマ・コントロール・レジスタ3（TMC3）のビット6（ENDUTY）で指定します。

図8－29　VISS検出動作のタイミング



(3) ワイド・アスペクト検出動作

ワイド・アスペクト検出動作では，PBCTL信号のデューティが27.5％と60％の時点でパルスのレベルを検出します。

ワイド・アスペクト検出を行う場合は，TM3の動作クロックをパルス幅検出用クロックに設定します。これは，タイマ・コントロール・レジスタ3（TMC3）のビット4（CLS3）で設定できます。

PBCTL信号の有効エッジ入力により，TM3のカウント値，つまりPBCTL信号のパルス周期をCPT30にキャプチャします。

次に，コンペア・レジスタ30（CR30）に，CPT30の値に0.43を乗じた値，コンペア・レジスタ31（CR31）に，CPT30の値に0.6を乗じた値を格納しておきます。

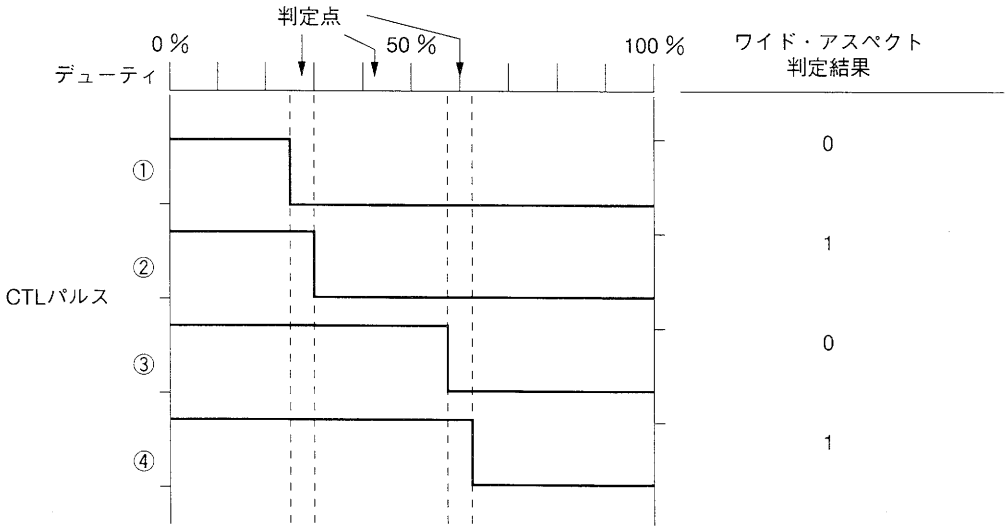
CR31は，自動的にPBCTL信号の27.5％と60％のレベルのラッチ・タイミングを生成するコンペア・レジスタで，CPT30の値に0.6を乗じた値を格納しておきます。

TM3とCR31の一致信号でPBCTL信号の27.5％と60％のレベルを，TM3とCR30の一致信号でPBCTL信号の43％のレベルを制御フリップフロップ回路でデコードしてワイド・アスペクト・データを判定します。さらに，アスペクト・データが“0011”の繰り返しであるかを判定します。

アスペクト・データの情報，ワイド・アスペクト検出の情報はそれぞれタイマ・コントロール・レジスタ3（TMC3）のビット0（FFLVL1），ビット1（FASP）を読み出すことで知ることができます。

PBCTL信号からのアスペクト・データの判定結果を図8-30に示します。

図8-30　PBCTL信号からのアスペクト・データの判定結果



保守／廃止

8.3.4　タイマ1（TM1）

タイマ1は読み出し専用の16ビット・カウンタで，タイマ1クリア信号によって0000Hにクリアされます。タイマ1クリア信号はCSYNC信号入力，あるいはTM1-CR10一致信号によって作成されます。

f_{CLK}＝8 MHz時のTM1の分解能および最大カウント時間を表8-4に示します。

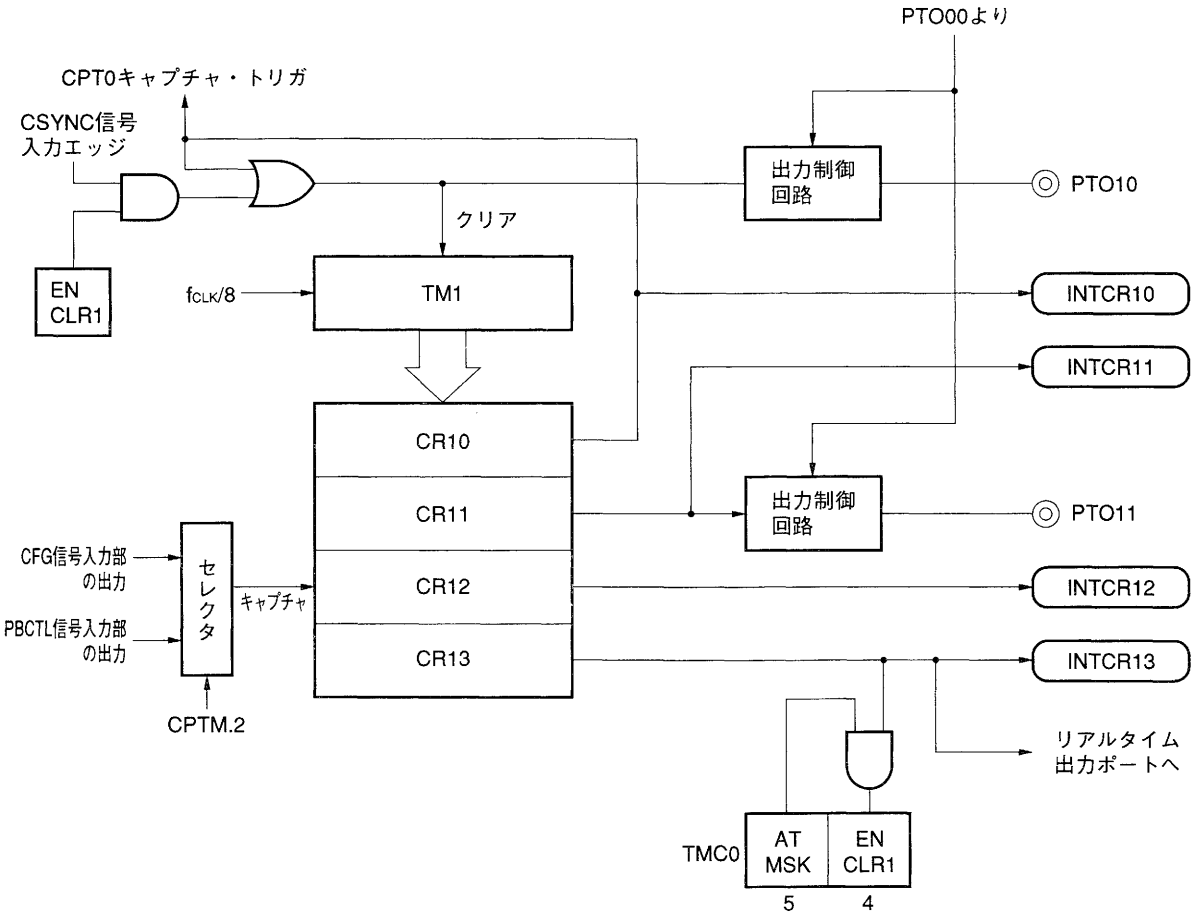
表8-4　タイマ1の分解能と最大カウント時間

入力クロック	分解能	最大カウント時間
1 MHz（$f_{CLK}/8$）	1.0 μs	65.5 ms

注意　リセット解除後16クロック（16/f_{CLK}）の間，TM1は不定です。TM1のカウント・スタートは17クロック以降に行ってください。

図8-31にタイマ1の構成図を示します。

図8-31　タイマ1のブロック図



8.3.5　タイマ1出力端子の出力モード

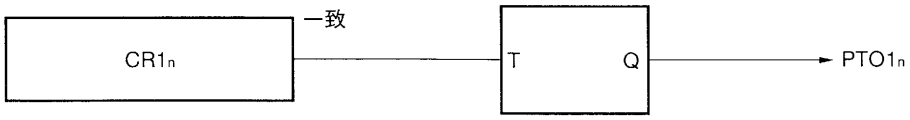
タイマ1には2本のタイマ出力端子があります。

出力モードには次の3種類のモードがあります。

(1) 汎用出力モード

タイマ1の値がコンペア・レジスタに設定された値と一致するごとに，出力端子のレベルが反転するモードです。

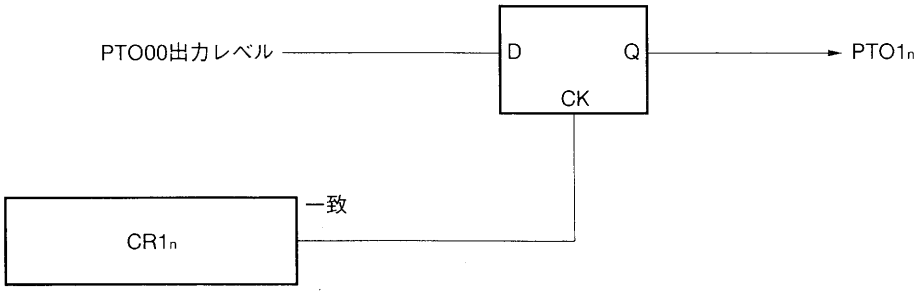
図8-32　タイマ1汎用出力モードの構成



(2) 遅延パルス出力モード1

タイマ1とコンペア・レジスタに設定された値が一致したときに，PTO00の出力レベルをラッチして出力するモードです。

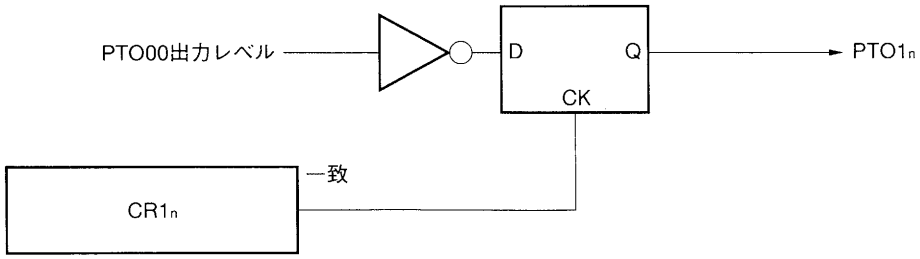
図8-33　タイマ1遅延パルス出力モード1の構成



(3) 遅延パルス出力モード2

タイマ1とコンペア・レジスタに設定された値が一致したときに，PTO00の出力レベルの反転信号をラッチして出力するモードです。

図8-34　タイマ1遅延パルス出力モード2の構成



8.3.6　タイマ1の動作

(1) 基準カウンタとしての動作（CR10の機能）

(a) CSYNC信号を入力しない場合

CR10レジスタに，あらかじめ一定インターバルに相当する値を格納しておきます。これにより，TM1とCR10との一致信号でTM1をクリアし，INTCR10が一定インターバルで発生します。

このときの動作タイミング図を，図8-35（a）に示します。

(b) CSYNC信号を入力する場合

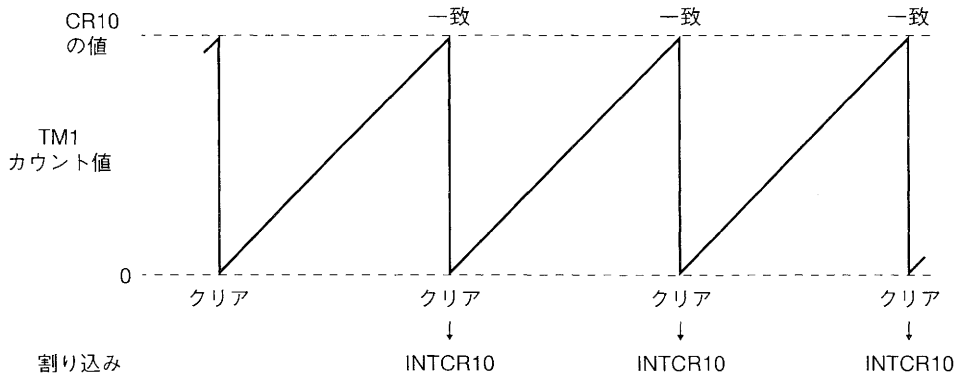
CSYNCIN端子に外部イベント信号が入力されるごとに，TM1をクリアします。タイマ1は，常に外部イベントに同期した基準カウンタとして動作します。

CSYNCIN端子に一定インターバルのイベント信号を入力し，CR10レジスタにはこのインターバル周期と同等の値をセットしておきます。こうすると，何らかの影響でCSYNCIN端子にイベント信号が入力されなかった場合，内部で自動的に基準カウンタ（TM1）のクリアを行い，内部基準信号を補正することが可能です。

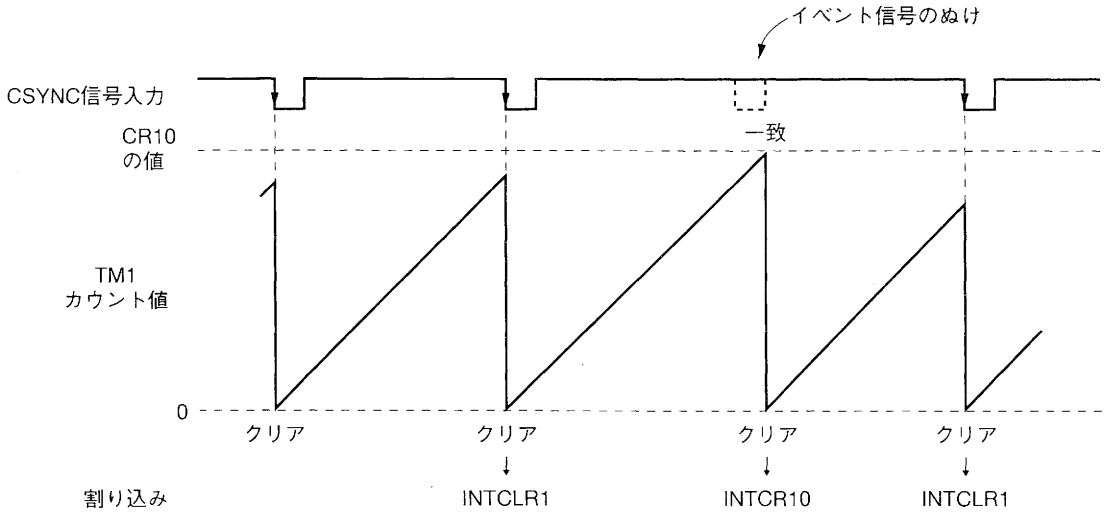
このときの動作タイミング図を，図8-35（b）に示します。

図8－35　タイマ1の基準カウンタ動作

(a) CSYNC信号入力を使用しない場合



(b) CSYNC信号入力を使用する場合



(2) プログラマブル・パルス出力（CR11の機能）

内部基準信号に対して，任意の値だけ遅延させたPTO00端子レベルをPTO11端子から出力することができます。

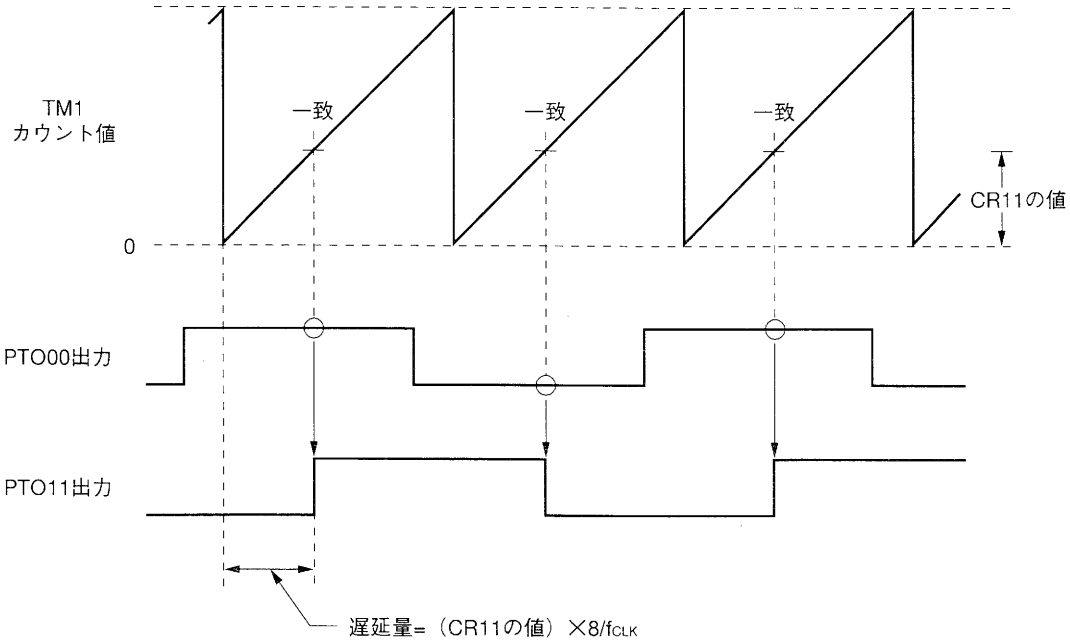
このときのタイミング図を，図8-36に示します。

CR11に設定する値と遅延量との関係は，以下のようになります。

遅延量＝(CR11の設定値)×8/f_{CLK}

f_{CLK}：内部システム・クロック

図8-36　タイマ1プログラマブル・タイマ出力動作



(3) 位相差検出（CR12の機能）

CFG信号入力部，またはPBCTL信号入力部への外部イベント信号発生タイミングの内部基準信号に対する遅延量を検出できます。

CFG信号入力部，またはPBCTL信号入力部へのイベント信号入力によって，CR12レジスタにTM1のカウント値をキャプチャします。したがって，このキャプチャ値がそのまま基準信号に対する位相遅れ量に相当します。

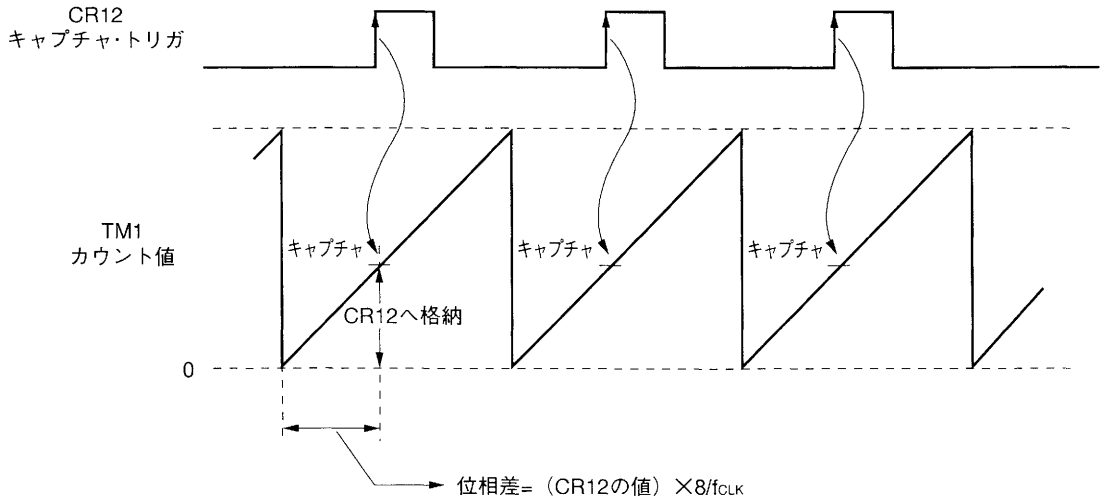
以上のタイミング図を，図8-37に示します。

CR12のキャプチャ値と位相遅れ量との関係は，以下のようになります。

位相遅れ量＝(CR12のキャプチャ値)×8/f_{CLK}

$f/_{CLK}$：内部システム・クロック

図8-37　タイマ1位相差検出動作



(4) CSYNC信号入力のマスク（CR13の機能）

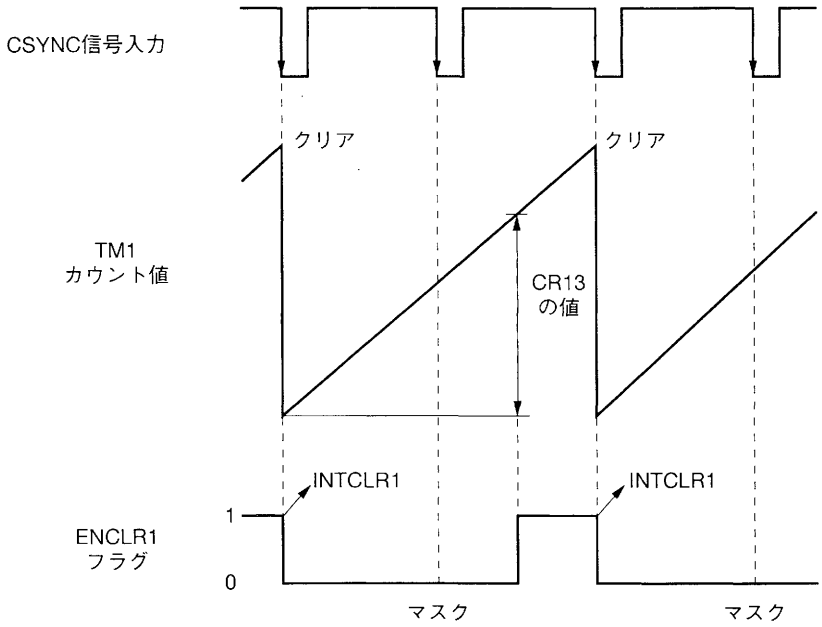
タイマ1のクリアを制御するENCLR1フラグを用いて，CSYNC信号入力に対して，一定時間のマスクをかけることができます。

あらかじめ，ATMSKフラグ（TMC0レジスタのビット5）をセット（1）しておくと，タイマ1とCR13の一致信号で自動的にENCLR1フラグはセット（1）されます。

これにより，不要なCSYNC信号入力をマスクすることができます。

このときのタイミング図を，図8-38に示します。

図8-38　CSYNC信号入力のマスク動作



保守／廃止

8.3.7　ディジタル・ノイズ除去回路

μPD784915はCSYNC信号入力部にディジタル・ノイズ除去回路を内蔵しています。

この回路は$COMP_{SYNC}$信号からV_{SYNC}信号とH_{SYNC}信号を分離します。フリー・ランニング・カウンタのキャプチャ0トリガ信号，タイマ1のクリア信号，INTCLR1割り込み発生信号を生成します。

図8-39にCSYNC信号入力部の構成を示します。

CSYNC信号入力部は次のハードウエアで構成されています。

- ディジタル・ノイズ除去回路（V_{SYNC}分離回路）
- H_{SYNC}分離回路

(1) ディジタル・ノイズ除去回路の動作

ディジタル・ノイズ除去回路は，入力信号を$4/f_{CLK}$でサンプリングします。

ノイズ除去パルス幅は，13.0μs未満と22.0μs未満の2通りを選択できます。この選択は外部キャプチャ・モード・レジスタ2（INTM2）のビット4（VSYNCS）で指定します。

ノイズ除去パルス幅に対応する時間の間，端子レベルが連続して同一のとき，そのレベルを有効とみなし，次のサンプリングのタイミングでそのレベルを出力します。

この回路では，ノイズ除去出力信号はCSYNC入力信号に対して遅れを生じます。この遅延量τdは表8-5のようになります。

また，このディジタル・ノイズ除去回路は，CSYNCIN端子入力エッジを指定することができます。入力エッジの指定は，外部キャプチャ・モード・レジスタ2（INTM2）のビット6（ESCLR1）で行います。

表8-5　ディジタル・ノイズ除去回路の仕様

INTM2のビット4	除去するパルス幅	通過するパルス幅	遅延量
0	13.0μs未満	13.5μs以上	13.0μs≦τd<13.5μs
1	22.0μs未満	22.5μs以上	22.0μs≦τd<22.5μs

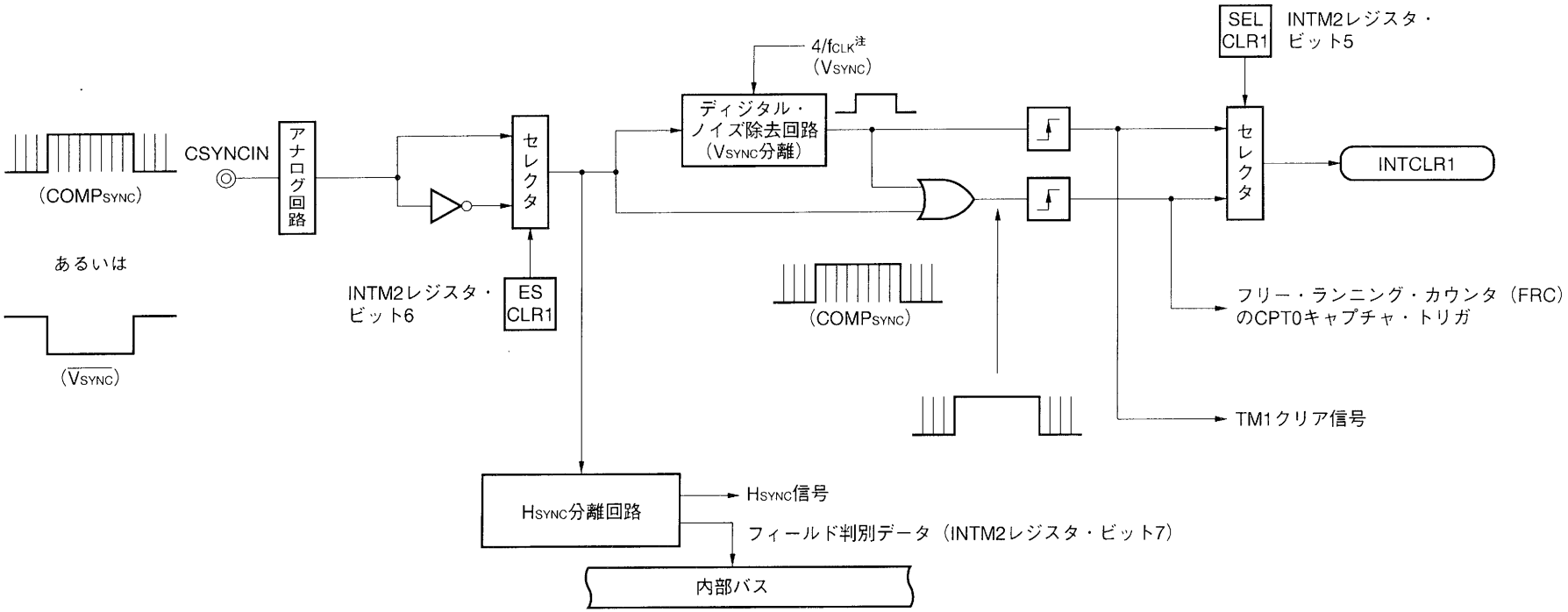
ディジタル・ノイズ除去回路は，INTCLR1割り込み発生ソースを2通りに選択することができます。INTCLR1割り込み発生ソースの指定は，外部キャプチャ・モード・レジスタ2（INTM2）のビット5（SELCLR1）で指定します。

INTM2レジスタのビット5をクリア(0)すると，INTCLR1割り込み発生ソースは，ディジタル・ノイズ除去回路を通したあとのパルスの立ち上がりエッジが選択されます（垂直同期信号入力モード）。

INTM2レジスタのビット5をセット(1)すると，INTCLR1割り込み発生ソースは，ディジタル・ノイズ除去回路を通した信号と，通していない信号との論理和をとった信号の立ち上がりエッジが選択されます（複合同期信号入力モード）。

保守／廃止

図8-39　CSYNC信号入力部の構成



注　ノイズとして除去するパルス幅には，次の2種類があります。

・（4/fCLK）×26未満

・（4/fCLK）×44未満

図8－40　ディジタル・ノイズ除去回路の動作（立ち上がりエッジの場合）

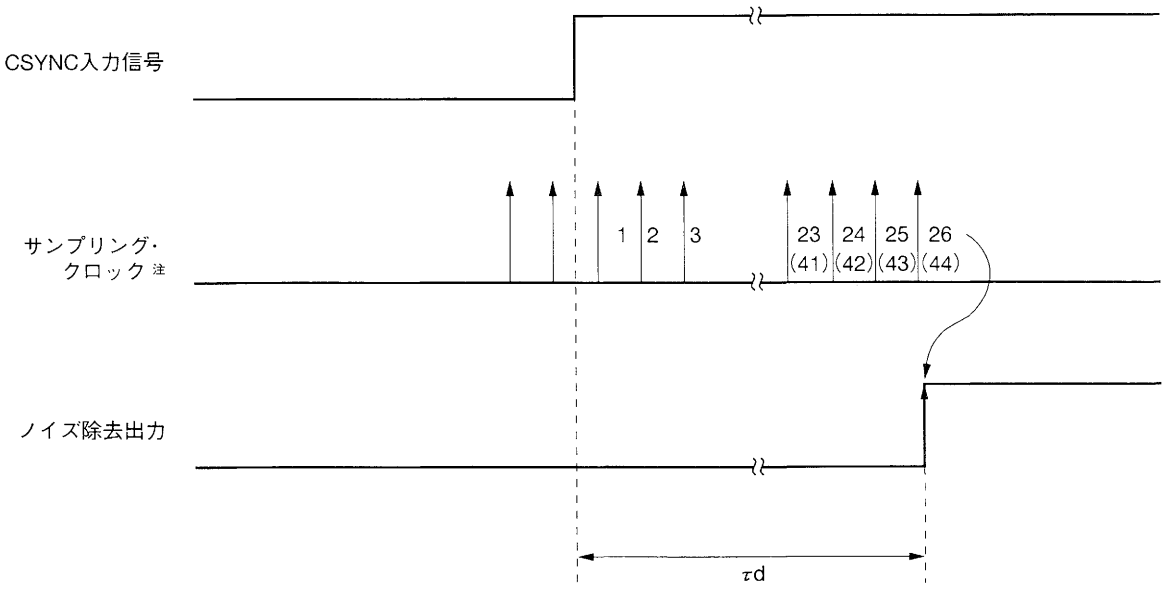
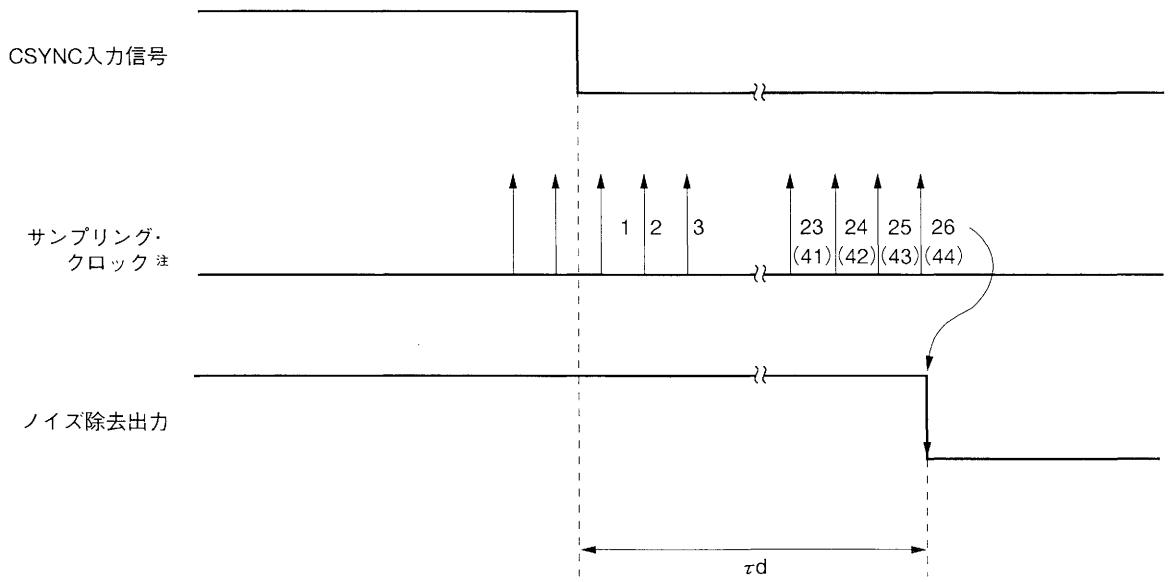


図8－41　ディジタル・ノイズ除去回路の動作（立ち下がりエッジの場合）



注　サンプリング・クロックで2通りの記述があるものは，上側の数値が25サンプル，下側のかっこ内の数値が43サンプルを選択した場合を表します。

保守／廃止

(2) H_{SYNC}分離回路の動作

H_{SYNC}分離回路は，$COMP_{SYNC}$信号からH_{SYNC}信号を分離する回路です。

〈通常動作時〉

$COMP_{SYNC}$信号の立ち上がりエッジ検出後，パルス幅5 μsの信号を出力します。ノイズを除去するために，立ち上がりエッジ検出直後から60.5 μsの期間は，CSYNCIN入力をマスクします。

〈自己生成時〉

H_{SYNC}信号抜けを考慮して，$COMP_{SYNC}$信号の立ち上がりエッジ検出後64.5 μsの期間に次のH_{SYNC}信号の入力がない場合は，自動的にH_{SYNC}信号を発生します。このパルスを自己生成パルスと呼びます。

自己生成パルスを出力すると，自己生成フラグ[注1]をセットすると同時に35.5 μsのマスク期間になります。自己生成フラグのリセットは，35.5 μsのマスク期間後に入力する$COMP_{SYNC}$信号（H_{SYNC}信号）の入力によって行います。

〈マスク時間の初期化〉

上述した自己生成パルスの出力が連続すると，本来のH_{SYNC}信号のタイミングとのズレが生じてしまいます。そこで，マスク時間計測用カウンタを初期化する機能[注2]があります。

マスク時間計測用カウンタを初期化すると，カウンタは0からマスク時間を計測し始めます。このとき，0-35.5 μs期間は入力マスク期間となります。

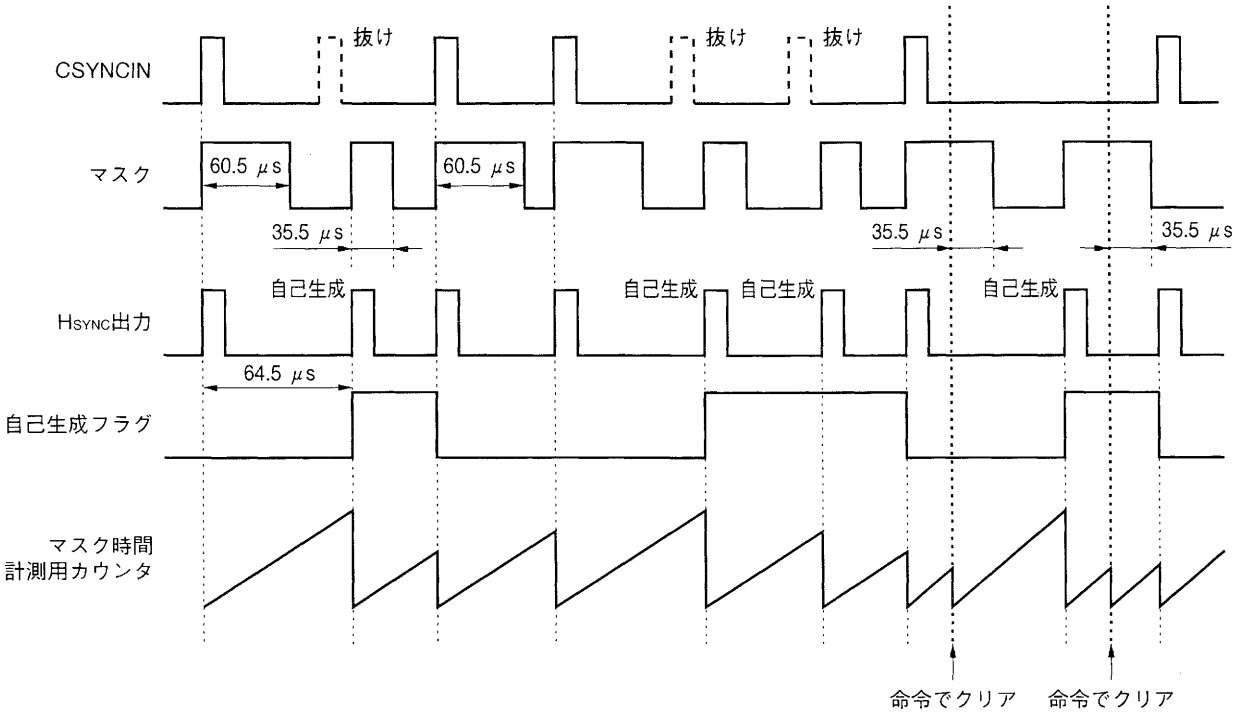
その後，35.5 μs経過するとマスクは解除され，$COMP_{SYNC}$信号の入力待ち状態になります。この状態で$COMP_{SYNC}$信号の入力があれば，通常動作に戻ります。また，$COMP_{SYNC}$信号の入力がない場合は，64.5 μs経過後自己生成パルスを出力します。

注1. 自己生成フラグ：タイマ・コントロール・レジスタ0（TMC0）のビット6（SELFFLG）

2. タイマ・コントロール・レジスタ0（TMC0）のビット2（INITMSK）に1をライトすることで行います。

保守／廃止

図8-42　H_{SYNC}分離回路の動作タイミング



備考　外部HSYNC入力後のマスク期間　　：60.5 μs

自己生成パルス出力後のマスク期間：35.5 μs

(3) ディジタル・ノイズ除去回路のVTRへの応用

ディジタル・ノイズ除去回路を使用して，VTRの複合同期信号（$COMP_{SYNC}$）から垂直同期信号（V_{SYNC}）を分離する応用例と，偶数／奇数フィールド判別の応用例について示します。

(a) 垂直同期信号（V_{SYNC}）分離

$COMP_{SYNC}$信号からV_{SYNC}信号を分離するには，ディジタル・ノイズ除去回路を通すだけで分離できます。NTSC方式における$COMP_{SYNC}$信号は，図8-43に示すように水平同期信号（H_{SYNC}），垂直同期信号（V_{SYNC}：切れ込みパルス），等化パルスで構成されています。これをディジタル・ノイズ除去回路に入力すると，H_{SYNC}信号，等化パルス，切れ込みパルスを除去し，V_{SYNC}信号だけを出力として得ることができます。H_{SYNC}信号については，H_{SYNC}分離回路を通すことによって得られます。

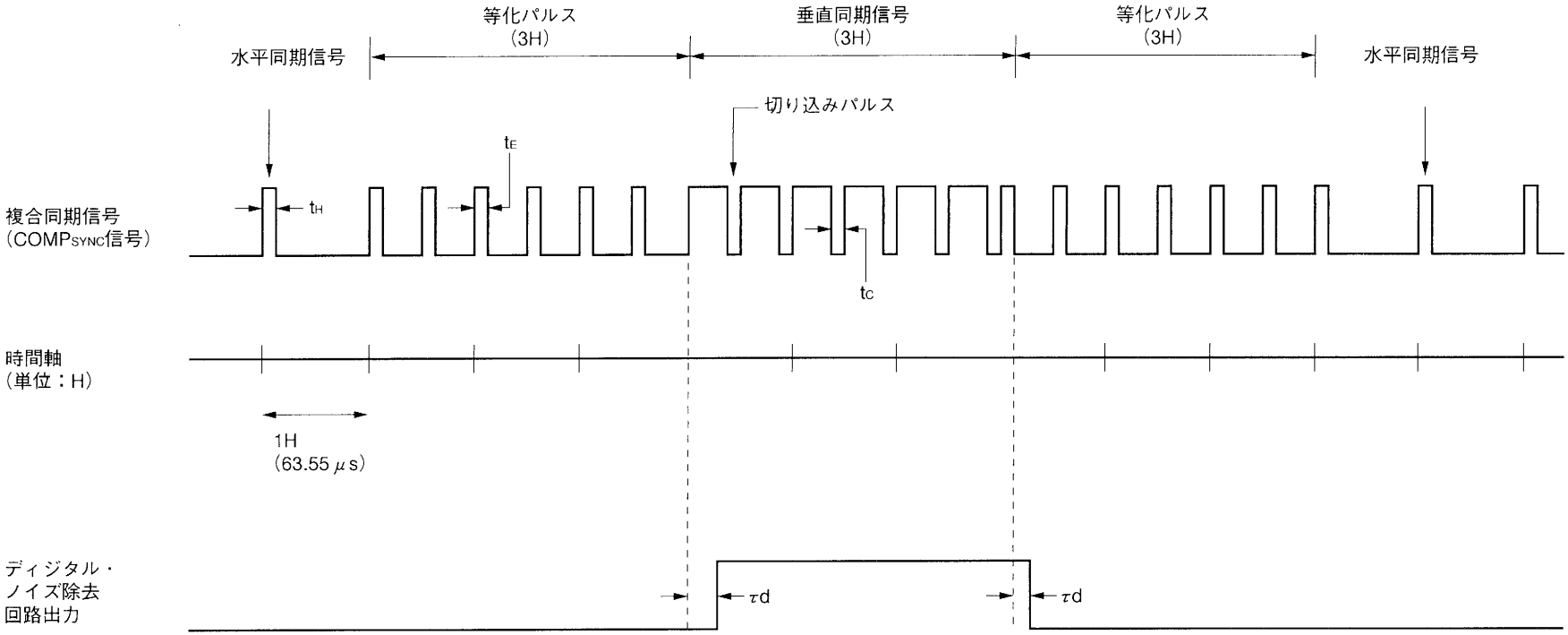
μPD784915はノイズ除去パルス幅を$104/f_{CLK}$（13.0 μs）未満と$176/f_{CLK}$（22.0 μs）未満の2通りに指定できます。

入力した$COMP_{SYNC}$信号のV_{SYNC}信号に対して，ディジタル・ノイズ除去回路が出力するV_{SYNC}信号は，最大$108/f_{CLK}$（13.5 μs）または，$180/f_{CLK}$（20.5 μs）遅れます。

$104/f_{CLK}$を選択すると，遅れの少ないV_{SYNC}信号が得られます。また，電波状態が良好でないときには，$176/f_{CLK}$を選択すると有効です。

保守／廃止

図8－43　ディジタル・ノイズ除去回路を用いた垂直同期信号の分離



備考1． NTSC方式による各パルス幅

t_H（水平同期信号のパルス幅）　……4.8 μs（0.075H）

t_E（等化パルス幅）　……2.5 μs（0.04H）

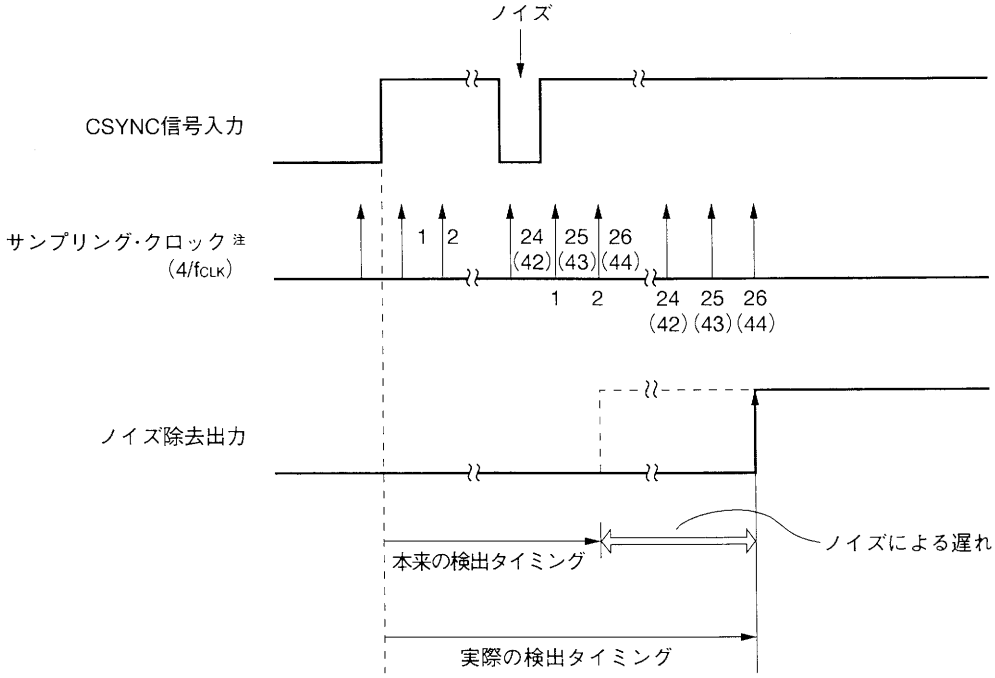
t_C（切り込みパルス幅）　……4.4 μs（0.07H）

τd（ディジタル・サンプリングによる遅れ）　……最大13.5 μs or 22.5 μs

2． 時間軸のHは，水平同期信号周期。

注意　図8－44に示したように，CSYNC信号入力上にサンプリング・タイミングと同期して幅の狭いノイズが乗ってしまった場合には，このディジタル・ノイズ除去回路は誤動作します。実際にはCSYNC信号入力の立ち上がり検出タイミングが実際の検出タイミングより遅れてしまう可能性があります。

図8－44　CSYNC信号入力のノイズ誤動作例



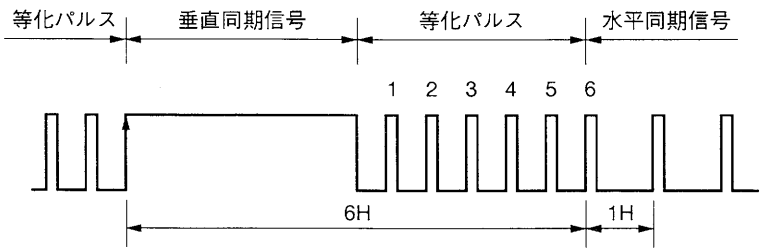
注　サンプリング・クロックで2通りの記述があるものは，上側の数値が25サンプル，下側のかっこ内の数値が43サンプルを選択した場合を表します。

(b) 偶数／奇数フィールド判別

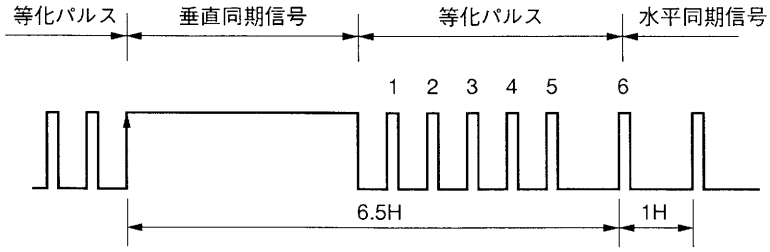
偶数／奇数フィールド判別は，$COMP_{SYNC}$信号中のH_{SYNC}信号を用いて行います。偶数フィールドおよび奇数フィールドでの$COMP_{SYNC}$信号を図8-45に示します。

図8-45　偶数フィールド／奇数フィールドでの$COMP_{SYNC}$信号

(a) 奇数フィールドの場合



(b) 偶数フィールドの場合



H_{SYNC}分離回路内部には，H_{SYNC}信号の立ち上がりエッジから35.5 μsの間はハイ・レベルを出力し，その後はロウ・レベルを出力するフリップフロップ回路が内蔵されています。このフリップフロップ回路の出力レベルを，V_{SYNC}分離回路で分離したノイズ除去出力の立ち上がりエッジでラッチすることにより，フィールド判別を行うことができます。

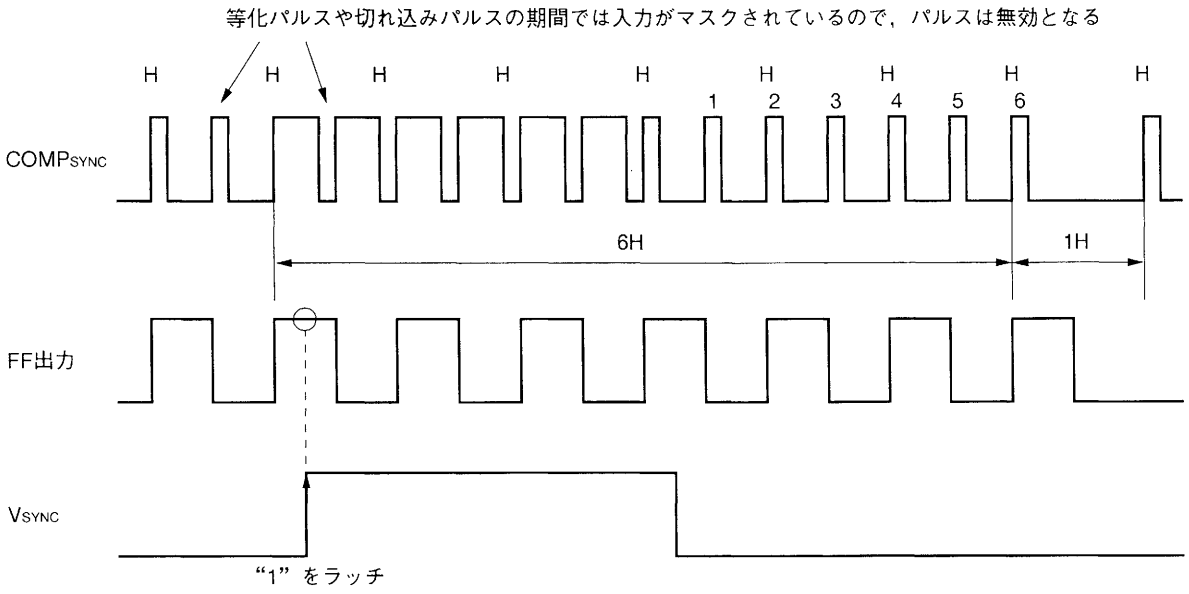
判別結果は，外部キャプチャ・モード・レジスタ2（INTM2）のビット7（FFIELD）を読み出すことで知ることができます。

偶数／奇数フィールド判別の動作タイミングを図8-46に示します。

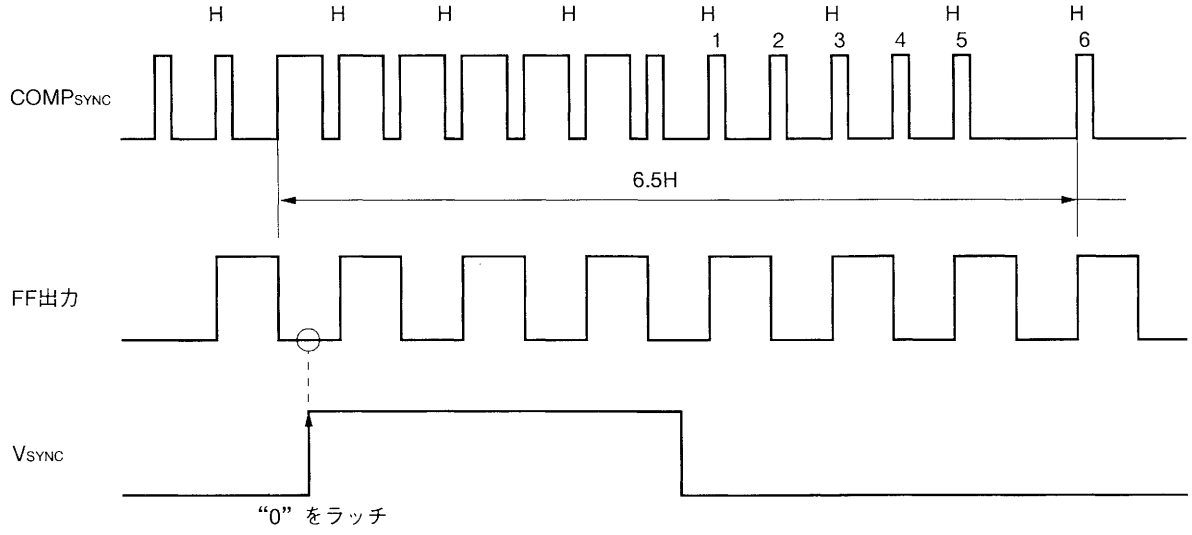
保守／廃止

図8－46　偶数／奇数フィールド判別の動作タイミング

(a) 奇数フィールドの場合



(b) 偶数フィールドの場合



8.3.8　タイマ1ユニット制御レジスタの設定

タイマ1ユニットの動作は，次のレジスタで制御できます。

- ●EDVC：イベント・ディバイダ・コントロール・レジスタ（イベント・ディバイダの制御）
- ●INTM1：外部キャプチャ・モード・レジスタ1（外部入力のエッジ指定）
- ●TMC3：タイマ・コントロール・レジスタ3（パルス幅検出回路の動作の制御）
- ●TMC0：タイマ・コントロール・レジスタ0（タイマ1の動作の制御）
- ●TOM1：タイマ1出力モード・レジスタ（PTO1n出力モードの制御）
- ●TOC1：タイマ1出力コントロール・レジスタ（PTO1n出力の制御）
- ●CPTM：キャプチャ・モード・レジスタ（CR12のキャプチャ・トリガの指定）
- ●INTM2：外部キャプチャ・モード・レジスタ2（ディジタル・ノイズ除去回路の制御）

次に，それぞれのレジスタのフォーマットを示します。

図8-47　イベント・ディバイダ・コントロール・レジスタ（EDVC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EDVC	EDVC7	EDVC6	EDVC5	EDVC4	EDVC3	EDVC2	EDVC1	EDVC0	FF78H	00H	W

EDVC7	EDVC6	EDVC5	EDVC4	EDVC3	EDVC2	EDVC1	EDVC0	EDVカウント・クロックの分周比指定
0	0	0	0	0	0	0	0	1分周
0	0	0	0	0	0	0	1	2分周
0	0	0	0	0	0	1	0	3分周
0	0	0	0	0	0	1	1	4分周
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	1	1	1	256分周

図8-48　外部キャプチャ・モード・レジスタ1（INTM1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	SEL111	SEL110	ES111	ES110	0	0	ES101	ES100	FFA1H	00H	R/W

ES101	ES100	CFG信号入力検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

ES111	ES110	PBCTL信号入力部の入力検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

SEL111	SEL110	PBCTL信号入力部の入力信号指定
0	0	アナログ・アンプ出力（PBCTL）注
0	1	PTO10端子出力信号
1	0	PTO11端子出力信号
1	1	設定禁止

注　アナログ・アンプ出力：CTLアンプ＋波形整形回路からの出力

図8-49　タイマ・コントロール・レジスタ3（TMC3）のフォーマット

	7	6	⑤	4	③	②	①	0	アドレス	リセット時	R/W
TMC3	CTLLVL2	ENDUTY	CTI11LVL	CLS3	CS3	TM3OVF	FASP	CTLLVL1	FF3BH	00×00000	R/W

R	CTLLVL1	パルス幅検出回路の出力（アスペクト・データの出力）

R	FASP	ワイド・アスペクト・コード検出フラグ
	0	ワイド・アスペクト・コードを検出していない
	1	ワイド・アスペクト・コードを検出した

R/W	TM3OVF	タイマ3　オーバフロー・フラグ
	0	タイマ3はオーバフローしていない
	1	タイマ3はオーバフローした

R/W	CS3	タイマ3のカウント動作制御
	0	クリアし，カウント停止
	1	カウント動作

R/W	CLS3	タイマ3の動作クロック選択
	0	汎用クロック（$f_{CLK}/8$）
	1	パルス幅検出用クロック

R	CTI11LVL	PBCTL信号入力部のレベル

R/W	ENDUTY	DUTY検出誤動作防止回路の制御
	0	動作禁止
	1	動作許可

R	CTLLVL2	パルス幅検出回路の出力（VISSデータの出力）

注意1.　ビット操作のタイミングとTM3のオーバフロー・フラグのセットが競合しないようにしてください。

★　2.　ビット7（CTLLVL2）を使用中に，タイマ・コントロール・レジスタ3（TMC3）に対して書き込みをする場合は，必ずTMC3のビット1（FASP）をセットしたのちに，書き込んでください。

【プログラムによる回避の例】

```
MOV   A, TMC3
OR    A, #00000010B
MOV   TMC3, A
CLR1  TMC3. 6
```

図8-50　タイマ・コントロール・レジスタ0（TMC0）のフォーマット

	⑦	⑥	5	4	③	②	1	0	アドレス	リセット時	R/W
TMC0	CS1	SELFFLG	ATMSK	ENCLR1	CS0	INITMSK	0	ENCLR0	FF38H	00H	R/W

R/W

ENCLR0	タイマ0クリア制御
0	タイマ0クリア信号をマスクしてTM0をクリアしない
1	TM0クリア信号によりTM0をクリアする

R/W

INITMSK	H_{SYNC}分離回路初期化フラグ 1をライトするとH_{SYNC}分離回路のマスク期間計測カウンタを初期化する リードすると常に0が読める

R/W

CS0	タイマ0動作制御
0	クリアし，カウント停止
1	カウント動作

R/W

ENCLR1	タイマ1クリア制御
0	CSYNC信号入力をマスクしてTM1をクリアしない
1	CSYNC信号入力によりTM1をクリアする

R/W

ATMSK	CSYNC信号マスク自動解除制御
0	TM1-CR13一致信号によってCSYNC信号マスクを解除しない
1	TM1-CR13一致信号によってCSYNC信号マスクを解除(ENCLR1をセット)する

R

SELFFLG	H_{SYNC}自己生成の状態
0	自己生成パルスを出力していない
1	自己生成パルスを出力した

R/W

CS1	タイマ1動作制御
0	クリアし，カウント停止
1	カウント動作

注意　ビット操作のタイミングとTM1-CR13一致信号によるENCLR1自動セットのタイミングが競合しないようにしてください。

保守／廃止

図8-51　タイマ1出力モード・レジスタ（TOM1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TOM1	DRVMOD	SEL13	SEL11	SEL30	MOD111	MOD110	MOD101	MOD100	FF5AH	80H	R注/W

R/W

MOD101	MOD100	PTO10出力モード指定
0	0	汎用出力モード
0	1	設定禁止
1	0	遅延パルス出力モード1
1	1	遅延パルス出力モード2

W

MOD111	MOD110	PTO11出力モード指定
0	0	汎用出力モード
0	1	設定禁止
1	0	遅延パルス出力モード1
1	1	遅延パルス出力モード2

W

SELmn	RECCTL書き込み回路の動作トリガ設定
0	TMm-CRmn一致信号をトリガとして選択しない
1	TMm-CRmn一致信号をトリガとして選択する

W

DRVMOD	RECCTL書き込み回路の動作モード設定
0	RECモード
1	再書き込みモード

注　TOM1レジスタをリードすると，下位2ビット（MOD100，MOD101）でRECCTLドライバの書き込みシーケンスを読み出すことができます。上位6ビットはリードしても不定となります。

保守／廃止

図8-52　タイマ1出力コントロール・レジスタ（TOC1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TOC1	0	0	0	0	ENTO11	ALV11	ENTO10	ALV10	FF5BH	00H	W

ALV1n	PTO1nタイマ出力のアクティブ・レベル指定（n=0, 1）
0	アクティブ・ロウ
1	アクティブ・ハイ

ENTO1n	PTO1nタイマ出力の許可指定(n=0, 1)
0	出力禁止（インアクティブ・レベルに固定）
1	出力許可

図8-53　キャプチャ・モード・レジスタ（CPTM）のフォーマット

	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
CPTM	FCPT5	FCPT4	TRGS011	TRGS010	0	TRGS120	TRGS001	TRGS000	FF53H	00H	R/W

R/W

TRGS001	TRGS000	CPT0キャプチャ・トリガ指定
0	0	TM1-CR10一致信号
0	1	CSYNC信号入力エッジ検出信号
1	0	TM1クリア信号
1	1	TM1-CR10一致信号とCSYNC信号入力エッジ検出信号の論理和

R/W

TRGS120	CR12キャプチャ・トリガ指定
0	PBCTL信号入力エッジ検出信号（INTM1のビット6,7で指定した信号）
1	CFG信号入力分周信号（EDV-EDVC一致信号）

R/W

TRGS011	TRGS010	CPT1キャプチャ・トリガ指定
0	0	タイマ0クリア・パルスの立ち下がりエッジ
0	1	タイマ0クリア・パルスの立ち上がりエッジ
1	0	設定禁止
1	1	タイマ0クリア・パルスの立ち下がり／立ち上がり両エッジ

R

FCPT4	CPT4のキャプチャ・フラグ
0	CPT4にキャプチャしていない
1	CPT4にキャプチャした

R

FCPT5	CPT5のキャプチャ・フラグ
0	CPT5にキャプチャしていない
1	CPT5にキャプチャした

★　注意1.　ビット3には，必ず0を書き込んでください。

2.　ビット6（FCPT4），ビット7（FCPT5）のクリア（0）条件は以下のとおりです。

①　ビット6(FCPT4)のクリア条件：FCPT4は，キャプチャ・レジスタ4（CPT4）の下位16ビット（CPT4L）を読み出すことでクリア(0)されます。

②　ビット7(FCPT5)のクリア条件：FCPT5は，キャプチャ・レジスタ5（CPT5）の下位16ビット（CPT5L）を読み出すことでクリア(0)されます。

図8-54　外部キャプチャ・モード・レジスタ2（INTM2）のフォーマット

	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM2	FFIELD	ESCLR1	SELCLR1	VSYNCS	ES31	ES30	ESRL1	ESRL0	FFA2H	00H	R/W

R/W

ESRL1	ESRL0	REEL0, REEL1信号入力有効エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり　両エッジ

R/W

ES31	ES30	INTP3発生ソース指定
0	0	REEL0信号有効エッジ入力
0	1	REEL1信号有効エッジ入力
1	0	設定禁止
1	1	REEL0信号またはREEL1信号有効エッジ入力（論理和）

R/W

VSYNCS	V_{SYNC}分離パルス幅の選択
0	13.0 μs (104/f_{CLK}) 未満のパルスを除去する
1	22.0 μs (176/f_{CLK}) 未満のパルスを除去する

R/W

SELCLR1	INTCLR1の割り込みソース選択
0	垂直同期信号モード(V_{SYNC}分離回路の出力)
1	複合同期信号モード(V_{SYNC}分離回路の出力とCSYNC信号入力の論理和)

R/W

ESCLR1	CSYNC信号入力の有効エッジ指定
0	立ち下がりエッジ
1	立ち上がりエッジ

R

FFIELD	フィールド判別結果フラグ
0	偶数フィールド
1	奇数フィールド

8.3.9　タイマ1のVTRへの応用

VTRへの応用では，タイマ1ユニットは，次のように使用します。

(1) 再生時のタイマ1の動作

再生モード時は，一定インターバルで割り込みを発生する基準タイマとして使用します。

再生モード時には外部から同期信号が入力されませんので，タイマ1のコンペア・レジスタ10(CR10)にはフレーム周期に相当する値を格納しておきます。

(2) 記録時のタイマ1の動作

録画モード時は，外部より入力される垂直同期信号（V_{SYNC}信号）に同期した位相基準信号作成に使用します。

CSYNCIN入力端子に複合同期信号を入力する場合は，ディジタル・ノイズ除去回路を使用して，複合同期信号から垂直同期信号を分離します。

図8-55に記録時のタイマ1の動作タイミング例を示します。まず，複合同期信号から垂直同期信号を分離し，分離後の垂直同期信号の有効エッジでタイマ1をクリアさせます。このとき，ノイズによる誤動作を防止するために，タイマ1のクリアを制御するENCLR1フラグを用いて，CSYNC信号入力に対して一定時間のマスクをかけます。図8-55の例では，コンペア・レジスタ13（CR13）を用いて，フレーム周期の約90％の期間CSYNC信号入力をマスクさせています。また，何らかの理由で垂直同期信号が入力されなかった場合は，タイマ1とコンペア・レジスタ10（CR10）との一致信号によりフレーム周期とほぼ等しい周期でクリアがかかるように，CR10の値を設定します。この場合，フレーム周期よりやや長い周期でタイマ1がクリアされるようなデータをCR10に設定してください。図8-55の例では，フレーム周期の約3％増しの値をCR10に設定しています。

(3) キャプスタン位相制御

キャプスタン・モータの位相検出はコンペア・レジスタ12（CR12）で行い，キャプスタン位相制御はINTCR12割り込みルーチンで行います。

制御方法は再生時と記録時で異なります。制御信号には次のものを使用します。

- 再生時：テープのコントロール・トラックから得られる再生コントロール信号
- 記録時：キャプスタンFG信号を分周した信号

キャプスタン位相誤差の検出方法を図8-56に示します。

(4) RECCTL信号の作成

レコーディング・コントロール信号（RECCTL信号）は，HSW信号に同期し，記録時にコントロール・トラック上に記録する信号です。RECCTL信号の周期はテレビ放送のフレーム同期に等しく，デューティは通常60％です（インデクス信号などで27.5％，その他のデューティになることもあります）。

図8-57にコンペア・レジスタ11（CR11）を用いたRECCTL信号の作成タイミングを示します。

保守／廃止

図8-55　タイマ1の動作タイミング例（記録時）

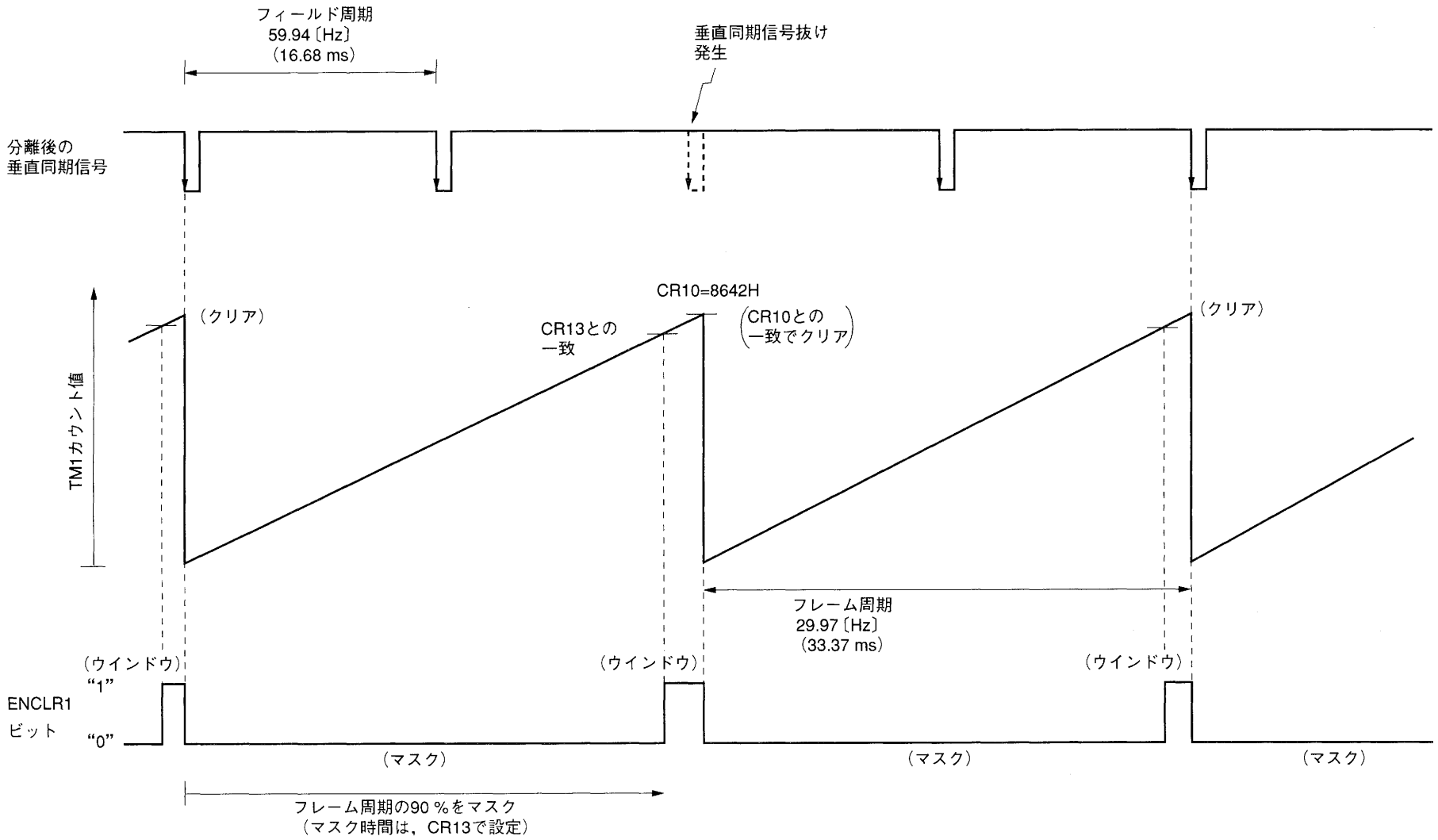
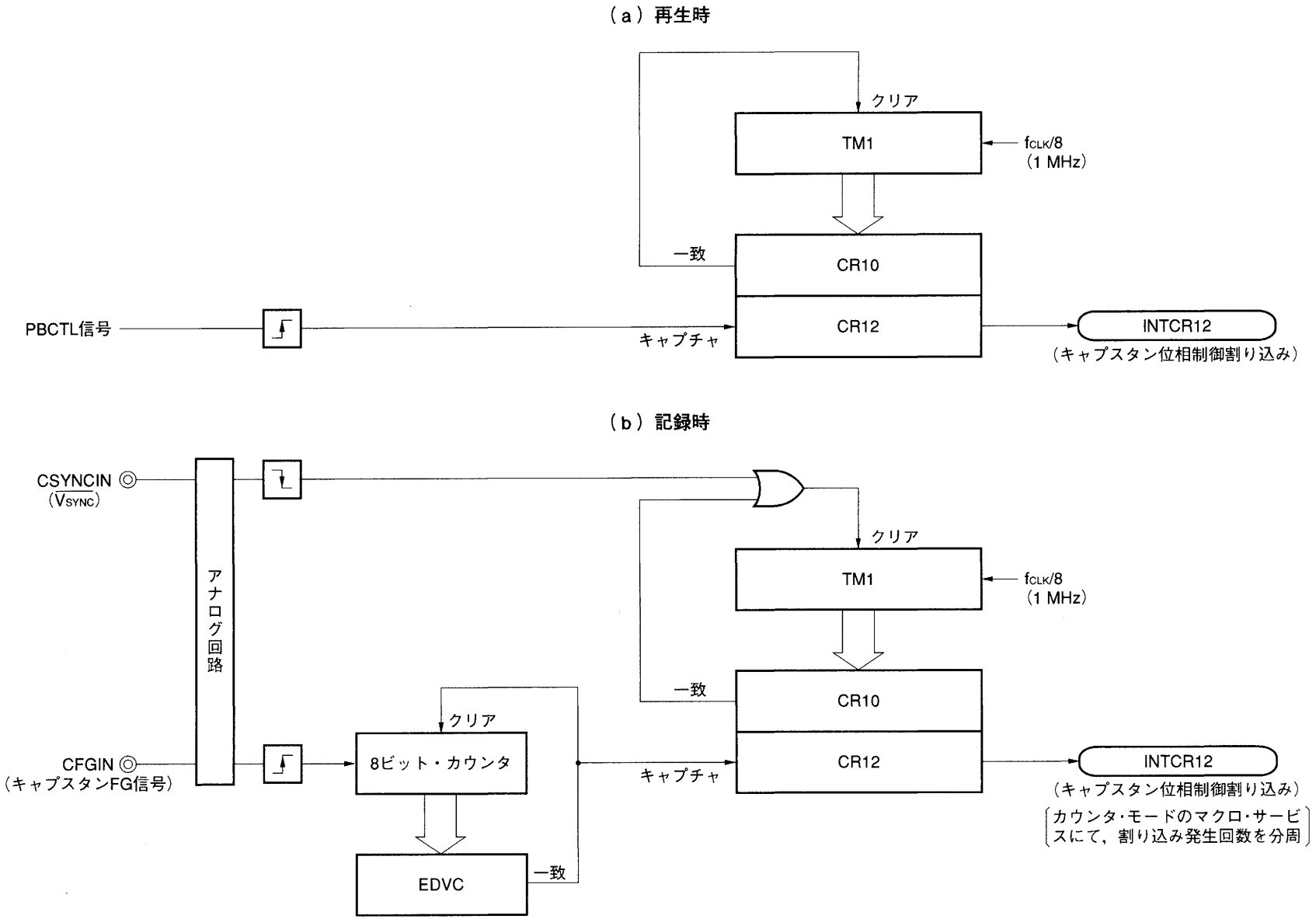
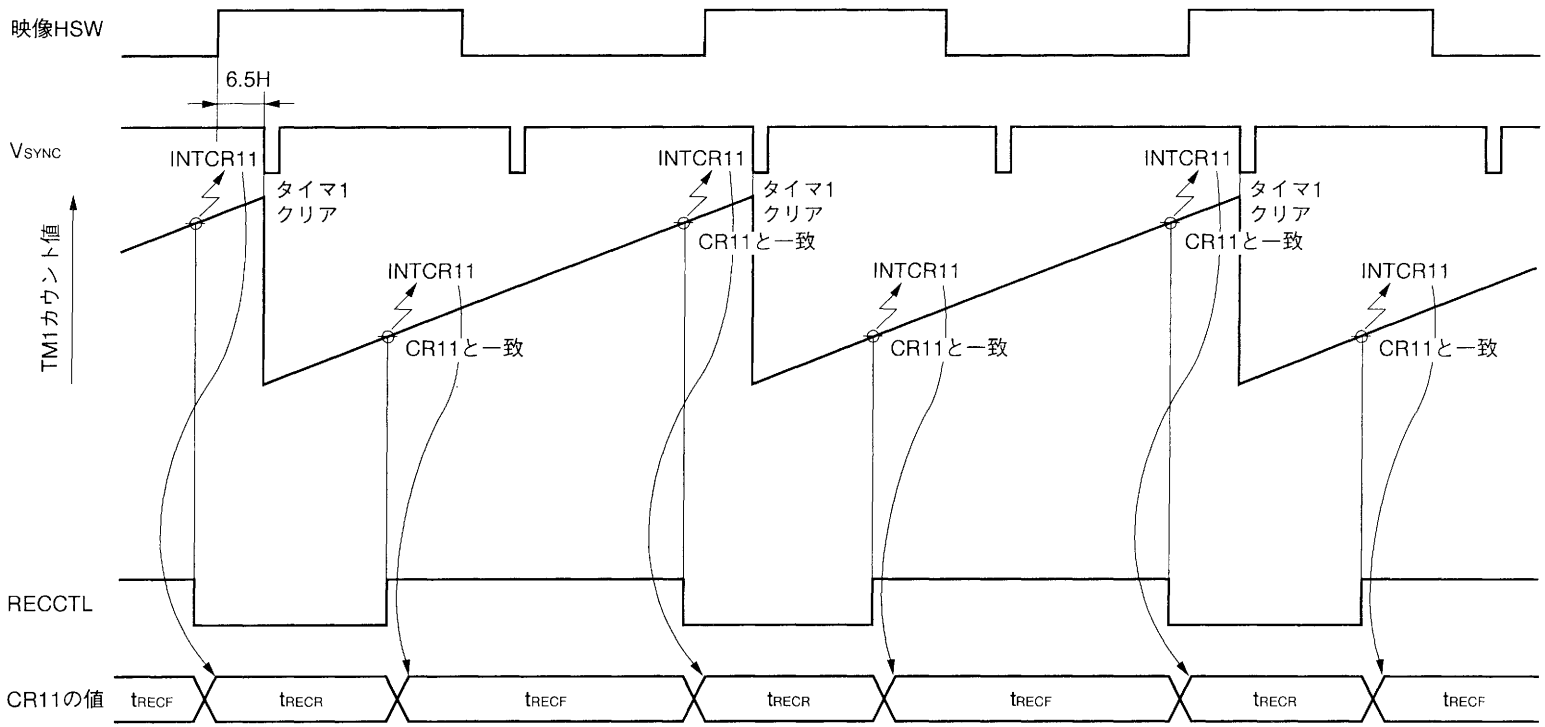


図8－56　キャプスタン位相誤差検出方法



保守／廃止

図８－57　CR11を用いたRECCTL信号の作成タイミング例



8.4　フリー・ランニング・カウンタ（FRC）ユニット

8.4.1　FRCユニットの構成

FRCユニットの構成を図8-58に示します。

FRCユニットは，22ビットFRCと6個の22ビット・キャプチャ・レジスタ（CPT0-CPT5）で構成されます。

FRCは，キャプチャ・トリガの発生で，FRCの値をキャプチャ・レジスタにキャプチャします。毎回キャプチャした値を比較することにより，周期的に発生するキャプチャ・トリガの発生周期を測定することができます。キャプチャ・レジスタは6本あるので，6種類のキャプチャ・トリガに対して発生周期の測定を並行して行うことができます。

各キャプチャ・レジスタと，それに対するキャプチャ・トリガの一覧を表8-6に示します。

表8-6　FRCキャプチャ・レジスタのキャプチャ・トリガ一覧

キャプチャ・レジスタ	キャプチャ・トリガ	割り込み要求
CPT0	①　TM1-CR10一致信号	INTCR10
	②　V_{SYNC}分離信号または$COMP_{SYNC}$入力の立ち上がりエッジ	INTCLR1
	③　①またはV_{SYNC}分離信号の立ち上がり（TM1クリア信号）	INTCLR1/INTCR10
	④　①または②	INTCLR1/INTCR10
CPT1	タイマ0クリア・パルスの立ち上がりエッジ	INTCPT1
	タイマ0クリア・パルスの立ち下がりエッジ	
	タイマ0クリア・パルスの立ち上がり，立ち下がり両エッジ	
CPT2	DFG信号入力の立ち上がりエッジ	INTCPT2
CPT3	EDV分周出力（EDV-EDVC一致信号）	INTCPT3
CPT4	REEL0信号入力の立ち上がりエッジ	INTP3
	REEL0信号入力の立ち下がりエッジ	
	REEL0信号入力の立ち上がり，立ち下がり両エッジ	
CPT5	REEL1信号入力の立ち上がりエッジ	INTP3
	REEL1信号入力の立ち下がりエッジ	
	REEL1信号入力の立ち上がり，立ち下がり両エッジ	

図8-58　FRCユニットのブロック図

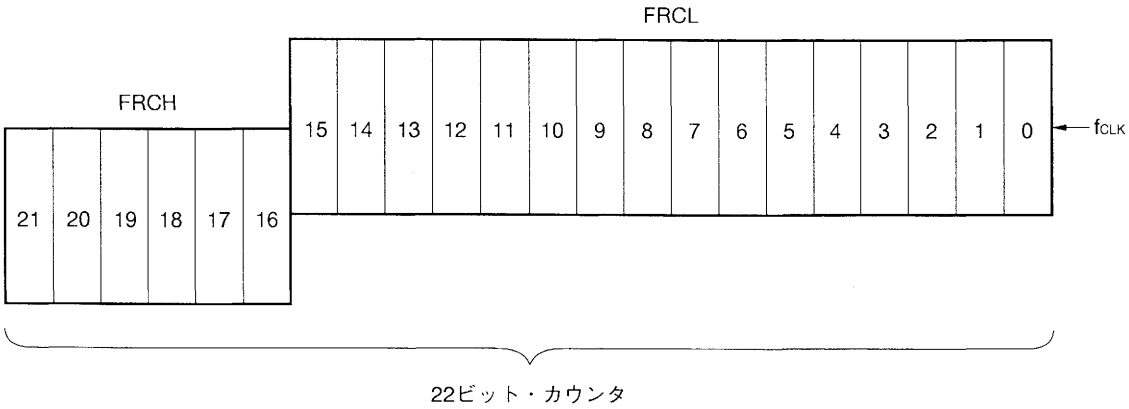
8.4.2　フリー・ランニング・カウンタ（FRC）

FRCは，f_{CLK}のクロック入力によってカウント・アップする22ビットのカウンタです。

FRCユニットには6個のキャプチャ・レジスタ（CPT0-CPT5）があり，FRCの全ビット（22ビット）をキャプチャします。

FRCの構成を図8-59に示します。

図8-59　FRCの構成



注意　FRCを22ビット一括してリードする場合は，必ず下位レジスタ（FRCL）からリードしてください。

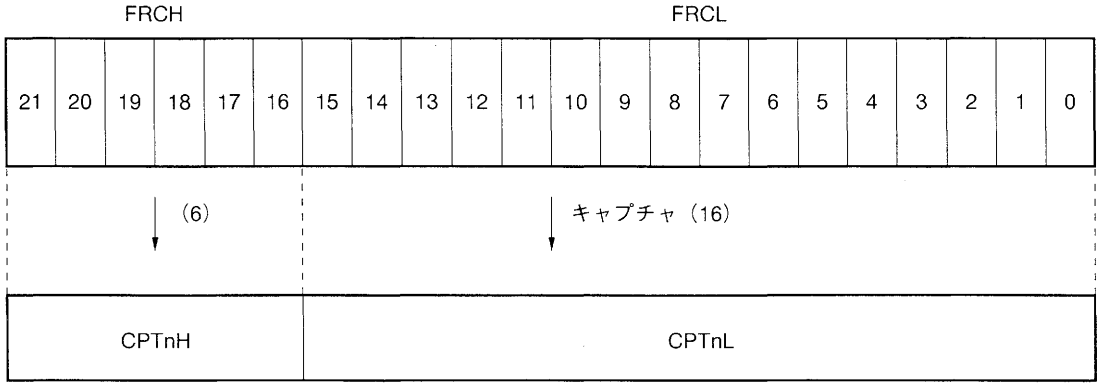
8.4.3　キャプチャ・レジスタ

FRCユニットの6個のキャプチャ・レジスタ（CPT0-CPT5）は，22ビット構成です。

キャプチャ・トリガによって22ビットFRCのビット0-15(FRCL)をキャプチャ・レジスタの下位(CPTnL：n=0-5）に格納し，ビット16-21（FRCH）をキャプチャ・レジスタの上位（CPTnH：n=0-5）に格納します。

FRCキャプチャ・レジスタの構成を図8-60に示します。

図8-60　FRCキャプチャ・レジスタの構成（n=0-5）



注意　FRCキャプチャ・レジスタ（CPTn：n=0-5）を22ビット一括してリードする場合は，必ず下位レジスタ（CPTnL：n=0-5）からリードしてください。

8.4.4　FRCの動作

FRCの分解能および最大カウント時間（f_{CLK}=8 MHz動作時）を表8-7に示します。

表8-7　FRCの分解能と最大カウント時間

使用レジスタ	入力クロック	分解能	最大カウント時間
22ビット・キャプチャ・レジスタ	8 MHz	125 ns	524 ms

FRCの動作の制御は，タイマ・コントロール・レジスタ1（TMC1）で行います。

FRCには，タイム・ベース割り込みを発生する機能があります。タイム・ベース割り込みを発生する周期は，1.024 ms（8192/f_{CLK}），512 μs（4096/f_{CLK}）のどちらかを選択できます。

FRCのCPT0，CPT1のキャプチャ・ソースは，キャプチャ・モード・レジスタ（CPTM）で指定します。CPT2，CPT3のキャプチャ・ソースは固定です。

また，INTP3発生ソースをREEL0信号またはREEL1信号の有効エッジ入力に指定すると，CPTMレジスタのビット6（FCPT4），ビット7（FCPT5）を読み出すことで，CPT4とCPT5のどちらをキャプチャしたかを知ることができます。

8.4.5　FRCユニット制御レジスタの設定

FRCユニットの動作は，次のレジスタで制御できます。

- TMC1：タイマ・コントロール・レジスタ1（FRCの動作の制御）
- CPTM：キャプチャ・モード・レジスタ（キャプチャ・ソースの選択）
- INTM2：外部キャプチャ・モード・レジスタ2（キャプチャ割り込みの選択）

次に，それぞれのレジスタのフォーマットを示します。

図8-61　タイマ・コントロール・レジスタ1（TMC1）のフォーマット

	⑦	6	5	4	③	2	1	0	アドレス	リセット時	R/W
TMC1	CS2	0	0	0	CSFRC	0	0	TBSEL	FF39H	00H	R/W

TBSEL	タイム・ベース割り込みの発生周期の指定
0	$8192/f_{CLK}$（1.024 ms：f_{CLK}=8 MHz時）
1	$4096/f_{CLK}$（512 μs：f_{CLK}=8 MHz時）

CSFRC	フリー・ランニング・カウンタ動作制御
0	クリアし，カウント停止
1	カウント動作

CS2	タイマ2動作制御
0	クリアし，カウント停止
1	カウント動作

保守／廃止

図8-62　キャプチャ・モード・レジスタ（CPTM）のフォーマット

	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
CPTM	FCPT5	FCPT4	TRGS011	TRGS010	0	TRGS120	TRGS001	TRGS000	FF53H	00H	R/W

R/W

TRGS001	TRGS000	CPT0キャプチャ・トリガ指定
0	0	TM1-CR10一致信号
0	1	CSYNC信号入力エッジ検出信号
1	0	TM1クリア信号
1	1	TM1-CR10一致信号とCSYNC信号入力エッジ検出信号の論理和

R/W

TRGS120	CR12キャプチャ・トリガ指定
0	PBCTL信号入力エッジ検出信号（INTM1のビット6,7で指定した信号）
1	CFG信号入力分周信号（EDV-EDVC一致信号）

R/W

TRGS011	TRGS010	CPT1キャプチャ・トリガ指定
0	0	タイマ0クリア・パルスの立ち下がりエッジ
0	1	タイマ0クリア・パルスの立ち上がりエッジ
1	0	設定禁止
1	1	タイマ0クリア・パルスの立ち下がり／立ち上がり両エッジ

R

FCPT4	CPT4のキャプチャ・フラグ
0	CPT4にキャプチャしていない
1	CPT4にキャプチャした

R

FCPT5	CPT5のキャプチャ・フラグ
0	CPT5にキャプチャしていない
1	CPT5にキャプチャした

★　注意1.　ビット3には，必ず0を書き込んでください。

2.　ビット6（FCPT4），ビット7（FCPT5）のクリア（0）条件は以下のとおりです。

①　ビット6(FCPT4)のクリア条件：FCPT4は，キャプチャ・レジスタ4（CPT4）の下位16ビット（CPT4L）を読み出すことでクリア(0)されます。

②　ビット7(FCPT5)のクリア条件：FCPT5は，キャプチャ・レジスタ5（CPT5）の下位16ビット（CPT5L）を読み出すことでクリア(0)されます。

図8-63　外部キャプチャ・モード・レジスタ2（INTM2）のフォーマット

	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM2	FFIELD	ESCLR1	SELCLR1	VSYNCS	ES31	ES30	ESRL1	ESRL0	FFA2H	00H	R/W

R/W

ESRL1	ESRL0	REEL0, REEL1信号入力有効エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり　両エッジ

R/W

ES31	ES30	INTP3発生ソース指定
0	0	REEL0信号有効エッジ入力
0	1	REEL1信号有効エッジ入力
1	0	設定禁止
1	1	REEL0信号またはREEL1信号有効エッジ入力（論理和）

R/W

VSYNCS	V_{SYNC}分離パルス幅の選択
0	13.0 μs（104/f_{CLK}）未満のパルスを除去する
1	22.0 μs（176/f_{CLK}）未満のパルスを除去する

R/W

SELCLR1	INTCLR1の割り込みソース選択
0	垂直同期信号モード（V_{SYNC}分離回路の出力）
1	複合同期信号モード（V_{SYNC}分離回路の出力とCSYNC信号入力の論理和）

R/W

ESCLR1	CSYNC信号入力の有効エッジ指定
0	立ち下がりエッジ
1	立ち上がりエッジ

R

FFIELD	フィールド判別結果フラグ
0	偶数フィールド
1	奇数フィールド

保守／廃止

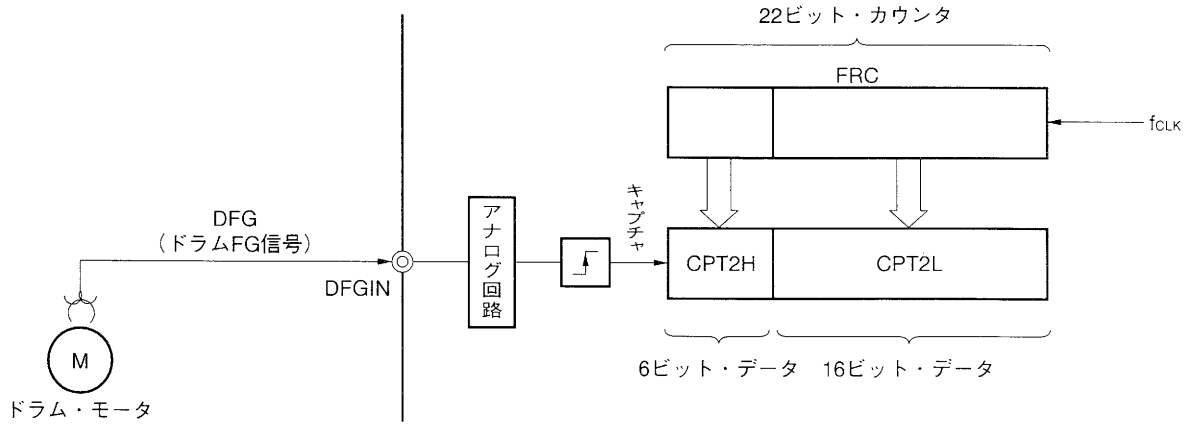
8.4.6　FRCのVTRへの応用

(1) ドラム速度制御系への応用

VTRサーボ系の制御で最も高い精度を要求する部分は，ドラムの回転速度制御系です。この部分には，μPD784915の22ビット高精度FRCと22ビット・キャプチャ・レジスタのCPT2(CPT2H, CPT2L)を活用します。

具体的には，図8-64に示すようにドラムFG(DFG)信号をDFGIN端子に入力し，この信号の立ち上がりエッジをキャプチャ・トリガとしてFRCのカウント値をCPT2 (CPT2H, CPT2L) に格納します。このCPT2の内容はドラムの回転速度で，この値を用いてドラムの速度制御を行います。

図8-64　VTRにおけるFRCの使用例
(キャプチャ・レジスタ2を用いたドラム・モータの速度誤差検出方法)

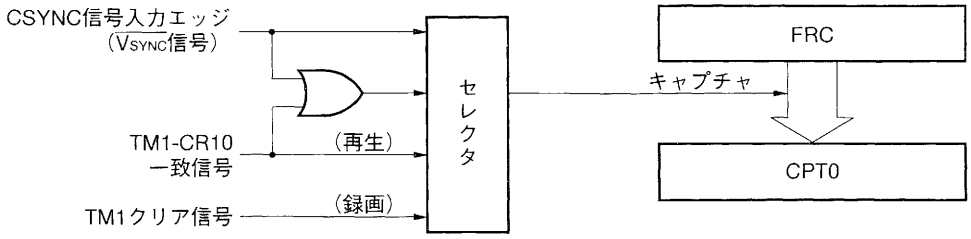


(2) ドラム位相制御系

VTRのヘッド・スイッチ信号と，ドラムの位相制御では，キャプチャ・トリガを4種類選択できるキャプチャ・レジスタ0 (CPT0) を使用します。FRCのCPT0のキャプチャ・トリガ構成を図8-65に示します。ドラム位相制御では，ヘッド・スイッチ信号をキャプチャ・トリガとしてFRCのカウント値をキャプチャ・レジスタ1 (CTP1) に格納し，位相基準信号または垂直同期信号 (V_{SYNC}) をキャプチャ・トリガとしてFRCのカウント値をキャプチャ・レジスタ0 (CPT0) に格納します。そして，このCPT1とCPT0の差を比較することでドラムの位相制御を行います。

この場合，再生動作と記録（録画）動作でその制御が多少異なります。

図8－65　FRCキャプチャ・レジスタ0（CPT0）の使用例



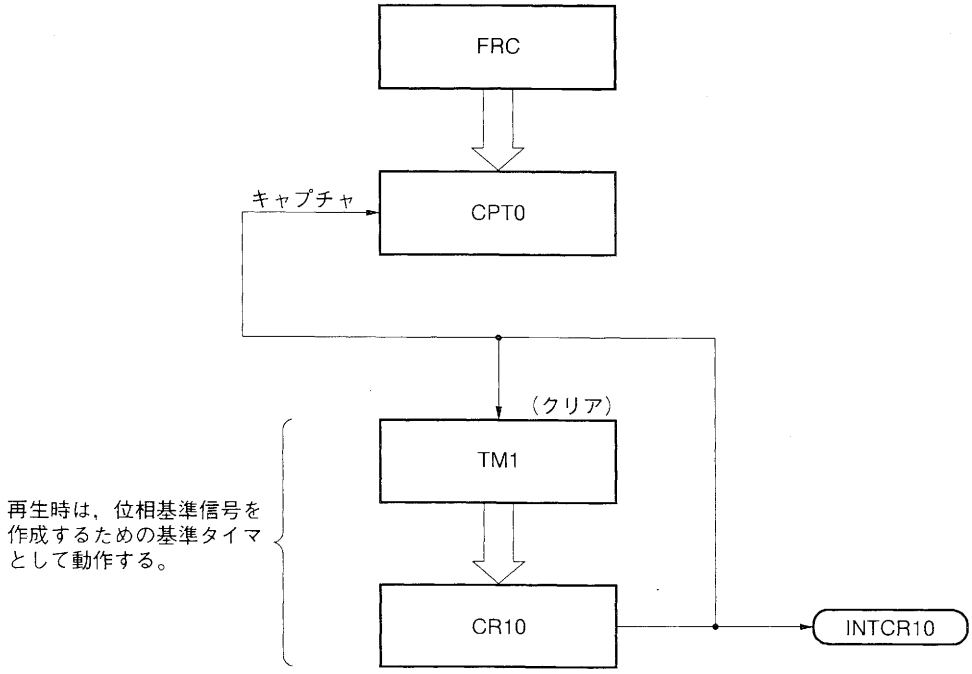
（a）再生動作時

タイマ1を基準カウンタとして，コンペア・レジスタCR10の一致信号を位相基準信号とします。この位相基準信号をキャプチャ・トリガとしてFRCの内容をCPT0に格納します。

図8－66に，再生動作時のFRCとTM1の使用例を示します。

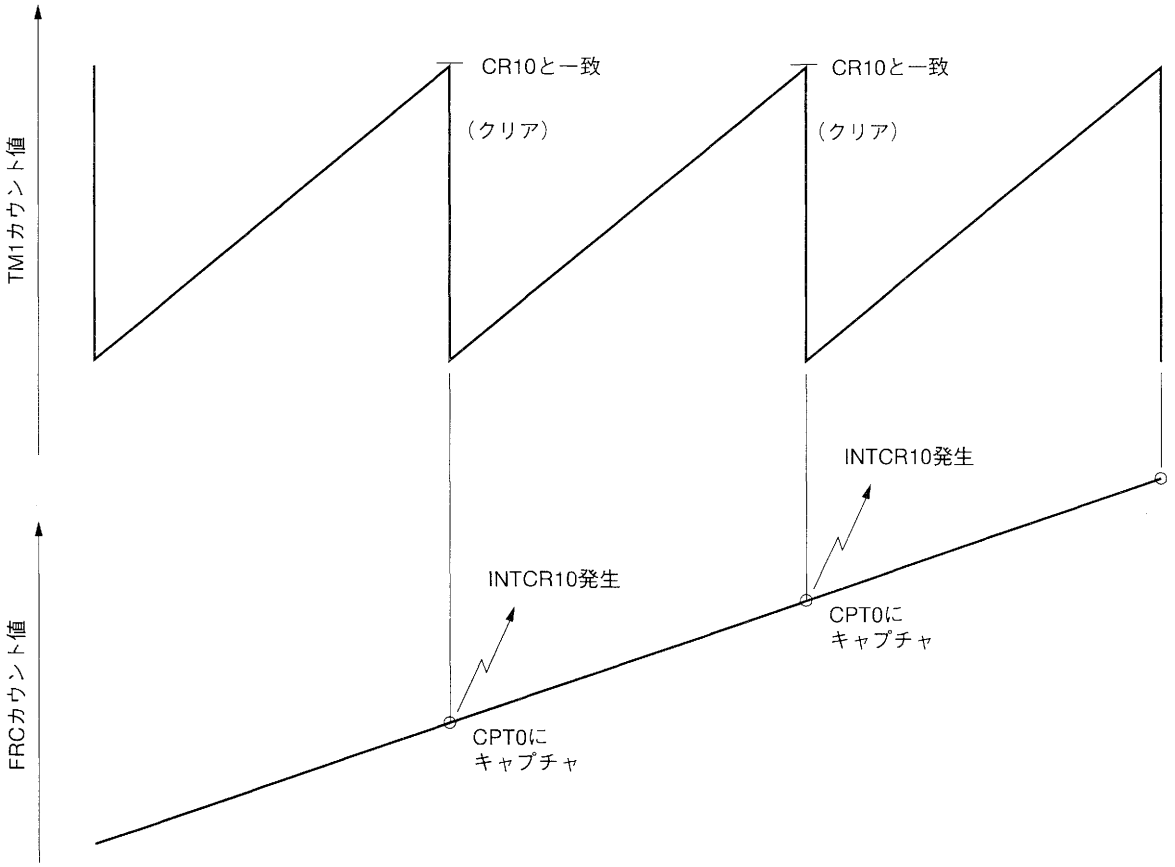
図8－67に，再生動作時のFRCとTM1の動作を示します。

図8－66　再生動作時のFRCとTM1の使用例（内部位相基準タイマの作成方法）



保守／廃止

図8－67　再生動作時のFRCとTM1の動作



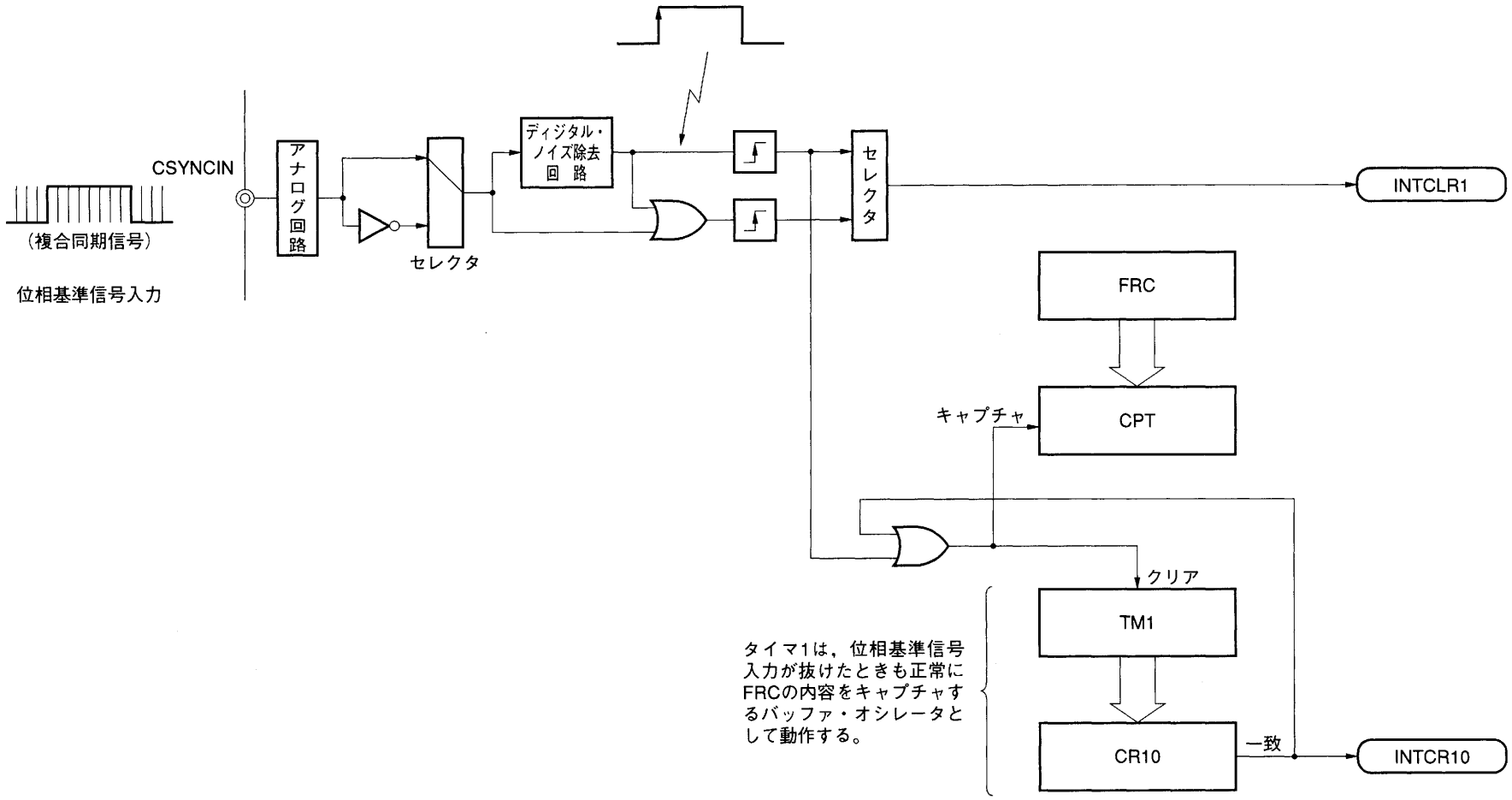
(b) 記録（録画）動作時

記録動作時は，タイマ1のクリア信号をCPT0のキャプチャ・トリガとします。これはV_{SYNC}信号のみをキャプチャ・トリガとした場合に，ノイズなどの影響によりV_{SYNC}の欠落が生じ，正常な位相制御ができなくなることを防止するためです。この場合，V_{SYNC}信号の周期と位相基準信号の周囲（CR10の値）を同等にしておく必要があります。このように設定しておくことで，もし，何らかの原因でV_{SYNC}信号が欠落しても位相基準信号がこれを補うことができ，正常な位相制御を可能にします。

図8－68に記録動作時のFRCとTM1の使用例を，図8－69にFRCとTM1の動作例を示します。

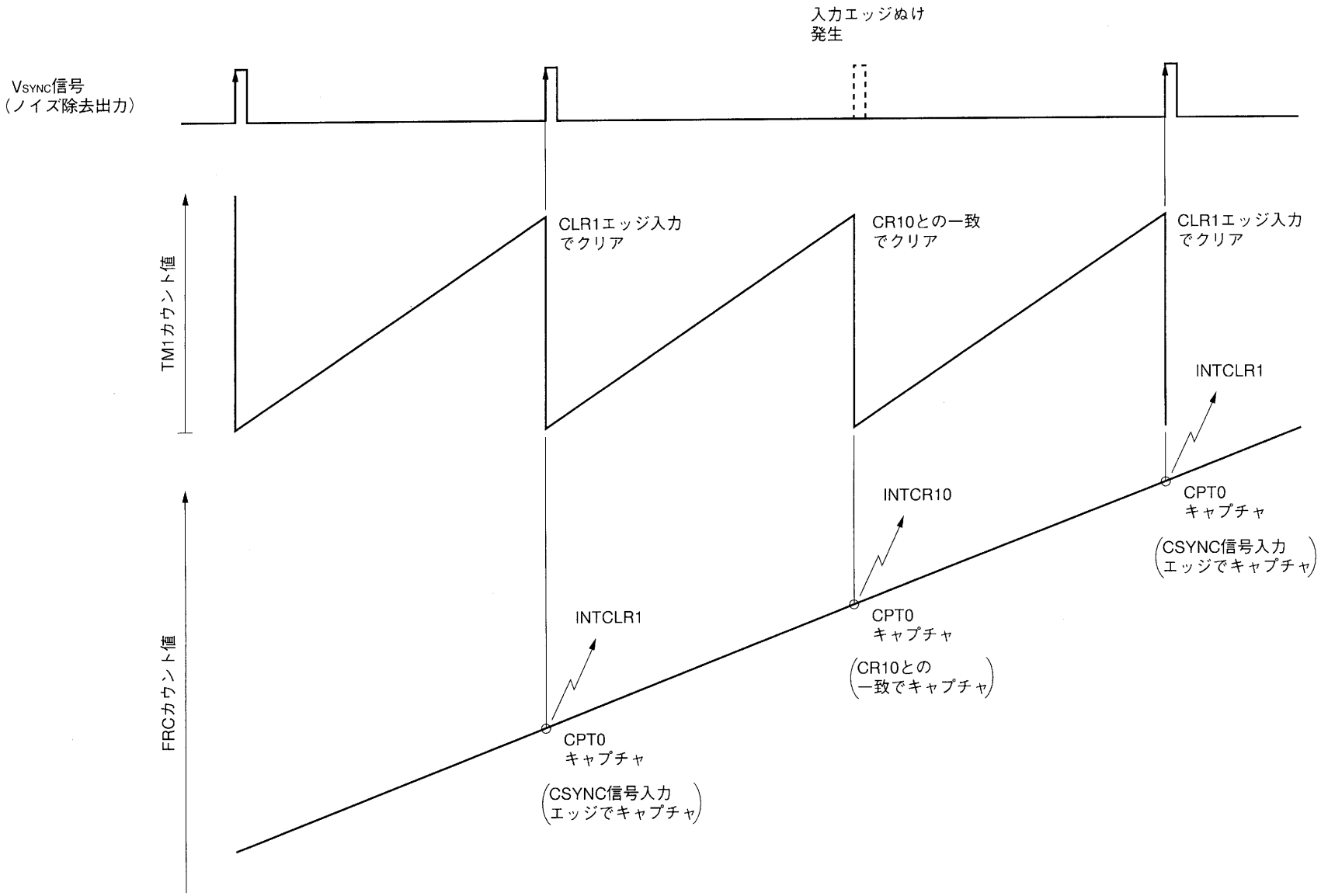
保守／廃止

図８－68　記録動作時のFRCとTM1の使用例（位相基準信号入力によるFRCのキャプチャ方法）



保守／廃止

図8-69　記録動作時のFRCとTM1の動作



8.5　タイマ2ユニット

8.5.1　タイマ2ユニットの構成

タイマ2ユニットは，図8-70に示すように16ビット・カウンタ（TM2），16ビット・コンペア・レジスタ（CR20）で構成しています。

TM2は，2進16ビットのアップ・カウンタで，カウント・クロック（$f_{CLK}/8$）でカウント・アップし，CR20の内容と一致すると0000Hにクリアされ，同時にタイマ割り込み（INTCR20）が発生します。

したがって，タイマ2は，CR20レジスタによりインターバルの決定される，インターバル・タイマとして機能します。

TM2のカウント動作は，タイマ・コントロール・レジスタ1（TMC1）のビット7（CS2）により制御されます。

f_{CLK}＝8 MHz時のタイマ2の分解能とインターバル時間は，表8-8のようになります。

表8-8　タイマ2の分解能とインターバル時間

入力クロック	分解能	フルカウント時のインターバル（CR20＝FFFFHに設定）
1 MHz（$f_{CLK}/8$）	1.0 μs	65.5 ms

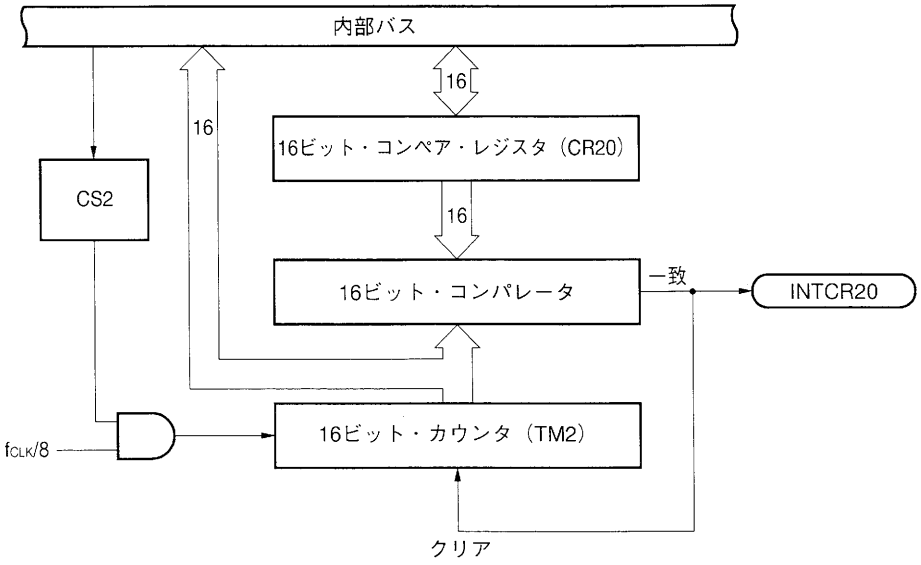
TM2は読み出し専用で，CR20は読み出し／書き込み可能です。それぞれ，16ビット単位でのみアクセスできます。

$\overline{\text{RESET}}$入力によりCR20は不定になり，TM2はリセット解除後，17クロック以降であればクリアされています。

注意　リセット解除後16クロック（16/f_{CLK}）の間，TM2は不定です。TM2のカウント・スタートは17クロック以降に行ってください。

保守／廃止

図8-70　タイマ2ユニットのブロック図



8.5.2　タイマ2ユニット制御レジスタの設定

タイマ2ユニットの動作は，タイマ・コントロール・レジスタ1（TMC1）で制御します。

図8-71　タイマ・コントロール・レジスタ1（TMC1）のフォーマット

	⑦	6	5	4	③	2	1	0	アドレス	リセット時	R/W
TMC1	CS2	0	0	0	CSFRC	0	0	TBSEL	FF39H	00H	R/W

TBSEL	タイム・ベース割り込みの発生周期の指定
0	8192/f_{CLK}（1.024 ms：f_{CLK}=8 MHz時）
1	4096/f_{CLK}（512 μs：f_{CLK}=8 MHz時）

CSFRC	フリー・ランニング・カウンタ動作制御
0	クリアし，カウント停止
1	カウント動作

CS2	タイマ2動作制御
0	クリアし，カウント停止
1	カウント動作

8.6　タイマ4ユニット

8.6.1　タイマ4ユニットの構成

タイマ4ユニットの構成を図8-72に示します。

タイマ4ユニットは，16ビット・タイマ（TM4）と16ビット・キャプチャ／コンペア・レジスタ（CR40），16ビット・キャプチャ・レジスタ（CR41）で構成しています。

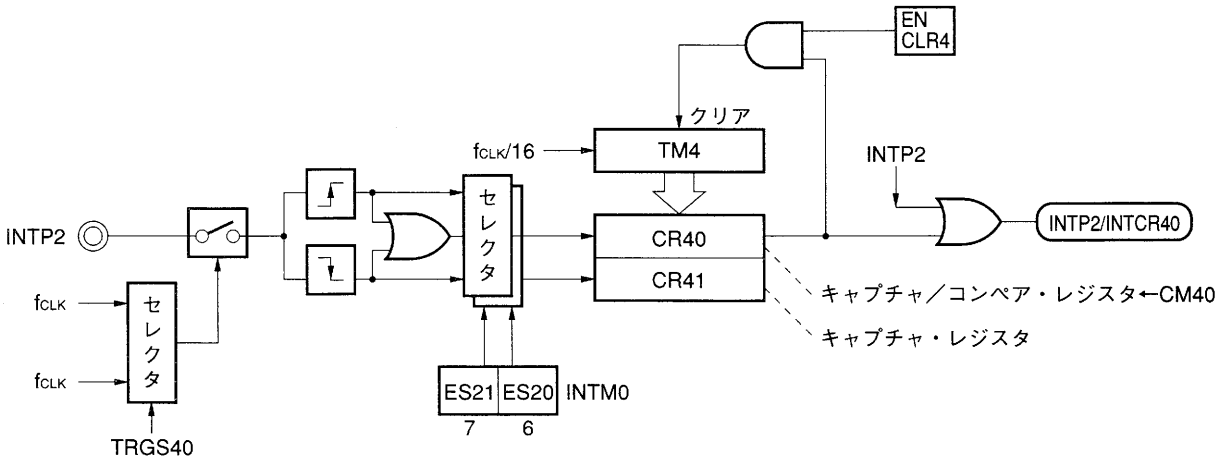
タイマ（TM4）のカウント・クロックは$f_{CLK}/16$です。

CR40へのキャプチャあるいはTM4とCR40の一致により，割り込みを発生します。

CR41は，CR40のキャプチャ・トリガとして指定したエッジの逆エッジでTM4の値をキャプチャします。

VTRでの応用では，リモコン信号の検出に使用します。

図8-72　タイマ4ユニットのブロック図



8.6.2　タイマ4ユニット制御レジスタの設定

タイマ4ユニットの動作は，次のレジスタで制御できます。

INTM0：外部割り込みモード・レジスタ（キャプチャ・トリガの指定）

TMC2：タイマ・コントロール・レジスタ2（タイマ4の動作の制御）

CRC　：キャプチャ／コンペア・コントロール・レジスタ（CR40のキャプチャ／コンペアの指定）

次に，それぞれのレジスタのフォーマットを示します。

図8-73　外部割り込みモード・レジスタ（INTM0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	NMILVL	ESNMI	FFA0H	000000×0	R/W

R/W

ESNMI	NMI端子入力検出エッジ指定注
0	立ち下がりエッジ
1	立ち上がりエッジ

R

NMILVL	NMI端子レベル検出フラグ

R/W

ES01	ES00	INTP0有効エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

R/W

ES11	ES10	INTP1有効エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

R/W

ES21	ES20	INTP2端子入力検出エッジ指定/CR40キャプチャ・トリガ指定	CR41キャプチャ・トリガ指定
0	0	立ち下がりエッジ	立ち上がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ
1	0	選択エッジなし	立ち上がり／立ち下がり両エッジ
1	1	立ち上がり／立ち下がり両エッジ	キャプチャしない

注　NMI端子入力検出エッジを指定するときは，次の割り込みをすべてマスクしてください。

- 時計割り込み
- キー割り込み

図8-74　タイマ・コントロール・レジスタ2（TMC2）のフォーマット

	⑦	6	5	4	③	2	1	0	アドレス	リセット時	R/W
TMC2	CS5	0	0	0	CS4	0	0	TRGS40	FF3AH	00H	R/W

TRGS40	INTP2端子のノイズ除去サンプリング・クロック
0	f_{CLK}でサンプリング
1	f_{CLK}/128でサンプリング

CS4	タイマ4カウント動作制御
0	クリアし，カウント停止
1	カウント動作

CS5	タイマ5カウント動作制御
0	クリアし，カウント停止
1	カウント動作

図8-75　キャプチャ／コンペア・コントロール・レジスタ（CRC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CRC	0	0	0	0	0	0	ENCLR4	CM40	FF7DH	00H	W

CM40	CR40動作モード指定
0	コンペア・レジスタ
1	キャプチャ・レジスタ

ENCLR4	タイマ4動作モード指定
0	フリー・ランニング・モード（タイマ4をクリアしない）
1	CR40コンペア一致時（キャプチャ時）にTM4をクリアする

注意1.　CR40をコンペア・レジスタ→キャプチャ・レジスタ，またはキャプチャ・レジスタ→コンペア・レジスタに変更する場合（CM40を0→1，または1→0に変更する場合），CR40は不定になります。したがって，CR40をキャプチャ・レジスタ→コンペア・レジスタに変更する場合は，CRCに000000×0Bを書き込んだあと，データを設定してください。CR40をコンペア・レジスタ→キャプチャ・レジスタに設定する場合は，データを設定する必要はありません。

2.　CR40をコンペア・レジスタ→キャプチャ・レジスタに変更する場合（CM40を0→1に変更する場合），割り込み要求INTCR40が発生してしまいます。したがって，割り込み要求フラグCRIF40をクリア（0）し，割り込み要求が発生しないようにしてください。

8.7　タイマ5ユニット

8.7.1　タイマ5ユニットの構成

タイマ5ユニットの構成を図8-76に示します。

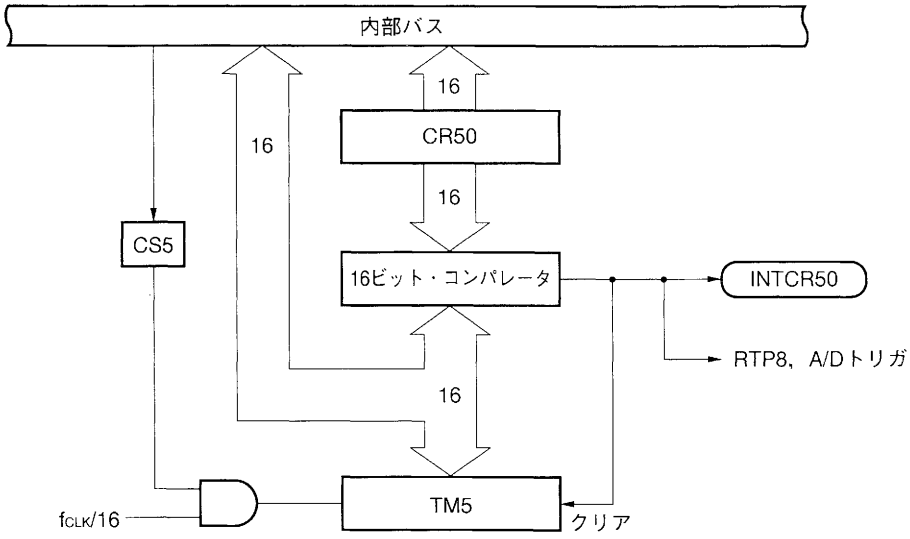
タイマ5ユニットは，16ビット・タイマ（TM5）と16ビット・コンペア・レジスタ（CR50）で構成しています。

タイマ（TM5）のカウント・クロックはf_{CLK}/16です。

TM5とCR50の一致により，割り込みを発生します。

このタイマ5ユニットは，一定時間でクリアするインターバル・タイマとして動作します。

図8-76　タイマ5ユニットのブロック図



8.7.2　タイマ5ユニット制御レジスタの設定

タイマ5ユニットの動作は，タイマ・コントロール・レジスタ2（TMC2）で制御できます。

図8-77　タイマ・コントロール・レジスタ2（TMC2）のフォーマット

	⑦	6	5	4	③	2	1	0	アドレス	リセット時	R/W
TMC2	CS5	0	0	0	CS4	0	0	TRGS40	FF3AH	00H	R/W

TRGS40	INTP2端子のノイズ除去サンプリング・クロック
0	f_{CLK}でサンプリング
1	f_{CLK}/128でサンプリング

CS4	タイマ4カウント動作制御
0	クリアし，カウント停止
1	カウント動作

CS5	タイマ5カウント動作制御
0	クリアし，カウント停止
1	カウント動作

保守／廃止

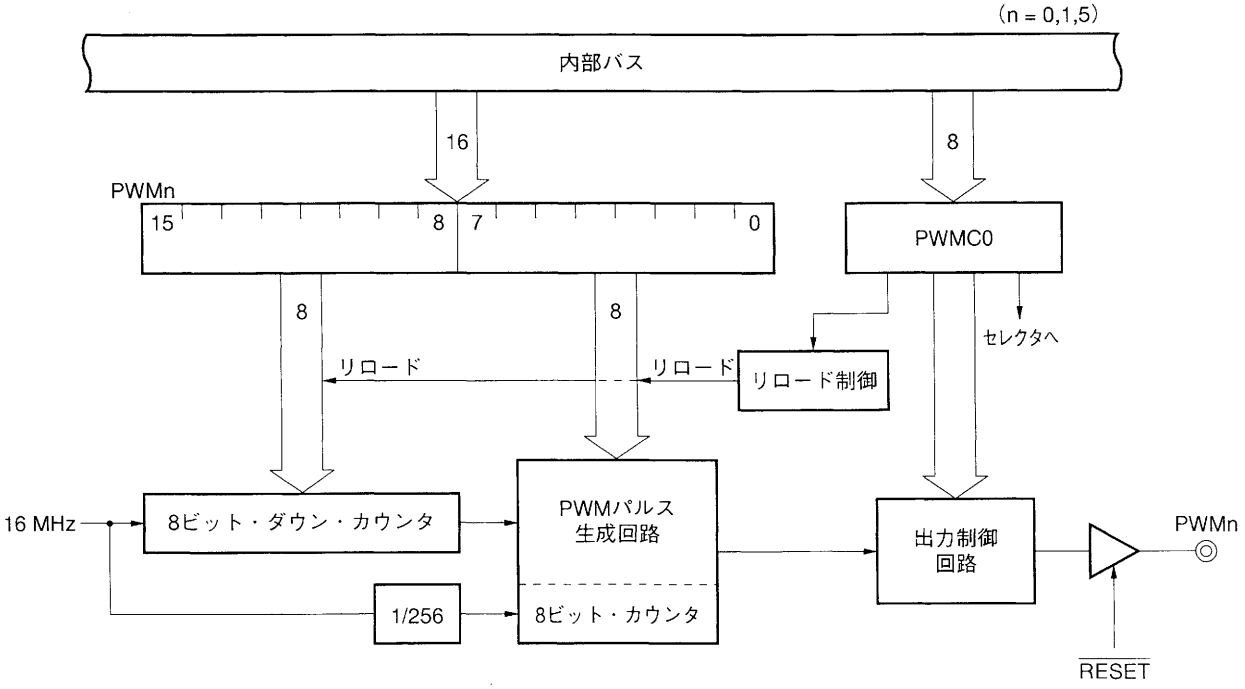
8.8　PWM出力ユニット

μPD784915は，16ビット分解能のPWM出力回路を３チャネル(PWM0，PWM1，PWM5)，８ビット分解能のPWM出力回路を３チャネル（PWM2-PWM4）内蔵しています。

8.8.1　16ビットPWM出力（PWM0，PWM1，PWM5）

PWM0, PWM1, PWM5は，16ビット分解能，キャリア周波数62.5 kHzのPWMパルスを出力するPWM出力回路です。その構成を図８-78に示します。

図８-78　16ビットPWM出力ユニットのブロック図



(1) PWMパルス出力の許可／禁止

PWMパルス幅は，PWMモジュロ・レジスタ（PWM0，PWM1，PWM5）の上位８ビットの内容で決まります。

PWMパルスを出力するときは，PWMモジュロ・レジスタにデータを設定したあと，PWMコントロール・レジスタ０（PWMC0）のENn（n=0，1，5）ビットをセット（1）します。

これにより，PWM出力端子からPWMC0レジスタのALVn（n=0，1，5）ビットで指定されたアクティブ・レベルのPWMパルスが出力されます。

PWMC0レジスタのENn（n=0，1，5）ビットをクリア（0）すると，PWM出力ユニットはただちにPWM出力動作を停止し，PWM出力端子はインアクティブ・レベルを出力します。

(2) PWMパルスのアクティブ・レベルの指定

PWMC0レジスタのALVn (n=0，1，5) ビットは，PWM出力端子から出力されるPWMパルスのアクティブ・レベルを指定します。

ALVn (n=0，1，5) ビットをセット (1) するとハイ・アクティブ・レベルのパルスを出力し，クリア (0) するとロウ・アクティブ・レベルのパルスを出力します。

ALVn(n=0，1，5)ビットを書き換えると，ただちにPWMアクティブ・レベルが変化します。

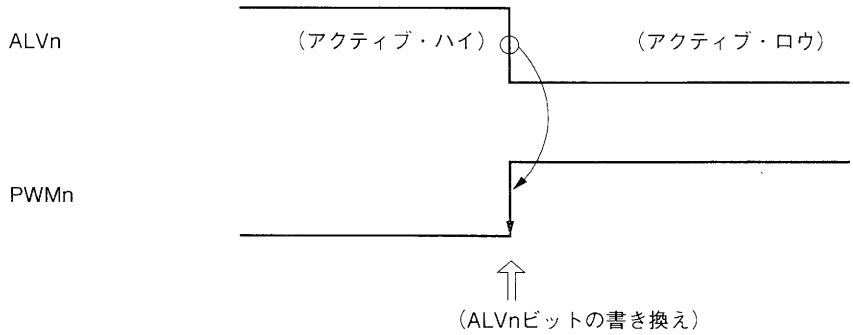
図8-79にPWM出力のアクティブ・レベル設定と端子状態を示します。

図8-79 (a) はPWMC0レジスタのENn (n=0，1，5) ビットをクリア (0) し，PWM出力を禁止している状態でALVn (n=0，1，5) ビットを切り替えた場合です。PWM出力禁止状態では，PWMパルス出力端子はインアクティブ・レベルを出力しますので，ALVn (n=0，1，5) ビットを書き換えることにより，PWM端子を汎用の出力ポートのように使用することが可能です。

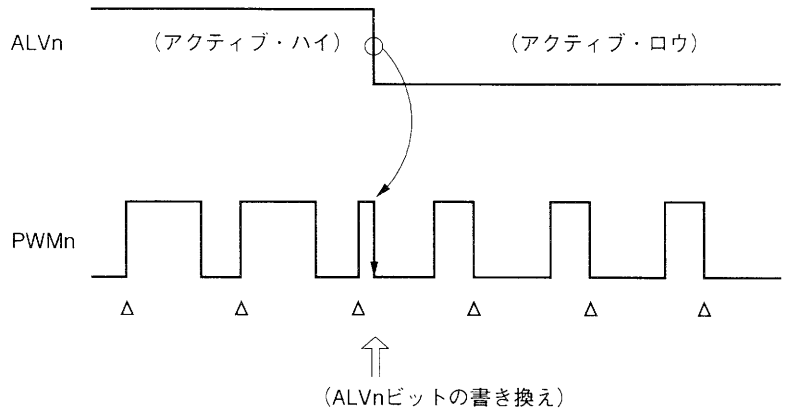
図8-79 (b) は，PWMC0レジスタのENn (n=0，1，5) ビットをセット (1) し，PWM出力を許可している状態でALVn (n=0，1，5) ビットを切り替えた場合です。

図8-79　PWM出力のアクティブ・レベル設定

(a) PWMパルス出力禁止状態のとき (ENn=0：n=0，1)



(b) PWMパルス出力許可状態のとき (ENn=1：n=0，1)



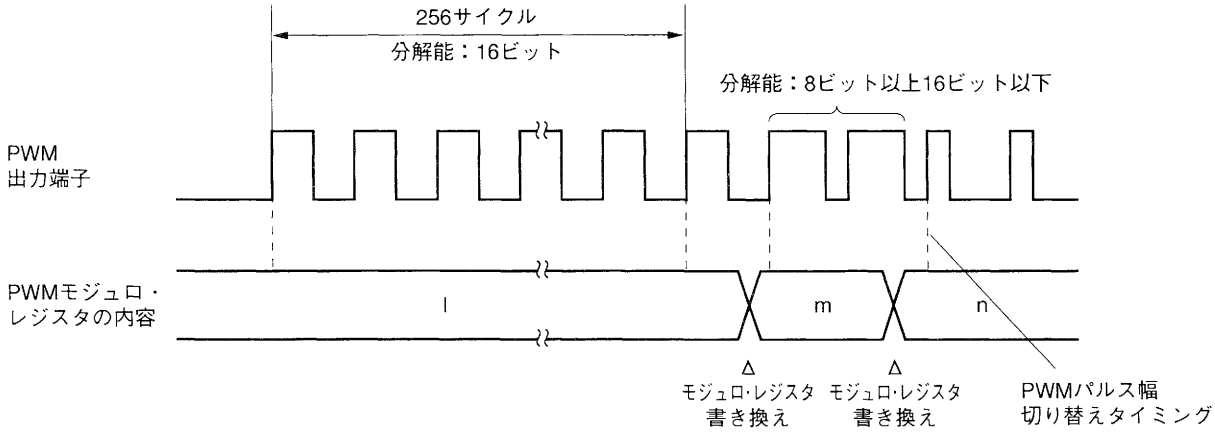
(3) PWMパルス幅の書き換え周期

16ビット精度のPWMパルスを出力するためには，256サイクル必要です。したがって，PWMモジュロ・レジスタに書き込まれたデータに対応する幅のパルスを出力するようになるまでには，最大で（1/PWMキャリア周波）×2^8(4.096 ms）かかります。

ただし，PWMモジュロ・レジスタの内容が書き換えられると，PWM出力はただちに変更されます。このときのPWMパルスの精度は８ビット以上16ビット以下となります。

PWM出力タイミング例を図８－80に示します。

図８－80　PWM出力タイミング例



(4) PWMパルス幅

PWMパルス幅は，PWMモジュロ・レジスタの上位８ビット（ビット８－15）のデータによって決まります。この主パルス制御部（ビット８－15）が00Hの場合は，PWMパルスを出力しません。また，主パルス制御部がFFHの場合は，PWMモジュロ・レジスタの下位８ビット（ビット0-7）を00H固定とする必要があります。したがって，PWMモジュロ・レジスタには0100H-FF00Hの範囲の値を設定してください。

PWM出力のパルス幅のデューティは，次式で求められます。

パルス幅のデューティ（%）＝(PWMモジュロ・レジスタの値)/2^{16}×100

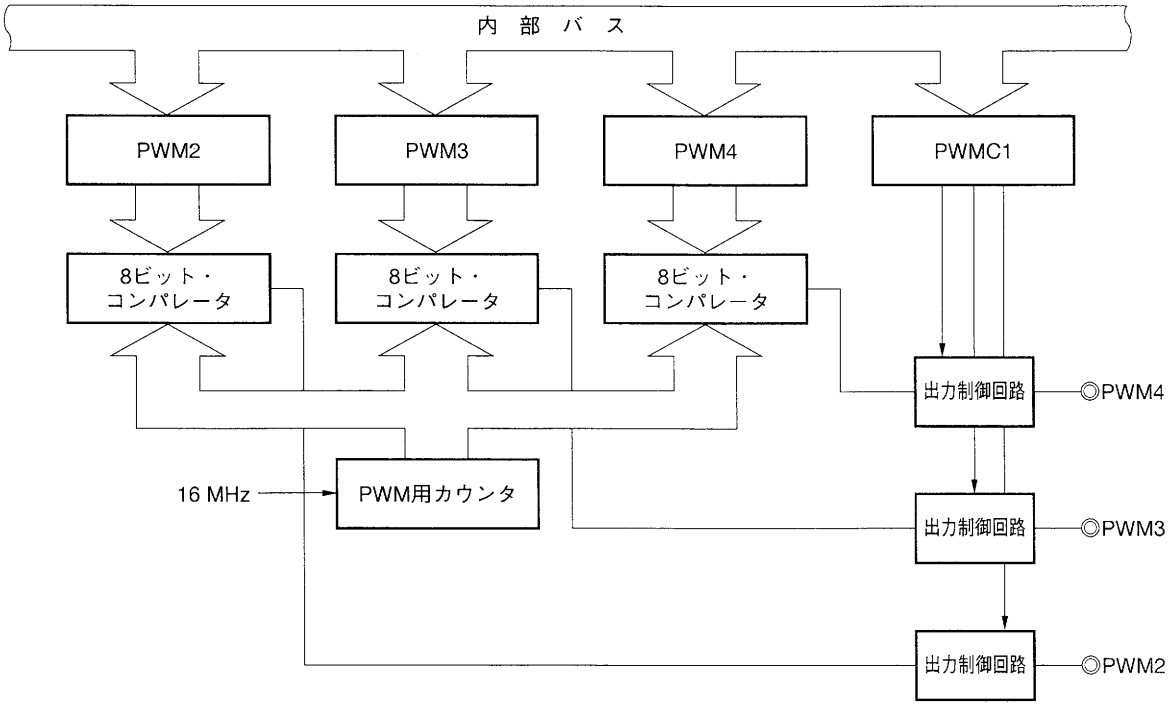
注意　PWM出力コントロール回路は，フリー・ランニング・カウンタ（FRC）からのクロック供給により動作しているため，FRCがカウント動作していないとPWMパルス出力は行われません。FRCはタイマ・コントロール・レジスタ1(TMC1)のビット３(CSFRC)をセット（1）すると，カウント動作を開始します。

8.8.2　8ビットPWM出力（PWM2-PWM4）

(1) 8ビットPWM出力の構成

PWM2-PWM4は，8ビット分解能，キャリア周波数62.5 kHzのPWMパルスを出力するPWM出力回路です。その構成を図8-81に示します。

図8-81　8ビットPWM出力ユニットのブロック図



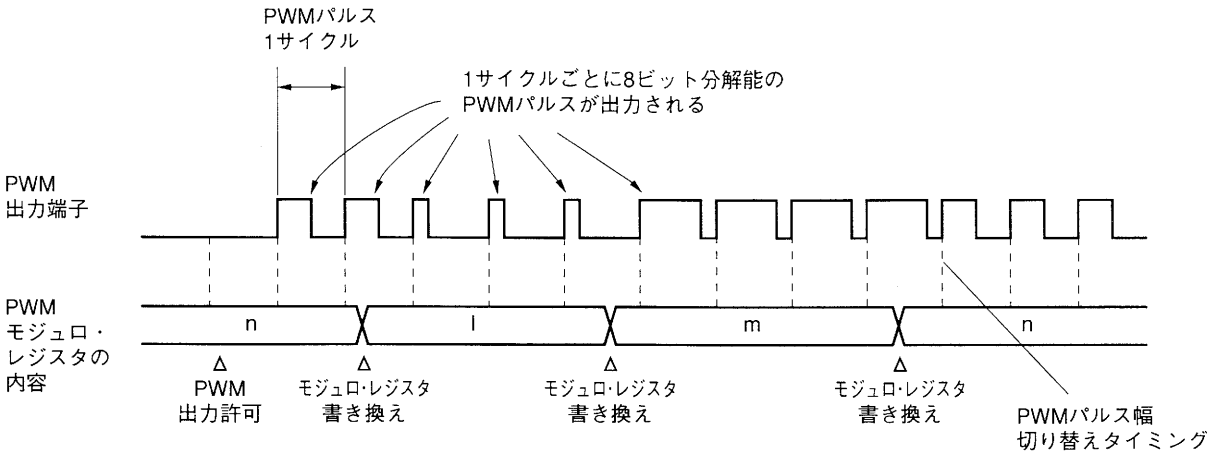
(2) 8ビットPWM出力の動作

PWM2-PWM4のPWMパルスを出力するときは，PWMモジュロ・レジスタ（PWM2-PWM4）にデータを設定したあと，PWMC1レジスタのEN2-EN4ビットをセット(1)します。これにより，PWM2-PWM4出力端子からはPWMモジュロ・レジスタに設定したパルス幅のPWMパルスを出力します。

PWMC1レジスタのEN2-EN4ビットをクリア(0)すると，ただちにPWM出力を停止し，PWM出力端子はインアクティブ・レベル（ロウ・レベル）を出力します。

保守／廃止

図8-82　8ビットPWM出力の出力タイミング



8.8.3　PWM出力ユニット制御レジスタの設定

PWM出力ユニットの動作は，次のレジスタで制御できます。

- ●PWMC0：PWMコントロール・レジスタ0（PWM0，PWM1，PWM5の動作の制御）
- ●PWMC1：PWMコントロール・レジスタ1（PWM2-PWM4の動作の制御）
- ●PMC6　：ポート6モード・コントロール・レジスタ（ポート／PWM出力モードの選択）

次に，それぞれのレジスタのフォーマットを示します

図8-83　PWMコントロール・レジスタ0（PWMC0）のフォーマット

	7	6	⑤	4	③	2	①	0	アドレス	リセット時	R/W
PWMC0	0	0	EN5	ALV5	EN1	ALV1	EN0	ALV0	FF70H	05H	R/W

ALVn	PWMn アクティブ・レベルの設定（n=0，1，5）
0	ロウ・アクティブ
1	ハイ・アクティブ

ENn	PWMn 出力制御（n=0，1，5）
0	出力禁止（インアクティブ・レベルを出力）
1	出力許可

図8-84　PWMコントロール・レジスタ1（PWMC1）のフォーマット

	7	6	⑤	4	③	2	①	0	アドレス	リセット時	R/W
PWMC1	0	0	EN4	1	EN3	1	EN2	1	FF71H	15H	R/W

ENn	PWMn出力制御（n=2-4）
0	出力禁止（インアクティブ・レベルを出力）
1	出力許可

図8-85　ポート6モード・コントロール・レジスタ（PMC6）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC6	PMC67	PMC66	PMC65	0	PMC63	PMC62	PMC61	PMC60	FF66H	00H	R/W

PMC60	P60端子のコントロール・モード指定
0	入出力ポート・モード/CLO出力モード
1	STRB出力モード

PMC61	P61端子のコントロール・モード指定
0	入出力ポート・モード/BUZ出力モード
1	シリアル・インタフェース1クロック入出力モード

PMC62	P62端子のコントロール・モード指定
0	入出力ポート・モード
1	シリアル・インタフェース1データ出力モード

PMC63	P63端子のコントロール・モード指定
0	入出力ポート・モード
1	シリアル・インタフェース1データ入力モード

PMC65	P65端子のコントロール・モード指定
0	入出力ポート・モード
1	HW0，HW1外部入力カウント・モード

PMC6n	P6n端子のコントロール・モード指定（n=6，7）
0	入出力ポート・モード
1	PWM出力モード

8.9　アップ／ダウン・カウンタ（UDC）ユニット

μPD784915は，PBCTL信号入力部の有効エッジをカウントする5ビット・アップ／ダウン・カウンタ・ユニットを内蔵しています。コンペア・レジスタ（UDCC）を1個内蔵しており，コンペア一致時，あるいはアンダフロー時に割り込み（INTUDC）を発生します。

8.9.1　アップ／ダウン・カウンタ・ユニットの構成

図8-86にアップ／ダウン・カウンタ（UDC）ユニットの構成を示します。

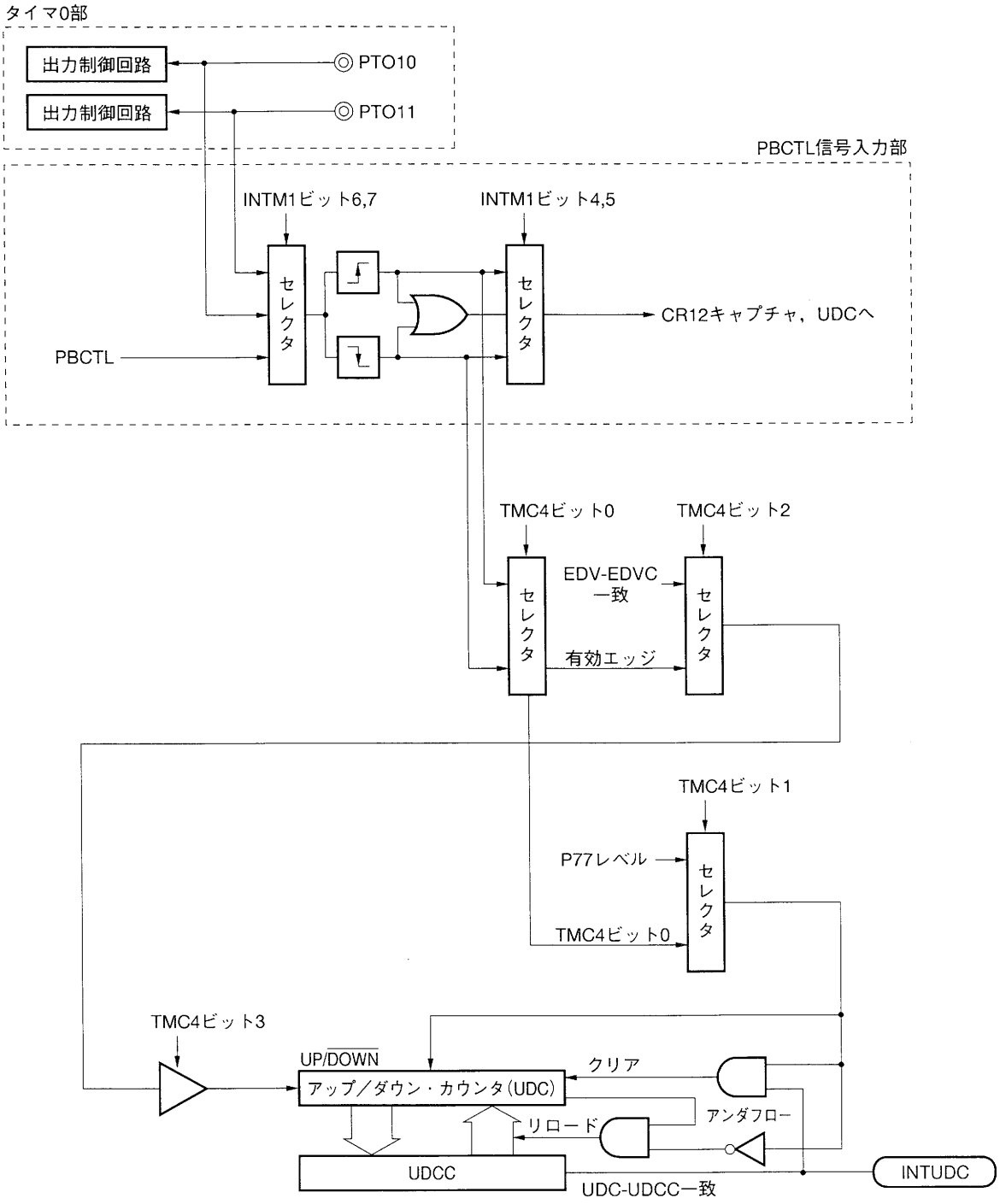
アップ／ダウン・カウンタ・ユニットは，5ビット・アンプ／ダウン・カウンタ（UDC）と5ビット・コンペア・レジスタ（UDCC）で構成されています。

コンペア一致時，割り込みを発生し，カウンタをクリアします。

アンダフロー時，割り込みを発生し，カウンタをコンペア・レジスタの値にプリセットします。

保守／廃止

図8-86　アップ／ダウン・カウンタのブロック図



8.9.2　アップ／ダウン・カウンタ・ユニットの動作

μPD784915のアップ／ダウン・カウンタは，PBCTL信号入力部の有効エッジまたはEDVC出力をカウントします。

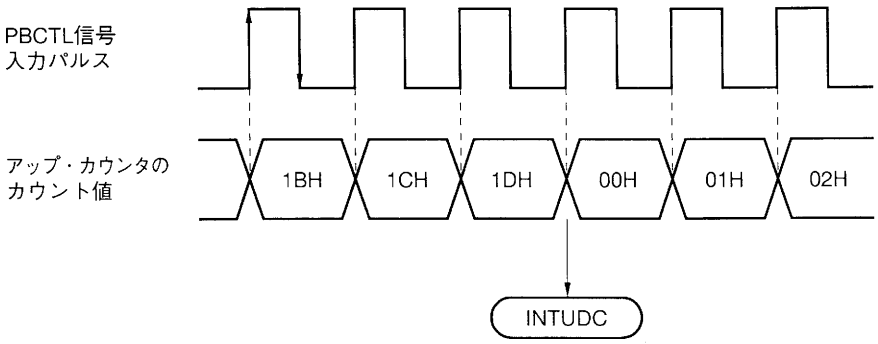
PBCTL信号入力部をカウント・ソースとして指定した場合，アップ・カウント時は，PBCTL信号入力部の立ち上がりエッジを，ダウン・カウント時はPBCTL信号入力部の立ち下がりエッジを有効エッジとして，カウントします。

コンペア一致時，割り込み(INTUDC)を発生し，カウンタをクリアします。アンダフロー時，割り込み（INTUDC）を発生し，カウンタをコンペア・レジスタの値－1にプリセットします。

アップ／ダウンのカウント指定は，TMC4レジスタのビット0，またはP77の端子入力で指定します。

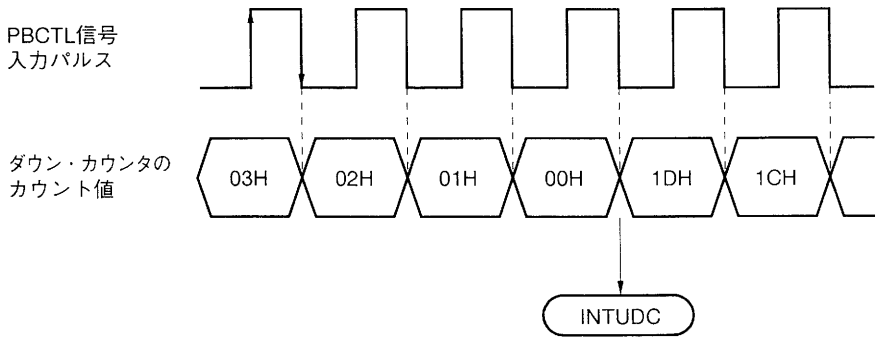
図8－87　アップ／ダウン・カウンタの動作タイミング
（6ビット・コンペア・レジスタ（UDCC）を1EHに設定した場合）

（1）アップ・カウント時



備考　TMC4のビット1（UDMOD）＝0かつTMC4のビット0（SELUD）＝1，または，TMC4のビット1（UDMOD）＝1かつP77＝1で設定。

（2）ダウン・カウント時



備考　TMC4のビット1（UDMOD）＝1かつTMC4のビット0（SELUD）＝0，または，TMC4のビット1（UDMOD）＝0かつP77＝0で設定。

8.9.3 アップ／ダウン・カウンタ・ユニット制御レジスタの設定

UDCユニットの動作は，次のレジスタで制御できます。

- INTM1：外部キャプチャ・モード・レジスタ1
- TMC4：タイマ・コントロール・レジスタ4

図8-88　外部キャプチャ・モード・レジスタ1（INTM1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	SEL111	SEL110	ES111	ES110	0	0	ES101	ES100	FFA1H	00H	R/W

ES101	ES100	CFG信号入力検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり　両エッジ

ES111	ES110	PBCTL信号入力部の入力検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり　両エッジ

SEL111	SEL110	PBCTL信号入力部の入力信号指定
0	0	アナログ・アンプ出力(PBCTL)注
0	1	PTO10端子出力信号
1	0	PTO11端子出力信号
1	1	設定禁止

注　アナログ・アンプ出力：CTLアンプ＋波形整形回路からの出力

図8-89　タイマ・コントロール・レジスタ4（TMC4）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC4	—	—	0	0	ENUDC	SELUDS	UDMOD	SELUD	FF3DH	××000000	R/W

SELUD	アップ／ダウン・カウンタのアップ／ダウン指定
0	ダウン・カウント
1	アップ・カウント

UDMOD	アップ／ダウン・カウンタのアップ／ダウン制御信号指定
0	SELUD（TMC4のビット0）でアップ／ダウン指定
1	P77（端子入力）でアップ・ダウン指定

SELUDS	アップ／ダウン・カウンタのカウント・ソース指定
0	PBCTL信号入力エッジ検出信号(INTM1のビット6，7で指定した信号)
1	EDV-EDVC一致信号

ENUDC	アップ／ダウン・カウンタの動作制御
0	アップ／ダウン・カウンタの動作禁止(カウントしない)
1	アップ／ダウン・カウンタの動作許可(カウントする)

8.9.4　アップ／ダウン・カウンタのVTRへの応用

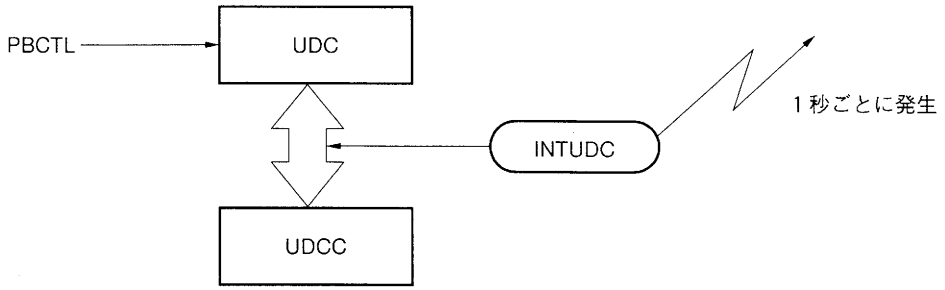
●リニア・テープ・カウンタへの応用

VHS方式のVTRの場合，PBCTL信号を分周し，カウントすることによって，リニア・テープ・カウンタを構成できます。

UDCのカウント・クロックにPBCTL信号を指定し，コンペア・レジスタ（UDCC）に分周比（NTSCの場合，30（1EH），PALの場合，25（19H））を設定します。これにより，PBCTL信号が入力されるたびに，UDCはカウント・アップまたはカウント・ダウンし，1秒ごとに割り込み（INTUDC）を発生します。このINTUDCをソフトウエアでカウントすれば，リニア・テープ・カウンタとなります。

8mm方式の場合は，PBCTL信号がないので，キャプスタンFG信号を分周（EDVC出力を使用）し，リニア・テープ・カウンタを構成します。

図8-90　リニア・テープ・カウンタへの応用例



保守／廃止

第9章　A/Dコンバータ

9.1　A/Dコンバータの機能

μPD784915は，12マルチプレクスト・アナログ入力（ANI0-ANI11）をもつアナログ／ディジタル（A/D）コンバータを内蔵しています。

変換方式は逐次比較で変換結果を8ビットのA/D変換結果レジスタ（ADCR）に保持します（変換時間10μs：f_{CLK}=8 MHz時）。

A/D変換の起動には次のモードがあります。

- ハードウエア・スタート：ハードウエア・トリガ注で変換開始
- ソフトウエア・スタート：A/Dコンバータ・モード・レジスタ(ADM)のビット設定により変換開始

また，起動後の動作には次のモードがあります。

- スキャン・モード：複数のアナログ入力を順次選択し，全端子からの変換データを得ます
- セレクト・モード：アナログ入力を1端子に固定し，連続的な変換データを得ます

なお，変換結果をADCRへ転送すると，割り込み要求INTADを発生します。このため，INTADをマクロ・サービスで処理することにより，変換結果をメモリへ連続的に転送することができます。

また，スキャン・モード時では，ADCRの値を読み出すまで次の端子のA/D変換開始を保留することができます。これにより，ほかの割り込み処理などによるタイミングのずれで変換結果を誤って読み出すことを防止できます。

注　ハードウエア・トリガとは次の一致信号のことであり，このうちの1つをトリガ・ソース選択レジスタ1（TRGS1：図**9-11**参照）で選択します。

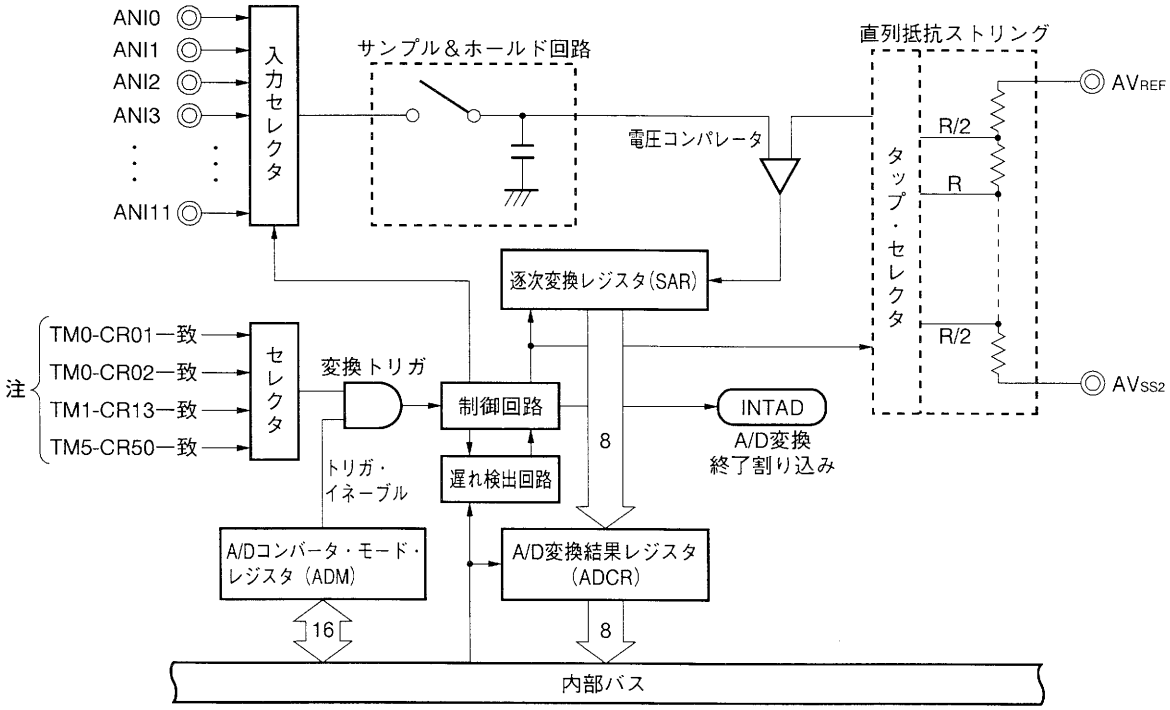
- TM0-CR01一致信号
- TM0-CR02一致信号
- TM1-CR13一致信号
- TM5-CR50一致信号

保守／廃止

9.2　ハードウエア構成

A/Dコンバータの構成を図９－１に示します。

図９－１　A/Dコンバータのブロック図



注　A/D変換開始トリガはトリガ・ソース選択レジスタ1（TRGS1）で選択します。

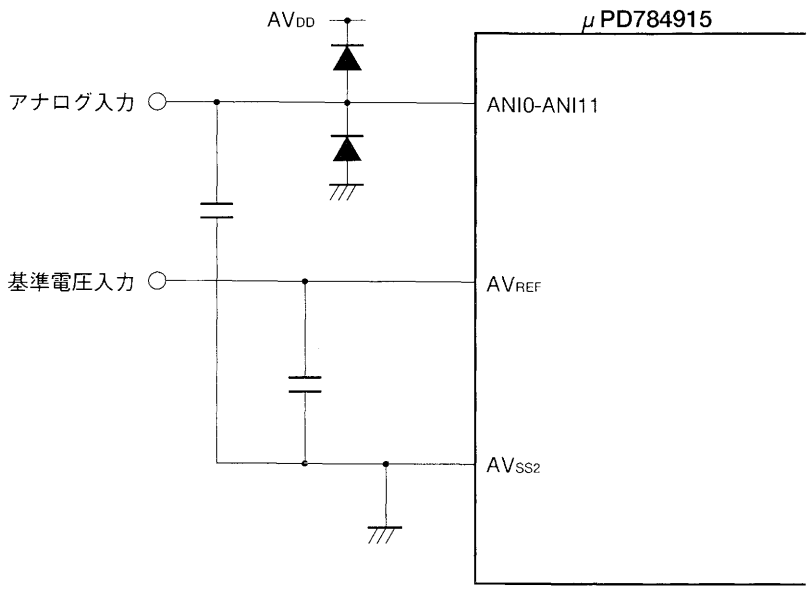
注意1.　アナログ入力端子（ANI0-ANI11）および基準電圧入力端子（AV_{REF}）には，ノイズによる誤動作を防ぐため，AV_{SS2}との間にキャパシタを接続してください。

2.　A/Dコンバータの入力端子として使用している端子には，AV_{SS2}-AV_{REF}の範囲外の電圧が加わらないようにしてください。

また，AV_{REF}以上，AV_{SS2}以下のノイズが入る可能性のある場合，V_Fの小さいダイオードでクランプしてください。

保守／廃止

図９－２　A/Dコンバータ用端子のキャパシタ接続例



(1) 入力回路

入力回路は，A/Dコンバータ・モード・レジスタ（ADM）の指定によりアナログ入力を選択し，動作モードに従ってアナログをサンプル＆ホールド回路へ送ります。

(2) サンプル＆ホールド回路

サンプル＆ホールド回路は，順次送られてくるアナログ入力を１つ１つサンプリングし，A/D変換中のアナログ入力を保持します。

(3) 電圧コンパレータ

電圧コンパレータは，アナログ入力と直列抵抗ストリングの電圧タップとの電圧差を比較します。

(4) 直列抵抗ストリング

直列抵抗ストリングは，アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは，A/Dコンバータ用の基準電圧端子（AV_{REF}）とA/Dコンバータ用のGND端子（AV_{SS2}）間に接続されています。２端子間を256の等価な電圧ステップにするため，等価な抵抗255個とその1/2の抵抗値の抵抗２個で構成されています。

直列抵抗ストリングの電圧タップは，SARで制御されるタップ・セレクタによって選択します。

(5) SAR (Successive Approximation Register)

SARは，直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを，最上位ビット（MSB）から１ビットずつ設定する８ビット・レジスタです。

SARの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARの内容（変換結果）はA/D変換結果レジスタ（ADCR）に保持されます。

(6) ADCR (A/D Conversion Result Register)

ADCRは，A/D変換結果を保持する８ビット・レジスタです。A/D変換が終了するたびに，SARから変換結果がロードされます。

$\overline{\text{RESET}}$入力により不定となります。

(7) 遅れ検出回路

遅れ検出回路は，選択されたアナログ入力を変換終了するまでに，直前に選択されていたアナログ入力のA/D変換結果の読み出しを行わなかったことを検出する回路です。

9.3　制御レジスタ

A/Dコンバータの動作は，A/Dコンバータ・モード・レジスタ（ADM）で制御します。

A/Dコンバータ・モード・レジスタ（ADM）は16ビット・レジスタで，16ビット単位でリード／ライトが可能です。また，下位８ビットは８ビット・レジスタのADMLとして，８ビット・アクセスおよび１ビット・アクセスが可能です。

図９-３にADMレジスタのフォーマットを示します。

保守／廃止

図９-３　A/Dコンバータ・モード・レジスタ（ADM）のフォーマット

	15	14	13	12	11	10	9	8	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM	0	0	0	0	0	0	0	ANIS3	CS	TRG	SCMD	FR	ANIS2	ANIS1	ANIS0	MS	FF68H	0000H	R/W
ADML									CS	TRG	SCMD	FR	ANIS2	ANIS1	ANIS0	MS			

ANIS3	ANIS2	ANIS1	ANIS0	MS	A/D変換動作モードの設定	ANIS3	ANIS2	ANIS1	ANIS0	MS	A/D変換動作モードの設定
0	0	0	0	0	ANI0入力をスキャン	0	0	0	0	1	ANI0入力をセレクト
0	0	0	1		ANI0, ANI1入力をスキャン	0	0	0	1		ANI1入力をセレクト
0	0	1	0		ANI0-ANI2入力をスキャン	0	0	1	0		ANI2入力をセレクト
0	0	1	1		ANI0-ANI3入力をスキャン	0	0	1	1		ANI3入力をセレクト
0	1	0	0		ANI0-ANI4入力をスキャン	0	1	0	0		ANI4入力をセレクト
0	1	0	1		ANI0-ANI5入力をスキャン	0	1	0	1		ANI5入力をセレクト
0	1	1	0		ANI0-ANI6入力をスキャン	0	1	1	0		ANI6入力をセレクト
0	1	1	1		ANI0-ANI7入力をスキャン	0	1	1	1		ANI7入力をセレクト
1	0	0	0		ANI8入力をスキャン	1	0	0	0		ANI8入力をセレクト
1	0	0	1		ANI8, ANI9入力をスキャン	1	0	0	1		ANI9入力をセレクト
1	0	1	0		ANI8-ANI10入力をスキャン	1	0	1	0		ANI10入力をセレクト
1	0	1	1		ANI8-ANI11入力をスキャン	1	0	1	1		ANI11入力をセレクト
上記以外					設定禁止	上記以外					設定禁止

FR	変換速度制御
0	低速モード（20 μs：f_{CLK}=8.0 MHz動作時）
1	高速モード（10 μs：f_{CLK}=8.0 MHz動作時）

SCMD	スキャン・モードの選択
0	スキャン・モード０（変換終了後，無条件に次の端子の変換を開始する）
1	スキャン・モード１（変換終了後，ADCRをリードするまで次の端子の変換を保留する）

TRG	ハードウエア・トリガの制御
0	ハードウエア・トリガにより変換を開始しない
1	ハードウエア・トリガにより変換を開始する

CS	A/D変換動作制御
0	A/D変換動作停止
1	A/D変換動作開始

注意　ビット０-ビット７はADMLとしてビット操作できます（ビット８はビット操作できません）。

9.4　A/Dコンバータの基本動作

(1) A/D変換動作手順

A/D変換は次のような手順で行います。

(a) A/Dコンバータ・モード・レジスタによって設定された動作モードに従って，アナログ入力端子（ANI0-ANI11）のうち1端子を入力セレクタにより選択します。

(b) 入力セレクタにより選択されたアナログ入力端子に入力されている電圧をサンプル＆ホールド回路でサンプリングします。

(c) 一定時間サンプリングを行うと，サンプル＆ホールド回路はホールド状態となり，入力されたアナログ電圧をA/D変換が終了するまで待ちます。

(d) SARの最上位ビット（ビット7）をセット（1）し，タップ・セレクタは，直列抵抗ストリングの電圧タップを（1/2）AV_{REF}にします。

(e) 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし，アナログ入力が（1/2）AV_{REF}よりも大きければ，SARのMSBをセット（1）したままです。また，もし（1/2）AV_{REF}よりも小さければ，MSBをリセット（0）します。

(f) 次にSARのビット6が自動的にセット（1）され，次の比較に移ります。ここではすでに結果がセットされているビット7の値によって，次に示すような直列抵抗ストリングの電圧タップが選択されます。

- ビット7＝1　…　(3/4) AV_{REF}
- ビット7＝0　…　(1/4) AV_{REF}

この電圧タップとアナログ入力電圧を比較し，その結果でSARのビット6が次のように操作されます。

- アナログ入力電圧≧電圧タップ：ビット6＝1
- アナログ入力電圧≦電圧タップ：ビット6＝0

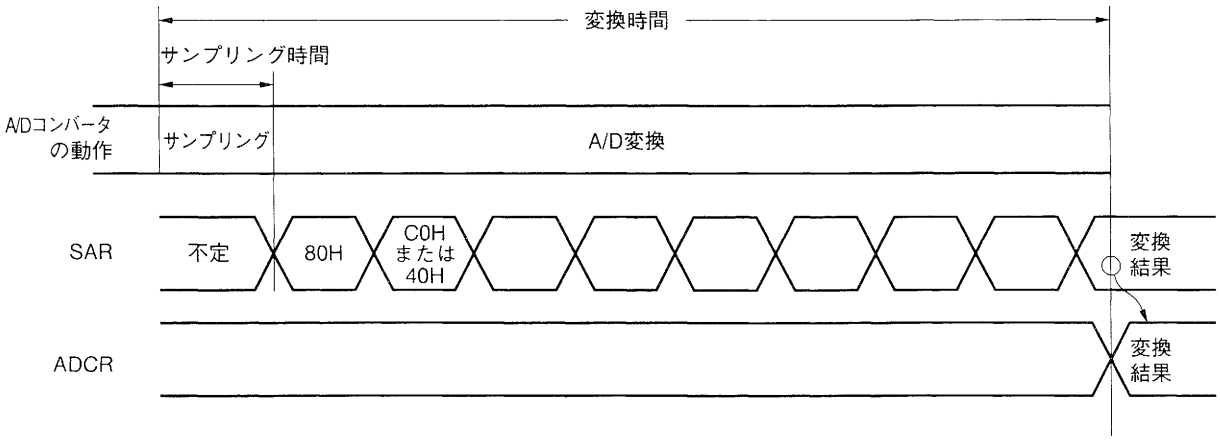
(g) このような比較をSARの最下位ビット（ビット0）まで続けます（バイナリ・サーチ法）。

(h) 8ビット・レジスタの比較が終了したとき，SARには有効なディジタルの結果が残り，その値がADCRレジスタに転送され，ラッチされます。

図9-4にタイミングを示します。

保守／廃止

図9-4　A/Dコンバータの基本動作



(2) 入力電圧と変換結果

アナログ入力端子（ANI0-ANI11）に入力されたアナログ入力電圧とA/D変換結果（ADCRに格納された値）には次式に示す関係があります。

$$ADCR = INT\left(\frac{V_{IN}}{AV_{REF}} \times 256 + 0.5\right)$$

または，

$$(ADCR - 0.5) \times \frac{AV_{REF}}{256} \leqq V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF}}{256}$$

備考　INT（　）：（　）内の値の整数部を返す関数

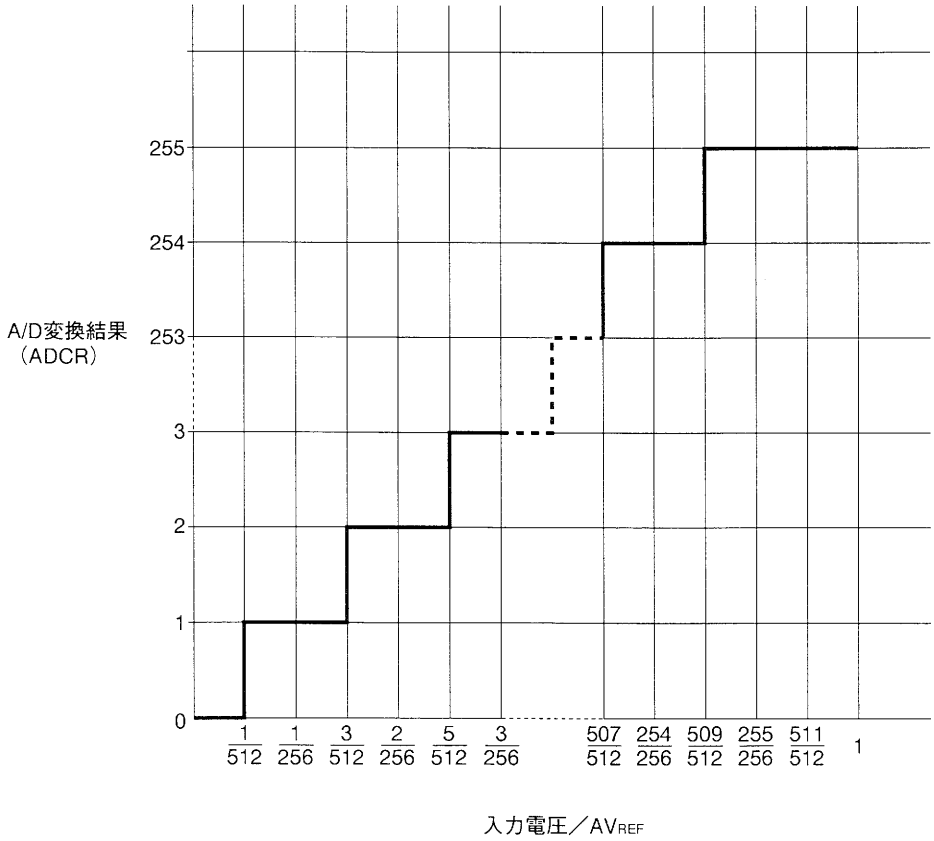
V_{IN}　：アナログ入力電圧

AV_{REF}　：AV_{REF}端子電圧

ADCR　：ADCRレジスタの値

図9-5にアナログ入力電圧とA/D変換結果の関係を示します。

図9-5　アナログ入力電圧とA/D変換結果の関係



9.5　A/Dコンバータの動作モード

A/Dコンバータの動作モードには，スキャン・モードとセレクト・モードがあります。各モードは，A/Dコンバータ・モード・レジスタ（ADM）のビット0（MS）の設定によって選択します。

また，ADMレジスタのビット5（SCMD）によりスキャンモード0，1の選択ができます。

各モードの動作はADMレジスタが書き換えられるまで続けられます。

9.5.1　セレクト・モード

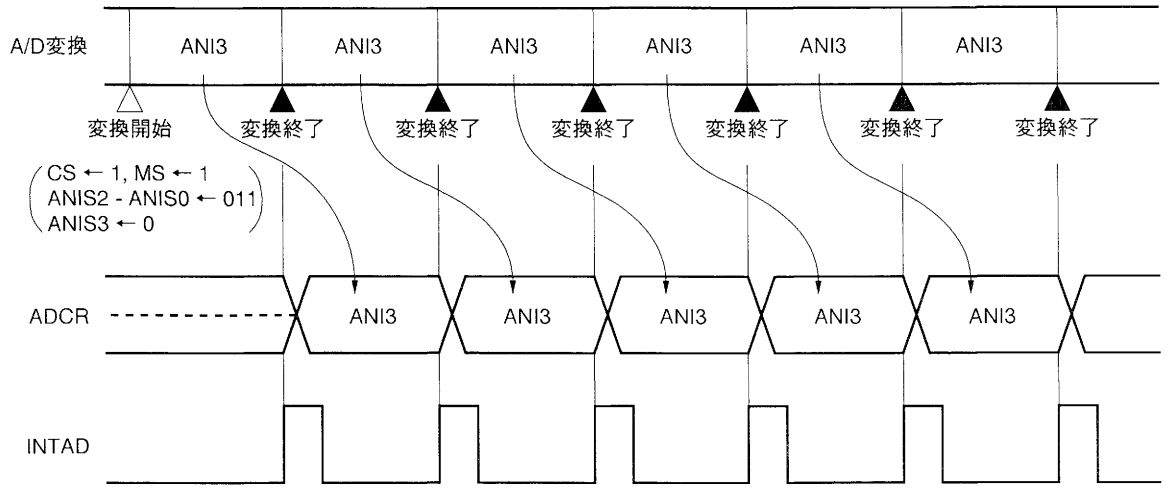
ADMレジスタのビット1-3（ANIS0-ANIS2）およびビット8（ANIS3）により1つのアナログ入力を選択し，指定されたアナログ入力端子のA/D変換結果をA/D変換結果レジスタ（ADCR）に格納します。

A/D変換を終了すると，A/D変換終了割り込み要求（INTAD）を発生します。

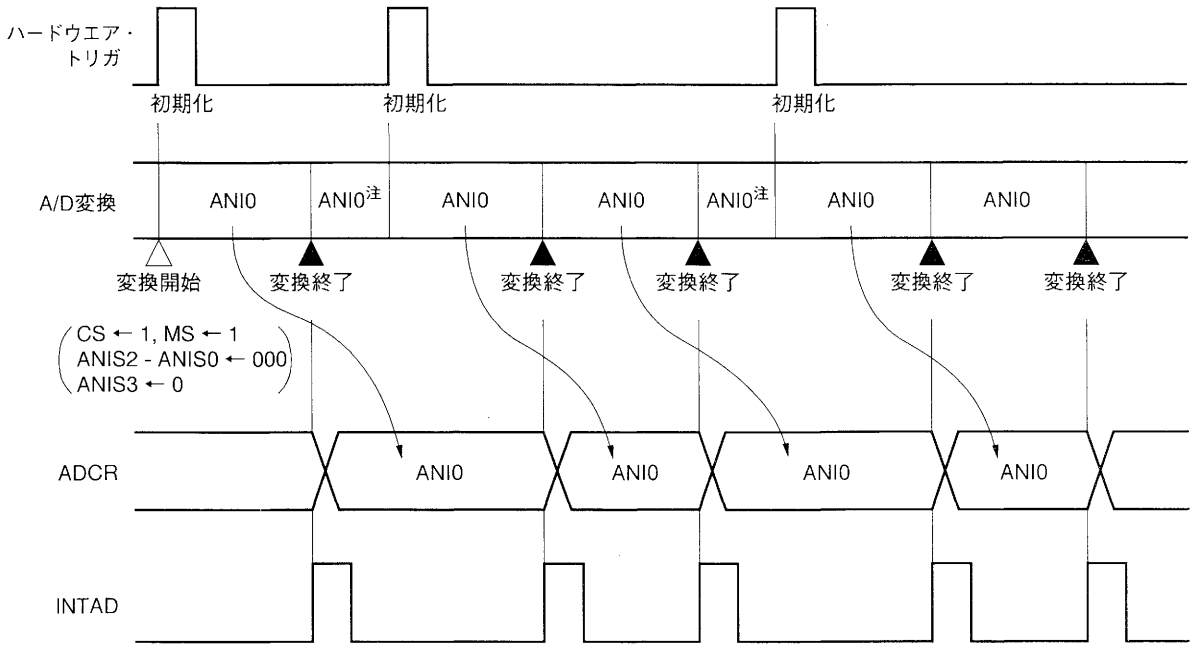
保守／廃止

図９－６　セレクト・モードの動作タイミング

（ａ）TRGビット ← 0



（ｂ）TRGビット ← 1



注　変換終了前に再度変換要求が発生したため，変換中止（破棄）

9.5.2　スキャン・モード

スキャン・モードには，CPUによるA/D変換結果の読み出しが遅れた（または，行われなかった）場合を考慮した遅延制御付きのスキャン・モード１と，遅延制御なしのスキャン・モード０の２つがあります。

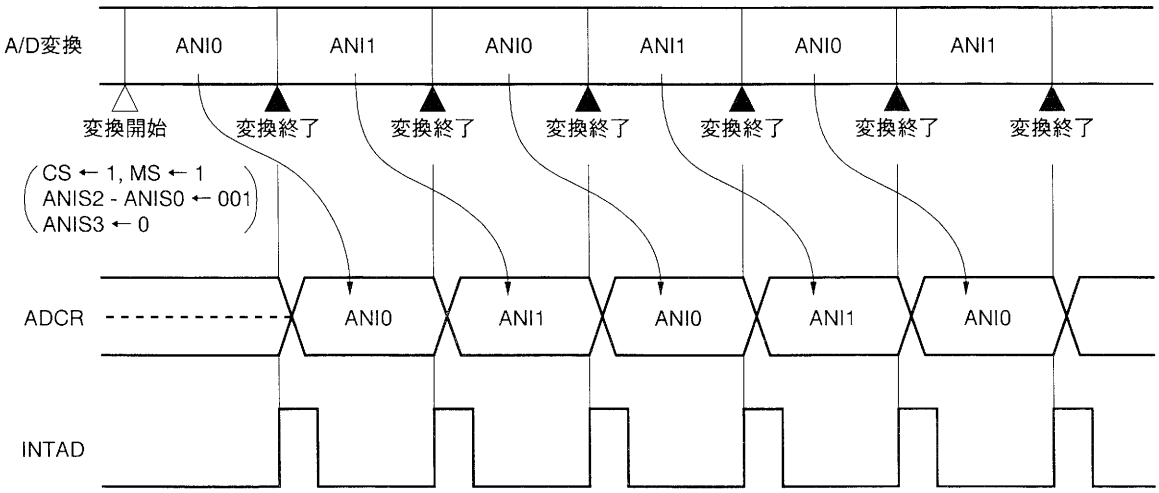
(1) スキャン・モード０（ADMレジスタのビット５（SCMD）＝０のとき）

A/Dコンバータ・モード・レジスタ（ADM）のビット１-３（ANIS0-ANIS2）およびビット８（ANIS3）により指定されたアナログ入力端子からの入力を順に選択し，変換します。

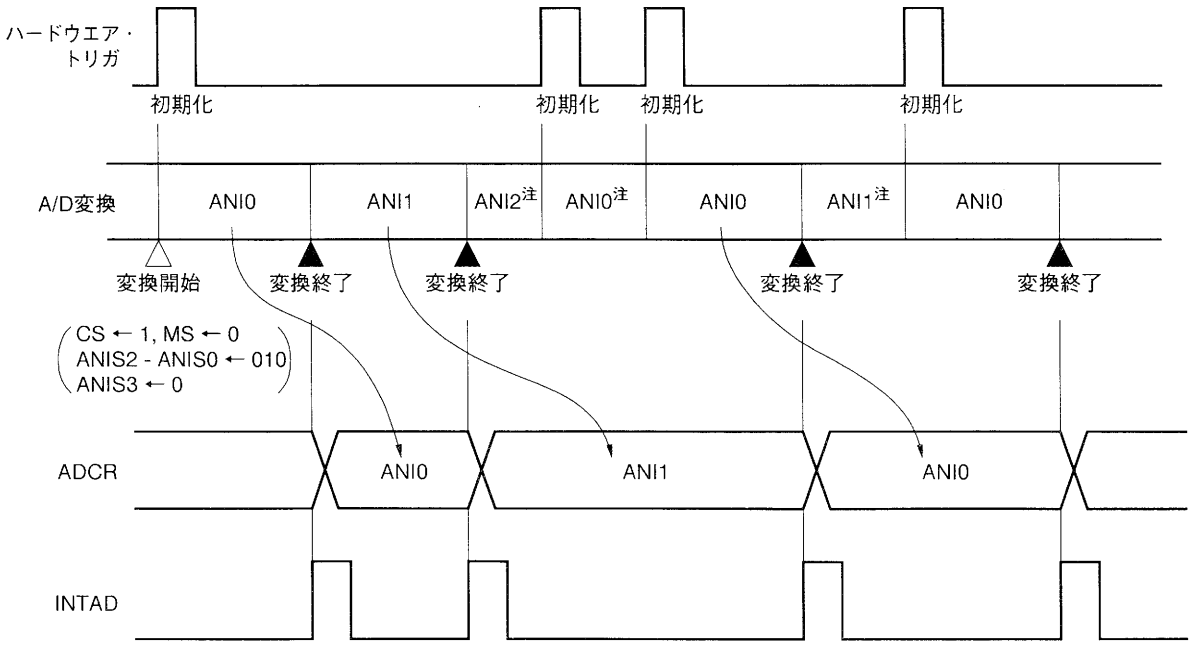
たとえば，ADMレジスタのANIS3-ANIS0＝0001のときは，ANI0とANI1が繰り返しスキャン（ANI0→ANI1→ANI0→ANI1）されます。スキャン・モードでは，各入力の変換動作が終了するごとに変換値はADCRレジスタに格納され，A/D変換終了割り込み要求（INTAD）を発生します。

図９-７　スキャン・モード０の動作タイミング

（a）TRGビット←0



（b）TRGビット←1



注　変換終了前に再度変換要求が発生したため，変換中止（破棄）

保守／廃止

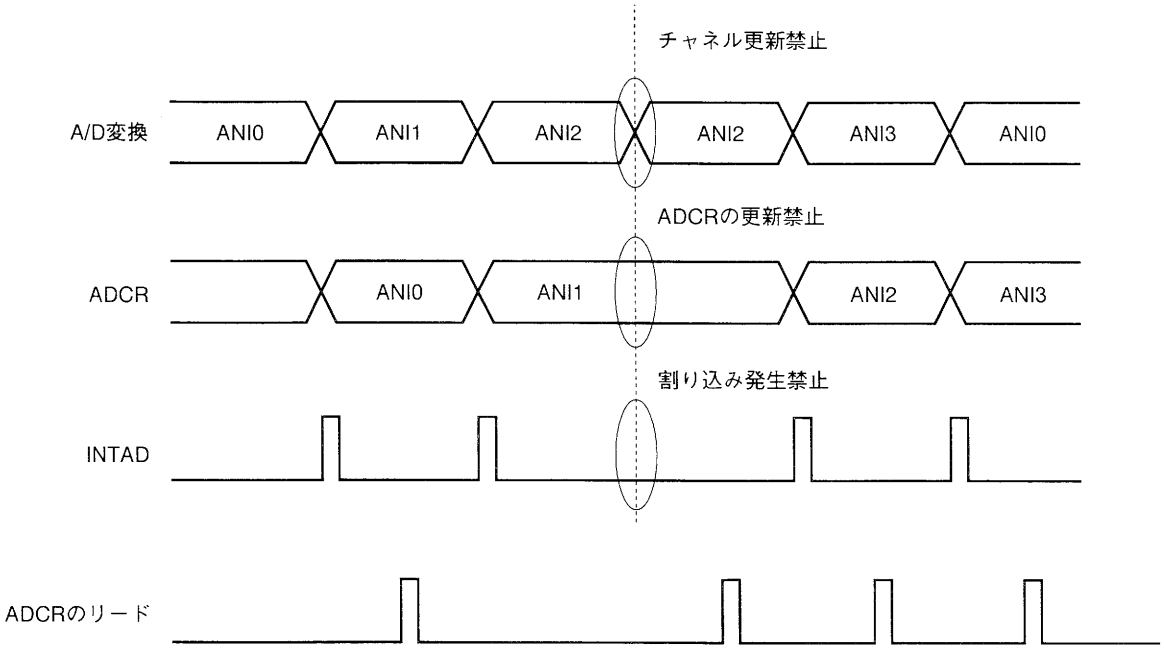
(2) スキャン・モード1（ADMレジスタのビット5（SCMD）＝1のとき）

A/Dコンバータ・モード・レジスタ(ADM)のビット1-3(ANIS0-ANIS2)およびビット8(ANIS3)により指定されたアナログ入力端子からの入力を順に選択し，変換します。

このとき，INTAD発生後，次のA/D変換終了までにCPUによるADCRの読み出しが遅れた（または行われなかった）場合には，INTADの発生，ADCRの更新，チャネルの更新をそれぞれ行わず，変換を再スタートします（図9-8参照）。

なお，CPUによるADCRの読み出しが遅れない場合はスキャン・モード0と同様な動作を行います。

図9-8　スキャン・モード1の動作タイミング



保守／廃止

9.6　ソフトウエア・スタートによるA/D変換動作の起動

ソフトウエアによるA/D変換動作のスタートは，ADMレジスタのTRGビットを0，CSビットを1とする値をADMレジスタへ書き込むことで行います。

A/D変換動作中(CSビット＝1)に，再度TRGビットが0でCSビットが1になるような値をADMレジスタに書き込むと，そのとき行っていたA/D変換動作を中断し，書き込まれた値に応じたA/D変換をただちに開始します。

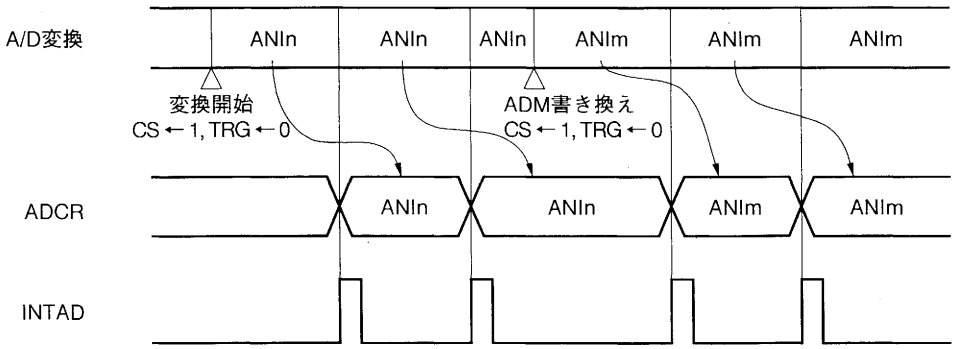
A/D変換動作モードが一度起動され，一回のA/D変換動作が終了すると，ADMレジスタで設定された動作モードに従ってただちに次のA/D変換動作を開始し，ADMレジスタに対する書き込み命令が実行されるまで繰り返し変換動作を続けます。

ソフトウエアによってA/D変換動作が起動された場合（TRGビット＝0)，ハードウエア・トリガの入力は，A/D変換動作に影響を与えません。

(1) セレクト・モードのA/D変換動作の場合

ADMレジスタで設定されたアナログ入力端子のA/D変換動作を起動します。A/D変換動作が終了すると，再度，同一アナログ入力端子のA/D変換動作を行います。A/D変換動作が終了するたびに割り込み要求INTADを発生します。

図9-9　ソフトウエア・スタートによるセレクト・モードのA/D変換動作



備考　n = 0 - 11, m = 0 - 11

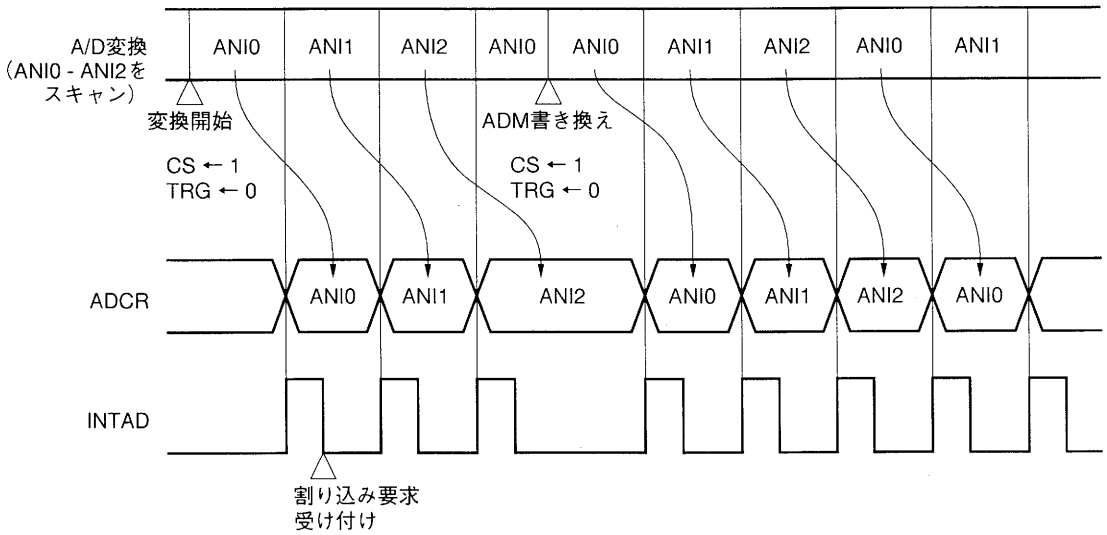
保守／廃止

(2) スキャン・モードのA/D変換動作の場合

変換動作が起動されると，ANI0端子入力のA/D変換動作を開始します(ANIS3ビット＝0, MSビット＝0のとき)。

A/D変換動作が終了すると，次のアナログ入力端子のA/D変換動作を開始します。また，A/D変換動作が終了するたびに，割り込み要求INTADを発生します。

図9－10　ソフトウエア・スタートによるスキャン・モードのA/D変換動作



9.7　ハードウエア・スタートによるA/D変換動作の起動

ハードウエアによるA/D変換動作のスタートは，ADMレジスタのTRGビットを1，CSビットを1とすることで可能となります。ADMレジスタのTRGビットを1，CSビットを1とすると外部信号の待機状態になり，TRGS1レジスタで選択したハードウエア・トリガが入力されるとA/D変換動作がスタートします。

A/D変換動作がハードウエア・トリガ入力によってスタートした後に，再度，ハードウエア・トリガが入力されると，そのとき行っていたA/D変換動作を中断し，ADMレジスタに設定されている内容に従ったA/D変換動作を最初から行います。

また，A/D変換動作中(CSビット＝1)に，再度TRGビットが1，CSビットが1になるような値をADMレジスタに書き込むと，そのとき行っていたA/D変換動作を中断し(待機状態も中断されます)，書き込まれた値に応じたA/D変換動作モードでハードウエア・トリガが入力されるのを待つ待機状態になり，ハードウエア・トリガ入力により変換動作をスタートします。

この機能を使用することにより，タイマ出力に同期したA/D変換を行うことができます。

A/D変換動作が一度起動され，一回のA/D変換が終了すると，ただちにADMレジスタで設定された動作モードに従って，次のA/D変換動作を開始します(トリガ入力を待ちません)。ADMレジスタに対する書き込み命令が実行されるか，再度ハードウエア・トリガが入力されるまで繰り返し変換動作を行います。

図9－11　トリガ・ソース選択レジスタ1（TRGS1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TRGS1	0	0	0	0	0	0	ADTRG1	ADTRG0	FF65H	00H	R/W

ADTRG1	ADTRG0	A/Dコンバータのハードウエア・トリガ指定
0	0	タイマ0－コンペア・レジスタ01一致信号
0	1	タイマ0－コンペア・レジスタ02一致信号
1	0	タイマ1－コンペア・レジスタ13一致信号
1	1	タイマ5－コンペア・レジスタ50一致信号

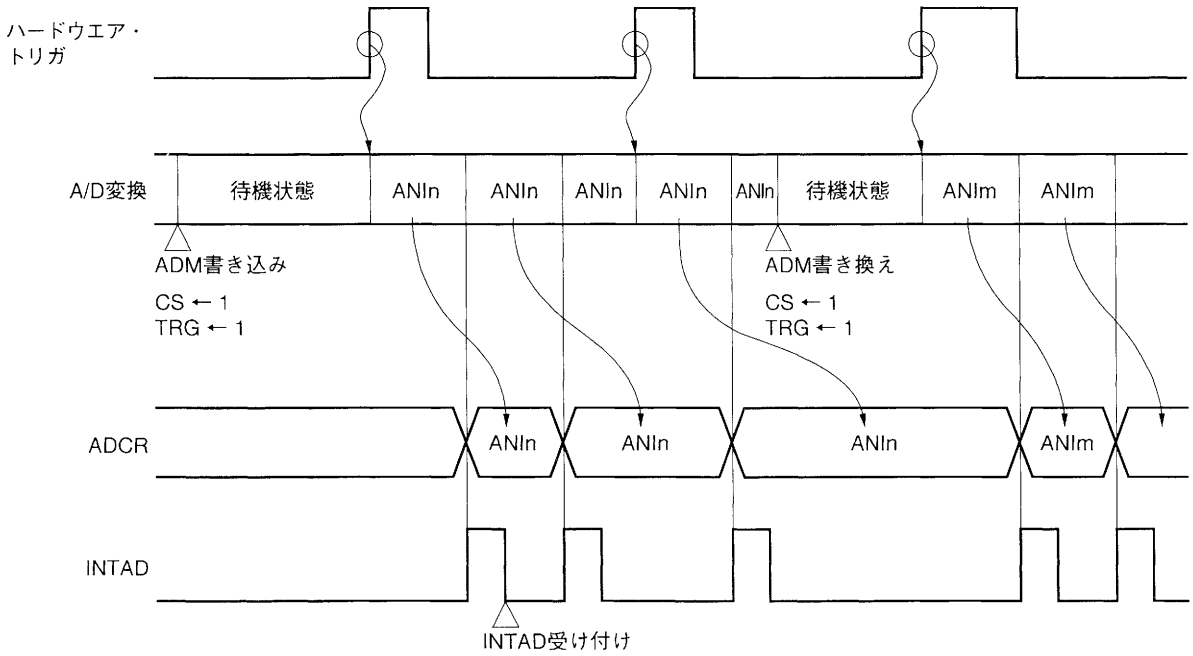
保守／廃止

(1) セレクト・モードのA/D変換動作の場合

ADMレジスタで設定されたアナログ入力端子のA/D変換動作を起動します。A/D変換動作が終了すると再度，同一アナログ入力端子のA/D変換動作をただちに行います。また，A/D変換動作が終了するたびに，割り込み要求INTADを発生します。

A/D変換動作中にハードウエア・トリガが入力されると，そのとき行っていたA/D変換動作を一度中断して，新たにA/D変換動作を開始します。

図9-12　ハードウエア・スタートによるセレクト・モードのA/D変換動作



備考　n = 0 - 11, m = 0 - 11

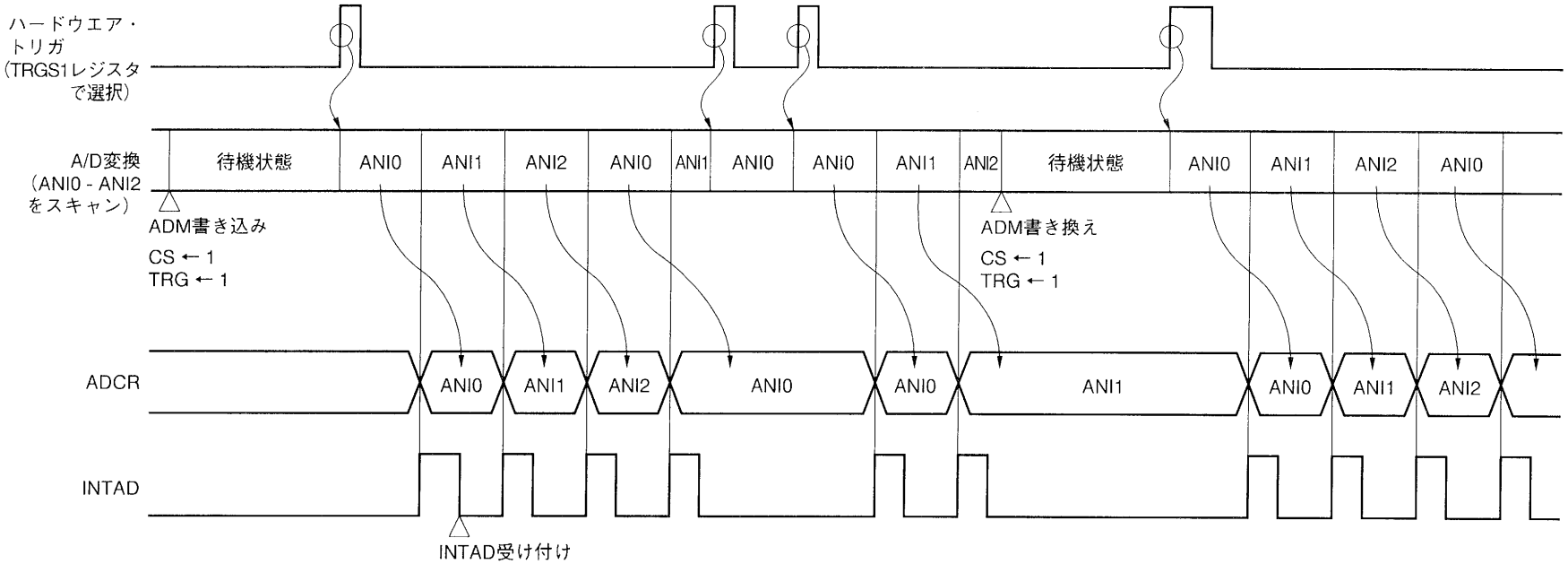
(2) スキャン・モードのA/D変換動作の場合

変換動作が起動されるとANI0端子入力のA/D変換動作を開始します(ANIS3ビット＝0，MSビット＝0のとき)。A/D変換動作が終了すると，次のアナログ入力端子のA/D変換動作を開始します。また，A/D変換動作が終了するたびに，割り込み要求INTADを発生します。

A/D変換動作中にハードウエア・トリガが入力されると，そのとき行っていたA/D変換動作を中断し，ANI0端子入力のA/D変換動作から新たに開始します。

保守／廃止

図９－13　ハードウエア・スタートによるスキャン・モードのA/D変換動作



9.8　注意事項

9.8.1　アナログ入力端子に印加する電圧範囲について

A/Dコンバータの入力端子ANI0/P70-ANI7/P77，ANI8-ANI11には，次のような注意事項があります。

(1) A/D変換動作中は，A/D変換の対象となっている端子には，AV_{SS2}-AV_{REF}の範囲外の電圧を印加しないでください。

(2) A/Dコンバータを使用していない（動作させていない）場合，A/Dコンバータ・モード・レジスタ（ADM）で選択された端子[注]には，AV_{SS2}-AV_{REF}の範囲外の電圧を印加しないでください。

注　ADMで選択された端子とは，次の端子をいいます。

- MSビット＝1　　：A/D変換動作させたときにA/D変換を行う端子。
- MSビット＝0，ANIS3＝0：ANI0
- MSビット＝0，ANIS3＝1：ANI8

なお，上記注意事項を守らない場合には，μPD784915が破壊する可能性があります。

特に，A/Dコンバータを使用しない場合で，AV_{REF}端子をV_{SS}レベルに固定した場合，$\overline{RESET}$入力後，ANI0端子が自動的に選択されますので，ANI0をV_{SS}レベルに固定するか，AV_{REF}端子をV_{DD}レベルにするかしてください。またANI0端子はAV_{REF}端子レベル以下にしてください。

保守／廃止

〔メ　モ〕

保守／廃止

第10章　VTR用アナログ回路

μPD784915は表10－1に示すVTR用アナログ回路を内蔵しています。

各アナログ回路の動作は，**10.2　制御レジスタ**に示すレジスタを設定することによりソフトウエアで行います。

スタンバイ・モード時など消費電流を低減する必要があるときには，アナログ回路を非動作に（AMPCレジスタを01Hに設定）してください。

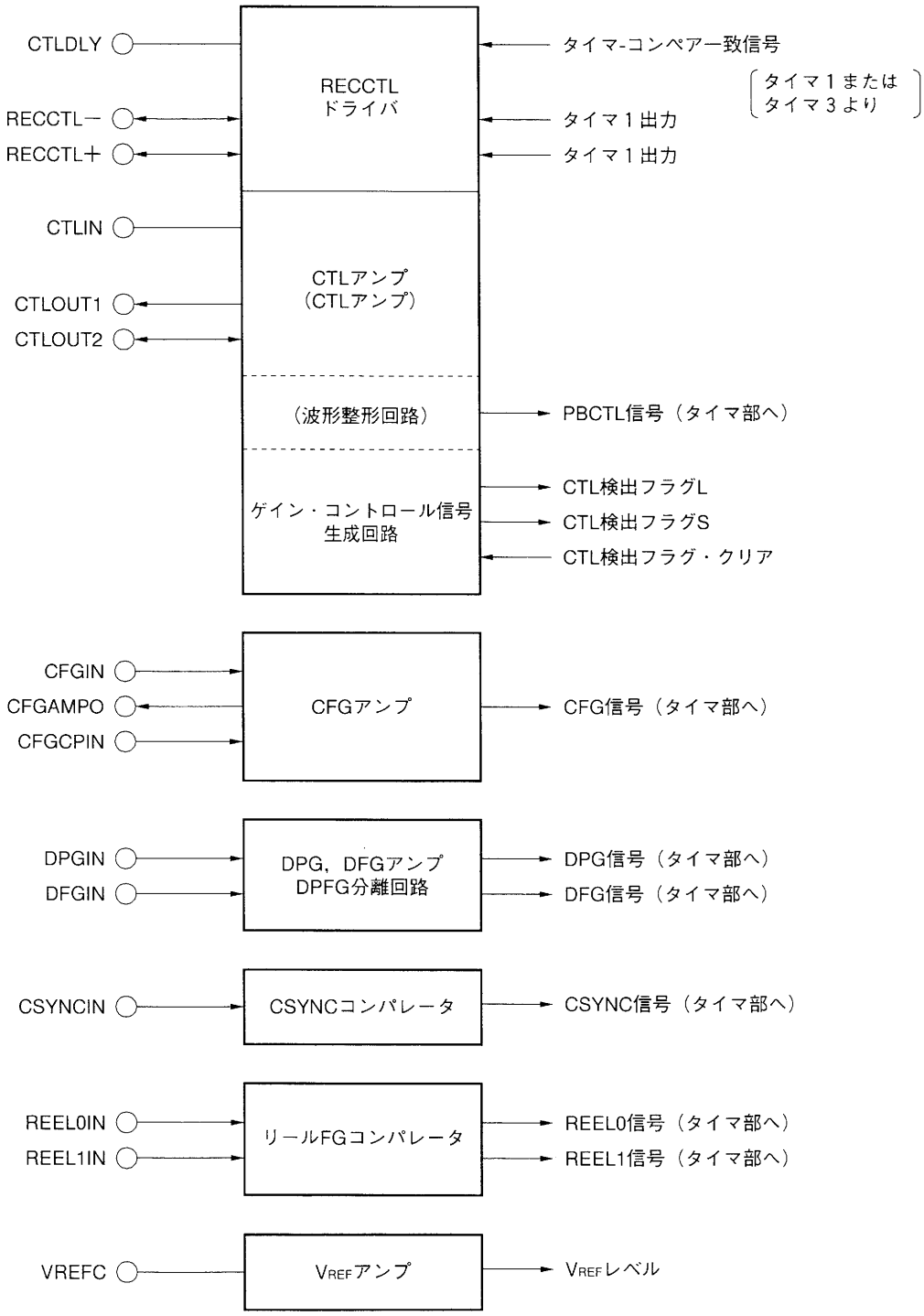
表10－1　VTR用アナログ回路

名称	入力端子	出力端子	制御端子	用途
CTLアンプ RECCTLドライバ	RECCTL+ RECCTL− CTLOUT2	RECCTL+ RECCTL− CTLOUT1 CTLOUT2	CTLIN CTLDLY	PBCTL信号の増幅 RECCTL信号の出力
DPFG分離回路	DFGIN	—	—	DFPG信号をDPG，DFG信号に分離
DFGアンプ		—	—	DFG信号の増幅
DPGコンパレータ	DPGIN	—	—	DPG信号の増幅
CFGアンプ	CFGIN CFGCPIN	CFGAMPO	—	CFG信号の増幅
COMPSYNCコンパレータ	CSYNCIN	—	—	COMPSYNC信号の増幅
リールFGコンパレータ （2チャネル）	REEL0IN REEL1IN	—	—	リールFG信号の増幅
レファレンス・アンプ	—	—	VREFC	基準電圧の生成

10.1　ハードウエア構成

図10－1にアナログ回路の構成を示します。

図10－1　アナログ回路のブロック図



10.2　制御レジスタ

アナログ回路の動作を制御するレジスタには，次の５つがあります。

① アンプ・コントロール・レジスタ（AMPC　：図10－2参照）
② アンプ・モード・レジスタ０　　（AMPM0：図10－3参照）
③ アンプ・モード・レジスタ１　　（AMPM1：図10－4参照）
④ タイマ１出力モード・レジスタ　（TOM1　：図10－5参照）
⑤ ゲイン・コントロール・レジスタ（CTLM　：図10－6参照）

図10－2　アンプ・コントロール・レジスタ（AMPC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
AMPC	0	ENREEL	ENCSYN	ENCOMP	ENCAP	ENDRUM	ENCTL	LGCBUF	FF94H	00H	R/W

LGCBUF	ロジック入力バッファの動作指定
0	通常動作モード（ロジック入力バッファ動作）
1	低消費電力モード（ロジック入力バッファ停止）

ENCTL	CTLアンプの制御
0	CTLアンプを使用しない
1	CTLアンプを使用する

ENDRUM	DPGコンパレータ，DFGアンプ，3値分離回路の制御
0	上記のいずれも使用しない
1	上記すべてまたはいずれかを使用する

ENCAP	CFGアンプの制御
0	CFGアンプを使用しない
1	CFGアンプを使用する

ENCOMP	波形整形回路の制御
0	波形整形回路を使用しない
1	波形整形回路を使用する

ENCSYN	CSYNCコンパレータの制御
0	CSYNCコンパレータを使用しない
1	CSYNCコンパレータを使用する

ENREEL	リールFGコンパレータの制御
0	リールFGコンパレータを使用しない
1	リールFGコンパレータを使用する

注意　ビット7には必ず0を設定してください。

図10-3　アンプ・モード・レジスタ0（AMPM0）のフォーマット

	⑦	⑥	5	4	③	2	①	0	アドレス	リセット時	R/W
AMPM0	ENREC	FLGCLR	SELCTLD	PBAMPIN	CTLFLGS	SELPGSEPA	CTLFLGL	AMPCHAG	FF95H	00H	R/W

R/W

AMPCHAG	入力カップリング・コンデンサのチャージ指定注1
0	通常動作（チャージしない）
1	チャージする

R

CTLFLGL	CTL検出フラグL（振幅大）
0	CTL検出せず（CTLピーク＜検出用基準レベル大）
1	CTL検出した（CTLピーク＞検出用基準レベル大）

R/W

SELPGSEPA	3値分離回路／DPG, DFGアンプの選択
0	3値分離回路を使用する
1	DPG，DFGアンプを使用する

R

CTLFLGS	CTL検出フラグS（振幅小）
0	CTL検出せず（CTLピーク＜検出用基準レベル小）
1	CTL検出した（CTLピーク＞検出用基準レベル小）

R/W

PBAMPIN	CTLアンプ入力とRECCTL±端子の接続制御注2
0	CTLアンプ入力とRECCTL±端子を切り離す
1	CTLアンプ入力とRECCTL±端子を接続

R/W

SELCTLD	CTLDLYの抵抗の接続制御
0	内蔵抵抗使用
1	外付け抵抗使用

R/W

FLGCLR	CTL検出フラグ初期化フラグ 1をライトするとCTL検出フラグを初期化する リードすると常に0が読める

R/W

ENREC	RECCTLドライバの動作制御
0	RECドライバOFF(RECCTL端子はHi-Z)
1	RECドライバON(RECモード，再書き込みモード)

注1.　CFGIN, DPGIN, DFGIN, CSYNCIN, REEL0IN, REEL1INの各端子は，AMPCHAG＝1にすることにより各端子に接続している入力カップリング・コンデンサをチャージします。AMPCHAG＝1の設定は，AMPCレジスタおよびSELPGSEPAビット（AMPM0.2）の設定後に実行してください。チャージに要する時間はコンデンサの容量により異なります。チャージ完了後は，AMPCHAG＝0（通常動作）に設定してください。

2.　ビット4の設定は，ビット7＝0のときのみ有効です。

図10－4　アンプ・モード・レジスタ1（AMPM1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
AMPM1	SELBIAS	0	SELCTL01	SELCTL00	0	0	0	0	FF96H	00H	R/W

SELCTL01	SELCTL00	波形整形回路出力の選択
0	0	RS-FF出力
0	1	ハイ側コンパレータ出力
1	0	ロウ側コンパレータ出力の反転信号
1	1	設定禁止

SELBIAS	CSYNCINのバイアス制御
0	V_{REF}レベルにバイアスする
1	バイアスしない

注意　ビット0－ビット3には必ず0を設定してください。

保守／廃止

図10-5　タイマ1出力モード・レジスタ（TOM1）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TOM1	DRVMOD	SEL13	SEL11	SEL30	MOD111	MOD110	MOD101	MOD100	FF5AH	80H	R注/W

R/W

MOD101	MOD100	PTO10出力モード指定
0	0	汎用出力モード
0	1	設定禁止
1	0	遅延パルス出力モード1
1	1	遅延パルス出力モード2

W

MOD111	MOD110	PTO11出力モード指定
0	0	汎用出力モード
0	1	設定禁止
1	0	遅延パルス出力モード1
1	1	遅延パルス出力モード2

W

SELmn	RECCTL書き込み回路の動作トリガ設定
0	TMm-CRmn一致信号をトリガとして選択しない
1	TMm-CRmn一致信号をトリガとして選択する

W

DRVMOD	RECCTL書き込み回路の動作モード設定
0	RECモード
1	再書き込みモード

注　TOM1レジスタをリードすると，下位2ビット（MOD100，MOD101ビット）でRECCTLドライバの書き込みシーケンスを読み出すことができます。上位6ビットはリードしても不定となります。

図10-6　ゲイン・コントロール・レジスタ（CTLM）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CTLM	0	0	CTLLOW	CTLGAIN4	CTLGAIN3	CTLGAIN2	CTLGAIN1	CTLGAIN0	FF97H	00H	R/W

CTLGAIN4	CTLGAIN3	CTLGAIN2	CTLGAIN1	CTLGAIN0	CTLアンプのゲイン注1
0	0	0	0	0	20 dB（最小）
0	0	0	0	1	21.78 dB
⋮	⋮	⋮	⋮	⋮	約1.78 dB間隔で32通り設定可能
1	1	1	1	1	75 dB（最大）

CTLLOW	CTLアンプの動作注2
0	CTLGAIN0-CTLGAIN4で指定したゲインで動作
1	CTLアンプのゲイン＝1

注1. CTLアンプのゲインは，ビット0-ビット4の設定でのみ変化します。
CTLアンプのゲイン設定は，ENCTL（AMPC.1）＝1かつCTLLOW（CTLM.5）＝0のときのみ有効です。

2. ビット5の設定は，ENREC（AMPM0.7）＝0のときのみ有効です。

注意　ビット7には必ず0を設定してください。

保守／廃止

10.3　CTLアンプ，RECCTLドライバ

図10－7にCTLアンプ，RECCTLドライバの構成を示します。

CTLアンプは，VTRテープに記録されているCTL信号を再生した再生コントロール信号(PBCTL信号)の増幅に使用します。

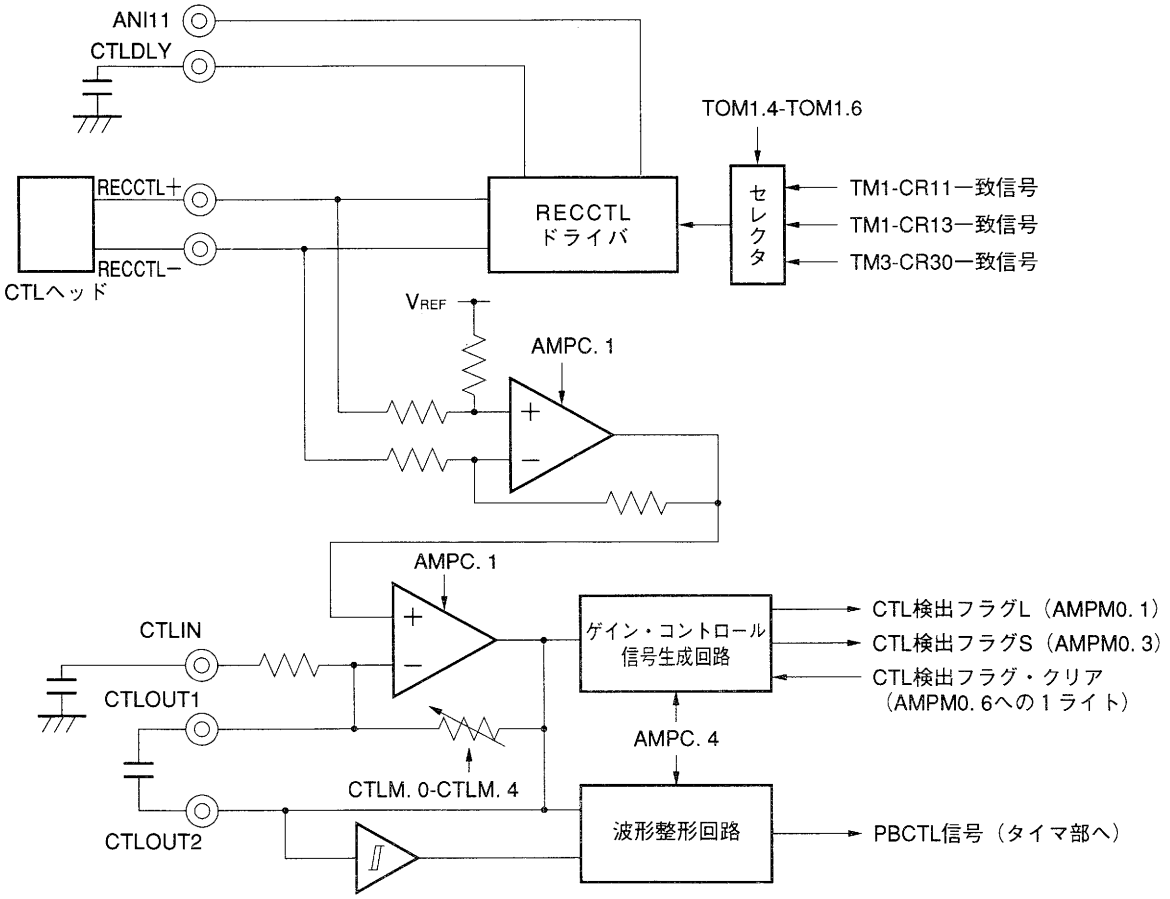
CTLアンプのゲイン設定は，ゲイン・コントロール・レジスタ（CTLM）によって行います。32通りのゲイン設定が可能で，1ステップは約1.78 dBで変化します（**表10－2**参照)。

プログラムによる最適ゲイン制御を行うため，アンプ出力の状態を監視するゲイン・コントロール信号生成回路を内蔵しています。

CTLアンプ出力はマイコン内部で波形整形回路に接続されており，CTLアンプの出力を矩形波に整形したあと，PBCTL信号としてスーパ・タイマ・ユニットに入力します。

RECCTLドライバは，スーパ・タイマ・ユニットからのタイマ出力（TOM1レジスタにより選択）をトリガとして，RECCTL±端子の出力状態を変化させます。RECCTL±端子の出力モードには，RECモード(テープにCTL信号を書き込む)と，再書き込みモード(テープ上にすでに記録されているCTL信号のデューティ比を書き換える）の2つのモードがあります。

図10－7　CTLアンプ，RECCTLドライバ



10.3.1　CTLアンプ

CTLアンプは２つのオペアンプで構成されています。１段目のアンプは20 dB固定で，ゲインの調整は２段目のアンプのゲインを切り替えることにより行います。

①　CTLアンプのゲイン設定

CTLアンプのゲイン設定は，ゲイン・コントロール・レジスタ（CTLM）のビット０-ビット４で行います。

通常再生時はENCTL（AMPC.1）＝1，PBAMPIN（AMPM0.4）＝1として，CTLアンプ入力とRECCTL±端子を接続してください。

表10－２に設定値とゲインの関係を示します。

表10－２　CTLMレジスタの設定とCTLアンプのゲイン

CTLMレジスタ					CTLアンプのゲイン
CTLGAIN4	CTLGAIN3	CTLGAIN2	CTLGAIN1	CTLGAIN0	
0	0	0	0	0	20 dB（最小）
0	0	0	0	1	約21.78 dB
⋮	⋮	⋮	⋮	⋮	約1.78 dBの間隔で32通り設定可能
1	1	1	1	1	75 dB（最大）

注意1.　CTLMレジスタによるCTLアンプのゲイン設定が有効になるのは，ENCTL（AMPC.1）＝1かつCTLLOW（CTLM.5）＝0のときです。

2.　CTL信号入力直後のゲイン設定の変更は避けてください。

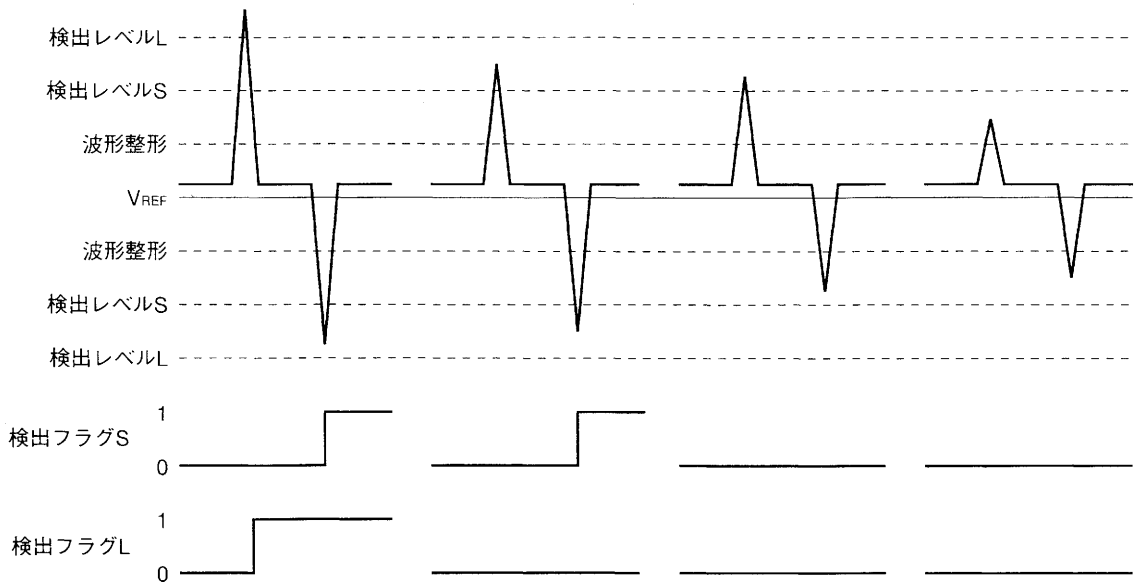
②　ゲイン・コントロール信号生成回路によるCTLアンプの最適ゲインの制御

ゲイン・コントロール信号生成回路は，CTLアンプ出力の振幅状態を判定するCTL検出フラグを生成する回路です。

CTL検出フラグは検出レベルの違いにより，CTL検出フラグSとCTL検出フラグLの２種類があります。この２つの検出フラグは，それぞれ検出レベルS，検出レベルLとCTLアンプ出力の比較結果により状態を決定します。

CTLアンプ出力とそれぞれの検出レベル，検出フラグとの関係を図10－８に示します。

図10－8　CTLアンプ出力と検出レベル，検出フラグの関係



CTL検出フラグS，Lのクリアは，FLGCLR(AMPM0.6)に1をライトすると，両フラグとも同時にクリアすることができます。

上記のCTL検出フラグS，Lを用いて，CTLアンプのゲインの最適化を図ることができます。

CTL検出レベルSとCTL検出レベルLの間にCTLアンプ出力のピークがくるように，CTLアンプのゲインをソフトウエアで調整します。

CTL信号が入力する前にCTL検出フラグをクリアしておきます。CLT信号が入力したあと(入力すべき時間経過後)，CTL検出フラグをリードします。

CTL検出フラグのリード値とCTLアンプのゲイン指定の関係は，表10－3に示すようになります。

表10－3　CTL検出フラグのリード値とCTLアンプのゲイン指定の関係

CTL検出フラグのリード値		判　定	CTLアンプのゲイン指定
フラグL	フラグS		
1	1	ゲインが大きい	現在のゲインよりも低くする
0	1	最適ゲイン	変更しない
0	0	ゲインが小さい	現在のゲインよりも高くする

③ **CTLアンプのゲインを１倍に固定したい場合**

CTLアンプのゲインを１倍に固定したい場合は，CTLLOW（CTLM.5）＝1に設定してください。これにより，PLAYからRECへの切り替え時などに発生する可能性のあるノイズ対策が可能です。

CTLLOWビットの設定は，ENREC（AMPM0.7）＝0のときのみ有効になります。

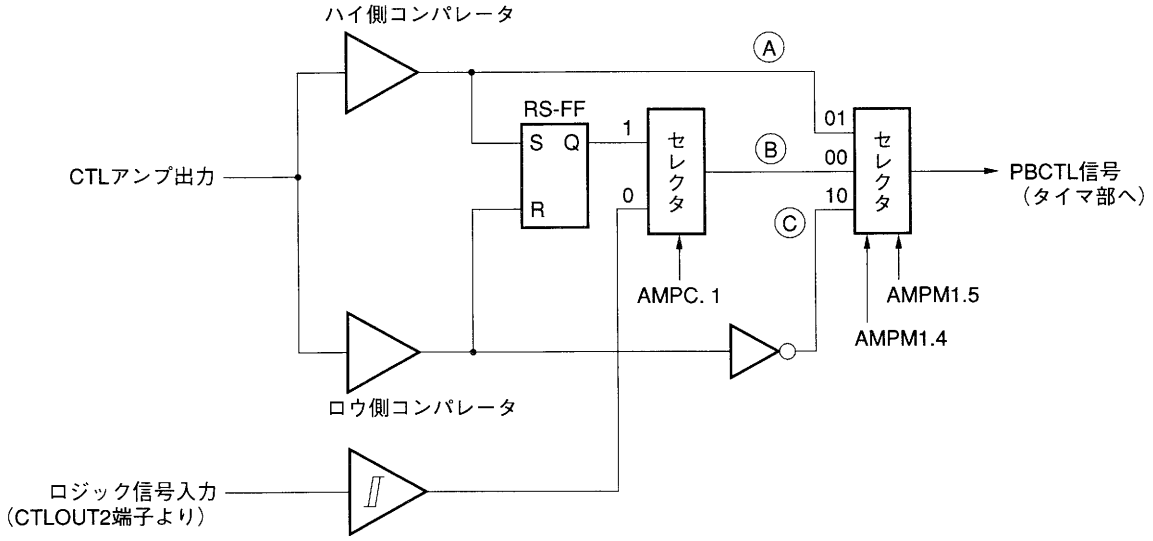
10.3.2　波形整形回路

波形整形回路は，CTLアンプの出力を矩形波（ロジック信号）に整形します。

波形整形回路の構成を図10－９に示します。

波形整形回路の出力は，表10－４に示すように３種類の中から選択できるようになっており，ここで選択した信号がPBCTL信号としてタイマ部へ供給されます。

★ **図10－９　波形整形回路**



★ 表10－4　波形整形回路の出力選択

AMPM1	SELCTL01	0	0	1	1
	SELCTL00	0	1	0	1
CTLアンプ出力					設定禁止
波形整形回路出力		Ⓐ	Ⓑ	Ⓒ	

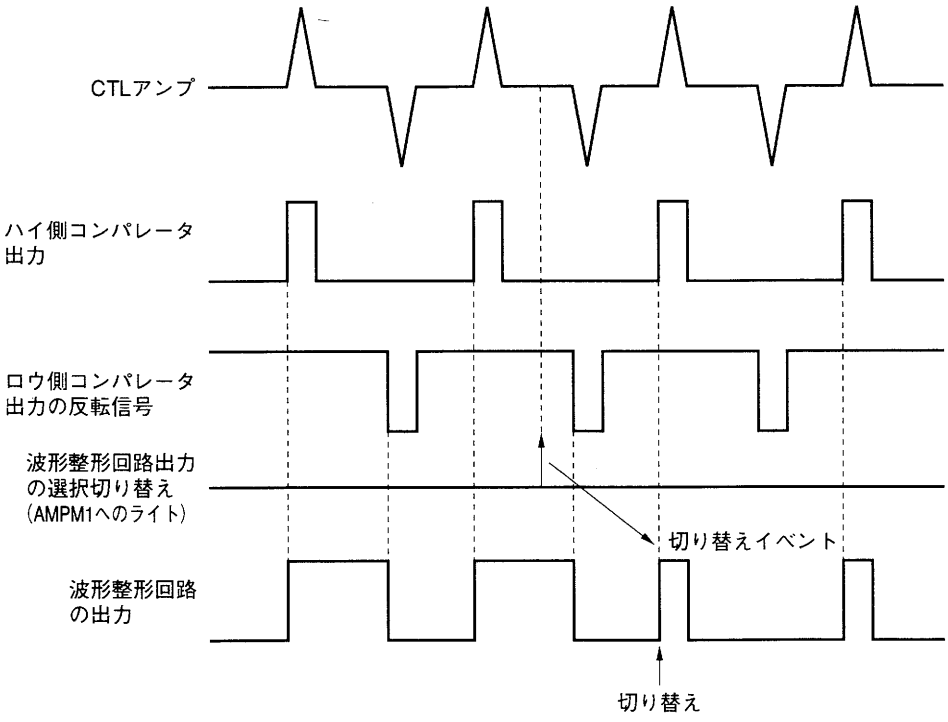
注意　波形整形回路の出力選択を切り替える場合，選択を変更するためにアンプ・モード・レジスタ1（AMPM1）にライトしたあとに，表10－5に示す有効エッジ（切り替えイベント）が入力される前に，再びAMPM1にデータをライトしないでください。切り替え動作が正常に行われない場合があります。

★ 表10－5　波形整形回路の出力選択切り替えイベント

切り替え方向		切り替えイベント
Ⓐ→Ⓑ	RS-FF出力→ハイ側コンパレータ出力	ハイ側コンパレータ出力の立ち上がりエッジ
Ⓑ→Ⓐ	ハイ側コンパレータ出力→RS-FF出力	
Ⓒ→Ⓑ	ロウ側コンパレータ出力の反転信号→ハイ側コンパレータ出力	
Ⓐ→Ⓒ	RS-FF出力→ロウ側コンパレータ出力の反転信号	ロウ側コンパレータ出力の反転信号の立ち下がりエッジ
Ⓒ→Ⓐ	ロウ側コンパレータ出力の反転信号→RS-FF出力	
Ⓑ→Ⓒ	ハイ側コンパレータ出力→ロウ側コンパレータ出力の反転信号	

★ 図10－10　波形整形回路の出力選択切り替えタイミング例

・RS-FF出力→ハイ側コンパレータ出力（Ⓐ→Ⓑ）の切り替え動作タイミング



10.3.3　CTLアンプのバイパス

CTLアンプに外部でロジック・レベルまで整形されたPBCTL信号を入力する場合は，CTLアンプをバイパスします。

ロジック信号はCTLOUT2端子に入力してください。

各モード・レジスタは表10－6のように設定してください。

表10－6　ロジック信号入力時のモード・レジスタの設定

レジスタ	設定内容
AMPC	ENCTL（ビット1）=0
AMPM1	SELCTL00（ビット4）=0 SELCTL01（ビット5）=0

10.3.4　RECCTLドライバ

RECCTLドライバは，VTRテープ上にコントロール信号を書き込むための回路です。

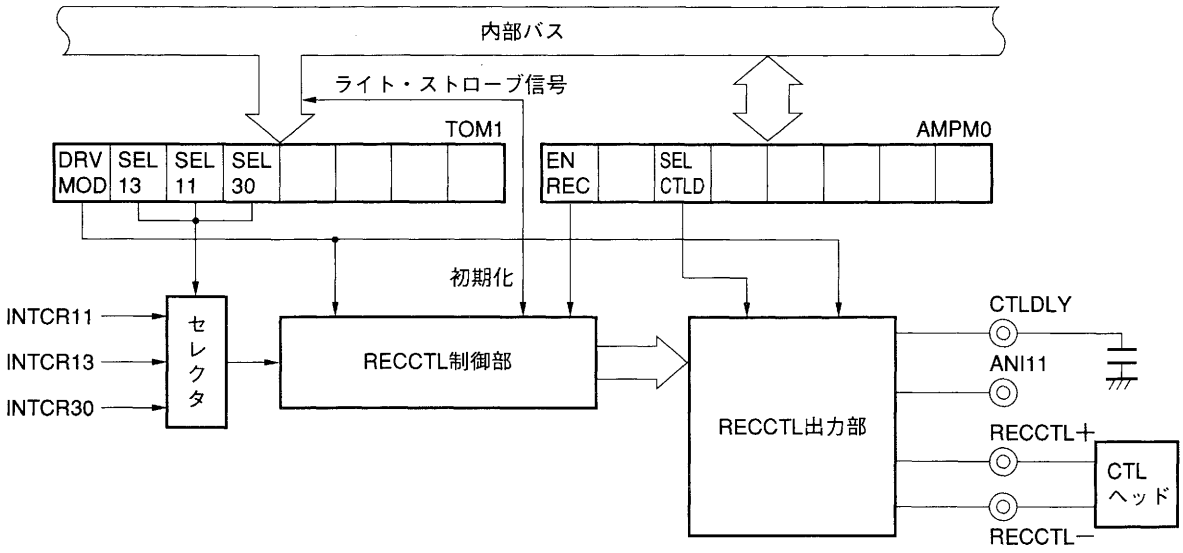
RECCTLドライバの動作は，録画時に使用するRECモードと，VISS信号の書き換え時に使用する再書き込みモードがあります。

(1) RECCTLドライバの構成

図10－11にRECCTLドライバの構成を示します。

RECCTLドライバは，RECCTL出力部とRECCTL制御部で構成されています。

図10－11　RECCTLドライバのブロック図



保守／廃止

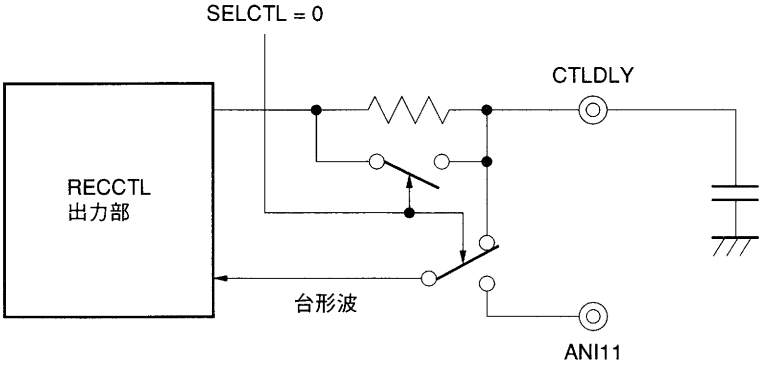
(2) 台形波出力用コンデンサ，抵抗の接続

再書き込みモード時に使用する台形波の時定数は，μPD784915内部の内蔵抵抗の値(70 kΩ　TYP.)とCTLDLY端子に接続したコンデンサの容量で決定されます。

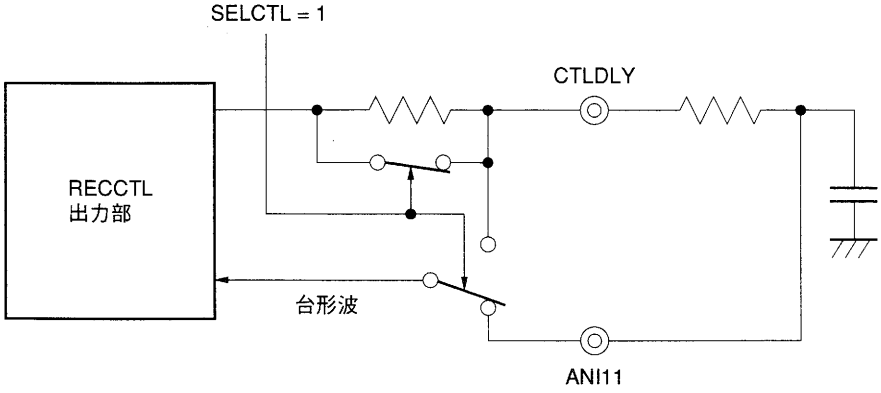
また，内蔵抵抗を使わずに抵抗を外付けすることも可能です。この場合は，SELCTLD(AMPM0.5)＝1に設定してください。台形波入力用端子としては，ANI11端子を使用します。このとき，ANI11端子はA/Dコンバータのアナログ信号入力端子として使用することはできません。

図10－12　台形波生成ブロックの端子接続

(a) 内蔵抵抗を使用する場合（SELCTLD＝0）



(b) 外付け抵抗を使用する場合（SELCTLD＝1）



保守／廃止

(3) RECCTLドライバの動作

RECCTLドライバは表10－7に示すようにトリガが発生するごとにシーケンスを1つずつ進めます。

TOM1レジスタの上位4ビットに0000以外を書き込むと，RECCTL制御部がシーケンス0状態に初期化されます。

RECCTLドライバのシーケンスは，TOM1レジスタのビット0，1で読み出すことができます(RCCモード時はビット0のみ有効)。

表10－7　RECCTLドライバのシーケンス

(a) RECモードのシーケンス

シーケンス	RECCTL＋	RECCTL－
0	ロウ・レベル	ハイ・レベル
1	ハイ・レベル	ロウ・レベル

(b) 再書き込みモードのシーケンス

シーケンス	RECCTL＋	RECCTL－
0	ハイ・インピーダンス	
1	—	ロウ・レベル
2	ロウ・レベル	ハイ・レベル
3	ハイ・レベル	—

注意　RECCTLドライバの各モードの変更（TOM1.7の変更）を行うときは，必ずENREC(AMPM0.7)＝0にしてからTOM1レジスタの設定を行ってください。

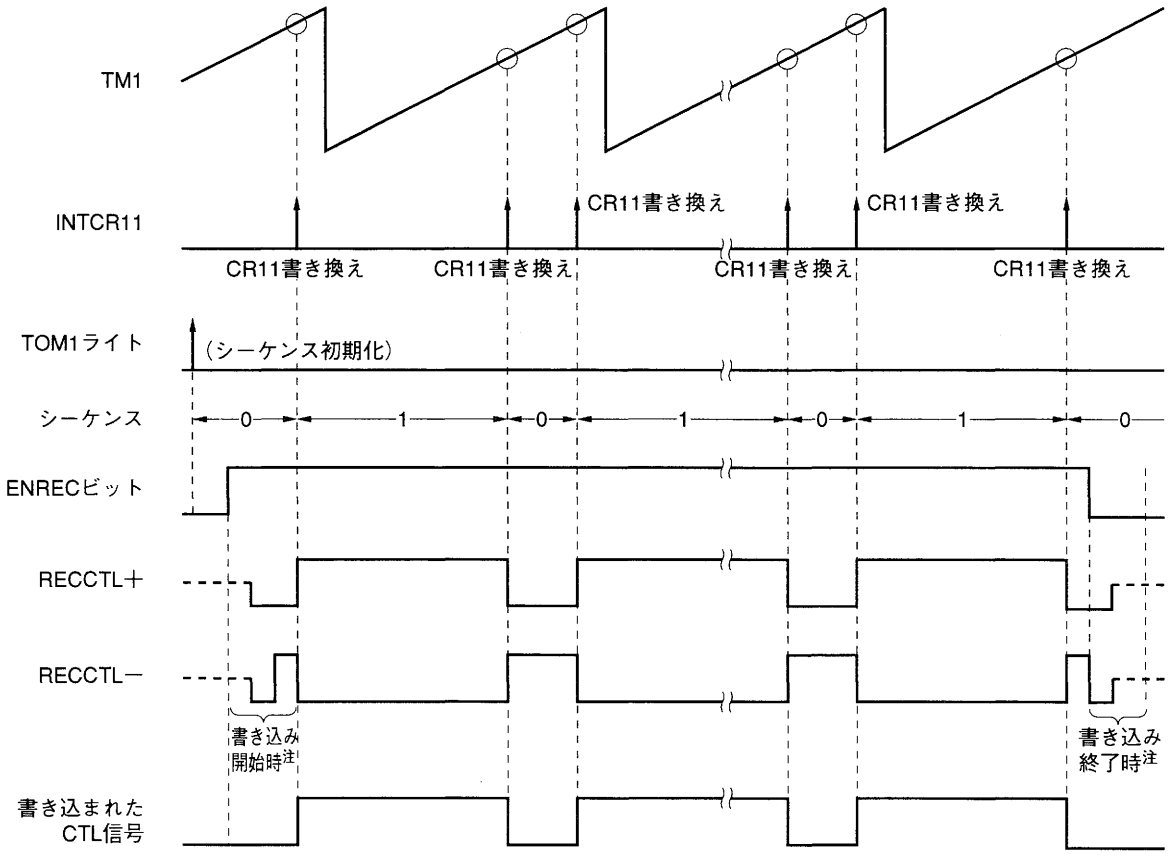
(a) RECモード（DRVMOD（TOM1.7）=0）

RECモード時の動作タイミング例を図10－13に示します。

TOM1レジスタによりRECCTL制御部をシーケンス0状態に初期化したあと，ENREC（AMPM0.7）=1に設定します。ENREC=1の設定をシーケンス0期間で行うか，シーケンス1期間で行うかにより，RECCTL±端子の出力レベルを変えることができます。

RECモード終了時は，ENREC=0に設定してください。

図10－13　RECモード動作タイミング例



注　ENREC＝1（RECモードの開始）またはENREC＝0（RECモードの終了）に設定してから約800μsの期間は，TOM1レジスタへのR/Wが実行されません。

注意　RECドライバ動作中もCTLアンプは動作状態（ENCTL（AMPC.1）＝1）にしてください。

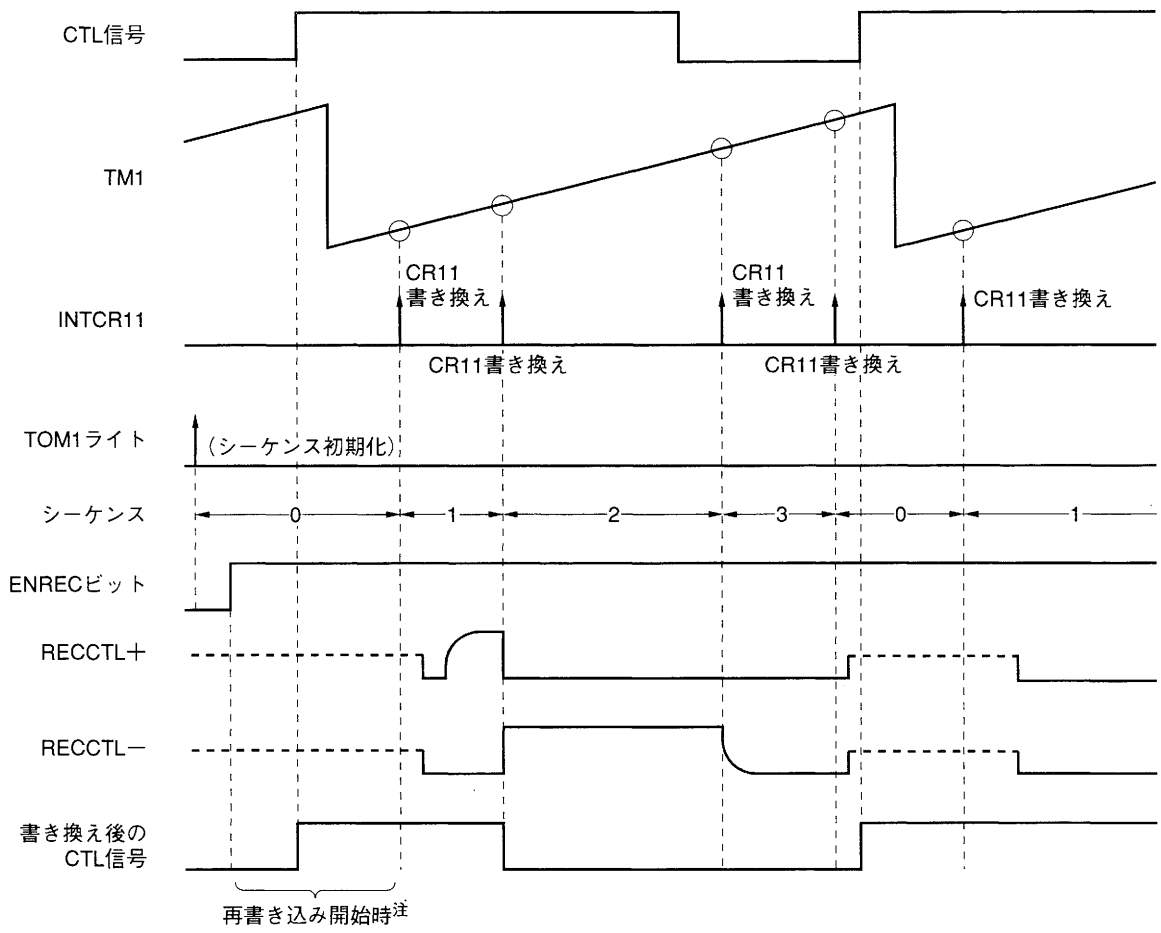
(b) 再書き込みモード (DRVMOD (TOM1.7)＝1)

再書き込みモード時の動作タイミング例を図10－14に示します。

TOM1レジスタによりRECCTL制御部をシーケンス0状態に初期化したあと，ENREC (AMPM0.7)＝1に設定します。この設定により，自動的にシーケンスが0→1→2→3→0→1…のように繰り返されます。

再書き込みモード終了時は，シーケンス0の期間にENREC＝0に設定してください。

図10－14　再書き込みモード動作タイミング例



注　ENREC＝1（再書き込みモードの開始）に設定してから約800 μsの期間は，TOM1レジスタへのR/Wが実行されません。

保守／廃止

10.4　DPGコンパレータ，DFGアンプ，DPFG分離回路

DPGコンパレータは，ドラム・モータの位相情報を伝えるドラムPG（DPG）信号をロジック信号に変換するコンパレータです。

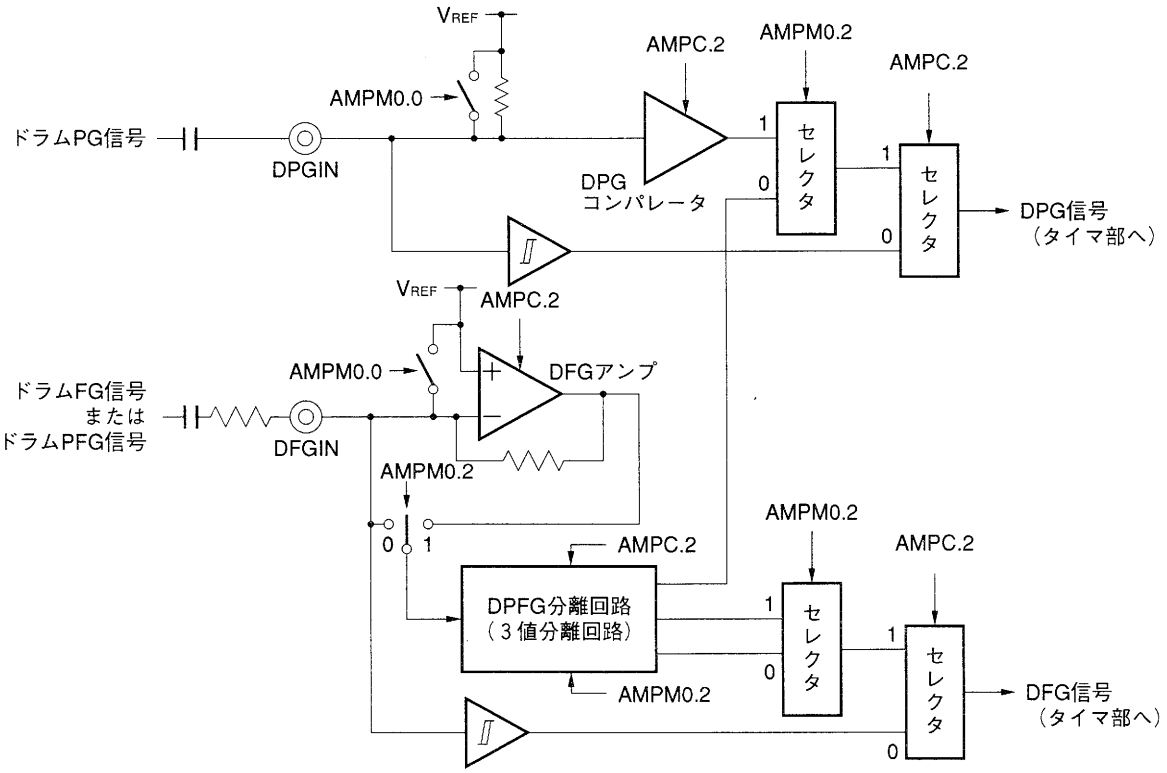
DFGアンプは，ドラム・モータの速度情報を伝えるドラムFG（DFG）信号を増幅するアンプです。

DPFG分離回路（３値分離回路）は，速度と位相情報を両方持ったドラムPFG（DPFG）信号をDFG信号とDPG信号に分離する回路です。

DFG信号およびDPFG信号はDFGIN端子に，DPG信号はDPGIN端子に入力してください。

DPGコンパレータ，DFGアンプ，DPFG分離回路の構成を図10－15に示します。

図10－15　DPGコンパレータ，DFGアンプ，DPFG分離回路



10.4.1　DPGコンパレータ

DPGコンパレータを使用する場合は，ENDRUM（AMPC.2）＝1，SELPGSEPA（AMPM0.2）＝1に設定してください。

また，DPGコンパレータを用いず，外部からロジック信号を入力させる場合は，ENDRUM（AMPC.2）＝0に設定してください。

10.4.2　DFGアンプ

DFGアンプ部は，DFGアンプとDFG用コンパレータから構成されています。DFG用コンパレータは，後述するDPFG分離回路のコンパレータと兼用になっています。

DFGアンプのゲインは，DFGIN端子に外付け抵抗を接続して設定してください。[注]

DFGアンプとDFG用コンパレータを使用する場合は，ENDRUM（AMPC.2）＝1，SELPGSEPA（AMPM0.2）＝1に設定してください。

また，DFGアンプおよびDFG用コンパレータを用いず，外部からロジック信号を入力させる場合は，ENDRUM（AMPC.2）＝0に設定してください。

注　DFGIN端子に接続する入力抵抗は，16 kΩ以下にしてください。それ以上の抵抗値を接続するとDFGアンプが発振する恐れがあります。

10.4.3　DPFG分離回路（３値分離回路）

ドラム・モータからの速度，位相信号として，速度を示す信号（FG）と位相を示す信号（PG）が重畳しているドラムPFG（DPFG）信号が用いられることがあります。

ドラムPFG信号とは，FGとPGで振幅レベルの異なる信号です（図**10－17**参照）。

DPFG分離回路を使用する場合は，ENDRUM（AMPC.2）＝1，SELPGSEPA（AMPM0.2）＝0に設定してください。

保守／廃止

図10－16　DPFG分離回路（３値分離回路）

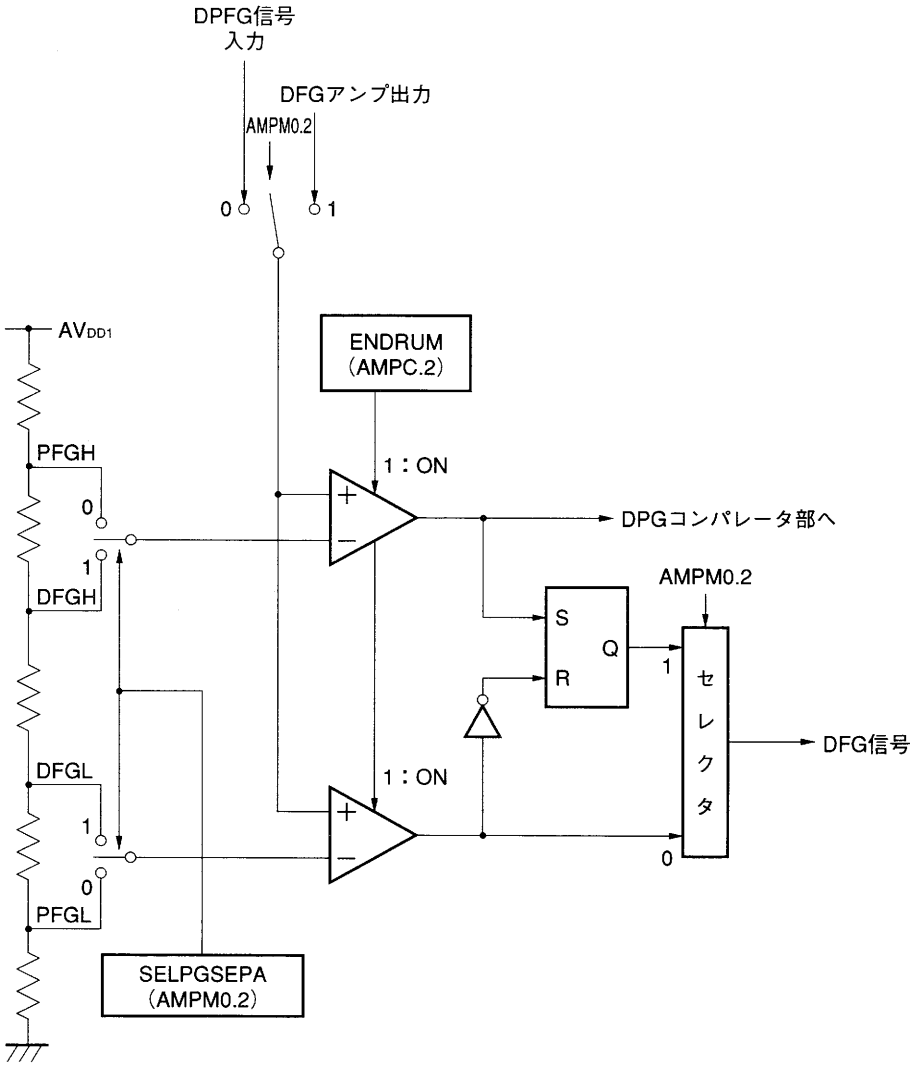
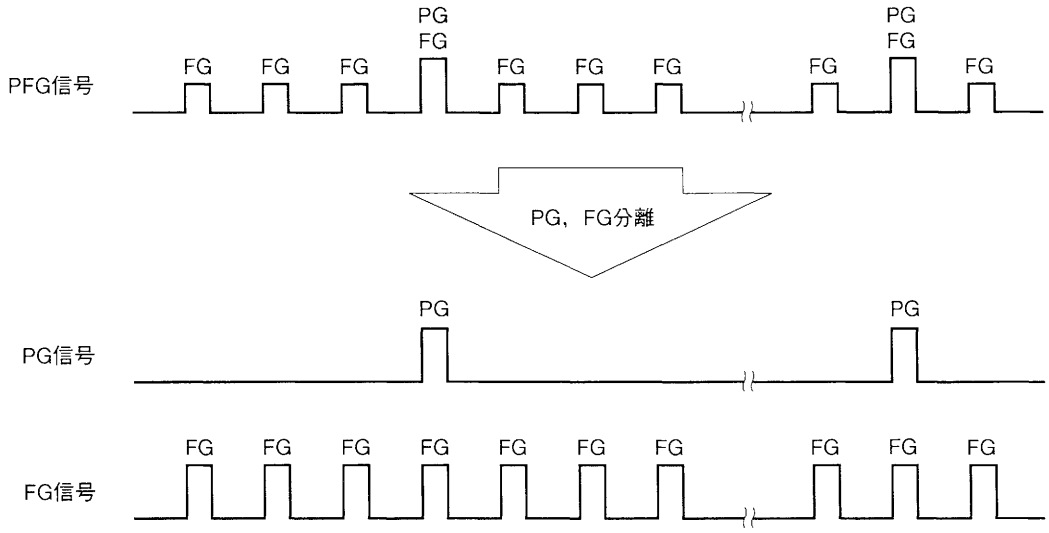


図10－17　PFG信号波形と分離後のPG，FG信号波形



モード・レジスタの設定とタイマ部に供給される各信号の関係を表10－8に示します。

表10－8　タイマ部に供給される信号の選択

ENDRUM (AMPC.2)	SELPGSEPA (AMPM0.2)	DPG信号	DFG信号
0	×	外部ロジック信号入力	外部ロジック信号入力
1	0	PFGHOUT信号 （DPFG分離回路使用時）	PFGLOUT信号 （DPFG分離回路使用時）
1	1	DPGコンパレータ出力信号 （DPGコンパレータ使用時）	DFGコンパレータ出力信号 （DFGアンプ，コンパレータ使用時）

10.5　CFGアンプ

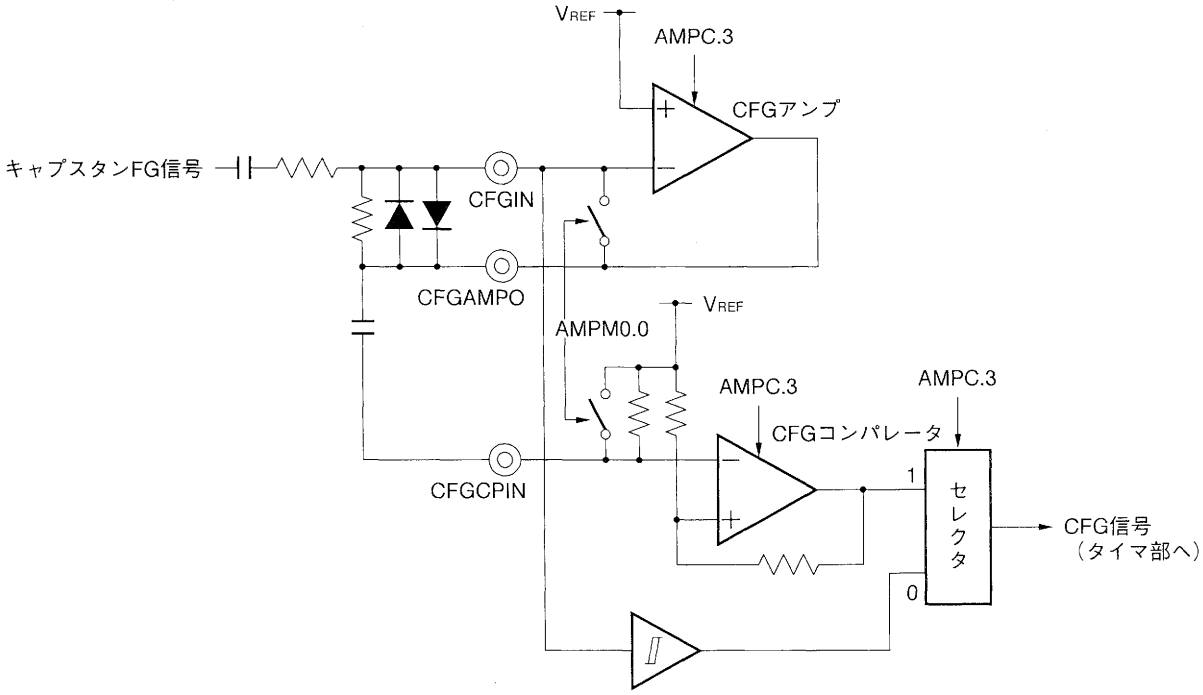
CFGアンプは，キャプスタン・モータの速度情報を伝えるキャプスタンFG（CFG）信号を増幅するアンプです。

CFGアンプは，オペアンプとコンパレータから構成されています。

オペアンプのゲインの設定は外付けの抵抗で行います。

オペアンプのゲインを50 dBにしたときは，CFG信号の出力デューティ精度を50.0±0.3％にすることができます。

図10－18　CFGアンプ



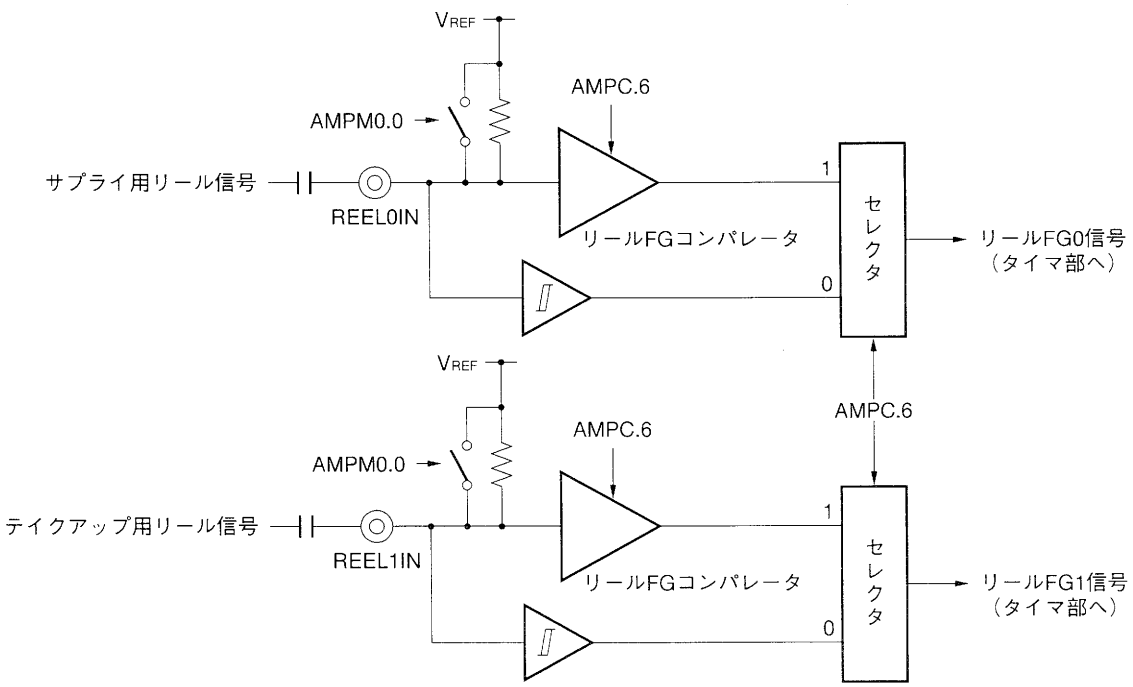
CFGアンプを用いず，外部からロジック信号を入力させる場合は，ENCAP（AMPC.3）＝0に設定してください。このとき，ロジック信号はCFGIN端子に入力してください。

10.6　リールFGコンパレータ

リールFGコンパレータは，リール・モータの速度情報を伝えるリールFG信号を生成するコンパレータで，テイクアップ用とサプライ用に２個内蔵しています。

リールFGコンパレータは，２個単位で動作許可／禁止の指定ができます。

図10－19　リールFGコンパレータ

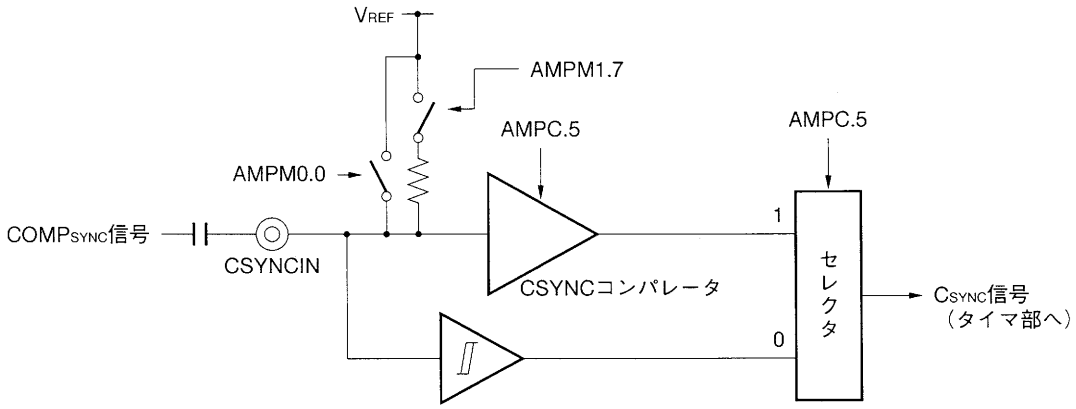


リールFGコンパレータを用いず，外部からロジック信号を入力させる場合は，ENREEL（AMPC.6）＝0に設定してください。このとき，REEL0IN入力とREEL1IN入力を一括して制御しますので，REEL0IN入力とREEL1IN入力で別々の選択をすることはできません。

10.7　CSYNCコンパレータ

CSYNCコンパレータはCOMPSYNC信号を生成するコンパレータです。

図10-20　COMPSYNCコンパレータ



外付けコンデンサの容量によっては，V_{SYNC}期間中に入力信号がV_{REF}レベルに引き上げられることも考えられるため，コンパレータ入力のバイアスをカットするスイッチ（AMPM1.7）を設けています。SELBIAS（AMPM1.7）＝1に設定すると，コンパレータ入力のV_{REF}レベルのバイアスを禁止します。

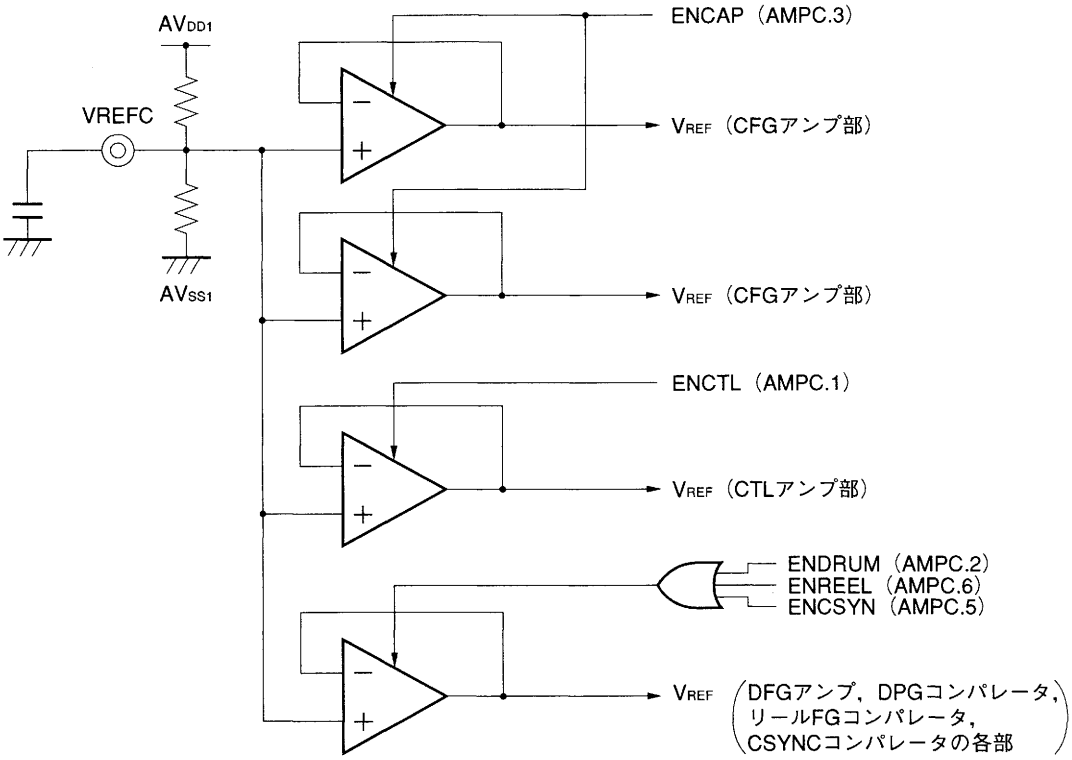
また，CSYNCコンパレータを用いず，外部からロジック信号を入力させる場合は，ENCSYN（AMPC.5）＝0に設定してください。

保守／廃止

10.8　レファレンス・アンプ

μPD784915内部のアンプ，コンパレータに供給する基準電圧（V_{REF}）を生成する回路です。
VREFC端子にコンデンサを接続し，AC接地して使用します。

図10-21　レファレンス・アンプ



備考　アンプ，コンパレータの精度を確保するため，レファレンス・アンプを複数個内蔵しています。

10.9　ロジック入力バッファの動作制御

アンプ・コントロール・レジスタ（AMPC）のビット０の設定により，ロジック入力バッファの動作をプログラマブルに停止させることができます。ロジック入力バッファとは，CTLOUT2，CFGIN，DPGIN，DFGIN，REEL0IN，REEL1IN各端子に内蔵されているものです。

図10－22　アンプ・コントロール・レジスタ（AMPC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
AMPC	0	ENREEL	ENCSYN	ENCOMP	ENCAP	ENDRUM	ENCTL	LGCBUF	FF94H	00H	R/W

LGCBUF	ロジック入力バッファの動作指定
0	通常動作モード （ロジック入力バッファ動作）
1	低消費電力モード （ロジック入力バッファ停止）

さらに，このAMPCのビット０と，各アンプ，コンパレータの動作制御ビット（AMPCのビット１－ビット６）を組み合わせて操作することにより，消費電流を抑えることができます。

これらのビットの関係を次に示します。

表10－9　ロジック入力バッファの動作指定ビットと各アンプ，コンパレータの動作制御ビットの関係

各アンプ，コンパレータの動作制御ビット（AMPC.1-AMPC.6）	ロジック入力バッファの動作指定ビット（AMPC.0）	ロジック入力バッファの動作
1（動作許可）	×	停止
0（動作禁止）	0	動作（通常動作モード）
	1	停止（低消費電力モード）

初期電源投入時および各アンプ，コンパレータ動作中は，自動的にロジック入力バッファは停止状態になります。

各アンプ，コンパレータを動作禁止にしているときは，ロジック入力バッファの動作指定ビット（AMPC.0）により，ロジック入力バッファを動作／停止のどちらかに設定することができます。

STOPモード時やサブシステム・クロックでのCPU動作時において消費電流を抑えたい場合は，アンプ・コンパレータを動作禁止にするとともに，ロジック入力バッファを停止させてください（AMPC＝01Hに設定してください）。

また，低消費電力モードから復帰する場合は，通常動作モード（AMPC.0＝0）に設定しロジック入力バッファを動作状態にしてください。

保守／廃止

10.10　アナログ回路未使用時の端子処理

表10－10にアナログ回路未使用時の端子処理方法を示します。

表10－10　アナログ回路未使用時の端子処理方法

端　　子	入出力	アナログ回路未使用時の推奨接続方法
RECCTL＋，RECCTL－	入出力	ENCTL＝0かつENREC＝0の場合：V_{SS}に接続
DFGIN	入力	ENDRUM＝0の場合：V_{SS}に接続
DPGIN		ENDRUM＝0，またはENDRUM＝1かつSELPGSEPA＝0の場合：V_{SS}に接続
CFGIN，CFGCPIN		ENCAP＝0の場合：V_{SS}に接続
CSYNCIN		ENCSYN＝0の場合：V_{SS}に接続
REEL0IN/INTP3，REEL1IN		ENREEL＝0の場合：V_{SS}に接続
CTLOUT1	出力	オープン
CTLOUT2	入出力	ENCTL＝0かつENCOMP＝0の場合：V_{SS}に接続 ENCTL＝1の場合：オープン
CFGAMPO	出力	オープン
CTLIN	―	ENCTL＝0の場合：オープン
VREFC		ENCTL＝0かつENCAP＝0かつENCOMP＝0の場合：オープン
CTLDLY		オープン
AV_{DD1}		V_{DD}に接続
AV_{SS1}		V_{SS}に接続

備考　ENCTL　　：アンプ・コントロール・レジスタ（AMPC）のビット1
ENREC　　：アンプ・モード・レジスタ0（AMPM0）のビット7
ENDRUM　　：アンプ・コントロール・レジスタ（AMPC）のビット2
SELPGSEPA：アンプ・モード・レジスタ0（AMPM0）のビット2
ENCAP　　：アンプ・コントロール・レジスタ（AMPC）のビット3
ENCSYN　　：アンプ・コントロール・レジスタ（AMPC）のビット5
ENREEL　　：アンプ・コントロール・レジスタ（AMPC）のビット6
ENCOMP　　：アンプ・コントロール・レジスタ（AMPC）のビット4

保守／廃止

〔メ　モ〕

保守／廃止

第11章　時計機能

11.1　時計用タイマ

μPD784915は，サブシステム・クロックを分周して一定時間間隔の信号を発生する時計機能を内蔵しています（一定時間間隔とは，32.768 kHz動作時で0.5 sec）。

時計用タイマは，この一定時間間隔の信号で，割り込み（INTW）を発生します。

また，時計モード・レジスタ（WM）のビット3＝1に設定すると，時計用タイマ・ブロックからの出力信号でNMIを起動します。

NMIを起動する信号には，時計用タイマのオーバフロー信号（0.5秒ごと）と，そのオーバフロー信号を128分周した信号（64秒ごと）とがあり，WMレジスタのビット6で選択できます。

NMIを起動するかしないかの制御はWMレジスタのビット3でのみ行い，INTWの割り込み制御レジスタ（WIC）の設定とは無関係です。

時計用タイマで起動されるNMIは，時計用タイマの出力でスタンバイ状態を解除する場合に用います。したがって，通常動作時でINTWによってNMIを起動しない用途に用いる場合は，WMレジスタのビット3＝0に設定してください。

時計モード・レジスタ（WM）により次の制御ができます。

- カウント動作の開始／停止（クリア）の設定
- 128分周の早送りモードの選択
- 分周回路のタップ出力をブザー出力（BUZ）として端子に出力するかしないかの選択（時計のトリミングを行う場合に使用）
- 時計割り込み（INTW）でNMI起動するかしないかの選択，およびNMIを起動する周期の選択

時計割り込み（INTW）の許可／禁止の制御は，割り込みマスク・フラグ（WMK）で行います。

11.1.1　時計用タイマの構成

図11－1に時計用タイマの構成図を示します。

図11－1　時計用タイマのブロック図

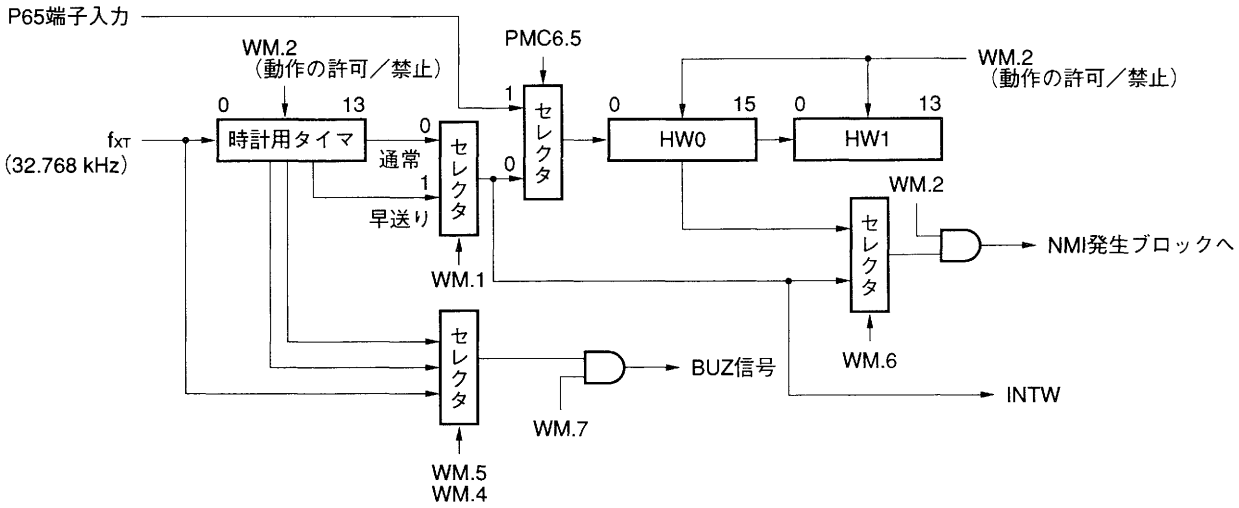
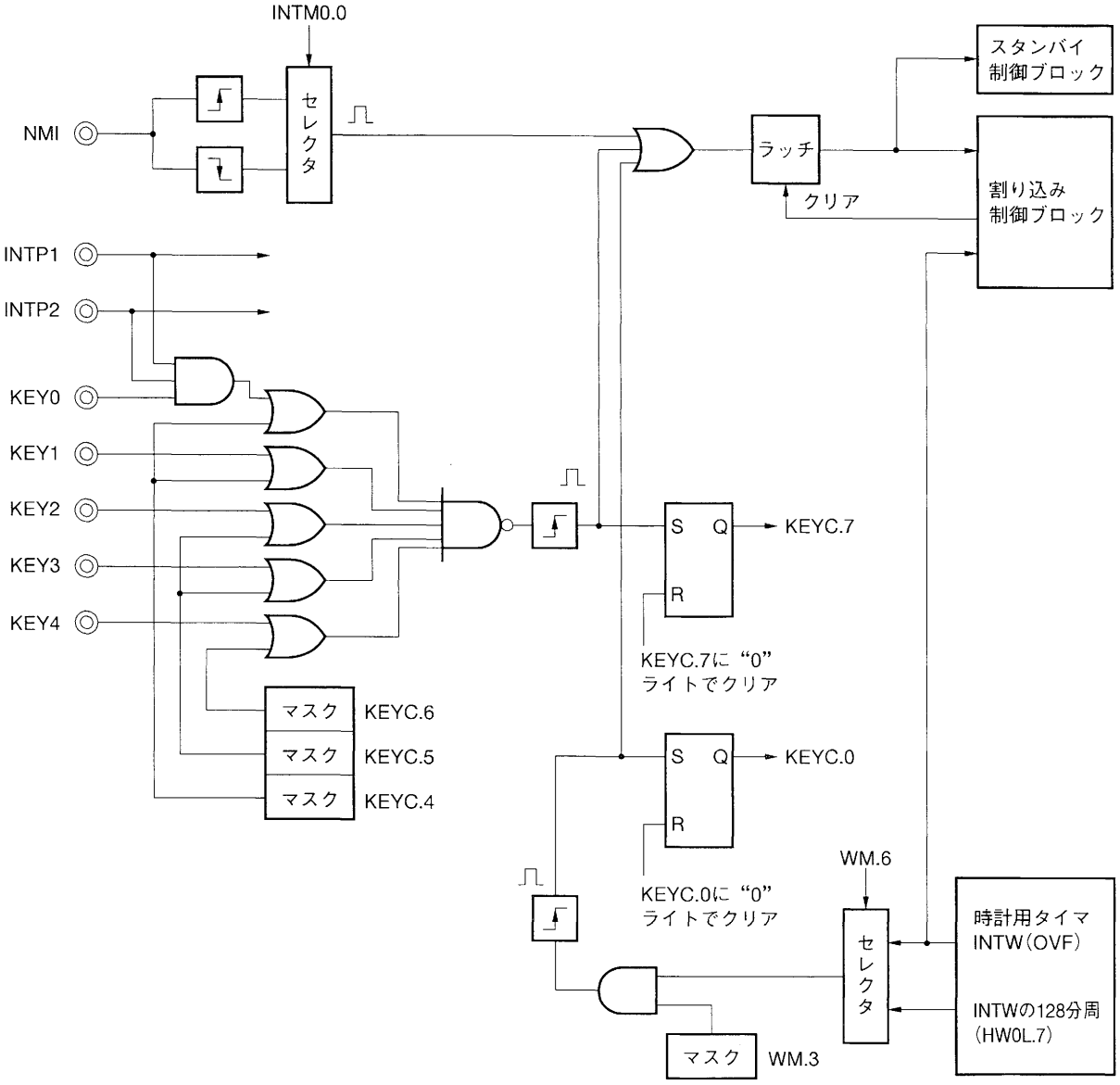


図11－2　時計割り込みとNMI発生の関係



11.2　ハードウエア時計機能

μPD784915は時計用タイマのオーバフロー信号を，ハードウエアでカウントする時計機能を内蔵しています。クロックはサブシステム・クロック（32.768 kHz）を使用します。

この時計機能は，CPUと独立に動作しますので，CPUをスタンバイ・モード（STOPモード）やリセット状態にしても動作することができます。さらに，V_{DD}=2.7 Vでの低電圧動作が可能です。

したがって，CPUをスタンバイ状態，リセット状態にして時計機能のみを動作させることにより，低電圧，低消費電流の時計動作が実現できます。

また，専用カウンタを使用しているので通常動作中も使用できます。

約17年分のカウントが可能です。

ハードウエア時計で使用するタイマ類は，リセットの影響を受けません。[注]

注　リセット時は時計割り込み（INTW）による割り込み要求（WICのビット7）が不定になります。初期設定でWMレジスタおよびハードウエア時計カウンタ（HW0，HW1）の初期化を行い，WICのビット7をクリアしてください。

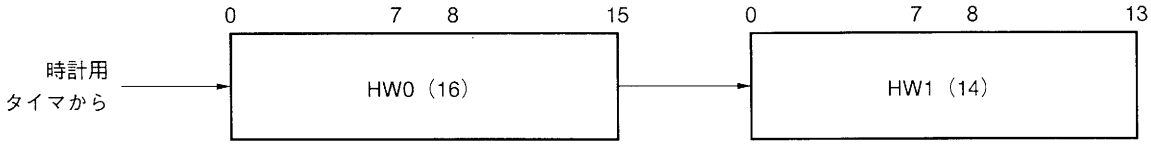
11.2.1　ハードウエア時計機能の構成

図11-3にハードウエア時計機能のブロック図を示します。

ハードウエア時計機能のカウンタは，16ビット・カウンタ（HW0）と14ビット・カウンタ（HW1）で構成しています。分，時，日カウント用の分周器はありません。

カウントを停止するには，時計用タイマを停止させてください。

図11-3　ハードウエア時計機能のブロック図



注意　ハードウエア時計カウンタ0,1（HW0, HW1）を初期化（0クリア）する場合は，HW0レジスタに16ビットのダミー・データを書き込んでください。このときHW0レジスタにデータは書き込まれず，HW0，HW1レジスタがともに0クリアされます。

HW1レジスタにダミー・データを書き込んでも無視され，HW1レジスタは0クリアされません。

11.2.2　制御レジスタ

時計用タイマの動作は，次の２つのレジスタで制御します。

- WM　：時計モード・レジスタ
- PMC6：ポート６モード・コントロール・レジスタ

図11－4　時計モード・レジスタ（WM）のフォーマット

	⑦	6	5	4	3	②	①	0	アドレス	リセット時	R/W
WM	WM7	WM6	WM5	WM4	WM3	WM2	WM1	0	FF6FH	00××0×00	R/W

WM1	時計用カウンタ動作モード
0	通常モード
1	早送りモード

WM2	時計用カウンタ動作制御
0	クリアし，カウンタ停止
1	カウント動作

WM3	時計割り込み(INTW)でのNMI起動制御
0	時計割り込みでNMIを起動しない
1	時計割り込みでNMIを起動する（周期はビット６（WM6）で決定）

WM5	WM4	ブザー出力周波数選択
0	0	2.048 kHz
0	1	4.096 kHz
1	0	設定禁止
1	1	32.768 kHz(サブシステム・クロック)

WM6	時計割り込みでNMIを起動する周期
0	0.5秒
1	64秒

WM7	ブザー出力の許可／禁止
0	ブザー出力をP61に重畳しない
1	ブザー出力をP61に重畳する

注意　WM2＝0の場合，WM7＝1に設定してもP61にブザー出力を重畳しません。

図11－5　ポート6モード・コントロール・レジスタ（PMC6）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC6	PMC67	PMC66	PMC65	0	PMC63	PMC62	PMC61	PMC60	FF66H	00H	R/W

PMC60	P60端子のコントロール・モード指定
0	入出力ポート・モード／CLO出力モード
1	STRB出力モード

PMC61	P61端子のコントロール・モード指定
0	入出力ポート・モード／BUZ出力モード
1	シリアル・インタフェース1クロック入出力

PMC62	P62端子のコントロール・モード指定
0	入出力ポート・モード
1	シリアル・インタフェース1データ出力

PMC63	P63端子のコントロール・モード指定
0	入出力ポート・モード
1	シリアル・インタフェース1データ入力

PMC65	P65端子のコントロール・モード指定注
0	入出力ポート・モード
1	外部入力カウント・モード

PMC6n	P6n端子のコントロール・モード指定（n＝6，7）
0	入出力ポート・モード
1	PWM出力モード

注　ハードウエア時計機能を使用する場合は，PMC65＝0に設定してください。

保守／廃止

11.3　外部入力カウント機能

ハードウエア時計カウンタ（HW0，HW1）は，外部からの入力信号をカウントする機能を持っています。システム応用上ではH_{SYNC}信号のカウントに使用することができます。

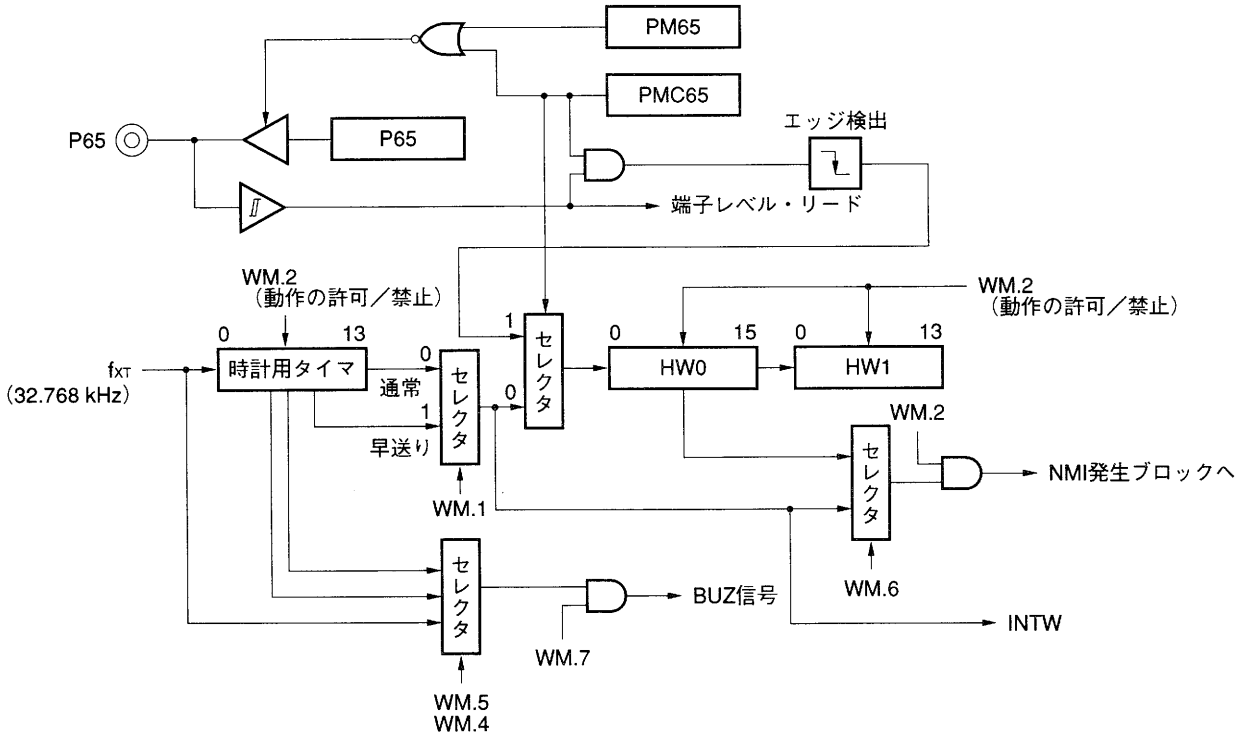
11.3.1　外部入力カウンタの構成

外部入力カウンタは，ハードウエア時計カウンタ（HW0，HW1）と兼用になっています。PMC65＝1（外部入力カウント・モード）に設定すると，HW0のカウント・クロックとしてP65入力信号が選択され，立ち下がりエッジを検出してカウント動作を行います。

HW0とHW1で合計30ビットのカウンタとして使用できます。オーバフロー・フラグや割り込み要求を発生する機能は持っていません。

図11－6に外部入力カウンタの構成を示します。

図11－6　外部入力カウンタのブロック図



11.3.2　制御レジスタ

外部入力カウント機能の動作は，次のレジスタで制御します。

- PMC6：ポート６モード・コントロール・レジスタ
- WM　：時計モード・レジスタ

図11-7　ポート６モード・コントロール・レジスタ（PMC6）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC6	PMC67	PMC66	PMC65	0	PMC63	PMC62	PMC61	PMC60	FF66H	00H	R/W

PMC60	P60端子のコントロール・モード指定
0	入出力ポート・モード／CLO出力モード
1	STRB出力モード

PMC61	P61端子のコントロール・モード指定
0	入出力ポート・モード／BUZ出力モード
1	シリアル・インタフェース１クロック入出力

PMC62	P62端子のコントロール・モード指定
0	入出力ポート・モード
1	シリアル・インタフェース１データ出力

PMC63	P63端子のコントロール・モード指定
0	入出力ポート・モード
1	シリアル・インタフェース１データ入力

PMC65	P65端子のコントロール・モード指定
0	入出力ポート・モード
1	外部入力カウント・モード

PMC6n	P6n端子のコントロール・モード指定（n＝6，7）
0	入出力ポート・モード
1	PWM出力モード

図11-8　時計モード・レジスタ（WM）のフォーマット

	⑦	6	5	4	3	②	①	0	アドレス	リセット時	R/W
WM	WM7	WM6	WM5	WM4	WM3	WM2	WM1	0	FF6FH	00××0×00	R/W

WM1	時計用カウンタ動作モード
0	通常モード
1	早送りモード

WM2	時計用カウンタ動作制御
0	クリアし，カウンタ停止
1	カウント動作

WM3	時計割り込み(INTW)でのNMI起動制御
0	時計割り込みでNMIを起動しない
1	時計割り込みでNMIを起動する（周期はビット6（WM6）で決定）

WM5	WM4	ブザー出力周波数選択
0	0	2.048 kHz
0	1	4.096 kHz
1	0	設定禁止
1	1	32.768 kHz(サブシステム・クロック)

WM6	時計割り込みでNMIを起動する周期
0	0.5秒
1	64秒

WM7	ブザー出力の許可／禁止
0	ブザー出力をP61に重畳しない
1	ブザー出力をP61に重畳する

注意　WM2＝0の場合，WM7＝1に設定してもP61にブザー出力を重畳しません。

11.3.3　外部入力カウンタの動作

(1) 外部入力カウント・モードの設定

PMC65＝1に設定して，HW0，HW1を外部入力カウント・モードにします。さらに，WM2＝1に設定して，HW0，HW1のカウント動作を許可します。

(2) カウント動作とカウント値の読み出し

外部入力カウント・モードに設定しカウント動作を許可すると，HW0，HW1はP65入力信号の立ち下がりエッジを検出してカウント動作を行います。

カウント値はHW0とHW1を別々に命令で読み出してください。

(3) 外部入力カウンタの初期化

HW0，HW1を初期化（0クリア）する場合は，HW0に16ビットのダミー・データを書き込んでください。このときHW0にデータは書き込まれず，HW0，HW1がともに0クリアされます。

HW1レジスタにダミー・データを書き込んでも無視され，HW1は0クリアされません。

11.3.4　注意事項

(1) HW0，HW1のカウント・クロック切り替え時の注意

HW0，HW1のカウント・クロックの切り替え時（PMC65ビットの設定時）は，HW0の誤カウント（時計カウントのズレ）を防ぐため，次のいずれかの方法をとってください。

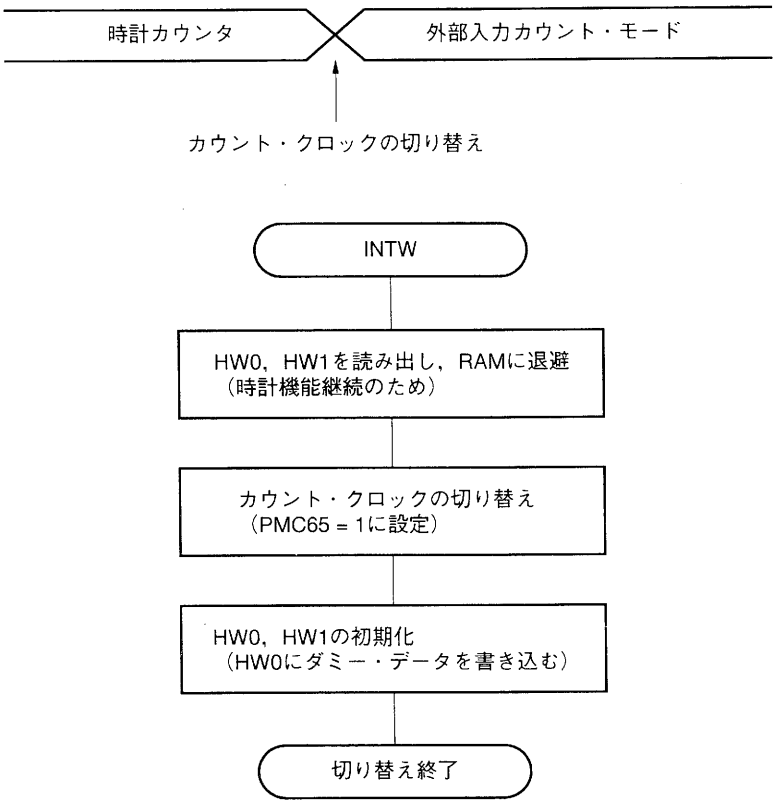
- 時計割り込み（INTW）でカウント・クロックの切り替え実行後，HW0，HW1の初期化を行う。
- いったん時計用タイマおよびカウンタの動作を停止（WM2＝0）させてから，カウント・クロックの切り替えを行う。

なお，外部入力カウント・モード時のカウンタの初期化動作は，いつでも行うことができます。

保守／廃止

図11－9　カウント・クロックの切り替え動作例

例　ハードウエア時計機能→外部入力カウント機能に切り替える場合



(2) 外部入力カウント・モード中のNMI起動について

外部入力カウント・モード中にWM3＝1（INTWによるNMI起動許可）かつWM6＝1（INTWでNMI起動する周期：64秒）の設定にしていると，HW0のカウント・アップによってNMIが発生する恐れがありますので注意が必要です。

なお，時計割り込み（INTW）および端子入力（NMI，INTP1，INTP2，KEY0-KEY4端子）によるNMI起動は，外部入力カウント・モード中でも使用可能です。

11.4　BUZ出力

ポート61には，BUZ信号を重畳することができます。

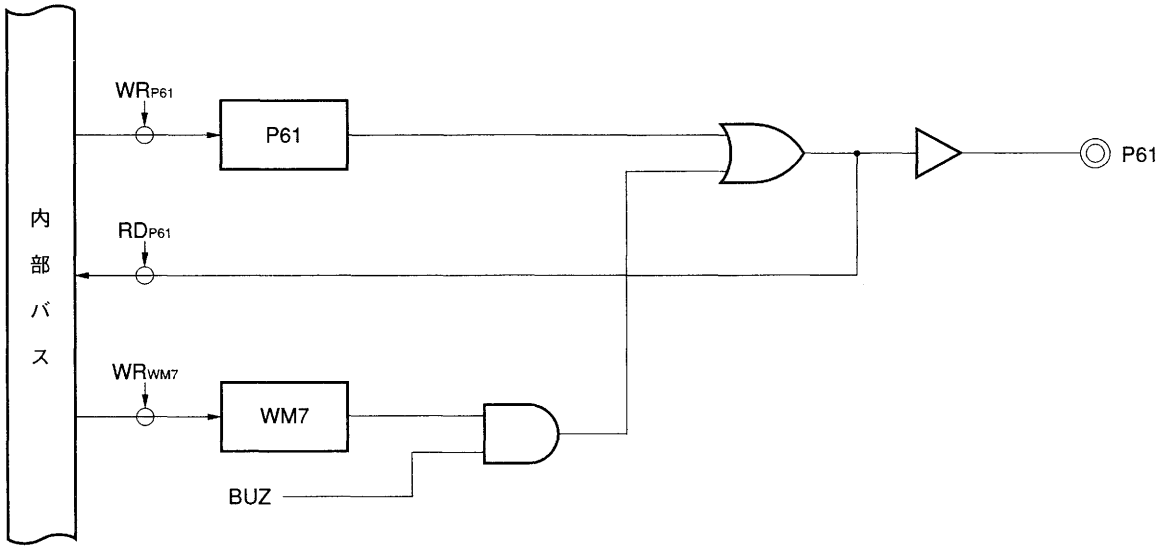
BUZ信号はブザー出力としてのほか，サブシステム・クロックのトリミング用としても使用できます。

11.4.1　BUZ出力回路の構成

図11－10にBUZ出力回路の構成図を示します。

BUZ出力回路は，サブシステム・クロックを分周し，P61出力に重畳します。

図11－10　BUZ出力回路のブロック図

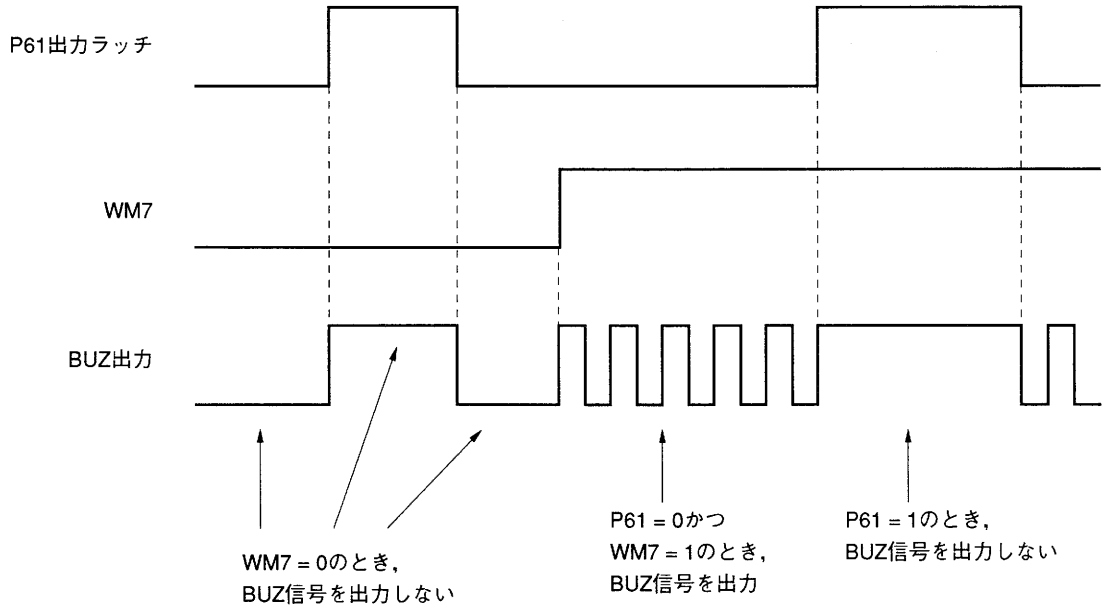


11.4.2　BUZ出力の動作タイミング

図11－11にBUZ出力の動作タイミングを示します。

WM7＝1のとき，P61にBUZ信号を重畳します。したがって，P61＝0かつPM61＝0のときにBUZ信号を出力します。

図11－11　BUZ出力の動作タイミング



11.4.3　注意事項

(1) サブシステム・クロックをトリミングするときは，BUZ機能を使用します。
WM5＝1，WM4＝1（BUZ出力周波数＝f_{XT}）に設定し，トリミングしてください。

(2) メイン・システム・クロック停止時でも，WM7＝1のときはP61にBUZ信号を重畳するので，メイン・システム・クロックを停止するとき(STOPモード設定時）はWM7＝0にしてください。

(3) BUZ出力端子はP61端子と兼用になっています。BUZ出力はP61端子の出力信号が0のときに重畳されます。したがって，BUZ出力をP61端子に重畳させる場合は，P61端子を出力モード（PM61＝0）に設定し，P61出力ラッチは0（P61＝0）に設定してください。
また，P61端子が出力モード時に読み出し命令を実行すると，端子レベルをリードします。したがって，BUZ出力時に読み出し命令を実行すると，端子状態を確認することができます。

保守／廃止

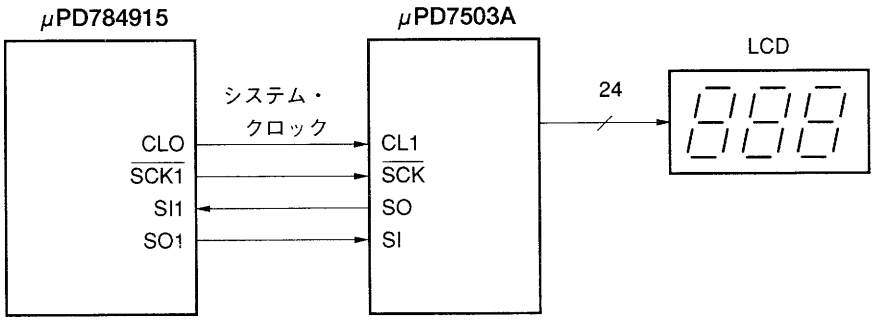
第12章　クロック出力（CLO）

12.1　CLOの構成と機能

周辺デバイスや他のマイコンの動作クロックとして，方形波（デューティ50％）をP60/CLO端子に出力することができます。クロック出力の許可／禁止と周波数設定は，クロック出力モード・レジスタ（CLOM）で行います。

周波数設定については，分周比をf_{CLK}/n(n=2，4，8，16)のいずれかに選択できます($f_{CLK}=f_{OSC}/2$：f_{OSC}は発振子の発振周波数)。

図12－1　クロック出力機能の応用例



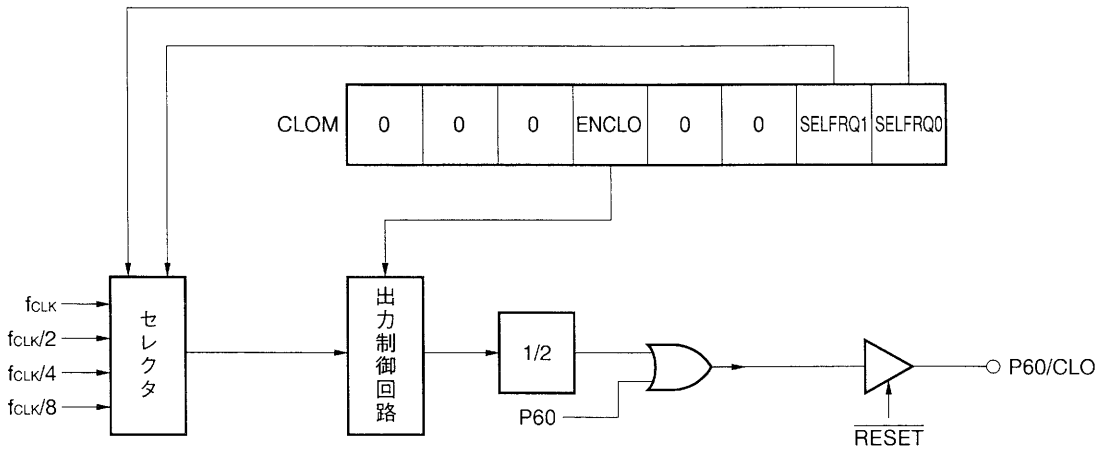
クロック出力を動作させるときは，ポート６のビット０は出力モード（PM6.0=0）で，かつポート出力ラッチは０（P60=0）に設定してください。

なお，クロック出力禁止時は，CLO端子を１ビットの出力ポートとして使用できます。

図12－2にクロック出力回路の構成を示します。

クロック出力端子（CLO端子）は，ポート60と兼用しています。

図12－2　クロック出力回路のブロック図



備考　f_{CLK}：内部システム・クロック

注意　**STOPモードでは，クロック出力機能を使用しないでください。STOPモード時はENCLO＝0としてください。**

（ENCLO：クロック出力モード・レジスタ（CLOM）のビット4）

12.2　CLOの制御レジスタ

クロック出力の制御はクロック出力モード・レジスタ（CLOM）で行います。図12－3にCLOMのフォーマットを示します。CLOMは8ビットのレジスタで，データは8ビット操作命令，ビット操作命令で読み書きが可能です。

図12－3　クロック出力モード・レジスタ（CLOM）のフォーマット

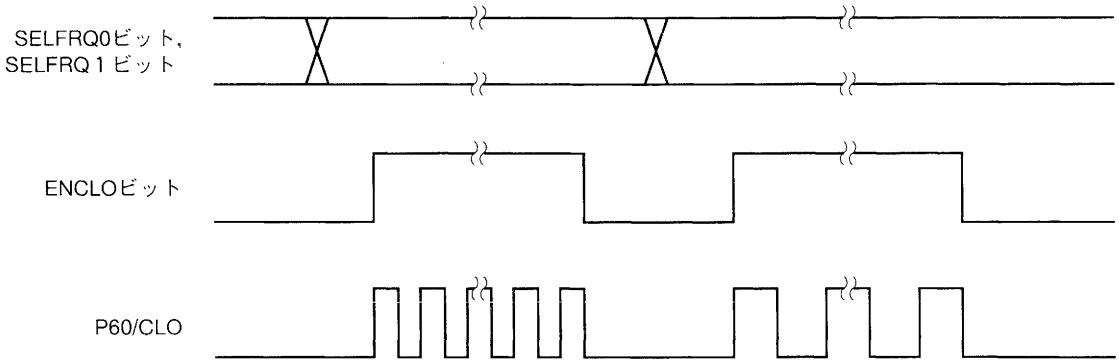
	7	6	5	④	3	2	1	0	アドレス	リセット時	R/W
CLOM	0	0	0	ENCLO	0	0	SELFRQ1	SELFRQ0	FF79H	00H	R/W

SELFRQ1	SELFRQ0	クロック出力周波数指定（f_{CLK}＝8 MHz動作時）
0	0	$f_{CLK}/2$（4.0 MHz）
0	1	$f_{CLK}/4$（2.0 MHz）
1	0	$f_{CLK}/8$（1.0 MHz）
1	1	$f_{CLK}/16$（500 KHz）

f_{CLK}：内部システム・クロック

ENCLO	CLO端子クロック出力制御
0	出力禁止（P60は入出力ポートとして機能）
1	出力許可

図12－4　CLOMレジスタ設定例



注意　SELFRQ0, SELFRQ1ビットの書き換えは，クロック出力禁止（ENCLO＝0）時に行ってください。

備考　ENCLOビット操作により，CLO端子にヒゲ状のパルスを出力することはありません。

保守／廃止

〔メ　モ〕

保守／廃止

第13章　割り込み機能

μPD784915では，オンチップ周辺ハードウエアおよび外部から発生する各種割り込み要求を図13－1に示すように3つの処理モードで対応しています。

この3つの処理モードは，プログラムで任意に設定できます。ただし，マクロ・サービスおよび，コンテキスト・スイッチングによる割り込み要求の選択は，表13－2で示すマクロ・サービスおよび，コンテキスト・スイッチングの処理モードを備えている割り込み要求ソースに対してのみ選択できます。

図13－1　割り込み要求への対応

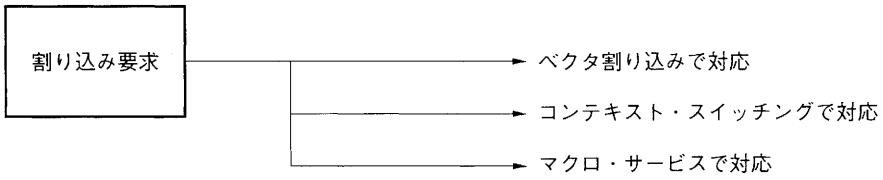


表13－1　割り込み要求の処理形態

割り込み要求処理モード	処理の主体	PC，PSWの内容	処　理　形　態
ベクタ割り込み	ソフトウエア	スタック・メモリへの退避／復帰動作を行う	ベクタ・テーブルで指定されたアドレスのサービス・プログラムに分岐し実行
コンテキスト・スイッチング		レジスタ・バンク内の固定エリアへの退避／復帰動作を行う	ベクタ・テーブルで指定されたレジスタ・バンクへの切り替えを自動的に行い，レジスタ・バンク内の固定エリアで指定されたアドレスのサービス・プログラムに分岐し実行
マクロ・サービス	ハードウエア（ファームウエア）	保持	メモリとI/Oとのデータ転送など，あらかじめ設定した処理を実行

また，マスク可能なベクタ割り込みについては，4レベルの優先順位を持った多重処理制御を容易に行うことができます。

保守／廃止

割り込み要求は次の４種類に分類されます。表13－２に割り込み要求と処理モードの関係を示します。

- ノンマスカブル割り込み要求
- マスカブル割り込み要求
- ソフトウエア割り込み要求
- オペランド・エラー割り込み要求

表13－２　割り込み要求と処理モード

処理モード／割り込み要求	ベクタ割り込み処理	マクロ・サービス	コンテキスト・スイッチング
ノンマスカブル割り込み	○	—	—
マスカブル割り込み	○	○	○
ソフトウエア割り込み	○	—	○
オペランド・エラー割り込み	○	—	—

注意　割り込み制御レジスタ（13.3　割り込み処理制御レジスタ参照），プログラム・ステータス・ワード（PSW）をアクセスする命令の実行中，μPD784915は完全な割り込み禁止状態となります。この状態では，ノンマスカブル割り込み要求，マクロ・サービス要求は，ともに受け付けられず，保留状態となります。

13.1　割り込み要求ソース

μPD784915には，表13－３に示す30種類の割り込み要求ソースがあります。各割り込みは，すべて割り込みベクタ・テーブルを備えています。また，マスカブル割り込みすべてが，マクロ・サービスを備えています。

保守／廃止

表13－3　割り込み要求ソースの種類

割り込み要求タイプ	優先順位	割り込み要求ソース 名称	割り込み要求ソース トリガ	割り込み制御レジスタ名	マクロ・サービス	コンテキスト・スイッチング	マクロ・サービス・コントロール・ワード・アドレス	ベクタ・テーブル・アドレス
リセット	—	RESET	$\overline{\text{RESET}}$端子入力	—	なし	なし	—	0000H
ノンマスカブル	—	NMI	NMI端子入力エッジ	—			—	0002H
マスカブル	0	INTP0	INTP0端子入力エッジ	PIC0	あり	あり	FE06H	0006H
	1	INTCPT3	EDVC出力信号(CPT3キャプチャ)	CPTIC3			FE08H	0008H
	2	INTCPT2	DFGIN端子入力エッジ(CPT2キャプチャ)	CPTIC2			FE0AH	000AH
	3	INTCR12	PBCTL信号入力エッジ/EDVC出力信号(CR12キャプチャ)	CRIC12			FE0CH	000CH
	4	INTCR00	TM0-CR00一致信号	CRIC00			FE0EH	000EH
	5	INTCLR1	CSYNCIN端子入力エッジ	CLRIC1			FE10H	0010H
	6	INTCR10	TM1-CR10一致信号	CRIC10			FE12H	0012H
	7	INTCR01	TM0-CR01一致信号	CRIC01			FE14H	0014H
	8	INTCR02	TM0-CR02一致信号	CRIC02			FE16H	0016H
	9	INTCR11	TM1-CR11一致信号	CRIC11			FE18H	0018H
	10	INTCPT1	端子入力エッジ/EC出力信号(CPT1キャプチャ)	CPTIC1			FE1AH	001AH
	11	INTCR20	TM2-CR20一致信号	CRIC20			FE1CH	001CH
	12	INTTB	FRCからのタイム・ベース	TBIC			FE20H	0020H
	13	INTAD	A/Dコンバータ変換終了	ADIC			FE22H	0022H
	14	INTP2	INTP2端子入力エッジ	PIC2			FE24H	0024H
		INTCR40	TM4-CR40一致信号	CRIC40				
	15	INTUDC	UDC-UDCC一致/UDCアンダフロー	UDCIC			FE26H	0026H
	16	INTCR30	TM3-CR30一致信号	CRIC30			FE28H	0028H
	17	INTCR50	TM5-CR50一致信号	CRIC50			FE2AH	002AH
	18	INTCR13	TM1-CR13一致信号	CRIC13			FE2CH	002CH
	19	INTCSI1	シリアル転送終了(チャネル1)	CSIIC1			FE2EH	002EH
	20	INTW	時計用タイマのオーバフロー	WIC			FE30H	0030H
	21	INTP1	INTP1端子入力エッジ	PIC1			FE34H	0034H
	22	INTP3	INTP3端子入力エッジ	PIC3			FE36H	0036H
	23	INTCSI2	シリアル転送終了(チャネル2)	CSIIC2			FE3AH	003AH
オペランド・エラー	—	—	MOV STBC, #byteおよびLOCATION命令のオペランド不正	—	なし	なし	—	003CH
ソフトウエア	—	—	BRK命令実行	—			—	003EH
	—	—	BRKCS命令実行	—		あり	—	—

備考1. 優先順位（ディフォールト）は同時に複数の割り込みが発生している場合に優先される順位です。

2. EDVC　：イベント・ディバイダ・コンペア・レジスタ

EC　：イベント・カウンタ

DFGIN, PBCTL, CSYNCIN：キャプチャ・トリガ入力

TM×　：タイマ1－5

CR××　：コンペア・レジスタ00, 01, 02, 10, 11, 13, 20, 30, 40, 50

FRC　：フリー・ランニング・カウンタ

13.1.1　ソフトウエア割り込み

ソフトウエアによる割り込みには，ベクタ割り込みを発生するBRK命令とコンテキスト・スイッチングを行うBRKCS命令があります。

ソフトウエアによる割り込みは，割り込み禁止状態でも受け付けられます。割り込み優先順位の対象にはなりません。

13.1.2　オペランド・エラー割り込み

MOV STBC，#byteおよびLOCATION命令のオペランドが不正の場合に発生する割り込みです。

オペランド・エラー割り込みは，割り込み禁止状態でも受け付けられます。割り込み優先順位の対象にはなりません。

13.1.3　ノンマスカブル割り込み

ノンマスカブル割り込みはNMI，INTP1，INTP2端子入力，キー端子入力，または時計タイマによって発生させることができます。

ノンマスカブル割り込みは，割り込み禁止状態でも受け付けられます。また，割り込み優先順位の対象にはならず，すべての割り込みに対して最優先の割り込み要求です。

13.1.4　マスカブル割り込み

マスカブル割り込みは，割り込みマスク・フラグの設定によってマスク制御を受ける割り込みです。また，PSWのIEフラグによって，マスカブル割り込み全体に対して受け付けの許可／禁止の指定ができます。

マスカブル割り込みは，通常のベクタ割り込みのほかに，コンテキスト・スイッチングやマクロ・サービスによって受け付けることが可能です。

マスカブル割り込みは，表13－3のように同一優先順位を持つ複数の割り込み要求が同時に発生している場合の優先順位が決められています（ディフォールト優先順位）。また，割り込み優先順位を4レベルのグループに分け，多重処理の制御を行うことができます。ただし，マクロ・サービスは，優先順位制御やIEフラグとは無関係に受け付けられます。

13.2　割り込み要求処理モード

μPD784915の割り込み処理モードには，次の３つがあります。

- ベクタ割り込み処理
- マクロ・サービス
- コンテキスト・スイッチング

13.2.1　ベクタ割り込み処理

割り込みが受け付けられると，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW）を自動的にスタック・メモリに退避させ，ベクタ・テーブルに格納されているデータ（ユーザが作成する割り込み処理プログラムの先頭アドレス）で示されるアドレスに分岐し，割り込み処理ルーチンを実行します。

割り込み処理ルーチンから復帰するには，RETI命令を使用します。

μPD784915のベクタ割り込みは，ソフトウエアにより４レベルのプライオリティを指定できます。

13.2.2　マクロ・サービス

割り込みが受け付けられると，CPUの実行を一時中断し，ハードウエア的にメモリ-特殊機能レジスタ（SFR）間のデータ転送を行います。マクロ・サービスはCPUを介さずに行われるため，PC，PSWなどのCPUステータスを退避／復帰する必要がありません。したがって，CPUのサービス時間を向上させる大きな効果があります。

また，ベクタ割り込み，コンテキスト・スイッチングよりも高速にデータ転送処理が行えます（**13.9　マクロ・サービス機能**参照）。

13.2.3　コンテキスト・スイッチング機能

割り込み要求の発生またはBRKCS命令の実行により，ハードウエア的に所定のレジスタ・バンクを選択し，レジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスへ分岐します。同時に現在のプログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW）の内容をレジスタ・バンク内のレジスタに退避します。

スタック領域にPC，PSWを退避しないのでベクタ割り込みよりも高速に割り込み処理ルーチンへ分岐することができます（**13.10　コンテキスト・スイッチング機能**参照）。

備考　コンテキストとは，プログラムの実行において，そのプログラムからアクセス可能なCPUのレジスタのことです。このレジスタには，汎用レジスタ，PC，PSW，SP（スタック・ポインタ）が含まれます。

13.3　割り込み処理制御レジスタ

割り込み処理を制御するレジスタ，フラグには，次の５つがあります。

- 割り込み制御レジスタ（25種類：××ICn）
- 割り込みマスク・フラグ・レジスタ（MK0L，MK0H，MK1L，MK1H）
- インサービス・プライオリティ・レジスタ（ISPR）
- 割り込みモード・コントロール・レジスタ（IMC）
- 割り込み許可フラグ（IE）

割り込み制御レジスタは，おのおの割り込み要因ごとに制御レジスタが割り当てられています（25バイト）。各レジスタのフラグは，それぞれのレジスタ内のビット位置に対応した内容の制御を行います。

13.3.1　割り込み制御レジスタ

割り込み制御レジスタは，各割り込み要因ごとに割り当てられており，対応する割り込み要求の優先順位制御や，マスク制御などを行うレジスタです。

各割り込み要求信号に対応する割り込み制御レジスタのフラグ名称一覧を表13－4に示します。また，割り込み制御レジスタのフォーマットを図13－2に示します。

(1) 優先順位指定フラグ（××PR1，××PR0）

優先順位指定フラグは，25種類のマスカブル割り込みに対して，割り込み要因ごとの優先順位を指定するフラグです。

優先順位レベルは，4レベルまで指定でき，複数の割り込み要因を同じレベルに指定することができます。マスカブル割り込み要因のうち，レベル0が最も優先順位が高くなります。

優先順位レベルの等しい割り込み要因同士内で，複数の割り込み要求が発生した場合は，ディフォールト優先順位の順に受け付けられます。

ソフトウエアにより，ビット単位でセット／リセットできます。

$\overline{\text{RESET}}$入力により，全ビットが“1”になります。

(2) コンテキスト・スイッチング許可フラグ（××CSE）

コンテキスト・スイッチング許可フラグは，マスカブル割り込み要求をコンテキスト・スイッチングにより処理することを指定するフラグです。

コンテキスト・スイッチングは，あらかじめ指定してあるレジスタ・バンクをハードウエア的に選択し，レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に，現在のプログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW）の内容をレジスタ・バンクに退避する機能です。

通常のベクタ割り込み処理よりも高速に割り込み処理の実行を開始できますので，リアルタイム

処理に適しています。

ソフトウエアにより，ビット単位でセット／リセットできます。

$\overline{\text{RESET}}$入力により，全ビットが“0”になります。

(3) マクロ・サービス許可フラグ（××ISM）

マクロ・サービス許可フラグは，各フラグに対応する割り込み要求について，ベクタ割り込みで処理するか，マクロ・サービスで処理するかを指定するフラグです。

マクロ・サービス処理を選択していた場合に，マクロ・サービスが終了し（マクロ・サービス・カウンタがオーバフロー），ベクタ割り込みが発生すると，各フラグはハードウエアで自動的にリセット（0）されます（ベクタ割り込み処理）。

ソフトウエアにより，ビット単位でセット／リセットできます。

$\overline{\text{RESET}}$により，全ビットは“0”になります。

(4) 割り込みマスク・フラグ（××MK）

割り込みマスク・フラグは，各フラグに対応する割り込み要求について，ベクタ割り込み処理，マクロ・サービス処理の許可／禁止を指定するフラグです。

割り込みマスク・フラグの内容は，割り込み処理の起動などにより変化することはありません。また，割り込みマスク・フラグの内容と，割り込みマスク・フラグ・レジスタとは同一の内容となります（**13.3.2　割り込みマスク・フラグ・レジスタ（MK0L，MK0H，MK1L，MK1H**参照）。

マクロ・サービス処理要求もマスク制御の対象で，マクロ・サービス要求もこのフラグによりマスクできます。

ソフトウエアにより，セット／リセットできます。

$\overline{\text{RESET}}$入力により，全ビットが“1”になります。

(5) 割り込み要求フラグ（××IF）

割り込み要求フラグは，各フラグに対応する割り込み要求の発生でセット（1）されます。割り込みが受け付けられたときにハードウエアにより自動的にリセット（0）されます。

ソフトウエアにより，セット／リセットできます。

$\overline{\text{RESET}}$入力により，全ビットが“0”になります。

保守／廃止

表13－4　割り込み要求に対する割り込み制御レジスタのフラグ一覧

ディフォールト優先順位	割り込み要求信号	割り込み制御レジスタ	割り込み要求フラグ	割り込みマスク・フラグ	マクロ・サービス許可フラグ	コンテキスト・スイッチング許可フラグ	優先順位指定フラグ
0	INTP0	PIC0	PIF0	PMK0	PISM0	PCSE0	PPR00 PPR01
1	INTCPT3	CPTIC3	CPTIF3	CPTMK3	CPTISM3	CPTCSE3	CPTPR30 CPTPR31
2	INTCPT2	CPTIC2	CPTIF2	CPTMK2	CPTISM2	CPTCSE2	CPTPR20 CPTPR21
3	INTCR12	CRIC12	CRIF12	CRMK12	CRISM12	CRCSE12	CRPR120 CRPR121
4	INTCR00	CRIC00	CRIF00	CRMK00	CRISM00	CRCSE00	CRPR000 CRPR001
5	INTCLR1	CLRIC1	CLRIF1	CLRMK1	CLRISM1	CLRCSE1	CLRPR10 CLRPR11
6	INTCR10	CRIC10	CRIF10	CRMK10	CRISM10	CRCSE10	CRPR100 CRPR101
7	INTCR01	CRIC01	CRIF01	CRMK01	CRISM01	CRCSE01	CRPR010 CRPR011
8	INTCR02	CRIC02	CRIF02	CRMK02	CRISM02	CRCSE02	CRPR020 CRPR021
9	INTCR11	CRIC11	CRIF11	CRMK11	CRISM11	CRCSE11	CRPR110 CRPR111
10	INTCPT1	CPTIC1	CPTIF1	CPTMK1	CPTISM1	CPTCSE1	CPTPR10 CPTPR11
11	INTCR20	CRIC20	CRIF20	CRMK20	CRISM20	CRCSE20	CRPR200 CRPR201
12	INTTB	TBIC	TBIF	TBMK	TBISM	TBCSE	TBPR0 TBPR1
13	INTAD	ADIC	ADIF	ADMK	ADISM	ADCSE	ADPR0 ADPR1
14	INTP2	PIC2	PIF2	PMK2	PISM2	PCSE2	PPR20 PPR21
	INTCR40	CRIC40	CRIF40	CRMK40	CRISM40	CRCSE40	CRPR400 CRPR401
15	INTUDC	UDCIC	UDCIF	UDCMK	UDCISM	UDCCSE	UDCPR0 UDCPR1
16	INTCR30	CRIC30	CRIF30	CRMK30	CRISM30	CRCSE30	CRPR300 CRPR301
17	INTCR50	CRIC50	CRIF50	CRMK50	CRISM50	CRCSE50	CRPR500 CRPR501
18	INTCR13	CRIC13	CRIF13	CRMK13	CRISM13	CRCSE13	CRPR130 CRPR131
19	INTCSI1	CSIIC1	CSIIF1	CSIMK1	CSIISM1	CSICSE1	CSIPR10 CSIPR11
20	INTW	WIC	WIF	WMK	WISM	WCSE	WPR0 WPR1
21	INTP1	PIC1	PIF1	PMK1	PISM1	PCSE1	PPR10 PPR11
22	INTP3	PIC3	PIF3	PMK3	PISM3	PCSE3	PPR30 PPR31
23	INTCSI2	CSIIC2	CSIIF2	CSIMK2	CSIISM2	CSICSE2	CSIPR20 CSIPR21

図13－2　割り込み制御レジスタ（××ICn）のフォーマット（1/3）

	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
PIC0	PIF0	PMK0	PISM0	PCSE0	0	0	PPR01	PPR00	FFE0H	43H	R/W
CPTIC3	CPTIF3	CPTMK3	CPTISM3	CPTCSE3	0	0	CPTPR31	CPTPR30	FFE1H	43H	R/W
CPTIC2	CPTIF2	CPTMK2	CPTISM2	CPTCSE2	0	0	CPTPR21	CPTPR20	FFE2H	43H	R/W
CRIC12	CRIF12	CRMK12	CRISM12	CRCSE12	0	0	CRPR121	CRPR120	FFE3H	43H	R/W
CRIC00	CRIF00	CRMK00	CRISM00	CRCSE00	0	0	CRPR001	CRPR000	FFE4H	43H	R/W
CLRIC1	CLRIF1	CLRMK1	CLRISM1	CLRCSE1	0	0	CLRPR11	CLRPR10	FFE5H	43H	R/W
CRIC10	CRIF10	CRMK10	CRISM10	CRCSE10	0	0	CRPR101	CRPR100	FFE6H	43H	R/W
CRIC01	CRIF01	CRMK01	CRISM01	CRCSE01	0	0	CRPR011	CRPR010	FFE7H	43H	R/W

××PR1	××PR2	割り込み優先順位の指定
0	0	優先順位０（最優先）
0	1	優先順位１
1	0	優先順位２
1	1	優先順位３

××CSE	コンテキスト・スイッチング許可フラグ
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

××ISM	マクロ・サービス許可フラグ
0	ベクタ割り込みで処理
1	マクロ・サービスで処理

××MK	割り込み要求の許可／禁止（保留）の指定
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

××IF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生して割り込み要求状態

図13－2　割り込み制御レジスタ（××ICn）のフォーマット（2/3）

	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
CRIC02	CRIF02	CRMK02	CRISM02	CRCSE02	0	0	CRPR021	CRPR020	FFE8H	43H	R/W
CRIC11	CRIF11	CRMK11	CRISM11	CRCSE11	0	0	CRPR111	CRPR110	FFE9H	43H	R/W
CPTIC1	CPTIF1	CPTMK1	CPTISM1	CPTCSE1	0	0	CPTPR11	CPTPR10	FFEAH	43H	R/W
CRIC20	CRIF20	CRMK20	CRISM20	CRCSE20	0	0	CRPR201	CRPR200	FFEBH	43H	R/W
TBIC	TBIF	TBMK	TBISM	TBCSE	0	0	TBPR1	TBPR0	FFEDH	43H	R/W
ADIC	ADIF	ADMK	ADISM	ADCSE	0	0	ADPR1	ADPR0	FFEEH	43H	R/W
PIC2	PIF2	PMK2	PISM2	PCSE2	0	0	PPR21	PPR20	FFEFH	43H	R/W
CRIC40	CRIF40	CRMK40	CRISM40	CRCSE40			CRPR401	CRPR400			
UDCIC	UDCIF	UDCMK	UDCISM	UDCCSE	0	0	UDCPR1	UDCPR0	FFF0H	43H	R/W

××PR1	××PR2	割り込み優先順位の指定
0	0	優先順位0（最優先）
0	1	優先順位1
1	0	優先順位2
1	1	優先順位3

××CSE	コンテキスト・スイッチング許可フラグ
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

××ISM	マクロ・サービス許可フラグ
0	ベクタ割り込みで処理
1	マクロ・サービスで処理

××MK	割り込み要求の許可／禁止（保留）の指定
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

××IF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生して割り込み要求状態

図13－2　割り込み制御レジスタ（××ICn）のフォーマット（3/3）

	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
CRIC30	CRIF30	CRMK30	CRISM30	CRCSE30	0	0	CRPR301	CRPR300	FFF1H	43H	R/W
CRIC50	CRIF50	CRMK50	CRISM50	CRCSE50	0	0	CRPR501	CRPR500	FFF2H	43H	R/W
CRIC13	CRIF13	CRMK13	CRISM13	CRCSE13	0	0	CRPR131	CRPR130	FFF3H	43H	R/W
CSIIC1	CSIIF1	CSIMK1	CSIISM1	CSICSE1	0	0	CSIPR11	CSIPR10	FFF4H	43H	R/W
WIC	WIF	WMK	WISM	WCSE	0	0	WPR1	WPR0	FFF5H	43H	R/W
PIC1	PIF1	PMK1	PISM1	PCSE1	0	0	PPR11	PPR10	FFF7H	43H	R/W
PIC3	PIF3	PMK3	PISM3	PCSE3	0	0	PPR31	PPR30	FFF8H	43H	R/W
CSIIC2	CSIIF2	CSIMK2	CSIISM2	CSICSE2	0	0	CSIPR21	CSIPR20	FFFAH	43H	R/W

××PR1	××PR2	割り込み優先順位の指定
0	0	優先順位０（最優先）
0	1	優先順位１
1	0	優先順位２
1	1	優先順位３

××CSE	コンテキスト・スイッチング許可フラグ
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

××ISM	マクロ・サービス許可フラグ
0	ベクタ割り込みで処理
1	マクロ・サービスで処理

××MK	割り込み要求の許可／禁止（保留）の指定
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

××IF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生して割り込み要求状態

13.3.2 割り込みマスク・フラグ・レジスタ（MK0L，MK0H，MK1L，MK1H）

割り込みマスク・フラグ・レジスタ（MK0L，MK0H，MK1L，MK1H）は，25種類のマスカブル割り込み要求に対応した割り込みマスク・フラグで構成されるレジスタです。

各フラグは，対応する割り込み要求についてベクタ割り込み処理，マクロ・サービス処理の許可／禁止を指定します。

割り込みマスク・フラグ・レジスタの内容は，割り込み処理の起動などにより変化することはありません。また，割り込みマスク・フラグ・レジスタの内容と，割り込み制御レジスタ内の割り込みマスク・フラグとは同一の内容となります。

マクロ・サービス処理要求もマスク制御の対象で，このレジスタによりマスクできます。

割り込みマスク・フラグ・レジスタは，バイト・アクセスまたはワード・アクセスが可能です。

ソフトウエアにより，ビット単位でセット／リセットできます。

$\overline{\text{RESET}}$入力により，各割り込みマスク・フラグは“1”になります。

割り込みマスク・フラグ・レジスタのフォーマットを図13-3に示します。

図13-3　割り込みマスク・フラグ・レジスタ（MK××）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MK0L	CRMK01	CRMK10	CLRMK1	CRMK00	CRMK12	CPTMK2	CPTM3	PMK0	FFACH	FFH	R/W
MK0H	CRMK40 / PMK2	ADMK	TBMK	1	CRMK20	CPTMK1	CRMK11	CRMK02	FFADH	FFH	R/W
MK1L	PMK1	1	WMK	CSIMK1	CRMK13	CRMK50	CRMK30	UDCMK	FFAEH	FFH	R/W
MK1H	1	1	1	1	1	CSIMK2	1	PMK3	FFAFH	FFH	R/W

××MK	割り込み処理の許可／禁止（保留）
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

13.3.3　割り込みモード・コントロール・レジスタ（IMC）

割り込みモード・コントロール・レジスタ（IMC）は，PRSLフラグで構成されるレジスタです。PRSLフラグは，優先順位が最下位レベル（レベル３）に指定されているマスカブル割り込みのネスティングの許可／禁止を指定します。

なお，レベル０，１，２は，IMCレジスタの設定にかかわらず，同一レベル同士の割り込みのネスティングはできません。

IMCレジスタを操作する場合は，誤動作を防ぐために割り込み禁止状態(DI状態)に設定してから行ってください。

ソフトウエアにより，セット／リセットできます。

$\overline{\text{RESET}}$入力により，PRSLフラグは，“1”になります。

IMCレジスタのフォーマットを図13－４に示します。

図13－４　割り込みモード・コントロール・レジスタ（IMC）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMC	PRSL	0	0	0	0	0	0	0	FFAAH	80H	R/W

PRSL	ネスティング動作の制御
0	レベル３（最下位レベル）に設定された割り込み間でのネスティングを許可。
1	レベル３（最下位レベル）に設定された割り込み間でのネスティングを禁止。

13.3.4　インサービス・プライオリティ・レジスタ（ISPR）

インサービス・プライオリティ・レジスタ（ISPR）は，受け付け中の割り込みの優先順位レベルを保持するレジスタです。割り込み要求が受け付けられると，その割り込み要求の優先順位レベルに対応するビットがセット（1）され，サービス中保持されます。

RETI命令またはRETCS命令の実行の際，ISPRレジスタ内でセット（1）されているビットのうち，最も優先順位の高い割り込み要求に対応するビットが，ハードウエアにより自動的にリセット（0）されます。

RETB命令およびRETCSB命令の実行では，ISPRレジスタの内容は変化しません。

また，ノンマスカブル割り込み（NMI）の受け付け状況をこのレジスタで把握できます。

$\overline{\text{RESET}}$入力により，00Hになります。

ISPRレジスタのフォーマットを図13－5に示します。

図13－5　インサービス・プライオリティ・レジスタ（ISPR）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ISPR	NMIS	0	0	0	ISPR3	ISPR2	ISPR1	ISPR0	FFA8H	00H	R

ISPRn	優先順位のレベル
0	優先順位nの割り込み要求を受け付けていない
1	優先順位nの割り込み要求を受け付け中

備考　n＝0－3

NMIS	ノンマスカブル割り込み(NMI)のステータス
0	ノンマスカブル割り込み（NMI）を受け付けていない
1	ノンマスカブル割り込み（NMI）を受け付け中

注意　ISPRレジスタは読み出しのみ可能です。

保守／廃止

13.3.5　割り込み要求許可フラグ（IE）

割り込み要求許可フラグ（IE）は，マスカブル割り込み要求の動作状態を制御し，ベクタ割り込み処理の許可／禁止を指定するフラグです。プログラム・ステータス・ワードの下位８ビット（PSWL）内のビット３にマッピングされています。

EI命令でセット（1），DI命令でリセット（0）できます。

ベクタ割り込み処理起動時には，プログラム・ステータス・ワード（PSW）内のほかのフラグとともにスタック・エリアに退避されたのち，ハードウエアで自動的にリセット（0）されます。

ベクタ割り込み処理からの復帰時は，RETI命令によって割り込み処理直前の内容がスタック・エリアから復帰されます。

なお，ノンマスカブル割り込みおよびマクロ・サービスは，このフラグに関係なく割り込み要求の受け付けが行われます。また，マクロ・サービスでは，IEフラグの内容は変化しません。

コンテキスト・スイッチングおよびBRKCS命令実行時には，PSW内のほかのフラグとともにレジスタ・バンクの固定エリアに退避され，IEフラグはリセット（0）されます。また，RETCS，RETCSB命令実行により，レジスタ・バンクの固定エリアから復帰します。

図13－6　プログラム・ステータス・ワード（PSWL）のフォーマット

略号	7	6	5	4	3	2	1	0	リセット時
PSWL	S	Z	RSS	AC	IE	P/V	0	CY	00H

IE	ベクタ割り込み処理の指定
0	マスカブル割り込みのベクタ割り込み処理を禁止
1	マスカブル割り込みのベクタ割り込み処理を許可

13.4　ソフトウエア割り込み要求

ソフトウエア割り込みは，CPUのブレーク命令実行による割り込み要求で，常時受け付け可能です。ソフトウエア割り込みを発生する命令には，次の２つがあります。

- BRK命令　：メモリの003EH，003FH番地の内容で示されるアドレスに分岐。
- BRKCS命令：コンテキスト・スイッチング処理による分岐。命令で示されるレジスタ・バンクにスイッチング。

これらの命令をDI状態で実行しても割り込みは発生します。また割り込み優先順位指定の制御を受けません。

BRK命令が実行されると，無条件にベクタテーブルの内容がPCにセットされて分岐します。

BRK命令の割り込み処理ルーチン中で，新たなBRK命令を実行することにより，自分自身のルーチンをネスティングすることもできます。

また，BRK命令の割り込み処理ルーチン内で，EI命令を実行すると，EI状態となり，マスカブル割り込み要求を受け付けることができます。

ソフトウエア割り込みからの復帰には次の命令を必ず実行してください。

- RETB命令　（BRK命令からの復帰）
- RETCSB命令（BRKCS命令からの復帰）

13.5　オペランド・エラー割り込み要求

オペランド・エラー割り込み要求は，スタンバイ・コントロール・レジスタ（STBC）への書き込みおよびLOCATION命令の設定が正常に行われなかった場合に発生する割り込みです。

STBCレジスタへの書き込み命令およびLOCATION命令は，特殊な命令コードの構成となっています。命令語の３バイト目と４バイト目の命令コードが互いに補数の時のみ書き込みが可能です。命令語の３バイト目と４バイト目の命令コードが補数でなかった場合にオペランド・エラー割り込みを発生します（**14.2.1　スタンバイ・コントロール・レジスタ（STBC）**参照）。

オペランド・エラー割り込みは，割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象にはなりません。

オペランド・エラー割り込みが発生すると，PSWとエラーを発生した命令の先頭アドレスをスタックに退避し，IEフラグをクリア（0）し，ベクタ・テーブルの値をPCにロードし，分岐します。

スタックに退避されるアドレスが，エラーを発生した命令の先頭アドレスとなっているので，単純にオペランド・エラー割り込みサービス・プログラムの最後にRETB命令を記述しただけでは，再度オペランド・エラー割り込みが発生してしまいます。したがって，スタック中のアドレスを加工するか，または**13.14　割り込み機能を初期状態に戻す方法**を参考にしてオペランド・エラーの再発を防いでください。

13.6　ノンマスカブル割り込み要求

ノンマスカブル割り込み要求は，割り込み禁止（DI）状態であっても無条件に受け付けられます。また，割り込み優先順位の対象にならず，すべての割り込みに対して最優先の割り込み要求です。

ただし，ノンマスカブル割り込みサービス・プログラム実行中および，**13.11　割り込み要求およびマクロ・サービスが一時的に保留される場合**に記述されている状態では受け付けられません。

ノンマスカブル割り込み要求はNMI端子によって行います。NMI端子入力に外部割り込みモード・レジスタ0（INTM0）のビット0（ESNMI）で指定した有効エッジが検出されたとき，割り込みは発生します。

また，ノンマスカブル割り込みはINTP1，INTP2端子入力，キー端子入力，または時計タイマによって発生させることができます。詳細は，**13.8.3　キー割り込み機能**，**13.8.4　時計割り込み機能**を参照してください。

ノンマスカブル割り込み要求が受け付けられるとPSW，PCの順にスタックへの退避を行い，PSWのIEフラグをクリア（0）し，ISPRレジスタのNMISビットをセット（1）し，ベクタ・テーブルの内容をPCへロードし，分岐します。

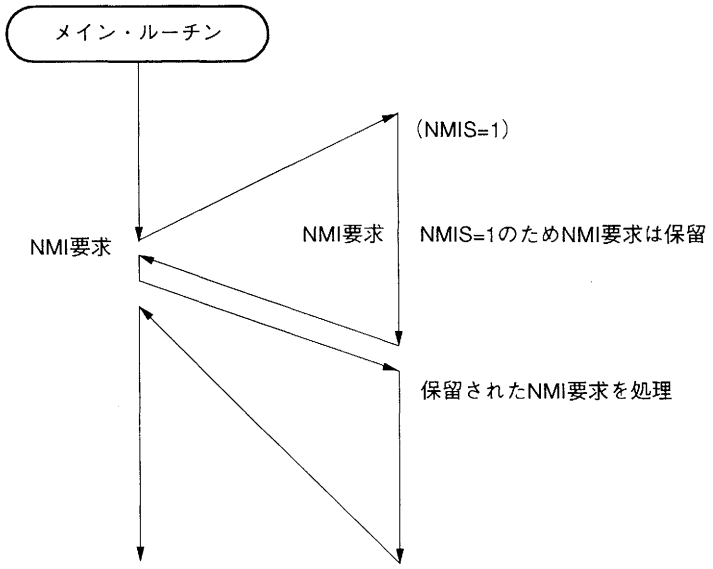
ノンマスカブル割り込みのサービス・プログラムを実行している場合は，ノンマスカブル割り込み要求は，保留されます。保留されたノンマスカブル割り込みは，現在実行中のノンマスカブル割り込みサービス・プログラムの終了後（RETI命令実行後）に受け付けられます。ただし，ノンマスカブル割り込みサービス・プログラム実行中に，ノンマスカブル割り込み要求が2回以上発生しても，ノンマスカブル割り込みサービス・プログラムの終了後に受け付けられるノンマスカブル割り込みは1回だけになります。

図13-7にノンマスカブル割り込み要求の受け付け動作を示します。

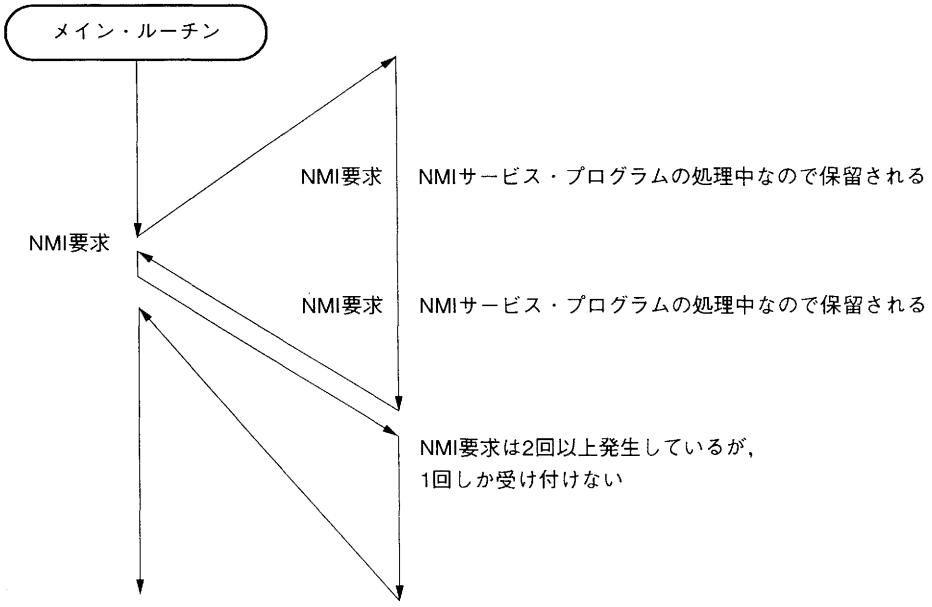
保守／廃止

図13－7　ノンマスカブル割り込み要求の受け付け動作

(a) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合



(b) NMIサービス・プログラム実行中に新たに2回のNMI要求が発生した場合



注意1. ノンマスカブル割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ，処理されます。ノンマスカブル割り込みサービス・プログラム中でマクロ・サービスの処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中で割り込みマスク・フラグを操作して，マクロ・サービスが発生しないようにしてください。

2. ノンマスカブル割り込みからの復帰には，必ずRETI命令を使用してください。他の命令では，以降の割り込みに関する動作が正常に行われません。

3. ノンマスカブル割り込みは，以下に示す状態[注]のときを除いて必ず受け付けられます。したがって，特にリセット解除後などのスタック・ポインタの値が不定の場合でもノンマスカブル割り込みを受け付けます。このときのスタック・ポインタの値によっては特殊機能レジスタ(SFR)の書き込みを禁止しているアドレスへプログラム・カウンタ（PC）およびプログラム・ステータス・ワード（PSW）を書き込んでしまいます。このために，CPUがデッド・ロックしてしまったり，端子から予期しない信号を出力したり，RAMが実装されていないアドレスへPCやPSWを書き込むことにより，ノンマスカブル割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。
したがって，$\overline{\text{RESET}}$解除後のプログラムは必ず次のようにしてください。

```
RSTVCT  CSEG  AT 0
        DW    RSTSTRT
              ⌇
        CSEG  BASE
RSTSTRT :
        LOCATION 0H
        MOVG  SP, #imm24
        MOV   MM, #10000000B
              ⌇
```

注　ノンマスカブル割り込みを受け付けない状態

- ノンマスカブル割り込みサービス・プログラム中
- 13.11　割り込み要求およびマクロ・サービスが一時的に保留される場合に記述されている状態

13.7　マスカブル割り込み要求

マスカブル割り込み要求は，割り込み制御レジスタにより，割り込み受け付けをマスクできる割り込み要求で，25種類の割り込み要因があります。マスカブル割り込みは，次の３つの中から処理モードを選択することができます。

- ベクタ割り込み処理
- マクロ・サービス
- コンテキスト・スイッチング

複数のマスカブル割り込み要求が同時に発生した場合は，ディフォールト優先順位によりその優先順位が決定します。また，ディフォールト優先順位とは別に，割り込み制御レジスタによって，４レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求が受け付けられるとDI状態になり，以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行するとEI状態となり，受け付け中の割り込み要求の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。ただし，割り込みモード・コントロール・レジスタ（IMC）のPRSLビットに“0”を設定した場合，最下位レベル（レベル３）のみ同一優先順位の割り込み要求を許可します。

また，マクロ・サービスは優先順位に無関係でDI状態でも受け付けられます。

図13－８に割り込み受け付け処理アルゴリズムを示します。

図13－8　割り込み受け付け処理アルゴリズム

保守／廃止

13.7.1　マスカブル割り込みの優先順位

μPD784915は，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは，優先順位によって制御できます。

優先順位制御には，ディフォールト優先順位による制御と，優先順位指定フラグ設定によるプログラム優先順位制御があります。ディフォールト優先順位による優先順位制御は，複数の割り込みが同時に発生している場合，各割り込み要求にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込み処理を行います(**表13－3**参照)。プログラマブル優先順位制御は，各割り込み要求を優先順位指定フラグの設定によって４レベルに分けます。多重割り込み可能な割り込みについて表13－5に示します。

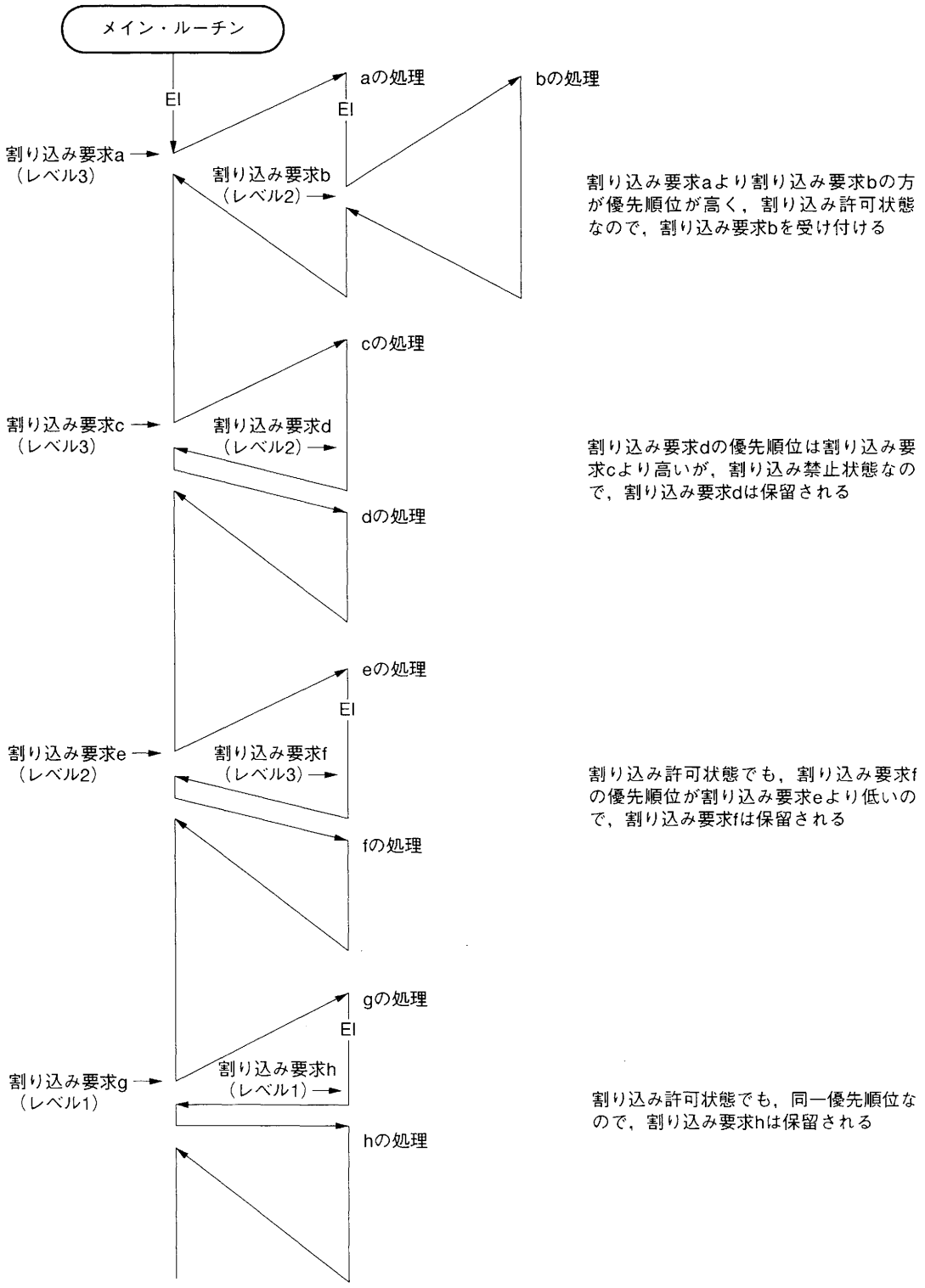
なお，割り込みを受け付けるとIEフラグが自動的にクリア(0)されますので，多重割り込みを使用する場合は，割り込み処理プログラム中でEI命令を実行するなどしてIEフラグをセット(1)し，割り込み許可状態にしてください。

表13－5　多重割り込み処理

現在受け付け中の割り込みの優先順位	ISPRの値	PSWのIEフラグ	IMCレジスタのPRSLフラグ	受け付け可能なマスカブル割り込み
受け付け中の割り込みなし	00000000	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマスカブル割り込み
3	00001000	0	×	・すべてのマクロ・サービスのみ
		1	0	・すべてのマスカブル割り込み
		1	1	・すべてのマクロ・サービス ・優先順位を０，１，２に指定したマスカブル割り込み
2	0000×100	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマクロ・サービス ・優先順位を０，１に指定したマスカブル割り込み
1	0000××10	0	×	・すべてのマクロ・サービスのみ
		1	×	・すべてのマクロ・サービス ・優先順位を０に指定したマスカブル割り込み
0	0000×××1	×	×	・すべてのマクロ・サービスのみ
ノンマスカブル割り込み	1000××××	×	×	・すべてのマクロ・サービスのみ

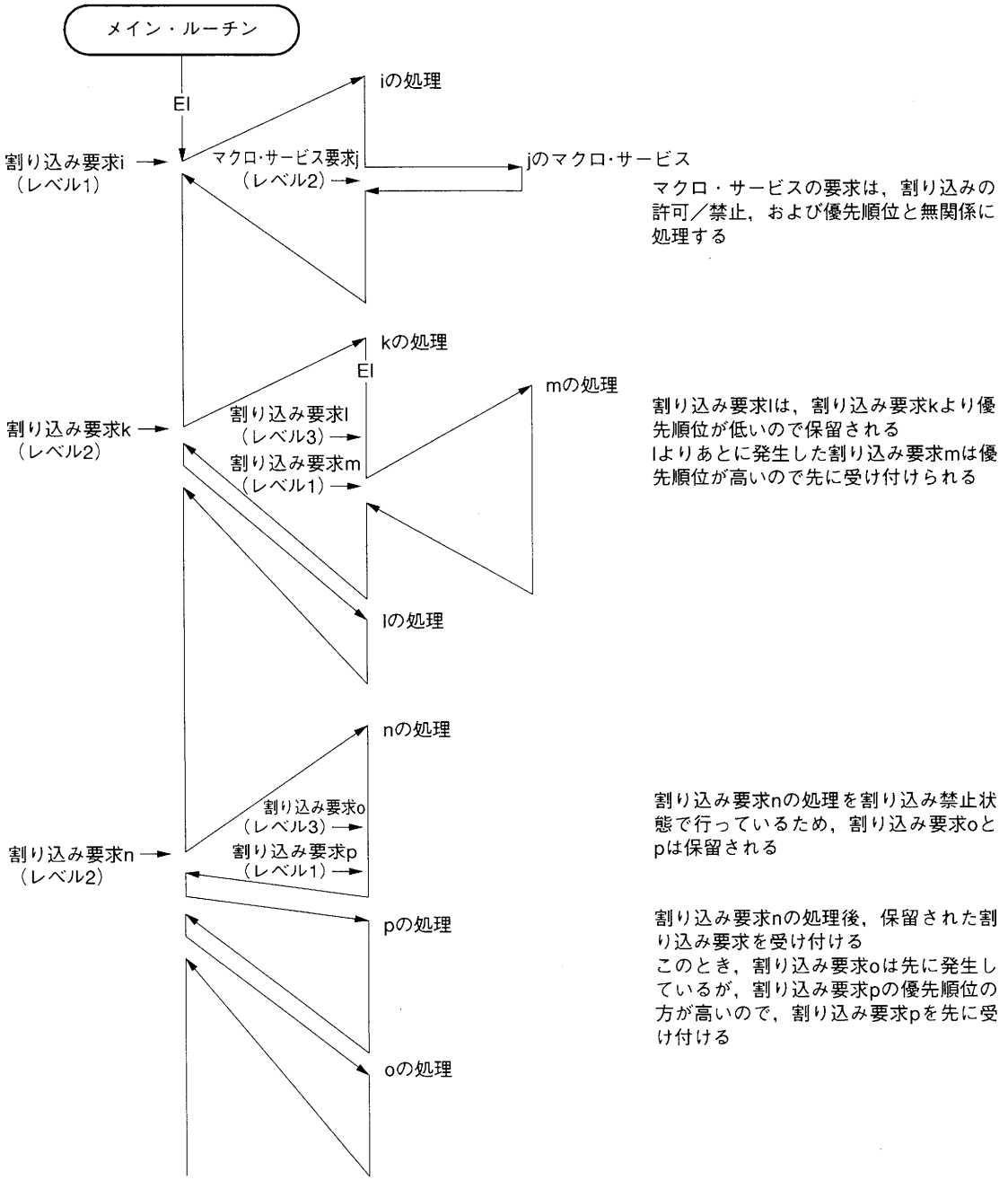
保守／廃止

図13－9　割り込み処理中に他の割り込み要求が発生した場合の処理例（1/3）



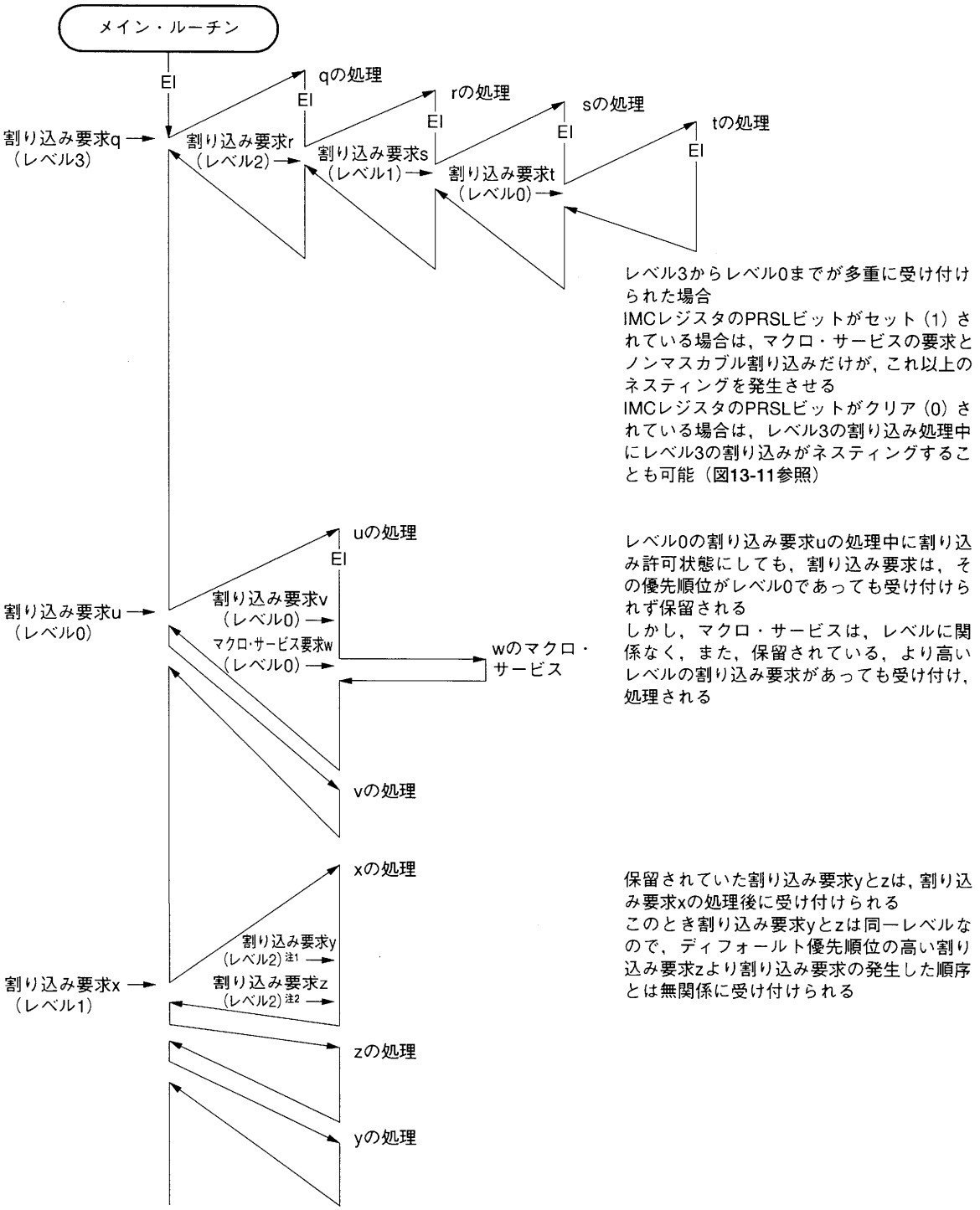
保守／廃止

図13－9　割り込み処理中に他の割り込み要求が発生した場合の処理例（2/3）



保守／廃止

図13－9　割り込み処理中に他の割り込み要求が発生した場合の処理例（3/3）



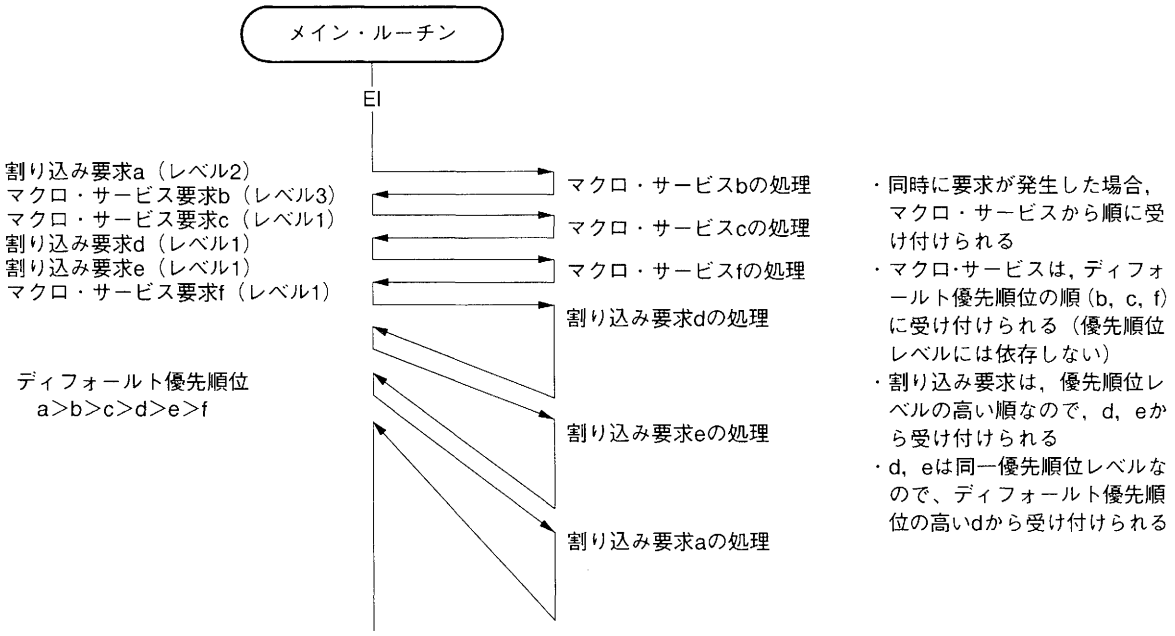
注1．ディフォールト優先順位が低い

　2．ディフォールト 優先順位が高い

備考1．図中のa-z は，割り込み要求およびマクロ・サービス 要求を区別するためにつけた仮の名称です。

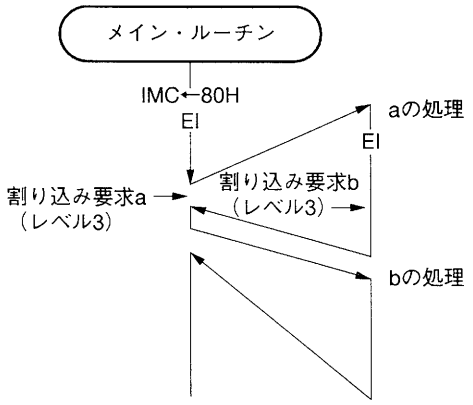
　2．図中のディフォールト優先順位の高い／低いは，2つの割り込み要求間の相対的な優先順位の高さを示します。

図13－10　同時発生した割り込み要求の処理例



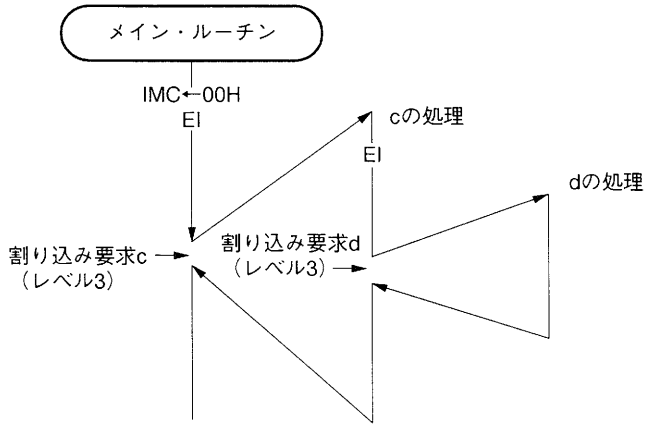
備考　図中のa-fは，割り込み要求およびマクロ・サービス要求を区別するためにつけた仮の名称です。

図13－11　IMCレジスタの設定によるレベル３の割り込み受け付け動作の違い



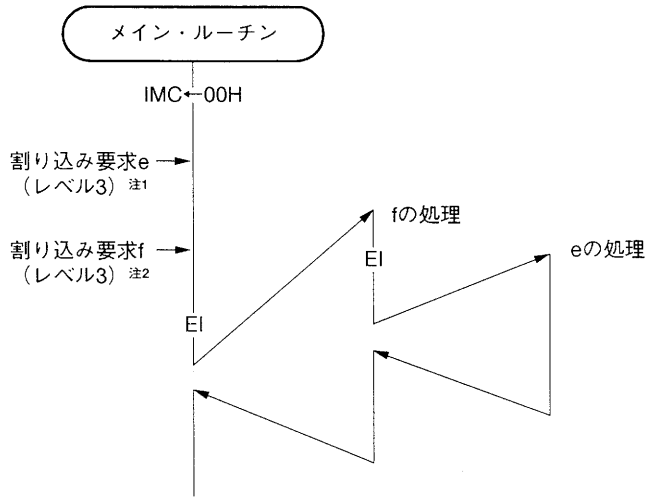
IMCレジスタのPRSL=1として，レベル3の割り込み間でのネスティングを禁止

割り込み許可状態であっても同一優先順位なので，割り込み要求bは保留される



IMCレジスタのPRSL=0として，レベル3の割り込み処理中でも，レベル3の割り込みを受け付けられる（ネスティングできる）ように設定

レベル3の割り込み要求cが割り込み許可状態で処理されており，PRSL=0なので，同一のレベル3の割り込み要求dを受け付ける



割り込み要求eとfは同一レベルなので，ディフォールト優先順位の高い割り込み要求fが先に受け付けられる
割り込み要求fの処理中に割り込み許可状態にすると，PRSL=0なので，保留されていた割り込み要求eが受け付けられる

注１．ディフォールト優先順位が低い
　２．ディフォールト優先順位が高い

備考１．図中のa-fは，割り込み要求を区別するためにつけた仮の名称です。
　２．図中のディフォールト優先順位の高い／低いは，２つの割り込み要求間の相対的な優先順位の高さを示します。

保守／廃止

13.8　外部割り込み要求機能

外部割り込み要求機能は，NMI，INTP0-INTP3，DFGIN，CSYNCIN，REEL0IN，REEL1IN端子入力，およびPBCTL信号入力に対し，外部割り込みモード・レジスタ0（INTM0），外部キャプチャ・モード・レジスタ1，2（INTM1，INTM2）で指定した有効エッジを入力したときに発生します。

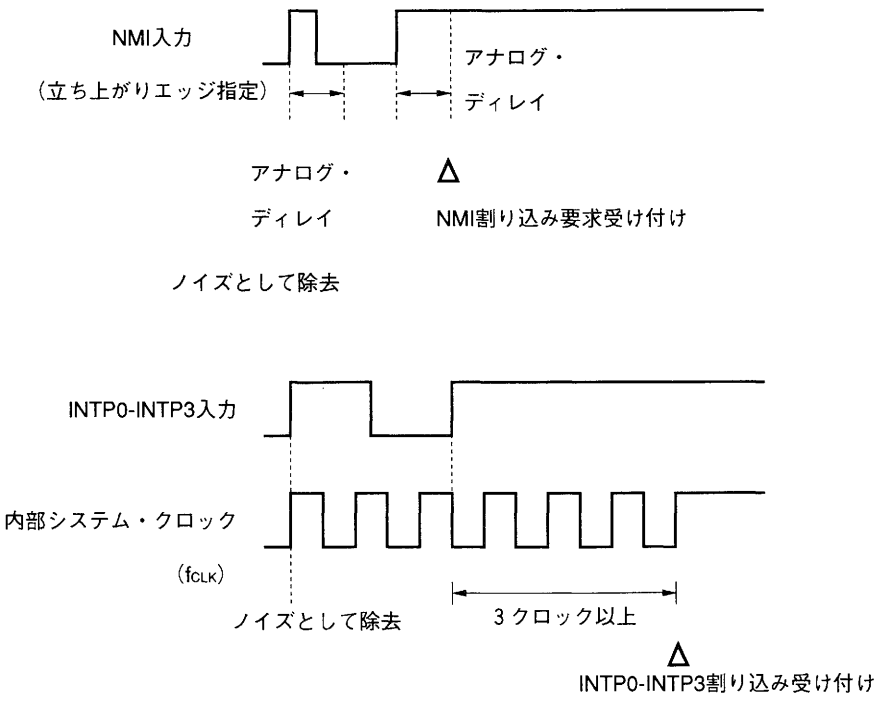
また，NMIを複数要因で発生させることができます。これにより，キー割り込みや時計などでスタンバイ状態を解除することができます。

13.8.1　外部割り込み端子のノイズ除去

NMI端子には，アナログ・ディレイによるノイズ除去回路が内蔵されています。したがって，ノイズとして除去されないためには，十分な幅の信号を入力する必要があります（図13－12参照）。

INTP0-INTP3はディジタル・サンプリングによるノイズ除去を内蔵しています。通常，サンプリング・クロックはf_{CLK}ですが，INTP2のサンプリング・クロックは，TRGS40ビット（TMC2.0）によりf_{CLK}または$f_{CLK}/128$のどちらかに設定することができます。

図13－12　外部割り込み要求端子入力のノイズ除去



13.8.2　外部割り込み制御レジスタ

外部割り込み信号を制御するものとして，次のレジスタがあります。

① 外部割り込みモード・レジスタ０　(INTM0)
② プルアップ抵抗オプション・レジスタL　(PUOL)
③ タイマ・コントロール・レジスタ２　(TMC2)
④ 外部キャプチャ・モード・レジスタ１，２ (INTM1，INTM2)
⑤ キャプチャ・モード・レジスタ　(CPTM)

表13－6　外部割り込み信号の有効エッジと制御レジスタ

外部割り込み信号	有効エッジ	制御レジスタ
NMI	・立ち上がり ・立ち下がり	INTM0
INTP0 INTP1 INTP2	・立ち上がり ・立ち下がり ・立ち上がり，立ち下がり	
INTP3 (REEL0信号／REEL1信号)	・立ち上がり ・立ち下がり ・立ち上がり，立ち下がり	INTM2
DFG信号	・立ち上がり	—
CSYNC信号	・立ち上がり ・立ち下がり	INTM2
CFG信号 (PBCTL信号)	・立ち上がり ・立ち下がり ・立ち上がり，立ち下がり	INTM1

(1) 外部割り込みモード・レジスタ (INTM0)

INTM0は，NMI，INTP0-INTP2端子の有効エッジ指定を行う８ビット・レジスタです。

INTM0は，８ビットの操作命令，ビット操作命令でデータの読み出し／書き込みができます（図13－13参照）。

図13－13　外部割り込みモード・レジスタ（INTM0）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	NMILVL	ESNMI	FFA0H	000000×0	R/W

R/W

ESNMI	NMI端子入力検出エッジ指定注
0	立ち下がりエッジ
1	立ち上がりエッジ

R

NMILVL	NMI端子レベル検出フラグ

R/W

ES01	ES00	INTP0有効エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

R/W

ES11	ES10	INTP1有効エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

R/W

ES21	ES20	INTP2端子入力検出エッジ指定／CR40キャプチャ・トリガ指定	CR41キャプチャ・トリガ指定
0	0	立ち下がりエッジ	立ち上がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ
1	0	選択エッジなし	立ち上がり／立ち下がり両エッジ
1	1	立ち上がり／立ち下がり両エッジ	キャプチャしない

注　NMI端子入力検出エッジを指定するときは，次の割り込みをすべてマスクしてください。

- 時計割り込み
- キー割り込み

備考　INTP2とINTCR40の使い分けについて

①　INTP2だけを使う場合

TM4の動作を停止するか，CR40レジスタをキャプチャ・モードにしてください。

②　INTCR40（コンペア・レジスタ）だけを使う場合

INTP2を選択エッジなしにしてください。

③　INTCR40（コンペア・レジスタ）は割り込みを発生させ，かつINTP2端子のエッジ検出をフラグ・センスにしたい場合

INTP2を選択エッジなしにしてください。このことにより，INTCR40のみ発生します。

このとき，CR41キャプチャ・レジスタは，両エッジ選択状態となっているので，CR41レジスタにキャプチャしたかどうかでエッジ検出を判断できます。

(2) プルアップ抵抗オプション・レジスタL（PUOL）

INTP1，INTP2はプルアップ抵抗を内蔵しています。プルアップする必要がある場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタL（PUOL）のビット2（PUO2）により2ビット一括して指定します（ビットごとには指定できません）。

図13-14　プルアップ抵抗オプション・レジスタL（PUOL）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOL	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	PUO0	FF4EH	00H	R/W

PUO2	INTP1，INTP2のプルアップ抵抗の指定
0	INTP1，INTP2でプルアップ抵抗を使用しない
1	INTP1，INTP2でプルアップ抵抗を使用する

備考　STOPモードに入る場合は，消費電流を低減するために，PUOLに00Hを設定することが有効です。

(3) タイマ・コントロール・レジスタ2（TMC2）

TMC2は，INTP2のノイズ除去用のディジタル・サンプリング・クロックの設定を行う8ビット・レジスタです。

TMC2は，8ビット操作命令，ビット操作命令でデータの読み出し／書き込みができます。

図13-15　タイマ・コントロール・レジスタ2（TMC2）のフォーマット

	⑦	6	5	4	③	2	1	0	アドレス	リセット時	R/W
TMC2	CS5	0	0	0	CS4	0	0	TRGS40	FF3AH	00H	R/W

TRGS40	INTP2端子のノイズ除去サンプリング・クロック
0	f_{CLK}でサンプリング
1	f_{CLK}/128でサンプリング

CS4	タイマ4カウント動作制御
0	クリアし，カウント停止
1	カウント動作

CS5	タイマ5カウント動作制御
0	クリアし，カウント停止
1	カウント動作

(4) 外部キャプチャ・モード・レジスタ 1 (INTM1)

INTM1は，CFG信号およびPBCTL信号入力部の有効エッジ指定を行う８ビット・レジスタです。

INTM1は，８ビット操作命令，ビット操作命令でデータの読み出し／書き込みができます。

図13－16　外部キャプチャ・モード・レジスタ 1 (INTM1) のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	SEL111	SEL110	ES111	ES110	0	0	ES101	ES100	FFA1H	00H	R/W

ES101	ES100	CFG信号入力検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり　両エッジ

ES111	ES110	PBCTL信号入力部の入力検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり　両エッジ

SEL111	SEL110	PBCTL信号入力部の入力信号指定
0	0	アナログ・アンプ出力 (PBCTL)注
0	1	PTO10端子出力信号
1	0	PTO11端子出力信号
1	1	設定禁止

注　アナログ・アンプ出力：CTLアンプ＋波形整形回路からの出力

(5) 外部キャプチャ・モード・レジスタ2 (INTM2)

INTM2は，REEL0信号，REEL1信号，INTP3，CSYNC信号の有効エッジ指定，およびエッジ指定された入力信号のモード設定などを行う8ビット・レジスタです。

INTM2は，8ビット操作命令，ビット操作命令でデータの読み出し／書き込みができます。

図13－17　外部キャプチャ・モード・レジスタ2 (INTM2) のフォーマット

	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM2	FFIELD	ESCLR1	SELCLR1	VSYNCS	ES31	ES30	ESRL1	ESRL0	FFA2H	00H	R/W

R/W

ESRL1	ESRL0	REEL0信号，REEL1信号入力有効エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり　両エッジ

R/W

ES31	ES30	INTP3発生ソース指定
0	0	REEL0信号有効エッジ入力
0	1	REEL1信号有効エッジ入力
1	0	設定禁止
1	1	REEL0信号またはREEL1信号有効エッジ入力（論理和）

R/W

VSYNCS	V_{SYNC}分離パルス幅の選択
0	13.0 μs (104/f_{CLK}) 未満のパルスを除去する
1	22.0 μs (176/f_{CLK}) 未満のパルスを除去する

R/W

SELCLR1	INTCLR1の割り込みソース選択
0	垂直同期信号モード (V_{SYNC}分離回路の出力)
1	複合同期信号モード(V_{SYNC}分離回路の出力とCSYNC信号入力の論理和)

R/W

ESCLR1	CSYNC信号入力の有効エッジ指定
0	立ち下がりエッジ
1	立ち上がりエッジ

R

FFIELD	フィールド判別結果フラグ
0	偶数フィールド
1	奇数フィールド

(6) キャプチャ・モード・レジスタ（CPTM）

CPTMは，INTM2で有効エッジ指定された入力信号のモード設定などを行う８ビット・レジスタです。

CPTMは，８ビット操作命令，ビット操作命令でデータの読み出し／書き込みができます。

図13－18　キャプチャ・モード・レジスタ（CPTM）のフォーマット

	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
CPTM	FCPT5	FCPT4	TRGS011	TRGS010	0	TRGS120	TRGS001	TRGS000	FF53H	00H	R/W

R/W

TRGS001	TRGS000	CPT0キャプチャ・トリガ指定
0	0	TM1-CR10一致信号
0	1	CSYNC信号入力エッジ検出信号
1	0	TM1クリア信号
1	1	TM1-CR10一致信号とCSYNC信号入力エッジ検出信号の論理和

R/W

TRGS120	CR12キャプチャ・トリガ指定
0	PBCTL信号入力エッジ検出信号（INTM1のビット６,７で指定した信号）
1	CFG信号入力分周信号（EDV-EDVC一致信号）

R/W

TRGS011	TRGS010	CPT1キャプチャ・トリガ指定
0	0	タイマ０クリア・パルスの立ち下がりエッジ
0	1	タイマ０クリア・パルスの立ち上がりエッジ
1	0	設定禁止
1	1	タイマ０クリア・パルスの立ち下がり／立ち上がり両エッジ

R

FCPT4	CPT4のキャプチャ・フラグ
0	CPT4にキャプチャしていない
1	CPT4にキャプチャした

R

FCPT5	CPT5のキャプチャ・フラグ
0	CPT5にキャプチャしていない
1	CPT5にキャプチャした

保守／廃止

★　注意1．ビット３には，必ず０を書き込んでください。

2．ビット６（FCPT4），ビット７（FCPT5）のクリア（0）条件は以下のとおりです。

① ビット6(FCPT4)のクリア条件：FCPT4は，キャプチャ・レジスタ４（CPT4）の下位16ビット（CPT4L）を読み出すことでクリア(0)されます。

② ビット7(FCPT5)のクリア条件：FCPT5は，キャプチャ・レジスタ５（CPT5）の下位16ビット（CPT5L）を読み出すことでクリア(0)されます。

13.8.3　キー割り込み機能

キー割り込み機能は，キー入力および外部割り込みINTP1，INTP2でNMIを発生する機能です。NMIは，割り込みアーキテクチャ上では１本ですが，この機能により複数端子のエッジ入力でNMIを発生することができ，スタンバイ・モードを解除できます。

キー割り込みコントロール・レジスタ（KEYC：**図13－19**参照）の設定により次のようなことができます。

- キー割り込み発生の許可／禁止
- NMI発生時，それがキー割り込みによるものであることの確認

図13－20にキー割り込みおよび時計割り込み機能のブロック図を示します。

注意　キー入力および外部割り込みでNMIを起動する場合，有効エッジはハードウエア的に立ち下がりエッジ固定となります。INTMOレジスタでINTP1，INTP2の有効エッジ指定を変更する必要はありません。

図13－19　キー割り込みコントロール・レジスタ（KEYC）のフォーマット

	⑦	6	5	4	3	2	1	⓪	アドレス	リセット時	R/W
KEYC	KEYIF	KEYMK2	KEYMK1	KEYMK0	0	0	0	HWIF	FFA6H	70H	R/W

HWIF	時計割り込みNMI発生フラグ
0	時計割り込みによりNMIを発生していない
1	時計割り込みによりNMIを発生した

KEYMK0	KEY0，KEY1，INTP1，INTP2の制御
0	入力によりNMIを起動する
1	入力によりNMIを起動しない（マスクする）

KEYMK1	KEY2，KEY3の制御
0	入力によりNMIを起動する
1	入力によりNMIを起動しない（マスクする）

KEYMK2	KEY4の制御
0	入力によりNMIを起動する
1	入力によりNMIを起動しない（マスクする）

KEYIF	キー割り込みNMI発生フラグ
0	キー割り込み入力によりNMIを起動していない
1	キー割り込み入力によりNMIを起動した

注意　KEYC.0（HWIF），KEYC.7（KEYIF）に0をライトすると，NMI発生フラグをクリアします。したがって，HWIF，KEYIFビットへの0ライトとNMI発生フラグのセット（発生）が競合した場合，NMI発生フラグがセットされないことがありますので注意が必要です。

13.8.4　時計割り込み機能

時計割り込みによりスタンバイ状態を解除する機能です。時計割り込みの発生でNMIを起動します。

また，時計モード・レジスタ（WM）の設定により，NMIの起動許可／禁止を設定することもできます。

図13－20にキー割り込みおよび時計割り込み機能のブロック図，図13－21に時計モード・レジスタのフォーマットを示します。

図13－20　キー割り込みおよび時計割り込み機能のブロック図

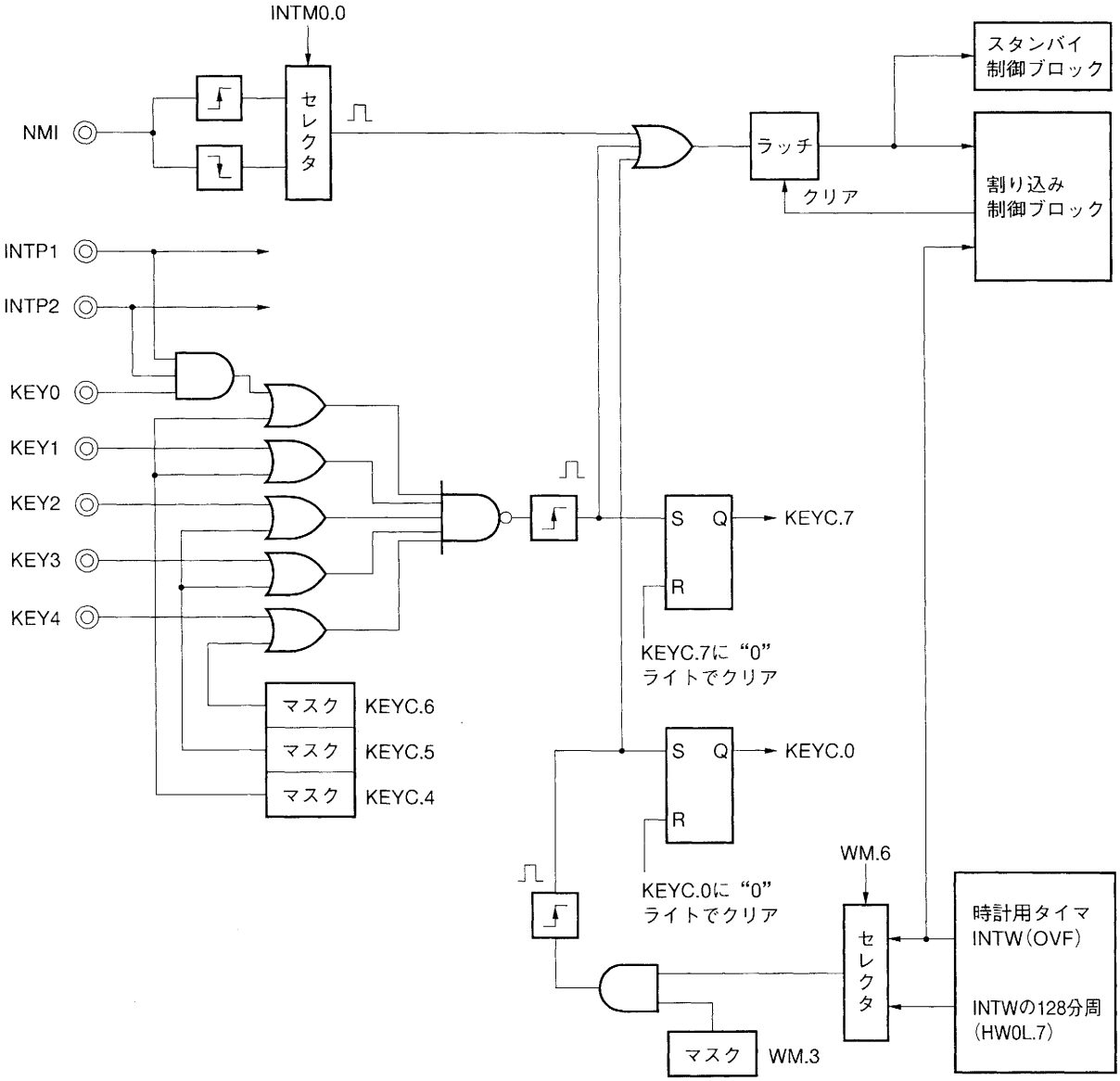


図13-21　時計モード・レジスタ（WM）のフォーマット

	⑦	6	5	4	3	②	①	0	アドレス	リセット時	R/W
WM	WM7	WM6	WM5	WM4	WM3	WM2	WM1	0	FF6FH	00××0×00	R/W

WM1	時計用カウンタ動作モード
0	通常モード
1	早送りモード

WM2	時計用カウンタ動作制御
0	クリアし，カウンタ停止
1	カウント動作

WM3	時計割り込み(INTW)でのNMI起動制御
0	時計割り込みでNMIを起動しない
1	時計割り込みでNMIを起動する（周期はビット6（WM6）で決定）

WM5	WM4	ブザー出力周波数選択
0	0	2.048 kHz
0	1	4.096 kHz
1	0	設定禁止
1	1	32.768 kHz（サブシステム・クロック）

WM6	時計割り込みでNMIを起動する周期
0	0.5秒
1	64秒

WM7	ブザー出力の許可／禁止
0	ブザー出力をP61に重畳しない
1	ブザー出力をP61に重畳する

注意　WM2＝0のときは，WM7＝1としてもP61にブザー出力を重畳しません。

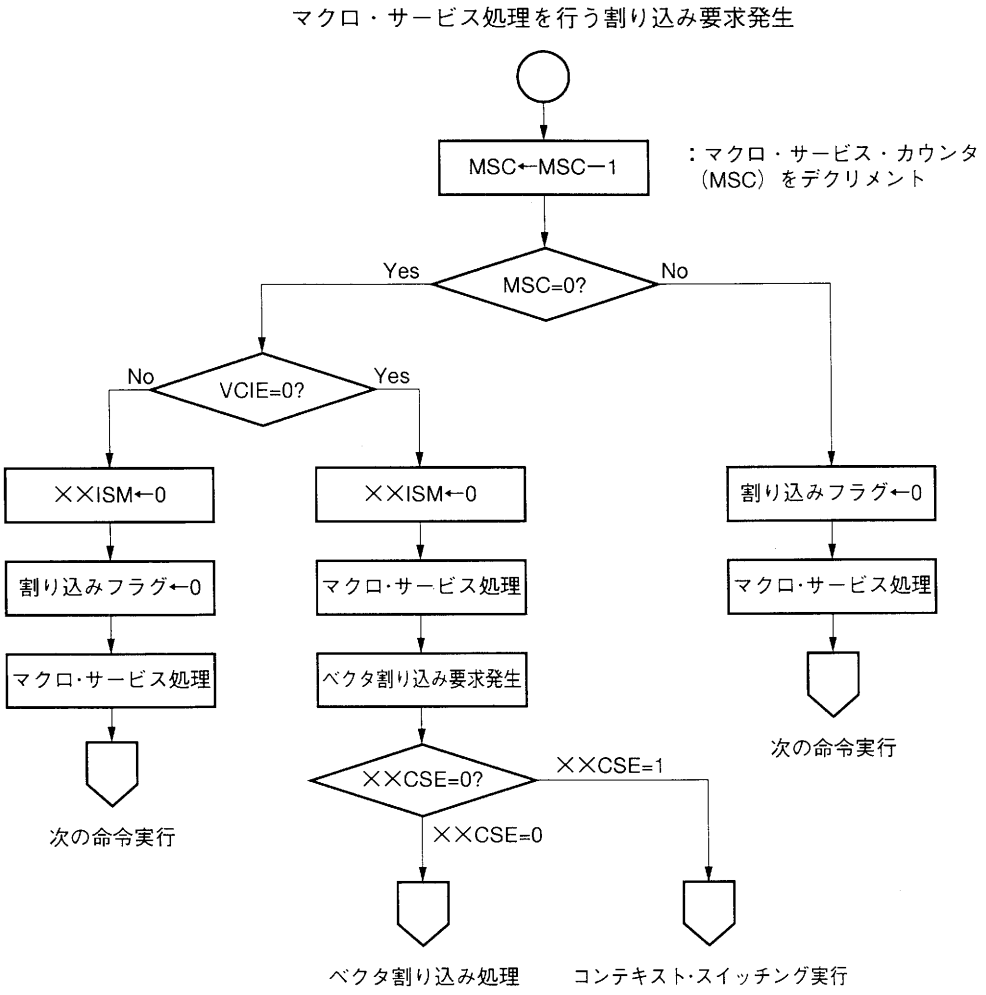
保守／廃止

13.9　マクロ・サービス機能

マクロ・サービス機能は，割り込み要求によって，ハードウエア的に特殊機能レジスタ（SFR）領域とメモリ空間の間でデータ転送を行う機能です。

マクロ・サービス要求が発生すると，CPUはプログラムの実行を一時停止し，各モードのマクロ・サービス処理と特殊機能レジスタ-メモリ間で1/2バイトのデータ転送を自動的に行います。マクロ・サービス処理が終了すると，割り込み要求フラグをリセット(0)し，再びCPUはプログラムの実行を開始します。さらに，マクロ・サービス・カウンタ（MSC）に設定した回数だけマクロ・サービス処理を行ったのち，ベクタ割り込み要求を発生します。ベクタ割り込み要求が発生すると，××CSEビットであらかじめ設定した方法（ベクタ割り込みまたはコンテキスト・スイッチング）で割り込み処理を行います。

図13－22　マクロ・サービス処理シーケンス



注意1．カウンタ・モードのマクロ・サービス処理はなく，MSCのデクリメントのみです。

2．マクロ・サービス・モード・レジスタのビット7（VCIEビット）でベクタ割り込みをするかどうか選択できます。ただし，データ・パターン識別モードは，必ずデータ列の一致，またはMSC=0でベクタ割り込みを行います。

保守／廃止

マクロ・サービス機能による処理は，他の割り込みとは違い，割り込み処理プログラムを起動しないで自動的に行うので，割り込みサービス・ルーチンへの分岐，レジスタの退避／復帰，割り込みサービス・ルーチンからの復帰という一連の動作を行いません。したがって，CPUのサービス時間の向上とプログラム・ステップ数の縮小が可能です。図13－23にベクタ割り込みとマクロ・サービス処理の違いを示します。

マクロ・サービス処理の実行中は，CPU内の汎用レジスタ，命令キューなど，マクロ・サービス処理の実行前の状態を保持しています。

マクロ・サービス処理を指定した割り込み要求は，プログラム・ステータス・ワード（PSW）のIEフラグの状態には影響されません。割り込み禁止状態や割り込み処理プログラムの実行中でもマクロ・サービス処理は実行できます。割り込みマスク・フラグ（××MK××）をセット(1)したときのみ禁止されます。

複数のマクロ・サービスがある場合，サービスされる順序はディフォールト優先順位で決定されます。これらのマクロ・サービス要求がすべて処理されるまで，命令の実行は行われません。

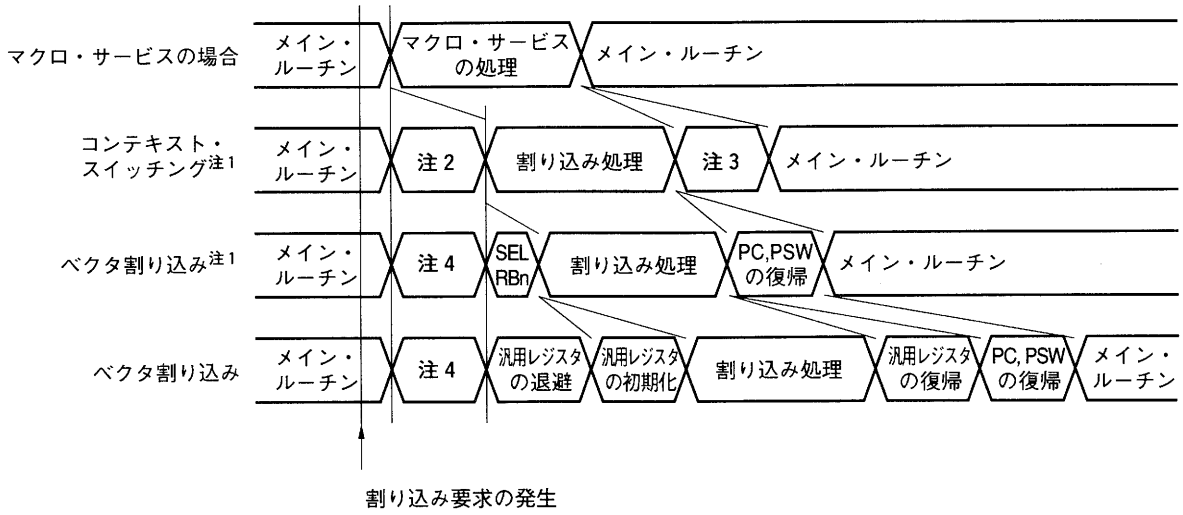
マクロ・サービス処理の基本は次の２通りの動作です。

- メモリから特殊機能レジスタ（SFR）へのデータ転送
- 特殊機能レジスタ（SFR）からメモリへのデータ転送

注意　特殊機能レジスタ（SFR）として次のものは指定できません。

すべての割り込み制御レジスタ（××ICn），
MK0，MK0L，MK0H，MK1，MK1L，MK1H，
IMC，ISPR，PSW，PSWL

図13－23　ベクタ割り込みとマクロ・サービス処理の違い



注1．レジスタ・バンク切り替えを使用した場合で，レジスタにはあらかじめ初期値が設定されているとき
2．コンテキスト・スイッチングによるレジスタ・バンクの切り替え，PC, PSWの退避
3．コンテキスト・スイッチングによるレジスタ・バンク，PC, PSWの復帰
4．PC, PSWをスタックに退避，ベクタ・アドレスをPCへロード

マクロ・サービスを処理できる割り込み要求は，マスカブル割り込みで25種類あります（**表13－3**参照）。

マクロ・サービスには，次の４つのモードがあります。

- カウンタ・モード
- 複合データ転送モード
- データ・パターン識別モード（VISS検出用）
- マクロ・サービス・タイプA

13.9.1　マクロ・サービス終了時の動作

マクロ・サービスは，他のプログラムの実行中に指定された回数の処理を行います。指定された回数の処理を行うと（マクロ・サービス・カウンタ（MSC）が０になると），マクロ・サービスは終了します。このときの動作には２通りあり，マクロ・サービスごとにマクロ・サービス・モード・レジスタのビット７にあるVCIEビットでその動作を指定します。

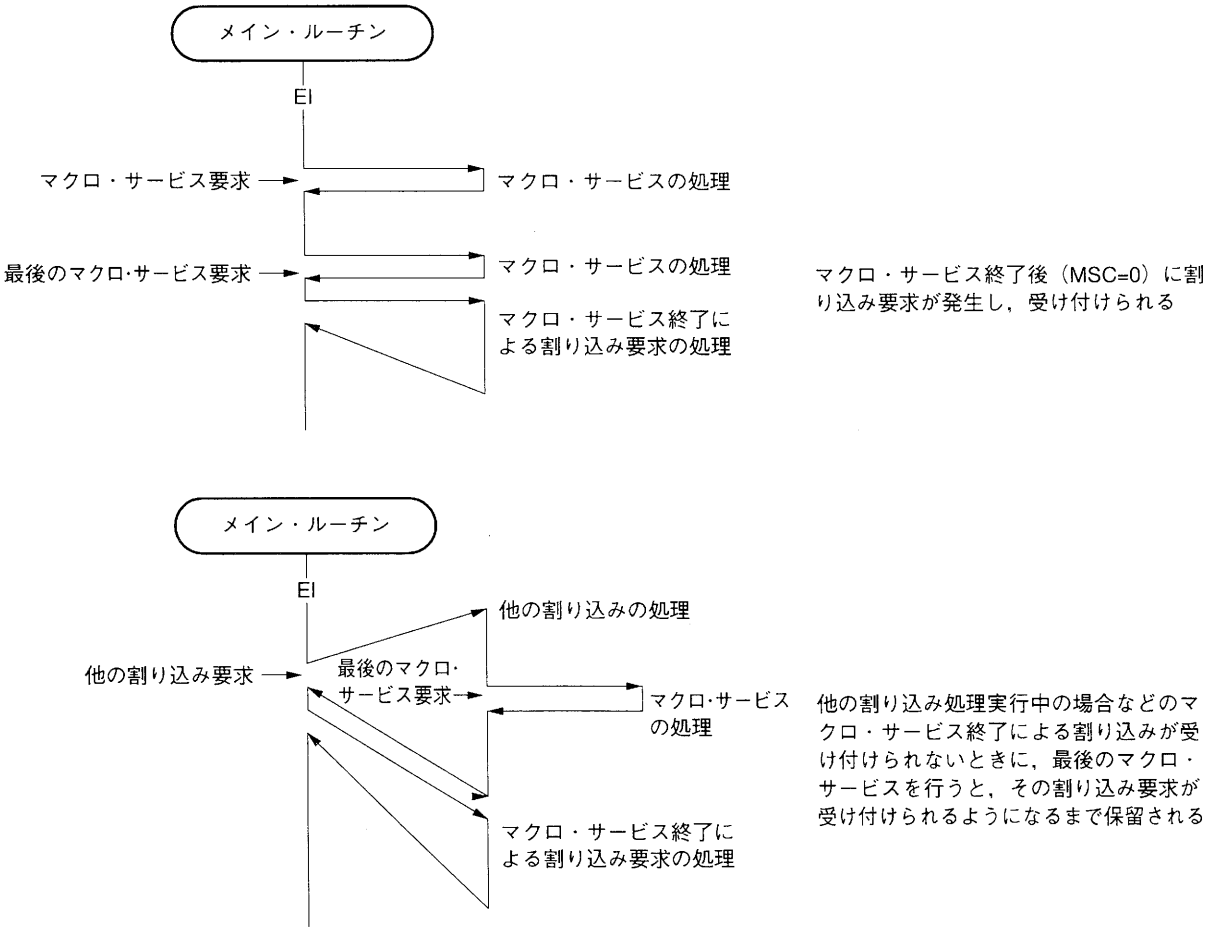
(1) VCIEビットが0の場合

マクロ・サービス終了後，ただちに割り込みの要求を発生するモードです。図13－24にVCIEビットが0の場合のマクロ・サービスおよび割り込みの受け付け動作例を示します。

このモードは，最後に行ったマクロ・サービスの処理によって，一連の動作が終了する場合などに使用します。主な使用例を次に示します。

- A/D変換結果の取り込み（INTAD）
- タイマ・レジスタとコンペア・レジスタの一致によるコンペア・レジスタの更新時（INTCR00，INTCR01，INTCR10，INTCR11，INTCR20，INTCR30）
- INTPn端子のエッジ入力によるタイマ／カウンタのキャプチャ・レジスタの読み込み時（INTP0，INTP1，INTP2，INTP3）

図13－24　VCIE＝0のときのマクロ・サービス終了時の動作



保守／廃止

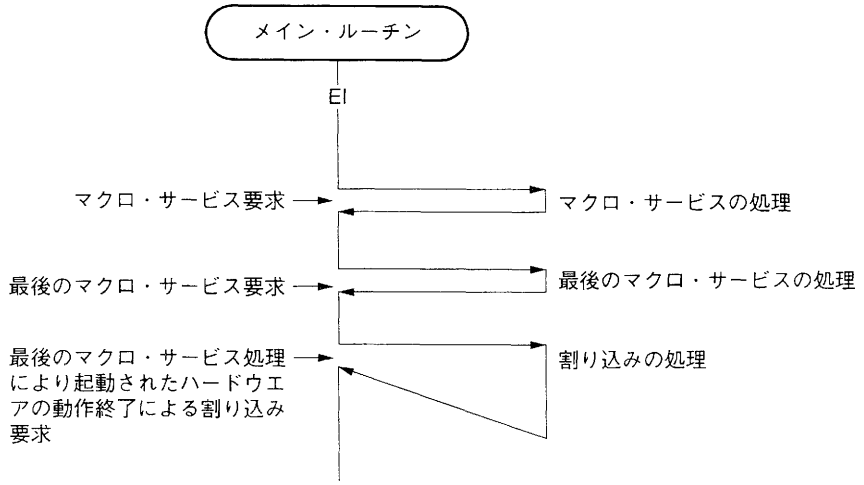
(2) VCIEビットが1の場合

マクロ・サービスの終了後，割り込みの要求を発生しないモードです。図13-25にVCIEビットが1の場合のマクロ・サービスおよび割り込みの受け付け動作例を示します。

このモードは，最後に行ったマクロ・サービスの処理によって，最後の動作を開始させる場合などに使用します。主な使用例を次に示します。

●クロック同期式シリアル・インタフェースによるデータ転送（INTCSI1，INTCSI2）

図13-25　VCIE＝1のときのマクロ・サービス終了時の動作



13.9.2　マクロ・サービス制御レジスタ

(1) マクロ・サービス・コントロール・ワード

μPD784915のマクロ・サービス機能は，マクロ・サービス・モード・レジスタとマクロ・サービス・チャネル・ポインタで制御します。

マクロ・サービス・モード・レジスタにより，マクロ・サービス処理モードを選択し，マクロ・サービス・チャネル・ポインタによってマクロ・サービス・チャネルのアドレスを設定します。

マクロ・サービス・モード・レジスタとマクロ・サービス・チャネル・ポインタは，マクロ・サービス・コントロール・ワードとして各マクロ・サービスごとに図13-26に示すように内部RAMのFE06H-FE3BHの領域にマッピングされています。

マクロ・サービス・コントロール・ワードは，マクロ・サービス処理が可能な割り込みごとに，アドレスが定められています。

マクロ・サービス処理を行う場合には，あらかじめ，これらのモード・レジスタやチャネル・ポインタを設定しておく必要があります。

備考　マクロ・サービス・チャネルは，マクロ・サービス処理でアクセスするデータ・メモリです。

保守／廃止

図13－26　マクロ・サービス・コントロール・ワードの構成

予約語	アドレス		要因
CSICHP2	FE3BH	チャネル・ポインタ	INTCSI2
CSIMMD2	FE3AH	モード・レジスタ	
PCHP3	FE37H	チャネル・ポインタ	INTP3
PMMD3	FE36H	モード・レジスタ	
PCHP1	FE35H	チャネル・ポインタ	INTP1
PMMD1	FE34H	モード・レジスタ	
WCHP	FE31H	チャネル・ポインタ	INTW
WMMD	FE30H	モード・レジスタ	
CSICHP1	FE2FH	チャネル・ポインタ	INTCSI1
CSIMMD1	FE2EH	モード・レジスタ	
CRCHP13	FE2DH	チャネル・ポインタ	INTCR13
CRMMD13	FE2CH	モード・レジスタ	
CRCHP50	FE2BH	チャネル・ポインタ	INTCR50
CRMMD50	FE2AH	モード・レジスタ	
CRCHP30	FE29H	チャネル・ポインタ	INTCR30
CRMMD30	FE28H	モード・レジスタ	
UDCCHP	FE27H	チャネル・ポインタ	INTUDC
UDCMMD	FE26H	モード・レジスタ	
PCHP2/CRCHP40	FE25H	チャネル・ポインタ	INTP2/INTCR40
PMMD2/CRMMD40	FE24H	モード・レジスタ	
ADCHP	FE23H	チャネル・ポインタ	INTAD
ADMMD	FE22H	モード・レジスタ	
TBCHP	FE21H	チャネル・ポインタ	INTTB
TBMMD	FE20H	モード・レジスタ	
CRCHP20	FE1DH	チャネル・ポインタ	INTCR20
CRMMD20	FE1CH	モード・レジスタ	
CPTCHP1	FE1BH	チャネル・ポインタ	INTCPT1
CPTMMD1	FE1AH	モード・レジスタ	
CRCHP11	FE19H	チャネル・ポインタ	INTCR11
CRMMD11	FE18H	モード・レジスタ	
CRCHP02	FE17H	チャネル・ポインタ	INTCR02
CRMMD02	FE16H	モード・レジスタ	
CRCHP01	FE15H	チャネル・ポインタ	INTCR01
CRMMD01	FE14H	モード・レジスタ	
CRCHP10	FE13H	チャネル・ポインタ	INTCR10
CRMMD10	FE12H	モード・レジスタ	
CLRCHP1	FE11H	チャネル・ポインタ	INTCLR1
CLRMMD1	FE10H	モード・レジスタ	
CRCHP00	FE0FH	チャネル・ポインタ	INTCR00
CRMMD00	FE0EH	モード・レジスタ	
CRCHP12	FE0DH	チャネル・ポインタ	INTCR12
CRMMD12	FE0CH	モード・レジスタ	
CPTCHP2	FE0BH	チャネル・ポインタ	INTCPT2
CPTMMD2	FE0AH	モード・レジスタ	
CPTCHP3	FE09H	チャネル・ポインタ	INTCPT3
CPTMMD3	FE08H	モード・レジスタ	
PCHP0	FE07H	チャネル・ポインタ	INTP0
PMMD0	FE06H	モード・レジスタ	

(2) マクロ・サービス・モード・レジスタ

マクロ・サービス・モード・レジスタは，マクロ・サービスの動作を指定する８ビットのレジスタです。

マクロ・サービス・モード・レジスタには，マクロ・サービス・コントロール・ワードの一部としてあらかじめ設定値を内部RAM上に格納しておきます（図**13－26**参照）。

図13－27にフォーマットを示します。

図13－27　マクロ・サービス・モード・レジスタのフォーマット

7	6	5	4	3	2	1	0
VCIE	MOD2	MOD1	MOD0	CHT3	CHT2	CHT1	CHT0

CHT0	0	1	1	0
CHT1	0	1	0	0
CHT2	0	0	0	1
CHT3	0	0	0	0

MOD2	MOD1	MOD0	カウンタ・モード	複合データ転送モード	マクロ・サービス・タイプA	データ・パターン識別モード
0	0	0	カウンタ・デクリメント	メモリ・ポインタ保持	メモリ→SFRへのデータ転送（1バイト・データ）	乗算なし
0	0	1	設定禁止	メモリ・ポインタ更新	SFR→メモリへのデータ転送（1バイト・データ）	乗算あり
0	1	1		エクスチェンジ・モード	設定禁止	設定禁止
1	0	0		設定禁止	メモリ→SFRへのデータ転送（2バイト・データ）	
1	0	1			SFR→メモリへのデータ転送（2バイト・データ）	
上記以外			設　定　禁　止			

VCIE	MSC＝0時のベクタ割り込み処理[注]
0	ベクタ割り込み処理を行う
1	ベクタ割り込み処理を行わない（次の割り込み要求でベクタ割り込み処理を行う）

注　マクロ・サービスのチャネル・タイプ指定でデータ・パターン識別モードを選択した場合，このビットの指定は無効となり，MSC＝0で必ずベクタ割り込み処理を行います。

13.9.3　カウンタ・モード

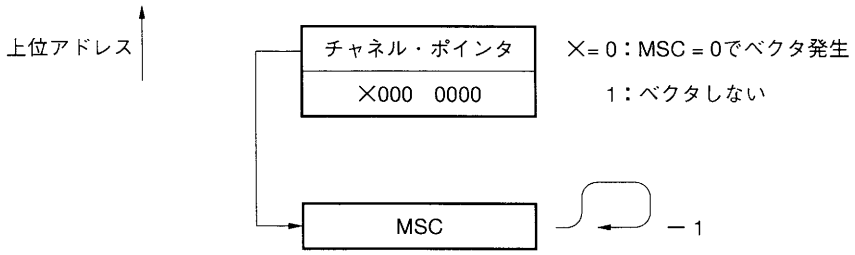
割り込み発生によって，マクロ・サービス・カウンタ（MSC）をデクリメントしていくモードで，割り込みの分周動作や，割り込み発生回路のカウント用として使用できます。

マクロ・サービス・カウンタが0になるとベクタ割り込みを発生させることができます。

マクロ・サービスを再起動するときは，マクロ・サービス・カウンタ（MSC）など，再設定が必要です。

MSCは，8ビットに固定であり，16ビット・カウンタにすることはできません。

図13－28　カウンタ・モードのチャネル構成



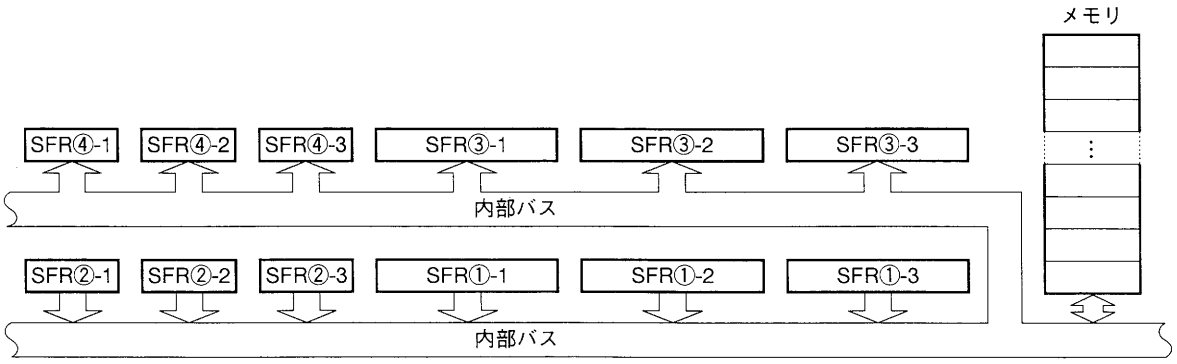
13.9.4　複合データ転送モード

（1）複合データ転送モードの動作

割り込み要求発生後，表13－7に示す4種類の転送を1回のマクロ・サービスで実行します。表13－7に示す①－④それぞれにおいて，最高3種類の8ビットSFRまたは16ビットSFRとメモリ間転送を行います（最高時，1回のマクロ・サービスで12回の転送を行います）。

図13－29に複合データ転送モードの構成を示します。

図13－29　複合データ転送モードのブロック図



保守／廃止

表13－7　複合データ転送モードの種類と転送数設定レジスタ

転送の種類	転送数設定レジスタの対応ビット
①　SFR→メモリ（ワード転送）	aa
②　SFR→メモリ（バイト転送）	bb
③　メモリ→SFR（ワード転送）	cc
④　メモリ→SFR（バイト転送）	dd

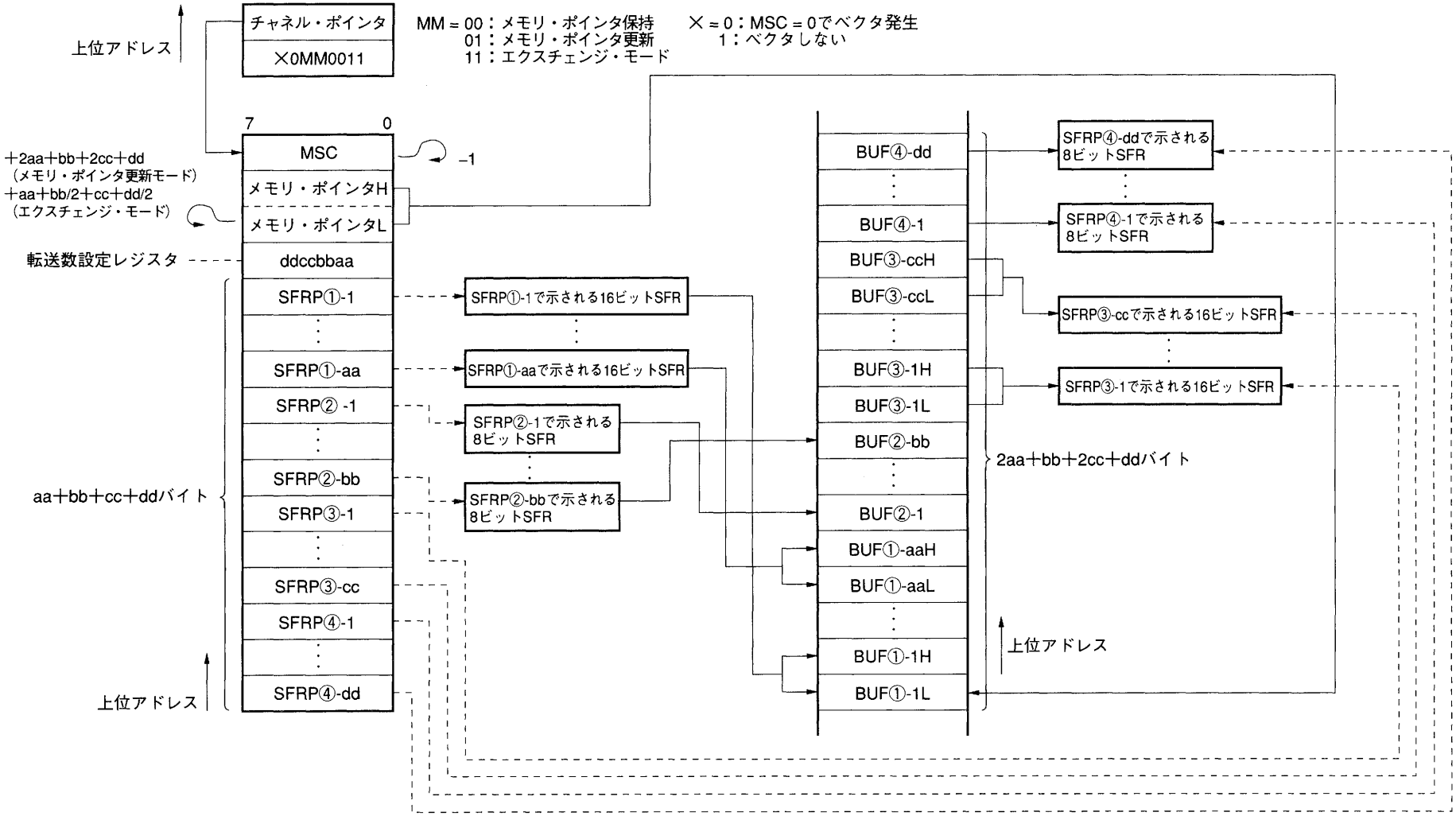
(2) 複合データ転送モードのチャネル構成

図13－30に複合データ転送モードのチャネル構成を示します。

また，複合データ転送モードの処理シーケンスを図13－31に示します。1回のマクロ・サービスで図に示すような処理を行います。

保守／廃止

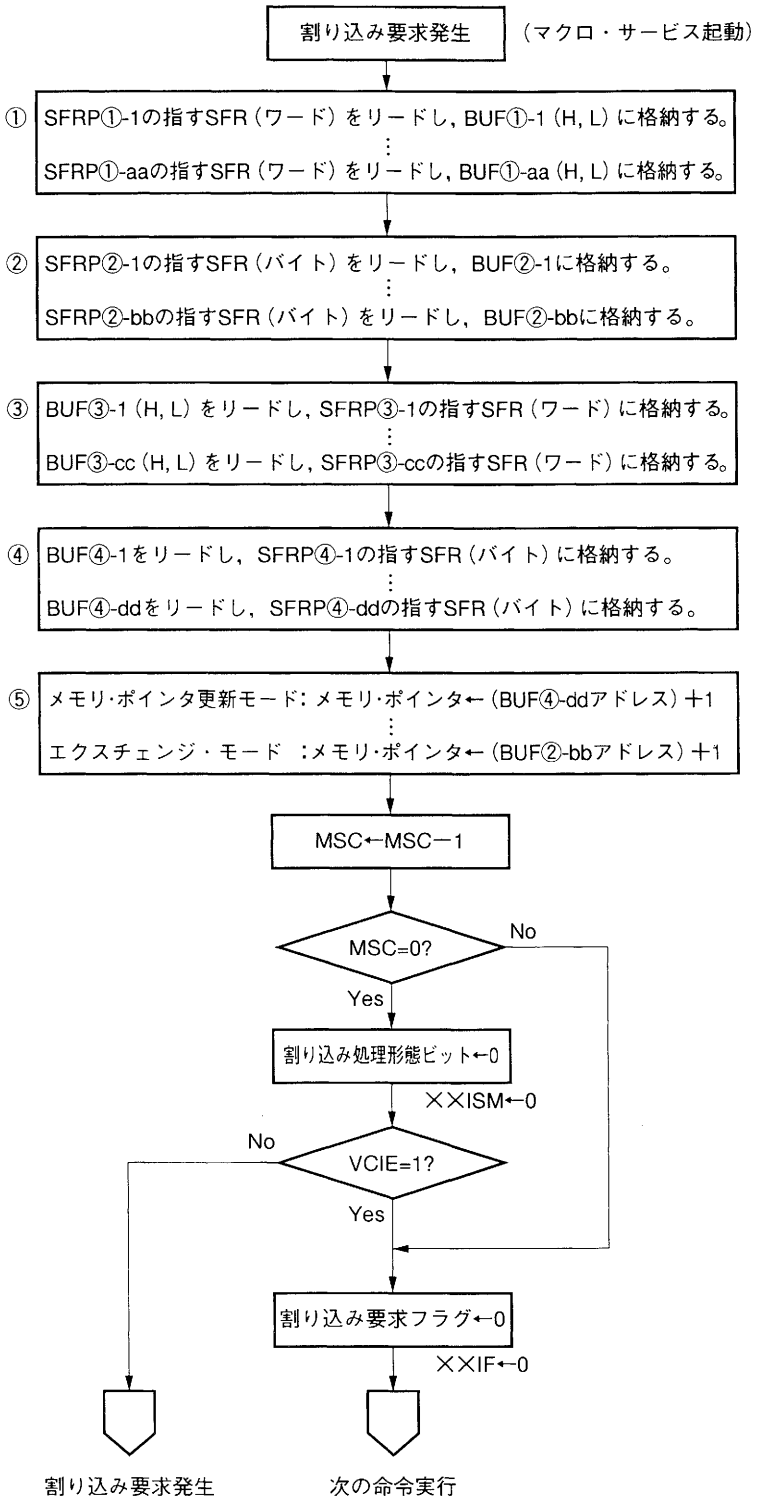
図13－30　複合データ転送モードのチャネル構成



備考　図中のaa，bb，cc，ddは転送数設定レジスタで設定する各転送の種類の転送数です。

保守／廃止

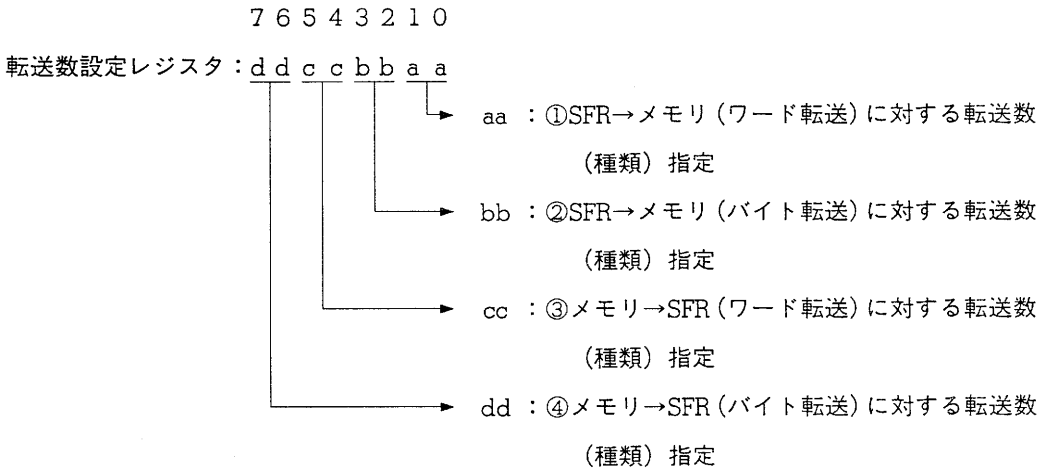
図13－31　複合データ転送モードの処理シーケンス



(3) 転送数設定レジスタ

表13－7に示したそれぞれの転送について，何種類の転送を行うかを設定するレジスタです。

転送数設定レジスタのフォーマットを次に示します。

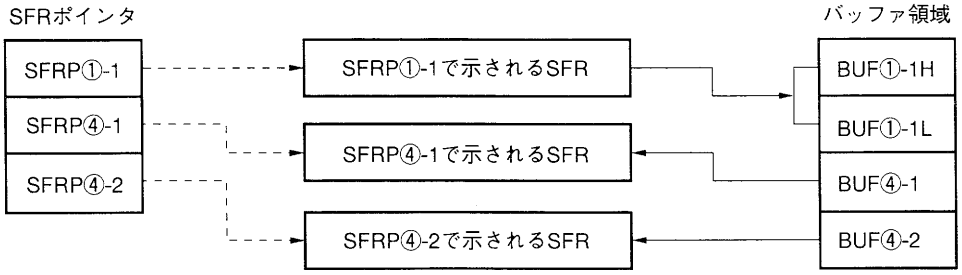


aa，bb，cc，ddには0（00B）－3（11B）を設定します。ただし，0（00B）を設定した場合は，設定したビットに対する転送は行われません。

図13－32　転送数設定レジスタの設定例

1回のマクロ・サービスで，SFR→メモリ（ワード転送）を1種類，メモリ→SFR（バイト転送）を2種類行う場合

転送数設定レジスタ：10000001B（aa＝01，bb＝00，cc＝00，dd＝10）



(4) マクロ・サービス・モード・レジスタの設定

マクロ・サービス・モード・レジスタの設定により，メモリ・ポインタの更新方法を3種類のうちから選択できます。

表13－8　複合データ転送モードのマクロ・サービス・モード・レジスタの設定

メモリ・ポインタ更新方法	マクロ・サービス・モード・レジスタ	用　　途
メモリ・ポインタ保持	×0000011	単一バッファとの転送など
メモリ・ポインタ更新	×0010011	A/D変換結果の格納 リアルタイム出力ポートのタイミング自動更新
エクスチェンジ・モード （データ交換モード）	×0110011	シリアル・インタフェースの自動送受信など

マクロ・サービス・カウンタ（MSC）が0になるとベクタ割り込みを発生させることができます。

マクロ・サービスを再起動するときは，マクロ・サービス・カウンタなど，再設定が必要です。

(5) エクスチェンジ・モード

エクスチェンジ・モードでは，SFRポインタおよび転送数設定ビット（aa, bb, cc, dd）を次のように設定し，リードするSFRとライトするSFRをあわせてください。

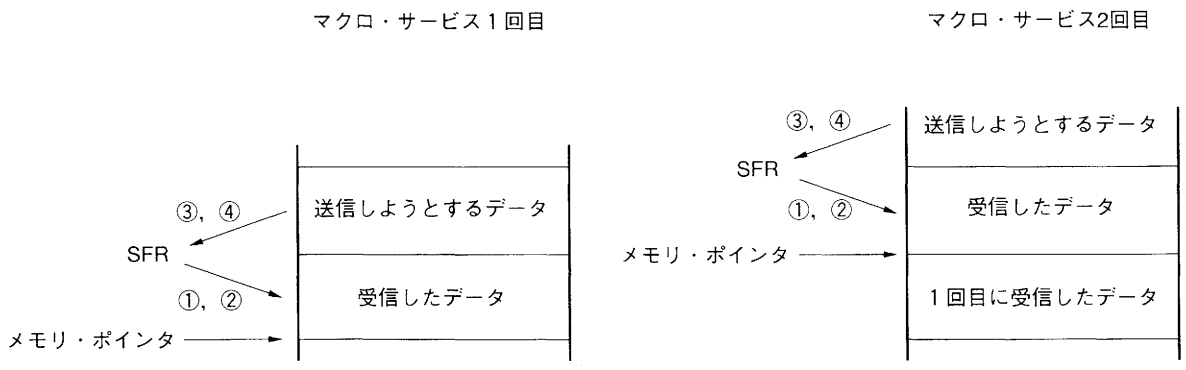
aa＝cc，bb＝dd

SFRP①-×＝SFRP③-×

SFRP②-×＝SFRP④-×（×＝1-3）

マクロ・サービス処理の前半（図13－33の①，②）はSFRからメモリへの転送で，後半（図13－33の③，④）はメモリからSFRへの転送です。③，④でSFRに転送し終えたメモリの位置にポインタを持っていくことによって，次のマクロ・サービスではSFRからのリード・データをオーバライトします。これによりオーバライトを実現します。

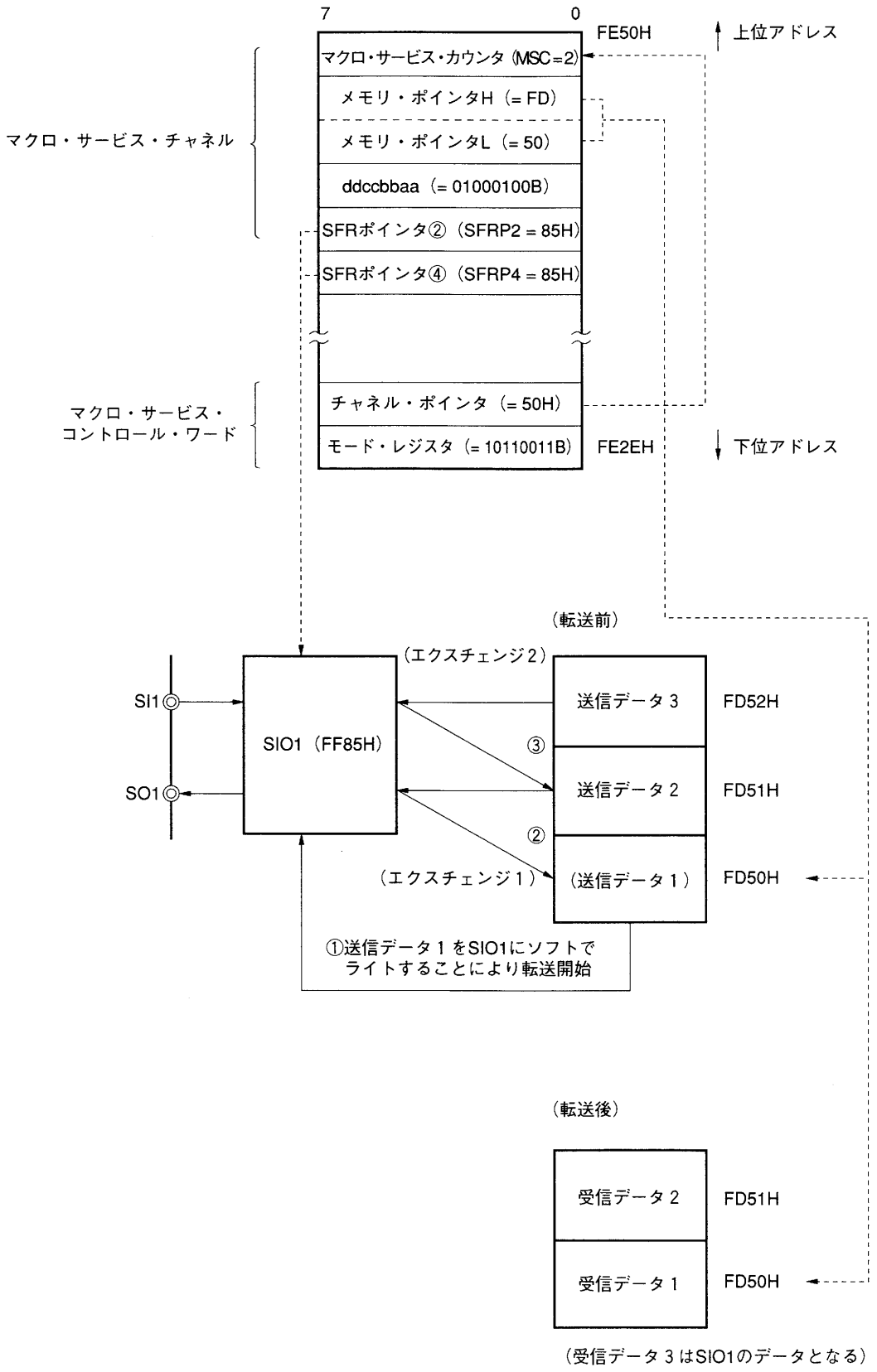
図13－33　エクスチェンジ・モード例



保守／廃止

図13－34　エクスチェンジ・モードの応用例

シリアル・インタフェース・チャネル1による3バイト・データの自動送受信



保守／廃止

13.9.5　データ・パターン識別モード（VISS検出モード）

(1) 機能概要

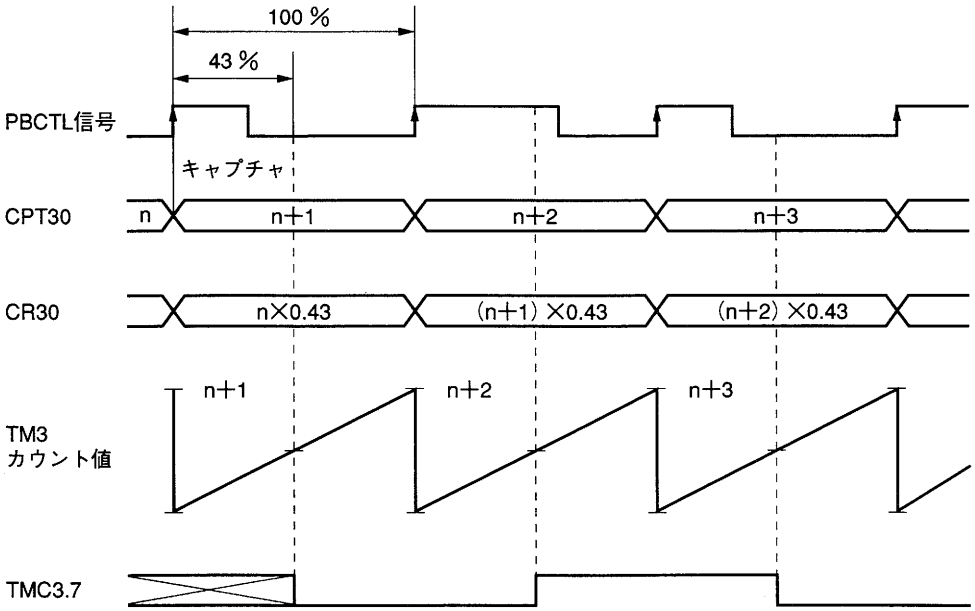
VISS検出用のマクロ・サービスで，スーパ・タイマ・ユニットのパルス幅検出回路（タイマ３）に内蔵しているコントロール・フリップフロップ（CTL F/F）の出力を順次RAM領域中に設けられたバッファに左シフトで格納していくマクロ・サービスです。

パルス幅検出回路では，CTLアンプ回路からのPBCTL信号のパルス・デューティを測定し，そのデューティがあらかじめ設定した値より大きいと１，小さいと０をCTL F/Fにラッチします。このデータ列を順番にRAMに格納することによって，VISS検出が実現できます。

割り込みの発生でSFRポインタ１で指定したSFR（通常はTMC3のビット７）の内容をバッファ領域に左シフト入力します。同時にバッファ領域と比較領域のデータを比較し，一致していればベクタ割り込みを発生します。マクロ・サービス・カウンタをデクリメントし，０になった時もベクタ割り込みを発生します。

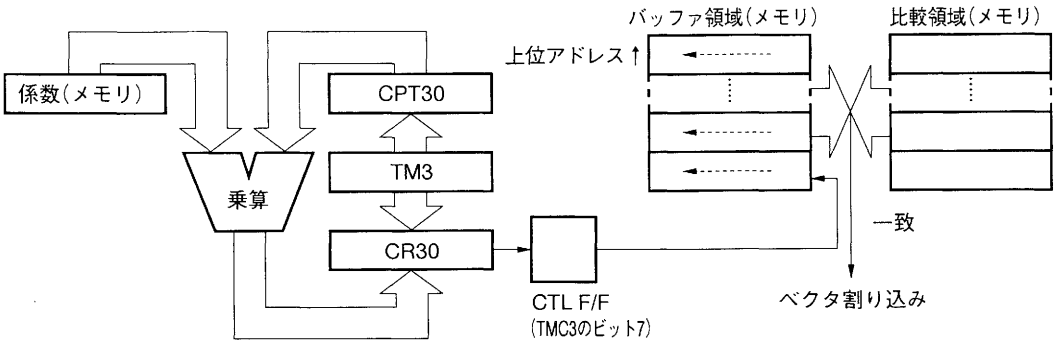
また，オプション指定（マクロ・サービス・モード・レジスタのビット５＝“1”）によりSFRポインタ２で指定したSFR(通常はCPT30)に係数を乗じてSFRポインタ３で指定したSFR(通常はCR30)に格納する動作を行うこともできます（テープ・スピード変動時の判別しきい値の自動更新)。

図13－35　VISS検出動作のタイミング



保守／廃止

図13－36　データ・パターン識別モードのブロック構成



ベクタ割り込みは，通常次の２つの条件のいずれかが成立したときに発生します。

① マクロ・サービス・カウンタ（MSC）の内容が０となったとき（割り込み要求がMSCに設定した回数だけ発生したとき）。

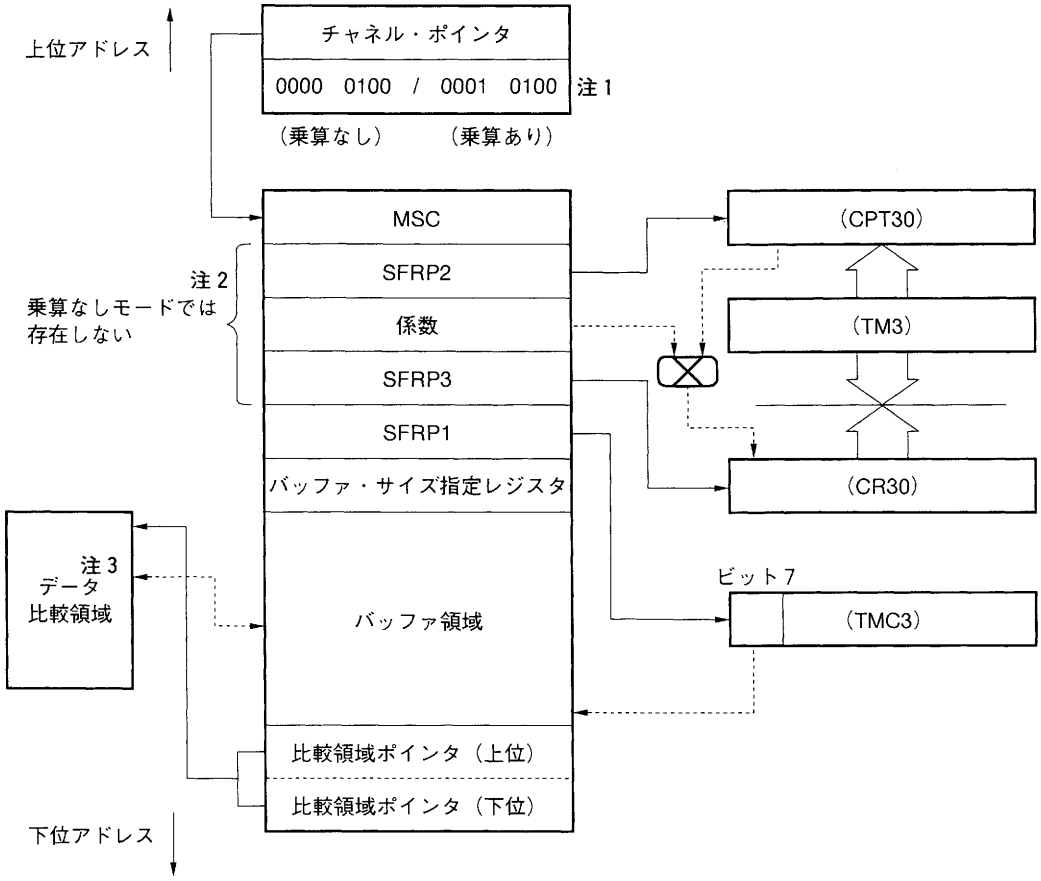
② バッファ領域中に格納されたデータが別に設けられた比較領域中のデータと一致したとき。

バッファ領域中に格納されたデータと比較を行う比較データは，比較領域ポインタで示すアドレスに設定しておきます。

比較領域は，メモリのプログラム空間だけでなく内部RAM空間を指定することも可能です。

保守／廃止

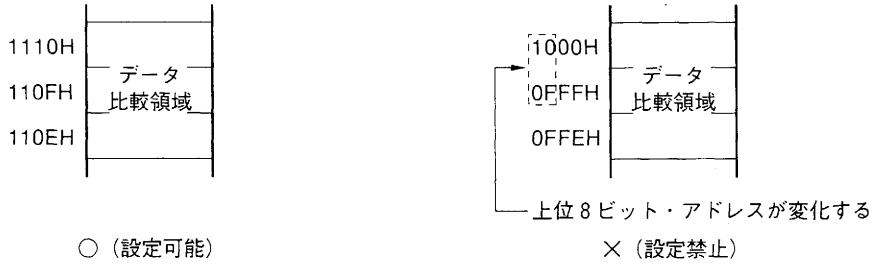
図13-37　データ・パターン識別モードのアドレシング



注1．マクロ・サービス・モード・レジスタのビット7（VCIE）＝0に固定（必ずベクタ割り込み要求を発生します）

2．乗算なしモードでは，SFRP2，係数，SFRP3は存在しません。図中のSFRP2の位置にSFRP1を設定してください。

3．データ比較領域を上位8ビット・アドレスが変化する領域に設定しないでください。



備考1．⋯→：データの流れ

→：アドレス指定

2．MSC＝0またはパターン一致でベクタ割り込み処理を行うときも，乗算およびシフトの指定された動作を行ってからベクタ割り込み要求を発生します。

保守／廃止

注意1. データ・パターン識別モードのマクロ・サービスは，設定するバッファ・バイト数に応じて処理時間が長くなりますので，数バイト程度に抑えてください（MAX.31バイト）。
また，メインRAMのFE00H-FEFFHの領域には汎用レジスタやマクロ・サービス・コントロール・ワード領域がありますので，バッファ・サイズが制限されます。

2. 係数を乗算する機能を使用しない場合は，SFRポインタ２，３および係数を設定する必要はありません（マクロ・サービス・カウンタのすぐ直前のアドレスにはSFRポインタ１が配置されます）。

3. 「比較しないモード」はないので，比較領域ポインタは必ず設定しなければなりません。したがって，有効なアドレスに必ずデータ比較領域を設ける必要があります。比較一致によりマクロ・サービスが終了するのを避けたい場合は，ありえないデータを比較領域に設定してください。

4. SFRポインタ１，２，３で示されるSFRはワード・アクセス固定となっているので，SFRポインタにはワード・アクセス不可のSFRアドレスを設定しないでください。

5. 乗算ありモードで，VISS検出時は，次のようにSFRポインタの設定をしてください。

- SFRポインタ１：TMC3アドレス
- SFRポインタ２：CPT30アドレス
- SFRポインタ３：CR30アドレス

次に1/0を判定するスレッシュホールド（たとえば43％）を係数として設定します（設定データはバイト・データです）。
係数は，MSBを小数第一位とする符号なし正数とみなされます。たとえば，80Hは0.5で，43％であるなら6EHを設定してください。

乗算なしモードでの使用例は，次頁以降を参照してください。

(2) 使用例

図13－39にデータ・パターン識別モードの応用例を示します。

RECCTL＋/RECCTL－端子には，VTRのCTLヘッドからのPBCTL信号を接続します。スーパ・タイマ・ユニットのタイマ1（TM1）入力部に内蔵されているパルス幅検出回路で，入力されるコントロール信号のデューティを判定します。

VHS方式のVTRのVISS信号のように，PBCTL信号のデューティの違いでディジタル・データの0と1をコーディングしているような場合には，パルス幅検出回路を通すことによりコーディングされたデータがデコードされて，バッファ領域に左シフトで格納されます。

図13－37の例では，バッファ領域にすべて00Hという3バイト・データが入力され，かつその値がデータ比較領域にあらかじめ設定した値と一致した場合に，ベクタ割り込みを発生します。

入力データが3バイトなので，バッファ領域も3バイト確保します。したがって，バッファ・バイト数指定レジスタには03Hを指定します。

また，3バイト＝24ビットのデータを格納するので，マクロ・サービス・カウンタ（MSC）には，18Hより大きな値を設定しておきます。この例では，FFHを設定してあります。

また，比較時の誤検出を防ぐために，バッファ領域はすべて1で初期化しておきます。

この設定で，PBCTL信号が入力されるたびにバッファ領域中のデータと比較領域中のデータとを比較し，両データが一致していればベクタ割り込みを発生します。

バッファ領域に格納されたデータが，比較領域と一致しない場合は，256ビット目のデータ入力でMSC＝0となり，ベクタ割り込みが発生します。

この例でのマクロ・サービス・モード・レジスタの設定は，次のようになります。

図13－38　データ・パターン識別モードのマクロ・サービス・モード・レジスタの設定

7	6	5	4	3	2	1	0	
VCIE	MOD2	MOD1	MOD0	CHT3	CHT2	CHT1	CHT0	マクロ・サービス処理
0	0	0	0	0	1	0	0	データ・パターン識別モード（乗算なし）

図13-39　データ・パターン識別モードの応用例（1/3）

（a）初期状態（TMC3.7に値をラッチ）

FE47H	FFH	マクロ・サービス・カウンタ（MSC）
FE46H	3BH	SFRポインタ1
FE45H	03H	バッファ・サイズ指定レジスタ
FE44H	11111111	バッファ領域
FE43H	11111111	バッファ領域
FE42H	11111111	バッファ領域
FE41H	10H	比較領域ポインタ（上位）
FE40H	50H	比較領域ポインタ（下位）
FE29H	47H	チャネル・ポインタ
FE28H	00000100	マクロ・サービス・モード・レジスタ（データ・パターン識別モード（乗算なし））
1050H	00000000	データ比較領域
104FH	00000000	データ比較領域
104EH	00000000	データ比較領域

ビット7

0	(TMC3)

保守／廃止

図13－39　データ・パターン識別モードの応用例（2/3）

（b）一回目マクロ・サービス終了

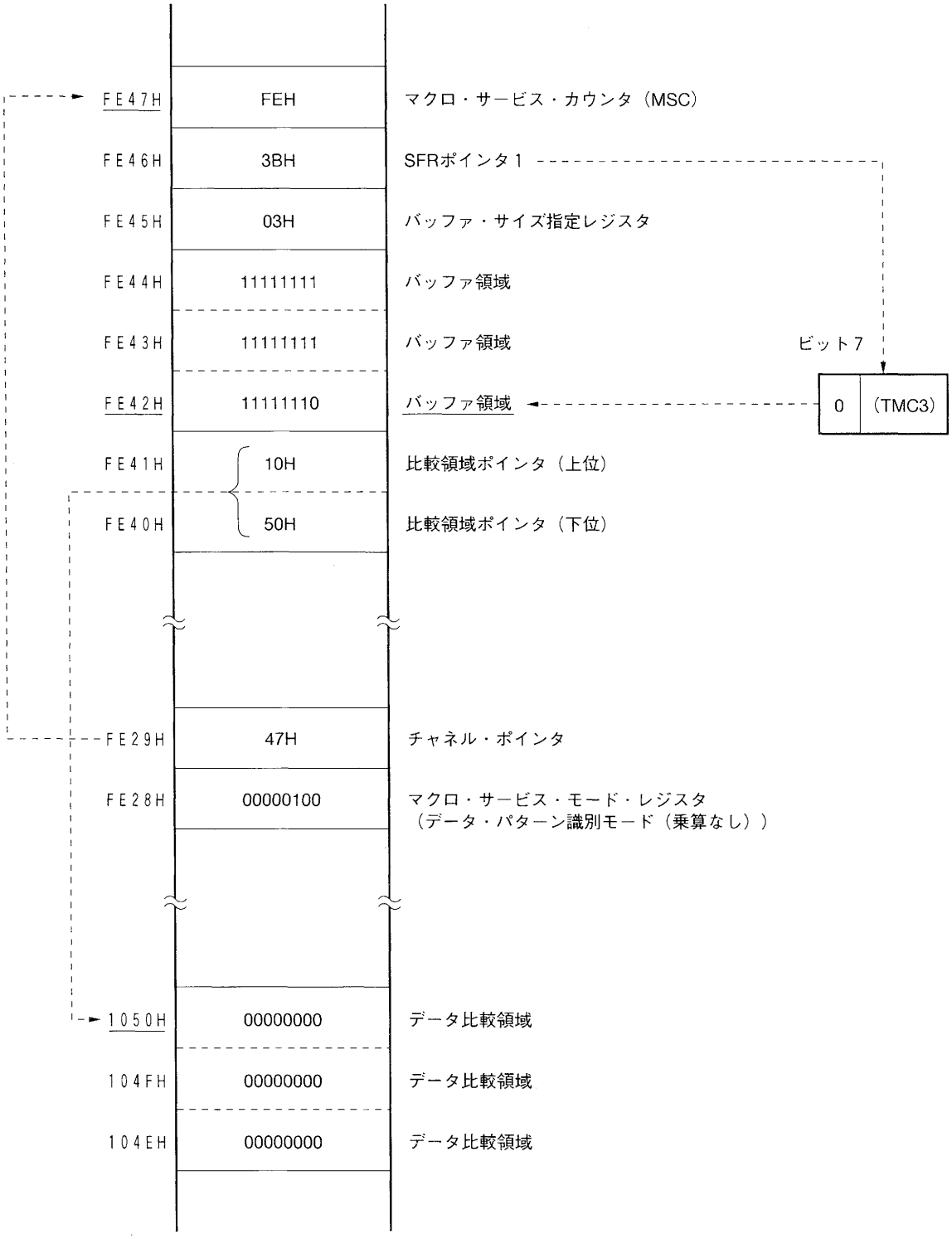
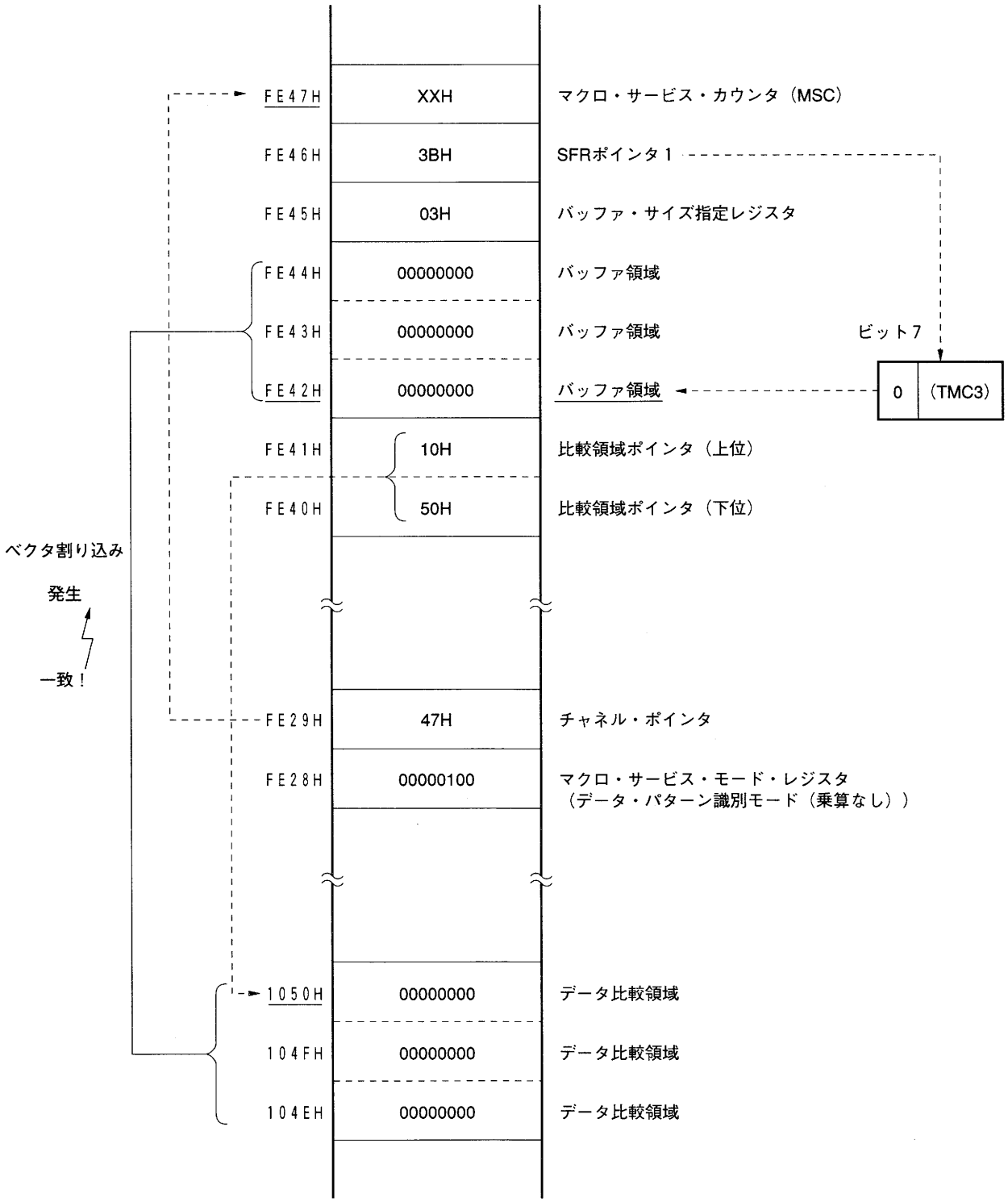


図13-39　データ・パターン識別モードの応用例（3/3）

（c）バッファ領域とデータ比較領域の一致（VISS検出）



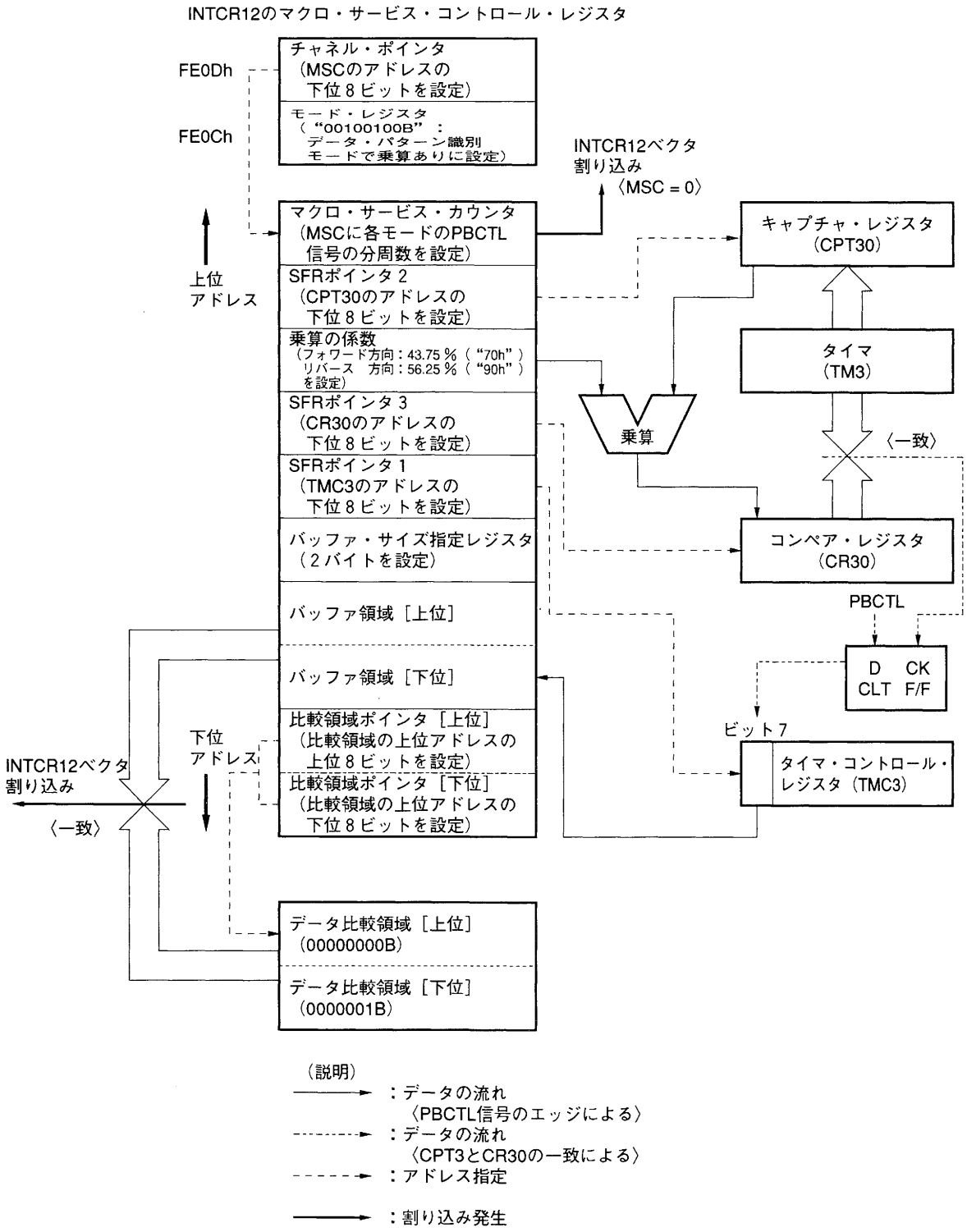
保守／廃止

2バイト分のバッファ領域を確保する場合のデータ・パターン識別モードの設定方法は，次のとおりです。

ここでは，比較一致またはMSC＝0でINTCR12が発生するような応用例を想定しています。

図13－40に，データ・パターン識別モードのバッファ領域が2バイトの場合のアドレシングとデータの設定，および図13－35にVISS検出動作のタイミングを示します。

図13－40　データ・パターン識別モードのアドレシングとデータ設定



13.9.6　マクロ・サービス・タイプA

(1) 機能概要

割り込みの発生によってSFR/SFRP→メモリ（バイト／ワード）またはメモリ（バイト／ワード）→SFR／SFRPの転送（いずれか一方のみ）を行います。

あらかじめマクロ・サービス・カウンタに設定した回数だけデータ転送を行います。

A/D変換結果の格納，シリアル・インタフェースの自動送信（または受信）などに使用できます。

FE00H-FEFFHのアドレスに転送データ領域を確保するため，転送データが少ない場合にそのデータを高速で転送することができます。

マクロ・サービス・カウンタが0になるとベクタ割り込みを発生させることができます。

図13-41　マクロ・サービス・タイプAのマクロ・サービス・モード・レジスタの設定

7	6	5	4	3	2	1	0	
VCIE	MOD2	MOD1	MOD0	CHT3	CHT2	CHT1	CHT0	マクロ・サービス処理
注	0	0	0	0	0	0	1	メモリ→SFRへのデータ転送（1バイト・データ）
	0	0	1					SFR→メモリへのデータ転送（1バイト・データ）
	1	0	0					メモリ→SFRへのデータ転送（2バイト・データ）
	1	0	1					SFR→メモリへのデータ転送（2バイト・データ）

注　MSC＝0時のベクタ割り込み処理の有無（0：行う，1：行わない）

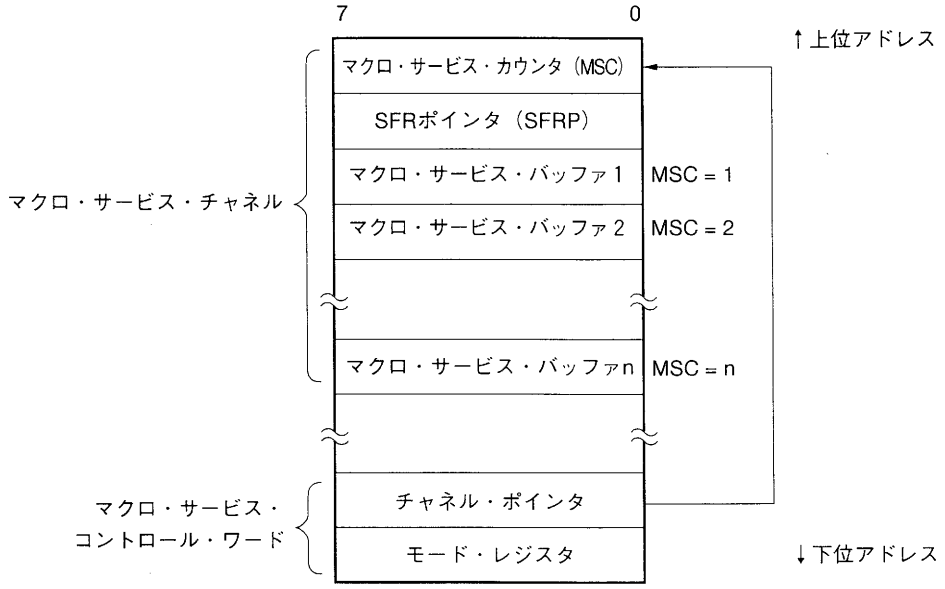
マクロ・サービス・チャネル・ポインタとマクロ・サービス・カウンタとで，転送元もしくは転送先となる内部RAM（FE00H-FEFFH）上のバッファ・アドレスを指定します。

マクロ・サービス・カウンタ設定値がマクロ・サービス処理回数となります。1バイトもしくは2バイト分のデータ転送処理が実行されるごとにマクロ・サービス・カウンタの値がデクリメントされ，カウンタの値が0になるとマクロ・サービス・モード・レジスタのVCIEビットの値に応じてベクタ割り込み処理を行います。

転送元もしくは転送先となるSFRは，SFRポインタ（SFRP）にSFRアドレスの下位8ビットを書き込むことで指定します。

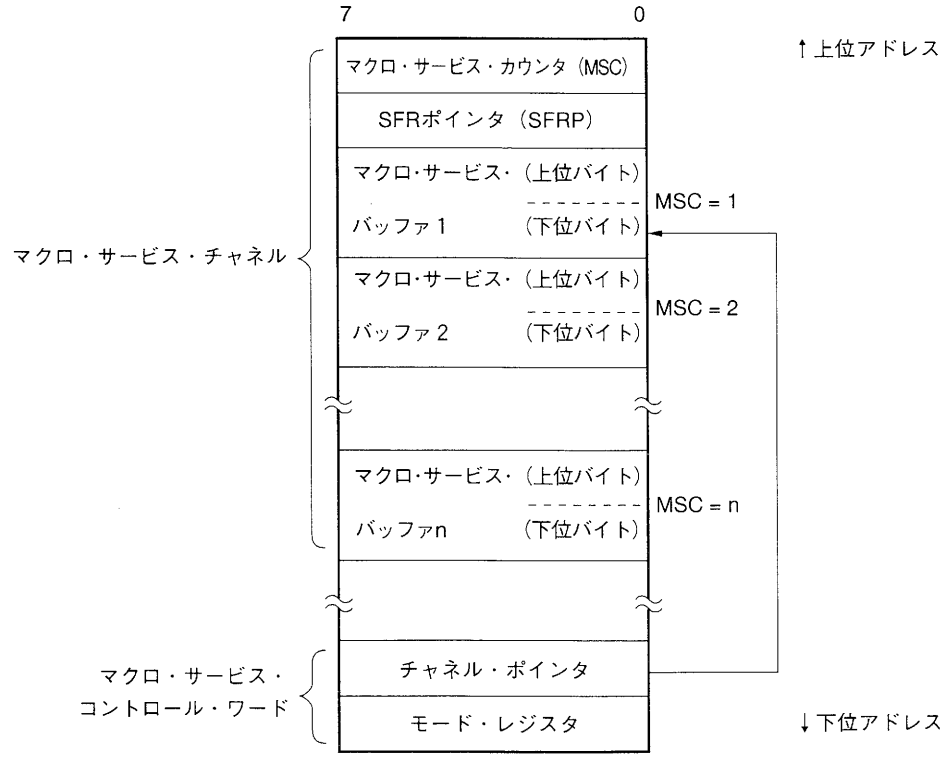
図13－42　マクロ・サービス・タイプAのアドレシング

（a）1バイト転送時



マクロ・サービス・バッファ・アドレス＝（チャネル・ポインタ）－（マクロ・サービス・カウンタ）－1

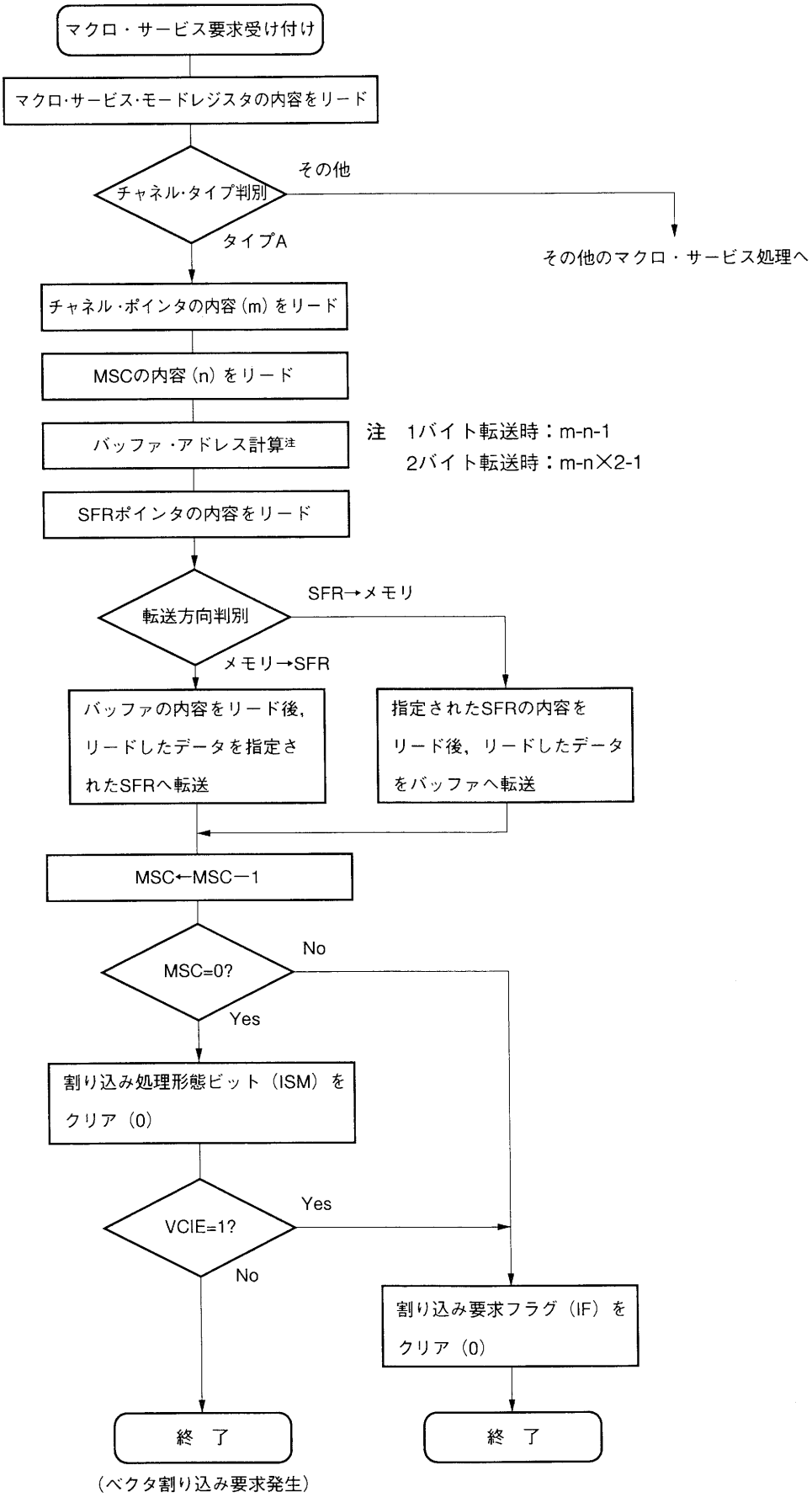
（b）2バイト転送時



マクロ・サービス・バッファ・アドレス＝（チャネル・ポインタ）－（マクロ・サービス・カウンタ）×2－1

保守／廃止

図13－43　マクロ・サービス・タイプAの処理フロー

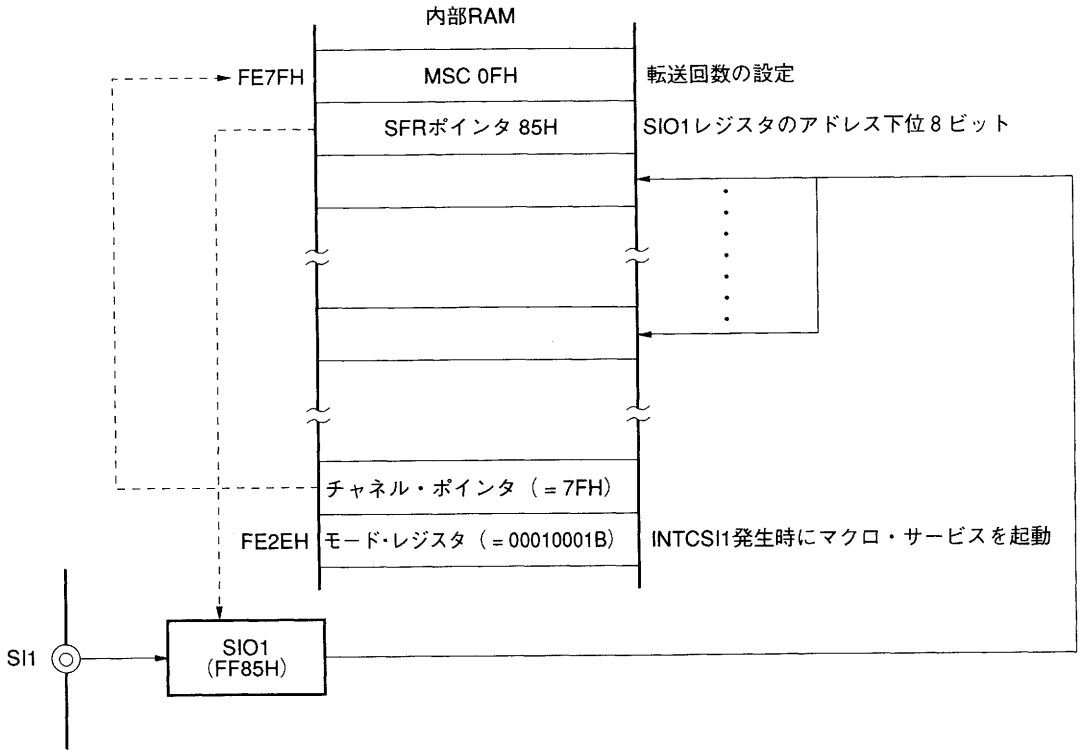


保守／廃止

(2) 使用例

シリアル・インタフェース・チャネル1により受信したデータを内部RAM内のバッファ領域に転送する例を示します。

図13-44　シリアル・インタフェース・チャネル1による受信データの転送

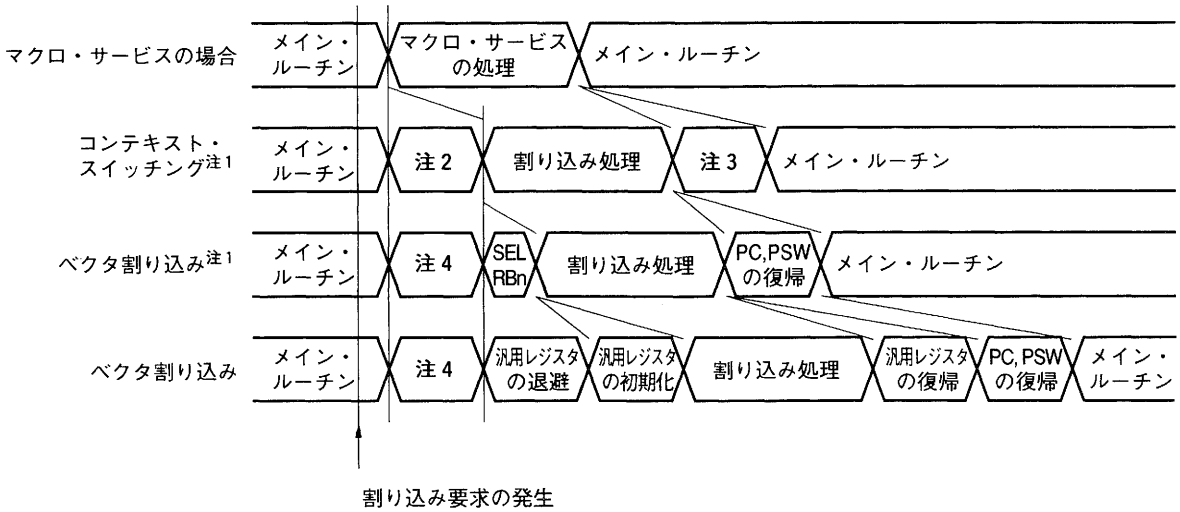


13.10　コンテキスト・スイッチング機能

割り込み要求の発生またはBRKCS命令の実行により，ハードウエア的に所定のレジスタ・バンクを選択します。レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に，現在のプログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW）の内容をレジスタ・バンク内にスタックする機能です。

図13－45にコンテキスト・スイッチングとベクタ割り込みとマクロ・サービスの処理の違いを示します。

図13－45　コンテキスト・スイッチングとベクタ割り込みとマクロ・サービスの違い



注1．レジスタ・バンク切り替えを使用した場合で，レジスタにはあらかじめ初期値が設定されているとき

2．コンテキスト・スイッチングによるレジスタ・バンクの切り替え，PC, PSWの退避

3．コンテキスト・スイッチングによるレジスタ・バンク，PC, PSWの復帰

4．PC, PSWをスタックに退避，ベクタ・アドレスをPCへロード

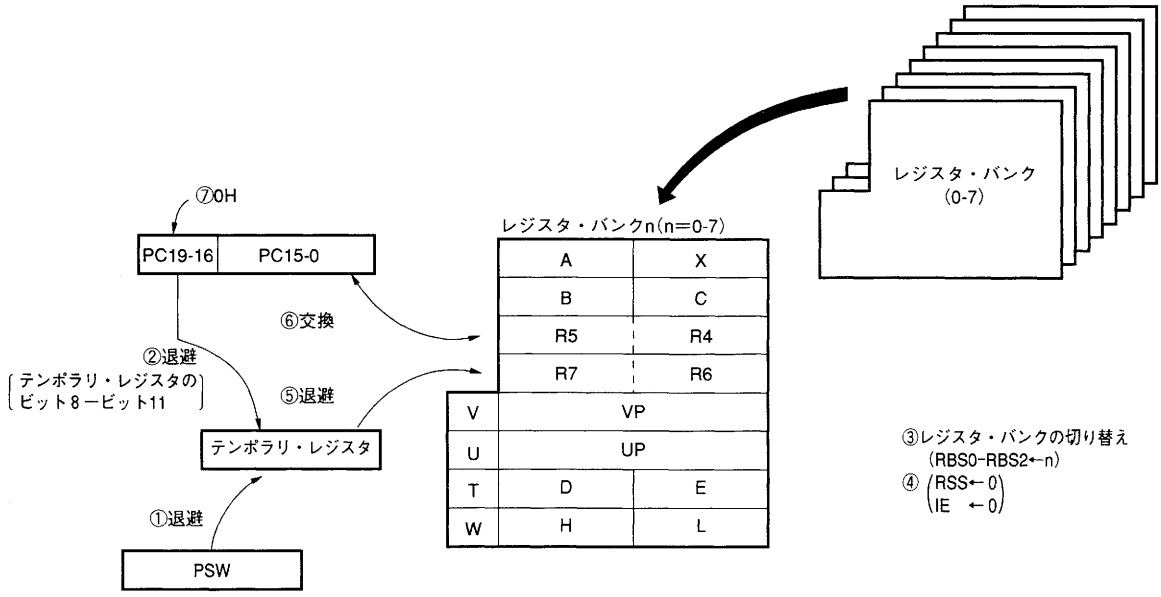
13.10.1　割り込み要求発生によるコンテキスト・スイッチング機能

割り込み制御レジスタのコンテキスト・スイッチング許可フラグをセット(1)することにより，コンテキスト・スイッチング機能の起動を許可します。

EI状態において，マスクされておらず，コンテキスト・スイッチング機能が許可されている割り込み要求が発生すると，対応するベクタ・テーブル・アドレスの下位アドレス（偶数アドレス）の下位３ビットで指定されるレジスタ・バンクが選択されます。

選択されたレジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスをPCに転送すると同時に，それまでのPC，PSWの内容をレジスタ・バンク内に退避し，割り込み処理ルーチンに分岐します。

図13－46　割り込み要求の発生によるコンテキスト・スイッチング動作



保守／廃止

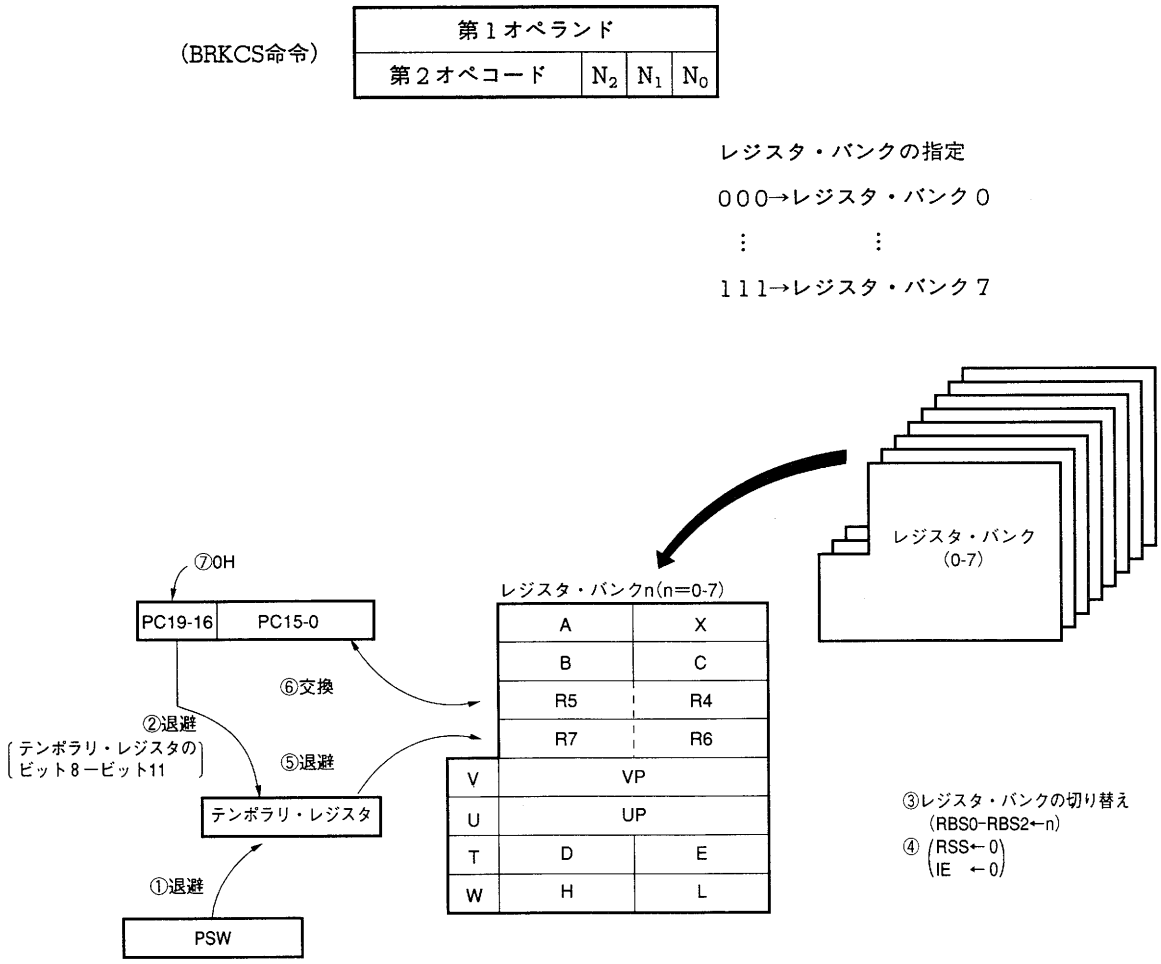
13.10.2　BRKCS命令によるコンテキスト・スイッチング機能

BRKCS命令の実行により，コンテキスト・スイッチング機能を起動できます。

BRKCS命令の第２オペコードの下位３ビット・イミーディエト・データ（N_2-N_0）で，コンテキスト・スイッチング後のレジスタ・バンクを指定します。

BRKCS命令を実行すると，このレジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスに分岐すると同時に，それまでのPC，PSWの内容をレジスタ・バンク内に退避します。

図13－47　BRKCS命令の実行によるコンテキスト・スイッチング動作



13.10.3　コンテキスト・スイッチング機能により分岐したアドレスからの復帰

コンテキスト・スイッチングによる分岐処理からの復帰は，RETCS命令またはRETCSB命令を実行することで行います。

RETCS命令の実行により，このとき選択されているレジスタ・バンク内のR4，R5レジスタの内容をPCに，R6，R7レジスタの内容をPSWに転送します。また，同時にRETCS命令の第２，第３オペコードで指定される16ビット・イミーディエト・データをレジスタ・バンク内のR4，R5レジスタに格納します。

したがって，再び，コンテキスト・スイッチング機能により同じレジスタ・バンクが選択された場合，RETCS命令の第２，第３オペコードで指定した16ビット・イミーディエト・データが分岐アドレスとなります。

図13－48　RETCS命令のフォーマット

第１オペコード	00101001
第２オペコード	下位８ビット・イミーディエト・データ
第３オペコード	上位８ビット・イミーディエト・データ

RETCS命令を実行して分岐処理から復帰する際，インサービス・プライオリティ・レジスタ（ISPR）内のセット(1)されているビットのうち，最も高い優先順位に対応するビットがリセット(0)されます。

注意　BRKCS命令の実行によりコンテキスト・スイッチング機能を起動した場合，RETCS命令の実行に伴いISPRレジスタのビットがリセット(0)されると，割り込みのネスティング制御を破壊することになります。
BRKCS命令により起動された処理から復帰する場合には，必ずRETCSB命令を使用してください。

★ 13.11 割り込み要求およびマクロ・サービスが一時的に保留される場合

次に示す命令を実行すると，8システム・クロックの間割り込みの受け付けおよびマクロ・サービスの処理が一時的に保留されます。ただし，ソフトウエア割り込みは保留されません。

EI

DI

BRK

BRKCS

BRTCS

RETCS

RETCB !addr16

RETI

RETB

LOCATION 0H

POP PSW

POPU post

MOV PSWL，A

MOV PSWL，#byte

MOVG SP，#imm24

以下の各レジスタに対する書き込み命令およびビット操作命令（BT，BF命令を除く）

- すべての割り込み制御レジスタ（××ICn）
- MK0，MK0L，MK0H，MK1，MK1L，MK1H，IMC，ISPR

PSWのビット操作命令

（ただし，BT PSW.bit，$addr20，BF PSW.bit，$addr20，BT PSWH.bit，$addr20，BF PSWH.bit，$addr20，SET1 CY，NOT1 CY，CLR1 CY命令を除く）

13.12　割り込み要求およびマクロ・サービスで一時的に実行が中断される命令

次に示す命令は，受け付け可能な割り込み要求およびマクロ・サービスの要求により，一時的にその命令の実行を中断し，割り込みおよびマクロ・サービスを受け付けます。中断された命令は，割り込みサービス・プログラムの終了後，または，マクロ・サービス処理の終了後に再開します。

〈一時的に中断される命令〉

MOVM，XCHM，MOVBK，XCHBK，

CMPME，CMPMNE，CMPMC，CMPMNC，

CMPBKE，CMPBKNE，CMPBKC，CMPBKNC，

SACW

保守／廃止

13.13　各割り込み処理モードの動作タイミング

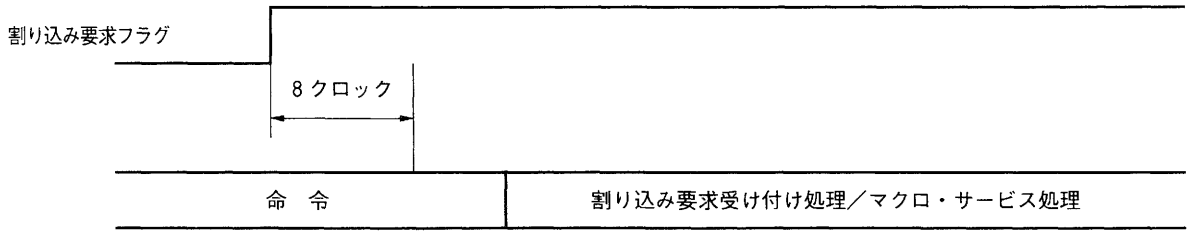
(1) 割り込み要求の発生と受け付け

割り込み要求は，各ハードウエアで発生します。発生した割り込み要求は，割り込み要求フラグをセット(1)します。

割り込み要求フラグがセットされると，優先順位などの判定を行うために8クロック（1.0 μs, f_{CLK}=8 MHz）かかります。

その後，実行中の命令が終了した時点で，その割り込みまたはマクロ・サービスの受け付けが許可されていれば，その割り込み要求の受け付け処理を行います。なお，実行中の命令が割り込みおよびマクロ・サービスを一時的に保留する命令であれば，その次の命令終了後に受け付けられます（保留する命令については，**13.11　割り込み要求およびマクロ・サービスが一時的に保留される場合**参照）。

図13-49　割り込み要求の発生と受け付け（単位：クロック＝1/f_{CLK}）



(2) ベクタ割り込みおよびコンテキスト・スイッチングの割り込み要求受け付け処理

割り込み要求の受け付けには，表13-9に示す時間がかかります。この時間が経過したあとに割り込み処理プログラムの実行が開始されます。

表13-9　割り込み要求受け付け処理時間

割り込み要求処理モード		処理時間（クロック）
ベクタ割り込み	スタック領域が内部高速RAMの場合	26
	スタック領域が周辺RAMの場合	29
コンテキスト・スイッチング		22

備考1. 実行中の命令が終了するまでの時間および優先順位などの判定を行う時間は含まれません。

2. 内部高速RAMはFD00H-FEFFHの領域にある内部RAMを示します。

3. 周辺RAMは，μPD784915の場合はFA00H-FCFFH，μPD78P4916の場合はF700H-FCFFHの領域にある内部RAMを示します。

4. 1クロックは1/f_{CLK}（125 ns：8 MHz動作時）です。

保守／廃止

(3) マクロ・サービスの処理時間

マクロ・サービス処理は，表13－10に示すように，マクロ・サービスの種類により処理時間が異なります。

表13－10　マクロ・サービス処理時間

マクロ・サービスの種類		処理時間（クロック）
カウンタ・モード		17
複合データ転送モード	メモリ・ポインタ保持	42＋A＋B＋C＋D[注1]
	メモリ・ポインタ更新	59＋A＋B＋C＋D[注1]
	エクスチェンジ・モード	60＋A＋B＋C＋D[注1]
データ・パターン識別モード	乗算あり	63＋16n[注2]
	乗算なし	37＋16n[注2]
タイプA	メモリ→SFR（1バイト・データ転送）	25
	SFR→メモリ（1バイト・データ転送）	25
	メモリ→SFR（2バイト・データ転送）	27
	SFR→メモリ（2バイト・データ転送）	26

注1. A-Dは次の転送処理時間を表します。

A：SFR→メモリ（ワード転送）

B：SFR→メモリ（バイト転送）

C：メモリ→SFR（ワード転送）

D：メモリ→SFR（バイト転送）

A，B，C，Dそれぞれの処理時間は次のようになります（m＝回転数）。

1≦m≦3の場合：14＋15（m－1）

m＝0の場合　　：0

2. n：比較バイト数

備考1. 実行中の命令が終了するまでの時間および優先順位などの判定を行う時間は含まれません。

2. 1クロックは$1/f_{CLK}$（125 ns：8 MHz動作時）です。

13.14　割り込み機能を初期状態に戻す方法

プログラムの暴走や，システムの異常をオペランド・エラー割り込みやNMI端子入力などで検出した場合，システム全体を初期状態に戻す必要があります。μPD784915は，割り込みの受け付けに関する優先順位の制御をハードウエアによって行っています。この割り込みの受け付けに関するハードウエアも，初期状態にしないと以降の割り込みの受け付けに関する制御が異常になる場合があります。

次に，割り込みの受け付けに関するハードウエアをプログラムで初期化する方法を示します。なお，ハードウエアで初期化する方法は，$\overline{\text{RESET}}$入力しかありません。

例

```
        MOVW    MK0, #0FFFFH ; マスカブル割り込みはすべてマスクする
        MOVW    MK1, #0FFFFH
IRESL:
        CMP     ISPR, #0     ; すべての処理中の割り込みサービス・プログラムがな
                             ; くなったか？
        BE      $NEXT
        MOVG    SP, #RETVAL  ; SPの位置を強制的に変更
        RETI                 ; 処理中の割り込みサービス・プログラムを強制終了，
                             ; 戻り番地はIRESL
RETVAL:
        DW      LOWW (IRESL) ; RETIでIRESLに戻るためのスタックのデータ
        DW      0            ; LOWW, HIGHWは，それぞれシンボルの下位16ビッ
                             ; ト，上位16ビットの値を計算するアセンブラの演算子
NEXT:
                ∫
```

- このプログラム実行中にはNMI端子によるノンマスカブル割り込み要求が発生しないようにする必要があります。
- このあと，内蔵ハードウエアの初期化および割り込み制御レジスタの初期化を行ってください。
- 割り込み制御レジスタの初期化時には，割り込み要求フラグを必ずクリア（0）してください。

13.15　注意事項

(1) ISPRレジスタは，読み出しのみ可能です。書き込みを行うと，誤動作する恐れがあります。

(2) BRKCS命令によるソフトウエア割り込みからの復帰にRETCS命令を使用してはいけません。RETCSB命令を使用してください。

(3) マスカブル割り込みをベクタ割り込みで受け付けた場合は，必ずRETI命令で復帰してください。ほかの命令では，以降の割り込みに関する動作が正常に行われません。

(4) コンテキスト・スイッチングによる割り込みからの復帰には，必ずRETCS命令を使用してください。ほかの命令では，以降の割り込みに関する動作が正常に行われません。

(5) ノンマスカブル割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ，処理されます。ノンマスカブル割り込みサービス・プログラム中でマクロ・サービスの処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中で割り込みマスク・フラグを操作して，マクロ・サービスが発生しないようにしてください。

(6) ノンマスカブル割り込みからの復帰には，必ずRETI命令を使用してください。ほかの命令では，以降の割り込みに関する動作が正常に行われません。

(7) ノンマスカブル割り込みは，以下に示す状態[注]のときを除いて必ず受け付けられます。したがって，特にリセット解除後などのスタック・ポインタの値が不定の場合でもノンマスカブル割り込みを受け付けます。このときのスタック・ポインタの値によっては，特殊機能レジスタ（SFR）の書き込みを禁止しているアドレスへプログラム・カウンタ（PC）およびプログラム・ステータス・ワード（PSW）を書き込んでしまいます。このために，CPUがデッド・ロックしてしまったり，端子から予期しない信号を出力したり，RAMが実装されていないアドレスへPCやPSWを書き込むことにより，ノンマスカブル割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。

したがって，$\overline{\text{RESET}}$解除後のプログラムは必ず次のようにしてください。

```
RSTVCT  CSEG      AT 0
        DW        RSTSTRT
                 ⎫
        CSEG      BASE
RSTSTRT:
        LOCATION  0H
        MOVG      SP, #imm24
        MOV       MM, #10000000B
                 ⎭
```

注　ノンマスカブル割り込みを受け付けない状態

- ノンマスカブル割り込みサービス・プログラム中
- **13.11　割り込み要求およびマクロ・サービスが一時的に保留される場合**に記述されている状態

(8) 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合，そのBF命令などの分岐先は，その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると，その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

例1. 悪い例

```
        ⋮
LOOP : BF PIC0.7, $LOOP   ; PIC0.7が1になるまですべての割り込みおよびマク
                          ; ロ・サービスが保留されてしまう。

       ×××                ; ←BF命令の次の命令実行後に初めて割り込みおよび
                          ;   マクロ・サービスが処理される。
        ⋮
```

2. 良い例 (1)

```
        ⋮
LOOP : NOP
       BF PIC0.7, $LOOP   ; ←NOP命令実行後に割り込みおよびマクロ・サービ
                          ;   スが処理されるため長時間割り込みが保留される
                          ;   ことはない。
        ⋮
```

3. 良い例 (2)

```
        ⋮
LOOP : BTCLR PIC0.7, $NEXT ; BT命令のかわりにBTCLR命令を使用するとフラグ
                           ; を自動的にクリアしてくれるので便利。
       BR $LOOP            ; ←BR命令の実行後に割り込みおよびマクロ・サー
                           ;   ビスが処理されるため長時間割り込みが保留さ
                           ;   れることはない。
NEXT :
        ⋮
```

(9) (8)と同様の理由により，上記に該当する命令群を連続して使用する場合で，割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には，NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

保守／廃止

(10) マクロ・サービス処理では，次のSFRに対してリード／ライトしないでください。リード／ライトした場合，マクロ・サービスが正常動作しないことがあります。

すべての割り込み制御レジスタ（××ICn），
MK0，MK0L，MK0H，MK1，MK1L，MK1H，
IMC，ISPR，PSW，PSWL

保守／廃止

第14章　スタンバイ機能

14.1　構成と機能

μPD784915には，システムの消費電力を低減させるスタンバイ機能があります。スタンバイ機能には次の４つのモードがあります。

モード	機　　能
HALTモード	CPUへの動作クロックの供給を停止させるモードです。通常動作モードとの組み合わせによる間欠動作により，システムのトータル消費電力を低下させることができます。
STOPモード	メイン・システム・クロックを停止させ，システム全体が停止するモードです。リーク電流だけの超低消費電力にできます。 サブシステム・クロックは停止しません。STOPモードでは時計機能のみ動作します。
低消費電力モード	システム・クロックとしてサブシステム・クロックを使用し，メイン・システム・クロックを停止させます。消費電流の低減を図るためサブシステム・クロックでのCPU動作が可能です。
低消費電力 HALTモード	低消費電力モード時のスタンバイ機能で，CPUの動作クロックを停止させます。システム全体の消費電力の低減を図ります。

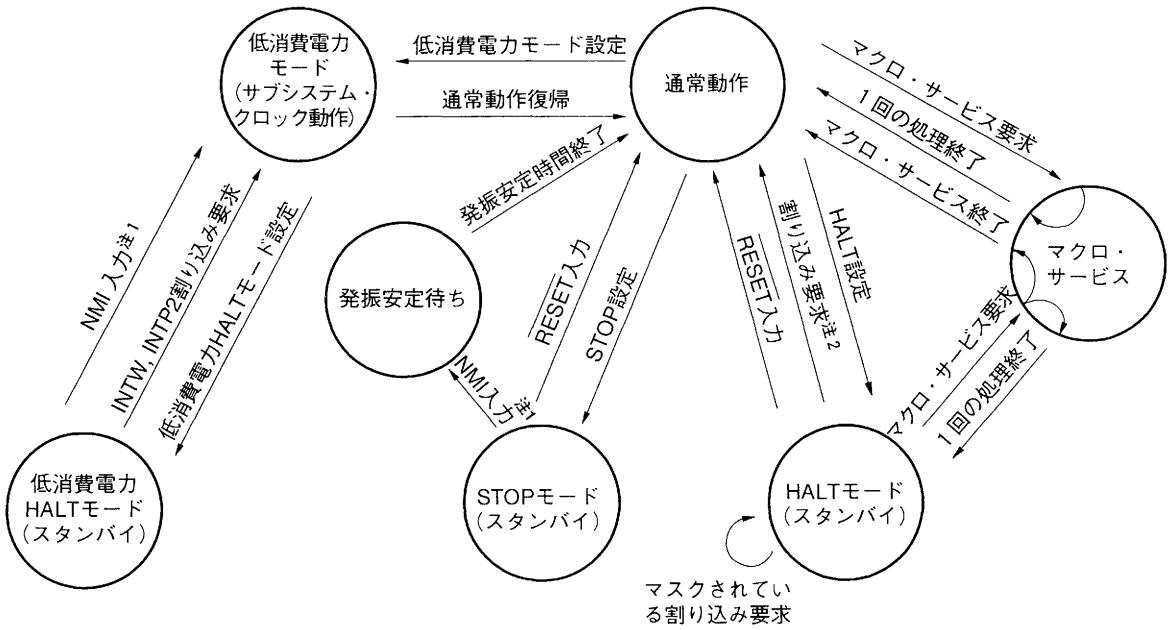
各モードはソフトウエアによって設定します。

図14－1にスタンバイ・モードの遷移図を示します。

また，図14－2にスタンバイ機能のブロック図を示します。

保守／廃止

図14－1　スタンバイ・モードの遷移図

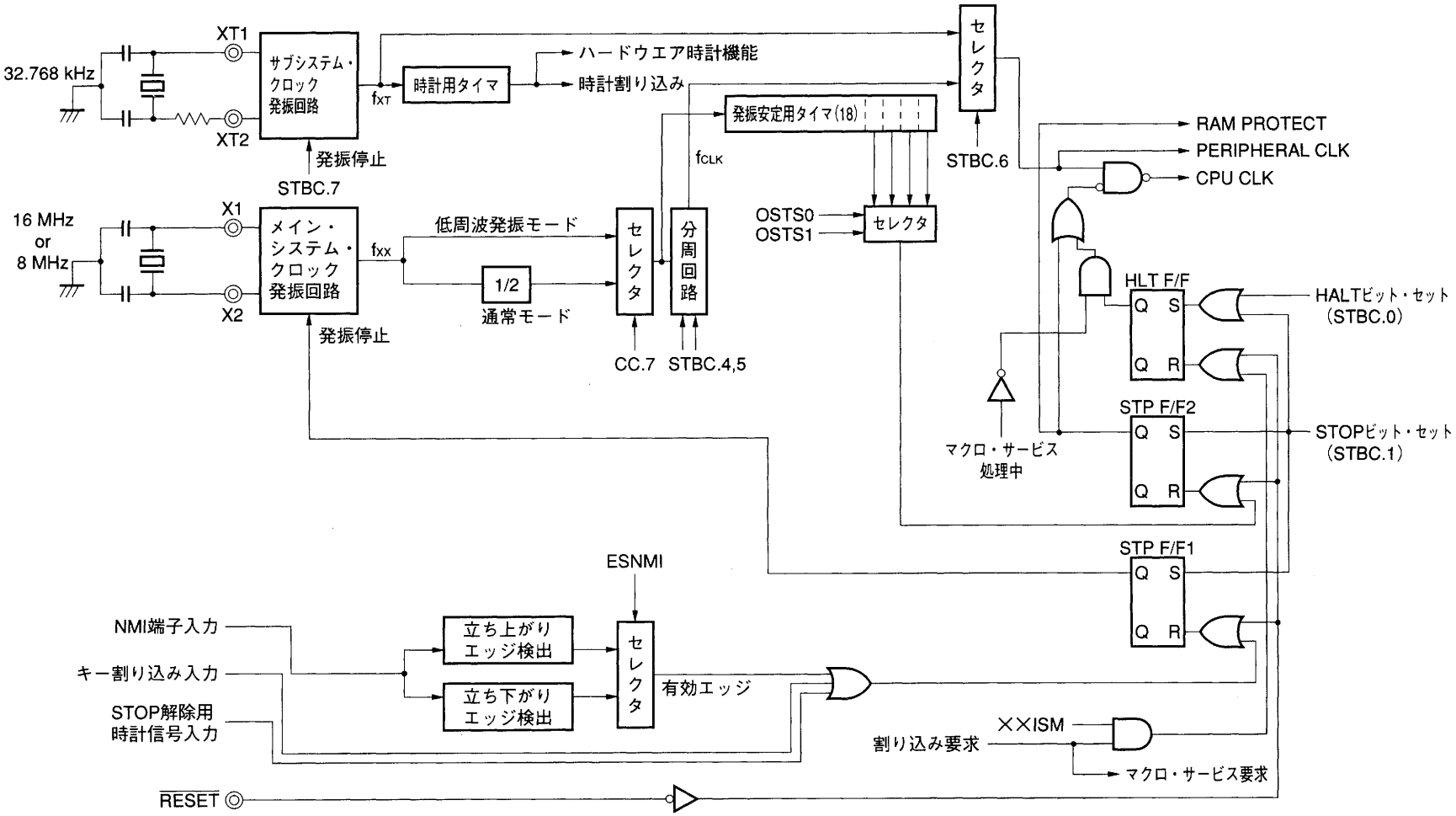


注1．NMI入力とは，NMI端子入力，時計割り込み，キー割り込み入力のいずれかでのNMI起動のことです。

2．マスクされていない割り込み要求。

保守／廃止

図14－2　スタンバイ機能のブロック図



14.2　制御レジスタ

14.2.1　スタンバイ・コントロール・レジスタ（STBC）

スタンバイ・コントロール・レジスタ（STBC）は，スタンバイ・モードを制御する８ビット・レジスタです(図**14－3**参照)。読み出し／書き込みが可能ですが，プログラムの暴走などにより応用システムが不用意に停止しないように，書き込みは専用命令（MOV STBC，#byte）によってのみ可能です。そのフォーマットを図14－4に示します。

図14－3　スタンバイ・コントロール・レジスタ（STBC）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
STBC	SBK	CK2	CK1	CK0	XTS	MCK	STP	HLT	FFC0H	0000×000	R/W

MCK	STP	HLT	CPUクロック	メイン・システム・クロック	動作モード
0	0	0	動作	動作	通常モード
	0	1	停止	動作	HALTモード
	1	0	停止	停止	STOPモード
1	0	0	動作	停止	通常モード
	0	1	停止	停止	HALTモード
上記以外			設定禁止		

XTS	サブシステム・クロック発振停止フラグ 1を書き込むことにより発振を停止する サブシステム・クロックが停止すると自動的にクリア XTSはリセットの影響を受けない

CK1	CK0	内部システム・クロックの選択
0	0	$f_{XX}/2$ (f_{XX})
0	1	$f_{XX}/4$ ($f_{XX}/2$)
1	0	$f_{XX}/8$ ($f_{XX}/4$)
1	1	$f_{XX}/16$ ($f_{XX}/8$)

備考　f_{XX}：発振周波数，（　）内は低周波発振モード時

CK2	CPUクロックの選択
0	メイン・システム・クロック(内部８MHz)
1	サブシステム・クロック

SBK	サブシステム・クロックの帰環抵抗制御
0	帰環抵抗を接続
1	帰環抵抗を切断

図14－4　STBCレジスタの書き込み命令

	B1	B2	B3	B4
MOV STBC,　#byte	09H	C0H	data0	data1

この命令は，プログラムの暴走により応用システムが不用意に停止しないように，命令の最後の2バイトの値をチェックする機能があります。2バイトのデータが，互いに補数である場合，($\overline{\text{data0}}$=data1）のみSTBCレジスタへの書き込みを行います。

また，データが互いに補数でない場合には書き込みが行われず，オペランド・エラー割り込みが発生します。この場合，スタック領域に退避されるリターン・アドレスは，オペランド・エラーの原因となった命令のアドレスです。したがって，オペランド・エラー・アドレスのチェックやRETB命令実行により，オペランド・エラーの原因となった命令のアドレスから再びプログラムの実行ができます（**第13章割り込み機能**参照）。

ただし，ハードウエア・エラーの場合など，オペランド・エラーの発生原因が取り除けていない状態では，RETB命令により無限ループとなります。

注意　スタンバイ・モード（STOP，HALT，低消費電力，低消費電力HALT）の解除条件が成立している場合にスタンバイ・モードの設定を行った場合，スタンバイ・モードに入らずに次の命令を実行，またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にスタンバイ・モードの設定をしたい場合には，事前に割り込み要求をクリアする必要があります。また，スタンバイ・モードの設定（STBC命令の実行）と解除条件が競合した場合（外部割り込み要求など），そのタイミングによりスタンバイ・モードに入らずに最大6クロック時の命令を実行後，ベクタ割り込みサービス・プログラムへの分岐を行います。したがって，解除条件が競合するような場合が予想されるアプリケーションでは，あらかじめSTBC命令以下6クロックの間（NOP命令を3個分）にアプリケーションの動作に不都合のないようにプログラムしてください。

```
プログラム例　　MOV　STBC，#byte
                NOP
                NOP
                NOP
```

14.2.2　CPUクロック・ステータス・レジスタ（PCS）

システム・クロックとしてメイン・システム・クロックとサブシステム・クロックのどちらを選択しているかを示す，読み出し専用の８ビット・レジスタです。

図14－5　CPUクロック・ステータス・レジスタ（PCS）のフォーマット

	7	6	5	4	3	2	1	⓪	アドレス	リセット時	R/W
PCS	—	—	—	—	—	—	—	CST	FFCEH	00H	R

CST	CPUクロックの状態
0	メイン・システム・クロックで動作
1	サブシステム・クロックで動作

備考　—：不定

14.2.3　発振安定時間指定レジスタ（OSTS）

$\overline{\text{RESET}}$以外でのSTOP解除後の発振安定時間を指定するレジスタです。８ビット単位での書き込みのみ可能です。$\overline{\text{RESET}}$入力で00Hになります。

図14－6　発振安定時間指定レジスタ（OSTS）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	0	OSTS1	OSTS0	FFCFH	00H	W

OSTS1	OSTS0	発振安定時間の指定
0	0	発振安定用タイマ18ビット分のカウント時間（32.8 ms）
0	1	発振安定用タイマ17ビット分のカウント時間（16.4 ms）
1	0	発振安定用タイマ16ビット分のカウント時間（8.2 ms）
1	1	発振安定用タイマ15ビット分のカウント時間（4.1 ms）

14.2.4　キー割り込みコントロール・レジスタ（KEYC）

キー入力および外部割り込み（INTP1，INTP2）でのNMI発生を指定し，また，NMI発生時それがキー割り込みまたは時計割り込みのどちらによるものかを確認するためのレジスタです。

図14-7　キー割り込みコントロール・レジスタ（KEYC）のフォーマット

	⑦	6	5	4	3	2	1	⓪	アドレス	リセット時	R/W
KEYC	KEYIF	KEYMK2	KEYMK1	KEYMK0	0	0	0	HWIF	FFA6H	70H	R/W

HWIF	時計割り込みNMI発生フラグ
0	時計割り込みによりNMIを発生していない
1	時計割り込みによりNMIを発生した

KEYMK0	KEY0，KEY1，INTP1，INTP2の制御
0	入力によりNMIを起動する
1	入力によりNMIを起動しない（マスクする）

KEYMK1	KEY2，KEY3の制御
0	入力によりNMIを起動する
1	入力によりNMIを起動しない（マスクする）

KEYMK2	KEY4の制御
0	入力によりNMIを起動する
1	入力によりNMIを起動しない（マスクする）

KEYIF	キー割り込みNMI発生フラグ
0	キー割り込み入力によりNMIを起動していない
1	キー割り込み入力によりNMIを起動した

注意　KEYC.0（HWIF），KEYC.7（KEYIF）に0をライトすると，NMI発生フラグをクリアします。したがって，HWIF，KEYIFビットへの0ライトとNMI発生フラグのセット（発生）が競合した場合，NMI発生フラグがセットされないことがありますので注意が必要です。

14.2.5　時計モード・レジスタ（WM）

時計割り込み（INTW）によるNMI起動制御およびNMI起動周期を指定するレジスタです。

図14-8　時計モード・レジスタ（WM）のフォーマット

	⑦	6	5	4	3	②	①	0	アドレス	リセット時	R/W
WM	WM7	WM6	WM5	WM4	WM3	WM2	WM1	0	FF6FH	00××0×00	R/W

WM1	時計用カウンタ動作モード
0	通常モード
1	早送りモード

WM2	時計用カウンタ動作制御
0	クリアし，カウンタ停止
1	カウント動作

WM3	時計割り込み(INTW)でのNMI起動制御
0	時計割り込みでNMIを起動しない
1	時計割り込みでNMIを起動する（周期はビット6（WM6）で決定）

WM5	WM4	ブザー出力周波数選択
0	0	2.048 kHz
0	1	4.096 kHz
1	0	設定禁止
1	1	32.768 kHz（サブシステム・クロック）

WM6	時計割り込みでNMIを起動する周期
0	0.5秒
1	64秒

WM7	ブザー出力の許可／禁止
0	ブザー出力をP61に重畳しない
1	ブザー出力をP61に重畳する

注意　WM2＝0のときは，WM7＝1としてもP61にブザー出力を重畳しません。

14.3 動　　作

14.3.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードには，STBCレジスタのHLTビットをセット（1）することにより設定されます。

STBCレジスタの書き込みは，専用命令による８ビット・データ書き込みのみ可能です。したがって，HALTモードの設定は，“MOV STBC，#01H”命令で行います。

表14－1　HALTモード時の動作状態

メイン・システム・クロック発振回路	動　作
サブシステム・クロック発振回路	動　作
内部システム・クロック	動　作
CPU（CPUクロック）	動作停止
I/Oライン	HALTモード設定前の状態を保持
各周辺機能	動作継続
内部RAM	保　持

(2) HALTモードの解除

HALTモードは，ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求，マスクされていないマクロ・サービス要求および$\overline{\text{RESET}}$入力により解除されます。

(a) 割り込み要求による解除

ノンマスカブル割り込み要求，マスクされていないマスカブル割り込み要求およびマクロ・サービス要求により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でHALTモードに設定した場合は次のように動作が異なります。

(i) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求（ノンマスカブル割り込み要求を含む)が発生すると，HALTモードの解除とともに，この割り込み要求を受け付けます。ただし，割り込みモード・コントロール・レジスタ（IMC）のPRSLビットに“0”を設定した場合，最下位レベルのみ同一優先順位の割り込み要求を受け付けます。

(ii) 現在処理中の割り込み要求と同一または優先順位の低い割り込み要求が発生すると，HALTモードの解除のみ行い，この割り込み要求は受け付けず，次の命令を実行します。割り込み要求そのものは保持します。

注意　サブクロック動作時は，サブクロックを供給しない周辺回路の割り込みは発生しません。

保守／廃止

(b) $\overline{\text{RESET}}$入力による解除

通常のリセット動作と同じです。ただし，内部RAMはHALTモードの設定前の値が保持されます。

表14－2　割り込み要求によるHALTモード解除後の動作

解除ソース	EI状態	DI状態
ノンマスカブル割り込み要求	ベクタ・アドレスに分岐	
マスカブル割り込み要求	ベクタ・アドレスに分岐 または次の命令を実行	次の命令を実行

表14－3　マクロ・サービス要求によるHALTモードの解除

マクロ・サービス終了後のベクタ割り込み発生条件	HALTモードの解除	HALTモード解除後の動作	
		EI状態	DI状態
成立する	解除する	ベクタ・アドレスに分岐 または次の命令を実行注	次の命令を実行
成立しない	再び，HALTモードに戻る	――	

注　HALTモードの設定をある割り込み処理ルーチン内で行い，その後新たに，より優先順位が高くマスクされていない割り込み要求が発生すると，ベクタ・アドレスに分岐します。

14.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードには，STBCレジスタのSTPビットをセット（1）することにより設定されます。

STBCレジスタの書き込みは，専用命令による８ビット・データ書き込みのみ可能です。したがって，STOPモードの設定は，“MOV STBC，#02H”命令で行います。

表14－4　STOPモード時の動作状態

メイン・クロック発振回路	発振停止
サブシステム・クロック発振回路	動　作
内部システム・クロック	停　止
CPU（CPUクロック）	動作停止
I/Oライン	STOPモード設定前の状態を保持
各周辺機能	動作停止注（ハードウエア時計を除く）
内部RAM	保　持

注　A/Dコンバータは動作を停止しますが，A/Dコンバータ・モード・レジスタ（ADM）のCSビットがセットされていると，消費電流は減りません。

注意1.　STOPモードに設定されるとクロック発振回路のリークを抑えるためX1端子が内部でV_{SS}（GND電位）にショートされます。

2.　消費電流を低減させるため，STOPモード設定前にA/Dコンバータ・モード・レジスタのCSビットをリセットしてください。また，アナログ回路の各アンプ，コンパレータ動作を停止させてください（AMPCレジスタ＝01Hに設定）。

3.　STOPモードの設定時にNMI要求が保留されていても，STOPモードに設定されます。STOPモードの解除にNMIを使用する場合は，再度NMI信号を入力してください。

4.　STOPモード解除後，FRCのカウント値は不定になります。

(2) STOPモードの解除

STOPモードは，NMI入力および$\overline{\text{RESET}}$入力により解除します。

また，時計割り込みとキー割り込み入力によりNMIを発生させることができるため，これらの割り込み入力でも間接的にSTOPモードを解除することができます。なお，STOPモードの解除ソースとしてキー割り込み入力を使用する場合は，あらかじめKEYCレジスタでマスク解除した端子（INTP1，INTP2，KEY0-KEY4端子）をハイ・レベルにしてください。

保守／廃止

(a) NMI入力によるSTOPモードの解除

NMI入力（NMI端子入力，時計割り込み，キー割り込み入力のいずれかでのNMI起動）が発生すると発振器が発振を再開します。その後，OSTSレジスタのOSTS1，0ビットで指定された発振安定時間後にSTOPモードを解除します。

STOPモードを解除するとNMI割り込みルーチンに分岐します。

注意1．NMI入力によりSTOPモードが解除される場合，NMIの割り込み処理ルーチンへの分岐は，STOPモードに設定する命令（MOV STBC，#byte）に続く1命令を実行したあとになります。したがって，STOPモードに設定する命令に続く命令は，NOP命令にしてください。

2．STOPモードに設定する命令を実行中に割り込み要求が発生した場合，NMIの割り込み処理ルーチンへの分岐は，STOPモード解除後，その割り込み処理を実行したあと行います。したがって，STOPモードに設定する命令の前にすべてのマスカブル割り込みをマスクしてください。

マスクしなかった場合，発生した割り込みの処理形態によって，STOPモード解除後の動作は，次のように異なります。

(1) ベクタ割り込み処理に設定したマスカブル割り込み要求が発生した場合，マスカブル割り込み処理ルーチンに分岐し，1命令実行したあと，NMIの割り込み処理ルーチンに分岐します。

(2) マクロ・サービス処理に設定したマスカブル割り込み要求が発生した場合，マクロ・サービスを実行したあと，NMIの割り込み処理ルーチンに分岐します（マクロ・サービスが終了するまで，NMIの処理は保留されます）。

(b) $\overline{\text{RESET}}$入力によるSTOPモードの解除

$\overline{\text{RESET}}$入力端子にロウ・レベルのリセット・パルスを入力するとリセット状態になります。$\overline{\text{RESET}}$の立ち上がりでメイン・クロックの発振を開始し，発振安定用タイマがオーバフローするとメイン・クロックで通常動作を開始します。このとき，内蔵データ・メモリはSTOPモード前の内容を保持しています。

$\overline{\text{RESET}}$入力によりOSTSレジスタは00Hに，またCCレジスタは00Hに初期化されます。そのため，クロック発生回路は通常モードとなり，発振安定用タイマのオーバフロー時間は次のようになります。

f_{XX}＝16 MHz時：約32.8 ms

f_{XX}＝ 8 MHz時：約65.5 ms

注意1.　μPD784915はリセット状態で発振を停止します。

2.　IE（インサーキット・エミュレータ）でのエミュレーション時，$\overline{\text{RESET}}$入力後の発振安定時間は32.8 msとなります。

（c）STOPモードの解除ソース

STOPモードの解除ソースを表14－5に示します。

表14－5　STOPモードの解除ソース

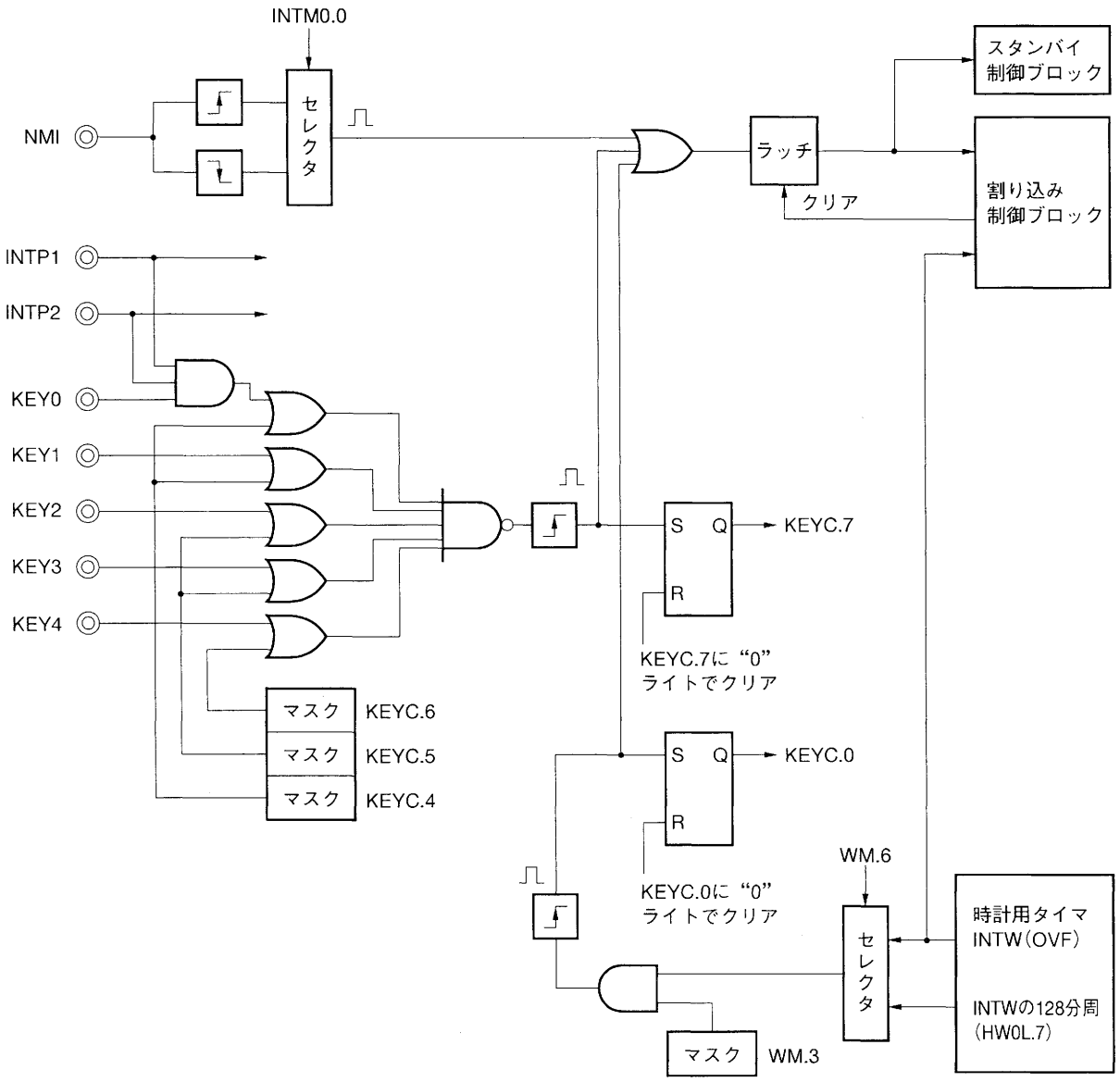
	条　件	レジスタの設定	解除後の動作
NMI	有効エッジ入力	INTM0レジスタ（有効エッジ指定）	NMI処理
時計割り込み	STOP解除用時計信号の入力 （時計用タイマのオーバフローまたはそのオーバフローを128分周した信号）	WMレジスタ（時計用タイマ動作許可） （NMI発生許可）	NMI処理 ↓ 時計割り込みの発生によりフラグをセットする
キー割り込み	キー割り込み入力端子に設定した端子のうち，少なくとも1端子の立ち下がり	KEYCレジスタ（キー割り込み入力許可） INTM0レジスタ（NMI有効エッジ指定）	NMI処理 キー割り込みはベクタ・テーブルを持たない。
$\overline{\text{RESET}}$	立ち上がりエッジ入力	なし	リセット・ベクタ処理

注意1.　時計割り込みやキー割り込みでのSTOPモード解除はNMI入力で行います。
すなわち，時計割り込みやキー割り込みの発生でNMIを発生させ，そのNMI入力によりSTOPモードを解除します。

2.　キー割り込みおよび外部割り込みでNMIを起動する場合，有効エッジはハードウエア的に立ち下がりエッジ固定になります。INTM0レジスタでINTP0，INTP2の有効エッジ指定を変更する必要はありません。

保守／廃止

図14－9　STOPモード解除におけるNMI，時計割り込み，キー割り込みの関係



注意　時計割り込みによるスタンバイ解除の許可／禁止の設定は，割り込み制御レジスタ（WIC）ではなく，WMレジスタのビット3で行ってください。

保守／廃止

14.4　サブシステム・クロック発振停止フラグ

サブシステム・クロック発振停止フラグは，サブシステム・クロック発振回路が停止したかどうかを記憶するフラグです。

サブシステム・クロック発振回路は，電源電圧が低下したときのみ，停止するので，このフラグでパワーオンを検出することができます。

注意　サブシステム・クロック発振停止フラグは，発振停止から結果的にパワーオフを検出するものであり，アナログ的に電圧を検出するものではありません。また，サブシステム・クロックを使用しないときは意味を持ちません。

14.5　注意事項

(1) HALTモードを解除する条件が成立しているときにHALTモードの設定を行った場合，HALTモードには入らずに次の命令の実行，またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にHALTモードの設定をしたい場合は，HALTモードに入る前に割り込み要求をクリアするなどしてください。

(2) 消費電流を低減させるため，STOPモード設定前にA/Dコンバータ・モード・レジスタのCSビットをリセットしてください。また，アナログ回路の各アンプ，コンパレータ動作を停止させてください（AMPCレジスタ＝01Hに設定）。

(3) STOPモードの設定時にNMI要求が保留されていても，STOPモードに設定されています。STOPモードの解除にNMIを使用する場合は，再度NMI信号を入力してください。

14.6　低消費電力モード

14.6.1　低消費電力モードの動作

低消費電力モードとは，システム・クロックとしてサブシステム・クロックを使用し，メイン・システム・クロックを停止させた状態のことです。

μPD784915は，消費電流の低減を図るためサブシステム・クロックでのCPU動作が可能です。ただし，周辺機能については動作可能な機能を制限していますので，注意が必要です。

低消費電力モード時に動作する機能を表14－6に示します。

表14－6　低消費電力モード時に動作可能な機能

ブロック	詳　細
CPU機能	・RAMアクセスを含む
時計機能	・時計用タイマの動作 ・ハードウエア時計カウンタ（HW0，HW1）の動作およびリード／ライト ・時計モード・レジスタ（WM）のリード／ライト
ポート機能	・ポート0，4，5，8，9の入出力動作およびリード／ライト ・ポート7の入力動作およびリード
割り込み機能	・NMI入力[注1]によるNMI処理（ベクタ割り込み処理）
スタンバイ機能	・HALTモードの設定 ・NMI入力[注1]，INTW，INTP2[注2]によるHALTモードの解除 ・サブシステム・クロックとメイン・システム・クロックの相互切り替え動作

注1．NMI入力とは，NMI端子入力，INTW，キー割り込み入力のいずれかでのNMI起動のことです。

2．INTW，INTP2については，割り込み要求フラグのセットによるHALTモードの解除動作が可能です。このとき，割り込みマスク・フラグ（WMK，PMK2）はクリアしておいてください。これらの割り込みによる割り込み処理は使用できませんので，DI命令により割り込み処理を禁止するか，CPUクロックをメイン・システム・クロックに切り替えてから，割り込み処理を実行してください。

また，その他の割り込みについては，割り込み制御レジスタまたは割り込みマスク・フラグ・レジスタですべての割り込み処理を禁止してください。

14.6.2　低消費電力モードへの設定

低消費電力モードに入る場合は，スタンバイ・コントロール・レジスタ（STBC）に40Hを設定してください。この設定により，システム・クロックをメイン・システム・クロックからサブシステム・クロックに切り替えます。

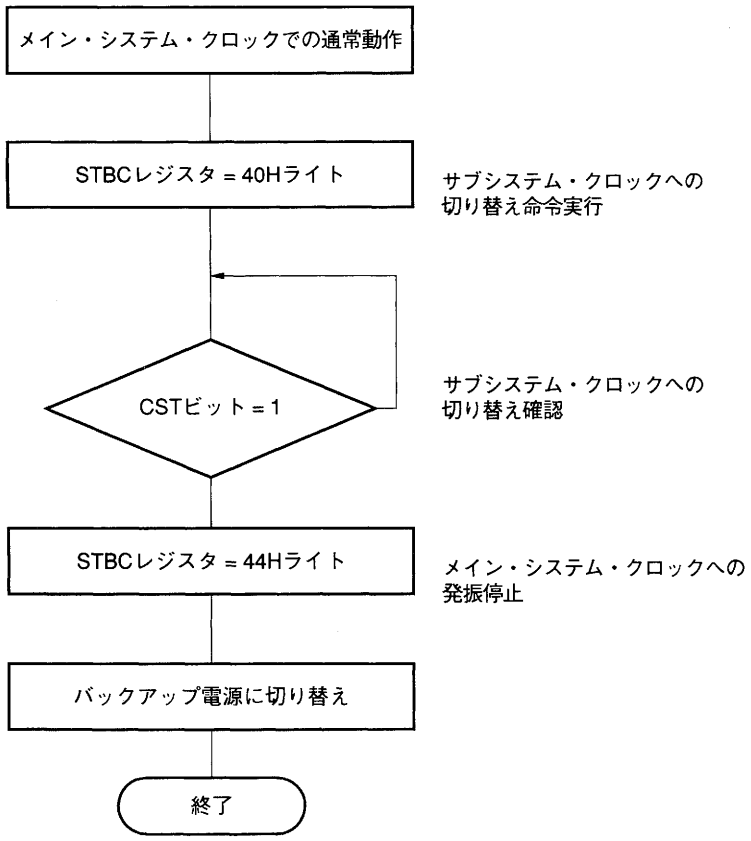
システム・クロックがサブシステム・クロックに切り替わったかどうかの確認は，CPUクロック・ステータス・レジスタ（PCS）のCSTビットのリード・データから確認できます（**図14－5**参照）。

切り替えが完了したことを確認したら，STBCレジスタに44Hを設定して，メイン・システム・クロックの発振を停止します。こののち，メイン電源からバックアップ電源への切り替えを行います。

注意　システム・クロックをメイン・システム・クロックからサブシステム・クロックに切り替える作業は，V_{DD}≧4.0 Vの条件のもとで実行してください。

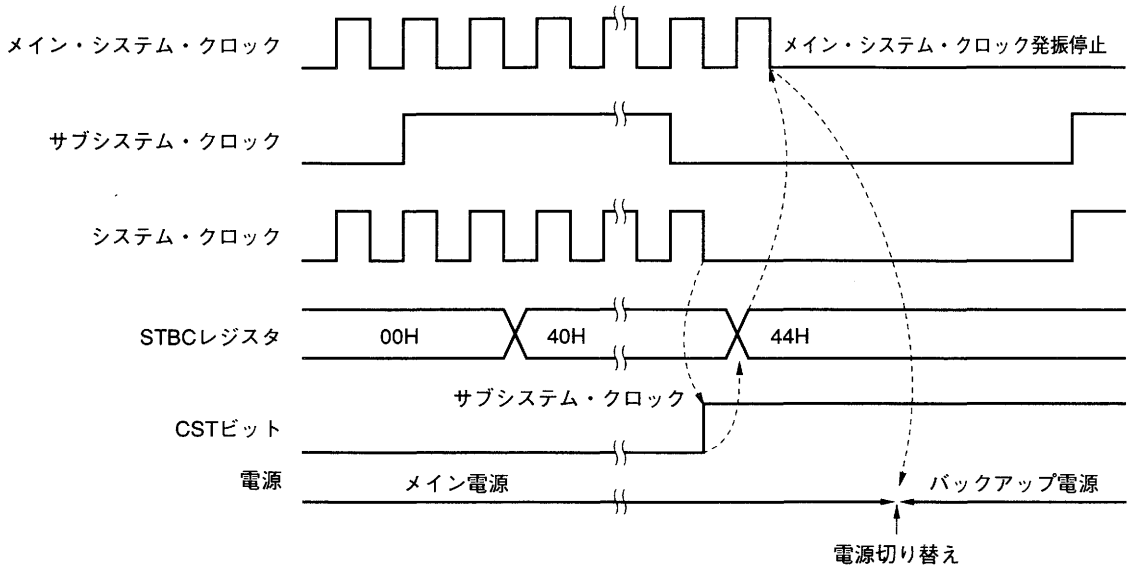
図14－10にサブシステム・クロック動作への設定フロー，図14－11に設定タイミング図を示します。

図14－10　サブシステム・クロック動作への設定フロー



保守／廃止

図14－11　サブシステム・クロック動作への設定タイミング



14.6.3　メイン・システム・クロック動作への復帰

サブシステム・クロック動作からメイン・システム・クロック動作へ復帰する場合は，まず，システム電源をメイン電源に切り替え（5 V供給），メイン・システム・クロックの発振を許可（STBCレジスタ＝40Hに設定）します。その後，メイン・システム・クロックの発振安定時間をソフトウエアでウエイトし，システム・クロックをメイン・システム・クロックに切り替えます（STBCレジスタ＝00Hに設定）。

注意1.　サブシステム・クロック動作（メイン・システム・クロック発振停止）からメイン・システム・クロック動作へ復帰する場合，STBCレジスタへの書き込み命令でMCKビット＝0とCK2ビット＝0を同時に設定しないでください。

2.　発振安定時間指定レジスタ（OSTS）は，システム・クロックがメイン・システム・クロックのとき，$\overline{\text{RESET}}$以外でのSTOPモード解除後の発振安定時間を指定するレジスタです。システム・クロックをサブシステム・クロックからメイン・システム・クロックへ復帰する場合には使用できません。

図14－12にメイン・システム・クロック動作への復帰フローを，図14－13に復帰タイミング図を示します。

図14－12　メイン・システム・クロック動作への復帰フロー

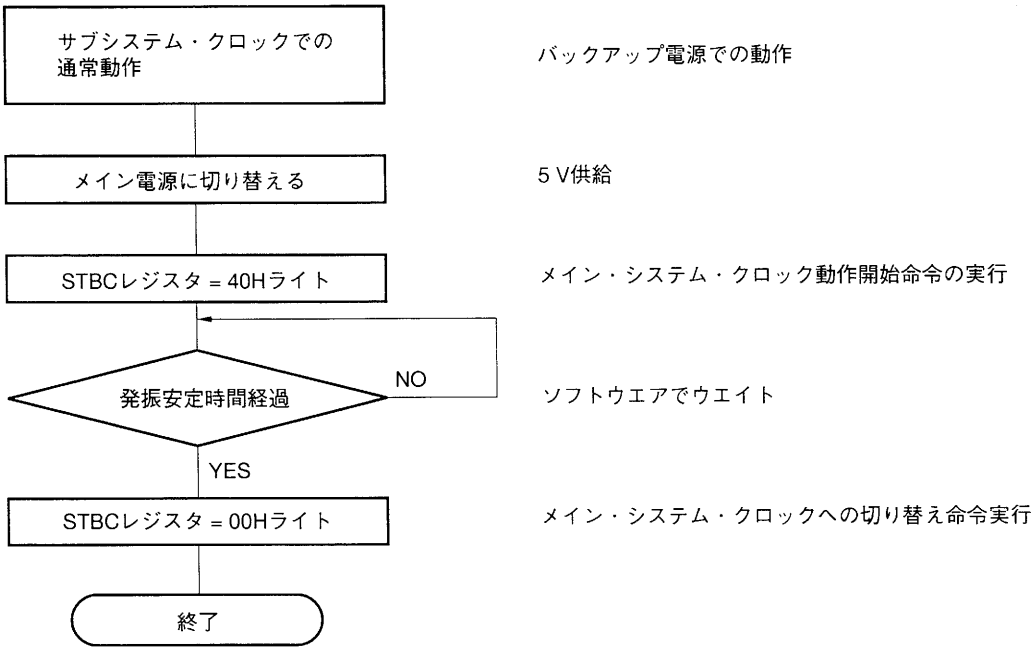
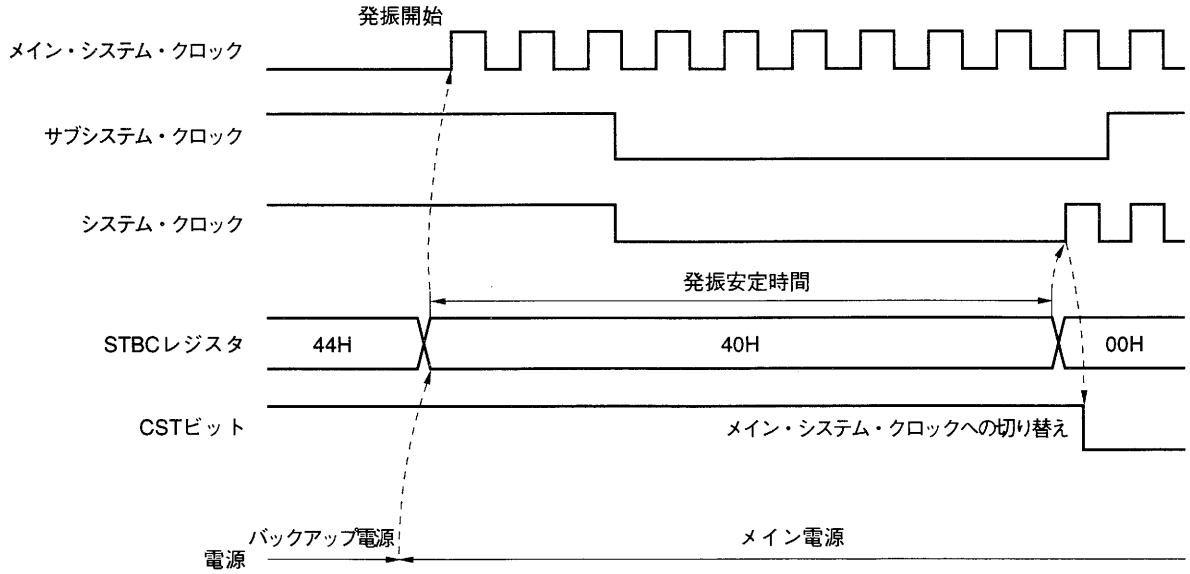


図14－13　メイン・システム・クロック動作への復帰タイミング



14.6.4　低消費電力モード時のスタンバイ機能

低消費電力モード時のスタンバイ機能には，HALTモードがあります。

保守／廃止

(1) HALTモードの設定と動作状態

低消費電力モード時にHALTモードに設定する場合は，STBCレジスタに45Hを設定してください。

このとき，HALTモードの解除ソースとしてキー割り込み入力を使用する場合は，あらかじめKEYCレジスタでマスク解除した端子（INTP1，INTP2，KEY0-KEY4端子）をハイ・レベルにしてください。

HALTモード中の動作状態を表14-7に示します。

表14-7　HALTモード中の動作状態

メイン・システム・クロック発振回路	発振停止
サブシステム・クロック発振回路	動作
内部システム・クロック	動作
CPU（CPUクロック）	動作停止
I/Oライン	HALTモード設定前の状態を保持
時計機能	動作継続
内部RAM	保持

(2) HALTモードの解除

低消費電力モード時のHALTモードは，次の2種類のソースによって解除することができます。

(a) NMI入力による解除

NMI端子入力，キー割り込み入力，INTWのいずれかによりNMIを起動させた場合，HALTモードを解除し，ベクタ割り込み処理を行います。

(b) INTW，INTP2割り込み要求による解除

INTWまたはINTP2割り込み要求フラグ(WIFまたはPIF2)がセットされるとHALTモードを解除し，HALTモードを設定した命令（MOV STBC，#byte）の次の命令を実行します。

注意　INTW，INTP2については，割り込み要求フラグのセットによるHALTモードの解除動作が可能です。このとき，割り込みマスク・フラグ（WMK，PMK2）はクリアしておいてください。これらの割り込みによる割り込み処理は使用できませんので，DI命令により割り込み処理を禁止するか，CPUクロックをメイン・システム・クロックに切り替えてから，割り込み処理を実行してください。

また，その他の割り込みについては，割り込み制御レジスタまたは割り込みマスク・フラグ・レジスタですべての割り込み処理を禁止してください。

保守／廃止

表14－8　低消費電力モード時のHALTモードの解除ソース

解除ソース	条　件	レジスタの設定	解除後の動作
NMI入力	・NMI端子入力 （有効エッジ入力） ・INTW （HALT命令解除用時計信号入力） ・キー割り込み入力 （キー割り込み入力端子に設定した端子のうち，少なくとも1端子の立ち下がり）	・INTM0レジスタ （有効エッジ指定） ・WMレジスタ （時計用タイマ動作許可） （NMI発生許可） ・KEYCレジスタ （キー割り込み入力許可）	NMI処理 （ベクタ割り込み処理）
INTWおよびINTP2割り込み要求	割り込み要求フラグ(WIFおよびPIF2)のセット	割り込み制御レジスタまたは割り込みマスク・フラグ・レジスタ （WMKおよびPMK2はクリア，その他はすべてセット）	MOV STBC，#byte命令の次の命令を実行

14.6.5　注意事項

(1) 低消費電力モード中の割り込み処理について

低消費電力モード中の割り込み処理の実行は，NMI処理（ベクタ割り込み処理）のみ可能です。

INTW，INTP2については，割り込み要求フラグのセットによるHALTモードの解除動作が可能です。このとき，割り込みマスク・フラグ（WMK，PMK2）はクリアしておいてください。これらの割り込みによる割り込み処理は使用できませんので，DI命令により割り込み処理を禁止するか，CPUクロックをメイン・システム・クロックに切り替えてから，割り込み処理を実行してください。

また，その他の割り込みについては，割り込み制御レジスタまたは割り込みマスク・フラグ・レジスタですべての割り込み処理を禁止してください。

(2) 低消費電力モード中のINTP2端子入力について

低消費電力モード中は，INTP2端子内部のノイズ除去回路のサンプリング・クロックをf_{CLK}（TMC2.0=0）に設定してください。ノイズ除去回路のサンプリング周期とシステム・クロックの関係を表14－9に示します。

表14－9　ノイズ除去回路のサンプリング周期とシステム・クロックの関係

システム・クロック	サンプリング・クロックの指定	サンプリング周期
メイン・システム・クロック（内部8 MHz動作時）	f_{CLK}　(TMC2.0=0)	125 ns
	$f_{CLK}/128$ (TMC2.0=1)	16 μs
サブシステム・クロック（内部32 kHz動作時）	f_{CLK}　(TMC2.0=0)	30.5 μs
	$f_{CLK}/128$ (TMC2.0=1：設定禁止)	3.9 ms

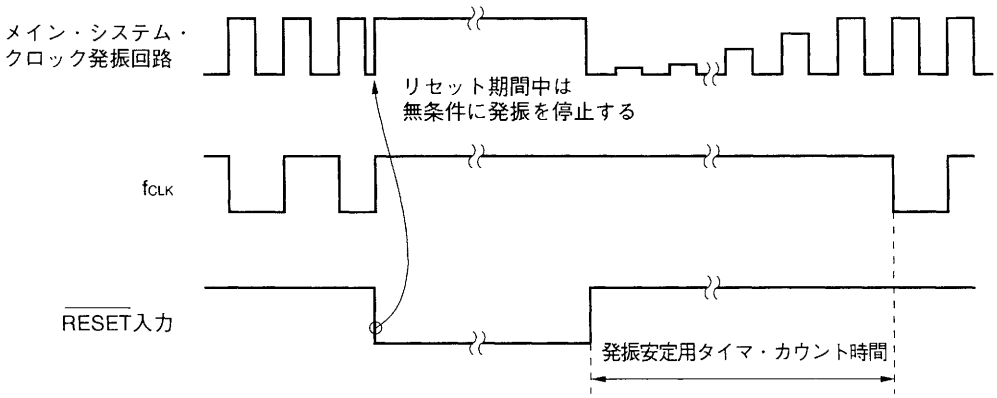
保守／廃止

第15章　リセット機能

$\overline{\text{RESET}}$入力端子にロウ・レベルが入力されると，システム・リセットがかかり，各ハードウエアは，表15－1に示すような状態になります。また，リセット期間中は，メイン・システム・クロックの発振を無条件に停止しますので，システム全体の消費電流を抑えることができます。

$\overline{\text{RESET}}$入力がロウ・レベルからハイ・レベルになると，リセット状態が解除され，発振安定用タイマのカウント時間（32.8 ms：16 MHz動作時，65.6 ms：8 MHz動作時）のあと，リセット・ベクタ・テーブルの内容がプログラム・カウンタ（PC）にセットされ，PCにセットされたアドレスに分岐し，その分岐先のアドレスからプログラムの実行を開始します。したがって，任意のアドレスからリセット・スタートできます。

図15－1　リセット期間中のメイン・システム・クロックの発振



$\overline{\text{RESET}}$入力端子は，ノイズによる誤動作を防ぐため，アナログ・ディレイによるノイズ除去回路を内蔵しています。

保守／廃止

図15－2　リセット信号の受け付け

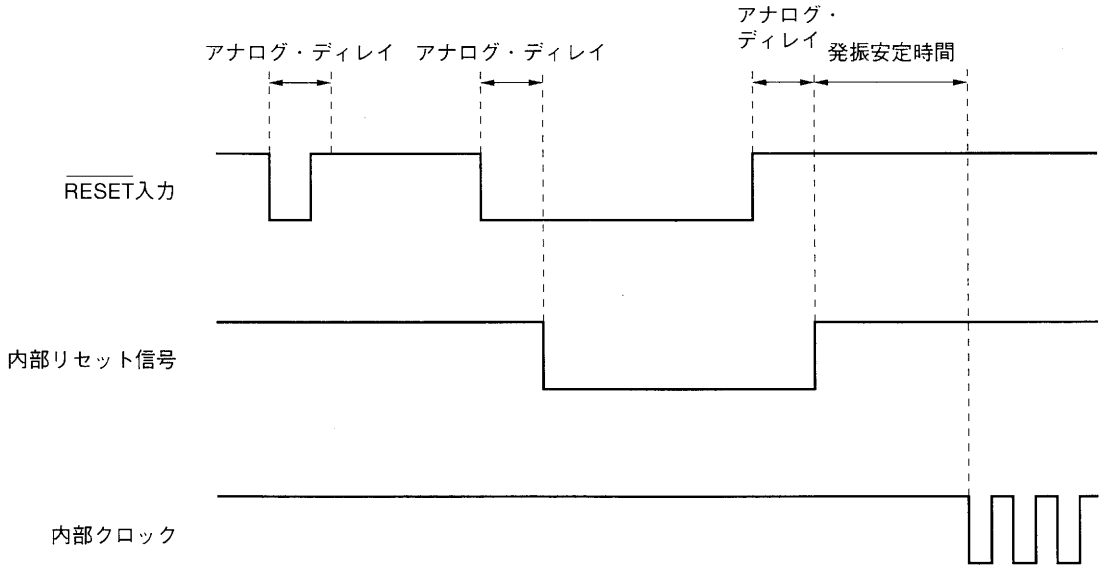


表15－1　各ハードウエアのリセット中，リセット後の状態

ハードウエア	リセット中の状態（$\overline{\text{RESET}}$＝L）	リセット後の状態（$\overline{\text{RESET}}$＝H）
メイン・システム・クロック発振回路	発振を停止する	発振を開始する
サブシステム・クロック発振回路	リセットの影響を受けない	
プログラム・カウンタ（PC）	不　定	リセット・ベクタ・テーブルの値をセット
スタック・ポインタ（SP）	不　定	
プログラム・ステータス・ワード（PSW）	0000Hにイニシャライズ	
内蔵RAM	不定。ただし，スタンバイ状態をリセットで解除した場合には，スタンバイ設定前の値を保持する。	
I/Oライン	入力バッファ，出力バッファをOFFにする。	ハイ・インピーダンス
時計用タイマ	リセットの影響を受けない	
スーパ・タイマ・ユニット	所定の状態に初期化する注	
アナログ回路	電流経路を遮断する	所定の状態に初期化する注
その他のハードウエア	所定の状態に初期化する注	

注　表3－6　特殊機能レジスタ（SFR）一覧のリセット解除後を参照。

保守／廃止

第16章　応 用 例

μPD784915のスーパ・タイマ・ユニットやリアルタイム出力ポート，割り込み機能を応用した例として，VTRサーボ制御を示します。

16.1　VTRサーボの概要

16.1.1　VTRの制御系

VTRを大きく分類すると，次のような制御系で構成されています。

(1) システム制御

VTRシステムの全体を監視，制御します。

(2) サーボ制御

ドラム・モータやキャプスタン・モータおよびそれらに付随する動作の制御を行います。

(3) タイマ制御

タイマ予約などの時計機能，フロント・パネルの制御，表示制御などを行います。

(4) カメラ制御（カメラ一体型VTR）

AFやAEなどカメラ部の制御を行います。

(5) その他

手ぶれ補正制御（カメラ一体型VTR）など。

μPD784915は，上記(1)～(3)の３つの制御を１チップで行うことのできる16ビット・シングルチップ・マイクロコンピュータです。

特に，μPD784915に内蔵されたスーパ・タイマ・ユニットは，ソフトウエア・ディジタル・サーボ制御を容易に実現できるように設計されています。

16.1.2　VTRサーボ系の構成

VTRにおけるサーボ系では，回転ヘッド用のドラム・モータと，テープを定速で走行させるキャプスタン・モータの制御を行います。図16－1にVTRサーボ系のブロック図を示します。

VTRサーボ系で制御する項目を次に示します。

(1) ドラム・モータの速度／位相制御

(2) キャプスタン・モータの速度／位相制御

(3) ヘッド・スイッチング信号の作成

(4) 特殊再生時の疑似V_{SYNC}信号の生成

保守／廃止

(5) 複合同期信号から垂直同期信号と水平同期信号を分離

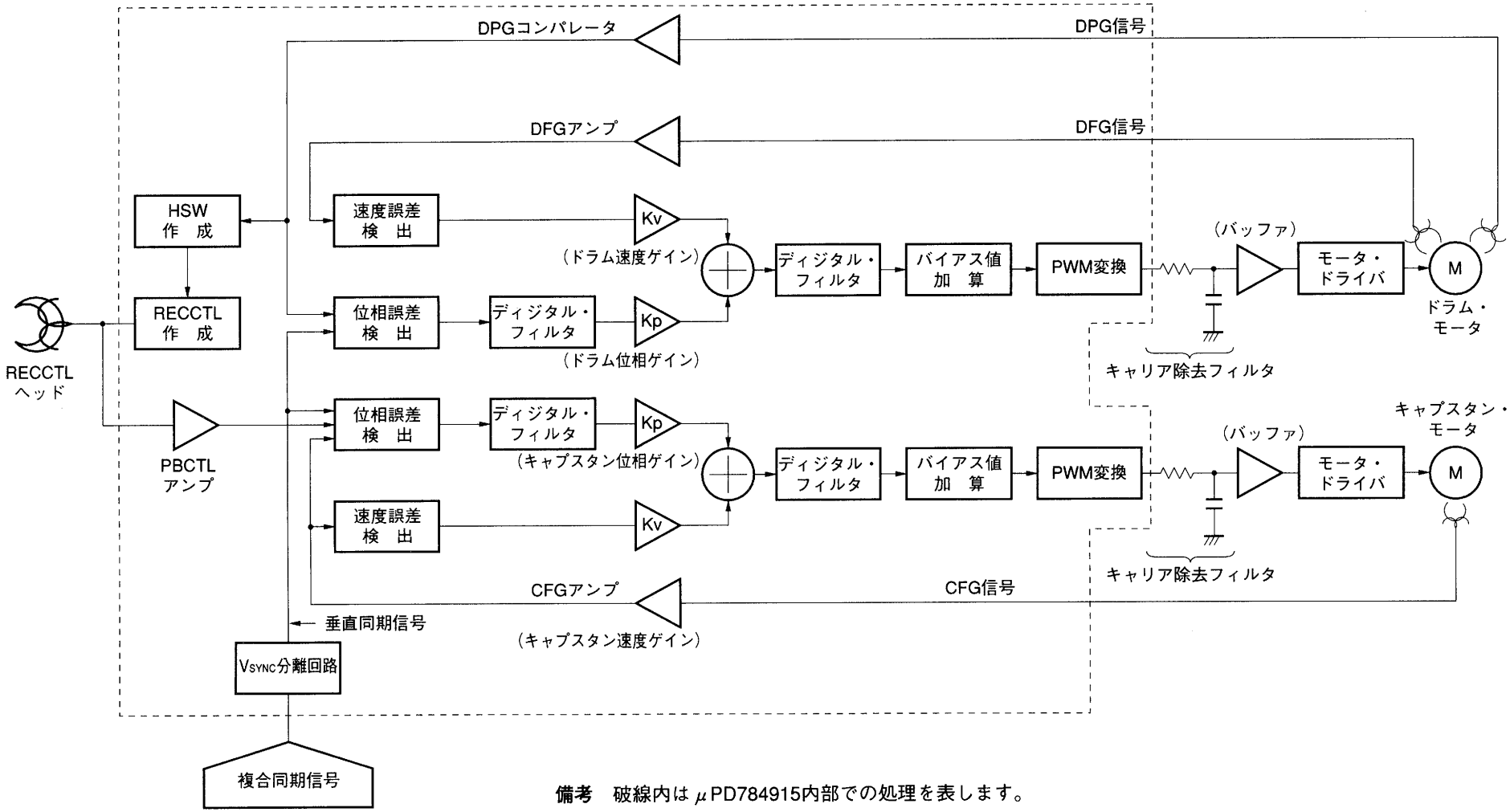
(6) レコーディング・コントロール信号（RECCTL）の生成（記録時），再書き込み（再生時）

(7) インデクス・サーチ制御（VISS検出）

上記の（1），（2）について，スーパ・タイマ・ユニットの使用方法を説明していきます。

保守／廃止

図16－1　ソフトウエア・ディジタル・サーボ系のブロック



備考　破線内は μPD784915内部での処理を表します。

保守／廃止

16.2　スーパ・タイマ・ユニットの使用例

表16－1にVTRサーボ制御におけるスーパ・タイマ・ユニットの使用例を示します。

表16－1　スーパ・タイマ・ユニットの使用例

タイマ／カウンタ名	レジスタ	用　　途
イベント・カウンタ（EC）	ECC0/ECC1/ECC2/ECC3	内部ヘッド・スイッチング信号の作成
タイマ0（TM0）	CR00	映像ヘッド・スイッチング信号の遅延制御
	CR01	音声ヘッド・スイッチング信号の遅延制御
	CR02	疑似V_{SYNC}出力タイミング制御
フリー・ランニング・カウンタ（FRC）	CPT0	基準位相の検出（ドラム位相制御用）
	CPT1	ドラム・モータの位相検出（ドラム位相制御用）
	CPT2	ドラム・モータの速度検出（ドラム速度制御用）
	CPT3	キャプスタン・モータの速度検出 （キャプスタン速度制御用）
	CPT4，CPT5	リールFG入力によるテープ残量検出
タイマ1（TM1）	CR10	内部基準信号の作成（再生時） V_{SYNC}抜け対策用バッファ・オシレータ（記録時）
	CR11	RECCTL出力タイミング制御
	CR12	キャプスタン・モータの位相制御 （キャプスタン位相制御用）
	CR13	不要なV_{SYNC}入力のマスク制御
タイマ3（TM3）	CR30，CR31	PBCTL信号デューティ検出タイミング制御
	CPT30	PBCTL信号周期測定
タイマ2（TM2）	CR20	インターバル・タイマとして使用可能 （シスコン用）
タイマ4（TM4）	CR40	リモコン信号デューティ検出 （リモコン・デコード用）
	CR41	リモコン信号周期測定（リモコン・デコード用）
タイマ5（TM5）	CR50	インターバル・タイマとして使用可能 （シスコン用）
アップ／ダウン・カウンタ（UDC）	UDCC	リニア・テープ・カウンタの作成

保守／廃止

16.3　ドラム・モータの制御

VTR制御の際のスーパ・タイマ・ユニットの使用方法の例として次に示します。

ドラム・モータの制御には，フリー・ランニング・カウンタ・ユニットのCPT0，CPT1，CPT2レジスタと，タイマ1ユニットのCR10レジスタを使用します。

入力信号はドラム・モータからのDFG信号，DPG信号，基準信号としての$COMP_{SYNC}$信号を使用します。

ドラム・モータからのDFG信号の立ち上がりエッジでCPT2レジスタに格納し，同時にドラム制御割り込み（INTCPT2）を発生します。

この割り込みルーチンで今回のキャプチャ値と前回のキャプチャ値の差分をとり，ドラム・モータの速度を算出します。

ここで算出したドラム・モータの速度と，ドラム・モータの速度の目標値から誤差量を求めます。

$$E_{DV}=(N_{DF}^{n}-N_{DF}^{n-1})-N_{DFL}$$
$$=\Delta N_{DF}-N_{DFL}$$

N_{DF}^{n}　：今回のCPT2キャプチャ値

N_{DF}^{n-1}　：前回のCPT2キャプチャ値

N_{DFL}　：目標値（定常回転時のドラム・モータの回転速度）

ΔN_{DF}：今回のドラム・モータの回転速度

再生時のドラム位相制御はヘッド・スイッチング信号と基準信号の位相を一定に保つために行います。

基準信号には，タイマ1とコンペア・レジスタCR10により，自己クリアする基準タイマを構成し，使用します。

基準タイマの周期はVTRの場合，TVのフレーム周期に一致させます。

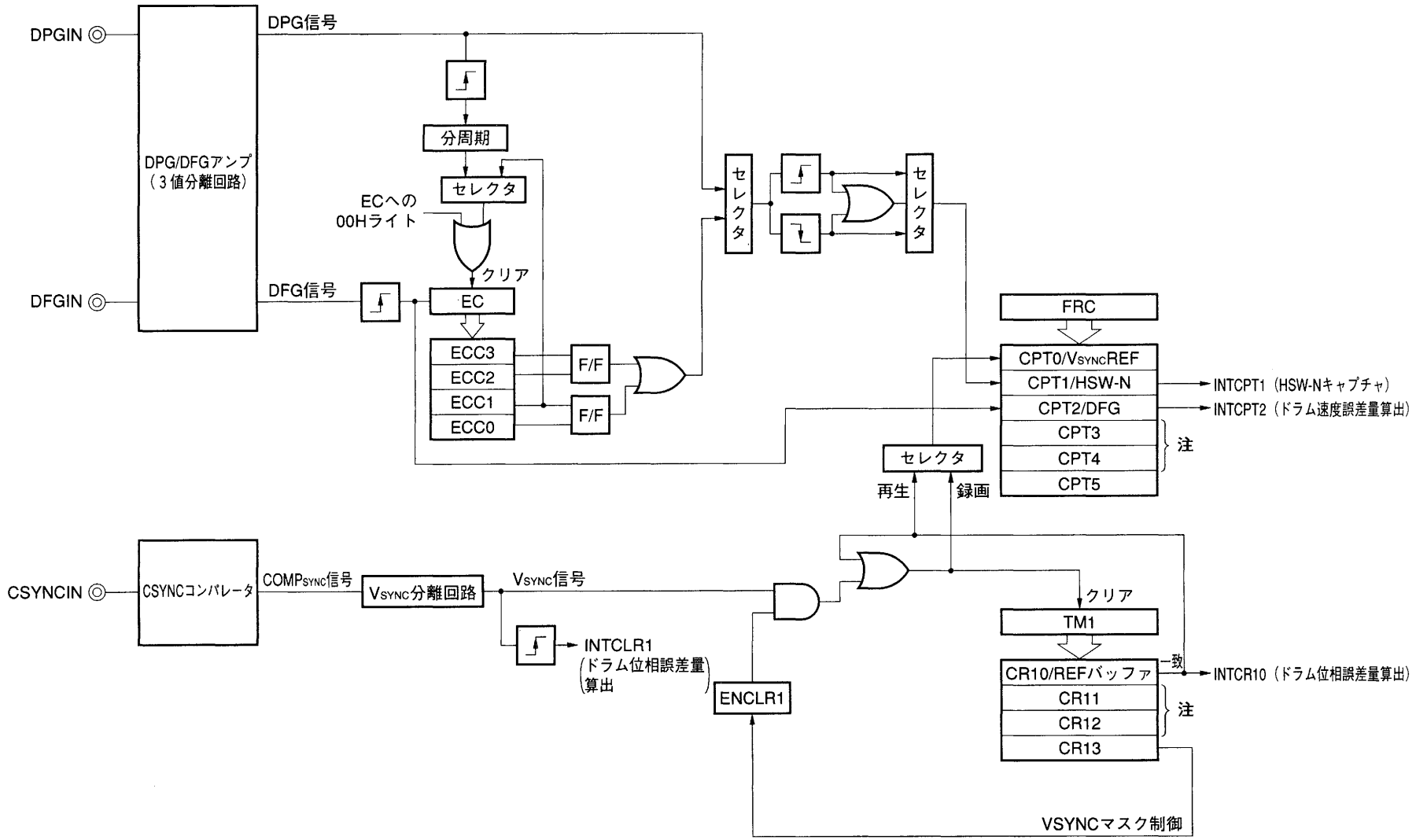
E_{DP}＝{（内部基準信号によりキャプチャした値）－（位相信号によりキャプチャした値）}－（位相制御の目標値）
＝{（CPT0の値）－（CPT1の値）}－（目標値）

記録時のドラム位相制御では外部より入力される基準信号（垂直同期信号）にドラム・モータの回転を同期させます。

E_{DP}＝{（基準信号によりキャプチャした値）－（位相信号によりキャプチャした値）}－（位相制御の目標値）
＝{（CPT0の値）－（CPT1の値）}－（目標値）

保守／廃止

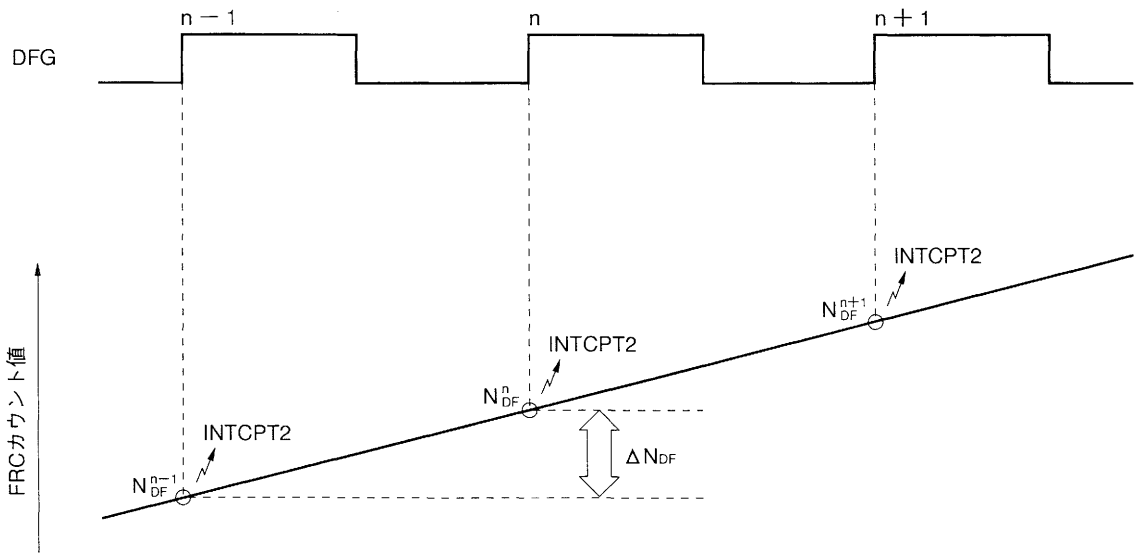
図16-2 ドラム・モータの制御



注 この制御では使用しないレジスタ

保守／廃止

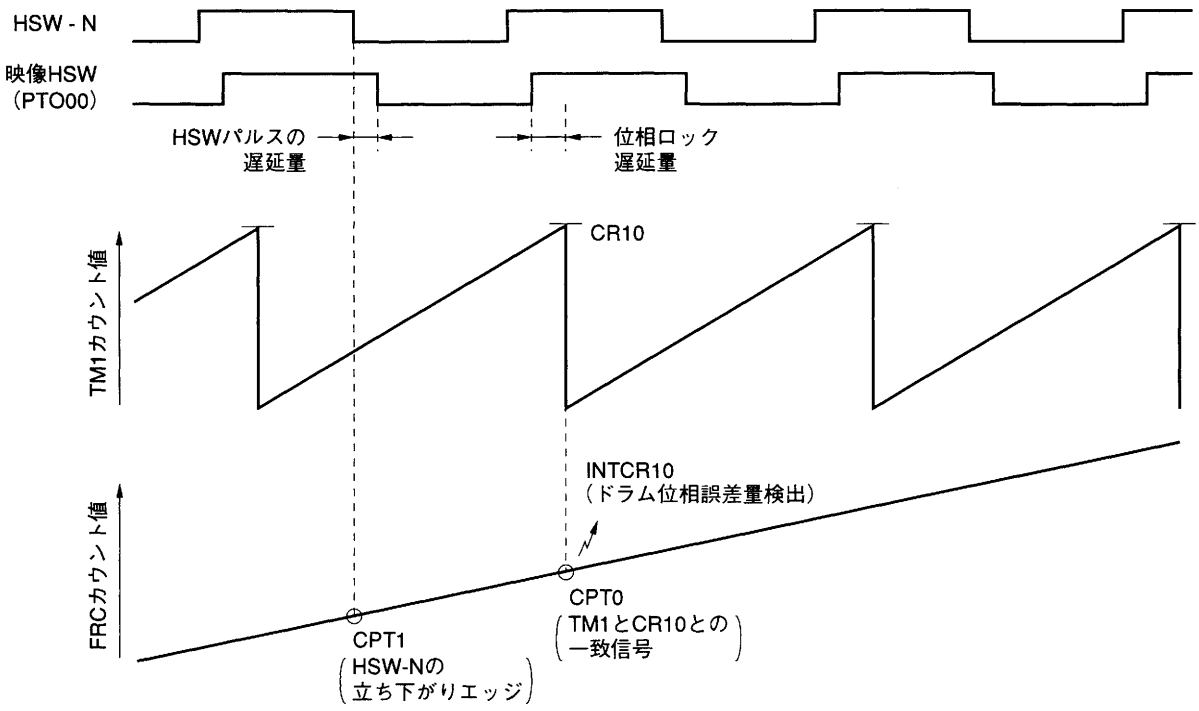
図16－3　ドラム速度制御



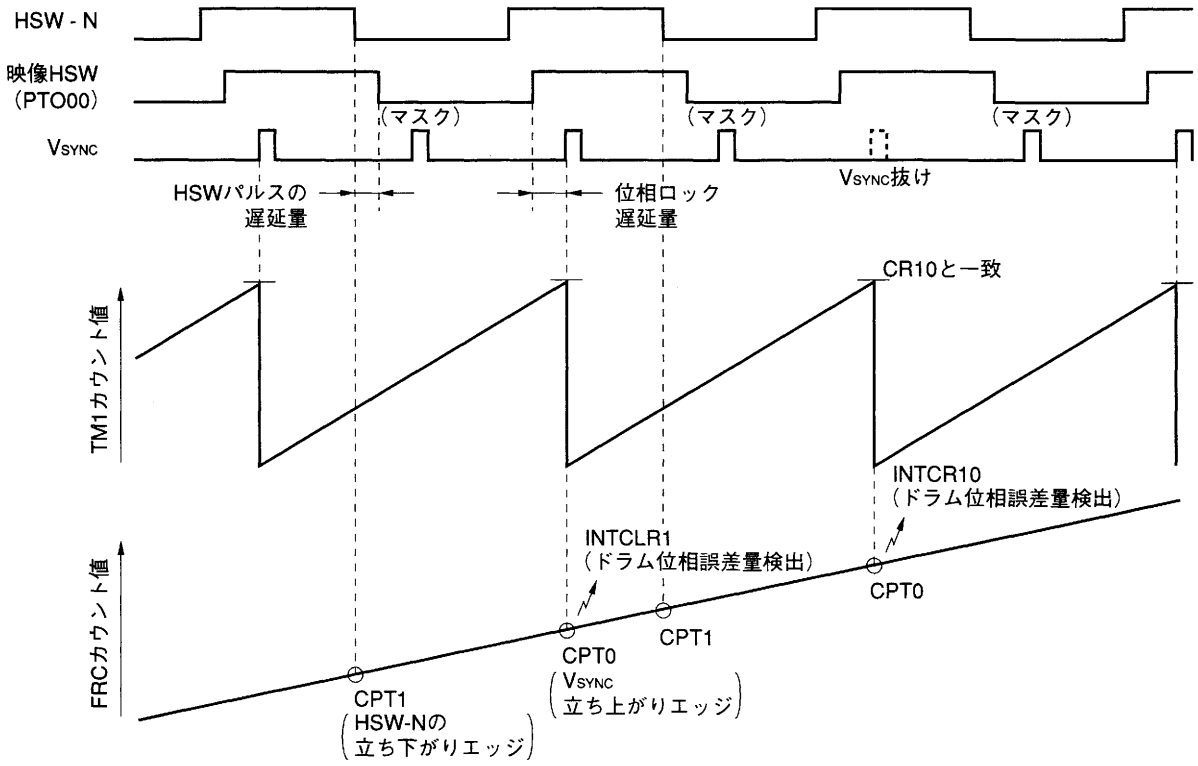
保守／廃止

図16－4　ドラムの位相制御

（a）再生時



（b）録画時



備考　位相ロック遅延量：VTRの規格によって決定される値

保守／廃止

16.4　キャプスタン・モータの制御

キャプスタン・モータの制御には，フリー・ランニング・カウンタ・ユニットのCPT3レジスタと，タイマ１ユニットのCR10，CR12レジスタを使用します。

入力信号はキャプスタン・モータからのCFG信号，基準信号としてのPBCTL信号（再生時），$COMP_{SYNC}$信号（録画時）を使用します。

キャプスタン・モータからのCFG信号の立ち上がりエッジでCPT3レジスタに格納し，同時にキャプスタン速度制御割り込み（INTCPT3）を発生します。

この割り込みルーチンで今回のキャプチャ値と前回のキャプチャ値の差分をとり，キャプスタン・モータの速度を算出します。

ここで算出したキャプスタン・モータの速度と，キャプスタン・モータの速度の目標値から誤差量を求めます。

$$E_{CV} = (N_{CF}^{n} - N_{CF}^{n-1}) - N_{CFL}$$
$$= \Delta N_{CF} - N_{CFL}$$

N_{CF}^{n}　：今回のCPT3キャプチャ値

N_{CF}^{n-1}　：前回のCPT3キャプチャ値

N_{CFL}　：目標値（定常回転時のキャプスタン・モータの回転速度）

ΔN_{CF}：今回のドラム・モータの回転速度

再生時のキャプスタン位相制御はPBCTL信号とヘッド・スイッチング信号の位相を一定に保つために行います。

ドラム・モータの位相制御で，ヘッド・スイッチング信号とTM1の位相関係はすでに一定に保たれています。つまり，PBCTL信号でキャプチャされた値そのものがキャプスタン・モータ位相情報を持っているわけです。

E_{CP}＝(PBCLT信号によりキャプチャした値)－(位相制御の目標値)
　＝(CR12の値)－(目標値)

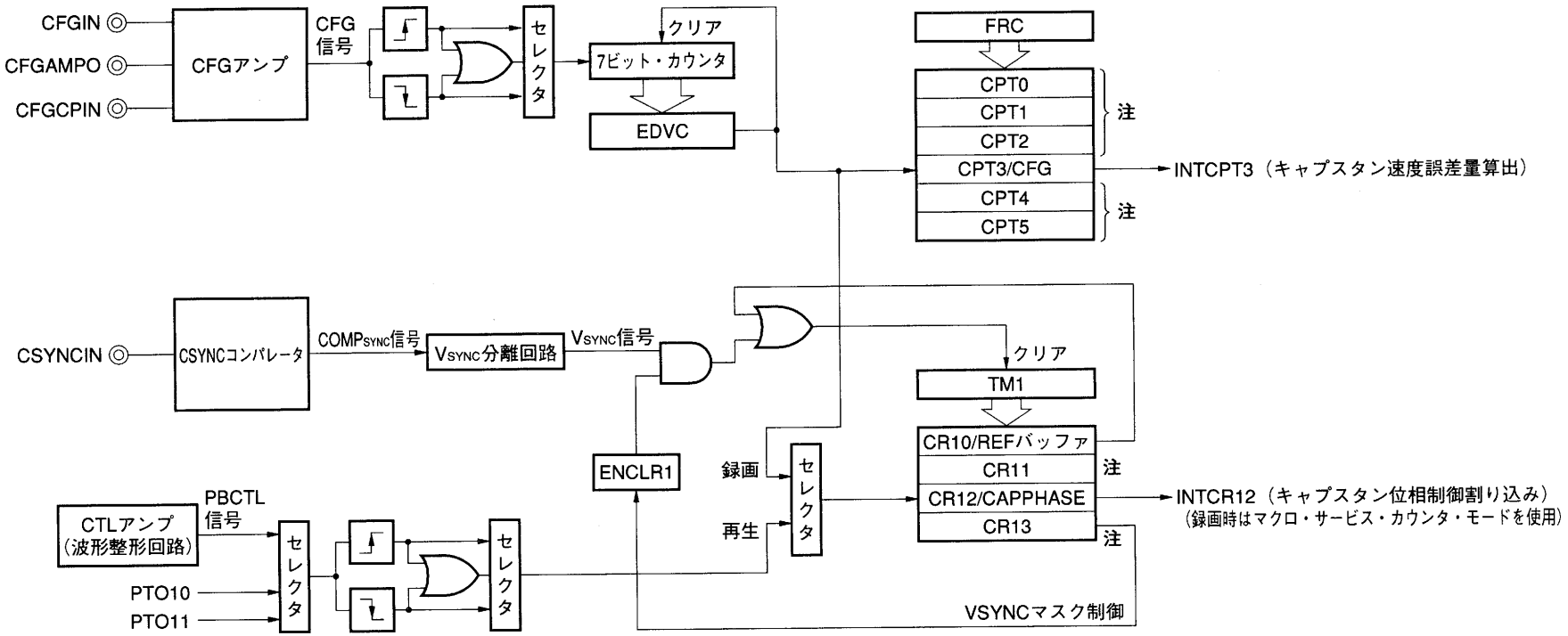
記録時のキャプスタン位相制御では外部に対しての絶対的な位相はありません。

位相目標値は任意に設定することができます。

E_{CP}＝(CFG分周信号によりキャプチャした値)－(位相制御の目標値)
　＝(CR12の値)－(目標値)

保守／廃止

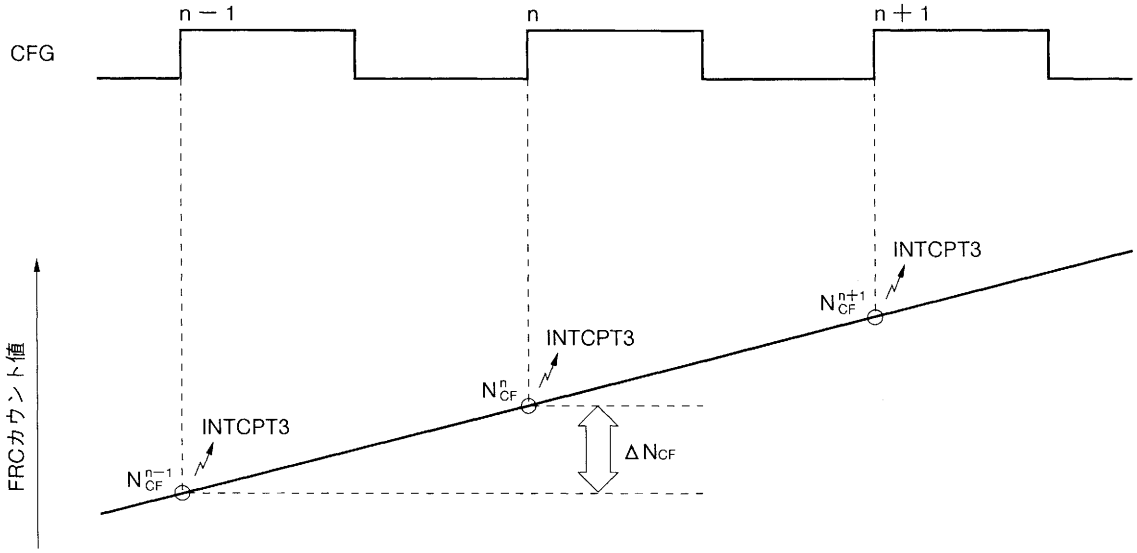
図16－5 キャプスタン・モータの制御



注 この制御では使用しないレジスタ

保守／廃止

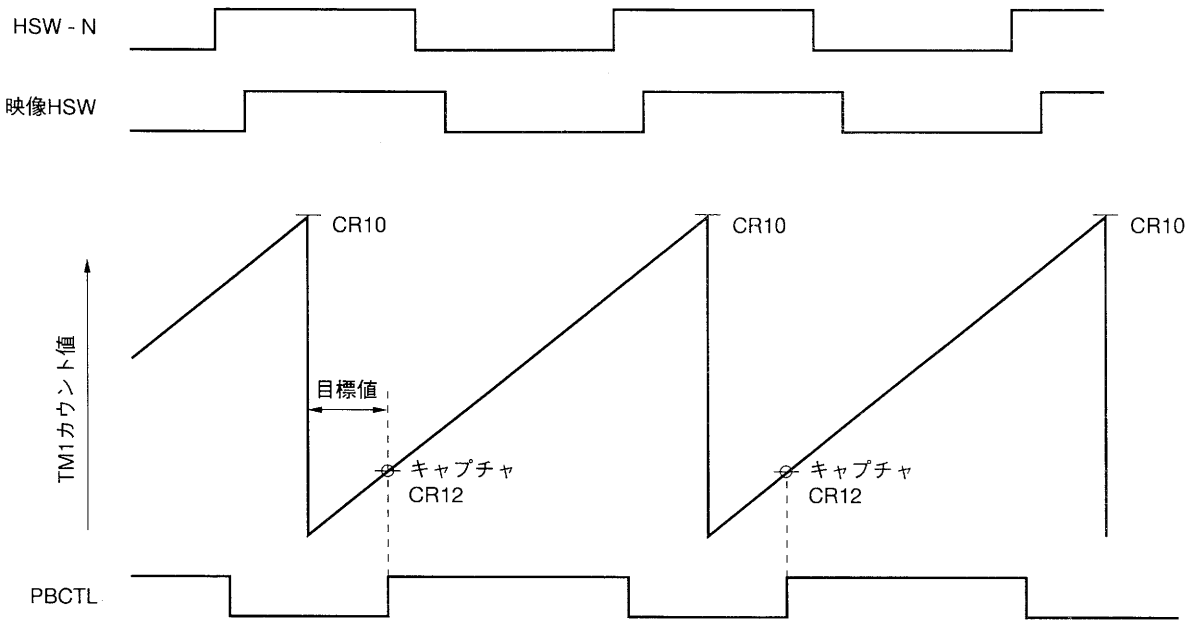
図16－6　キャプスタン速度制御



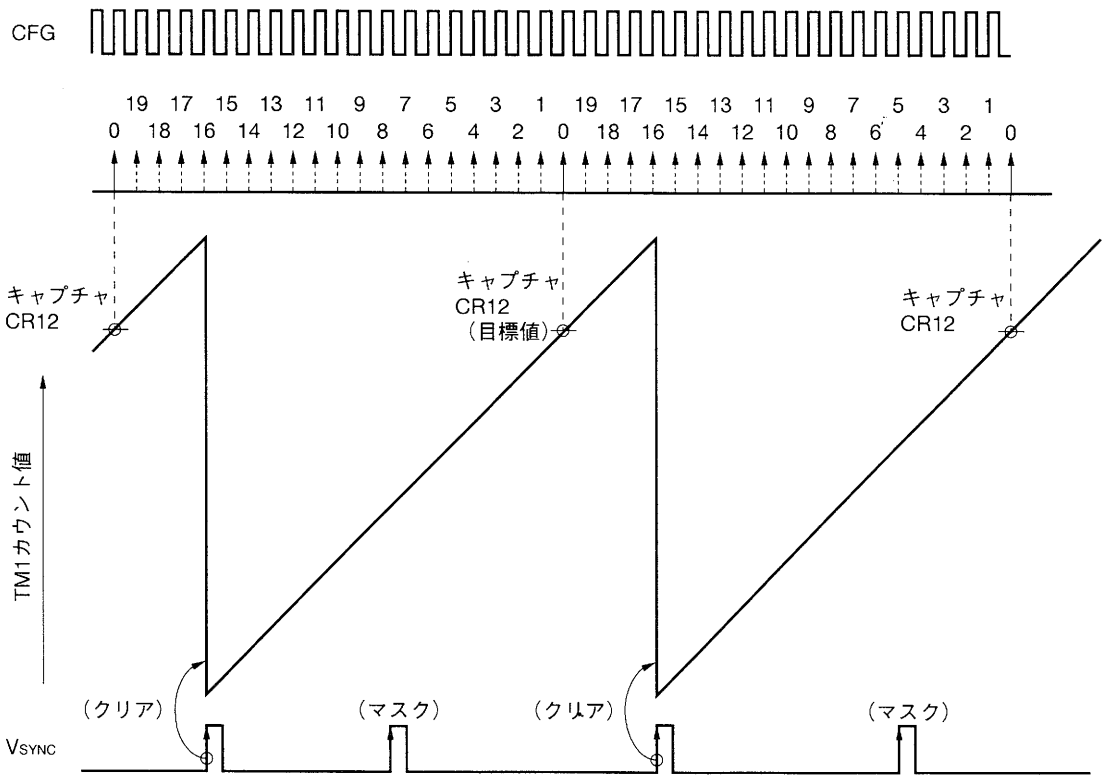
保守／廃止

図16－7　キャプスタン位相制御

（a）再生時



（b）録画時



備考　↑：マクロ・サービス

↑：ベクタ割り込み

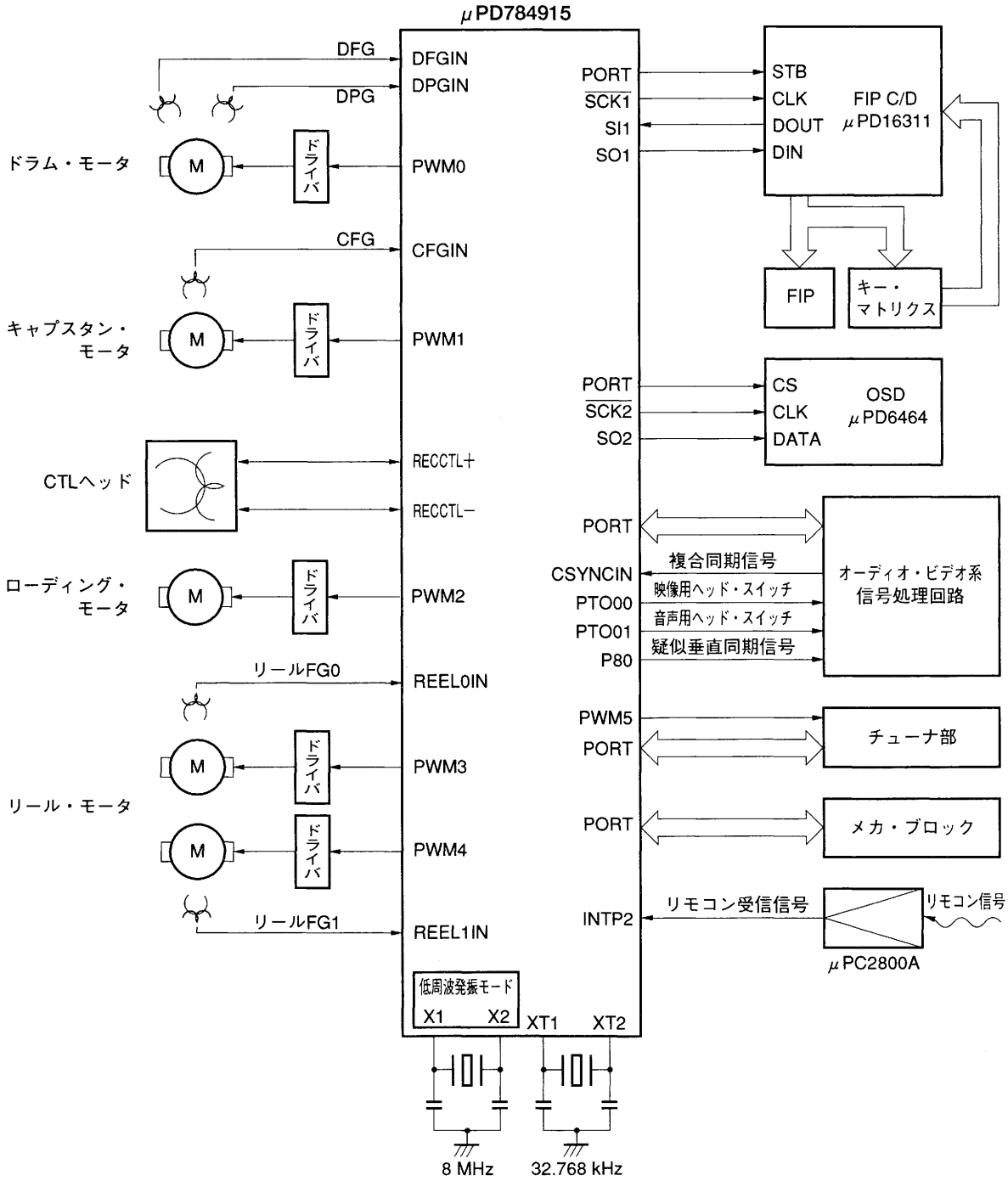
保守／廃止

16.5　据え置き型VTRへの応用例

図16－8に据え置き型VTRのブロック構成図を示します。

この例では，システム・コントロール，タイマ・コントロールおよびディジタル・サーボ制御用マイコンとしてμPD784915を使用し，FIP®コントロール／ドライバとしてμPD16311，OSDとしてμPD6464を使用しています。

図16－8　据え置き型VTRへの応用



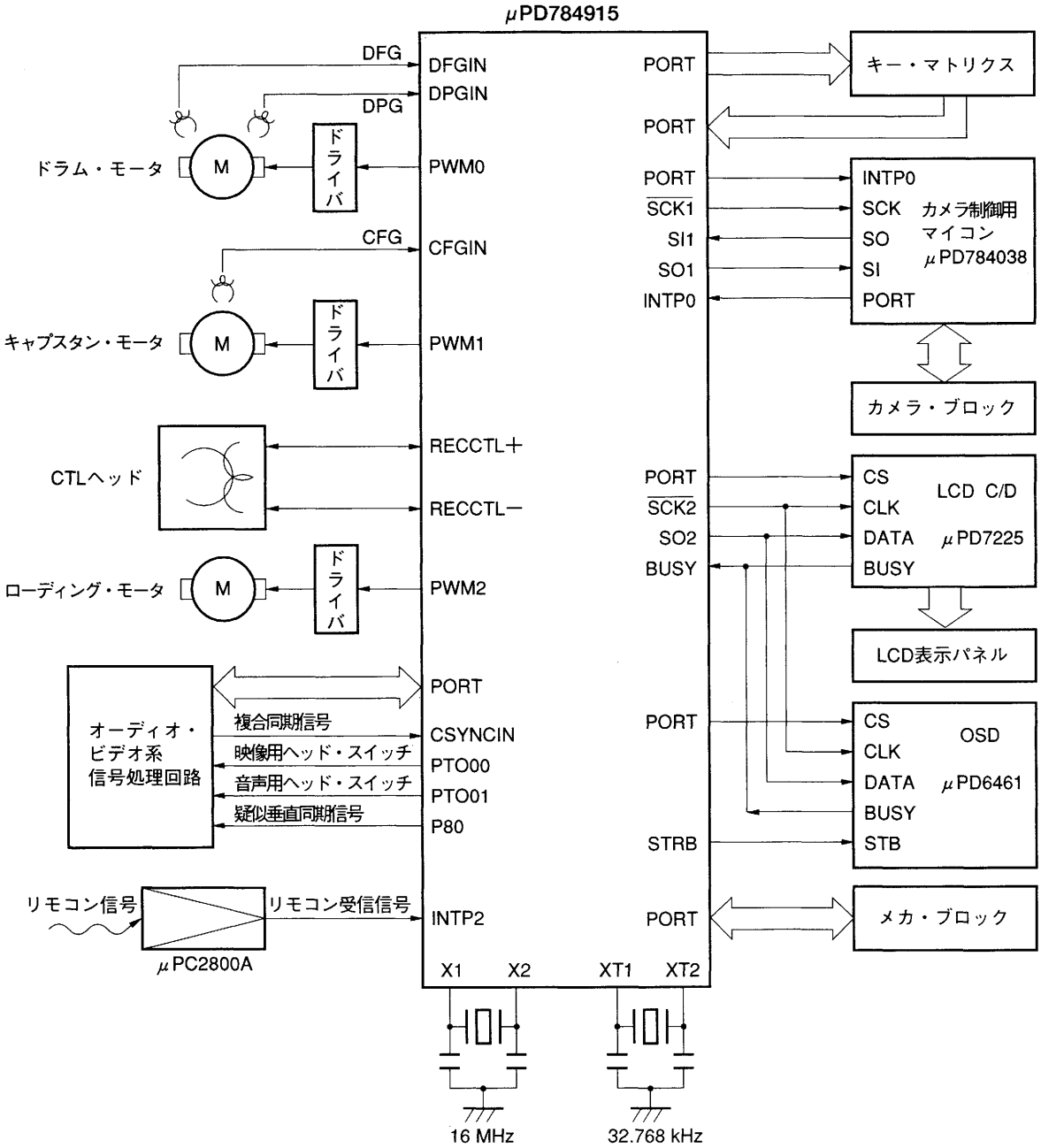
保守／廃止

16.6　カメラ一体型VTRへの応用例

図16－9にカメラ一体型VTRのブロック構成図を示します。

この例では，システム・コントロール，タイマ・コントロールおよびディジタル・サーボ制御用マイコンとしてμPD784915を使用し，LCDコントロール／ドライバとしてμPD7225，OSDとしてμPD6461を使用しています。また，カメラ制御用マイコンとしてμPD784038を使用しています。

図16－9　カメラ一体型VTRへの応用



保守／廃止

第17章　μPD78P4916

μPD78P4916は，μPD784915，784915A，784916Aの内蔵マスクROMをPROMに置き換えた製品です。μPD78P4916を使用することによって，システム開発時の評価や試作を容易にするばかりでなく，応用セットの早期立ち上げと多品種少量生産が可能になります。

17.1　μPD78P4916とμPD784915，784915A，784916Aの違い

μPD78P4916は，μPD784915，784915A，784916Aの内蔵マスクROMをPROMに置き換えた製品です。これらの製品の違いを表17－1に示します。

表17－1　μPD78P4916とμPD784915，784915A，784916Aの違い

項　　目	μPD78P4916	μPD784915/15A	μPD784916A
プログラム・メモリ（ROM）	PROM 62 Kバイト	マスクROM 48 Kバイト	マスクROM 62 Kバイト
データ・メモリ（RAM）	2048バイト	1280バイト	1280バイト
内蔵メモリ容量選択レジスタ（IMS）	あり（図17－1参照）	な　し	な　し
端子接続	μPD78P4916では，PROMの書き込み／読み出しに関する端子機能が追加されています。		

17.1.1 内蔵メモリ容量選択レジスタ（IMS）

内蔵メモリ容量選択レジスタ（IMS）は，μPD78P4916の内蔵するメモリ（ROM，RAM）の有効領域を指定するレジスタです。

IMSレジスタは，内蔵ROMやRAMがμPD78P4916よりも少ないμPD784915，784915A，784916Aの評価用として使用する場合に設定します。この機能により，ROMやRAMをオーバーしたことに起因する応用プログラムのバグを回避することができます。

IMSレジスタは，8ビット操作命令で書き込み動作のみ行えます。

IMSレジスタは，リセット入力でFFHになります（ROM 62Kバイト，RAM 2048バイト）。

図17－1にIMSレジスタのフォーマットを示します。

図17－1 内部メモリ容量選択レジスタ（IMS）のフォーマット

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMS	1	1	ROM1	ROM0	1	1	RAM1	RAM0	FFFCH	FFH	W

ROM1	ROM0	RAM1	RAM0	デバイスの指定
1	0	0	1	μPD784915/784915A
1	1	0	1	μPD784916A
1	1	1	1	μPD78P4916
上記以外				設定禁止

★ **注意1. IMSは，μPD78P4916のみ内蔵しています。μPD784915，784915A，784916AにはIMSはありません。μPD784915，784915A，784916Aでこのレジスタへの書き込み命令を実行しても動作に影響を与えません。**

2. IMSの設定で，μPD78P4916を指定した場合，ROM容量がマスク品と異なります。

保守／廃止

17.2 μPD78P4916のプログラミング

μPD78P4916が内蔵しているプログラム・メモリは，62Kバイトの電気的書き込み可能なPROMです。PROMのプログラミングをするときは，IC/V_{PP}，$\overline{RESET}$端子を用いてPROMプログラミング・モードに設定します。

プログラミング特性は，μPD27C1001Aとコンパチブルです。

表17-2 PROMプログラミング・モード時の端子機能

機　能	通常動作モード	プログラミング・モード
アドレス入力	P40-P47, P50, INTP0, P52-P57, P51	A0-A16
データ入力	P00-P07	D0-D7
プログラム・パルス	P66	$\overline{PGM}$
チップ・イネーブル	P65	$\overline{CE}$
アウトプット・イネーブル	P64	$\overline{OE}$
プログラム電圧	IC/V_{PP}	
モード電圧	$\overline{RESET}$	

17.2.1 動作モード

μPD78P4916は，V_{DD}端子に+6.5V，IC/V_{PP}端子に+12.5V，$\overline{RESET}$端子に0Vを印加すると，プログラム書き込み／ベリファイ・モードになります。このモードは$\overline{CE}$，$\overline{OE}$，$\overline{PGM}$の設定により表17-3のような動作モードになります。

また，μPD78P4916は，読み出しモードに設定することにより，PROMの内容を読み出すことができます。

なお，未使用端子は，**1.6 端子接続図（Top View）**の指示に従って処理してください。

表17-3 PROMプログラミングの動作モード

モード	$\overline{RESET}$	$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$	IC/V_{PP}	V_{DD}	D0-D7
ページ・データ・ラッチ	L	H	L	H	+12.5V	+6.5V	データ入力
ページ・プログラム		H	H	L			ハイ・インピーダンス
バイト・プログラム		L	H	L			データ入力
プログラム・ベリファイ		L	L	H			データ出力
プログラム・インヒビット		×	L	L			ハイ・インピーダンス
		×	H	H			
読み出し		L	L	H	+5V	+5V	データ出力
出力ディスエーブル		L	H	×			ハイ・インピーダンス
スタンバイ		H	×	×			ハイ・インピーダンス

備考 ×：LまたはH

保守／廃止

17.2.2 PROM書き込みの手順（ページ・プログラム・モード）

PROMへの書き込み手順は次のとおりです（図**17－2**参照）。

ページ・プログラム・モードでは必ずページ単位（4バイト）で書き込みを行います。ページ単位に満たない場合は，余りの部分に“FFH”をラッチし，書き込みを行ってください。

(1) IC/V_{PP}＝H，$\overline{RESET}$＝Lに固定する。未使用端子は**1.6 端子接続図（Top View）**の指示に従って処理する。

(2) V_{DD}端子に＋6.5 V，V_{PP}端子には＋12.5 Vを供給する。

(3) A0-A16に初期アドレスを入力する。

(4) ページ・カウンタをクリアする。

(5) データ・ラッチ・モード。D0-D7に書き込みデータを入力し，$\overline{OE}$端子にアクティブ・ロウのパルスを入力する。アドレスおよびページ・カウンタをインクリメントする。

(6) (5)を1ページ（4バイト）分繰り返す。

(7) $\overline{PGM}$端子に0.1 msのプログラム・パルス（アクティブ・ロウ）を入力する。

(8) ベリファイ・モード。書き込みデータが書き込まれたかどうか確認する。

$\overline{CE}$端子にロウ・レベルを入力したあと，$\overline{OE}$端子にアクティブ・ロウのパルスを入力し，D0-D7から書き込みデータを読み出す。これを1ページ（4バイト）分繰り返す。ベリファイを終了したら$\overline{CE}$端子にハイ・レベルを入力する。

- 書き込めたとき　→(10)へ
- 書き込めなかったとき→(7)，(8)を繰り返す。10回繰り返しても書き込めないときは(9)へ。

(9) 不良デバイスとして書き込み動作を中止する。

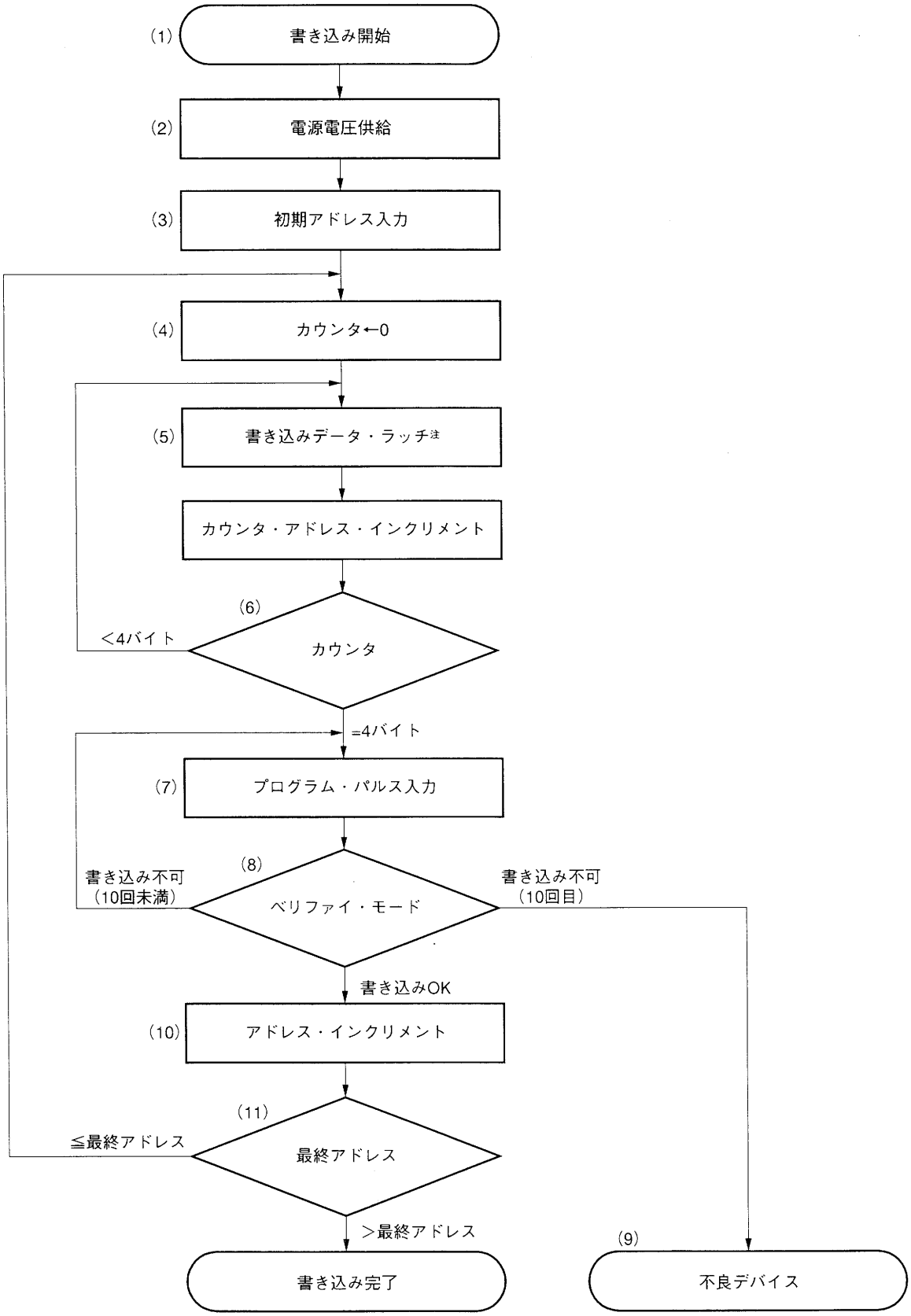
(10) アドレスをインクリメントする。

(11) (4)～(10)を最終アドレスまで繰り返す。

上述の(2)～(9)のタイミングを図17－3に示します。

保守／廃止

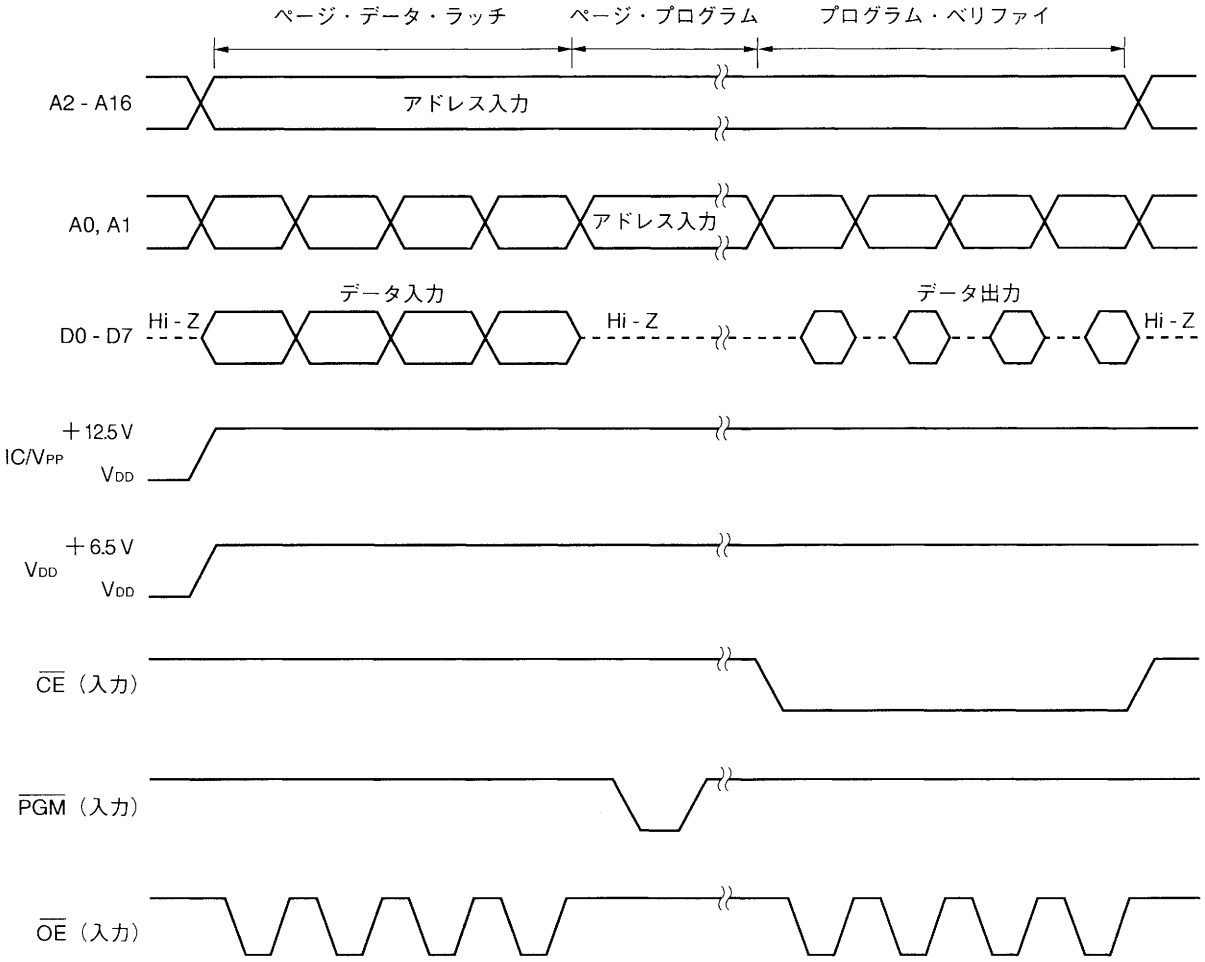
図17－2　書き込み手順フロー・チャート（ページ・プログラム・モード）



注　ページ単位に満たない場合は，余りの部分に“FFH”をラッチする。

保守／廃止

図17－3 PROMの書き込み／ベリファイ・タイミング（ページ・プログラム・モード）



保守／廃止

17.2.3 PROM書き込みの手順（バイト・プログラム・モード）

PROMへの書き込み手順は次のとおりです（図**17－4**参照）。

(1) IC/V_{PP}＝H，$\overline{RESET}$＝Lに固定する。未使用端子は**1.6 端子接続図（Top View）**の指示に従って処理する。

(2) V_{DD}端子に＋6.5 V，IC/V_{PP}端子には＋12.5 Vを供給し，$\overline{CE}$端子にロウ・レベルを入力する。

(3) A0-A16に初期アドレスを入力する。

(4) D0-D7に書き込みデータを入力する。

(5) $\overline{PGM}$端子に0.1 msのプログラム・パルス（アクティブ・ロウ）を入力する。

(6) ベリファイ・モード。書き込みデータが書き込まれたかどうか確認する。

$\overline{OE}$端子にアクティブ・ロウのパルスを入力し，D0-D7から書き込みデータを読み出す。

- 書き込めたとき　→(8)へ
- 書き込めなかったとき→(4)～(6)を繰り返す。10回繰り返しても書き込めないときは(7)へ

(7) 不良デバイスとして書き込み動作を中止する。

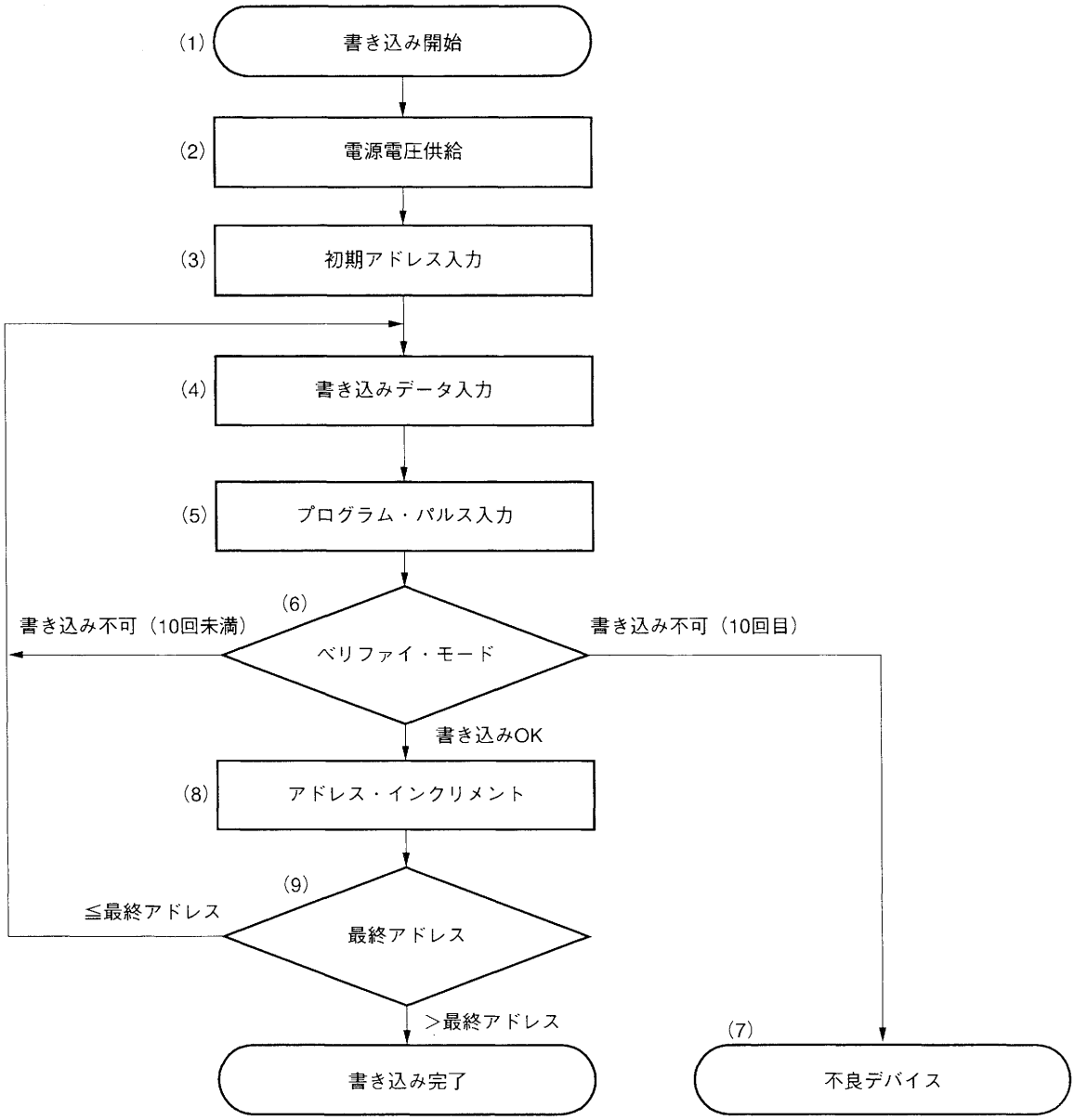
(8) アドレスをインクリメントする。

(9) (4)～(8)を最終アドレスまで繰り返す。

上述の(2)～(7)のタイミングを図17－5に示します。

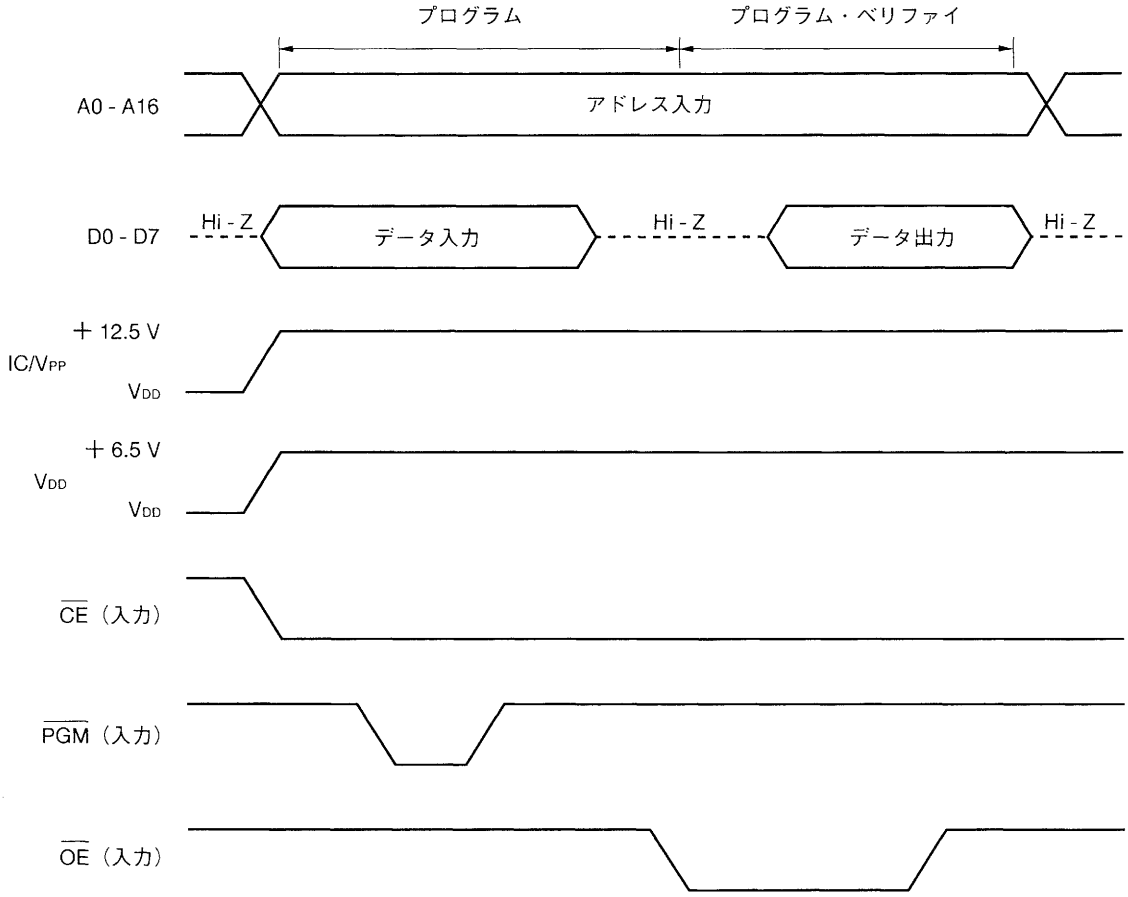
保守／廃止

図17－4　書き込み手順フロー・チャート（バイト・プログラム・モード）



保守／廃止

図17－5　PROMの書き込み／ベリファイ・タイミング（バイト・プログラム・モード）



保守／廃止

17.2.4　PROM読み出しの手順

PROMの内容を外部データ・バス（D0-D7）に読み出すときの手順は，次のとおりです。

(1) IC/V_{PP}＝H，$\overline{RESET}$＝Lに固定する。未使用端子は**1.6　端子接続図（Top View）**の指示に従って処理する。

(2) V_{DD}，IC/V_{PP}端子に＋5 Vを供給する。

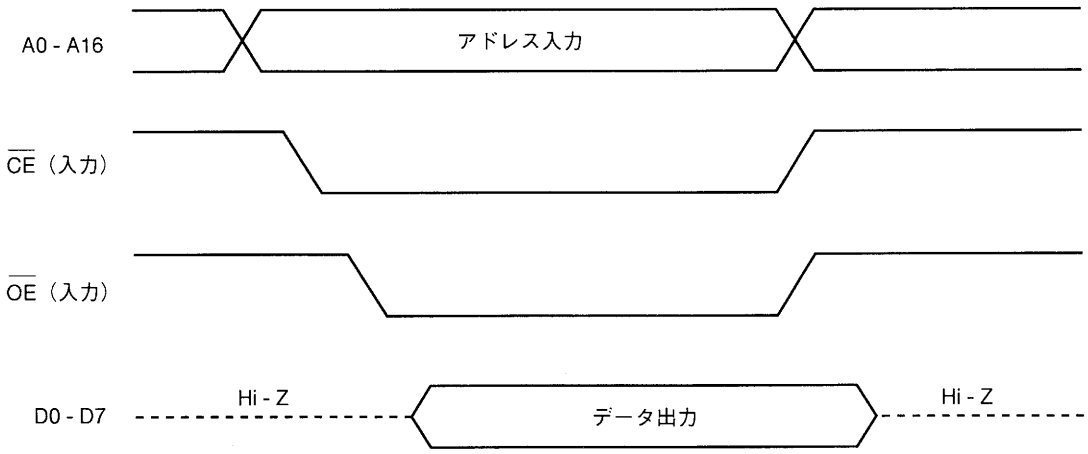
(3) 読み出すデータのアドレスをA0-A16端子に入力する。

(4) 読み出しモード（$\overline{CE}$＝L，$\overline{OE}$＝L）

(5) データがD0-D7端子に出力される。

上述の(2)～(5)のタイミングを図17－6に示します。

図17－6　PROMの読み出しタイミング



保守／廃止

17.3　ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品（μPD78P4916GF-3BA）は，その構造上，当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと，下記の条件で高温保管後，PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125 °C	24時間

保守／廃止

〔メ　モ〕

保守／廃止

第18章　命令セット

この章では，78K/IVシリーズの命令セットを一覧表にして示します。なお，各命令の詳細な動作，機械語（命令コード）およびクロック数については，**78K/IVシリーズ　ユーザーズ・マニュアル命令編(U10905J)**を参照してください。

18.1 凡　　例

(1) オペランドの表現形式と記述方法 (1/2)

表現形式	記　述　方　法
r, r'注1	X(R0), A(R1), C(R2), B(R3), R4, R5, R6, R7, R8, R9, R10, R11, E(R12), D(R13), L(R14), H(R15)
r1注1	X(R0), A(R1), C(R2), B(R3), R4, R5, R6, R7
r2	R8, R9, R10, R11, E(R12), D(R13), L(R14), H(R15)
r3	V, U, T, W
rp, rp'注2	AX(RP0), BC(RP1), RP2, RP3, VP(RP4), UP(RP5), DE(RP6), HL(RP7)
rp1注2	AX(RP0), BC(RP1), RP2, RP3
rp2	VP(RP4), UP(RP5), DE (RP6), HL(RP7)
rg, rg'	VVP(RG4), UUP(RG5), TDE(RG6), WHL(RG7)
sfr	特殊機能レジスタ略号（**特殊機能レジスタ活用表**参照）
sfrp	特殊機能レジスタ略号（16ビット操作可能レジスタ：**特殊機能レジスタ活用表**参照）
post注2	AX(RP0), BC(RP1), RP2, RP3, VP(RP4), UP(RP5)/PSW, DE(RP6), HL(RP7) 複数記述可能。ただし，UPはPUSH/POP命令，PSWはPUSHU/POPU命令にかぎる
mem	[TDE], [WHL], [TDE+], [WHL+], [TDE−], [WHL−], [VVP], [UUP]：レジスタ・インダイレクト・アドレシング [TDE+byte], [WHL+byte], [SP+byte], [UUP+byte], [VVP+byte]：ベースト・アドレシング imm24 [A], imm24 [B], imm24 [DE], imm24 [HL]：インデクスト・アドレシング [TDE+A], [TDE+B], [TDE+C], [WHL+A], [WHL+B], [WHL+C], [VVP+DE], [VVP+HL]：ベースト・インデクスト・アドレシング

注1. RSSビットを1とすることで，R4-R7をX，A，C，Bとして使用することができますが，この機能を使用するのは，78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

2. RSSビットを1とすることで，RP2，RP3をAX，BCとして使用することができますが，この機能を使用するのは，78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

(1) オペランドの表現形式と記述方法 (2/2)

表現形式	記　述　方　法
mem1	memから [WHL+], [WHL−] を除いたすべて
mem2	[TDE], [WHL]
mem3	[AX], [BC], [RP2], [RP3], [VVP], [UUP], [TDE], [WHL]
saddr, saddr'	FD20H-FF1FH　イミーディエト・データまたはレーベル
saddr1	FE00H-FEFFH　イミーディエト・データまたはレーベル
saddr2	FD20H-FDFFH, FF00H-FF1FH　イミーディエト・データまたはレーベル
saddrp	FD20H-FF1EH　イミーディエト・データまたはレーベル（16ビット操作時）
saddrp1	FE00H-FEFEH　イミーディエト・データまたはレーベル（16ビット操作時）
saddrp2	FD20H-FDFFH, FF00H-FF1EH　イミーディエト・データまたはレーベル(16ビット操作時)
saddrg	FD20H-FEFDH　イミーディエト・データまたはレーベル（24ビット操作時）
addr24	0H-FFFFFFH　イミーディエト・データまたはレーベル
addr20	0H-FFFFFH　イミーディエト・データまたはレーベル
addr16	0H-FFFFH　イミーディエト・データまたはレーベル
addr11	800H-FFFH　イミーディエト・データまたはレーベル
addr8	0FE00H-0FEFFH[注]　イミーディエト・データまたはレーベル
addr5	40H-7EH　イミーディエト・データまたはレーベル
imm24	24ビット・イミーディエト・データまたはレーベル
word	16ビット・イミーディエト・データまたはレーベル
byte	8ビット・イミーディエト・データまたはレーベル
bit	3ビット・イミーディエト・データまたはレーベル
n	3ビット・イミーディエト・データ
locaddr	00Hまたは0FH

(2) オペランド欄の記号

記　号	説　　明
+	オートインクリメント
−	オートデクリメント
#	イミーディエト・データ
!	16ビット絶対アドレス
!!	24ビット／20ビット絶対アドレス
$	８ビット相対アドレス
$!	16ビット相対アドレス
／	ビット反転
[　]	インダイレクト・アドレシング
[%]	24ビット・インダイレクト・アドレシング

(3) フラグ欄の記号

記　号	説　　明
(ブランク)	変化なし
0	０にクリアされる
1	１にセットされる
×	結果に従ってセット／クリアされる
P	P/Vフラグがパリティ・フラグとして動作する
V	P/Vフラグがオーバフロー・フラグとして動作する
R	以前に退避した値がリストアされる

(4) オペレーション欄の記号

記　号	説　　明
jdisp8	次の命令の先頭アドレスと分岐先アドレスとの相対アドレス距離の符号付き２の補数データ（８ビット）
jdisp16	次の命令の先頭アドレスと分岐先アドレスとの相対アドレス距離の符号付き２の補数データ（16ビット）
PC_{HW}	PCのビット16-19
PC_{LW}	PCのビット0-15

保守／廃止

(5) オペランドにmemを含む命令のバイト数

memのモード	レジスタ・インダイレクト・アドレシング		ベースト・アドレシング	インデクスト・アドレシング	ベースト・インデクスト・アドレシング
バイト数	1	2注	3	5	2

注　MOV命令でmemに［TDE］，［WHL］，［TDE＋］，［TDE－］，［WHL＋］，［WHL－］を記述した場合のみ，1バイト命令になります。

(6) オペランドにsaddr，saddrp，r，rpを含む命令のバイト数

オペランドにsaddr，saddrp，r，rpを含む命令の中には，バイト数をスラッシュ“／”で2つに分けて記述しているものがあります。どちらのバイト数になるかは下表によります。

表現形式	バイト数の左側	バイト数の右側
saddr	saddr2	saddr1
saddrp	saddrp2	saddrp1
r	r1	r2
rp	rp1	rp2

(7) オペランドにmemを含む命令，ストリング命令の記述

オペランドのTDE，WHL，VVP，UUP（24ビット・レジスタ）は，それぞれDE，HL，VP，UPと記述することもできます。ただし，DE，HL，VP，UPと記述した場合でもTDE，WHL，VVP，UUP（24ビット・レジスタ）として扱われます。

保守／廃止

18.2　命令のオペレーション一覧

(1) 8ビット・データ転送命令：MOV

ニモニック	オペランド	バイト	オペレーション	フラグ S	Z	AC	P/V	CY
MOV	r, #byte	2/3	r ← byte					
	saddr, #byte	3/4	(saddr) ← byte					
	sfr, #byte	3	sfr ← byte					
	!addr16, #byte	5	(addr16) ← byte					
	!!addr24, #byte	6	(addr24) ← byte					
	r, r'	2/3	r ← r'					
	A, r	1/2	A ← r					
	A, saddr2	2	A ← (saddr2)					
	r, saddr	3	r ← (saddr)					
	saddr2, A	2	(saddr2) ← A					
	saddr, r	3	(saddr) ← r					
	A, sfr	2	A ← sfr					
	r, sfr	3	r ← sfr					
	sfr, A	2	sfr ← A					
	sfr, r	3	sfr ← r					
	saddr, saddr'	4	(saddr) ← (saddr')					
	r, !addr16	4	r ← (addr16)					
	!addr16, r	4	(addr16) ← r					
	r, !!addr24	5	r ← (addr24)					
	!!addr24, r	5	(addr24) ← r					
	A, [saddrp]	2/3	A ← ((saddrp))					
	A, [%saddrg]	3/4	A ← ((saddrg))					
	A, mem	1-5	A ← (mem)					
	[saddrp], A	2/3	((saddrp)) ← A					
	[%saddrg], A	3/4	((saddrg)) ← A					
	mem, A	1-5	(mem) ← A					
	PSWL, #byte	3	PSW_L ← byte	×	×	×	×	×
	PSWH, #byte	3	PSW_H ← byte					
	PSWL, A	2	PSW_L ← A	×	×	×	×	×
	PSWH, A	2	PSW_H ← A					
	A, PSWL	2	A ← PSW_L					
	A, PSWH	2	A ← PSW_H					
	r3, #byte	3	r3 ← byte					
	A, r3	2	A ← r3					
	r3, A	2	r3 ← A					

保守／廃止

(2) 16ビット・データ転送命令：MOVW

ニモニック	オペランド	バイト	オペレーション	フラグ S　Z　AC P/V CY
MOVW	rp, #word	3	rp ← word	
	saddrp, #word	4/5	(saddrp) ← word	
	sfrp, #word	4	sfrp ← word	
	!addr16, #word	6	(addr16) ← word	
	!!addr24, #word	7	(addr24) ← word	
	rp, rp'	2	rp ← rp'	
	AX, saddrp2	2	AX ← (saddrp2)	
	rp, saddrp	3	rp ← (saddrp)	
	saddrp2, AX	2	(saddrp2) ← AX	
	saddrp, rp	3	(saddrp) ← rp	
	AX, sfrp	2	AX ← sfrp	
	rp, sfrp	3	rp ← sfrp	
	sfrp, AX	2	sfrp ← AX	
	sfrp, rp	3	sfrp ← rp	
	saddrp, saddrp'	4	(saddrp) ← (saddrp')	
	rp, !addr16	4	rp ← (addr16)	
	!addr16, rp	4	(addr16) ← rp	
	rp, !!addr24	5	rp ← (addr24)	
	!!addr24, rp	5	(addr24) ← rp	
	AX, [saddrp]	3/4	AX ← ((saddrp))	
	AX, [%saddrg]	3/4	AX ← ((saddrg))	
	AX, mem	2-5	AX ← (mem)	
	[saddrp], AX	3/4	((saddrp)) ← AX	
	[%saddrg], AX	3/4	((saddrg)) ← AX	
	mem, AX	2-5	(mem) ← AX	

保守／廃止

(3) 24ビット・データ転送命令：MOVG

ニモニック	オペランド	バイト	オペレーション	フラグ S　Z　AC P/V CY
MOVG	rg, #imm24	5	rg ← imm24	
	rg, rg′	2	rg ← rg′	
	rg, !!addr24	5	rg ← (addr24)	
	!!addr24, rg	5	(addr24) ← rg	
	rg, saddrg	3	rg ← (saddrg)	
	saddrg, rg	3	(saddrg) ← rg	
	WHL, [%saddrg]	3/4	WHL ← ((saddrg))	
	[%saddrg], WHL	3/4	((saddrg)) ← WHL	
	WHL, mem1	2-5	WHL ← (mem1)	
	mem1, WHL	2-5	(mem1) ← WHL	

(4) 8ビット・データ交換命令：XCH

ニモニック	オペランド	バイト	オペレーション	フラグ S　Z　AC P/V CY
XCH	r, r′	2/3	r ↔ r′	
	A, r	1/2	A ↔ r	
	A, saddr2	2	A ↔ (saddr2)	
	r, saddr	3	r ↔ (saddr)	
	r, sfr	3	r ↔ sfr	
	saddr, saddr′	4	(saddr) ↔ (saddr′)	
	r, !addr16	4	r ↔ (addr16)	
	r, !!addr24	5	r ↔ (addr24)	
	A, [saddrp]	2/3	A ↔ ((saddrp))	
	A, [%saddrg]	3/4	A ↔ ((saddrg))	
	A, mem	2-5	A ↔ (mem)	

保守／廃止

(5) 16ビット・データ交換命令：XCHW

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
XCHW	rp, rp′	2	rp ↔ rp′					
	AX, saddrp2	2	AX ↔ (saddrp2)					
	rp, saddrp	3	rp ↔ (saddrp)					
	rp, sfrp	3	rp ↔ sfrp					
	AX, [saddrp]	3/4	AX ↔ ((saddrp))					
	AX, [%saddrg]	3/4	AX ↔ ((saddrg))					
	AX, !addr16	4	AX ↔ (addr16)					
	AX, !!addr24	5	AX ↔ (addr24)					
	saddrp, saddrp′	4	(saddrp) ↔ (saddrp′)					
	AX, mem	2-5	AX ↔ (mem)					

(6) 8ビット演算命令：ADD, ADDC, SUB, SUBC, CMP, AND, OR, XOR

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADD	A, #byte	2	A, CY ← A + byte	×	×	×	V	×
	r, #byte	3	r, CY ← r + byte	×	×	×	V	×
	saddr, #byte	3/4	(saddr), CY ← (saddr) + byte	×	×	×	V	×
	sfr, #byte	4	sfr, CY ← sfr + byte	×	×	×	V	×
	r, r′	2/3	r, CY ← r + r′	×	×	×	V	×
	A, saddr2	2	A, CY ← A + (saddr2)	×	×	×	V	×
	r, saddr	3	r, CY ← r + (saddr)	×	×	×	V	×
	saddr, r	3	(saddr), CY ← (saddr) + r	×	×	×	V	×
	r, sfr	3	r, CY ← r + sfr	×	×	×	V	×
	sfr, r	3	sfr, CY ← sfr + r	×	×	×	V	×
	saddr, saddr′	4	(saddr), CY ← (saddr) + (saddr′)	×	×	×	V	×
	A, [saddrp]	3/4	A, CY ← A + ((saddrp))	×	×	×	V	×
	A, [%saddrg]	3/4	A, CY ← A + ((saddrg))	×	×	×	V	×
	[saddrp], A	3/4	((saddrp)), CY ← ((saddrp)) + A	×	×	×	V	×
	[%saddrg], A	3/4	((saddrg)), CY ← ((saddrg)) + A	×	×	×	V	×
	A, !addr16	4	A, CY ← A+(addr16)	×	×	×	V	×
	A, !!addr24	5	A, CY ← A + (addr24)	×	×	×	V	×
	!addr16, A	4	(addr16), CY ← (addr16) + A	×	×	×	V	×
	!!addr24, A	5	(addr24), CY ← (addr24) + A	×	×	×	V	×
	A, mem	2-5	A, CY ← A + (mem)	×	×	×	V	×
	mem, A	2-5	(mem), CY ← (mem) + A	×	×	×	V	×

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDC	A, #byte	2	A, CY ← A + byte + CY	×	×	×	V	×
	r, #byte	3	r, CY ← r + byte + CY	×	×	×	V	×
	saddr, #byte	3/4	(saddr), CY ← (saddr) + byte + CY	×	×	×	V	×
	sfr, #byte	4	sfr, CY ← sfr + byte +CY	×	×	×	V	×
	r, r′	2/3	r, CY ← r + r′ + CY	×	×	×	V	×
	A, saddr2	2	A, CY ← A + (saddr2) + CY	×	×	×	V	×
	r, saddr	3	r, CY ← r + (saddr) + CY	×	×	×	V	×
	saddr, r	3	(saddr), CY ← (saddr) + r + CY	×	×	×	V	×
	r, sfr	3	r, CY ← r + sfr + CY	×	×	×	V	×
	sfr, r	3	sfr, CY ← sfr + r + CY	×	×	×	V	×
	saddr, saddr′	4	(saddr), CY ← (saddr) + (saddr′) + CY	×	×	×	V	×
	A, [saddrp]	3/4	A, CY ← A + ((saddrp)) + CY	×	×	×	V	×
	A, [%saddrg]	3/4	A, CY ← A + ((saddrg)) + CY	×	×	×	V	×
	[saddrp], A	3/4	((saddrp)), CY ← ((saddrp)) + A + CY	×	×	×	V	×
	[%saddrg], A	3/4	((saddrg)), CY ← ((saddrg)) + A + CY	×	×	×	V	×
	A, !addr16	4	A, CY ← A+(addr16) + CY	×	×	×	V	×
	A, !!addr24	5	A, CY ← A + (addr24) + CY	×	×	×	V	×
	!addr16, A	4	(addr16), CY ← (addr16) + A + CY	×	×	×	V	×
	!!addr24, A	5	(addr24), CY ← (addr24) + A + CY	×	×	×	V	×
	A, mem	2-5	A, CY ← A + (mem) + CY	×	×	×	V	×
	mem, A	2-5	(mem), CY ← (mem) + A + CY	×	×	×	V	×

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
SUB	A, #byte	2	A, CY ← A − byte	×	×	×	V	×
	r, #byte	3	r, CY ← r − byte	×	×	×	V	×
	saddr, #byte	3/4	(saddr), CY ← (saddr) − byte	×	×	×	V	×
	sfr, #byte	4	sfr, CY ← sfr − byte	×	×	×	V	×
	r, r′	2/3	r, CY ← r − r′	×	×	×	V	×
	A, saddr2	2	A, CY ← A − (saddr2)	×	×	×	V	×
	r, saddr	3	r, CY ← r − (saddr)	×	×	×	V	×
	saddr, r	3	(saddr), CY ← (saddr) − r	×	×	×	V	×
	r, sfr	3	r, CY ← r − sfr	×	×	×	V	×
	sfr, r	3	sfr, CY ← sfr − r	×	×	×	V	×
	saddr, saddr′	4	(saddr), CY ← (saddr) − (saddr′)	×	×	×	V	×
	A, [saddrp]	3/4	A, CY ← A − ((saddrp))	×	×	×	V	×
	A, [%saddrg]	3/4	A, CY ← A − ((saddrg))	×	×	×	V	×
	[saddrp], A	3/4	((saddrp)), CY ← ((saddrp)) − A	×	×	×	V	×
	[%saddrg], A	3/4	((saddrg)), CY ← ((saddrg)) − A	×	×	×	V	×
	A, !addr16	4	A, CY ← A − (addr16)	×	×	×	V	×
	A, !!addr24	5	A, CY ← A − (addr24)	×	×	×	V	×
	!addr16, A	4	(addr16), CY ← (addr16) − A	×	×	×	V	×
	!!addr24, A	5	(addr24), CY ← (addr24) − A	×	×	×	V	×
	A, mem	2-5	A, CY ← A − (mem)	×	×	×	V	×
	mem, A	2-5	(mem), CY ← (mem) − A	×	×	×	V	×

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
SUBC	A, #byte	2	A, CY ← A − byte − CY	×	×	×	V	×
	r, #byte	3	r, CY ← r − byte − CY	×	×	×	V	×
	saddr, #byte	3/4	(saddr), CY ← (saddr) − byte − CY	×	×	×	V	×
	sfr, #byte	4	sfr, CY ← sfr − byte −CY	×	×	×	V	×
	r, r′	2/3	r, CY ← r − r′ − CY	×	×	×	V	×
	A, saddr2	2	A, CY ← A − (saddr2) − CY	×	×	×	V	×
	r, saddr	3	r, CY ← r − (saddr) − CY	×	×	×	V	×
	saddr, r	3	(saddr), CY ← (saddr) − r − CY	×	×	×	V	×
	r, sfr	3	r, CY ← r − sfr − CY	×	×	×	V	×
	sfr, r	3	sfr, CY ← sfr − r − CY	×	×	×	V	×
	saddr, saddr′	4	(saddr), CY ← (saddr) − (saddr′) − CY	×	×	×	V	×
	A, [saddrp]	3/4	A, CY ← A − ((saddrp)) − CY	×	×	×	V	×
	A, [%saddrg]	3/4	A, CY ← A − ((saddrg)) − CY	×	×	×	V	×
	[saddrp], A	3/4	((saddrp)), CY ← ((saddrp)) − A − CY	×	×	×	V	×
	[%saddrg], A	3/4	((saddrg)), CY ← ((saddrg)) − A − CY	×	×	×	V	×
	A, !addr16	4	A, CY ← A−(addr16) − CY	×	×	×	V	×
	A, !!addr24	5	A, CY ← A − (addr24) − CY	×	×	×	V	×
	!addr16, A	4	(addr16), CY ← (addr16) − A − CY	×	×	×	V	×
	!!addr24, A	5	(addr24), CY ← (addr24) − A − CY	×	×	×	V	×
	A, mem	2-5	A, CY ← A − (mem) − CY	×	×	×	V	×
	mem, A	2-5	(mem), CY ← (mem) − A − CY	×	×	×	V	×

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CMP	A, #byte	2	A − byte	×	×	×	V	×
	r, #byte	3	r − byte	×	×	×	V	×
	saddr, #byte	3/4	(saddr) − byte	×	×	×	V	×
	sfr, #byte	4	sfr − byte	×	×	×	V	×
	r, r′	2/3	r − r′	×	×	×	V	×
	A, saddr2	2	A − (saddr2)	×	×	×	V	×
	r, saddr	3	r − (saddr)	×	×	×	V	×
	saddr, r	3	(saddr) − r	×	×	×	V	×
	r, sfr	3	r − sfr	×	×	×	V	×
	sfr, r	3	sfr − r	×	×	×	V	×
	saddr, saddr′	4	(saddr) − (saddr′)	×	×	×	V	×
	A, [saddrp]	3/4	A − ((saddrp))	×	×	×	V	×
	A, [%saddrg]	3/4	A − ((saddrg))	×	×	×	V	×
	[saddrp], A	3/4	((saddrp)) − A	×	×	×	V	×
	[%saddrg], A	3/4	((saddrg)) − A	×	×	×	V	×
	A, !addr16	4	A−(addr16)	×	×	×	V	×
	A, !!addr24	5	A − (addr24)	×	×	×	V	×
	!addr16, A	4	(addr16) − A	×	×	×	V	×
	!!addr24, A	5	(addr24) − A	×	×	×	V	×
	A, mem	2-5	A − (mem)	×	×	×	V	×
	mem, A	2-5	(mem) − A	×	×	×	V	×

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
AND	A, #byte	2	A ← A ∧ byte	×	×		P	
	r, #byte	3	r ← r ∧ byte	×	×		P	
	saddr, #byte	3/4	(saddr) ← (saddr) ∧ byte	×	×		P	
	sfr, #byte	4	sfr ← sfr ∧ byte	×	×		P	
	r, r′	2/3	r ← r ∧ r′	×	×		P	
	A, saddr2	2	A ← A ∧ (saddr2)	×	×		P	
	r, saddr	3	r ← r ∧ (saddr)	×	×		P	
	saddr, r	3	(saddr) ← (saddr) ∧ r	×	×		P	
	r, sfr	3	r ← r ∧ sfr	×	×		P	
	sfr, r	3	sfr ← sfr ∧ r	×	×		P	
	saddr, saddr′	4	(saddr) ← (saddr) ∧ (saddr′)	×	×		P	
	A, [saddrp]	3/4	A ← A ∧ ((saddrp))	×	×		P	
	A, [%saddrg]	3/4	A ← A ∧ ((saddrg))	×	×		P	
	[saddrp], A	3/4	((saddrp)) ← ((saddrp)) ∧ A	×	×		P	
	[%saddrg], A	3/4	((saddrg)) ← ((saddrg)) ∧ A	×	×		P	
	A, !addr16	4	A ← A∧(addr16)	×	×		P	
	A, !!addr24	5	A ← A ∧ (addr24)	×	×		P	
	!addr16, A	4	(addr16) ← (addr16) ∧ A	×	×		P	
	!!addr24, A	5	(addr24) ← (addr24) ∧ A	×	×		P	
	A, mem	2-5	A ← A ∧ (mem)	×	×		P	
	mem, A	2-5	(mem) ← (mem) ∧ A	×	×		P	

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
OR	A, #byte	2	A ← A ∨ byte	×	×		P	
	r, #byte	3	r ← r ∨ byte	×	×		P	
	saddr, #byte	3/4	(saddr) ← (saddr) ∨ byte	×	×		P	
	sfr, #byte	4	sfr ← sfr ∨ byte	×	×		P	
	r, r'	2/3	r ← r ∨ r'	×	×		P	
	A, saddr2	2	A ← A ∨ (saddr2)	×	×		P	
	r, saddr	3	r ← r ∨ (saddr)	×	×		P	
	saddr, r	3	(saddr) ← (saddr) ∨ r	×	×		P	
	r, sfr	3	r ← r ∨ sfr	×	×		P	
	sfr, r	3	sfr ← sfr ∨ r	×	×		P	
	saddr, saddr'	4	(saddr) ← (saddr) ∨ (saddr')	×	×		P	
	A, [saddrp]	3/4	A ← A ∨ ((saddrp))	×	×		P	
	A, [%saddrg]	3/4	A ← A ∨ ((saddrg))	×	×		P	
	[saddrp], A	3/4	((saddrp)) ← ((saddrp)) ∨ A	×	×		P	
	[%saddrg], A	3/4	((saddrg)) ← ((saddrg)) ∨ A	×	×		P	
	A, !addr16	4	A ← A∨(saddr16)	×	×		P	
	A, !!addr24	5	A ← A ∨ (saddr24)	×	×		P	
	!addr16, A	4	(addr16) ← (addr16) ∨ A	×	×		P	
	!!addr24, A	5	(addr24) ← (addr24) ∨ A	×	×		P	
	A, mem	2-5	A ← A ∨ (mem)	×	×		P	
	mem, A	2-5	(mem) ← (mem) ∨ A	×	×		P	

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
XOR	A, #byte	2	A ← A ∨ byte	×	×		P	
	r, #byte	3	r ← r ∨ byte	×	×		P	
	saddr, #byte	3/4	(saddr) ← (saddr) ∨ byte	×	×		P	
	sfr, #byte	4	sfr ← sfr ∨ byte	×	×		P	
	r, r′	2/3	r ← r ∨ r′	×	×		P	
	A, saddr2	2	A ← A ∨ (saddr2)	×	×		P	
	r, saddr	3	r ← r ∨ (saddr)	×	×		P	
	saddr, r	3	(saddr) ← (saddr) ∨ r	×	×		P	
	r, sfr	3	r ← r ∨ sfr	×	×		P	
	sfr, r	3	sfr ← sfr ∨ r	×	×		P	
	saddr, saddr′	4	(saddr) ← (saddr) ∨ (saddr′)	×	×		P	
	A, [saddrp]	3/4	A ← A ∨ ((saddrp))	×	×		P	
	A, [%saddrg]	3/4	A ← A ∨ ((saddrg))	×	×		P	
	[saddrp], A	3/4	((saddrp)) ← ((saddrp)) ∨ A	×	×		P	
	[%saddrg], A	3/4	((saddrg)) ← ((saddrg)) ∨ A	×	×		P	
	A, !addr16	4	A ← A∨ (addr16)	×	×		P	
	A, !!addr24	5	A ← A ∨ (addr24)	×	×		P	
	!addr16, A	4	(addr16) ← (addr16) ∨ A	×	×		P	
	!!addr24, A	5	(addr24) ← (addr24) ∨ A	×	×		P	
	A, mem	2-5	A ← A ∨ (mem)	×	×		P	
	mem, A	2-5	(mem) ← (mem) ∨ A	×	×		P	

保守／廃止

(7) 16ビット演算命令：ADDW，SUBW，CMPW

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDW	AX，#word	3	AX，CY ← AX + word	×	×	×	V	×
	rp，#word	4	rp，CY ← rp + word	×	×	×	V	×
	rp，rp′	2	rp，CY ← rp + rp′	×	×	×	V	×
	AX，saddrp2	2	AX，CY ← AX + (saddrp2)	×	×	×	V	×
	rp，saddrp	3	rp，CY ← rp + (saddrp)	×	×	×	V	×
	saddrp，rp	3	(saddrp)，CY ← (saddrp) + rp	×	×	×	V	×
	rp，sfrp	3	rp，CY ← rp + sfrp	×	×	×	V	×
	sfrp，rp	3	sfrp，CY ← sfrp + rp	×	×	×	V	×
	saddrp，#word	4/5	(saddrp)，CY ← (saddrp) + word	×	×	×	V	×
	sfrp，#word	5	sfrp，CY ← sfrp + word	×	×	×	V	×
	saddrp，saddrp′	4	(saddrp)，CY ← (saddrp) + (saddrp′)	×	×	×	V	×
SUBW	AX，#word	3	AX，CY ← AX − word	×	×	×	V	×
	rp，#word	4	rp，CY ← rp − word	×	×	×	V	×
	rp，rp′	2	rp，CY ← rp − rp′	×	×	×	V	×
	AX，saddrp2	2	AX，CY ← AX − (saddrp2)	×	×	×	V	×
	rp，saddrp	3	rp，CY ← rp − (saddrp)	×	×	×	V	×
	saddrp，rp	3	(saddrp)，CY ← (saddrp) − rp	×	×	×	V	×
	rp，sfrp	3	rp，CY ← rp − sfrp	×	×	×	V	×
	sfrp，rp	3	sfrp，CY ← sfrp − rp	×	×	×	V	×
	saddrp，#word	4/5	(saddrp)，CY ← (saddrp) − word	×	×	×	V	×
	sfrp，#word	5	sfrp，CY ← sfrp − word	×	×	×	V	×
	saddrp，saddrp′	4	(saddrp)，CY ← (saddrp) − (saddrp′)	×	×	×	V	×
CMPW	AX，#word	3	AX − word	×	×	×	V	×
	rp，#word	4	rp − word	×	×	×	V	×
	rp，rp′	2	rp − rp′	×	×	×	V	×
	AX，saddrp2	2	AX − (saddrp2)	×	×	×	V	×
	rp，saddrp	3	rp − (saddrp)	×	×	×	V	×
	saddrp，rp	3	(saddrp) − rp	×	×	×	V	×
	rp，sfrp	3	rp − sfrp	×	×	×	V	×
	sfrp，rp	3	sfrp − rp	×	×	×	V	×
	saddrp，#word	4/5	(saddrp) − word	×	×	×	V	×
	sfrp，#word	5	sfrp − word	×	×	×	V	×
	saddrp，saddrp′	4	(saddrp) − (saddrp′)	×	×	×	V	×

保守／廃止

(8) 24ビット演算命令：ADDG，SUBG

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDG	rg，rg′	2	rg，CY ← rg + rg′	×	×	×	V	×
	rg，#imm24	5	rg，CY ← rg + imm24	×	×	×	V	×
	WHL，saddrg	3	WHL，CY ← WHL + (saddrg)	×	×	×	V	×
SUBG	rg，rg′	2	rg，CY ← rg − rg′	×	×	×	V	×
	rg，#imm24	5	rg，CY ← rg − imm24	×	×	×	V	×
	WHL，saddrg	3	WHL，CY ← WHL − (saddrg)	×	×	×	V	×

(9) 乗除算命令：MULU，MULUW，MULW，DIVUW，DIVUX

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MULU	r	2/3	AX ← A × r					
MULUW	rp	2	AX(上位)，rp(下位) ← AX × rp					
MULW	rp	2	AX(上位)，rp(下位) ← AX × rp					
DIVUW	r	2/3	AX(商)，r(余り) ← AX ÷ r[注1]					
DIVUX	rp	2	AXDE(商)，rp(余り) ← AXDE ÷ rp[注2]					

注1. r = 0の場合，r ← X，AX ← FFFFH

2. rp=0の場合，rp ← DE，AXDE ← FFFFFFFFH

(10) 特殊演算命令：MACW，MACSW，SACW

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MACW	byte	3	AXDE ← (B) × (C) + AXDE，B ← B + 2， C ← C + 2，byte ← byte − 1 End if(byte=0 or P/V=1)	×	×	×	V	×
MACSW	byte	3	AXDE ← (B) × (C) + AXDE，B ← B + 2， C ← C + 2，byte ← byte − 1 if byte=0 then End if P/V=1 then if overflow AXDE ← 7FFFFFFFH，End if underflow AXDE ← 80000000H，End	×	×	×	V	×
SACW	[TDE +]，[WHL +]	4	AX ← | (TDE) − (WHL) | + AX， TDE ← TDE + 2，WHL ← WHL + 2 C ← C − 1 End if(C=0 or CY=1)	×	×	×	V	×

保守／廃止

(11) 増減命令：INC, DEC, INCW, DECW, INCG, DECG

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
INC	r	1/2	r ← r + 1	×	×	×	V	
	saddr	2/3	(saddr) ← (saddr) + 1	×	×	×	V	
DEC	r	1/2	r ← r − 1	×	×	×	V	
	saddr	2/3	(saddr) ← (saddr) − 1	×	×	×	V	
INCW	rp	2/1	rp ← rp + 1					
	saddrp	3/4	(saddrp) ← (saddrp) + 1					
DECW	rp	2/1	rp ← rp − 1					
	saddrp	3/4	(saddrp) ← (saddrp) − 1					
INCG	rg	2	rg ← rg + 1					
DECG	rg	2	rg ← rg − 1					

(12) 補正命令：ADJBA, ADJBS, CVTBW

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADJBA		2	Decimal Adjust Accumulator after Addition	×	×	×	P	×
ADJBS		2	Decimal Adjust Accumulator after Subtract	×	×	×	P	×
CVTBW		1	X ← A, A ←00H if A_7=0 X ← A, A ←FFH if A_7=1					

保守／廃止

(13) シフト・ローテート命令：ROR, ROL, RORC, ROLC, SHR, SHL, SHRW, SHLW, ROR4, ROL4

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ROR	r, n	2/3	(CY, $r_7 \leftarrow r_0$, $r_{m-1} \leftarrow r_m$) × n回　n=0 − 7				P	×
ROL	r, n	2/3	(CY, $r_0 \leftarrow r_7$, $r_{m+1} \leftarrow r_m$) × n回　n=0 − 7				P	×
RORC	r, n	2/3	(CY ← r_0, r_7 ← CY, $r_{m-1} \leftarrow r_m$) × n回　n=0 − 7				P	×
ROLC	r, n	2/3	(CY ← r_7, r_0 ← CY, $r_{m+1} \leftarrow r_m$) × n回　n=0 − 7				P	×
SHR	r, n	2/3	(CY ← r_0, $r_7 \leftarrow 0$, $r_{m-1} \leftarrow r_m$) × n回　n=0 − 7	×	×	0	P	×
SHL	r, n	2/3	(CY ← r_7, $r_0 \leftarrow 0$, $r_{m+1} \leftarrow r_m$) × n回　n=0 − 7	×	×	0	P	×
SHRW	rp, n	2	(CY ← rp_0, $rp_{15} \leftarrow 0$, $rp_{m-1} \leftarrow rp_m$) × n回 n=0 − 7	×	×	0	P	×
SHLW	rp, n	2	(CY ← rp_{15}, $rp_0 \leftarrow 0$, $rp_{m+1} \leftarrow rp_m$) × n回 n=0 − 7	×	×	0	P	×
ROR4	mem3	2	$A_{3-0} \leftarrow (mem3)_{3-0}$, $(mem3)_{7-4} \leftarrow A_{3-0}$, $(mem3)_{3-0} \leftarrow (mem3)_{7-4}$					
ROL4	mem3	2	$A_{3-0} \leftarrow (mem3)_{7-4}$, $(mem3)_{3-0} \leftarrow A_{3-0}$, $(mem3)_{7-4} \leftarrow (mem3)_{3-0}$					

保守／廃止

(14) ビット操作命令：MOV1，AND1，OR1，XOR1，NOT1，SET1，CLR1

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOV1	CY，saddr. bit	3/4	CY ← (saddr. bit)					×
	CY，sfr. bit	3	CY ← sfr. bit					×
	CY，X. bit	2	CY ← X. bit					×
	CY，A. bit	2	CY ← A. bit					×
	CY，PSWL. bit	2	CY ← PSW_L. bit					×
	CY，PSWH. bit	2	CY ← PSW_H. bit					×
	CY，mem2. bit	2	CY ← mem2. bit					×
	CY，!addr16. bit	5	CY ← (addr16. bit)					
	CY，!!addr24. bit	6	CY ← (addr24. bit)					
	saddr. bit，CY	3/4	(saddr. bit) ← CY					
	sfr. bit，CY	3	sfr. bit ← CY					
	X. bit，CY	2	X. bit ← CY					
	A. bit，CY	2	A. bit ← CY					
	PSWL. bit，CY	2	PSW_L. bit ← CY	×	×	×	×	×
	PSWH. bit，CY	2	PSW_H. bit ← CY					
	mem2. bit，CY	2	mem2. bit ← CY					
	!addr16. bit，CY	5	(addr16. bit) ← CY					
	!!addr24. bit，CY	6	(addr24. bit) ← CY					
AND1	CY，saddr. bit	3/4	CY ← CY ∧ (saddr. bit)					×
	CY，/saddr. bit	3/4	CY ← CY ∧ $\overline{(saddr.\ bit)}$					×
	CY，sfr. bit	3	CY ← CY ∧ sfr. bit					×
	CY，/sfr. bit	3	CY ← CY ∧ $\overline{sfr.\ bit}$					×
	CY，X. bit	2	CY ← CY ∧ X. bit					×
	CY，/X. bit	2	CY ← CY ∧ $\overline{X.\ bit}$					×
	CY，A. bit	2	CY ← CY ∧ A. bit					×
	CY，/A. bit	2	CY ← CY ∧ $\overline{A.\ bit}$					×
	CY，PSWL. bit	2	CY ← CY ∧ PSW_L. bit					×
	CY，/PSWL. bit	2	CY ← CY ∧ $\overline{PSW_L.\ bit}$					×
	CY，PSWH. bit	2	CY ← CY ∧ PSW_H. bit					×
	CY，/PSWH. bit	2	CY ← CY ∧ $\overline{PSW_H.\ bit}$					×
	CY，mem2. bit	2	CY ← CY ∧ mem2. bit					×
	CY，/mem2. bit	2	CY ← CY ∧ $\overline{mem2.\ bit}$					×
	CY，!addr16. bit	5	CY ← CY ∧ (addr16. bit)					×
	CY，/!addr16. bit	5	CY ← CY ∧ $\overline{(addr16.\ bit)}$					×
	CY，!!addr24. bit	6	CY ← CY ∧ (addr24. bit)					×
	CY，/!!addr24. bit	6	CY ← CY ∧ $\overline{(addr24.\ bit)}$					×

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
OR1	CY, saddr. bit	3/4	CY ← CY ∨ (saddr. bit)					×
	CY, /saddr. bit	3/4	CY ← CY ∨ $\overline{(\text{saddr. bit})}$					×
	CY, sfr. bit	3	CY ← CY ∨ sfr. bit					×
	CY, /sfr. bit	3	CY ← CY ∨ $\overline{\text{sfr. bit}}$					×
	CY, X. bit	2	CY ← CY ∨ X. bit					×
	CY, /X. bit	2	CY ← CY ∨ $\overline{\text{X. bit}}$					×
	CY, A. bit	2	CY ← CY ∨ A. bit					×
	CY, /A. bit	2	CY ← CY ∨ $\overline{\text{A. bit}}$					×
	CY, PSWL. bit	2	CY ← CY ∨ PSW_{L}. bit					×
	CY, /PSWL. bit	2	CY ← CY ∨ $\overline{\text{PSW}_{\text{L}}\text{. bit}}$					×
	CY, PSWH. bit	2	CY ← CY ∨ PSW_{H}. bit					×
	CY, /PSWH. bit	2	CY ← CY ∨ $\overline{\text{PSW}_{\text{H}}\text{. bit}}$					×
	CY, mem2. bit	2	CY ← CY ∨ mem2. bit					×
	CY, /mem2. bit	2	CY ← CY ∨ $\overline{\text{mem2. bit}}$					×
	CY, !addr16. bit	5	CY ← CY ∨ (addr16. bit)					×
	CY, / !addr16. bit	5	CY ← CY ∨ $\overline{(\text{addr16. bit})}$					×
	CY, !!addr24. bit	6	CY ← CY ∨ (addr24. bit)					×
	CY, / !!addr24. bit	6	CY ← CY ∨ $\overline{(\text{addr24. bit})}$					×
XOR1	CY, saddr. bit	3/4	CY ← CY ⊻ (saddr. bit)					×
	CY, sfr. bit	3	CY ← CY ⊻ sfr. bit					×
	CY, X. bit	2	CY ← CY ⊻ X. bit					×
	CY, A. bit	2	CY ← CY ⊻ A. bit					×
	CY, PSWL. bit	2	CY ← CY ⊻ PSW_{L}. bit					×
	CY, PSWH. bit	2	CY ← CY ⊻ PSW_{H}. bit					×
	CY, mem2. bit	2	CY ← CY ⊻ mem2. bit					×
	CY, !addr16. bit	5	CY ← CY ⊻ (addr16. bit)					×
	CY, !!addr24. bit	6	CY ← CY ⊻ (addr24. bit)					×
NOT1	saddr. bit	3/4	(saddr. bit) ← $\overline{(\text{saddr. bit})}$					
	sfr. bit	3	sfr. bit ← $\overline{\text{sfr. bit}}$					
	X. bit	2	X. bit ← $\overline{\text{X. bit}}$					
	A. bit	2	A. bit ← $\overline{\text{A. bit}}$					
	PSWL. bit	2	PSWL. bit ← $\overline{\text{PSW}_{\text{L}}\text{. bit}}$	×	×	×	×	×
	PSWH. bit	2	PSWH. bit ← $\overline{\text{PSW}_{\text{H}}\text{. bit}}$					
	mem2. bit	2	mem2. bit ← $\overline{\text{mem2. bit}}$					
	!addr16. bit	5	(addr16. bit) ← $\overline{(\text{addr16. bit})}$					
	!!addr24. bit	6	(addr24. bit) ← $\overline{(\text{addr24. bit})}$					
	CY	1	CY ← $\overline{\text{CY}}$					×

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
SET1	saddr. bit	2/3	(saddr. bit) ← 1					
	sfr. bit	3	sfr. bit ← 1					
	X. bit	2	X. bit ← 1					
	A. bit	2	A. bit ← 1					
	PSWL. bit	2	PSW_L. bit ← 1	×	×	×	×	×
	PSWH. bit	2	PSW_H. bit ← 1					
	mem2. bit	2	mem2. bit ← 1					
	!addr16. bit	5	(addr16. bit) ← 1					
	!!addr24. bit	6	(addr24. bit) ← 1					
	CY	1	CY ← 1					1
CLR1	saddr. bit	2/3	(saddr. bit) ← 0					
	sfr. bit	3	sfr. bit ← 0					
	X. bit	2	X. bit ← 0					
	A. bit	2	A. bit ← 0					
	PSWL. bit	2	PSW_L. bit ← 0	×	×	×	×	×
	PSWH. bit	2	PSW_H. bit ← 0					
	mem2. bit	2	mem2. bit ← 0					
	!addr16. bit	5	(addr16. bit) ← 0					
	!!addr24. bit	6	(addr24. bit) ← 0					
	CY	1	CY ← 0					0

保守／廃止

(15) スタック操作命令：PUSH, PUSHU, POP, POPU, MOVG, ADDWG, SUBWG, INCG, DECG

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
PUSH	PSW	1	(SP − 2) ← PSW, SP ← SP − 2					
	sfrp	3	(SP − 2) ← sfrp, SP ← SP − 2					
	sfr	3	(SP − 1) ← sfr, SP ← SP − 1					
	post	2	{(SP − 2) ← post, SP ← SP − 2} × m回注					
	rg	2	(SP − 3) ← rg, SP ←SP − 3					
PUSHU	post	2	{(UUP − 2) ← post, UUP ← UUP − 2} × m回注					
POP	PSW	1	PSW ← (SP), SP ← SP + 2	R	R	R	R	R
	sfrp	3	sfrp ← (SP), SP ← SP + 2					
	sfr	3	sfr ← (SP), SP ← SP + 1					
	post	2	{post ← (SP), SP ← SP + 2} × m回注					
	rg	2	rg ← (SP), SP ← SP + 3					
POPU	post	2	{post ← (UUP), UUP ← UUP + 2} × m回注					
MOVG	SP, #imm24	5	SP ← imm24					
	SP, WHL	2	SP ← WHL					
	WHL, SP	2	WHL ← SP					
ADDWG	SP, #word	4	SP ← SP + word					
SUBWG	SP, #word	4	SP ← SP − word					
INCG	SP	2	SP ← SP + 1					
DECG	SP	2	SP ← SP − 1					

注　mは，postで指定されたレジスタ数

保守／廃止

(16) コール・リターン命令：CALL, CALLF, CALLT, BRK, BRKCS, RET, RETI, RETB, RETCS, RETCSB

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CALL	!addr16	3	(SP − 3) ← (PC + 3), SP ← SP − 3, PC_{HW} ← 0, PC_{LW} ← addr16					
	!!addr20	4	(SP − 3) ← (PC + 4), SP ← SP − 3, PC ← addr20					
	rp	2	(SP − 3) ← (PC + 2), SP ← SP − 3, PC_{HW} ← 0, PC_{LW} ← rp					
	rg	2	(SP − 3) ← (PC + 2), SP ← SP − 3, PC ← rg					
	[rp]	2	(SP − 3) ← (PC + 2), SP ← SP − 3, PC_{HW} ← 0, PC_{LW} ← (rp)					
	[rg]	2	(SP − 3) ← (PC + 2), SP ← SP − 3, PC ← (rg)					
	$!addr20	3	(SP − 3) ← (PC + 3), SP ← SP − 3, PC ← PC + 3 + jdisp16					
CALLF	!addr11	2	(SP − 3) ← (PC + 2), SP ← SP − 3 PC_{19-12} ← 0, PC_{11} ← 1, PC_{10-0} ← addr11					
CALLT	[addr5]	1	(SP − 3) ← (PC + 1), SP ←SP − 3, PC_{HW} ← 0, PC_{LW} ← (addr5)					
BRK		1	(SP − 2) ← PSW, $(SP - 1)_{0-3}$ ← $(PC + 1)_{HW}$, (SP − 4) ← PC + 1, SP ← SP − 4 PC_{HW} ← 0, PC_{LW} ← (003EH)					
BRKCS	RBn	2	PC_{LW} ↔ RP2, RP3 ← PSW, RBS2 − 0 ← n, RSS ← 0, IE ← 0, $RP3_{8-11}$ ← PC_{HW}, PC_{HW} ← 0					
RET		1	PC ← (SP), SP ← SP + 3					
RETI		1	PC ← (SP), PSW ← (SP + 2), SP ← SP + 4	R	R	R	R	R
RETB		1	PC ← (SP), PSW ← (SP + 2), SP ← SP + 4	R	R	R	R	R
RETCS	!addr16	3	PSW ← RP3, PC_{LW} ← RP2, RP2 ← addr16, PC_{HW} ← $RP3_{8-11}$	R	R	R	R	R
RETCSB	!addr16	4	PSW ← RP3, PC_{LW} ← RP2, RP2 ← addr16, PC_{HW} ← $RP3_{8-11}$	R	R	R	R	R

保守／廃止

(17) 無条件分岐命令：BR

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BR	!addr16	3	$PC_{HW} \leftarrow 0$, $PC_{LW} \leftarrow$ addr16					
	!!addr20	4	PC ← addr20					
	rp	2	$PC_{HW} \leftarrow 0$, $PC_{LW} \leftarrow$ rp					
	rg	2	PC ← rg					
	[rp]	2	$PC_{HW} \leftarrow 0$, $PC_{LW} \leftarrow$ (rp)					
	[rg]	2	PC ← (rg)					
	$addr20	2	PC ← PC + 2 + jdisp8					
	$!addr20	3	PC ← PC + 3 + jdisp16					

保守／廃止

(18) 条件付き分岐命令：BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

ニモニック	オペランド	バイト	オペレーション	フラグ S Z AC P/V CY
BNZ **BNE**	$addr20	2	PC ← PC + 2 + jdisp8 if Z=0	
BZ **BE**	$addr20	2	PC ← PC + 2 + jdisp8 if Z=1	
BNC **BNL**	$addr20	2	PC ← PC + 2 + jdisp8 if CY=0	
BC **BL**	$addr20	2	PC ← PC + 2 + jdisp8 if CY=1	
BNV **BPO**	$addr20	2	PC ← PC + 2 + jdisp8 if P/V=0	
BV **BPE**	$addr20	2	PC ← PC + 2 + jdisp8 if P/V=1	
BP	$addr20	2	PC ← PC + 2 + jdisp8 if S=0	
BN	$addr20	2	PC ← PC + 2 + jdisp8 if S=1	
BLT	$addr20	3	PC ← PC + 3 + jdisp8 if P/V ⊻ S=1	
BGE	$addr20	3	PC ← PC + 3 + jdisp8 if P/V ⊻ S=0	
BLE	$addr20	3	PC ← PC + 3 + jdisp8 if (P/V ⊻ S) ∨ Z=1	
BGT	$addr20	3	PC ← PC + 3 + jdisp8 if (P/V ⊻ S) ∨ Z=0	
BNH	$addr20	3	PC ← PC + 3 + jdisp8 if Z ∨ CY=1	
BH	$addr20	3	PC ← PC + 3 + jdisp8 if Z ∨ CY=0	
BF	saddr.bit, $addr20	4/5	PC ← PC + 4[注] + jdisp8 if(saddr.bit)=0	
	sfr.bit, $addr20	4	PC ← PC + 4 + jdisp8 if sfr.bit=0	
	X.bit, $addr20	3	PC ← PC + 3 + jdisp8 if X.bit=0	
	A.bit, $addr20	3	PC ← PC + 3 + jdisp8 if A.bit=0	
	PSWL.bit, $addr20	3	PC ← PC + 3 + jdisp8 if PSW_L.bit=0	
	PSWH.bit, $addr20	3	PC ← PC + 3 + jdisp8 if PSW_H.bit=0	
	mem2.bit, $addr20	3	PC ← PC + 3 + jdisp8 if mem2.bit=0	
	!addr16.bit, $addr20	6	PC ← PC + 6 + jdisp8 if(addr16.bit)=0	
	!!addr24.bit, $addr20	7	PC ← PC + 7 + jdisp8 if(addr24.bit)=0	

注　バイト数が4のとき。5のときはPC ← PC + 5 + jdisp8になります。

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ S	Z	AC	P/V	CY
BT	saddr. bit, $addr20	3/4	PC ← PC + 3[注1] + jdisp8 if (saddr. bit) = 1					
	sfr. bit, $addr20	4	PC ← PC + 4 + jdisp8 if sfr. bit = 1					
	X. bit, $addr20	3	PC ← PC + 3 + jdisp8 if X. bit = 1					
	A. bit, $addr20	3	PC ← PC + 3 + jdisp8 if A. bit = 1					
	PSWL. bit, $addr20	3	PC ← PC + 3 + jdisp8 if PSW_L. bit = 1					
	PSWH. bit, $addr20	3	PC ← PC + 3 + jdisp8 if PSW_H. bit = 1					
	mem2. bit, $addr20	3	PC ← PC + 3 + jdisp8 if mem2. bit = 1					
	!addr16. bit, $addr20	6	PC ← PC + 6 + jdisp8 if (addr16. bit) = 1					
	!!addr24. bit, $addr20	7	PC ← PC + 7 + jdisp8 if (addr24. bit) = 1					
BTCLR	saddr. bit, $addr20	4/5	{PC ← PC + 4[注2] + jdisp8, (saddr. bit) ← 0} if (saddr. bit) = 1					
	sfr. bit, $addr20	4	{PC ← PC + 4 + jdisp8, sfr. bit ← 0} if sfr. bit = 1					
	X. bit, $addr20	3	{PC ← PC + 3 + jdisp8, X. bit ← 0} if X. bit = 1					
	A. bit, $addr20	3	{PC ← PC + 3 + jdisp8, A. bit ← 0} if A. bit = 1					
	PSWL. bit, $addr20	3	{PC ← PC + 3 + jdisp8, PSW_L. bit ← 0} if PSW_L. bit = 1	×	×	×	×	×
	PSWH. bit, $addr20	3	{PC ← PC + 3 + jdisp8, PSW_H. bit ← 0} if PSW_H. bit = 1					
	mem2. bit, $addr20	3	{PC ← PC + 3 + jdisp8, mem2. bit ← 0} if mem2. bit = 1					
	!addr16. bit, $addr20	6	{PC ← PC + 6 + jdisp8, (addr16. bit) ← 0} if (addr16. bit) = 1					
	!!addr24. bit, $addr20	7	{PC ← PC + 7 + jdisp8, (addr24. bit) ← 0} if (addr24. bit) = 1					

注1. バイト数が３のとき。４のときはPC ← PC + 4 + jdisp8になります。

2. バイト数が４のとき。５のときはPC ← PC + 5 + jdisp8になります。

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ S	Z	AC	P/V	CY
BFSET	saddr. bit, $addr20	4/5	{PC ← PC + 4[注2] + jdisp8, (saddr. bit) ← 1} if (saddr. bit) = 0					
	sfr. bit, $addr20	4	{PC ← PC + 4 + jdisp8, sfr. bit ← 1} if sfr. bit = 0					
	X. bit, $addr20	3	{PC ← PC + 3 + jdisp8, X. bit ← 1} if X. bit = 0					
	A. bit, $addr20	3	{PC ← PC + 3 + jdisp8, A. bit ← 1} if A. bit = 0					
	PSWL. bit, $addr20	3	{PC ← PC + 3 + jdisp8, PSW_L. bit ← 1} if PSW_L. bit = 0	×	×	×	×	×
	PSWH. bit, $addr20	3	{PC ← PC + 3 + jdisp8, PSW_H. bit ← 1} if PSW_H. bit = 0					
	mem2. bit, $addr20	3	{PC ← PC + 3 + jdisp8, mem2. bit ← 1} if mem2. bit = 0					
	!addr16. bit, $addr20	6	{PC ← PC + 6 + jdisp8, (addr16. bit) ← 1} if (addr16. bit) = 0					
	!!addr24. bit, $addr20	7	{PC ← PC + 7 + jdisp8, (addr24. bit) ← 1} if (addr24. bit) = 0					
DBNZ	B, $addr20	2	B ← B − 1, PC ← PC + 2 + jdisp8 if B ≠ 0					
	C, $addr20	2	C ← C − 1, PC ← PC + 2 + jdisp8 if C ≠ 0					
	saddr, $addr20	3/4	(saddr) ← (saddr) − 1, PC ← PC + 3[注1] + jdisp8 if (saddr) ≠ 0					

注1. バイト数が3のとき。4のときはPC ← PC + 4 + jdisp8になります。

2. バイト数が4のとき。5のときはPC ← PC + 5 + jdisp8になります。

(19) CPU制御命令：MOV, LOCATION, SEL, SWRS, NOP, EI, DI

ニモニック	オペランド	バイト	オペレーション	フラグ S	Z	AC	P/V	CY
MOV	STBC, #byte	4	STBC ← byte					
	WDM, #byte	4	WDM ← byte					
LOCATION	locaddr	4	SFR, 内部データ領域の配置アドレスの上位ワード指定					
SEL	RBn	2	RSS ← 0, RBS2 − 0 ← n					
	RBn, ALT	2	RSS ← 1, RBS2 − 0 ← n					
SWRS		2	RSS ← $\overline{RSS}$					
NOP		1	No Operation					
EI		1	IE ← 1 (Enable interrupt)					
DI		1	IE ← 0 (Disable interrupt)					

保守／廃止

(20) 特殊命令：CHKL, CHKLA

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CHKL	sfr	3	(端子レベル) ∀ (出力ラッチ)	×	×		P	
CHKLA	sfr	3	A ← (端子レベル) ∀ (出力ラッチ)	×	×		P	

(21) ストリング命令：MOVTBLW, MOVM, XCHM, MOVBK, XCHBK, CMPME, CMPMNE, CMPMC, CMPMNC, CMPBKE, CMPBKNE, CMPBKC, CMPBKNC

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOVTBLW	!addr8, byte	4	(addr8 + 2) ← (addr8), byte ← byte − 1, addr8 ← addr8 − 2 End if byte=0					
MOVM	[TDE +], A	2	(TDE) ← A, TDE ← TDE + 1, C ← C − 1 End if C=0					
	[TDE −], A	2	(TDE) ← A, TDE ← TDE − 1, C ← C − 1 End if C=0					
XCHM	[TDE +], A	2	(TDE) ↔ A, TDE ← TDE + 1, C ← C − 1 End if C=0					
	[TDE −], A	2	(TDE) ↔ A, TDE ← TDE − 1, C ← C − 1 End if C=0					
MOVBK	[TDE +], [WHL +]	2	(TDE) ← (WHL), TDE ← TDE + 1, WHL ← WHL + 1, C ← C − 1 End if C=0					
	[TDE −], [WHL −]	2	(TDE) ← (WHL), TDE ← TDE − 1, WHL ← WHL − 1, C ← C − 1 End if C=0					
XCHBK	[TDE +], [WHL +]	2	(TDE) ↔ (WHL), TDE ← TDE + 1, WHL ← WHL + 1, C ← C − 1 End if C=0					
	[TDE −], [WHL −]	2	(TDE) ↔ (WHL), TDE ← TDE − 1, WHL ← WHL − 1, C ← C − 1 End if C=0					
CMPME	[TDE +], A	2	(TDE) − A, TDE ← TDE + 1, C ← C − 1 End if C=0 or Z=0	×	×	×	V	×
	[TDE −], A	2	(TDE) − A, TDE ← TDE − 1, C ← C − 1 End if C=0 or Z=0	×	×	×	V	×
CMPMNE	[TDE +], A	2	(TDE) − A, TDE ← TDE + 1, C ← C − 1 End if C=0 or Z=1	×	×	×	V	×
	[TDE −], A	2	(TDE) − A, TDE ← TDE − 1, C ← C − 1 End if C=0 or Z=1	×	×	×	V	×
CMPMC	[TDE +], A	2	(TDE) − A, TDE ← TDE + 1, C ← C − 1 End if C=0 or CY=0	×	×	×	V	×
	[TDE −], A	2	(TDE) − A, TDE ← TDE − 1, C ← C − 1 End if C=0 or CY=0	×	×	×	V	×
CMPMNC	[TDE +], A	2	(TDE) − A, TDE ← TDE + 1, C ← C − 1 End if C=0 or CY=1	×	×	×	V	×
	[TDE −], A	2	(TDE) − A, TDE ← TDE − 1, C ← C − 1 End if C=0 or CY=1	×	×	×	V	×
CMPBKE	[TDE +], [WHL +]	2	(TDE) − (WHL), TDE ← TDE + 1, WHL ← WHL + 1, C ← C − 1 End if C=0 or Z=0	×	×	×	V	×
	[TDE −], [WHL −]	2	(TDE) − (WHL), TDE ← TDE − 1, WHL ← WHL − 1, C ← C − 1 End if C=0 or Z=0	×	×	×	V	×

保守／廃止

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CMPBKNE	[TDE +], [WHL +]	2	(TDE) − (WHL), TDE ← TDE + 1, WHL ← WHL + 1, C ← C − 1 End if C=0 or Z=1	×	×	×	V	×
	[TDE −], [WHL −]	2	(TDE) − (WHL), TDE ← TDE − 1, WHL ← WHL − 1, C ← C − 1 End if C=0 or Z=1	×	×	×	V	×
CMPBKC	[TDE +], [WHL +]	2	(TDE) − (WHL), TDE ← TDE + 1, WHL ← WHL + 1, C ← C − 1 End if C=0 or CY=0	×	×	×	V	×
	[TDE −], [WHL −]	2	(TDE) − (WHL), TDE ← TDE − 1, WHL ← WHL − 1, C ← C − 1 End if C=0 or CY=0	×	×	×	V	×
CMPBKNC	[TDE +], [WHL +]	2	(TDE) − (WHL), TDE ← TDE + 1, WHL ← WHL + 1, C ← C − 1 End if C=0 or CY=1	×	×	×	V	×
	[TDE −], [WHL −]	2	(TDE) − (WHL), TDE ← TDE − 1, WHL ← WHL − 1, C ← C − 1 End if C=0 or CY=1	×	×	×	V	×

保守／廃止

18.3 アドレシング別命令一覧

(1) 8ビット命令（(　) 内は，rとしてAを記述することで実現している組み合わせです）

MOV, XCH, ADD, ADDC, SUB, SUBC, AND OR XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP, MOVM, XCHM, CMPME, CMPMNE, CMPMNC, CMPMC, MOVBK, XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKC, CHKL, CHKLA

表18-1　8ビット・アドレシング別命令一覧

第2オペランド / 第1オペランド	#byte	A	r r'	saddr saddr'	sfr	!addr16 !!addr24	mem [saddrp] [%saddrg]	r3 PSWL PSWH	[WHL+]	[WHL−]	n	なし注2
A	(MOV) ADD注1	(MOV) (XCH) (ADD)注1	MOV XCH (ADD)注1	(MOV)注6 (XCH)注6 (ADD)注1,6	MOV (XCH) (ADD)注1	(MOV) (XCH) ADD注1	MOV XCH ADD注1	MOV	(MOV) (XCH) (ADD)注1	(MOV) (XCH) (ADD)注1		
r	MOV ADD注1	(MOV) (XCH) (ADD)注1	MOV XCH ADD注1	MOV XCH ADD注1	MOV XCH ADD注1	MOV XCH					ROR注3	MULU DIVUW INC DEC
saddr	MOV ADD注1	(MOV)注6 (ADD)注1	MOV ADD注1	MOV XCH ADD注1								INC DEC DBNZ
sfr	MOV ADD注1	MOV (ADD)注1	MOV ADD注1									PUSH POP CHKL CHKLA
!addr16 !!addr24	MOV	(MOV) ADD注1	MOV									
mem [saddrp] [%saddrg]		MOV ADD注1										
mem3												ROR4 ROL4
r3 PSWL PSWH	MOV	MOV										
B, C												DBNZ
STBC, WDM	MOV											
[TDE+]		(MOV) (ADD)注1 MOVM注4							MOVBK注8			
[TDE−]		(MOV) (ADD)注1 MOVM注4								MOVBK注8		

注1. ADDC, SUB, SUBC, AND, OR, XOR, CMPはADDと同じ
2. 第2オペランドがないか，第2オペランドがオペランド・アドレスでない
3. ROL, RORC, ROLC, SHR, SHLはRORと同じ
4. XCHM, CMPME, CMPMNE, CMPMNC, CMPMCはMOVMと同じ
5. XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKCはMOVBKと同じ
6. この組み合わせでsaddrがsaddr2の場合，短いコード長の命令がある

保守／廃止

(2) 16ビット命令（(　) 内は，rpとしてAXを記述することで実現している組み合わせです）

MOVW, XCHW, ADDW, SUBW, CMPW, MULUW, MULW, DIVUX, INCW, DECW, SHRW, SHLW, PUSH, POP, ADDWG, SUBWG, PUSHU, POPU, MOVTBLW, MACW, MACSW, SACW

表18-2　16ビット・アドレシング別命令一覧

第1オペランド ＼ 第2オペランド	#word	AX	rp rp'	saddrp saddrp'	sfrp	!addr16 !!addr24	mem [saddrp] [%saddrg]	[WHL+]	byte	n	なし注2
AX	(MOVW) ADDW注1	(MOVW) (XCHW) (ADD)注1	(MOVW) (XCHW) (ADDW)注1	(MOVW)注3 (XCHW)注3 (ADDW)注1,3	MOVW (XCHW) (ADDW)注1	(MOVW) XCHW	MOVW XCHW	(MOVW) (XCHW)			
rp	MOVW ADDW注1	(MOVW) (XCHW) (ADDW)注1	MOVW XCHW ADDW注1	MOVW XCHW ADDW注1	MOVW XCHW ADDW注1	MOVW				SHRW SHLW	MULW注4 INCW DECW
saddrp	MOVW ADDW注1	(MOVW)注3 (ADDW)注1	MOVW ADDW注1	MOVW XCHW ADDW注1							INCW DECW
sfrp	MOVW ADDW注1	MOVW (ADDW)注1	MOVW ADDW注1								PUSH POP
!addr16 !!addr24	MOVW	(MOVW)	MOVW						MOVTBLW		
mem [saddrp] [%saddrg]		MOVW									
PSW											PUSH POP
SP	ADDWG SUBWG										
post											PUSH POP PUSHU POPU
[TDE+]		(MOVW)						SACW			
byte											MACW MACSW

注1. SUBW，CMPWはADDWと同じ

2. 第2オペランドがないか，第2オペランドがオペランド・アドレスでない

3. この組み合わせでsaddrpがsaddrp2の場合，短いコード長の命令がある

4. MULUW，DIVUXはMULWと同じ

保守／廃止

(3) 24ビット命令（(　) 内は，rgとしてWHLを記述することで実現している組み合わせです）

MOVG, ADDG, SUBG, INCG, DECG, PUSH, POP

表18－3　24ビット・アドレシング別命令一覧

第1オペランド＼第2オペランド	#imm24	WHL	rg rg'	saddrg	!!addr24	mem1	[%saddrg]	SP	なし注
WHL	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) ADDG SUBG	(MOVG)	MOVG	MOVG	MOVG	
rg	MOVG ADDG SUBG	(MOVG) (ADDG) (SUBG)	MOVG ADDG SUBG	MOVG	MOVG				INCG DECG PUSH POP
saddrg		(MOVG)	MOVG						
!!addr24		(MOVG)	MOVG						
mem1		MOVG							
[%saddrg]		MOVG							
SP	MOVG	MOVG							INCG DECG

注　第２オペランドがないか，第２オペランドがオペランド・アドレスでない

(4) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR, BFSET

表18－4　ビット操作命令アドレシング別命令一覧

第1オペランド＼第2オペランド	CY	saddr. bit sfr. bit A. bit X. bit PSWL. bit PSWH. bit mem2. bit !addr16. bit !!addr24. bit	/saddr. bit /sfr. bit /A. bit /X. bit /PSWL. bit /PSWH. bit /mem2. bit /!addr16. bit /!!addr24. bit	なし注
CY		MOV1 AND1 OR1 XOR1	AND1 OR1	NOT1 SET1 CLR1
saddr. bit sfr. bit A. bit X. bit PSWL. bit PSWH. bit mem2. bit !addr16. bit !!addr24. bit	MOV1			NOT1 SET1 CLR1 BF BT BTCLR BFSET

注　第２オペランドがないか，第２オペランドがオペランド・アドレスでない

保守／廃止

(5) コール・リターン命令／分岐命令

CALL, CALLF, CALLT, BRK, RET, RETI, RETB, RETCS, RETCSB, BRKCS, BR, BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

表18－5　コール・リターン命令／分岐命令アドレシング別命令一覧

命令アドレスのオペランド	$addr20	$!addr20	!addr16	!!addr20	rp	rg	[rp]	[rg]	!addr11	[addr5]	RBn	なし
基本命令	BC注 BR	CALL BR	CALL BR RETCS RETCSB	CALL BR	CALL BR	CALL BR	CALL BR	CALL BR	CALLF	CALLT	BRKCS	BRK RET RETI RETB
複合命令	BF BT BTCLR BFSET DBNZ											

注　BNZ, BNE, BZ, BE, BNC, BNL, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BHはBCと同じ

(6) その他の命令

ADJBA, ADJBS, CVTBW, LOCATION, SEL, NOT, EI, DI, SWRS

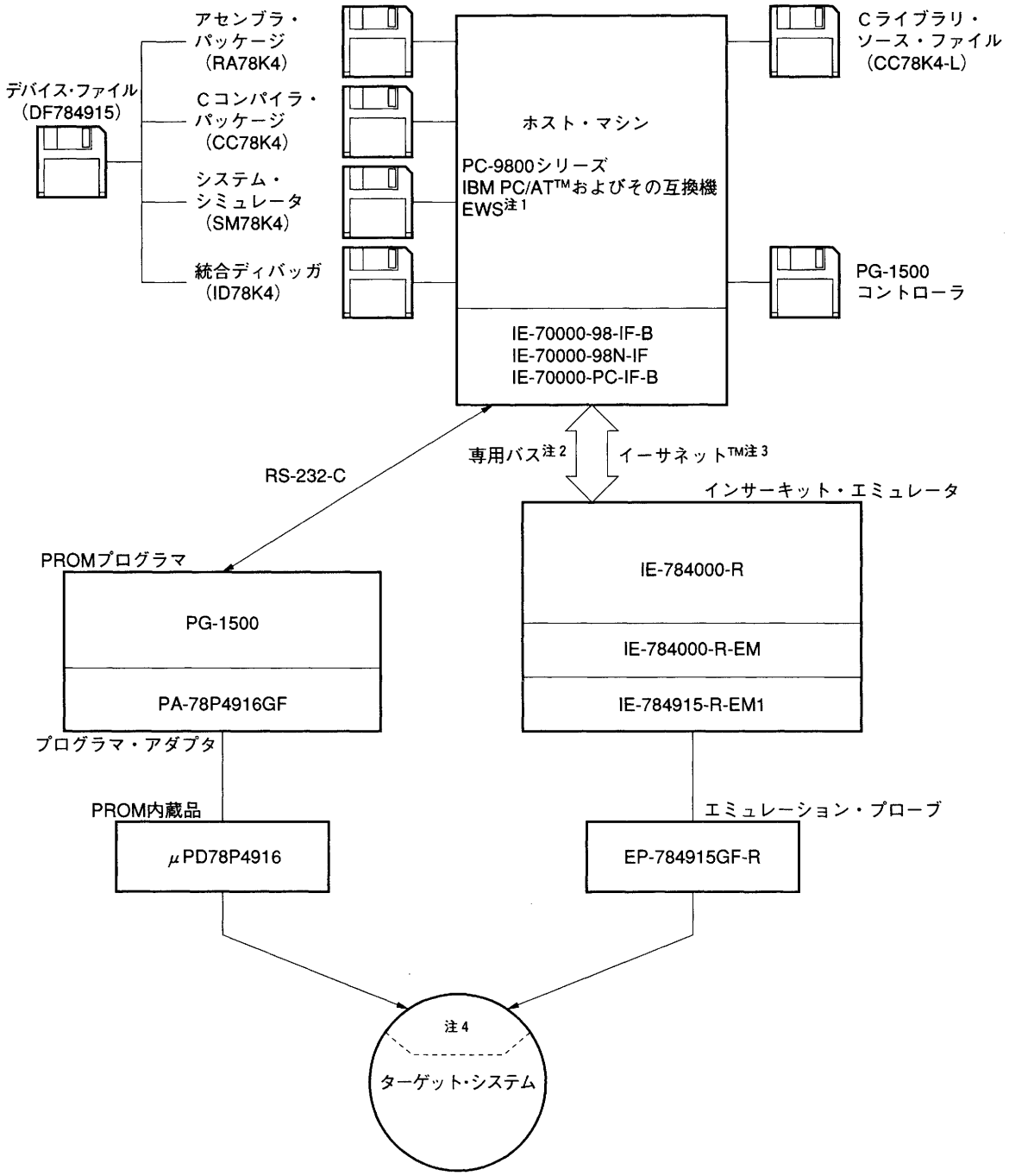
保守／廃止

付録A　開発ツール

次ページより，μPD784915サブシリーズを使用するシステム開発のための開発ツールを示します。

保守／廃止

図A-1　開発ツール構成



注1.　SM78K4，ID78K4，MX78K4，PG-1500コントローラはサポートしておりません。

2.　ホスト・マシンとして，PC-9800シリーズ，IBM PC/ATを使用する場合。

3.　ホスト・マシンとして，EWSを使用する場合。

4.　変換ソケット（EV-9200GF-100，NQPACK100RB）

備考　この図では，ソフトウエアの供給媒体を3.5インチFDで代表しています。

保守／廃止

A.1　言語処理用ソフトウエア（1/2）

<table>
<tr><td>RA78K4
アセンブラ・パッケージ</td><td>デバイス・ファイルを変更することで，78K/IVシリーズの全製品に共通に使用できるリロケータブル・アセンブラです。マクロ機能付きのリロケータブル・アセンブラですので，開発効率の向上が図れます。また，プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており，プログラムの生産性や保守性を向上することができます。別売のデバイス・ファイル（DF784915）と組み合わせて使用します。
<table>
<tr><td>構造化アセンブラ・プリプロセッサ
（プログラム名：ST78K4）</td><td>構造化アセンブラのアセンブリ言語で記述されたソース・プログラムをリロケータブル・アセンブラに入力できる形式に変換します。</td></tr>
<tr><td>リロケータブル・アセンブラ
（プログラム名：RA78K4）</td><td>アセンブリ言語で記述されたソース・プログラムを機械語に変換するプログラムで，リロケータブルなオブジェクト・モジュール・ファイルを生成します。</td></tr>
<tr><td>リンカ
（プログラム名：LK78K4）</td><td>リロケータブル・アセンブラが生成したオブジェクト・モジュール・ファイルとライブラリ・ファイルを結合し，プログラムの絶対アドレスを決定し，ロード・モジュール・ファイルを生成します。</td></tr>
<tr><td>オブジェクト・コンバータ
（プログラム名：OC78K4）</td><td>リンカの生成したロード・モジュール・ファイルを，インサーキット・エミュレータやPROMプログラマへダウン・ロードできる形式に変換します。</td></tr>
<tr><td>ライブラリアン
（プログラム名：LB78K4）</td><td>リロケータブル・アセンブラが出力したオブジェクト・モジュール・ファイルを結合し，1本のライブラリ・ファイルを作成します。また，ライブラリ・ファイルの更新などを行います。</td></tr>
<tr><td>リスト・コンバータ
（プログラム名：LCNV78K4）</td><td>リロケータブル・アセンブラが出力したアセンブル・リスト・ファイルをオブジェクト・モジュール・ファイルおよびロード・モジュール・ファイルを使って，アブソリュートな値の埋め込まれたアセンブル・リストを作成します。</td></tr>
</table>
オーダ名称：μS××××RA78K4</td></tr>
</table>

A.1　言語処理用ソフトウエア（2/2）

CC78K4 Cコンパイラ・パッケージ	デバイス・ファイルを変更することで，78K/IVシリーズ全製品に共通に使用できるCコンパイラです。言語仕様はANSIに準拠しており，プログラムのROM化が可能です。機能として，特殊機能レジスタの操作，ビット操作，ショート・ダイレクト・アドレシングを使用する変数，割り込み制御機能などを備えており，これらを使用することにより，効率のよいプログラム記述と，より高いオブジェクト効率が実現できます。また，スタート・アップ・ルーチンのサンプル・プログラムや標準関数のオブジェクト・ライブラリを備えています。 別売のアセンブラ・パッケージ（RA78K4）およびデバイス・ファイル（DF784915）と組み合わせて使用します。
	オーダ名称：μS××××CC78K4
DF784915注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K4，CC78K4，SM78K4，ID78K4と組み合わせて使用します。
	オーダ名称：μS××××DF784915
CC78K4-L Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージ（CC78K4）に付属しているライブラリのソース・プログラムです。ライブラリを改良する（よりユーザの仕様にあわせる）場合に必要です。
	オーダ名称：μS××××CC78K4-L

注　DF784915は，RA78K4，CC78K4，SM78K4，ID78K4のすべての製品に共通に使用できます。

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××RA78K4
μS××××CC78K4
μS××××DF784915
μS××××CC78K4-L

××××	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS （Ver.3.30～Ver.5.00A注）	3.5インチ2HD
5A10			5インチ2HD
7B13	IBM PC/ATおよび その互換機	**A.4**参照	3.5インチ2HC
7B10			5インチ2HC
3P16	HP9000シリーズ700	HP-UX（rel.9.01）	ディジタル・オーディオ・テープ（DAT）
3K15	SPARCstation™	SunOS™（rel.4.1.1）	カートリッジ・テープ（QIC-24）

注　MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが，上記のソフトウエアではタスク・スワップ機能は使用できません。

A.2　PROM書き込み用ツール

<table>
<tr><td rowspan="2">ハードウエア</td><td>PG-1500</td><td colspan="4">付属ボードおよび別売のPROMプログラマ・アダプタを接続することにより，PROM内蔵のシングルチップ・マイクロコンピュータを，スタンド・アロンまたはホスト・マシンからの操作によりプログラミングできるPROMプログラマです。
また，256Kビットから4Mビットまでの代表的なPROMをプログラミングすることもできます。</td></tr>
<tr><td>PA-78P4916GF</td><td colspan="4">μPD78P4916用のPROMプログラマ・アダプタで，PG-1500に接続して使用します。
PA-78P4916GF：100ピン・プラスチックQFP（14×20mm）用</td></tr>
<tr><td rowspan="6">ソフトウエア</td><td rowspan="6">PG-1500コントローラ</td><td colspan="4">PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し，ホスト・マシン上でPG-1500を制御します。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称（品名）</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
（Ver.3.30～
Ver.5.00A注）</td><td>3.5インチ2HD</td><td>μS5A13PG1500</td></tr>
<tr><td>5インチ2HD</td><td>μS5A10PG1500</td></tr>
<tr><td rowspan="2">IBM PC/ATおよびその互換機</td><td rowspan="2">A.4参照</td><td>3.5インチ2HD</td><td>μS7B13PG1500</td></tr>
<tr><td>5インチ2HC</td><td>μS7B10PG1500</td></tr>
</table>

注　MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが，上記のソフトウエアではタスク・スワップ機能は使用できません。

A.3 ディバグ用ツール

A.3.1 ハードウエア

IE-784000-R		IE-784000-Rは，78K/IVシリーズに共通に使用できるインサーキット・エミュレータです。別売のIE-784000-R-EM，IE-784915-R-EM1と組み合わせて使用します。ホスト・マシンを接続してディバグを行います。別売の統合ディバッガとデバイス・ファイルが必要で，これらと組み合わせて，C言語や構造化アセンブリ言語のソース・プログラム・レベルでのディバグが可能です。C0カバレッジ機能などにより効率の良いディバグやプログラムの検査が行えます。ホスト・マシンとの接続は，イーサネットまたは専用バスで行い，別売のインタフェース・アダプタが必要になります。
IE-784000-R-EM		78K/IVシリーズに共通に使用するエミュレーション・ボードです。
IE-784915-R-EM1		μPD784915サブシリーズの周辺機能をエミュレーションするボードです。IE-784000-R，IE-784000-R-EMと組み合わせて使用します。
IE-70000-98-IF-B		ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときのインタフェース・アダプタとケーブルです。PC-9800シリーズの拡張スロットに挿入して使用します。
IE-70000-98N-IF		ホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときのインタフェース・アダプタとケーブルです。ノート型パソコン用の拡張ボックスに挿入して使用します。
IE-70000-PC-IF-B		ホスト・マシンとしてIBM PC/ATを使用するときのインタフェース・アダプタとケーブルです。IBM PC/AT内のバス・スロットに挿入して使用します。
IE-78000-R-SV3		ホスト・マシンとしてEWSを使用するときのインタフェース・ボードで，IE-784000-R内のボードに接続して使用します。 なお，イーサネットとしては10Base-5をサポートしており，他の方式の場合は市販の変換アダプタが必要になります。
IE-784000-R-BK		75X/XLシリーズ，78Kシリーズ用のインサーキット・エミュレータをIE-784000-Rにシステム・アップするためのボードです。
EP-784915GF-R		μPD784915サブシリーズ用のエミュレーション・プローブです。 100ピン・プラスチックQFP（GF-3BAタイプ）用です。 ターゲット・システムの開発を容易にする100ピン変換ソケットEV-9200GF-100が1個添付されています。
	EV-9200GF-100	ターゲット・システムの基板と，EP-784915GF-Rを接続するための変換ソケットです。
	NQPACK100RB	ターゲット・システムの基板とEP-784915GF-Rを接続するための変換ソケットです。また，100ピン・プラスチックQFP(GF-3BAタイプ)に実装できるようにもなっています。 東京エレテック株式会社（東京（03）5295-1661）の製品です。ご購入の際は，NEC特約店にご相談ください。

備考1. EV-9200GF-100は5個を1組として，1組単位で販売しています。

2. NQPACK100RBは，1個単位で販売しています。

保守／廃止

A.3.2　ソフトウエア

SM78K4 システム・シミュレータ	ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら，Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。 SM78K4はWindows上で動作します。 SM78K4を使用することにより，IE-784000-Rを使用しなくても，アプリケーションの論理検証，性能検証をハードウエア開発から独立して行うことができます。開発効率やソフトウエア品質の向上が図れます。 別売のデバイス・ファイル（DF784915）と組み合わせて使用します。
	オーダ名称：μS××××SM78K4
ID78K4 統合ディバッガ	IE-784000-Rをコントロールするためのプログラムです。 C言語，構造化アセンブリ言語，アセンブリ言語で書かれたソース・プログラム・レベルでのディバグや，ホスト・マシンの画面を分割し，さまざまな情報を同時に表示することで効率のよいディバグが行えます。 別売のデバイス・ファイル（DF784915）と組み合わせて使用します。
	オーダ名称：μS××××ID78K4
DF784915[注] デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のSM78K4，ID78K4，RA78K4，CC78K4と組み合わせて使用します。
	オーダ名称：μS××××DF784915

注　DF784915は，RA78K4，CC78K4，SM78K4，ID78K4のすべての製品に共通に使用できます。

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SM78K4

μS××××ID78K4

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	MS-DOS (Ver. 3. 30～Ver. 5. 00A注) + Windows (Ver3. 1)	3. 5インチ2HD
AB13	IBM PC/ATおよび その互換機 (日本語Windows)	**A. 4**参照	3. 5インチ2HC
BB13	IBM PC/ATおよび その互換機 (英語Windows)		3. 5インチ2HC

μS××××DF784915

××××	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS (Ver. 3. 30～Ver. 5. 00A注)	3. 5インチ2HD
5A10			5 インチ2HD
7B13	IBM PC/ATおよび その互換機	**A. 4**参照	3. 5インチ2HC
7B10			5インチ2HC
3P16	HP9000シリーズ700	HP-UX (rel. 9. 01)	ディジタル・オーディオ・ テープ (DAT)
3K15	SPARCstation	SunOS (rel. 4. 1. 1)	カートリッジ・テープ (QIC-24)

注　MS-DOSのVer. 5. 0以降にはタスク・スワップ機能がありますが，上記のソフトウエアではタスク・スワップ機能は使用できません。

A.4　IBM PC用のOSについて

IBM PC用のOSとして，次のものがサポートされています。

OS	バージョン
PC DOS	Ver. 5. 02～Ver. 6. 3 J6. 1/V～J6. 3/V注2
Windows注1	Ver. 3. 1～Ver. 3. 11
MS-DOS	Ver. 5. 0～Ver. 6. 22 5. 0/V注2～6. 2/V注2
IBM DOS™	J5. 02/V注2

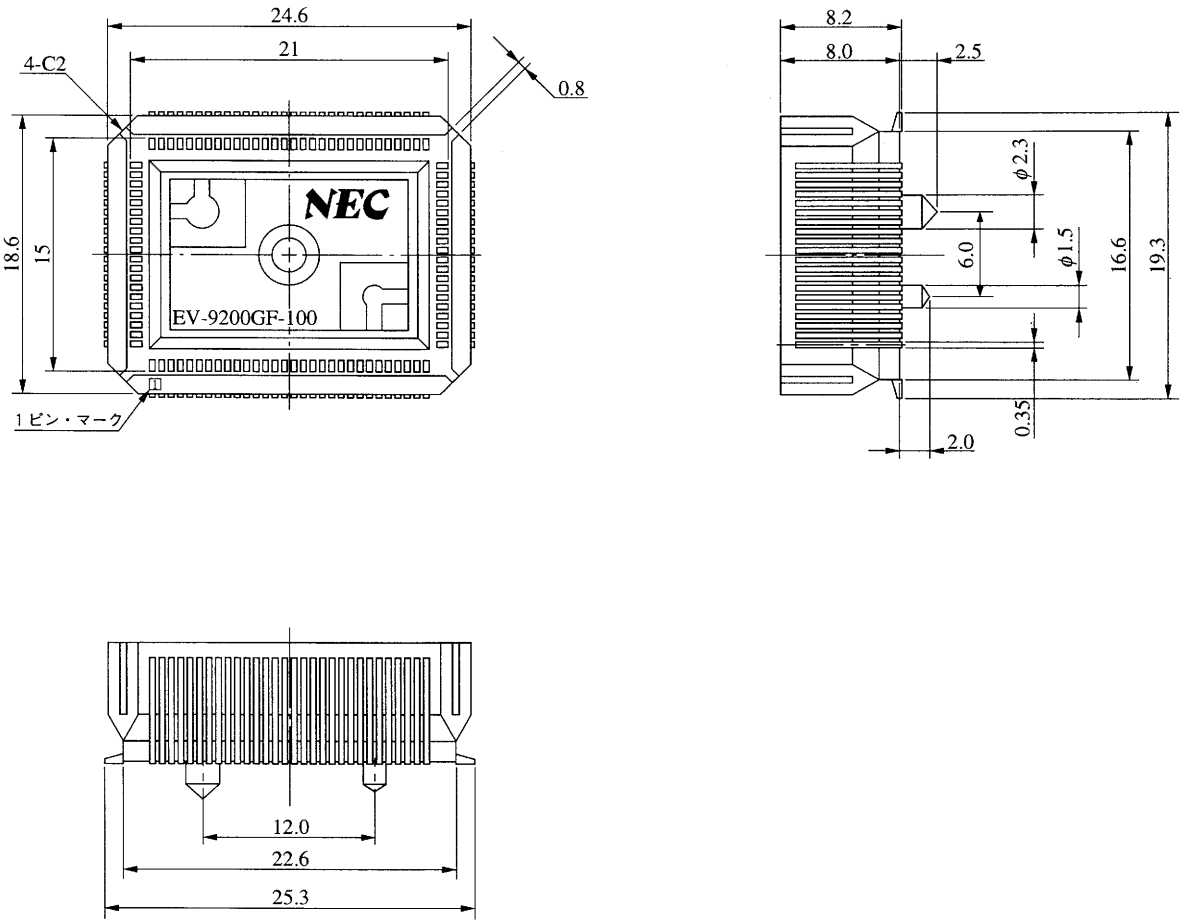
注1. 統合ディバッガの場合は，PC DOSとWindowsを組み合わせて使用します。

2. 英語モードのみサポートしています。

注意　Ver.5.0以降にはタスク・スワップ機能がありますが，このソフトウエアでは，タスク・スワップ機能は使用できません。

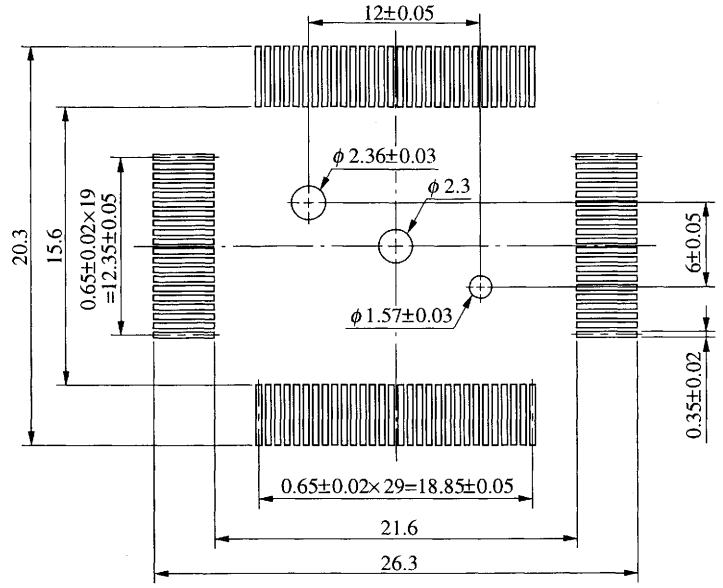
A.5　変換ソケット（EV-9200GF-100，NQPACK100RB）の外形図と基板取り付け推奨パターン

図A-2　EV-9200GF-100　外形図（参考）（単位：mm）



EV-9200GF-100-G0

図A-3　EV-9200GF-100　基板取り付け推奨パターン（参考）（単位：mm）

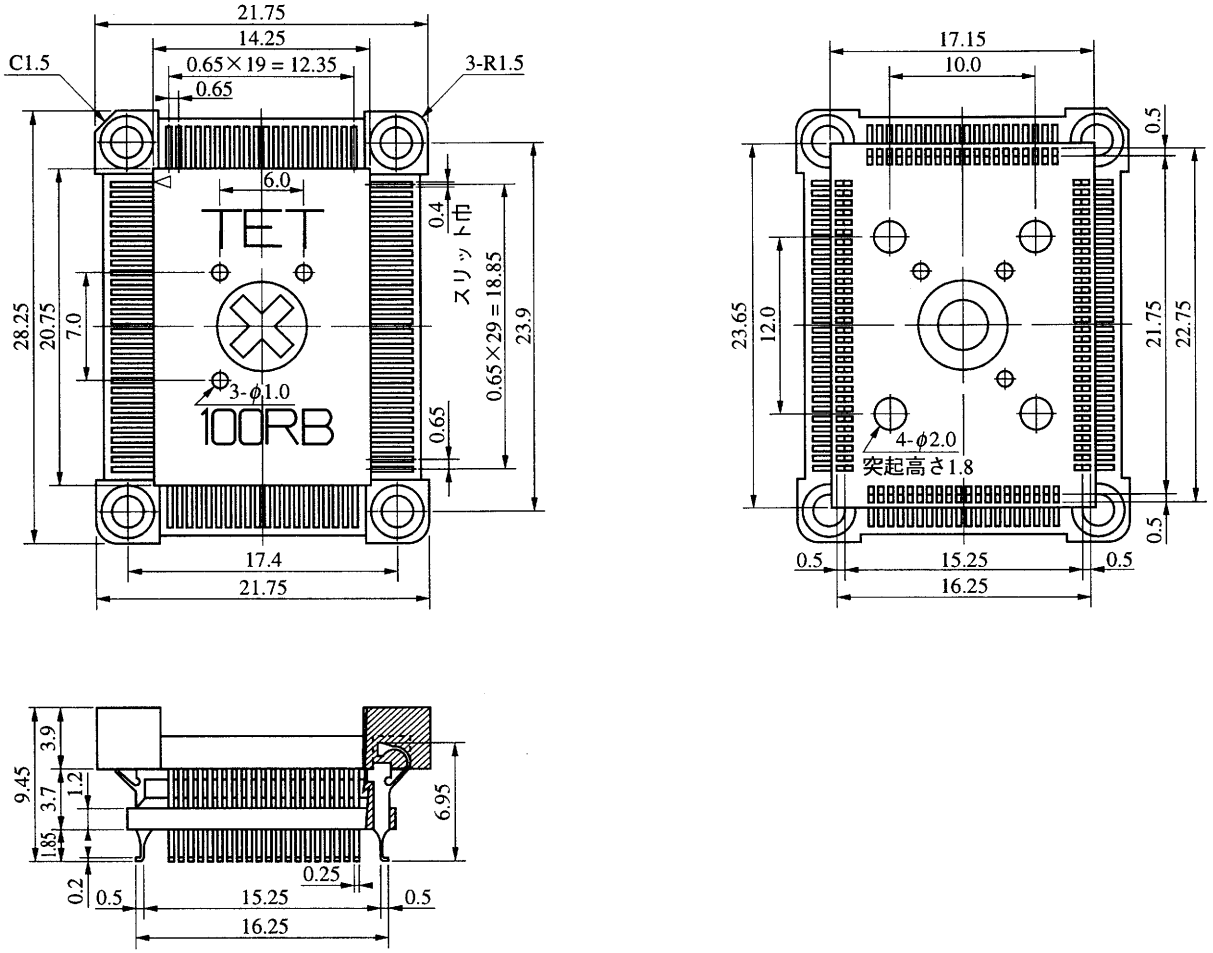


EV-9200GF-100-P1

注意　EV-9200用のマウント・パッド寸法と，対象製品のマウント・パッド寸法（QFP用）は，その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は，「半導体デバイス　実装マニュアル，C10535J」をご参照ください。

保守／廃止

図A-4　NQPACK100RB（ターゲット接続側）　外形図（参考）（単位：mm）

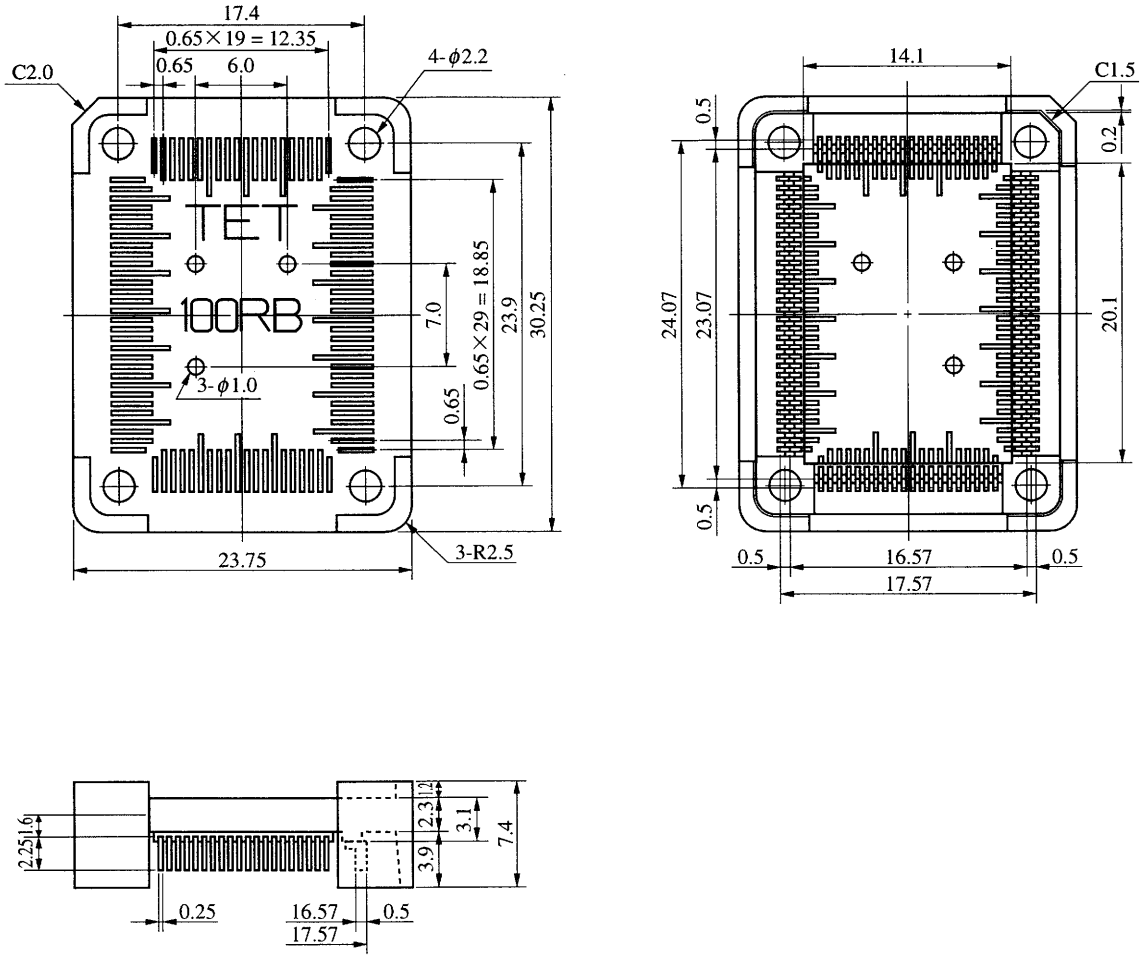


NQPACK100RB-G1

注：東京エレテック（株）製

保守／廃止

図A－5　HQPACK100RB（デバイス実装時のフタ）　外形図（参考）（単位：mm）

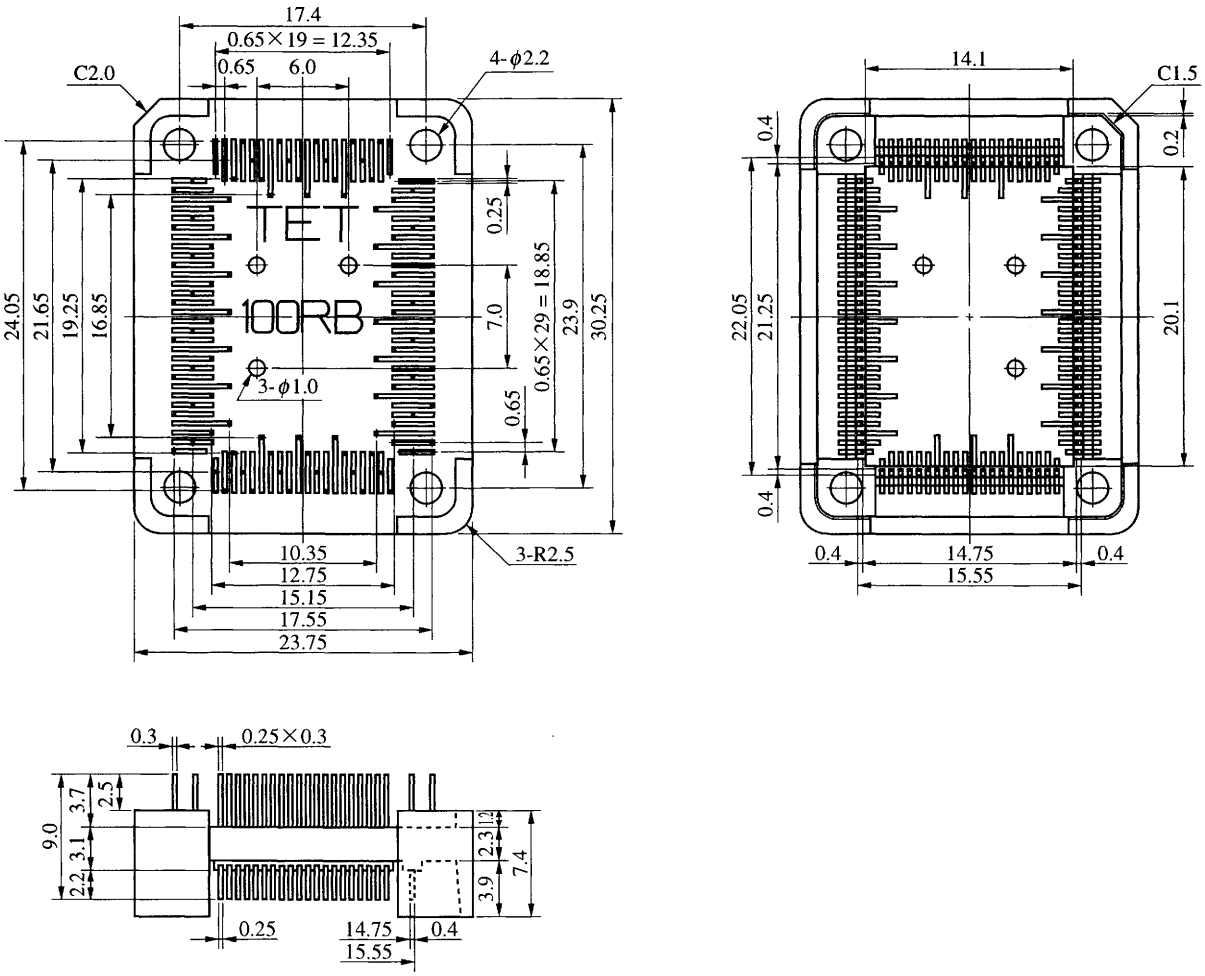


HQPACK100RB-G0

注：東京エレテック（株）製

保守／廃止

★　図A-6　YQPACK100RB（プローブ側）　外形図（参考）（単位：mm）



YQPACK100RB-G0

注：東京エレテック（株）製

保守／廃止

付録B　レジスタ索引

B.1　レジスタ索引（50音順）

［あ行］

アップ／ダウン・カウンタ・カウント・レジスタ（UDC）　…　227

アップ／ダウン・カウンタ・コンペア・レジスタ（UDCC）　…　227

アンプ・コントロール・レジスタ（AMPC）　…　254

アンプ・モード・レジスタ 0（AMPM0）　…　255

アンプ・モード・レジスタ 1（AMPM1）　…　256

イベント・カウンタ（EC）　…　149，151

イベント・カウンタ・コンペア・レジスタ 0（ECC0）　…　151

イベント・カウンタ・コンペア・レジスタ 1（ECC1）　…　151

イベント・カウンタ・コンペア・レジスタ 2（ECC2）　…　151

イベント・カウンタ・コンペア・レジスタ 3（ECC3）　…　151

イベント・ディバイダ・カウンタ（EDV）　…　171

イベント・ディバイダ・コントロール・レジスタ（EDVC）　…　190

インサービス・プライオリティ・レジスタ（ISPR）　…　310

A/Dコンバータ・モード・レジスタ（ADM，ADML）　…　237

A/D変換結果レジスタ（ADCR）　…　236

FRCキャプチャ・レジスタ 0H（CPT0H）　…　204

FRCキャプチャ・レジスタ 0L（CPT0L）　…　204

FRCキャプチャ・レジスタ 1H（CPT1H）　…　204

FRCキャプチャ・レジスタ 1L（CPT1L）　…　204

FRCキャプチャ・レジスタ 2H（CPT2H）　…　204

FRCキャプチャ・レジスタ 2L（CPT2L）　…　204

FRCキャプチャ・レジスタ 3H（CPT3H）　…　204

FRCキャプチャ・レジスタ 3L（CPT3L）　…　204

FRCキャプチャ・レジスタ 4H（CPT4H）　…　204

FRCキャプチャ・レジスタ 4L（CPT4L）　…　204

FRCキャプチャ・レジスタ 5H（CPT5H）　…　204

FRCキャプチャ・レジスタ 5L（CPT5L）　…　204

［か行］

外部キャプチャ・モード・レジスタ 1（INTM1）　…　191，230，329

保守／廃止

外部キャプチャ・モード・レジスタ2（INTM2）　…　197，208，330
外部割り込みモード・レジスタ（INTM0）　…　217，326
キー割り込みコントロール・レジスタ（KEYC）　…　334，383
キャプチャ／コンペア・コントロール・レジスタ（CRC）　…　218
キャプチャ・モード・レジスタ（CPTM）　…　196，207，331
クロック・コントロール・レジスタ（CC）　…　68
クロック出力モード・レジスタ（CLOM）　…　295
ゲイン・コントロール・レジスタ（CTLM）　…　258

［さ行］

CPUクロック・ステータス・レジスタ（PCS）　…　70，382
シリアル・コントロール・レジスタ2（CSIC2）　…　133
シリアル・シフト・レジスタ1（SIO1）　…　121
シリアル・シフト・レジスタ2（SIO2）　…　131
シリアル・モード・レジスタ1（CSIM1）　…　122
シリアル・モード・レジスタ2（CSIM2）　…　132
実行速度選択レジスタ（MM）　…　32
スタンバイ・コントロール・レジスタ（STBC）　…　69，380

［た行］

タイマ・コントロール・レジスタ0（TMC0）　…　162，193
タイマ・コントロール・レジスタ1（TMC1）　…　206，215
タイマ・コントロール・レジスタ2（TMC2）　…　218，220，328
タイマ・コントロール・レジスタ3（TMC3）　…　192
タイマ・コントロール・レジスタ4（TMC4）　…　231
タイマ・レジスタ0（TM0）　…　149，156
タイマ・レジスタ1（TM1）　…　169，175
タイマ・レジスタ2（TM2）　…　214
タイマ・レジスタ3（TM3）　…　170，172
タイマ・レジスタ4（TM4）　…　216
タイマ・レジスタ5（TM5）　…　219
タイマ0コンペア・レジスタ0（CR00）　…　149
タイマ0コンペア・レジスタ1（CR01）　…　149
タイマ0コンペア・レジスタ2（CR02）　…　149
タイマ0出力コントロール・レジスタ（TOC0）　…　163
タイマ0出力モード・レジスタ（TOM0）　…　163
タイマ1コンペア・レジスタ0（CR10）　…　175，177

保守／廃止

タイマ1コンペア・レジスタ1（CR11）　…　175，179
タイマ1コンペア・レジスタ2（CR12）　…　175，179
タイマ1コンペア・レジスタ3（CR13）　…　175，180
タイマ1出力コントロール・レジスタ（TOC1）　…　195
タイマ1出力モード・レジスタ（TOM1）　…　194，257
タイマ2コンペア・レジスタ0（CR20）　…　214
タイマ3キャプチャ・レジスタ0（CPT30）　…　172
タイマ3コンペア・レジスタ0（CR30）　…　172
タイマ3コンペア・レジスタ1（CR31）　…　172
タイマ4キャプチャ／コンペア・レジスタ0（CR40）　…　216
タイマ4キャプチャ・レジスタ1（CR41）　…　216
タイマ5コンペア・レジスタ（CR50）　…　219
時計モード・レジスタ（WM）　…　284，288，336，384
トリガ・ソース選択レジスタ0（TRGS0）　…　112
トリガ・ソース選択レジスタ1（TRGS1）　…　246

［な行］

内部メモリ容量選択レジスタ（IMS）　…　43，416
入力コントロール・レジスタ（ICR）　…　161

［は行］

発振安定時間指定レジスタ（OSTS）　…　70，382
ハードウエア時計カウンタ0（HW0）　…　283，286
ハードウエア時計カウンタ1（HW1）　…　283，286
PWM0モジュロ・レジスタ（PWM0）　…　221
PWM1モジュロ・レジスタ（PWM1）　…　221
PWM2モジュロ・レジスタ（PWM2）　…　224
PWM3モジュロ・レジスタ（PWM3）　…　224
PWM4モジュロ・レジスタ（PWM4）　…　224
PWM5モジュロ・レジスタ（PWM5）　…　221
PWMコントロール・レジスタ0（PWMC0）　…　225
PWMコントロール・レジスタ1（PWMC1）　…　226
フリー・ランニング・カウンタ（ビット0－15）（FRCL）　…　204
フリー・ランニング・カウンタ（ビット16－21）（FRCH）　…　204
プルアップ抵抗オプション・レジスタH（PUOH）　…　96，98
プルアップ抵抗オプション・レジスタL（PUOL）　…　80，82，84，90，134，327
プログラム・ステータス・ワード（PSW）　…　44，311

保守／廃止

ヘッド・アンプ・スイッチ出力コントロール・レジスタ（HAPC）　…　117，164
ポート0（P0）　…　78
ポート0バッファ・レジスタH（P0H）　…　105
ポート0バッファ・レジスタL（P0L）　…　105
ポート0モード・レジスタ（PM0）　…　79
ポート4（P4）　…　81
ポート4モード・レジスタ（PM4）　…　82
ポート5（P5）　…　83
ポート5モード・レジスタ（PM5）　…　84
ポート6（P6）　…　85
ポート6モード・コントロール・レジスタ（PMC6）　…　89，226，285，287
ポート6モード・レジスタ（PM6）　…　88
ポート7（P7）　…　91
ポート8（P8）　…　92
ポート8バッファ・レジスタL（P8L）　…　113
ポート8モード・コントロール・レジスタ（PMC8）　…　95，111
ポート8モード・レジスタ（PM8）　…　95
ポート9（P9）　…　97
ポート9モード・レジスタ（PM9）　…　98

［ら行］

リアルタイム出力ポート0コントロール・レジスタ（RTPC）　…　79，106

［わ行］

割り込み制御レジスタ：INTAD（ADIC）　…　304，306
割り込み制御レジスタ：INTCLR1（CLRIC1）　…　304，305
割り込み制御レジスタ：INTCPT1（CPTIC1）　…　304，306
割り込み制御レジスタ：INTCPT2（CPTIC2）　…　304，305
割り込み制御レジスタ：INTCPT3（CPTIC3）　…　304，305
割り込み制御レジスタ：INTCR00（CRIC00）　…　304，305
割り込み制御レジスタ：INTCR01（CRIC01）　…　304，305
割り込み制御レジスタ：INTCR02（CRIC02）　…　304，306
割り込み制御レジスタ：INTCR10（CRIC10）　…　304，305
割り込み制御レジスタ：INTCR11（CRIC11）　…　304，306
割り込み制御レジスタ：INTCR12（CRIC12）　…　304，305
割り込み制御レジスタ：INTCR13（CRIC13）　…　304，307
割り込み制御レジスタ：INTCR20（CRIC20）　…　304，306

保守／廃止

割り込み制御レジスタ：INTCR30（CRIC30）　…　304，307
割り込み制御レジスタ：INTCR40（CRIC40）　…　304，306
割り込み制御レジスタ：INTCR50（CRIC50）　…　304，307
割り込み制御レジスタ：INTCSI1（CSIIC1）　…　304，307
割り込み制御レジスタ：INTCSI2（CSIIC2）　…　304，307
割り込み制御レジスタ：INTP0（PIC0）　…　304，305
割り込み制御レジスタ：INTP1（PIC1）　…　304，307
割り込み制御レジスタ：INTP2（PIC2）　…　304，306
割り込み制御レジスタ：INTP3（PIC3）　…　304，307
割り込み制御レジスタ：INTTB（TBIC）　…　304，306
割り込み制御レジスタ：INTUDC（UDCIC）　…　304，306
割り込み制御レジスタ：INTW（WIC）　…　304，307
割り込みマスク・フラグ・レジスタ（MK0，MK0L，MK0H，MK1，MK1L，MK1H）　…　308
割り込みモード・コントロール・レジスタ（IMC）　…　309

B.2　レジスタ索引（アルファベット順）

[A]

ADCR　：A/D変換結果レジスタ　…　236
ADIC　：割り込み制御レジスタ（INTAD）　…　304，306
ADM，ADML　：A/Dコンバータ・モード・レジスタ　…　237
AMPC　：アンプ・コントロール・レジスタ　…　254
AMPM0　：アンプ・モード・レジスタ0　…　255
AMPM1　：アンプ・モード・レジスタ1　…　256

[C]

CC　：クロック・コントロール・レジスタ　…　68
CLOM　：クロック出力モード・レジスタ　…　295
CLRIC1　：割り込み制御レジスタ（INTCLR1）　…　304，305
CPT0H　：FRCキャプチャ・レジスタ0H　…　204
CPT0L　：FRCキャプチャ・レジスタ0L　…　204
CPT1H　：FRCキャプチャ・レジスタ1H　…　204
CPT1L　：FRCキャプチャ・レジスタ1L　…　204
CPT2H　：FRCキャプチャ・レジスタ2H　…　204
CPT2L　：FRCキャプチャ・レジスタ2L　…　204
CPT30　：タイマ3キャプチャ・レジスタ0　…　172
CPT3H　：FRCキャプチャ・レジスタ3H　…　204
CPT3L　：FRCキャプチャ・レジスタ3L　…　204
CPT4H　：FRCキャプチャ・レジスタ4H　…　204
CPT4L　：FRCキャプチャ・レジスタ4L　…　204
CPT5H　：FRCキャプチャ・レジスタ5H　…　204
CPT5L　：FRCキャプチャ・レジスタ5L　…　204
CPTIC1　：割り込み制御レジスタ（INTCPT1）　…　304，306
CPTIC2　：割り込み制御レジスタ（INTCPT2）　…　304，305
CPTIC3　：割り込み制御レジスタ（INTCPT3）　…　304，305
CPTM　：キャプチャ・モード・レジスタ　…　196，207，331
CR00　：タイマ0コンペア・レジスタ0　…　149
CR01　：タイマ0コンペア・レジスタ1　…　149
CR02　：タイマ0コンペア・レジスタ2　…　149
CR10　：タイマ1コンペア・レジスタ0　…　175，177
CR11　：タイマ1コンペア・レジスタ1　…　175，179
CR12　：タイマ1コンペア・レジスタ2　…　175，179

保守／廃止

CR13　：タイマ１コンペア・レジスタ３　…　175，180
CR20　：タイマ２コンペア・レジスタ０　…　214
CR30　：タイマ３コンペア・レジスタ０　…　172
CR31　：タイマ３コンペア・レジスタ１　…　172
CR40　：タイマ４キャプチャ／コンペア・レジスタ０　…　216
CR41　：タイマ４キャプチャ・レジスタ１　…　216
CR50　：タイマ５コンペア・レジスタ　…　219
CRC　：キャプチャ／コンペア・コントロール・レジスタ　…　218
CRIC00　：割り込み制御レジスタ（INTCR00）　…　304，305
CRIC01　：割り込み制御レジスタ（INTCR01）　…　304，305
CRIC02　：割り込み制御レジスタ（INTCR02）　…　304，306
CRIC10　：割り込み制御レジスタ（INTCR10）　…　304，305
CRIC11　：割り込み制御レジスタ（INTCR11）　…　304，306
CRIC12　：割り込み制御レジスタ（INTCR12）　…　304，305
CRIC13　：割り込み制御レジスタ（INTCR13）　…　304，307
CRIC20　：割り込み制御レジスタ（INTCR20）　…　304，306
CRIC30　：割り込み制御レジスタ（INTCR30）　…　304，307
CRIC40　：割り込み制御レジスタ（INTCR40）　…　304，306
CRIC50　：割り込み制御レジスタ（INTCR50）　…　304，307
CSIC2　：シリアル・コントロール・レジスタ２　…　133
CSIIC1　：割り込み制御レジスタ（INTCSI1）　…　304，307
CSIIC2　：割り込み制御レジスタ（INTCSI2）　…　304，307
CSIM1　：シリアル・モード・レジスタ１　…　122
CSIM2　：シリアル・モード・レジスタ２　…　132
CTLM　：ゲイン・コントロール・レジスタ　…　258

[E]

EC　：イベント・カウンタ　…　149，151
ECC0　：イベント・カウンタ・コンペア・レジスタ０　…　151
ECC1　：イベント・カウンタ・コンペア・レジスタ１　…　151
ECC2　：イベント・カウンタ・コンペア・レジスタ２　…　151
ECC3　：イベント・カウンタ・コンペア・レジスタ３　…　151
EDV　：イベント・ディバイダ・カウンタ　…　171
EDVC　：イベント・ディバイダ・コントロール・レジスタ　…　190

[F]

FRCH　：フリー・ランニング・カウンタ（ビット16－21）　…　204

保守／廃止

FRCL　：フリー・ランニング・カウンタ（ビット0-15）　…　204

[H]

HAPC　：ヘッド・アンプ・スイッチ出力コントロール・レジスタ　…　117, 164

HW0　：ハードウエア時計カウンタ0　…　283, 286

HW1　：ハードウエア時計カウンタ1　…　283, 286

[I]

ICR　：入力コントロール・レジスタ　…　161

IMC　：割り込みモード・コントロール・レジスタ　…　309

IMS　：内部メモリ容量選択レジスタ　…　43, 416

INTM0　：外部割り込みモード・レジスタ　…　217, 326

INTM1　：外部キャプチャ・モード・レジスタ1　…　191, 230, 329

INTM2　：外部キャプチャ・モード・レジスタ2　…　197, 208, 330

ISPR　：インサービス・プライオリティ・レジスタ　…　310

[K]

KEYC　：キー割り込みコントロール・レジスタ　…　334, 383

[M]

MK0, MK0L, MK0H, MK1, MK1L, MK1H　：割り込みマスク・フラグ・レジスタ　…　308

MM　：実行速度選択レジスタ　…　32

[O]

OSTS　：発振安定時間指定レジスタ　…　70, 382

[P]

P0　：ポート0　…　78

P0H　：ポート0バッファ・レジスタH　…　105

P0L　：ポート0バッファ・レジスタL　…　105

P4　：ポート4　…　81

P5　：ポート5　…　83

P6　：ポート6　…　85

P7　：ポート7　…　91

P8　：ポート8　…　92

P8L　：ポート8バッファ・レジスタL　…　113

保守／廃止

P9　：ポート９ … 97
PCS　：CPUクロック・ステータス・レジスタ … 70, 382
PIC0　：割り込み制御レジスタ（INTP0） … 304, 305
PIC1　：割り込み制御レジスタ（INTP1） … 304, 307
PIC2　：割り込み制御レジスタ（INTP2） … 304, 306
PIC3　：割り込み制御レジスタ（INTP3） … 304, 307
PM0　：ポート０モード・レジスタ … 79
PM4　：ポート４モード・レジスタ … 82
PM5　：ポート５モード・レジスタ … 84
PM6　：ポート６モード・レジスタ … 88
PM8　：ポート８モード・レジスタ … 95
PM9　：ポート９モード・レジスタ … 98
PMC6　：ポート６モード・コントロール・レジスタ … 89, 226, 285, 287
PMC8　：ポート８モード・コントロール・レジスタ … 95, 111
PSW　：プログラム・ステータス・ワード … 44, 311
PUOH　：プルアップ抵抗オプション・レジスタH … 96, 98
PUOL　：プルアップ抵抗オプション・レジスタL … 80, 82, 84, 90, 134, 327
PWM0　：PWM0モジュロ・レジスタ … 221
PWM1　：PWM1モジュロ・レジスタ … 221
PWM2　：PWM2モジュロ・レジスタ … 224
PWM3　：PWM3モジュロ・レジスタ … 224
PWM4　：PWM4モジュロ・レジスタ … 224
PWM5　：PWM5モジュロ・レジスタ … 221
PWMC0　：PWMコントロール・レジスタ０ … 225
PWMC1　：PWMコントロール・レジスタ１ … 226

[R]

RTPC　：リアルタイム出力ポート０コントロール・レジスタ … 79, 106

[S]

SIO1　：シリアル・シフト・レジスタ１ … 121
SIO2　：シリアル・シフト・レジスタ２ … 131
STBC　：スタンバイ・コントロール・レジスタ … 69, 380

[T]

TBIC　：割り込み制御レジスタ（INTTB） … 304, 306
TM0　：タイマ・レジスタ０ … 149, 156

保守／廃止

TM1　：タイマ・レジスタ１　…　169，175
TM2　：タイマ・レジスタ２　…　214
TM3　：タイマ・レジスタ３　…　170，172
TM4　：タイマ・レジスタ４　…　216
TM5　：タイマ・レジスタ５　…　219
TMC0　：タイマ・コントロール・レジスタ０　…　162，193
TMC1　：タイマ・コントロール・レジスタ１　…　206，215
TMC2　：タイマ・コントロール・レジスタ２　…　218，220，328
TMC3　：タイマ・コントロール・レジスタ３　…　192
TMC4　：タイマ・コントロール・レジスタ４　…　231
TOC0　：タイマ０出力コントロール・レジスタ　…　163
TOC1　：タイマ１出力コントロール・レジスタ　…　195
TOM0　：タイマ０出力モード・レジスタ　…　163
TOM1　：タイマ１出力モード・レジスタ　…　194，257
TRGS0　：トリガ・ソース選択レジスタ０　…　112
TRGS1　：トリガ・ソース選択レジスタ１　…　246

[U]

UDC　：アップ／ダウン・カウンタ・カウント・レジスタ　…　227
UDCC　：アップ／ダウン・カウンタ・コンペア・レジスタ　…　227
UDCIC　：割り込み制御レジスタ（INTUDC）　…　304，306

[W]

WIC　：割り込み制御レジスタ（INTW）　…　304，307
WM　：時計モード・レジスタ　…　284，288，336，384

保守／廃止

付録C　改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

版　数	前版からの改版内容	適用箇所
第2版	μPD78P4916KL-T（100ピン・セラミックWQFN（14×20 mm））を追加	全　　般
	μPD78P4916の内部ROM最終アドレスをF7FFH→F6FFHに変更	
	図3-5　内部メモリ容量選択レジスタ（IMS）のフォーマットを変更	第3章　CPU機能
	図4-7　スタンバイ・コントロール・レジスタ（STBC）のフォーマットを変更	第4章　クロック発生回路
	図8-28　EDVのカウント動作を追加	第8章　スーパ・タイマ・ユニット
	図8-48　イベント・ディバイダ・コントロール・レジスタ（EDVC）のフォーマットを追加	
	図10-2　アンプ・コントロール・レジスタ（AMPC）のフォーマットを変更	第10章　VTR用アナログ回路
	図10-11　台形波生成ブロックの端子接続を変更	
	図10-12　RECモード動作タイミング例を変更	
	図10-13　再書き込みモード動作タイミング例を変更	
	10.9　ロジック入力バッファの動作制御を追加	
	10.10　アナログ回路未使用時の端子処理を追加	
	11.4.3　注意事項にBUZ出力をP61端子に重畳させる場合の注意事項を追加	第11章　時計機能
	図14-3　スタンバイ・コントロール・レジスタ（STBC）のフォーマットを変更	第14章　スタンバイ機能
	図17-1　内部メモリ容量選択レジスタ（IMS）のフォーマットを変更	第17章　μPD78P4916
	17.3　消去方法（μPD78P4916KL-Tのみ）を追加	
	17.4　消去用窓のシールについて（μPD78P4916KL-Tのみ）を追加	
	付録A　開発ツールにSM78KIVの記述を追加	付録A　開発ツール
	付録B　組み込み用ソフトウエアにMX78KIVの記述を追加	付録B　組み込み用ソフトウエア

保守／廃止

版　数	前版からの改版内容	適用箇所
第3版	μPD784915A, 784916Aの追加。μPD784915, 78P4916は開発済み	全　　般
	μPD78P4916KL-T（100ピン・セラミックWQFN（14×20 mm））を削除	
	リアルタイムOSを削除	
	図3-3　μPD784916Aのメモリ・マップを追加	第3章　CPU機能
	4.3　クロック発生回路の動作を追加	第4章　クロック発生回路
	4.4　注意事項に(4)を追加	
	図4-4　クロック・コントロール・レジスタ（CC）のフォーマットを修正	
	図4-5　スタンバイ・コントロール・レジスタ（STBC）のフォーマットを修正	
	図6-10　ポート8バッファ・レジスタL（P8L）のフォーマットに表を追加	第6章　リアルタイム出力ポート（RTP）
	図6-13　HASW/ROT-C発生回路の構成を変更	
	図7-11　シリアル・コントロール・レジスタ2(CSIC2)のフォーマットに注意文を追加	第7章　シリアル・インタフェース
	図7-20　ビジィ,ストローブ制御付きのデータ転送タイミング(ビジィ：ハイ・アクティブ）に注意文を追加	
	図8-5　VHS用ヘッド・スイッチング信号作成時の動作タイミングを変更	第8章　スーパ・タイマ・ユニット
	図8-74　タイマ・コントロール・レジスタ2（TMC2）のフォーマットを修正	
	図8-77　タイマ・コントロール・レジスタ2（TMC2）のフォーマットを修正	
	図10-10　RECCTLドライバのブロック図を修正	第10章　VTR用アナログ回路
	図10-15　DPFG分離回路（3値分離回路）の追加	
	10.4.2　DFGアンプに注を追加	
	図13-12　外部割り込み要求端子入力のノイズ除去に図を追加	第13章　割り込み機能
	図13-15　タイマ・コントロール・レジスタ2（TMC2）のフォーマットを修正	
	図13-40　データ・パターン識別モードのアドレシングとデータ設定を追加	
	表13-10　マクロ・サービス処理時間を修正	
	図14-2　スタンバイ機能のブロック図を修正	第14章　スタンバイ機能
	図14-3　スタンバイ・コントロール・レジスタ(STBC）のフォーマットを修正	
	14.2.1　スタンバイ・コントロール・レジスタ（STBC）に注意文を追加	
	14.6.2　低消費電力モードへの設定を追加	
	図14-13　メイン・システム・クロック動作への復帰タイミングを修正	
	図16-1　ソフトウエア・ディジタル・サーボ系のブロックを修正	第16章　応用例
	図17-1　内部メモリ容量選択レジスタ（IMS）のフォーマットを変更	第17章　μPD78P4916
	付録A　開発ツールにNQPACK100RBを追加	付録A　開発ツール

保守／廃止

版　数	前版からの改版内容	適用箇所
第4版	・IMSやリセットに関する注意文を追加 ・μPD784915A，784916A…「開発中」を「開発済み」に変更	全　　般
	3.1　メモリ空間に注意文を追加	第3章　CPU機能
	3.2　内部ROM領域　μPD784916Aの内部ROM領域を変更	
	図3-3　μPD784916Aのメモリ・マップを修正	
	図3-4　μPD78P4916のメモリ・マップにIMSの注意文を追加	
	3.3　内部データ領域に注意文を追加	
	図3-6　内部メモリ容量選択レジスタ（IMS）のフォーマットに注意文を追加	
	3.5.4　スタック・ポインタ（SP）に注意文を追加	
	表3-6　特殊機能レジスタ（SFR）一覧にIMSの注意文を追加	
	4.3.4　クロック分周回路に注意文を追加	第4章　クロック発生回路
	図8-49　タイマ・コントロール・レジスタ3（TMC3）のフォーマットに注意文を追加	第8章　スーパ・タイマ・ユニット
	図8-53　キャプチャ・モード・レジスタ（CPTM）のフォーマットに注意文を追加	
	図8-62　キャプチャ・モード・レジスタ（CPTM）のフォーマットに注意文を追加	
	10.3.2　波形整形回路を修正	第10章　VTRアナログ回路
	図13-18　キャプチャ・モード・レジスタ（CPTM）のフォーマットに注意文を追加	第13章　割り込み機能
	13.11　割り込み要求およびマクロ・サービスが一時的に保留される場合を修正	
	図17-1　内部メモリ容量選択レジスタ（IMS）のフォーマットに注意文を追加	第17章　μPD78P4916
	図A-6　YQPACK100RB（プローブ側）外形図（参考）（単位：mm）を追加	付録A　開発ツール

保守／廃止

お問い合わせは，最寄りのNECへ

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京	(03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 名古屋	(052)222-2170 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 大阪 大阪	(06) 945-3178 (06) 945-3200 (06) 945-3208

北海道支社	札幌 (011)231-0161	太田支店	太田 (0276)46-4011	富山支店	富山 (0764)31-8461
東北支社	仙台 (022)267-8740	宇都宮支店	宇都宮 (028)621-2281	三重支店	津 (0592)25-7341
岩手支店	盛岡 (019)651-4344	小山支店	小山 (0285)24-5011	京都支社	京都 (075)344-7824
山形支店	山形 (0236)23-5511	長野支社	松本 (0263)35-1662	神戸支社	神戸 (078)333-3854
郡山支店	郡山 (0249)23-5511	甲府支店	甲府 (0552)24-4141	中国支社	広島 (082)242-5504
いわき支店	いわき (0246)21-5511	埼玉支社	大宮 (048)641-1411	鳥取支店	鳥取 (0857)27-5311
長岡支店	長岡 (0258)36-2155	立川支社	立川 (0425)26-5981	岡山支店	岡山 (086)225-4455
土浦支店	土浦 (0298)23-6161	千葉支社	千葉 (043)238-8116	四国支社	高松 (0878)36-1200
水戸支店	水戸 (029)226-1717	静岡支社	静岡 (054)255-2211	新居浜支店	新居浜 (0897)32-5001
神奈川支社	横浜 (045)324-5524	北陸支社	金沢 (0762)23-1621	松山支店	松山 (089)945-4149
群馬支店	高崎 (0273)26-1255	福井支店	福井 (0776)22-1866	九州支社	福岡 (092)271-7700

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎	(044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京	(03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋	(052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪	(06) 945-3383	

保守／廃止

アンケート記入のお願い

お手数ですが，このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

［ドキュメント名］μPD784915サブシリーズ　ユーザーズ・マニュアル　ハードウエア編
（U10444JJ4V0UM00（第4版））

［お名前など］（さしつかえのない範囲で）

御社名（学校名，その他）（　　）
ご住所（　　）
お電話番号（　　）
お仕事の内容（　　）
お名前（　　）

1．ご評価（各欄に○をご記入ください）

項　　目	大変良い	良　い	普　通	悪　い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン，字の大きさなど					
その他（　　）					
（　　）					

2．わかりやすい所（第　章，第　章，第　章，第　章，その他　　）
理由［　　］

3．わかりにくい所（第　章，第　章，第　章，第　章，その他　　）
理由［　　］

4．ご意見，ご要望

5．このドキュメントをお届けしたのは
NEC販売員，特約店販売員，NEC半導体ソリューション技術本部員，
その他（　　）

ご協力ありがとうございました。
下記あてにFAXで送信いただくか，最寄りの販売員にコピーをお渡しください。

NEC半導体インフォメーションセンター
FAX：（044）548-7900

キリトリ