

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

μPD784054

16 ビット・シングルチップ・マイクロコンピュータ
ハードウェア編

μPD784054

μPD784054(A)

μPD784054(A1)

μPD784054(A2)

[メモ]

目次要約

第1章	概 説	...	31
第2章	端子機能	...	42
第3章	CPUアーキテクチャ	...	56
第4章	クロック発生回路	...	88
第5章	ポート機能	...	98
第6章	タイマの概説	...	159
第7章	タイマ0	...	162
第8章	タイマ1	...	191
第9章	タイマ4	...	215
第10章	ウォッチドッグ・タイマ	...	234
第11章	A/Dコンバータ	...	240
第12章	アシンクロナス・シリアル・インタフェース/3線式シリアルI/O	...	264
第13章	エッジ検出機能	...	304
第14章	割り込み機能	...	313
第15章	ローカル・バス・インタフェース機能	...	377
第16章	スタンバイ機能	...	405
第17章	リセット機能	...	423
第18章	μ PD78F4046	...	429
第19章	命令のオペレーション	...	435
第20章	電気的特性 (μ PD784054)	...	470
第21章	電気的特性 (μ PD784054(A))	...	476
第22章	電気的特性 (μ PD784054(A1))	...	482
第23章	電気的特性 (μ PD784054(A2))	...	488
第24章	タイミング・チャート	...	494
第25章	外形図	...	499
第26章	半田付け推奨条件	...	500
第27章	開発ツール使用上の注意事項	...	501
付 録		...	502

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIP, IEBusは、NECエレクトロニクス株式会社の登録商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

イーサネットは、米国ゼロックス社の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品が外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際には日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2005年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

- （1）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- （2）本事項において使用されている「当社製品」とは、（1）において定義された当社の開発、製造製品をいう。

本版で改訂された主な箇所

箇 所	内 容
U11719JJ2V0UD00 U11719JJ3V0UD00	
p.31 p.32	第1章 概 説 ・ μ PD78F4046 開発中 開発済み ・ 78K/IVシリーズ製品展開図 更新
p.54	第2章 端子機能 表2 - 4 各端子の入出力回路タイプと未使用端子の処理 BWD端子の記述を追加
p.299	第12章 アシクロナス・シリアル・インタフェース/3線式シリアルI/O 12.5 注意事項 UART送信時のスタート・ビットに関する注意を追加
p.406 p.421	第16章 スタンバイ機能 ・ 図16 - 1 スタンバイ・モードの遷移図 修正 ・ 16.6 (5) A/Dコンバータ 記述変更
p.430 p.432	第18章 μPD78F4046 ・ Flashpro IIIの記述追加 ・ 18.3 注意事項 注意事項を追加
p.470	第20章 電気的特性 (μPD784054) 追加
p.476	第21章 電気的特性 (μPD784054(A)) 追加
p.482	第22章 電気的特性 (μPD784054(A1)) 追加
p.488	第23章 電気的特性 (μPD784054(A2)) 追加
p.494	第24章 タイミング・チャート 追加
p.499	第25章 外形図 追加
p.500	第26章 半田付け推奨条件 追加
p.502 p.505, 506 p.506 p.507, 508 p.509 p.510 p.514	付録A 開発ツール ・ ホスト・マシン, OSについての記述追加 ・ A.1 言語処理用ソフトウェア SP78K4の記述追加, 備考の内容変更 ・ A.2 フラッシュ・メモリ書き込み用ツール Flashpro IIIの記述追加 ・ A.3.1 ハードウェア 記述の追加と変更 ・ A.3.2 ソフトウェア 備考の内容変更 ・ A.4 ターゲット・システム設計上の注意 追加
p.514	付録B 組み込み用ソフトウェア 記述変更
U11719JJ3V0UD00 U11719JJ3V1UD00	
p.33	1.2 オーダ情報 を変更
p.34	1.3 品質水準 を変更
p.500	表26 - 1 表面実装タイプの半田付け条件 (2) を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

はじめに

対象者 このマニュアルは、 μ PD784054の機能を理解し、その応用システムを設計するユーザのエンジニアを対象とします。

対象製品は次に示すとおりです。

- ・標準品： μ PD784054
- ・特別品： μ PD784054(A), (A1), (A2)

目的 このマニュアルは、 μ PD784054の持つ各種ハードウェア機能を理解していただくことを目的とします。

構成 μ PD784054のマニュアルは、ハードウェア編（このマニュアル）と命令編の2冊に分かれています。

ハードウェア編

端子機能
内部ブロック機能
割り込み
その他の内蔵周辺機能
電気的特性

命令編

CPU機能
アドレッシング
命令セット

この製品には使用上の注意事項があります。

各章の本文中の該当箇所と各章の最後（まとめ）にそれらの注意事項を示しますので、必ずお読みください。

読み方 このマニュアルを読むにあたっては、電気、論理回路およびマイクロコンピュータの一通りの知識を必要とします。

μ PD784054(A), 784054(A1), 784054(A2)のマニュアルとしてお使いの方へ

このマニュアルでは、 μ PD784054を代表品種として説明しています。したがって、 μ PD784054(A), 784054(A1), 784054(A2)のユーザズ・マニュアルとしてお使いの場合は、 μ PD784054をそれぞれの製品名に読み替えてご使用ください。なお、各製品の違いについては、1.8 μ PD784054と μ PD784046サブシリーズ製品との違い、1.9 μ PD784054と μ PD784054(A)の違い、1.10 μ PD784054(A), 784054(A1), 784054(A2)の違いを参照してください。

このマニュアル中の使用例は、一般電子機器用の『標準』品質水準品用に作成してあります。
『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質水準についてご検討のうえご使用ください。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

デバッグをしていて、おかしい動作をしているとき

各章末に注意事項がまとめてありますので、関連する機能の注意事項を参照してみてください。

一通り機能を理解しようとするとき

目次に従って読んでください。

命令機能の詳細を知りたいとき

別冊の78K/ シリーズ ユーザーズ・マニュアル 命令編 (U10905J) を参照してください。

電気的特性を知りたいとき

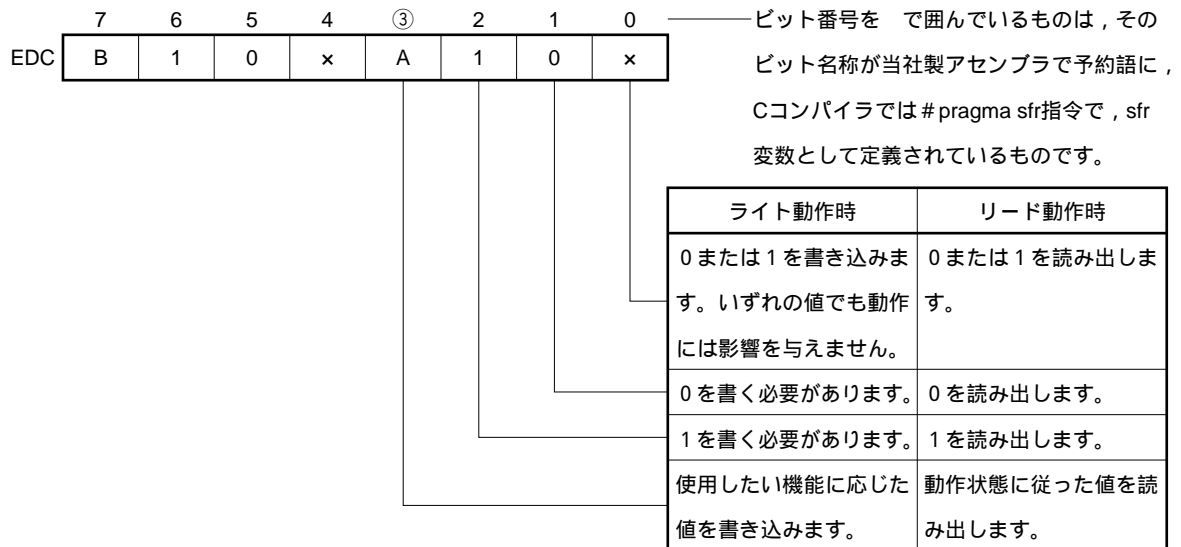
各電気的特性の章を参照してください。

各種機能の応用例を知りたいとき

別冊のアプリケーション・ノートを参照してください。

凡 例	データ表記の重み	: 左側が上位桁, 右側が下位桁
	アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 特に気をつけていただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... $\text{xxx} \times \text{B}$ または $\text{xxx} \times$
		: 10進数... $\text{xxx} \times$
		: 16進数... $\text{xxx} \times \text{H}$

レジスタ表記



本文中のレジスタ表記に「設定禁止」と書いてあるコードの組み合わせは、絶対に書き込まないでください。

まぎらわしい文字 : 0 (ゼロ), O (オー)
 : 1 (イチ), l (エル), I (アイ)

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μPD784054 ユーザーズ・マニュアル ハードウェア編	このマニュアル	U11719E
78K/ シリーズ アプリケーション・ノート ソフトウェア基礎編	U10095J	U10095E
78K/ シリーズ ユーザーズ・マニュアル 命令編	U10905J	U10905E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
RA78K4 アセンブラ・パッケージ	操作編	U15254J U15254E
	言語編	U15255J U15255E
	構造化アセンブラ・プリプロセッサ	U11743J U11743E
CC78K4 Cコンパイラ	操作編	U15557J U15557E
	言語編	U15556J U15556E
SM78Kシリーズ Ver.2.30以上 システム・シミュレータ	操作編 (Windows®ベース)	U15373J U15373E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J U15802E
ID78Kシリーズ 統合ディバッガ Ver.2.30以上	操作編 (Windowsベース)	U15185J U15185E
RX78K4 リアルタイムOS	基礎編	U10603J U10603E
	インストール編	U10604J U10604E
	ディバッガ編	U10364J -
プロジェクト・マネージャ Ver.3.12以上 (Windowsベース)	U14610J U14610E	

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K4-NS インサーキット・エミュレータ	U13356J	U13356E
IE-784046-NS-EM1 エミュレーション・ボード	U13744J	U13744E
IE-784000-R インサーキット・エミュレータ	U12903J	U12903E
IE-784046-R-EM1 エミュレーション・ボード	U11677J	U11677E

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注 「半導体デバイス実装マニュアル」のホームページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ...	31
1.1 特 徴 ...	33
1.2 オーダ情報 ...	33
1.3 品質水準 ...	34
1.4 端子接続図 (Top View) ...	35
1.5 応用システム構成例 (PPC) ...	37
1.6 ブロック図 ...	38
1.7 機能一覧 ...	39
1.8 μ PD784054と μ PD784046サブシリーズ製品との違い ...	40
1.9 μ PD784054と μ PD784054(A)の違い ...	40
1.10 μ PD784054(A), 784054(A1), 784054(A2)の違い ...	41
第2章 端子機能 ...	42
2.1 端子機能一覧 ...	42
2.2 端子機能説明 ...	46
2.3 端子の入出力回路と未使用端子の処理 ...	54
第3章 CPUアーキテクチャ ...	56
3.1 メモリ空間 ...	56
3.2 内部ROM領域 ...	58
3.3 ベース領域 ...	58
3.3.1 ベクタ・テーブル領域 ...	59
3.3.2 CALLT命令テーブル領域 ...	60
3.3.3 CALLF命令エントリ領域 ...	60
3.4 内部データ領域 ...	61
3.4.1 内部RAM領域 ...	61
3.4.2 特殊機能レジスタ (SFR) 領域 ...	64
3.4.3 外部SFR領域 ...	64
3.5 外部メモリ空間 ...	64
3.6 制御レジスタ ...	65
3.6.1 プログラム・カウンタ (PC) ...	65
3.6.2 プログラム・ステータス・ワード (PSW) ...	65
3.6.3 RSSビットの使用方法 ...	69
3.6.4 スタック・ポインタ (SP) ...	72
3.7 汎用レジスタ ...	76
3.7.1 構 成 ...	76
3.7.2 機 能 ...	78
3.8 特殊機能レジスタ (SFR) ...	81
3.9 注意事項 ...	87

第4章 クロック発生回路 ... 88

- 4.1 構成と機能 ... 88
- 4.2 制御レジスタ ... 90
 - 4.2.1 スタンバイ・コントロール・レジスタ (STBC) ... 90
 - 4.2.2 発振安定時間指定レジスタ (OSTS) ... 92
- 4.3 クロック発生回路の動作 ... 93
 - 4.3.1 クロック発振回路 ... 93
 - 4.3.2 分周回路 ... 93
- 4.4 注意事項 ... 94
 - 4.4.1 外部クロックを入力する場合 ... 94
 - 4.4.2 クリスタル/セラミック発振の場合 ... 95

第5章 ポート機能 ... 98

- 5.1 デジタル入出力ポート ... 98
- 5.2 ポート0 ... 100
 - 5.2.1 ハードウェア構成 ... 100
 - 5.2.2 入出力モード/コントロール・モードの設定 ... 101
 - 5.2.3 動作状態 ... 101
 - 5.2.4 内蔵プルアップ抵抗 ... 103
- 5.3 ポート1 ... 105
 - 5.3.1 ハードウェア構成 ... 105
 - 5.3.2 入出力モード/コントロール・モードの設定 ... 106
 - 5.3.3 動作状態 ... 106
- 5.4 ポート2 ... 108
 - 5.4.1 ハードウェア構成 ... 110
 - 5.4.2 入出力モード/コントロール・モードの設定 ... 111
 - 5.4.3 動作状態 ... 113
- 5.5 ポート3 ... 116
 - 5.5.1 ハードウェア構成 ... 118
 - 5.5.2 入出力モード/コントロール・モードの設定 ... 120
 - 5.5.3 動作状態 ... 122
- 5.6 ポート4 ... 125
 - 5.6.1 ハードウェア構成 ... 125
 - 5.6.2 入出力モード/コントロール・モードの設定 ... 126
 - 5.6.3 動作状態 ... 127
 - 5.6.4 内蔵プルアップ抵抗 ... 129
- 5.7 ポート5 ... 131
 - 5.7.1 ハードウェア構成 ... 131
 - 5.7.2 入出力モード/コントロール・モードの設定 ... 132
 - 5.7.3 動作状態 ... 133
 - 5.7.4 内蔵プルアップ抵抗 ... 135
- 5.8 ポート6 ... 137
 - 5.8.1 ハードウェア構成 ... 137
 - 5.8.2 入出力モード/コントロール・モードの設定 ... 138
 - 5.8.3 動作状態 ... 139
 - 5.8.4 内蔵プルアップ抵抗 ... 141

5.9	ポート7	...	143
5.9.1	ハードウェア構成	...	143
5.9.2	注意事項	...	143
5.10	ポート8	...	144
5.10.1	ハードウェア構成	...	144
5.10.2	注意事項	...	144
5.11	ポート9	...	145
5.11.1	ハードウェア構成	...	146
5.11.2	入出力モード/コントロール・モードの設定	...	148
5.11.3	動作状態	...	149
5.11.4	内蔵プルアップ抵抗	...	151
5.12	ポート出力データのチェック機能	...	154
5.13	注意事項	...	157

第6章 タイマの概説 ... 159

第7章 タイマ0 ... 162

7.1	機能	...	162
7.2	構成	...	163
7.3	タイマ0制御レジスタ	...	167
7.4	タイマ・レジスタ0 (TM0) の動作	...	170
7.4.1	基本動作	...	170
7.4.2	クリア動作	...	172
7.5	キャプチャ/コンペア・レジスタの動作	...	174
7.5.1	コンペア動作	...	174
7.5.2	キャプチャ動作	...	176
7.6	出力制御回路の基本動作	...	178
7.6.1	基本動作	...	180
7.6.2	トグル出力	...	180
7.6.3	セット/リセット出力	...	181
7.7	使用例	...	182
7.7.1	インターバル・タイマとしての動作	...	182
7.7.2	パルス幅測定としての動作	...	185
7.8	注意事項	...	188

第8章 タイマ1 ... 191

8.1	機能	...	191
8.2	構成	...	191
8.3	タイマ1制御レジスタ	...	194
8.4	タイマ・レジスタ1 (TM1) の動作	...	197
8.4.1	基本動作	...	197
8.4.2	クリア動作	...	199
8.5	コンペア・レジスタの動作	...	201
8.6	出力制御回路の基本動作	...	204
8.6.1	基本動作	...	205
8.6.2	トグル出力	...	205

8.6.3	セット/リセット出力	...	206
8.7	使用例	...	207
8.7.1	インターバル・タイマとしての動作(1)	...	207
8.7.2	インターバル・タイマとしての動作(2)	...	210
8.8	注意事項	...	212
第9章	タイマ4	...	215
9.1	機能	...	215
9.2	構成	...	215
9.3	タイマ4制御レジスタ	...	218
9.4	タイマ・レジスタ4(TM4)の動作	...	220
9.4.1	基本動作	...	220
9.4.2	クリア動作	...	222
9.5	コンペア・レジスタの動作	...	224
9.6	使用例	...	226
9.6.1	インターバル・タイマとしての動作(1)	...	226
9.6.2	インターバル・タイマとしての動作(2)	...	229
9.7	注意事項	...	231
第10章	ウォッチドッグ・タイマ	...	234
10.1	構成	...	234
10.2	ウォッチドッグ・タイマ・モード・レジスタ(WDM)	...	235
10.3	動作	...	237
10.3.1	カウント動作	...	237
10.3.2	割り込み優先順位	...	237
10.4	注意事項	...	238
10.4.1	ウォッチドッグ・タイマ使用時の一般的な注意事項	...	238
10.4.2	μPD784054のウォッチドッグ・タイマに関する注意事項	...	239
第11章	A/Dコンバータ	...	240
11.1	構成	...	240
11.2	A/Dコンバータ・モード・レジスタ(ADM)	...	244
11.3	A/D変換結果レジスタ(ADCR0-ADCR7)	...	247
11.4	動作	...	249
11.4.1	A/Dコンバータの基本動作	...	249
11.4.2	セレクト・モード	...	253
11.4.3	スキャン・モード	...	255
11.4.4	ソフトウエア・スタートによるA/D変換動作の起動	...	257
11.4.5	ハードウエア・スタートによるA/D変換動作の起動	...	259
11.5	A/Dコンバータの外付け回路	...	262
11.6	注意事項	...	262

第12章	アシンクロナス・シリアル・インタフェース/ 3線式シリアルI/O	... 264
12.1	アシンクロナス・シリアル・インタフェース・モードと 3線式シリアルI/Oモードの切り替え	... 265
12.2	アシンクロナス・シリアル・インタフェース・モード	... 266
12.2.1	アシンクロナス・シリアル・インタフェース・ モード時の構成	... 266
12.2.2	アシンクロナス・シリアル・インタフェース制御レジスタ	... 269
12.2.3	データ・フォーマット	... 273
12.2.4	パリティの種類と動作	... 274
12.2.5	送信	... 275
12.2.6	受信	... 276
12.2.7	受信エラー	... 277
12.2.8	マクロ・サービスを使ってデータを送信/受信する	... 278
12.3	3線式シリアルI/Oモード	... 280
12.3.1	3線式シリアルI/Oモード時の構成	... 280
12.3.2	クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1, CSIM2)	... 283
12.3.3	基本動作タイミング	... 284
12.3.4	送信のみ許可の場合の動作	... 286
12.3.5	受信のみ許可の場合の動作	... 287
12.3.6	送受信許可の場合の動作	... 288
12.3.7	シリアル・クロックとシフト動作がずれた場合の処置方法	... 289
12.4	ポー・レート・ジェネレータ	... 289
12.4.1	ポー・レート・ジェネレータの構成	... 289
12.4.2	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2)	... 291
12.4.3	ポー・レート・ジェネレータの動作	... 293
12.4.4	アシンクロナス・シリアル・インタフェース・モード時の ポー・レートの設定方法	... 295
12.5	注意事項	... 298
第13章	エッジ検出機能	... 304
13.1	エッジ検出機能の制御レジスタ	... 304
13.1.1	外部割り込みモード・レジスタ (INTM0, INTM1)	... 304
13.1.2	割り込み有効エッジ・フラグ・レジスタ (IEF1, IEF2)	... 307
13.1.3	ノイズ・プロテクション・コントロール・レジスタ (NPC)	... 309
13.2	P20端子のエッジ検出	... 310
13.3	P21-P27端子のエッジ検出	... 311
13.4	注意事項	... 312
第14章	割り込み機能	... 313
14.1	割り込み要求ソース	... 314
14.1.1	ソフトウェア割り込み	... 316
14.1.2	オペランド・エラー割り込み	... 316

14.1.3	ノンマスカブル割り込み	...	316
14.1.4	マスカブル割り込み	...	316
14.2	割り込み処理モード	...	317
14.2.1	ベクタ割り込み処理	...	317
14.2.2	マクロ・サービス	...	317
14.2.3	コンテキスト・スイッチング	...	317
14.3	割り込み処理制御レジスタ	...	318
14.3.1	割り込み制御レジスタ	...	320
14.3.2	割り込みマスク・レジスタ (MK0, MK1)	...	325
14.3.3	インサービス・プライオリティ・レジスタ (ISPR)	...	327
14.3.4	割り込みモード・コントロール・レジスタ (IMC)	...	328
14.3.5	ウォッチドッグ・タイマ・モード・レジスタ (WDM)	...	329
14.3.6	プログラム・ステータス・ワード (PSW)	...	330
14.4	ソフトウェア割り込みの受け付け動作	...	330
14.4.1	BRK命令によるソフトウェア割り込みの受け付け動作	...	330
14.4.2	BRKCS命令によるソフトウェア割り込み (ソフトウェア・コンテキスト・スイッチング) の受け付け動作	...	331
14.5	オペランド・エラー割り込みの受け付け動作	...	332
14.6	ノンマスカブル割り込みの受け付け動作	...	333
14.7	マスカブル割り込みの受け付け動作	...	337
14.7.1	ベクタ割り込み	...	339
14.7.2	コンテキスト・スイッチング	...	339
14.7.3	マスカブル割り込みの優先順位	...	341
14.8	マクロ・サービス機能	...	347
14.8.1	マクロ・サービスの概要	...	347
14.8.2	マクロ・サービスの種類	...	347
14.8.3	マクロ・サービスの基本動作 (CPU監視モード 0, 1 を除く)	...	351
14.8.4	マクロ・サービス終了時の動作 (CPU監視モード 0, 1 を除く)	...	353
14.8.5	マクロ・サービス制御レジスタ	...	354
14.8.6	マクロ・サービス・モード	...	356
14.8.7	マクロ・サービスの動作	...	356
14.9	割り込み要求およびマクロ・サービスが一時的に保留される場合	...	368
14.10	割り込みおよびマクロ・サービスで一時的に実行が中断される命令	...	370
14.11	割り込みおよびマクロ・サービスの動作タイミング	...	370
14.11.1	割り込みの受け付け処理時間	...	371
14.11.2	マクロ・サービスの処理時間	...	372
14.12	割り込み機能を初期状態に戻す方法	...	373
14.13	注意事項	...	374

第15章 ローカル・バス・インタフェース機能 ... 377

15.1	メモリ拡張機能	...	377
15.1.1	メモリ拡張モード・レジスタ (MM)	...	377
15.1.2	外部メモリ拡張時のメモリ・マップ	...	379
15.1.3	ローカル・バス・インタフェースの基本動作	...	382
15.2	ウェイト機能	...	386

- 15.2.1 ウェイト機能の制御レジスタ ... 386
- 15.2.2 アドレス・ウェイト ... 392
- 15.2.3 アクセス・ウェイト ... 395
- 15.3 **バス・サイジング機能** ... 402
 - 15.3.1 バス幅指定レジスタ (BW) ... 402
- 15.4 **注意事項** ... 404

第16章 **スタンバイ機能** ... 405

- 16.1 **構成と機能** ... 405
- 16.2 **制御レジスタ** ... 408
 - 16.2.1 スタンバイ・コントロール・レジスタ (STBC) ... 408
 - 16.2.2 発振安定時間指定レジスタ (OSTS) ... 410
- 16.3 **HALTモード** ... 412
 - 16.3.1 HALTモードの設定および動作状態 ... 412
 - 16.3.2 HALTモードの解除 ... 412
- 16.4 **STOPモード** ... 415
 - 16.4.1 STOPモードの設定および動作状態 ... 415
 - 16.4.2 STOPモードの解除 ... 416
- 16.5 **IDLEモード** ... 418
 - 16.5.1 IDLEモードの設定および動作状態 ... 418
 - 16.5.2 IDLEモードの解除 ... 419
- 16.6 **STOPモード/IDLEモード使用時のチェック項目** ... 420
- 16.7 **注意事項** ... 422

第17章 **リセット機能** ... 423

- 17.1 **リセット機能** ... 423
- 17.2 **注意事項** ... 428

第18章 **μPD78F4046** ... 429

- 18.1 **μPD78F4046のメモリ・マッピング** ... 429
- 18.2 **μPD78F4046のプログラミング** ... 430
 - 18.2.1 通信方式の選択 ... 431
 - 18.2.2 フラッシュ・メモリ・プログラミングの機能 ... 431
 - 18.2.3 Flashpro /Flashpro の接続 ... 432
- 18.3 **注意事項** ... 432

第19章 **命令のオペレーション** ... 435

- 19.1 **凡 例** ... 435
- 19.2 **オペレーション一覧** ... 439
- 19.3 **アドレッシング別命令一覧** ... 464

★ 第20章 **電気的特性 (μPD784054)** ... 470

★ 第21章 **電気的特性 (μPD784054(A))** ... 476

★	第22章	電気的特性 (μ PD784054(A1))	...	482
★	第23章	電気的特性 (μ PD784054(A2))	...	488
★	第24章	タイミング・チャート	...	494
★	第25章	外形図	...	499
★	第26章	半田付け推奨条件	...	500
	第27章	開発ツール使用上の注意事項	...	501
	付録A	開発ツール	...	502
	A.1	言語処理用ソフトウェア	...	505
	A.2	フラッシュ・メモリ書き込み用ツール	...	506
	A.3	デバッグ用ツール	...	507
		A.3.1 ハードウェア	...	507
		A.3.2 ソフトウェア	...	509
★	A.4	ターゲット・システム設計上の注意	...	510
	A.5	変換ソケット (EV-9200GC-80) の外形図と基板取り付け推奨パターン	...	512
	付録B	組み込み用ソフトウェア	...	514
	付録C	レジスタ索引	...	515
	C.1	レジスタ索引 (50音順)	...	515
	C.2	レジスタ索引 (アルファベット順)	...	519
	付録D	改版履歴	...	523

図の目次 (1/8)

図番号	タイトル, ページ
2 - 1	端子の入出力回路 ... 55
3 - 1	メモリ・マップ ... 57
3 - 2	内部RAMのメモリ・マップ ... 62
3 - 3	プログラム・カウンタ (PC) のフォーマット ... 65
3 - 4	プログラム・ステータス・ワード (PSW) のフォーマット ... 66
3 - 5	スタック・ポインタ (SP) のフォーマット ... 72
3 - 6	スタック領域へ退避されるデータ ... 73
3 - 7	スタック領域から復帰されるデータ ... 74
3 - 8	汎用レジスタのフォーマット ... 76
3 - 9	汎用レジスタのアドレス ... 77
4 - 1	クロック発生回路のブロック図 ... 88
4 - 2	クロック発振回路の外付け回路 ... 89
4 - 3	スタンバイ・コントロール・レジスタ (STBC) のフォーマット ... 91
4 - 4	発振安定時間指定レジスタ (OSTS) のフォーマット ... 92
4 - 5	外部クロック入力時の信号取り出し点 ... 94
4 - 6	発振子の接続の注意点 ... 95
4 - 7	発振子の接続の悪い例 ... 96
5 - 1	ポートの構成 ... 98
5 - 2	ポート0のブロック図 ... 100
5 - 3	ポート0モード・レジスタ (PM0) のフォーマット ... 101
5 - 4	出力ポート指定のポート ... 101
5 - 5	入力ポート指定のポート ... 102
5 - 6	プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット ... 103
5 - 7	プルアップ抵抗の指定 (ポート0) ... 104
5 - 8	ポート1のブロック図 ... 105
5 - 9	ポート1モード・レジスタ (PM1) のフォーマット ... 106
5 - 10	出力ポート指定のポート ... 106
5 - 11	入力ポート指定のポート ... 107
5 - 12	P20 (ポート2) のブロック図 ... 110
5 - 13	P21-P24 (ポート2) のブロック図 ... 110
5 - 14	P25-P27 (ポート2) のブロック図 ... 111
5 - 15	ポート2モード・レジスタ (PM2) のフォーマット ... 111

図の目次 (2/8)

図番号	タイトル, ページ
5 - 16	ポート 2 モード・コントロール・レジスタ (PMC2) のフォーマット ... 112
5 - 17	出力ポート指定のポート ... 113
5 - 18	入力ポート指定のポート ... 114
5 - 19	コントロール指定の場合 ... 115
5 - 20	P30, P31, P33, P36 (ポート 3) のブロック図 ... 118
5 - 21	P32, P35 (ポート 3) のブロック図 ... 118
5 - 22	P34, P37 (ポート 3) のブロック図 ... 119
5 - 23	ポート 3 モード・レジスタ (PM3) のフォーマット ... 120
5 - 24	ポート 3 モード・コントロール・レジスタ (PMC3) のフォーマット ... 121
5 - 25	出力ポート指定のポート ... 122
5 - 26	入力ポート指定のポート ... 123
5 - 27	コントロール指定の場合 ... 124
5 - 28	ポート 4 のブロック図 ... 125
5 - 29	ポート 4 モード・レジスタ (PM4) のフォーマット ... 126
5 - 30	出力ポート指定のポート ... 127
5 - 31	入力ポート指定のポート ... 128
5 - 32	ブルアップ抵抗オプション・レジスタ L (PUOL) のフォーマット ... 129
5 - 33	ブルアップ抵抗の指定 (ポート 4) ... 130
5 - 34	ポート 5 のブロック図 ... 131
5 - 35	ポート 5 モード・レジスタ (PM5) のフォーマット ... 132
5 - 36	出力ポート指定のポート ... 133
5 - 37	入力ポート指定のポート ... 134
5 - 38	ブルアップ抵抗オプション・レジスタ L (PUOL) のフォーマット ... 135
5 - 39	ブルアップ抵抗の指定 (ポート 5) ... 136
5 - 40	ポート 6 のブロック図 ... 137
5 - 41	ポート 6 モード・レジスタ (PM6) のフォーマット ... 138
5 - 42	出力ポート指定のポート ... 139
5 - 43	入力ポート指定のポート ... 140
5 - 44	ブルアップ抵抗オプション・レジスタ L (PUOL) のフォーマット ... 141
5 - 45	ブルアップ抵抗の指定 (ポート 6) ... 142
5 - 46	ポート 7 のブロック図 ... 143
5 - 47	ポート 8 のブロック図 ... 144
5 - 48	P90-P93 (ポート 9) のブロック図 ... 146
5 - 49	P94 (ポート 9) のブロック図 ... 147
5 - 50	ポート 9 モード・レジスタ (PM9) のフォーマット ... 148

図の目次 (3/8)

図番号	タイトル, ページ
5 - 51	ポート9モード・コントロール・レジスタ (PMC9) のフォーマット ... 148
5 - 52	出力ポート指定のポート ... 149
5 - 53	入力ポート指定のポート ... 150
5 - 54	プルアップ抵抗オプション・レジスタH (PUOH) のフォーマット ... 152
5 - 55	プルアップ抵抗の指定 (ポート9) ... 153
5 - 56	ポート・リード・コントロール・レジスタ (PRDC) のフォーマット ... 154
5 - 57	制御概念図 (出力ポート指定時) ... 155
6 - 1	タイマのブロック図 ... 160
7 - 1	タイマ0のブロック図 ... 164
7 - 2	タイマ・ユニット・モード・レジスタ0 (TUM0) のフォーマット ... 167
7 - 3	タイマ・モード・コントロール・レジスタ (TMC) のフォーマット ... 168
7 - 4	タイマ出力コントロール・レジスタ0 (TOC0) のフォーマット ... 168
7 - 5	プリスケラ・モード・レジスタ (PRM) のフォーマット ... 169
7 - 6	タイマ・レジスタ0 (TM0) の基本動作 ... 171
7 - 7	タイマ・レジスタ0 (TM0) のクリア動作 ... 173
7 - 8	コンペア動作 (タイマ0) ... 175
7 - 9	キャプチャ動作 (タイマ0) ... 177
7 - 10	タイマ0のタイマ出力動作のブロック図 ... 179
7 - 11	トグル出力の動作 ... 180
7 - 12	セット/リセット出力の動作 (タイマ0) ... 181
7 - 13	インターバル・タイマ動作のタイミング ... 182
7 - 14	インターバル・タイマ動作における制御レジスタの設定内容 ... 183
7 - 15	インターバル・タイマ動作の設定手順 ... 184
7 - 16	インターバル・タイマ動作の割り込み要求処理 ... 184
7 - 17	パルス幅測定のタイミング ... 185
7 - 18	パルス幅測定における制御レジスタの設定内容 ... 186
7 - 19	パルス幅測定の設定手順 ... 187
7 - 20	パルス幅を算出する割り込み要求処理 ... 187
7 - 21	カウント・スタート時の動作 ... 188
7 - 22	コンペア・レジスタ (CC00-CC03) に0000Hを設定した場合の動作 ... 190
8 - 1	タイマ1のブロック図 ... 192
8 - 2	タイマ・ユニット・モード・レジスタ0 (TUM0) のフォーマット ... 194

図の目次 (4/8)

図番号	タイトル, ページ
8 - 3	タイマ・モード・コントロール・レジスタ (TMC) のフォーマット ... 195
8 - 4	タイマ出力コントロール・レジスタ 1 (TOC1) のフォーマット ... 195
8 - 5	プリスケアラ・モード・レジスタ (PRM) のフォーマット ... 196
8 - 6	タイマ・レジスタ 1 (TM1) の基本動作 ... 198
8 - 7	コンペア・レジスタ (CM10) との一致によるTM1のクリア動作 ... 199
8 - 8	CE1ビットをクリア (0) した場合のTM1のクリア動作 ... 200
8 - 9	コンペア動作 (タイマ 1) ... 202
8 - 10	一致検出後, TM1のクリア ... 203
8 - 11	タイマ 1 のタイマ出力動作のブロック図 ... 204
8 - 12	トグル出力の動作 ... 205
8 - 13	セット/リセット出力の動作 (タイマ 1) ... 206
8 - 14	インターバル・タイマ動作 (1) のタイミング ... 207
8 - 15	インターバル・タイマ動作 (1) における制御レジスタの設定内容 ... 208
8 - 16	インターバル・タイマ動作 (1) の設定手順 ... 209
8 - 17	インターバル・タイマ動作 (1) の割り込み要求処理 ... 209
8 - 18	インターバル・タイマ動作 (2) のタイミング ... 210
8 - 19	インターバル・タイマ動作 (2) における制御レジスタの設定内容 ... 211
8 - 20	インターバル・タイマ動作 (2) の設定手順 ... 211
8 - 21	カウント・スタート時の動作 ... 212
8 - 22	コンペア・レジスタ (CM10, CM11) に0000Hを設定した場合の動作 ... 214
9 - 1	タイマ 4 のブロック図 ... 216
9 - 2	タイマ・モード・コントロール・レジスタ 4 (TMC4) のフォーマット ... 218
9 - 3	プリスケアラ・モード・レジスタ 4 (PRM4) のフォーマット ... 219
9 - 4	タイマ・レジスタ 4 (TM4) の基本動作 ... 221
9 - 5	コンペア・レジスタ (CM40, CM41) との一致によるTM4のクリア動作 ... 222
9 - 6	CE4ビットをクリア (0) した場合のTM4のクリア動作 ... 223
9 - 7	コンペア動作 (タイマ 4) ... 225
9 - 8	一致検出後, TM4のクリア ... 225
9 - 9	インターバル・タイマ動作 (1) のタイミング ... 226
9 - 10	インターバル・タイマ動作 (1) における制御レジスタの設定内容 ... 227
9 - 11	インターバル・タイマ動作 (1) の設定手順 ... 228
9 - 12	インターバル・タイマ動作 (1) の割り込み要求処理 ... 228
9 - 13	インターバル・タイマ動作 (2) のタイミング ... 229
9 - 14	インターバル・タイマ動作 (2) における制御レジスタの設定内容 ... 230

図の目次 (5/8)

図番号	タイトル, ページ
9 - 15	インターバル・タイマ動作 (2) の設定手順 ... 230
9 - 16	カウント・スタート時の動作 ... 231
9 - 17	コンペア・レジスタ (CM40, CM41) に0000Hを設定した場合の動作 ... 233
10 - 1	ウォッチドッグ・タイマのブロック図 ... 234
10 - 2	ウォッチドッグ・タイマ・モード・レジスタ (WDM) のフォーマット ... 236
11 - 1	A/Dコンバータのブロック図 ... 241
11 - 2	A/Dコンバータ用端子のキャパシタ接続例 ... 242
11 - 3	A/Dコンバータ・モード・レジスタ (ADM) のフォーマット ... 245
11 - 4	A/D変換結果レジスタへのワード・アクセス ... 247
11 - 5	A/D変換結果レジスタへのバイト・アクセス ... 248
11 - 6	A/Dコンバータの基本動作 ... 250
11 - 7	アナログ入力電圧とA/D変換結果の関係 ... 251
11 - 8	セレクト・モード (1 バッファ・モード) の動作タイミング ... 253
11 - 9	セレクト・モード (4 バッファ・モード) の動作タイミング ... 255
11 - 10	スキャン・モードの動作タイミング ... 256
11 - 11	ソフトウエア・スタートによるセレクト・モード (1 バッファ・モード) のA/D変換動作 ... 257
11 - 12	ソフトウエア・スタートによるセレクト・モード (4 バッファ・モード) のA/D変換動作 ... 258
11 - 13	ソフトウエア・スタートによるスキャン・モードのA/D変換動作 ... 258
11 - 14	ハードウエア・スタートによるセレクト・モード (1 バッファ・モード) のA/D変換動作 ... 259
11 - 15	ハードウエア・スタートによるセレクト・モード (4 バッファ・モード) のA/D変換動作 ... 260
11 - 16	ハードウエア・スタートによるスキャン・モードのA/D変換動作 ... 261
11 - 17	A/Dコンバータ用端子のキャパシタ接続例 ... 263
12 - 1	アシンクロナス・シリアル・インタフェース・モードと3線式シリアルI/Oモードの切り替え ... 265
12 - 2	アシンクロナス・シリアル・インタフェースのブロック図 ... 267
12 - 3	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) , アシンクロナス・シリアル・インタフェース・モード・レジスタ 2 (ASIM2) のフォーマット ... 270
12 - 4	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) , アシンクロナス・シリアル・インタフェース・ステータス・レジスタ 2 (ASIS2) のフォーマット ... 272
12 - 5	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 273
12 - 6	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 275
12 - 7	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 276
12 - 8	受信エラー・タイミング ... 277

図の目次 (6/8)

図番号	タイトル, ページ
12 - 9	マクロ・サービスを使ったUARTの送信 / 受信動作 ... 279
12 - 10	3線式シリアルI/Oのシステム構成例 ... 280
12 - 11	3線式シリアルI/Oモード時のブロック図 ... 281
12 - 12	クロック同期式シリアル・インタフェース・モード・レジスタ1 (CSIM1), クロック同期式シリアル・インタフェース・モード・レジスタ2 (CSIM2) のフォーマット ... 283
12 - 13	3線式シリアルI/Oモードのタイミング ... 284
12 - 14	2線式シリアルI/Oとの接続例 ... 285
12 - 15	ポー・レート・ジェネレータのブロック図 ... 290
12 - 16	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC), ポー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2) のフォーマット ... 292
13 - 1	外部割り込みモード・レジスタ0 (INTM0) のフォーマット ... 305
13 - 2	外部割り込みモード・レジスタ1 (INTM1) のフォーマット ... 306
13 - 3	割り込み有効エッジ・フラグ・レジスタ1 (IEF1) のフォーマット ... 307
13 - 4	割り込み有効エッジ・フラグ・レジスタ2 (IEF2) のフォーマット ... 308
13 - 5	ノイズ・プロテクション・コントロール・レジスタ (NPC) のフォーマット ... 309
13 - 6	P20端子のエッジ検出 ... 310
13 - 7	P21-P27端子のエッジ検出 ... 311
14 - 1	割り込み制御レジスタ (x x ICn) ... 322
14 - 2	割り込みマスク・レジスタ (MK0, MK1) のフォーマット ... 326
14 - 3	インサースビス・プライオリティ・レジスタ (ISPR) のフォーマット ... 327
14 - 4	割り込みモード・コントロール・レジスタ (IMC) のフォーマット ... 328
14 - 5	ウォッチドッグ・タイマ・モード・レジスタ (WDM) のフォーマット ... 329
14 - 6	プログラム・ステータス・ワード (PSWL) のフォーマット ... 330
14 - 7	BRKCS命令の実行によるコンテキスト・スイッチング動作 ... 331
14 - 8	BRKCS命令によるソフトウェア割り込みからの復帰動作 (RETCSB命令の動作) ... 332
14 - 9	ノンマスカブル割り込み要求の受け付け動作 ... 334
14 - 10	割り込み受け付け処理アルゴリズム ... 338
14 - 11	割り込み要求の発生によるコンテキスト・スイッチング動作 ... 339
14 - 12	RETCS命令によるコンテキスト・スイッチング機能を使用した割り込みからの復帰動作 ... 340
14 - 13	割り込み処理中に他の割り込み要求が発生した場合の処理例 ... 342
14 - 14	同時発生した割り込み要求の処理例 ... 345
14 - 15	割り込みモード・コントロール・レジスタ (IMC) の設定によるレベル3の割り込みの受け付け動作の違い ... 346

図の目次 (7/8)

図番号	タイトル, ページ
14 - 16	ベクタ割り込みとマクロ・サービスの処理の違い ... 347
14 - 17	マクロ・サービス処理シーケンス例 ... 351
14 - 18	マクロ・サービス終了時の動作 ... 353
14 - 19	マクロ・サービス・コントロール・ワードの基本構成 ... 354
14 - 20	マクロ・サービス・コントロール・ワードのフォーマット ... 355
14 - 21	割り込み要求の発生と受け付け (単位: クロック) ... 370
15 - 1	メモリ拡張モード・レジスタ (MM) のフォーマット ... 378
15 - 2	メモリ・マップ ... 380
15 - 3	リード・タイミング (8ビット) ... 383
15 - 4	ライト・タイミング (8ビット) ... 383
15 - 5	リード・タイミング (16ビット, 偶数アドレス・アクセス) ... 384
15 - 6	ライト・タイミング (16ビット, 偶数アドレス・アクセス) ... 384
15 - 7	リード・タイミング (16ビット, 奇数アドレス・アクセス) ... 385
15 - 8	ライト・タイミング (16ビット, 奇数アドレス・アクセス) ... 385
15 - 9	メモリ拡張モード・レジスタ (MM) のフォーマット ... 386
15 - 10	プログラマブル・ウェイト制御レジスタ 1 (PWC1) のフォーマット ... 388
15 - 11	プログラマブル・ウェイト制御レジスタ 2 (PWC2) のフォーマット ... 390
15 - 12	アドレス・ウェイト機能によるリード/ライト・タイミング ... 392
15 - 13	ポート 9 モード・コントロール・レジスタ (PMC9) のフォーマット ... 395
15 - 14	ウェイト制御の空間 ... 396
15 - 15	アクセス・ウェイト機能によるリード・タイミング ... 397
15 - 16	アクセス・ウェイト機能によるライト・タイミング ... 399
15 - 17	外部ウェイト信号によるタイミング ... 401
15 - 18	バス幅指定レジスタ (BW) のフォーマット ... 403
16 - 1	スタンバイ・モードの遷移図 ... 406
16 - 2	スタンバイ機能のブロック図 ... 407
16 - 3	スタンバイ・コントロール・レジスタ (STBC) のフォーマット ... 409
16 - 4	発振安定時間指定レジスタ (OSTS) のフォーマット ... 411
16 - 5	NMI入力によるSTOPモードの解除 ... 417
16 - 6	アドレス/データ・バスの処理例 ... 421
17 - 1	リセット信号の受け付け ... 423
17 - 2	電源投入時のリセット動作 ... 424

図の目次 (8/8)

図番号	タイトル, ページ
17 - 3	リセット入力時のタイミング ... 425
18 - 1	内部メモリ・サイズ切り替えレジスタ (IMS) のフォーマット ... 430
18 - 2	通信方式選択フォーマット ... 431
18 - 3	3線式シリアルI/O方式でのFlashpro /Flashpro の接続 ... 432
18 - 4	UART方式でのFlashpro /Flashpro の接続 ... 432
A - 1	開発ツール構成 ... 503
A - 2	インサーキット・エミュレータ~変換ソケットまでの距離 ... 510
A - 3	ターゲット・システムの接続条件 ... 511
A - 4	EV-9200GC-80 外形図 (参考) (単位: mm) ... 512
A - 5	EV-9200GC-80 基板取り付け推奨パターン (参考) (単位: mm) ... 513

表の目次 (1/3)

表番号	タイトル, ページ
1 - 1	μ PD784054とμ PD784046サブシリーズ製品との違い ... 40
1 - 2	μ PD784054とμ PD784054(A)の違い ... 40
1 - 3	μ PD784054(A), 784054(A1), 784054(A2)の違い ... 41
2 - 1	ポート2の動作モード ... 47
2 - 2	ポート3の動作モード ... 48
2 - 3	ポート9の動作モード ... 51
2 - 4	各端子の入出力回路タイプと未使用端子の処理 ... 54
3 - 1	内部ROM領域一覧 ... 58
3 - 2	ベクタ・テーブル ... 59
3 - 3	内部RAM領域一覧 ... 61
3 - 4	レジスタ・バンクの選択 ... 68
3 - 5	機能名称-絶対名称の対応 ... 80
3 - 6	特殊機能レジスタ (SFR) 一覧 ... 82
5 - 1	ポートの機能 ... 99
5 - 2	ポート2の動作モード ... 108
5 - 3	ポート3の動作モード ... 116
5 - 4	ポート4の動作モード ... 126
5 - 5	ポート5の動作モード ... 132
5 - 6	ポート6の動作モード ... 138
5 - 7	ポート9の動作モード ... 145
5 - 8	P90-P93の動作モード ... 148
6 - 1	タイマの機能 ... 159
7 - 1	タイマ0のインターバル時間 ... 162
7 - 2	タイマ0のパルス幅測定範囲 ... 163
7 - 3	コンペア・レジスタからの割り込み要求信号 (タイマ0) ... 174
7 - 4	タイマ出力端子の動作モード (タイマ0) ... 174
7 - 5	キャプチャ・レジスタへのキャプチャ・トリガ信号 (タイマ0) ... 176
7 - 6	タイマ出力端子のトグル信号 (タイマ0) ... 178
7 - 7	タイマ出力端子のセット/リセット信号 (タイマ0) ... 178
7 - 8	TO00-TO03のトグル出力 ($f_{CLK} = 16 \text{ MHz}$) ... 181

表の目次 (2/3)

表番号	タイトル, ページ
8 - 1	タイマ1のインターバル時間 ... 191
8 - 2	コンペア・レジスタからの割り込み要求信号 (タイマ1) ... 201
8 - 3	タイマ出力端子の動作モード (タイマ1) ... 201
8 - 4	タイマ出力端子のトグル信号 (タイマ1) ... 204
8 - 5	タイマ出力端子のセット/リセット信号 (タイマ1) ... 204
8 - 6	TO10, TO11のトグル出力 ($f_{CLK} = 16 \text{ MHz}$) ... 206
9 - 1	タイマ4のインターバル時間 ... 215
9 - 2	コンペア・レジスタからの割り込み要求信号 (タイマ4) ... 224
11 - 1	FRビットの設定による変換時間 ... 246
11 - 2	A/D変換時間 ... 252
11 - 3	アナログ入力とA/D変換結果レジスタの対応 (セレクト・モード: 1バッファ・モード) ... 253
11 - 4	アナログ入力とA/D変換結果レジスタの対応 (セレクト・モード: 4バッファ・モード) ... 254
11 - 5	アナログ入力とA/D変換結果レジスタの対応 (スキャン・モード) ... 256
12 - 1	UART/IOE1とUART2/IOE2の名称の違い ... 264
12 - 2	受信エラーの要因 ... 277
12 - 3	ボー・レートの設定方法 ... 295
12 - 4	ボー・レート・ジェネレータを使用した場合のBRGCへの設定例 ... 296
12 - 5	外部ボー・レート入力 (ASCK) を使用した場合の設定例 ... 297
13 - 1	P20-P27端子と検出エッジの用途 ... 304
14 - 1	割り込み要求の処理形態 ... 313
14 - 2	割り込み要求ソースの種類 ... 314
14 - 3	制御レジスタ一覧 ... 318
14 - 4	割り込み要求に対する割り込み制御レジスタのフラグ一覧 ... 319
14 - 5	多重割り込み処理 ... 341
14 - 6	マクロ・サービスが使用可能な割り込み ... 348
14 - 7	マクロ・サービス・モードの分類 ... 356
14 - 8	カウンタ・モードの動作指定 ... 357
14 - 9	ブロック転送モードの動作指定 ... 358
14 - 10	ブロック転送モード (メモリ・ポインタ付き) の動作指定 ... 360
14 - 11	割り込み受け付け処理時間 ... 371

表の目次 (3/3)

表番号	タイトル, ページ
14 - 12	マクロ・サービス処理時間 ... 372
16 - 1	HALTモード時の動作状態 ... 412
16 - 2	HALTモードの解除と解除後の動作 ... 413
16 - 3	STOPモード時の動作状態 ... 415
16 - 4	STOPモードの解除と解除後の動作 ... 416
16 - 5	IDLEモード時の動作状態 ... 418
16 - 6	IDLEモードの解除と解除後の動作 ... 419
17 - 1	リセット入力中, リセット解除後の端子状態 ... 424
17 - 2	各ハードウェアのリセット後の状態 ... 426
18 - 1	通信方式一覧 ... 431
18 - 2	フラッシュ・メモリ・プログラミングの主な機能 ... 431
19 - 1	8ビット・アドレッシング別命令一覧表 ... 464
19 - 2	16ビット・アドレッシング別命令一覧表 ... 466
19 - 3	24ビット・アドレッシング別命令一覧表 ... 468
19 - 4	ビット操作命令アドレッシング別命令一覧表 ... 468
19 - 5	コール・リターン命令/分岐命令アドレッシング別命令一覧表 ... 469
26 - 1	表面実装タイプの半田付け条件 ... 500

第1章 概 説

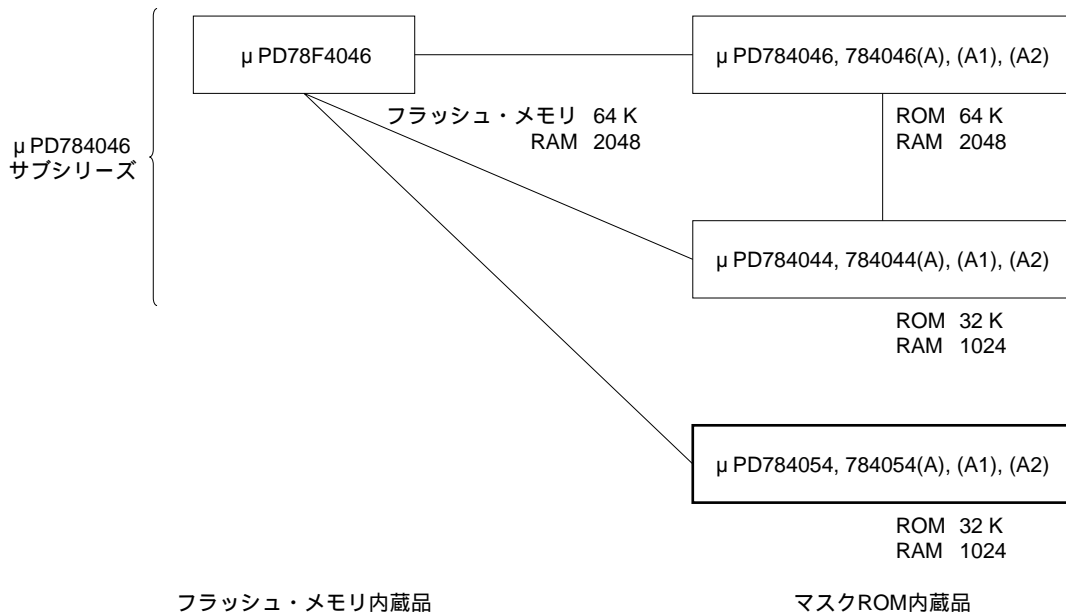
μPD784054は、10ビットA/Dコンバータを内蔵した78K/ シリーズの製品です。78K/ シリーズは、16ビット・シングルチップ・マイクロコンピュータで、1 Mバイトのメモリ空間に対するアクセス機能などを持った高性能CPUを備えた製品です。

μPD784054は、同じ78K/ シリーズ製品のμPD784046サブシリーズからリアルタイム出力機能と、タイマ/カウンタを2ユニット削除し、スタンバイ機能無効モードを追加した製品です。

μPD784054は、32 KバイトのマスクROMと1024バイトのRAMを内蔵しています。また、高機能タイマ、10ビットA/Dコンバータ、2チャンネル独立のシリアル・インタフェースなどを内蔵しています。

- ★ マスクROM製品と同じ電源電圧で動作可能なフラッシュ・メモリ製品としてμPD78F4046を用意しています。なお、μPD78F4046は、μPD784046サブシリーズの製品で、μPD784054とは機能が異なりますので注意してください。相違点については、1.8 μPD784054とμPD784046サブシリーズ製品との違いを参照してください。

μPD784054(A), 784054(A1), 784054(A2)は、μPD784054の『特別』品質水準です。



これらの製品は、次のような分野に応用できます。

【標準品】

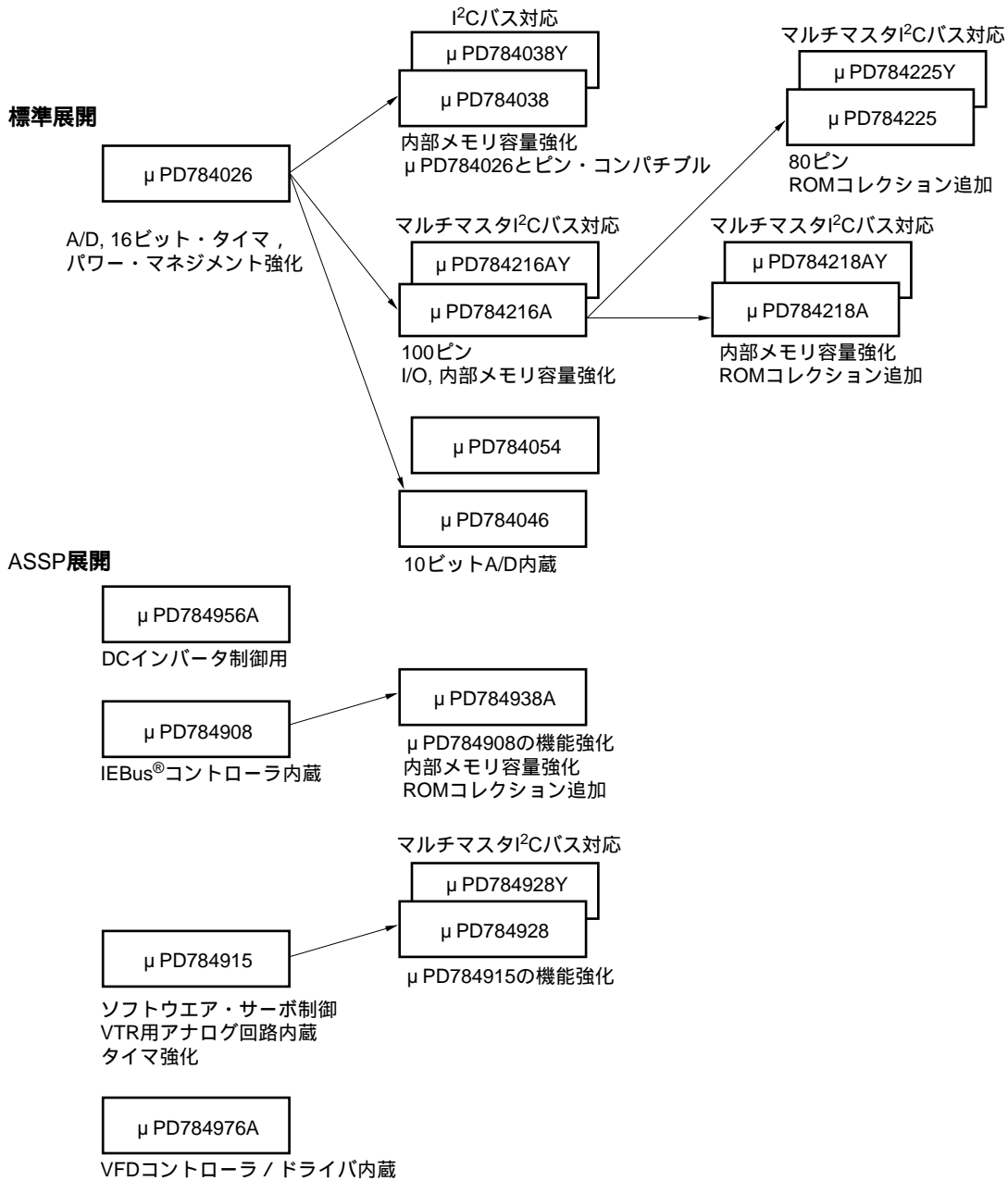
- ・PPC，プリンタなどのOA分野
- ・ロボット，自動工作機械などのFA分野

【特別品】

- ・自動車電装制御用

★ 78K/ シリーズ製品展開図

: 量産中



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによっては FIP[®] (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

1.1 特 徴

78K/ シリーズ

最小命令実行時間：125 ns（内部16 MHz動作時）

内部メモリ

・ROM

マスクROM：32 Kバイト

・RAM：1024バイト

I/Oポート：64本

タイマ：16ビット・タイマ×3ユニット

ウォッチドッグ・タイマ：1チャンネル

A/Dコンバータ：10ビット分解能×16チャンネル

シリアル・インタフェース

UART/IOE（3線式シリアルI/O）：2チャンネル（ポー・レート・ジェネレータ内蔵）

割り込みコントローラ（4レベル・プライオリティ）

ベクタ割り込み/マクロ・サービス/コンテキスト・スイッチング

スタンバイ機能

HALT/STOP/IDLE/スタンバイ機能無効モード

電源電圧：V_{DD} = 4.5 ~ 5.5 V

★ 1.2 オーダ情報

オーダ名称	パッケージ
μPD784054GC- x x x-3B9	80ピン・プラスチックQFP（14x14）
μPD784054GC(A)- x x x-3B9	〃
μPD784054GC(A1)- x x x-3B9	〃
μPD784054GC(A2)- x x x-3B9	〃
μPD784054GC- x x x-3B9-A	〃

備考1．x x xはROMコード番号です。

2．オーダ名称末尾「-A」の製品は鉛フリー製品です。

★ 1.3 品質水準

オーダ名称	パッケージ	品質水準
μ PD784054GC- x x x-3B9	80ピン・プラスチックQFP (14x14)	標準 (一般電子機器用)
μ PD784054GC(A)- x x x-3B9	〃	特別 (高信頼度電子機器用)
μ PD784054GC(A1)- x x x-3B9	〃	〃
μ PD784054GC(A2)- x x x-3B9	〃	〃
μ PD784054GC- x x x-3B9-A	80ピン・プラスチックQFP (14x14)	標準 (一般電子機器用)

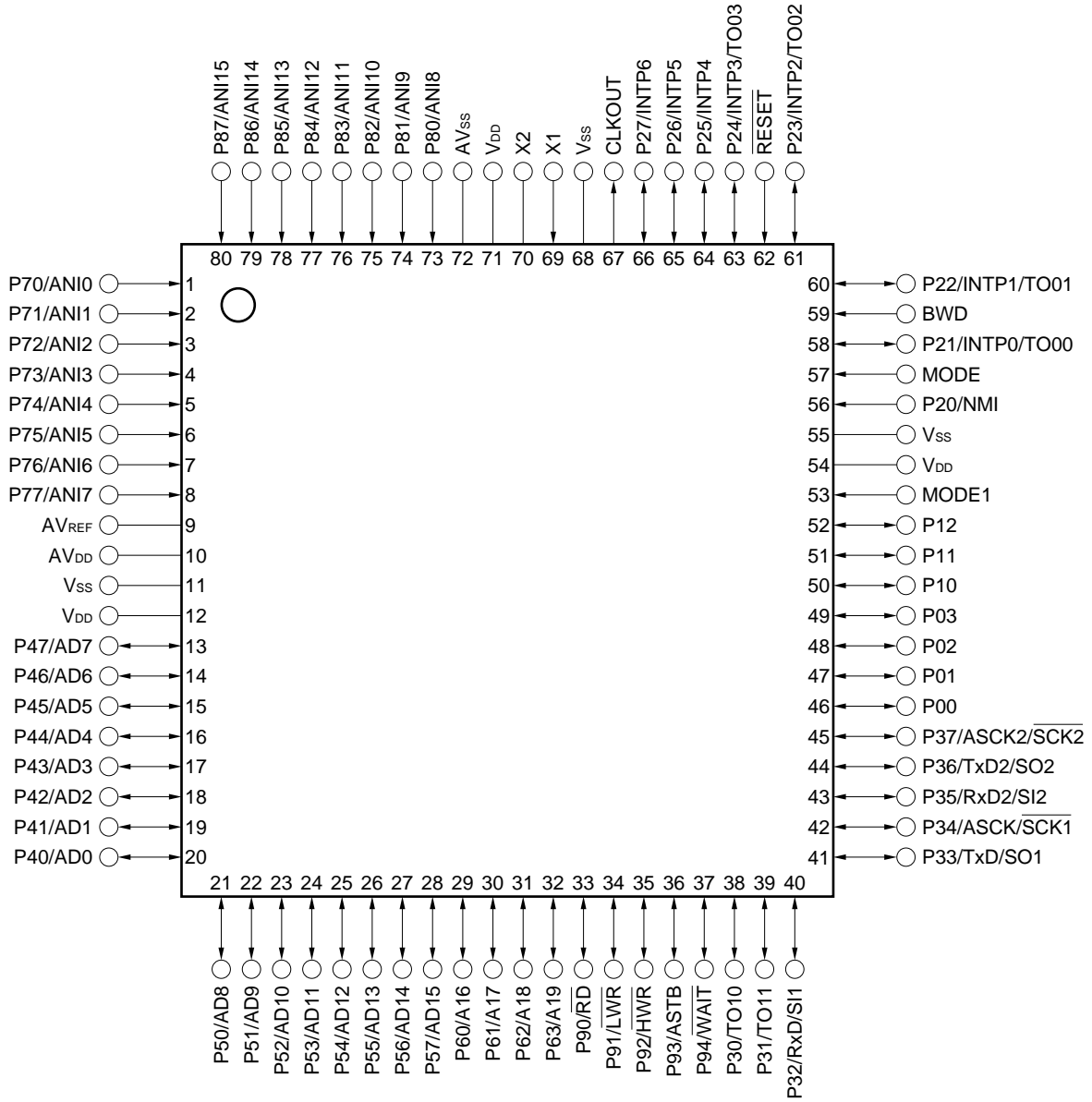
備考1 . x x xはROMコード番号です。

2 . オーダ名称末尾「-A」の製品は鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

1.4 端子接続図 (Top View)

・80ピン・プラスチックQFP (14x14)

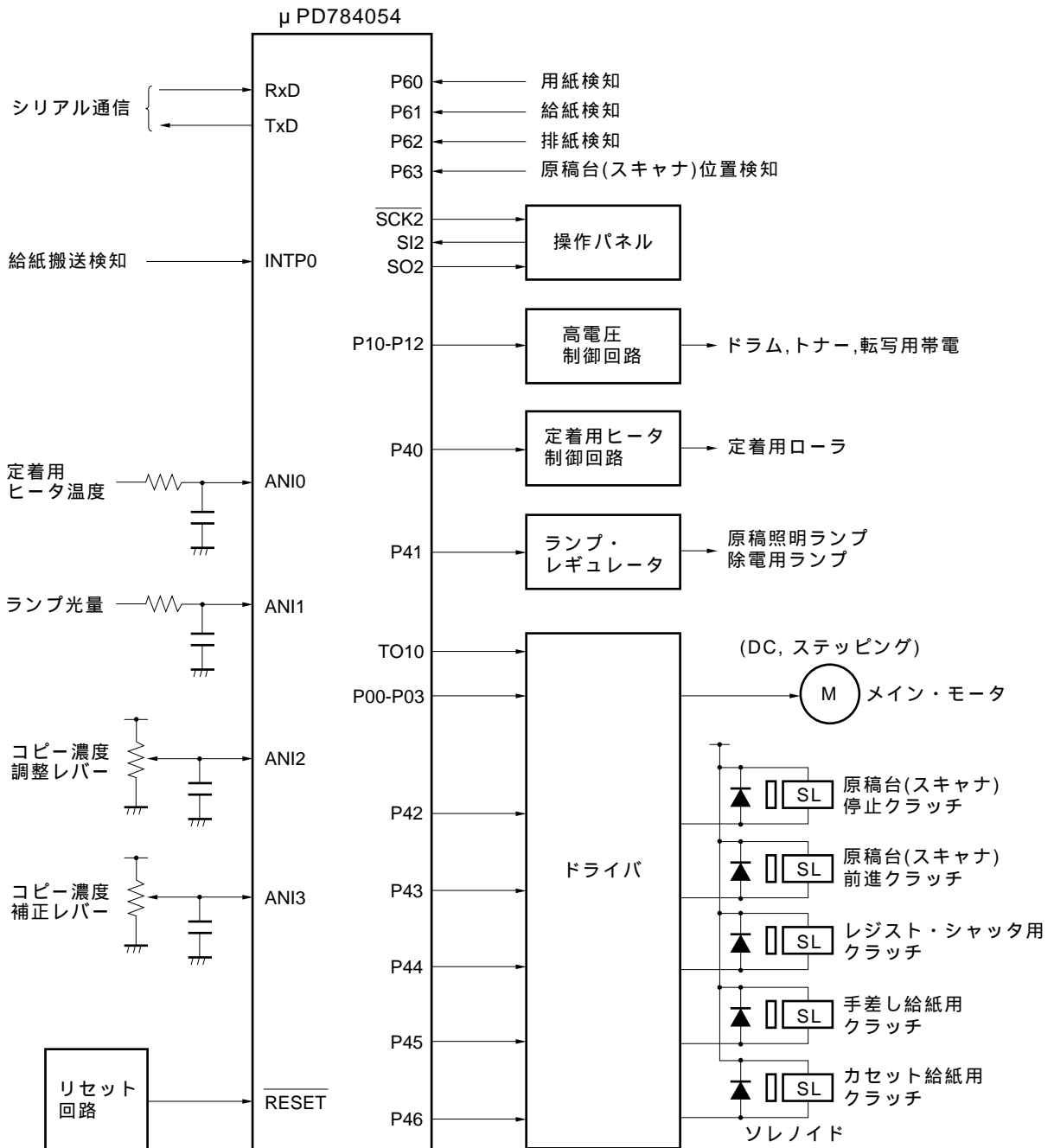


注意1 . MODE端子はV_{SS}に直接接続してください。

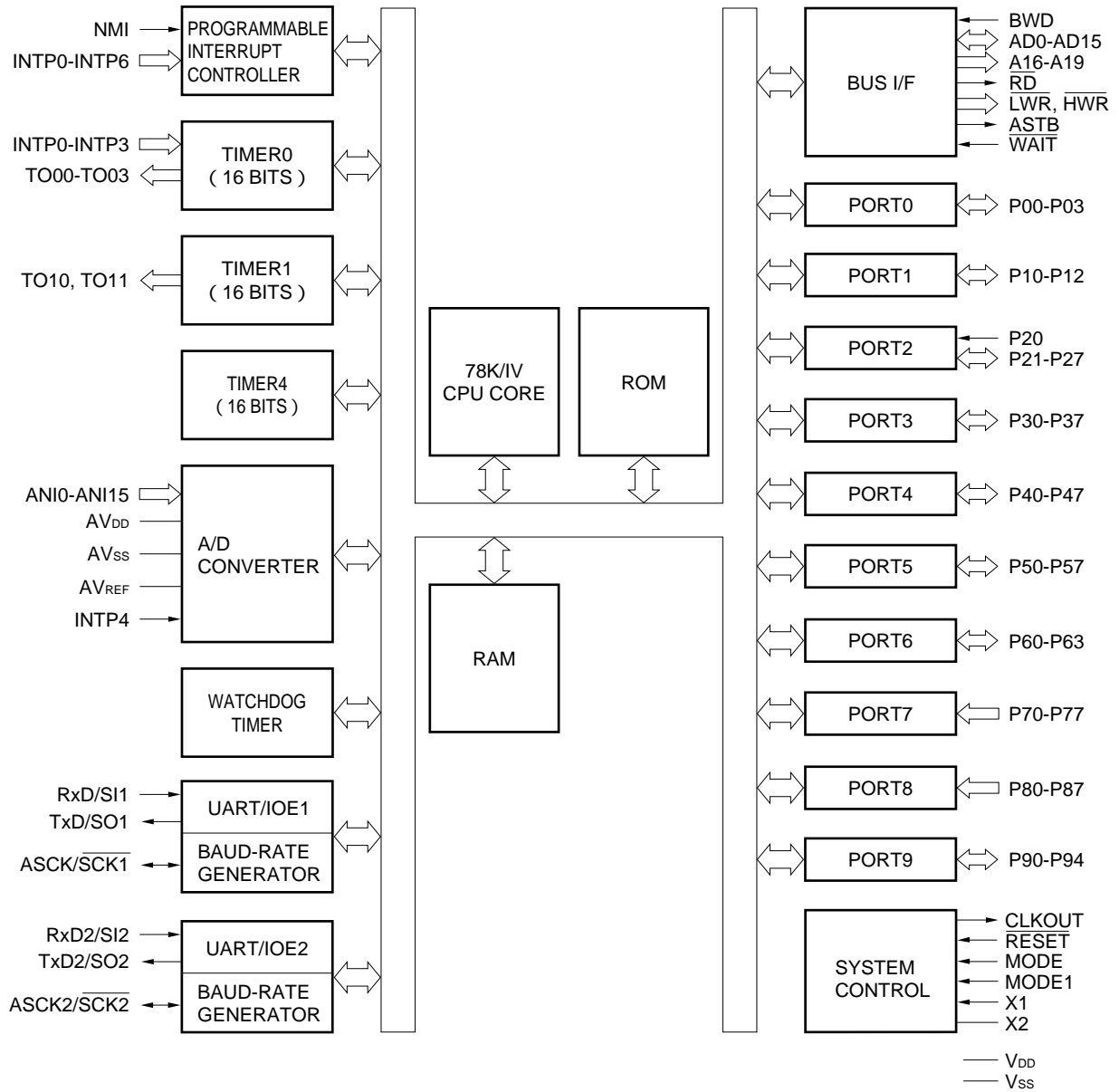
2 . MODE1端子は通常はV_{SS}に直接接続してください。

A16-A19	: Address Bus	P40-P47	: Port4
AD0-AD15	: Address/Data Bus	P50-P57	: Port5
ANI0-ANI15	: Analog Input	P60-P63	: Port6
ASCK, ASCK2	: Asynchronous Serial Clock	P70-P77	: Port7
ASTB	: Address Strobe	P80-P87	: Port8
AV _{DD}	: Analog Power Supply	P90-P94	: Port9
AV _{REF}	: Analog Reference Voltage	\overline{RD}	: Read Strobe
AV _{SS}	: Analog Ground	\overline{RESET}	: Reset
BWD	: Bus Width Definition	RxD, RxD2	: Receive Data
CLKOUT	: Clock Out	$\overline{SCK1}$, $\overline{SCK2}$: Serial Clock
\overline{HWR}	: High Address Write Strobe	SI1, SI2	: Serial Input
INTP0-INTP6	: Interrupt from Peripherals	SO1, SO2	: Serial Output
\overline{LWR}	: Low Address Write Strobe	TO00-TO03, TO10, TO11	: Timer Output
MODE , MODE1	: Mode	TxD, TxD2	: Transmit Data
NMI	: Non-maskable Interrupt	V _{DD}	: Power Supply
P00-P03	: Port0	V _{SS}	: Ground
P10-P12	: Port1	\overline{WAIT}	: Wait
P20-P27	: Port2	X1, X2	: Crystal
P30-P37	: Port3		

1.5 応用システム構成例 (PPC)



1.6 ブロック図



1.7 機能一覧

項 目		機 能	
基本命令（二モニック）数		113	
汎用レジスタ		8ビット×16レジスタ×8バンク，または16ビット×8レジスタ×8バンク（メモリ・マッピング）	
最小命令実行時間		125 ns（内部16 MHz動作時）	
内部メモリ	ROM	32 Kバイト（マスクROM）	
	RAM	1024バイト	
メモリ空間		プログラム / データあわせて1 Mバイト	
I/Oポート	合計	64本	
	入力	17本	
	入出力	47本	
付加機能 付き端子 ^注	ブルアップ抵 抗付き端子	29本	
タイマ	タイマ0 (16ビット)	タイマ・レジスタ×1 キャプチャ/コンペア・レジスタ×4	パルス出力可 ・トグル出力 ・セット/リセット出力
	タイマ1 (16ビット)	タイマ・レジスタ×1 コンペア・レジスタ×2	パルス出力可 ・トグル出力 ・セット/リセット出力
	タイマ4 (16ビット)	タイマ・レジスタ×1 コンペア・レジスタ×2	
A/Dコンバータ		10ビット分解能×16チャンネル	
シリアル・インタフェース		UART/IOE（3線式シリアルI/O）：2チャンネル（ポー・レート・ジェネレータ内蔵）	
ウォッチドッグ・タイマ		1チャンネル	
割り込み	ハードウェア要因	23（内部：19，外部：8（内部兼用：4））	
	ソフトウェア要因	BRK命令，BRKCS命令，オペランド・エラー	
	ノンマスクابل	内部：1本，外部：1本	
	マスクابل	内部：18本，外部：7本（内部兼用：4本）	
		<ul style="list-style-type: none"> ・4レベルのプログラマブル・プライオリティ ・3種類の処理形態：ベクタ割り込み / マクロ・サービス / コンテキスト・スイッチング 	
バス・サイジング		8ビット / 16ビット外部データ・バス幅選択可能	
スタンバイ		HALT/STOP/IDLE/スタンバイ機能無効モード	
電源電圧		V _{DD} = 4.5 ~ 5.5 V	
パッケージ		80ピン・プラスチックQFP（14x14）	

注 付加機能付き端子は，I/O端子の中に含まれています。

1.8 μ PD784054と μ PD784046サブシリーズ製品との違い

μ PD784054と μ PD784046サブシリーズ製品との相違点を表1-1に示します。

表1-1 μ PD784054と μ PD784046サブシリーズ製品との違い

項 目	品 名 μ PD784054	μ PD784046サブシリーズ		
		μ PD784044	μ PD784046	μ PD78F4046
内部ROM	32 Kバイト (マスクROM)	64 Kバイト (マスクROM)	64 Kバイト (フラッシュ・メモリ)	64 Kバイト (フラッシュ・メモリ)
内部RAM	1024バイト	2048バイト		
ポート1	P10-P12	P10-P13		
リアルタイム出力 ポート	なし	4ビット×1		
タイマ/カウンタ	16ビット・タイマ ×3ユニット	16ビット・タイマ/カウンタ×2ユニット 16ビット・タイマ×3ユニット		
スタンバイ機能	HALT/STOP/IDLE/スタンバイ機能無効モード	HALT/STOP/IDLEモード		
MODE1端子	あり	なし		
57番ピンの機能	MODE			MODE/V _{PP}
割り込みのハードウ エア要因	23	27		

1.9 μ PD784054と μ PD784054(A)の違い

表1-2 μ PD784054と μ PD784054(A)の違い

項 目	品 名 μ PD784054	μ PD784054(A)
品質水準	標準 (一般電子機器用)	特別 (高信頼度電子機器用)
動作周囲温度 (T _A)	-10 ~ +70	-40 ~ +85
動作周波数	8 ~ 32 MHz	8 ~ 25 MHz
最小命令実行時間	125 ns (内部16 MHz動作時)	160 ns (内部12.5 MHz動作時)
DC特性	V _{DD} 電源電流が異なります。	
AC特性	バス・タイミング, シリアル・オペレーションが異なります。	
A/Dコンバータ特性	変換時間, サンプリング時間が異なります。	

1.10 μ PD784054(A), 784054(A1), 784054(A2)の違い表1 - 3 μ PD784054(A), 784054(A1), 784054(A2)の違い

品 名 項 目	μ PD784054(A)	μ PD784054(A1)	μ PD784054(A2)
動作周囲温度 (T_A)	- 40 ~ + 85	- 40 ~ + 110	- 40 ~ + 125
動作周波数	8 ~ 25 MHz	8 ~ 20 MHz	
最小命令実行時間	160 ns (内部12.5 MHz動作時)	200 ns (内部10 MHz動作時)	
DC特性	アナログ端子入力リーク電流, V_{DD} 電源電流, データ保持電流が異なります。		
AC特性	バス・タイミング, シリアル・オペレーションが異なります。		
A/Dコンバータ特性	A_{VREF} 電流, A/Dコンバータ・データ保持電流が異なります。		

第2章 端子機能

2.1 端子機能一覧

(1) ポート (1/2)

端子名称	入出力	兼用端子	機能	
P00-P03	入出力	-	ポート 0 (P0) : ・ 4 ビット入出力ポート ・ 1 ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により、一括して内蔵プルアップ抵抗の接続の指定可能	
P10-12	入出力	-	ポート 1 (P1) : ・ 3 ビット入出力ポート ・ 1 ビット単位に入力 / 出力の指定可能	
P20	入 力	NMI	ポート 2 (P2) : ・ 8 ビット入出力ポート	入力専用
P21	入出力	INTP0/TO00		1 ビット単位に入力 / 出力の指定可能
P22		INTP1/TO01		
P23		INTP2/TO02		
P24		INTP3/TO03		
P25		INTP4		
P26		INTP5		
P27		INTP6		
P30		入出力	TO10	
P31	TO11			
P32	RxD/SI1			
P33	TxD/SO1			
P34	ASCK/SCK1			
P35	RxD2/SI2			
P36	TxD2/SO2			
P37	ASCK2/SCK2			
P40-P47	入出力	AD0-AD7	ポート 4 (P4) : ・ 8 ビット入出力ポート ・ 1 ビット単位に入力 / 出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により、一括して内蔵プルアップ抵抗の接続の指定可能	

(1) ポート (2/2)

端子名称	入出力	兼用端子	機能
P50-P57	入出力	AD8-AD15	ポート5 (P5) : <ul style="list-style-type: none"> ・ 8ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により、一括して内蔵プルアップ抵抗の接続の指定可能
P60-P63	入出力	A16-A19	ポート6 (P6) : <ul style="list-style-type: none"> ・ 4ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により、一括して内蔵プルアップ抵抗の接続の指定可能
P70-P77	入力	ANI0-ANI7	ポート7 (P7) : <ul style="list-style-type: none"> ・ 8ビット入力専用ポート
P80-P87	入力	ANI8-ANI15	ポート8 (P8) : <ul style="list-style-type: none"> ・ 8ビット入力専用ポート
P90	入出力	$\overline{\text{RD}}$	ポート9 (P9) : <ul style="list-style-type: none"> ・ 5ビット入出力ポート ・ 1ビット単位に入力/出力の指定可能 ・ 入力モードの端子について、ソフトウェアの設定により、一括して内蔵プルアップ抵抗の接続の指定可能
P91		$\overline{\text{LWR}}$	
P92		$\overline{\text{HWR}}$	
P93		$\overline{\text{ASTB}}$	
P94		$\overline{\text{WAIT}}$	

(2) ポート以外 (1/2)

端子名称	入出力	兼用端子	機能	
NMI	入 力	P20	ノンマスクブル割り込み要求入力	
INTP0		P21/TO00	外部割り込み要求 CC00のキャプチャ・トリガ信号	
INTP1		P22/TO01	入 力	CC01のキャプチャ・トリガ信号
INTP2		P23/TO02		CC02のキャプチャ・トリガ信号
INTP3		P24/TO03		CC03のキャプチャ・トリガ信号
INTP4		P25	-	A/Dコンバータの変換スタート・トリガ入力
INTP5		P26		
INTP6		P27		
TO00	出 力	P21/INTP0	タイマ出力	
TO01		P22/INTP1		
TO02		P23/INTP2		
TO03		P24/INTP3		
TO10		P30		
TO11		P31		
RxD	入 力	P32/SI1	シリアル・データ入力 (UART0)	
RxD2		P35/SI2	シリアル・データ入力 (UART2)	
TxD	出 力	P33/SO1	シリアル・データ出力 (UART0)	
TxD2		P36/SO2	シリアル・データ出力 (UART2)	
ASCK	入 力	P34/SCK1	ボー・レート・クロック入力 (UART0)	
ASCK2		P37/SCK2	ボー・レート・クロック入力 (UART2)	
SI1	入 力	P32/RxD	シリアル・データ入力 (3線式シリアルI/O1)	
SI2		P35/RxD2	シリアル・データ入力 (3線式シリアルI/O2)	
SO1	出 力	P33/TxD	シリアル・データ出力 (3線式シリアルI/O1)	
SO2		P36/TxD2	シリアル・データ出力 (3線式シリアルI/O2)	
SCK1	入出力	P34/ASCK	シリアル・クロック入力 / 出力 (3線式シリアルI/O1)	
SCK2		P37/ASCK2	シリアル・クロック入力 / 出力 (3線式シリアルI/O2)	
AD0-AD7	入出力	P40-P47	外部にメモリを拡張する場合の下位のマルチプレクスト・アドレス / データ・バス	
AD8-AD15 ^注	入出力	P50-P57	・外部8ビット・バス指定時 外部にメモリを拡張する場合の上位のアドレス・バス ・外部16ビット・バス指定時 外部にメモリを拡張する場合の上位のマルチプレクスト・アドレス / データ・バス	
A16-A19 ^注	出 力	P60-P63	外部にメモリを拡張する場合の上位のアドレス・バス	

注 外部アドレス空間によってアドレス・バスとして使用する端子数が異なります (第15章 ローカル・バス・インタフェース機能参照)。

(2) ポート以外 (2/2)

端子名称	入出力	兼用端子	機能
$\overline{\text{RD}}$	出力	P90	外部メモリへのリード・ストローク
$\overline{\text{LWR}}$	出力	P91	・外部8ビット・バス指定時 外部メモリへのライト・ストローク ・外部16ビット・バス指定時 下位に配置された外部メモリへのライト・ストローク
$\overline{\text{HWR}}$		P92	外部16ビット・バス指定時の上位に配置された外部メモリへのライト・ストローク
ASTB	出力	P93	外部メモリをアクセスするために、AD0-AD15端子から出力されるアドレス情報を外部でラッチするタイミング信号出力
$\overline{\text{WAIT}}$	入力	P94	ウェイト挿入
BWD	入力	-	バス幅設定
MODE	入力	-	V _{SS} に直接接続してください (ICのテスト・モード指定端子です)
MODE1	入力	-	スタンバイ機能無効モード指定。このモードを使用しないときは、V _{SS} に直接接続してください。
CLKOUT	出力	-	クロック出力。IDLEモード、STOPモード時はロウ・レベルを出力し、それ以外はf _{xx} (発振周波数) を常に出力しています。
X1	入力	-	システム・クロック発振用クリスタル接続 (X1にクロック入力も可能)
X2	-	-	
$\overline{\text{RESET}}$	入力	-	チップ・リセット
ANI0-ANI7	入力	P70-P77	A/Dコンバータ用アナログ電圧入力
ANI8-ANI15		P80-P87	
AV _{REF}	-	-	A/Dコンバータ用基準電圧印加
AV _{DD}	-	-	A/Dコンバータ用正電源
AV _{SS}	-	-	A/Dコンバータ用GND
V _{DD}	-	-	正電源
V _{SS}	-	-	GND

2.2 端子機能説明

(1) P00-P03 (Port0) 3 ステート入出力

ポート0は、出力ラッチ付き4ビット入出力ポートです。ポート0モード・レジスタ(PM0)により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

$\overline{\text{RESET}}$ 入力により、入力ポート(出力ハイ・インピーダンス状態)となり、出力ラッチの内容は不定となります。

(2) P10-P12 (Port1) 3 ステート入出力

ポート1は、出力ラッチ付き3ビット入出力ポートです。ポート1モード・レジスタ(PM1)により、1ビット単位で入力/出力の指定ができます。

$\overline{\text{RESET}}$ 入力により、入力ポート(出力ハイ・インピーダンス状態)となり、出力ラッチの内容は不定となります。

(3) P20-P27 (Port2) 3 ステート入出力

ポート2は、出力ラッチ付き8ビット入出力ポートです。ポート2モード・レジスタ(PM2)により、1ビット単位で入力/出力の指定ができます(ただし、P20のみ入力専用ポートです)。

ポート2は、入出力ポートとしての機能以外に、外部割り込み信号端子などの制御信号入力端子、タイマ0のタイマ出力端子としての機能を兼用しています(表2-1参照)。P21-P24は、ポート2モード・コントロール・レジスタ(PMC2)の設定により、タイマ0のタイマ出力端子として動作します。いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みまたはテストが可能です。

また、8端子とも、ノイズによる誤動作を防ぐためにシュミット・トリガ入力になっています。

$\overline{\text{RESET}}$ 入力により、入力ポート(出力ハイ・インピーダンス状態)となり、出力ラッチの内容は不定となります。

表2-1 ポート2の動作モード

(n = 0-7)

モード	ポート・モード		コントロール信号出力モード
設定条件	PMC2n = 0		PMC2n = 1
	PM2n = 0	PM2n = 1	PM2n = x
P20	-	入力ポート/NMI入力 ^注	-
P21	出力ポート	入力ポート/INTP0入力	TO00出力
P22		入力ポート/INTP1入力	TO01出力
P23		入力ポート/INTP2入力	TO02出力
P24		入力ポート/INTP3入力	TO03出力
P25		入力ポート/INTP4入力	-
P26		入力ポート/INTP5入力	
P27		入力ポート/INTP6入力	

注 NMI入力は、割り込み許可 / 禁止状態にかかわらず、割り込み要求を受け付けます。

備考 x : don't care

(a) ポート・モード

(i) ポート端子としての機能

ポート2モード・コントロール・レジスタ (PMC2) によりポート・モードに指定された各ポートは、ポート2モード・レジスタ (PM2) により、1ビット単位で入力 / 出力の指定ができます (ただし、P20は入力モードに固定)。

(ii) 制御信号入力端子としての機能

PMC2のPMC2n (n = 0-7) ビットが“0”で、PM2のPM2n (n = 0-7) ビットが“1”の場合に、次に示す制御信号入力端子として使用できます。

- NMI (Non-maskable Interrupt)

外部ノンマスクブル割り込み要求入力端子です。外部割り込みモード・レジスタ0 (INTM0) により、立ち上がりエッジ検出、または立ち下がりエッジ検出に指定できません。

- INTP0-INTP6 (Interrupt from Peripherals)

外部割り込み要求入力端子です。INTP0-INTP6端子に外部割り込みモード・レジスタ (INTM0, INTM1) で指定された有効エッジが検出されると、割り込みを発生します (第13章 エッジ検出機能参照)。

また、INTP0-INTP4端子は、次のように各種機能の外部トリガ入力端子としても使用します。

- ・INTP0..... タイマ0のキャプチャ/コンペア・レジスタ00 (CC00)のキャプチャ・トリガ入力端子
- ・INTP1..... タイマ0のキャプチャ/コンペア・レジスタ01 (CC01)のキャプチャ・トリガ入力端子
- ・INTP2..... タイマ0のキャプチャ/コンペア・レジスタ02 (CC02)のキャプチャ・トリガ入力端子
- ・INTP3..... タイマ0のキャプチャ/コンペア・レジスタ03 (CC03)のキャプチャ・トリガ入力端子
- ・INTP4..... A/Dコンバータの外部トリガ入力端子

(b) コントロール信号出力モード

ポート2モード・コントロール・レジスタ (PMC2) により, P21-P24端子は, 1ビット単位にタイマ0のタイマ出力端子 (TO00-TO03) に指定することができます。

(4) P30-P37 (Port3) 3ステート入出力

ポート3は, 出力ラッチ付き8ビット入出力ポートです。ポート3モード・レジスタ (PM3) により, 1ビット単位で入力/出力の指定ができます。

ポート3は, 入出力ポートとしての機能以外に, 各種コントロール信号端子としての機能を兼用しています。動作モードは, ポート3モード・コントロール・レジスタ (PMC3) により, 表2 - 2のように1ビット単位に指定できます。いずれの端子も, 兼用端子の動作にかかわらず, 常に端子レベルの読み込みまたはテストが可能です。

$\overline{\text{RESET}}$ 入力により, 入力ポート (出力ハイ・インピーダンス状態) となり, 出力ラッチの内容は不定となります。

表2 - 2 ポート3の動作モード

(n = 0-7)

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC3n = 0	PMC3n = 1
P30	入出力ポート	TO10出力
P31		TO11出力
P32		RxD/SI1入力
P33		TxD/SO1出力
P34		ASCK入力/ $\overline{\text{SCK1}}$ 入出力
P35		RxD2/SI2入力
P36		TxD2/SO2出力
P37		ASCK2入力/ $\overline{\text{SCK2}}$ 入出力

(a) ポート・モード

ポート3モード・コントロール・レジスタ (PMC3) によりポート・モードに指定された各ポートは、ポート3モード・レジスタ (PM3) により、1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード

ポート3モード・コントロール・レジスタ (PMC3) の設定により、1ビット単位にコントロール端子にすることができます。

(i) TO10, TO11 (Timer Output)

タイマ1のタイマ出力端子です。

(ii) RxD, RxD2 (Receive Data)

アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

(iii) TxD, TxD2 (Transmit Data)

アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

(iv) SI1, SI2 (Serial Input)

3線式シリアルI/Oのシリアル・データ入力端子です。

(v) SO1, SO2 (Serial Output)

3線式シリアルI/Oのシリアル・データ出力端子です。

(vi) ASCK, ASCK2 (Asynchronous Serial Clock)

外部ポー・レート・クロック入力端子です。

(vii) $\overline{\text{SCK1}}$, $\overline{\text{SCK2}}$ (Serial Clock)

3線式シリアルI/Oのシリアル・クロック入出力端子です。

(5) P40-P47 (Port4) 3ステート入出力

ポート4は、出力ラッチ付き8ビット入出力ポートです。ポート4モード・レジスタ (PM4) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

ポート4は、入出力ポートとしての機能以外に、外部メモリやI/Oを拡張するとき、メモリ拡張モード・レジスタ (MM) により、下位のマルチプレクスト・アドレス/データ・バス (AD0-AD7) として機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) となり、出力ラッチの内容は不定となります。

(6) P50-P57 (Port5) 3ステート入出力

ポート5は、出力ラッチ付き8ビット入出力ポートです。ポート5モード・レジスタ(PM5)により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

ポート5は、入出力ポートとしての機能以外に、外部メモリやI/Oを拡張するとき、メモリ拡張モード・レジスタ(MM)により、次のように機能します。

・外部8ビット・バス指定時

上位のアドレス・バス(AD8-AD15)として機能します。

・外部16ビット・バス指定時

上位のマルチプレクスト・アドレス/データ・バス(AD8-AD15)として機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート(出力ハイ・インピーダンス状態)となり、出力ラッチの内容は不定となります。

(7) P60-P63 (Port6) 3ステート入出力

ポート6は、出力ラッチ付き4ビット入出力ポートです。ポート6モード・レジスタ(PM6)により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

ポート6は、入出力ポートとしての機能以外に、外部メモリやI/Oを拡張するとき、メモリ拡張モード・レジスタ(MM)により、上位のアドレス・バス(A16-A19)として機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート(出力ハイ・インピーダンス状態)となり、出力ラッチの内容は不定となります。

(8) P70-P77 (Port7) 入力

ポート7は、8ビット入力専用ポートです。入力ポートとして動作する以外に、A/Dコンバータ用アナログ入力(下位8チャンネル)の端子(ANI0-ANI7)としても動作します。常時アナログ信号の入力ができるようになっています。アナログ入力端子の指定は、A/Dコンバータ・モード・レジスタ(ADM)によって行います。

いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みまたはテストが可能です。

(9) P80-P87 (Port8) 入力

ポート8は、8ビット入力専用ポートです。入力ポートとして動作する以外に、A/Dコンバータ用アナログ入力(上位8チャンネル)の端子(ANI8-ANI15)としても動作します。常時アナログ信号の入力ができるようになっています。アナログ入力端子の指定は、A/Dコンバータ・モード・レジスタ(ADM)によって行います。

いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みまたはテストが可能です。

(10) P90-P94 (Port9) 3 ステート入出力

ポート9は、出力ラッチ付き5ビット入出力ポートです。ポート9モード・レジスタ (PM9) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

ポート9は、入出力ポートとしての機能以外に、各種コントロール信号端子としての機能を兼用しています (表2-3参照)。P90-P93は、外部メモリやI/Oを拡張するとき、メモリ拡張モード・レジスタ (MM) により、リード/ライト・ストロブ信号、アドレス・ストロブ信号として機能します。P94は、ポート9モード・コントロール・レジスタ (PMC9) の設定により、ウエイト信号の入力端子として動作します。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) となり、出力ラッチの内容は不定となります。

表2-3 ポート9の動作モード

端子名称	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P90	入出力ポート	$\overline{\text{RD}}$	MMのMM0ビット-MM3ビットにより外部メモリ拡張モードを指定
P91		$\overline{\text{LWR}}$	
P92		$\overline{\text{HWR}}$	
P93		$\overline{\text{ASTB}}$	
P94		$\overline{\text{WAIT}}$	PMC9のPMC94ビットをセット (1)

備考 詳細は、第15章 ローカル・バス・インタフェース機能参照。

(a) ポート・モード

コントロール・モードに指定されていない各ポートは、ポート9モード・レジスタ (PM9) により1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード

(i) $\overline{\text{RD}}$ (Read Strobe)

外部メモリのリード動作のために出力されるストロブ信号出力端子です。メモリ拡張モード・レジスタ (MM) により動作します。

(ii) $\overline{\text{LWR}}$, $\overline{\text{HWR}}$ (Low/High Write Strobe)

外部メモリのライト動作のために出力されるストロブ信号出力端子です。メモリ拡張モード・レジスタ (MM) により動作します。

(iii) ASTB (Address Strobe)

外部メモリをアクセスするために、AD0-AD15端子から出力されるアドレス情報を外部でラッチするタイミング信号出力端子です。メモリ拡張モード・レジスタ (MM) により動作します。

(iv) $\overline{\text{WAIT}}$ (Wait)

ウェイト信号の入力端子です。ポート9モード・コントロール・レジスタ (PMC9) により動作します。

(11) BWD (Bus Width Definition)入力

バス幅設定端子です。BWD端子の設定によってバス幅指定レジスタ (BW) のリセット時の値が異なります。

BWD	外部バス幅	BWのリセット時の値
0	8ビット	0000H
1	16ビット	00FFH

(12) MODE (Mode)入力

当社がICのテストに使用する端子です。必ず V_{SS} に直接接続してください。

(13) MODE1 (Mode)入力

スタンバイ機能無効モード指定端子です。このモードを使用しないときは、 V_{SS} に直接接続してください。

(14) CLKOUT (Clock Output)出力

クロック出力です。IDLEモード、STOPモード時はロウ・レベルを出力し、それ以外は f_{xx} (発振周波数) を常に出力します。

(15) X1, X2 (Crystal)

内部クロック発振用のクリスタル接続端子です。外部からクロックを供給する場合はX1端子に入力します。このときのX2端子の処理については、第4章 クロック発生回路を参照してください。

(16) $\overline{\text{RESET}}$ (Reset)入力

ロウ・レベル・アクティブのリセット入力です。

(17) V_{REF} (Analog Reference Voltage)

A/Dコンバータの基準電圧入力端子です。

(18) AV_{DD} (Analog Power Supply)

A/Dコンバータの電源端子です。V_{DD}端子と同電位にしてください。

(19) AV_{SS} (Analog Ground)

A/DコンバータのGND端子です。V_{SS}端子と同電位にしてください。

(20) V_{DD} (Power Supply)

正電源供給端子です。すべてのV_{DD}端子を正電源に接続してください。

(21) V_{SS} (Ground)

GND電位端子です。すべてのV_{SS}端子をグラウンドに接続してください。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2-4に示します。

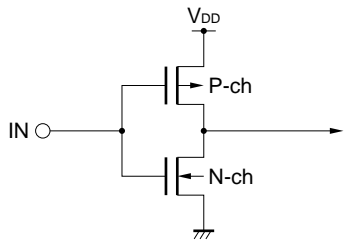
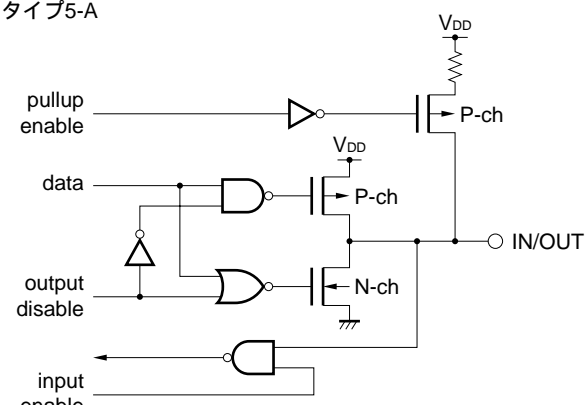
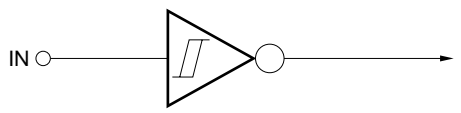
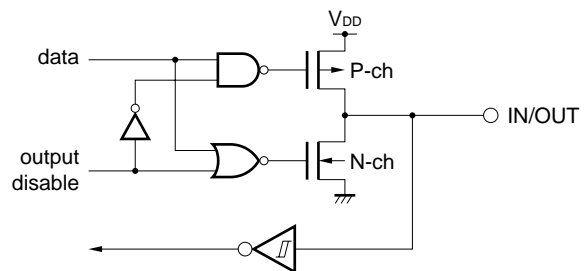
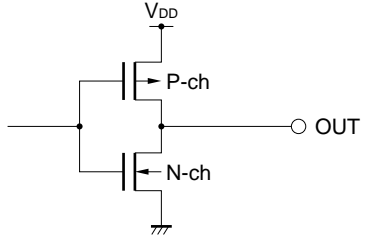
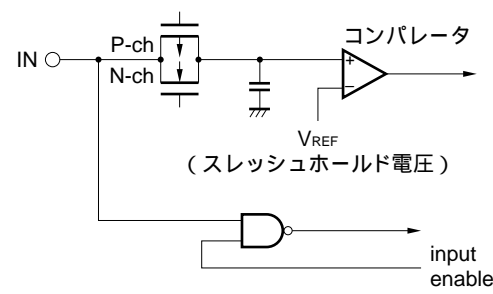
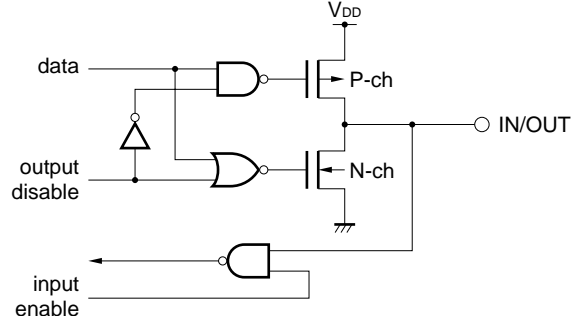
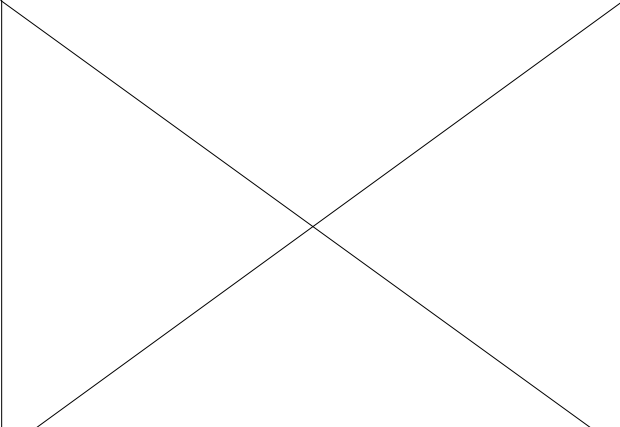
また、各タイプの入出力回路については図2-1を参照してください。

表2-4 各端子の入出力回路タイプと未使用端子の処理

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P03	5-A	入出力	入力状態：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力状態：オープンにしてください。
P10-P12	5		
P20/NMI	2	入力	V_{SS} に接続してください。
P21/INTP0/TO00	8	入出力	入力状態：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力状態：オープンにしてください。
P22/INTP1/TO01			
P23/INTP2/TO02			
P24/INTP3/TO03			
P25/INTP4			
P26/INTP5			
P27/INTP6			
P30/TO10	5		
P31/TO11			
P32/RxD/SI1			
P33/TxD/SO1			
P34/ASCK/SCK1	8		
P35/RxD2/SI2	5		
P36/TxD2/SO2			
P37/ASCK2/SCK2	8		
P40/AD0-P47/AD7	5-A		
P50/AD8-P57/AD15			
P60/A16-P63/A19			
P70/ANI0-P77/ANI7	9	入力	V_{SS} に接続してください。
P80/ANI8-P87/ANI15			
P90/RD	5-A	入出力	入力状態：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください。 出力状態：オープンにしてください。
P91/LWR			
P92/HWR			
P93/ASTB			
P94/WAIT			
★ BWD	1	入力	V_{DD} または V_{SS} に接続してください。
MODE, MODE1			V_{SS} に直接接続してください。
RESET			-
CLKOUT	3	出力	オープンにしてください。
AVREF	-	-	V_{SS} に接続してください。
AVSS			
AVDD			V_{DD} に接続してください。

備考 タイプ番号は78Kシリーズで統一しているため、各製品内では連番とは限りません（内蔵しない回路あり）。

図2-1 端子の入出力回路

<p>タイプ1</p> 	<p>タイプ5-A</p> 
<p>タイプ2</p>  <p>ヒステリシス特性を有するシュミット・トリガ入力となっています。</p>	<p>タイプ8</p> 
<p>タイプ3</p> 	<p>タイプ9</p> 
<p>タイプ5</p> 	

第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD784054は、1Mバイトの空間をアクセスできます。LOCATION命令によって、内部データ領域（特殊機能レジスタおよび内部RAM）のマッピングが異なります。LOCATION命令は、リセット解除後に必ず実行する必要があり、2回以上使用することはできません。

リセット解除後のプログラムは、次のようになっている必要があります。

```
RSTVCT  CSEG  AT 0
        DW    RSTSTRT
        {
INITSEG  CSEG  BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
        MOVG  SP, #STKBGN
```

(1) LOCATION 0H命令を実行した場合

内部データ領域は、0FB00H-0FFFFHにマッピングされます。

また、内部ROMは、0-07FFFHにマッピングされます。

外部メモリは、外部メモリ拡張モードでアクセスします。

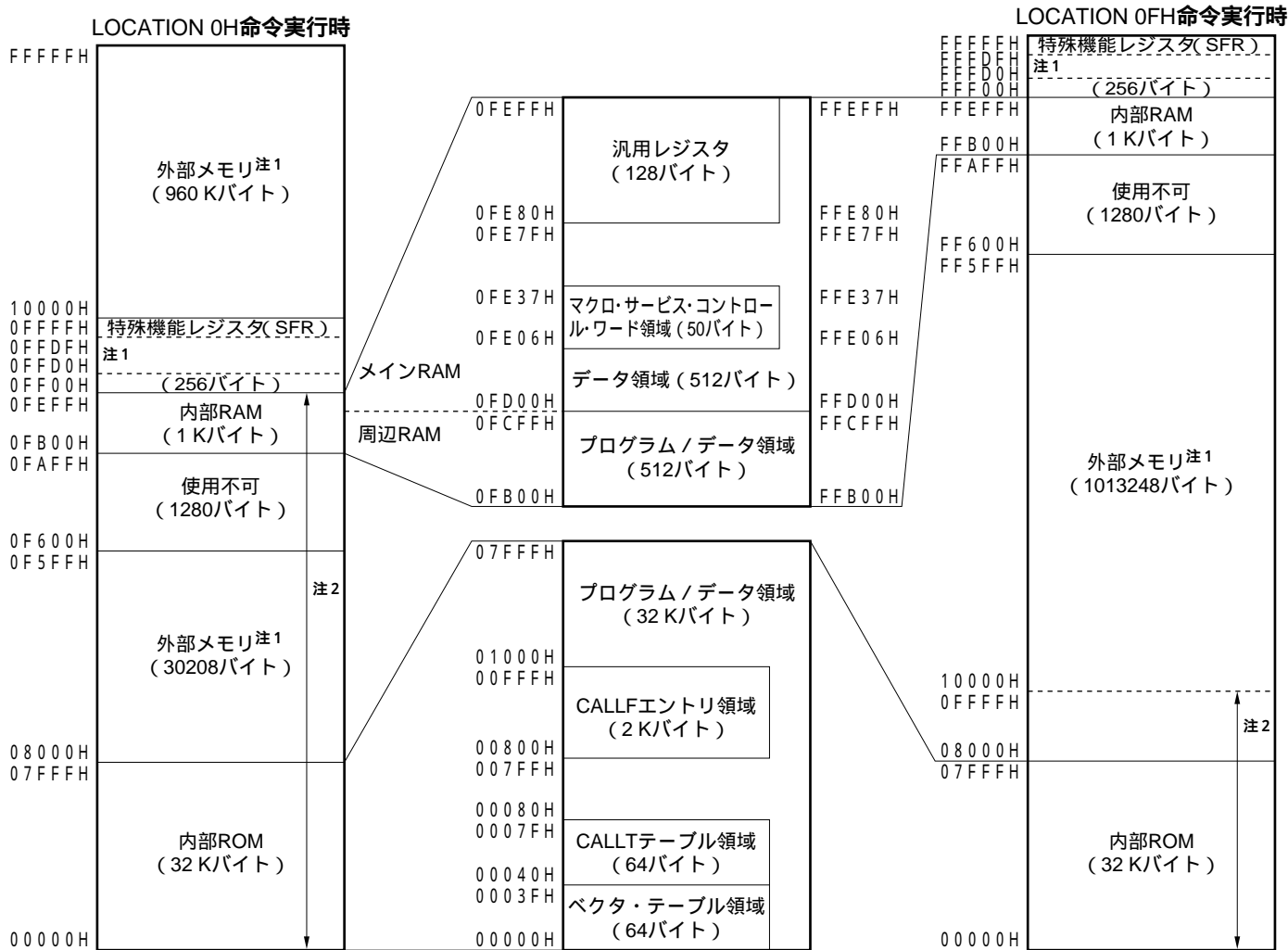
(2) LOCATION 0FH命令を実行した場合

内部データ領域は、FFB00H-FFFFFFHにマッピングされます。

また、内部ROMは、0-07FFFHにマッピングされます。

外部メモリは、外部メモリ拡張モードでアクセスします。

図3-1 メモリ・マップ



注1 . 外部メモリ拡張モードでアクセス

2 . ベース領域, リセットまたは割り込みによるエントリ領域。ただし, リセットについては内部RAMを除く。

3.2 内部ROM領域

μ PD784054は、ROMを内蔵しており、プログラムやテーブル・データなどを格納できます。

表3 - 1 内部ROM領域一覧

品名	内部ROM	アドレス空間	
		LOCATION 0H命令	LOCATION 0FH命令
μ PD784054	32 K × 8 ビット	00000H-07FFFH	00000H-07FFFH

内部ROMは、高速にアクセスすることが可能です。通常は、外部ROMと同等のスピードでフェッチするようになっており、メモリ拡張モード・レジスタ（MM）のIFCHビットをセット（1）することにより、高速フェッチ機能が使用され、内部ROMのフェッチを高速（2バイト単位に2システム・クロックでフェッチする）に行うようになります。

なお、外部ROMフェッチと同等な命令実行サイクルを選択した場合は、ウエイト機能によるウエイトの挿入が行われますが、高速フェッチ使用時には、内部ROMに対してはウエイトは挿入されません。

$\overline{\text{RESET}}$ 入力により、外部ROMフェッチ・サイクルと同等な命令実行サイクルとなります。

3.3 ベース領域

0-FFFFHの空間は、ベース領域となっています。次の用途については、ベース領域が対象となります。

- ・リセットのエントリ・アドレス
- ・割り込みのエントリ・アドレス
- ・CALLT命令のエントリ・アドレス
- ・16ビット・イミューディエト・アドレッシング・モード（命令アドレスのアドレッシング時）
- ・16ビット・ダイレクト・アドレッシング・モード
- ・16ビット・レジスタ・アドレッシング・モード（命令アドレスのアドレッシング時）
- ・16ビット・レジスタ・インダイレクト・アドレッシング・モード
- ・ショート・ダイレクト16ビット・メモリ・インダイレクト・アドレッシング・モード

また、ベース領域には、ベクタ・テーブル領域、CALLT命令テーブル領域、CALLF命令エントリ領域が割り付けられています。

なお、LOCATION 0H命令実行時には、内部データ領域がベース領域内に配置されます。内部データ領域のうち、内部高速RAM領域および特殊機能レジスタ（SFR）領域からは、プログラムのフェッチは行えませんので注意が必要です。また、内部RAM領域のデータは、初期化を行ってから使用してください。

3.3.1 ベクタ・テーブル領域

00000H-0003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域に $\overline{\text{RESET}}$ 入力，各割り込み要求発生により分岐する場合のプログラム・スタート・アドレスを格納しておきます。また，各割り込みでコンテキスト・スイッチングを使用する場合に，切り替え先のレジスタ・バンクの番号を格納します。

なお，ベクタ・テーブルとして使用していない部分は，プログラム・メモリまたはデータ・メモリとして使用できます。

ベクタ・テーブルに書ける値は，16ビットの値です。したがって，分岐できるのはベース領域のみです。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因
0003CH	オペランド・エラー
0003EH	BRK
00000H	リセット ($\overline{\text{RESET}}$ 入力)
00002H	NMI
00004H	INTWDT
00006H	INTOV0
00008H	INTOV1
0000AH	INTOV4
0000CH	INTP0/INTCC00
0000EH	INTP1/INTCC01
00010H	INTP2/INTCC02
00012H	INTP3/INTCC03
00014H	INTP4
00016H	INTP5
00018H	INTP6
0001AH	INTCM10
0001CH	INTCM11
00026H	INTCM40
00028H	INTCM41
0002AH	INTSER
0002CH	INTSR/INTCSI1
0002EH	INTST
00030H	INTSER2
00032H	INTSR2/INTCSI2
00034H	INTST2
00036H	INTAD

3.3.2 CALLT命令テーブル領域

00040H-0007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

CALLT命令では、このテーブルを参照し、テーブル中に書かれているベース領域のアドレスへサブルーチンとして分岐します。CALLT命令は1バイトであるため、プログラム中で記述回数の多いサブルーチン・コールをCALLT命令とすることで、プログラムのオブジェクト・サイズを圧縮することが可能です。なお、テーブルには最大32個のサブルーチン・エントリ・アドレスを記述できますので、記述頻度の多い順に登録することをお勧めします。

また、CALLT命令のテーブルとして使用しない場合は、通常のプログラム・メモリまたはデータ・メモリとして使用可能です。

3.3.3 CALLF命令エントリ領域

00800H-00FFFHの領域は、2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

CALLF命令は、2バイトのコール命令であるため、直接サブルーチン・コールのCALL命令（3バイトまたは4バイト）を使用した場合に比べ、オブジェクト・サイズを圧縮することが可能です。

高速性を活かしたいときには、この領域に直接サブルーチンを記述することが有効です。

オブジェクト・サイズを小さくしたい場合には、この領域に無条件分岐（BR）命令を記述し、サブルーチン本体はこの領域外に置くことで、5箇所以上からコールされているサブルーチンについて、オブジェクト・サイズの圧縮が図れます。この場合、CALLFエントリ領域中ではBR命令の4バイトしか場所をとらないため、多くのサブルーチンでオブジェクト・サイズの圧縮が可能です。

3.4 内部データ領域

内部データ領域は、内部RAM領域、特殊機能レジスタ領域で構成される領域です（図3-1参照）。

内部データ領域は、LOCATION命令によって、内部データ領域の最終アドレスを0FFFFH（LOCATION 0H命令実行時）にするか、FFFFFFH（LOCATION 0FH命令実行時）にするかを選択できます。このLOCATION命令による内部データ領域のアドレスの選択は、リセット解除直後に必ず1回実行する必要があるため、一度選択したあとは、変更することはできません。リセット解除後のプログラムは、例のようにする必要があります。内部データ領域と他の領域が同一アドレスに割り当てられた場合は、内部データ領域がアクセスの対象となり、他の領域にはアクセスできません。

```

例 RSTVCT  CSEG  AT 0
      DW    RSTSTRT
      }
INITSEG  CSEG  BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
MOVG SP, #STKBGN
    
```

注意 LOCATION 0H命令実行時には、リセット解除後のプログラムが内部データ領域に重ならないようにする必要があります。また、NMIなどのマスク不可能な割り込み処理ルーチンのエントリ・アドレスも、内部データ領域と重ならないようにしてください。なお、マスク可能割り込みのエントリ領域などについては、内部データ領域を参照する前に初期化を行う必要があります。

3.4.1 内部RAM領域

μPD784054は、汎用スタティックRAMを内蔵しています。
この領域は、次のように構成されています。

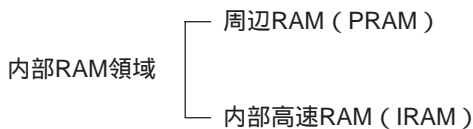


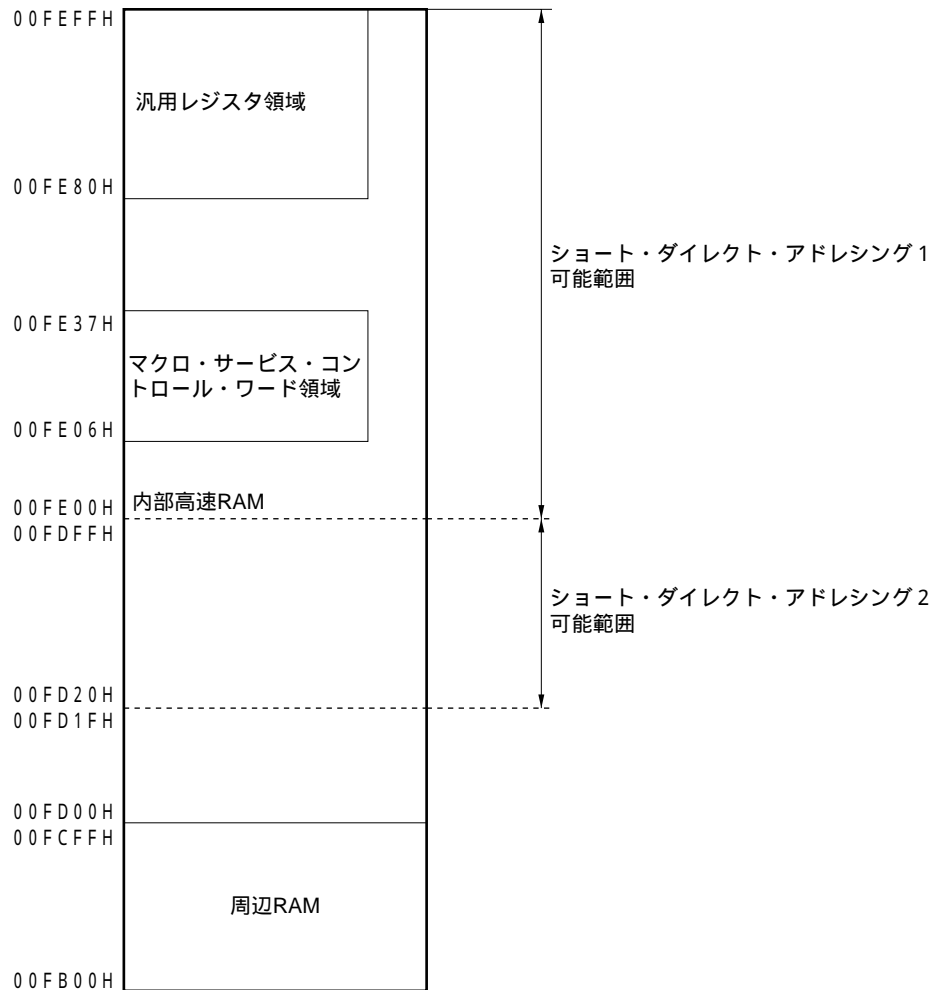
表3-3 内部RAM領域一覧

品名	内部RAM領域		
	内部RAM	周辺RAM : PRAM	内部高速RAM : IRAM
μPD784054	1024バイト (0FB00H-0FEFFH)	512バイト (0FB00H-0FCFFH)	512バイト (0FD00H-0FEFFH)

備考 表中のアドレスは、LOCATION 0H命令実行時の値です。LOCATION 0FH命令実行時には、上記の値に0F0000Hを加えてください。

内部RAMのメモリ・マップを図3 - 2に示します。

図3 - 2 内部RAMのメモリ・マップ



備考 図中のアドレスは、LOCATION 0H命令実行時の値です。LOCATION 0FH命令実行時には、上記の値に0F0000Hを加えてください。

(1) 内部高速RAM (IRAM)

内部高速RAM (IRAM) は、高速アクセスが可能です。このうち、FD20H-FEFFFHは、高速アクセス用のショート・ダイレクト・アドレッシング・モードが使用できます。ショート・ダイレクト・アドレッシング・モードには、その対象となるアドレスにより、ショート・ダイレクト・アドレッシング1とショート・ダイレクト・アドレッシング2の2種類があります。いずれのアドレッシング・モードも、その機能は同一です。一部の命令では、ショート・ダイレクト・アドレッシング2は、ショート・ダイレクト・アドレッシング1より語長が短くなっています。詳細は、78 K/ シリーズ ユーザーズ・マニュアル 命令編を参照してください。

IRAMから、プログラムのフェッチを行うことはできません。IRAMが、マッピングされているアドレスからプログラムのフェッチを行うと、CPUは暴走します。

また、IRAMには、次の領域が予約されています。

- ・汎用レジスタ領域 : FE80H-FEFFFH
- ・マクロ・サービス・コントロール・ワード領域 : FE06H-FE37H
- ・マクロ・サービス・チャンネル領域 : FE00H-FEFFFH (アドレスは、マクロ・サービス・コントロール・ワードで指定します)

これらの領域で、予約されている機能を使用していない場合は、通常データ・メモリとして使用できます。

備考 本文中のアドレスは、LOCATION 0H命令実行時のアドレスです。LOCATION 0FH命令実行時には、本文中の値に0F0000Hを加えてください。

(2) 周辺RAM (PRAM)

周辺RAM (PRAM) は、普通のプログラム・メモリまたはデータ・メモリとして使用します。プログラム・メモリとして使用する場合は、事前に、プログラムによって周辺RAMにプログラムを書き込んでおく必要があります。

なお、周辺RAMからのプログラム・フェッチは、2バイト単位に2クロックで行うことができるため高速です。

3.4.2 特殊機能レジスタ (SFR) 領域

0FF00H-0FFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) がマッピングされています (図3 - 1参照)。

また、0FFD0H-0FFDFHの領域は、外部SFR領域としてマッピングされており、外部メモリ拡張モード (メモリ拡張モード・レジスタ (MM) で設定) 時に外付けされた周辺I/Oなどをアクセスすることができます。

注意 この領域内で、SFRのマッピングされていないアドレスをアクセスしないでください。誤ってアクセスすると、CPUがデッドロック状態になることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

備考 本文中のアドレスは、LOCATION 0H命令実行時のアドレスです。LOCATION 0FH命令実行時には、本文中の値に0F0000Hを加えてください。

3.4.3 外部SFR領域

μPD784054では、SFR領域のうち、0FFD0H-0FFDFH (LOCATION 0H命令実行時。LOCATION 0FH命令実行時は0FFFD0H-0FFDFH) の16バイトの領域は、外部SFR領域としてマッピングされています。外部メモリ拡張モードの場合に、アドレス・バスおよびアドレス/データ・バスなどを使用して、外付けされた周辺I/Oなどをアクセスすることができます。

外部SFR領域は、SFRアドレッシングでアクセスすることができるので、周辺I/Oなどの操作が簡単にできる、オブジェクト・サイズを圧縮できる、マクロ・サービスを使用できるなどの特徴があります。

なお、外部SFR領域に対するアクセス時のバスの動作は、通常のメモリ・アクセスと同様になります。

3.5 外部メモリ空間

外部メモリ空間は、メモリ拡張モード・レジスタ (MM) の設定によりアクセスが可能なメモリ空間です。プログラム、テーブル・データなどの格納、および周辺のI/Oデバイスを割り付けることができます。

3.6 制御レジスタ

制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

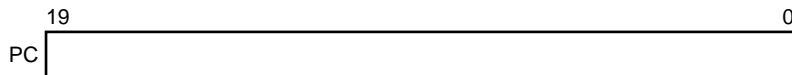
3.6.1 プログラム・カウンタ（PC）

次に実行するプログラムのアドレス情報を保持する20ビット・バイナリ・カウンタです（図3 - 3参照）。

通常、フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐を伴う命令を実行した場合、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0番地と1番地の16ビット・データがPCの下位16ビットに、0000がPCの上位4ビットにセットされます。

図3 - 3 プログラム・カウンタ（PC）のフォーマット



3.6.2 プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワード（PSW）は、命令の実行の結果によってセット、リセットされる各種フラグで構成される16ビット・レジスタです。

上位8ビット（PSWH）、下位8ビット（PSWL）単位でリード・アクセス/ライト・アクセスします。また、ビット操作命令により、各フラグの操作ができます。

PSWの内容は、ベクタ割り込み要求の受け付け時、およびBRK命令の実行時に自動的にスタックに退避し、RETI命令またはRETB命令の実行時に自動的に復帰します。また、コンテキスト・スイッチング使用時には、RP3に自動的に退避し、RETCS命令またはRETCSB命令の実行時に自動的に復帰します。

$\overline{\text{RESET}}$ 入力により、全ビットがリセット（0）されます。

図3 - 4で“0”と書かれているビットには、必ず“0”を書き込んでください。また、“-”と書かれているビットの内容は、読み出し時には不定となります。

図3-4 プログラム・ステータス・ワード (PSW) のフォーマット

略号	7	6	5	4	3	2	1	0
PSWH	UF	RBS2	RBS1	RBS0	-	-	-	-
PSWL	S	Z	RSS	AC	IE	P/V	0	CY

各フラグについて、次に示します。

(1) キャリー・フラグ (CY)

演算結果のキャリー、ボローを記憶するフラグです。

また、シフト・ローテート命令実行時は、シフト・アウトされた値を記憶し、ビット操作命令実行時は、ビット・アキュムレータとして機能します。

CYフラグの状態は、条件付き分岐命令でテストできます。

(2) パリティ/オーバーフロー・フラグ (P/V)

P/Vフラグは、演算命令の実行に伴い、次の2種類の動作をします。

P/Vフラグの状態は、条件付き分岐命令でテストできます。

・パリティ・フラグ動作

論理演算命令、シフト・ローテート命令、CHKL、CHKLA命令の実行の結果、セット(1)されたビット数が偶数のときにはセット(1)されます。奇数のときにはリセット(0)されます。ただし、16ビットのシフト命令の場合、演算結果の下位8ビットのみパリティ・フラグに有効です。

・オーバーフロー・フラグ動作

算術演算命令の実行の結果、2の補数で表現される数値範囲を越えたときのみセット(1)されます。それ以外のときにはリセット(0)されます。具体的には、MSBからのキャリーとMSBへのキャリーの排他的論理和の結果が、このフラグの内容になります。たとえば、8ビットの算術演算では、2の補数の範囲は80H(-128)~7FH(+127)であり、演算結果がこの範囲以外になったときセット(1)され、範囲内のときはリセット(0)されます。

例 8ビット加算命令実行時のオーバーフロー・フラグの動作を次に示します。

78H (+120) と 69H (+105) の加算を行うと、演算結果が E1H (+225) となり、2の補数の上限を越えるため、P/Vフラグがセット(1)されます。また、2の補数表現で、E1Hは-31になります。

$$\begin{array}{r}
 78H (+120) = \quad 0111 \ 1000 \\
 +) \underline{69H (+105)} = +) \underline{0110 \ 1001} \\
 \hline
 0 \ 1110 \ 0001 = -31 \ P/V = 1
 \end{array}$$

CY

また、次のような2つの負数の加算は、演算結果が2つの補数の範囲内にあるため、P/Vフラグはリセット(0)されます。

$$\begin{array}{r}
 FBH (-5) = \quad 1111 \ 1011 \\
 +) \underline{F0H (-16)} = +) \underline{1111 \ 0000} \\
 \hline
 1 \ 1110 \ 1011 = -21 \ P/V = 0
 \end{array}$$

CY

(3) 割り込み要求許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

“0”のときは割り込み禁止となり、ノンマスカブル割り込み、およびマスク解除したマクロ・サービスのみ受け付けが可能となります。それ以外は、すべて禁止されます。

“1”のときは割り込み許可状態となり、割り込み要求受け付けの許可は、各割り込み要求に対応する割り込みマスク・フラグおよび各割り込みの優先順位により制御されます。

EI命令実行によりセット(1)され、DI命令実行または割り込みの受け付けでリセット(0)されます。

(4) 補助キャリー・フラグ(AC)

演算の結果、ビット3からのキャリーがあったとき、またはビット3へのボローがあったときにセット(1)されます。それ以外のときにはリセット(0)されます。

ADJBA, ADJBS命令実行時に使用されます。

(5) レジスタ・セット選択フラグ (RSS)

X, A, C, Bとして機能する汎用レジスタ, およびAX, BCとして機能する汎用レジスタ・ペア (16ビット) を指定するフラグです。

このフラグは, 78K/ シリーズとの互換性を保つために用意されているフラグです。78K/ シリーズ用のプログラムを流用するとき以外は, 必ず0にしてください。

(6) ゼロ・フラグ (Z)

演算の結果が“0”であることを記憶するフラグです。

演算の結果が“0”のときにセット (1) されます。それ以外のときにはリセット (0) されます。

Zフラグの状態は, 条件付き分岐命令でテストできます。

(7) サイン・フラグ (S)

演算の結果, MSBが“1”であることを記憶するフラグです。

演算の結果, MSBが“1”のときにセット (1) されます。“0”のときにはリセット (0) されます。Sフラグの状態は, 条件付き分岐命令でテストできます。

(8) レジスタ・バンク選択フラグ (RBS0-RBS2)

8個のレジスタ・バンク (レジスタ・バンク0-レジスタ・バンク7) のうち, 1つを選択する3ビットのフラグです。(表3-4参照)。

SEL RBn命令の実行などにより選択されたレジスタ・バンクを示す3ビットの情報が格納されています。

表3-4 レジスタ・バンクの選択

RBS2	RBS1	RBS0	指定レジスタ・バンク
0	0	0	レジスタ・バンク0
0	0	1	レジスタ・バンク1
0	1	0	レジスタ・バンク2
0	1	1	レジスタ・バンク3
1	0	0	レジスタ・バンク4
1	0	1	レジスタ・バンク5
1	1	0	レジスタ・バンク6
1	1	1	レジスタ・バンク7

(9) ユーザ・フラグ (UF)

ユーザ・プログラム上でセットおよびリセットし, プログラムの制御に利用できるフラグです。

3.6.3 RSSビットの使用方法

基本的にRSSビットは、常時、0に固定して使用してください。

次の説明は、78K/ シリーズ用のプログラムを流用する場合で、流用するプログラムがRSSビットを1にしている場合のための説明です。RSSビットを0に固定して使用する場合には読む必要はありません。

RSSビットは、A (R1) , X (R0) , B (R3) , C (R2) , AX (RP0) , BC (RP1) の持っている機能をR4-R7 (RP2, RP3) レジスタでも使用できるようにするためのビットです。このビットを有効に使用することで、プログラム・サイズやプログラムの実行に関して効率の良いプログラムを作成することができます。

しかし、不用意に使用すると思わぬ不具合が発生することがあります。したがって、通常は、RSSビットは0にして使用してください。RSSビットを1にして使用するのは、78K/ シリーズ用のプログラムを流用する場合だけにしてください。

すべてのプログラム中で、RSSビットを0にして使用することにより、プログラム作成およびデバッグ作業の効率が向上します。

RSSビットを1にして使用しているプログラムを流用する場合でも、可能であれば、RSSビットを1にしないプログラムへ修正してから流用することを推奨します。

(1) RSSビットの推奨

オペレーション一覧(19.2参照)で、オペランド欄にA, X, B, C, AXレジスタが直接記載されている命令で使用するこれらのレジスタ

インプライド・アドレッシングにより、A, AX, B, Cレジスタを使用する命令で、インプライドで指定されるレジスタ

インデクスト・アドレッシング、ベースト・インデクスト・アドレッシングでA, B, Cレジスタを使用する命令で、アドレッシング時に使用するレジスタ

これらの場合に使用するレジスタをRSSビットによって、次のように切り替えます。

・RSS = 0 の場合

A R1, X R0, B R3, C R2, AX RP0, BC RP1

・RSS = 1 の場合

A R5, X R4, B R7, C R6, AX RP2, BC RP3

前述以外で使用するレジスタは、RSSビットの内容にかかわらず常に同一のレジスタになります。当社製のアセンブラ (RA78K4) では、A, X, B, C, AX, BCレジスタについて、この名前で記述されている場合にどちらのレジスタ用の命令コードを生成するかは、アセンブラのRSS疑似命令で決定されません。

RSSビットをセット、リセットする場合には、その命令の直前 (または直後) に、必ずRSS疑似命令を記述してください (下記例参照)。

プログラム例

- ・RSS = 0 にする場合

```
RSS 0          ; RSS疑似命令
CLR1 PSWL. 5
MOV B, A      ; この記述は、"MOV R3, R1" に該当します。
```

- ・RSS = 1 にする場合

```
RSS 1          ; RSS疑似命令
SET1 PSWL. 5
MOV B, A      ; この記述は、"MOV R7, R5" に該当します。
```

(2) RA78K4での命令コードの生成方法

- ・RA78K4では、命令のオペレーション一覧のオペランド欄にAまたはAXが直接記載されている命令と同機能の命令がある場合、オペランド欄にAまたはAXが直接記載されている命令コードを優先して生成します。

例 MOV A, r命令でrをBとした場合と、MOV r, r'命令でrをA, r'をBとした場合では同一の機能です。また、アセンブラのソース・プログラム上では同一の記述 (MOV A, B) となります。この場合、RA78K4は、MOV A, r命令に相当するコードを生成します。

- ・オペランド欄にr, r', rp, rp'が指定されている命令で, A, X, B, C, AX, BCが記述された場合, RA78K4のRSS疑似命令のオペランドによって, A, X, B, C, AX, BC命令はそれぞれ次のレジスタを指定する命令コードを生成します。

レジスタ	RSS = 0	RSS = 1
A	R1	R5
X	R0	R4
B	R3	R7
C	R2	R6
AX	RP0	RP2
BC	RP1	RP3

- ・オペランド欄のr, r', rp, rp'にR0-R7, RP0-RP4を記述した場合, その指定どおりの命令コードを出力します (オペランド欄にA, AXが直接記載されている命令コードは出力しません)。
- ・インデクスト・アドレッシング, ベースト・インデクスト・アドレッシングで使用するA, B, Cレジスタは, R1, R3, R2やR5, R7, R6といった記述はできません。

(3) 使用上の注意

RSSビットを切り替えることで, 2組のレジスタ・セットを持つのと同様の効果が得られます。しかし, プログラムの静的な記述とプログラム実行時の動的なRSSビットの変化を常に一致するように, 十分に注意をしてプログラムを記述しなければなりません。

また, RSS = 1にしたプログラムは, コンテキスト・スイッチング機能を使用しているプログラムでは使用できないので, プログラムの流用性が悪くなります。さらに, 同一の名称で異なるレジスタを使用するため, プログラムの可読性が悪くなり, デバッグ作業が難しくなります。したがって, RSS = 1として使用しなければならない場合は, これらの欠点を十分に考慮のうえ, プログラムを作成してください。

なお, RSSビットで指定されないレジスタは, 絶対名称を記述することによりアクセスできます。

3.6.4 スタック・ポインタ (SP)

スタック領域 (LIFO形式 : 00000H-FFFFFFH) の先頭アドレスを保持する24ビット・レジスタです (図3 - 5 参照)。サブルーチン処理や割り込み処理時にスタック領域をアドレスするために使用されます。上位4ビットには、必ず“0”を書き込んでください。

SPの内容は、スタック領域への書き込み前にデクリメントされ、スタック領域からの読み出し後にインクリメントされます (図3 - 6, 図3 - 7 参照)。

SPは、専用命令によりアクセスします。

SPの内容は、 $\overline{\text{RESET}}$ 入力により不定になりますので、リセット解除直後に (サブルーチン・コールや割り込みを受け付ける前に) 必ず初期化プログラムによりSPをイニシャライズしてください。

例 SPのイニシャライズ

```
MOVG SP, #0FEE0H ; SP 0FEE0H (FEDFHから使用の場合)
```

図3 - 5 スタック・ポインタ (SP) のフォーマット

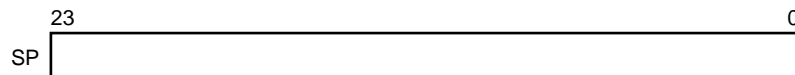


図3 - 6 スタック領域へ退避されるデータ

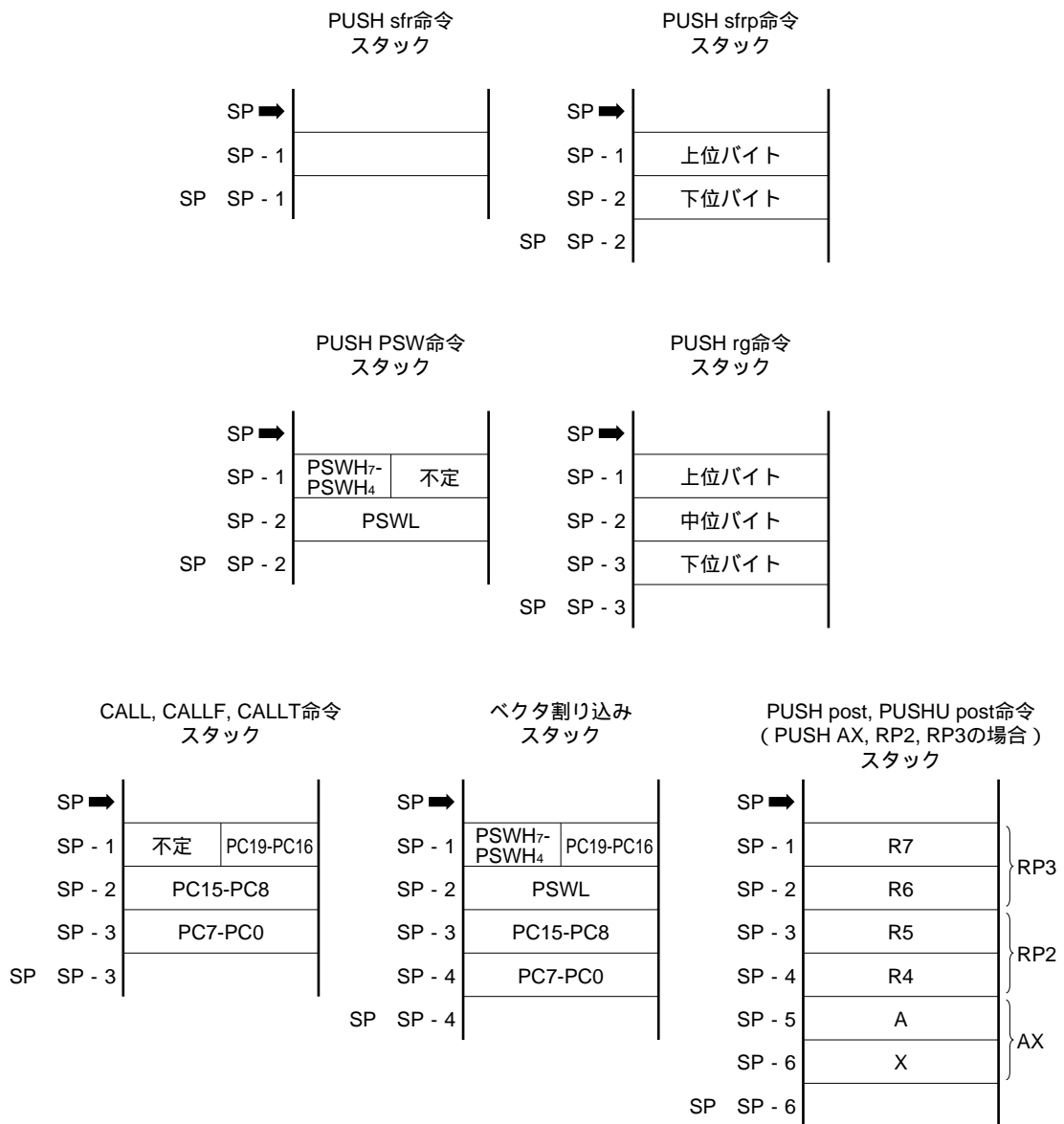
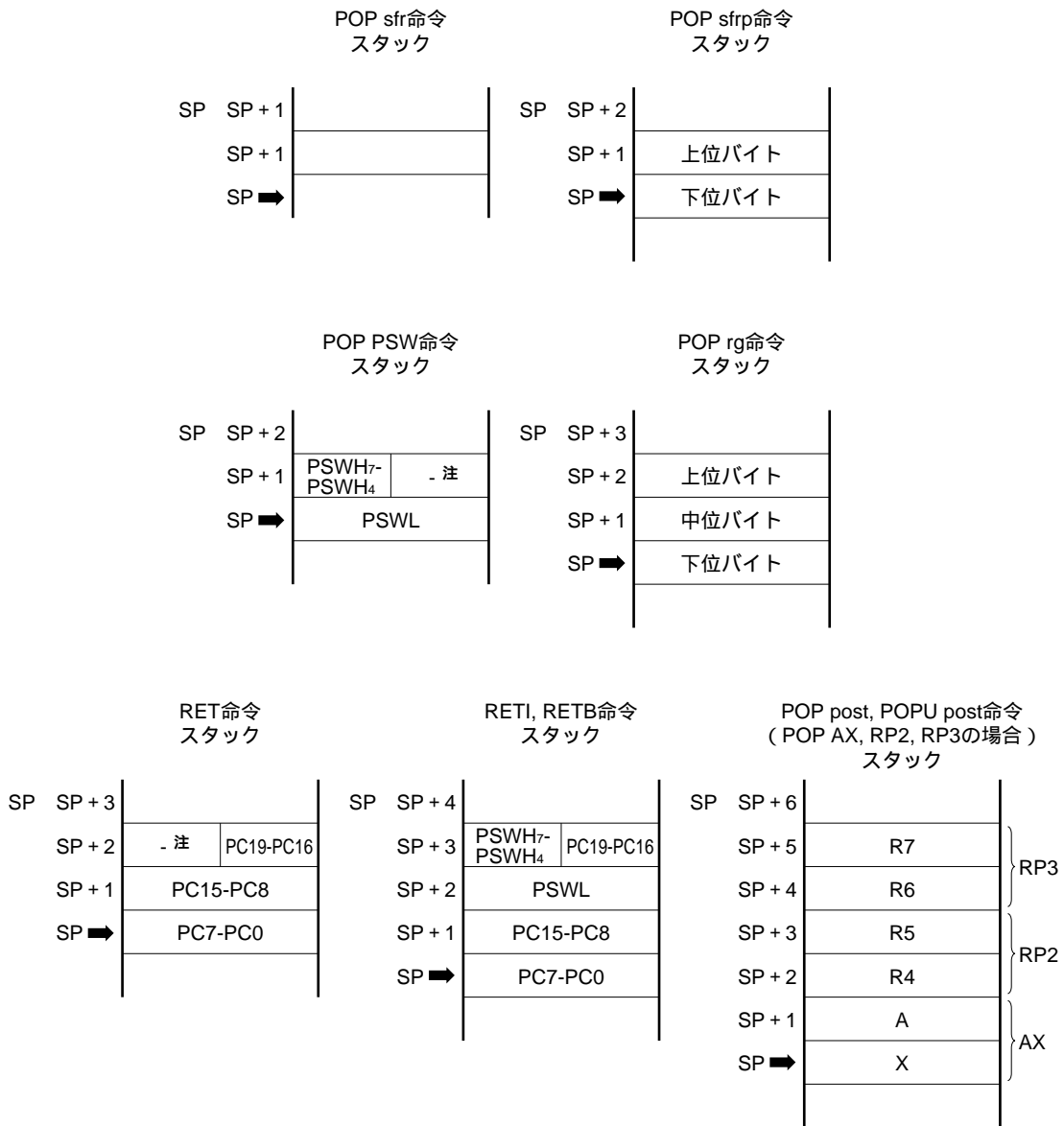


図3 - 7 スタック領域から復帰されるデータ



注 この4ビットのデータは無視されます。

注意1．スタック・アドレッシングでは、1 Mバイトすべての空間でアクセス可能ですが、SFR領域および内部ROM領域にスタック・エリアを確保することはできません。

2．スタック・ポインタ (SP) は、 $\overline{\text{RESET}}$ 入力により不定になります。また、SPが不定の状態でもノンマスクابل割り込みは受け付け可能です。したがって、リセット解除直後のSPが不定な状態でノンマスクابل割り込みの要求が発生すると、予期しない動作を行う場合があります。この危険を回避するために、リセット解除後のプログラムは、必ず次のようにしてください。

```
RSTVCT  CSEG  AT 0
          DW   RSTSTRT
          {
INITSEG  CSEG  BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
          MOVG SP, #STKBGN
```

3.7 汎用レジスタ

3.7.1 構成

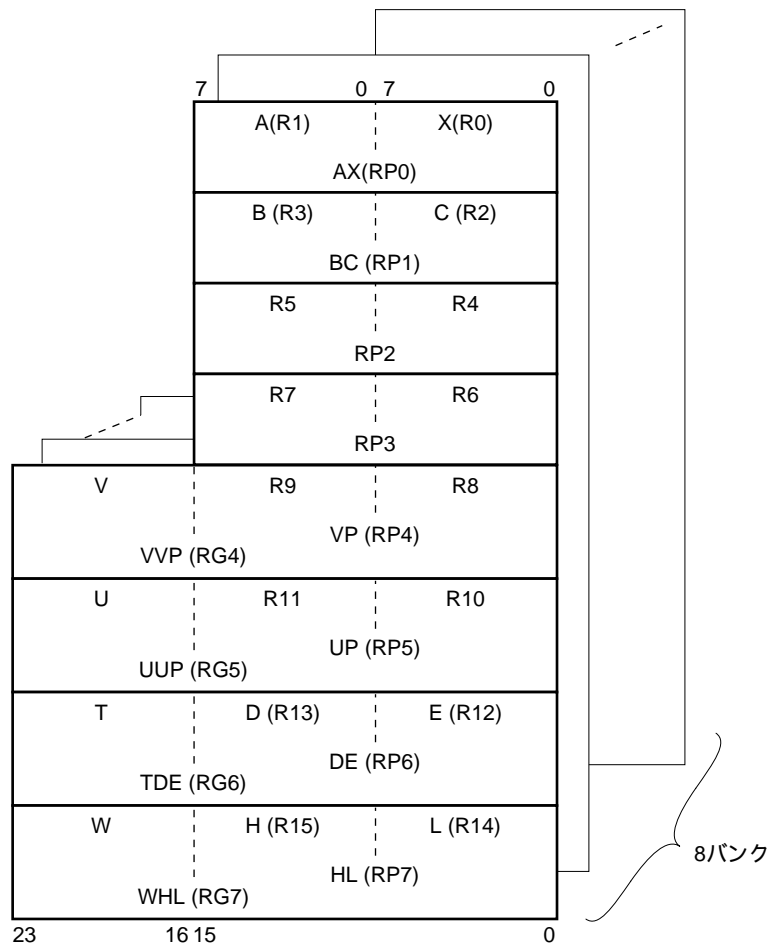
8ビットの汎用レジスタ16本で構成されています。また、8ビット汎用レジスタ2本を組み合わせて、16ビット汎用レジスタとして使用することもできます。さらに、16ビット汎用レジスタのうち4本は、アドレス拡張用の8ビット・レジスタと組み合わせて、24ビット・アドレス指定用レジスタとして使用することができます。

アドレス拡張用のV, U, T, Wレジスタを除いた汎用レジスタは、内部RAMにマッピングされています。

これらのレジスタ・セットは、8バンク用意されており、ソフトウェアまたはコンテキスト・スイッチング機能により切り替えて使用することができます。

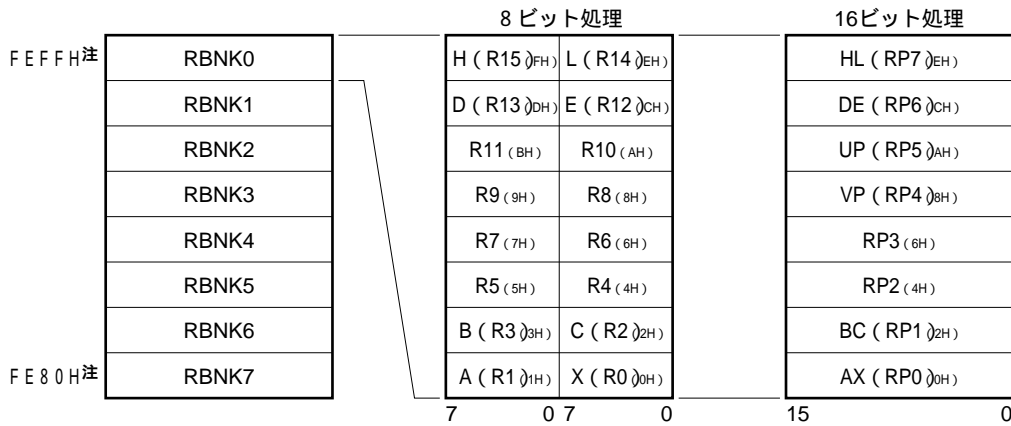
$\overline{\text{RESET}}$ 入力により、レジスタ・バンク0が選択されます。また、実行中のプログラムで使用しているレジスタ・バンクは、PSW内のレジスタ・バンク選択フラグ (RBS0, RBS1, RBS2) を読み出すことによって確認できます。

図3 - 8 汎用レジスタのフォーマット



備考 ()内は絶対名称です。

図3 - 9 汎用レジスタのアドレス



注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時のアドレスは、上記の値に0F0000Hを加えた値。

注意 R4, R5, R6, R7, RP2, RP3は、PSWのRSSビットを1にすることで、それぞれ、X, A, C, B, AX, BCレジスタとして使用することができますが、この機能を使用するのは78K/ シリーズ用のプログラムを流用する場合だけにしてください。

備考 レジスタ・バンクを変更する場合で、元のレジスタ・バンクに戻す必要がある場合は、PUSH PSW命令でPSWをスタックへ退避してからSEL RBn命令を実行してください。元に戻すときは、スタックの位置に変化がなければPOP PSW命令で戻せます。
 なお、ベクタ割り込み処理プログラムなどでレジスタ・バンクを変更する場合には、PSWは割り込みの受け付け時に自動的にスタックへ退避され、RETI, RETB命令で復帰されますので、割り込み処理ルーチンで使用するレジスタ・バンクが1つの場合には、単にSEL RBn命令を実行するだけで、PUSH PSWやPOP PSW命令を実行する必要はありません。

例 レジスタ・バンク2を指定する場合

```

    ...
    PUSH PSW
    SEL RB2
    ...
    POP PSW
    ...
    } レジスタ・バンク2で動作
    } 元のレジスタ・バンクで動作
    
```

3.7.2 機能

汎用レジスタは、それぞれ8ビット単位で操作できるほか、2個の8ビット・レジスタがペアとなって16ビット単位で操作することもできます。また、16ビット・レジスタのうち4本は、アドレス拡張用の8ビット・レジスタと組み合わせて24ビット単位で操作できます。

また、各レジスタは、演算結果の一時保管や、レジスタ間演算命令のオペランドとして汎用的に使用することが可能です。

0FE80H-0FEFFH (LOCATION 0H命令実行時。LOCATION 0FH命令実行時は0FFE80H-0FEFFH) の領域は、汎用レジスタ・エリアとして使用する、しないにかかわらず、通常のリデータ・メモリとしてアドレス指定し、アクセスすることができます。

78K/ シリーズでは、8つのレジスタ・バンクを持っているので、通常のリ処理と割り込み時のリ処理でレジスタ・バンクを使い分けることにより、効率のよいプログラムを作成できます。

各レジスタは、それぞれ次に示す固有機能を持っています。

A (R1) :

- ・8ビット・データの転送や演算処理の中心となるレジスタです。8ビット・データに対するすべてのアドレッシング・モードと組み合わせて使用できます。
- ・ビット・データの格納にも使用できます。
- ・インデクスト・アドレッシング、ベースト・インデクスト・アドレッシング時のオフセット値を格納するレジスタとして使用できます。

X (R0) :

- ・ビット・データの格納に使用できます。

AX (RP0) :

- ・16ビット・データの転送や演算処理の中心となるレジスタです。16ビット・データに対するすべてのアドレッシング・モードと組み合わせて使用できます。

AXDE :

- ・DIVUX, MACW, MACSW命令実行時に、32ビット・データの格納用として使用されます。

B (R3) :

- ・ループ・カウンタとしての機能を持っており、DBNZ命令で使用できます。
- ・インデクスト・アドレッシング、ベースト・インデクスト・アドレッシング時のオフセット値を格納するレジスタとして使用できます。
- ・MACW, MACSW命令のデータ・ポインタとして使用します。

C (R2) :

- ・ループ・カウンタとしての機能を持っており、DBNZ命令で使用できます。
- ・ベースト・インデクスト・アドレッシング時のオフセット値を格納するレジスタとして使用できます。
- ・ストリング命令、SACW命令のカウンタとして使用します。
- ・MACW、MACSW命令のデータ・ポインタとして使用します。

RP2 :

- ・コンテキスト・スイッチング使用時に、プログラム・カウンタ (PC) の下位16ビットを退避するために使用します。

RP3 :

- ・コンテキスト・スイッチング使用時に、プログラム・カウンタ (PC) の上位4ビットおよびプログラム・ステータス・ワード (PSW) (PSWHのビット0-ビット3を除く) を退避するために使用します。

VVP (RG4) :

- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング、ベースト・インデクスト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。

UUP (RG5) :

- ・ユーザ・スタック・ポインタとしての機能を持っており、PUSHU、POPU命令により、システム・スタックとは別のスタックを実現することができます。
- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。

DE (RP6), HL (RP7) :

- ・インデクスト・アドレッシング、ベースト・インデクスト・アドレッシング時には、オフセット値を格納するレジスタとして動作します。

TDE (RG6) :

- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。
- ・ストリング命令、SACW命令のポインタとして動作します。

WHL (RG7) :

- ・24ビット・データの転送や演算処理の中心となるレジスタです。
- ・ポインタとしての機能を持っており、レジスタ・インダイレクト・アドレッシング、ベースト・アドレッシング時に、ベース・アドレスを指定するレジスタとして動作します。
- ・ストリング命令、SACW命令のポインタとして動作します。

各レジスタは、それぞれの固有機能を重視した機能名称 (X, A, C, B, E, D, L, H, AX, BC, VP, UP, DE, HL, VVP, UUP, TDE, WHL) のほか、絶対名称 (R0-R15, RP0-RP7, RG4-RG7) でも記述することができます。対応は、表3 - 5を参照してください。

表3 - 5 機能名称-絶対名称の対応

(a) 8ビット・レジスタ

絶対名称	機能名称	
	RSS = 0	RSS = 1 ^注
R0	X	
R1	A	
R2	C	
R3	B	
R4		X
R5		A
R6		C
R7		B
R8		
R9		
R10		
R11		
R12	E	E
R13	D	D
R14	L	L
R15	H	H

(b) 16ビット・レジスタ

絶対名称	機能名称	
	RSS = 0	RSS = 1 ^注
RP0	AX	
RP1	BC	
RP2		AX
RP3		BC
RP4	VP	VP
RP5	UP	UP
RP6	DE	DE
RP7	HL	HL

(c) 24ビット・レジスタ

絶対名称	機能名称
RG4	VVP
RG5	UUP
RG6	TDE
RG7	WHL

注 RSS = 1として使用するの、78K/ シリーズ用のプログラムを流用する場合だけにしてください。

備考 R8-R11には機能名称はありません。

3.8 特殊機能レジスタ (SFR)

内蔵周辺ハードウェアのモード・レジスタ、コントロール・レジスタなどの特別な機能が割り付けられたレジスタで、0FF00H-0FFFFH^注の256バイトの空間にマッピングされています。

注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFF00H-FFFFFH。

注意 この領域内で、SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、 μ PD784054がデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

表3 - 6 に特殊機能レジスタ (SFR) の一覧を示します。表中の項目の意味は次のようになります。

- ・略号..... 内蔵されたSFRを示す記号。当社製アセンブラ (RA78K4) では予約語になっています。Cコンパイラ (CC78K4) では#pragma sfr指令により、sfr変数として使用できます。
- ・R/W..... 該当するSFRが読み出し / 書き込みが可能かどうかを示します。
 - R/W : 読み出し (Read) / 書き込み (Write) 可能
 - R : 読み出し (Read) のみ
 - W : 書き込み (Write) のみ
- ・操作可能ビット単位... 該当するSFRを操作する場合に、適応可能な操作ビット単位を示します。16ビット操作可能なSFRはオペランドのsfrpに記述でき、アドレスで指定する場合は偶数アドレスを記述します。
 - 1ビット操作可能なSFRは、ビット操作命令に記述できます。
- ・リセット時..... $\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3 - 6 特殊機能レジスタ (SFR) 一覧 (1/5)

アドレス ^{注1}	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FF00H	ポート0	P0	R/W			-	不定
0FF01H	ポート1	P1				-	
0FF02H	ポート2	P2	注2			-	
0FF03H	ポート3	P3	R/W			-	
0FF04H	ポート4	P4				-	
0FF05H	ポート5	P5				-	
0FF06H	ポート6	P6				-	
0FF07H	ポート7	P7	R			-	
0FF08H	ポート8	P8				-	
0FF09H	ポート9	P9	R/W			-	
0FF10H	タイマ・レジスタ0	TM0	R	-	-		0000H
0FF11H							
0FF12H	キャプチャ/コンペア・レジスタ00	CC00	R/W	-	-		不定
0FF13H							
0FF14H	キャプチャ/コンペア・レジスタ01	CC01		-	-		
0FF15H							
0FF16H	キャプチャ/コンペア・レジスタ02	CC02		-	-		
0FF17H							
0FF18H	キャプチャ/コンペア・レジスタ03	CC03		-	-		
0FF19H							
0FF1AH	タイマ・レジスタ1	TM1	R	-	-		0000H
0FF1BH							
0FF1CH	コンペア・レジスタ10	CM10	R/W	-	-		不定
0FF1DH							
0FF1EH	コンペア・レジスタ11	CM11		-	-		
0FF1FH							
0FF20H	ポート0モード・レジスタ	PM0				-	FFH
0FF21H	ポート1モード・レジスタ	PM1				-	
0FF22H	ポート2モード・レジスタ	PM2 ^{注3}				-	
0FF23H	ポート3モード・レジスタ	PM3				-	
0FF24H	ポート4モード・レジスタ	PM4				-	
0FF25H	ポート5モード・レジスタ	PM5				-	

注1 . LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F0000H ”を加えます。

- 2 . P2のビット0はReadのみ可能で、ビット1-ビット7はR/W可能です。
- 3 . PM2のビット0はハードウェアで“ 1 ”に固定。

表3 - 6 特殊機能レジスタ (SFR) 一覧 (2/5)

アドレス ^{注1}	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
0FF26H	ポート6モード・レジスタ	PM6	R/W			-	FFH	
0FF29H	ポート9モード・レジスタ	PM9				-		
0FF2FH	ポート・リード・コントロール・レジスタ	PRDC				-	00H	
0FF30H	タイマ・ユニット・モード・レジスタ0	TUM0				-		
0FF31H	タイマ・モード・コントロール・レジスタ	TMC				-		
0FF32H	タイマ出力コントロール・レジスタ0	TOC0				-		
0FF33H	タイマ出力コントロール・レジスタ1	TOC1				-		
0FF37H	タイマ・モード・コントロール・レジスタ4	TMC4				-		
0FF38H	プリスケアラ・モード・レジスタ	PRM			-	-		
0FF3AH	プリスケアラ・モード・レジスタ4	PRM4			-	-		
0FF3BH	ノイズ・プロテクション・コントロール・レジスタ	NPC				-		
0FF3CH	外部割り込みモード・レジスタ0	INTM0				-		
0FF3DH	外部割り込みモード・レジスタ1	INTM1				-		
0FF3EH	割り込み有効エッジ・フラグ・レジスタ1	IEF1				-	不定	
0FF3FH	割り込み有効エッジ・フラグ・レジスタ2	IEF2				-		
0FF42H	ポート2モード・コントロール・レジスタ	PMC2 ^{注2}				-	00H	
0FF43H	ポート3モード・コントロール・レジスタ	PMC3				-		
0FF49H	ポート9モード・コントロール・レジスタ	PMC9				-		
0FF4EH	プルアップ抵抗オプション・レジスタL	PUOL			-			
0FF4FH	プルアップ抵抗オプション・レジスタH	PUOH			-			
0FF60H	タイマ・レジスタ4	TM4	R	-	-		0000H	
0FF61H								
0FF62H	コンペア・レジスタ40	CM40	R/W	-	-		不定	
0FF63H								
0FF64H	コンペア・レジスタ41	CM41		-				
0FF65H								
0FF6EH	A/Dコンバータ・モード・レジスタ	ADM			-	00H		
0FF70H	A/D変換結果レジスタ0	ADCR0	R	-	-		不定	
0FF71H								
0FF71H	A/D変換結果レジスタ0H	ADCR0H		-		-		
0FF72H	A/D変換結果レジスタ1	ADCR1		-	-			
0FF73H								
0FF73H	A/D変換結果レジスタ1H	ADCR1H		-		-		
0FF74H	A/D変換結果レジスタ2	ADCR2		-	-			
0FF75H								

注1 . LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F0000H ”を加えます。

2 . PMC2のビット0 , ビット5-ビット7はハードウェアで“ 0 ”に固定。

表3 - 6 特殊機能レジスタ (SFR) 一覧 (3/5)

アドレス ^注	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FF75H	A/D変換結果レジスタ2H	ADCR2H	R	-		-	不定
0FF76H	A/D変換結果レジスタ3	ADCR3		-	-		
0FF77H							
0FF77H	A/D変換結果レジスタ3H	ADCR3H		-		-	
0FF78H	A/D変換結果レジスタ4	ADCR4		-	-		
0FF79H							
0FF79H	A/D変換結果レジスタ4H	ADCR4H		-		-	
0FF7AH	A/D変換結果レジスタ5	ADCR5		-	-		
0FF7BH							
0FF7BH	A/D変換結果レジスタ5H	ADCR5H		-		-	
0FF7CH	A/D変換結果レジスタ6	ADCR6		-	-		
0FF7DH							
0FF7DH	A/D変換結果レジスタ6H	ADCR6H		-		-	
0FF7EH	A/D変換結果レジスタ7	ADCR7		-	-		
0FF7FH							
0FF7FH	A/D変換結果レジスタ7H	ADCR7H	-		-		
0FF84H	クロック同期式シリアル・インタフェース・モード・レジスタ1	CSIM1	R/W			-	00H
0FF85H	クロック同期式シリアル・インタフェース・モード・レジスタ2	CSIM2				-	
0FF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM				-	
0FF89H	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	ASIM2				-	
0FF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R			-	
0FF8BH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2				-	
0FF8CH	シリアル受信バッファ : UART0	RXB		-		-	不定
	シリアル送信シフト・レジスタ : UART0	TXS	W	-		-	
	シリアル・シフト・レジスタ : IOE1	SIO1	R/W	-		-	
0FF8DH	シリアル受信バッファ : UART2	RXB2	R	-		-	
	シリアル送信シフト・レジスタ : UART2	TXS2	W	-		-	
	シリアル・シフト・レジスタ : IOE2	SIO2	R/W	-		-	
0FF90H	ポー・レート・ジェネレータ・コントロール・レジスタ	BRGC		-		-	00H
0FF91H	ポー・レート・ジェネレータ・コントロール・レジスタ2	BRGC2		-		-	
0FFA8H	インサービス・プライオリティ・レジスタ	ISPR	R			-	
0FFAAH	割り込みモード・コントロール・レジスタ	IMC	R/W			-	80H
0FFACH	割り込みマスク・レジスタ0L	MK0L				-	FFH
0FFACH	割り込みマスク・レジスタ0	MK0		-	-		FFFFH
0FFADH							

注 LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“F000H”を加えます。

表3 - 6 特殊機能レジスタ (SFR) 一覧 (4/5)

アドレス ^{注1}	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FFADH	割り込みマスク・レジスタ0H	MK0H	R/W			-	FFH
0FFAEH	割り込みマスク・レジスタ1L	MK1L				-	
0FFAEH	割り込みマスク・レジスタ1	MK1		-			FFFFH
0FFAFH							
0FFAFH	割り込みマスク・レジスタ1H	MK1H				-	FFH
0FFC0H	スタンバイ・コントロール・レジスタ ^{注2}	STBC		-		-	30H
0FFC2H	ウォッチドッグ・タイマ・モード・レジスタ ^{注2}	WDM		-		-	00H
0FFC4H	メモリ拡張モード・レジスタ	MM				-	20H
0FFC7H	プログラマブル・ウェイト制御レジスタ1	PWC1		-		-	AAH
0FFC8H	プログラマブル・ウェイト制御レジスタ2	PWC2		-	-		AAAAH
0FFC9H							
0FFCAH	バス幅指定レジスタ	BW		-	-		注3
0FFCBH							
0FFCFH	発振安定時間指定レジスタ	OSTS		-		-	00H
0FFD0H-	外部SFR領域	-				-	不定
0FFDFH							
0FFE0H	割り込み制御レジスタ (INTOV0)	OVIC0				-	43H
0FFE1H	" (INTOV1)	OVIC1				-	
0FFE2H	" (INTOV4)	OVIC4				-	
0FFE3H	" (INTP0)	PIC0				-	
0FFE4H	" (INTP1)	PIC1			-		
0FFE5H	" (INTP2)	PIC2			-		
0FFE6H	" (INTP3)	PIC3			-		
0FFE7H	" (INTP4)	PIC4			-		
0FFE8H	" (INTP5)	PIC5			-		
0FFE9H	" (INTP6)	PIC6			-		
0FFEAH	" (INTCM10)	CMIC10			-		
0F FEBH	" (INTCM11)	CMIC11			-		
0FFF0H	" (INTCM40)	CMIC40			-		

注1 . LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F0000 ”を加えます。

2 . 書き込みは、専用の命令MOV STBC, # byte命令, MOV WDM, # byte命令によってのみ可能です。他の命令では、書き込みはできません。

3 . リセット時の値はBWD端子の設定によって異なります。

BWD = 0 : 0000H

BWD = 1 : 00FFH

表3 - 6 特殊機能レジスタ (SFR) 一覧 (5/5)

アドレス ^{注1}	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FFF1H	割り込み制御レジスタ (INTCM41)	CMIC41	R/W			-	43H
0FFF2H	" (INTSER)	SERIC				-	
0FFF3H	" (INTSR)	SRIC				-	
	" (INTCSI1)	CSIIC1				-	
0FFF4H	" (INTST)	STIC				-	
0FFF5H	" (INTSER2)	SERIC2				-	
0FFF6H	" (INTSR2)	SRIC2				-	
	" (INTCSI2)	CSIIC2				-	
0FFF7H	" (INTST2)	STIC2				-	
0FFF8H	" (INTAD)	ADIC				-	
0FFFCH	内部メモリ・サイズ切り替えレジスタ ^{注2}	IMS		-	-	CDH	

注1 . LOCATION 0H命令を実行した場合。LOCATION 0FH命令を実行した場合は、この値に“ F0000H ”を加えません。

2 . IMSへの書き込みは、フラッシュ・メモリ製品 (μPD78F4046) の場合のみ有効です。マスクROM製品 (μPD784054) の場合は、IMSへ書き込みを行っても、リセット時の値のままで変化しません。

3.9 注意事項

(1) 内部高速RAM領域 (LOCATION 0H命令実行時: 0FD00H-0FEFFH, LOCATION 0FH命令実行時: FFD00H-FFEFFH) からのプログラム・フェッチはできません。

(2) 特殊機能レジスタ (SFR)

0FF00H-0FFFFH^注の領域内で、SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると、 μ PD784054がデッドロック状態となることがあります。デッドロック状態は、リセット入力によってのみ解除されます。

注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFF00H-FFFFFH。

(3) スタック・ポインタ (SP) の動作

スタック・アドレッシングでは、1 Mバイトすべての空間でアクセス可能ですが、SFR領域および内部ROM領域にスタック・エリアを確保することはできません。

(4) スタック・ポインタ (SP) の初期化

SPIは、 $\overline{\text{RESET}}$ 入力により不定になります。一方、リセット解除直後でもノンマスカブル割り込みは受け付け可能です。したがって、リセット解除直後のSPが不定な状態でノンマスカブル割り込みの要求が発生すると、予期しない動作を行う場合があります。これらの危険を最小限にするために、リセット解除後のプログラムは必ず次のようにしてください。

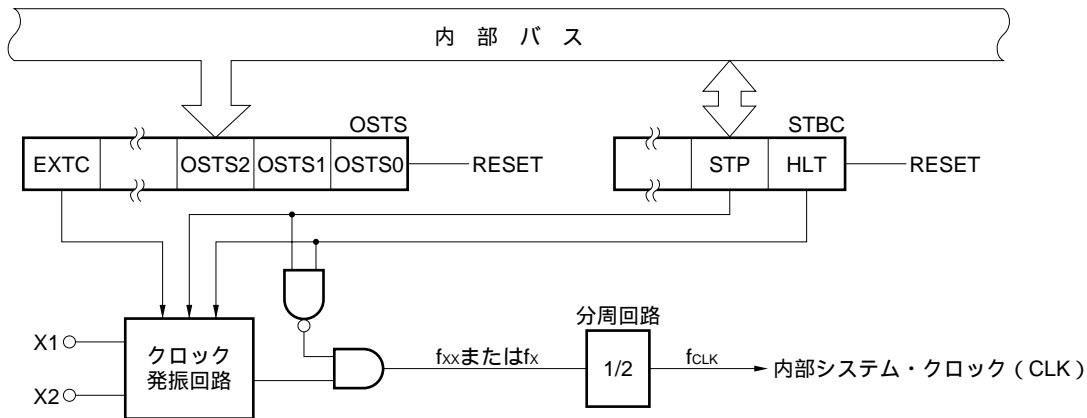
```
RSTVCT  CSEG AT 0
        DW  RSTSTRT
        {
INITSEG  CSEG BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
        MOVG SP, #STKBGN
```

第4章 クロック発生回路

4.1 構成と機能

クロック発生回路は、CPUおよび内蔵ハードウェアに供給される内部システム・クロック（CLK）を発生、制御する回路です。図4-1に、クロック発生回路のブロック図を示します。

図4-1 クロック発生回路のブロック図



備考 f_{xx} : クリスタル/セラミック発振周波数

f_x : 外部クロック周波数

f_{CLK} : 内部システム・クロック周波数

クロック発振回路は、X1、X2端子に接続されたクリスタル振動子/セラミック発振子によって発振します。スタンバイ・モード（STOP）に設定されると、発振を停止します（第16章 スタンバイ機能参照）。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力してください。X2端子の処理方法は、発振安定時間指定レジスタ（OSTS）のEXTCビットの設定により異なります。

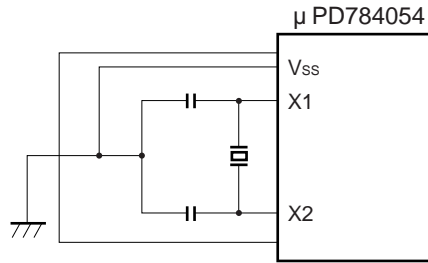
EXTCビット = 1 : X2端子にX1端子の逆相のクロックを入力してください。

EXTCビット = 0 : X2端子はオープンにしてください。

分周回路は、クロック発振回路出力（ f_{xx} または f_x ）を2分周して、内部システム・クロック（ f_{CLK} ）を生成します。

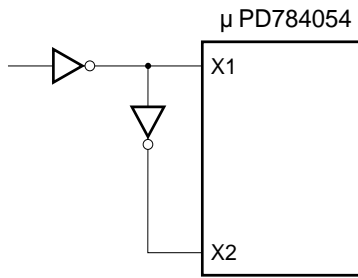
図4-2 クロック発振回路の外付け回路

(a) クリスタル/セラミック発振

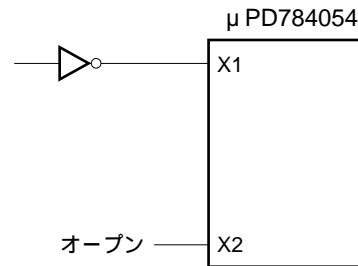


(b) 外部クロック

・OSTSのEXTCビット= 1



・OSTSのEXTCビット= 0



注意1．発振回路は、できるだけX1，X2端子に近づけてください。

2．破線の範囲に他の信号線を通さないでください。

備考 水晶振動子とセラミック発振子の使い分け

一般に水晶振動子の発振周波数はきわめて安定しています。したがって、高精度の時間の管理を行う場合（たとえば、時計、周波数測定など）に最適です。

また、セラミック発振子は、水晶振動子と比較すると発振周波数の安定性では劣りますが、発振開始時間が速く、小型で安価であるという3つの特徴を持っています。したがって通常用途（高い精度の時間管理を必要としない場合）には有効です。さらに、コンデンサ内蔵品などもあり、部品点数、実装面積の削減に効果があります。

4.2 制御レジスタ

4.2.1 スタンバイ・コントロール・レジスタ (STBC)

STBCは、スタンバイ・モードの設定を行うレジスタです。スタンバイ・モードの詳細については、第16章 **スタンバイ機能**を参照してください。

プログラムの暴走によって誤ってスタンバイ・モードに入らないように、専用命令によってのみ書き込みができます。この専用命令は、MOV STBC, #byte命令で特殊なコード構成(4バイト)になっています。3バイト目と4バイト目のオペコードが互いに補数の場合のみ、書き込みが行われます。3バイト目と4バイト目のオペコードが互いに補数になっていない場合は、書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

オペランド・エラー割り込みは、プログラムが暴走している場合にのみ発生する(当社製アセンブラRA78K4では、MOV STBC, #byteと記述された場合、正しい専用命令しか生成しません)ので、システムの初期化をプログラムで行うようにしてください。

他の書き込み命令(MOV STBC, A, AND STBC, #byte, SET1 STBC.7など)は無視され、何の動作も行いません。すなわち、STBCへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。STBCの読み出しは、データ転送命令によりいつでもできます。

$\overline{\text{RESET}}$ 入力により30Hになります。

図4-3に、STBCのフォーマットを示します。

図4 - 3 スタンバイ・コントロール・レジスタ (STBC) のフォーマット

アドレス : 0FFC0H リセット時 : 30H R/W

	7	6	5	4	3	2	1	0
STBC	0	0	1	1	0	0	STP	HLT

STP	HLT	CPU動作モード制御
0	0	通常モード
0	1	HALTモード
1	0	STOPモード
1	1	IDLEモード

注意 外部クロック入力使用時にSTOPモードを使用する場合は、発振安定時間指定レジスタ (OSTS) のEXTCビットを必ずセット (1) してからSTOPモードを設定してください。外部クロック入力時にOSTSのEXTCビットがクリア (0) されている状態でSTOPモードを使用すると、 μ PD784054の破壊または信頼性の低下を招く可能性があります。

なお、EXTCビットをセット (1) する場合は、必ずX2端子に、X1端子に入力しているクロックの逆相のクロックを入力してください。

4.2.2 発振安定時間指定レジスタ (OSTS)

OSTSは、発振回路の動作を指定するレジスタです。EXTCビットをセット(1)している場合だけ、外部クロック入力時にもSTOPモードを設定することができます。

OSTSは、8ビット操作命令で読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

図4 - 4に、OSTSのフォーマットを示します。

図4 - 4 発振安定時間指定レジスタ (OSTS) のフォーマット

アドレス : 0FFCFH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
OSTS	EXTC	0	0	0	0	OSTS2	OSTS1	OSTS0

EXTC	外部クロックの選択
0	クリスタル/セラミック発振使用時、 または、 外部クロック使用時にX2端子はオープン
1	外部クロック使用時にX2端子にX1端子の逆相のクロックを入力

OSTS2	OSTS1	OSTS0	発振安定時間の選択 (詳細は、図16 - 4参照)
-------	-------	-------	------------------------------

- 注意 1.** クリスタル/セラミック発振使用時には、EXTCビットを必ずクリア(0)して使用してください。EXTCビットをセット(1)すると、発振が停止してしまいます。
- 2.** 外部クロック入力時にSTOPモードを使用する場合は、EXTCビットを必ずセット(1)してからSTOPモードを設定してください。EXTCビットがクリア(0)されている状態でSTOPモードを使用すると、 μ PD784054の破壊または信頼性の低下を招く可能性があります。
- 3.** 外部クロック入力時にEXTCビットをセット(1)する場合は、必ずX2端子に、X1端子に入力しているクロックの逆相のクロックを入力してください。EXTCビットをセット(1)すると、 μ PD784054はX2端子に入力されているクロックでのみ動作するようになります。

4.3 クロック発生回路の動作

4.3.1 クロック発振回路

(1) クリスタル/セラミック発振使用時

クロック発振回路は、 $\overline{\text{RESET}}$ 入力により発振を開始します。スタンバイ・コントロール・レジスタ (STBC) によりSTOPモードに設定されると発振を停止します。STOPモードが解除されると発振を再開します。

(2) 外部クロック使用時

$\overline{\text{RESET}}$ 入力により、クロック発振回路はX1端子により入力されたクロックを内部回路へ供給します。

また、発振安定時間指定レジスタ (OSTS) のEXTCビットをセット (1) することにより、次のように動作します。

- ・クロック発振回路はX2端子に入力されたクロックを内部回路へ供給します。
- ・クロック発振回路のクリスタル/セラミック発振時に必要な回路が動作を停止し、消費電力を低減することができます。
- ・外部クロック入力時でもSTOPモードを使用することができます。

注意 1. クリスタル/セラミック発振使用時には、発振安定時間指定レジスタ (OSTS) のEXTCビットを必ずクリア (0) して使用してください。EXTCビットをセット (1) すると、発振が停止してしまいます。

2. 外部クロック入力時にSTOPモードを使用する場合は、OSTSのEXTCビットを必ずセット (1) してからSTOPモードを設定してください。EXTCビットがクリア (0) されている状態でSTOPモードを使用すると、クロック発生回路での消費電力が減らないだけでなく、 $\mu\text{PD784054}$ の破壊または信頼性の低下を招く可能性があります。

3. OSTSのEXTCビットをセット (1) する場合は、必ずX2端子に、X1端子に入力しているクロックの逆相のクロックを入力してください。

4.3.2 分周回路

分周回路は、クロック発振回路からの出力を2分周してCPUおよび内蔵ハードウェアに供給します。

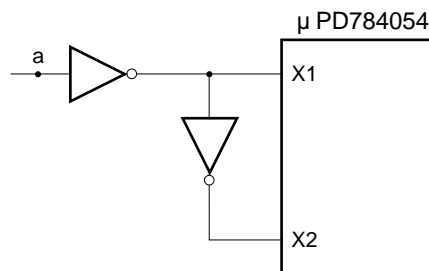
4.4 注意事項

クロック発生回路には、次のような注意事項があります。

4.4.1 外部クロックを入力する場合

- (1) 外部クロックを入力する場合で、STOPモードを使用するときには、発振安定時間指定レジスタ（OSTS）のEXTCビットを必ずセット（1）してください。EXTCビットをクリア（0）した状態でSTOPモードを使用すると、 μ PD784054の破壊または信頼性の低下を招く可能性があります。
- (2) OSTSのEXTCビットをセット（1）する場合は、必ずX2端子に、X1端子に入力しているクロックの逆相のクロックを入力してください。
- (3) 外部クロックを入力する場合は、HCMOSまたはそれと同等のドライブ能力を持ったデバイスで行ってください。
- (4) X1, X2端子からは信号を取り出さないようにしてください。取り出す場合は、図4 - 5のa点から取り出してください。

図4 - 5 外部クロック入力時の信号取り出し点



- (5) X1端子からインバータを通してX2端子へと接続する部分の配線は、特に極力短くなるようにしてください。

4.4.2 クリスタル/セラミック発振の場合

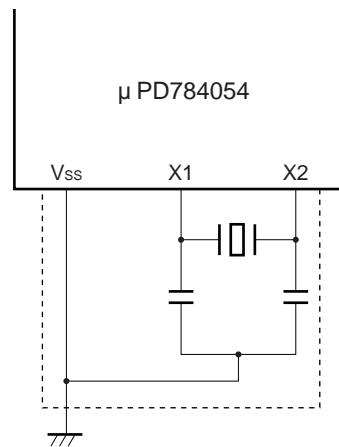
(1) 発振回路は高周波のアナログ回路となりますので、十分に注意を払ってください。

特に注意しなければならない点について次に例をあげます。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}端子と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路部から信号を取り出さない。

発振が正常に安定して行われないと、マイコンも正常に安定した動作を行うことができません。また、高精度な発振周波数を得たい場合などは、発振器メーカーとご相談することを推奨します。

図4-6 発振子の接続の注意点

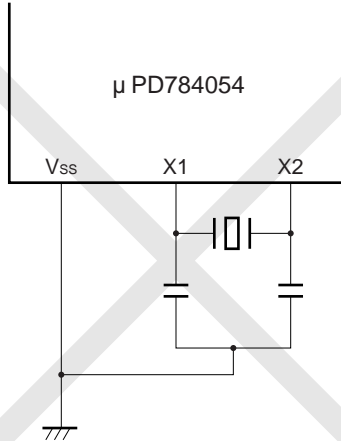


注意1．発振回路は、X1、X2端子にできるだけ近づけてください。

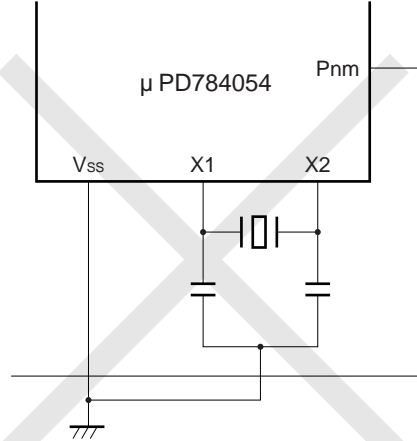
2．破線の範囲に他の信号線を通さないでください。

図4-7 発振子の接続の悪い例

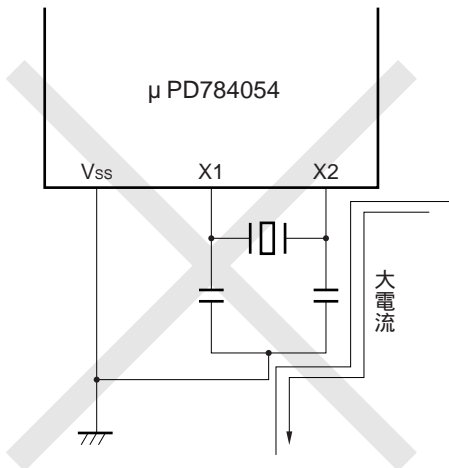
(a) 接続回路の配線が長い



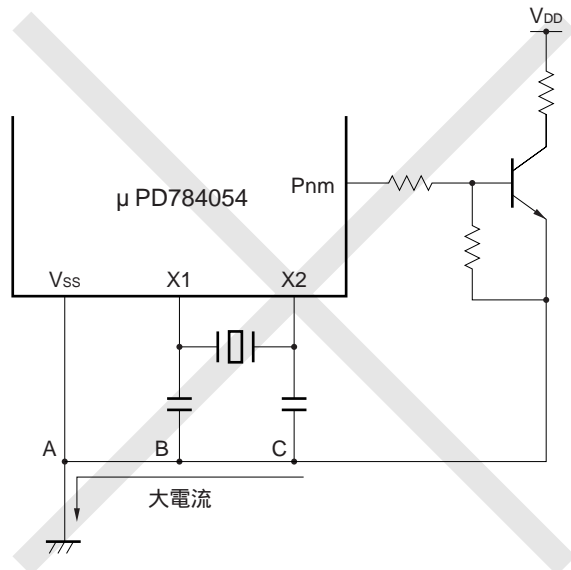
(b) 信号線が交差している



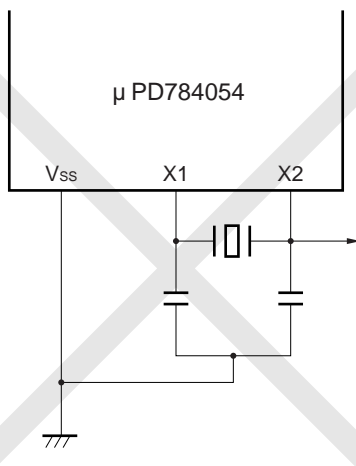
(c) 変化する大電流が信号線を近接している



(d) 発振回路のグランド・ライン上に電流が流れる (A点, B点, C点の電位が変動する)



(e) 信号を取り出している



(2) パワーオン時およびSTOPモードからの復帰時には発振が安定になるまでの時間を確保する必要があります。一般に水晶振動子を使用した場合、数msec、セラミック発振子を使用した場合、数百 μ secの時間が発振を安定させるために必要です。

発振の安定時間は下記のように決定されますので、これらによって十分な時間を確保してください。

パワーオン時 : $\overline{\text{RESET}}$ 入力 (リセット期間)

STOPモードからの復帰時:

(i) $\overline{\text{RESET}}$ 入力 (リセット期間)

(ii) NMI信号の有効エッジで自動的にスタートする発振安定用タイマの時間 (発振安定時間指定レジスタ (OSTS) で設定)

(3) 発振安定時間指定レジスタ (OSTS) のEXTCビットは必ずクリア (0) して使用してください。EXTCビットをセット (1) すると、発振が停止してしまいます。

第5章 ポート機能

5.1 デジタル入出力ポート

μPD784054は図5 - 1のようなポートを備えており、多様な制御ができます。各ポートの機能は表5 - 1のとおりです。ポート0、ポート4- ポート6、ポート9は、入力時に、内蔵プルアップ抵抗の接続をソフトウェアで指定できます。

図5 - 1 ポートの構成

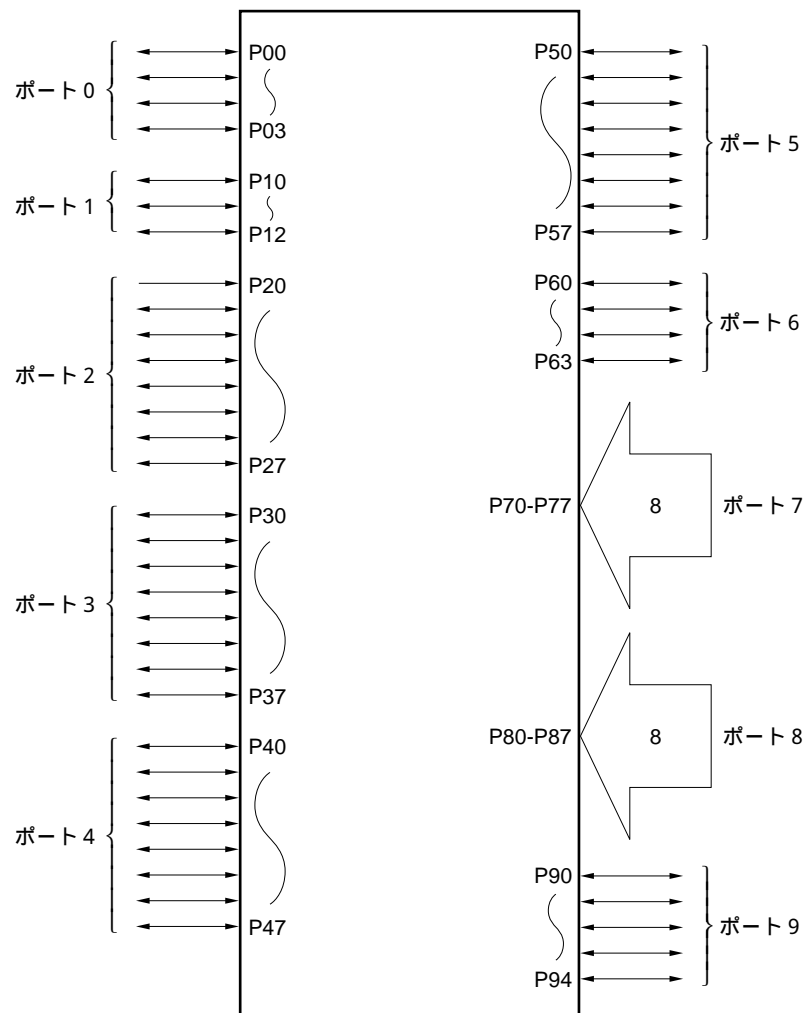


表5 - 1 ポートの機能

ポート名	端子名称	機 能	ソフトウェア・プルアップの指定可能
ポート0	P00-P03	・ 1ビット単位で入力か出力に指定可能	入力モードの端子について一括して指定可能
ポート1	P10-P12		-
ポート2	P20-P27	・ 1ビット単位で入力か出力に指定可能 (ただし, P20は入力専用端子)	入力モードの端子について一括して指定可能
ポート3	P30-P37	・ 1ビット単位で入力か出力に指定可能	
ポート4	P40-P47		
ポート5	P50-P57		
ポート6	P60-P63		
ポート7	P70-P77	・ 入力ポート	-
ポート8	P80-P87		
ポート9	P90-P94	・ 1ビット単位で入力か出力に指定可能	入力モードの端子について一括して指定可能

5.2 ポート0

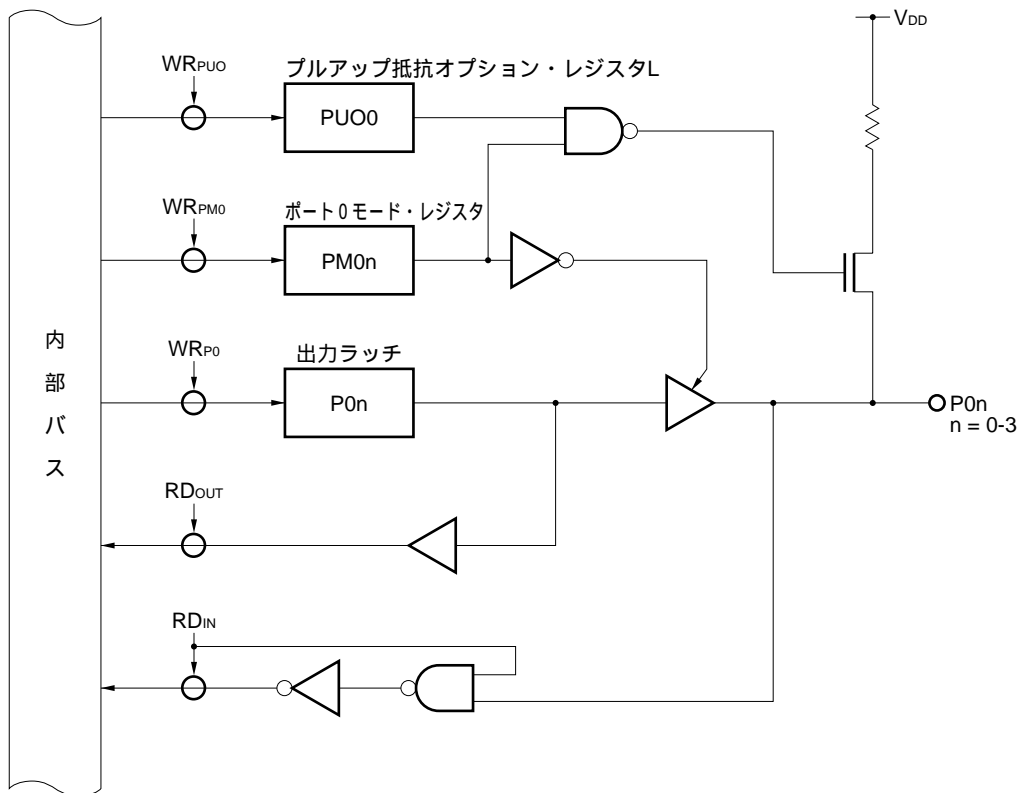
ポート0は、出力ラッチ付き4ビット入出力ポートです。ポート0モード・レジスタ (PM0) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) となり、出力ラッチの内容は不定となります。

5.2.1 ハードウェア構成

図5-2に、ポート0のハードウェア構成を示します。

図5-2 ポート0のブロック図



5.2.2 入出力モード/コントロール・モードの設定

ポート0の入出力モードは、図5-3のように、ポート0モード・レジスタ(PM0)により設定します。

図5-3 ポート0モード・レジスタ(PM0)のフォーマット

アドレス：0FF20H リセット時：FFH R/W

	7	6	5	4	3	2	1	0
PM0	1	1	1	1	PM03	PM02	PM01	PM00

PM0n	P0n端子入出力モード指定 (n=0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

5.2.3 動作状態

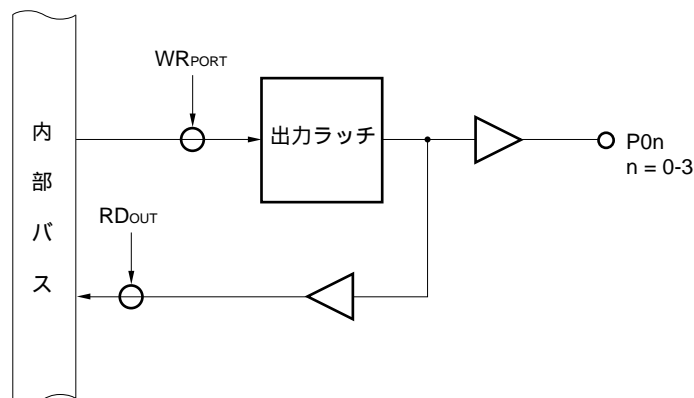
ポート0は、入出力ポートです。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込むまで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

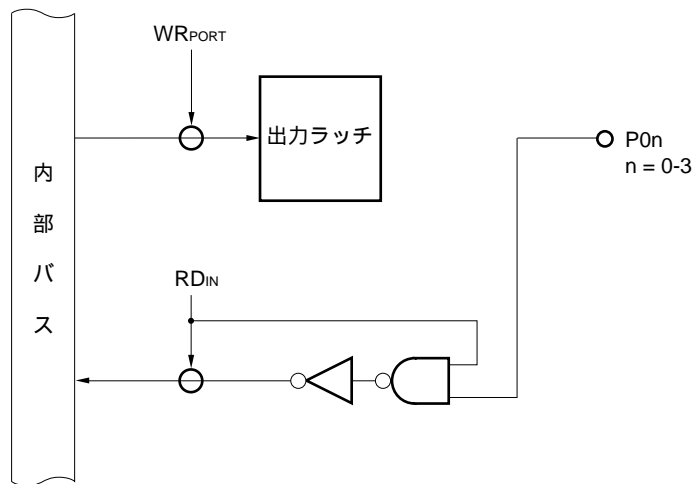
図5-4 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令などでアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図5-5 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

5.2.4 内蔵プルアップ抵抗

ポート0は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタL (PUOL) のPUO0ビットとポート0モード・レジスタ (PM0) で、端子ごとに指定できます。

PUO0ビットが1のとき、PM0により入力ポートに指定されている端子のみ、内蔵プルアップ抵抗が有効になります。

図5 - 6 プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット

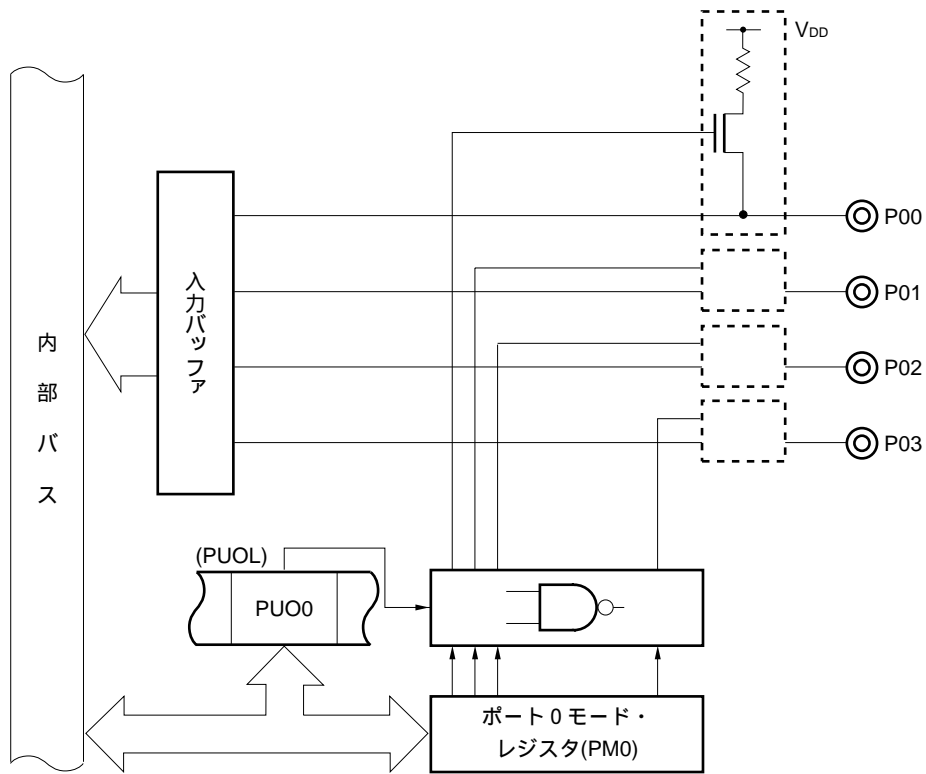
アドレス：0FF4EH リセット時：00H R/W

	7	6	5	4	3	2	1	0
PUOL	0	PUO6	PUO5	PUO4	0	0	0	PUO0

PUO6	ポート6のプルアップ抵抗の指定 (図5 - 44参照)
PUO5	ポート5のプルアップ抵抗の指定 (図5 - 38参照)
PUO4	ポート4のプルアップ抵抗の指定 (図5 - 32参照)
PUO0	ポート0のプルアップ抵抗の指定
0	ポート0では使用しない
1	ポート0で使用する

備考 STOPモードに入る場合、消費電流を低減するために、PUOLに00Hを設定することが有効です。

図5 - 7 プルアップ抵抗の指定 (ポート0)



5.3 ポート1

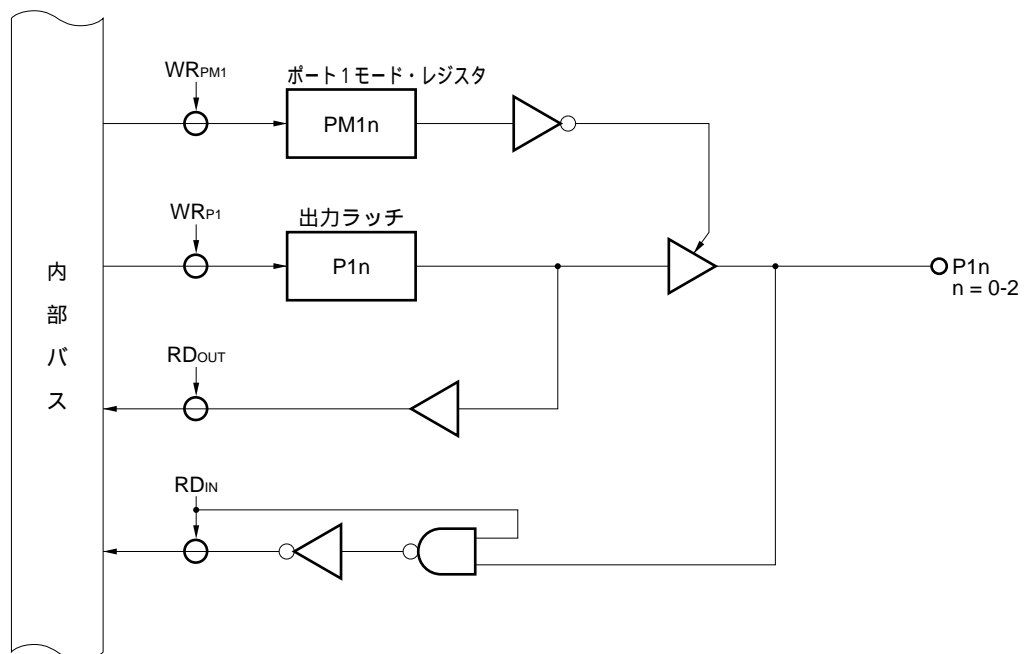
ポート1は、出力ラッチ付き3ビット入出力ポートです。ポート1モード・レジスタ(PM1)により、1ビット単位で入力/出力の指定ができます。

$\overline{\text{RESET}}$ 入力により、入力ポート(出力ハイ・インピーダンス状態)となり、出力ラッチの内容は不定となります。

5.3.1 ハードウェア構成

図5-8に、ポート1のハードウェア構成を示します。

図5-8 ポート1のブロック図



5.3.2 入出力モード/コントロール・モードの設定

ポート1の入出力モードは、図5-9のように、端子ごとにポート1モード・レジスタ (PM1) により設定します。

図5-9 ポート1モード・レジスタ (PM1) のフォーマット



5.3.3 動作状態

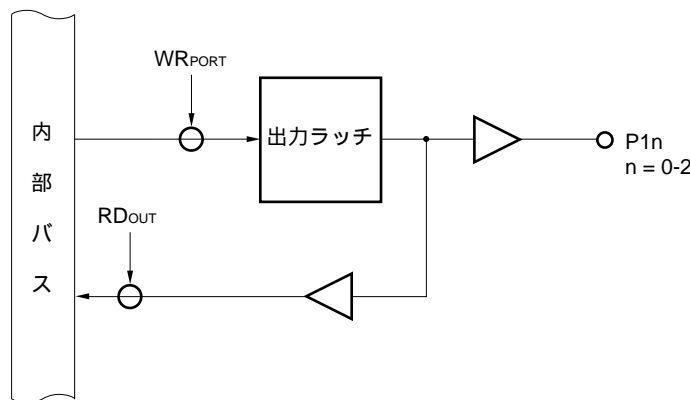
ポート1は、入出力ポートです。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込むまで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

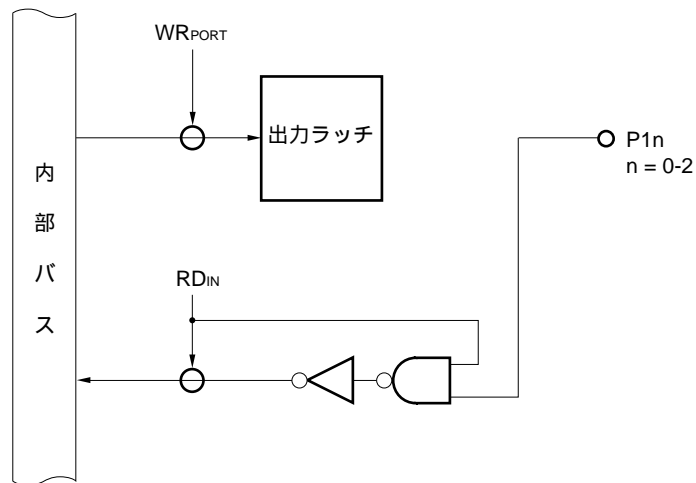
図5-10 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令などでアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図5 - 11 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力やポート・モードとコントロール・モードが混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1、CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

5.4 ポート2

ポート2は、出力ラッチ付き8ビット入出力ポートです。ポート2モード・レジスタ（PM2）により、1ビット単位で入力/出力の指定ができます（ただし、P20のみ入力専用ポートです）。

ポート2は、入出力ポートとしての機能以外に、外部割り込み信号端子などの制御信号入力端子、タイマ0のタイマ出力端子としての機能を兼用しています（表5-2参照）。P21-P24は、ポート2モード・コントロール・レジスタ（PMC2）の設定により、タイマ0のタイマ出力端子として動作します。いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みまたはテストが可能です。

また、8端子とも、ノイズによる誤動作を防ぐためにシュミット・トリガ入力になっています。

$\overline{\text{RESET}}$ 入力により、入力ポート（出力ハイ・インピーダンス状態）となり、出力ラッチの内容は不定となります。

表5-2 ポート2の動作モード

(n=0-7)

モード	ポート・モード		コントロール信号出力モード
設定条件	PMC2n = 0		PMC2n = 1
	PM2n = 0	PM2n = 1	PM2n = x
P20	-	入力ポート/NMI入力 ^注	-
P21	出力ポート	入力ポート/INTP0入力	TO00出力
P22		入力ポート/INTP1入力	TO01出力
P23		入力ポート/INTP2入力	TO02出力
P24		入力ポート/INTP3入力	TO03出力
P25		入力ポート/INTP4入力	-
P26		入力ポート/INTP5入力	
P27		入力ポート/INTP6入力	

注 NMI入力は、割り込み許可/禁止状態にかかわらず、割り込み要求を受け付けます。

備考 x : don't care

(1) ポート・モード

(a) ポート端子としての機能

ポート2モード・コントロール・レジスタ（PMC2）によりポート・モードに指定された各ポートは、ポート2モード・レジスタ（PM2）により、1ビット単位で入力/出力の指定ができます（ただし、P20は入力モードに固定）。

(b) 制御信号入力端子としての機能

PMC2のPMC2n (n=0-7) ビットが“0”で、PM2のPM2n (n=0-7) ビットが“1”の場合に、次に示す制御信号入力端子として使用できます。

(i) NMI (Non-maskable Interrupt)

外部ノンマスクابل割り込み要求入力端子です。外部割り込みモード・レジスタ 0 (INTM0) により, 立ち上がりエッジ検出, または立ち下がりエッジ検出に指定できます。

(ii) INTP0-INTP6 (Interrupt from Peripherals)

外部割り込み要求入力端子です。INTP0-INTP6端子に外部割り込みモード・レジスタ (INTM0, INTM1) で指定された有効エッジが検出されると, 割り込みを発生します (**第13章 エッジ検出機能参照**)。

また, INTP0-INTP4端子は, 次のように各種機能の外部トリガ入力端子としても使用します。

- ・ INTP0..... タイマ 0 のキャプチャ / コンペア・レジスタ 00 (CC00) のキャプチャ・トリガ入力端子
- ・ INTP1..... タイマ 0 のキャプチャ / コンペア・レジスタ 01 (CC01) のキャプチャ・トリガ入力端子
- ・ INTP2..... タイマ 0 のキャプチャ / コンペア・レジスタ 02 (CC02) のキャプチャ・トリガ入力端子
- ・ INTP3..... タイマ 0 のキャプチャ / コンペア・レジスタ 03 (CC03) のキャプチャ・トリガ入力端子
- ・ INTP4..... A/Dコンバータの外部トリガ入力端子

(2) コントロール信号出力モード

ポート 2 モード・コントロール・レジスタ (PMC2) により, P21-P24端子は, 1 ビット単位にタイマ 0 のタイマ出力端子 (TO00-TO03) に指定することができます。

5.4.1 ハードウェア構成

図5-12から図5-14に、ポート2のハードウェア構成を示します。

図5-12 P20 (ポート2) のブロック図

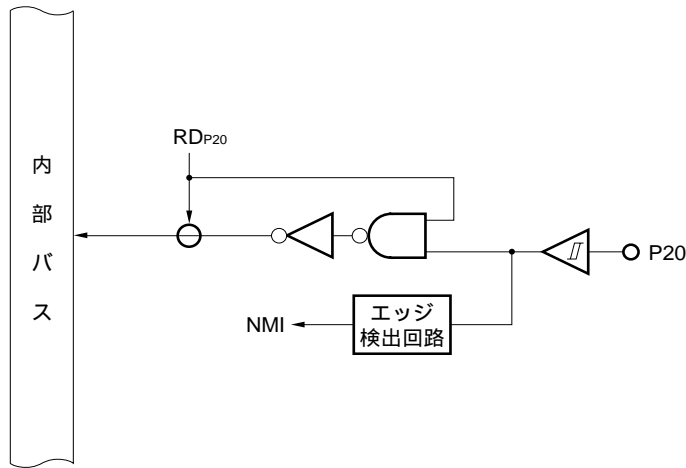


図5-13 P21-P24 (ポート2) のブロック図

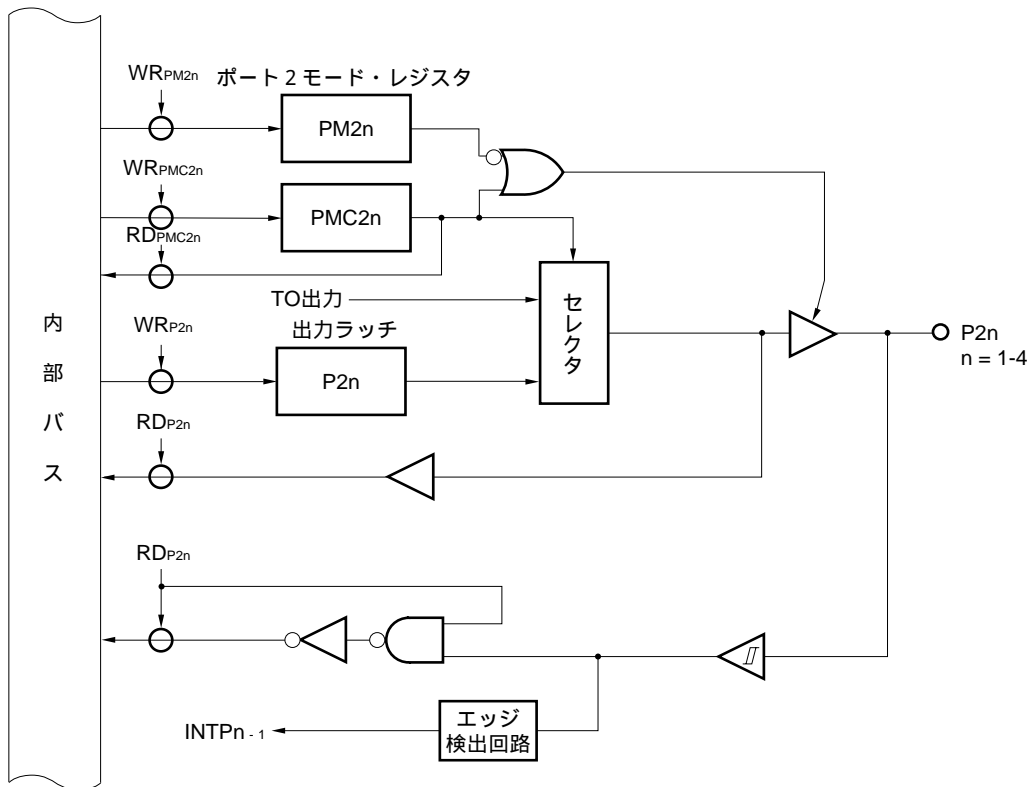
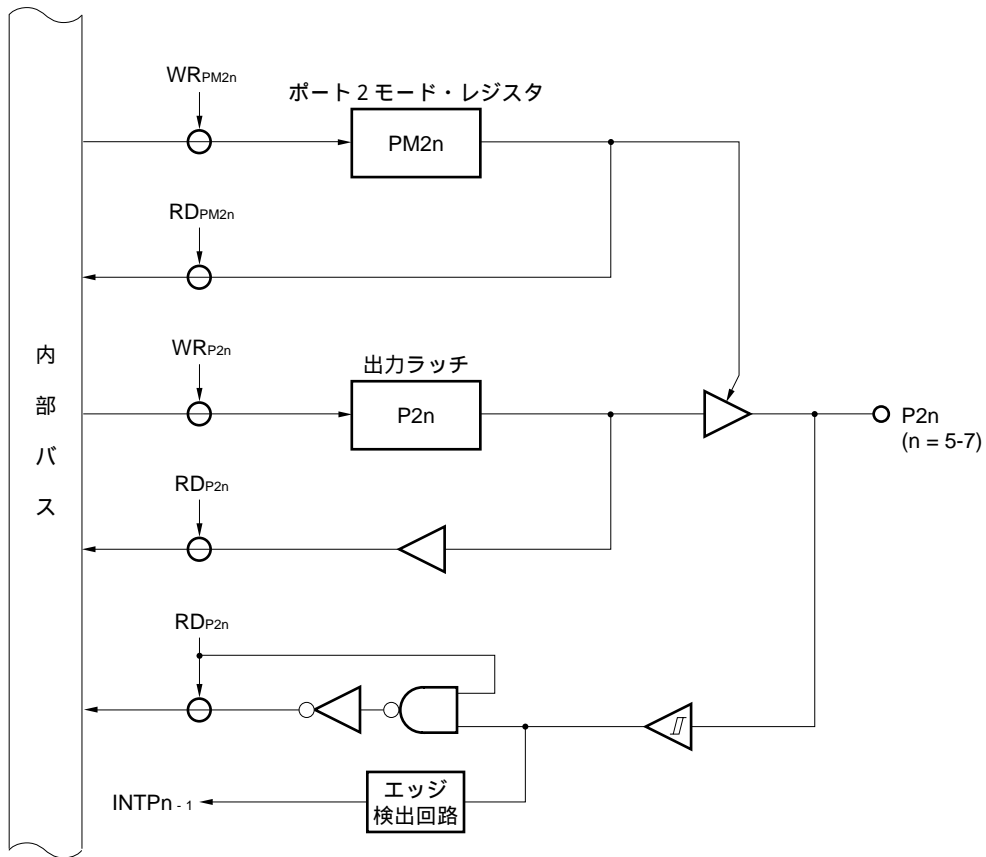


図5 - 14 P25-P27 (ポート2) のブロック図



5.4.2 入出力モード/コントロール・モードの設定

P21-27の入出力モードは、図5 - 15のように、端子ごとにポート2モード・レジスタ (PM2) により設定します。P20は、入力専用ポートです。

P21-P24は、入出力ポートとしての機能のほかに、タイマ0のタイマ出力端子としての機能を兼用しており、図5 - 16のように、ポート2モード・コントロール・レジスタ (PMC2) により、コントロール・モードを指定します。

図5 - 15 ポート2モード・レジスタ (PM2) のフォーマット

アドレス : 0FF22H リセット時 : FFH R/W

	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	1

PM2n	P2n端子入出力モード指定 (n = 1-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

図5 - 16 ポート2モード・コントロール・レジスタ (PMC2) のフォーマット

アドレス : 0FF42H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PMC2	0	0	0	PMC24	PMC23	PMC22	PMC21	0

PMC24	P24端子のコントロール・モード指定
0	入出力ポート・モード/INTP3入力モード
1	TO03出力モード

PMC23	P23端子のコントロール・モード指定
0	入出力ポート・モード/INTP2入力モード
1	TO02出力モード

PMC22	P22端子のコントロール・モード指定
0	入出力ポート・モード/INTP1入力モード
1	TO01出力モード

PMC21	P21端子のコントロール・モード指定
0	入出力ポート・モード/INTP0入力モード
1	TO00出力モード

注意 P21-P27端子を、出力ポート・モードおよびタイマ出力モードとして使用する場合でも、端子レベルのエッジ検出によりINTP_n (n = 0-6) 割り込みが発生しますので、割り込みをマスクしてから使用してください。

5.4.3 動作状態

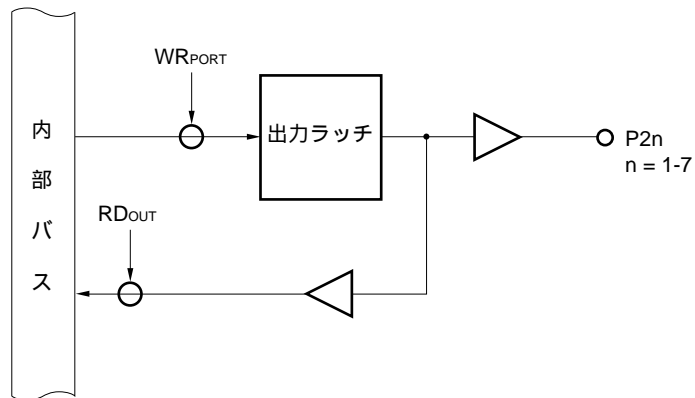
ポート2は、入出力ポートです（ただし、P20端子のみ入力専用ポートです）。P21-P24端子はタイマ0のタイマ出力端子を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む[※]まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

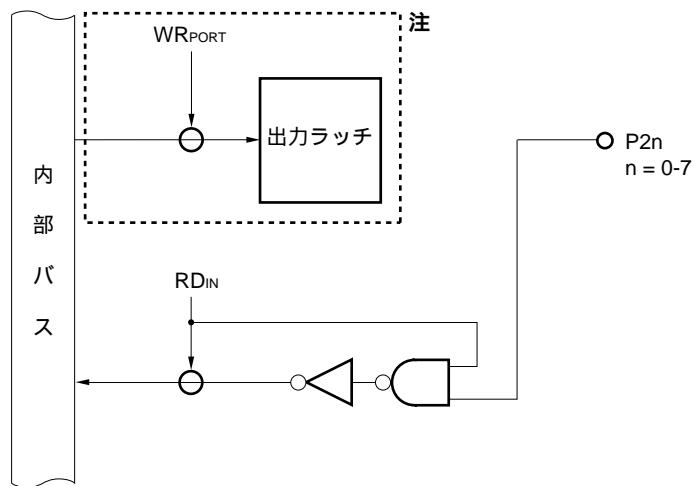
図5 - 17 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令などでアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図5 - 18 入力ポート指定のポート



注 P20には、破線で囲まれた回路はありません。

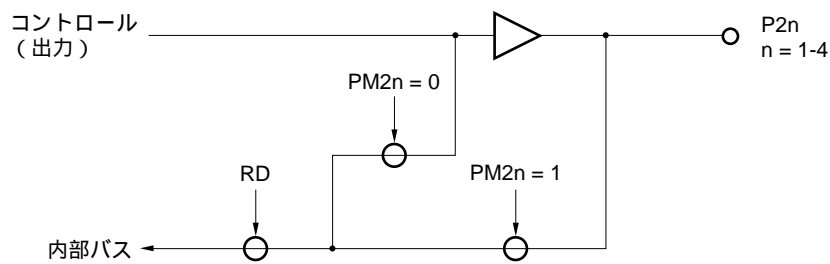
注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力やポート・モードとコントロール・モードが混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1、CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) コントロール信号出力に指定された場合

P21-P24は、ポート2モード・コントロール・レジスタ (PMC2) のビットをセット (1) することにより、ポート2モード・レジスタ (PM2) の設定にかかわらず、1ビット単位にコントロール信号の出力として使用することができます。各端子をコントロール信号として使用する場合、ポートの読み出し命令を実行することにより、コントロール信号の状態をみることができます。

図5 - 19 コントロール指定の場合



PM2のPM2n (n = 1-4) ビットがセット (1) されている場合、ポートの読み出し命令を実行すると、コントロール信号端子のレベルを読み出すことができます。

PM2nビットがリセット (0) されている場合、ポートの読み出し命令を実行すると、 μ PD784054内のコントロール信号の状態を読み出すことができます。

5.5 ポート3

ポート3は、出力ラッチ付き8ビット入出力ポートです。ポート3モード・レジスタ（PM3）により、1ビット単位で入力/出力の指定ができます。

ポート3は、入出力ポートとしての機能以外に、各種コントロール信号端子としての機能を兼用しています。動作モードは、ポート3モード・コントロール・レジスタ（PMC3）により、表5-3のように1ビット単位に指定できます。いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みまたはテストが可能です。

$\overline{\text{RESET}}$ 入力により、入力ポート（出力ハイ・インピーダンス状態）となり、出力ラッチの内容は不定となります。

表5-3 ポート3の動作モード

(n = 0-7)

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC3n = 0	PMC3n = 1
P30	入出力ポート	TO10出力
P31		TO11出力
P32		RxD/SI1入力
P33		TxD/SO1出力
P34		ASCK入力/ $\overline{\text{SCK1}}$ 入出力
P35		RxD2/SI2入力
P36		TxD2/SO2出力
P37		ASCK2入力/ $\overline{\text{SCK2}}$ 入出力

(a) ポート・モード

ポート3モード・コントロール・レジスタ（PMC3）によりポート・モードに指定された各ポートは、ポート3モード・レジスタ（PM3）により、1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード

ポート3モード・コントロール・レジスタ（PMC3）の設定により、1ビット単位にコントロール端子にすることができます。

(i) TO10, TO11 (Timer Output)

タイマ1のタイマ出力端子です。

(ii) RxD, RxD2 (Receive Data)

アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

(iii) TxD, TxD2 (Transmit Data)

アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

(iv) SI1, SI2 (Serial Input)

3線式シリアルI/Oのシリアル・データ入力端子です。

(v) SO1, SO2 (Serial Output)

3線式シリアルI/Oのシリアル・データ出力端子です。

(vi) ASCK, ASCK2 (Asynchronous Serial Clock)

外部ポー・レート・クロック入力端子です。

(vii) $\overline{\text{SCK1}}$, $\overline{\text{SCK2}}$ (Serial Clock)

3線式シリアルI/Oのシリアル・クロック入出力端子です。

5.5.1 ハードウェア構成

図5 - 20から図5 - 22に、ポート3のハードウェア構成を示します。

図5 - 20 P30, P31, P33, P36 (ポート3) のブロック図

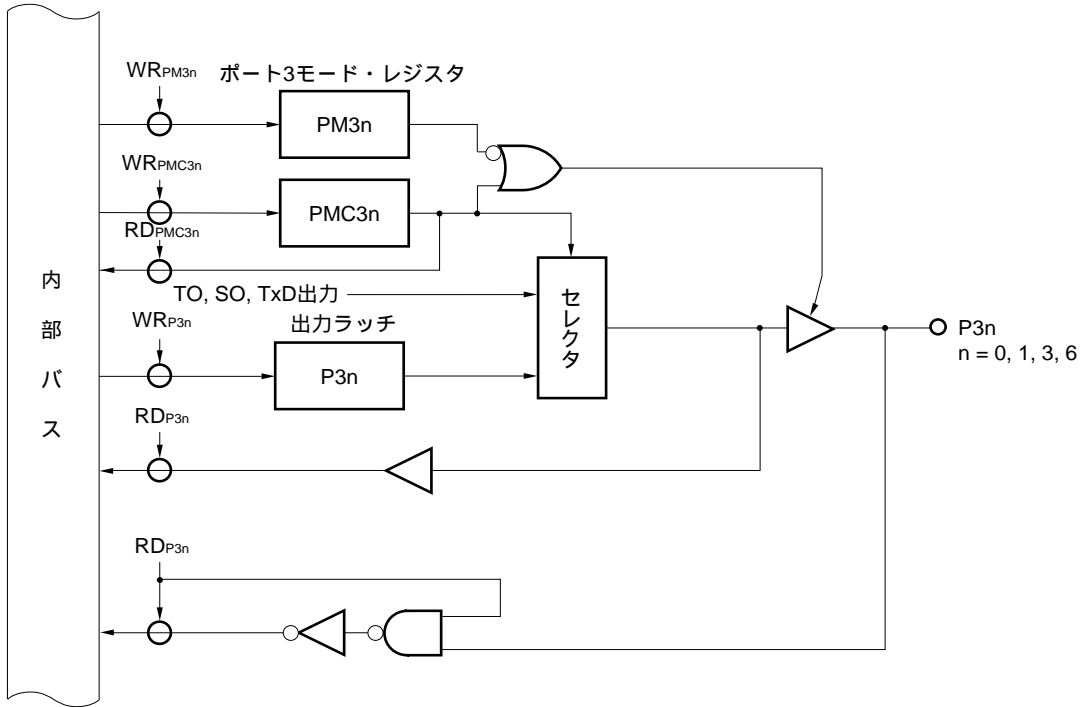


図5 - 21 P32, P35 (ポート3) のブロック図

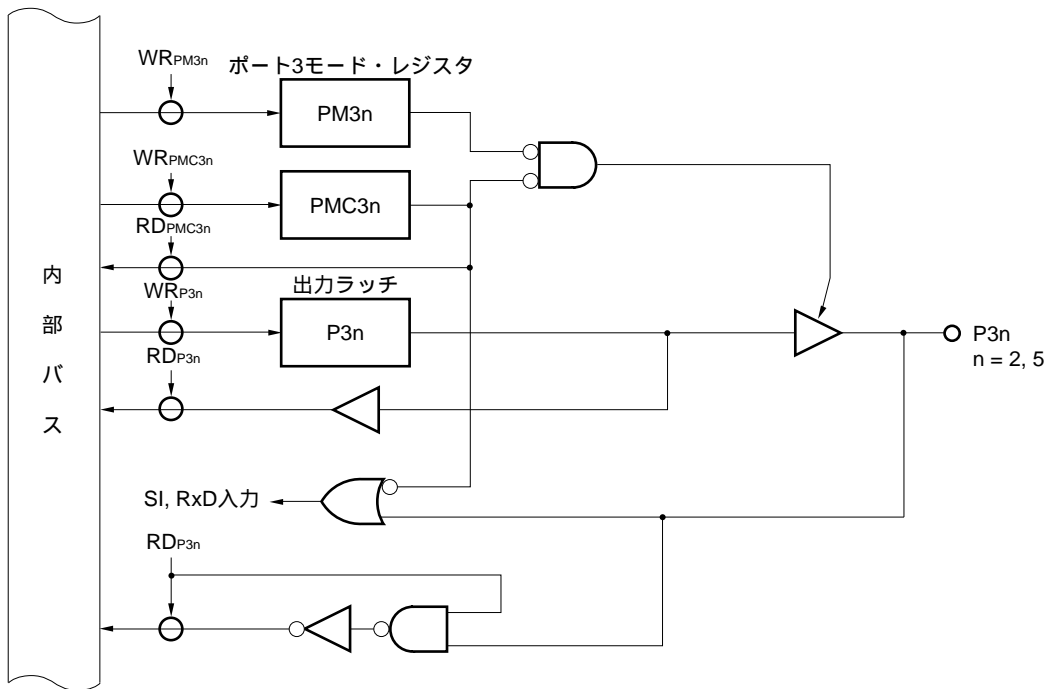
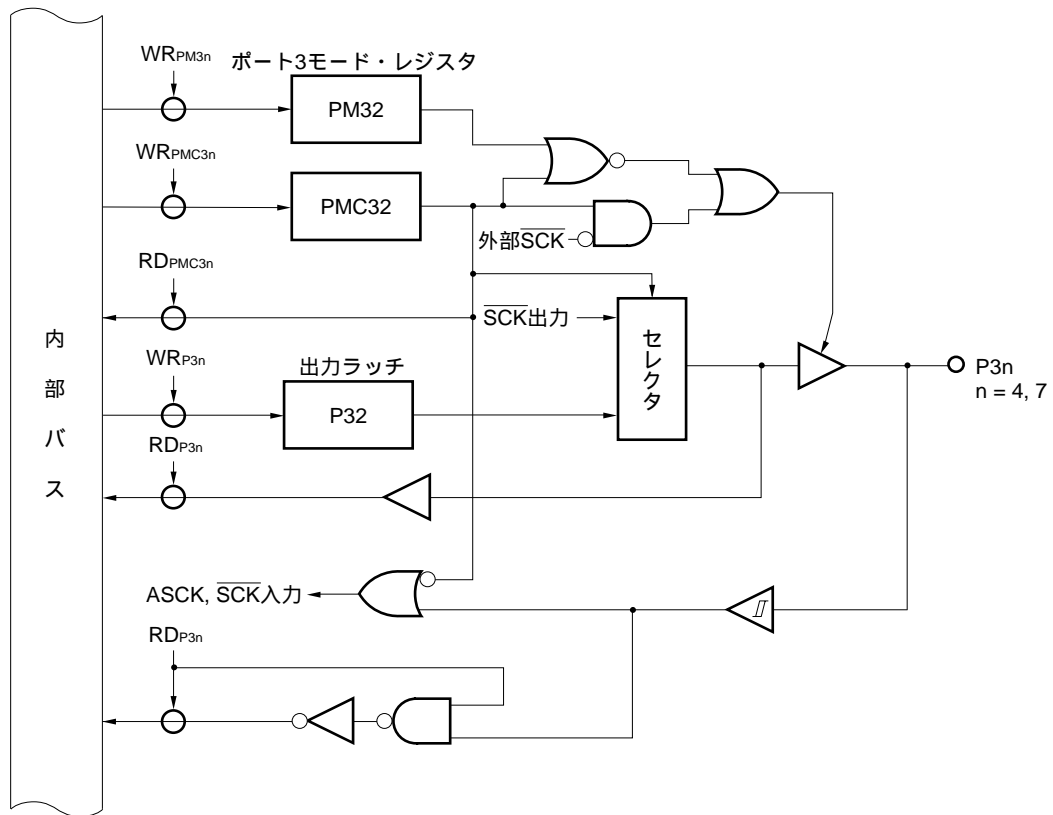


図5 - 22 P34, P37 (ポート3) のブロック図



5.5.2 入出力モード/コントロール・モードの設定

ポート3の入出力モードは、図5-23のように、端子ごとにポート3モード・レジスタ（PM3）により設定します。

ポート3は、入出力ポートとしての機能のほかに、各種コントロール信号端子としての機能を兼用しており、図5-24のように、ポート3モード・コントロール・レジスタ（PMC3）により、コントロール・モードを指定します。

図5-23 ポート3モード・レジスタ（PM3）のフォーマット

アドレス：0FF23H リセット時：FFH R/W

	7	6	5	4	3	2	1	0
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子入出力モード指定（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

図5 - 24 ポート3モード・コントロール・レジスタ (PMC3) のフォーマット

アドレス : 0FF43H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PMC3	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC37	P37端子のコントロール・モード指定
0	入出力ポート・モード
1	ASCK2/SCK2入出力モード

PMC36	P36端子のコントロール・モード指定
0	入出力ポート・モード
1	TxD2/SO2出力モード

PMC35	P35端子のコントロール・モード指定
0	入出力ポート・モード
1	RxD2/SI2入力モード

PMC34	P34端子のコントロール・モード指定
0	入出力ポート・モード
1	ASCK/SCK1入出力モード

PMC33	P33端子のコントロール・モード指定
0	入出力ポート・モード
1	TxD/SO1出力モード

PMC32	P32端子のコントロール・モード指定
0	入出力ポート・モード
1	RxD/SI1入力モード

PMC31	P31端子のコントロール・モード指定
0	入出力ポート・モード
1	TO11出力モード

PMC30	P30端子のコントロール・モード指定
0	入出力ポート・モード
1	TO10出力モード

5.5.3 動作状態

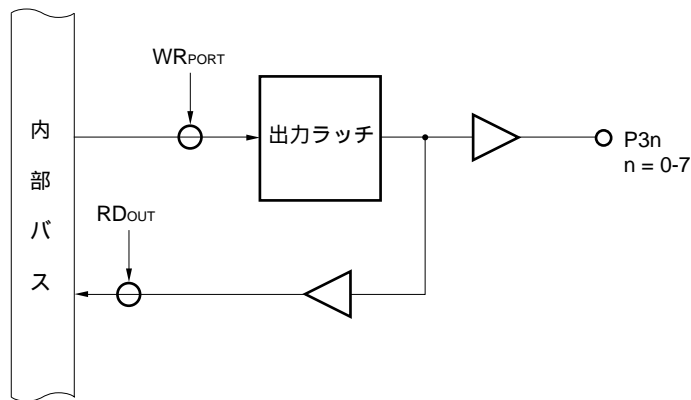
ポート3は、入出力ポートで、各種コントロール端子を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込むまで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

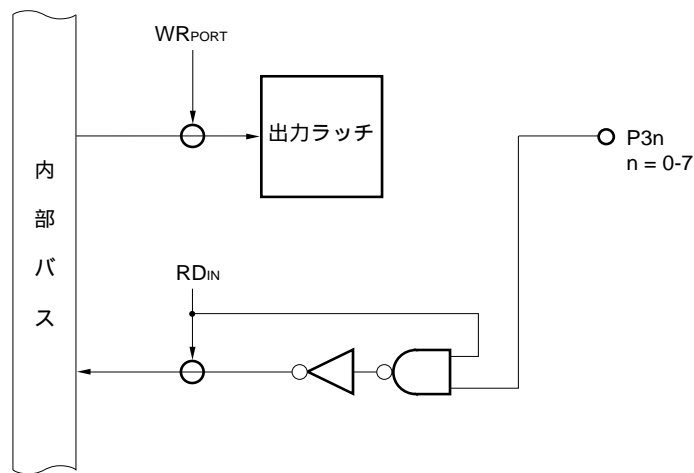
図5 - 25 出力ポート指定のポート



(2) 入力ポートに設定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図5 - 26 入力ポート指定のポート



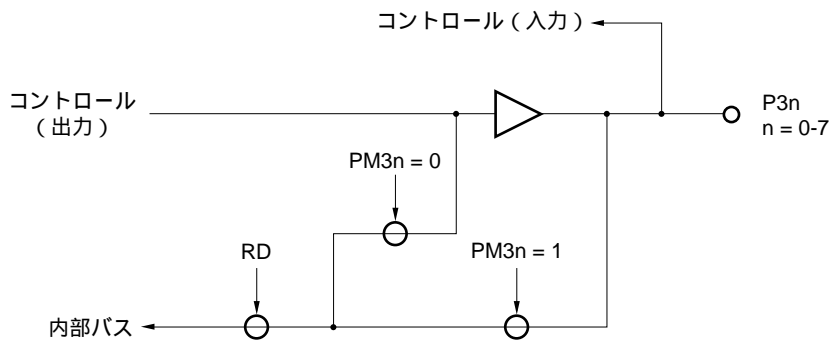
注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力やポート・モードとコントロール・モードが混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1、CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) コントロール信号入出力に指定された場合

ポート3は、ポート3モード・コントロール・レジスタ (PMC3) のビットをセット (1) することにより、ポート3モード・レジスタ (PM3) の設定にかかわらず、1ビット単位にコントロール信号の入力あるいは出力として使用することができます。各端子をコントロール信号として使用する場合、ポートの読み出し命令を実行することにより、コントロール信号の状態をみることができます。

図5 - 27 コントロール指定の場合



(a) ポートがコントロール信号出力の場合

ポート3モード・レジスタ (PM3) のPM3n (n=0-7) ビットがセット (1) されている場合、ポートの読み出し命令を実行すると、コントロール信号端子のレベルを読み出すことができます。

PM3nビットがリセット (0) されている場合、ポートの読み出し命令を実行すると、 μ PD784054内のコントロール信号の状態を読み出すことができます。

(b) ポートがコントロール信号入力の場合

ポート3モード・レジスタ (PM3) がセット (1) されている場合のみ、ポートの読み出し命令を実行すると、コントロール信号端子のレベルを読み出すことができます。

注意 コントロール・モード時に入力端子として機能する端子は、動作中にポート3モード・コントロール・レジスタ (PMC3) の該当ビットを書き換えた場合、誤動作の恐れがあります。したがって、PMC3への書き込みは、システムの初期設定時などに行ってください。

5.6 ポート4

ポート4は、出力ラッチ付き8ビット入出力ポートです。ポート4モード・レジスタ（PM4）により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

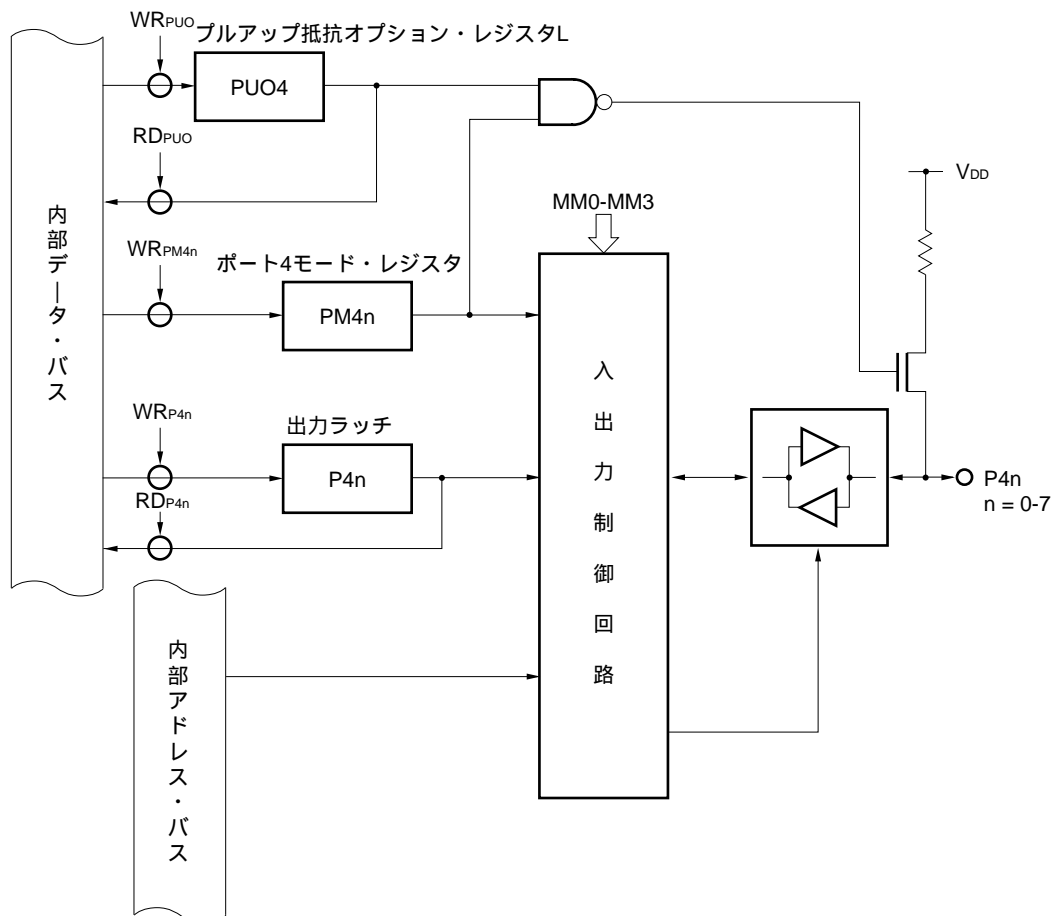
ポート4は、入出力ポートとしての機能以外に、外部メモリやI/Oを拡張するとき、下位のマルチプレクスト・アドレス/データ・バス（AD0-AD7）として機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート（出力ハイ・インピーダンス状態）となり、出力ラッチの内容は不定となります。

5.6.1 ハードウェア構成

図5-28に、ポート4のハードウェア構成を示します。

図5-28 ポート4のブロック図



5.6.2 入出力モード/コントロール・モードの設定

ポート4の入出力モードは、図5-29のように、端子ごとにポート4モード・レジスタ（PM4）により設定します。

ポート4をアドレス/データ・バスとして使用する場合は、表5-4のように、メモリ拡張モード・レジスタ（MM：図15-1参照）により設定します。

図5-29 ポート4モード・レジスタ（PM4）のフォーマット

アドレス：0FF24H リセット時：FFH R/W

	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

PM4n	P4n端子入出力モード指定（n=0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

表5-4 ポート4の動作モード

MMのビット				動作モード	備 考
MM3	MM2	MM1	MM0		
0	0	0	0	ポート（P40-P47）	——
0	0	1	1	アドレス/データ・バス （AD0-AD7）	外部16ビット・バス指定時は、設定禁止。
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		——
1	0	0	0		
1	0	0	1		

5.6.3 動作状態

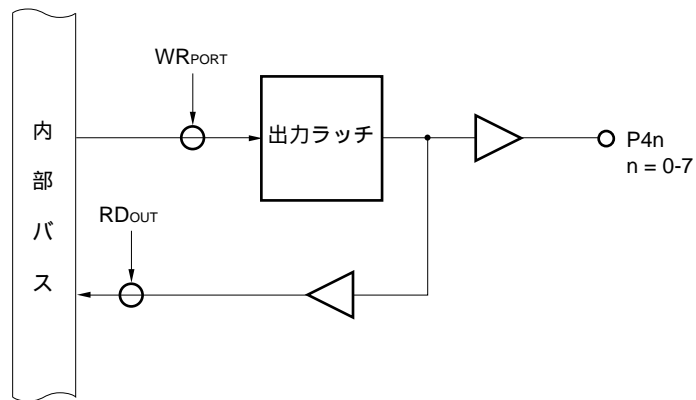
ポート4は、入出力ポートで、アドレス/データ・バス (AD0-AD7) を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一時出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む[※]まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

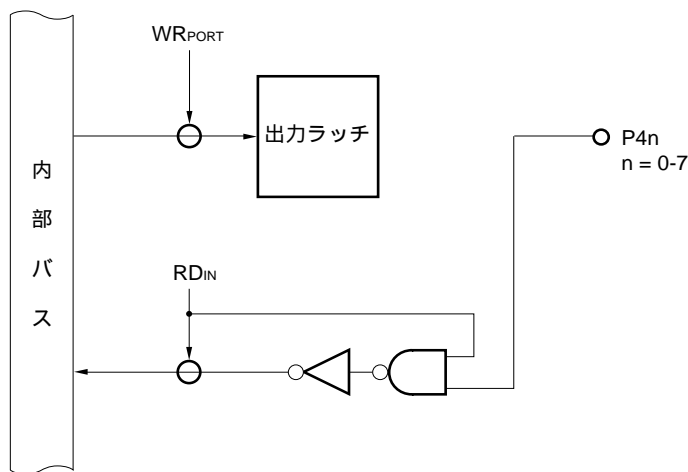
図5 - 30 出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファはハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき、出力ラッチの内容が、ポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図5 - 31 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートでビット操作命令を使用すると、入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) アドレス/データ・バス (AD0-AD7) の場合

外部アクセス時に、自動的に使用されます。

ポート4に対する入出力命令は、実行しないでください。

5.6.4 内蔵プルアップ抵抗

ポート4は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタL (PUOL) のPUO4ビットとポート4モード・レジスタ (PM4) で端子ごとに指定できます。

PUO4ビットが1のとき、メモリ拡張モード・レジスタ (MM) , PM4により入力ポートに指定されている端子のみ、内蔵プルアップ抵抗が有効になります。

図5 - 32 プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット

アドレス : 0FF4EH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PUOL	0	PUO6	PUO5	PUO4	0	0	0	PUO0

PUO6	ポート6のプルアップ抵抗の指定 (図5 - 44 参照)
------	--------------------------------

PUO5	ポート5のプルアップ抵抗の指定 (図5 - 38 参照)
------	--------------------------------

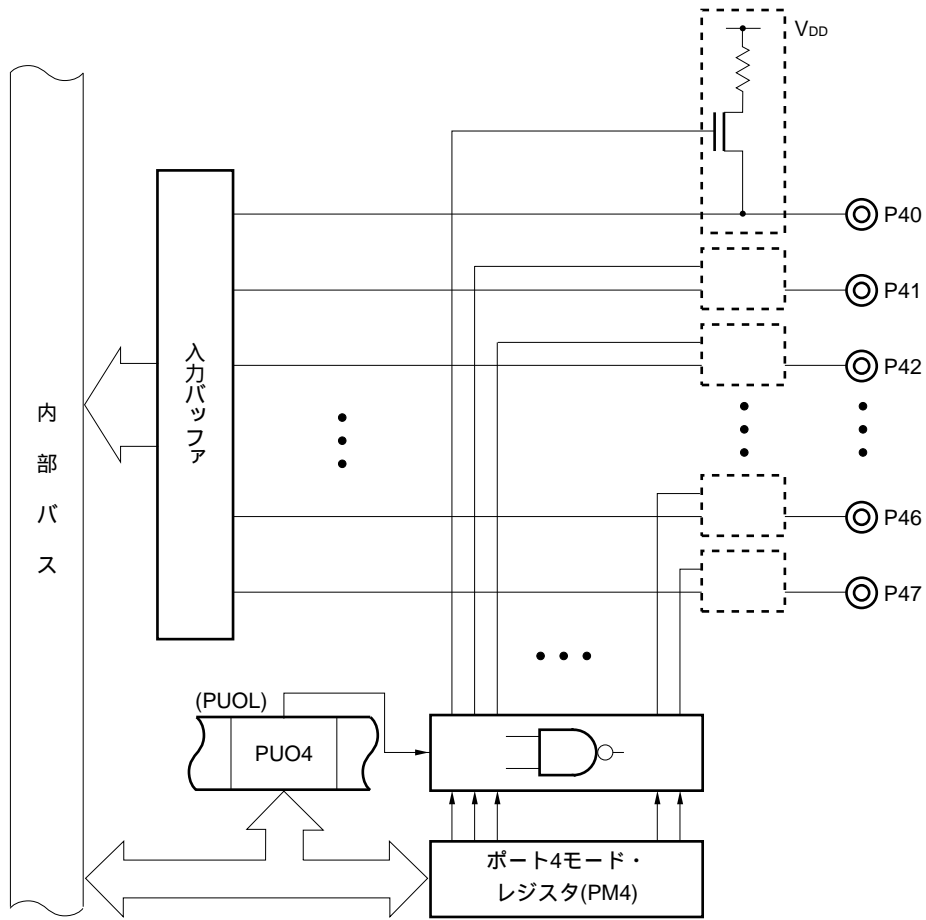
PUO4	ポート4のプルアップ抵抗の指定
0	ポート4では使用しない
1	ポート4で使用する

PUO0	ポート0のプルアップ抵抗の指定 (図5 - 6 参照)
------	-------------------------------

注意 ポート4をアドレス/データ・バスとして使用する場合は、PUO4ビットに必ず“0”を設定して、内蔵プルアップ抵抗を接続しないようにしてください。

備考 STOPモードに入る場合、消費電流を低減するために、PUOLに00Hを設定することが有効です。

図5 - 33 プルアップ抵抗の指定 (ポート4)



5.7 ポート5

ポート5は、出力ラッチ付き8ビット入出力ポートです。ポート5モード・レジスタ (PM5) により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

ポート5は、入出力ポートとしての機能以外に、外部メモリやI/Oを拡張するとき、次のように機能します。

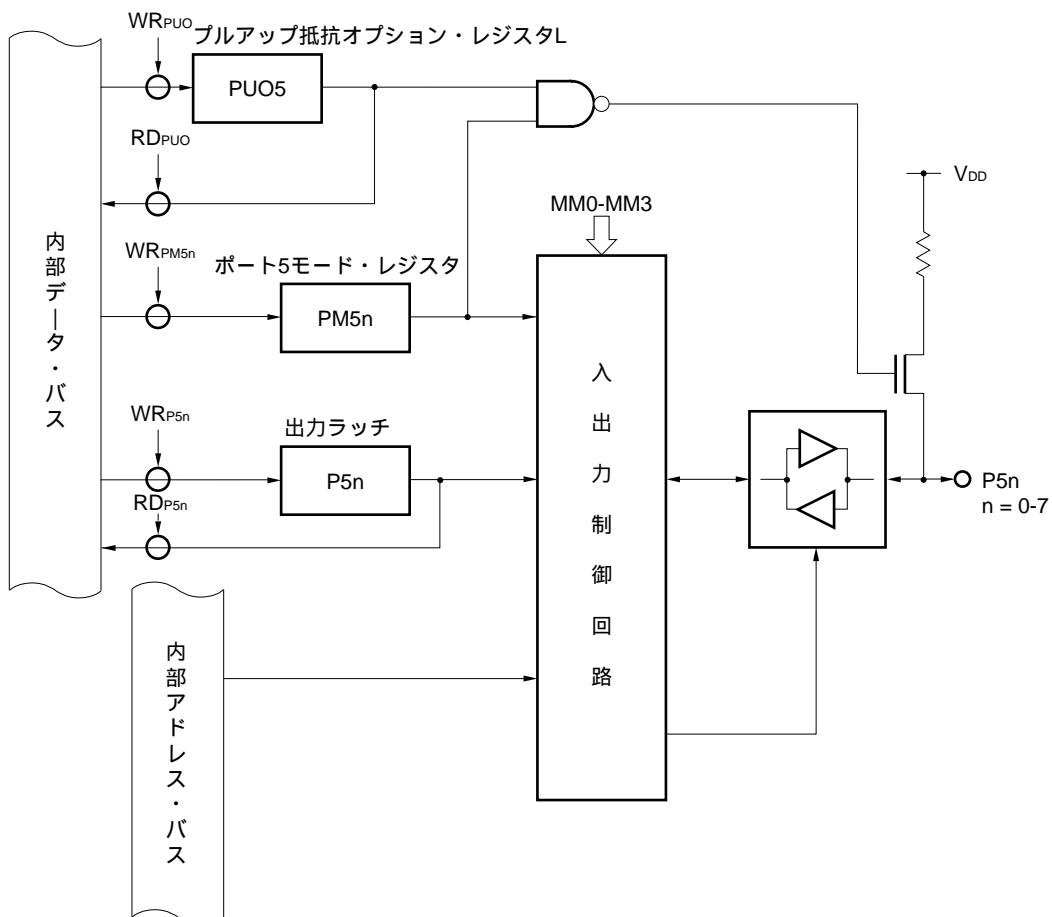
- ・外部8ビット・バス指定時
上位のアドレス・バス (AD8-AD15) として機能します。
- ・外部16ビット・バス指定時
上位のマルチプレクスト・アドレス/データ・バス (AD8-AD15) として機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート (出力ハイ・インピーダンス状態) となり、出力ラッチの内容は不定となります。

5.7.1 ハードウェア構成

図5-34に、ポート5のハードウェア構成を示します。

図5-34 ポート5のブロック図



5.7.2 入出力モード/コントロール・モードの設定

ポート5の入出力モードは、図5-35のように、端子ごとにポート5モード・レジスタ（PM5）により設定します。

ポート5は、2ビット単位でポートまたはアドレス端子として使用でき、表5-5のように、メモリ拡張モード・レジスタ（MM：図15-1参照）により設定します。

図5-35 ポート5モード・レジスタ（PM5）のフォーマット

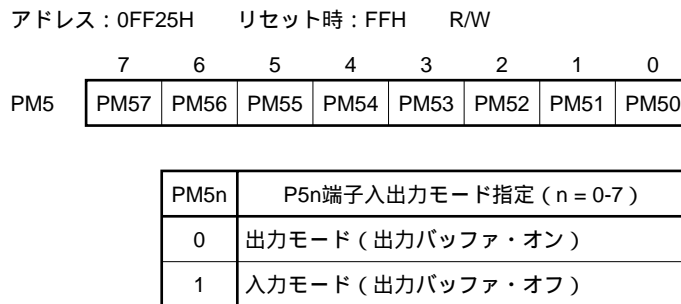


表5-5 ポート5の動作モード

MMのビット				動作モード								備 考
MM3	MM2	MM1	MM0	P50	P51	P52	P53	P54	P55	P56	P57	
0	0	0	0	ポート（P50-P57）								外部16ビット・バス指定時は、設定禁止。 AD8-AD13は、アドレス・バスとして使用します。
0	0	1	1									
0	1	0	0	AD8	AD9	ポート						
0	1	0	1	AD8	AD9	AD10	AD11	ポート				
0	1	1	0	AD8	AD9	AD10	AD11	AD12	AD13	ポート		
0	1	1	1	AD8	AD9	AD10	AD11	AD12	AD13	AD14	AD15	
1	0	0	0									
1	0	0	1									

5.7.3 動作状態

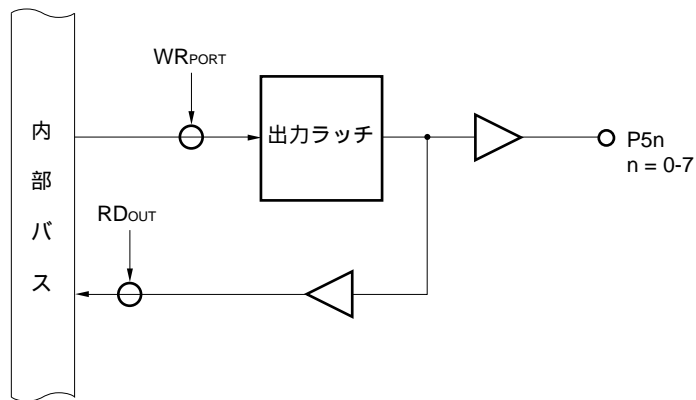
ポート5は、入出力ポートで、アドレス/データ・バス (AD8-AD15) を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む[※]まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

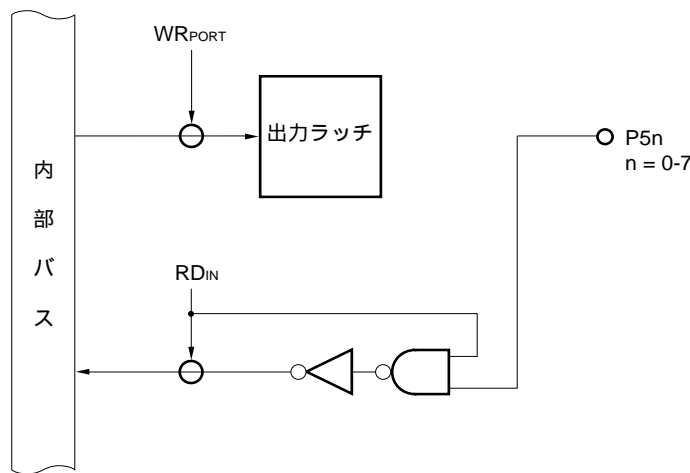
図5 - 36 出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが、出力ポートに切り替えられたとき、出力ラッチの内容が、ポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図5 - 37 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力が混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) アドレス/データ・バス (AD8-AD15) の場合

外部アクセス時に、自動的に使用されます。

ポート5に対する入出力命令は、実行しないでください。

5.7.4 内蔵プルアップ抵抗

ポート5は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタL (PUOL) のPUO5ビットとポート5モード・レジスタ (PM5) で、端子ごとに指定できます。

PUO5ビットが1のとき、メモリ拡張モード・レジスタ (MM) , PM5により入力ポートに指定されている端子のみ、内蔵プルアップ抵抗が有効になります。

図5 - 38 プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット

アドレス : 0FF4EH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PUOL	0	PUO6	PUO5	PUO4	0	0	0	PUO0

PUO6	ポート6のプルアップ抵抗の指定 (図5 - 44 参照)
------	------------------------------

PUO5	ポート5のプルアップ抵抗の指定
0	ポート5では使用しない
1	ポート5で使用する

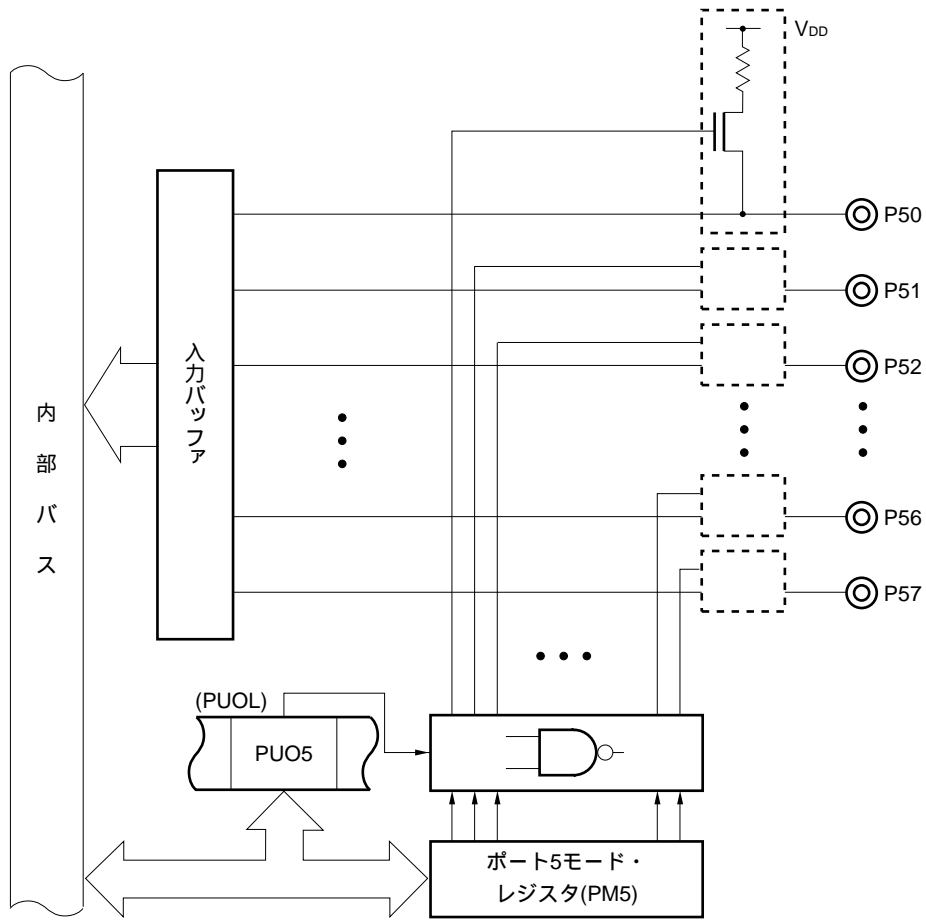
PUO4	ポート4のプルアップ抵抗の指定 (図5 - 32 参照)
------	------------------------------

PUO0	ポート0のプルアップ抵抗の指定 (図5 - 6 参照)
------	-----------------------------

注意 ポート5をアドレス/データ・バスとして使用する場合は、PUO5ビットに必ず“0”を設定して、内蔵プルアップ抵抗を接続しないようにしてください。

備考 STOPモードに入る場合、消費電流を低減するために、PUOLに00Hを設定することが有効です。

図5 - 39 プルアップ抵抗の指定 (ポート5)



5.8 ポート6

ポート6は、出力ラッチ付き4ビット入出力ポートです。ポート6モード・レジスタ（PM6）により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

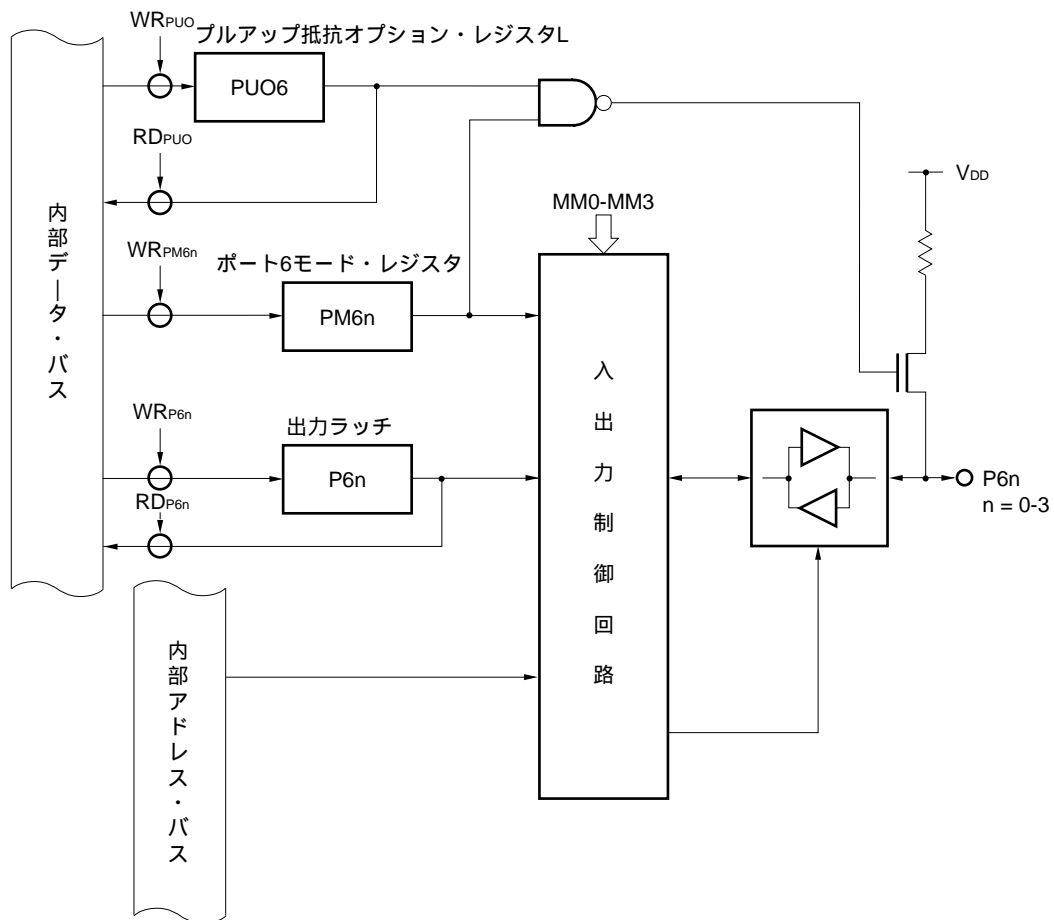
ポート6は、入出力ポートとしての機能以外に、外部メモリやI/Oを接続するとき、上位のアドレス・バス（A16-A19）として機能します。

$\overline{\text{RESET}}$ 入力により、入力ポート（出力ハイ・インピーダンス状態）となり、出力ラッチの内容は不定となります。

5.8.1 ハードウェア構成

図5-40に、ポート6のハードウェア構成を示します。

図5-40 ポート6のブロック図



5.8.2 入出力モード/コントロール・モードの設定

ポート6の入出力モードは、図5-41のように、端子ごとにポート6モード・レジスタ（PM6）により設定します。

ポート6は、2ビット単位でポートまたはアドレス端子として使用でき、表5-6のように、メモリ拡張モード・レジスタ（MM：図15-1参照）により設定します。

図5-41 ポート6モード・レジスタ（PM6）のフォーマット

アドレス：0FF26H リセット時：FFH R/W

	7	6	5	4	3	2	1	0
PM6	1	1	1	1	PM63	PM62	PM61	PM60

PM6n	P6n端子入出力モード指定 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

表5-6 ポート6の動作モード

MMのビット				動作モード				備 考
MM3	MM2	MM1	MM0	P60	P61	P62	P63	
0	0	0	0	ポート (P60-P63)				外部16ビット・バス指定時は、設定禁止。
0	0	1	1					
0	1	0	0					
0	1	0	1					
0	1	1	0					
0	1	1	1					
1	0	0	0	A16	A17	ポート		
1	0	0	1	A16	A17	A18	A19	

5.8.3 動作状態

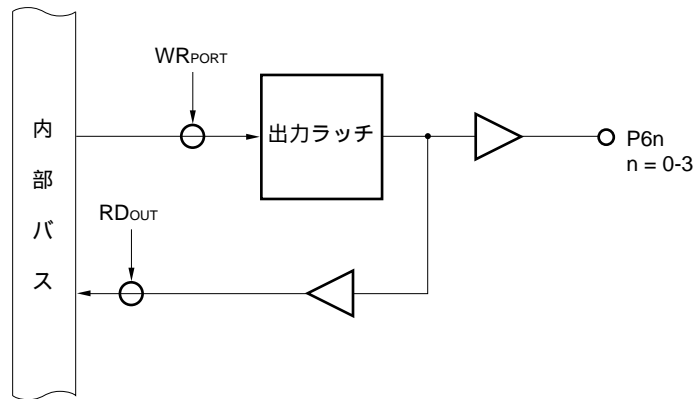
ポート6は、入出力ポートで、アドレス・バス(A16-A19)を兼用しています。

(1) 出力ポートに指定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む[※]まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

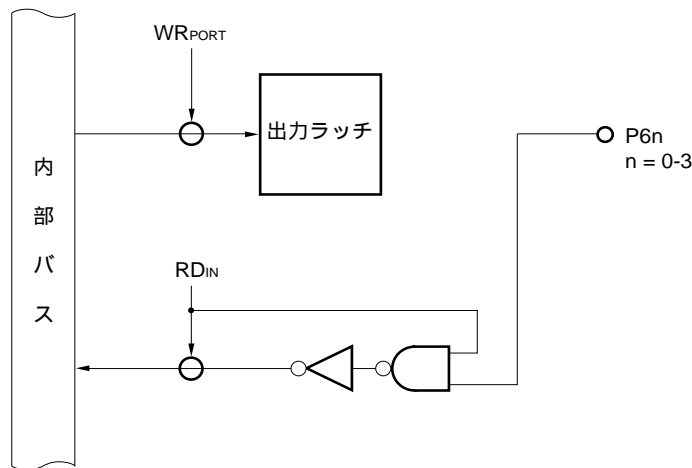
図5 - 42 出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが、出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図5 - 43 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力やポート・モードとコントロール・モードが混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1 命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) アドレス・バス (A16-A19) の場合

外部アクセス時に、自動的に使用されます。

ポート6に対する入出力命令は、実行しないでください。

5.8.4 内蔵プルアップ抵抗

ポート6は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタL (PUOL) のPUO6ビットとポート6モード・レジスタ (PM6) で、端子ごとに指定できます。

PUO6ビットが1のとき、PM6により入力モードに指定されている端子のみ、内蔵プルアップ抵抗が有効になります。

また、ポート6は、アドレス・バスに指定した場合も内蔵プルアップ抵抗を使用する指定は有効になります。内蔵プルアップ抵抗を接続したくない場合には、ポート6モード・レジスタ (PM6) で出力モードに指定する (PM6n=0 : n=0-3) か、PUO6=0 にしてください。

図5 - 44 プルアップ抵抗オプション・レジスタL (PUOL) のフォーマット

アドレス : 0FF4EH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PUOL	0	PUO6	PUO5	PUO4	0	0	0	PUO0

PUO6	ポート6のプルアップ抵抗の指定
0	ポート6では使用しない
1	ポート6で使用する

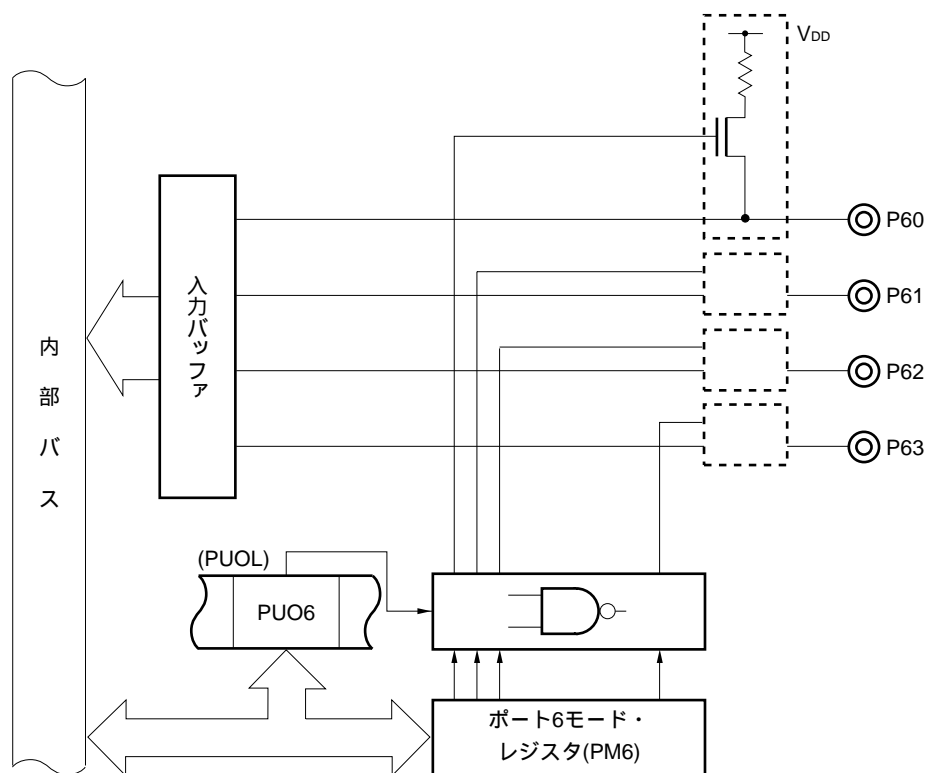
PUO5	ポート5のプルアップ抵抗の指定 (図5 - 38 参照)
------	------------------------------

PUO4	ポート4のプルアップ抵抗の指定 (図5 - 32 参照)
------	------------------------------

PUO0	ポート0のプルアップ抵抗の指定 (図5 - 6 参照)
------	-----------------------------

備考 STOPモードに入る場合、消費電流を低減するために、PUOLに00Hを設定することが有効です。

図5 - 45 プルアップ抵抗の指定 (ポート6)



5.9 ポート7

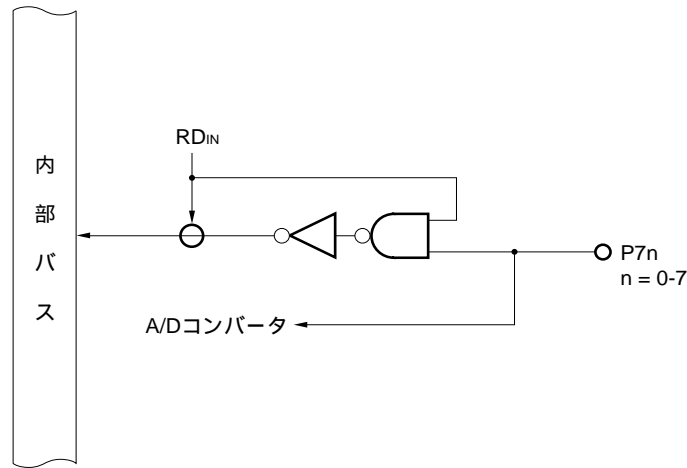
ポート7は、8ビット入力専用ポートです。入力ポートとして動作する以外に、A/Dコンバータ用アナログ入力（下位8チャンネル）の端子（ANI0-ANI7）としても動作します。常時アナログ信号の入力ができるようになっています。アナログ入力端子の指定は、A/Dコンバータ・モード・レジスタ（ADM）によって行います（図11-3参照）。

いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みまたはテストが可能です。

5.9.1 ハードウェア構成

図5-46に、ポート7のハードウェア構成を示します。

図5-46 ポート7のブロック図



5.9.2 注意事項

- (1) P70-P77をANI0-ANI7として使用している端子にAV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。詳細については、第11章 A/Dコンバータ 11.6 注意事項を参照してください。
- (2) ポート7でアナログ入力とデジタル入力を混在して使用した場合、アナログ入力サンプリング・タイミングでデジタル入力に変化するとA/D変換精度が悪化します。精度が必要な場合は、アナログ入力とデジタル入力を混在して使用しないようにしてください。

5.10 ポート8

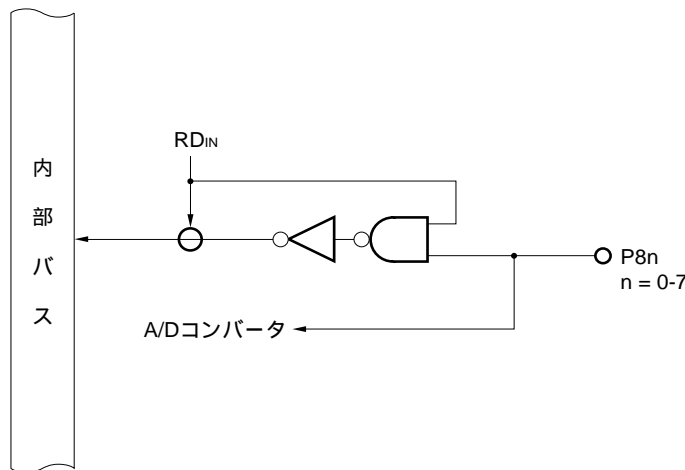
ポート8は、8ビット入力専用ポートです。入力ポートとして動作する以外に、A/Dコンバータ用アナログ入力（上位8チャンネル）の端子（ANI8-ANI15）としても動作します。常時アナログ信号の入力できるようになっています。アナログ入力端子の指定は、A/Dコンバータ・モード・レジスタ（ADM）によって行います（図11-3参照）。

いずれの端子も、兼用端子の動作にかかわらず、常に端子レベルの読み込みまたはテストが可能です。

5.10.1 ハードウェア構成

図5-47に、ポート8のハードウェア構成を示します。

図5-47 ポート8のブロック図



5.10.2 注意事項

- (1) P80-P87をANI8-ANI15として使用している端子に AV_{SS} - AV_{REF} の範囲外の電圧を印加しないでください。詳細については、第11章 A/Dコンバータ 11.6 注意事項を参照してください。
- (2) ポート8でアナログ入力とデジタル入力を混在して使用した場合、アナログ入力サンプリング・タイミングでデジタル入力に変化するとA/D変換精度が悪化します。精度が必要な場合は、アナログ入力とデジタル入力を混在して使用しないようにしてください。

5.11 ポート9

ポート9は、出力ラッチ付き5ビット入出力ポートです。ポート9モード・レジスタ（PM9）により、1ビット単位で入力/出力の指定ができます。各端子にソフトウェア・プログラマブル・プルアップ抵抗を内蔵しています。

ポート9は、入出力ポートとしての機能以外に、各種コントロール信号端子としての機能を兼用しています（表5-7参照）。P90-P93は外部メモリやI/Oを拡張するとき、リード/ライト・ストロブ信号、アドレス・ストロブ信号として機能します。P94は、ポート9モード・コントロール・レジスタ（PMC9）の設定により、ウエイト信号の入力端子として動作します。

$\overline{\text{RESET}}$ 入力により、入力ポート（出力ハイ・インピーダンス状態）となり、出力ラッチの内容は不定となります。

表5-7 ポート9の動作モード

端子名称	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P90	入出力ポート	$\overline{\text{RD}}$	メモリ拡張モード・レジスタ（MM）のMM0ビット・MM3ビットにより外部メモリ拡張モードを指定
P91		$\overline{\text{LWR}}$	
P92		$\overline{\text{HWR}}$	
P93		ASTB	
P94		WAIT	PMC9のPMC94ビットをセット（1）

備考 詳細は、第15章 ローカル・バス・インタフェース機能参照。

(a) ポート・モード

コントロール・モードに指定されていない各ポートは、ポート9モード・レジスタ（PM9）により1ビット単位で入力/出力の指定ができます。

(b) コントロール信号入出力モード

(i) $\overline{\text{RD}}$ (Read Strobe)

外部メモリのリード動作のために出力されるストロブ信号出力端子です。メモリ拡張モード・レジスタ（MM）により動作します。

(ii) $\overline{\text{LWR}}$, $\overline{\text{HWR}}$ (Low/High Write Strobe)

外部メモリのライト動作のために出力されるストロブ信号出力端子です。メモリ拡張モード・レジスタ（MM）により動作します。

(iii) ASTB (Address Strobe)

外部メモリをアクセスするために、AD0-AD15端子から出力されるアドレス情報を外部でラッチするタイミング信号出力端子です。メモリ拡張モード・レジスタ（MM）により動作します。

(iv) $\overline{\text{WAIT}}$ (Wait)

ウェイト信号の入力端子です。ポート9モード・コントロール・レジスタ (PMC9) により動作します。

5.11.1 ハードウェア構成

図5-48, 図5-49に, ポート9のハードウェア構成を示します。

図5-48 P90-P93 (ポート9) のブロック図

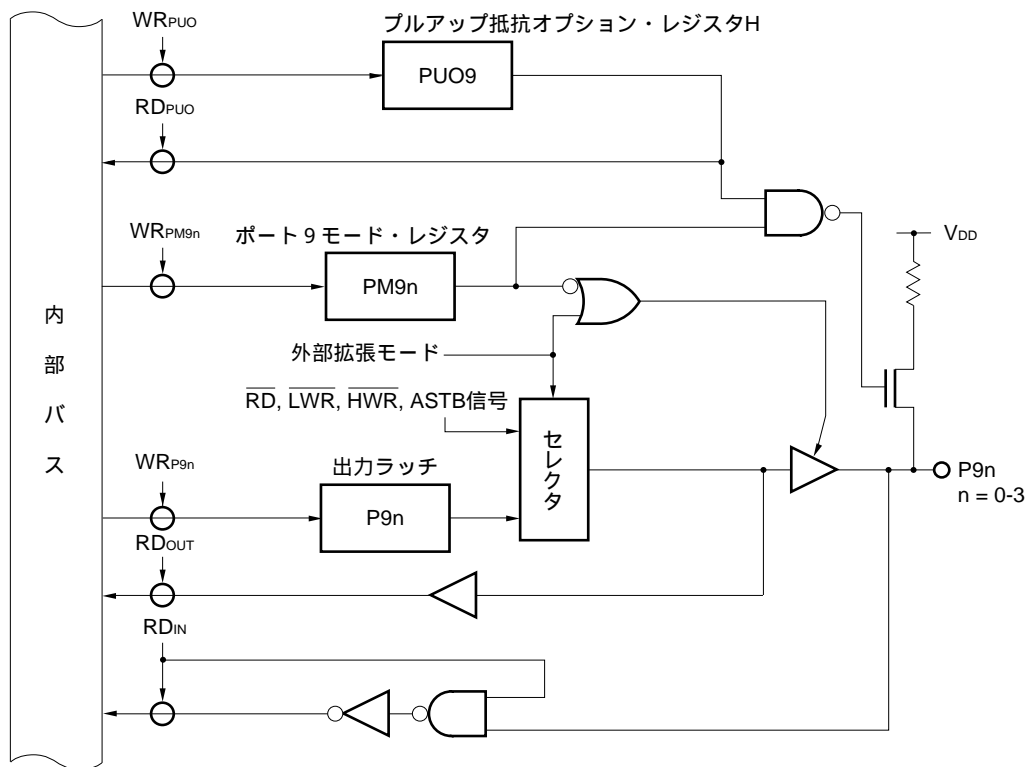
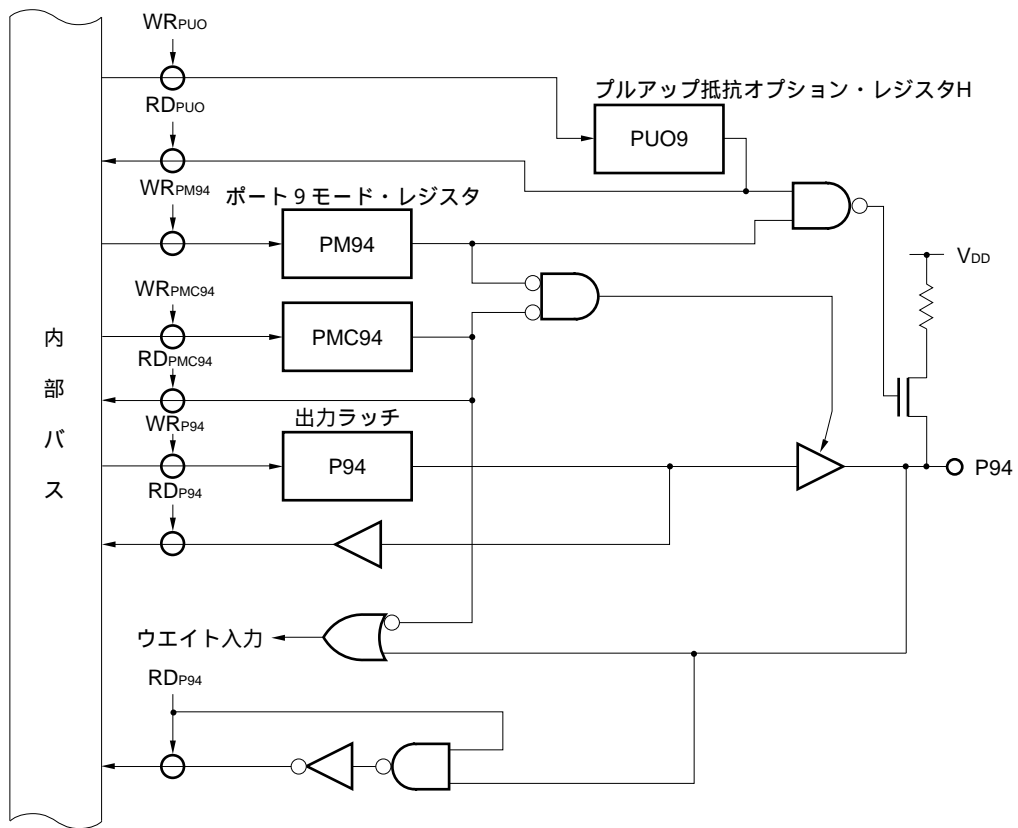


図5 - 49 P94 (ポート9) のブロック図



5.11.2 入出力モード/コントロール・モードの設定

ポート9の入出力モードは、図5-50のように、端子ごとにポート9モード・レジスタ（PM9）により設定します。

ポート9は、入出力ポートとしての機能のほかに、次に示す兼用機能があります。P90-P93は、 \overline{RD} 、 \overline{LWR} 、 \overline{HWR} 、ASTB端子として使用でき、表5-8のように、メモリ拡張モード・レジスタ（MM：図15-1参照）により設定します。P94は、図5-51のように、ポート9モード・コントロール・レジスタ（PMC9）の設定により、 \overline{WAIT} 端子として使用できます。

図5-50 ポート9モード・レジスタ（PM9）のフォーマット

アドレス：0FF29H リセット時：FFH R/W

	7	6	5	4	3	2	1	0
PM9	1	1	1	PM94	PM93	PM92	PM91	PM90

PM9n	P9n端子入出力モード指定（n=0-4）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

表5-8 P90-P93の動作モード

MMのビット				動作モード				備 考
MM3	MM2	MM1	MM0	P90	P91	P92	P93	
0	0	0	0	ポート（P90-P93）				——
0	0	1	1	\overline{RD}	\overline{LWR}	\overline{HWR}	ASTB	外部16ビット・バス指定時は、設定禁止。
0	1	0	0					
0	1	0	1					
0	1	1	0					
0	1	1	1					
1	0	0	0					
1	0	0	1					
				——				

図5-51 ポート9モード・コントロール・レジスタ（PMC9）のフォーマット

アドレス：0FF49H リセット時：00H R/W

	7	6	5	4	3	2	1	0
PMC9	0	0	0	PMC94	0	0	0	0

PMC94	P94端子のコントロール・モード指定
0	入出力ポート・モード
1	\overline{WAIT} 入力モード

5.11.3 動作状態

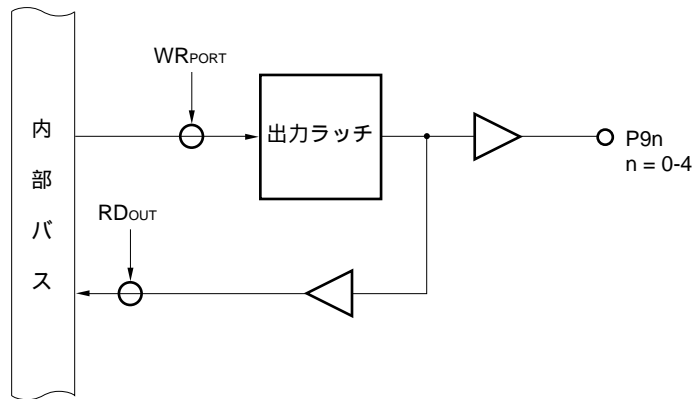
ポート9は、入出力ポートで、各種コントロール端子を兼用しています。

(1) 出力ポートに指定された場合

出力ラッチが有効となり、転送命令により出力ラッチとアキュムレータとの間でデータのやりとりを行います。また、出力ラッチの内容は、論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは、次に出力ラッチにデータを書き込む[※]まで保持されます。

注 ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

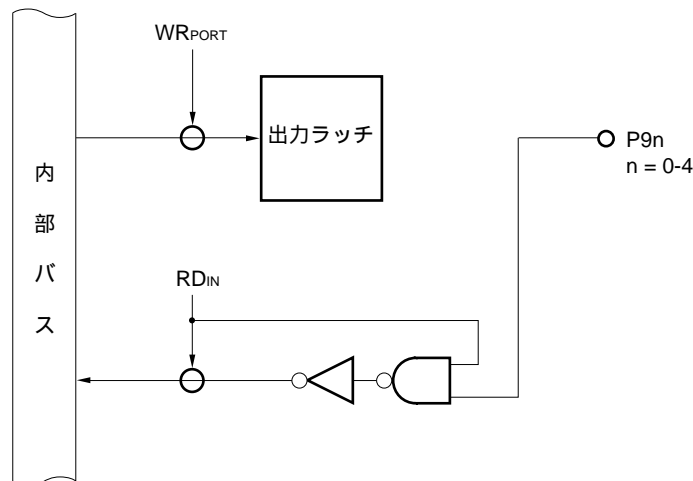
図5 - 52 出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを、転送命令でアキュムレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で、転送命令などによりアキュムレータから転送されたデータは、ポートの入出力指定に関係なく、全出力ラッチにストアされます。ただし、入力ポートに指定されているビットの出力バッファは、ハイ・インピーダンス状態になっているため、ポート端子には出力されません（入力指定のビットが、出力ポートに切り替えられたとき、出力ラッチの内容がポート端子に出力されます）。また、入力ポートに指定されているビットの出力ラッチの内容は、アキュムレータにロードすることはできません。

図5 - 53 入力ポート指定のポート



注意 ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力やポート・モードとコントロール・モードが混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1, CLR1 命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) コントロール端子の場合

- P90-P93

外部アクセス時に、自動的に \overline{RD} 、 \overline{LWR} 、 \overline{HWR} 、ASTB端子として使用されます。

P90-P93に対する入出力命令は実行しないでください。

- P94

ポート9モード・コントロール・レジスタ (PMC9) のPMC94ビットをセット (1) することにより、ポート9モード・レジスタ (PM9) の設定にかかわらず、 \overline{WAIT} 端子として使用することができます。 \overline{WAIT} 端子として使用する場合、PM9のPM94ビットがセット (1) されている場合のみ、ポートの読み出し命令を実行すると、 \overline{WAIT} 端子の状態を読み出すことができます。

注意 コントロール・モード時に入力端子として機能する端子 (P94) は、動作中にポート9モード・コントロール・レジスタ (PMC9) のPMC94ビットを書き換えた場合、誤動作の恐れがあります。したがって、PMC9への書き込みは、システムの初期設定時などに行ってください。

5.11.4 内蔵プルアップ抵抗

ポート9は、プルアップ抵抗を内蔵しています。プルアップが必要な場合、これらの内蔵抵抗を利用すると、部品点数と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは、プルアップ抵抗オプション・レジスタH (PUOH) のPUO9ビットとポート9モード・レジスタ (PM9) で、端子ごとに指定できます。

PUO9ビットが1のとき、次のように指定されている端子のみ、内蔵プルアップ抵抗が有効になります。

- P90-P93 : メモリ拡張モード・レジスタ (MM) , PM9により入力ポートに指定
- P94 : PM9により入力モードに指定

また、P94は、 \overline{WAIT} 端子に指定した場合も内蔵プルアップ抵抗を使用する指定は有効になります。内蔵プルアップ抵抗を接続したくない場合には、PM9で出力モードに指定する (PM94 = 0) か、PUO9 = 0 にしてください。

図5 - 54 プルアップ抵抗オプション・レジスタH (PUOH) のフォーマット

アドレス : 0FF4FH リセット時 : 00H R/W

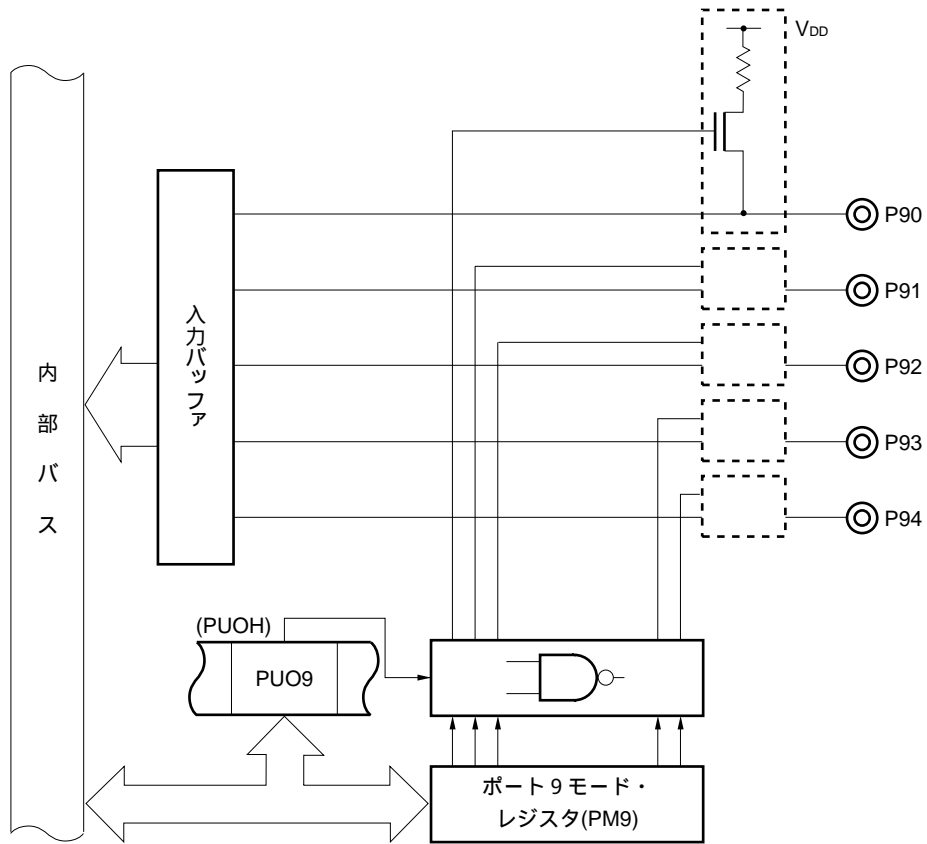
	7	6	5	4	3	2	1	0
PUOH	0	0	0	0	0	0	PUO9	0

PUO9	ポート9のプルアップ抵抗の指定
0	ポート9では使用しない
1	ポート9で使用する

注意 P90-P93を \overline{RD} , \overline{LWR} , \overline{HWR} , \overline{ASTB} 端子として使用する場合は, PUO9ビットに必ず“0”を設定して, 内蔵プルアップ抵抗を接続しないようにしてください。

備考 STOPモードに入る場合, 消費電流を低減するために, PUOHに00Hを設定することが有効です。

図5 - 55 プルアップ抵抗の指定 (ポート9)



5.12 ポート出力データのチェック機能

μPD784054は応用システムの信頼性を向上させるために、ポートが出力モードでも端子の状態を読み込む機能を備えています（端子アクセス・モード）。したがって、必要に応じて出力データと実際の端子の状態をチェックできます。

端子の状態を読み込むには、ポート・リード・コントロール・レジスタ（PRDC）のビット0をセット（1）したうえで、ポートをリードします。

$\overline{\text{RESET}}$ 入力により、PRDCは00Hになります。

図5 - 56 ポート・リード・コントロール・レジスタ（PRDC）のフォーマット

アドレス：0FF2FH リセット時：00H R/W

	7	6	5	4	3	2	1	0	
PRDC	0	0	0	0	0	0	0	0	PRDC0

PRDC0	動作モードの指定
0	通常モード
1	端子アクセス・モード

例 端子アクセス・モードを利用して、ポート0（P0）、ポート4（P4）、ポート5（P5）への出力データをチェックするプログラム例を示します。

```

TEST :   DI                ; 割り込み禁止
         MOV  A, 5AH        ; テスト・データ = 5AH
         MOV  P0, A         ; 出力ラッチに5AHをセット
         MOV  P4, A
         MOV  P5, A
         SET1 PRDC.0       ; 端子アクセス・モードを設定（PRDCをセット）
         CMP  A, P0        ; 端子レベルと出力ラッチの内容を比較
         BNE  $ERR0       ; 不一致ならエラー
         CMP  A, P4
         BNE  $ERR4
         CMP  A, P5
         BNE  $ERR5
         CLR1 PRDC.0       ; 通常モードに戻す（PRDCをリセット）
         EI                ; 割り込み許可
    
```

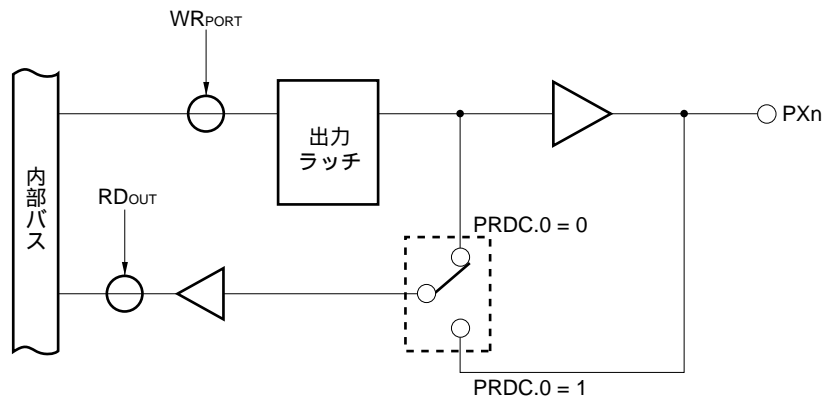
- 注意1. 端子アクセス・モード (PRDC0 = 1) では、ポートへのビット操作命令は正常動作しません。ポートのチェック終了後、必ずリセットして通常モード (PRDC0 = 0) に戻してください。
2. 端子アクセス・モード (PRDC0 = 1) において割り込みが発生すると、このモードが維持されたままビット操作命令等を実行する可能性があり、誤動作の原因となります。チェックを開始する前に必ずDI状態にしてください。
- また、ポートを操作するマクロ・サービスは使用しないでください。
3. ノンマスクابل割り込みの発生は避けられませんので、システムに応じて、プログラム上で次のような対策を講じてください。

- ・ ノンマスクابل割り込みルーチンではポート操作は行わない。
- ・ ノンマスクابل割り込みルーチンの最初でPRDC.0のレベルを退避して、リターン時に復帰する。

PRDC.0がセット (1) されると、図中の破線部分のスイッチが端子側で切り替わり、端子レベルが読み出されます。この状態でビット操作命令などを行うと、端子レベルをリードしてビット操作するため、出力ラッチの値がおかしくなる可能性があります。

PRDC.0をリセット (0) にすると、通常動作となります。

図5 - 57 制御概念図 (出力ポート指定時)



さらに、頻繁にポートの状態をチェックするための専用命令 (CHKL, CHKLA) を用意しています。これらの命令は、端子の状態と出力ラッチの内容 (ポート・モード時)、または端子状態と内部のコントロール出力信号のレベル (コントロール・モード時) を排他的論理和を取ることで比較します。

例 CHKL命令またはCHKLA命令を使用して、端子の状態と出力ラッチの内容をチェックするプログラム例を次に示します。

```

TEST :   SET1   P0.3           ; ポート0のビット3をセット
        CHKL   P0             ; ポート0をチェック
        BNE    $ERR1         ; 出力ラッチの内容と不一致ならエラー処理
                                (ERR1)へ分岐
        .
        .
        .
ERR1 :   CHKLA  P0             ; 不良ビットのチェック
        BT     A.3, $BIT03    ; ビット3?
        BT     A.2, $BIT02    ; ビット2?
        BT     A.1, $BIT01    ; ビット1?
        BR     $BIT00         ; どのビットでもなければビット0が不良
    
```

注意1 . CHKLまたはCHKLA命令は、ポート・リード・コントロール・レジスタ (PRDC) のPRDC0ビットが“0” (通常モード) の状態で使用してください。

2 . 各入出力ポートの端子のうち、入力ポート・モードに設定している端子については、ポート・モード/コントロール・モードの設定にかかわらず、CHKLまたはCHKLA命令の結果は常に一致します。また、入力専用ポートについては、出力ラッチがないため、CHKLまたはCHKLA命令を実行すると、入力端子レベルを読み込みます。したがって、入力専用ポートに対するCHKLまたはCHKLA命令は実質的に無効ですので使用しないでください。

3 . 1つのポート内で、コントロール出力とポート出力を混在して使用しているポートの出力レベルをCHKLまたはCHKLA命令でチェックする場合には、コントロール出力端子の入出力モードを入力モードに設定してからこれらの命令を実行してください (コントロール出力は非同期に出力レベルが変化するため、CHKLまたはCHKLA命令による出力レベルのチェックはできません)。

5.13 注意事項

- (1) すべてのポート端子は $\overline{\text{RESET}}$ 信号が入力されるとハイ・インピーダンスになります（内蔵プルアップ抵抗も端子から切り離されます）。
- $\overline{\text{RESET}}$ 入力中に端子がハイ・インピーダンスとなって困る場合は、外付けの回路で対策を行ってください。
- (2) 内蔵プルアップ抵抗の接続を指定するプルアップ抵抗オプション・レジスタL (PUOL) のビット1-ビット3, ビット7, およびプルアップ抵抗オプション・レジスタH (PUOH) のビット0, ビット2-ビット7は“0”固定ですが、インサーキット・エミュレータではこれらのビットに“1”を書き込むと、1が読み出せるようになっています。
- (3) 出力ラッチの内容は $\overline{\text{RESET}}$ 入力によっても初期化されません。出力ポートとして使用する場合は、必ず出力バッファをオンする前に、出力ラッチを初期化してください。出力バッファをオンする前に出力ラッチを初期化していないと出力ポートに予期しないデータが出力されます。
- また同様に、コントロール端子として使用する端子は、必ず内部周辺ハードウェアの初期化を行ってからコントロール端子への指定を行ってください。
- (4) ビット操作命令は、結果として操作するのは1ビットですが、ポートを8ビット単位でアクセスします。したがって、入出力やポート・モードとコントロール・モードが混在しているポートで、ビット操作命令を使用すると、入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます (SET1, CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
- また、その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。
- (5) P21-P27端子を、出力ポート・モードおよびタイマ出力モードとして使用する場合でも、端子レベルのエッジ検出によりINTPn (n=0-6) 割り込みが発生しますので、割り込みをマスクしてから使用してください。
- (6) コントロール・モード時に入力端子として機能する端子 (P32, P34, P35, P37, P94) は、動作中にポートnモード・コントロール・レジスタ (PMCn : n=3, 9) の該当ビットを書き換えた場合、誤動作の恐れがあります。したがって、PMCnへの書き込みは、システムの初期設定時などに行ってください。
- (7) ポート4, ポート5, P90-P93をそれぞれ外部メモリ拡張モード時の端子として使用する場合は、プルアップ抵抗オプション・レジスタ (PUOL, PUOH) の該当ビットに必ず“0”を設定して、内蔵プルアップ抵抗を接続しないようにしてください。

(8) P70-P77, P80-P87をANI0-ANI15として使用している端子にAV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

詳細については、**第11章 A/Dコンバータ 11.6 注意事項**を参照してください。

(9) ポート7, ポート8でアナログ入力とデジタル入力を混在して使用した場合, アナログ入力サンプリング・タイミングでデジタル入力に変化するとA/D変換精度が悪化します。精度が必要な場合は, アナログ入力とデジタル入力を混在して使用しないようにしてください。

(10) 端子アクセス・モード(ポート・リード・コントロール・レジスタ(PRDC)のPRDC0=1)では, ポートへのビット操作命令は正常動作しません。ポートのチェック終了後, 必ずリセットして通常モード(PRDC0=0)に戻してください。

(11) 端子アクセス・モード(PRDCのPRDC0=1)において, 割り込みが発生すると, このモードが維持されたままビット操作命令等を実行する可能性があり, 誤動作の原因となります。チェックを開始する前に必ずDI状態にしてください。

また, ポートを操作するマクロ・サービスは使用しないでください。

(12) 端子アクセス・モード(PRDCのPRDC0=1)において, ノンマスカブル割り込みの発生は避けられませんので, システムに応じて, プログラム上で次のような対策を講じてください。

- ・ ノンマスカブル割り込みルーチンではポート操作は行わない。
- ・ ノンマスカブル割り込みルーチンの最初でPRDC.0のレベルを退避して, リターン時に復帰する。

(13) CHKLまたはCHKLA命令は, PRDCのPRDC0ビットが“0”(通常モード)の状態で使用してください。

(14) 各入出力ポートの端子のうち, 入力ポート・モードに設定している端子については, ポート・モード/コントロール・モードの設定にかかわらず, CHKLまたはCHKLA命令の結果は常に一致します。

また, 入力専用ポートについては, 出力ラッチがないため, CHKLまたはCHKLA命令を実行すると, 入力端子レベルを読み込みます。したがって, 入力専用ポートに対するCHKLまたはCHKLA命令は実質的に無効ですので使用しないでください。

(15) 1つのポート内で, コントロール出力とポート出力を混在して使用しているポートの出力レベルをCHKLまたはCHKLA命令でチェックする場合には, コントロール出力端子の入出力モードを入力モードに設定してからこれらの命令を実行してください(コントロール出力は非同期に出力レベルが変化するため, CHKLまたはCHKLA命令による出力レベルのチェックはできません)。

第6章 タイマの概説

16ビット・タイマを3ユニット内蔵しています。

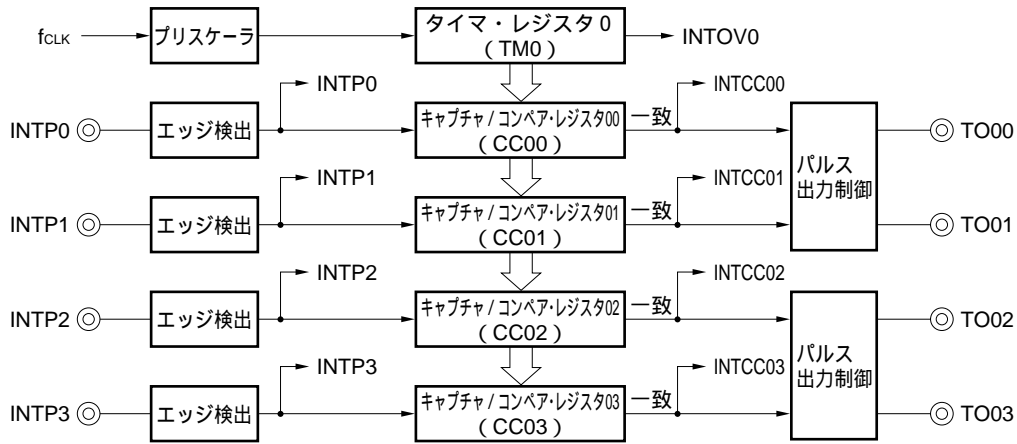
また、計11の割り込み要求をサポートしているため、11チャンネルのタイマとして機能させることができます。

表6 - 1 タイマの機能

項目		名称	タイマ0	タイマ1	タイマ4
動作モード	インターバル・タイマ		4ch	2ch	2ch
機能	タイマ出力		4ch	2ch	-
	トグル出力				-
	セット/リセット出力				-
	オーバフロー割り込み				
	割り込み要求数		5	3	3

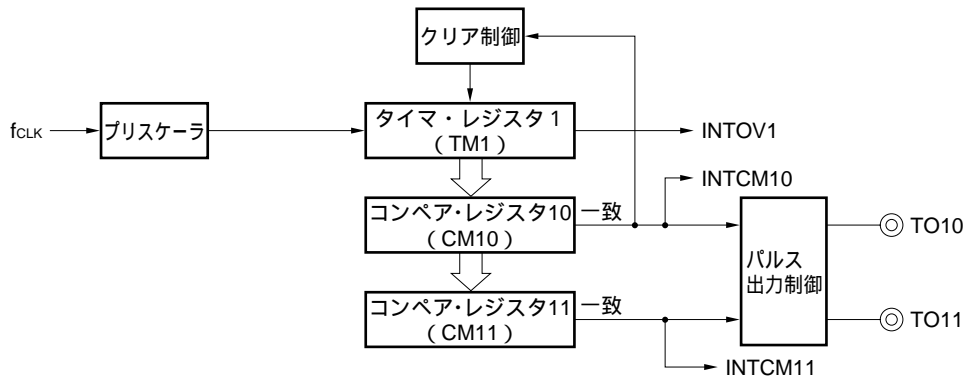
図6-1 タイマのブロック図(1/2)

タイマ0



プリスケータ : fCLK/4, fCLK/8, fCLK/16, fCLK/32, fCLK/64

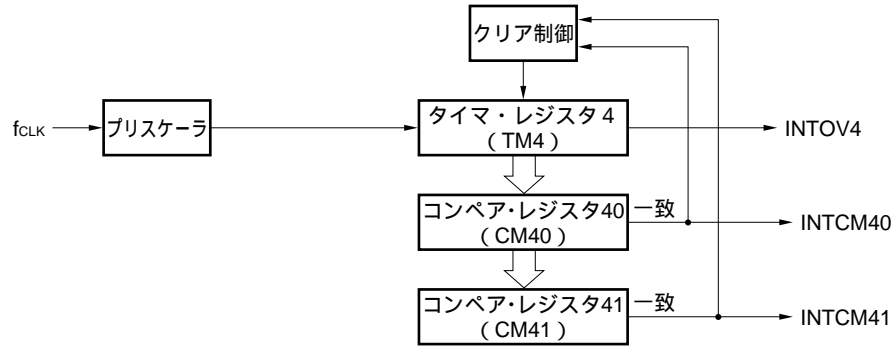
タイマ1



プリスケータ : fCLK/8, fCLK/16, fCLK/32, fCLK/64, fCLK/128

図6 - 1 タイマのブロック図 (2/2)

タイマ4



プリスケアラ : $f_{CLK}/4$, $f_{CLK}/8$, $f_{CLK}/16$, $f_{CLK}/32$, $f_{CLK}/64$

第7章 タイマ0

7.1 機能

タイマ0は、16ビットのフリー・ランニング・タイマです。

4本のキャプチャ/コンペア・レジスタと、タイマ出力としてトグルとセット/リセットの機能を持っていますので、インターバル・タイマとしての動作や、パルス幅測定が可能です。

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表7 - 1 タイマ0のインターバル時間

最小インターバル時間 ^注	最大インターバル時間	分解能
$4/f_{CLK}$ (0.25 μ s)	$2^{16} \times 4/f_{CLK}$ (16.4 ms)	$4/f_{CLK}$ (0.25 μ s)
$8/f_{CLK}$ (0.5 μ s)	$2^{16} \times 8/f_{CLK}$ (32.8 ms)	$8/f_{CLK}$ (0.5 μ s)
$16/f_{CLK}$ (1.0 μ s)	$2^{16} \times 16/f_{CLK}$ (65.5 ms)	$16/f_{CLK}$ (1.0 μ s)
$32/f_{CLK}$ (2.0 μ s)	$2^{16} \times 32/f_{CLK}$ (131 ms)	$32/f_{CLK}$ (2.0 μ s)
$64/f_{CLK}$ (4.0 μ s)	$2^{16} \times 64/f_{CLK}$ (262 ms)	$64/f_{CLK}$ (4.0 μ s)

()内は $f_{CLK} = 16$ MHzの場合

注 データ転送処理時間によって制約されます。使用する割り込みの処理時間またはマクロ・サービス処理時間を考慮してください(表14 - 11 割り込み受け付け処理時間, 表14 - 12 マクロ・サービス処理時間参照)。

(2) パルス幅測定

外部割り込み要求入力端子 (INTP0-INTP3) へ入力される信号のパルス幅を検出します。

表7-2 タイマ0のパルス幅測定範囲

測定可能なパルス幅 ^{注1}	分解能
$4/f_{CLK}$ (0.25 μ s) ^{注2} - $2^{16} \times 4/f_{CLK}$ (16.4 ms)	$4/f_{CLK}$ (0.25 μ s)
$8/f_{CLK}$ (0.5 μ s) ^{注2} - $2^{16} \times 8/f_{CLK}$ (32.8 ms)	$8/f_{CLK}$ (0.5 μ s)
$16/f_{CLK}$ (1.0 μ s) ^{注2} - $2^{16} \times 16/f_{CLK}$ (65.5 ms)	$16/f_{CLK}$ (1.0 μ s)
$32/f_{CLK}$ (2.0 μ s) ^{注2} - $2^{16} \times 32/f_{CLK}$ (131 ms)	$32/f_{CLK}$ (2.0 μ s)
$64/f_{CLK}$ (4.0 μ s) ^{注2} - $2^{16} \times 64/f_{CLK}$ (262 ms)	$64/f_{CLK}$ (4.0 μ s)

() 内は $f_{CLK} = 16$ MHzの場合

注1. ノイズ・プロテクション・コントロール・レジスタ (NPC) で選択したサンプリング・クロックにより、測定可能な最小パルス幅は変化します。測定可能な最小パルス幅は、上表と下表の値を比較して大きい方になります。

サンプリング・クロック	最小パルス幅
f_{CLK}	$4/f_{CLK}$ (0.25 μ s)
$f_{CLK}/4$	$16/f_{CLK}$ (1.0 μ s)

2. データ転送処理時間によって制約されます。使用する割り込みの処理時間またはマクロ・サービス処理時間を考慮してください (表14-11 割り込み受け付け処理時間, 表14-12 マクロ・サービス処理時間参照)。

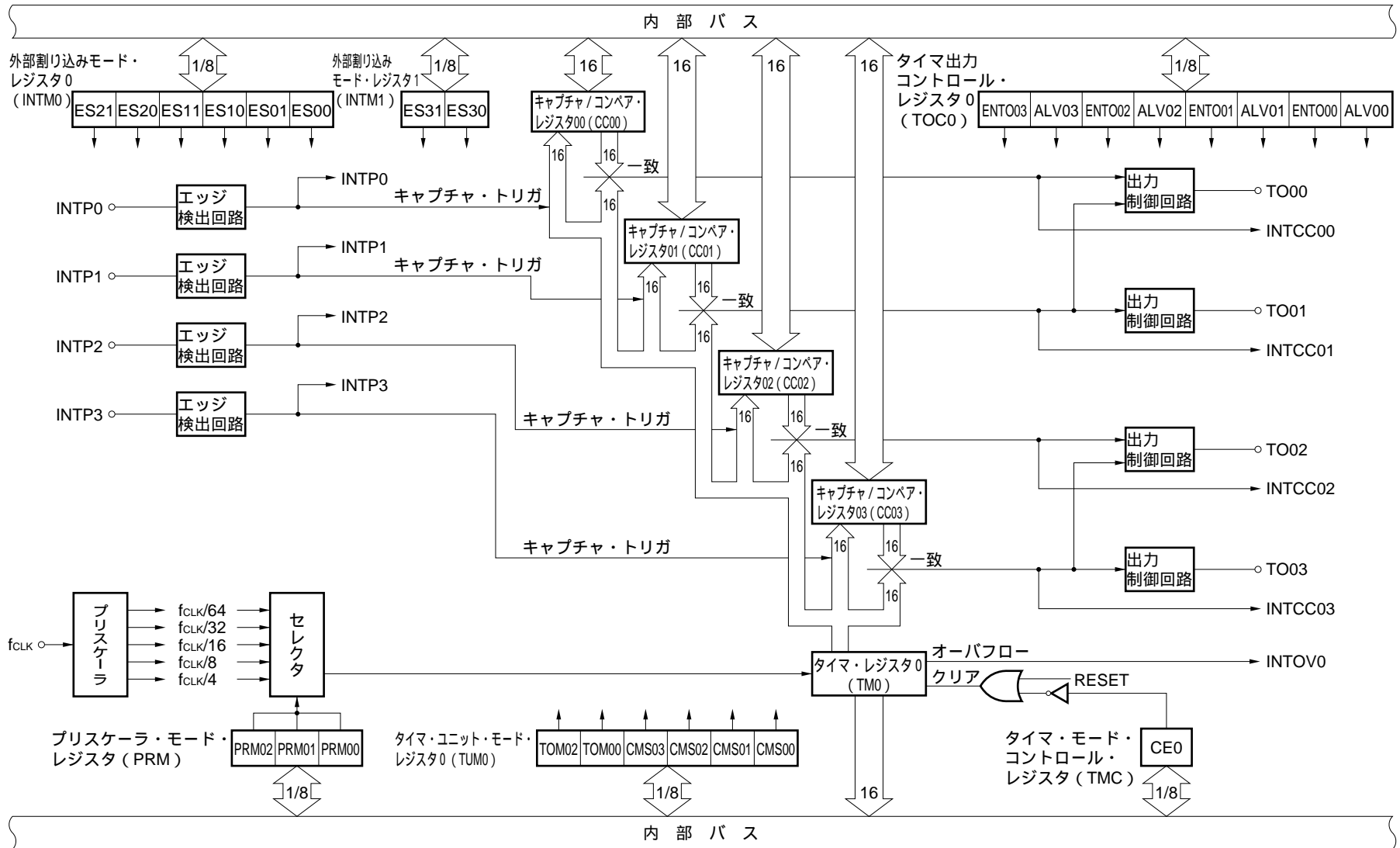
7.2 構成

タイマ0は、次のレジスタから構成されています。

- ・タイマ・レジスタ (TM0) \times 1
- ・キャプチャ/コンペア・レジスタ (CC0n) \times 4 (n=0-3)

図7-1にタイマ0のブロック図を示します。

図7-1 タイマ0のブロック図



(1) タイマ・レジスタ0 (TM0)

TM0は、プリスケアラ・モード・レジスタ (PRM) で指定されるカウント・クロックをアップカウントするタイマ・レジスタです。

タイマ・モード・コントロール・レジスタ (TMC) によりカウント動作の停止/許可を指定します。

16ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により、TM0は0000Hにクリアされ、カウントは停止します。

(2) キャプチャ/コンペア・レジスタ (CC00-CC03)

CC0n (n=0-3) は、タイマ・ユニット・モード・レジスタ0 (TUM0) の設定により、TM0のカウント値との一致を検出するためのコンペア・レジスタ、またはTM0のカウント値をキャプチャするキャプチャ・レジスタに設定することが可能な16ビット・レジスタです。

16ビット操作命令で読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により不定となります。

タイマ・モード・コントロール・レジスタ (TMC) のCE0ビットが0で、タイマ0が停止している場合、キャプチャ動作は行われません。

(a) コンペア・レジスタに設定した場合

インターバル・タイマ動作の周期を決める値を保持する16ビット・レジスタとして機能します。

CC0nの内容がTM0の内容と一致すると、割り込み要求 (INTCC0n : n=0-3) およびタイマ出力の制御信号を発生します。

(b) キャプチャ・レジスタに設定した場合

外部割り込み入力端子 (INTPn : n=0-3) の有効エッジ入力 (キャプチャ・トリガ) に同期してTM0の内容をキャプチャする16ビット・レジスタとして機能します。

次のキャプチャ・トリガが発生するまでCC0nの内容は保持されます。

(3) エッジ検出回路

エッジ検出回路は、外部入力の有効エッジを検出します。

INTP0-INTP3端子入力で有効エッジを検出して、外部割り込み要求 (INTP0-INTP3) とキャプチャ・トリガを発生します。有効エッジは、外部割り込みモード・レジスタ (INTM0, INTM1) により指定します (INTM0, INTM1については図13-1, 図13-2参照)。

(4) 出力制御回路

CC0n (n=0-3) の内容とTM0の内容が一致すると、タイマ出力を反転することができます。タイマ出力コントロール・レジスタ0 (TOC0) の設定でタイマ出力端子 (TO00-TO03) から矩形波を出力することができます。また、TO00, TO02端子は、タイマ・ユニット・モード・レジスタ0 (TUM0) の指定により、セット/リセット出力もできます。

TOC0によってタイマ出力の禁止/許可ができます。タイマ出力の禁止状態では、TO0n (n = 0-3) 端子には固定レベルが出力されます (出力レベルはTOC0により設定)。

(5) プリスケ - ラ

内部システム・クロックを分周してカウント・クロックを生成します。このプリスケ - ラで生成されたクロックをセレクタで選択し、カウント・クロックとしてTM0はカウント動作を行います。

(6) セレクタ

内部システム・クロックを分周して生成した5種類の信号から、TM0のカウント・クロックとしてどれか1つを選択します。

7.3 タイマ0制御レジスタ

(1) タイマ・ユニット・モード・レジスタ0 (TUM0)

TUM0は、タイマ0、1のタイマ出力端子 (TO00, TO02, TO10) の出力モード指定、タイマ・レジスタ1 (TM1) のクリア動作制御、タイマ0のキャプチャ/コンペア・レジスタ (CC00-CC03) の動作指定を行うレジスタです。

8ビット操作命令およびビット操作命令で読み出し/書き込みが可能です。図7-2に、TUM0のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hにクリアされます。

図7-2 タイマ・ユニット・モード・レジスタ0 (TUM0) のフォーマット

アドレス : 0FF30H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
TUM0	TOM10	CLR1	TOM02	TOM00	CMS03	CMS02	CMS01	CMS00

TOM10	TO10端子の出力モードを指定します (図8-2参照)。
CLR1	TM1のクリア動作を制御します (図8-2参照)。
TOM0n	TO0n端子の出力モード指定 (n = 0, 2)
0	トグル出力
1	セット/リセット出力
CMS0n	CC0nの動作指定 (n = 0-3)
0	キャプチャ・レジスタ
1	コンペア・レジスタ

(2) タイマ・モード・コントロール・レジスタ (TMC)

TMC は、タイマ・レジスタ 0, 1 (TM0, TM1) のカウント動作を制御するレジスタです。

8 ビット操作命令およびビット操作命令で読み出し / 書き込みが可能です。図 7 - 3 に、TMC のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により 00H にクリアされます。

図 7 - 3 タイマ・モード・コントロール・レジスタ (TMC) のフォーマット

アドレス : 0FF31H リセット時 : 00H R/W

	⑦	6	5	4	③	2	1	0
TMC	CE1	0	0	0	CE0	0	0	0

CE1	TM1 のカウント動作を制御します (図 8 - 3 参照)。
-----	---------------------------------

CE0	TM0 のカウント動作制御
0	クリアしたまま, カウント動作停止
1	カウント動作許可

(3) タイマ出力コントロール・レジスタ 0 (TOC0)

TOC0 は、タイマ 0 のタイマ出力端子 (TO00-TO03) の動作とアクティブ・レベルを指定するレジスタです。

8 ビット操作命令およびビット操作命令で読み出し / 書き込みが可能です。図 7 - 4 に、TOC0 のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により 00H にクリアされます。

図 7 - 4 タイマ出力コントロール・レジスタ 0 (TOC0) のフォーマット

アドレス : 0FF32H リセット時 : 00H R/W

	⑦	6	⑤	4	③	2	①	0
TOC0	ENTO03	ALV03	ENTO02	ALV02	ENTO01	ALV01	ENTO00	ALV00

ENTO0n	TO0n 端子の動作指定 (n = 0-3)
0	$\overline{\text{ALV0n}}$ を出力
1	パルス出力許可

ALV0n	TO0n 端子のアクティブ・レベル指定 (n = 0-3)
0	ロウ・レベル
1	ハイ・レベル

(4) プリスケアラ・モード・レジスタ (PRM)

PRMは、タイマ・レジスタ0, 1 (TM0, TM1)のカウンタ・クロックを指定するレジスタです。
 8ビット操作命令で読み出し/書き込みが可能です。図7-5に、PRMのフォーマットを示します。
 $\overline{\text{RESET}}$ 入力により00Hにクリアされます。

図7-5 プリスケアラ・モード・レジスタ (PRM) のフォーマット

アドレス : 0FF38H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PRM	0	PRM12	PRM11	PRM10	0	PRM02	PRM01	PRM00

PRM12	PRM11	PRM10	TM1のカウンタ・クロックを指定します(図8-5参照)。
-------	-------	-------	------------------------------

($f_{\text{CLK}} = 16 \text{ MHz}$ 時)

PRM02	PRM01	PRM00	TM0のカウンタ・クロック指定	
			カウンタ・クロック [Hz]	分解能 [μs]
0	0	0	$f_{\text{CLK}}/4$	0.25
0	0	1	$f_{\text{CLK}}/8$	0.5
0	1	0	$f_{\text{CLK}}/16$	1.0
0	1	1	$f_{\text{CLK}}/32$	2.0
1	0	0	$f_{\text{CLK}}/64$	4.0
上記以外			設定禁止	

備考 f_{CLK} : 内部システム・クロック

7.4 タイマ・レジスタ0 (TM0) の動作

7.4.1 基本動作

タイマ0のカウント動作は、プリスケアラ・モード・レジスタ (PRM) で指定されるカウント・クロックによりカウント・アップします。

カウント動作の禁止/許可は、タイマ・モード・コントロール・レジスタ (TMC) のCE0ビットで制御します。CE0ビットをソフトウェアによりセット (1) すると、最初のカウント・クロックでTM0は0001Hになり、カウント・アップ動作を行います。CE0ビットをソフトウェアによりクリア (0) すると、TM0はただちに0000Hになり、キャプチャ動作や一致信号の発生は停止します。

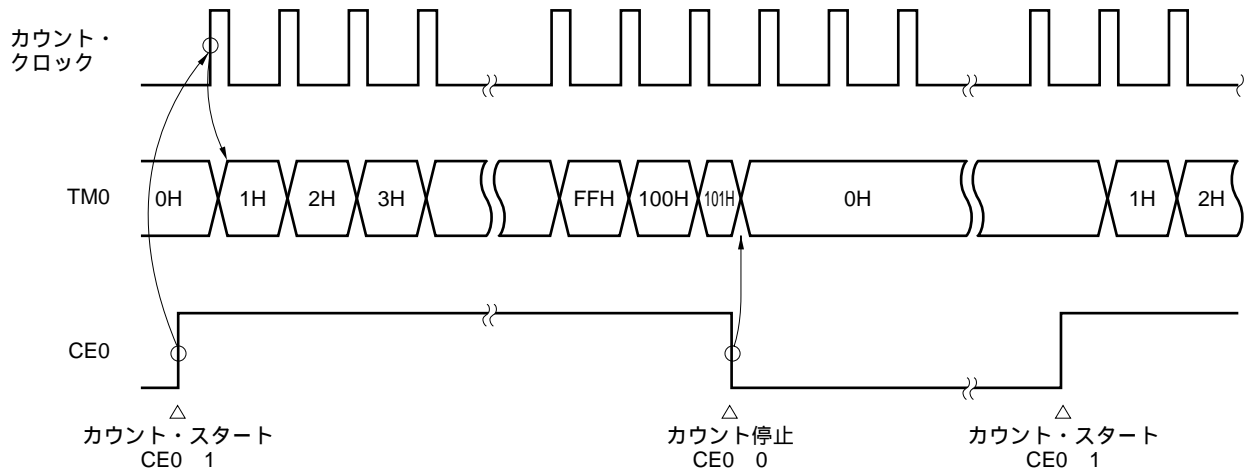
CE0ビットがセット (1) されている状態でさらにCE0ビットをセット (1) した場合、TM0はクリアされないでカウント動作を続けます。

TM0がFFFFHのときにカウント・クロックが入力されると、TM0は0000Hになり、オーバフロー割り込み (INTOV0) が発生します。カウント動作はそのまま継続されます。

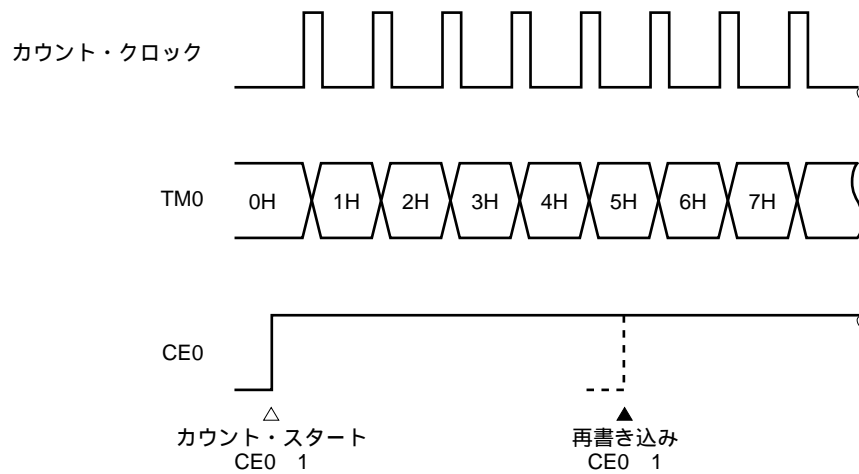
$\overline{\text{RESET}}$ 入力により、TM0は0000Hにクリアされ、カウント動作は停止します。

図7-6 タイマ・レジスタ0 (TM0) の基本動作

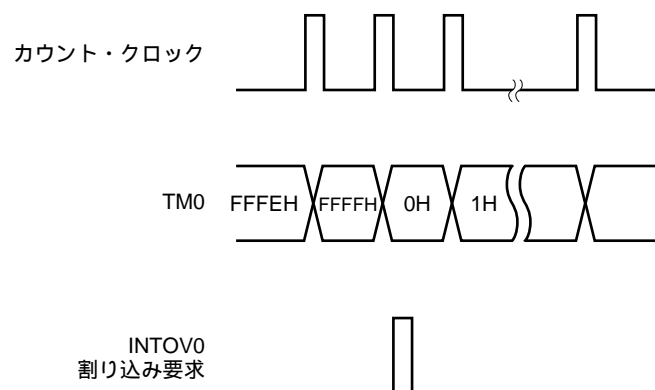
(a) カウント・スタート カウント停止 カウント・スタートの場合



(b) カウント・スタート後に再度CE0ビット“1”を書き込んだ場合



(c) TM0がFFFFHのときの動作

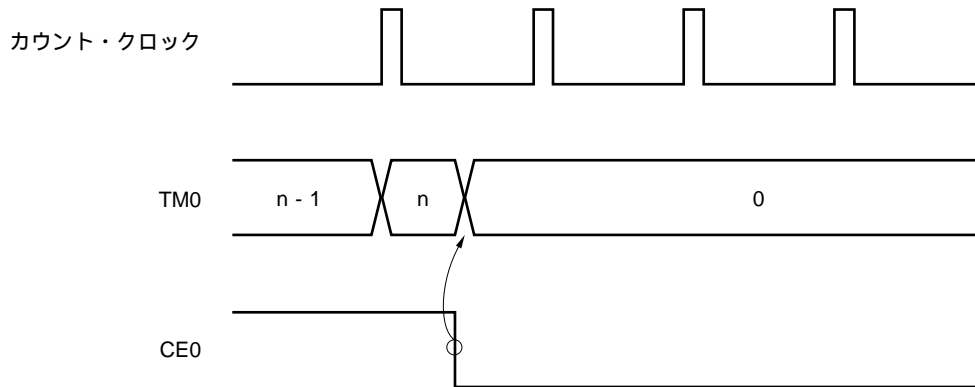


7.4.2 クリア動作

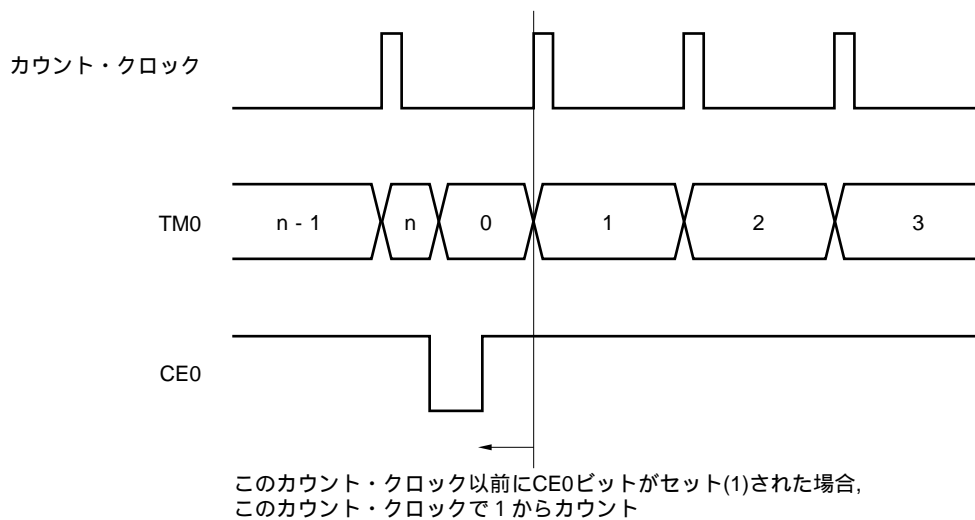
タイマ・レジスタ0 (TM0) は、タイマ・モード・コントロール・レジスタ (TMC) のCE0ビットをクリア (0) することによってクリアされます。クリア動作は、CE0ビットがクリア (0) されるとただちに行われます。

図7-7 タイマ・レジスタ0 (TM0) のクリア動作

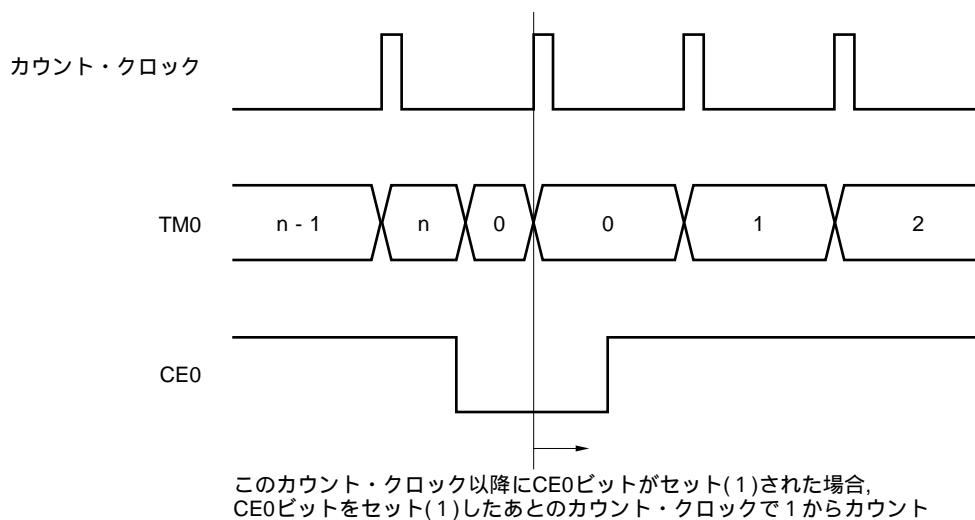
(a) 基本動作



(b) クリア後のカウント・クロックが入力される前の再スタート



(c) クリア後にカウント・クロックが入力されてからの再スタート



7.5 キャプチャ/コンペア・レジスタの動作

7.5.1 コンペア動作

タイマ0は、コンペア動作に指定したキャプチャ/コンペア・レジスタ（CC00-CC03）に設定された値をタイマ・レジスタ0（TM0）のカウンタ値と比較するコンペア動作を行います。

あらかじめ設定されたCC0n（n=0-3）の値にTM0のカウンタ値がカウンタ動作によって一致すると、出力制御回路に一致信号を送ります。同時に割り込み要求信号（INTCC0n：n=0-3）を発生します。

表7 - 3 コンペア・レジスタからの割り込み要求信号（タイマ0）

コンペア・レジスタ	割り込み要求信号
CC00	INTCC00
CC01	INTCC01
CC02	INTCC02
CC03	INTCC03

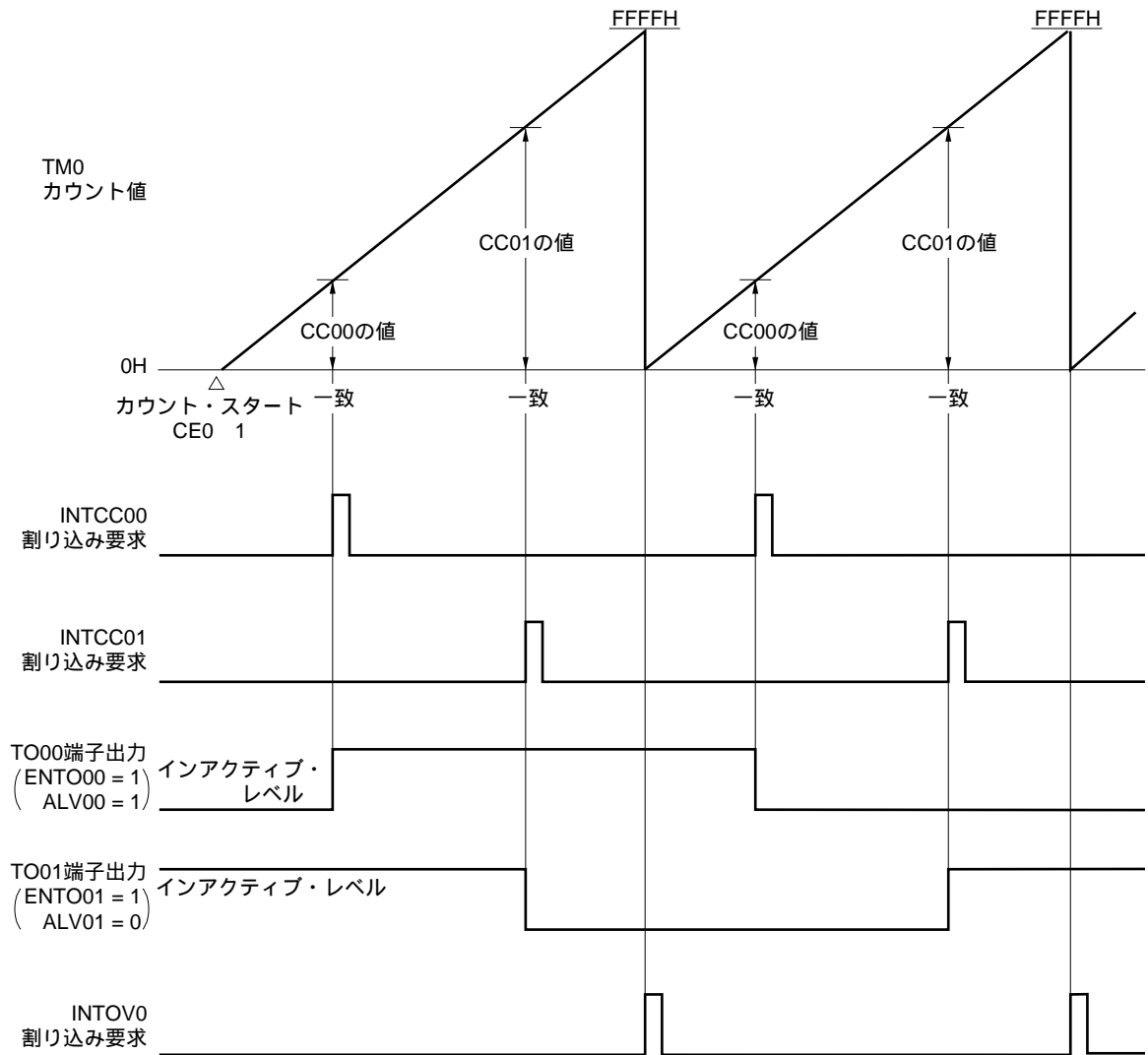
備考 CC00-CC03はキャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかは、タイマ・ユニット・モード・レジスタ0（TUM0）で指定します。

タイマ0は4本のタイマ出力端子（TO00-TO03）を持っています。各端子の動作モードを表7 - 4に示します（詳細は、7.6 出力制御回路の基本動作を参照してください）。

表7 - 4 タイマ出力端子の動作モード（タイマ0）

タイマ出力端子	出力動作モード		動作モードの指定
	トグル	セット/リセット	
TO00	トグル	セット/リセット	TUM0のTOM00 ビット
TO01	トグル	-	-
TO02	トグル	セット/リセット	TUM0のTOM02 ビット
TO03	トグル	-	-

図7 - 8 コンペア動作(タイマ0)



7.5.2 キャプチャ動作

タイマ0は、外部トリガに同期してタイマ・レジスタ0 (TM0) のカウント値をキャプチャ・レジスタに取り込み、保持するキャプチャ動作を行います。

外部トリガとして、外部割り込み要求入力端子 (INTP0-INTP3) の入力から検出された有効エッジをします (キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中のTM0 のカウント値をINTPn (n=0-3) に同期してキャプチャ動作に指定したキャプチャ/コンペア・レジスタ (CC0n : n=0-3) に取り込み、保持します。

CC00-CC03 のそれぞれに対応した次のキャプチャ・トリガが発生するまで、CC00-CC03 の内容は保持されます。

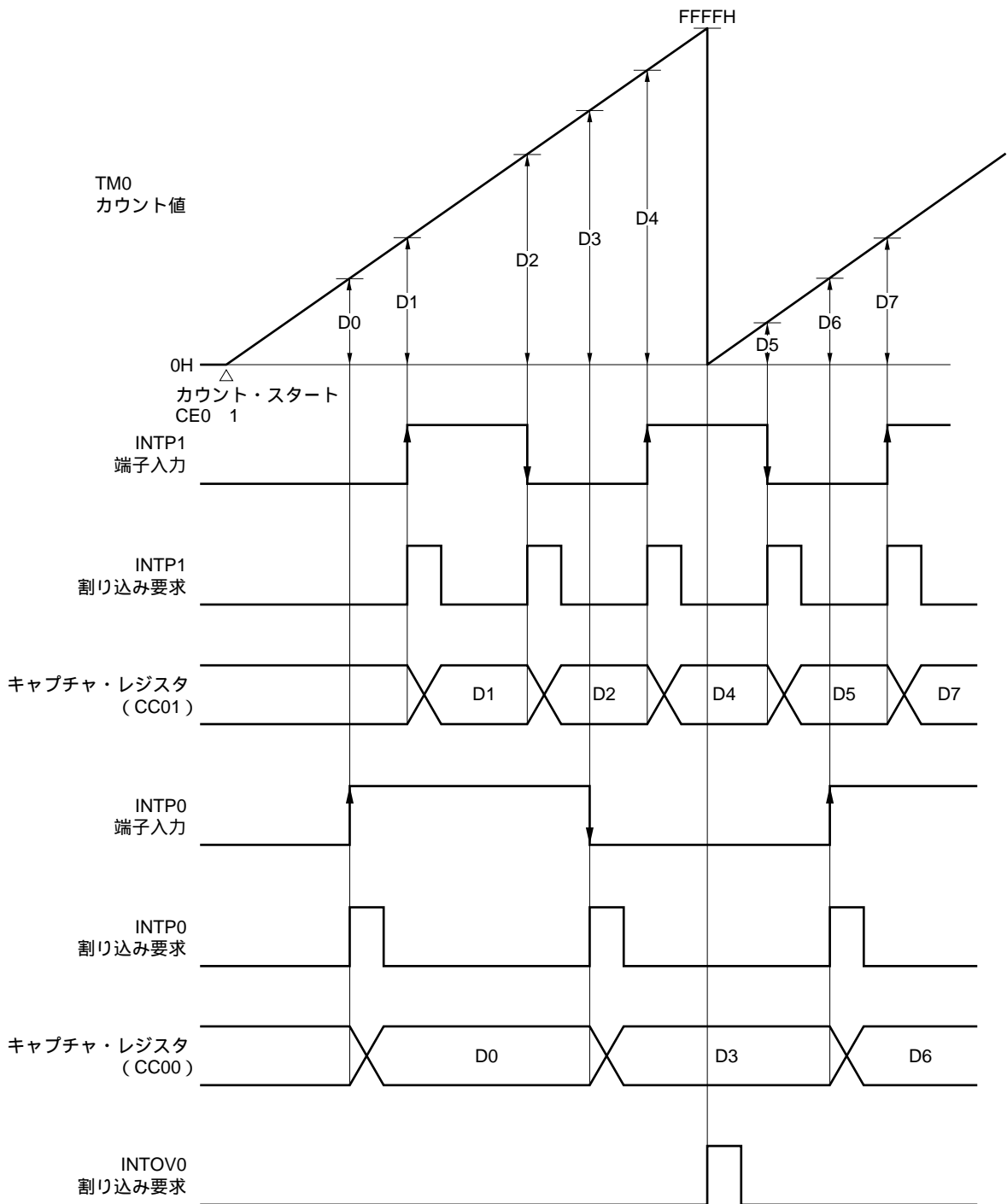
表7 - 5 キャプチャ・レジスタへのキャプチャ・トリガ信号 (タイマ0)

キャプチャ・レジスタ	キャプチャ・トリガ信号
CC00	INTP0
CC01	INTP1
CC02	INTP2
CC03	INTP3

備考 CC00-CC03は、キャプチャ/コンペア・レジスタです。どちらのレジスタとして使用するかは、タイマ・ユニット・モード・レジスタ0 (TUM0) で指定します。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ (INTM0, INTM1) により設定します。立ち上がり、立ち下がりの両エッジがキャプチャ・トリガとなるように設定すれば、外部からの入力パルス幅を測定することができます。また、片エッジでキャプチャ・トリガが発生させた場合、入力パルスの周期を測定することができます。

図7-9 キャプチャ動作(タイマ0)



備考 Dn : TM0のカウンタ値 (n=0 , 1 , 2 , ...)

7.6 出力制御回路の基本動作

出力制御回路は、コンペア・レジスタ（CC00-CC03）からの一致信号によって、タイマ出力端子（TO00-TO03）のレベルを制御します。出力制御回路の動作は、タイマ出力コントロール・レジスタ0（TOC0）によって決定されます。TO01, TO03端子出力は、トグル動作のみに固定です。TO00, TO02端子出力は、タイマ・ユニット・モード・レジスタ0（TUM0）の指定により、トグル動作とセット/リセット動作とを選択することができます。

なお、TO00-TO03 信号を端子へ出力する場合は、ポート2モード・コントロール・レジスタ（PMC2）で該当する端子がコントロール・モードになっている必要があります。

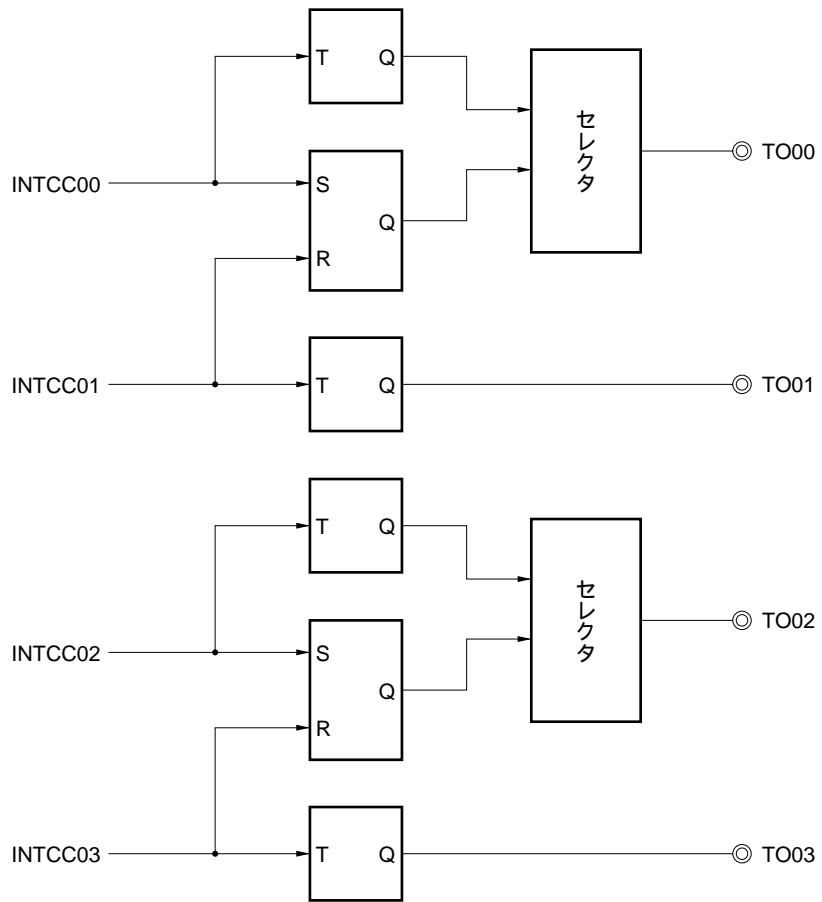
表7 - 6 タイマ出力端子のトグル信号（タイマ0）

タイマ出力	トグル信号
TO00	INTCC00
TO01	INTCC01
TO02	INTCC02
TO03	INTCC03

表7 - 7 タイマ出力端子のセット/リセット信号（タイマ0）

タイマ出力	セット信号	リセット信号
TO00	INTCC00	INTCC01
TO02	INTCC02	INTCC03

図7 - 10 タイマ0のタイマ出力動作のブロック図



7.6.1 基本動作

タイマ出力コントロール・レジスタ0 (TOC0)のENTO0n (n=0-3)ビットをセット(1)することにより、TO0n (n=0-3)端子からのパルス出力が可能になります。

また、ENTO0nビットをクリア(0)することにより、TO0nを固定レベルにします。固定されるレベルは、TOC0のALV0n (n=0-3)ビットによって決定されます。ALV0nビットが0のときはハイ・レベルに、ALV0nビットが1のときはロウ・レベルになります。

7.6.2 トグル出力

トグル出力は、コンペア・レジスタ (CC0n : n=0-3)の値がタイマ・レジスタ0 (TM0)の値と一致するたびに出力レベルを反転させる動作モードです。タイマ出力 (TO0n : n=0-3)はCC0nとTM0の一致によって出力レベルが反転します。

なお、タイマ・モード・コントロール・レジスタ (TMC)のCE0ビットをクリア(0)して、タイマ0を停止させると、停止時の出力レベルをそのまま保持します。

図7-11 トグル出力の動作

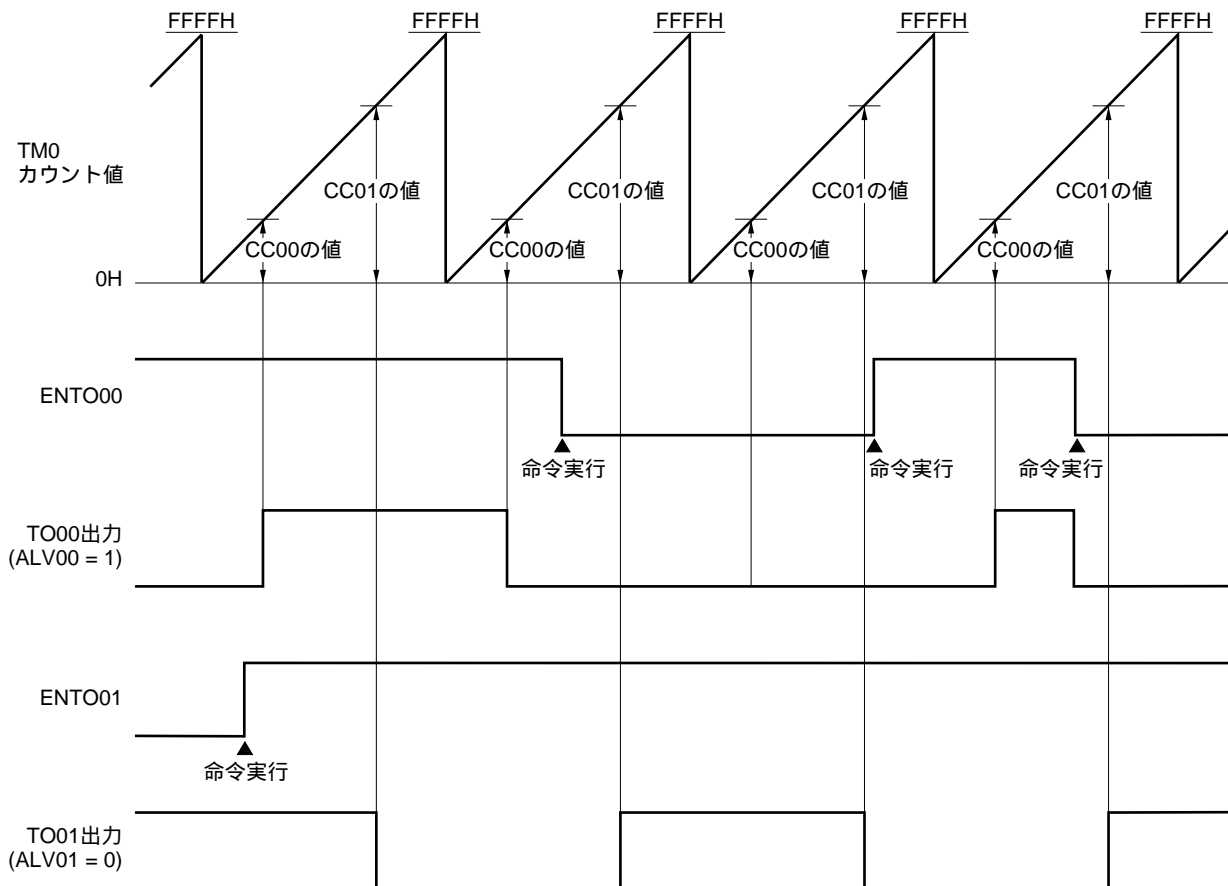


表7 - 8 TO00-TO03のトグル出力 (f_{CLK} = 16 MHz)

カウント・クロック	最小パルス幅 ^注	最大パルス幅
f _{CLK} /4	4/f _{CLK} (0.25 μs)	2 ¹⁶ × 4/f _{CLK} (16.4 ms)
f _{CLK} /8	8/f _{CLK} (0.5 μs)	2 ¹⁶ × 8/f _{CLK} (32.8 ms)
f _{CLK} /16	16/f _{CLK} (1.0 μs)	2 ¹⁶ × 16/f _{CLK} (65.5 ms)
f _{CLK} /32	32/f _{CLK} (2.0 μs)	2 ¹⁶ × 32/f _{CLK} (131 ms)
f _{CLK} /64	64/f _{CLK} (4.0 μs)	2 ¹⁶ × 64/f _{CLK} (262 ms)

注 データ転送処理時間によって制約されます。使用する割り込みの処理時間またはマクロ・サービス処理時間を考慮してください(表14 - 11 割り込み受け付け処理時間, 表14 - 12 マクロ・サービス処理時間を参照)。

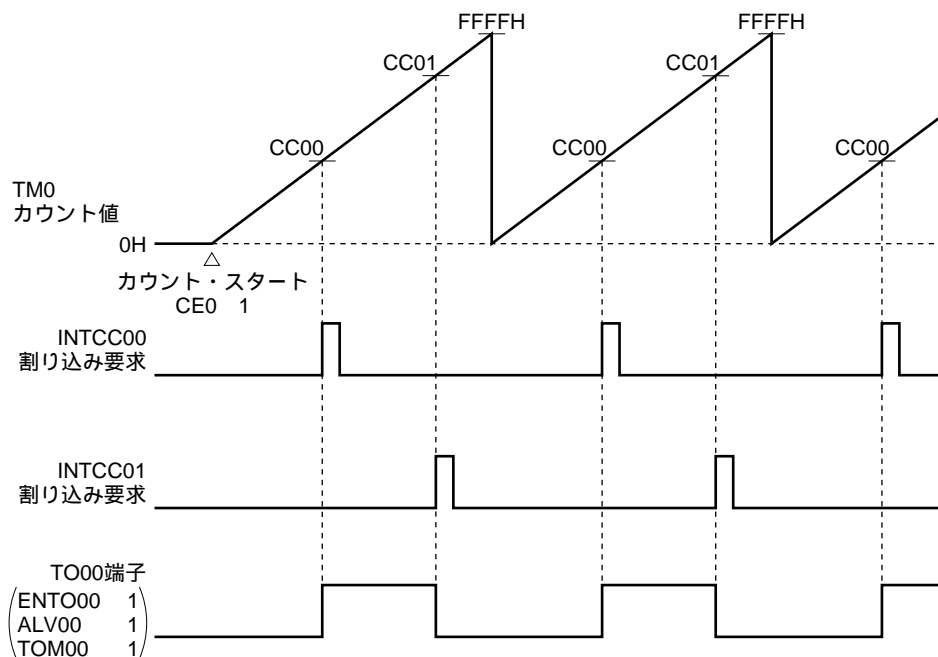
7.6.3 セット/リセット出力

セット/リセット出力は、コンペア・レジスタ (CC0n : n = 0-3) の値がタイマ・レジスタ0 (TM0) の値と一致するたびに、タイマ出力をセットまたはリセットする動作モードです。

CC00 = CC01, CC02 = CC03 の場合、割り込み要求は同時に発生し、タイマ出力 (TO00, TO02) はそれぞれ $\overline{ALV00}$, $\overline{ALV02}$ になります。

なお、タイマ・モード・コントロール・レジスタ (TMC) のCE0ビットをクリア (0) して、タイマ0を停止させると、停止時の出力レベルをそのまま保持します。

図7 - 12 セット/リセット出力の動作 (タイマ0)



7.7 使用例

7.7.1 インターバル・タイマとしての動作

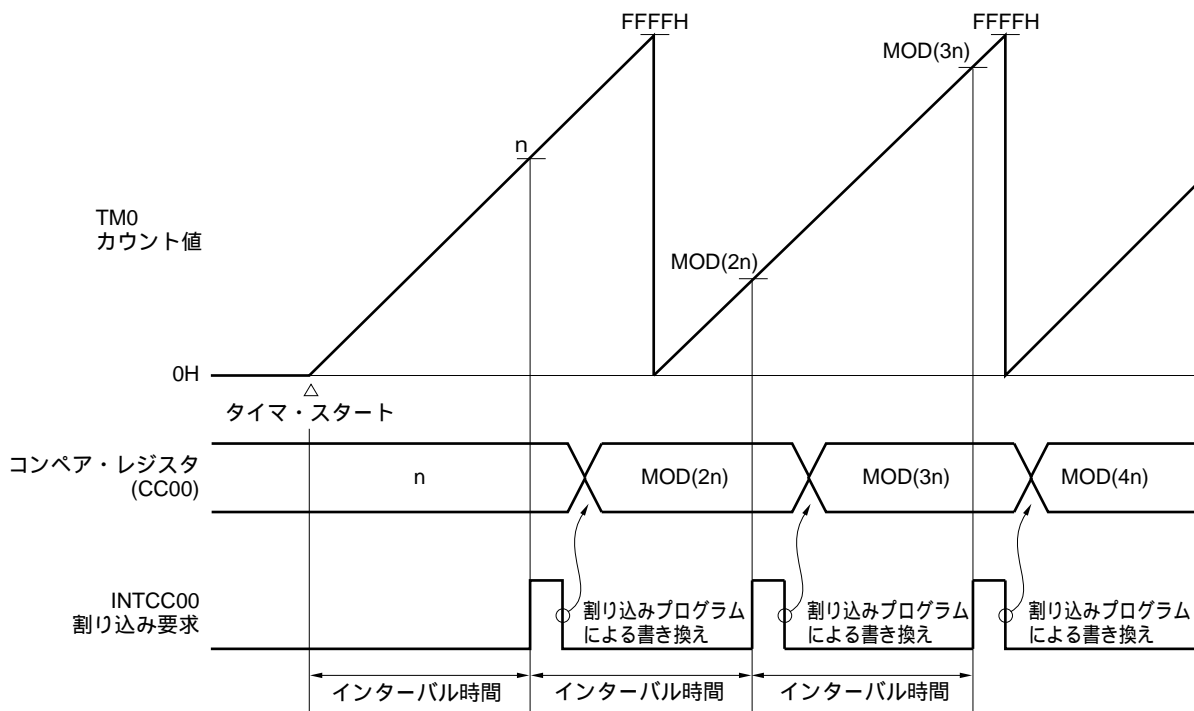
タイマ・レジスタ0 (TM0) をフリー・ランニングさせ、割り込み処理ルーチン中でコンペア・レジスタ (CC0n : n = 0-3) に一定の値を加算することで、加算する一定の値を周期とするインターバル・タイマとして動作します (図7-13参照)。

このインターバル・タイマは、表7-1に示す範囲でカウントができます (内部システム・クロック $f_{CLK} = 16 \text{ MHz}$)。

また、TM0 1本にキャプチャ/コンペア・レジスタが4本ついているため、4種類の周期のインターバル・タイマを作ることができます。

コンペア・レジスタCC00を使用した場合を例として、図7-14に制御レジスタの設定内容、図7-15にその設定手順、図7-16に割り込み処理ルーチン内での処理を示します。

図7-13 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $n \times x / f_{CLK}$

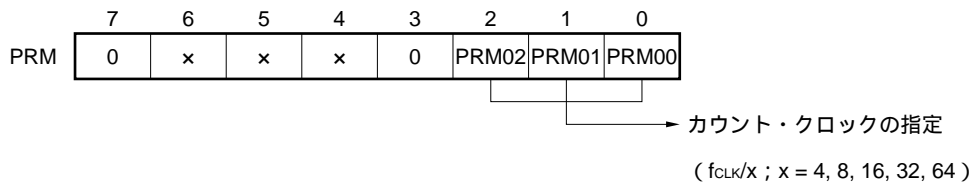
y n $FFFFH$

x = 4, 8, 16, 32, 64

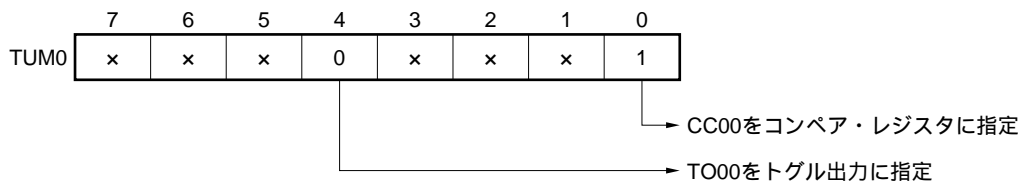
yは、データ転送処理時間によって制約されます。使用する割り込みの処理時間またはマクロ・サービス処理時間を考慮してください (表14-11 割り込み受け付け処理時間、表14-12 マクロ・サービス処理時間参照)。

図7 - 14 インターバル・タイマ動作における制御レジスタの設定内容

(a) プリスケアラ・モード・レジスタ (PRM)



(b) タイマ・ユニット・モード・レジスタ0 (TUM0)



x : don't care

図7 - 15 インターバル・タイマ動作の設定手順

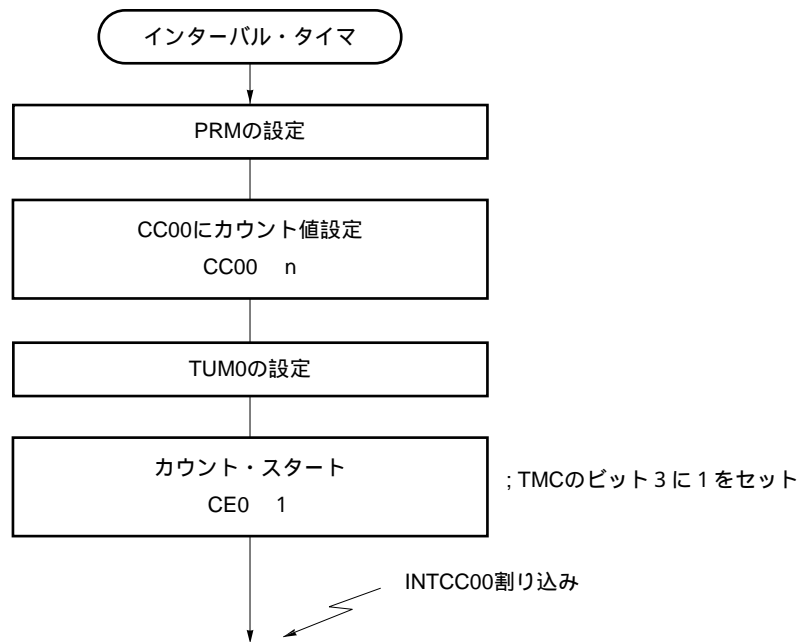
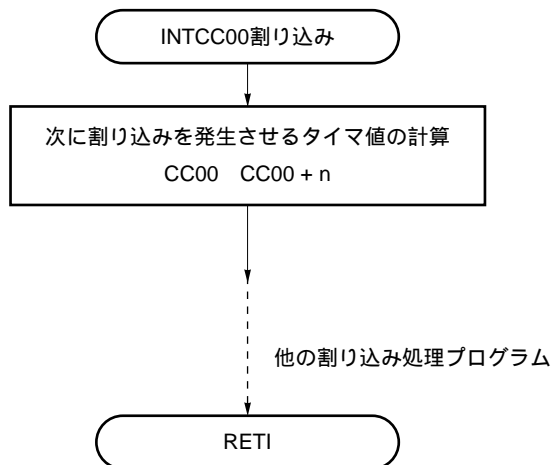


図7 - 16 インターバル・タイマ動作の割り込み要求処理



7.7.2 パルス幅測定としての動作

パルス幅測定は、外部割り込み要求入力端子 (INTP0-INTP3) に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP n ($n=0-3$) 端子に入力するパルス幅はハイ・レベル、ロウ・レベルともサンプリング・クロックが f_{CLK} の場合、4 システム・クロック ($0.25 \mu s : f_{CLK} = 16 \text{ MHz}$) 以上必要で、これ以下の場合には有効エッジが検出されずキャプチャ動作を行いません。

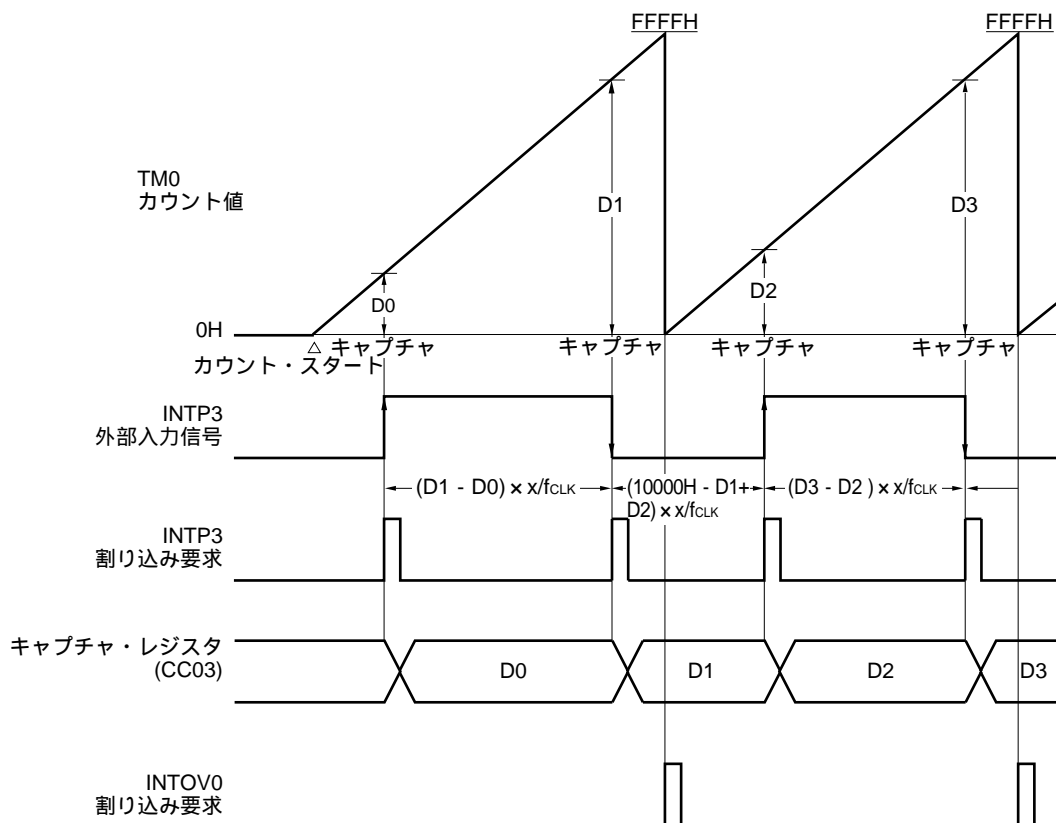
このパルス幅測定では、表 7 - 2 に示す範囲のパルス幅を測定することができます ($f_{CLK} = 16 \text{ MHz}$)。

外部入力端子としてINTP3端子を使用した場合を例に、パルス幅測定動作について説明します。

図 7 - 17 に示すようにINTP3端子入力の有効エッジ (立ち上がり, 立ち下がりの両エッジに指定) に同期して、カウント中のタイマ・レジスタ 0 (TM0) の値をキャプチャ・レジスタ (CC03) に取り込み、保持します。パルス幅は、 n 回目の有効エッジ検出によりCC03に取り込み、保持されているTM0のカウント値 (D_n) と $n - 1$ 回目の有効エッジ検出によるカウント値 (D_{n-1}) との差の値とカウント・クロック数 (x / f_{CLK} ; $x = 4, 8, 16, 32, 64$) との積から求めます。

そのときの制御レジスタの設定内容を図 7 - 18 に、設定手順を図 7 - 19 に、割り込み処理ルーチン内での処理を図 7 - 20 に示します。

図 7 - 17 パルス幅測定のタイミング

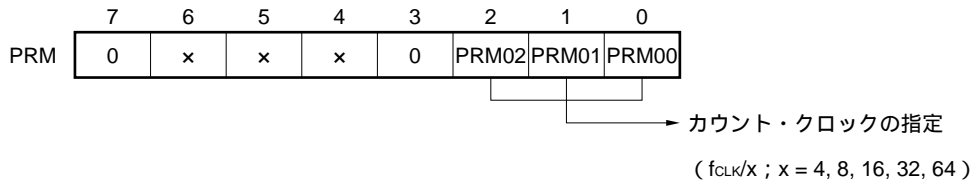


備考 D_n : TM0のカウント値 ($n = 0, 1, 2, \dots$)

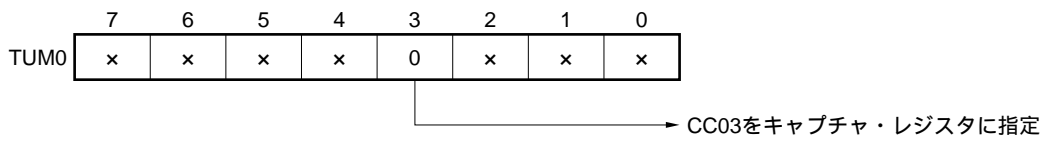
$x = 4, 8, 16, 32, 64$

図7 - 18 パルス幅測定における制御レジスタの設定内容

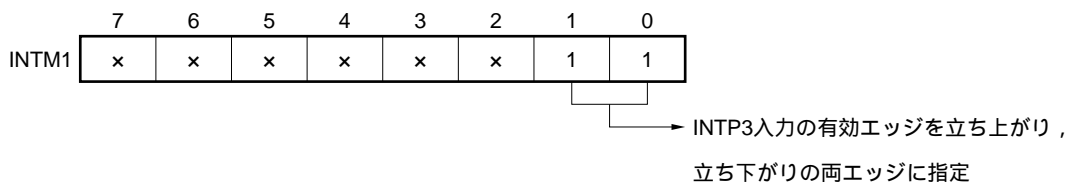
(a) プリスケアラ・モード・レジスタ (PRM)



(b) タイマ・ユニット・モード・レジスタ0 (TUM0)



(c) 外部割り込みモード・レジスタ1 (INTM1)



x : don't care

図7 - 19 パルス幅測定の設定手順

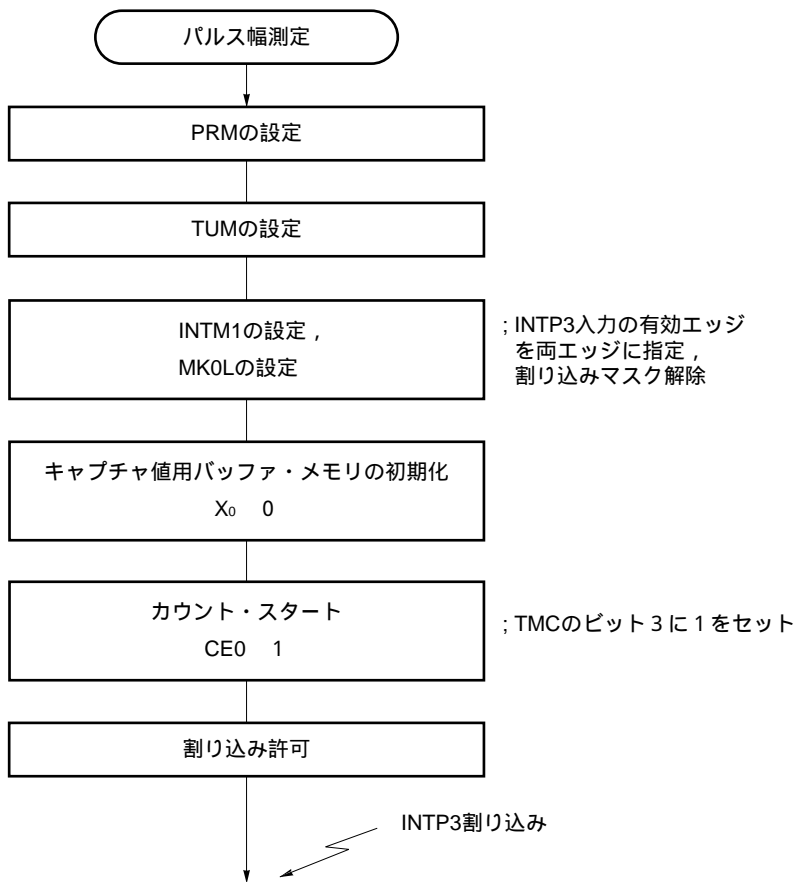
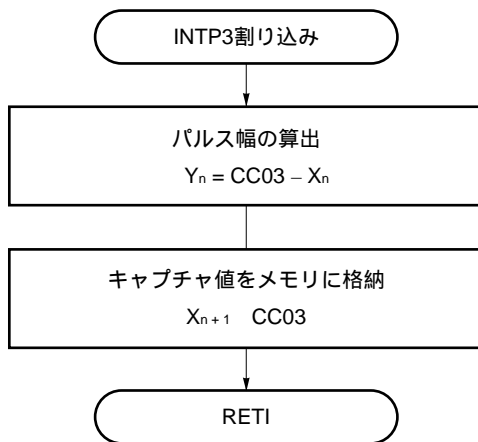


図7 - 20 パルス幅を算出する割り込み要求処理

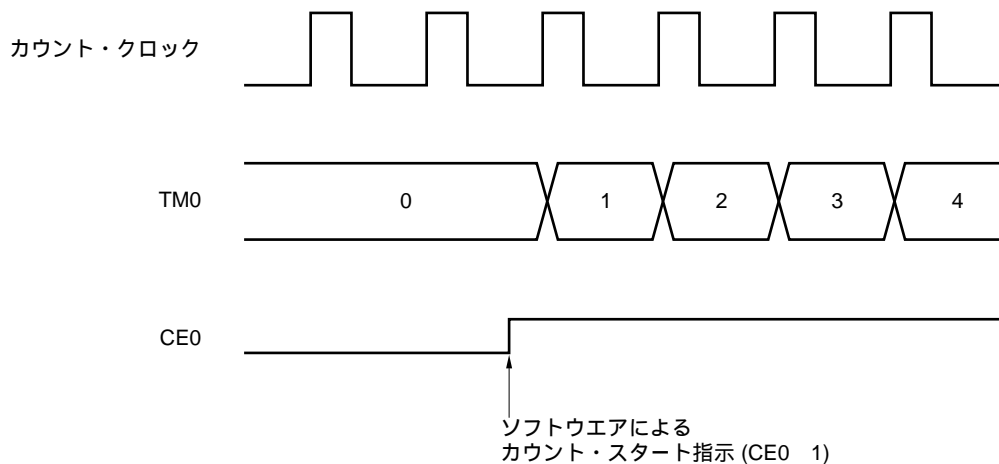


7.8 注意事項

(1) プリスケアラは、1つのタイム・ベースを全タイマ(タイマ0, 1, タイマ/カウンタ2, 3, タイマ4)で共通に使用します。どれか1つのタイマでCEビットを“1”にすると、タイム・ベースはカウントをスタートします。タイマが動作している間に別のタイマのCEビットを“1”にした場合は、タイム・ベースがすでにカウントをスタートしているため、タイマの最初のカウント・クロックが短くなる場合があります。

たとえば、インターバル・タイマとして使用する場合は、1回目のインターバル時間が最大1カウント・クロック分だけ短くなります。2回目以降は、指定した間隔どおりになります。

図7-21 カウント・スタート時の動作



(2) タイマ0が動作している期間(タイマ・モード・コントロール・レジスタ(TMC)のCE0ビットがセットされているとき)、次のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウェアの機能の変化と、書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

次のレジスタの内容を書き換える場合は、安全のため必ずカウンタ動作を停止させてから行ってください。

- ・タイマ・ユニット・モード・レジスタ0 (TUM0)
- ・タイマ出力コントロール・レジスタ0 (TOC0)
- ・プリスケアラ・モード・レジスタ (PRM)

(3) タイマ・レジスタ0 (TM0) の動作を停止させる命令実行時にコンペア・レジスタ (CC0n : n = 0-3) とTM0の内容が一致した場合、TM0のカウント動作は停止しますが、割り込みの要求は発生します。

TM0の動作を停止する場合に割り込みを発生させたくないときは、先に割り込みマスク・レジスタで割り込みをマスクしてからTM0を停止させてください。

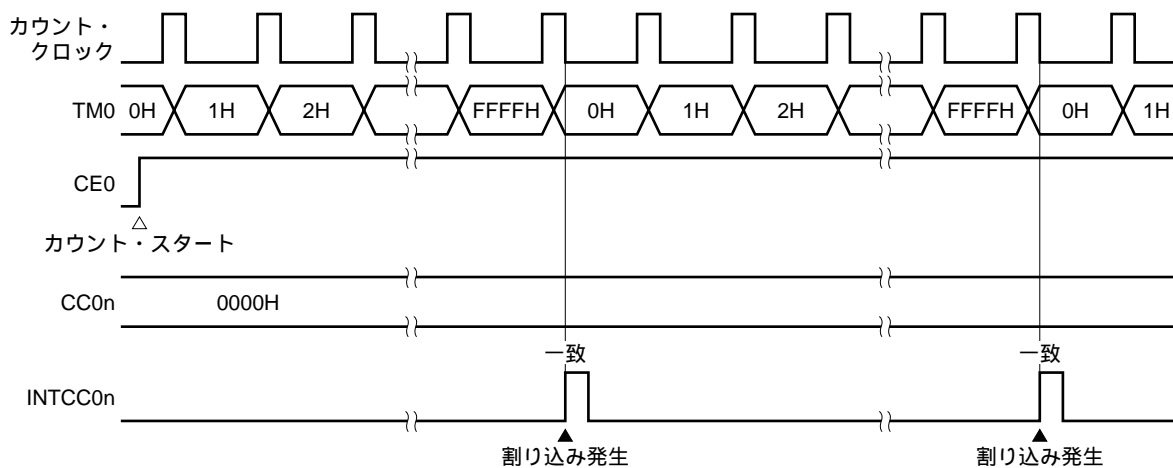
例

割り込み要求が発生する可能性のあるプログラム		割り込み要求が発生しないプログラム	
<pre> : CLR1 CE0 OR MK0L, #78H : </pre>	<p>この間でタイマ0からの割り込み要求発生</p>	<pre> : OR MK0L, #78H CLR1 CE0 CLR1 PIF0 CLR1 PIF1 CLR1 PIF2 CLR1 PIF3 : </pre>	<p>タイマ0からの割り込み禁止 タイマ0からの割り込み要求フラグをクリア</p>

(4) タイマ・レジスタ0 (TM0) とコンペア・レジスタ (CC0n : n = 0-3) の一致の検出は、TM0がインクリメントされたときのみ行われます。したがって、TM0と同じ値をCC0nへ書き込んでも割り込みの要求は発生せず、タイマ出力 (TO0n : n = 0-3) も変化しません。

- (5) コンペア・レジスタ (CC00-CC03) に0000Hを設定した場合、コンペア動作はカウント後に行います。したがって、カウント・スタート直後には一致割り込み (INTCC00-INTCC03) は発生しません。CC0n (n=0-3) に0000Hを設定した場合は、FFFFHまでカウント・アップシタイムがオーバーフローしたあとで、一致割り込みINTCC0n (n=0-3) が発生します。

図7-22 コンペア・レジスタ (CC00-CC03) に0000Hを設定した場合の動作



備考 n=0-3

- (6) タイマ出力許可の指定とアクティブ・レベルの変更を同時に行うと、端子の出力レベルが一瞬変化する場合があります。これを防ぐためには、アクティブ・レベルの変更を行ったあと、タイマ出力許可にしてください。
- (7) タイマ出力のアクティブ・レベルの指定 (タイマ出力コントロール・レジスタ0 (TOC0) のALV0n ビット: n=0-3) を変更する場合には、対応するタイマ出力端子をタイマ出力禁止にしてから、アクティブ・レベルの指定を変更してください。

第8章 タイマ1

8.1 機能

タイマ1は、16ビットのタイマです。

インターバル・タイマとしての機能のほかに、タイマ出力としてトグルとセット/リセットの機能を持っています。

インターバル・タイマは、あらかじめ設定したインターバルで内部割り込みを発生します。

表8 - 1 タイマ1のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$8/f_{CLK}$ (0.5 μ s)	$2^{16} \times 8/f_{CLK}$ (32.8 ms)	$8/f_{CLK}$ (0.5 μ s)
$16/f_{CLK}$ (1.0 μ s)	$2^{16} \times 16/f_{CLK}$ (65.5 ms)	$16/f_{CLK}$ (1.0 μ s)
$32/f_{CLK}$ (2.0 μ s)	$2^{16} \times 32/f_{CLK}$ (131 ms)	$32/f_{CLK}$ (2.0 μ s)
$64/f_{CLK}$ (4.0 μ s)	$2^{16} \times 64/f_{CLK}$ (262 ms)	$64/f_{CLK}$ (4.0 μ s)
$128/f_{CLK}$ (8.0 μ s)	$2^{16} \times 128/f_{CLK}$ (524 ms)	$128/f_{CLK}$ (8.0 μ s)

()内は $f_{CLK} = 16$ MHzの場合

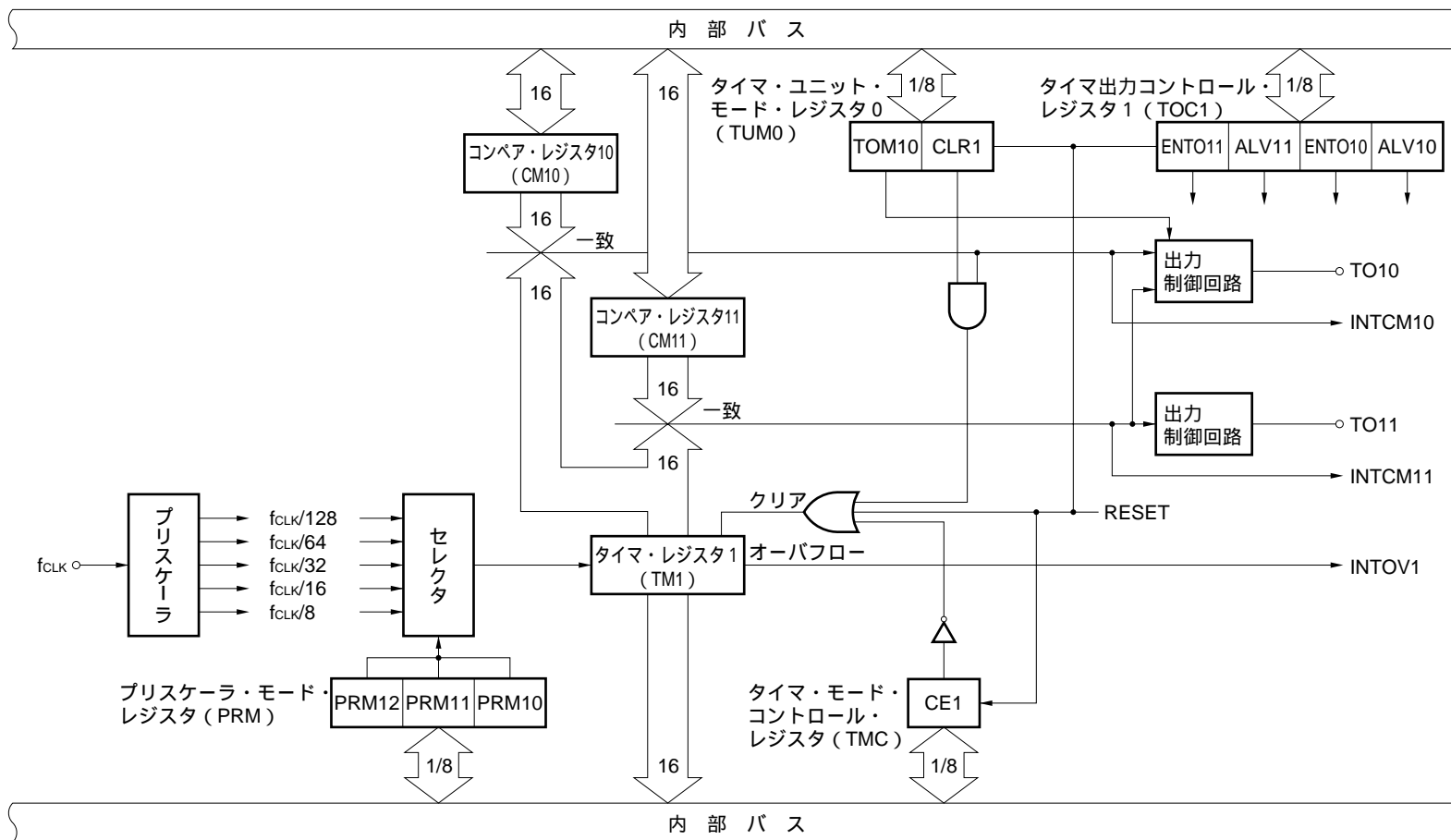
8.2 構成

タイマ1は、次のレジスタから構成されています。

- ・タイマ・レジスタ (TM1) \times 1
- ・コンペア・レジスタ (CM1n) \times 2 (n=0, 1)

図8 - 1にタイマ1のブロック図を示します。

図 8 - 1 タイマ1のブロック図



(1) タイマ・レジスタ1 (TM1)

TM1は、プリスケアラ・モード・レジスタ (PRM) で指定されるカウント・クロックをアップカウントするタイマ・レジスタです。

タイマ・モード・コントロール・レジスタ (TMC) によりカウント動作の停止/許可を指定します。

16ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により、TM1は0000Hにクリアされ、カウントは停止します。

(2) コンペア・レジスタ (CM10, CM11)

CM1n (n=0, 1) は、インターバル・タイマ動作の周期を決める値を保持する16ビット・レジスタです。

CM1nの内容がTM1の内容と一致すると、割り込み要求 (INTCM1n: n=0, 1) およびタイマ出力の制御信号を発生します。また、CM10の内容一致によるカウント値のクリア動作もできます。

16ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(3) 出力制御回路

CM1n (n=0, 1) の内容とTM1の内容が一致すると、タイマ出力を反転することができます。タイマ出力コントロール・レジスタ1 (TOC1) の設定でタイマ出力端子 (TO10, TO11) から矩形波を出力することができます。また、TO10端子は、タイマ・ユニット・モード・レジスタ0 (TUM0) の指定により、セット/リセット出力もできます。

TOC1によってタイマ出力の禁止/許可ができます。タイマ出力の禁止状態では、TO1n (n=0, 1) 端子には固定レベルが出力されます (出力レベルはTOC1により設定)。

(4) プリスケアラ

内部システム・クロックを分周してカウント・クロックを生成します。このプリスケアラで生成されたクロックをセレクタで選択し、カウント・クロックとしてTM1はカウント動作を行います。

(5) セレクタ

内部システム・クロックを分周して生成した5種類の信号から、TM1のカウント・クロックとしてどれか1つを選択します。

8.3 タイマ1制御レジスタ

(1) タイマ・ユニット・モード・レジスタ0 (TUM0)

TUM0は、タイマ0, 1のタイマ出力端子 (TO00, TO02, TO10) の出力モード指定, タイマ・レジスタ1 (TM1) のクリア動作制御, タイマ0のキャプチャ/コンペア・レジスタ (CC00-CC03) の動作指定を行うレジスタです。

8ビット操作命令およびビット操作命令で読み出し/書き込みが可能です。図8-2に、TUM0のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hにクリアされます。

図8-2 タイマ・ユニット・モード・レジスタ0 (TUM0) のフォーマット

アドレス : 0FF30H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
TUM0	TOM10	CLR1	TOM02	TOM00	CMS03	CMS02	CMS01	CMS00

TOM10	TO10端子の出力モード指定
0	トグル出力
1	セット/リセット出力

CLR1	CM10の一致によるTM1のクリア動作
0	禁止 (フリー・ランニング・モード)
1	許可 (インターバル・タイマ・モード)

TOM0n	TO0n (n = 0, 2) 端子の出力モードを指定します (図7-2参照)。
-------	--

CMS0n	CC0n (n = 0-3) の動作を指定します (図7-2参照)。
-------	------------------------------------

(2) タイマ・モード・コントロール・レジスタ (TMC)

TMCは、タイマ・レジスタ0, 1 (TM0, TM1) のカウント動作を制御するレジスタです。

8ビット操作命令およびビット操作命令で読み出し/書き込みが可能です。図8-3に、TMCのフォーマットを示します。

RESET入力により00Hにクリアされます。

図8-3 タイマ・モード・コントロール・レジスタ (TMC) のフォーマット

アドレス：0FF31H リセット時：00H R/W

⑦	6	5	4	③	2	1	0
TMC	CE1	0	0	0	CE0	0	0

CE1	TM1のカウント動作制御
0	クリアしたまま, カウント動作停止
1	カウント動作許可

CE0	TM0のカウント動作を制御します (図7-3参照)。
-----	----------------------------

(3) タイマ出力コントロール・レジスタ1 (TOC1)

TOC1は、タイマ1のタイマ出力端子 (TO10, TO11) の動作とアクティブ・レベルを指定するレジスタです。

8ビット操作命令およびビット操作命令で読み出し/書き込みが可能です。図8-4に、TOC1のフォーマットを示します。

RESET入力により00Hにクリアされます。

図8-4 タイマ出力コントロール・レジスタ1 (TOC1) のフォーマット

アドレス：0FF33H リセット時：00H R/W

7	6	5	4	③	2	①	0
TOC1	0	0	0	0	ENTO11	ALV11	ENTO10

ENTO1n	TO1n端子の動作指定 (n = 0, 1)
0	ALV1nを出力
1	パルス出力許可

ALV1n	TO1n端子のアクティブ・レベル指定 (n = 0, 1)
0	ロウ・レベル
1	ハイ・レベル

(4) プリスケアラ・モード・レジスタ (PRM)

PRMは、タイマ・レジスタ0, 1 (TM0, TM1) のカウント・クロックを指定するレジスタです。
8ビット操作命令で読み出し/書き込みが可能です。図8 - 5に、PRMのフォーマットを示します。
 $\overline{\text{RESET}}$ 入力により00Hにクリアされます。

図8 - 5 プリスケアラ・モード・レジスタ (PRM) のフォーマット

アドレス : 0FF38H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PRM	0	PRM12	PRM11	PRM10	0	PRM02	PRM01	PRM00

($f_{\text{CLK}} = 16 \text{ MHz}$ 時)

PRM12	PRM11	PRM10	TM1のカウント・クロック指定	
			カウント・クロック [Hz]	分解能 [μs]
0	0	0	$f_{\text{CLK}}/8$	0.5
0	0	1	$f_{\text{CLK}}/16$	1.0
0	1	0	$f_{\text{CLK}}/32$	2.0
0	1	1	$f_{\text{CLK}}/64$	4.0
1	0	0	$f_{\text{CLK}}/128$	8.0
上記以外			設定禁止	

PRM02	PRM01	PRM00	TM0のカウント・クロックを指定します (図7 - 5 参照)。

備考 f_{CLK} : 内部システム・クロック

8.4 タイマ・レジスタ1 (TM1) の動作

8.4.1 基本動作

タイマ1のカウンタ動作は、プリスケアラ・モード・レジスタ (PRM) で指定されるカウンタ・クロックによりカウンタ・アップします。

カウンタ動作の禁止/許可は、タイマ・モード・コントロール・レジスタ (TMC) のCE1ビットで制御します。CE1ビットをソフトウェアによりセット (1) すると、最初のカウンタ・クロックでTM1は0001Hになり、カウンタ・アップ動作を行います。CE1ビットをソフトウェアによりクリア (0) すると、TM1はただちに0000Hになり、一致信号の発生は停止します。

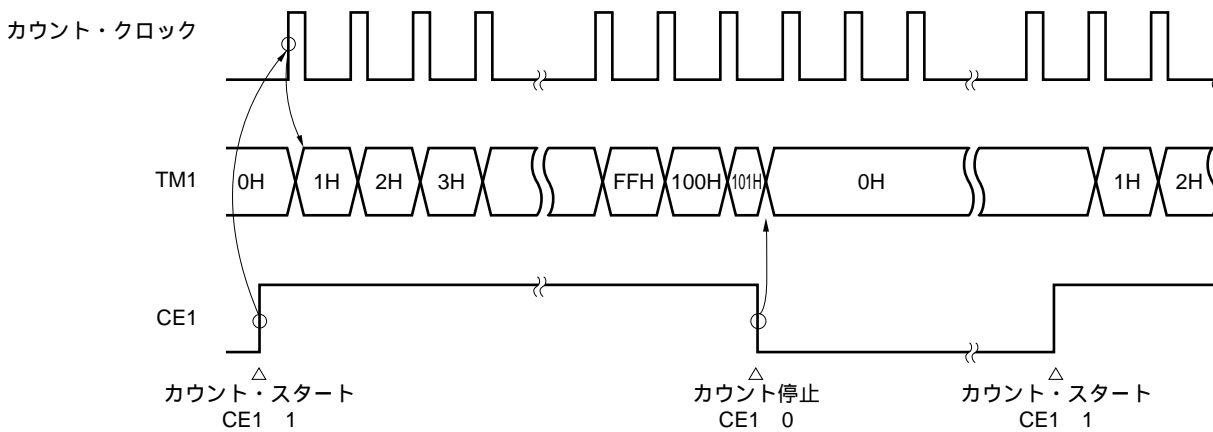
CE1ビットがセット (1) されている状態でさらにCE1ビットをセット (1) した場合、TM1はクリアされないでカウンタ動作を続けます。

TM1がFFFFHのときにカウンタ・クロックが入力されると、TM1は0000Hになり、オーバフロー割り込み (INTOV1) が発生します。

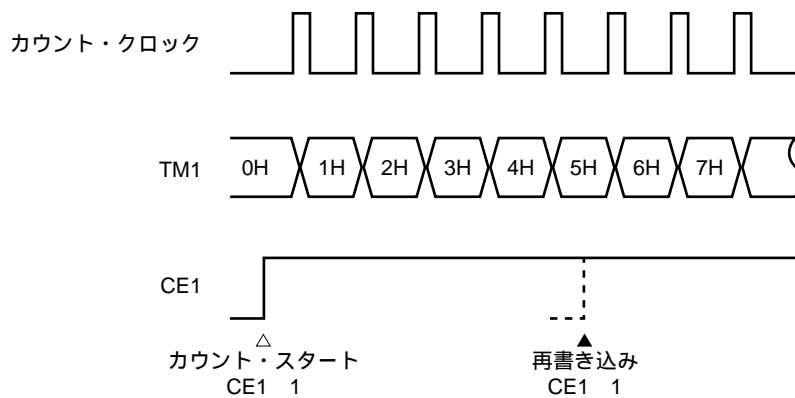
$\overline{\text{RESET}}$ 入力により、TM1は0000Hにクリアされ、カウンタ動作は停止します。

図8 - 6 タイマ・レジスタ1 (TM1) の基本動作

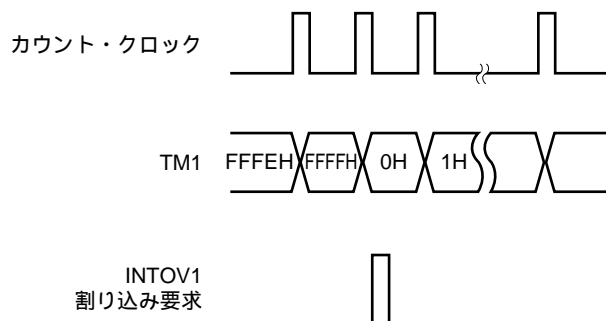
(a) カウント・スタート カウント停止 カウント・スタートの場合



(b) カウント・スタート後に再度CE1ビットに“1”を書き込んだ場合



(c) TM1がFFFFHのときの動作

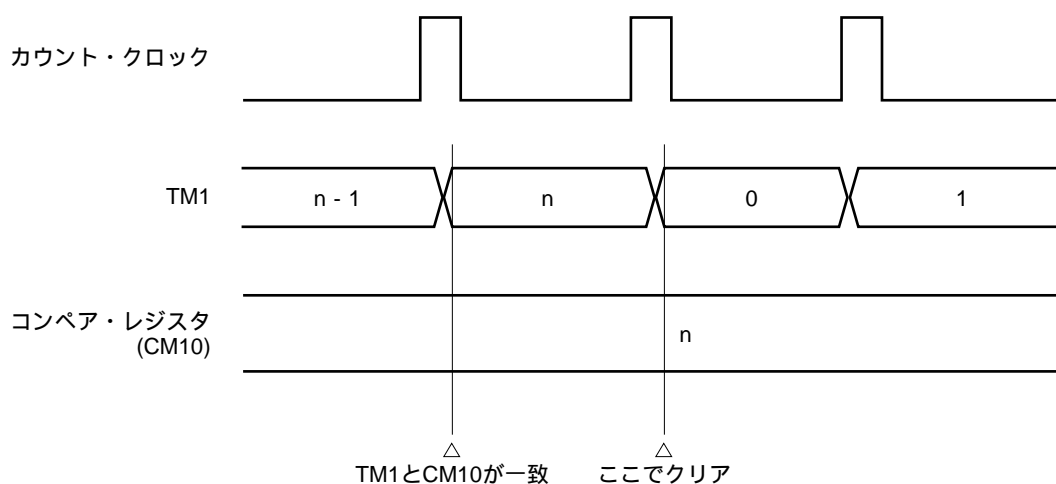


8.4.2 クリア動作

(1) コンペア・レジスタとの一致後のクリア動作

タイマ・レジスタ1 (TM1) は、コンペア・レジスタ (CM10) との一致後に自動的にクリアすることができます。TM1は、クリアする要因が発生すると、次のカウント・クロックで0000Hにクリアされます。したがって、クリアする要因が発生しても、次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

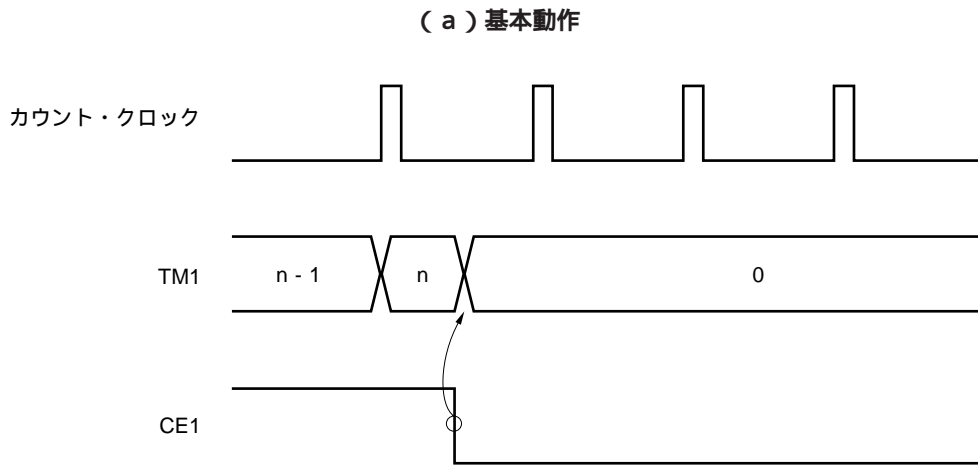
図8 - 7 コンペア・レジスタ (CM10) との一致によるTM1のクリア動作



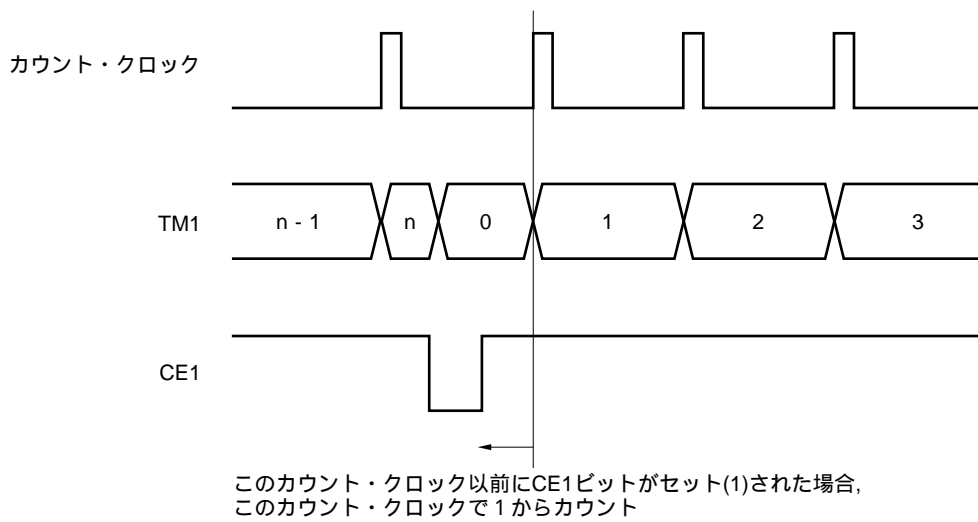
(2) タイマ・モード・コントロール・レジスタ (TMC) のCE1ビットによるクリア動作

タイマ・レジスタ1 (TM1) は、ソフトウェアにより、TMCのCE1ビットをクリア (0) することによってもクリアされます。クリア動作は、CE1ビットがクリア (0) されるとただちに行われます。

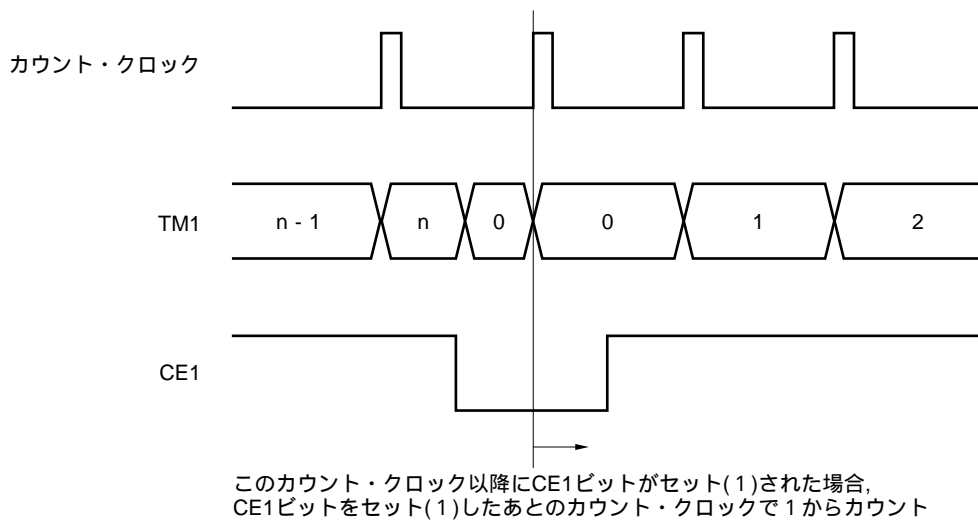
図8-8 CE1ビットをクリア(0)した場合のTM1のクリア動作



(b) クリア後のカウント・クロックが入力される前の再スタート



(c) クリア後にカウント・クロックが入力されてからの再スタート



8.5 コンペア・レジスタの動作

タイマ1は、コンペア・レジスタ（CM10, CM11）に設定された値をタイマ・レジスタ1（TM1）のカウンタ値と比較するコンペア動作を行います。

あらかじめ設定されたCM1n（n=0, 1）の値にTM1のカウンタ値がカウント動作によって一致すると、出力制御回路に一致信号を送ります。同時に割り込み要求（INTCM10, INTCM11）を発生します。

また、CM10の値と一致後、TM1のカウンタ値をクリアすることができ、CM10に設定した値を繰り返しカウントするインターバル・タイマとして動作します。

表8 - 2 コンペア・レジスタからの割り込み要求信号（タイマ1）

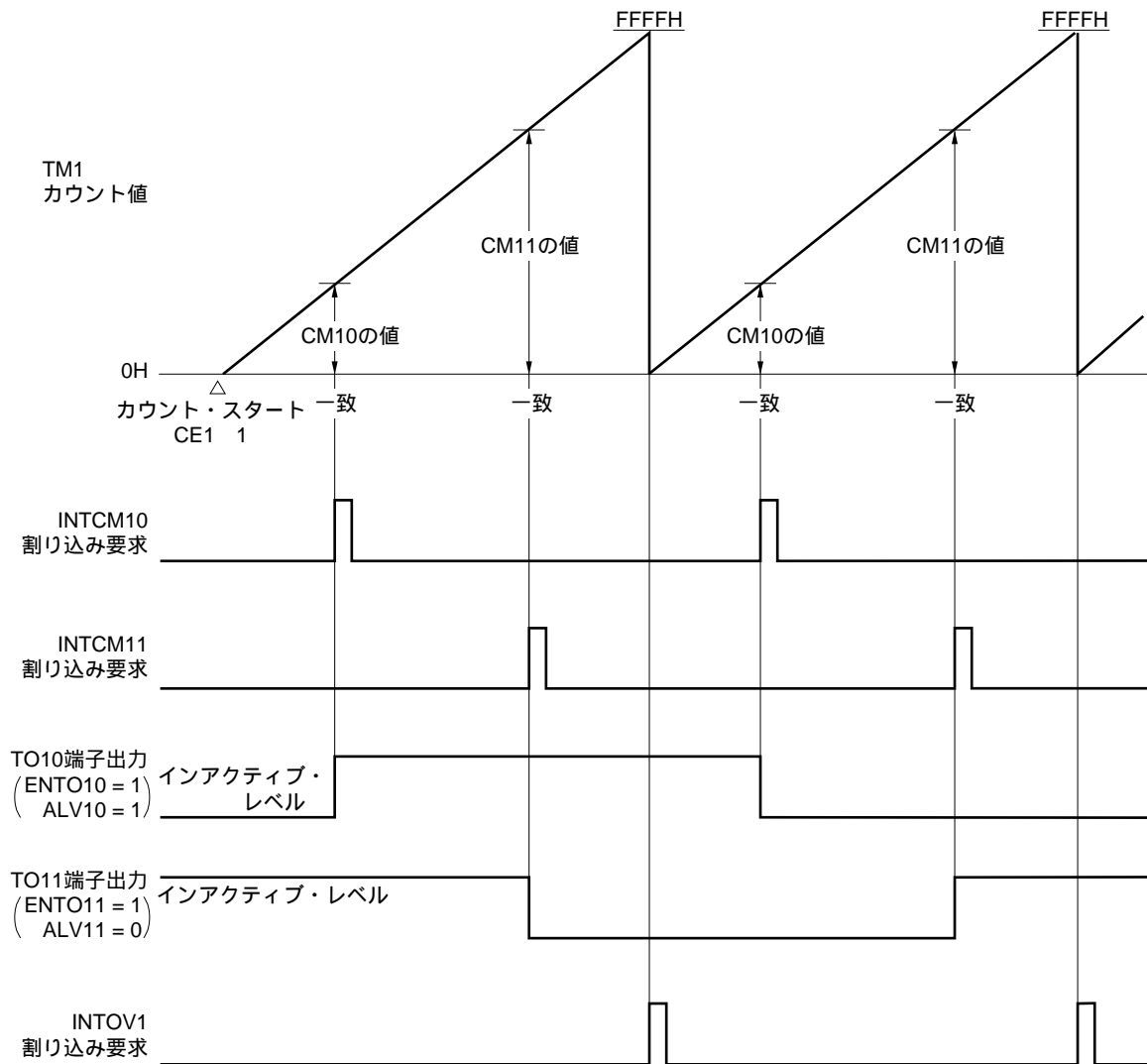
コンペア・レジスタ	割り込み要求信号
CM10	INTCM10
CM11	INTCM11

タイマ1は2本のタイマ出力端子（TO10, TO11）を持っています。各端子の動作モードを表8 - 3に示します（詳細は、8.6 出力制御回路の基本動作を参照してください）。

表8 - 3 タイマ出力端子の動作モード（タイマ1）

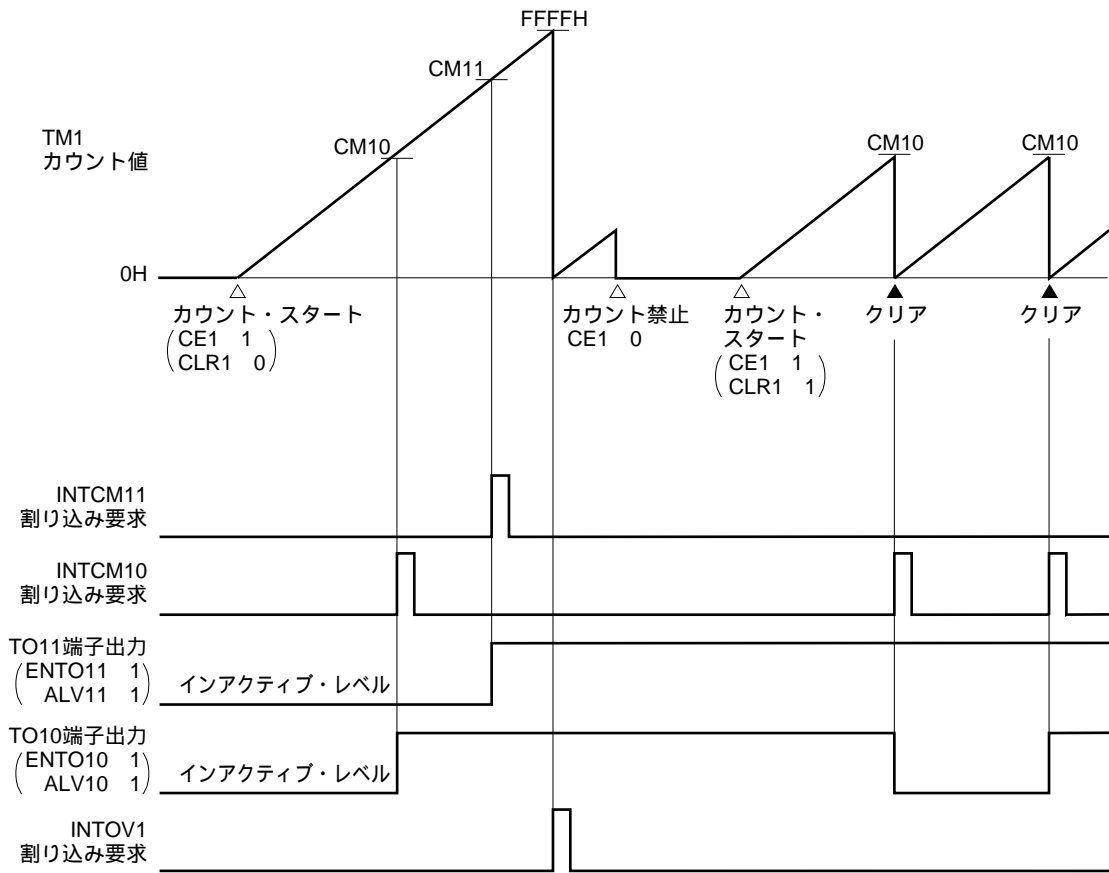
タイマ出力端子	出力動作モード		動作モードの指定
	トグル	セット/リセット	
TO10	トグル	セット/リセット	TUM0のTUM10ビット
TO11	トグル	-	-

図8 - 9 コンペア動作 (タイマ1)



備考 CLR1 = 0

図8 - 10 一致検出後，TM1のクリア



8.6 出力制御回路の基本動作

出力制御回路は、コンペア・レジスタ (CM10, CM11) から的一致信号によって、タイマ出力端子 (TO10, TO11) のレベルを制御します。出力制御回路の動作は、タイマ出力コントロール・レジスタ 1 (TOC1) によって決定されます。TO11端子出力は、トグル動作のみに固定です。TO10端子出力は、タイマ・ユニット・モード・レジスタ 0 (TUM0) の指定により、トグル動作とセット/リセット動作とを選択することができます。

なお、TO10, TO11信号を端子へ出力する場合は、ポート3モード・コントロール・レジスタ (PMC3) で該当する端子がコントロール・モードになっている必要があります。

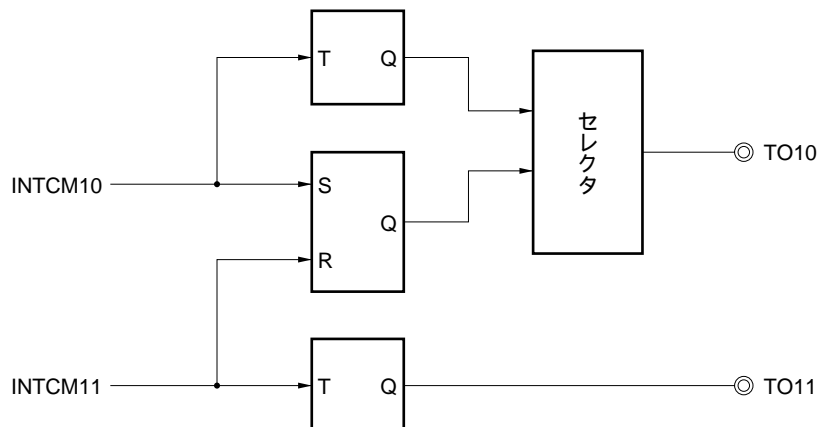
表 8 - 4 タイマ出力端子のトグル信号 (タイマ 1)

タイマ出力	トグル信号
TO10	INTCM10
TO11	INTCM11

表 8 - 5 タイマ出力端子のセット/リセット信号 (タイマ 1)

タイマ出力	セット信号	リセット信号
TO10	INTCM10	INTCM11

図 8 - 11 タイマ 1 のタイマ出力動作のブロック図



8.6.1 基本動作

タイマ出力コントロール・レジスタ1 (TOC1) のENTO1n (n=0, 1) ビットをセット (1) することにより, TO1n (n=0, 1) 端子からのパルス出力が可能になります。

また, ENTO1n ビットをクリア (0) することにより, TO1n を固定レベルにします。固定されるレベルは, TOC1 のALV1n (n=0, 1) ビットによって決定されます。ALV1n ビットが0のときはハイ・レベルに, ALV1n ビットが1のときはロウ・レベルになります。

8.6.2 トグル出力

トグル出力は, コンペア・レジスタ (CM10, CM11) の値がタイマ・レジスタ1 (TM1) の値と一致するたびに出力レベルを反転させる動作モードです。タイマ出力 (TO10) はCM10とTM1の一致によって出力レベルが反転し, TO11はCM11とTM1の一致によって出力レベルが反転します。

なお, タイマ・モード・コントロール・レジスタ (TMC) のCE1ビットをクリア (0) して, タイマ1を停止させると, 停止時の出力レベルをそのまま保持します。

図8-12 トグル出力の動作

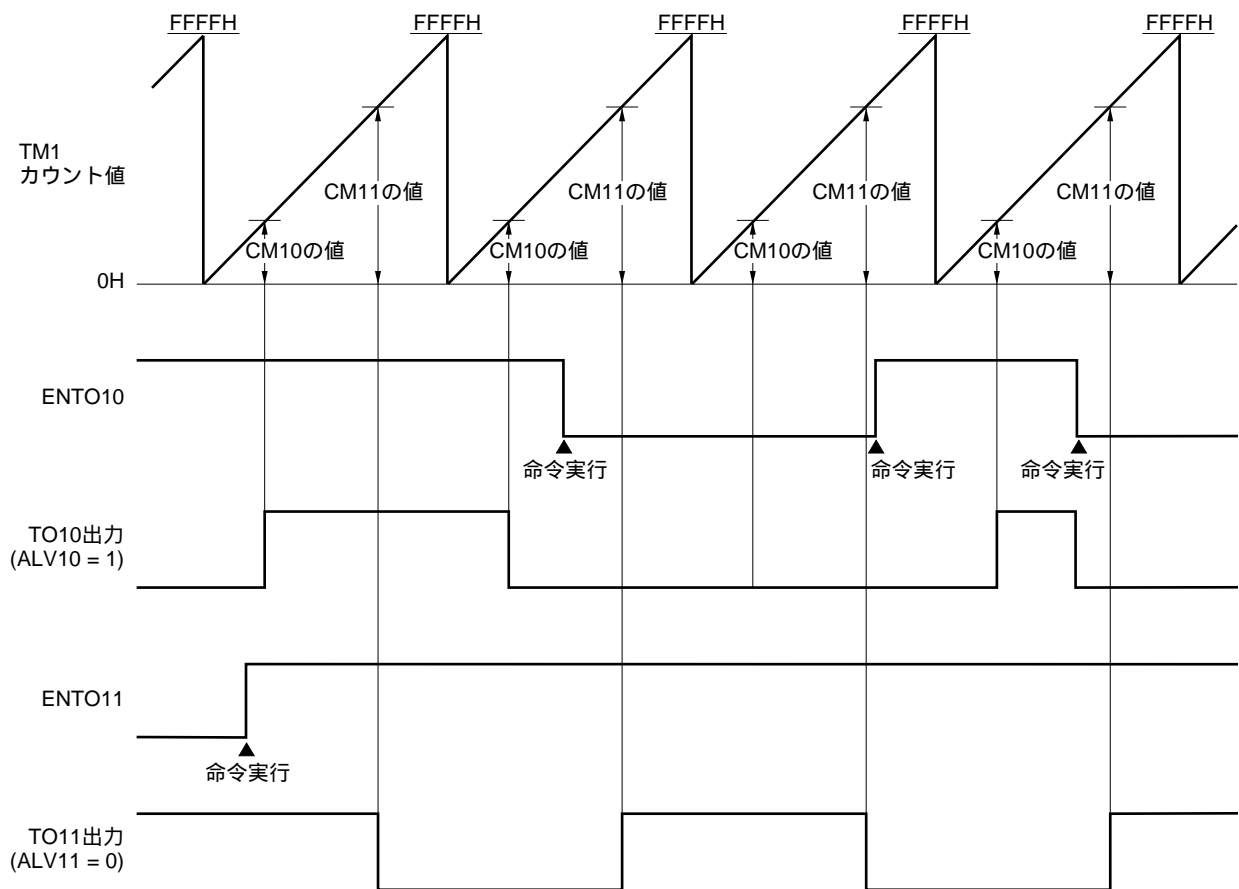


表8 - 6 TO10, TO11のトグル出力 ($f_{CLK} = 16 \text{ MHz}$)

カウント・クロック	最小パルス幅	最大パルス幅
$f_{CLK}/8$	$8/f_{CLK}$ (0.5 μs)	$2^{16} \times 8/f_{CLK}$ (32.8 ms)
$f_{CLK}/16$	$16/f_{CLK}$ (1.0 μs)	$2^{16} \times 16/f_{CLK}$ (65.5 ms)
$f_{CLK}/32$	$32/f_{CLK}$ (2.0 μs)	$2^{16} \times 32/f_{CLK}$ (131 ms)
$f_{CLK}/64$	$64/f_{CLK}$ (4.0 μs)	$2^{16} \times 64/f_{CLK}$ (262 ms)
$f_{CLK}/128$	$128/f_{CLK}$ (8.0 μs)	$2^{16} \times 128/f_{CLK}$ (524 ms)

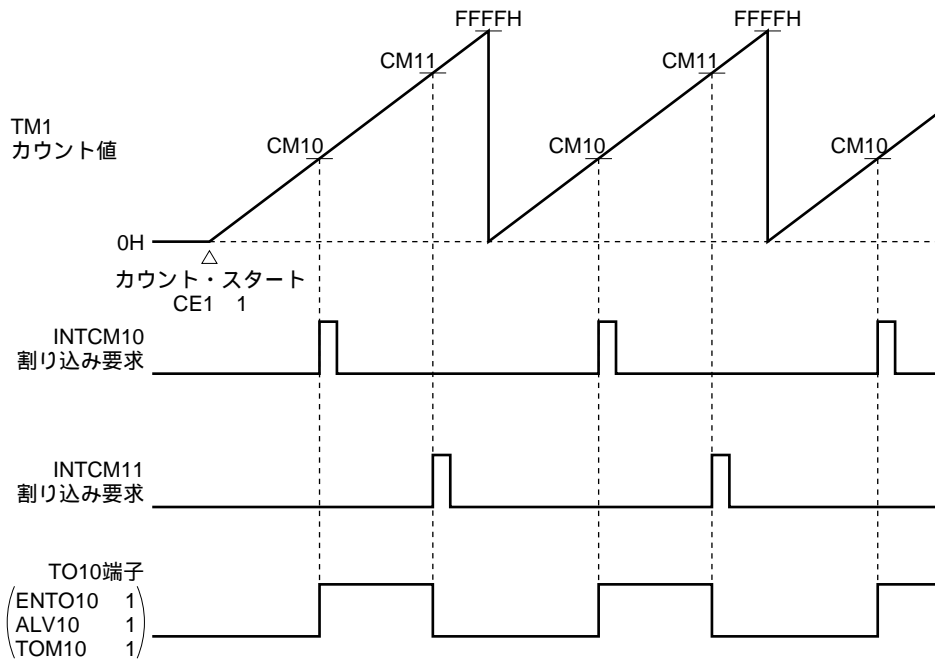
8.6.3 セット/リセット出力

セット/リセット出力は、コンペア・レジスタ (CM1n : n=0, 1) の値がタイマ・レジスタ1 (TM1) の値と一致するたびに、タイマ出力をセットまたはリセットする動作モードです。

CM10 = CM11の場合、割り込み要求は同時に発生し、タイマ出力 (TO10) は $\overline{\text{ALV10}}$ になります。

なお、タイマ・モード・コントロール・レジスタ (TMC) のCE1ビットをクリア (0) して、タイマ1を停止させると、停止時の出力レベルをそのまま保持します。

図8 - 13 セット/リセット出力の動作 (タイマ1)



8.7 使用例

8.7.1 インターバル・タイマとしての動作（1）

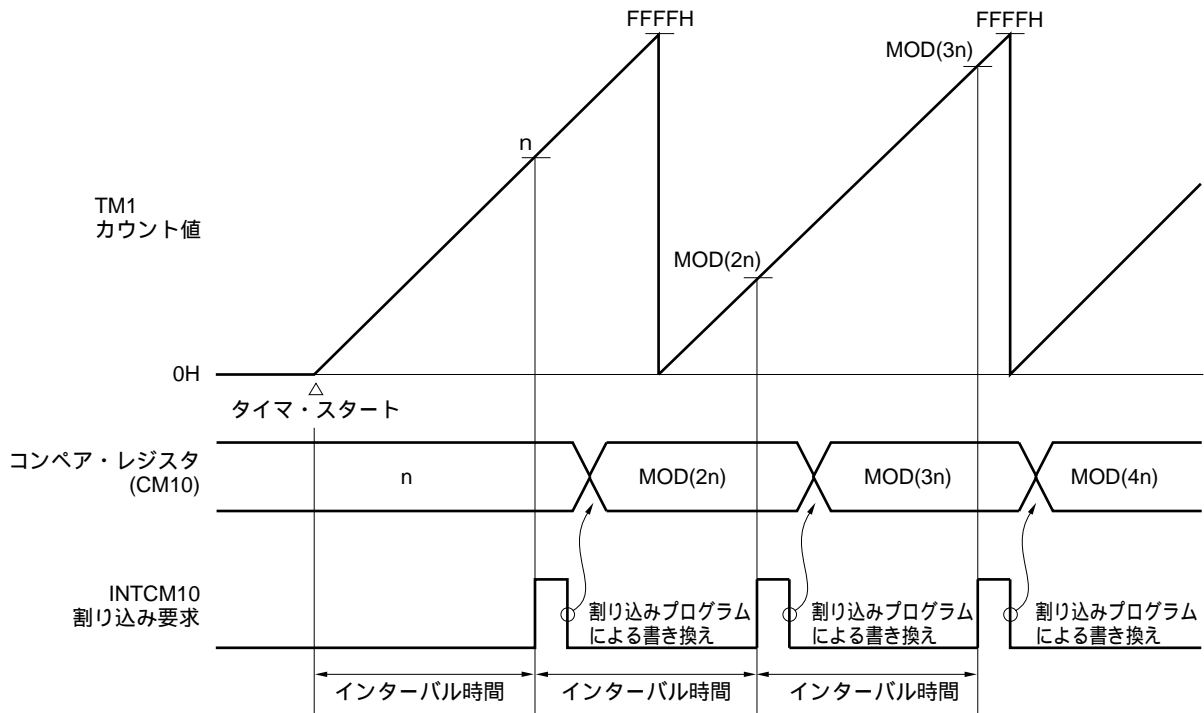
タイマ・レジスタ1（TM1）をフリー・ランニングさせ、割り込み処理ルーチン中でコンペア・レジスタ（CM1n：n = 0，1）に一定の値を加算することで、加算する一定の値を周期とするインターバル・タイマとして動作します（図8 - 14参照）。

このインターバル・タイマは、表8 - 1に示す範囲でカウントできます（内部システム・クロック $f_{CLK} = 16 \text{ MHz}$ ）。

また、TM1 1本にコンペア・レジスタが2本ついているため、2種類の周期のインターバル・タイマを作ることができます。

コンペア・レジスタCM10を使用した場合を例として、図8 - 15に制御レジスタの設定内容、図8 - 16にその設定手順、図8 - 17に割り込み処理ルーチン内での処理を示します。

図8 - 14 インターバル・タイマ動作（1）のタイミング



備考 インターバル時間 = $n \times x / f_{CLK}$

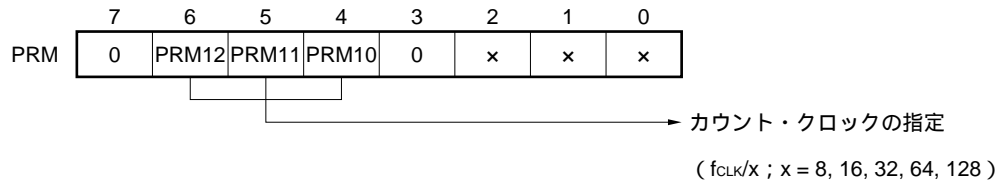
y n FFFFH

x = 8, 16, 32, 64, 128

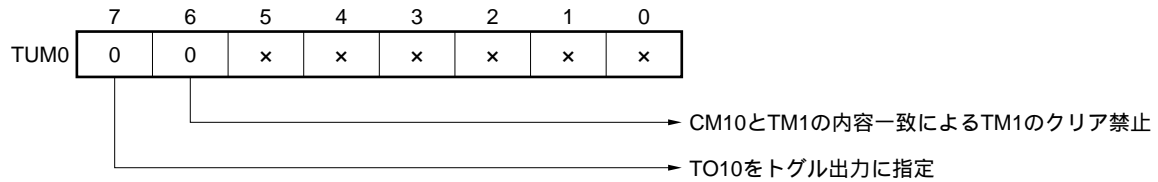
yは、データ転送処理時間によって制約されます。使用する割り込みの処理時間またはマクロ・サービス処理時間を考慮してください（表14 - 11 割り込み受け付け処理時間、表14 - 12 マクロ・サービス処理時間参照）。

図8 - 15 インターバル・タイマ動作(1)における制御レジスタの設定内容

(a) プリスケアラ・モード・レジスタ (PRM)



(b) タイマ・ユニット・モード・レジスタ0 (TUM0)



x : don't care

図8 - 16 インターバル・タイマ動作(1)の設定手順

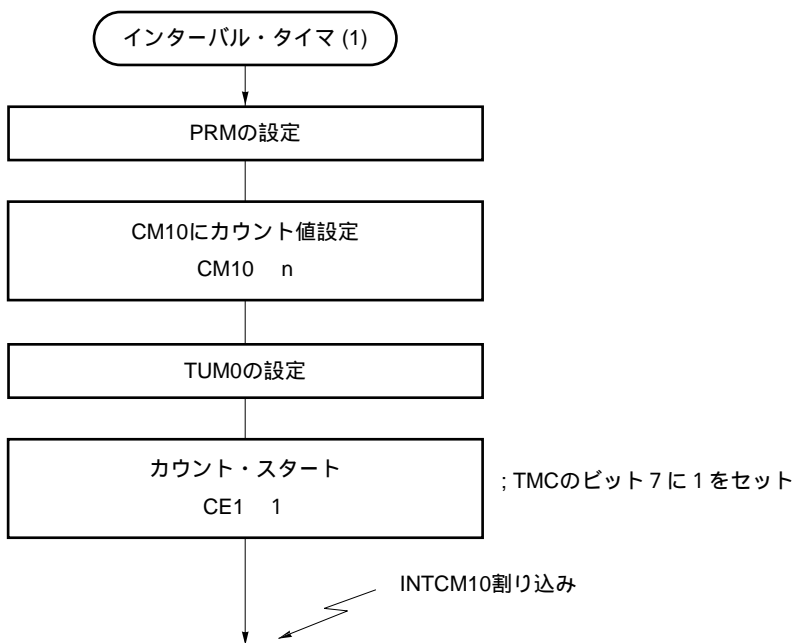
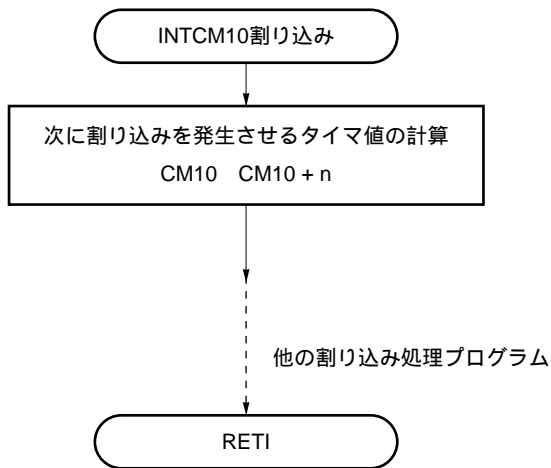


図8 - 17 インターバル・タイマ動作(1)の割り込み要求処理



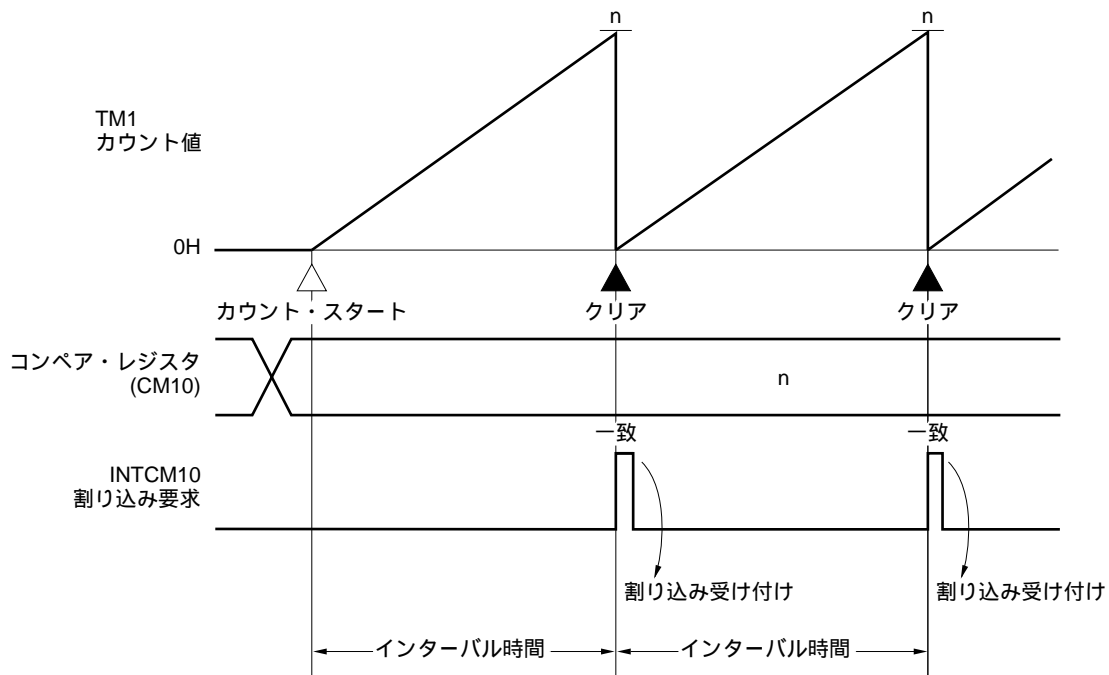
8.7.2 インターバル・タイマとしての動作（2）

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（図8 - 18参照）。

このインターバル・タイマは，表8 - 1に示す範囲でカウントができます（内部システム・クロック $f_{CLK} = 16 \text{ MHz}$ ）。

図8 - 19に制御レジスタの設定内容を，図8 - 20にその設定手順を示します。

図8 - 18 インターバル・タイマ動作（2）のタイミング



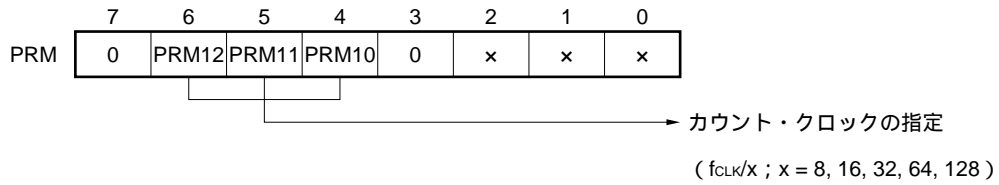
備考 インターバル時間 = $(n + 1) \times x / f_{CLK}$

0 n FFFFH

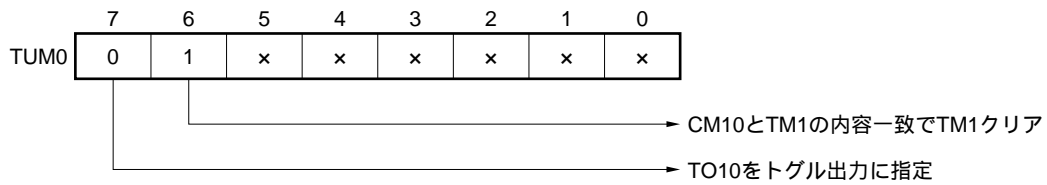
x = 8, 16, 32, 64, 128

図8 - 19 インターバル・タイマ動作（2）における制御レジスタの設定内容

(a) プリスケアラ・モード・レジスタ (PRM)

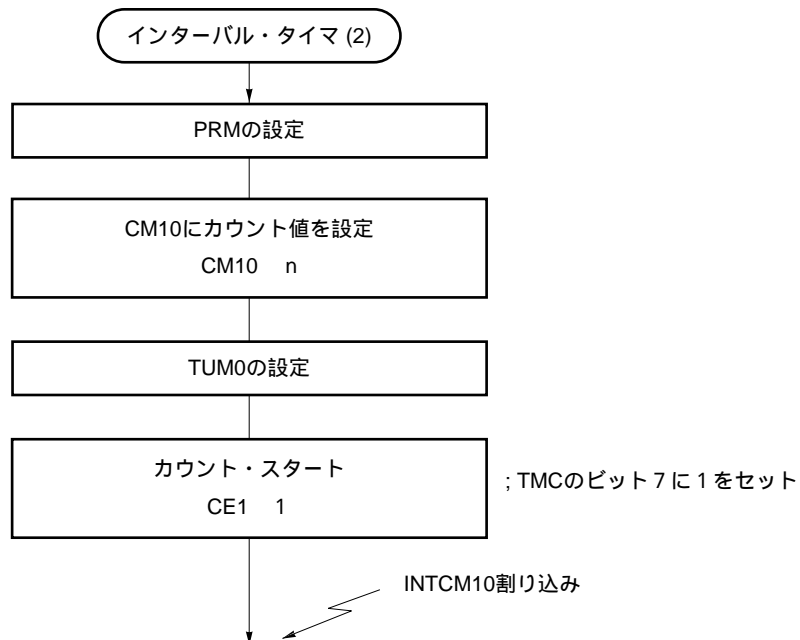


(b) タイマ・ユニット・モード・レジスタ0 (TUM0)



x : don't care

図8 - 20 インターバル・タイマ動作（2）の設定手順

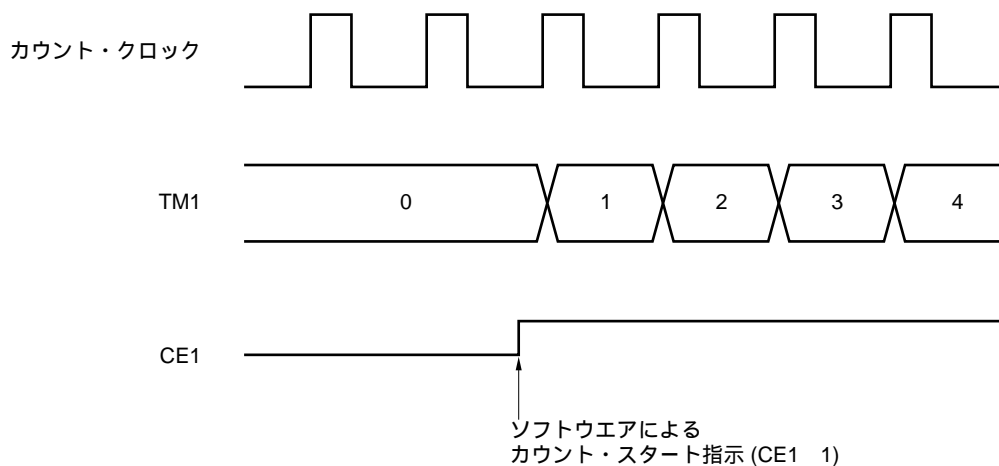


8.8 注意事項

(1) プリスケーラは、1つのタイム・ベースを全タイマ(タイマ0, 1, タイマ/カウンタ2, 3, タイマ4)で共通に使用します。どれか1つのタイマでCEビットを“1”にすると、タイム・ベースはカウントをスタートします。タイマが動作している間に別のタイマのCEビットを“1”にした場合は、タイム・ベースがすでにカウントをスタートしているため、タイマの最初のカウント・クロックが短くなる場合があります。

たとえば、インターバル・タイマとして使用する場合は、1回目のインターバル時間が最大1カウント・クロック分だけ短くなります。2回目以降は、指定した間隔どおりになります。

図8-21 カウント・スタート時の動作



(2) タイマ1が動作している期間(タイマ・モード・コントロール・レジスタ(TMC)のCE1ビットがセットされているとき)、次のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウェアの機能の変化と、書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

次のレジスタの内容を書き換える場合は、安全のため必ずカウンタ動作を停止させてから行ってください。

- ・タイマ・ユニット・モード・レジスタ0 (TUM0)
- ・タイマ出力コントロール・レジスタ1 (TOC1)
- ・プリスケーラ・モード・レジスタ (PRM)

(3) タイマ・レジスタ1 (TM1) の動作を停止させる命令実行時にコンペア・レジスタ (CM1n : n = 0, 1) とTM1の内容が一致した場合, TM1のカウント動作は停止しますが, 割り込みの要求は発生しません。

TM1の動作を停止する場合に割り込みを発生させたくないときは, 先に割り込みマスク・レジスタで割り込みをマスクしてからTM1を停止させてください。

例

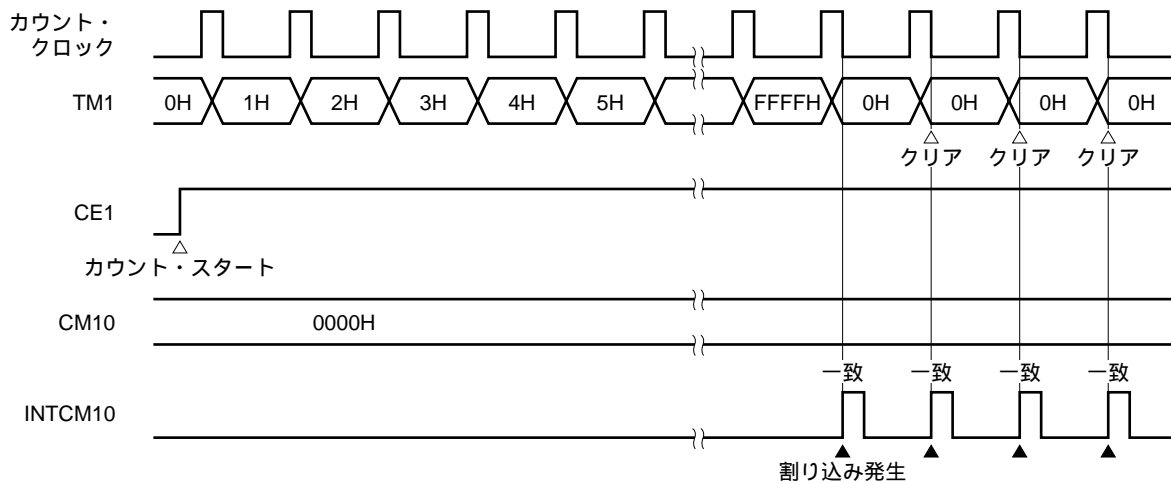
割り込み要求が発生する可能性のあるプログラム	割り込み要求が発生しないプログラム
<pre> : CLR1 CE1 OR MK0H, #0CH : </pre>	<pre> : OR MK0H, #0CH CLR1 CE1 CLR1 CMIF10 CLR1 CMIF11 : </pre>
<p>この間でタイマ1からの割り込み要求発生</p>	<p>タイマ1からの割り込み禁止 タイマ1からの割り込み要求フラグをクリア</p>

(4) タイマ・レジスタ1 (TM1) とコンペア・レジスタ (CM1n : n = 0, 1) の一致の検出は, TM1がインクリメントされたときのみ行われます。したがって, TM1と同じ値をCM1nへ書き込んでも割り込みの要求は発生せず, タイマ出力 (TO1n : n = 0, 1) も変化しません。

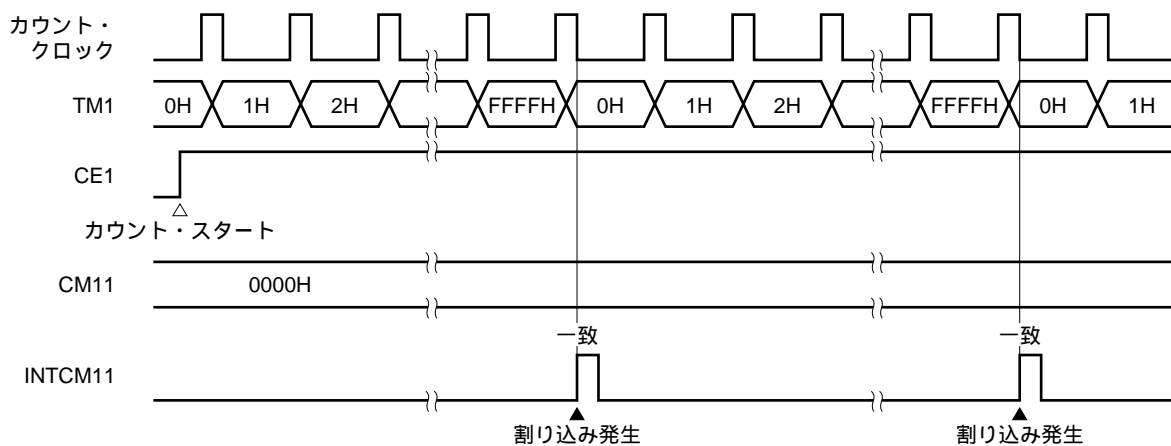
(5) コンペア・レジスタ (CM10, CM11) に0000Hを設定した場合, コンペア動作はカウント後に行います。したがって, カウント・スタート直後には一致割り込み (INTCM10, INTCM11) は発生しません。CM1n (n = 0, 1) に0000Hを設定した場合は, FFFFHまでカウント・アップしタイマがオーバフローしたあとで, 一致割り込みINTCM1n (n = 0, 1) が発生します。

図8 - 22 コンペア・レジスタ (CM10, CM11) に0000H を設定した場合の動作

(a) CM10の場合



(b) CM11の場合



(6) タイマ出力許可の指定とアクティブ・レベルの変更を同時に行うと、端子の出力レベルが一瞬変化する場合があります。これを防ぐためには、アクティブ・レベルの変更を行ったあと、タイマ出力許可にしてください。

(7) タイマ出力のアクティブ・レベルの指定 (タイマ出力コントロール・レジスタ 1 (TOC1) のALV1n ビット : n = 0, 1) を変更する場合には、対応するタイマ出力端子をタイマ禁止にしてから、アクティブ・レベルの指定を変更してください。

第9章 タイマ4

9.1 機能

タイマ4は、16ビットのタイマです。

インターバル・タイマとして機能します。

インターバル・タイマは、あらかじめ設定したインターバルで内部割り込みを発生します。

表9 - 1 タイマ4のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$4/f_{CLK}$ (0.25 μ s)	$2^{16} \times 4/f_{CLK}$ (16.4 ms)	$4/f_{CLK}$ (0.25 μ s)
$8/f_{CLK}$ (0.5 μ s)	$2^{16} \times 8/f_{CLK}$ (32.8 ms)	$8/f_{CLK}$ (0.5 μ s)
$16/f_{CLK}$ (1.0 μ s)	$2^{16} \times 16/f_{CLK}$ (65.5 ms)	$16/f_{CLK}$ (1.0 μ s)
$32/f_{CLK}$ (2.0 μ s)	$2^{16} \times 32/f_{CLK}$ (131 ms)	$32/f_{CLK}$ (2.0 μ s)
$64/f_{CLK}$ (4.0 μ s)	$2^{16} \times 64/f_{CLK}$ (262 ms)	$64/f_{CLK}$ (4.0 μ s)

() 内は $f_{CLK} = 16$ MHzの場合

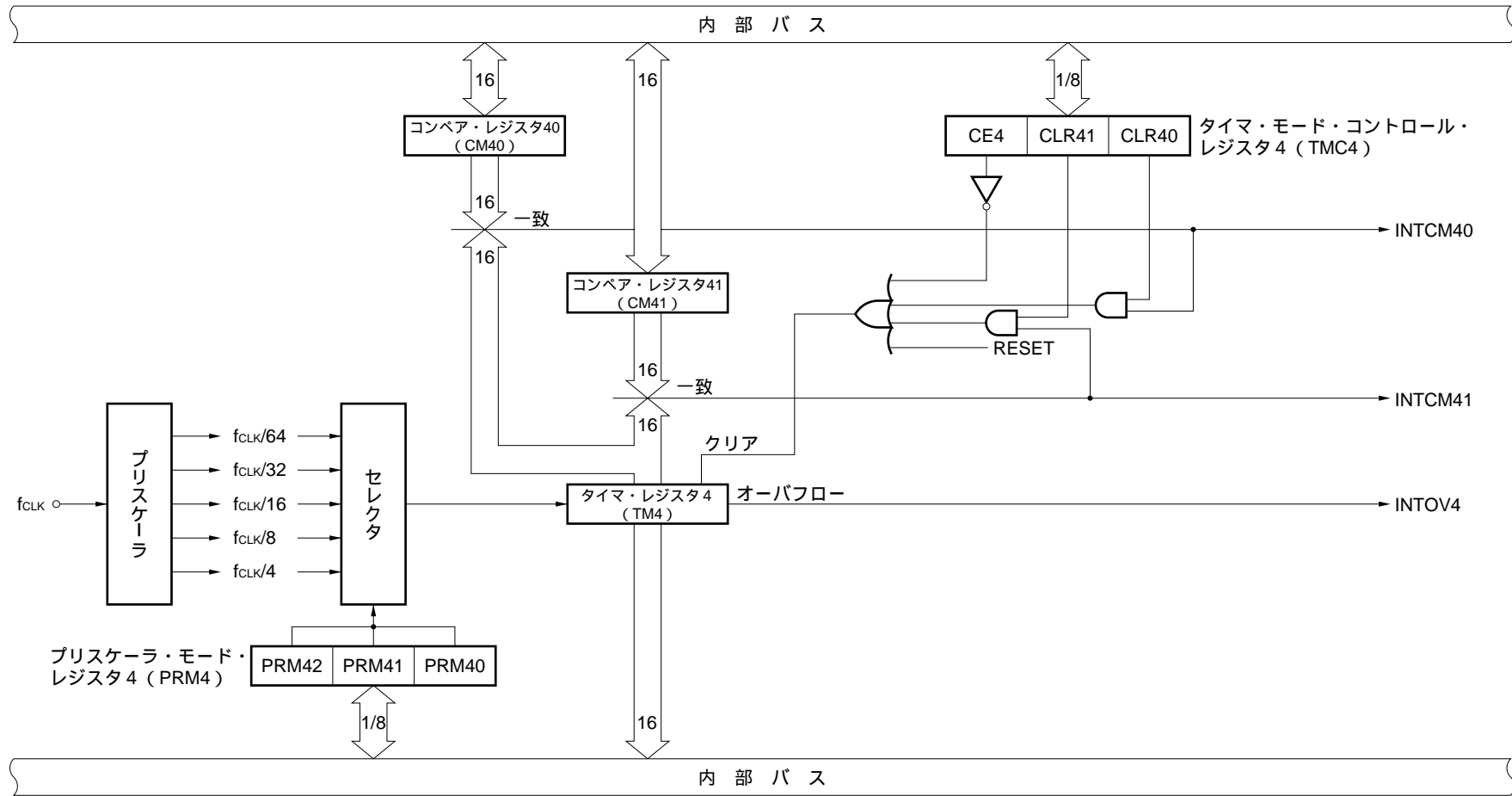
9.2 構成

タイマ4は、次のレジスタから構成されています。

- ・タイマ・レジスタ (TM4) \times 1
- ・コンペア・レジスタ (CM4n) \times 2 (n=0, 1)

図9 - 1にタイマ4のブロック図を示します。

図9 - 1 タイマ4のブロック図



(1) タイマ・レジスタ4 (TM4)

TM4は、プリスケアラ・モード・レジスタ4 (PRM4) で指定されるカウント・クロックをアップカウントするタイマ・レジスタです。

タイマ・モード・コントロール・レジスタ4 (TMC4) によりカウント動作の停止/許可を指定します。

16ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により、TM4は0000Hにクリアされ、カウントは停止します。

(2) コンペア・レジスタ (CM40, CM41)

CM4n (n=0, 1) は、インターバル・タイマ動作の周期を決める値を保持する16ビット・レジスタです。

CM4nの内容がTM4の内容と一致すると、割り込み要求 (INTCM4n : n=0, 1) を発生します。また、CM4nの内容一致によるカウント値のクリア動作もできます。

16ビット操作命令で読み出し/書き込みが可能です。 $\overline{\text{RESET}}$ 入力により不定となります。

(3) プリスケアラ

内部システム・クロックを分周してカウント・クロックを生成します。このプリスケアラで生成されたクロックをセレクトで選択し、カウント・クロックとしてTM4はカウント動作を行います。

(4) セレクト

内部システム・クロックを分周して生成した5種類の信号から、TM4のカウント・クロックとしてどれか1つを選択します。

9.3 タイマ4制御レジスタ

(1) タイマ・モード・コントロール・レジスタ4 (TMC4)

TMC4は、タイマ・レジスタ4 (TM4) のカウント動作、クリア動作を制御するレジスタです。

8ビット操作命令およびビット操作命令で読み出し/書き込みが可能です。図9-2に、TMC4のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hにクリアされます。

図9-2 タイマ・モード・コントロール・レジスタ4 (TMC4) のフォーマット

アドレス：0FF37H リセット時：00H R/W

	7	6	5	4	③	2	1	0
TMC4	0	0	0	0	CE4	0	CLR41	CLR40

CE4	TM4のカウント動作制御
0	クリアしたまま、カウント動作停止
1	カウント動作許可

CLR41	CM41の一致によるTM4のクリア動作
0	禁止 (フリー・ランニング・モード)
1	許可 (インターバル・タイマ・モード)

CLR40	CM40の一致によるTM4のクリア動作
0	禁止 (フリー・ランニング・モード)
1	許可 (インターバル・タイマ・モード)

(2) プリスケアラ・モード・レジスタ4 (PRM4)

PRM4は、タイマ・レジスタ4 (TM4) のカウント・クロックを指定するレジスタです。

8ビット操作命令で読み出し/書き込みが可能です。図9 - 3に、PRM4のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hにクリアされます。

図9 - 3 プリスケアラ・モード・レジスタ4 (PRM4) のフォーマット

アドレス：0FF3AH リセット時：00H R/W

	7	6	5	4	3	2	1	0
PRM4	0	0	0	0	0	PRM42	PRM41	PRM40

(f_{CLK} = 16 MHz時)

PRM42	PRM41	PRM40	TM4のカウント・クロック指定	
			カウント・クロック [Hz]	分解能 [μs]
0	0	0	f _{CLK} /4	0.25
0	0	1	f _{CLK} /8	0.5
0	1	0	f _{CLK} /16	1.0
0	1	1	f _{CLK} /32	2.0
1	0	0	f _{CLK} /64	4.0
上記以外			設定禁止	

備考 f_{CLK}：内部システム・クロック

9.4 タイマ・レジスタ4 (TM4) の動作

9.4.1 基本動作

タイマ4のカウンタ動作は、プリスケアラ・モード・レジスタ4 (PRM4) で指定されるカウンタ・クロックによりカウンタ・アップします。

カウンタ動作の禁止/許可は、タイマ・モード・コントロール・レジスタ4 (TMC4) のCE4ビットで制御します。CE4ビットをソフトウェアによりセット (1) すると、最初のカウンタ・クロックでTM4は0001Hになり、カウンタ・アップ動作を行います。CE4ビットをソフトウェアによりクリア (0) すると、TM4はただちに0000Hになり、一致信号の発生は停止します。

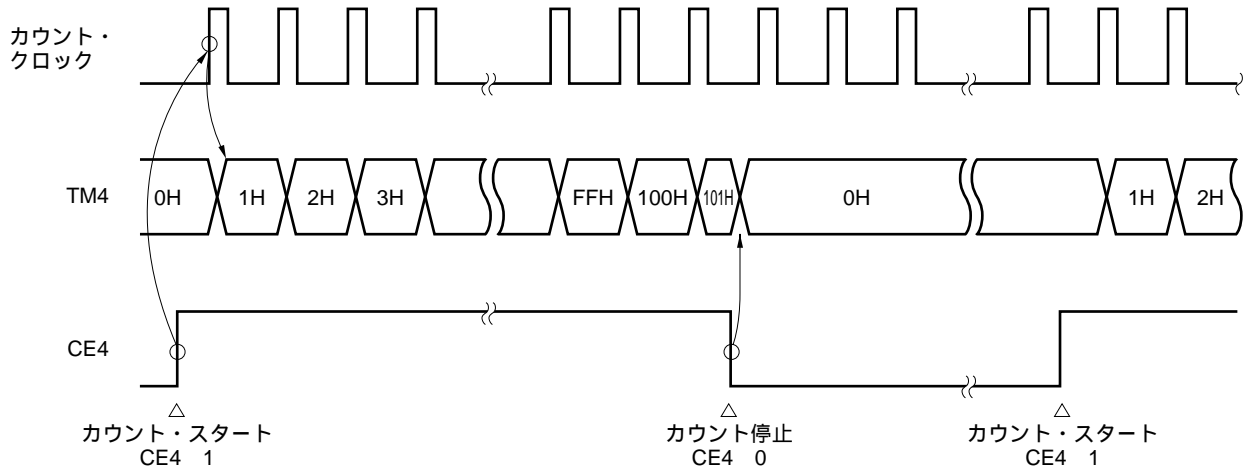
CE4ビットがセット (1) されている状態でさらにCE4ビットをセット (1) した場合、TM4はクリアされないでカウンタ動作を続けます。

TM4がFFFFHのときにカウンタ・クロックが入力されると、TM4は0000Hになり、オーバフロー割り込み (INTOV4) が発生します。

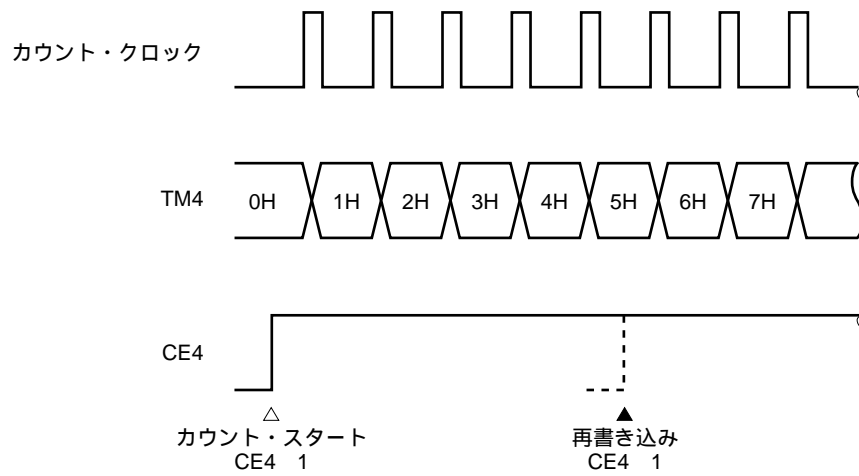
$\overline{\text{RESET}}$ 入力により、TM4は0000Hにクリアされ、カウンタ動作は停止します。

図9-4 タイマ・レジスタ4 (TM4) の基本動作

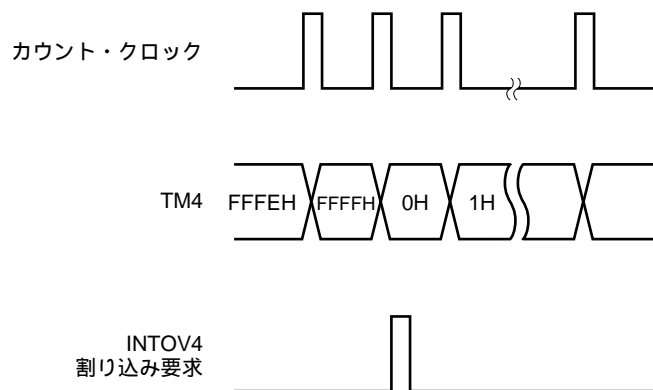
(a) カウント・スタート カウント停止 カウント・スタートの場合



(b) カウント・スタート後に再度CE4ビット“1”を書き込んだ場合



(c) TM4がFFFFHのときの動作

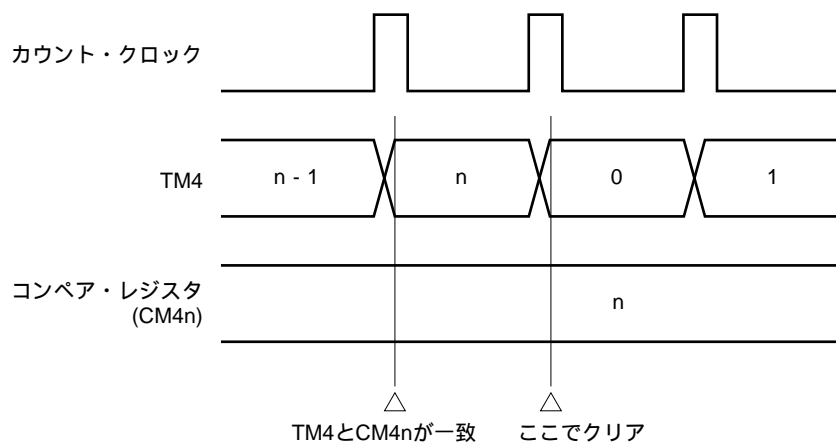


9.4.2 クリア動作

(1) コンペア・レジスタとの一致後のクリア動作

タイマ・レジスタ4 (TM4) は、コンペア・レジスタ (CM4n : n = 0, 1) との一致後に自動的にクリアすることができます。TM4は、クリアする要因が発生すると、次のカウント・クロックで0000Hにクリアされます。したがって、クリアする要因が発生しても、次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図9 - 5 コンペア・レジスタ (CM40, CM41) との一致によるTM4のクリア動作

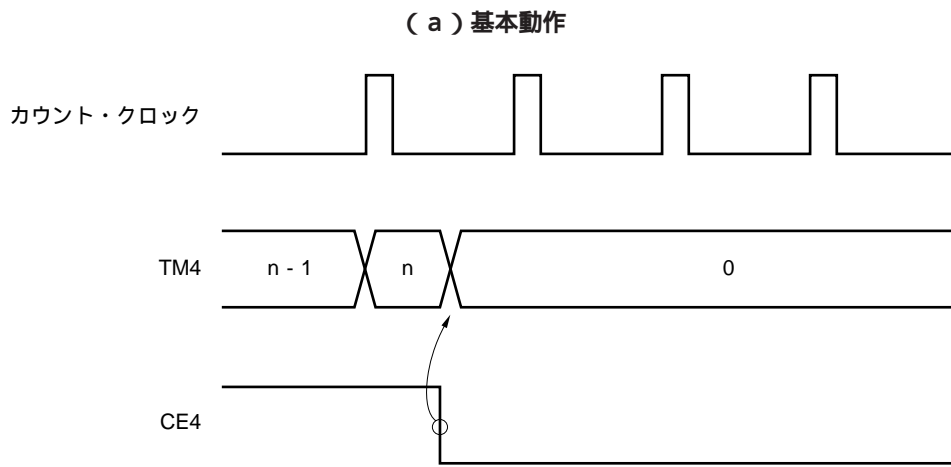


備考 n = 0, 1

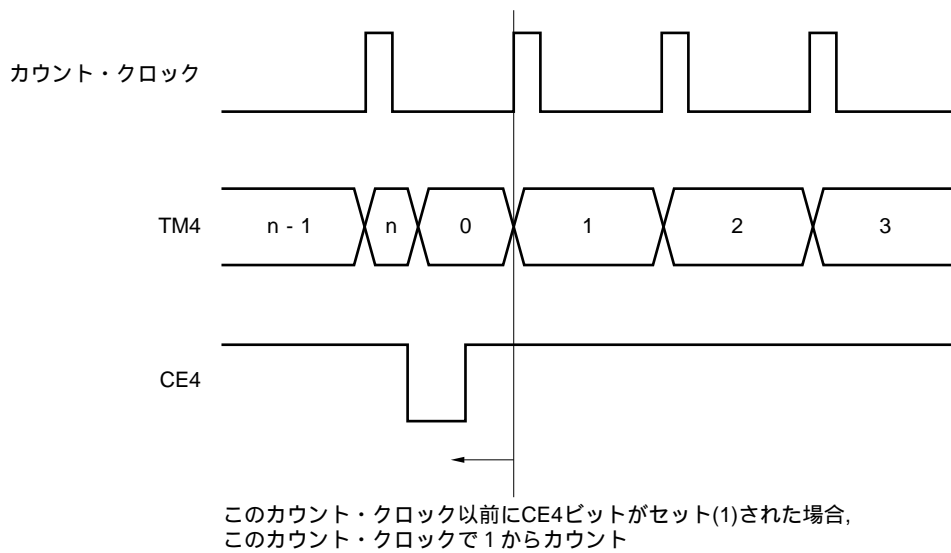
(2) タイマ・モード・コントロール・レジスタ4 (TMC4) のCE4ビットによるクリア動作

タイマ・レジスタ4 (TM4) はソフトウェアにより、TMC4のCE4ビットをクリア (0) することによってもクリアされます。クリア動作は、CE4ビットがクリア (0) されるとただちに行われます。

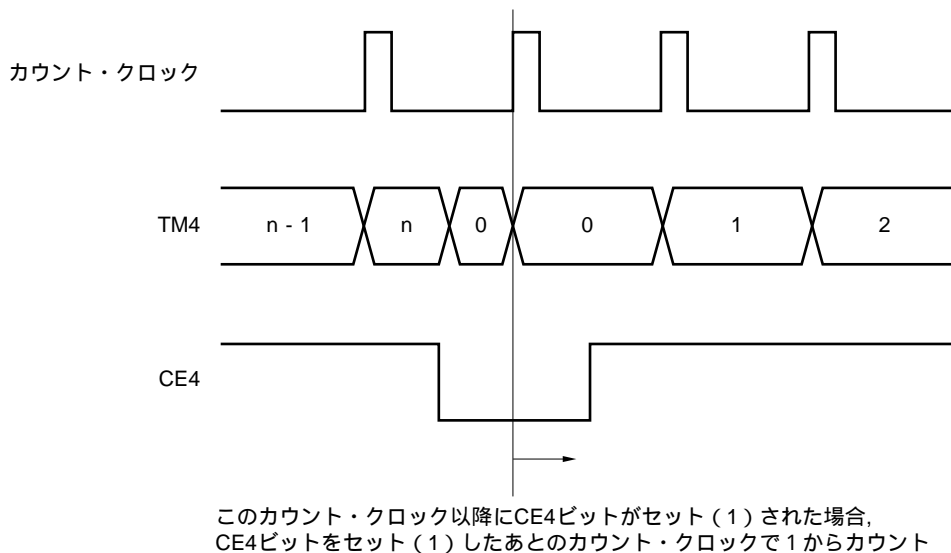
図9 - 6 CE4ビットをクリア(0)した場合のTM4のクリア動作



(b) クリア後のカウント・クロックが入力される前の再スタート



(c) クリア後にカウント・クロックが入力されてからの再スタート



9.5 コンペア・レジスタの動作

タイマ4は、コンペア・レジスタ（CM40, CM41）に設定された値をタイマ・レジスタ4（TM4）のカウンタ値と比較するコンペア動作を行います。

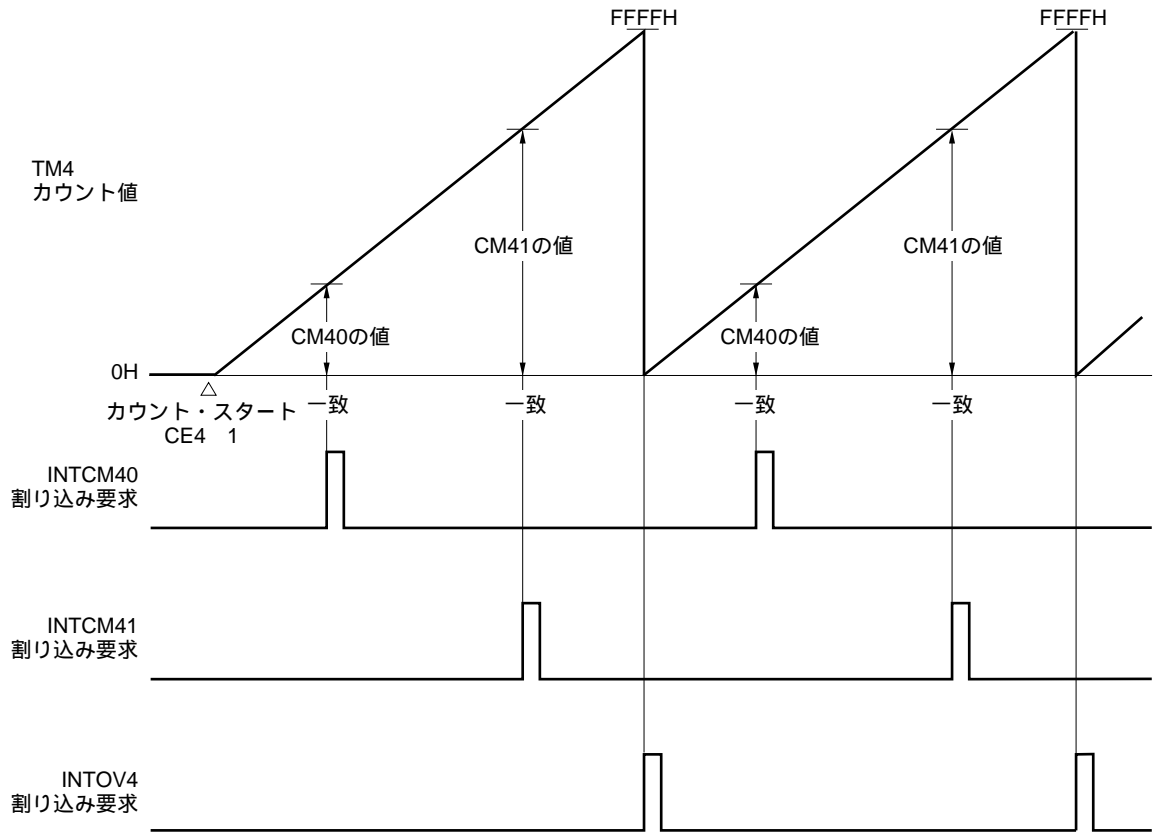
あらかじめ設定されたCM4n（n=0, 1）の値にTM4のカウンタ値がカウンタ動作によって一致すると、割り込み要求（INTCM4n：n=0, 1）を発生します。

また、CM4nの値と一致後、TM4の内容をクリアすることができ、CM4nに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

表9 - 2 コンペア・レジスタからの割り込み要求信号（タイマ4）

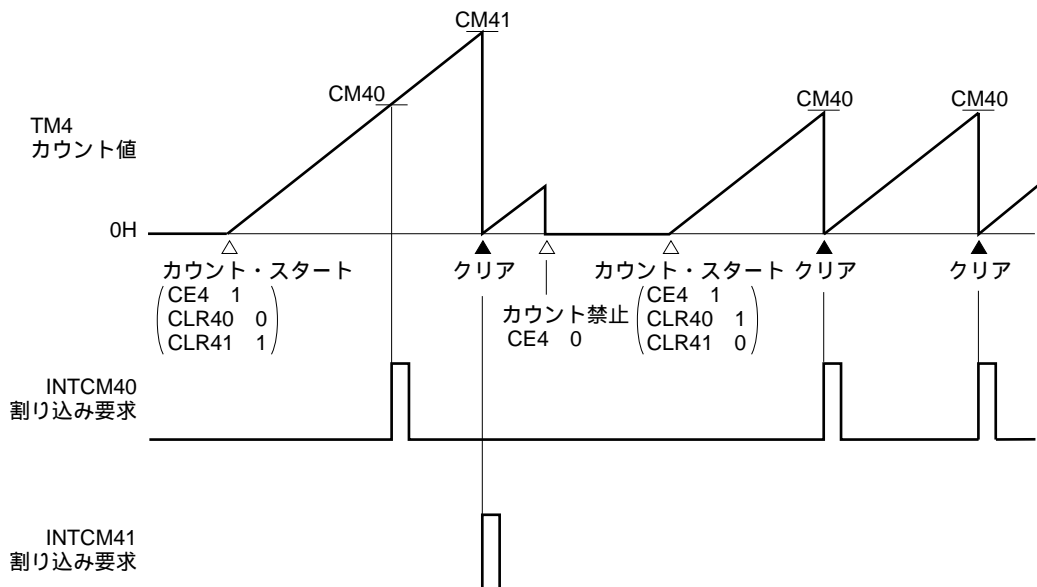
コンペア・レジスタ	割り込み要求信号
CM40	INTCM40
CM41	INTCM41

図9 - 7 コンペア動作(タイマ4)



備考 CLR40 = 0 , CLR41 = 0

図9 - 8 一致検出後, TM4のクリア



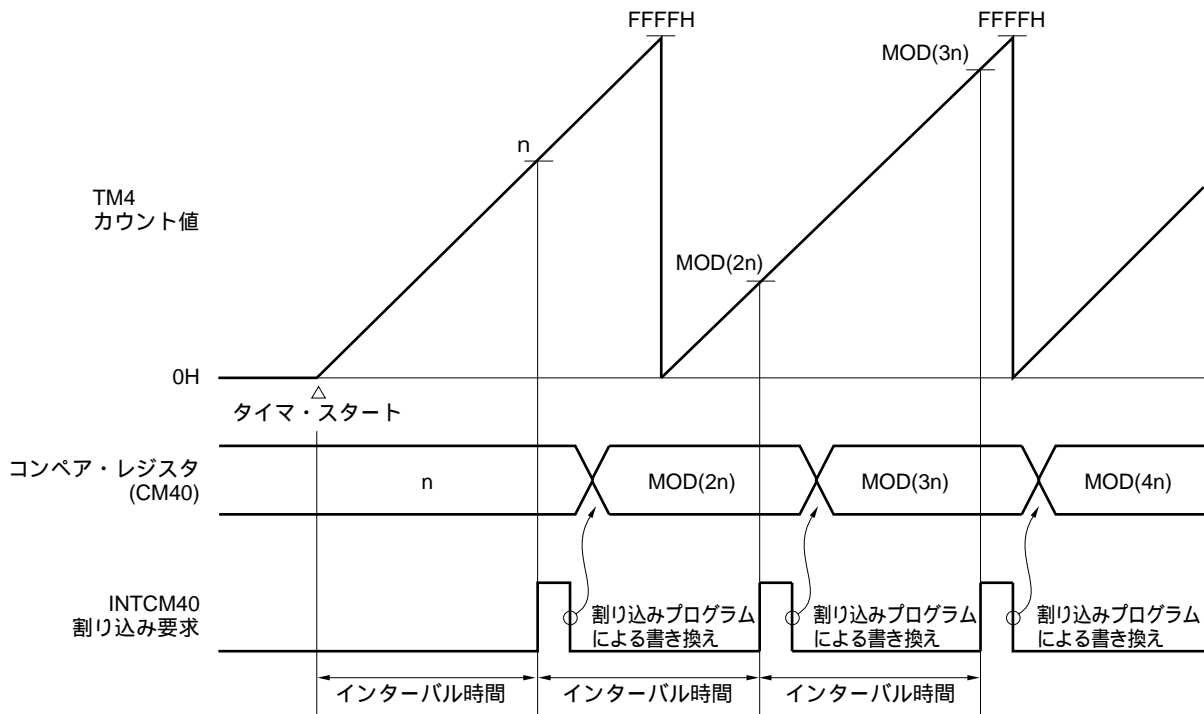
9.6 使用例

9.6.1 インターバル・タイマとしての動作(1)

タイマ・レジスタ4 (TM4) をフリー・ランニングさせ、割り込み処理ルーチン中でコンペア・レジスタ (CM4n : n = 0, 1) に一定の値を加算することで、加算する一定の値を周期とするインターバル・タイマとして動作します (図9 - 9参照)。

コンペア・レジスタCM40を使用した場合を例として、図9 - 10に制御レジスタの設定内容、図9 - 11にその設定手順、図9 - 12に割り込み処理ルーチン内での処理を示します。

図9 - 9 インターバル・タイマ動作(1)のタイミング



備考 インターバル時間 = $n \times x / f_{CLK}$

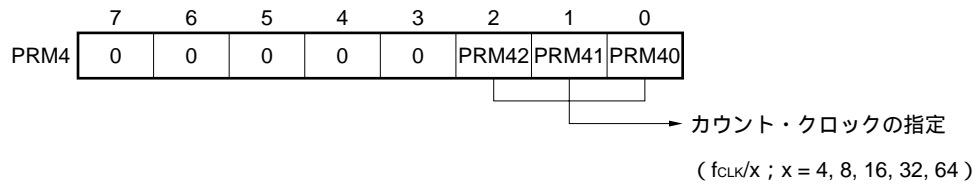
y n FFFFH

x = 4, 8, 16, 32, 64

yは、データ転送処理時間によって制約されます。使用する割り込みの処理時間またはマクロ・サービス処理時間を考慮してください (表14 - 11 割り込み受け付け処理時間、表14 - 12 マクロ・サービス処理時間参照)。

図9 - 10 インターバル・タイマ動作(1)における制御レジスタの設定内容

(a) プリスケアラ・モード・レジスタ4 (PRM4)



(b) タイマ・モード・コントロール・レジスタ4 (TMC4)

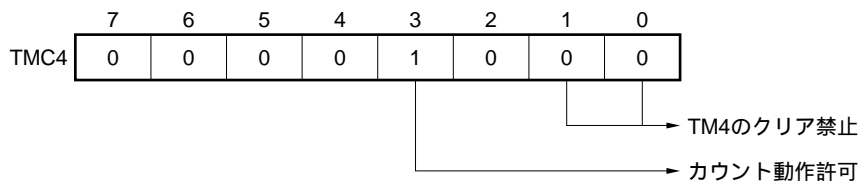


図9 - 11 インターバル・タイマ動作（1）の設定手順

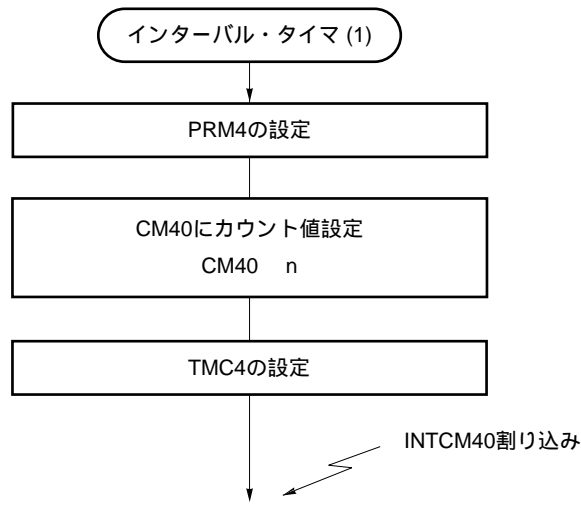
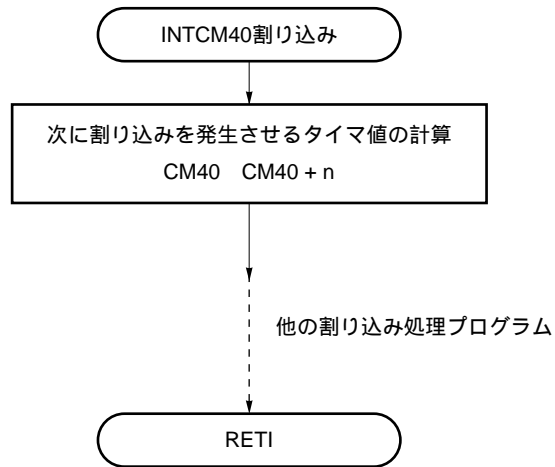


図9 - 12 インターバル・タイマ動作（1）の割り込み要求処理

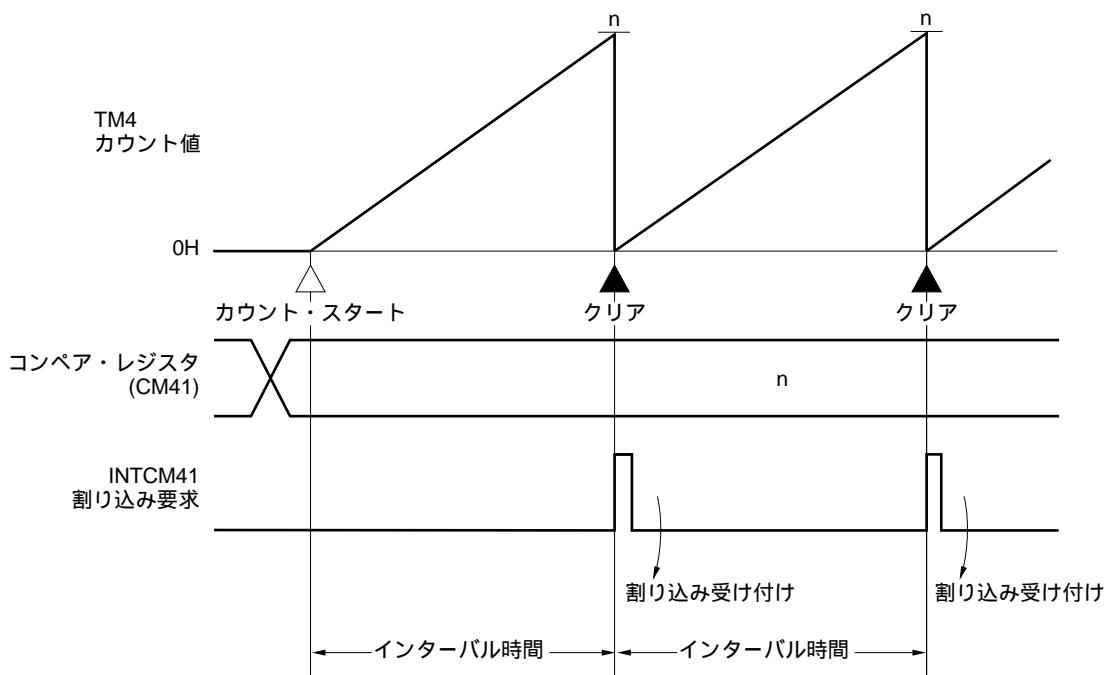


9.6.2 インターバル・タイマとしての動作（2）

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（図9 - 13参照）。

コンペア・レジスタCM41を使用した場合を例として，図9 - 14に制御レジスタの設定内容を，図9 - 15にその設定手順を示します。

図9 - 13 インターバル・タイマ動作（2）のタイミング



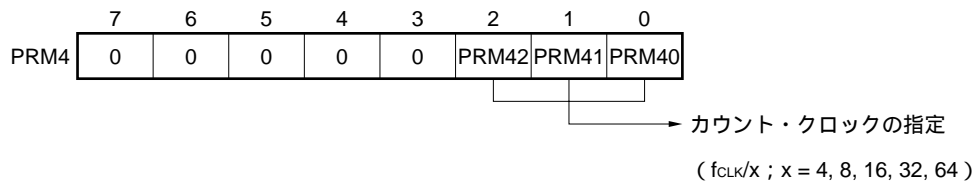
備考 インターバル時間 = $(n + 1) \times x / f_{CLK}$

0 n FFFFH

x = 4, 8, 16, 32, 64

図9 - 14 インターバル・タイマ動作（2）における制御レジスタの設定内容

(a) プリスケアラ・モード・レジスタ4 (PRM4)



(b) タイマ・モード・コントロール・レジスタ4 (TMC4)

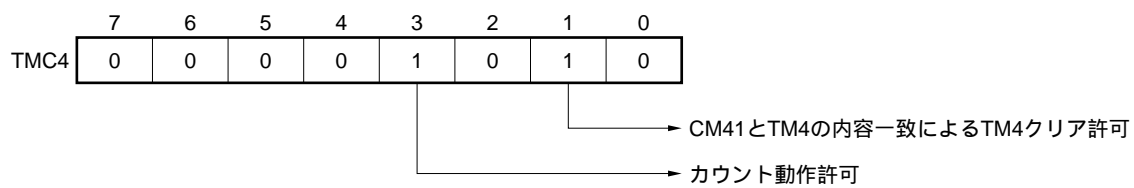
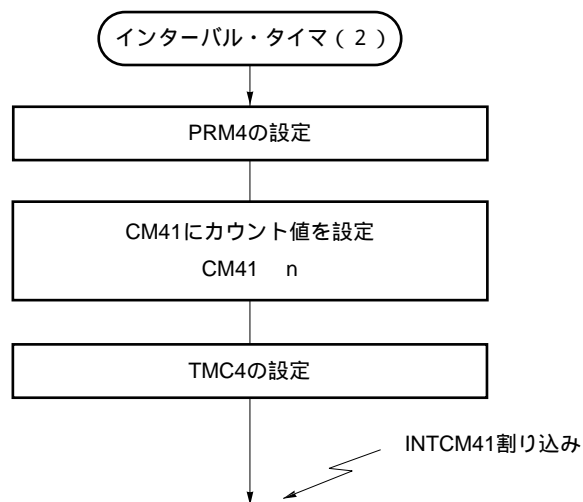


図9 - 15 インターバル・タイマ動作（2）の設定手順

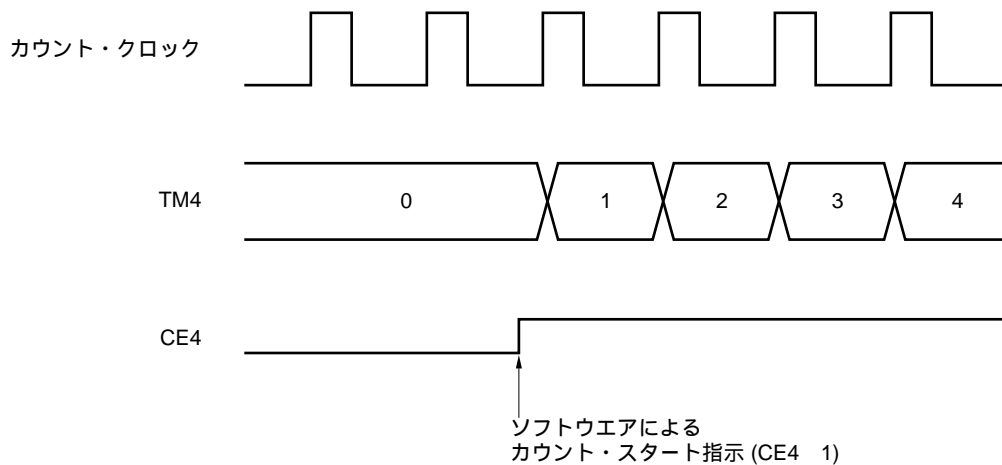


9.7 注意事項

(1) プリスケーラは、1つのタイム・ベースを全タイマ(タイマ0, 1, タイマ/カウンタ2, 3, タイマ4)で共通に使用します。どれか1つのタイマでCEビットを“1”にすると、タイム・ベースはカウントをスタートします。タイマが動作している間に別のタイマのCEビットを“1”にした場合は、タイム・ベースがすでにカウントをスタートしているため、タイマの最初のカウント・クロックが短くなる場合があります。

たとえば、インターバル・タイマとして使用する場合は、1回目のインターバル時間が最大1カウント・クロック分だけ短くなります。2回目以降は、指定した間隔どおりになります。

図9 - 16 カウント・スタート時の動作



(2) タイマ4が動作している期間(タイマ・モード・コントロール・レジスタ4(TMC4)のCE4ビットがセットされているとき)、次のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウェアの機能の変化と、書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

次のレジスタの内容を書き換える場合は、安全のため必ずカウンタ動作を停止させてから行ってください。

- ・タイマ・モード・コントロール・レジスタ4(TMC4)のCLR40, CLR41ビット
- ・プリスケーラ・モード・レジスタ4(PRM4)

(3) タイマ・レジスタ4 (TM4) の動作を停止させる命令実行時にコンペア・レジスタ (CM4n : n = 0 , 1) とTM4の内容が一致した場合、TM4のカウント動作は停止しますが、割り込みの要求は発生しません。

TM4の動作を停止する場合に割り込みを発生させたくないときは、先に割り込みマスク・レジスタで割り込みをマスクしてからTM4を停止させてください。

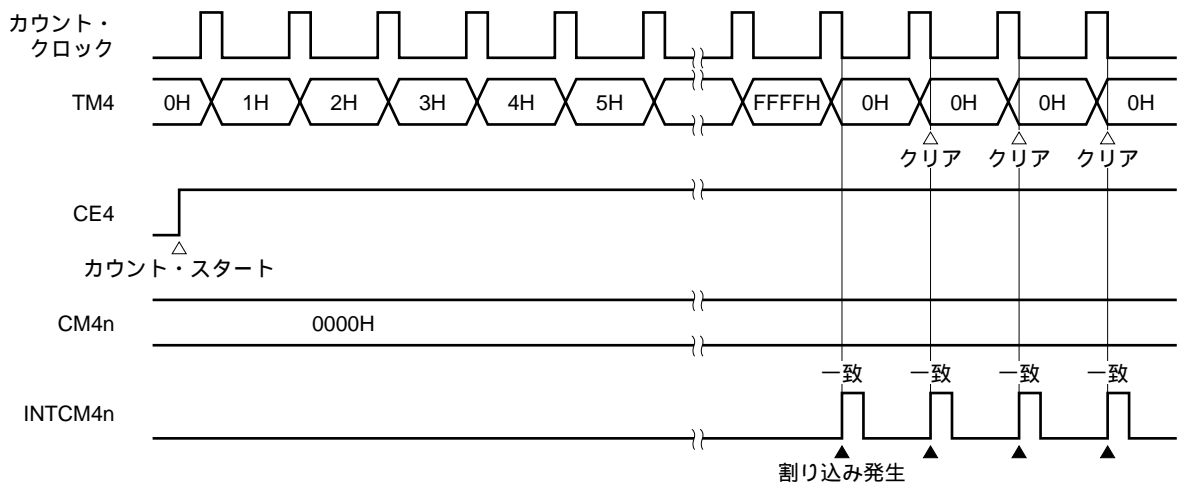
例

割り込み要求が発生する可能性のあるプログラム : CLR1 CE4 OR MK1L, #03H :	この間でタイマ4からの割り込み要求発生	割り込み要求が発生しないプログラム : OR MK1L, #03H CLR1 CE4 CLR1 CMIF40 CLR1 CMIF41 :	タイマ4からの割り込み禁止 タイマ4からの割り込み要求フラグをクリア
---	---------------------	--	---------------------------------------

(4) タイマ・レジスタ4 (TM4) とコンペア・レジスタ (CM4n : n = 0 , 1) の一致の検出は、TM4がインクリメントされたときのみ行われます。したがって、TM4と同じ値をCM4nへ書き込んでも割り込みの要求は発生しません。

(5) コンペア・レジスタ (CM40, CM41) に0000Hを設定した場合、コンペア動作はカウント後に行います。したがって、カウント・スタート直後には一致割り込み (INTCM40, INTCM41) は発生しません。CM4n (n = 0 , 1) に0000Hを設定した場合は、FFFFHまでカウント・アップしタイムがオーバーフローしたあとで、一致割り込みINTCM4n (n = 0 , 1) が発生します。

図9 - 17 コンペア・レジスタ (CM40, CM41) に0000Hを設定した場合の動作



備考 n = 0 , 1

第10章 ウォッチドッグ・タイマ

ウォッチドッグ・タイマは、プログラムの暴走を検出するためのタイマです。

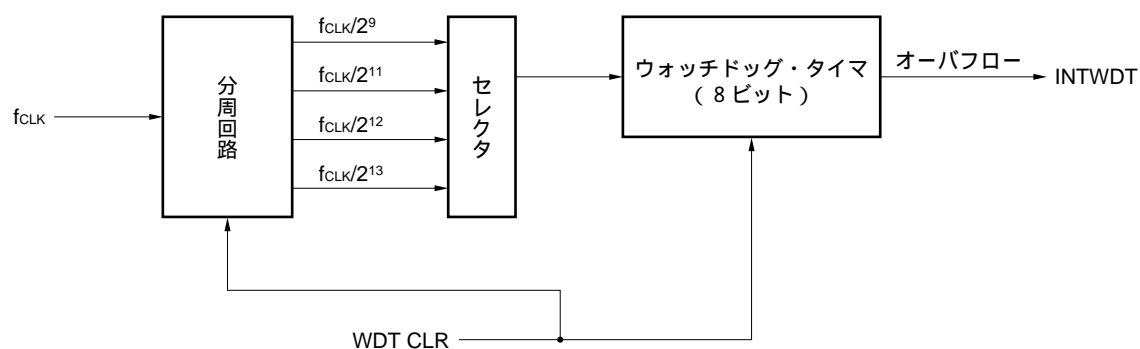
ウォッチドッグ・タイマ割り込みの発生で、プログラムまたはシステムが異常であることを検出します。そのため、プログラムの各所に、一定時間以内にウォッチドッグ・タイマをクリア（カウント開始）する命令を入れておきます。

ウォッチドッグ・タイマをクリアする命令が、設定した時間内に実行されずにウォッチドッグ・タイマがオーバーフローすると、ウォッチドッグ・タイマ割り込み（INTWDT）が発生し、プログラムの異常を知らせます。

10.1 構成

図10 - 1 に、ウォッチドッグ・タイマのブロック図を示します。

図10 - 1 ウォッチドッグ・タイマのブロック図



10.2 ウォッチドッグ・タイマ・モード・レジスタ (WDM)

WDMは、ウォッチドッグ・タイマの動作を制御する8ビット・レジスタです。

プログラムの暴走によってウォッチドッグ・タイマが誤ってクリアされないように、専用命令によってのみ書き込みができます。この専用命令は、MOV WDM, byte命令で特殊なコード構成(4バイト)になっています。3バイト目と4バイト目のオペコードが互いに補数の場合のみ、書き込みが行われます。

また、3バイト目と4バイト目のオペコードが互いに補数でなければ書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

オペランド・エラー割り込みは、プログラムが暴走している場合にのみ発生する(当社製アセンブラRA78K4では、MOV WDM, byteと記述された場合、正しい専用命令しか生成しません)ので、システムの初期化をプログラムで行うようにしてください。

他の書き込み命令(MOV WDM, A, AND WDM, byte, SET1 WDM.7など)は無視され、何の動作も行いません。すなわち、WDMへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。

システム・リセット($\overline{\text{RESET}}$ 入力)後、いったんウォッチドッグ・タイマをスタートさせると(RUNビットをセット(1)すると)、WDMの内容を変更できません。ウォッチドッグ・タイマを停止させることができるのはリセットのみです。ウォッチドッグ・タイマのクリアは、専用命令によりいつでもできます。

WDMの読み出しは、データ転送命令によりいつでもできます。

$\overline{\text{RESET}}$ 入力により、WDMは00Hになります。

図10-2に、WDMのフォーマットを示します。

図10 - 2 ウォッチドッグ・タイマ・モード・レジスタ (WDM) のフォーマット

アドレス : 0FFC2H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
WDM	RUN	0	0	PRC	0	WDI2	WDI1	0

RUN	ウォッチドッグ・タイマの動作の指定
0	ウォッチドッグ・タイマの停止
1	ウォッチドッグ・タイマをクリアし、カウントを開始

PRC	ウォッチドッグ・タイマの割り込み要求の優先順位
0	ウォッチドッグ・タイマの割り込み要求 < NMI端子入力の割り込み要求
1	ウォッチドッグ・タイマの割り込み要求 > NMI端子入力の割り込み要求

WDI2	WDI1	カウント・クロック	オーバーフロー時間 [ms]	
			f _{CLK} = 12.5 MHz	f _{CLK} = 16.0 MHz
0	0	f _{CLK} /2 ⁹	10.5	8.2
0	1	f _{CLK} /2 ¹¹	41.9	32.8
1	0	f _{CLK} /2 ¹²	83.9	65.5
1	1	f _{CLK} /2 ¹³	167.8	131.1

備考 f_{CLK} : 内部システム・クロック

注意 1 . ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, byte) でのみ書き込みが可能です。

2 . RUNビットをセット (1) するためのWDMへの書き込みには、毎回、同じ値を書き込んでください。異なる値を書いても1回目に書き込んだ内容を変更できません。

3 . RUNビットは、いったんセット (1) するとソフトウェアではリセット (0) できません。

10.3 動作

10.3.1 カウント動作

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・モード・レジスタ (WDM) のRUNビットをセット (1) することによりクリアされ、カウント動作を開始します。RUNビットをセット (1) したあと、WDMのWDI2, WDI1ビットで指定されたオーバフロー時間が経過すると、ノンマスクカブルな割り込みである割り込み (INTWDT) を発生します。

オーバフロー時間が経過する前にRUNビットを再度セット (1) すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

10.3.2 割り込み優先順位

ウォッチドッグ・タイマ割り込み (INTWDT) は、マスク不可能な割り込みです。マスク不可能な割り込みには、INTWDTのほかにNMI端子からの割り込み (NMI) があります。ウォッチドッグ・タイマ・モード・レジスタ (WDM) のビット4の設定により、INTWDTとNMIが同時に発生した場合の受け付け順序を指定することができます。

NMIの受け付けを優先している場合で、NMIの処理プログラムを実行中にINTWDTが発生しても、INTWDTは受け付けられず、NMIの処理プログラム終了後に受け付けられます。

10.4 注意事項

10.4.1 ウォッチドッグ・タイマ使用時の一般的な注意事項

(1) ウォッチドッグ・タイマは、暴走を検出するための手段の1つですが、すべての暴走を検出できるわけではありません。したがって、特に信頼性の要求される装置では、内蔵のウォッチドッグ・タイマだけでなく、外付けの回路により暴走を早期に検出し、正常状態に復帰、または安全な状態にして動作を停止させるなどの処理ができるようにする必要があります。

(2) 次のような場合、ウォッチドッグ・タイマは暴走を検出できません。

ウォッチドッグ・タイマのクリアを、タイマ割り込み処理プログラム内で行っている場合
割り込み要求およびマクロ・サービスが一時的に保留される場合(14.9参照)が連続して発生している場合

プログラムの論理的な誤りにより暴走している場合(プログラムの各モジュールは正常に動作しているが、全体として正常に動作していない場合)で、ウォッチドッグ・タイマを定期的にクリアしている場合

暴走時に実行している命令群で、定期的にウォッチドッグ・タイマをクリアしている場合
暴走の結果、STOPモード、HALTモードまたはIDLEモードになってしまった場合
CPUが外来ノイズで暴走したときにウォッチドッグ・タイマも暴走してしまった場合

、 の場合は、プログラムを修正することで検出を可能にすることができます。

の場合は、ウォッチドッグ・タイマがクリアできるのは4バイトの専用命令だけです。 も同様に4バイトの専用命令でなければSTOPモード、HALTモードまたはIDLEモードにすることができません。また、暴走の結果、 の状態になるためには、3バイト以上の連続したデータが特定パターン(例 BT PSQL bit, \$\$など)になっている必要があります。したがって、 および暴走の結果、 の状態になることが発生するのはきわめてまれであると考えられます。

10.4.2 μ PD784054のウォッチドッグ・タイマに関する注意事項

- (1) ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, byte) でのみ書き込みが可能です。
- (2) RUNビットをセット (1) するためのウォッチドッグ・タイマ・モード・レジスタ (WDM) への書き込みには、毎回、同じ値を書き込んでください。異なる値を書いても1回目に書き込んだ内容を変更できません。
- (3) RUNビットは、いったんセット (1) するとソフトウェアではリセット (0) できません。

第11章 A/Dコンバータ

μPD784054は、16マルチプレクスト・アナログ入力（ANI0-ANI15）を持つアナログ/デジタル（A/D）コンバータを内蔵しています。

変換方式は逐次比較で、変換結果を10ビットのA/D変換結果レジスタ（ADCR0-ADCR7）に保持します。このため、高速で高精度な変換を行います（変換時間13 μs：f_{CLK} = 16 MHz，高速変換の場合）。

A/D変換動作の起動には、次のモードがあります。

- ・ハードウェア・スタート：トリガ入力（INTP4）により変換開始。
- ・ソフトウェア・スタート：A/Dコンバータ・モード・レジスタ（ADM）のビット設定により変換開始。

また、起動後の動作には、次のモードがあります。

- ・スキャン・モード：複数のアナログ入力を順次選択し、全端子からの変換データを得ます。
- ・セレクト・モード：アナログ入力を1端子に固定し、連続的な変換値を得ます。

以上のモードと変換動作の停止は、すべてADMで指定します。

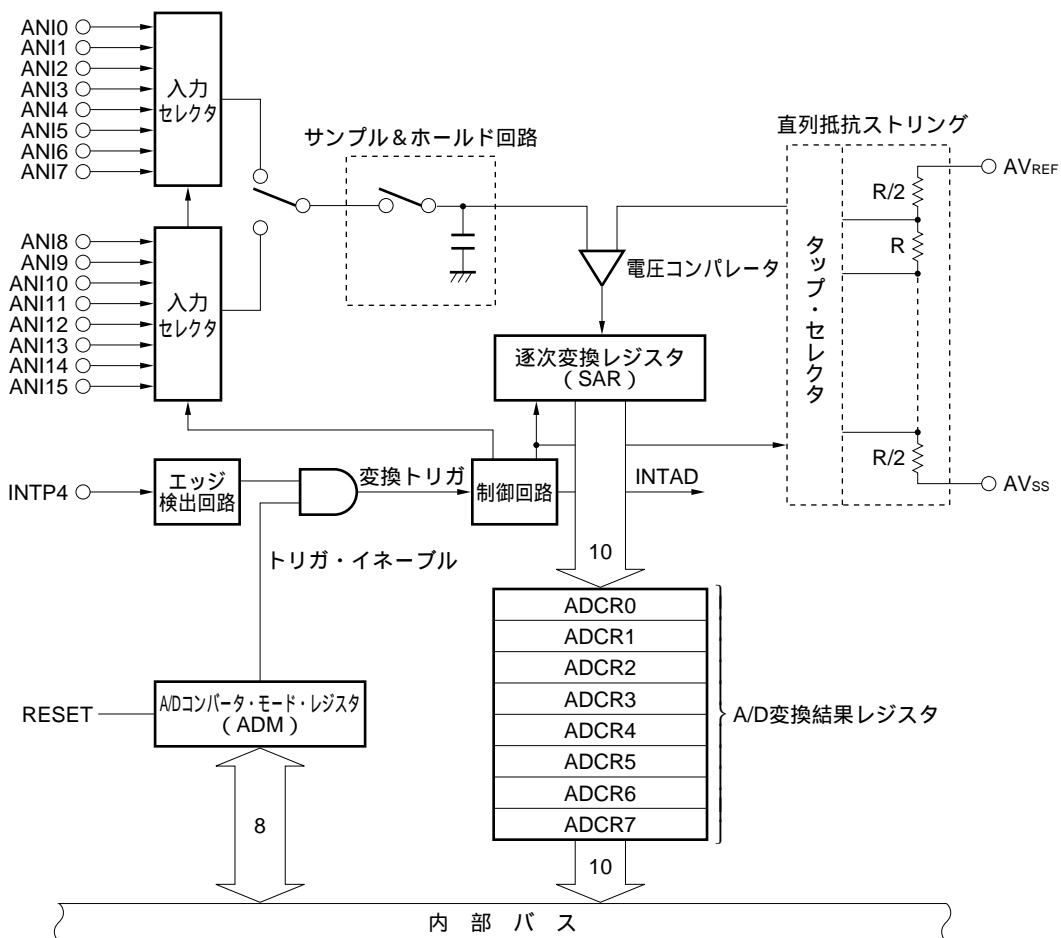
各モードともA/D変換が終了するごとに、変換結果をADCR_n（n = 0-7）に保持します。また、A/D変換が終了すると、A/D変換終了割り込み要求（INTAD）を発生します。この割り込みにより、データの自動転送などをハードウェアで実行するマクロ・サービスを起動できます。

11.1 構成

図11-1に、A/Dコンバータのブロック図を示します。

A/Dコンバータのアナログ入力の上位8チャンネル（ANI8-ANI15）と下位8チャンネル（ANI0-ANI7）の切り替えは、A/Dコンバータ・モード・レジスタ（ADM）で行います。

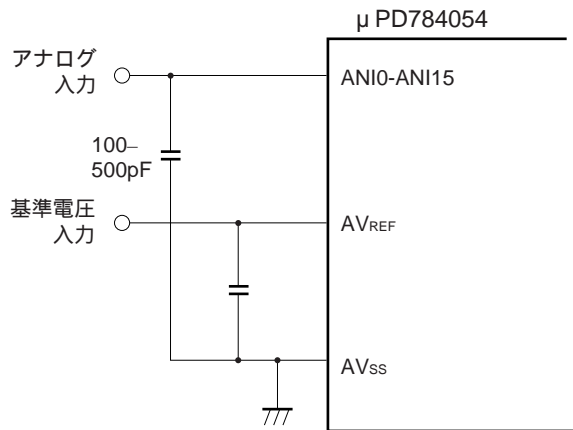
図11-1 A/Dコンバータのブロック図



注意 1 . アナログ入力端子 (ANI0-ANI15) および基準電圧入力端子 (AV_{REF}) には、ノイズによる誤動作を防ぐため、 AV_{SS} との間にキャパシタを接続してください。

また、キャパシタは必ずANI0-ANI15および AV_{REF} の近くに接続してください。

図11 - 2 A/Dコンバータ用端子のキャパシタ接続例



2 . A/Dコンバータの入力端子として使用している端子には、 AV_{SS} - AV_{REF} の範囲外の電圧が加わらないようにしてください。詳細については、11.5 注意事項を参照してください。

(1) 入力回路

入力回路は、A/Dコンバータ・モード・レジスタ (ADM) の指定によりアナログ入力を選択し、動作モードに従ってアナログ入力をサンプル&ホールド回路に送ります。

(2) サンプル&ホールド回路

サンプル&ホールド回路は、順次送られてくるアナログ入力を1つ1つサンプリングし、A/D変換中のアナログ入力を保持します。

(3) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの電圧タップとの電圧差を比較します。

(4) 直列抵抗ストリング

直列抵抗ストリングは、アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは、A/Dコンバータ用の基準電圧端子 (AV_{REF}) とA/Dコンバータ用のGND端子 (AV_{SS}) 間に接続されています。2端子間を1024の等価な電圧ステップにするため、等価な抵抗1023個とその1/2の抵抗値の抵抗2個で構成されています。

直列抵抗ストリングの電圧タップは、逐次変換レジスタ (SAR) で制御されるタップ・セレクタによって選択します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARは、直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを、最上位ビット (MSB) から 1 ビットずつ設定する10ビット・レジスタです。

SARの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARの内容 (変換結果) は、A/D変換結果レジスタ (ADCRn : n = 0-7) に保持されます。

(6) エッジ検出回路

エッジ検出回路は、割り込み要求入力端子 (INTP4) の入力から有効エッジを検出して、外部割り込み要求信号 (INTP4) とA/D変換動作の外部トリガを発生します。

INTP4端子入力の有効エッジは、外部割り込みモード・レジスタ1 (INTM1) で指定します (図13 - 2 参照)。外部トリガの許可/禁止は、A/Dコンバータ・モード・レジスタ (ADM) で設定します (11.2 A/Dコンバータ・モード・レジスタ (ADM) 参照)。

11.2 A/Dコンバータ・モード・レジスタ (ADM)

ADMは、A/Dコンバータの動作を制御する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図11-3に、ADMのフォーマットを示します。

ビット0-ビット2 (ANIS0-ANIS2)は、A/D変換するアナログ入力を選択するビットです。

ビット3 (PS)は、アナログ入力端子としてANI0-ANI7 (下位8チャンネル)を使用するか、ANI8-ANI15 (上位8チャンネル)を使用するかを切り替えるビットです。下位8チャンネルと上位8チャンネルは、まったく同一の機能を持っています。

ビット5 (AM0)、ビット6 (AM1)は、A/D変換の動作モードを制御するビットです。AM0ビットおよびAM1ビットをクリア(0)すると、変換中であってもすべての変換動作を中止します。このとき、ADCRn (n=0-7)の更新、INTAD割り込み要求は発生しません。また、電圧コンパレータへの電源供給を停止し、A/Dコンバータでの消費電流を減らします。

ビット7 (TRG)は、A/D変換動作の外部同期を許可するビットです。AM0ビットまたはAM1ビットがセット(1)されているとき、TRGビットをセット(1)すると、INTP4端子に外部トリガとして有効エッジを入力することに変換動作を初期化します。TRGビットをクリア(0)すると、INTP4端子入力に関係なく変換動作を行います。

変換動作中にADMに対する書き込み操作を行うと、変換動作は初期化されて最初から変換を行います。

$\overline{\text{RESET}}$ 入力により00Hとなります。

注意 STOPモード、IDLEモードを使用する場合は、STOPモード、IDLEモードに入る前にAM0ビットおよびAM1ビットをクリア(0)して消費電流が下がるようにしてください。AM0ビットまたはAM1ビットがセット(1)されたままだと、STOPモード、IDLEモードに入ることにより変換動作は止まりますが、電圧コンパレータへの電源供給は止まりませんので、A/Dコンバータでの消費電流は減りません。

図11 - 3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス : 0FF6EH リセット時 : 00H R/W

	7	6	5	4	③	2	1	0
ADM	TRG	AM1	AM0	FR	PS	ANIS2	ANIS1	ANIS0

TRG	外部トリガの制御	
0	外部トリガ禁止	
1	外部トリガ許可	

AM1	AM0	A/D変換動作モードの指定	
0	0	変換動作停止	
0	1	スキャン・モード	
1	0	セレクト・モード	1バッファ・モード
1	1		4バッファ・モード

FR	変換動作時間の切り替え
0	208クロック (f _{CLK} > 12.5 MHz)
1	169クロック (f _{CLK} ≤ 12.5 MHz)

PS	アナログ入力端子の切り替え
0	ANI0-ANI7 (ポート7)
1	ANI8-ANI15 (ポート8)

ANIS2	ANIS1	ANIS0	アナログ入力の選択	
			セレクト・モード時	スキャン・モード時
0	0	0	ANI0/ANI8	ANI0/ANI8
0	0	1	ANI1/ANI9	ANI0/ANI8, ANI1/ANI9
0	1	0	ANI2/ANI10	ANI0/ANI8-ANI2/ANI10
0	1	1	ANI3/ANI11	ANI0/ANI8-ANI3/ANI11
1	0	0	ANI4/ANI12	ANI0/ANI8-ANI4/ANI12
1	0	1	ANI5/ANI13	ANI0/ANI8-ANI5/ANI13
1	1	0	ANI6/ANI14	ANI0/ANI8-ANI6/ANI14
1	1	1	ANI7/ANI15	ANI0/ANI8-ANI7/ANI15

備考 f_{CLK} : 内部システム・クロック

表11 - 1 FRビットの設定による変換時間

内部システム・クロック : f_{CLK} (MHz)	16	14	12.5	10
FRビット	0	0	1	1
変換時間 (μs)	13	14.9	13.5	16.9

注意 A/Dコンバータは、一度動作を開始すると、A/Dコンバータ・モード・レジスタ (ADM) のAM0ビットおよびAM1ビットをクリア (0) するまで変換動作を繰り返し行います。したがって、A/Dコンバータのモード変換時などに、割り込みに関するレジスタなどの設定後にADMの設定を行った場合、不要な割り込みが発生することがあります。この不要な割り込みにより、スキャン・モード使用時には変換結果の格納アドレスがずれたように見えます。また、セレクト・モード使用時には、1回目の変換結果が他チャンネルの変換結果などの異常な値になったように見えます。A/Dコンバータのモード変換は、次の手順で行うことをお勧めします。

ADMへの書き込み

割り込み要求フラグ (ADIF) のクリア (0)

割り込みマスク・フラグの設定

~ の操作は、割り込みやマクロ・サービスによって分断されないようにしてください。

または次の手順で行うことをお勧めします。

ADMのAM0ビットおよびAM1ビットをクリア (0) することにより、A/D変換動作を停止

割り込み要求フラグ (ADIF) のクリア (0)

割り込みマスク・フラグの設定

ADMへの書き込み

11.3 A/D変換結果レジスタ (ADCR0-ADCR7)

μPD784054では、A/D変換結果格納レジスタとして8本の10ビットA/D変換結果レジスタ (ADCR0-ADCR7) を備えています。

ADCRn (n=0-7) は、16ビット操作命令および8ビット操作命令で、それぞれ独立に読み出しのみ可能です。

ADCRnから変換結果を読み出すには、次の2通りの方法があります。

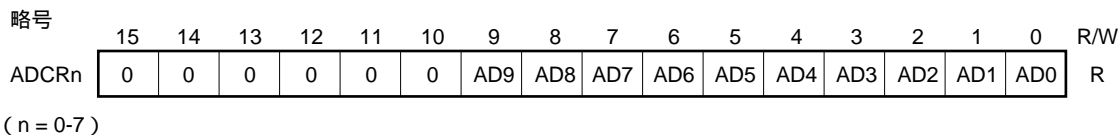
(1) ワード・アクセス (16ビット操作命令実行)

読み出したワード・データのうち、下位10ビットが有効データとなります。

上位6ビットには、常に“0”が読み出されます。

図11-4にADCRnへのワード・アクセスの様子を示します。

図11-4 A/D変換結果レジスタへのワード・アクセス



略号	アドレス	リセット時
ADCR0	0FF70H	不定
ADCR1	0FF72H	
ADCR2	0FF74H	
ADCR3	0FF76H	
ADCR4	0FF78H	
ADCR5	0FF7AH	
ADCR6	0FF7CH	
ADCR7	0FF7EH	

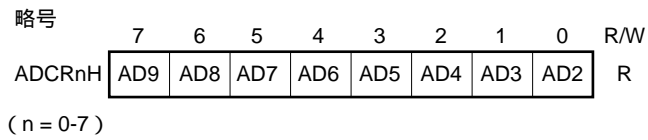
備考 AD0-AD9 : A/D変換結果

(2) バイト・アクセス (8ビット操作命令実行)

A/D変換結果の10ビット・データのうち、上位8ビットが読み出されます。

図11 - 5 にADCRnへのバイト・アクセスの様子を示します。

図11 - 5 A/D変換結果レジスタへのバイト・アクセス



略号	アドレス	リセット時
ADCR0H	0FF71H	不定
ADCR1H	0FF73H	
ADCR2H	0FF75H	
ADCR3H	0FF77H	
ADCR4H	0FF79H	
ADCR5H	0FF7BH	
ADCR6H	0FF7DH	
ADCR7H	0FF7FH	

備考 AD2-AD9 : A/D変換結果 (10ビットの上位8ビット)

11.4 動作

11.4.1 A/Dコンバータの基本動作

(1) A/D変換動作手順

A/D変換は、次のような手順で行います。

- (a) アナログ入力の選択と動作モードの指定をA/Dコンバータ・モード・レジスタ(ADM)によって設定し、AD変換を開始させます。
- (b) 変換開始とともに逐次変換レジスタ(SAR)の最上位ビット(ビット9)が自動的にセット(1)されます。
- (c) SARのビット9がセット(1)されるとタップ・セレクタは、直列抵抗ストリングの電圧タップを $\frac{1023}{2048} AV_{REF}$ ($\frac{1}{2} AV_{REF}$) にします。
- (d) 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログが $(1/2) AV_{REF}$ よりも大きければ、SARのMSBをセット(1)したままです。また、もし $(1/2) AV_{REF}$ よりも小さければ、MSBをクリア(0)します。
- (e) 次にSARのビット8が自動的にセット(1)され、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

$$\cdot \text{ビット}9 = 1 \dots\dots \frac{1535}{2048} AV_{REF} \quad \frac{3}{4} AV_{REF}$$

$$\cdot \text{ビット}9 = 0 \dots\dots \frac{511}{2048} AV_{REF} \quad \frac{1}{4} AV_{REF}$$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット8が次のように操作されます。

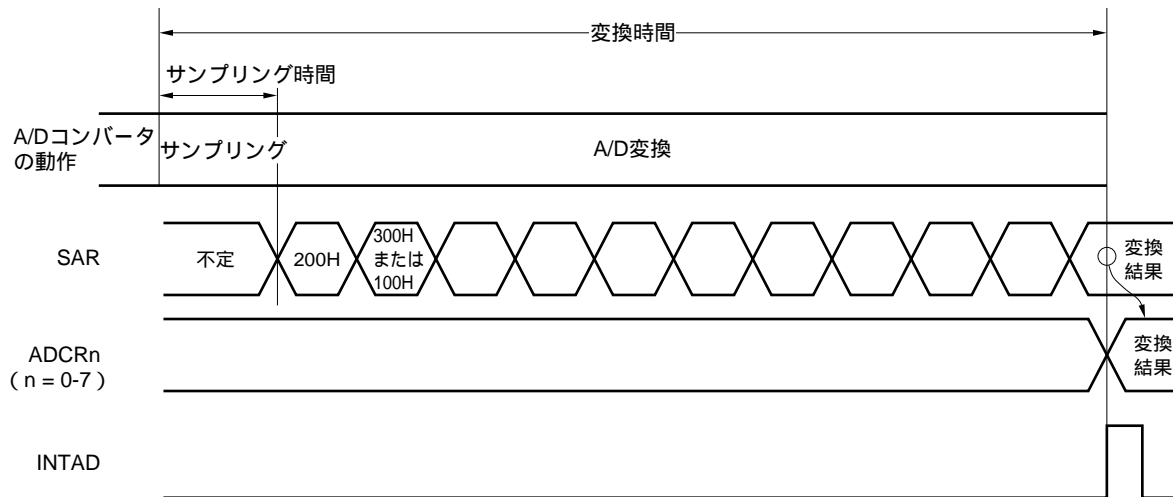
- ・アナログ入力電圧 > 電圧タップ : ビット8 = 1
- ・アナログ入力電圧 < 電圧タップ : ビット8 = 0

- (f) このような比較をSARの最下位ビット(ビット0)まで続けます(バイナリ・サーチ法)。

(g) 10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR0-ADCR7) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

図11 - 6 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりAM0ビットおよびAM1ビットをクリア (0) するまで連続的に行われます。

A/D変換動作中に、ADMに対する書き込み操作を行うと変換動作は初期化され、AM0ビットまたはAM1ビットがセット (1) されていれば、最初から変換を開始します。

ADCRn (n = 0-7) は、 $\overline{\text{RESET}}$ により不定となります。

(2) 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI15) に入力されたアナログ入力電圧とA/D変換結果 (ADCRnに格納された値) には次式に示す関係があります。

$$ADCRn = \text{INT} \left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

または,

$$\left(ADCRn - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{IN} < \left(ADCRn + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

備考 INT () : () 内の値の整数部を返す関数

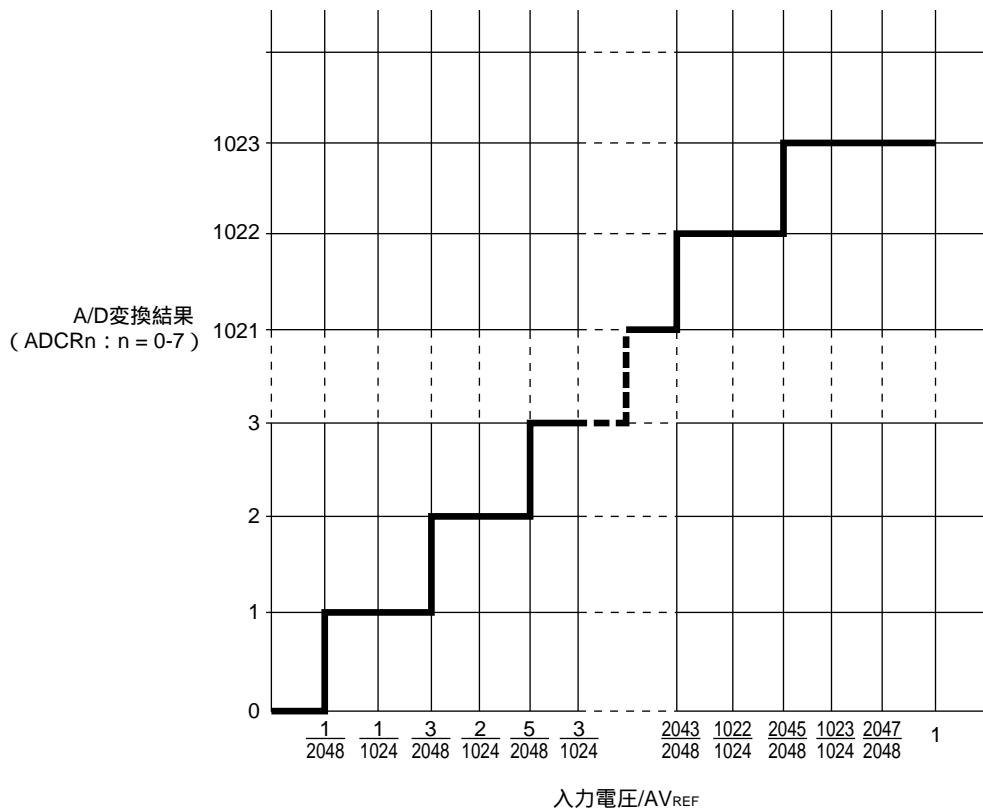
V_{IN} : アナログ入力電圧

AV_{REF} : AV_{REF} 端子電圧

$ADCRn$: ADCRn (n = 0-7) の値

図11 - 7 に, アナログ入力電圧とA/D変換結果の関係を示します。

図11 - 7 アナログ入力電圧とA/D変換結果の関係



(3) A/D変換の変換時間

A/D変換の変換時間は、システム・クロック周波数 (f_{CLK}) とA/Dコンバータ・モード・レジスタ (ADM) のFRビットによって決定されます。

A/D変換時間は、1回のA/D変換に必要なすべての時間を含んでおり、サンプリング時間も変換時間に含まれます。

表11 - 2 に、その値を示します。

表11 - 2 A/D変換時間

システム・クロック (f_{CLK}) の範囲	FRビット	変換時間
$f_{CLK} > 12.5 \text{ MHz}$	0	208クロック
$f_{CLK} \leq 12.5 \text{ MHz}$	1	169クロック

(4) A/Dコンバータの動作モード

A/Dコンバータの動作モードには、セレクト・モードとスキャン・モードがあります。各モードは、A/Dコンバータ・モード・レジスタ (ADM) のビット5 (AM0)、ビット6 (AM1) の設定により選択します。

各モードの動作は、ADMが書き換えられるまで続けられます。

11.4.2 セレクト・モード

A/Dコンバータ・モード・レジスタ (ADM) のビット0-ビット2 (ANIS0-ANIS2) により1つのアナログ入力を指定し、指定されたアナログ入力のA/D変換を開始します。変換結果をアナログ入力に対応したA/D変換結果レジスタに格納します。

セレクト・モードでは、A/D変換結果の格納法により、次の2つのモードを備えています。

- ・ 1バッファ・モード
- ・ 4バッファ・モード

(1) 1バッファ・モード

1つのアナログ入力を1回A/D変換し、その結果を1つのA/D変換結果レジスタに格納します。アナログ入力とA/D変換結果レジスタは、1対1に対応しています (表11-3参照)。

なお、1回の変換動作が終了するごとにA/D変換終了割り込み要求 (INTAD) を発生します。

表11-3 アナログ入力とA/D変換結果レジスタの対応
(セレクト・モード：1バッファ・モード)

アナログ入力	A/D変換結果レジスタ
ANI0/ANI8	ACDR0
ANI1/ANI9	ADCR1
ANI2/ANI10	ACDR2
ANI3/ANI11	ADCR3
ANI4/ANI12	ACDR4
ANI5/ANI13	ADCR5
ANI6/ANI14	ACDR6
ANI7/ANI15	ADCR7

図11-8 セレクト・モード (1バッファ・モード) の動作タイミング (1/2)

(a) TRGビット 0

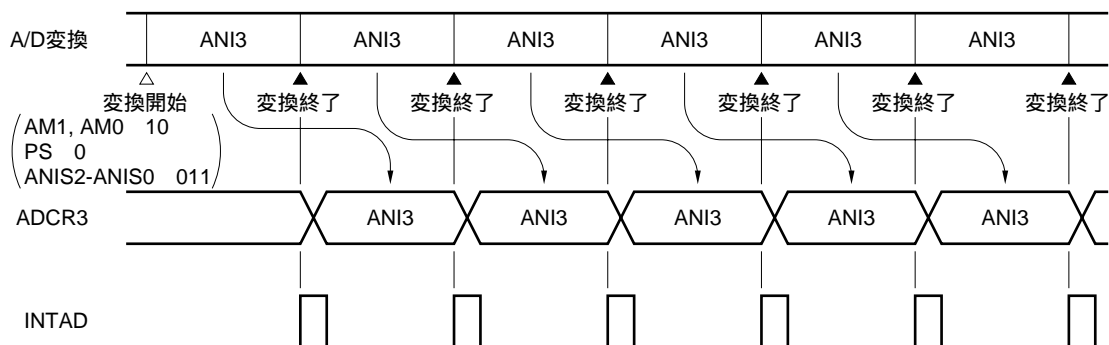
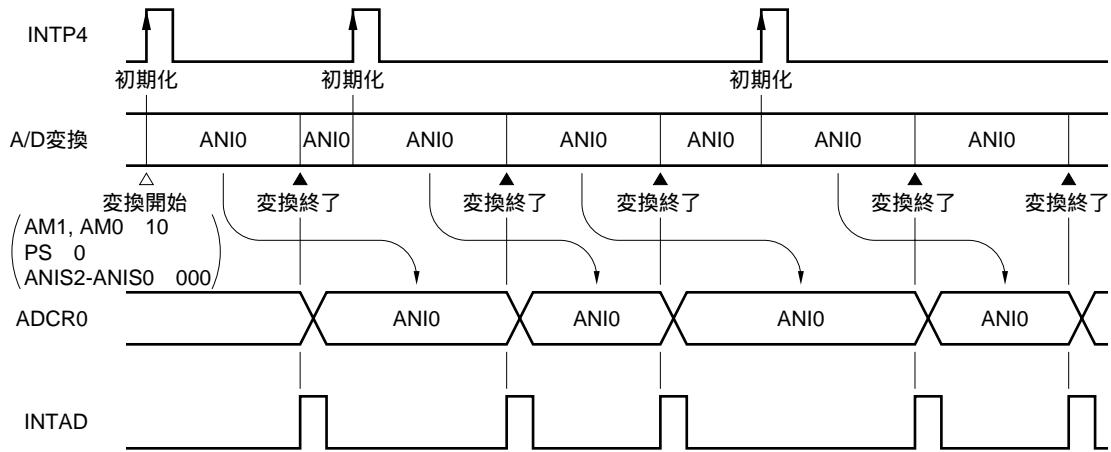


図11 - 8 セレクト・モード (1バッファ・モード) の動作タイミング (2/2)

(b) TRGビット 1



(2) 4バッファ・モード

1つのアナログ入力を4回A/D変換し、その結果を4つのA/D変換結果レジスタに格納します。ANIO-ANI3 (ANI8-ANI11) のいずれか1つのアナログ入力を選択すると、A/D変換結果レジスタADCR0-ADCR3に変換結果が格納されます。同様にANI4-ANI7 (ANI12-ANI15) のいずれか1つのアナログ入力を選択すると、A/D変換結果レジスタADCR4-ADCR7に変換結果が格納されます (表11 - 4参照)。

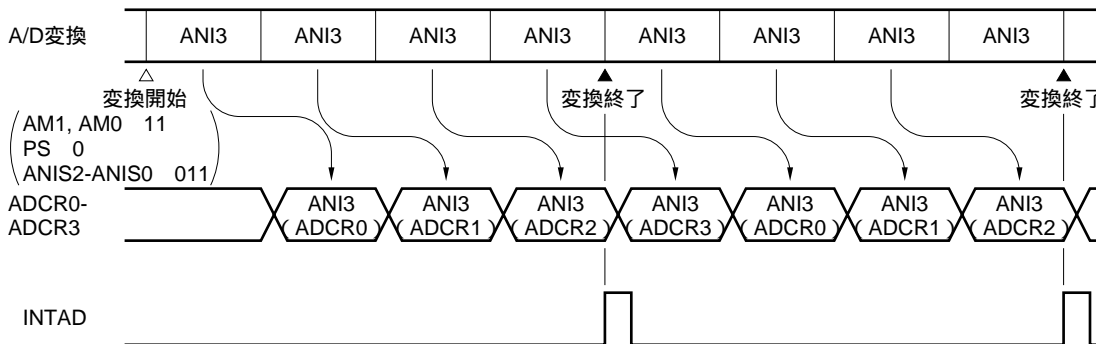
なお、4回のA/D変換が終了するごとにA/D変換終了割り込み要求 (INTAD) を発生します。

表11 - 4 アナログ入力とA/D変換結果レジスタの対応
(セレクト・モード: 4バッファ・モード)

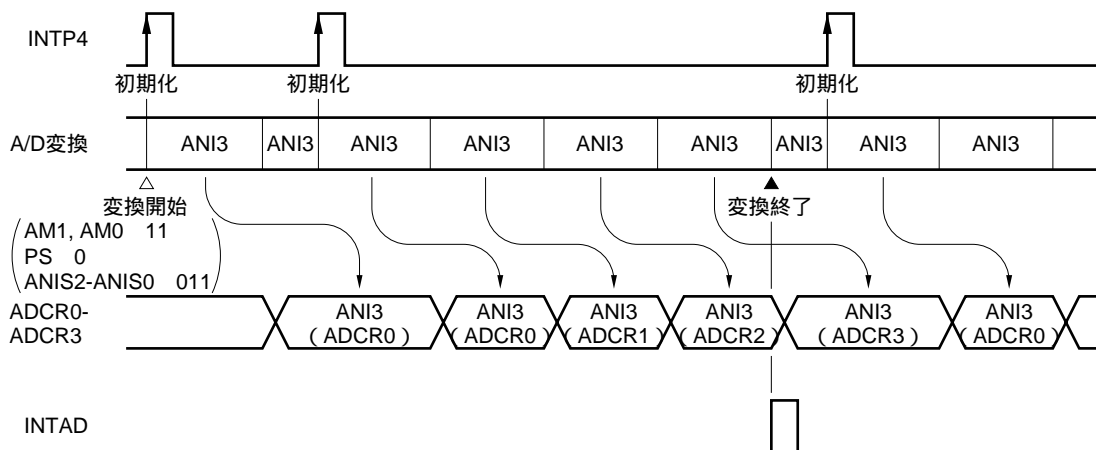
アナログ入力	A/D変換結果レジスタ
ANIO/ANI8	ADCR0-ADCR3
ANI1/ANI9	
ANI2/ANI10	
ANI3/ANI11	
ANI4/ANI12	ADCR4-ADCR7
ANI5/ANI13	
ANI6/ANI14	
ANI7/ANI15	

図11-9 セレクト・モード(4バッファ・モード)の動作タイミング

(a) TRGビット 0



(b) TRGビット 1



11.4.3 スキャン・モード

ANI0端子入力から、A/Dコンバータ・モード・レジスタ (ADM) のANIS0ビット-ANIS2ビットで指定されるアナログ入力までを順に選択し、A/D変換します。A/D変換結果は、アナログ入力に1対1に対応しているA/D変換結果レジスタに格納します (表11-5参照)。

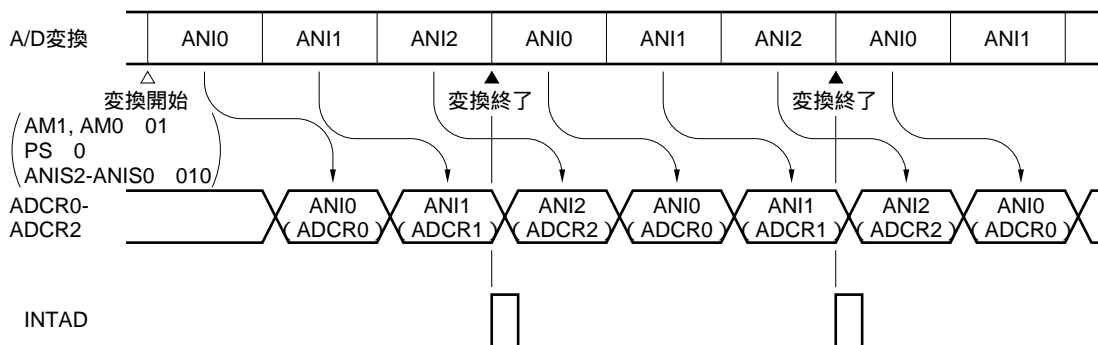
なお、指定したアナログ入力のA/D変換がすべて終了すると、A/D変換終了割り込み要求 (INTAD) が発生します。

表11 - 5 アナログ入力とA/D変換結果レジスタの対応 (スキャン・モード)

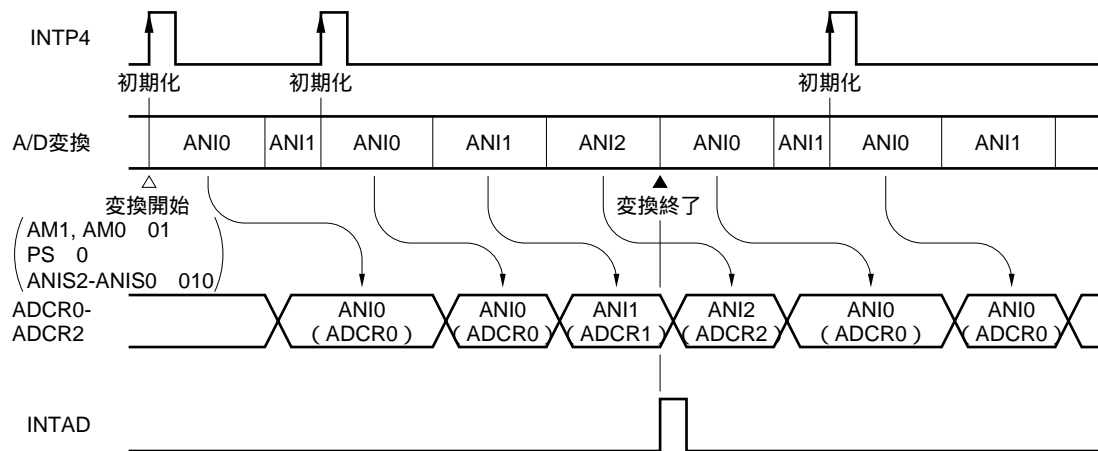
アナログ入力	A/D変換結果レジスタ
ANI0/ANI8	ADCR0
ANI1/ANI9	ADCR1
ANI2/ANI10	ADCR2
ANI3/ANI11	ADCR3
ANI4/ANI12	ADCR4
ANI5/ANI13	ADCR5
ANI6/ANI14	ADCR6
ANI7/ANI15	ADCR7

図11 - 10 スキャン・モードの動作タイミング

(a) TRGビット 0



(b) TRGビット 1



11.4.4 ソフトウェア・スタートによるA/D変換動作の起動

ソフトウェアによるA/D変換動作のスタートは、A/Dコンバータ・モード・レジスタ (ADM) のTRGビットを0、AM0ビットまたはAM1ビットを1とする値をADMへ書き込むことで行います。

A/D変換動作中 (AM0ビットまたはAM1ビット=1) に、再度TRGビットが0でAM0ビットまたはAM1ビットが1になるような値をADMに書き込むと、そのとき行っていたA/D変換動作を中断し、書き込まれた値に応じたA/D変換をただちに開始します。

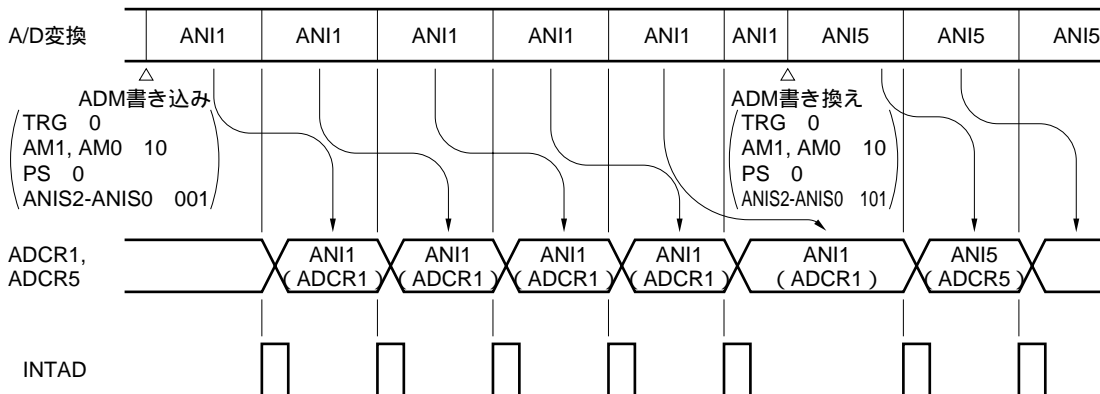
A/D変換動作が一度起動されると、1回のA/D変換動作が終了するとただちにADMで設定された動作モードに従って、次のA/D変換動作を開始し、ADMに対する書き込み命令が実行されるまで繰り返し変換動作を続けます。

ソフトウェアによってA/D変換動作が起動された場合 (TRGビット=0) は、INTP4端子 (P25端子) 入力は、A/D変換動作に影響を与えません。

(1) セレクト・モード (1バッファ・モード) のA/D変換動作の場合

A/Dコンバータ・モード・レジスタ (ADM) で設定されたアナログ入力のA/D変換動作を起動します。A/D変換動作が終了すると、再度、同一アナログ入力のA/D変換動作を行います。A/D変換が終了するたびに、A/D変換終了割り込み要求 (INTAD) が発生します。

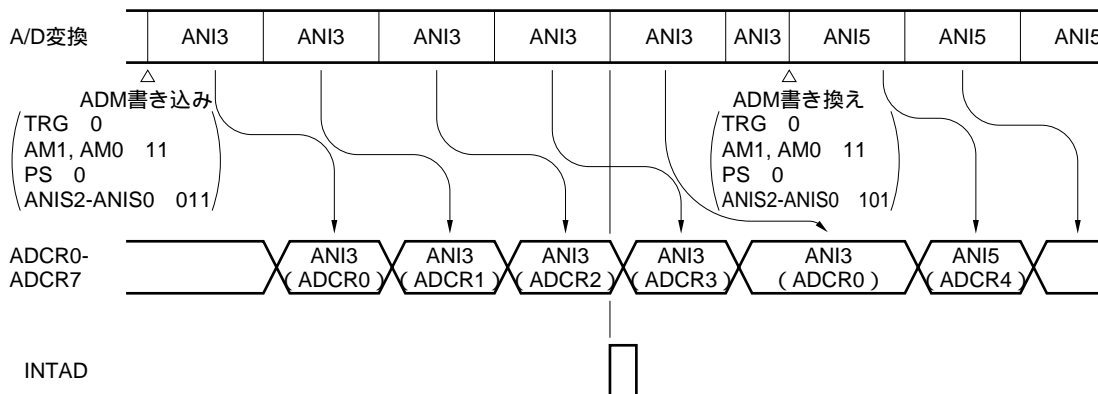
図11-11 ソフトウェア・スタートによるセレクト・モード (1バッファ・モード) のA/D変換動作



(2) セレクト・モード (4バッファ・モード) のA/D変換動作の場合

A/Dコンバータ・モード・レジスタ (ADM) で設定されたアナログ入力のA/D変換動作を起動します。1つのアナログ入力を4回A/D変換します。4回のA/D変換が終了すると、再度、同一アナログ入力のA/D変換を4回行います。4回のA/D変換が終了するたびに、A/D変換終了割り込み要求 (INTAD) が発生します。

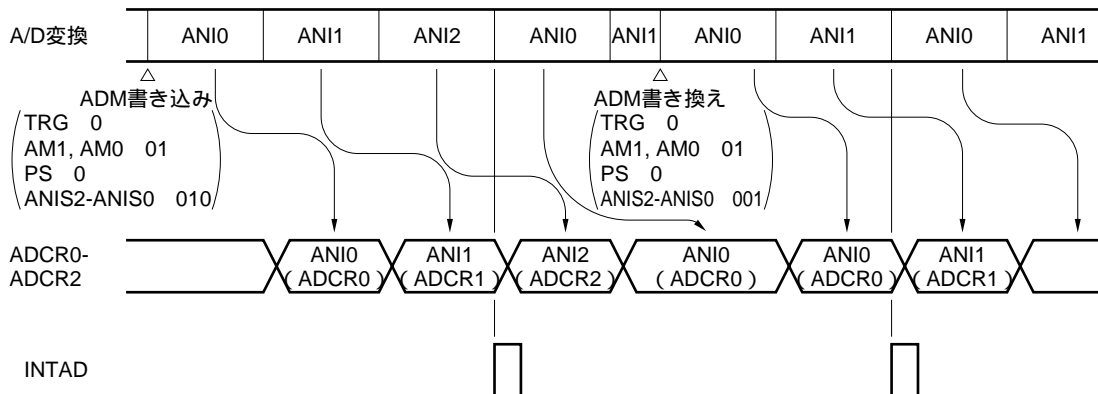
図11 - 12 ソフトウェア・スタートによるセレクト・モード (4バッファ・モード) のA/D変換動作



(3) スキャン・モードのA/D変換動作の場合

変換動作が起動されると、ANI0端子入力からA/Dコンバータ・モード・レジスタ (ADM) のANIS0ビット-ANIS2ビットで指定されたアナログ入力までをA/D変換します。指定されたアナログ入力のA/D変換がすべて終了すると、再度、同じ動作 (ANI0端子入力から指定されたアナログ入力までのA/D変換) を繰り返します。ANI0端子入力から指定されたアナログ入力までの一通りのA/D変換動作が終了するたびに、A/D変換終了割り込み要求 (INTAD) が発生します。

図11 - 13 ソフトウェア・スタートによるスキャン・モードのA/D変換動作



11.4.5 ハードウェア・スタートによるA/D変換動作の起動

ハードウェアによるA/D変換動作の起動は、A/Dコンバータ・モード・レジスタ (ADM) のTRGビットを1, AM0ビットまたはAM1ビットを1とすることで可能となります。ADMのTRGビットを1, AM0ビットまたはAM1ビットを1とすると外部信号の待機状態になり、INTP4端子 (P25端子) に有効エッジが入力されるとA/D変換動作が起動されます。

A/D変換動作がINTP4端子に入力された有効エッジによって起動されたあとに、再度INTP4端子に有効エッジが入力されると、そのとき行っていたA/D変換動作を中断し、ADMに設定されている内容に従ったA/D変換動作を最初から行います。

また、A/D変換動作中 (AM0ビットまたはAM1ビット = 1) に、再度TRGビットが1, AM0ビットまたはAM1ビットが1になるような値をADMに書き込むと、そのとき行っていたA/D変換動作を中断し (待機状態も中断されます)、書き込まれた値に応じたA/D変換動作モードでINTP4端子に有効エッジが入力されるのを待つ状態になり、有効エッジが入力されると変換動作を起動します。

この機能を使用することにより、外部信号に同期したA/D変換動作を行うことができます。

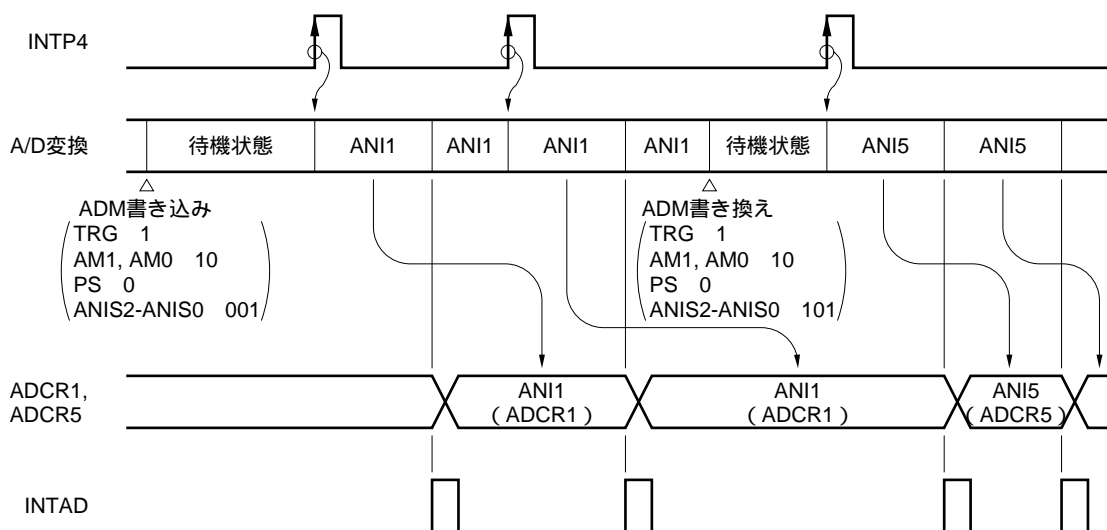
A/D変換動作が一度起動されると、1回のA/D変換が終了すると、ただちにADMで設定された動作モードに従って、次のA/D変換動作を開始します (INTP4端子入力を待ちません)。ADMに対する書き込み命令が実行されるか、INTP4端子に有効エッジが入力されるまで繰り返し変換動作を行います。

(1) セレクト・モード (1パッファ・モード) のA/D変換動作の場合

A/Dコンバータ・モード・レジスタ (ADM) で設定されたアナログ入力のA/D変換動作を起動します。A/D変換動作が終了すると、再度、同一アナログ入力のA/D変換動作を行います。A/D変換が終了するたびに、A/D変換終了割り込み要求 (INTAD) が発生します。

A/D変換動作中にINTP4端子に有効エッジが入力されると、そのとき行っていたA/D変換動作を一度中断して、新たにA/D変換動作を開始します。

図11-14 ハードウェア・スタートによるセレクト・モード (1パッファ・モード) のA/D変換動作

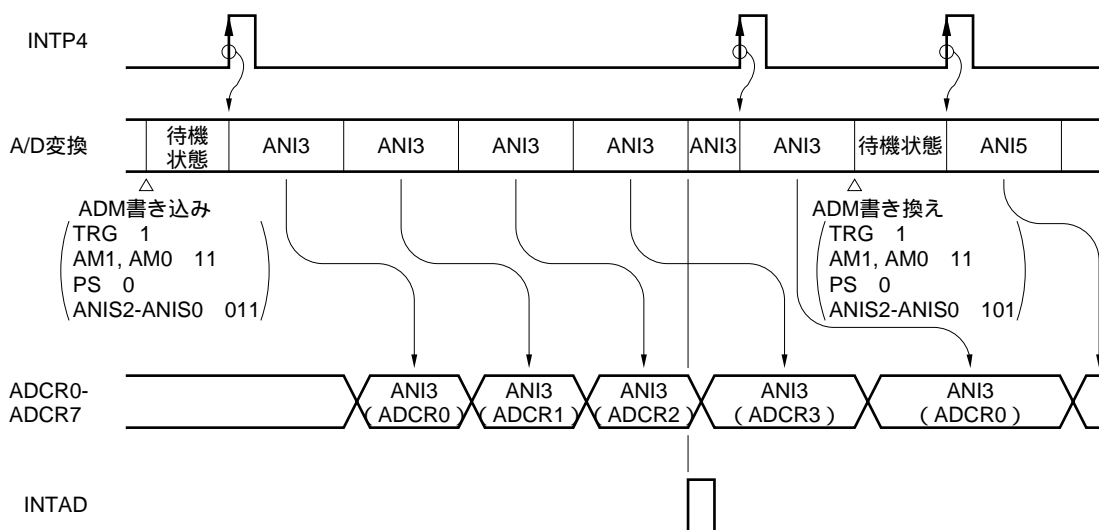


(2) セレクト・モード(4バッファ・モード)のA/D変換動作の場合

A/Dコンバータ・モード・レジスタ(ADM)で設定されたアナログ入力のA/D変換動作を起動します。1つのアナログ入力を4回A/D変換します。4回のA/D変換が終了すると、再度、同一アナログ入力のA/D変換を4回行います。4回のA/D変換が終了するたびに、A/D変換終了割り込み要求(INTAD)が発生します。

A/D変換動作中にINTP4端子に有効エッジが入力されると、そのとき行っていたA/D変換動作を一度中断して、新たにA/D変換動作を開始します。

図11-15 ハードウェア・スタートによるセレクト・モード(4バッファ・モード)のA/D変換動作

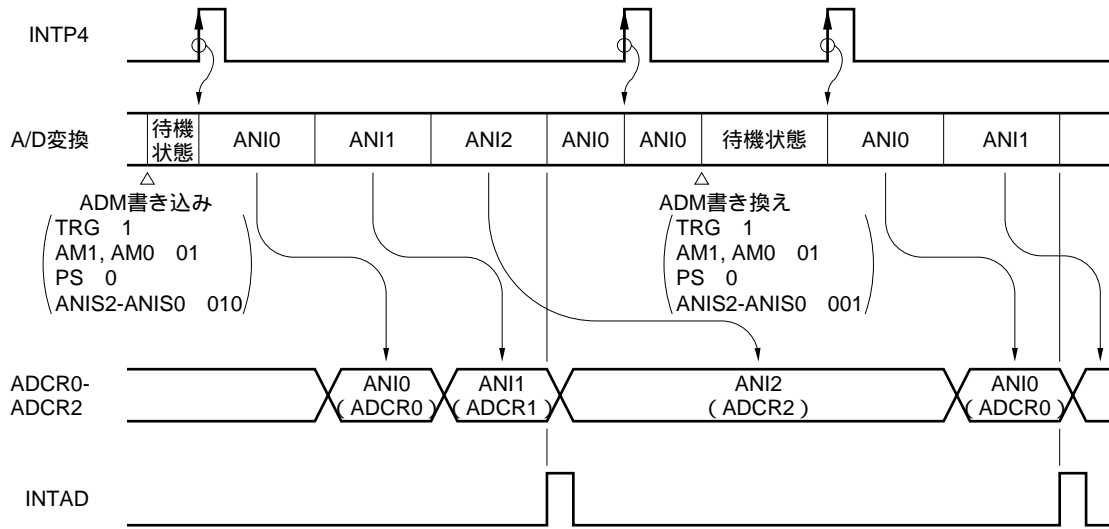


(3) スキャン・モードのA/D変換動作の場合

変換動作が起動されると、ANI0端子入力からA/Dコンバータ・モード・レジスタ(ADM)のANIS0ビット-ANIS2ビットで指定されたアナログ入力までをA/D変換します。指定されたアナログ入力のA/D変換がすべて終了すると、再度、同じ動作(ANI0端子入力から指定されたアナログ入力までのA/D変換)を繰り返します。ANI0端子入力から指定されたアナログ入力までの一通りのA/D変換動作が終了するたびに、A/D変換終了割り込み要求(INTAD)が発生します。

A/D変換動作中にINTP4端子に有効エッジが入力されると、そのときに行っていたA/D変換動作を中断して、ANI0端子入力から新たにA/D変換動作を開始します。

図11 - 16 ハードウェア・スタートによるスキャン・モードのA/D変換動作



11.5 A/Dコンバータの外付け回路

A/Dコンバータには、その変換動作を安定させるためにサンプル&ホールド回路を内蔵しています。このサンプル&ホールド回路から、A/D変換チャンネルを変更した直後のサンプリングの際にサンプリング・ノイズが出力されます。

このサンプリング・ノイズを吸収するためには、必ず外付けにキャパシタを接続する必要があります。また、信号源のインピーダンスが高いときのサンプリング・ノイズにより、変換結果に誤差が生じる可能性があります。特にスキャン・モードを使用している場合は変換対象のチャンネルが連続的に変化しますので、信号源のインピーダンスには十分な注意が必要です。

なお、サンプリング・ノイズの吸収にはキャパシタの容量を大きくするという方法がありますが、あまり大きくするとサンプリング・ノイズが蓄積されてしまいます。したがって、抵抗分を下げるのが最も効果的です。

11.6 注意事項

(1) アナログ入力端子に印加する電圧範囲について

A/Dコンバータの入力端子ANI0-ANI15 (P70-P77, P80-P87) には、次のような注意事項があります。

- ・ A/D変換動作中は、A/D変換の対象となっている端子には、 AV_{SS} - AV_{REF} の範囲外の電圧を印加しないでください。

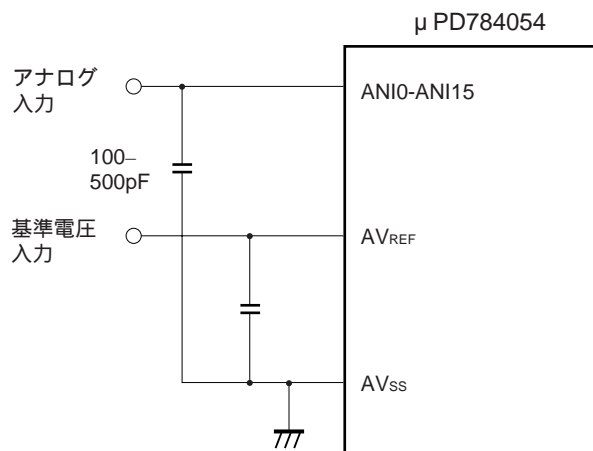
上記注意事項を守らない場合には、 μ PD784054が破壊する可能性があります。

(2) アナログ入力端子に接続するコンデンサについて

アナログ入力端子 (ANI0-ANI15) および基準電圧入力端子 (AV_{REF}) には、ノイズによる誤動作を防ぐため、 AV_{SS} との間にキャパシタを接続してください。

また、キャパシタは必ずANI0-ANI15および AV_{REF} の近くに接続してください。

図11 - 17 A/Dコンバータ用端子のキャパシタ接続例



(3) STOPモード、IDLEモードを使用する場合は、STOPモード、IDLEモードに入る前にAM0ビットおよびAM1ビットをクリア(0)して消費電流が下がるようにしてください。AM0ビットまたはAM1ビットがセット(1)されたままだと、STOPモード、IDLEモードに入ることにより変換動作は止まりますが、電圧コンパレータへの電源供給は止まりませんので、A/Dコンバータでの消費電流は減りません。

(4) A/Dコンバータは、一度動作を開始すると、A/Dコンバータ・モード・レジスタ(ADM)のAM0ビットおよびAM1ビットをクリア(0)するまで変換動作を繰り返し行います。したがって、A/Dコンバータのモード変換時などに、割り込みに関するレジスタなどの設定後にADMの設定を行った場合、不要な割り込みが発生することがあります。この不要な割り込みにより、スキャン・モード使用時には変換結果の格納アドレスがずれたように見えます。また、セレクト・モード使用時には、1回目の変換結果が他チャンネルの変換結果などの異常な値になったように見えます。A/Dコンバータのモード変換は、次の手順で行うことをお勧めします。

ADMへの書き込み

割り込み要求フラグ(ADIF)のクリア(0)

割り込みマスク・フラグの設定

～ の操作は、割り込みやマクロ・サービスによって分断されないようにしてください。

または次の手順で行うことをお勧めします。

ADMのAM0ビットおよびAM1ビットをクリア(0)することにより、A/D変換動作を停止

割り込み要求フラグ(ADIF)のクリア(0)

割り込みマスク・フラグの設定

ADMへの書き込み

第12章 アシクロナス・シリアル・インタフェース/ 3線式シリアルI/O

μPD784054は、アシクロナス・シリアル・インタフェース（UART）モードと3線式シリアルI/O（IOE）モードを選択できるシリアル・インタフェースを2チャンネル内蔵しています。

2チャンネルのUART/IOEは、まったく同一の機能です。したがって、この章では特に違いがないかぎり、UART/IOE1を代表として説明しています。UART2/IOE2として使用する場合は、UART/IOE1のレジスタ名称、ビット名称、端子名称を表12 - 1を参照に読み替えてください。

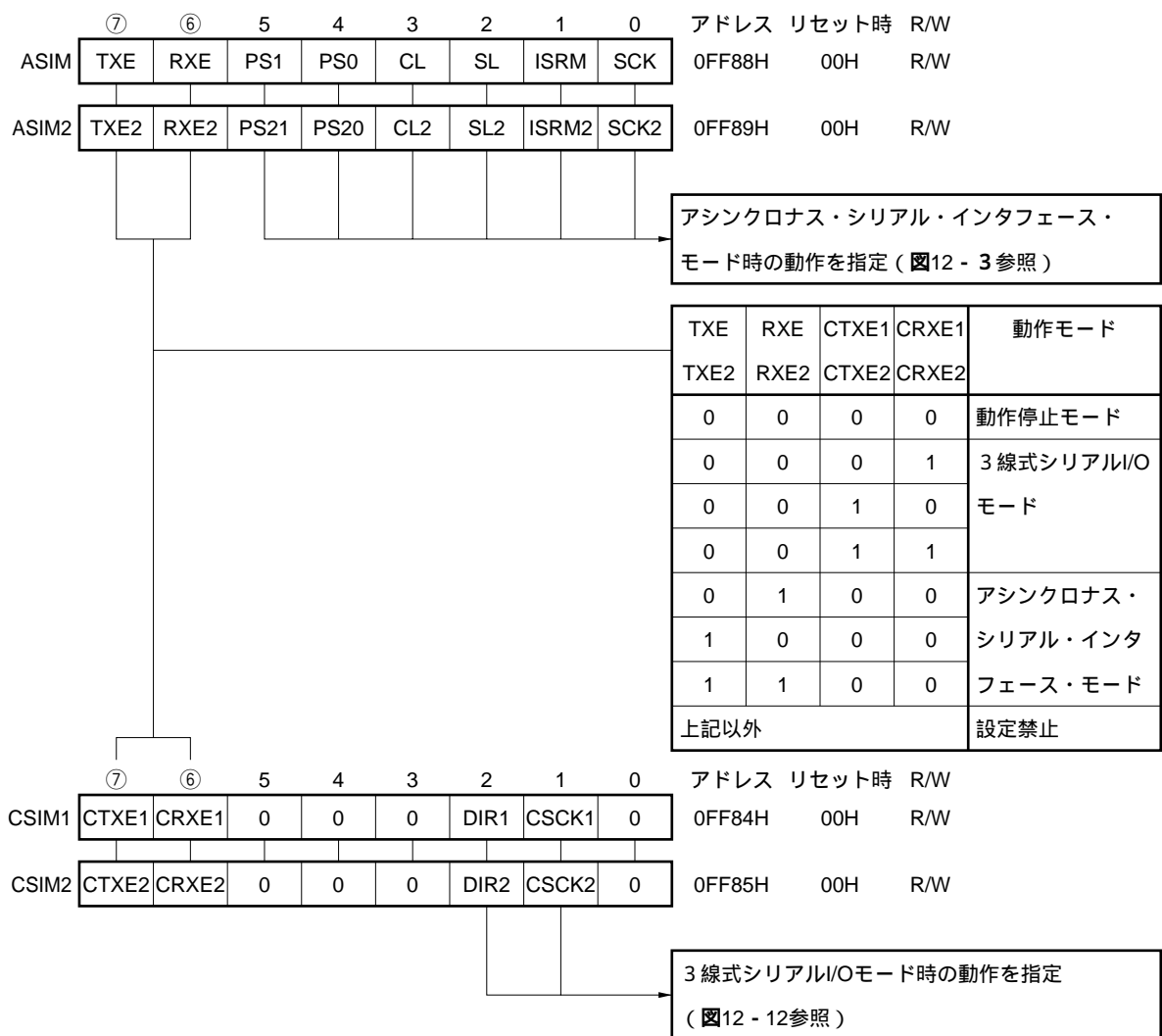
表12 - 1 UART/IOE1とUART2/IOE2の名称の違い

項 目	UART/IOE1	UART2/IOE2
端子名称	P32/RxD/SI1, P33/TxD/SO1, P34/ASCK/SCK1	P35/RxD2/SI2, P36/TxD2/SO2, P37/ASCK2/SCK2
アシクロナス・シリアル・インタフェース・モード・レジスタ	ASIM	ASIM2
アシクロナス・シリアル・インタフェース・モード・レジスタ内のビット名称	TXE, RXE, PS1, PS0, CL, SL, ISRM, SCK	TXE2, RXE2, PS21, PS20, CL2, SL2, ISRM2, SCK2
アシクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	ASIS2
アシクロナス・シリアル・インタフェース・ステータス・レジスタ内のビット名称	PE, FE, OVE	PE2, FE2, OVE2
クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM1	CSIM2
クロック同期式シリアル・インタフェース・モード・レジスタ内のビット名称	CTXE1, CRXE1, DIR1, CSCK1	CTXE2, CRXE2, DIR2, CSCK2
ポーレート・ジェネレータ・コントロール・レジスタ	BRGC	BRGC2
ポーレート・ジェネレータ・コントロール・レジスタ内のビット名称	TPS0-TPS3, MDL0-MDL3	TPS20-TPS23, MDL20-MDL23
割り込み要求名称	INTSR/INTCSI1, INTSER, INTST	INTSR2/INTCSI2, INTSER2, INTST2
割り込み制御レジスタおよび本章で使用するビット名称	SRIC, CSIIC1, SERIC, STIC, SRIF, CSIIF1, SERIF, STIF	SRIC2, CSIIC2, SERIC2, STIC2, SRIF2, CSIIF2, SERIF2, STIF2

12.1 アシクロナス・シリアル・インタフェース・モードと3線式シリアルI/Oモードの切り替え

アシクロナス・シリアル・インタフェース・モードと3線式シリアルI/Oモードは、同時に使用できません。両者の切り替えは、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM, ASIM2) とクロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1, CSIM2) の設定で図12 - 1 に示すようにします。

図12 - 1 アシクロナス・シリアル・インタフェース・モードと3線式シリアルI/Oモードの切り替え



12.2 アシクロナス・シリアル・インタフェース・モード

アシクロナス・シリアル・インタフェースとしてUART (Universal Asynchronous Receiver Transmitter) モードを内蔵しています。これは、スタート・ビットに続く1バイトのデータを送信する方式で、全二重動作が可能です。

ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

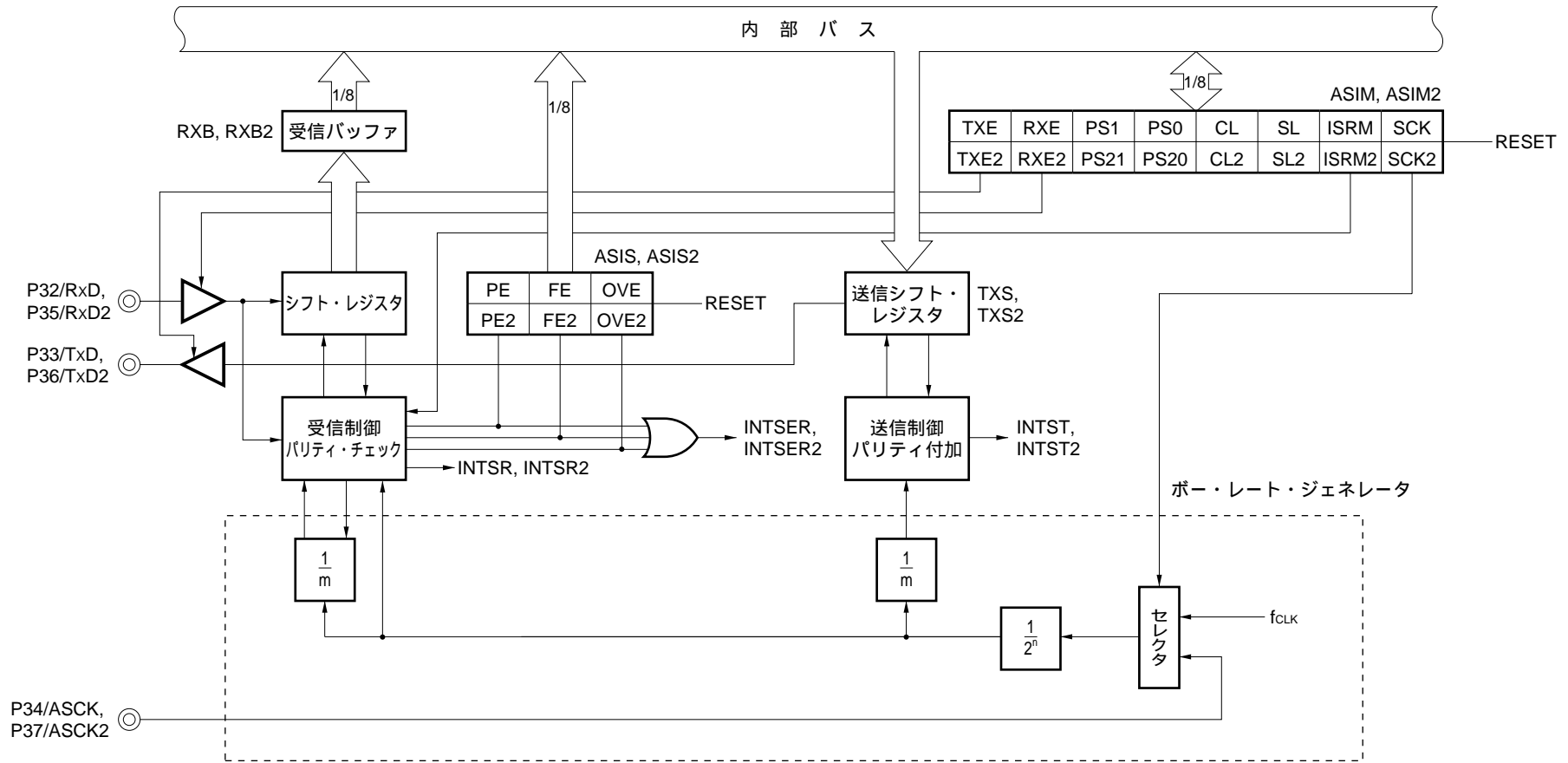
また、ASCK端子への入力クロックを分周して、ボー・レートを定義することもできます。

12.2.1 アシクロナス・シリアル・インタフェース・モード時の構成

図12-2に、アシクロナス・シリアル・インタフェースのブロック図を示します。

なお、ボー・レート・ジェネレータについては、12.4 **ボー・レート・ジェネレータ**を参照してください。

図12-2 アシクロナス・シリアル・インタフェースのブロック図



備考 m = 16-30, n = 0-11

(1) 受信バッファ (RXB, RXB2)

受信データを保持するレジスタです。データを1バイト受信することにシフト・レジスタから受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB, RXB2のビット0-ビット6に転送され、RXB, RXB2のMSBは必ず“0”になります。

8ビット操作命令で読み出しのみが可能です。 $\overline{\text{RESET}}$ 入力により、RXB, RXB2は不定となります。

(2) 送信シフト・レジスタ (TXS, TXS2)

送信するデータを設定するレジスタです。TXS, TXS2に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合は、TXS, TXS2に書き込んだデータのビット0-ビット6が送信データとして扱われます。TXS, TXS2に書き込みを行うと送信動作が開始します。送信動作中にTXS, TXS2に書き込みを行ってはいけません。

8ビット操作命令により書き込みのみが可能です。 $\overline{\text{RESET}}$ 入力により、TXS, TXS2は不定となります。

(3) シフト・レジスタ

RxD, RxD2端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを送信すると受信データを受信バッファへ転送します。

シフト・レジスタはCPUから直接操作することはできません。

(4) 受信制御パリティ・チェック

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM, ASIM2) に設定された内容に従って、受信動作を制御します。また、受信動作時にパリティ・エラーなどのエラー・チェックも行い、エラーが検出された場合は、エラー内容に応じた値をアシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS, ASIS2) にセットします。

(5) 送信制御パリティ付加

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM, ASIM2) に設定された内容に従って、送信シフト・レジスタ (TXS, TXS2) に書き込まれたデータにスタート・ビット, パリティ・ビット, ストップ・ビットを付加するなどして、送信動作の制御を行います。

(6) セレクタ

ポー・レート用のクロックのソースを選択します。

12.2.2 アシクロナス・シリアル・インタフェース制御レジスタ

- (1) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM),
アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2)

ASIM, ASIM2は, UARTモードの動作を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図12-3に, ASIM, ASIM2のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図12 - 3 アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM),
アシクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) のフォーマット

アドレス : 0FF88H, 0FF89H リセット時 : 00H R/W

	⑦	⑥	5	4	3	2	1	0
ASIM	TXE	RXE	PS1	PS0	CL	SL	ISRM	SCK

ASIM2	TXE2	RXE2	PS21	PS20	CL2	SL2	ISRM2	SCK2
-------	------	------	------	------	-----	-----	-------	------

TXE	RXE	送受信動作
TXE2	RXE2	
0	0	送受信禁止, または3線式シリアルI/Oモード
0	1	受信許可
1	0	送信許可
1	1	送受信許可

PS1	PS0	パリティ・ビットの指定
PS21	PS20	
0	0	パリティなし
0	1	送信 = 0 パリティ付加 受信 = パリティ・エラーを発生しない
1	0	奇数パリティ
1	1	偶数パリティ

CL	データのキャラクタ長の指定
CL2	
0	7ビット
1	8ビット

SL	ストップ・ビット長の指定 (送信時のみ)
SL2	
0	1ビット
1	2ビット

ISRM	受信エラー発生時の受信完了割り込み発生の 許可 / 禁止を指定 ^注
ISRM2	
0	許可
1	禁止

SCK	ポー・レート・ジェネレータへの入力クロックの指定
SCK2	
0	外部クロック入力 (ASCK, ASCK2)
1	内部クロック (fCLK)

備考 fCLK : 内部システム・クロック

注 受信エラー発生時に、受信完了割り込みの禁止を設定する場合、受信エラーの発生から受信バッファ (RXB, RXB2) の読み出しまでには、ポー・レート用クロックの基準となるクロックの2クロック分のウェイトを挿入してください。ウェイトを挿入しない場合、受信完了割り込みの禁止にもかかわらず、受信完了割り込みが発生してしまいます。

ポー・レート用クロックの基準クロックの2クロック分の時間は、次式により求められます。

$$\text{ウェイト時間} = \frac{2^{n+2}}{f_{\text{CLK}}}$$

備考 f_{CLK} : 内部システム・クロック周波数

n : ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2) の12ビット・プリスケアラのタップ選択のnの値 ($n=0-11$)

注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM, ASIM2) の書き換えは行わないでください。送信中にASIM, ASIM2の書き換えを行うと、それ以降の送信動作ができなくなる場合があります ($\overline{\text{RESET}}$ 入力により、正常になります)。送信中かどうかは、送信完了割り込み (INTST, INTST2) またはINTST, INTST2によりセットされる割り込み要求フラグ (STIF, STIF2) を用いて、ソフトウェアにより判断することができます。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS),
アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2)

ASIS, ASIS2は、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。各フラグは、受信エラー発生時にセット (1) され、受信バッファ (RXB, RXB2) からデータを読み出すことによってクリア (0) されます。また、RXB, RXB2を読み出すより前に次のデータを受信すると、オーバーラン・エラー・フラグ (OVE, OVE2) がセット (1) され、その他のエラー・フラグはクリア (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセット (1) されます)。

8ビット操作命令とビット操作命令で読み出しのみ可能です。図12-4に、ASIS, ASIS2のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図12 - 4 アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS),
アシクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) のフォーマット

アドレス : 0FF8AH, 0FF8BH リセット時 : 00H R

	7	6	5	4	3	②	①	①
ASIS	0	0	0	0	0	PE	FE	OVE
ASIS2	0	0	0	0	0	PE2	FE2	OVE2

PE	パリティ・エラー・フラグ
PE2	
0	パリティ・エラー発生せず
1	パリティ・エラー発生

FE	フレーミング・エラー・フラグ
FE2	
0	フレーミング・エラー発生せず
1	フレーミング・エラー発生

OVE	オーバラン・エラー・フラグ
OVE2	
0	受信オーバラン発生せず
1	受信オーバラン発生

注意1 . 受信エラー発生時にも、受信バッファ (RXB, RXB2) は必ず読み出してください。

RXB, RXB2を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

2 . 受信エラー発生時に、受信完了割り込みの禁止を設定する場合、受信エラーの発生から受信バッファ (RXB, RXB2) の読み出しまでには、ボー・レート用クロックの基準となるクロックの2クロック分のウェイトを挿入してください。ウェイトを挿入しない場合、受信完了割り込みの禁止にもかかわらず、受信完了割り込みが発生してしまいます。

ボー・レート用クロックの基準クロックの2クロック分の時間は、次式により求められます。

$$\text{ウェイト時間} = \frac{2^{n+2}}{f_{\text{CLK}}}$$

備考 f_{CLK} : 内部システム・クロック周波数

n : ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2) の12ビット・プリスケアラのタップ選択のnの値 ($n=0-11$)

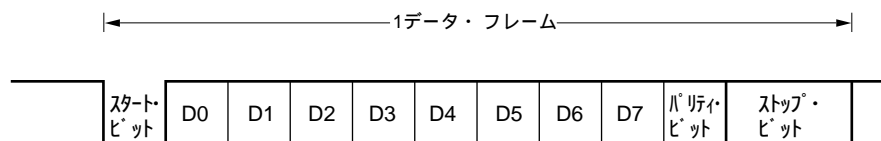
12.2.3 データ・フォーマット

全二重のアシクロナス・モードによるシリアル・データの送受信を行います。

送受信データのフォーマットは図12-5に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) によって行います。

図12-5 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット..... 1ビット
- ・キャラクタ・ビット..... 7ビット/8ビット
- ・パリティ・ビット.....偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット..... 1ビット/2ビット

シリアルの転送レートは、アシクロナス・シリアル・インタフェース・モード・レジスタとボー・レート・ジェネレータの設定により選択します。

また、シリアル・データの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の状態を読むことによって受信エラーの内容を判定することができます。

12.2.4 パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

・偶数パリティ

送信データ中の値が“1”のビットの数が奇数個の場合にパリティ・ビットを“1”にします。値が“1”のビットの数が偶数個の場合にはパリティ・ビットを“0”にします。これにより、送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるよう制御します。受信時には、受信データとパリティ・ビットの中に含まれる値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

・奇数パリティ

偶数パリティとは逆に、送信データとパリティ・ビットの中に含まれる値が“1”のビットを奇数個になるように制御します。

受信時には、同様に受信データとパリティ・ビットの中に含まれる値が“1”のビットの数が偶数個であった場合にパリティ・エラーを発生します。

・0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

・パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

12.2.5 送信

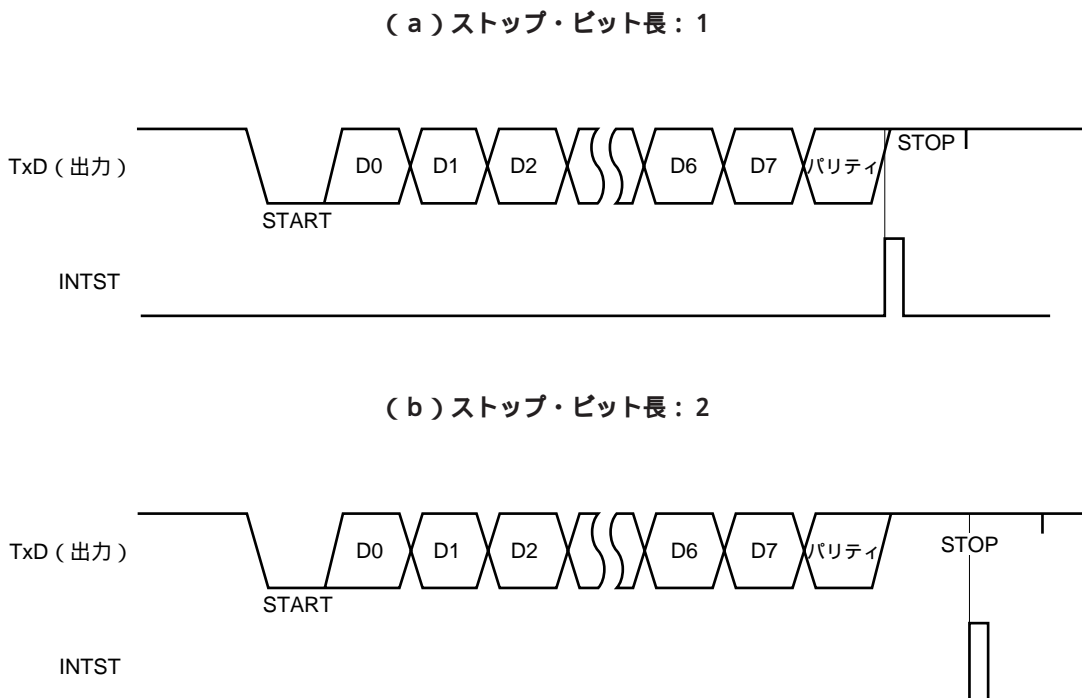
μPD784054のアシクロナス・シリアル・インタフェースは、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のTXEビットがセット (1) されると送信許可状態になります。送信許可のときに送信シフト・レジスタ (TXS) に送信データを書き込むことによって送信動作を起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXS内のデータがシフト・アウトされ、TXSが空になると送信完了割り込み (INTST) が発生します。

次に送信するデータをTXSに書き込まなければ、送信動作は中断されます。

送信中にTXEビットをクリア (0) すると、ただちに送信動作を中断します。

図12-6 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



注意 1. $\overline{\text{RESET}}$ 入力後、送信シフト・レジスタ (TXS) は空になりますが、送信完了割り込みは発生しません。TXSに送信データを書き込むことによって送信動作を起動できます。

2. 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) の書き換えは行わないでください。送信中にASIMの書き換えを行うと、それ以降の送信動作ができなくなる場合があります ($\overline{\text{RESET}}$ 入力により、正常になります)。送信中かどうかは、送信完了割り込み (INTST) またはINTSTによりセットされる割り込み要求フラグ (STIF) を用いて、ソフトウェアにより判断することができます。

12.2.6 受信

受信動作は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のRXEビットがセット (1) されると許可状態となり、RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはASIMとポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) で指定したシリアル・クロック (m分周カウンタの入力クロック) で行います。

RxD端子入力が高レベルになると、m分周カウンタがカウントを開始し、m回カウントしたところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果、高レベルであれば、スタート・ビットとして認識し、m分周カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

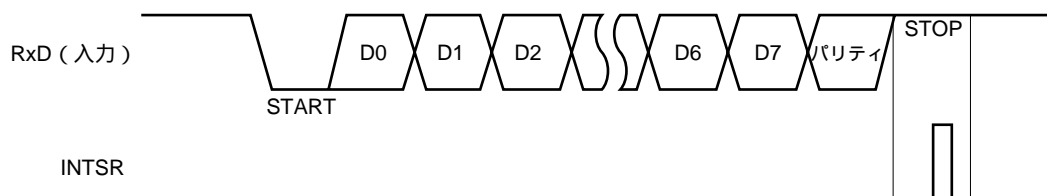
1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ (RXB) に転送し、受信完了割り込み (INTSR) を発生します。

また、エラーが発生しても、RXBにエラーの発生した受信データを転送します。エラー発生時、ASIMのビット1 (ISRM) がクリア (0) されている場合は、INTSRを発生します。

ISRMビットがセット (1) されている場合は、INTSRは発生しません。

なお、受信動作中にRXEビットをクリア (0) すると、ただちに受信動作を停止します。このとき、RXBおよびASISの内容は変化せず、またINTSR、INTSERも発生しません。

図12-7 アシクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意1 . 受信エラー発生時にも、受信バッファ (RXB) は必ず読み出してください。RXBを読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

2 . 受信エラー発生時に、受信完了割り込みの禁止を設定する場合、受信エラーの発生から受信バッファ (RXB, RXB2) の読み出しまでには、ポー・レート用クロックの基準となるクロックの2クロック分のウェイトを挿入してください。ウェイトを挿入しない場合、受信完了割り込みの禁止にもかかわらず、受信完了割り込みが発生してしまいます。

ポー・レート用クロックの基準クロックの2クロック分の時間は、次式により求められます。

$$\text{ウェイト時間} = \frac{2^{n+2}}{f_{\text{CLK}}}$$

備考 fCLK : 内部システム・クロック周波数
 n : ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2) の12ビット・プリスケアラのタップ選択のnの値 (n=0-11)

12.2.7 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) 内に立つと同時に、受信エラー割り込み (INTSER) を発生します。受信エラーの要因を表12-2に示します。

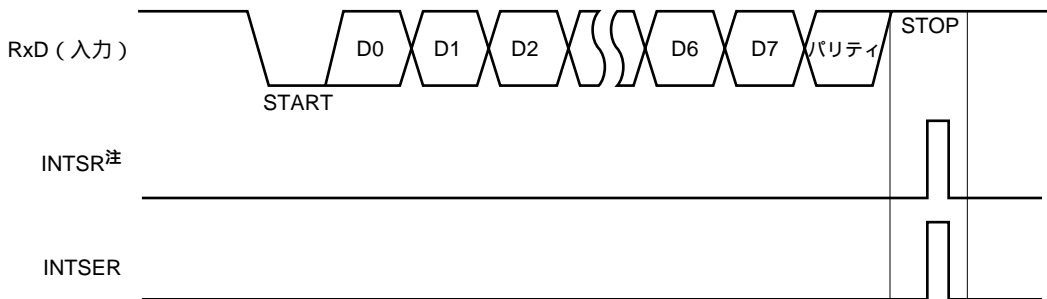
受信エラー割り込み処理 (INTSER) 内で、ASISの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図12-4, 図12-8参照)。

ASISの内容は、受信バッファ (RXB) を読み出すか、次のデータを受信することでクリア (0) されます (次の受信データにエラーがあれば、そのエラー・フラグがセットされます)。

表12-2 受信エラーの要因

受信エラー	要 因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

図12-8 受信エラー・タイミング



注 ISRMビットがセット (1) されている場合に受信エラーが発生したときは、INTSRは発生しません。

備考 μPD784054では、ハードウェアによりブ레이크信号を検出することはできません。ブ레이크信号は、2キャラクタ以上のロウ・レベル信号なので、受信データが00Hだったフレーミング・エラーが2回連続して発生したことをソフトウェアで検出することで、ブ레이크信号が入力されたと判断することが可能です。なお、偶然、フレーミング・エラーが2回発生したときと識別するためには、RxD端子レベルをソフトウェアで読み込み (ポート3モード・レジスタ (PM3) のビット2を“1”にして、ポート3 (P3) をリードすることで確認が可能) “0”であることを確認することにより、行うことができます。

注意1. アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容は、受信バッファ (RXB) を読み出すか、次のデータを受信することにより、クリア (0) されてしまいます。エラーの内容が知りたい場合には、必ずRXBを読み出す前にASISを読み出してください。

2. 受信エラー発生時にも、RXBは必ず読み出してください。RXBを読み出さない次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

3. 受信エラー発生時に、受信完了割り込みの禁止を設定する場合、受信エラーの発生から受信バッファ (RXB, RXB2) の読み出しまでには、ポー・レート用クロックの基準となるクロックの2クロック分のウエイトを挿入してください。ウエイトを挿入しない場合、受信完了割り込みの禁止にもかかわらず、受信完了割り込みが発生してしまいます。

ポー・レート用クロックの基準クロックの2クロック分の時間は、次式により求められます。

$$\text{ウエイト時間} = \frac{2^{n+2}}{f_{\text{CLK}}}$$

備考 f_{CLK} : 内部システム・クロック周波数

n : ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2) の12ビット・プリスケアラのタップ選択の n の値 ($n=0-11$)

12.2.8 マクロ・サービスを使ってデータを送信 / 受信する

マクロ・サービスを使ってデータを送信した場合、ベクタ割り込み要求は2回発生します。一方、受信動作では、ベクタ割り込み要求の発生は1回だけです。

マクロ・サービスを使ってデータを送信 / 受信する

送信動作は、送信シフト・レジスタ (TXS) へのデータ書き込みにより開始します。これをマクロ・サービスで実行した場合、設定された回数だけTXSへデータを書き込み、送信します。送信終了後に発生する送信完了割り込み (INTST) により、次のデータを書き込むマクロ・サービス処理が行われます。最後のデータをTXSへ書き込むと、マクロ・サービスは終了 ($MSC=0$) し、ベクタ割り込み要求が発生します (図12-9の)。

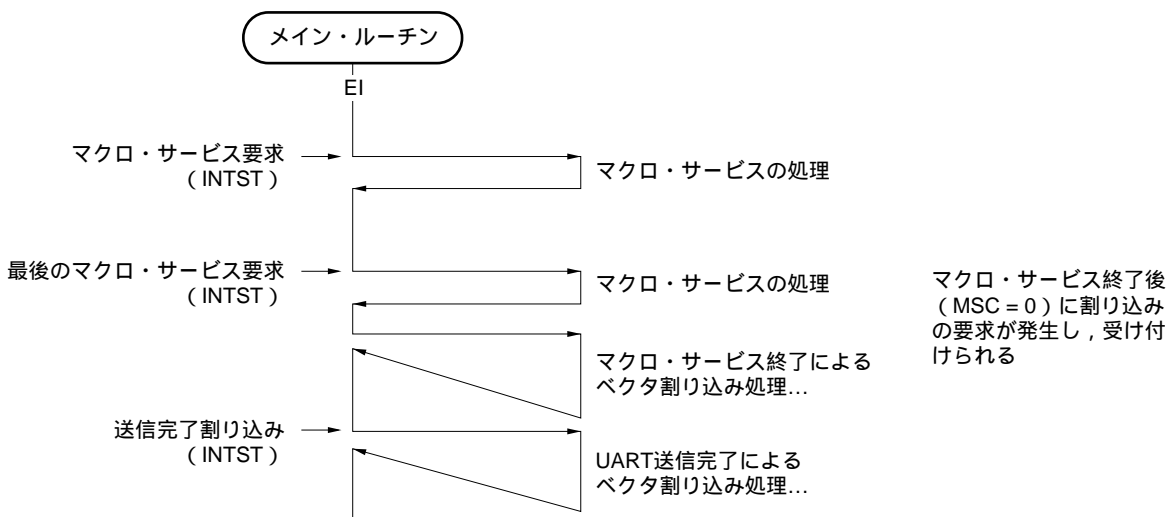
そのあと、データの送信が終了する (1フレームを送り終える) と、改めてINTSTが発生し、再度ベクタ割り込み要求が発生します (図12-9の)。

したがって、上記のように、マクロ・サービスをINTSTにより起動する場合、同じ割り込み要求 (この場合はINTST) によって、ベクタ割り込みが2回発生することがあります。

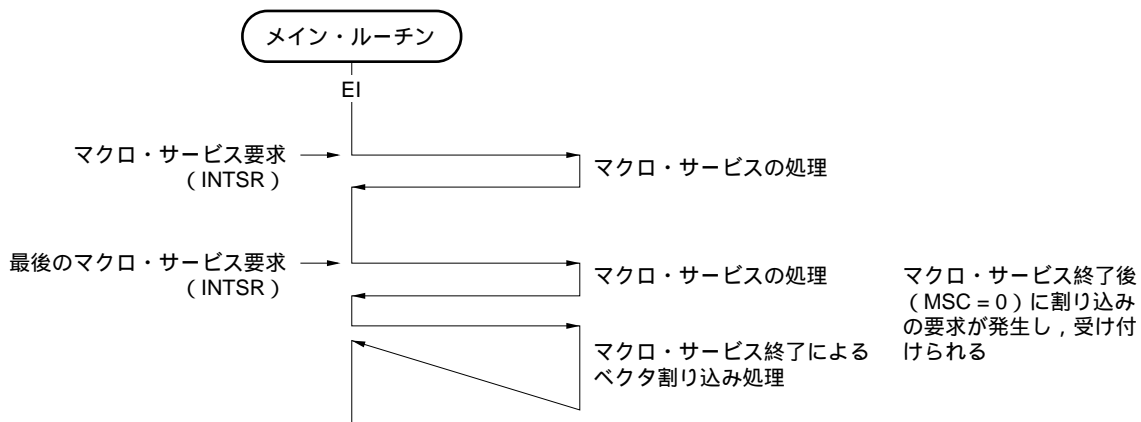
一方、受信動作では、送信動作のようにベクタ割り込み要求が2回発生することはありません。受信動作の場合は、受信終了後に発生する受信完了割り込み (INTSR) により、受信内容をメモリに転送するマクロ・サービス処理が行われるので、ベクタ割り込み要求は、マクロ・サービス終了後に1回発生するだけです。

図12 - 9 マクロ・サービスを使ったUARTの送信 / 受信動作

(a) 送信動作



(b) 受信動作

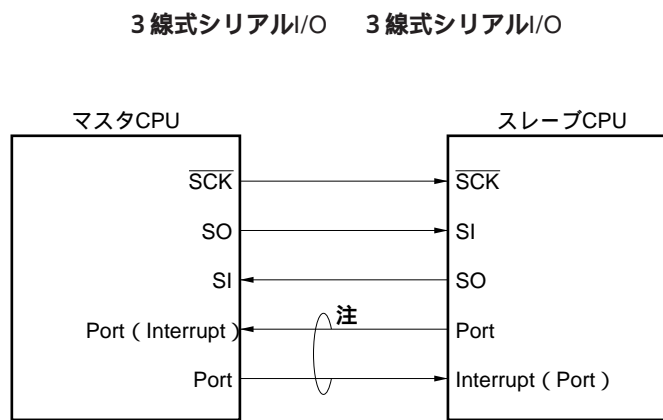


12.3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのモードです。

基本的にはシリアル・クロック ($\overline{\text{SCK}}$) とシリアル・データ出力 (SO) とシリアル・データ入力 (SI) の3本のラインで通信を行います。複数のデバイスと接続する場合はハンドシェイク用のラインが必要になります。

図12 - 10 3線式シリアルI/Oのシステム構成例

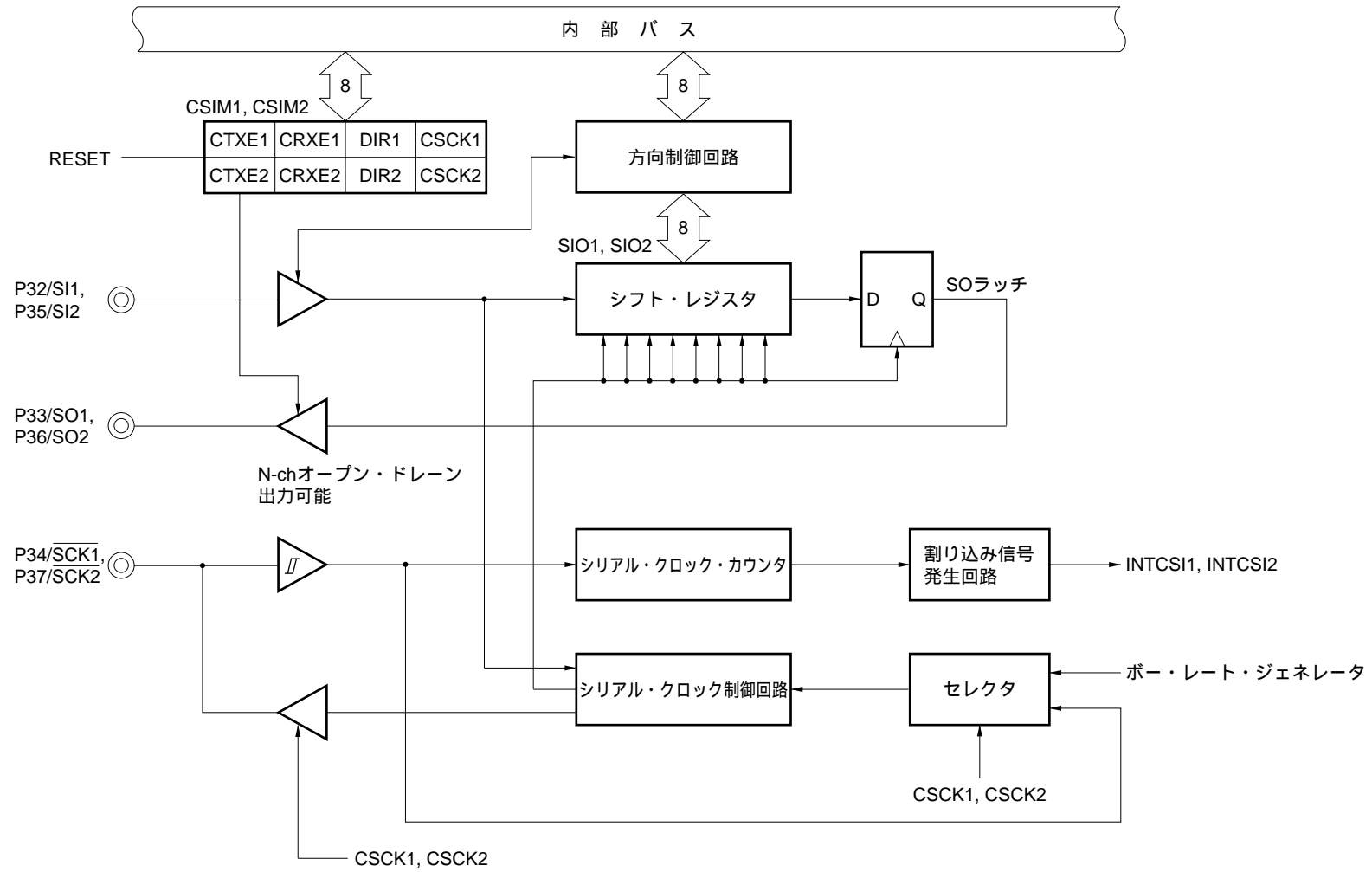


注 ハンドシェイク・ライン

12.3.1 3線式シリアルI/Oモード時の構成

図12 - 11に、3線式シリアルI/Oモード時のブロック図を示します。

図12-11 3線式シリアルI/Oモード時のブロック図



(1) シフト・レジスタ (SIO1, SIO2)

SIO1, SIO2は, 8ビットのシリアル・データを8ビットの平行・データに, 8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。SIO1, SIO2は, 送信および受信の両方に使用されます。

SIO1, SIO2に対する書き込み/読み出しにより, 実際の送受信動作が制御されます。

8ビット操作命令で, 読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により不定となります。

(2) SOラッチ

SOラッチは, SO1, SO2端子出力レベルを保持するラッチです。

(3) シリアル・クロック・セクタ

使用するシリアル・クロックを選択します。

(4) シリアル・クロック・カウンタ

送信/受信動作時に出力する, または入力されるシリアル・クロックをカウントし, 8ビット・データの送受信が行われたことを調べます。

(5) 割り込み信号発生回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに, 割り込み要求を発生します。

(6) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また, 内部クロック使用時は, $\overline{\text{SCK1}}$, $\overline{\text{SCK2}}$ 端子へ出力するクロックの制御も行います。

(7) 方向制御回路

MSBファースト, LSBファーストを切り替えます。

12.3.2 クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1, CSIM2)

CSIM1, CSIM2は, 3線式シリアルI/Oモード時の動作を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図12-12に, CSIM1, CSIM2のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により00Hとなります。

図12-12 クロック同期式シリアル・インタフェース・モード・レジスタ1 (CSIM1),
クロック同期式シリアル・インタフェース・モード・レジスタ2 (CSIM2)のフォーマット

アドレス : 0FF84H, 0FF85H リセット時 : 00H R/W

	⑦	⑥	5	4	3	2	1	0
CSIM1	CTXE1	CRXE1	0	0	0	DIR1	CSCK1	0

CSIM2	CTXE2	CRXE2	0	0	0	DIR2	CSCK2	0
-------	-------	-------	---	---	---	------	-------	---

(n = 1, 2)

CTXEn	CRXEn	送受信動作
0	0	送受信禁止, またはアシクロナス・シリアル・イ ンタフェース・モード
0	1	受信許可
1	0	送信許可
1	1	送受信許可

DIRn	動作モード指定 (転送ビット順)
0	MSBファースト
1	LSBファースト

CSCKn	シリアル・クロック選択ビット	
	ソース・クロック	$\overline{\text{SCKn}}$ (CTXEn, CRXEn=1 のとき)
0	$\overline{\text{SCKn}}$ 端子への外部入力クロック	入力
1	ポーレート・ジェネレータ出力	CMOS出力

注意 シフト・レジスタ (SIO_n : n = 1, 2) 書き込み後にDIR_n (n = 1, 2) ビットを変更しても, 変更前の設定で出力されます。したがって, DIR_nビットの設定はSIO_nへの書き込み前に行ってください。

12.3.3 基本動作タイミング

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期してMSBファースト/LSBファーストで1ビットごとに送受信されます。

MSB/LSBの切り替えは、クロック同期式シリアル・インタフェース・モード・レジスタ(CSIM1)のDIR1ビットで指定します。

送信データは、 $\overline{\text{SCK1}}$ の立ち下がりに同期して出力されます。受信データは、 $\overline{\text{SCK1}}$ の立ち上がりでサンプリングされます。

また、8番目の $\overline{\text{SCK1}}$ の立ち上がりで割り込み要求(INTCSI1)を発生します。

内部クロックを $\overline{\text{SCK1}}$ として使用している場合は、 $\overline{\text{SCK1}}$ の8番目の立ち上がりで $\overline{\text{SCK1}}$ の出力を停止し、次のデータの送信または受信動作が起動されるまで、 $\overline{\text{SCK1}}$ はハイ・レベルを保持します。

図12-13に、3線式シリアルI/Oモードのタイミングを示します。

図12-13 3線式シリアルI/Oモードのタイミング(1/2)

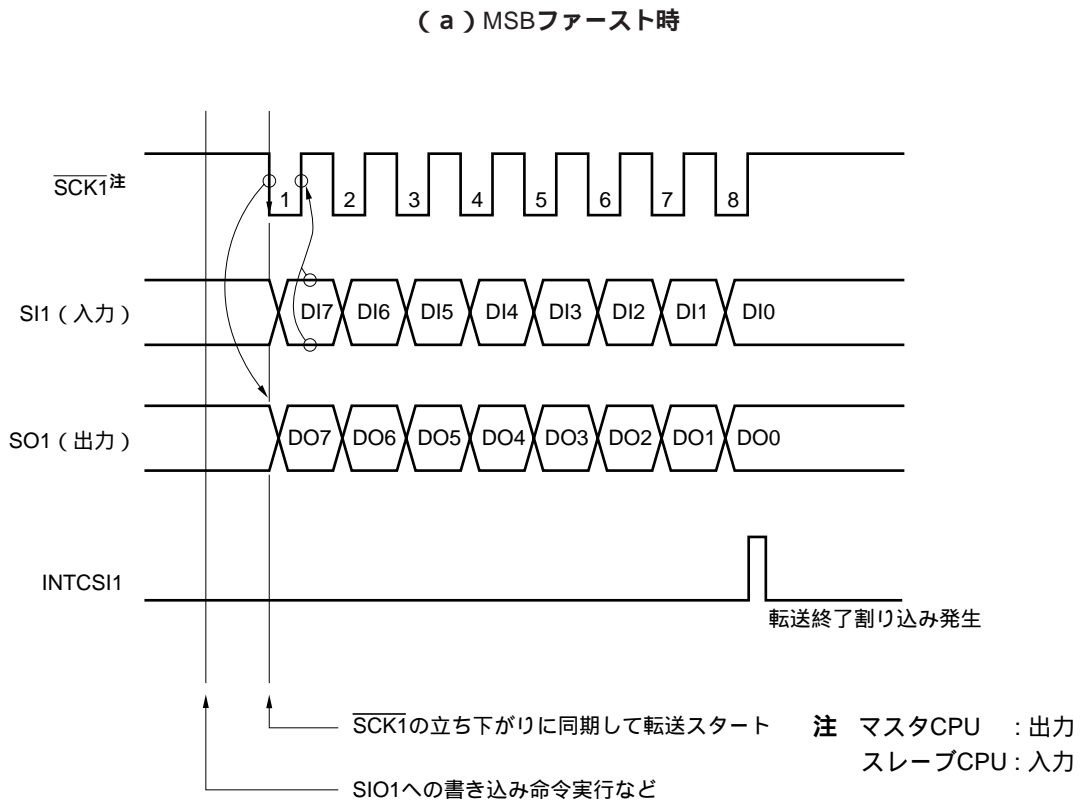
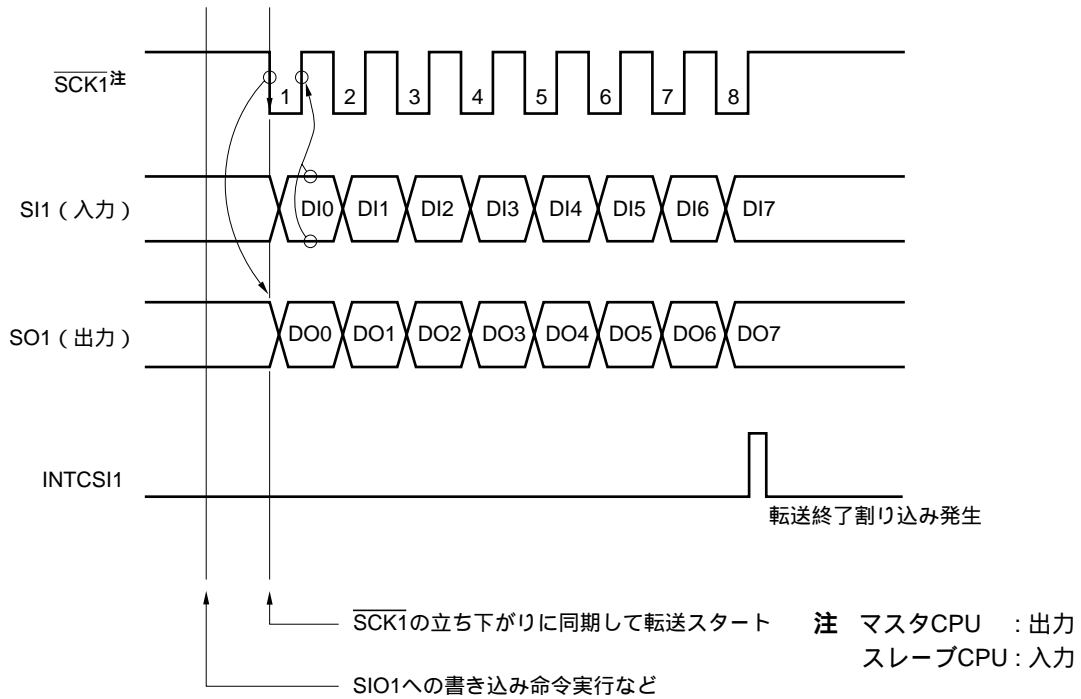


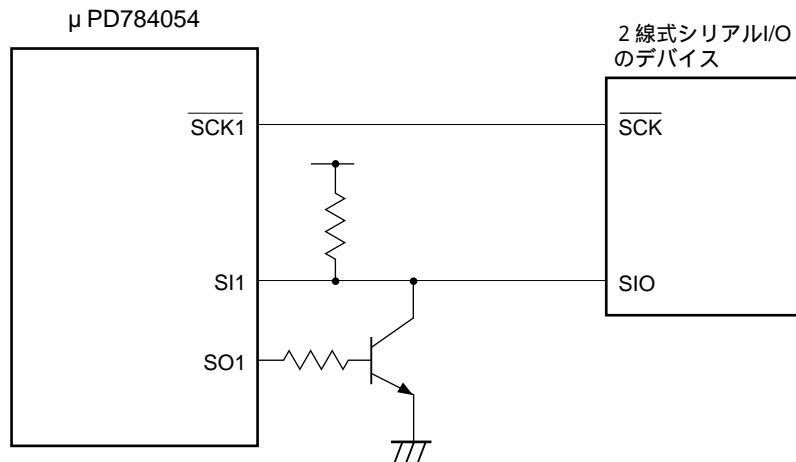
図12 - 13 3線式シリアルI/Oモードのタイミング (2/2)

(b) LSBファースト時



備考 2線式のシリアルI/Oと接続する場合は、図12 - 14のようにSO1端子にバッファを接続してください。なお、図12 - 14の場合は、バッファにより出力レベルが反転するので、SIO1へは出力したいデータの反転データを書き込んでください。
また、P33/SO1端子には、内蔵プルアップ抵抗を接続しないように指定してください。

図12 - 14 2線式シリアルI/Oとの接続例



12.3.4 送信のみ許可の場合の動作

送信動作は、クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1) のCTXE1ビットがセット (1) されているときに行われます。CTXE1ビットがセット (1) されているときに、シフト・レジスタ (SIO1) への書き込みを行うと送信動作が起動されます。

なお、CTXE1ビットがクリア (0) されているときは、SO1端子は出力ハイ・レベルとなります。

(1) シリアル・クロックとして内部クロックを選択した場合

送信が起動されるとシリアル・クロックを $\overline{\text{SCK1}}$ 端子から出力し、同時にシリアル・クロックの立ち下がりに同期してSIO1からデータをSO1端子へ順次出力します。また、シリアル・クロックの立ち上がりに同期して、SI1端子の信号をSIO1にシフト入力します。

なお、送信の起動から $\overline{\text{SCK1}}$ の最初の立ち下がりまでには、最大 $\overline{\text{SCK1}}$ の1クロック分の時間がかかります。

送信動作中に送信を禁止 (CTXE1ビットをクリア (0)) すると、次の $\overline{\text{SCK1}}$ の立ち上がりで $\overline{\text{SCK1}}$ クロックの出力を停止し、送信動作を中断します。このとき割り込みの要求 (INTCSI1) は発生しません。また、SO1端子は出力ハイ・レベルになります。

(2) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると、送信起動後に $\overline{\text{SCK1}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期してSIO1からデータをSO1端子へ順次出力し、同時に $\overline{\text{SCK1}}$ 端子入力の立ち上がりに同期して、SI1端子の信号をSIO1にシフト入力します。送信が起動されていないときに、シリアル・クロックを $\overline{\text{SCK1}}$ 端子へ入力してもシフト動作は行われず、SO1端子の出力レベルは変化しません。

送信動作中に送信を禁止 (CTXE1ビットをクリア (0)) すると、送信動作を中断し、以降の $\overline{\text{SCK1}}$ 入力を無視します。このとき、割り込みの要求 (INTCSI1) は発生しません。また、SO1端子は出力ハイ・レベルになります。

12.3.5 受信のみ許可の場合の動作

受信動作はクロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1) のCRXE1ビットがセット (1) されているときに行われます。CRXE1ビットを“0”から“1”へ変換させるか、シフト・レジスタ (SIO1) からの読み出しを行うと受信動作は起動されます。

(1) シリアル・クロックとして内部クロックを選択した場合

受信が起動されるとシリアル・クロックを $\overline{\text{SCK1}}$ 端子から出力し、シリアル・クロックの立ち上がりに同期してSI1端子のデータをシフト・レジスタ (SIO1) へ順次取り込みます。

なお、受信の起動から $\overline{\text{SCK1}}$ の最初の立ち下がりまでには、最大 $\overline{\text{SCK1}}$ の1クロック分の時間がかかります。

受信動作中に受信を禁止 (CRXE1ビットをクリア (0)) すると、次の $\overline{\text{SCK1}}$ の立ち上がりで $\overline{\text{SCK1}}$ クロックの出力を停止し、受信動作を中断します。このとき割り込みの要求 (INTCSI1) は発生しません。また、SIO1の内容は不定になります。

(2) シリアル・クロックとして外部クロックを選択した場合

受信が起動されると、受信起動後に $\overline{\text{SCK1}}$ 端子へ入力されたシリアル・クロックの立ち上がりに同期してSI1端子のデータをシフト・レジスタ (SIO1) へ順次取り込みます。受信が起動されていないときに $\overline{\text{SCK1}}$ 端子へシリアル・クロックを入力してもシフト動作は行いません。

受信動作中に受信を禁止 (CRXE1ビットをクリア (0)) すると、受信動作を中断し、以降の $\overline{\text{SCK1}}$ 入力を無視します。このとき、割り込みの要求 (INTCSI1) は発生しません。

12.3.6 送受信許可の場合の動作

クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1) のCTXE1ビットとCRXE1ビットが両方ともセット (1) されているときは、送信動作と受信動作を同時に行うことができます (送受信動作)。送受信動作は、CRXE1ビットを“0”から“1”へ変化させるか、シフト・レジスタ (SIO1) へ書き込みを行うと起動します。

なお、送受信動作の1回目の起動時は、必ずCRXE1ビットが“0”から“1”へ変化するので、すぐに送受信動作が起動され、不定なデータが出力される可能性があります。したがって、送信および受信とも禁止されている (CTXE1ビットおよびCRXE1ビットが両方ともクリア (0) されている) ときに、あらかじめSIO1へ最初の送信データを書き込んでから、送受信を許可してください。

なお、送受信禁止時 (CTXE1 = CRXE1 = 0) のときは、SO1端子は出力ハイ・レベルになります。

(1) シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると、シリアル・クロックが $\overline{\text{SCK1}}$ 端子より出力され、シリアル・クロックの立ち下がりに同期してシフト・レジスタ (SIO1) からSO1端子へ順次データが出力され、シリアル・クロックの立ち上がりに同期してSI1端子のデータを順次SIO1へシフト・インします。

なお、送受信の起動から $\overline{\text{SCK1}}$ の最初の立ち上がりまでには、最大 $\overline{\text{SCK1}}$ の1クロック分の時間がかかります。

送受信動作時に送信または受信の一方を禁止した場合は、禁止された動作のみが中断されます。送信のみを禁止した場合は、SO1端子は出力ハイ・レベルになります。受信のみを禁止した場合は、SIO1の内容は不定となります。

送受信を同時に禁止した場合は、 $\overline{\text{SCK1}}$ の立ち上がりで $\overline{\text{SCK1}}$ クロックの出力を停止し、送信および受信動作を中断します。送受信を同時に禁止した場合は、SIO1の内容は不定となり、割り込みの要求 (INTCSI1) は発生しません。また、SO1端子は出力ハイ・レベルになります。

(2) シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると、送受信起動後に $\overline{\text{SCK1}}$ 端子へ入力されたシリアル・クロックの立ち下がりに同期してシフト・レジスタ (SIO1) から順次SO1端子へデータが出力され、シリアル・クロックの立ち上がりに同期してSI1端子のデータを順次SIO1へシフト・インします。送受信が起動されていないときにシリアル・クロックが $\overline{\text{SCK1}}$ 端子へ入力されても、SIO1のシフト動作は行いません。また、SO1端子の出力レベルも変化しません。

送受信動作中に送信または受信の一方を禁止した場合は、禁止された動作のみが中断されます。送信のみを禁止した場合は、SO1端子は出力ハイ・レベルになります。受信のみを禁止した場合は、SIO1の内容は不定となります。

送受信を同時に禁止した場合は、送受信動作を中断し、以降の $\overline{\text{SCK1}}$ 入力を無視します。送受信を同時に禁止した場合は、SIO1の内容は不定となり、割り込みの要求 (INTCSI1) は発生しません。SO1端子は出力ハイ・レベルになります。

12.3.7 シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合に、ノイズなどにより、シリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合、送信動作と受信動作をともに禁止する（CTXE1ビットおよびCRXE1ビットをクリア（0）する）ことにより、シリアル・クロック・カウンタが初期化されるので、次に送信または受信を許可したのちに最初に入力されるシリアル・クロックを1発目のクロックとして、シフト動作とシリアル・クロックの同期を回復することができます。

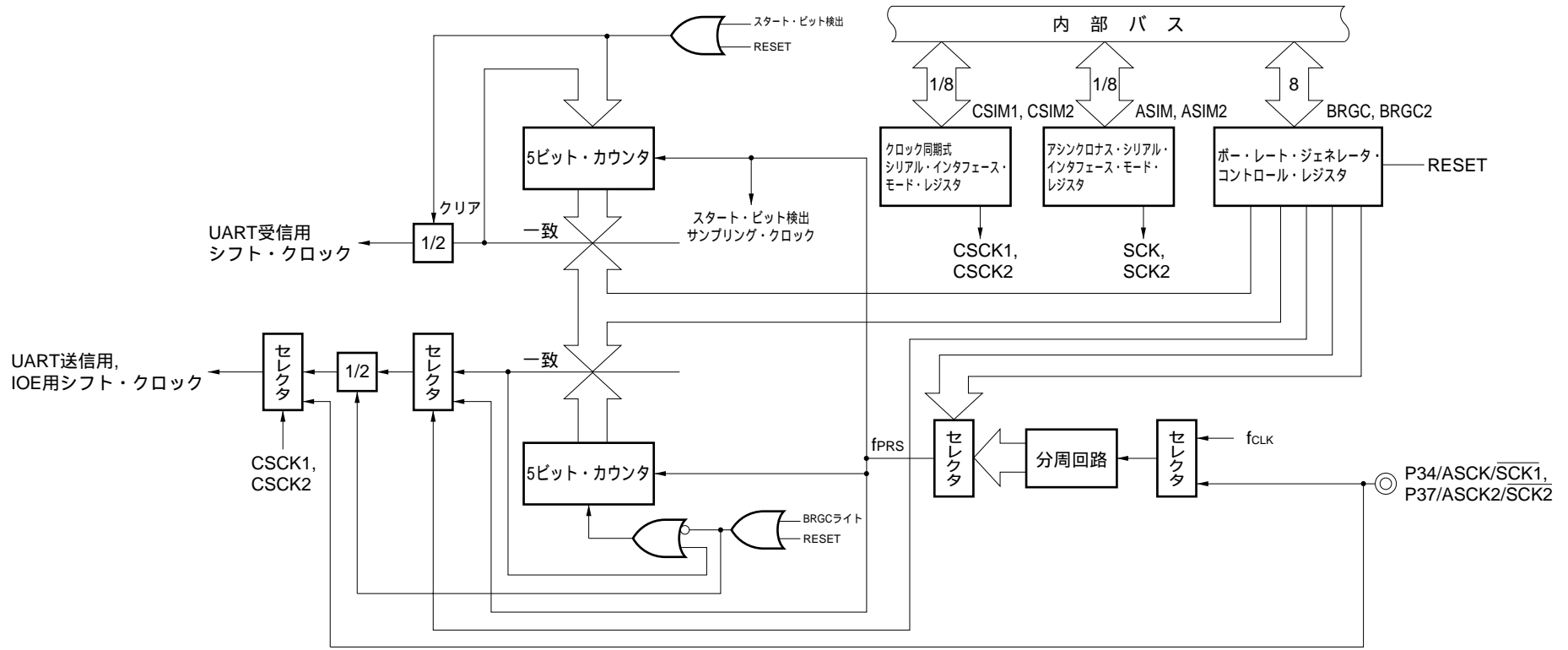
12.4 ボー・レート・ジェネレータ

ボー・レート・ジェネレータは、UART/IOEのシリアル・クロックを生成する回路です。各シリアル・インタフェース用に独立して2回路内蔵しています。

12.4.1 ボー・レート・ジェネレータの構成

図12-15に、ボー・レート・ジェネレータのブロック図を示します。

図12-15 ポー・レート・ジェネレータのブロック図



(1) 5ビット・カウンタ

分周回路からの出力を選択したクロック (f_{PRS}) をカウントするカウンタです。ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2) の下位4ビットで選択された周波数の信号を生成します。

(2) 分周回路

内部クロック (f_{CLK}) , またはアシクロナス・シリアル・インタフェース・モード時には、外部ポー・レート入力 (ASCK, ASCK2) の2倍のクロックを分周し、次段のセクタで f_{PRS} を選択します。

(3) 両エッジ検出回路

ASCK, ASCK2端子入力信号の両エッジを検出し、ASCK, ASCK2入力クロックの倍の周波数の信号を生成します。

12.4.2 ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2)

BRGC, BRGC2は、アシクロナス・シリアル・インタフェース・モード時のポー・レート用クロックや3線式シリアルI/Oモード時のシフト・クロックを設定する8ビット・レジスタです。

8ビット操作命令で読み出し/書き込みが可能です。図12-16に、BRGC, BRGC2のフォーマットを示します。

\overline{RESET} 入力により00Hになります。

注意 ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2) の書き込み命令を実行すると、5ビット・カウンタおよび1/2分周回路の動作がリセットされてしまいます。したがって、通信動作中にBRGC, BRGC2への書き込みを行うと、生成されるポー・レート用クロックが乱れてしまい、正常な通信動作ができなくなる可能性があります。通信動作中にはBRGC, BRGC2への書き込みをしないでください。

図12 - 16 ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) ,
 ポー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2) のフォーマット

アドレス : 0FF90H, 0FF91H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0
BRGC2	TPS23	TPS22	TPS21	TPS20	MDL23	MDL22	MDL21	MDL20

TPS3 TPS23	TPS2 TPS22	TPS1 TPS21	TPS0 TPS20	n	プリスケアラの出力選択 (fPRS)
0	0	0	0	0	fCLK/2, fASCK/2 ^{注1}
0	0	0	1	1	fCLK/4, fASCK/4
0	0	1	0	2	fCLK/8, fASCK/8
0	0	1	1	3	fCLK/16, fASCK/16
0	1	0	0	4	fCLK/32, fASCK/32
0	1	0	1	5	fCLK/64, fASCK/64
0	1	1	0	6	fCLK/128, fASCK/128
0	1	1	1	7	fCLK/256, fASCK/256
1	0	0	0	8	fCLK/512, fASCK/512
1	0	0	1	9	fCLK/1024, fASCK/1024
1	0	1	0	10	fCLK/2048, fASCK/2048
1	0	1	1	11	fCLK/4096, fASCK/4096
上記以外					設定禁止

MDL3 MDL23	MDL2 MDL22	MDL1 MDL21	MDL0 MDL20	k	ポー・レート・ジェネレータの入カクロック ^{注2}
0	0	0	0	0	fPRS/16
0	0	0	1	1	fPRS/17
0	0	1	0	2	fPRS/18
0	0	1	1	3	fPRS/19
0	1	0	0	4	fPRS/20
0	1	0	1	5	fPRS/21
0	1	1	0	6	fPRS/22
0	1	1	1	7	fPRS/23
1	0	0	0	8	fPRS/24
1	0	0	1	9	fPRS/25
1	0	1	0	10	fPRS/26
1	0	1	1	11	fPRS/27
1	1	0	0	12	fPRS/28
1	1	0	1	13	fPRS/29
1	1	1	0	14	fPRS/30
1	1	1	1	15	fPRS ^{注3}

注1 . MDL3-MDL0 (MDL23-MDL20) でk = 15を選択した場合は選択できません。

2 . ASCK (ASCK2) 入力使用時は, fPRS/16しか選択できません。

3 . 3線式シリアルI/Oモード時のみ使用可能。

備考 fASCK : ASCK (ASCK2) 入カクロック

fCLK : 内部システム・クロック

fPRS : プリスケアラ出力の選択クロック

12.4.3 ボー・レート・ジェネレータの動作

ボー・レート・ジェネレータは、UART/IOEの送受信動作が許可されているときだけ動作します。生成するボー・レート用クロックは、内部クロック (f_{CLK}) を分周した信号か、外部ボー・レート入力 (ASCK) 端子から入力されたクロックを分周した信号になります。

注意 通信動作中にボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) への書き込みを行うと、生成されるボー・レート用クロックが乱れてしまい、正常な通信動作ができなくなる可能性があります。通信動作中にBRGCへの書き込みをしないでください。

(1) UARTモード時のボー・レート用クロックの生成

(a) 内部クロック (f_{CLK}) による場合

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット0 (SCK) をセット (1) することにより、この機能が選択されます。

内部クロック (f_{CLK}) を分周回路で分周し、その信号 (f_{PRS}) を5ビット・カウンタで分周し、さらに2分周した信号がボー・レートとなります。ボー・レートは、次の式によって求めます。

$$(\text{ボー・レート}) = \frac{f_{CLK}}{(k+16) \cdot 2^{n+2}}$$

f_{CLK} : 内部システム・クロック周波数

k : BRGCのMDL3ビット-MDL0ビットの設定値 ($k=0-14$)

n : BRGCのTPS3ビット-TPS0ビットの設定値 ($n=0-11$)

(b) 外部ボー・レート入力による場合

アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット0 (SCK) をクリア (0) することにより、この機能が選択されます。なお、この機能を使用するときは、ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) のMDL3ビット-MDL0ビットは、すべてクリア (0) して ($k=0$) 使用してください。また、ポート3モード・コントロール・レジスタ (PMC3) でP34端子 (UART2の場合はP37端子) をコントロール・モードにしてください。

ASCK端子入力のクロックを分周回路で分周し、その信号 (f_{PRS}) を32分周 (16分周と2分周) した信号がボー・レートとなります。ボー・レートは、次の式によって求めます。

$$(\text{ボー・レート}) = \frac{f_{\text{ASCK}}}{2^{n+6}}$$

f_{ASCK} : ASCK端子入力クロック周波数

n : BRGCのTPS3ビット-TPS0ビットの設定値 ($n = 0-11$)

この機能により、1種類の外部入力クロックで複数のボー・レートを生成することができます。

(3) 3線式シリアルI/Oモード時のシリアル・クロックの生成

クロック同期式シリアル・インタフェース・モード・レジスタ1 (CSIM1)のCSCK1ビットをセット(1)し、 $\overline{\text{SCK1}}$ を出力した場合に選択されます。

(a) 通常モード

内部クロック (f_{CLK}) を分周回路で分周し、その信号 (f_{PRS}) を5ビット・カウンタで分周し、さらに2分周した信号がシリアル・クロックになります。シリアル・クロックは、次の式によって求めます。

$$(\text{シリアル・クロック}) = \frac{f_{\text{CLK}}}{(k+16) \cdot 2^{n+2}}$$

f_{CLK} : 内部システム・クロック周波数

k : BRGCのMDL3ビット-MDL0ビットの設定値 ($k = 0-14$)

n : BRGCのTPS3ビット-TPS0ビットの設定値 ($n = 0-11$)

(b) 高速モード

この機能を使用するときは、ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) のMDL3ビット-MDL0ビットは、すべてセット(1)して ($k = 15$) 使用します。

内部クロック (f_{CLK}) を分周回路で分周し、その信号 (f_{PRS}) を2分周した信号がシリアル・クロックになります。シリアル・クロックは、次の式によって求めます。

$$(\text{シリアル・クロック}) = \frac{f_{\text{CLK}}}{2^{n+2}}$$

f_{CLK} : 内部システム・クロック周波数

n : BRGCのTPS3ビット-TPS0ビットの設定値 ($n = 1-11$)

12.4.4 アシクロナス・シリアル・インタフェース・モード時の ボー・レートの設定方法

ボー・レートの設定方法には、表12-3に示す2通りの方法があります。

それぞれ生成できるボー・レートの範囲，ボー・レートの計算式および選択方法についてまとめます。

表12-3 ボー・レートの設定方法

ボー・レート用クロック・ソース		選択方法	ボー・レートの計算式	ボー・レートの範囲
ボー・レート・ジェネレータ	内部システム・クロック	ASIMのSCK = 1	$\frac{f_{CLK}}{(k+16) \cdot 2^{n+2}}$	$\frac{f_{CLK}}{245760} - \frac{f_{CLK}}{64}$
	ASCK入力	ASIMのSCK = 0	$\frac{f_{ASCK}}{2^{n+6}}$	$\frac{f_{ASCK}}{131072} - \frac{f_{ASCK}}{64}$ 注

f_{CLK} : 内部システム・クロック周波数

k : BRGCのMDL3ビット-MDL0ビットの設定値 (k = 0-14; 図12-16参照)

n : BRGCのTPS3ビット-TPS0ビットの設定値 (n = 0-11; 図12-16参照)

f_{ASCK} : ASCK入力クロックの周波数 $\left(0 - \frac{f_{CLK}}{2}\right)$

注 f_{ASCK}の入力範囲を含めると $\left(0 - \frac{f_{CLK}}{128}\right)$

(1) ボー・レート・ジェネレータを使用した場合の設定例

ボー・レート・ジェネレータを使用した場合のボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) への設定例を示します。

ボー・レート・ジェネレータを使用する場合は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のSCKビットをセット (1) してください。

表12-4 ボー・レート・ジェネレータを使用した場合のBRGCへの設定例

内部システム・ク ロック (f _{CLK})	16.0 MHz		12.5 MHz		10.0 MHz		8.0 MHz	
	BRGC値	ボー・レート誤差 (%)	BRGC値	ボー・レート誤差 (%)	BRGC値	ボー・レート誤差 (%)	BRGC値	ボー・レート誤差 (%)
75	BAH	0.16	B4H	1.73	B0H	1.73	AAH	0.16
110	B2H	1.36	ACH	0.92	A6H	0.88	A2H	1.36
150	AAH	0.16	A4H	1.73	A0H	1.73	9AH	0.16
300	9AH	0.16	94H	1.73	90H	1.73	8AH	0.16
600	8AH	0.16	84H	1.73	80H	1.73	7AH	0.16
1200	7AH	0.16	74H	1.73	70H	1.73	6AH	0.16
2400	6AH	0.16	64H	1.73	60H	1.73	5AH	0.16
4800	5AH	0.16	54H	1.73	50H	1.73	4AH	0.16
9600	4AH	0.16	44H	1.73	40H	1.73	3AH	0.16
19200	3AH	0.16	34H	1.73	30H	1.73	2AH	0.16
31250	30H	0.00	29H	0.00	24H	0.00	20H	0.00
38400	2AH	0.16	24H	1.73	20H	1.73	1AH	0.16
76800	1AH	0.16	14H	1.73	10H	1.73	0AH	0.16

(2) 外部ボー・レート入力 (ASCK) を使用した場合の設定例

外部ボー・レート入力 (ASCK) を使用した場合の設定例を表14 - 5 に示します。ASCK入力を使用する場合は、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のSCKビットをクリア (0) し、ポート3モード・コントロール・レジスタ (PMC3) でP34端子 (UART2の場合はP37端子) をコントロール・モードにしてください。

表12 - 5 外部ボー・レート入力 (ASCK) を使用した場合の設定例

f _{ASCK} (ASCK入力周波数)	153.6 kHz	4.9152 MHz
ボー・レート [bps]	BRGC値	BRGC値
75	50H	A0H
150	40H	90H
300	30H	80H
600	20H	70H
1200	10H	60H
2400	00H	50H
4800	-	40H
9600	-	30H
19200	-	20H
38400	-	10H
76800	-	00H

12.5 注意事項

(1) 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) の書き換えは行わないでください。送信中にASIMの書き換えを行うと、それ以降の送信動作ができなくなる場合があります ($\overline{\text{RESET}}$ 入力により、正常になります)。送信中かどうかは、送信完了割り込み (INTST) またはINTSTによりセットされる割り込み要求フラグ (STIF) を用いて、ソフトウェアにより判断することができます。

(2) $\overline{\text{RESET}}$ 入力後、送信シフト・レジスタ (TXS) は空になりますが、送信完了割り込みは発生しません。TXSに送信データを書き込むことによって、送信動作を起動できます。

(3) 受信エラー発生時にも、受信バッファ (RXB) は必ず読み出してください。RXBを読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(4) 受信エラー発生時に、受信完了割り込みの禁止を設定する場合、受信エラーの発生から受信バッファ (RXB, RXB2) の読み出しまでには、ポー・レート用クロックの基準となるクロックの2クロック分のウェイトを挿入してください。ウェイトを挿入しない場合、受信完了割り込みの禁止にもかかわらず、受信完了割り込みが発生してしまいます。

ポー・レート用クロックの基準クロックの2クロック分の時間は、次式により求められます。

$$\text{ウェイト時間} = \frac{2^{n+2}}{f_{\text{CLK}}}$$

備考 f_{CLK} : 内部システム・クロック周波数

n : ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2) の12ビット・プリスケアラのタップ選択のnの値 ($n=0-11$)

(5) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容は、受信バッファ (RXB) を読み出すか、次のデータを受信することにより、クリア (0) されてしまいます。エラーの内容が知りたい場合には、必ずRXBを読み出す前にASISを読み出してください。

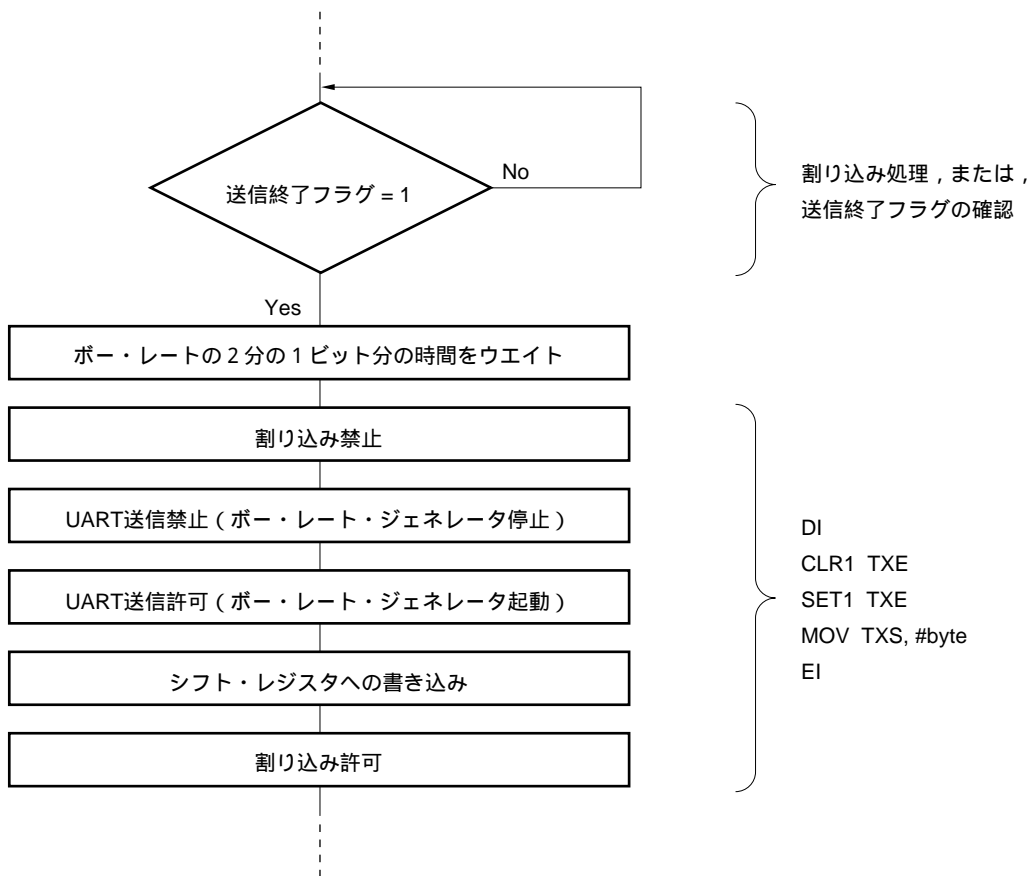
(6) 3線式シリアルI/Oモードにおいて、シフト・レジスタ (SIO n : $n=1, 2$) 書き込み後にクロック同期式シリアル・インタフェース・モード・レジスタ (CSIM n : $n=1, 2$) のDIR n ($n=1, 2$) ビットを変更しても、変更前の設定で出力されます。したがって、DIR n ビットの設定はSIO n への書き込み前に行ってください。

(7) 通信動作中には、ポーレート・ジェネレータ・コントロール・レジスタ (BRGC) への書き込みをしないでください。もし書き込み命令を実行すると、5ビット・カウンタおよび1/2分周回路の動作がリセットされてしまい、生成されるポーレート用クロックが乱れ、正常な通信動作ができなくなる可能性があります。

★ (8) アシクロナス・シリアル・インタフェース・モードにおいて、シフト・レジスタがシフトするタイミングと、シフト・レジスタへの書き込みを行うタイミングが競合したときに、スタート・ビットが正常に出力されない場合があります。

このため、シフト・レジスタへのデータを書き込むたびにポーレート・ジェネレータを再起動させ、シフト・レジスタがシフトするタイミングとシフト・レジスタへの書き込みを行うタイミングとの一致を避けてください。このとき、UART送信許可とシフト・レジスタへの書き込み処理を連続して行うために、次の回避プログラム例のように割り込みの受け付けを禁止するとともに、UART送信時にはマクロ・サービスの起動および動作を禁止してください。さらに、送信終了フラグがセットされてからポーレートの2分の1ビット分の時間が経過したあとに、次に転送する送信データをシフト・レジスタにセットしてください。

<回避プログラム例のフロー・チャート>



ただし、上記の回避プログラムを用いた場合、内部システム・クロックの発振周波数に対する分周比ポーレートとの関係は、次の式が満たされるようにしてください。

- ・高速フェッチを選択（メモリ拡張モード・レジスタ（MM）のIFCHビットを1に設定）し、ポーレート・クロック作成のためのクロックを内部クロックにした場合。

$$(k + 15) \times 2^{n+3} > 17 \times a \quad \dots\dots$$

- ・高速フェッチを選択（メモリ拡張モード・レジスタ（MM）のIFCHビットを1に設定）し、ポーレート・クロック作成のためのクロックをASCK端子から入力するクロックにした場合。

$$15 \times 2^{n+2}/f_{ASCK} > 17 \times a/f_{XX} \quad \dots\dots$$

- ・通常フェッチを選択（メモリ拡張モード・レジスタ（MM）のIFCHビットを0に設定）し、ポーレート・クロック作成のためのクロックを内部クロックにした場合。

$$(k + 15) \times 2^{n+3} > \{ 3 \times (3 + b + c) + 13 \} \times a \quad \dots\dots$$

- ・通常フェッチを選択（メモリ拡張モード・レジスタ（MM）のIFCHビットを0に設定）し、ポーレート・クロック作成のためのクロックをASCK端子から入力するクロックにした場合。

$$15 \times 2^{n+2}/f_{ASCK} > \{ 3 \times (3 + b + c) + 13 \} \times a/f_{XX} \quad \dots\dots$$

- 備考**
- f_{XX} : 発振周波数または外部クロック入力周波数
 - f_{ASCK} : ASCK端子から入力されるクロックの周波数
 - a : 内部システム・クロックの発振周波数に対する分周比
 - b : 外部メモリのアクセス時のリード/ライトに対するアクセス・ウエイト値
 - c : 外部メモリのアクセス時のアドレス出力に対するアドレス・ウエイト値
 - k : BRGC (BRGC2) レジスタのMDL3-MDL0 (MDL23-MDL20) ビットの設定値
 - n : BRGC (BRGC2) レジスタのTPS3-TPS0 (TPS23-TPS20) ビットの設定値

< ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) ,
 ボー・レート・ジェネレータ・コントロール・レジスタ 2 (BRGC2) のフォーマット >

アドレス : 0FF90H, 0FF91H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0
BRGC2	TPS23	TPS22	TPS21	TPS20	MDL23	MDL22	MDL21	MDL20

TPS3 TPS23	TPS2 TPS22	TPS1 TPS21	TPS0 TPS20	n	プリスケーラの出 力選択 (f _{PRS})
0	0	0	0	0	f _{xx} /4, f _{ASCK} /2 ^{注1}
0	0	0	1	1	f _{xx} /8, f _{ASCK} /4
0	0	1	0	2	f _{xx} /16, f _{ASCK} /8
0	0	1	1	3	f _{xx} /32, f _{ASCK} /16
0	1	0	0	4	f _{xx} /64, f _{ASCK} /32
0	1	0	1	5	f _{xx} /128, f _{ASCK} /64
0	1	1	0	6	f _{xx} /256, f _{ASCK} /128
0	1	1	1	7	f _{xx} /512, f _{ASCK} /256
1	0	0	0	8	f _{xx} /1024, f _{ASCK} /512
1	0	0	1	9	f _{xx} /2048, f _{ASCK} /1024
1	0	1	0	10	f _{xx} /4096, f _{ASCK} /2048
1	0	1	1	11	f _{xx} /8192, f _{ASCK} /4096
上記以外					設定禁止

MDL3 MDL23	MDL2 MDL22	MDL1 MDL21	MDL0 MDL20	k	ボー・レート・ジェネレー タの入力クロック ^{注2}
0	0	0	0	0	f _{PRS} /16
0	0	0	1	1	f _{PRS} /17
0	0	1	0	2	f _{PRS} /18
0	0	1	1	3	f _{PRS} /19
0	1	0	0	4	f _{PRS} /20
0	1	0	1	5	f _{PRS} /21
0	1	1	0	6	f _{PRS} /22
0	1	1	1	7	f _{PRS} /23
1	0	0	0	8	f _{PRS} /24
1	0	0	1	9	f _{PRS} /25
1	0	1	0	10	f _{PRS} /26
1	0	1	1	11	f _{PRS} /27
1	1	0	0	12	f _{PRS} /28
1	1	0	1	13	f _{PRS} /29
1	1	1	0	14	f _{PRS} /30
1	1	1	1	15	f _{PRS} ^{注3}

注1 . MDL3-MDL0 (MDL23-MDL20) で k = 15 を選択した場合は選択できません。

2 . ASCK (ASCK2) 入力使用時は, f_{PRS}/16しか選択できません。

3 . 3線式シリアルI/Oモード時のみ使用可能。

備考 f_{ASCK} : ASCK (ASCK2) 入力クロック

f_{xx} : 発振周波数または外部クロック入力周波数

f_{PRS} : プリスケーラ出力の選択クロック

< 式の使用例 >

例として、通常フェッチを選択し、ポー・レート・クロックを生成するためのクロックを内部クロックにしたときに、外部メモリに対して、ノー・ウエイトで使用する ($b=c=0$) とともに、ポー・レートを最高速で使う場合 ($k=n=0$) を示します。この条件では、式は次のようになります。

$$a < 5.45$$

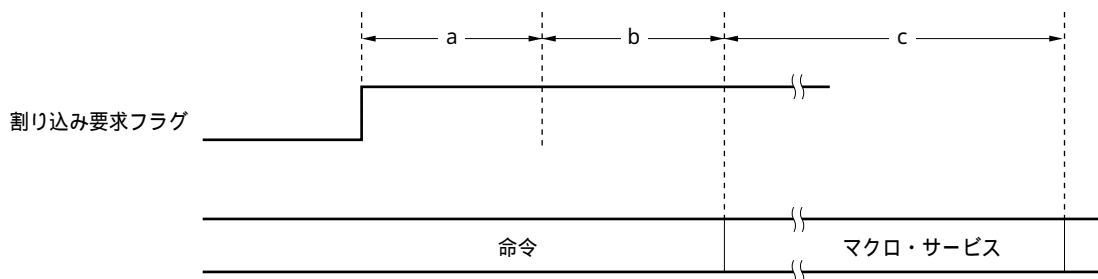
この場合、内部システム・クロックは発振周波数を2分周と4分周時に使用することができますが、8分周と16分周時には使用できないことを表しています。

< 回避プログラムの注意点 >

マクロ・サービスを用い、UARTの転送処理を行う場合も、シフト・レジスタのシフトのタイミングとシフト・レジスタへの書き込みのタイミングが一致すると、この現象は発生します。しかし、次の3点を満たすと、この現象の発生するタイミングは存在しないため、回避することができます。

- ・ UARTの送信許可 (SET1 TXE) の直後に、マクロ・サービスを起動する。
- ・ ポー・レートの周期を、マクロ・サービスの要求から終了までの時間よりも長くする。
- ・ ほかのマクロ・サービスにより、UARTのデータ転送のマクロ・サービスが保留されないようにする (マクロ・サービスを用い、UARTのデータ転送を行う場合、ほかの優先順位の高いマクロ・サービスの処理を禁止する)。

マクロ・サービスの要求から終了までの実行時間は下図の a, b, c の時間を合計した値になります。



a : 割り込み要求フラグ・セット後の割り込み優先順位の判定時間

割り込み要求フラグがセットされたあと、優先順位などの判定を行うために、8システム・クロックの時間がかかります。

b : 割り込み要求フラグがセットされたときに、実行中の命令が終了するまでの時間

割り込み要求フラグがセットされたときに実行していた命令が処理を終了した時点で、マクロ・サービスが実行されます。なお、実行中の命令がマクロ・サービスを一時的に保留する命令であれば、その次の命令を終了したあとにマクロ・サービスが受け付けられます。

【マクロ・サービスが一時的に保留される命令】

- ・ EI
- ・ DI
- ・ BRK
- ・ BRKCS
- ・ RETCS
- ・ 割り込み制御レジスタ, MK0, MK1L, IMC, ISPR, SNMIの各レジスタに対する書き込み命令およびビット操作命令^{注1}
- ・ PSWのビット操作命令^{注2}
- ・ RETCSB !addr16
- ・ RETI
- ・ RETB
- ・ LOCATION 0H
- ・ LOCATION 0FH
- ・ POP PSW
- ・ POPU post
- ・ MOV PSWL,A
- ・ MOV PSWL,#byte
- ・ MOVG SP,#imm24

注1 . BT命令, BF命令を除く

2 . 次の命令を除く

- ・ BT PSWL.bit,\$ADDR20
- ・ BF PSWL.bit,\$ADDR20
- ・ BT PSWH.bit,\$ADDR20
- ・ BF PSWH.bit,\$ADDR20
- ・ SET1 CY
- ・ NOT1 CY
- ・ CLR1 CY

c : マクロ・サービスの処理時間

SFRへデータ転送するときのマクロ・サービスの処理時間は次のようになります。

マクロ・サービスの処理タイプ		データ領域	
		IRAM	その他
メモリ SFR (1バイト)	ブロック転送モード : BLKTRS	24	-
	ブロック転送モード(メモリ・ポインタ付き) : BLKTRS-P	30	32

(単位: クロック = 1/f_{CLK})

備考1 . データ領域が外部メモリおよび高速フェッチに指定していない内部ROM (EMEM16, EMEM8) の場合, 上記数値にデータ・アクセス時のウエイト数(クロック数)を加算してください。

2 . IRAM : 内蔵高速RAM

EMEM16 : 外部メモリおよび高速フェッチに指定していない内部ROMで, 16ビット・バス幅に設定されたメモリ

EMEM8 : 外部メモリおよび高速フェッチに指定していない内部ROMで, 8ビット・バス幅に設定されたメモリ

第13章 エッジ検出機能

P20-P27は、立ち上がりエッジ/立ち下がりエッジをプログラマブルに指定できるエッジ検出機能を持っており、検出したエッジを内部の各ハードウェアへ送っています。P20-P27端子と検出されたエッジの用途の関係を表13 - 1 に示します。

表13 - 1 P20-P27端子と検出エッジの用途

端子名称	用途	検出エッジ指定レジスタ
P20	NMI, スタンバイ回路の制御	INTM0
P21	INTP0, タイマ0のCC00のキャプチャ信号	
P22	INTP1, タイマ0のCC01のキャプチャ信号	
P23	INTP2, タイマ0のCC02のキャプチャ信号	
P24	INTP3, タイマ0のCC03のキャプチャ信号	INTM1
P25	INTP4, A/Dコンバータの変換スタート信号	
P26	INTP5	
P27	INTP6	

エッジ検出機能は、STOPモード、IDLEモード時を除いて常時動作しています（ただし、P20端子のエッジ検出機能はSTOPモード、IDLEモード時も動作しています）。

また、P21-P27端子は、エッジ検出時に行われるノイズ除去の時間をソフトウェアで選択できます。

13.1 エッジ検出機能の制御レジスタ

13.1.1 外部割り込みモード・レジスタ (INTM0, INTM1)

INTM_n (n = 0, 1) は、P20-P27端子で検出するエッジの有効エッジを指定するレジスタです。INTM0でP20-P23端子の有効エッジを指定し、INTM1でP24-P27端子での有効エッジを指定します。

INTM_nは、8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。

図13 - 1 にINTM0のフォーマット、図13 - 2 にINTM1のフォーマットを示します。

RESET入力で00Hになります。

図13 - 1 外部割り込みモード・レジスタ0 (INTM0) のフォーマット

アドレス : 0FF3CH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	ESNMI

ES21	ES20	P23 (INTP2, CC02キャプチャ・トリガ) 端子入力の検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり, 立ち上がり両エッジ

ES11	ES10	P22 (INTP1, CC01キャプチャ・トリガ) 端子入力の検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり, 立ち上がり両エッジ

ES01	ES00	P21 (INTP0, CC00キャプチャ・トリガ) 端子入力の検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり, 立ち上がり両エッジ

ESNMI	P20 (NMI) 端子入力の検出エッジ指定
0	立ち下がりエッジ
1	立ち上がりエッジ

図13 - 2 外部割り込みモード・レジスタ 1 (INTM1) のフォーマット

アドレス : 0FF3DH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
INTM1	ES61	ES60	ES51	ES50	ES41	ES40	ES31	ES30

ES61	ES60	P27 (INTP6) 端子入力の検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり, 立ち上がり両エッジ

ES51	ES50	P26 (INTP5) 端子入力の検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり, 立ち上がり両エッジ

ES41	ES40	P25 (INTP4, A/D変換スタート・トリガ) 端子入力の検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり, 立ち上がり両エッジ

ES31	ES30	P24 (INTP3, CC03キャプチャ・トリガ) 端子入力の検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり, 立ち上がり両エッジ

注意 外部割り込みモード・レジスタ (INTMn : n = 0, 1) への書き込みによって有効エッジを変更したときには有効エッジの検出は行われません。また、有効エッジの変更中に、エッジが入力された場合は、そのエッジが有効エッジと判断されるか、有効でないエッジと判断されるかは不定です。

13.1.2 割り込み有効エッジ・フラグ・レジスタ (IEF1, IEF2)

IEF1, IEF2は, INTP0-INTP6端子でエッジが発生したときに, 立ち上がり, 立ち下がりどちらのエッジが発生したかを示すフラグ・レジスタです。このフラグを確認することで, 割り込みの有効エッジを立ち上がり, 立ち下がりの両エッジに設定した場合にどちらのエッジが発生したのか知ることができます。

8ビット操作命令およびビット操作命令で読み出し/書き込みが可能です。図13-3, 図13-4に, IEF1, IEF2のフォーマットを示します。

$\overline{\text{RESET}}$ 入力により不定となります。

図13-3 割り込み有効エッジ・フラグ・レジスタ1 (IEF1) のフォーマット

アドレス : 0FF3EH リセット時 : 不定 R/W

	⑦	⑥	⑤	④	③	②	①	①
IEF1	IEFH3	IEFL3	IEFH2	IEFL2	IEFH1	IEFL1	IEFH0	IEFL0

IEFHn	INTPn端子の立ち上がりエッジ・フラグ (n=0-3)
0	立ち上がりエッジ発生せず
1	立ち上がりエッジ発生

IEFLn	INTPn端子の立ち下がりエッジ・フラグ (n=0-3)
0	立ち下がりエッジ発生せず
1	立ち下がりエッジ発生

図13 - 4 割り込み有効エッジ・フラグ・レジスタ2 (IEF2) のフォーマット

アドレス : 0FF3FH リセット時 : 不定 R/W

	7	6	⑤	④	③	②	①	①
IEF2	0	0	IEFH6	IEFL6	IEFH5	IEFL5	IEFH4	IEFL4

IEFHn	INTPn端子の立ち上がりエッジ・フラグ (n = 4-6)
0	立ち上がりエッジ発生せず
1	立ち上がりエッジ発生

IEFLn	INTPn端子の立ち下がりエッジ・フラグ (n = 4-6)
0	立ち下がりエッジ発生せず
1	立ち下がりエッジ発生

- 注意 1 . フラグの確認後は、ソフトウェアでフラグを “ 0 ” にしてください。
- 2 . 割り込み有効エッジ・フラグ・レジスタ (IEFn : n = 1 , 2) はエッジが発生したことを示すフラグ・レジスタであり、有効エッジの指定とは関係ありません。たとえば、INTP0端子入力において、立ち上がりエッジを有効に設定し、立ち下がりエッジが発生した場合は、割り込み要求信号は発生しませんが、IEFL0フラグは “ 1 ” になります。
- 3 . リセット解除後にINTPn (n = 0-6) 端子が “ 1 ” の場合は立ち上がりエッジとして認識され、IEFHn (n = 0-6) フラグが “ 1 ” になります。また、デジタル・ポート (P21-P27) として使用している場合もIEFHnフラグはセット (1) されることがありますので、外部割り込みのエッジ確認の前に必ずIEFHnフラグをクリア (0) してください。

13.1.3 ノイズ・プロテクション・コントロール・レジスタ (NPC)

NPCは、P21/INTP0-P27/INTP6端子で行うデジタル・ノイズ除去のサンプリング・クロックを指定するレジスタです。

NPCは、8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。

図13-5にNPCのフォーマットを示します。

$\overline{\text{RESET}}$ 入力で00Hになります。

図13-5 ノイズ・プロテクション・コントロール・レジスタ (NPC) のフォーマット

アドレス：0FF3BH リセット時：00H R/W

	7	6	5	4	3	2	1	0
NPC	0	NI6	NI5	NI4	NI3	NI2	NI1	NI0

($f_{\text{CLK}} = 16 \text{ MHz}$ 時)

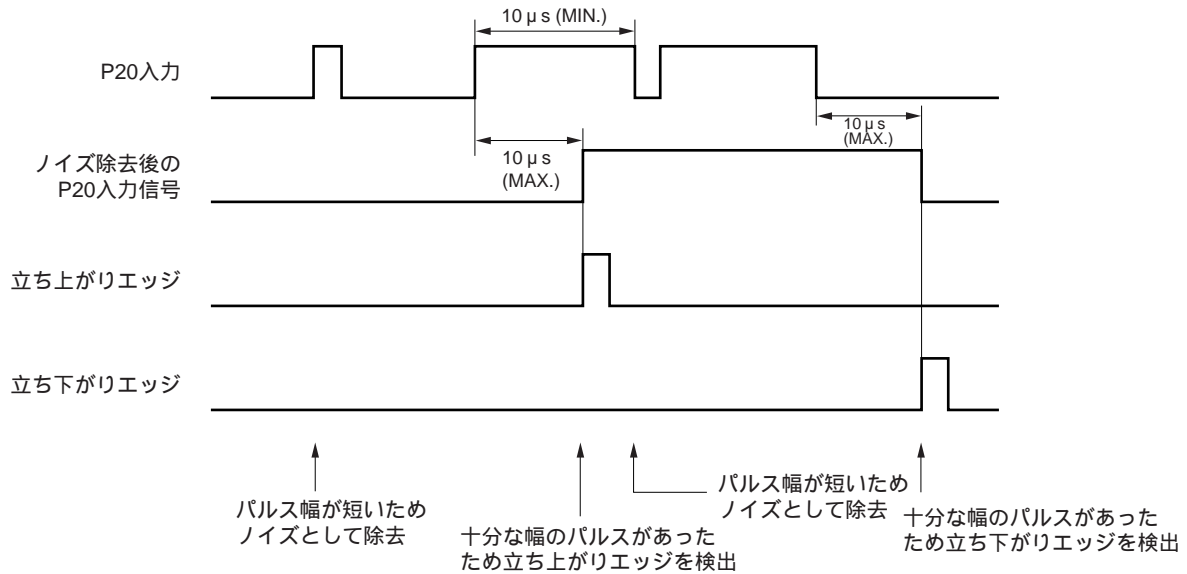
NI _n	INTP _n 端子のノイズ除去のサンプリング・クロックの指定		
	($n = 0-6$)	ノイズとして除去されるパルス幅	信号として認められる最小パルス幅
0	f_{CLK}	$3/f_{\text{CLK}}$ (0.19 μs)	$4/f_{\text{CLK}}$ (0.25 μs)
1	$f_{\text{CLK}}/4$	$12/f_{\text{CLK}}$ (0.75 μs)	$16/f_{\text{CLK}}$ (1.0 μs)

備考 f_{CLK} : 内部システム・クロック

13.2 P20端子のエッジ検出

P20端子は、アナログ・ディレイによるノイズ除去後にエッジ検出を行っています。したがって、一定以上の時間幅（10 μ s）のパルス幅がないとエッジを検出することができません。

図13 - 6 P20端子のエッジ検出



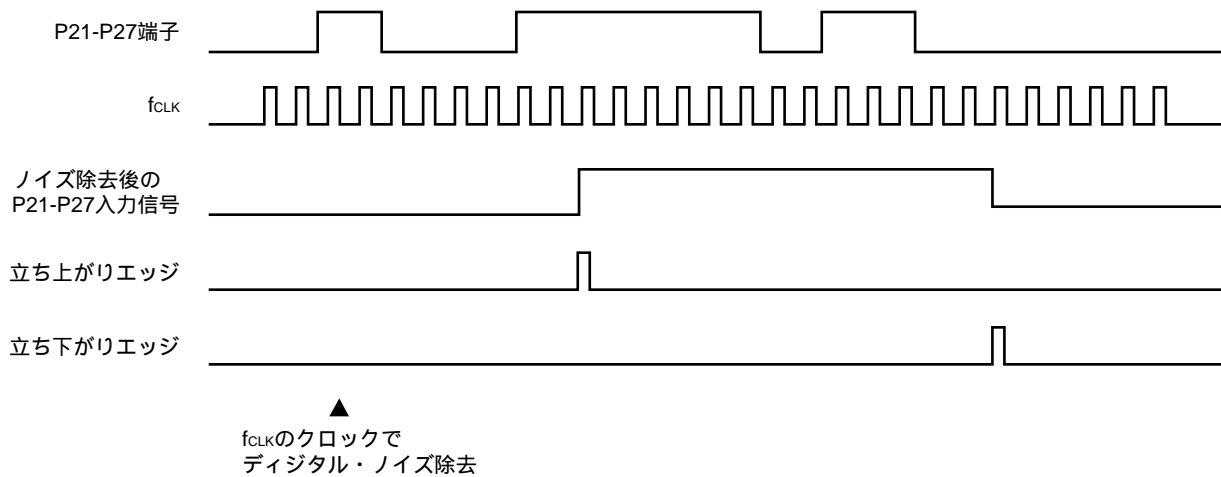
注意 P20端子にはアナログ・ディレイによるノイズ除去を行っているため、実際にエッジが入力されてから最大10 μ s後にエッジが検出されます。また、P21-P27端子と異なり、デバイスごとの特性の違いにより、エッジが検出されるまでの遅延時間は一定の値とはなりません。

13.3 P21-P27端子のエッジ検出

P21-P27端子のエッジ検出は、クロック・サンプリングによるデジタル・ノイズ除去後に行われます。サンプリング・クロックは f_{CLK} に固定です。

デジタル・ノイズ除去は、 f_{CLK} のクロックでサンプリングを行い、入力されているレベルが連続して4回以上同一でなければ（3回以下しか連続しなければ）ノイズとして除去されます。したがって、有効エッジと認められるためには、 f_{CLK} のクロックで4周期以上の期間（ $0.25 \mu s : f_{CLK} = 16 \text{ MHz}$, $f_{CLK} = \frac{1}{2}f_{XX}$, $f_{XX} = 32 \text{ MHz}$ ）レベルを保持しなければなりません。

図13 - 7 P21-P27端子のエッジ検出



- 注意 1** . f_{CLK} のクロックでデジタル・ノイズ除去を行っているため、端子にエッジが入力されてから、実際にエッジが検出されるまで f_{CLK} のクロックで4クロックかかります。
- 2** . 入力パルスの幅が f_{CLK} のクロックで4クロックの場合は、有効エッジが検出されるか、検出されないかは不定です。確実に動作させるためには、4クロック以上の期間、レベルを固定するようにしてください。
- 3** . 端子に入力されたノイズが $\mu PD784054$ 内の f_{CLK} のクロックと同期している場合には、ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は、入力端子にフィルタを付加してノイズを除去するようにしてください。

13.4 注意事項

- (1) 外部割り込みモード・レジスタ (INTMn : n = 0, 1) への書き込みによって有効エッジを変更したときには有効エッジの検出は行われません。また、有効エッジの変更中にエッジが入力された場合は、そのエッジが有効エッジと判断されるか、有効でないエッジと判断されるかは不定です。
- (2) 割り込み有効エッジ・フラグ・レジスタ (IEFn : n = 1, 2) によるフラグの確認後は、ソフトウェアでフラグを “ 0 ” にしてください。
- (3) 割り込み有効エッジ・フラグ・レジスタ (IEFn : n = 1, 2) はエッジが発生したことを示すフラグ・レジスタであり、有効エッジの指定とは関係ありません。たとえば、INTP0端子入力において、立ち上がりエッジを有効に設定し、立ち下がりエッジが発生した場合は、割り込み要求信号は発生しませんが、IEFL0フラグは “ 1 ” になります。
- (4) リセット解除後にINTPn (n = 0-6) 端子が “ 1 ” の場合は立ち上がりエッジとして認識され、割り込み有効エッジ・フラグ・レジスタ (IEFn : n = 1, 2) のIEFHn (n = 0-6) フラグが “ 1 ” になります。また、デジタル・ポート (P21-P27) として使用している場合もIEFHnフラグはセット (1) されることがありますので、外部割り込みのエッジ確認の前に必ずIEFHnフラグをクリア (0) してください。
- (5) P20端子はアナログ・ディレイによるノイズ除去を行っているため、実際にエッジが入力されてから最大10 μ s後にエッジが検出されます。また、P21-P27端子と異なり、デバイスごとの特性の違いにより、エッジが検出されるまでの遅延時間は一定の値とはなりません。
- (6) P21-P27端子は、fCLKのクロックでデジタル・ノイズ除去を行っているため、端子にエッジが入力されてから、実際にエッジが検出されるまでfCLKのクロックで4クロックかかります。
- (7) P21-P27端子は、入力パルスの幅がfCLKのクロックで4クロックの場合は、有効エッジが検出されるか、検出されないかは不定です。確実に動作させるためには、4クロック以上の期間、レベルを固定するようにしてください。
- (8) P21-P27端子に入力されたノイズが μ PD784054内のfCLKのクロックと同期している場合には、ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は、入力端子フィルタを付加してノイズを除去するようにしてください。

第14章 割り込み機能

μPD784054は、割り込み要求の処理としてベクタ割り込み、コンテキスト・スイッチング、マクロ・サービスの3つのモードを備えています(表14-1参照)。これら3つの処理モードは、プログラムで任意に設定できます。ただし、マクロ・サービスによる割り込み処理の選択は表14-2で示すマクロ・サービス処理モードを備えている割り込み要求ソースに対してのみ選択できます。コンテキスト・スイッチングは、ノンマスカブル割り込みおよびオペランド・エラー割り込みでは選択できません。

また、マスク可能なベクタ割り込みについては、4レベルの優先順位を持った多重処理制御を容易に行うことが可能です。

表14-1 割り込み要求の処理形態

割り込み要求処理モード	処理の主体	PC, PSWの内容	処 理 形 態
ベクタ割り込み	ソフトウェア	スタックへの退避 / 復帰動作を行う	ベクタ・テーブルで指定されたアドレス ^注 のサービス・プログラムに分岐し実行
コンテキスト・スイッチング		レジスタ・バンク中の固定エリアへの退避 / 復帰を行う	ベクタ・テーブルで指定されたレジスタ・バンクへの切り替えを自動的に行い、レジスタ・バンク中の固定エリアで指定されたアドレス ^注 のサービス・プログラムに分岐し実行
マクロ・サービス	ハードウェア (ファームウェア)	保持(ただし、CPU監視モード0ではPSWは0x00Hになります)	メモリとI/Oとのデータ転送などあらかじめ設定した処理を実行

注 すべての割り込みサービス・プログラムの先頭アドレスは、ベース領域にある必要があります。ベース領域内にサービス・プログラムの本体が配置できない場合は、ベース領域内にサービス・プログラムへの分岐命令を記述してください。

14.1 割り込み要求ソース

μPD784054には、表14 - 2 に示すように29種類の割り込み要求ソースがあり、それぞれに割り込みベクタ・テーブルが割り付けられています。

表14 - 2 割り込み要求ソースの種類 (1/2)

割り込み 要求タイプ	デフォルト 優先順位	割り込み要求発生ソース	発生ユニット	割り込み制御 レジスタ名	コンテキスト・ スイッチング	マクロ・ サービス	マクロ・サービス・ コントロール・ ワード・アドレス	ベクタ・ テーブル・ アドレス
ソフトウェア	なし	BRK命令の実行	-	-	不可	不可	-	3EH
		BRKCS命令の実行	-	-	可	不可	-	-
オペランド・ エラー	なし	MOV STBC, byte命令またはMOV WDM, byte命令, LOCATION命 令のオペランド不正	-	-	不可	不可	-	3CH
ノンマスク ブル	なし	NMI (端子入力エッジ検出)	エッジ検出	-	不可	不可	-	2H
		INTWDT (ウォッチドッグ・タ イマのオーバーフロー)	ウォッチドッ グ・タイマ	-	不可	不可	-	4H

表14-2 割り込み要求ソースの種類 (2/2)

割り込み要求タイプ	デフォルト優先順位	割り込み要求発生ソース	発生ユニット	割り込み制御レジスタ名	コンテキスト・スイッチング	マクロ・サービス	マクロ・サービス・コントロール・ワード・アドレス	ベクタ・テーブル・アドレス
マスクابل	0 (最高)	INTOV0 (タイマ0のオーバーフロー)	タイマ0	OVIC0	可	可	0FE06H	6H
	1	INTOV1 (タイマ1のオーバーフロー)	タイマ1	OVIC1			0FE08H	8H
	2	INTOV4 (タイマ4のオーバーフロー)	タイマ4	OVIC4			0FE0AH	0AH
	3	INTP0 (端子入力エッジ検出)	エッジ検出	PIC0			0FE0CH	0CH
		INTCC00 (TM0-CC00一致信号発生)	タイマ0					
	4	INTP1 (端子入力エッジ検出)	エッジ検出	PIC1			0FE0EH	0EH
		INTCC01 (TM0-CC01一致信号発生)	タイマ0					
	5	INTP2 (端子入力エッジ検出)	エッジ検出	PIC2			0FE10H	10H
		INTCC02 (TM0-CC02一致信号発生)	タイマ0					
	6	INTP3 (端子入力エッジ検出)	エッジ検出	PIC3			0FE12H	12H
		INTCC03 (TM0-CC03一致信号発生)	タイマ0					
	7	INTP4 (端子入力エッジ検出)	エッジ検出	PIC4			0FE14H	14H
	8	INTP5 (")	"	PIC5			0FE16H	16H
	9	INTP6 (")	"	PIC6			0FE18H	18H
	10	INTCM10 (TM1-CM10の一致信号発生)	タイマ1	CMIC10			0FE1AH	1AH
	11	INTCM11 (TM1-CM11の一致信号発生)	"	CMIC11			0FE1CH	1CH
	12	NTCM40 (TM4-CM40の一致信号発生)	タイマ4	CMIC40			0FE26H	26H
	13	INTCM41 (TM4-CM41の一致信号発生)	"	CMIC41			0FE28H	28H
	14	INTSER (UART0受信エラー)	アシンクロナス・シリアル・インタフェース0	SERIC			0FE2AH	2AH
	15	INTSR (UART0受信終了)	アシンクロナス・シリアル・インタフェース0	SRIC			0FE2CH	2CH
INTCSI1 (3線式シリアルI/O1転送終了)		3線式シリアルI/O1	CSIIC1					
16	INTST (UART0送信終了)	アシンクロナス・シリアル・インタフェース0	STIC	0FE2EH	2EH			
17	INTSER2 (UART2受信エラー)	アシンクロナス・シリアル・インタフェース2	SERIC2	0FE30H	30H			
18	INTSR2 (UART2受信終了)	アシンクロナス・シリアル・インタフェース2	SRIC2	0FE32H	32H			
	INTCSI2 (3線式シリアルI/O2転送終了)	3線式シリアルI/O2	CSIIC2					
19	INTST2 (UART2送信終了)	アシンクロナス・シリアル・インタフェース2	STIC2	0FE34H	34H			
20 (最低)	INTAD (A/D変換終了)	ADコンバータ	ADIC	0FE36H	36H			

備考1 . デフォルト優先順位は、固定されている数値です。同一優先順位に指定された複数の割り込み要求が、同時に発生した場合に優先される順位を示します。

2 . INTSRとINTCSI1は、同一のハードウェアから発生する割り込みです（同時に両方は使用できません）。したがって、割り込みに関しても同一のハードウェアを使用していますが、どちらのモードを使用しているかに応じて名称を使い分けられるように、2通りの名称を用意しています。INTSR2、INTCSI2についても同様です。

14.1.1 ソフトウェア割り込み

ソフトウェアによる割り込みには、ベクタ割り込みを発生するBRK命令とコンテキスト・スイッチングを行うBRKCS命令があります。

ソフトウェアによる割り込みは、割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

14.1.2 オペランド・エラー割り込み

MOV STBC, byte命令, MOV WDM, byte命令およびLOCATION命令のオペランドが不正の場合に発生する割り込みです。

オペランド・エラー割り込みは、割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

14.1.3 ノンマスクابل割り込み

ノンマスクابل割り込みはNMI端子入力またはウォッチドッグ・タイマによって発生します。

ノンマスクابل割り込みは、割り込み禁止状態であっても無条件^注に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

注 同一のノンマスクابل割り込みのサービス・プログラムの実行中と、優先順位の高いノンマスクابل割り込みのサービス・プログラムの実行中を除く

14.1.4 マスクابل割り込み

マスクابل割り込みは、割り込みマスク・フラグの設定によってマスク制御を受ける割り込みです。また、プログラム・ステータス・ワード (PSW) のIEフラグによって、マスクابل割り込み全体に対して受け付けの許可 / 禁止の指定ができます。

マスクابل割り込みは、通常ベクタ割り込みのほかに、コンテキスト・スイッチングやマクロ・サービスによって受け付けることが可能です。

マスクابل割り込みは、表14 - 2のように同一優先順位を持つ複数の割り込み要求が同時に発生している場合の優先順位が決められています (デフォルト優先順位)。また、割り込み優先順位を4レベルのグループに分け、多重処理の制御を行うことができます。ただしマクロ・サービスは、優先順位制御やIEフラグとは無関係に受け付けられます。

14.2 割り込み処理モード

μPD784054の割り込み処理モードには、次の3つのモードがあります。

- ・ベクタ割り込み処理
- ・マクロ・サービス
- ・コンテキスト・スイッチング

14.2.1 ベクタ割り込み処理

割り込みが受け付けられると、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)を自動的にスタック領域に退避させ、ベクタ・テーブルに格納されているデータで示されるアドレスに分岐し、割り込み処理ルーチンを実行します。

14.2.2 マクロ・サービス

割り込みが受け付けられると、CPUの実行を一時中断し、ハードウェア的にデータ転送を行います。マクロ・サービスは、CPUを介さずに行われるため、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)などのCPUステータスを退避/復帰する必要がありません。したがって、CPUのサービス時間を向上させる大きな効果があります(14.8 マクロ・サービス機能参照)。

14.2.3 コンテキスト・スイッチング

割り込みが受け付けられると、ハードウェアにより所定のレジスタ・バンクを選択し、レジスタ・バンク内にあらかじめ設定しておいたベクタ・アドレスに分岐すると同時に、現在のプログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)をレジスタ・バンク内に退避します(14.4.2 BRKCS命令によるソフトウェア割り込み(ソフトウェア・コンテキスト・スイッチング)の受け付け動作、14.7.2 コンテキスト・スイッチング参照)。

備考 コンテキストとは、プログラムの実行において、そのプログラムからアクセス可能なCPUのレジスタのことです。このレジスタには、汎用レジスタ、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)、スタック・ポインタ(SP)が含まれます。

14.3 割り込み処理制御レジスタ

μPD784054の割り込み処理は、割り込み処理の指定を行う各種制御レジスタにより、各割り込み要求ごとに制御されます。表14 - 3に、割り込みの制御レジスタ一覧を示します。

表14 - 3 制御レジスタ一覧

レジスタ名	略号	機能
割り込み制御レジスタ	OVIC0, OVIC1, OVIC4, PIC0, PIC1, PIC2, PIC3, PIC4, PIC5, PIC6, CMIC10, CMIC11, CMIC40, CMIC41, SERIC, SRIC, CSIIC1, STIC, SERIC2, SRIC2, CSIIC2, STIC2, ADIC	各割り込み要求の発生の記憶, マスク制御, ベクタ割り込み処理またはマクロ・サービス処理の指定, コンテキスト・スイッチング機能の許可/禁止, 優先順位の指定を行うレジスタ
割り込みマスク・レジスタ	MK0 (MK0L, MK0H) MK1 (MK1L, MK1H)	マスカブル割り込み要求のマスク制御 割り込み制御レジスタ内のマスク制御フラグと連動ワード・アクセスまたはバイト・アクセスが可能
インサービス・プライオリティ・レジスタ	ISPR	現在受け付け中の割り込み要求について優先順位を記憶
割り込みモード・コントロール・レジスタ	IMC	優先順位を最下位レベル(レベル3)に指定したマスカブル割り込みのネスティングを制御
ウォッチドッグ・タイマ・モード・レジスタ	WDM	NMI端子入力による割り込みとウォッチドッグ・タイマのオーバフローによる割り込みの優先順位を指定
プログラム・ステータス・ワード	PSW	マスカブル割り込みの受け付け許可/禁止を指定

割り込み制御レジスタは、おのその割り込み要因ごとに制御レジスタが割り当てられています。各レジスタのフラグは、それぞれのレジスタ内のビット位置に対応した内容の制御を行います。

表14 - 4に、各割り込み要求信号に対応する割り込み制御レジスタのフラグ名称を示します。

表14 - 4 割り込み要求に対する割り込み制御レジスタのフラグ一覧

デフォルト 優先順位	割り込み 要求信号	割り込み制御レジスタ					
			割り込み 要求フラグ	割り込みマス ク・フラグ	マクロ・サービス 許可フラグ	コンテキスト・スイッ チング許可フラグ	優先順位 指定フラグ
0 (最高)	INTOV0	OVIC0	OVIF0	OVMK0	OVISM0	OVCSE0	OVPR00 OVPR01
1	INTOV1	OVIC1	OVIF1	OVMK1	OVISM1	OVCSE1	OVPR10 OVPR11
2	INTOV4	OVIC4	OVIF4	OVMK4	OVISM4	OVCSE4	OVPR40 OVPR41
3	INTP0	PIC0	PIF0	PMK0	PISM0	PCSE0	PPR00 PPR01
	INTCC00						
4	INTP1	PIC1	PIF1	PMK1	PISM1	PCSE1	PPR10 PPR11
	INTCC01						
5	INTP2	PIC2	PIF2	PMK2	PISM2	PCSE2	PPR20 PPR21
	INTCC02						
6	INTP3	PIC3	PIF3	PMK3	PISM3	PCSE3	PPR30 PPR31
	INTCC03						
7	INTP4	PIC4	PIF4	PMK4	PISM4	PCSE4	PPR40 PPR41
8	INTP5	PIC5	PIF5	PMK5	PISM5	PCSE5	PPR50 PPR51
9	INTP6	PIC6	PIF6	PMK6	PISM6	PCSE6	PPR60 PPR61
10	INTCM10	CMIC10	CMIF10	CMMK10	CMISM10	CMCSE10	CMPR100 CMPR101
11	INTCM11	CMIC11	CMIF11	CMMK11	CMISM11	CMCSE11	CMPR110 CMPR111
12	INTCM40	CMIC40	CMIF40	CMMK40	CMISM40	CMCSE40	CMPR400 CMPR401
13	INTCM41	CMIC41	CMIF41	CMMK41	CMISM41	CMCSE41	CMPR410 CMPR411
14	INTSER	SERIC	SERIF	SERMK	SERISM	SERCSE	SERPR0 SERPR1
15	INTSR	SRIC	SRIF	SRMK	SRISM	SRCSE	SRPR0 SRPR1
	INTCSI1	CSIIC1	CSIIF1	CSIMK1	CSIISM1	CSICSE1	CSIPR10 CSIPR11
16	INTST	STIC	STIF	STMK	STISM	STCSE	STPR0 STPR1
17	INTSER2	SERIC2	SERIF2	SERMK2	SERISM2	SERCSE2	SERPR20 SERPR21
18	INTSR2	SRIC2	SRIF2	SRMK2	SRISM2	SRCSE2	SRPR20 SRPR21
	INTCSI2	CSIIC2	CSIIF2	CSIMK2	CSIISM2	CSICSE2	CSIPR20 CSIPR21
19	INTST2	STIC2	STIF2	STMK2	STISM2	STCSE2	STPR20 STPR21
20 (最低)	INTAD	ADIC	ADIF	ADMK	ADISM	ADCSE	ADPR0 ADPR1

14.3.1 割り込み制御レジスタ

割り込み制御レジスタは、各割り込み要因ごとに割り当てられており、対応する割り込み要求の優先順位制御や、マスク制御などを行うレジスタです。図14 - 1に、割り込み制御レジスタのフォーマットを示します。

(1) 優先順位指定フラグ (××PR1, ××PR0)

優先順位指定フラグは、21種類のマスクブル割り込みに対して、割り込み要因ごとの優先順位を指定するフラグです。

優先順位レベルは、4レベルまで指定でき、複数の割り込み要因を同じレベルに指定することができます。マスクブル割り込み要因のうち、レベル0が最も優先順位が高くなります。

優先順位レベルの等しい割り込み要因同士内で、複数の割り込み要求が同時に発生した場合は、デフォルト優先順位の順に受け付けられます。

ソフトウェアにより、ビット単位で操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが“1”になります。

(2) コンテキスト・スイッチング許可フラグ (××CSE)

コンテキスト・スイッチング許可フラグは、マスクブル割り込み要求をコンテキスト・スイッチングにより処理することを指定するフラグです。

コンテキスト・スイッチングは、あらかじめ指定してあるレジスタ・バンクをハードウェア的に選択し、レジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスへ分岐すると同時に、現在のプログラム・カウンタ (PC)、プログラム・ステータス・ワード (PSW) の内容をレジスタ・バンクに退避する機能です。

通常のベクタ割り込み処理よりも高速に割り込み処理の実行を開始できるので、リアルタイム処理に適しています。

ソフトウェアにより、ビット単位で操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが“0”になります。

(3) マクロ・サービス許可フラグ (××ISM)

マクロ・サービス許可フラグは、各フラグに対応する割り込み要求について、ベクタ割り込みまたはコンテキスト・スイッチングで処理するか、マクロ・サービスで処理するかを指定するフラグです。

マクロ・サービス処理を選択していた場合に、マクロ・サービスが終了すると、マクロ・サービス許可フラグはハードウェアで自動的にクリア (0) されます (ベクタ割り込み処理 / コンテキスト・スイッチング処理)。

ソフトウェアにより、ビット単位で操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが“0”になります。

(4) 割り込みマスク・フラグ (x x MK)

割り込みマスク・フラグは、各フラグに対応する割り込み要求について、ベクタ割り込み処理、マクロ・サービス処理の許可 / 禁止を指定するフラグです。

割り込みマスク・フラグの内容は、割り込み処理の起動などにより変化することはありません。また、割り込みマスク・フラグの内容と、割り込みマスク・レジスタとは同一の内容となります (14.3.2 割り込みマスク・レジスタ (MK0, MK1) 参照)。

マクロ・サービス処理要求もマスク制御の対象で、マクロ・サービス要求もこのフラグによりマスクできます。

ソフトウェアにより、操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが “ 1 ” になります。

(5) 割り込み要求フラグ (x x IF)

割り込み要求フラグは、各フラグに対応する割り込み要求の発生でセット (1) されます。割り込みが受け付けられたときにハードウェアにより自動的にクリア (0) されます。

ソフトウェアにより、操作ができます。

$\overline{\text{RESET}}$ 入力により、全ビットが “ 0 ” になります。

図14 - 1 割り込み制御レジスタ (x x ICn) (1/3)

アドレス : 0FFE0H-0FFE9H リセット時 : 43H R/W

	⑦	⑥	⑤	④	3	2	1	0
OVIC0	OVIF0	OVMK0	OVISM0	OVCSE0	0	0	OVPR01	OVPR00
OVIC1	OVIF1	OVMK1	OVISM1	OVCSE1	0	0	OVPR11	OVPR10
OVIC4	OVIF4	OVMK4	OVISM4	OVCSE4	0	0	OVPR41	OVPR40
PIC0	PIF0	PMK0	PISM0	PCSE0	0	0	PPR01	PPR00
PIC1	PIF1	PMK1	PISM1	PCSE1	0	0	PPR11	PPR10
PIC2	PIF2	PMK2	PISM2	PCSE2	0	0	PPR21	PPR20
PIC3	PIF3	PMK3	PISM3	PCSE3	0	0	PPR31	PPR30
PIC4	PIF4	PMK4	PISM4	PCSE4	0	0	PPR41	PPR40
PIC5	PIF5	PMK5	PISM5	PCSE5	0	0	PPR51	PPR50
PIC6	PIF6	PMK6	PISM6	PCSE6	0	0	PPR61	PPR60

x x IFn	割り込み要求発生の有無
0	割り込み要求なし (割り込み信号が発生していない)
1	割り込み要求状態 (割り込み信号が発生)

x x MKn	割り込み処理の許可 / 禁止
0	割り込み処理を許可
1	割り込み処理を禁止

x x ISMn	割り込み処理形態の指定
0	ベクタ割り込み処理 / コンテキスト・スイッチング処理
1	マクロ・サービス処理

x x CSEn	コンテキスト・スイッチング処理の指定
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

x x PRn1	x x PRn0	割り込み要求の優先順位指定
0	0	優先順位 0 (最優先順位)
0	1	優先順位 1
1	0	優先順位 2
1	1	優先順位 3

図14 - 1 割り込み制御レジスタ (x x ICn) (2/3)

アドレス : 0FFEAH-0FFF5H リセット時 : 43H R/W

	⑦	⑥	⑤	④	3	2	1	0
CMIC10	CMIF10	CMMK10	CMISM10	CMCSE10	0	0	CMPR101	CMPR100
CMIC11	CMIF11	CMMK11	CMISM11	CMCSE11	0	0	CMPR111	CMPR110
CMIC40	CMIF40	CMMK40	CMISM40	CMCSE40	0	0	CMPR401	CMPR400
CMIC41	CMIF41	CMMK41	CMISM41	CMCSE41	0	0	CMPR411	CMPR410
SERIC	SERIF	SERMK	SERISM	SERCSE	0	0	SERPR1	SERPR0
SRIC	SRIF	SRMK	SRISM	SRCSE	0	0	SRPR1	SRPR0
CSIC1	CSIIF1	CSIMK1	CSIISM1	CSICSE1	0	0	CSIPR11	CSIPR10
STIC	STIF	STMK	STISM	STCSE	0	0	STPR1	STPR0
SERIC2	SERIF2	SERMK2	SERISM2	SERCSE2	0	0	SERPR21	SERPR20

x x IFn	割り込み要求発生の有無
0	割り込み要求なし (割り込み信号が発生していない)
1	割り込み要求状態 (割り込み信号が発生)

x x MKn	割り込み処理の許可 / 禁止
0	割り込み処理を許可
1	割り込み処理を禁止

x x ISMn	割り込み処理形態の指定
0	ベクタ割り込み処理 / コンテキスト・スイッチング処理
1	マクロ・サービス処理

x x CSEn	コンテキスト・スイッチング処理の指定
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

x x PRn1	x x PRn0	割り込み要求の優先順位指定
0	0	優先順位 0 (最優先順位)
0	1	優先順位 1
1	0	優先順位 2
1	1	優先順位 3

図14 - 1 割り込み制御レジスタ (x x ICn) (3/3)

アドレス : 0FFF6H-0FFF8H リセット時 : 43H R/W

	⑦	⑥	⑤	④	3	2	1	0
SRIC2	SRIF2	SRMK2	SRISM2	SRCSE2	0	0	SRPR21	SRPR20
CSIIC2	CSIIF2	CSIMK2	CSIISM2	CSICSE2	0	0	CSIPR21	CSIPR20
STIC2	STIF2	STMK2	STISM2	STCSE2	0	0	STPR21	STPR20
ADIC	ADIF	ADMK	ADISM	ADCSE	0	0	ADPR1	ADPR0

x x IFn	割り込み要求発生の有無
0	割り込み要求なし (割り込み信号が発生していない)
1	割り込み要求状態 (割り込み信号が発生)

x x MKn	割り込み処理の許可 / 禁止
0	割り込み処理を許可
1	割り込み処理を禁止

x x ISMn	割り込み処理形態の指定
0	ベクタ割り込み処理 / コンテキスト・スイッチング処理
1	マクロ・サービス処理

x x CSEn	コンテキスト・スイッチング処理の指定
0	ベクタ割り込みで処理
1	コンテキスト・スイッチングで処理

x x PRn1	x x PRn0	割り込み要求の優先順位指定
0	0	優先順位 0 (最優先順位)
0	1	優先順位 1
1	0	優先順位 2
1	1	優先順位 3

14.3.2 割り込みマスク・レジスタ (MK0, MK1)

MK0, MK1は、割り込みマスク・フラグで構成されるレジスタです。MK0, MK1は16ビット・レジスタで、16ビット単位で操作できるほか、MK0はMK0L, MK0Hとして、MK1はMK1L, MK1Hとして、8ビット単位でも操作できます。

また、MK0, MK1の各ビットは、ビット操作命令により1ビット単位で操作ができます。各割り込みマスク・フラグは、対応する割り込み要求の許可/禁止を制御します。

割り込みマスク・フラグがセット(1)されていると、該当する割り込み要求の受け付けは禁止されます。

割り込みマスク・フラグがクリア(0)されていると、該当する割り込み要求は、ベクタ割り込みまたはマクロ・サービスとして受け付けが可能な状態になります。

MK0, MK1中の各割り込みマスク・フラグは、割り込み制御レジスタ中の割り込みマスク・フラグと同一のフラグです。割り込みのマスクに関する制御を一括して行うために、MK0, MK1を用意しています。

$\overline{\text{RESET}}$ 入力によりMK0, MK1はFFFFHになり、すべてのマスクプル割り込みは禁止されます。

図14 - 2 割り込みマスク・レジスタ (MK0, MK1) のフォーマット

<バイト・アクセス時>

アドレス : 0FFACH-0FFAFH リセット時 : FFH R/W

	⑦	⑥	⑤	④	③	②	①	①	①
MK0L	PMK4	PMK3	PMK2	PMK1	PMK0	OVMK4	OVMK1	OVMK0	
MK0H	1	1	1	1	CMMK11	CMMK10	PMK6	PMK5	
MK1L	STMK2	SRMK2	SERMK2	STMK	SRMK	SERMK	CMMK41	CMMK40	
MK1H	1	1	1	1	1	1	1	ADMK	

x x MKn	割り込み要求の許可 / 禁止の指定
0	割り込み処理を許可
1	割り込み処理を禁止

<ワード・アクセス時>

アドレス : 0FFACH, 0FFAEH リセット時 : FFFFH R/W

	15	14	13	12	⑪	⑩	⑨	⑧
MK0	1	1	1	1	CMMK11	CMMK10	PMK6	PMK5
	⑦	⑥	⑤	④	③	②	①	①
	PMK4	PMK3	PMK2	PMK1	PMK0	OVMK4	OVMK1	OVMK0
MK1	1	1	1	1	1	1	1	ADMK
	⑦	⑥	⑤	④	③	②	①	①
	STMK2	SRMK2	SERMK2	STMK	SRMK	SERMK	CMMK41	CMMK40

x x MKn	割り込み要求の許可 / 禁止の指定
0	割り込み処理を許可
1	割り込み処理を禁止

14.3.3 インサース・プライオリティ・レジスタ (ISPR)

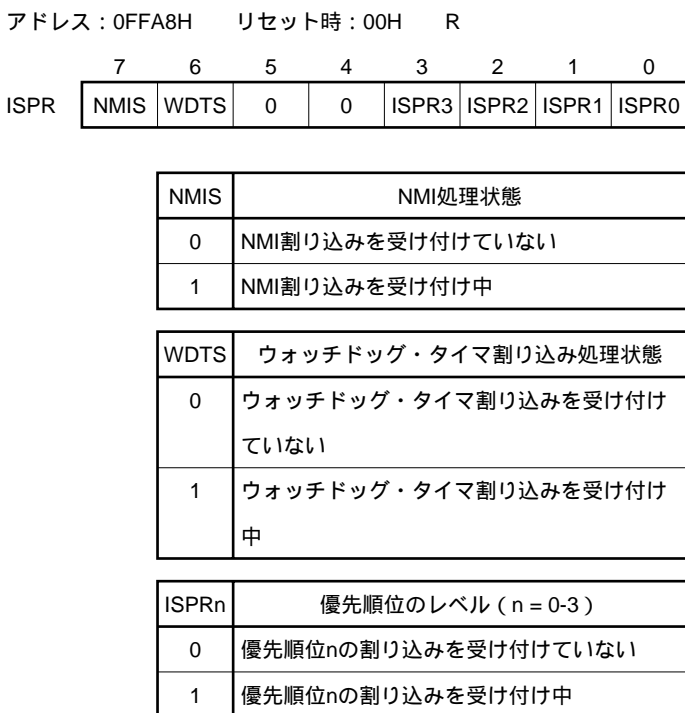
ISPRは、現在処理中のマスカブル割り込みの優先順位レベルと処理中のノンマスカブル割り込みを示すレジスタです。マスカブル割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット(1)され、サービス・プログラムが終了するまで保持されます。ノンマスカブル割り込みが受け付けられると、そのノンマスカブル割り込みに対応したビットがセット(1)され、サービス・プログラムが終了するまで保持されます。

RETI命令またはRETCS命令の実行の際、ISPR内でセット(1)されているビットのうち、最も優先順位の高い割り込み要求に対応するビットが、ハードウェアにより自動的にクリア(0)されます。

RETB命令およびRETCSB命令の実行では、ISPRの内容は変化しません。

RESET入力により、00Hになります。

図14-3 インサース・プライオリティ・レジスタ (ISPR) のフォーマット



注意 インサース・プライオリティ・レジスタ (ISPR) は、読み出しのみ可能です。書き込みを行うと、誤動作する恐れがあります。

14.3.4 割り込みモード・コントロール・レジスタ (IMC)

IMCは、PRSLフラグで構成されるレジスタです。PRSLフラグは、優先順位が最下位レベル（レベル3）に指定されているマスクブル割り込みのネスティングの許可/禁止を指定します。

IMCを操作する場合は、誤動作を防ぐために割り込み禁止状態（DI状態）に設定してから行ってください。

8ビット操作命令とビット操作命令で、読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により、80Hになります。

図14 - 4 割り込みモード・コントロール・レジスタ (IMC) のフォーマット

アドレス : 0FFAAH リセット時 : 80H R/W

	7	6	5	4	3	2	1	0
IMC	PRSL	0	0	0	0	0	0	0

PRSL	マスクブル割り込み（最下位レベル）についてのネスティング動作の制御
0	レベル3（最下位レベル）に設定された割り込み間でのネスティング可能
1	レベル3（最下位レベル）に設定された割り込み間でのネスティング禁止

14.3.5 ウォッチドッグ・タイマ・モード・レジスタ (WDM)

WDMのPRCビットは、NMI端子入力によりノンマスクابل割り込みとウォッチドッグ・タイマのオーバーフローによるノンマスクابل割り込みの優先順位を指定するビットです。

WDMは、専用命令によってのみ書き込みが可能です。この専用命令は、MOV WDM, byte命令で特殊なコード構成(4バイト)になっています。3バイト目と4バイト目のオペコードが互いに補数の場合のみ、書き込みが行われます。

また、3バイト目と4バイト目のオペコードが互いに補数で書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

オペランド・エラー割り込みは、プログラムが暴走している場合にのみ発生する(当社製アセンブラRA78K4では、MOV WDM, byteと記述された場合、正しい専用命令しか生成しません)ので、システムの初期化をプログラムで行うようにしてください。

他の書き込み命令(MOV WDM, A, AND WDM, byte, SET1 WDM. 7など)は無視され、何の動作も行いません。すなわち、WDMへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。

WDMの読み出しは、データ転送命令によりいつでもできます。

RESET入力により、00Hになります。

図14-5 ウォッチドッグ・タイマ・モード・レジスタ (WDM) のフォーマット

アドレス: 0FFC2H リセット時: 00H R/W

	7	6	5	4	3	2	1	0
WDM	RUN	0	0	PRC	0	WDI2	WDI1	0

RUN	ウォッチドッグ・タイマの動作の指定 (図10-2参照)	
PRC	ウォッチドッグ・タイマの割り込み要求の優先順位	
0	ウォッチドッグ・タイマの割り込み要求 < NMI端子入力の割り込み要求	
1	ウォッチドッグ・タイマの割り込み要求 > NMI端子入力の割り込み要求	
WDI2	WDI1	ウォッチドッグ・タイマのカウント・クロックの指定 (図10-2参照)

注意 ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, byte) でのみ書き込みが可能です。

14.3.6 プログラム・ステータス・ワード (PSW)

PSWは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグがPSWの下位8ビット (PSWL) にマッピングされています。

PSWLは、8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。

ベクタ割り込み受け付け時、BRK命令実行時にはスタックに退避され、IEフラグはクリア (0) されます。また、PUSH PSW命令によってもスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

コンテキスト・スイッチングおよびBRKCS命令実行時には、レジスタ・バンクの固定エリアに退避され、IEフラグはクリア (0) されます。また、RETCSI, RETCSB命令により、レジスタ・バンク中の固定エリアから復帰します。

$\overline{\text{RESET}}$ 入力により、PSWLは00Hとなります。

図14-6 プログラム・ステータス・ワード (PSWL) のフォーマット

リセット時 : 00H

	7	6	5	4	3	2	1	0
PSWL	S	Z	RSS	AC	IE	P/V	0	CY

S	通常の命令実行時に使用
Z	
RSS	
AC	

IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

P/V	通常の命令実行時に使用
CY	

14.4 ソフトウェア割り込みの受け付け動作

ソフトウェア割り込みはBRK, BRKCS命令の実行により受け付けられます。ソフトウェア割り込みは禁止することができません。

14.4.1 BRK命令によるソフトウェア割り込みの受け付け動作

BRK命令を実行すると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順にスタックに退避し、IEフラグをクリア (0) し、ベクタ・テーブル (003EH, 003FH) の内容をPCの下位

16ビットに、0000BをPCの上位4ビットにロードして分岐します（サービス・プログラムの先頭は、ベース領域になければいけません）。

BRK命令によるソフトウェア割り込みからの復帰にはRET命令を使用します。

注意 BRK命令によるソフトウェア割り込みからの復帰にRETI命令を使用してはいけません。

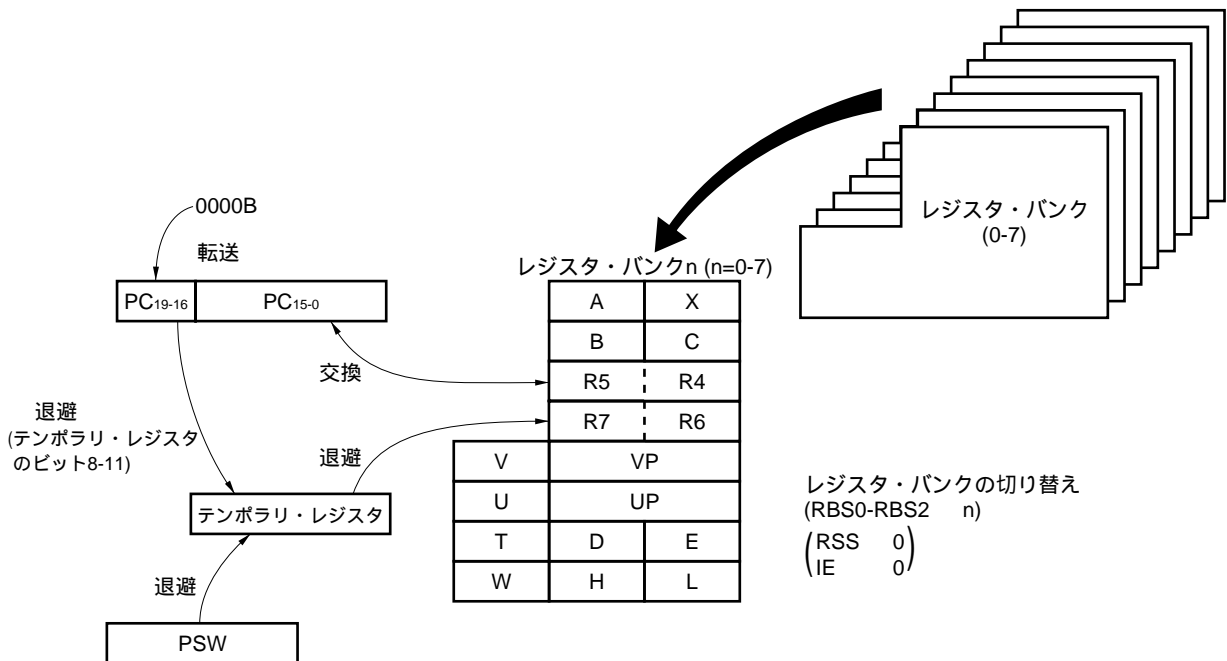
14.4.2 BRKCS命令によるソフトウェア割り込み（ソフトウェア・コンテキスト・スイッチング）の受け付け動作

BRKCS命令の実行により、コンテキスト・スイッチング機能を起動できます。

BRKCS命令のオペランドで、コンテキスト・スイッチング後のレジスタ・バンクを指定します。

BRKCS命令を実行すると、指定したレジスタ・バンク内にあらかじめストアしておいた割り込みサービス・プログラムの先頭アドレス（ベース領域内に限ります）に分岐すると同時に、それまでのプログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）の内容をレジスタ・バンク内に退避します。

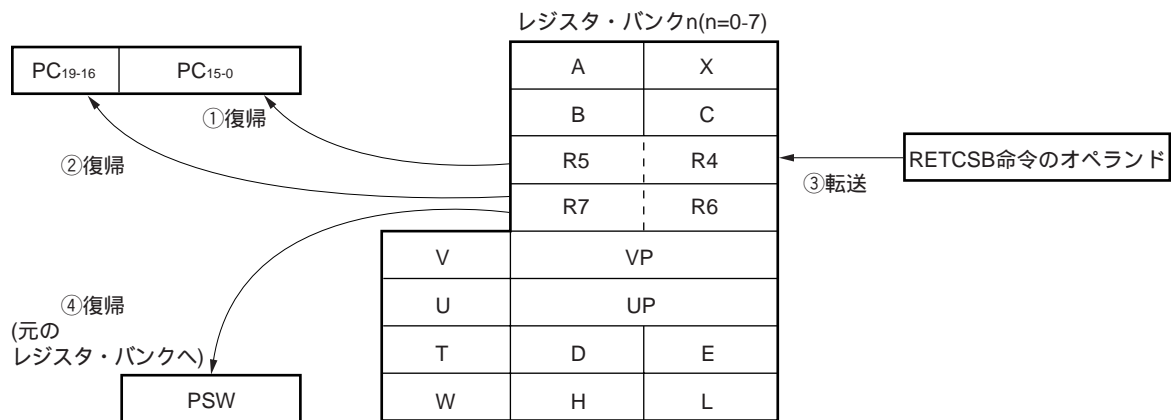
図14 - 7 BRKCS命令の実行によるコンテキスト・スイッチング動作



BRKCS命令によるソフトウェア割り込みからの復帰には、RETCSB命令を使用します。RETCSB命令では、次にBRKCS命令でコンテキスト・スイッチングを行うときの割り込みサービス・プログラムの先頭アドレスを指定する必要があります。この割り込みサービス・プログラムの先頭アドレスは、ベース領域内になければいけません。

注意 BRKCS命令によるソフトウェア割り込みからの復帰にRETCS命令を使用してはいけません。

図14 - 8 BRKCS命令によるソフトウェア割り込みからの復帰動作 (RETCSB命令の動作)



14.5 オペランド・エラー割り込みの受け付け動作

オペランド・エラー割り込みは、MOV STBC, byte命令およびMOV WDM, byte命令、LOCATION命令のオペランドの3バイト目の全ビットを反転させたデータが、オペランドの4バイト目と一致しなかった場合に発生します。オペランド・エラー割り込みは禁止することができません。

オペランド・エラー割り込みが発生すると、プログラム・ステータス・ワード (PSW) とエラーが発生した命令の先頭アドレスをスタックに退避し、IEフラグをクリア (0) し、ベクタ・テーブルの値をプログラム・カウンタ (PC) にロードし、分岐します (ベース領域に限る)。

スタックに退避されるアドレスが、エラーの発生した命令の先頭アドレスとなっているので、単純にオペランド・エラー割り込みサービス・プログラムの最後にRETB命令を記述しただけでは、再度オペランド・エラー割り込みが発生してしまいます。したがって、スタック中のアドレスを加工するか、14.12 割り込み機能を初期状態に戻す方法を参考にプログラムを初期状態に戻してください。

14.6 ノンマスクابل割り込みの受け付け動作

ノンマスクابل割り込みは、割り込み禁止状態であっても受け付けられます。ノンマスクابل割り込みは、同一のノンマスクابل割り込みまたは、優先順位の高いノンマスクابل割り込みサービス・プログラムの実行中を除いては、必ず受け付けられます。

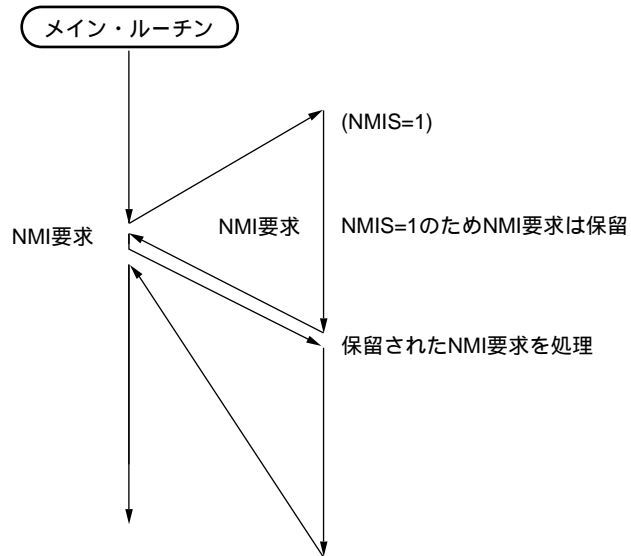
ノンマスクابل割り込み間の優先順位は、ウォッチドッグ・タイマ・モード・レジスタ (WDM) のPRCビットで設定します (14.3.5 ウォッチドッグ・タイマ・モード・レジスタ (WDM) 参照)。

ノンマスクابل割り込み要求は、14.9 割り込み要求およびマクロ・サービスが一時的に保留される場合に記述されている状態でなければ、ただちに受け付けられます。ノンマスクابل割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順にスタックへの退避を行い、PSWのIEフラグをクリア (0) し、受け付けたノンマスクابل割り込みに対応するインサービス・プライオリティ・レジスタ (ISPR) のビットをセット (1) し、ベクタ・テーブルの内容をPCへロードし、分岐します。セット (1) されるISPRのビットは、NMI端子へのエッジ入力によるノンマスクابل割り込みの場合はNMISビットになり、ウォッチドッグ・タイマのオーパフローによる場合はWDTSビットになります。

ノンマスクابل割り込みのサービス・プログラムを実行している場合には、現在実行中のノンマスクابل割り込みと同一のノンマスクابل割り込みの要求と、現在実行中のノンマスクابل割り込みより優先順位の低いノンマスクابل割り込みの要求は、保留されます。保留されたノンマスクابل割り込みは、現在実行中のノンマスクابل割り込みサービス・プログラムの終了後 (RETI命令実行後) に受け付けられます。ただし、ノンマスクابل割り込みサービス・プログラム実行中に、同一のノンマスクابل割り込み要求が2回以上発生しても、ノンマスクابل割り込みサービス・プログラムの終了後に受け付けられるノンマスクابل割り込みは1回だけになります。

図14 - 9 ノンマスカブル割り込み要求の受け付け動作 (1/2)

(a) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合



(b) NMIサービス・プログラム実行中にウォッチドッグ・タイマ割り込み要求が発生した場合
 (ウォッチドッグ・タイマ割り込みの優先順位が高い場合 (WDMのPRC = 1の場合))

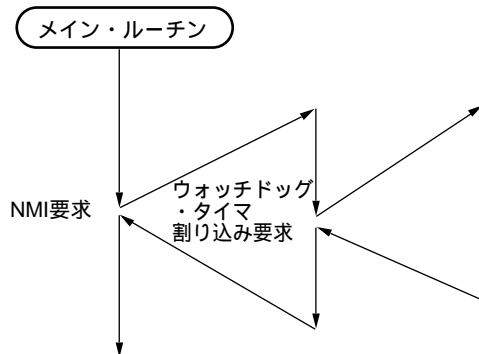
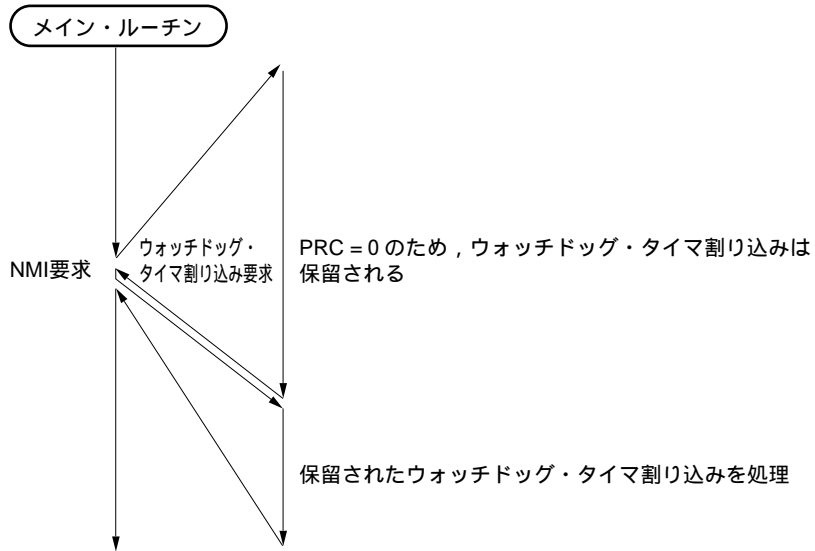
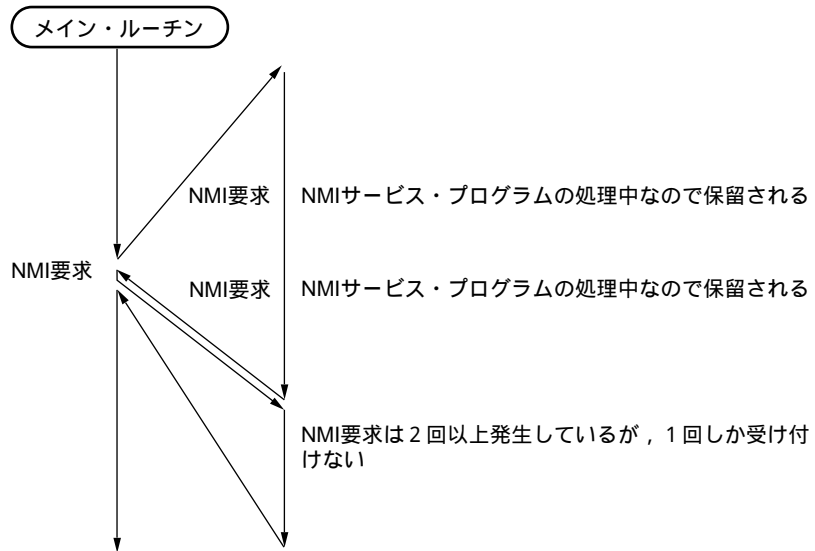


図14-9 ノンマスクブル割り込み要求の受け付け動作 (2/2)

(c) NMIサービス・プログラム実行中にウォッチドッグ・タイマ割り込み要求が発生した場合 (NMI割り込みの優先順位が高い場合 (WDMのPRC = 0の場合))



(d) NMIサービス・プログラム実行中に新たに2回のNMI要求が発生した場合



- 注意1 . ノンマスクابل割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ、処理されます。ノンマスクابل割り込みサービス・プログラム中でマクロ・サービス処理を行いたくない場合は、ノンマスクابل割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して、マクロ・サービスが発生しないようにしてください。
- 2 . ノンマスクابل割り込みからの復帰には、必ずRETI命令を使用してください。他の命令では、以降の割り込みの受け付けが正常に行われません。
- 3 . ノンマスクابل割り込みは、ノンマスクابل割り込みサービス・プログラム実行中（優先順位の低いノンマスクابل割り込みサービス・プログラム実行中に、優先順位の高いノンマスクابل割り込みの要求が発生した場合を除く）および14.9に示す特定命令の実行後の一定期間を除いては必ず受け付けられます。したがって、特にリセット解除後などのスタック・ポインタ（SP）の値が不定の場合でもノンマスクابل割り込みを受け付けます。このときのSPの値によっては特殊機能レジスタ（SFR）の書き込みを禁止しているアドレス（3.8 特殊機能レジスタ（SFR）の表3 - 6参照）へプログラム・カウンタ（PC）およびプログラム・ステータス・ワード（PSW）を書き込んでしまい、CPUがデッドロックしてしまったり、端子から予期しない信号を出力したり、RAMが実装されていないアドレスへPCやPSWを書き込むことにより、ノンマスクابل割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。
- したがって、 $\overline{\text{RESET}}$ 解除後のプログラムは必ず次のようにしてください。

```
CSEG AT 0
DW  STRT
CSEG BASE
STRT :
LOCATION 0FH ; or LOCATION 0H
MOVG SP, imm24
```

14.7 マスカブル割り込みの受け付け動作

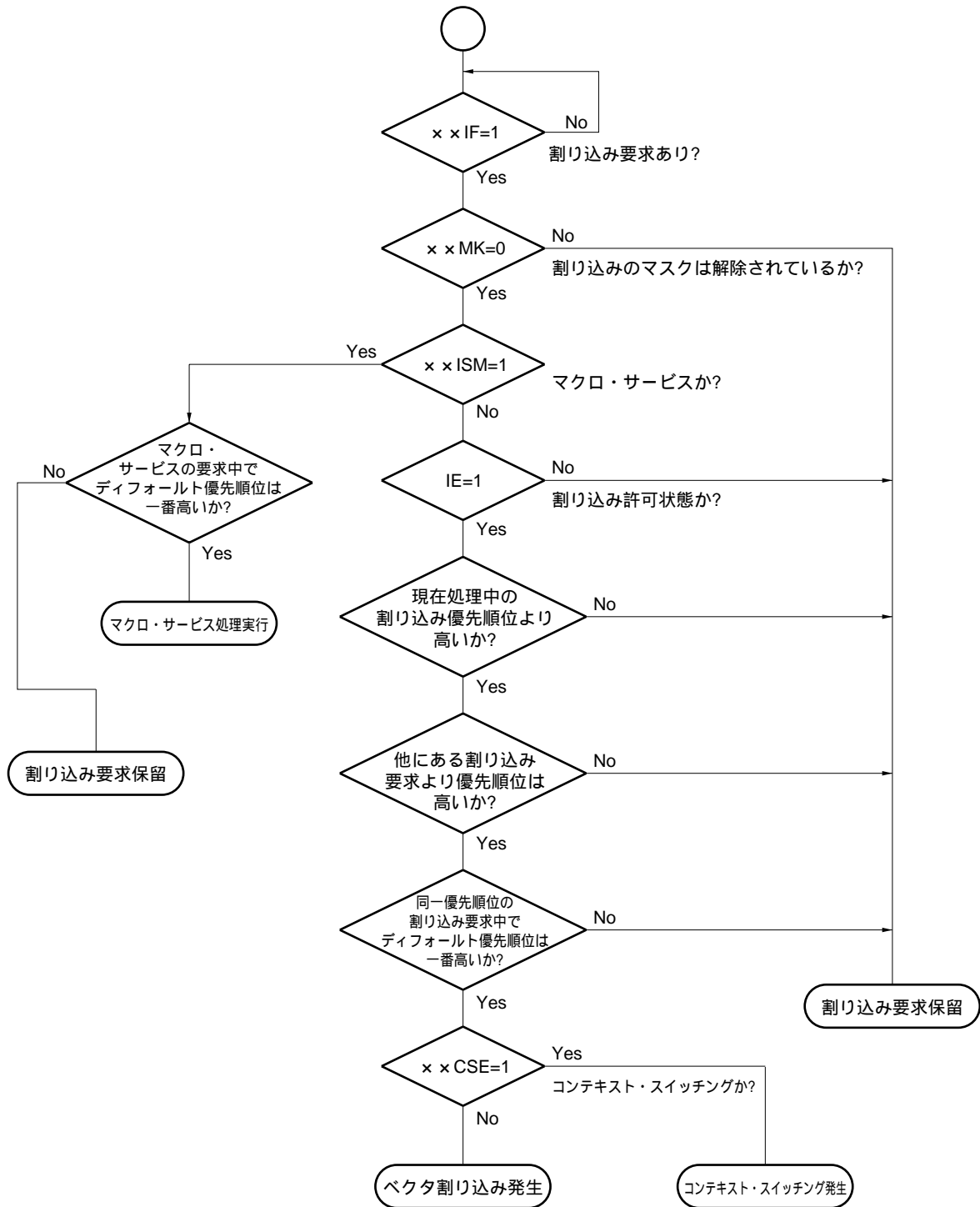
マスカブル割り込みは、割り込み要求フラグがセット（1）され、その割り込みのマスク・フラグがクリア（0）されていると受け付けが可能な状態になります。マクロ・サービスで処理を行う場合は、ただちに受け付けられ、マクロ・サービスによる処理が行われます。ベクタ割り込みまたはコンテキスト・スイッチングの場合は、割り込み許可状態（IEフラグがセット（1）されているとき）で、その割り込みの優先順位が、受け付け可能な優先順位であれば受け付けます。

マスカブル割り込みの要求が同時に発生した場合は、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、同一優先順に指定されている場合はデフォルト優先順位に従います。

保留された割り込みは受け付け可能な状態になると受け付けられます。

図14 - 10に、割り込み受け付けのアルゴリズムを示します。

図14 - 10 割り込み受け付け処理アルゴリズム



14.7.1 ベクタ割り込み

ベクタ割り込みによるマスカブル割り込みの要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順にスタックに退避し、IEフラグをクリア（0）（割り込み禁止状態）にし、受け付けた割り込みの優先順位に該当するインサービス・プライオリティ・レジスタ（ISPR）のビットをセット（1）します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。ベクタ割り込みからの復帰は、RETI命令で行います。

注意 マスカブル割り込みをベクタ割り込みで受け付けた場合は、必ずRETI命令で復帰してください。他の命令では、以降の割り込みに関する動作が正常に行われません。

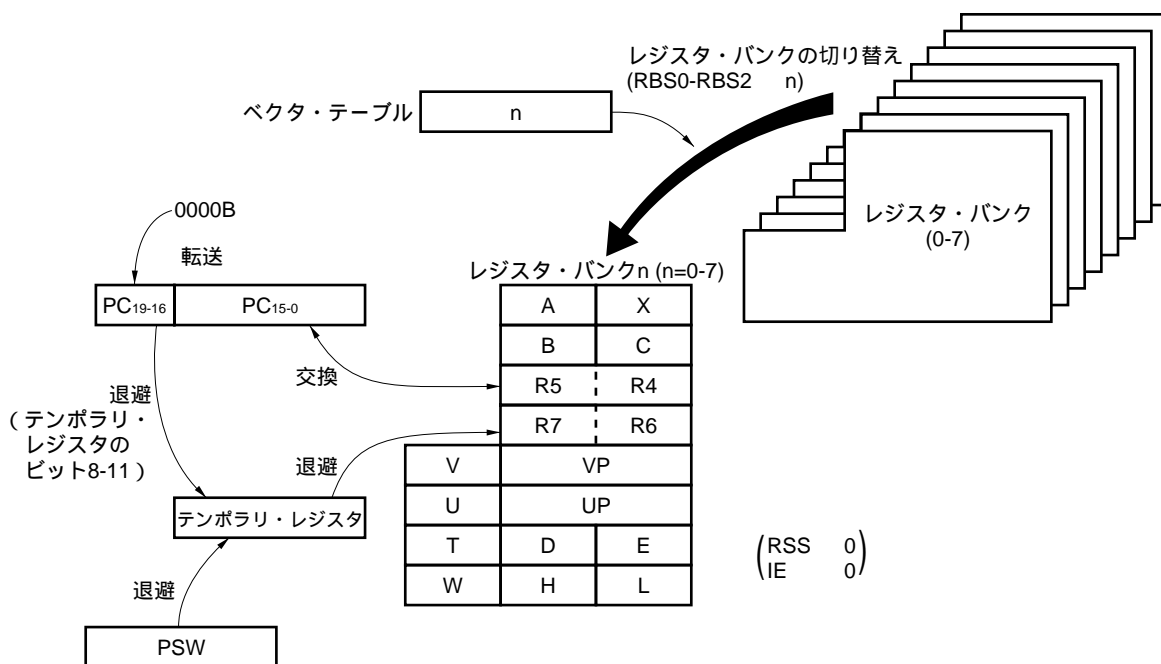
14.7.2 コンテキスト・スイッチング

割り込み制御レジスタのコンテキスト・スイッチング許可フラグをセット（1）することにより、コンテキスト・スイッチング機能の起動を許可します。

コンテキスト・スイッチング機能が許可されている割り込み要求が受け付けられると、対応するベクタ・テーブル・アドレスの下位アドレス（偶数アドレス）の下位3ビットで指定されるレジスタ・バンクが選択されます。

選択されたレジスタ・バンク内にあらかじめストアしておいたベクタ・アドレスをプログラム・カウンタ（PC）に転送すると同時に、それまでのPC、プログラム・ステータス・ワード（PSW）の内容をレジスタ・バンク内に退避し、割り込みサービス・プログラムに分岐します。

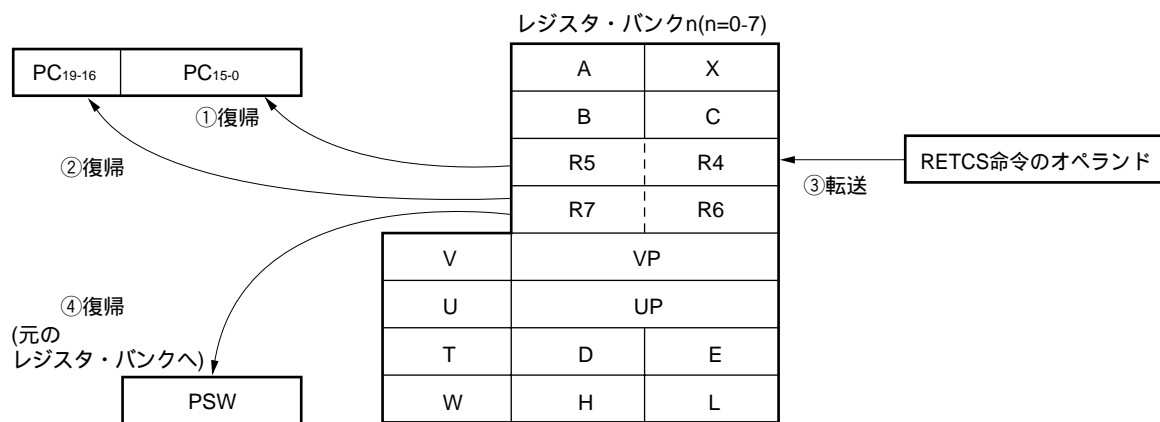
図14 - 11 割り込み要求の発生によるコンテキスト・スイッチング動作



コンテキスト・スイッチング機能を使用した割り込みからの復帰には、RETCS命令を使用します。RETCS命令では、次にその割り込みを受け付けたときに実行する割り込みサービス・プログラムの先頭アドレスを指定する必要があります。この割り込みサービス・プログラムの先頭アドレスは、ベース領域内になければいけません。

注意 コンテキスト・スイッチングによる割り込みからの復帰には、必ずRETCS命令を使用してください。他の命令では、以降の割り込みに関する動作が正常に行われません。

図14 - 12 RETCS命令によるコンテキスト・スイッチング機能を使用した割り込みからの復帰動作



14.7.3 マスカブル割り込みの優先順位

μPD784054は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、優先順位指定フラグの設定によるプログラマブル優先順位制御があります。デフォルト優先順位による優先順位制御は、複数の割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位（デフォルト優先順位）に従って割り込み処理を行います（表14 - 2参照）。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって、4レベルに分けます。多重割り込み可能な割り込み要求を表14 - 5に示します。

なお、割り込みを受け付けるとIEフラグが自動的にクリア（0）されますので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどして、IEフラグをセット（1）し、割り込み許可状態にしてください。

表14 - 5 多重割り込み処理

現在受け付け中の割り込みの優先順位	ISPRの値	PSWのIEフラグ	IMCのPRSLフラグ	受け付け可能なマスカブル割り込み
受け付け中の割り込みなし	00000000	0	x	・すべてのマクロ・サービスのみ
		1	x	・すべてのマスカブル割り込み
3	00001000	0	x	・すべてのマクロ・サービスのみ
		1	0	・すべてのマスカブル割り込み
		1	1	・すべてのマクロ・サービス ・優先順位を0, 1, 2に指定したマスカブル割り込み
2	0000 x 100	0	x	・すべてのマクロ・サービスのみ
		1	x	・すべてのマクロ・サービス ・優先順位を0, 1に指定したマスカブル割り込み
1	0000 x x 10	0	x	・すべてのマクロ・サービスのみ
		1	x	・すべてのマクロ・サービス ・優先順位を0に指定したマスカブル割り込み
0	0000 x x x 1	x	x	・すべてのマクロ・サービスのみ
ノンマスカブル割り込み	1000 x x x x 0100 x x x x 1100 x x x x	x	x	・すべてのマクロ・サービスのみ

備考 x : don't care

図14 - 13 割り込み処理中に他の割り込み要求が発生した場合の処理例 (1/3)

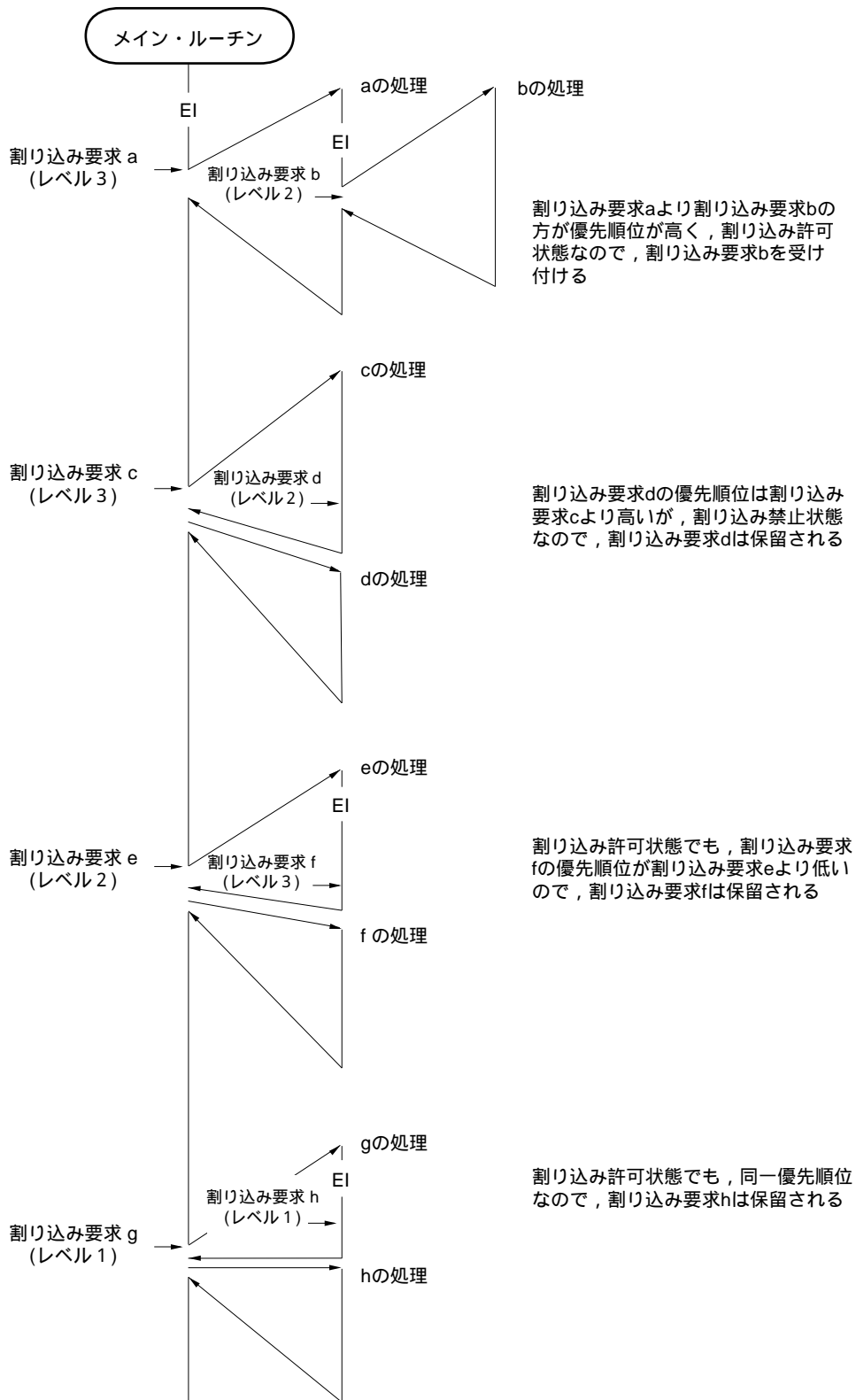


図14 - 13 割り込み処理中に他の割り込み要求が発生した場合の処理例 (2/3)

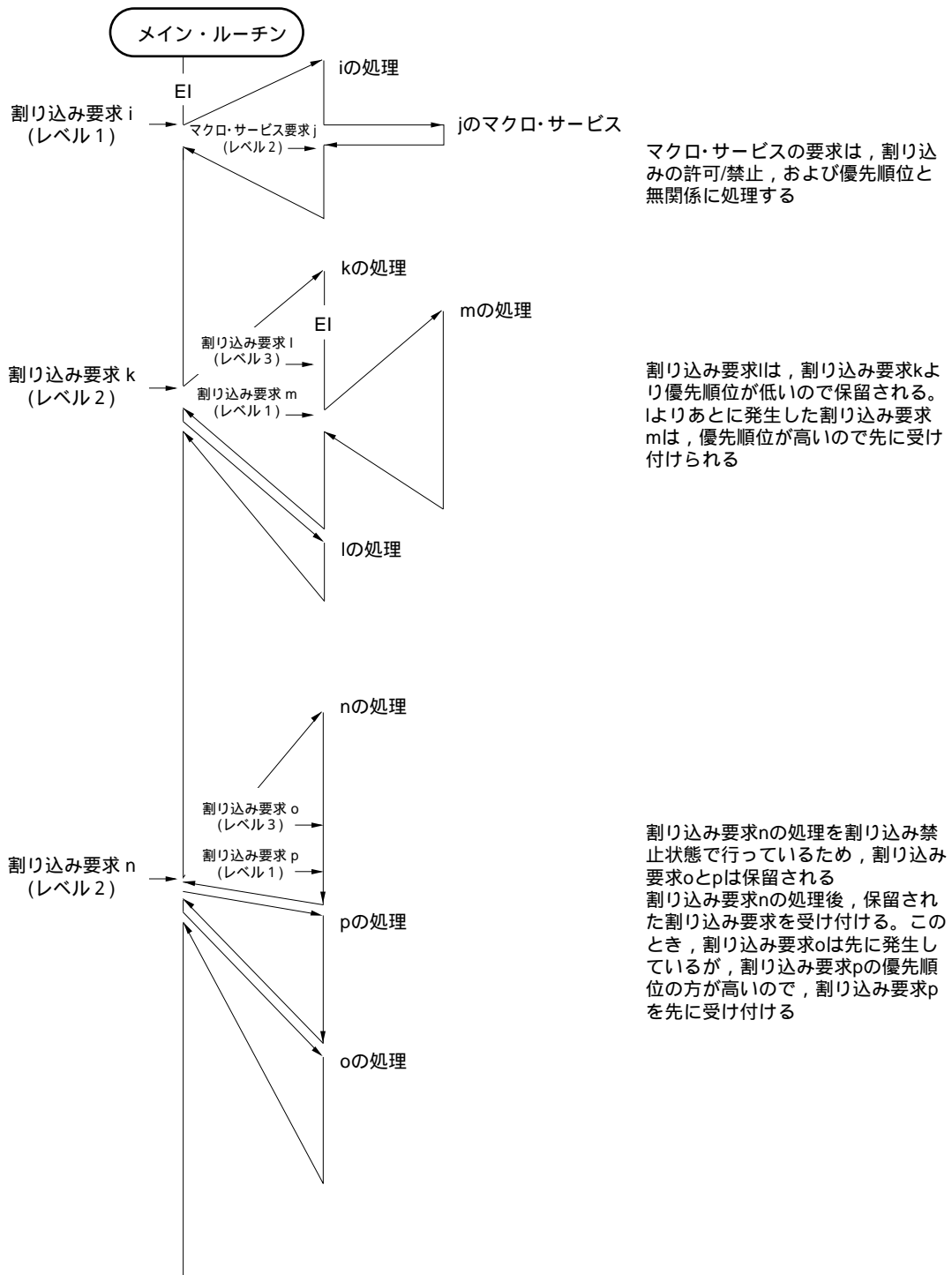


図14 - 13 割り込み処理中に他の割り込み要求が発生した場合の処理例 (3/3)

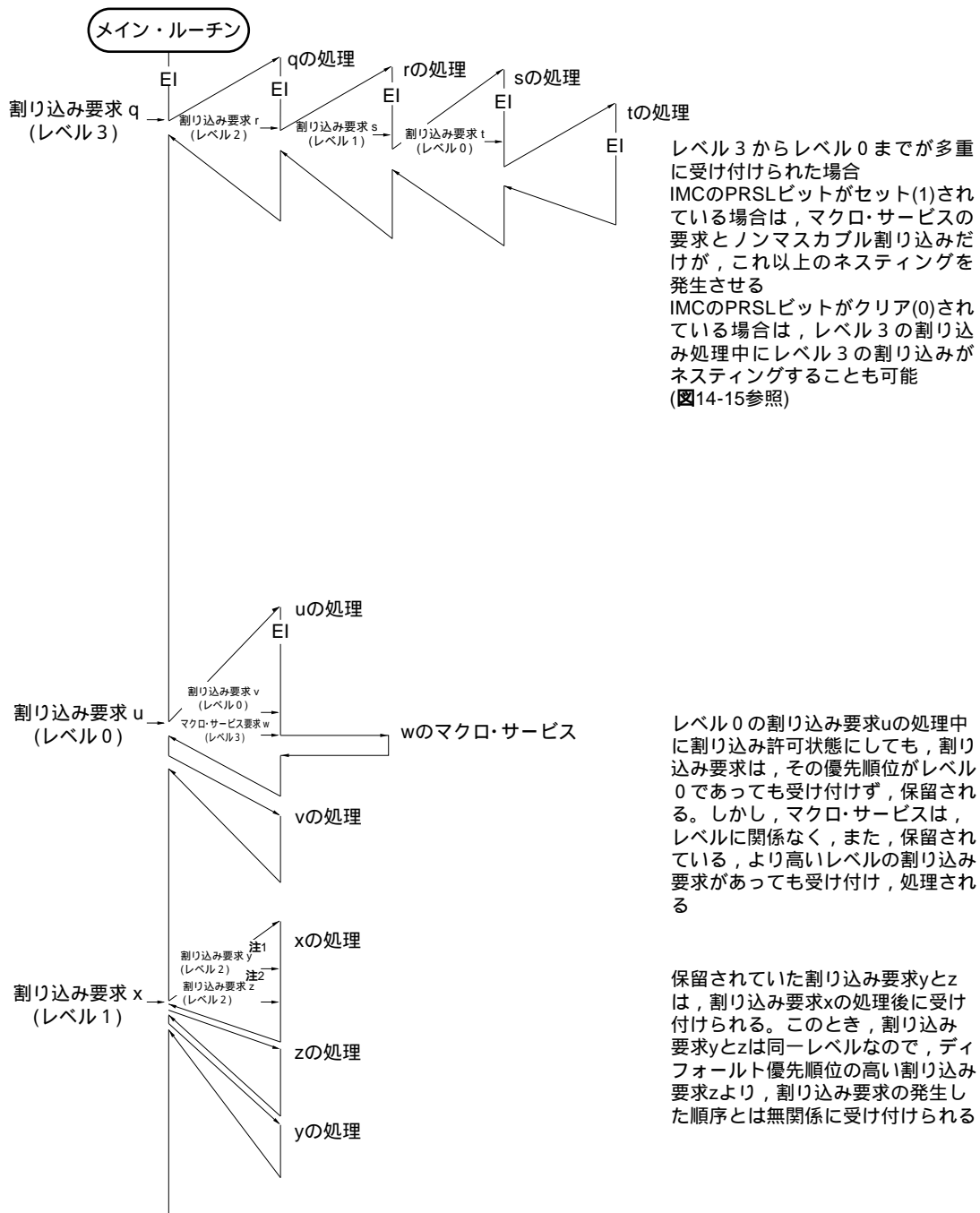
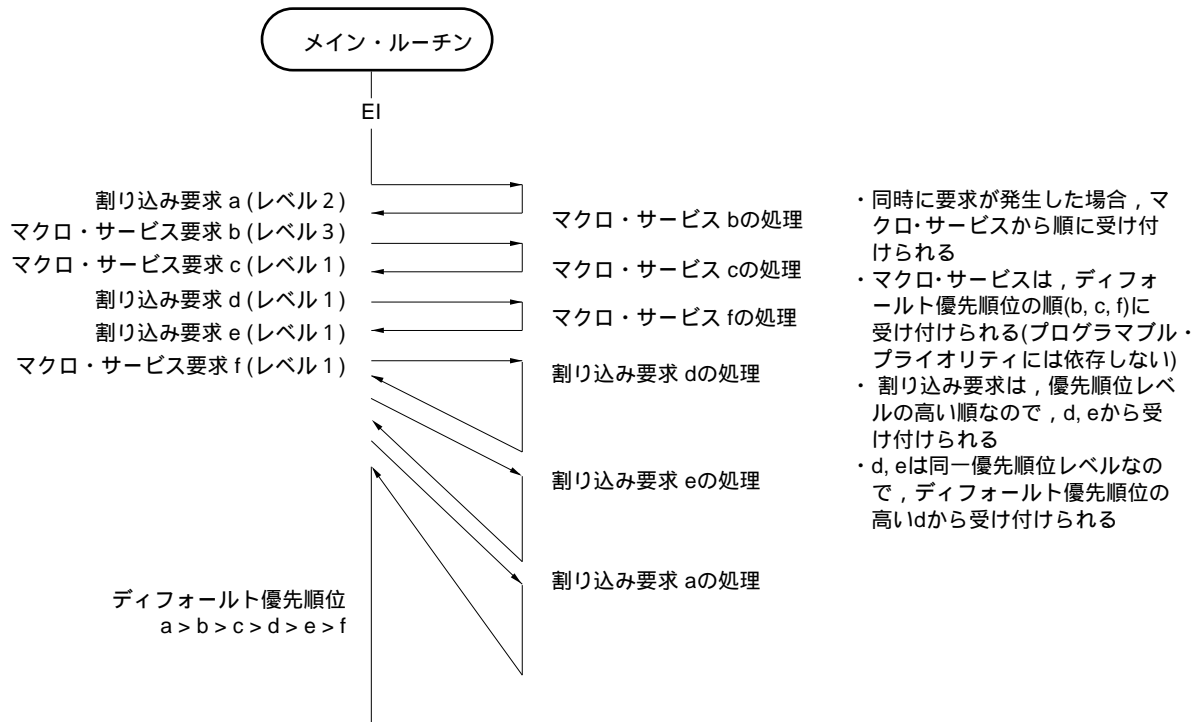
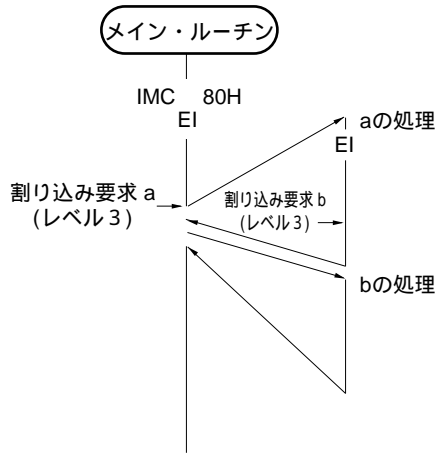


図14 - 14 同時発生した割り込み要求の処理例



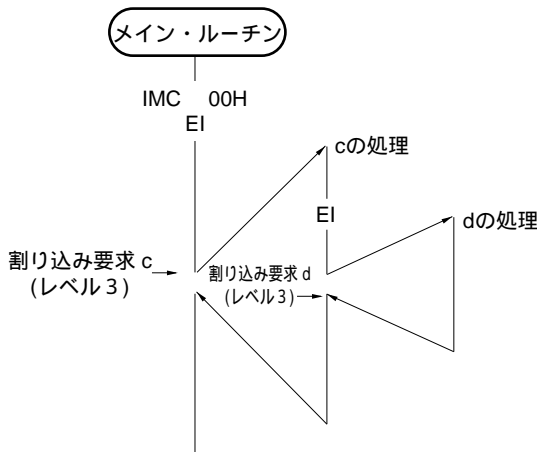
備考 図中のa-fは、割り込み要求およびマクロ・サービス要求を区別するためにつけた仮の名称です。

図14 - 15 割り込みモード・コントロール・レジスタ (IMC) の設定によるレベル3の割り込みの受け付け動作の違い



IMCのPRSL = 1として、レベル3の割り込み間でのネスタングを禁止

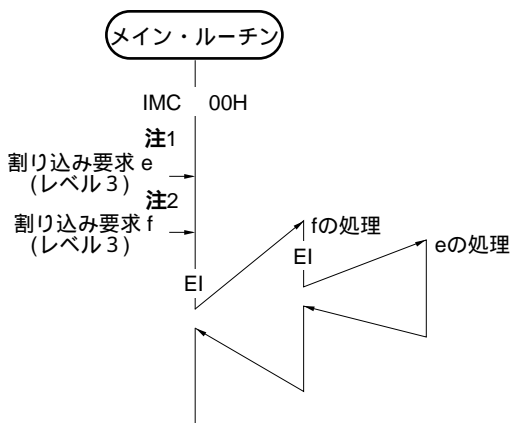
割り込み許可状態であっても同一優先順位なので、割り込み要求bは保留される



IMCのPRSL = 0として、レベル3の割り込み処理中でも、レベル3の割り込みを受け付けられる(ネスタングできる)ように設定

レベル3の割り込み要求cが割り込み許可状態で処理されていて、PRSL = 0なので、同一のレベル3の割り込み要求dを受け付ける

インサービス・プライオリティ・レジスタ (ISPR)のビット3 (ISPR3)は、dの処理からの復帰でクリアされる



割り込み要求eとfは同一レベルなので、デフォルト優先順位の高い割り込み要求fが先に受け付けられる
割り込み要求fの処理中に割り込み許可状態にすると、保留されていた割り込み要求eがPRSL = 0なので受け付けられる

注1 . デフォルト優先順位が低い

2 . デフォルト優先順位が高い

備考1 . 図中のa-fは、割り込み要求を区別するためにつけた仮の名称です。

2 . 図中のデフォルト優先順位の高い / 低い は、2つの割り込み要求間の相対的な優先順位の高さを示します。

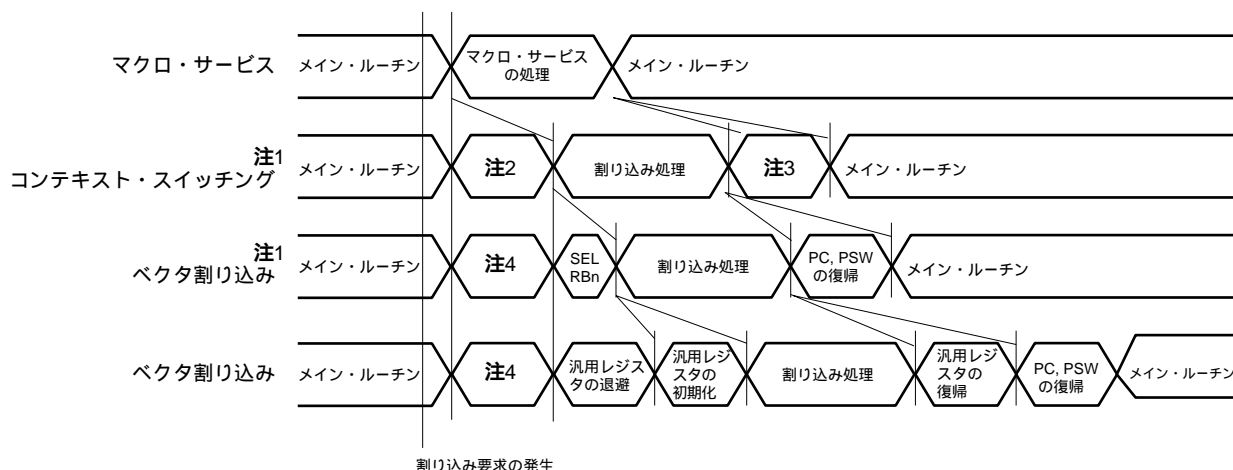
14.8 マクロ・サービス機能

14.8.1 マクロ・サービスの概要

マクロ・サービスは、割り込みの処理方法の1つです。通常の割り込みではプログラム・カウンタ (PC) やプログラム・ステータス・ワード (PSW) を退避し、PCへ割り込みサービス・プログラムの先頭アドレスをロードしますが、これらの処理の代わりに別の処理 (主にデータ転送) を行います。したがって、割り込みの要求に対して高速に応答することができます。さらに、プログラムで行うより高速に転送処理が可能なので、処理時間も短縮することができます。

また、指定された回数の処理を行ったあと、ベクタ割り込みを発生しますので、ベクタ割り込みのプログラムが簡略化できるなどの効果もあります。

図14-16 ベクタ割り込みとマクロ・サービスの処理の違い



注1．レジスタ・バンク切り替えを使用した場合で、レジスタにはあらかじめ初期値が設定されているとき

- 2．コンテキスト・スイッチングによるレジスタ・バンクの切り替え，PC，PSWの退避
- 3．コンテキスト・スイッチングによるレジスタ・バンク，PC，PSWの復帰
- 4．PC，PSWをスタックへ退避，ベクタ・アドレスをPCへロード

14.8.2 マクロ・サービスの種類

マクロ・サービスは表14-6に示す21種類の割り込みで使用することができます (同時に使用できるのは18種類)。また、7種類の動作モードがあり、用途により使い分けが可能です。

表14 - 6 マクロ・サービスが使用可能な割り込み

デフォルト 優先順位	割り込み要求発生ソース	発生ユニット	マクロ・サービス・コン ロール・ワード・アドレ ス
0 (最高)	INTOV0 (タイマ0のオーバーフロー)	タイマ0	0FE06H
1	INTOV1 (タイマ1のオーバーフロー)	タイマ1	0FE08H
2	INTOV4 (タイマ4のオーバーフロー)	タイマ4	0FE0AH
3	INTP0 (端子入力エッジ検出)	エッジ検出	0FE0CH
	INTCC00 (TM0-CC00一致信号発生)	タイマ0	
4	INTP1 (端子入力エッジ検出)	エッジ検出	0FE0EH
	INTCC01 (TM0-CC01一致信号発生)	タイマ0	
5	INTP2 (端子入力エッジ検出)	エッジ検出	0FE10H
	INTCC02 (TM0-CC02一致信号発生)	タイマ0	
6	INTP3 (端子入力エッジ検出)	エッジ検出	0FE12H
	INTCC03 (TM0-CC03一致信号発生)	タイマ0	
7	INTP4 (端子入力エッジ検出)	エッジ検出	0FE14H
8	INTP5 (")	"	0FE16H
9	INTP6 (")	"	0FE18H
10	INTCM10 (TM1-CM10の一致信号発生)	タイマ1	0FE1AH
11	INTCM11 (TM1-CM11の一致信号発生)	"	0FE1CH
12	INTCM40 (TM4-CM40の一致信号発生)	タイマ4	0FE26H
13	INTCM41 (TM4-CM41の一致信号発生)	"	0FE28H
14	INTSER (UART0受信エラー)	アシンクロナス・シリアル・イ	0FE2AH
15	INTSR (UART0受信終了)	インタフェース0	0FE2CH
	INTCSI1 (3線式シリアルI/O1転送終了)	3線式シリアルI/O1	
16	INTST (UART0送信終了)	アシンクロナス・シリアル・インタフェース0	0FE2EH
17	INTSER2 (UART2受信エラー)	アシンクロナス・シリア	0FE30H
18	INTSR2 (UART2受信終了)	ル・インタフェース2	0FE32H
	INTCSI2 (3線式シリアルI/O2転送終了)	3線式シリアルI/O2	
19	INTST2 (UART2送信終了)	アシンクロナス・シリアル・インタフェース2	0FE34H
20 (最低)	INTAD (A/D変換終了)	A/Dコンバータ	0FE36H

備考1 . デフォルト優先順位は、固定されている数値です。マクロ・サービス要求が、同時に発生した場合に優先される順位を示します。

2 . INTSRとINTCSI1は、同一のハードウェアから発生する割り込みです（同時に両方は使用できません）。したがって、割り込みに関しても同一のハードウェアを使用していますが、どちらのモードを使用しているかに応じて名称を使い分けられるように、2通りの名称を用意しています。INTSR2、INTCSI2についても同様です。

マクロ・サービスの動作には、次に示す7種類のモードがあります。

(1) カウンタ・モード：EVCNT

割り込み要求の発生ごとに、マクロ・サービス・カウンタ (MSC) のインクリメント (+1) またはデクリメント (-1) を行い、MSCが00Hになるとベクタ割り込み要求を発生します。

割り込み要求の発生回数を分周する場合などに使用します。

(2) ブロック転送モード：BLKTRS

割り込み要求の発生ごとに、1バイトまたは1ワードのデータを、SFRポインタ (SFR.PTR) で指定される特殊機能レジスタ (SFR) と、バッファとの間で行い、指定された回数のデータ転送を行うとベクタ割り込み要求を発生します。

転送の対象となるバッファは、0FD00H-0FEFFH^注のメインRAMに限定されます。

指定の方法が簡単で、小容量の高速データ転送に使用します。

注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFD00H-FFEFFH。

(3) ブロック転送モード (メモリ・ポインタ付き)：BLKTRS-P

ブロック転送モードと同様に、割り込み要求の発生ごとに、1バイトまたは1ワードのデータをSFR.PTRで指定されるSFRと、バッファとの間で行い、指定された回数のデータ転送を行うとベクタ割り込み要求を発生します。

転送の対象となるバッファは、メモリ・ポインタ (MEM.PTR) で指定します (メモリは、1 Mバイトの全空間)。

ブロック転送モードの汎用タイプで、転送量が多い場合に使用します。

(4) データ差分モード：DTADIF

割り込み要求の発生ごとに、SFR.PTRで指定されるSFRのカレント値と、メモリに格納されている「直前の値」との差分をバッファに書き込み、このカレント値を「直前の値」とします。

指定された回数のデータ転送を行うとベクタ割り込み要求を発生します。

転送の対象となるバッファは、0FD00H-0FEFFH^注のメインRAMに限定されます。

キャプチャ・レジスタによる入力パルスの周期、パルス幅測定などに使用します。

注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFD00H-FFEFFH。

(5) データ差分モード (メモリ・ポインタ付き) : DTADIF-P

データ差分モードと同様に、割り込み要求の発生ごとに、SFR.PTRで指定されるSFRのカレント値と、メモリに格納されている「直前の値」との差分をバッファに書き込み、このカレント値を「直前の値」とします。

指定された回数のデータ転送を行うとベクタ割り込み要求を発生します。

転送の対象となるバッファは、メモリ・ポインタ (MEM.PTR) で指定します (メモリは、1 Mバイトの全空間)。

データ差分モードの汎用タイプで、データ量が多い場合に使用します。

(6) CPU監視モード0 : SELF0

割り込み要求の発生ごとに、CPU内部の動作をチェックします。各ブロックが正常に動作している場合は、初期データから10引いた値がSFR.PTRで指定されるSFRに転送されます。

初期設定時におけるCPUのセルフ・チェックに使用します。

(7) CPU監視モード1 : SELF1

割り込み要求の発生ごとに、CPU内部の動作をチェックします。各ブロックが正常に動作している場合は、初期データから8引いた値がSFR.PTRで指定されるSFRに転送されます。

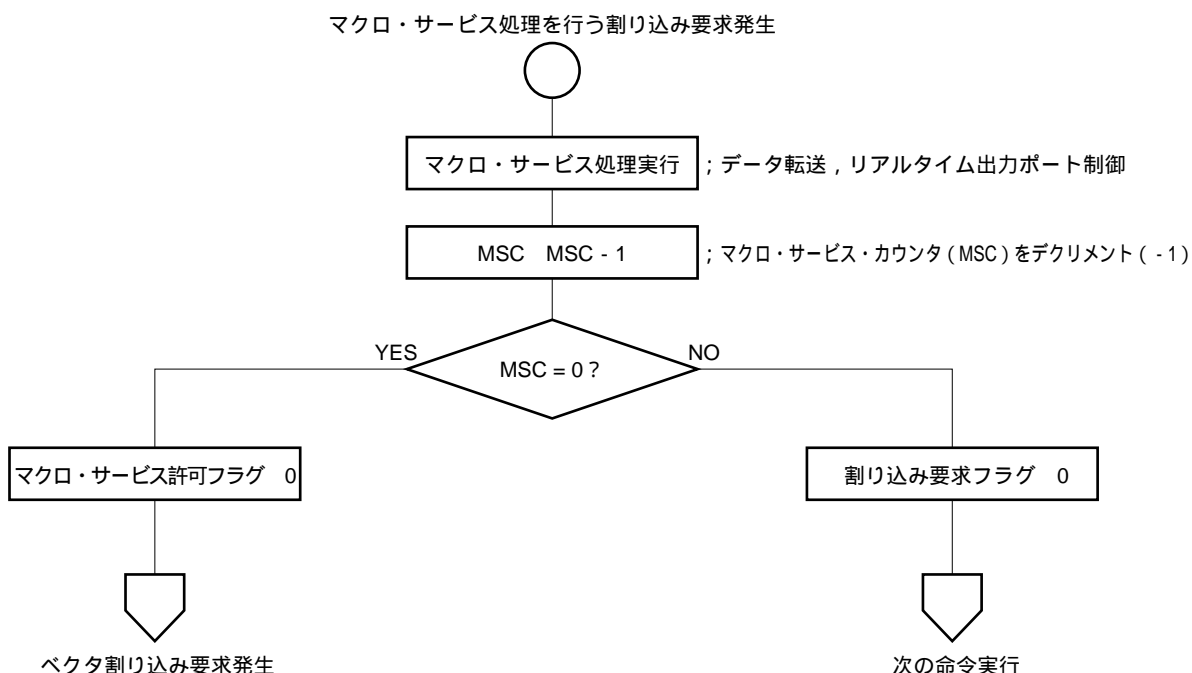
通常動作時におけるCPUのセルフ・チェックに使用します。

14.8.3 マクロ・サービスの基本動作 (CPU監視モード0, 1を除く)

マクロ・サービス機能は、割り込み要求によって、ハードウェア的に特殊機能レジスタ領域とメモリ空間の間でデータ転送を行う機能です。

マクロ・サービス要求が発生すると、CPUはプログラムの実行を一時停止し、特殊機能レジスタ (SFR) とメモリの間で1/2バイトのデータ転送を自動的に行います。データ転送が終了すると、割り込み要求フラグをリセット (0) し、再びCPUはプログラムの実行を開始します。さらに、マクロ・サービス・カウンタ (MSC) に設定した回数だけデータ転送を行ったのち、ベクタ割り込み要求が発生します。

図14 - 17 マクロ・サービス処理シーケンス例



マクロ・サービス機能による処理は、他の割り込み処理とは違い、割り込み処理プログラムを起動しないで自動的に行うので、割り込みサービス・ルーチンへの分岐、レジスタの退避/復帰、割り込みサービス・ルーチンからの復帰という一連の動作を行いません。したがって、CPUのサービス時間の向上とプログラム・ステップ数の縮小が可能です。

マクロ・サービス処理の実行中は、CPU内の汎用レジスタ、命令キューなど、マクロ・サービス処理の実行前の状態を保持しています。

マクロ・サービス処理を指定した割り込み要求は、プログラム・ステータス・ワード (PSWL) のIEフラグの状態には影響されません。割り込み禁止状態や割り込み処理プログラムの実行中でもマクロ・サービス処理は実行できます。割り込みマスク・レジスタ (MK0, MK1) の該当ビットをセット (1) したときのみ禁止されます。

複数のマクロ・サービス要求がある場合、サービスされる順序はデフォルト優先順位で決定されます。これらのマクロ・サービス要求がすべて処理されるまで、命令の実行は行いません。

μPD784054は、内蔵されているすべての割り込み要求に対して、マクロ・サービスをサポートしていません。

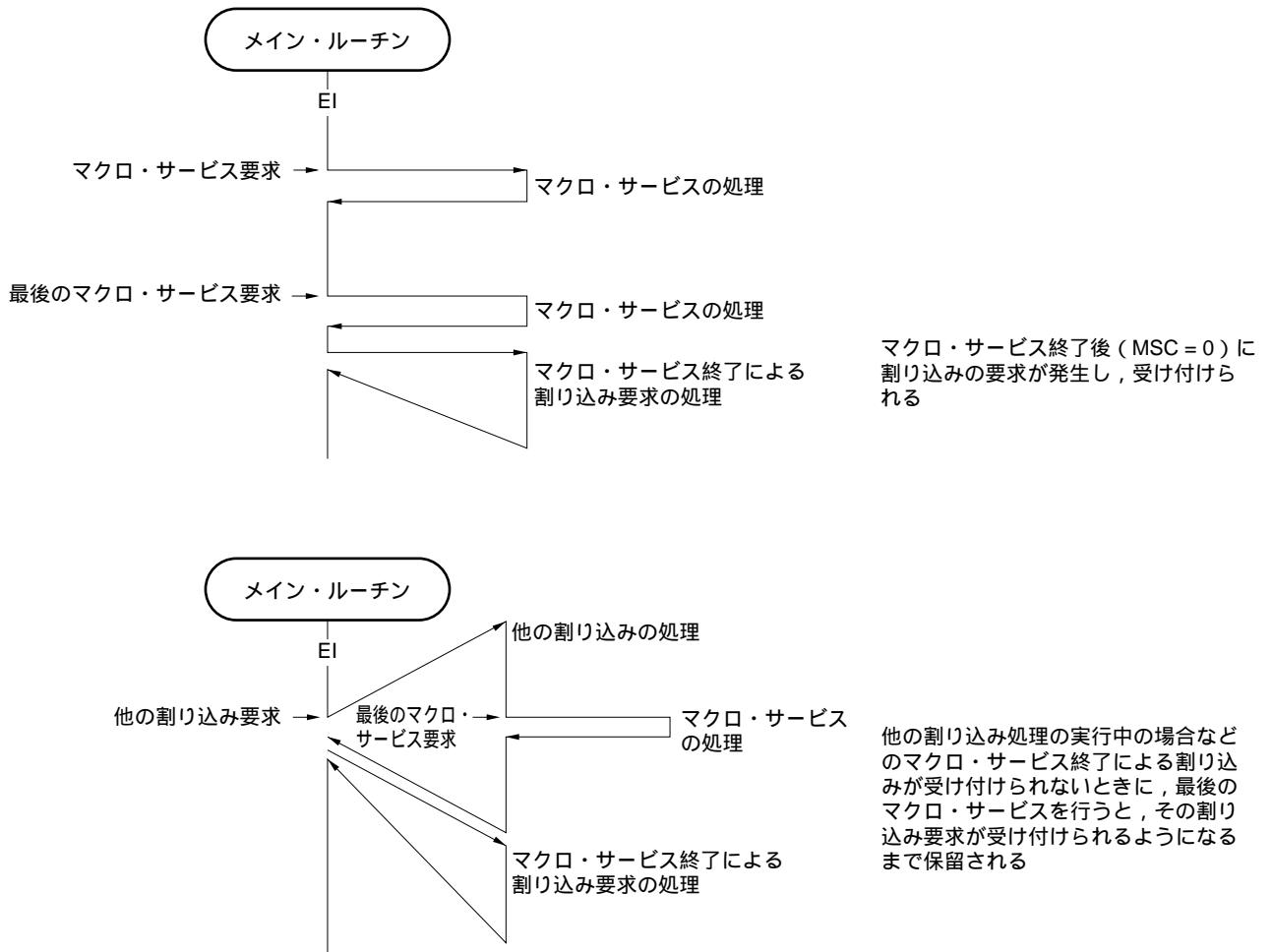
マクロ・サービス処理の基本は次の2通りの動作です。

- ・メモリから特殊機能レジスタ (SFR) へのデータ転送
- ・特殊機能レジスタ (SFR) からメモリへのデータ転送

14.8.4 マクロ・サービス終了時の動作 (CPU監視モード0,1を除く)

マクロ・サービスは、他のプログラムの実行中に指定された回数の処理を行います。指定された回数の処理を行うと(マクロ・サービス・カウンタ(MSC)が0になると)、マクロ・サービスは終了します。

図14-18 マクロ・サービス終了時の動作



注意 マクロ・サービスを使ってUARTでデータを送信した場合、ベクタ割り込み要求が2回発生します(12.2.8 マクロ・サービスを使ってデータを送信/受信する参照)。

14.8.5 マクロ・サービス制御レジスタ

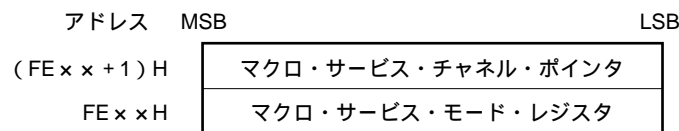
(1) マクロ・サービス・コントロール・ワード

マクロ・サービス・コントロール・ワードは、マクロ・サービス機能を制御するマクロ・サービス・モード・レジスタとマクロ・サービス・チャンネル・ポインタで構成されています。メインRAM領域内の0FE06H-0FE37H[※]のアドレス空間に配置されています(図14 - 20参照)。

マクロ・サービス・コントロール・ワードの基本構成を図14 - 19に示します。

注 LOCATION 0H命令実行時。LOCATION 0FH命令実行時はFFE06H-FFE37H。

図14 - 19 マクロ・サービス・コントロール・ワードの基本構成



マクロ・サービス・モード・レジスタによってマクロ・サービス処理モードを設定し、マクロ・サービス・チャンネル・ポインタによってマクロ・サービス・チャンネルのアドレスを指定します。

マクロ・サービス処理を行うときは、前もってマクロ・サービス処理を指定できる割り込み要求に対応するマクロ・サービス・モード・レジスタとチャンネル・ポインタに値を設定しておく必要があります。

図14 - 20 マクロ・サービス・コントロール・ワードのフォーマット

予約語	アドレス		要因
ADCHP	0FE37H	チャンネル・ポインタ	INTAD
ADMMD	0FE36H	モード・レジスタ	
STCHP2	0FE35H	チャンネル・ポインタ	INTST2
STMMD2	0FE34H	モード・レジスタ	
SRCHP2/CSICHP2	0FE33H	チャンネル・ポインタ	INTSR2/INTCSI2
SRMMD2/CSIMMD2	0FE32H	モード・レジスタ	
SERCHP2	0FE31H	チャンネル・ポインタ	INTSER2
SERMMD2	0FE30H	モード・レジスタ	
STCHP	0FE2FH	チャンネル・ポインタ	INTST
STMMD	0FE2EH	モード・レジスタ	
SRCHP/CSICHP1	0FE2DH	チャンネル・ポインタ	INTSR/INTCSI1
SRMMD/CSIMMD1	0FE2CH	モード・レジスタ	
SERCHP	0FE2BH	チャンネル・ポインタ	INTSER
SERMMD	0FE2AH	モード・レジスタ	
CMCHP41	0FE29H	チャンネル・ポインタ	INTCM41
CMMD41	0FE28H	モード・レジスタ	
CMCHP40	0FE27H	チャンネル・ポインタ	INTCM40
CMMD40	0FE26H	モード・レジスタ	
CMCHP11	0FE1DH	チャンネル・ポインタ	INTCM11
CMMD11	0FE1CH	モード・レジスタ	
CMCHP10	0FE1BH	チャンネル・ポインタ	INTCM10
CMMD10	0FE1AH	モード・レジスタ	
PCHP6	0FE19H	チャンネル・ポインタ	INTP6
PMMD6	0FE18H	モード・レジスタ	
PCHP5	0FE17H	チャンネル・ポインタ	INTP5
PMMD5	0FE16H	モード・レジスタ	
PCHP4	0FE15H	チャンネル・ポインタ	INTP4
PMMD4	0FE14H	モード・レジスタ	
PCHP3	0FE13H	チャンネル・ポインタ	INTP3
PMMD3	0FE12H	モード・レジスタ	
PCHP2	0FE11H	チャンネル・ポインタ	INTP2
PMMD2	0FE10H	モード・レジスタ	
PCHP1	0FE0FH	チャンネル・ポインタ	INTP1
PMMD1	0FE0EH	モード・レジスタ	
PCHP0	0FE0DH	チャンネル・ポインタ	INTP0
PMMD0	0FE0CH	モード・レジスタ	
OVCHP4	0FE0BH	チャンネル・ポインタ	INTOV4
OVMMD4	0FE0AH	モード・レジスタ	
OVCHP1	0FE09H	チャンネル・ポインタ	INTOV1
OVMMD1	0FE08H	モード・レジスタ	
OVCHP0	0FE07H	チャンネル・ポインタ	INTOV0
OVMMD0	0FE06H	モード・レジスタ	

(2) マクロ・サービス・モード・レジスタ

マクロ・サービス・モード・レジスタは、マクロ・サービスの動作を指定する8ビット・レジスタです。マクロ・サービス・コントロール・ワードの一部として、メインRAM領域にマッピングされています(図14-19参照)。

14.8.6 マクロ・サービス・モード

マクロ・サービス・モード・レジスタの設定により、マクロ・サービスの動作を指定します。マクロ・サービス・モードは、マクロ・サービス・モード・レジスタの下位6ビットで規定され、グループ0-グループ2に分かれます。

- ・グループ0.....コントロール・ワードだけで、チャンネルのないタイプ
- ・グループ1.....コントロール・ワードとチャンネルのあるタイプ
- ・グループ2.....CPUの監視用マクロ・サービス

なお、グループ0、グループ1のマクロ・サービス・モード・レジスタの上位2ビットはサブコマンドとして機能します(表14-7参照)。

14.8.7 マクロ・サービスの動作

マクロ・サービスの動作には、次に示す7種類のモードがあります。

表14-7 マクロ・サービス・モードの分類

グループ	マクロ・サービス・モード・レジスタ	機 能	
グループ0	CC000001	カウンタ・モード	EVTCNT
グループ1	CC010011	ブロック転送モード	BLKTRS
	CC010100	ブロック転送モード(メモリ・ポインタ付き)	BLKTRS-P
	10011001	データ差分モード	DTADIF
	10011010	データ差分モード(メモリ・ポインタ付き)	DTADIF-P
グループ2	10101011	CPU監視モード0	SELF0
	10001011	CPU監視モード1	SELF1

BLKTRS, BLKTRS-Pのマクロ・サービス・モード・レジスタの最上位ビット(MSB)のCは、取り扱うデータの長さを示します。

- ・C=0のとき: バイト・データ
- ・C=1のとき: ワード・データ

また、BLKTRS, BLKTRS-Pについてはすべてバイト・バッファで表現しています。ワード指定時はバイト・バッファをワード・バッファに読み替えてください。

(1) カウンタ・モード：EVT CNT

[マクロ・サービス・コントロール・ワード]



[動作]

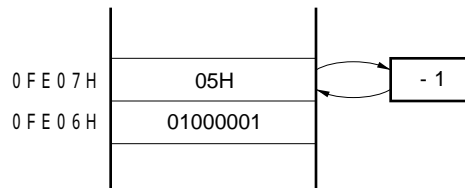
マクロ・サービスが発生するごとに、マクロ・サービス・カウンタ (MSC) をインクリメント (+1) またはデクリメント (-1) します。MSCが00Hになると (オーバーフロー), ベクタ割り込み要求が発生します。

表14 - 8 カウンタ・モードの動作指定

CC	動作
00	インクリメント
01	デクリメント
10	設定禁止
11	設定禁止

このモードでは、マクロ・サービス機能は割り込み要求の発生回数を分周するカウンタとして機能します。

例 INTOV0割り込み要求の発生回数をマクロ・サービスで5分周する。

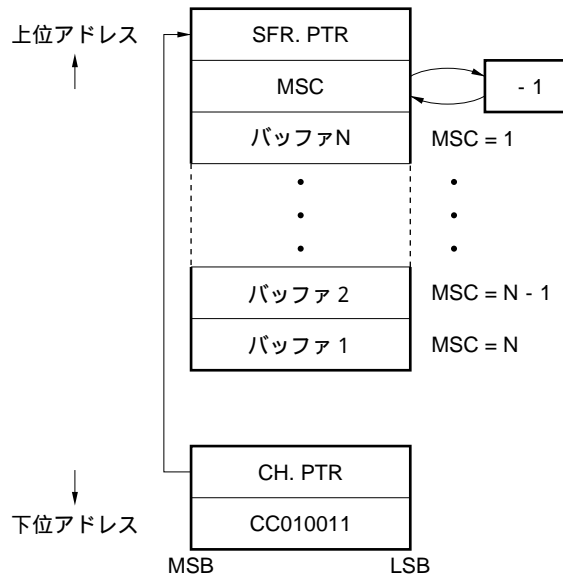


[用途]

イベント・カウンタ, キャプチャ回数の測定

(2) ブロック転送モード : BLKTRS

[マクロ・サービス・コントロール・ワード]



[動作]

チャンネル・ポインタ (CH.PTR) でSFRポインタ (SFR.PTR) を指定します。CH.PTRとマクロ・サービス・カウンタ (MSC) でバッファをアドレスします。

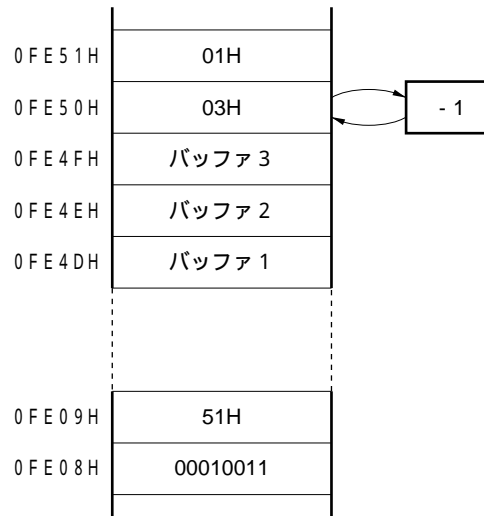
SFR.PTRで指定されるSFRと、バッファの間でデータ転送を行います。データの転送はバッファ1から開始します。

転送が終了するごとに、MSCはデクリメント (- 1) されます。MSC = 0 になると、ベクタ割り込み要求が発生します。

表14 - 9 ブロック転送モードの動作指定

CC	動作	転送データ	バッファ・アドレス
00	バッファ SFR	バイト	(CH.PTRの内容) - (MSCの内容) - 1
01	SFR バッファ		
10	バッファ SFR	ワード	(CH.PTRの内容) - (MSCの内容 × 2) - 1
11	SFR バッファ		

例 INTOV1割り込み要求で、ポート1 (P1) (0FF01H) の内容をバッファに転送する。

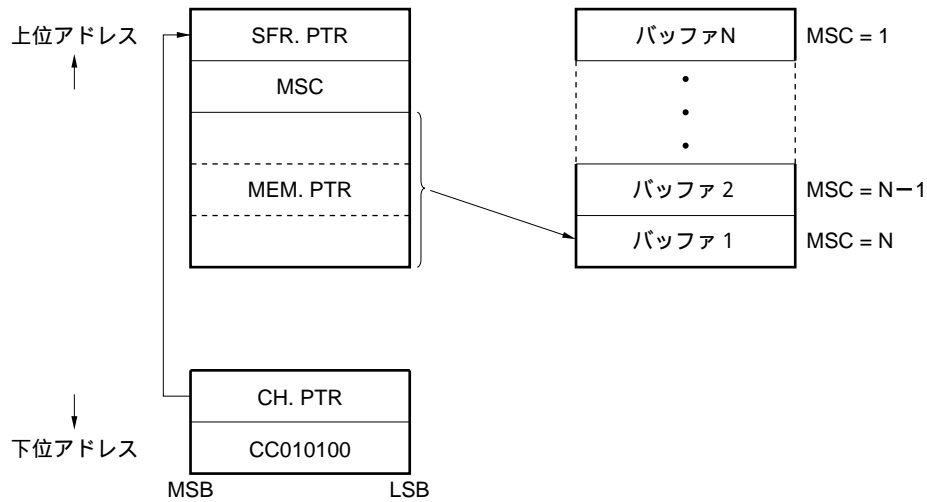


[用 途]

シリアル・インタフェースでのデータ送受信などに使用します。

(3) ブロック転送モード (メモリ・ポインタ付き) : BLKTRS-P

[マクロ・サービス・コントロール・ワード]



[動作]

チャンネル・ポインタ (CH.PTR) でSFRポインタ (SFR.PTR) を指定します。そのSFR.PTRで指定されるSFRとメモリ・ポインタ (MEM.PTR) でアドレスされるバッファとの間でデータ転送を行います。データの転送はバッファ1から開始します。

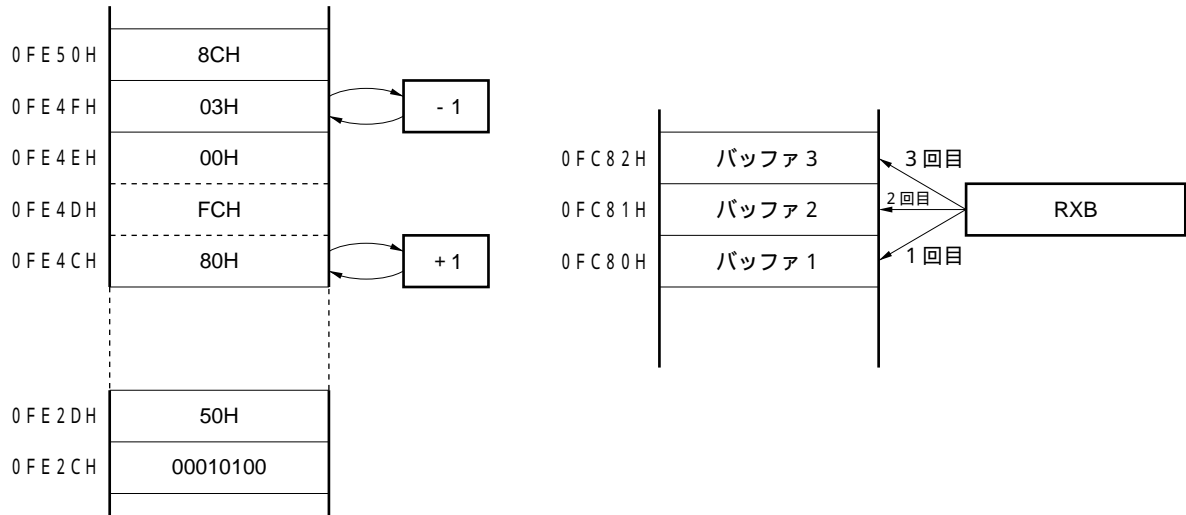
バイト・データの転送の終了後、MEM.PTRをインクリメント (+ 1) します。ワード・データの転送の終了後、MEM.PTRを + 2 します。

転送が終了するごとに、マクロ・サービス・カウンタ (MSC) はデクリメント (- 1) されま
す。MSC = 0 になると、ベクタ割り込み要求が発生します。

表14 - 10 ブロック転送モード (メモリ・ポインタ付き) の動作指定

CC	動作	転送データ
00	バッファ SFR	バイト
01	SFR バッファ	
10	バッファ SFR	ワード
11	SFR バッファ	

例 INTSR割り込み要求で、シリアル受信バッファ：UART0 (RXB) (0FF8CH) の内容をバッファに転送する。

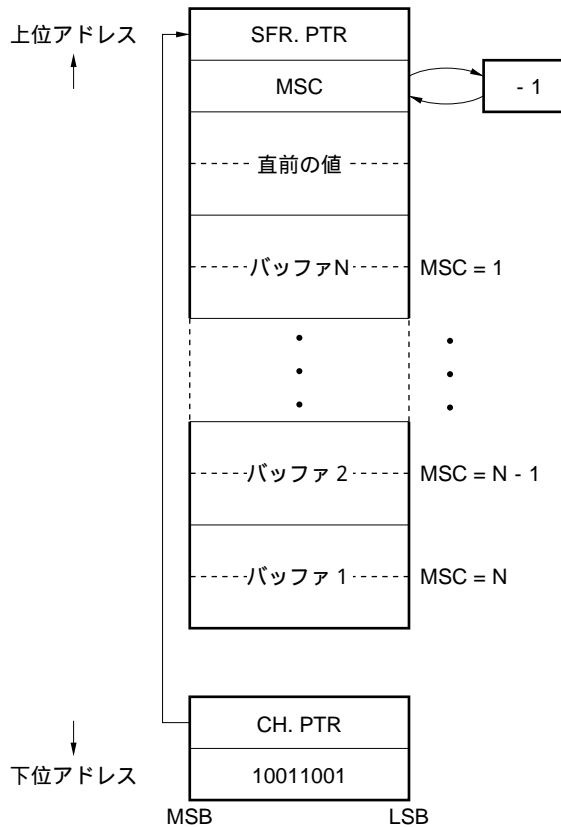


[用 途]

シリアル・インタフェースでのデータ送受信などに使用します。

(4) データ差分モード : DTADIF

[マクロ・サービス・コントロール・ワード]



[動作]

チャンネル・ポインタ (CH.PTR) でSFRポインタ (SFR.PTR) を指定します。CH.PTRとマクロ・サービス・カウンタ (MSC) でバッファをアドレスします。

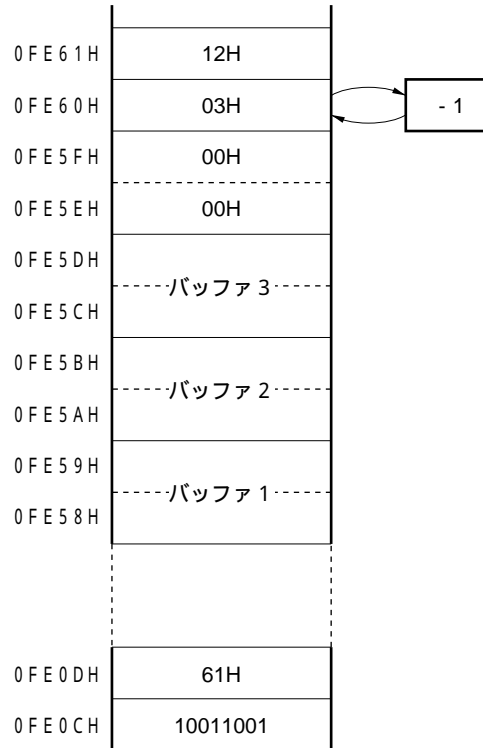
SFR.PTRで指定されるSFR (特にキャプチャ・レジスタ) のカレント値と「直前の値」の差分をバッファに書き込みます。このSFRのカレント値を新たな「直前の値」とします。データの書き込みはバッファ1から開始します。

書き込みが行われるごとに、MSCはデクリメント (- 1) されます。MSC = 0 になると、ベクタ割り込み要求が発生します。

バッファ・アドレスは、次のようになります。

$$(\text{バッファ・アドレス}) = (\text{CH.PTRの内容}) - (\text{MSCの内容} \times 2) - 3$$

例 INTP0入力信号をトリガとして、キャプチャ/コンペア・レジスタ00 (CC00) (0FF12H) の差分をバッファに書き込みます。ベクタ割り込み処理ルーチン内で、差分によりINTP0入力信号の周期を計る。



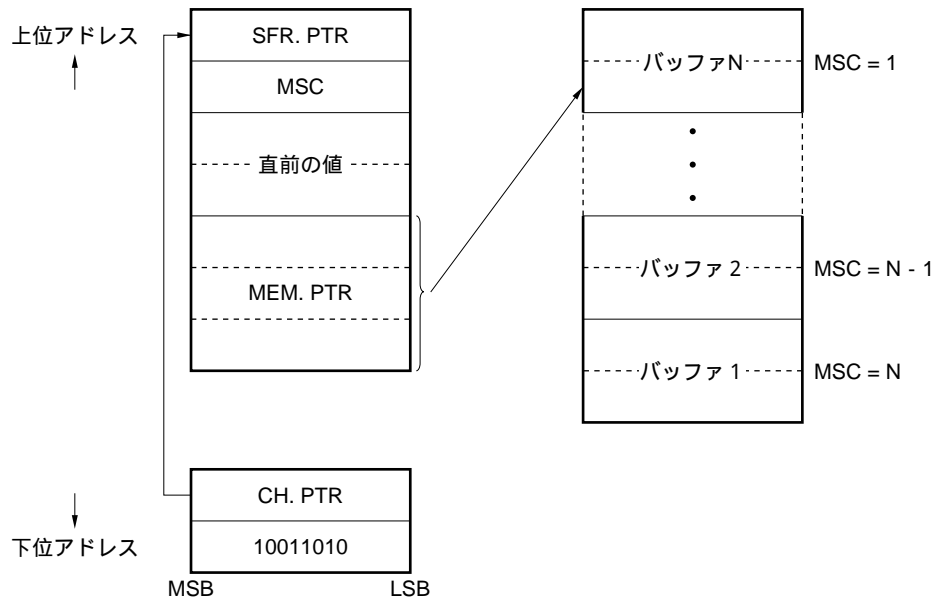
[用途]

キャプチャ・レジスタによる周期，パルス幅の測定。

- 注意1．マクロ・サービス・カウンタ (MSC) には00Hを設定しないでください。
- 2．「直前の値」は，前もってイニシャライズ (ダミー・データ) してください。
- 3．SFRポインタ (SFR.PTR) で指定できるSFRは16ビット構成のSFRのみです。

(5) データ差分モード (メモリ・ポインタ付き) : DTADIF-P

[マクロ・サービス・コントロール・ワード]



[動作]

チャンネル・ポインタ (CH.PTR) でSFRポインタ (SFR.PTR) を指定します。メモリ・ポインタ (MEM.PTR) とマクロ・サービス・カウンタ (MSC) でバッファをアドレスします。

SFR.PTRで指定されるSFR (特にキャプチャ・レジスタ) のカレント値と「直前の値」の差分をバッファに書き込みます。このSFRのカレント値を新たな「直前の値」とします。データの書き込みはバッファ1から開始します。

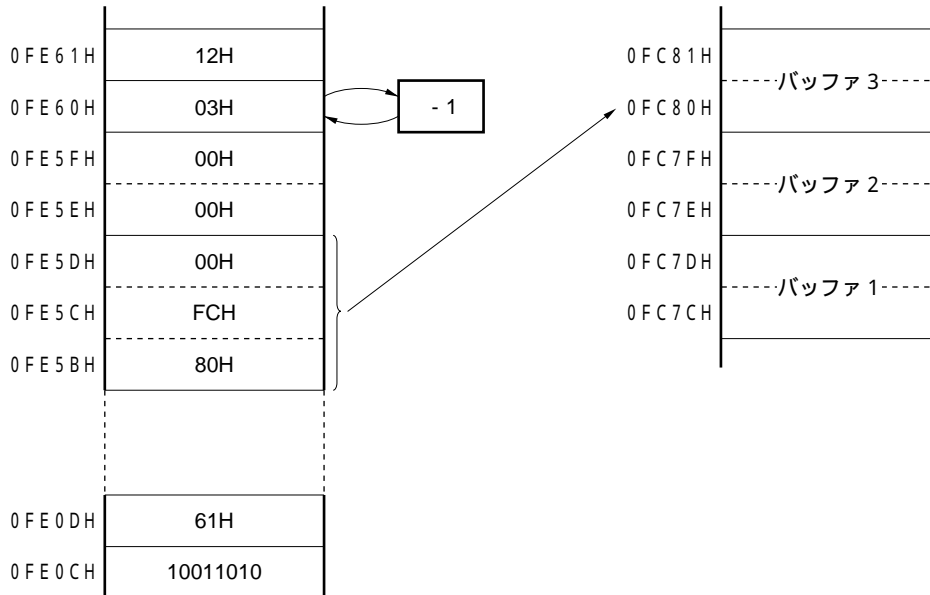
書き込みが行われるごとに、MSCはデクリメント (-1) されます。MSC = 0 になると、ベクタ割り込み要求が発生します。

MEM.PTRは変化しません。

バッファ・アドレスは、次のようになります。

$$(\text{バッファ・アドレス}) = (\text{MEM.PTRの内容}) - (\text{MSCの内容} \times 2) + 2$$

例 INTP0入力信号をトリガとして、キャプチャ/コンペア・レジスタ00 (CC00) (0FF12H) の差分をメモリ・ポインタ (MEM.PTR) で指定するバッファに書き込みます。ベクタ割り込みルーチン内で、差分によりINTP0入力信号の周期を計る。



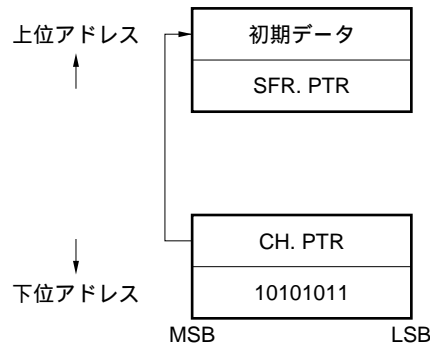
[用途]

キャプチャ・レジスタによる周期，パルス幅の測定。

- 注意 1 . マクロ・サービス・カウンタ (MSC) には00Hを設定しないでください。
- 2 . 「直前の値」は，前もってイニシャライズ (ダミー・データ) してください。
- 3 . SFRポインタ (SFR.PTR) で指定できるSFRは16ビット構成のSFRのみです。

(6) CPU監視モード0 : SELF0

【マクロ・サービス・コントロール・ワード】



【動作】

CPU内部の動作をチェックします。チェック項目は次のとおりです。

- ・プログラム・ステータス・ワード (PSW) の書き込み
- ・スタック・ポインタ (SP)
- ・メインRAM
- ・メインRAMアドレッシング
- ・コンペア動作

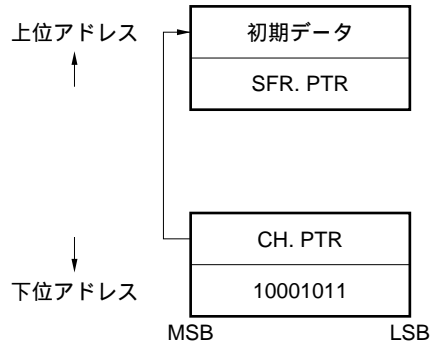
CPUが正常に動作している場合は、SFRポインタ (SFR.PTR) で指定されるSFRに初期データから10引いた値が転送されます。CPUの異常を検出した場合は、正常の場合とは異なる値が転送されます。

このマクロ・サービス終了後、メインRAM、SPの値は破壊されませんが、PSWは0x00Hになります。

したがって、初期設定を行っている間にこのマクロ・サービスを動作させるようにする必要があります。それ以降では、次に説明するCPU監視モード1を使用してください。

(7) CPU監視モード1 : SELF1

[マクロ・サービス・コントロール・ワード]



[動作]

CPU内部の動作をチェックします。チェック項目は次のとおりです。

- ・スタック・ポインタ (SP)
- ・メインRAM
- ・メインRAMアドレッシング
- ・コンペア動作

CPUが正常に動作している場合は、SFRポインタ (SFR.PTR) で指定されるSFRに初期データから8引いた値が転送されます。CPUの異常を検出した場合は、正常の場合とは異なる値が転送されます。

このマクロ・サービス終了後、メインRAM, SPの値は破壊されません。

14.9 割り込み要求およびマクロ・サービスが一時的に保留される場合

次に示す命令を実行すると、8システム・クロックの間、割り込みの受け付けおよびマクロ・サービスの処理が一時的に保留されます。ただし、ソフトウェア割り込みは保留されません。

EI

DI

BRK

BRKCS

RETCS

RETCSB !addr16

RETI

RETB

LOCATION 0HまたはLOCATION 0FH

POP PSW

POPU post

MOV PSWL, A

MOV PSWL, byte

MOVG SP, imm24

割り込み制御レジスタ^注、MK0、MK1L、IMC、ISPRの各レジスタに対する書き込み命令およびビット操作命令（BT、BF命令を除く）

PSWのビット操作命令

（ただし、BT PSWL. bit, \$ addr20, BF PSWL. bit, \$ addr20, BT PSWH. bit, \$addr20, BF PSWH. bit, \$addr20, SET1 CY, NOT1 CY, CLR1 CY命令を除く）。

注 割り込み制御レジスタ：OVIC0, OVIC1, OVIC4, PIC0-PIC6, CMIC10, CMIC11, CMIC40, CMIC41, SERIC, SRIC, CSIIC1, STIC, SERIC2, SRIC2, CSIIC2, STIC2, ADIC

注意 1 . 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合、そのBF命令などの分岐先は、その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると、その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

```

:
LOOP : BF PIC0.7, $ LOOP
      x x x
:

```

PIC0.7が1になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。

良い例 (1)

```

:
LOOP : NOP
      BF PIC0.7, $ LOOP
:

```

NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

良い例 (2)

```

:
LOOP : BT PIC0.7, $ NEXT
      BR $ LOOP
NEXT :

```

BT命令の代わりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利。BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

2 . また、同様の理由により、上記に該当する命令群を連続して使用する場合で、割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には、NOP命令などを途中で挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

14.10 割り込みおよびマクロ・サービスで一時的に実行が中断される命令

次に示す命令は、受け付け可能な割り込み要求およびマクロ・サービスの要求により、一時的にその命令の実行を中断し、割り込みおよびマクロ・サービスを受け付けます。中断された命令は、割り込みサービス・プログラムの終了後、またはマクロ・サービス処理の終了後に再開します。

一時的に中断される命令

MOVM, XCHM, MOVBK, XCHBK
 CMPME, CMPMNE, CMPMC, CMPMNC
 CMPBKE, CMPBKNE, CMPBKC, CMPBKNC
 SACW

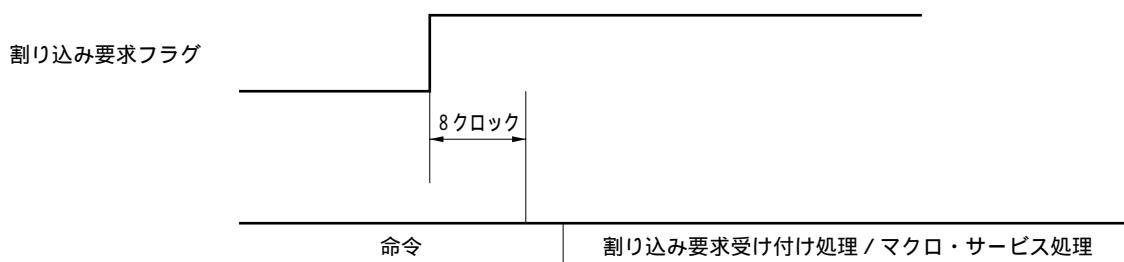
14.11 割り込みおよびマクロ・サービスの動作タイミング

割り込み要求は、各ハードウェアで発生します。発生した割り込み要求は、割り込み要求フラグをセット（1）します。

割り込み要求フラグがセット（1）されると、優先順位などの判定を行うために8クロック（0.5 μ s, $f_{CLK} = 16$ MHz）かかります。

その後、実行中の命令が終了した時点で、その割り込みまたはマクロ・サービスの受け付けが許可されていれば、その割り込み要求の受け付け処理を行います。なお、実行中の命令が割り込みおよびマクロ・サービスを一時的に保留する命令であれば、その次の命令終了後に受け付けられます（保留する命令については、14.9 割り込み要求およびマクロ・サービスが一時的に保留される場合参照）。

図14 - 21 割り込み要求の発生と受け付け（単位：クロック）



14.11.1 割り込みの受け付け処理時間

割り込み要求の受け付けには、表14 - 11のような時間がかかります。表14 - 11の時間後に、割り込み処理プログラムの実行を開始します。

表14 - 11 割り込み受け付け処理時間

(単位：クロック)

割り込み処理モード 分岐先	ベクタ割り込み									コンテキスト・スイッチング
	ベクタ・テーブル	IROM, EMEM16				EMEM8				
	スタック	IRAM	PRAM	EMEM16	EMEM8	IRAM	PRAM	EMEM16	EMEM8	
IROM, PRAM		26	30	30 + 2n	38 + 4n	30	34	34 + 2n	42 + 4n	22
EMEM16, EMEM8		27	31	31 + 2n	39 + 4n	31	35	35 + 2n	43 + 4n	23

備考 1 . IROM : 内部ROM (高速フェッチ指定時)

IRAM : 内部高速RAM

PRAM : 周辺RAM (分岐先の場合は、LOCATION 0H命令実行時のみ)

EMEM16 : 外部メモリおよび高速フェッチに指定していない内部ROMで、16ビット・バス幅に設定されたメモリ

EMEM8 : 外部メモリおよび高速フェッチに指定していない内部ROMで、8ビット・バス幅に設定されたメモリ

- 2 . nは、スタックへの書き込み時に必要となる1バイト当たりのウエイト数です。
- 3 . ベクタ・テーブルがEMEM16, EMEM8の場合で、ベクタ・テーブルの読み出し時にウエイトを挿入している場合は、処理時間が長くなります。EMEM8でベクタ割り込み時は2mを、コンテキスト・スイッチング時とEMEM16でベクタ割り込み時はmを、表中の値に加えてください。mは、ベクタ・テーブルの読み出し時に必要となる1バイト当たりのウエイト数です。
- 4 . 分岐先がEMEM16, EMEM8の場合で、分岐先の命令の読み込み時にウエイトを挿入しているときは、表中の値にそのウエイト数を加えてください。
- 5 . スタックがPRAMにとられている場合で、スタック・ポインタ (SP) の値が奇数の場合は、表中の値に8を加えてください。EMEM16でSPの値が奇数の場合は、表中の値に8 + 2nを加えてください。
- 6 . ウエイト数は、アドレス・ウエイトとアクセス・ウエイトの合計数です。

14.11.2 マクロ・サービスの処理時間

マクロ・サービス処理は、マクロ・サービスの種類により異なり、表14 - 12のようになります。

表14 - 12 マクロ・サービス処理時間

(単位：クロック)

マクロ・サービスの種類				処理時間	
				IRAM	その他のデータ領域
グループ0	カウンタ・モード：EVCNT			18	-
グループ1	ブロック転送モード：BLKTRS	バッファ SFR	バイト	24	-
			ワード	25	-
		SFR バッファ	バイト	24	-
			ワード	25	-
	ブロック転送モード (メモリ・ポインタ付き)：BLKTRS-P	バッファ SFR	バイト	30	32
			ワード	31	33
		SFR バッファ	バイト	30	32
			ワード	31	33
データ差分モード：DTADIF				28	-
データ差分モード (メモリ・ポインタ付き)：DTADIF-P				33	35
グループ2	CPU監視モード0：SELF0			-	78
	CPU監視モード1：SELF1			-	60

備考1．その他のデータ領域で次の場合には、各場合ごとに指定されたクロックを加算してください。

- ・ IROM, PRAMでデータ・サイズがワードで、奇数番地にデータが配置されている場合：8クロック
- ・ EMEM16, EMEM8でデータ・サイズがバイトの場合、またはEMEM16でデータ・サイズがワードで偶数番地にデータが配置されている場合： n (n は1バイト当たりのウエイト数)
- ・ EMEM8でデータ・サイズがワードの場合、またはEMEM16でデータ・サイズがワードで奇数番地にデータが配置されている場合： $4 + 2n$ (n は1バイト当たりのウエイト数)

2．CPU監視モードは、SFRにデータを出力します。

3．IRAM : 内部高速RAM

IROM : 内部ROM (高速フェッチ指定時)

PRAM : 周辺RAM

EMEM16 : 外部メモリおよび高速フェッチに指定していない内部ROMで、16ビット・バス幅に設定されたメモリ

EMEM8 : 外部メモリおよび高速フェッチに指定していない内部ROMで、8ビット・バス幅に設定されたメモリ

14.12 割り込み機能を初期状態に戻す方法

プログラムの暴走や、システムの異常をオペランド・エラー割り込みやウォッチドッグ・タイマ、NMI端子入力などで検出した場合、システム全体を初期状態に戻す必要があります。μPD784054は、割り込みの受け付けに関する優先順位の制御をハードウェアによって行います。この割り込みの受け付けに関するハードウェアも、初期状態にしないと以降の割り込みの受け付けに関する制御が異常になる場合があります。

次に、割り込みの受け付けに関するハードウェアをプログラムで初期化する方法を示します。なお、ハードウェアで初期化する方法は、 $\overline{\text{RESET}}$ 入力しかありません。

```

例      MOVW MK0, 0FFFFH ; マスカブル割り込みはすべてマスクする
        MOV  MK1, 0FFFFH

IRESL  :
        CMP  ISPR, 0 ; すべての処理中の割り込みサービス・プログラムがなくなったか?
        BZ   $NEXT
        MOVG SP, RETVAL ; SPの位置を強制的に変更
        RETI ; 処理中の割り込みサービス・プログラムを強制終了, 戻り番地はIRESL

RETVAL :
        DW  LOWW (IRESL) ; RETI命令でIRESLへ戻るためのスタックのデータ
        DB  0
        DB  HIGHW (IRESL) ; LOWW, HIGHWは、それぞれシンボルの下位16ビット, 上位16ビットの値を計算するアセンブラの演算子

NEXT   :
        ・このプログラム実行中には、NMI端子によるノンマスカブル割り込み要求が発生しないようにする必要があります。
        ・この後、内蔵周辺ハードウェアの初期化および割り込み制御レジスタの初期化を行う
        ・割り込み制御レジスタの初期化時には、割り込み要求フラグを必ずクリア(0)する

```

14.13 注意事項

- (1) インサースervice・プライオリティ・レジスタ (ISPR) は、読み出しのみ可能です。書き込みを行うと、誤動作する恐れがあります。
- (2) ウォッチドッグ・タイマ・モード・レジスタ (WDM) は、専用命令 (MOV WDM, byte) でのみ書き込みが可能です。
- (3) BRK命令によるソフトウェア割り込みからの復帰に、RETI命令を使用してはいけません。
- (4) BRKCS命令によるソフトウェア割り込みからの復帰に、RETCS命令を使用してはいけません。
- (5) ノンマスクابل割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ、処理されます。ノンマスクابل割り込みサービス・プログラム中でマクロ・サービスの処理を行いたくない場合は、ノンマスクابل割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して、マクロ・サービスが発生しないようにしてください。
- (6) ノンマスクابل割り込みからの復帰には、必ずRETI命令を使用してください。他の命令では、以降の割り込みの受け付けが正常に行われません。
- (7) ノンマスクابل割り込みは、ノンマスクابل割り込みサービス・プログラム実行中 (優先順位の低いノンマスクابل割り込みサービス・プログラム実行中に、優先順位の高いノンマスクابل割り込みの要求が発生した場合を除く) および14.9に示す特定命令の実行後の一定期間を除いては必ず受け付けられます。したがって、特にリセット解除後などのスタック・ポインタ (SP) の値が不定の場合でもノンマスクابل割り込みを受け付けます。このときのSPの値によっては特殊機能レジスタ (SFR) の書き込みを禁止しているアドレス (3.8 特殊機能レジスタ (SFR) の表3 - 6参照)へプログラム・カウンタ (PC) およびプログラム・ステータス・ワード (PSW) を書き込んでしまい、CPUがデッドロックしてしまったり、端子から予期しない信号を出力したり、RAMが実装されていないアドレスへPCやPSWを書き込むことにより、ノンマスクابل割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。
したがって、RESET解除後のプログラムは必ず次のようにしてください。

```

CSEG AT 0
DW STRT
CSEG BASE

STRT :
LOCATION 0FH ; or LOCATION 0H
MOVG SP, imm24

```


- (8) マスカブル割り込みをベクタ割り込みで受け付けた場合は、必ずRETI命令で復帰してください。他の命令では、以降の割り込みに関する動作が正常に行われません。
- (9) コンテキスト・スイッチングによる割り込みからの復帰には、必ずRETCS命令を使用してください。他の命令では、以降の割り込みに関する動作が正常に行われません。
- (10) マクロ・サービスを使ってUARTでデータを送信した場合、ベクタ割り込み要求が2回発生します (12.2.8 マクロ・サービスを使ってデータを送信 / 受信する参照)。
- (11) データ差分モード、データ差分モード (メモリ・ポインタ付き) では、マクロ・サービス・カウンタ (MSC) には00Hを設定しないでください。
- (12) データ差分モード、データ差分モード (メモリ・ポインタ付き) では、「直前の値」は、前もってイニシャライズ (ダミー・データ) してください。
- (13) データ差分モード、データ差分モード (メモリ・ポインタ付き) では、SFRポインタ (SFR.PTR) で指定できるSFRは16ビット構成のSFRのみです。
- (14) 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合、そのBF命令などの分岐先は、その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると、その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

```

:
LOOP : BF PIC0.7, $ LOOP
      x x x
:

```

PIC0.7が1になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。

良い例 (1)

```

:
LOOP : NOP
      BF PIC0.7, $ LOOP
:

```

NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

良い例 (2)

```

:
LOOP : BT PIC0.7, $ NEXT
      BR $ LOOP
NEXT :

```

BT命令の代わりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利。BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。

(15) (14)と同様の理由により、上記に該当する命令群を連続して使用する場合で、割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には、NOP命令などを途中で挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

第15章 ローカル・バス・インタフェース機能

ローカル・バス・インタフェース機能は、外部にメモリ（ROM, RAM）およびI/Oを接続するための機能です。

外部のメモリ（ROM, RAM）およびI/Oは、AD0-AD15端子をマルチプレクスト・アドレス/データ・バス、A16-A19端子をアドレス・バスとし、 \overline{RD} 、 \overline{LWR} 、 \overline{HWR} 、ASTB端子信号を用いてアクセスします。

図15 - 3 から図15 - 8 に基本的なバス・インタフェース・タイミングを示します。

また、低速なメモリとインタフェースするためのウェイト機能、外部データ・バス幅を8ビットまたは16ビットに切り替えることができるバス・サイジング機能を備えています。

15.1 メモリ拡張機能

μ PD784054は、メモリ拡張機能モード・レジスタ（MM）の設定により、外部にメモリおよびI/Oの拡張ができます。

15.1.1 メモリ拡張モード・レジスタ（MM）

MMは、外部拡張メモリの制御、アドレス・ウェイト数の指定、内部フェッチ・サイクルの制御を行う8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し/書き込みが可能です。図15 - 1 に、MMのフォーマットを示します。

\overline{RESET} 入力で20Hになります。

図15 - 1 メモリ拡張モード・レジスタ (MM) のフォーマット

アドレス : 0FFC4H リセット時 : 20H R/W

	7	6	5	4	3	2	1	0
MM	IFCH	0	AW	0	MM3	MM2	MM1	MM0

IFCH	内部ROMフェッチ
0	外部メモリと同じ速度でフェッチする ウェイト制御の設定がすべて有効
1	高速フェッチを行う ウェイト制御の指定は無効

AW	アドレス・ウェイト指定
0	禁止
1	許可

MM3	MM2	MM1	MM0	モード	ポート 4 (P40-P47)	ポート 5 (P50-P57)	ポート 6 (P60-P63)	P90-P93
0	0	0	0	シングルチップ・モード	ポート			
0	0	1	1	256バイト 拡張モード注1	AD0-AD7			P90 : \overline{RD} P91 : \overline{LWR} P92 : \overline{HWR} P93 : ASTB
0	1	0	0	1 Kバイト 拡張モード注1	AD8, AD9注2	ポート		
0	1	0	1	4 Kバイト 拡張モード注1	AD8- AD11注2	ポート		
0	1	1	0	16 Kバイト 拡張モード注1	AD8- AD13注2	ポート		
0	1	1	1	64 Kバイト 拡張モード	AD8-AD15			
1	0	0	0	256 Kバイト 拡張モード		A16, ポート A17		
1	0	0	1	1 Mバイト 拡張モード		A16-A19		
上記以外				設定禁止				

注1 . 外部16ビット・バス指定時は , 設定禁止。

2 . アドレス・バスとして使用します。

15.1.2 外部メモリ拡張時のメモリ・マップ

メモリ拡張時のメモリ・マップを図15 - 2 に示します。メモリ拡張時であっても、内部ROM領域、内部RAM領域およびSFR領域（外部SFR領域（0FFD0H-0FFDFH）を除く）と同一のアドレスにある外部デバイスはアクセスできません。これらのアクセスに対するアクセス時には、 μ PD784054内のメモリおよびSFRが優先的にアクセスされ、ASTB信号、 \overline{RD} 信号、 \overline{LWR} 信号、 \overline{HWR} 信号は出力されません（インアクティブ・レベルのまま）。また、アドレス・バスの出力レベルはそれ以前に出力したレベルのままとなり、アドレス/データ・バスの出力はハイ・インピーダンスになります。

1 Mバイト拡張モード以外では、外部に出力されるアドレスは、プログラムで指定したアドレスの上位側がマスクされた状態で出力されます。

例 1

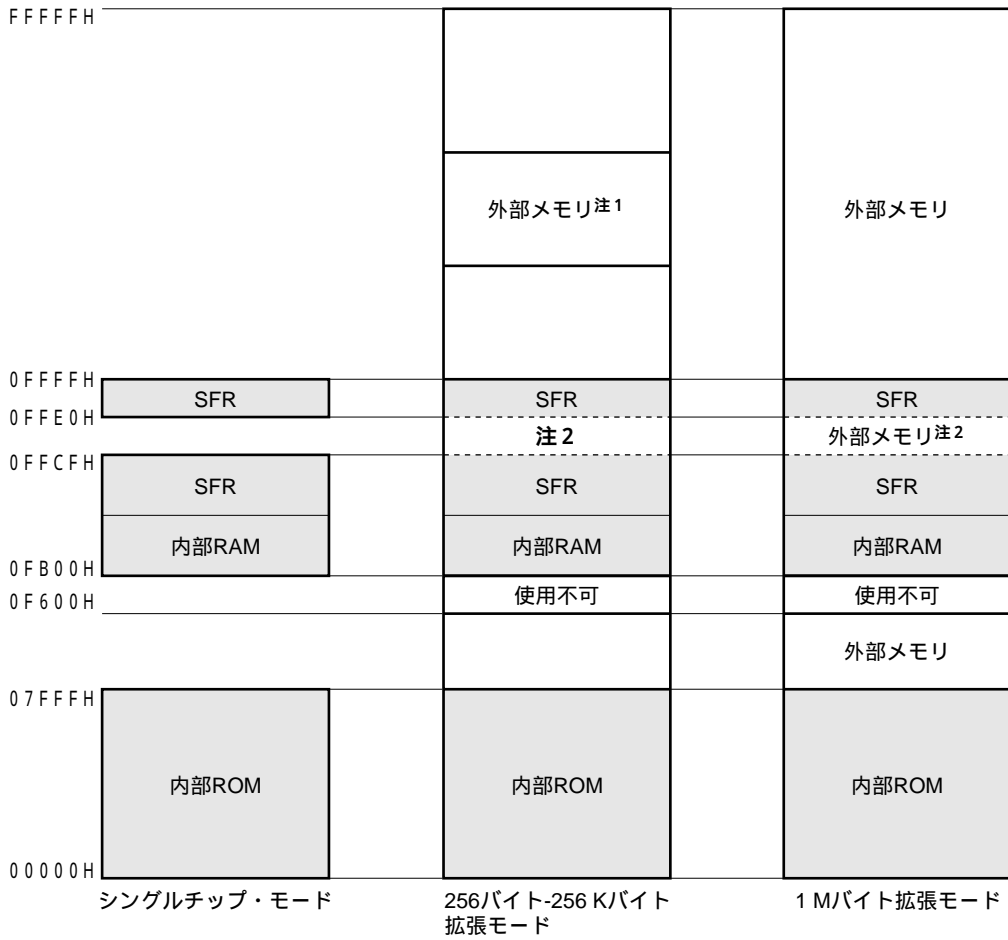
256バイト拡張モード時に、プログラムで54321H番地をアクセスする場合、出力されるアドレスは21Hとなる。

例 2

256バイト拡張モード時に、プログラムで67821H番地をアクセスする場合、出力されるアドレスは21Hとなる。

図15 - 2 メモリ・マップ (1/2)

(a) LOCATION 0H命令実行時

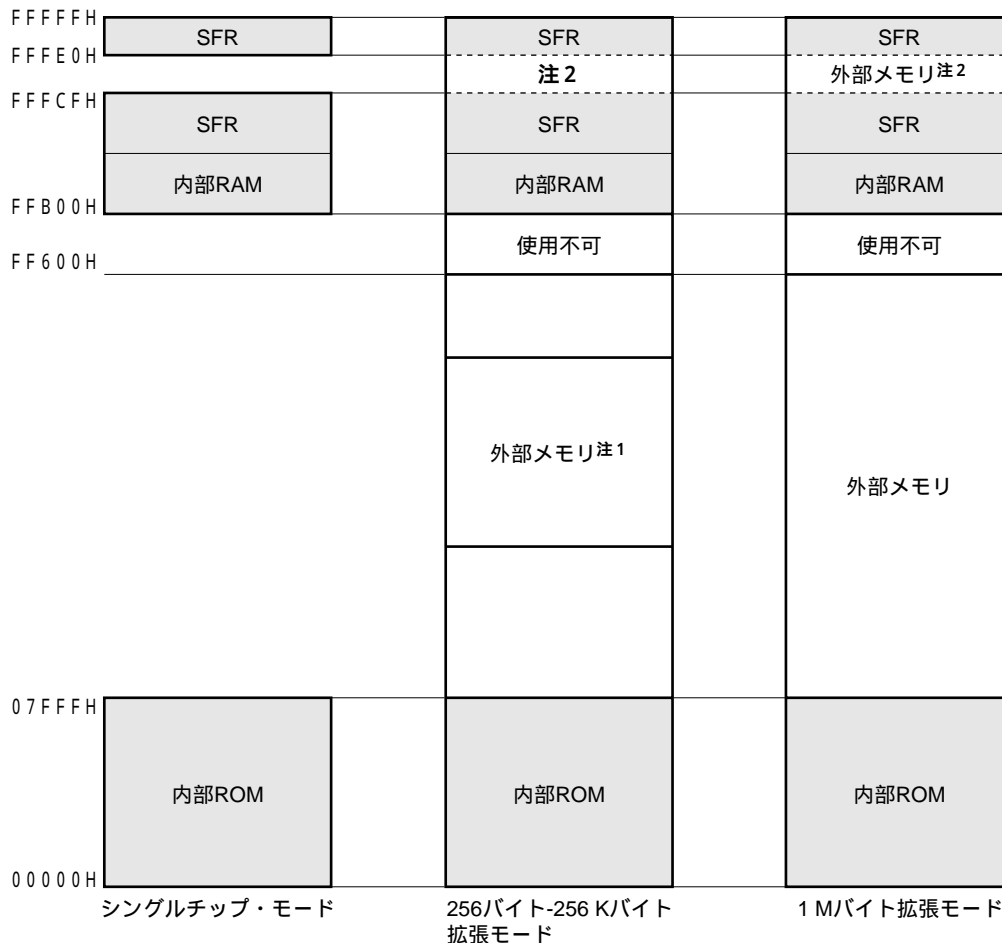


注1 . アミのない部分の任意の拡張サイズ分の領域

2 . 外部SFR領域

図15 - 2 メモリ・マップ (2/2)

(b) LOCATION 0FH命令実行時



注1 . アミのない部分の任意の拡張サイズ分の領域

2 . 外部SFR領域

15.1.3 ローカル・バス・インタフェースの基本動作

ローカル・バス・インタフェースは、 \overline{ASTB} 、 \overline{RD} 、 \overline{LWR} 、 \overline{HWR} 、アドレス/データ・バス (AD0-AD15)、アドレス・バス (A16-A19) を使用して外付けのメモリなどをアクセスします。ローカル・バス・インタフェース使用時は、ポート4、P90-P93は自動的にAD0-AD7、 \overline{RD} 、 \overline{LWR} 、 \overline{HWR} 、 \overline{ASTB} として動作するようになります。ポート5、ポート6は、拡張するメモリ・サイズに応じた端子のみがアドレス・バスとして動作します。

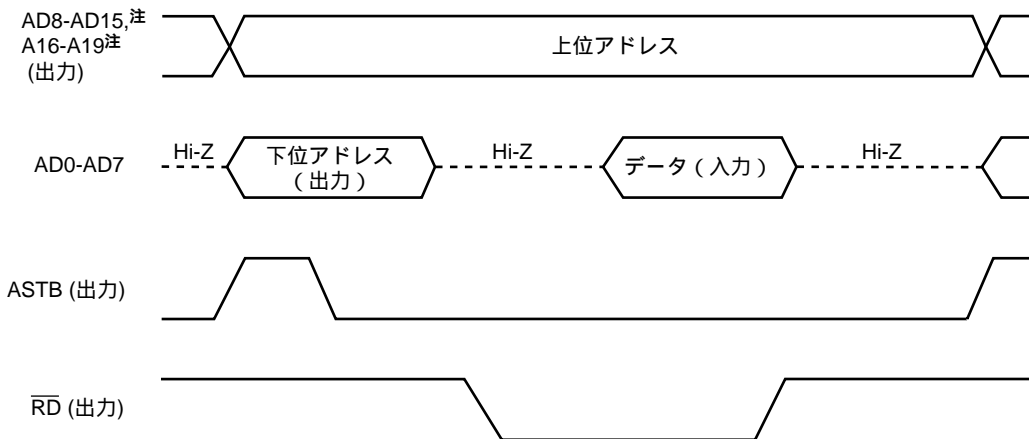
メモリ・アクセスのタイミングの概要を、図15 - 3 から図15 - 8 に示します。

図15 - 3 リード・タイミング (8ビット)

条件

バス・サイズ : 8ビット

バス・サイクル: ノー・ウエイト



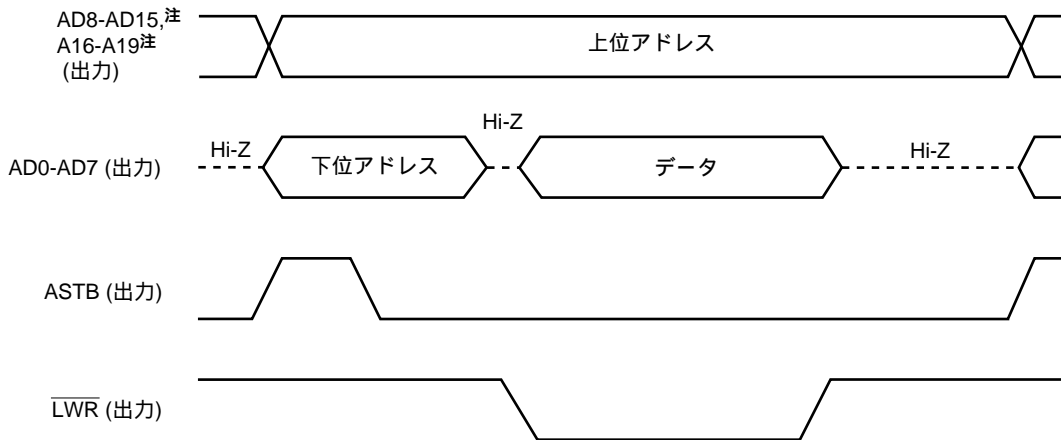
注 拡張モードのサイズにより, 使用するアドレス・バスの端子数は変わります。

図15 - 4 ライト・タイミング (8ビット)

条件

バス・サイズ : 8ビット

バス・サイクル: ノー・ウエイト

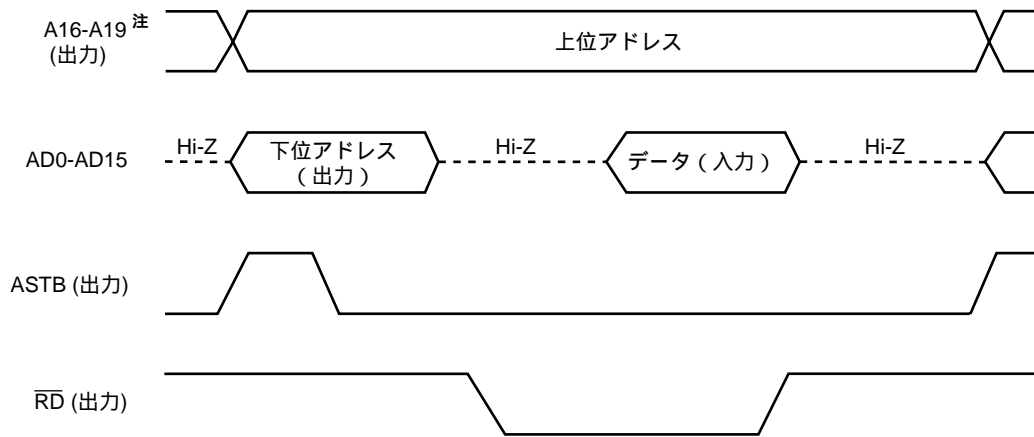


注 拡張モードのサイズにより, 使用するアドレス・バスの端子数は変わります。

図15 - 5 リード・タイミング (16ビット, 偶数アドレス・アクセス)

条件

バス・サイズ : 16ビット 下位 8 ビット・データ: 偶数アドレス
 バス・サイクル: ノー・ウエイト 上位 8 ビット・データ: 奇数アドレス

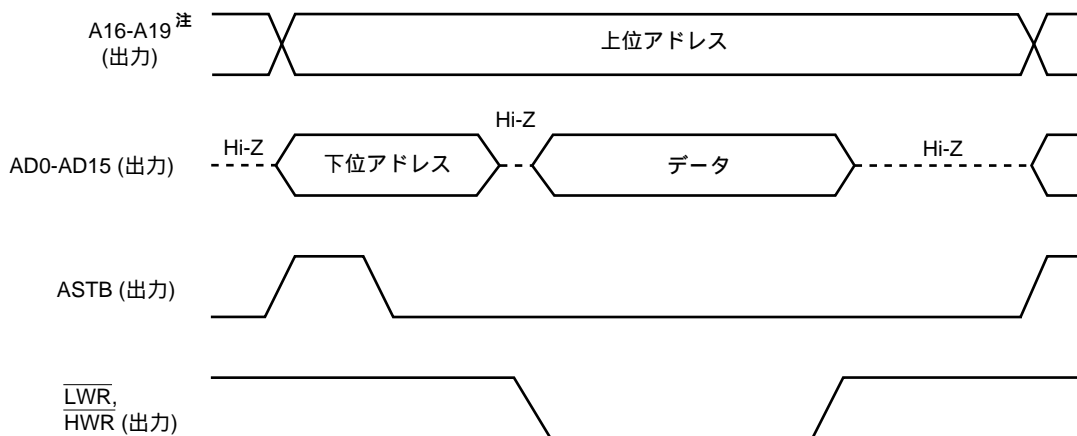


注 拡張モードのサイズにより, 使用するアドレス・バスの端子数は変わります。

図15 - 6 ライト・タイミング (16ビット, 偶数アドレス・アクセス)

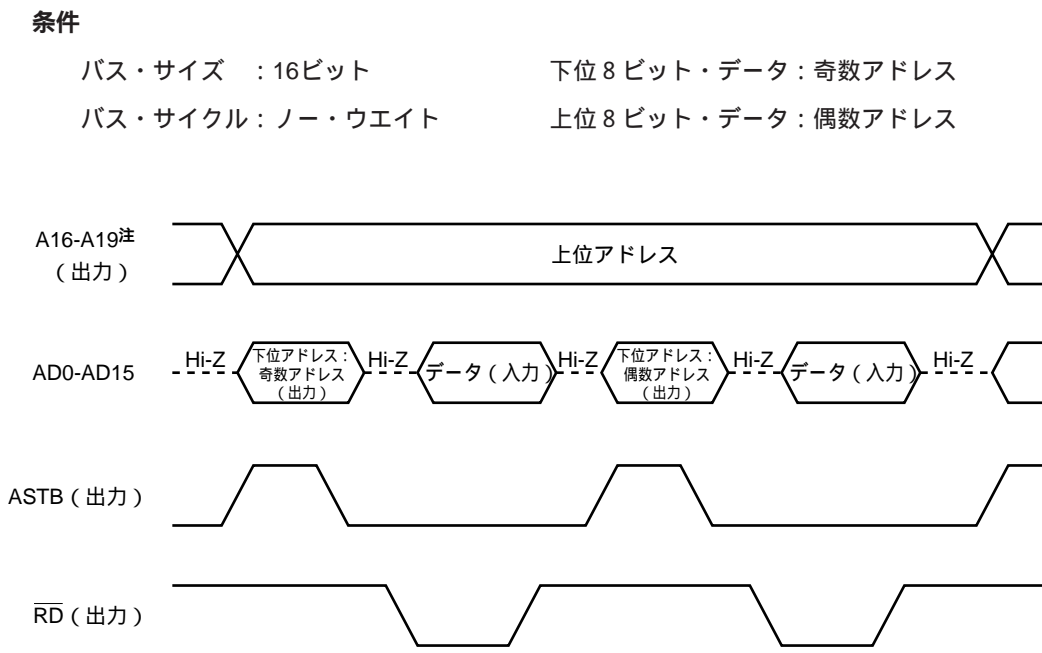
条件

バス・サイズ : 16ビット 下位 8 ビット・データ: 偶数アドレス
 バス・サイクル: ノー・ウエイト 上位 8 ビット・データ: 奇数アドレス



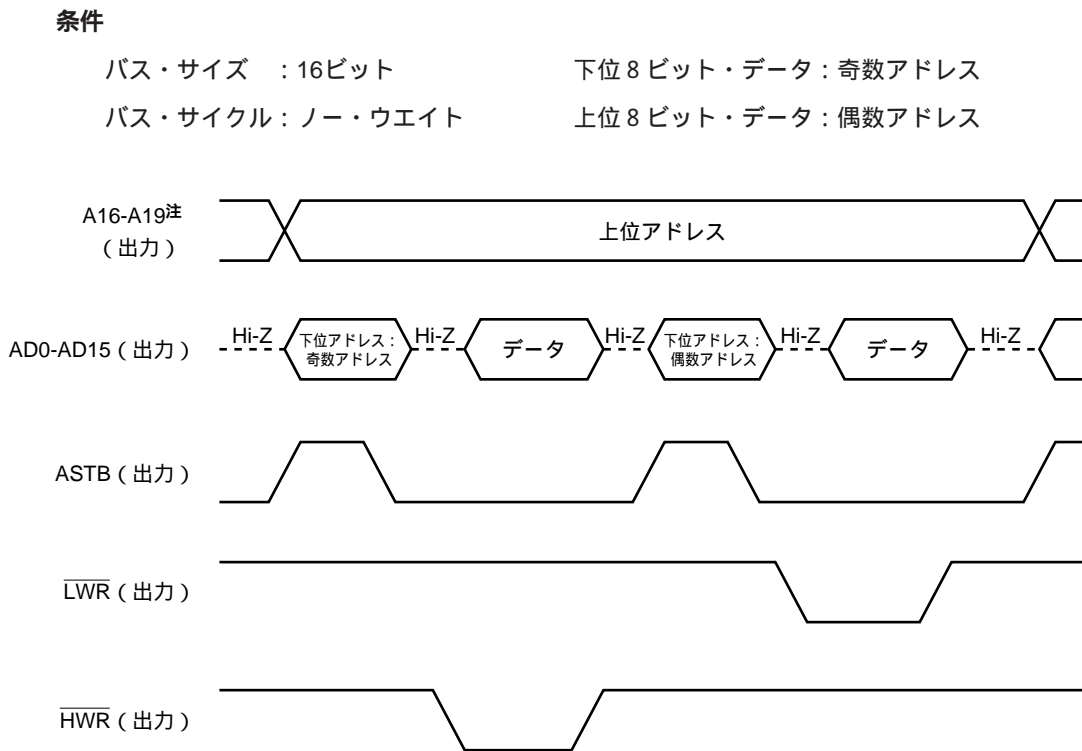
注 拡張モードのサイズにより, 使用するアドレス・バスの端子数は変わります。

図15 - 7 リード・タイミング (16ビット, 奇数アドレス・アクセス)



注 拡張モードのサイズにより, 使用するアドレス・バスの端子数は変わります。

図15 - 8 ライト・タイミング (16ビット, 奇数アドレス・アクセス)



注 拡張モードのサイズにより, 使用するアドレス・バスの端子数は変わります。

15.2 ウェイト機能

μPD784054は外部に低速なメモリ，I/Oを接続する場合，外部メモリ・アクセス・サイクルにウェイトを挿入することができます。

ウェイト・サイクルには，アドレスのデコード時間を確保するためのアドレス・ウェイトと，アクセス・タイムを確保するためのアクセス・ウェイトがあります。

15.2.1 ウェイト機能の制御レジスタ

(1) メモリ拡張モード・レジスタ (MM)

MMのIFCHビットで内部ROMアクセス時のウェイト制御の設定と，AWビットでアドレス・ウェイトの設定を行います。

MMは，8ビット操作命令で読み出し/書き込みが可能です。図15-9に，MMのフォーマットを示します。

$\overline{\text{RESET}}$ 入力により20Hになり，内部ROMアクセスは外部メモリと同等のサイクルになり，アドレス・ウェイト機能が有効となります。

図15-9 メモリ拡張モード・レジスタ (MM) のフォーマット

アドレス : 0FFC4H リセット時 : 20H R/W

	7	6	5	4	3	2	1	0
MM	IFCH	0	AW	0	MM3	MM2	MM1	MM0

IFCH	内部ROMフェッチ
0	外部メモリと同じ速度でフェッチする ウェイト制御の設定がすべて有効
1	高速フェッチを行う ウェイト制御の指定は無効

AW	アドレス・ウェイト指定
0	禁止
1	許可

MM3	MM2	MM1	MM0	メモリ拡張モードの設定 (図15-1参照)
-----	-----	-----	-----	-----------------------

(2) プログラマブル・ウェイト制御レジスタ (PWC1, PWC2)

PWC1, PWC2は, ウェイト数を指定するレジスタです。

PWC1は, 0-FFFFHの空間を4分割し, 分割した各空間ごとにウェイトの制御を指定する8ビットのレジスタです。PWC2は, 10000H-FFFFHの空間を4分割し, 分割した各空間ごとにウェイトの制御を指定する16ビットのレジスタです。

PWC1は8ビット操作命令で, PWC2は16ビット操作命令で読み出し/書き込みが可能です。図15-10, 図15-11に, PWC1, PWC2のフォーマットを示します。

なお, PWC2の上位8ビットはAAHに固定されていますので, 必ず上位8ビットはAAHになるようにしてください。

$\overline{\text{RESET}}$ 入力により, PWC1はAAHに, PWC2はAAAAAHになり, 全空間に対して, 2ウェイトの挿入が行われます。

図15 - 10 プログラマブル・ウェイト制御レジスタ 1 (PWC1) のフォーマット

アドレス : 0FFC7H リセット時 : AAH R/W

	7	6	5	4	3	2	1	0
PWC1	PW31	PW30	PW21	PW20	PW11	PW10	PW01	PW00

有効アドレス	PW31	PW30	挿入ウェイト・ サイクル	データ・アクセス・サイク ル, フェッチ・サイクル
00C000H-	0	0	0	3
00FFFFH ^注	0	1	1	4
	1	0	2	5
	1	1	WAIT端子に入 力されるロウ・ レベル時間	-

有効アドレス	PW21	PW20	挿入ウェイト・ サイクル	データ・アクセス・サイク ル, フェッチ・サイクル
008000H-	0	0	0	3
00BFFFH	0	1	1	4
	1	0	2	5
	1	1	WAIT端子に入 力されるロウ・ レベル時間	-

有効アドレス	PW11	PW10	挿入ウェイト・ サイクル	データ・アクセス・サイク ル, フェッチ・サイクル
004000H-	0	0	0	3
007FFFH	0	1	1	4
	1	0	2	5
	1	1	WAIT端子に入 力されるロウ・ レベル時間	-

有効アドレス	PW01	PW00	挿入ウェイト・ サイクル	データ・アクセス・サイク ル, フェッチ・サイクル
000000H-	0	0	0	3
003FFFH	0	1	1	4
	1	0	2	5
	1	1	WAIT端子に入 力されるロウ・ レベル時間	-

注 内部データ領域と重なる部分を除きます。

注意 1 . 上記サイクル数はアドレス・ウエイトを付加しない場合です。付加した場合には1サイクル加算する必要があります。

2 . 高速フェッチ時の内部ROM, 周辺RAM領域に対する命令フェッチはウエイトが挿入されません。

3 . 内部ROM領域には, $\overline{\text{WAIT}}$ 端子によるウエイト挿入の設定をしないでください。

図15 - 11 プログラマブル・ウェイト制御レジスタ2 (PWC2) のフォーマット

アドレス : 0FFC8H リセット時 : AAAAH R/W

	15	14	13	12	11	10	9	8
PWC2	1	0	1	0	1	0	1	0
	7	6	5	4	3	2	1	0
	PW71	PW70	PW61	PW60	PW51	PW50	PW41	PW40

有効アドレス	PW71	PW70	挿入ウェイト・ サイクル	データ・アクセス・サイク ル, フェッチ・サイクル
080000H-	0	0	0	3
0FFFFFFH ^注	0	1	1	4
	1	0	2	5
	1	1	WAIT端子に入 力されるロウ・ レベル時間	-

有効アドレス	PW61	PW60	挿入ウェイト・ サイクル	データ・アクセス・サイク ル, フェッチ・サイクル
040000H-	0	0	0	3
07FFFFFFH	0	1	1	4
	1	0	2	5
	1	1	WAIT端子に入 力されるロウ・ レベル時間	-

有効アドレス	PW51	PW50	挿入ウェイト・ サイクル	データ・アクセス・サイク ル, フェッチ・サイクル
020000H-	0	0	0	3
03FFFFFFH	0	1	1	4
	1	0	2	5
	1	1	WAIT端子に入 力されるロウ・ レベル時間	-

有効アドレス	PW41	PW40	挿入ウェイト・ サイクル	データ・アクセス・サイク ル, フェッチ・サイクル
010000H-	0	0	0	3
01FFFFFFH	0	1	1	4
	1	0	2	5
	1	1	WAIT端子に入 力されるロウ・ レベル時間	-

注 内部データ領域と重なる部分を除きます。

注意 1 . 上記サイクル数はアドレス・ウエイトを付加しない場合です。付加した場合には1サイクル加算する必要があります。

2 . 周辺RAM領域に対する命令フェッチはウエイトが挿入されません。

15.2.2 アドレス・ウエイト

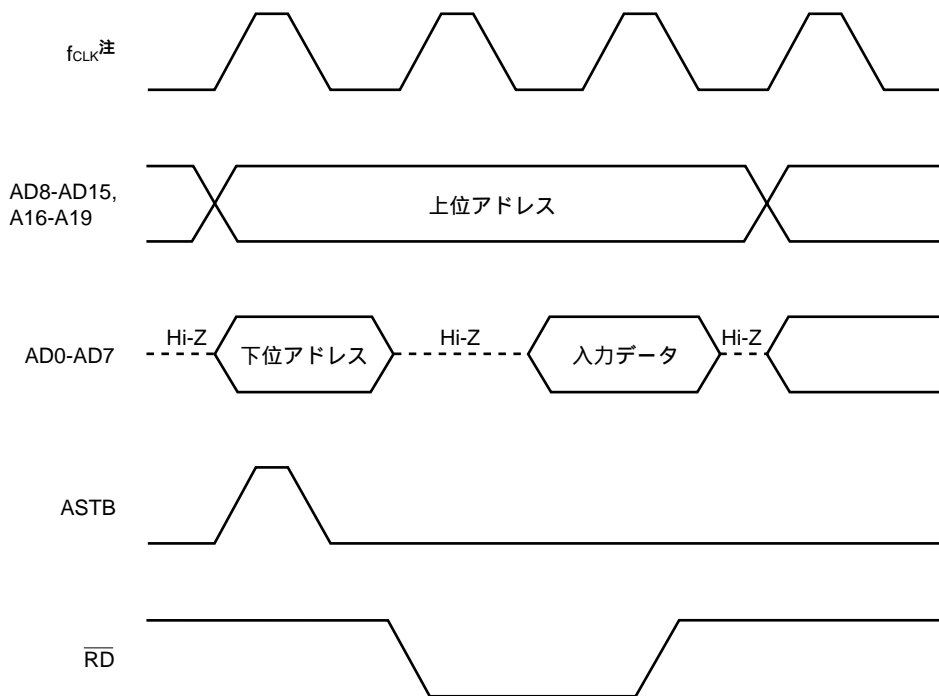
アドレス・ウエイトは、アドレスのデコード時間を確保するためのウエイトです。メモリ拡張モード・レジスタ (MM) のAWビットをセット (1) することにより、すべてのメモリ・アクセス時に挿入されます。アドレス・ウエイトを挿入すると、ASTB信号のハイ・レベルの期間が1システム・クロック (62.5 ns, $f_{CLK} = 16 \text{ MHz}$ 時) 長くなります。

注 内部RAM, 内部のSFRおよび高速フェッチ時の内部ROMを除く。

なお、内部ROMアクセスを外部ROMアクセスと同じサイクルで行うように指定した場合は、内部ROMアクセス時にもアドレス・ウエイトが挿入されます。

図15-12 アドレス・ウエイト機能によるリード/ライト・タイミング (1/3)

(a) アドレス・ウエイト未挿入時のリード・タイミング

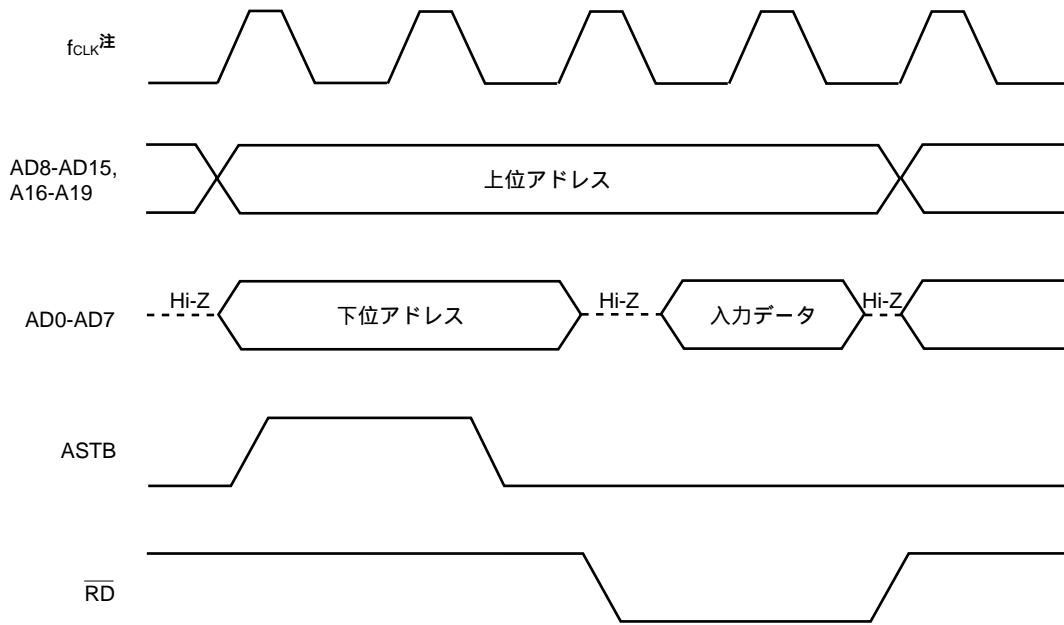


注 f_{CLK} : 内部システム・クロック周波数。この信号は、 $\mu\text{PD784054}$ 内にもみ存在する信号です。

備考 上図は8ビット・バス時の例です。

図15 - 12 アドレス・ウエイト機能によるリード/ライト・タイミング (2/3)

(b) アドレス・ウエイト挿入時のリード・タイミング

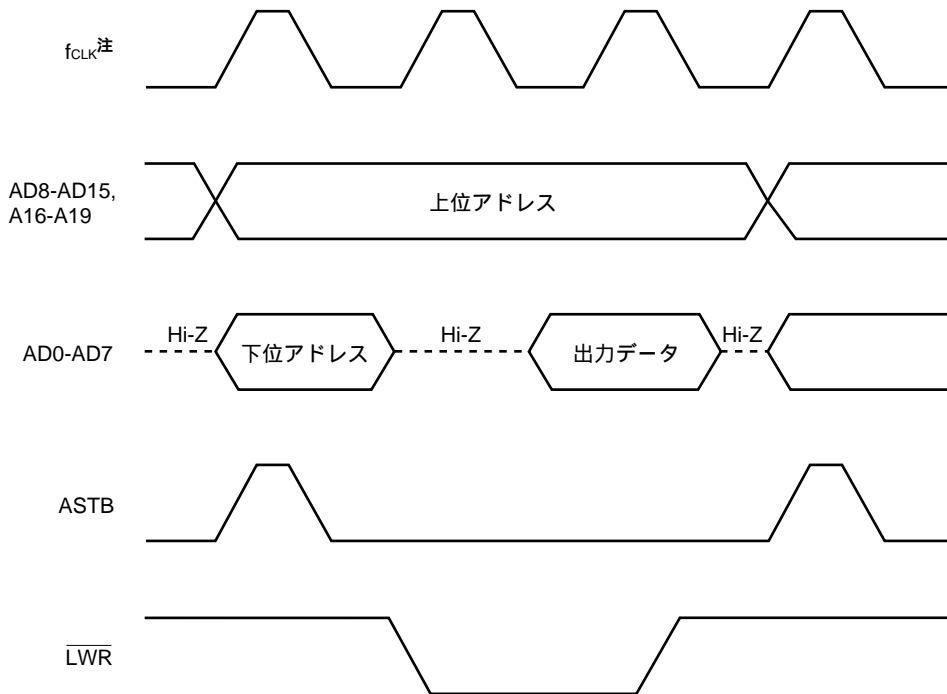


注 f_{CLK} : 内部システム・クロック周波数。この信号は μ PD784054内にもみ存在する信号です。

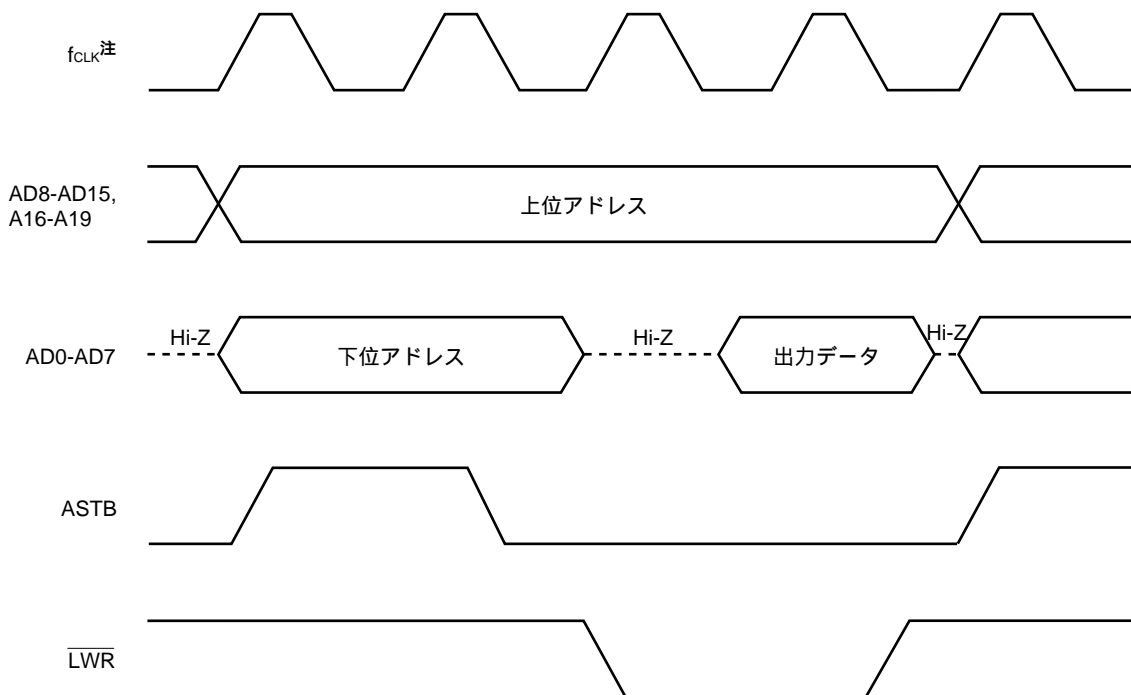
備考 上図は 8 ビット・バス時の例です。

図15 - 12 アドレス・ウェイト機能によるリード/ライト・タイミング (3/3)

(c) アドレス・ウェイト未挿入時のライト・タイミング



(d) アドレス・ウェイト挿入時のライト・タイミング



注 fCLK : 内部システム・クロック周波数。この信号は μ PD784054内にも存在する信号です。

備考 上図は 8 ビット・バス時の例です。

15.2.3 アクセス・ウエイト

アクセス・ウエイトは、 \overline{RD} 、 \overline{LWR} 、 \overline{HWR} 信号のロウ・レベルの期間中に挿入され、1サイクルあたり $1/f_{CLK}$ (62.5 ns, $f_{CLK} = 16$ MHz時) ずつロウ・レベルの期間が引き延ばされます。

ウエイトの挿入方法としては、あらかじめ設定したサイクル数を自動的に挿入するプログラマブル・ウエイト機能と外部からウエイト信号によって制御する外部ウエイト機能とがあります。

ウエイト・サイクル挿入の制御は、1 Mバイトのメモリ空間を図15 - 14のように8分割して、各空間ごとにプログラマブル・ウエイト制御レジスタ (PWC1, PWC2) で指定します。なお、高速フェッチ時の内部ROMおよび内部RAMに対するアクセス時には、ウエイトは挿入されません。また、内部のSFRに対するアクセス時には、この指定とは無関係に必要なタイミングでウエイトが挿入されます。

外部ROMと同じサイクル数でアクセス動作を行うよう指定した場合は、PWC1の設定に従って、内部ROMのアクセスにもウエイトが入ります。

P94端子は、ポート9モード・コントロール・レジスタ (PMC9) のPMC94ビットをセット (1) すると、 \overline{WAIT} 信号入力端子として動作するようになります。 \overline{RESET} 入力により、P94端子は汎用入出力ポートとして動作するようになります (図15 - 13参照)。

アクセス・ウエイト挿入時のバス・タイミングを図15 - 15から図15 - 17に示します。

注意 内部ROM領域には、 \overline{WAIT} 端子によるウエイト挿入の設定をしないでください。

図15 - 13 ポート9モード・コントロール・レジスタ (PMC9) のフォーマット

アドレス : 0FF49H リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
PMC9	0	0	0	PMC94	0	0	0	0

PMC94	P94端子のコントロール・モード指定
0	入出力ポート・モード
1	\overline{WAIT} 入力モード

図15 - 14 ウェイト制御の空間

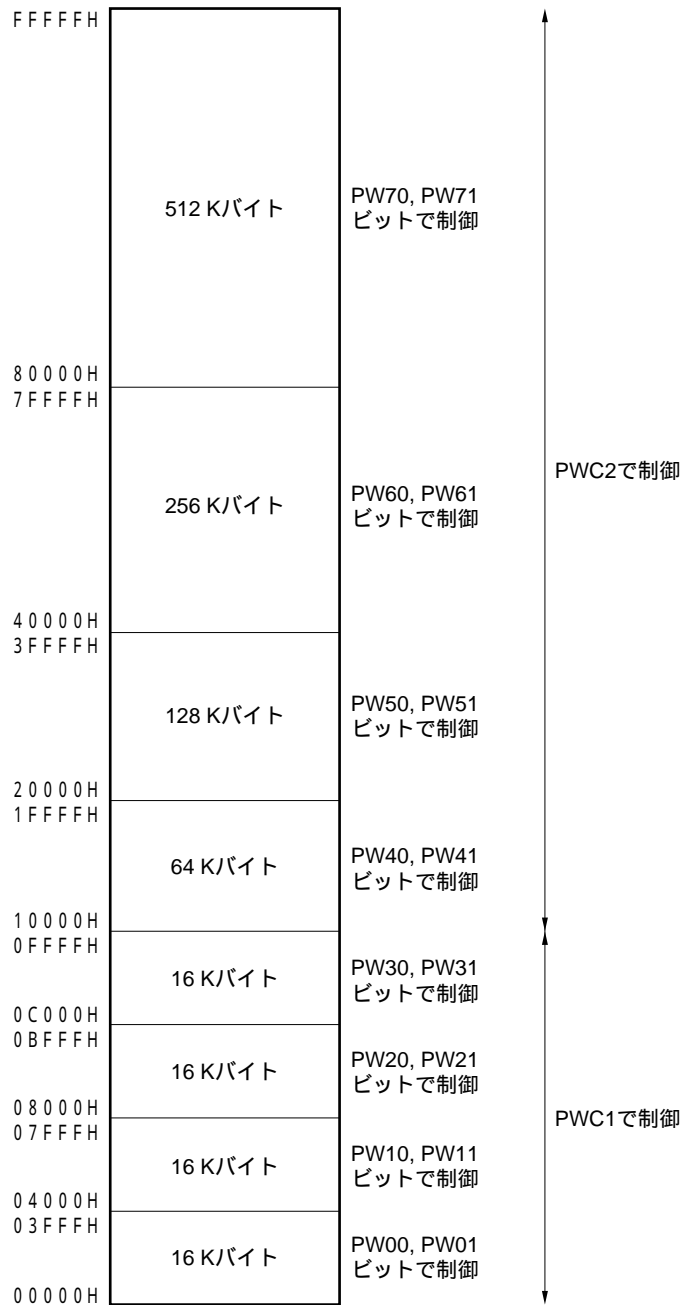
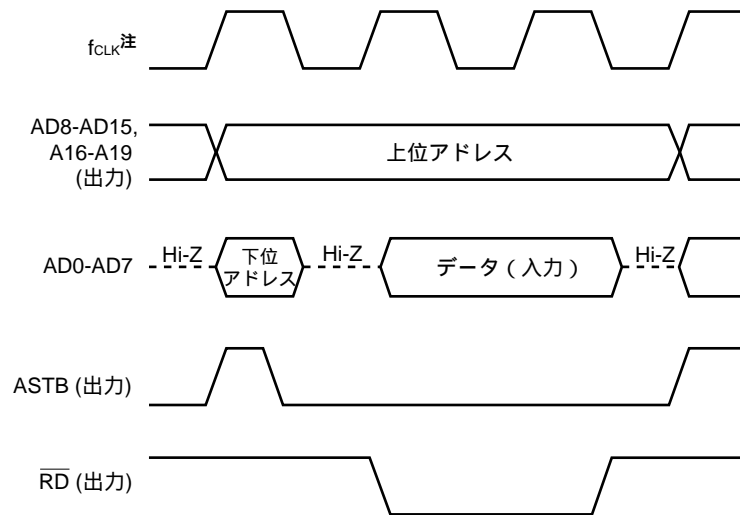
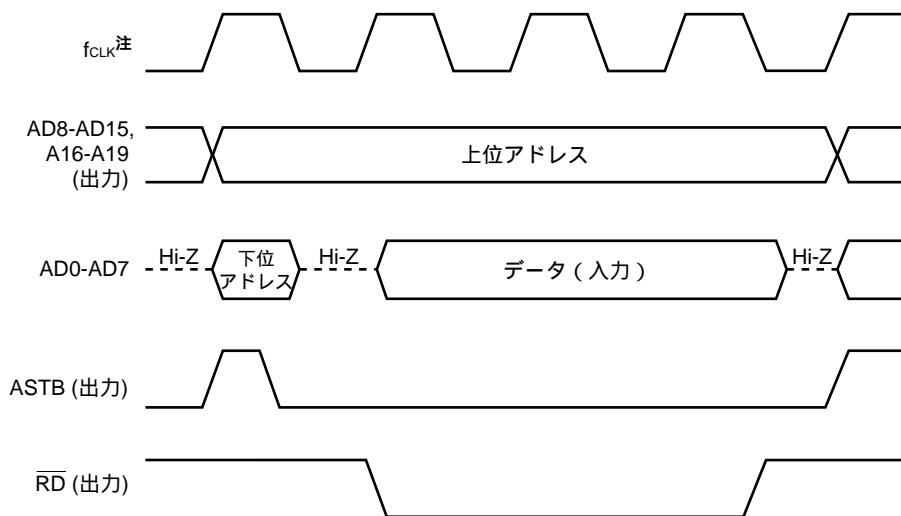


図15 - 15 アクセス・ウェイト機能によるリード・タイミング (1/2)

(a) 0 ウェイト・サイクル設定時



(b) 1 ウェイト・サイクル設定時

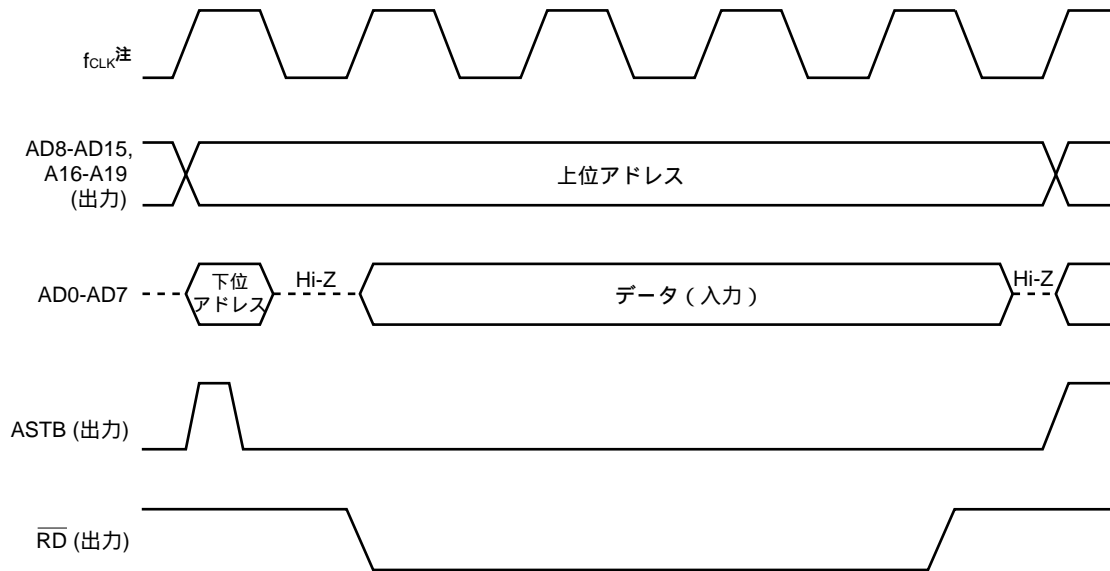


注 fCLK : 内部システム・クロック周波数。この信号は、 μ PD784054内にも存在する信号です。

備考 上図は 8 ビット・バス時の例です。

図15 - 15 アクセス・ウェイト機能によるリード・タイミング (2/2)

(c) 2ウェイト・サイクル設定時

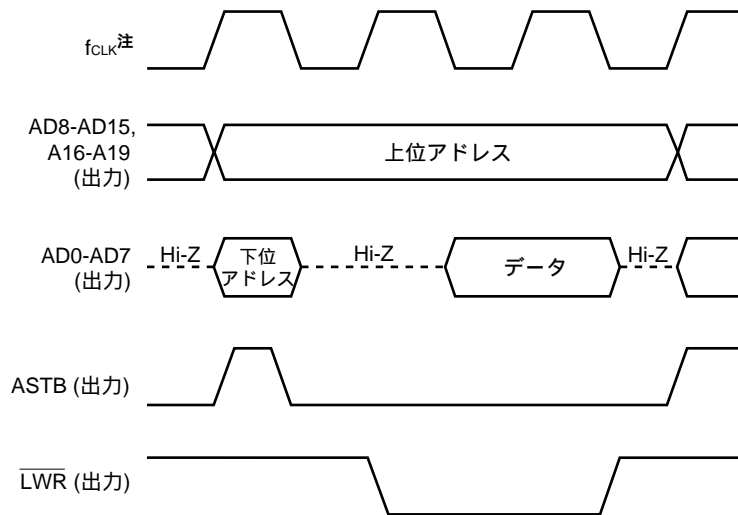


注 f_{CLK} : 内部システム・クロック周波数。この信号は、μPD784054内にもみ存在する信号です。

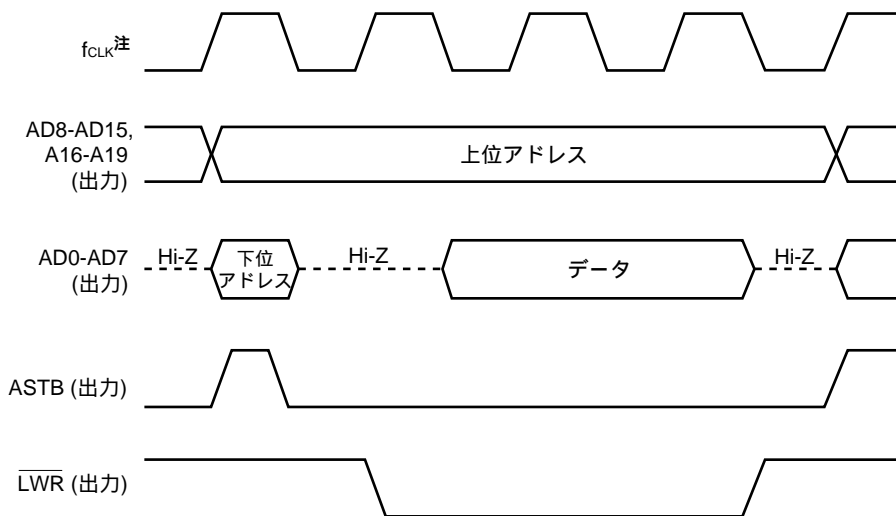
備考 上図は8ビット・バス時の例です。

図15 - 16 アクセス・ウェイト機能によるライト・タイミング (1/2)

(a) 0 ウェイト・サイクル設定時



(b) 1 ウェイト・サイクル設定時

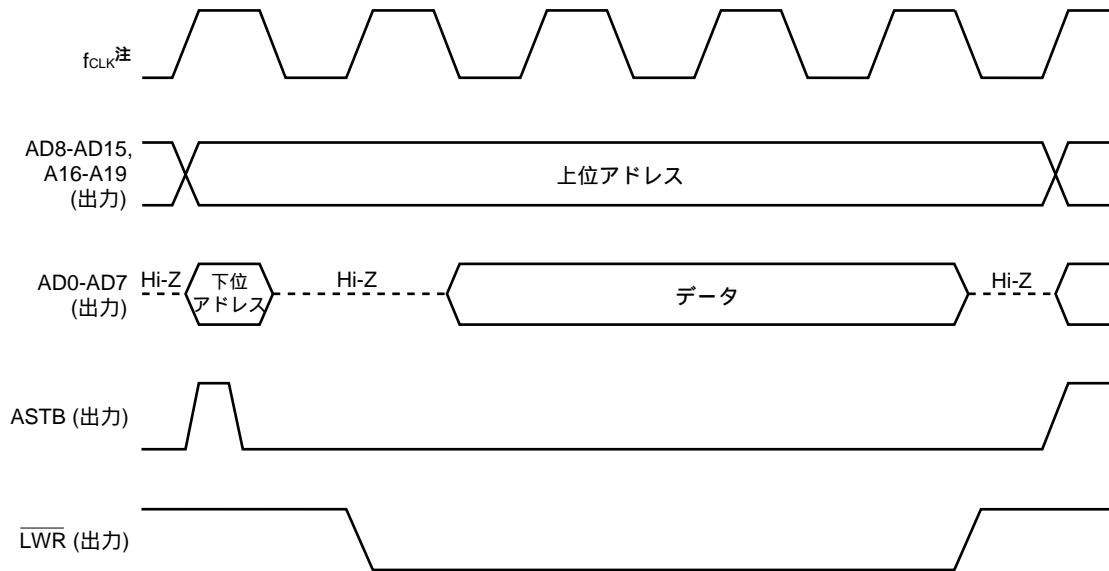


注 f_{CLK} : 内部システム・クロック周波数。この信号は、μPD784054内にもみ存在する信号です。

備考 上図は 8 ビット・バス時の例です。

図15 - 16 アクセス・ウェイト機能によるライト・タイミング (2/2)

(c) 2ウェイト・サイクル設定時

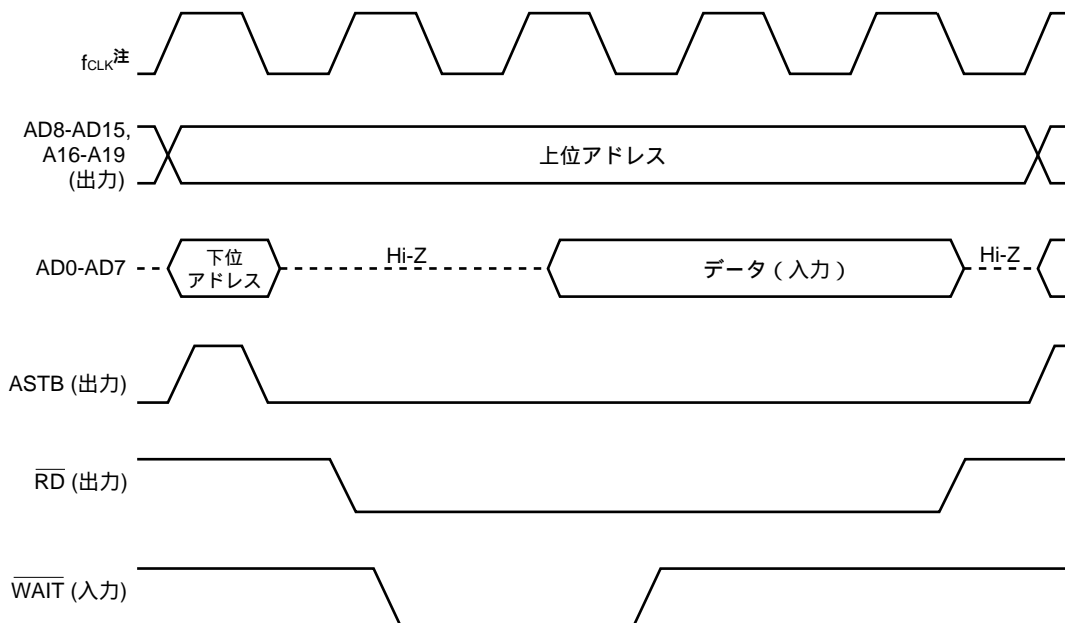


注 fCLK : 内部システム・クロック周波数。この信号は、μPD784054内にもみ存在する信号です。

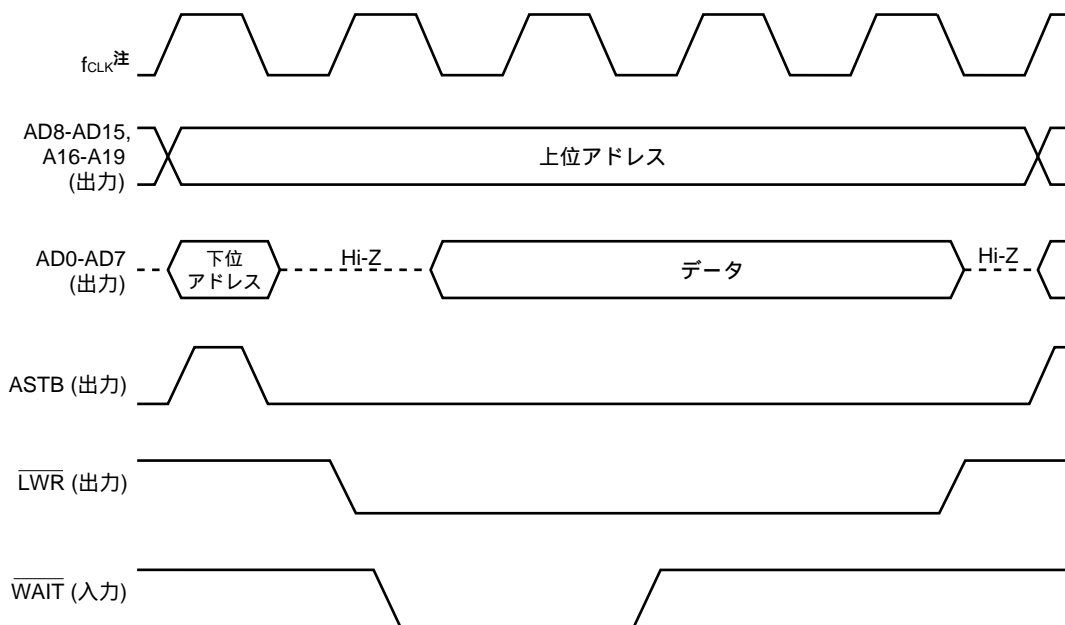
備考 上図は 8 ビット・バス時の例です。

図15 - 17 外部ウエイト信号によるタイミング

(a) リード・タイミング



(b) ライト・タイミング



注 fclk : 内部システム・クロック周波数。この信号は、 μ PD784054内にもみ存在する信号です。

備考 上図は8ビット・バス時の例です。

15.3 バス・サイジング機能

μPD784054は、外部デバイス接続時の外部データ・バス幅を8ビットまたは16ビットに切り替えることができるバス・サイジング機能を内蔵しています。1Mバイトのメモリ空間を8分割して、バス幅指定レジスタ(BW)で各メモリ空間ごとに独立に外部データ・バス幅を指定できます。

15.3.1 バス幅指定レジスタ(BW)

BWは、外部デバイス接続時のバス幅の指定を行うための16ビット・レジスタです。

BWは、8ビットでアクセスすることはできません。必ず16ビット・データ操作命令でアクセスしてください。図15-18に、BWのフォーマットを示します。

$\overline{\text{RESET}}$ 入力後のBWの値は、BWD端子の設定により異なります。BWD = 0 のとき0000H、BWD = 1 のとき00FFHとなります。

図15 - 18 バス幅指定レジスタ (BW) のフォーマット

アドレス : 0FFCAH リセット時 : 注 R/W

	15	14	13	12	11	10	9	8
BW	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	BW7	BW6	BW5	BW4	BW3	BW2	BW1	BW0

有効アドレス	BW7	外部データ・バス幅の指定
080000H-	0	8ビット・バス
0FFFFFFH	1	16ビット・バス
有効アドレス	BW6	外部データ・バス幅の指定
040000H-	0	8ビット・バス
07FFFFFFH	1	16ビット・バス
有効アドレス	BW5	外部データ・バス幅の指定
020000H-	0	8ビット・バス
03FFFFFFH	1	16ビット・バス
有効アドレス	BW4	外部データ・バス幅の指定
010000H-	0	8ビット・バス
01FFFFFFH	1	16ビット・バス
有効アドレス	BW3	外部データ・バス幅の指定
00C000H-	0	8ビット・バス
00FFFFFFH	1	16ビット・バス
有効アドレス	BW2	外部データ・バス幅の指定
008000H-	0	8ビット・バス
00BFFFFFFH	1	16ビット・バス
有効アドレス	BW1	外部データ・バス幅の指定
004000H-	0	8ビット・バス
007FFFFFFH	1	16ビット・バス
有効アドレス	BW0	外部データ・バス幅の指定
000000H-	0	8ビット・バス
003FFFFFFH	1	16ビット・バス

注 リセット時の値はBWD端子の設定によって異なります。

BWD = 0 : 0000H

BWD = 1 : 00FFH

15.4 注意事項

(1) 高速フェッチ時の内部ROM，周辺RAM領域に対する命令フェッチはウエイトが挿入されません。

(2) 内部ROM領域には， $\overline{\text{WAIT}}$ 端子によるウエイト挿入の設定をしないでください。

第16章 スタンバイ機能

16.1 構成と機能

μPD784054は、システムの消費電力を低減させることのできるスタンバイ機能を持っています。スタンバイ機能には次のような4つのモードがあります。

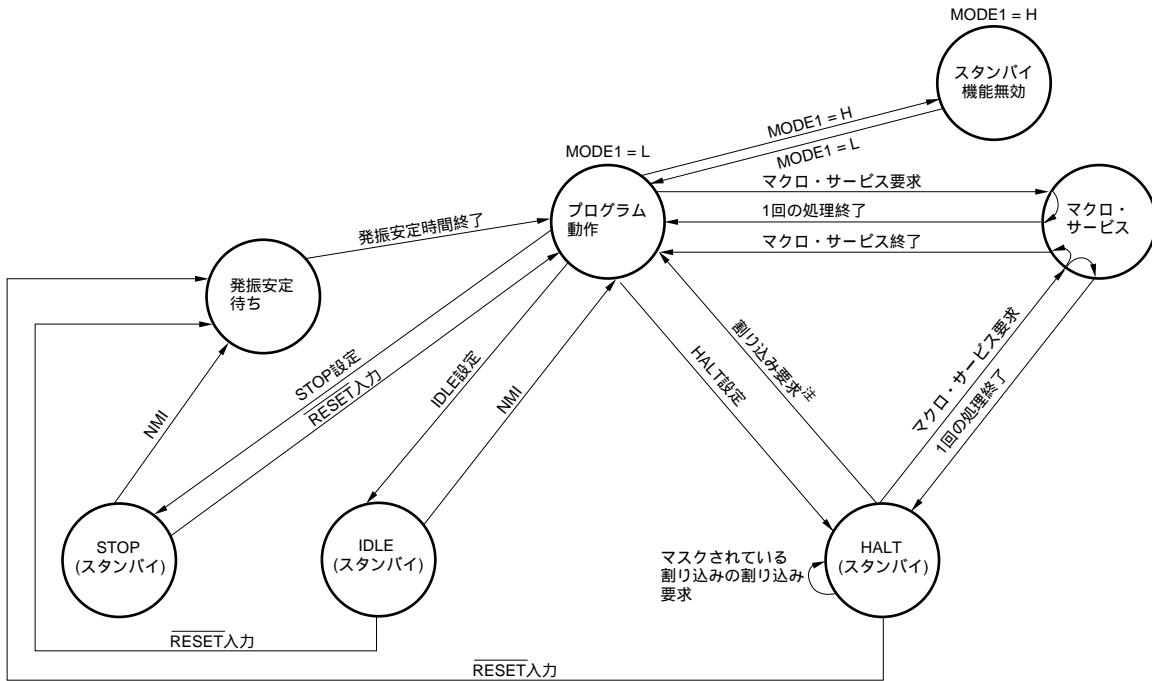
- ・HALTモード CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により、システムのトータル消費電力を低下させることができます。
- ・IDLEモード 発振回路の動作を継続したまま、それ以外のシステム全体が停止するモードです。STOPモードに近い低消費電力と、HALTモードと同等の時間で、通常のプログラム動作に復帰できます。
- ・STOPモード 発振回路を停止させ、システム全体が停止するモードです。リーク電流だけの超低消費電力にすることができます。
- ・スタンバイ機能無効モード MODE1端子をハイ・レベルにすることにより、スタンバイ機能（HALT/IDLE/STOPモード）を無効にすることができます。アプリケーションの都合によりスタンバイ・モードを絶対に使用したくない場合に有効です。

各モードにはソフトウェアによって設定します。図16 - 1に、スタンバイ・モード（STOP/IDLE/HALTモード）の遷移図を示します。

図16 - 2に、スタンバイ機能のブロック図を示します。

★

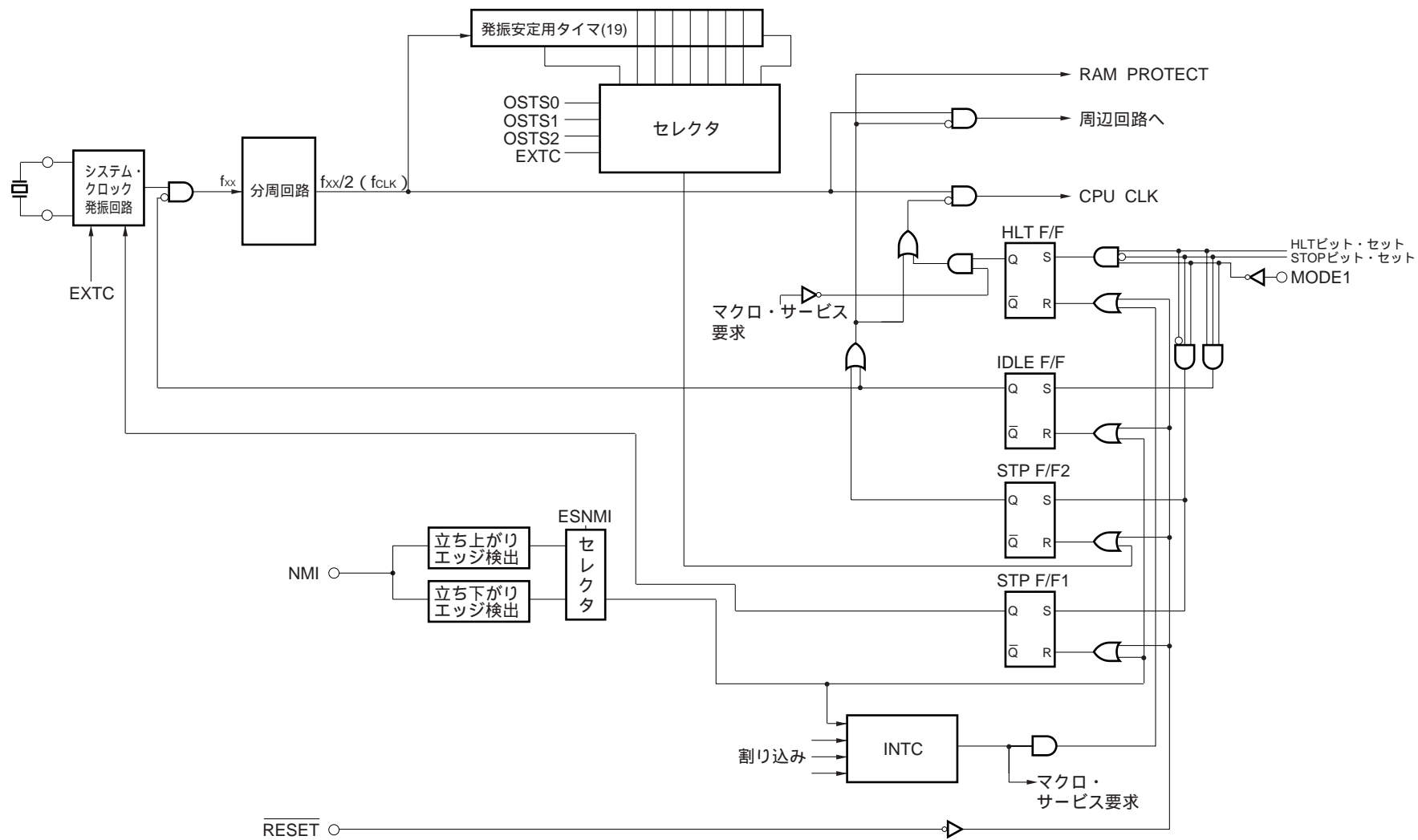
図16 - 1 スタンバイ・モードの遷移図



注 マスクされていない割り込み要求のみ

備考 NMIは外部入力のみ有効です。ウォッチドッグ・タイマは、スタンバイの解除（STOP/HALT/IDLEモード）には使用できません。

図16 - 2 スタンバイ機能のブロック図



16.2 制御レジスタ

16.2.1 スタンバイ・コントロール・レジスタ (STBC)

STBCは、スタンバイ・モードを制御する8ビット・レジスタです。

プログラムの暴走によって誤ってスタンバイ・モードに入らないように、専用命令によってのみ書き込みができます。この専用命令は、MOV STBC, byte命令で、特殊なコード構成(4バイト)になっています。3バイト目と4バイト目のオペコードが互いに補数の場合のみ、書き込みが行われます。

また、3バイト目と4バイト目のオペコードが互いに補数でなければ書き込みが行われず、オペランド・エラー割り込みが発生します。この場合、スタック領域に退避されるリターン・アドレスは、エラーの原因となった命令のアドレスです。したがって、スタック領域に退避されたリターン・アドレスにより、エラーの原因となったアドレスを知ることができます。

なお、単純にオペランド・エラーからRETB命令で復帰を行うと、無限ループとなります。

オペランド・エラー割り込みは、プログラムが暴走している場合のみ発生する(当社製アセンブラRA78K4では、MOV STBC, byteと記述された場合、正しい専用命令しか生成しません)ので、システムの初期化をプログラムで行うようにしてください。

他の書き込み命令(MOV STBC, A, AND STBC, byte, SET1 STBC.7など)は無視され、何の動作も行いません。つまり、STBCへの書き込みは行われず、また、オペランド・エラー割り込みのような割り込みも発生しません。

STBCの読み出しは、データ転送命令によりいつでもできます。

$\overline{\text{RESET}}$ 入力により30Hになります。

図16-3に、STBCのフォーマットを示します。

図16 - 3 スタンバイ・コントロール・レジスタ (STBC) のフォーマット

アドレス : 0FFC0H リセット時 : 30H R/W

	7	6	5	4	3	2	1	0
STBC	0	0	1	1	0	0	STP	HLT

STP	HLT	CPU動作モード制御
0	0	通常モード
0	1	HALTモード
1	0	STOPモード
1	1	IDLEモード

注意 外部クロック入力使用時にSTOPモードを使用する場合は、発振安定時間指定レジスタ (OSTS) のEXTCビットを、必ずセット (1) してからSTOPモードを設定してください。外部クロック入力時にOSTSのEXTCビットがクリア (0) されている状態でSTOPモードを使用すると、 μ PD784054の破壊または信頼性の低下を招く可能性があります。

なお、OSTSのEXTCビットをセット (1) する場合には、必ずX2端子に、X1端子に入力しているクロックの逆相のクロックを入力する必要があります (4.3.1 クロック発振回路参照)。

16.2.2 発振安定時間指定レジスタ (OSTS)

OSTSは、発振回路の動作およびSTOPモード解除時の発振安定時間を指定するレジスタです。OSTSのEXTCビットにクロック発振回路の動作状態を設定します。EXTCビットをセット(1)している場合だけ、外部クロック入力時にもSTOPモードを設定することができます。

また、OSTSのOSTS0ビット-OSTS2ビットで、STOPモード解除時の発振安定時間を選択します。一般的に、水晶振動子を使用する場合は40 ms以上、セラミック発振子を使用する場合は4 ms以上の発振安定時間を選択するようにしてください。

なお、発振安定にかかる時間は、使用する水晶振動子/セラミック発振子および、接続するコンデンサの容量などにより影響を受けます。したがって、発振安定用の時間を短かめに設定したい場合には、水晶振動子/セラミック発振子メーカーと相談してくださいますようお願いいたします。

OSTSは、8ビット操作命令で読み出し/書き込みが可能です。

$\overline{\text{RESET}}$ 入力により00Hになります。

図16-4に、OSTSのフォーマットを示します。

図16 - 4 発振安定時間指定レジスタ (OSTS) のフォーマット

アドレス : 0FFCFH リセット時 : 00H R/W

	7	6	5	4	3	2	1	0
OSTS	EXTC	0	0	0	0	OSTS2	OSTS1	OSTS0

EXTC	外部クロックの選択
0	クリスタル/セラミック発振使用時, または, 外部クロック使用時にX2端子はオープン
1	外部クロック使用時にX2端子にX1端子の逆相 の信号を入力

($f_{CLK} = 16 \text{ MHz}$ 時)

EXTC	OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	0	$2^{19}/f_{CLK}$ (32.8 ms)
0	0	0	1	$2^{18}/f_{CLK}$ (16.4 ms)
0	0	1	0	$2^{17}/f_{CLK}$ (8.19 ms)
0	0	1	1	$2^{16}/f_{CLK}$ (4.10 ms)
0	1	0	0	$2^{15}/f_{CLK}$ (2.05 ms)
0	1	0	1	$2^{14}/f_{CLK}$ (1.02 ms)
0	1	1	0	$2^{13}/f_{CLK}$ (512 μ s)
0	1	1	1	$2^{12}/f_{CLK}$ (256 μ s)
1	x	x	x	$2^8/f_{CLK}$ (16 μ s)

備考 f_{CLK} : 内部システム・クロック

x : don't care

- 注意 1 . クリスタル/セラミック発振使用時には、発振安定時間指定レジスタ (OSTS) のEXTCビットを必ずクリア (0) して使用してください。EXTCビットをセット (1) すると、発振が停止してしまいます。
- 2 . 外部クロック入力時にSTOPモードを使用する場合は、EXTCビットを必ずセット (1) してからSTOPモードを設定してください。EXTCビットがクリア (0) されている状態でSTOPモードを使用すると、 μ PD784054の破壊または信頼性の低下を招く可能性があります。
- なお、OSTSのEXTCビットをセット (1) する場合には、必ずX2端子に、X1端子に入力しているクロックの逆相のクロックを入力する必要があります (4.3.1 クロック発振回路参照)。

16.3 HALTモード

16.3.1 HALTモードの設定および動作状態

HALTモードには、スタンバイ・コントロール・レジスタ (STBC) のHLTビットをセット (1), STPビットをクリア (0) することにより設定されます。

STBCの書き込みは、専用命令による8ビット・データ書き込みのみ可能です。したがって、HALTモードの設定は、“MOV STBC, byte” 命令で行います。

注意 HALTモードを設定中にHALTモードの解除条件が成立した場合、HALTモードに入らずに次の命令の実行、またはベクタ割り込みサービス・プログラムへの分岐を行います。この分岐が行われるまでにHALTモード設定以降の命令を6クロック実行する場合があります。割り込みサービスからの復帰後に、HALTモード設定後の命令を実行したい場合には、その命令の前にNOP命令を3個挿入してください。確実にHALTモードの設定をしたい場合には、HALTモード設定前に割り込み要求をクリアするなどの処置をしてください。

表16 - 1 HALTモード時の動作状態

クロック発振回路	動作	
内部システム・クロック	動作	
CPU	動作停止 ^{注1}	
I/Oライン	HALTモード設定前の状態を保持	
各周辺機能	動作継続	
内部RAM	保持	
バス・ライン	AD0-AD7	ハイ・インピーダンス
	AD8-AD15	保持 ^{注2}
	A16-A19	
\overline{RD} , \overline{LWR} , \overline{HWR} 出力	ハイ・レベル	
\overline{ASTB} 出力	ロウ・レベル	

注1．マクロ・サービス処理は実行されます。

2．フェッチ・アドレスが外部メモリで16ビット・バス幅になっていた場合、マクロ・サービスの割り込み処理後AD8-AD15はハイ・インピーダンスになります。

16.3.2 HALTモードの解除

HALTモードは、次の3つのソースによって解除することができます。

- ・ノンマスカブル割り込み要求
- ・マスカブル割り込み要求 (ベクタ割り込み、コンテキスト・スイッチング、マクロ・サービス)
- ・ \overline{RESET} 入力

表16 - 2 に、解除ソースと解除後の動作の概要を示します。

表16 - 2 HALTモードの解除と解除後の動作

解除ソース	MK ^{注1}	IE ^{注2}	解除時の状態	解除後の動作
ノンマスクابل 割り込み要求 (NMI端子入力の み可能。ウォッ チドッグ・タイ マを除く ^{注5})	×	×	・ノンマスクابل割り込みサービス・プログラムの実行中でない ・優先順位の低いノンマスクابل割り込みサービス・プログラムの実行中	割り込み要求の受け付け
			・同一要求のサービス・プログラム実行中 ・優先順位の高いノンマスクابل割り込みサービス・プログラム実行中	MOV STBC, byte命令の次の命令を実行 (HALTモードを解除した割り込み要求は、 保留される ^{注3})
マスクابل割り 込み要求 (マクロ・サービ スの要求を除く)	0	1	・割り込みサービス・プログラムの実行中でない ・優先順位の低いマスクابل割り込みサービス・プログラムの実行中 ・優先順位レベル3の割り込みサービス・プログラムの実行中で、PRSLビット ^{注4} がクリア(0)されている	割り込み要求の受け付け
			・同一優先順位のマスクابل割り込みサービス・プログラム実行中 (PRSLビット ^{注4} がクリア(0)されている場合で、優先順位レベル3の割り込みサービス・プログラム実行中を除く) ・優先順位の高い割り込みサービス・プログラム実行中	MOV STBC, byte命令の次の命令を実行 (HALTモードを解除した割り込み要求は、 保留される ^{注3})
			-	-
マクロ・サービ ス要求	0	×	-	マクロ・サービス処理実行 終了条件不成立 再びHALTモード 終了条件成立 マスクابل割り込み要 求による解除と同じ
			1	×
RESET入力	×	×	-	通常のリセット動作

注1．各割り込み要求ソースにある割り込みマスク・ビット

- 2．プログラム・ステータス・ワード (PSW) 中にある割り込み許可フラグ
- 3．保留された割り込み要求は、受け付け可能になった時点で受け付けられる
- 4．割り込みモード・コントロール・レジスタ (IMC) 中のビット
- 5．ウォッチドッグ・タイマによるHALTモードの解除はできません。

(1) ノンマスクابل割り込みによる解除

ノンマスクابل割り込みが発生すると、割り込み受け付けの許可状態 (EI)、禁止状態 (DI) に関係なくHALTモードから解除されます。

HALTモードから解除されると、HALTモードを解除したノンマスクابل割り込みが受け付け可能であれば、そのノンマスクابل割り込みの受け付けを行い、サービス・プログラムへ分岐します。受け付けが不可能であれば、HALTモードを設定した命令 (MOV STBC, byte命令) の次の命令を実行します。HALTモードを解除したノンマスクابل割り込みは、その受け付けが可能になった時点で受け付けられます。ノンマスクابل割り込みの受け付けについての詳細は、14.6 ノンマスクابل割り込みの受け付け動作を参照してください。

(2) マスクابل割り込み要求による解除

マスクابل割り込み要求によるHALTモードの解除は、割り込みマスク・フラグが0の割り込みによつてのみ可能です。

HALTモードが解除されると、割り込み要求許可フラグ (IE) がセット (1) されている場合は、その割り込みが受け付け可能であれば、割り込みサービス・プログラムへ分岐します。受け付けが不可能な場合とIEフラグがクリア (0) されている場合は、HALTモードを設定した次の命令から実行を再開します。割り込みの受け付けについての詳細は、14.7 マスクابل割り込みの受け付け動作を参照してください。

マクロ・サービスは、HALTモードを一時的に解除して、1回の処理を行い、再びHALTモードに戻ります。マクロ・サービスが指定回数だけ行われると、HALTモードを解除します。この解除後の動作は、前述したマスクابل割り込みによる解除と同一です。

(3) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。ただし、内部RAMの内容は、HALTモード設定直前の値を保持しています。

16.4 STOPモード

16.4.1 STOPモードの設定および動作状態

STOPモードには、スタンバイ・コントロール・レジスタ (STBC) のHLTビットをクリア (0)、STPビットをセット (1) することにより設定されます。

STBCの書き込みは、専用命令による8ビット・データ書き込みのみ可能です。したがって、STOPモードの設定は、“MOV STBC, byte”命令で行います。

注意 STOPモードを設定中にHALTモードの解除条件 (16.3.2 HALTモードの解除参照) が成立した場合、STOPモードに入らずに次の命令の実行、またはベクタ割り込みサービス・プログラムへの分岐を行います。この分岐が行われるまでにSTOPモード設定以降の命令を6クロック実行する場合があります。割り込みサービスからの復帰後に、STOPモード設定後の命令を実行したい場合には、その命令の前にNOP命令を3個挿入してください。確実にSTOPモードの設定をしたい場合には、STOPモード設定前に割り込み要求をクリアするなどの処置をしてください。

表16 - 3 STOPモード時の動作状態

クロック発振回路		発振停止
内部システム・クロック		停止
CPU		動作停止
I/Oライン		STOPモード設定前の状態を保持
各周辺機能		すべて動作停止 ^注
内部RAM		保持
バス・ライン	AD0-AD15	ハイ・インピーダンス
	A16-A19	ハイ・インピーダンス
RD, LWR, HWR出力		ハイ・インピーダンス
ASTB出力		ハイ・インピーダンス

注 A/Dコンバータは動作を停止しますが、A/Dコンバータ・モード・レジスタ (ADM) のAM0ビットまたはAM1ビットがセット (1) されていると、消費電流は減りません。

注意 1 . 発振安定時間指定レジスタ (OSTS) のEXTCのビットがクリア (0) されている場合にSTOPモードに設定されると、クロック発振回路のリークを抑えるためX1端子が内部でV_{SS} (GND電位) にショートされます。したがって、外部クロックを使用するシステムでSTOPモードを使用する場合は、OSTSのEXTCビットを必ずセット (1) してください。OSTSのEXTCビットがクリア (0) されているときに、外部クロックを入力するシステムでSTOPモードの設定を行うと、 μ PD784054の破壊または信頼性の低下を招く可能性があります。

なお、OSTSのEXTCビットをセット (1) する場合には、必ずX2端子に、X1端子に入力しているクロックの逆相のクロックを入力する必要があります。(4.3.1 クロック発振回路参照)。

2 . STOPモードの設定前にA/Dコンバータを停止 (A/Dコンバータ・モード・レジスタ (ADM) のAM0ビットおよびAM1ビットをクリア (0)) してください。

16.4.2 STOPモードの解除

STOPモードは、NMI入力またはRESET入力により解除されます。

表16 - 4 STOPモードの解除と解除後の動作

解除ソース	解除時の状態	解除後の動作
NMI端子入力	・ ノンマスクابل割り込みサービス・プログラムの実行中でない ・ 優先順位の低いノンマスクابل割り込みサービス・プログラムの実行中	割り込み要求の受け付け
	・ NMI 端子入力のサービス・プログラム実行中 ・ 優先順位の高いノンマスクابل割り込みサービス・プログラム実行中	MOV STBC, byte命令の次の命令を実行 (STOPモードを解除した割り込み要求は、保留される ^注)
RESET入力	-	通常のリセット動作

注 保留された割り込み要求は、受け付け可能になった時点で受け付けられる

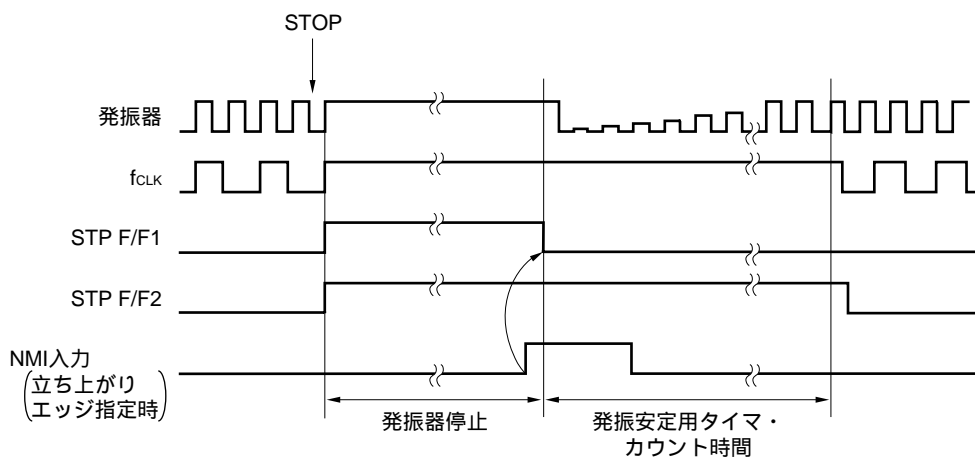
(1) NMI入力によるSTOPモードの解除

NMI入力に外部割り込みモード・レジスタ0 (INTM0) で指定した有効エッジが入力されると発振器が発振を再開します。その後、発振安定時間指定レジスタ (OSTS) で指定された発振安定時間後にSTOPモードは解除されます。

STOPモードから解除されると、NMI端子入力によるノンマスクابل割り込みが受け付け可能な場合は、NMI割り込みサービス・プログラムに分岐します。また、受け付けが不可能な場合 (NMI割り込みサービス・プログラム中でSTOPモードに設定した場合など) は、STOPモードを設定した命令の次の命令から実行を再開し、受け付けが可能になると (RETI命令実行などによる) NMI割り込みサービス・プログラムへ分岐します。

NMI割り込みの受け付けについての詳細は、14.6 ノンマスクابل割り込みの受け付け動作を参照してください。

図16 - 5 NMI入力によるSTOPモードの解除



(2) RESET入力によるSTOPモードの解除

RESET入力をハイからロウに下げ、リセット状態にすると発振器が発振を開始します。RESETのアクティブ期間で発振安定時間を確保してください。その後、RESETを立ち上げると通常の動作をスタートします。

通常のリセット動作とは異なり、データ・メモリはSTOPモード設定前の内容を保持しています。

16.5 IDLEモード

16.5.1 IDLEモードの設定および動作状態

IDLEモードには、スタンバイ・コントロール・レジスタ (STBC) のSTPビットとHLTビットの両方をセット (1) することにより設定されます。

STBCの書き込みは、専用命令による8ビット・データ書き込みのみ可能です。したがって、IDLEモードの設定は、“MOV STBC, byte” 命令で行います。

注意 IDLEモードを設定中にHALTモードの解除条件 (16.3.2 HALTモードの解除参照) が成立した場合、IDLEモードに入らずに次の命令の実行、またはベクタ割り込みサービス・プログラムへの分岐を行います。この分岐が行われるまでにIDLEモード設定以降の命令を6クロック実行する場合があります。割り込みサービスからの復帰後に、IDLEモード設定後の命令を実行したい場合には、その命令の前にNOP命令を3個挿入してください。確実にIDLEモードの設定をしたい場合には、IDLEモード設定前に割り込み要求をクリアするなどの処置をしてください。

表16 - 5 IDLEモード時の動作状態

クロック発振回路	発振継続	
内部システム・クロック	停止	
CPU	動作停止	
I/Oライン	IDLEモード設定前の状態を保持	
各周辺機能	すべて動作停止 ^注	
内部RAM	保持	
バス・ライン	AD0-AD15	ハイ・インピーダンス
	A16-A19	ハイ・インピーダンス
RD, LWR, HWR出力	ハイ・インピーダンス	
ASTB出力	ハイ・インピーダンス	

注 A/Dコンバータは動作を停止しますが、A/Dコンバータ・モード・レジスタ (ADM) のAM0ビットまたはAM1ビットがセットされていると、消費電流は減りません。

注意 IDLEモードの設定前にA/Dコンバータを停止 (A/Dコンバータ・モード・レジスタ (ADM) のAM0ビットおよびAM1ビットをクリア (0)) してください。

16.5.2 IDLEモードの解除

IDLEモードは、 $\overline{\text{NMI}}$ 入力または $\overline{\text{RESET}}$ 入力により解除されます。

表16 - 6 IDLEモードの解除と解除後の動作

解除ソース	解除時の状態	解除後の動作
NMI端子入力	・ノンマスクابل割り込みサービス・プログラムの実行中でない ・優先順位の低いノンマスクابل割り込みサービス・プログラムの実行中	割り込み要求の受け付け
	・NM端子入力のサービス・プログラム実行中 ・優先順位の高いノンマスクابل割り込みサービス・プログラム実行中	MOV STBC, byte命令の次の命令を実行 (IDLEモードを解除した割り込み要求は、保留される ^注)
RESET入力	-	通常のリセット動作

注 保留された割り込み要求は、受け付け可能になった時点で受け付けられる

(1) $\overline{\text{NMI}}$ 入力によるIDLEモードの解除

$\overline{\text{NMI}}$ 入力に外部割り込みモード・レジスタ0 (INTM0) で指定した有効エッジが入力されると、IDLEモードは解除されます。

IDLEモードから解除されると、NMI端子入力によるノンマスクابل割り込みが受け付け可能な場合は、NMI割り込みサービス・プログラムに分岐します。また、受け付けが不可能な場合 (NMI割り込みサービス・プログラム中でIDLEモードに設定した場合など) は、IDLEモードを設定した命令の次の命令から実行を再開し、受け付けが可能になると (RET1命令実行などによる)、NMI割り込みサービス・プログラムへ分岐します。

NMI割り込みの受け付けについての詳細は、14.6 ノンマスクابل割り込みの受け付け動作を参照してください。

(2) $\overline{\text{RESET}}$ 入力によるIDLEモードの解除

$\overline{\text{RESET}}$ 入力をハイからロウに下げ、その後、 $\overline{\text{RESET}}$ を立ち上げると通常の動作をスタートします。通常のリセット動作とは異なり、データ・メモリはIDLEモード設定前の内容を保持しています。

注意 IDLEモードの命令の実行と、IDLEモードの解除要因の割り込みが競合すると、本来は「IDLEモードを実行したあとに、IDLEモードを解除する」という動作をしますが、 $\mu\text{PD784054}$ の不具合により「STOPモードを実行したあとに、STOPモードを解除する」という動作をします。そのため、プログラムによりIDLEモードに設定しているにもかかわらず、IDLEモードを解除すると、発振安定時間指定レジスタ (OSTS) により設定されている発振安定時間を待つ動作を行ってしまいます (通常は、IDLEモード解除時には発振安定時間を待ちません)。IDLEモード解除時に発振安定時間を待つと問題がある場合には、OSTSにより設定される発振安定時間の値を最も短くなるよう設定してください。

16.6 STOPモード/IDLEモード使用時のチェック項目

STOPモード/IDLEモード使用時の消費電流を下げるために必要なチェック項目を示します。

(1) 各出力端子の出力レベルは適正か？

各端子の適正な出力レベルは、次段の回路によって異なります。最も消費電流が少なくなるような出力レベルを選んでください。

- ・次段の回路の入カインピーダンスが低い場合にハイ・レベルを出力していると、電源からポートへ電流が流れ出し、消費電流が増えてしまいます。次段の回路がCMOS ICなどの場合がこれにあたります。CMOS ICは、電源OFF時には、入力インピーダンスが低くなります。消費電流を抑えるため、またCMOS ICの信頼性に悪影響を与えないため、ロウ・レベルを出力してください。ハイ・レベルを出力していると、電源の再投入時にラッチアップの原因となります。
- ・次段の回路によっては、ロウ・レベルを入力すると消費電流が増えてしまう場合があります。このような場合は、ハイ・レベルまたはハイ・インピーダンスを出力し、消費電流が少なくなるようにしてください。
- ・次段の回路がCMOS ICの場合で、そのCMOS ICに電源が供給されているときに出力をハイ・インピーダンスにすると、CMOS ICの消費電流が増える場合があります（このとき、CMOS ICが過熱し、破壊する場合があります）。このような場合には、適正なレベルを出力するか、抵抗によりプルアップまたはプルダウンするなどしてください。

出力レベルの設定方法は、ポートのモードによって異なります。

- ・ポートがコントロール・モードのときには、内蔵ハードウェアの状態によって出力レベルが決定されますので、内蔵ハードウェアの状態を考慮して出力レベルを設定する必要があります。
- ・ポート・モードのときには、ソフトウェアでポートの出力ラッチとポート・モード・レジスタへ書き込みをすることにより、出力レベルを設定することができます。

ポートがコントロール・モードになっているときには、ポート・モードへ変更することで、出力レベルの設定が簡単になります。

(2) 各入力端子の入力レベルは適正か？

各端子に入力される電圧レベルは、 V_{SS} 電位から V_{DD} 電位の範囲内にしてください。この範囲外の電圧を印加すると、消費電流が増えるだけでなく、 μ PD784054の信頼性にも悪影響を与えます。

また、中間電位が加わらないようにしてください。

(3) 内蔵プルアップ抵抗は必要か？

不要なプルアップ抵抗は、消費電流を増やしたり、他のデバイスのラッチアップの原因となったりします。プルアップ抵抗は、必要な部分だけを使用するモードに指定してください。

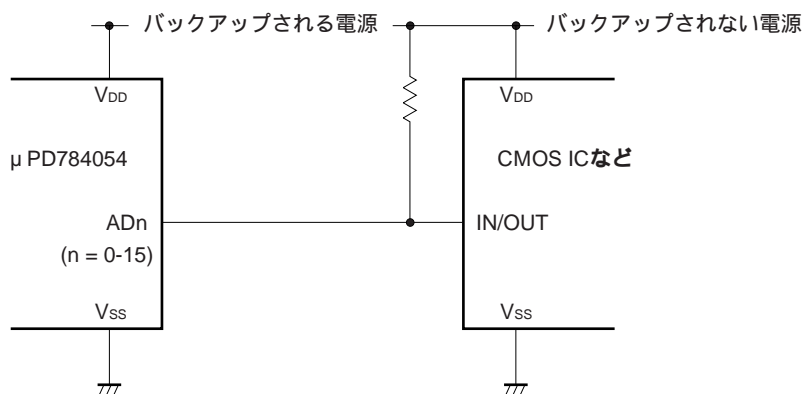
必要な部分と不要な部分が混在する場合は、必要な部分については外付けにプルアップ抵抗を接続し、内蔵プルアップ抵抗を使用しないモードに指定するなどしてください。

(4) アドレス・バスおよびアドレス/データ・バスなどの処理は適正か？

アドレス・バス、アドレス/データ・バス、 \overline{RD} 、 \overline{LWR} 、 \overline{HWR} 端子は、STOPモード/IDLEモード時にハイ・インピーダンスになります。通常、これらの端子はプルアップ抵抗によってプルアップします。このプルアップ抵抗をバックアップされる電源に接続すると、バックアップされない電源に接続されている回路の入力インピーダンスが低い場合には、プルアップ抵抗を介して電流が流れてしまい、消費電流が増えてしまいます。したがって、図16-6に示すように、プルアップ抵抗はバックアップされない電源側に接続してください。

また、ASTB端子もSTOPモード/IDLEモード時にハイ・インピーダンスとなります。(1)で示した内容などを参考に対策を行ってください。

図16-6 アドレス/データ・バスの処理例



★ (5) A/Dコンバータ

A/Dコンバータ・モード・レジスタ (ADM) のAM0ビットおよびAM1ビットをクリア (0) することにより、 AV_{DD} 、 AV_{REF} 端子に流れる電流を減らすことが可能です。

なお、 AV_{DD} 端子は必ず V_{DD} 端子と同電位にしてください。STOPモード時に AV_{DD} 端子に電源が供給されていないと、消費電流が増えるだけでなく、信頼性にも悪影響を与えます。

16.7 注意事項

- (1) HALTモード/STOPモード/IDLEモード（以下スタンバイ・モード）を設定中にHALTモードの解除条件（16.3.2 HALTモードの解除参照）が成立した場合、スタンバイ・モードに入らずに次の命令の実行、またはベクタ割り込みサービス・プログラムへの分岐を行います。この分岐が行われるまでにスタンバイ・モード設定以降の命令を6クロック実行する場合があります。割り込みサービスからの復帰後に、スタンバイ・モード設定後の命令を実行したい場合には、その命令の前にNOP命令を3個挿入してください。確実にスタンバイ・モードの設定をしたい場合には、スタンバイ・モード設定前に割り込み要求をクリアするなどの処置をしてください。
- (2) クリスタル/セラミック発振使用時には、EXTCビットを必ずクリア（0）して使用してください。EXTCビットをセット（1）すると、発振が停止してしまいます。
- (3) 発振安定時間指定レジスタ（OSTS）のEXTCビットがクリア（0）されている場合にSTOPモードに設定されると、クロック発振回路のリークを抑えるためX1端子が内部でV_{SS}（GND電位）にショートされます。したがって、外部クロックを使用するシステムでSTOPモードを使用する場合は、OSTSのEXTCビットを必ずセット（1）してください。OSTSのEXTCビットがクリア（0）されているときに、外部クロックを入力するシステムでSTOPモードの設定を行うと、μPD784054の破壊または信頼性の低下を招く可能性があります。
なお、OSTSのEXTCビットをセット（1）する場合には、必ずX2端子に、X1端子に入力しているクロックの逆相のクロックを入力する必要があります（4.3.1 クロック発振回路参照）。
- (4) STOPモード/IDLEモード設定前には、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ（ADM）のAM0ビットおよびAM1ビットをクリア（0））してください。
- (5) IDLEモードの命令の実行と、IDLEモードの解除要因の割り込みが競合すると、本来は「IDLEモードを実行したあとに、IDLEモードを解除する」という動作をしますが、μPD784054の不具合により「STOPモードを実行したあとに、STOPモードを解除する」という動作をします。そのため、プログラムによりIDLEモードに設定しているにもかかわらず、IDLEモードを解除すると、発振安定時間指定レジスタ（OSTS）により設定されている発振安定時間を待つ動作を行ってしまいます（通常は、IDLEモード解除時には発振安定時間を待ちません）。IDLEモード解除時に発振安定時間を待つと問題がある場合には、OSTSにより設定される発振安定時間の値を最も短くなるよう設定してください。

第17章 リセット機能

17.1 リセット機能

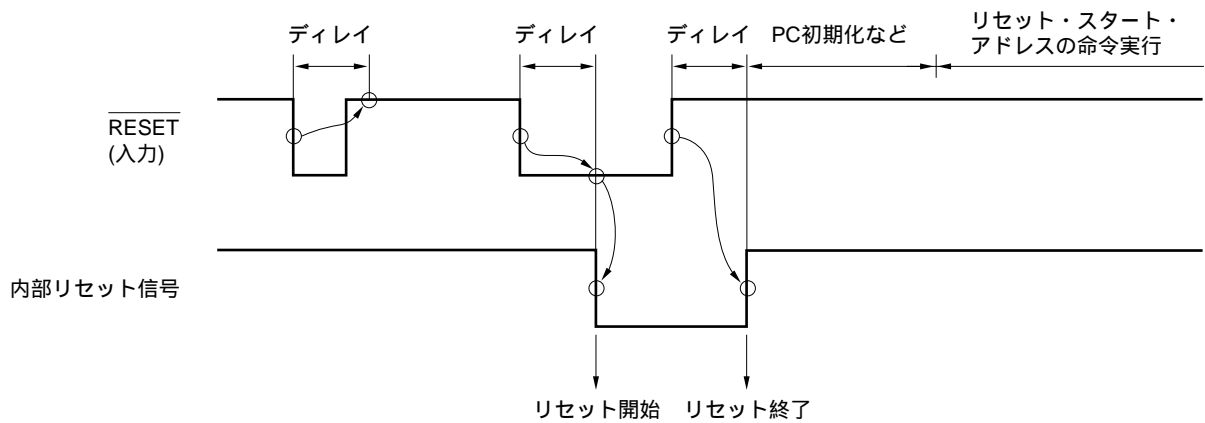
$\overline{\text{RESET}}$ 入力端子にロウ・レベルが入力されると、システム・リセットがかかり、各ハードウェアは表17 - 2に示すような状態になります。また、電源端子およびX1, X2, CLKOUT端子を除くすべての端子は、ハイ・インピーダンス状態になります。表17 - 1に、リセット中およびリセット解除後の端子の状態を示します。

$\overline{\text{RESET}}$ 入力がロウ・レベルからハイ・レベルになると、リセット状態が解除されリセット・ベクタ・テーブルの00000H番地の内容がプログラム・カウンタ（PC）のビット0-ビット7に、00001H番地の内容がPCのビット8-ビット15にセットされ、PCのビット16-ビット19に0000Bをセットして分岐し、その分岐先アドレスからプログラムの実行を開始します。したがって、ベース領域内の任意の番地からリセット・スタートできます。

各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

$\overline{\text{RESET}}$ 入力端子は、ノイズによる誤動作を防ぐため、アナログ・ディレイによるノイズ除去回路を内蔵しています（図17 - 1参照）

図17 - 1 リセット信号の受け付け



電源投入時のリセット動作およびSTOPモードのリセットによる解除では、発振安定時間（約40 ms，使用する発振子に依存します）が経過するまでRESET信号をアクティブにしてください。

図17 - 2 電源投入時のリセット動作

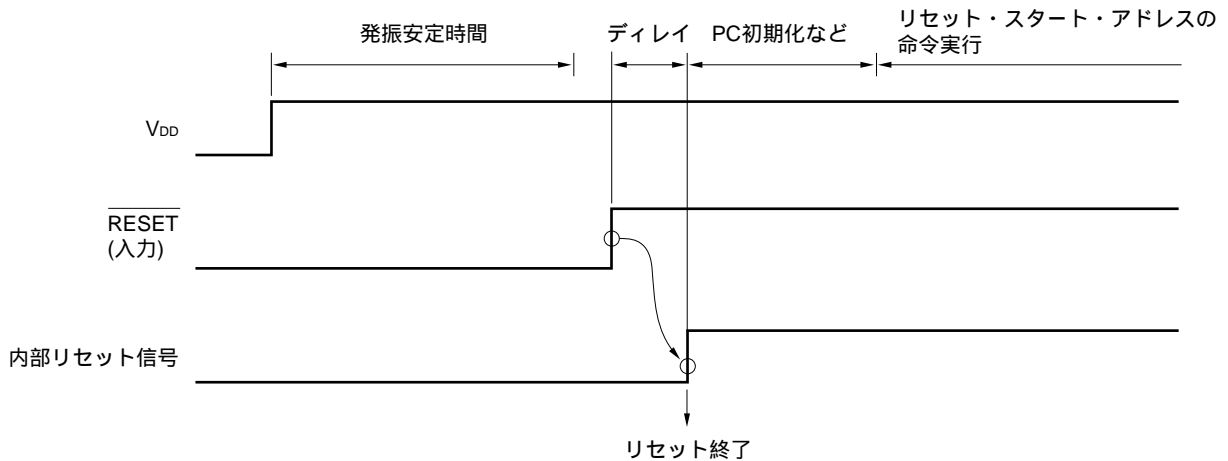


表17 - 1 リセット入力中，リセット解除後の端子状態

端子名称	入出力	リセット中	リセット解除直後
P00-P03	入出力	Hi-Z	Hi-Z (入力ポート・モード)
P10-P12			
P20	入力		Hi-Z (入力ポート)
P21-P27	入出力		Hi-Z (入力ポート・モード)
P30-P37			
P40-P47			
P50-P57			
P60-P63			
P70-P77	入力		Hi-Z (入力ポート)
P80-P87			
P90-P94	入出力		Hi-Z (入力ポート・モード)
CLKOUT	出力		クロック出力

図17 - 3 リセット入力時のタイミング

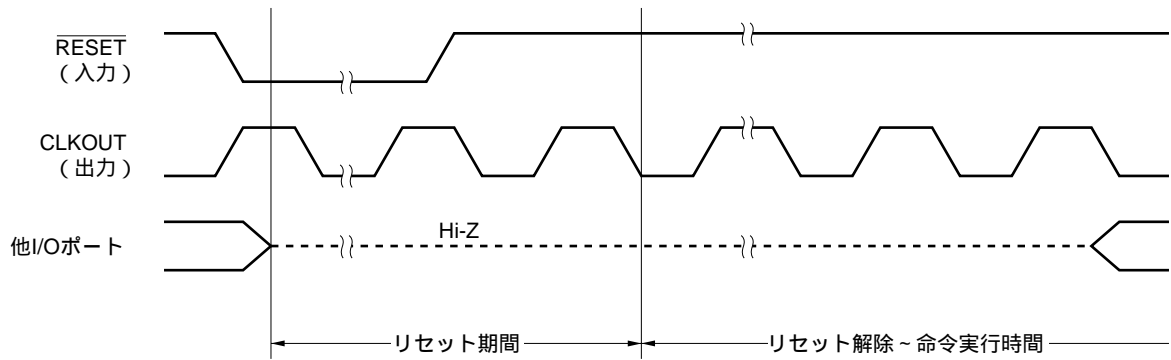


表17-2 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不 定 ^注
プログラム・ステータス・ワード (PSW)		02H
内部RAM	データ・メモリ	不 定 ^注
	汎用レジスタ	
ポート	ポート0-ポート9	不定(ハイ・インピーダンス)
	モード・レジスタ (PM0-PM6, PM9)	FFH
	モード・コントロール・レジスタ (PMC2, PMC3, PMC9)	00H
	ポート・リード・コントロール・レジスタ (PRDC)	
	プルアップ抵抗オプション・レジスタ (PUOL, PUOH)	
タイマ/カウンタ	タイマ・レジスタ (TM0, TM1, TM4)	0000H
	キャプチャ/コンペア・レジスタ (CC00-CC03)	不 定
	コンペア・レジスタ (CM10, CM11, CM40, CM41)	
	タイマ・ユニット・モード・レジスタ (TUM0)	00H
	タイマ・モード・コントロール・レジスタ (TMC, TMC4)	
	タイマ出力コントロール・レジスタ (TOC0, TOC1)	
	プリスケアラ・モード・レジスタ (PRM, PRM4)	
	ノイズ・プロテクション・コントロール・レジスタ (NPC)	
	割り込み有効エッジ・フラグ・レジスタ (IEF1, IEF2)	不 定
ウォッチドッグ・タイマ・モード・レジスタ (WDM)		00H
A/Dコンバータ	A/Dコンバータ・モード・レジスタ (ADM)	
	A/D変換結果レジスタ (ADCR0-ADCR7, ADCR0H-ADCR7H)	不 定
シリアル・インタフェース	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM, ASIM2)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS, ASIS2)	
	シリアル受信バッファ (RXB, RXB2)	不 定
	シリアル送信シフト・レジスタ (TXS, TXS2)	
	クロック同期式シリアル・インタフェース・モード・レジスタ (CSIM1, CSIM2)	00H
	シリアル・シフト・レジスタ (SIO1, SIO2)	不 定
	ポーレート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2)	00H
外部割り込みモード・レジスタ (INTM0, INTM1)		

注 HALTモード, STOPモード, IDLEモードをRESET入力解除した場合は, 各モード設定前の値を保持しています。

表17 - 2 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態	
割り込み	割り込み制御レジスタ (OVIC0, OVIC1, OVIC4, PIC0-PIC6, CMIC10, CMIC11, CMIC40, CMIC41, SERIC, SRIC, CSIIC1, STIC, SERIC2, SRIC2, CSIIC2, STIC2, ADIC)	43H	
	割り込みマスク・レジスタ	MK0, MK1	FFFFH
		MK0L, MK0H, MK1L, MK1H	FFH
	割り込みモード・コントロール・レジスタ (IMC)	80H	
	インサービス・プライオリティ・レジスタ (ISPR)	00H	
メモリ拡張モード・レジスタ (MM)		20H	
プログラマブル・ウェイト制御レジスタ	PWC1	AAH	
	PWC2	AAAAH	
バス幅指定レジスタ (BW)		0000H (BWD = 0) 00FFH (BWD = 1)	
スタンバイ・コントロール・レジスタ (STBC)		30H	
発振安定時間指定レジスタ (OSTS)		00H	
内部メモリ・サイズ切り替えレジスタ (IMS)		CDH	

17.2 注意事項

パワーオン時のリセット入力は、電源電圧が規定電圧に達したあと、発振が安定するまでロウ・レベルを保持しなければなりません。

第18章 μ PD78F4046

18.1 μ PD78F4046のメモリ・マッピング

μ PD78F4046は、フラッシュ・メモリを64 Kバイト、内部RAMを2048バイト内蔵しています。

μ PD78F4046は、ソフトウェアにより内部メモリの一部を使用しないようにするための機能（メモリ・サイズの切り替え機能）を内蔵しています。

メモリ・サイズの切り替えは、内部メモリ・サイズ切り替えレジスタ（IMS）によって行います。

IMSは、8ビット操作命令で読み出し／書き込みが可能です。IMSへの書き込みは、 μ PD78F4046のみ有効です。 μ PD784054の場合は、IMSへ書き込みを行っても、リセット時の値のままで変化しません。

$\overline{\text{RESET}}$ 入力後のIMSの値は、製品によって異なります。 μ PD784054の場合はCDH、 μ PD78F4046の場合はDEHとなります。

図18 - 1 内部メモリ・サイズ切り替えレジスタ (IMS) のフォーマット

アドレス : 0FFFCH リセット時 : 注 R/W

	7	6	5	4	3	2	1	0
IMS	1	1	ROM1	ROM0	1	1	RAM1	RAM0

ROM1	ROM0	内部ROM容量の選択	
		μ PD784054	μ PD78F4046
0	0	32 Kバイト	32 Kバイト
0	1	無効	64 Kバイト
上記以外		設定禁止	

RAM1	RAM0	周辺RAM容量の選択	
		μ PD784054	μ PD78F4046
0	1	512バイト	768バイト
1	0	無効	1.5 Kバイト
上記以外		設定禁止	

注 リセット時の値は製品によって異なります。

 μ PD784054 : CDH μ PD78F4046 : DEH注意 1 . 内部メモリ・サイズ切り替えレジスタ (IMS) への書き込みは、 μ PD78F4046のみ有効です。 μ PD784054の場合は、IMSへ書き込みを行っても、リセット時の値のままで変化しません。

- 2 . μ PD78F4046を使用して μ PD784054のプログラムを開発する場合は、IMSをCDHに設定してください。なお、IMSにCDHを設定したときの μ PD78F4046の周辺RAM容量は768バイトになりますが、 μ PD784054の周辺RAM容量は512バイトです。したがって、マスクROM化する場合には、 μ PD78F4046の周辺RAM領域のうち0FA00H-0FAFFH (LOCATION 0H命令実行時) は使用しないように注意してください。

18.2 μ PD78F4046のプログラミング

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態 (オンボード) で行うことがで

- ★ きます。専用フラッシュ・ライター (Flashpro (型番 FL-PR2) /Flashpro (型番 FL-PR3, PG-FP3)) をホスト・マシンおよびターゲット・システムに接続して書き込みます。

また、Flashpro /Flashpro に接続されたフラッシュ・メモリ書き込み用アダプタ上でも書き込み可能です。

備考 FL-PR2, FL-PR3は、株式会社内藤電誠町田製作所の製品です。

18.2.1 通信方式の選択

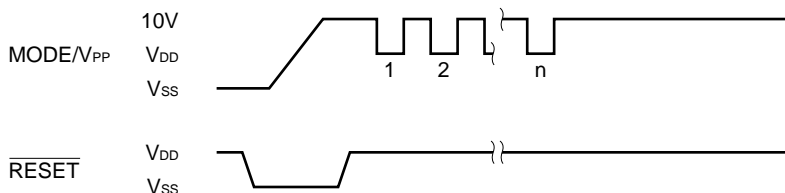
フラッシュ・メモリへの書き込みは、Flashpro /Flashpro を使用し、シリアル通信で行います。表18 - 1 に示す通信方式から選択して書き込みを行います。この通信方式の選択は、図18 - 2 に示すようなフォーマットを用います。表18 - 1 に示すV_{PP}パルス数で、それぞれの通信方式が選択されます。

表18 - 1 通信方式一覧

通信方式	チャンネル数	使用端子	V _{PP} パルス数
3線式シリアルI/O	2	P34/ASCK/SCK1 P33/TxD/SO1 P32/RxD/SI1	0
		P37/ASCK2/SCK2 P36/TxD2/SO2 P35/RxD2/SI2	1
		UART	2
UART	2	P33/TxD/SO1 P32/RxD/SI1	8
		P36/TxD2/SO2 P35/RxD2/SI2	9

注意 通信方式は、必ず表18 - 1 に示すV_{PP}パルス数で選択してください。

図18 - 2 通信方式選択フォーマット



18.2.2 フラッシュ・メモリ・プログラミングの機能

選択された通信方式による各種コマンド/データ送受信により、フラッシュ・メモリの書き込みなどの動作を行います。主な機能を表18 - 2 に示します。

表18 - 2 フラッシュ・メモリ・プログラミングの主な機能

機能	説明
一括消去	全メモリの内容を消去します。
ブロック消去	16 Kバイトを1メモリ・ブロックとし、指定したメモリ・ブロックの内容を消去します。
一括ブランク・チェック	全メモリの消去状態を確認します。
ブロック・ブランク・チェック	指定したブロックの消去状態を確認します。
データ・ライト	書き込み開始アドレスおよび書き込みデータ数(バイト数)をもとに、フラッシュ・メモリに書き込みを行います。
一括ベリファイ	全メモリの内容と入力したデータを比較します。
ブロック・ベリファイ	指定したメモリ・ブロックの内容と入力したデータを比較します。

18.2.3 Flashpro /Flashpro の接続

Flashpro /Flashpro と μ PD78F4046との接続は、通信方式（3線式シリアル/OまたはUART）によって異なります。それぞれの場合の接続図を図18 - 3、図18 - 4に示します。

図18 - 3 3線式シリアル/O方式でのFlashpro /Flashpro の接続

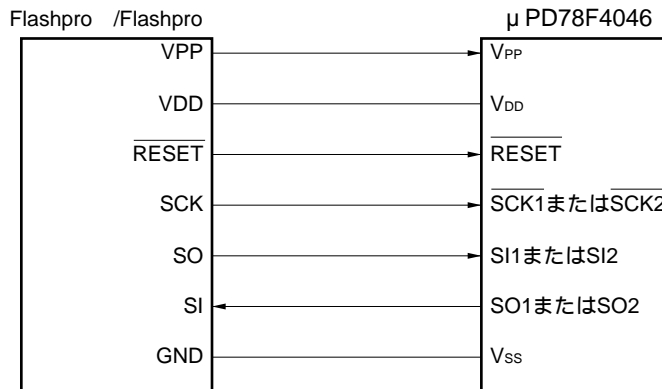
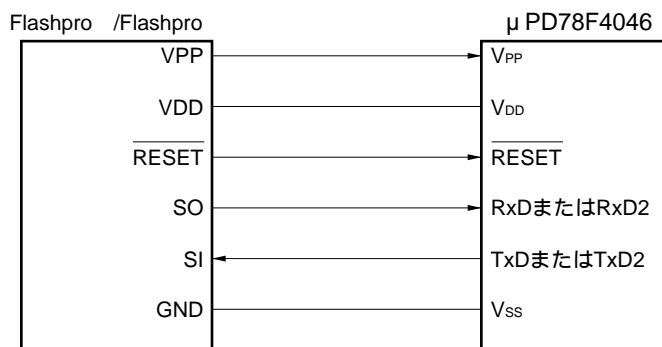


図18 - 4 UART方式でのFlashpro /Flashpro の接続



★ 18.3 注意事項

(1) 内部メモリ・サイズ切り替えレジスタ (IMS) への書き込みは、 μ PD78F4046のみ有効です。
 μ PD784054の場合は、IMSへ書き込みを行っても、リセット時の値のまま変化しません。

(2) μ PD78F4046を使用して μ PD784054のプログラムを開発する場合は、IMSをCDHに設定してください。なお、IMSにCDHを設定したときの μ PD78F4046の周辺RAM容量は768バイトになりますが、 μ PD784054の周辺RAM容量は512バイトです。したがって、マスクROM化する場合には、 μ PD78F4046の周辺RAM領域のうち0FA00H-0FAFFH (LOCATION 0H命令実行時) は使用しないように注意してください。

(3) 書き換え回数

書き換え保証回数：10回

なお、消去、書き込みについては、エリア・モードまたは、チップ・モードを選択してください。ブロック・モードを使用し、特定のブロックのみを書き換えることはできません。

(4) 動作周囲温度

動作周囲温度： $T_A = -10 \sim +70$

ただし、書き換え時の温度は、 $T_{PRG} = +10 \sim +40$ になります。

(5) プリライトの使用

消去の前にプリライトする必要があります。

Flashpro II (Ver2.50以上)、Flashpro III (PG-FP3 Ver3.040以上)を使用する場合は、パラメータ・ファイルを読み込むことにより、自動的に設定されます。

(6) ECC機能の使用

内蔵フラッシュ・メモリのECC領域に対して、ECCデータを書き込んでください。

アセンブラ・パッケージ (PC版Ver.1.20以上)に添付されたECCジェネレータを使用し、HEXファイルをECC付きHEXファイルに変換してください。このECC付きHEXファイルをFlashpro II/Flashpro IIIにダウンロードし、書き込みを行ってください。

・ECCデータの作成方法

アセンブラ・パッケージのオブジェクト・コンバータで作成したHEXファイルを準備する
アセンブラ・パッケージに含まれるECCジェネレータ (eccgen.exe) を使用し、ECC付き
HEXファイル (プログラム・データ + ECCデータ) に変換する

例 ファイル "file.hex" をECC付きHEXファイル "file_ec.hex" に変換します。

```
eccgen file.hex -ofile_ec.hex -a0ffffh, 1000h, 14000h, 14004h
```

(7) Flashpro II/Flashpro IIIの設定および書き込み方法

プリライトおよびECCの書き込みは、Flashpro II/Flashpro IIIで行います。

・書き込み方法

ECC付きHEXファイルをFlashpro II/Flashpro IIIにダウンロードする

CHIPモードに設定し、E.P.Vボタンを使って書き込みを行う

なお、Programコマンドは使用しないでください。ECCに書き込めない場合があります。

ただし、Flashpro IIのVer.2.50未満を使用する場合は、プリライト機能およびECC機能を有効にする必要があるため、次の設定を行ったあと書き込みを実行してください。

・ Flashpro IIのVer.2.50未満を使用する場合の設定方法

PCとFL-PR2を接続し、コントロール・ソフト (flashpro.exe)

を起動

“ CRTL ” キー + “ SHIFT ” キー + “ GRPH (ALT) ” キー +

“ P ” キーを同時に押す

“ Pre-Write set ” にチェックする

OKボタンを押す

Settingを選択

Optionを選択

メニュー・ウインドウで “ ECC code area ” にチェックする

“ ECC END ADDRESS ” に14004を入力

OKボタンを押す

TYPEボタンを押す

“ ECC ADDRESS ” に14004を入力

OKボタンを押す

} プリライトの設定

} ECC書き込みの設定

第19章 命令のオペレーション

19.1 凡 例

(1) オペランドの表現形式と記述方法 (1/2)

表現形式	記 述 方 法
r, r' ^{注1}	X(R0), A(R1), C(R2), B(R3), R4, R5, R6, R7, R8, R9, R10, R11, E(R12), D(R13), L(R14), H(R15)
r1 ^{注1}	X(R0), A(R1), C(R2), B(R3), R4, R5, R6, R7
r2	R8, R9, R10, R11, E(R12), D(R13), L(R14), H(R15)
r3	V, U, T, W
rp, rp' ^{注2}	AX(RP0), BC(RP1), RP2, RP3, VR(RP4), UR(RP5), DE(RP6), HL(RP7)
rp1 ^{注2}	AX(RP0), BC(RP1), RP2, RP3
rp2	VR(RP4), UR(RP5), DE(RP6), HL(RP7)
rg, rg'	VVR(RG4), UUR(RG5), TDE(RG6), WHL(RG7)
sfr	特殊機能レジスタ略号
sfrp	特殊機能レジスタ略号 (16ビット操作可能レジスタ)
post ^{注2}	AX(RP0), BC(RP1), RP2, RP3, VR(RP4), UR(RP5)PSW, DE(RP6), HL(RP7) 複数記述可能。ただし、UPIはPUSH/POP命令、PSWはPUSHU/POPU命令にかぎる
mem	[TDE][WHL][TDE+][WHL+][TDE-][WHL-][VVP][UUP]: レジスタ・インダイ レクト・アドレッシング [TDE+byte][WHL+byte][SP+byte][UUP+byte][VVP+byte]: ベースト・アドレッシング imm24[A] imm24[B] imm24[DE] imm24[HL]: インデクスト・アドレッシング [TDE+A][TDE+B][TDE+C][WHL+A][WHL+B][WHL+C][VVP+DE] [VVP+HL]: ベースト・インデクスト・アドレッシング
mem1	memから[WHL+][WHL-]を除いたすべて
mem2	[TDE][WHL]
mem3	[AX][BC][RP2][RP3][VVP][UUP][TDE][WHL]

注1 . RSSビットを1とすることで、R4-R7をX, A, C, Bとして使用することができますが、この機能を使用するのは、78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

2 . RSSビットを1とすることで、RP2, RP3をAX, BCとして使用することができますが、この機能を使用するのは、78K/IIIシリーズ用のプログラムを流用する場合だけにしてください。

(1) オペランドの表現形式と記述方法 (2/2)

表現形式	記述方法
注	
saddr, saddr'	FD20H-FF1FH イミーディエト・データまたはレーベル
saddr1	FE00H-FEFFFH イミーディエト・データまたはレーベル
saddr2	FD20H-FDFFFH, FF00H-FF1FH イミーディエト・データまたはレーベル
saddrp	FD20H-FF1EH イミーディエト・データまたはレーベル (16ビット操作時)
saddrp1	FE00H-FEFFFH イミーディエト・データまたはレーベル (16ビット操作時)
saddrp2	FD20H-FDFFFH, FF00H-FF1EH イミーディエト・データまたはレーベル (16ビット操作時)
saddrg	FD20H-FEFDH イミーディエト・データまたはレーベル (24ビット操作時)
saddrg1	FE00H-FEFDH イミーディエト・データまたはレーベル (24ビット操作時)
saddrg2	FD20H-FDFFFH イミーディエト・データまたはレーベル (24ビット操作時)
addr24	0H-FFFFFFH イミーディエト・データまたはレーベル
addr20	0H-FFFFFFH イミーディエト・データまたはレーベル
addr16	0H-FFFFH イミーディエト・データまたはレーベル
addr11	800H-FFFFH イミーディエト・データまたはレーベル
addr8	0FE00H-0FEFFF ^注 イミーディエト・データまたはレーベル
addr5	40H-7EH イミーディエト・データまたはレーベル
imm24	24ビット・イミーディエト・データまたはレーベル
word	16ビット・イミーディエト・データまたはレーベル
byte	8ビット・イミーディエト・データまたはレーベル
bit	3ビット・イミーディエト・データまたはレーベル
n	3ビット・イミーディエト・データ
locaddr	0Hまたは0FH

注 LOCATION命令で0Hを指定した場合は、ここに示したアドレスになります。

LOCATION命令で0FHを指定した場合は、ここに示したアドレスにF0000Hを加えた値がアドレスになります。

(2) オペランド欄の記号

記号	説明
+	オートインクリメント
-	オートデクリメント
	イミューティエト・データ
!	16ビット絶対アドレス
!!	24ビット/20ビット絶対アドレス
\$	8ビット相対アドレス
\$!	16ビット相対アドレス
/	ビット反転
[]	インダイレクト・アドレッシング
[%]	24ビット・インダイレクト・アドレッシング

(3) フラグ欄の記号

記号	説明
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果に従ってセット/クリアされる
P	P/Vフラグがパリティ・フラグとして動作する
V	P/Vフラグがオーバフロー・フラグとして動作する
R	以前に退避した値がリストアされる

(4) オペレーション欄の記号

記号	説明
jdisp8	次の命令の先頭アドレスと分岐先アドレスとの相対アドレス距離の符号付き2の補数データ (8ビット)
jdisp16	次の命令の先頭アドレスと分岐先アドレスとの相対アドレス距離の符号付き2の補数データ (16ビット)
PC _{HW}	PCのビット16-19
PC _{LW}	PCのビット0-15

(5) オペランドにmemを含む命令のバイト数

memのモード	レジスタ・インダイレクト・アドレッシング		ベースト・アドレッシング	インデクスト・アドレッシング	ベースト・インデクスト・アドレッシング
バイト数	1	2 ^注	3	5	2

注 MOV命令でmemに [TDE] [WHL] [TDE +] [TDE -] [WHL +] [WHL -] を記述した場合のみ、1バイト命令になります。

(6) オペランドにsaddr, saddrp, r, rpを含む命令のバイト数

オペランドにsaddr, saddrp, r, rpを含む命令の中には、バイト数をスラッシュ “ / ” で2つに分けて記述しているものがあります。どちらのバイト数になるかは下表によります。

表現形式	バイト数の左側	バイト数の右側
saddr	saddr2	saddr1
saddrp	saddrp2	saddrp1
r	r1	r2
rp	rp1	rp2

(7) オペランドにmemを含む命令、ストリング命令の記述

オペランドのTDE, WHL, VVP, UUP (24ビット・レジスタ) は、それぞれDE, HL, VP, UPと記述することもできます。ただし、DE, HL, VP, UPと記述した場合でもTDE, WHL, VVP, UUP (24ビット・レジスタ) として扱われます。

19.2 オペレーション一覧

(1) 8ビット・データ転送命令：MOV

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOV	r, byte	2/3	r byte					
	saddr, byte	3/4	(saddr) byte					
	sfr, byte	3	sfr byte					
	!addr16, byte	5	(saddr16) byte					
	!!addr24, byte	6	(addr24) byte					
	r, r	2/3	r r					
	A, r	1/2	A r					
	A, saddr2	2	A (saddr2)					
	r, saddr	3	r (saddr)					
	saddr2, A	2	(saddr2) A					
	saddr, r	3	(saddr) r					
	A, sfr	2	A sfr					
	r, sfr	3	r sfr					
	sfr, A	2	sfr A					
	sfr, r	3	sfr r					
	saddr, saddr'	4	(saddr) (saddr')					
	r, !addr16	4	r (addr16)					
	!addr16, r	4	(addr16) r					
	r, !!addr24	5	r (addr24)					
	!!addr24, r	5	(addr24) r					
	A, [saddrp]	2/3	A ((saddrp))					
	A, [%saddrg]	3/4	A ((saddrg))					
	A, mem	1-5	A (mem)					
	[saddrp] A	2/3	((saddrp)) A					
	[%saddrg] A	3/4	((saddrg)) A					
	mem, A	1-5	(mem) A					
	PSWL, byte	3	PSW _L byte				x	x
	PSWH, byte	3	PSW _H byte					
	PSWL, A	2	PSW _L A				x	x
	PSWH, A	2	PSW _H A					
	A, PSWL	2	A PSW _L					
	A, PSWH	2	A PSW _H					
	r3, byte	3	r3 byte					
A, r3	2	A r3						
r3, A	2	r3 A						

(2) 16ビット・データ転送命令 : MOVW

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOVW	rp, word	3	rp word					
	saddrp, word	4/5	(saddrp) word					
	sfrp, word	4	sfrp word					
	!addr16, word	6	(addr16) word					
	!!addr24, word	7	(addr24) word					
	rp, rp'	2	rp rp'					
	AX, saddrp2	2	AX (saddrp2)					
	rp, saddrp	3	rp (saddrp)					
	saddrp2, AX	2	(saddrp2) AX					
	saddrp, rp	3	(saddrp) rp					
	AX, sfrp	2	AX sfrp					
	rp, sfrp	3	rp sfrp					
	sfrp, AX	2	sfrp AX					
	sfrp, rp	3	sfrp rp					
	saddrp, saddrp'	4	(saddrp) (saddrp')					
	rp, !addr16	4	rp (addr16)					
	!addr16, rp	4	(addr16) rp					
	rp, !!addr24	5	rp (addr24)					
	!!addr24, rp	5	(addr24) rp					
	AX, [saddrp]	3/4	AX ((saddrp))					
	AX, [%saddrg]	3/4	AX ((saddrg))					
	AX, mem	2-5	AX (mem)					
	[saddrp] AX	3/4	((saddrp)) AX					
[%saddrg] AX	3/4	((saddrg)) AX						
mem, AX	2-5	(mem) AX						

(3) 24ビット・データ転送命令：MOVG

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOVG	rg, imm24	5	rg imm24						
	rg, rg'	2	rg rg'						
	rg, !addr24	5	rg (addr24)						
	!addr24, rg	5	(addr24) rg						
	rg, saddrg	3	rg (saddrg)						
	saddrg, rg	3	(saddrg) rg						
	WHL, [%saddrg]	3/4	WHL ((saddrg))						
	[%saddrg] WHL	3/4	((saddrg) WHL						
	WHL, mem1	2-5	WHL (mem1)						
	mem1, WHL	2-5	(mem1) WHL						

(4) 8ビット・データ交換命令：XCH

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
XCH	r, r'	2/3	r r'						
	A, r	1/2	A r						
	A, saddr2	2	A (saddr2)						
	r, saddr	3	r (saddr)						
	r, sfr	3	r sfr						
	saddr, saddr'	4	(saddr) (saddr')						
	r, !addr16	4	r (addr16)						
	r, !addr24	5	r (addr24)						
	A, [saddrp]	2/3	A ((saddrp))						
	A, [%saddrg]	3/4	A ((saddrg))						
	A, mem	2-5	A (mem)						

(5) 16ビット・データ交換命令 : XCHW

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
XCHW	rp, rp'	2	rp rp'						
	AX, saddrp2	2	AX (saddrp2)						
	rp, saddrp	3	rp (saddrp)						
	rp, sfrp	3	rp sfrp						
	AX, [saddrp]	3/4	AX ((saddrp))						
	AX, [%saddrg]	3/4	AX ((saddrg))						
	AX, !addr16	4	AX (addr16)						
	AX, !!addr24	5	AX (addr24)						
	saddrp, saddrp'	4	(saddrp) (saddrp')						
	AX, mem	2-5	AX (mem)						

(6) 8ビット演算命令 : ADD, ADDC, SUB, SUBC, CMP, AND, OR, XOR

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADD	A, byte	2	A, CY A + byte	x	x	x	V	x
	r, byte	3	r, CY r + byte	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) + byte	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr + byte	x	x	x	V	x
	r, r'	2/3	r, CY r + r'	x	x	x	V	x
	A, saddr2	2	A, CY A + (saddr2)	x	x	x	V	x
	r, saddr	3	r, CY r + (saddr)	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) + r	x	x	x	V	x
	r, sfr	3	r, CY r + sfr	x	x	x	V	x
	sfr, r	3	sfr, CY sfr + r	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) + (saddr')	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A + ((saddrp))	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A + ((saddrg))	x	x	x	V	x
	[saddrp] A	3/4	((saddrp)), CY ((saddrp)) + A	x	x	x	V	x
	[%saddrg] A	3/4	((saddrg)), CY ((saddrg)) + A	x	x	x	V	x
	A, !addr16	4	A, CY A + (addr16)	x	x	x	V	x
	A, !!addr24	5	A, CY A + (addr24)	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) + A	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) + A	x	x	x	V	x
	A, mem	2-5	A, CY A + (mem)	x	x	x	V	x
	mem, A	2-5	(mem), CY (mem) + A	x	x	x	V	x

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDC	A, byte	2	A, CY A + byte + CY	x	x	x	V	x
	r, byte	3	r, CY r + byte + CY	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) + byte + CY	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr + byte + CY	x	x	x	V	x
	r, r'	2/3	r, CY r + r' + CY	x	x	x	V	x
	A, saddr2	2	A, CY A + (saddr2) + CY	x	x	x	V	x
	r, saddr	3	r, CY r + (saddr) + CY	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) + r + CY	x	x	x	V	x
	r, sfr	3	r, CY r + sfr + CY	x	x	x	V	x
	sfr, r	3	sfr, CY sfr + r + CY	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) + (saddr') + CY	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A + ((saddrp)) + CY	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A + ((saddrg)) + CY	x	x	x	V	x
	[saddrp] A	3/4	((saddrp)), CY ((saddrp)) + A + CY	x	x	x	V	x
	[%saddrg] A	3/4	((saddrg)), CY ((saddrg)) + A + CY	x	x	x	V	x
	A, !addr16	4	A, CY A + (addr16) + CY	x	x	x	V	x
	A, !!addr24	5	A, CY A + (addr24) + CY	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) + A + CY	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) + A + CY	x	x	x	V	x
	A, mem	2-5	A, CY A + (mem) + CY	x	x	x	V	x
mem, A	2-5	(mem), CY (mem) + A + CY	x	x	x	V	x	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
SUB	A, byte	2	A, CY A - byte	x	x	x	V	x
	r, byte	3	r, CY r - byte	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) - byte	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr - byte	x	x	x	V	x
	r, r'	2/3	r, CY r - r'	x	x	x	V	x
	A, saddr2	2	A, CY A - (saddr2)	x	x	x	V	x
	r, saddr	3	r, CY r - (saddr)	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) - r	x	x	x	V	x
	r, sfr	3	r, CY r - sfr	x	x	x	V	x
	sfr, r	3	sfr, CY sfr - r	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) - (saddr')	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A - ((saddrp))	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A - ((saddrg))	x	x	x	V	x
	[saddrp] A	3/4	((saddrp)), CY ((saddrp)) - A	x	x	x	V	x
	[%saddrg] A	3/4	((saddrg)), CY ((saddrg)) - A	x	x	x	V	x
	A, !addr16	4	A, CY A - (addr16)	x	x	x	V	x
	A, !!addr24	5	A, CY A - (addr24)	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) - A	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) - A	x	x	x	V	x
	A, mem	2-5	A, CY A - (mem)	x	x	x	V	x
mem, A	2-5	(mem), CY (mem) - A	x	x	x	V	x	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
SUBC	A, byte	2	A, CY A - byte - CY	x	x	x	V	x
	r, byte	3	r, CY r - byte - CY	x	x	x	V	x
	saddr, byte	3/4	(saddr), CY (saddr) - byte - CY	x	x	x	V	x
	sfr, byte	4	sfr, CY sfr - byte - CY	x	x	x	V	x
	r, r'	2/3	r, CY r - r' - CY	x	x	x	V	x
	A, saddr2	2	A, CY A - (saddr2) - CY	x	x	x	V	x
	r, saddr	3	r, CY r - (saddr) - CY	x	x	x	V	x
	saddr, r	3	(saddr), CY (saddr) - r - CY	x	x	x	V	x
	r, sfr	3	r, CY r - sfr - CY	x	x	x	V	x
	sfr, r	3	sfr, CY sfr - r - CY	x	x	x	V	x
	saddr, saddr'	4	(saddr), CY (saddr) - (saddr') - CY	x	x	x	V	x
	A, [saddrp]	3/4	A, CY A - ((saddrp)) - CY	x	x	x	V	x
	A, [%saddrg]	3/4	A, CY A - ((saddrg)) - CY	x	x	x	V	x
	[saddrp] A	3/4	((saddrp)), CY ((saddrp)) - A - CY	x	x	x	V	x
	[%saddrg] A	3/4	((saddrg)), CY ((saddrg)) - A - CY	x	x	x	V	x
	A, !addr16	4	A, CY A - (addr16) - CY	x	x	x	V	x
	A, !!addr24	5	A, CY A - (addr24) - CY	x	x	x	V	x
	!addr16, A	4	(addr16), CY (addr16) - A - CY	x	x	x	V	x
	!!addr24, A	5	(addr24), CY (addr24) - A - CY	x	x	x	V	x
	A, mem	2-5	A, CY A - (mem) - CY	x	x	x	V	x
mem, A	2-5	(mem), CY (mem) - A - CY	x	x	x	V	x	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CMP	A, byte	2	A - byte	x	x	x	V	x
	r, byte	3	r - byte	x	x	x	V	x
	saddr, byte	3/4	(saddr) - byte	x	x	x	V	x
	sfr, byte	4	sfr - byte	x	x	x	V	x
	r, r'	2/3	r - r'	x	x	x	V	x
	A, saddr2	2	A - (saddr2)	x	x	x	V	x
	r, saddr	3	r - (saddr)	x	x	x	V	x
	saddr, r	3	(saddr) - r	x	x	x	V	x
	r, sfr	3	r - sfr	x	x	x	V	x
	sfr, r	3	sfr - r	x	x	x	V	x
	saddr, saddr'	4	(saddr) - (saddr')	x	x	x	V	x
	A, [saddrp]	3/4	A - ((saddrp))	x	x	x	V	x
	A, [%saddrg]	3/4	A - ((saddrg))	x	x	x	V	x
	[saddrp] A	3/4	((saddrp)) - A	x	x	x	V	x
	[%saddrg] A	3/4	((saddrg)) - A	x	x	x	V	x
	A, !addr16	4	A - (addr16)	x	x	x	V	x
	A, !!addr24	5	A - (addr24)	x	x	x	V	x
	!addr16, A	4	(addr16) - A	x	x	x	V	x
	!!addr24, A	5	(addr24) - A	x	x	x	V	x
	A, mem	2-5	A - (mem)	x	x	x	V	x
mem, A	2-5	(mem) - A	x	x	x	V	x	

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
AND	A, byte	2	A A byte	x	x			P
	r, byte	3	r r byte	x	x			P
	saddr, byte	3/4	(saddr) (saddr) byte	x	x			P
	sfr, byte	4	sfr sfr byte	x	x			P
	r, r'	2/3	r r r'	x	x			P
	A, saddr2	2	A A (saddr2)	x	x			P
	r, saddr	3	r r (saddr)	x	x			P
	saddr, r	3	(saddr) (saddr) r	x	x			P
	r, sfr	3	r r sfr	x	x			P
	sfr, r	3	sfr sfr r	x	x			P
	saddr, saddr'	4	(saddr) (saddr) (saddr')	x	x			P
	A, [saddrp]	3/4	A A ((saddrp))	x	x			P
	A, [%saddrg]	3/4	A A ((saddrg))	x	x			P
	[saddrp] A	3/4	((saddrp)) ((saddrp)) A	x	x			P
	[%saddrg] A	3/4	((saddrg)) ((saddrg)) A	x	x			P
	A, !addr16	4	A A (addr16)	x	x			P
	A, !!addr24	5	A A (addr24)	x	x			P
	!addr16, A	4	(addr16) (addr16) A	x	x			P
	!!addr24, A	5	(addr24) (addr24) A	x	x			P
	A, mem	2-5	A A (mem)	x	x			P
mem, A	2-5	(mem) (mem) A	x	x			P	

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
OR	A, byte	2	A A byte	x	x		P	
	r, byte	3	r r byte	x	x		P	
	saddr, byte	3/4	(saddr) (saddr) byte	x	x		P	
	sfr, byte	4	sfr sfr byte	x	x		P	
	r, r'	2/3	r r r'	x	x		P	
	A, saddr2	2	A A (saddr2)	x	x		P	
	r, saddr	3	r r (saddr)	x	x		P	
	saddr, r	3	(saddr) (saddr) r	x	x		P	
	r, sfr	3	r r sfr	x	x		P	
	sfr, r	3	sfr sfr r	x	x		P	
	saddr, saddr'	4	(saddr) (saddr) (saddr')	x	x		P	
	A, [saddrp]	3/4	A A ((saddrp))	x	x		P	
	A, [%saddrg]	3/4	A A ((saddrg))	x	x		P	
	[saddrp] A	3/4	((saddrp)) ((saddrp)) A	x	x		P	
	[%saddrg] A	3/4	((saddrg)) ((saddrg)) A	x	x		P	
	A, !addr16	4	A A (saddr16)	x	x		P	
	A, !!addr24	5	A A (saddr24)	x	x		P	
	!addr16, A	4	(addr16) (addr16) A	x	x		P	
	!!addr24, A	5	(addr24) (addr24) A	x	x		P	
	A, mem	2-5	A A (mem)	x	x		P	
mem, A	2-5	(mem) (mem) A	x	x		P		

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
XOR	A, byte	2	A A ∨ byte	x	x			P
	r, byte	3	r r ∨ byte	x	x			P
	saddr, byte	3/4	(saddr) (saddr) ∨ byte	x	x			P
	sfr, byte	4	sfr sfr ∨ byte	x	x			P
	r, r'	2/3	r r ∨ r'	x	x			P
	A, saddr2	2	A A ∨ (saddr2)	x	x			P
	r, saddr	3	r r ∨ (saddr)	x	x			P
	saddr, r	3	(saddr) (saddr) ∨ r	x	x			P
	r, sfr	3	r r ∨ sfr	x	x			P
	sfr, r	3	sfr sfr ∨ r	x	x			P
	saddr, saddr'	4	(saddr) (saddr) ∨ (saddr')	x	x			P
	A, [saddrp]	3/4	A A ∨ ((saddrp))	x	x			P
	A, [%saddrg]	3/4	A A ∨ ((saddrg))	x	x			P
	[saddrp] A	3/4	((saddrp)) ((saddrp)) ∨ A	x	x			P
	[%saddrg] A	3/4	((saddrg)) ((saddrg)) ∨ A	x	x			P
	A, !addr16	4	A A ∨ (addr16)	x	x			P
	A, !!addr24	5	A A ∨ (addr24)	x	x			P
	!addr16, A	4	(addr16) (addr16) ∨ A	x	x			P
	!!addr24, A	5	(addr24) (addr24) ∨ A	x	x			P
	A, mem	2-5	A A ∨ (mem)	x	x			P
mem, A	2-5	(mem) (mem) ∨ A	x	x			P	

(7) 16ビット演算命令: ADDW, SUBW, CMPW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDW	AX, word	3	AX, CY AX + word	x	x	x	V	x
	rp, word	4	rp, CY rp + word	x	x	x	V	x
	rp, rp'	2	rp, CY rp + rp'	x	x	x	V	x
	AX, saddrp2	2	AX, CY AX + (saddrp2)	x	x	x	V	x
	rp, saddrp	3	rp, CY rp + (saddrp)	x	x	x	V	x
	saddrp, rp	3	(saddrp), CY (saddrp) + rp	x	x	x	V	x
	rp, sfrp	3	rp, CY rp + sfrp	x	x	x	V	x
	sfrp, rp	3	sfrp, CY sfrp + rp	x	x	x	V	x
	saddrp, word	4/5	(saddrp), CY (saddrp) + word	x	x	x	V	x
	sfrp, word	5	sfrp, CY sfrp + word	x	x	x	V	x
	saddrp, saddrp'	4	(saddrp), CY (saddrp) + (saddrp')	x	x	x	V	x
SUBW	AX, word	3	AX, CY AX - word	x	x	x	V	x
	rp, word	4	rp, CY rp - word	x	x	x	V	x
	rp, rp'	2	rp, CY rp - rp'	x	x	x	V	x
	AX, saddrp2	2	AX, CY AX - (saddrp2)	x	x	x	V	x
	rp, saddrp	3	rp, CY rp - (saddrp)	x	x	x	V	x
	saddrp, rp	3	(saddrp), CY (saddrp) - rp	x	x	x	V	x
	rp, sfrp	3	rp, CY rp - sfrp	x	x	x	V	x
	sfrp, rp	3	sfrp, CY sfrp - rp	x	x	x	V	x
	saddrp, word	4/5	(saddrp), CY (saddrp) - word	x	x	x	V	x
	sfrp, word	5	sfrp, CY sfrp - word	x	x	x	V	x
	saddrp, saddrp'	4	(saddrp), CY (saddrp) - (saddrp')	x	x	x	V	x
CMPW	AX, word	3	AX - word	x	x	x	V	x
	rp, word	4	rp - word	x	x	x	V	x
	rp, rp'	2	rp - rp'	x	x	x	V	x
	AX, saddrp2	2	AX - (saddrp2)	x	x	x	V	x
	rp, saddrp	3	rp - (saddrp)	x	x	x	V	x
	saddrp, rp	3	(saddrp) - rp	x	x	x	V	x
	rp, sfrp	3	rp - sfrp	x	x	x	V	x
	sfrp, rp	3	sfrp - rp	x	x	x	V	x
	saddrp, word	4/5	(saddrp) - word	x	x	x	V	x
	sfrp, word	5	sfrp - word	x	x	x	V	x
	saddrp, saddrp'	4	(saddrp) - (saddrp')	x	x	x	V	x

(8) 24ビット演算命令 : ADDG, SUBG

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADDG	rg, rg'	2	rg, CY rg + rg'	x	x	x	V	x
	rg, imm24	5	rg, CY rg + imm24	x	x	x	V	x
	WHL, saddrg	3	WHL, CY WHL + (saddrg)	x	x	x	V	x
SUBG	rg, rg'	2	rg, CY rg - rg'	x	x	x	V	x
	rg, imm24	5	rg, CY rg - imm24	x	x	x	V	x
	WHL, saddrg	3	WHL, CY WHL - (saddrg)	x	x	x	V	x

(9) 乗除算命令 : MULU, MULUW, MULW, DIVUW, DIVUX

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MULU	r	2/3	AX A × r					
MULUW	rp	2	AX(上位), rp(下位) AX × rp					
MULW	rp	2	AX(上位), rp(下位) AX × rp					
DIVUW	r	2/3	AX(商), r(余り) AX ÷ r ^{注1}					
DIVUX	rp	2	AXDE(商), rp(余り) AXDE ÷ rp ^{注2}					

注1 . r = 0 の場合 , r X, AX FFFFH

2 . rp = 0 の場合 , rp DE, AXDE FFFFFFFFH

(10) 特殊演算命令 : MACW, MACSW, SACW

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MACW	byte	3	AXDE (B) × (C) + AXDE, B B + 2 , C C + 2 , byte byte - 1 End if(byte = 0 or P/V = 1)	x	x	x	V	x
MACSW	byte	3	AXDE (B) × (C) + AXDE, B B + 2 , C C + 2 , byte byte - 1 if byte = 0 then End if P/V = 1 then if overflow AXDE 7FFFFFFFH, End if underflow AXDE 80000000H, End	x	x	x	V	x
SACW	[TDE +] [WHL +]	4	AX (TDE) - (WHL) + AX, TDE TDE + 2, WHL WHL + 2 C C - 1 End if(C = 0 or CY = 1)	x	x	x	V	x

(11) 増減命令 : INC, DEC, INCW, DECW, INCG, DECG

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
INC	r	1/2	r r + 1	x	x	x	V	
	saddr	2/3	(saddr) (saddr) + 1	x	x	x	V	
DEC	r	1/2	r r - 1	x	x	x	V	
	saddr	2/3	(saddr) (saddr) - 1	x	x	x	V	
INCW	rp	2/1	rp rp + 1					
	saddrp	3/4	(saddrp) (saddrp) + 1					
DECW	rp	2/1	rp rp - 1					
	saddrp	3/4	(saddrp) (saddrp) - 1					
INCG	rg	2	rg rg + 1					
DECG	rg	2	rg rg - 1					

(12) 補正命令 : ADJBA, ADJBS, CVTBW

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ADJBA		2	Decimal Adjust Accumulator after Addition	x	x	x	P	x
ADJBS		2	Decimal Adjust Accumulator after Subtract	x	x	x	P	x
CVTBW		1	X A , A 00H if A ₇ = 0					
			X A , A FFH if A ₇ = 1					

(13) シフト・ローテート命令 : ROR, ROL, RORC, ROLC, SHR, SHL, SHRW, SHLW, ROR4, ROL4

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
ROR	r, n	2/3	(CY, r7, r0, r _{m-1} , r _m) × n回 n = 0 - 7				P	x
ROL	r, n	2/3	(CY, r0, r7, r _{m+1} , r _m) × n回 n = 0 - 7				P	x
RORC	r, n	2/3	(CY, r0, r7, CY, r _{m-1} , r _m) × n回 n = 0 - 7				P	x
ROLC	r, n	2/3	(CY, r7, r0, CY, r _{m+1} , r _m) × n回 n = 0 - 7				P	x
SHR	r, n	2/3	(CY, r0, r7, 0, r _{m-1} , r _m) × n回 n = 0 - 7	x	x	0	P	x
SHL	r, n	2/3	(CY, r7, r0, 0, r _{m+1} , r _m) × n回 n = 0 - 7	x	x	0	P	x
SHRW	rp, n	2	(CY, rp0, rp15, 0, rp _{m-1} , rp _m) × n回 n = 0 - 7	x	x	0	P	x
SHLW	rp, n	2	(CY, rp15, rp0, 0, rp _{m+1} , rp _m) × n回 n = 0 - 7	x	x	0	P	x
ROR4	mem3	2	A ₃₋₀ (mem3) ₃₋₀ , (mem3) ₇₋₄ A ₃₋₀ , (mem3) ₃₋₀ (mem3) ₇₋₄					
ROL4	mem3	2	A ₃₋₀ (mem3) ₇₋₄ , (mem3) ₃₋₀ A ₃₋₀ , (mem3) ₇₋₄ (mem3) ₃₋₀					

(14) ビット操作命令 : MOV1, AND1, OR1, XOR1, NOT1, SET1, CLR1

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOV1	CY, saddr. bit	3/4	CY (saddr. bit)					x
	CY, sfr. bit	3	CY sfr. bit					x
	CY, X. bit	2	CY X. bit					x
	CY, A. bit	2	CY A. bit					x
	CY, PSWL. bit	2	CY PSWL. bit					x
	CY, PSWH. bit	2	CY PSWH. bit					x
	CY, !addr16. bit	5	CY !addr16. bit					x
	CY, !!addr24. bit	2	CY !!addr24. bit					x
	CY, mem2. bit	2	CY mem2. bit					x
	saddr. bit, CY	3/4	(saddr. bit) CY					
	sfr. bit, CY	3	sfr. bit CY					
	X. bit, CY	2	X. bit CY					
	A. bit, CY	2	A. bit CY					
	PSWL. bit, CY	2	PSWL. bit CY	x	x	x	x	x
	PSWH. bit, CY	2	PSWH. bit CY					
	!addr16. bit, CY	5	!addr16. bit CY					
	!!addr24. bit, CY	6	!!addr24. bit CY					
	mem2. bit, CY	2	mem2. bit CY					

ニモニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
AND1	CY, saddr. bit	3/4	CY CY (saddr. bit)						x
	CY, /saddr. bit	3/4	CY CY ($\overline{\text{saddr. bit}}$)						x
	CY, sfr. bit	3	CY CY sfr. bit						x
	CY, /sfr. bit	3	CY CY $\overline{\text{sfr. bit}}$						x
	CY, X. bit	2	CY CY X. bit						x
	CY, /X. bit	2	CY CY $\overline{\text{X. bit}}$						x
	CY, A. bit	2	CY CY A. bit						x
	CY, /A. bit	2	CY CY $\overline{\text{A. bit}}$						x
	CY, PSWL. bit	2	CY CY PSWL. bit						x
	CY, /PSWL. bit	2	CY CY $\overline{\text{PSWL. bit}}$						x
	CY, PSWH. bit	2	CY CY PSWH. bit						x
	CY, /PSWH. bit	2	CY CY $\overline{\text{PSWH. bit}}$						x
	CY, !addr16. bit	5	CY CY !addr16. bit						x
	CY, /!addr16. bit	5	CY CY $\overline{\text{!addr16. bit}}$						x
	CY, !!addr24. bit	2	CY CY !!addr24. bit						x
	CY, /!!addr24. bit	6	CY CY $\overline{\text{!!addr24. bit}}$						x
	CY, mem2. bit	2	CY CY mem2. bit						x
	CY, /mem2. bit	2	CY CY $\overline{\text{mem2. bit}}$						x
OR1	CY, saddr. bit	3/4	CY CY (saddr. bit)						x
	CY, /saddr. bit	3/4	CY CY ($\overline{\text{saddr. bit}}$)						x
	CY, sfr. bit	3	CY CY sfr. bit						x
	CY, /sfr. bit	3	CY CY $\overline{\text{sfr. bit}}$						x
	CY, X. bit	2	CY CY X. bit						x
	CY, /X. bit	2	CY CY $\overline{\text{X. bit}}$						x
	CY, A. bit	2	CY CY A. bit						x
	CY, /A. bit	2	CY CY $\overline{\text{A. bit}}$						x
	CY, PSWL. bit	2	CY CY PSWL. bit						x
	CY, /PSWL. bit	2	CY CY $\overline{\text{PSWL. bit}}$						x
	CY, PSWH. bit	2	CY CY PSWH. bit						x
	CY, /PSWH. bit	2	CY CY $\overline{\text{PSWH. bit}}$						x
	CY, !addr16. bit	5	CY CY !addr16. bit						x
	CY, /!addr16. bit	5	CY CY $\overline{\text{!addr16. bit}}$						x
	CY, !!addr24. bit	2	CY CY !!addr24. bit						x
	CY, /!!addr24. bit	6	CY CY $\overline{\text{!!addr24. bit}}$						x
	CY, mem2. bit	2	CY CY mem2. bit						x
	CY, /mem2. bit	2	CY CY $\overline{\text{mem2. bit}}$						x

二モニック	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
XOR1	CY, saddr. bit	3/4	CY \vee (saddr. bit)						x
	CY, sfr. bit	3	CY \vee sfr. bit						x
	CY, X. bit	2	CY \vee X. bit						x
	CY, A. bit	2	CY \vee A. bit						x
	CY, PSWL. bit	2	CY \vee PSWL. bit						x
	CY, PSWH. bit	2	CY \vee PSWH. bit						x
	CY, !addr16. bit	5	CY \vee !addr16. bit						x
	CY, !!addr24. bit	2	CY \vee !!addr24. bit						x
	CY, mem2. bit	2	CY \vee mem2. bit						x
NOT1	saddr. bit	3/4	(saddr. bit) $\overline{(\text{saddr. bit})}$						
	sfr. bit	3	sfr. bit $\overline{\text{sfr. bit}}$						
	X. bit	2	X. bit $\overline{\text{X. bit}}$						
	A. bit	2	A. bit $\overline{\text{A. bit}}$						
	PSWL. bit	2	PSWL. bit $\overline{\text{PSWL. bit}}$	x	x	x	x	x	
	PSWH. bit	2	PSWH. bit $\overline{\text{PSWH. bit}}$						
	!addr16. bit	5	!addr16. bit $\overline{\text{!addr16. bit}}$						
	!!addr24. bit	2	!!addr24. bit $\overline{\text{!!addr24. bit}}$						
	mem2. bit	2	mem2. bit $\overline{\text{mem2. bit}}$						
	CY	1	CY $\overline{\text{CY}}$						x
SET1	saddr. bit	2/3	(saddr. bit) 1						
	sfr. bit	3	sfr. bit 1						
	X. bit	2	X. bit 1						
	A. bit	2	A. bit 1						
	PSWL. bit	2	PSWL. bit 1	x	x	x	x	x	
	PSWH. bit	2	PSWH. bit 1						
	!addr16. bit	5	!addr16. bit 1						
	!!addr24. bit	2	!!addr24. bit 1						
	mem2. bit	2	mem2. bit 1						
	CY	1	CY 1						1
CLR1	saddr. bit	2/3	(saddr. bit) 0						
	sfr. bit	3	sfr. bit 0						
	X. bit	2	X. bit 0						
	A. bit	2	A. bit 0						
	PSWL. bit	2	PSWL. bit 0	x	x	x	x	x	
	PSWH. bit	2	PSWH. bit 0						
	!addr16. bit	5	!addr16. bit 0						
	!!addr24. bit	2	!!addr24. bit 0						
	mem2. bit	2	mem2. bit 0						
	CY	1	CY 0						0

(15) スタック操作命令 : PUSH, PUSHU, POP, POPU, MOVG, ADDWG, SUBWG, INCG, DECG

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
PUSH	PSW	1	(SP - 2) PSW, SP SP - 2					
	sfrp	3	(SP - 2) sfrp, SP SP - 2					
	sfr	3	(SP - 1) sfr, SP SP - 1					
	post	2	{(SP - 2) post, SP SP - 2 }x m回 ^注					
	rg	2	(SP - 3) rg, SP SP - 3					
PUSHU	post	2	{(UUP - 2) post, UUP UUP - 2 }x m回 ^注					
POP	PSW	1	PSW (SP), SP SP + 2	R	R	R	R	R
	sfrp	3	sfrp (SP), SP SP + 2					
	sfr	3	sfr (SP), SP SP + 1					
	post	2	{ post (SP), SP SP + 2 }x m回 ^注					
	rg	2	rg (SP), SP SP + 3					
POPU	post	2	{ post (UUP), UUP UUP + 2 }x m回 ^注					
MOVG	SP, imm24	5	SP imm24					
	SP, WHL	2	SP WHL					
	WHL, SP	2	WHL SP					
ADDWG	SP, word	4	SP SP + word					
SUBWG	SP, word	4	SP SP - word					
INCG	SP	2	SP SP + 1					
DECG	SP	2	SP SP - 1					

注 mは, postで指定されたレジスタ数

(16) コール・リターン命令 : CALL, CALLF, CALLT, BRK, BRKCS, RET, RETI, RETB, RETCS, RETCSB

二モニク	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CALL	!addr16	3	(SP - 3) (PC + 3) SP SP - 3, PC _{HW} 0, PC _{LW} addr16					
	!!addr20	4	(SP - 3) (PC + 4) SP SP - 3, PC addr20					
	rp	2	(SP - 3) (PC + 2) SP SP - 3, PC _{HW} 0, PC _{LW} rp					
	rg	2	(SP - 3) (PC + 2) SP SP - 3, PC rg					
	[rp]	2	(SP - 3) (PC + 2) SP SP - 3, PC _{HW} 0, PC _{LW} (rp)					
	[rg]	2	(SP - 3) (PC + 2) SP SP - 3, PC (rg)					
	\$!addr20	3	(SP - 3) (PC + 3) SP SP - 3, PC PC + 3 + jdisp16					
CALLF	!addr11	2	(SP - 3) (PC + 2) SP SP - 3, PC ₁₉₋₁₂ 0, PC ₁₁ 1, PC ₁₀₋₀ addr11					
CALLT	[addr5]	1	(SP - 3) (PC + 1) SP SP - 3, PC _{HW} 0, PC _{LW} (addr5)					
BRK		1	(SP - 2) PSW, (SP - 1) ₀₋₃ , (PC + 1) _{HW} , (SP - 4) (PC + 1) _{LW} , SP SP - 4 PC _{HW} 0, PC _{LW} (003EH)					
BRKCS	RBn	2	PC _{LW} RP2, RP3 PSW, RBS2 - 0 n, RSS 0, IE 0, RP3 ₈₋₁₁ PC _{HW} , PC _{HW} 0					
RET		1	PC (SP) SP SP + 3					
RETI		1	PC _{LW} (SP), PC _{HW} (SP + 3) ₀₋₃ , PSW (SP + 2), SP SP + 4 ISPR中でセット(1)されている最も優先順位の 高いフラグをクリア(0)	R	R	R	R	R
RETB		1	PC _{LW} (SP), PC _{HW} (SP + 3) ₀₋₃ , PSW (SP + 2), SP SP + 4	R	R	R	R	R
RETCS	!addr16	3	PSW RP3, PC _{LW} RP2, RP2 addr16, PC _{HW} RP3 ₈₋₁₁ ISPR中でセット(1)されている最も優先順位の 高いフラグをクリア(0)	R	R	R	R	R
RETCSB	!addr16	4	PSW RP3, PC _{LW} RP2, RP2 addr16, PC _{HW} RP3 ₈₋₁₁	R	R	R	R	R

(17) 無条件分岐命令 : BR

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BR	!addr16	3	PC _{HW} 0, PC _{LW} addr16					
	!!addr20	4	PC addr20					
	rp	2	PC _{HW} 0, PC _{LW} rp					
	rg	2	PC rg					
	[rp]	2	PC _{HW} 0, PC _{LW} (rp)					
	[rg]	2	PC (rg)					
	\$ addr20	2	PC PC + 2 + jdisp8					
	\$!addr20	3	PC PC + 3 + jdisp16					

(18) 条件付き分岐命令 : BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

二モニク	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BNZ	\$ addr20	2	PC PC + 2 + jdisp8 if Z = 0					
BNE								
BZ	\$ addr20	2	PC PC + 2 + jdisp8 if Z = 1					
BE								
BNC	\$ addr20	2	PC PC + 2 + jdisp8 if CY = 0					
BNL								
BC	\$ addr20	2	PC PC + 2 + jdisp8 if CY = 1					
BL								
BNV	\$ addr20	2	PC PC + 2 + jdisp8 if P/V = 0					
BPO								
BV	\$ addr20	2	PC PC + 2 + jdisp8 if P/V = 1					
BPE								
BP	\$ addr20	2	PC PC + 2 + jdisp8 if S = 0					
BN	\$ addr20	2	PC PC + 2 + jdisp8 if S = 1					
BLT	\$ addr20	3	PC PC + 3 + jdisp8 if P/V ∇ S = 1					
BGE	\$ addr20	3	PC PC + 3 + jdisp8 if P/V ∇ S = 0					
BLE	\$ addr20	3	PC PC + 3 + jdisp8 if (P/V ∇ S) Z = 1					
BGT	\$ addr20	3	PC PC + 3 + jdisp8 if (P/V ∇ S) Z = 0					
BNH	\$ addr20	3	PC PC + 3 + jdisp8 if Z CY = 1					
BH	\$ addr20	3	PC PC + 3 + jdisp8 if Z CY = 0					
BF	saddr. bit, \$ addr20	4/5	PC PC + 4 ^注 + jdisp8 if (saddr. bit) = 0					
	sfr. bit, \$ addr20	4	PC PC + 4 + jdisp8 if sfr. bit = 0					
	X. bit, \$ addr20	3	PC PC + 3 + jdisp8 if X. bit = 0					
	A. bit, \$ addr20	3	PC PC + 3 + jdisp8 if A. bit = 0					
	PSWL. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWL. bit = 0					
	PSWH. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWH. bit = 0					
	!addr16. bit, \$ addr20	6	PC PC + 3 + jdisp8 if !addr16. bit = 0					
	!!addr24. bit, \$ addr20	3	PC PC + 3 + jdisp8 if !!addr24. bit = 0					
mem2. bit, \$ addr20	3	PC PC + 3 + jdisp8 if mem2. bit = 0						

注 バイト数が4のとき。5のときはPC PC + 5 + jdisp8になります。

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
BT	saddr. bit, \$ addr20	3/4	PC PC + 3 ^{注1} + jdisp8 if (saddr. bit)= 1					
	sfr. bit, \$ addr20	4	PC PC + 4 + jdisp8 if sfr. bit = 1					
	X. bit, \$ addr20	3	PC PC + 3 + jdisp8 if X. bit = 1					
	A. bit, \$ addr20	3	PC PC + 3 + jdisp8 if A. bit = 1					
	PSWL. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWL. bit = 1					
	PSWH. bit, \$ addr20	3	PC PC + 3 + jdisp8 if PSWH. bit = 1					
	!addr16. bit, \$ addr20	6	PC PC + 3 + jdisp8 if !addr16. bit = 1					
	!!addr24. bit, \$ addr20	3	PC PC + 3 + jdisp8 if !!addr24. bit = 1					
mem2. bit, \$ addr20	3	PC PC + 3 + jdisp8 if mem2. bit = 1						
BTCLR	saddr. bit, \$ addr20	4/5	{ PC PC + 4 ^{注2} + jdisp8, (saddr. bit) 0 } if (saddr. bit)= 1					
	sfr. bit, \$ addr20	4	{ PC PC + 4 + jdisp8, sfr. bit 0 } if sfr. bit = 1					
	X. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, X. bit 0 }if X. bit = 1					
	A. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, A. bit 0 }if A. bit = 1					
	PSWL. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWL. bit 0 } if PSWL. bit = 1	x	x	x	x	x
	PSWH. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWH. bit 0 } if PSWH. bit = 1					
	!addr16. bit, \$ addr20	6	{ PC PC + 3 + jdisp8, !addr16. bit 0 } if !addr16. bit = 1					
	!!addr24. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, !!addr24. bit 0 } if !!addr24. bit = 1					
mem2. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, mem2. bit 0 } if mem2. bit = 1						

注1 . バイト数が3のとき。4のときはPC PC + 4 + jdisp8になります。

2 . バイト数が4のとき。5のときはPC PC + 5 + jdisp8になります。

二モニク	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
BFSET	saddr. bit, \$ addr20	4/5	{ PC PC + 4 ^{注2} + jdisp8, (saddr. bit) 1 } if (saddr. bit) = 0						
	sfr. bit, \$ addr20	4	{ PC PC + 4 + jdisp8, sfr. bit 1 } if sfr. bit = 0						
	X. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, X. bit 1 } if X. bit = 0						
	A. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, A. bit 1 } if A. bit = 0						
	PSWL. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWL. bit 1 } if PSWL. bit = 0	x	x	x	x	x	
	PSWH. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, PSWH. bit 1 } if PSWH. bit = 0						
	!addr16. bit, \$ addr20	6	{ PC PC + 3 + jdisp8, !addr16. bit 1 } if !addr16. bit = 0						
	!!addr24. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, !!addr24. bit 1 } if !!addr24. bit = 0						
	mem2. bit, \$ addr20	3	{ PC PC + 3 + jdisp8, mem2. bit 1 } if mem2. bit = 0						
DBNZ	B, \$ addr20	2	B B - 1, PC PC + 2 + jdisp8 if B = 0						
	C, \$ addr20	2	C C - 1, PC PC + 2 + jdisp8 if C = 0						
	saddr, \$ addr20	3/4	(saddr) (saddr) - 1, PC PC + 3 ^{注1} + jdisp8 if (saddr) = 0						

注1 . バイト数が3のとき。4のときはPC PC + 4 + jdisp8になります。

2 . バイト数が4のとき。5のときはPC PC + 5 + jdisp8になります。

(19) CPU制御命令 : MOV, LOCATION, SEL, SWRS, NOP, EI, DI

二モニク	オペランド	バイト	オペレーション	フラグ					
				S	Z	AC	P/V	CY	
MOV	STBC, byte	4	STBC byte						
	WDM, byte	4	WDM byte						
LOCATION	locaddr	4	SFR, 内部データ領域の配置アドレスの上位ワード指定						
SEL	RBn	2	RSS 0, RBS2 - 0 n						
	RBn, ALT	2	RSS 1, RBS2 - 0 n						
SWRS		2	RSS $\overline{\text{RSS}}$						
NOP		1	No Operation						
EI		1	IE 1 (Enable interrupt)						
DI		1	IE 0 (Disable interrupt)						

(20) 特殊命令 : CHKL, CHKLA

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CHKL	sfr	3	(端子レベル) ∨ (出力ラッチ)	x	x		P	
CHKLA	sfr	3	A (端子レベル) ∨ (出力ラッチ)	x	x		P	

(21) スtring命令 : MOVTLW, MOVW, XCHM, MOVBK, XCHBK, CMPME, CMPMNE, CMPMC, CMPMNC, CMPBKE, CMPBKNE, CMPBKC, CMPBKNC

ニモニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
MOVTLW	!addr8, byte	4	(addr8 + 2) (addr8), byte byte - 1, addr8 addr8 - 2 End if byte = 0					
MOVW	[TDE +] A	2	(TDE) A, TDE TDE + 1, C C - 1 End if C = 0					
	[TDE -] A	2	(TDE) A, TDE TDE - 1, C C - 1 End if C = 0					
XCHM	[TDE +] A	2	(TDE) A, TDE TDE + 1, C C - 1 End if C = 0					
	[TDE -] A	2	(TDE) A, TDE TDE - 1, C C - 1 End if C = 0					
MOVBK	[TDE +] [WHL +]	2	(TDE) (WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0					
	[TDE -] [WHL -]	2	(TDE) (WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0					
XCHBK	[TDE +] [WHL +]	2	(TDE) (WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0					
	[TDE -] [WHL -]	2	(TDE) (WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0					
CMPME	[TDE +] A	2	(TDE) - A, TDE TDE + 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x
	[TDE -] A	2	(TDE) - A, TDE TDE - 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x
CMPMNE	[TDE +] A	2	(TDE) - A, TDE TDE + 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x
	[TDE -] A	2	(TDE) - A, TDE TDE - 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x
CMPMC	[TDE +] A	2	(TDE) - A, TDE TDE + 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x
	[TDE -] A	2	(TDE) - A, TDE TDE - 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x
CMPMNC	[TDE +] A	2	(TDE) - A, TDE TDE + 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x
	[TDE -] A	2	(TDE) - A, TDE TDE - 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x
CMPBKE	[TDE +] [WHL +]	2	(TDE) - (WHL), TDE TDE + 1, WHL WHL + 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x
	[TDE -] [WHL -]	2	(TDE) - (WHL), TDE TDE - 1, WHL WHL - 1, C C - 1 End if C = 0 or Z = 0	x	x	x	V	x

二モニック	オペランド	バイト	オペレーション	フラグ				
				S	Z	AC	P/V	CY
CMPBKNE	[TDE +] [WHL +]	2	(TDE)-(WHL), TDE TDE + 1 , WHL WHL + 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x
	[TDE -] [WHL -]	2	(TDE)-(WHL), TDE TDE - 1 , WHL WHL - 1, C C - 1 End if C = 0 or Z = 1	x	x	x	V	x
CMPBKC	[TDE +] [WHL +]	2	(TDE)-(WHL), TDE TDE + 1 , WHL WHL + 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x
	[TDE -] [WHL -]	2	(TDE)-(WHL), TDE TDE - 1 , WHL WHL - 1, C C - 1 End if C = 0 or CY = 0	x	x	x	V	x
CMPBKNC	[TDE +] [WHL +]	2	(TDE)-(WHL), TDE TDE + 1 , WHL WHL + 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x
	[TDE -] [WHL -]	2	(TDE)-(WHL), TDE TDE - 1 , WHL WHL - 1, C C - 1 End if C = 0 or CY = 1	x	x	x	V	x

19.3 アドレッシング別命令一覧

(1) 8ビット命令(()内は, rとしてAを記述することで実現している組み合わせです)

MOV, XCH, ADD, ADDC, SUB, SUBC, AND OR XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ, PUSH, POP, MOVW, XCHW, CMPME, CMPMNE, CMPMNC, CMPMC, MOVBK, XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKC, CHKL, CHKLA

表19 - 1 8ビット・アドレッシング別命令一覧表 (1/2)

第2オペランド 第1オペランド	byte	A	r r'	saddr saddr'	sfr
A	(MOV) ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH (ADD) ^{注1}	(MOV) ^{注6} (XCH) ^{注6} (ADD) ^{注1,6}	MOV (XCH) (ADD) ^{注1}
r	MOV ADD ^{注1}	(MOV) (XCH) (ADD) ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}	MOV XCH ADD ^{注1}
saddr	MOV ADD ^{注1}	(MOV) ^{注6} (ADD) ^{注1}	MOV ADD ^{注1}	MOV XCH ADD ^{注1}	
sfr	MOV ADD ^{注1}	MOV (ADD) ^{注1}	MOV ADD ^{注1}		
!addr16 !!addr24	MOV	MOV ADD ^{注1}	MOV		
mem [saddrp] [%saddrg]		MOV ADD ^{注1}			
mem3					
r3 PSWL PSWH	MOV	MOV			
B, C					
STBC, WDM	MOV				
[TDE +] [TDE -]		(MOV) (ADD) ^{注1} MOVW ^{注4}			

(注の説明は次頁にあります。)

表19 - 1 8ビット・アドレッシング別命令一覧表 (2/2)

第2オペランド 第1オペランド	!addr16 !!addr24	mem [saddrp] [%saddrg]	r3 PSWL PSWH	[WHL +] [WHL -]	n	なし ^{注2}
A	(MOV) (XCH) ADD ^{注1}	MOV XCH ADD ^{注1}	MOV	(MOV) (XCH) (ADD) ^{注1}		
r	MOV XCH				ROR ^{注3}	MULU DIVUW INC DEC
saddr						INC DEC DBNZ
sfr						PUSH POP CHKL CHKLA
!addr16 !!addr24						
mem [saddrp] [%saddrg]						
mem3						ROR4 ROL4
r3 PSWL PSWH						
B, C						DBNZ
STBC, WDM						
[TDE +] [TDE -]				MOVBK ^{注5}		

注1 . ADDC, SUB, SUBC, AND, OR, XOR, CMPIはADDと同じ

2 . 第2オペランドがないか、第2オペランドがオペランド・アドレスでない

3 . ROL, RORC, ROLC, SHR, SHLはRORと同じ

4 . XCHM, CMPME, CMPMNE, CMPMNC, CMPMCはMOVMと同じ

5 . XCHBK, CMPBKE, CMPBKNE, CMPBKNC, CMPBKNCはMOVBKと同じ

6 . この組み合わせでsaddrがsaddr2の場合、短いコード長の命令がある

(2) 16ビット命令 (() 内は、rpとしてAXを記述することで実現している組み合わせです)

MOVM, XCHW, ADDW, SUBW, CMPW, MULUW, MULW, DIVUX, INCW, DECW, SHRW,
SHLW, PUSH, POP, ADDWG, SUBWG, PUSHU, POPU, MOVTLBW, MACW, MACSW, SACW

表19 - 2 16ビット・アドレッシング別命令一覧表 (1/2)

第2オペランド \ 第1オペランド	word	AX	rp rp'	saddrp saddrp'	sfrp
AX	(MOVW) ADDW ^{注1}	(MOVW) (XCHW) (ADD) ^{注1}	(MOVW) (XCHW) (ADDW) ^{注1}	(MOVW) ^{注3} (XCHW) ^{注3} (ADDW) ^{注1,3}	MOVW (XCHW) (ADDW) ^{注1}
rp	MOVW ADDW ^{注1}	(MOVW) (XCHW) (ADDW) ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}
saddrp	MOVW ADDW ^{注1}	(MOVW) ^{注3} (ADDW) ^{注1}	MOVW ADDW ^{注1}	MOVW XCHW ADDW ^{注1}	
sfrp	MOVW ADDW ^{注1}	MOVW (ADDW) ^{注1}	MOVW ADDW ^{注1}		
!addr16 !!addr24	MOVW	(MOVW)	MOVW		
mem [saddrp] [%saddrg]		MOVW			
PSW					
SP	ADDWG SUBWG				
post					
[TDE+]		(MOVW)			
byte					

(注の説明は次頁にあります。)

表19 - 2 16ビット・アドレッシング別命令一覧表 (2/2)

第2オペランド 第1オペランド	!addr16 !!addr24	mem [saddrp] [%saddrg]	[WHL +]	byte	n	なし ^{注2}
AX	(MOVW) XCHW	MOVW XCHW	(MOVW) (XCHW)			
rp	MOVW				SHRW SHLW	MULW ^{注4} INCW DECW
saddrp						INCW DECW
sfrp						PUSH POP
!addr16 !!addr24				MOVTBLW		
mem [saddrp] [%saddrg]						
PSW						PUSH POP
SP						
post						PUSH POP PUSHU POPU
[TDE +]			SACW			
byte						MACW MACSW

注1 . SUBW, CMPWはADDWと同じ

- 2 . 第2オペランドがないか, 第2オペランドがオペランド・アドレスでない
- 3 . この組み合わせでsaddrpがsaddrp2の場合, 短いコード長の命令がある
- 4 . MULUW, DIVUXはMULWと同じ

(3) 24ビット命令()内は、rgとしてWHLを記述することで実現している組み合わせです)

MOVG, ADDG, SUBG, INCG, DECG, PUSH, POP

表19 - 3 24ビット・アドレッシング別命令一覧表

第2オペランド \ 第1オペランド	imm24	WHL	rg rg'	saddrg	!!addr24	mem1	[%saddrg]	SP	なし ^注
WHL	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) (ADDG) (SUBG)	(MOVG) ADDG SUBG	(MOVG)	MOVG	MOVG	MOVG	
rg	MOVG ADDG SUBG	(MOVG) (ADDG) (SUBG)	MOVG ADDG SUBG	MOVG	MOVG				INCG DECG PUSH POP
saddrg		(MOVG)	MOVG						
!!addr24		(MOVG)	MOVG						
mem1		MOVG							
[%saddrg]		MOVG							
SP	MOVG	MOVG							INCG DECG

注 第2オペランドがないか、第2オペランドがオペランド・アドレスでない

(4) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR, BFSET

表19 - 4 ビット操作命令アドレッシング別命令一覧表

第2オペランド \ 第1オペランド	CY	saddr. bit A. bit PSWL. bit mem2. bit !addr16. bit !!addr24. bit	sfr. bit X. bit PSWH. bit	/saddr. bit /A. bit /PSWL. bit /mem2. bit /!addr16. bit /!!addr24. bit	/sfr. bit /X. bit /PSWH. bit	なし ^注
CY		MOV1 AND1 OR1 XOR1		AND1 OR1		NOT1 SET1 CLR1
saddr. bit sfr. bit A. bit X. bit PSWL. bit PSWH. bit mem2. bit !addr16. bit !!addr24. bit	MOV1					NOT1 SET1 CLR1 BF BT BTCLR BFSET

注 第2オペランドがないか、第2オペランドがオペランド・アドレスでない

(5) コール・リターン命令 / 分岐命令

CALL, CALLF, CALLT, BRK, RET, RETI, RETB, RETCS, RETCSB, BRKCS, BR, BNZ, BNE, BZ, BE, BNC, BNL, BC, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BH, BF, BT, BTCLR, BFSET, DBNZ

表19 - 5 コール・リターン命令 / 分岐命令アドレッシング別命令一覧表

命令アドレスの オペランド	\$addr20	\$!addr20	!addr16	!!addr20	rp	rg	[rp]	[rg]	!addr11	[addr5]	RBn	なし
基本命令	BC ^注 BR	CALL BR	CALL BR RETCS RETCSB	CALL BR	CALL BR	CALL BR	CALL BR	CALL BR	CALLF	CALLT	BRKCS	BRK RET RETI RETB
複合命令	BF BT BTCLR BFSET DBNZ											

注 BNZ, BNE, BZ, BE, BNC, BNL, BL, BNV, BPO, BV, BPE, BP, BN, BLT, BGE, BLE, BGT, BNH, BHはBCと同じ

(6) その他の命令

ADJBA, ADJBS, CVTBW, LOCATION, SEL, NOT, EI, DI, SWRS

第20章 電気的特性 (μ PD784054)

タイミング・チャートについては、第24章 タイミング・チャートを参照してください。

絶対最大定格 ($T_A = 25$)

項 目	略 号	条 件	定 格	単 位	
電源電圧	V_{DD}		- 0.5 ~ + 7.0	V	
	AV_{DD}		- 0.5 ~ $V_{DD} + 0.5$	V	
	AV_{SS}		- 0.5 ~ + 0.5	V	
入力電圧	V_i	注 1	- 0.5 ~ $V_{DD} + 0.5$ 7.0	V	
出力電圧	V_o		- 0.5 ~ $V_{DD} + 0.5$	V	
ロウ・レベル出力電流	I_{OL}	全出力端子	15	mA	
		全出力端子合計	150	mA	
ハイ・レベル出力電流	I_{OH}	全出力端子	- 10	mA	
		全出力端子合計	- 100	mA	
アナログ入力電圧	V_{IAN}	注 2	$AV_{DD} > V_{DD}$	- 0.5 ~ $V_{DD} + 0.5$	V
			$V_{DD} \leq AV_{DD}$	- 0.5 ~ $AV_{DD} + 0.5$	
A/Dコンバータ基準入力電圧	AV_{REF}		$AV_{DD} > V_{DD}$	- 0.5 ~ $V_{DD} + 0.5$	V
			$V_{DD} \leq AV_{DD}$	- 0.5 ~ $AV_{DD} + 0.5$	
動作周囲温度	T_A		- 10 ~ + 70		
保存温度	T_{stg}		- 65 ~ + 150		

注 1 . 注 2 に記載以外の端子。

2 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件

発振周波数	T_A	V_{DD}
8 MHz f_{xx} 32 MHz	- 10 ~ + 70	4.5 ~ 5.5 V

容 量 ($T_A = 25$, $V_{SS} = V_{DD} = 0$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C_i	$f = 1$ MHz			10	pF
出力容量	C_o	被測定端子以外は 0 V			10	pF
入出力容量	C_{io}				10	pF

発振回路特性 (TA = - 10 ~ + 70 , VDD = 4.5 ~ 5.5 V, VSS = 0 V)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (fx)	8	32	MHz
外部クロック		X1入力周波数 (fx)	8	32	MHz
		X1入力立ち上がり, 立ち下がり時間	0	5	ns
		X1入力ハイ, ロウ・レベル幅	20	105	ns

注 発振安定時間指定レジスタ (OSTS) のEXTCビット = 0 のとき。EXTCビット = 1 のときはX2端子にはX1端子の逆相のクロックを入力してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上図の破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (T_A = - 10 ~ + 70 , V_{DD} = 4.5 ~ 5.5 V, V_{SS} = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
ロウ・レベル入力電圧	V _{IL}		0		0.8	V	
ハイ・レベル入力電圧	V _{IH1}	注 1	2.2		V _{DD}	V	
	V _{IH2}	注 2	0.8V _{DD}		V _{DD}		
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 2.0 mA			0.45	V	
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 400 μA	V _{DD} - 1.0			V	
入力リーク電流	I _{LI}	注 3	0 V V _I V _{DD}		± 10	μ A	
アナログ端子入力リーク電流	I _{LIAN}	注 4	0 V V _I AV _{DD}		± 1	μ A	
出力リーク電流	I _{LO}	0 V V _O V _{DD}			± 10	μ A	
V _{DD} 電源電流	I _{DD1}	動作モード (f _{xx} = 32 MHz)		50	80	mA	
	I _{DD2}	HALTモード (f _{xx} = 32 MHz)		30	60	mA	
	I _{DD3}	IDLEモード (f _{xx} = 32 MHz)		10	20	mA	
データ保持電圧	V _{DDDR}	STOPモード	2.5			V	
データ保持電流	I _{DDDR}	STOPモード	V _{DDDR} = 2.5 V		2	15	μ A
			V _{DDDR} = 5 V ± 10 %		15	50	μ A
プルアップ抵抗	R _L		15	40	80	k	

注 1 . 注 2 に記載以外の端子。

- 2 . P20/NMI, P21/INTP0/TO00, P22/INTP1/TO01, P23/INTP2/TO02, P24/INTP3/TO03, P25/INTP4, P26/INTP5, P27/INTP6, P34/ASCK/SCK1, P37/ASCK2/SCK2, X1, X2, RESET
- 3 . 入力および入出力端子 (ただし, X1, X2, アナログ入力として使用しているP70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15を除く)。
- 4 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子 (アナログ入力として使用している端子で, 非サンプリング動作時のみ)。

AC特性 (TA = - 10 ~ + 70 , VDD = 4.5 ~ 5.5 V, VSS = 0 V)

(1) リード/ライト・オペレーション

項 目	略 号	計 算 式	MIN.	MAX.	単 位
システム・クロック・サイクル・タイム	t _{CYK}		62.5	250	ns
アドレス・セットアップ時間 (対ASTB)	t _{SAST}	(0.5 + a) T - 20	11.2		ns
アドレス・ホールド時間 (対ASTB)	t _{HSTA}	0.5T - 20	11.2		ns
ASTBハイ・レベル幅	t _{WSTH}	(0.5 + a) T - 17	14.2		ns
アドレス RD 遅延時間	t _{DAR}	(1 + a) T - 15	47.5		ns
RD アドレス・フロート時間	t _{FRA}			0	ns
アドレス データ入力時間	t _{DAID}	(2.5 + a + n) T - 56		100.2	ns
RD データ入力時間	t _{DRID}	(1.5 + n) T - 48		45.7	ns
ASTB RD 遅延時間	t _{DSTR}	0.5T - 16	15.3		ns
データ・ホールド時間 (対RD)	t _{HRID}		0		ns
RD アドレス・アクティブ時間	t _{DRA}	0.5T - 14	17.2		ns
RD口ウ・レベル幅	t _{WRL}	(1.5 + n) T - 30	63.7		ns
アドレス LWR, HWR 遅延時間	t _{DAW}	(1 + a) T - 15	47.5		ns
LWR, HWR データ出力時間	t _{DWOD}			15	ns
ASTB LWR, HWR 遅延時間	t _{DSTW}	0.5T - 16	15.3		ns
データ・セットアップ時間 (対LWR, HWR)	t _{SODW}	(1.5 + n) T - 25	68.7		ns
データ・ホールド時間 (対LWR, HWR)	t _{HWOD}	0.5T - 14	17.2		ns
LWR, HWR ASTB 遅延時間	t _{DWST}	1.5T - 15	78.8		ns
LWR, HWR口ウ・レベル幅	t _{WWL}	(1.5 + n) T - 36	57.7		ns
アドレス WAIT 入力時間	t _{DAWT}	(2 + a) T - 50		75	ns
ASTB WAIT 入力時間	t _{DSTWT}	1.5T - 40		53.7	ns
ASTB WAITホールド時間	t _{HSTWT}	(1.5 + n) T + 5	98.8		ns
ASTB WAIT 遅延時間	t _{DSTWTH}	(1.5 + n) T - 40		116.2 ^注	ns
RD WAIT 入力時間	t _{DRWT}	T - 40		22.5	ns
RD WAITホールド時間	t _{HRWT}	(1 + n) T + 5	67.5		ns
RD WAIT 遅延時間	t _{DRWTH}	(1 + n) T - 40		85 ^注	ns
LWR, HWR WAIT 入力時間	t _{DWWT}	T - 40		22.5	ns
LWR, HWR WAITホールド時間	t _{HWWT}	(1 + n) T + 5	67.5		ns
LWR, HWR WAIT 遅延時間	t _{DWWTH}	(1 + n) T - 40		85 ^注	ns

注 外部ウエイトを入れる場合のスペックです。

備考 1 . T = t_{CYK} = 1/f_{CLK} (f_{CLK}は内部システム・クロック周波数)

- 2 . a は, アドレス・ウエイト挿入時に 1 になり, その他のときは 0 になります。
- 3 . n は, 外部ウエイト端子 (WAIT) またはプログラマブル・ウエイト制御レジスタ 1 , 2 (PWC1, PWC2) の指定により挿入されるウエイト・サイクル数です (n = 0。ただし, t_{DSTWTH}, t_{DRWTH}, t_{DWWTH}は n = 1)。
- 4 . 上表の計算式のある項目の値は, システム・クロック・サイクル・タイム (t_{CYK} = T) に依存しますので, 使用されるシステム・クロック・サイクル・タイムで計算をしてください。なお, 表中の値は T = 62.5 ns で計算したものです。

(2) シリアル・オペレーション (TA = -10 ~ +70 , VDD = 4.5 ~ 5.5 V , VSS = 0 V)

項目	略号	条件		MIN.	MAX.	単位
シリアル・クロック・サイクル・タイム	tcysk	SCK1, SCK2出力	BRG	Tsft		ns
		SCK1, SCK2入力	外部クロック	500		ns
シリアル・クロック・ロウ・レベル幅	twskl	SCK1, SCK2出力	BRG	0.5Tsft - 40		ns
		SCK1, SCK2入力	外部クロック	210		ns
シリアル・クロック・ハイ・レベル幅	twskh	SCK1, SCK2出力	BRG	0.5Tsft - 40		ns
		SCK1, SCK2入力	外部クロック	210		ns
SI1, SI2セットアップ時間 (対SCK1, SCK2)	tsssk			80		ns
SI1, SI2ホールド時間 (対SCK1, SCK2)	thssk			80		ns
SCK1, SCK2 SO1, SO2出力 遅延時間	tDSBSK	R = 1 k , C = 100 pF		0	150	ns

備考1 . Tsftは、ソフトウェアの設定による値。最小値は、tcyk × 8。

2 . tcyk = 1/fclk (fclkは内部システム・クロック周波数)

(3) その他のオペレーション (TA = -10 ~ +70 , VDD = 4.5 ~ 5.5 V , VSS = 0 V)

項目	略号	条件		MIN.	MAX.	単位
NMIハイ, ロウ・レベル幅	twnih, twnil			10		μs
INTP0-INTP6ハイ, ロウ・レベル幅	twith, twitl			4		tcysmp
RESETハイ, ロウ・レベル幅	twrsh, twrsl			10		μs

備考1 . tcysmpは、ソフトウェアでノイズ・プロテクション・コントロール・レジスタ (NPC) に設定されるサンプリング・クロック。

Nln = 0 のとき : tcysmp = tcyk

Nln = 1 のとき : tcysmp = tcyk × 4

2 . tcyk = 1/fclk (fclkは内部システム・クロック周波数)

3 . Nln : NPCのビットn (n = 0-6)

A/Dコンバータ特性 (T_A = -10 ~ +70 , V_{DD} = 4.5 ~ 5.5 V, V_{SS} = AV_{SS} = 0 V,
V_{DD} - 0.5 V AV_{DD} V_{DD})

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能			10			bit	
総合誤差 ^{注1}		4.5 V AV _{REF} AV _{DD}			± 0.5	%FSR ^{注2}	
		3.4 V AV _{REF} < 4.5 V			± 0.7	%FSR ^{注2}	
量子化誤差					± 1/2	LSB	
変換時間	t _{CONV}	80 ns t _{CYK} 250 ns	169			t _{CYK}	
		62.5 ns t _{CYK} < 80 ns	208			t _{CYK}	
サンプリング時間	t _{SAMP}	80 ns t _{CYK} 250 ns	20			t _{CYK}	
		62.5 ns t _{CYK} < 80 ns	24			t _{CYK}	
ゼロスケール誤差 ^{注1}		4.5 V AV _{REF} AV _{DD}		± 1.5	± 3.5	LSB	
		3.4 V AV _{REF} < 4.5 V		± 1.5	± 4.5	LSB	
フルスケール誤差 ^{注1}		4.5 V AV _{REF} AV _{DD}		± 1.5	± 3.5	LSB	
		3.4 V AV _{REF} < 4.5 V		± 1.5	± 4.5	LSB	
積分直線性誤差 ^{注1}		4.5 V AV _{REF} AV _{DD}		± 1.5	± 2.5	LSB	
		3.4 V AV _{REF} < 4.5 V		± 1.5	± 4.5	LSB	
アナログ入力電圧	V _{IAN}		- 0.3		AV _{REF} + 0.3	V	
A/Dコンバータ基準入力電圧	AV _{REF}		3.4		AV _{DD}	V	
AV _{REF} 電流	AI _{REF}			1.0	3.0	mA	
AV _{DD} 電源電流	AI _{DD}			2.0	6.0	mA	
A/Dコンバータ・データ保持電流	AI _{DDDR}	STOP	AV _{DDDR} = 2.5 V		2	10	μA
		モード	AV _{DDDR} = 5 V ± 10 %		10	50	μA

注1 . 量子化誤差を除きます。

2 . フルスケール値に対する比率 (%FSR) で表します。

備考 t_{CYK} = 1/f_{CLK} (f_{CLK}は内部システム・クロック周波数)

第21章 電気的特性 (μ PD784054(A))

タイミング・チャートについては、第24章 タイミング・チャートを参照してください。

絶対最大定格 ($T_A = 25$)

項 目	略 号	条 件	定 格	単 位	
電源電圧	V_{DD}		- 0.5 ~ + 7.0	V	
	AV_{DD}		- 0.5 ~ $V_{DD} + 0.5$	V	
	AV_{SS}		- 0.5 ~ + 0.5	V	
入力電圧	V_i	注 1	- 0.5 ~ $V_{DD} + 0.5$ 7.0	V	
出力電圧	V_o		- 0.5 ~ $V_{DD} + 0.5$	V	
ロウ・レベル出力電流	I_{OL}	全出力端子	15	mA	
		全出力端子合計	150	mA	
ハイ・レベル出力電流	I_{OH}	全出力端子	- 10	mA	
		全出力端子合計	- 100	mA	
アナログ入力電圧	V_{IAN}	注 2	$AV_{DD} > V_{DD}$	- 0.5 ~ $V_{DD} + 0.5$	V
			$V_{DD} \leq AV_{DD}$	- 0.5 ~ $AV_{DD} + 0.5$	
A/Dコンバータ基準入力電圧	AV_{REF}		$AV_{DD} > V_{DD}$	- 0.5 ~ $V_{DD} + 0.5$	V
			$V_{DD} \leq AV_{DD}$	- 0.5 ~ $AV_{DD} + 0.5$	
動作周囲温度	T_A		- 40 ~ + 85		
保存温度	T_{stg}		- 65 ~ + 150		

注 1 . 注 2 に記載以外の端子。

2 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件

発振周波数	T_A	V_{DD}
8 MHz f_{xx} 25 MHz	- 40 ~ + 85	4.5 ~ 5.5 V

容 量 ($T_A = 25$, $V_{SS} = V_{DD} = 0$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C_i	$f = 1$ MHz			10	pF
出力容量	C_o	被測定端子以外は 0 V			10	pF
入出力容量	C_{io}				10	pF

発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = 0$ V)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f_{xx})	8	25	MHz
外部クロック		X1入力周波数 (f_x)	8	25	MHz
		X1入力立ち上がり, 立ち下がり時間	0	5	ns
		X1入力ハイ, ロウ・レベル幅	20	105	ns

注 発振安定時間指定レジスタ (OSTS) のEXTCビット = 0 のとき。EXTCビット = 1 のときはX2端子にはX1端子の逆相のクロックを入力してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上図の破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V , $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル入力電圧	V_{IL}		0		0.8	V	
ハイ・レベル入力電圧	V_{IH1}	注1	2.2		V_{DD}	V	
	V_{IH2}	注2	$0.8V_{DD}$		V_{DD}		
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 2.0$ mA			0.45	V	
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -400$ μ A	$V_{DD} - 1.0$			V	
入力リーク電流	I_{LI}	注3	0 V V_i V_{DD}		± 10	μ A	
アナログ端子入力リーク電流	I_{LIAN}	注4	0 V V_i AV_{DD}		± 1	μ A	
出力リーク電流	I_{LO}	0 V V_o V_{DD}			± 10	μ A	
V_{DD} 電源電流	I_{DD1}	動作モード ($f_{XX} = 25$ MHz)		40	70	mA	
	I_{DD2}	HALTモード ($f_{XX} = 25$ MHz)		25	50	mA	
	I_{DD3}	IDLEモード ($f_{XX} = 25$ MHz)		10	20	mA	
データ保持電圧	V_{DDDR}	STOPモード	2.5			V	
データ保持電流	I_{DDDR}	STOPモード	$V_{DDDR} = 2.5$ V		2	15	μ A
			$V_{DDDR} = 5$ V ± 10 %		15	50	μ A
プルアップ抵抗	R_L		15	40	80	k	

注1 . 注2 に記載以外の端子。

- 2 . P20/NMI, P21/INTP0/TO00, P22/INTP1/TO01, P23/INTP2/TO02, P24/INTP3/TO03, P25/INTP4, P26/INTP5, P27/INTP6, P34/ASCK/SCK1, P37/ASCK2/SCK2, X1, X2, RESET
- 3 . 入力および入出力端子 (ただし, X1, X2, アナログ入力として使用しているP70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15を除く)。
- 4 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子 (アナログ入力として使用している端子で, 非サンプリング動作時のみ)。

AC特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = 0$ V)

(1) リード/ライト・オペレーション

項 目	略 号	計 算 式	MIN.	MAX.	単 位
システム・クロック・サイクル・タイム	t _{CYK}		80	250	ns
アドレス・セットアップ時間 (対ASTB)	t _{SAST}	(0.5 + a) T - 20	20		ns
アドレス・ホールド時間 (対ASTB)	t _{HSTA}	0.5T - 20	20		ns
ASTBハイ・レベル幅	t _{WSTH}	(0.5 + a) T - 17	23		ns
アドレス \overline{RD} 遅延時間	t _{DAR}	(1 + a) T - 15	65		ns
\overline{RD} アドレス・フロート時間	t _{FRA}			0	ns
アドレス データ入力時間	t _{DAID}	(2.5 + a + n) T - 56		144	ns
\overline{RD} データ入力時間	t _{DRID}	(1.5 + n) T - 48		72	ns
ASTB \overline{RD} 遅延時間	t _{DSTR}	0.5T - 16	24		ns
データ・ホールド時間 (対 \overline{RD})	t _{HRID}		0		ns
\overline{RD} アドレス・アクティブ時間	t _{DRA}	0.5T - 14	26		ns
\overline{RD} ロウ・レベル幅	t _{WRL}	(1.5 + n) T - 30	90		ns
アドレス \overline{LWR} , \overline{HWR} 遅延時間	t _{DAW}	(1 + a) T - 15	65		ns
\overline{LWR} , \overline{HWR} データ出力時間	t _{DWOD}			15	ns
ASTB \overline{LWR} , \overline{HWR} 遅延時間	t _{DSTW}	0.5T - 16	24		ns
データ・セットアップ時間 (対 \overline{LWR} , \overline{HWR})	t _{SODW}	(1.5 + n) T - 25	95		ns
データ・ホールド時間 (対 \overline{LWR} , \overline{HWR})	t _{HWOD}	0.5T - 14	26		ns
\overline{LWR} , \overline{HWR} ASTB 遅延時間	t _{DWST}	1.5T - 15	105		ns
\overline{LWR} , \overline{HWR} ロウ・レベル幅	t _{WWL}	(1.5 + n) T - 36	84		ns
アドレス \overline{WAIT} 入力時間	t _{DAWT}	(2 + a) T - 50		110	ns
ASTB \overline{WAIT} 入力時間	t _{DSTWT}	1.5T - 40		80	ns
ASTB \overline{WAIT} ホールド時間	t _{HSTWT}	(1.5 + n) T + 5	125		ns
ASTB \overline{WAIT} 遅延時間	t _{DSTWTH}	(1.5 + n) T - 40		160 ^注	ns
\overline{RD} \overline{WAIT} 入力時間	t _{DRWT}	T - 40		40	ns
\overline{RD} \overline{WAIT} ホールド時間	t _{HRWT}	(1 + n) T + 5	85		ns
\overline{RD} \overline{WAIT} 遅延時間	t _{DRWTH}	(1 + n) T - 40		120 ^注	ns
\overline{LWR} , \overline{HWR} \overline{WAIT} 入力時間	t _{DWWT}	T - 40		40	ns
\overline{LWR} , \overline{HWR} \overline{WAIT} ホールド時間	t _{HWWT}	(1 + n) T + 5	85		ns
\overline{LWR} , \overline{HWR} \overline{WAIT} 遅延時間	t _{DWWTH}	(1 + n) T - 40		120 ^注	ns

注 外部ウエイトを入れる場合のスペックです。

備考 1 . T = t_{CYK} = 1/f_{CLK} (f_{CLK}は内部システム・クロック周波数)

- 2 . a は、アドレス・ウエイト挿入時に 1 になり、その他のときは 0 になります。
- 3 . n は、外部ウエイト端子 (\overline{WAIT}) またはプログラマブル・ウエイト制御レジスタ 1 , 2 (PWC1, PWC2) の指定により挿入されるウエイト・サイクル数です (n = 0。ただし、t_{DSTWTH}, t_{DRWTH}, t_{DWWTH}はn = 1)。
- 4 . 上表の計算式のある項目の値は、システム・クロック・サイクル・タイム (t_{CYK} = T) に依存しますので、使用されるシステム・クロック・サイクル・タイムで計算をしてください。なお、表中の値はT = 80 nsで計算したものです。

(2) シリアル・オペレーション ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V , $V_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	MAX.	単 位
シリアル・クロック・サイクル・タイム	t _{CYSK}	$\overline{SCK1}$, $\overline{SCK2}$ 出力	BRG	T _{SFT}	ns
		$\overline{SCK1}$, $\overline{SCK2}$ 入力	外部クロック	640	ns
シリアル・クロック・ロウ・レベル幅	t _{WSKL}	$\overline{SCK1}$, $\overline{SCK2}$ 出力	BRG	0.5T _{SFT} - 40	ns
		$\overline{SCK1}$, $\overline{SCK2}$ 入力	外部クロック	280	ns
シリアル・クロック・ハイ・レベル幅	t _{WSKH}	$\overline{SCK1}$, $\overline{SCK2}$ 出力	BRG	0.5T _{SFT} - 40	ns
		$\overline{SCK1}$, $\overline{SCK2}$ 入力	外部クロック	280	ns
SI1, SI2セットアップ時間 (対 $\overline{SCK1}$, $\overline{SCK2}$)	t _{SSSK}		80		ns
SI1, SI2ホールド時間 (対 $\overline{SCK1}$, $\overline{SCK2}$)	t _{HSSK}		80		ns
$\overline{SCK1}$, $\overline{SCK2}$ SO1, SO2出力 遅延時間	t _{DSBSK}	R = 1 k , C = 100 pF	0	150	ns

備考 1 . T_{SFT}は、ソフトウェアの設定による値。最小値は、t_{CYSK} × 8。

2 . t_{CYSK} = 1/f_{CLK} (f_{CLK}は内部システム・クロック周波数)

(3) その他のオペレーション ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V , $V_{SS} = 0$ V)

項 目	略 号	条 件	MIN.	MAX.	単 位
NMIハイ, ロウ・レベル幅	t _{WNH} , t _{WNIL}		10		μs
INTP0-INTP6ハイ, ロウ・レベル幅	t _{WITH} , t _{WITL}		4		t _{CYSMP}
RESETハイ, ロウ・レベル幅	t _{WRSH} , t _{WRSL}		10		μs

備考 1 . t_{CYSMP}は、ソフトウェアでノイズ・プロテクション・コントロール・レジスタ (NPC) に設定されるサンプリング・クロック。

NIn = 0 のとき : t_{CYSMP} = t_{CYSK}

NIn = 1 のとき : t_{CYSMP} = t_{CYSK} × 4

2 . t_{CYSK} = 1/f_{CLK} (f_{CLK}は内部システム・クロック周波数)

3 . NIn : NPCのビットn (n = 0-6)

A/Dコンバータ特性 ($T_A = -40 \sim +85$, $V_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V,
 $V_{DD} - 0.5$ V AV_{DD} V_{DD})

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
分解能			10			bit	
総合誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}			± 0.5	%FSR ^{注2}	
		3.4 V $AV_{REF} < 4.5$ V			± 0.7	%FSR ^{注2}	
量子化誤差					$\pm 1/2$	LSB	
変換時間	t_{CONV}	80 ns t_{CYK} 250 ns	169			t_{CYK}	
サンプリング時間	t_{SAMP}	80 ns t_{CYK} 250 ns	20			t_{CYK}	
ゼロスケール誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}		± 1.5	± 3.5	LSB	
		3.4 V $AV_{REF} < 4.5$ V		± 1.5	± 4.5	LSB	
フルスケール誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}		± 1.5	± 3.5	LSB	
		3.4 V $AV_{REF} < 4.5$ V		± 1.5	± 4.5	LSB	
積分直線性誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}		± 1.5	± 2.5	LSB	
		3.4 V $AV_{REF} < 4.5$ V		± 1.5	± 4.5	LSB	
アナログ入力電圧	V_{IAN}		- 0.3		$AV_{REF} + 0.3$	V	
A/Dコンバータ基準入力電圧	AV_{REF}		3.4		AV_{DD}	V	
AV_{REF} 電流	AI_{REF}			1.0	3.0	mA	
AV_{DD} 電源電流	AI_{DD}			2.0	6.0	mA	
A/Dコンバータ・データ保持電流	AI_{DDR}	STOP	$AV_{DDDR} = 2.5$ V		2	10	μ A
		モード	$AV_{DDDR} = 5$ V ± 10 %		10	50	μ A

注1 . 量子化誤差を除きます。

2 . フルスケール値に対する比率 (%FSR) で表します。

備考 $t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数)

第22章 電気的特性 (μ PD784054(A1))

タイミング・チャートについては、第24章 タイミング・チャートを参照してください。

絶対最大定格 ($T_A = 25$)

項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}		- 0.5 ~ + 7.0	V
	AV_{DD}		- 0.5 ~ $V_{DD} + 0.5$	V
	AV_{SS}		- 0.5 ~ + 0.5	V
入力電圧	V_i	注 1	- 0.5 ~ $V_{DD} + 0.5$ 7.0	V
出力電圧	V_o		- 0.5 ~ $V_{DD} + 0.5$	V
ロウ・レベル出力電流	I_{OL}	全出力端子	15	mA
		全出力端子合計	150	mA
ハイ・レベル出力電流	I_{OH}	全出力端子	- 10	mA
		全出力端子合計	- 100	mA
アナログ入力電圧	V_{IAN}	注 2 $AV_{DD} > V_{DD}$	- 0.5 ~ $V_{DD} + 0.5$	V
		$V_{DD} \leq AV_{DD}$	- 0.5 ~ $AV_{DD} + 0.5$	
A/Dコンバータ基準入力電圧	AV_{REF}	$AV_{DD} > V_{DD}$	- 0.5 ~ $V_{DD} + 0.5$	V
		$V_{DD} \leq AV_{DD}$	- 0.5 ~ $AV_{DD} + 0.5$	
動作周囲温度	T_A		- 40 ~ + 110	
保存温度	T_{stg}		- 65 ~ + 150	

注 1 . 注 2 に記載以外の端子。

2 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

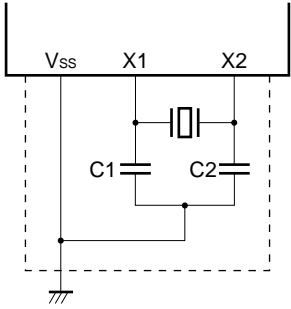
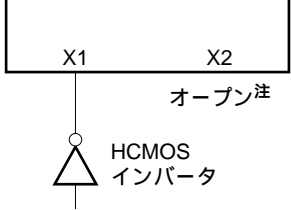
推奨動作条件

発振周波数	T_A	V_{DD}
8 MHz f_{xx} 20 MHz	- 40 ~ + 110	4.5 ~ 5.5 V

容 量 ($T_A = 25$, $V_{SS} = V_{DD} = 0$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C_i	$f = 1$ MHz 被測定端子以外は 0 V			10	pF
出力容量	C_o				10	pF
入出力容量	C_{io}				10	pF

発振回路特性 ($T_A = -40 \sim +110$, $V_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = 0$ V)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f_{xx})	8	20	MHz
外部クロック		X1入力周波数 (f_x)	8	20	MHz
		X1入力立ち上がり, 立ち下がり時間	0	5	ns
		X1入力ハイ, ロウ・レベル幅	20	105	ns

注 発振安定時間指定レジスタ (OSTS) のEXTCビット = 0 のとき。EXTCビット = 1 のときはX2端子にはX1端子の逆相のクロックを入力してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上図の破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 ($T_A = -40 \sim +110$, $V_{DD} = 4.5 \sim 5.5$ V , $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V_{IL}		0		0.8	V
ハイ・レベル入力電圧	V_{IH1}	注1	2.2		V_{DD}	V
	V_{IH2}	注2	$0.8V_{DD}$		V_{DD}	
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 2.0$ mA			0.45	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -400$ μ A	$V_{DD} - 1.0$			V
入力リーク電流	I_{LI}	注3	0 V V_i V_{DD}		± 10	μ A
アナログ端子入力リーク電流	I_{LIAN}	注4	0 V V_i AV_{DD}		± 2	μ A
出力リーク電流	I_{LO}	0 V V_o V_{DD}			± 10	μ A
V_{DD} 電源電流	I_{DD1}	動作モード ($f_{XX} = 20$ MHz)		30	60	mA
	I_{DD2}	HALTモード ($f_{XX} = 20$ MHz)		15	30	mA
	I_{DD3}	IDLEモード ($f_{XX} = 20$ MHz)		10	20	mA
データ保持電圧	V_{DDDR}	STOPモード	2.5			V
データ保持電流	I_{DDDR}	STOPモード	$V_{DDDR} = 2.5$ V	2	100	μ A
			$V_{DDDR} = 5$ V ± 10 %	15	1000	μ A
プルアップ抵抗	R_L		15	40	80	k

注1 . 注2 に記載以外の端子。

- 2 . P20/NMI, P21/INTP0/TO00, P22/INTP1/TO01, P23/INTP2/TO02, P24/INTP3/TO03, P25/INTP4, P26/INTP5, P27/INTP6, P34/ASCK/SCK1, P37/ASCK2/SCK2, X1, X2, RESET
- 3 . 入力および入出力端子 (ただし, X1, X2, アナログ入力として使用しているP70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15を除く)。
- 4 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子 (アナログ入力として使用している端子で, 非サンプリング動作時のみ)。

AC特性 (TA = - 40 ~ + 110 , VDD = 4.5 ~ 5.5 V, VSS = 0 V)

(1) リード/ライト・オペレーション

項目	略号	計算式	MIN.	MAX.	単位
システム・クロック・サイクル・タイム	t _{CYK}		100	250	ns
アドレス・セットアップ時間 (対ASTB)	t _{SAST}	(0.5 + a) T - 20	30		ns
アドレス・ホールド時間 (対ASTB)	t _{HSTA}	0.5T - 20	30		ns
ASTBハイ・レベル幅	t _{WSTH}	(0.5 + a) T - 17	33		ns
アドレス RD 遅延時間	t _{DAR}	(1 + a) T - 15	85		ns
RD アドレス・フロート時間	t _{FRA}			0	ns
アドレス データ入力時間	t _{DAID}	(2.5 + a + n) T - 56		194	ns
RD データ入力時間	t _{DRID}	(1.5 + n) T - 53		97	ns
ASTB RD 遅延時間	t _{DSTR}	0.5T - 16	34		ns
データ・ホールド時間 (対RD)	t _{HRID}		0		ns
RD アドレス・アクティブ時間	t _{DRA}	0.5T - 14	36		ns
RDロウ・レベル幅	t _{WRL}	(1.5 + n) T - 30	120		ns
アドレス LWR, HWR 遅延時間	t _{DAW}	(1 + a) T - 15	85		ns
LWR, HWR データ出力時間	t _{DWOD}			15	ns
ASTB LWR, HWR 遅延時間	t _{DSTW}	0.5T - 16	34		ns
データ・セットアップ時間 (対LWR, HWR)	t _{SODW}	(1.5 + n) T - 25	125		ns
データ・ホールド時間 (対LWR, HWR)	t _{HWOD}	0.5T - 14	36		ns
LWR, HWR ASTB 遅延時間	t _{DWST}	1.5T - 15	135		ns
LWR, HWRロウ・レベル幅	t _{WWL}	(1.5 + n) T - 36	114		ns
アドレス WAIT 入力時間	t _{DAWT}	(2 + a) T - 50		150	ns
ASTB WAIT 入力時間	t _{DSTWT}	1.5T - 40		110	ns
ASTB WAITホールド時間	t _{HSTWT}	(1.5 + n) T + 5	155		ns
ASTB WAIT 遅延時間	t _{DSTWTH}	(1.5 + n) T - 40		210 ^注	ns
RD WAIT 入力時間	t _{DRWT}	T - 40		60	ns
RD WAITホールド時間	t _{HRWT}	(1 + n) T + 5	105		ns
RD WAIT 遅延時間	t _{DRWTH}	(1 + n) T - 40		160 ^注	ns
LWR, HWR WAIT 入力時間	t _{DWWT}	T - 40		60	ns
LWR, HWR WAITホールド時間	t _{HWWT}	(1 + n) T + 5	105		ns
LWR, HWR WAIT 遅延時間	t _{DWWTH}	(1 + n) T - 40		160 ^注	ns

注 外部ウエイトを入れる場合のスペックです。

備考 1 . T = t_{CYK} = 1/f_{CLK} (f_{CLK}は内部システム・クロック周波数)

2 . a は, アドレス・ウエイト挿入時に 1 になり, その他のときは 0 になります。

3 . n は, 外部ウエイト端子 (WAIT) またはプログラマブル・ウエイト制御レジスタ 1 , 2 (PWC1, PWC2) の指定により挿入されるウエイト・サイクル数です (n = 0。ただし, t_{DSTWTH}, t_{DRWTH}, t_{DWWTH}はn = 1)。

4 . 上表の計算式のある項目の値は, システム・クロック・サイクル・タイム (t_{CYK} = T) に依存しますので, 使用されるシステム・クロック・サイクル・タイムで計算をしてください。なお, 表中の値は T = 100 ns で計算したものです。

(2) シリアル・オペレーション (TA = -40 ~ +110, VDD = 4.5 ~ 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	MAX.	単位
シリアル・クロック・サイクル・タイム	tcysk	SCK1, SCK2出力	BRG	Tsft		ns
		SCK1, SCK2入力	外部クロック	800		ns
シリアル・クロック・ロウ・レベル幅	twskl	SCK1, SCK2出力	BRG	0.5Tsft - 40		ns
		SCK1, SCK2入力	外部クロック	360		ns
シリアル・クロック・ハイ・レベル幅	twskh	SCK1, SCK2出力	BRG	0.5Tsft - 40		ns
		SCK1, SCK2入力	外部クロック	360		ns
SI1, SI2セットアップ時間 (対SCK1, SCK2)	tsssk			80		ns
SI1, SI2ホールド時間 (対SCK1, SCK2)	thssk			80		ns
SCK1, SCK2 SO1, SO2出力 遅延時間	tDSBSK	R = 1 k, C = 100 pF		0	150	ns

備考1. Tsftは、ソフトウェアの設定による値。最小値は、tcyk × 8。

2. tcyk = 1/fclk (fclkは内部システム・クロック周波数)

(3) その他のオペレーション (TA = -40 ~ +110, VDD = 4.5 ~ 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	MAX.	単位
NMIハイ, ロウ・レベル幅	twnih, twnil			10		μs
INTP0-INTP6ハイ, ロウ・レベル幅	twith, twitl			4		tcysmp
RESETハイ, ロウ・レベル幅	twrsh, twrsl			10		μs

備考1. tcysmpは、ソフトウェアでノイズ・プロテクション・コントロール・レジスタ (NPC) に設定されるサンプリング・クロック。

Nln = 0 のとき : tcysmp = tcyk

Nln = 1 のとき : tcysmp = tcyk × 4

2. tcyk = 1/fclk (fclkは内部システム・クロック周波数)

3. Nln : NPCのビットn (n = 0-6)

A/Dコンバータ特性 ($T_A = -40 \sim +110$, $V_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V,
 $V_{DD} - 0.5$ V AV_{DD} V_{DD})

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
分解能			10			bit	
総合誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}			± 0.5	%FSR ^{注2}	
		3.4 V $AV_{REF} < 4.5$ V			± 0.7	%FSR ^{注2}	
量子化誤差					$\pm 1/2$	LSB	
変換時間	t_{CONV}		169			t_{CYK}	
サンプリング時間	t_{SAMP}		20			t_{CYK}	
ゼロスケール誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}		± 1.5	± 3.5	LSB	
		3.4 V $AV_{REF} < 4.5$ V		± 1.5	± 4.5	LSB	
フルスケール誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}		± 1.5	± 3.5	LSB	
		3.4 V $AV_{REF} < 4.5$ V		± 1.5	± 4.5	LSB	
積分直線性誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}		± 1.5	± 2.5	LSB	
		3.4 V $AV_{REF} < 4.5$ V		± 1.5	± 4.5	LSB	
アナログ入力電圧	V_{IAN}		- 0.3		$AV_{REF} + 0.3$	V	
A/Dコンバータ基準入力電圧	AV_{REF}		3.4		AV_{DD}	V	
AV_{REF} 電流	AI_{REF}			3.0	4.0	mA	
AV_{DD} 電源電流	AI_{DD}			2.0	6.0	mA	
A/Dコンバータ・データ保持電流	AI_{DDR}	STOP	$AV_{DDDR} = 2.5$ V		2	100	μ A
		モード	$AV_{DDDR} = 5$ V ± 10 %		10	1000	μ A

注1 . 量子化誤差を除きます。

2 . フルスケール値に対する比率 (%FSR) で表します。

備考 $t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数)

第23章 電気的特性 (μ PD784054(A2))

タイミング・チャートについては、第24章 タイミング・チャートを参照してください。

絶対最大定格 ($T_A = 25$)

項 目	略 号	条 件	定 格	単 位
電源電圧	V_{DD}		- 0.5 ~ + 7.0	V
	AV_{DD}		- 0.5 ~ $V_{DD} + 0.5$	V
	AV_{SS}		- 0.5 ~ + 0.5	V
入力電圧	V_i	注 1	- 0.5 ~ $V_{DD} + 0.5$ 7.0	V
出力電圧	V_o		- 0.5 ~ $V_{DD} + 0.5$	V
ロウ・レベル出力電流	I_{OL}	全出力端子	15	mA
		全出力端子合計	150	mA
ハイ・レベル出力電流	I_{OH}	全出力端子	- 10	mA
		全出力端子合計	- 100	mA
アナログ入力電圧	V_{IAN}	注 2 $AV_{DD} > V_{DD}$	- 0.5 ~ $V_{DD} + 0.5$	V
		$V_{DD} \leq AV_{DD}$	- 0.5 ~ $AV_{DD} + 0.5$	
A/Dコンバータ基準入力電圧	AV_{REF}	$AV_{DD} > V_{DD}$	- 0.5 ~ $V_{DD} + 0.5$	V
		$V_{DD} \leq AV_{DD}$	- 0.5 ~ $AV_{DD} + 0.5$	
動作周囲温度	T_A		- 40 ~ + 125	
保存温度	T_{stg}		- 65 ~ + 150	

注 1 . 注 2 に記載以外の端子。

2 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

推奨動作条件

発振周波数	T_A	V_{DD}
8 MHz f_{xx} 20 MHz	- 40 ~ + 125	4.5 ~ 5.5 V

容 量 ($T_A = 25$, $V_{SS} = V_{DD} = 0$ V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C_i	$f = 1$ MHz 被測定端子以外は 0 V			10	pF
出力容量	C_o				10	pF
入出力容量	C_{io}				10	pF

発振回路特性 ($T_A = -40 \sim +125$, $V_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = 0$ V)

発振子	推奨回路	項目	MIN.	MAX.	単位
セラミック発振子 または水晶振動子		発振周波数 (f_{xx})	8	20	MHz
外部クロック		X1入力周波数 (f_x)	8	20	MHz
		X1入力立ち上がり, 立ち下がり時間	0	5	ns
		X1入力ハイ, ロウ・レベル幅	20	105	ns

注 発振安定時間指定レジスタ (OSTS) のEXTCビット = 0 のとき。EXTCビット = 1 のときはX2端子にはX1端子の逆相のクロックを入力してください。

注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、上図の破線の部分を次のように配線してください。

- ・配線を極力短くする。
- ・ほかの信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- ・発振回路から信号を取り出さない。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 ($T_A = -40 \sim +125$, $V_{DD} = 4.5 \sim 5.5$ V , $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル入力電圧	V_{IL}		0		0.8	V
ハイ・レベル入力電圧	V_{IH1}	注1	2.2		V_{DD}	V
	V_{IH2}	注2	$0.8V_{DD}$		V_{DD}	
ロウ・レベル出力電圧	V_{OL}	$I_{OL} = 2.0$ mA			0.45	V
ハイ・レベル出力電圧	V_{OH}	$I_{OH} = -400$ μ A	$V_{DD} - 1.0$			V
入力リーク電流	I_{LI}	注3	0 V V_i V_{DD}		± 10	μ A
アナログ端子入力リーク電流	I_{LIAN}	注4	0 V V_i AV_{DD}		± 2	μ A
出力リーク電流	I_{LO}	0 V V_o V_{DD}			± 10	μ A
V_{DD} 電源電流	I_{DD1}	動作モード ($f_{XX} = 20$ MHz)		30	60	mA
	I_{DD2}	HALTモード ($f_{XX} = 20$ MHz)		15	30	mA
	I_{DD3}	IDLEモード ($f_{XX} = 20$ MHz)		10	20	mA
データ保持電圧	V_{DDDR}	STOPモード	2.5			V
データ保持電流	I_{DDDR}	STOPモード	$V_{DDDR} = 2.5$ V	2	100	μ A
			$V_{DDDR} = 5$ V ± 10 %	15	1000	μ A
プルアップ抵抗	R_L		15	40	80	k

注1 . 注2 に記載以外の端子。

- 2 . P20/NMI, P21/INTP0/TO00, P22/INTP1/TO01, P23/INTP2/TO02, P24/INTP3/TO03, P25/INTP4, P26/INTP5, P27/INTP6, P34/ASCK/SCK1, P37/ASCK2/SCK2, X1, X2, RESET
- 3 . 入力および入出力端子 (ただし, X1, X2, アナログ入力として使用しているP70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15を除く)。
- 4 . P70/ANI0-P77/ANI7, P80/ANI8-P87/ANI15端子 (アナログ入力として使用している端子で, 非サンプリング動作時のみ)。

AC特性 (TA = - 40 ~ + 125 , VDD = 4.5 ~ 5.5 V, VSS = 0 V)

(1) リード/ライト・オペレーション

項目	略号	計算式	MIN.	MAX.	単位
システム・クロック・サイクル・タイム	t _{cyk}		100	250	ns
アドレス・セットアップ時間 (対ASTB)	t _{sAST}	(0.5 + a) T - 20	30		ns
アドレス・ホールド時間 (対ASTB)	t _{hSTA}	0.5T - 20	30		ns
ASTBハイ・レベル幅	t _{wSTH}	(0.5 + a) T - 17	33		ns
アドレス \overline{RD} 遅延時間	t _{dAR}	(1 + a) T - 15	85		ns
\overline{RD} アドレス・フロート時間	t _{fRA}			0	ns
アドレス データ入力時間	t _{dAID}	(2.5 + a + n) T - 56		194	ns
\overline{RD} データ入力時間	t _{dRID}	(1.5 + n) T - 53		97	ns
ASTB \overline{RD} 遅延時間	t _{dSTR}	0.5T - 16	34		ns
データ・ホールド時間 (対 \overline{RD})	t _{hRID}		0		ns
\overline{RD} アドレス・アクティブ時間	t _{dRA}	0.5T - 14	36		ns
\overline{RD} ロウ・レベル幅	t _{wRL}	(1.5 + n) T - 30	120		ns
アドレス \overline{LWR} , \overline{HWR} 遅延時間	t _{dAW}	(1 + a) T - 15	85		ns
\overline{LWR} , \overline{HWR} データ出力時間	t _{dWOD}			15	ns
ASTB \overline{LWR} , \overline{HWR} 遅延時間	t _{dSTW}	0.5T - 16	34		ns
データ・セットアップ時間 (対 \overline{LWR} , \overline{HWR})	t _{sODW}	(1.5 + n) T - 25	125		ns
データ・ホールド時間 (対 \overline{LWR} , \overline{HWR})	t _{hWOD}	0.5T - 14	36		ns
\overline{LWR} , \overline{HWR} ASTB 遅延時間	t _{dWST}	1.5T - 15	135		ns
\overline{LWR} , \overline{HWR} ロウ・レベル幅	t _{wWL}	(1.5 + n) T - 36	114		ns
アドレス \overline{WAIT} 入力時間	t _{dAWT}	(2 + a) T - 50		150	ns
ASTB \overline{WAIT} 入力時間	t _{dSTWT}	1.5T - 40		110	ns
ASTB \overline{WAIT} ホールド時間	t _{hSTWT}	(1.5 + n) T + 5	155		ns
ASTB \overline{WAIT} 遅延時間	t _{dSTWTH}	(1.5 + n) T - 40		210 ^注	ns
\overline{RD} \overline{WAIT} 入力時間	t _{dRWT}	T - 40		60	ns
\overline{RD} \overline{WAIT} ホールド時間	t _{hRWT}	(1 + n) T + 5	105		ns
\overline{RD} \overline{WAIT} 遅延時間	t _{dRWTH}	(1 + n) T - 40		160 ^注	ns
\overline{LWR} , \overline{HWR} \overline{WAIT} 入力時間	t _{dWWT}	T - 40		60	ns
\overline{LWR} , \overline{HWR} \overline{WAIT} ホールド時間	t _{hWWT}	(1 + n) T + 5	105		ns
\overline{LWR} , \overline{HWR} \overline{WAIT} 遅延時間	t _{dWWTTH}	(1 + n) T - 40		160 ^注	ns

注 外部ウエイトを入れる場合のスペックです。

備考1 . T = t_{cyk} = 1/f_{clk} (f_{clk}は内部システム・クロック周波数)

- 2 . a は, アドレス・ウエイト挿入時に1になり, その他のときは0になります。
- 3 . n は, 外部ウエイト端子 (\overline{WAIT}) またはプログラマブル・ウエイト制御レジスタ 1 , 2 (PWC1, PWC2) の指定により挿入されるウエイト・サイクル数です (n = 0。ただし, t_{dSTWTH}, t_{dRWT}, t_{dWWTTH}はn = 1)。
- 4 . 上表の計算式のある項目の値は, システム・クロック・サイクル・タイム (t_{cyk} = T) に依存しますので, 使用されるシステム・クロック・サイクル・タイムで計算をしてください。なお, 表中の値はT = 100 nsで計算したものです。

(2) シリアル・オペレーション (TA = -40 ~ +125 , VDD = 4.5 ~ 5.5 V , VSS = 0 V)

項目	略号	条件		MIN.	MAX.	単位
シリアル・クロック・サイクル・タイム	tcysk	SCK1, SCK2出力	BRG	Tsft		ns
		SCK1, SCK2入力	外部クロック	800		ns
シリアル・クロック・ロウ・レベル幅	twskl	SCK1, SCK2出力	BRG	0.5Tsft - 40		ns
		SCK1, SCK2入力	外部クロック	360		ns
シリアル・クロック・ハイ・レベル幅	twskh	SCK1, SCK2出力	BRG	0.5Tsft - 40		ns
		SCK1, SCK2入力	外部クロック	360		ns
SI1, SI2セットアップ時間 (対SCK1, SCK2)	tsssk			80		ns
SI1, SI2ホールド時間 (対SCK1, SCK2)	thssk			80		ns
SCK1, SCK2 SO1, SO2出力 遅延時間	tdssk	R = 1 k , C = 100 pF		0	150	ns

備考1 . Tsftは、ソフトウェアの設定による値。最小値は、tcyk × 8。

2 . tcyk = 1/fclk (fclkは内部システム・クロック周波数)

(3) その他のオペレーション (TA = -40 ~ +125 , VDD = 4.5 ~ 5.5 V , VSS = 0 V)

項目	略号	条件		MIN.	MAX.	単位
NMIハイ, ロウ・レベル幅	twnih, twnil			10		μs
INTP0-INTP6ハイ, ロウ・レベル幅	twith, twitl			4		tcysmp
RESETハイ, ロウ・レベル幅	twrsh, twrsl			10		μs

備考1 . tcysmpは、ソフトウェアでノイズ・プロテクション・コントロール・レジスタ (NPC) に設定されるサンプリング・クロック。

Nln = 0 のとき : tcysmp = tcyk

Nln = 1 のとき : tcysmp = tcyk × 4

2 . tcyk = 1/fclk (fclkは内部システム・クロック周波数)

3 . Nln : NPCのビットn (n = 0-6)

A/Dコンバータ特性 ($T_A = -40 \sim +125$, $V_{DD} = 4.5 \sim 5.5$ V, $V_{SS} = AV_{SS} = 0$ V,
 $V_{DD} - 0.5$ V AV_{DD} V_{DD})

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位	
分解能			10			bit	
総合誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}			± 0.5	%FSR ^{注2}	
		3.4 V $AV_{REF} < 4.5$ V			± 0.7	%FSR ^{注2}	
量子化誤差					$\pm 1/2$	LSB	
変換時間	t_{CONV}		169			t_{CYK}	
サンプリング時間	t_{SAMP}		20			t_{CYK}	
ゼロスケール誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}		± 1.5	± 3.5	LSB	
		3.4 V $AV_{REF} < 4.5$ V		± 1.5	± 4.5	LSB	
フルスケール誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}		± 1.5	± 3.5	LSB	
		3.4 V $AV_{REF} < 4.5$ V		± 1.5	± 4.5	LSB	
積分直線性誤差 ^{注1}		4.5 V AV_{REF} AV_{DD}		± 1.5	± 2.5	LSB	
		3.4 V $AV_{REF} < 4.5$ V		± 1.5	± 4.5	LSB	
アナログ入力電圧	V_{IAN}		- 0.3		$AV_{REF} + 0.3$	V	
A/Dコンバータ基準入力電圧	AV_{REF}		3.4		AV_{DD}	V	
AV_{REF} 電流	AI_{REF}			3.0	4.0	mA	
AV_{DD} 電源電流	AI_{DD}			2.0	6.0	mA	
A/Dコンバータ・データ保持電流	AI_{DDR}	STOP	$AV_{DDDR} = 2.5$ V		2	100	μ A
		モード	$AV_{DDDR} = 5$ V ± 10 %		10	1000	μ A

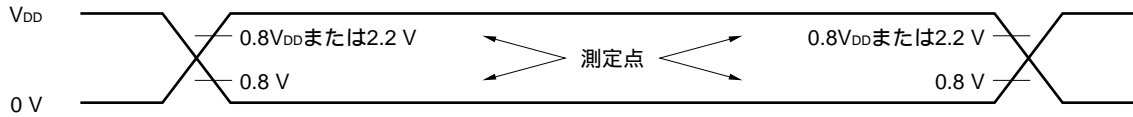
注1 . 量子化誤差を除きます。

2 . フルスケール値に対する比率 (%FSR) で表します。

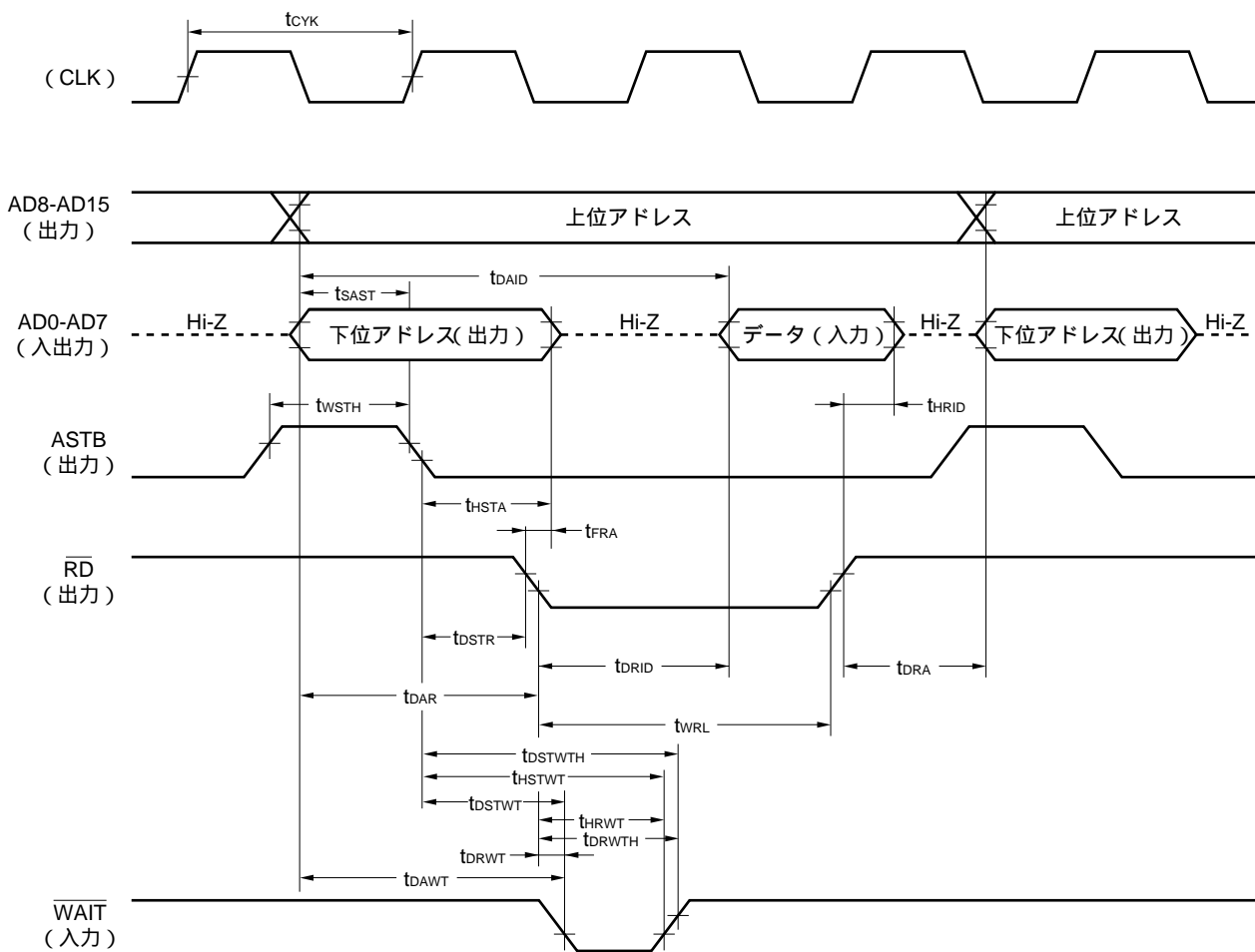
備考 $t_{CYK} = 1/f_{CLK}$ (f_{CLK} は内部システム・クロック周波数)

第24章 タイミング・チャート

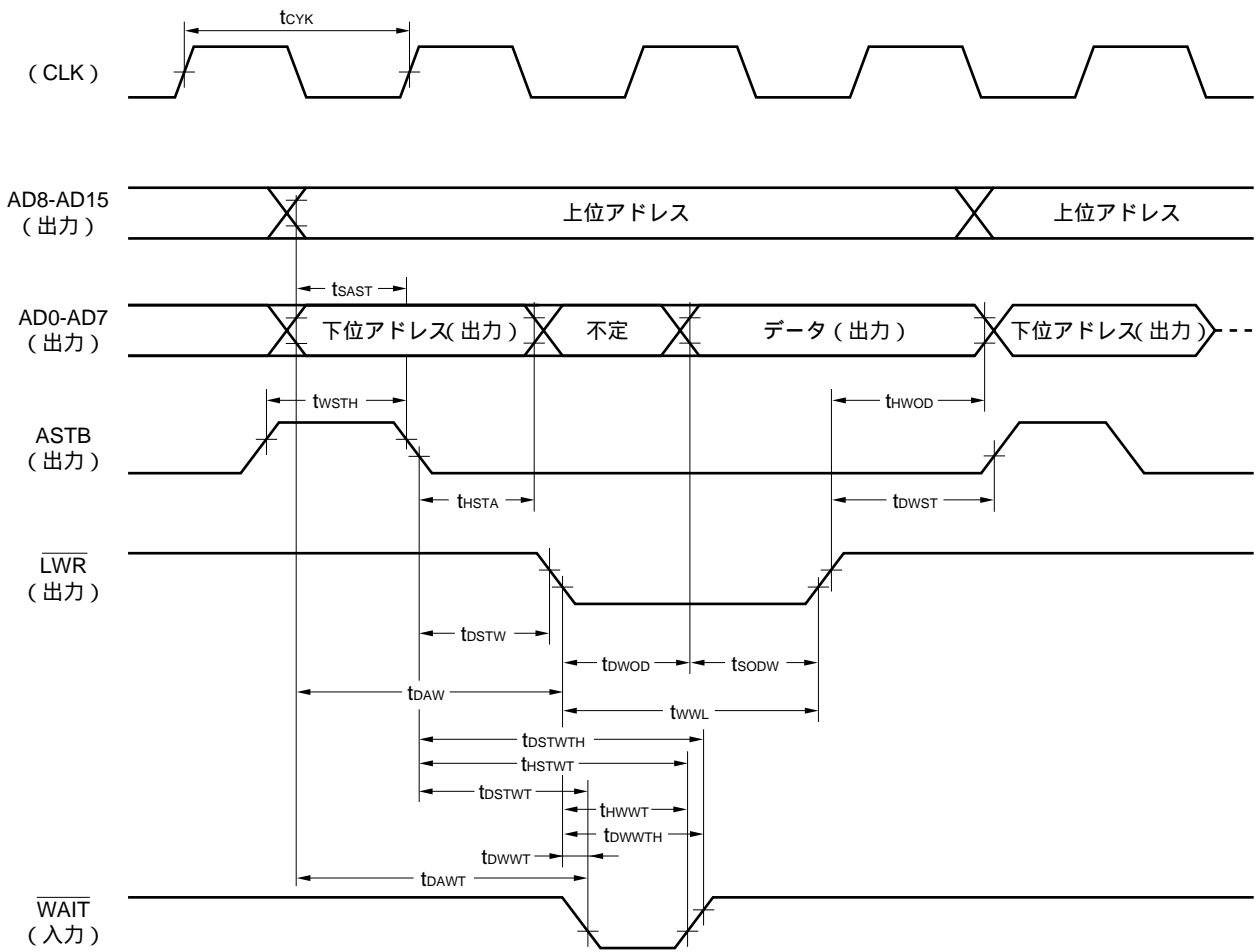
ACタイミング測定点



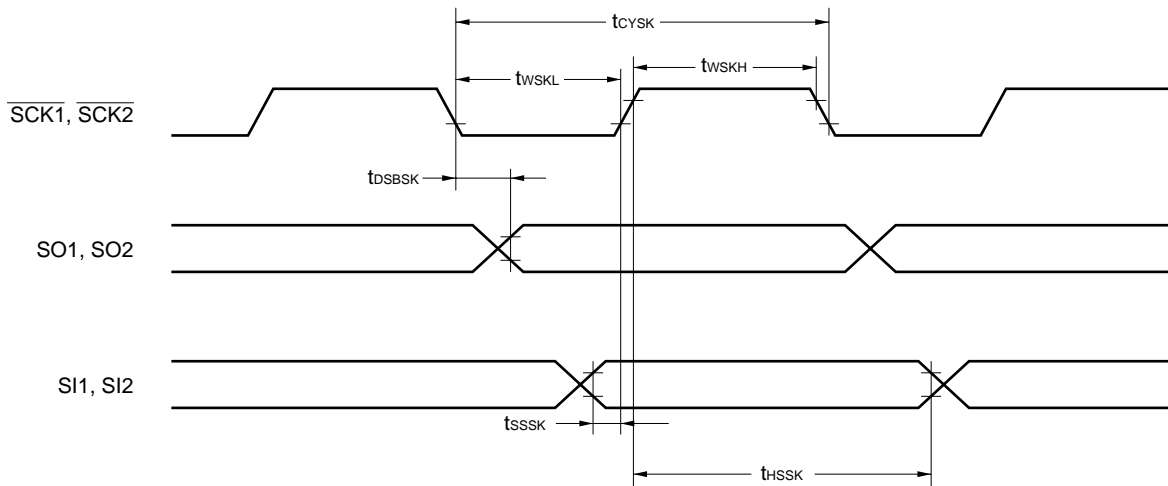
リード・オペレーション (8ビット)



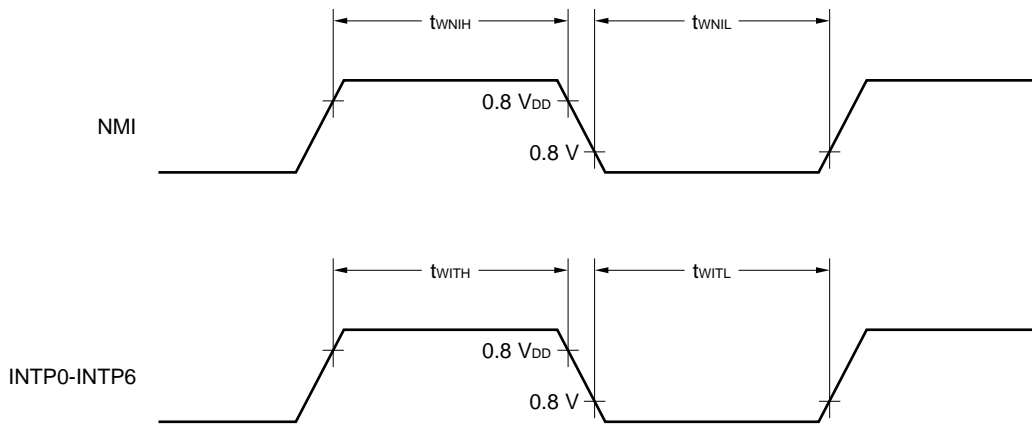
ライト・オペレーション (8ビット)



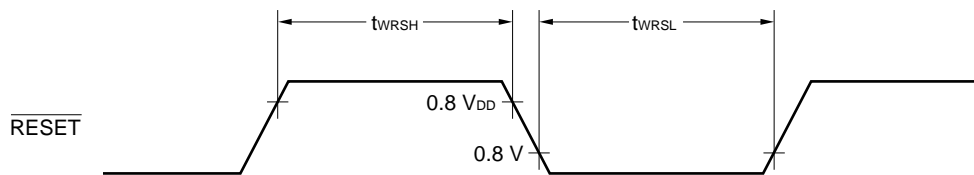
シリアル・オペレーション



割り込み入力タイミング

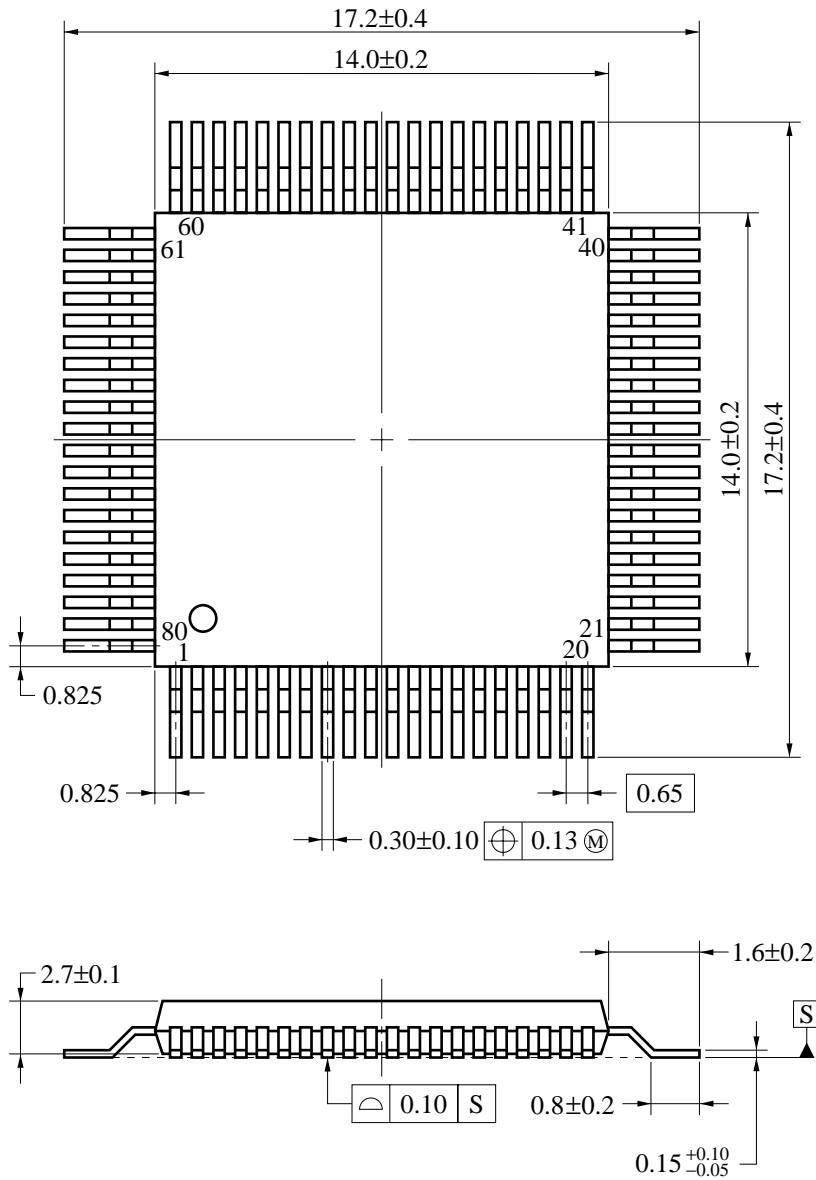


リセット入力タイミング

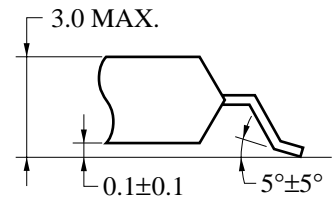


第25章 外形図

80ピン・プラスチック QFP (14x14) 外形図 (単位: mm)



端子先端形状詳細図



S80GC-65-3B9-6

第26章 半田付け推奨条件

μPD784054の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表26 - 1 表面実装タイプの半田付け条件

(1) μPD784054GC-x x x-3B9 : 80ピン・プラスチックQFP (14x14)

μPD784054GC(A)-x x x-3B9 : "

μPD784054GC(A1)-x x x-3B9 : "

μPD784054GC(A2)-x x x-3B9 : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：3回以内	IR35-00-3
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：3回以内	VP15-00-3
ウェーブ・ソルダーリング	半田槽温度：260 以下，時間：10秒以内，回数：1回， 予備加熱温度：120 MAX.（パッケージ表面温度）	WS60-00-1
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

★ (2) μPD784054GC-x x x-3B9-A : 80ピン・プラスチックQFP (14x14)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：7日間 ^注 （以降は125 プリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装でのベーキングができません。	IR60-207-3
ウェーブ・ソルダーリング	詳細については，当社販売員にご相談ください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

第27章 開発ツール使用上の注意事項

インサーキット・エミュレータIE-784000-Rを使用してプログラム開発する場合は、次のことに注意してください。

(1) スタンバイ・コントロール・レジスタ (STBC) の設定について

リセット解除後のプログラムにおいて、LOCATION命令とスタック・ポインタ (SP) の初期化に続いて、スタンバイ・コントロール・レジスタ (STBC) に00Hを設定する命令を入れてください。

プログラム例

```
RSTVCT  CSEG  AT 0
        DW    RSTSTRT
        }
INITSEG  CSEG  BASE
RSTSTRT : LOCATION 0H ; or LOCATION 0FH
        MOVG SP, #STKBGN
        MOV  STBC, #0H
```

理由： μ PD784054の内部システム・クロックは、 $f_{xx}/2$ 固定になっています。しかし、インサーキット・エミュレータIE-784000-Rは、リセット解除後に、内部システム・クロックが $f_{xx}/16$ になってしまいます。そのため、上記のようにSTBCの設定を変更する必要があります。

STBCに00Hを設定する命令を実行しても、実チップのSTBCは30Hに固定になっているので、動作には影響しません。同様の理由から、実チップでSTBCを読み出すと、値は常に30Hになります。しかし、インサーキット・エミュレータでは、上記のSTBC設定変更によって、値は00Hに変わっています。したがって、STBCの読み出し値は、インサーキット・エミュレータと実チップとで異なりますので注意してください。

(2) CLKOUT端子の出力について

実チップのCLKOUT端子からは発振周波数 (f_{xx}) が常に出力されますが、インサーキット・エミュレータIE-784000-Rの場合は、内部システム・クロック ($f_{xx}/2$ または $f_{xx}/16$ ^注) が出力されます。インサーキット・エミュレータでは、 f_{xx} は出力されませんので注意してください。

注 インサーキット・エミュレータのCLKOUT端子出力は、リセット解除後は $f_{xx}/16$ になり、スタンバイ・コントロール・レジスタ (STBC) に00Hを設定すると $f_{xx}/2$ になります。

付録A 開発ツール

μPD784054を使用するシステム開発のために次のような開発ツールを用意しています。

図A - 1 に開発ツール構成を示します。

★ PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

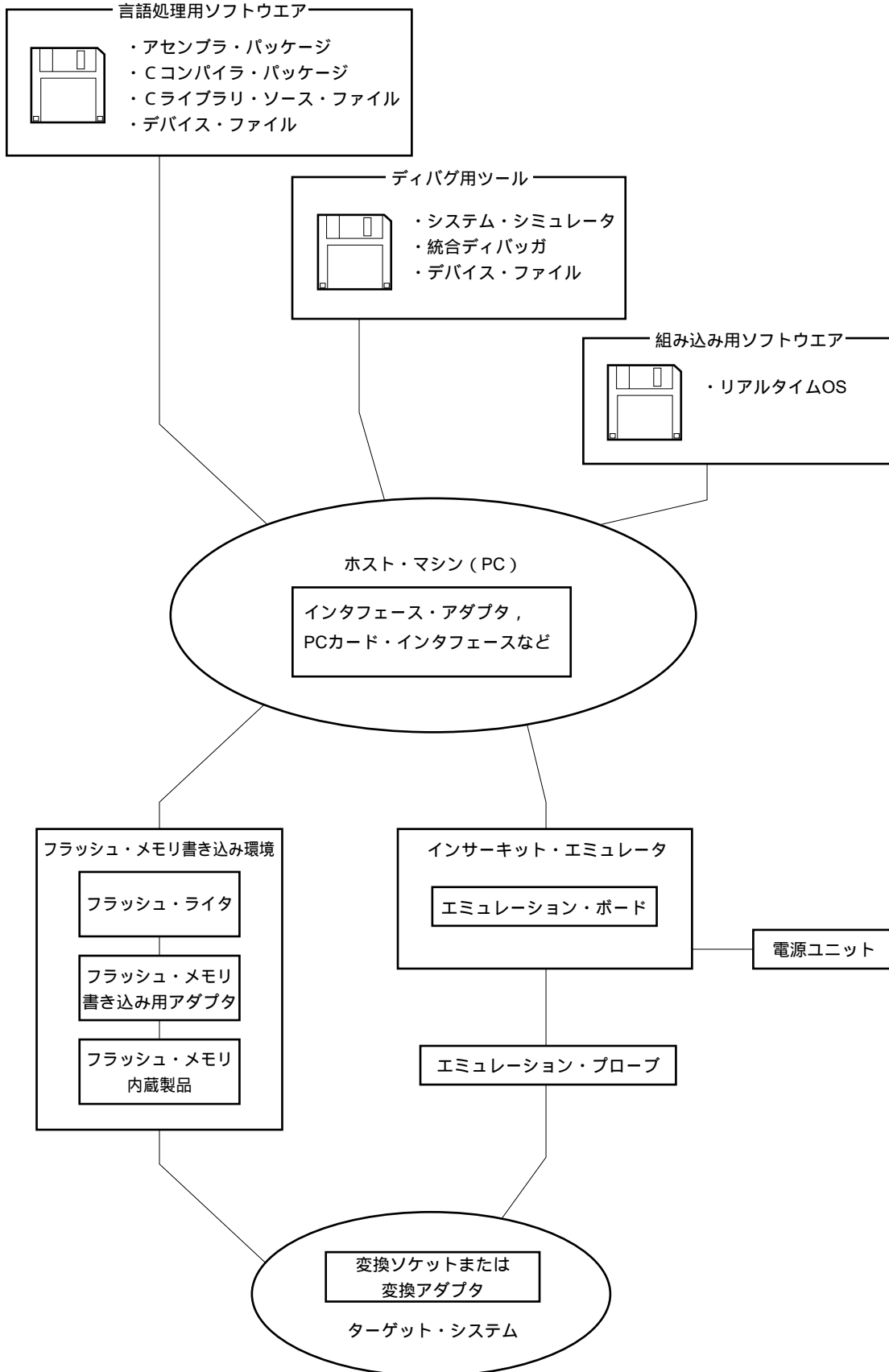
★ Windowsについて

特に断りのないかぎり、「Windows」は、次のOSを示しています。

- Windows3.1
- Windows95, 98, 2000
- WindowsNT™ Ver.4.0

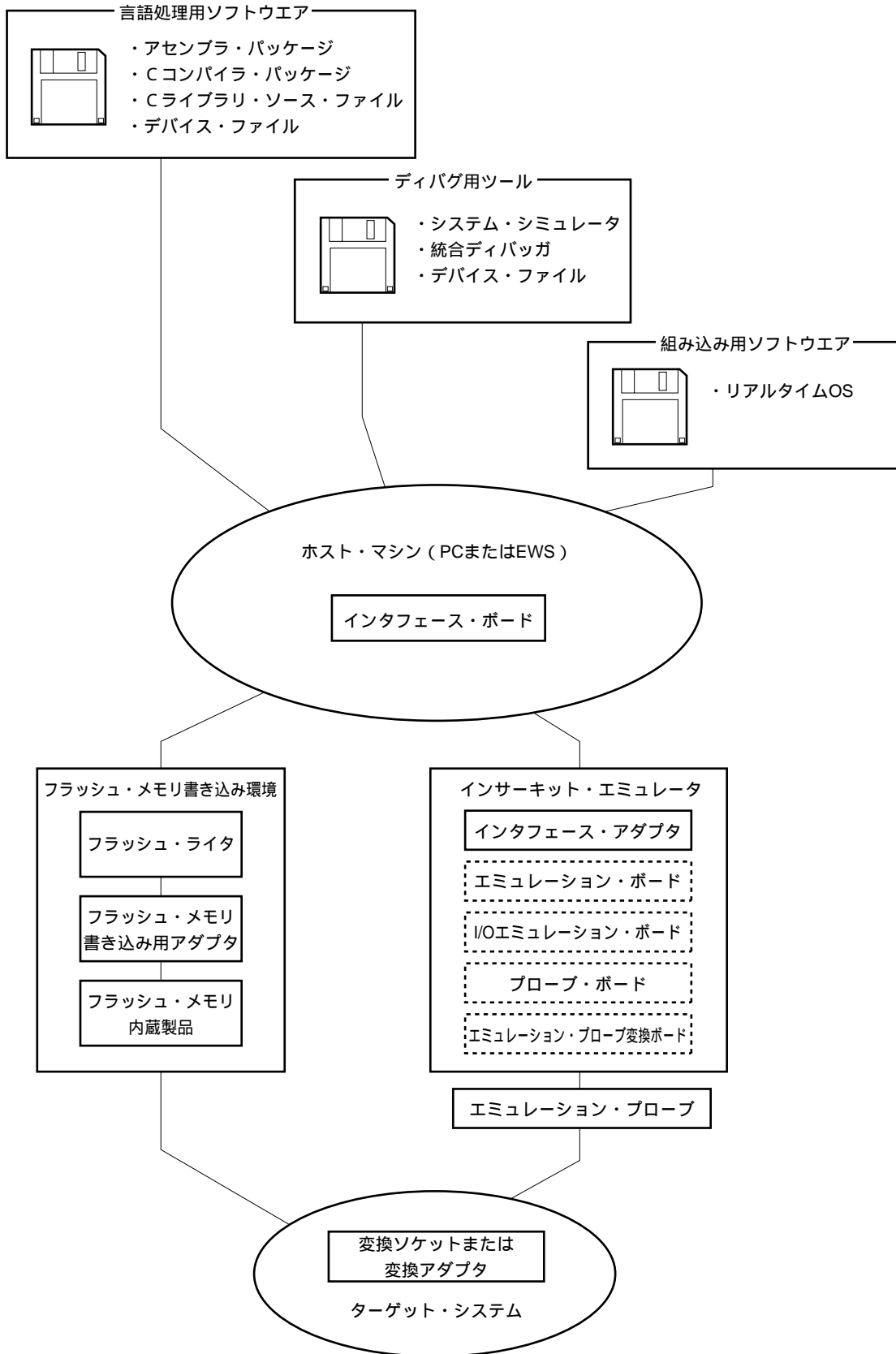
図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ IE-78K4-NSを使用する場合



図A - 1 開発ツール構成 (2/2)

(2) インサーキット・エミュレータ IE-784000-Rを使用する場合



備考 破線の部分は開発環境によって異なります。A.3.1 ハードウェアを参照してください。

A.1 言語処理用ソフトウェア

★ SP78K4 78K/IVシリーズ・ソフトウェア・ パッケージ	78K/IVシリーズ共通の開発ツール（ソフトウェア・パッケージ）を1つのパッケージにした製品です。 オーダー名称：μSx x x x SP78K4
RA78K4 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル（DF784046）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダー名称：μSx x x x RA78K4
CC78K4 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイル（DF784046）と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダー名称：μSx x x x CC78K4
DF784046 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。μPD784046サブシリーズと共通です。 別売の各ツール（RA78K4, CC78K4, SM78K4, ID78K4-NS, ID78K4）と組み合わせて使用します。 対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。 オーダー名称：μSx x x x DF784046
CC78K4-L Cライブラリ・ソース・ ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダー名称：μSx x x x CC78K4-L

注 DF784046は、RA78K4, CC78K4, SM78K4, ID78K4-NS, ID78K4 のすべての製品に共通に使用できます。

★ 備考 オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××SP78K4

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

μS××××RA78K4

μS××××CC78K4

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™ (Rel.10.10)	
3K17	SPARCstation™	SunOS™ (Rel. 4 . 1 . 4) ， Solaris™ (Rel. 2 . 5 . 1)	

μS××××DF784046

μS××××CC78K4-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ，	日本語Windows	3.5インチ2HD FD
BB13	IBM PC/AT互換機	英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel. 4 . 1 . 4) ，	3.5インチ2HD FD
3K15		Solaris (Rel. 2 . 5 . 1)	1/4インチCGMT

★ A.2 フラッシュ・メモリ書き込み用ツール

Flashpro (型番 FL-PR2) Flashpro (型番 FL-PR3, PG-FP3) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-80GC フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro /Flashpro に接続して使用します。 ・FA-80GC : 80ピン・プラスチックQFP (GC-3B9タイプ)用

備考 Flashpro , Flashpro , FA-80GCは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.3 デバッグ用ツール

A.3.1 ハードウェア (1/2)

(1) インサーキット・エミュレータ IE-78K4-NSを使用する場合

IE-78K4-NS インサーキット・エミュレータ	78K/ シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合ディバッガ (ID78K4-NS) に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-MC-PS-B 電源ユニット	AC100 ~ 240 Vのコンセントから電源を供給するためのアダプタです。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-CD-IF PCカード・インタフェース	IE-78K4-NSのホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)。
★ IE-70000-PCI-IF-A インタフェース・アダプタ	IE-78K4-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-784046-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。 μ PD784046サブシリーズと共通です。インサーキット・エミュレータと組み合わせて使用します。
★ NP-80GC-TQ NP-H80GC-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 80ピン・プラスチックQFP (GC-3B9タイプ) 用です。
TGC-080SBP 変換ソケット (図A - 3参照)	80ピン・プラスチックQFP (GC-3B9タイプ) を実装できるように作られたターゲット・システムの基板と、NP-80GC-TQ, NP-H80GC-TQを接続するための変換ソケットです。

備考1 . NP-80GC-TQ, NP-H80GC-TQは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

2 . TGC-080SBPは、東京エレテック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

3 . TGC-080SBPは、1個単位で販売しています。

A.3.1 ハードウェア (2/2)

★ (2) インサーキット・エミュレータ IE-784000-Rを使用する場合

IE-784000-R インサーキット・エミュレータ	IE-784000-Rは、78K/ シリーズに共通に使用できるインサーキット・エミュレータです。別売のIE-784000-R-EM, IE-784046-R-EM1と組み合わせて使用します。ホスト・マシンを接続してデバッグを行います。別売の統合デバッグ (ID78K4) とデバイス・ファイルが必要で、これらと組み合わせて、C言語や構造化アセンブリ言語のソース・プログラム・レベルでのデバッグが可能です。C0カバレッジ機能などにより効率の良いデバッグやプログラムの検査が行えます。ホスト・マシンとの接続は、イーサネット™または専用バスで行い、別売のインタフェース・アダプタが必要になります。
IE-70000-98-IF-C インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-78000-R-SV3 インタフェース・アダプタ	IE-784000-Rのホスト・マシンとしてEWSを使用するときに必要なアダプタとケーブルです。IE-784000-R内のボードに接続して使用します。 なお、イーサネットとしては10Base-5をサポートしており、他の方式の場合には市販の変換アダプタが必要になります。
IE-784000-R-EM	78K/ シリーズに共通に使用するエミュレーション・ボードです。
IE-784046-R-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。
IE-78K4-R-EX2 エミュレーション・プローブ変換ボード	IE-784046-R-EM1をIE-784000-R上で使用するときに必要な80ピン用の変換ボードです。
EP-78230GC-R エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックQFP (GC-3B9タイプ) 用です。
EV-9200GC-80 変換ソケット (図A-4, 図A-5参照)	80ピン・プラスチックQFP (GC-3B9タイプ) を実装できるように作られたターゲット・システムの基板と、EP-78230GC-Rを接続するための変換ソケットです。

備考 EV-9200GC-80は、5個を1組として、1組単位で販売しています。

A.3.2 ソフトウェア

SM78K4 システム・シミュレータ	ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K4はWindows上で動作します。 SM78K4を使用することにより、インサーキット・エミュレータを使用しなくても、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。開発効率やソフトウェアの品質の向上が図れます。 別売のデバイス・ファイル（DF784046）と組み合わせて使用します。 オーダ名称：μS××××SM78K4
ID78K4-NS 統合デバッガ （インサーキット・エミュレータIE-78K4-NS対応）	78K/ シリーズをデバッグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとしてWindowsを採用し、それらに準拠した外観と操作性を提供しています。また、C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることも可能です。その他、タスク・デバッガやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより、リアルタイムOSを使用したプログラムのデバッグ効率を向上させることができます。 別売のデバイス・ファイル（DF784046）と組み合わせて使用します。 オーダ名称：μS××××ID78K4-NS、μS××××ID78K4
ID78K4 統合デバッガ （インサーキット・エミュレータIE-784000-R対応）	78K/ シリーズをデバッグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとしてWindowsを採用し、それらに準拠した外観と操作性を提供しています。また、C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることも可能です。その他、タスク・デバッガやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより、リアルタイムOSを使用したプログラムのデバッグ効率を向上させることができます。 別売のデバイス・ファイル（DF784046）と組み合わせて使用します。 オーダ名称：μS××××ID78K4-NS、μS××××ID78K4

★ 備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

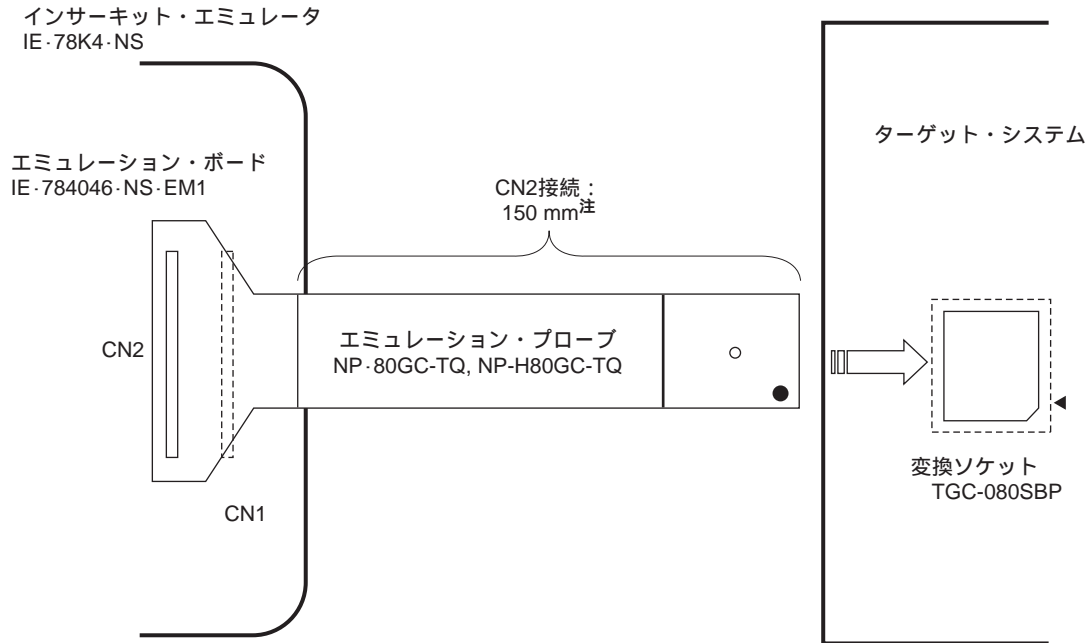
μS××××SM78K4
 μS××××ID78K4-NS
 μS××××ID78K4

××××	ホスト・マシン	OS	供給媒体
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

★ A.4 ターゲット・システム設計上の注意

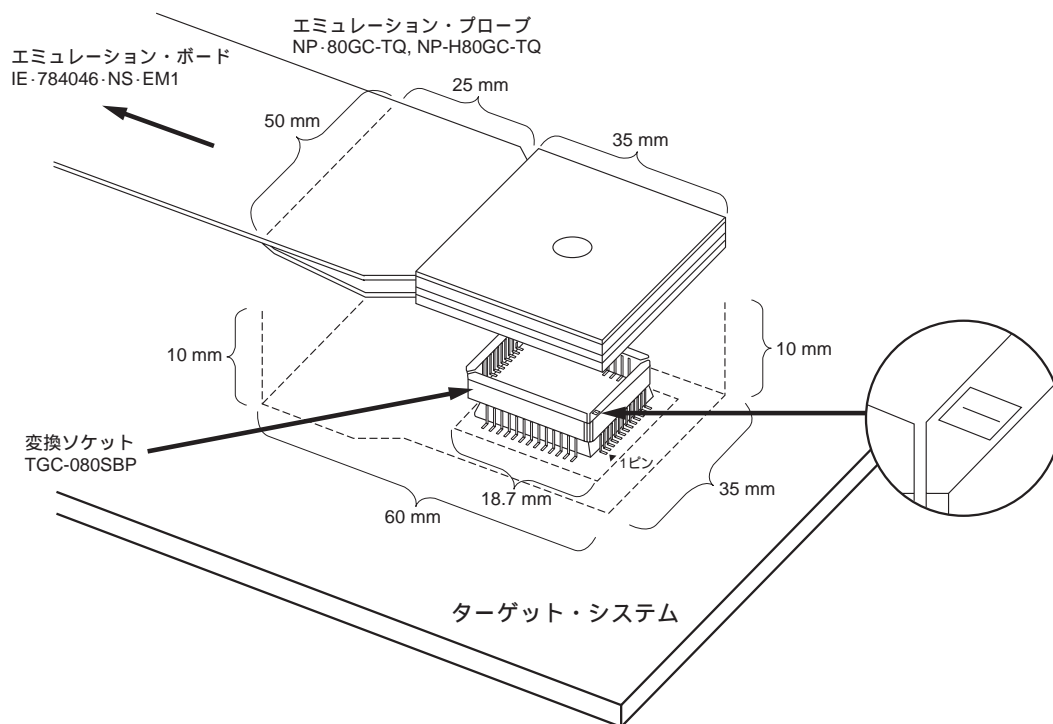
エミュレーション・プローブと変換ソケットの接続条件図を次に示します。この構成によってターゲット・システム上に実装する部品の形状などを考慮してシステム設計をしてください。

図A - 2 インサーキット・エミュレータ～変換ソケットまでの距離



注 NP-H80GC-TQの場合は350 mmになります。

図A - 3 ターゲット・システムの接続条件

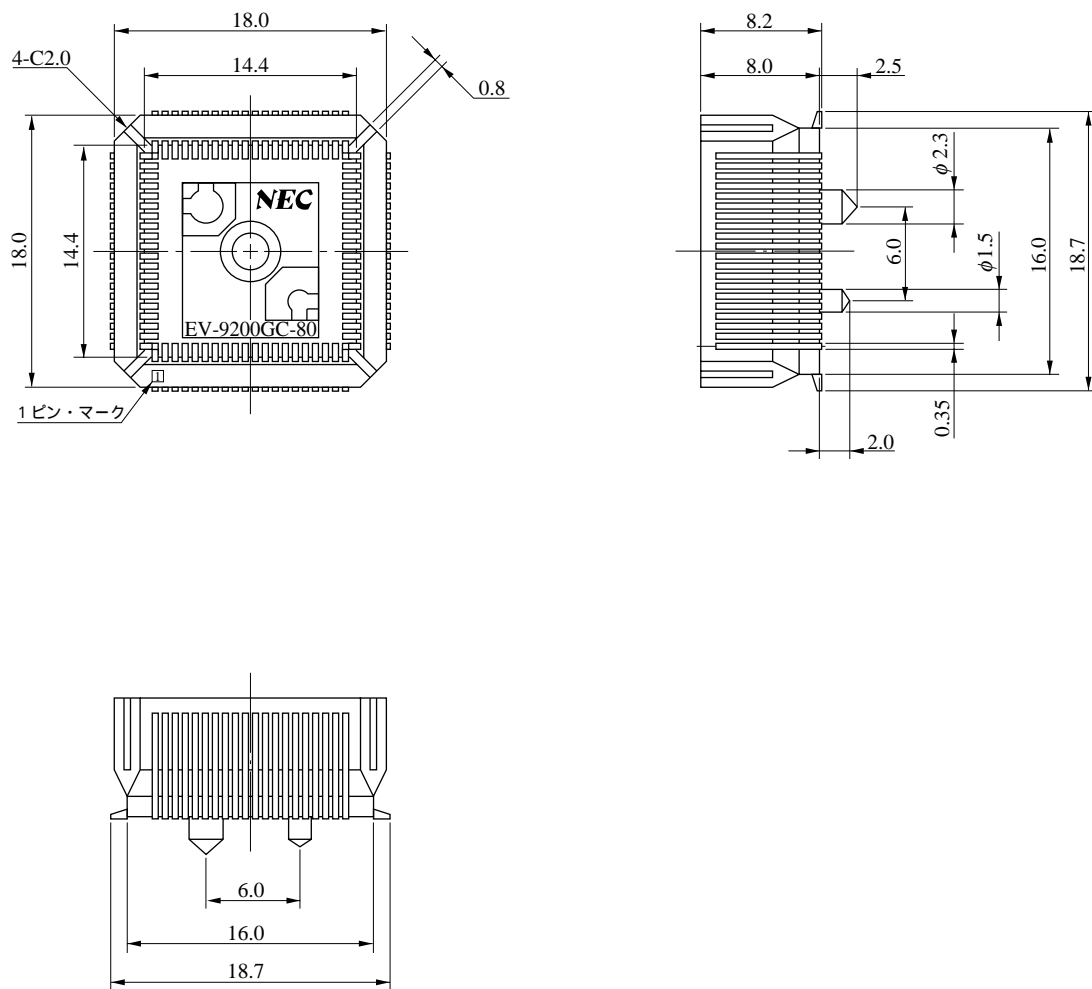


備考 1 . NP-80GC-TQ, NP-H80GC-TQは、株式会社内藤電誠町田製作所の製品です。

2 . TGC-080SBPは、東京エレクトック株式会社の製品です。

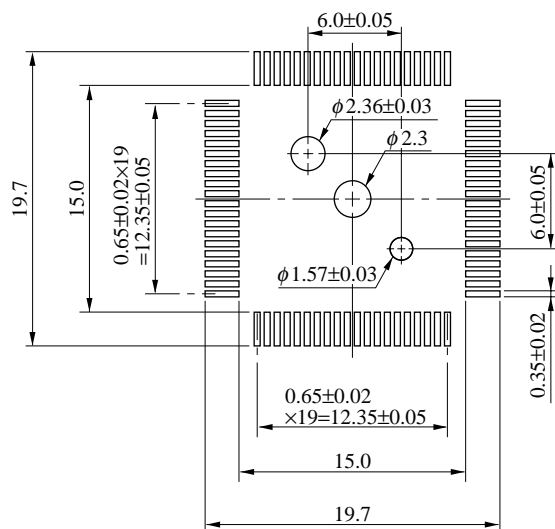
A.5 変換ソケット(EV-9200GC-80)の外形図と基板取り付け推奨パターン

図A-4 EV-9200GC-80 外形図(参考)(単位:mm)



EV-9200GC-80-G0

図A - 5 EV-9200GC-80 基板取り付け推奨パターン（参考）（単位：mm）



EV-9200GC-80-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法（QFP用）は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル」のホームページをご参照ください（<http://www.necel.com/pkg/ja/jissou/index.html>）。

付録B 組み込み用ソフトウェア

μPD784054のプログラム開発やメンテナンスをより効率的に行うために、次の組み込み用ソフトウェアを用意しています。

RX78K4 リアルタイムOS	<p>μITRON仕様に準拠したリアルタイムOSです。</p> <p>RX78K4のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。</p> <p>別売のアセンブラ・パッケージ（RA78K4）およびデバイス・ファイル（DF784046）と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。</p> <p>オーダ名称：μS×××RX78K4</p>
--------------------	---

注意 RX78K4を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の×××および は、使用するホスト・マシン、OSなどにより異なります。

μS×××RX78K4-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows ^注	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows ^注	3.5インチ2HC FD
BB13		英語Windows ^注	
3P16	HP9000シリーズ700	HP-UJ (Rel. 9.05)	DAT (DDS)
3K13	SPARCstation	SunOS (Rel. 4.1.4) ,	3.5インチ2HC FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

注 DOS環境でも動作します。

付録C レジスタ索引

C.1 レジスタ索引（50音順）

【あ行】

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) ...	271
アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2 (ASIS2) ...	271
アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) ...	269
アシンクロナス・シリアル・インタフェース・モード・レジスタ2 (ASIM2) ...	269
インサービス・プライオリティ・レジスタ (ISPR) ...	327
ウォッチドッグ・タイマ・モード・レジスタ (WDM) ...	235, 329
A/Dコンバータ・モード・レジスタ (ADM) ...	244
A/D変換結果レジスタ0 (ADCR0) ...	247
A/D変換結果レジスタ0H (ADCR0H) ...	248
A/D変換結果レジスタ1 (ADCR1) ...	247
A/D変換結果レジスタ1H (ADCR1H) ...	248
A/D変換結果レジスタ2 (ADCR2) ...	247
A/D変換結果レジスタ2H (ADCR2H) ...	248
A/D変換結果レジスタ3 (ADCR3) ...	247
A/D変換結果レジスタ3H (ADCR3H) ...	248
A/D変換結果レジスタ4 (ADCR4) ...	247
A/D変換結果レジスタ4H (ADCR4H) ...	248
A/D変換結果レジスタ5 (ADCR5) ...	247
A/D変換結果レジスタ5H (ADCR5H) ...	248
A/D変換結果レジスタ6 (ADCR6) ...	247
A/D変換結果レジスタ6H (ADCR6H) ...	248
A/D変換結果レジスタ7 (ADCR7) ...	247
A/D変換結果レジスタ7H (ADCR7H) ...	248

【か行】

外部割り込みモード・レジスタ0 (INTM0) ...	304
外部割り込みモード・レジスタ1 (INTM1) ...	304
キャプチャ/コンペア・レジスタ00 (CC00) ...	165
キャプチャ/コンペア・レジスタ01 (CC01) ...	165
キャプチャ/コンペア・レジスタ02 (CC02) ...	165

キャプチャ/コンペア・レジスタ03 (CC03) ... 165
クロック同期式シリアル・インタフェース・モード・レジスタ 1 (CSIM1) ... 283
クロック同期式シリアル・インタフェース・モード・レジスタ 2 (CSIM2) ... 283
コンペア・レジスタ10 (CM10) ... 193
コンペア・レジスタ11 (CM11) ... 193
コンペア・レジスタ40 (CM40) ... 217
コンペア・レジスタ41 (CM41) ... 217

[さ行]

シリアル・シフト・レジスタ : IOE1 (SIO1) ... 282
シリアル・シフト・レジスタ : IOE2 (SIO2) ... 282
シリアル受信バッファ : UART0 (RXB) ... 268
シリアル受信バッファ : UART2 (RXB2) ... 268
シリアル送信シフト・レジスタ : UART0 (TXS) ... 268
シリアル送信シフト・レジスタ : UART2 (TXS2) ... 268
スタンバイ・コントロール・レジスタ (STBC) ... 90, 408

[た行]

タイマ出力コントロール・レジスタ 0 (TOC0) ... 168
タイマ出力コントロール・レジスタ 1 (TOC1) ... 195
タイマ・モード・コントロール・レジスタ (TMC) ... 168, 195
タイマ・モード・コントロール・レジスタ 4 (TMC4) ... 218
タイマ・ユニット・モード・レジスタ 0 (TUM0) ... 167, 194
タイマ・レジスタ 0 (TM0) ... 165
タイマ・レジスタ 1 (TM1) ... 193
タイマ・レジスタ 4 (TM4) ... 217

[な行]

内部メモリ・サイズ切り替えレジスタ (IMS) ... 430
ノイズ・プロテクション・コントロール・レジスタ (NPC) ... 309

[は行]

バス幅指定レジスタ (BW) ... 402
発振安定時間指定レジスタ (OSTS) ... 92, 410
プリスケラ・モード・レジスタ (PRM) ... 169, 196
プリスケラ・モード・レジスタ 4 (PRM4) ... 219
プルアップ抵抗オプション・レジスタH (PUOH) ... 152

ブルアップ抵抗オプション・レジスタL (PUOL) ... 103, 129, 135, 141
プログラマブル・ウェイト制御レジスタ1 (PWC1) ... 387
プログラマブル・ウェイト制御レジスタ2 (PWC2) ... 387
ポート0 (P0) ... 100
ポート1 (P1) ... 105
ポート2 (P2) ... 108
ポート3 (P3) ... 116
ポート4 (P4) ... 125
ポート5 (P5) ... 131
ポート6 (P6) ... 137
ポート7 (P7) ... 143
ポート8 (P8) ... 144
ポート9 (P9) ... 145
ポート2モード・コントロール・レジスタ (PMC2) ... 112
ポート3モード・コントロール・レジスタ (PMC3) ... 121
ポート9モード・コントロール・レジスタ (PMC9) ... 148, 395
ポート0モード・レジスタ (PM0) ... 101
ポート1モード・レジスタ (PM1) ... 106
ポート2モード・レジスタ (PM2) ... 111
ポート3モード・レジスタ (PM3) ... 120
ポート4モード・レジスタ (PM4) ... 126
ポート5モード・レジスタ (PM5) ... 132
ポート6モード・レジスタ (PM6) ... 138
ポート9モード・レジスタ (PM9) ... 148
ポート・リード・コントロール・レジスタ (PRDC) ... 154
ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) ... 291
ポー・レート・ジェネレータ・コントロール・レジスタ2 (BRGC2) ... 291

[ま行]

メモリ拡張モード・レジスタ (MM) ... 377, 386

[わ行]

割り込み制御レジスタ ... 322-324
割り込みマスク・レジスタ0 (MK0) ... 325
割り込みマスク・レジスタ0H (MK0H) ... 325
割り込みマスク・レジスタ0L (MK0L) ... 325
割り込みマスク・レジスタ1 (MK1) ... 325

割り込みマスク・レジスタ1H (MK1H) ...	325
割り込みマスク・レジスタ1L (MK1L) ...	325
割り込みモード・コントロール・レジスタ (IMC) ...	328
割り込み有効エッジ・フラグ・レジスタ 1 (IEF1) ...	307
割り込み有効エッジ・フラグ・レジスタ 2 (IEF2) ...	307

C.2 レジスタ索引（アルファベット順）

[A]

ADCR0	: A/D変換結果レジスタ 0 ...	247
ADCR0H	: A/D変換結果レジスタ0H ...	248
ADCR1	: A/D変換結果レジスタ 1 ...	247
ADCR1H	: A/D変換結果レジスタ1H ...	248
ADCR2	: A/D変換結果レジスタ 2 ...	247
ADCR2H	: A/D変換結果レジスタ2H ...	248
ADCR3	: A/D変換結果レジスタ 3 ...	247
ADCR3H	: A/D変換結果レジスタ3H ...	248
ADCR4	: A/D変換結果レジスタ 4 ...	247
ADCR4H	: A/D変換結果レジスタ4H ...	248
ADCR5	: A/D変換結果レジスタ 5 ...	247
ADCR5H	: A/D変換結果レジスタ5H ...	248
ADCR6	: A/D変換結果レジスタ 6 ...	247
ADCR6H	: A/D変換結果レジスタ6H ...	248
ADCR7	: A/D変換結果レジスタ 7 ...	247
ADCR7H	: A/D変換結果レジスタ7H ...	248
ADIC	: 割り込み制御レジスタ ...	324
ADM	: A/Dコンバータ・モード・レジスタ ...	244
ASIM	: アシンクロナス・シリアル・インタフェース・モード・レジスタ ...	269
ASIM2	: アシンクロナス・シリアル・インタフェース・モード・レジスタ 2 ...	269
ASIS	: アシンクロナス・シリアル・インタフェース・ステータス・レジスタ ...	271
ASIS2	: アシンクロナス・シリアル・インタフェース・ステータス・レジスタ 2 ...	271

[B]

BRGC	: ボー・レート・ジェネレータ・コントロール・レジスタ ...	291
BRGC2	: ボー・レート・ジェネレータ・コントロール・レジスタ 2 ...	291
BW	: バス幅指定レジスタ ...	402

[C]

CC00	: キャプチャ/コンペア・レジスタ00 ...	165
CC01	: キャプチャ/コンペア・レジスタ01 ...	165
CC02	: キャプチャ/コンペア・レジスタ02 ...	165
CC03	: キャプチャ/コンペア・レジスタ03 ...	165
CM10	: コンペア・レジスタ10 ...	193

CM11	: コンペア・レジスタ11 ...	193
CM40	: コンペア・レジスタ40 ...	217
CM41	: コンペア・レジスタ41 ...	217
CMIC10	: 割り込み制御レジスタ ...	323
CMIC11	: 割り込み制御レジスタ ...	323
CMIC40	: 割り込み制御レジスタ ...	323
CMIC41	: 割り込み制御レジスタ ...	323
CSIIC1	: 割り込み制御レジスタ ...	323
CSIIC2	: 割り込み制御レジスタ ...	324
CSIM1	: クロック同期式シリアル・インタフェース・モード・レジスタ 1 ...	283
CSIM2	: クロック同期式シリアル・インタフェース・モード・レジスタ 2 ...	283

[I]

IEF1	: 割り込み有効エッジ・フラグ・レジスタ 1 ...	307
IEF2	: 割り込み有効エッジ・フラグ・レジスタ 2 ...	307
IMC	: 割り込みモード・コントロール・レジスタ ...	328
IMS	: 内部メモリ・サイズ切り替えレジスタ ...	430
INTM0	: 外部割り込みモード・レジスタ 0 ...	304
INTM1	: 外部割り込みモード・レジスタ 1 ...	304
ISPR	: インサース・プライオリティ・レジスタ ...	327

[M]

MK0	: 割り込みマスク・レジスタ 0 ...	325
MK0H	: 割り込みマスク・レジスタ0H ...	325
MK0L	: 割り込みマスク・レジスタ0L ...	325
MK1	: 割り込みマスク・レジスタ 1 ...	325
MK1H	: 割り込みマスク・レジスタ1H ...	325
MK1L	: 割り込みマスク・レジスタ1L ...	325
MM	: メモリ拡張モード・レジスタ ...	377, 386

[N]

NPC	: ノイズ・プロテクション・コントロール・レジスタ ...	309
-----	-------------------------------	-----

[O]

OSTS	: 発振安定時間指定レジスタ ...	92, 410
OVIC0	: 割り込み制御レジスタ ...	322
OVIC1	: 割り込み制御レジスタ ...	322

OVIC4 : 割り込み制御レジスタ ... 322

[P]

P0 : ポート 0 ... 100
P1 : ポート 1 ... 105
P2 : ポート 2 ... 108
P3 : ポート 3 ... 116
P4 : ポート 4 ... 125
P5 : ポート 5 ... 131
P6 : ポート 6 ... 137
P7 : ポート 7 ... 143
P8 : ポート 8 ... 144
P9 : ポート 9 ... 145
PIC0 : 割り込み制御レジスタ ... 322
PIC1 : 割り込み制御レジスタ ... 322
PIC2 : 割り込み制御レジスタ ... 322
PIC3 : 割り込み制御レジスタ ... 322
PIC4 : 割り込み制御レジスタ ... 322
PIC5 : 割り込み制御レジスタ ... 322
PIC6 : 割り込み制御レジスタ ... 322
PM0 : ポート 0 モード・レジスタ ... 101
PM1 : ポート 1 モード・レジスタ ... 106
PM2 : ポート 2 モード・レジスタ ... 111
PM3 : ポート 3 モード・レジスタ ... 120
PM4 : ポート 4 モード・レジスタ ... 126
PM5 : ポート 5 モード・レジスタ ... 132
PM6 : ポート 6 モード・レジスタ ... 138
PM9 : ポート 9 モード・レジスタ ... 148
PMC2 : ポート 2 モード・コントロール・レジスタ ... 112
PMC3 : ポート 3 モード・コントロール・レジスタ ... 121
PMC9 : ポート 9 モード・コントロール・レジスタ ... 148, 395
PRDC : ポート・リード・コントロール・レジスタ ... 154
PRM : プリスケーラ・モード・レジスタ ... 169, 196
PRM4 : プリスケーラ・モード・レジスタ 4 ... 219
PUOH : プルアップ抵抗オプション・レジスタH ... 152
PUOL : プルアップ抵抗オプション・レジスタL ... 103, 129, 135, 141
PWC1 : プログラマブル・ウエイト制御レジスタ 1 ... 387

PWC2 : プログラマブル・ウェイト制御レジスタ 2 ... 387

[R]

RXB : シリアル受信バッファ : UART0 ... 268

RXB2 : シリアル受信バッファ : UART2 ... 268

[S]

SERIC : 割り込み制御レジスタ ... 323

SERIC2 : 割り込み制御レジスタ ... 323

SIO1 : シリアル・シフト・レジスタ : IOE1 ... 282

SIO2 : シリアル・シフト・レジスタ : IOE2 ... 282

SRIC : 割り込み制御レジスタ ... 323

SRIC2 : 割り込み制御レジスタ ... 324

STBC : スタンバイ・コントロール・レジスタ ... 90, 408

STIC : 割り込み制御レジスタ ... 323

STIC2 : 割り込み制御レジスタ ... 324

[T]

TM0 : タイマ・レジスタ 0 ... 165

TM1 : タイマ・レジスタ 1 ... 193

TM4 : タイマ・レジスタ 4 ... 217

TMC : タイマ・モード・コントロール・レジスタ ... 168, 195

TMC4 : タイマ・モード・コントロール・レジスタ 4 ... 218

TOC0 : タイマ出力コントロール・レジスタ 0 ... 168

TOC1 : タイマ出力コントロール・レジスタ 1 ... 195

TUM0 : タイマ・ユニット・モード・レジスタ 0 ... 167, 194

TXS : シリアル送信シフト・レジスタ : UART0 ... 268

TXS2 : シリアル送信シフト・レジスタ : UART2 ... 268

[W]

WDM : ウォッチドッグ・タイマ・モード・レジスタ ... 235, 329

付録D 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版数	前版からの主な改版内容	適用箇所
第2版	μPD784054を開発中 開発済みに変更	全般
	対象製品に次の製品を追加 μPD784054(A), 784054(A1), 784054(A2)	
	78K/ シリーズ製品展開図を変更	第1章 概説
	電源電圧 (V _{DD}) のMIN.値を4.0 V 4.5 Vに変更	
	1.3 品質水準を追加	
	1.9 μPD784054とμPD784054(A)の違いを追加	
	1.10 μPD784054(A), 784054(A1), 784054(A2)の違いを追加	
	CLKOUT端子の機能説明に記述追加	第2章 端子機能
	7.2 構成(2) キャプチャ/コンペア・レジスタ(CC00-CC03)に説明を追加	第7章 タイマ0
	タイマ出力許可の指定とアクティブ・レベルの変更を同時に行う場合の注意事項を追加	
	タイマ出力のアクティブ・レベルを変更する場合の注意事項を追加	
	タイマ出力許可の指定とアクティブ・レベルの変更を同時に行う場合の注意事項を追加	第8章 タイマ1
	タイマ出力のアクティブ・レベルを変更する場合の注意事項を追加	
	10.4.1 ウォッチドッグ・タイマ使用時の一般的な注意事項(2)の「暴走の結果、STOPモードまたはIDLEモードになってしまった場合」「暴走の結果、STOPモード、HALTモードまたはIDLEモードになってしまった場合」に変更	第10章 ウォッチドッグ・タイマ
	受信エラー発生時に、受信完了割り込み禁止をする場合の注意事項およびウエイト時間の算出方法を追加	第12章 アシンクロナス・シリアル・インタフェース/3線式シリアルI/O
	14.9 割り込み要求およびマクロ・サービスが一時的に保留される場合の命令を変更	第14章 割り込み機能
	「ウォッチドッグ・タイマは、スタンバイの解除(STOP/IDLEモード)には使用できません」「ウォッチドッグ・タイマは、スタンバイの解除(STOP/HALT/IDLEモード)には使用できません」に変更	第16章 スタンバイ機能
「ノンマスクابل割り込み要求(NMI端子入力、ウォッチドッグ・タイマ)」のウォッチドッグ・タイマを削除		
「IDLEモード解除時に発振安定時間を待つ」という不具合動作に関する注意事項を追加		
CLKOUT端子の出力について注意事項を追加	第20章 開発ツール使用上の注意事項	
IE-78K4-NS対応にして全面改訂	付録A 開発ツール	
対象ホスト・マシンを変更	付録B 組み込み用ソフトウェア	
対応OSのバージョンを変更		

版数	前版からの主な改版内容	適用箇所
第3版	・ μ PD78F4046 開発中 開発済み ・ 78K/IVシリーズ製品展開図 更新	第1章 概 説
	表2 - 4 各端子の入出力回路タイプと未使用端子の処理 BWD端子の記述を追加	第2章 端子機能
	12.5 注意事項 UART送信時のスタート・ビットに関する注意を追加	第12章 アシンクロナス・シリアル・インタフェース/ 3線式シリアルI/O
	・ 図16 - 1 スタンバイ・モードの遷移図 修正 ・ 16.6 (5) A/Dコンバータ 記述変更	第16章 スタンバイ機能
	・ Flashpro IIIの記述追加 ・ 18.3 注意事項 注意事項を追加	第18章 μ PD78F4046
	章追加	第20章 電気的特性 (μ PD784054)
	章追加	第21章 電気的特性 (μ PD784054(A))
	章追加	第22章 電気的特性 (μ PD784054(A1))
	章追加	第23章 電気的特性 (μ PD784054(A2))
	章追加	第24章 タイミング・チャート
	章追加	第25章 外形図
	章追加	第26章 半田付け推奨条件
	・ ホスト・マシン, OSについての記述追加 ・ A.1 言語処理用ソフトウェア SP78K4の記述追加, 備考の内容変更 ・ A.2 フラッシュ・メモリ書き込み用ツール Flashpro IIIの記述追加 ・ A.3.1 ハードウェア 記述の追加と変更 ・ A.3.2 ソフトウェア 備考の内容変更 ・ A.4 ターゲット・システム設計上の注意 追加	付録A 開発ツール
	記述変更	付録B 組み込み用ソフトウェア
第3版 (修正版)	1.2 オータ情報 を変更	第1章 概 説
	1.3 品質水準 を変更	
	表26 - 1 表面実装タイプの半田付け条件(2)を追加	第26章 半田付け推奨条件

[メモ]

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。