お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

μPD78218A サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

ハードウエア編

μPD78217A
μPD78218A
μPD78P218A
μPD78218A(A)

資料番号　U12977JJ5V0UM00（第5版）
（旧資料番号　IEU−755D）
発行年月　September 1997　N

© NEC Corporation 1990

〔メ　モ〕

概説 1
端子機能 2
CPU機能 3
クロック発生回路 4
ポート機能 5
リアルタイム出力機能 6
タイマ／カウンタ・ユニット 7
A／Dコンバータ 8
アシンクロナス・シリアル・インタフェース 9
クロック同期式シリアル・インタフェース 10
エッジ検出機能 11
割り込み機能 12
ローカル・バス・インタフェース機能 13
スタンバイ機能 14
リセット機能 15
応用例 16
μPD78P218Aのプログラミング 17
命令のオペレーション 18
付録 付

CMOSデバイスの一般的注意事項

①静電気対策（MOS全般）

注意　MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，NECが出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理（CMOS特有）

注意　CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり，CMOSデバイスの入力に何も接続しない状態で動作させると，ノイズなどに起因する中間レベル入力が生じ，内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また，未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③初期化以前の状態（MOS全般）

注意　電源投入時，MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため，初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

EWS-4800シリーズ，EWS-UX/V，QTOPは，日本電気株式会社の商標です。

MS-DOSは，米国マイクロソフト社の商標です。

PC/AT，PC DOSは，米国IBM社の商標です。

SPARCstationは，米国SPARC International，Inc. の商標です。

Sun OSは，米国サン・マイクロシステムズ社の商標です。

HP9000シリーズ300，HP-UXは，米国ヒューレット・パッカード社の商標です。

本製品のうち，外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては，日本国外に輸出する際に，同法に基づき日本国政府の輸出許可が必要です。

非該当品　：μPD78217ACW，78217AGC-AB8
μPD78P218ADW

ユーザ判定品：μPD78218ACW-×××，78218AGC-×××-AB8,
μPD78P218ACW，78P218AGC-AB8,
μPD78218ACW(A)-×××，78218AGC(A)-×××-AB8

○本資料の内容は，後日変更する場合があります。

○文書による当社の承諾なしに本資料の転載複製を禁じます。

○本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して，当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合，当社はその責を負うものではありませんのでご了承ください。

○当社は品質，信頼性の向上に努めていますが，半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として，人身事故，火災事故，社会的な損害等を生じさせない冗長設計，延焼対策設計，誤動作防止設計等安全設計に十分ご注意願います。

○当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また，各品質水準は以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

特別水準：輸送機器（自動車，列車，船舶等），交通用信号機器，防災／防犯装置，各種安全装置，生命維持を直接の目的としない医療機器

特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で，特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は，必ず事前に当社販売窓口までご相談頂きますようお願い致します。

○この製品は耐放射線設計をしておりません。

本版で改訂された主な箇所

箇　所	内　容
p.54	**図4－2　クロック発振回路の外付け回路　(a) クリスタル/セラミック発振**にV_{SS}および注意を追加
	第7章　タイマ/カウンタ・ユニット
p.142	・**7.1　16ビット・タイマ/カウンタ　7.1.5　コンペア・レジスタ，キャプチャ・レジスタの動作　(1) コンペア動作**に注意事項を追加
p.145	・**図7－12　キャプチャ動作**に注意を追加
p.152，288	・**図7－18，7－140　PWM出力時にデューティが100％になる例**を修正
p.157，245，289	・**図7－23，7－99，7－141　PPG出力時にデューティが100％になる例**を追加
p.158，246，290	・**図7－24，7－100，7－142　PPG出力の周期が長くなる例**の一部を修正
p.278	・**図7－132　CE3ビットをリセット (0) した場合のクリア動作**を追加
p.297	・**7.5.4　インサーキット・エミュレータ使用時の注意事項**を追加
p.438	**12.4.6　マクロ・サービス・タイプB　(2) マクロ・サービス・チャネルの構成**に注意を追加
p.462	**13.2.1　外部メモリ拡張機能**に注意を追加
p.502	**14.4.2　STOPモードの解除　(b) 発振安定時間**のOW0ビット＝0の場合に注意を追加
	第18章　命令のオペレーション
p.533	・**(5) 乗除算命令　DIVUW**のオペレーションの項目に説明を追加
p.537	・**(10) コール・リターン命令　CALLF**のオペレーションの一部を訂正
p.542	・**18.3　アドレシング別命令一覧表　表18－2　16ビット・アドレシング別命令一覧表**にnの項目を追加
p.553	**付録B　開発ツール** ・HP9000シリーズ300，SPARCstation. EWS-4800シリーズを追加 ・スクリーン・ディバッガ，デバイス・ファイルのIBM PC/ATを追加 ・IBM PCシリーズ→IBM PC/ATに変更 ・PC-9800シリーズ　MS-DOSの一部がバージョン・アップ
p.563	**付録C　組み込み用ソフトウエア**を追加

本文欄外の★印は，本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

は　じ　め　に

対 象 者　このマニュアルは，μPD78218Aサブシリーズの機能を理解し，その応用システムを設計するユーザのエンジニアを対象とします。

目　　的　このマニュアルは，μPD78218Aサブシリーズの持つ各種ハードウエア機能を理解していただくことを目的とします。

構　　成　μPD78218Aサブシリーズのマニュアルは，ハードウエア編（このマニュアル）と命令編（78K／IIシリーズ共通）の2冊に分かれています。

ハードウエア編	命令編
端子機能	CPU機能
内部ブロック機能	アドレシング
割り込み	命令セット
その他の内蔵周辺機能	

この製品には使用上の注意事項があります。
各章の本文中の該当箇所と各章の最後（まとめ）にそれらの注意事項を示しますので，必ずお読みください。

読 み 方　このマニュアルを読むにあたっては，電気，論理回路およびマイクロコンピュータの一通りの知識を必要とします。

μPD78217A，78P218A，78218A(A)のマニュアルとしてお使いの方へ

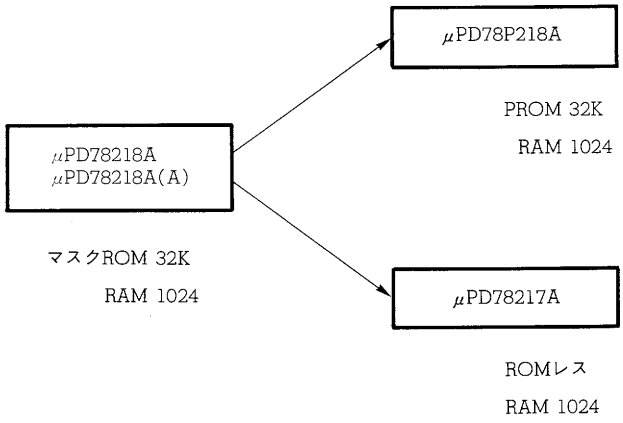
→このマニュアルでは，μPD78217A，78218A，78P218A，78218A(A)の機能について説明しております。各製品の関係は，下図のようになっております。

○特に機能面について違いがない場合

μPD78218Aを代表品種として説明しています。したがって，μPD78217A，78P218A，78218A(A)のユーザーズ・マニュアルとしてお使いの場合は，μPD78218AをμPD78217A，78P218A，78218A(A)と読み替えてご使用ください。

○機能面に違いがある場合

製品名をあげ，個別に説明しています。



レジスタ名が分かっていて，レジスタの詳細を確認するとき

→**付録D　レジスタ索引**を利用してください。

他の78K／IIシリーズとの違いを知りたいとき

→**付録A　78K／IIシリーズ製品一覧**で違いのある項目を確認してください。

さらに，詳細について確認したい場合は**付録E　総合索引**を利用してください。

機能名などが分かっていて，その詳細を確認するとき

→**付録E　総合索引**を利用してください。

ディバグをしていて，おかしな動作をしているとき

→各章末に注意事項がまとめてありますので，関連する機能の注意事項を参照してみてください。

一通りμPD78218Aサブシリーズの機能を理解しようとするとき

→目次に従って読んでください。

μPD78218Aサブシリーズの命令機能の詳細を知りたいとき

→別冊の**78K**／II**シリーズ　ユーザーズ・マニュアル　命令編（IEU-754）**を参照してください。

μPD78218Aサブシリーズの電気的特性を知りたいとき

→別冊のデータ・シートを参照してください。

μPD78218Aサブシリーズの各種機能の応用例を知りたいとき

→別冊のアプリケーション・ノートを参照してください。

凡　例	データ表記の重み	：左側が上位桁，右側が下位桁
	アクティブ・ロウの表記	：$\overline{\times\times\times}$（端子，信号名称に上線）
	注	：本文中につけた注の説明
	注意	：特に気をつけていただきたい内容
	備考	：本文の補足説明
	数の表記	：2進数…××××Bまたは××××
		：10進数…××××
		：16進数…××××H

レジスタ表記

	7	6	5	4	③	2	1	0
EDC	B	1	0	×	A	1	0	×

ビット番号を○で囲んでいるものは，そのビット名称がNEC製アセンブラ（RA78 K/II）では予約語に，Cコンパイラ（CC78 K/II）ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

ライト動作時	リード動作時
0または1を書き込みます。いずれの値でも動作には影響を与えません。	0または1を読み出します。
0を書く必要があります。	
1を書く必要があります。	
使用したい機能に応じた値を書き込みます。	動作状態に従った値を読み出します。

本文中のレジスタ表記に『設定禁止』と書いてあるコードの組み合わせは，絶対に書き込まないでください。

まぎらわしい文字	：0（ゼロ），O（オー）
	：1（イチ），l（エル），I（アイ）

関連資料　次の資料とあわせてご利用ください。

●μPD78218Aサブシリーズに関する資料

資　料　名		和文資料番号	英文資料番号
μPD78218Aサブシリーズ　ユーザーズ・マニュアル　ハードウエア編		このマニュアル	IEU-1313
μPD78217A，78218A　データシート		IC-8131	IC-2748
μPD78P218A		IC-8133	IC-2722
μPD78218A(A)		IC-8685	IC-3188
μPD78218Aサブシリーズ　パンフレット		IF-288	
78K/Ⅱシリーズ　ユーザーズ・マニュアル　命令編		U10228J	U10228E
78K/Ⅱシリーズ　アプリケーション・ノート	基礎編	IEA-607	IEA-1220
	応用編	IEA-700	IEA-1282
	浮動小数点演算プログラム編	IEA-686	IEA-1273
78K/Ⅱシリーズ　セレクション・ガイド		IF-304	IF-1160
78K/Ⅱシリーズ　インストラクション活用表		IEM-5101	—
78K/Ⅱシリーズ　インストラクション・セット		IEM-5102	—
μPD78218Aサブシリーズ　特殊機能レジスタ活用表		IEM-5532	—

●シリアル・バス・インタフェース（SBI）　ユーザーズ・マニュアル（IEM-5040）

●開発ツールの関連資料（ユーザーズ・マニュアル）

資　料　名		和文資料番号	英文資料番号
RA78Kシリーズ　アセンブラ・パッケージ	操作編	EEU-809	EEU-1399
	言語編	EEU-815	EEU-1404
RA78Kシリーズ　構造化アセンブラ・プリプロセッサ		U11743J	U11743E
CC78Kシリーズ　Cコンパイラ	操作編	EEU-656	EEU-1280
	言語編	EEU-655	EEU-1284
CC78Kシリーズ　ライブラリ・ソース・ファイル		U12232J	—
PG-1500　PROMプログラマ		U11940J	EEU-1335
PG-1500コントローラ　PC-9800シリーズ（MS-DOS）ベース		EEU-704	EEU-1291
PG-1500コントローラ　IBM PCシリーズ（PC DOS）ベース		EEU-5008	U10540E
IE-78240-R-A　インサーキット・エミュレータ		EEU-796	EEU-1395
IE-78240-R　インサーキット・エミュレータ	ハードウエア編	EEU-705	EEU-1322
	ソフトウエア編	EEU-706	EEU-1331
SD78K/Ⅱ　スクリーン・ディバッガ　MS-DOSベース	入門編	EEU-841	—
	レファレンス編	EEU-813	—
SD78K/Ⅱ　スクリーン・ディバッガ　PC DOSベース	入門編	EEU-5014	EEU-1543
	レファレンス編	EEU-956	EEU-1447
78K/Ⅱシリーズ　開発ツール　セレクション・ガイド		EF-231	—

注意　上記関連資料は，予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

●組み込み用ソフトウエアの関連資料（ユーザーズ・マニュアル）

資　料　名		和文資料番号	英文資料番号
RX78K/Ⅱ　リアルタイムOS	基礎編	EEU-900	−
	インストール編	EEU-884	−
ファジィ知識データ作成ツール		EEU-829	EEU-1438
78K/0，78K/Ⅱ，87ADシリーズ ファジィ推論開発支援システム	トランスレータ	EEU-862	EEU-1444
78K/Ⅱシリーズ　ファジィ推論開発支援システム	ファジィ推論モジュール	EEU-860	EEU-1440
78K/Ⅱシリーズ　ファジィ推論ディバッガ		EEU-917	EEU-1459

●その他の関連資料

資　料　名	和文資料番号	英文資料番号
QTOPマイコン　パンフレット	U11333J	U11333E
IC PACKAGE MANUAL	C10943X	
半導体デバイス　実装マニュアル	C10535J	C10535E
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C10983J	C10983E
半導体デバイスの品質保証ガイド	C11893J	MEI-1202
マイクロコンピュータ関連製品ガイド　社外メーカ編	U11416J	−

注意　上記関連資料は，予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

目　　次

第1章　概　　説 … 1

1.1　特　　徴 … 3
1.2　オーダ情報と品質水準 … 4
　1.2.1　オーダ情報 … 4
　1.2.2　品質水準 … 5
1.3　端子接続図 … 6
　1.3.1　通常動作モード … 6
　1.3.2　PROMプログラミング・モード … 9
1.4　応用システム構成例（インバータ・エアコン室内機） … 11
1.5　内部ブロック図 … 12
1.6　機能一覧 … 13
1.7　μPD78218Aサブシリーズとμ PD78214サブシリーズの相違点 … 14
1.8　μPD78218Aとμ PD78218A(A) の相違点 … 15

第2章　端子機能 … 17

2.1　端子機能一覧 … 17
　2.1.1　通常動作モード … 17
　2.1.2　PROMプログラミング・モード … 19
2.2　端子機能説明 … 20
　2.2.1　通常動作モード … 20
　2.2.2　PROMプログラミング・モード … 27
2.3　入出力回路と未使用端子の処理 … 28
2.4　注意事項 … 31

第3章　CPU機能 … 33

3.1　メモリ空間 … 33
　3.1.1　内部プログラム・メモリ領域 … 36
　3.1.2　内部RAM領域 … 37
　3.1.3　特殊機能レジスタ（SFR）領域 … 37
　3.1.4　外部SFR領域 … 38
　3.1.5　外部メモリ空間 … 38
　3.1.6　外部拡張データ・メモリ空間 … 38
3.2　レジスタ … 40
　3.2.1　プログラム・カウンタ（PC） … 40
　3.2.2　プログラム・ステータス・ワード（PSW） … 40
　3.2.3　スタック・ポインタ（SP） … 42
　3.2.4　汎用レジスタ … 44
　3.2.5　特殊機能レジスタ（SFR） … 48
3.3　注意事項 … 51

第4章　クロック発生回路 … 53

4.1　構成と機能 … 53
4.2　注意事項 … 55
4.2.1　外部クロックを入力する場合 … 55
4.2.2　クリスタル／セラミック発振の場合 … 56

第5章　ポート機能 … 59

5.1　ディジタル入出力ポート … 59
5.2　ポート0 … 61
5.2.1　ハードウエア構成 … 61
5.2.2　入出力モード／コントロール・モードの設定 … 62
5.2.3　動作状態 … 63
5.2.4　内蔵プルアップ抵抗 … 63
5.2.5　トランジスタのドライブ … 64
5.3　ポート2 … 65
5.3.1　ハードウエア構成 … 67
5.3.2　入出力モード／コントロール・モードの設定 … 68
5.3.3　動作状態 … 68
5.3.4　内蔵プルアップ抵抗 … 68
5.4　ポート3 … 70
5.4.1　ハードウエア構成 … 72
5.4.2　入出力モード／コントロール・モードの設定 … 76
5.4.3　動作状態 … 78
5.4.4　内蔵プルアップ抵抗 … 81
5.5　ポート4 … 83
5.5.1　ハードウエア構成 … 83
5.5.2　入出力モード／コントロール・モードの設定 … 84
5.5.3　動作状態 … 84
5.5.4　内蔵プルアップ抵抗 … 86
5.5.5　LEDのダイレクト・ドライブ … 88
5.6　ポート5 … 89
5.6.1　ハードウエア構成 … 89
5.6.2　入出力モード／コントロール・モードの設定 … 90
5.6.3　動作状態 … 91
5.6.4　内蔵プルアップ抵抗 … 93
5.6.5　LEDのダイレクト・ドライブ … 95
5.7　ポート6 … 96
5.7.1　ハードウエア構成 … 98
5.7.2　入出力モード／コントロール・モードの設定 … 102
5.7.3　動作状態 … 104
5.7.4　内蔵プルアップ抵抗 … 106
5.7.5　注意事項 … 107
5.8　ポート7 … 108
5.8.1　ハードウエア構成 … 108
5.8.2　入出力モード／コントロール・モードの設定 … 108

5.8.3 動作状態 … 109
5.8.4 内蔵プルアップ抵抗 … 109
5.8.5 注意事項 … 109
5.9 注意事項 … 110

第6章 リアルタイム出力機能 … 113

6.1 構成と機能 … 113
6.2 リアルタイム出力ポート・コントロール・レジスタ（RTPC） … 115
6.3 リアルタイム出力ポートのアクセス … 116
6.4 動　作 … 118
6.5 使用例 … 121
6.6 注意事項 … 124

第7章 タイマ／カウンタ・ユニット … 127

7.1 16ビット・タイマ／カウンタ … 129
7.1.1 機　能 … 129
7.1.2 構　成 … 130
7.1.3 16ビット・タイマ／カウンタ制御レジスタ … 133
7.1.4 16ビット・タイマ0（TM0）の動作 … 137
7.1.5 コンペア・レジスタ，キャプチャ・レジスタの動作 … 142
7.1.6 出力制御回路の基本動作 … 145
7.1.7 PWM出力 … 149
7.1.8 PPG出力 … 153
7.1.9 ソフト・トリガド・ワンショット・パルス出力 … 160
7.1.10 使用例 … 161
7.2 8ビット・タイマ／カウンタ1 … 179
7.2.1 機　能 … 179
7.2.2 構　成 … 180
7.2.3 8ビット・タイマ／カウンタ1制御レジスタ … 184
7.2.4 8ビット・タイマ1（TM1）の動作 … 187
7.2.5 コンペア・レジスタ，キャプチャ／コンペア・レジスタの動作 … 192
7.2.6 使用例 … 197
7.3 8ビット・タイマ／カウンタ2 … 206
7.3.1 機　能 … 206
7.3.2 構　成 … 209
7.3.3 8ビット・タイマ／カウンタ2制御レジスタ … 213
7.3.4 8ビット・タイマ2（TM2）の動作 … 217
7.3.5 外部イベント・カウンタ機能 … 222
7.3.6 ワンショット・タイマ機能 … 227
7.3.7 コンペア・レジスタ，キャプチャ・レジスタの動作 … 228
7.3.8 出力制御回路の基本動作 … 232
7.3.9 PWM出力 … 236
7.3.10 PPG出力 … 241
7.3.11 使用例 … 247

7.4 8ビット・タイマ／カウンタ3 … 271
7.4.1 機　　能 … 271
7.4.2 構　　成 … 272
7.4.3 8ビット・タイマ／カウンタ3制御レジスタ … 274
7.4.4 8ビット・タイマ3（TM3）の動作 … 276
7.4.5 コンペア・レジスタの動作 … 280
7.4.6 使 用 例 … 281
7.5 注意事項 … 283
7.5.1 全タイマ／カウンタ共通の注意事項 … 283
★ 7.5.2 16ビット・タイマ／カウンタに関する注意事項 … 292
7.5.3 8ビット・タイマ／カウンタ2に関する注意事項 … 293
★ 7.5.4 インサーキット・エミュレータ使用時の注意事項 … 297

第8章 A／Dコンバータ … 299

8.1 構　　成 … 299
8.2 A／Dコンバータ・モード・レジスタ（ADM） … 303
8.3 動　　作 … 305
8.3.1 A／Dコンバータの基本動作 … 305
8.3.2 セレクト・モード … 309
8.3.3 スキャン・モード … 310
8.3.4 ソフトウエア・スタートによるA／D変換動作の起動 … 312
8.3.5 ハードウエア・スタートによるA／D変換動作の起動 … 314
8.4 A／Dコンバータの割り込み要求 … 318
8.5 AN6，AN7使用時の設定 … 318
8.6 注意事項 … 319

第9章 アシンクロナス・シリアル・インタフェース … 323

9.1 構　　成 … 323
9.2 アシンクロナス・シリアル・インタフェース制御レジスタ … 326
9.3 アシンクロナス・シリアル・インタフェースの動作 … 328
9.3.1 データ・フォーマット … 328
9.3.2 パリティの種類と動作 … 329
9.3.3 送　　信 … 330
9.3.4 受　　信 … 331
9.3.5 受信エラー … 332
9.4 ボー・レート・ジェネレータ … 334
9.4.1 専用ボー・レート・ジェネレータの構成 … 334
9.4.2 ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC） … 335
9.4.3 専用ボー・レート・ジェネレータの動作 … 337
9.5 ボー・レートの設定方法 … 338
9.5.1 専用ボー・レート・ジェネレータを使用した場合の設定例 … 339
9.5.2 8ビット・タイマ／カウンタ3を使用した場合の設定例 … 341
9.5.3 外部ボー・レート入力（ASCK）を使用した場合の設定例 … 343
9.6 注意事項 … 344

第10章　クロック同期式シリアル・インタフェース … 345

10.1　機　　能 … 345
10.2　構　　成 … 345
10.3　制御レジスタ … 348
10.3.1　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM） … 348
10.3.2　シリアル・バス・インタフェース・コントロール・レジスタ（SBIC） … 349
10.4　3線式シリアルI／Oモード … 351
10.4.1　基本動作タイミング … 352
10.4.2　送信のみ許可の場合の動作 … 354
10.4.3　受信のみ許可の場合の動作 … 355
10.4.4　送受信許可の場合の動作 … 356
10.4.5　シリアル・クロックとシフト動作がずれた場合の処置方法 … 357
10.5　SBIモード … 358
10.5.1　SBIの特徴 … 359
10.5.2　シリアル・インタフェースの構成 … 361
10.5.3　アドレスの一致検出方法 … 363
10.5.4　SBIモードの制御レジスタ … 363
10.6　SBIの通信動作と各種信号 … 368
10.6.1　バス・リリース信号（REL） … 369
10.6.2　コマンド信号（CMD） … 369
10.6.3　アドレス … 370
10.6.4　コマンド，データ … 371
10.6.5　アクノリッジ信号（$\overline{\text{ACK}}$） … 372
10.6.6　ビジィ信号（$\overline{\text{BUSY}}$），レディ信号（READY） … 373
10.6.7　各種信号 … 374
10.6.8　通信動作 … 381
10.6.9　ビジィ解除方法 … 386
10.6.10　ウエイク・アップ設定動作 … 386
10.6.11　送受信動作のスタート … 386
10.7　注意事項 … 387

第11章　エッジ検出機能 … 389

11.1　外部割り込みモード・レジスタ（INTMO，INTM1） … 389
11.2　P20端子のエッジ検出 … 392
11.3　P21－P26端子のエッジ検出 … 393
11.4　注意事項 … 396

第12章　割り込み機能 … 399

12.1　割り込み要求ソース … 400
12.1.1　ソフトウエア割り込み要求 … 401
12.1.2　ノンマスカブル割り込み要求 … 401
12.1.3　マスカブル割り込み要求 … 401

12.1.4　割り込み要求ソースの選択　… 402
12.2　割り込み処理制御レジスタ　… 404
12.2.1　割り込み要求フラグ・レジスタ（IF0）　… 405
12.2.2　割り込みマスク・レジスタ（MK0）　… 405
12.2.3　割り込みサービス・モード・レジスタ（ISM0）　… 406
12.2.4　優先順位指定フラグ・レジスタ（PR0）　… 406
12.2.5　割り込みステータス・レジスタ（IST）　… 407
12.2.6　プログラム・ステータス・ワード（PSW）　… 408
12.3　割り込み処理動作　… 409
12.3.1　ソフトウエア割り込みの受け付け動作　… 409
12.3.2　ノンマスカブル割り込みの受け付け動作　… 409
12.3.3　マスカブル割り込みの受け付け動作　… 413
12.3.4　多重割り込みの処理　… 415
12.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合　… 419
12.3.6　割り込みおよびマクロ・サービスの動作タイミング　… 421
12.4　マクロ・サービス機能　… 425
12.4.1　マクロ・サービスの概要　… 425
12.4.2　マクロ・サービスの種類　… 426
12.4.3　マクロ・サービスの基本動作　… 428
12.4.4　マクロ・サービス制御レジスタ　… 429
12.4.5　マクロ・サービス・タイプA　… 431
12.4.6　マクロ・サービス・タイプB　… 436
12.4.7　マクロ・サービス・タイプC　… 441
12.5　注意事項　… 455

第13章　ローカル・バス・インタフェース機能　… 459

13.1　制御レジスタ　… 460
13.1.1　メモリ拡張モード・レジスタ（MM）　… 460
13.1.2　プログラマブル・ウエイト制御レジスタ（PW）　… 461
13.2　メモリ拡張機能　… 462
13.2.1　外部メモリ拡張機能　… 462
13.2.2　1Mバイト拡張機能　… 464
13.2.3　メモリ拡張時のメモリ・マップ　… 466
13.2.4　メモリとの接続例　… 470
13.3　内部ROM高速フェッチ機能　… 472
13.4　ウエイト機能　… 472
13.5　疑似スタティックRAMリフレッシュ機能　… 480
13.5.1　機　　能　… 480
13.5.2　リフレッシュ・モード・レジスタ（RFM）　… 481
13.5.3　動　　作　… 482
13.5.4　疑似スタティックRAMとの接続例　… 487
13.6　注意事項　… 488

第14章　スタンバイ機能　… 493

14.1　構成と機能　… 493

14.2 スタンバイ・コントロール・レジスタ（STBC） … 495
14.3 HALTモード … 496
14.3.1 HALTモードの設定および動作状態 … 496
14.3.2 HALTモードの解除 … 497
14.4 STOPモード … 500
14.4.1 STOPモードの設定および動作状態 … 500
14.4.2 STOPモードの解除 … 501
14.4.3 STOPモード使用時のチェック項目 … 504
14.5 注意事項 … 507

第15章 リセット機能 … 509

15.1 リセット機能 … 509
15.2 注意事項 … 514

第16章 応 用 例 … 515

16.1 ステッピング・モータの開ループ制御 … 515
16.2 複数デバイスとのシリアル通信 … 517

第17章 μPD78P218Aのプログラミング … 519

17.1 動作モード … 519
17.2 PROM書き込みの手順 … 520
17.3 PROM読み出しの手順 … 522
17.4 注意事項 … 523

第18章 命令のオペレーション … 525

18.1 凡 例 … 525
18.1.1 オペランド欄 … 525
18.1.2 オペレーション欄 … 527
18.1.3 フラグ欄 … 528
18.2 オペレーション一覧 … 529
18.3 アドレシング別命令一覧表 … 541

付録A 78K／IIシリーズ製品一覧 … 545

付録B 開発ツール … 553

B.1 ハードウエア … 555
B.2 ソフトウエア … 556
B.2.1 言語処理用ソフトウエア … 556
B.2.2 インサーキット・エミュレータ用ソフトウエア … 559
B.2.3 PROMプログラマ用ソフトウエア … 560

B.3　他のインサーキット・エミュレータからのシステム・アップ方法 … 561
B.3.1　IE-78240-R-Aへのシステム・アップ方法 … 561
B.3.2　IE-78240-Rへのシステム・アップ方法 … 562

★ **付録C　組み込み用ソフトウエア** … 563

C.1　リアルタイムOS … 563
C.2　ファジィ推論開発支援システム … 564

付録D　レジスタ索引 … 565

D.1　レジスタ索引（50音順） … 565
D.2　レジスタ索引（アルファベット順） … 568

付録E　総合索引 … 571

E.1　50音で始まる語句の索引 … 571
E.2　アルファベットで始まる語句の索引 … 582

図の目次（1／12）

図番号	タイトル，ページ
2－1	端子の入出力回路 … 30
3－1	μPD78217AまたはμPD78218A，78P218A（$\overline{EA}$＝Lのとき）のメモリ・マップ … 34
3－2	μPD78218A，78P218A（$\overline{EA}$＝Hのとき）のメモリ・マップ … 35
3－3	バンク間でのデータ転送例 … 39
3－4	プログラム・カウンタの構成 … 40
3－5	プログラム・ステータス・ワードの構成 … 40
3－6	スタック・ポインタの構成 … 42
3－7	スタック領域へ退避されるデータ … 42
3－8	スタック領域から復帰されるデータ … 42
3－9	汎用レジスタの構成 … 44
4－1	クロック発生回路のブロック図 … 53
4－2	クロック発振回路の外付け回路 … 54
4－3	外部クロック入力時の信号取り出し点 … 55
4－4	発振子の接続の注意点 … 56
4－5	発振子の接続の悪い例 … 57
5－1	ポートの構成 … 59
5－2	ポート0のブロック図 … 61
5－3	ポート0モード・レジスタのフォーマット … 62
5－4	出力ポート指定のポート … 63
5－5	トランジスタのドライブ例 … 64
5－6	ポート2のブロック図 … 67
5－7	入力ポート指定のポート … 68
5－8	プルアップ抵抗オプション・レジスタのフォーマット … 69
5－9	プルアップの指定（ポート2）… 69
5－10	P30（ポート3）のブロック図 … 72
5－11	P31，P34-P37（ポート3）のブロック図 … 73
5－12	P32（ポート3）のブロック図 … 74
5－13	P33（ポート3）のブロック図 … 75
5－14	ポート3モード・レジスタのフォーマット … 76
5－15	ポート3モード・コントロール・レジスタ（PMC3）のフォーマット … 77
5－16	出力ポート指定のポート … 78

図の目次（2／12）

図番号	タイトル，ページ
5－17	入力ポート指定のポート … 79
5－18	コントロール指定の場合 … 80
5－19	プルアップ抵抗オプション・レジスタのフォーマット … 81
5－20	プルアップの指定（ポート3）… 82
5－21	ポート4のブロック図 … 83
5－22	出力ポート指定のポート … 84
5－23	入力ポート指定のポート … 85
5－24	プルアップ抵抗オプション・レジスタのフォーマット … 86
5－25	プルアップの指定（ポート4）… 87
5－26	LEDのダイレクト・ドライブ例 … 88
5－27	ポート5のブロック図 … 89
5－28	ポート5モード・レジスタのフォーマット … 90
5－29	出力ポート指定のポート … 91
5－30	入力ポート指定のポート … 92
5－31	プルアップ抵抗オプション・レジスタのフォーマット … 93
5－32	プルアップの指定（ポート5）… 94
5－33	LEDのダイレクト・ドライブ例 … 95
5－34	P60-P63（ポート6）のブロック図 … 98
5－35	P64，P65（ポート6）のブロック図 … 99
5－36	P66（ポート6）のブロック図 … 100
5－37	P67（ポート6）のブロック図 … 101
5－38	ポート6モード・レジスタのフォーマット … 103
5－39	出力ポート指定のポート … 104
5－40	入力ポート指定のポート … 105
5－41	プルアップ抵抗オプション・レジスタのフォーマット … 106
5－42	プルアップの指定（ポート6）… 107
5－43	ポート7のブロック図 … 108
5－44	入力ポート指定のポート … 109
6－1	リアルタイム出力ポートのブロック図 … 114
6－2	リアルタイム出力ポート・コントロール・レジスタ（RTPC）のフォーマット … 115
6－3	バッファ・レジスタ（POH，POL）の構成 … 116
6－4	リアルタイム出力ポートの動作タイミング … 119

図の目次（3／12）

図番号	タイトル，ページ
6－5	リアルタイム出力ポートの動作タイミング（2ch独立制御の例） … 120
6－6	リアルタイム出力ポートの動作タイミング … 121
6－7	リアルタイム出力機能の制御レジスタの設定内容 … 122
6－8	リアルタイム出力機能の設定手順 … 122
6－9	リアルタイム出力機能使用時の割り込み要求処理 … 123
7－1	タイマ／カウンタ・ユニットのブロック図 … 128
7－2	16ビット・タイマ／カウンタのブロック図 … 131
7－3	タイマ・コントロール・レジスタ0（TMC0）のフォーマット … 133
7－4	キャプチャ／コンペア・コントロール・レジスタ0（CRC0）のフォーマット … 134
7－5	タイマ出力コントロール・レジスタ（TOC）のフォーマット … 135
7－6	ワンショット・パルス出力制御レジスタのフォーマット … 136
7－7	16ビット・タイマ0（TM0）の基本動作 … 138
7－8	コンペア・レジスタ（CR01）との一致によるTM0のクリア … 139
7－9	CE0ビットをリセット（0）した場合のクリア動作 … 140
7－10	コンペア動作 … 142
7－11	一致検出後，TM0のクリア … 143
7－12	キャプチャ動作 … 144
7－13	トグル出力の動作 … 147
7－14	PWMパルス出力 … 149
7－15	TM0を用いたPWM出力例 … 150
7－16	CR00＝FFFFHのときのPWM出力例 … 150
7－17	コンペア・レジスタの書き換え例 … 151
7－18	PWM出力時にデューティが100%になる例 … 152
7－19	TM0を用いたPPG出力例 … 154
7－20	CR00＝CR01のときのPPG出力例 … 155
7－21	CR00＝0000HのときのPPG出力例 … 155
7－22	コンペア・レジスタの書き換え例 … 156
7－23	PPG出力時にデューティが100％になる例 … 157
7－24	PPG出力の周期が長くなる例 … 158
7－25	ソフト・トリガド・ワンショット・パルス出力例 … 160
7－26	インターバル・タイマ動作（1）のタイミング … 161
7－27	インターバル・タイマ動作（1）における制御レジスタの設定内容 … 162

図の目次（4／12）

図番号	タイトル，ページ
7－28	インターバル・タイマ動作（1）の設定手順 … 162
7－29	インターバル・タイマ動作（1）の割り込み要求処理 … 163
7－30	インターバル・タイマ動作（2）のタイミング … 163
7－31	インターバル・タイマ動作（2）における制御レジスタの設定内容 … 164
7－32	インターバル・タイマ動作（2）の設定手順 … 164
7－33	パルス幅測定のタイミング … 165
7－34	パルス幅測定における制御レジスタの設定内容 … 166
7－35	パルス幅測定の設定手順 … 167
7－36	パルス幅を算出する割り込み要求処理 … 167
7－37	16ビット・タイマ／カウンタのPWM信号出力例 … 168
7－38	PWM出力動作における制御レジスタの設定内容 … 169
7－39	PWM出力の設定手順 … 170
7－40	PWM出力のデューティ変更 … 171
7－41	16ビット・タイマ／カウンタのPPG信号出力例 … 172
7－42	PPG出力動作における制御レジスタの設定内容 … 173
7－43	PPG出力の設定手順 … 174
7－44	PPG出力のデューティ変更 … 175
7－45	16ビット・タイマ／カウンタのワンショット・パルス出力例 … 176
7－46	ワンショット・パルス出力における制御レジスタ設定内容 … 177
7－47	ワンショット・パルス出力の設定手順 … 178
7－48	8ビット・タイマ／カウンタ1のブロック図 … 181
7－49	タイマ・コントロール・レジスタ1（TMC1）のフォーマット … 184
7－50	プリスケーラ・モード・レジスタ1（PRM1）のフォーマット … 185
7－51	キャプチャ／コンペア・コントロール・レジスタ1（CRC1）のフォーマット … 186
7－52	8ビット・タイマ1（TM1）の基本動作 … 188
7－53	コンペア・レジスタ（CR1m）との一致によるTM1のクリア … 189
7－54	キャプチャ後，TM1のクリア … 189
7－55	CE1ビットをリセット（0）した場合のクリア動作 … 190
7－56	コンペア動作 … 192
7－57	一致検出後，TM1のクリア … 193
7－58	キャプチャ動作 … 195
7－59	キャプチャ後，TM1のクリア … 196
7－60	インターバル・タイマ動作（1）のタイミング … 197
7－61	インターバル・タイマ動作（1）における制御レジスタの設定内容 … 198

図の目次（5／12）

図番号	タイトル，ページ
7－62	インターバル・タイマ動作（1）の設定手順 … 199
7－63	インターバル・タイマ動作（1）の割り込み要求処理 … 199
7－64	インターバル・タイマ動作（2）のタイミング（CR11をコンペア・レジスタとして使用する場合） … 200
7－65	インターバル・タイマ動作（2）の制御レジスタの設定内容 … 201
7－66	インターバル・タイマ動作（2）の設定手順 … 202
7－67	パルス幅測定のタイミング（CR11をキャプチャ・レジスタとして使用する場合） … 203
7－68	パルス幅測定の制御レジスタの設定内容 … 204
7－69	パルス幅測定の設定手順 … 205
7－70	パルス幅を算出する割り込み要求処理 … 205
7－71	8ビット・タイマ／カウンタ2のブロック図 … 210
7－72	タイマ・コントロール・レジスタ1（TMC1）のフォーマット … 213
7－73	プリスケーラ・モード・レジスタ1（PRM1）のフォーマット … 214
7－74	キャプチャ／コンペア・コントロール・レジスタ2（CRC2）のフォーマット … 215
7－75	タイマ出力コントロール・レジスタ（TOC）のフォーマット … 216
7－76	8ビット・タイマ2（TM2）の基本動作 … 218
7－77	コンペア・レジスタ（CR21）との一致によるTM2のクリア … 219
7－78	キャプチャ後，TM2のクリア … 219
7－79	CE2ビットをリセット（0）した場合のクリア動作 … 220
7－80	8ビット・タイマ／カウンタ2の外部イベント・カウントのタイミング … 222
7－81	外部イベント・カウンタでの割り込み要求発生 … 224
7－82	外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例 … 225
7－83	外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法 … 226
7－84	ワンショット・タイマ動作 … 227
7－85	コンペア動作 … 228
7－86	一致検出後，TM2のクリア … 229
7－87	キャプチャ動作 … 231
7－88	キャプチャ後，TM2のクリア … 232
7－89	トグル出力の動作 … 234
7－90	PWMパルス出力 … 237
7－91	TM2を用いたPWM出力例 … 238

図の目次（6／12）

図番号	タイトル，ページ
7－92	CR20＝FFHのときのPWM出力例 … 238
7－93	コンペア・レジスタの書き換え例 … 239
7－94	PWM出力時にデューティが100%になる例 … 240
7－95	TM2を用いたPPG出力例 … 242
7－96	CR20＝CR21のときのPPG出力例 … 243
7－97	CR20＝00HのときのPPG出力例 … 243
7－98	コンペア・レジスタの書き換え例 … 244
7－99	PPG出力時にデューティが100％になる例 … 245
7－100	PPG出力の周期が長くなる例 … 246
7－101	インターバル・タイマ動作（1）のタイミング … 247
7－102	インターバル・タイマ動作（1）における制御レジスタの設定内容 … 248
7－103	インターバル・タイマ動作（1）の設定手順 … 249
7－104	インターバル・タイマ動作（1）の割り込み要求処理 … 249
7－105	インターバル・タイマ動作（2）のタイミング … 250
7－106	インターバル・タイマ動作（2）の制御レジスタの設定内容 … 251
7－107	インターバル・タイマ動作（2）の設定手順 … 252
7－108	パルス幅測定のタイミング … 253
7－109	パルス幅測定の制御レジスタの設定内容 … 254
7－110	パルス幅測定の設定手順 … 255
7－111	パルス幅を算出する割り込み要求処理 … 255
7－112	8ビット・タイマ／カウンタ2のPWM信号出力例 … 256
7－113	PWM出力動作における制御レジスタの設定内容 … 257
7－114	PWM出力の設定手順 … 259
7－115	PWM出力のデューティ変更 … 260
7－116	8ビット・タイマ／カウンタ2のPPG信号出力例 … 261
7－117	PPG出力動作における制御レジスタの設定内容 … 262
7－118	PPG出力の設定手順 … 264
7－119	PPG出力のデューティ変更 … 265
7－120	外部イベント・カウンタ動作（片エッジの場合） … 266
7－121	外部イベント・カウンタ動作の制御レジスタの設定内容 … 267
7－122	外部イベント・カウンタ動作の設定手順 … 267
7－123	ワンショット・タイマ動作 … 268
7－124	ワンショット・タイマ動作の制御レジスタの設定内容 … 269
7－125	ワンショット・タイマ動作の設定手順 … 270

図の目次（7／12）

図番号	タイトル，ページ
7－126	2回目以降のワンショット・タイマの起動手順 … 270
7－127	8ビット・タイマ／カウンタ3のブロック図 … 272
7－128	タイマ・コントロール・レジスタ（TMC0）のフォーマット … 274
7－129	プリスケーラ・モード・レジスタ0（PRM0）のフォーマット … 275
7－130	8ビット・タイマ3（TM3）の基本動作 … 276
7－131	コンペア・レジスタ（CR30）との一致によるTM3のクリア … 277
7－132	CE3ビットをリセット（0）した場合のクリア動作 … 278
7－133	コンペア動作 … 280
7－134	インターバル・タイマ動作のタイミング … 281
7－135	インターバル・タイマ動作の制御レジスタの設定内容 … 282
7－136	インターバル・タイマ動作の設定手順 … 282
7－137	カウント・スタート時の動作 … 285
7－138	カウント動作の停止 … 286
7－139	カウント動作の停止，再スタートのタイミング … 286
7－140	PWM出力時にデューティが100％になる例 … 288
7－141	PPG出力時にデューティが100％になる例 … 289
7－142	PPG出力の周期が長くなる例 … 290
7－143	外部イベント・カウンタでの割り込み要求発生 … 293
7－144	外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例 … 294
7－145	外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法 … 295
7－146	誤検出したエッジによる割り込み発生タイミングの変化 … 298
8－1	A／Dコンバータのブロック図 … 300
8－2	A／Dコンバータ用端子のキャパシタ接続例 … 301
8－3	A／Dコンバータ・モード・レジスタ（ADM）のフォーマット … 304
8－4	A／Dコンバータの基本動作 … 306
8－5	アナログ入力電圧とA／D変換結果の関係 … 307
8－6	セレクト・モードの動作タイミング … 309
8－7	スキャン・モードの動作タイミング … 310
8－8	ソフトウエア・スタートによるセレクト・モードのA／D変換動作 … 312
8－9	ソフトウエア・スタートによるスキャン・モードのA／D変換動作 … 313
8－10	ハードウエア・スタートによるA／D変換の誤動作の例 … 315
8－11	ハードウエア・スタートによるセレクト・モードのA／D変換動作 … 316

図の目次（8／12）

図番号	タイトル，ページ
8－12	ハードウエア・スタートによるスキャン・モードのA／D変換動作 … 317
8－13	A／Dコンバータ用端子のキャパシタ接続例 … 319
8－14	ハードウエア・スタートによるA／D変換の誤動作の例 … 320
9－1	アシンクロナス・シリアル・インタフェースのブロック図 … 324
9－2	アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のフォーマット … 326
9－3	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）のフォーマット … 327
9－4	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット … 328
9－5	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング … 330
9－6	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング … 331
9－7	受信エラー・タイミング … 332
9－8	ボー・レート生成用クロックの発生ブロック図 … 334
9－9	ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）のフォーマット … 336
10－1	クロック同期式シリアル・インタフェースのブロック図 … 346
10－2	クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のフォーマット … 348
10－3	シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）のフォーマット … 350
10－4	3線式シリアルI／Oのシステム構成例 … 351
10－5	3線式シリアルI／Oモードのタイミング … 352
10－6	2線式シリアルI／Oとの接続例 … 353
10－7	SBIによるシリアル・バス構成例 … 360
10－8	端子構成図 … 361
10－9	クロック同期式シリアル・インタフェースのブロック図 … 362
10－10	クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のフォーマット … 364
10－11	SBICレジスタのフォーマット … 365
10－12	シフト・レジスタ周辺の構成 … 367
10－13	SBI転送のタイミング … 368
10－14	バス・リリース信号 … 369

図の目次（9／12）

図番号	タイトル，ページ
10－15	コマンド信号 … 369
10－16	アドレス … 370
10－17	アドレスによるスレーブの選択 … 370
10－18	コマンド … 371
10－19	データ … 371
10－20	アクノリッジ信号 … 372
10－21	ビジィ信号，レディ信号 … 373
10－22	RELT，CMDT，RELD，CMDDの動作 … 374
10－23	ACKTの動作 … 374
10－24	ACKEの動作 … 375
10－25	ACKDの動作 … 376
10－26	BSYEの動作 … 377
10－27	マスタ・デバイスからスレーブ・デバイスへのアドレス送信動作 … 382
10－28	マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作 … 383
10－29	マスタ・デバイスからスレーブ・デバイスへのデータ送信動作 … 384
10－30	スレーブ・デバイスからマスタ・デバイスへのデータ送信動作 … 385
11－1	外部割り込みモード・レジスタ0（INTM0）のフォーマット … 390
11－2	外部割り込みモード・レジスタ1（INTM1）のフォーマット … 391
11－3	P20端子のエッジ検出 … 392
11－4	P21-P26端子のエッジ検出 … 393
11－5	エッジの誤検出 … 394
11－6	エッジの誤検出 … 397
12－1	INTM1レジスタのフォーマット … 402
12－2	ADMレジスタのフォーマット … 403
12－3	割り込み要求フラグ・レジスタ（IF0）のフォーマット … 405
12－4	割り込みマスク・レジスタ（MK0）のフォーマット … 405
12－5	割り込みサービス・モード・レジスタ（ISM0）のフォーマット … 406
12－6	優先順位指定フラグ・レジスタ（PR0）のフォーマット … 406
12－7	割り込みステータス・レジスタ（IST）のフォーマット … 407
12－8	プログラム・ステータス・ワードのフォーマット … 408
12－9	NMI割り込み要求の受け付け動作 … 410
12－10	割り込み受け付け処理アルゴリズム … 414

図の目次（10／12）

図番号	タイトル，ページ
12－11	割り込み処理中に他の割り込み要求が発生した場合の処理例 … 416
12－12	同時発生した割り込み要求の処理例 … 418
12－13	割り込み要求の発生と受け付け … 421
12－14	ベクタ割り込みとマクロ・サービスの処理の違い … 425
12－15	マクロ・サービス処理シーケンス … 428
12－16	マクロ・サービス・コントロール・ワードの構成 … 429
12－17	マクロ・サービス・モード・レジスタのフォーマット … 430
12－18	マクロ・サービス・データ転送処理フロー（タイプA）… 433
12－19	タイプAのマクロ・サービス・チャネル … 434
12－20	アシンクロナス・シリアル受信 … 435
12－21	マクロ・サービス・データ転送処理フロー（タイプB）… 437
12－22	タイプBのマクロ・サービス・チャネル … 439
12－23	外部割り込みに同期したパラレル・データ入力 … 440
12－24	パラレル・データ入力のタイミング … 440
12－25	マクロ・サービス・データ転送処理フロー（タイプC）… 443
12－26	タイプCのマクロ・サービス・チャネル … 446
12－27	リアルタイム出力ポートによるステッピング・モータの開ループ制御 … 447
12－28	データ転送制御のタイミング … 448
12－29	4相ステッピング・モータの1相励磁の場合 … 450
12－30	4相ステッピング・モータの1-2相励磁の場合 … 450
12－31	自動加算制御＋リング制御のブロック図1 （1-2相励磁で出力タイミングが変化する場合：MSC＝8ビット） … 451
12－32	自動加算制御＋リング制御のタイミング図1 （1-2相励磁で出力タイミングが変化する場合） … 452
12－33	自動加算制御＋リング制御のブロック図2 （1-2相励磁の等速運動：MSC＝16ビット） … 453
12－34	自動加算制御＋リング制御のタイミング図2（1-2相励磁の等速運動） … 454
13－1	メモリ拡張モード・レジスタ（MM）のフォーマット … 460
13－2	プログラマブル・ウエイト制御レジスタ（PW）のフォーマット … 461
13－3	リード・タイミング … 463
13－4	ライト・タイミング … 463
13－5	拡張データ・メモリのアクセス … 465
13－6	μPD78217AとμPD78218A（$\overline{EA}$＝Lのとき）のデータ・メモリの拡張 … 468

図の目次（11／12）

図番号	タイトル，ページ
13－7	μPD78218A，78P218A（$\overline{EA}$＝Hのとき）のデータ・メモリの拡張 … 469
13－8	μPD78218Aとメモリの接続例 … 471
13－9	μPD78217Aのウエイト制御の空間 … 473
13－10	μPD78218Aのウエイト制御の空間 … 474
13－11	プログラマブル・ウエイト機能によるリード・タイミング … 475
13－12	プログラマブル・ウエイト機能によるライト・タイミング … 477
13－13	外部ウエイト信号によるタイミング … 479
13－14	リフレッシュ・モード・レジスタ（RFM）のフォーマット … 481
13－15	内部メモリ・アクセス時のパルス・リフレッシュ動作 … 483
13－16	外部メモリ・アクセス時のパルス・リフレッシュ動作 … 484
13－17	セルフ・リフレッシュ動作からの復帰タイミング … 485
13－18	セルフ・リフレッシュ動作からの復帰動作 … 486
13－19	疑似スタティックRAMとの接続例 … 487
13－20	セルフ・リフレッシュ動作からの復帰動作 … 489
13－21	エミュレーション時に発生するA16-A19端子のヒゲの例 … 490
13－22	エミュレーション時のアドレス・ホールド時間の不足 … 490
13－23	エミュレーション時の不具合回避方法 … 491
14－1	スタンバイ・モードの遷移図 … 493
14－2	スタンバイ機能ブロック図 … 494
14－3	スタンバイ・コントロール・レジスタ（STBC）のフォーマット … 495
14－4	NMI入力によるSTOPモードの解除（OW0ビット＝0のとき） … 501
14－5	発振安定時間が延長される例 … 502
14－6	NMI入力によるSTOPモードの解除（OW0ビット＝1のとき） … 503
14－7	アドレス・バスの処理例 … 505
14－8	アドレス／データ・バスの処理例 … 506
14－9	アナログ入力端子の処理例 … 507
14－10	発振安定時間が延長される例 … 508
15－1	リセット信号の受け付け … 509
15－2	電源投入時のリセット動作 … 510
15－3	リセット入力時のタイミング … 513
16－1	2系統のステッピング・モータの制御例 … 516

図の目次（12／12）

図番号	タイトル，ページ
16－2	シリアル・バス・インタフェースのシステム構成例 … 517
16－3	SBIによる通信例 … 518
16－4	シリアル・バス通信タイミング … 518
17－1	PROMの書き込み／ベリファイ・タイミング … 520
17－2	書き込み手順フロー・チャート … 521
17－3	PROMの読み出しタイミング … 522

表の目次（1／3）

表番号	タイトル，ページ
2－1	ポート2の動作モード … 20
2－2	ポート3の動作モード（n＝0 ― 7） … 22
2－3	ポート6の動作モード … 24
2－4	各端子の入出力タイプと未使用時の処理 … 28
3－1	ベクタ・テーブル … 36
3－2	レジスタ・バンクの選択 … 41
3－3	機能名称 ― 絶対名称の対応 … 47
3－4	特殊機能レジスタ（SFR）一覧 … 49
5－1	ポートの機能 … 60
5－2	入出力ポート数 … 60
5－3	ポート2の動作モード … 65
5－4	ポート3の動作モード（n＝0 ― 7）… 70
5－5	ポート4の動作モード … 84
5－6	ポート5の動作モード … 90
5－7	ポート6の動作モード … 96
5－8	ポート6のコントロール端子機能と操作 … 102
6－1	ポート0とポート0バッファ・レジスタに対する操作時の動作 … 116
6－2	リアルタイム出力ポートの出力トリガ（P0MH＝P0ML＝1の場合） … 118
7－1	タイマ／カウンタの種類と機能 … 127
7－2	16ビット・タイマ／カウンタのインターバル時間 … 129
7－3	16ビット・タイマ／カウンタのプログラマブル矩形波出力設定範囲 … 129
7－4	16ビット・タイマ／カウンタのパルス幅測定範囲 … 130
7－5	タイマ出力（TO0，TO1）の動作 … 146
7－6	TO0，TO1のトグル出力（f_{CLK}＝6 MHz）… 148
7－7	TO0，TO1のPWM周期（f_{CLK}＝6 MHz）… 149
7－8	TO0のPPG出力（f_{CLK}＝6 MHz）… 154
7－9	8ビット・タイマ／カウンタ1のインターバル時間 … 179
7－10	8ビット・タイマ／カウンタ1のパルス幅測定範囲 … 179
7－11	8ビット・タイマ／カウンタ2のインターバル時間 … 206
7－12	8ビット・タイマ／カウンタ2のプログラマブル矩形波出力設定範囲 … 207

表の目次（2／3）

表番号	タイトル，ページ
7－13	8ビット・タイマ／カウンタ2のパルス幅測定範囲 … 207
7－14	8ビット・タイマ／カウンタ2に入力可能なクロック … 208
7－15	タイマ出力（TO2，TO3）の動作 … 233
7－16	TO2，TO3のトグル出力（f_{CLK}＝6 MHz）… 235
7－17	TO2，TO3のPWM周期（f_{CLK}＝6 MHz）… 237
7－18	TO2のPPG出力（f_{CLK}＝6 MHz）… 242
7－19	8ビット・タイマ／カウンタ3のインターバル時間 … 271
7－20	タイマ／カウンタ関係レジスタ・アクセス時の最大ウエイト数 … 287
8－1	INTADを発生するモード … 299
8－2	A／D変換時間 … 308
8－3	A／Dコンバータの各動作状態における割り込み要求発生条件 … 318
9－1	受信エラーの要因 … 332
9－2	ボー・レートの設定方法 … 338
9－3	専用ボー・レート・ジェネレータを使用した場合のBRGCレジスタへの設定例 … 340
9－4	8ビット・タイマ／カウンタ3を使用した場合のボー・レート設定例（アシンクロナス・シリアル・インタフェース） … 342
9－5	外部ボー・レート入力（ASCK）を使用した場合の設定例 … 343
10－1	SBICレジスタの読み出し／書き込み … 349
10－2	SBIにおける各種の信号 … 378
10－3	$\overline{\text{BUSY}}$解除条件 … 386
11－1	P20－P26端子と検出エッジの用途 … 389
12－1	割り込み要求の処理形態 … 399
12－2	割り込み要求ソースの種類 … 400
12－3	割り込み要求ソースに対する各種フラグ … 404
12－4	多重割り込み処理 … 415
12－5	割り込み受け付け処理時間 … 422
12－6	マクロ・サービス処理時間（MSC＝8ビットの場合） … 423
12－7	マクロ・サービス処理時間（MSC＝16ビットの場合） … 424
12－8	マクロ・サービスが使用可能な割り込み … 426

表の目次（3／3）

表番号	タイトル，ページ
12－9	マクロ・サービス処理を指定できる割り込み要求とSFR（タイプA）… 431
12－10	不正ライト・アクセスの発生条件と動作 … 432
12－11	マクロ・サービス処理を指定できる割り込み要求とSFR（タイプC）… 441
12－12	不正ライト・アクセスの発生条件と動作 … 442
12－13	不正ライト・アクセスの発生条件と動作 … 457
13－1	不正ライト・アクセスの発生条件と動作 … 467
13－2	疑似スタティックRAM使用時のシステム・クロック周波数とリフレッシュ・パルス出力周期 … 482
13－3	不正ライト・アクセスの発生条件と動作 … 488
14－1	HALTモード時の動作状態 … 496
14－2	HALTモードの解除と解除後の動作 … 497
14－3	マスカブル割り込み要求によるHALTモードの解除 … 499
14－4	STOPモード時の動作状態 … 500
15－1	リセット入力中，リセット解除後の端子状態 … 510
15－2	各ハードウエアのリセット後の状態 … 511
17－1	PROMプログラミングの動作モード … 519
18－1	8ビット・アドレシング別命令一覧表 … 541
18－2	16ビット・アドレシング別命令一覧表 … 542
18－3	ビット操作命令アドレシング別命令一覧表 … 543
18－4	コール命令／分岐命令のアドレシング別命令一覧表 … 544
A－1	78K／IIシリーズ製品一覧 … 546

第1章　概　　説

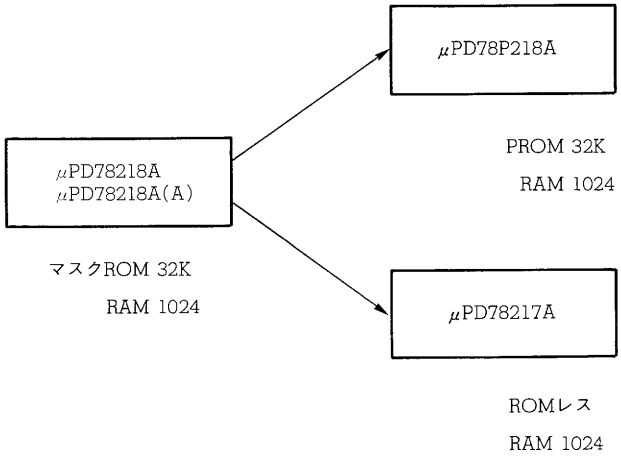
μPD78218Aは，高速，高性能CPUを搭載した78K／IIシリーズの製品で，μPD78214の大容量メモリ版です。メモリ容量の拡張のほかに，タイマ／カウンタ，マクロ・サービス機能を拡張しています。

μPD78217Aは，μPD78218AのROMを除いた製品です。

μPD78218Aは，32KバイトのマスクROMと1024バイトのRAMを内蔵しています。

μPD78P218Aは，μPD78218AのマスクROMをPROMに置き換えた製品です。

μPD78218A(A) は，μPD78218Aの『特別』品質水準品です。



これらの製品は，次のような分野に応用できます。

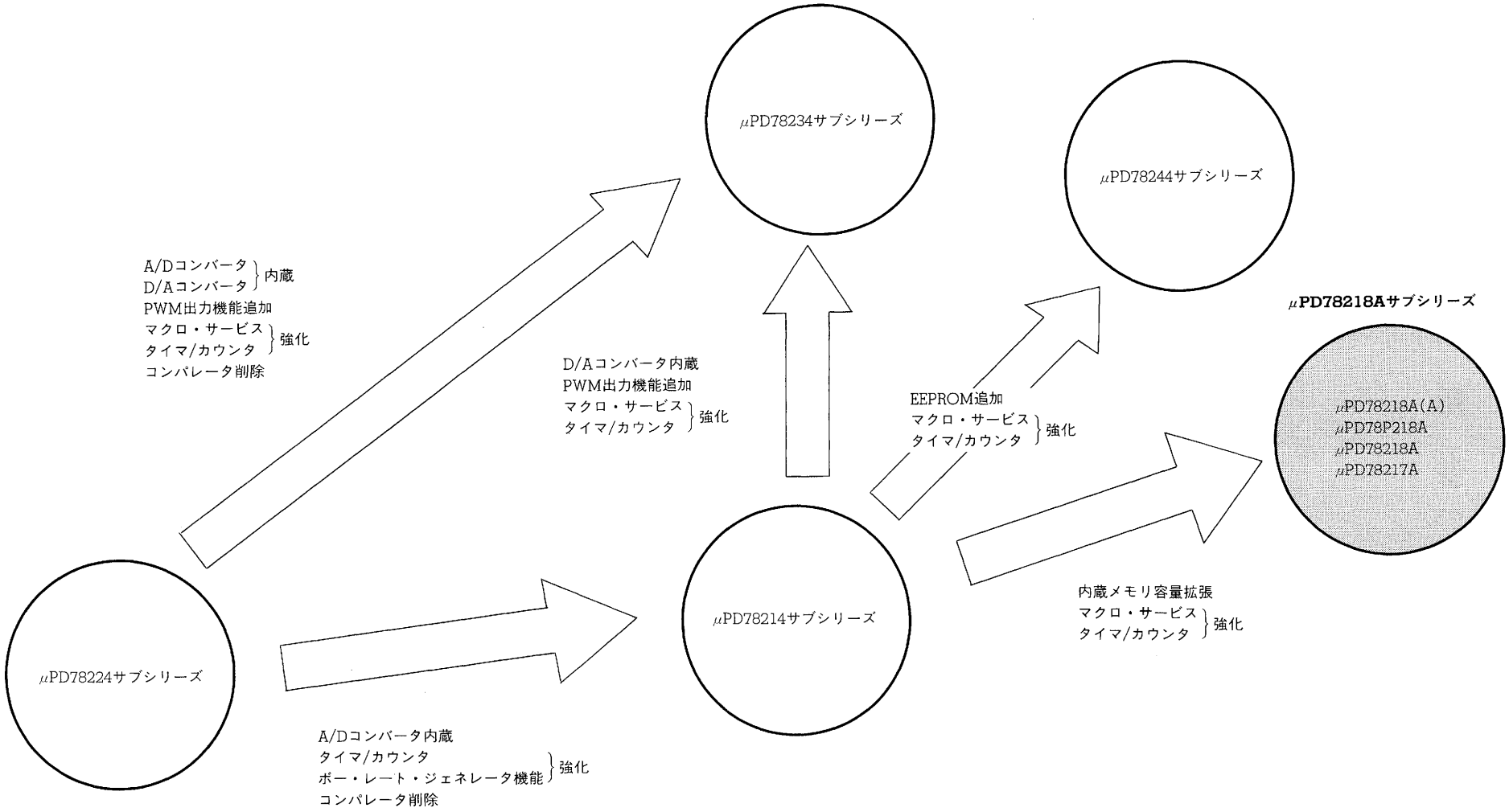
○標準品

- プリンタ
- 電子タイプライタ
- PPC (Plain Paper Copier)
- 電子楽器
- インバータ・エアコン
- カメラ

○特別品

- 自動車電装
- 燃焼制御

78K／II製品展開図


μPD78224サブシリーズ
A/Dコンバータ
D/Aコンバータ
内蔵
PWM出力機能追加
マクロ・サービス
タイマ/カウンタ
強化
コンパレータ削除
μPD78234サブシリーズ
A/Dコンバータ内蔵
タイマ/カウンタ
ボー・レート・ジェネレータ機能
強化
コンパレータ削除
μPD78214サブシリーズ
D/Aコンバータ内蔵
PWM出力機能追加
マクロ・サービス
タイマ/カウンタ
強化
μPD78244サブシリーズ
EEPROM追加
マクロ・サービス
タイマ/カウンタ
強化
μPD78218Aサブシリーズ
μPD78218A(A)
μPD78P218A
μPD78218A
μPD78217A
内蔵メモリ容量拡張
マクロ・サービス
タイマ/カウンタ
強化

1.1 特　徴

○78K／IIシリーズ

○内部バスの多重化（命令実行の高速化）

・最小インストラクション・サイクル(12 MHz動作時)　：333 ns(μPD78218A，78P218A)
500 ns(μPD78217A)

○制御用途に適した命令セット

○データ・メモリ拡張機能（メモリ空間1 Mバイト：バンク指定ポインタ×2）

○割り込みコントローラ（2レベル・プライオリティ）

・ベクタ割り込み処理

・マクロ・サービス

○内部メモリ

・ROM

マスクROM　：32 Kバイト（μPD78218A）
内蔵せず（μPD78217A）

PROM　：32 Kバイト（μPD78P218A）

・RAM　：1024バイト

○I／O端子　：54本（μPD78218A，78P218A）
36本（μPD78217A）

・ソフトウエア・プログラマブル・プルアップ　：34入力（μPD78218A，78P218A）
16入力（μPD78217A）

・LEDダイレクト・ドライブ可能　：16出力（μPD78218A，78P218Aのみ）

・トランジスタ・ダイレクト・ドライブ可能　：8出力

○シリアル・インタフェース

・UART（ボー・レート・ジェネレータ内蔵）

・クロック同期式シリアル・インタフェース（3線式シリアルI／O，シリアル・バス・インタフェース）

○リアルタイム出力ポート（8ビット・タイマ／カウンタと組み合わせることにより，2系統のステッピング・モータの独立制御が可能）

○8ビットA／Dコンバータ（アナログ8入力）

○高機能タイマ／カウンタ・ユニット

・16ビット×1

・8ビット×3

1.2 オーダ情報と品質水準

1.2.1 オーダ情報

オーダ名称	パッケージ	内蔵ROM
μPD78217ACW	64ピン・プラスチック・シュリンクDIP(750 mil)	なし
μPD78217AGC-AB8	64ピン・プラスチックQFP(本体14×14 mm)	〃
μPD78218ACW-×××	64ピン・プラスチック・シュリンクDIP(750 mil)	マスクROM
μPD78218AGC-×××-AB8	64ピン・プラスチックQFP(本体14×14 mm)	〃
μPD78P218ACW	64ピン・プラスチック・シュリンクDIP(750 mil)	ワン・タイムPROM
μPD78P218AGC-AB8	64ピン・プラスチックQFP(本体14×14 mm)	〃
μPD78P218ADW	64ピン・セラミック窓付きシュリンクDIP(750 mil)	EPROM
★ μPD78P218ACW-×××注	64ピン・プラスチック・シュリンクDIP (750 mil)	書き込み済みワンタイムPROM
★ μPD78P218AGC-×××-AB8注	64ピン・プラスチックQFP (本体14×14 mm)	〃
μPD78218ACW(A)-×××	64ピン・プラスチック・シュリンクDIP(750 mil)	マスクROM
μPD78218AGC(A)-×××-AB8	64ピン・プラスチックQFP(本体14×14 mm)	〃

注 QTOP™マイコンです。

QTOPマイコンとは，NECでプログラムの書き込みから捺印，スクリーニング，ベリファイまでトータル・サポートしたワン・タイムPROM内蔵シングルチップ・マイコンの総称です。

備考 ×××は，ROMコード番号です。

1.2.2 品質水準

オーダ名称	パッケージ	品質水準	
μPD78217ACW	64ピン・プラスチック・シュリンクDIP(750 mil)	標準(一般電子機器用)	
μPD78217GC-AB8	64ピン・プラスチックQFP(本体14×14 mm)	〃	
μPD78218ACW	64ピン・プラスチック・シュリンクDIP(750 mil)	〃	
μPD78218AGC-×××-AB8	64ピン・プラスチックQFP(本体14×14 mm)	〃	
μPD78P218ACW	64ピン・プラスチック・シュリンクDIP(750 mil)	〃	
μPD78P218AGC-AB8	64ピン・プラスチックQFP(本体14×14 mm)	〃	
μPD78P218ADW	64ピン・セラミック窓付きシュリンクDIP(750 mil)	〃	
μPD78P218ACW-×××注	64ピン・プラスチック・シュリンクDIP (750 mil)	〃	★
μPD78P218AGC-×××-AB8注	64ピン・プラスチックQFP (本体14×14 mm)	〃	★
μPD78218ACW(A)-×××	64ピン・プラスチック・シュリンクDIP(750 mil)	特別(高信頼度電子機器用)	
μPD78218AGC(A)-×××-AB8	64ピン・プラスチックQFP(本体14×14 mm)	〃	

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

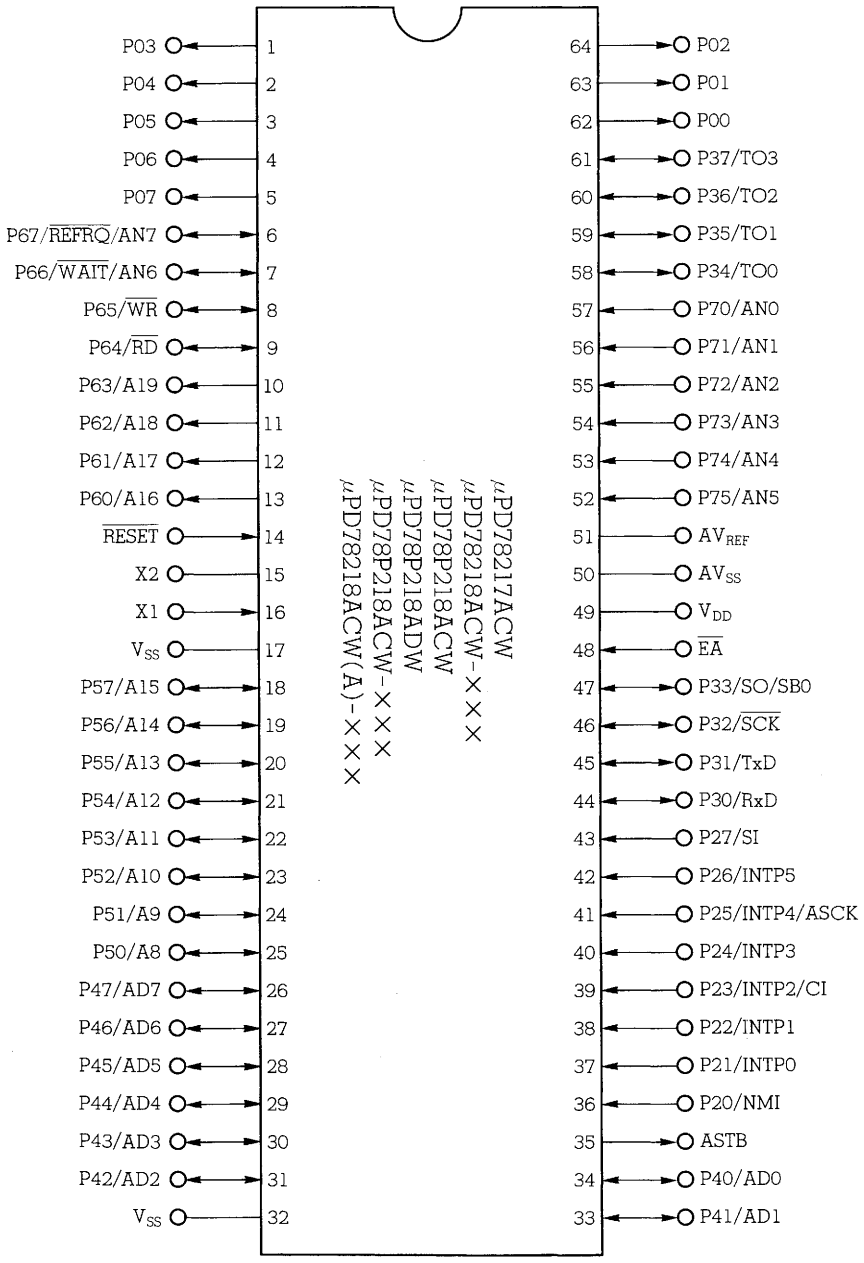
注 QTOPマイコンです。
QTOPマイコンとは，NECでプログラムの書き込みから捺印，スクリーニング，ベリファイまでトータル・サポートしたワン・タイムPROM内蔵シングルチップ・マイコンの総称です。

備考 ×××は，ROMコード番号です。

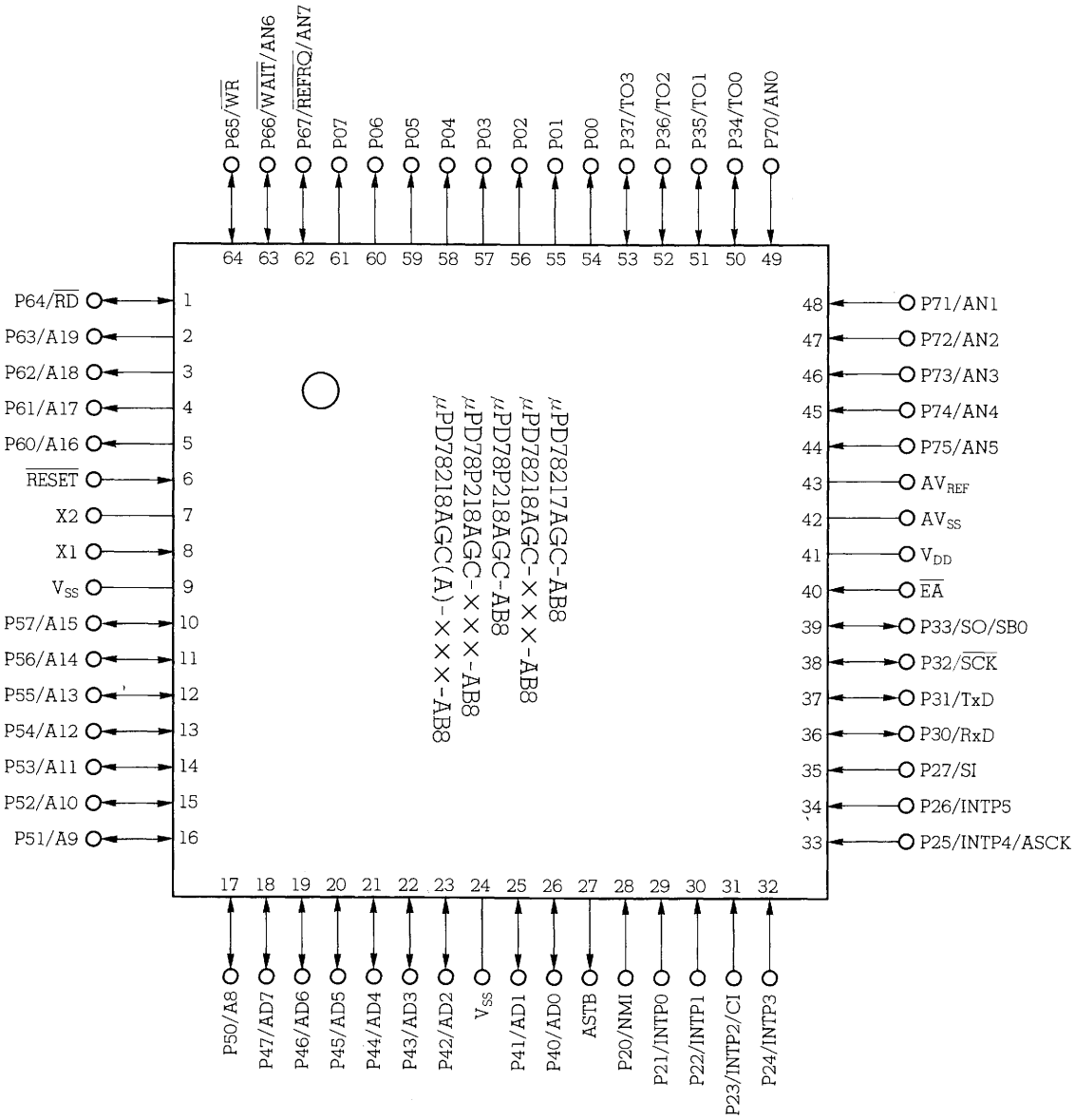
1.3 端子接続図（Top View）

1.3.1 通常動作モード

(1) 64ピン・プラスチック・シュリンクDIP，64ピン・セラミック窓付きシュリンクDIP



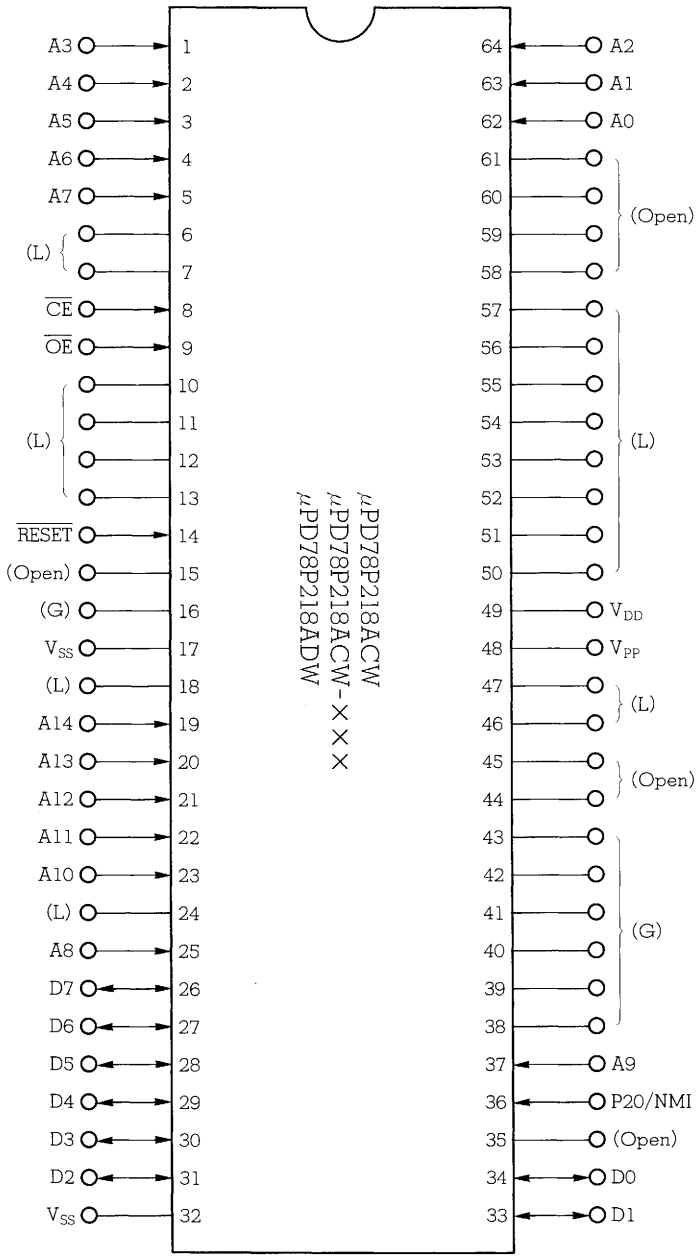
(2) 64ピン・プラスチックQFP（本体14×14 mm）



P00-P07	: Port 0
P20-P27	: Port 2
P30-P37	: Port 3
P40-P47	: Port 4
P50-P57	: Port 5
P60-P67	: Port 6
P70-P75	: Port 7
TO0-TO3	: Timer Output
CI	: Clock Input
RxD	: Receive Data
TxD	: Transmit Data
$\overline{\text{SCK}}$	: Serial Clock
ASCK	: Asynchronous Serial Clock
SB0	: Serial Bus
SI	: Serial Input
SO	: Serial Output
NMI	: Non-maskable Interrupt
INTP0-INTP5	: Interrupt From Peripherals
AD0-AD7	: Address／Data Bus
A8-A19	: Address Bus
$\overline{\text{RD}}$	: Read Strobe
$\overline{\text{WR}}$	: Write Strobe
$\overline{\text{WAIT}}$	: Wait
ASTB	: Address Strobe
$\overline{\text{REFRQ}}$	: Refresh Request
$\overline{\text{RESET}}$	: Reset
X1, X2	: Crystal
$\overline{\text{EA}}$	: External Access
AN0-AN7	: Analog Input
AV_{REF}	: Reference Voltage
AV_{SS}	: Analog Ground
V_{DD}	: Power Supply
V_{SS}	: Ground

1.3.2 PROMプログラミング・モード(P20／NMI＝12.5 V, $\overline{\text{RESET}}$＝L)

(1) 64ピン・プラスチック・シュリンクDIP，64ピン・セラミック窓付きシュリンクDIP



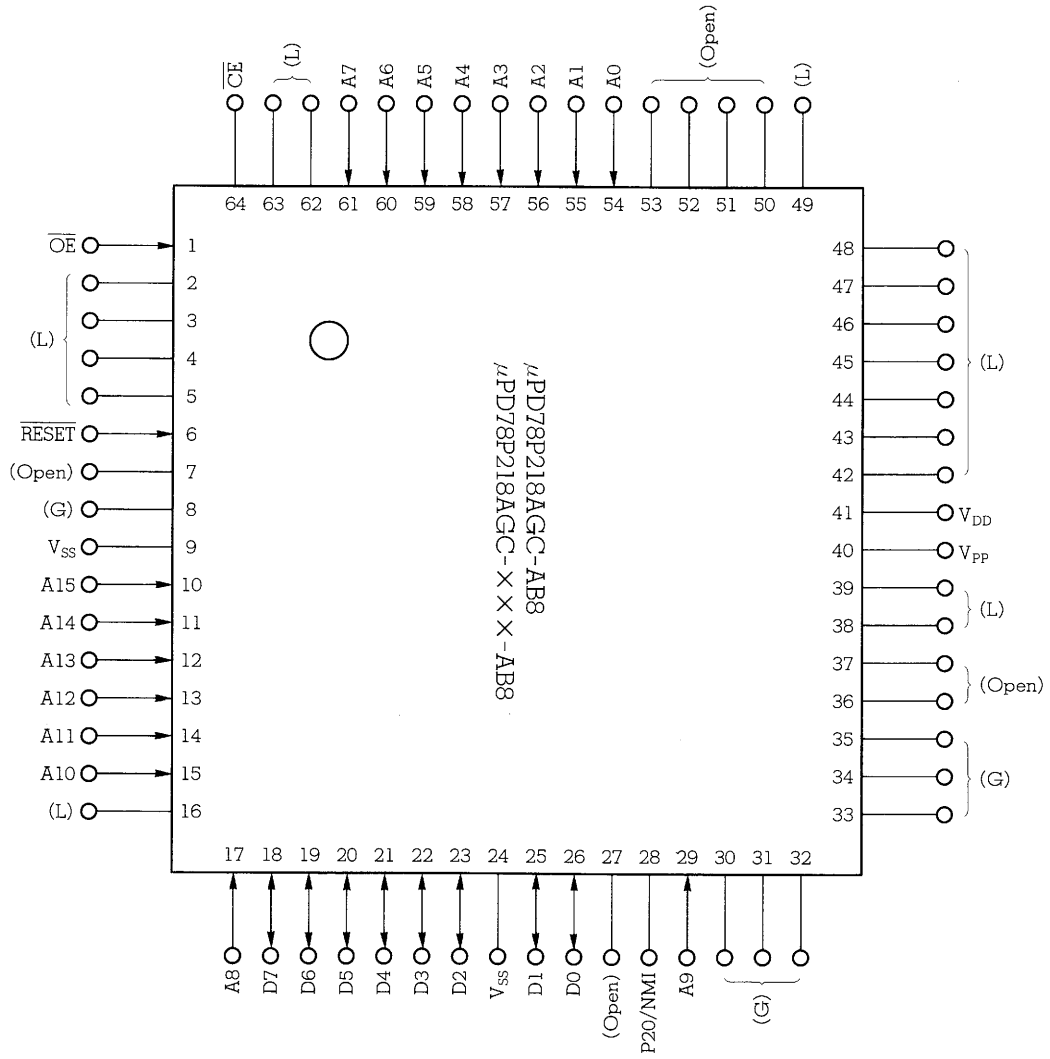
注意 ( )内は，PROMプログラミング・モードでは使用しない端子の処理です。

L ：個別に10 kΩの抵抗を介し，V_{SS}に接続してください。 ★

G ：V_{SS}に接続してください。

Open：何も接続しないでください。

(2) 64ピン・プラスチックQFP（本体14×14 mm）



注意　(　)内は，**PROM**プログラミング・モードでは使用しない端子の処理です。

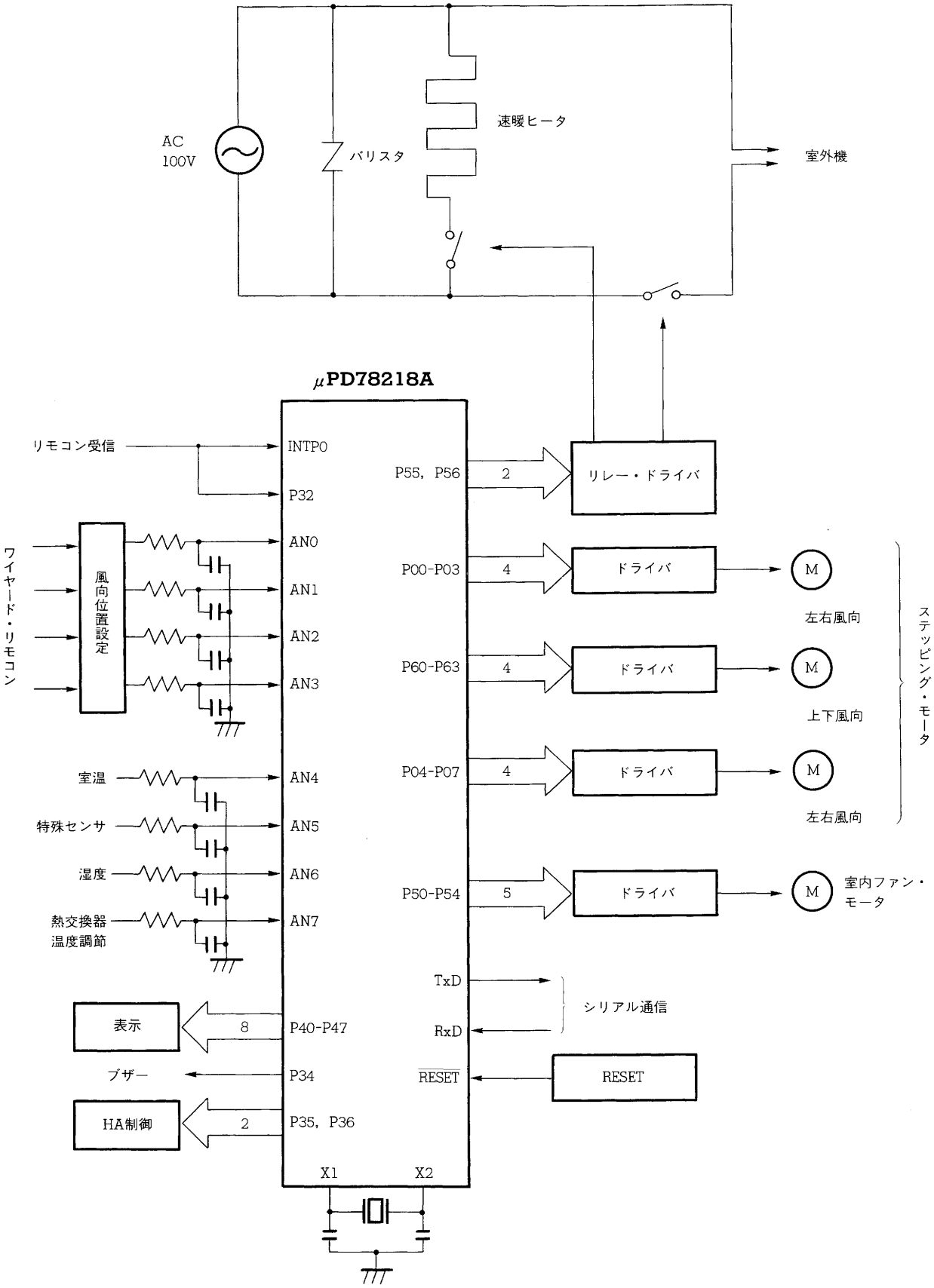
★　**L**　：個別に**10 kΩ**の抵抗を介し，**V_{SS}**に接続してください。

G　：**V_{SS}**に接続してください。

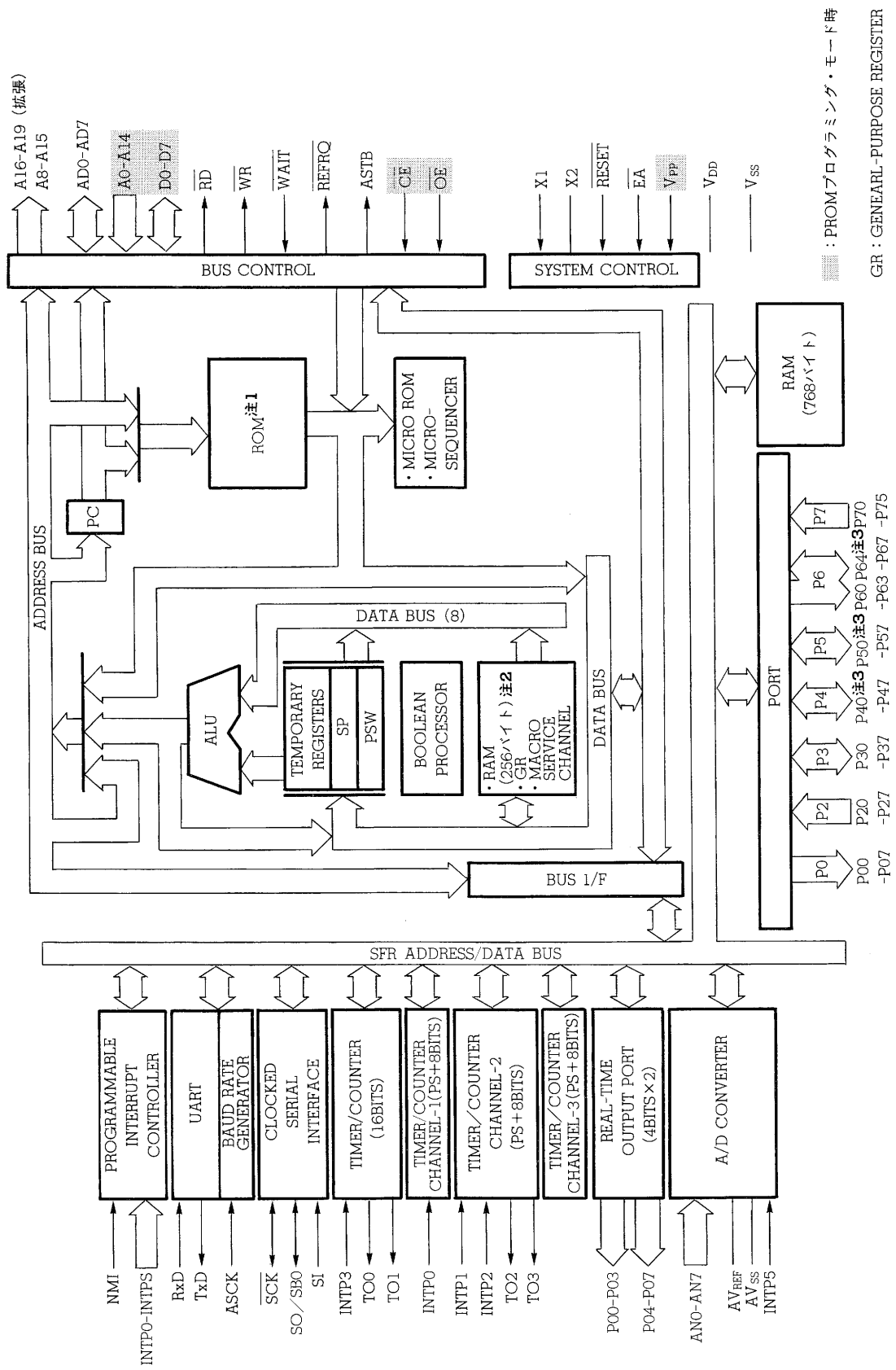
Open：何も接続しないでください。

V_{PP}	: Programming Power Supply	$\overline{OE}$	: Output Enable
$\overline{RESET}$	: Reset	V_{DD}	: Power Supply
D0-D7	: Data Bus	$\overline{CE}$	: Chip Enable
A0-A14	: Address Bus	P20/NMI	: Port2/Non-maskable Interrupt
V_{SS}	: Ground		

1.4 応用システム構成例（インバータ・エアコン室内機）



1.5 内部ブロック図



注 1. μPD78217A：内蔵せず，μPD78218A，78P218A：32 Kバイト
2. 内部デュアル・ポートRAM
3. μPD78217Aの場合，P40-P47，P50-P57，P64，P65はポートとしては動作しません。

1.6 機能一覧

項目 ＼ 品名		μPD78218A	μPD78P218A	μPD78217A
基本命令(ニモニック)数		65		
最小命令実行時間 (12 MHz動作時)		333 ns		500 ns
電源電圧範囲		+5 V±10 %	+5 V±0.3 V	+5 V±10 % ★
内部メモリ容量	ROM	32 Kバイト (マスクROM)	32 Kバイト (PROM)	ROMレス
	RAM	1024バイト		
メモリ空間		プログラム：64 Kバイト，データ：1 Mバイト		
I/O端子	入 力	14		
	出 力	12		
	入出力	28		10
	合 計	54		36
付加機能付き端子 注	プルアップ抵抗付き端子	34		16
	LEDダイレクト・ドライブ出力	16		—
	トランジスタ・ダイレクト・ドライブ出力	8		
ROMレス・モード設定		$\overline{\text{EA}}$端子＝ロウ・レベル		ROMレス品
リアルタイム出力ポート		4ビット×2または8ビット×1		
汎用レジスタ		8ビット×8×4バンク(メモリ・マッピング)		
タイマ/カウンタ		16ビット・タイマ/カウンタ｛タイマ・レジスタ×1，キャプチャ・レジスタ×1，コンペア・レジスタ×1｝ パルス出力可｛トグル出力，PWM/PPG出力，ワンショット・パルス出力｝		
		8ビット・タイマ/カウンタ1｛タイマ・レジスタ×1，キャプチャ/コンペア・レジスタ×1，コンペア・レジスタ×1｝ パルス出力可｛リアルタイム出力：4ビット×2｝		
		8ビット・タイマ/カウンタ2｛タイマ・レジスタ×1，キャプチャ・レジスタ×1，コンペア・レジスタ×2｝ パルス出力可｛トグル出力，PWM/PPG出力｝		
		8ビット・タイマ/カウンタ3｛タイマ・レジスタ×1，コンペア・レジスタ×1｝ —		
シリアル・インタフェース		UART：1チャネル(専用ボー・レート・ジェネレータ内蔵) CSI(3線式シリアルI/O，SBI)：1チャネル		
A/Dコンバータ		8ビット分解能×8チャネル		
割り込み		19要因(外部7，内部12)＋BRK命令 2レベルの優先順位(プログラマブル) 2種類の処理形態(ベクタ割り込み，マクロ・サービス)		
命令セット		16ビット演算 乗除算（8ビット×8ビット，16ビット÷8ビット） ビット操作 BCD補正，その他		
パッケージ		64ピン・プラスチック・シュリンクDIP(750 mil) 64ピン・プラスチックQFP(本体14×14 mm) 64ピン・セラミック窓付きシュリンクDIP(750 mil)：μPD78P218Aのみ		

注 付加機能付き端子は，I／O端子の中に含まれています。

1.7 μPD78218Aサブシリーズとμ PD78214サブシリーズの相違点

シリーズ名		μPD78218Aサブシリーズ			μPD78214サブシリーズ			
品　名		μPD78217A	μPD78218A μPD78218A(A)	μPD78P218A	μPD78212 μPD78212(A)	μPD78213 μPD78213(A)	μPD78214 μPD78214(A)	μPD78P214 μPD78P214(A)
最小インストラクション・サイクル (12 MHz動作時)		500 ns	333 ns		333 ns	500 ns	333 ns	
★ 電源電圧範囲		+5 V±10 %		+5 V±0.3 V	+5 V±10 %			
内蔵メモリ	ROM	ROMレス	32 Kバイト (マスクROM)	32 Kバイト (PROM)	8 Kバイト (マスクROM)	ROMレス	16 Kバイト (マスクROM)	16 Kバイト (PROM)
	RAM	1024バイト			384バイト	512バイト		
I/O端子数		36	54		54	36	54	
PUSH PSW命令の実行時間 (クロック数)		スタック・エリアが内部デュアル・ポートRAMのとき：6 上記以外：8			スタック・エリアが内部デュアル・ポートRAMのとき：5または7 上記以外：7または9			
16ビット・タイマ/カウンタのワンショット・パルス出力		あ　り			な　し			
マクロ・サービス・カウンタのビット幅		8ビット／16ビット選択可 (タイプAを除く)			8ビットのみ			
マクロ・サービス・タイプCのMPD，MPTのインクリメント		16ビットでインクリメント			下位8ビットのみインクリメント (上位8ビットは変化せず)			
マクロ・サービス・タイプAのメモリからSFRへのデータ転送時の制限事項		転送元バッファ（メモリ）のアドレスが0FED0H-0FEDFHのときに発生			転送データがD0H-DFHのときに発生			
マクロ・サービスの実行時間		マクロ・サービス処理時間は，マクロ・サービスのモードなどによって決まりますが，サブシリーズ間でそれぞれ異なります。詳しくは，各サブシリーズのユーザーズ・マニュアルの，マクロ・サービス処理時間の表を参照してください。						
A/Dコンバータ	入力電圧の制限	A／D変換中の端子のみ，0 V-AV_{REF}端子電圧まで			A／D変換中の端子とADMレジスタのANI0-ANI3ビットで選択されている端子のみ，0V-AV_{REF}端子電圧まで			
	AV_{REF}電圧の制限	3.6 V～V_{DD}まで			3.4 V～V_{DD}まで			
STOPモード解除時の発振安定時間		専用カウンタの15ビット分，または$\overline{NMI}$のアクティブ・パルス幅＋専用カウンタの16ビット分			$\overline{NMI}$のアクティブ・パルス幅＋専用カウンタの16ビット分			
パッケージ		●64ピン・プラスチック・シュリンクDIP(750 mil) ●64ピン・プラスチックQFP (本体14×14 mm) ●64ピン・セラミック窓付きシュリンクDIP(750 mil)：μPD78P218Aのみ			●64ピン・プラスチック・シュリンクDIP(750 mil) ●64ピン・プラスチックQUIP：μPD78212，78212(A)，78P214(A)を除く ●68ピン・プラスチックQFJ：μPD78212，78212(A)，78213(A)，78P214(A)を除く ●64ピン・プラスチックQFP(本体14×14 mm)μPD78213(A)を除く ●74ピン・プラスチックQFP(本体20×20 mm)μPD78212(A)，78213(A)，78P214(A)を除く ●64ピン・セラミック窓付きシュリンクDIP(750 mil)：μPD78P214のみ			

1.8 μPD78218AとμPD78218A(A) の相違点

項目＼品名	μPD78218A	μPD78218A(A)
品質水準	標準（一般電子機器用）	特別（高信頼度電子機器用）
半田付け推奨条件	詳細については，データ・シートを参照してください。	

第2章　端子機能

2.1　端子機能一覧

2.1.1　通常動作モード

(1) ポート

端子名称	入出力	兼用端子	機能	
P00-P07	出力	—	ポート0(P0)： リアルタイム出力ポート(4ビット×2)として使用可能 トランジスタ駆動可能	
P20	入力	NMI	ポート2(P2)： P20は汎用ポートとしては使用不可(ノンマスカブル割り込み) ただし，割り込みルーチンにおいて，入力レベルの確認可 P22-P27は，6ビット単位でソフトウエアによる内蔵プルアップ抵抗の接続の指定可能	
P21		INTP0		
P22		INTP1		
P23		INTP2／CI		
P24		INTP3		
P25		INTP4/ASCK		
P26		INTP5		
P27		SI		
P30	入出力	RxD	ポート3(P3)： 1ビット単位に入出力指定可能 入力モードの端子について，ソフトウエアで一括して内蔵プルアップ抵抗の接続の指定可能	
P31		TxD		
P32		$\overline{SCK}$		
P33		SO／SB0		
P34-P37		TO0-TO3		
P40-P47[注]	入出力	AD0-AD7	ポート4(P4)： 8ビット単位で入出力指定可能 8ビット単位でソフトウエアによる内蔵プルアップ抵抗の接続の指定可能	LED駆動可能
P50-P57[注]	入出力	A8-A15	ポート5(P5)： 1ビット単位に入出力指定可能 入力モード端子について，ソフトウエアで一括して内蔵プルアップ抵抗の接続の指定可能	
P60-P63	出力	A16-A19	ポート6(P6)： P64-P67は1ビット単位に入出力指定可能 P64-P67は，入力モードの端子についてソフトウエアで一括して内蔵プルアップ抵抗の接続の指定可能	
P64[注]	入出力	$\overline{RD}$		
P65[注]		$\overline{WR}$		
P66		$\overline{WAIT}$/AN6		
P67		$\overline{REFRQ}$/AN7		
P70-P75	入力	ANI0-ANI5	ポート7(P7)	

注　μPD78217Aの場合，ポートとしては動作しません。

(2) ポート以外

端子名称	入出力	機　　能	兼用端子
TO0-TO3	出力	タイマ出力	P34-P37
CI	入力	8ビット・タイマ／カウンタ2へのカウント・クロック入力	P23/INTP2
RxD	入力	シリアル・データ入力(UART)	P30
TxD	出力	シリアル・データ出力(UART)	P31
ASCK	入力	ボー・レート・クロック入力(UART)	P25／INTP4
SB0	入出力	シリアル・データ入出力(SBI)	P33／SO
SI	入力	シリアル・データ入力(3線式シリアルI/O)	P27
SO	出力	シリアル・データ出力(3線式シリアルI/O)	P33/SB0
$\overline{\text{SCK}}$	入出力	シリアル・クロック入出力(SBI, 3線式シリアルI/O)	P32
NMI	入力	外部割り込み要求	P20
INTP0			P21
INTP1			P22
INTP2			P23／CI
INTP3			P24
INTP4			P25／ASCK
INTP5			P26
AD0-AD7	入出力	時分割アドレス／データ・バス(外部メモリ接続)	P40-P47注
A8-A15	出力	上位アドレス・バス(外部メモリ接続)	P50-P57注
A16-A19	出力	アドレス拡張時の上位アドレス(外部メモリ接続)	P60-P63
$\overline{\text{RD}}$	出力	外部メモリへのリード・ストローブ	P64注
$\overline{\text{WR}}$	出力	外部メモリへのライト・ストローブ	P65注
$\overline{\text{WAIT}}$	入力	ウエイト挿入	P66
ASTB	出力	時分割アドレス(A0-A7)のラッチ・タイミング出力(外部メモリ・アクセス時)	—
$\overline{\text{REFRQ}}$	出力	外部疑似スタティック・メモリへのリフレッシュ・パルス出力	P67
$\overline{\text{RESET}}$	入力	チップ・リセット	—
X1	入力	システム・クロック発振用クリスタル接続(X1にクロック入力も可能)	—
X2	—		
$\overline{\text{EA}}$	入力	ROMレス動作指示(内部ROMと同一空間の外部アクセス) μPD78218Aではハイ・レベルに，μPD78217Aではロウ・レベルにして使用します	—
AN0-AN5	入力	A/Dコンバータ用アナログ電圧入力	P70-P75
AN6, AN7			P66／$\overline{\text{WAIT}}$ P67／$\overline{\text{REFRQ}}$
AV_{REF}	—	A/Dコンバータ用基準電圧印加	—
AV_{SS}		A/Dコンバータ用GND	
V_{DD}		正電源	
V_{SS}		GND	

注　μPD78217Aの場合，ポートとしては動作しません。

2.1.2 PROMプログラミング・モード（μPD78P218Aのみ：V_{PP}≧P20/NMI＝12.5 V, $\overline{RESET}$＝L）

端子名称	入出力	機　　能
P20／NMI	入力	PROMプログラミング・モード設定
$\overline{RESET}$		
A0-A14		アドレス・バス
D0-D7	入出力	データ・バス
$\overline{CE}$	入力	PROMイネーブル入力／プログラム・パルス入力
$\overline{OE}$		PROMへのリード・ストローブ入力
V_{PP}	—	プログラム書き込み電源
V_{DD}		正電源
V_{SS}		GND

2.2　端子機能説明

2.2.1　通常動作モード

(1) P00－P07 (Port0)……3ステート出力

ポート0は，出力ラッチ付き8ビット出力専用ポートで，トランジスタのダイレクト・ドライブが可能です。ポート0モード・レジスタ（PM0）により，8ビット単位で出力モード／ハイ・インピーダンス状態の指定ができます。

P00-P03，P04-P07はそれぞれ4ビット，または8ビットのリアルタイム出力ポートとして，バッファ・レジスタ（P0L，P0H）の内容を任意のインターバル時間で出力できます。通常の出力ポートかリアルタイム出力ポートかの選択は，リアルタイム出力ポート・コントロール・レジスタ（RTPC）で行います。

$\overline{\text{RESET}}$入力により出力ハイ・インピーダンス状態となり，出力ラッチの内容は不定になります。

(2) P20－P27 (Port2)……入力

ポート2は，8ビット入力専用ポートです。P22-P27には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。入力ポートとして働く以外に外部割り込み信号端子などの制御信号入力端子としても働きます(**表２－１** 参照)。また，8端子とも，ノイズによる誤動作を防ぐためシュミット・トリガ入力になっています。

表２－１　ポート2の動作モード

ポート	機　　能
P20	入力ポート／NMI入力 注
P21	入力ポート／INTP0入力／CR11キャプチャ・トリガ入力／リアルタイム出力ポートのトリガ信号
P22	入力ポート／INTP1入力／CR22キャプチャ・トリガ入力
P23	入力ポート／INTP2入力／CI入力
P24	入力ポート／INTP3入力／CR02キャプチャ・トリガ入力
P25	入力ポート／INTP4入力／ASCK入力
P26	入力ポート／INTP5入力／A／Dコンバータ外部トリガ入力
P27	入力ポート／SI入力

注　NMI入力は，割り込み許可／禁止状態にかかわらず受け付けます。

(a) ポート端子としての機能

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

(b) 制御信号入力端子としての機能

(i) **NMI (Nonmaskable Interrupt)**

外部ノンマスカブル割り込み要求入力端子です。外部割り込みモード・レジスタ(INTM0)により，立ち上がりエッジ検出，または立ち下がりエッジ検出に指定できます。

(ii) **INTP0 - INTP5 (Interrupt From Peripherals)**

外部割り込み要求入力端子です。INTP0-INTP5端子に外部割り込みモード・レジスタ(INTM0, INTM1)で指定された有効エッジが検出されると，割り込みを発生します(**第11章　エッジ検出機能**参照)。

また，INTP0-INTP3, INTP5は次のように各種機能の外部トリガ入力端子としても使用します。

・INTP0……8ビット・タイマ／カウンタ1のキャプチャ・トリガ入力端子
　　リアルタイム出力ポートのトリガ信号

・INTP1……8ビット・タイマ／カウンタ2のキャプチャ・トリガ入力端子

・INTP2……8ビット・タイマ／カウンタ2の外部カウント・クロック入力端子

・INTP3……16ビット・タイマ／カウンタのキャプチャ・トリガ入力端子

・INTP5……A／Dコンバータの外部トリガ入力端子

(iii) **CI (Clock Input)**

8ビット・タイマ／カウンタ2の外部クロック入力端子です。

(iv) **ASCK (Asynchronous Serial Clock)**

外部ボー・レート・クロック入力端子です。

(v) **SI (Serial Input)**

シリアル・データ入力端子（3線式シリアルI／Oモード時）です。

(3) P30－P37（Port3）……3ステート入出力

ポート3は，出力ラッチ付き8ビット入出力ポートです。ポート3モード・レジスタ(PM3)により，1ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

入出力ポートとしての機能以外に，各種コントロール信号端子としての機能を兼用しています。

動作モードは，ポート3モード・コントロール・レジスタ（PMC3）により，表２-２のようにビット単位に指定できます。いずれの端子も，兼用端子の動作にかかわらず，常に端子レベルの読み込みあるいはテストが可能です。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス）になり，出力ラッチの内容は不定となります。

表２-２　ポート3の動作モード（n＝0－7）

モード	ポート・モード	コントロール信号出力モード
設定条件	PMC3n＝0	PMC3n＝1
P30	入出力ポート	RxD入力
P31		TxD出力
P32		$\overline{\text{SCK}}$入出力
P33		SO出力／SB0入出力
P34		TO0出力
P35		TO1出力
P36		TO2出力
P37		TO3出力

(a) ポート・モード

PMC3レジスタによりポート・モードに指定された各ポートは，ポート3モード・レジスタ（PM3）により，1ビット単位で入力／出力の指定ができます。

(b) コントロール信号入出力モード

PMC3レジスタの設定により，1ビット単位にコントロール端子にすることができます。

(i) **RxD (Recieve Data)**

アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

(ii) **TxD (Transmit Data)**

アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

(iii) **$\overline{\text{SCK}}$ (Serial Clock)**

クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子です。

(iv) **SO (Serial Output)／SB0 (Serial Bus)**

SOはシリアル・データ出力端子（3線式シリアルI/Oモード時）です。また，SB0はSBIモード時のシリアル・バス入出力端子です。

(v) **TO0－TO3 (Timer Output)**

タイマ出力端子です。

(4) P40－P47（Port4）……3ステート入出力

ポート4は，出力ラッチ付き8ビット入出力ポートです。メモリ拡張モード・レジスタ（MM）により，8ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。また，LEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，時分割アドレス／データ・バス（AD0－AD7）として機能します。

なお，μPD78217Aの場合は，時分割アドレス／データ・バス(AD0-AD7)としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス）になり，出力ラッチの内容は不定になります。

(5) P50－P57 (Port5)……3ステート入出力

ポート5は，出力ラッチ付き8ビット入出力ポートです。ポート5モード・レジスタ(PM5) により，1ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。また，LEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，P50-P57は，アドレス・バス (A8-A15) として機能します。

なお，μPD78217Aの場合は，アドレス・バス(A8-A15)としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート (出力ハイ・インピーダンス状態) になり，出力ラッチの内容は不定になります。

(6) P60－P67 (Port6)……P60－P63：出力，P64－P67：3ステート入出力

ポート6は，出力ラッチ付き8ビット入出力ポートです。P64－P67には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に，表２-３のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は，各機能の操作によって行います。

なお，μPD78217Aの場合は，P64，P65はそれぞれ$\overline{\text{RD}}$出力，$\overline{\text{WR}}$出力としてのみ機能します。

$\overline{\text{RESET}}$入力により，P60-P63は出力ハイ・インピーダンスになり，$\overline{\text{RESET}}$解除後にロウ・レベルになります。また$\overline{\text{RESET}}$入力によりP64-P67は，入力ポート(出力ハイ・インピーダンス状態)になります。出力ラッチの内容は，上位4ビットは不定に，下位4ビットは0Hになります。

表２-３　ポート6の動作モード

端　　子	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P60-P63	出力ポート	A16-A19出力	MMレジスタのMM6ビットをセット(1)
P64	入出力ポート	$\overline{\text{RD}}$出力	μPD78217Aの場合，またはMMレジスタのMM2-0ビットにより外部メモリ拡張モードを指定
P65		$\overline{\text{WR}}$出力	
P66		$\overline{\text{WAIT}}$入力／AN6入力	PWレジスタ，またはMMレジスタのPWn1，PWn0ビット(n=2，3)およびP66を入力モードにすることにより指定
P67		$\overline{\text{REFRQ}}$出力／AN7入力	RFMレジスタのRFENビットをセット(1)

注意　P60-P63は，$\overline{\text{RESET}}$入力中はハイ・インピーダンスになりますが，$\overline{\text{RESET}}$解除後はロウ・レベルを出力します。したがって，初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

備考　詳細は，**第13章　ローカル・バス・インタフェース機能**参照。

(a) ポート・モード

P60-P63は出力専用で，P64-P67はポート6モード・レジスタ（PM6）により，1ビット単位で入力／出力の指定ができます。

(b) コントロール信号入出力モード

(i) **A16−A19 (Address Bus)**

外部メモリ空間拡張時（10000H-FFFFFH）の上位アドレス・バス出力端子です。

メモリ拡張レジスタ（MM）により動作します。

(ii) **$\overline{\mathbf{RD}}$ (Read Strobe)**

外部メモリのリード動作のために出力されるストローブ信号出力端子です。

$\overline{\mathrm{EA}}$端子＝0の場合か外部メモリ拡張時に動作します。

(iii) **$\overline{\mathbf{WR}}$ (Write Strobe)**

外部メモリのライト動作のために出力されるストローブ信号出力端子です。

$\overline{\mathrm{EA}}$端子＝0の場合かMMレジスタにより動作します。

(iv) **$\overline{\mathbf{WAIT}}$ (Wait)**

ウエイト信号の入力端子です。プログラマブル・ウエイト制御(PW)レジスタ，またはMMレジスタにより動作します。

(v) **$\overline{\mathbf{REFRQ}}$ (Refresh Request)**

外部に疑似スタティック・メモリを接続した場合に，疑似スタティック・メモリへリフレッシュ・パルスを出力する端子です。リフレッシュ・モード・レジスタ（RFM）により動作します。

(vi) **AN6，AN7 (Analog Input)**

A／Dコンバータ用アナログ入力端子です。

(7) P70−P75 (Port7)……入力

ポート7は，6ビット入力専用ポートです。入力ポートとして動作する以外に，A/Dコンバータ用アナログ入力の端子（AN0-AN5）としても動作します。

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

(8) ASTB (Address Strobe)……出力

外部メモリをアクセスするため，アドレス情報を外部でラッチするタイミング信号の出力端子です。

(9) $\overline{\mathbf{EA}}$ (External Access)……入力

プログラム・メモリのアクセスを内部ROMではなく外部メモリから行わせるためのコントロール信号入力端子です。ハイ・レベル入力のとき内部ROMがアクセスされ，ロウ・レベルが入力されているとROMレス・モードとなり，外付けのメモリをアクセスします。μPD78218Aの場合は，ハイ・レベルに固定して使用します。μPD78217Aの場合は，ロウ・レベルに固定して使用します。

(10) X1，X2 (Crystal)

内部クロック発振用のクリスタル接続端子です。外部からクロックを供給する場合はX1端子に入力します。X2端子はX1端子の逆相の信号を入力します。

(11) $\overline{\mathbf{RESET}}$ (Reset)……入力

ロウ・レベル・アクティブのリセット入力です。

(12) $\mathbf{AV_{REF}}$

A/Dコンバータの基準電圧入力，およびA/Dコンバータの電源端子です。

(13) $\mathbf{AV_{SS}}$

A/DコンバータのGND端子です。V_{SS}端子と同電位にしてください。

(14) $\mathbf{V_{DD}}$

正電源供給端子です。すべてのV_{DD}端子を正電源に接続してください。

(15) $\mathbf{V_{SS}}$

GND電位端子です。すべてのV_{SS}端子をグランドに接続してください。

2.2.2 PROMプログラミング・モード(μPD78P218Aの場合)

(1) P20／NMI……入力

μPD78P218AをPROMプログラミング・モードに設定する入力端子です。この端子の入力電圧が＋12.5 V以上で，$\overline{\text{RESET}}$入力がロウ・レベルになると，μPD78P218AはPROMプログラミング・モードに移行します。

(2) $\overline{\text{RESET}}$……入力

μPD78P218AをPROMプログラミング・モードに設定する入力端子です。この端子の入力がロウ・レベルで，P20／NMI端子の入力電圧が＋12.5 V以上になると，μPD78P218AはPROMプログラミング・モードに移行します。

(3) A0 - A14 (Address Bus)……入力

アドレス・バスです。内部PROMのアドレス（0000H-7FFFH）を選択します。

(4) D0 - D7 (Data Bas)……入出力

データ・バスです。このバスを介して，内部PROMのプログラムの書き込み／読み出しを行います。

(5) $\overline{\text{CE}}$ (Chip Enable)……入力

内部PROMのイネーブル信号を入力します。この信号がアクティブのとき，プログラムの書き込み／読み出しが可能となります。

(6) $\overline{\text{OE}}$ (Output Enable)……入力

内部PROMへのリード・ストローブ信号を入力します。$\overline{\text{CE}}$=Lのときにこの信号をアクティブにすると，A0-A14で選択されている内部PROMセル内のプログラム（1バイト）をD0-D7上に読み出すことができます。

(7) V_{PP} (Programming Power Supply)

プログラム書き込み用の電源です。V_{PP}＝＋12.5 V，$\overline{\text{OE}}$=Hのときに$\overline{\text{CE}}$=Lとすると，D0-D7上のプログラム・データを，A0-A14で選択されている内部PROMセル内に書き込むことができます。

(8) V_{DD}

正電源供給端子です。

(9) V_{SS}

GND電位端子です。

2.3　入出力回路と未使用端子の処理

表２-４は，機能を有する端子の入出力回路タイプと，その機能を使用しない場合の処理方法を示します。また，図２-１は，各タイプの回路です。

表２-４　各端子の入出力タイプと未使用時の処理

<table>
<tr><th>端　　子</th><th>入出力タイプ</th><th>入出力</th><th>未使用時の推奨接続方法</th></tr>
<tr><td>P00-P07</td><td>4</td><td>出力</td><td>オープン</td></tr>
<tr><td>P20／NMI</td><td rowspan="2">2</td><td rowspan="8">入力</td><td rowspan="2">V_{DD}またはV_{SS}に接続</td></tr>
<tr><td>P21／INTP0</td></tr>
<tr><td>P22／INTP1</td><td rowspan="6">2-A</td><td rowspan="6">V_{DD}に接続</td></tr>
<tr><td>P23／INTP2／CI</td></tr>
<tr><td>P24／INTP3</td></tr>
<tr><td>P25／INTP4／ASCK</td></tr>
<tr><td>P26／INTP5</td></tr>
<tr><td>P27／SI</td></tr>
<tr><td>P30／RxD</td><td rowspan="2">5-A</td><td rowspan="9">入出力</td><td rowspan="9">入力時：V_{DD}に接続
出力時：オープン</td></tr>
<tr><td>P31／TxD</td></tr>
<tr><td>P32／$\overline{SCK}$</td><td>8-A</td></tr>
<tr><td>P33／SB0／SO</td><td>10-A</td></tr>
<tr><td>P34／TO0-P37／TO3</td><td rowspan="3">5-A</td></tr>
<tr><td>P40／AD0-P47／AD7</td></tr>
<tr><td>P50／A8-P57／A15</td></tr>
<tr><td>P60／A16-P63／A19</td><td>4</td><td>出力</td><td>オープン</td></tr>
<tr><td>P64／$\overline{RD}$</td><td rowspan="2">5-A</td><td rowspan="4">入出力</td><td rowspan="2">入力時：V_{DD}に接続
出力時：オープン</td></tr>
<tr><td>P65／$\overline{WR}$</td></tr>
<tr><td>P66／$\overline{WAIT}$／AN6</td><td rowspan="2">11</td><td rowspan="2">入力時：V_{DD}に接続注
出力時：オープン</td></tr>
<tr><td>P67／$\overline{REFRQ}$／AN7</td></tr>
<tr><td>P70／AN0-P75／AN5</td><td>9</td><td>入力</td><td>V_{SS}に接続</td></tr>
<tr><td>ASTB</td><td>4</td><td>出力</td><td>オープン</td></tr>
<tr><td>$\overline{RESET}$</td><td>2</td><td rowspan="5">入力</td><td rowspan="2">―――</td></tr>
<tr><td>$\overline{EA}$</td><td>1</td></tr>
<tr><td>AV_{REF}</td><td rowspan="3">―</td><td>V_{SS}またはV_{DD}に接続注</td></tr>
<tr><td>AV_{SS}</td><td>V_{SS}に接続</td></tr>
<tr><td>V_{DD}</td><td>V_{DD}に接続</td></tr>
</table>

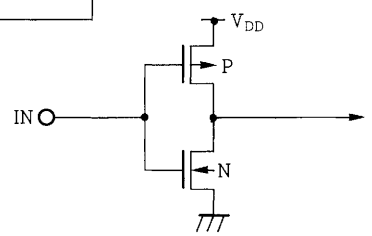
注　第8章　A／Dコンバータの8.6　注意事項参照。

備考　タイプ番号は78Kシリーズで統一しているため，各製品内では連番とは限りません(内蔵しない回路あり)。

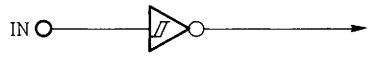
注意　**入出力兼用端子で入出力のモードが不定な場合は，数十kΩの抵抗を介してV_{DD}に接続してください(特に，電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や，ソフトウエアで入出力を切り替えている場合)。**

図２－１　端子の入出力回路

タイプ1

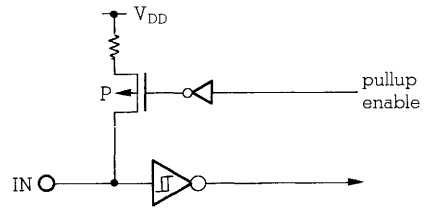


タイプ2



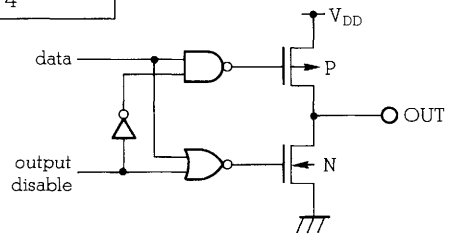
ヒステリシス特性を有するシュミット・トリガ入力です。

タイプ2-A



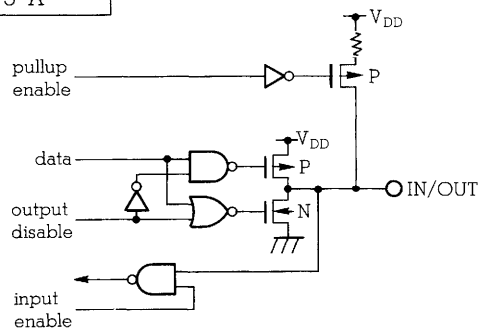
ヒステリシス特性を有するシュミット・トリガ入力です。

タイプ4

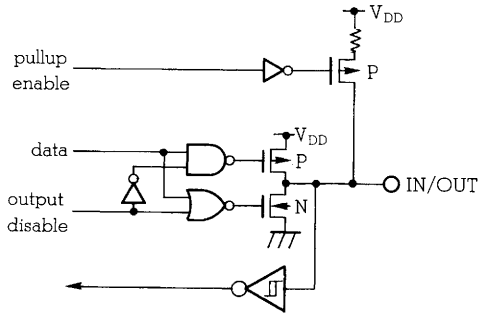


出力をハイ・インピーダンス(P-ch, N-chともにオフ)にできるプッシュプル出力です。

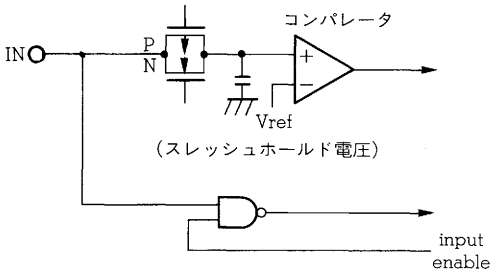
タイプ5-A



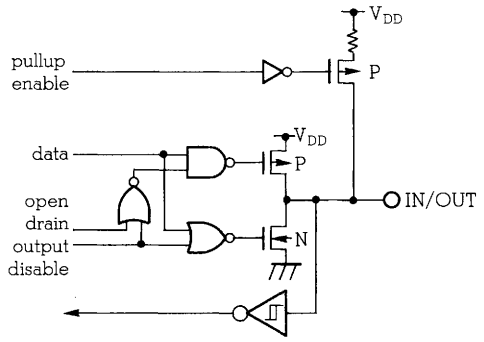
タイプ8-A



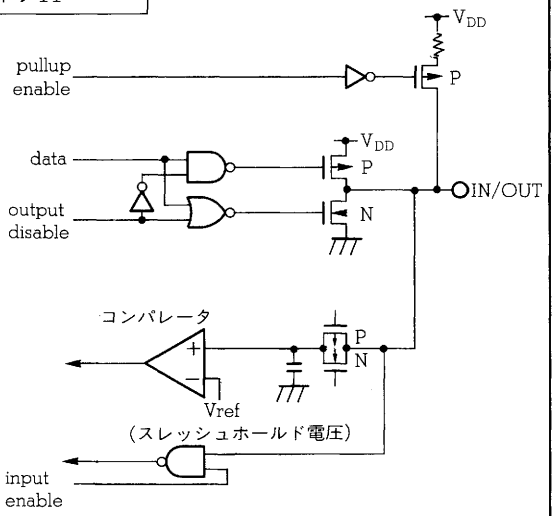
タイプ9



タイプ10-A



タイプ11



2.4　注意事項

(1) P60-P63は，$\overline{\text{RESET}}$入力中はハイ・インピーダンスになりますが，$\overline{\text{RESET}}$解除後はロウ・レベルを出力します。したがって，初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

(2) 未使用端子の処理の場合，入出力兼用端子で入出力のモードが不定な場合は，数十kΩの抵抗を介してV_{DD}に接続してください（特に電源投入時にリセット入力端子がロウ・レベル入力電圧以上になる場合や，ソフトウエアで入出力を切り替えている場合）。

第３章　CPU機能

3.1　メモリ空間

μPD78218Aは，１Mバイトのメモリ空間をアクセスできます。$\overline{EA}$端子の状態によって，プログラム・メモリのマッピングが異なります。なお，μPD78217Aは，$\overline{EA}$=Lとして使用します。

(1) μPD78217Aの場合（$\overline{EA}$=L）

プログラム・メモリを外部メモリ（64256バイト：00000H-0FAFFH）にマッピングしています。この領域は，データ・メモリとの共用も可能です。

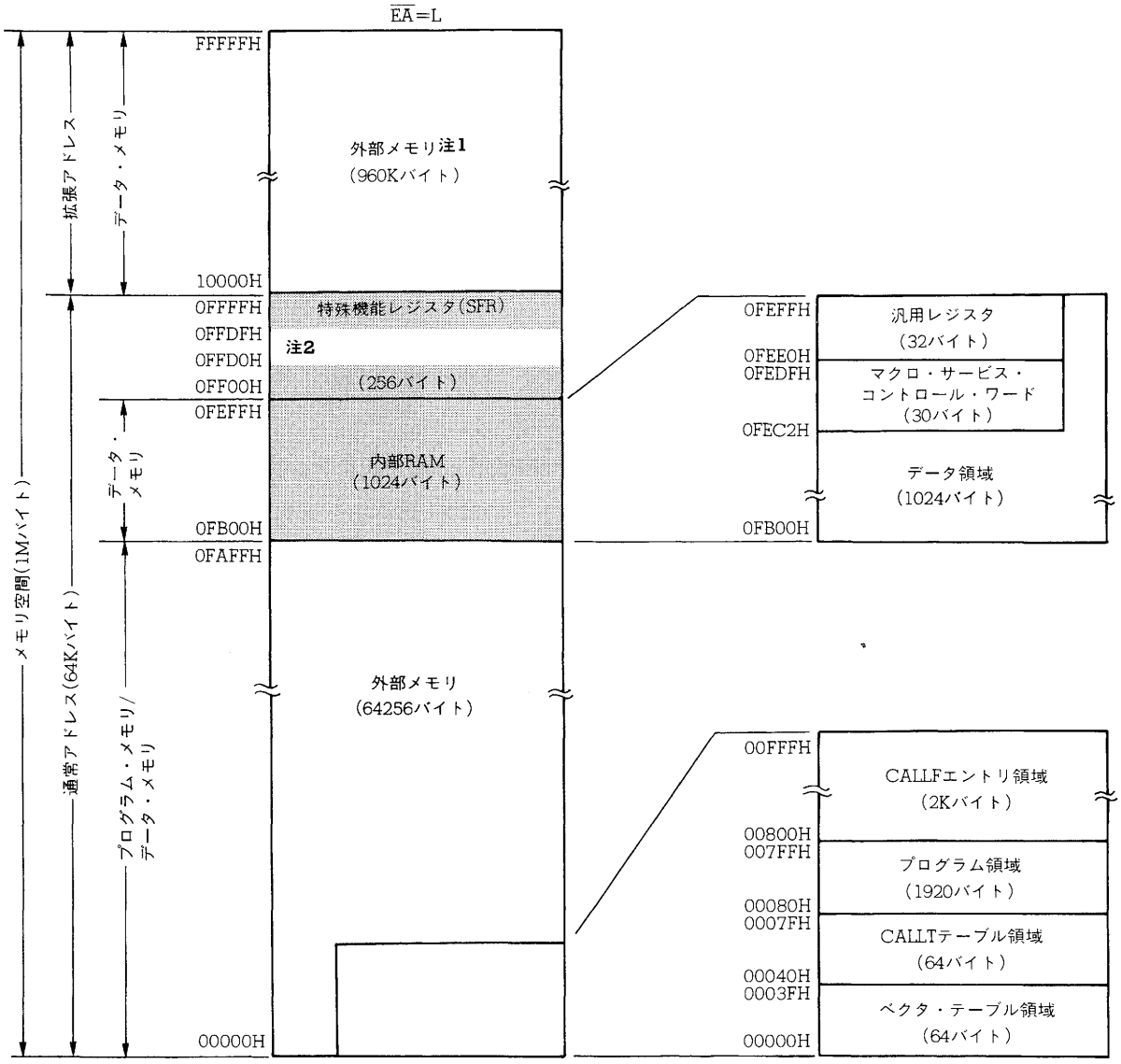
データ・メモリを，内部RAM（1024バイト：0FB00H-0FEFFH）にマッピングしています。１Mバイト拡張モードでは，外部メモリ（960 Kバイト：10000H-FFFFFH）を拡張データ・メモリとしてマッピングします。

(2) μPD78218A，78P218Aの場合（$\overline{EA}$=H）

プログラム・メモリを，内部ROM（32 Kバイト：00000H-07FFFH）と外部メモリ（31488バイト：08000H-0FAFFH）にマッピングしています。外部メモリは，外部メモリ拡張モードでアクセスします。外部メモリにマッピングする領域は，データ・メモリとの共用も可能です。

データ・メモリを内部RAM（1024バイト：0FB00H-0FEFFH）にマッピングしています。１Mバイト拡張モードでは，外部メモリ（960 Kバイト：10000H-FFFFFH）を拡張データ・メモリとしてマッピングします。

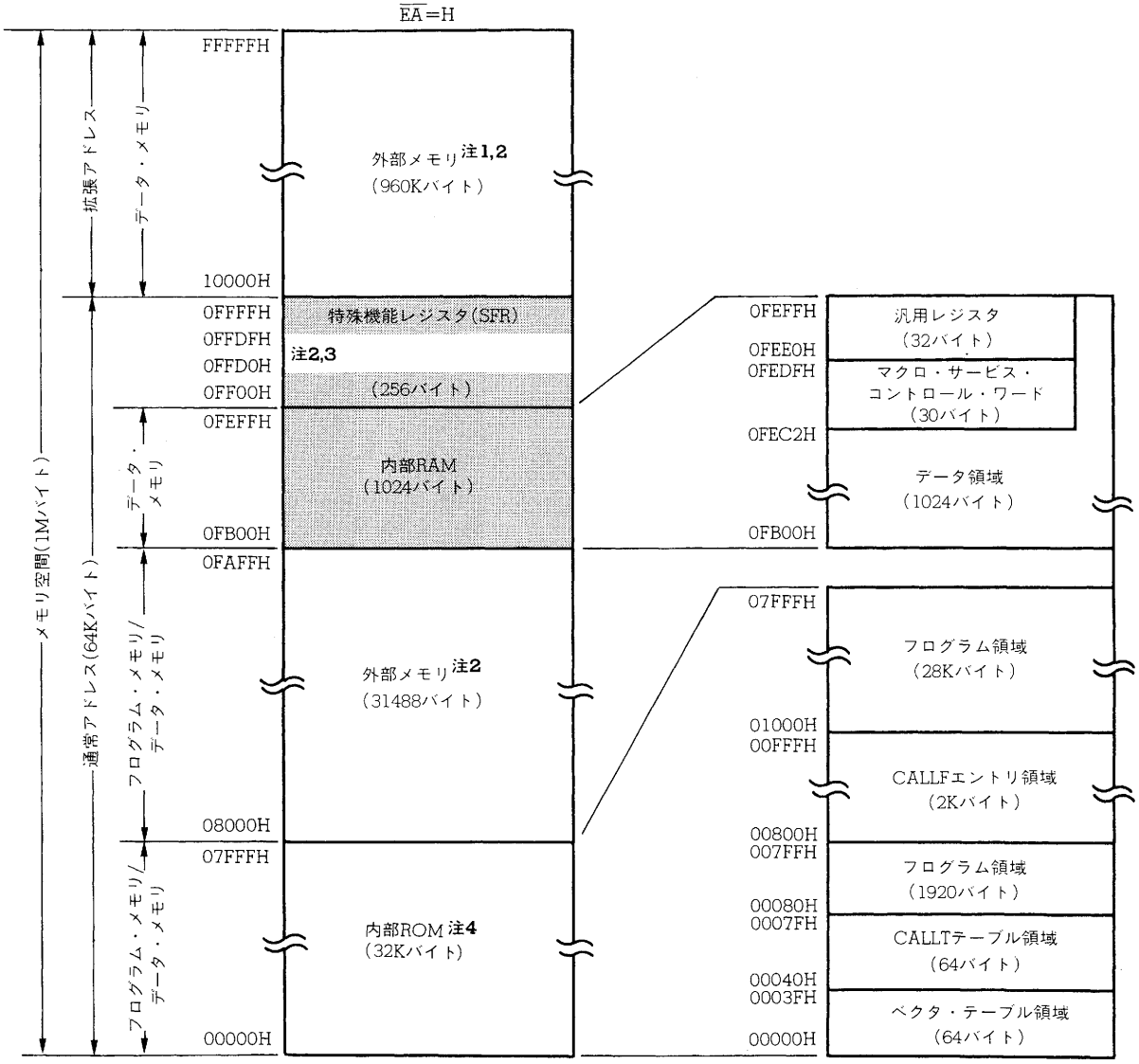
図３－１　μPD78217AまたはμPD78218A，78P218A($\overline{EA}$=Lのとき)のメモリ・マップ



注1.　1Mバイト拡張モードでアクセス　　▒は内部メモリ

2.　外部SFR領域

図３－２　μPD78218A，78P218A（$\overline{EA}$＝Hのとき）のメモリ・マップ



注1.　１Mバイト拡張モードでアクセス　　▒は内部メモリ

2.　外部メモリ拡張モードでアクセス

3.　外部SFR領域

4.　μPD78P218Aの場合は内部PROM

3.1.1　内部プログラム・メモリ領域

00000H-07FFFHの領域に32Ｋ×8ビットのROMを内蔵しており，プログラムやテーブル・データなどを格納します。通常，プログラム・カウンタ（PC）でアドレスされます。

μPD78217Aの場合，この領域は外部メモリとなります（ROMレス動作）。

(1) ベクタ・テーブル領域

00000H-0003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には$\overline{\text{RESET}}$入力，各割り込み要求発生により分岐する場合のプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

表３-１　ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求
００００００H	リセット（$\overline{\text{RESET}}$入力）
００００００２H	NMI
００００００６H	INTP0
００００００８H	INTP1
００００００ＡH	INTP2
００００００ＣH	INTP3
００００００ＥH	INTP4/INTC30
００００１０H	INTP5/INTAD
００００１２H	INTC20
００００１４H	INTC00
００００１６H	INTC01
００００１８H	INTC10
００００１ＡH	INTC11
００００１ＣH	INTC21
００００２０H	INTSER
００００２２H	INTSR
００００２４H	INTST
００００２６H	INTCSI
００００３ＥH	BRK

(2) CALLT命令テーブル領域

00040H-0007FHの64バイトの領域には，1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

(3) CALLF命令エントリ領域

00800H-00FFFHのアドレスから始まるサブルーチンは，2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

3.1.2　内部RAM領域

0FB00H-0FEFFHの領域に，1024バイトの汎用スタティックRAMが内蔵されています。

この領域は，次の2つのRAMで構成されています。

○周辺RAM（PRAM）　　：0FB00H-0FDFFH

○内部デュアル・ポートRAM(IRAM)：0FE00H-0FEFFH

内部デュアル・ポートRAM（IRAM）は，高速アクセスが可能です。

特に，0FE20H-0FEFFHの領域は高速アクセス用のショート・ダイレクト・アドレシング・モード（**78K／IIシリーズ　ユーザーズ・マニュアル　命令編の第6章　アドレシング**参照）が使用できます。

そのうち，0FEE0H-0FEFFHの32バイトの領域には4バンクの汎用レジスタ群が，0FEC2H-0FEDFHの30バイトの領域にはマクロ・サービス・コントロール・ワードがマッピングされています。

注意　内部RAM領域からのプログラム・フェッチはできません。

備考　0FE20H-0FEC1Hの領域には，頻繁にアクセスするデータやワーク・エリア，ステータス・フラグなどを配置すると効果的です。

また，0FE00H-0FE1FHの領域は，スタック領域，マクロ・サービス・チャネルおよびマクロ・サービスのデータ転送用領域などとして使用すると，高速にアクセスが可能なので，システムのスループットの向上に役立ち効果的です（この領域は，ショート・ダイレクト・アドレシングが使えず，操作方法は他のメモリ空間と同じになります。しかし，他のメモリ空間より高速にアクセスが可能なので，全体的に見た場合，他のアドレシング・モードで使用するよりはスタック領域，マクロ・サービス・チャネルおよびマクロ・サービスのデータ転送用領域などとして使用した方がメリットが出ると思われます)。

3.1.3　特殊機能レジスタ（SFR）領域

0FF00H-0FFFFHの領域には，オンチップ周辺ハードウエアの特殊機能レジスタ（SFR）がマッピングされています（**3.2.5　特殊機能レジスタ**参照)。

また，0FFD0H-0FFDFHは，外部SFR領域としてマッピングされており，μPD78217A(ROMレス)の場合や，μPD78218Aの外部メモリ拡張モード（メモリ拡張モード・レジスタ（MM）で設定）時に，外付けされた周辺I／Oなどをアクセスすることができます。

注意　この領域内で，SFRのマッピングされていないアドレスをアクセスしないでください。誤ってアクセスすると，μPD78218Aがデッドロック状態となることがあります。デッドロック状態は，リセット入力によってのみ解除されます。

3.1.4　外部SFR領域

SFR領域のうち，0FFD0H-0FFDFHの16バイトの領域は，外部SFR領域としてマッピングされています。μPD78217A（ROMレス）の場合やμPD78218Aの外部メモリ拡張モード（メモリ拡張モード・レジスタ（MM）で設定）の場合に，アドレス・バスおよびアドレス／データ・バスなどを使用して，外付けされた周辺I/Oなどをアクセスすることができます。

外部SFR領域は，SFRアドレシングでアクセスすることができるので，周辺I/Oなどの操作が簡単にできること，オブジェクト・サイズを圧縮することができるなどの特徴があります。さらに，マクロ・サービス・タイプBのSFRとして指定することも可能です。

なお，外部SFR領域に対するアクセス時のバスの動作は，通常のメモリ・アクセスと同様になります（**第13章　ローカル・バス・インタフェース機能**参照）。

3.1.5　外部メモリ空間

08000H-0FAFFHの領域は，メモリ拡張モード・レジスタ（MM）の設定によりアクセスが可能となる外部メモリ空間です。プログラム，テーブル・データなどの格納，および周辺のI/Oデバイスを割り付けることができます。

なお，μPD78217Aの場合は，00000H-0FAFFHの領域が常時アクセス可能です。

3.1.6　外部拡張データ・メモリ空間

10000H-FFFFFHの領域は，メモリ拡張モード・レジスタ（MM）により，1Mバイト拡張モードに指定した場合にアクセス可能となる空間です。このとき，ポート6のP60-P63端子が4ビットの拡張アドレス・バス（A16-A19）として機能します。また，データ・メモリ空間は，64Kバイト単位の16個のバンクとして扱われ，P6レジスタおよびPM6レジスタの下位4ビットが，バンクを選択するためのバンク・レジスタとして機能します。漢字キャラクタ・ジェネレータなどの大容量データを使用する場合に有効です。

この空間のアクセスは，あらかじめ使用するバンク（A16-A19の上位4ビットのアドレス情報）を，バンク・レジスタ（P6レジスタのP60-P63またはPM6レジスタのPM60-PM63）にセットした状態で，拡張アドレシング可能な命令を実行することで行います。P60-P63端子から出力される上位4ビットのアドレスは，拡張アドレシング可能な命令を実行する間のみ有効となります。

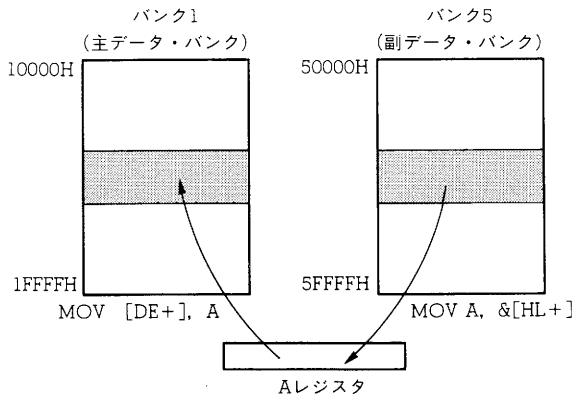
また，バンク・レジスタが2本あるため，操作対象となるデータ・バンクとして常時2バンクが使用できます。2本のバンク・レジスタは，命令のオペランドに“&”を付けるか，付けないかで選択します。“&”がある場合はP6レジスタが，“&”がない場合はPM6レジスタがバンク・レジスタとなります。

したがって，たとえば2バンクのうち1つを主データ・バンクとしてRAMの領域を指定し，もう一方を副データ・バンクとしてデータROM領域を指定するようにすれば，データROMから読み出したデータ（例：プリンタ用の文字データ）に対し拡大，縮小などの操作を行い，RAMに格納するといった処理が簡単にできます。

例　主バンクを1, 副バンクを5としてバンク5のデータをバンク1に転送します。

```
        MOV   MM, #47H      ; メモリ拡張モードに設定
        MOV   PM6, #1H      ; 主バンク・レジスタ（PM6）の設定
        MOV   P6, #5H       ; 副バンク・レジスタ（P6）の設定
        MOV   B, #0FFH      ; ループ・カウンタの設定
LOOP：  ⋮
        MOV   A, &[HL+]     ; バンク5からデータのリード（P6レジスタの内容を最上位のアドレス情報として付加）
        MOV   [DE+], A      ; バンク1へデータを格納（PM6レジスタの内容を最上位のアドレス情報として付加）
        ⋮
        DBNZ  B, $LOOP      ; 繰り返し処理
```

図３-３　バンク間でのデータ転送例



備考1.　MOV [DE+], AおよびMOV A, & [HL+] の両命令はバンク0に格納されています。

2.　PM6レジスタをバンク・レジスタとして使用する命令は，P6レジスタを使用する命令より，命令コードと実行時間が短くなります。また，P6レジスタを操作する命令は，PM6レジスタを操作する命令より短く，実行時間も短くなります。

したがって頻繁にアクセスするバンクを指定する主バンク・レジスタとしてPM6を，指定するバンクが頻繁に変わる副バンク・レジスタとしてP6を使用すると効率的です。

3.2　レジスタ

3.2.1　プログラム・カウンタ（PC）

次に実行するプログラムのアドレス情報を保持する16ビット・バイナリ・カウンタです（図３－４参照）。

通常，フェッチする命令のバイト数に応じて自動的にインクリメントされます。分岐を伴う命令を実行した場合，イミーディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$入力により，内部ROM（μPD78217Aの場合は外部メモリ）の00000H番地の内容がPCの下位8ビットに，00001H番地の内容がPCの上位8ビットにセットされます。

図３－４　プログラム・カウンタの構成

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PC	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0

3.2.2　プログラム・ステータス・ワード（PSW）

命令の実行の結果によって，セット，リセットされる各種のフラグで構成される8ビット・レジスタです（図３－５参照）。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令により各フラグの操作ができます。PSWは，ベクタ割り込み要求受け付け時，およびBRK，PUSH PSW命令実行時にスタックに退避され，RETI，RETB，POP PSW命令実行により復帰します。★

$\overline{\text{RESET}}$入力により，PSWは02Hとなります（割り込み受け付け不可能な状態）。

図３－５　プログラム・ステータス・ワードの構成

	7	6	5	4	3	2	1	0
PSW	IE	Z	RBS1	AC	RBS0	0	ISP	CY

(1) キャリー・フラグ（CY）

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。

また，シフト・ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

(2) 割り込み優先順位ステータス・フラグ（ISP）

現在，受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。

マスカブル割り込みを受け付けると，受け付けた割り込みの優先順位指定フラグの内容をISPに転送します。また，ノンマスカブル割り込み（NMI）受け付け時には“0”になります。

このフラグが“0”のときは優先順位指定フラグ・レジスタ（PRO）で低位に指定したベクタ割り込みの受け付け禁止状態で，“1”のときは割り込みの優先順位にかかわらず，受け付け可能な状態を示します。なお，実際の受け付けは，IEフラグの状態で制御されます。

マスカブル・ベクタ割り込みの受け付けにより，そのつど内容が更新されます。

詳細は**第12章　割り込み機能**をご覧ください。

(3) レジスタ・バンク選択フラグ（RBS0，RBS1）

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです（**表３－２**参照）。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

表３－２　レジスタ・バンクの選択

RBS1	RBS0	指定レジスタ・バンク
0	0	レジスタ・バンク0
0	1	レジスタ・バンク1
1	0	レジスタ・バンク2
1	1	レジスタ・バンク3

(4) 補助キャリー・フラグ（AC）

演算の結果，ビット3からキャリーがあったとき，またはビット3へのボローがあったときセット(1)され，それ以外のときリセット(0)されるフラグです。

BCD補正命令実行時に使用されます。

(5) ゼロ・フラグ（Z）

演算の結果がゼロのときセット(1)され，それ以外のときリセット(0)されるフラグです。

(6) 割り込み要求許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

“0”のときは割り込み禁止状態となり，ノンマスカブル割り込み，およびマスク解除したマクロ・サービスのみ受け付け可能となります。それ以外はすべて禁止されます。

“1”のときは割り込み許可状態となり，割り込み要求受け付けの許可は，ISPフラグ，各割り込み要求に対応する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

EI命令実行によりセット(1)され，DI命令実行または割り込みの受け付けでリセット(0)されます。

3.2.3　スタック・ポインタ（SP）

スタック領域（LIFO形式：00000H-0FFFFH）の先頭アドレスを保持する16ビット・レジスタです（**図3－6**参照）。サブルーチン処理や割り込み処理時にスタック領域をアドレスするために使われます。

SPの内容は，スタック領域への書き込み前にデクリメントされ，スタック領域からの読み出し後にインクリメントされます（**図3－7，3－8**参照）。

SPは，専用命令によりアクセスします。

SPの内容は$\overline{\text{RESET}}$入力により不定になりますので，リセット解除直後に（サブルーチン・コールや割り込みを受け付ける前に）必ず初期化プログラムによりSPをイニシャライズしてください。

例　SPのイニシャライズ

MOVW　SP，#0FEE0H；SP←0FEE0H(FEDFHから使用の場合)

図3－6　スタック・ポインタの構成

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0

図3－7　スタック領域へ退避されるデータ

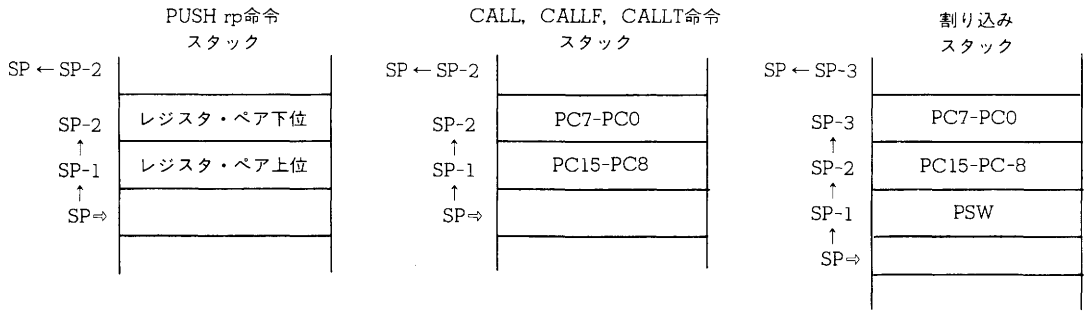
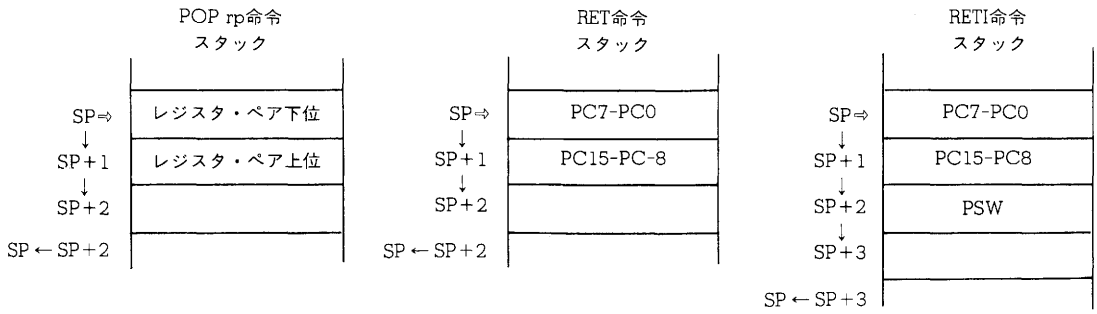


図3－8　スタック領域から復帰されるデータ



注意1.　スタック・アドレシングでは，64 Kバイトすべての空間でアクセス可能ですが，SFR領域および内部ROM領域にスタック・エリアを確保することはできません。

2.　SPは，$\overline{\text{RESET}}$入力により不定になります。一方，リセット解除直後でもノンマスカブル割り込みは受け付け可能です。したがって，リセット解除直後のSPが不定な状態でノンマスカブル割り込みの要求が発生すると，予期しない動作を行う場合があります。これらの危険を最小限にするためにSPの初期設定は，リセット解除直後に行うようにしてください。詳細は，12.3.2　ノンマスカブル割り込みの受け付け動作を参照してください。

3.2.4　汎用レジスタ

(1) 構　　成

汎用レジスタは，データ・メモリの特定番地（0FEE0H-0FEFFH）にマッピングされており，8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されます（図3-9参照）。

図3-9　汎用レジスタの構成

	(8ビット処理の場合)			(16ビット処理の場合)
0FEE0H	A E1H	X E0H	↑	AX E0H
	B E3H	C E2H	レジスタ・バンク3 (RBS1, 0=11)	BC E2H
	D E5H	E E4H		DE E4H
	H E7H	L E6H	↓	HL E6H
	A E9H	X E8H	↑	AX E8H
	B EBH	C EAH	レジスタ・バンク2 (RBS1, 0=10)	BC EAH
	D EDH	E ECH		DE ECH
	H EFH	L EEH	↓	HL EEH
	A F1H	X F0H	↑	AX F0H
	B F3H	C F2H	レジスタ・バンク1 (RBS1, 0=01)	BC F2H
	D F5H	E F4H		DE F4H
	H F7H	L F6H	↓	HL F6H
	A F9H	X F8H	↑	AX F8H
	B FBH	C FAH	レジスタ・バンク0 (RBS1, 0=00)	BC FAH
	D FDH	E FCH		DE FCH
0FEFFH	H FFH	L FEH	↓	HL FEH

命令実行時に使用するレジスタ・バンクは，CPU制御命令（SEL RBn）によって指定します。

$\overline{\text{RESET}}$入力によりレジスタ・バンク0が指定されます。

また，実行中のレジスタ・バンクは，PSW内のレジスタ・バンク選択フラグ（RBS0, 1）を読み出すことによって確認することができます。

0FEE0H-0FEFFHの領域は，汎用レジスタとして使用する，しないにかかわらず，通常のデータ・メモリとしてアドレス指定し，アクセスすることができます。

備考　レジスタ・バンクを変更する場合で，元のレジスタ・バンクに戻す必要がある場合は，PUSH PSW命令でスタックへPSWを退避してからSEL RBn命令を実行してください。元に戻すときは，スタックの位置に変化がなければPOP PSW命令で戻せます。
なお，割り込み処理プログラムでレジスタ・バンクを変更する場合には，PSWは割り込みの受け付け時に自動的にスタックへ退避され，RETI，RETB命令で復帰されますので，割り込み処理ルーチンで使用するレジスタ・バンクが1つに固定されていれば，単にSEL RBn命令を実行するだけで，PUSH PSW命令を実行する必要はありません。

例１． 通常のプログラムでレジスタ・バンクを変更する場合

レジスタ・バンク2を指定する場合

```
  ⋮
PUSH  PSW
SEL   RB2  ┐
  ⋮        │ レジスタ・バンク2で動作
POP   PSW  ┘
  ⋮          元のレジスタ・バンクで動作
```

2． 割り込み処理プログラムでレジスタ・バンクを変更する場合

レジスタ・バンク1を選択する場合

```
SEL   RB1  ┐
  ⋮        │ レジスタ・バンク1で動作
RETI       ┘ 割り込み処理プログラムからの復帰時には元のレジスタ・バンクに自動的に復帰する
```

(2) 機　　能

汎用レジスタはそれぞれ8ビット単位で操作できるほか，2個の8ビット・レジスタがペアとなって16ビット単位ででも操作できます（AX, BC, DE, HL)。

また，各レジスタは，演算結果の一時保管や，レジスタ間演算命令のオペランドとして使用することが可能です。

汎用レジスタは，4つのレジスタ・バンクを有しているので，通常の処理と割り込み時の処理でレジスタ・バンクを使い分けることにより，効率のよいプログラムを作成できます。

各レジスタは，それぞれ次に示す固有機能を持っています。

A(R1)：

8ビット・データの転送や演算処理の中心となるレジスタです。ビット・データの格納にも使用できます。

また，インデクスト・アドレシング時のオフセット値を格納するレジスタとしても使用可能です。

AX(RP0)：

16ビット・データの転送や演算処理の中心となるレジスタです。

X(R0)：

ビット・データを格納することができます。

B(R3)：

ループ・カウンタとしての機能を持っており，DBNZ命令で使用できます。

また，インデクスト・アドレシング時のオフセット値を格納するレジスタとしても使用可能です。

C(R2)：

ループ・カウンタとしての機能を持っており，DBNZ命令で使用できます。

DE(RP2)，HL(RP3)：

ポインタとしての機能を持っており，レジスタ・インダイレクト・アドレシング，ベースト・アドレシング時にベース・アドレスを指定するレジスタとして動作します。

また，インデクスト・アドレシング時には，オフセット値を格納するレジスタとしても動作します。

各レジスタは，それぞれの固有機能を重視した，機能名称(X，A，C，B，E，D，L，H，AX，BC，DE，HL）のほか，絶対名称（R0-R7，RP0-RP3）ででも記述することができます。対応は**表３－３**を参照してください。

表３－３　機能名称―絶対名称の対応

機能名称	絶対名称
X	R0
A	R1
C	R2
B	R3
E	R4
D	R5
L	R6
H	R7

機能名称	絶対名称
AX	RP0
BC	RP1
DE	RP2
HL	RP3

3.2.5　特殊機能レジスタ（SFR）

内蔵周辺ハードウエアのモード・レジスタ，コントロール・レジスタなどの特別な機能が割り付けられたレジスタで，0FF00H–0FFFFHの256バイトの空間にマッピングされています。

注意　この領域内で，SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると，μPD78218Aがデッドロック状態となることがあります。デッドロック状態は，リセット入力によってのみ解除されます。

表３－４に特殊機能レジスタ（SFR）の一覧を示します。表中の項目の意味は次のようになります。

・略　号……内蔵されたSFRを示す記号。
NEC製アセンブラ（RA78K／II）では予約語になっています。
Cコンパイラ（CC78K／II）では#pragma sfr指令により，sfr変数として使用できます。

・R/W　……該当するSFRが読み出し／書き込みが可能かどうかを示します。
R/W　：読み出し（Read）／書き込み（Write）可能
R　　：読み出し（Read）のみ
W　　：書き込み（Write）のみ

・操作可能ビット単位…該当するSFRを操作する場合に，適応可能な操作ビット単位を示します。16ビット操作可能なSFRはオペランドのsfrpに記述でき，アドレスで指定する場合は偶数アドレスを記述します。
1ビット操作可能なSFRは，ビット操作命令に記述できます。

・リセット時……$\overline{\text{RESET}}$入力時の各レジスタの状態を示します。

表３-４　特殊機能レジスタ（SFR）一覧（1/2）

アドレス	特殊機能レジスタ（SFR）名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FF00H	ポート0	P0	R/W	○	○	—	不定
0FF02H	ポート2	P2	R	○	○	—	
0FF03H	ポート3	P3	R/W	○	○	—	
0FF04H	ポート4	P4		○	○	—	
0FF05H	ポート5	P5		○	○	—	
0FF06H	ポート6	P6		○	○	—	××××0000B
0FF07H	ポート7	P7	R	○	○	—	不定
0FF0AH	ポート0バッファ・レジスタ	P0L	R/W	○	○	—	
0FF0BH	ポート0バッファ・レジスタ	P0H		○	○	—	
0FF0CH	リアルタイム出力ポート・コントロール・レジスタ	RTPC		○	○	—	00H
0FF10H	16ビット・コンペア・レジスタ(16ビット・タイマ／カウンタ)	CR00		—	—	○	不定
				—	—		
0FF12H	16ビット・コンペア・レジスタ(16ビット・タイマ／カウンタ)	CR01		—	—	○	
				—	—		
0FF14H	8ビット・コンペア・レジスタ(8ビット・タイマ／カウンタ1)	CR10		—	○	—	
0FF15H	8ビット・コンペア・レジスタ(8ビット・タイマ／カウンタ2)	CR20		—	○	—	
0FF16H	8ビット・コンペア・レジスタ(8ビット・タイマ／カウンタ2)	CR21		—	○	—	
0FF17H	8ビット・コンペア・レジスタ(8ビット・タイマ／カウンタ3)	CR30		—	○	—	
0FF18H	16ビット・キャプチャ・レジスタ(16ビット・タイマ／カウンタ)	CR02	R	—	—	○	
				—	—		
0FF1AH	8ビット・キャプチャ・レジスタ(8ビット・タイマ／カウンタ2)	CR22		—	○	—	
0FF1CH	8ビット・キャプチャ/コンペア・レジスタ(8ビット・タイマ／カウンタ1)	CR11	R/W	—	○	—	
0FF20H	ポート0モード・レジスタ	PM0	W	—	○	—	FFH
0FF23H	ポート3モード・レジスタ	PM3		—	○	—	
0FF25H	ポート5モード・レジスタ	PM5		—	○	—	
0FF26H	ポート6モード・レジスタ	PM6	R/W	○	○	—	F×H
0FF30H	キャプチャ/コンペア・コントロール・レジスタ0	CRC0	W	—	○	—	10H
0FF31H	タイマ出力コントロール・レジスタ	TOC		—	○	—	00H
0FF32H	キャプチャ/コンペア・コントロール・レジスタ1	CRC1		—	○	—	
0FF34H	キャプチャ/コンペア・コントロール・レジスタ2	CRC2		—	○	—	
0FF40H	プルアップ抵抗オプション・レジスタ	PUO	R/W	○	○	—	
0FF43H	ポート3モード・コントロール・レジスタ	PMC3		○	○	—	

表３-４　特殊機能レジスタ（SFR）一覧（2/2）

アドレス	特殊機能レジスタ（SFR）名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
0FF50H	16ビット・タイマ・レジスタ0	TM0	R	—	—	○	0000H
				—	—		
0FF52H	8ビット・タイマ・レジスタ1	TM1		—	○	—	00H
0FF54H	8ビット・タイマ・レジスタ2	TM2		—	○	—	
0FF56H	8ビット・タイマ・レジスタ3	TM3		—	○	—	
0FF5CH	プリスケーラ・モード・レジスタ0	PRM0	W	—	○	—	00H
0FF5DH	タイマ・コントロール・レジスタ0	TMC0	R/W	—	○	—	
0FF5EH	プリスケーラ・モード・レジスタ1	PRM1	W	—	○	—	00H
0FF5FH	タイマ・コントロール・レジスタ1	TMC1	R/W	—	○	—	
0FF68H	A/Dコンバータ・モード・レジスタ	ADM	R/W	○	○	—	00H
0FF6AH	A/D変換結果レジスタ	ADCR	R	—	○	—	不定
0FF7DH	ワンショット・パルス出力制御レジスタ	OSPC	R/W	○	○	—	00H
0FF80H	クロック同期式シリアル・インタフェース・モード・レジスタ	CSIM	R/W	○	○	—	00H
0FF82H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC		○	○	—	
0FF86H	シリアル・シフト・レジスタ	SIO		—	○	—	不定
0FF88H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM	R/W	○	○	—	80H
0FF8AH	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R	○	○	—	00H
0FF8CH	シリアル受信バッファ：UART	RXB		—	○	—	不定
0FF8EH	シリアル送信シフト・レジスタ：UART	TXS	W	—	○	—	
0FF90H	ボー・レート・ジェネレータ・コントロール・レジスタ	BRGC		—	○	—	00H
0FFC0H	スタンバイ・コントロール・レジスタ	STBC	R/W	—	○	—	0000×000B
0FFC4H	メモリ拡張モード・レジスタ	MM		○	○	—	20H
0FFC5H	プログラマブル・ウエイト制御レジスタ	PW		○	○	—	80H
0FFC6H	リフレッシュ・モード・レジスタ	RFM		○	○	—	00H
0FFD0H ｜ 0FFDFH	（外部SFR領域）	—	R/W	○	○	—	不定
0FFE0H	割り込み要求フラグ・レジスタL	IF0L IF0	R/W	○	○	○	0000H
0FFE1H	割り込み要求フラグ・レジスタH	IF0H		○	○		
0FFE4H	割り込みマスク・フラグ・レジスタL	MK0L MK0	R/W	○	○	○	FFFFH
0FFE5H	割り込みマスク・フラグ・レジスタH	MK0H		○	○		
0FFE8H	優先順位指定フラグ・レジスタL	PR0L PR0	R/W	○	○	○	FFFFH
0FFE9H	優先順位指定フラグ・レジスタH	PR0H		○	○		
0FFECH	割り込み処理形態指定フラグ・レジスタL	ISM0L ISM0		○	○	○	0000H
0FFEDH	割り込み処理形態指定フラグ・レジスタH	ISM0H		○	○		
0FFF4H	外部割り込みモード・レジスタ0	INTM0		○	○	—	00H
0FFF5H	外部割り込みモード・レジスタ1	INTM1		○	○	—	
0FFF8H	割り込みステータス・レジスタ	IST		○	○	—	00H

3.3　注意事項

(1) 内部RAM領域からのプログラム・フェッチはできません。

(2) スタック・ポインタの動作

スタック・アドレシングでは，64 Kバイトすべての空間でアクセス可能ですが，SFR領域および内部ROM領域にスタック・エリアを確保することはできません。

(3) スタック・ポインタの初期化

SPは，$\overline{\text{RESET}}$入力により不定になります。一方，リセット解除直後でもノンマスカブル割り込みは受け付け可能です。したがって，リセット解除直後のSPが不定な状態でノンマスカブル割り込みの要求が発生すると，予期しない動作を行う場合があります。これらの危険を最小限にするためにSPの初期設定は，リセット解除直後に行うようにしてください。詳細は，**12.3.2　ノンマスカブル割り込みの受け付け動作**を参照してください。

(4) 特殊機能（SFR)レジスタ

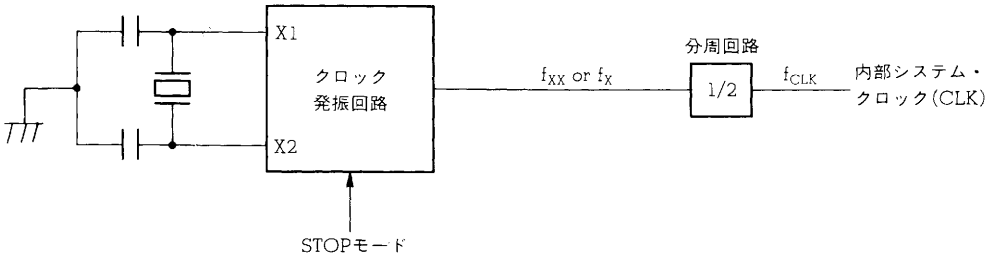
0FF00H-0FFFFHの領域内で，SFRの割り付けられていないアドレスをアクセスしないでください。誤ってアクセスすると，μPD78218Aがデッドロック状態となることがあります。デッドロック状態は，リセット入力によってのみ解除されます。

第４章　クロック発生回路

4.1　構成と機能

クロック発生回路は，CPUおよび内蔵ハードウエアに供給される内部システム・クロック（CLK）を発生，制御する回路です。図４－1のように構成されます。

図４－1　クロック発生回路のブロック図



備考　f_{XX}　：クリスタル／セラミック発振周波数

f_X　：外部クロック周波数

f_{CLK}　：内部システム・クロック周波数（$=\frac{1}{2}f_{XX}$ or $\frac{1}{2}f_X$）

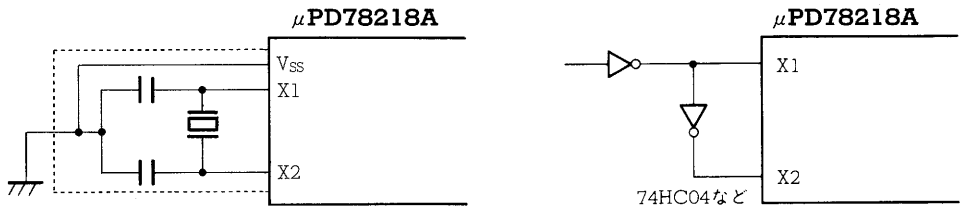
クロック発振回路は，X1，X2端子に接続されたクリスタル振動子／セラミック発振子によって発振します。スタンバイ・モード（STOP）に設定されると，発振を停止します（**第14章　スタンバイ機能**参照）。

また，外部クロックを入力することもできます。その場合，X1端子にクロック信号を入力し，X2端子にはその逆相を入力してください。なお，外部クロックを入力する場合は，STOPモードを使用することはできません。

分周回路は，クロック発振回路出力（クリスタル／セラミック発振の場合f_{XX}，外部クロックの場合f_X）を2分周して，内部システム・クロック（CLK）を生成します。

図４－２　クロック発振回路の外付け回路

★　(a) クリスタル／セラミック発振　　(b) 外部クロック



★　**注意**　クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図４－２の［　］部分を次のように配線してください。

- 配線を極力短くする。
- ほかの信号線と交差させない。
- 変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
- 発振回路から信号を取り出さない。

備考　水晶振動子とセラミック発振子の使い分け

一般に水晶振動子の発振周波数はきわめて安定しています。したがって，高精度の時間の管理を行う場合（たとえば，時計，周波数測定など）に最適です。

また，セラミック発振子は，水晶振動子と比較すると発振周波数の安定性では劣りますが，発振開始時間が速く，小型で安価であるという3つの特徴を持っています。したがって通常の用途（高い精度の時間管理を必要としない場合）には有効です。さらに，コンデンサ内蔵品などもあり，部品点数，実装面積の削減に効果があります。

4.2　注意事項

クロック発生回路には次のような注意事項があります。

4.2.1　外部クロックを入力する場合

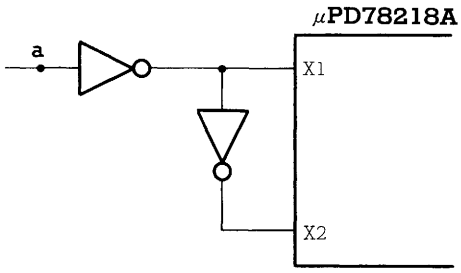
(1) 外部クロックを入力する場合には，STOPモードを使用しないでください。破壊を起こす可能性があります。また，破壊しなくとも信頼性に影響を与えます。

(2) 外部クロックを入力する場合は，X1端子へ入力した信号の逆相の信号をX2端子へ入力してください。逆相の信号をX2端子へ入力しない場合，ノイズなどによる誤動作がより発生しやすくなります。

(3) 外部クロックを入力する場合は，HCMOSまたはそれと同等のドライブ能力を持ったデバイスで行ってください。

(4) X1，X2端子からは信号を取り出さないようにしてください。取り出す場合は，図４－３のａ点から取り出してください。

図４－３　外部クロック入力時の信号取り出し点



(5) X1端子からインバータを通してX2端子へと接続する部分の配線は，特に極力短くなるようにしてください。

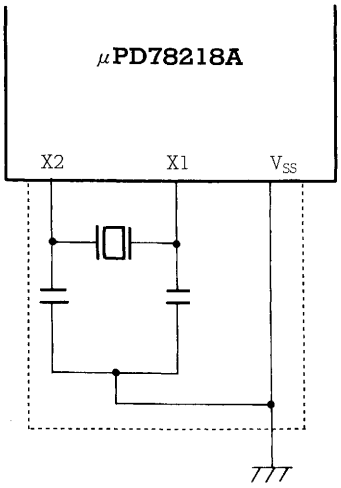
4.2.2　クリスタル／セラミック発振の場合

(1) 発振回路は高周波のアナログ回路となりますので，十分に注意を払ってください。
特に注意しなければならない点について以下に例をあげます。

・配線は極力短くする。
・他の信号線と交差させない。
・変化する大電流が流れる線と接近させない。
・発振回路のコンデンサの接地点は，常にV_{SS}端子と同電位となるようにする。大電流が流れるグランド・パターンには接地しない。
・発振回路部から信号を取り出さない。

発振が正常に安定して行われないと，マイコンも正常に安定した動作を行うことができません。
また，高精度な発振周波数を得たい場合などは，発振器メーカとご相談することを推奨いたします。

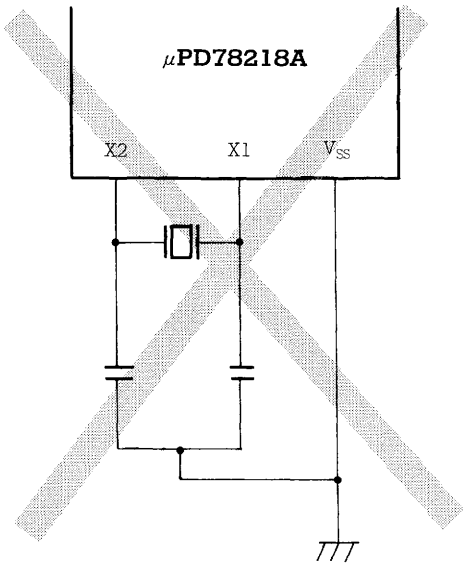
図４－４　発振子の接続の注意点



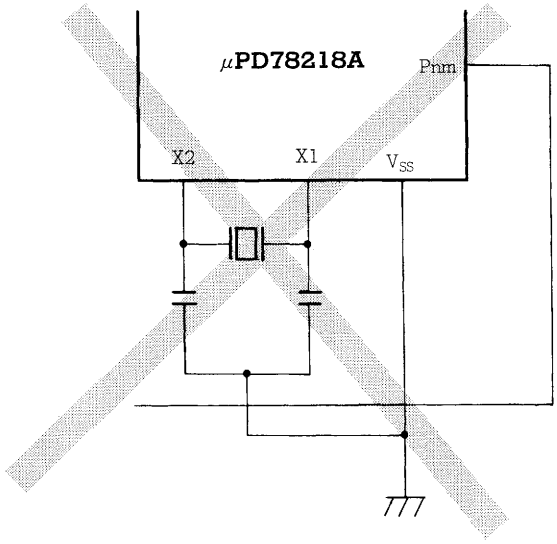
注意1.　発振回路はX1，X2端子にできるだけ近づけてください。
2.　[ ] の範囲に他の信号線を通さないでください。

図４－５　発振子の接続の悪い例

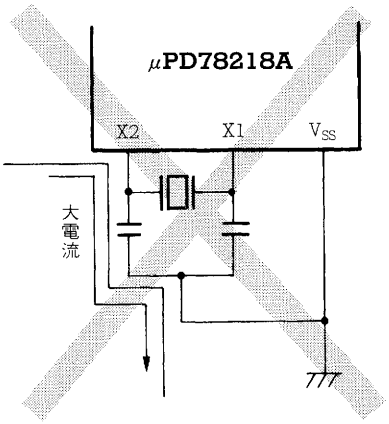
(a) 接続回路の配線が長い



(b) 信号線が交差している

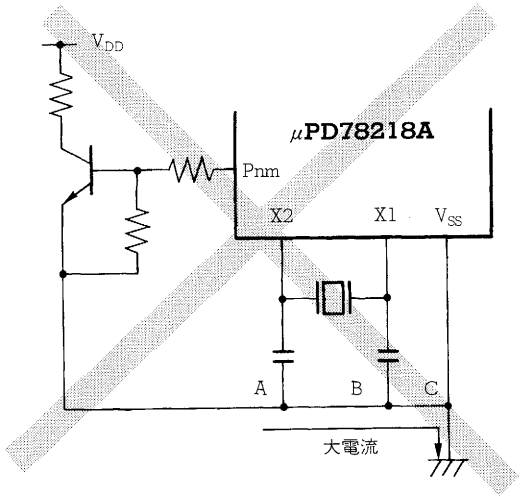


(c) 変化する大電流が信号線を近接している

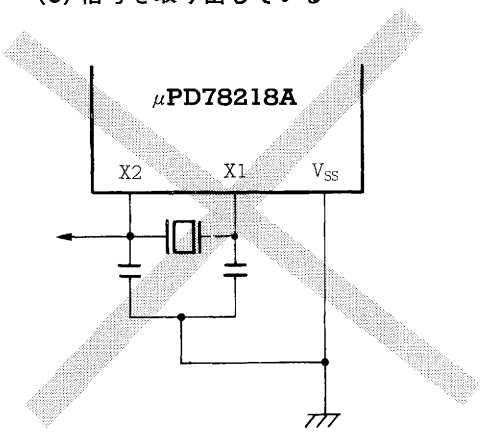


(d) 発振回路部のグランド・ライン上に電流が流れる

（A点，B点，C点の電位が変動する）



(e) 信号を取り出している



(2) パワーオン時およびSTOPモードからの復帰時には発振が安定になるまでの時間を確保する必要があります。一般に水晶振動子を使用した場合，数msec，セラミック発振子を使用した場合，数百μsecの時間が発振を安定させるために必要です。

発振の安定時間は下記のように決定されますので，これらによって十分な時間を確保してください。

① パワーオン時　：$\overline{\text{RESET}}$入力（リセット期間）

② STOPモードからの復帰時　：（ｉ）$\overline{\text{RESET}}$入力（リセット期間）

（ii）NMI信号がアクティブの時間＋自動的にスタートするタイマの時間

（iii）NMI信号の有効エッジで自動的にスタートするタイマの時間

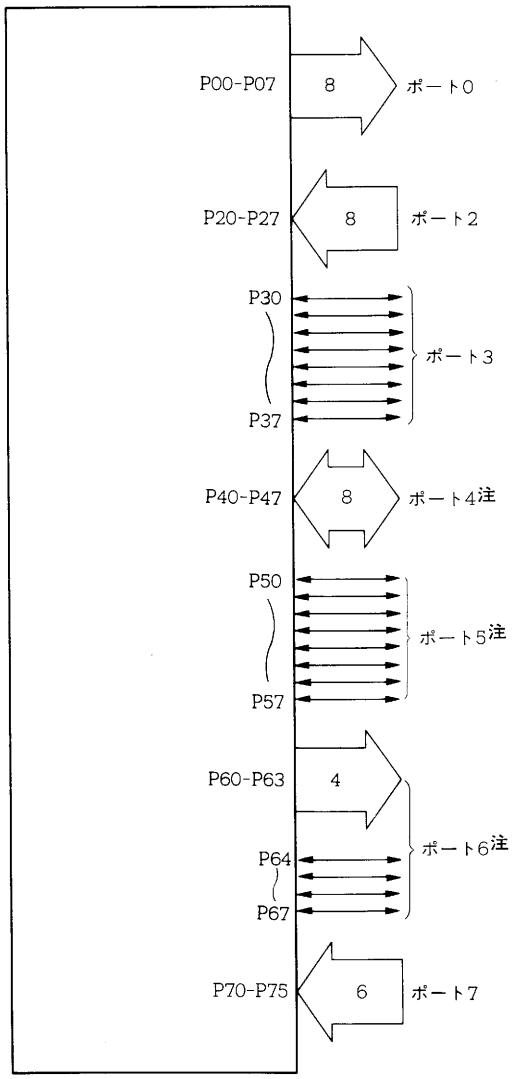
第５章　ポート機能

5.1　ディジタル入出力ポート

μPD78218Aは図５－1のようなポートを備えており，多様な制御ができます。各ポートの機能は表５－1のとおりです。ポート2からポート6は，入力時に，内蔵プルアップ抵抗の使用をソフトウエアで指定できます。

5

図５－1　ポートの構成



注　μPD78217Aの場合，P40－P47，P50－P57，P64，P65は，ポートとしては動作しません。

表５－１　ポートの機能

名　称	端子名	機　　能	ソフトウエア・プルアップの指定
ポート0	P00 - P07	8ビット単位で出力かハイ・インピーダンスに指定可能。 4ビット・リアルタイム出力ポートとしても動作可能（P00-P03，P04-P07）。 トランジスタ駆動可能	―――
ポート2	P20 - P27	入力ポート。	6ビット単位（P22-P27）
ポート3	P30 - P37	1ビット単位で入力か出力に指定可能。	入力モードの端子について一括して指定
ポート4	P40 - P47	8ビット単位で入力か出力に指定可能。 LED駆動可能	8ビット単位
ポート5	P50 - P57	1ビット単位で入力か出力に指定可能。 LED駆動可能	入力モードの端子について一括して指定
ポート6	P60 - P63	出力ポート。	―――
	P64 - P67	1ビット単位で入力か出力に指定可能。	入力モードの端子について一括して指定
ポート7	P70 - P75	入力ポート。	―――

備考　μPD78217Aでは，ポート4，ポート5およびP64，P65は，それぞれアドレス/データ・バス，アドレス・バス，$\overline{RD}$，$\overline{WR}$として動作します。したがって，これらの端子はLEDダイレクト・ドライブやソフトウエア・プルアップ抵抗の内蔵指定はできません。

表５－２　入出力ポート数

入出力 / ポート	合　計	入　力　時	出　力　時	
		ソフトウエア・プルアップ抵抗	LEDダイレクト・ドライブ	トランジスタ・ダイレクト・ドライブ
入　力ポート	14(14)	6（6）	—	—
入出力ポート	28(10)	28(10)	16(0)	0(0)
出　力ポート	12(12)	—	0（0）	8(8)
合　　計	54(36)	34(16)	16(0)	8(8)

（　）内はμPD78217Aの場合

5.2　ポート0

ポート0は，出力ラッチ付き8ビット出力専用ポートで，トランジスタのダイレクト・ドライブが可能です。ポート0モード・レジスタ（PM0）により，8ビット単位で出力モード／ハイ・インピーダンス状態の指定ができます。

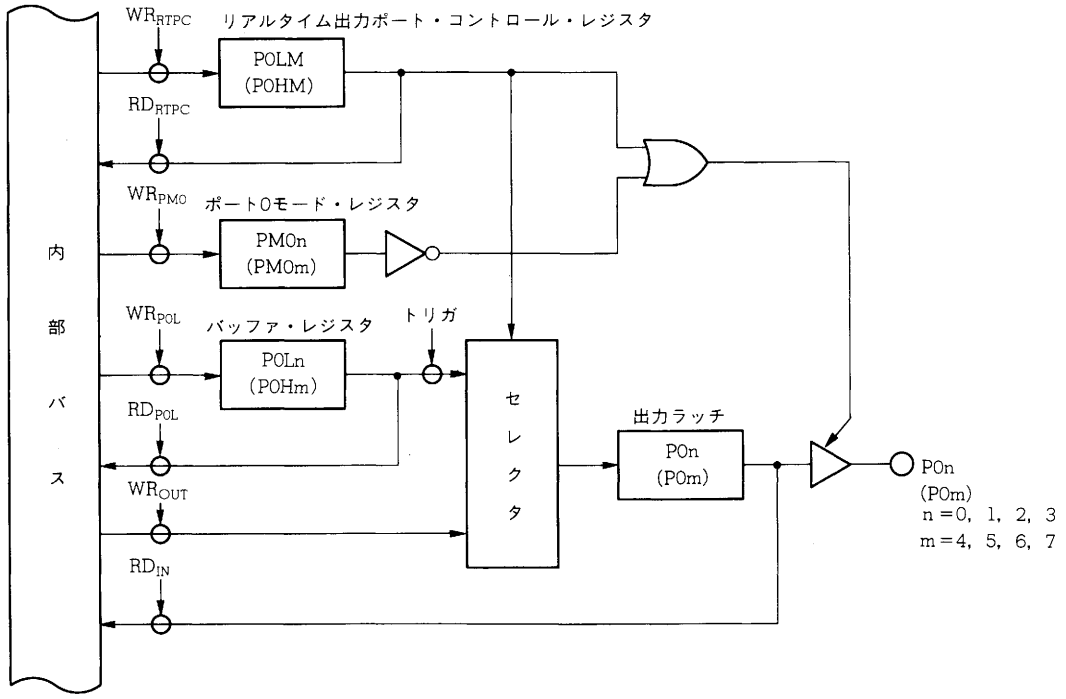
P00-P03，P04-P07はそれぞれ4ビット，または8ビットのリアルタイム出力ポートとして，バッファ・レジスタ（P0L，P0H）の内容を任意のインターバル時間で出力できます。通常の出力ポートかリアルタイム出力ポートかの選択は，リアルタイム出力ポート・コントロール・レジスタ（RTPC）で行います。

$\overline{\text{RESET}}$入力により出力ハイ・インピーダンス状態となり，出力ラッチの内容は不定になります。

5.2.1　ハードウエア構成

図５－２に，ポート0のハードウエア構成を示します。

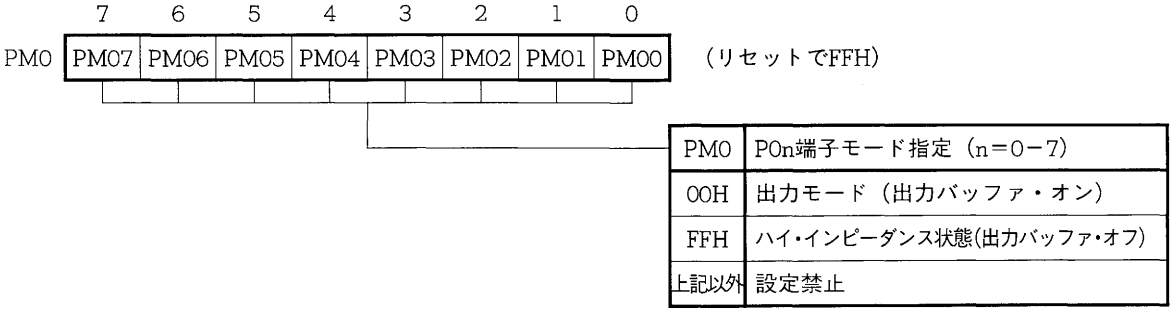
図５－２　ポート0のブロック図



5.2.2　入出力モード／コントロール・モードの設定

ポート0の入出力モードは，図5-3のように，ポート0モード・レジスタ(PM0) により設定します。PM0は，8ビット・データ転送命令で設定します（ビット操作および読み出しはできません)。

図5-3　ポート0モード・レジスタのフォーマット



リアルタイム出力ポートとして使用する場合は，リアルタイム出力ポート・コントロール・レジスタ（RTPC）のP0LM，P0HMの各ビットをセット(1)します。

なお，P0LM，P0HMをセットすると，PM0の内容にかかわらず，それぞれの端子の出力バッファがオンし，出力ラッチの内容が端子に出力されます。

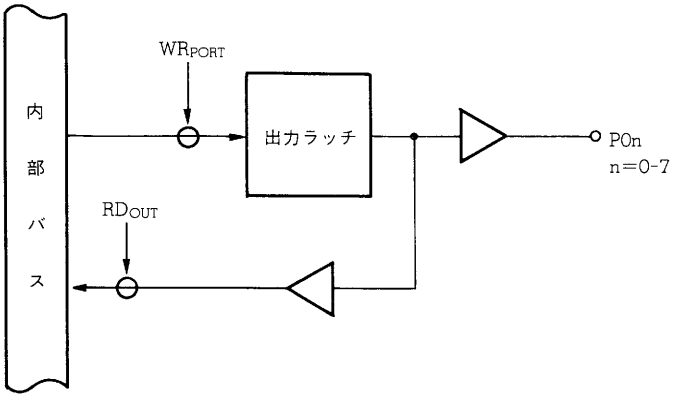
5.2.3　動作状態

ポート0は，出力専用のポートです。

出力モード設定後，出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりを行います。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込むまで保持されます。

リアルタイム出力ポートに指定されているポートの出力ラッチへは，書き込みはできません。しかし，リアルタイム出力ポート・モードに設定されていても出力ラッチの内容は読み出すことができます。

図５－４　出力ポート指定のポート



5.2.4　内蔵プルアップ抵抗

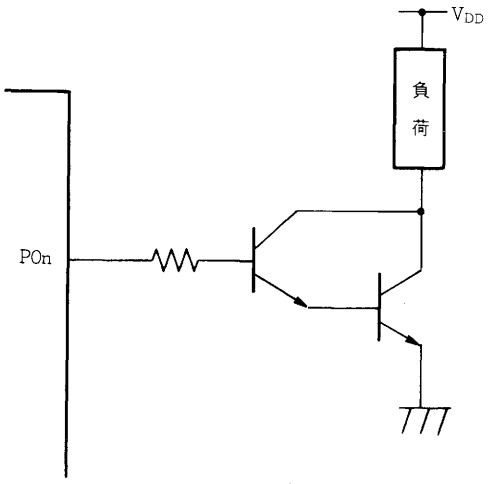
ポート0は，プルアップ抵抗を内蔵していません。

5.2.5　トランジスタのドライブ

ポート0は，出力バッファのハイ・レベル側のドライブ能力を強化しているので，アクティブ・ハイでトランジスタをダイレクトにドライブすることができます。

図５－5に接続例を示します。

図５－５　トランジスタのドライブ例



5.3　ポート2

ポート2は，8ビット入力専用ポートです。P22-P27には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。入力ポートとして働く以外に外部割り込み信号端子などの制御信号入力端子としも働きます（**表５－３**参照）。また，8端子とも，ノイズによる誤動作を防ぐためシュミット・トリガ入力になっています。

表５－３　ポート2の動作モード

ポート	機　　能
P20	入力ポート/NMI入力注
P21	入力ポート/INTP0入力／CR11キャプチャ・トリガ入力/リアルタイム出力ポートの出力トリガ信号
P22	入力ポート/INTP1入力／CR22キャプチャ・トリガ入力
P23	入力ポート/INTP2入力／CI入力
P24	入力ポート/INTP3入力／CR02キャプチャ・トリガ入力
P25	入力ポート/INTP4入力／ASCK入力
P26	入力ポート/INTP5入力／A/Dコンバータ外部トリガ入力
P27	入力ポート/SI入力

注　NMI入力は，割り込み許可/禁止状態にかかわらず受け付けます。

(a) ポート端子としての機能

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

(b) 制御信号入力端子としての機能

(ｉ) NMI (Nonmaskable Interrupt)

外部ノンマスカブル割り込み要求入力端子です。外部割り込みモード・レジスタ(INTM0)により，立ち上がりエッジ検出，または立ち下がりエッジ検出に指定できます。

(ii) INTP0-INTP5 (Interrupt From Peripherals)

外部割り込み要求入力端子です。INTP0-INTP5端子に外部割り込みモード・レジスタ(INTM0，INTM1）で指定された有効エッジが検出されると，割り込みを発生します（**第11章　エッジ検出機能**参照）。

また，INTP0-INTP3，INTP5は次のように各種機能の外部トリガ入力端子としても使用します。

・INTP0……8ビット・タイマ／カウンタ1のキャプチャ・トリガ入力端子
　　リアルタイム出力ポートのトリガ信号
・INTP1……8ビット・タイマ／カウンタ2のキャプチャ・トリガ入力端子
・INTP2……8ビット・タイマ／カウンタ2の外部カウント・クロック入力端子
・INTP3……16ビット・タイマ／カウンタのキャプチャ・トリガ入力端子
・INTP5……A／Dコンバータの外部トリガ入力端子

(iii) **CI (Clock Input)**

8ビット・タイマ／カウンタ2の外部クロック入力端子です。

(iv) **ASCK (Asynchronous Serial Clock)**

外部ボー・レート・クロック入力端子です。

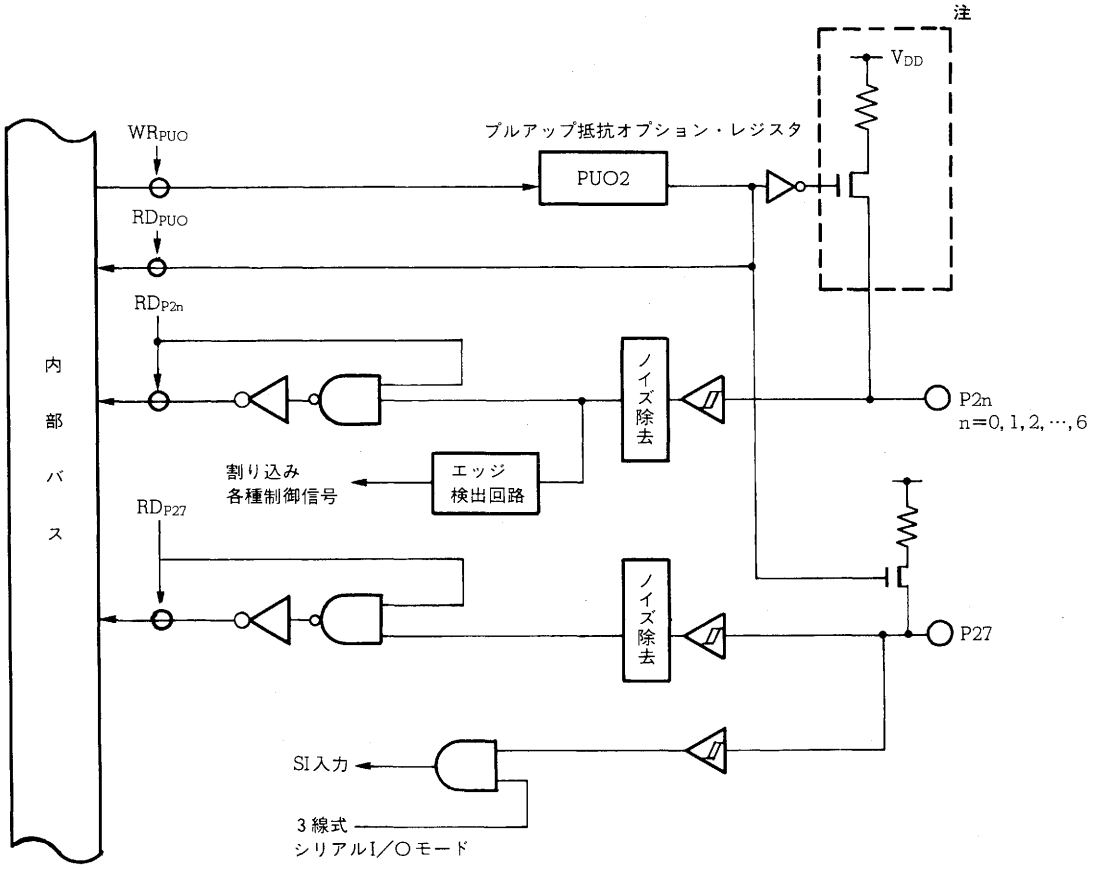
(v) **SI (Serial Input)**

シリアル・データ入力端子（3線式シリアルI／Oモード時）です。

5.3.1　ハードウエア構成

図5-6に，ポート2のハードウエア構成を示します。

図5-6　ポート2のブロック図



注　P20，P21には，[　　]で囲まれた回路はありません。

5.3.2　入出力モード／コントロール・モードの設定

ポート2は，入力専用ポートです。入力モードを設定するためのレジスタはありません。

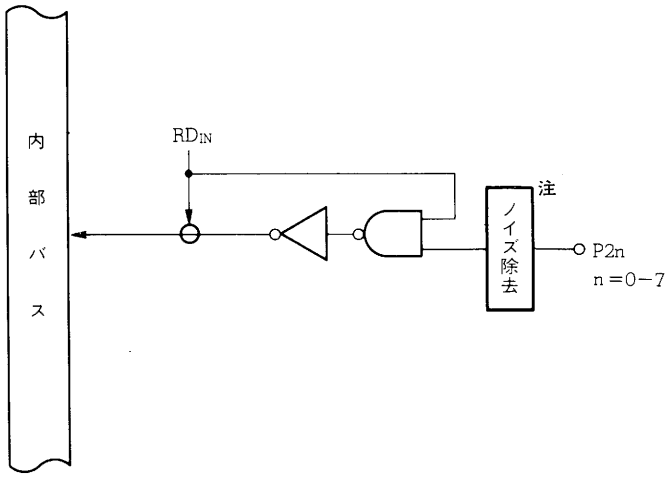
また，常時コントロール信号の入力ができる状態になっていますので，各内蔵ハードウエアのコントロール・レジスタなどで，どの信号を使用するかを決定します。

5.3.3　動作状態

ポート2は，入力専用のポートで，常に端子レベルの読み込みあるいはテストが可能です。

なお，P20-P26については，読み込みおよびテスト時のレベルはノイズ除去後のレベルです。ノイズ除去については，**第11章　エッジ検出機能**を参照してください。

図5-7　入力ポート指定のポート



注　P27にはノイズ除去の回路はありません。

注意　インサーキット・エミュレータでは，ポート2の読み込みまたはテスト時には，ノイズ除去前の端子レベルとなります。

5.3.4　内蔵プルアップ抵抗

P22-P27は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO2によりP22-P27の6端子一括で指定できます（ビットごとには指定できません）。

なお，P20，P21には，プルアップ抵抗を内蔵していません。

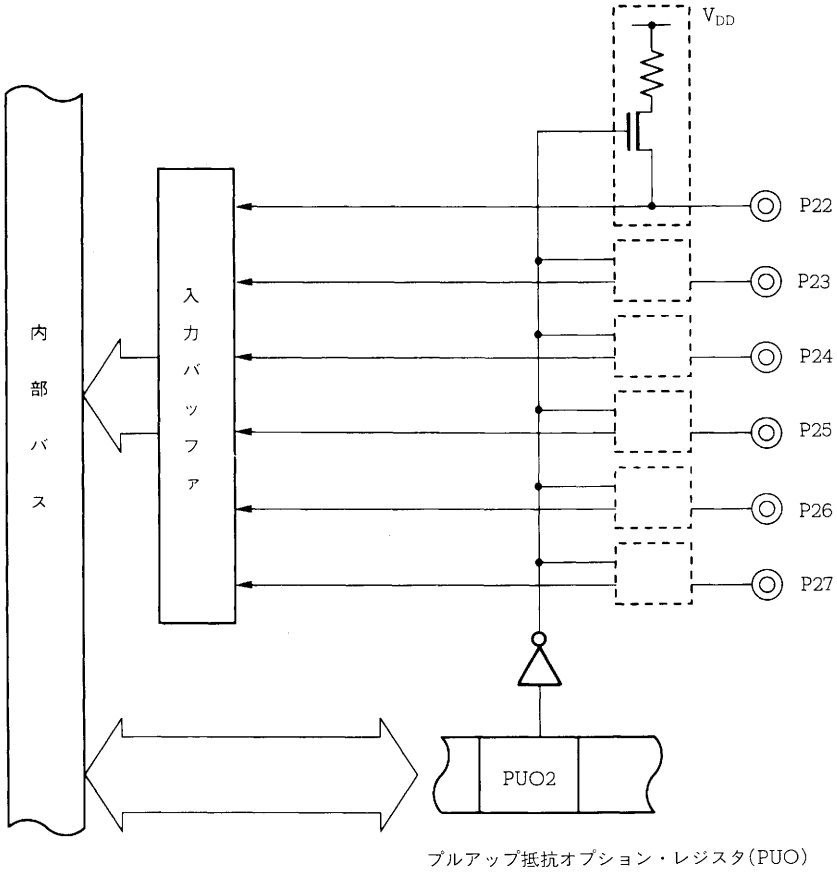
図５－８　プルアップ抵抗オプション・レジスタのフォーマット

	7	6	5	4	3	2	1	0	
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	0	（リセットで00H）

PUO2	ポート2のプルアップ抵抗の指定
0	ポート2では使用しない
1	P22-P27の端子で使用する

備考　STOPモードに入る場合，消費電流を低減するために，PUOに00Hを設定することが有効です。

図５－９　プルアップの指定（ポート2）



注意　**P22-P26は，リセット直後にプルアップされないため，兼用端子(INTP1-INTP5)の機能によって割り込み要求フラグがセットされることがあります。したがって初期化ルーチンでプルアップを指定してから，割り込み要求フラグをクリアしてください。**

5.4　ポート3

ポート3は，出力ラッチ付き8ビット入出力ポートです。ポート3モード・レジスタ（PM3）により，1ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

入出力ポートとしての機能以外に，各種コントロール信号端子としての機能を兼用しています。

動作モードは，ポート3モード・コントロール・レジスタ（PMC3）により，表5-4のように1ビット単位に指定できます。いずれの端子も，兼用端子の動作にかかわらず，常に端子レベルの読み込みあるいはテストが可能です。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定となります。

表5-4　ポート3の動作モード（n=0−7）

モード	ポート・モード	コントロール信号入出力モード
設定条件	PMC3n=0	PMC3n=1
P30	入出力ポート	RxD入力
P31		TxD出力
P32		$\overline{\text{SCK}}$入出力
P33		SO出力/SB0入出力
P34		TO0出力
P35		TO1出力
P36		TO2出力
P37		TO3出力

(a) ポート・モード

PMC3レジスタによりポート・モードに指定された各ポートは，ポート3モード・レジスタ（PM3）により，1ビット単位で入力／出力の指定ができます。

(b) コントロール信号入出力モード

PMC3レジスタの設定により，1ビット単位にコントロール端子にすることができます。

(i) RxD (Recieve Data)

アシンクロナス・シリアル・インタフェースのシリアル・データ入力端子です。

(ii) TxD (Transmit Data)

アシンクロナス・シリアル・インタフェースのシリアル・データ出力端子です。

(iii) $\overline{\text{SCK}}$ (Serial Clock)

クロック同期式シリアル・インタフェースのシリアル・クロック入出力端子です。

(iv) SO (Serial Output)/SBO (Serial Bus)

SOはシリアル・データ出力端子（3線式シリアルI/Oモード時）です。また，SBOはSBIモード時のシリアル・バス入出力端子です。

備考　ポート3のビット3（P33）は“SBO”という名前がNEC製のアセンブラ・パッケージで予約語になっています。また，Cコンパイラでは，sfrbit.hというヘッダ・ファイルで定義されています。

(v) TO0-TO3 (Timer Output)

タイマ出力端子です。

5.4.1　ハードウエア構成

図5－10－図5－13に，ポート3のハードウエア構成を示します。

図5－10　P30(ポート3)のブロック図

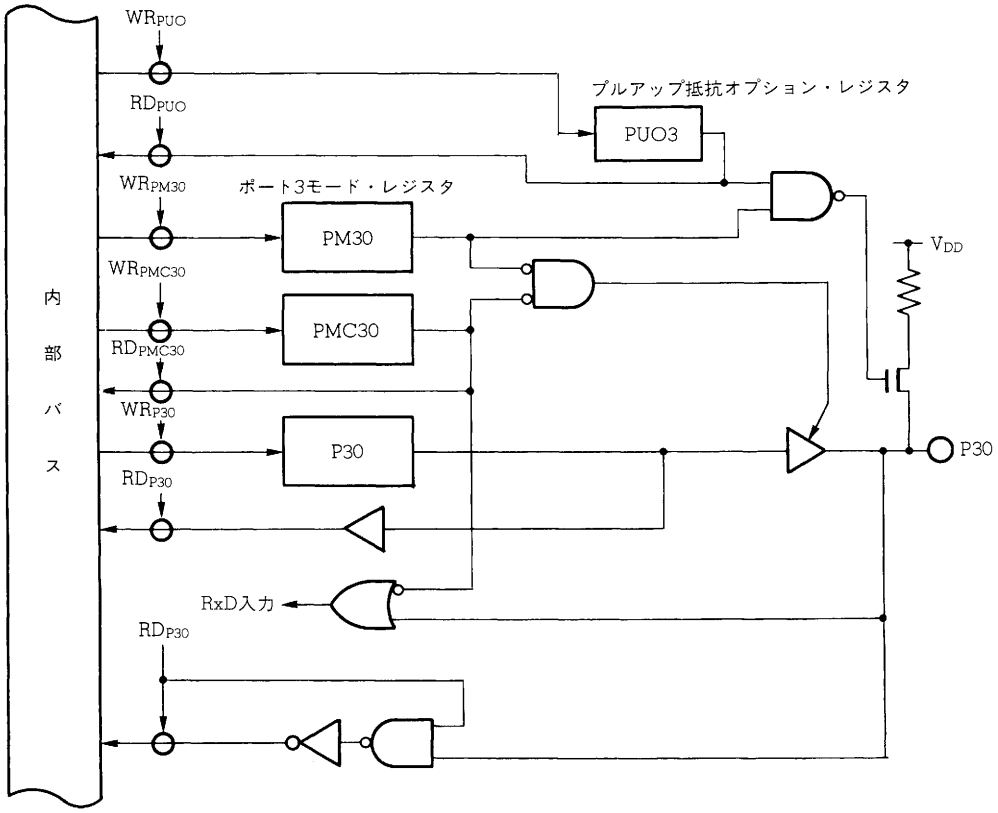
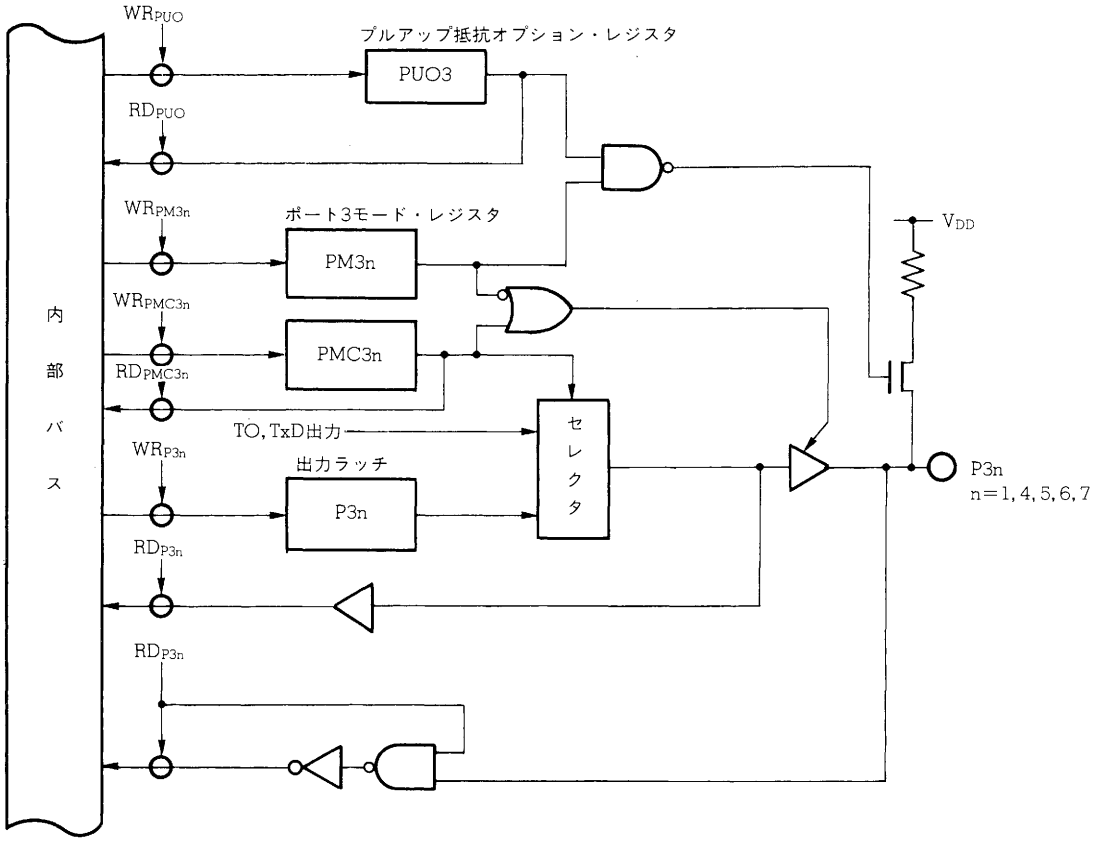


図５－１１　P31，P34-P37(ポート3)のブロック図



★ 図５－12　P32(ポート3)のブロック図

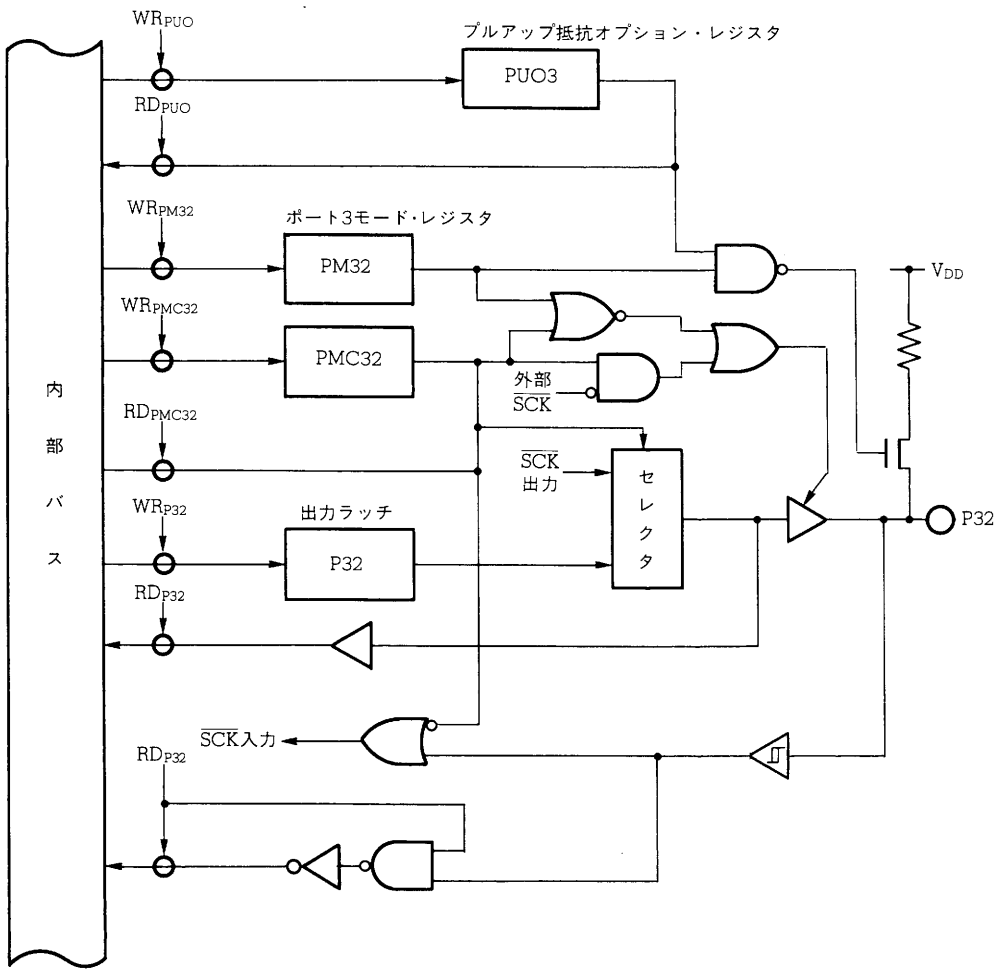
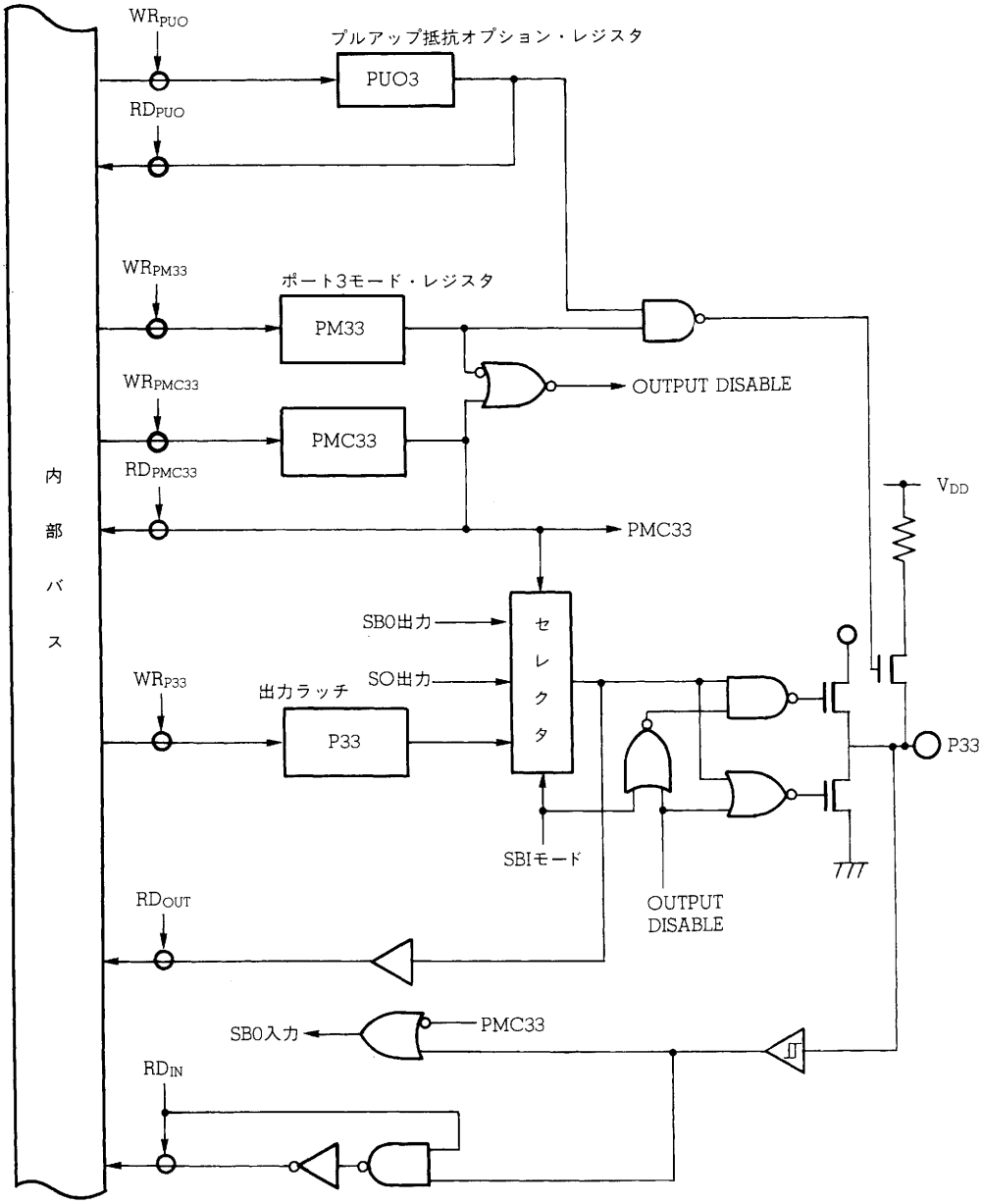


図5-13　P33(ポート3)のブロック図　★



5.4.2　入出力モード／コントロール・モードの設定

ポート3の入出力モードは，図5-14のように，端子ごとにポート3モード・レジスタ(PM3)により設定します。

PM3レジスタは，8ビット・データ転送命令で設定します（ビット操作および読み出しはできません）。

また，ポート3は入出力ポートとしての機能のほかに，各種コントロール信号端子としての機能を兼用しており，図5-15のように，ポート3モード・コントロール・レジスタ（PMC3）により，コントロール・モードを指定します。

図5-14　ポート3モード・レジスタのフォーマット

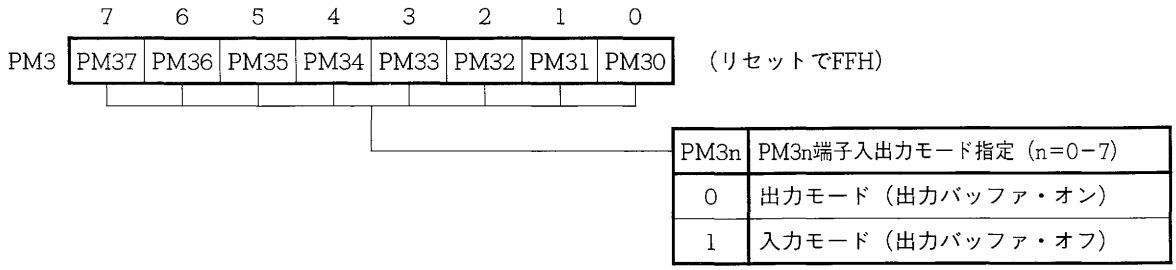
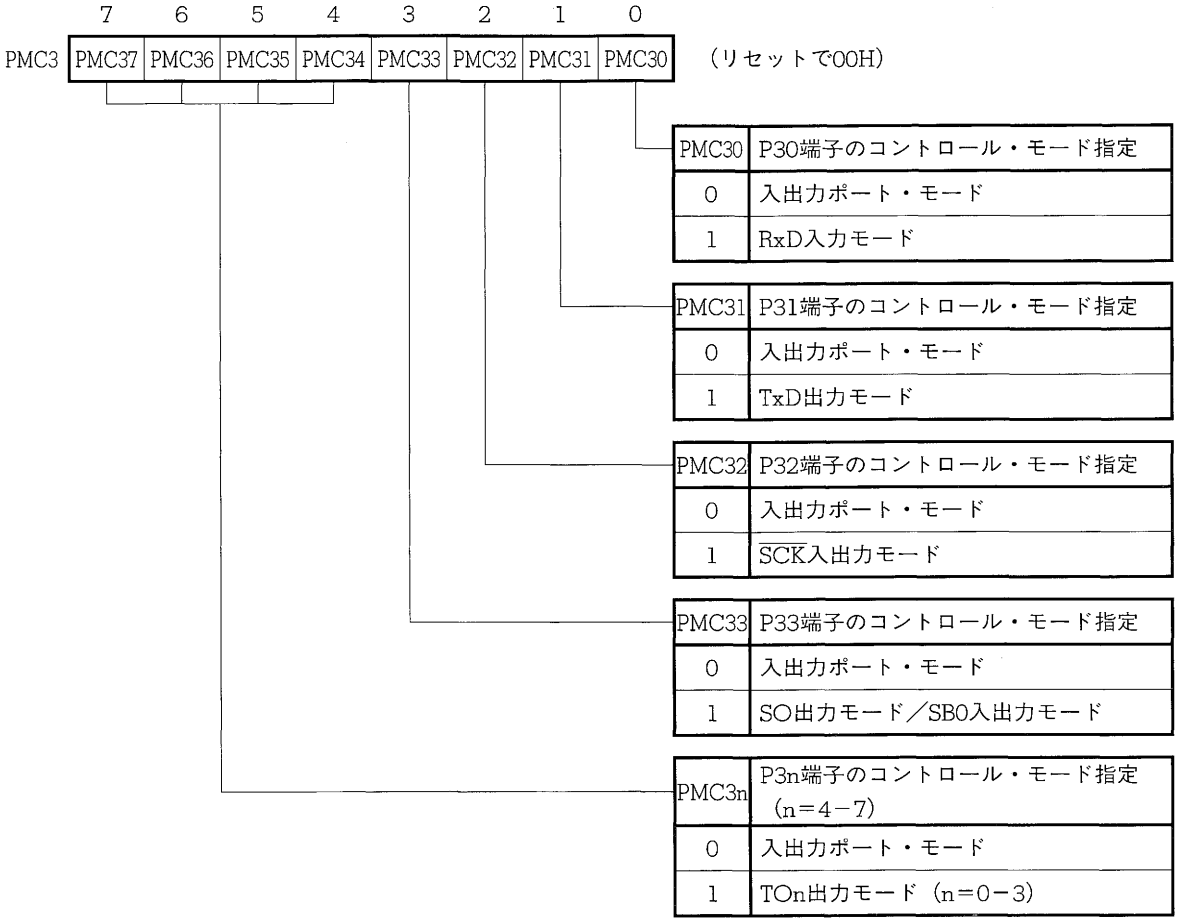


図５－15　ポート3モード・コントロール・レジスタ(PMC3)のフォーマット



5.4.3　動作状態

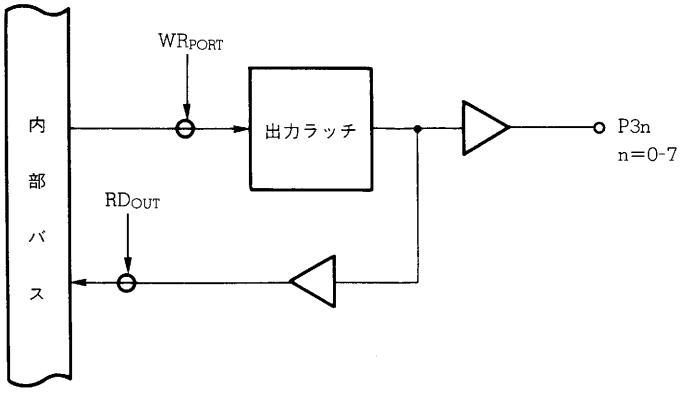
ポート3は，入出力ポートで，各種コントロール端子を兼用しています。

(1) 出力ポートに指定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりが行えます。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む注まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

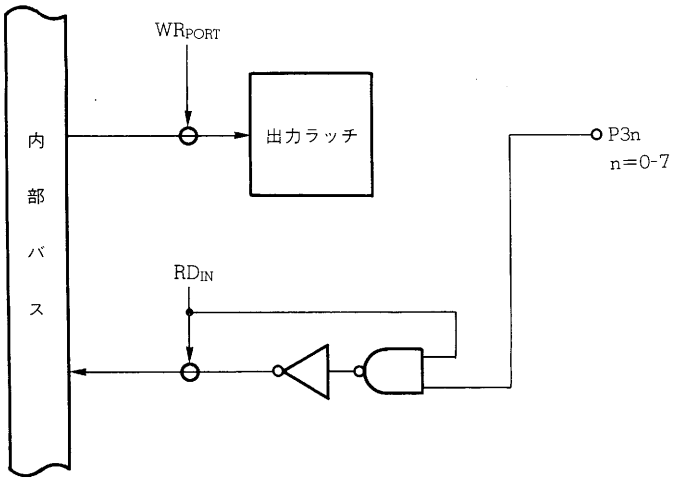
図5-16　出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力指定のビットが出力ポートに切り替えられたとき，出力ラッチの内容がポート端子に出力されます)。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図５－17　入力ポート指定のポート



注意　ビット操作命令は，結果として操作するのは1ビットですが，ポートを8ビット単位でアクセスします。したがって，入出力が混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます(SET1，CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。

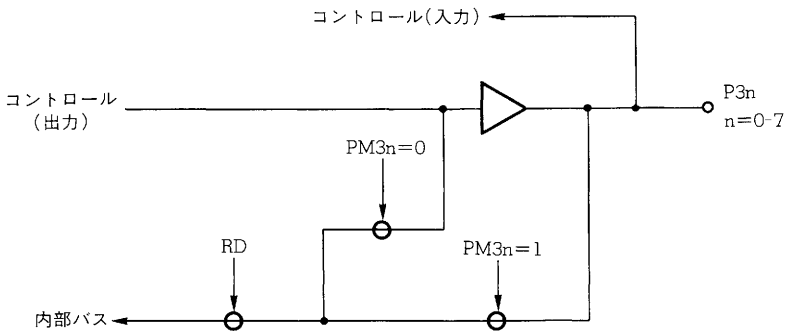
また，その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

★

(3) コントロール信号入出力に指定された場合

ポート3は，ポート3モード・コントロール・レジスタ（PMC3）のビットをセット(1)することにより，ポート3モード・レジスタ（PM3）の設定にかかわらず，1ビット単位にコントロール信号の入力あるいは出力として使用することができます。各端子をコントロール信号として用いる場合，ポートの読み出し命令を実行することにより，コントロール信号の状態をみることができます。

図5-18　コントロール指定の場合



(a) ポートがコントロール信号出力の場合

ポート3モード・レジスタ（PM3n）がセット(1)されている場合，ポートの読み込み命令を実行すると，コントロール信号端子のレベルを読み込むことができます。

PM3nがリセット(0)されている場合，ポートの読み込み命令を実行すると，μPD78218A内のコントロール信号の状態を読み込むことができます。

備考　ポート3のビット3（P33）は“SB0”という名前がNEC製のアセンブラ・パッケージで予約語になっています。また，Cコンパイラでは，sfrbit.hというヘッダ・ファイルで定義されています。

(b) ポートがコントロール信号入力の場合

ポート3モード・レジスタ（PM3n）がセット(1)されている場合のみ，ポートの読み込み命令を実行すると，コントロール信号端子のレベルを読み込むことができます。

5.4.4　内蔵プルアップ抵抗

ポート3は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO3とポート3モード・レジスタ（PM3）で，端子ごとに指定できます。PUO3が1のとき，PM3で入力を指定した（PM3n＝1，n＝0－7）端子の内蔵プルアップ抵抗が有効になります。

また，コントロール・モードに指定された端子でも，プルアップ抵抗を使用する指定は有効になります(コントロール・モード時に出力端子となる端子にも，プルアップ抵抗が接続されます)。したがって，コントロール・モード時にプルアップ抵抗を接続したくない場合には，PM3の対応するビットの内容を0（出力モード）にしてください。

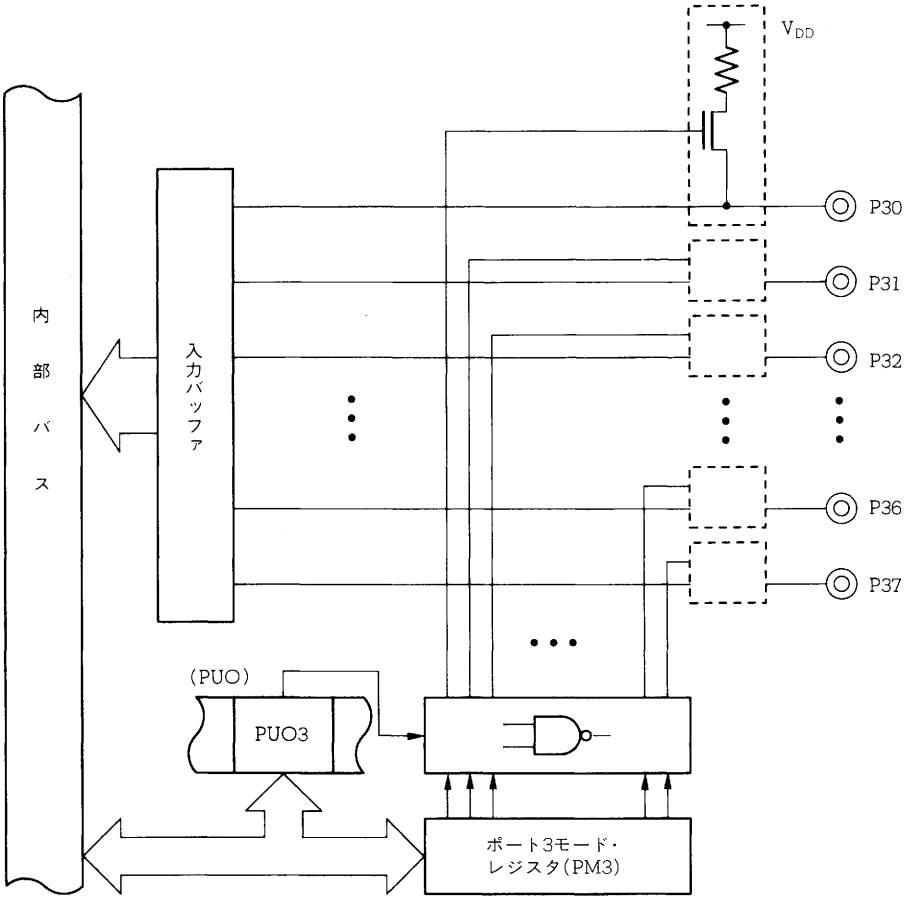
図5－19　プルアップ抵抗オプション・レジスタのフォーマット

	7	6	5	4	3	2	1	0	
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	0	（リセットで00H）

PUO3	ポート3のプルアップ抵抗の指定
0	ポート3では使用しない
1	ポート3で使用する

備考　STOPモードに入る場合，消費電流を低減するために，PUOに00Hを設定することが有効です。

図５－20　プルアップの指定（ポート3）



5.5　ポート4

ポート4は，出力ラッチ付き8ビット入出力ポートです。メモリ拡張モード・レジスタ（MM）により，8ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。また，LEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，時分割アドレス／データ・バス（AD0-AD7）として機能します。

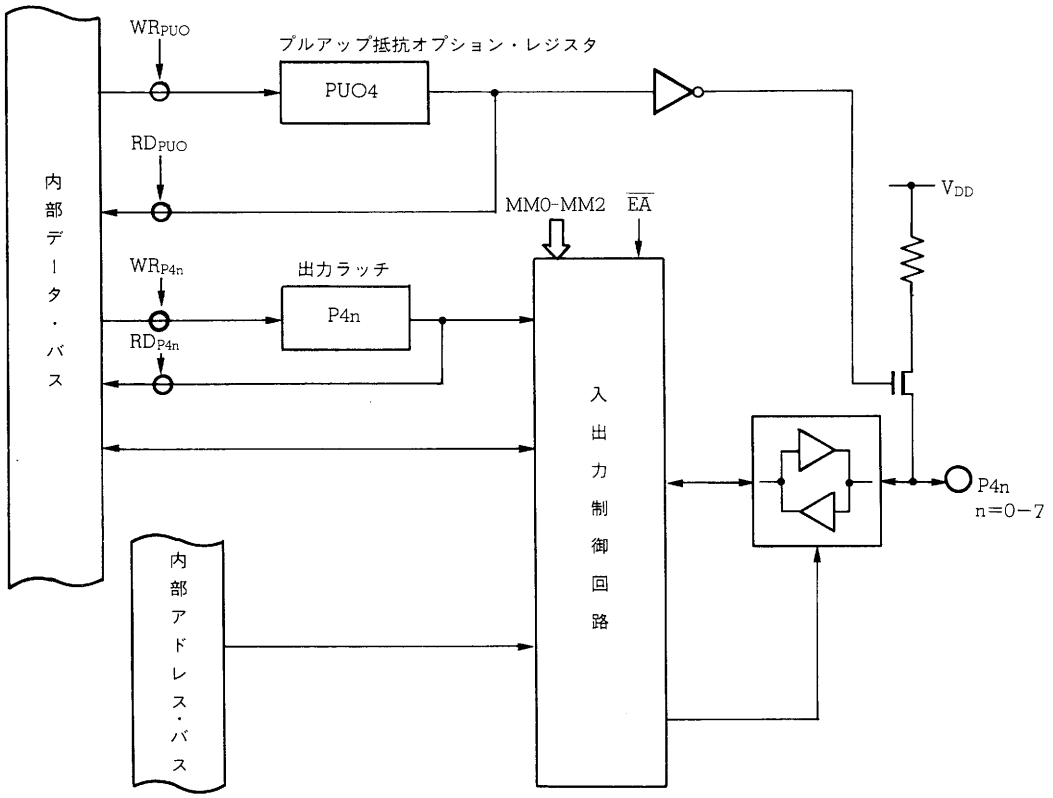
なお，μPD78217Aの場合は，時分割アドレス／データ・バス（AD0-AD7）としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス）になり，出力ラッチの内容は不定になります。

5.5.1　ハードウエア構成

図5-21に，ポート4のハードウエア構成を示します。

図5-21　ポート4のブロック図



5.5.2　入出力モード／コントロール・モードの設定

ポート4の動作モードは，表5-5のように，メモリ拡張モード・レジスタ（MM：図13-1参照）により設定します。

表5-5　ポート4の動作モード

$\overline{EA}$端子	MMレジスタのビット			動作モード
	MM2	MM1	MM0	
1	0	0	0	入力ポート
1	0	0	1	出力ポート
1	1	1	1	アドレス/データ・バス (AD0-AD7)
0	×	×	×	

μPD78217Aの場合は，アドレス／データ・バス（AD0-AD7）としてのみ動作します。

5.5.3　動作状態

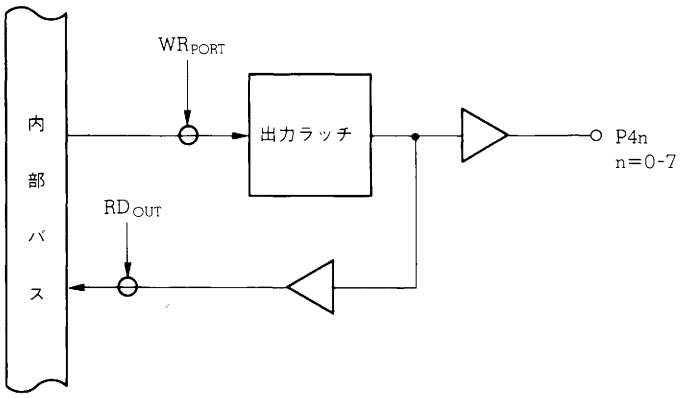
ポート4は入出力ポートで，アドレス／データ・バス（AD0-AD7）と兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりが行えます。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む注まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

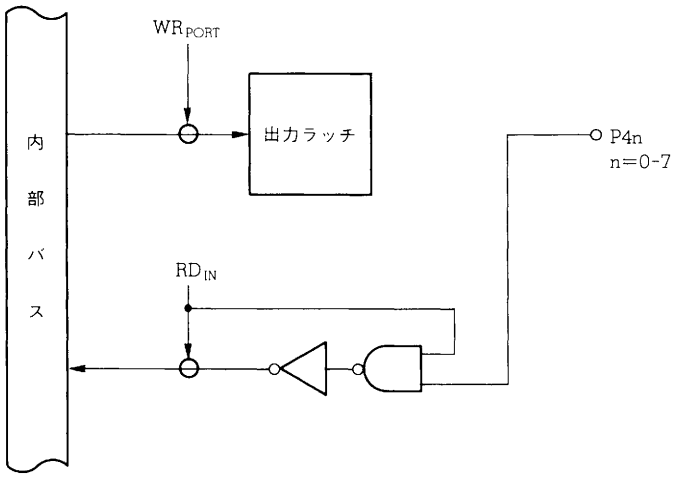
図5-22　出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートの指定されているビットの出力バッファはハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力ポートの指定が出力ポートに切り替えられたとき，出力ラッチの内容が，ポート端子に出力されます)。また，入力ポートに指定されている場合，出力ラッチの内容は，アキュームレータにロードすることはできません。

図5-23　入力ポート指定のポート



注意　ビット操作命令は，結果として操作するのは1ビットですが，ポートを8ビット単位でアクセスします。したがって，入力に指定されている場合に，ビット操作命令を使用すると出力ラッチの内容は不定になってしまいます(SET1，CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用する場合については注意が必要です。また，その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) アドレス／データ・バス（AD0-AD7）の場合

外部アクセス時に，自動的に使用されます。

ポート4に対する入出力命令は，実行しないでください。

5.5.4　内蔵プルアップ抵抗

ポート4は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO4により，8端子一括で指定できます（ビットごとには指定できません）。

また，入力／出力モードにかかわらず，プルアップ抵抗の接続の指定ができます。

図5-24　プルアップ抵抗オプション・レジスタのフォーマット

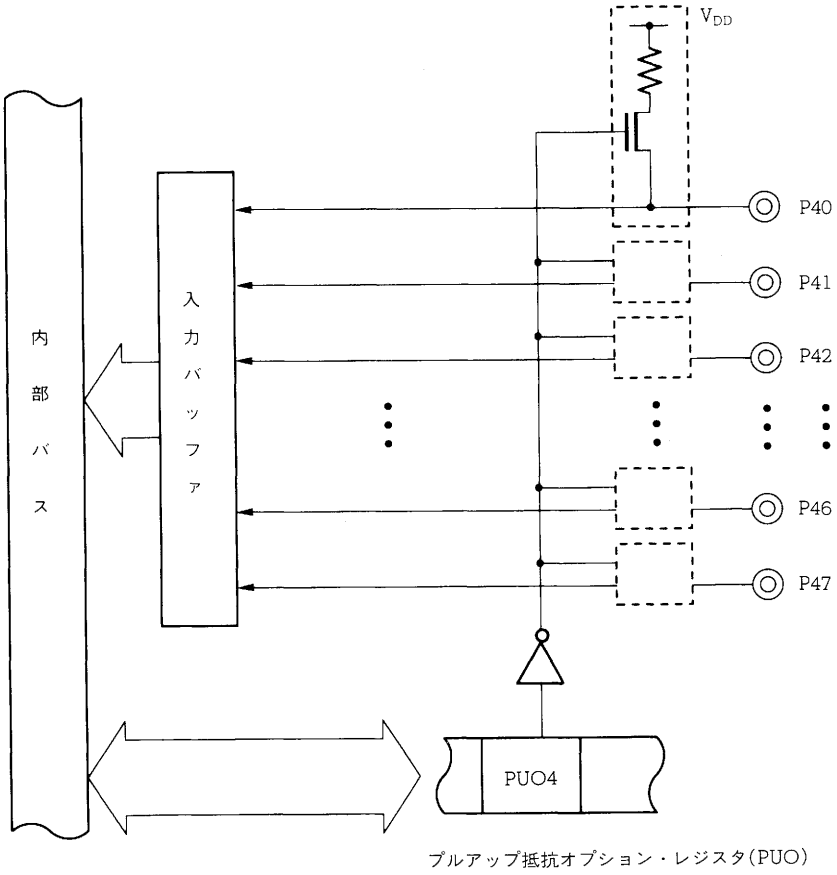
	7	6	5	4	3	2	1	0	
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	0	（リセットで00H）

PUO4	ポート4のプルアップ抵抗の指定
0	ポート4では使用しない
1	ポート4で使用する

注意　μPD78217Aの場合，ポート4をアドレス/データ・バスとして使用しますのでPUO4に必ず“0”を設定して，内蔵プルアップ抵抗の接続を行わないようにしてください。また，μPD78218Aでポート4をアドレス/データ・バスとして使用する場合も同様に，PUO4に“0”を設定して，内蔵プルアップ抵抗を接続しないようにしてください。

備考　STOPモードに入る場合，消費電流を低減するために，PUOに00Hを設定することが有効です。

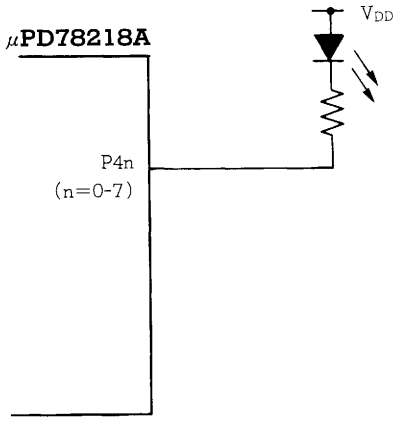
図５－25　プルアップの指定（ポート4）



5.5.5　LEDのダイレクト・ドライブ

ポート4は，LEDをアクティブ・ロウでダイレクトにドライブできるように，出力バッファのロウ・レベル側のドライブ能力を強化してあります。図5－26にその使用例を示します。

図5－26　LEDのダイレクト・ドライブ例



5.6　ポート5

ポート5は，出力ラッチ付き8ビット入出力ポートです。ポート5モード・レジスタ（PM5）により，1ビット単位で入力／出力の指定ができます。各端子にソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。また，LEDをダイレクトにドライブ可能です。

また，外部メモリやI/Oを拡張するとき，P50-P57は，アドレス・バス（A8-A15）として機能します。

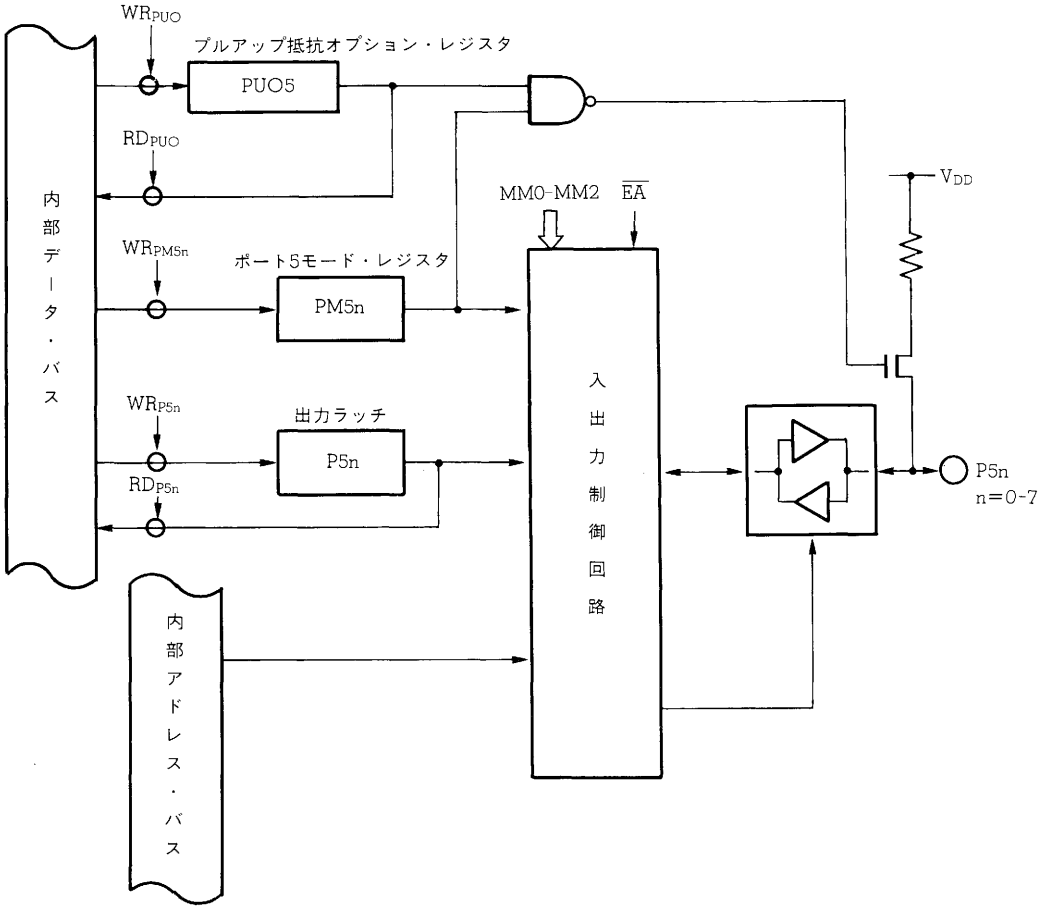
なお，μPD78217Aの場合は，アドレス・バス（A8-A15）としてのみ機能します。

$\overline{\text{RESET}}$入力により，入力ポート（出力ハイ・インピーダンス状態）になり，出力ラッチの内容は不定になります。

5.6.1　ハードウエア構成

図5-27に，ポート5のハードウエア構成を示します。

図5-27　ポート5のブロック図



5.6.2　入出力モード／コントロール・モードの設定

ポート5の入出力モードは，図5-28のように，端子ごとにポート5モード・レジスタ（PM5）により設定します。PM5レジスタは，8ビット・データ転送命令で設定します（ビット操作および読み出しはできません）。

ポート5コントロール・モードは，表5-6のように，メモリ拡張モード・レジスタ（MM：**図13-1**参照）により設定します。

図5-28　ポート5モード・レジスタのフォーマット

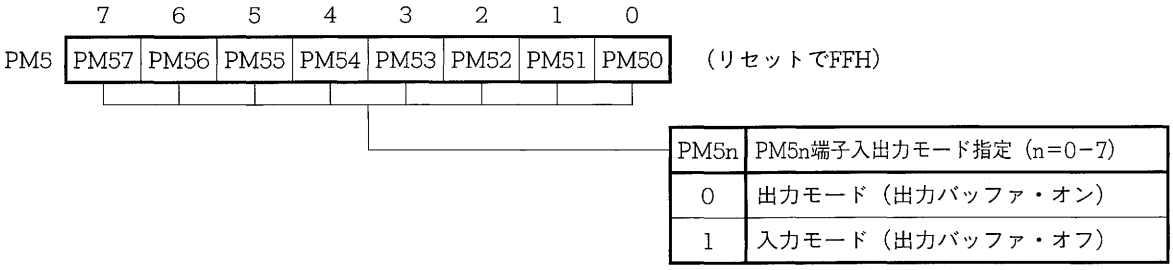


表5-6　ポート5の動作モード

$\overline{EA}$端子	MMレジスタのビット			動作モード
	MM2	MM1	MM0	
1	0	0	×	入出力モード
1	1	1	1	アドレス・バス（A8-A15）
0	×	×	×	

μPD78217Aの場合は，アドレス・バス（A8-A15）としてのみ動作します。

5.6.3　動作状態

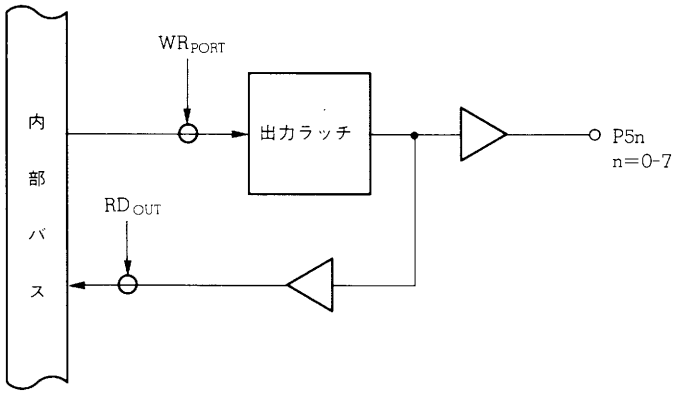
ポート5は入出力ポートで，アドレス・バス（A8-A15）を兼用しています。

(1) 出力ポートに設定された場合

出力ラッチが有効となり，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりが行えます。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む[注]まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

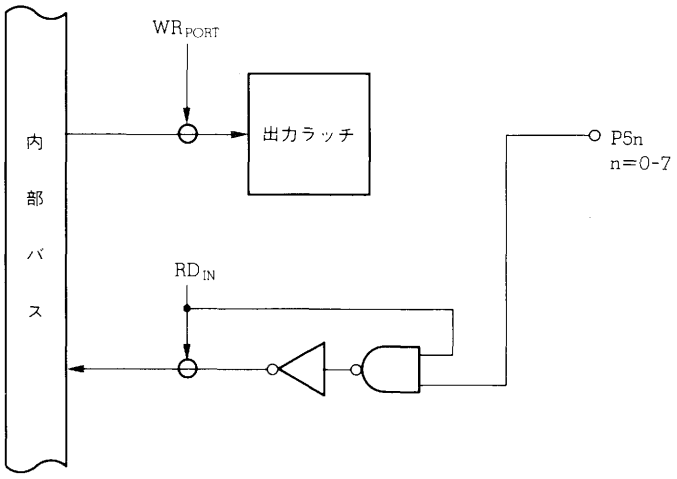
図5-29　出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令などによりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません(入力指定のビットが，出力ポートに切り替えられたとき，出力ラッチの内容が，ポート端子に出力されます)。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図５－30　入力ポート指定のポート



注意　ビット操作命令は，結果として操作するのは1ビットですが，ポートを8ビット単位でアクセスします。したがって，入出力が混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子の出力ラッチの内容は不定になってしまいます(SET1，CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
また，その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) アドレス・バス (A8－A15) の場合

外部アドレス時に，自動的に使用されます。

ポート5に対する入出力命令は，実行しないでください。

5.6.4　内蔵プルアップ抵抗

ポート5は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数の削減と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO5とポート5モード・レジスタ（PM5）で，端子ごとに指定できます。

PUO5が1のとき，ポート5に対してポート5モード・レジスタ（PM5）で入力を指定した（PM5n＝1，n＝0-7）端子の内蔵プルアップ抵抗が有効になります。

図5-31　プルアップ抵抗オプション・レジスタのフォーマット

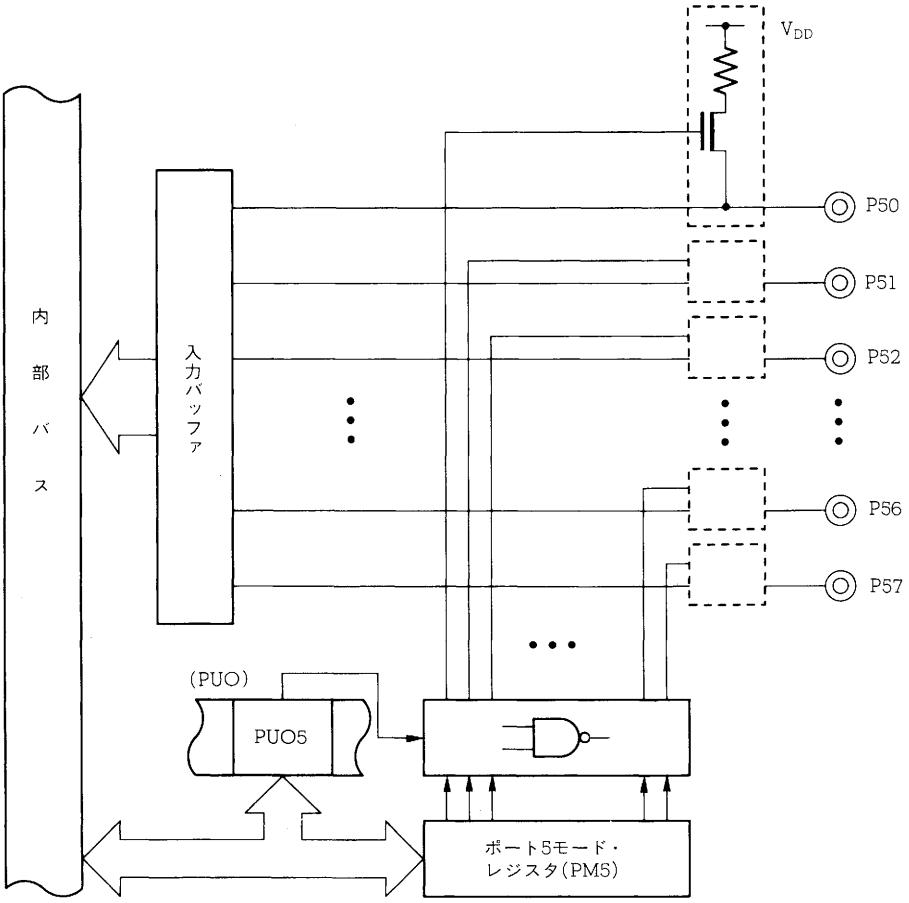
	7	6	5	4	3	2	1	0	
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	0	（リセットで00H）

PUO5	ポート5のプルアップ抵抗の指定
0	ポート5では使用しない
1	ポート5で使用する

注意　μPD78217Aの場合，ポート5をアドレス・バスとして使用しますので，PUO5に必ず“0”を設定して，内蔵プルアップ抵抗の接続を行わないようにしてください。また，μPD78218Aでポート4をアドレス/データ・バスとして使用する場合も同様に，PUO5に“0”を設定して，内蔵プルアップ抵抗を接続しないようにしてください。

備考　STOPモードに入る場合，消費電流を低減するために，PUOに00Hを設定することが有効です。

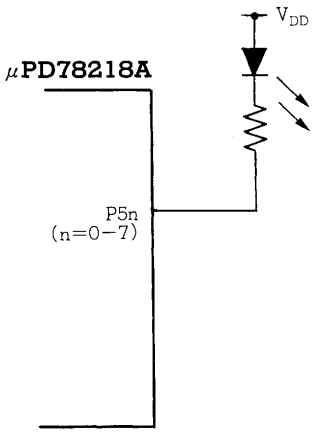
図５－32　プルアップの指定（ポート５）



5.6.5　LEDのダイレクト・ドライブ

ポート5は，LEDをアクティブ・ロウでダイレクトにドライブできるように出力バッファのロウ・レベル側のドライブ能力を強化してあります。図5-33に，その使用例を示します。

図5-33　LEDのダイレクト・ドライブ例



5.7　ポート6

ポート6は，出力ラッチ付き8ビット入出力ポートです(P60-P63は出力専用ポート)。P64-P67には，ソフトウエア・プログラマブル・プルアップ抵抗を内蔵しています。

ポートとしての機能以外に，表５-7のような各種コントロール信号端子としての機能を兼用しています。コントロール端子としての動作は，各機能の操作によって行います。

なお，μPD78217Aの場合は，P64，P65はそれぞれ$\overline{\text{RD}}$出力，$\overline{\text{WR}}$出力としてのみ機能します。

$\overline{\text{RESET}}$入力により，P60-P63は出力ハイ・インピーダンスになり，$\overline{\text{RESET}}$解除後にロウ・レベルになります。また，$\overline{\text{RESET}}$入力によりP64-P67は，入力ポート（出力ハイ・インピーダンス状態）になります。出力ラッチの内容は，上位4ビットは不定に，下位4ビットは0Hになります。

表５-７　ポート6の動作モード

端　　子	ポート・モード	コントロール信号入出力モード	コントロール端子として動作させるための操作
P60-P63	出力ポート	A16-A19出力	MMレジスタのMM6ビットをセット(1)
P64	入出力ポート	$\overline{\text{RD}}$出力	μPD78217Aの場合，またはMMレジスタのMM2-0ビットにより外部メモリ拡張モードを指定
P65		$\overline{\text{WR}}$出力	
P66		$\overline{\text{WAIT}}$入力/AN6	PWレジスタ，またはMMレジスタのPWn1, PWn0ビット(n=2, 3)およびP66を入力モードにすることにより指定
P67		$\overline{\text{REFRQ}}$出力/AN7	RFMレジスタのRFENビットをセット(1)

注意　P60-P63は，$\overline{\text{RESET}}$入力中は出力ハイ・インピーダンスですが，$\overline{\text{RESET}}$解除後にロウ・レベルを出力します。したがって，初期状態としてロウ・レベルが出力されてもよいように外付け回路を設計してください。

備考　詳細は**第13章　ローカル・バス・インタフェース機能**参照。

(a) ポート・モード

P60-P63は出力専用で，P64-P67はポート6モード・レジスタ（PM6）により，1ビット単位で入力／出力の指定ができます。

(b) コントロール信号入出力モード

(i) **A16-A19(Address Bus)**

外部メモリ空間拡張時（10000H-FFFFFH）の上位アドレス・バス出力端子です。

メモリ拡張レジスタ（MM）により動作します。

(ii) **$\overline{\text{RD}}$(Read Strobe)**

外部メモリのリード動作のために出力されるストローブ信号出力端子です。μPD78217Aの場合か外部メモリ拡張時に動作します。

(iii) **$\overline{\text{WR}}$(Write Strobe)**

外部メモリのライト動作のために出力されるストローブ信号出力端子です。μPD78217Aの場合かMMレジスタにより動作します。

(iv) **$\overline{\text{WAIT}}$(Wait)**

ウエイト信号の入力端子です。プログラマブル・ウエイト制御（PW）レジスタ，またはMMレジスタにより動作します。

(v) **$\overline{\text{REFRQ}}$(Refresh Request)**

外部に疑似スタティック・メモリを接続した場合に，疑似スタティック・メモリへリフレッシュ・パルスを出力する端子です。リフレッシュ・モード・レジスタ（RFM）により動作します。

(vi) **AN6，AN7(Analog Input)**

A／Dコンバータ用アナログ入力端子です。

5.7.1　ハードウエア構成

図5-34-図5-37に，ポート6のハードウエア構成を示します。

図5-34　P60-P63（ポート6）のブロック図

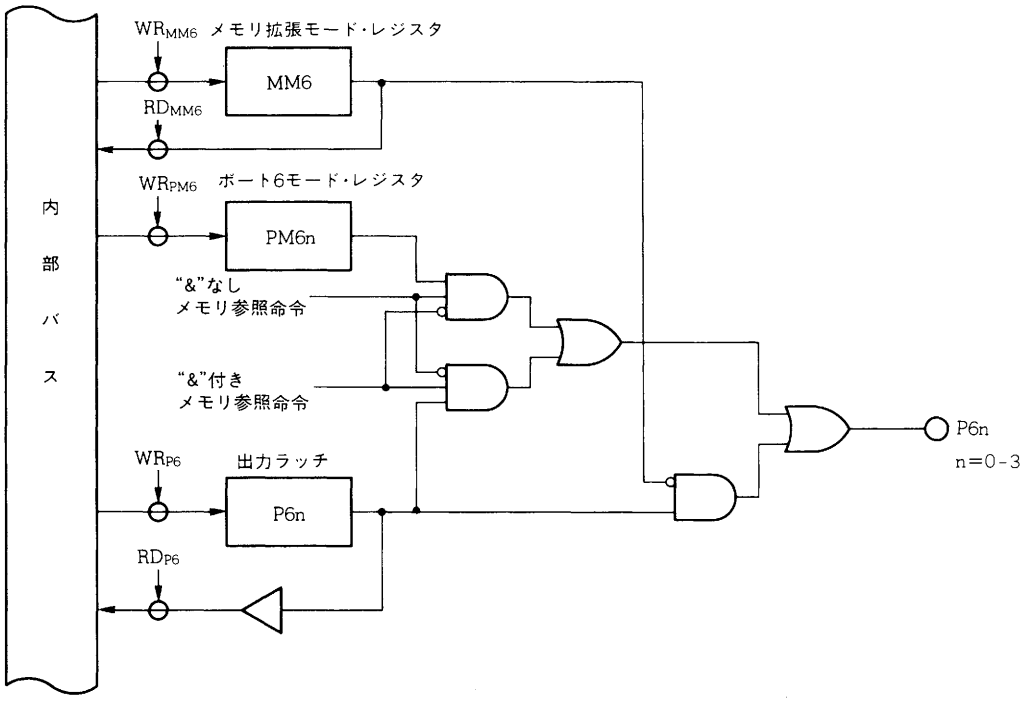


図5-35　P64，P65（ポート6）のブロック図

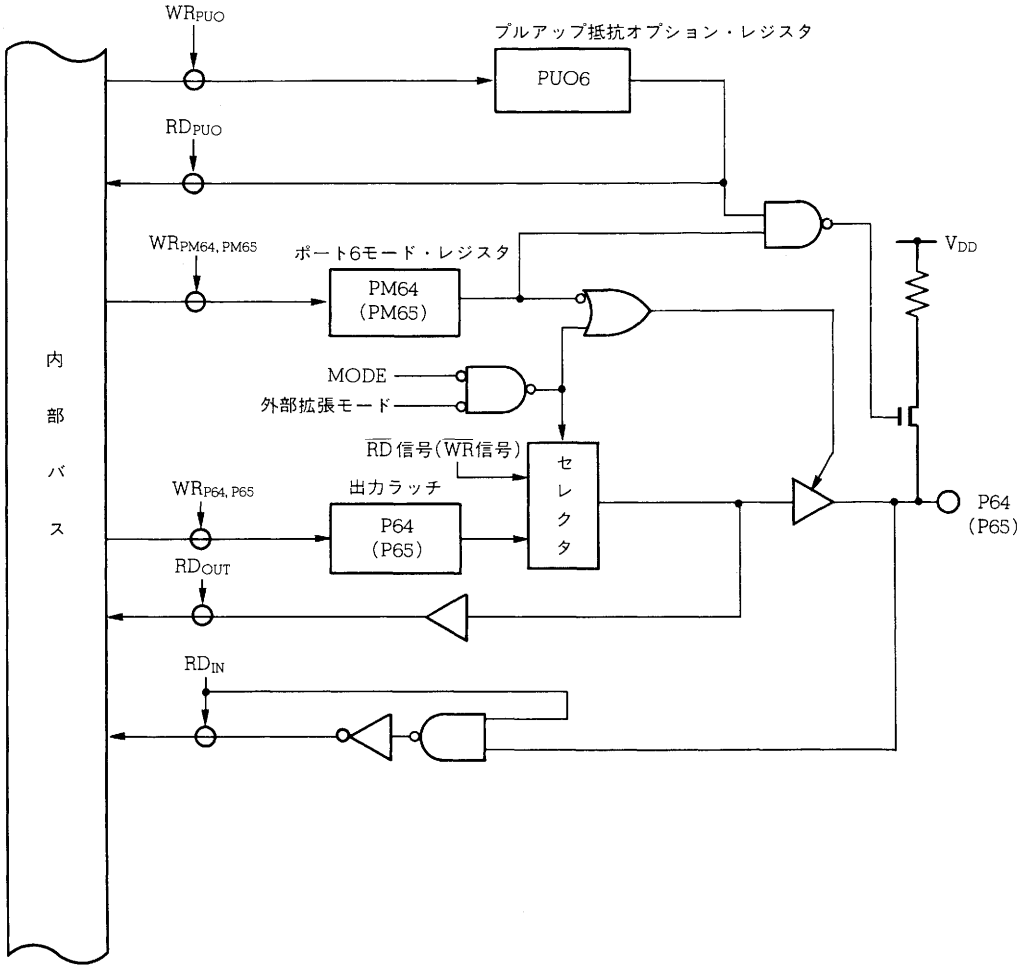


図５－36　P66（ポート6）のブロック図

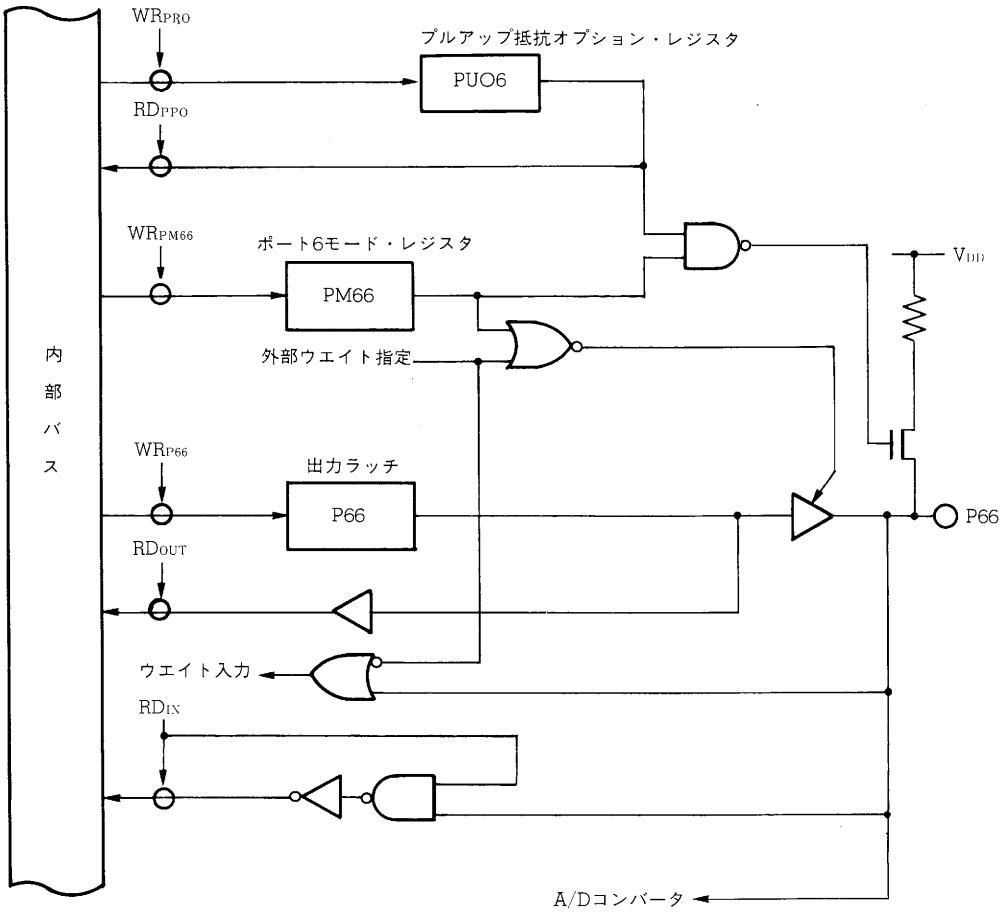
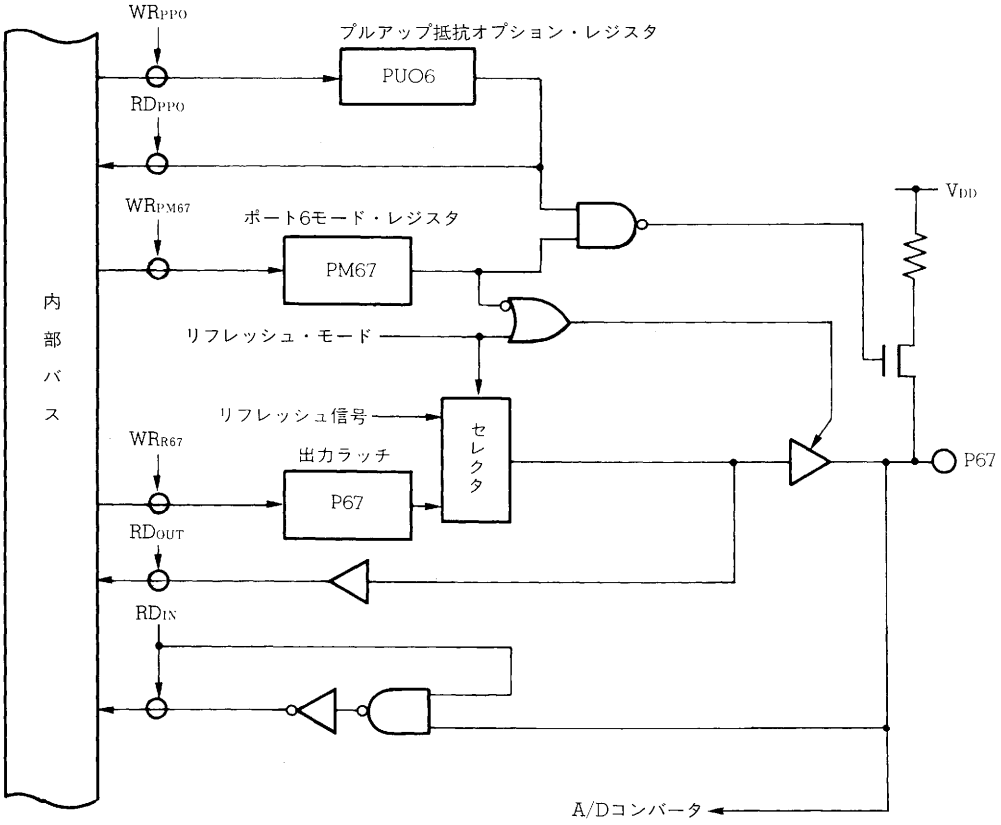


図5-37　P67（ポート6）のブロック図



5.7.2　入出力モード／コントロール・モードの設定

ポート6の入出力モードは，図５－38のように，ポート6モード・レジスタ（PM6）により設定します。

ポート6のコントロール端子として動作させるための操作は，表５－8に示します。

P66，P67は，常時アナログ信号が入力できるようになっています。

A／Dコンバータ変換動作の指定は，A／DコンバータのADMで行います（詳細は**第8章　A／Dコンバータ**参照）。ただし，P66，P67をアナログ入力端子AN6，AN7として使用する場合は，ポート6モード・レジスタ（PM6）で入力モードに設定してください。また，プルアップで抵抗オプション・レジスタ（PUO）のPUO6を0にして使用してください（ポート6に内蔵プルアップ抵抗を接続する指定はしないでください）。

μPD78217Aの場合，P64，P65は，$\overline{RD}$，$\overline{WR}$信号の出力端子としてのみ動作します。

表５－8　ポート6のコントロール端子機能と操作

端　子	機　能	入出力	コントロール端子として動作させるための操作
P60	A16	出力	MMレジスタのMM6ビットをセット（1）
P61	A17	出力	
P62	A18	出力	
P63	A19	出力	
P64	$\overline{RD}$	出力	μPD78217Aの場合，またはMMレジスタのMM2-MM0ビットにより外部メモリ拡張モードを指定
P65	$\overline{WR}$	出力	
P66	$\overline{WAIT}$／AN6	入力	PWレジスタ，またはMMレジスタのPWn1，PWn0（n＝2，3）およびP66を入力モードにすることにより外部ウエイト入力を指定
P67	$\overline{REFRQ}$／AN7	出力	RFMレジスタのRFENビットをセット（1）

注意1.　P60-P63を出力ポートとして使用する場合は，PM60-PM63ビットを必ず“0”にしてください。“0”になっていないと，インサーキット・エミュレータで正常なエミュレーションができなくなります。

2.　P66／$\overline{WAIT}$端子を$\overline{WAIT}$端子として使用する場合は，P66をPM6レジスタにより入力モードにしてください。

図5-38　ポート6モード・レジスタのフォーマット

	7	6	5	4	3	2	1	0	
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	（リセットでF×H）

PM63	PM62	PM61	PM60	メモリ・バンク指定注
0	0	0	0	バンク0
0	0	0	1	バンク1
0	0	1	0	バンク2
0	0	1	1	バンク3
0	1	0	0	バンク4
0	1	0	1	バンク5
0	1	1	0	バンク6
0	1	1	1	バンク7
1	0	0	0	バンク8
1	0	0	1	バンク9
1	0	1	0	バンクA
1	0	1	1	バンクB
1	1	0	0	バンクC
1	1	0	1	バンクD
1	1	1	0	バンクE
1	1	1	1	バンクF

PM6n	PM6n端子入出力モード指定（n=4-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注　メモリ拡張モード・レジスタ（MM）のMM6ビットを1にセットすることにより，“&”なしメモリ参照命令実行時のバンク指定レジスタとなります。1Mバイト拡張機能を使用しない場合は，PM63-PM60はすべて“0”にしてください。

注意　**アナログ入力端子AN6，AN7を使用する場合，PM66，PM67は入力モードに設定してください。**

備考　ポート6の下位4ビット（P60-P63）は出力専用ポートです。

5.7.3　動作状態

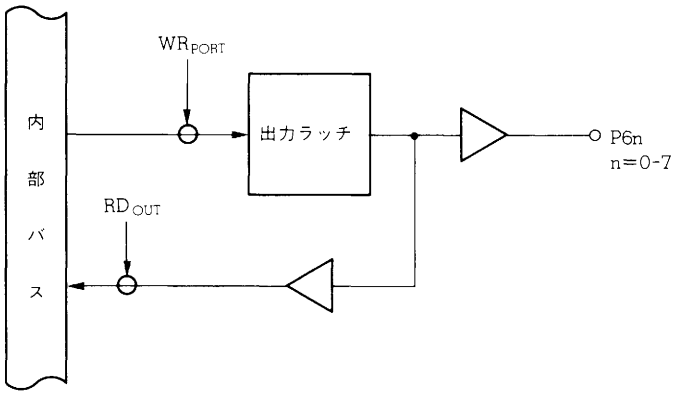
ポート6は入出力ポートで，各種コントロール端子を兼用しています。

(1) 出力ポートに指定された場合

出力ラッチの内容が出力され，転送命令により出力ラッチとアキュームレータとの間でデータのやりとりが行えます。また，出力ラッチの内容は，論理演算命令により自由にセットできます。一度出力ラッチに書き込まれたデータは，次に出力ラッチにデータを書き込む[注]まで保持されます。

注　ビット操作命令で同一ポートの他のビットを操作した場合も含まれます。

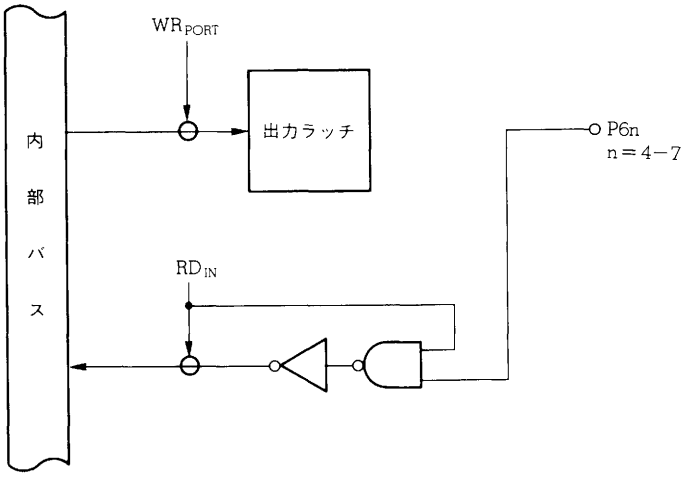
図5-39　出力ポート指定のポート



(2) 入力ポートに指定された場合

ポート端子のレベルを，転送命令でアキュームレータにロードすることができます。この場合でも出力ラッチへの書き込みは可能で，転送命令によりアキュームレータから転送されたデータは，ポートの入出力指定に関係なく，全出力ラッチにストアされます。ただし，入力ポートに指定されているビットの出力バッファは，ハイ・インピーダンス状態になっているため，ポート端子には出力されません（入力指定のビットが，出力ポートに切り替えられたとき，出力ラッチの内容がポート端子に出力されます)。また，入力ポートに指定されているビットの出力ラッチの内容は，アキュームレータにロードすることはできません。

図5-40　入力ポート指定のポート



注意　ビット操作命令は，結果として操作するのは1ビットですが，ポートを8ビット単位でアクセスします。したがって，入出力が混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1命令などで操作を行ったビットを除く)。特に入出力を切り替えて使用するビットがある場合については注意が必要です。
また，その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(3) コントロール端子の場合

ソフトウエアで操作することやテストすることはできません。

(4) アナログ入力端子の場合(P66，P67のみ)

アナログ入力端子(AN6，AN7)として使用している場合でも，端子レベルの読み込みあるいはテストが可能です。

5.7.4　内蔵プルアップ抵抗

P64-P67は，プルアップ抵抗を内蔵しています。プルアップが必要な場合，これらの内蔵抵抗を利用すると，部品点数と実装面積の縮小を図ることができます。

内蔵プルアップ抵抗を使用するかどうかは，プルアップ抵抗オプション・レジスタ（PUO）のPUO6とポート6モード・レジスタ（PM6）で，端子ごとに指定できます。

PUO6が1のとき，ポート6モード・レジスタ（PM6）で入力を指定した（PM6n＝1，n＝4-7）端子の内蔵プルアップ抵抗が有効になります。

なお，P60-P63は，プルアップ抵抗を内蔵していません。

図５－41　プルアップ抵抗オプション・レジスタのフォーマット

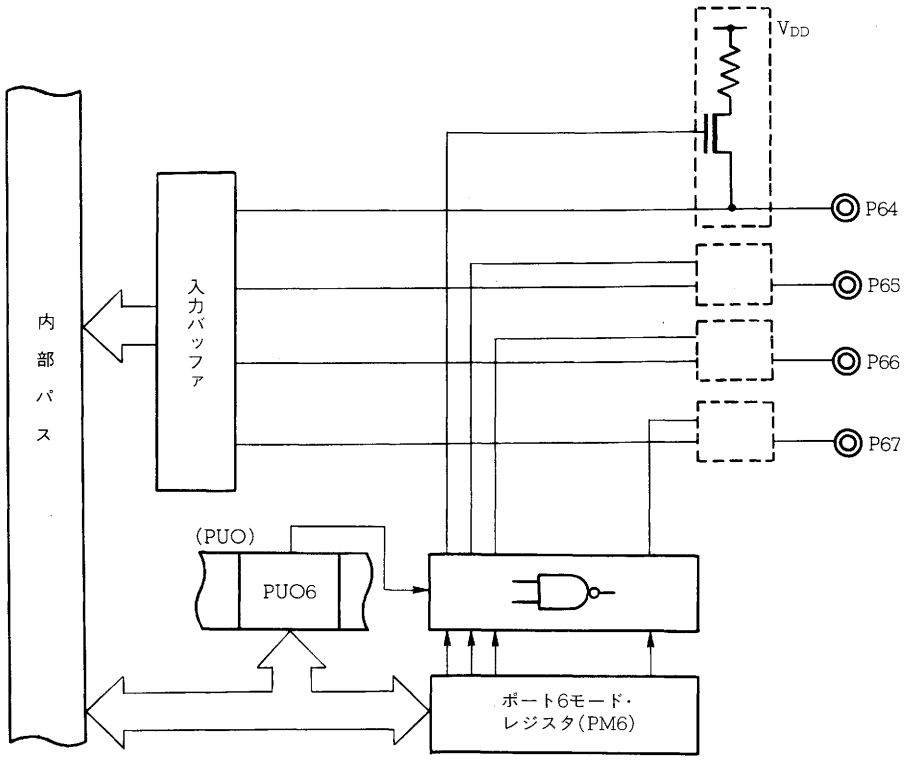
	7	6	5	4	3	2	1	0	
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	0	（リセットで00H）

PUO6	ポート6のプルアップ抵抗の指定
0	ポート6では使用しない
1	ポート6で使用する

注意　P66，P67をアナログ入力端子AN6，AN7として使用する場合は，PUO6＝0として使用してください（ポート6に内蔵プルアップ抵抗を接続する指定はしないでください）。

備考　STOPモードに入る場合，消費電流を低減するために，PUOに00Hを設定することが有効です。

図５－42　プルアップの指定(ポート６)



5.7.5　注意事項

P66，P67をアナログ端子AN6，AN7として使用している端子には，AV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

詳細については，**第8章　A／Dコンバータの8.6　注意事項**を参照してください。

5.8 ポート7

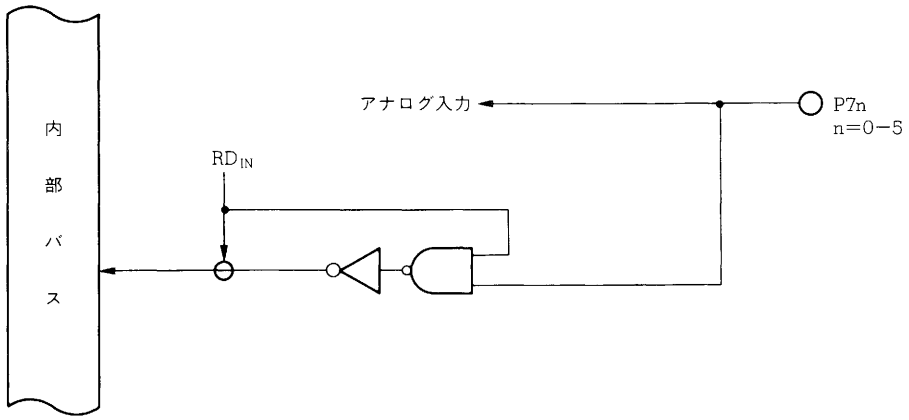
ポート7は，6ビット入力専用ポートです。入力ポートとして動作する以外に，A/Dコンバータ用アナログ入力の端子（AN0-AN5）としても動作します。

兼用端子の動作にかかわらず，常に端子レベルの読み込み，あるいはテストが可能です。

5.8.1 ハードウエア構成

図5-43に，ポート7のハードウエア構成を示します。

図5-43　ポート7のブロック図



5.8.2 入出力モード／コントロール・モードの設定

ポート7は，入力専用ポートです。

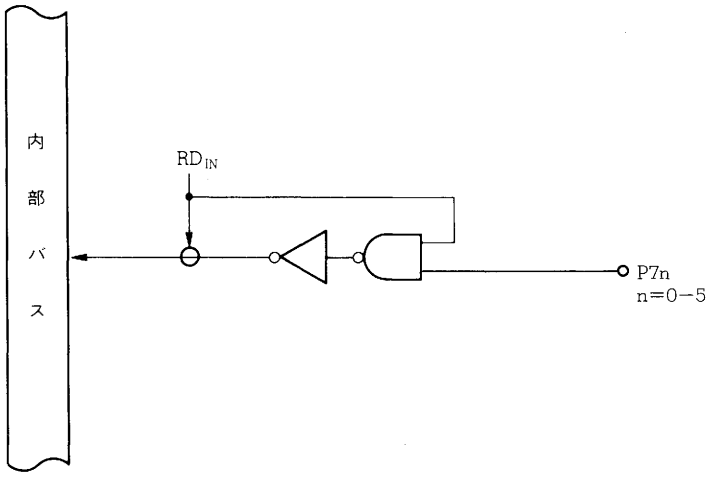
また，常時アナログ信号の入力ができるようになっています。モードの設定をする必要はありません。

なお，A／D変換動作の指定は，A／DコンバータのADMで行います(詳細は，**第8章　A／Dコンバータ**参照)。

5.8.3　動作状態

ポート7は入力専用のポートで，常に端子レベルの読み込みあるいはテストが可能です。

図5-44　入力ポート指定のポート



5.8.4　内蔵プルアップ抵抗

ポート7は，プルアップ抵抗を内蔵していません。

5.8.5　注意事項

(1) P70-P75をAN0-AN5として使用している端子にAV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

詳細については，**第8章　A/Dコンバータの8.6　注意事項**を参照してください。

(2) ポート7は，6ビットの入力ポートです。したがって，ポート7を読み込んだ場合，上位2ビットの内容は不定になります。

5.9 注意事項

(1) すべてのポート端子は$\overline{\text{RESET}}$信号が入力されるとハイ・インピーダンスになります（内蔵プルアップ抵抗も端子から切り離されます）。

$\overline{\text{RESET}}$入力中に端子がハイ・インピーダンスとなって困る場合は，外付けの回路で対策を行ってください。

(2) 内蔵プルアップ抵抗の接続を設定するプルアップ抵抗オプション・レジスタ（PUO）の動作は，インサーキット・エミュレータでは完全なエミュレーションを行うことができません。次のような制限事項があります。

- PUOレジスタをリードしても正しい値を読み出せない。
- PUOレジスタに対するビット操作命令および演算命令が正常に実行できない（場合によっては，SFRイリーガル・アクセス・ブレークが発生し，エミュレーションを中断する場合があります）。
- プルアップ抵抗を内蔵していない。

したがって，次の2つのことを守ってください。

- PUOレジスタへは，8ビット・データ転送命令（MOV命令）によるライト動作でのみ行う。
- ディバグの際には，ターゲット・ボード上にプルアップ抵抗を接続する。

(3) 出力ラッチの内容は$\overline{\text{RESET}}$入力によっても初期化されません。出力ポートとして使用する場合は，必ず出力バッファをオンする前に，出力ラッチを初期化してください。出力バッファをオンする前に出力ラッチを初期化していないと，出力ポートに予期しないデータが出力されます。

また同様に，コントロール端子として使用する端子は，必ず内部周辺ハードウエアの初期化を行ってからコントロール端子への指定を行ってください。

(4) P22-P26は，リセット直後にプルアップされないため，兼用端子（INTP1-INTP5）機能によって割り込み要求フラグがセットされることがあります。したがって，初期化ルーチンでプルアップを指定してから，割り込み要求フラグをクリアしてください。

(5) インサーキット・エミュレータでは，ポート2の読み込みまたはテスト時には，ノイズ除去前の端子レベルとなります。

(6) ビット操作命令は，結果として操作するのは1ビットですが，ポートを8ビット単位でアクセスします。したがって，入出力が混在しているポートで，ビット操作命令を使用すると，入力に指定されている端子やコントロール・モードに指定されている端子の出力ラッチの内容は不定になってしまいます（SET1，CLR1命令などで操作を行ったビットを除く）。特に入出力を切り替えて使用するビットがある場合については注意が必要です。 ★

また，その他の8ビット演算命令でポートを操作する場合も同様に注意が必要です。

(7) μPD78217Aの場合，ポート4はアドレス／データ・バス，ポート5はアドレス・バスとして使用しますので，PUOレジスタのPUO4，PUO5には必ず“0”を設定して，内蔵プルアップ抵抗の接続を行わないようにしてください。

また，μPD78218Aでポート4をアドレス／データ・バス，ポート5をアドレス・バスとして使用する場合も同様に，PUOレジスタのPUO4，PUO5に“0”を設定して，内蔵プルアップ抵抗を接続する指定をしないようにしてください。

(8) P60-P63を出力ポートとして使用する場合は，PM60-PM63ビットを必ず“0”にしてください。“0”になっていないと，インサーキット・エミュレータで正常なエミュレーションができなくなります。

(9) P66／$\overline{\text{WAIT}}$端子を$\overline{\text{WAIT}}$端子として使用する場合は，P66をPM6レジスタにより入力モードにしてください。

(10) アナログ入力AN6，AN7を使用する場合，PM66，PM67は入力モードに設定してください。

(11) アナログ入力端子AN6，AN7を使用する場合，P66，P67は入力モードに，またPUO6＝0にして使用してください（ポート6に内蔵プルアップ抵抗を接続する指定はしないでください）。詳細については，**第8章　A／Dコンバータの8.6　注意事項**を参照してください。

(12) P66，P67をアナログ入力端子AN6，AN7として，またP70-P75をAN0-AN5として使用している端子には，AV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。詳細については，**第8章　A／Dコンバータの8.6　注意事項**を参照してください。

(13) P70-P75をAN0-AN5として使用している端子にAV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

詳細については，**第8章　A／Dコンバータの8.6　注意事項**を参照してください。

(14) ポート7は，6ビットの入力ポートです。したがって，ポート7を読み込んだ場合，上位2ビットの内容は不定になります。

第６章　リアルタイム出力機能

６.１　構成と機能

リアルタイム出力機能は，図６－１に示すようにポート0とバッファ・レジスタ（POH，POL）を中心とするハードウエアによって実現されます。

バッファ・レジスタにあらかじめ用意しておいたデータをタイマ割り込み，または外部割り込みの発生と同時にハードで出力ラッチに転送して，外部に出力することをリアルタイム出力機能といいます。また，外部へ出力する端子をリアルタイム出力ポートと呼びます。

リアルタイム出力データとして次の2種が扱えます。

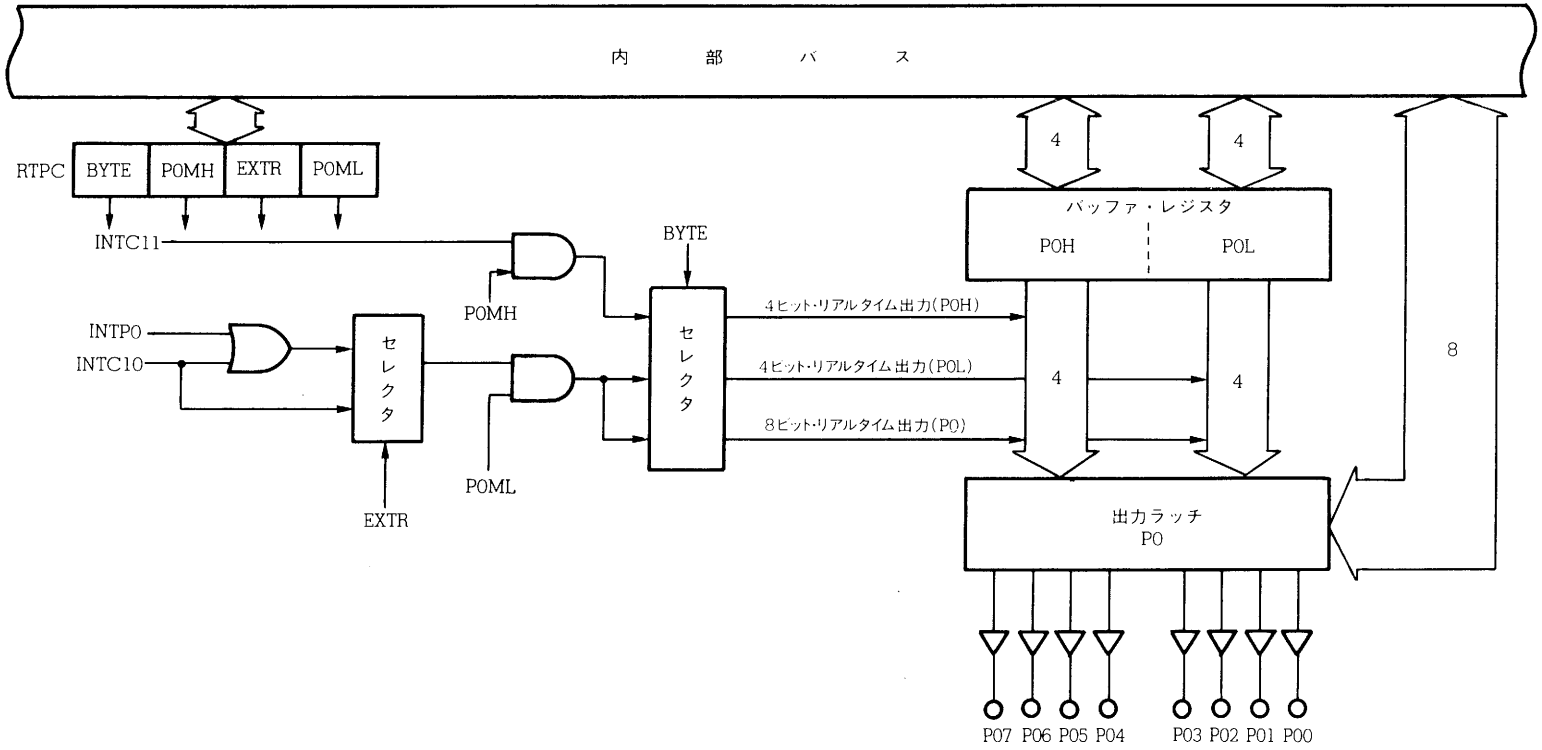
・4ビット×2チャネル

・8ビット×1チャネル

リアルタイム出力機能と後述するマクロ・サービス機能を組み合わせることによって，ソフトウエアの介在なしにプログラマブルなタイミングを持ったパターン・ジェネレータの機能を実現します。

たとえばステッピング・モータの制御に最適です。

図6-1　リアルタイム出力ポートのブロック図



6.2　リアルタイム出力ポート・コントロール・レジスタ（RTPC）

RTPCレジスタはポート0の機能を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図６－２に示します。

$\overline{\text{RESET}}$入力により00Hになります。

図６－２　リアルタイム出力ポート・コントロール・レジスタ（RTPC）のフォーマット

	7	6	5	④	3	2	1	⓪
RTPC	BYTE	0	0	P0MH	EXTR	0	0	P0ML

P0ML	P00-P03の機能指定
0	ポート・モード
1	リアルタイム出力ポート・モード

EXTR	INTP0によるバッファ・レジスタから出力ラッチへのデータ転送の許可
0	許可しない。
1	許可する。　BYTE=0：P0Lのみ転送される。 BYTE=1：P0L／Hが転送される。

P0MH	P04-P07の機能指定
0	ポート・モード
1	リアルタイム出力ポート・モード

BYTE	リアルタイム出力ポートの動作モード
0	4ビット・セパレート・リアタルイム出力ポート
1	8ビット・リアルタイム出力ポート

注意　**POML，POMHをセット(1)すると，ポート0モード・レジスタ（PMO）の内容にかかわらず，該当するポートの出力バッファがオンとなり，ポート0出力ラッチの内容が出力されます。したがって，リアルタイム出力ポートとして指定する前に，出力ラッチの内容を初期化してください。**

6.3　リアルタイム出力ポートのアクセス

バッファ・レジスタ（POH，POL）は図６-３に示すようにSFR領域内でそれぞれ独立したアドレスにマッピングされています。

4ビット×2チャネルのリアルタイム出力機能を指定した場合，バッファ・レジスタ(POH，POL）はそれぞれ独立にデータをセットすることができます。

8ビット×1チャネルのリアルタイム出力機能を指定した場合は，バッファ・レジスタ(POH，POL）のどちらか一方に8ビット・データを書き込むことによって，POH，POLそれぞれにデータをセットすることができます。

表６-１に，ポート0とポート0バッファ・レジスタに対する操作時の動作を示します。

図６-３　バッファ・レジスタ（POH，POL）の構成

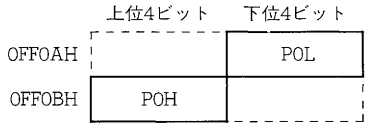


表６-１　ポート0とポート0バッファ・レジスタに対する操作時の動作

動作モード	レジスタ	リード動作		ライト動作	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
8ビット・ ポート・モード	P0	出力ラッチ		出力ラッチ	
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—
8ビット・ リアルタイム出力 ポート・モード	P0	出力ラッチ		—	
	POL	バッファ・レジスタ		バッファ・レジスタ	
	POH	バッファ・レジスタ		バッファ・レジスタ	
4ビット・セパレート・ リアルタイム出力 ポート・モード	P0	出力ラッチ		—	
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—
P00-P03：ポート P04-P07：リアルタイム 出力ポート・モード	P0	出力ラッチ		—	出力ラッチ
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—
P00-P03：リアルタイム 出力ポート・モード P04-P07：ポート	P0	出力ラッチ		出力ラッチ	—
	POL	バッファ・レジスタ注		—	バッファ・レジスタ
	POH	バッファ・レジスタ注		バッファ・レジスタ	—

注　上位4ビットにはPOHの内容が，下位4ビットにはPOLの内容がそれぞれ読み出されます。

—：　出力ラッチおよびバッファ・レジスタに影響を与えません。

バッファ・レジスタへのデータ設定の例

・4ビット×2チャネル動作の場合

```
MOV  P0L, #05H  ;P0Lレジスタに0101Bをセット
MOV  P0H, #0C0H ;P0Hレジスタに1100Bをセット
```

・8ビット×1チャネル動作の場合

```
MOV  P0L, #0C5H ;P0Lレジスタに0101B,
                 P0Hレジスタに1100Bをセット
```

または

```
MOV  P0H, #0C5H
```


出力ラッチに転送するタイミングは，次の3つのソースで決定できます。

・8ビット・タイマ／カウンタ1からの割り込み（INTC10またはINTC11）
・INTP0外部割り込み

6.4 動　　作

ポート0の機能をリアルタイム出力ポートに指定すると，表６-２に示すトリガ条件の発生に同期してバッファ・レジスタ（POH，POL）の内容が出力ラッチに取り込まれ，ポート0の端子に出力されます。

たとえば，出力トリガの発生源として8ビット・タイマ/カウンタ1のタイマ1（TM1）とコンペア・レジスタ（CR10，CR11）との一致信号（INTC10，INTC11）を選択します。そのとき，それぞれのコンペア・レジスタにあらかじめ設定した値をインターバルとするタイミングでポート0端子の出力データをバッファ・レジスタの値に変化させることができます。このリアルタイム出力ポート機能とマクロ・サービス機能を組み合わせることによって，ポート0出力端子の出力データを任意のインターバル時間で順次変化させることができます（**12.4　マクロ・サービス機能**参照）。

また，出力トリガの発生源として外部割り込み端子INTP0を選択すれば外部イベントに同期したポート0出力を得ることができます。

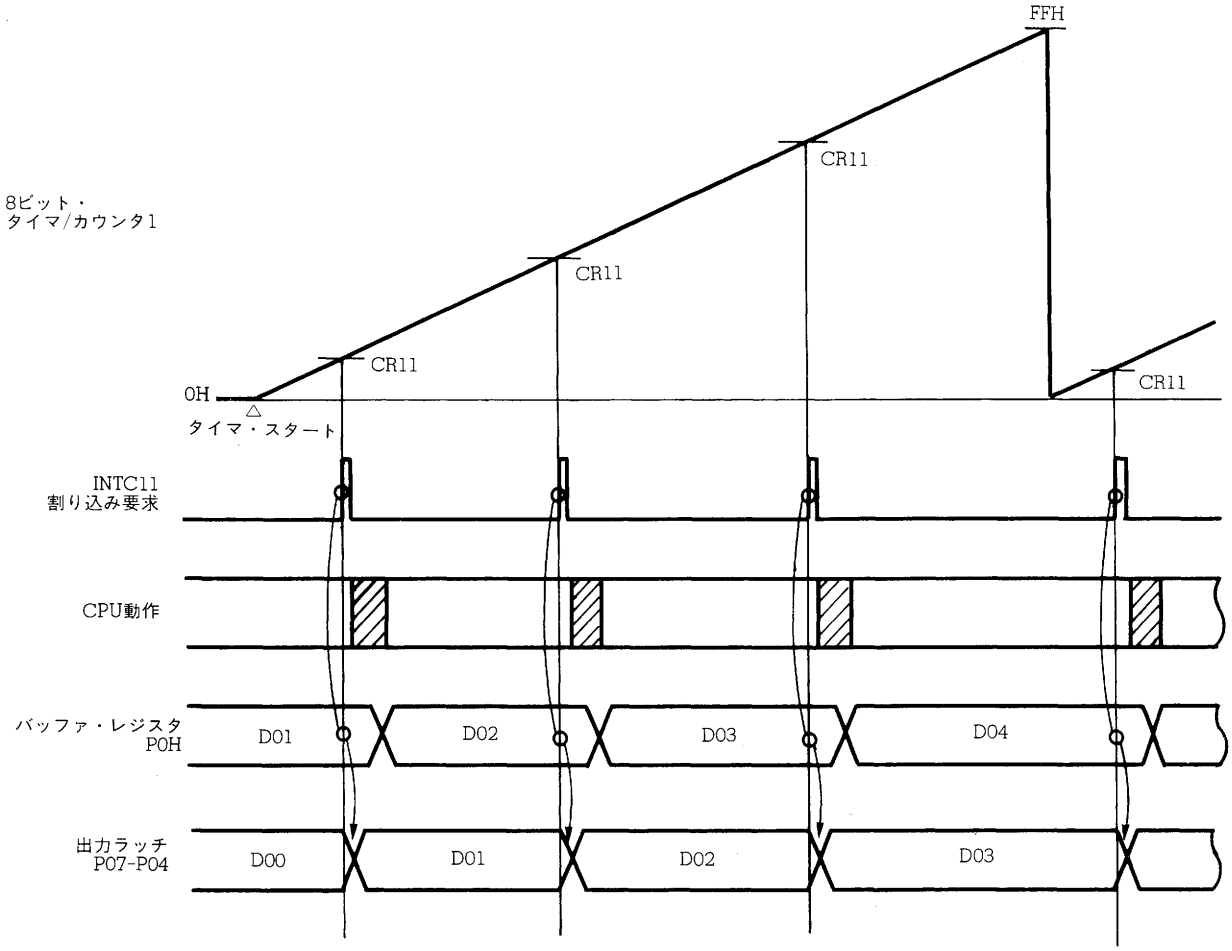
表６-２　リアルタイム出力ポートの出力トリガ（POMH＝POML＝1の場合）

RTPCレジスタ		出力モード	POHレジスタ	POLレジスタ
BYTE	EXTR			
0	0	4ビット・リアルタイム出力	INTC11	INTC10
	1		INTC11	INTC10またはINTP0
1	0	8ビット・リアルタイム出力	INTC10	
	1		INTC10またはINTP0	

注意　インサーキット・エミュレータでは，INTP0端子のディジタル・ノイズ除去を正常に行うことができません。このため，INTP0端子に入力される信号を利用して，バッファ・レジスタから出力ラッチへのデータ転送を許可している場合，誤検出したエッジに従って動作してしまいます。この点に注意して使用してください。

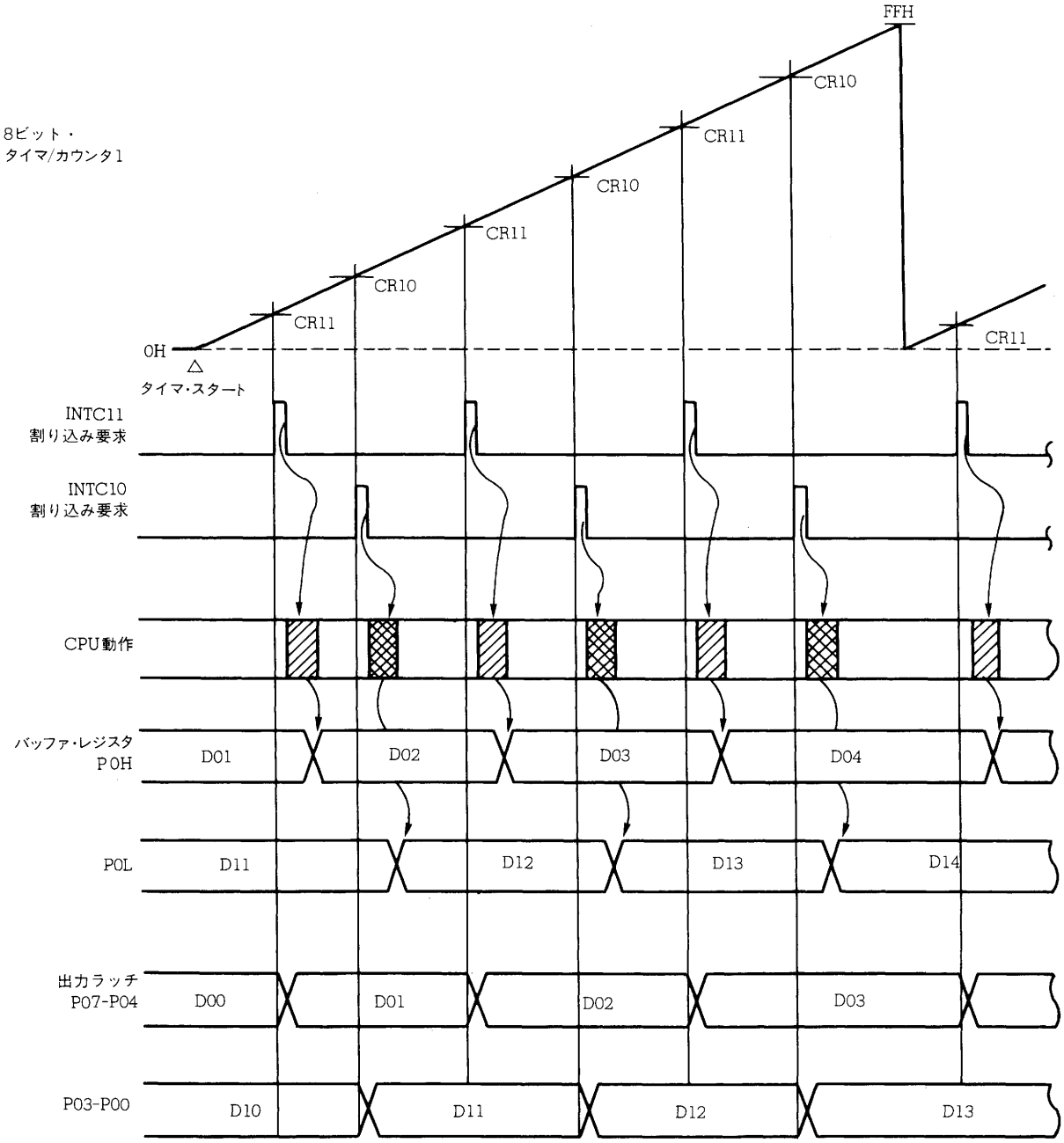
エッジの誤検出についての詳細は，第11章　エッジ検出機能　11.4　注意事項を参照してください。

図６－４　リアルタイム出力ポートの動作タイミング



ソフトウエア処理またはマクロ・サービス(**12.4　マクロ・サービス機能**参照)によるバッファ・レジスタおよびコンペア・レジスタの書き換え

図６－５　リアルタイム出力ポートの動作タイミング（2ch独立制御の例）



ソフトウエア処理またはマクロ・サービス（**12.4　マクロ・サービス機能**参照）によるバッファ・レジスタおよびコンペア・レジスタの書き換え

6.5 使 用 例

P00-P03を4ビット・リアルタイム出力ポートとして使用する場合を示します。

8ビット・タイマ／カウンタ1のTM1とCR10の内容が一致するごとに，POLの内容がP00-P03へ出力されます。このときに同時に発生する割り込み処理ルーチン中で，次に出力するデータの設定と，次に出力を変化させるタイミングを設定します（**図６－６**参照）。

なお，タイマ／カウンタ1の使用方法については，**7.2　8ビット・タイマ／カウンタ1**の項を参照してください。

図６－７に制御レジスタの設定内容，図６－８にその設定手順，図６－９に割り込み処理ルーチン内での処理を示します。

図６－６　リアルタイム出力ポートの動作タイミング

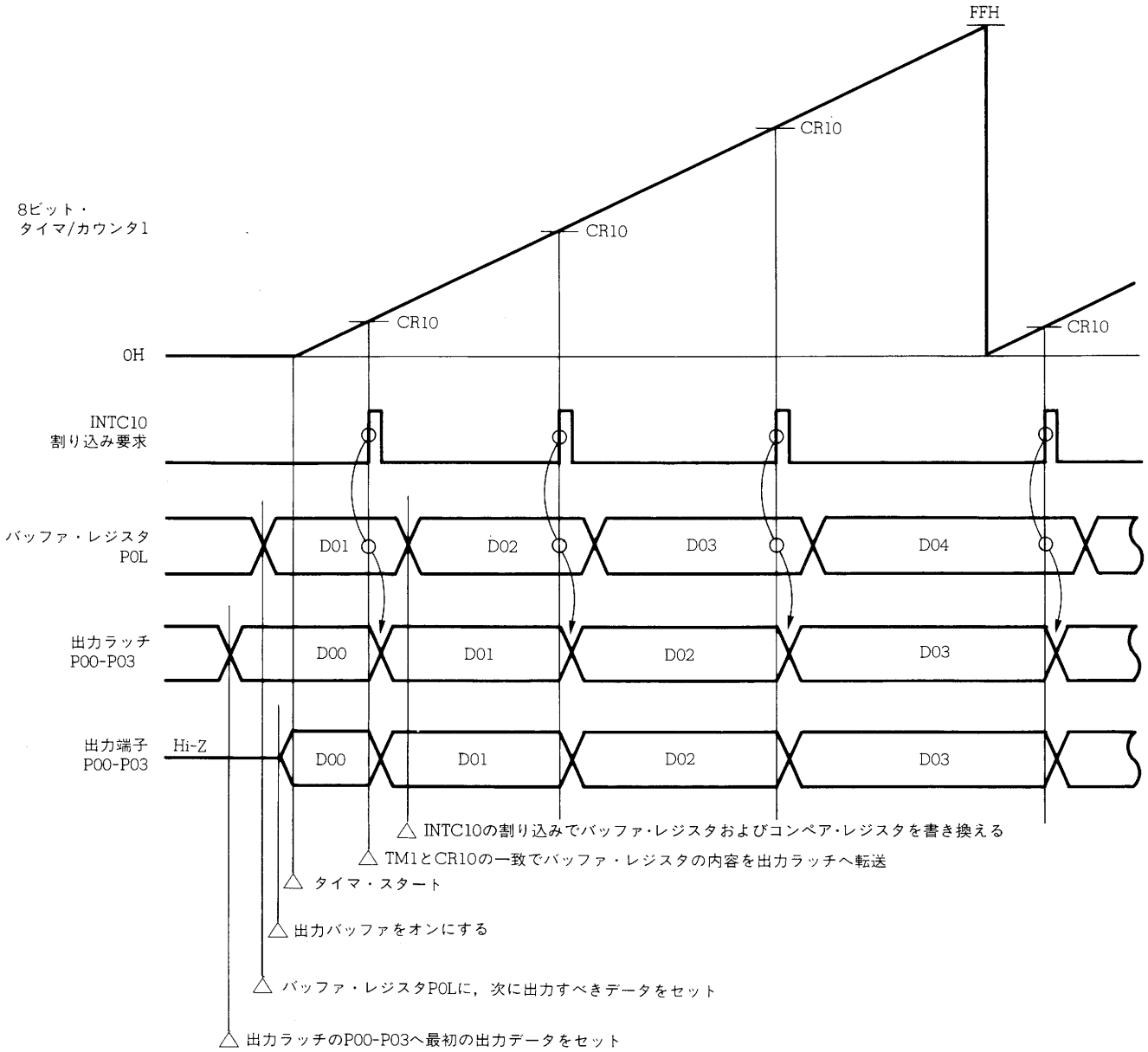


図６－７　リアルタイム出力機能の制御レジスタの設定内容

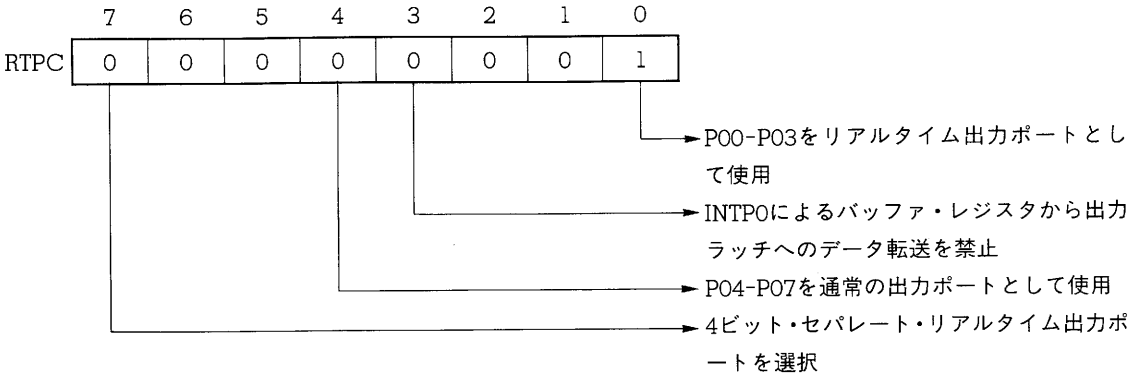


図６－８　リアルタイム出力機能の設定手順

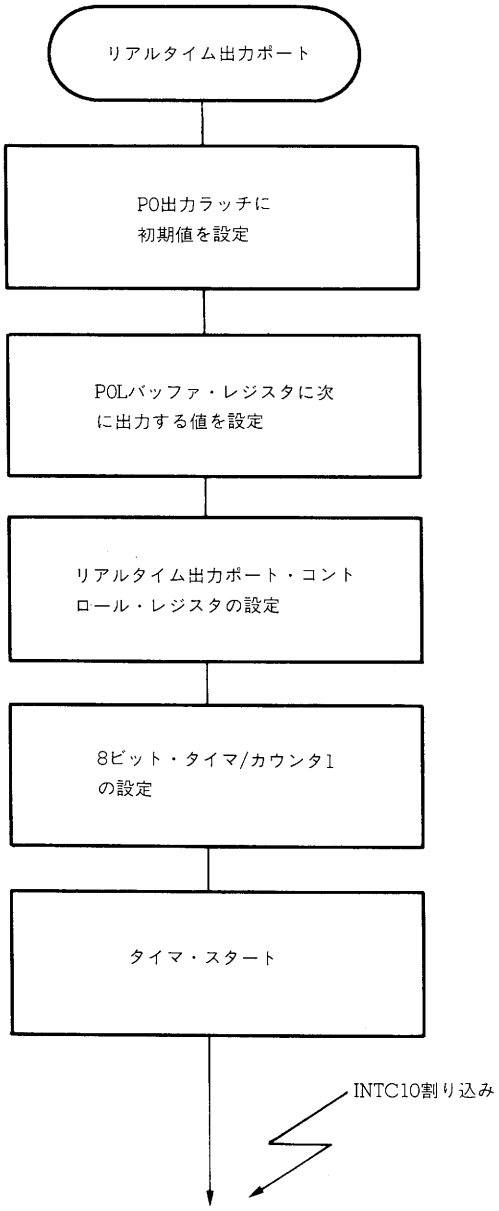
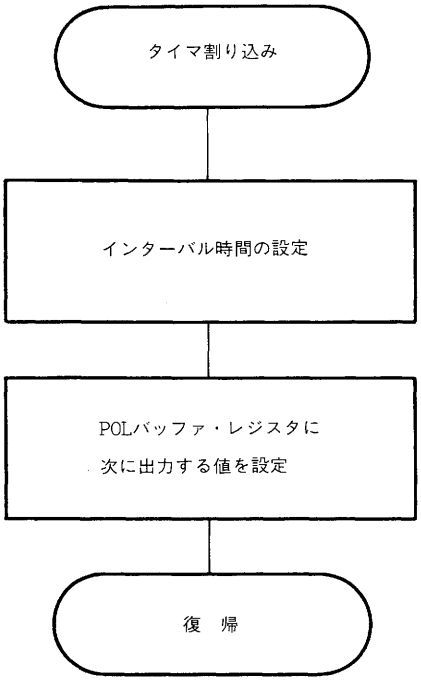


図６－９　リアルタイム出力機能使用時の割り込み要求処理



6.6 注意事項

(1) リアルタイム出力ポートとして指定を行うと，ポート0の出力バッファがPM0レジスタの内容とは無関係に自動的にオンとなり，P0出力ラッチの内容を出力します。したがって，リアルタイム出力ポートとして指定する前に，出力ラッチの内容を初期化してください。

(2) リアルタイム出力ポートとして指定された場合，ソフトウエアで出力ラッチに直接値を書くことはできなくなります。したがって，リアルタイム出力ポートとして使用することを指定する前に，ソフトウエアで出力ラッチの初期値を設定する必要があります。

また，リアルタイム出力ポートとして使用中に，出力データを強制的に固定値にする必要が生じた場合には，RTPCを操作して，通常の出力ポートに変更してから出力ラッチに出力したい値を書き込むようにしてください。

(3) INTP0端子からの信号によるバッファ・レジスタから出力ラッチへのデータ転送を選択した場合でも，タイマ/カウンタ1（TM1）とコンペア・レジスタ（CR10）の値が一致したときは，バッファ・レジスタから出力ラッチへデータ転送が行われてしまいます。

INTP0端子からの信号によってのみバッファ・レジスタから出力ラッチへのデータ転送を行いたい場合は，次のいずれかを実行してください。ただし，どの方法を使用しても8ビット・タイマ/カウンタ1のコンペア・レジスタ(CR10)は使用できません。

(a) 8ビット・タイマ/カウンタ1を使用しない。

(b) 8ビット・タイマ/カウンタ1のキャプチャ/コンペア・レジスタ（CR11）をコンペア・レジスタとして使用する場合

キャプチャ・コンペア・レジスタ（CR11）とタイマ/カウンタ1（TM1）の値が一致したらクリアを行うモードを使用したインターバル・タイマとして使用する。ただし，コンペア・レジスタ（CR10）の内容は，CR11レジスタの内容より大きな値にしておくこと（INTC10は発生しません）。

(c) 8ビット・タイマ/カウンタ1のキャプチャ/コンペア・レジスタ（CR11）をキャプチャ・レジスタとして使用する場合

INTP0に入力される信号の有効エッジの間隔が，8ビット・タイマ1(TM1)の値が0からFEHになるまでの時間より十分短いと保証される場合のみ使用すること。

この場合，コンペア・レジスタ（CR10）の値は“FFH”とする。

また，タイマ/カウンタ1は，キャプチャ後クリアするように設定する。

(d) バッファ・レジスタから出力ラッチへの転送が，最大で8ビット・タイマ1(TM1) の1クロック分遅れても問題がなく，TM1がオーバフローしないことが保証できる場合は，次のように設定して使用してください。

・INTP0信号によるキャプチャ後クリアするように，8ビット・タイマ/カウンタ1を設定する。
・リアルタイム出力ポートのデータ転送のトリガ信号として，INTP0信号を使用しないように設定する。
・コンペア・レジスタ（CR10）に“0H”を設定する。

(4) P0ML，P0MHをセット(1)すると，ポート0モード・レジスタ（PM0）の内容にかかわらず，該当するポートの出力バッファがオンとなり，ポート0出力ラッチの内容が出力されます。したがって，リアルタイム出力ポートとして指定する前に，出力ラッチの内容を初期化してください。

(5) インサーキット・エミュレータでは，INTP0端子のディジタル・ノイズ除去を正常に行うことができません。このため，INTP0端子に入力される信号を利用して，バッファ・レジスタから出力ラッチへのデータ転送を許可している場合，誤検出したエッジに従って動作してしまいます。この点に注意して使用してください。

エッジの誤検出についての詳細は，**第11章　エッジ検出機能　11.4　注意事項**を参照してください。

第7章　タイマ／カウンタ・ユニット

μPD78218Aは，16ビット・タイマ／カウンタ・ユニットを1チャネルと，8ビット・タイマ／カウンタ・ユニットを3チャネル内蔵しています。

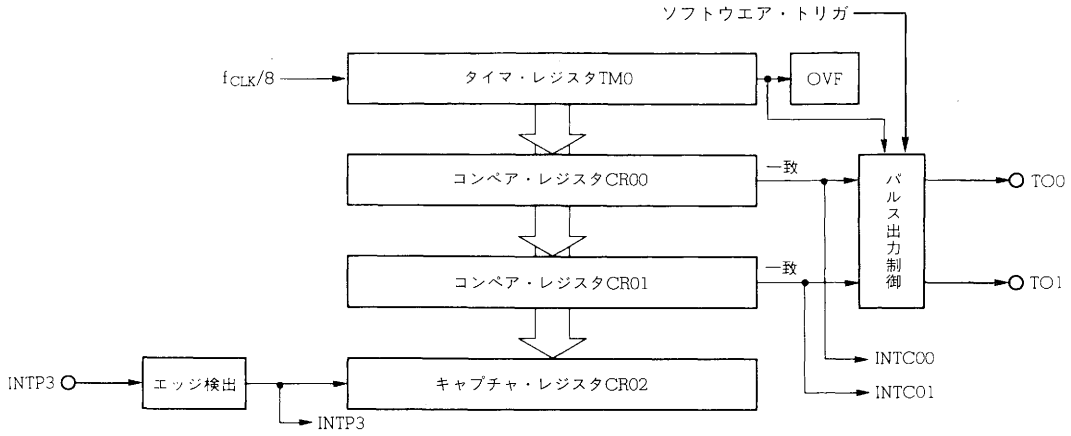
表7-1　タイマ／カウンタの種類と機能

種類と機能＼ユニット		16ビット・タイマ／カウンタ	8ビット・タイマ／カウンタ1	8ビット・タイマ／カウンタ2	8ビット・タイマ／カウンタ3
種類	インターバル・タイマ	2ch	2ch	2ch	1ch
	外部イベント・カウンタ	—	—	○	—
	ワンショット・タイマ	—	—	○	—
機能	タイマ出力	2ch	—	2ch	—
	トグル出力	○	—	○	—
	PWM/PPG出力	○	—	○	—
	ワンショット・パルス出力	○	—	—	—
	リアルタイム出力	—	○	—	—
	パルス幅測定	○	○	○	—
	割り込み要求数	2	2	2	1
	シリアル・インタフェースのクロック・ソース	—	—	—	○

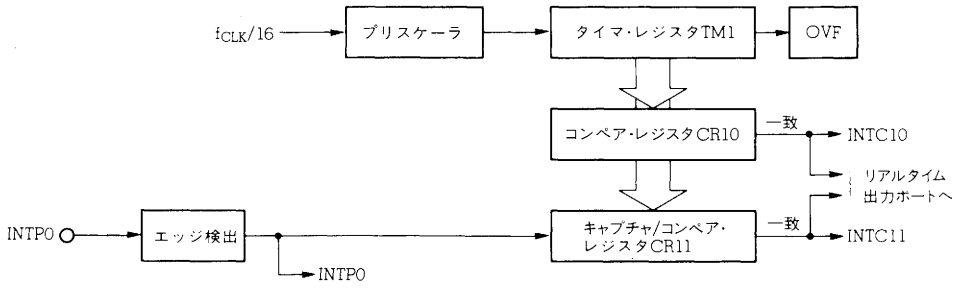
計7つの割り込み要求をサポートしているので，7チャネルのタイマとして機能させることができます。

図7-1　タイマ／カウンタ・ユニットのブロック図

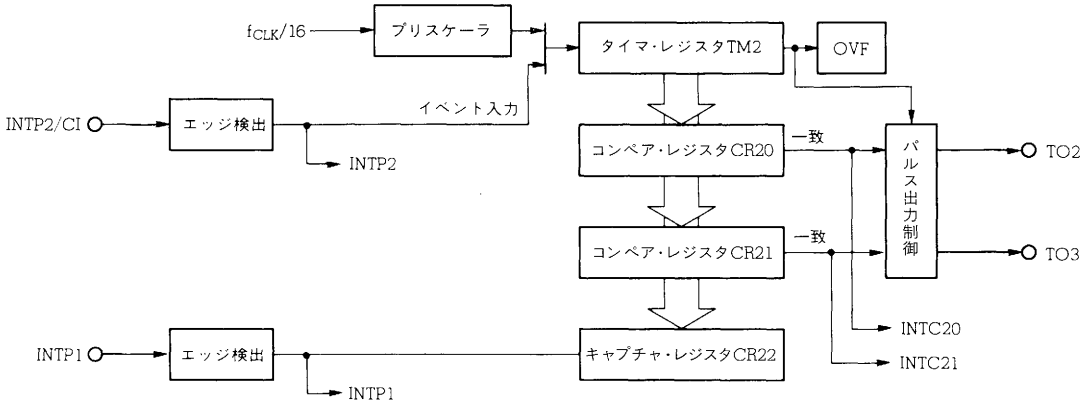
16ビット・タイマ／カウンタ・ユニット



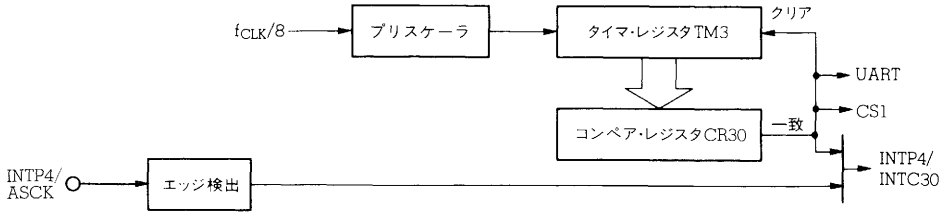
8ビット・タイマ／カウンタ・ユニット1



8ビット・タイマ／カウンタ・ユニット2



8ビット・タイマ／カウンタ・ユニット3



OVF：オーバーフロー・フラグ

7.1　16ビット・タイマ／カウンタ

7.1.1　機　　能

16ビット・タイマ／カウンタは，インターバル・タイマ，プログラマブル矩形波出力，パルス幅測定のような基本機能のほかに，以下のような機能として使うことができます。

・PWM出力
・周期測定
・ソフト・トリガド・ワンショット・パルス出力

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表7-2　16ビット・タイマ／カウンタのインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$8/f_{CLK}$ (1.3 μs)	$2^{16}\times 8/f_{CLK}$ (87.4 ms)	$8/f_{CLK}$ (1.3 μs)

(　)内はf_{CLK}=6 MHzの場合

(2) プログラマブル矩形波出力

TO0，TO1端子にそれぞれ独立に矩形波を出力します。

表7-3　16ビット・タイマ／カウンタのプログラマブル矩形波出力設定範囲

最小パルス幅	最大パルス幅
$8/f_{CLK}$ (1.3 μs)	$2^{16}\times 8/f_{CLK}$ (87.4 ms)

(　)内はf_{CLK}=6 MHzの場合

(3) パルス幅測定

外部割り込み端子INTP3へ入力される信号のパルス幅を検出します。

表7-4　16ビット・タイマ／カウンタのパルス幅測定範囲

測定可能なパルス幅	分解能
$12/f_{CLK}$ -$2^{16}\times 8/f_{CLK}$ (2.0 μs)　(87.4 ms)	$8/f_{CLK}$ (1.3 μs)

(　)内はf_{CLK}=6 MHzの場合

(4) ソフト・トリガド・ワンショット・パルス出力

ソフトウエアによりパルス出力レベルをアクティブに，またハードウエア（割り込み要求信号）によりパルス出力レベルをインアクティブにするワンショット・パルス出力機能です。TO0，TO1に対して独立に制御することができます。

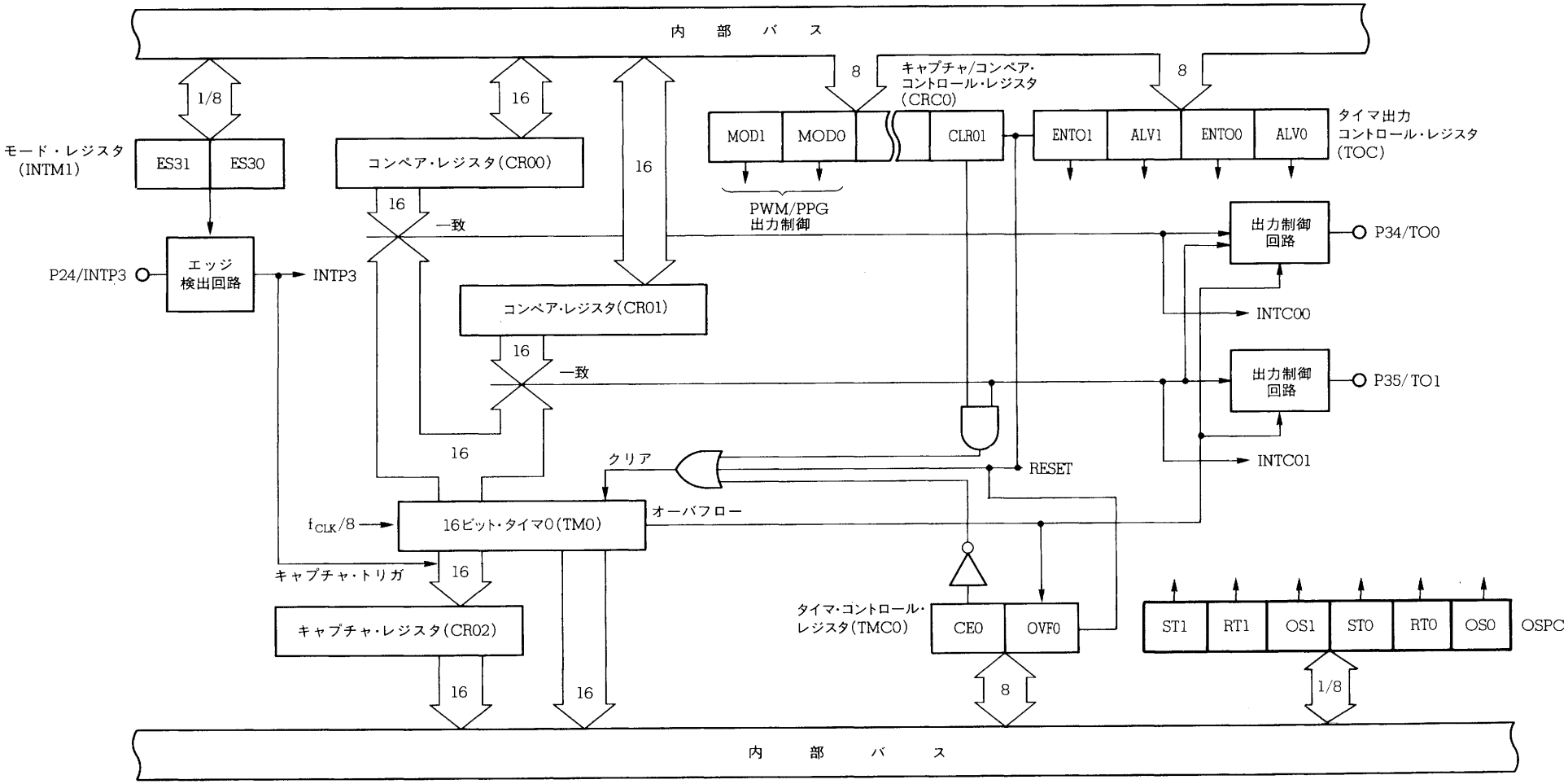
注意　ソフト・トリガド・ワンショット・パルス出力機能は，8ビット・タイマ/カウンタ2のワンショット・タイマ機能とは性質が異なります。

7.1.2　構　　成

16ビット・タイマ／カウンタは，16ビット・タイマ0(TM0)と16ビット・コンペア・レジスタ2本(CR00, CR01)，および16ビット・キャプチャ・レジスタ1本（CR02）から構成されます。

図7-2に，16ビット・タイマ／カウンタのブロック図を示します。

図7-2 16ビット・タイマ/カウンタのブロック図



(1) 16ビット・タイマ0 (TM0)

TM0は，カウント・クロック$f_{CLK}/8$でアップカウントするタイマです。

タイマ・コントロール・レジスタ0 (TMC0) によってカウント動作の停止，許可ができます。

16ビット操作命令で読み出しのみが可能です。$\overline{\text{RESET}}$入力により，TM0は0000Hにクリアされ，カウントは停止します。

(2) コンペア・レジスタ (CR00, CR01)

CR00, CR01レジスタは，インターバル・タイマの周期を決める値を保持する16ビット・レジスタです。

CR00, CR01レジスタの内容がTM0の内容と一致すると，割り込み要求 (INTC00, INTC01) およびタイマ出力の制御信号を発生します。また，内容一致 (CR01) によるカウント値のクリア動作もできます。

16ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(3) キャプチャ・レジスタ (CR02)

CR02レジスタは，TM0の内容をキャプチャする16ビット・レジスタです。

キャプチャ動作は，外部割り込み要求 (INTP3) 入力端子の有効エッジ入力 (キャプチャ・トリガ) に同期します。次のキャプチャ・トリガが発生するまでCR02レジスタの内容は保持されます。

16ビット操作命令で読み出しのみ可能です。$\overline{\text{RESET}}$入力により不定となります。

(4) エッジ検出回路

エッジ検出回路は，外部入力の有効エッジを検出します。

INTP3端子入力で外部割り込みモード・レジスタ1 (INTM1) により設定された有効エッジを検出して，INTP3とキャプチャ・トリガを発生します (INTM1レジスタについては**図 11－2** 参照)。

(5) 出力制御回路

CR00, CR01レジスタの内容とTM0の内容が一致すると，タイマ出力を反転することができます。タイマ出力コントロール・レジスタ (TOC) の下位4ビットの設定でタイマ出力端子 (TO0, TO1) から矩形波を出力することができます。このときキャプチャ／コンペア・コントロール・レジスタ0 (CRC0) の指定により，PWM出力やPPG出力もできます。

さらにソフトウエア・トリガによるワンショット・パルスの出力も可能です。

また，TOCレジスタによってタイマ出力の禁止／許可ができます。タイマ出力の禁止状態ではTO0, TO1端子には固定レベルが出力されます (出力レベルはTOCレジスタにより設定)。

7.1.3　16ビット・タイマ／カウンタ制御レジスタ

(1) タイマ・コントロール・レジスタ0 (TMC0)

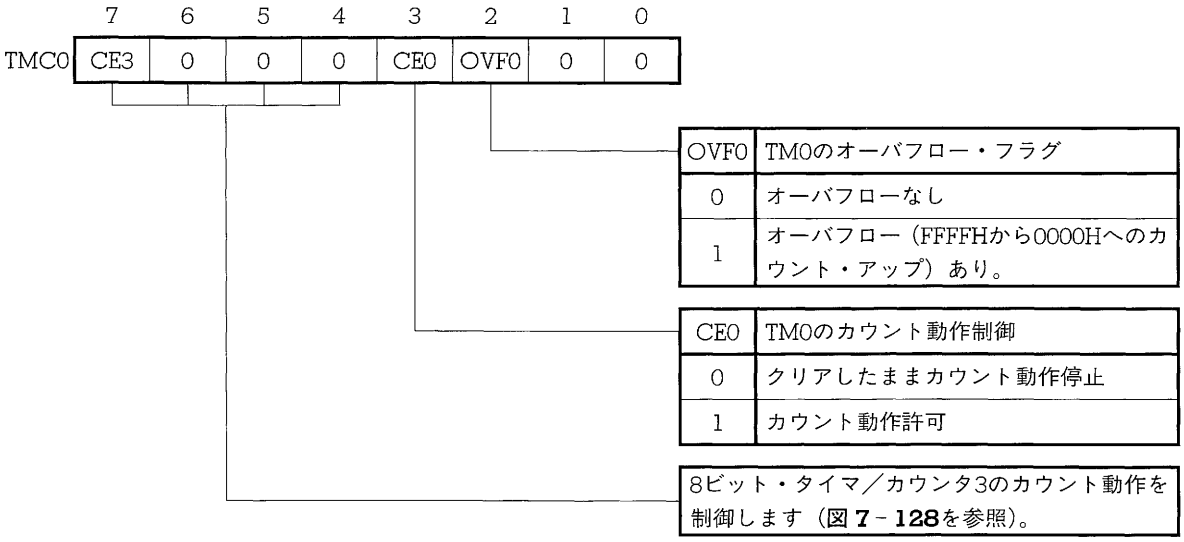
TMC0レジスタは，16ビット・タイマ0（TM0）のカウント動作を制御する8ビット・レジスタです。

下位4ビットでTM0のカウント動作を制御します（上位4ビットは8ビット・タイマ／カウンタ3のカウント動作を制御します）。

8ビット操作命令で読み出し／書き込みが可能です。図7-3にTMC0レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図7-3　タイマ・コントロール・レジスタ0（TMC0）のフォーマット



備考　OVF0ビットはソフトウエアでのみリセットされます。

(2) キャプチャ／コンペア・コントロール・レジスタ0 (CRC0)

CRC0レジスタは，コンペア・レジスタ（CR01）の内容とTM0のカウンタ値との一致信号によるTM0のクリア動作の許可条件や，タイマ出力（TO0，TO1）モードを指定するレジスタです。

8ビット操作命令で書き込みのみ可能です。図7-4にCRC0レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により10Hにクリアされます。

図7-4　キャプチャ／コンペア・コントロール・レジスタ0 (CRC0) のフォーマット

	7	6	5	4	3	2	1	0
CRC0	MOD1	MOD0	0	1	CLR01	0	0	0

MOD1	MOD0	CLR01	タイマ出力モード指定		TM0=CR01時のTM0のクリア動作
			TO0	TO1	
0	0	0	トグル出力	トグル出力	禁止
0	0	1	トグル出力	トグル出力	許可
0	1	0	PWM出力	トグル出力	禁止
0	1	1	設定禁止		
1	0	0	PWM出力	PWM出力	禁止
1	0	1	設定禁止		
1	1	0	設定禁止		
1	1	1	PPG出力	トグル出力	許可

(3) タイマ出力コントロール・レジスタ（TOC）

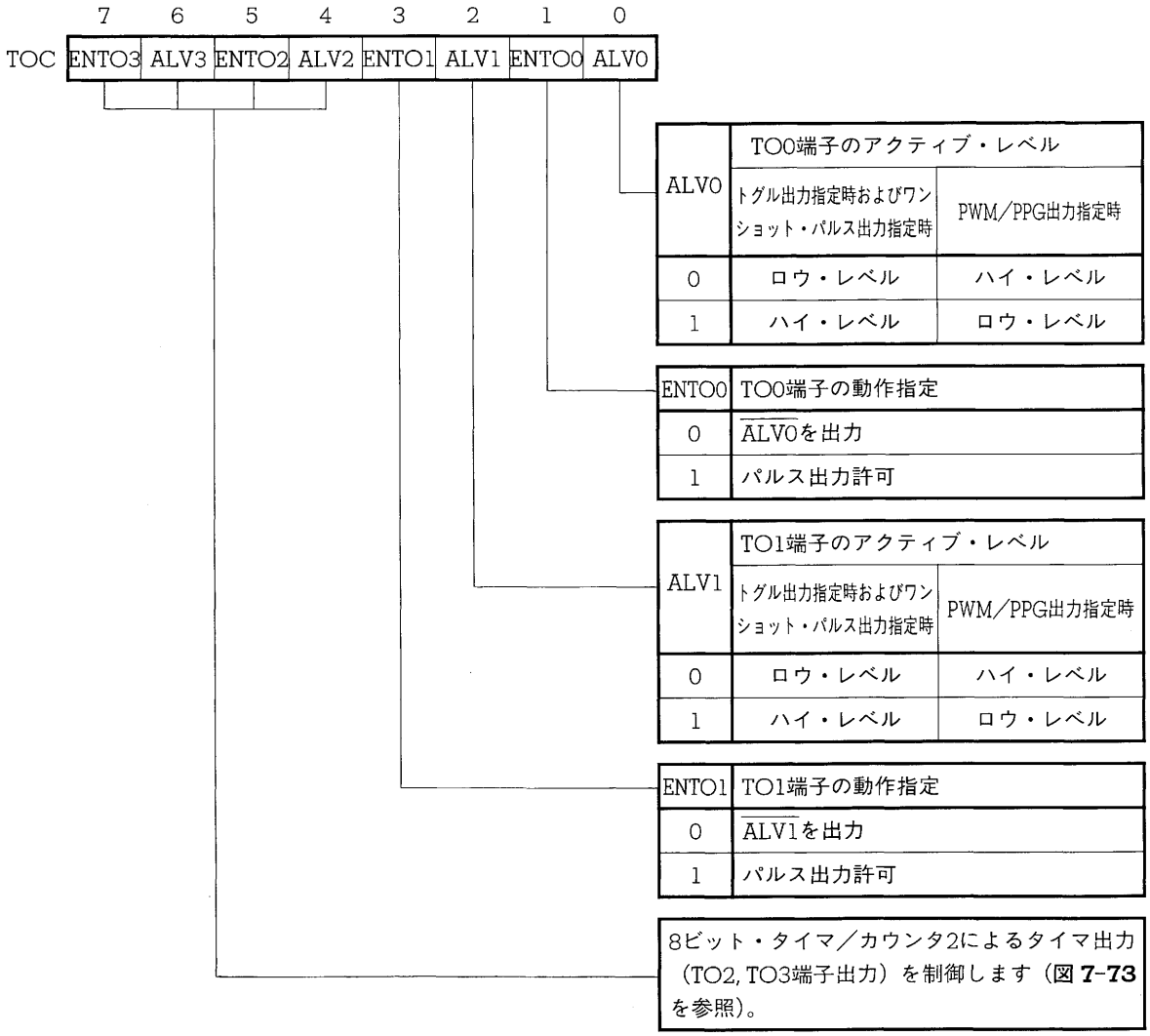
TOCレジスタは，タイマ出力のアクティブ・レベルと出力許可／禁止を制御する8ビット・レジスタです。

下位4ビットで16ビット・タイマ／カウンタによるタイマ出力（TO0，TO1端子出力）の動作を制御します（上位4ビットは8ビット・タイマ／カウンタ2によるタイマ出力（TO2，TO3端子出力）の動作を制御します）。

8ビット操作命令で書き込みのみ可能です。図7-5にTOCレジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図7-5　タイマ出力コントロール・レジスタ（TOC）のフォーマット



(4) ワンショット・パルス出力制御レジスタ(OSPC)

ワンショット・パルス出力制御レジスタは，ソフトウエア・トリガによるワンショット・パルス出力の禁止／許可および出力レベルなどを指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で，読み出し／書き込みが可能です。

図7-6に，ワンショット・パルス出力制御レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により，00Hにクリアされます。

図7-6　ワンショット・パルス出力制御レジスタのフォーマット

	⑦	⑥	5	4	③	②	1	0
OSPC	ST1	RT1	0	OS1	ST0	RT0	0	OS0

OS0	パルス出力の種類選択
0	トグル出力, PWM出力, PPG出力を選択
1	ソフト・トリガド・ワンショット・パルス選択

ST0	RT0	TO0出力の制御
0	0	出力を変化させない
0	1	TO0にインアクティブ・レベルを出力
1	0	TO0にアクティブ・レベルを出力
1	1	設定禁止

OS1	パルス出力の種類選択
0	トグル出力, PWM出力, PPG出力を選択
1	ソフト・トリガド・ワンショット・パルス出力

ST1	RT1	TO1出力の制御
0	0	出力を変化させない
0	1	TO1にインアクティブ・レベルを出力
1	0	TO1にアクティブ・レベルを出力
1	1	設定禁止

備考1. RT0, ST0, RT1, ST1の各ビットは書き込みのみが可能で，読み出し時は“0”になります。

2. 端子からのパルス出力の禁止／許可およびアクティブ・レベルの指定は，タイマ出力制御レジスタ（TOC）で行います。

7.1.4　16ビット・タイマ0（TM0）の動作

(1) 基本動作

16ビット・タイマ／カウンタのカウント動作は，$f_{CLK}/8$をカウント・クロックとしてカウント・アップします。

$\overline{\text{RESET}}$入力により，TM0は0000Hにクリアされ，カウント動作は停止します。

カウント動作の禁止／許可は，タイマ・コントロール・レジスタ0（TMC0）のビット3（CE0）で制御します。CE0ビットをソフトウエアによりセット(1)すると，最初のカウント・クロックでTM0の内容が0000Hにクリアされたのち，カウント・アップ動作を行います。

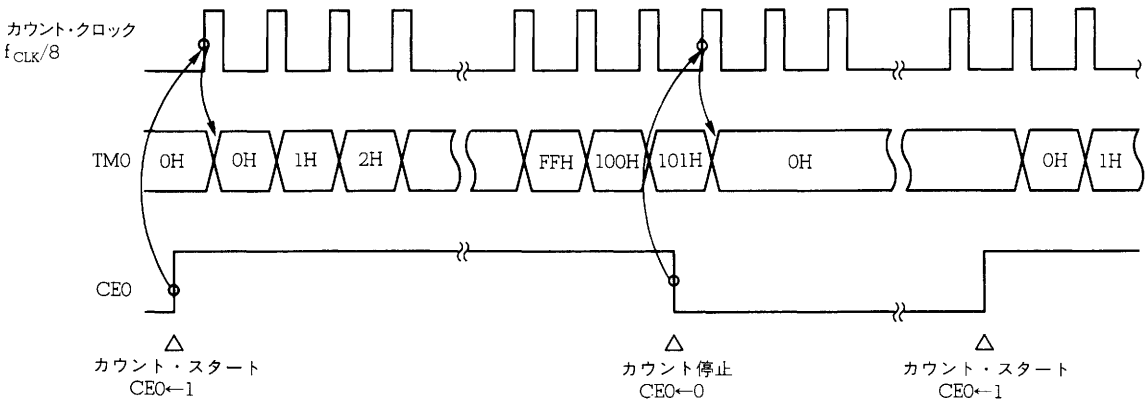
CE0ビットをリセット(0)することによってTM0は次のカウント・クロックで0000Hにクリアされ，キャプチャ動作や一致信号の発生は停止します。

CE0ビットがセット(1)されている状態でさらにCE0ビットをセット(1)した場合，TM0はクリアされないでカウント動作を続けます。

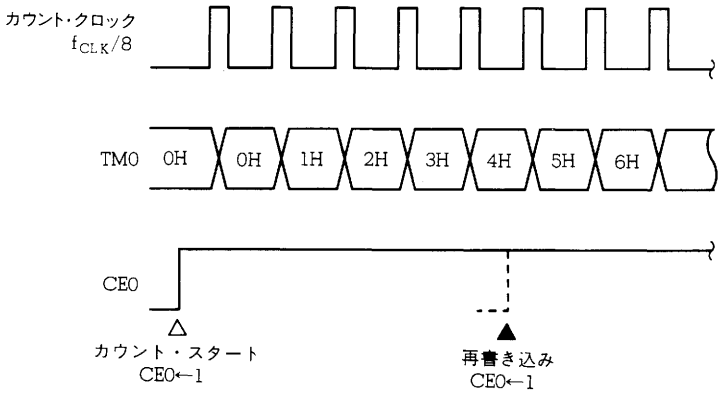
TM0がFFFFHのときにカウント・クロックが入力されると，TM0は0000Hになります。このとき，OVF0がセットされ，出力制御回路にオーバフロー信号を送ります。OVF0は，ソフトウエアによってのみクリアされます。また，カウント動作はそのまま継続されます。

図7-7　16ビット・タイマ0(TM0)の基本動作

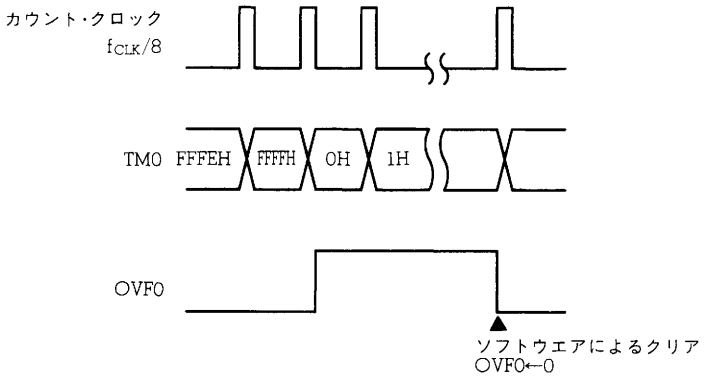
(a) カウント・スタート→カウント停止→カウント・スタートの場合



(b) カウント・スタート後に再度CE0ビット“1”を書き込んだ場合



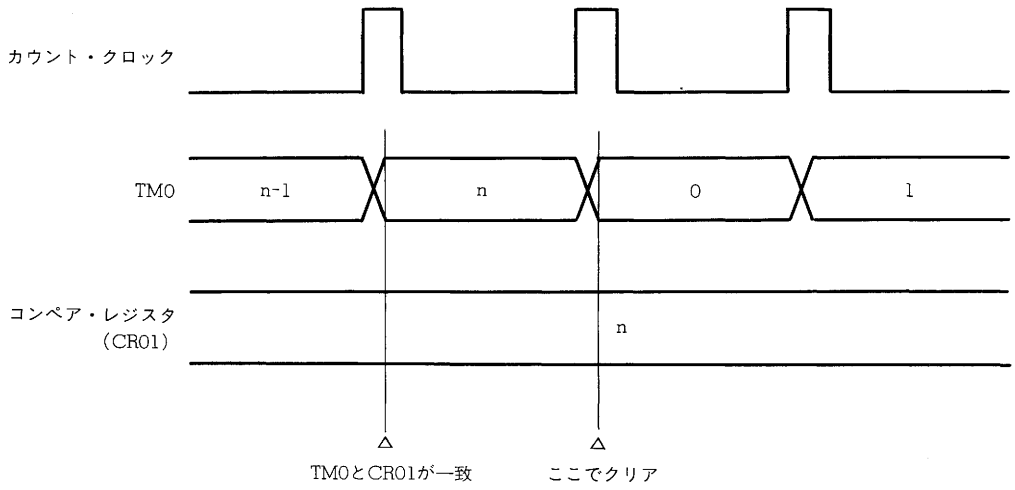
(c) TM0がFFFFHのときの動作



(2) クリア動作

16ビット・タイマ0（TM0）は，コンペア・レジスタ（CR01）との一致後およびキャプチャ後に自動的にクリアすることができます。TM0は，クリアする要因が発生すると，次のカウント・クロックで0000Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

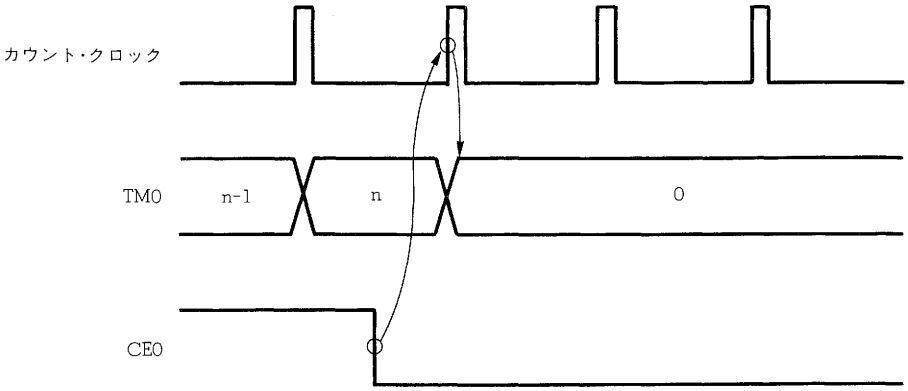
図7-8　コンペア・レジスタ（CR01）との一致によるTM0のクリア



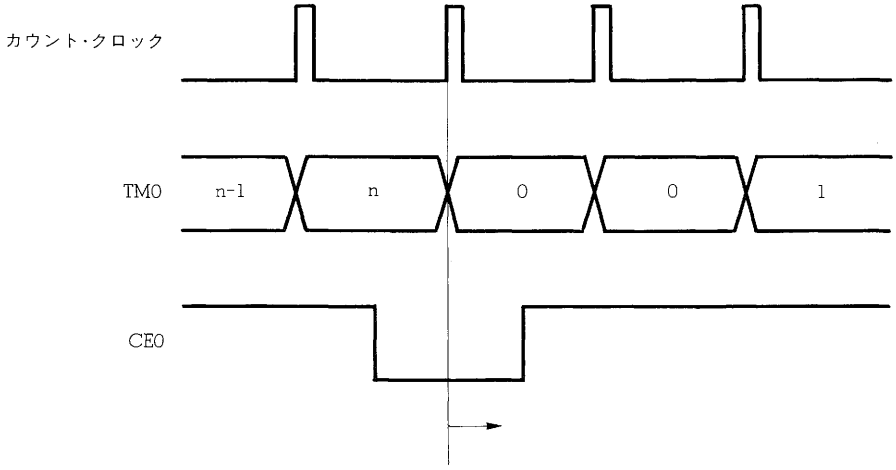
また，TM0はソフトウエアにより，タイマ・コントロール・レジスタ（TMC0）のCE0ビットをリセット(0)することによってもクリアされます。クリア動作は同様に，CE0ビットがリセット(0)されたあとのカウント・クロックで行われます。なお，CE0ビットをリセット(0)し，TM0が0になる前（CE0ビットをリセット(0)したあとの最初のカウント・クロックがくる前）にCE0ビットがセット(1)されると，クリア動作によりTM0が0になる動作とカウント・スタートによる0のカウント動作が同時に行われます。

図7－9　CE0ビットをリセット(0)した場合のクリア動作

(a) 基本動作

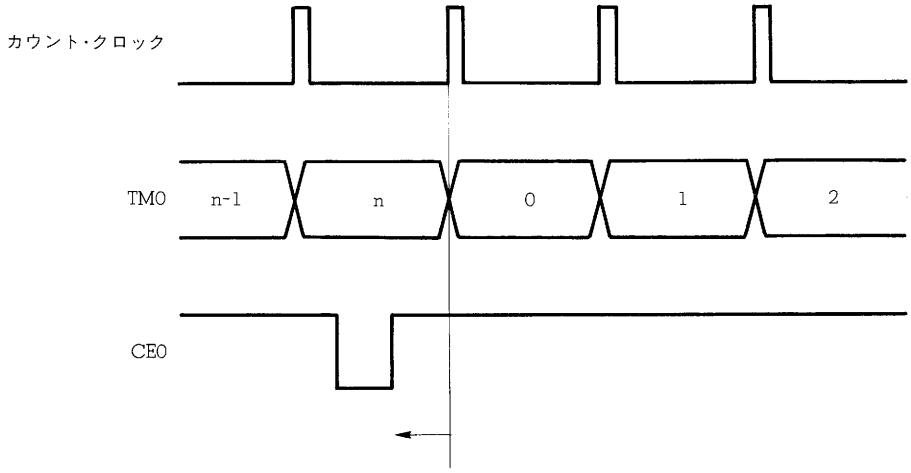


(b) クリア後のTM0が0になってからの再スタート



このカウント・クロック以降にCE0ビットがセット(1)された場合，
CE0ビットをセット(1)したあとのカウント・クロックで0からカウント

(c) クリア後のTM0が0になる前の再スタート



このカウント・クロック以前にCE0ビットがセット(1)された場合，CE0←0によるTM0のクリア動作とCE0←1による0のカウント動作が同時に行われる

7.1.5　コンペア・レジスタ，キャプチャ・レジスタの動作

(1) コンペア動作

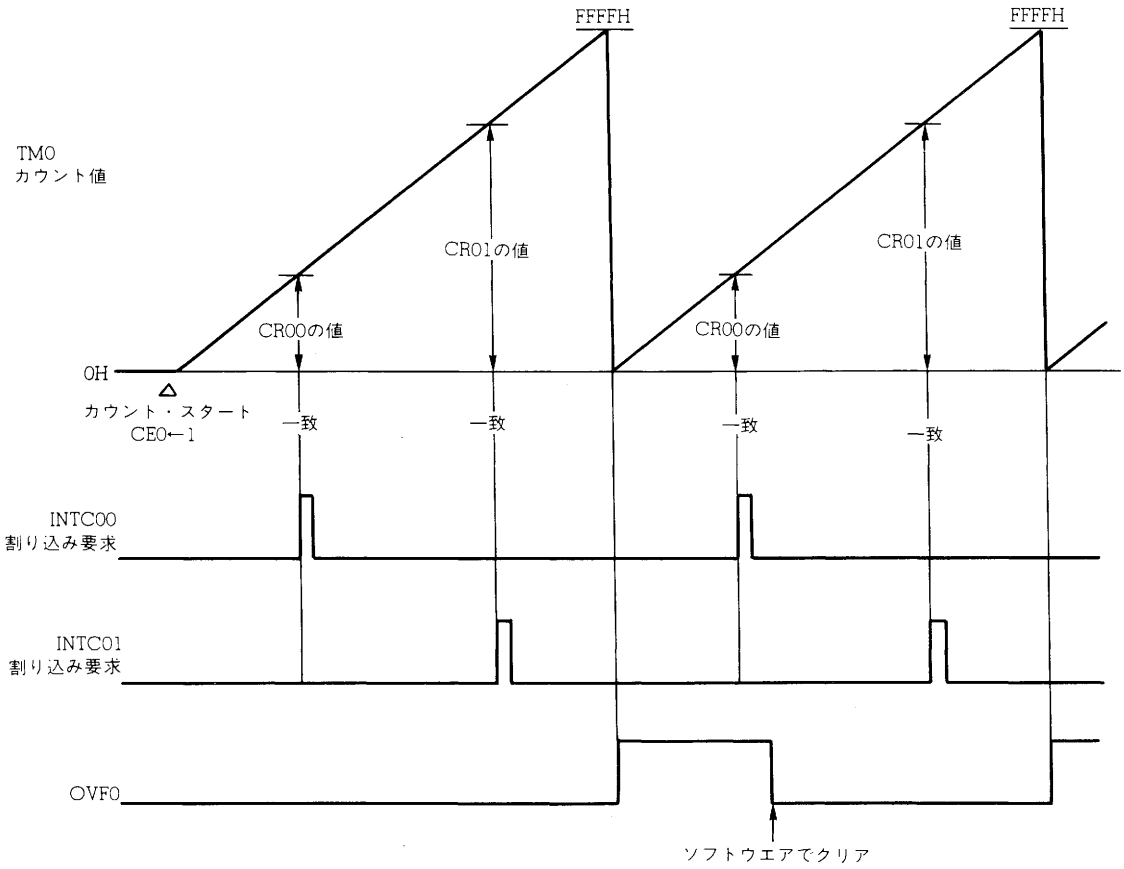
16ビット・タイマ／カウンタは，コンペア・レジスタに設定された値をタイマのカウント値と比較するコンペア動作を行います。

あらかじめ設定されたコンペア・レジスタ（CR00，CR01）の値に16ビット・タイマ0（TM0）のカウント値がカウント動作によって一致すると，出力制御回路に一致信号を送ります。同時に割り込み要求（INTC00，INTC01）を発生します。

また，CR01レジスタの値と一致後，TM0のカウント値をクリアすることができ，CR01レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

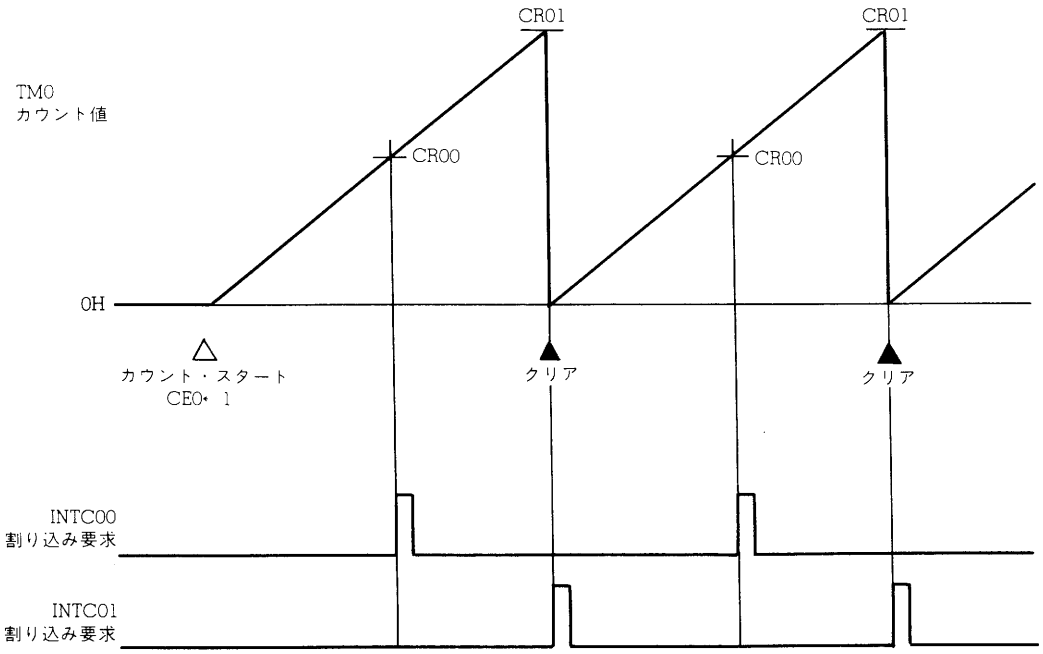
★　**注意　16ビット・タイマ／カウンタでコンペア動作を行うためには，コンペア動作を行わせる前に，使用するコンペア・レジスタに書き込みを行う必要があります。**

図7－10　コンペア動作



備考　CLR01＝1

図7－11　一致検出後，TM0のクリア



備考　CLR01＝0

(2) キャプチャ動作

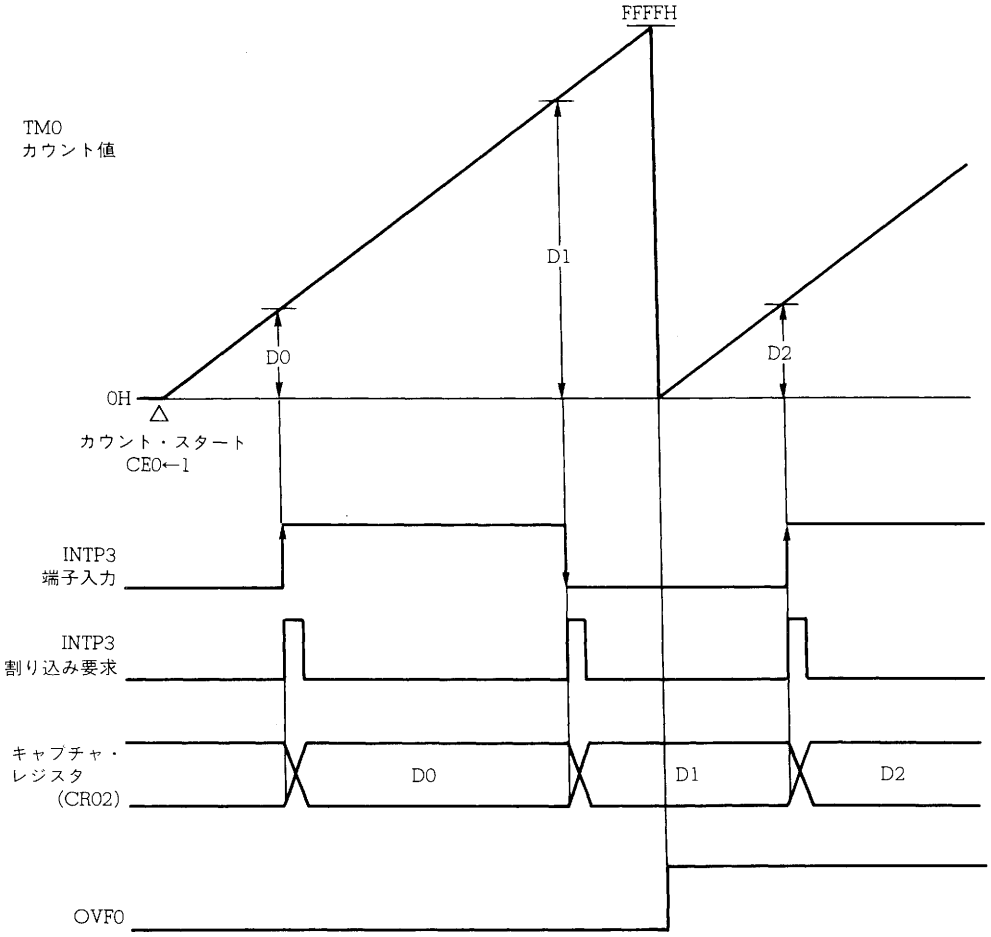
16ビット・タイマ／カウンタは，外部トリガに同期してタイマのカウント値をキャプチャ・レジスタに取り込み，保持するキャプチャ動作を行います。

外部トリガとして，外部割り込み要求(INTP3)入力端子の入力から検出された有効エッジを用います（キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中の16ビット・タイマ0(TM0)のカウント値をキャプチャ・レジスタ(CR02)に取り込み，保持します。次のキャプチャ・トリガが発生するまでCR02レジスタの内容は保持されます。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ1（INTM1）により設定します。立ち上がり，立ち下がり両エッジがキャプチャ・トリガとなるように設定すれば，外部からの入力パルス幅を測定することができます。また，片側エッジでキャプチャ・トリガを発生させた場合，入力パルスの周期を測定することができます。

INTM1レジスタの詳しいフォーマットは，**第11章の図11－2**を参照してください。

図7－12　キャプチャ動作



備考　Dn：TM0のカウント値(n＝0，1，2，…)

CLR01＝0

注意　インサーキット・エミュレータではINTP3端子のディジタル・ノイズ除去を正常に行うことができません。キャプチャ機能を使用している場合，誤検出したエッジによって次のように動作します。 ★

・誤検出したエッジでは，キャプチャ動作を行いません。しかし，誤検出したエッジには，エッジによる割り込みの要求が発生します。

したがって，誤検出したエッジによるINTP3割り込みであるか，正常なINTP3割り込みであるかをソフトウエアで判定してからキャプチャ値を使用してください。
エッジの誤検出についての詳細は，第11章　エッジ検出機能　11.4　注意事項を参照してください。

7.1.6　出力制御回路の基本動作

出力制御回路は，オーバフロー信号または，コンペア・レジスタからの一致信号によって，タイマ出力（TO0，TO1）のレベルを制御します。出力制御回路の動作は，タイマ出力コントロール・レジスタ（TOC）とキャプチャ／コンペア・コントロール・レジスタ0（CRC0）とワンショット・パルス出力制御レジスタ(OSPC)によって決定されます（表7－5参照)。

なお，タイマ出力(TO0，TO1)信号を端子へ出力する場合は，PMC3レジスタで該当する端子がコントロール・モードになっている必要があります。

表7－5　タイマ出力（TO0，TO1）の動作

TOC				OSPC		CRC0			TO1	TO0
ENTO1	ALV1	ENTO0	ALV0	OS1	OS0	MOD1	MOD0	CLR01		
0	0／1	0	0／1	×	×	×	×	×	ハイ／ロウ・レベル固定	ハイ／ロウ・レベル固定
0	0／1	1	0／1	×	0	0	0	×	ハイ／ロウ・レベル固定	トグル出力(ロウ／ハイ・アクティブ)
0	0／1	1	0／1	×	0	0	1	0	ハイ／ロウ・レベル固定	PWM出力(ハイ／ロウ・アクティブ)
0	0／1	1	0／1	×	0	1	0	0	ハイ／ロウ・レベル固定	PWM出力(ハイ／ロウ・アクティブ)
0	0／1	1	0／1	×	0	1	1	1	ハイ／ロウ・レベル固定	PPG出力(ハイ／ロウ・アクティブ)
0	0／1	1	0／1	×	1	×	×	×	ハイ／ロウ・レベル固定	ワンショット・パルス出力(ロウ／ハイ・アクティブ)
1	0／1	0	0／1	0	×	0	×	×	トグル出力(ロウ／ハイ・アクティブ)	ハイ／ロウ・レベル固定
1	0／1	0	0／1	0	×	1	0	0	PWM出力(ハイ／ロウ・アクティブ)	ハイ／ロウ・レベル固定
1	0／1	0	0／1	0	×	1	1	×	トグル出力(ロウ／ハイ・アクティブ)	ハイ／ロウ・レベル固定
1	0／1	0	0／1	1	×	×	×	×	ワンショット・パルス出力(ロウ／ハイ・アクティブ)	ハイ／ロウ・レベル固定
1	0／1	1	0／1	0	0	0	0	×	トグル出力(ロウ／ハイ・アクティブ)	トグル出力(ロウ／ハイ・アクティブ)
1	0／1	1	0／1	0	0	0	1	0	トグル出力(ロウ／ハイ・アクティブ)	PWM出力(ハイ／ロウ・アクティブ)
1	0／1	1	0／1	0	0	1	0	0	PWM出力(ハイ／ロウ・アクティブ)	PWM出力(ハイ／ロウ・アクティブ)
1	0／1	1	0／1	0	0	1	1	1	トグル出力(ロウ／ハイ・アクティブ)	PPG出力(ハイ／ロウ・アクティブ)
1	0／1	1	0／1	0	1	0	×	×	トグル出力(ロウ／ハイ・アクティブ)	ワンショット・パルス出力(ロウ／ハイ・アクティブ)
1	0／1	1	0／1	0	1	1	0	0	PWM出力(ハイ／ロウ・アクティブ)	ワンショット・パルス出力(ロウ／ハイ・アクティブ)
1	0／1	1	0／1	0	1	1	1	1	トグル出力(ロウ／ハイ・アクティブ)	ワンショット・パルス出力(ロウ／ハイ・アクティブ)
1	0／1	1	0／1	1	0	0	0	×	ワンショット・パルス出力(ロウ／ハイ・アクティブ)	トグル出力(ロウ／ハイ・アクティブ)
1	0／1	1	0／1	1	0	0	1	0	ワンショット・パルス出力(ロウ／ハイ・アクティブ)	PWM出力(ハイ／ロウ・アクティブ)
1	0／1	1	0／1	1	0	1	0	0	ワンショット・パルス出力(ロウ／ハイ・アクティブ)	PWM出力(ハイ／ロウ・アクティブ)
1	0／1	1	0／1	1	0	1	1	1	ワンショット・パルス出力(ロウ／ハイ・アクティブ)	PPG出力(ハイ／ロウ・アクティブ)
1	0／1	1	0／1	1	1	×	×	×	ワンショット・パルス出力(ロウ／ハイ・アクティブ)	ワンショット・パルス出力(ロウ／ハイ・アクティブ)

備考1.　ALVn(n=0，1)の“／”は，TOn(n=0，1)の欄の“／”の左右にそれぞれ対応しています。

2.　×印は，0でも1でも動作が同じ場合を示しますが，一部禁止されている組み合わせも含まれています（**図7－4**参照）。

3.　本表にない組み合わせは，その組み合わせでの使用を禁止しています。

(1) 基本動作

タイマ出力コントロール・レジスタ（TOC）のENTOn（n=0, 1）をセット(1)することにより，キャプチャ／コンペア・コントロール・レジスタ0（CRC0）のMOD0, MOD1, CLR01とワンショット・パルス出力制御レジスタ(OSPC)の設定に従ったタイミングでタイマ出力（TO0, TO1）を変化させることができます。

また，ENTOn（n=0, 1）をクリア(0)することにより，タイマ出力（TO0, TO1）を固定レベルにします。固定されるレベルは，タイマ出力コントロール・レジスタ（TOC）のALVn（n=0, 1）によって決定されます。ALVn（n=0, 1）が0のときはハイ・レベルに，ALVn（n=0, 1）が1のときはロウ・レベルになります。

(2) トグル出力

トグル出力は，コンペア・レジスタ（CR00, CR01）の値が16ビット・タイマ0（TM0）の値と一致するたびに出力レベルを反転させる動作モードです。TO0はCR00とTM0の一致によって出力レベルが反転し，TO1はCR01とTM0の一致によって出力レベルが反転します。

7

図7-13　トグル出力の動作

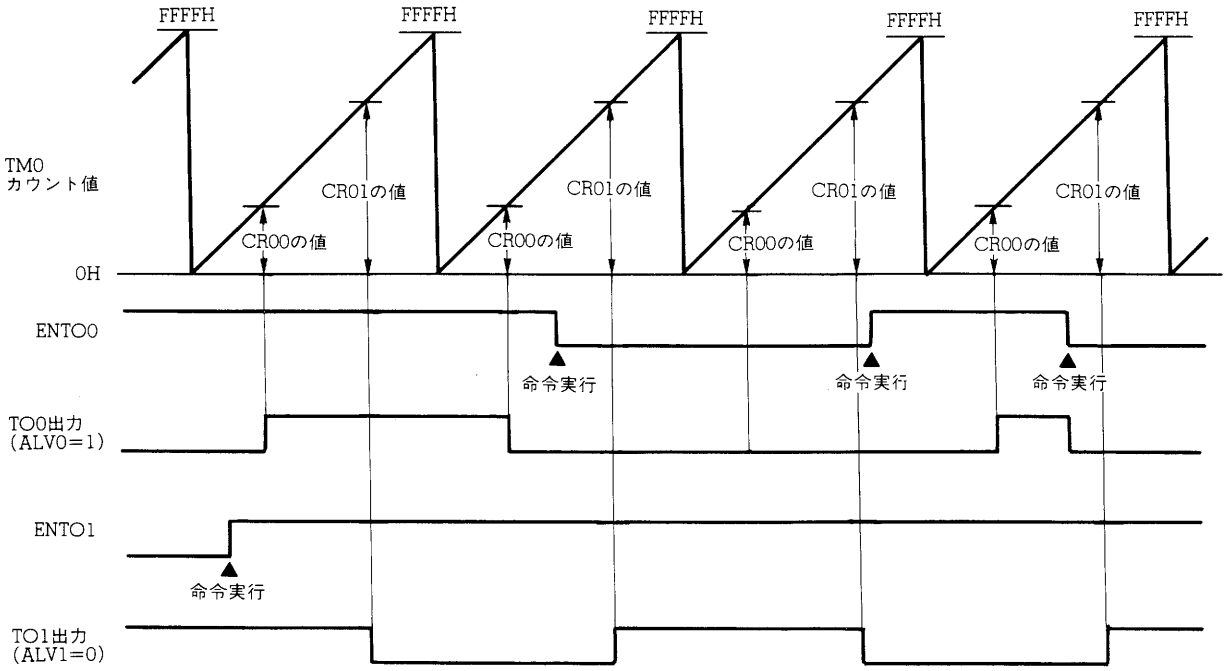


表7－6　TO0，TO1のトグル出力（f_{CLK}＝6 MHz）

カウント・クロック	最小パルス幅	最大インターバル時間
f_{CLK}／8	1.3 μs	87.4 ms

7.1.7　PWM出力

16ビット・タイマ0（TM0）がフルカウントする期間を1周期とするPWM信号を出力するモードです。TO0のパルス幅は，CR00の値によって決定され，TO1のパルス幅は，CR01の値によって決定されます。本機能を使用する場合は，キャプチャ／コンペア・コントロール・レジスタ0（CRC0）のCLR01ビットを0にする必要があります。

パルス周期とパルス幅は，次のようになります。

・PWM周期 ＝ 524288／f_{CLK}

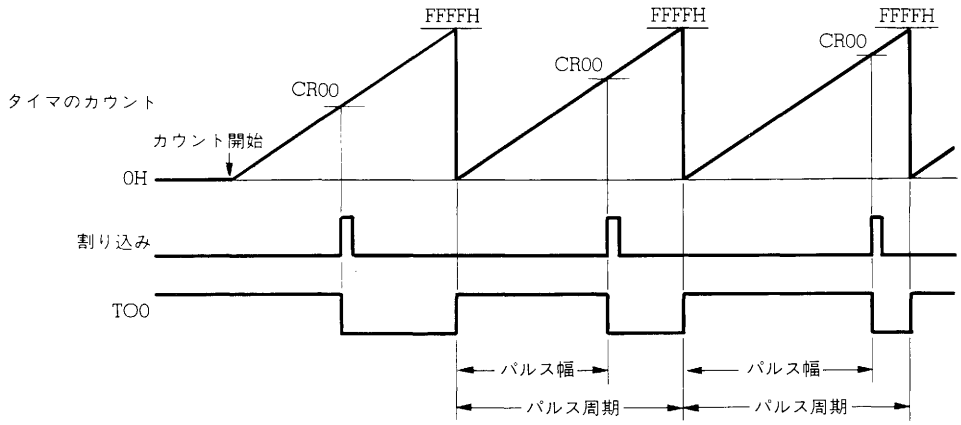
・PWMパルス幅 ＝（コンペア・レジスタの設定値注）×8＋2）／f_{CLK} ≒（コンペア・レジスタの設定値）×8/CLK

注　コンペア・レジスタには0は設定できません。

・デューティ＝$\frac{\text{PWMパルス幅}}{\text{PWM周期}}=\frac{(\text{コンペア・レジスタの設定値}\times 8+2)}{65536\times 8}\fallingdotseq\frac{\text{コンペア・レジスタの設定値}}{65536}$

注意　PWM出力では，パルス幅が近似式に比べてアクティブ・レベルで，f_{CLK}の2クロック分長く，インアクティブ・レベルがf_{CLK}の2クロック分短くなります。高精度の出力が必要な場合は，この点について考慮のうえご使用ください。

図7－14　PWMパルス出力



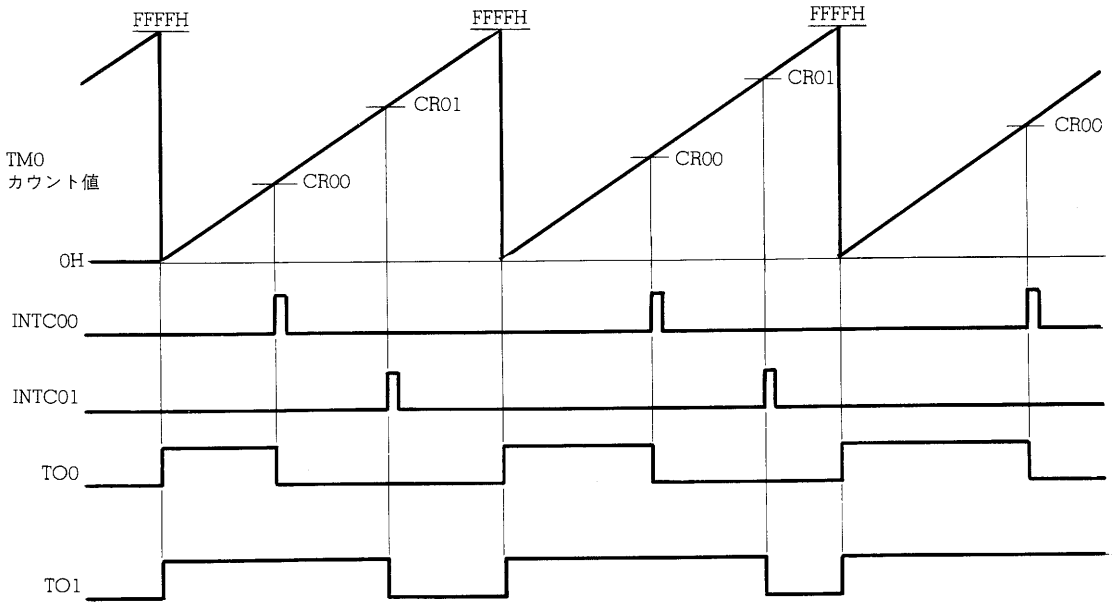
備考　ALV0＝0

表7－7　TO0，TO1のPWM周期（f_{CLK}＝6 MHz）

カウント・クロック	最小パルス幅	周　期	PWM周波数
f_{CLK}／8	1.3 μs	87.4 ms	11.4 Hz

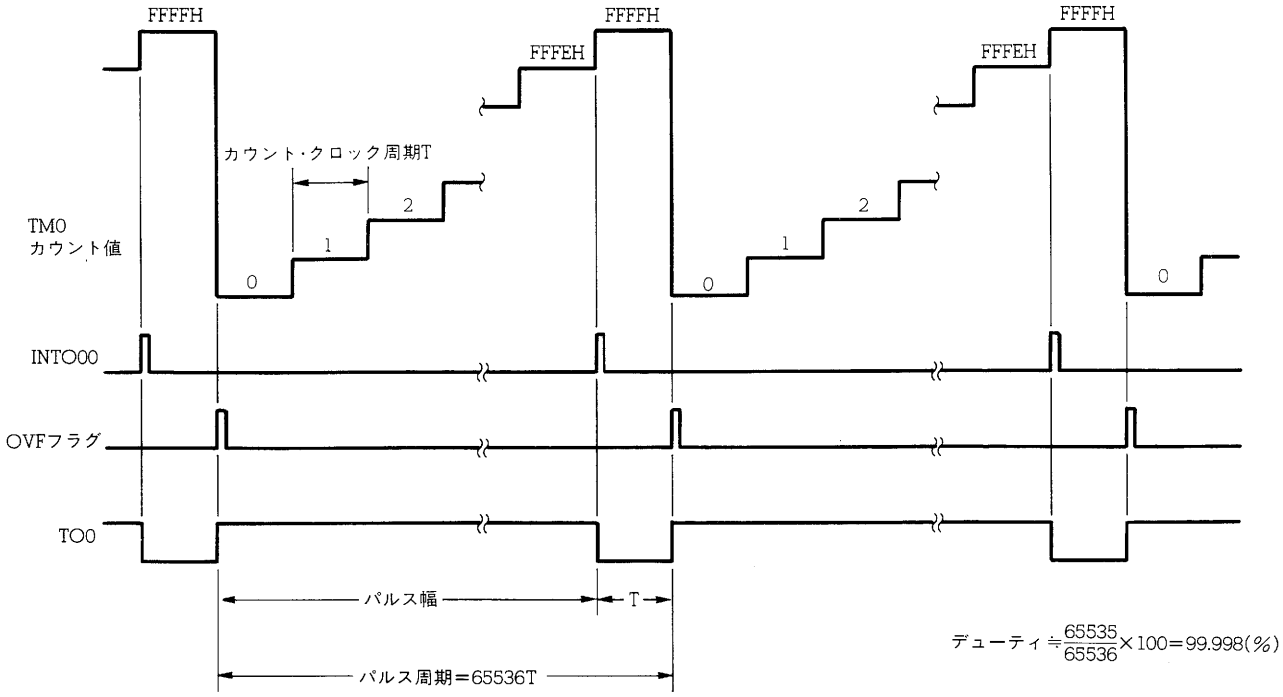
図7－15は，2チャネルのPWM出力の例です。また，図7－16は，コンペア・レジスタにFFFFHを設定した場合の動作です。

図7－15　TM0を用いたPWM出力例



備考　ALV0＝0，ALV1＝0

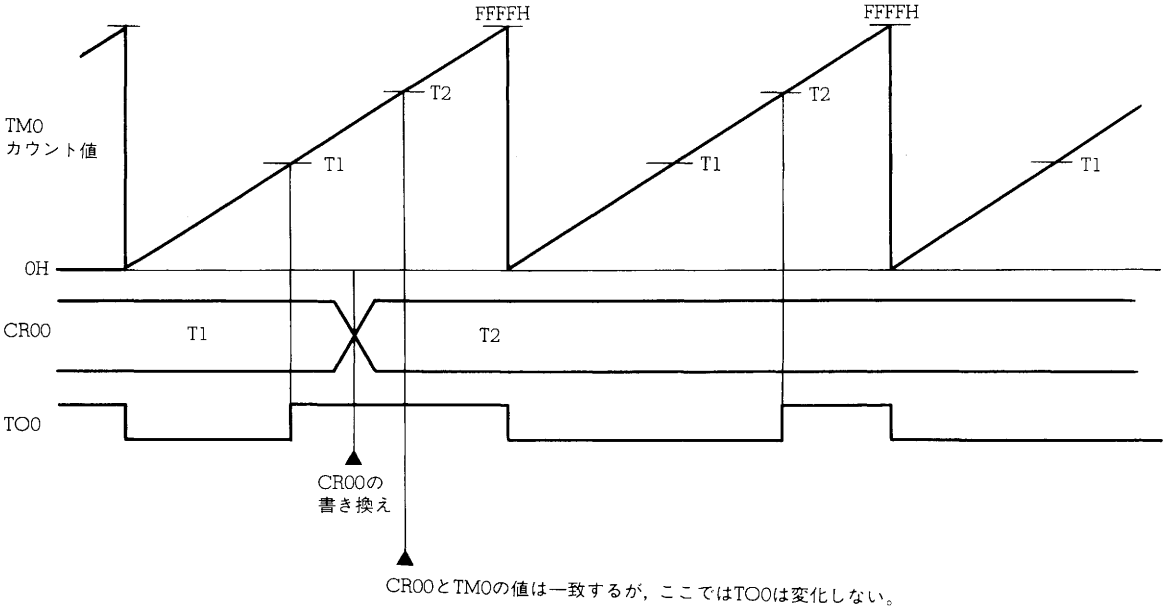
図7－16　CR00＝FFFFHのときのPWM出力例



備考　ALV0＝0

なお，PWM出力の1周期の期間中に，二度以上コンペア・レジスタ（CR00，CR01）の値が16ビット・タイマ0（TM0）の値と一致しても，タイマ出力（TO0，TO1）の出力レベルは変化しません。

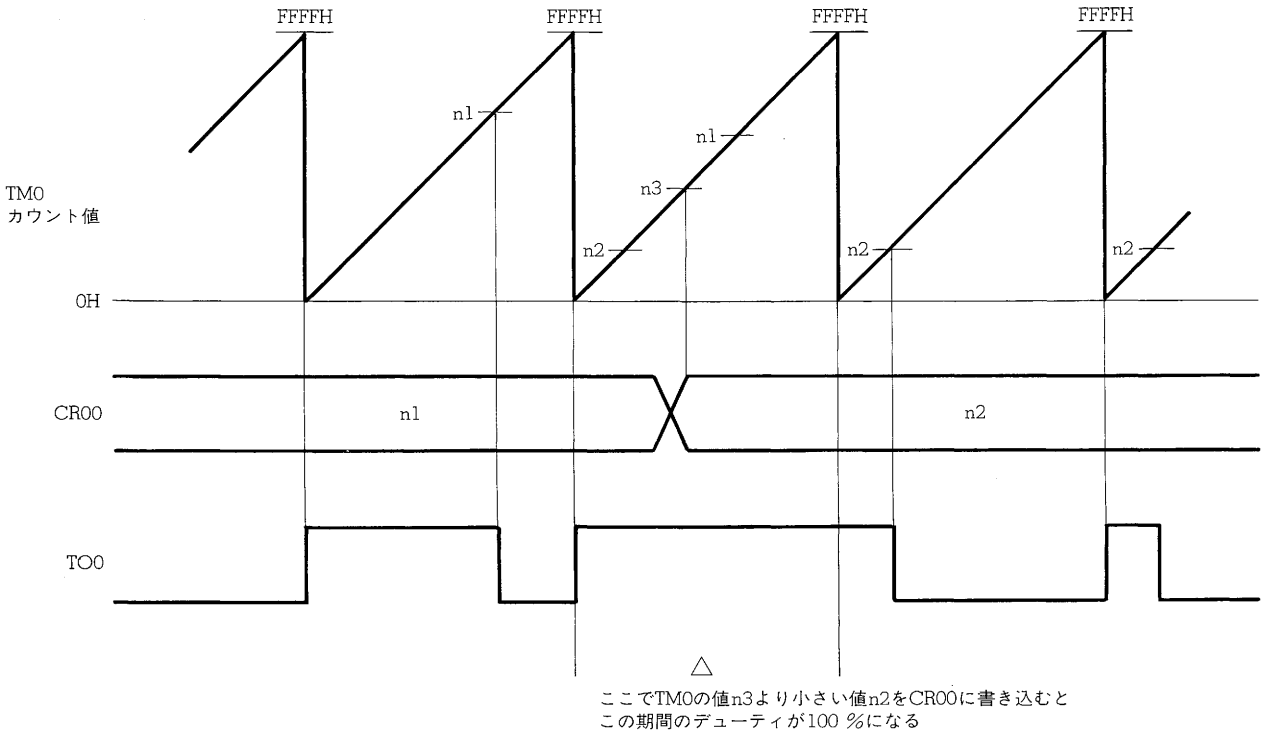
図7－17　コンペア・レジスタの書き換え例



注意1.　タイマ出力禁止時(ENTOn＝0，n＝0，1)のTOn(n＝0，1)端子の出力レベルは，ALVn(n＝0，1)に設定した値の反転値となります。したがって，PWM出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

2.　コンペア・レジスタ（CR00，CR01）の値を16ビット・タイマ0（TM0）より小さい値に設定すると，デューティ100％のPWM信号が出力されてしまいます。CR00，CR01の書き換えはTM0と書き換えを行うコンペア・レジスタ（CR00，CR01）との一致による割り込みで行ってください。

★ 図7－18　PWM出力時にデューティが100％になる例



備考　ALV0＝0

7.1.8　PPG出力

コンペア・レジスタCR01の値で決まる時間を1周期とし，コンペア・レジスタCR00の値で決まる時間をパルス幅とする矩形波を出力する機能です。PWM出力のPWM周期を可変にしたものです。この出力は，TO0からのみ出力することができます。

この機能を使用する場合は，キャプチャ/コンペア・コントロール・レジスタ(CRC0)のCLR01ビットを1にする必要があります。

パルス周期とパルス幅は，次のようになります。

・PPG周期 ＝（コンペア・レジスタCR01の設定値＋1）×8/f_{CLK}

・PPGパルス幅 ＝（(コンペア・レジスタCR00の設定値)×8＋2)/f_{CLK} ≒ CR00の設定値×8/f_{CLK}

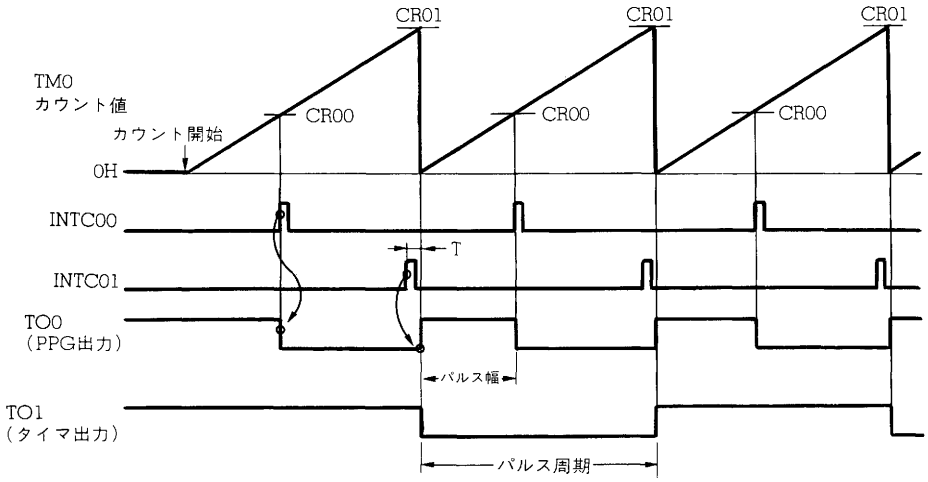
ただし，CR00 ≦ CR01

・デューティ ＝ $\frac{\text{PPGパルス幅}}{\text{PPG周期}} = \frac{\text{CR00の設定値}\times 8+2}{(\text{CR01の設定値}+1)\times 8} \fallingdotseq \frac{\text{CR00の設定値}}{\text{CR01の設定値}+1}$

注意　PPG出力では，パルス幅が近似式に比べてアクティブ・レベルで，f_{CLK}の2クロック分長く，インアクティブ・レベルがf_{CLK}の2クロック分短くなります。高精度の出力が必要な場合や，PPGパルス周期が短い場合には，この点について考慮のうえご使用ください。

図7－19は，16ビット・タイマ0(TM0)を用いたPPG出力の例です。また，図7－20はCR00＝CR01に設定した場合の，図7－21は，CR00＝0000Hに設定した場合の例です。

図7－19　TM0を用いたPPG出力例



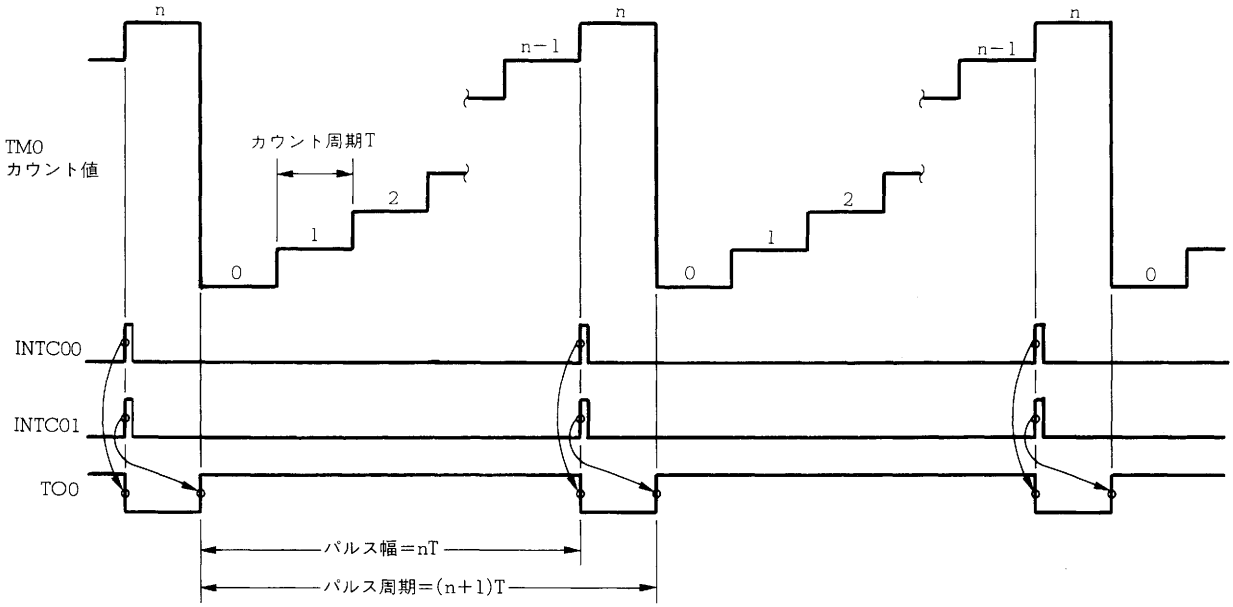
備考　ALV0＝0，ALV1＝0

表7－8　TO0のPPG出力(f_{CLK}＝6 MHz)

カウント・クロック	最小パルス幅注	繰り返し周期	PPG周波数
f_{CLK}／8	1.3 μs	2.6 μs-87.4 ms	385 kHz-11.4 Hz

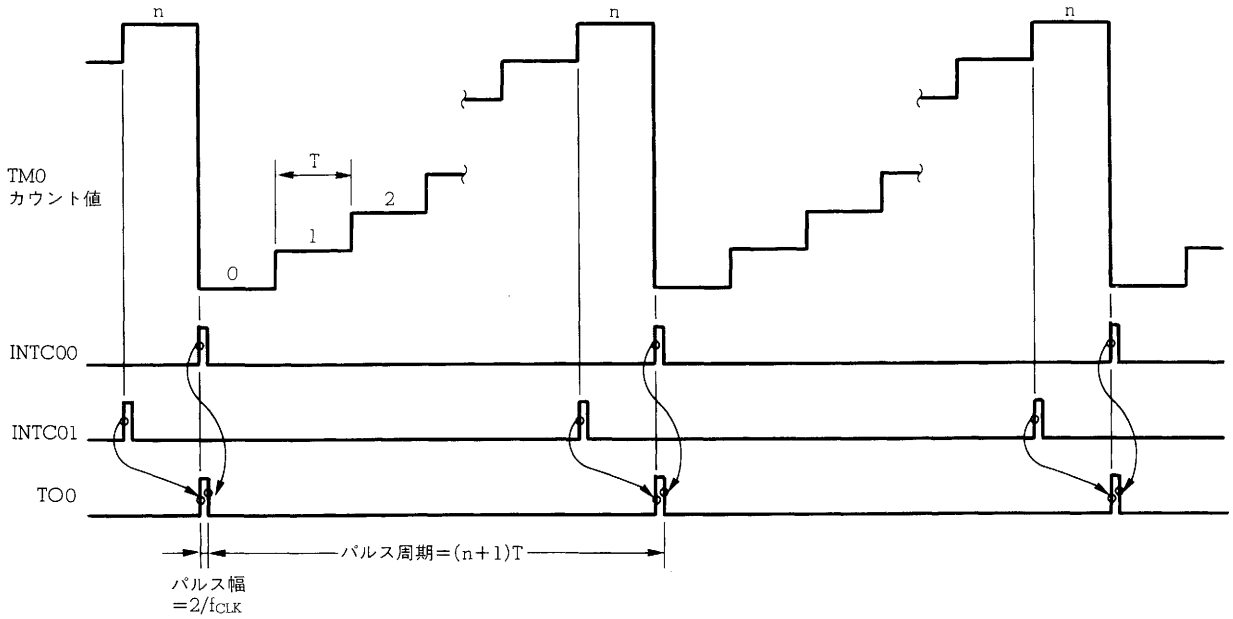
注　CR00＝0のときを除く

図7－20　CR00＝CR01のときのPPG出力例



備考　ALV0＝0

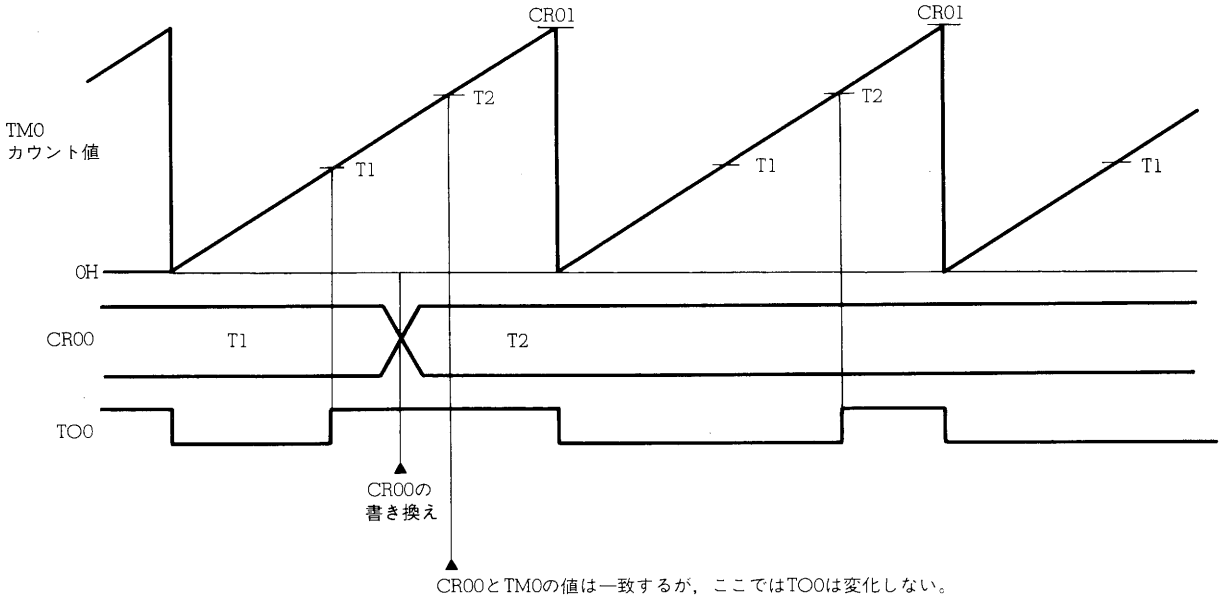
図7－21　CR00＝0000HのときのPPG出力例



備考　ALV0＝0

なお，PPG出力の1周期の期間中に二度以上コンペア・レジスタ（CR00，CR01）の値が16ビット・タイマ0（TM0）の値と一致しても，タイマ出力（TO0，TO1）の出力レベルは変化しません。

図7－22　コンペア・レジスタの書き換え例

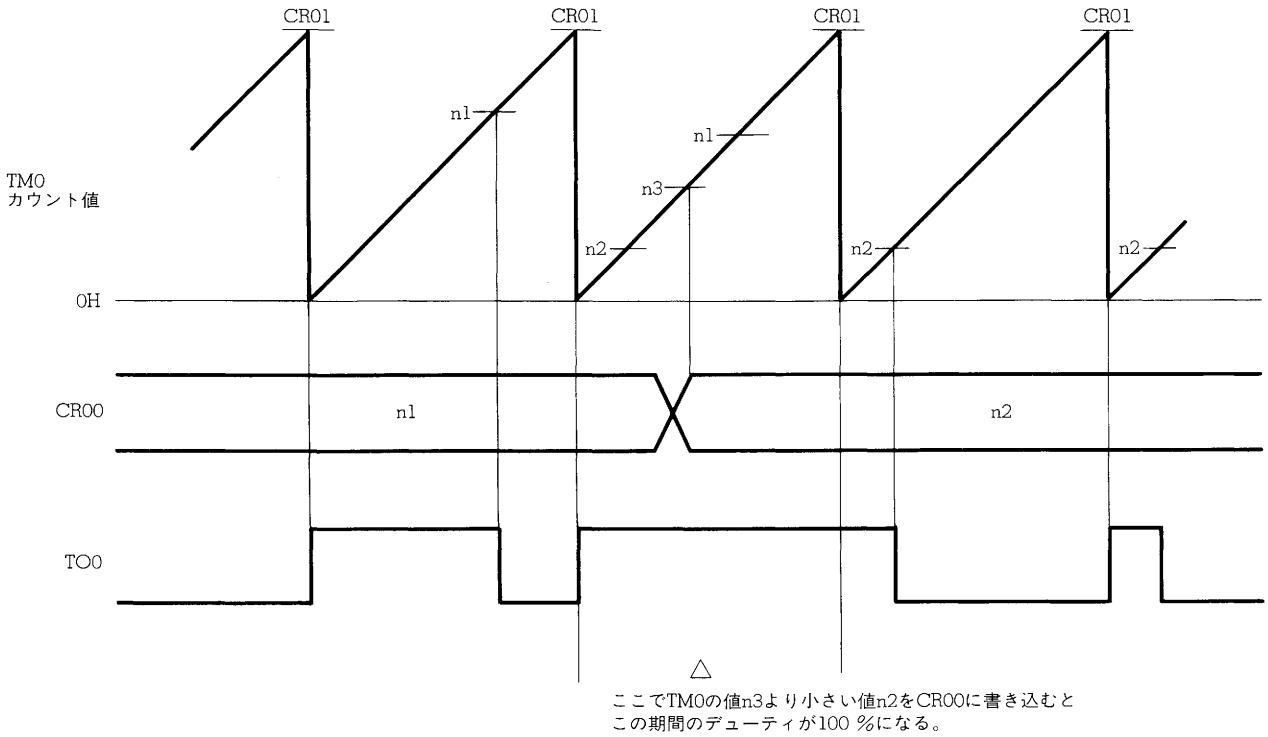


備考　ALV0＝1

注意1.　タイマ出力禁止時(ENTOn＝0，n＝0，1)のTOn(n＝0，1)端子の出力レベルは，ALVn(n＝0，1)に設定した値の反転値となります。したがって，PPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

注意2.　コンペア・レジスタ（CR00）と16ビット・タイマ0（TM0）が一致するより前にCR00にTM0以下の値を書き込むと，そのPPG周期のデューティが100％になってしまいます。CR00の書き換えは，TM0とCR00との一致による割り込みで行うようにするなどしてください。

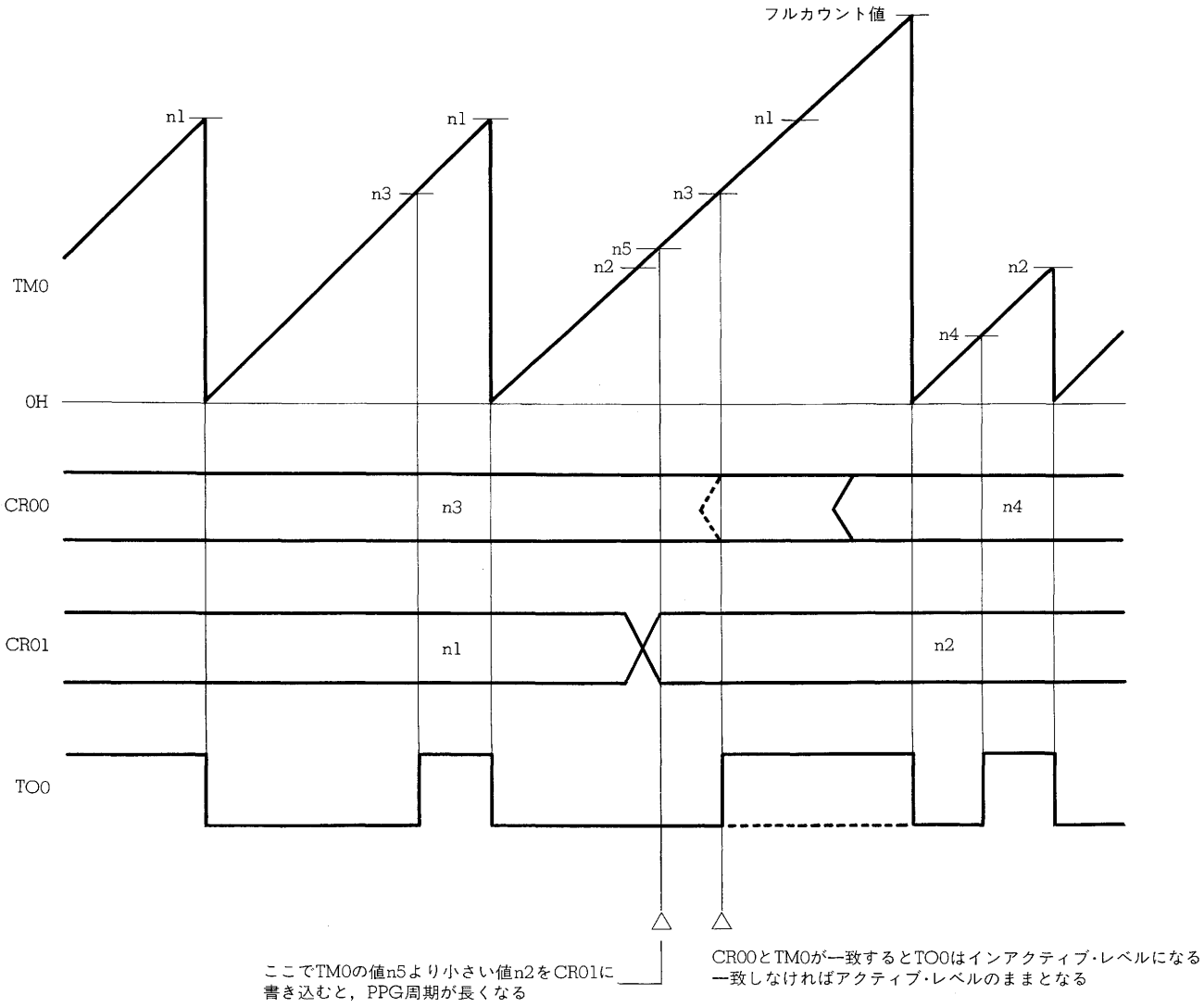
図7－23　PPG出力時にデューティが100％になる例　★



備考　ALV0＝0

注意3.　コンペア・レジスタ（CR01）を現在の値より小さい値に変更する場合に，CR01の値を16ビット・タイマ0（TM0）の値より小さくすると，そのときのPPG周期がTM0がフルカウントする時間にまで長くなってしまいます。このときの出力レベルは，コンペア・レジスタ（CR00）とTM0が一致したあとにCR01を書き換えた場合は，TM0がオーバフローして0になるまでインアクティブ・レベルとなり，その後正常なPPG出力に戻ります。CR00とTM0が一致する前にCR01を書き換えた場合は，CR00とTM0が一致するまでアクティブ・レベルを出力します。TM0がオーバフローし，0になる前にCR00とTM0が一致した場合は，その時点でインアクティブ・レベルを出力します。TM0がオーバフローし，0になった時点でアクティブ・レベルを出力し，正常なPPG出力に戻ります。
CR01の書き換えは，TM0とCR01との一致割り込みで行うようにするなどしてください。

★　図7－24　PPG出力の周期が長くなる例



備考　ALV0＝1

注意4.　割り込み受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき(PPG周期が極端に短いとき）は，注意2，3で示した方法では対策がとれません。ほかの方法（すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど）を考えてください。

7.1.9　ソフト・トリガド・ワンショット・パルス出力

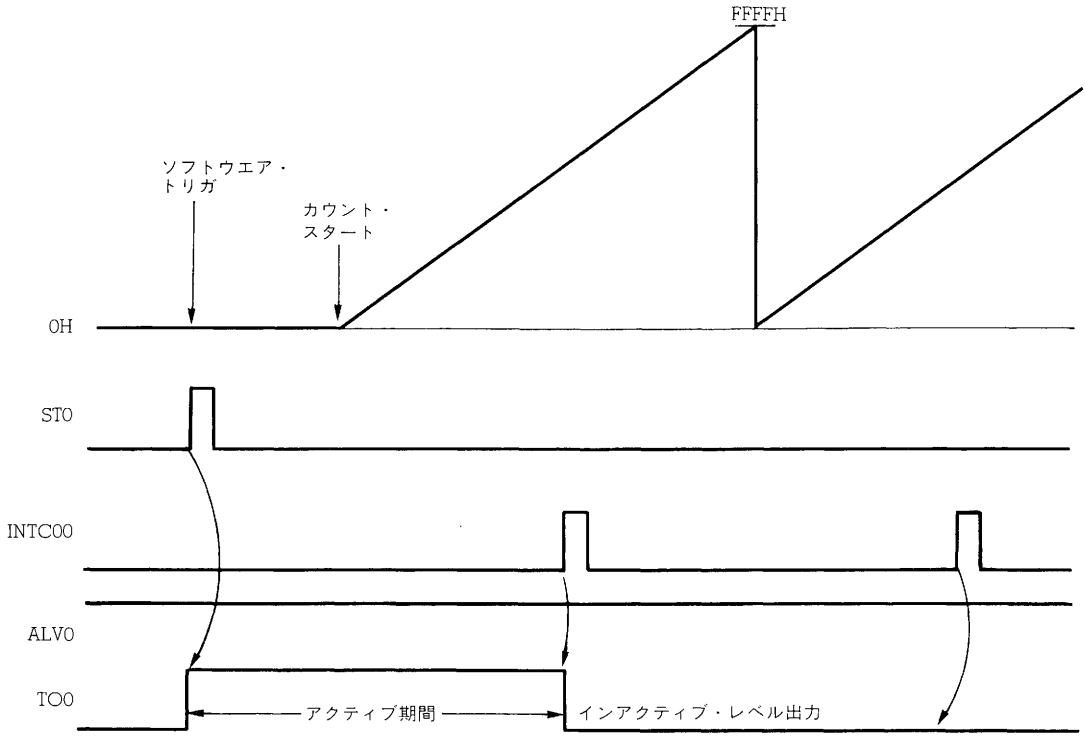
ソフト・トリガド・ワンショット・パルス出力は，ワンショット・パルスをソフトウエアにより出力するモードです。

ワンショット・パルス出力制御レジスタ（OSPC）のSTn（n=0，1）をセット(1)することにより，TOn（n=0，1）はアクティブ・レベルになります。その後，TM0の値とCR0n（n=0，1）の値が一致するまでTOnはアクティブ・レベルを保持し，TM0とCR0nの値が一致すると，TOnはインアクティブ・レベルに変化します。その後，再びSTnビットをセットするまでTOnはインアクティブ・レベルを保持します。また，RTn（n=0，1）ビットをセット(1)することによってもTOnをインアクティブ・レベルにすることができ，同様に再びSTnビットをセットするまでTOnはインアクティブ・レベルを保持します。

TO0，TO1に対して独立に制御することができます。

図7-25は，ソフト・トリガド・ワンショット・パルス出力の例です。

図7-25　ソフト・トリガド・ワンショット・パルス出力例



注意　STnとRTnに同時に“1”を書き込まないでください。

7.1.10 使用例

(1) インターバル・タイマとしての動作(1)

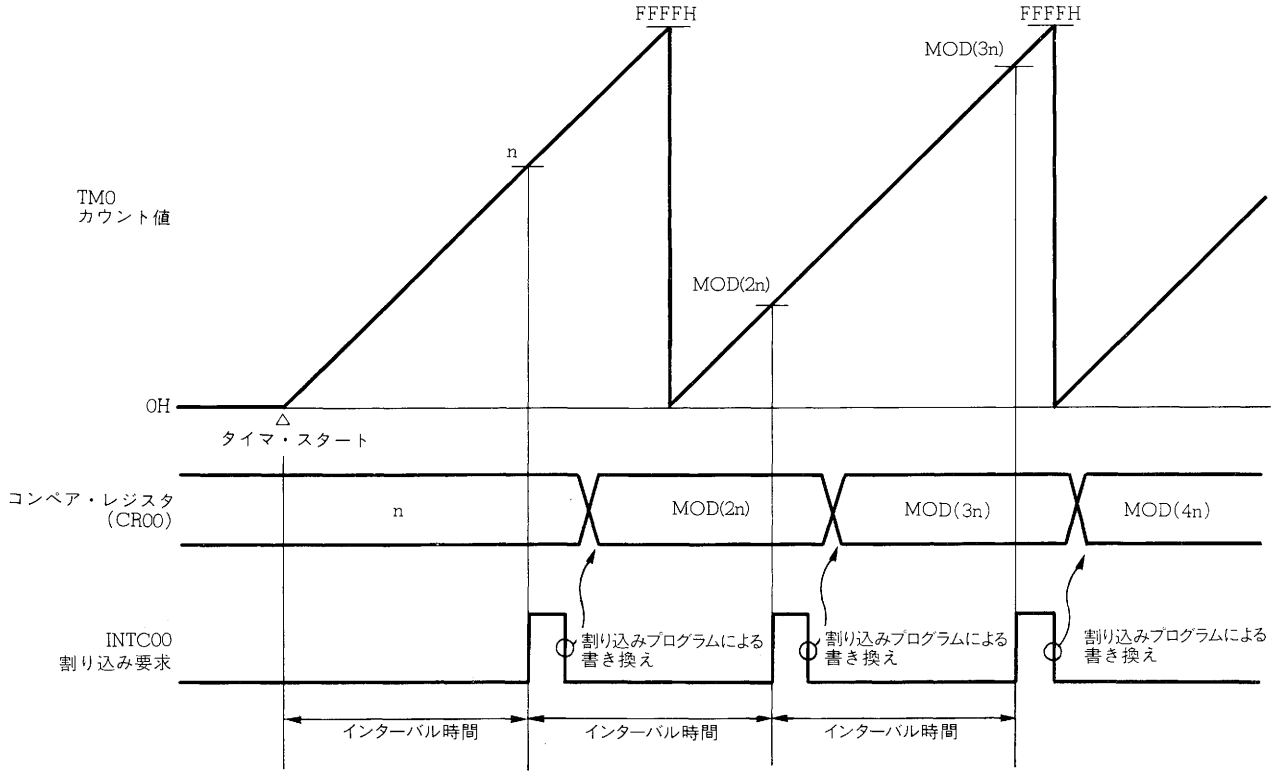
16ビット・タイマ0（TM0）をフリー・ランニングさせ，割り込み処理ルーチン中でコンペア・レジスタ（CR00，CR01）に一定の値を加算することで，加算する一定の値を周期とするインターバル・タイマとして動作します（**図7－26**参照）。

このインターバル・タイマは，1.3 μsの分解能で最大87.4 msまでのカウントができます（内部システム・クロックf_{CLK}＝6 MHz）。

また，16ビット・タイマ0（TM0）1本にコンペア・レジスタが2本ついているため，2種類の周期のインターバル・タイマを作ることができます。

図7－27に制御レジスタの設定内容，図7－28にその設定手順，図7－29に割り込み処理ルーチン内での処理を示します。

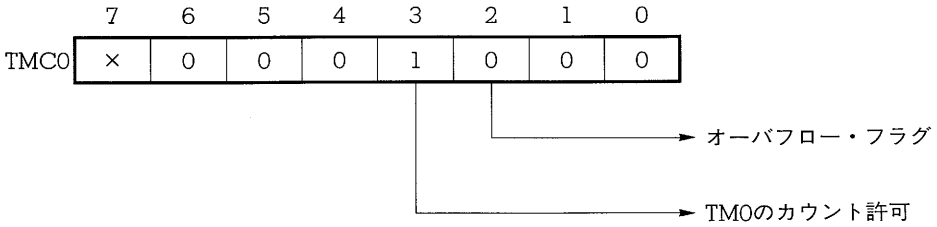
図7－26　インターバル・タイマ動作(1)のタイミング



備考　インターバル時間＝n×8/f_{CLK}，1≦n≦FFFFH

図7－27　インターバル・タイマ動作(1)における制御レジスタの設定内容

★ (a) タイマ・コントロール・レジスタ0 (TMC0)



(b) キャプチャ／コンペア・コントロール・レジスタ0(CRC0)

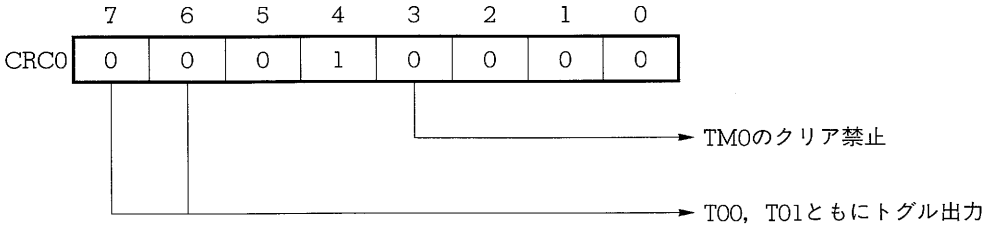


図7－28　インターバル・タイマ動作(1)の設定手順

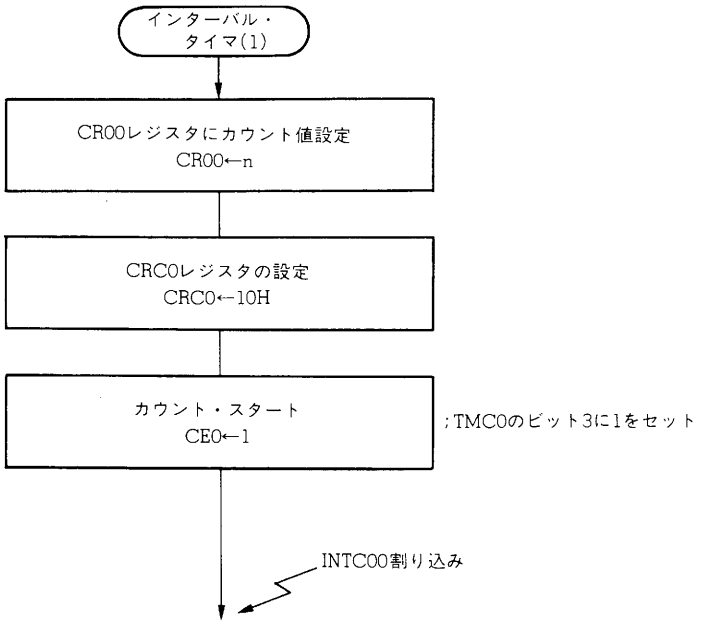
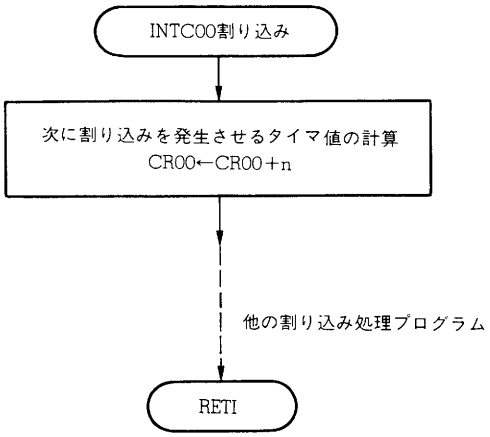


図7－29　インターバル・タイマ動作(1)の割り込み要求処理



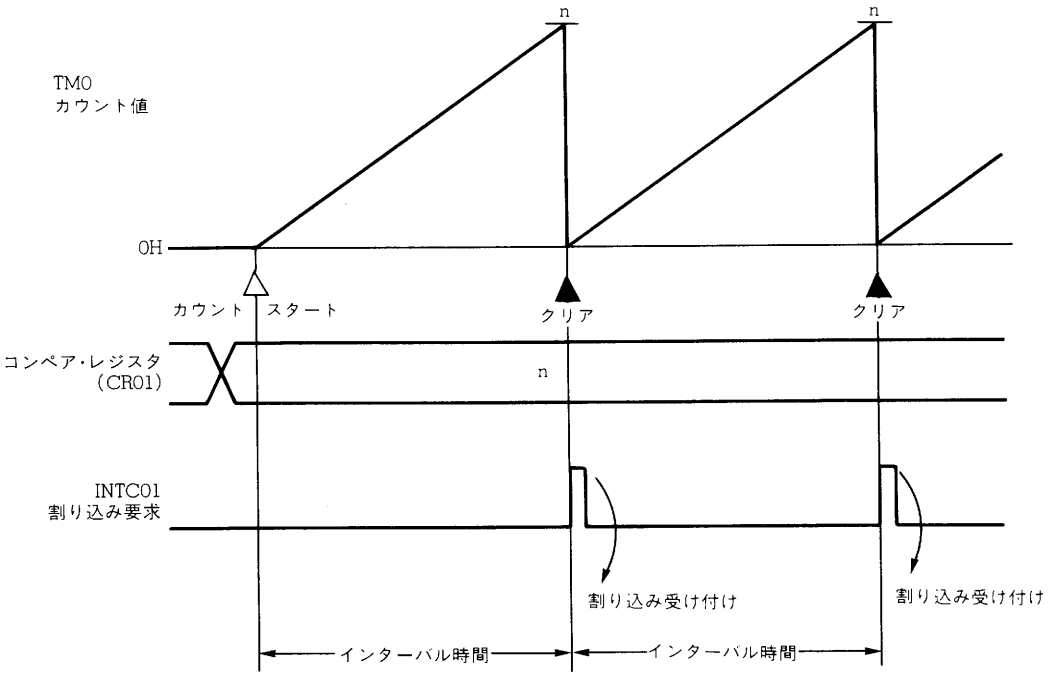
(2) インターバル・タイマとしての動作(2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（**図7－30**参照）。

このインターバル・タイマは，1.3 μsの分解能で1.3 μsから87.4 msまでのカウントができます（内部システム・クロックf_{CLK}＝6 MHz）。

図7－31に制御レジスタの設定内容を，図7－32にその設定手順を示します。

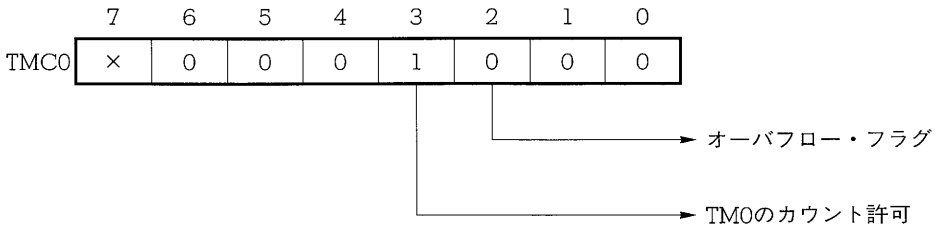
図7－30　インターバル・タイマ動作(2)のタイミング



備考　インターバル時間＝(n＋1)×8/f_{CLK}；0≦n≦FFFFH

図7－31　インターバル・タイマ動作(2)における制御レジスタの設定内容

★　(a) タイマ・コントロール・レジスタ0 (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ0(CRC0)

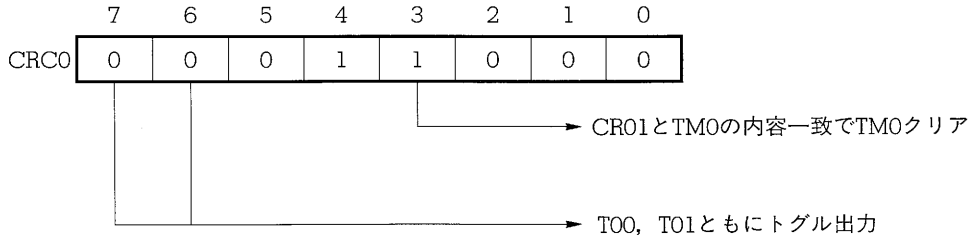
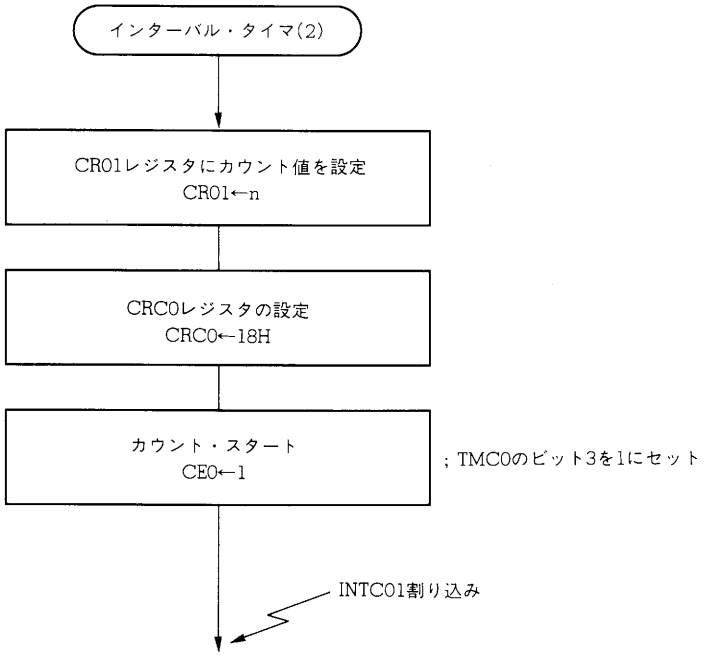


図7－32　インターバル・タイマ動作(2)の設定手順



(3) パルス幅測定としての動作

パルス幅測定は，外部割り込み要求（INTP3）入力端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

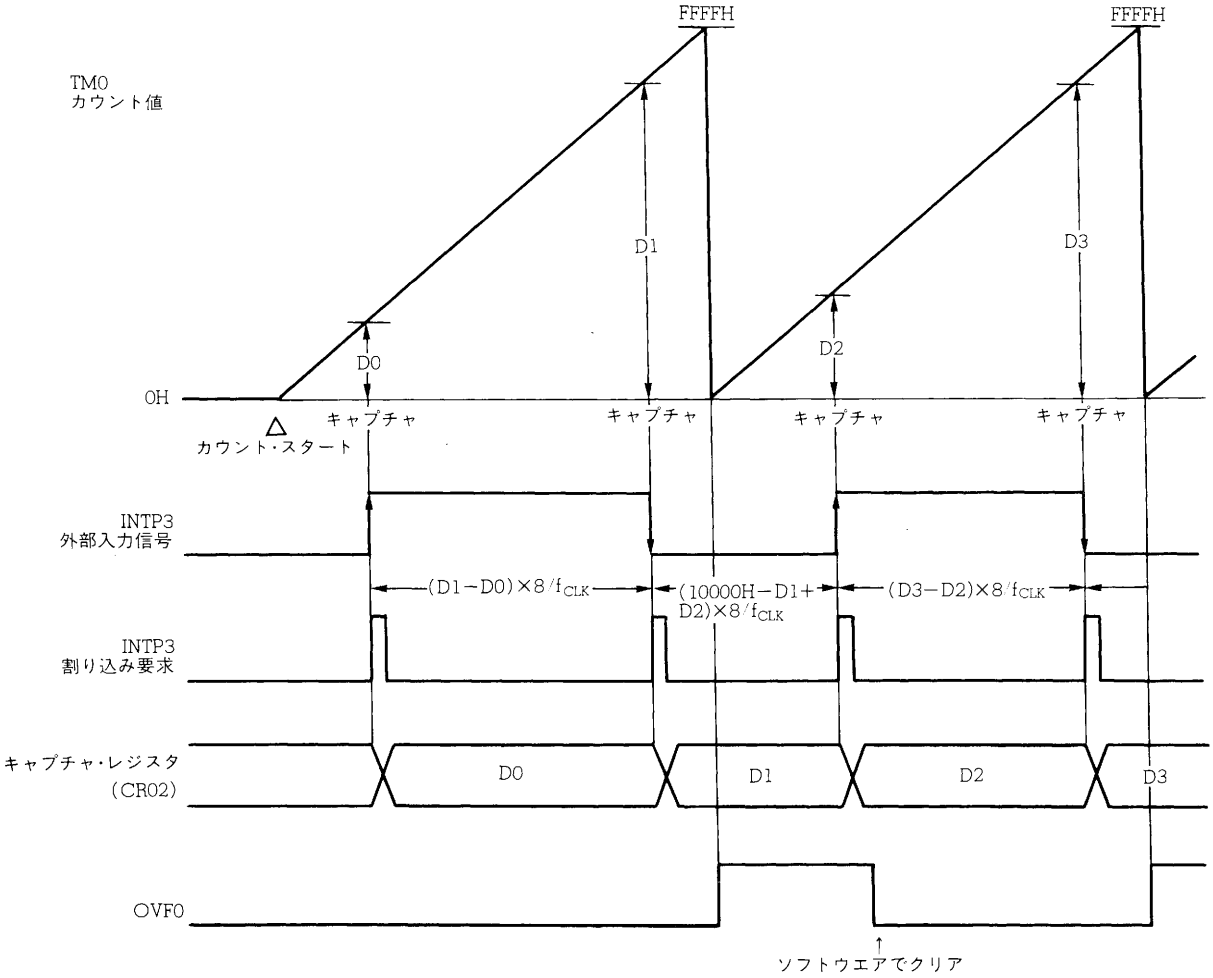
INTP3端子に入力するパルス幅はハイ・レベル，ロウ・レベルとも12システム・クロック（2 μs：f_{CLK}＝6 MHz）以上必要で，これ以下の場合には有効エッジが検出されずキャプチャ動作を行いません。

このパルス幅測定では，分解能1.3 μsで2.6 μsから87.4 msのパルス幅を測定することができます（f_{CLK}＝6 MHz）。

図7－33に示すようにINTP3端子入力の有効エッジ（立ち上がり，立ち下がりの両エッジに指定）に同期して，カウント中の16ビット・タイマ0（TM0）の値をキャプチャ・レジスタ（CR02）に取り込み，保持します。パルス幅は，n回目の有効エッジ検出によりCR02レジスタに取り込み，保持されているTM0のカウント値（Dn）とn－1回目の有効エッジ検出によるカウント値（D_{n-1}）との差の値とカウント・クロック（8/f_{CLK}）との積から求めます。

そのときの制御レジスタの設定内容を図7－34に，設定手順を図7－35に示します。

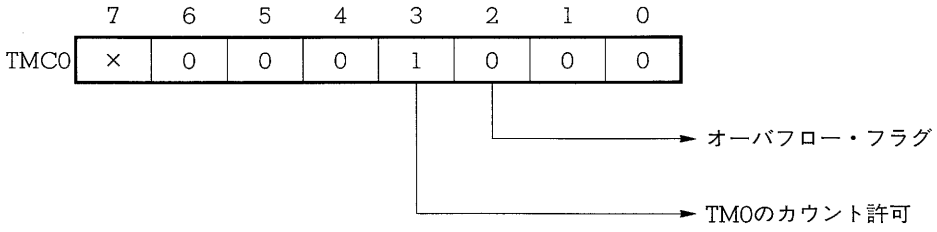
図7－33　パルス幅測定のタイミング



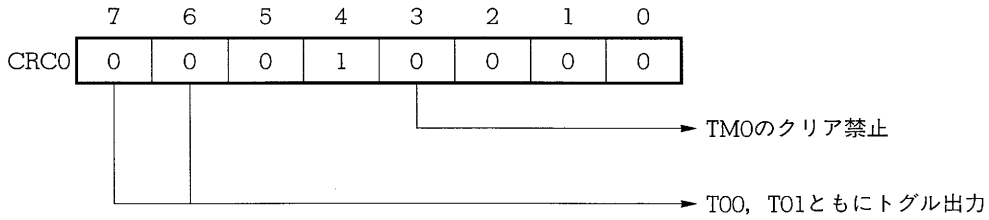
備考　Dn：TM0のカウント値（n＝0，1，2，…）

図7-34　パルス幅測定における制御レジスタの設定内容

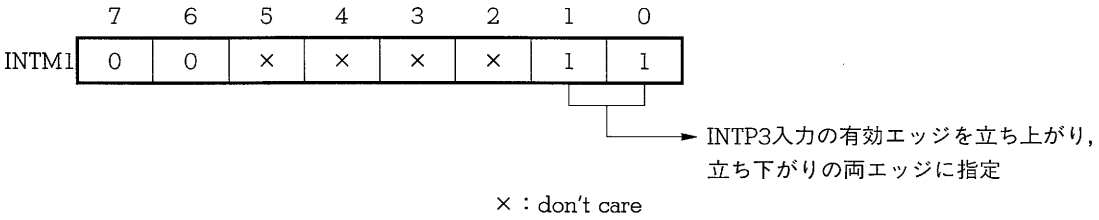
★ **(a) タイマ・コントロール・レジスタ0 (TMC0)**



(b) キャプチャ／コンペア・コントロール・レジスタ0(CRC0)



(c) 外部割り込みモード・レジスタ1(INTM1)



× : don't care

図7－35　パルス幅測定の設定手順

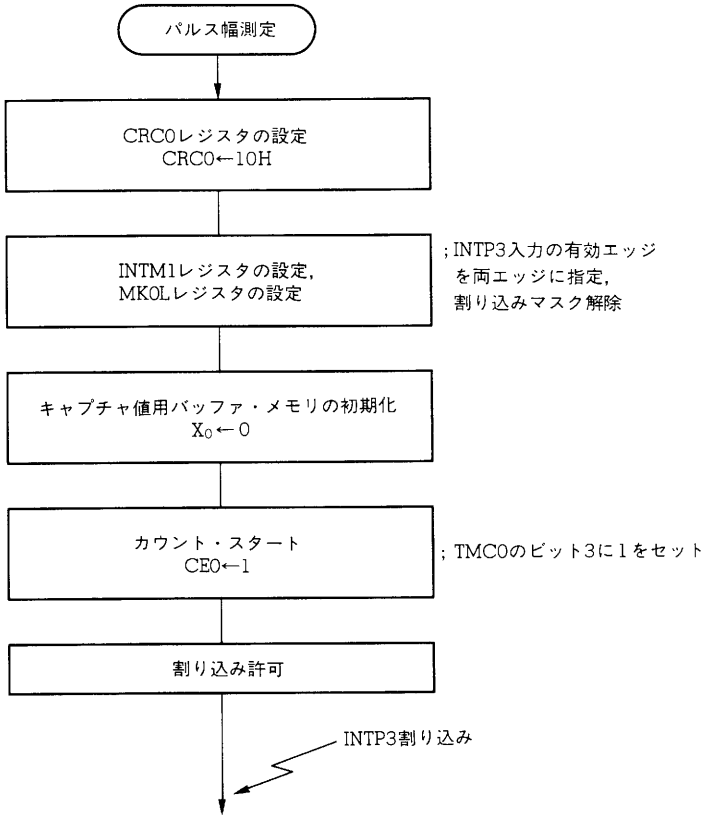
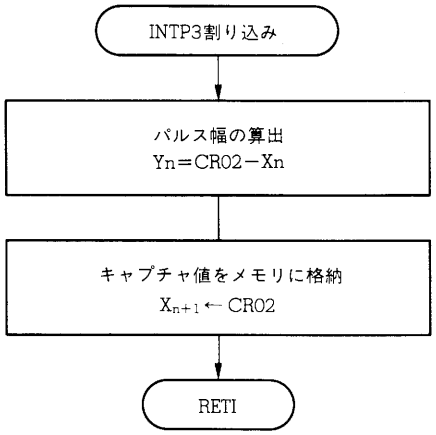


図7－36　パルス幅を算出する割り込み要求処理



(4) PWM出力としての動作

PWM出力は，コンペア・レジスタに設定した値で決まるデューティ比のパルスを出力します（**図7－37**参照）。

このPWM出力は，1/65536-65535/65536のデューティ比を1/65536単位で変化させることができます。

また，16ビット・タイマ0（TM0）1本にコンペア・レジスタが2本ついているため2種類のPWM信号を出力できます。

図7－38に制御レジスタの設定内容，図7－39にその設定手順，図7－40にデューティを変化させる場合の手順を示します。

図7－37　16ビット・タイマ/カウンタのPWM信号出力例

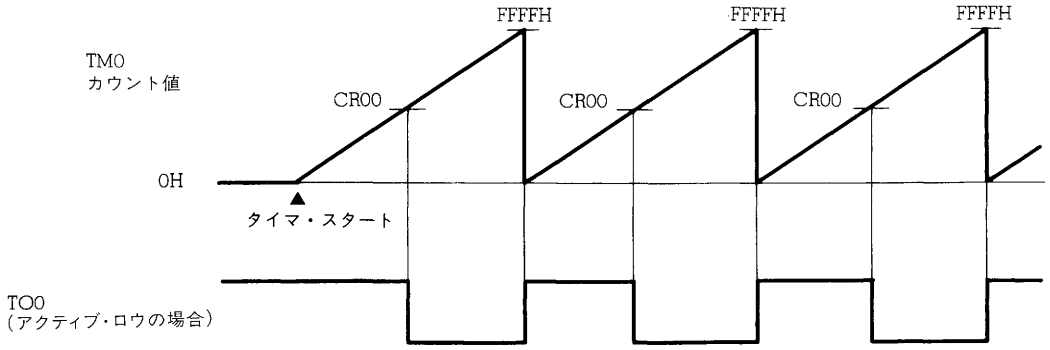
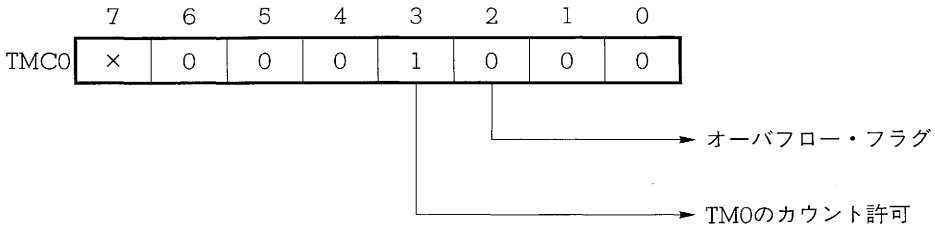
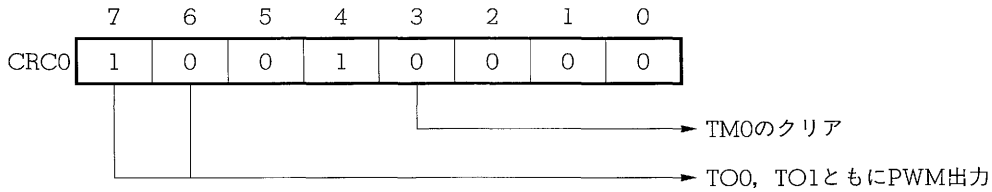


図7－38　PWM出力動作における制御レジスタの設定内容

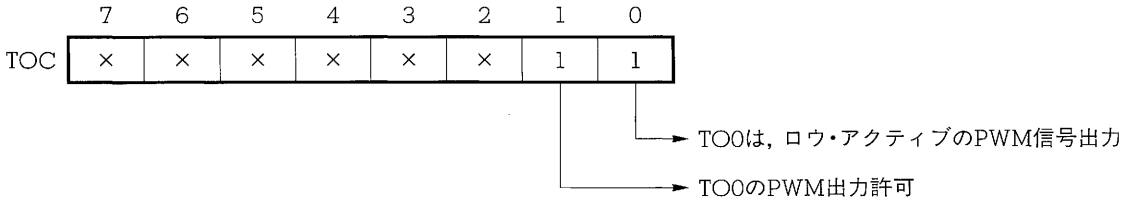
(a) タイマ・コントロール・レジスタ0（TMC0）　★



(b) キャプチャ/コンペア・コントロール・レジスタ0（CRC0）



(c) タイマ出力コントロール・レジスタ（TOC）



(d) ポート3モード・コントロール・レジスタ（PMC3）

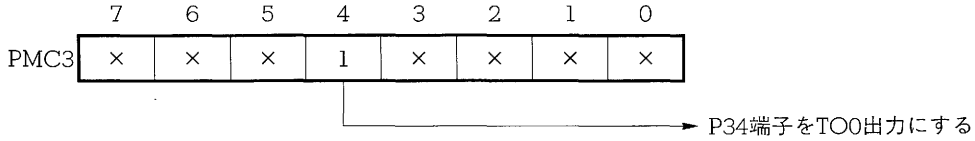


図7－39　PWM出力の設定手順

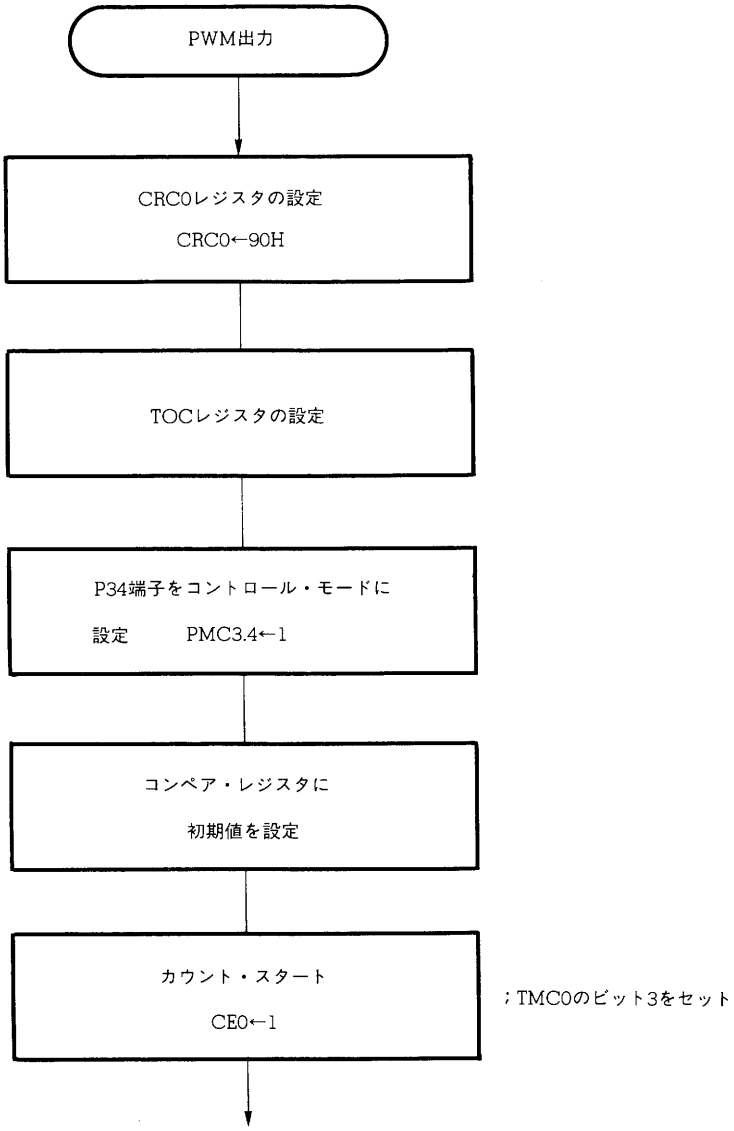
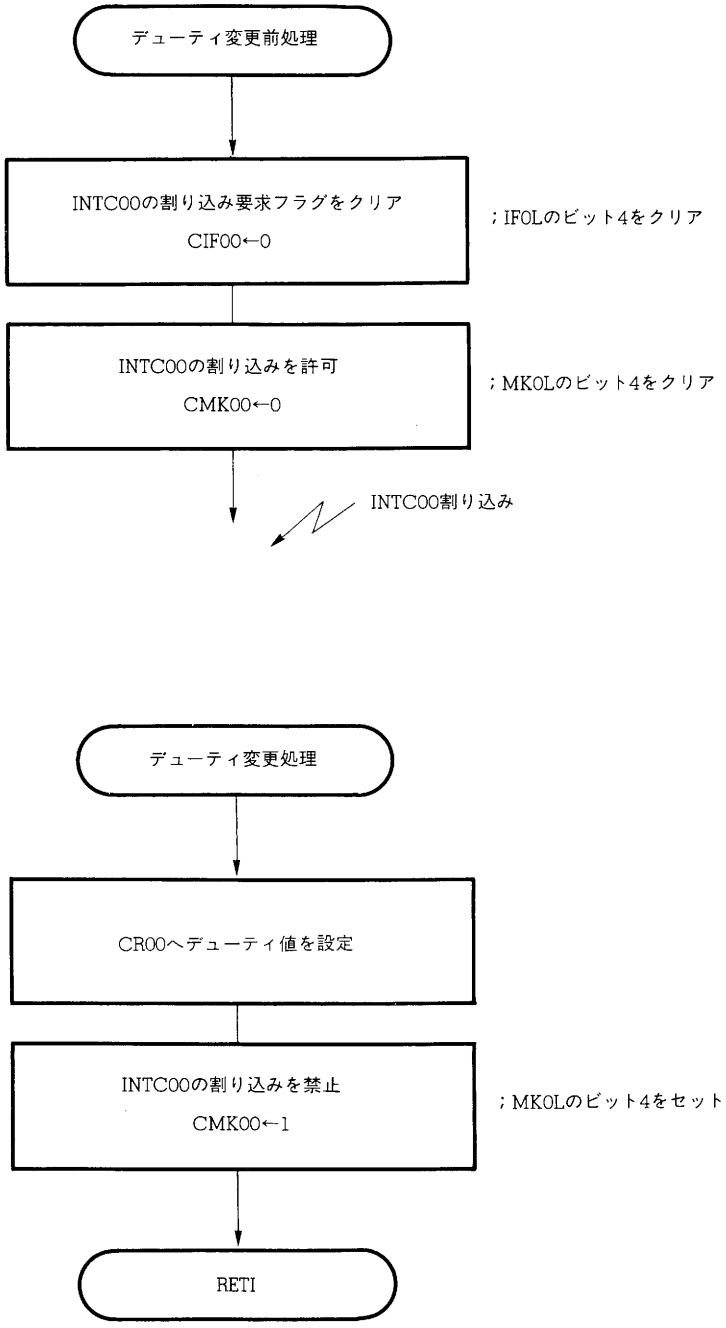


図7－40　PWM出力のデューティ変更



(5) PPG出力としての動作

PPG出力は，コンペア・レジスタに設定した値で決まる周期と，デューティ比のパルスを出力します（**図7－41**参照）。

図7－42に制御レジスタの設定内容，図7－43にその設定手順，図7－44にデューティを変化させる場合の手順を示します。

図7－41　16ビット・タイマ/カウンタのPPG信号出力例

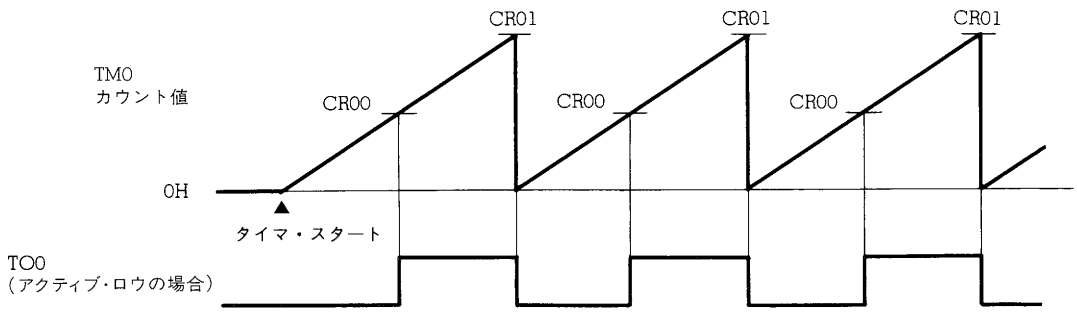


図7－42　PPG出力動作における制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ0（TMC0） ★

	7	6	5	4	3	2	1	0
TMC0	×	0	0	0	1	0	0	0

→ オーバフロー・フラグ

→ TM0のカウント許可

(b) キャプチャ/コンペア・コントロール・レジスタ0（CRC0）

	7	6	5	4	3	2	1	0
CRC0	1	1	0	1	1	0	0	0

→ TM0とCR01の一致でクリア

→ TO0はPPG出力

(c) タイマ出力コントロール・レジスタ（TOC）

	7	6	5	4	3	2	1	0
TOC	×	×	×	×	×	×	1	1

→ TO0は，ロウ・アクティブのPPG信号出力

→ TO0のPPG出力許可

(d) ポート3モード・コントロール・レジスタ（PMC3）

	7	6	5	4	3	2	1	0
PMC3	×	×	×	1	×	×	×	×

→ P34端子をTO0出力にする

図7－43　PPG出力の設定手順

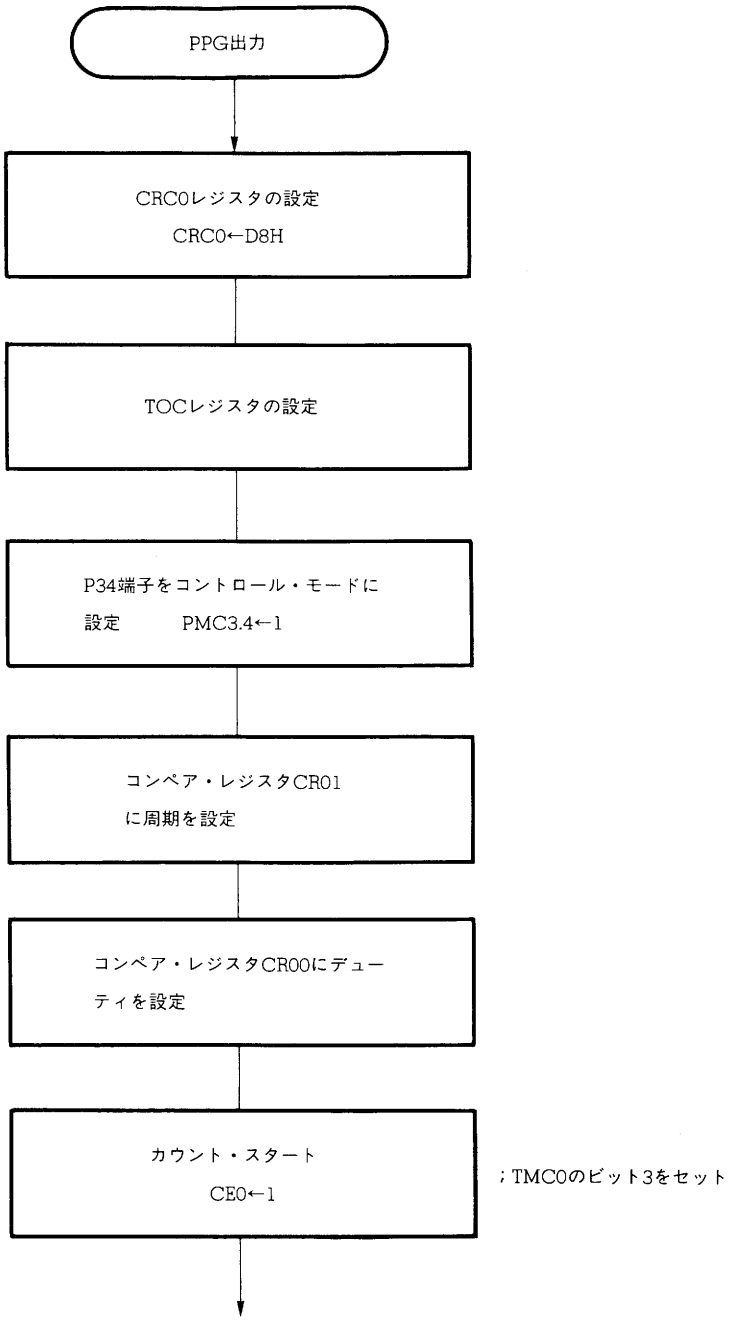
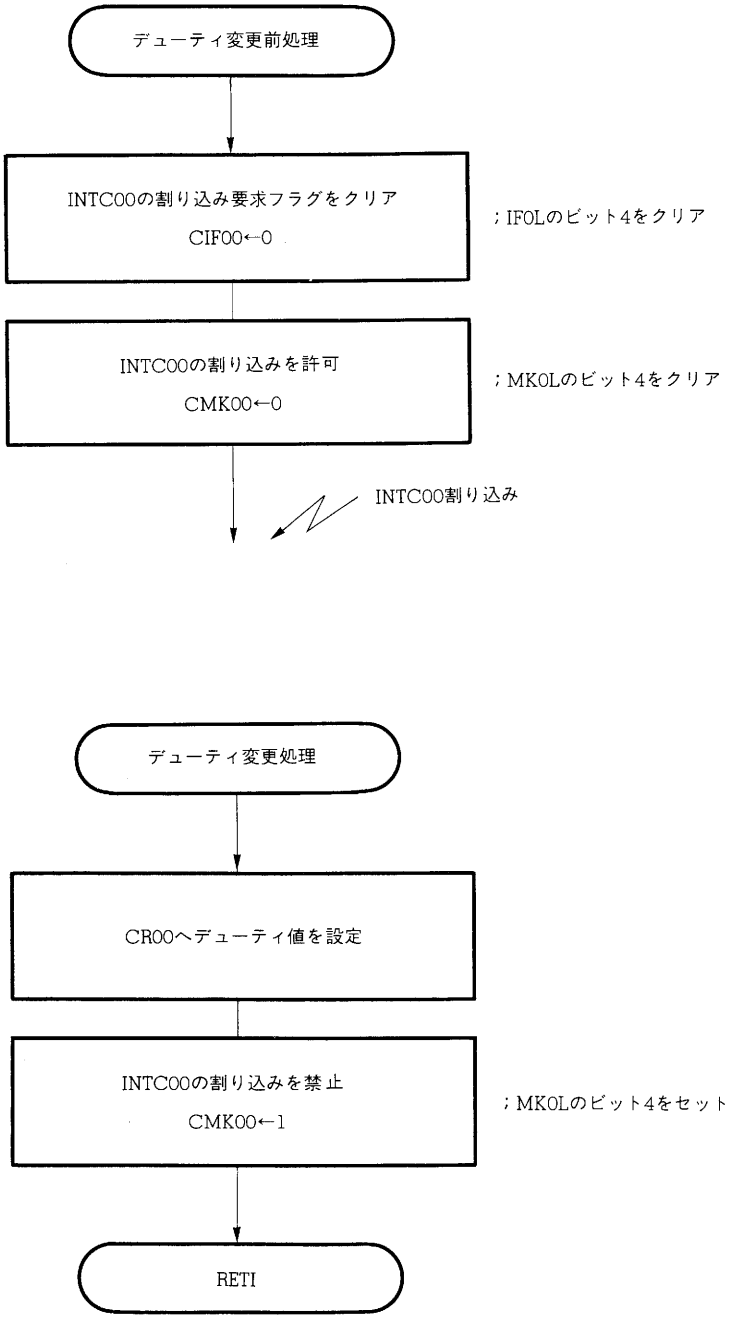


図7－44　PPG出力のデューティ変更



(6) ソフト・トリガド・ワンショット・パルス出力例

ソフト・トリガド・ワンショット・パルス出力は，ソフトウエアでトリガをかけてワンショット・パルスを出力するモードです（**図7－45**参照）。

図7－46に制御レジスタの設定内容，図7－47にその設定手順を示します。

図7－45　16ビット・タイマ/カウンタのワンショット・パルス出力例

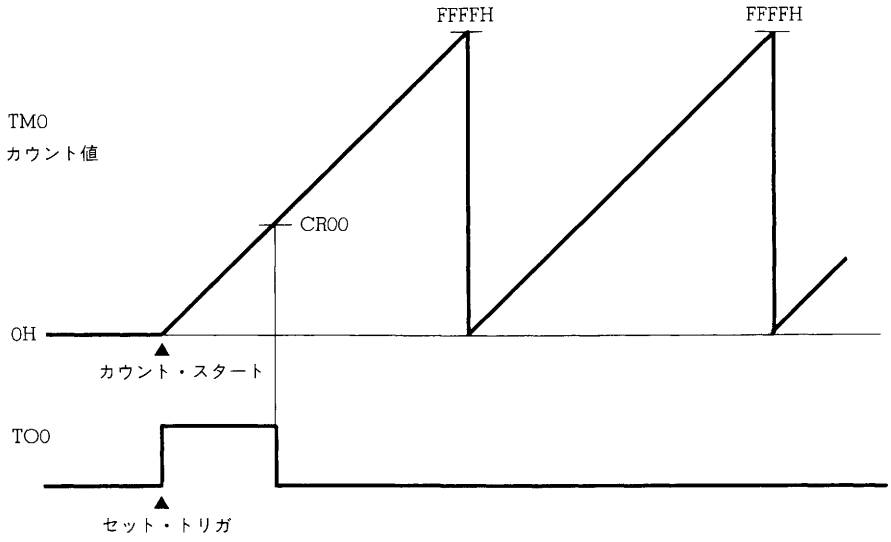


図7－46　ワンショット・パルス出力における制御レジスタ設定内容

★

(a) タイマ・コントロール・レジスタ0（TMC0）

	7	6	5	4	3	2	1	0
TMC0	×	0	0	0	1	0	0	0

→ オーバフロー・フラグ

→ TM0のカウント許可

(b) ワンショット・パルス出力制御レジスタ（OSPC）

	7	6	5	4	3	2	1	0
OSPC	0	0	0	×	0	0	0	1

→ TO0はワンショット・パルス出力

(c) キャプチャ/コンペア・コントロール・レジスタ0（CRC0）

	7	6	5	4	3	2	1	0
CRC0	0	0	0	1	0	0	0	0

→ TM0のクリア禁止

→ TO0，TO1ともトグル出力

(d) タイマ出力コントロール・レジスタ（TOC）

	7	6	5	4	3	2	1	0
TOC	×	×	×	×	×	×	1	1

→ TO0は，ハイ・アクティブのワンショット・パルス出力信号

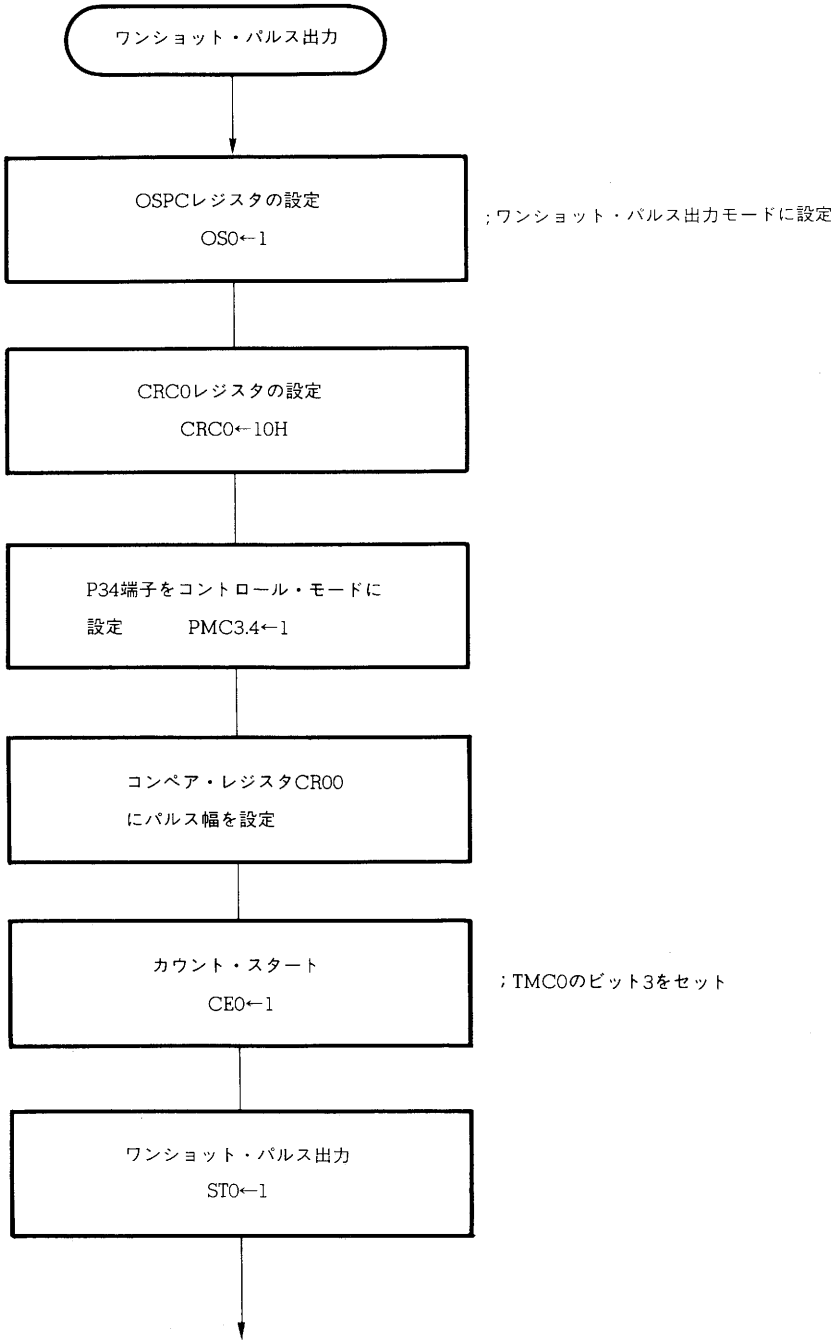
→ TO0のワンショット・パルス出力許可

(e) ポート3モード・コントロール・レジスタ（PMC3）

	7	6	5	4	3	2	1	0
PMC3	×	×	×	1	×	×	×	×

→ P34端子をTO0出力にする

図7-47　ワンショット・パルス出力の設定手順



7.2　8ビット・タイマ／カウンタ1

7.2.1　機　　能

8ビット・タイマ／カウンタ1は，インターバル・タイマ，パルス幅測定のような基本機能のほかにリアルタイム出力ポートの出力トリガ発生用のタイマとして使うことができます。

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表7-9　8ビット・タイマ／カウンタ1のインターバル時間

分解能	最小インターバル時間	最大インターバル時間
$16/f_{CLK}$ (2.6 μs)	$16/f_{CLK}$ (2.6 μs)	$2^8 \times 16/f_{CLK}$ (683 μs)
$32/f_{CLK}$ (5.3 μs)	$32/f_{CLK}$ (5.3 μs)	$2^8 \times 32/f_{CLK}$ (1.37 ms)
$64/f_{CLK}$ (10.7 μs)	$64/f_{CLK}$ (10.7 μs)	$2^8 \times 64/f_{CLK}$ (2.73 ms)
$128/f_{CLK}$ (21.3 μs)	$128/f_{CLK}$ (21.3 μs)	$2^8 \times 128/f_{CLK}$ (5.46 ms)
$256/f_{CLK}$ (42.7 μs)	$256/f_{CLK}$ (42.7 μs)	$2^8 \times 256/f_{CLK}$ (10.9 ms)
$512/f_{CLK}$ (85.3 μs)	$512/f_{CLK}$ (85.3 μs)	$2^8 \times 512/f_{CLK}$ (21.8 ms)

( ) 内はf_{CLK}=6 MHz

(2) パルス幅測定

外部割り込み要求入力端子（INTP0）へ入力される信号のパルス幅を検出します。

表7-10　8ビット・タイマ／カウンタ1のパルス幅測定範囲

測定可能なパルス幅	分解能
$\leqq 2^8 \times 16/f_{CLK}$ (683 μs)	$16/f_{CLK}$ (2.6 μs)
$\leqq 2^8 \times 32/f_{CLK}$ (1.37 ms)	$32/f_{CLK}$ (5.3 μs)
$\leqq 2^8 \times 64/f_{CLK}$ (2.73 μs)	$64/f_{CLK}$ (10.7 μs)
$\leqq 2^8 \times 128/f_{CLK}$ (5.46 ms)	$128/f_{CLK}$ (21.3 μs)
$\leqq 2^8 \times 256/f_{CLK}$ (10.9 ms)	$256/f_{CLK}$ (42.7 μs)
$\leqq 2^8 \times 512/f_{CLK}$ (21.8 ms)	$512/f_{CLK}$ (85.3 μs)

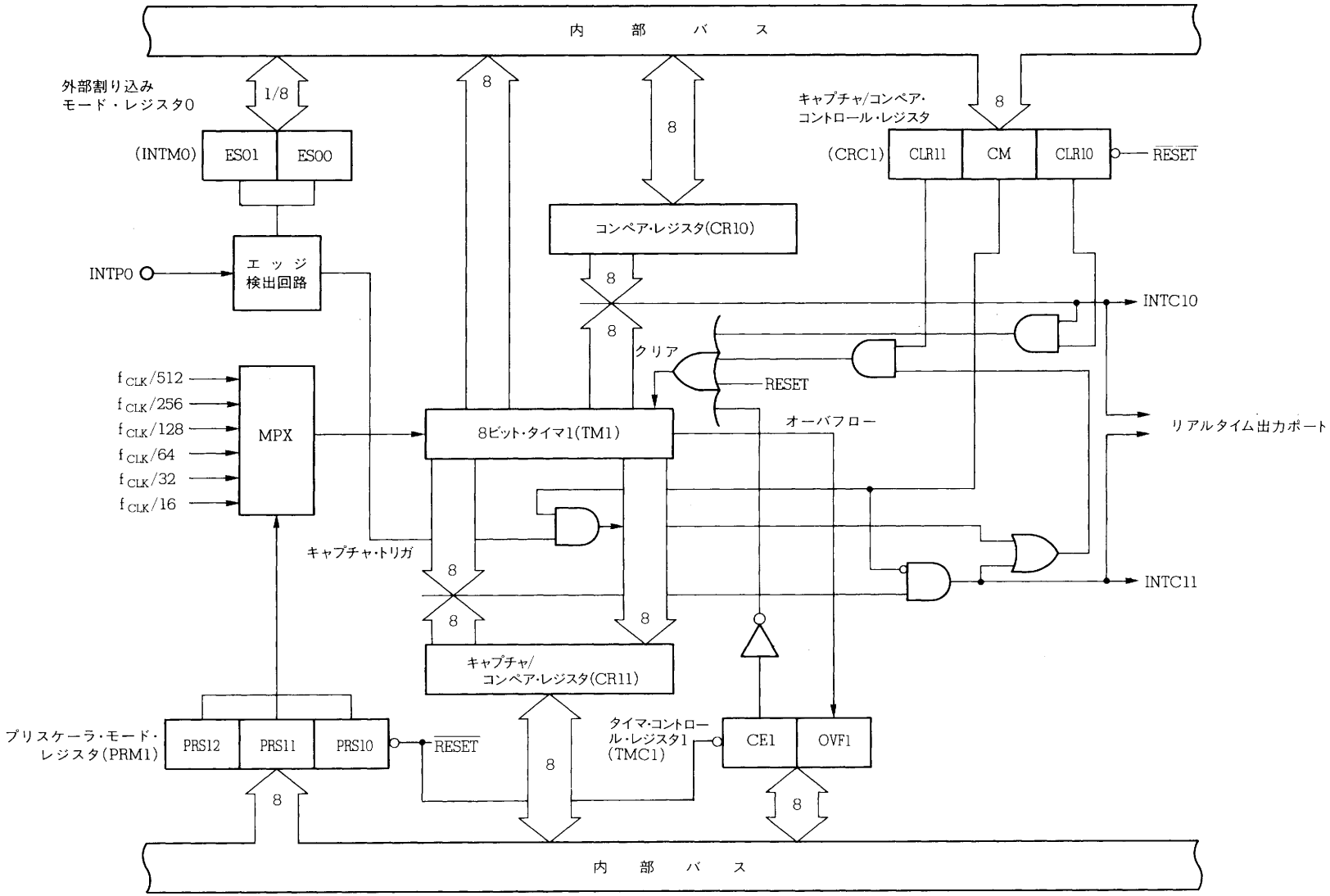
( ) 内はf_{CLK}=6 MHz

7.2.2 構　　成

8ビット・タイマ／カウンタ1は，8ビット・タイマ1（TM1）と8ビット・コンペア・レジスタ1本（CR10），および8ビット・キャプチャ／コンペア・レジスタ1本（CR11）から構成されます。

図7－48に8ビット・タイマ／カウンタ1のブロック図を示します。

図7-48 8ビット・タイマ/カウンタ1のブロック図



(1) 8ビット・タイマ1（TM1）

TM1は，プリスケーラ・モード・レジスタ1（PRM1）の下位4ビットで指定されるカウント・クロックをアップカウントするタイマです。

タイマ・コントロール・レジスタ1（TMC1）によりカウント動作の停止／許可ができます。

8ビット操作命令で読み出しのみが可能です。$\overline{\text{RESET}}$入力により，TM1は00Hにクリアされ，カウントは停止します。

(2) コンペア・レジスタ（CR10）

CR10レジスタは，インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタです。

CR10レジスタの内容がTM1の値と一致すると，割り込み要求（INTC10）を発生します。この一致信号は，リアルタイム出力ポートのトリガ信号にもなります。また，一致によりカウント値をクリアすることができます。

8ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(3) キャプチャ／コンペア・レジスタ（CR11）

CR11レジスタは，キャプチャ／コンペア・コントロール・レジスタ1（CRC1）の設定により，TM1のカウント値との一致を検出するためのコンペア・レジスタに，またはTM1のカウント値をキャプチャするキャプチャ・レジスタに設定することが可能な8ビット・レジスタです。

(a) コンペア・レジスタに設定した場合

インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタとして機能します。

CR11レジスタの内容とTM1の内容一致で割り込み要求（INTC11）を発生します。

また，一致によりカウント値をクリアすることができます。この一致信号は，リアルタイム出力ポートのトリガ信号にもなります。また，一致によりカウント値をクリアすることができます。

(b) キャプチャ・レジスタに設定した場合

外部割り込み要求（INTP0）入力端子の有効エッジ入力（キャプチャ・トリガ）に同期してTM1の内容をキャプチャする8ビット・レジスタとして機能します。

次のキャプチャ・トリガが発生するまでCR11レジスタの内容は保持されます。またキャプチャ後，TM1をクリアすることができます。

8ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(4) エッジ検出回路

エッジ検出回路は，外部入力の有効エッジを検出します。

INTP0端子入力で外部割り込みモード・レジスタ0 (INTM0) により設定された有効エッジを検出して，INTP0とキャプチャ・トリガを発生します（INTM0レジスタについては**図 11 - 1** 参照)。

(5) プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクタで選択し，カウント・クロックとしてタイマはカウント動作を行います。

7.2.3　8ビット・タイマ／カウンタ1制御レジスタ

(1) タイマ・コントロール・レジスタ1 (TMC1)

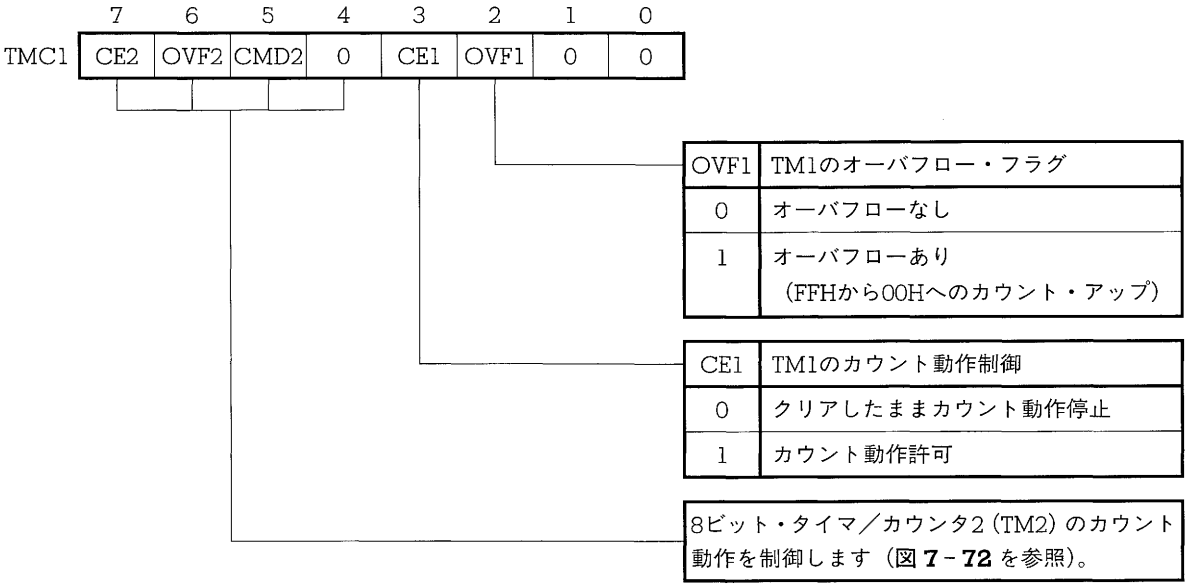
TMC1レジスタは，8ビット・タイマ1，2 (TM1，TM2) のカウント動作を制御する8ビット・レジスタです。

下位4ビットで8ビット・タイマ／カウンタ1の (TM1) のカウント動作を制御します (上位4ビットは8ビット・タイマ／カウンタ2の (TM2) のカウント動作を制御します)。

8ビット操作命令で読み出し／書き込みが可能です。図7－49にTMC1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図7－49　タイマ・コントロール・レジスタ1 (TMC1) のフォーマット



備考　OVF1ビットはソフトウエアでのみリセットされます。

(2) プリスケーラ・モード・レジスタ1（PRM1）

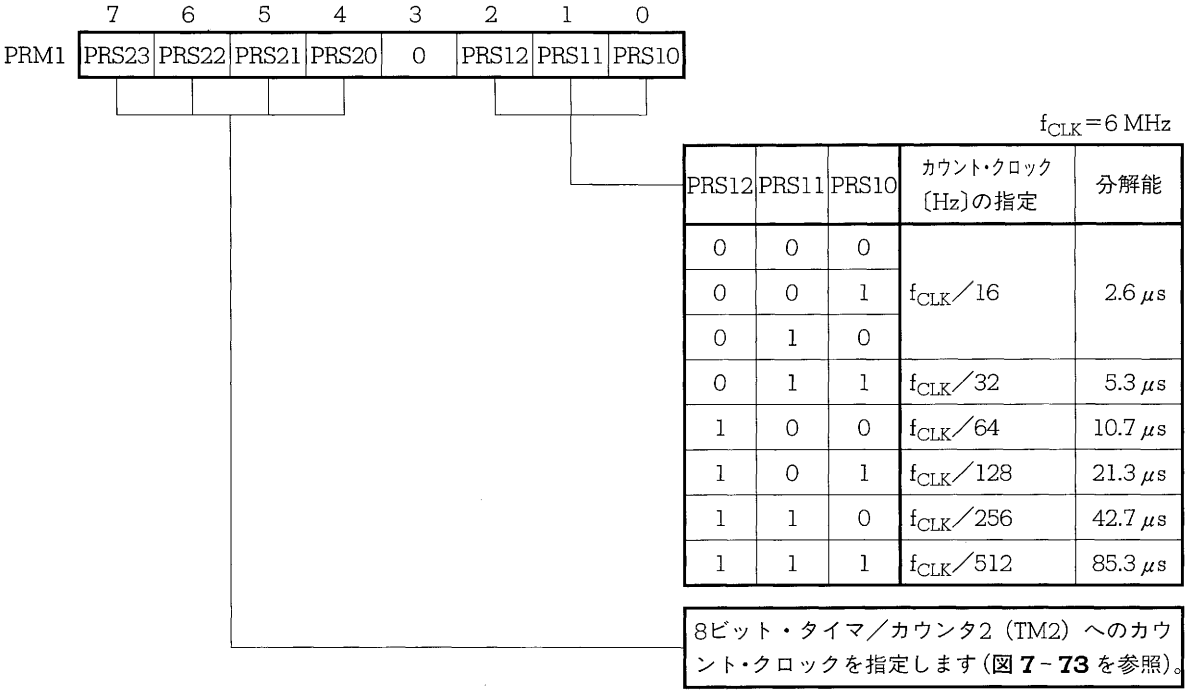
PRM1レジスタは，8ビット・タイマ1，2（TM1，TM2）へのカウント・クロックを指定する8ビット・レジスタです。

下位4ビットで8ビット・タイマ／カウンタ1のTM1へのカウント・クロックを指定します（上位4ビットは8ビット・タイマ／カウンタ2のTM2へのカウント・クロックを指定します）。

8ビット操作命令で書き込みのみ可能です。図7-50にPRM1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図7-50　プリスケーラ・モード・レジスタ1（PRM1）のフォーマット



備考　f_{CLK}：システム・クロック周波数

(3)キャプチャ／コンペア・コントロール・レジスタ1（CRC1）

CRC1レジスタは，キャプチャ／コンペア・レジスタ（CR11）の動作指定と，8ビット・タイマ1（TM1）のクリア動作の許可条件を指定するレジスタです。

8ビット操作命令で書き込みのみ可能です。図7-51にCRC1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図7-51　キャプチャ／コンペア・コントロール・レジスタ1（CRC1）のフォーマット

	7	6	5	4	3	2	1	0
CRC1	0	0	0	0	CLR11	CM	CLR10	0

CLR10	TM1とCR10レジスタの内容一致でのクリア動作
0	禁止
1	許可

CLR11	CM	CR11レジスタの動作指定	TM1のクリア動作
0	0	コンペア・レジスタ	禁止
1	0		許可(TM1とCR11レジスタの内容が一致したとき)
0	1	キャプチャ・レジスタ	禁止
1	1		許可(TM1の内容をCR11レジスタにキャプチャしたとき)

7.2.4　8ビット・タイマ1（TM1）の動作

(1) 基本動作

8ビット・タイマ／カウンタ1のカウント動作は，プリスケーラ・モード・レジスタ1（PRM1）の下位4ビットで指定されるカウント・クロックによりカウント・アップします。

$\overline{\text{RESET}}$入力により，TM1は00Hにクリアされ，カウント動作は停止します。

カウント動作の禁止／許可は，タイマ・コントロール・レジスタ1（TMC1）のビット3（CE1）で制御します(8ビット・タイマ／カウンタ1の動作制御はTMC1レジスタの下位4ビットです)。CE1ビットをソフトウエアによりセット(1)すると，最初のカウント・クロックでTM1の内容が00Hにクリアされた後，カウント・アップ動作を行います。

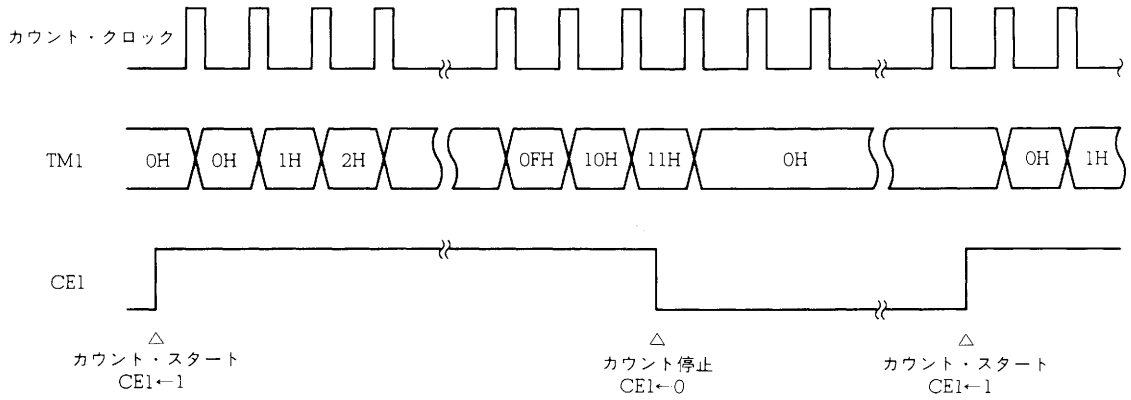
CE1ビットをリセット(0)することによってTM1は次のカウント・クロックで00Hにクリアされ，キャプチャ動作や一致信号の発生は停止します。

CE1ビットがセット(1)されている状態でさらにCE1ビットをセット(1)した場合，TM1はクリアされないでカウント動作を続けます。

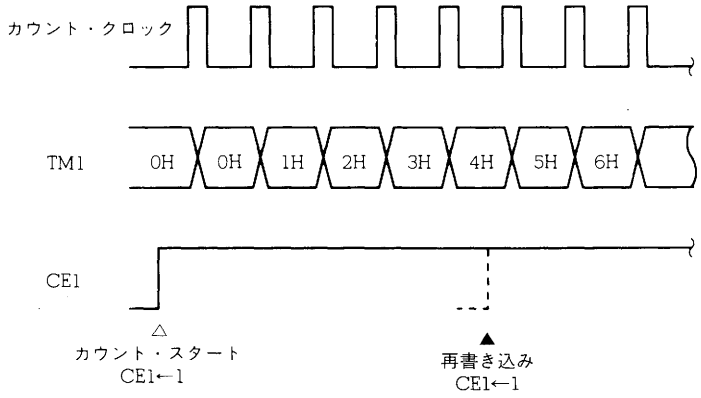
TM1がFFHのときにカウント・クロックが入力されると，TM1は00Hになります。このとき，OVF1がセットされます。OVF1は，ソフトウエアによってのみクリアされます。また，カウント動作はそのまま継続されます。

図7－52　8ビット・タイマ1(TM1)の基本動作

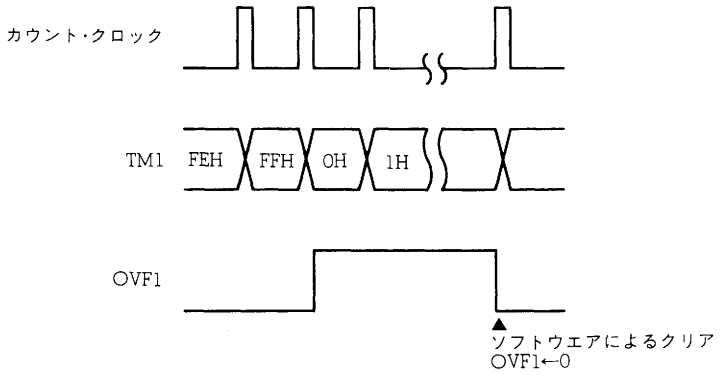
(a) カウント・スタート→カウント禁止→カウント・スタートの場合



(b) カウント・スタート後に再度CE1ビットに“1”を書き込んだ場合



(c) TM1がFFHのときの動作



(2) クリア動作

8ビット・タイマ1（TM1）は，コンペア・レジスタ（CR1m：m=0，1）との一致後およびキャプチャ後に自動的にクリアすることができます。TM1は，クリアする要因が発生すると，次のカウント・クロックで00Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図7－53　コンペア・レジスタ（CR1m）との一致によるTM1のクリア

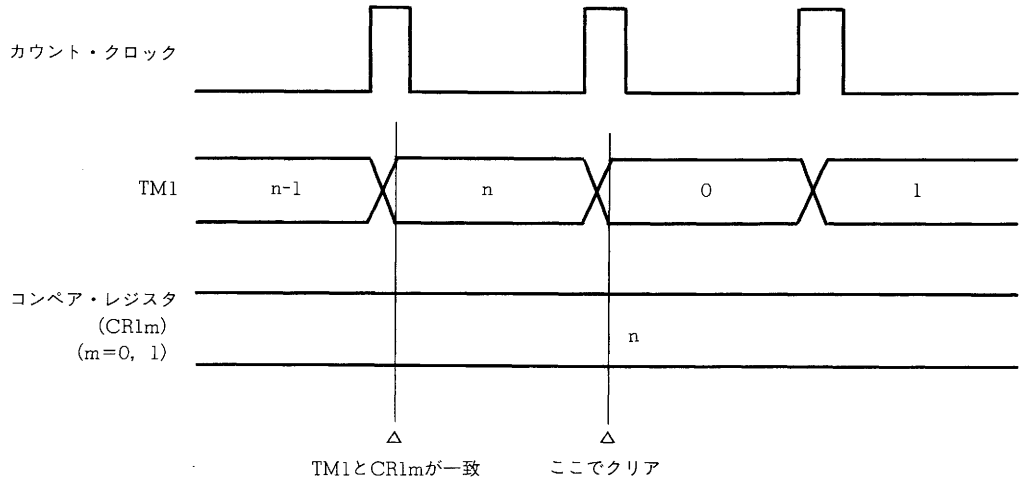
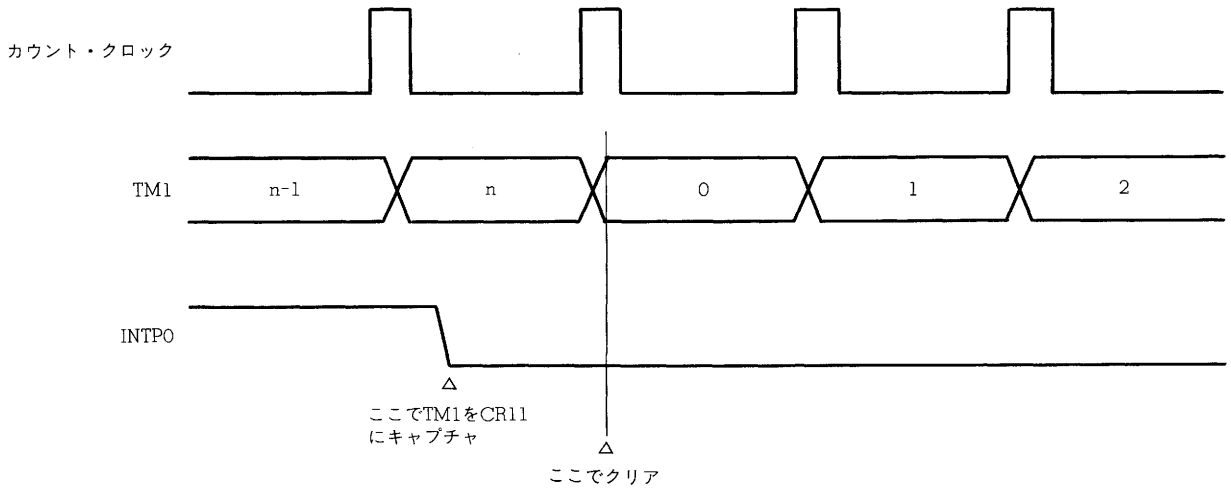


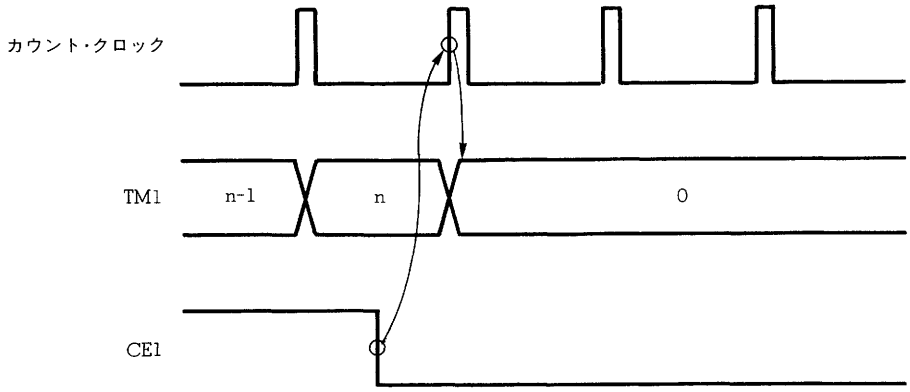
図7－54　キャプチャ後，TM1のクリア



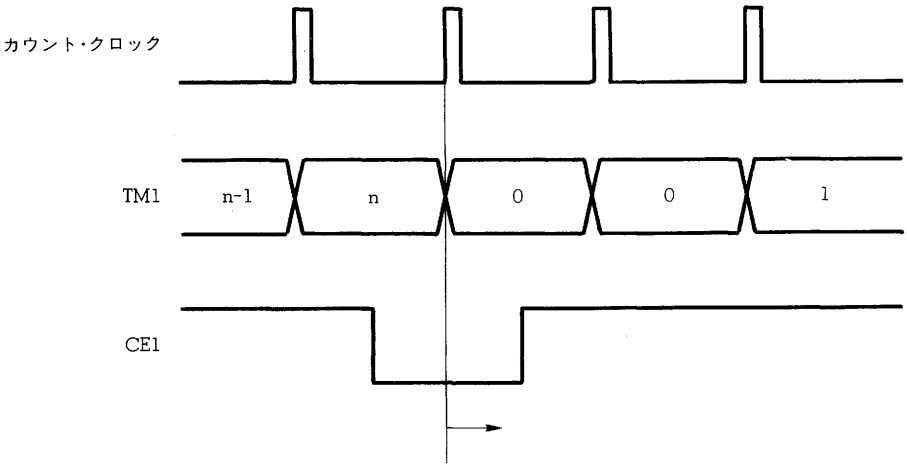
また，TM1はソフトウエアにより，タイマ・コントロール・レジスタ（TMC1）のCE1ビットをリセット(0)することによってもクリアされます。クリア動作は同様に，CE1ビットがリセット(0)されたあとのカウント・クロックで行われます。なお，CE1ビットをリセット(0)し，TM1が0になる前（CE1ビットをリセット(0)したあとの最初のカウント・クロックがくる前）にCE1ビットがセット(1)されると，クリア動作によりTM1が0になる動作とカウント・スタートによる0のカウント動作が同時に行われます。

図7－55　CE1ビットをリセット(0)した場合のクリア動作

(a) 基本動作

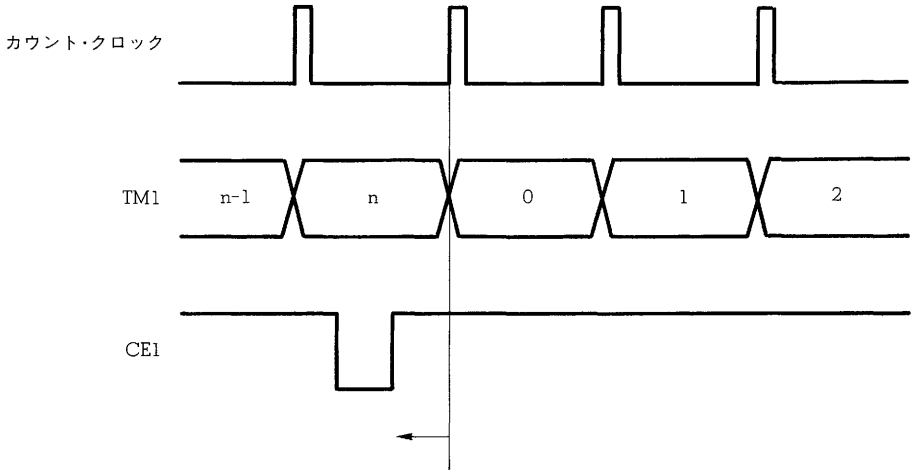


(b) クリア後のTM1が0になってからの再スタート



このカウント・クロック以降にCE1ビットがセット(1)された場合，
CE1ビット・セット後のカウント・クロックで0からカウント

(c) クリア後のTM1が0になる前の再スタート



このカウント・クロック以前にCE1ビットがセット(1)された場合，CE1←0によるTM1のクリア動作とCE1←1による0のカウント動作が同時に行われる

7.2.5　コンペア・レジスタ，キャプチャ／コンペア・レジスタの動作

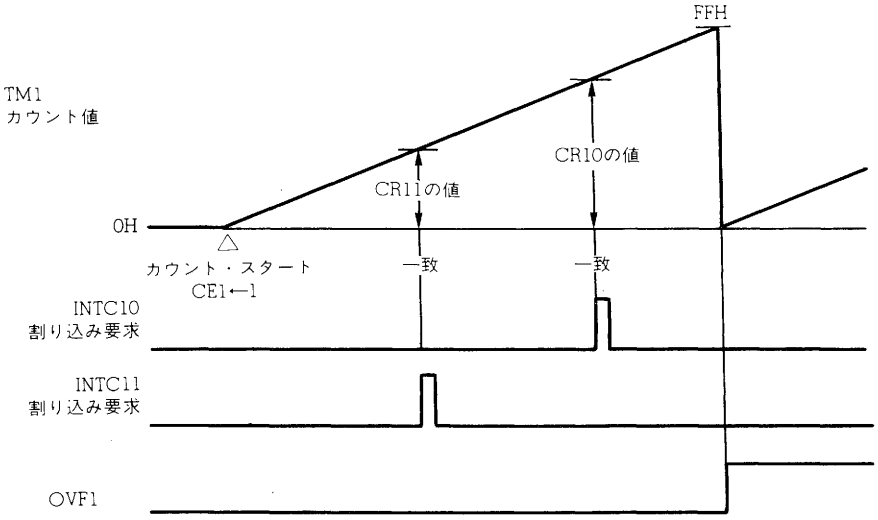
(1) コンペア動作

8ビット・タイマ／カウンタ1はコンペア・レジスタに設定された値をタイマのカウント値と比較するコンペア動作を行います。

あらかじめ設定されたコンペア・レジスタ（CR10），コンペア動作に指定したキャプチャ／コンペア・レジスタ（CR11）の値に8ビット・タイマ1（TM1）のカウント値がカウント動作によって一致すると，割り込み要求信号（CR10レジスタではINTC10，CR11レジスタではINTC11）を発生します。

また，CR10レジスタまたはCR11レジスタの値と一致後，TM1の内容をクリアすることができ，CR10，CR11レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

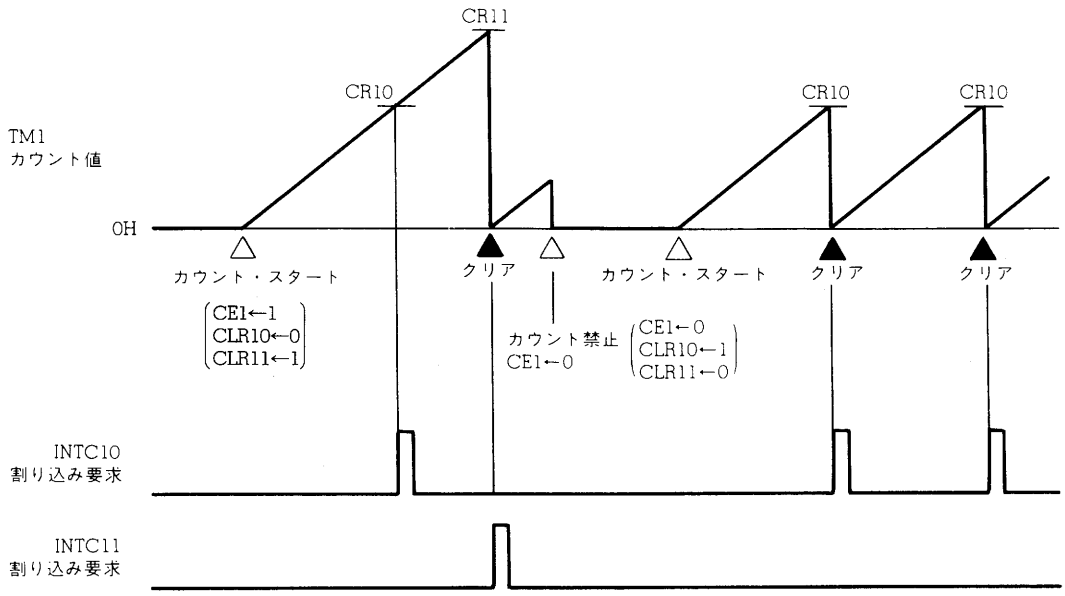
図7－56　コンペア動作



備考　CLR10＝0，CLR11＝0，CM＝0

★　**注意　インサーキット・エミュレータ使用時についての注意がありますので，7.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。**

図7－57　一致検出後，TM1のクリア



(2) キャプチャ動作

8ビット・タイマ／カウンタ1は，外部トリガに同期してタイマのカウント値をキャプチャ・レジスタに取り込み保持するキャプチャ動作を行います。

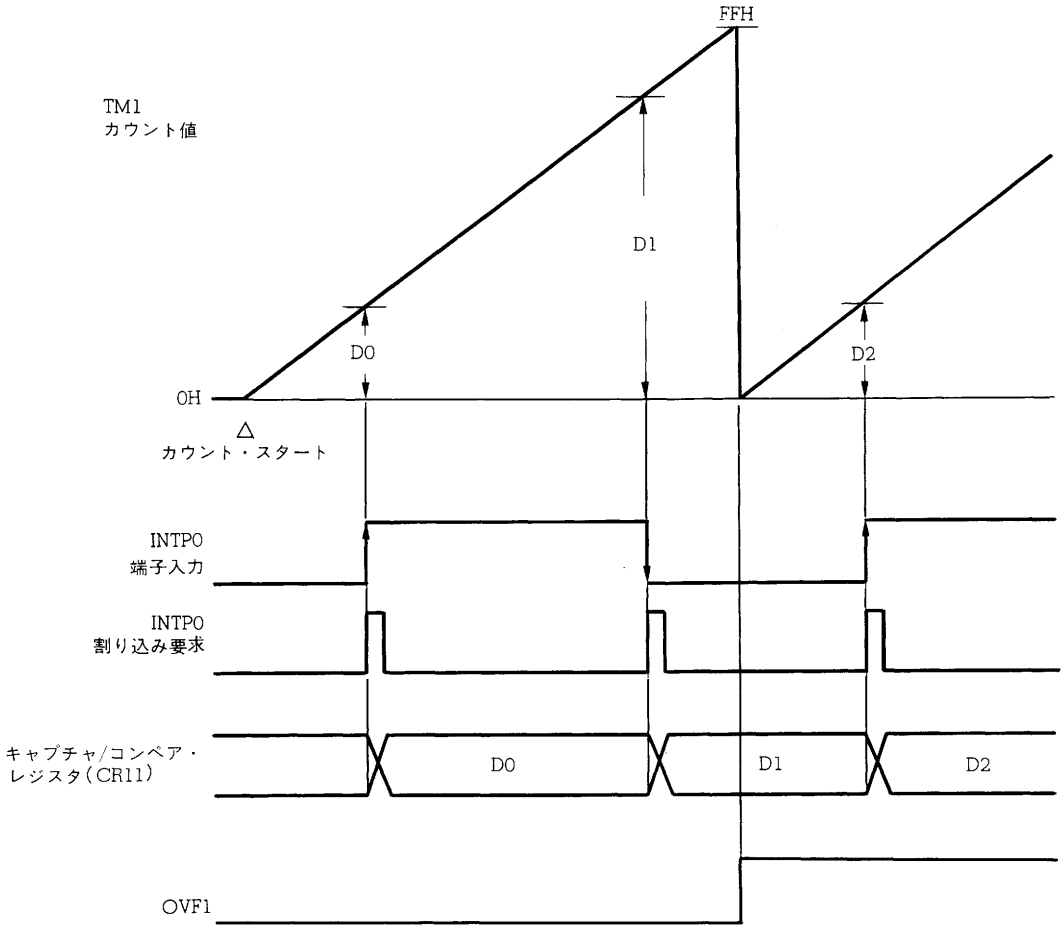
外部トリガとして，外部割り込み要求入力端子(INTP0) の入力から検出された有効エッジを用います（キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中の8ビット・タイマ1 (TM1) のカウント値をキャプチャ動作に指定したキャプチャ／コンペア・レジスタ（CR11）に取り込み保持します。次のキャプチャ・トリガが発生するまでCR11レジスタの内容は保持されます。

キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ0 (INTM0) により設定します。立ち上がり，立ち下がり両エッジがキャプチャ・トリガとなるように設定すれば，外部からの入力パルス幅を測定することができます。また，片側エッジでキャプチャ・トリガを発生させた場合，入力パルスの周期を測定することができます。

INTM0レジスタの詳しいフォーマットは，**第11章　エッジ検出機能の図 11－1** を参照してください。

★　**注意　インサーキット・エミュレータ使用時についての注意がありますので，7.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。**

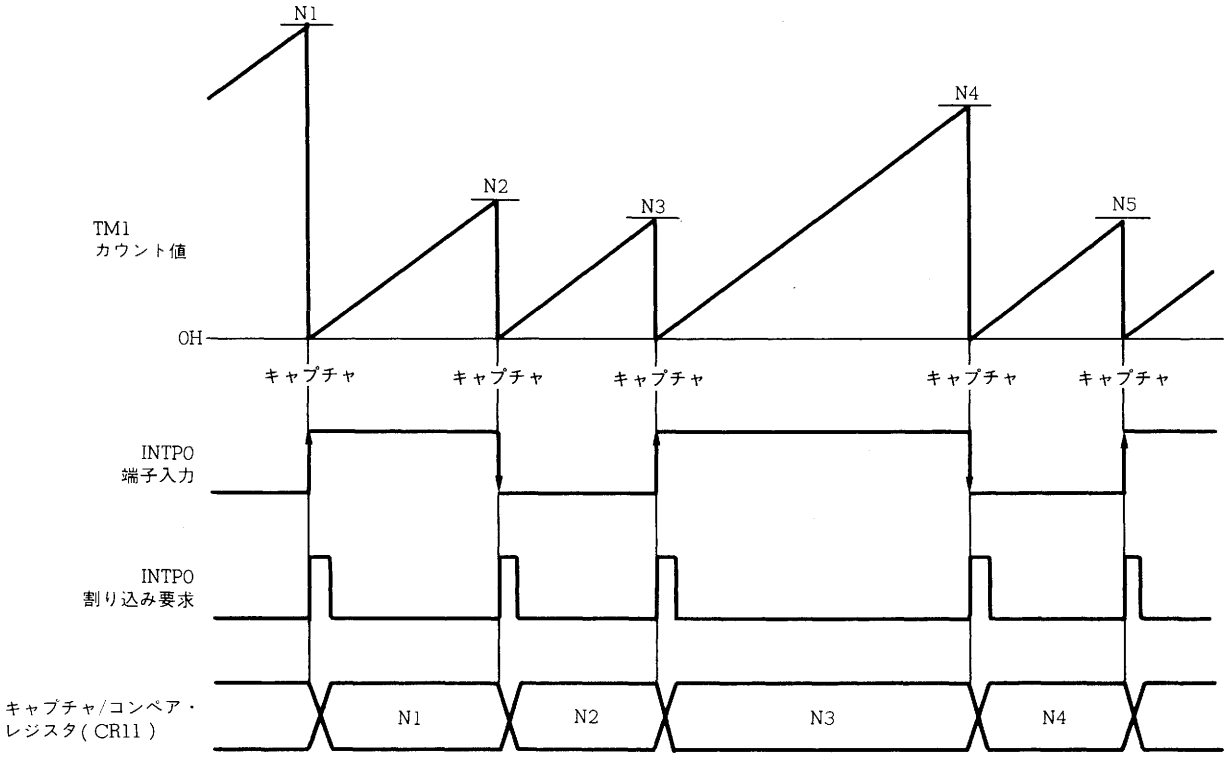
図7－58　キャプチャ動作



備考　Dn：TM1のカウント値(n=0, 1, 2, …)

CLR10=0, CLR11=0, CM=1

図7－59　キャプチャ後，TM1のクリア



備考　NI：TM1のカウント値(n=0，1，2，…)

CLR10=0，CLR11=0，CM=1

7.2.6 使用例

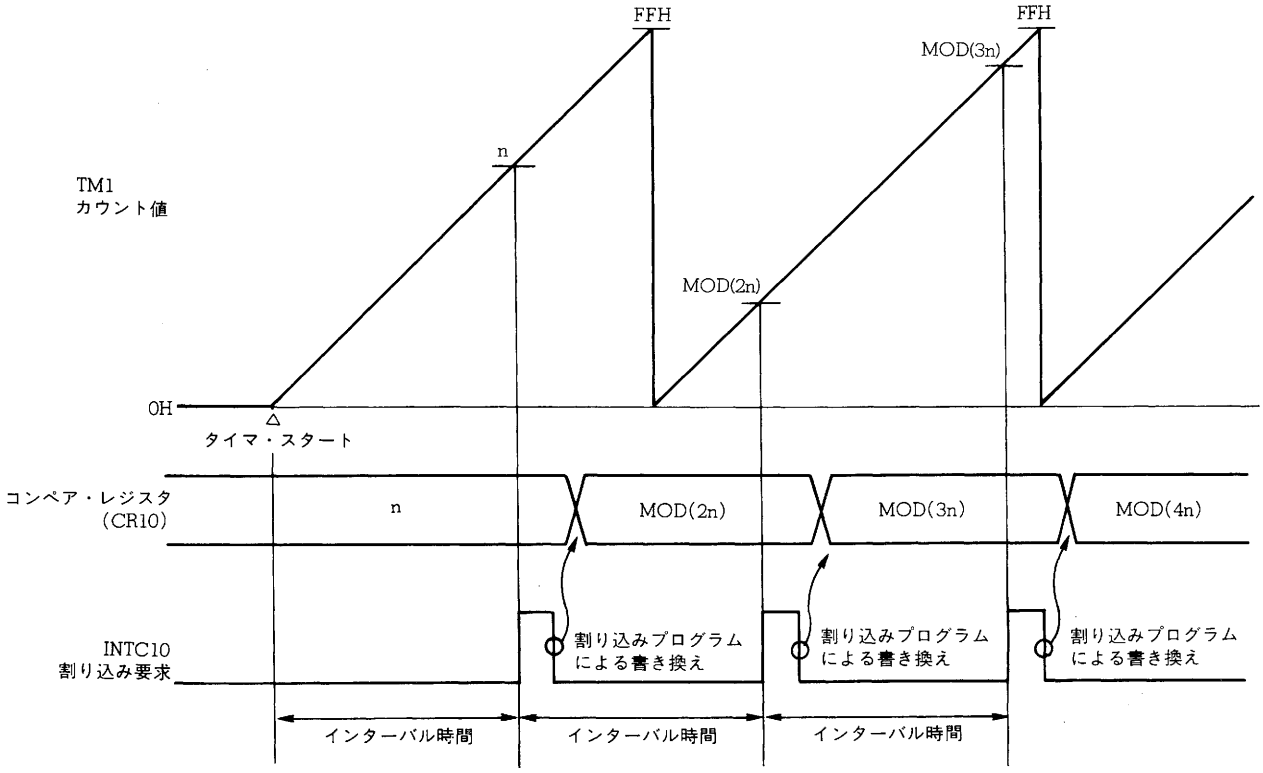
(1) インターバル・タイマとしての動作(1)

8ビット・タイマ1(TM1)をフリー・ランニングさせ，割り込み処理ルーチン中でコンペア・レジスタ(CR10，CR11)に一定の値を加算することで，加算する一定の値を同期とするインターバル・タイマとして動作します(**図7－60**参照)。

また，8ビット・タイマ1(TM1)1本にコンペア・レジスタが2本ついているため，2種類の周期のインターバル・タイマを作ることができます。

図7－61に制御レジスタの設定内容，図7－62にその設定手順，図7－63に割り込み処理ルーチン内での処理を示します。

図7－60　インターバル・タイマ動作(1)のタイミング

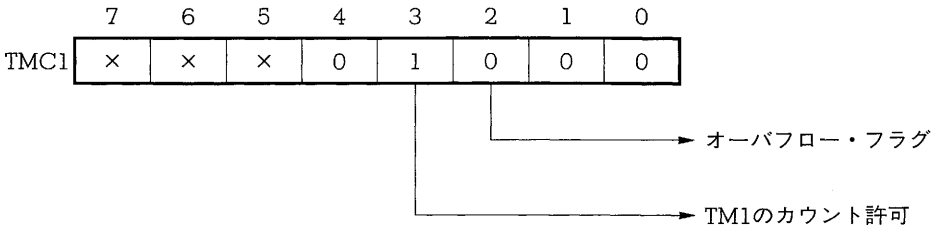


備考　インターバル時間＝$n \times x/f_{CLK}$，$1 \leqq n \leqq FFH$

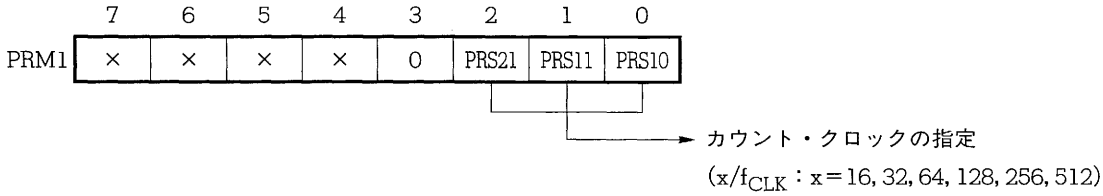
$x = 16, 32, 64, 128, 256, 512$

図7-61　インターバル・タイマ動作(1)における制御レジスタの設定内容

★ (a) タイマ・コントロール・レジスタ1 (TMC1)



(b) プリスケーラ・モード・レジスタ1(PRM1)



(c) キャプチャ／コンペア・コントロール・レジスタ1(CRC1)

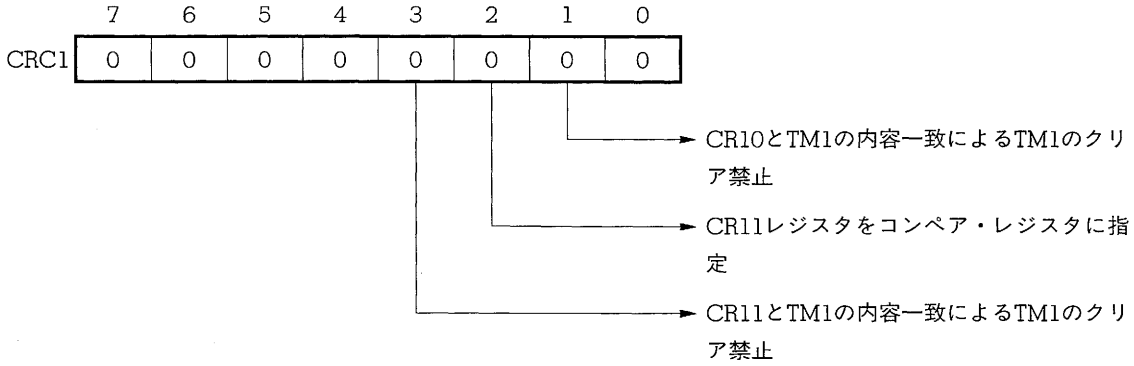


図7-62　インターバル・タイマ動作(1)の設定手順

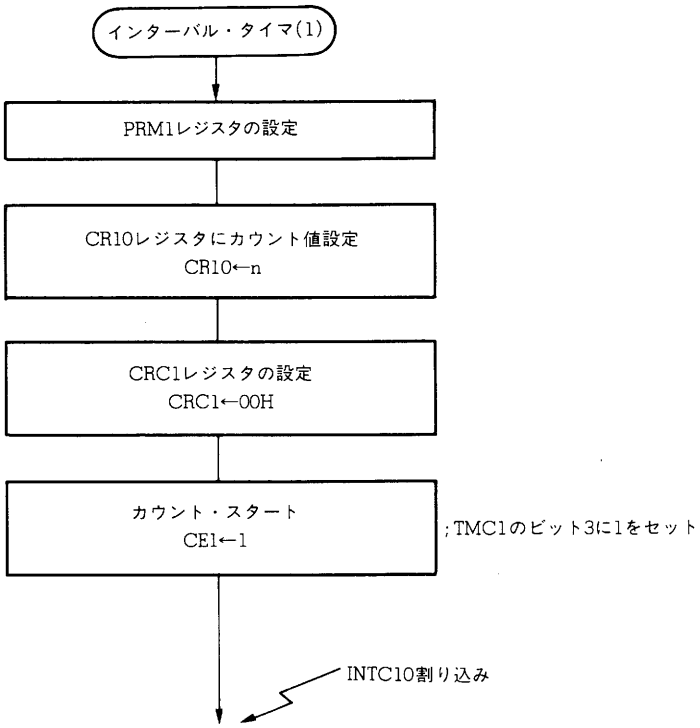
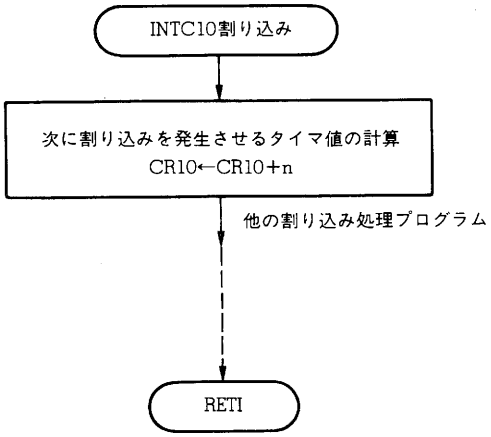


図7-63　インターバル・タイマ動作(1)の割り込み要求処理

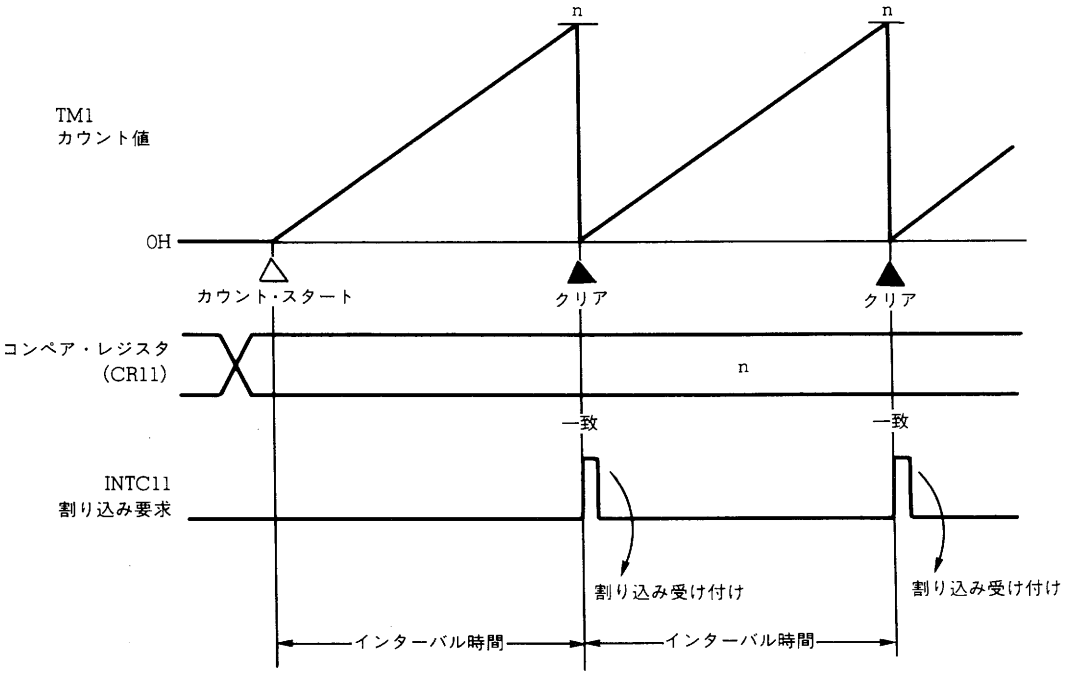


(2) インターバル・タイマとしての動作(2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（**図7－64**参照）。

図7－65に制御レジスタの設定内容を，図7－66にその設定手順を示します。

図7－64　インターバル・タイマ動作(2)のタイミング(CR11をコンペア・レジスタとして使用する場合)



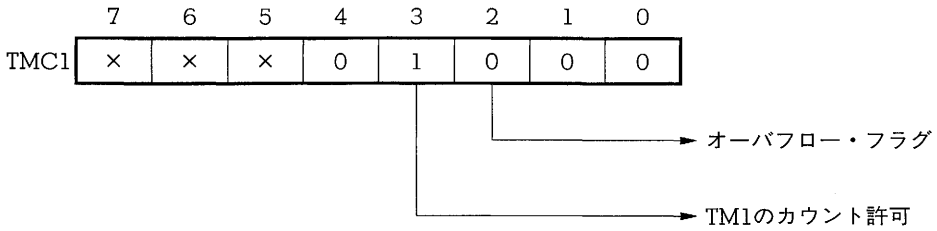
備考　インターバル時間＝$(n+1)\times x/f_{CLK}$

$0 \leqq n \leqq FFH$

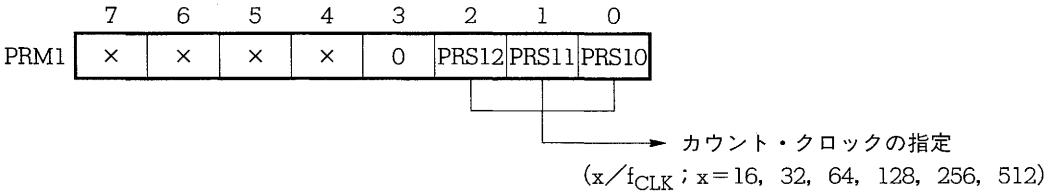
$x=16,\ 32,\ 64,\ 128,\ 256,\ 512$

図7-65　インターバル・タイマ動作(2)の制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ1 (TMC1) ★



(b) プリスケーラ・モード・レジスタ1 (PRM1)



(c) キャプチャ／コンペア・コントロール・レジスタ (CRC1)

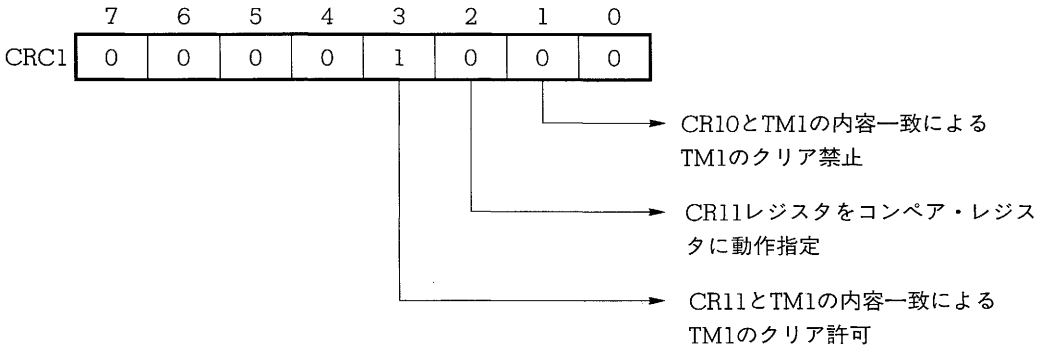
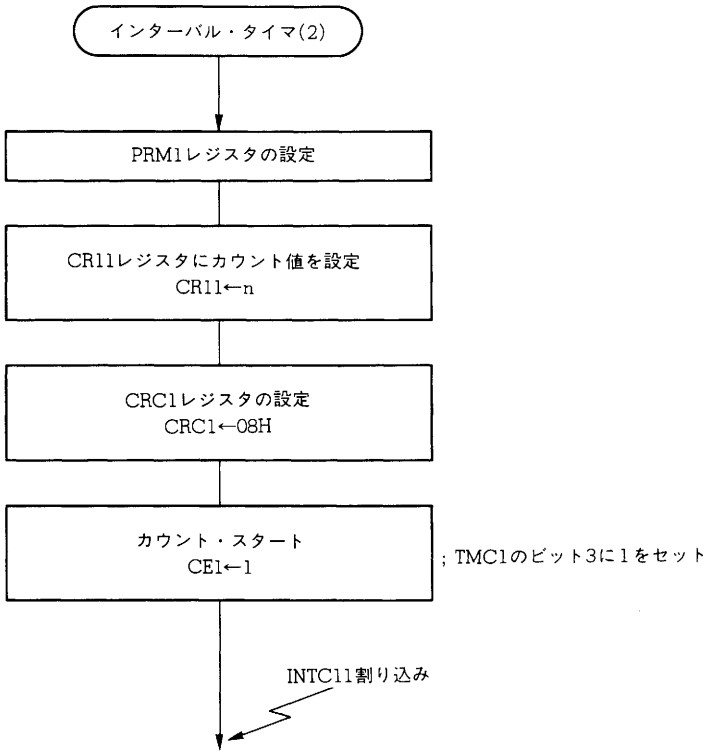


図7-66　インターバル・タイマ動作(2)の設定手順



(3) パルス幅測定としての動作

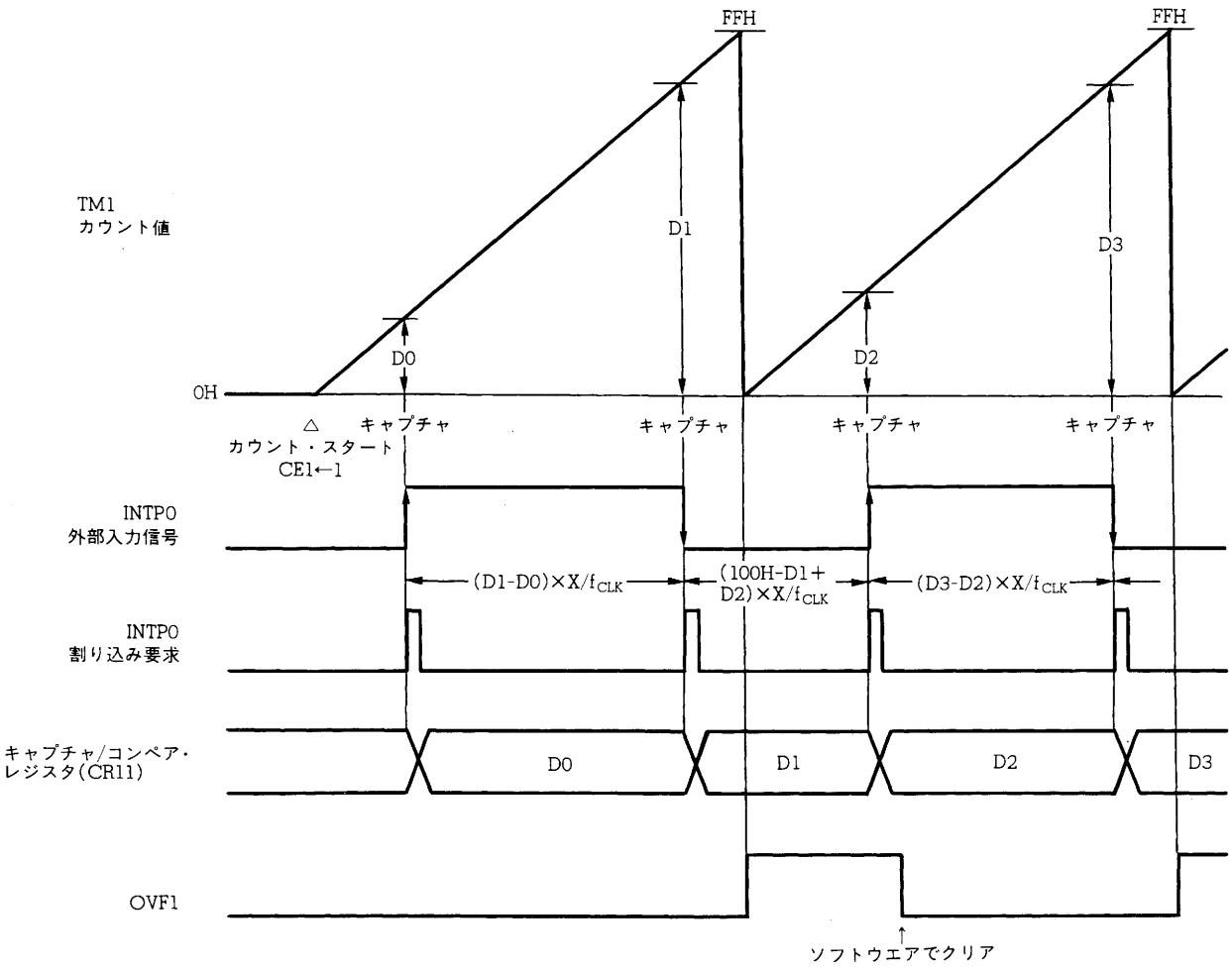
パルス幅測定は，外部割り込み要求入力端子（INTP0）に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP0端子に入力するパルス幅はハイ・レベル，ロウ・レベルとも12システム・クロック（2 μs：f_{CLK}＝6 MHz）以上必要で，これ以下の場合には有効エッジが検出されずキャプチャ動作を行いません。

図7－67に示すようにINTP0端子入力の有効エッジ(立ち上がり，立ち下がりの両エッジに設定)に同期して，カウント中の8ビット・タイマ1（TM1）の値をキャプチャ・レジスタとして設定したキャプチャ／コンペア・レジスタ（CR11）に取り込み保持します。パルス幅は，n回目の有効エッジ検出によりCR11レジスタに取り込み保持されたTM1のカウント値（Dn）とn－1回目の有効エッジ検出によるカウント値(D_{n-1}）との差の値とカウント・クロック(X/f_{CLK}：X＝16，32，64，128，256，512）との積から求めます。

そのときの制御レジスタの設定内容を図7－68に，設定手順を図7－69に示します。

図7－67　パルス幅測定のタイミング(CR11をキャプチャ・レジスタとして使用する場合)



備考　Dn：TM1のカウント値(n＝0，1，2，…)

X＝16，32，64，128，256，512

図7－68　パルス幅測定の制御レジスタの設定内容

★ **(a) タイマ・コントロール・レジスタ1（TMC1）**

	7	6	5	4	3	2	1	0
TMC1	×	×	×	0	1	0	0	0

→ オーバフロー・フラグ

→ TM1のカウント許可

(b) プリスケーラ・モード・レジスタ(RPM1)

	7	6	5	4	3	2	1	0
PRM1	×	×	×	×	0	PRS12	PRS11	PRS10

→ カウント・クロックの指定
(x/f_{CLK}：x＝16, 32, 64, 128, 256, 512)

(c) キャプチャ/コンペア・コントロール・レジスタ1(CRC1)

	7	6	5	4	3	2	1	0
CRC1	0	0	0	0	0	1	0	0

→ TM1とCR10の一致によるTM1のクリア禁止

→ CR11レジスタをキャプチャ・レジスタに動作指定

→ TM1をCR11へキャプチャしたときのTM1のクリア禁止

(d) 外部割り込みモード・レジスタ0(INTM0)

	7	6	5	4	3	2	1	0
INTM0	×	×	×	×	1	1	0	×

→ INTP0入力の有効エッジを立ち上がり，立ち下がりの両エッジに指定

× ：don't care

図7－69　パルス幅測定の設定手順

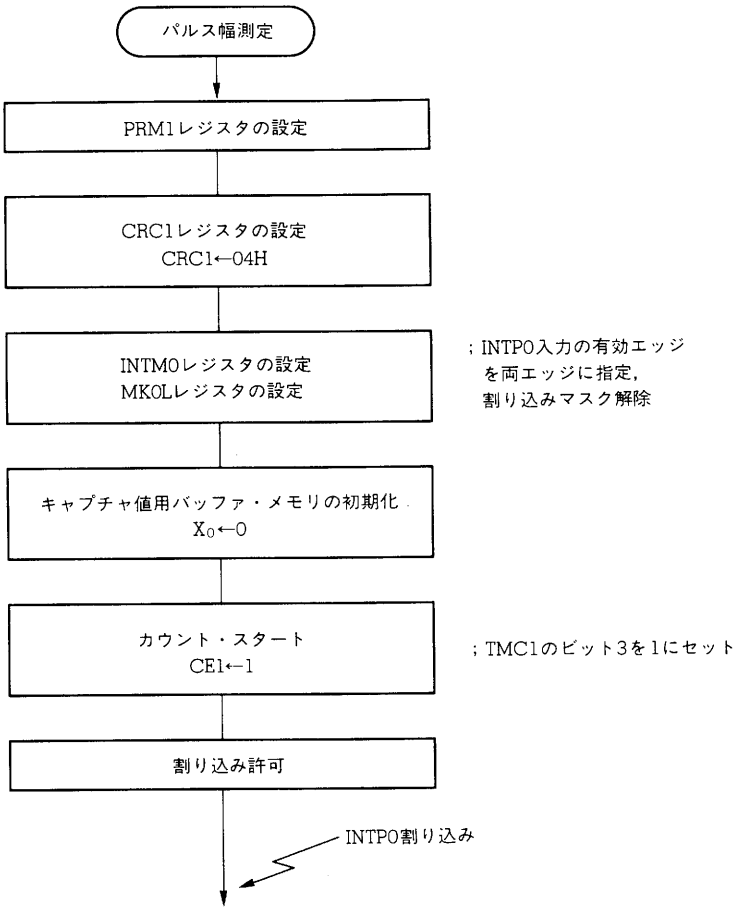
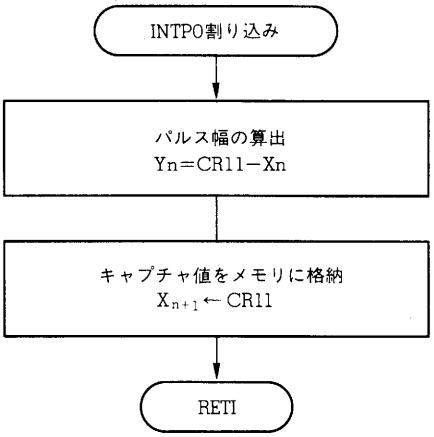


図7－70　パルス幅を算出する割り込み要求処理



7.3　8ビット・タイマ／カウンタ2

7.3.1　機　　能

8ビット・タイマ／カウンタ2は，ほかの3つのタイマ／カウンタでは持たない次の2つの機能を持っています。

・外部イベント・カウンタ
・ワンショット・タイマ注

ここでは次に示す4つの基本的機能について順に説明します。

・インターバル・タイマ
・プログラマブル矩形波出力
・パルス幅測定
・外部イベント・カウンタ

注　ワンショット・タイマ機能とは，タイマ・レジスタ(TM2)自身の動作のことです。したがって，16ビット・タイマ／カウンタのワンショット・パルス出力機能とは性質が異なります。

(1) インターバル・タイマ

あらかじめ設定したインターバルで内部割り込みを発生します。

表7-11　8ビット・タイマ／カウンタ2のインターバル時間

分解能	最小インターバル時間	最大インターバル時間
$16/f_{CLK}$ (2.6 μs)	$16/f_{CLK}$ (2.6 μs)	$2^8 \times 16/f_{CLK}$ (683 μs)
$32/f_{CLK}$ (5.3 μs)	$32/f_{CLK}$ (5.3 μs)	$2^8 \times 32/f_{CLK}$ (1.37 ms)
$64/f_{CLK}$ (10.7 μs)	$64/f_{CLK}$ (10.7 μs)	$2^8 \times 64/f_{CLK}$ (2.73 ms)
$128/f_{CLK}$ (21.3 μs)	$128/f_{CLK}$ (21.3 μs)	$2^8 \times 128/f_{CLK}$ (5.46 ms)
$256/f_{CLK}$ (42.7 μs)	$256/f_{CLK}$ (42.7 μs)	$2^8 \times 256/f_{CLK}$ (10.9 ms)
$512/f_{CLK}$ (85.3 μs)	$512/f_{CLK}$ (85.3 μs)	$2^8 \times 512/f_{CLK}$ (21.8 ms)

(　) 内はf_{CLK}=6 MHz

(2) プログラマブル矩形波出力

タイマ出力端子（TO2, TO3）にそれぞれ独立に矩形波を出力します。

表7-12　8ビット・タイマ／カウンタ2のプログラマブル矩形波出力設定範囲

最小パルス幅	最大パルス幅
$16/f_{CLK}$ (2.6 μs)	$2^8 \times 16/f_{CLK}$ (683 μs)
$32/f_{CLK}$ (5.3 μs)	$2^8 \times 32/f_{CLK}$ (1.37 ms)
$64/f_{CLK}$ (10.7 μs)	$2^8 \times 64/f_{CLK}$ (2.73 ms)
$128/f_{CLK}$ (21.3 μs)	$2^8 \times 128/f_{CLK}$ (5.46 ms)
$256/f_{CLK}$ (42.7 μs)	$2^8 \times 256/f_{CLK}$ (10.9 ms)
$512/f_{CLK}$ (85.3 μs)	$2^8 \times 512/f_{CLK}$ (21.8 ms)

（　）内はf_{CLK}=6 MHz

注意　上表は内部クロックの場合です。

(3) パルス幅測定

外部割り込み入力端子（INTP1）へ入力される信号のパルス幅を検出します。

表7-13　8ビット・タイマ／カウンタ2のパルス幅測定範囲

測定可能なパルス幅	分解能
$\leqq 2^8 \times 16/f_{CLK}$ (683 μs)	$16/f_{CLK}$ (2.6 μs)
$\leqq 2^8 \times 32/f_{CLK}$ (1.37 ms)	$32/f_{CLK}$ (5.3 μs)
$\leqq 2^8 \times 64/f_{CLK}$ (2.73 ms)	$64/f_{CLK}$ (10.7 μs)
$\leqq 2^8 \times 128/f_{CLK}$ (5.46 ms)	$128/f_{CLK}$ (21.3 μs)
$\leqq 2^8 \times 256/f_{CLK}$ (10.9 ms)	$256/f_{CLK}$ (42.7 μs)
$\leqq 2^8 \times 512/f_{CLK}$ (21.8 ms)	$512/f_{CLK}$ (85.3 μs)

（　）内はf_{CLK}=6 MHz

(4) 外部イベント・カウンタ

外部割り込み入力端子（INTP2）から入力されるクロック・パルス（CI端子入力パルス）をカウントします。

表7－14に，8ビット・タイマ／カウンタ2に入力可能なクロックを示します。

表7－14　8ビット・タイマ／カウンタ2に入力可能なクロック

	片エッジをカウントする場合	両エッジをカウントする場合
最大周波数	$f_{CLK}/24$ (250 kHz)	$f_{CLK}/32$ (187.5 kHz)
最小パルス幅 （ハイおよびロウ・レベル）	$12/f_{CLK}$ (2 μs)	$16/f_{CLK}$ (2.67 μs)

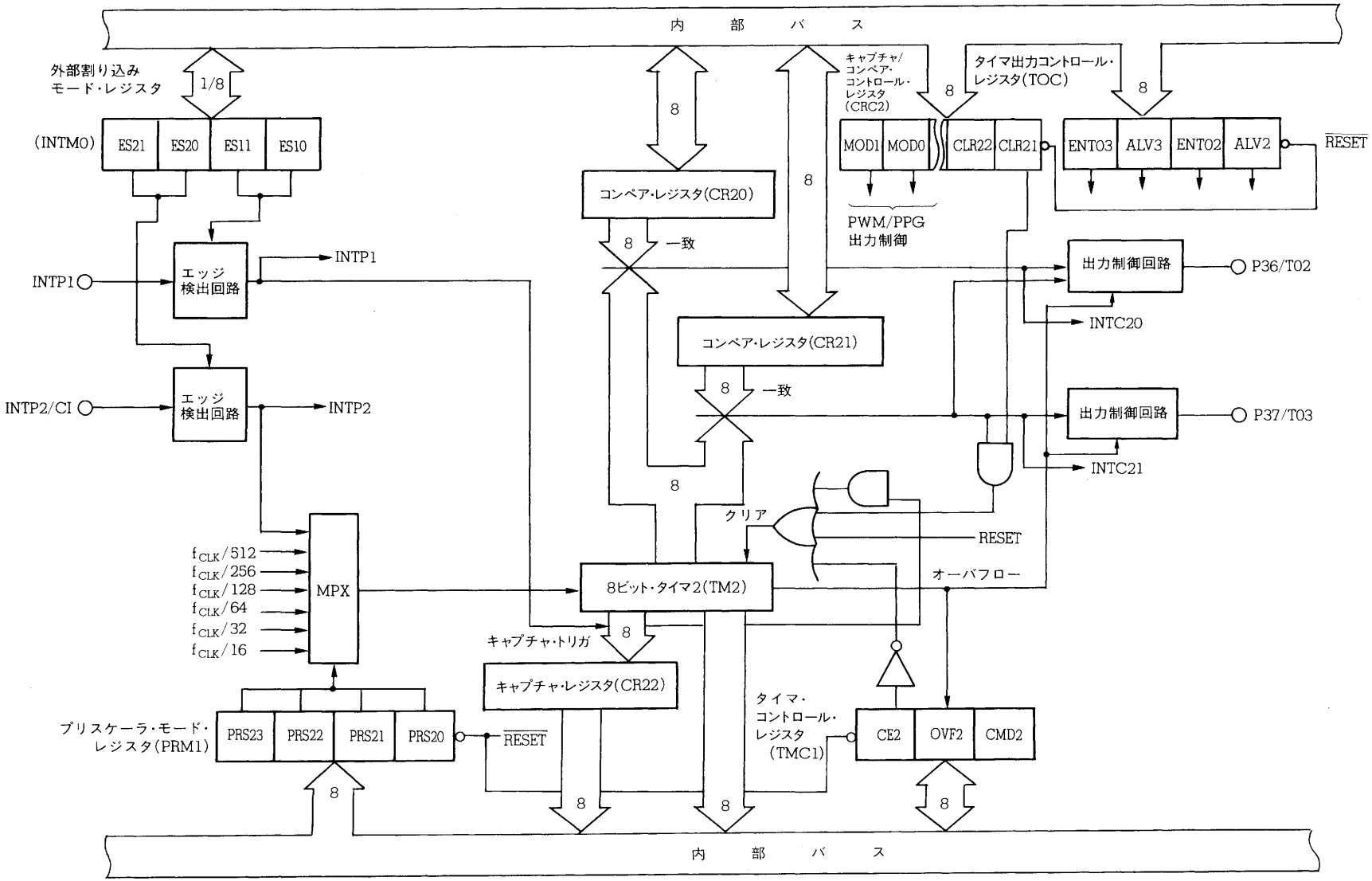
（　　）内はf_{CLK}＝6 MHz

7.3.2 構　　成

8ビット・タイマ／カウンタ2は，8ビット・タイマ2（TM2）と8ビット・コンペア・レジスタ2本（CR20, CR21），および8ビット・キャプチャ・レジスタ1本（CR22）から構成されます。

図7-71に8ビット・タイマ／カウンタ2のブロック図を示します。

図7-71　8ビット・タイマ/カウンタ2のブロック図



(1) 8ビット・タイマ2 (TM2)

TM2は，プリスケーラ・モード・レジスタ1 (PRM1) の上位4ビット，および外部割り込みモード・レジスタ0 (INTM0) で指定されるカウント・クロックをアップカウントするタイマです。カウント・クロックは内部クロック，外部クロックの選択もできます。

8ビット操作命令で読み出しのみが可能です。タイマ・コントロール・レジスタ1 (TMC1) によりカウント動作の停止／許可ができます。

$\overline{\text{RESET}}$入力により，TM2は00Hにクリアされ，カウントは停止します。

(2) コンペア・レジスタ (CR20, CR21)

CR20，CR21レジスタは，インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタです。

CR20，CR21レジスタの内容がTM2の値と一致すると，割り込み要求(INTC20，INTC21)，およびタイマ出力の制御信号を発生します。また，一致 (CR21) によりカウント値のクリア動作が行えます。

8ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(3) キャプチャ・レジスタ (CR22)

CR22レジスタは，TM2の内容をキャプチャする8ビット・レジスタです。

キャプチャ動作は，外部割り込み要求 (INTP1) 入力端子への有効エッジ入力（キャプチャ・トリガ）に同期します。次のキャプチャ・トリガが発生するまで，あるいはCR22レジスタを読み出すまでCR22レジスタの内容は保持されます。読み出し後，CR22レジスタの内容は次のキャプチャ・トリガの発生で値がセットされるまで不定となります。また，キャプチャ後，TM2をクリアすることができます。

8ビット操作命令で読み出しのみが可能です。$\overline{\text{RESET}}$入力により不定となります。

(4) エッジ検出回路

エッジ検出回路は，外部入力の有効エッジを検出します。

INTP1端子入力で外部割り込みモード・レジスタ0 (INTM0) により設定された有効エッジを検出して，INTP1とキャプチャ・トリガを発生します。また，外部割り込み要求 (INTP2) 入力端子からの有効エッジを検出すると，TM2のカウント・クロックとINTP2を発生します。

(5) 出力制御回路

CR20, CR21レジスタの内容とTM2の内容が一致すると，タイマ出力を反転することができます。

タイマ出力コントロール・レジスタ (TOC) 上位4ビットの設定でタイマ出力端子 (TO2，TO3) から矩形波を出力することができます。このとき，キャプチャ/コンペア・コントロール・レジスタ (CRC2) の指定により，PWM出力やPPG出力もできます。

また，TOCレジスタによってタイマ出力の禁止／許可ができます。タイマ出力の禁止状態では

TO2，TO3端子には固定レベルが出力されます（出力レベルはTOCレジスタにより設定）。

(6) プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクタで選択し，カウント・クロックとしてタイマはカウント動作を行います。

7.3.3　8ビット・タイマ／カウンタ2制御レジスタ

(1) タイマ・コントロール・レジスタ1（TMC1）

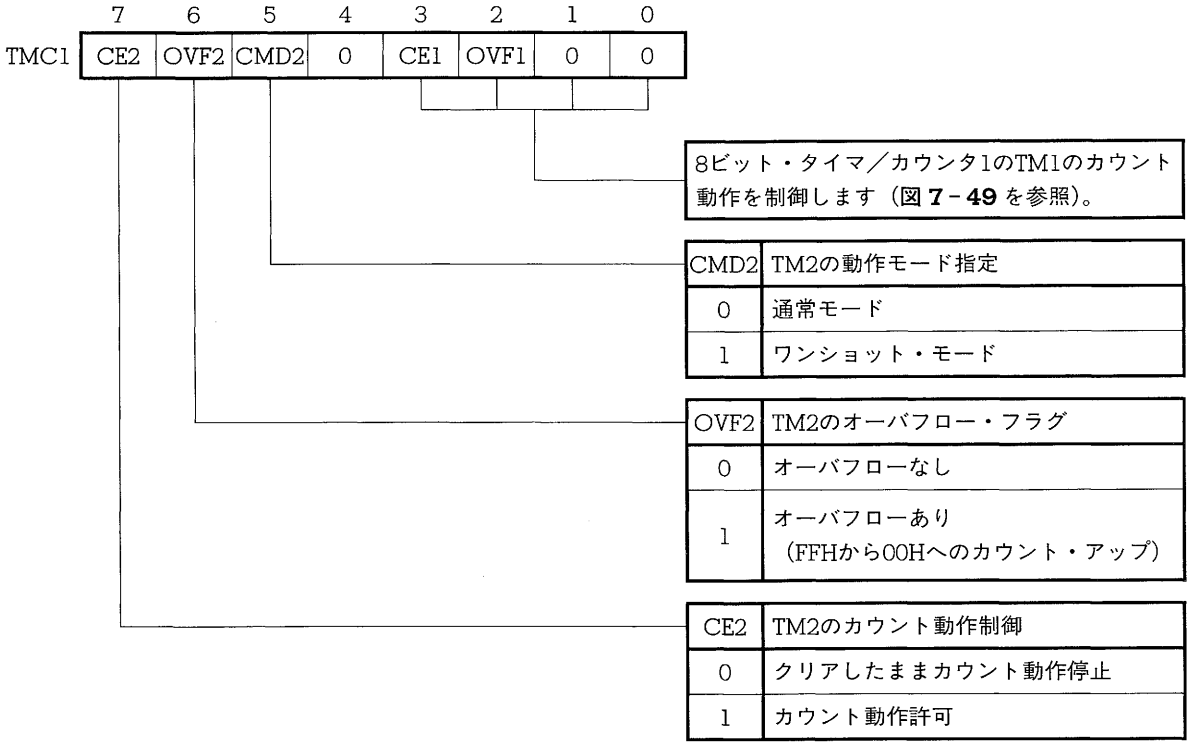
TMC1レジスタは，8ビット・タイマ1，2（TM1，TM2）のカウント動作を制御する8ビット・レジスタです。

上位4ビットで8ビット・タイマ／カウンタ2のTM2のカウント動作を制御します（下位4ビットは8ビット・タイマ／カウンタ1のTM1のカウント動作を制御します）。

8ビット操作命令で読み出し／書き込みが可能です。図7-72にTMC1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図7-72　タイマ・コントロール・レジスタ1（TMC1）のフォーマット



備考　OVF2ビットはソフトウエアでのみリセットされます。

(2) プリスケーラ・モード・レジスタ1（PRM1）

PRM1レジスタは，8ビット・タイマ1，2（TM1，TM2）へのカウント・クロックを指定する8ビット・レジスタです。

上位4ビットで8ビット・タイマ／カウンタ2のTM2へのカウント・クロックを指定します（下位4ビットは8ビット・タイマ／カウンタ1のTM1へのカウント・クロックを指定します）。

8ビット操作命令で書き込みのみ可能です。図7-73にPRM1レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図7-73　プリスケーラ・モード・レジスタ1（PRM1）のフォーマット

PRS23	PRS22	PRS21	PRS20	カウント・クロック(Hz)の指定	分解能
0	0	0	0	$f_{CLK}/16$	2.6 μs
0	0	0	1		
0	0	1	0		
0	0	1	1	$f_{CLK}/32$	5.3 μs
0	1	0	0	$f_{CLK}/64$	10.7 μs
0	1	0	1	$f_{CLK}/128$	21.3 μs
0	1	1	0	$f_{CLK}/256$	42.7 μs
0	1	1	1	$f_{CLK}/512$	85.3 μs
1	1	1	1	外部クロック（CI）	

備考　f_{CLK}：システム・クロック周波数

(3) キャプチャ／コンペア・コントロール・レジスタ2 (CRC2)

CRC2レジスタは，コンペア・レジスタ（CR21），またはキャプチャ・レジスタ（CR22）による8ビット・タイマ2（TM2）のクリア動作の許可条件やタイマ出力(TO2，TO3)モードを指定するレジスタです。

8ビット操作命令で書き込みのみ可能です。図7-74にCRC2レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により10Hにクリアされます。

図7-74　キャプチャ／コンペア・コントロール・レジスタ2（CRC2）のフォーマット

	7	6	5	4	3	2	1	0
CRC2	MOD1	MOD0	CLR22	1	CLR21	0	0	0

MOD1	MOD0	CLR22	CLR21	タイマ出力モード		TM2のクリア動作
				TO2	TO3	
0	0	0	0	トグル出力	トグル出力	クリアしない
0	0	0	1	トグル出力	トグル出力	TM2とCR21レジスタの一致でクリア
0	0	1	0	トグル出力	トグル出力	TM2の内容をCR22レジスタへキャプチャ後にクリア
0	0	1	1	トグル出力	トグル出力	TM2とCR21レジスタの一致またはTM2の内容をCR22レジスタへキャプチャ後にクリア
0	1	0	0	PWM出力	トグル出力	クリアしない
1	0	0	0	PWM出力	PWM出力	クリアしない
1	1	0	1	PPG出力	トグル出力	TM2とCR21レジスタの一致でクリア

注意　上記以外の組み合わせは禁止

(4) タイマ出力コントロール・レジスタ（TOC）

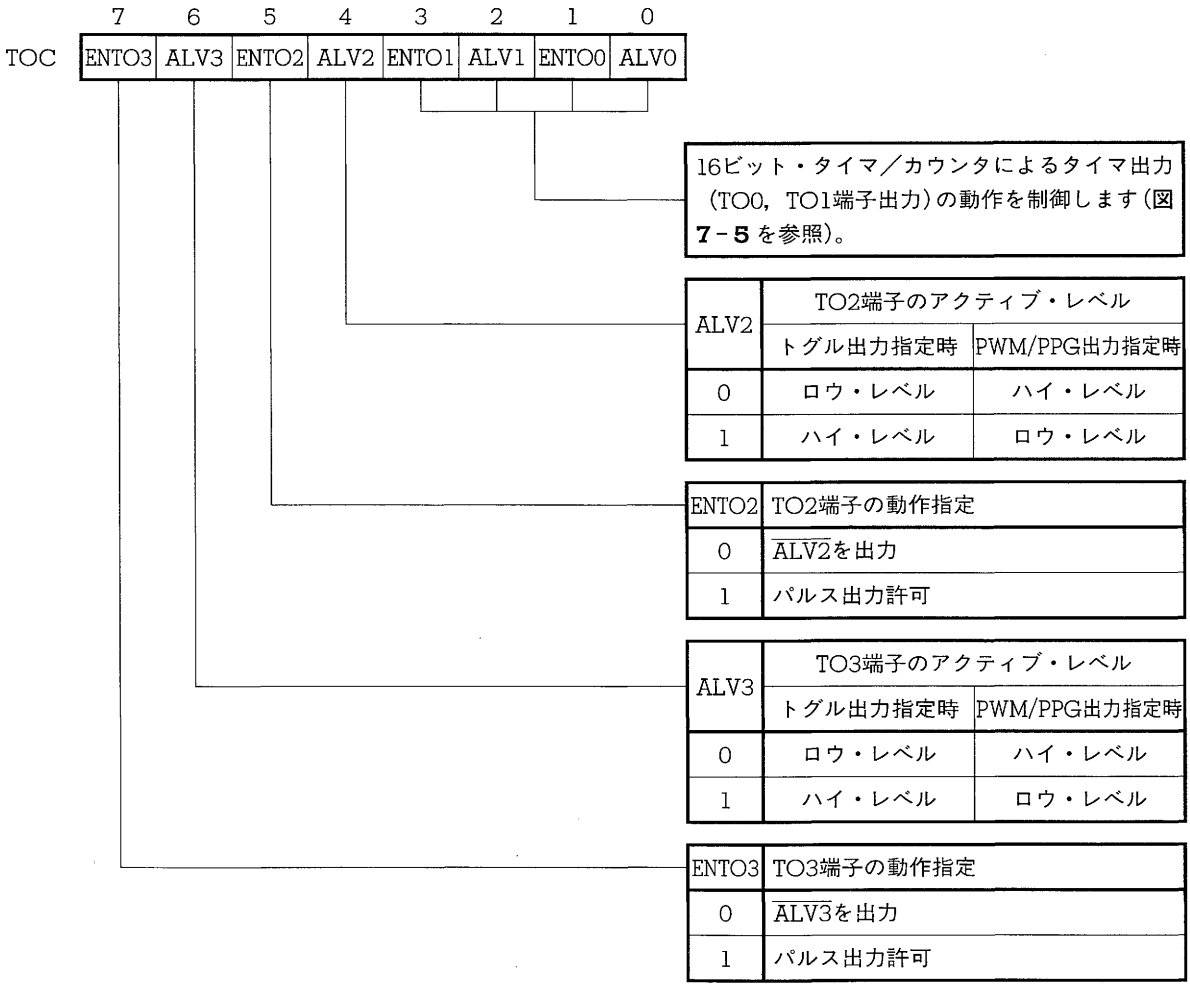
TOCレジスタは，タイマ出力のアクティブ・レベルと出力許可／禁止を制御する8ビット・レジスタです。

上位4ビットで8ビット・タイマ／カウンタ2によるタイマ出力（TO2，TO3端子出力）の動作を制御します（下位4ビットは16ビット・タイマ／カウンタによるタイマ出力（TO0，TO1端子出力）の動作を制御します）。

8ビット操作命令で書き込みのみ可能です。図7-75にTOCレジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hにクリアされます。

図7-75　タイマ出力コントロール・レジスタ（TOC）のフォーマット



7.3.4　8ビット・タイマ2（TM2）の動作

(1) 基本動作

8ビット・タイマ／カウンタ2のカウント動作は，プリスケーラ・モード・レジスタ1（PRM1）の上位4ビットで指定されるカウント・クロックによりカウント・アップします。

カウント動作の禁止／許可は，タイマ・コントロール・レジスタ1（TMC1）のビット7（CE2）で制御します（8ビット・タイマ／カウンタ2の動作制御はTMC1レジスタの上位4ビットで行われます）。CE2ビットをソフトウエアによりセット(1)すると，最初のカウント・クロックでTM2の内容が00Hにクリアされた後，カウント・アップ動作を行います。

CE2ビットをソフトウエアによりリセット(0)すると，TM2は次のカウント・クロックで00Hにクリアされ，キャプチャ動作や一致信号の発生は，停止します。

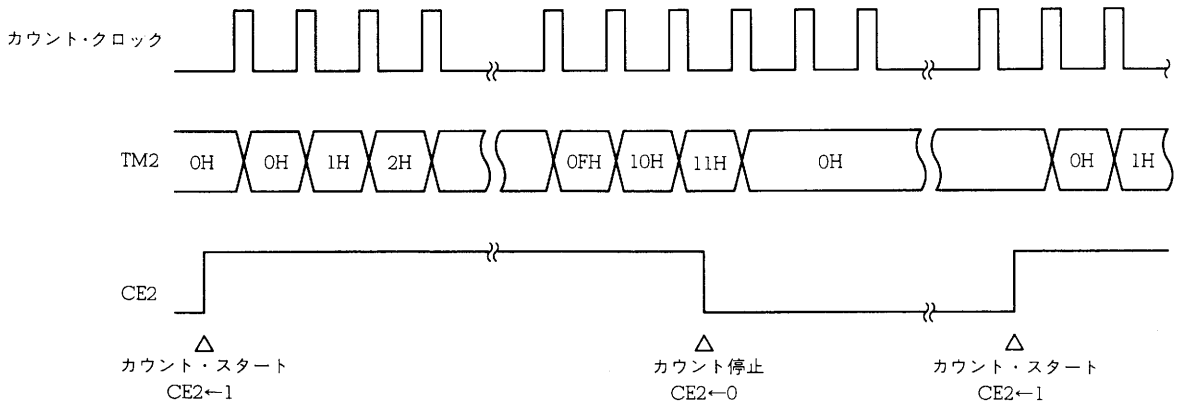
CE2ビットがセット(1)されている状態でさらにCE2ビットをセット(1)した場合，TM2のカウント動作は影響を受けません（**図7－76 (b)**参照）。

TM2がFFHのときにカウント・クロックが入力されると，TM2は00Hになります。このとき，OVF2がセットされ，出力制御回路にオーバフロー信号を送ります。OVF2は，ソフトウエアによってのみクリアされます。また，カウント動作はそのまま継続されます。

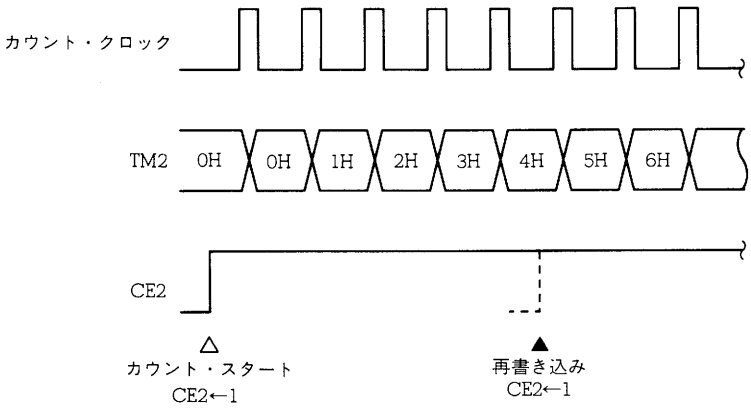
$\overline{\text{RESET}}$入力により，TM2は00Hにクリアされカウント動作は停止します。

図7-76　8ビット・タイマ2(TM2)の基本動作

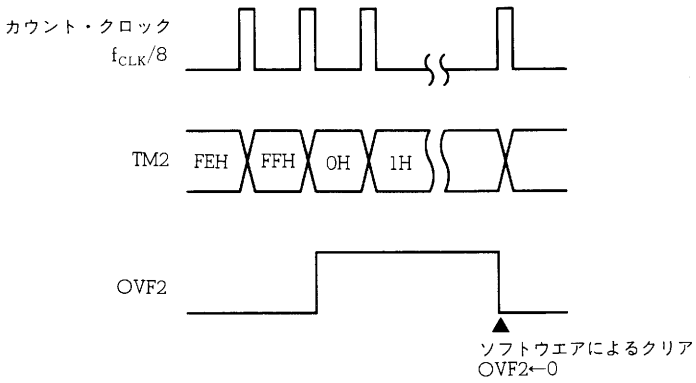
(a) カウント・スタート→カウント禁止→カウント・スタートの場合



(b) カウント・スタート後に再度CE2ビットに“1”を書き込んだ場合



(c) TM2がFFHのときの動作



(2) クリア動作

8ビット・タイマ2（TM2）は，コンペア・レジスタ（CR21）との一致後およびキャプチャ後に自動的にクリアすることができます。TM2は，クリアする要因が発生すると，次のカウント・クロックで00Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

図7－77　コンペア・レジスタ（CR21）との一致によるTM2のクリア

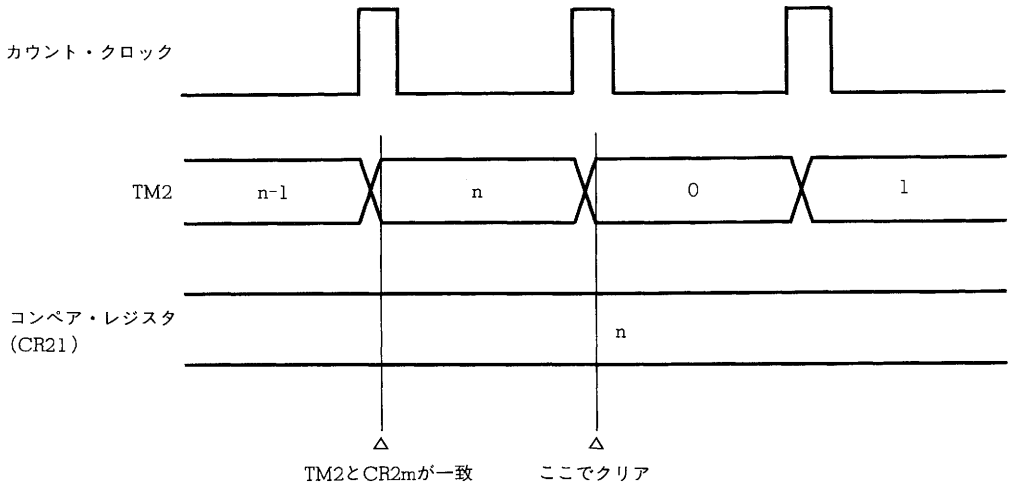
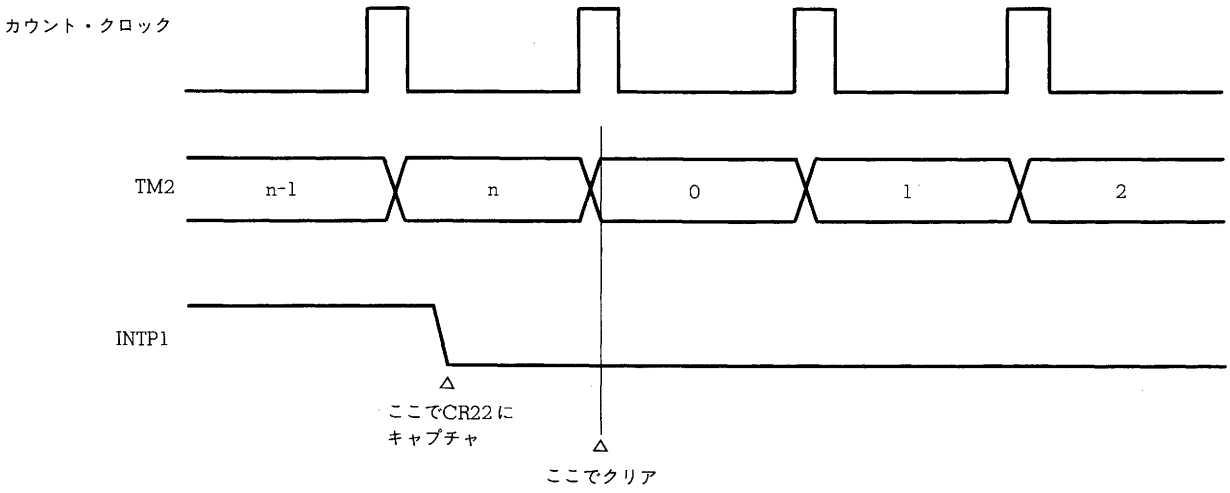


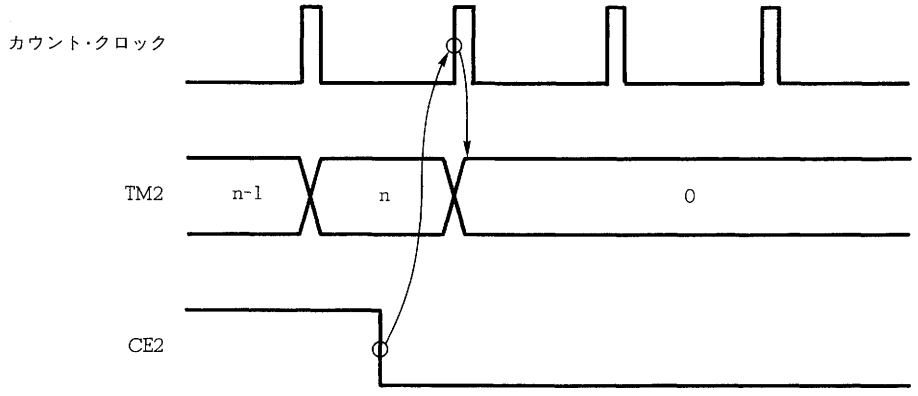
図7－78　キャプチャ後，TM2のクリア



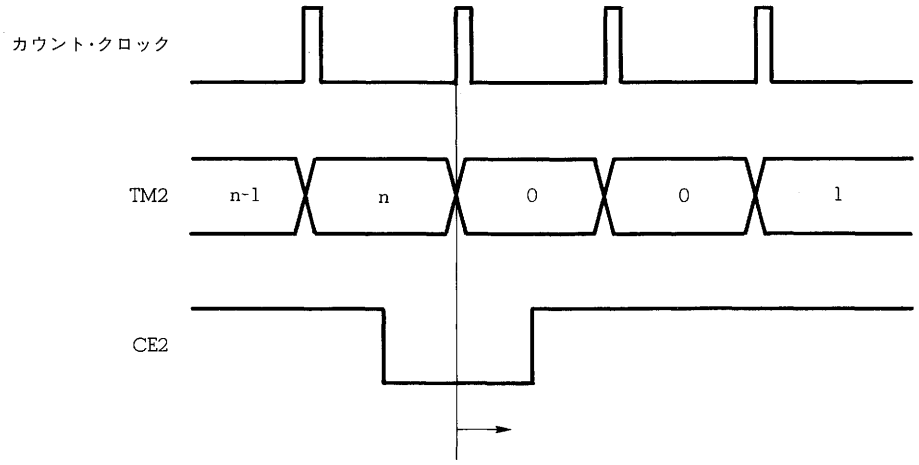
また，TM2はソフトウエアにより，タイマ・コントロール・レジスタ（TMC1）のCE2ビットをリセット(0)することによってもクリアされます。クリア動作は同様に，CE2ビットがリセット(0)されたあとのカウント・クロックで行われます。なお，CE2ビットをリセット(0)し，TM2が0になる前（CE2ビットをリセット(0)したあとの最初のカウント・クロックがくる前）にCE2ビットがセット(1)されると，クリア動作によりTM2が0になる動作とカウント・スタートによる0のカウント動作が同時に行われます。

図7－79　CE2ビットをリセット(0)した場合のクリア動作

(a) 基本動作

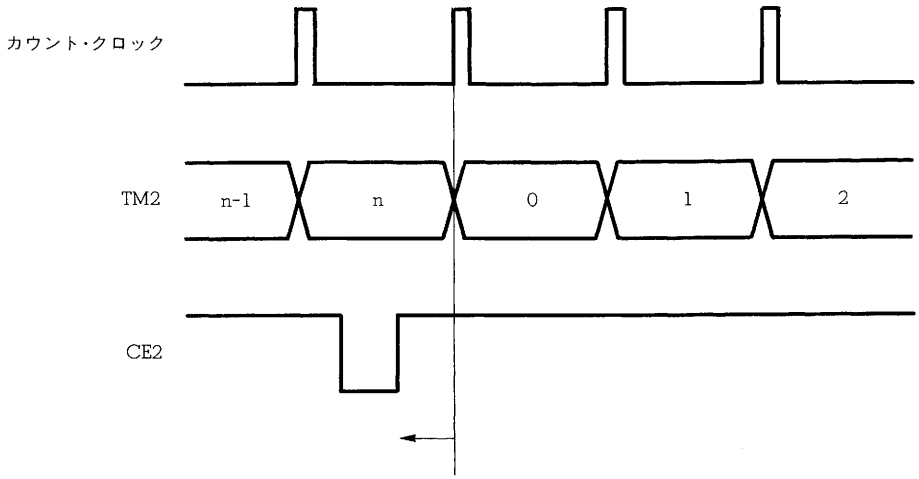


(b) クリア後のTM2が0になってからの再スタート



このカウント・クロック以降にCE2ビットがセット(1)された場合，
CE2ビット・セット後のカウント・クロックで0からカウント

(c) クリア後のTM2が0になる前の再スタート



このカウント・クロック以前にCE2ビットがセット(1)された場合，CE2←0によるTM2のクリア動作とCE2←1による0のカウント動作が同時に行われる

7.3.5　外部イベント・カウンタ機能

8ビット・タイマ／カウンタ2は，外部から入力されるクロック・パルス（CI端子）をカウントすることができます。

外部イベント・カウンタ動作モードは，特別な選択方法を必要としません。プリスケーラ・モード・レジスタ1（PRM1）の上位4ビットの設定によって，TM2のカウント・クロックを外部クロック入力に指定すると，TM2は外部イベント・カウンタとして動作します。

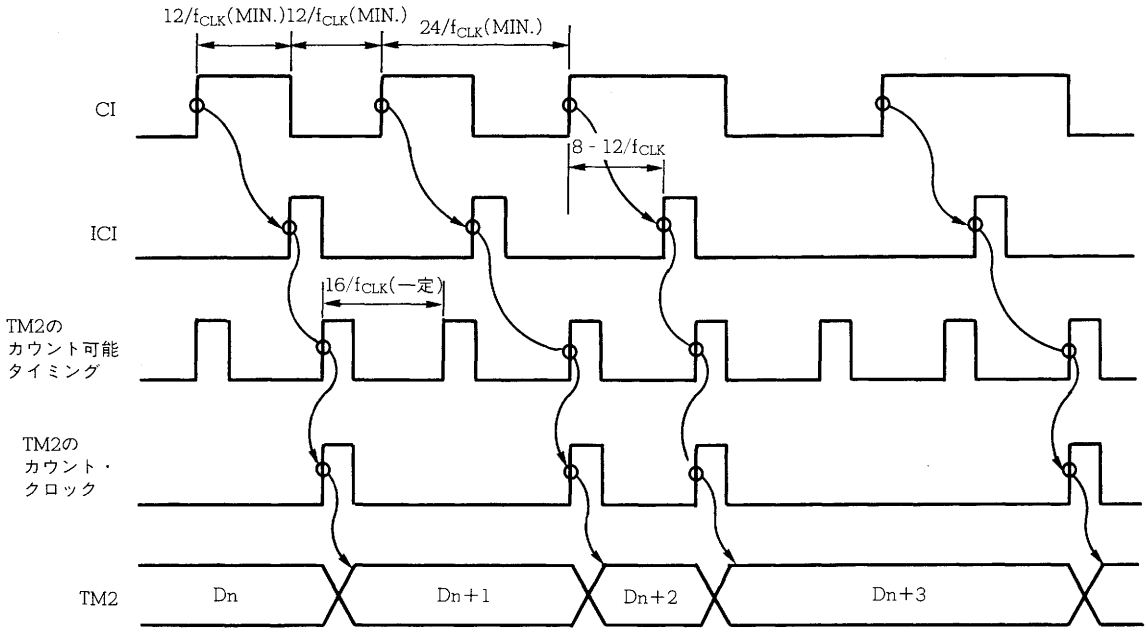
外部イベント・カウンタとしてカウントできる外部クロック・パルスの最大周波数はCI入力の両エッジをカウントする場合187.5 kHz，片エッジのみをカウントする場合250 kHzです（f_{CLK}=6 MHz）。

また，両エッジをカウントする場合は，パルス幅はハイ・レベル，ロウ・レベルともに16システム・クロック（2.67 μs：f_{CLK}=6 MHz）以上必要で，これ以下の場合は，カウントされない場合があります。片エッジをカウントする場合は，パルス幅はハイ・レベル，ロウ・レベルともに12システム・クロック（2 μs：f_{CLK}=6 MHz）以上必要で，これ以下の場合はカウントされない場合があります。

図7-80に，8ビット・タイマ／カウンタ2の外部イベント・カウントのタイミングを示します。

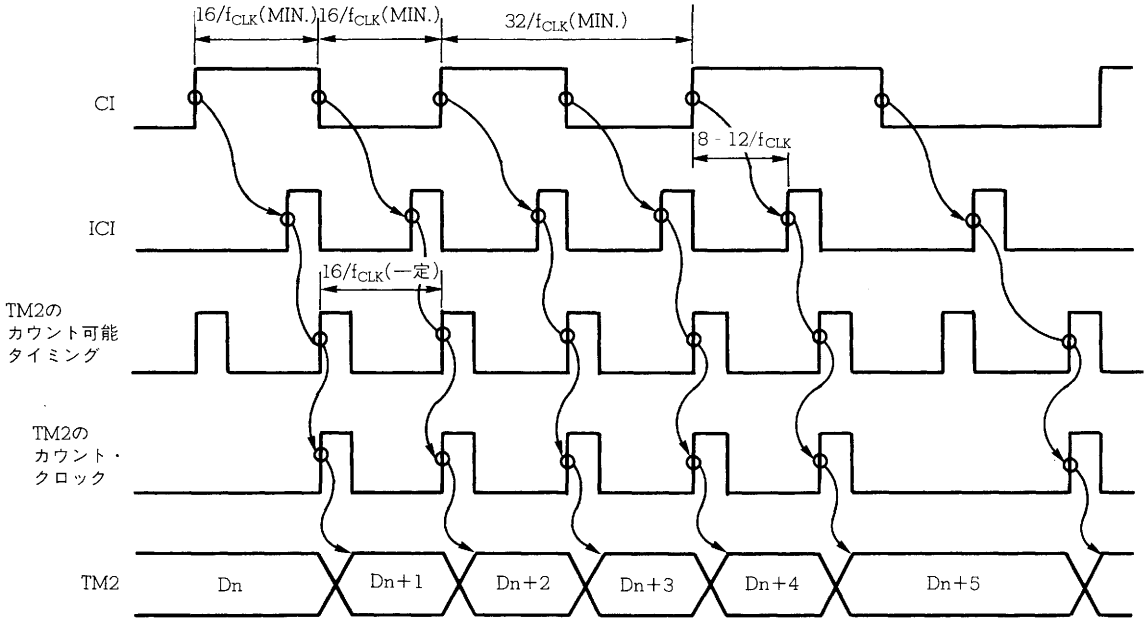
図7-80　8ビット・タイマ／カウンタ2の外部イベント・カウントのタイミング

(1) 片エッジをカウントする場合（最大周波数=f_{CLK}/24）



備考　ICI：CI入力のエッジ検出回路通過後の信号

(2) 両エッジをカウントする場合（最大周波数＝f_{CLK}/32）



備考　ICI：CI入力のエッジ検出回路通過後の信号

TM2のカウントの動作は，基本動作の場合と同様にTMC1レジスタのCE2ビットで制御します。

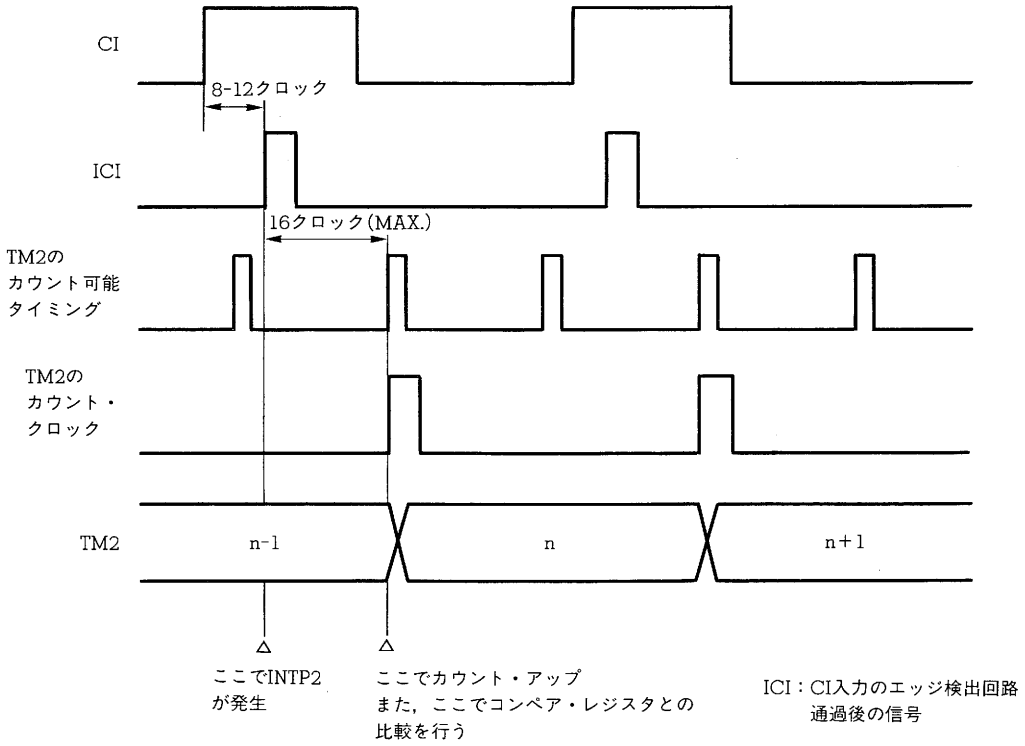
CE2ビットをソフトウエアによってセット(1)すると，最初のカウント・クロックでTM2の内容が00Hとなり，カウント・アップ動作を開始します。

TM2のカウント動作中CE2ビットをソフトウエアによりセット(0)すると，TM2は次のカウント・クロックで00Hにクリアされ停止状態となります。また，CE2ビットがセットされている状態で，さらにソフトウエアによりCE2ビットをセット(1)した場合，TM2のカウント動作は影響を受けません。

注意1.　8ビット・タイマ／カウンタ2を外部イベント・カウンタとして使用する場合，CI端子に有効エッジが入力されてからTM2がインクリメントされるまで最大28システム・クロック（4.67 μs：f_{CLK}=6 MHz）だけ遅れます。したがって，エッジ検出直後にTM2の値を読み出してもインクリメントされていない場合があります。また，コンペア・レジスタ（CR20，CR21）との一致による割り込み要求の発生も同様に，エッジ入力より遅れます。

エッジ入力直後の短いタイミングの制御を行う必要がある場合には，注意してください。

図7－81　外部イベント・カウンタでの割り込み要求発生



注意2.　8ビット・タイマ／カウンタ2を外部イベント・カウンタとして使用する場合，有効エッジの入力が一度もない状態と1回だけあった状態の区別がTM2だけではつけられません(図7－82参照)。TM2の内容はいずれの場合も0になります。区別をつける必要がある場合には，INTP2の割り込み要求フラグを利用してください(INTP2端子とCI端子は兼用になっており，いずれの機能も同時に使用できます)。例を図7－83に示します。

図7－82　外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例

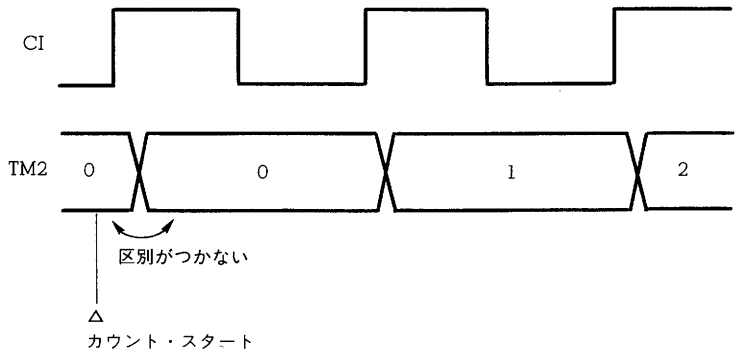
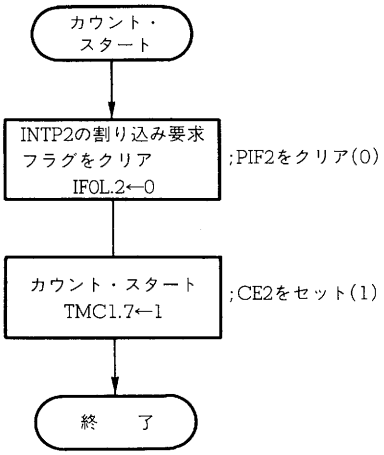
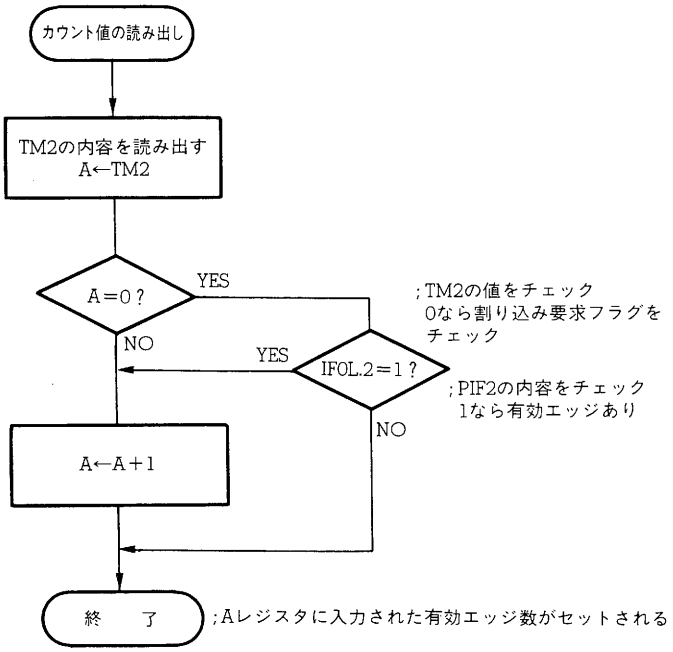


図7－83　外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



★　注意3.　インサーキット・エミュレータではCI／INTP2端子のディジタル・ノイズ除去を正常に行うことができません。イベント・カウンタを使用している場合は，7.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。

7.3.6　ワンショット・タイマ機能

8ビット・タイマ／カウンタ2には，カウントの結果フル・カウント（FFH）になると自動的に停止する動作モードがあります。

図7-84　ワンショット・タイマ動作

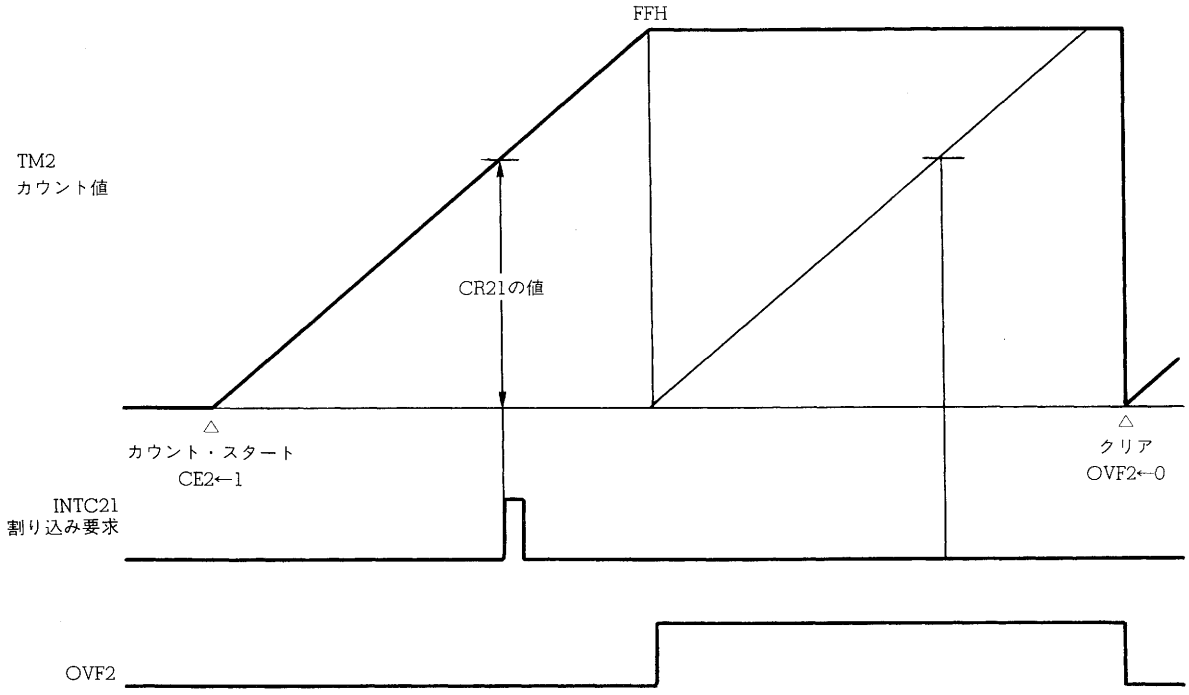


図7-84に示すように，CR20，CR21レジスタにあらかじめ設定した値（0H-FFH）とTM2の値との一致で，それぞれワンショットの割り込みを発生します。

ワンショット・タイマ動作モードの指定は，タイマ・コントロール・レジスタ1（TMC1）のビット5（CMD2）をソフトウエアでセット(1)することによって行います。

TM2のカウント動作は，基本動作の場合と同様にTMC1，レジスタのCE2ビットで制御します。

CE2ビットをソフトウエアによってセット(1)すると，最初のカウント・クロックでTM2の内容が00Hとなり，カウント・アップ動作を開始します。

カウント・アップの結果TM2の内容がFFH（フル・カウント）になると，TMC1レジスタのビット6（OVF2）がセット(1)され，TM2はカウント値FFHのまま停止します。

カウント停止状態から再びワンショット・タイマ動作をスタートさせる場合，OVF2ビットをソフトウエアでリセット(0)することによって行います。OVF2ビットをリセット(0)すると，次のカウント・クロックでTM2の内容が00Hとなり，カウント・アップ動作を再開します。

TM2のカウント動作中にCE2ビットをソフトウエアによりリセット(0)すると，TM2は次のカウント・クロックで00Hにクリアされ，停止状態となります。また，CE2ビットがセット(1)されている状態で，さらにソフトウエアでCE2ビットをセット(1)した場合，TM2のカウント動作は影響を受けません。

7.3.7　コンペア・レジスタ，キャプチャ・レジスタの動作

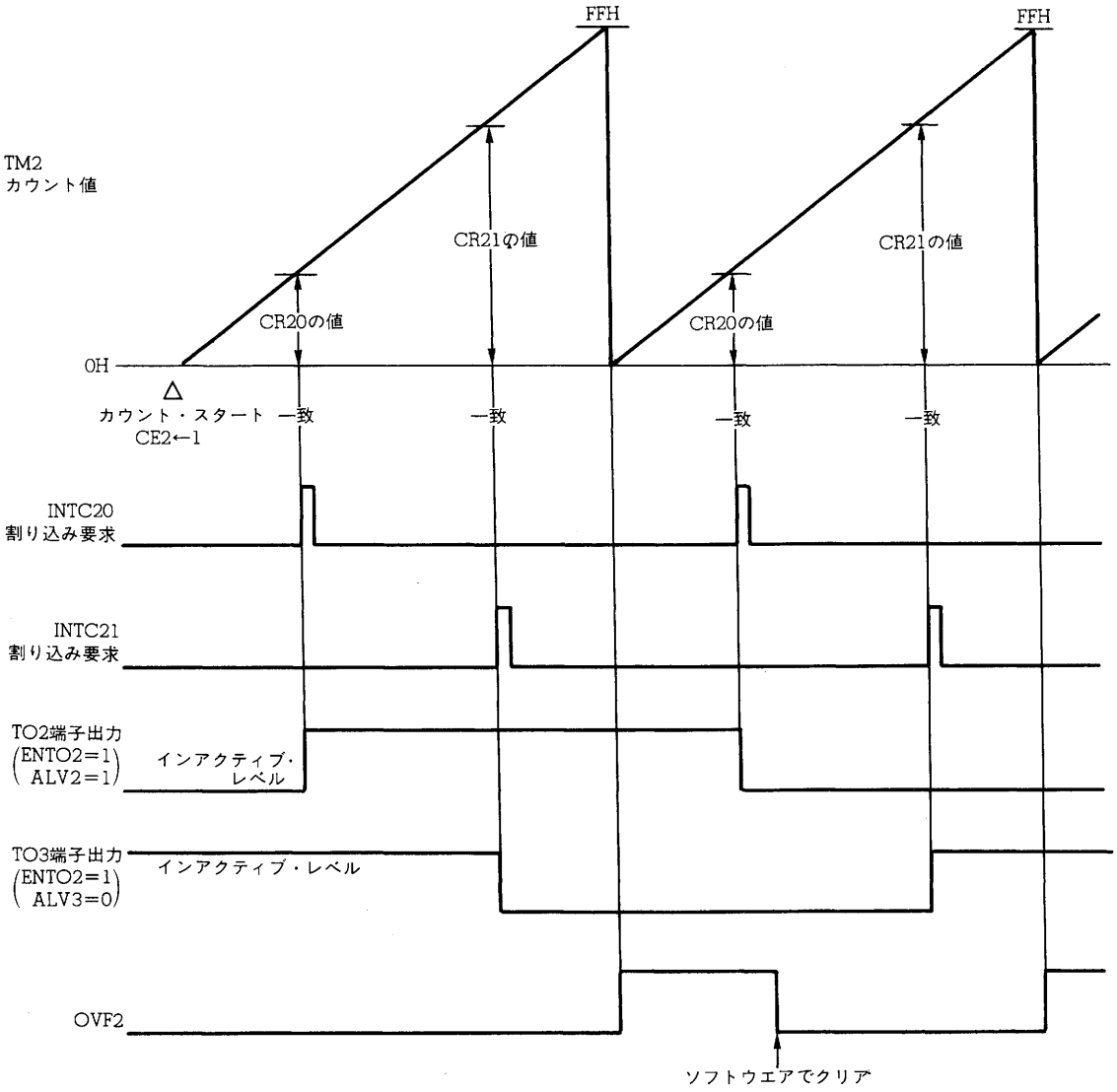
(1) コンペア動作

8ビット・タイマ／カウンタ2は，コンペア・レジスタに設定された値をタイマのカウント値と比較するコンペア動作を行います。

あらかじめ設定されたコンペア・レジスタ（CR20，CR21）の値に8ビット・タイマ2（TM2）のカウント値がカウント動作によって一致すると，出力制御回路に一致信号を送ります。同時に割り込み要求信号（INTC20，INTC21）を発生します。

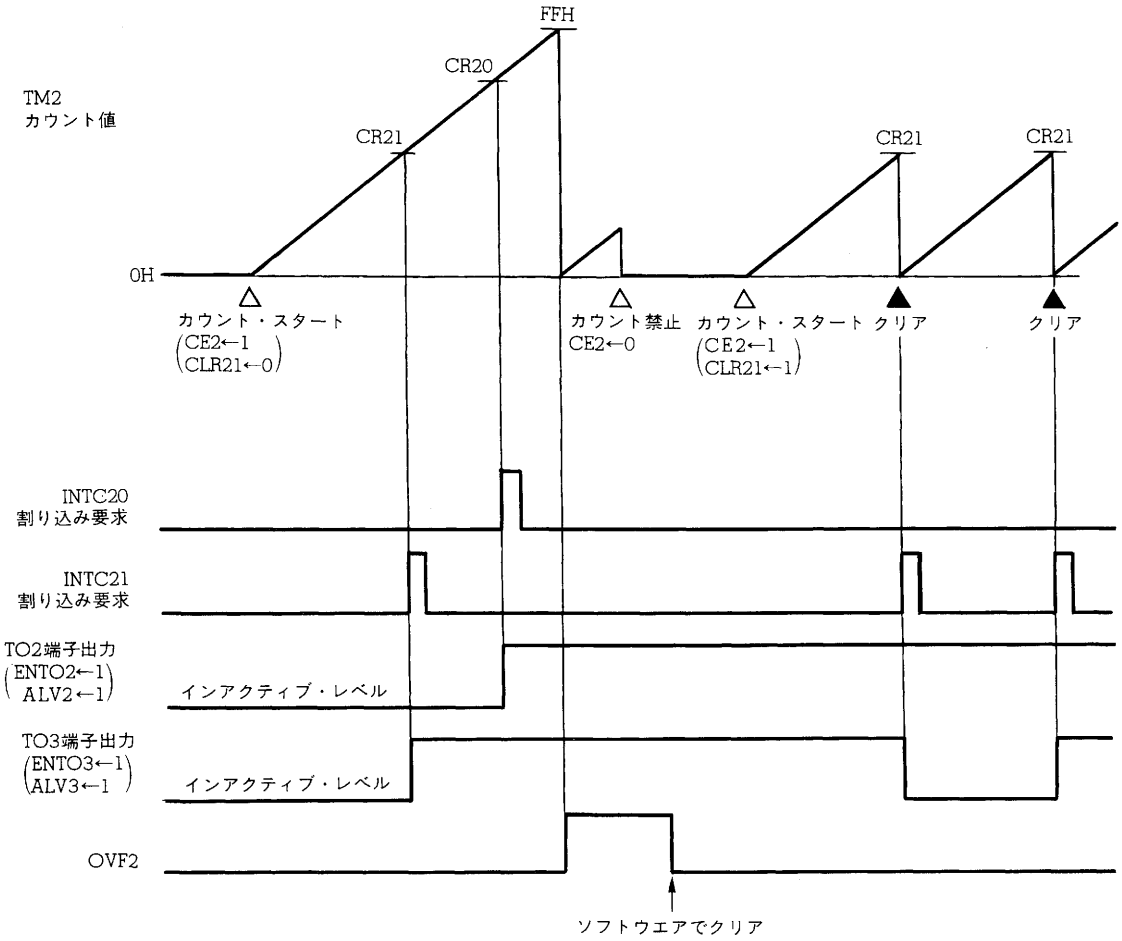
また，CR21レジスタの値と一致後，TM2の内容をクリアすることができ，CR21レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図7-85　コンペア動作



備考　CLR21=0，CLR22=0

図7-86　一致検出後，TM2のクリア



備考　CLR22=0

注意　インサーキット・エミュレータ使用時についての注意がありますので，7.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。　★

(2) キャプチャ動作

8ビット・タイマ／カウンタ2は，外部トリガに同期してタイマのカウント値をキャプチャ・レジスタに取り込み，保持するキャプチャ動作を行います。

外部トリガとして，外部割り込み要求(INTP1) 入力端子の入力から検出された有効エッジを用います(キャプチャ・トリガ)。そのキャプチャ・トリガに同期してカウント中の8ビット・タイマ(TM2)のカウント値をキャプチャ・レジスタ（CR22）に取り込み，保持します。プログラムでCR22のキャプチャ値を読み出した後，CR22レジスタの内容は不定となります。

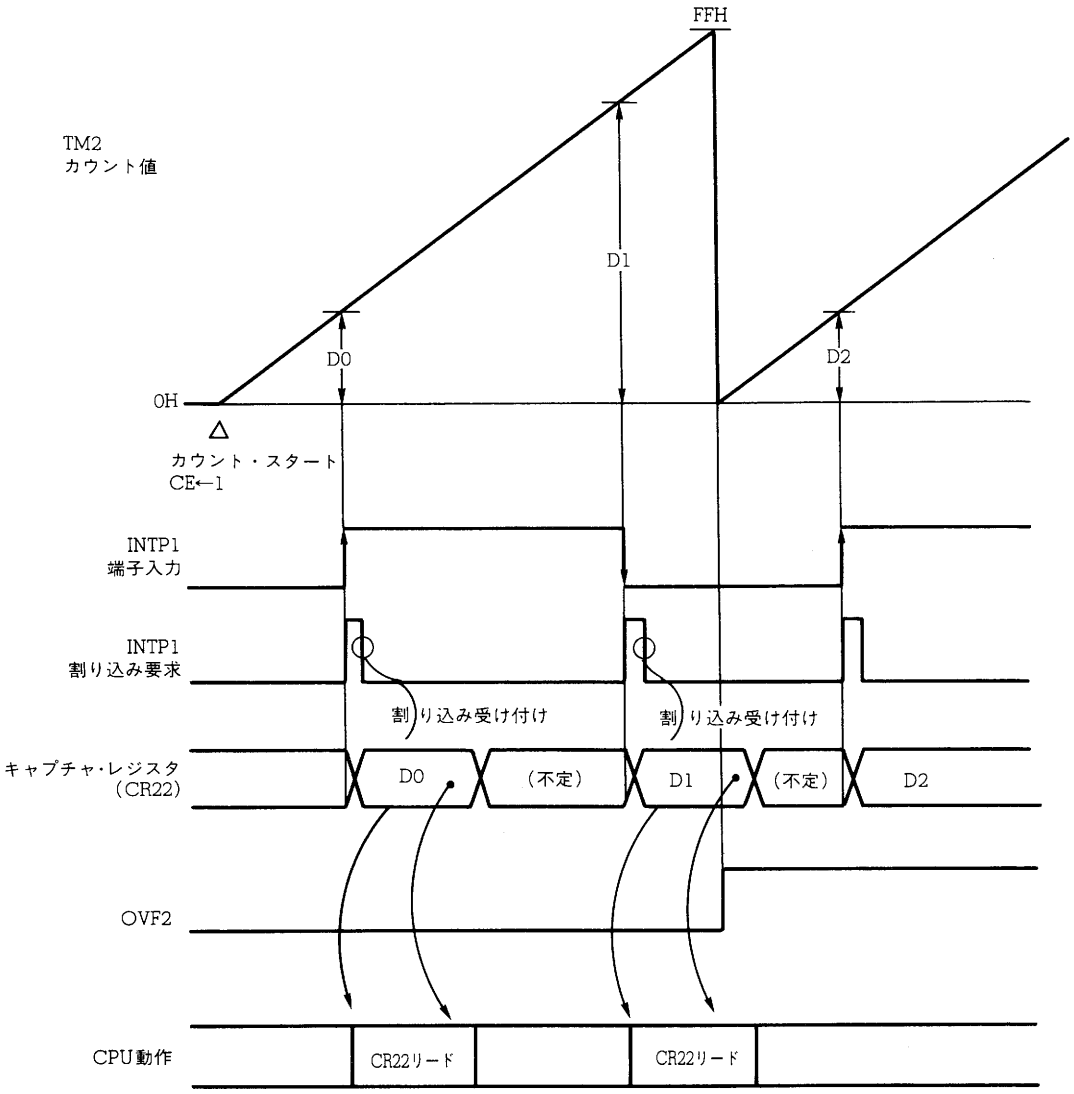
キャプチャ・トリガの有効エッジは外部割り込みモード・レジスタ0（INTM0）により設定します。立ち上がり，立ち下がり両エッジがキャプチャ・トリガとなるように設定すれば，外部からの入力パルス幅を測定することができます。また，片側エッジでキャプチャ・トリガを発生させた場合，入力パルスの周期を測定することができます。

INTM0レジスタの詳しいフォーマットは，**第11章の図 11－1** を参照してください。

注意1.　CR22レジスタは，読み出したあと，不定になります。キャプチャした値を2回以上使用したい場合は，レジスタまたはメモリなどへキャプチャ値を退避しておき，その値を使用するようにしてください。

★　**2.　インサーキット・エミュレータ使用時についての注意がありますので，7.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。**

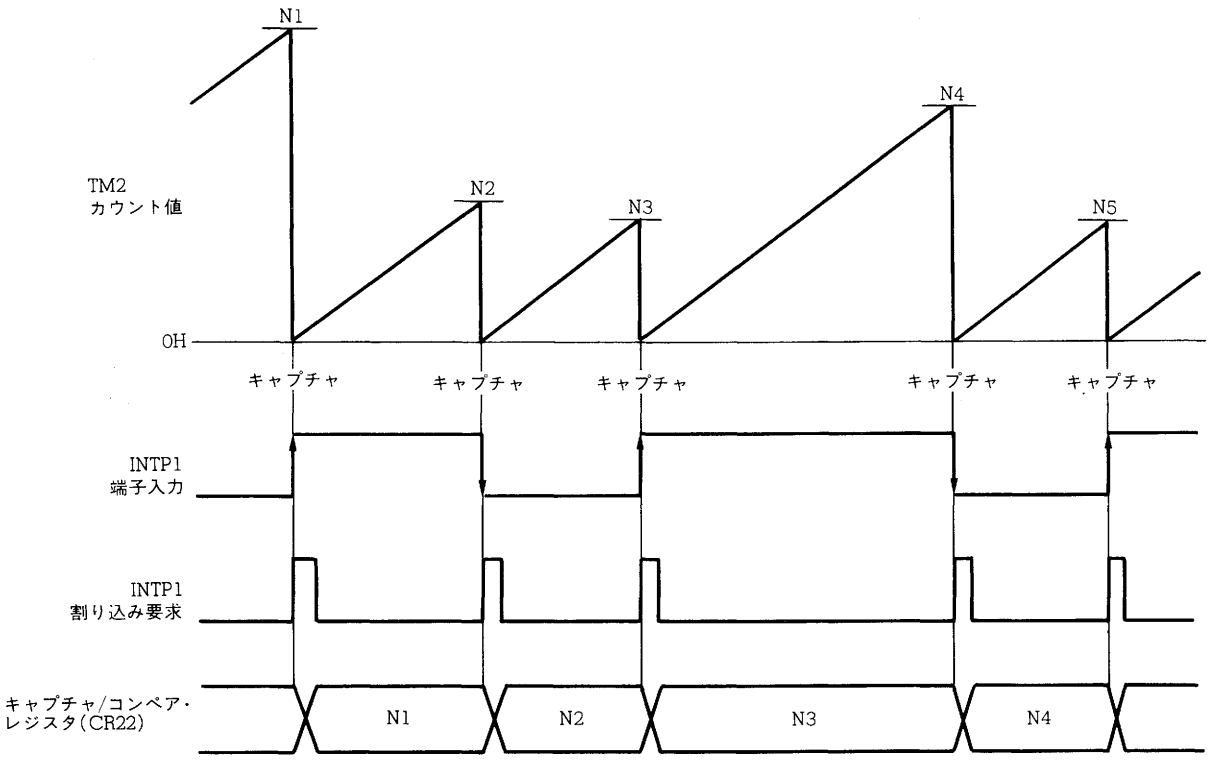
図7－87　キャプチャ動作



備考　Dn：TM2のカウント値(n＝0，1，2，…)

CLR21＝0，CLR22＝0

図7－88　キャプチャ後，TM2のクリア



備考　CLR21＝0，CLR22＝1

7.3.8　出力制御回路の基本動作

出力制御回路は，コンペア・レジスタからの一致信号によって，タイマ出力（TO2，TO3）のレベルを制御します。出力制御回路の動作は，タイマ出力コントロール・レジスタ（TOC）とキャプチャ／コンペア・コントロール・レジスタ2（CRC2）によって決定されます（**表7－15**参照）。なお，タイマ出力（TO2，TO3）信号の端子への出力は，PMC3レジスタで該当する端子がコントロール・モードになっている必要があります。

表7－15　タイマ出力（TO2，TO3）の動作

TOC				CRC2				TMC1	TO3	TO2
ENTO3	ALV3	ENTO2	ALV2	MOD1	MOD0	CLR22	CLR21	CMD2		
0	0／1	0	0／1	×	×	×	×	×	ハイ／ロウ・レベル固定	ハイ／ロウ・レベル固定
0	0／1	1	0／1	0	0	×注	×	×	ハイ／ロウ・レベル固定	トグル出力（ロウ／ハイ・アクティブ）
1	0／1	0	0／1	0	0	×注	×	×	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0／1	1	0／1	0	0	×注	×	×	トグル出力（ロウ／ハイ・アクティブ）	トグル出力（ロウ／ハイ・アクティブ）
0	0／1	1	0／1	0	1	0	0	0	ハイ／ロウ・レベル固定	PWM出力（ハイ／ロウ・アクティブ）
1	0／1	0	0／1	0	1	0	0	0	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0／1	1	0／1	0	1	0	0	0	トグル出力（ロウ／ハイ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
0	0／1	1	0／1	1	0	0	0	0	ハイ／ロウ・レベル固定	PWM出力（ハイ／ロウ・アクティブ）
1	0／1	0	0／1	1	0	0	0	0	PWM出力（ハイ／ロウ・アクティブ）	ハイ／ロウ・レベル固定
1	0／1	1	0／1	1	0	0	0	0	PWM出力（ハイ／ロウ・アクティブ）	PWM出力（ハイ／ロウ・アクティブ）
0	0／1	1	0／1	1	1	0	1	0	ハイ／ロウ・レベル固定	PPG出力（ハイ／ロウ・アクティブ）
1	0／1	0	0／1	1	1	0	1	0	トグル出力（ロウ／ハイ・アクティブ）	ハイ／ロウ・レベル固定
1	0／1	1	0／1	1	1	0	1	0	トグル出力（ロウ／ハイ・アクティブ）	PPG出力（ハイ／ロウ・アクティブ）

注　通常，この場合はCLR22は0とします。

備考1.　ALV3，ALV2の欄の0／1は，それぞれTO3，TO2の／の左右に対応します。

2.　×は0または1を表します。

3.　本表にない組み合わせは使用できません。

(1) 基本動作

タイマ出力コントロール・レジスタ（TOC）のENTOn（n=2, 3）をセット(1)することにより，キャプチャ／コンペア・コントロール・レジスタ2（CRC2）のMOD0, MOD1およびCLR21の設定に従ったタイミングでタイマ出力（TO2, TO3）を変化させることができます。

また，ENTOn（n=2, 3）をクリア（0）することにより，タイマ出力（TO2, TO3）を固定レベルにします。固定されるレベルは，タイマ出力コントロール・レジスタ（TOC）のALVn(n=2, 3)によって決定されます。ALVn(n=2, 3) が0のときはハイ・レベルに，ALVn(n=2, 3) が1のときはロウ・レベルになります。

(2) トグル出力

トグル出力は，コンペア・レジスタ（CR20, CR21）の値が8ビット・タイマ2（TM2）の値と一致するたびに出力レベルを反転させる動作モードです。TO2はCR20とTM2の一致によって出力レベルが反転し，TO3はCR21とTM2の一致によって出力レベルが反転します。

★　なお，TMC1レジスタのCE2ビットをリセット（0）して，8ビット・タイマ／カウンタ2を停止させると，停止時の出力レベルを保持します。

図7-89　トグル出力の動作

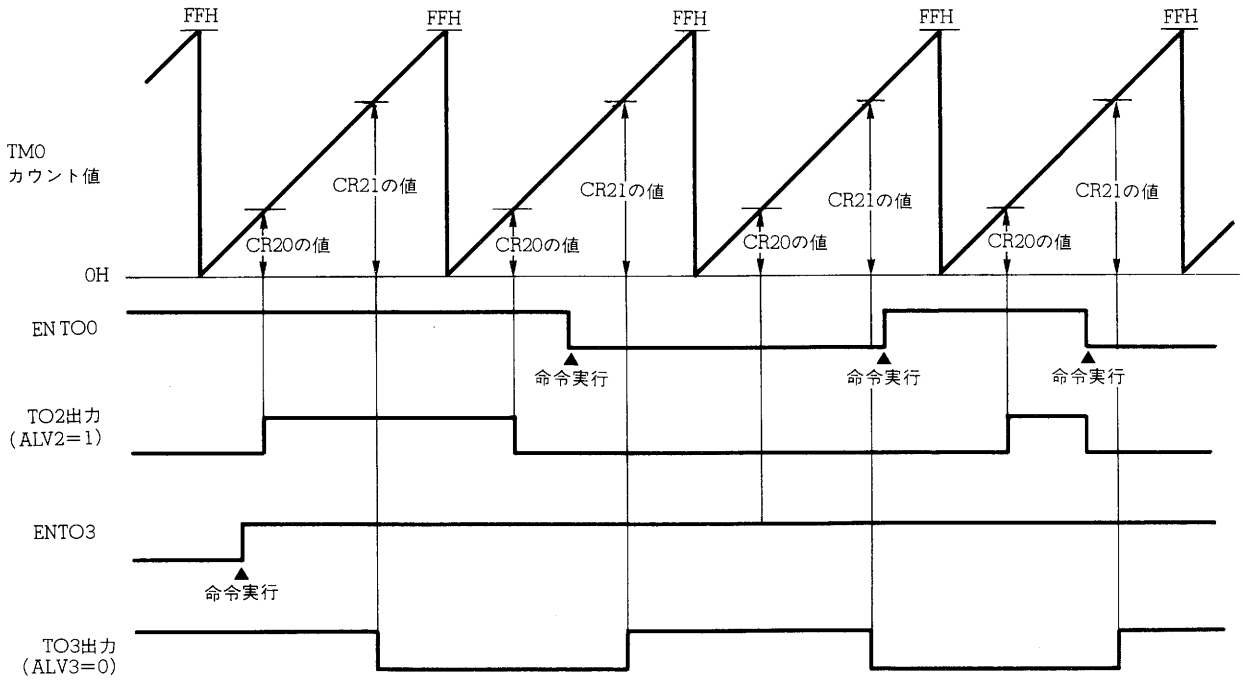


表7－16　TO2，TO3のトグル出力（f_{CLK}＝6 MHz）

カウント・クロック	最小パルス幅	最大パルス幅
$f_{CLK}/16$	2.6 μs	$2^8 \times 16/f_{CLK}$ (683 μs)
$f_{CLK}/32$	5.3 μs	$2^8 \times 32/f_{CLK}$ (1.37 ms)
$f_{CLK}/64$	10.7 μs	$2^8 \times 64/f_{CLK}$ (2.73 ms)
$f_{CLK}/128$	21.3 μs	$2^8 \times 128/f_{CLK}$ (5.46 ms)
$f_{CLK}/256$	42.7 μs	$2^8 \times 256/f_{CLK}$ (10.9 ms)
$f_{CLK}/512$	85.3 μs	$2^8 \times 512/f_{CLK}$ (21.8 ms)

7

注意　インサーキット・エミュレータ使用時についての注意がありますので，7.5.4　インサーキット・エミュレータ使用時の注意事項を参照してください。　★

7.3.9　PWM出力

8ビット・タイマ2（TM2）がフルカウントする期間を1周期とするPWM信号を出力するモードです。TO2のパルス幅は，CR20の値によって決定され，TO3のパルス幅は，CR21の値によって決定されます。本機能を使用する場合は，キャプチャ／コンペア・コントロール・レジスタ2（CRC2）のCLR21ビットおよびCLR22ビットを0に，また，タイマ・コントロール・レジスタ1(TMC1)のCMD2ビットを0にする必要があります。

パルス周期とパルス幅は，次のようになります。

・PWM周期 = 256／f_{CLK}

・PWMパルス幅 = ((コンペア・レジスタの設定値注)×x+2)／f_{CLK}

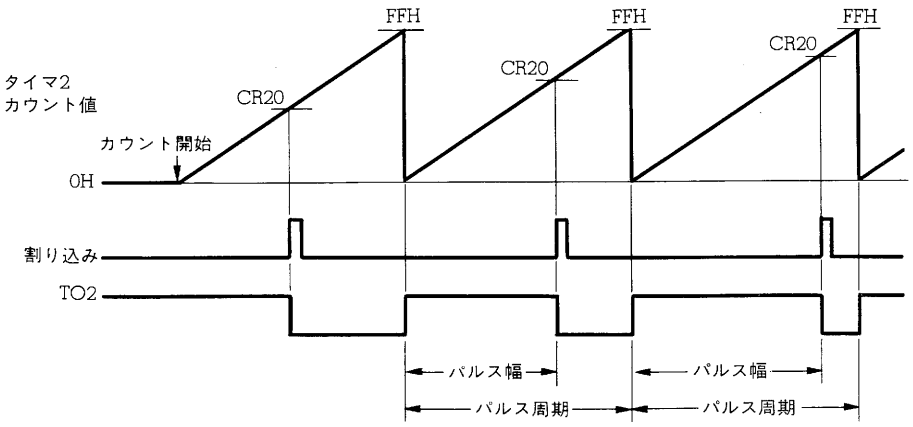
; x = 16, 32, 64, 128, 256, 512

注　コンペア・レジスタには0は設定できません。

・デューティ $= \dfrac{\text{PWMパルス幅}}{\text{PWM周期}} = \dfrac{\text{コンペア・レジスタの設定値} \times x + 2}{256 \times x} \fallingdotseq \dfrac{\text{コンペア・レジスタの設定値}}{256}$

注意　PWM出力では，パルス幅が近似式に比べてアクティブ・レベルで，f_{CLK}の2クロック分長く，インアクティブ・レベルがf_{CLK}の2クロック分短くなります。高精度の出力が必要な場合，またはカウント・クロックが高速の場合は，この点について考慮のうえご使用ください。

図7－90　PWMパルス出力



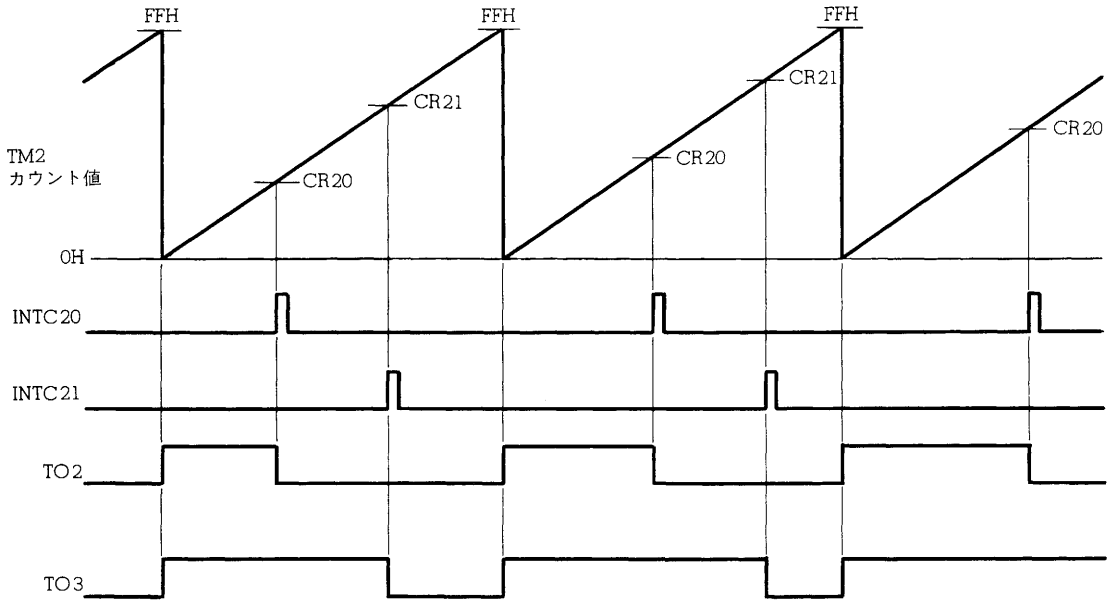
備考　ALV2＝0

表7－17　TO2，TO3のPWM周期（f_{CLK}＝6 MHz）

カウント・クロック	最小パルス幅〔μs〕	周期〔ms〕	PWM周波数〔Hz〕
f_{CLK}／16	2.7	0.7	1465
f_{CLK}／32	5.3	1.4	732
f_{CLK}／64	10.7	2.7	366
f_{CLK}／128	21.3	5.5	183
f_{CLK}／256	42.7	10.9	92
f_{CLK}／512	85.3	21.8	46

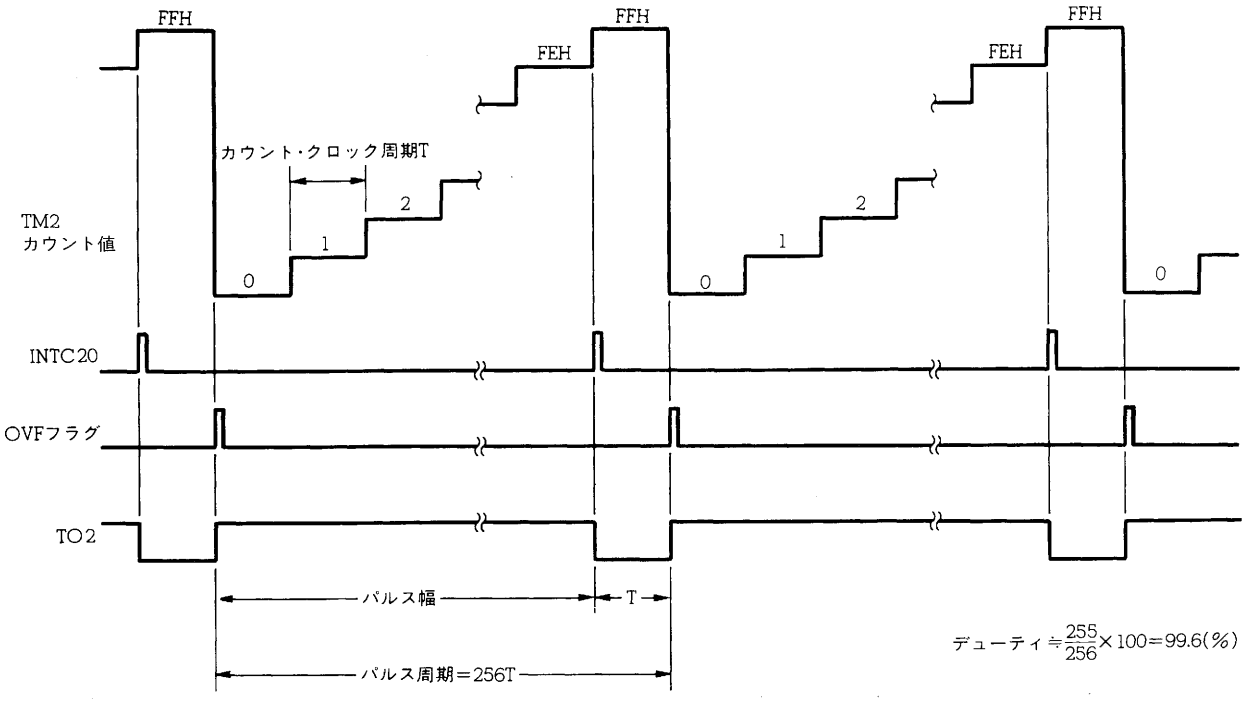
図7-91は，2チャネルのPWM出力の例です。また，図7-92は，コンペア・レジスタにFFHを設定した場合の動作です。

図7-91　TM2を用いたPWM出力例



備考　ALV2=0，ALV3=0

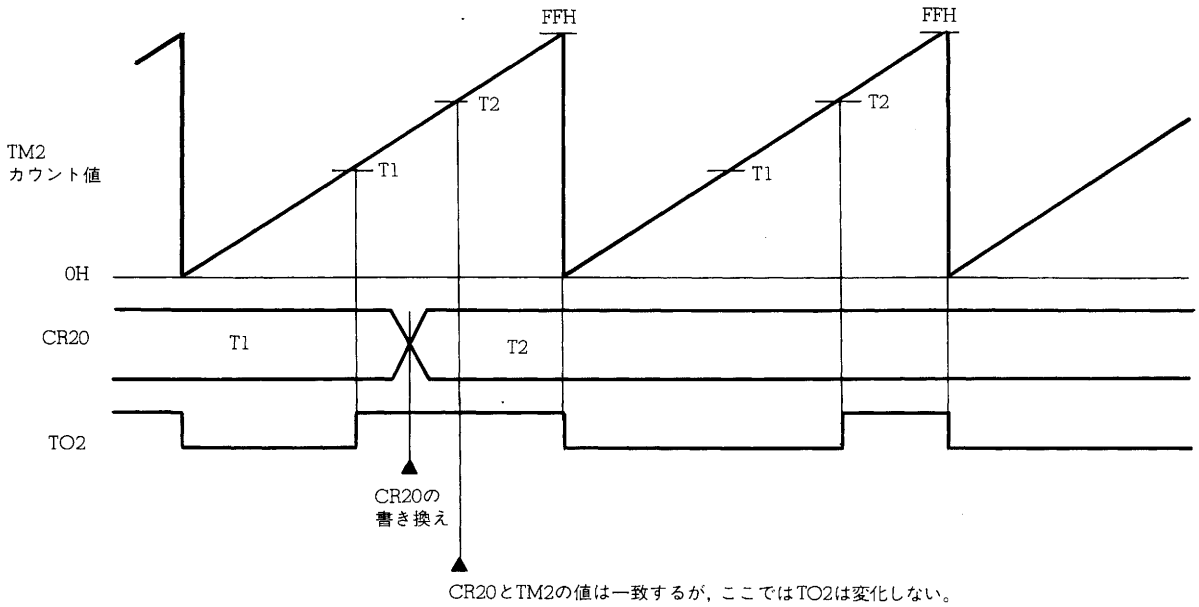
図7-92　CR20=FFHのときのPWM出力例



備考　ALV2=0

なお，PWM出力の1周期の期間中に，二度以上コンペア・レジスタ（CR20，CR21）の値が8ビット・タイマ（TM2）の値と一致しても，タイマ出力（TO2，TO3）の出力レベルは反転しません。

図7－93　コンペア・レジスタの書き換え例

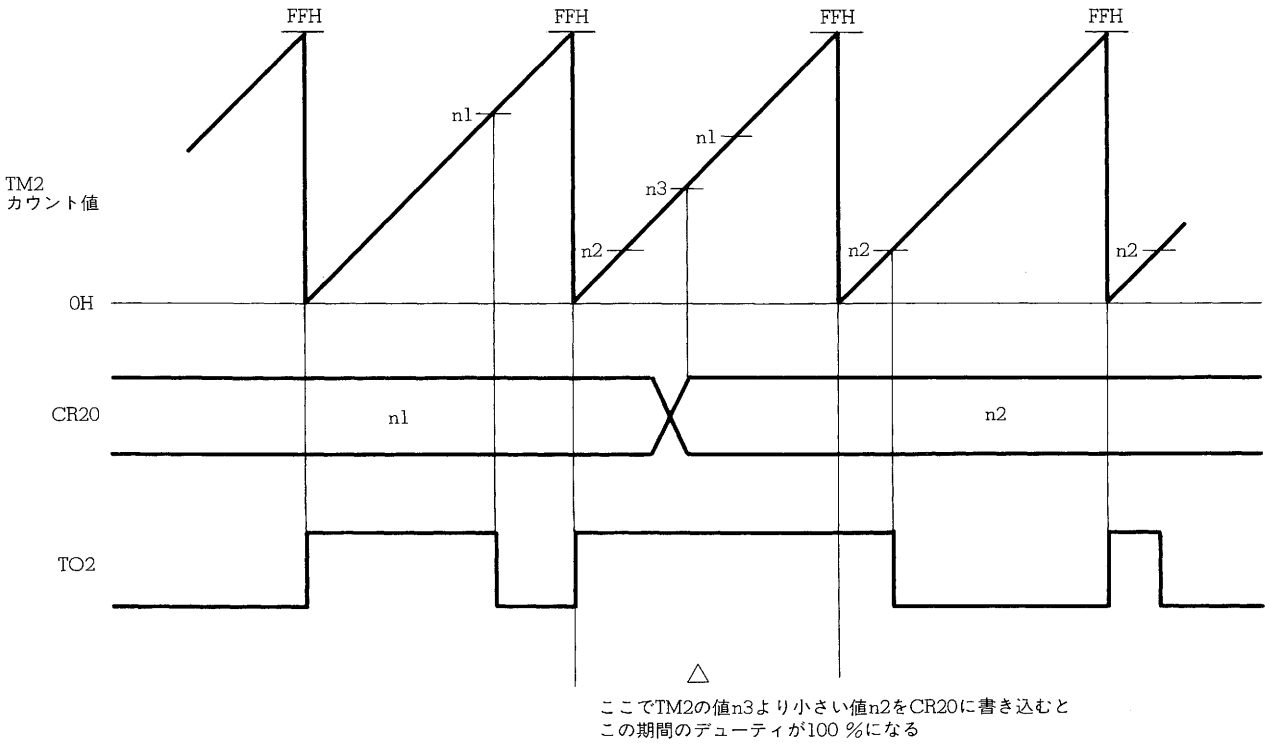


備考　ALV2＝1

注意1.　タイマ出力禁止時（ENTOn＝0，n＝2，3）のTOn（n＝2，3）端子の出力レベルは，ALVn（n＝2，3）に設定した値の反転値となります。したがって，PWM出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

2.　コンペア・レジスタ（CR20，CR21）の値を8ビット・タイマ2（TM2）より小さい値に設定すると，デューティ100％のPWM信号が出力されてしまいます。CR20，CR21の書き換えはTM2と書き換えを行うコンペア・レジスタ（CR20，CR21）との一致による割り込みで行ってください。

★ 図７－94　PWM出力時にデューティが100％になる例



備考　ALV2＝0

7.3.10　PPG出力

コンペア・レジスタCR21の値で決まる時間を1周期とし，コンペア・レジスタCR20の値で決まる時間をパルス幅とする矩形波を出力する機能です。PWM出力のPWM周期を可変にしたものです。この出力は，TO2からのみ出力することができます。

この機能を使用する場合は，キャプチャ／コンペア・コントロール・レジスタ（CR22）のCLR21ビットを1に，またCLR22ビットを0に，タイマ・コントロール・レジスタ1（TMC1）のCMD2ビットを0にする必要があります。

パルス周期とパルス幅は，次のようになります。

・PPG周期 ＝（コンペア・レジスタCR21の設定値＋1）×x／f_{CLK}

；x ＝ 16，32，64，128，256，512

・PPGパルス幅 ＝（（コンペア・レジスタCR20の設定値）×x＋2）／f_{CLK}≒CR20の設定値×x／f_{CLK}

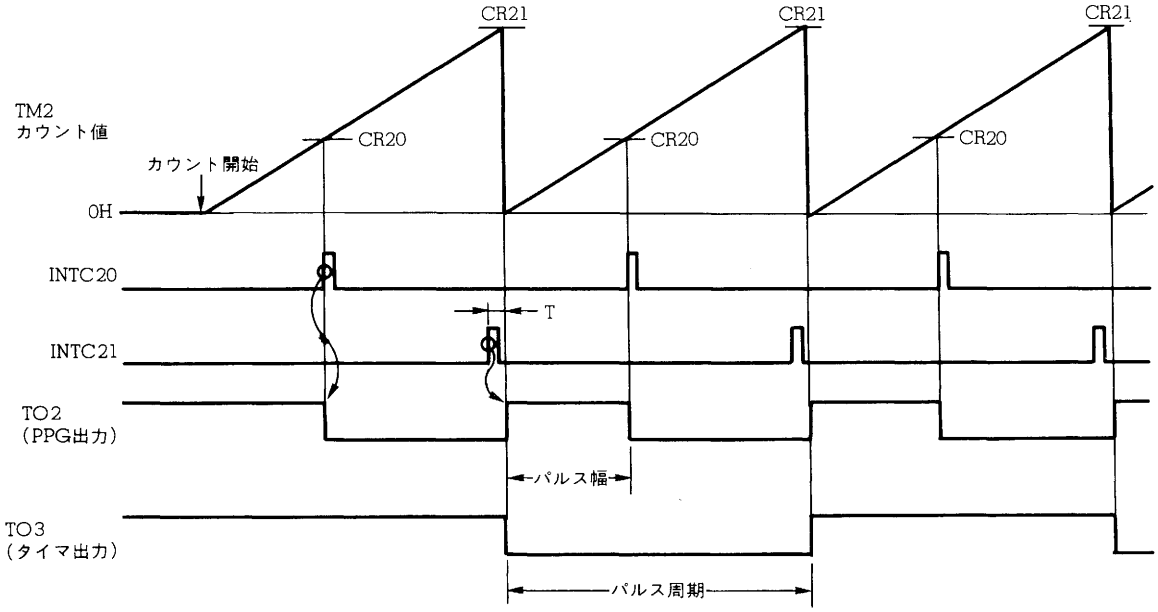
ただし，CR20 ≦ CR21

・デューティ $= \dfrac{\text{PPGパルス幅}}{\text{PPG周期}} = \dfrac{\text{CR20の設定値}\times x+2}{(\text{CR21の設定値}+1)\times x} \fallingdotseq \dfrac{\text{CR20の設定値}}{\text{CR21の設定値}+1}$

図7－95は，8ビット・タイマ2（TM2）を用いたPPG出力の例です。また図7－96はCR20＝CR21に設定した場合の，図7－97は，CR20＝00Hに設定した場合の例です。

注意　PPG出力では，パルス幅が近似式に比べてアクティブ・レベルで，f_{CLK}の2クロック分長く，インアクティブ・レベルがf_{CLK}の2クロック分短くなります。高精度の出力が必要な場合，PPGパルス周期が短い場合，またはカウント・クロックが高速の場合は，この点について考慮のうえご使用ください。

図7－95　TM2を用いたPPG出力例



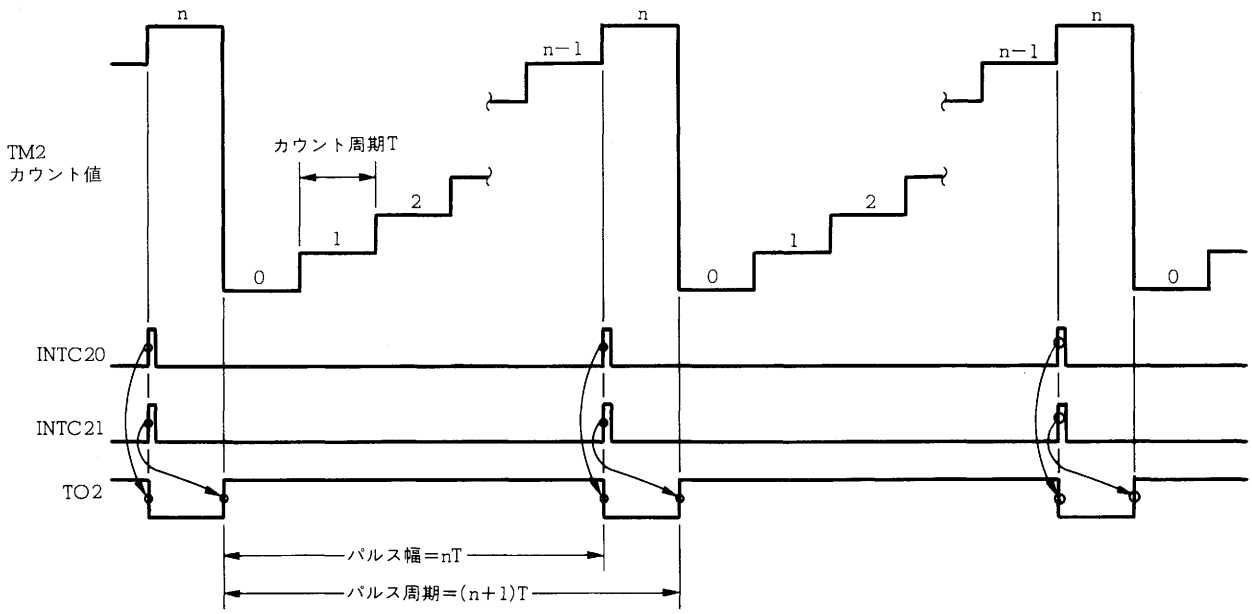
備考　ALV2＝0，ALV3＝0

表7－18　TO2のPPG出力（f_{CLK}＝6 MHz）

カウント・クロック	最小パルス幅注	PPG周期	PPG周波数
$f_{CLK}/16$	2.67 μs	5.33 μs-683 μs	187.5 kHz-1.46 kHz
$f_{CLK}/32$	5.33 μs	10.7 μs-1.37 ms	93.75 kHz-732 Hz
$f_{CLK}/64$	10.7 μs	21.3 μs-2.73 ms	46.9 kHz-366 Hz
$f_{CLK}/128$	21.3 μs	42.7 μs-5.46 ms	23.4 kHz-183Hz
$f_{CLK}/256$	42.7 μs	85.3 μs-10.9 ms	11.7 kHz-91.6 Hz
$f_{CLK}/512$	85.3 μs	171 μs-21.8 ms	5.86 kHz-45.8 Hz

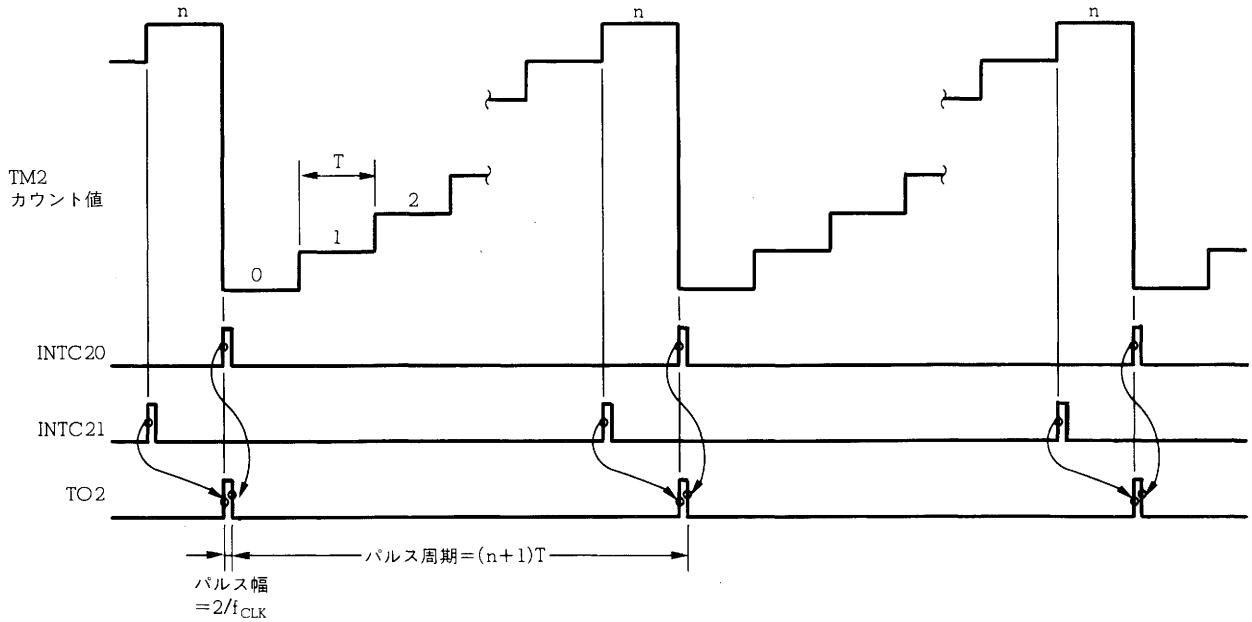
注　CR20＝0のときを除く

図7－96　CR20＝CR21のときのPPG出力例



備考　ALV2＝0

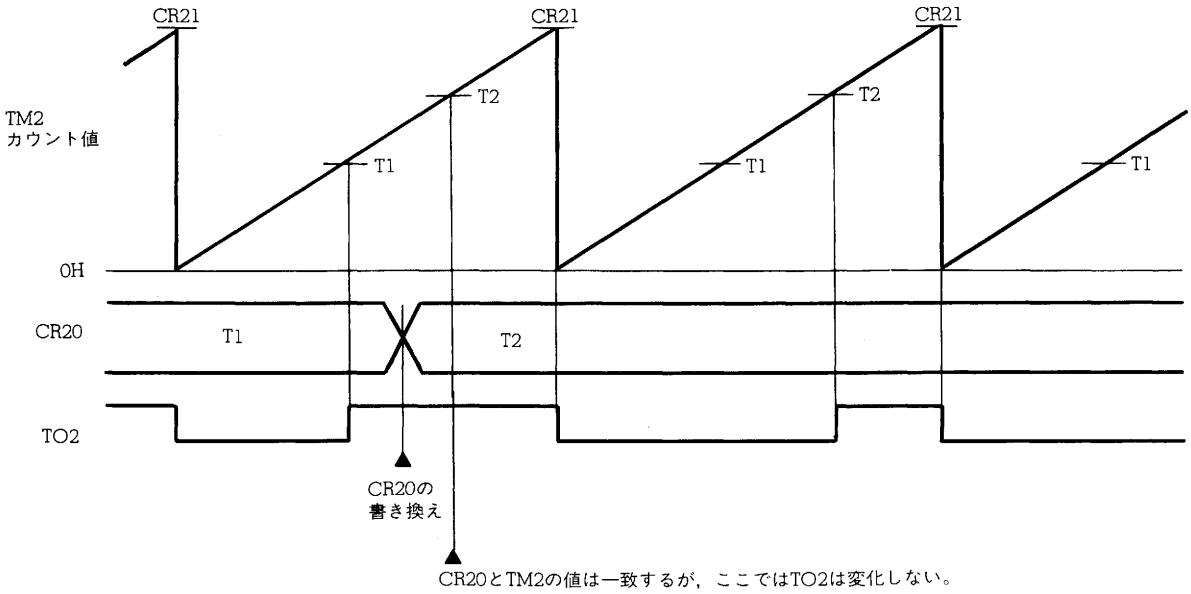
図7－97　CR20＝00HのときのPPG出力例



備考　ALV2＝0

なお，PPG出力の1周期の期間中に，二度以上コンペア・レジスタ（CR20）の値が8ビット・タイマ2（TM2）の値と一致しても，タイマ出力（TO2）の出力レベルは反転しません。

図7-98　コンペア・レジスタの書き換え例

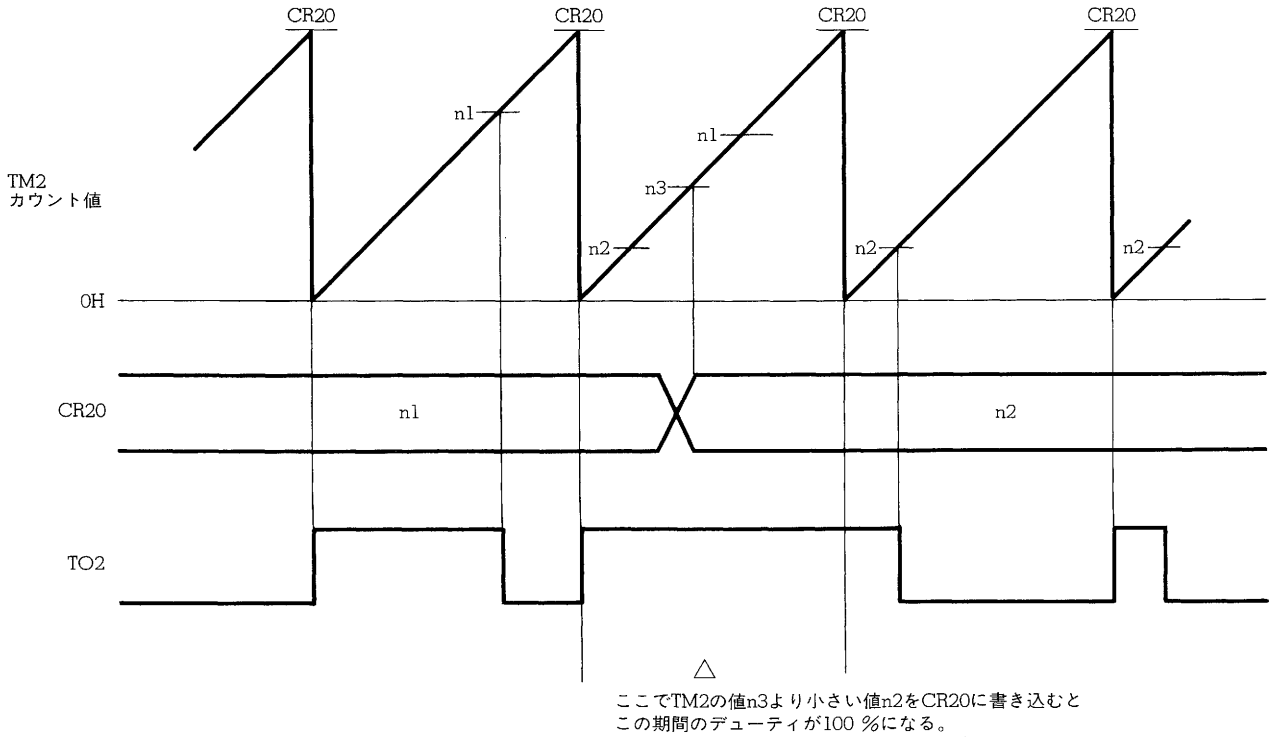


備考　ALV2＝1

注意1.　タイマ出力禁止時（ENTOn＝0，n＝2，3）のTOn（n＝2，3）端子の出力レベルは，ALVn（n＝2，3）に設定した値の反転値となります。したがって，PPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

注意2.　コンペア・レジスタ（CR20）と8ビット・タイマ2（TM2）が一致するより前にCR20にTM2以下の値を書き込むと，そのPPG周期のデューティが100％になってしまいます。CR20の書き換えは，TM2とCR20との一致による割り込みで行うようにするなどしてください。

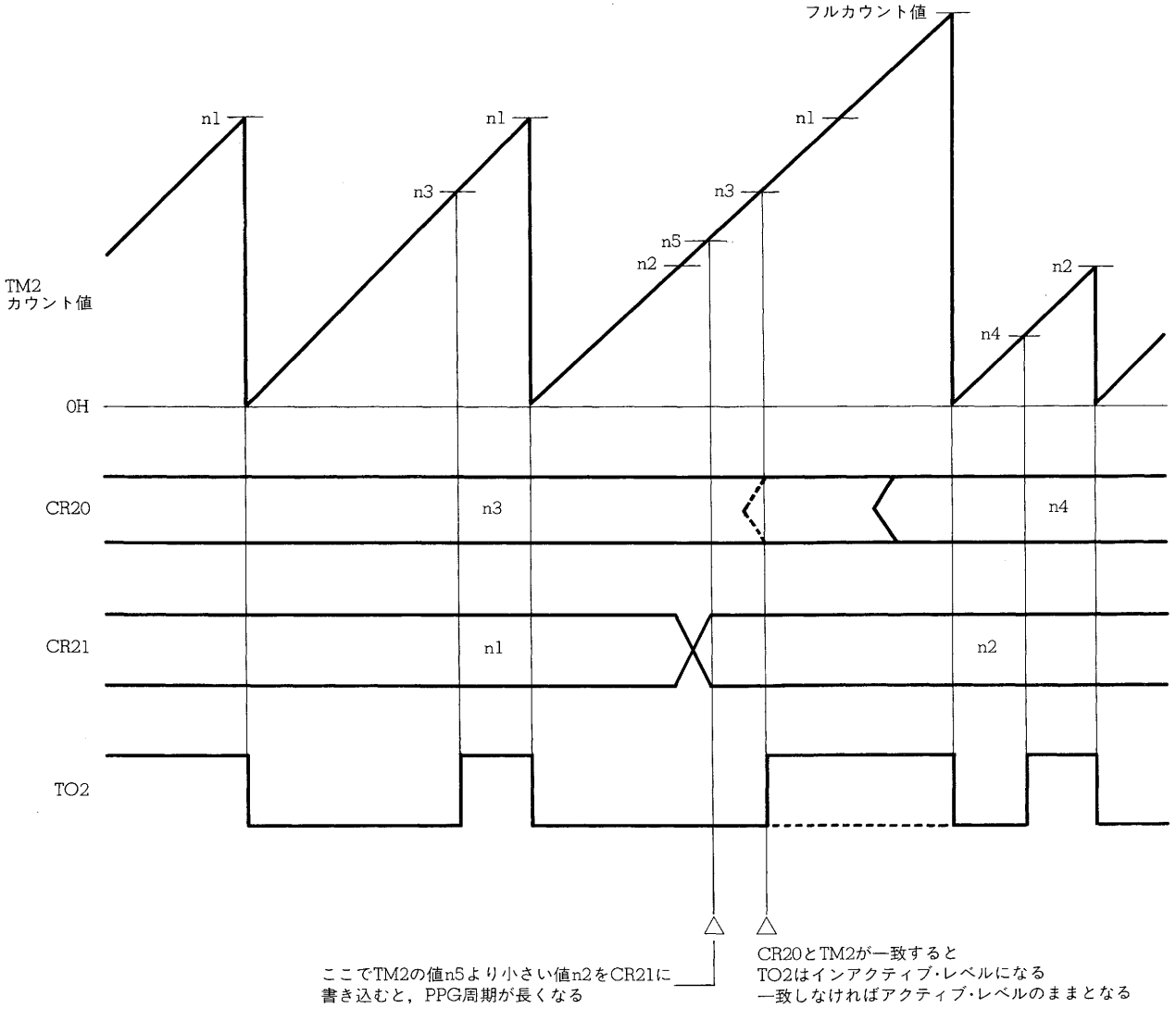
図7－99　PPG出力時にデューティが100％になる例　★



備考　ALV2＝0

注意3.　コンペア・レジシスタ（CR21）を現在の値より小さい値に変更する場合に，CR21の値を8ビット・タイマ2（TM2）の値より小さくすると，そのときのPPG周期がTM2がフルカウントする時間にまで長くなってしまいます。このときの出力レベルは，コンペア・レジスタ(CR20)とTM2が一致したあとにCR21を書き換えた場合は，TM2がオーバフローして0になるまでインアクティブ・レベルとなり，その後アクティブ・レベルとなり，正常なPPG出力に戻ります。CR20とTM2が一致する前にCR21を書き換えた場合は，CR20とTM2が一致するまでアクティブ・レベルを出力します。TM2がオーバフローし，0になる前にCR20とTM2が一致した場合は，その時点でインアクティブ・レベルを出力し，TM2がオーバフローし，0になった時点でアクティブ・レベルを出力し，正常なPPG出力に戻ります。
CR21の書き換えは，TM2とCR21との一致割り込みで行うようにするなどしてください。

★　図7-100　PPG出力の周期が長くなる例



備考　ALV2＝1

注意4.　割り込みの受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は，注意2，3で示した方法では対策がとれません。ほかの方法（すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど）を考えてください。

7.3.11　使 用 例

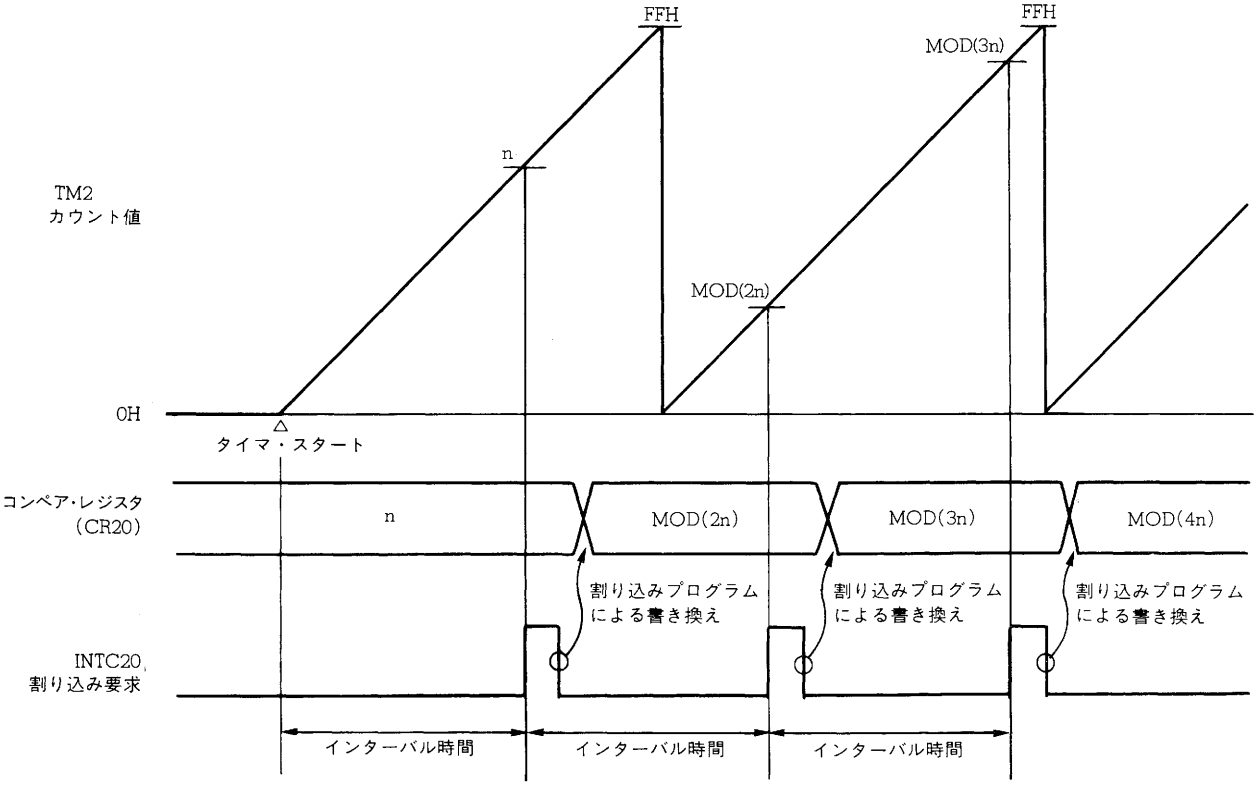
(1) インターバル・タイマとしての動作(1)

8ビット・タイマ2（TM2）をフリー・ランニングさせ，割り込み処理ルーチン中でコンペア・レジスタ（CR20，CR21）に一定の値を加算することで，加算する一定の値を周期とするインターバル・タイマとして動作します（**図7－101**参照）。

また，8ビット・タイマ2（TM2）1本にコンペア・レジスタが2本ついているため，2種類の周期のインターバル・タイマを作ることができます。

図7－102に制御レジスタの設定内容，図7－103にその設定手順，図7－104に割り込み処理ルーチン内での処理を示します。

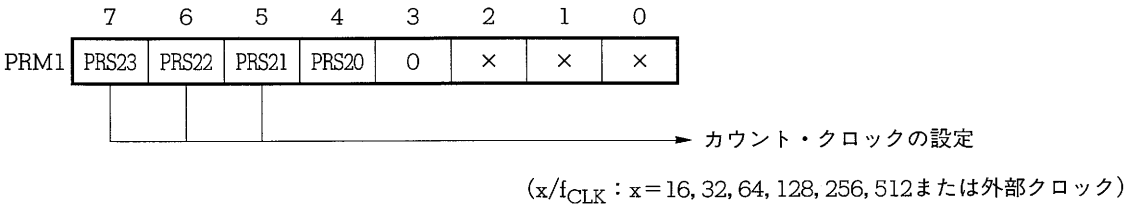
図7－101　インターバル・タイマ動作(1)のタイミング



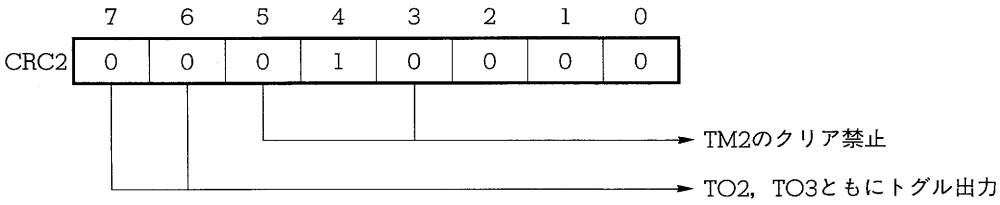
備考　インターバル時間＝$n \times x/f_{CLK}$；$1 \leqq n \leqq FFH$，x＝16，32，64，128，256，512

図7－102　インターバル・タイマ動作(1)における制御レジスタの設定内容

(a)プリスケーラ・モード・レジスタ(PRM1)



(b)キャプチャ／コンペア・コントロール・レジスタ2(CRC2)



(c)タイマ・コントロール・レジスタ1(TMC1)

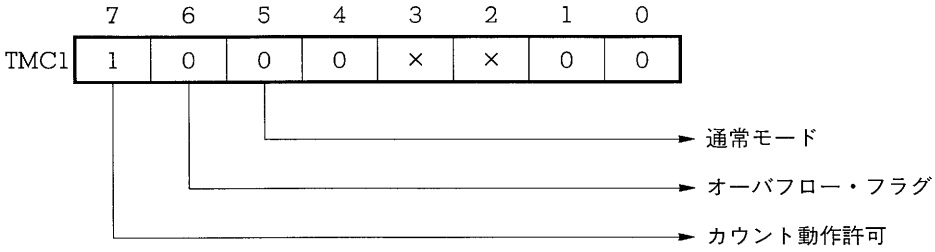


図7－103　インターバル・タイマ動作(1)の設定手順

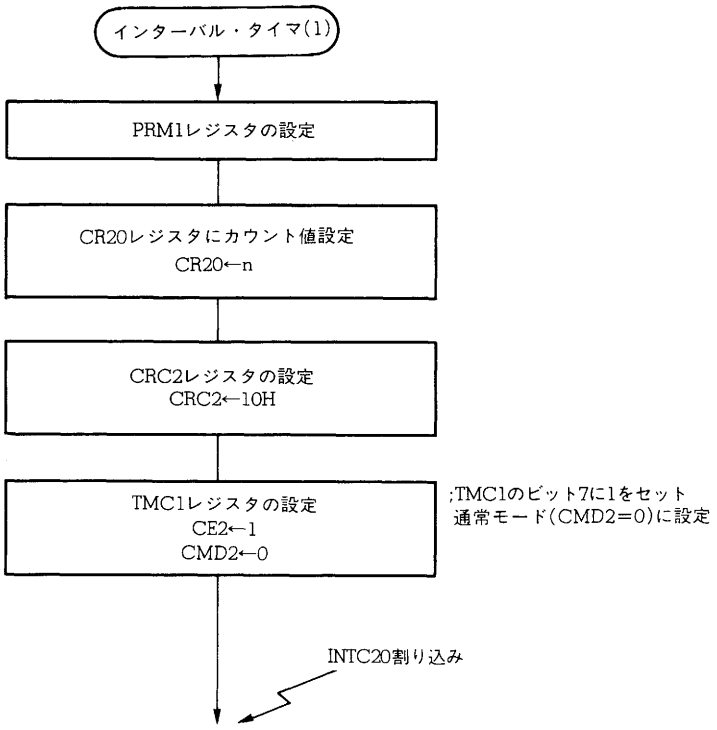
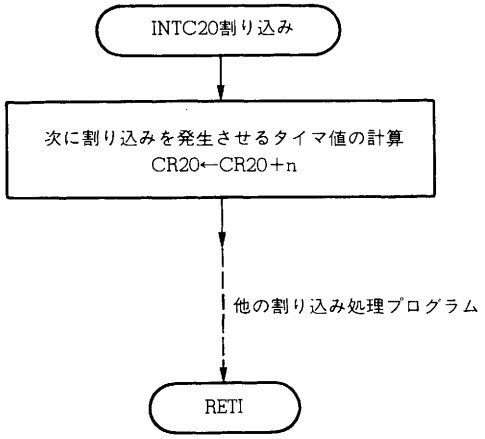


図7－104　インターバル・タイマ動作(1)の割り込み要求処理

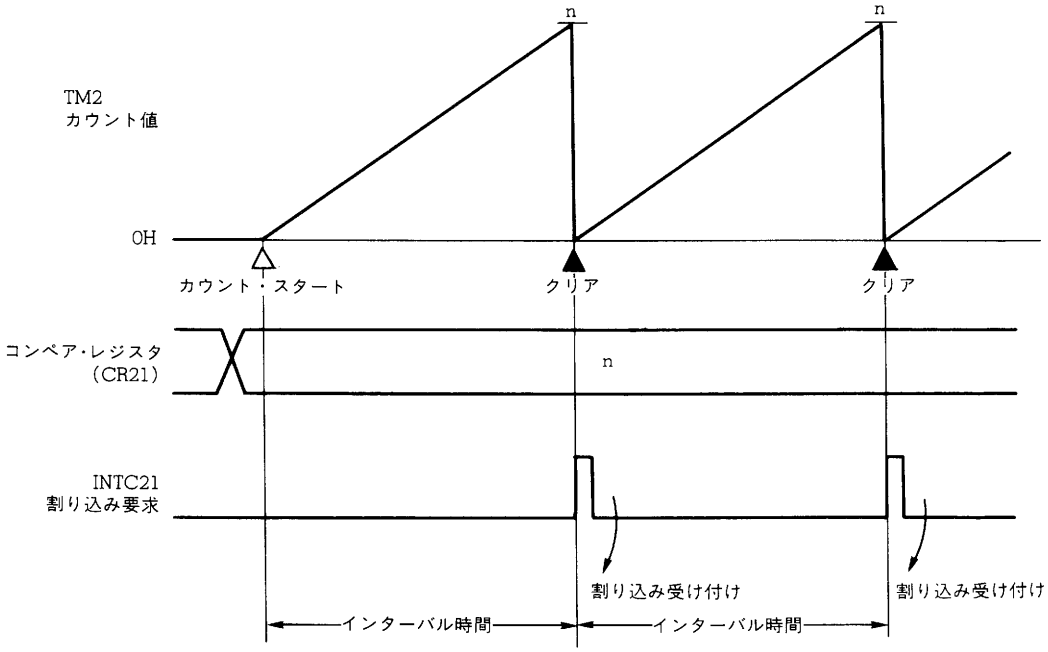


(2) インターバル・タイマとしての動作 (2)

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します（**図7－105**参照）。

図7－106に制御レジスタの設定内容を，図7－107にその設定手順を示します。

図7－105　インターバル・タイマ動作(2)のタイミング

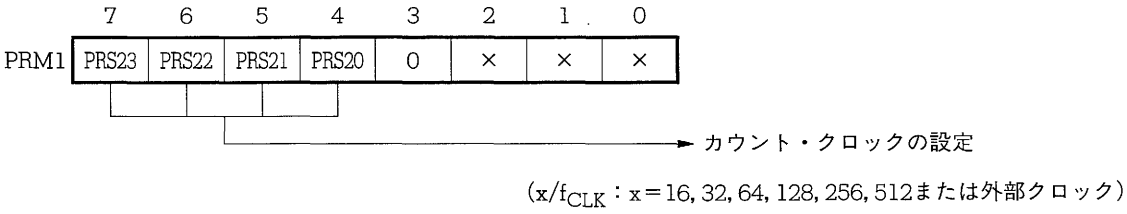


備考　インターバル時間$(n+1)\times x/f_{CLK}$；$0\leqq n\leqq FFH$

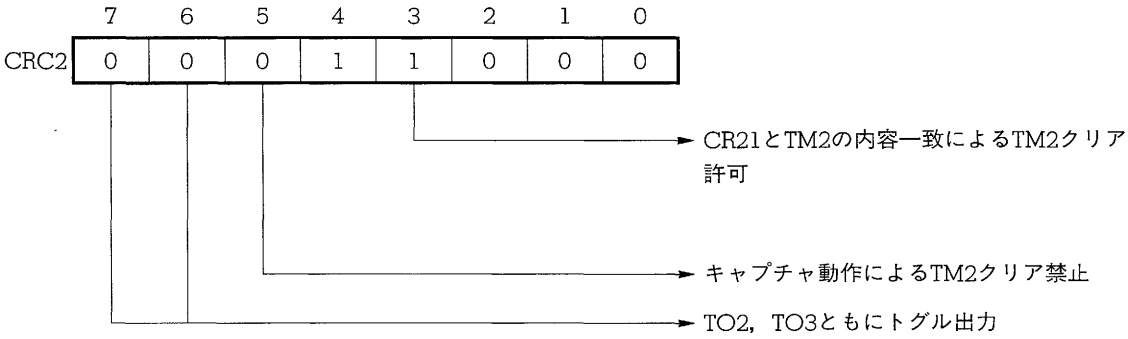
$x=16,\ 32,\ 64,\ 128,\ 256,\ 512$

図7-106　インターバル・タイマ動作（2）の制御レジスタの設定内容

(a)プリスケーラ・モード・レジスタ(PRM1)



(b)キャプチャ／コンペア・コントロール・レジスタ2(CRC2)



(c)タイマ・コントロール・レジスタ1(TMC1)

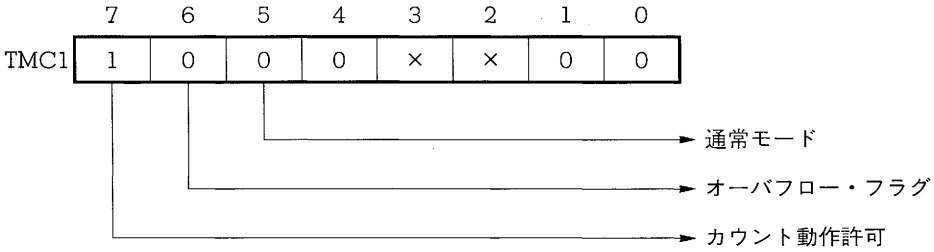
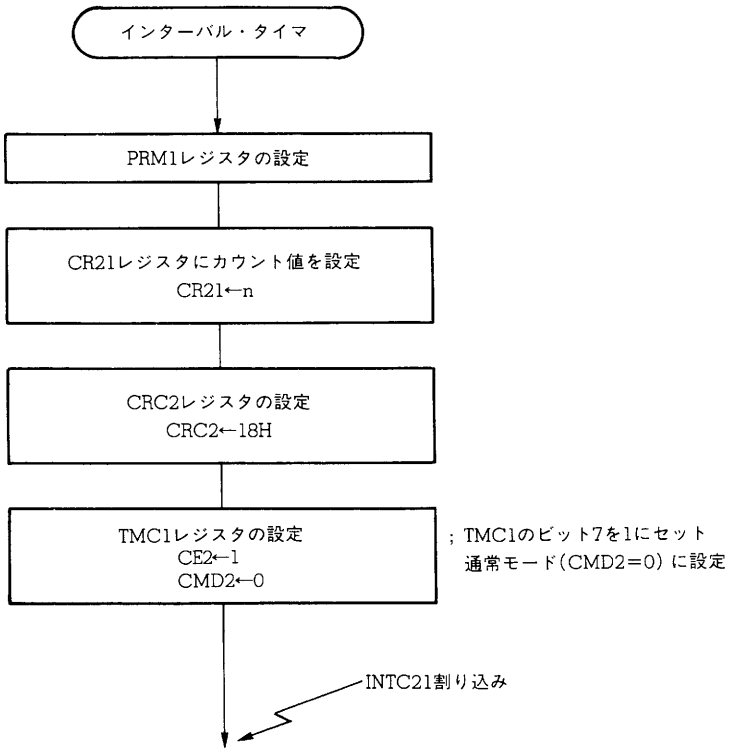


図7－107　インターバル・タイマ動作（2）の設定手順



(3) パルス幅測定としての動作

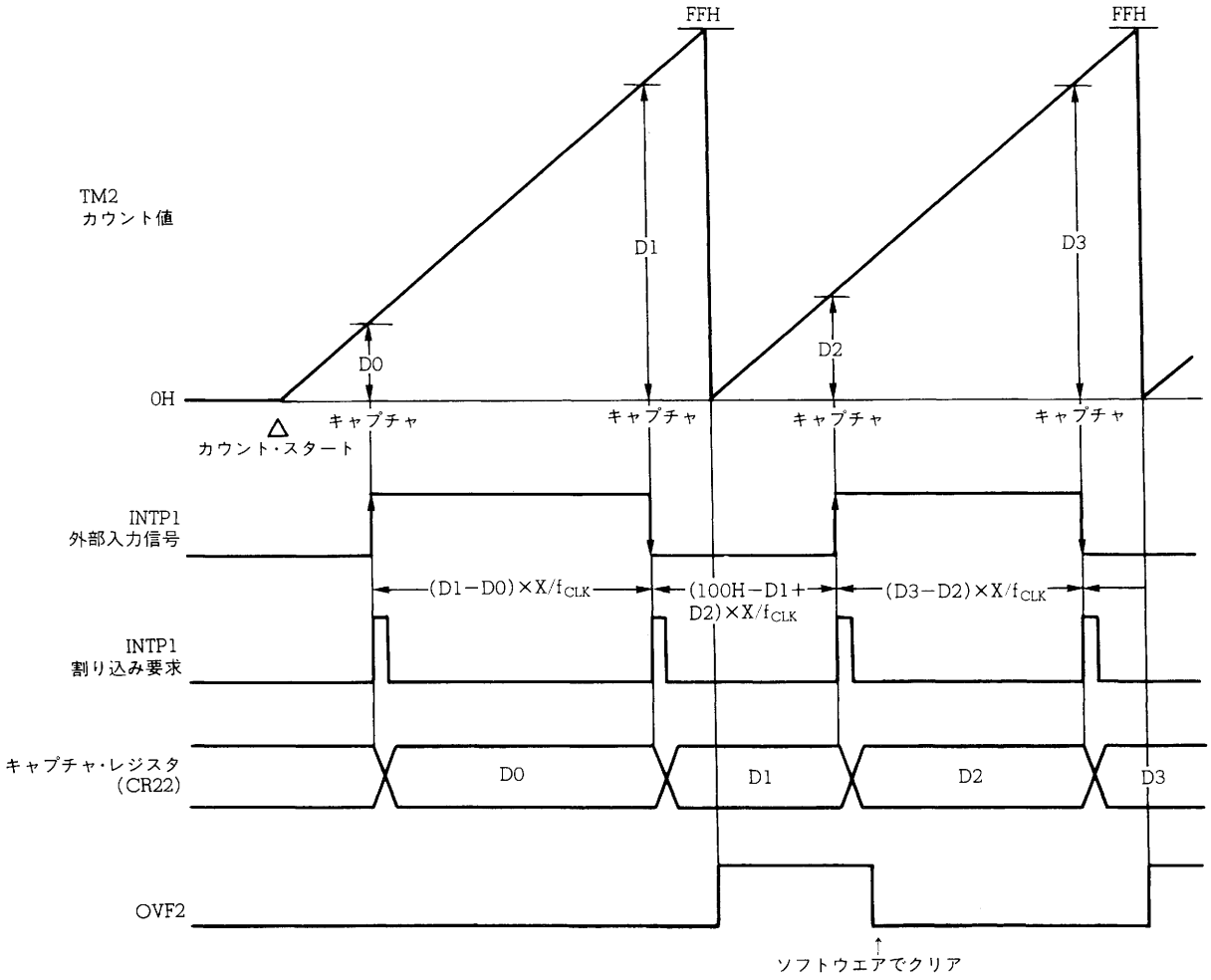
パルス幅測定は，INTP1端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。

INTP1端子に入力するパルス幅はハイ・レベル，ロウ・レベルとも12システム・クロック（2 μs：f_{CLK}=6 MHz）以上必要で，これ以下の場合は有効エッジが検出されずキャプチャ動作を行いません。

図7-108に示すようにINTP1端子入力の有効エッジ（立ち上がり，立ち下がりの両エッジに指定）に同期して，カウント中の8ビット・タイマ2（TM2）の値をキャプチャ・レジスタ（CR22）に取り込み，保持します。パルス幅は，n回目の有効エッジ検出によりCR22レジスタに取り込み，保持されているTM2のカウント値（Dn）とn−1回目の有効エッジ検出によるカウント値（D_{n-1}）との差の値とカウント・クロック数との積から求めます。

そのときの制御レジスタの設定内容を図7-109に，設定手順を図7-110に示します。

図7-108　パルス幅測定のタイミング



備考　Dn：TM2のカウント値(n=0，1，2，…)

図7－109　パルス幅測定の制御レジスタの設定内容

(a)プリスケーラ・モード・レジスタ1(PRM1)

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	0	×	×	×

→ カウント・クロックの設定

(x/f_{CLK}：x＝16, 32, 64, 128, 256, 512または外部クロック)

(b)キャプチャ／コンペア・コントロール・レジスタ2(CRC2)

	7	6	5	4	3	2	1	0
CRC2	0	0	0	1	0	0	0	0

→ TM2のクリア禁止

(c)タイマ・コントロール・レジスタ1(TMC1)

	7	6	5	4	3	2	1	0
TMC1	1	0	0	0	×	×	0	0

→ 通常モード

→ オーバフロー・フラグ

→ カウント動作許可

(d)外部割り込みモード・レジスタ(INTM0)

	7	6	5	4	3	2	1	0
INTM0	×	×	1	1	×	×	0	×

→ INTP1入力の有効エッジを立ち上がり，立ち下がりの両エッジに指定

図7－110　パルス幅測定の設定手順

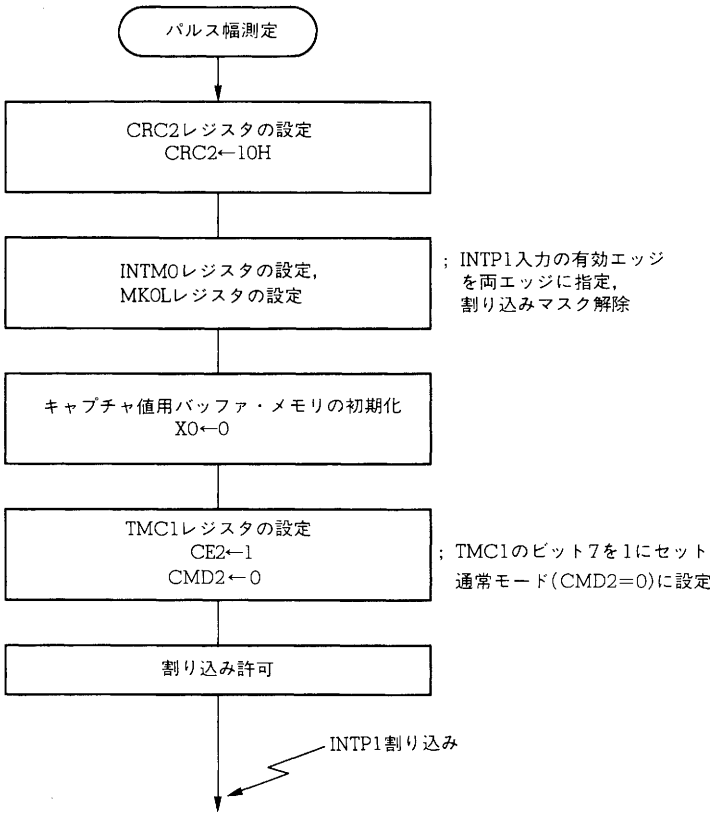
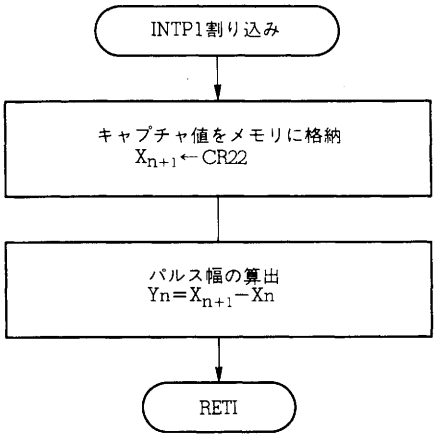


図7－111　パルス幅を算出する割り込み要求処理



(4) PWM出力としての動作

PWM出力は，コンペア・レジスタに設定した値で決まるデューティ比のパルスを出力します（**図7－112**参照）。

このPWM出力は，1/256-255/256のデューティ比を1/256単位で変化させることができます。

また，8ビット・タイマ2（TM2）1本にコンペア・レジスタが2本ついているため2種類のPWM信号を出力できます。

図7－113に制御レジスタの設定内容，図7－114にその設定手順，図7－115にデューティを変化させる場合の手順を示します。

図7－112　8ビット・タイマ/カウンタ2のPWM信号出力例

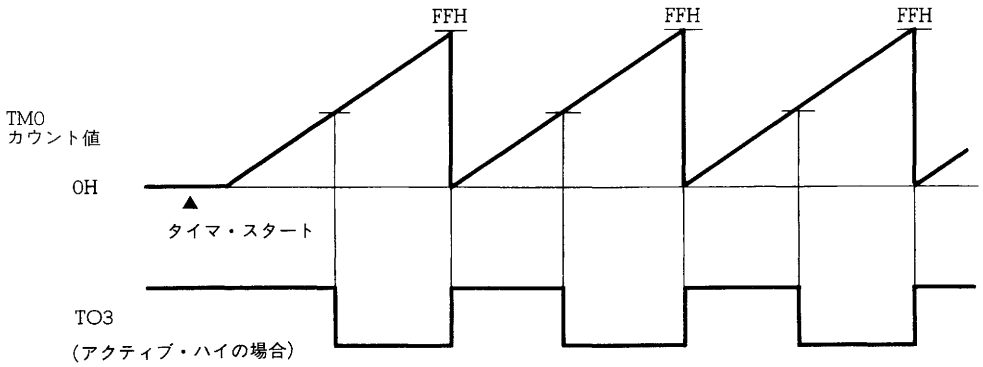
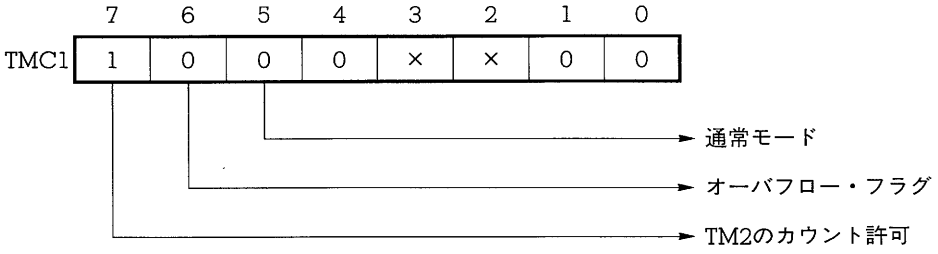
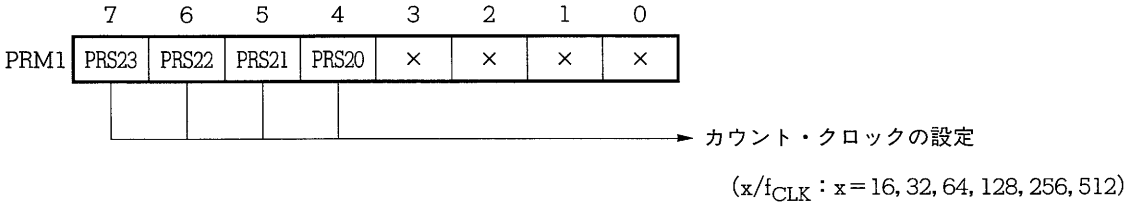


図7－113　PWM出力動作における制御レジスタの設定内容

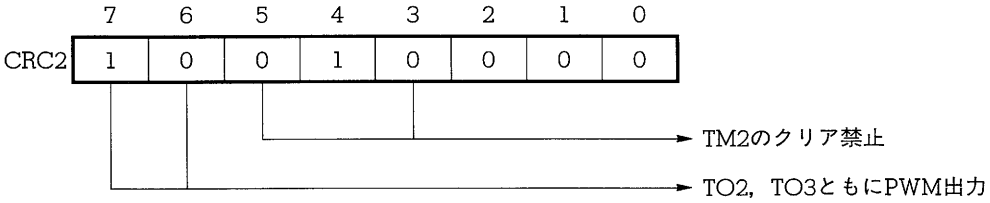
(a) タイマ・コントロール・レジスタ1 (TMC1)



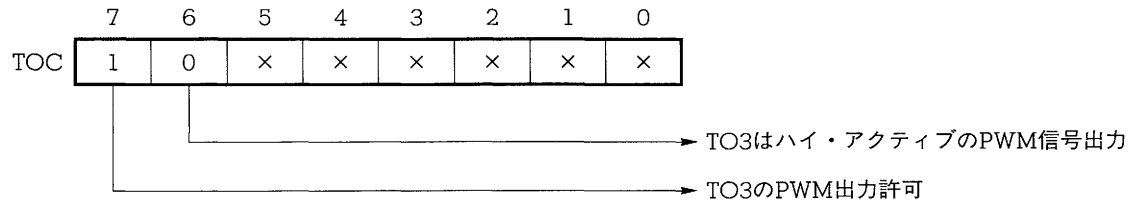
(b) プリスケーラ・モード・レジスタ1 (PRM1)



(c) キャプチャ/コンペア・コントロール・レジスタ2 (CRC2)



(d) タイマ出力コントロール・レジスタ (TOC)



(e) ポート3モード・コントロール・レジスタ (PMC3)

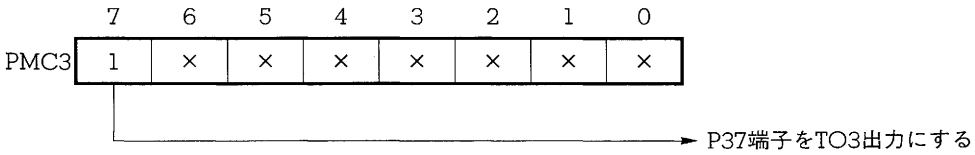


図7－114　PWM出力の設定手順

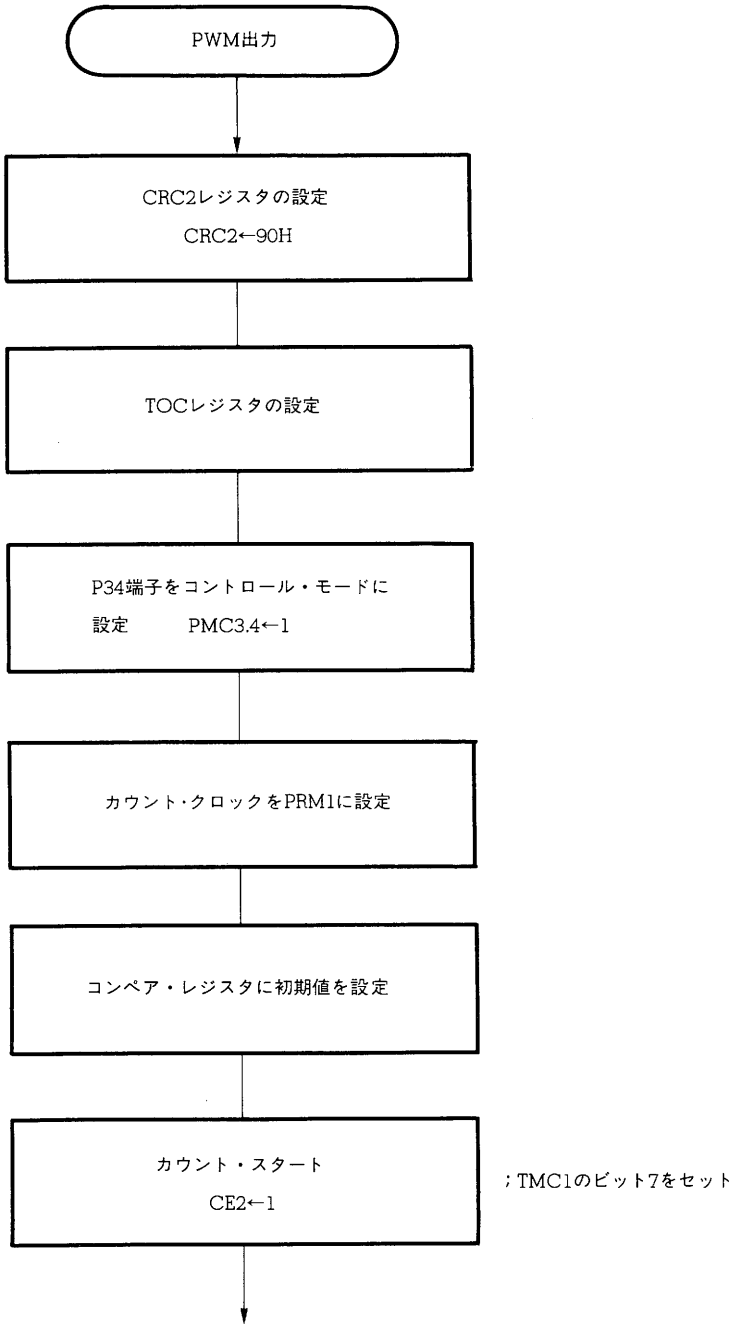
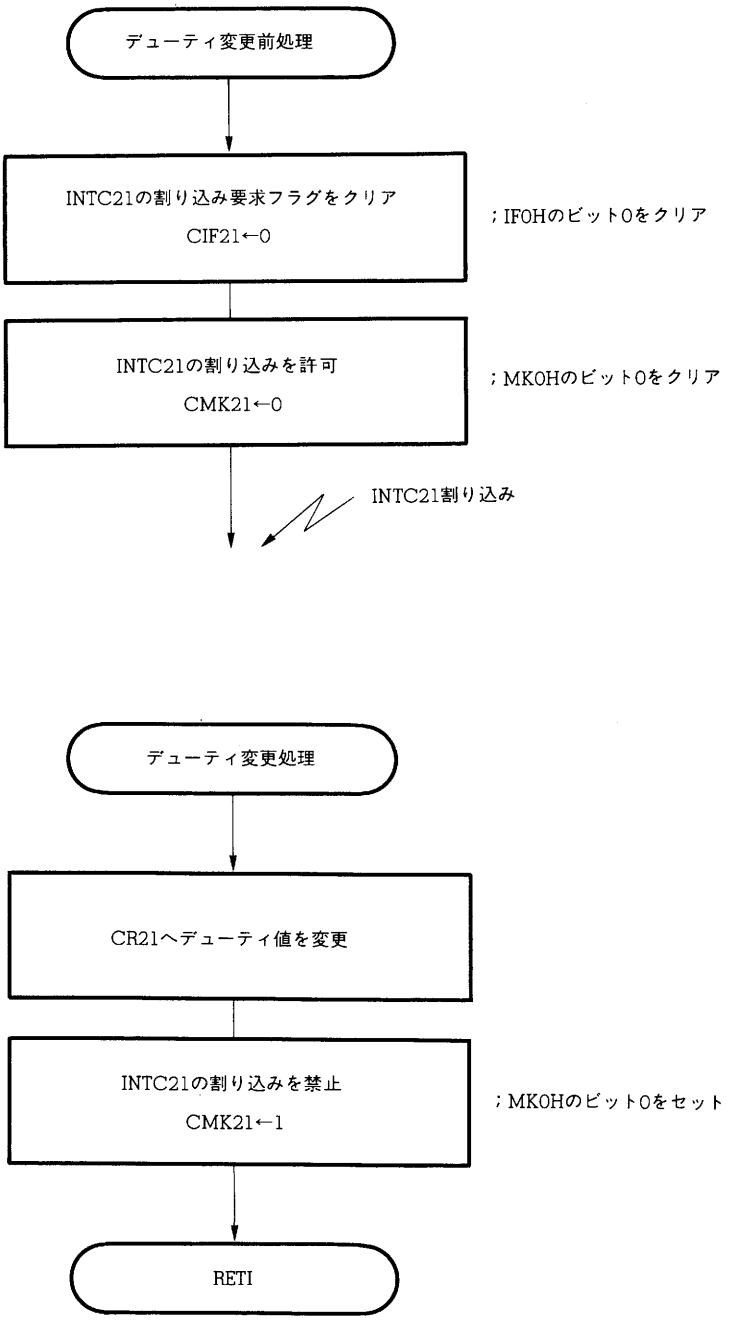


図7-115　PWM出力のデューティ変更



(5) PPG出力としての動作

PPG出力は，コンペア・レジスタに設定した値で決まる周期と，デューティ比のパルスを出力します（**図7－116**参照）。

図7－117に制御レジスタの設定内容，図7－118にその設定手順，図7－119にデューティを変化させる場合の手順を示します。

図7－116　8ビット・タイマ/カウンタ2のPPG信号出力例

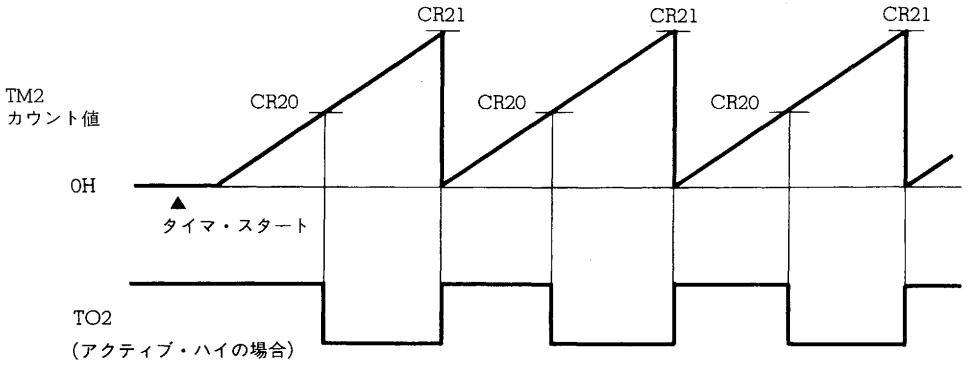
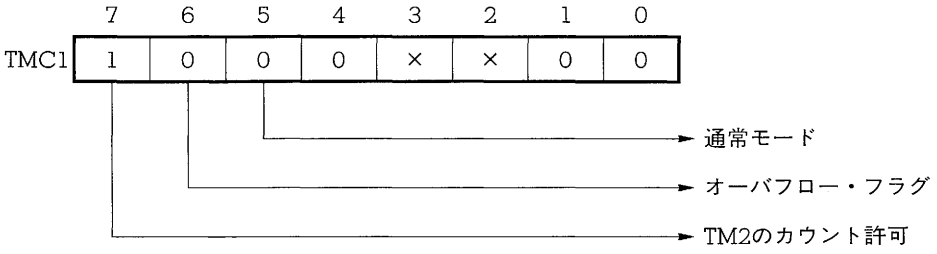
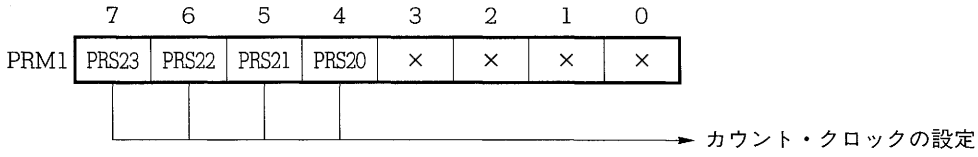


図7－117　PPG出力動作における制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ1 (TMC1)

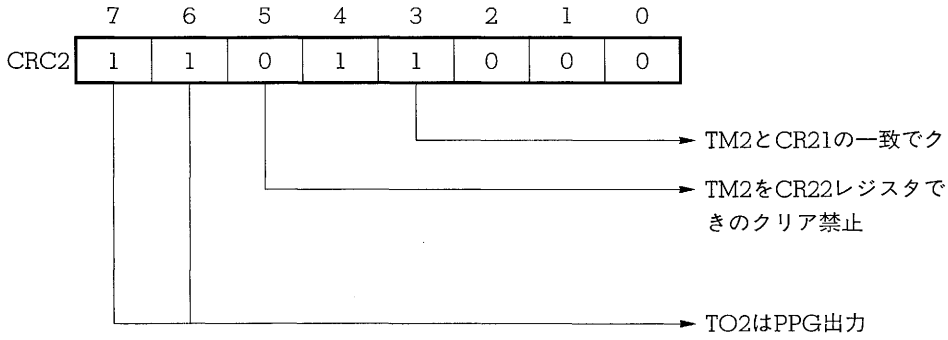


(b) プリスケーラ・モード・レジスタ1 (PRM1)

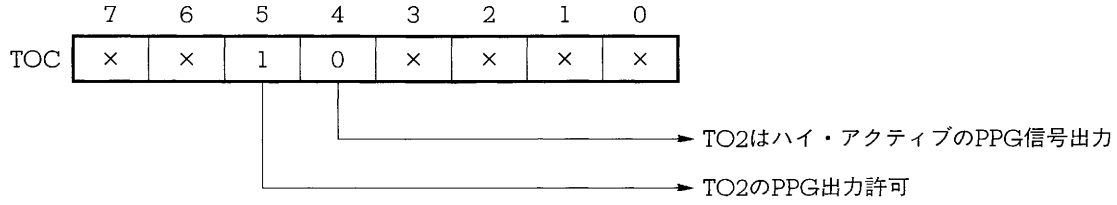


(x/f_{CLK} : x＝16, 32, 64, 128, 256, 512)

(c) キャプチャ/コンペア・コントロール・レジスタ2 (CRC2)



(d) タイマ出力コントロール・レジスタ (TOC)



(e) ポート3モード・コントロール・レジスタ (PMC3)

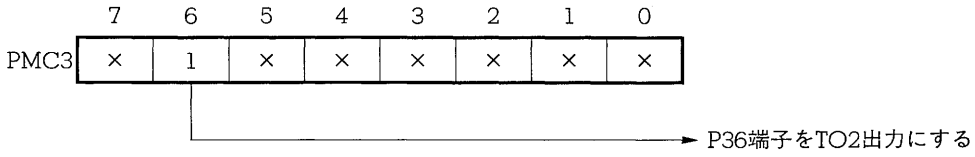


図7－118　PPG出力の設定手順

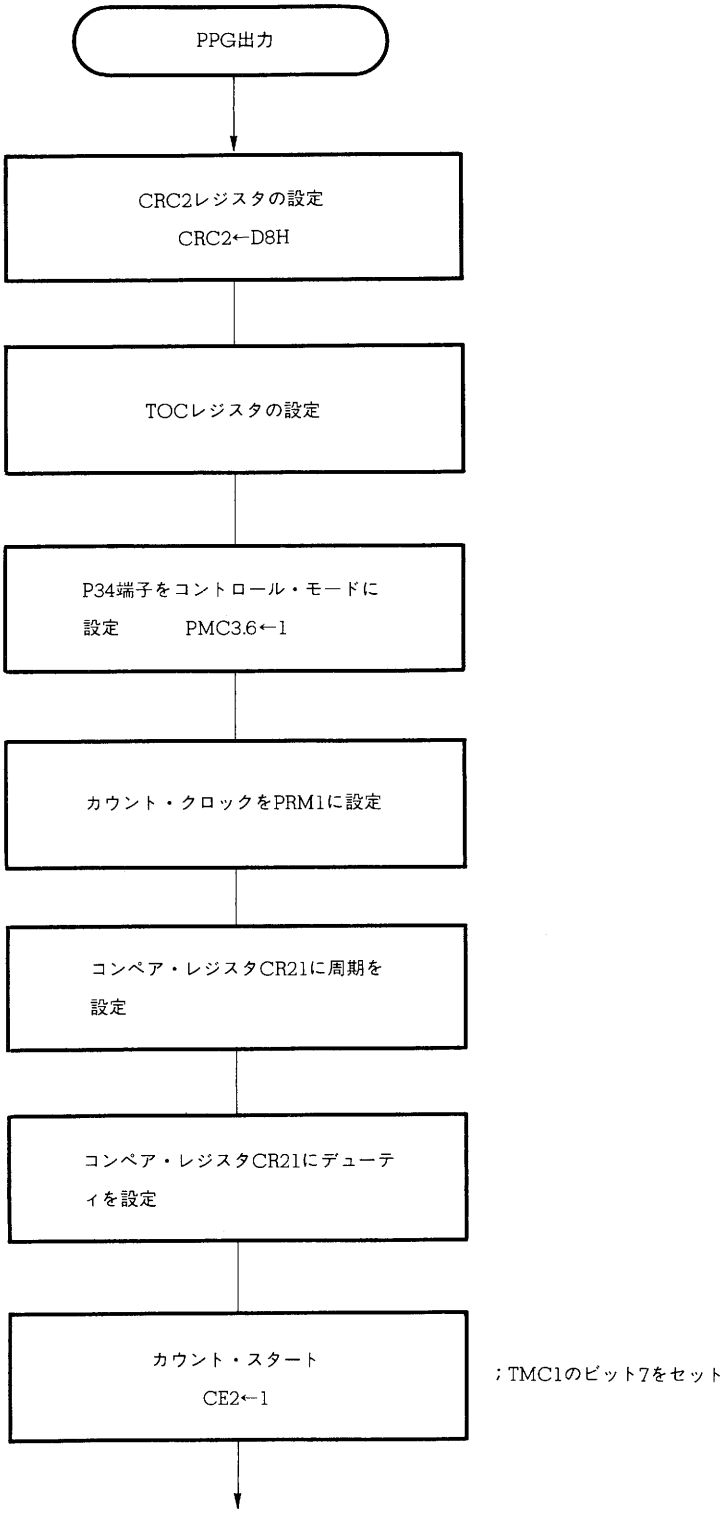
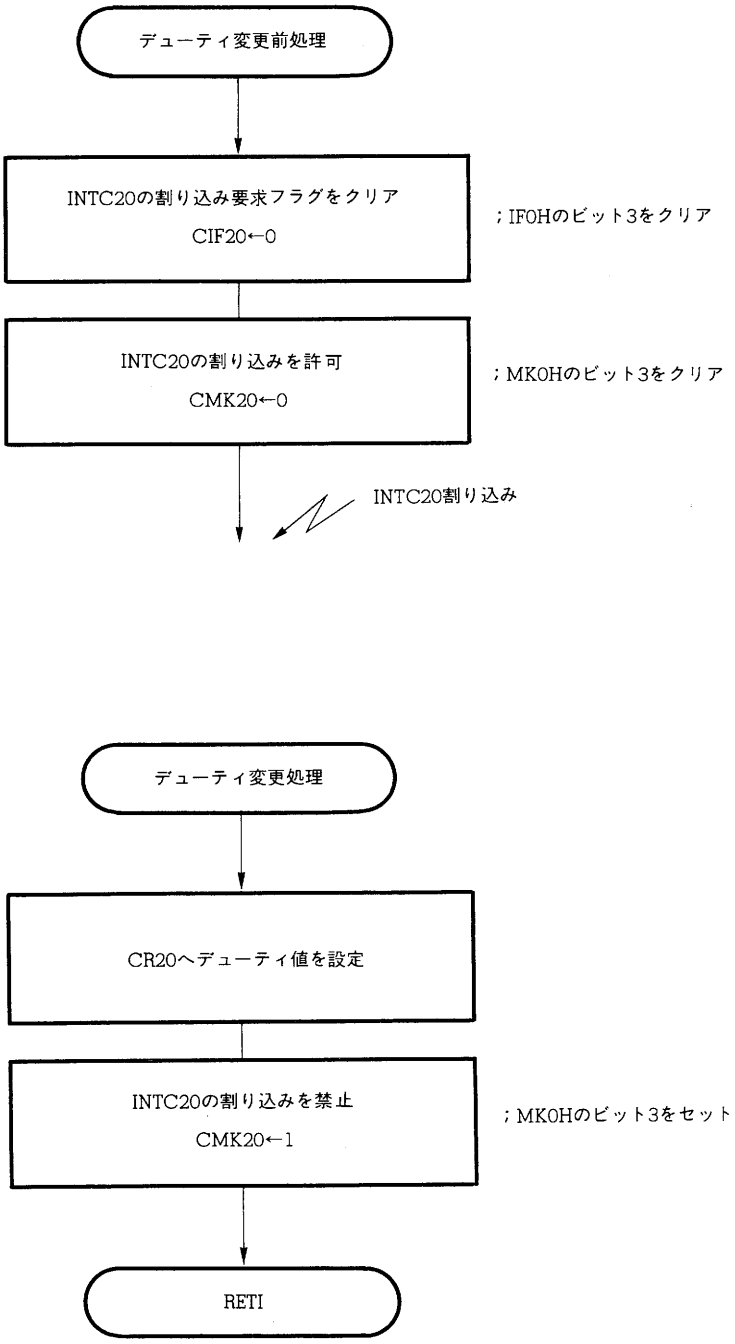


図7－119　PPG出力のデューティ変更

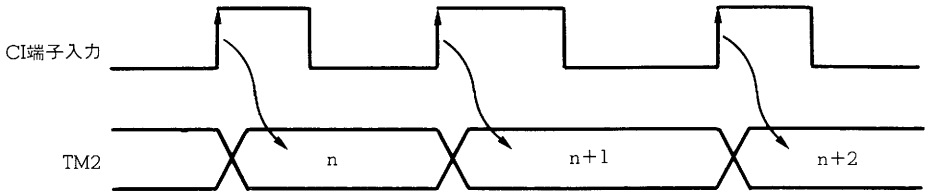


(6) 外部イベント・カウンタとしての動作

外部イベント・カウンタは，外部から入力されるクロック・パルス（CI端子入力パルス）をカウントするものです。

図7－120に示すように，CI端子入力の有効エッジ（立ち上がりエッジのみを指定）に同期して，8ビット・タイマ2（TM2）の値をインクリメントします。

図7－120　外部イベント・カウンタ動作（片エッジの場合）

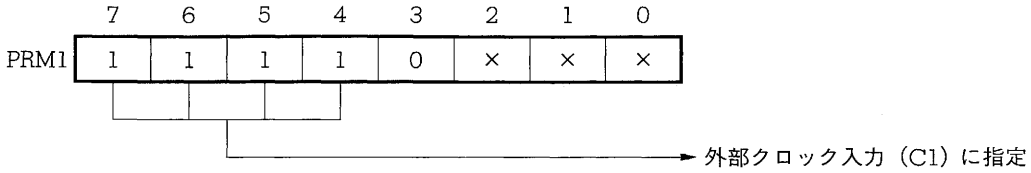


外部イベント・カウンタとして動作する場合の制御レジスタの設定内容を図7－121に，設定手順を図7－122に示します。

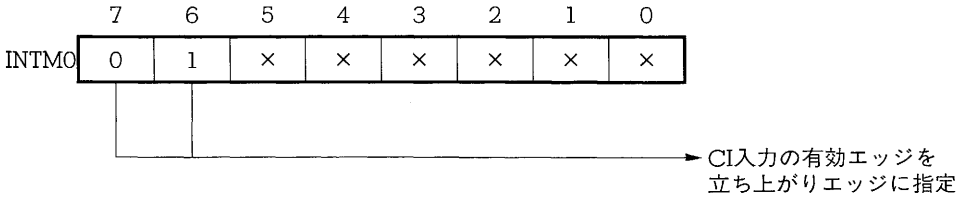
備考　TM2の値は，入力クロック・パルス数より，1小さい値になります。

図7－121　外部イベント・カウンタ動作の制御レジスタの設定内容

(a) プリスケーラ・モード・レジスタ1(PRM1)



(b) 外部割り込みモード・レジスタ0(INTM0)



(c) タイマ・コントロール・レジスタ1(TMC1)

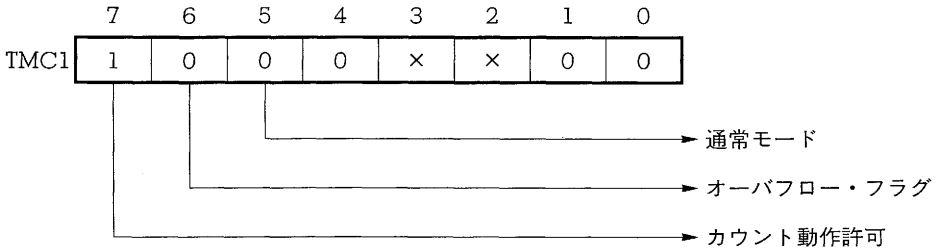
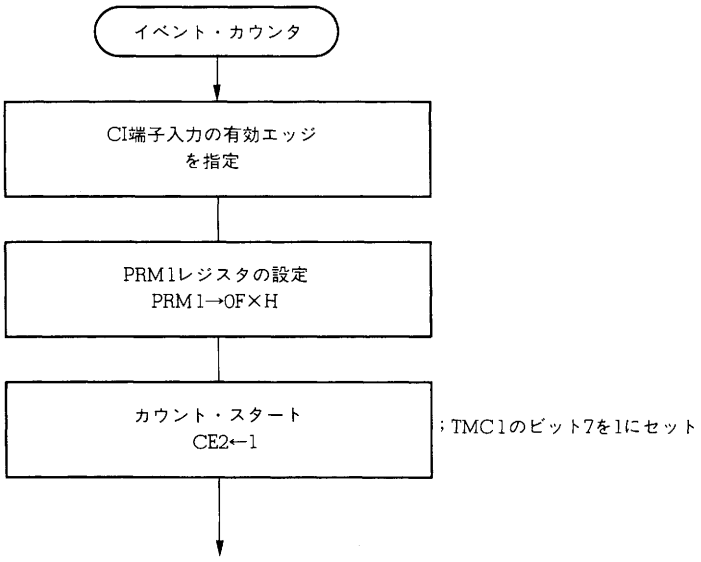


図7－122　外部イベント・カウンタ動作の設定手順



(7) ワンショット・タイマとしての動作

8ビット・タイマ2 (TM2) をスタートさせてから，あらかじめ設定したカウント時間後に1回だけ割り込みを発生するワンショット・パルスとして動作します（**図7－123**参照）。

また，2回目以降のワンショット・タイマの動作は，タイマ・コントロール・レジスタ1（TMC1）のOVF2ビットをクリアすることで起動することができます。

図7－124に制御レジスタの設定内容，図7－125にその設定手順，図7－126に2回目以降のワンショット・タイマの起動手順を示します。

図7－123　ワンショット・タイマ動作

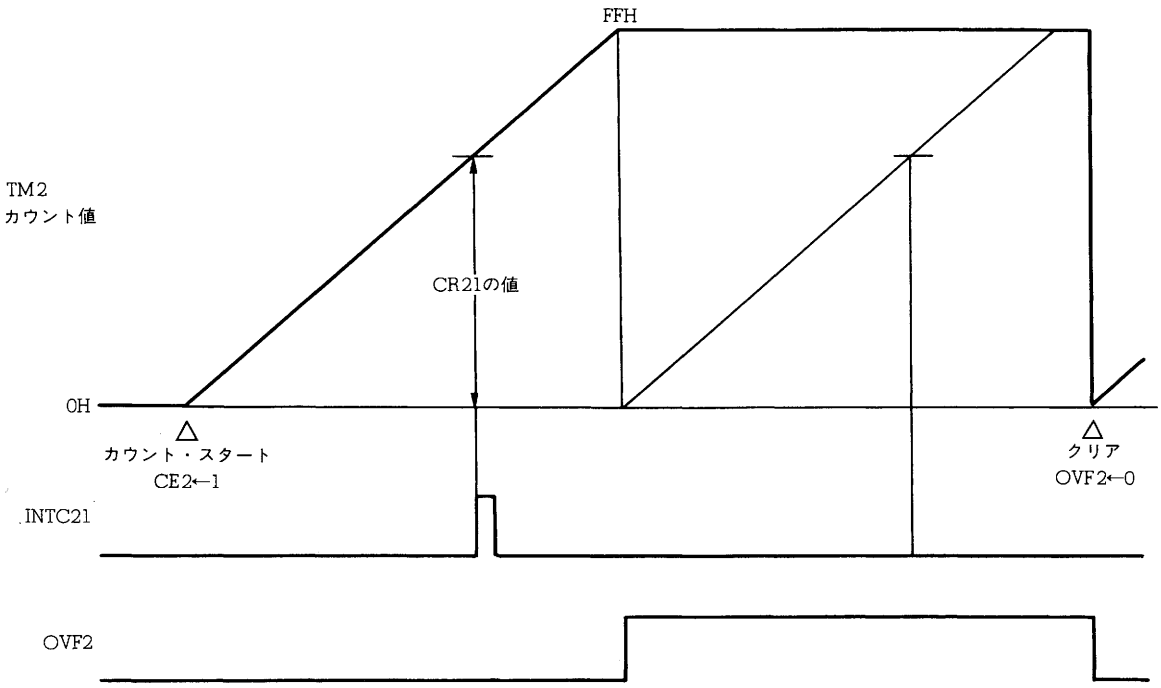


図7－124　ワンショット・タイマ動作の制御レジスタの設定内容

(a) タイマ・コントロール・レジスタ1 (TMC1)

	7	6	5	4	3	2	1	0
TMC1	CE2	OVF2	1	0	×	×	×	×

→ ワンショット・タイマ・モード

(b) プリスケーラ・モード・レジスタ1 (PRM1)

	7	6	5	4	3	2	1	0
PRM1	PRS23	PRS22	PRS21	PRS20	0	×	×	×

→ カウント・クロックの指定

(x/f_{CLK} ; x＝16, 32, 64, 128, 256, 512, または外部クロック)

(c) キャプチャ／コンペア・コントロール・レジスタ2 (CRC2)

	7	6	5	4	3	2	1	0
CRC2	0	0	0	1	0	0	0	0

→ TM2のクリア禁止

図7－125　ワンショット・タイマ動作の設定手順

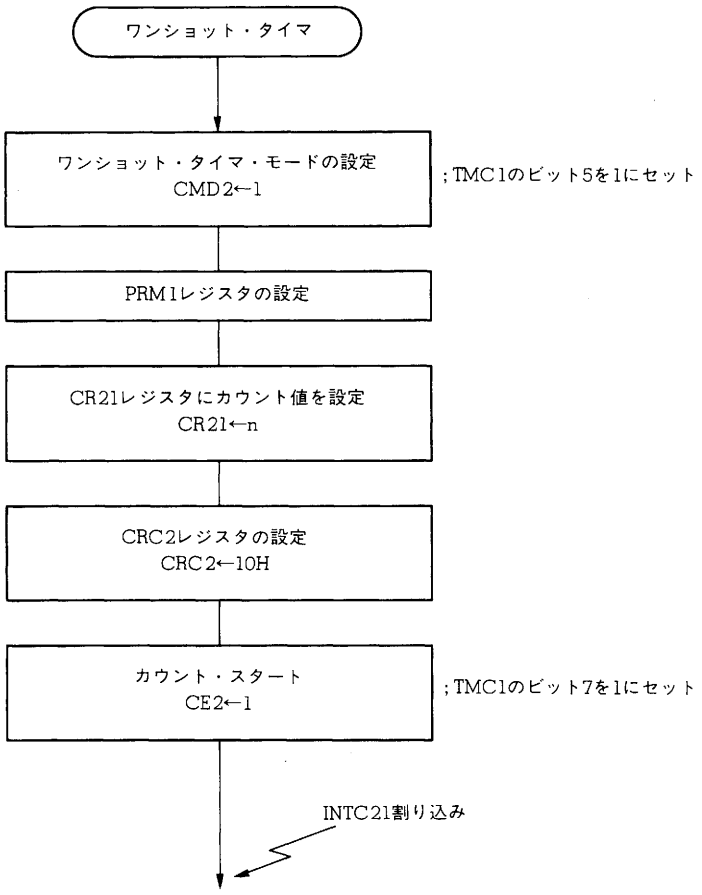
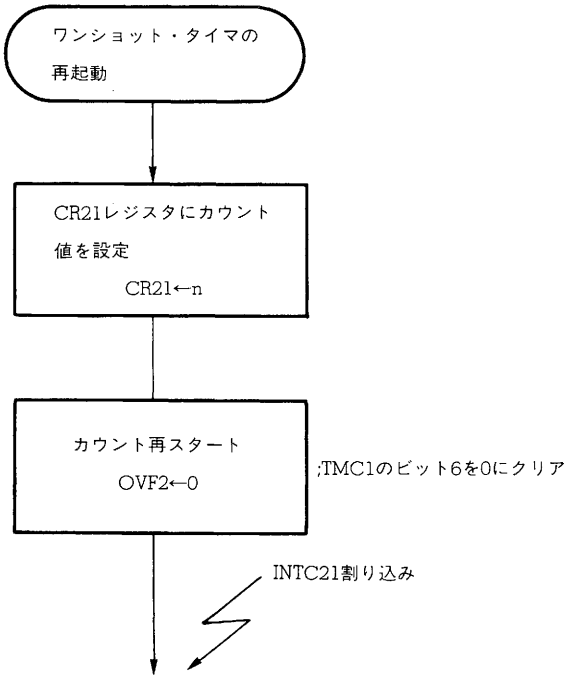


図7－126　2回目以降のワンショット・タイマの起動手順



7.4　8ビット・タイマ／カウンタ3

7.4.1　機　　能

8ビット・タイマ／カウンタ3は，インターバル・タイマとしての機能のほかにボー・レート・ジェネレータのクロック生成用カウンタとして使うことができます。

インターバル・タイマは，あらかじめ設定したインターバルで内部割り込みを発生します。表7－19にインターバル時間の設定範囲を示します。

表7－19　8ビット・タイマ／カウンタ3のインターバル時間

分　解　能	最小インターバル時間	最大インターバル時間
$8/f_{CLK}$ (1.3 μs)	$8/f_{CLK}$ (1.3 μs)	$2^8 \times 8/f_{CLK}$ (341 μs)
$16/f_{CLK}$ (2.6 μs)	$16/f_{CLK}$ (2.6 μs)	$2^8 \times 16/f_{CLK}$ (683 μs)
$32/f_{CLK}$ (5.3 μs)	$32/f_{CLK}$ (5.3 μs)	$2^8 \times 32/f_{CLK}$ (1.37 ms)
$64/f_{CLK}$ (10.7 μs)	$64/f_{CLK}$ (10.7 μs)	$2^8 \times 64/f_{CLK}$ (2.73 ms)
$128/f_{CLK}$ (21.3 μs)	$128/f_{CLK}$ (21.3 μs)	$2^8 \times 128/f_{CLK}$ (5.46 ms)
$256/f_{CLK}$ (42.7 μs)	$256/f_{CLK}$ (42.7 μs)	$2^8 \times 256/f_{CLK}$ (10.9 ms)
$512/f_{CLK}$ (85.3 μs)	$512/f_{CLK}$ (85.3 μs)	$2^8 \times 512/f_{CLK}$ (21.8 ms)

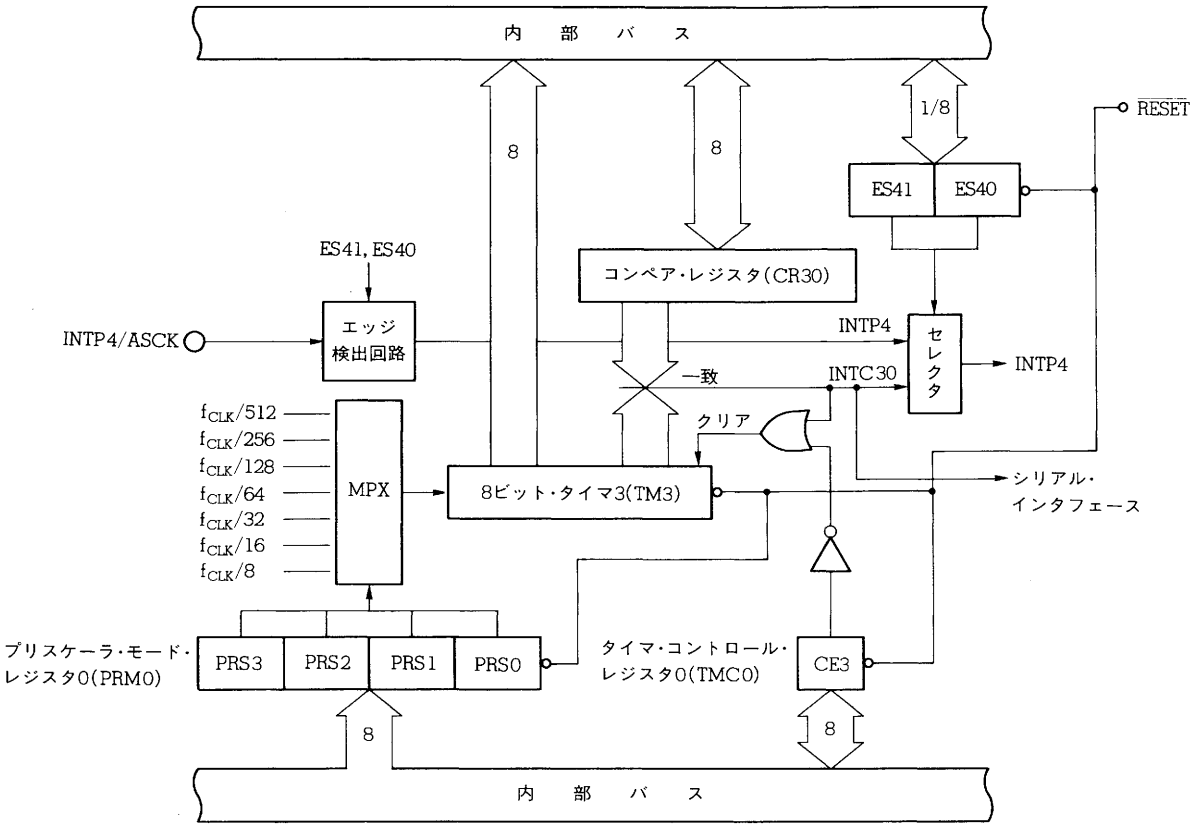
(　)内はf_{CLK}=6 MHz

7.4.2 構　　成

8ビット・タイマ／カウンタ3は，8ビット・タイマ3（TM3）と8ビット・コンペア・レジスタ（CR30）1本から構成されます。

図7－127に8ビット・タイマ／カウンタ3のブロック図を示します。

図7－127　8ビット・タイマ／カウンタ3のブロック図



(1) 8ビット・タイマ3 (TM3)

TM3は，プリスケーラ・モード・レジスタ0 (PRM0) の上位4ビットで指定されるカウント・クロックをアップカウントするタイマです。

8ビット操作命令で読み出しのみが可能です。タイマ・コントロール・レジスタ0 (TMC0) によりカウント動作の停止／許可ができます。

$\overline{\text{RESET}}$入力により00Hとなり，カウントは停止します。

(2) コンペア・レジスタ (CR30)

CR30レジスタは，インターバル・タイマ動作の周期を決める値を保持する8ビット・レジスタです。

CR30レジスタの内容がTM3の値と一致すると，TM3の内容を自動的にクリアし割り込み要求 (INTC30) を発生します。

8ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(3) プリスケーラ

カウント・クロックを内部システム・クロックから生成します。このプリスケーラで生成されたクロックをセレクタで選択し，カウント・クロックとしてタイマはカウント動作を行います。

7.4.3　8ビット・タイマ／カウンタ3制御レジスタ

(1) タイマ・コントロール・レジスタ0 (TMC0)

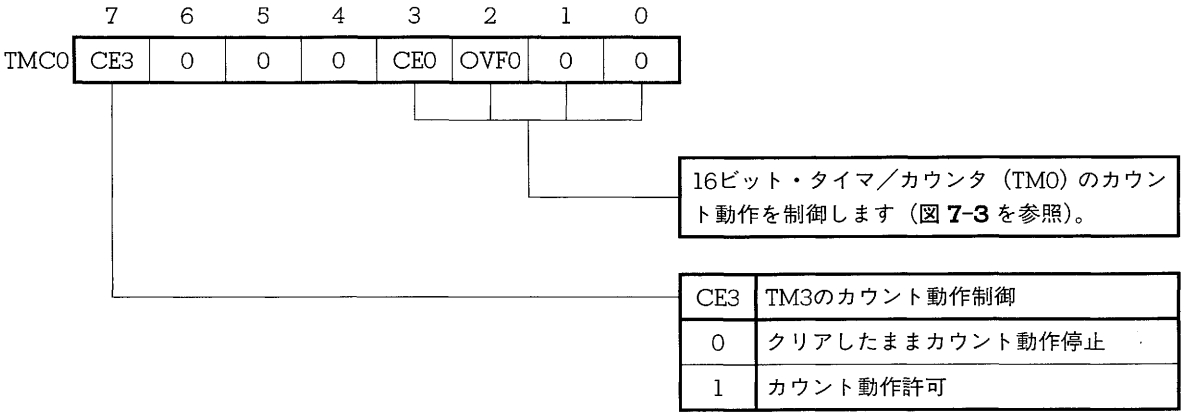
TMC0レジスタは，8ビット・タイマ3 (TM3) のカウント動作を制御する8ビット・レジスタです。

上位4ビットで8ビット・タイマ／カウンタ3のTM3のカウント動作を制御します（下位4ビットは16ビット・タイマ／カウンタのTM0のカウント動作を制御します)。

8ビット操作命令で読み出し／書き込みが可能です。図7－128にTMC0レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hになります。

図7－128　タイマ・コントロール・レジスタ (TMC0) のフォーマット



(2) プリスケーラ・モード・レジスタ0(PRM0)

PRM0レジスタは，8ビット・タイマ3 (TM3) へのカウント・クロックを指定する8ビット・レジスタです。

8ビット操作命令で書き込みのみ可能です。図7-129にPRM0レジスタのフォーマットを示します。

$\overline{\text{RESET}}$入力により00Hになります。

図7-129　プリスケーラ・モード・レジスタ0 (PRM0) のフォーマット

	7	6	5	4	3	2	1	0
PRM0	PRS3	PRS2	PRS1	PRS0	0	0	0	0

f_{CLK}=6 MHz

PRS3	PRS2	PRS1	PRS0	カウント・クロック〔Hz〕の指定	分解能
0	0	0	0	f_{CLK}/8	1.3 μs
0	0	0	1		
0	0	1	0	f_{CLK}/16	2.6 μs
0	0	1	1	f_{CLK}/32	5.3 μs
0	1	0	0	f_{CLK}/64	10.7 μs
0	1	0	1	f_{CLK}/128	21.3 μs
0	1	1	0	f_{CLK}/256	42.7 μs
0	1	1	1	f_{CLK}/512	85.3 μs
1	×	×	×	設定禁止	

備考　f_{CLK}：システム・クロック周波数

×　：1または0

7.4.4　8ビット・タイマ3（TM3）の動作

(1) 基本動作

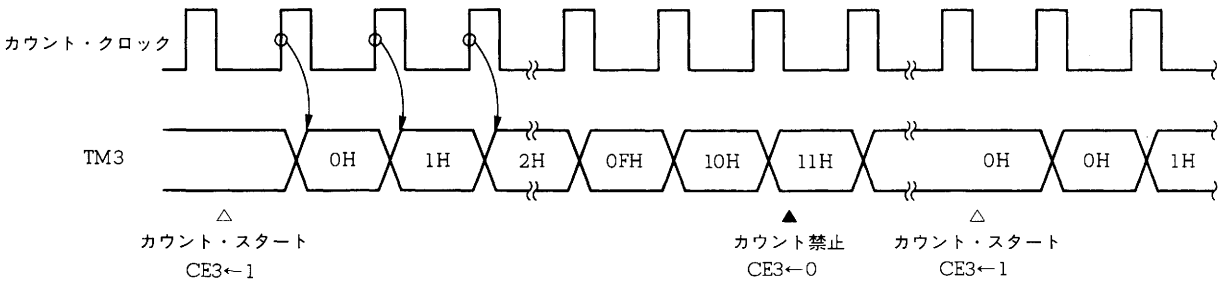
8ビット・タイマ／カウンタ3のカウント動作は，プリスケーラ・モード・レジスタ0（PRM0）の上位4ビットで指定されるカウント・クロックによるカウント・アップで行います。

$\overline{\text{RESET}}$入力により，TM3は00Hにクリアされ，カウント動作は停止します。

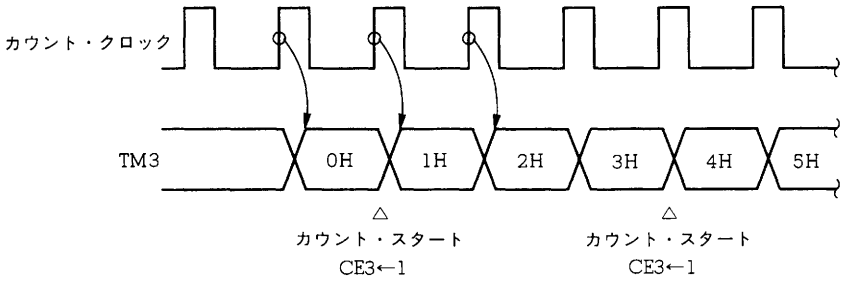
カウント動作の禁止／許可は，タイマ・コントロール・レジスタ0（TMC0）のビット7（CE3）で制御します（8ビット・タイマ／カウンタ3の動作制御はTMC0レジスタの上位4ビットです）。CE3ビットをソフトウエアによりセット(1)すると，最初のカウント・クロックでTM3は次のカウント・クロックで00Hにクリアされたのち，カウント・アップ動作を行います。CE3ビットをリセット(0)することによってTM3は次のカウント・クロックで00Hにクリアされ，一致信号の発生は停止します。CE3ビットがセット(1)されている状態でさらにCE3ビットをセット(1)した場合，TM3はクリアされないでカウント動作を続けます。

図7－130　8ビット・タイマ3(TM3)の基本動作

(a)カウント・スタート→カウント禁止→カウント・スタートの場合



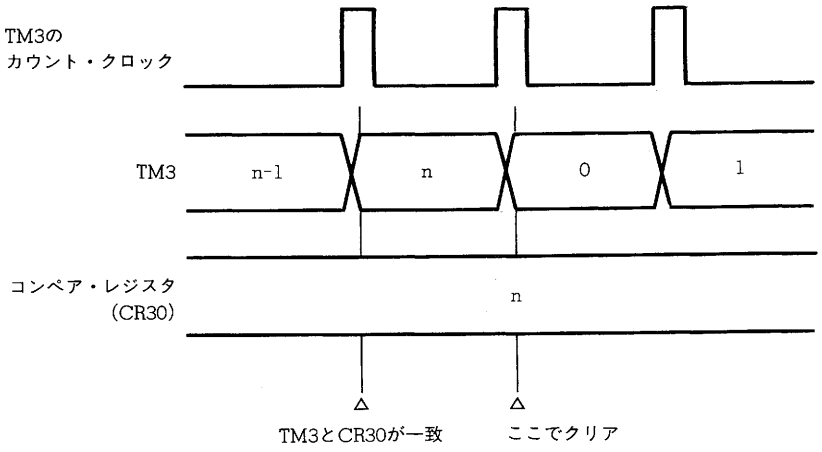
(b)カウント・スタート後の再度CE3ビットに“1”を書き込んだ場合



(2) クリア動作

8ビット・タイマ3（TM3）は，コンペア・レジスタ（CR30）との一致により自動的にクリアされます。TM3は，クリアする要因が発生すると，次のカウント・クロックで00Hにクリアされます。したがって，クリアする要因が発生しても，次のカウント・クロックがくるまではクリアの要因が発生した時点の値を保持しています。

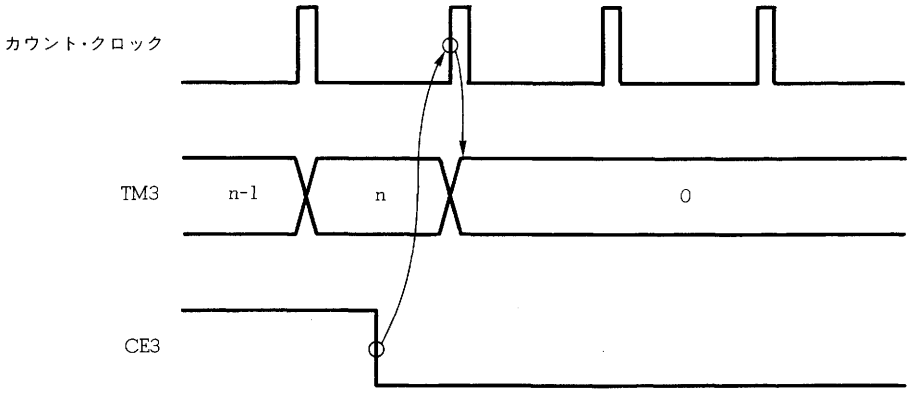
図7－131　コンペア・レジスタ（CR30）との一致によるTM3のクリア



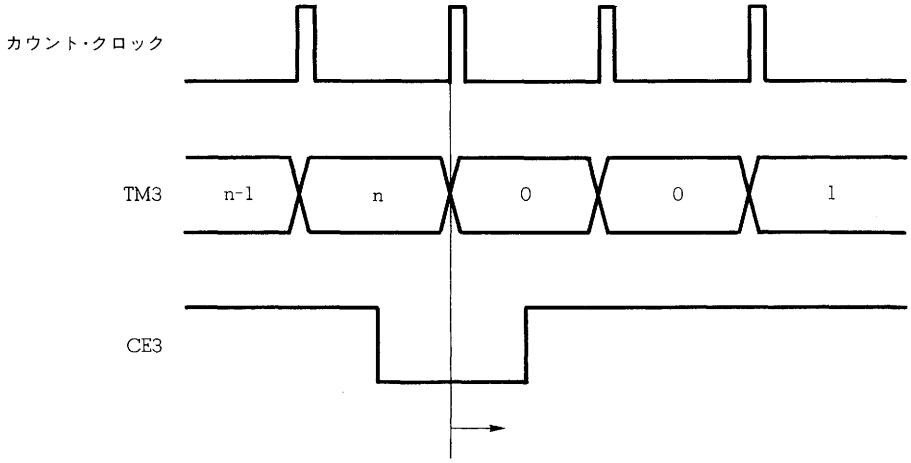
また，TM3はソフトウエアにより，タイマ・コントロール・レジスタ（TMC0）のCE3ビットをリセット（0）することによってもクリアされます。クリア動作は同様に，CE3ビットがリセット（0）されたあとのカウント・クロックで行われます。なお，CE3ビットをリセット（0）し，TM3が0になる前（CE3ビットをリセット（0）したあとの最初のカウント・クロックがくる前）にCE3ビットがセット（1）されると，クリア動作によりTM3が0になる動作とカウント・スタートによる0のカウント動作が同時に行われます。

★ 図7－132　CE3ビットをリセット（0）した場合のクリア動作

（a）基本動作

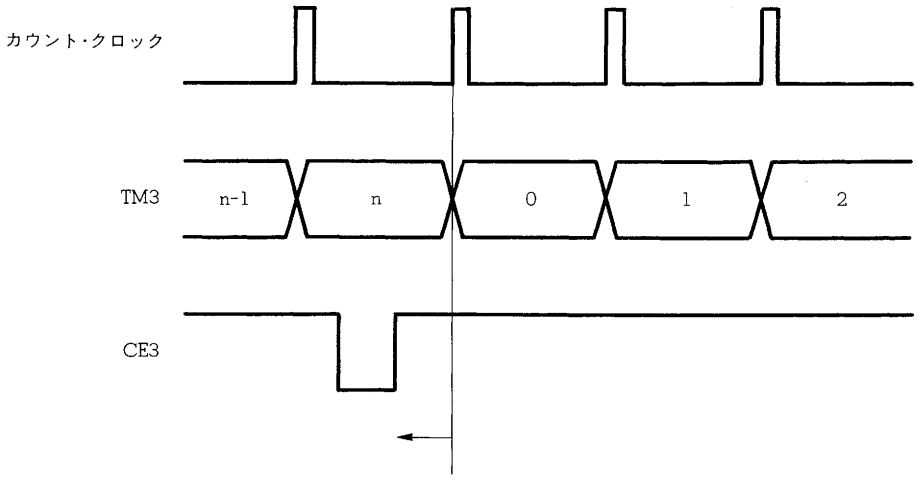


（b）クリア後のTM3が0になってからの再スタート



このカウント・クロック以降にCE3ビットがセット(1)された場合，CE3ビットをセット(1)したあとのカウント・クロックで0からカウント

(c) クリア後のTM3が0になる前の再スタート



このカウント・クロック以前にCE3ビットがセット(1)された場合，CE3←0によるTM3のクリア動作とCE3←1による0のカウント動作が同時に行われる

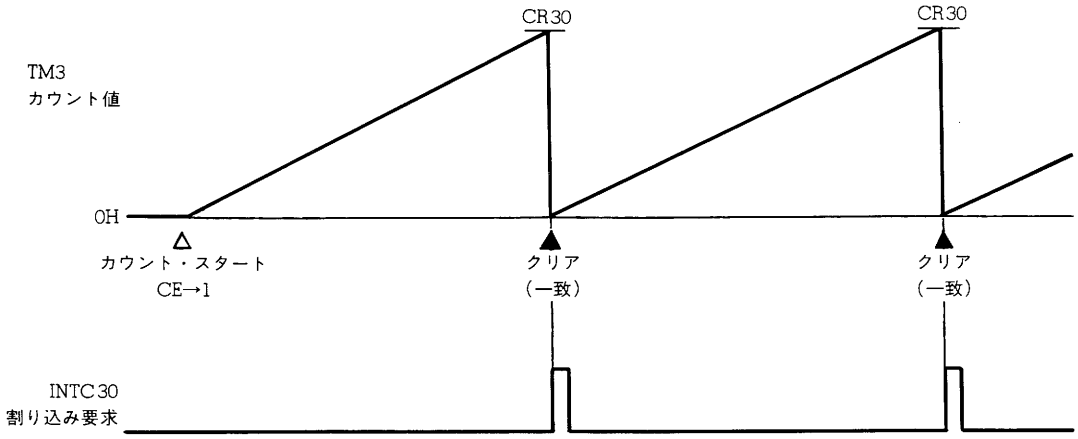
7.4.5　コンペア・レジスタの動作

8ビット・タイマ／カウンタ3は，コンペア・レジスタに設定された値をタイマのカウント値と比較するコンペア動作を行います。

あらかじめ設定された8ビット・コンペア・レジスタ（CR30）の値に8ビット・タイマ3（TM3）のカウント値がカウント動作によって一致すると，割り込み要求（INTC30）を発生します。

また一致後，TM3の内容を自動的にクリアしますので，CR30レジスタに設定した値を繰り返しカウントするインターバル・タイマとして動作します。

図7－133　コンペア動作



7.4.6 使用例

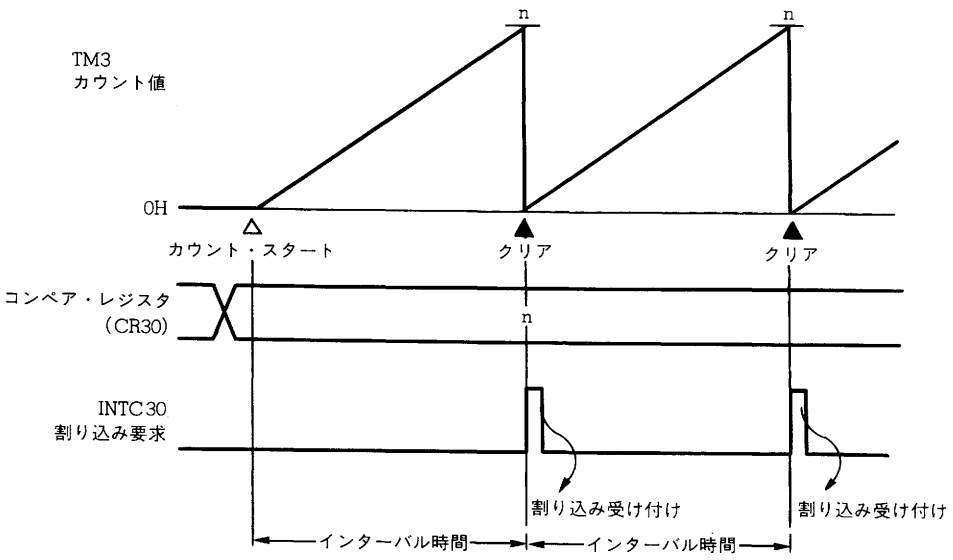
○インターバル・タイマとしての動作

あらかじめ設定したカウント時間をインターバルとして繰り返し割り込みを発生するインターバル・タイマとして動作します。また，ボー・レート生成用としても使用できます。

このインターバル・タイマは，最小1.3 μs最大85.3 μsの分解能で，それぞれ最高341 μs，21.8 msまでのカウントができます（内部システム・クロックf_{CLK}=6 MHz）。

図7－134に示すインターバル・タイマとしての動作の制御レジスタの設定内容を図7－135に，設定手順を図7－136に示します。

図7－134　インターバル・タイマ動作のタイミング



備考　インターバル時間＝(n＋1)×x/f_{CLK}；0≦n≦FFH

x＝8，16，32，64，128，256，512

図7－135　インターバル・タイマ動作の制御レジスタの設定内容

★ (a) タイマ・コントロール・レジスタ0（TMC0）

	7	6	5	4	3	2	1	0
TMC0	×	0	0	0	1	0	0	0

→ オーバフロー・フラグ

→ TM0のカウント許可

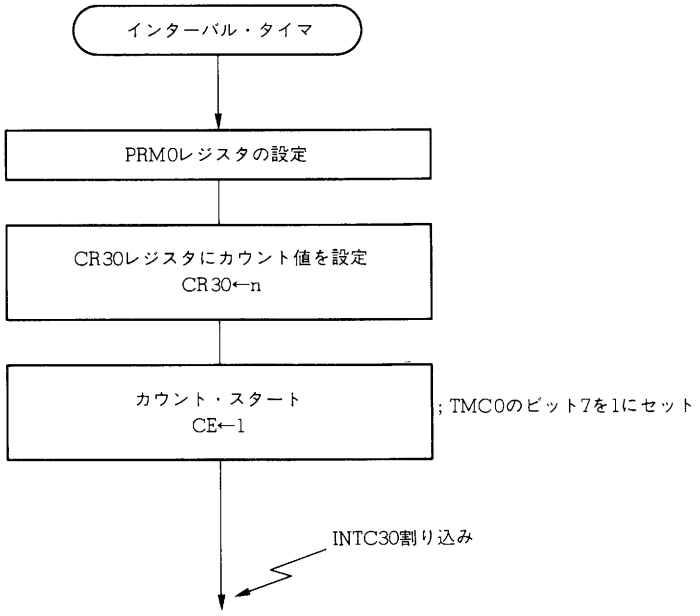
(b) プリスケーラ・モード・レジスタ0（PRM0）

	7	6	5	4	3	2	1	0
PRM0	PRS3	PRS2	PRS1	PRS0	0	0	0	0

→ カウント・クロックの指定

（x/f_{CLK}：x＝8, 16, 32, 64, 128, 256, 512）

図7－136　インターバル・タイマ動作の設定手順



7.5 注意事項

7.5.1 全タイマ／カウンタ共通の注意事項

(1) カウンタが動作している期間(TMCnレジスタのCEmビットがセットされているとき)，以下のレジスタの内容を書き換えると誤動作する可能性があります。誤動作はレジスタの書き換えによるハードウエアの機能の変化と，書き換え前の機能で状態が変化するタイミングが競合した場合にどちらが優先されるかが不定のために発生します。

これらのレジスタの内容を書き換える場合は，安全のため必ずカウンタ動作を停止させてから行ってください。

- プリスケーラ・モード・レジスタ（PRMn）
- キャプチャ／コンペア・コントロール・レジスタ（CRCn）
- タイマ出力コントロール・レジスタ（TOC）
- タイマ・コントロール・レジスタ1（TMC1）のCMD2ビット

(2) タイマ／カウンタからのオーバフローを保持するOVFmフラグは，タイマ／カウンタの動作を制御するTMCnレジスタの中にあります。リード・モディファイ・ライト系の命令(AND TMCn, #7FHなど)を実行した場合などにOVFmフラグがクリアされてしまう場合があります(読み出し時に0でも書き込み時にはタイマ／カウンタからのオーバフローが発生し，1になっている場合があります。しかし，読み出し時に0であったために，OVFmフラグに0を書き込んでしまい，クリア(0)してしまいます)。

同一のTMCnレジスタに割り当てられているタイマ／カウンタのOVFmフラグをクリアしたくない場合には，次のような方法で対応してください。

1. OVFmフラグを使用しているタイマ／カウンタのTMmレジスタを読み出す。
2. タイマ／カウンタの操作を行い，再度TMmレジスタを読み出す。
3. 2つの読み出し値を比較し，後から読み出した値が小さければ，OVFmフラグをセットする。

なお，この方法を使用する間は，割り込みプログラムなどでOVFmフラグの操作を行わないでください。また，最初にTMmを読んでから，次にTMmを読むまでの時間が，TMmがフル・カウントする時間より短くなければなりません。

例　タイマ／カウンタ1のOVF1フラグをクリアしてしまいたくない場合

```
        MOV A, TM1
        MOV TMC1, #×××01000B ; ×××はタイマ／カウンタ2の操作内容による
        CMP A, TM1            ; タイマ値をチェック
        BL $NEXT
        BE $NEXT
        MOV TMC1, #×××01100B ; OVF1をセット
NEXT :
```

(3) タイマの動作を停止させる命令実行時にコンペア・レジスタとタイマ・レジスタの内容が一致した場合，タイマのカウント動作は停止しますが，割り込みの要求は発生します。

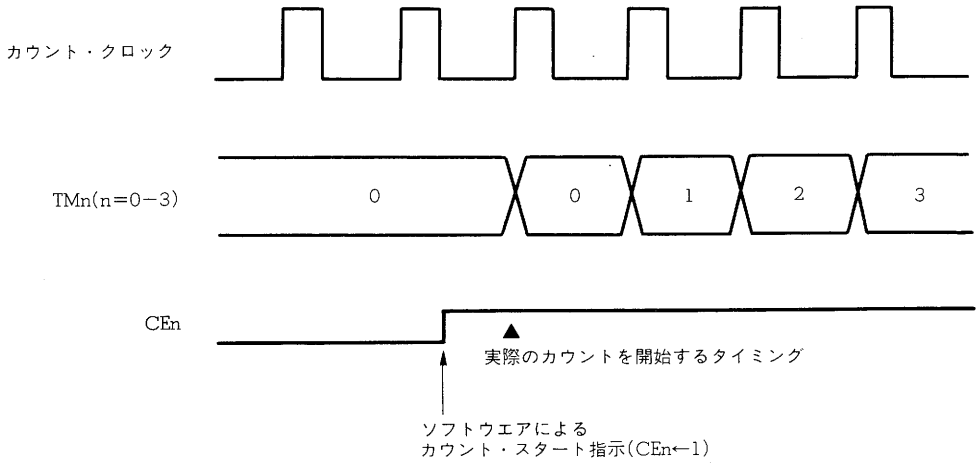
タイマの動作を停止する場合に割り込みを発生させたくないときは，先にマスク・レジスタで割り込みをマスクしてからタイマを停止させてください。

	割り込み要求が発生する可能性のあるプログラム		割り込み要求が発生しないプログラム	
	⋮		⋮	
例	MOV TMC1, #6CH	←この間でタイマ／カウンタからの割り込み要求発生	AND MK0H, #0F6H	←タイマ／カウンタ2からの割り込み禁止
	AND MK0H, #0F6H		MOV TMC1, #6CH	
	⋮		AND IF0H, #0F6H	←タイマ／カウンタ2からの割り込み要求フラグをクリア
			⋮	

(4) タイマ／カウンタをスタート(CEn←1，(n=0−3) させる操作を行ってから，実際にタイマ／カウンタがスタートするまで最大1カウント・クロック分の時間がかかります（**図7－137**参照）。

たとえば，インターバル・タイマとして使用する場合は，1回目のインターバル時間が最大1カウント・クロック分だけ長くなります。2回目以降は，指定した間隔どおりになります。

図7－137　カウント・スタート時の動作



(5) タイマを停止(CEn←0)する命令を実行してもTMnの内容は，すぐには0になりません。タイマを停止する命令(CEn←0)を実行したあとに発生するカウント・クロックで0になります。

なお，タイマを停止したあとすぐに，タイマが0になる前にタイマをスタート(CEn←1)した場合でもタイマは0からカウント・アップを行います。

図7－138　カウント動作の停止

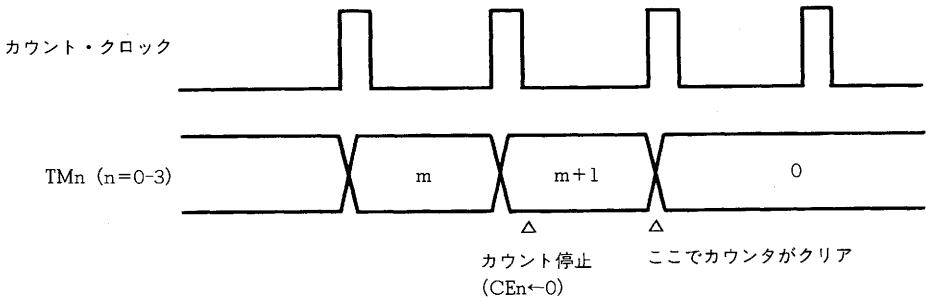
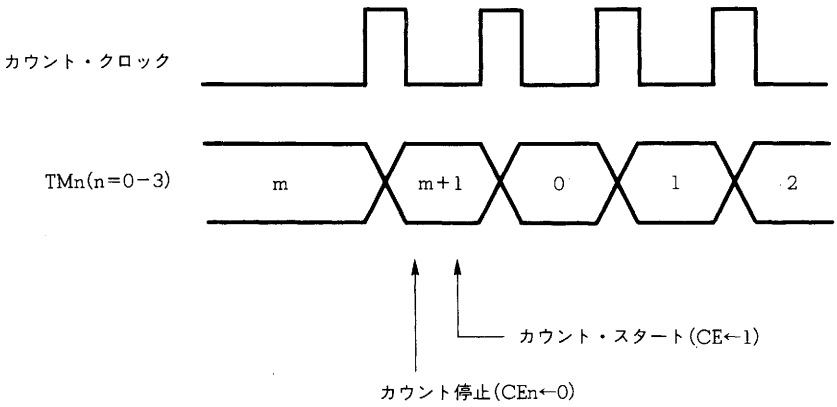


図7－139　カウント動作の停止，再スタートのタイミング



(6) タイマ／カウンタ関係のレジスタをアクセスする場合，自動的に最大下記のクロック数注だけウエイト・サイクルが挿入されます。

表7-20　タイマ／カウンタ関係レジスタ・アクセス時の最大ウエイト数

レジスタ	挿入される最大ウエイト数	
	リード時	ライト時
TMCn	0	1
PRMn	—	1
CRCn	—	1
TOC	—	1
OSPC	0	0
CRnm	1	1
TM0	7	—
TM1	15	—
TM2	15	—
TM3	7	—

注　1クロックは$1/f_{CLK}$の時間です。

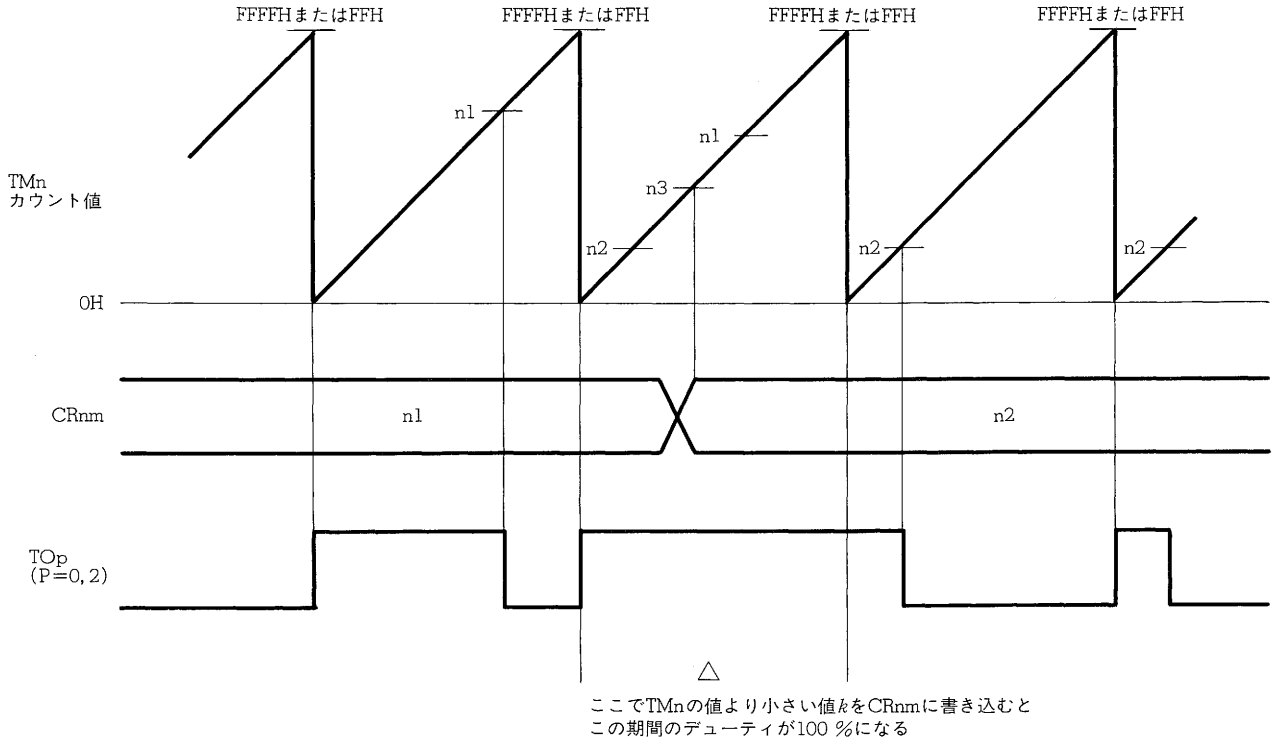
(7) コンペア・レジスタCRnm (n=0−3, m=0, 1) への書き込みを行う命令実行中は，書き込みの対象となっているCRnmレジスタとTMn (n=0−3)の一致を検出しません。たとえば，書き込みの前後でCRnmレジスタの内容が変わらない場合に，TMnの値がCRnmレジスタの値と一致しても割り込みの要求は発生せず，またタイマ出力 (TOn, n=0−3) も変化しません。

タイマ／カウンタがカウント動作を行っているときのCRnmレジスタへの書き込みは，CRnmレジスタへの書き込み中にTMnの内容とCRnmレジスタの書き込み前後の値が一致しないようなタイミングで行ってください (TMnとCRnmの一致による割り込み要求の発生直後など)。

(8) TMnとCRnmの一致の検出は，TMnがインクリメントされたときにのみ行われます。したがって，TMnと同じ値をCRnmへ書き込んでも割り込みの要求は発生せず，タイマ出力も変化しません。

(9) PWMを使用している場合，コンペア・レジスタ（CRnm）の値をTMnより小さい値に設定すると，デューティ100％のPWM信号が出力されてしまいます。CRnmの書き換えはTMnと書き換えを行うCRnmとの一致による割り込みで行ってください。

★ **図7－140　PWM出力時にデューティが100％になる例**

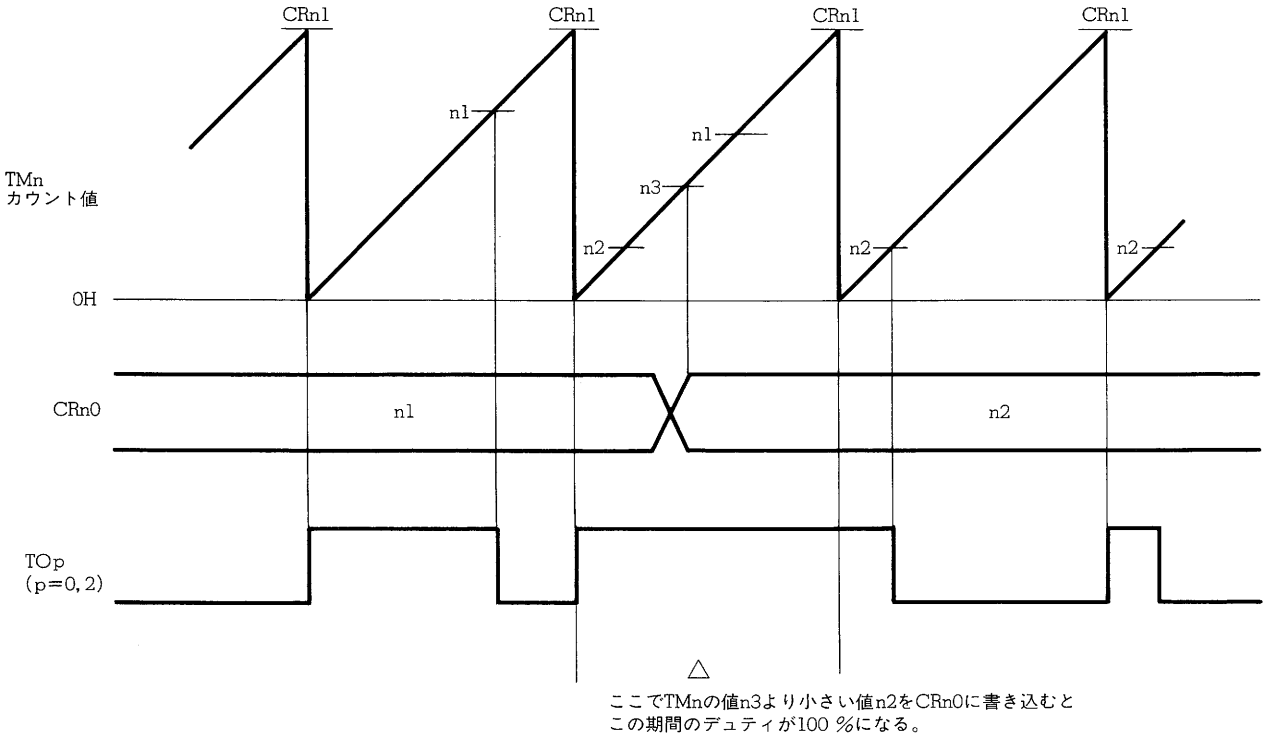


備考　ALVp＝0

(10) PPG出力を使用している場合のコンペア・レジスタの書き換えに関する注意事項

(a) コンペア・レジスタ（CRn0）とTMnが一致するより前にCRn0のTMn以下の値を書き込むと，そのPPG周期のデューティが100％になってしまいます。CRn0の書き換えは，TMnとCRn0との一致による割り込みで行うようにするなどしてください。

図7-141　PPG出力時にデューティが100％になる例 ★

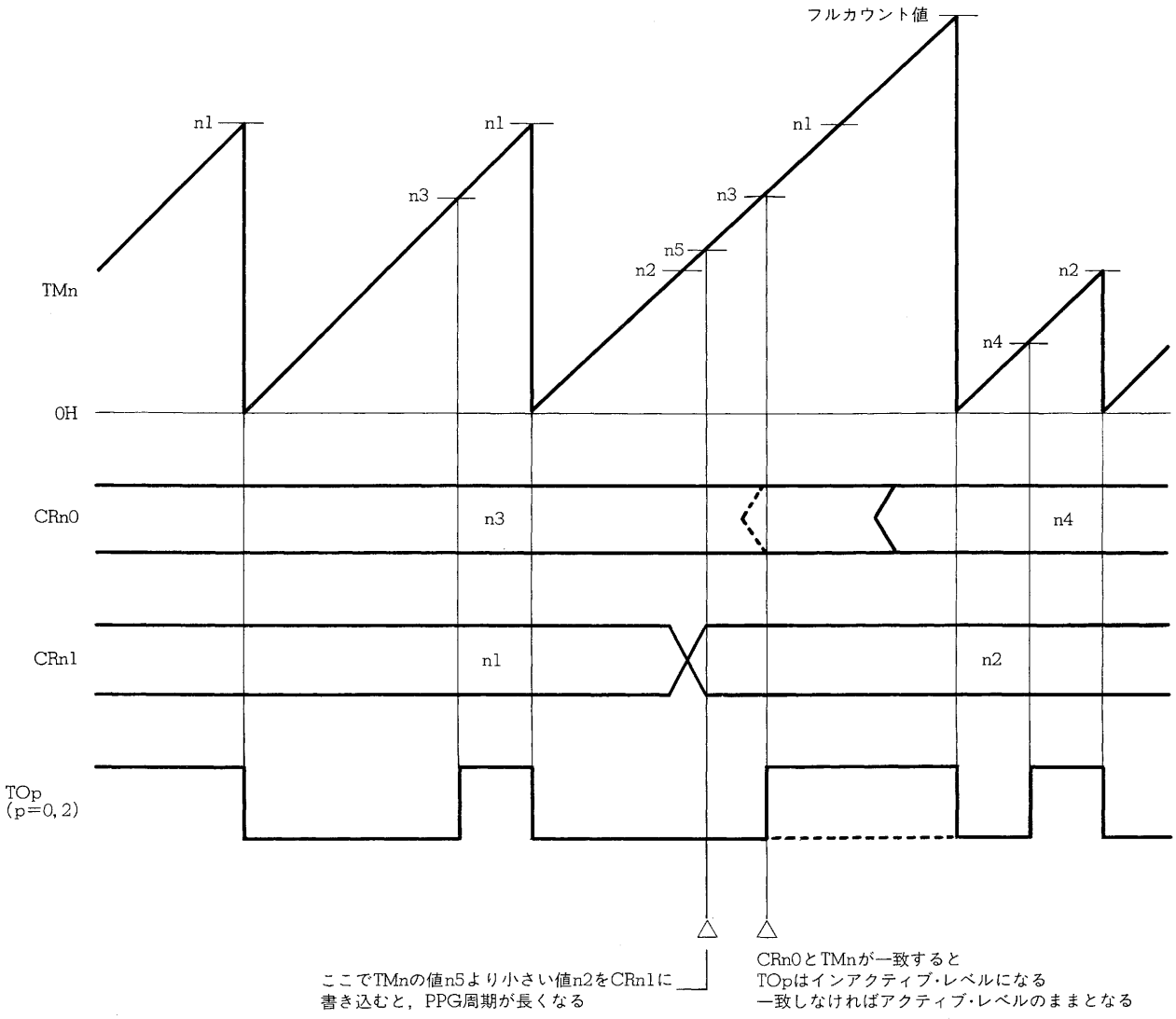


備考　ALVp＝0

(b) コンペア・レジシスタ（CRn1）を現在の値より小さい値に変更する場合に，CRn1の値をTMnの値より小さくすると，そのときのPPG周期がTMnがフルカウントする時間にまで長くなってしまいます。このときの出力レベルは，コンペア・レジスタ（CRn0）とTMnが一致したあとにCRn1を書き換えた場合は，TMnがオーバフローして0になるまでインアクティブ・レベルとなり，その後アクティブ・レベルとなり，正常なPPG出力に戻ります。CRn0とTMnが一致する前にCRn1を書き換えた場合は，CRn0とTMnが一致するまでアクティブ・レベルを出力します。TMnがオーバフローし，0になる前にCRn0とTMnが一致した場合は，その時点でインアクティブ・レベルを出力し，TMnがオーバフローし，0になった時点でアクティブ・レベルを出力し，正常なPPG出力に戻ります。

CRn1の書き換えは，TMnとCRn1との一致割り込みで行うようにするなどしてください。

★ **図7－142　PPG出力の周期が長くなる例**



備考　ALVp＝1

(c) 割り込みの受け付けなどにかかる時間に対して，十分な時間がPPG周期にないとき（PPG周期が極端に短いとき）は，(a)，(b) で示した方法では対策がとれません。ほかの方法（すべての割り込みをマスクして，割り込み要求フラグをソフトウエアでポーリングするなど）を考えてください。

(11) PWM出力では，パルス幅が近似式に比べてアクティブ・レベルで，f_{CLK}の2クロック分長く，インアクティブ・レベルがf_{CLK}の2クロック分短くなります。高精度の出力が必要な場合，またはカウント・クロックが高速の場合は，この点について考慮のうえご使用ください。

詳細は，**7.1.7，7.3.9　PWM出力**を参照してください。

(12) タイマ出力禁止時（ENTOn=0，n=0，1または2，3）のTOn（n=0，1または2，3）端子の出力レベルは，ALVn(n=0，1または2，3)に設定した値の反転値となります。したがって，PWM出力機能またはPPG出力機能を選択しているときのタイマ出力禁止時にはアクティブ・レベルが出力されますので注意が必要です。

(13) PPG出力では，パルス幅が近似式に比べてアクティブ・レベルで，f_{CLK}の2クロック分長く，インアクティブ・レベルがf_{CLK}の2クロック分短くなります。高精度の出力が必要な場合，PPGパルス周期が短い場合，またはカウント・クロックが高速の場合は，この点について考慮のうえご使用ください。

詳細は，**7.1.8，7.3.10　PPG出力**を参照してください。

(14) インサーキット・エミュレータでは，ディジタル・ノイズ除去を正常に行うことができません。したがって，タイマ／カウンタとエッジ検出を組み合わせて使用する場合は，次の点に注意して使用してください。

- タイマ／カウンタのキャプチャ動作，クリア動作

  ：誤検出したエッジの影響を受けません。従って，誤検出したエッジによる割り込みが発生しても，キャプチャ値は更新されていません。特にCR22は，CPUが読み出した後の値が不定となるため注意が必要です。

- タイマ／カウンタのコンペア動作

  ：キャプチャ後にクリアを行うモードに設定されている場合には，誤検出したエッジの影響により，一致割り込み発生のタイミングが変化してしまいます。その結果，タイマ／カウンタとコンペア・レジスタの値が一致するタイミングとは異なるタイミングで，一致割り込みが発生し続けます。

  正常なエッジ入力，またはタイマ／カウンタの停止により，一致

割り込みの発生が正常なタイミングに戻ります。

：タイマ出力は，誤検出したエッジの影響は受けません。正常なタイミングで動作を行います。

エッジの誤検出についての詳細は，**第11章　エッジ検出機能の11.4　注意事項**を参照してください。

★　インサーキット・エミュレータについては，**7.5.4　インサーキット・エミュレータ使用時の注意事項**も参照してください。

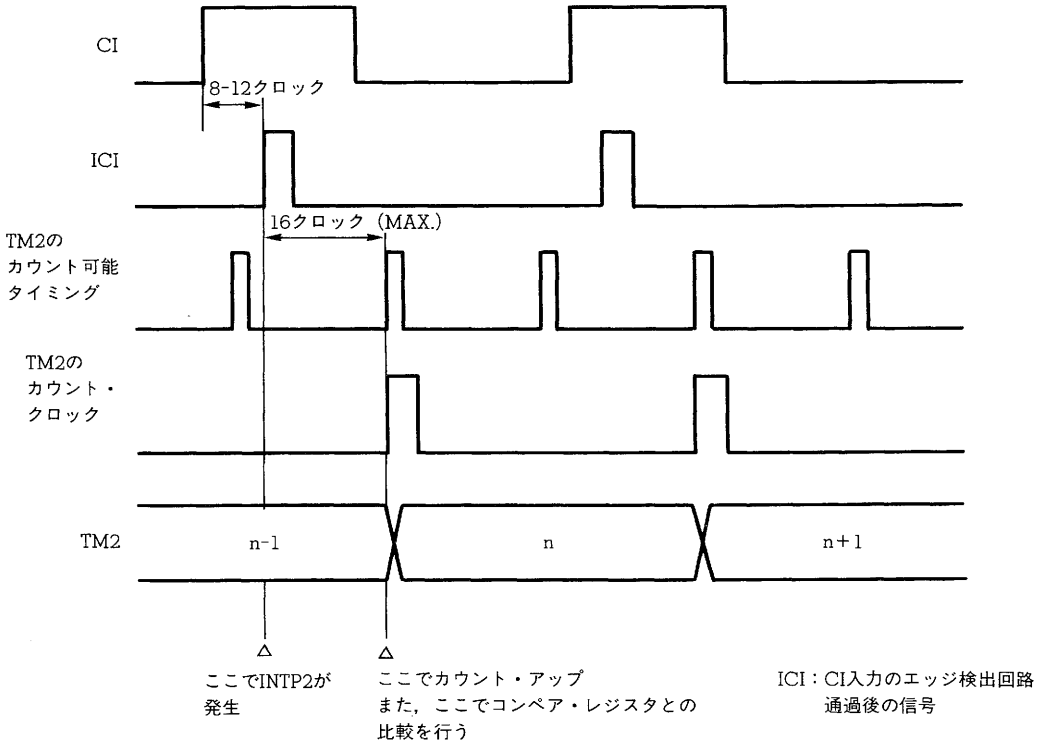
★　7.5.2　16ビット・タイマ／カウンタに関する注意事項

16ビット・タイマ／カウンタでコンペア動作を行うためには，コンペア動作を行わせる前に，使用するコンペア・レジスタに書き込みを行う必要があります。

7.5.3　8ビット・タイマ／カウンタ2に関する注意事項

(1) 8ビット・タイマ／カウンタ2を外部イベント・カウンタとして使用する場合，CI端子に有効エッジが入力されてからTM2がインクリメントされるまで最大28システム・クロック（4.67 μs：f_{CLK}＝6 MHz）だけ遅れます。したがって，エッジ検出直後にTM2の値を読み出してもインクリメントされていない場合があります。また，コンペア・レジスタ（CR20，CR21）との一致による割り込みの要求の発生も同様に，エッジ入力より遅れます。細かいタイミングの制御を行う必要がある場合には，この点についても注意してください。

図7－143　外部イベント・カウンタでの割り込み要求発生



(2) 8ビット・タイマ／カウンタ2を外部イベント・カウンタとして使用する場合，有効エッジの入力が一度もない状態と1回だけあった状態の区別がTM2だけではつけられません（**図7－144**参照）。TM2の内容はいずれの場合も0になります。区別をつける必要がある場合には，INTP2の割り込み要求フラグを利用してください(INTP2端子とCI端子は兼用になっており，いずれの機能も同時に使用できます)。

例を図7－145に示します。

図7－144　外部イベント・カウンタで1回または1回以下の有効エッジ入力の区別がつかない例

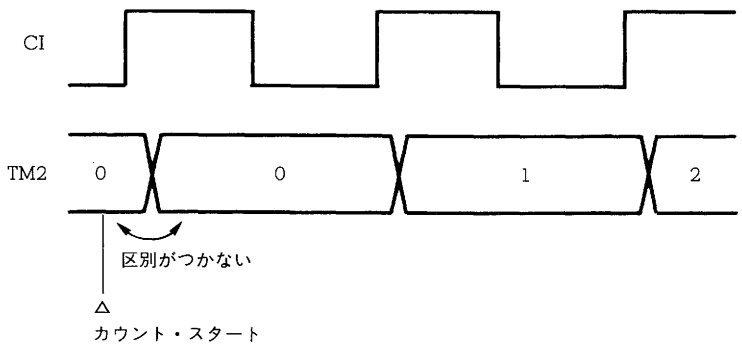
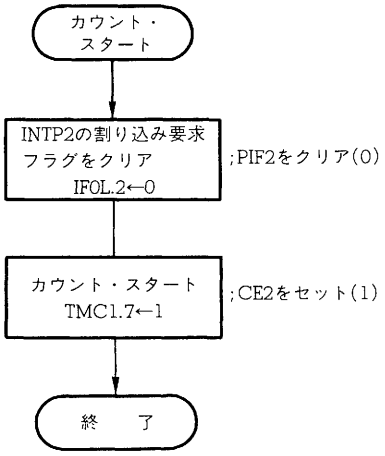
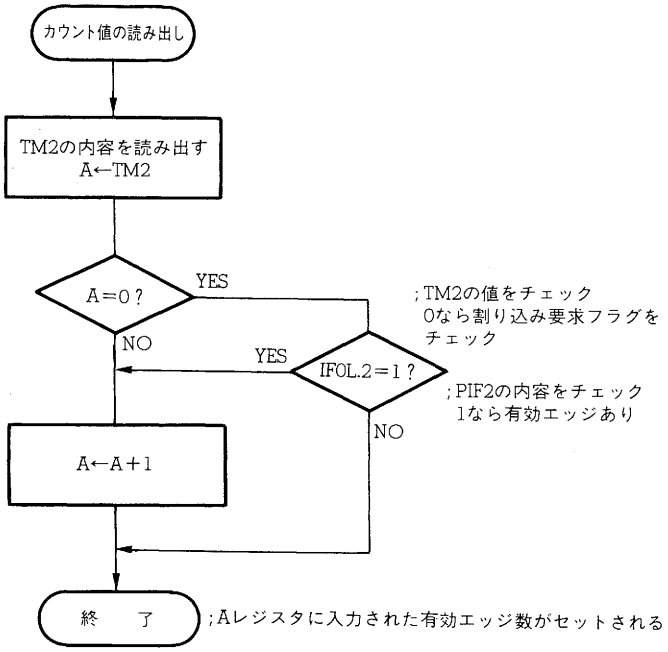


図7－145　外部イベント・カウンタで1回以下の有効エッジ入力を区別する方法

(a) カウント・スタート時の処理



(b) カウント値読み出し時の処理



(3) インサーキット・エミュレータでは，ディジタル・ノイズ除去を正常に行うことができません。したがってタイマ／カウンタとエッジ検出を組み合わせて使用する場合は，次の点に注意して使用してください。

タイマ／カウンタ2を外部イベント・カウンタとして使用している場合には，誤検出したエッジの影響により，一致割り込み発生のタイミングが変化してしまいます。その結果，タイマ／カウンタとコンペア・レジスタの値が一致するタイミングとは異なるタイミングで，一致割り込みが発生し続けます。

タイマ／カウンタの停止により，一致割り込みの発生が正常なタイミングに戻ります。

タイマ出力は，誤検出したエッジの影響は受けません。正常なタイミングで動作を行います。

★　インサーキット・エミュレータについては，**7.5.4　インサーキット・エミュレータ使用時の注意事項**を参照してください。

エッジの誤検出についての詳細は，**第11章　エッジ検出機能の11.4　注意事項**を参照してください。

(4) CR22レジスタは，読み出したあと不定になります。キャプチャした値を2回以上使用したい場合は，レジスタまたはメモリなどへキャプチャ値を退避しておき，その値を使用するようにしてください。

7.5.4　インサーキット・エミュレータ使用時の注意事項 ★

インサーキット・エミュレータでは，INTP0，INTP1，INTP2／CI，INTP3のノイズ除去動作が正常に動作せずに，ノイズをエッジとして誤検出してしまう場合があります。エッジの誤検出の詳細については，**第11章　エッジ検出機能の11.4　注意事項**を参照してください。ここでは，誤検出したエッジにより，どのようにタイマ／カウンタが動作するかを説明します。

(a) キャプチャ動作

誤検出したエッジでは，キャプチャ動作を行いません。しかし，誤検出したエッジでの割り込みは発生します。誤検出したエッジによる割り込み処理の中で読み出したキャプチャ・レジスタの値は次のようになります。

・CR02，CR11の場合
　直前の正常なエッジでキャプチャした値
・CR22の場合
　不定値

(b) キャプチャ後のクリア動作（8ビット・タイマ／カウンタ1，2のみ）

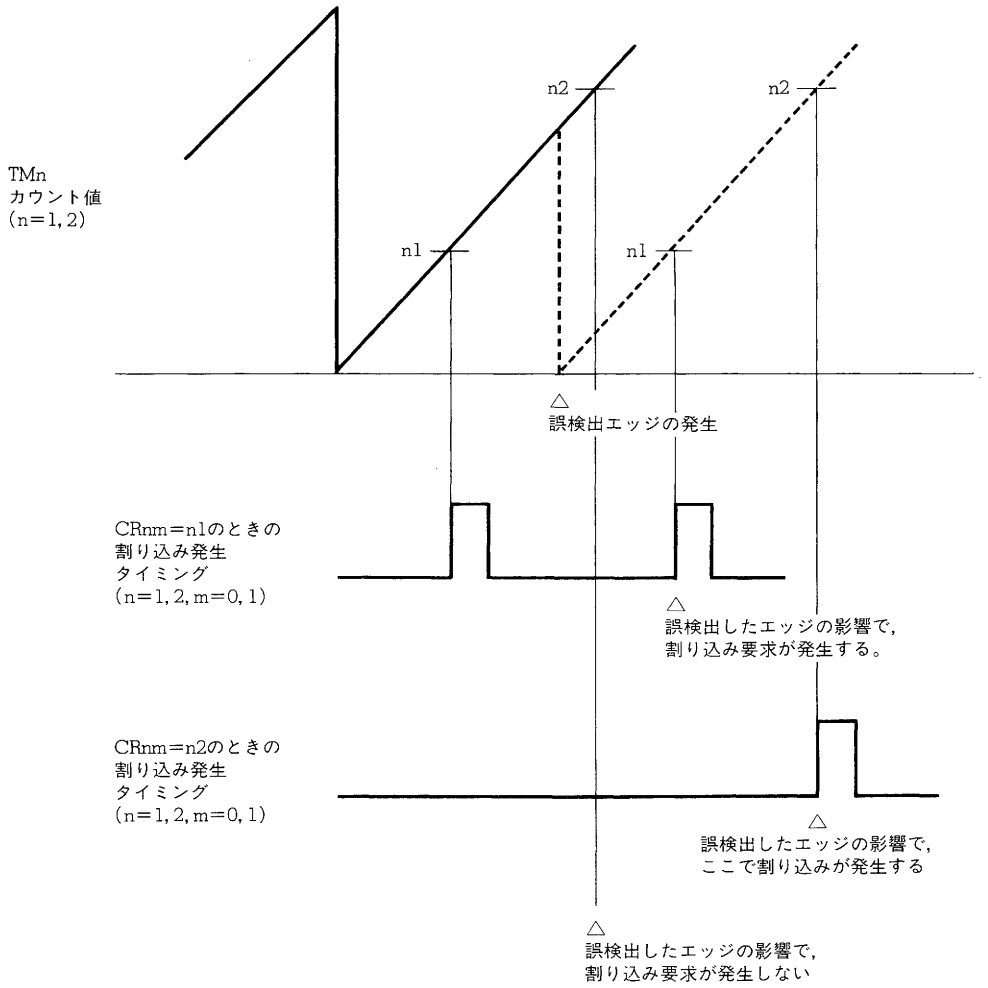
誤検出したエッジでは，クリア動作は行いません。しかし，エッジの誤検出後，タイマ／カウンタの値とコンペア・レジスタの値とは無関係なタイミングでタイマ／カウンタの値とコンペア・レジスタの値が一致したときの割り込みの要求が発生します。この割り込みの発生タイミングは，タイマ／カウンタがクリアされたと仮定したときのタイミングとなります（**図7-146**参照）。

タイマ／カウンタ1のタイマ／カウンタの値とコンペア・レジスタの値の一致をリアルタイム出力ポートの出力トリガとしている場合は，このずれたタイミングがリアルタイム出力ポートの出力トリガとなります。

タイマ／カウンタ2のタイマ出力機能は，正しいタイミングで動作します(誤検出したエッジの影響を受けません)。この割り込み発生タイミングのずれは，次の動作で解消されます。

・正常なエッジによるクリア動作
・タイマ・コントロール・レジスタ1（TMC1）の該当するタイマ／カウンタのCEn（n＝1，2）ビットをクリア（0）する

図7－146　誤検出したエッジによる割り込み発生タイミングの変化



(c) イベント・カウンタ機能（タイマ／カウンタ2のみ）

誤検出したエッジでは，タイマ／カウンタの値は変化しません。しかし，タイマ／カウンタの値とコンペア・レジスタの値の一致による割り込み発生タイミングは，誤検出したエッジの数だけ速くなってしまいます。

タイマ出力機能は，正しいタイミングで動作します（誤検出したエッジの影響は受けません）。

この割り込み発生タイミングのずれは，次の動作で解消されます。

・キャプチャ後のクリア機能を使用している場合は，正常なエッジによるクリア動作

・タイマ／コントロール・レジスタ1（TMC1）のCE2ビットをクリア（0）する。

第８章　A/Dコンバータ

μPD78218Aは，8マルチプレクスト・アナログ入力（AN0-AN7）をもつアナログ／ディジタル（A/D）コンバータを内蔵しています。

変換方式は逐次比較で，変換結果を8ビットのA/D変換結果レジスタ（ADCR）に保持します。このため，高速で高精度な変換を行います（変換時間30μs：f_{CLK}＝6 MHzの場合）。

A/D変換動作の起動には，次のモードがあります。

○ハードウエア・スタート：トリガ入力（INTP5）により変換開始。

○ソフトウエア・スタート：A/Dコンバータ・モード・レジスタ（ADM）のビット設定により変換開始。

また，起動後の動作には，次のモードがあります。

○スキャン・モード：複数のアナログ入力を順次選択し，全端子からの変換データを得ます。

○セレクト・モード：アナログ入力を1端子に固定し，連続的な変換値を得ます。

以上のモードと変換動作の停止は，すべてADMで指定します。

なお，変換結果をADCRへ転送すると，割り込み要求INTADを発生します（ソフトウエア・スタートのセレクト・モードを除く）。このため，マクロ・サービスによって，変換値をメモリへ連続的に転送することができます。

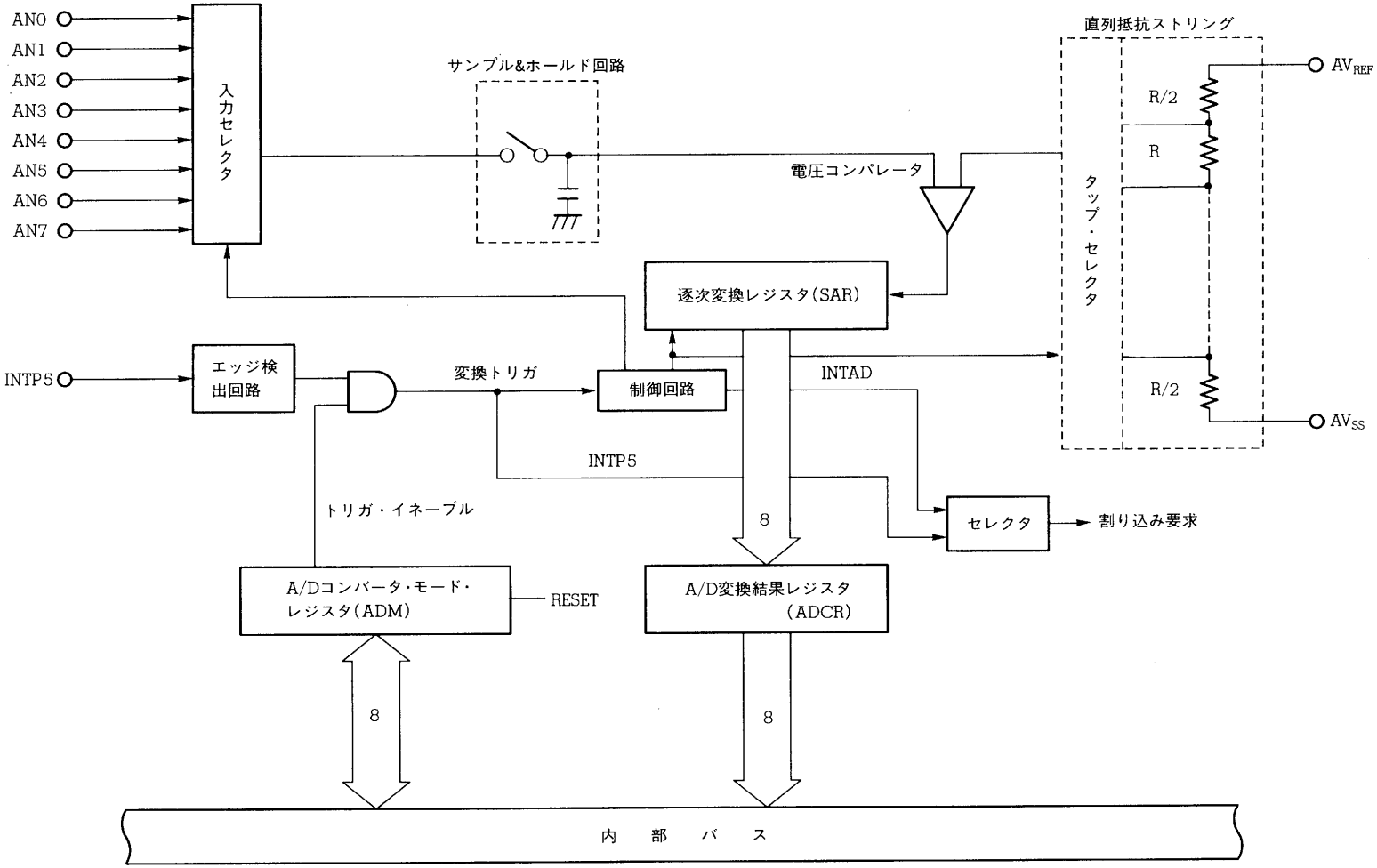
表８－１　INTADを発生するモード

スタート＼モード	スキャン・モード	セレクト・モード
ハードウエア・スタート	○	○
ソフトウエア・スタート	○	—

8.1　構　　成

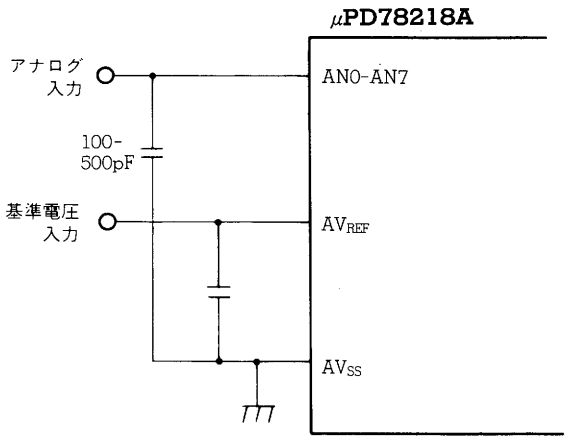
A/Dコンバータは図８－１のように構成されています。

図8-1 A/Dコンバータのブロック図



注意１．アナログ入力端子（AN0-AN7）および基準電圧入力端子（AV_{REF}）には，ノイズによる誤動作を防ぐため，AVssとの間にキャパシタを接続してください。

図８－２　A／Dコンバータ用端子のキャパシタ接続例



２．A／Dコンバータの入力端子として使用している端子には，AV_{SS}-AV_{REF}の範囲外の電圧が加わらないようにしてください。詳細については，8.6　注意事項を参照してください。

(1) 入力回路

入力回路は，A/Dコンバータ・モード・レジスタ（ADM）の指定によりアナログ入力を選択し，動作モードに従ってアナログ入力をサンプル＆ホールド回路に送ります。

(2) サンプル＆ホールド回路

サンプル＆ホールド回路は，順次送られてくるアナログ入力を1つ1つサンプリングし，A/D変換中のアナログ入力を保持します。

(3) 電圧コンパレータ

電圧コンパレータは，アナログ入力と直列抵抗ストリングの電圧タップとの電圧差を比較します。

(4) 直列抵抗ストリング

直列抵抗ストリングは，アナログ入力と一致する電圧を発生させるためのものです。

直列抵抗ストリングは，A/Dコンバータ用の基準電圧端子（AV_{REF}）とA/Dコンバータ用のGND端子（AV_{SS}）間に接続されています。2端子間を256の等価な電圧ステップにするため，等価な抵抗255個とその1/2の抵抗値の抵抗2個で構成されています。

直列抵抗ストリングの電圧タップは，SARで制御されるタップ・セレクタによって選択します。

(5) SAR (Successive Approximation Register)

SARは，直列抵抗ストリングの電圧タップの値がアナログ入力の電圧値と一致するデータを，最上位ビット（MSB）から1ビットずつ設定する8ビット・レジスタです。

SARの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARの内容（変換結果）はA/D変換結果レジスタ（ADCR）に保持されます。

(6) ADCR(A／D Conversion Result Register)

ADCRは，A／D変換結果を保持する8ビット・レジスタです。A／D変換が終了するたびに，SARから変換結果がロードされます。

$\overline{\text{RESET}}$入力により不定となります。

(7) エッジ検出回路

エッジ検出回路は，割り込み要求入力端子(INTP5) の入力から有効エッジを検出して，外部割り込み要求信号（INTP5）とA/D変換動作の外部トリガを発生します。

INTP5端子入力の有効エッジは，外部割り込みモード・レジスタ1（INTM1）で指定します（**図11-2**参照)。外部トリガの許可／禁止は，ADMレジスタで設定します（**8.2**参照)。

8.2　A/Dコンバータ・モード・レジスタ（ADM）

ADMは，A/Dコンバータの動作を制御する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。図8-3にADMのフォーマットを示します。

ビット0（MS）は，動作モードを制御するビットです。

ビット1，2，3（ANI0，1，2）は，A/D変換するアナログ入力を選択するビットです。

ビット6（TRG）は，A/D変換動作の外部同期を許可するビットです。CSビットがセット(1)時，TRGビットをセット(1)すると，INTP5端子に外部トリガとして有効エッジを入力するごとに変換動作を初期化します。TRGビットをリセット(0)すると，INTP5端子入力に関係なく変換動作を行います。

ビット7（CS）は，A/D変換動作を制御するビットです。CSビットをセット(1)すると変換動作を開始し，リセット(0)すると，変換中であってもすべての変換動作を中止します。このとき，ADCRレジスタの更新，INTPAD割り込み要求は発生しません。また，電圧コンパレータへの電源供給を停止し，A/Dコンバータでの消費電流を減らします。

$\overline{\text{RESET}}$入力により00Hとなります。

注意　STOPモードを使用する場合は，STOPモードに入る前にCSビットをリセット(0)して消費電流が下がるようにしてください。CSビットがセット(1)されたままだと，STOPモードに入っても変換動作は止まりますが，電圧コンパレータへの電源供給は止まりませんので，A/Dコンバータでの消費電流は減りません。

図８－３　A/Dコンバータ・モード・レジスタ（ADM）のフォーマット

	⑦	6	5	4	3	2	1	0
ADM	CS	TRG	0	FR	ANI2	ANI1	ANI0	MS

ANI2	ANI1	ANI0	MS	A/D変換動作モードの指定	
0	0	0	0	スキャン・モード	AN0入力をスキャン
0	0	1	0		AN0, AN1入力をスキャン
0	1	0	0		AN0-AN2入力をスキャン
0	1	1	0		AN0-AN3入力をスキャン
1	0	0	0		AN0-AN4入力をスキャン
1	0	1	0		AN0-AN5入力をスキャン
1	1	0	0		AN0-AN6入力をスキャン
1	1	1	0		AN0-AN7入力をスキャン
0	0	0	1	セレクト・モード	AN0入力をセレクト
0	0	1	1		AN1入力をセレクト
0	1	0	1		AN2入力をセレクト
0	1	1	1		AN3入力をセレクト
1	0	0	1		AN4入力をセレクト
1	0	1	1		AN5入力をセレクト
1	1	0	1		AN6入力をセレクト
1	1	1	1		AN7入力をセレクト

FR	変換速度制御	
0	$180/f_{CLK}$	$f_{CLK}>4$ MHz
1	$120/f_{CLK}$	$f_{CLK}\leqq 4$ MHz

備考　f_{CLK}：システム・クロック周波数

TRG	外部端子トリガの制御
0	外部トリガ禁止
1	外部トリガ許可

CS	A/D変換動作制御
0	A/D変換動作停止
1	A/D変換動作開始

8.3 動　作

8.3.1 A/Dコンバータの基本動作

(1) A/D変換動作手順

A/D変換は，次のような手順で行います。

(a) アナログ入力の選択と動作モードの指定をA/Dコンバータ・モード・レジスタ（ADM）によって設定します。

(b) ADMレジスタのビット7（CS）をセット(1)し，A/D変換を開始させます。

(c) 変換開始とともにSARの最上位ビット（ビット7）が自動的にセット(1)されます。

(d) SARのビット7がセットされるとタップ・セレクタは，直列抵抗ストリングの電圧タップを $\frac{255}{512}AV_{REF}$（$\fallingdotseq \frac{1}{2}AV_{REF}$）にします。

(e) 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし，アナログ入力が(1/2) AV_{REF}よりも大きければ，SARのMSBをセットしたままです。また，もし (1/2)AV_{REF}よりも小さければ，MSBをリセットします。

(f) 次にSARのビット6が自動的にセット(1)され，次の比較に移ります。ここではすでに結果がセットされているビット7の値によって，次に示すように直列抵抗ストリングの電圧タップが選択されます。

・ビット7＝1 …… $\frac{383}{512}AV_{REF} \fallingdotseq \frac{3}{4}AV_{REF}$

・ビット7＝0 …… $\frac{127}{512}AV_{REF} \fallingdotseq \frac{1}{4}AV_{REF}$

この電圧タップとアナログ入力電圧を比較し，その結果でSARのビット6が次のように操作されます。

・アナログ入力電圧≧電圧タップ：ビット6＝1

・アナログ入力電圧＜電圧タップ：ビット6＝0

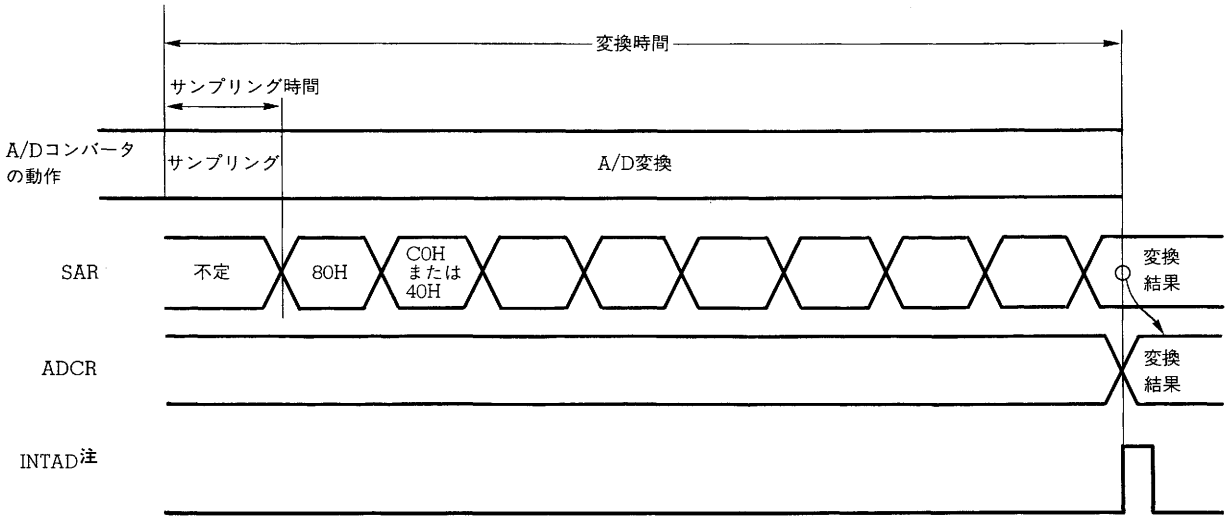
(g) このような比較をSARの最下位ビット（ビット0）まで続けます（バイナリ・サーチ法）。

8

(h) 8ビットの比較が終了したとき，SARには有効なディジタルの結果が残り，その値がADCRレジスタに転送され，ラッチされます。

同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます（ソフトウエア・スタートのセレクト・モード時を除く）。このINTADをベクタ割り込みかマクロ・サービス（後述）として処理してください。

図８－４　A／Dコンバータの基本動作



注　ソフトウエア・スタートのセレクト・モード時を除く

A/D変換動作は，ソフトウエアによりCSビットをリセット(0)するまで連続的に行われます。

A/D変換動作中に，ADMレジスタに対する書き込み操作を行うと変換動作は初期化され，CSビットがセット(1)されていれば，最初から変換を開始します。

ADCRレジスタは，$\overline{\text{RESET}}$により不定となります。

(2) 入力電圧と変換結果

アナログ入力端子（AN0-AN7）に入力されたアナログ入力電圧とA／D変換結果（ADCRに格納された値）には次式に示す関係があります。

$$ADCR = INT\left(\frac{V_{IN}}{AV_{REF}} \times 256 + 0.5\right)$$

または，

$$(ADCR - 0.5) \times \frac{AV_{REF}}{256} \leqq V_{IN} < (ADCR + 0.5) \times \frac{AV_{REF}}{256}$$

備考　INT(　)　：(　)内の値の整数部を返す関数

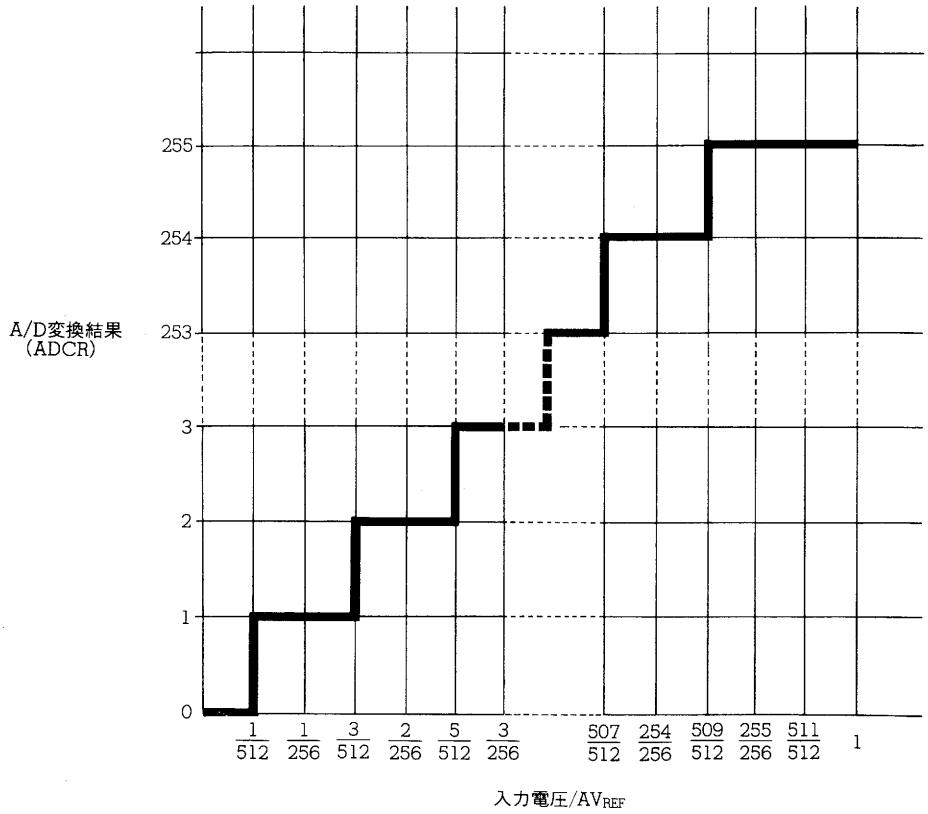
V_{IN}　：アナログ入力電圧

AV_{REF}　：AV_{REF}端子電圧

ADCR　：ADCRレジスタの値

図８-５にアナログ入力電圧とA／D変換結果の関係を図示します。

図８-５　アナログ入力電圧とA／D変換結果の関係



(3) A／D変換の変換時間

A／D変換の変換時間は，システム・クロック周波数（f_{CLK}）とADMレジスタのFRビットによって決定されます。

A／D変換時間は，1回のA／D変換に必要なすべての時間を含んでおり，サンプリング時間も変換時間に含まれます。

表８-2に，その値を示します。

表８-２　A／D変換時間

システム・クロック（f_{CLK}）の範囲	FRビット	変換時間	サンプリング時間
2 MHz＜f_{CLK}≦6 MHz	0	180／f_{CLK} (30 μs－90 μs)	36／f_{CLK} (6 μs－18 μs)
2 MHz≦f_{CLK}≦6 MHz	1	120／f_{CLK} (20 μs－60 μs)	24／f_{CLK} (4 μs－12 μs)

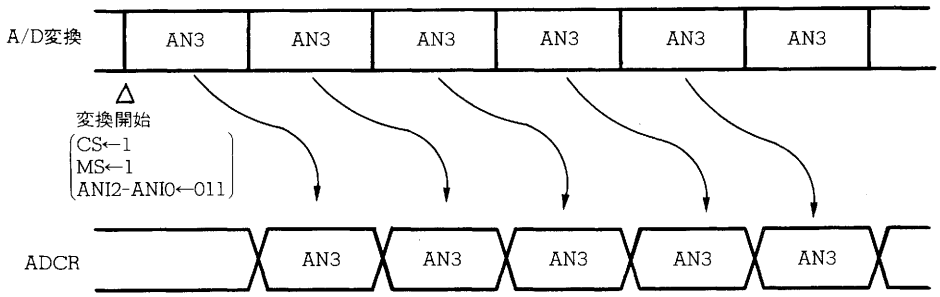
8.3.2 セレクト・モード

ADMレジスタのビット1-3（ANI0-ANI2）により1つのアナログ入力を指定し，指定されたアナログ入力端子のA/D変換を開始します。変換結果をA/D変換結果レジスタ（ADCR）に格納します。

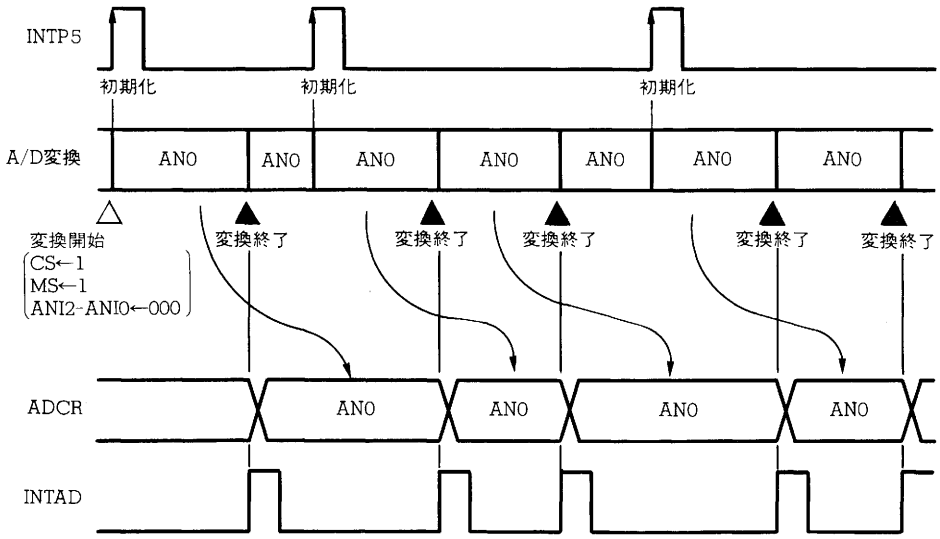
なお，このとき，ADMレジスタのビット6（TRG）がセットされていて，外部トリガが許可されている場合は，A/D変換終了割り込み要求（INTAD）を発生します。

図8-6 セレクト・モードの動作タイミング

(a) TRGビット←0



(b) TRGビット←1



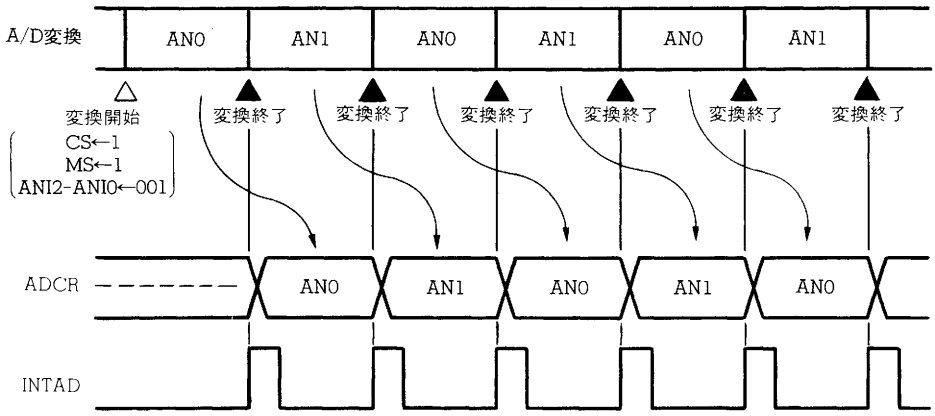
8.3.3 スキャン・モード

A/Dコンバータ・モード・レジスタ（ADM）のビット1-3（ANI0-ANI2）により指定されたアナログ入力端子からの入力を順に選択し変換します。

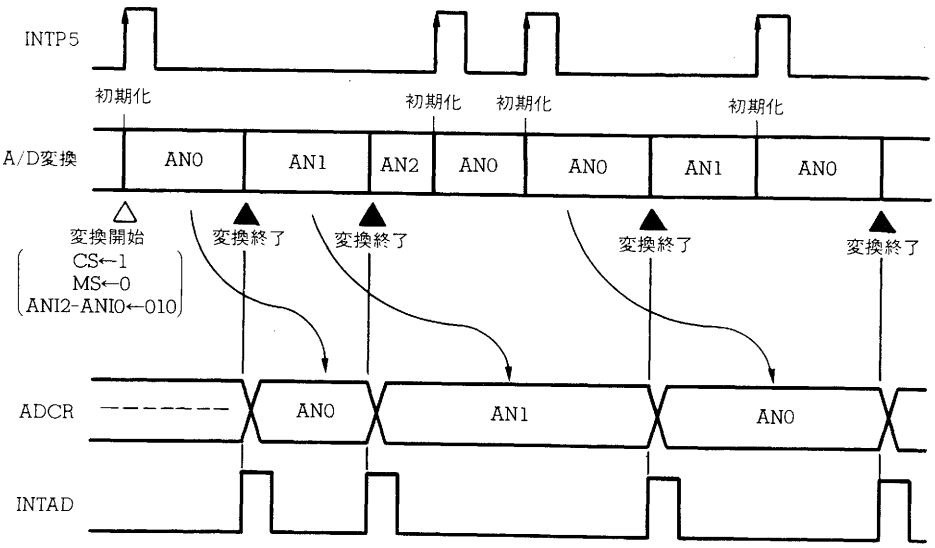
たとえば，ADMレジスタのANI2-ANI0＝001のときはAN0とAN1が繰り返しスキャン（AN0→AN1→AN0→AN1→…）されます。スキャン・モードでは各入力の変換動作が終了するごとに，変換値はADCRレジスタに格納され，A/D変換終了割り込み要求（INTAD）を発生します。

図8-7 スキャン・モードの動作タイミング

(a) TRGビット←0



(b) TRGビット←1



注意1.　A／Dコンバータのスキャン・モード使用時に，A／D変換結果の読み出しをベクタ割り込みで行っている場合，他の割り込み処理などによって，A／D変換終了割り込みが，長時間（FRビットが0の場合，180クロック，FRビットが1の場合，120クロック以上）保留されると変換結果を取りこぼしてしまいます。この変換結果の取りこぼしをソフトウエア的に検出することは困難です。したがって，変換結果の取りこぼしが発生しないよう，次のような対策を採ってください。

- 他の割り込み処理時間をA／D変換の時間に対して十分短くする
- 多重割り込みを使用して，他の割り込み処理中でもA／D変換終了割り込みを受け付けるようにする
- A／D変換終了割り込みをマクロ・サービスで行うようにする

また，他の割り込みだけでなく，割り込みを保留する要因として，「12.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合」に示す場合がありますのでその点についても留意してください。

なお，上記対策のうち，マクロ・サービスを使用する方法が，一番簡単だと考えます。

2.　A／Dコンバータのスキャン・モード使用時に，割り込みに関するレジスタなどの設定後に，ADMレジスタの設定を行った場合，不要な割り込みが発生することがあり，そのため，変換結果の格納アドレスがずれたように見えます。したがって，次の手順で行うことをお勧めします。

- 割り込みマクロ・サービスなどの初期設定（割り込みマスク・フラグまたは割り込みサービス・モード・フラグの設定）
- ADMレジスタへの書き込み
- 割り込み要求フラグ（PIF5）のリセット（0）
- 割り込みマスク・フラグまたは，割り込みサービス・モード・フラグの設定

8.3.4　ソフトウエア・スタートによるA／D変換動作の起動

ソフトウエアによるA／D変換動作のスタートは，ADMレジスタのTRGビットを0，CSビットを1とする値をADMレジスタへ書き込むことで行います。

A／D変換動作中（CSビット＝1）に，再度TRGビットが0でCSビットが1になるような値をADMレジスタに書き込むと，そのとき行っていたA／D変換動作を中断し，書き込まれた値に応じたA／D変換をただちに開始します。

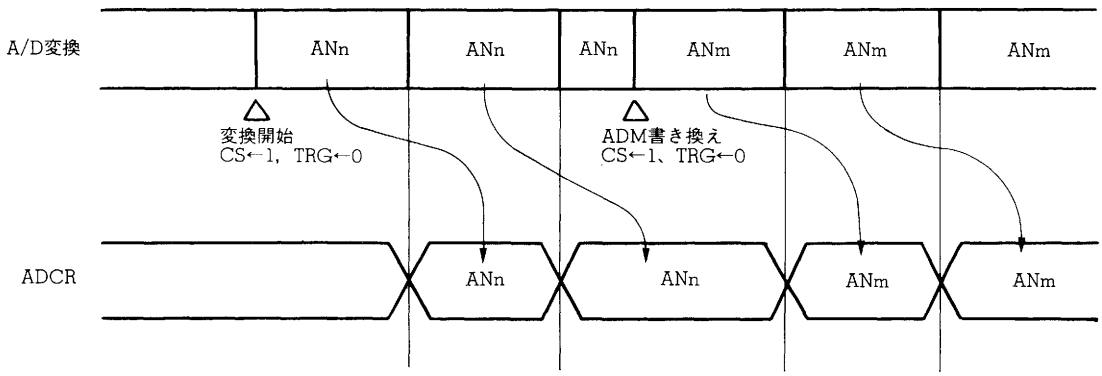
A／D変換動作が一度起動されると，1回のA／D変換動作が終了するとただちにADMレジスタで設定された動作モードに従って，次のA／D変換動作を開始し，ADMレジスタに対する書き込み命令が実行されるまで繰り返し変換動作を続けます。

ソフトウエアによってA／D変換動作が起動された場合（TRGビット＝0）は，INTP5（P26端子）入力は，A／D変換動作に影響を与えません。

（1）セレクト・モードのA／D変換動作の場合

ADMレジスタで設定されたアナログ入力端子のA／D変換動作を起動します。A／D変換動作が終了すると，再度，同一アナログ入力端子のA／D変換動作を行います。A／D変換動作が終了しても割り込み要求INTADは発生しません。

図８-８　ソフトウエア・スタートによるセレクト・モードのA／D変換動作



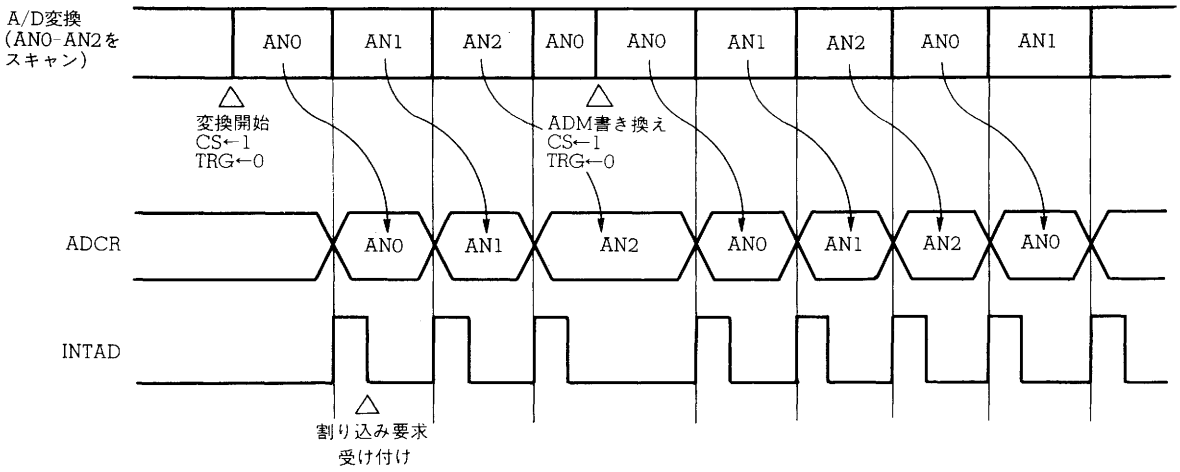
備考　n＝0，1，…，7

m＝0，1，…，7

(2) スキャン・モードのA／D変換動作の場合

変換動作が起動されるとAN0端子入力のA／D変換動作を開始します。A／D変換動作が終了すると，次のアナログ入力端子のA／D変換動作を開始します。また，A／D変換動作が終了するたびに，割り込み要求INTADを発生します。

図８-９　ソフトウエア・スタートによるスキャン・モードのA／D変換動作



8.3.5　ハードウエア・スタートによるA／D変換動作の起動

ハードウエアによるA／D変換動作の起動は，ADMレジスタのTRGビットを1，CSビットを1とすることで可能となります。ADMレジスタのTRGビットを1，CSビットを1とすると外部信号の待機状態になり，INTP5端子（P26端子）に有効エッジが入力されるとA／D変換動作が起動されます。

A／D変換動作がINTP5端子に入力された有効エッジによって起動された後に，再度INTP5端子に有効エッジが入力されると，そのとき行っていたA／D変換動作を中断し，ADMレジスタに設定されている内容に従ったA／D変換動作を最初から行います。

また，A／D変換動作中(CSビット＝1)に，再度TRGビットが1，CSビットが1になるような値をADMレジスタに書き込むと，そのとき行っていたA／D変換動作を中断し（待機状態も中断されます），書き込まれた値に応じたA／D変換動作モードでINTP5端子に有効エッジが入力されるのを待つ待機状態になり，有効エッジが入力されると変換動作を起動します。

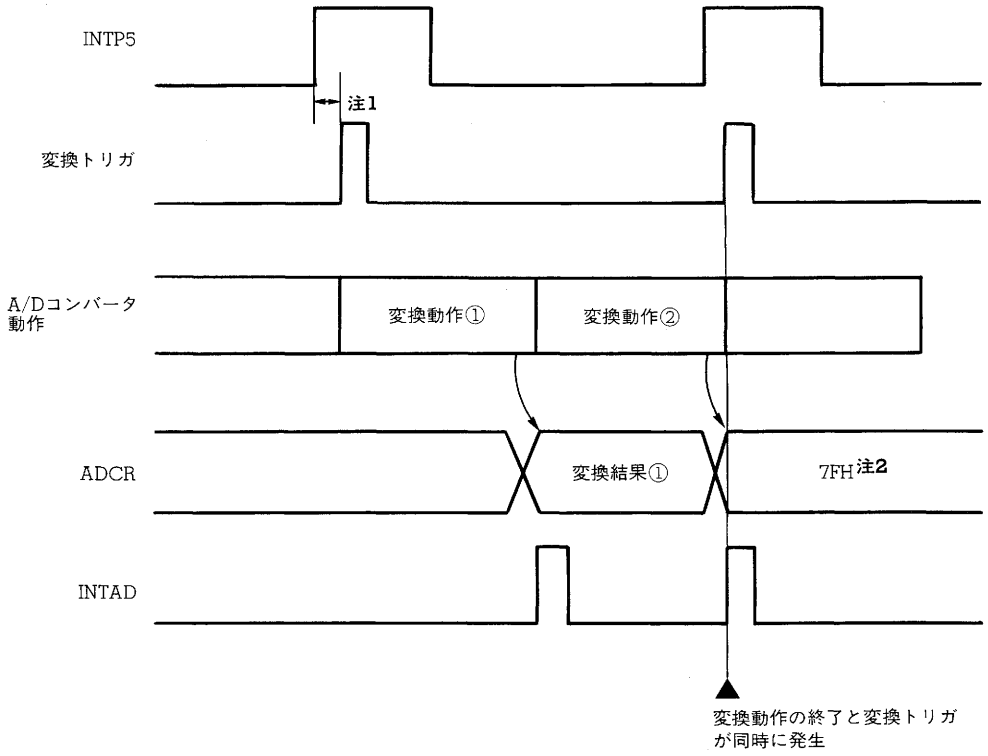
本機能を使用することにより，外部信号に同期したA／D変換動作を行うことができます。

A／D変換動作が一度起動されると，1回のA／D変換が終了すると，ただちにADMレジスタで設定された動作モードに従って，次のA／D変換動作を開始します（INTP5端子入力を待ちません）。ADMレジスタに対する書き込み命令が実行されるか，INTP5端子に有効エッジが入力されるまで繰り返し変換動作を行います。

注意1.　INTP5端子に有効エッジが入力されてから実際にA／D変換動作を開始するまでに8－12システム・クロックが必要です。設計の際には，この遅れ時間について考慮してください。エッジ検出機能の詳細については，第11章　エッジ検出機能を参照ください。

2.　ハードウエア・スタートによるA／D変換動作の起動を使用している場合で，INTP5端子に有効エッジが入力され，A／D変換動作を行っているときに，再度，INTP5端子に有効エッジが入力されるとA／Dコンバータが誤動作する可能性があります。誤動作が発生するのは，1回のA／D変換が終了して，変換結果をA／D変換結果レジスタ（ADCR）へ格納しようとするときに，INTP5端子に有効エッジが入力された場合です。このとき，A／D変換終了割り込み（INTAD）は発生しますが，ADCRレジスタに格納される値は，変換結果ではなく，必ず7FHが格納されます（図８－10参照）。

図8-10　ハードウエア・スタートによるA/D変換の誤動作の例



注1.　INTP5端子入力が変化してから有効エッジと判定されるまでの時間。詳細は**第11章　エッジ検出機能**参照。

2.　正しくは変換動作②の変換結果が格納されるが，誤動作により7FHとなります。

この不具合を回避するには，ハードウエア・スタートにより必要なA/D変換を行ったあとに，A/Dコンバータ・モード・レジスタ（ADM）を再設定する必要があります。
この不具合は，インサーキット・エミュレータでも同様に発生します。

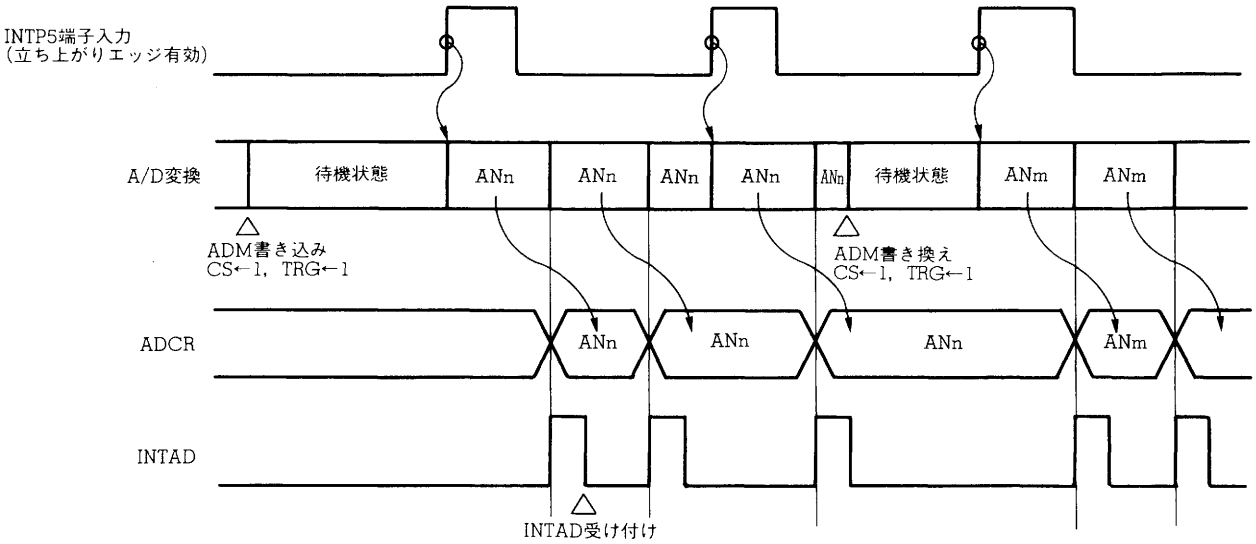
注意3.　**インサーキット・エミュレータでは，INTP5端子のディジタル・ノイズ除去を正常に行うことができません。ハードウエア・スタートによるA/D変換の起動を選択している場合，誤検出したエッジに従ってA/D変換を起動してしまいます。この点に注意して使用してください。**
エッジの誤検出についての詳細は，第11章　エッジ検出機能の11.4　注意事項を参照してください。

(1) セレクト・モードのA／D変換動作の場合

ADMレジスタを設定されたアナログ入力端子のA／D変換動作を起動します。A／D変換動作が終了すると，再度，同一アナログ入力端子のA／D変換動作をただちに行います。また，A／D変換動作が終了するたびに，割り込み要求INTADを発生します。

A／D変換動作中にINTP5端子に有効エッジが入力されると，そのとき行っていたA／D変換動作を一度中断して，新たにA／D変換動作を開始します。

図８-11　ハードウエア・スタートによるセレクト・モードのA／D変換動作



備考　n＝0，1，…，7

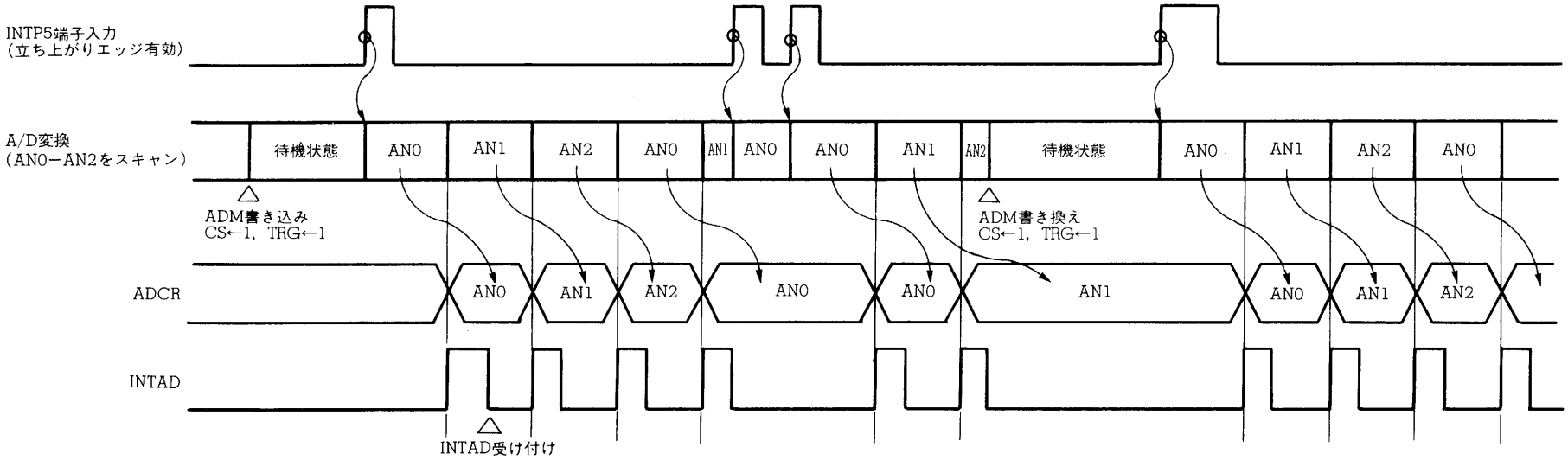
m＝0，1，…，7

(2) スキャン・モードのA／D変換動作の場合

変換動作が起動されるとAN0端子入力のA／D変換動作を開始します。A／D変換動作が終了すると，次のアナログ入力端子のA／D変換動作を開始します。また，A／D変換動作が終了するたびに割り込み要求INTADを発生します。

A／D変換動作中にINTP5端子に有効エッジが入力されると，そのときに行っていたA／D変換動作を中断し，AN0端子入力のA／D変換動作からを新たに開始します。

図8-12 ハードウエア・スタートによるスキャン・モードのA/D変換動作



8.4　A/Dコンバータの割り込み要求

A/Dコンバータは，セレクト・モードの場合を除いてA/D変換終了ごとに，A/D変換終了割り込み要求（INTAD）を発生します。

INTADに対応する各種の割り込み制御フラグは，外部割り込み要求INTP5に対応する各種割り込み制御フラグと共用になっています。したがって，ADMレジスタの指定によるA/Dコンバータの動作状態によって，割り込み要求発生のタイミングが異なり表８-３のようになります。

INTADによる割り込み処理の制御はINTP5と同様に各割り込み制御レジスタの設定で行います。詳しくは**第 12 章　割り込み機能**を参照してください。

表８-３　A/Dコンバータの各動作状態における割り込み要求発生条件

A/Dコンバータ動作	割り込み要求フラグ	マスク・フラグ	割り込み要求	割り込み要求発生条件
停止時	PIF5	PMK5	INTP5	INTP5端子への有効エッジ入力
スキャン・モード			INTAD	A/D変換終了
セレクト・モード			INTP5	INTP5端子への有効エッジ入力
ハードウエア・スタートのA/D変換			INTAD	A/D変換終了

8.5　AN6，AN7使用時の設定

AN6，AN7を使用する場合，あらかじめ次の設定をしてください．

(1) AN6使用時

・内部ウエイトを指定（MMレジスタとPWレジスタによる）
・P66を入力ポートに設定（PM66＝1）
・内蔵プルアップ抵抗を接続しない（PUO6＝0）

(2) AN7使用時

・リフレッシュ機能禁止（RFEN＝0）
・P67を入力ポートに設定（PM67＝1）
・内蔵プルアップ抵抗を接続しない（PUO6＝0）

8.6　注意事項

(1) アナログ入力端子に印加する電圧範囲について

A／Dコンバータの入力端子AN0-AN7には次のような注意事項があります。

・A／D変換動作中は，A／D変換の対象となっている端子には，AV_{SS}-AV_{REF}の範囲外の電圧を印加しないでください。

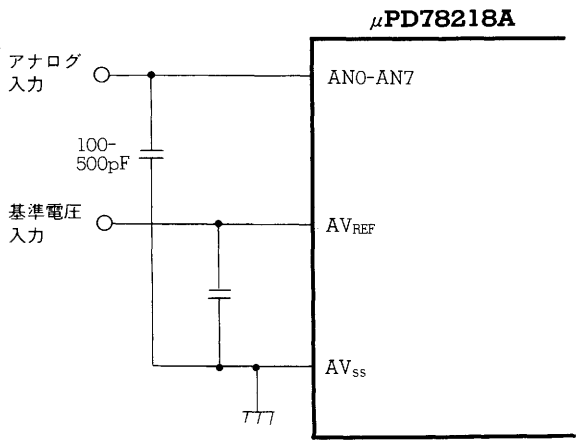
上記注意事項を守らない場合には，μPD78218Aが破壊する可能性があります。

(2) アナログ入力端子に接続するコンデンサについて

アナログ入力端子（AN0-AN7）および基準電圧入力端子（AV_{REF}）には，ノイズによる誤動作を防ぐため，AV_{SS}との間にキャパシタを接続してください。

8

図8-13　A／Dコンバータ用端子のキャパシタ接続例



(3) STOPモードを使用する場合は，STOPモードに入る前にCSビットをリセット(0)して消費電流が下がるようにしてください。CSビットがセット（1)されたままだと，STOPモードに入っても変換動作は止まりますが，電圧コンパレータへの電源供給は止まりませんので，A／Dコンバータでの消費電流は減りません。

(4) ハードウエア・スタートのA／D変換

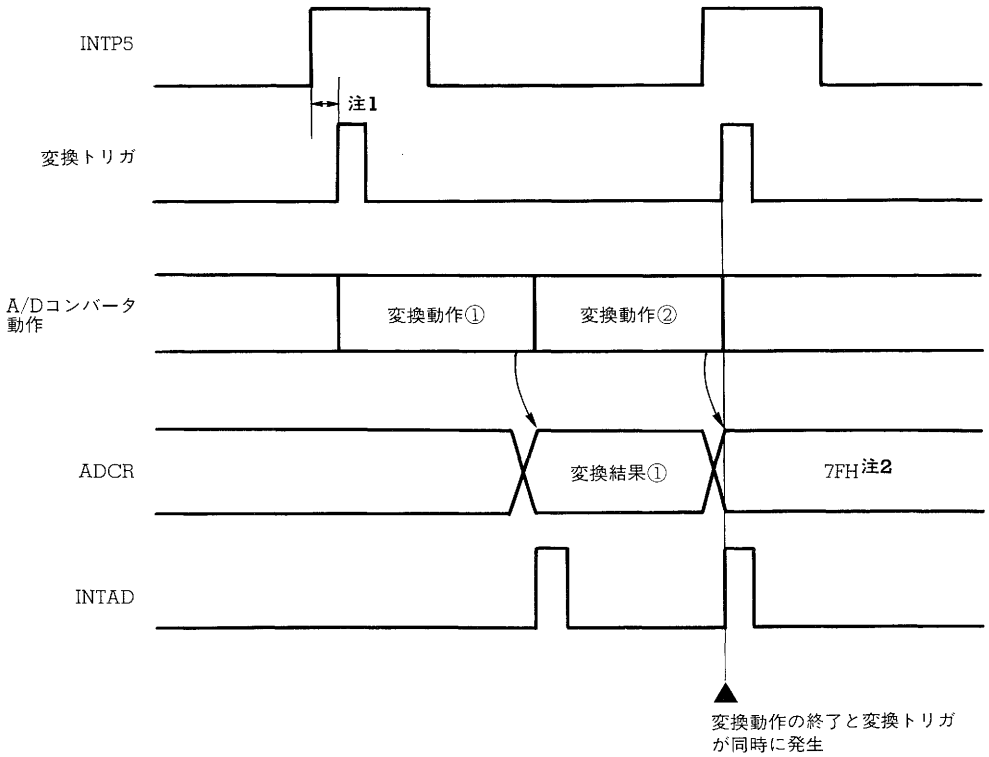
(a) INTP5端子に有効エッジが入力されてから実際にA／D変換動作を開始するまでに8-12システム・クロックが必要です。設計の際には，この遅れ時間について考慮してください。エッジ検出機能の詳細については，**第11章　エッジ検出機能**を参照してください。

(b) インサーキット・エミュレータでは，INTP5端子のディジタル・ノイズ除去を正常に行うことができません。ハードウエア・スタートによるA／D変換の起動を選択している場合，誤検出したエッジに従ってA／D変換を起動してしまいます。この点に注意して使用してください。

エッジの誤検出についての詳細は，**第11章　エッジ検出機能の11.4　注意事項**を参照してください。

(c) ハードウエア・スタートによるA／D変換動作の起動を使用している場合で，INTP5端子に有効エッジが入力され，A／D変換動作を行っているときに，再度，INTP5端子に有効エッジが入力されるとA／Dコンバータが誤動作する可能性があります。誤動作が発生するのは，1回のA／D変換が終了して，変換結果をA／D変換結果レジスタ（ADCR）へ格納しようとするときに，INTP5端子に有効エッジが入力された場合です。このとき，A／D変換終了割り込み(INTAD)は発生しますが，ADCRレジスタに格納される値は，変換結果ではなく，必ず7FHが格納されます（**図８－14**参照)。

図８－14　ハードウエア・スタートによるA／D変換の誤動作の例



注1. INTP5端子入力が変化してから有効エッジと判定されるまでの時間。詳細は**第11章　エッジ検出機能**参照。

2. 正しくは変換動作②の変換結果が格納されるが，誤動作により7FHとなります。

前ページの不具合を回避するには，ハードウエア・スタートにより必要なA／D変換を行ったあとに，A／Dコンバータ・モード・レジスタ（ADM）を再設定する必要があります。
この不具合は，インサーキット・エミュレータでも同様に発生します。

(5) A／Dコンバータのスキャン・モード使用時に，A／D変換結果の読み出しをベクタ割り込みで行っている場合，他の割り込み処理などによって，A／D変換終了割り込みが，長時間（FRビットが0の場合，180クロック，FRビットが1の場合，120クロック以上）保留されると変換結果を取りこぼしてしまいます。この変換結果の取りこぼしをソフトウエア的に検出することは困難です。したがって，変換結果の取りこぼしが発生しないよう，次のような対策を採ってください。

- 他の割り込み処理時間をA／D変換の時間に対して十分短くする
- 多重割り込みを使用して，他の割り込み処理中でもA／D変換終了割り込みを受け付けるようにする
- A／D変換終了割り込みをマクロ・サービスで行うようにする

また，他の割り込みだけでなく，割り込みを保留する要因として，「**12.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合**」に示す場合がありますので，その点についても留意してください。
なお，上記対策のうち，マクロ・サービスを使用する方法が，一番簡単だと考えます。

(6) A／Dコンバータのスキャン・モード使用時に，割り込みに関するレジスタなどの設定後に，ADMレジスタの設定を行った場合，不要な割り込みが発生することがあり，そのため，変換結果の格納アドレスがずれたように見えます。したがって，次の手順で行うことをお勧めします。

- 割り込みマクロ・サービスなどの初期設定（割り込みマスク・フラグまたは割り込みサービス・モード・フラグの設定）
- ADMレジスタへの書き込み
- 割り込み要求フラグ（PIF5）のリセット（0）
- 割り込みマスク・フラグまたは，割り込みサービス・モード・フラグの設定

第9章　アシンクロナス・シリアル・インタフェース

アシンクロナス・シリアル・インタフェースとして，UART (Universal Asynchronous Receiver Transmitter) を内蔵しています。これは，スタート・ビットに続く1バイトのデータを送信する方式で，全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており，広範囲な任意のボー・レートで通信できます。

また，ASCK端子への入力クロックを分周して，ボー・レートを定義することもできます。

さらに，8ビット・タイマ／カウンタ3でボー・レートを発生することもできます。

UART専用ボー・レート・ジェネレータを使用すると，MIDI規格のボー・レート（31.25 kbps）も得られます。

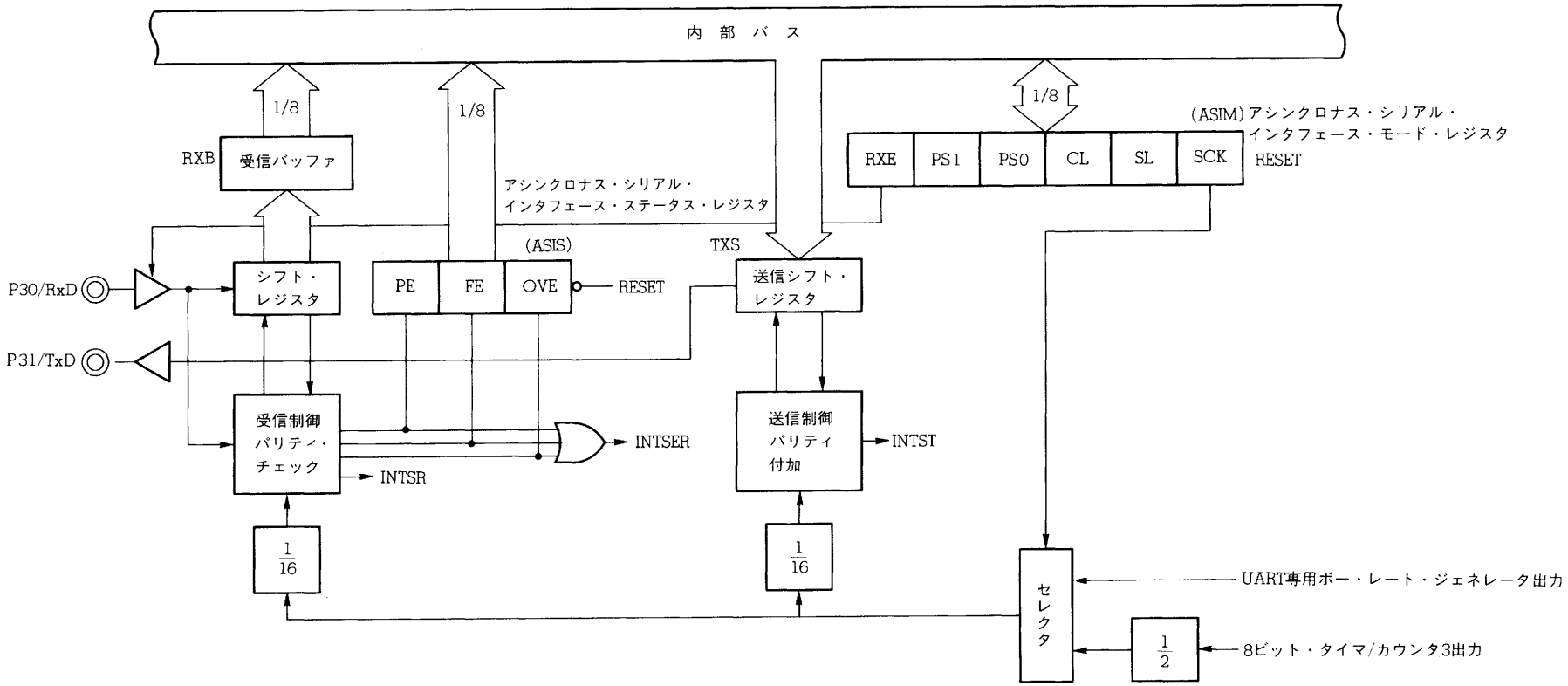
クロック同期式シリアル・インタフェースとは独立に動作します。

9.1　構　　成

アシンクロナス・シリアル・インタフェースの構成について説明します。

なお，専用ボー・レート・ジェネレータについては，**9.4　ボー・レート・ジェネレータ**を参照してください。

図9-1　アシンクロナス・シリアル・インタフェースのブロック図



(1) 受信バッファ（RXB）

受信データを保持するレジスタです。データを1バイト受信するごとにシフト・レジスタから受信データが転送されます。

データ長を7ビットに指定した場合，受信データはRXBのビット0-6に転送され，RXBのMSBは必ず“0”になります。

8ビット操作命令で読み出しのみが可能です。$\overline{\text{RESET}}$入力により，RXBは不定となります。

(2) 送信シフト・レジスタ（TXS）

送信するデータを設定するレジスタです。TXSレジスタに書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合は，TXSレジスタに書き込んだデータのビット0-6が送信データとして扱われます。TXSレジスタに書き込みを行うと送信動作が開始します。送信動作中にTXSレジスタに書き込みを行ってはいけません。

8ビット操作命令により書き込みのみが可能です。$\overline{\text{RESET}}$入力により，TXSは不定となります。

(3) シフト・レジスタ

RxD端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分データを受信すると受信データを受信バッファへ転送します。

シフト・レジスタはCPUから直接操作することはできません。

(4) 受信制御パリティ・チェック

アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）に設定された内容に従って，受信動作を制御します。また，受信動作時にパリティ・エラーなどのエラー・チェックも行い，エラーが検出された場合は，エラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）にセットします。

(5) 送信制御パリティ付加

ASIMレジスタに設定された内容に従って，TXSレジスタに書き込まれたデータにスタート・ビット，パリティ・ビット，ストップ・ビットを付加するなどして，送信動作の制御を行います。

(6) セレクタ

ボー・レート用のクロックのソースを選択します。

9.2　アシンクロナス・シリアル・インタフェース制御レジスタ

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)

ASIMレジスタは，アシンクロナス・シリアル・インタフェースの動作を指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図９-２に示します。

$\overline{\text{RESET}}$入力により80Hになります。

図９-２　アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のフォーマット

	7	⑥	5	4	3	2	1	0
ASIM	1	RXE	PS1	PS0	CL	SL	0	SCK

SCK	シリアル・クロックの指定
0	8ビット・タイマ/カウンタ3出力
1	ボー・レート・ジェネレータ出力

SL	送信データのストップ・ビットの指定
0	1ビット
1	2ビット

CL	送受信データのキャラクタ長の指定
0	7ビット
1	8ビット

PS1	PS0	送受信データのパリティ・ビットの指定
0	0	パリティなし
0	1	送信＝0パリティ付加 受信＝パリティ・エラーを発生しない
1	0	奇数パリティ
1	1	偶数パリティ

RXE	受信許可制御
0	受信禁止状態
1	受信許可状態

注意1.　送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）の書き換えは行わないでください。送信中にASIMレジスタの書き換えを行うと，それ以降の送信動作ができなくなる場合があります（$\overline{\text{RESET}}$入力により，正常になります）。送信中かどうかは，送信完了割り込み（INTST）またはINTSTによりセットされる割り込み要求フラグ（STIF）を用いて，ソフトウエアにより判断することができます。

注意2.　受信動作中にASIMレジスタの書き換えを行うと，そのとき受信していたデータおよび，その次に受信するデータがおかしくなります。受信禁止にしてからモードを変更してください。 ★

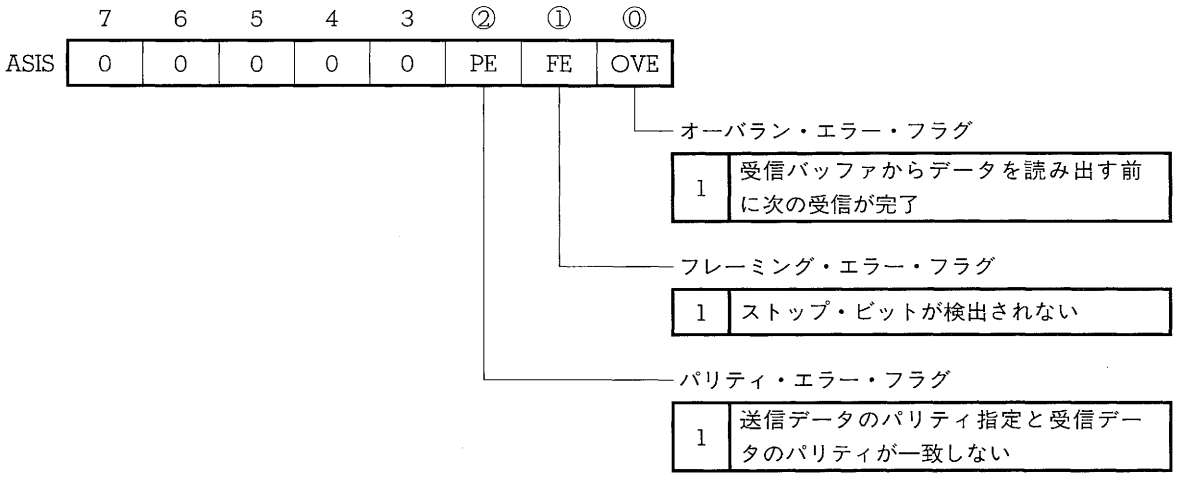
(2) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）

ASISレジスタは，受信エラー発生時のエラー内容を示すフラグの集合レジスタです。各フラグは，受信エラー発生時にセット(1)され，受信バッファ(RXB)からデータを読み出すことによってリセット(0)されます。また，新たに次のデータを受信すると，オーバラン・エラー・フラグ（OVE）がセット(1)され，その他のエラー・フラグはリセット(0)されます(次のデータにエラーがあれば，そのエラー・フラグがセット(1)されます)。

8ビット操作命令とビット操作命令で読み出しのみ可能です。そのフォーマットを図９-３に示します。

$\overline{\text{RESET}}$入力により00Hになります。

図９-３　アシンクロナス・シリアル・インタフェース・ステータス・レジスタ(ASIS)のフォーマット



注意　受信エラー発生時にも，受信バッファ(RXB)は必ず読み出してください。RXBを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

9.3　アシンクロナス・シリアル・インタフェースの動作

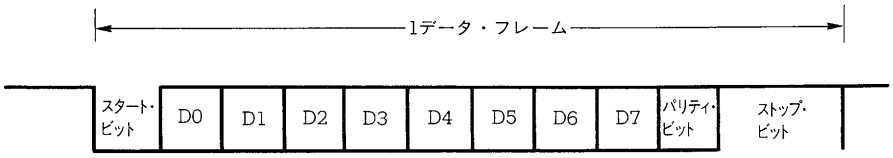
9.3.1　データ・フォーマット

全二重のアシンクロナス・モードによるシリアル・データの送受信を行います。

送受信データのフォーマットは図９－４に示すとおり，スタート・ビット，キャラクタ・ビット，パリティ・ビット，ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシンクロナス・シリアル・インタフェース・モード・レジスタ(ASIM)によって行います。

図９－４　アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



・スタート・ビット……1ビット

・キャラクタ・ビット……7ビット／8ビット

・パリティ・ビット……偶数パリティ／奇数パリティ／0パリティ／パリティなし

・ストップ・ビット……1ビット／2ビット

シリアルの転送レートは，アシンクロナス・シリアル・インタフェース・モード・レジスタとボー・レート・ジェネレータまたはタイマ／カウンタ3の設定により1.43 bps－93.75 kbpsから選択します。

また，シリアル・データの受信エラーが発生した場合，アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）の状態を読むことによって受信エラーの内容を判定することができます。

9.3.2　パリティの種類と動作

パリティ・ビットは，通信データのビット誤りを検出するためのビットです。通常は，送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは，1ビット(奇数個)の誤りを検出することができます。0パリティとパリティなしでは，誤りを検出することはできません。

・偶数パリティ

送信データ中の値が“1”のビットの数が奇数個の場合にパリティ・ビットを“1”にします。値が“1”のビットの数が偶数個の場合にはパリティ・ビットを“0”にします。これにより，送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるよう制御します。

受信時には，受信データとパリティ・ビットの中に含まれる値が“1”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

・奇数パリティ

偶数パリティとは逆に，送信データとパリティ・ビットの中に含まれる値が“1”のビットを奇数個になるよう制御します。

受信時には，同様に受信データとパリティ・ビットの中に含まれる値が“1”のビットの数が偶数個であった場合にパリティ・エラーを発生します。

・0パリティ

送信時には，送信データによらずパリティ・ビットを“0”にします。

受信時には，パリティ・ビットの検査を行いません。したがって，パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

・パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

9.3.3 送　　信

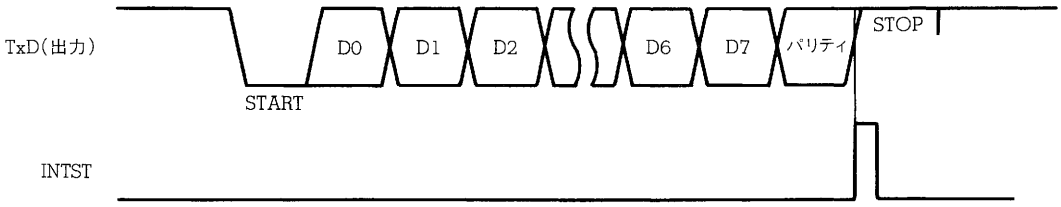
μPD78218Aのアシンクロナス・シリアル・インタフェースは，常に送信許可状態です。送信シフト・レジスタ（TXS）に送信データを書き込むことによって送信動作を起動します。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加されます。

送信動作の開始により，送信シフト・レジスタ（TXS）内のデータがシフト・アウトされ，送信シフト・レジスタ（TXS）が空になると送信完了割り込み（INTST）が発生します。

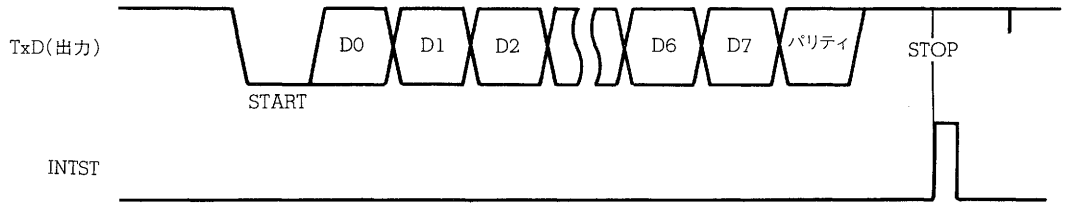
次に送信するデータを送信シフト・レジスタ（TXS）に書き込まなければ，送信動作は中断されます。

図９－５　アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング

(a) ストップ・ビット長：1



(b) ストップ・ビット長：2



注意1.　**$\overline{\text{RESET}}$入力後，送信シフト・レジスタは空になりますが，送信完了割り込みは発生しません。送信シフト・レジスタに送信データを書き込むことによって送信動作を起動できます。**

2.　**送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）の書き換えは行わないでください。送信中にASIMレジスタの書き換えを行うと，それ以降の送信動作ができなくなる場合があります（$\overline{\text{RESET}}$入力により，正常になります）。**
送信中かどうかは，送信完了割り込み（INTST）またはINTSTによりセットされる割り込み要求フラグ（STIF）を用いて，ソフトウエアにより判断することができます。

9.3.4 受　　信

受信動作は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のRXEビットがセット(1)されると許可状態となり，RxD端子入力のサンプリングを行います。

RxD端子入力のサンプリングはASIMで指定したシリアル・クロックで行います。

RxD端子入力がロウ・レベルになると，16分周カウンタがカウントを開始し，8回カウントしたところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD端子入力をサンプリングした結果，ロウ・レベルであれば，スタート・ビットとして認識し，16分周カウンタを初期化してカウントを開始し，データのサンプリングを行います。スタート・ビットにつづいて，キャラクタ・データ，パリティ・ビットおよび1ビットのストップ・ビット注が検出されると，1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると，シフト・レジスタ内の受信データを受信バッファRXBに転送し，受信完了割り込み（INTSR）を発生します。

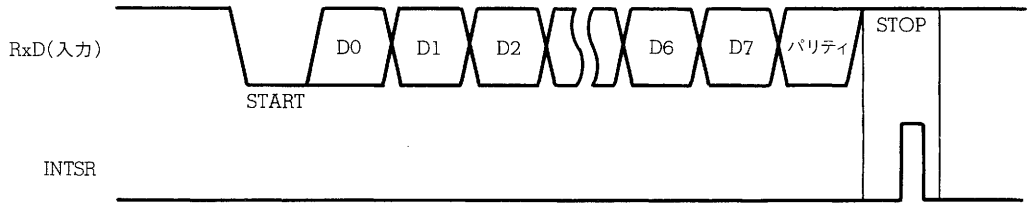
また，エラーが発生しても，RXBにエラーの発生した受信データを転送し，INTSRを発生します。

なお，受信動作中にRXEビットをリセット(0)すると，ただちに受信動作を停止します。このとき，RXBおよびASISの内容は変化せず，またINTSR，INTSERも発生しません。次にRXEビットをセット(1)すると，再びスタート・ビットのサンプリングを開始します。

9

注　ASIMレジスタのSLビットの指定にかかわらず，受信時には，ストップ・ビットは1ビットとして動作します。 ★

図９－６　アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意1.　受信動作中にASIMレジスタの書き換えを行うと，そのとき受信していたデータおよび，その次に受信するデータが不定になります。受信禁止にしてからモードを変更してください。 ★

2.　受信エラー発生時にも，受信バッファ(RXB)は必ず読み出してください。RXBを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

9.3.5　受信エラー

受信動作時のエラーには，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・レジスタ（ASIS）内に立つと同時に，受信エラー割り込み（INTSER）を発生します。受信エラーの要因を表９－1に示します。

受信エラー割り込み処理（INTSER）内で，アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）の内容を読み出すことによって，いずれのエラーが受信時に発生したかを検出することができます（**図９－3，図９－7**参照）。

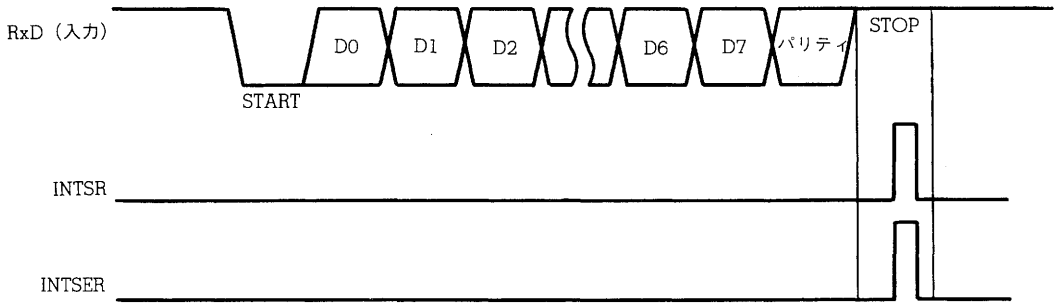
ASISの内容は，受信バッファ（RXB）を読み出すか，次のデータを受信することでリセット（0）されます（次の受信データにエラーがあれば，そのエラー・フラグがセットされます）。

表９－1　受信エラーの要因

受信エラー	要　　因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
★ フレーミング・エラー	ストップ・ビットが検出されない注
オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信完了

注　受信時には，ストップ・ビットは1ビットとしてのみ動作します。したがって，ストップ・ビットを2ビットとして指定している場合で，ストップ・ビットの2ビット目がロウ・レベルの場合は，エラーを発生しません（次のデータのスタート・ビットとして認識します）。

図９－7　受信エラー・タイミング



備考　μPD78218Aでは，ハードウエアによりブレーク信号を検出することはできません。ブレーク信号は，2キャラクタ以上のロウ・レベル信号なので，受信データが00Hだったフレーミング・エラーが2回連続して発生したことをソフトウエアで検出することで，ブレーク信号が入力されたと判断することが可能です。なお，偶然，フレーミング・エラーが
★ 2回発生したときと識別するためには，RxD端子レベルをソフトウエアで読み込み（ポート3モード・レジスタ（PM3）のビット0を“1”にして，ポート3（P3）をリードすることで確認が可能）“0”であることを確認してください。

注意１．ASISレジスタの内容は，受信バッファ（RXB）を読み出すか，次のデータを受信することにより，リセット（0）されてしまいます。エラーの内容が知りたい場合には，必ずRXBを読み出す前にASISを読み出してください。なお，マクロ・サービスを用いて受信を行っている場合は，エラーの発生したこと（INTSERの発生または受信エラー割り込み要求フラグ（SERIF）がセット（1）される）しか分かりませんので，この点について問題がないことを確認のうえ，ご使用ください。

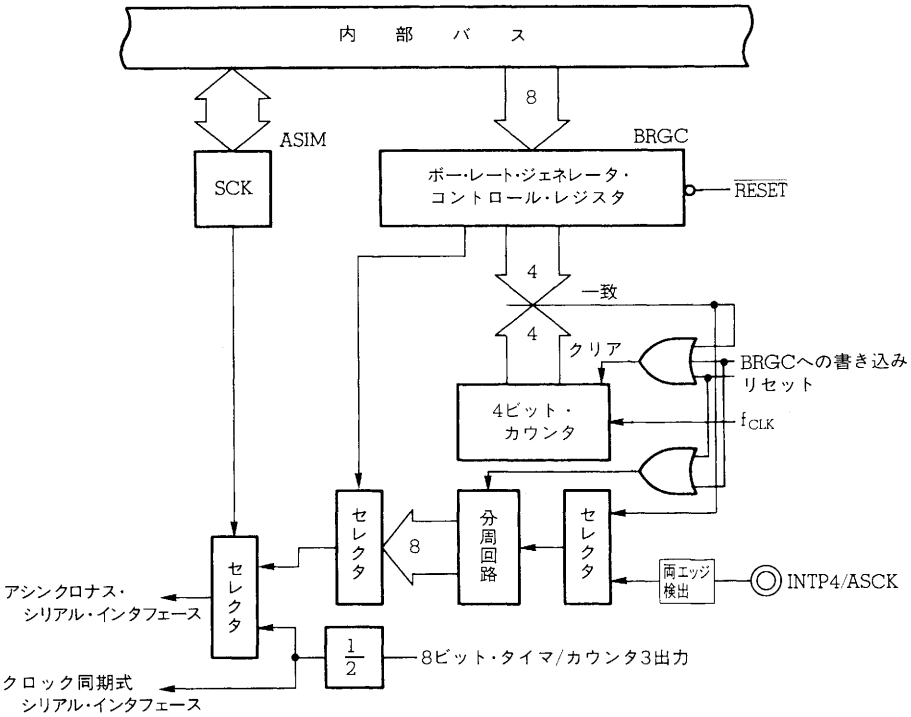
２．受信エラー発生時にも，受信バッファ（RXB）は必ず読み出してください。RXBを読み出さないと次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

9.4　ボー・レート・ジェネレータ

9.4.1　専用ボー・レート・ジェネレータの構成

ボー・レート・ジェネレータの構成を図９-８に示します。

図９-８　ボー・レート生成用クロックの発生ブロック図



(1) 4ビット・カウンタ

内部システム・クロック（f_{CLK}）をカウントするカウンタです。ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）の下位4ビットで選択された周波数の信号を生成します。

(2) 分周回路

4ビット・カウンタまたは外部ボー・レート入力（ASCK）からの信号を分周し，次段のセレクタでボー・レート用クロックを選択しています。

(3) 両エッジ検出

ASCK端子入力信号の両エッジを検出し，ASCK入力クロックの倍の周波数の信号を生成します。エッジ検出の詳細については，**第11章　エッジ検出機能**を参照ください。

9.4.2　ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）

BRGCレジスタは，内部システム・クロック（f_{CLK}）制御によるボー・レート生成用クロックを設定する8ビット・レジスタです。

8ビット操作命令で書き込みのみが可能です。そのフォーマットを図９-９に示します。

$\overline{\text{RESET}}$入力により00Hになります。

注意　**BRGCレジスタの書き込み命令を実行すると，4ビット・カウンタおよび分周回路の動作がリセットされてしまいます。したがって，通信動作中にBRGCレジスタへの書き込みを実行すると，生成されるボー・レートが乱れてしまい，正常な通信が行えなくなります。通信動作中にはBRGCレジスタの書き込みを行わないでください。**

図９-９　ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）のフォーマット

	7	6	5	4	3	2	1	0
BRGC	CE	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0

MDL3	MDL2	MDL1	MDL0	k	ボー・レート・ジェネレータの入力クロック
0	0	0	0	3	$f_{CLK}/4$
0	0	0	1	1	$f_{CLK}/2$
0	0	1	0	2	$f_{CLK}/3$
0	0	1	1	3	$f_{CLK}/4$
0	1	0	0	4	$f_{CLK}/5$
0	1	0	1	5	$f_{CLK}/6$
0	1	1	0	6	$f_{CLK}/7$
0	1	1	1	7	$f_{CLK}/8$
1	0	0	0	8	$f_{CLK}/9$
1	0	0	1	9	$f_{CLK}/10$
1	0	1	0	10	$f_{CLK}/11$
1	0	1	1	11	$f_{CLK}/12$
1	1	0	0	12	$f_{CLK}/13$
1	1	0	1	13	$f_{CLK}/14$
1	1	1	0	14	$f_{CLK}/15$
1	1	1	1	外部クロック入力(ASCK)	

TPS2	TPS1	TPS0	分周回路のタップ　1/n
0	0	0	1/2
0	0	1	1/4
0	1	0	1/8
0	1	1	1/16
1	0	0	1/32
1	0	1	1/64
1	1	0	1/128
1	1	1	1/256

CE	4ビット・カウンタと分周回路の動作
0	停止
1	カウント動作

9.4.3　専用ボー・レート・ジェネレータの動作

専用ボー・レート・ジェネレータはボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）のCEビットをセット(1)することにより動作を開始します。生成するボー・レート用クロックは，内部システム・クロック（f_{CLK}）を分周した信号か，外部ボー・レート入力（ASCK）端子から入力されたクロックを分周した信号になります。

専用ボー・レート・ジェネレータの動作を停止する場合は，CEビットをリセット(0)します。

また，CEビットがセット(1)されているときに，再度CEビットをセット(1)すると，ボー・レート生成用の4ビット・カウンタおよび分周回路をクリアしてから，再度ボー・レート用クロックを生成します。

注意　通信動作中にBRGCレジスタへの書き込みを行うと，生成されるボー・レート用クロックが乱れてしまい，正常な通信動作ができなくなる可能性があります。通信動作中にBRGCレジスタへの書き込みは行わないでください。

(1) 内部システム・クロック（f_{CLK}）によるボー・レート用クロックの生成

内部システム・クロック（f_{CLK}）を4ビット・カウンタで分周し，その信号を分周回路で分周したものをボー・レート用クロックとしています。

内部システム・クロック（f_{CLK}）から生成するボー・レートは，次の式によって求めます。

$$(\text{ボー・レート}) = \frac{f_{CLK}}{k+1} \times \frac{1}{n} \times \frac{1}{16}$$

ただし，

f_{CLK}：内部システム・クロックの周波数

k：BRGCレジスタのMDL3-MDL0ビットの設定値

(k＝1-14；**図9－9**参照)

1／n：分周回路のタップ

16：シリアル・データのサンプリング・レート

(2) ASCK入力によるボー・レート用クロックの生成

ASCK端子入力信号の両エッジを検出し，ASCK端子入力クロックの倍の周波数のクロックを作り，そのクロックを分周回路で分周しています。本機能により，1種類の外部入力クロックで複数のボー・レートを生成することができます。

ASCK端子入力から生成されるボー・レートは，次の式によって求めます。

$$(\text{ボー・レート}) = f_{ASCK} \times \frac{2}{n} \times \frac{1}{16}$$

f_{ASCK}：ASCK入力クロックの周波数

なお，ASCK入力はf_{CLK}／24（250 kHz：f_{CLK}＝6 MHz）以下である必要があります。

9.5　ボー・レートの設定方法

ボー・レートの設定方法には，表９－２に示す3通りの方法があります。

それぞれ生成できるボー・レートの範囲，ボー・レートの計算式および選択方法についてまとめます。

表９－２　ボー・レートの設定方法

ボー・レート用クロック・ソース		選択方法		ボー・レートの計算式	ボー・レートの範囲
専用ボー・レート・ジェネレータ	内部システム・クロック	ASIMレジスタのSCK＝1 BRGCレジスタのCE＝1	BRGCレジスタのMDL0-3が0-EH	$\frac{f_{CLK}}{k+1}\times\frac{1}{n}\times\frac{1}{16}$	$\frac{f_{CLK}}{61440}-\frac{f_{CLK}}{64}$
	ASCK入力		BRGCレジスタのMDL0-3がFH	$f_{ASCK}\times\frac{2}{n}\times\frac{1}{16}$	$\frac{f_{ASCK}}{2048}-\frac{f_{ASCK}}{16}$注
8ビット・タイマ／カウンタ3		ASIMレジスタのSCK＝0		$\frac{f_{CLK}}{2^{j+3}}\times\frac{1}{m+1}\times\frac{1}{2}\times\frac{1}{16}$	$\frac{f_{CLK}}{4194304}-\frac{f_{CLK}}{256}$

f_{CLK}：内部システム・クロックの周波数

k：BRGCレジスタのMDL3-MDL0ビットの設定値（1-14；**図９－９**参照）

1／n：分周回路のタップ（1/2，1/4，1/8，1/16，1/32，1/64，1/128，1/256）

f_{ASCK}：ASCK入力クロックの周波数（$0-\frac{f_{CLK}}{24}$）

$\frac{1}{16}$：シリアル・データのサンプリング・レート

j：プリスケーラ・モード・レジスタ0のPRS3-PRS0ビットの設定（j＝0-6）

PRS3-PRS0	0H	1H	2H	3H	4H	5H	6H	7H
j	0		1	2	3	4	5	6

m：8ビット・コンペア・レジスタ（CR30）の設定値（m＝0-255）

注　f_{ASCK}の入力範囲を含めると，$0-\frac{f_{CLK}}{384}$

9.5.1　専用ボー・レート・ジェネレータを使用した場合の設定例

専用ボー・レート・ジェネレータを使用した場合のBRGCレジスタへの設定例を示します。

専用ボー・レート・ジェネレータを使用する場合は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のSCKビットをセット(1)してください。

表9-3 専用ボー・レート・ジェネレータを使用した場合のBRGCレジスタへの設定例

発振周波数(fxx)または外部クロック入力(fx)	12 MHz		11.0592 MHz		10.0 MHz		9.8304 MHz		7.3728 MHz	
内部システム・クロック(f_{CLK})	6 MHz		5.5296 MHz		5.0 MHz		4.9152 MHz		3.6864 MHz	
ボー・レート[bps]	BRGC値	ボー・レート誤差(%)	BRGC値	ボー・レート誤差(%)	BRGC値	ボー・レート誤差(%)	BRGC値	ボー・レート誤差(%)	BRGC値	ボー・レート誤差(%)
75	–	–	–	–	–	–	–	–	FBH	0.00
110	FCH	2.44	FBH	2.27	FAH	0.89	FAH	0.83	F7H	2.27
150	F9H	2.34	F8H	0.00	F7H	1.73	F7H	0.00	EBH	0.00
300	E9H	2.34	E8H	0.00	E7H	1.73	E7H	0.00	DBH	0.00
600	D9H	2.34	D8H	0.00	D7H	1.73	D7H	0.00	CBH	0.00
1200	C9H	2.34	C8H	0.00	C7H	1.73	C7H	0.00	BBH	0.00
2400	B9H	2.34	B8H	0.00	B7H	1.73	B7H	0.00	ABH	0.00
4800	A9H	2.34	A8H	0.00	A7H	1.73	A7H	0.00	9BH	0.00
9600	99H	2.34	98H	0.00	97H	1.73	97H	0.00	8BH	0.00
19200	89H	2.34	88H	0.00	87H	1.73	87H	0.00	85H	0.00
31250	92H	0.00	–	–	84H	0.00	84H	1.70	–	–
38400	84H	2.34	–	–	83H	1.73	83H	0.00	82H	0.00

9.5.2　8ビット・タイマ／カウンタ3を使用した場合の設定例

8ビット・タイマ／カウンタ3を使用した場合のボー・レートの設定例を表9－4に示します。8ビット・タイマ／カウンタ3を使用する場合は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のSCKビットをリセット(0)してください。

8ビット・タイマ／カウンタ3の使用方法については，**7.4　8ビット・タイマ／カウンタ3**を参照ください。

表9-4 8ビット・タイマ／カウンタ3を使用した場合のボー・レート設定例（アシンクロナス・シリアル・インタフェース）

発振周波数fosc (MHz)	12 MHz			11.0592 MHz			10.0 MHz			9.8304 MHz			7.3728 MHz		
内部システム・クロック (f_{CLK}) MHz	6 MHz			5.5296 MHz			5.0 MHz			4.9152 MHz			3.6864 MHz		
ボー・レート[bps]	カウント・クロック	m	ボー・レート誤差(%)	カウント・クロック	m	ボー・レート誤差(%)	カウント・クロック	m	ボー・レート誤差(%)	カウント・クロック	m	ボー・レート誤差(%)	カウント・クロック	m	ボー・レート誤差(%)
75	$f_{CLK}/16$	155	0.16	$f_{CLK}/16$	143	0.00	$f_{CLK}/16$	129	0.16	$f_{CLK}/16$	127	0.00	$f_{CLK}/8$	191	0.00
110	$f_{CLK}/8$	212	0.03	$f_{CLK}/8$	195	0.18	$f_{CLK}/8$	177	0.25	$f_{CLK}/8$	174	0.26	$f_{CLK}/8$	130	0.07
150	$f_{CLK}/8$	155	0.16	$f_{CLK}/8$	143	0.00	$f_{CLK}/8$	129	0.16	$f_{CLK}/8$	127	0.00	$f_{CLK}/8$	95	0.00
300	$f_{CLK}/8$	77	0.16	$f_{CLK}/8$	71	0.00	$f_{CLK}/8$	64	0.16	$f_{CLK}/8$	63	0.00	$f_{CLK}/8$	47	0.00
600	$f_{CLK}/8$	38	0.16	$f_{CLK}/8$	35	0.00	$f_{CLK}/8$	32	1.36	$f_{CLK}/8$	31	0.00	$f_{CLK}/8$	23	0.00
1200	$f_{CLK}/8$	19	2.34	$f_{CLK}/8$	17	0.00	$f_{CLK}/8$	15	1.73	$f_{CLK}/8$	15	0.00	$f_{CLK}/8$	11	0.00
2400	$f_{CLK}/8$	9	2.34	$f_{CLK}/8$	8	0.00	$f_{CLK}/8$	7	1.73	$f_{CLK}/8$	7	0.00	$f_{CLK}/8$	5	0.00
4800	$f_{CLK}/8$	4	2.34	–	–	–	$f_{CLK}/8$	3	1.73	$f_{CLK}/8$	3	0.00	$f_{CLK}/8$	2	0.00
9600	–	–	–	–	–	–	$f_{CLK}/8$	1	1.73	$f_{CLK}/8$	1	0.00	$f_{CLK}/8$	–	–
19200	–	–	–	–	–	–	$f_{CLK}/8$	0	1.73	$f_{CLK}/8$	0	0.00	$f_{CLK}/8$	–	–

9.5.3　外部ボー・レート入力（ASCK）を使用した場合の設定例

外部ボー・レート入力（ASCK）を使用した場合の設定例を表９－5に示します。ASCK入力を使用する場合は，アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）のSCKビットをセット(1)してください。

表９－5　外部ボー・レート入力（ASCK）を使用した場合の設定例

f_{ASCK} （ASCK入力周波数）	153.6 kHz
ボー・レート[bps]	BRGC値
75	FFH
150	EFH
300	DFH
600	CFH
1200	BFH
2400	AFH
4800	9FH
9600	8FH

9.6 注意事項

(1) 送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）の書き換えは行わないでください。送信中にASIMレジスタの書き換えを行うと，それ以降の送信動作ができなくなる場合があります（$\overline{\text{RESET}}$入力により，正常になります）。

送信中かどうかは，送信完了割り込み（INTST）またはINTSTによりセットされる割り込み要求フラグ（STIF）を用いて，ソフトウエアにより判断することができます。

★ (2) 受信動作中にASIMレジスタの書き換えを行うと，そのとき受信していたデータおよび，その次に受信するデータが不定になります。受信禁止にしてからモードを変更してください。

(3) $\overline{\text{RESET}}$入力後，送信シフト・レジスタは空になりますが，送信完了割り込みは発生しません。送信シフト・レジスタに送信データを書き込むことによって，送信動作を起動できます。

(4) 受信エラー発生時にも，受信バッファ（RXB）は必ず読み出してください。RXBを読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

(5) ASISレジスタの内容は，受信バッファ（RXB）を読み出すか，次のデータを受信することにより，リセット（0）されてしまいます。エラーの内容が知りたい場合には，必ずRXBを読み出す前にASISを読み出してください。

なお，マクロ・サービスを用いて受信を行っている場合は，エラーの発生したこと（INTSERの発生または受信エラー割り込み要求フラグ（SERIF）がセット（1）される）しか分かりませんので，この点について問題がないことを確認のうえ，ご使用ください。

(6) 通信動作中には，BRGCレジスタへの書き込みをしないでください。もし書き込み命令を実行すると，4ビット・カウンタおよび分周回路の動作がリセットされてしまい，生成されるボー・レート用クロックが乱れ，正常な通信動作ができなくなる可能性があります。

第10章　クロック同期式シリアル・インタフェース

10.1　機　　能

μPD78218Aのクロック同期式シリアル・インタフェースは図10-1のように構成されます。

μPD78218Aのクロック同期式シリアル・インタフェースには以下のような2つの動作モードがあります。

(1) 3線式シリアルI/Oモード（MSBファースト）

シリアル・クロック（$\overline{\text{SCK}}$）と，シリアル・バス（SO, SI）の3本のラインによって8ビット長のデータ転送を行います。従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続する場合に有効です。

(2) シリアル・バス・インタフェース（SBI）モード（MSBファースト）

シリアル・クロック（$\overline{\text{SCK}}$）と，シリアル・データ・バス（SB0）の2本のラインにより複数のデバイスと通信可能なモードです。

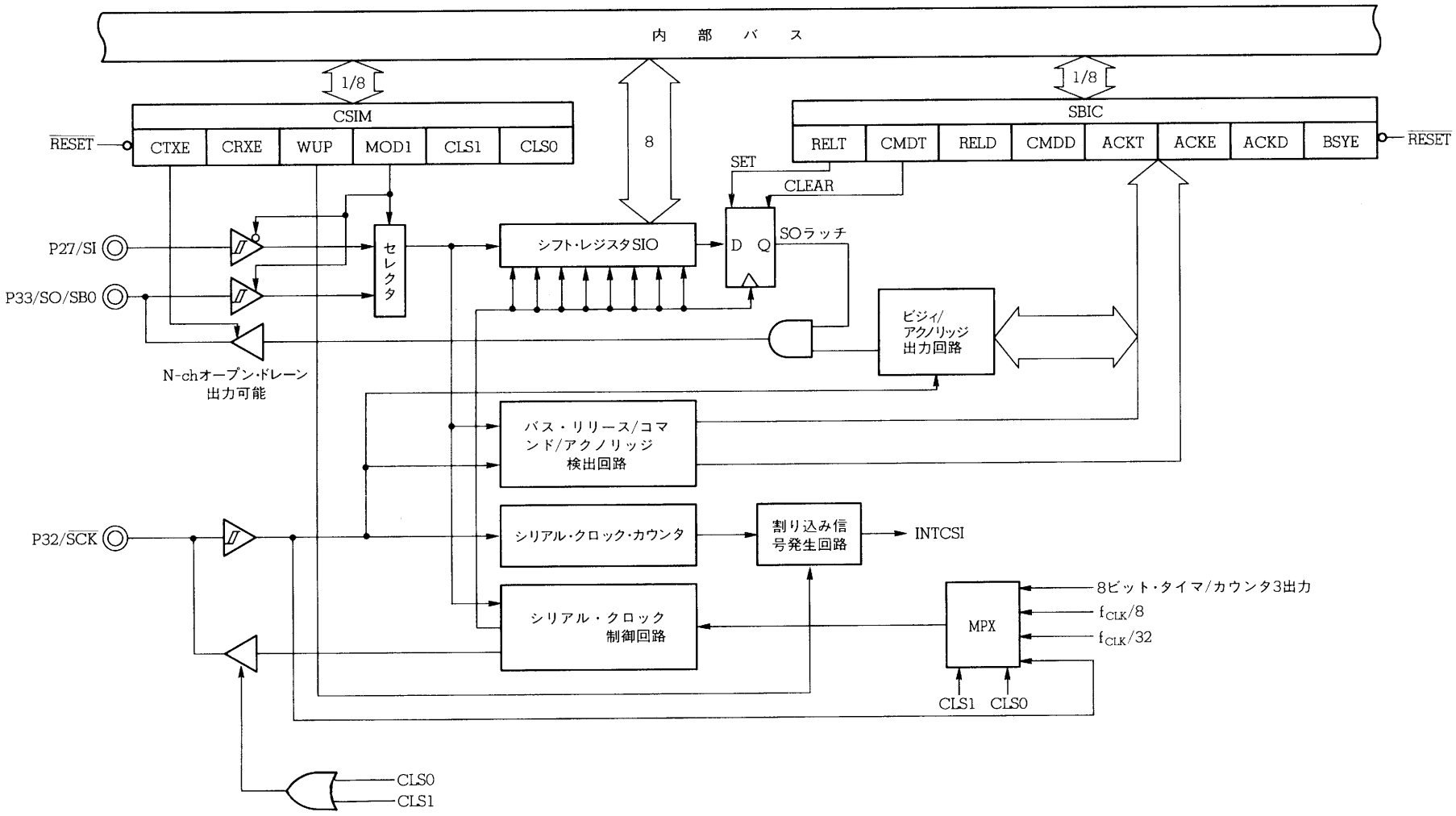
NECシリアル・バス・フォーマットに準拠します。

SBIモードではシリアル・データ・バス上にシリアル通信の対象デバイス選択のための“アドレス”，対象デバイスに対して指令を与える“コマンド”および，実際の“データ”を出力することができます。したがって従来のクロック同期式シリアル・インタフェースで複数のデバイスを接続する場合に必要となったハンド・シェークのためのラインを必要とせず，入出力ポートの有効活用ができます。

10.2　構　　成

クロック同期式シリアル・インタフェースの構成について説明します。

図 10-1　クロック同期式シリアル・インタフェースのブロック図



(1) シフト・レジスタ（SIO）

シフト・レジスタ（SIO）は，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。SIOは送信および受信の両方に使用されます。

データは，MSB側からシフト・イン（受信）またはシフト・アウト（送信）されます。

SIOに対する書き込み／読み出しにより，実際の送受信動作が制御されます。

8ビット操作命令で読み出し／書き込みが可能です。$\overline{\text{RESET}}$入力により不定となります。

(2) SOラッチ

SOラッチは，SO／SB0端子出力レベルを保持するラッチです。シリアル・バス・インタフェース（SBI）モード時には，ソフトウエアにより直接制御することも可能になります。

(3) シリアル・クロック・セレクタ

使用するシリアル・クロックを選択します。

(4) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(5) 割り込み信号発生回路

シリアル・クロック・カウンタでシリアル・クロックを8発カウントしたときに，割り込みの要求を発生するかしないかを制御します。3線式シリアルI／Oモード時には8発カウントするごとに，SBIモード時には条件が成立したときにそれぞれ割り込みの要求を発生します。

(6) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給の制御を行います。また，内部クロック使用時は$\overline{\text{SCK}}$端子へ出力するクロックの制御も行います。

(7) ビジィ／アクノリッジ出力回路，バス・リリース／コマンド／アクノリッジ検出回路

SBIモード時に各種制御信号の出力および検出を行います。3線式シリアルI／Oモード時には動作しません。

10.3　制御レジスタ

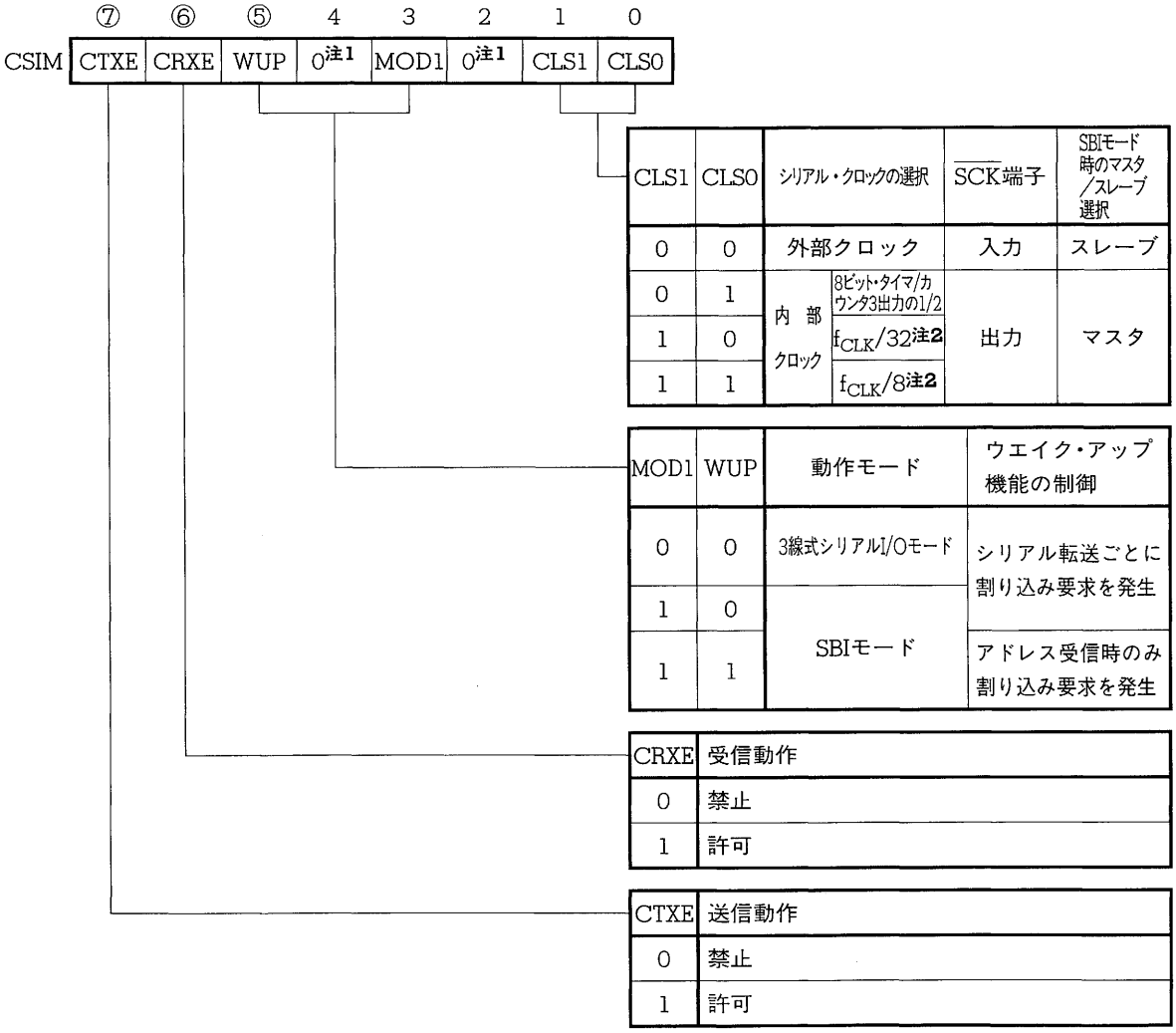
10.3.1　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）

CSIMレジスタは，シリアル・インタフェースの動作モード，シリアル・クロック，ウエイク・アップ機能などを指定する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図10-2に示します。

$\overline{\text{RESET}}$入力により00Hとなります。

図10-2　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のフォーマット



注1. ビット2，4には必ず“0”を書き込んでください。

2. f_{CLK}：内部システム・クロック

注意　CTXE＝0, CRXE＝1の状態からCTXE＝1, CRXE＝0へ変更する場合，およびCTXE＝1, CRXE＝0の状態からCTXE＝0, CRXE＝1へ変更する場合は，1命令で行わないようにしてください。シリアル・クロック・カウンタが誤動作し，変更後の1回目の通信が8ビット未満で終了してしまいます。次のように2命令に分けて変更してください。

例　CTXE＝1，CRXE＝0をCTXE＝0，CRXE＝1に変更する場合

```
CLR1  CTXE
SET1  CRXE
```

10.3.2　シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）

SBICレジスタは，シリアル・バスの状態を制御するビットとシリアル・バスからの入力データの各種の状態を示すビットから構成された8ビット・レジスタです。SBIモードでのみ用いることができ，3線式シリアルI／Oモードでは操作してはいけません。

8ビット操作命令とビット操作命令で操作します。読み出し／書き込みは，表10－1のようにビットによって異なります。読み出しのとき，書き込みのみのビットは“0”を読み出します。そのフォーマットを図10－3に示します。

$\overline{\text{RESET}}$入力により00Hとなります。

また，ACKD，CMDD，RELDの各検出フラグは，送受信動作を禁止（CTXE＝CRXE＝0）するとクリアされます。

表10－1　SBICレジスタの読み出し／書き込み

	⑦	⑥	⑤	④	③	②	①	⓪
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT
	R/W	R	R/W	W	R	R	W	W

備考　R/W：読み出し（Read）／書き込み（Write）
R　：読み出し（Read）のみ
W　：書き込み（Write）のみ

図10-3　シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）のフォーマット

★

	⑦	⑥	⑤	④	③	②	①	⑩
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT

RELT	バス・リリース信号(REL)のトリガ出力制御
0	出力しない
1	出力する

CMDT	コマンド信号(CMD)のトリガ出力制御
0	出力しない
1	出力する

RELT	バス・リリース信号(REL)の検出
0	検出しない
1	検出している

CMDD	コマンド信号(CMD)の検出
0	検出していない
1	検出している

ACKT	アクノリッジ信号($\overline{ACK}$)のトリガ出力制御
0	出力しない
1	出力する

ACKE	アクノリッジ信号($\overline{ACK}$)の自動出力許可
0	禁止
1	許可

ACKD	アクノリッジ信号($\overline{ACK}$)の検出
0	検出していない
1	検出している

BSYE	同期ビジィ信号($\overline{BUSY}$)の自動出力許可
0	禁止
1	許可

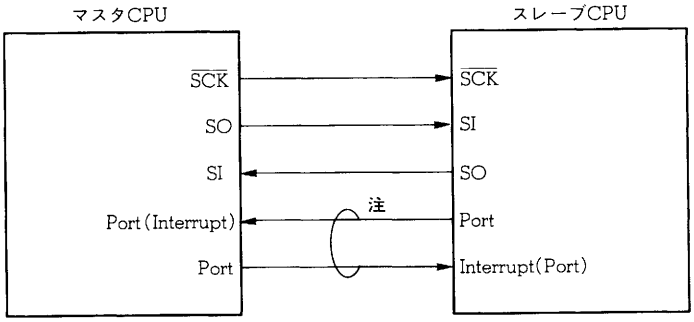
10.4　3線式シリアルI/Oモード

3線式シリアルI/Oモードは，従来のクロック同期式シリアル・インタフェースを内蔵するデバイスとの通信を行うためのモードです。

基本的にはシリアル・クロック（$\overline{SCK}$）とシリアル・データ出力（SO）とシリアル・データ入力（SI）の3本のラインで通信を行います。複数のデバイスと接続する場合はハンド・シェーク用のラインが必要になります。

図 10－4　3線式シリアルI／Oのシステム構成例

3線式シリアルI／O↔3線式シリアルI／O



注　ハンドシェーク・ライン

10.4.1　基本動作タイミング

3線式シリアルI／Oモードは，8ビット単位でデータの送受信を行います。データは，シリアル・クロックに同期してMSBファーストで1ビットごとに送受信されます。

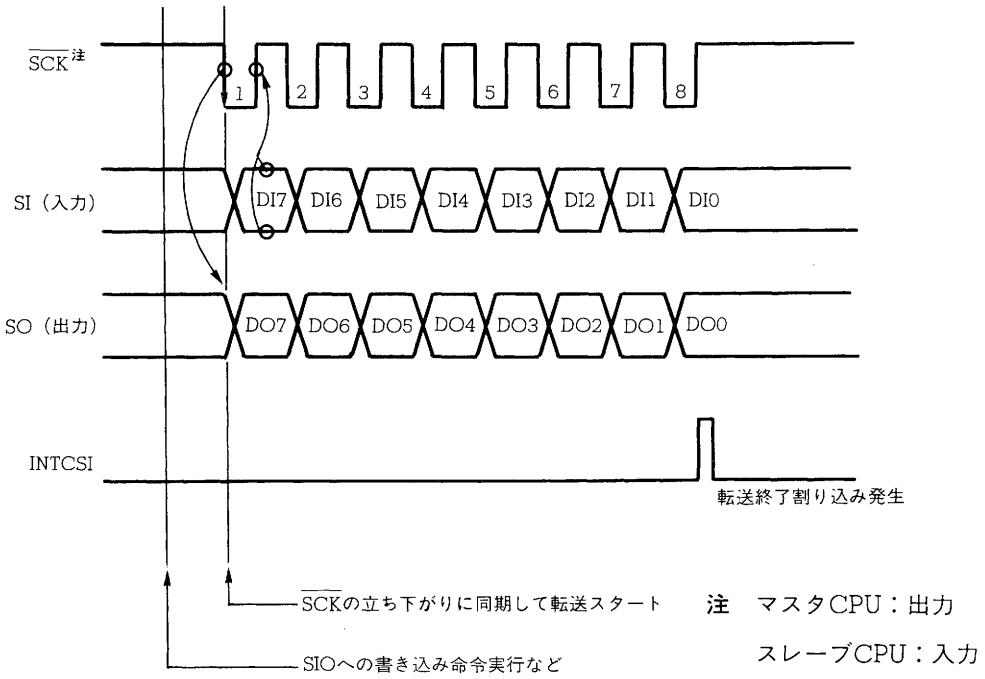
送信データは，$\overline{SCK}$の立ち下がりに同期して出力されます。受信データは，$\overline{SCK}$の立ち上がりでサンプリングされます。

また，8番目の$\overline{SCK}$の立ち上がりで割り込み要求INTCSIを発生します。

内部クロックを$\overline{SCK}$として使用している場合は，$\overline{SCK}$の8番目の立ち上がりで$\overline{SCK}$の出力を停止し，次のデータの送信または受信動作が起動されるまで，$\overline{SCK}$はハイ・レベルを保持します。

図10－5に，3線式シリアルI／Oモードのタイミング図を示します。

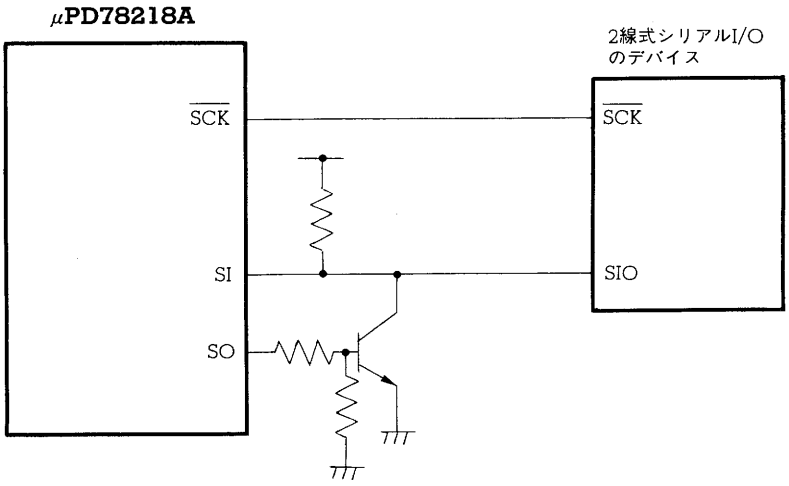
図10－5　3線式シリアルI／Oモードのタイミング



3線式シリアルI／Oの場合，SO端子はCMOSのプッシュプル出力になります。

備考　2線式のシリアルI／Oと接続する場合は，図10－6のようにSO端子にバッファを接続してください。なお，図10－6の場合は，バッファにより出力レベルが反転するので，SIOへは出力したいデータの反転データを書き込んでください。
また，P33／SO端子には，内蔵プルアップ抵抗を接続しないように指定してください。

図10－6　2線式シリアルI／Oとの接続例



なお，送信と受信を時分割で行う場合で，2線式シリアルI/Oを持ったデバイスのSIO端子の出力レベルをμPD78218Aがコントロールできる場合は，SI端子とSO端子を直接接続して使用することもできます。この状態で，μPD78218Aが受信をする場合は，他のデバイスを必ず送信禁止にしてください。

10.4.2　送信のみ許可の場合の動作

送信動作は，クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のCTXEビットがセット(1)されているときに行われます。CTXEビットがセット(1)されているときに，シフト・レジスタ（SIO)への書き込みを行うと送信動作が起動されます。

なお，CTXEビットがリセット(0)されているときは，SO端子は出力ハイ・インピーダンスとなります。

(1) シリアル・クロックとして内部クロックを選択した場合

送信が起動されるとシリアル・クロックを$\overline{\text{SCK}}$端子から出力し，同時にシリアル・クロックの立ち下がりに同期してSIOからデータをSO端子へ順次出力します。また，シリアル・クロックの立ち上がりに同期して，SI端子の信号をSIOにシフト入力します。

なお，送信の起動から$\overline{\text{SCK}}$の最初の立ち下がりまでには，最大$\overline{\text{SCK}}$の1クロック分の時間がかかります。

送信動作中に送信を禁止（CTXEビットをリセット(0)）すると，次の$\overline{\text{SCK}}$の立ち上がりで$\overline{\text{SCK}}$クロックの出力を停止し，送信動作を中断します。このとき，割り込みの要求（INTCSI）は発生しません。また，SO端子は出力ハイ・インピーダンスになります。

(2) シリアル・クロックとして外部クロックを選択した場合

送信が起動されると，送信起動後に$\overline{\text{SCK}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOからデータをSO端子へ順次出力し，同時に$\overline{\text{SCK}}$端子入力の立ち上がりに同期して，SI端子の信号をSIOにシフト入力します。送信が起動されていないときに，シリアル・クロックを$\overline{\text{SCK}}$端子へ入力してもシフト動作は行われず，SO端子の出力レベルは変化しません。

送信動作中に送信を禁止（CTXEビットをリセット(0)）すると，送信動作を中断し，以降の$\overline{\text{SCK}}$入力を無視します。このとき，割り込みの要求（INTCSI）は発生しません。また，SO端子は出力ハイ・インピーダンスになります。

10.4.3　受信のみ許可の場合の動作

受信動作はCSIMレジスタのCRXEビットがセット(1)されているときに行われます。CRXEビットを“0”から“1”へ変化させるか，SIOからの読み出しを行うと受信動作は起動されます。

(1) シリアル・クロックとして内部クロックを選択した場合

受信が起動されるとシリアル・クロックを$\overline{\text{SCK}}$端子から出力し，シリアル・クロックの立ち上がりに同期してSI端子のデータをSIOへ順次取り込みます。

なお，受信の起動から$\overline{\text{SCK}}$の最初の立ち下がりまでには，最大$\overline{\text{SCK}}$の1クロック分の時間がかかります。

受信動作中に受信を禁止（CRXEビットをリセット(0)）すると，次の$\overline{\text{SCK}}$の立ち上がりで$\overline{\text{SCK}}$クロックの出力を停止し，受信動作を中断します。このとき，割り込みの要求（INTCSI）は発生しません。また，SIOレジスタの内容は不定になります。

(2) シリアル・クロックとして外部クロックを選択した場合

受信が起動されると，受信起動後に$\overline{\text{SCK}}$端子へ入力されたシリアル・クロックの立ち上がりに同期してSI端子のデータをSIOへ順次取り込みます。受信が起動されていないときに$\overline{\text{SCK}}$端子へシリアル・クロックを入力してもシフト動作は行いません。

受信動作中に受信を禁止（CRXEビットをリセット(0)）すると，受信動作を中断し，以降の$\overline{\text{SCK}}$入力を無視します。このとき，割り込みの要求（INTCSI）は発生しません。

10.4.4　送受信許可の場合の動作

CSIMレジスタのCTXEビットとCRXEビットが両方ともセット(1)されているときは，送信動作と受信動作を同時に行うことができます（送受信動作）。送受信動作は，CRXEビットを“0”から“1”へ変化させるか，SIOへの書き込みを行うと起動します。

なお，送受信動作の1回目の起動時は，必ずCRXEビットが“0”から“1”へ変化するので，すぐに送受信動作が起動され，不定なデータが出力される可能性があります。したがって，送信および受信とも禁止されている(CTXEビットおよびCRXEビットが両方ともリセット(0)されている)ときに，あらかじめSIOへ最初の送信データを書き込んでから，送受信を許可してください。

なお，送受信禁止時（CTXE＝0，CRXE＝0）は，SO端子は出力ハイ・インピーダンスとなります。

(1) シリアル・クロックとして内部クロックを選択した場合

送受信が起動されると，シリアル・クロックが$\overline{\text{SCK}}$端子より出力され，シリアル・クロックの立ち下がりに同期してSIOからSO端子へ順次データが出力され，シリアル・クロックの立ち上がりに同期してSI端子のデータを順次SIOへシフト・インします。

なお，送受信の起動から$\overline{\text{SCK}}$の最初の立ち下がりまでには，最大$\overline{\text{SCK}}$の1クロック分の時間がかかります。

送受信動作中に送信または受信の一方を禁止にした場合は，禁止された動作のみが中断されます。送信のみを禁止した場合は，SO端子は出力ハイ・インピーダンスになります。受信のみを禁止した場合は，SIOレジスタの内容は不定となります。

送受信を同時に禁止した場合は，$\overline{\text{SCK}}$の次の立ち上がりで$\overline{\text{SCK}}$クロックの出力を停止し，送信および受信動作を中断します。送受信を同時に禁止した場合は，SIOの内容は不定となり，割り込みの要求（INTCSI）は発生しません。また，SO端子は出力ハイ・インピーダンスになります。

(2) シリアル・クロックとして外部クロックを選択した場合

送受信が起動されると，送受信起動後に$\overline{\text{SCK}}$端子へ入力されたシリアル・クロックの立ち下がりに同期してSIOから順次SO端子へデータが出力され，シリアル・クロックの立ち上がりに同期してSI端子のデータを順次SIOへシフト・インします。送受信が起動されていないときにシリアル・クロックが$\overline{\text{SCK}}$端子へ入力されても，SIOのシフト動作は行いません。また，SO端子の出力レベルも変化しません。

送受信動作中に送信または受信の一方を禁止した場合は，禁止された動作のみが中断されます。送信のみを禁止した場合は，SO端子は出力ハイ・インピーダンスになります。受信のみを禁止した場合は，SIOレジスタの内容は不定となります。

送受信を同時に禁止した場合は，送受信動作を中断し，以降の$\overline{\text{SCK}}$入力を無視します。送受信を同時に禁止した場合は，SIOの内容は不定となり，割り込みの要求（INTCSI）は発生しません。SO端子は出力ハイ・インピーダンスになります。

10.4.5　シリアル・クロックとシフト動作がずれた場合の処置方法

シリアル・クロックとして外部クロックを選択した場合に，ノイズなどにより，シリアル・クロックの数とシフト動作がずれてしまう可能性があります。このような場合，送信動作と受信動作をともに禁止する（CTXEビットおよびCRXEビットをリセット(0)する）ことにより，シリアル・クロック・カウンタが初期化されるので，次に送信または受信を許可した後に最初に入力されるシリアル・クロックを1発目のクロックとして，シフト動作とシリアル・クロックの同期を回復することができます。

10.5 SBIモード

SBI（シリアル・バス・インタフェース）は，NECシリアル・バス・フォーマット準拠の高速シリアル・インタフェース方式です。

SBIは，シングル・マスタの高速シリアル・バスで，2本の信号線で複数のデバイスとの通信を行うことができるように，クロック同期式のシリアルI／O方式に，バス構成のための機能が追加されたフォーマットになっています。そのため，複数のマイコンや周辺ICでシリアル・バスを構成する場合に，使用するポート数や基板上の配線数を削減することができます。

SBIの機能などについては，**シリアル・バス・インタフェース（SBI）ユーザーズ・マニュアル（IEM-5040）**もあわせて参照してください。

10.5.1　SBIの特徴

従来のシリアルI／O方式では，データ転送機能しか有していないために，複数のデバイスを接続してシリアル・バスを構成した場合に，チップ・セレクト信号やコマンド／データの区別，ビジィ状態の判断などのため多くのポートや配線が必要となります。また，これらの制御を，ソフトウエアで行おうとすると，ソフトウエアの負担が大きくなってしまいます。

SBIでは，シリアル・クロック$\overline{\mathrm{SCK}}$と，シリアル・データ・バスSB0の2本の信号線でシリアル・バスを構成することができます。そのため，マイコンのポート数の削減や，基板内の配線や引き回しの減少に有効となります。

SBIの機能について次に示します。

(1) アドレス／コマンド／データの判断機能

シリアル・データを，アドレス，コマンド，およびデータの3種類に区別します。

(2) アドレスによるチップ・セレクト機能

マスタは，アドレスの送信により，スレーブのチップ・セレクト（選択）を行います。

(3) ウエイク・アップ機能

スレーブは，ウエイク・アップ機能（ソフトウエアで設定／解除が可能）により，アドレス受信の判断（チップ・セレクトの判断）を容易に行うことができます。

ウエイク・アップ機能を設定した場合，アドレス受信時のみ，シリアル受信割り込み(INTCSI) が発生します。

そのため，複数のデバイスと通信を行う場合も，選択されたスレーブ以外のCPUはシリアル通信に関係なく動作することができます。

(4) アクノリッジ信号（$\overline{\mathrm{ACK}}$）制御機能

シリアル・データの受信確認のための，アクノリッジ信号を制御します。

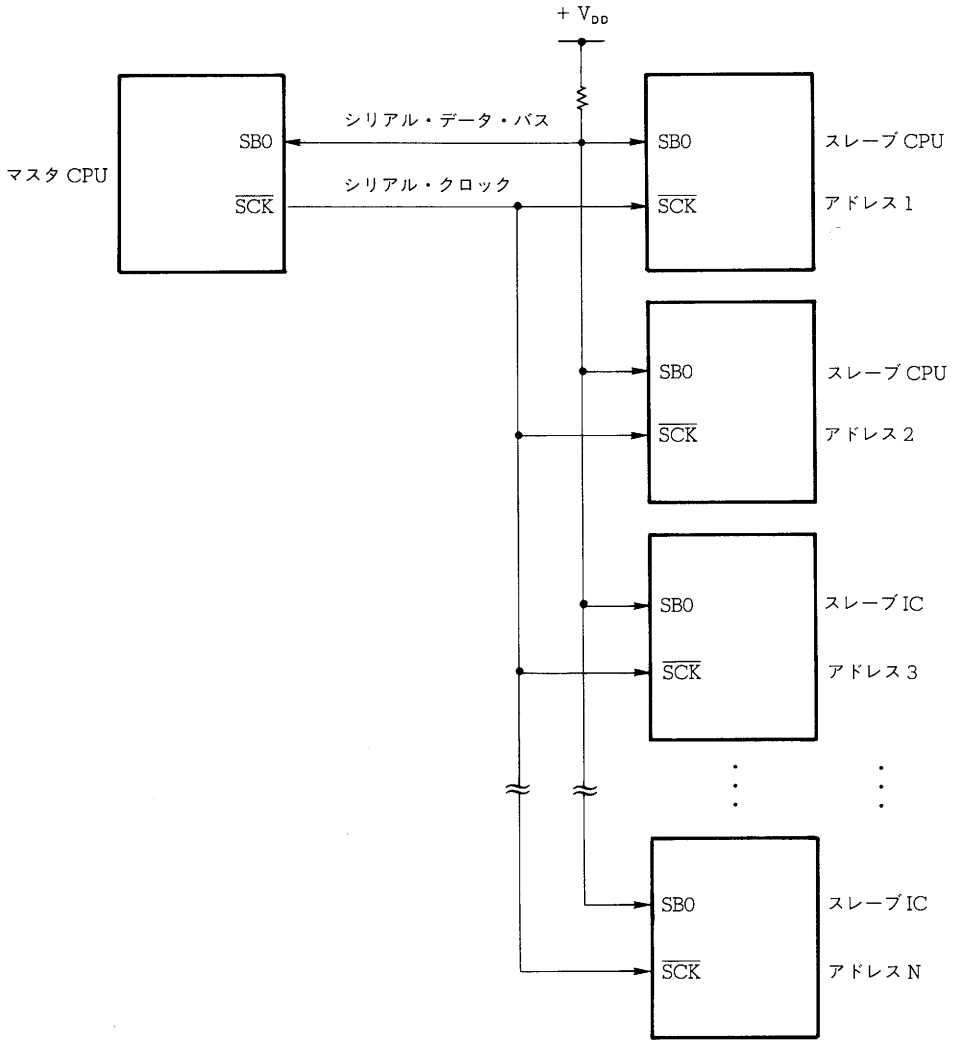
(5) ビジィ信号（$\overline{\mathrm{BUSY}}$）制御機能

スレーブのビジィ状態を知らせるための，ビジィ信号を制御します。

SBIに準拠するシリアル・インタフェースを有するCPUや，周辺ICを使用した場合のシリアル・バス構成例を図10－7に示します。

SBIでは，シリアル・データ・バス端子SBO端子は，オープン・ドレーン出力になっているため，シリアル・データ・バス・ラインは，ワイアード・オア状態になります。また，シリアル・データ・バス・ラインには，プルアップ抵抗が必要です。

図10－7　SBIによるシリアル・バス構成例



注意　マスタ／スレーブの交換処理を行う場合は，シリアル・クロック・ライン（$\overline{SCK}$）の入力／出力の切り替えがマスタ，スレーブ間で非同期に行われるため，シリアル・クロック・ライン（$\overline{SCK}$）にもプルアップ抵抗が必要となります。

10.5.2　シリアル・インタフェースの構成

図10－9に，μPD78218Aの回路構成図を示します。

シリアル・クロック端子（$\overline{SCK}$）と，シリアル・データ・バス端子SB0の構成は，次のようになっています。

(1) $\overline{SCK}$……シリアル・クロックを入出力するための端子

・マスタ……CMOS，プッシュプル出力

・スレーブ……シュミット入力

(2) SB0 ……シリアル・データの入出力兼用端子

マスタ，スレーブともに出力はN-chオープン・ドレーン，入力は，シュミット入力

シリアル・データ・バス・ラインは，出力がN-chオープン・ドレーンのため，外部にプルアップ抵抗が必要となります。

図10－8　端子構成図

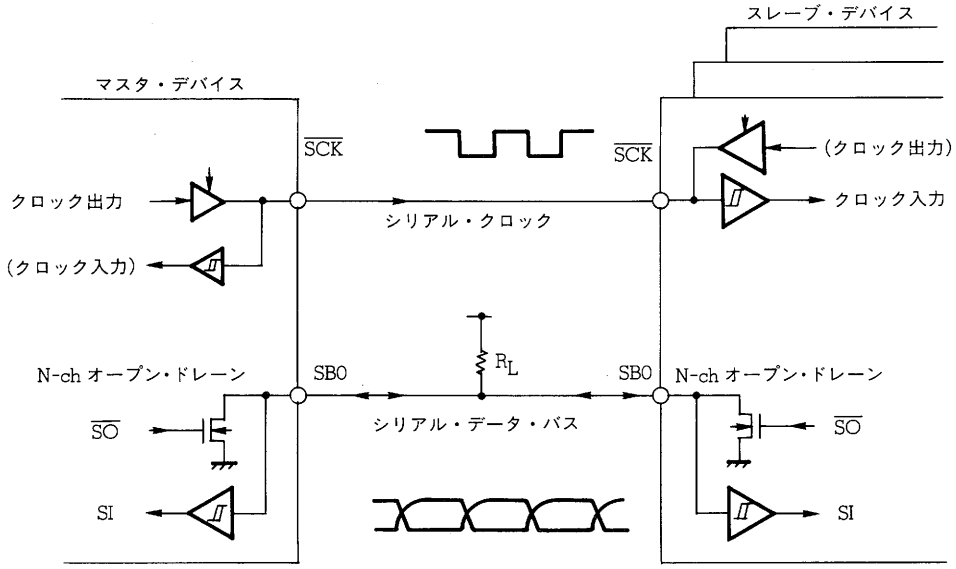
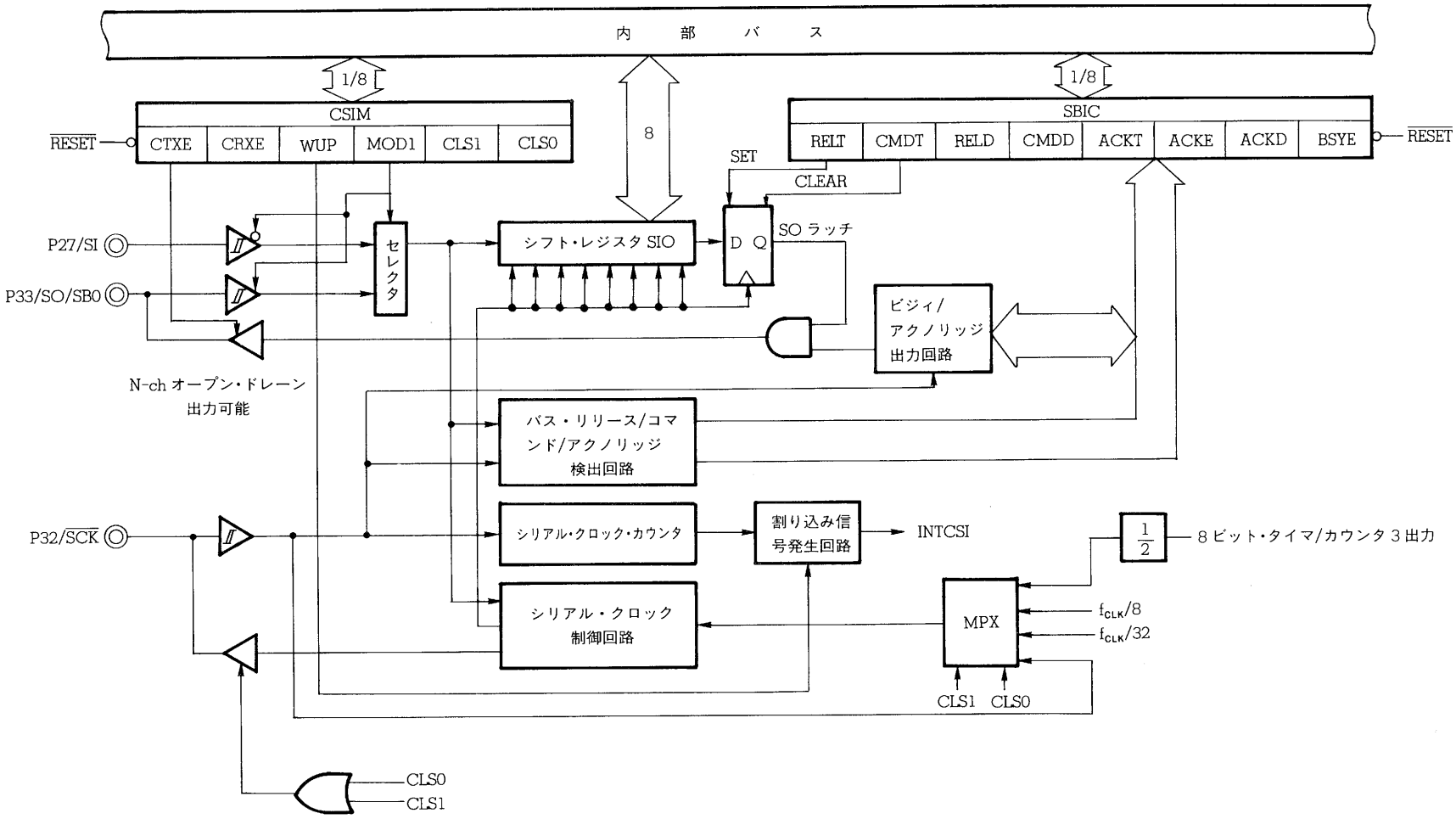


図 10-9 クロック同期式シリアル・インタフェースのブロック図



10.5.3　アドレスの一致検出方法

SBIの通信では，マスタのアドレス送信により，特定のスレーブ・デバイスを選択し，通信がスタートされます。

スレーブ・デバイスのアドレス一致の検出は，ソフトウエアで行います。ウエイク・アップ状態(WUP＝1）では，スレーブはアドレス受信時のみ，シリアル転送完了割り込み要求を発生します。

ソフトウエアによる一致アドレス受信処理では，ウエイク・アップ状態を解除（WUP←0）し，以後の「コマンド」，「データ」の受信に備えます。

10.5.4　SBIモードの制御レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）

CSIMレジスタは，シリアル・インタフェースの動作モード，シリアル・クロック，ウエイク・アップ機能などを指定する8ビット・レジスタです。

CSIMレジスタのフォーマットを，図10－10に示します。

8ビット操作命令とビット操作命令でリード／ライトが可能です。しかし，ビット単位にリード／ライトの属性があります。

CSIMレジスタの値は，$\overline{\text{RESET}}$入力により00Hになります。

図10－10　クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）のフォーマット

	⑦	⑥	⑤	4	3	2	1	0
CSIM	CTXE	CRXE	WUP	0注1	MOD1	0注1	CLS1	CLS0

CLS1	CLS0	シリアル・クロックの選択		$\overline{SCK}$端子	SBIモード時のマスタ／スレーブ選択
0	0	外部クロック		入力	スレーブ
0	1	内部クロック	8ビット・タイマ/カウンタ3出力の1/2	出力	マスタ
1	0		$f_{CLK}/32$注2		
1	1		$f_{CLK}/8$注2		

WUP	MOD1	動作モード	ウエイク・アップ機能の制御
0	0	3線式シリアルI/Oモード	シリアル転送ごとに割り込み要求を発生
0	1	SBIモード	
1	1		アドレス受信時のみ割り込み要求を発生

CRXE	受信動作
0	禁止
1	許可

CTXE	送信動作
0	禁止
1	許可

注1. ビット2，4には必ず“0”を書き込んでください。

2. f_{CLK}：内部システム・クロック

注意　CTXE＝0，CRXE＝1の状態からCTXE＝1，CRXE＝0へ変更する場合，およびCTXE＝1，CRXE＝0の状態からCTXE＝0，CRXE＝1へ変更する場合は，1命令で行わないようにしてください。シリアル・クロック・カウンタが誤動作し，変更後の1回目の通信が8ビット未満で終了してしまいます。次のように2命令に分けて変更してください。

例　CTXE＝1，CRXE＝0をCTXE＝0，CRXE＝1に変更する場合

```
CLR1  CTXE
SET1  CRXE
```

(2) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）は，シリアル・バスの状態を制御するビットとシリアル・バスからの入力データの各種状態を示すフラグから構成される8ビット・レジスタです。

8ビット操作命令およびビット操作命令で，リード／ライトが可能です。ただし，ビットによってリード／ライト動作の可否は，異なります。フォーマットを図10－11に示します。

SBICレジスタの値は$\overline{\text{RESET}}$入力により00Hになります。

図10－11　SBICレジスタのフォーマット（1／2）

	⑦	⑥	⑤	④	③	②	①	⓪	
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	（リセットで00H）

バス・リリース・トリガ・ビット（W）

RELT	バス・リリース信号（REL）のトリガ出力制御ビット。セットすることにより，SOラッチがセット(1)され，その後，RELTビットは自動的にクリア（0）されます。

コマンド・トリガ・ビット（W）

CMDT	コマンド信号（CMD）のトリガ出力制御ビット。セットすることにより，SOラッチがクリア（0）され，その後，CMDTビットは自動的にクリア（0）されます。

バス・リリース検出フラグ（R）

	クリアされる条件（RELD＝0）	セットされる条件（RELD＝1）
RELD	① 転送スタート命令実行時 ② リセット入力時 ③ CTXE＝CRXE＝0	バス・リリース信号（REL）検出時

コマンド検出フラグ（R）

	クリアされる条件（CMDD＝0）	セットされる条件（CMDD＝1）
CMDD	① 転送スタート命令実行時 ② バス・リリース信号（REL）検出時 ③ リセット入力時 ④ CTXE＝CRXE＝0	コマンド信号（CMD）検出時

図10－11　SBICレジスタのフォーマット（2／2）

アクノリッジ・トリガ・ビット（W）

ACKT	転送終了前にセットすると，次の$\overline{\text{SCK}}$に同期して$\overline{\text{ACK}}$が出力されます。$\overline{\text{ACK}}$信号出力後，自動的にクリア（0）されます。 **注意　① シリアル転送終了前にセット(1)しないでください。** **② ACKTは，ソフトウエアでクリアすることはできません。** **③ ACKTをセットするときは，ACKE＝0にしてください。**

アクノリッジ許可ビット（R／W）

ACKE	0	アクノリッジ信号の自動出力を禁止	
	1	転送完了前	9クロック目の$\overline{\text{SCK}}$に同期して$\overline{\text{ACK}}$を出力
		転送完了後	セット命令実行直後の$\overline{\text{SCK}}$に同期して$\overline{\text{ACK}}$を出力

アクノリッジ検出フラグ（R）

★

	クリアされる条件（ACKD＝0）	セットされる条件（ACKD＝1）
ACKD	① 転送スタート命令実行後，ビジィ解除後の1回目の$\overline{\text{SCK}}$の立ち下がり時 ② リセット入力時 ③ CTXE＝CRXE＝0 ④ バス・リリース検出時（スレーブ・モード時のみ）	アクノリッジ信号（$\overline{\text{ACK}}$）検出時

ビジィ許可ビット（R／W）

BSYE	0	① ビジィ信号の自動出力禁止 ② クリア命令実行直後の，$\overline{\text{SCK}}$の立ち下がりに同期して，ビジィ信号の出力を停止
	1	アクノリッジ信号に続き$\overline{\text{SCK}}$の立ち下がりに同期して，ビジィ信号を出力

備考　(R)　：読み出しのみ可能

(W)　：書き込みのみ可能

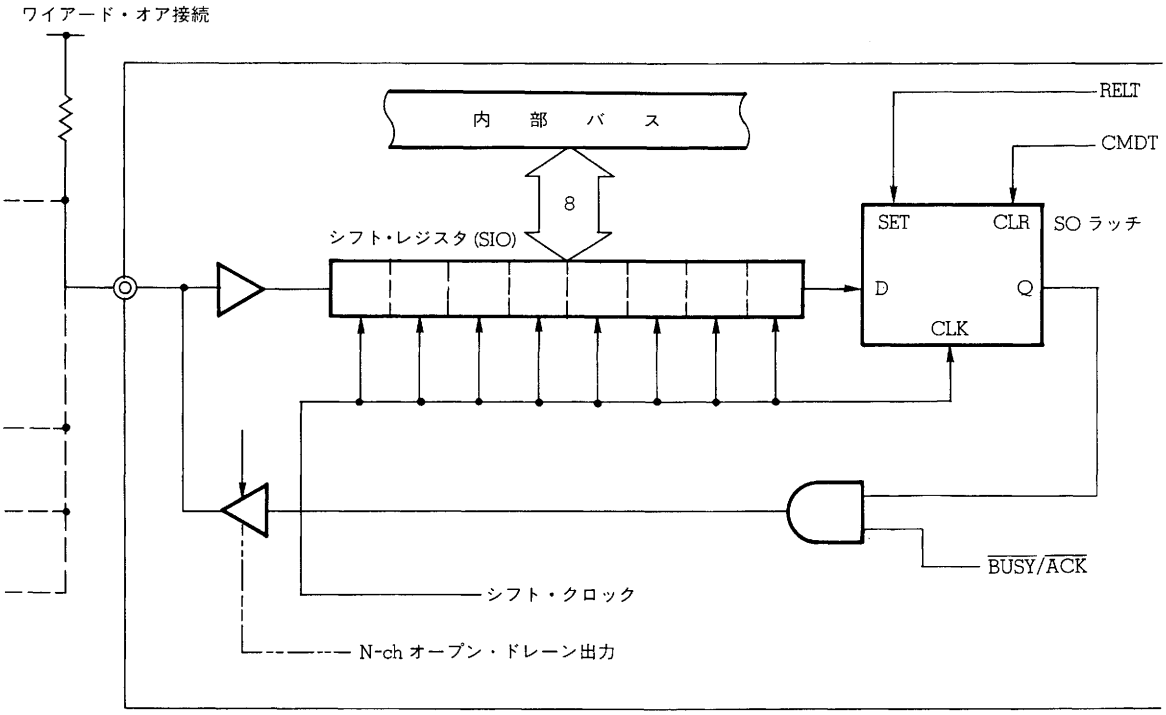
(R／W)：読み出し／書き込みともに可能

(3) シフト・レジスタ（SIO）

パラレル-シリアルの変換を行うための8ビット・シフト・レジスタです。

SIOに書き込まれたデータが，シリアル・データ・バスに出力されます。また，シリアル・データ・バスからSIOにデータが読み込まれます。図10－12にシフト・レジスタ周辺の構成を示します。

図10－12　シフト・レジスタ周辺の構成



SBIのデータ・バス構成は，入力端子と出力端子が兼用です。出力端子はN-chオープン・ドレーン構成で，外部のプルアップ抵抗により，ワイアード・オア構成を取ります。したがって，これから受信を行おうとするデバイスは，シフト・レジスタ（SIO）にFFHを設定するか，送信禁止に設定しなければなりません。

10.6　SBIの通信動作と各種信号

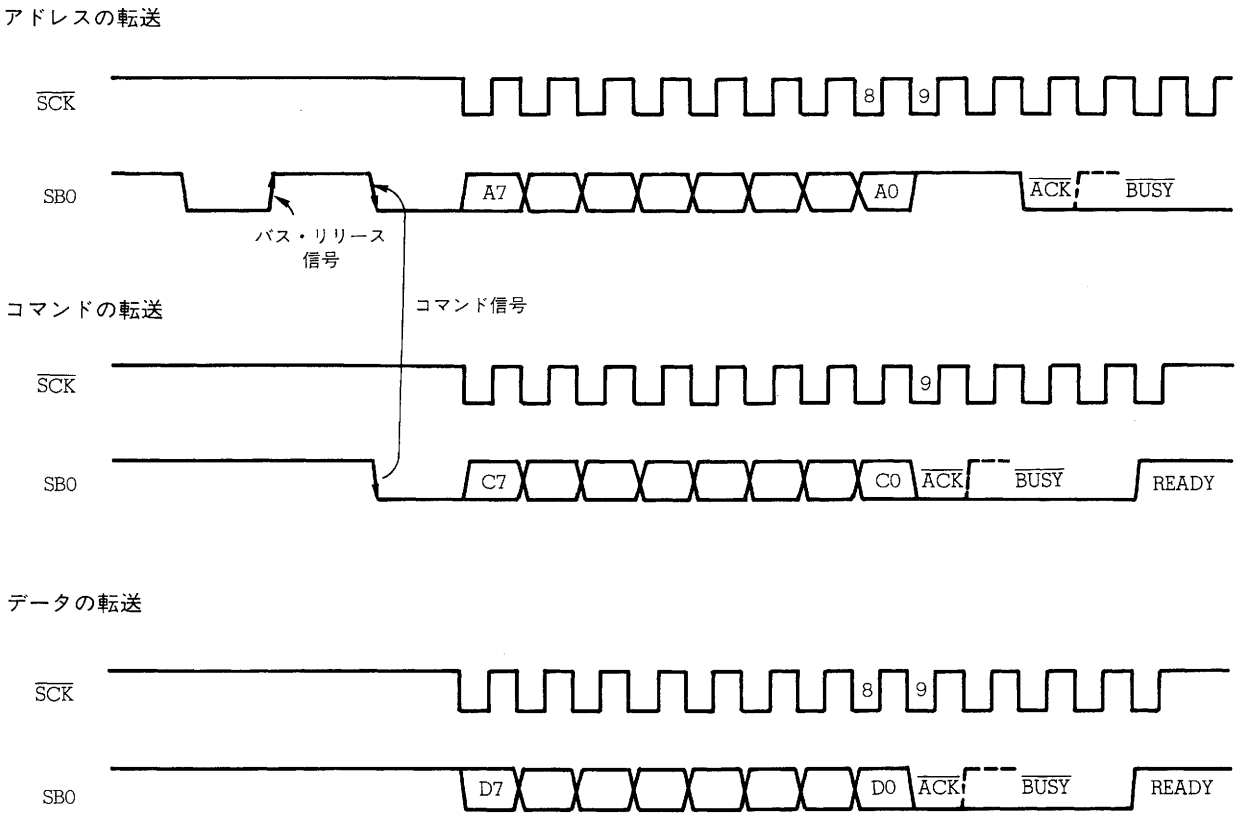
ここでは，SBIシリアル・データのフォーマットおよび，使用する信号の意味について説明します。

SBIで転送されるシリアル・データは，「アドレス」，「コマンド」，「データ」の3種類に区別されます。また，シリアル・データは，以下の構成で1フレームを形成します。

(バス・リリース信号)＋（コマンド信号)＋8ビット・データ＋$\overline{\text{ACK}}$＋（$\overline{\text{BUSY}}$)

図10－13に，アドレス，コマンド，およびデータの転送タイミングを示します。

図10－13　SBI転送のタイミング



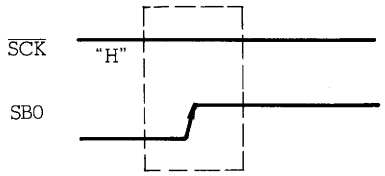
バス・リリース信号およびコマンド信号はマスタが出力します。また，$\overline{\text{BUSY}}$はスレーブが出力します。$\overline{\text{ACK}}$はマスタ，スレーブのどちらでも出力できます（通常，8ビット・データの受信側が出力します)。

シリアル・クロックは，8ビット・データ転送開始から，$\overline{\text{BUSY}}$が解除されるまで，マスタが出力し続けます。

10.6.1　バス・リリース信号（REL）

バス・リリース信号は，$\overline{\text{SCK}}$ラインがハイ・レベルのとき（シリアル・クロックが出力されていない場合）に，SBOラインがロウ・レベルからハイ・レベルに変化した信号です。この信号は，マスタが出力します。

図10－14　バス・リリース信号

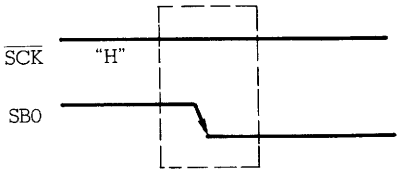


バス・リリース信号は，これからマスタがスレーブに対してアドレスを送信することを示すものです。スレーブは，バス・リリース信号を検出するハードウエアを内蔵しています。

10.6.2　コマンド信号（CMD）

コマンド信号は，$\overline{\text{SCK}}$ラインが，ハイ・レベルのとき（シリアル・クロックが出力されていない場合）に，SBOラインがハイ・レベルからロウ・レベルに変化した信号です。この信号は，マスタが出力します。

図10－15　コマンド信号

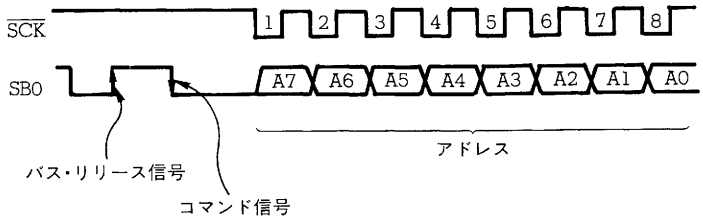


スレーブは，コマンド信号を検出するハードウエアを内蔵しています。

10.6.3 アドレス

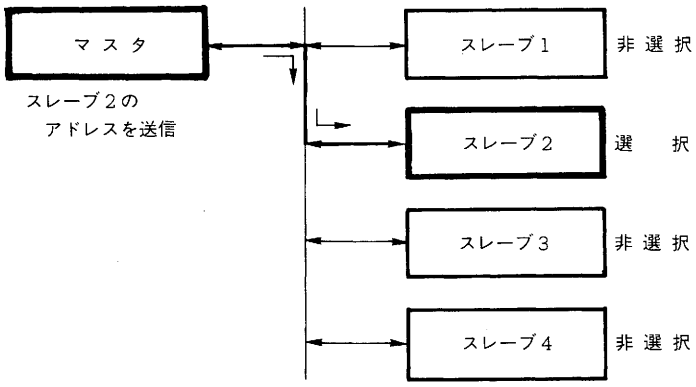
アドレスは，マスタがバス・ラインに接続されているスレーブに対して，特定のスレーブを選択するために出力する8ビット・データです。

図10－16　アドレス



バス・リリース信号，コマンド信号に続く8ビット・データはアドレスと定義されています。スレーブでは，ハードウエアでこの条件を検出し，8ビット・データが自分の指定番号（スレーブ・アドレス）と一致しているかをソフトウエアまたはハードウエアでチェックします。このとき，8ビット・データと，スレーブ・アドレスが一致すると，そのスレーブが選択されたことになり，以後，マスタから切り離し指示があるまで，マスタとの通信を行います。

図10－17　アドレスによるスレーブの選択



10.6.4　コマンド，データ

アドレスの送信により選択したスレーブに対して，マスタはコマンドの送信や，データの送受信を行います。

図10－18　コマンド

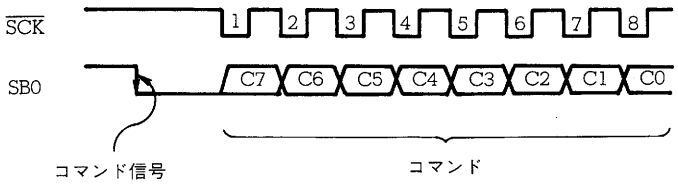
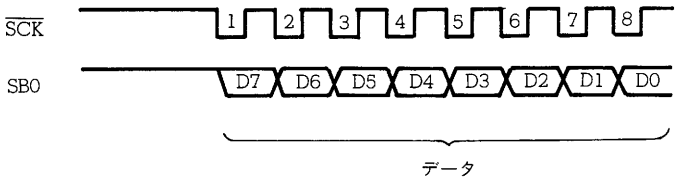


図10－19　データ



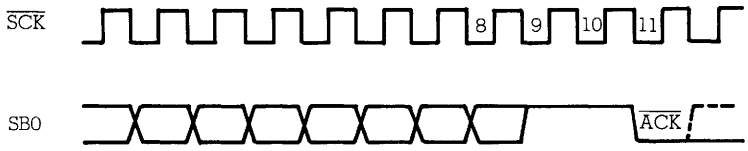
コマンド信号の次の8ビット・データはコマンドと定義されています。コマンド信号なしの8ビット・データはデータと定義されています。コマンド，データの使用方法は，通信の仕様によって任意に決定することができます。

10.6.5　アクノリッジ信号（$\overline{\text{ACK}}$）

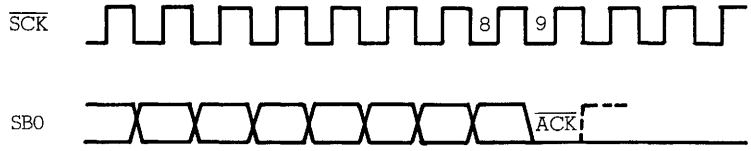
アクノリッジ信号は，送信側と受信側の間における，データ受信の確認のための信号です。

図10－20　アクノリッジ信号

〔11クロック目の$\overline{\text{SCK}}$に同期して出力した場合〕



〔9クロック目の$\overline{\text{SCK}}$に同期して出力した場合〕



アクノリッジ信号は，8ビット・データ転送後の$\overline{\text{SCK}}$の立ち下がりに同期したワンショット・パルスで，その位置は任意で何クロック目の$\overline{\text{SCK}}$に同期させてもかまいません。

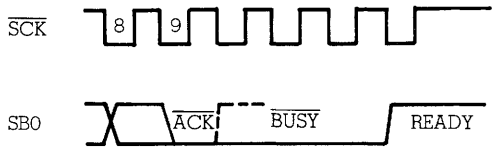
送信側は，8ビット・データ送信後，受信側がアクノリッジ信号を返したかをチェックします。データ送信後，一定時間，アクノリッジ信号が返らない場合は，受信が正しく行われなかったものと判断することができます。

10.6.6　ビジィ信号（$\overline{\text{BUSY}}$），レディ信号（READY）

ビジィ信号は，スレーブがデータの送受信のための準備中であることをマスタに知らせるための信号です。

レディ信号は，スレーブがデータの送受信が可能であることをマスタに知らせるための信号です。

図10－21　ビジィ信号，レディ信号



SBIでは，スレーブが，SBOラインをロウ・レベルにすることにより，マスタにビジィ状態を知らせます。

ビジィ信号は，マスタ，またはスレーブの出力したアクノリッジ信号にひき続いて出力させます。ビジィ信号は，$\overline{\text{SCK}}$の立ち下がりに同期して，設定／解除を行います。マスタは，ビジィ信号が解除されると自動的にシリアル・クロック$\overline{\text{SCK}}$の出力を終了します。

マスタは，ビジィ信号が解除され，レディ信号の状態になると次の転送を開始することができます。

10.6.7　各種信号

SBIにおける，各種の信号と，SBIC上のフラグの動作について図10－22から図10－26に示します。また，SBIの各種の信号の一覧を表10－2に示します。

図10－22　RELT，CMDT，RELD，CMDDの動作

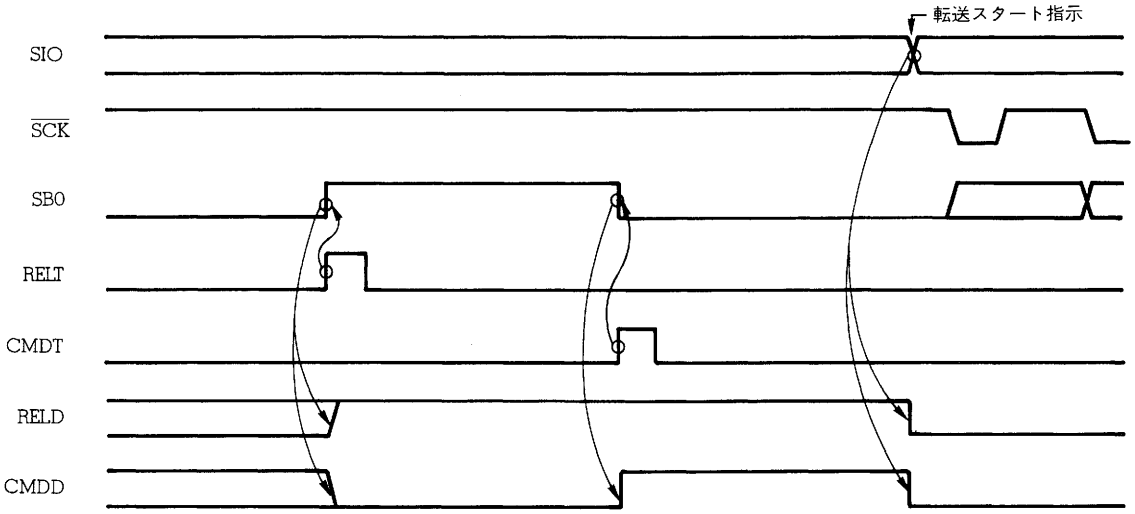
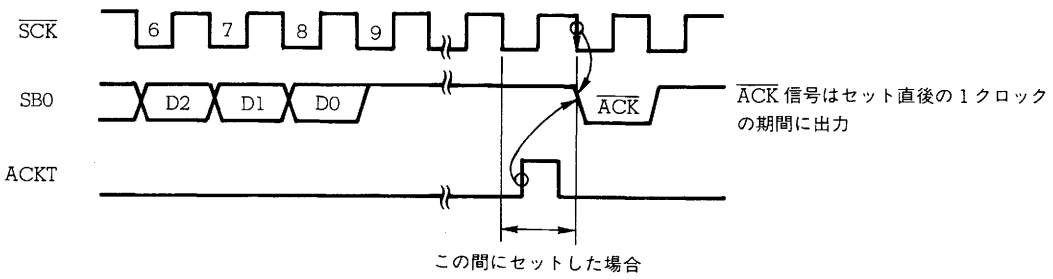


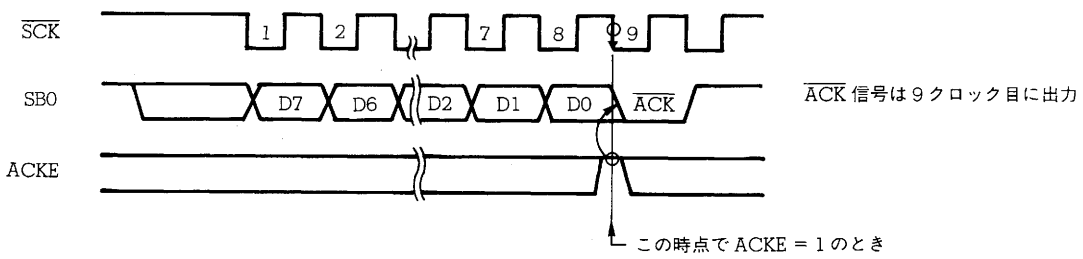
図10－23　ACKTの動作



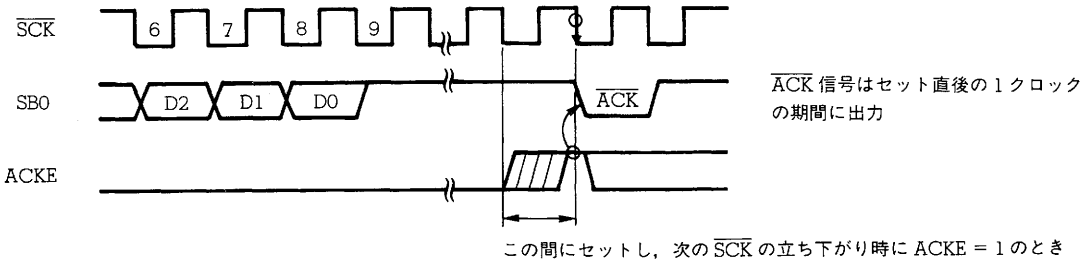
注意　ACKTは転送終了前にはセットしないでください。

図10－24　ACKEの動作

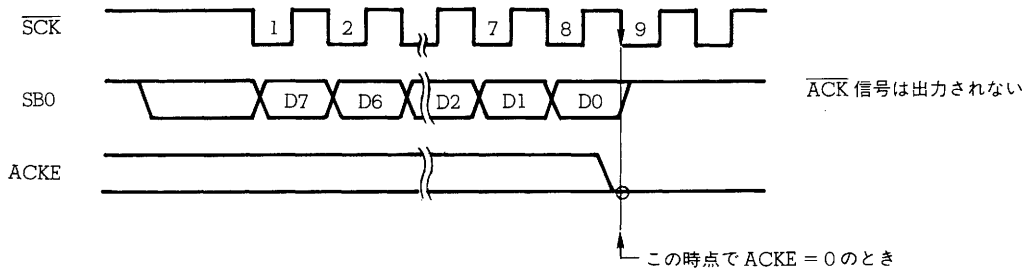
(a) 転送完了時にはACKE＝1の場合



(b) 転送完了後にセットした場合



(c) 転送完了時にACKE＝0の場合



(d) ACKE＝1の期間が短い場合

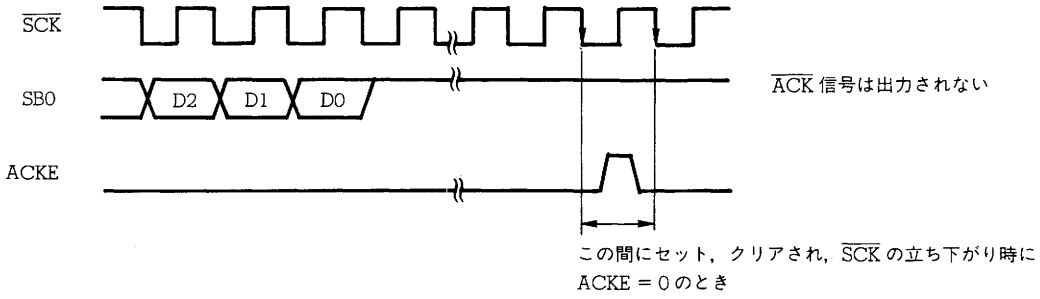
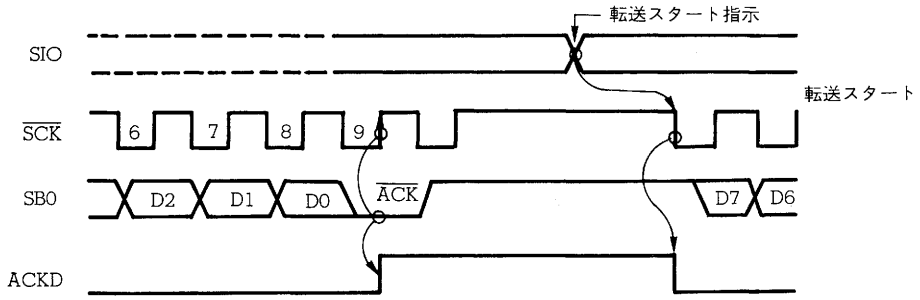
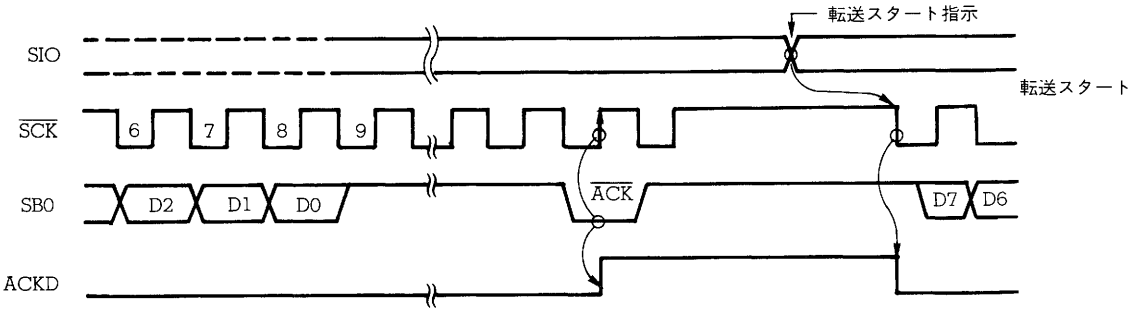


図10-25　ACKDの動作

(a) $\overline{\text{SCK}}$ の9クロック目の期間に$\overline{\text{ACK}}$信号が出力された場合



(b) $\overline{\text{SCK}}$ の9クロック目以降に$\overline{\text{ACK}}$信号が出力された場合



(c) BUSY中に転送スタート指示した場合のクリアのタイミング

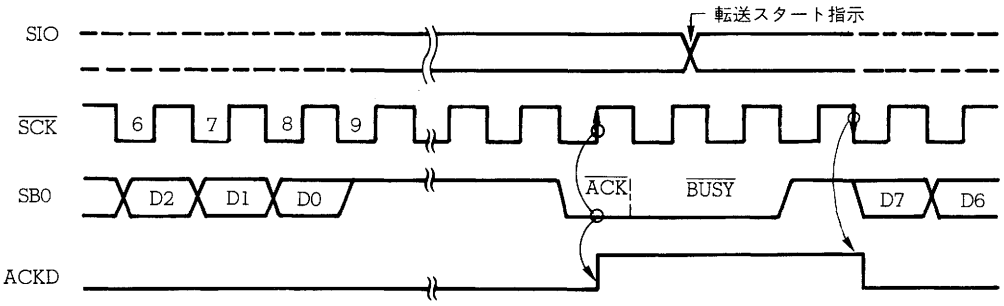


図10－26　BSYEの動作

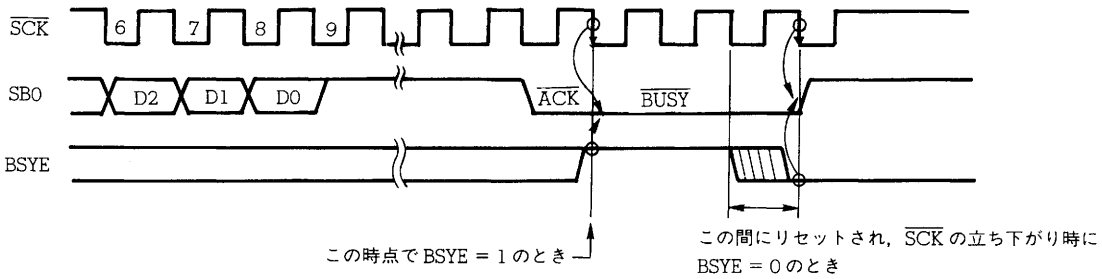


表 10-2　SBIにおける各種の信号（1／3）

信号名称	出力するデバイス	定　　義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
バス・リリース信号 (REL)	マスタ	$\overline{SCK}$=1のときの，SB0の立ち上がりエッジ	$\overline{SCK}$ "H" SB0	・RELTのセット	・RELDをセット ・CMDDをクリア	続いてCMD信号を出力し，送信データがアドレスであることを示す。
コマンド信号 (CMD)	マスタ	$\overline{SCK}$=1のときの，SB0の立ち下がりエッジ	$\overline{SCK}$ "H" SB0	・CMDTのセット	・CMDDをセット	(1) REL信号出力後送信データはアドレス。 (2) REL信号出力なしの場合，送信データはコマンド。

表 10－2　SBIにおける各種の信号（2／3）

信号名称	出力するデバイス	定　　義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
アクノリッジ信号（$\overline{\text{ACK}}$）	マスタ／スレーブ	シリアル受信完了後，$\overline{\text{SCK}}$の1クロックの期間のSBOに出力されるロウ・レベルの信号。		① ACKE＝1 ② ACKTのセット	・ACKDをセット	受信完了
ビジィ信号（$\overline{\text{BUSY}}$）	スレーブ	アクノリッジ信号に続いてSBOに出力されるロウ・レベルの信号。		・BSYE＝1	—	処理中のため，シリアル送受信不可能状態。
レディ信号（READY）	スレーブ	シリアル転送開始前，完了後，SBOに出力されるハイ・レベルの信号。		① BSYE＝0 ② CTXE＝1のときの，SIOへのデータ書き込み（シリアル転送スタート指示）注2 ③ CTXE＝0，CRXE＝1のときのSIOからのデータ読み出し命令実行 ④ CRXEビットの0から1への変化	—	シリアル送受信可能状態。

表10－2　SBIにおける各種の信号（3／3）

信号名称	出力するデバイス	定　　義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
シリアル・クロック（$\overline{SCK}$）	マスタ	アドレス／コマンド／データ，$\overline{ACK}$信号，同期$\overline{BUSY}$信号などの出力のための同期クロック。最初の8個でアドレス／コマンド／データを転送する。	$\overline{SCK}$ 1 2 7 8 9 10 SB0	① CTXE＝1のときのSIOへのデータ書き込み命令実行（シリアル転送スタート指示）注2 ② CTXE＝0，CRXE＝1のときのSIOからのデータ読み出し命令実行 ③ CRXEビットの0から1への変化	CSIIFをセット（8クロック目の立ち上がり）注1	シリアル・データ・バスへの信号出力のタイミング
アドレス（A7-A0）	マスタ	REL信号，CMD信号出力後に，$\overline{SCK}$に同期して転送される8ビット・データ	$\overline{SCK}$ 1 2 7 8 SB0 REL CMD			シリアル・バス上のスレーブ・デバイスのアドレス値
コマンド（C7-C0）	マスタ	REL信号は出力されず，CMD信号のみ出力されたのち，$\overline{SCK}$に同期して転送される8ビット・データ。	$\overline{SCK}$ 1 2 7 8 SB0 CMD			スレーブ・デバイスへの指示やメッセージなど
データ（D7-D0）	マスタ／スレーブ	REL信号，CMD信号ともに出力されず，$\overline{SCK}$に同期して転送される8ビット・データ。	$\overline{SCK}$ 1 2 7 8 SB0			スレーブまたはマスタが処理するデータ

注1． WUP＝0のとき，常に$\overline{SCK}$の８クロック目の立ち上がりでCSIIFをセットする。

WUP＝1のとき，アドレスを受信したときのみ，$\overline{SCK}$の８クロック目の立ち上がりでCSIIFをセットする。

2． データ送受信の場合，$\overline{BUSY}$状態のときは，READY状態になったのち，転送スタートする。

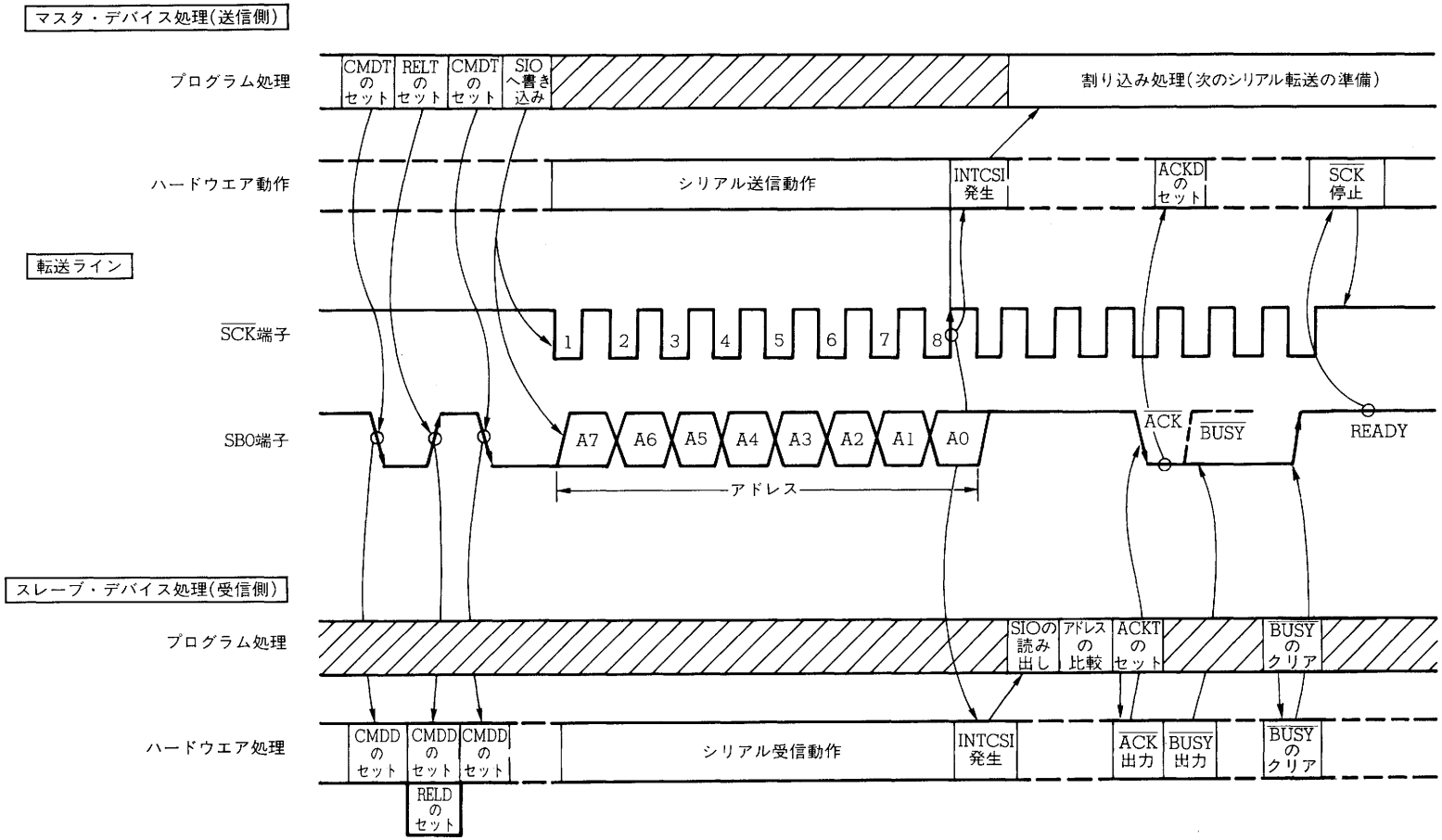
10.6.8　通信動作

SBIでは，マスタがシリアル・バス上に「アドレス」を出力することで複数のデバイスのうち，通信対象となるスレーブ・デバイスを通常1つ選択します。

通信対象デバイスを決定したのちに，マスタ・デバイスとスレーブ・デバイスとの間で，コマンド，データの送受信を行い，シリアル通信を実現します。

各データの通信のタイミング・チャートを図10－27から図10－30に示します。

図 10－27　マスタ・デバイスからスレーブ・デバイスへのアドレス送信動作

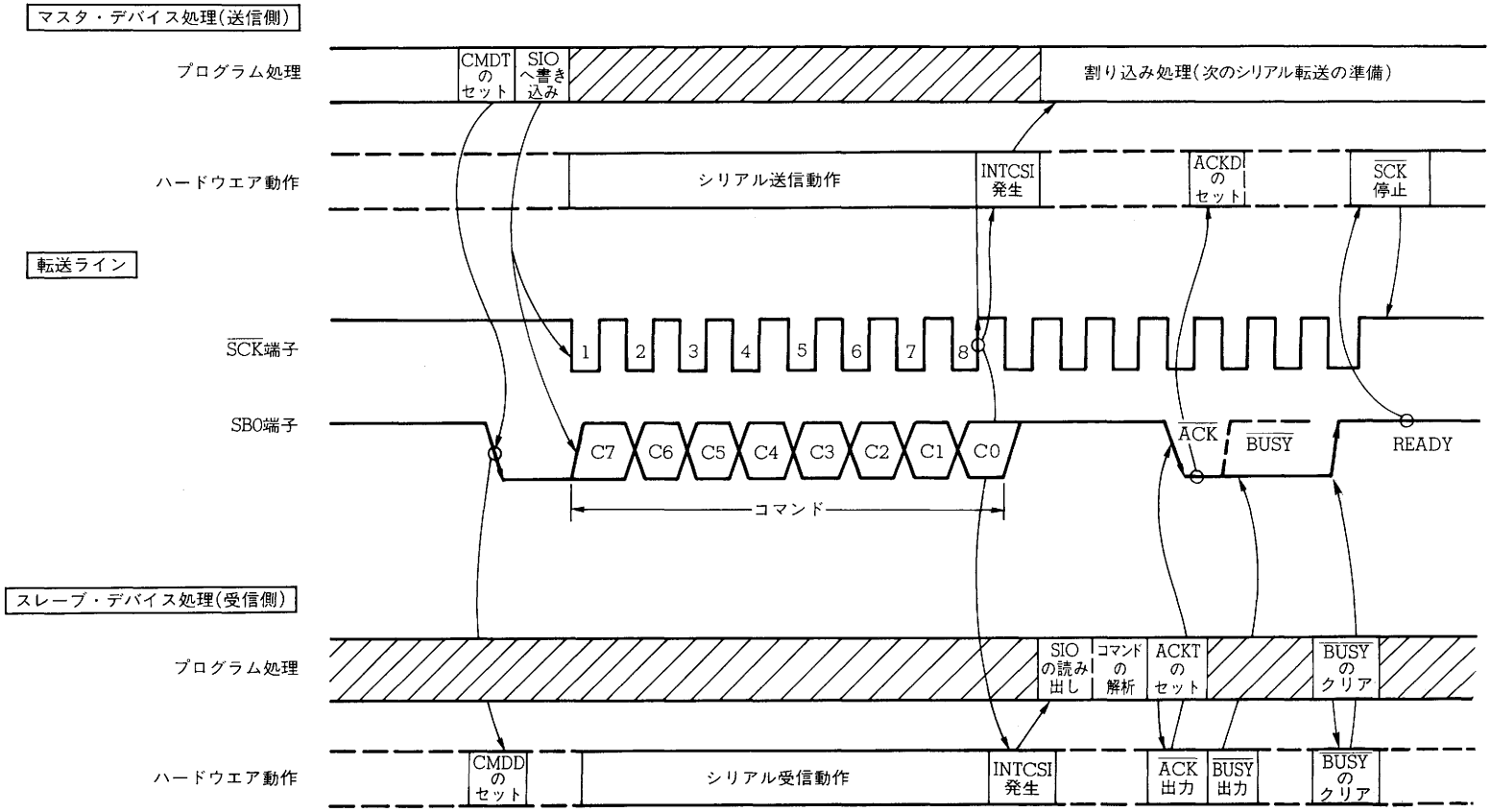


備考　本タイミングは下記の条件の場合

・マスタは送信のみ許可

・スレーブは受信のみ許可，ACKE＝0，BSYE＝1

図 10-28 マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作

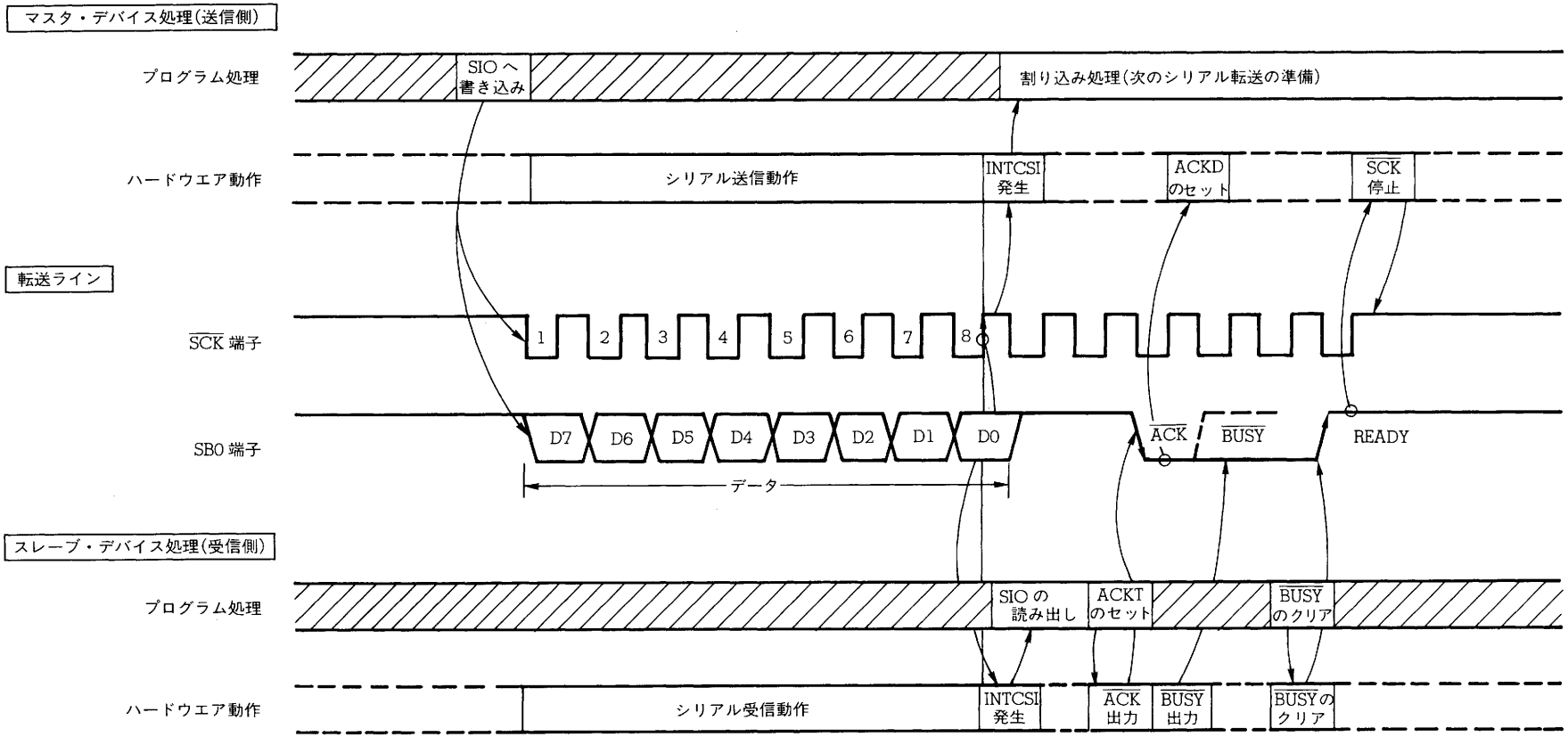


備考 本タイミングは下記の条件の場合

・マスタは送信のみ許可

・スレーブは受信のみ許可，ACKE=0，BSYE=1

図 10-29　マスタ・デバイスからスレーブ・デバイスへのデータ送信動作

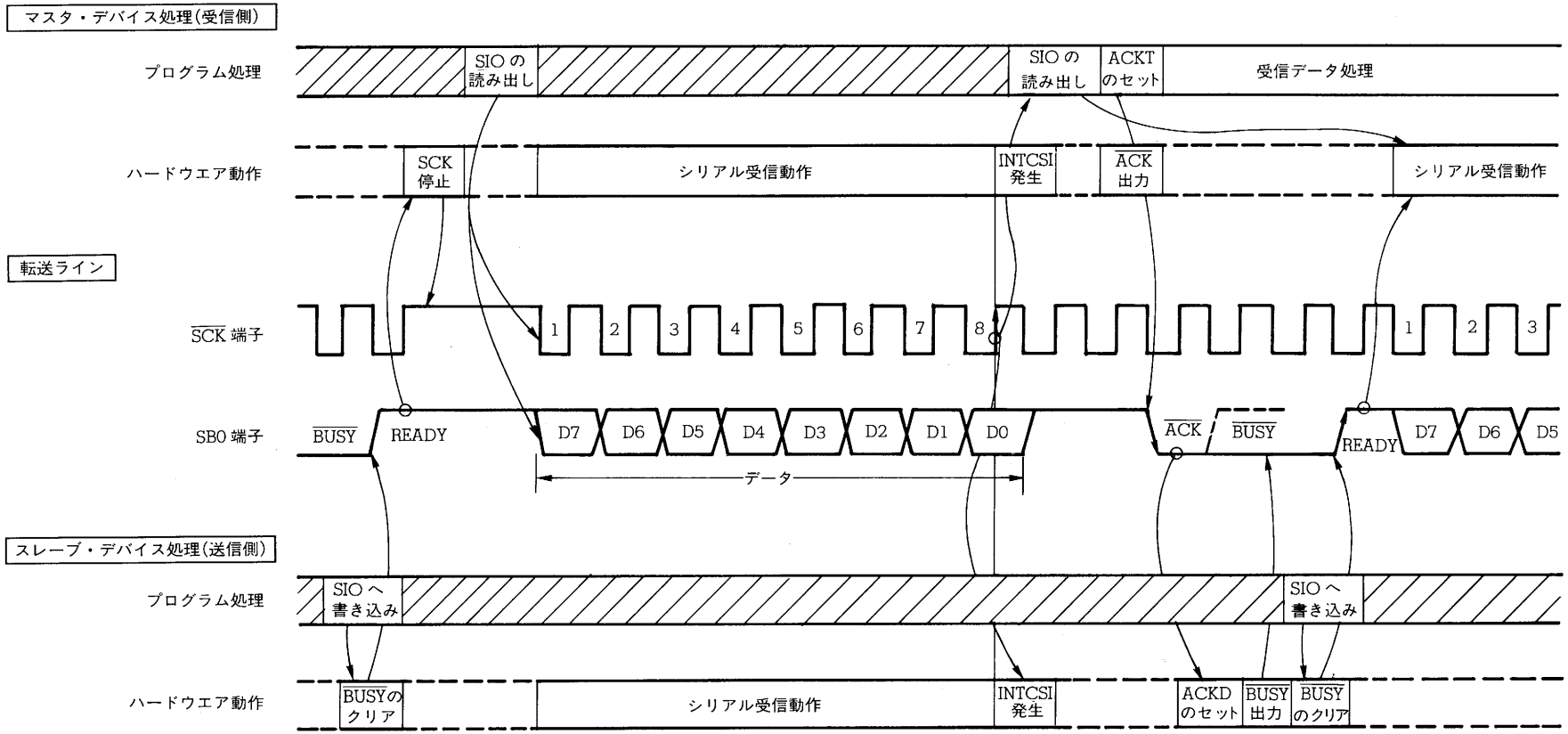


備考　本タイミングは下記の条件の場合

・マスタは送信のみ許可

・スレーブは受信のみ許可，ACKE＝0，BSYE＝1

図 10-30　スレーブ・デバイスからマスタ・デバイスへのデータ送信動作



備考　本タイミングは下記の条件の場合

・マスタは受信のみ許可，ACKE=0

・スレーブは送信のみ許可，BSYE=1

10.6.9　ビジィ解除方法

SBIのマクロ・サービスを併用した高速転送などを考慮して，送受信許可の状態によって，ビジィの解除条件が変わります。表10－3に$\overline{\text{BUSY}}$解除方法の一覧を示します。

表10－3　$\overline{\text{BUSY}}$解除条件

送受信許可の状態		$\overline{\text{BUSY}}$解除条件
CTxE	CRxE	
0	0	な　し
0	1	BSYE←0またはSIOリード・アクセス
1	0	BSYE←0またはSIOライト・アクセス注
1	1	

注　次の動作が受信の場合には，SIOに書き込む値はFFHを使用します。

10.6.10　ウエイク・アップ設定動作

ビジィ中のWUP←1は，READY状態となり次第，ウエイク・アップ状態に設定されます。

ウエイク・アップ状態になると，アドレスを受信した場合のみ割り込み（INTCSI）を発生します。

また，ウエイク・アップ状態では，アクノリッジ（$\overline{\text{ACK}}$）信号の検出を行いません。

10.6.11　送受信動作のスタート

送受信動作のスタートは，ビジィ解除方法と同じ方法で行います。送受信動作のスタートの指示があっても，スレーブがビジィ（$\overline{\text{BUSY}}$）信号を出力している間は，送受信動作は保留され，ビジィが解除されるとスタートします。

10.7　注意事項

(1) CTXE＝0，CRXE＝1の状態からCTXE＝1，CRXE＝0へ変更する場合，およびCTXE＝1，CRXE＝0の状態からCTXE＝0，CRXE＝1へ変更する場合は，1命令で行わないようにしてください。シリアル・クロック・カウンタが誤動作し，変更後の1回目の通信が8ビット未満で終了してしまいます。次のように2命令に分けて変更してください。

例　CTXE＝1，CRXE＝0をCTXE＝0，CRXE＝1に変更する場合

```
CLR1  CTXE
SET1  CRXE
```

(2) マスタ／スレーブの交換処理を行う場合は，シリアル・クロック・ライン（$\overline{\text{SCK}}$）の入力／出力の切り替えがマスタ，スレーブ間で非同期に行われるため，シリアル・クロック・ライン（$\overline{\text{SCK}}$）にもプルアップ抵抗が必要となります。

(3) ACKTは，転送終了前にはセットしないでください。

第 11 章　エッジ検出機能

P20－P26は，立ち上がりエッジ／立ち下がりエッジをプログラマブルに指定できるエッジ検出機能を有しており，検出したエッジを内部の各ハードウエアへ送っています。P20－P26端子と検出されたエッジの用途の関係を表11－1に示します。

表 11－1　P20－P26端子と検出エッジの用途

端子	用　　途	検出エッジ指定レジスタ
P20	NMI，スタンバイ回路の制御	INTM0
P21	INTP0，8ビット・タイマ／カウンタ1のキャプチャ信号 リアルタイム出力ポートのトリガ信号	
P22	INTP1，8ビット・タイマ／カウンタ2のキャプチャ信号	
P23	INTP2，CI（8ビット・タイマ／カウンタ2のカウント・クロック）	
P24	INTP3，16ビット・タイマ／カウンタのキャプチャ信号	INTM1
P25	INTP4，ASCK(UARTの外部ボー・レート入力)	
P26	INTP5，A／Dコンバータの変換スタート信号	

エッジ検出機能は，STOPモード時を除いて常時動作しています（ただし，P20端子のエッジ検出機能はSTOPモード時も動作しています）。

11

11.1　外部割り込みモード・レジスタ（INTM0，INTM1）

外部割り込みモード・レジスタ（INTM0，INTM1）は，P20－P26端子で検出するエッジの有効エッジを指定するレジスタです。INTM0レジスタでP20－P23端子の有効エッジを指定し，INTM1レジスタでP24－P26端子での有効エッジを指定します。

なお，INTM1レジスタは，INTP4割り込みとINTC30割り込みの切り替えの制御も行っています(詳細は，**第12章　割り込み機能**参照)。また，ASCK入力は本レジスタの指定によらず常に両エッジの検出が行われます。

INTM0，INTM1レジスタは，8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図11－1，図11－2に示します。

$\overline{\text{RESET}}$入力で00Hになります。

図11－1　外部割り込みモード・レジスタ0（INTM0）のフォーマット

	7	6	5	4	3	2	1	0
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	ESNM1

ESNM1	P20(NM1)端子入力，検出エッジ指定
0	立ち下がりエッジ
1	立ち上がりエッジ

ES01	ES00	P21(INTP0，CR11キャプチャ・トリガ，リアルタイム出力ポート出力トリガ)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

ES11	ES10	P22(INTP1，CR22キャプチャ・トリガ)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

ES21	ES20	P23(INTP2，CI入力)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

図 11-2　外部割り込みモード・レジスタ1（INTM1）のフォーマット

	7	6	5	4	3	2	1	0
INTM1	0	0	ES51	ES50	ES41	ES40	ES31	ES30

ES31	ES30	P24(INTP3，CR02キャプチャ・トリガ)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

ES41	ES40	P25(INTP4)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	INTC30を選択
1	1	立ち下がり，立ち上がり両エッジ

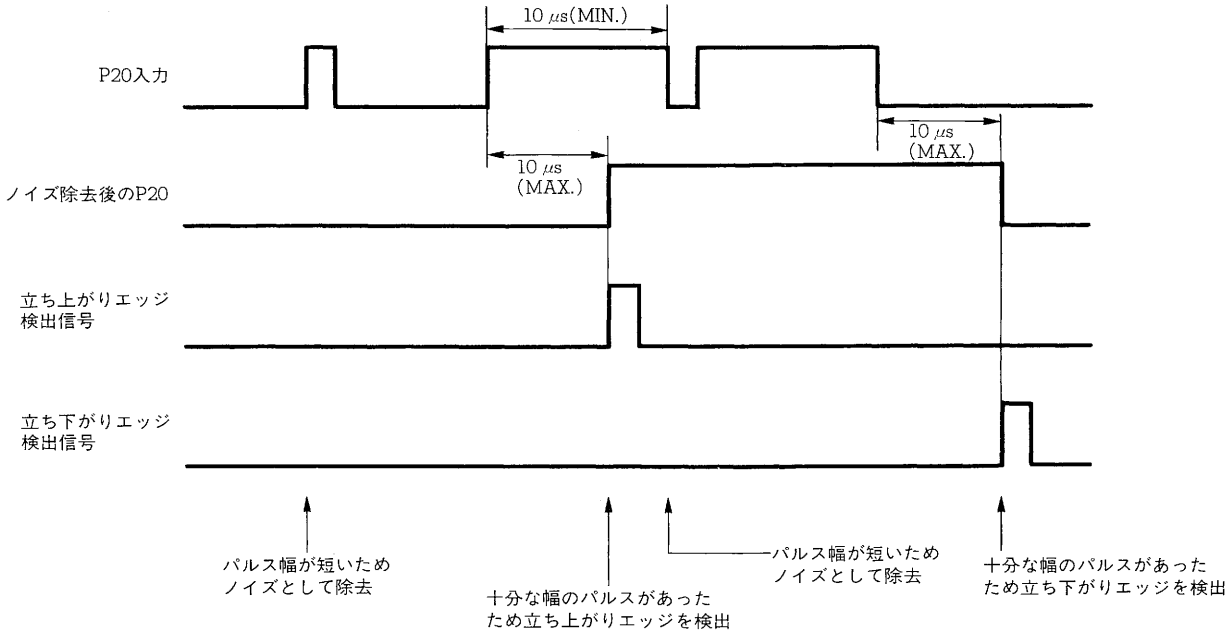
ES51	ES50	P26(INTP5，A/D変換スタート信号)端子入力，検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち下がり，立ち上がり両エッジ

注意　有効エッジの変更中に，エッジが入力された場合は，そのエッジが有効エッジと判断されるか，有効でないエッジと判断されるかは不定です。

11.2　P20端子のエッジ検出

P20端子は，アナログ・ディレイによるノイズ除去後にエッジ検出を行っています。したがって，一定以上の時間幅（10 μs）のパルス幅がないとエッジを検出することができません。

図 11－3　P20端子のエッジ検出



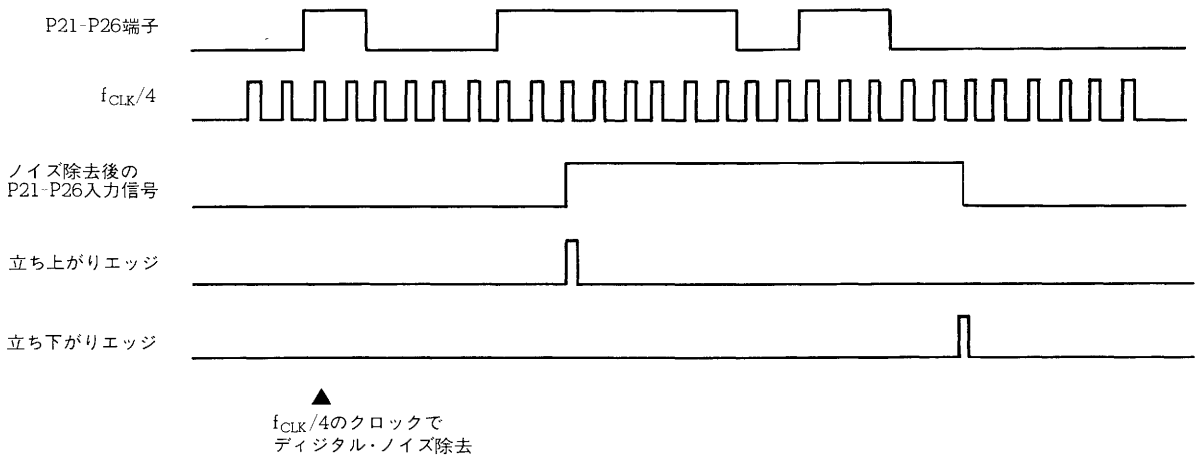
注意　P20端子にはアナログ・ディレイによるノイズ除去を行っているため，実際にエッジが入力されてから最大10 μs後にエッジが検出されます。また，P21－P26端子と異なり，デバイスごとの特性の違いにより，エッジが検出されるまでの遅延時間は一定の値とはなりません。

11.3　P21－P26端子のエッジ検出

P21－P26端子のエッジ検出は，クロック・サンプリングによるディジタル・ノイズ除去後に行われます。

ディジタル・ノイズ除去は，f_{CLK}／4のクロックでサンプリングを行い，入力されているレベルが連続して3回以上同一でなければ（2回以下しか連続しなければ）ノイズとして除去されます。したがって，有効エッジと認められるためには，f_{CLK}／4のクロックで3周期以上の期間（2 μs：f_{CLK}＝6 MHz，$f_{CLK}=\frac{1}{2}f_{XX}$，$f_{XX}$＝12 MHz）レベルを保持しなければなりません。

図 11－4　P21－P26端子のエッジ検出



注意 1．f_{CLK}／4のクロックでディジタル・ノイズ除去を行っているため，端子にエッジが入力されてから，実際にエッジが検出されるまでf_{CLK}のクロックで8－12クロックかかります。

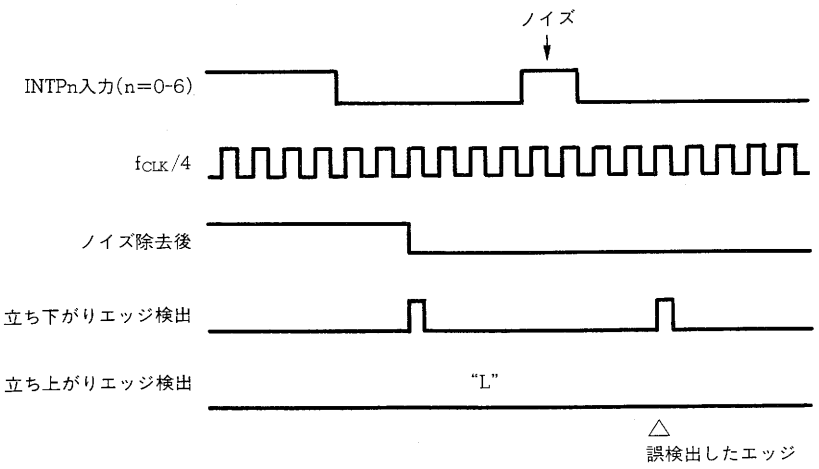
2．入力パルスの幅がf_{CLK}のクロックで8－12クロックの場合は，有効エッジが検出されるか，検出されないかは不定です。確実に動作させるためには，12クロック以上の期間レベルを固定するようにしてください。

3．端子に入力されたノイズがμPD78218A内のf_{CLK}／4のクロックと同期している場合には，ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は，入力端子にフィルタを付加してノイズを除去するようにしてください。

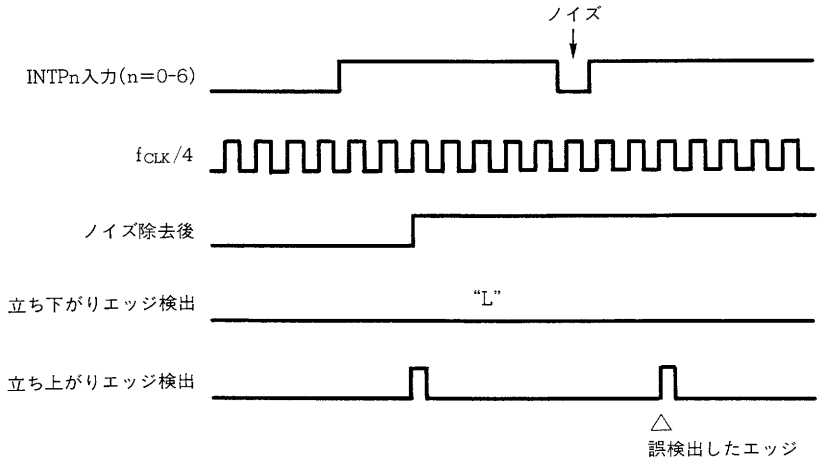
4．インサーキット・エミュレータでは，ディジタル・ノイズ除去を正常に行うことができません。ロウ・レベル入力中のノイズにより立ち下がりエッジを，ハイ・レベル入力中のノイズにより立ち上がりエッジを誤検出してしまう場合があります（図11－5参照）。
また，ポート2を読み出すと，ノイズが除去されずに読めてしまいます。

図 11－5　エッジの誤検出

(a) ロウ・レベル入力中のエッジ誤検出



(b) ハイ・レベル入力中のエッジ誤検出



リアルタイム出力ポート，A／Dコンバータ，タイマ／カウンタへの影響は次のとおりです。

●リアルタイム出力ポート：誤検出したエッジに従って動作してしまいます。

●A／Dコンバータ　　：誤検出したエッジに従って動作してしまいます。

●タイマ／カウンタのキャプチャ動作，クリア動作

：誤検出したエッジの影響を受けません。したがって，誤検出したエッジによる割り込みが発生しても，キャプチャ値は更新されていません。特にCR22は，CPUが読み出したあとの値が不定となるため注意が必要です。

●タイマ／カウンタのコンペア動作

：キャプチャ後にクリアを行うモードに設定されている場合とタイマ／カウンタ2を外部イベント・カウンタとして使用している場合には，誤検出したエッジの影響により，一致割り込み発生のタイミングが変化してしまいます。その結果，タイマ／カウンタとコンペア・レジスタの値が一致するタイミングとは異なるタイミングで，一致割り込みが発生し続けます。

・キャプチャ後にクリアを行うモードに設定されている場合には，正常なエッジ入力，またはタイマ／カウンタの停止により，一致割り込みの発生が正常なタイミングに戻ります。

・タイマ／カウンタ2を外部イベント・カウンタとして使用している場合には，タイマ／カウンタの停止により，一致割り込みの発生が正常なタイミングに戻ります。

：タイマ出力は，誤検出したエッジの影響は受けません。正常なタイミングで動作を行います。

11.4　注意事項

(1) 有効エッジの変更中にエッジが入力された場合は，そのエッジが有効エッジと判断されるか，有効でないと判断されるかは不定です。

(2) P20端子はアナログ・ディレイによるノイズ除去を行っているため，実際にエッジが入力されてから最大10 μs後にエッジが検出されます。また，P21－P26端子と異なり，デバイスごとの特性の違いにより，エッジが検出されるまでの遅延時間は一定の値とはなりません。

(3) f_{CLK}／4のクロックでディジタル・ノイズ除去を行っているため，端子にエッジが入力されてから，実際にエッジが検出されるまでf_{CLK}のクロックで8-12クロックかかります。

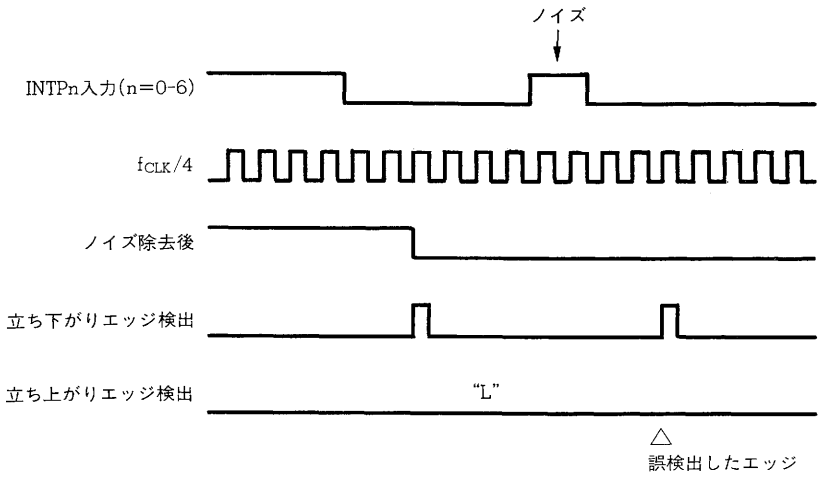
(4) 入力パルスの幅がf_{CLK}のクロックで8-12クロックの場合は，有効エッジが検出されるか，されないかは不定です。確実に動作させるためには，12クロック以上の期間レベルを固定するようにしてください。

(5) 端子に入力されたノイズがμPD78218A内のf_{CLK}／4のクロックと同期している場合には，ノイズとして認められない場合があります。このようなノイズが入力される可能性が考えられる場合は，入力端子フィルタを付加してノイズを除去するようにしてください。

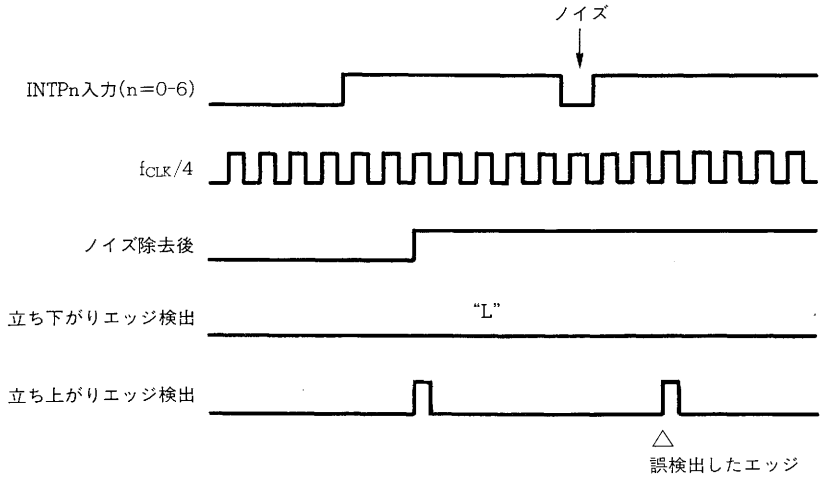
(6) インサーキット・エミュレータでは，ディジタル・ノイズ除去を正常に行うことができません。ロウ・レベル入力中のノイズにより立ち下がりエッジを，ハイ・レベル入力中のノイズにより立ち上がりエッジを誤検出してしまう場合があります（**図 11－6**参照）。
また，ポート2を読み出すと，ノイズが除去されずに読めてしまいます。

図 11－6　エッジの誤検出

(a) ロウ・レベル入力中のエッジ誤検出



(b) ハイ・レベル入力中のエッジ誤検出



リアルタイム出力ポート，A／Dコンバータ，タイマ／カウンタへの影響は次のとおりです。

- リアルタイム出力ポート：誤検出したエッジに従って動作してしまいます。
- A／Dコンバータ　　：誤検出したエッジに従って動作してしまいます。
- タイマ／カウンタのキャプチャ動作，クリア動作

  ：誤検出したエッジの影響を受けません。したがって，誤検出したエッジによる割り込みが発生しても，キャプチャ値は更新されていません。特にCR22は，CPUが読み出したあとの値が不定となるため注意が必要です。
- タイマ／カウンタのコンペア動作

  ：キャプチャ後にクリアを行うモードに設定されている場合とタイマ／カウンタ2を外部イベント・カウンタとして使用している場合には，誤検出したエッジの影響により，一致割り込み発生のタイミングが変化してしまいます。その結果，タイマ／カウンタとコンペア・レジスタの値が一致するタイミングとは異なるタイミングで，一致割り込みが発生し続けます。

  - キャプチャ後にクリアを行うモードに設定されている場合には，正常なエッジ入力，またはタイマ／カウンタの停止により，一致割り込みの発生が正常なタイミングに戻ります。
  - タイマ／カウンタ2を外部イベント・カウンタとして使用している場合には，タイマ／カウンタの停止により，一致割り込みの発生が正常なタイミングに戻ります。

  ：タイマ出力は，誤検出したエッジの影響は受けません。正常なタイミングで動作を行います。

第 12 章　割り込み機能

μPD78218Aは，割り込み要求の処理として次の2つのモードを備えています。この2つの処理モードは，プログラムで任意に設定できます。ただし，マクロ・サービスによる割り込み処理の選択は表 12－1 で示すマクロ・サービス処理モードを備えている割り込み要求ソースに対してのみ選択できます。

表 12－1　割り込み要求の処理形態

割り込み要求処理モード	処理の主体	PC, PSWの内容	処　理　形　態
ベクタ割り込み	ソフトウエア	退避／復帰動作を伴う。	任意のサービス・プログラムに分岐し実行。
マクロ・サービス	ハードウエア（ファームウエア）	保持	メモリとI／Oとのデータ転送などあらかじめ設定した処理を実行。

また，マスク可能なベクタ割り込みについては，2レベルの優先順位を持った多重処理制御を容易に行うことが可能です。

12.1　割り込み要求ソース

μPD78218Aには，表12-2に示すように19種類の割り込み要求ソースがあり，それぞれ割り込みベクタ・テーブルが割り付けられています。

表12-2　割り込み要求ソースの種類

割り込み要求タイプ	ディフォールト優先順位	割り込み要求発生ソース	発生ユニット	マクロ・サービス・タイプ	ベクタ・テーブル・アドレス
ソフトウエア	なし	BRK命令の実行		なし	003EH
ノンマスカブル	なし	NMI(端子入力エッジ検出)	エッジ検出	なし	0002H
マスカブル	0	INTP0(端子入力エッジ検出)		A，B	0006H
	1	INTP1(端子入力エッジ検出)		A，B	0008H
	2	INTP2(端子入力エッジ検出)		A，B	000AH
	3	INTP3(端子入力エッジ検出)		B	000CH
	4	INTC00(TM0-CR00一致信号発生)	16ビット・タイマ/カウンタ	B	0014H
	5	INTC01(TM0-CR01一致信号発生)		B	0016H
	6	INTC10(TM1-CR10一致信号発生)	8ビット・タイマ/カウンタ1	A，B，C	0018H
	7	INTC11(TM1-CR11一致信号発生)		A，B，C	001AH
	8	INTC21(TM2-CR21一致信号発生)	8ビット・タイマ/カウンタ2	A，B	001CH
	9	INTP4(端子入力エッジ検出)	エッジ検出	B	000EH
		INTC30(TM3-CR30一致信号発生)	8ビット・タイマ/カウンタ3	A，B	
	10	INTP5(端子入力エッジ検出)	エッジ検出	B	0010H
		INTAD(A/D変換終了)	A/Dコンバータ	A，B	
	11	INTC20(TM2-CR20一致信号発生)	8ビット・タイマ/カウンタ2	A，B	0012H
	12	INTSER(アシンクロナス・シリアル・インタフェース受信エラー発生)	アシンクロナス・シリアル・インタフェース	なし	0020H
	13	INTSR(アシンクロナス・シリアル・インタフェース受信終了)		A，B	0022H
	14	INTST(アシンクロナス・シリアル・インタフェース送信終了)		A，B	0024H
	15	INTCSI(クロック同期式シリアル・インタフェース転送終了)	クロック同期式シリアル・インタフェース	A，B	0026H

備考　ディフォールト優先順位は固定されている数値です。同一優先順位を持つ複数の割り込み要求が同時に発生している場合に優先される順位を示します。

12.1.1　ソフトウエア割り込み要求

ソフトウエアによる割り込み要求は，ベクタ割り込みを発生するBRK命令です。

BRK命令の実行による割り込み要求は，割り込み禁止状態でも受け付けられます。割り込み優先順位制御の対象になりません。

BRK命令が実行されると無条件にベクタ・テーブルの内容がPCにセットされて分岐します。

BRK命令のサービス・ルーチン中でBRK命令を実行することにより，自分自身のルーチンにネスティングすることもできます。

BRK命令のサービス・ルーチンから復帰する際はRETB命令を実行します。

12.1.2　ノンマスカブル割り込み要求

ノンマスカブル割り込み要求はNMI端子入力によって行います。NMI端子入力に外部割り込みモード・レジスタ0（INTM0）のビット0（ESNMI）で指定した有効エッジが入力されたとき，割り込み要求が発生します。

ノンマスカブル割り込み要求は，割り込み禁止状態であっても無条件に受け付けられます。また，割り込み優先順位制御の対象にならず，すべての割り込みに対して最優先の割り込み要求です。

12.1.3　マスカブル割り込み要求

マスカブル割り込み要求は，割り込みマスク・レジスタ（MK0）の設定によってマスク制御を受ける割り込み要求です。また，PSWのIEフラグによって，マスカブル割り込み全体に対して受け付けの許可/禁止の指定ができます。

マスカブル割り込み要求は，表12-2のように同一優先順位を持つ複数の割り込み要求が同時に発生している場合の優先順位が決められています（ディフォールト優先順位）。また，優先順位指定フラグ・レジスタ（PR0）の設定によって割り込み優先順位を高い優先順位グループと低い優先順位グループの2グループに分け，多重処理の制御を行うことができます。ただしマクロ・サービスは，優先順位制御やIEフラグとは無関係に受け付けられます。

12.1.4　割り込み要求ソースの選択

INTP4とINTC30およびINTP5とINTADは，ベクタ・テーブル，割り込み要求フラグなどの制御フラグなどを共有しているため，同時に使用することができません。したがって，INTP4またはINTC30およびINTP5またはINTADのどちらを使用するかをプログラム上で選択する必要があります。ここで選択した割り込み要求ソース用にベクタ・テーブル，割り込み要求フラグ（PIFn：n=4，5），割り込みマスク・フラグ（PMKn：n=4，5），割り込みサービス・モード・フラグ（PISMn：n=4，5），優先順位指定フラグ（PPRn：n=4，5）が使用され，その割り込み要求ソースにより，割り込みやマクロ・サービスが発生するようになります。また，選択されなかった割り込み要求ソースでは，これらのフラグ類を使用することができなくなり，割り込みやマクロ・サービスを発生することができなくなります。

他の割り込み要求ソースは，要求ソースごとにベクタ・テーブルや制御フラグを有しているため選択する必要はありません。

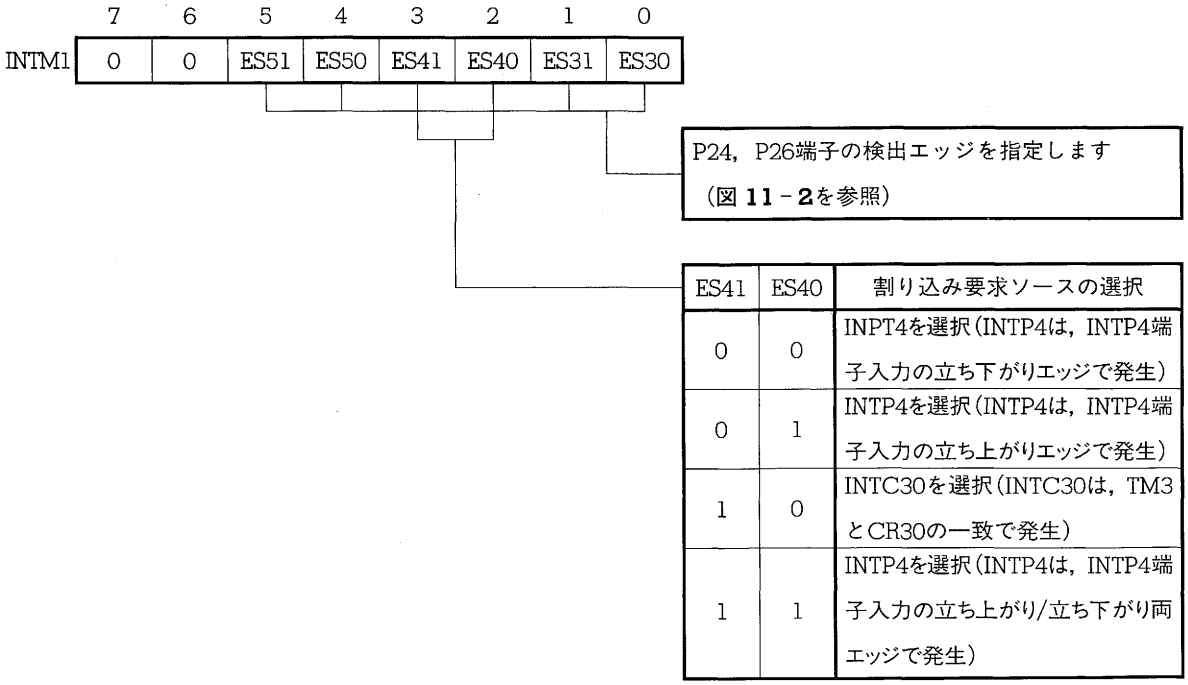
(1) INTP4とINTC30の選択

INTP4とINTC30の選択は，外部割り込みモード・レジスタ1（INTM1）のES40，ES41ビットで指定します。

INTM1レジスタは，8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図12－1に示します。

$\overline{\text{RESET}}$入力で00Hになり，INTP4がINTP4端子の立ち下がりエッジで発生するようになります。

図12－1　INTM1レジスタのフォーマット



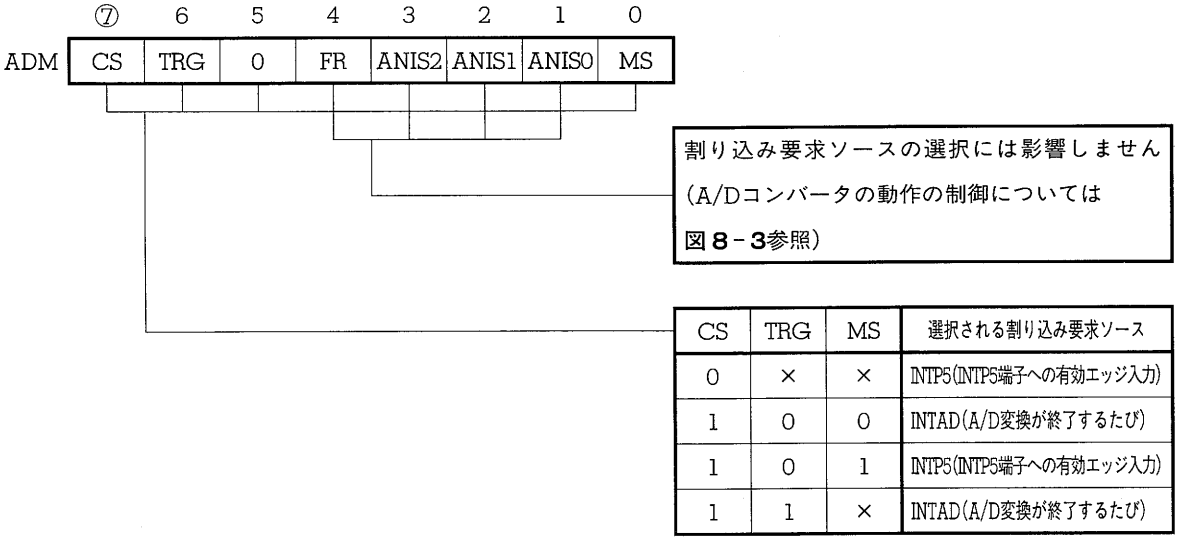
(2) INTP5とINTADの選択

INTP5とINTADの選択は，A／Dコンバータ・モード・レジスタ（ADM）によって指定します（A／Dコンバータへ指定した動作モードによって，自動的に決定されます）。

ADMレジスタは，8ビット操作命令とビット命令で読み出し／書き込みが可能です。そのフォーマットを図12－2に示します。A／Dコンバータの動作の制御については，**第8章　A／Dコンバータ**を参照してください。

$\overline{\text{RESET}}$入力により00Hとなります。

図 12－2　ADMレジスタのフォーマット



CS	TRG	MS	選択される割り込み要求ソース
0	×	×	INTP5(INTP5端子への有効エッジ入力)
1	0	0	INTAD(A/D変換が終了するたび)
1	0	1	INTP5(INTP5端子への有効エッジ入力)
1	1	×	INTAD(A/D変換が終了するたび)

12.2　割り込み処理制御レジスタ

割り込み処理を制御するレジスタには，次の6つがあります。

- 割り込み要求フラグ・レジスタ（IF0）
- 割り込みマスク・レジスタ（MK0）
- 割り込みサービス・モード・レジスタ（ISM0）
- 優先順位指定フラグ・レジスタ（PR0）
- 割り込みステータス・レジスタ(IST)
- プログラム・ステータス・ワード(PSW)

IF0，MK0，ISM0，PR0は，読み出し／書き込み可能な16ビット・レジスタです。16ビット単位で操作できるほか，8ビット単位で操作できます。また，ビット操作命令で1ビット単位でセット／リセットを行うことができます。ISTレジスタおよびPSWは読み出し／書き込み可能な8ビット・レジスタで，8ビット単位とビット単位で操作ができます。さらに，PSWのIEフラグは専用命令で操作可能です。それぞれのフォーマットを図12-3-12-8に示します。

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，割り込みサービス・モード・フラグ，優先順位指定フラグ名称を，表12-3に示します。

表12-3　割り込み要求ソースに対する各種フラグ

割り込み要求ソース	割り込み要求フラグ	割り込みマスク・フラグ	割り込みサービス・モード・フラグ	優先順位指定フラグ
INTP0	PIF0	PMK0	PISM0	PPR0
INTP1	PIF1	PMK1	PISM1	PPR1
INTP2	PIF2	PMK2	PISM2	PPR2
INTP3	PIF3	PMK3	PISM3	PPR3
INTC00	CIF00	CMK00	CISM00	CPR00
INTC01	CIF01	CMK01	CISM01	CPR01
INTC10	CIF10	CMK10	CISM10	CPR10
INTC11	CIF11	CMK11	CISM11	CPR11
INTC21	CIF21	CMK21	CISM21	CPR21
INTP4 INTC30	PIF4	PMK4	PISM4	PPR4
INTP5 INTAD	PIF5	PMK5	PISM5	PPR5
INTC20	CIF20	CMK20	CISM20	CPR20
INTSER	SERIF	SERMK	—	SERPR
INTSR	SRIF	SRMK	SRISM	SRPR
INTST	STIF	STMK	STISM	STPR
INTCSI	CSIIF	CSIMK	CSIISM	CSIPR

12.2.1　割り込み要求フラグ・レジスタ（IF0）

IF0レジスタは，割り込み要求フラグで構成される16ビット・レジスタです。

各割り込み要求フラグは，対応する割り込み要求の発生でセット(1)され，ベクタ割り込み処理の受け付け，またはマクロ・サービス処理実行によりクリア(0)されます。

$\overline{\text{RESET}}$入力により0000Hになります。

図 12－3　割り込み要求フラグ・レジスタ（IF0）のフォーマット

	⑦	⑥	⑤	④	③	②	①	⓪
IF0L	CIF11	CIF10	CIF01	CIF00	PIF3	PIF2	PIF1	PIF0
IF0H	CSIIF	STIF	SRIF	SERIF	CIF20	PIF5	PIF4	CIF21

割り込み要求フラグ

0	割り込み要求が発生していない
1	割り込み要求発生

12.2.2　割り込みマスク・レジスタ（MK0）

MK0レジスタは，割り込みマスク・フラグで構成される16ビット・レジスタです。各割り込みマスク・フラグは，対応する割り込み要求の許可／禁止を制御します。

$\overline{\text{RESET}}$入力によりFFFFHになり，すべてのマスカブル割り込みは禁止されます。

割り込みマスク・フラグがセット(1)されていると，該当する割り込み要求の受け付けは禁止されます。

割り込みマスク・フラグがリセット(0)されていると，該当する割り込み要求は，ベクタ割り込みまたはマクロ・サービスとして受け付けが可能な状態になります。

図 12－4　割り込みマスク・レジスタ（MK0）のフォーマット

	⑦	⑥	⑤	④	③	②	①	⓪
MK0L	CMK11	CMK10	CMK01	CMK00	PMK3	PMK2	PMK1	PMK0
MK0H	CSIMK	STMK	SRMK	SERMK	CMK20	PMK5	PMK4	CMK21

割り込みマスク・フラグ

0	割り込み処理許可
1	割り込み処理保留

12.2.3　割り込みサービス・モード・レジスタ（ISMO）

ISMOは，割り込みサービス・モード・フラグで構成される16ビット・レジスタです。

各割り込みサービス・モード・フラグが“0”のとき，対応する割り込み要求はベクタ割り込みで処理され，“1”のときマクロ・サービスで処理されます。マクロ・サービス要求を所定の回数だけ処理すると，クリア(0)されます。

$\overline{\text{RESET}}$入力により0000Hになり，ベクタ割り込みによる処理を指定します。

図 12－5　割り込みサービス・モード・レジスタ（ISMO）のフォーマット

	⑦	⑥	⑤	④	③	②	①	⓪
ISMOL	CISM11	CISM10	CISM01	CISM00	PISM3	PISM2	PISM1	PISM0
ISMOH	CSIISM	STISM	SRISM	0	CISM20	PISM5	PISM4	CISM21

割り込みサービス・モード・フラグ

0	ベクタ割り込みで処理
1	マクロ・サービスで処理

12.2.4　優先順位指定フラグ・レジスタ（PRO）

PROレジスタは，割り込み受け付けの優先順位指定フラグで構成される16ビット・レジスタです。割り込みの多重処理の制御に用います。

優先順位は，高い優先順位グループと低い優先順位グループの2グループに指定できます。各優先順位指定フラグが“0”のとき対応する割り込み要求は高い優先順位グループに指定され，“1”のとき低い優先順位グループに指定されます。

割り込みが受け付けられると，受け付けられた割り込みの優先順位指定フラグがPSWのISPに転送されます。

低い優先順位のベクタ割り込み処理中は，割り込み許可状態ならば低い優先順位および高い優先順位のベクタ割り込みの多重受け付けが可能となります。また高い優先順位のベクタ割り込み処理中は，割り込み許可状態ならば高い優先順位のベクタ割り込みのみ多重受け付けが可能となります。ただしマクロ・サービスは，優先順位指定には無関係に受け付けられます。

$\overline{\text{RESET}}$入力によりFFFFHになり，すべての割り込み要求は低い優先順位グループに指定されます。

図 12－6　優先順位指定フラグ・レジスタ（PRO）のフォーマット

	⑦	⑥	⑤	④	③	②	①	⓪
PROL	CPR11	CPR10	CPR01	CPR00	PPR3	PPR2	PPR1	PPR0
PROH	CSIPR	STPR	SRPR	SERPR	CPR20	PPR5	PPR4	CPR21

優先順位指定フラグ

0	高優先順位レベル
1	低優先順位レベル

12.2.5　割り込みステータス・レジスタ（IST）

ISTレジスタは，ノンマスカブル割り込み要求（NMI端子入力）による多重割り込みの処理を制御すると同時にノンマスカブル割り込み要求の受け付け状態を示す8ビット・レジスタです。

ノンマスカブル割り込み要求による割り込み処理中にノンマスカブル割り込み要求がさらに発生したとき，NMISビットがリセット(0)されていればこの割り込み要求を受け付けます。NMISビットがセット(1)されていると受け付けません。

また同時に，NMISビットは，ノンマスカブル割り込み要求を受け付けたときにセット(1)されます。ノンマスカブル割り込み要求による処理からの復帰(RETI命令実行)の際リセット(0)されます。

ISTレジスタは，8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。また，NMISフラグは，ノンマスカブル割り込みの受け付けでセット(1)され，RETI命令によりリセット(0)されます。そのフォーマットを図 12－7 に示します。

$\overline{\text{RESET}}$入力で00Hになります。

図 12－7　割り込みステータス・レジスタ（IST）のフォーマット

	7	6	5	4	3	2	1	0
IST	0	0	0	0	0	0	0	NMIS

NMIS	ノンマスカブル割り込み要求による多重割り込みの処理	ノンマスカブル割り込み要求の受け付け状態
0	許可	復帰時，または受け付けていないとき
1	禁止	受け付けたとき，または処理中

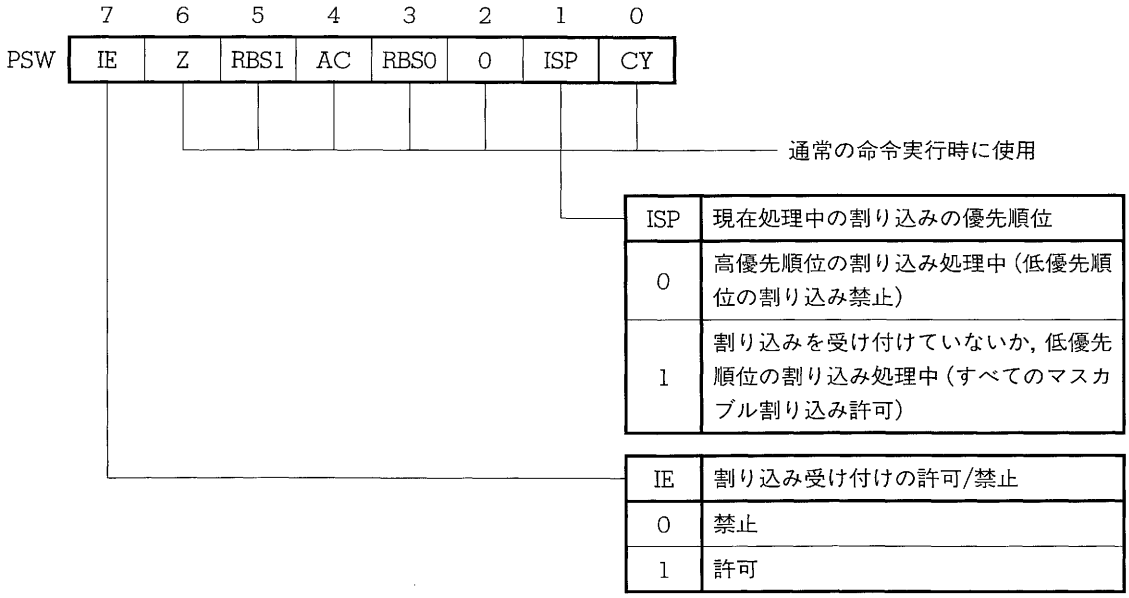
12.2.6　プログラム・ステータス・ワード（PSW）

PSWは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI，DI）により操作ができます。また，ベクタ割り込み受け付け時，BRK命令実行時にはスタックに退避され，IEフラグはリセット(0)されます。また，マスカブル割り込み受け付け時には，受け付けた割り込みの優先順位指定フラグの内容がISPに転送され，ノンマスカブル割り込み受け付け時には，ISPはリセット(0)されます。PUSH PSW命令によってもスタックに退避されます。RETI，RETB，POP PSW命令により，スタックから復帰します。

$\overline{\text{RESET}}$入力により，PSWは02Hとなります。

図12-8　プログラム・ステータス・ワードのフォーマット



12.3　割り込み処理動作

12.3.1　ソフトウエア割り込みの受け付け動作

ソフトウエア割り込みはBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することができません。

ソフトウエア割り込みが受け付けられると，PSW，PCの順にスタックに退避し，IEフラグをリセット(0)し，ベクタ・テーブル（003EH，003FH）の内容をPCにロードして分岐します。

ソフトウエア割り込みからの復帰にはRETB命令を使用します。

注意　ソフトウエア割り込みからの復帰にRETI命令を使用してはいけません。

12.3.2　ノンマスカブル割り込みの受け付け動作

ノンマスカブル割り込み要求は，割り込み禁止状態であっても受け付けられます。また，割り込優先順位制御の対象にならず，すべての割り込みに対して最優先の割り込み要求です。

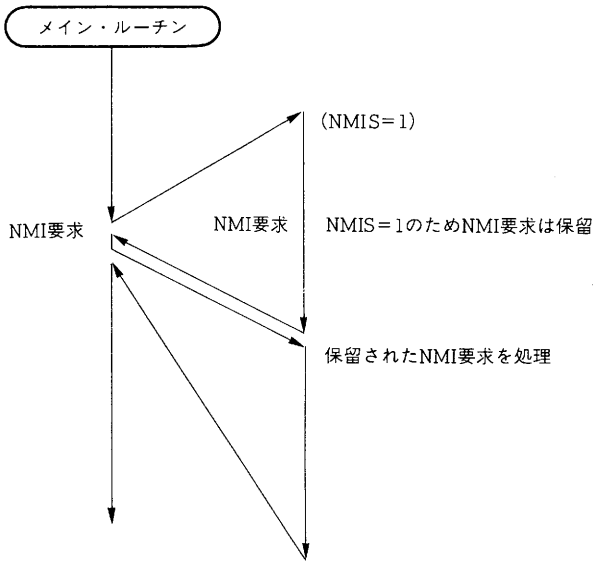
ノンマスカブル割り込み要求が受け付けられると割り込みステータス・レジスタ（IST）のNMISビットがセット(1)され，PSW，PCの順にスタックに退避し，IEフラグ，ISPフラグをリセット(0)し，ベクタ・テーブルの内容をPCへロードし分岐します。NMISビットは，RETI命令によってリセット(0)されます。

NMISビットがセット(1)されていると新たなノンマスカブル割り込み要求は受け付けられず，NMISビットがリセット(0)されるまで保留されます。したがって，通常はノンマスカブル割り込みサービス・プログラム実行中は，新たなノンマスカブル割り込み要求は受け付けられません。ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込みは現在処理中のノンマスカブル割り込みサービス・プログラム実行終了後（RETI命令実行後）に要求が受け付けられます。ただし，ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が2回以上発生しても，そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は1回分だけになります。

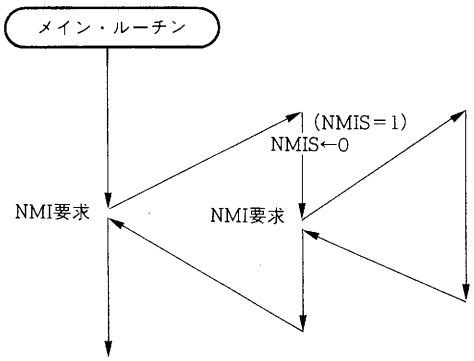
ノンマスカブル割り込み要求の多重処理を行う場合には，ノンマスカブル割り込みサービス・プログラム中でNMISビットをリセット(0)することで可能となります。NMISがリセット(0)されている場合は，ノンマスカブル割り込みサービス・プログラム中でもノンマスカブル割り込み要求は受け付けられます。

図 12－9　NMI割り込み要求の受け付け動作

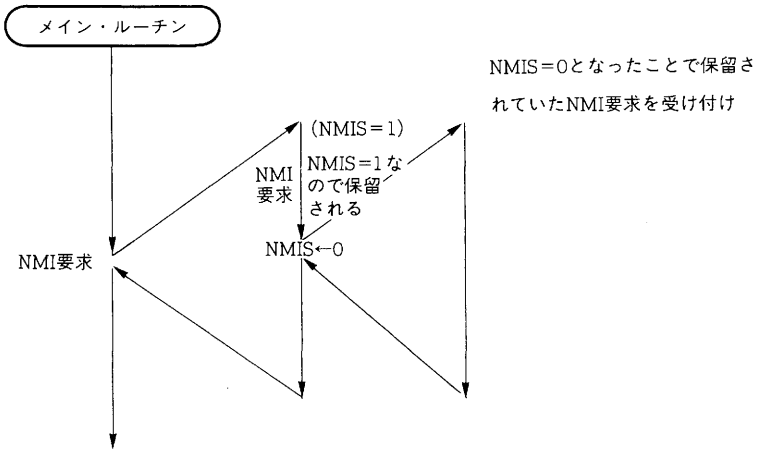
(a) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合（ISTレジスタを操作しない場合）



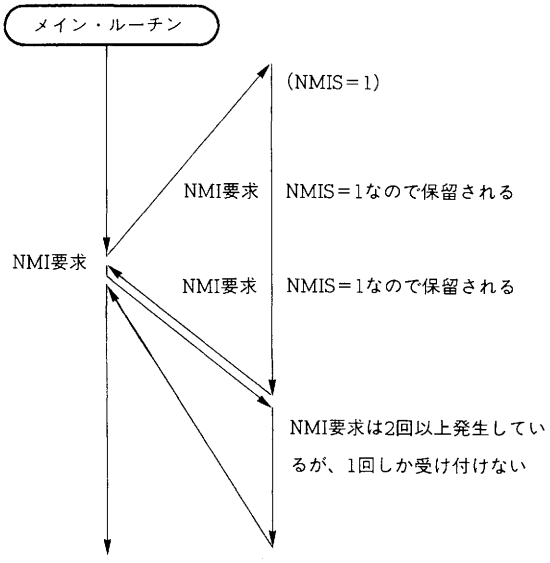
(b) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合（NMIサービス・プログラム中にNMISビットをリセット(0)した場合）



(c) NMIサービス・プログラム実行中に新たなNMI要求が発生した場合（NMI要求が発生してから現在実行中のNMIサービス・プログラムでNMISビットをリセット(0)した場合）



(d) NMIサービス・プログラム実行中に新たに2回のNMI要求が発生した場合（NMIサービス・プログラム中でNMISビットを操作しない場合）



注意1．ノンマスカブル割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ，処理されます。ノンマスカブル割り込みサービス・プログラム中でマクロ・サービス処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して，マクロ・サービスが発生しないようにしてください。

2．ノンマスカブル割り込みサービス・プログラム中にEI命令を実行するなどして，PSWのIEビットをセット(1)すると高位の優先順位に指定されたマスカブル割り込み要求が受け付けられるようになります。このとき，ノンマスカブル割り込みサービス・プログラム実行中に高位の優先順位に指定されたマスカブル割り込みが発生するとマスカブル割り込みのサービス・プログラムを実行します。また，PSWのIEビットとISPビットをセット(1)すると，低位の優先順位に指定されたマスカブル割り込みについても同様に，割り込みの要求が発生し，割り込みサービス・プログラムを実行します。マスカブル割り込みサービス・プログラムから復帰するためにRETI命令を使用しますが，このRETI命令によってNMISビットはリセット(0)され，復帰したノンマスカブル割り込みサービス・プログラム中でノンマスカブル割り込みの多重処理を行いたくない場合でも，ノンマスカブル割り込み要求が受け付け可能な状態になってしまいます。ノンマスカブル割り込み要求の多重処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中に割り込み許可状態にしないでください。

3．ノンマスカブル割り込みは，ノンマスカブル割り込み処理プログラム実行中(ISTレジスタのNMISビットをノンマスカブル割り込み処理中で0にして，ノンマスカブル割り込みの多重処理を許可している場合を除く）および12.3.5に示す特定の命令とその次に実行する命令の間を除いては必ず受け付けられます。したがって，特にリセット解除後などのスタック・ポインタの値が不定の場合でもノンマスカブル割り込みを受け付けます。このときのスタック・ポインタの値によっては特殊機能レジスタの書き込みを禁止しているアドレス（3.2.5の表3－4参照）へプログラム・カウンタ（PC）およびプログラム・ステータス・ワード（PSW）を書き込んでしまい，CPUがデッドロックしてしまったり，端子から予期しない信号を出力したり，RAMが実装されていないアドレスへPCやPSWを書き込むことにより，ノンマスカブル割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。

また$\overline{\text{RESET}}$端子に立ち上がりエッジが入力されるときとほぼ同時にNMI端子に立ち下がりエッジ（リセット解除後のNMI入力の有効エッジ）が入力されると，リセット動作終了後に1命令も実行せずにノンマスカブル割り込み処理プログラムへ分岐しますので，ほぼ確実に暴走します。これらの現象を回避するためには，スタック・ポインタの初期設定はリセット解除直後に行うようにするとともに，ハードウエアにより$\overline{\text{RESET}}$信号の立ち上がりから10 μs＋20/f_{CLK}以内にNMI信号が立ち下がらないようにする必要があります。★

12.3.3　マスカブル割り込みの受け付け動作

マスカブル割り込みは，割り込み要求フラグがセット(1)され，その割り込みのマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。マクロ・サービスで処理を行う場合は，ただちに受け付けられ，マクロ・サービスによる処理が行われます。ベクタ割り込みの場合は，割り込み許可状態（IEフラグがセット(1)されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中（ISPフラグがリセット(0)されているとき）に低い優先順位に指定されている割り込みは受け付けられません。

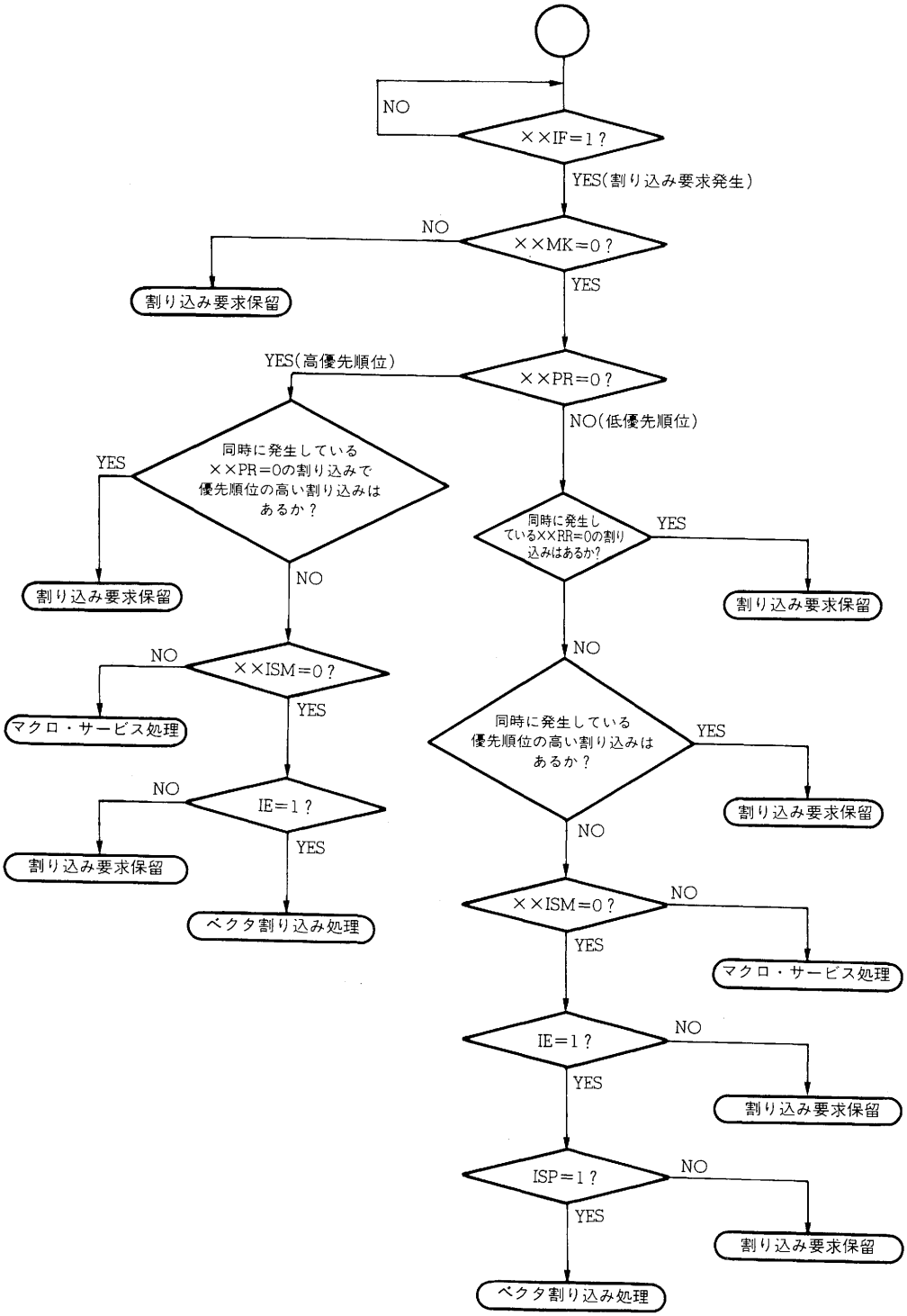
マスカブル割り込みの要求が同時に発生した場合は，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，同一優先順に指定されている場合はディフォールト優先順位に従います。

保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み受け付けのアルゴリズムを図12－10に示します。

マスカブル割り込みが受け付けられると，PSW，PCの順にスタックに退避し，IEフラグをリセット(0)（割り込み禁止状態）にし，受け付けた割り込みの優先順位指定フラグの内容をISPへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし分岐します。割り込みからの復帰はRETI命令で行います。

図 12－10　割り込み受け付け処理アルゴリズム



12.3.4　多重割り込みの処理

μPD78218Aは，割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは，優先順位によって制御できます。

優先順位制御には，ディフォールト優先順位による制御と，優先順位指定フラグ・レジスタ（PR0）の設定によるプログラマブル優先順位制御があります。ディフォールト優先順位による優先順位制御は，複数の割り込みが同時に発生している場合，各割り込み要求にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込み処理を行います（**表12－2**参照）。プログラマブル優先順位制御は，各割り込み要求をPR0レジスタに対応するビットの設定によって，高い優先順位グループと低い優先順位グループの2グループに分けます。多重割り込み可能な割り込み要求を表12－4に示します。

表12－4　多重割り込み処理

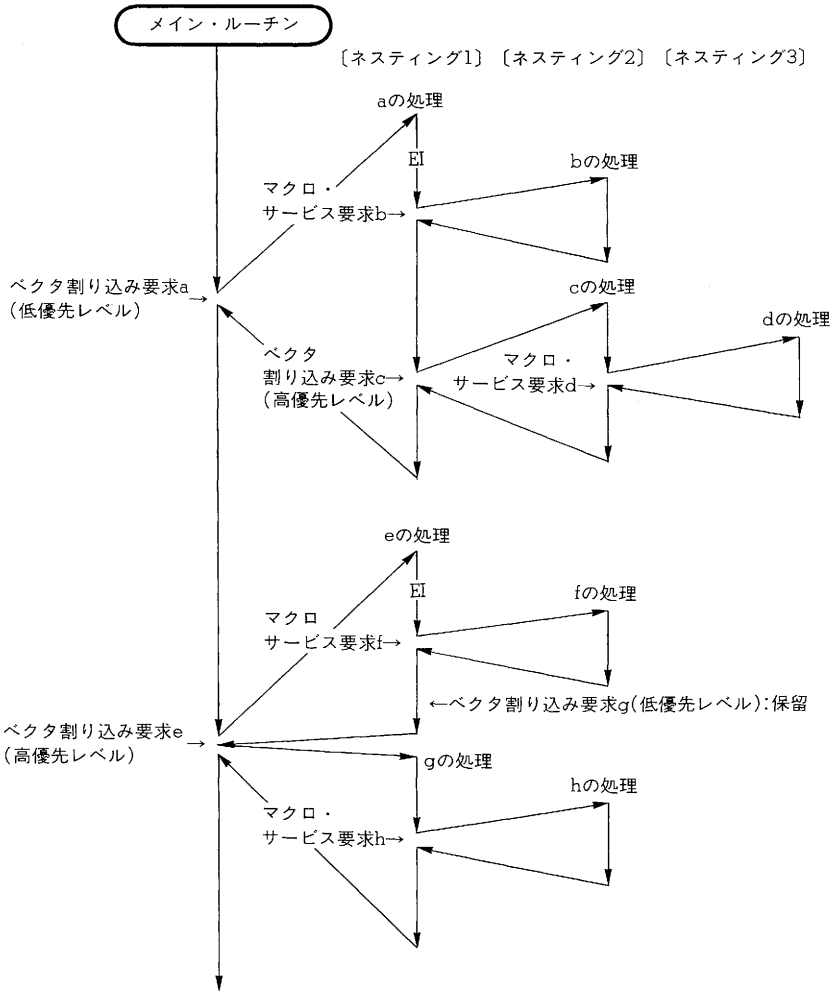
受け付け中の割り込み要求	IEフラグ	多重受け付け可能な割り込み要求ソース
低位のプログラマブル優先順位に指定した割り込み	0	●ノンマスカブル割り込み ●マクロ・サービス処理によるマスカブル割り込み
	1注1	●ノンマスカブル割り込み ●すべてのマスカブル割り込み
高位のプログラマブル優先順位に指定した割り込み	0	●ノンマスカブル割り込み ●マクロ・サービス処理によるマスカブル割り込み
	1注1	●ノンマスカブル割り込み ●マクロ・サービス処理によるマスカブル割り込み ●高位のプログラマブル優先順位に指定したマスカブル割り込み
ノンマスカブル割り込み	0	●ノンマスカブル割り込み注2 ●マクロ・サービス処理によるマスカブル割り込み
	1注1	●ノンマスカブル割り込み注2 ●マクロ・サービス処理によるマスカブル割り込み ●高位のプログラマブル優先順位に指定したマスカブル割り込み注3

注1． 割り込みの要求の受け付け直後は，自動的に割り込み禁止状態(IE＝0)となります。
割り込み許可状態(IE＝1)に設定するためには，EI命令を実行します。

2． ノンマスカブル割り込みの受け付け中は，割り込みステータス・レジスタ（IST）のビット0（NMIS）がセット(1)されます。
NMISビットがセット(1)されている間，ノンマスカブル割り込みは発生しません。ノンマスカブル割り込みの多重受け付けを許可する場合は，ソフトウエアで，NMISフラグをリセット(0)します。

3． ISPフラグをセット(1)したときは，低位の割り込みも受け付けが可能です。

図 12－11　割り込み処理中に他の割り込み要求が発生した場合の処理例（1／2）



備考　図の中のa-hは，各割り込み要求，マクロ・サービス要求を区別するためにつけた仮の名称です。

図 12－11　割り込み処理中に他の割り込み要求が発生した場合の処理例（2／2）

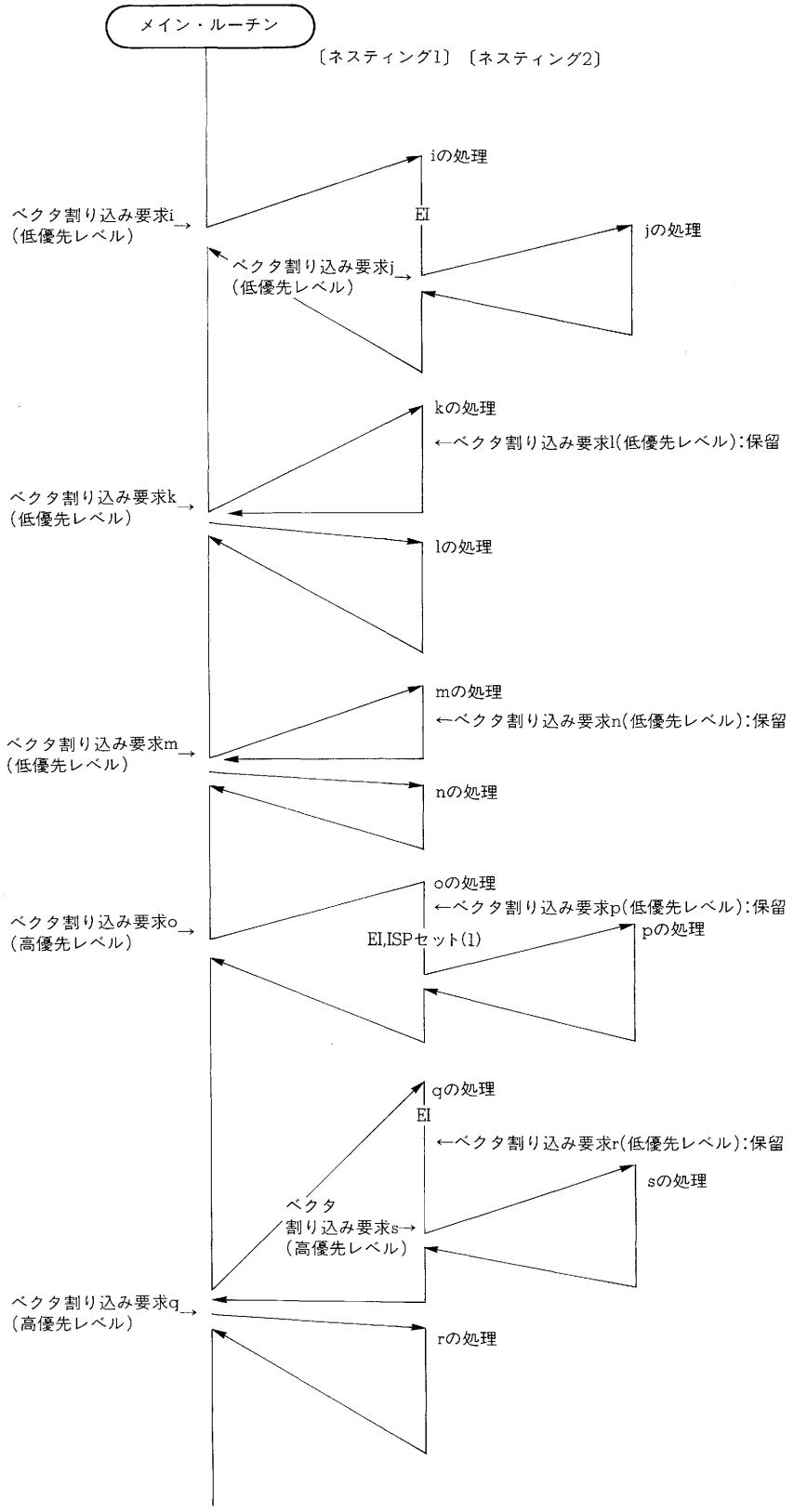
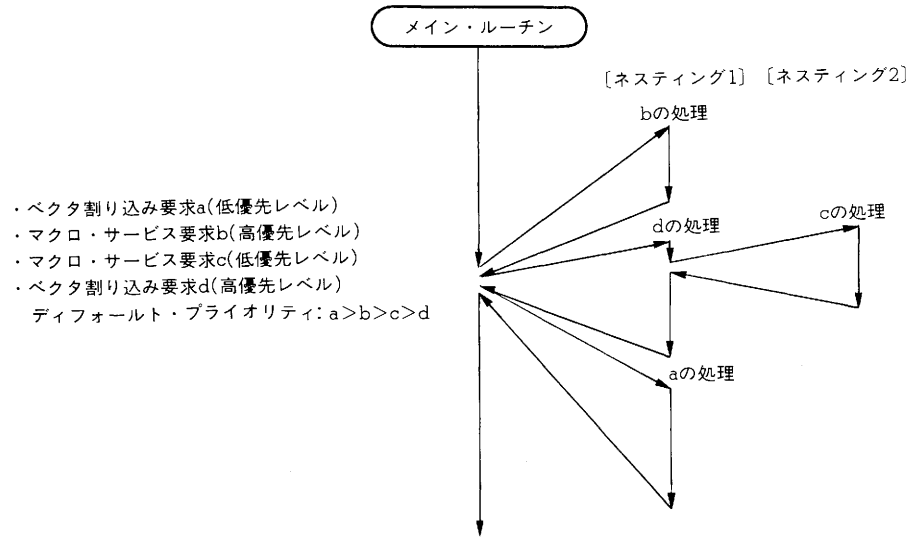


図12－12　同時発生した割り込み要求の処理例



備考　図の中のa-dは，各割り込み要求，マクロ・サービス要求を区別するためにつけた仮の名称です。

12.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合

以下に示す命令と次に実行する命令の間では，すべての割り込み（ノンマスカブル割り込みも含む）の受け付けおよびマクロ・サービスの処理が一時的に保留されます。ただし，ソフトウエア割り込みは保留されません。

EI

DI

RETI

RETB

POP PSW

MOV PSW，A

MOV PSW，#byte

IST，MK0，IF0，PR0，ISM0の各レジスタに対する操作命令

PSWのビット操作命令

（ただし，BT PSW.bit，$addr16，BF PSW.bit，$addr16，SET1 CY，NOT1 CY，CLR1 CY 命令を除く）。

注意1．割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合，そのBF命令などの分岐先は，その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると，その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

```
        ⋮
LOOP:   BF   IF0H. 3,  $LOOP
        ×××                  ← IF0H. 3が1になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。
                               BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。
        ⋮
```

良い例(1)

```
        ⋮
LOOP:   NOP
        BF IF0H. 3,  $LOOP   ← NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。
        ⋮
```

良い例(2)

```
        ⋮
LOOP:   BT   IF0H. 3,  $NEXT   BT命令のかわりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利。
        BR  $LOOP            ← BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。
NEXT:   ⋮
```

2．また，同様の理由により，12.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合に該当する命令群を連続して使用する場合で，割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には，NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

12.3.6　割り込みおよびマクロ・サービスの動作タイミング

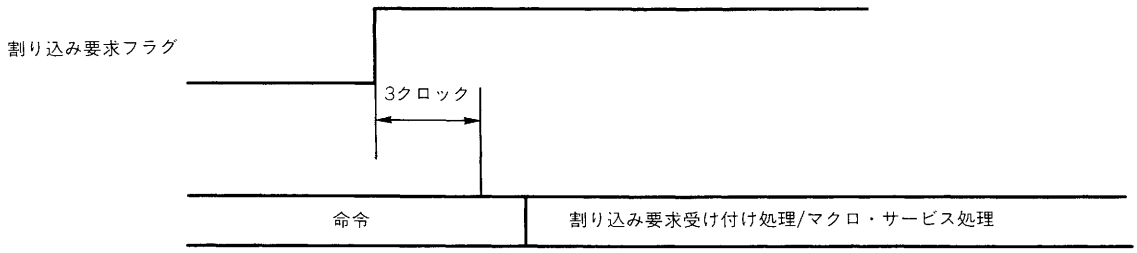
(1) 割り込み要求の発生と受け付け

割り込み要求は，各ハードウエアで発生します。発生した割り込み要求は，割り込み要求フラグをセット(1)します。

割り込み要求フラグがセット(1)されると，優先順位などの判定を行うために3クロック（0.5 μs, f_{CLK}=6 MHz）かかります。

その後，実行中の命令が終了した時点で，その割り込みまたはマクロ・サービスの受け付けが許可されていれば，その割り込み要求の受け付け処理を行います。なお，実行中の命令が割り込みおよびマクロ・サービスを一時的に保留する命令であれば，その次の命令終了後に受け付けられます（保留する命令については，**12.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合**参照）。

図 12－13　割り込み要求の発生と受け付け（単位：クロック）



(2) 割り込み受け付け処理時間

割り込み要求の受け付けには，表12－5のような時間がかかります。表12－5の時間後に，割り込み処理プログラムの実行を開始します。

表12－5　割り込み受け付け処理時間 注

（単位：クロック）

プログラム・フェッチ ＼ スタック領域	内部RAM	周辺RAM	外部メモリ
内部ROMフェッチ	18	24	24＋w×3
外部ROMフェッチ	24＋w×3	30＋w×3	30＋w×6

（w＝ウエイト・サイクル数）

注　実行中の命令が終了するまでの時間および優先順位などの判定を行う時間は含まれていません。

備考1. 内部ROMフェッチは，内部ROMからプログラムのフェッチを行っている場合で，メモリ拡張モード・レジスタ（MM）のIFCHビットが1の場合の値です。IFCHビットが0の場合は，外部ROMフェッチと同じになります。

2. 内部RAMは，0FE00H－0FEFFHの領域にある内部RAMを示します。

3. 周辺RAMは，0FB00H－0FDFFHの領域にある内部RAMを示します。

4. 1クロックは，$1/f_{CLK}$（167 ns：12 MHz動作時）です。

(3) マクロ・サービスの処理時間

マクロ・サービス処理は，マクロ・サービスのタイプなどにより異なり，表 12-6，12-7のような時間となります。

表 12-6　マクロ・サービス処理時間注（MSC=8ビットの場合）

（単位：クロック）

マクロ・サービス処理タイプ ＼ プログラム・フェッチ ＼ メモリ			内部ROMフェッチ			外部ROMフェッチ		
			内部ROM	内部RAM	外部メモリ	内部ROM	内部RAM	外部メモリ
A			—	20	—	—	22	—
B			35	34	36＋w	37	36	38＋w
C	リング制御なし	データ転送	46	44	48＋w×2	48	46	50＋w×2
		自動加算	49	47	51＋w×2	51	49	53＋w×2
	リング制御あり	データ転送	51／55	49／53	53＋w×2／57＋w×2	53／57	51／55	55＋w×2／59＋w×2
		自動加算	54／58	52／56	56＋w×2／60＋w×2	56／60	54／58	58＋w×2／62＋w×2

（w＝ウエイト・サイクル数）

注　実行中の命令が終了するまでの時間および優先順位などの判定を行う時間は含まれていません。

備考 1.　内部ROMフェッチの欄は，メモリ拡張モード・レジスタ（MM）のIFCHビットが1の場合の値です。IFCHビットが0の場合は，外部ROMフェッチを参照してください。

2.　内部RAMは，内部RAMの0FE00H－0FEFFHの領域が使用される場合の値です。内部RAMの他の領域を使用する場合は，外部メモリの欄でW＝0とした値となります。

3.　表中“／”で区切られた部分は，後者がリング・カウンタが0となる場合，前者がそれ以外の場合をそれぞれ示します。

4.　1クロックは，$1/f_{CLK}$（167 ns：12 MHz動作時）です。

表12-7　マクロ・サービス処理時間 注（MSC＝16ビットの場合）

（単位：クロック）

マクロ・サービス処理タイプ ＼ プログラム・フェッチ ＼ メモリ			内部ROMフェッチ			外部ROMフェッチ		
			内部ROM	内部RAM	外部メモリ	内部ROM	内部RAM	外部メモリ
B			38	37	39＋w	40	39	41＋w
C	リング制御なし	データ転送	49	47	51＋w×2	51	49	53＋w×2
		自動加算	52	50	54＋w×2	54	52	56＋w×2
	リング制御あり	データ転送	54／58	52／56	56＋w×2／60＋w×2	56／60	54／58	58＋w×2／62＋w×2
		自動加算	57／61	55／59	59＋w×2／63＋w×2	59／63	57／61	61＋w×2／65＋w×2

（w＝ウエイト・サイクル数）

注　実行中の命令が終了するまでの時間および優先順位などの判定を行う時間は含まれていません。

備考1.　内部ROMフェッチの欄は，メモリ拡張モード・レジスタ（MM）のIFCHビットが1の場合の値です。IFCHビットが0の場合は，外部ROMフェッチを参照してください。

2.　内部RAMは，内部RAMの0FE00H－0FEFFHの領域が使用される場合の値です。内部RAMの他の領域を使用する場合は，外部メモリの欄でW＝0とした値となります。

3.　表中“／”で区切られた部分は，後者がリング・カウンタが0となる場合，前者がそれ以外の場合をそれぞれ示します。

4.　1クロックは，$1/f_{CLK}$（167 ns：12 MHz動作時）です。

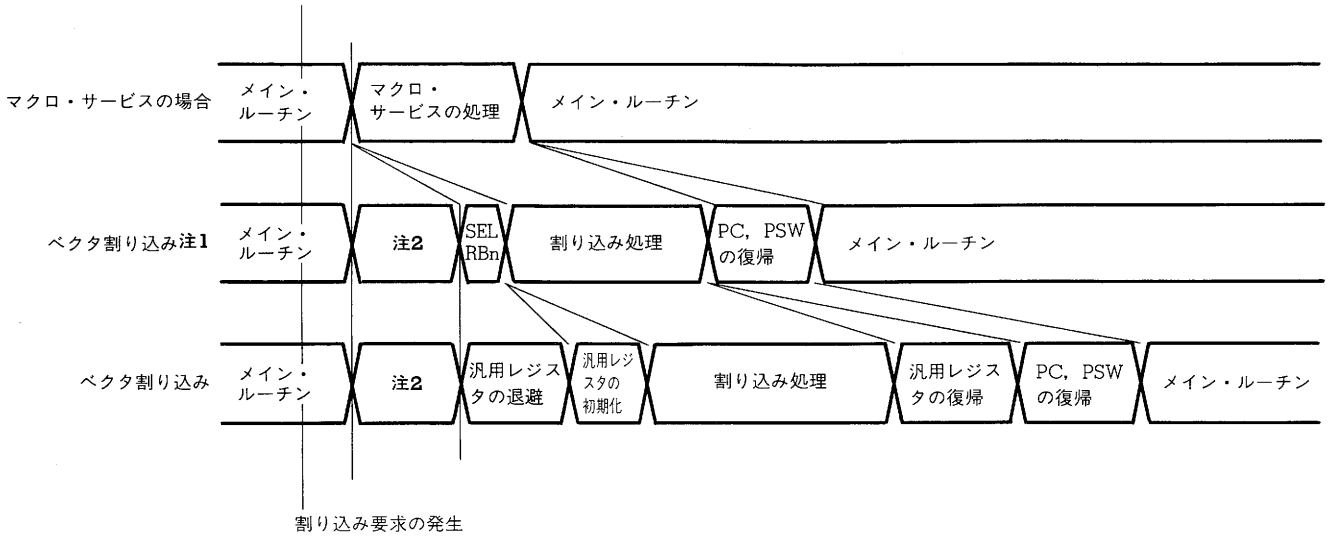
12.4　マクロ・サービス機能

12.4.1　マクロ・サービスの概要

マクロ・サービスは，割り込みの処理方法の1つです。通常のベクタ割り込みではプログラム・カウンタ（PC）やプログラム・ステータス・ワード（PSW）をスタッフに退避し，ベクタ・テーブルからベクタ・アドレスを読み出しPCへロードしますが，これらの処理の代わりに別の処理（主にデータ転送）を行います。したがって，割り込みの要求に対して高速に応答することができます。さらに，プログラムで行うより高速に転送処理が可能なので，処理時間も短縮することができます。

また，指定された回数の処理を行ったあとに，ベクタ割り込みを発生させることもできるのでベクタ割り込みのプログラムが簡略化できるなどの効果もあります。

図12-14　ベクタ割り込みとマクロ・サービスの処理の違い



注1．レジスタ・バンク切り替えを使用した場合で，レジスタにはあらかじめ初期値が設定されているとき

2．PC，PSWをスタックへ退避，ベクタ・アドレスをPCへロード

12.4.2　マクロ・サービスの種類

マクロ・サービスは表 12 - 8に示す17種類の割り込みで使用することができます（同時に使用できるのは15種類）。また，3種類の動作タイプがあり，用途により使い分けが可能です。

表 12 - 8　マクロ・サービスが使用可能な割り込み

割り込み要求発生ソース	発生ユニット	マクロ・サービス・タイプ	タイプA使用時の特殊機能レジスタ
INTP0(端子入力エッジ検出)	エッジ検出	A，B	CR11
INTP1(端子入力エッジ検出)		A，B	CR22
INTP2(端子入力エッジ検出)		A，B	TM2
INTP3(端子入力エッジ検出)		B	—
INTC00(TM0-CR00一致信号発生)	16ビット・タイマ/カウンタ	B	—
INTC01(TM0-CR01一致信号発生)		B	—
INTC10(TM1-CR10一致信号発生)	8ビット・タイマ/カウンタ1	A，B，C	CR10
INTC11(TM1-CR11一致信号発生)		A，B，C	CR11
INTC21(TM2-CR21一致信号発生)	8ビット・タイマ/カウンタ2	A，B	CR21
INTP4(端子入力エッジ検出)	エッジ検出	B	—
INTC30(TM3-CR30一致信号発生)	8ビット・タイマ/カウンタ3	A，B	CR30
INTP5(端子入力エッジ検出)	エッジ検出	B	—
INTAD(A/D変換終了)	A/Dコンバータ	A，B	ADCR
INTC20(TM2-CR20一致信号発生)	8ビット・タイマ/カウンタ2	A，B	CR20
INTSR(アシンクロナス・シリアル・インタフェース受信終了)	アシンクロナス・シリアル・インタフェース	A，B	RXB
INTST(アシンクロナス・シリアル・インタフェース送信終了)		A，B	TXB
INTCSI(クロック同期式シリアル・インタフェース転送終了)	クロック同期式シリアル・インタフェース	A，B	SIO

マクロ・サービスの種類は以下の3タイプです。

(1) タイプA

割り込み要求の発生ごとに1バイトのデータを特殊機能レジスタ（SFR）とメモリとの間で行い，指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるSFRは割り込み要求ごとに固定となっています。また，メモリも0FE00H-0FEFFHの内部RAMに限定されます。

指定の方法が簡単で小容量の高速のデータ転送に向いています。

(2) タイプB

タイプAと同様に，割り込み要求の発生ごとに，1バイトのデータをSFRとメモリとの間で行い，指定された回数のデータ転送を行うとベクタ割り込みの要求を発生します。

転送の対象となるSFRとメモリはマクロ・サービス・チャネルで指定します（メモリは，0000H-FEFFHの64 Kバイトの空間内のみ）。

タイプAの汎用タイプで，転送データ量が多い場合に向いています。

(3) タイプC

割り込み要求の発生ごとに，リアルタイム出力ポートと8ビット・タイマ／カウンタ1のコンペア・レジスタのそれぞれへ1バイトずつメモリからデータ転送します。指定された回数のデータ転送を行うと，ベクタ割り込みを発生します。

タイプCのマクロ・サービスは一度の割り込み要求で2箇所へのデータ転送を行うことのほかに，出力データのリング制御やコンペア・レジスタとデータを自動的に加算する機能などを付加して使用することもできます。

タイプCを使用できる割り込みはINTC10とINTC11に限られ，転送対象となるSFRは限定されています。メモリについては0000H-FEFFHの64 Kバイトの空間を使用できます。

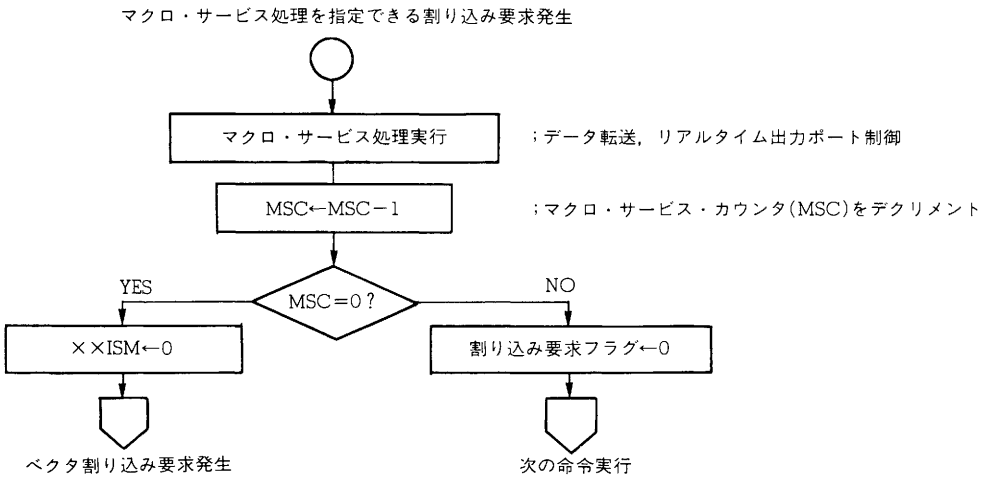
タイプCはリアルタイム出力ポート用のマクロ・サービスでステッピング・モータの制御などに向いています。

12.4.3　マクロ・サービスの基本動作

図 12 - 10 で示すアルゴリズムで発生したマクロ・サービス処理を指定できる割り込み要求は　基本的には図 12 - 15 に示すシーケンスで処理されます。

マクロ・サービス処理を指定できる割り込み要求は，IEフラグの状態には影響されません。割り込みマスク・レジスタ（MK0）の割り込みマスク・フラグのセット(1)によってのみ禁止されます。割り込み禁止状態，また割り込み処理プログラム実行中でもマクロ・サービス処理は実行できます。

図 12 - 15　マクロ・サービス処理シーケンス



マクロ・サービスは，マクロ・サービス・コントロール・ワードのモード・レジスタに設定された値により，マクロ・サービスのタイプや転送方向などを決定します。その後，チャネル・ポインタで指定されるマクロ・サービス・チャネルをマクロ・サービスのタイプに従って使用して転送処理を行います。

マクロ・サービス・チャネルには，転送回数を記憶するマクロ・サービス・カウンタや転送先や転送元のポインタやデータ・バッファが配置されているメモリで，内部RAMのFE00H-FEFFHの中の任意のアドレスに配置することが可能です。

12.4.4　マクロ・サービス制御レジスタ

(1) マクロ・サービス・コントロール・ワード

μPD78218Aのマクロ・サービス機能は，マクロ・サービス・モード・レジスタとマクロ・サービス・チャネル・ポインタで制御されます。マクロ・サービス・モード・レジスタによってマクロ・サービス処理モードを設定し，マクロ・サービス・チャネル・ポインタによってマクロ・サービス・チャネルのアドレスを指し示します。

マクロ・サービス・モード・レジスタとマクロ・サービス・チャネル・ポインタは，マクロ・サービス・コントロール・ワードとして，各マクロ・サービスごと，図12-16に示すように内部RAMの一部にマッピングされています。

マクロ・サービス処理を行うとき，マクロ・サービス処理を指定できる割り込み要求に対応するマクロ・サービス・モード・レジスタとチャネル・ポインタの値を設定しておく必要があります。

図12-16　マクロ・サービス・コントロール・ワードの構成

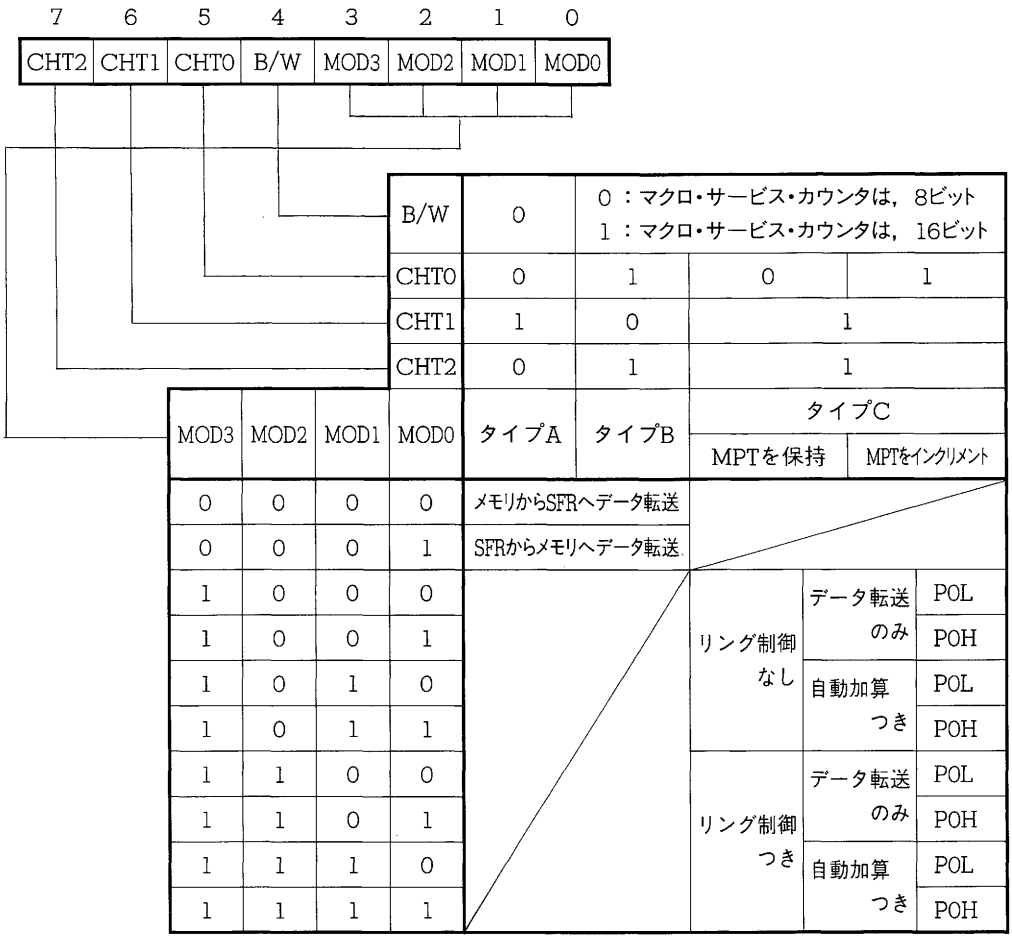
0FEDFH	チャネル・ポインタ	INTSR
0FEDEH	モード・レジスタ	
0FEDDH	チャネル・ポインタ	INTST
0FEDCH	モード・レジスタ	
0FEDBH	チャネル・ポインタ	INTCSI
0FEDAH	モード・レジスタ	
0FED9H	チャネル・ポインタ	INTC10
0FED8H	モード・レジスタ	
0EFD7H	チャネル・ポインタ	INTC11
0FED6H	モード・レジスタ	
0FED5H	チャネル・ポインタ	INTP4／INTC30
0FED4H	モード・レジスタ	
0FED3H	チャネル・ポインタ	INTP5／INTAD
0FED2H	モード・レジスタ	
0FED1H	チャネル・ポインタ	INTC00
0FED0H	モード・レジスタ	
0FECFH	チャネル・ポインタ	INTC01
0FECEH	モード・レジスタ	
0FECDH	チャネル・ポインタ	INTC20
0FECCH	モード・レジスタ	
0FECBH	チャネル・ポインタ	INTC21
0FECAH	モード・レジスタ	
0FEC9H	チャネル・ポインタ	INTP0
0FEC8H	モード・レジスタ	
0FEC7H	チャネル・ポインタ	INTP1
0FEC6H	モード・レジスタ	
0FEC5H	チャネル・ポインタ	INTP2
0FEC4H	モード・レジスタ	
0FEC3H	チャネル・ポインタ	INTP3
0FEC2H	モード・レジスタ	

(2) マクロ・サービス・モード・レジスタ

マクロ・サービス・モード・レジスタはマクロ・サービスの動作を指定する8ビット・レジスタです。マクロ・サービス・コントロール・ワードの一部として内部RAM上に書いておきます（**図12-16**参照）。

そのフォーマットを図12-17に示します。

図12-17　マクロ・サービス・モード・レジスタのフォーマット



(3) マクロ・サービス・チャネル・ポインタ

マクロ・サービス・チャネル・ポインタは，マクロ・サービス・チャネルのアドレスを指定するポインタです。マクロ・サービス・チャネルは内部RAMのFE00H-FEFFHの256バイトの空間に配置可能で，アドレスの上位8ビットが固定です。したがって，マクロ・サービス・チャネル・ポインタには，マクロ・サービス・チャネルの最上位アドレスの下位8ビットを設定します。

12.4.5　マクロ・サービス・タイプA

(1) 動　　作

マクロ・サービス・チャネル内のバッファ・メモリと割り込み要求ごとにあらかじめ決まっているSFRとの間でデータの転送を行います。

タイプAは，データの転送方向としてメモリからSFR，またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ，データ転送を行います。なお，1回のマクロ・サービス処理で8ビットのデータが転送されます。

転送するデータ量が少ないときに，高速でデータ転送ができるので有効です。

マクロ・サービスのタイプAを指定できる割り込み要求は，表 12 - 9のように12種類あります。それぞれが転送元もしくは転送先のSFRとして表 12 - 9のレジスタがハードウエアで指定されています。

表 12 - 9　マクロ・サービス処理を指定できる割り込み要求とSFR（タイプA）

タイプAを指定できるマクロ・サービス処理を行う割り込み要求	転送元／転送先のSFR
INTC10	CR10レジスタ
INTC11	CR11レジスタ
INTC20	CR20レジスタ
INTC21	CR21レジスタ
INTC30	CR30レジスタ
INTSR	RXBレジスタ
INTST	TXSレジスタ
INTCSI	SIOレジスタ
INTAD	ADCRレジスタ
INTP0	CR11レジスタ
INTP1	CR22レジスタ
INTP2	TM2レジスタ

注意　外部メモリ拡張時（μPD78217Aは常時）に，マクロ・サービスのタイプAを使用している場合，不正なライト・アクセス動作が発生する場合があります。
不正ライト・アクセスは，次の条件が成立したときに発生します。

・マクロ・サービス実行時に転送先または転送元バッファ（メモリ）のアドレスが0FED0H-0FEDFHのとき

不正なライト・アクセスは，通常のメモリ・アクセスと同様に行われます。また，メモリ拡張モード・レジスタ（MM）のPW20，PW21ビットの設定に従ってウエイトが挿入されます。表12－10に，不正なライト・アクセスの発生条件と動作を示します。

表12－10　不正ライト・アクセスの発生条件と動作

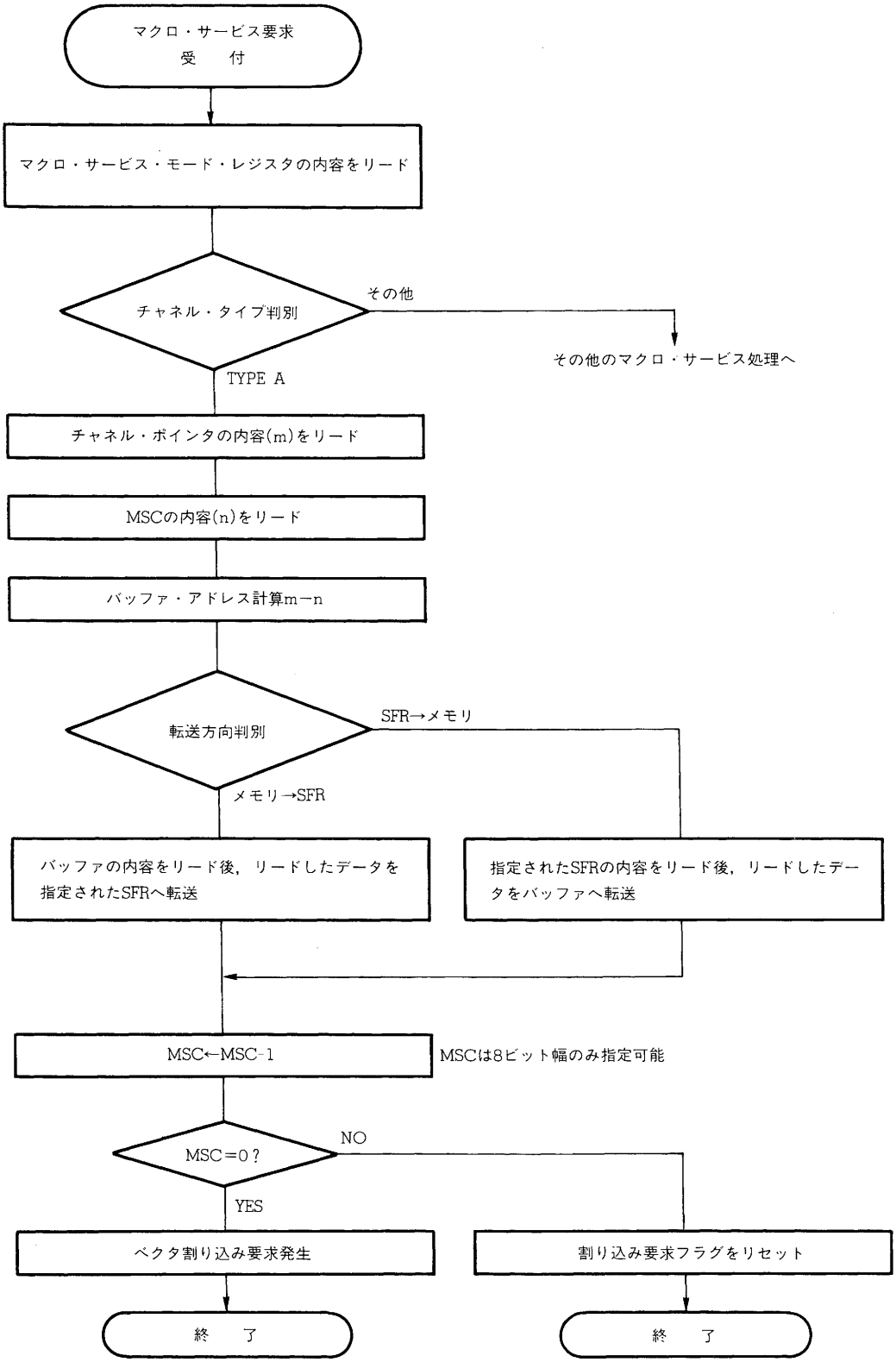
不正ライト・アクセス	
アドレス	データ
転送の対象となるSFRのアドレス	転送先のバッファ（メモリ）のアドレスの下位8ビット

この不具合を回避するには，次の2つの方法があります。

(1) 外付けのアドレス・デコード回路によりOFF00H-0FFFFHの領域のイメージが外付け回路のメモリ・アドレスに重複しないようにします。
(2) バッファ領域のアドレスが0FED0H-0FEDFHとならない位置に配置します。

なお，不具合はインサーキット・エミュレータでも発生します。

図12-18　マクロ・サービス・データ転送処理フロー（タイプA）

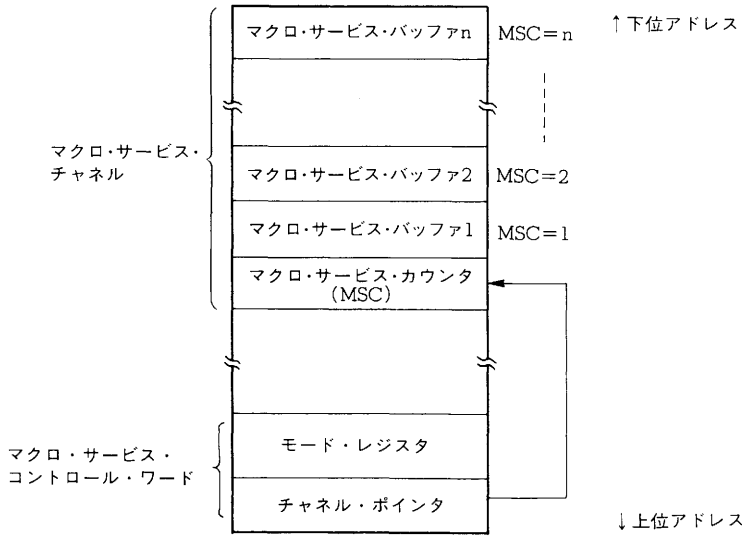


(2) マクロ・サービス・チャネルの構成

チャネル・ポインタとマクロ・サービス・カウンタ（MSC）とで，転送元もしくは転送先となる内部RAM（FE00H-FEFFH）上のバッファ・アドレスを示します（**図12－19**参照）。チャネル・ポインタには，アドレスの下位8ビットを書き込みます。

なお，アクセスの対象となるSFRは，割り込み要求ごとにあらかじめ決められています（**表12－9**参照）。

図12－19　タイプAのマクロ・サービス・チャネル



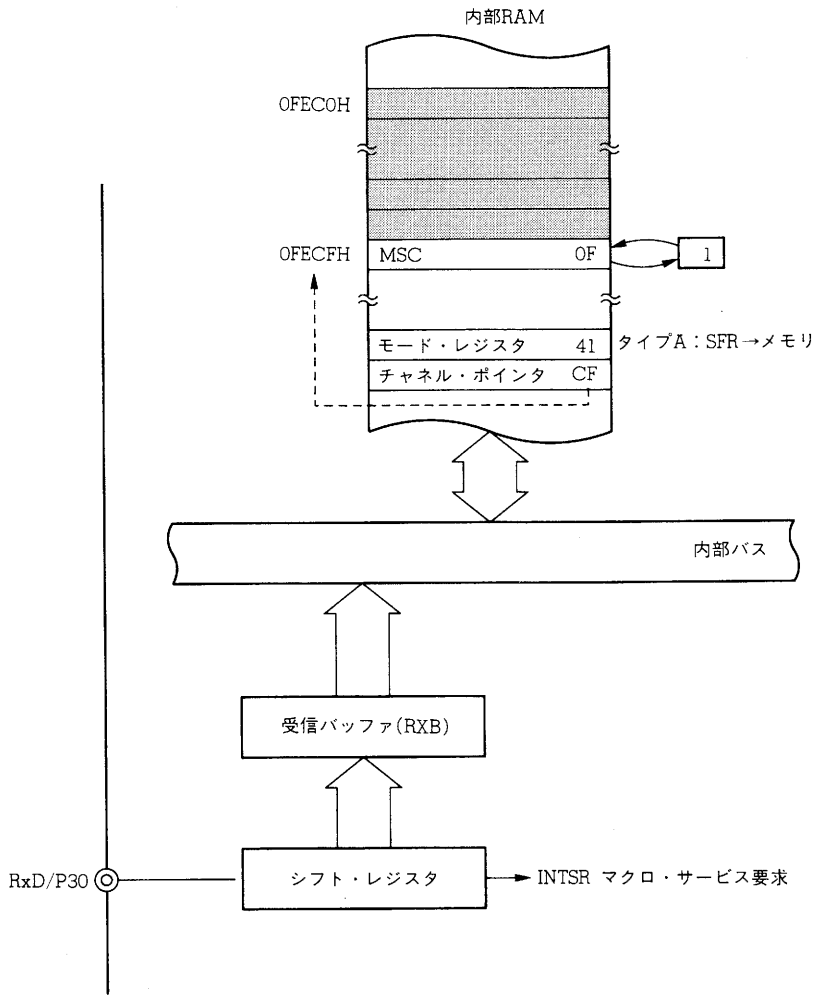
（マクロ・サービス・バッファ・アドレス）＝（チャネル・ポインタ）－（マクロ・サービス・カウンタ）

注意　タイプAでは，マクロ・サービス・カウンタ（MSC）を16ビットに指定することはできません。したがって，マクロ・サービス・モード・レジスタのビット4（B／W）には必ず“0”を書き込んでください。

(3) タイプA使用例

アシンクロナス・シリアル・インタフェースにより受信したデータを内蔵RAM内のバッファ領域に転送する例を示します。

図 12-20　アシンクロナス・シリアル受信



12.4.6　マクロ・サービス・タイプB

(1) 動　　作

マクロ・サービス・チャネルで指定されるメモリ内のデータ領域とSFRとの間でデータの転送を行います。

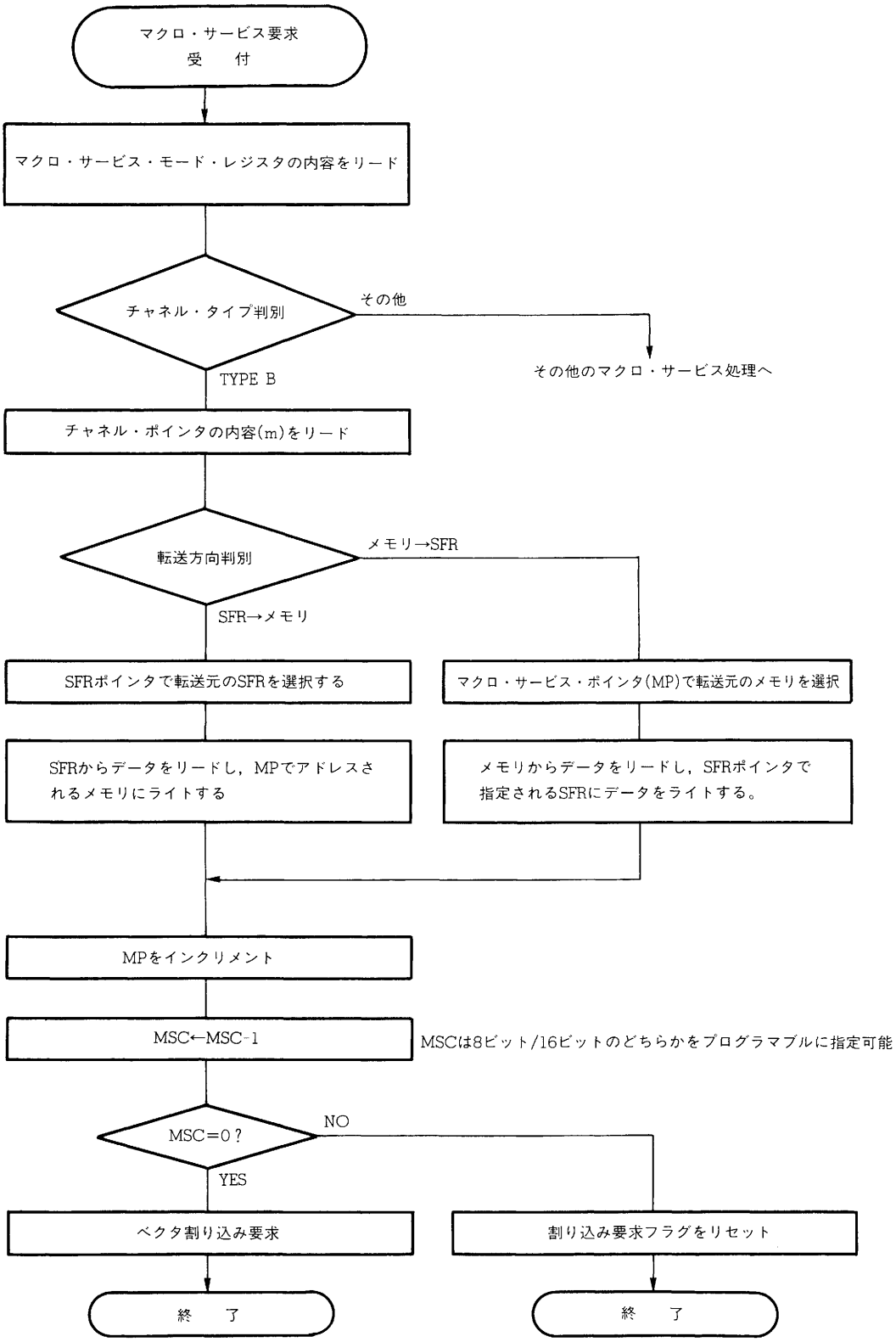
タイプBは，データの転送方向としてメモリからSFR，またはSFRからメモリを選択することができます。

あらかじめマクロ・サービス・カウンタに設定した回数だけ，データ転送を行います。なお，1回のマクロ・サービス処理で8ビットのデータが転送されます。

タイプBのマクロ・サービス処理は，μPD78218Aが持つ割り込み要求のうちマクロ・サービスを起動することのできるすべての要求に対して指定することができます。タイプBは，転送先または転送元となるSFRもSFRポインタにより任意に指定することができます。

タイプAのマクロ・サービスを汎用的にしたタイプで，データ・バッファ領域を64 Kバイトのアドレス空間に持たせることができるため，大容量データの処理に最適です。

図12-21　マクロ・サービス・データ転送処理フロー（タイプB）



(2) マクロ・サービス・チャネルの構成

マクロ・サービス・ポインタ（MP）は，転送先または転送元となる64Kメモリ空間内のデータ・バッファ領域を示します。

SFRポインタ（SFRP）には，転送先または転送元となるSFRのアドレスの下位8ビットを書き込みます。

マクロ・サービス・カウンタ（MSC）は，データ転送の回数を指定します。MSCは8ビット，16ビットの選択が可能です。

マクロ・サービス・ポインタ，SFRポインタおよびマクロ・サービス・カウンタを格納するマクロ・サービス・チャネルは，内部RAM空間のOFE00H-OFEFFHに配置します。

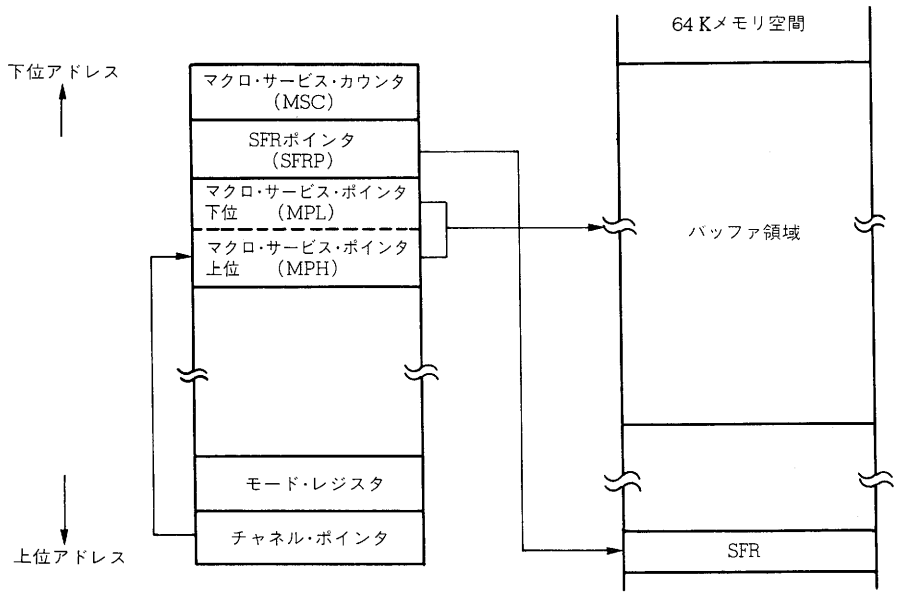
マクロ・サービス・チャネルは，図12-22で示すようにチャネル・ポインタで示します。チャネル・ポインタには，マクロ・サービス・チャネルのアドレスの下位8ビットを書き込みます。

★　**注意　次のものは，SFRとして指定することはできません。**

IFOL，IFOH，MKOL，MKOH，PROL，PROH，ISMOL，ISMOH，IST

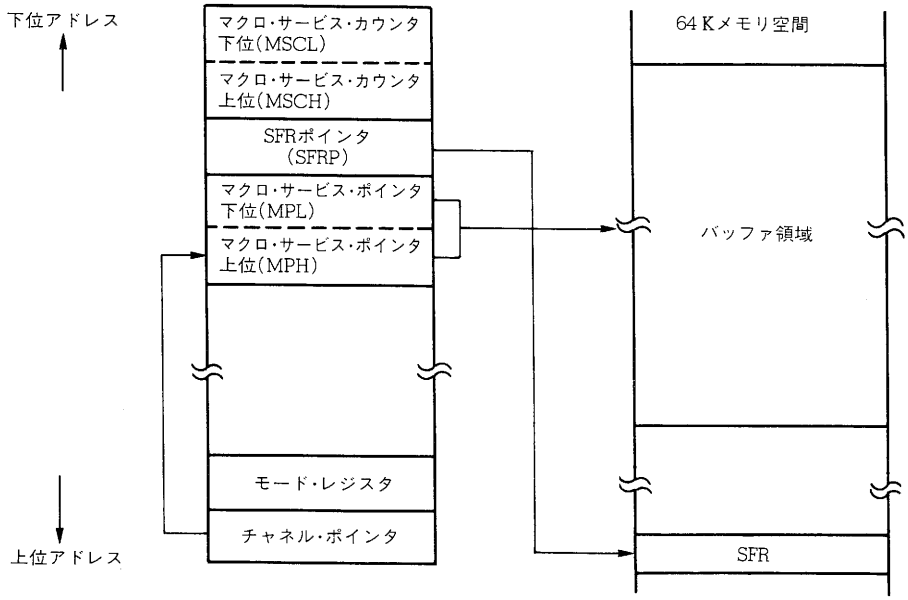
図 12－22　タイプBのマクロ・サービス・チャネル

(a) MSCが8ビットの場合



(マクロ・サービス・バッファ・アドレス)=(マクロ・サービス・ポインタ)

(b) MSCが16ビットの場合



(マクロ・サービス・バッファ・アドレス)=(マクロ・サービス・ポインタ)

(3) タイプB使用例

外部信号に同期してポート3からパラレル・データを入力する例を示します。外部信号との同期は外部割り込み端子（INTP4）入力を用います。

図12－23　外部割り込みに同期したパラレル・データ入力

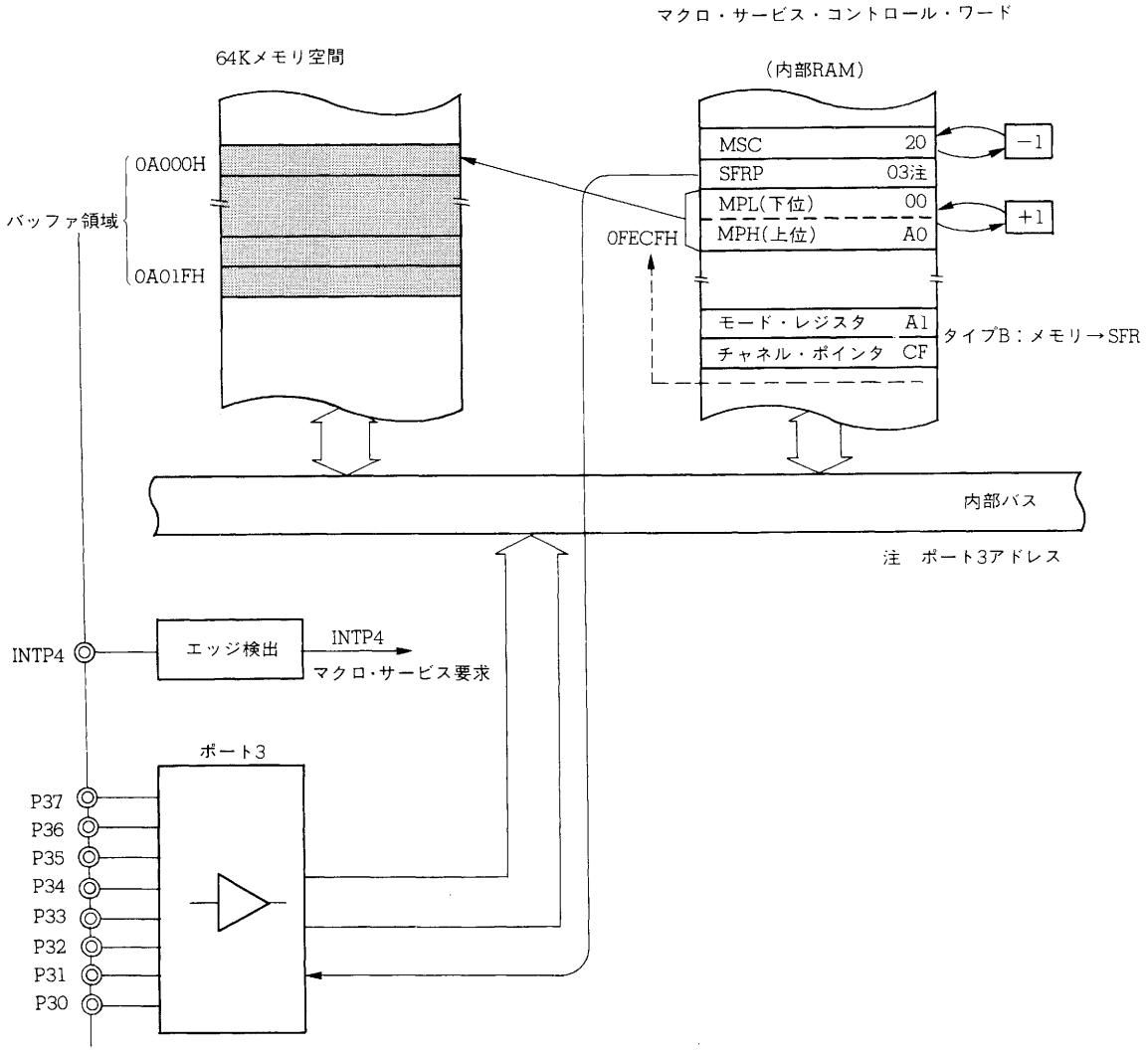
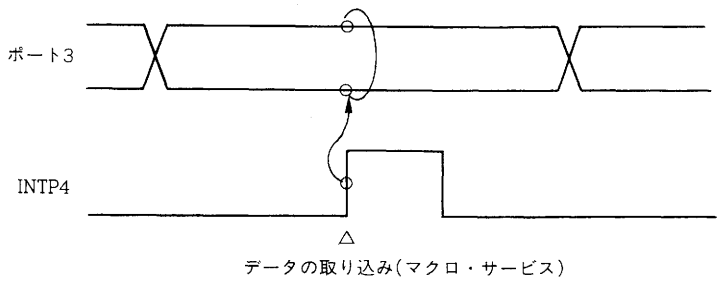


図12－24　パラレル・データ入力のタイミング



12.4.7　マクロ・サービス・タイプC

(1) 動　　作

タイプCのマクロ・サービスは，8ビット・タイマ／カウンタ1とリアルタイム出力ポートを同時にコントロールします。マクロ・サービスのタイプCでは，1回の割り込み要求に対して，8ビット・タイマ／カウンタ1のコンペア・レジスタとリアルタイム出力ポートのバッファ・レジスタへデータを転送します。

タイプCのマクロ・サービスが指定できる割り込み要求は，INTC10，INTC11のみで表 12 - 11 のように転送先のレジスタが決まっています。

表 12 - 11　マクロ・サービス処理を指定できる割り込み要求とSFR（タイプC）

割り込み要求	MPTでアドレスされるデータの転送先	MPDでアドレスされるデータの転送先
INTC10	CR10	P0LまたはP0H（モード・レジスタで設定）
INTC11	CR11	P0LまたはP0H（モード・レジスタで設定）

タイプCのマクロ・サービスは，上記の基本的なデータ転送に加えて，バッファ領域の圧縮とソフトウエアの負担を軽減するために以下の機能を付加することができます。

(a) タイマ用マクロ・サービス・ポインタの保持

タイマ用のマクロ・サービス・ポインタ（MPT）を保持するか，インクリメントするかを選択できます。

(b) 自動加算

タイマ用のマクロ・サービス・ポインタ（MPT）でアドレスされるデータと現在のコンペア・レジスタの値を加算して，加算結果をコンペア・レジスタへ転送します

自動加算を指定しない場合は，MPTでアドレスされるデータをコンペア・レジスタに転送するだけです。

(c) リング制御

あらかじめ指定された長さの出力データ・パターンを自動的に繰り返し出力します。

これらの指定は，マクロ・サービス・コントロール・ワードのモード・レジスタで指定します。

注意 1．マクロ・サービス・タイプCでも，MPT，MPDのインクリメントは16ビットで行われます。したがって，μPD78214サブシリーズ，μPD78224サブシリーズのソフトウエアを流用する場合にはご注意ください（μPD78214サブシリーズ，μPD78224サブシリーズのインクリメント動作は下位8ビットに対してだけ行われます）。

注意2．外部メモリ拡張時（μPD78217Aは常時）に，マクロ・サービスのタイプCを使用している場合，不正なライト・アクセス動作が発生する場合があります。
不正ライト・アクセスは，次の条件が成立したときに発生します。

・MPTLのアドレスがOFEDOH-OFEDFHのとき

不正なライト・アクセスは，通常のメモリ・アクセスと同様に行われます。また，メモリ拡張モード・レジスタ（MM）のPW20，PW21ビットの設定に従ってウエイトが挿入されます。表12－12に，不正なライト・アクセスの発生条件と動作を示します。

表12－12　不正ライト・アクセスの発生条件と動作

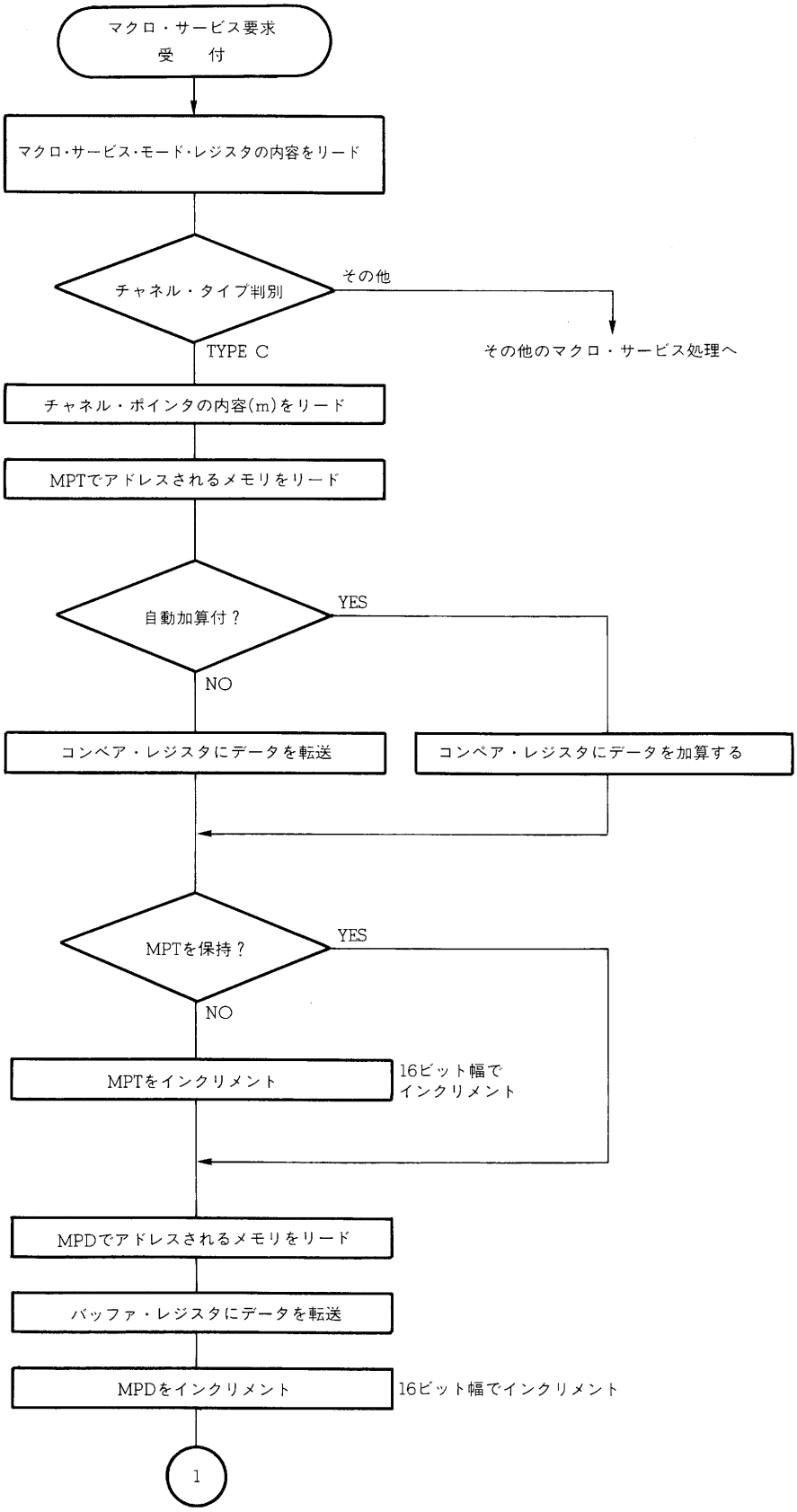
不正ライト・アクセス	
アドレス	データ
転送先のSFR（CR10またはCR11）のアドレス	MPTLのアドレスの下位8ビット

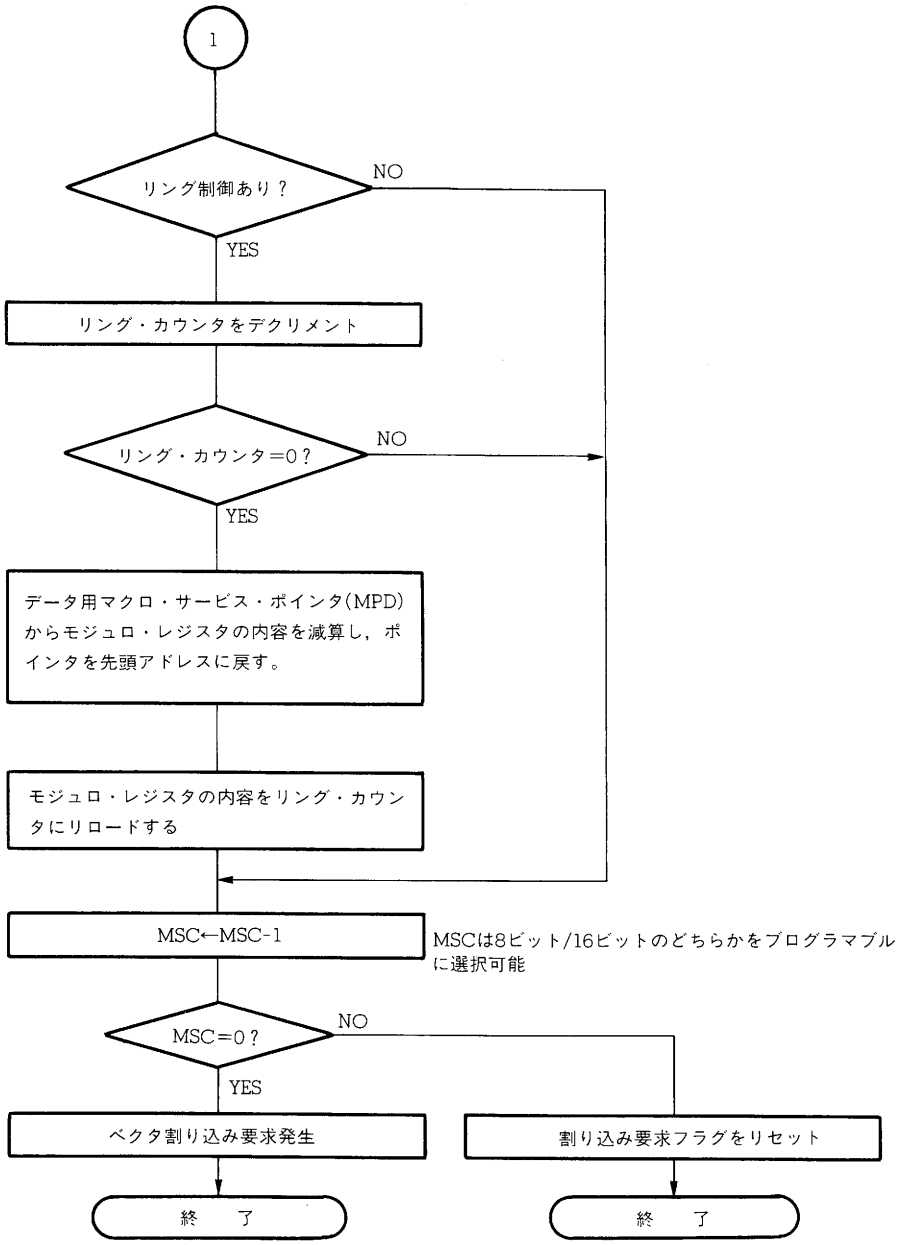
この不具合を回避するには，次の方法があります。

・MPTLのアドレスがOFEDOH-OFEDFHとならない位置に配置します。

なお，不具合はインサーキット・エミュレータでも発生します。

図12-25　マクロ・サービス・データ転送処理フロー（タイプC）




1
リング制御あり？
NO
YES
リング・カウンタをデクリメント
リング・カウンタ＝0？
NO
YES
データ用マクロ・サービス・ポインタ(MPD)からモジュロ・レジスタの内容を減算し，ポインタを先頭アドレスに戻す。
モジュロ・レジスタの内容をリング・カウンタにリロードする
MSC←MSC-1
MSCは8ビット/16ビットのどちらかをプログラマブルに選択可能
MSC＝0？
NO
YES
ベクタ割り込み要求発生
割り込み要求フラグをリセット
終　了
終　了

(2) マクロ・サービス・チャネルの構成

タイプCのマクロ・サービス・チャネルには図 12 - 26 に示す4種類があります。

タイマ用マクロ・サービス・ポインタ（MPT）は8ビット・タイマ／カウンタ1のコンペア・レジスタに転送または加算する64 Kメモリ空間内のデータ・バッファ領域を示します。

データ用マクロ・サービス・ポインタ（MPD）はリアルタイム出力ポートへ転送する64 Kメモリ空間内のデータ・バッファ領域を示します。

モジュロ・レジスタ（MR）は，リング制御を使用するとき繰り返しのパターン数を指定します。

リング・カウンタ（RC）は，リング制御を使用するときのパターン内のステップを保持します。通常初期設定時は，モジュロ・レジスタと同じ値に設定します。

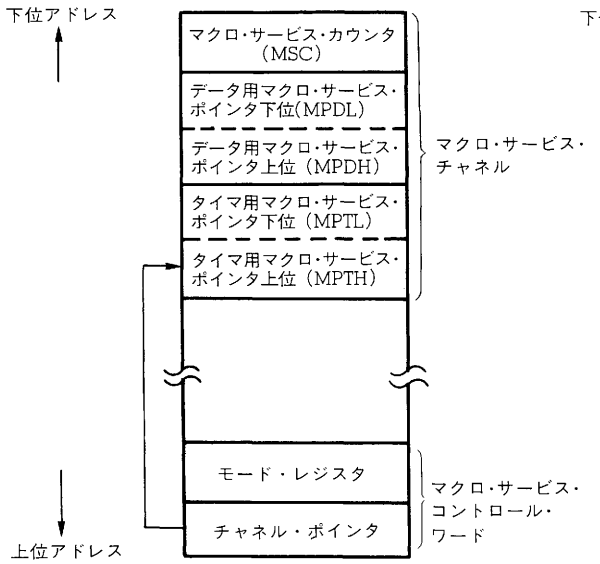
マクロ・サービス・カウンタ（MSC）は，データの転送回数を指定します。MSCは8ビット，16ビットの選択が可能です。

これらのポインタやカウンタを格納するマクロ・サービス・チャネルは，0FE00H-0FEFFHの内部RAM空間に配置します。マクロ・サービス・チャネルは，図12 - 26に示すようにチャネル・ポインタで示します。チャネル・ポインタには，マクロ・サービス・チャネルのアドレスの下位8ビットを書き込みます。

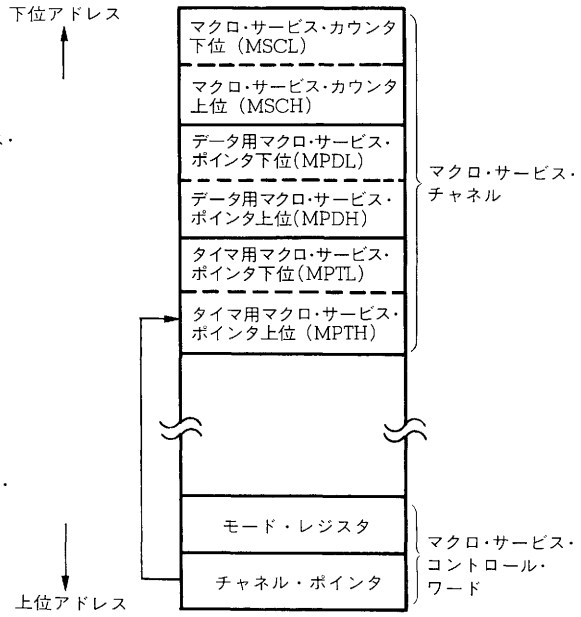
図12-26　タイプCのマクロ・サービス・チャネル

(a) リング制御なし

(i) マクロ・サービス・カウンタ8ビット

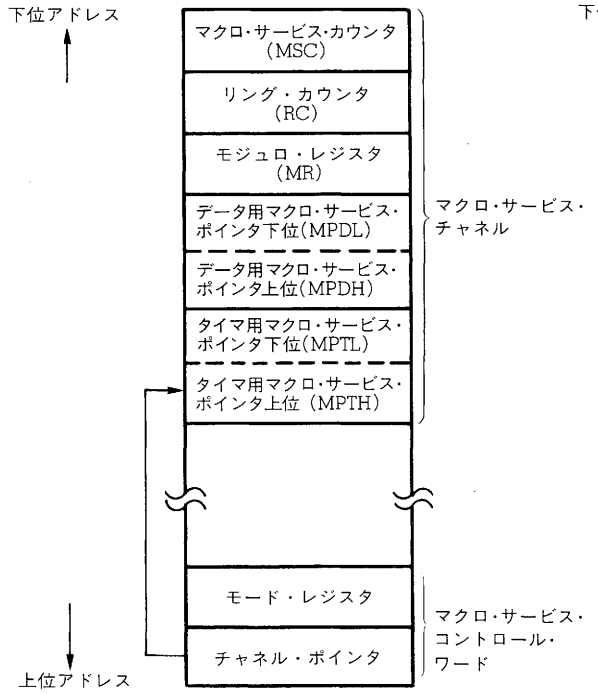


(ii) マクロ・サービス・カウンタ16ビット

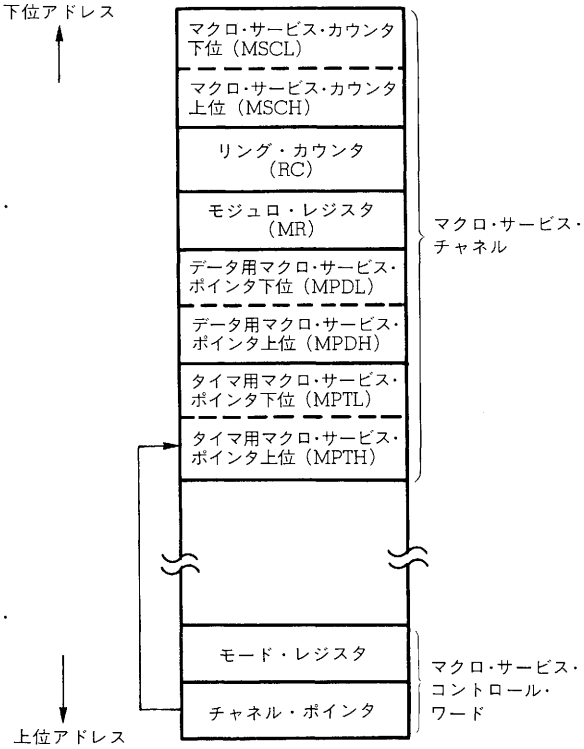


(b) リング制御あり

(i) マクロ・サービス・カウンタ8ビット



(ii) マクロ・サービス・カウンタ16ビット



(3) タイプC使用例

(a) 基本動作

リアルタイム出力ポートへの出力パターンと出力インターバルを直接制御する例を示します。

64Kバイト空間にあらかじめ設定してある2つのデータ格納領域より，リアルタイム出力機能のバッファ・レジスタ（P0H，P0L），およびコンペア・レジスタ（CR10，CR11）に更新データを転送します。

図12-27　リアルタイム出力ポートによるステッピング・モータの開ループ制御

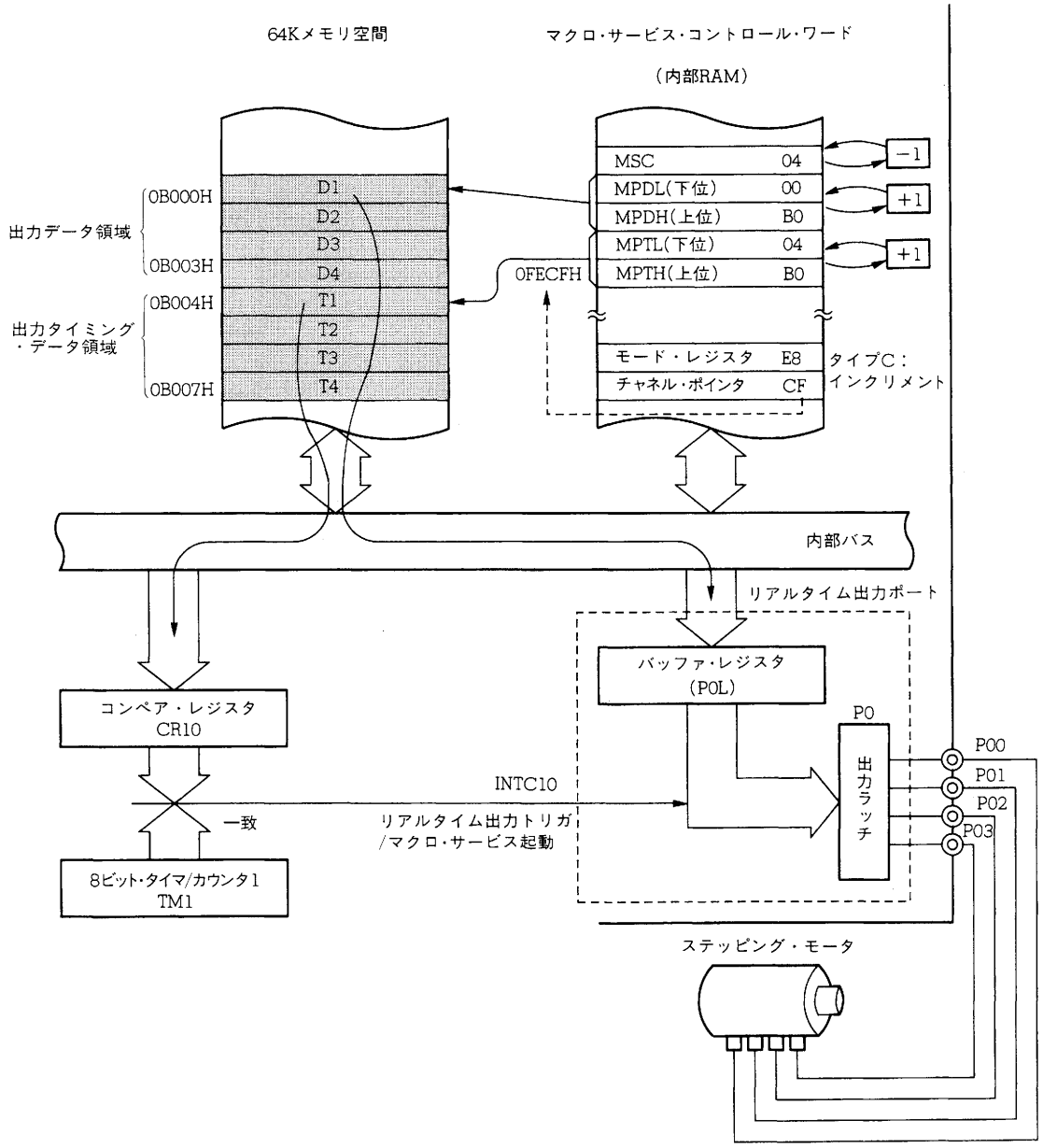
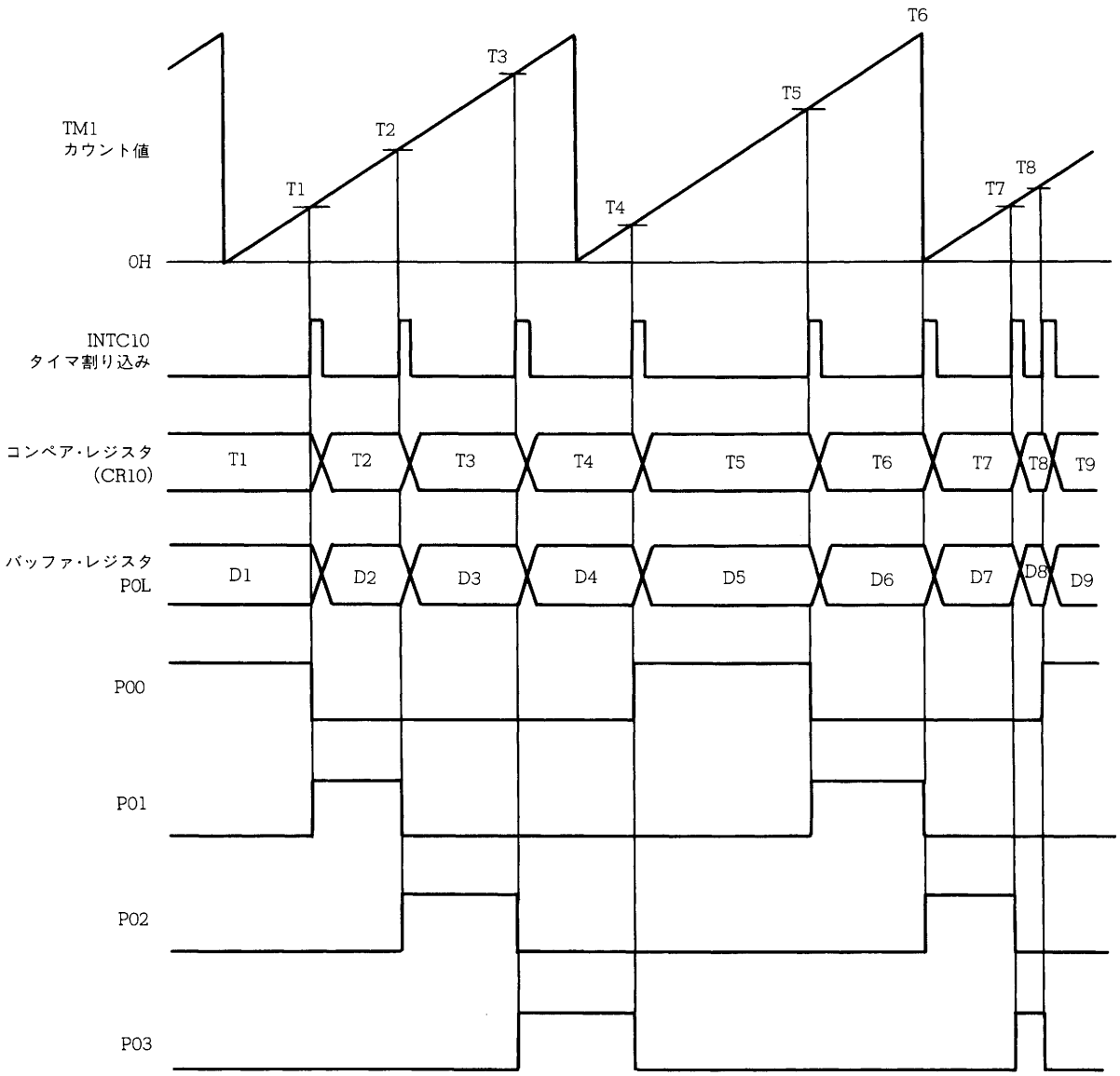


図 12－28　データ転送制御のタイミング



(b) 自動加算制御およびリング制御の使用例

(i) 自動加算制御

マクロ・サービス・ポインタ（MPT）で指定された出力タイミング・データ（Δt）をコンペア・レジスタの内容に加算し，加算結果をコンペア・レジスタに書き戻します。

この自動加算制御を利用することにより，コンペア・レジスタの設定値をその都度プログラム中で計算させる必要がなくなります。

(ii) リング制御

リング制御は，あらかじめ決まる出力データ・パターンを1サイクル分だけ用意しておいて，1サイクル分の出力パターンをリング形式で繰り返し順に出力するものです。

リング制御を用いる場合，出力するデータ・パターンとして1サイクル分だけ準備すればよいため，データROM領域を小さくすることができます。

マクロ・サービス・カウンタ（MSC）のデクリメントは，1回のデータ転送ごとに行います。

リング制御の場合も，MSC＝0で割り込み要求を発生します。

たとえば，ステッピング・モータを制御する場合，対象となるステッピング・モータの構成，および1相励磁，2相励磁などの相励磁方式によって出力データ・パターンは変化しますが，いずれの場合も繰り返しパターンになります。例として，4相ステッピング・モータの1相励磁の場合と1－2相励磁の場合を図12－29，図12－30に示します。

図12-29　4相ステッピング・モータの1相励磁の場合

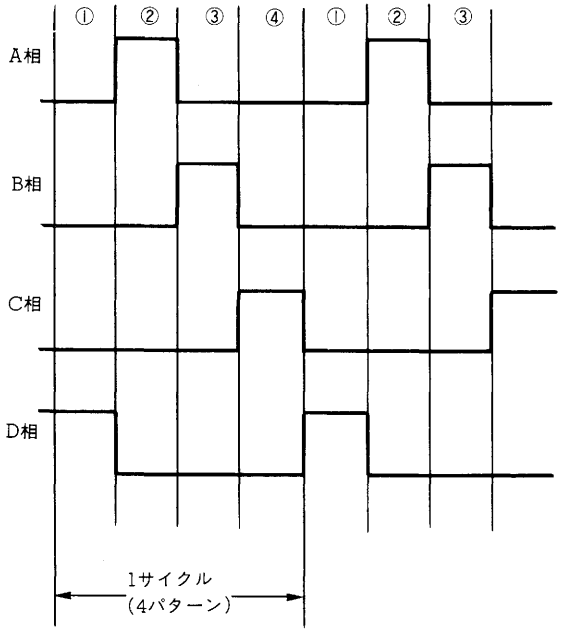


図12-30　4相ステッピング・モータの1-2相励磁の場合

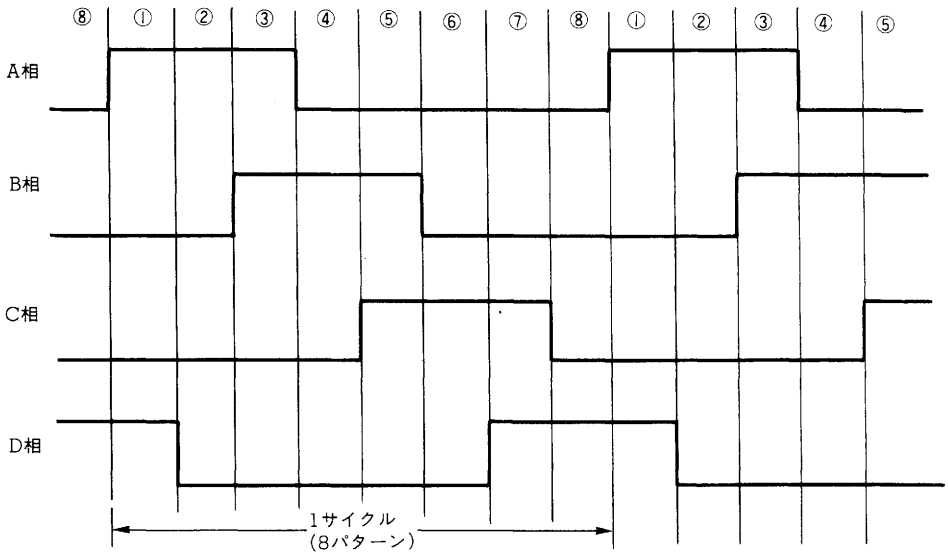


図 12－31　自動加算制御＋リング制御のブロック図1

（1－2相励磁で出力タイミングが変化する場合：MSC＝8ビット）

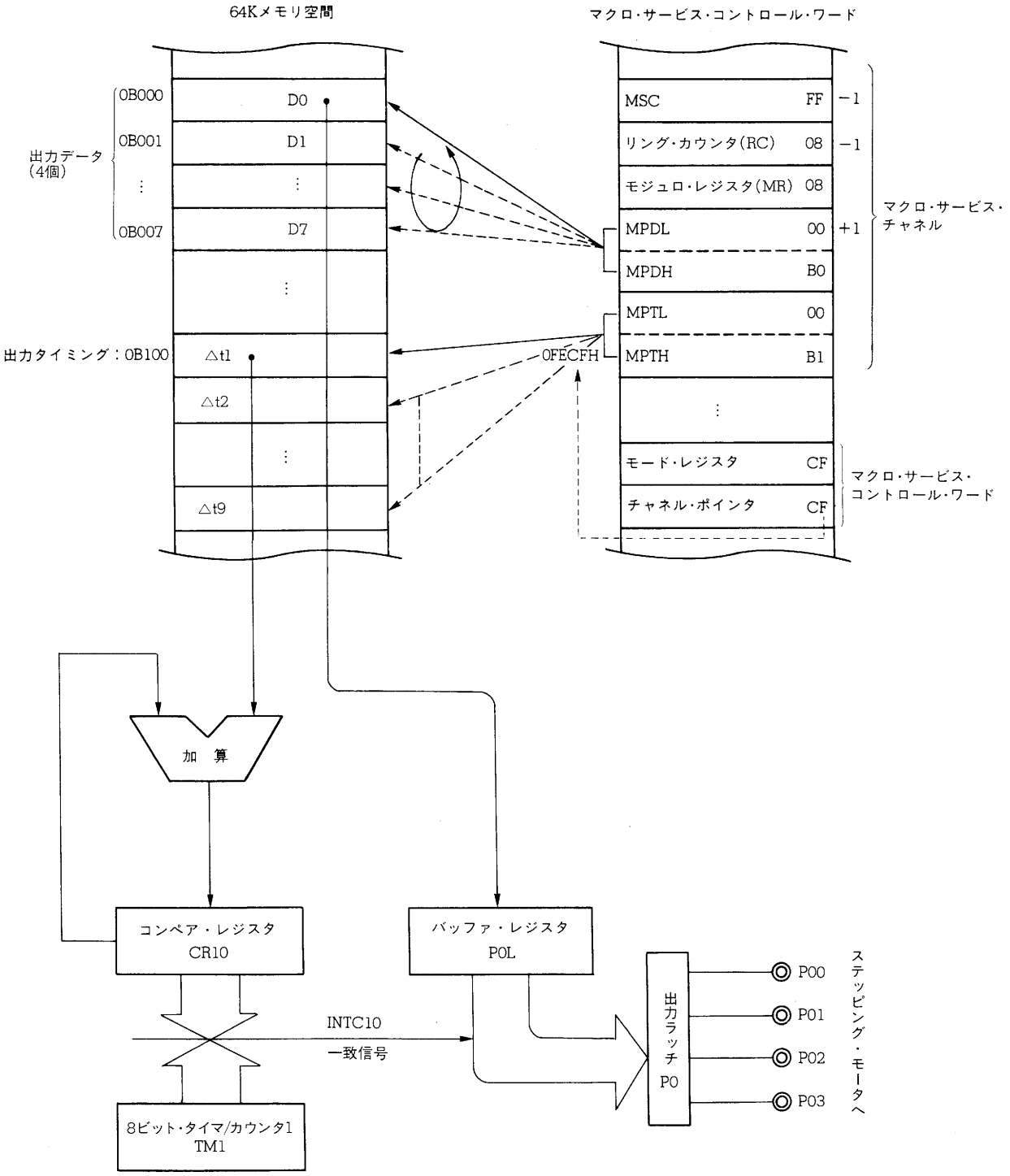
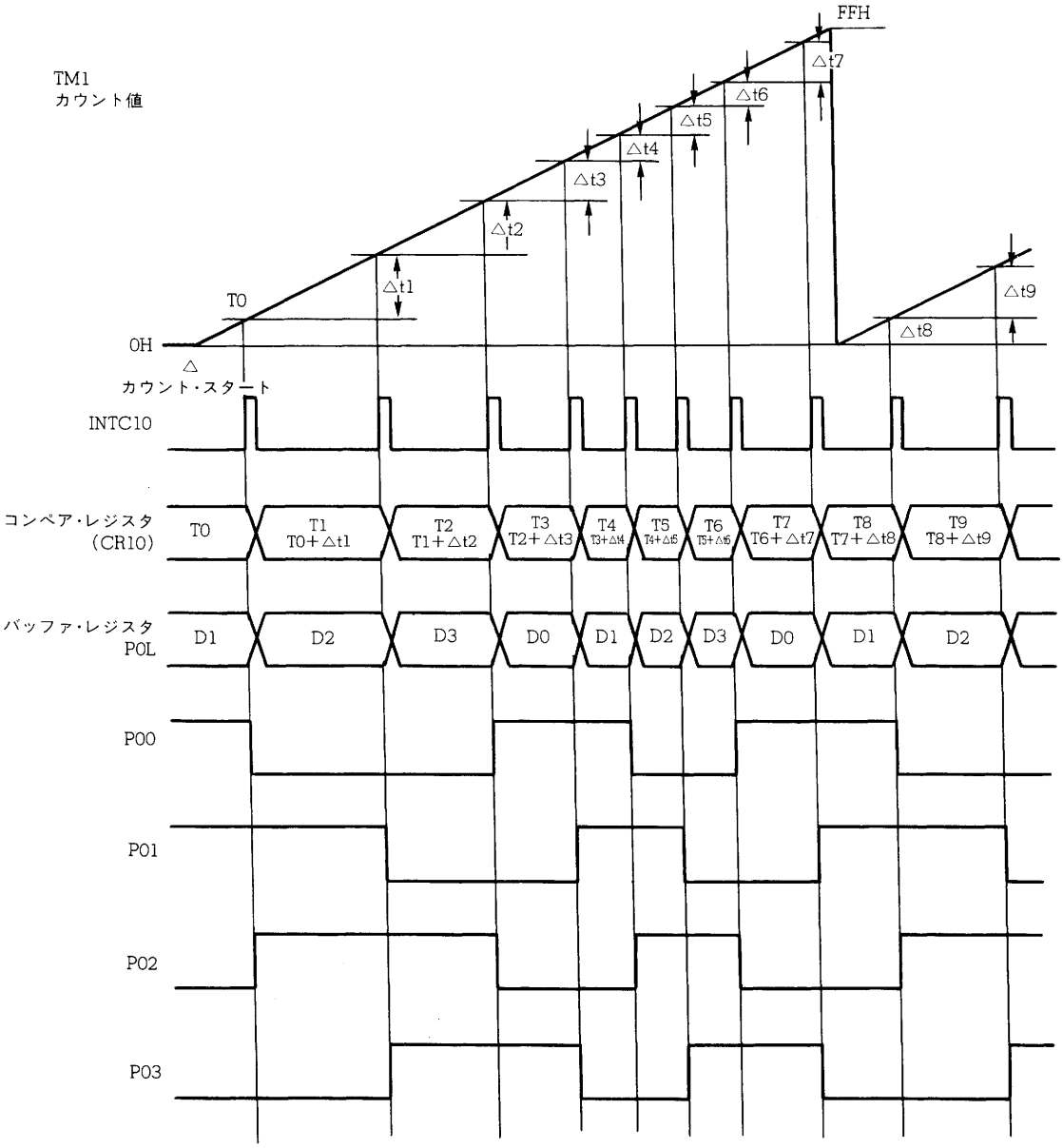
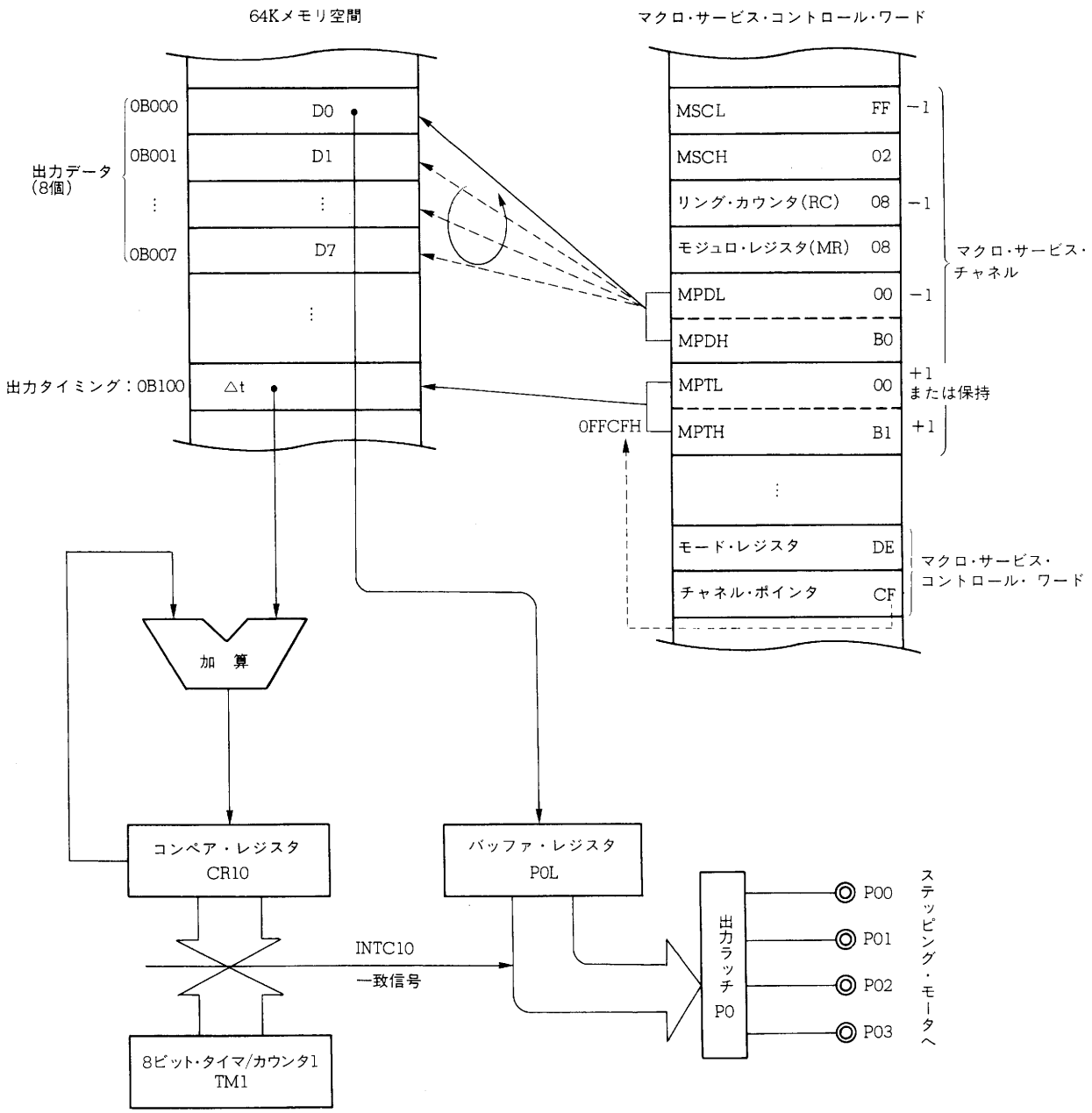


図 12－32　自動加算制御＋リング制御のタイミング図1（1-2相励磁で出力タイミングが変化する場合）



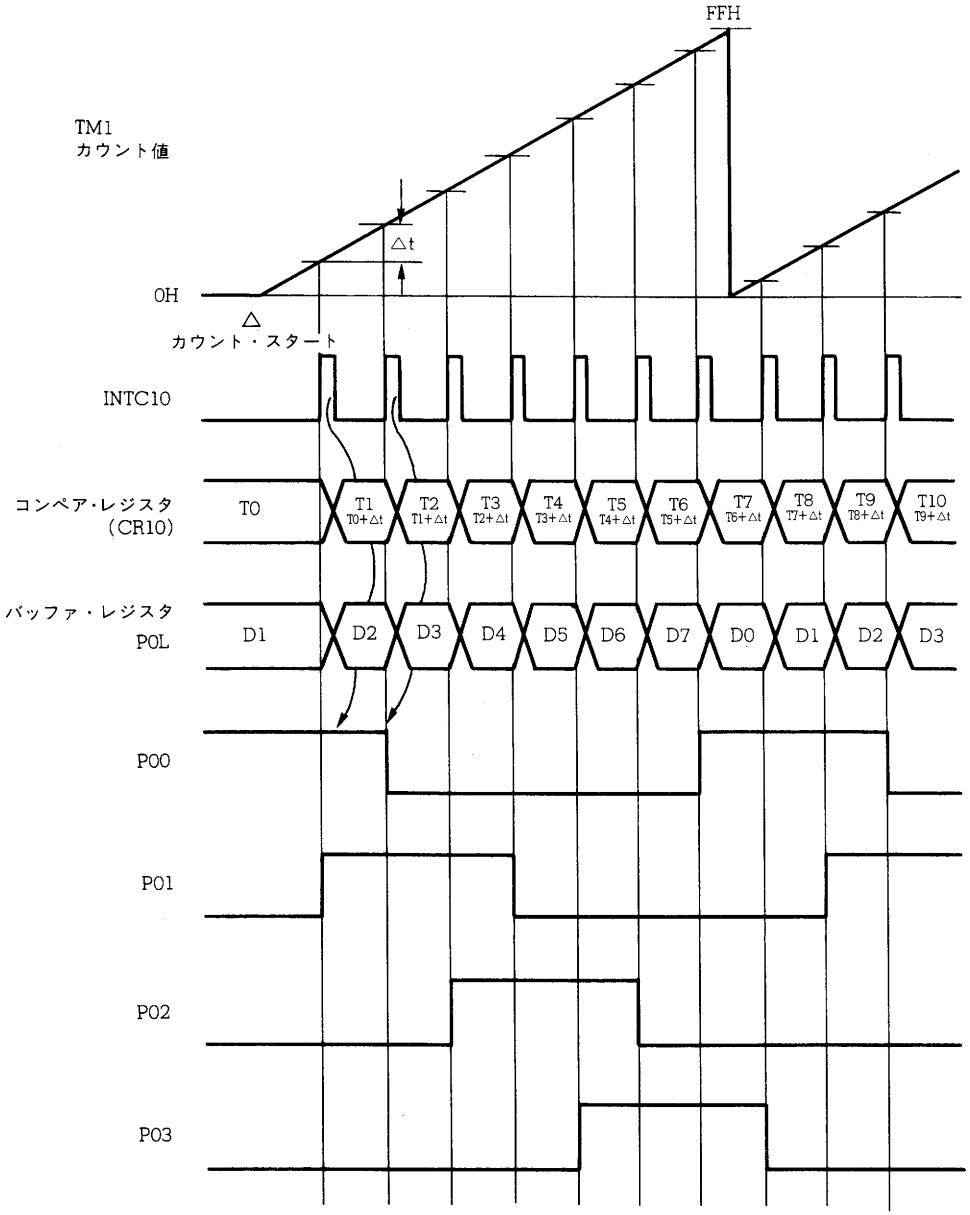
注意　MPTをインクリメントするモードに設定してください。

図 12－33　自動加算制御＋リング制御のブロック図 2
（1-2相励磁の等速運動：MSC＝16ビット）



12

図12-34　自動加算制御＋リング制御のタイミング図2(1-2相励磁の等速運動)



注意　MPTを保持するモードに設定してください。

12.5 注意事項

(1) ソフトウエア割り込みからの復帰にRETI命令を使用してはいけません。

(2) ノンマスカブル割り込みサービス・プログラム中でもマクロ・サービスの要求は受け付けられ，処理されます。ノンマスカブル割り込みサービス・プログラム中でマクロ・サービスの処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中で割り込みマスク・レジスタを操作して，マクロ・サービスが発生しないようにしてください。

(3) ノンマスカブル割り込みサービス・プログラム中にEI命令を実行するなどしてPSWのIEビットをセット(1)すると，高位の優先順位に指定されたマスカブル割り込み要求が受け付けられるようになります。このとき，ノンマスカブル割り込みサービス・プログラム実行中に高位の優先順位に指定されたマスカブル割り込みのサービス・プログラムを実行します。また，PSWのIEビットとISPビットをセット(1)すると，低位の優先順位に指定されたマスカブル割り込みについても同様に割り込み要求が発生し，割り込みサービス・プログラムを実行します。マスカブル割り込みサービス・プログラムから復帰するためにRETI命令を使用しますが，このRETI命令によってNMISビットはリセット(0)され，復帰したノンマスカブル割り込みサービス・プログラム中でノンマスカブル割り込みの多重処理を行いたくない場合でも，ノンマスカブル割り込み要求が受け付け可能な状態になってしまいます。ノンマスカブル割り込み要求の多重処理を行いたくない場合は，ノンマスカブル割り込みサービス・プログラム中に割り込み許可状態にしないでください。

(4) ノンマスカブル割り込みは，ノンマスカブル割り込み処理プログラム実行中（ISTレジスタのNMISビットをノンマスカブル割り込み処理中で0にして，ノンマスカブル割り込みの多重処理を許可している場合を除く）および**12.3.5**に示す特定の命令とその次に実行する命令の間を除いては必ず受け付けられます。したがって，特にリセット解除後などのスタック・ポインタの値が不定の場合でもノンマスカブル割り込みを受け付けます。このときのスタック・ポインタの値によっては特殊機能レジスタの書き込みを禁止しているアドレス（**3.2.5**の表**3-4**参照）へプログラム・カウンタ（PC）およびプログラム・ステータス・ワード（PSW）を書き込んでしまい，CPUがデッドロックしてしまったり，端子から予期しない信号を出力したり，RAMが実装されていないアドレスへPCやPSWを書き込むことにより，ノンマスカブル割り込み処理プログラムからメイン・ルーチンへ正常に戻れず暴走したりする場合があります。

また，$\overline{\text{RESET}}$端子に立ち上がりエッジが入力されるときとほぼ同時にNMI端子に立ち下がりエッジ（リセット解除後のNMI入力の有効エッジ）が入力されると，リセット動作終了後に1命令も実行せずにノンマスカブル割り込み処理プログラムへ分岐しますので，ほぼ確実に暴走します。これらの現象を回避するためには，スタック・ポインタの初期設定はリセット解除直後に行うようにするとともに，ハードウエアにより$\overline{\text{RESET}}$信号の立ち上がりから10 μs+20/f_{CLK}以内にNMI信号が立ち下がらないようにする必要があります。 ★

(5) 割り込み関連のレジスタをBF命令などを使用してポーリングを行う場合，そのBF命令などの分岐先は，その命令とならないようにしてください。その命令自身へ分岐するようなプログラムを記述すると，その命令で分岐しない条件が成立するまでの間すべての割り込みとマクロ・サービスが保留されてしまいます。

悪い例

```
        ⋮
LOOP:   BF   IF0H. 3,  $LOOP     IF0H. 3が1になるまですべての割り込みおよびマクロ・サービスが保留されてしまう。
        ×××                  ← BF命令の次の命令実行後に初めて割り込みおよびマクロ・サービスが処理される。
        ⋮
```

良い例(1)

```
        ⋮
LOOP:   NOP
        BF IF0H. 3,  $LOOP   ← NOP命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。
        ⋮
```

良い例(2)

```
        ⋮
LOOP:   BT   IF0H. 3,  $NEXT     BT命令のかわりにBTCLR命令を使用するとフラグを自動的にクリアしてくれるので便利。
        BR  $LOOP            ← BR命令の実行後に割り込みおよびマクロ・サービスが処理されるため長時間割り込みが保留されることはない。
NEXT:   ⋮
```

(6) (5)と同様の理由により，**12.3.5　割り込み要求およびマクロ・サービスが一時的に保留される場合**に該当する命令群を連続して使用する場合で，割り込みやマクロ・サービスが保留されている期間が長くなっては困る場合には，NOP命令などを途中に挿入して割り込みやマクロ・サービスが受け付けられるタイミングを作ってください。

(7) マクロ・サービス・タイプCでもMPT，MPDのインクリメントは16ビットで行われます（しかし，μPD78214サブシリーズ，μPD78224サブシリーズのインクリメント動作は下位8ビットに対してだけ行われます)。したがって，μPD78214サブシリーズ，μPD78224サブシリーズのソフトウエアを流用する場合にはご注意ください。

(8) マクロ・サービス・タイプAでは，マクロ・サービス・カウンタ（MSC）を16ビットに指定することはできません。したがって，マクロ・サービス・レジスタのビット4（B／W）には必ず“0”を書き込んでください。

(9) 外部メモリ拡張時（μPD78217Aは常時）に，マクロ・サービスのタイプAおよびタイプCを使用している場合，不正なライト・アクセス動作が発生する場合があります。
不正なライト・アクセスは，次の2つの条件のうちどちらかが成立したときに発生します。

条件 1． マクロ・サービス・タイプAで，マクロ・サービス実行時に転送先または転送元バッファ（メモリ）のアドレスが0FED0H-0FEDFHのとき
2． マクロ・サービス・タイプCでMPTLのアドレスが0FED0H-0FEDFHのとき

不正なライト・アクセスは，通常のメモリ・アクセスと同様に行われます。また，メモリ拡張モード・レジスタ（MM）のPW20，PW21ビットの設定に従ってウエイトが挿入されます。表 12－13 に，不正なライト・アクセスの発生条件と動作を示します。

表 12－13　不正ライト・アクセスの発生条件と動作

条件	マクロ・サービス・タイプ	不正ライト・アクセス	
		アドレス	データ
1	A	転送の対象となるSFRのアドレス	転送先バッファ（メモリ）のアドレスの下位8ビット
2	C	転送先のSFR(CR10またはCR11)のアドレス	MPTLのアドレスの下位8ビット

この不具合を回避する方法には，次の方法があります。
1．外付けのアドレス・デコード回路により0FF00H-0FFFFHの領域のイメージが外付け回路のメモリ・アドレスに重複しないようにします。
2．条件1の場合はバッファ領域が，条件2の場合はMPTLのアドレスが0FED0H-0FEDFHとならない位置に配置します。

なお，不具合はインサーキット・エミュレータでも発生します。

(10) マクロ・サービス・タイプBでは，次のものは，SFRとして指定することはできません。 ★
IFOL，IFOH，MKOL，MKOH，PROL，PROH，ISMOL，ISMOH，IST

第13章　ローカル・バス・インタフェース機能

ローカル・バス・インタフェース機能は，外部にメモリ（ROM，RAM）およびI／Oを接続するための機能です。

外部のメモリ（ROM，RAM）およびI／Oは，AD0-AD7端子をマルチプレクスト・アドレス／データ・バス，A8-A19端子をアドレス・バスとし，$\overline{RD}$，$\overline{WR}$，ASTB端子信号を用いてアクセスします。

図13－3，13－4に基本的なバス・インタフェース・タイミングを示します。

また，低速なメモリとインタフェースするためのウエイト機能，疑似スタティックRAMをリフレッシュするためのリフレッシュ信号出力機能を備えています。

13.1　制御レジスタ

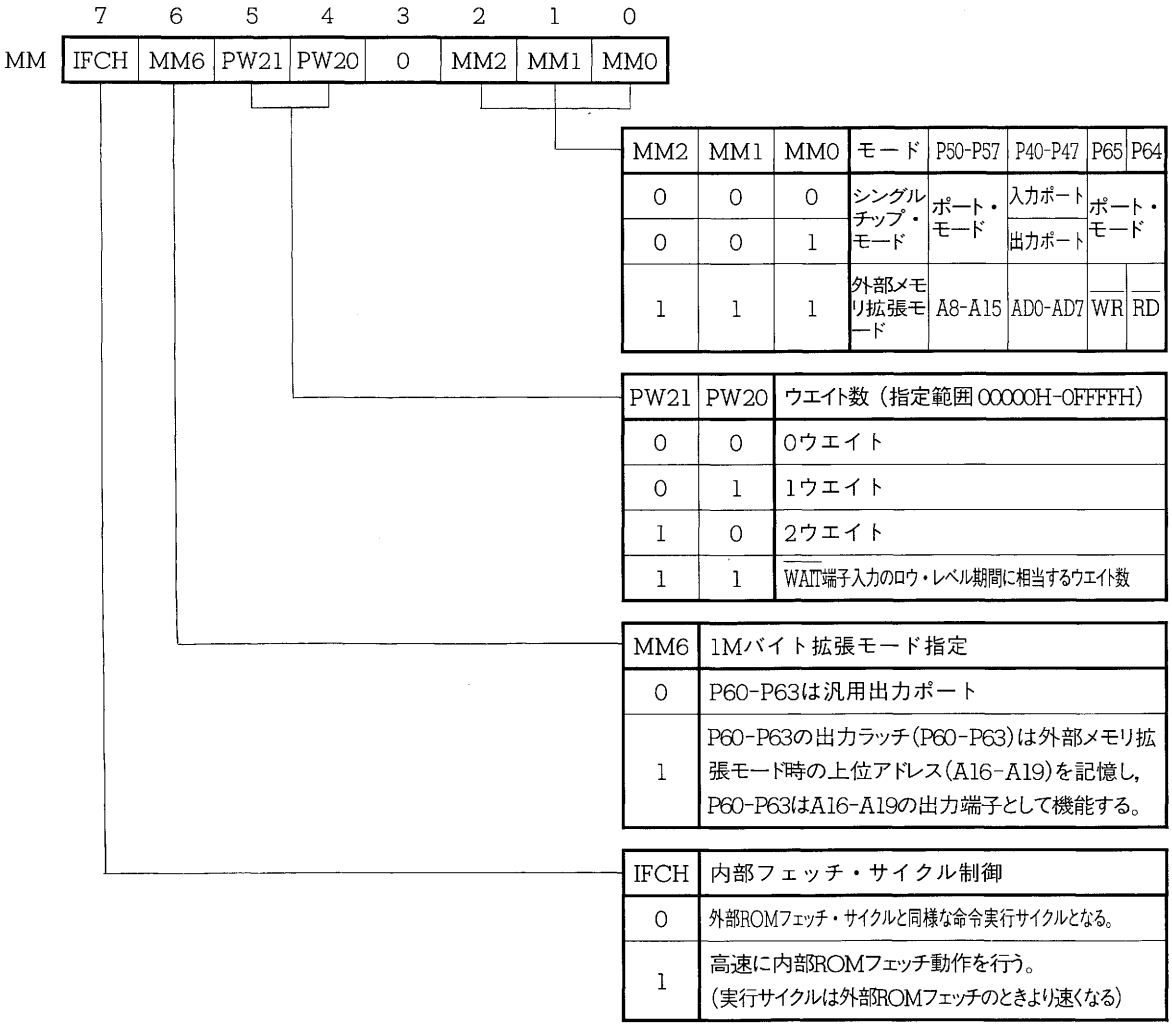
13.1.1　メモリ拡張モード・レジスタ（MM）

MMレジスタは，外部拡張メモリの制御，ウエイト数の指定(アドレス空間00000H-0FFFFH)，内部フェッチ・サイクルの制御を行う8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図13-1に示します。

$\overline{\text{RESET}}$入力で20Hになります。

図13-1　メモリ拡張モード・レジスタ（MM）のフォーマット



13.1.2　プログラマブル・ウエイト制御レジスタ（PW）

PWレジスタは，外部拡張データ・メモリ空間10000H-FFFFFHのウエイト数を指定する8ビット・レジスタです。8ビット操作命令とビット操作命令で読み出し／書き込み動作が可能です。そのフォーマットを図13－2に示します。

$\overline{\text{RESET}}$入力で80Hになります。

図13－2　プログラマブル・ウエイト制御レジスタ（PW）のフォーマット

	7	6	5	4	3	2	1	0
PW	PW31	PW30	0	0	0	0	0	0

PW31	PW30	ウエイト数（指定範囲10000H-FFFFFH）
0	0	0ウエイト
0	1	1ウエイト
1	0	2ウエイト
1	1	$\overline{\text{WAIT}}$端子入力のロウ・レベル期間に相当するウエイト数

13.2　メモリ拡張機能

13.2.1　外部メモリ拡張機能

μPD78218Aは，メモリ拡張モード・レジスタ（MM）の設定により，外部に31488バイトのメモリおよびI／Oの拡張ができます。

外部にメモリ空間を拡張する場合，P50-P57はアドレス・バス，P40-P47はマルチプレクスト・アドレス／データ・バスとして機能します。

また，$\overline{\text{EA}}$端子をロウ・レベルに固定することによって，ROMレス・モードとして動作します。この場合，MMレジスタの設定に関係なく64640バイトのメモリまたはI／Oを接続することができます。

μPD78217AはROMレス品のため，常時，外部メモリを使用します。

★　**注意　P50／A8-P57／A15，P60／A16-P63／A19に出力されるアドレス情報は，ASTB信号が立ち上がってから$\overline{\text{RD}}$信号または$\overline{\text{WR}}$信号が立ち上がるまでの間でだけ有効です。それ以外の期間では，P50／A8-P57／A15，P60／A16-P67／A19の出力レベルは不定となります。回路設計時には不定値が出力されても問題のないよう注意してください。**

なお，アドレス出力の有効な期間についての具体的な値は，各製品のデータ・シートを参照してください。

図13-3　リード・タイミング

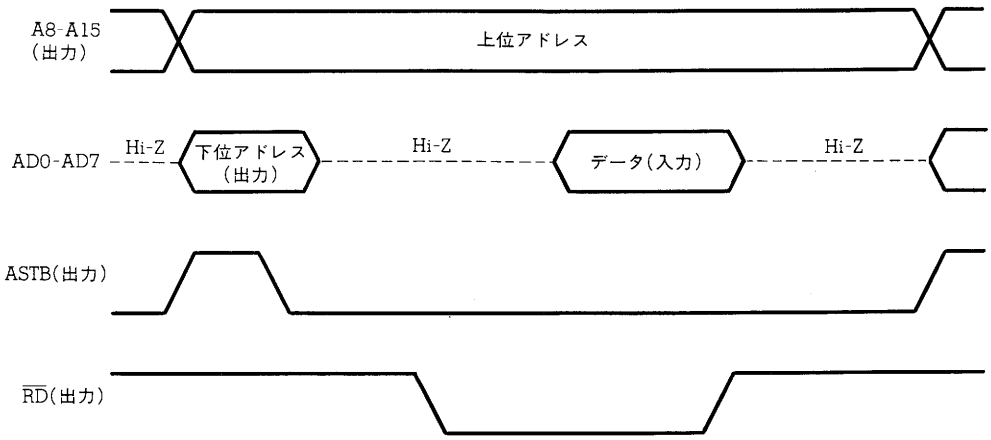
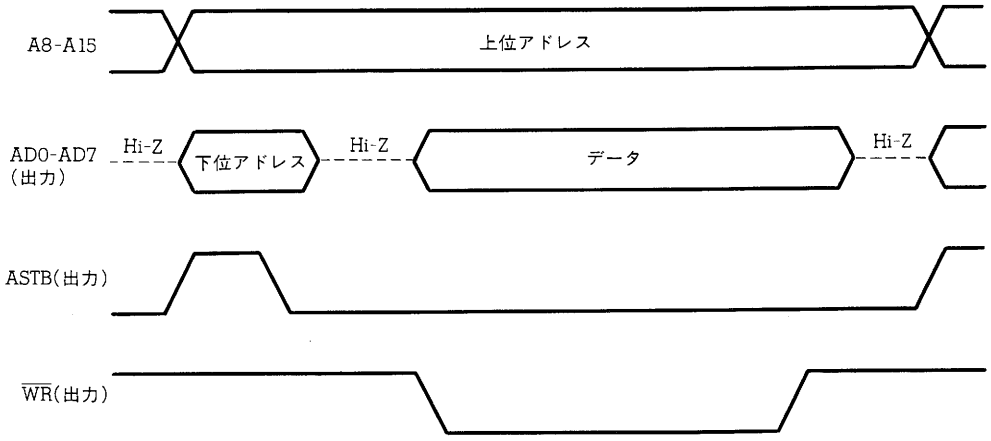


図13-4　ライト・タイミング



注意　内部RAM領域（0FC80H-0FEFFH），およびSFR領域（0FF00H-0FFFFH，ただし，外部SFR領域（0FFD0H-0FFDFH）を除く）に重複して外部デバイスをマッピングすることはできません。

重複してマッピングされた空間を操作する場合，内部RAM，SFRが自動的に操作対象となります。外部にはアドレス信号は出力されますが，ASTB，$\overline{RD}$，$\overline{WR}$信号は出力されません（インアクティブ・レベルのまま）。

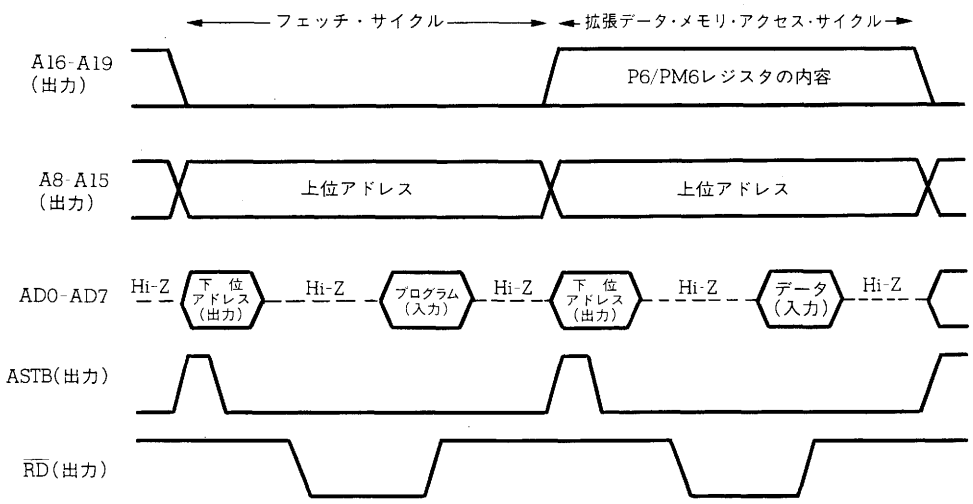
13.2.2　1Mバイト拡張機能

MMレジスタのMM6ビットのセット(1)によって，さらに960Kバイトまでのデータ・メモリを拡張することができ，1Mバイトのメモリ空間となります。この場合，P60-P63が最上位のアドレス(A16-A19)として機能します。

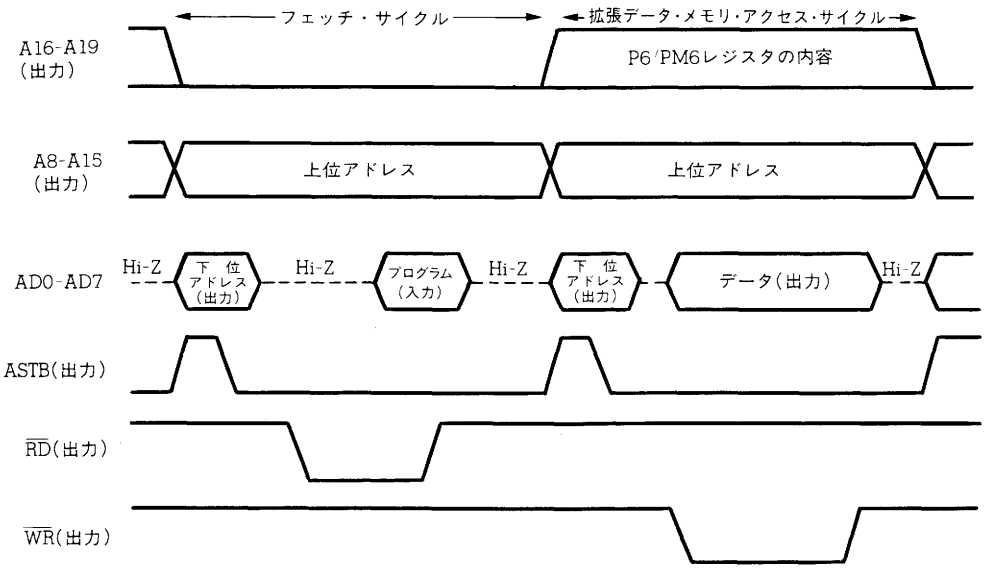
```
例　MOV　MM, #47H；1Mバイト拡張に設定
    MOV　P6, #3H　；最上位のアドレス情報ラッチ（バンク3を選択）
      ⋮
    MOV　A, &!2000H；32000Hのメモリ内容をAレジスタに格納
```

図13-5　拡張データ・メモリのアクセス

(a) リード・サイクル



(b) ライト・サイクル



13.2.3　メモリ拡張時のメモリ・マップ

メモリ拡張時のメモリ・マップを図13-6—図13-7に示します。メモリ拡張時であっても，内部ROM領域，内部RAM領域およびSFR領域（外部SFR領域（0FFD0H-0FFDFH）を除く）と同一のアドレスにある外部デバイスはアクセスできません。これらのアドレスに対するアクセス時には，μPD78218A内のメモリおよびSFRが優先的にアクセスされ，ASTB信号，$\overline{RD}$信号，$\overline{WR}$信号は出力されません（インアクティブ・レベルのまま）。また，アドレス・バス，アドレス／データ・バスの出力レベルは不定になります。ただし，メモリ拡張時に内部ROMのフェッチ動作を外部ROMと同じサイクル数に指定した場合（メモリ拡張モード・レジスタ（MM）のIFCHビットを“0”にすることで指定）は，内部ROMアクセス時にアドレスおよびASTB信号，$\overline{RD}$信号が出力されます。しかし，このときのアドレス／データ・バス上にある情報は取り込まれず，CPUは内部ROMからデータを読み込みます（$\overline{RD}$信号がアクティブのとき，μPD78218Aのアドレス／データ・バスはハイ・インピーダンス状態になります）。また，このときのバス・サイクルは，通常のリード・サイクルと同一となり，プログラマブル・ウエイト機能によるウエイトの挿入も有効になります。

注意　外部メモリ拡張時（μPD78217Aは常時）に，マクロ・サービスのタイプAおよびタイプCを使用している場合，不正なライト・アクセス動作が発生する場合があります。
不正なライト・アクセスは，次の2つの条件のうちどちらかが成立したときに発生します。

条件1.　マクロ・サービス・タイプAで，マクロ・サービス実行時に転送先または転送元バッファ（メモリ）のアドレスがOFED0H-OFEDFHのとき
2.　マクロ・サービス・タイプCでMPTLのアドレスがOFED0H-OFEDFHのとき

不正なライト・アクセスは，通常のメモリ・アクセスと同様に行われます。また，メモリ拡張モード・レジスタ（MM）のPW20，PW21ビットの設定に従ってウエイトが挿入されます。表13－1に，不正なライト・アクセスの発生条件と動作を示します。

表13－1　不正ライト・アクセスの発生条件と動作

条件	マクロ・サービス・タイプ	不正ライト・アクセス	
		アドレス	データ
1	A	転送の対象となるSFRのアドレス	転送先バッファ（メモリ）のアドレスの下位8ビット
2	C	転送先のSFR(CR10またはCR11)のアドレス	MPTLのアドレスの下位8ビット

この不具合を回避する方法には，次の方法があります。

1．外付けのアドレス・デコード回路によりOFF00H-OFFFFHの領域のイメージが外付け回路のメモリ・アドレスに重複しないようにします。
2．条件1の場合はバッファ領域が，条件2の場合はMPTLのアドレスがOFED0H-OFEDFHとならない位置に配置します。

なお，不具合はインサーキット・エミュレータでも発生します。

図13-6　μPD78217AとμPD78218A($\overline{EA}$=Lのとき)のデータ・メモリの拡張

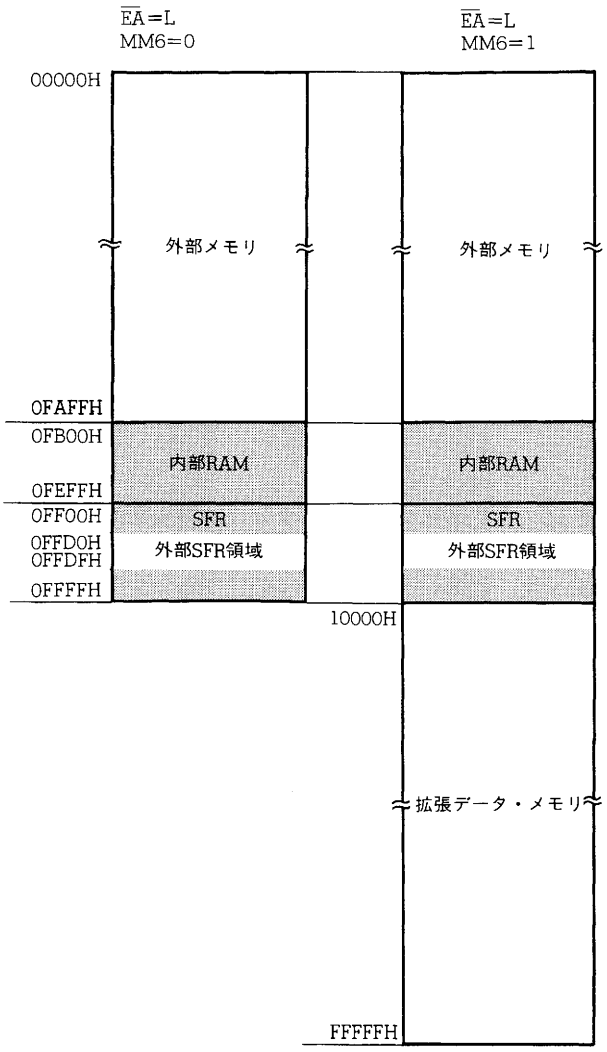
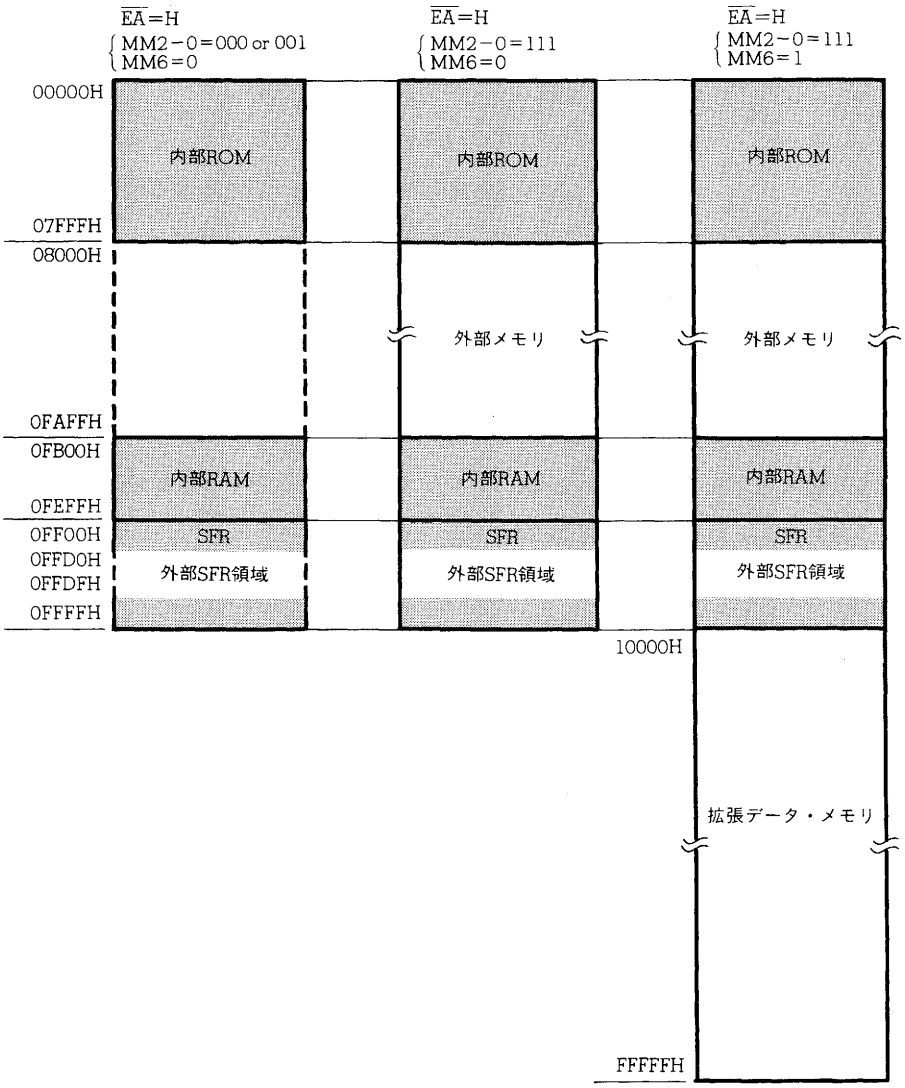


図 13-7　μPD78218A, 78P218A($\overline{EA}$=Hのとき)のデータ・メモリの拡張



13.2.4　メモリとの接続例

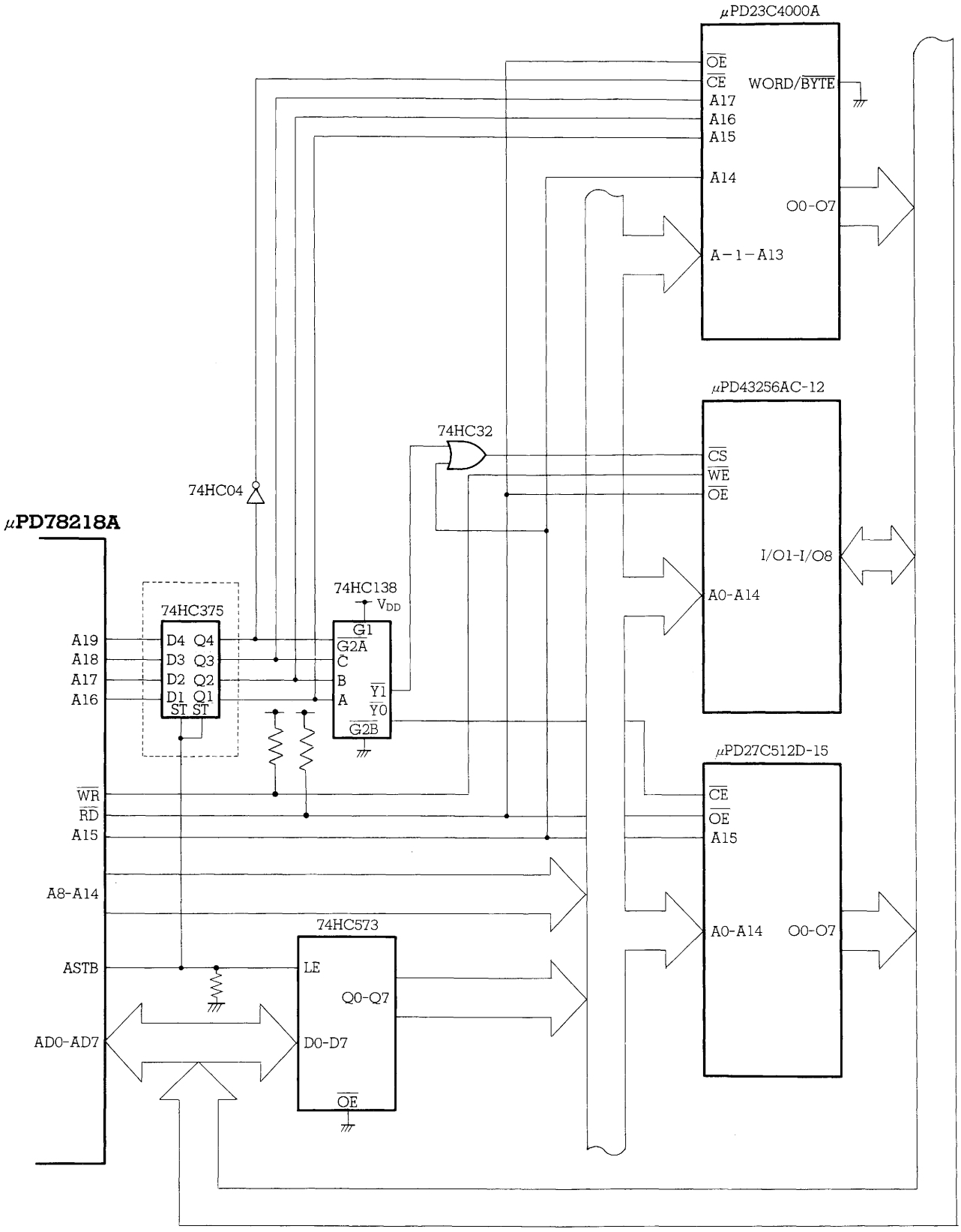
μPD78218Aと外部メモリとの接続例を図13-8に示します。本例では，PROM，SRAM，マスクROMを接続しています。各メモリに対するアドレスの割り付けは以下のようになっています。

・PROM(μPD27C512D-15)　：0000H-FAFFH(μPD78217A)
　　8000H-FAFFH(μPD78218A)
　　および外部SFR領域であるFFD0H-FFDFH
・RAM(μPD43256AC-12)　：10000H-17FFFH
・マスクROM(μPD23C4000A)：80000H-FFFFFH

マスクROMのμPD23C4000Aは，アクセス・タイムなどが遅いので，プログラマブル・ウエイト機能（**13.4　ウエイト機能**参照）を用いて，1ウエイトを入れてご使用ください。

なお，破線で囲んだ回路は，インサーキット・エミュレータを使用する場合のみ必要となる回路です。エミュレータ使用時以外は74HC375を取り除いて，DnとQn(n=1−4)をショートして使用してください。エミュレータ使用時に本回路がない場合は，誤動作する可能性があります（通常は，アドレス・デコーダなどの遅延時間により問題なく動作します)。また，RAMのμPD43256AC-12は，本回路がなければ150 ns品のμPD43256AC-15が使用可能です。

図 13-8　μPD78218Aとメモリの接続例



備考　アドレスおよびアドレス／データ・バスにはプルアップ抵抗などを接続する必要があります。

13.3　内部ROM高速フェッチ機能

μPD78218A，78P218Aは，ROMを内蔵しております。この内部ROMは，バス・コントロール回路を経由せずに高速にアクセスすることが可能です。通常は，外部ROMと同等のスピードでフェッチするようになっており，メモリ拡張モード・レジスタ（MM）のIFCHビットをセット(1)することにより，高速フェッチ機能が使用され，内部ROMのフェッチを高速に行うようになります。

なお，外部ROMフェッチと同等な命令実行サイクルを選択した場合は，ウエイト機能によるウエイトの挿入が行われますが，高速フェッチ使用時には，内部ROMに対してはウエイトは挿入されません。

$\overline{\text{RESET}}$入力により，外部ROMフェッチ・サイクルと同等な命令実行サイクルとなります。

13.4　ウエイト機能

μPD78218Aは外部に低速なメモリ，I／Oを接続する場合，外部メモリ・アクセス・サイクルにウエイトを挿入することができます。

ウエイト・サイクルは，$\overline{\text{RD}}$，$\overline{\text{WR}}$信号のロウレベルの期間中に挿入され，1サイクルあたり$1/f_{CLK}$（167 ns，f_{CLK}＝6 MHz時）ずつロウ・レベルの期間が引き延ばされます。

ウエイトの挿入方法としては，あらかじめ設定したサイクル数を自動的に挿入するプログラマブル・ウエイト機能，外部からウエイト信号によって制御する機能とがあります。

ウエイト・サイクル挿入の制御は，00000H-0FFFFHの空間に対してはメモリ拡張モード・レジスタ（MM）で，10000H-FFFFFHの空間に対してはプログラマブル・ウエイト制御レジスタ（PW）で指定します。なお，高速フェッチ時の内部ROMおよび内部RAMに対するアクセス時には，ウエイトは挿入されません。また内部のSFRに対するアクセス時には，本指定とは無関係に必要なタイミングでウエイトが挿入されます。

外部ROMと同じサイクル数でアクセス動作を行うよう指定した場合は，MMレジスタの設定にしたがって，内部ROMのアクセスにもウエイトが入ります。

P66端子はMMレジスタまたはPWレジスタのいずれか一方，または両方で外部からのウエイト信号で制御することを選択すると，$\overline{\text{WAIT}}$信号入力端子として動作するようになります。$\overline{\text{RESET}}$入力により，P66端子は汎用入出力ポートとして動作するようになります。

ウエイト・サイクル挿入時のバス・タイミングを図13－11―図13－13に示します。

注意　外部ウエイト機能を使用する場合は，PM6レジスタのビット6を“1”にして，P66／$\overline{\text{WAIT}}$端子を入力モードにしてください。

図13-9　μPD78217Aのウエイト制御の空間

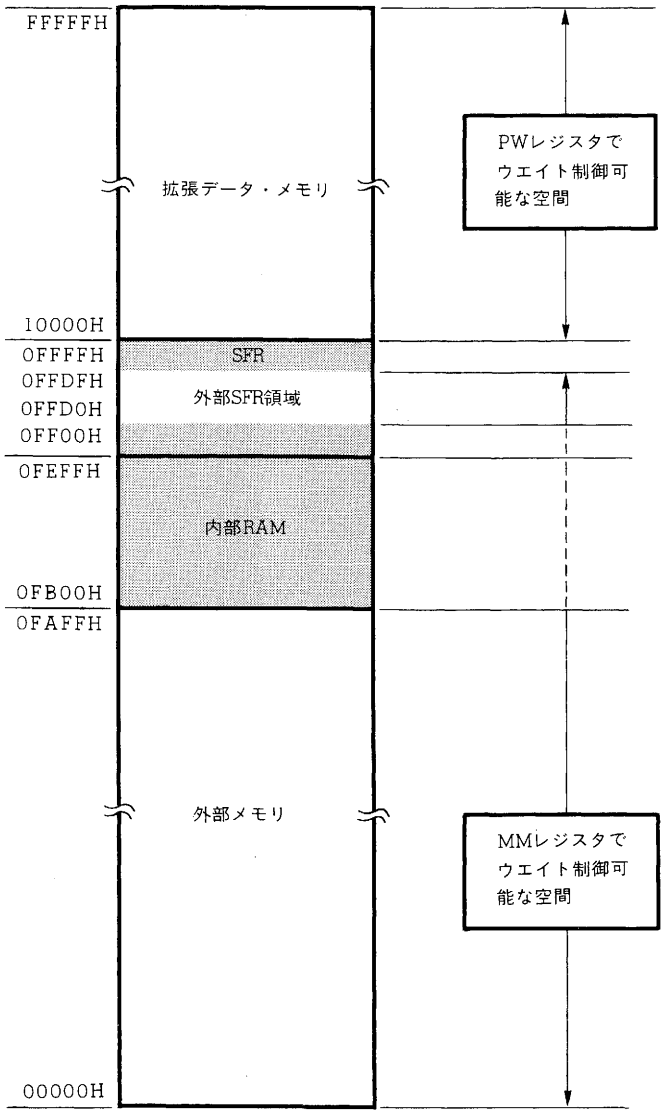


図13-10　μPD78218Aのウエイト制御の空間

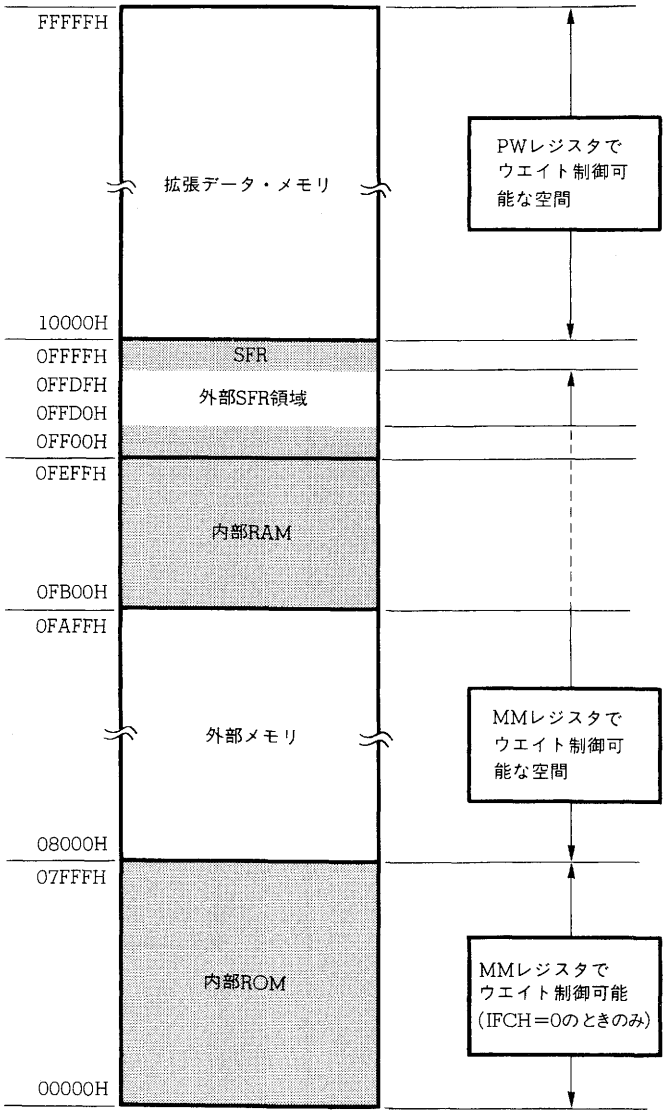
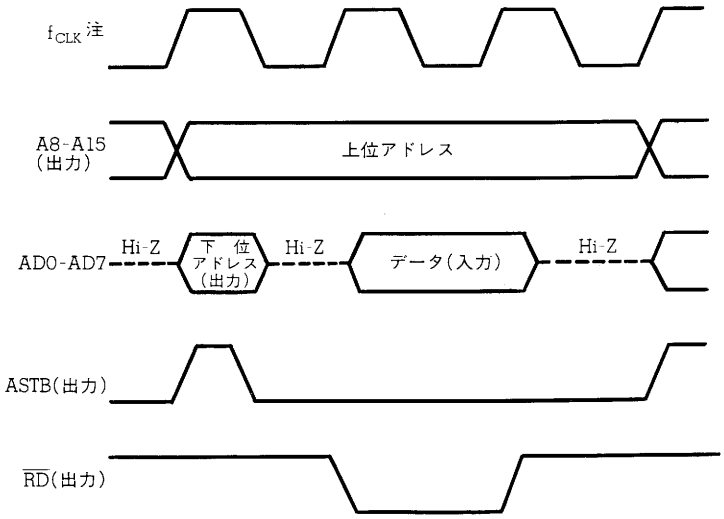


図13－11　プログラマブル・ウエイト機能によるリード・タイミング(1/2)

(a) 0ウエイト・ステート設定時



(b) 1ウエイト・ステート設定時

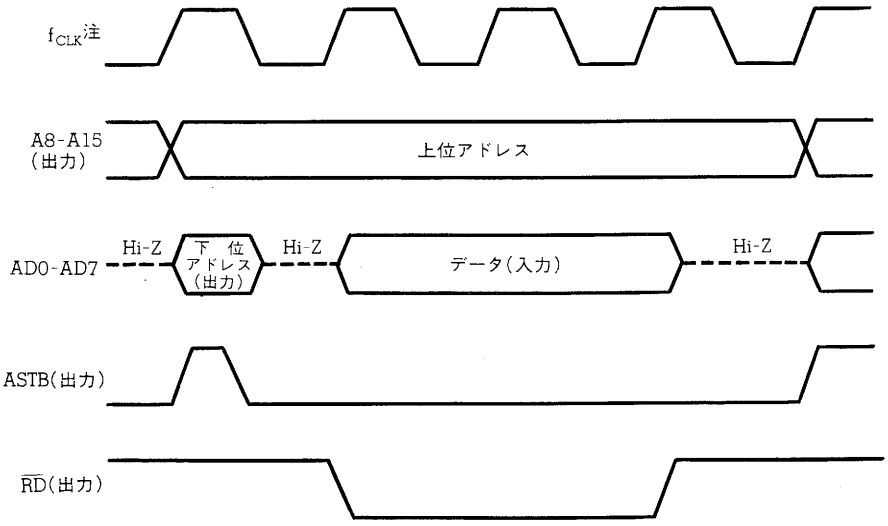
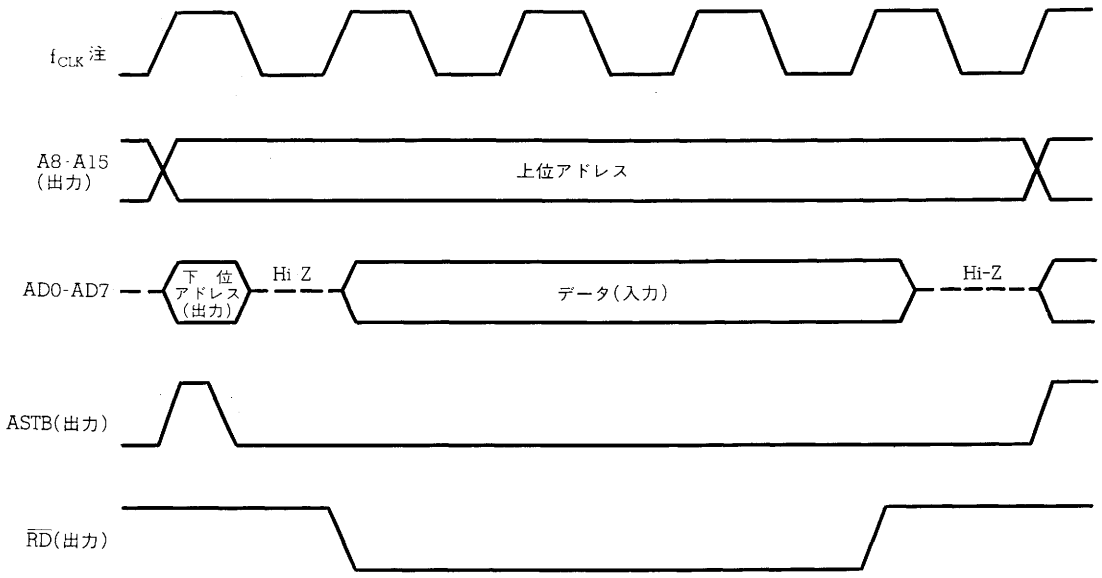


図13-11　プログラマブル・ウエイト機能によるリード・タイミング(2/2)

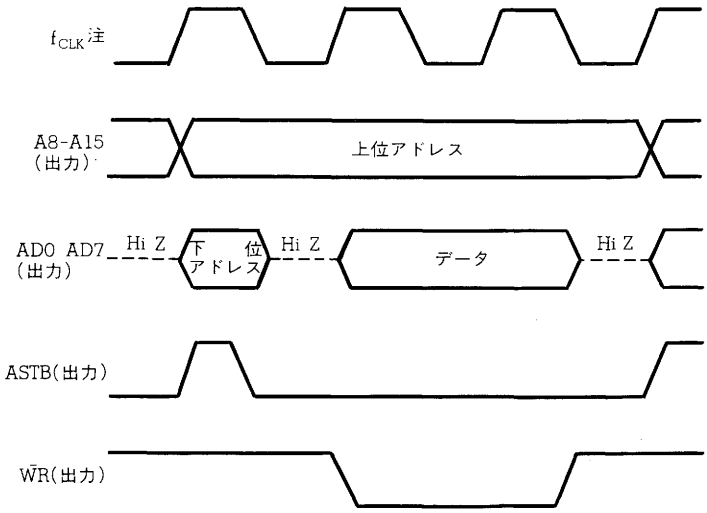
(c) 2ウエイト・ステート設定時



注　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

図13-12　プログラマブル・ウエイト機能によるライト・タイミング(1/2)

(a) 0ウエイト・ステート設定時



(b) 1ウエイト・ステート設定時

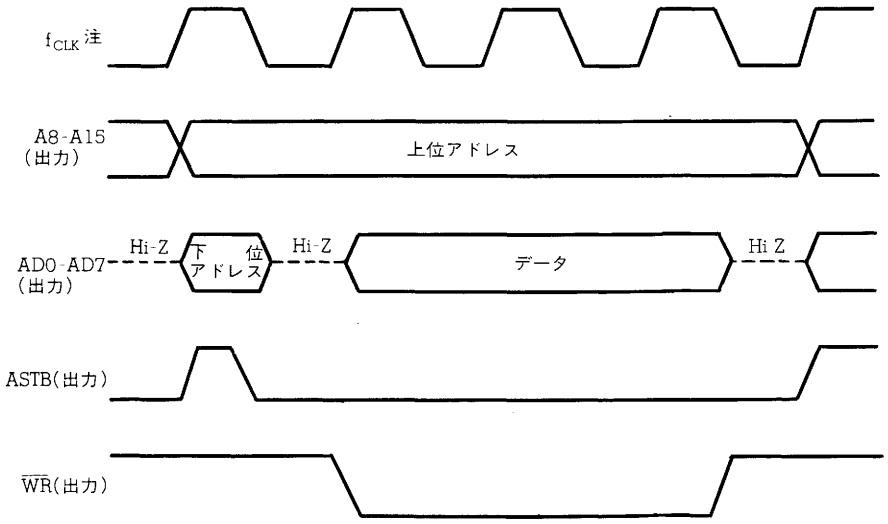
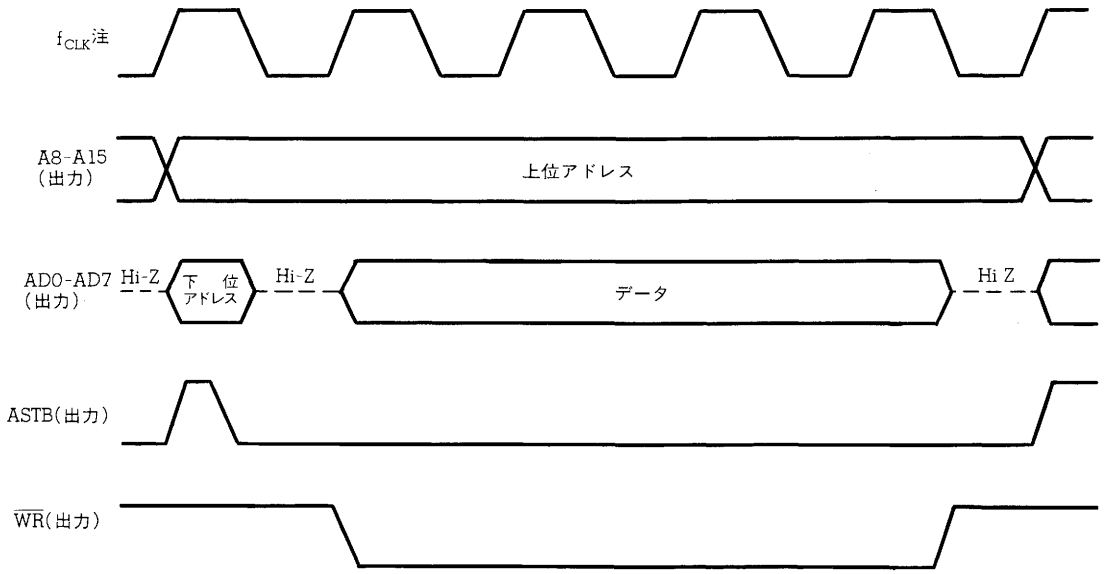


図13－12　プログラマブル・ウエイト機能によるライト・タイミング(2/2)

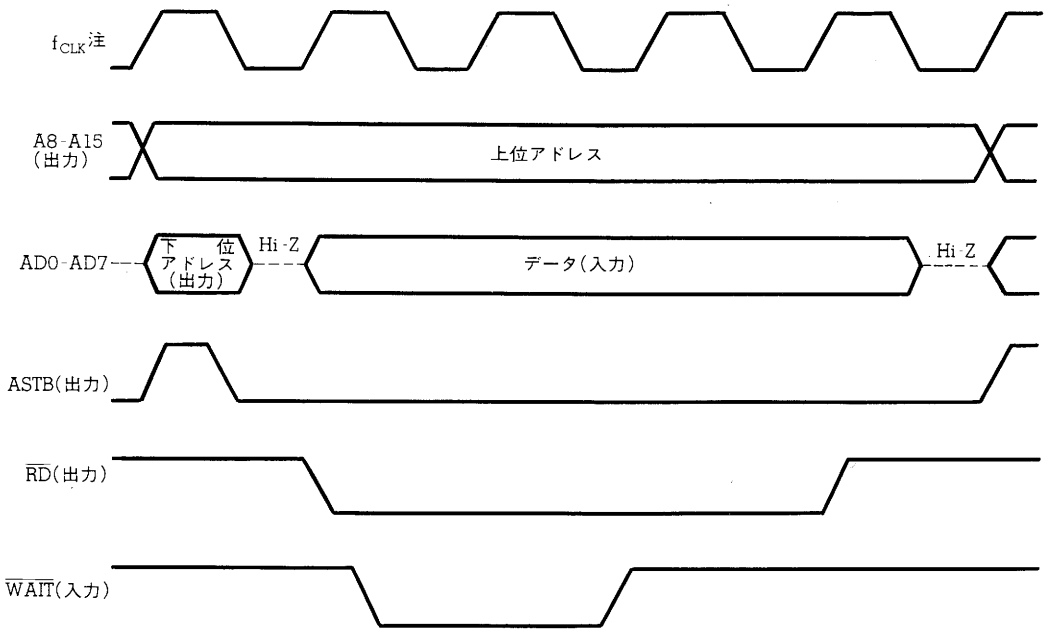
(c) 2ウエイト・ステート設定時



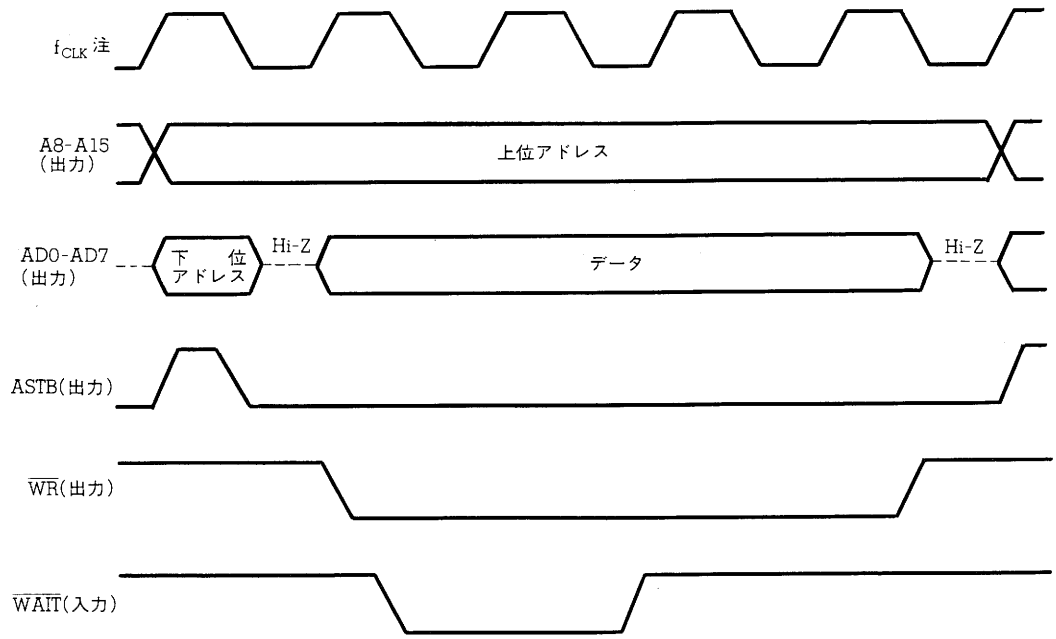
注　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

図13－13　外部ウエイト信号によるタイミング

(a) リード・タイミング



(b) ライト・タイミング



注　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

13.5　疑似スタティックRAMリフレッシュ機能

13.5.1　機　　能

μPD78218Aでは，疑似スタティックRAMを直接接続するための疑似スタティックRAMリフレッシュ機能を内蔵しています。

疑似スタティックRAMリフレッシュ機能は，任意のインターバルでリフレッシュ・パルスを出力します。リフレッシュ・モード・レジスタ（RFM）の設定により，リフレッシュ・パルス出力間隔を指定し，外部アクセス・サイクルを疑似スタティックRAMバス・サイクルに対応したリフレッシュ・バス・サイクルに切り替えます（ライト・パルス幅は疑似スタティックRAMを接続しない場合に比較すると半クロック分狭くなります）。

μPD78218Aでは，疑似スタティックRAMの応用システムの低消費電力を実現するセルフ・リフレッシュ動作をサポートするための機能も備えています。

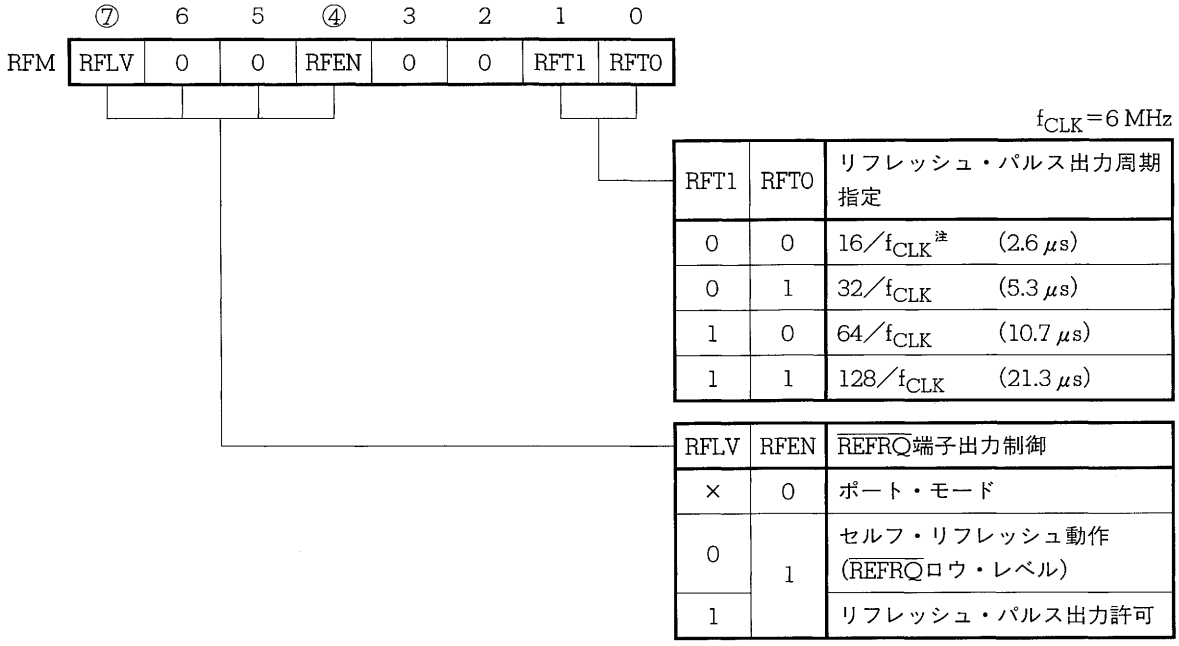
13.5.2　リフレッシュ・モード・レジスタ（RFM）

RFMレジスタは，疑似スタティックRAMのリフレッシュ周期およびセルフ・リフレッシュ動作への切り替えを制御する8ビット・レジスタです。

8ビット操作命令とビット操作命令で読み出し／書き込みが可能です。そのフォーマットを図13－14に示します。

$\overline{\text{RESET}}$入力で00Hとなります。$\overline{\text{REFRQ}}$端子はポート・モードになり，兼用であるP67端子として動作します。

図13－14　リフレッシュ・モード・レジスタ（RFM）のフォーマット



備考　×：0または1

注　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

13.5.3 動　　作

(1) パルス・リフレッシュ動作

疑似スタティックRAMのパルス・リフレッシュ・サイクルをサポートするため，バス・サイクルに同期して$\overline{\text{REFRQ}}$端子からリフレッシュ・パルスを出力します。

リフレッシュ・パルスは8 ms間に512回以上発生するようにシステム・クロック周波数とリフレッシュ・モード・レジスタ（RFM）のビット1，0（RFT1，RFT0）で調整します。

表13-2　疑似スタティックRAM使用時のシステム・クロック周波数とリフレッシュ・パルス出力周期

システム・クロック周波数 (f_{CLK})MHz	リフレッシュ・パルス出力周期指定	RFT1	RFT0
$4.096 < f_{CLK} \leqq 6$ ($8.192 < f_{XX} \leqq 12$)	$64/f_{CLK}$	1	0
$2.048 < f_{CLK} \leqq 4.096$ ($4.096 < f_{XX} \leqq 8.192$)	$32/f_{CLK}$	0	1
$2 \leqq f_{CLK} \leqq 2.048$ ($4 \leqq f_{XX} \leqq 4.096$)	$16/f_{CLK}$	0	0

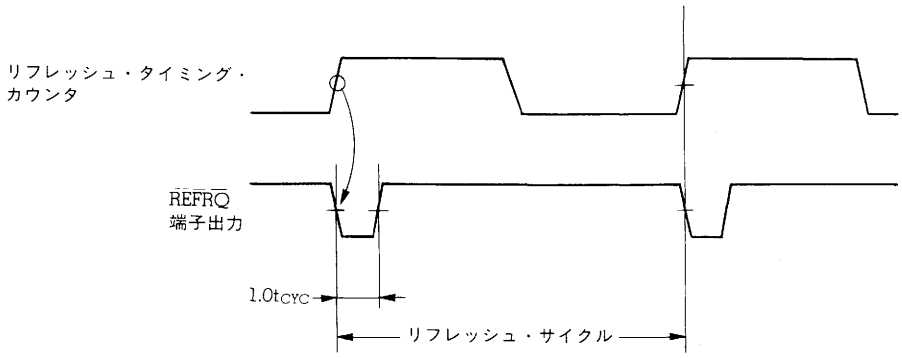
このパルス・リフレッシュ動作は，外部メモリ・アクセス動作と重ならないように行われます。リフレッシュ・サイクル中は，外部メモリ・アクセス・サイクルを保留し（ASTB，$\overline{\text{RD}}$，$\overline{\text{WR}}$などはインアクティブ），外部メモリ・アクセス・サイクル中ではリフレッシュ・サイクルを保留します。

外部メモリ・アクセス動作と重ならない場合は，CPUの命令実行に影響を与えずにリフレッシュ・サイクルを行います。

(a) 内部メモリ・アクセス時

外付けの疑似スタティックRAMをアクセスしない内部メモリ・アクセス時においても，疑似スタティックRAMに格納されたデータが保持されるように，リフレッシュ・バス・サイクルをRFMレジスタで指定された間隔で出力します。この場合，CPUの命令実行に影響を与えません。

図13－15　内部メモリ・アクセス時のパルス・リフレッシュ動作



t_{CYC}：システム・クロック・サイクル・タイム($1/f_{CLK}$)〔ns〕(f_{CLK}=6MHz)

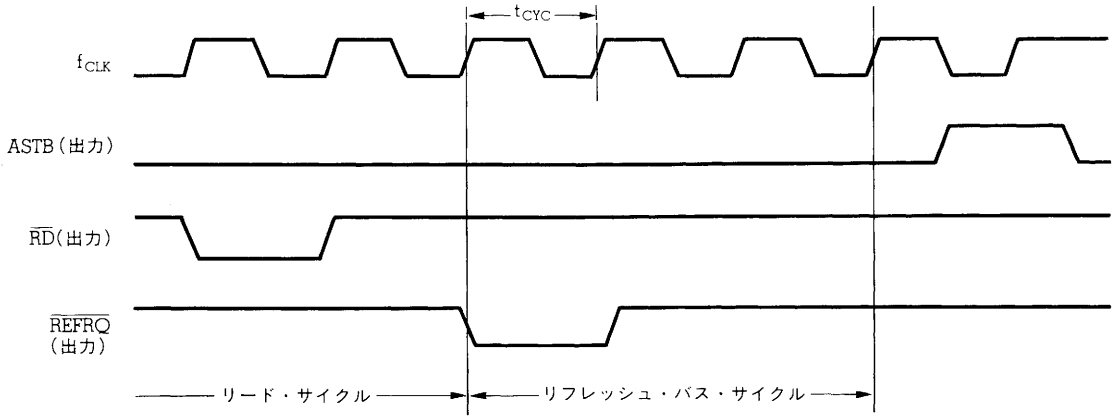
(b) 外部メモリ・アクセス時

リフレッシュ・バス・サイクルは，リフレッシュ・モード・レジスタ（RFM）で指定された間隔で発生します。

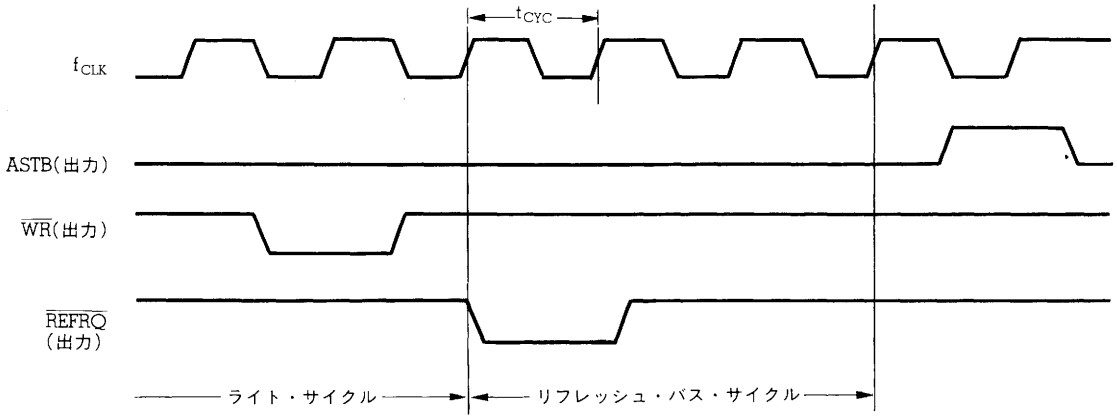
疑似スタティックRAMは，アクセス・タイミングとリフレッシュ・パルス出力タイミングが重なると誤動作する可能性があるため，μPD78218Aは，バス・サイクルと同期して3クロック・サイクル分のリフレッシュ・バス・サイクルを発生します。

図13－16　外部メモリ・アクセス時のパルス・リフレッシュ動作

(a) メモリ・リード時



(b) メモリ・ライト時



(2) セルフ・リフレッシュ動作

スタンバイ・モード時も疑似スタティックRAMの内容を保持させるためのモードです。

(a) セルフ・リフレッシュ動作モードの設定

RFMレジスタのビット4（RFEN）を“1”，ビット7（RFLV）を“0”に設定すると，$\overline{\text{REFRQ}}$端子からロウ・レベルを出力し，疑似スタティックRAMにセルフ・リフレッシュ動作モードを指示します。

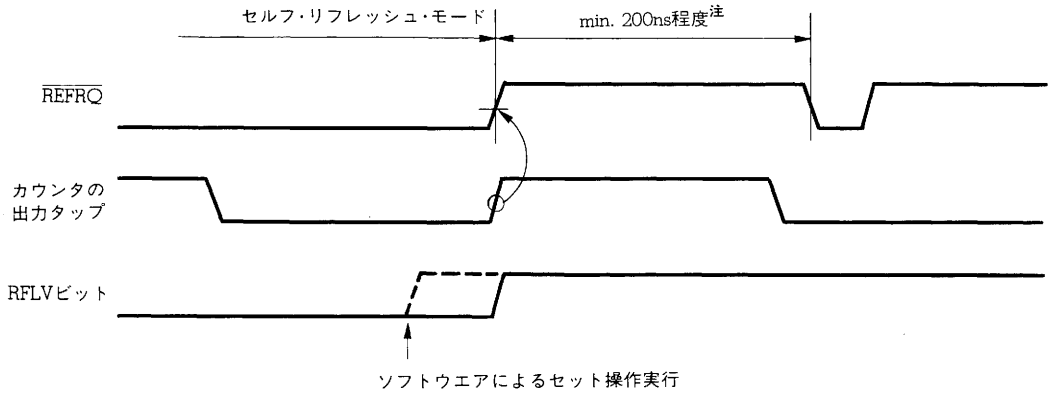
(b) セルフ・リフレッシュ動作からの復帰

疑似スタティックRAMへのリフレッシュ・パルスの出力は，$\overline{\text{REFRQ}}$端子出力レベルがロウ・レベルからハイ・レベルに変化してから200 ns程度注は禁止されています。したがってμPD78218Aは$\overline{\text{REFRQ}}$端子をリフレッシュ・タイミング・カウンタに同期して立ち上げることにより，禁止時間内にリフレッシュ・パルスを出力しないようにしています。

また，この$\overline{\text{REFRQ}}$端子レベルがロウ・レベルからハイ・レベルに変化したことを知ることができるように，RFLVビットの読み出しレベルは$\overline{\text{REFRQ}}$端子レベルがロウ・レベルからハイ・レベルに変化したときセット(1)されるようになっています。

注　疑似スタティックRAMのスピード・ランクなどによりこの時間は変化します。

図13－17　セルフ・リフレッシュ動作からの復帰タイミング

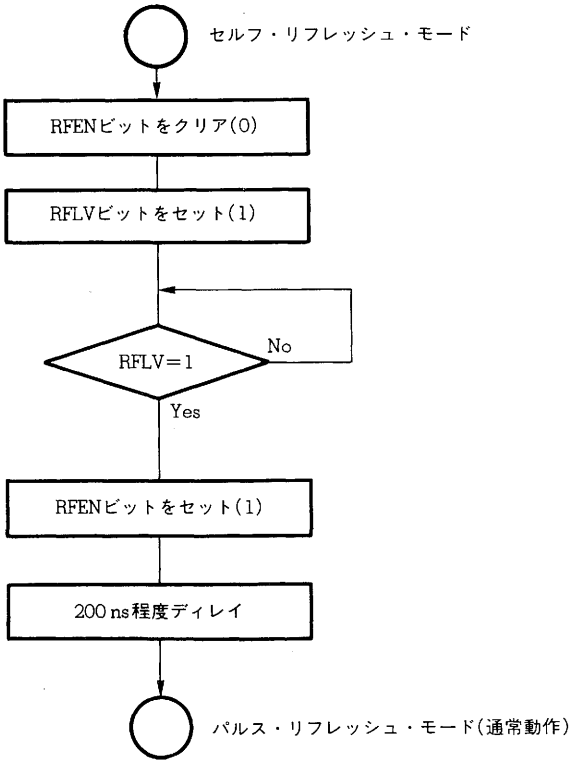


注　リフレッシュ禁止時間

注意　リフレッシュ・モード・レジスタ(RFM)のRFLVビットを0から1にするときに，RFENビットがセット(1)されている(RFLVビットと同時にセット(1)される場合も含む)と，$\overline{\text{REFRQ}}$端子から約10 nsでピーク・レベルが約2.6 Vのヒゲが出力される場合があります。

したがって，RFLVビットをセット(1)する場合には，図13－18のような手順で操作を行ってください。なお，RFENをセットした後の200 nsのディレイは，疑似スタティックRAMがセルフ・リフレッシュ・モードから復帰したときのアクセス禁止時間を確保するための時間です。

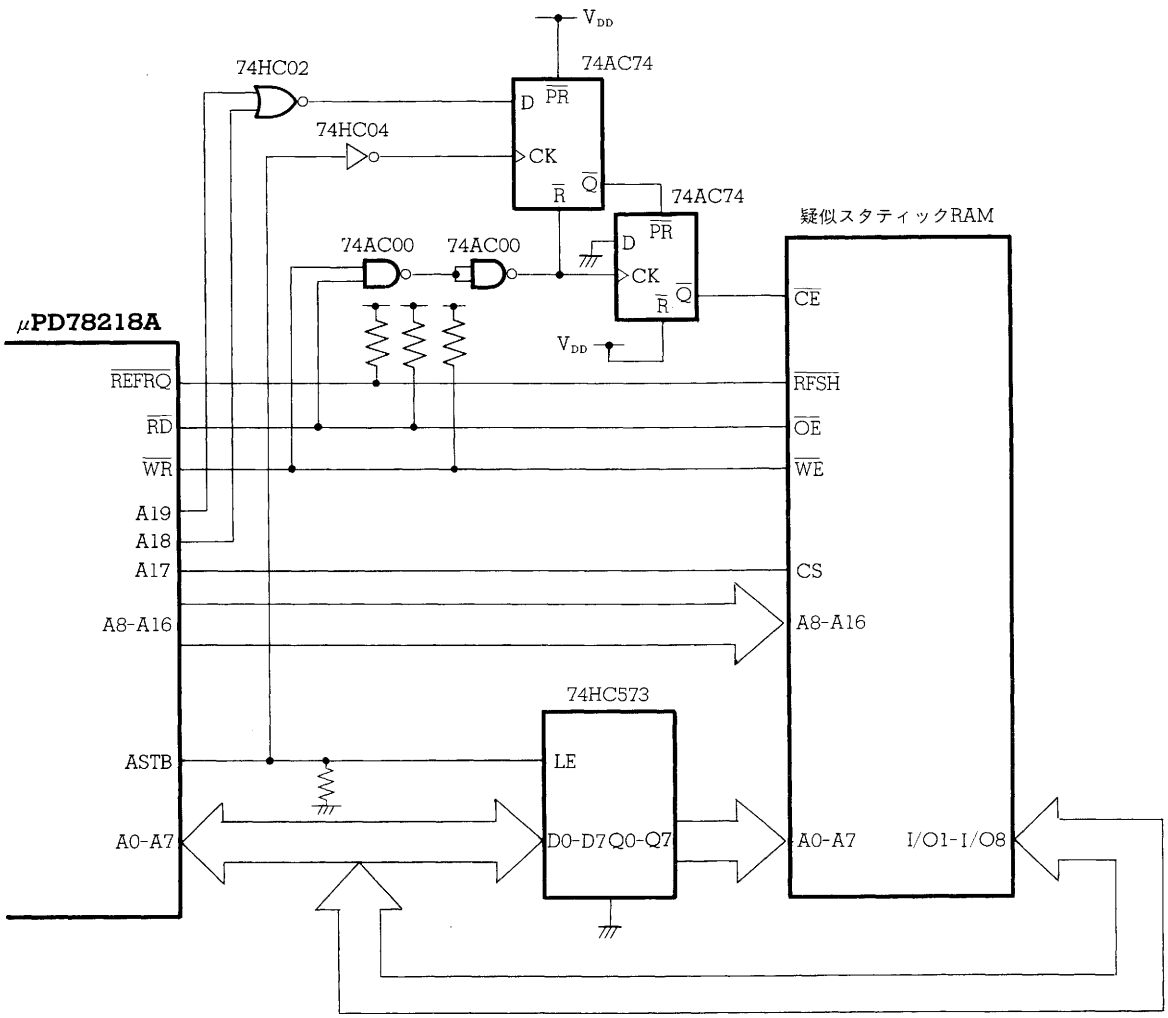
図13－18　セルフ・リフレッシュ動作からの復帰動作



13.5.4　疑似スタティックRAMとの接続例

図13－19に疑似スタティックRAMとの接続例を示します。なお，本例では疑似スタティックRAMは，20000H-3FFFFHに割り付けています。

図13－19　疑似スタティックRAMとの接続例



備考1. 疑似スタティックRAMのプリチャージ時間およびアクセス・タイムを確保するため，74AC××とあるものは，必ずそれ以上のスピードのあるものを使用してください。また，疑似スタティックRAMのプリチャージ時間を満足させるために，高速品をご使用ください。

2. アドレスおよびアドレス／データ・バスには，プルアップ抵抗などを接続する必要があります。

13.6 注意事項

★ (1) P50／A8-P57／A15，P60／A16-P63／A19に出力されるアドレス情報は，ASTB信号が立ち上がってから$\overline{RD}$信号または$\overline{WR}$信号が立ち上がるまでの間でだけ有効です。それ以外の期間では，P50／A8-P57／A15，P60／A16-P67／A19の出力レベルは不定となります。回路設計時には不定値が出力されても問題のないよう注意してください。

なお，アドレス出力の有効な期間についての具体的な値は，各製品のデータ・シートを参照してください。

(2) 内部RAM領域（0FC80H-0FEFFH），およびSFR領域（0FF00H-0FFFFH，ただし，外部SFR領域（0FFD0H-0FFDFH）を除く）に重複して外部デバイスをマッピングすることはできません。

重複してマッピングされた空間を操作する場合，内部RAM，SFRが自動的に操作対象となります。外部にはアドレス信号は出力されますが，ASTB，$\overline{RD}$，$\overline{WR}$信号は出力されません（インアクティブ・レベルのまま）。

(3) 外部メモリ拡張時（μPD78217Aは常時）に，マクロ・サービスのタイプAおよびタイプCを使用している場合，不正なライト・アクセス動作が発生する場合があります。

不正なライト・アクセスは，次の2つの条件のうちどちらかが成立したときに発生します。

条件1.　マクロ・サービス・タイプAで，マクロ・サービス実行時に転送先または転送元バッファ（メモリ）のアドレスが0FED0H-0FEDFHのとき

2.　マクロ・サービス・タイプCでMPTLのアドレスが0FED0H-0FEDFHのとき

不正なライト・アクセスは，通常のメモリ・アクセスと同様に行われます。また，メモリ拡張モード・レジスタ（MM）のPW20，PW21ビットの設定に従ってウエイトが挿入されます。表13-3に，不正なライト・アクセスの発生条件と動作を示します。

表13-3　不正ライト・アクセスの発生条件と動作

条件	マクロ・サービス・タイプ	不正ライト・アクセス	
		アドレス	データ
1	A	転送の対象となるSFRのアドレス	転送先バッファ（メモリ）のアドレスの下位8ビット
2	C	転送先のSFR（CR10またはCR11）のアドレス	MPTLのアドレスの下位8ビット

この不具合を回避する方法には，次の方法があります。

1．外付けのアドレス・デコード回路により0FF00H-0FFFFHの領域のイメージが外付け回路のメモリ・アドレスに重複しないようにします。

2．条件1の場合はバッファ領域が，条件2の場合はMPTLのアドレスが0FED0H-0FEDFHとならない位置に配置します。

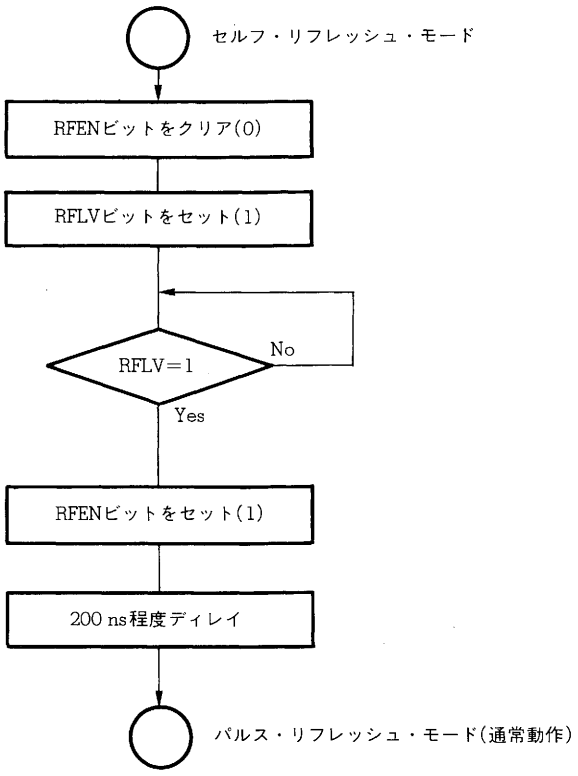
なお，不具合はインサーキット・エミュレータでも発生します。

(4) 外部ウエイト機能を使用する場合は，PM6レジスタのビット6を“1”にして，P66／$\overline{\text{WAIT}}$端子を入力モードにしてください。

(5) リフレッシュ・モード・レジスタ(RFM)のRFLVビットを0から1にするときに，RFENビットがセット(1)されている(RFLVビットと同時にセット(1)される場合も含む)と，$\overline{\text{REFRQ}}$端子から約10 nsでピーク・レベルが約2 Vのヒゲが出力される場合があります。

したがって，RFLVビットをセット(1)する場合には，図13－20のような手順で操作を行ってください。なお，RFENをセットした後の200 nsのディレイは，疑似スタティックRAMがセルフ・リフレッシュ・モードから復帰したときのアクセス禁止時間を確保するための時間です。

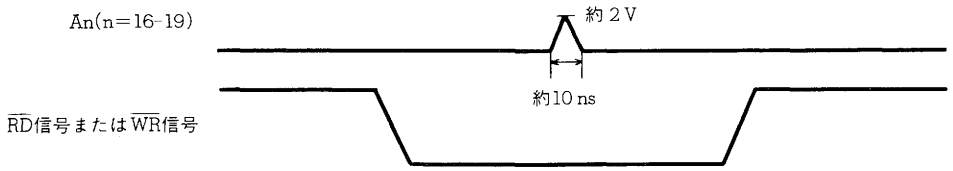
図13－20　セルフ・リフレッシュ動作からの復帰動作



(6) インサーキット・エミュレータでのエミュレーション時には，次の点についてご留意のうえ，ご使用ください。

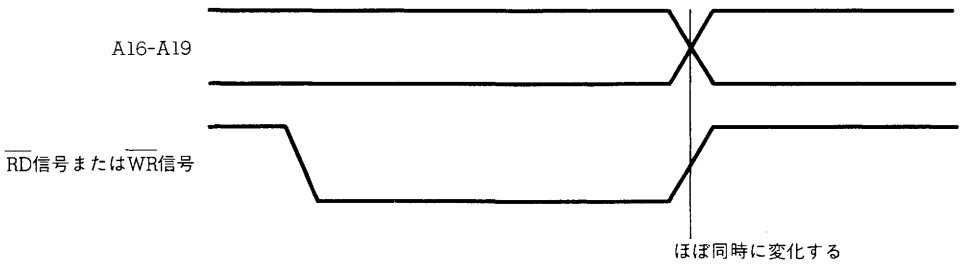
・A16-A19端子から$\overline{RD}$信号，$\overline{WR}$信号がアクティブの期間にヒゲを出力することがあります。

図13-21　エミュレーション時に発生するA16-A19端子のヒゲの例



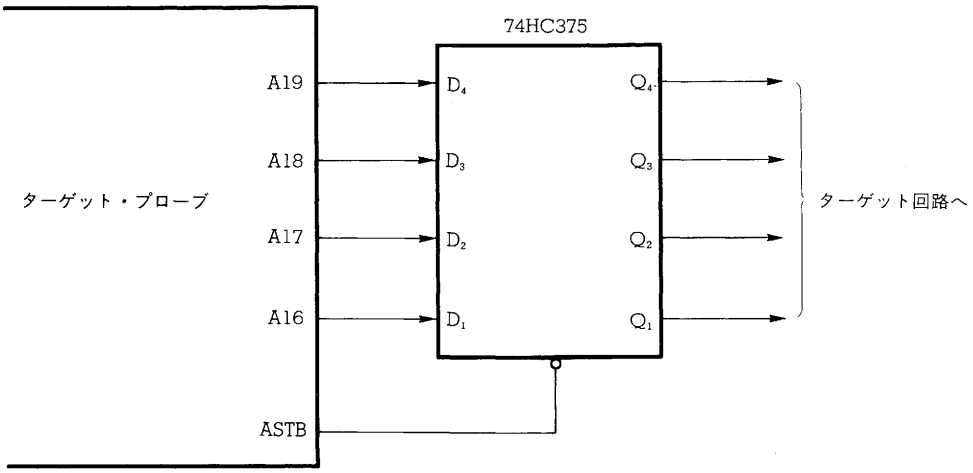
・A16-A19端子に出力されるアドレス信号の$\overline{RD}$信号，$\overline{WR}$信号に対するホールド時間がほぼ0 nsになります。

図13-22　エミュレーション時のアドレス・ホールド時間の不足



これらの問題を回避するためには，エミュレーション時にA16-A19端子にラッチを接続して使用することを推奨します（なお，本処置は，デバイスでは不要です）。

図 13－23　エミュレーション時の不具合回避方法



第14章　スタンバイ機能

14.1　構成と機能

μPD78218Aは，システムの消費電力を低減させることのできるスタンバイ機能を持っています。スタンバイ機能には次のような2つのモードがあります。

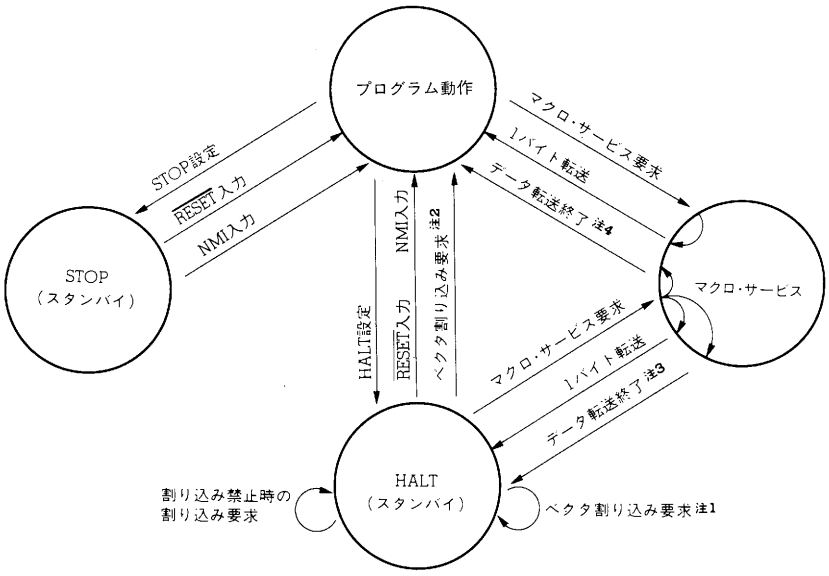
・HALT モード……CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により，システムのトータル消費電力を低下させることができます。

・STOP モード……発振回路を停止させ，システム全体が停止するモードです。リーク電流だけの超低消費電力にすることができます。

各モードにはソフトウエアによって設定します。図14-1にスタンバイ・モード(STOP／HALTモード)の遷移図を示します。

スタンバイ機能ブロック図を，図14-2に示します。

図14-1　スタンバイ・モードの遷移図



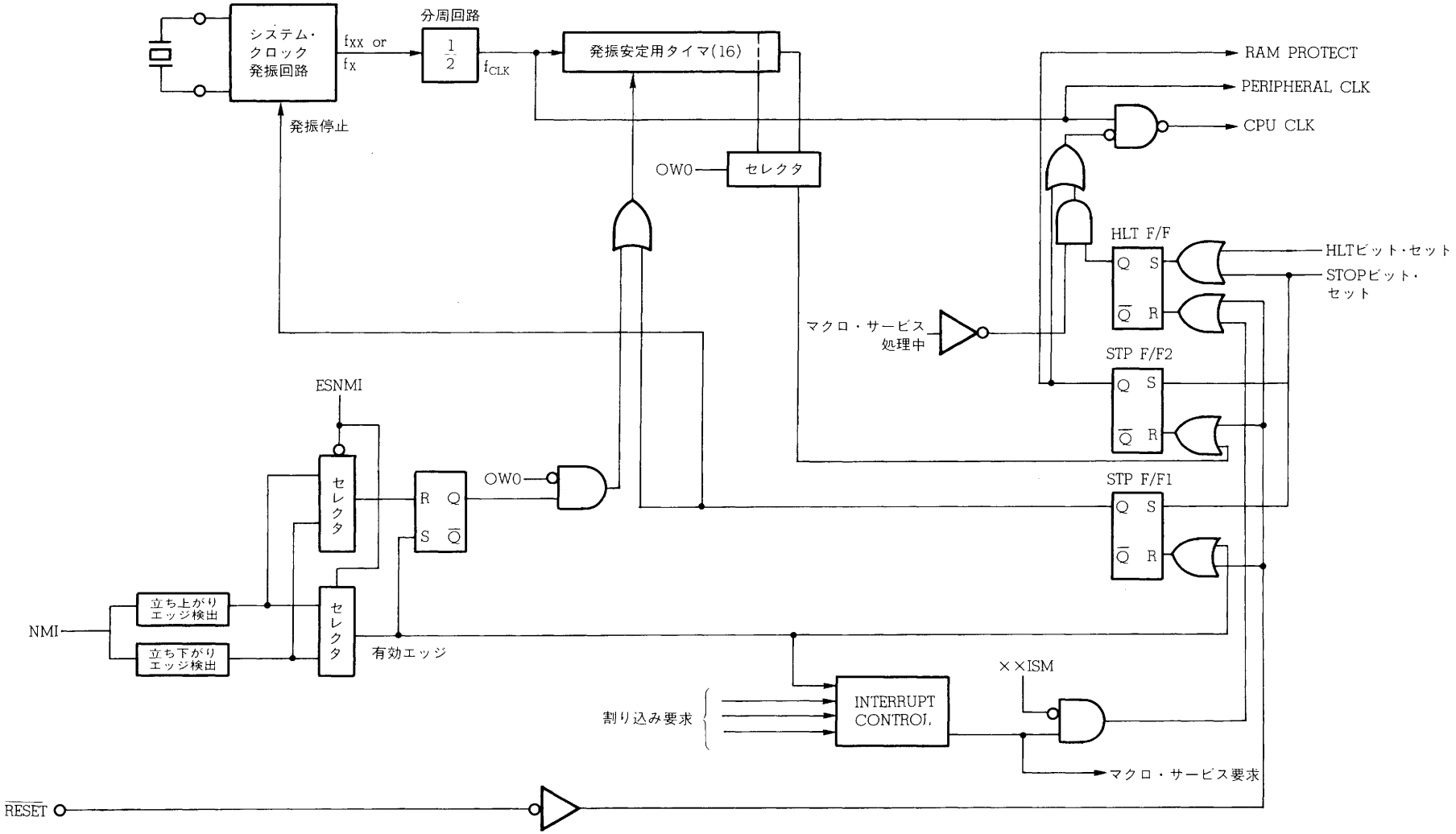
注1. 低優先レベルのベクタ割り込み要求の場合（HALT設定時に低優先順位の割り込み禁止状態）。

2. 高優先レベルのベクタ割り込み要求の場合，または，HALT設定時に低優先順位の割り込み許可状態の場合。

3. 低優先レベルのマクロ・サービスの場合（HALT設定時に低優先順位の割り込み禁止状態）。

4. 高優先レベルのマクロ・サービスの場合，または，HALT設定時に低優先順位の割り込み許可状態の場合。

図 14-2 スタンバイ機能ブロック図

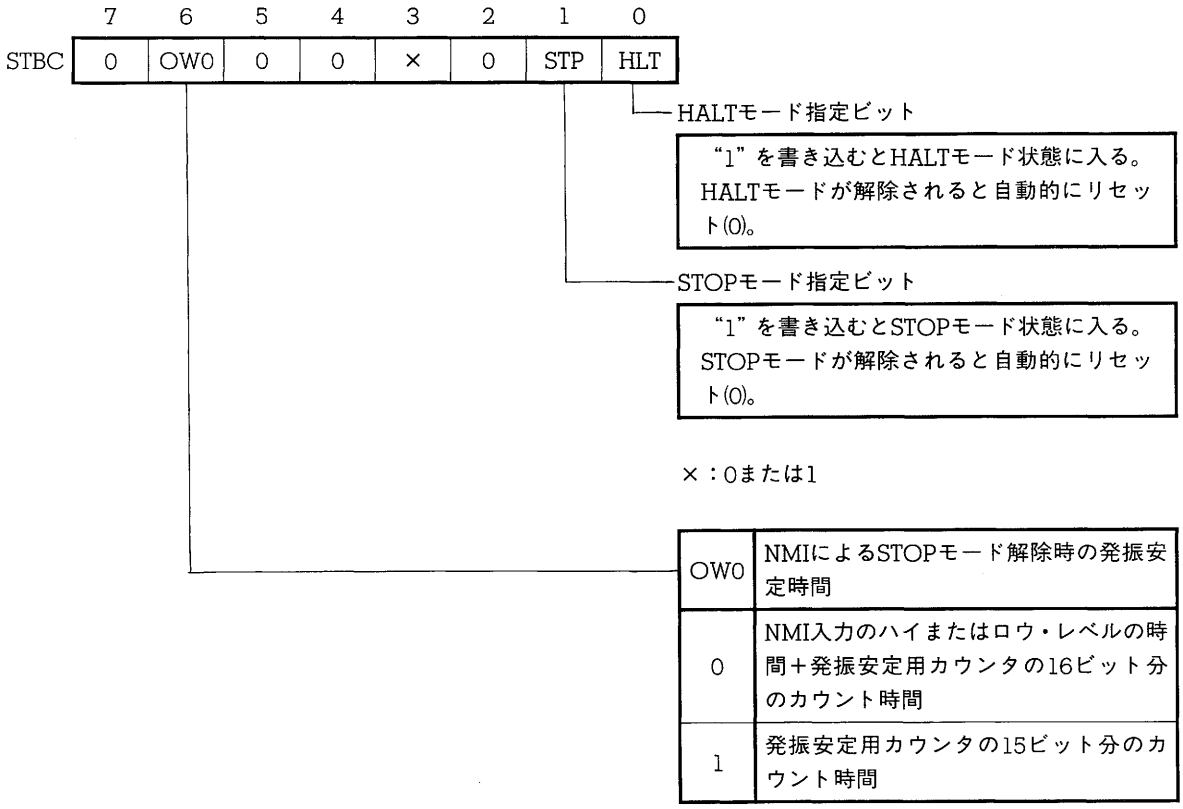


14.2　スタンバイ・コントロール・レジスタ（STBC）

スタンバイ・モードを制御する8ビット・レジスタです。読み出し／書き込み可能ですが，書き込みはプログラムの暴走などにより応用システムが不用意に停止しないように専用命令(MOV　STBC, #byte) によってのみ可能です。そのフォーマットを図 14-3 に示します。

$\overline{\text{RESET}}$入力により，0000×000Bになります。

図 14-3　スタンバイ・コントロール・レジスタ（STBC）のフォーマット



14.3 HALTモード

14.3.1 HALTモードの設定および動作状態

HALTモードには，STBCレジスタのHLTビットをセット(1)することにより設定されます。

STBCレジスタの書き込みは，専用命令による8ビット・データ書き込みのみ可能です。したがって，HALTモードの設定は，“MOV　STBC, #01H”命令で行います。

注意　HALTモードを解除する条件が成立しているときにHALTモードの設定を行った場合，HALTモードには入らずに次の命令の実行，またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にHALTモードの設定をしたい場合は，HALTモードに入る前に割り込み要求をクリアするなどしてください。

表14-1　HALTモード時の動作状態

クロック発振回路		動　作
内部システム・クロック		動　作
CPU		動作停止 注
I/Oライン		HALTモード設定前の状態を保持
各周辺機能		動作継続
内部RAM		保　持
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A15	保　持
	A16-A19	ロウ・レベル
$\overline{RD}$, $\overline{WR}$出力		ハイ・レベル
ASTB出力		ロウ・レベル

注　マクロ・サービス処理は実行されます。

14.3.2　HALTモードの解除

HALTモードは，次の3つのソースによって解除することができます。

- ノンマスカブル割り込み要求（NMI）
- マスカブル割り込み要求（ベクタ割り込み，マクロ・サービス）
- $\overline{\text{RESET}}$入力

解除ソースと解除後の動作の概要を，表 14－2 に示します。

表 14－2　HALTモードの解除と解除後の動作

解除ソース	MK××	PR××	IE	ISP	動　　作
$\overline{\text{RESET}}$入力	×	×	×	×	通常のリセット動作と同じ
ノンマスカブル割り込み	－	－	×	×	ベクタ割り込み処理実行 注
マスカブル・ベクタ割り込み要求	0	0	1	×	ベクタ割り込み処理実行
	0	×	1	1	
	0	0	0	×	次アドレス命令実行(割り込み要求保留)
	0	×	0	1	
	0	1	×	0	HALTモード保留(割り込み要求保留)
	1	×	×	×	
マクロ・サービス	0	0	1	×	マクロ・サービス処理実行 終了条件成立→ベクタ割り込み処理実行 終了条件不成立→再びHALT状態へ戻る
	0	×	1	1	
	0	0	0	×	マクロ・サービス処理実行 終了条件成立→次アドレス命令実行 終了条件不成立→再びHALT状態へ戻る
	0	×	0	1	
	0	1	×	0	マクロ・サービス処理実行後，再びHALT状態へ戻る(割り込み要求保留)
	1	×	×	×	HALTモード保持

注　割り込みステータス・レジスタ（LST）のNMISビットが1の場合は次アドレスの命令を実行し，NMISが0になった時点でNMI割り込みサービス・プログラムへ分岐します。

備考　MK××：割り込みマスク・フラグ　　IE：割り込み要求許可フラグ
　　PR××：優先順位指定フラグ　　ISP：割り込み優先順位ステータス・フラグ

(1) ノンマスカブル割り込み（NMI）による解除

NMIが発生すると，割り込み受け付けの許可状態（EI），禁止状態（DI）に関係なくHALTモードから解除されます。

HALTモードから解除されると，割り込みステータス・レジスタ（IST）のNMISビットが0の場合は，NMIサービス・プログラムに分岐します。また，NMISビットが1の場合（NMI割り込みサービス・プログラム中でHALTモードに設定した場合など）は，HALTモードを設定した命令の次の命令から実行を再開し，NMISビットが0になると（RETI命令実行などによる）NMI割り込みサービス・プログラムへ分岐します。

(2) マスカブル割り込み要求による解除

マスカブル割り込み要求によるHALTモードの解除は，割り込みマスク・フラグが0の割り込みによってのみ可能です。さらに，割り込み優先順位ステータス・フラグ（ISP）が0（高優先順位の割り込みのみ許可）の場合は，優先順位指定フラグが0（高優先順位）の割り込みによってのみ可能です。ただし，マクロ・サービスは優先順位に関係なく処理されます（マクロ・サービス終了時の割り込みは，優先順位の影響を受けます）。

HALTモードが解除されると，割り込み要求許可フラグ（IE）が1の場合は，割り込み処理プログラムへ分岐します。IEフラグが0の場合は，HALTモードを設定した次の命令から実行を再開します。

マクロ・サービスは，HALTモードを一時的に解除して，1回の処理を行い，再びHALTモードに戻ります。マクロ・サービスが指定回数だけ行われると，IEフラグ，ISPフラグ，優先順位指定フラグに応じた動作をします。

表 14－3　マスカブル割り込み要求によるHALTモードの解除

解除ソース	MK××	PR××	IE	ISP	動　　作
マスカブル・ベクタ割り込み要求	0	0	1	×	ベクタ割り込み処理実行
	0	×	1	1	
	0	0	0	×	次アドレス命令実行（割り込み要求保留）
	0	×	0	1	
	0	1	×	0	HALTモード保持（割り込み要求保留）
	1	×	×	×	
マクロ・サービス	0	0	1	×	マクロ・サービス処理実行 終了条件成立→ベクタ割り込み処理実行 終了条件不成立→再びHALT状態へ戻る
	0	×	1	1	
	0	0	0	×	マクロ・サービス処理実行 終了条件成立→次アドレス命令実行 終了条件不成立→再びHALT状態へ戻る
	0	×	0	1	
	0	1	×	0	マクロ・サービス処理実行後，再びHALT状態へ戻る（割り込み要求保留）
	1	×	×	×	HALTモード保持

備考　MK××　：割り込みマスク・フラグ

PR××　：優先順位指定フラグ

IE　　：割り込み要求許可フラグ

ISP　　：割り込み優先順位ステータス・フラグ

(3) $\overline{\text{RESET}}$入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐した後，プログラムを実行します。ただし，内部RAMの内容は，HALTモード設定直前の値を保持しています。

14.4 STOPモード

14.4.1 STOPモードの設定および動作状態

STOPモードには，STBCレジスタのSTPビットをセット(1)することにより設定されます。

STBCレジスタの書き込みは，専用命令による8ビット・データ書き込みのみ可能です。したがって，STOPモードの設定は，“MOV　STBC, #02H”命令で行います。

表 14-4　STOPモード時の動作状態

クロック発振回路		発振停止
内部システム・クロック		停　止
CPU		動作停止
I/Oライン		STOPモード設定前の状態を保持
各周辺機能		すべて動作停止 注
内部RAM		保　持
バス・ライン	AD0-AD7	ハイ・インピーダンス
	A8-A15	保　持
	A16-A19	ロウ・レベル
$\overline{RD}$, $\overline{WR}$出力		ハイ・レベル
ASTB出力		ロウ・レベル

注　A/Dコンバータは動作を停止しますが，A/Dコンバータ・モード・レジスタ（ADM）のCSビットがセットされていると，消費電流は減りません。

注意 1．STOPモードに設定されるとクロック発振回路のリークを抑えるためX1端子が内部でV_{SS}（GND電位）にショートされます。したがって，外部クロックを使用するシステムではSTOPモードの使用を禁止します。

2．A/DコンバータのCSビットをリセットしてください。

3．STOPモードの設定時にNMI要求が保留されていても，STOPモードに設定されます。STOPモードの解除にNMIを使用する場合は，再度NMI信号を入力してください。

14.4.2　STOPモードの解除

STOPモードは，NMI入力または$\overline{\text{RESET}}$入力により解除されます。

(1) NMI入力によるSTOPモードの解除

(a) STOPモード解除動作

NMI入力に外部割り込みモード・レジスタ（INTM0）で指定した有効エッジが入力されると発振器が発振を再開します。その後スタンバイ・コントロール・レジスタ（STBC）のOW0ビットで指定された発振安定時間後にSTOPモードは解除されます。

STOPモードから解除されると，割り込みステータス・レジスタ（IST）のNMISビットが0の場合は，NMI割り込みサービス・プログラムに分岐します。また，NMISビットが1の場合（NMI割り込みサービス・プログラム中でSTOPモードに設定した場合など）は，STOPモードを設定した命令の次の命令から実行を再開し，NMISビットが0になると（RETI命令実行などによる）NMI割り込みサービス・プログラムへ分岐します。

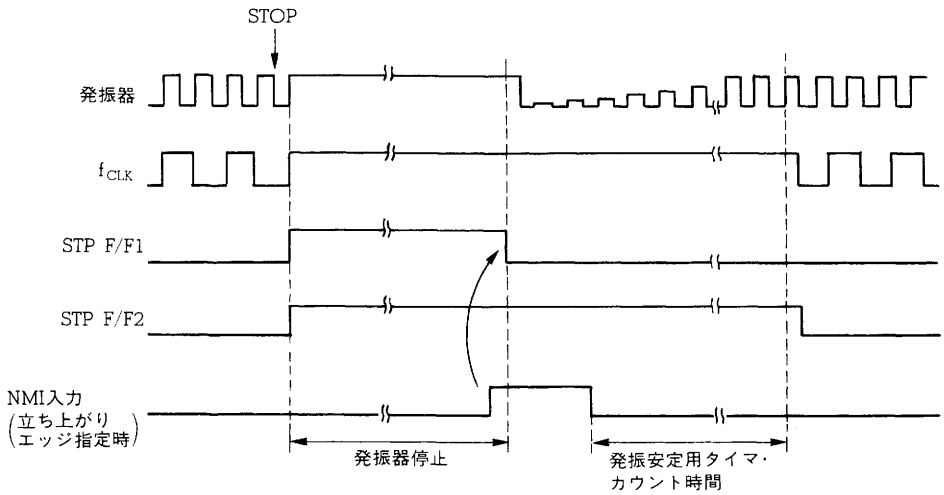
(b) 発振安定時間

(i) OW0ビット＝0の場合の発信安定時間

NMI入力に外部割り込みモード・レジスタ（INTM0）で指定した有効エッジが入力されると発振器が発振を再開します。その後NMI入力レベルがもとのレベルに戻ると発振安定用カウンタがカウントを開始し，そのカウンタが16ビット分のカウントを行うと（約11 ms，f_{XX}＝12 MHz時），内部システム・クロックの供給を開始します。したがって，NMI入力の有効エッジ検出後のハイまたはロウ・レベル幅＋発振安定用カウンタの16ビット分のカウント時間だけ発振安定時間としてウエイトします。

14

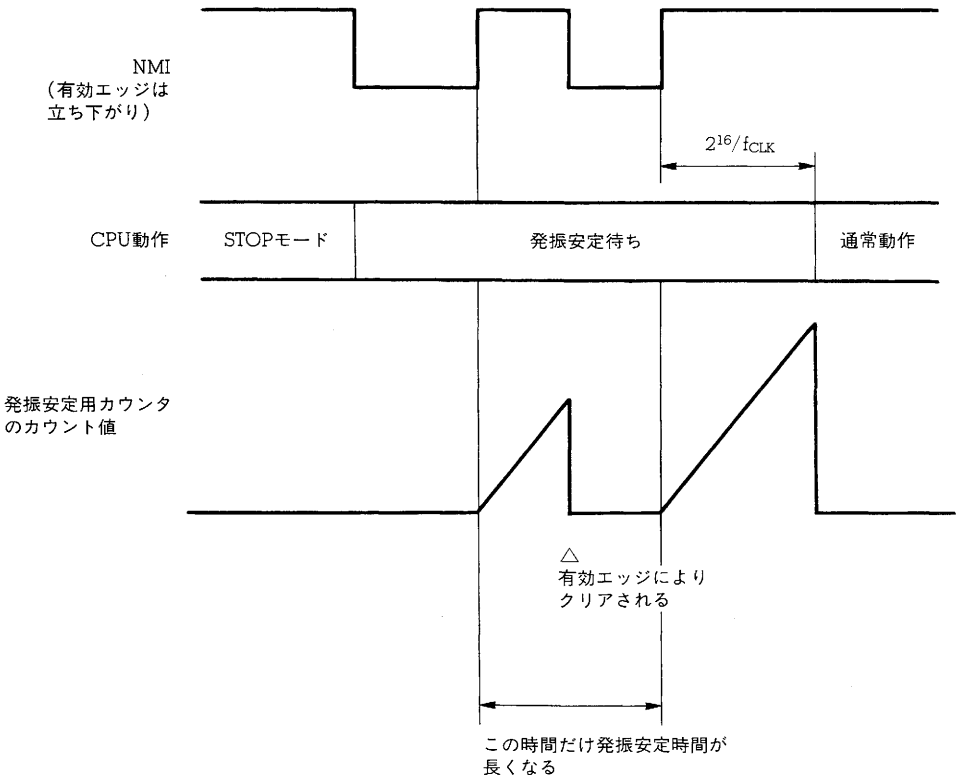
図 14-4　NMI入力によるSTOPモードの解除（OW0ビット＝0のとき）



★　注意　発振安定時間中にNMI端子に有効エッジが入力されると，発振安定時間をカウントするカウンタがクリアされてしまい，発振安定時間が長くなってしまいます。長くなる時間は，有効エッジが入力されるまでの時間＋NMIのアクティブ・レベル期間です。

確実にSTOPモードから復帰させるためには，発振安定時間中のNMI端子レベルをインアクティブ・レベルに固定するようにしてください。

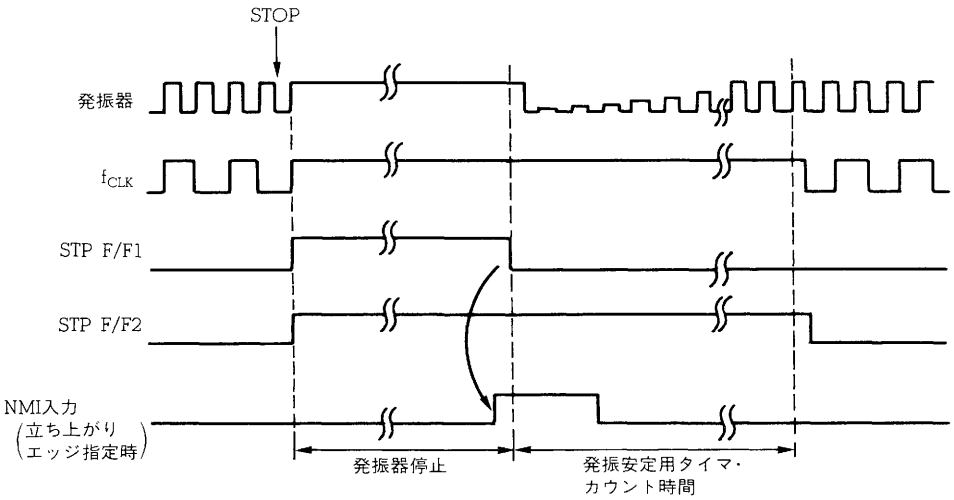
図14－5　発振安定時間が延長される例



(ii) **OW0ビット＝1の場合**

NMI入力に外部割り込みモード・レジスタで指定した有効エッジが入力されると発振器が発振を再開します。発振を再開するとともに発振安定用カウンタがカウントを開始し，発振安定用カウンタの15ビット分のカウントを行うと（約5.5 ms，f_{XX}＝12 MHz時），内部システム・クロックの供給を開始します。したがって，NMI入力の有効エッジ検出後の発振安定用カウンタの15ビット分のカウント時間だけ発振安定時間としてウエイトします。

図 14－6　NMI入力によるSTOPモードの解除（OW0ビット＝1のとき）



注意　STOPモードのNMIによる解除で，OW0ビットが1の場合の動作は，インサーキット・エミュレータではエミュレーションできません。
本機能を使用する場合は，μPD78P218Aなどにより評価を行ってください。

14

(2) $\overline{\text{RESET}}$入力によるSTOPモードの解除

$\overline{\text{RESET}}$入力をハイからロウに下げ，リセット状態にすると発振器が発振を開始します。$\overline{\text{RESET}}$のアクティブ期間で発振安定時間を確保してください。その後$\overline{\text{RESET}}$を立ち上げると通常の動作をスタートします。

通常のリセット動作とは異なり，データ・メモリはSTOPモード設定前の内容を保持しています。

14.4.3　STOPモード使用時のチェック項目

STOPモード使用時の消費電流を下げるために必要なチェック項目を示します。

(1) 各出力端子の出力レベルは適正か？

各端子の適正な出力レベルは，次段の回路によって異なります。もっとも消費電流が少なくなるような出力レベルを選んでください。

- 次段の回路の入力インピーダンスが低い場合にハイ・レベルを出力していると，電源からポートへ電流が流れ出し，消費電流が増えてしまいます。次段の回路がCMOS ICなどの場合がこれにあたります。CMOS ICは，電源OFF時には，入力インピーダンスが低くなります。消費電流を抑えるため，またCMOS ICの信頼性に悪影響を与えないため，ロウ・レベルを出力してください。ハイ・レベルを出力していると，電源の再投入時にラッチアップの原因となります。

- 次段の回路によっては，ロウ・レベルを入力すると消費電流が増えてしまう場合があります。このような場合は，ハイ・レベルまたはハイ・インピーダンスを出力し，消費電流が少なくなるようにしてください。

出力レベルの設定方法は，ポートのモードによって異なります。

- ポートがコントロール・モードのときには，内蔵ハードウエアの状態によって出力レベルが決定されますので，内蔵ハードウエアの状態を考慮して出力レベルを設定する必要があります。

- ポート・モードのときには，ソフトウエアでポートの出力ラッチとポート・モード・レジスタへ書き込みをすることにより，出力レベルを設定することができます。

ポートがコントロール・モードになっているときには，ポート・モードへ変更することで，出力レベルの設定が簡単になります。

(2) 各入力端子の入力レベルは適正か？

各端子に入力される電圧レベルは，V_{SS}電位からV_{DD}電位の範囲内にしてください。この範囲外の電圧を印加すると，消費電流が増えるだけでなく，μPD78218Aの信頼性にも悪影響を与えます。

また，中間電位が加わらないようにしてください。

(3) 内蔵プルアップ抵抗は必要か？

不要なプルアップ抵抗は，消費電流を増やしたり，他のデバイスのラッチアップの原因となったりします。プルアップ抵抗は，必要な部分だけを使用するモードに指定してください。

必要な部分と不要な部分が混在する場合は，必要な部分については外付けにプルアップ抵抗を接続し，内蔵プルアップ抵抗を使用しないモードに指定するなどしてください。

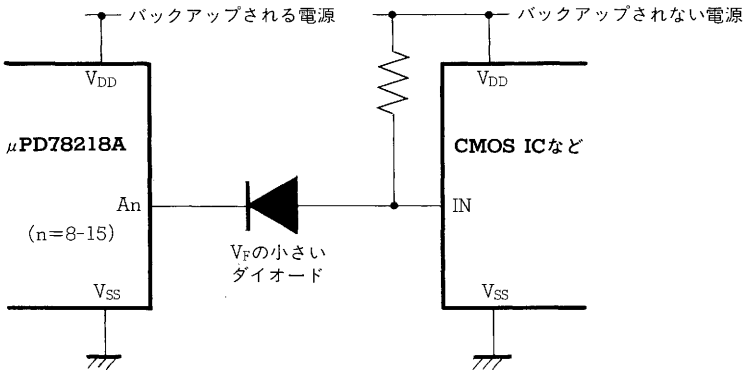
(4) アドレス・バスおよびアドレス／データ・バスなどの処理は適正か？

アドレス・バスはSTOPモード時に不定値（ハイまたはロウ・レベル）を出力します。外部回路の入力インピーダンスが低い場合には，アドレス・バスから電流が流れ出すため消費電流が増えてしまいます。したがって，アドレス・バスに接続する回路の入力インピーダンスをSTOPモード時にも高くしてください。

特にCMOS ICは電源OFF時に入力インピーダンスが低くなるので，消費電流が増えたり，ICの信頼性に悪影響を与えたりします。したがって，次のように処理してください。

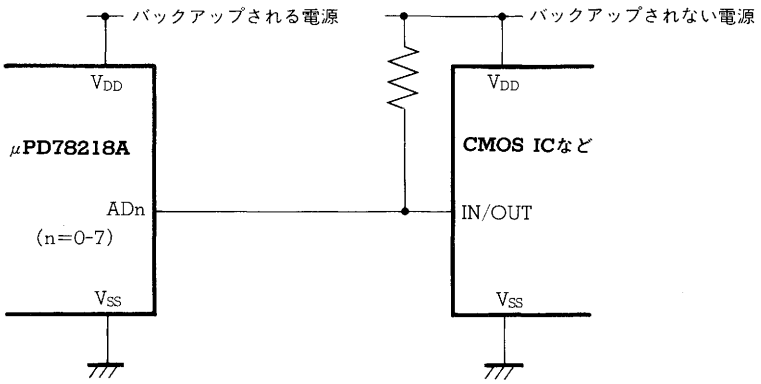
- CMOS ICの電源をOFFにしない（STOPモード時にも電源を供給する）。
- 図14－7に示すように，V_F の小さいダイオードを接続して電流が流れないようにする。

図14－7　アドレス・バスの処理例



アドレス／データ・バスはSTOPモード時にハイ・インピーダンスになります。通常アドレス／データ・バスはプルアップ抵抗によってプルアップします。このプルアップ抵抗をバックアップされる電源に接続すると，バックアップされない電源に接続されている回路の入力インピーダンスが低い場合には，プルアップ抵抗を介して電流が流れてしまい，消費電流が増えてしまいます。したがって，図14－8に示すように，プルアップ抵抗はバックアップされない電源側に接続してください。

図14-8　アドレス／データ・バスの処理例



$\overline{RD}$, $\overline{WR}$, ASTB, $\overline{REFRQ}$端子は，STOPモード時には，固定レベルを出力しますので，アドレス・バスと同様に対策を行ってください。なお，ASTB端子は，ロウ・レベルを出力していますので，一般的には，外付け部品による対策は不要です。

$\overline{WAIT}$端子に入力される電圧レベルは，V_{SS}電位からV_{DD}電位の範囲内にしてください。この範囲外の電圧を印加すると，消費電流が増えるだけでなく，μPD78218Aの信頼性にも悪影響を与えます。

なお，μPD78217Aについては，これらの対策が必要ですが，μPD78218Aの場合は，アドレス・バス，アドレス／データ・バスなどをポート・モードにすることにより，簡単な方法で対策をとることができます。

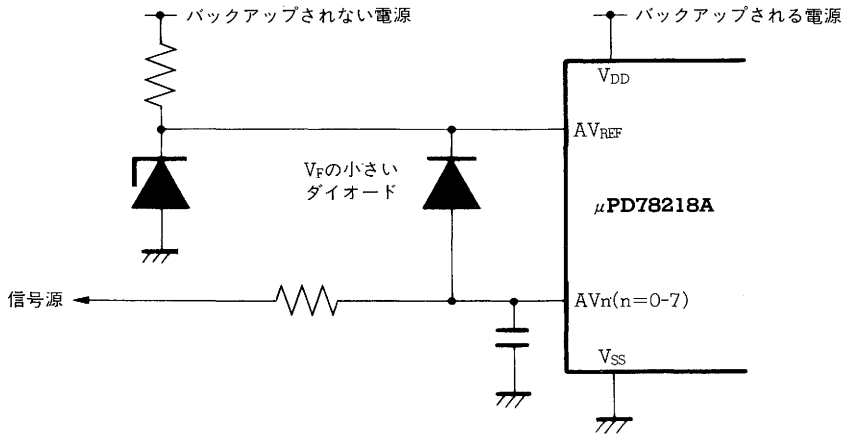
(5) A／Dコンバータ

A／Dコンバータ・モード・レジスタ（ADM）のビット7にあるCSビットをリセット（0）することにより，AV_{REF}端子に流れる電流を減らすことが可能です。さらに，電流を減らしたい場合には，AV_{REF}端子への電流供給を外付け回路で切断してください。

- ADMレジスタのMSビットが0の場合，ANI0-ANI2で選択している端子
- ADMレジスタのMSビットが1の場合，AN0端子

AV_{REF}端子より高い電圧が加わらないようにするには，図14-9に示すような方法があります。この場合，入力にCRによる時定数ができるので，入力信号の変化に対する応答が遅くなる場合があります。

図 14-9　アナログ入力端子の処理例



14.5　注意事項

(1) HALTモードを解除する条件が成立しているときにHALTモードの設定を行った場合，HALTモードには入らずに次の命令の実行，またはベクタ割り込みサービス・プログラムへの分岐を行います。確実にHALTモードの設定をしたい場合は，HALTモードに入る前に割り込み要求をクリアするなどしてください。

(2) STOPモードに設定されるとクロック発振回路のリークを抑えるため，X1端子が内部でV_{SS}(GND電位)にショートされます。したがって，外部クロックを使用するシステムではSTOPモードの使用を禁止します。

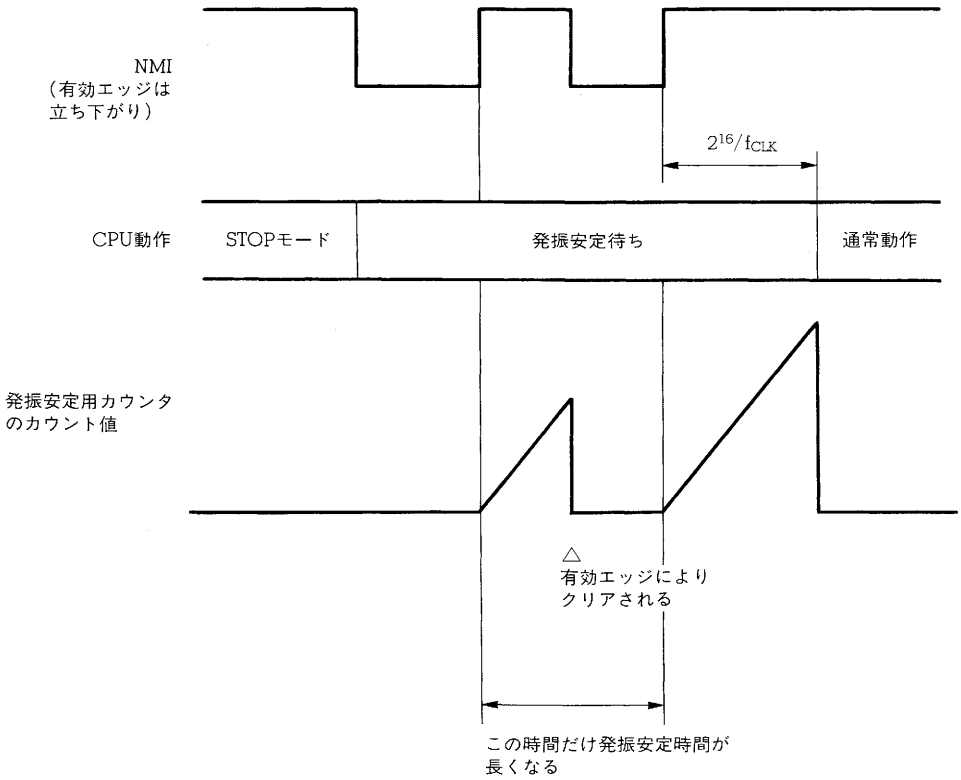
(3) STOPモードの設定時には，A/DコンバータのCSビットをリセットしてください。

(4) STOPモードの設定時にNMI要求が保留されていても，STOPモードに設定されています。STOPモードの解除にNMIを使用する場合は，再度NMI信号を入力してください。

(5) STOPモードのNMIによる解除で，OW0ビットが1の場合の動作は，インサーキット・エミュレータではエミュレーションできません。本機能を使用する場合は，μPD78P218Aなどにより評価を行ってください。

★ (6) 発振安定時間中にNMI端子に有効エッジが入力されると，発振安定時間をカウントするカウンタがクリアされてしまい，発振安定時間が長くなってしまいます。長くなる時間は，有効エッジが入力されるまでの時間＋NMIのアクティブ・レベル期間です。
確実にSTOPモードから復帰させるためには，発振安定時間中のNMI端子レベルをインアクティブ・レベルに固定するようにしてください。

図14－10　発振安定時間が延長される例



第15章　リセット機能

15.1　リセット機能

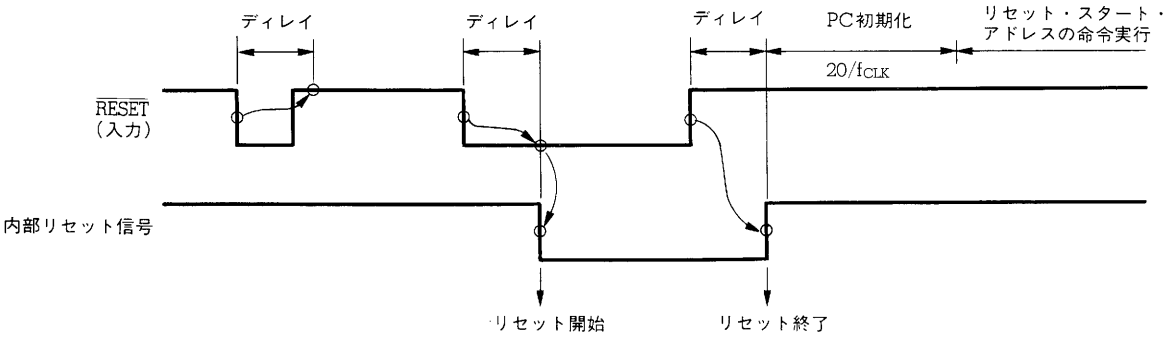
$\overline{\text{RESET}}$入力端子にロウ・レベルが入力されると，システム・リセットがかかり，各ハードウエアは表15-2に示すような状態になります。また，電源端子を除くすべての端子は，ハイ・インピーダンス状態になります。表15-1に，リセット中およびリセット解除後の端子の状態を示します。

$\overline{\text{RESET}}$入力がロウ・レベルからハイ・レベルになると，リセット状態が解除されリセット・ベクタ・テーブルの00000H番地の内容がプログラム・カウンタ（PC）のビット7-0に，00001H番地の内容がPCのビット15-8にセットされて分岐し，その分岐先アドレスからプログラムの実行を開始します。したがって，任意の番地からリセット・スタートできます。

各種レジスタの内容は，プログラムの中で必要に応じてイニシャライズしてください。

$\overline{\text{RESET}}$入力端子は，ノイズによる誤動作を防ぐため，アナログ・ディレイによるノイズ除去回路を内蔵しています（**図15-1**参照）。

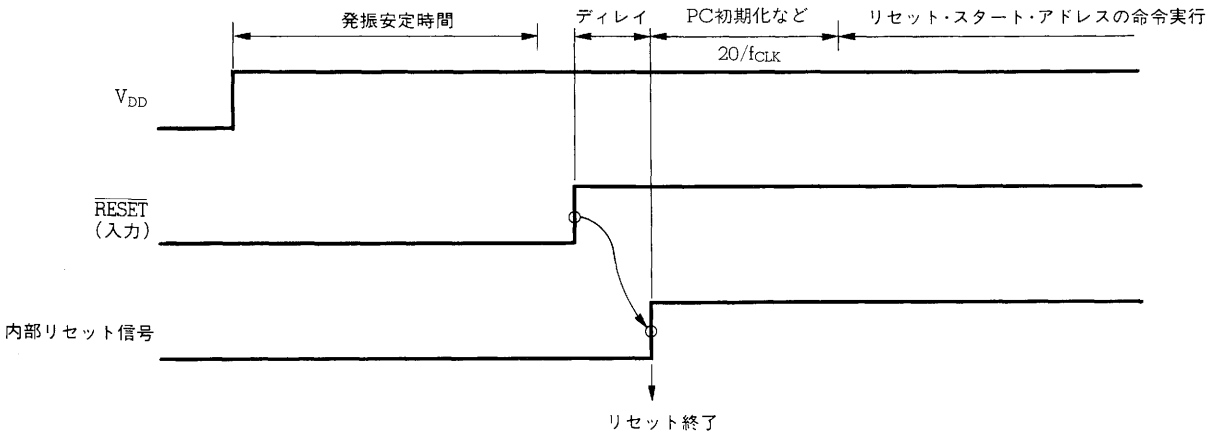
図15-1　リセット信号の受け付け



備考　f_{CLK}：システム・クロック周波数（$f_{XX}/2$）

電源投入時のリセット動作では，発振安定時間（約40 ms，使用する発振子に依存します）が経過するまで$\overline{\text{RESET}}$信号をアクティブにしてください。

図15－2　電源投入時のリセット動作



備考　f_{CLK}：システム・クロック周波数（f_{XX}／2）

表15－1　リセット入力中，リセット解除後の端子状態

端子名称	入出力	リセット中	リセット解除直後
P00-P07	出力	Hi-Z	Hi-Z
P20／NMI-P27／SI	入力	Hi-Z	Hi-Z（入力ポート）
P30／RxD-P37／TO3	入出力	Hi-Z	Hi-Z（入力ポート・モード）
P40／AD0-P47／AD7	入出力	Hi-Z	Hi-Z（入力ポート・モード）注
P50／A8-P57／A15	入出力	Hi-Z	Hi-Z（入力ポート・モード）注
P60／A16-P63／A19	出力	Hi-Z	0
P64／$\overline{\text{RD}}$，P65／$\overline{\text{WR}}$	入出力	Hi-Z	Hi-Z（入力ポート・モード）注
P66／$\overline{\text{WAIT}}$／AN6， P67／REFRQ／AN7	入出力	Hi-Z	Hi-Z（入力ポート・モード）
P70／AN0-P75／AN5	入力	Hi-Z	Hi-Z（入力ポート）
ASTB	出力	Hi-Z	0

注　$\overline{\text{EA}}$端子＝0の状態により，ROMレス・モードに指定された場合には，アドレス／データ・バスとして機能し，0000H番地からリセット・ベクタ・アドレスをフェッチするための信号を出力する（図**15－3(a)**参照）。

表15-2　各ハードウエアのリセット後の状態（1／2）

ハードウエア				リセット後の状態
プログラム・カウンタ（PC）				リセット・ベクタ・テーブル（0000H, 0001H）の内容がセットされる。
スタック・ポインタ（SP）				不　定注
プログラム・ステータス・ワード（PSW）				02H
内蔵RAM	データ・メモリ			不　定注
	汎用レジスタ（X, A, C, B, E, D, L, H）			
ポート	ポート0, ポート2, ポート3, ポート4, ポート5, ポート7			不定（ハイ・インピーダンス）
	ポート6			×0H
ポート・モード・レジスタ		PM0, PM3, PM5		FFH
		PM6		F×H
ポート3モード・コントロール・レジスタ（PMC3）				00H
プルアップ抵抗オプション・レジスタ（PUO）				00H
リアルタイム出力ポート・コントロール・レジスタ（RTPC）				00H
タイマ／カウンタ・ユニット	16ビット・タイマ／カウンタ	タイマ（TM0）		0000H
		コンペア・レジスタ（CR00, CR01）		不　定
		キャプチャ・レジスタ（CR02）		
	8ビット・タイマ／カウンタ	タイマ（TM1, TM2, TM3）		00H
		コンペア・レジスタ（CR10, CR20, CR21, CR30）		不　定
		キャプチャ・レジスタ（CR22）		
		キャプチャ／コンペア・レジスタ（CR11）		
	タイマ・コントロール・レジスタ（TMC0, TMC1）			00H
	タイマ出力コントロール・レジスタ（TOC）			
	キャプチャ／コンペア・コントロール・レジスタ		CRC0	10H
			CRC1, CRC2	00H
	プリスケーラ・モード・レジスタ（PRM0, PRM1）			00H
	ワンショット・パルス出力制御レジスタ（OSPC）			00H

注　STOPモードを$\overline{\text{RESET}}$入力で解除した場合は，STOPモード設定前の値を保持しています。

★

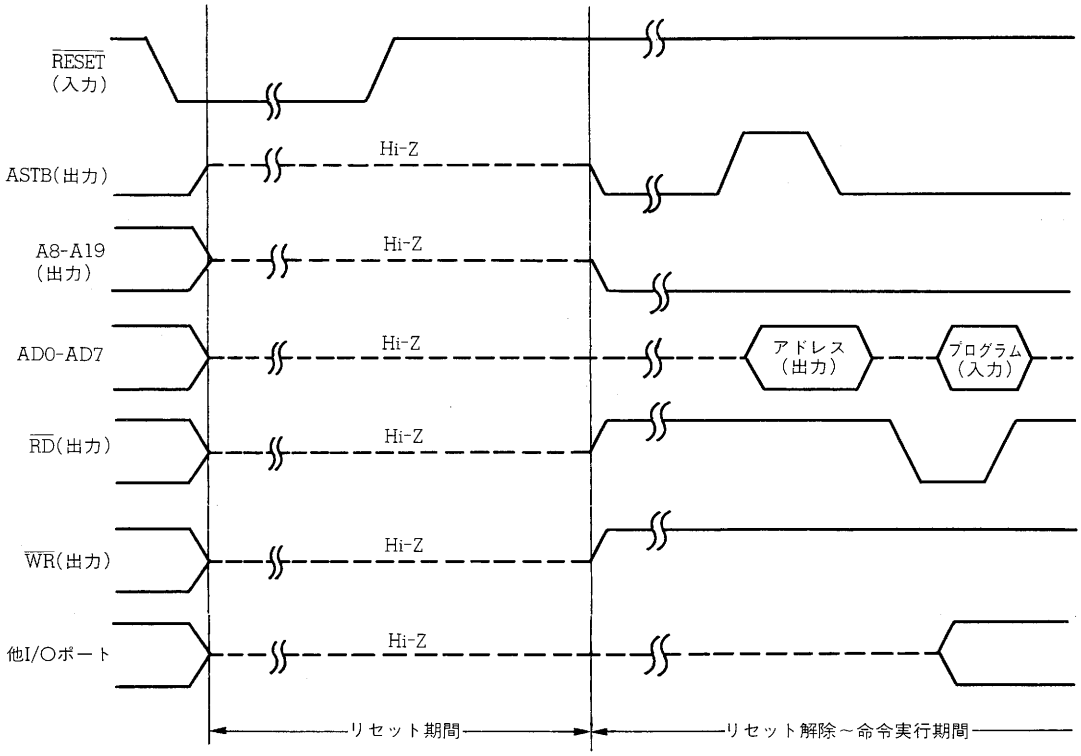
15

表15-2　各ハードウエアのリセット後の状態（2／2）

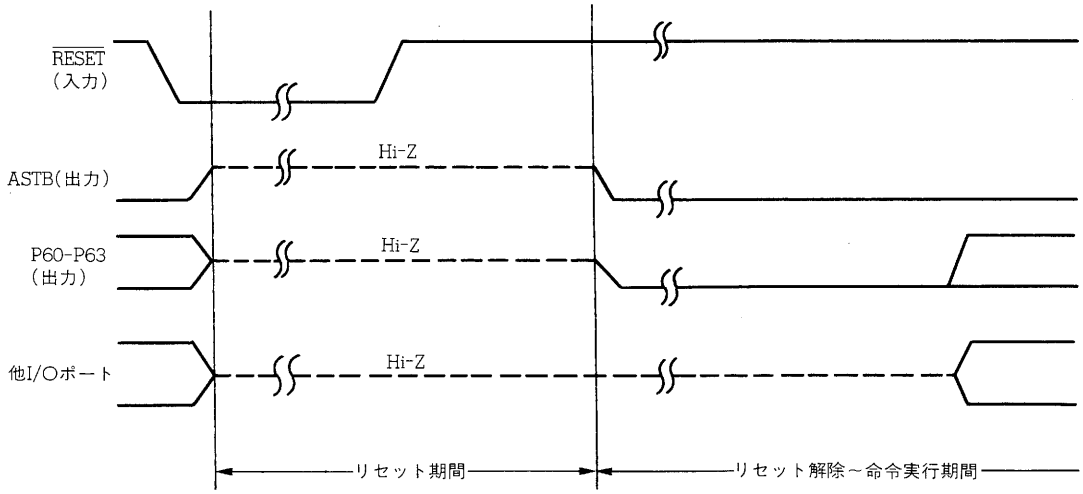
ハードウエア		リセット後の状態
A／Dコンバータ	モード・レジスタ（ADM）	00H
	A／D変換結果レジスタ（ADCR）	不　定
シリアル・インタフェース	モード・レジスタ（CSIM）	00H
	シフト・レジスタ（SIO）	不　定
	アシンクロナス・モード・レジスタ（ASIM）	80H
	アシンクロナス・ステータス・レジスタ（ASIS）	00H
	シリアル・バス・コントロール・レジスタ（SBIC）	00H
	シリアル受信バッファ（RXB）	不　定
	シリアル送信シフト・レジスタ（TXS）	不　定
	ポー・レート・ジェネレータ・コントロール・レジスタ（BRGC）	00H
リアルタイム出力ポート・コントロール・レジスタ（RTPC）		00H
メモリ拡張モード・レジスタ（MM）		20H
プログラマブル・ウエイト制御レジスタ（PW）		80H
リフレッシュ・モード・レジスタ（RFM）		00H
割り込み	割り込み要求フラグ・レジスタ（IF0）	0000H
	割り込みマスク・レジスタ（MK0）	FFFFH
	優先順位指定フラグ・レジスタ（PR0）	FFFFH
	割り込みサービス・モード・レジスタ（ISM0）	0000H
	割り込みステータス・レジスタ（IST）	00H
外部割り込みモード・レジスタ（INTM0，INTM1）		00H
スタンバイ・コントロール・レジスタ（STBC）		0000×000B

図15-3　リセット入力時のタイミング

(a) μPD78217Aの場合



(b) μPD78218Aの場合



15.2　注意事項

パワーオン時のリセット入力は，電源電圧が規定電圧に達したあと，発振が安定するまでロウ・レベルを保持しなければなりません。

第16章　応　用　例

16.1　ステッピング・モータの開ループ制御

μPD78218Aのリアルタイム出力機能と8ビット・タイマ／カウンタ1およびマクロ・サービス機能を応用した例として，ステッピング・モータ制御を示します。

図16－1に2系統のステッピング・モータを制御する場合の機能ブロック図を示します。

8ビット・タイマ／カウンタ1（TM1）と2本のコンペア・レジスタ（CR10，CR11）の値が一致することによって割り込み信号が発生します。この割り込み信号をトリガとして，マクロ・サービス機能が動作し，あらかじめ格納しておいたメモリ上のテーブル・データをコンペア・レジスタ，およびリアルタイム出力ポートのバッファ・レジスタへ，CPUが自動的に転送します。このとき，コンペア・レジスタには，次に一致割り込みを発生させるインターバル時間に相当するデータを転送します。

また，バッファ・レジスタには，次にポート0端子から出力するデータを転送します。

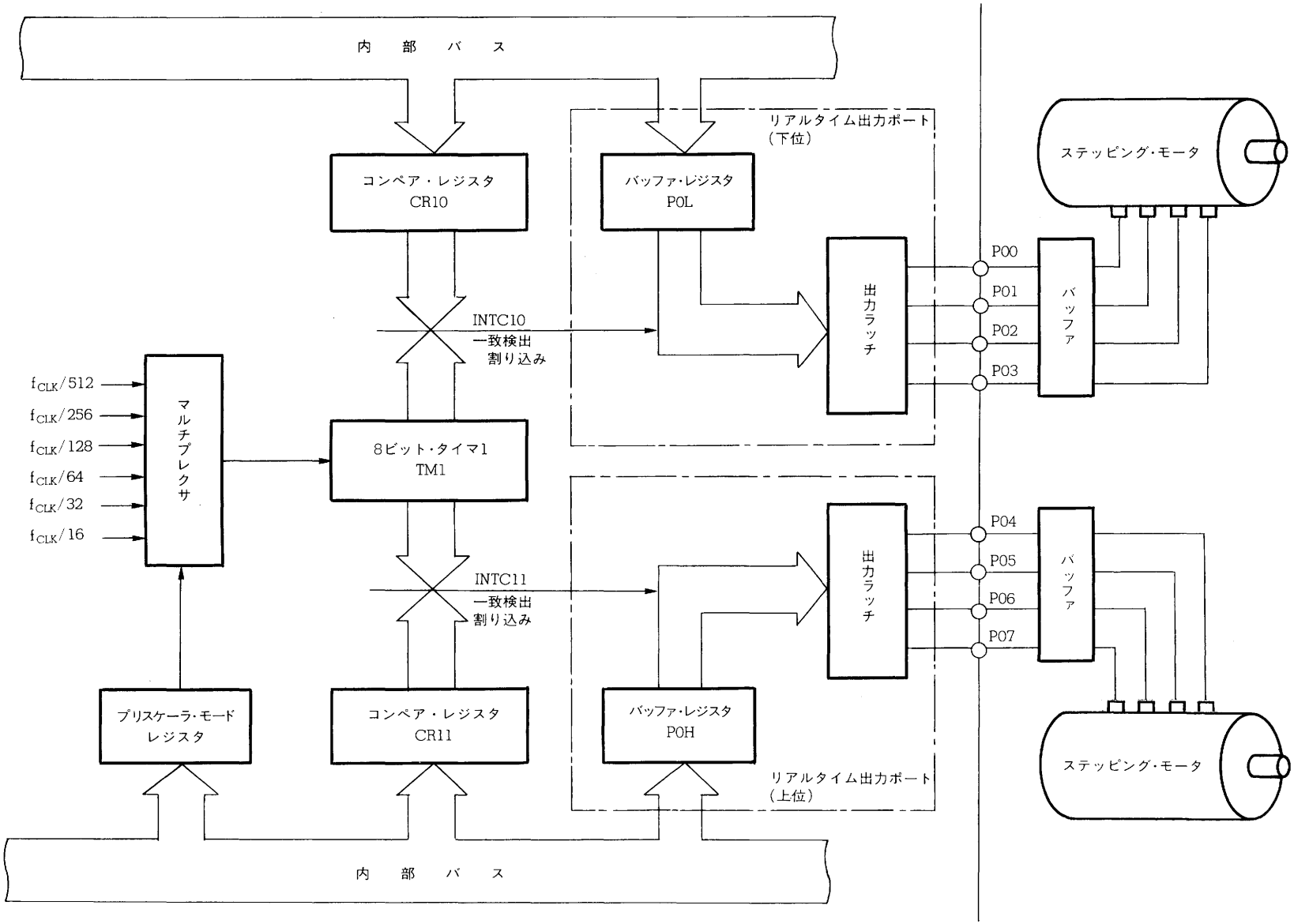
μPD78218Aを用いたステッピング・モータの開ループ制御では，以下のような利点があります。

(1) リアルタイム出力機能によって，あらかじめ設定した任意のインターバル時間に対して正確な制御（出力）信号が得られる。

(2) 8ビット・タイマ／カウンタ1本とコンペア・レジスタ2本の組み合わせによって，それぞれ独立に2系統の制御ができるため，ハードウエアの効率が良い。

(3) マクロ・サービス機能を組み合わせているため，ステッピング・モータの加減速制御などの複雑な制御を，ソフトウエアの介在なしに実現できる。

図16-1 2系統のステッピング・モータの制御例



16.2 複数デバイスとのシリアル通信

図16-2に，シリアル・バス・インタフェースによるシステム構成例を示します。シリアル・バス・インタフェースは，シリアル・クロックとシリアル・バスの2本のラインだけを用いて，アドレス（デバイスの選択）コマンド・データの転送と，アクノリッジ・ビジィの制御ができる機能です。

複数のデバイスとのシリアル通信を行う場合，マスタ・デバイス側は通信対象となるスレーブ・デバイスを選択するため，シリアル・バス・ラインに“アドレス”情報を出力します。スレーブ・デバイス側は，受け取ったアドレス情報があらかじめ与えられている自身のアドレスと一致するかどうか，ソフトウエアによって判定します。自身のアドレスと一致したスレーブ・デバイスのみアクノリッジ信号を送りかえし，そのあとにマスタ・デバイスからのコマンドの受け取りやデータの受け渡しを行います。図16-3にシリアル・バス・インタフェース（SBI）による通信の例を示します。

図16-2 シリアル・バス・インタフェースのシステム構成例

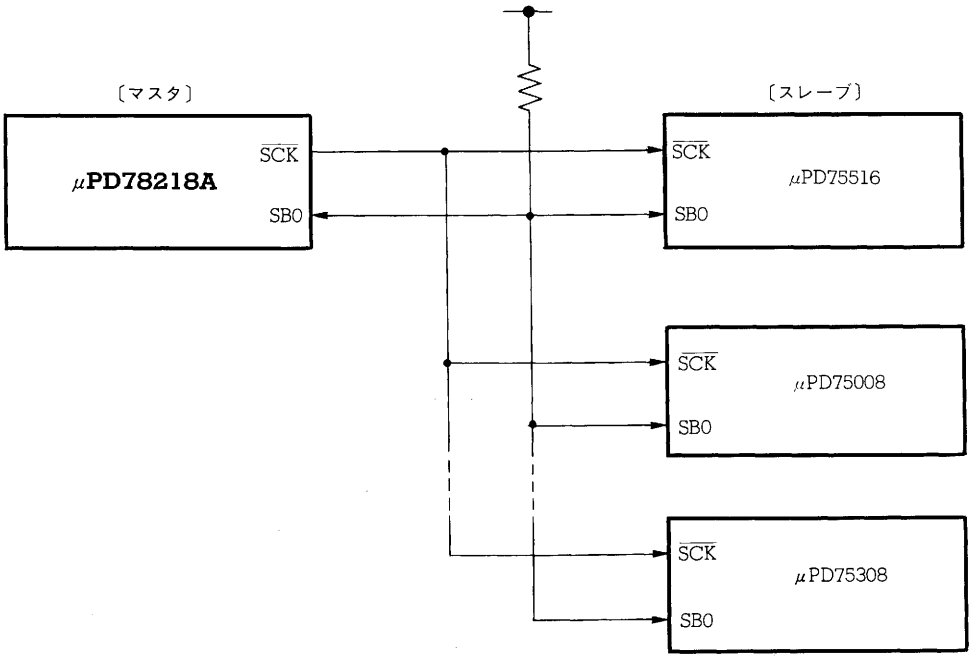


図16-3 SBIによる通信例

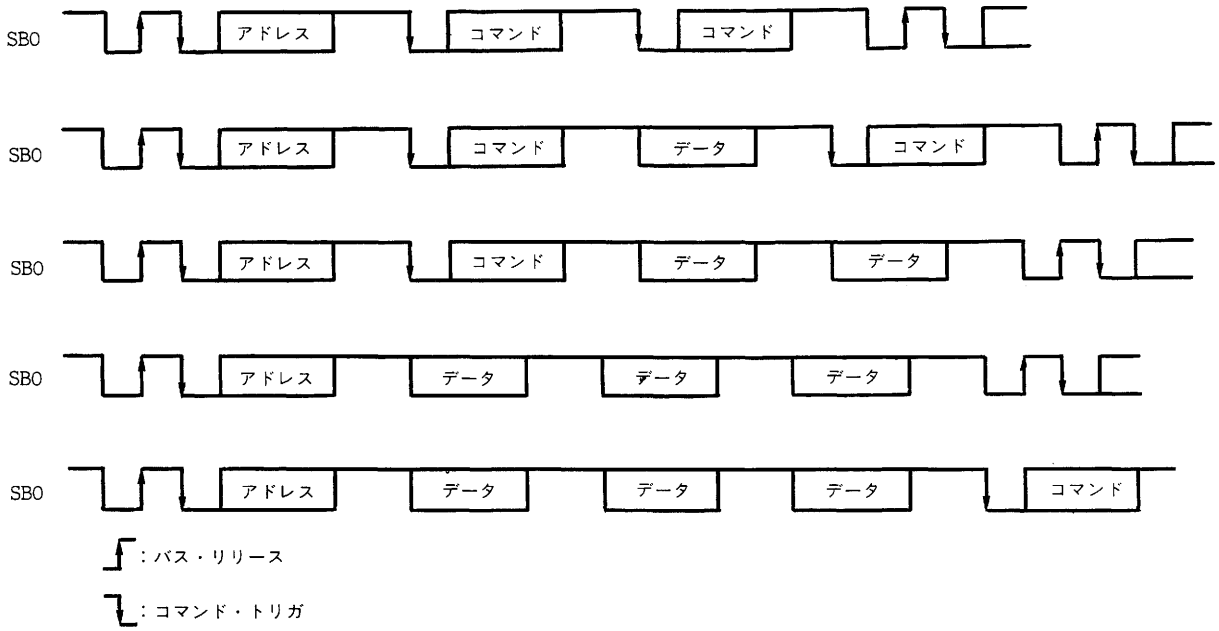
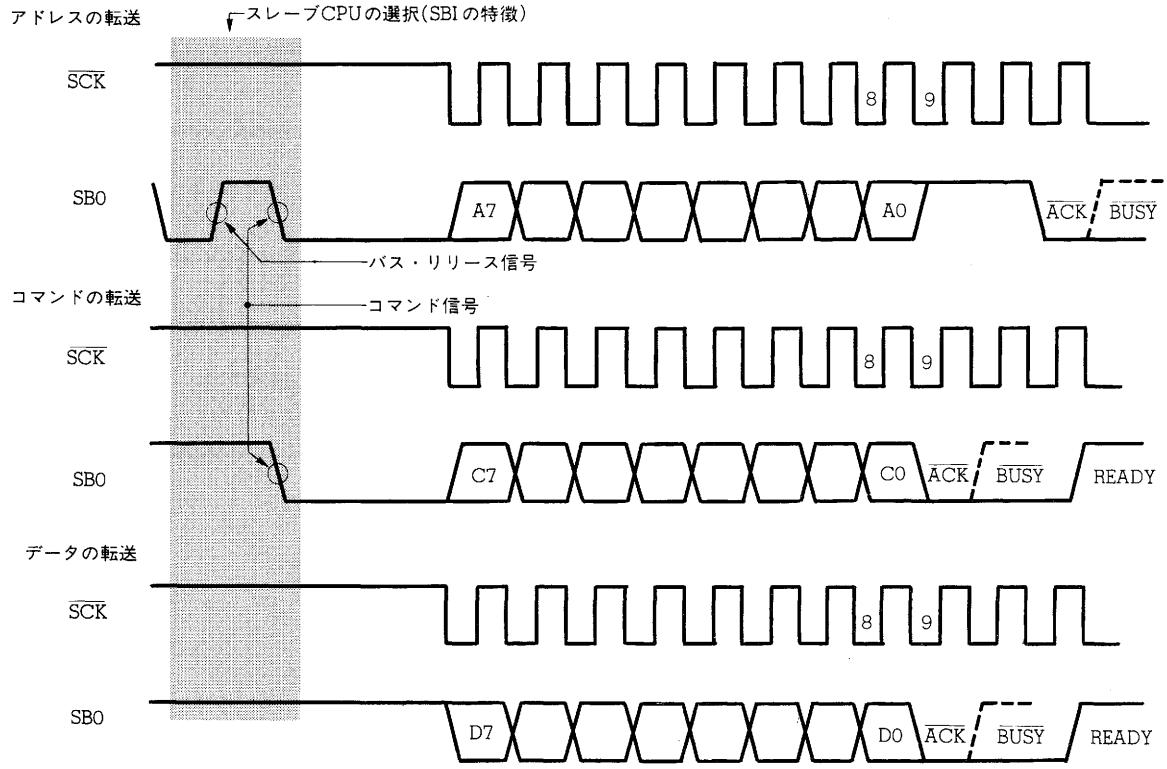


図16-4 シリアル・バス通信タイミング



第17章　μPD78P218Aのプログラミング

μPD78P218Aが内蔵しているプログラム・メモリは，32768×8ビットの，電気的書き込み可能なPROMです。PROMのプログラミングをするときは，P20／NMI端子と$\overline{\text{RESET}}$端子でPROMプログラミング・モードに設定します。

プログラミング特性はμPD27C256A[注]とコンパチブルです。

注　プログラム・パルスが100μsのモードには対応していません。 ★

17.1　動作モード

μPD78P218Aは，P20／NMI端子に＋12.5 V，$\overline{\text{RESET}}$端子にロウ・レベルを印加すると，PROMプログラミング・モードになります。このモードは$\overline{\text{CE}}$，$\overline{\text{OE}}$端子の設定により，表17－1のような動作モードになります。

また，μPD78P218Aは，読み出しモードに設定することにより，PROMの内容を読み出すことができます。

表17－1　PROMプログラミングの動作モード

モード＼端子	NMI	$\overline{\text{RESET}}$	V_{PP}	V_{DD}	$\overline{\text{CE}}$	$\overline{\text{OE}}$	D0-D7
プログラム書き込み	＋12.5V	L	＋12.5 V	＋6 V	L	H	データ入力
プログラム・ベリファイ					H	L	データ出力
プログラム・インヒビット					H	H	ハイ・インピーダンス
読み出し			＋5 V	＋5 V	L	L	データ出力
出力ディスエーブル					L	H	ハイ・インピーダンス
スタンバイ					H	L／H	ハイ・インピーダンス

注意　**V_{PP}を＋12.5 V，V_{DD}を＋6 Vに設定したとき，$\overline{\text{CE}}$と$\overline{\text{OE}}$をともに“L”にすることは禁止しています。**

17

17.2 PROM書き込みの手順

PROMの書き込み手順は次のようになっており，高速書き込みが可能です。

(1) $\overline{\text{RESET}}$端子をロウ・レベルに固定。NMI端子に＋12.5 Vを供給。その他，使用しない端子は**1.3.2**に示すように処理する。

(2) V_{DD}端子に＋6 V，V_{PP}端子には＋12.5 Vを供給。

(3) 初期アドレスを供給。

(4) 書き込みデータを供給。

(5) $\overline{\text{CE}}$端子に1 msのプログラム・パルス（アクティブ・ロウ）を供給。

(6) ベリファイ・モード。書き込めていれば(8)へ，書き込めていなければ(4)-(6)を繰り返す。25回繰り返して書き込めなければ，(7)へ。

(7) 不良デバイスとして書き込み動作を中止する。

(8) 書き込みデータを供給し，((4)-(6)で繰り返した回数)×3 msのプログラム・パルスを供給（追加書き込み）。

(9) アドレスをインクリメント。

(10) (4)-(9)を最終アドレスまで繰り返す。

上述の(2)-(8)のタイミングを図17－1に示します。

図17－1 PROMの書き込み/ベリファイ・タイミング

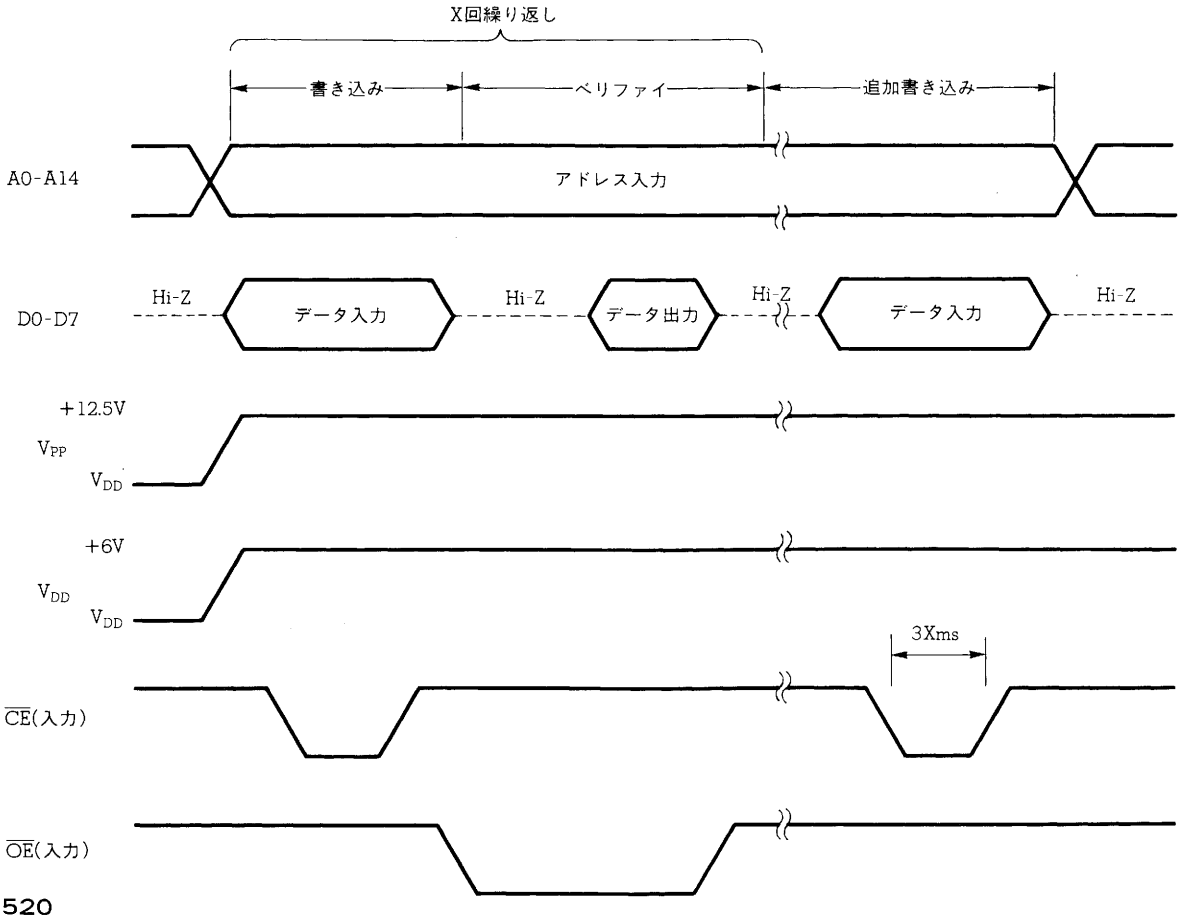
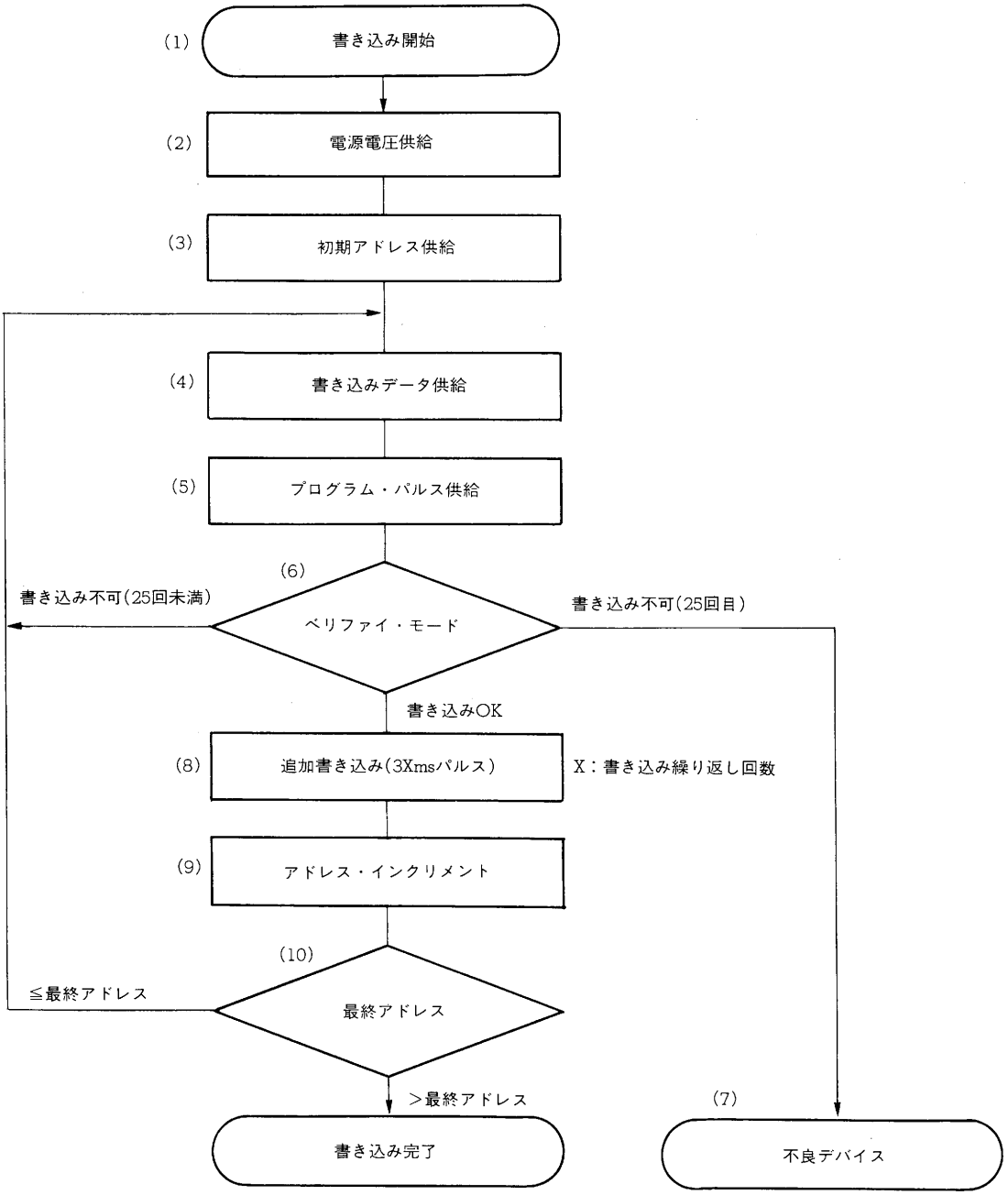


図 17-2　書き込み手順フロー・チャート



17.3 PROM読み出しの手順

次に示す手順によって，PROMの内容を外部データ・バス（D0-D7）に読み出すことができます。

(1) $\overline{\text{RESET}}$端子をロウ・レベルに固定。NMI端子に＋12.5 Vを供給。その他，使用しない端子は**1.3.2**に示すように処理する。

(2) V_{DD}，V_{PP}端子に＋5 Vを供給。

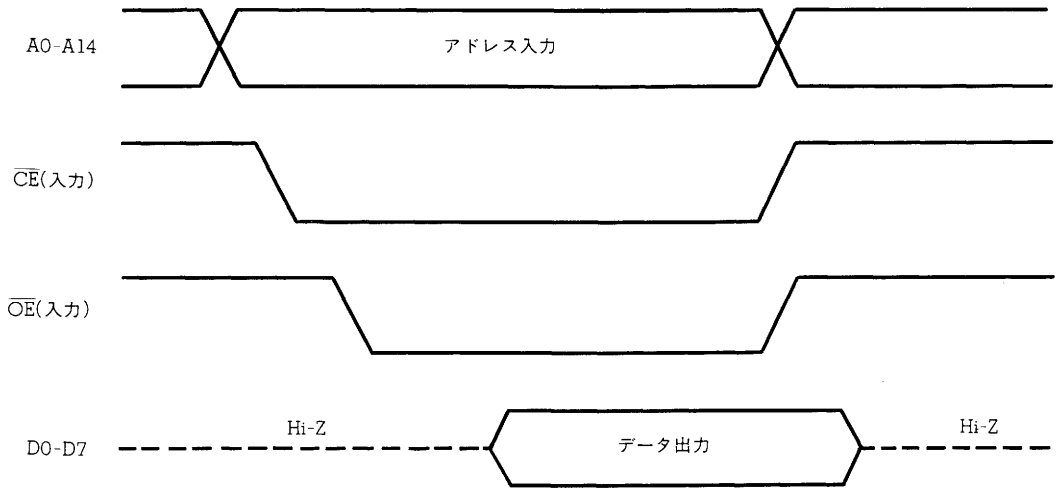
(3) 読み出そうとするデータのアドレスをA0-A14端子に入力。

(4) リード・モード

(5) データをD0-D7端子に出力。

上述の(2)-(5)のタイミングを図17－3に示します。

図17－3 PROMの読み出しタイミング



17.4　注意事項

V_{PP}を＋12.5 V，V_{DD}を＋6 Vに設定したとき，$\overline{CE}$と$\overline{OE}$をともに“L”にすることは禁止しています。

第18章　命令のオペレーション

μPD78218Aサブシリーズの各命令のオペレーションを示します。なお，各命令の詳細な動作，機能語(命令コード)およびクロック数については，**78K／Ⅱシリーズ　ユーザーズ・マニュアル　命令編(IEU-754)**を参照してください。

18.1　凡　　例

18.1.1　オペランド欄

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述してください(詳細はアセンブラ仕様による)。記述方法の中で複数個あるものは，それらの要素の1つを選択してください。大文字で書かれた英字および+，−，#，!，$，／，[　]，&記号はキー・ワードですので，そのまま記述してください。

イミーディエト・データをレーベルで記述する際も，+，−，#，!，$，／，[　]，&は記述してください。r，rpは，機能名称と絶対名称のいずれでも記述できます。

+	：オートインクリメント指定
−	：オートデクリメント指定
#	：イミーディエト・データ指定
!	：絶対アドレス指定
$	：相対アドレス指定
／	：ビット反転指定
[　]	：インダイレクト・アドレシング指定
&	：サブバンク指定
r，r'	：レジスタ； 機能名称：X，A，C，B，E，D，L，H 絶対名称：R0-R7
r1	：レジスタ・グループ1； B，C
rp，rp'	：レジスタ・ペア； 機能名称：AX，BC，DE，HL 絶対名称：RP0-RP3

18

sfr　：特殊機能レジスタ；
P0, P2, P3, P4, P5, P6, P7, P0H, P0L, RTPC, CR10, CR11, CR20, CR21, CR22, CR30, PM0, PM3, PM5, PM6, PMC3, PUO, CRC0, CRC1, CRC2, TOC, TM1, TM2, TM3, TMC0, TMC1, PRM0, PRM1, OSPC, ADM, ADCR, CSIM, SBIC, SIO, ASIM, ASIS, RxB, TxS, BRGC, STBC(専用命令のみ), MM, PW, RFM, IF0L, IF0H, MK0L, MK0H, PR0L, PR0H, ISM0L, ISM0H, INTM0, INTM1, IST

sfrp　：特殊機能レジスタ・ペア；
CR00, CR01, CR02, TM0, IF0, MK0, PR0, ISM0

mem　：インダイレクト・アドレシングによるメモリ・アドレス；
レジスタ間接モード　：[DE], [HL], [DE+], [HL+], [DE−], [HL−]
ベース・モード　：[DE+byte], [HL+byte], [SP+byte]
インデクスト・モード：word [A], word [B], word [DE], word [HL]

mem1　：インダイレクト・アドレシング・グループ1によるメモリ・アドレス；
[DE], [HL]

saddr, saddr'　：ショート・ダイレクト・アドレシングによるメモリ・アドレス；
FE20H-FF1FHイミーディエト・データまたはレーベル

saddrp　：ショート・ダイレクト・アドレシング・ペアによるメモリ・アドレス；
FE20H-FF1EHイミーディエト・データまたはレーベル

addr16　：16ビット・アドレス；
0000H-FFFFHイミーディエト・データまたはレーベル

addr11　：11ビット・アドレス；
800H-FFFHイミーディエト・データまたはレーベル

addr5　：5ビット・アドレス；
40H-7EHイミーディエト・データまたはレーベル

word　：16ビット・データ；
16ビット・イミーディエト・データまたはレーベル

byte　：8ビット・データ；
8ビット・イミーディエト・データまたはレーベル

bit　：3ビット・データ；
3ビット・イミーディエト・データまたはレーベル

n　：シフト・ビット数；
3ビット・イミーディエト・データ(0-7)

RBn　：レジスタ・バンク；
RB0-RB3

18.1.2　オペレーション欄

A	：Aレジスタ；8ビット・アキュームレータ
X	：Xレジスタ
B	：Bレジスタ
C	：Cレジスタ
D	：Dレジスタ
E	：Eレジスタ
H	：Hレジスタ
L	：Lレジスタ
R0-R7	：レジスタ0－レジスタ7(絶対名称)
AX	：レジスタ・ペア（AX）；16ビット・アキュームレータ
BC	：レジスタ・ペア（BC）
DE	：レジスタ・ペア（DE）
HL	：レジスタ・ペア（HL）
RP0-RP3	：レジスタ・ペア0－レジスタ・ペア3(絶対名称)
PC	：プログラム・カウンタ
SP	：スタック・ポインタ
PSW	：プログラム・ステータス・ワード
CY	：キャリー・フラグ
AC	：補助キャリー・フラグ
Z	：ゼロ・フラグ
RBS1-RBS0	：レジスタ・バンク選択フラグ
IE	：割り込み要求許可フラグ
STBC	：スタンバイ・コントロール・レジスタ
jdisp8	：符号付き8ビット・データ（ディスプレースメント：－128～＋127）
(　)	：(　)内のアドレスまたはレジスタの内容で示されるメモリの内容
××H	：16進数
$\times_H$, $\times_L$	：16ビット・レジスタ・ペアの上位8ビット，下位8ビット

18.1.3　フラグ欄

空白	：変化せず
0	：0にクリアされる
1	：1にセットされる
×	：結果に従ってセットまたはクリアされる
R	：以前に退避した値がリストアされる

18.2　オペレーション一覧

(1) 8ビット・データ転送命令：MOV，XCH

ニモニック	オペランド	バイト	オペレーション	フラグ Z	フラグ AC	フラグ CY
MOV	r, #byte	2	r ← byte			
	saddr, #byte	3	(saddr) ← byte			
	sfr, #byte	3	sfr ← byte			
	r, r'	2	r ← r'			
	A, r	1	A ← r			
	A, saddr	2	A ← (saddr)			
	saddr, A	2	(saddr) ← A			
	saddr, saddr'	3	(saddr) ← (saddr')			
	A, sfr	2	A ← sfr			
	sfr, A	2	sfr ← A			
	A, mem	1-4	A ← (mem)			
	A, &mem	2-5	A ← (&mem)			
	mem, A	1-4	(mem) ← A			
	&mem, A	2-5	(&mem) ← A			
	A, !addr16	4	A ← (!addr16)			
	A, & !addr16	5	A ← (& !addr16)			
	!addr16, A	4	(!addr16) ← A			
	& !addr16, A	5	(& !addr16) ← A			
	PSW, #byte	3	PSW ← byte	×	×	×
	PSW, A	2	PSW ← A	×	×	×
	A, PSW	2	A ← PSW			
XCH	A, r	1	A ↔ r			
	r, r'	2	r ↔ r'			
	A, mem	2-4	A ↔ (mem)			
	A, &mem	3-5	A ↔ (&mem)			
	A, saddr	2	A ↔ (saddr)			
	A, sfr	3	A ↔ sfr			
	saddr, saddr'	3	(saddr) ↔ (saddr')			

(2) 16ビット・データ転送命令：MOVW

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
MOVW	rp, #word	3	rp ← word			
	saddrp, #word	4	(saddrp) ← word			
	sfrp, #word	4	sfrp ← word			
	rp, rp'	2	rp ← rp'			
	AX, saddrp	2	AX ← (saddrp)			
	saddrp, AX	2	(saddrp) ← AX			
	AX, sfrp	2	AX ← sfrp			
	sfrp, AX	2	sfrp ← AX			
	AX, mem1	2	AX ← (mem1)			
	AX, &mem1	3	AX ← (&mem1)			
	mem1, AX	2	(mem1) ← AX			
	&mem1, AX	3	(&mem1) ← AX			

(3) 8ビット演算命令：ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
ADD	A, #byte	2	A, CY ← A+byte	×	×	×
	saddr, #byte	3	(saddr), CY ← (saddr)+byte	×	×	×
	sfr, #byte	4	sfr, CY ← sfr+byte	×	×	×
	r, r'	2	r, CY ← r+r'	×	×	×
	A, saddr	2	A, CY ← A+(saddr)	×	×	×
	A, sfr	3	A, CY ← A+sfr	×	×	×
	saddr, saddr'	3	(saddr), CY ← (saddr)+(saddr')	×	×	×
	A, mem	2-4	A, CY ← A+(mem)	×	×	×
	A, &mem	3-5	A, CY ← A+(&mem)	×	×	×
ADDC	A, #byte	2	A, CY ← A+byte+CY	×	×	×
	saddr, #byte	3	(saddr), CY ← (saddr)+byte+CY	×	×	×
	sfr, #byte	4	sfr, CY ← sfr+byte+CY	×	×	×
	r, r'	2	r, CY ← r+r'+CY	×	×	×
	A, saddr	2	A, CY ← A+(saddr)+CY	×	×	×
	A, sfr	3	A, CY ← A+sfr+CY	×	×	×
	saddr, saddr'	3	(saddr), CY ← (saddr)+(saddr')+CY	×	×	×
	A, mem	2-4	A, CY ← A+(mem)+CY	×	×	×
	A, &mem	3-5	A, CY ← A+(&mem)+CY	×	×	×
SUB	A, #byte	2	A, CY ← A−byte	×	×	×
	saddr, #byte	3	(saddr), CY ← (saddr)−byte	×	×	×
	sfr, #byte	4	sfr, CY ← sfr−byte	×	×	×
	r, r'	2	r, CY ← r−r'	×	×	×
	A, saddr	2	A, CY ← A−(saddr)	×	×	×
	A, sfr	3	A, CY ← A−sfr	×	×	×
	saddr, saddr'	3	(saddr), CY ← (saddr)−(saddr')	×	×	×
	A, mem	2-4	A, CY ← A−(mem)	×	×	×
	A, &mem	3-5	A, CY ← A−(&mem)	×	×	×
SUBC	A, #byte	2	A, CY ← A−byte−CY	×	×	×
	saddr, #byte	3	(saddr), CY ← (saddr)−byte−CY	×	×	×
	sfr, #byte	4	sfr, CY ← sfr−byte−CY	×	×	×
	r, r'	2	r, CY ← r−r'−CY	×	×	×
	A, saddr	2	A, CY ← A−(saddr)−CY	×	×	×
	A, sfr	3	A, CY ← A−sfr−CY	×	×	×
	saddr, saddr'	3	(saddr), CY ← (saddr)−(saddr')−CY	×	×	×
	A, mem	2-4	A, CY ← A−(mem)−CY	×	×	×
	A, &mem	3-5	A, CY ← A−(&mem)−CY	×	×	×

(次ページに続く)

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
AND	A, #byte	2	A ← A ∧ byte	×		
	saddr, #byte	3	(saddr) ← (saddr) ∧ byte	×		
	sfr, #byte	4	sfr ← sfr ∧ byte	×		
	r, r'	2	r ← r ∧ r'	×		
	A, saddr	2	A ← A ∧ (saddr)	×		
	A, sfr	3	A ← A ∧ sfr	×		
	saddr, saddr'	3	(saddr) ← (saddr) ∧ (saddr')	×		
	A, mem	2-4	A ← A ∧ (mem)	×		
	A, &mem	3-5	A ← A ∧ (&mem)	×		
OR	A, #byte	2	A ← A ∨ byte	×		
	saddr, #byte	3	(saddr) ← (saddr) ∨ byte	×		
	sfr, #byte	4	sfr ← sfr ∨ byte	×		
	r, r'	2	r ← r ∨ r'	×		
	A, saddr	2	A ← A ∨ (saddr)	×		
	A, sfr	3	A ← A ∨ sfr	×		
	saddr, saddr'	3	(saddr) ← (saddr) ∨ (saddr')	×		
	A, mem	2-4	A ← A ∨ (mem)	×		
	A, &mem	3-5	A ← A ∨ (&mem)	×		
XOR	A, #byte	2	A ← A ⊻ byte	×		
	saddr, #byte	3	(saddr) ← (saddr) ⊻ byte	×		
	sfr, #byte	4	sfr ← sfr ⊻ byte	×		
	r, r'	2	r ← r ⊻ r'	×		
	A, saddr	2	A ← A ⊻ (saddr)	×		
	A, sfr	3	A ← A ⊻ sfr	×		
	saddr, saddr'	3	(saddr) ← (saddr) ⊻ (saddr')	×		
	A, mem	2-4	A ← A ⊻ (mem)	×		
	A, &mem	3-5	A ← A ⊻ (&mem)	×		
CMP	A, #byte	2	A − byte	×	×	×
	saddr, #byte	3	(saddr) − byte	×	×	×
	sfr, #byte	4	sfr − byte	×	×	×
	r, r'	2	r − r'	×	×	×
	A, saddr	2	A − (saddr)	×	×	×
	A, sfr	3	A − sfr	×	×	×
	saddr, saddr'	3	(saddr) − (saddr')	×	×	×
	A, mem	2-4	A − (mem)	×	×	×
	A, &mem	3-5	A − (&mem)	×	×	×

(4) 16ビット演算命令：ADDW，SUBW，CMPW

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
ADDW	AX，#word	3	AX，CY ← AX+word	×	×	×
	AX，rp	2	AX，CY ← AX+rp	×	×	×
	AX，saddrp	2	AX，CY ← AX+(saddrp)	×	×	×
	AX，sfrp	3	AX，CY ← AX+sfrp	×	×	×
SUBW	AX，#word	3	AX，CY ← AX−word	×	×	×
	AX，rp	2	AX，CY ← AX−rp	×	×	×
	AX，saddrp	2	AX，CY ← AX−(saddrp)	×	×	×
	AX，sfrp	3	AX，CY ← AX−sfrp	×	×	×
CMPW	AX，#word	3	AX−word	×	×	×
	AX，rp	2	AX−rp	×	×	×
	AX，saddrp	2	AX−(saddrp)	×	×	×
	AX，sfrp	3	AX−sfrp	×	×	×

(5) 乗除算命令：MULU，DIVUW

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
MULU	r	2	AX ← A×r			
DIVUW	r	2	AX(商)，r(余り) ← AX÷r，ただし，r=0のとき r←X，AX←0FFFFH			

★

(6) 増減命令：INC，DEC，INCW，DECW

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
INC	r	1	r ← r+1	×	×	
	saddr	2	(saddr) ← (saddr)+1	×	×	
DEC	r	1	r ← r−1	×	×	
	saddr	2	(saddr) ← (saddr)−1	×	×	
INCW	rp	1	rp ← rp+1			
DECW	rp	1	rp ← rp−1			

(7) シフト・ローテート命令：ROR, ROL, RORC, ROLC, SHR, SHL, SHRW, SHLW, ROR4, ROL4

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
ROR	r, n	2	(CY, $r_7 \leftarrow r_0$, $r_{m-1} \leftarrow r_m$) ×n回　n=0-7			×
ROL	r, n	2	(CY, $r_0 \leftarrow r_7$, $r_{m+1} \leftarrow r_m$) ×n回　n=0-7			×
RORC	r, n	2	(CY $\leftarrow r_0$, $r_7 \leftarrow$ CY, $r_{m-1} \leftarrow r_m$) ×n回　n=0-7			×
ROLC	r, n	2	(CY $\leftarrow r_7$, $r_0 \leftarrow$ CY, $r_{m+1} \leftarrow r_m$) ×n回　n=0-7			×
SHR	r, n	2	(CY $\leftarrow r_0$, $r_7 \leftarrow 0$, $r_{m-1} \leftarrow r_m$) ×n回　n=0-7	×	0	×
SHL	r, n	2	(CY $\leftarrow r_7$, $r_0 \leftarrow 0$, $r_{m+1} \leftarrow r_m$) ×n回　n=0-7	×	0	×
SHRW	rp, n	2	(CY $\leftarrow rp_0$, $rp_{15} \leftarrow 0$, $rp_{m-1} \leftarrow rp_m$) ×n回　n=0-7	×	0	×
SHLW	rP, n	2	(CY $\leftarrow rp_{15}$, $rp_0 \leftarrow 0$, $rp_{m+1} \leftarrow rp_m$) ×n回　n=0-7	×	0	×
ROR4	meml	2	$A_{3-0} \leftarrow (meml)_{3-0}$, $(meml)_{7-4} \leftarrow A_{3-0}$, $(meml)_{3-0} \leftarrow (meml)_{7-4}$			
	&meml	3	$A_{3-0} \leftarrow (\&meml)_{3-0}$, $(\&meml)_{7-4} \leftarrow A_{3-0}$, $(\&meml)_{3-0} \leftarrow (\&meml)_{7-4}$			
ROL4	meml	2	$A_{3-0} \leftarrow (meml)_{7-4}$, $(meml)_{3-0} \leftarrow A_{3-0}$, $(meml)_{7-4} \leftarrow (meml)_{3-0}$			
	&meml	3	$A_{3-0} \leftarrow (\&meml)_{7-4}$, $(\&meml)_{3-0} \leftarrow A_{3-0}$, $(\&meml)_{7-4} \leftarrow (\&meml)_{3-0}$			

(8) BCD補正命令：ADJBA, ADJBS

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
ADJBA		1	Decimal Adjust Accumulator after Addition	×	×	×
ADJBS		1	Decimal Adjust Accumulator after Subtract	×	×	×

(9) ビット操作命令：MOV1，AND1，OR1，XOR1，SET1，CLR1，NOT1

ニモニック	オペランド	バイト	オペレーション	フラグ Z	フラグ AC	フラグ CY
MOV1	CY，saddr. bit	3	CY ← (saddr. bit)			×
	CY，sfr. bit	3	CY ← sfr. bit			×
	CY，A. bit	2	CY ← A. bit			×
	CY，X. bit	2	CY ← X. bit			×
	CY，PSW. bit	2	CY ← PSW. bit			×
	saddr. bit，CY	3	(saddr. bit) ← CY			
	sfr. bit，CY	3	sfr. bit ← CY			
	A. bit，CY	2	A. bit ← CY			
	X. bit，CY	2	X. bit ← CY			
	PSW. bit，CY	2	PSW. bit ← CY	×	×	
AND1	CY，saddr. bit	3	CY ← CY ∧ (saddr. bit)			×
	CY，/saddr. bit	3	CY ← CY ∧ $\overline{(\text{saddr. bit})}$			×
	CY，sfr. bit	3	CY ← CY ∧ sfr. bit			×
	CY，/sfr. bit	3	CY ← CY ∧ $\overline{\text{sfr. bit}}$			×
	CY，A. bit	2	CY ← CY ∧ A. bit			×
	CY，/A. bit	2	CY ← CY ∧ $\overline{\text{A. bit}}$			×
	CY，X. bit	2	CY ← CY ∧ X. bit			×
	CY，/X. bit	2	CY ← CY ∧ $\overline{\text{X. bit}}$			×
	CY，PSW. bit	2	CY ← CY ∧ PSW. bit			×
	CY，PSW. bit	2	CY ← CY ∧ $\overline{\text{PSW. bit}}$			×
OR1	CY，saddr. bit	3	CY ← CY ∨ (saddr. bit)			×
	CY，/saddr. bit	3	CY ← CY ∨ $\overline{(\text{saddr. bit})}$			×
	CY，sfr. bit	3	CY ← CY ∨ sfr. bit			×
	CY，/sfr. bit	3	CY ← CY ∨ $\overline{\text{sfr. bit}}$			×
	CY，A. bit	2	CY ← CY ∨ A. bit			×
	CY，/A. bit	2	CY ← CY ∨ $\overline{\text{A. bit}}$			×
	CY，X. bit	2	CY ← CY ∨ X. bit			×
	CY，/X. bit	2	CY ← CY ∨ $\overline{\text{X. bit}}$			×
	CY，PSW. bit	2	CY ← CY ∨ PSW. bit			×
	CY，/PSW. bit	2	CY ← CY ∨ $\overline{\text{PSW. bit}}$			×
XOR1	CY，saddr，bit	3	CY ← CY ⊻ (saddr. bit)			×
	CY，sfr. bit	3	CY ← CY ⊻ sfr. bit			×
	CY，A. bit	2	CY ← CY ⊻ A. bit			×
	CY，X. bit	2	CY ← CY ⊻ X. bit			×
	CY，PSW. bit	2	CY ← CY ⊻ PSW. bit			×

(次ページに続く)

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
SET1	saddr. bit	2	(saddr. bit) ← 1			
	sfr. bit	3	sfr. bit ← 1			
	A. bit	2	A. bit ← 1			
	X. bit	2	X. bit ← 1			
	PSW. bit	2	PSW. bit ← 1	×	×	×
	CY	1	CY ← 1			1
CLR1	saddr. bit	2	(saddr. bit) ← 0			
	sfr. bit	3	sfr. bit ← 0			
	A. bit	2	A. bit ← 0			
	X. bit	2	X. bit ← 0			
	PSW. bit	2	PSW. bit ← 0	×	×	×
	CY	1	CY ← 0			0
NOT1	saddr. bit	3	(saddr. bit) ← $\overline{\text{(saddr. bit)}}$			
	sfr. bit	3	sfr. bit ← $\overline{\text{sfr. bit}}$			
	A. bit	2	A. bit ← $\overline{\text{A. bit}}$			
	X. bit	2	X. bit ← $\overline{\text{X. bit}}$			
	PSW. bit	2	PSW. bit ← $\overline{\text{PSW. bit}}$	×	×	×
	CY	1	CY ← $\overline{\text{CY}}$			×

(10) コール・リターン命令：CALL, CALLF, CALLT, BRK, RET, RETI, RETB

ニモニック	オペランド	バイト	オペレーション	フラグ Z	フラグ AC	フラグ CY
CALL	!addr16	3	$(SP-1) \leftarrow (PC+3)_H$, $(SP-2) \leftarrow (PC+3)_L$, $PC \leftarrow addr16$, $SP \leftarrow SP-2$			
	rp	2	$(SP-1) \leftarrow (PC+2)_H$, $(SP-2) \leftarrow (PC+2)_L$, $PC_H \leftarrow rp_H$, $PC_L \leftarrow rp_L$, $SP \leftarrow SP-2$			
CALLF	!addr11	2	$(SP-1) \leftarrow (PC+2)_H$, $(SP-2) \leftarrow (PC+2)_L$, $PC_{15-11} \leftarrow 00001$, $PC_{10+0} \leftarrow addr11$, $SP \leftarrow SP-2$			
CALLT	[addr5]	1	$(SP-1) \leftarrow (PC+1)_H$, $(SP-2) \leftarrow (PC+1)_L$, $PC_H \leftarrow (0000000001, addr5+1)$, $PC_L \leftarrow (0000000001, addr5)$, $SP \leftarrow SP-2$			
BRK		1	$(SP-1) \leftarrow PSW$, $(SP-2) \leftarrow (PC+1)_H$ $(SP-3) \leftarrow (PC+1)_L$, $PC_L \leftarrow (003EH)$, $PC_H \leftarrow (003FH)$, $SP \leftarrow SP-3$, $IE \leftarrow 0$			
RET		1	$PC_L \leftarrow (SP)$, $PC_H \leftarrow (SP+1)$, $SP \leftarrow SP+2$			
RETI		1	$PC_L \leftarrow (SP)$, $PC_H \leftarrow (SP+1)$, $PSW \leftarrow (SP+2)$, $SP \leftarrow SP+3$, $NMIS \leftarrow 0$	R	R	R
RETB		1	$PC_L \leftarrow (SP)$, $PC_H \leftarrow (SP+1)$, $PSW \leftarrow (SP+2)$, $SP \leftarrow SP+3$	R	R	R

★

(11) スタック操作命令：PUSH, POP, MOVW, INCW, DECW

ニモニック	オペランド	バイト	オペレーション	フラグ Z	AC	CY
PUSH	PSW	1	(SP−1) ← PSW, SP ← SP−1			
	sfr	2	(SP−1) ← sfr, SP ← SP−1			
	rp	1	(SP−1) ← rp_H, (SP−2) ← rp_L, SP ← SP−2			
POP	PSW	1	PSW ← (SP), SP ← SP+1	R	R	R
	sfr	2	sfr ← (SP), SP ← SP+1			
	rp	1	rp_L ← (SP), rp_H ← (SP+1), SP ← SP+2			
MOVW	SP, #word	4	SP ← word			
	SP, AX	2	SP ← AX			
	AX, SP	2	AX ← SP			
INCW	SP	2	SP ← SP+1			
DECW	SP	2	SP ← SP−1			

(12) 無条件分岐命令：BR

ニモニック	オペランド	バイト	オペレーション	フラグ Z	AC	CY
BR	!addr16	3	PC ← addr16			
	rp	2	PC_H ← rp_H, PC_L ← rp_L			
	$addr16	2	PC ← PC+2+jdisp8			

(13) 条件付き分岐命令：BC, BL, BNC, BNL, BZ, BE, BNZ, BNE, BT, BF, BTCLR, DBNZ

ニモニック	オペランド	バイト	オペレーション	フラグ Z	フラグ AC	フラグ CY
BC	$addr16	2	PC ← PC+2+jdisp8 if CY=1			
BL						
BNC	$addr16	2	PC ← PC+2+jdisp8 if CY=0			
BNL						
BZ	$addr16	2	PC ← PC+2+jdisp8 if Z=1			
BE						
BNZ	$addr16	2	PC ← PC+2+jdisp8 if Z=0			
BNE						
BT	saddr. bit, $addr16	3	PC ← PC+3+jdisp8 if(saddr. bit)=1			
	sfr. bit, $addr16	4	PC ← PC+4+jdisp8 if sfr. bit=1			
	A. bit, $addr16	3	PC ← PC+3+jdisp8 if A. bit=1			
	X. bit, $addr16	3	PC ← PC+3+jdisp8 if X. bit=1			
	PSW. bit, $addr16	3	PC ← PC+3+jdisp8 if PSW. bit=1			
BF	saddr. bit, $addr16	4	PC ← PC+4+jdisp8 if(saddr. bit)=0			
	sfr. bit, $addr16	4	PC ← PC+4+jdisp8 if sfr. bit=0			
	A. bit, $addr16	3	PC ← PC+3+jdisp8 if A. bit=0			
	X. bit, $addr16	3	PC ← PC+3+jdisp8 if X. bit=0			
	PSW. bit, $addr16	3	PC ← PC+3+jdisp8 if PSW. bit=0			
BTCLR	saddr. bit, $addr16	4	PC ← PC+4+jdisp8 if(saddr. bit)=1 then reset(saddr. bit)			
	sfr. bit, $addr16	4	PC ← PC+4+jdisp8 if sfr. bit=1 then reset sfr. bit			
	A. bit, $addr16	3	PC ← PC+3+jdisp8 if A. bit=1 then reset A. bit			
	X. bit, $addr16	3	PC ← PC+3+jdisp8 if X. bit=1 then reset X. bit			
	PSW. bit, $addr16	3	PC ← PC+3+jdisp8 if PSW. bit=1 then reset PSW. bit	×	×	×
DBNZ	rl, $addr16	2	rl ← rl−1, then PC ← PC+2+jdisp8 if rl≠0			
	saddr, $addr16	3	(saddr) ← (saddr)−1, then PC ← PC+3+jdisp8 if(saddr)≠0			

(14) CPU制御命令：MOV, SEL, NOP, EI, DI

ニモニック	オペランド	バイト	オペレーション	フラグ		
				Z	AC	CY
MOV	STBC, #byte	4	STBC ← byte			
SEL	RBn	2	RBS1-0 ← n, n=0-3			
NOP		1	No Operation			
EI		1	IE ← 1 (Enable Interrupt)			
DI		1	IE ← 0 (Disable Interrupt)			

18.3 アドレシング別命令一覧表

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, SHR, SHL, ROR4, ROL4, DBNZ

表18-1　8ビット・アドレシング別命令一覧表

第2オペランド / 第1オペランド	#byte	A	r r'	saddr saddr'	sfr	mem	&mem	!addr16	&!addr16	PSW	n	なし注2
A	ADD注1		MOV XCH	MOV XCH ADD注1	MOV XCH ADD注1	MOV XCH ADD注1	MOV XCH ADD注1	MOV	MOV	MOV		
r	MOV		MOV XCH ADD注1								ROR RORC ROL ROLC SHR SHL	MULU DIVUW DEC INC
r1												DBNZ
saddr	MOV ADD注1	MOV		MOV XCH ADD注1								DEC INC DBNZ
sfr	MOV ADD注1	MOV										POP PUSH
mem &mem		MOV										
mem1 &mem1												ROR4 ROL4
!addr16 &!addr16		MOV										
PSW	MOV	MOV										POP PUSH
STBC	MOV											

注1．ADDC, SUB, SUBC, AND, OR, XOR, CMPはADDと同じ

2．第2オペランドがないか，第2オペランドがオペランド・アドレスでない

(2) 16ビット命令

MOVW, ADDW, SUBW, CMPW, INCW, DECW, SHRW, SHLW, PUSH, POP

★ 表18-2　16ビット・アドレシング別命令一覧表

第2オペランド / 第1オペランド	#word	AX	rp rp'	saddrp	sfrp	mem1	&mem1	SP	n	なし
AX	ADDW SUBW CMPW		ADDW SUBW CMPW	MOVW ADDW SUBW CMPW	MOVW ADDW SUBW CMPW	MOVW	MOVW	MOVW		
rp	MOVW		MOVW						SHLW SHRW	DECW INCW PUSH POP
saddrp	MOVW	MOVW								
sfrp	MOVW	MOVW								
mem1 &mem1		MOVW								
SP	MOVW	MOVW								DECW INCW

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

表18-3　ビット操作命令アドレシング別命令一覧表

第2オペランド / 第1オペランド	CY	A. bit	/A. bit	X.bit	/X. bit	saddr. bit	/saddr. bit	sfr. bit	/sfr. bit	PSW. bit	/PSW. bit	なし注
CY		MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	MOV1 AND1 OR1 XOR1	AND1 OR1	CLR1 NOT1 SET1
A.bit	MOV1											CLR1 NOT1 SET1 BF BT BTCLR
X.bit	MOV1											CLR1 NOT1 SET1 BF BT BTCLR
saddr. bit	MOV1											CLR1 NOT1 SET1 BF BT BTCLR
sfr.bit	MOV1											CLR1 NOT1 SET1 BF BT BTCLR
PSW.bit	MOV1											CLR1 NOT1 SET1 BF BT BTCLR

注　第2オペランドがないか，第2オペランドがオペランド・アドレスでない

(4) コール命令／分岐命令

★ CALL, CALLF, CALLT, BR, BC, BT, BF, BTCLR, DBNZ, BL, BNC, BNL, BZ, BE, BNZ, BNE

表18-4　コール命令／分岐命令のアドレシング別命令一覧表

命令アドレスのオペランド	$addr16	!addr16	rp	!addr11	[addr5]
基本命令	BR BC注	CALL BR	CALL BR	CALLF	CALLT
複合命令	BT BF BTCLR DBNZ				

注　BL, BNC, BNL, BZ, BF, BNZ, BNEはBCと同じ

(5) その他の命令

★ ADJBA, ADJBS, BRK, RET, RETI, RETB, NOP, EI, DI, SEL

付録A　78K／IIシリーズ製品一覧

次ページ以降に，78K／IIシリーズの製品を一覧表にして表します。

付

表A-1　78K／IIシリーズ製品一覧

シリーズ名		μPD78214サブシリーズ			μPD78218Aサブシリーズ		μPD78224サブシリーズ	
項目＼品名		μPD78212	μPD78213	μPD78214 (μPD78P214)	μPD78217A	μPD78218A (μPD78P218A)	μPD78220	μPD78224 (μPD78P224)
基本命令数		65						
最小命令実行時間		333 ns	500 ns	333 ns	500 ns	333 ns	500 ns	333 ns
PUSH PSW命令の実行時間（クロック数）		スタック・エリアが内部デュアル・ポートRAMの場合：5または7 上記以外：7または9			スタック・エリアが内部デュアル・ポートRAMの場合：6 上記以外：8		スタック・エリアが内部デュアル・ポートRAMの場合：5または7 上記以外：7または9	
★ 動作温度範囲と電源電圧範囲		μPD78P218A以外：−40〜+85 °C，V_{DD} = +5 V±10 % μPD78P218A　：−40〜+85 °C，V_{DD} = +5 V±0.3 V					−40〜+85°C，V_{DD} = +5 V±5 % −10〜+70°C，V_{DD} = +5 V±10 %	
汎用レジスタ		8ビット×8×4バンク						
バンク・レジスタ		P6とPM6					P6のみ	
内蔵メモリ	ROM	8 Kバイト	なし	16 Kバイト	なし	32 Kバイト	なし	16 Kバイト
	EEPROM	なし						
	RAM	384バイト	512バイト		1024バイト		640バイト	
メモリ空間		プログラム・メモリ空間：64 Kバイト，データ・メモリ空間：1 Mバイト						
I／O端子	入　力	14					8	
	出　力	12					20	
	入出力	28	10	28	10	28	17	35
	合　計	54	36	54	36	54	45	63
	注 付加機能付き端子 プルアップ抵抗付き端子	34	16	34	16	34	なし	
	注 付加機能付き端子 LEDダイレクト・ドライブ出力	16	0	16	0	16	8	
	注 付加機能付き端子 トランジスタ・ダイレクト・ドライブ出力	8					なし	
	P0	8ビット出力ポート						
	P1	−					8ビット入出力ポート	
	P2	8ビット入力ポート						
	P3	8ビット入出力ポート						
	P4	8ビット入出力ポート	−	8ビット入出力ポート	−	8ビット入出力ポート	−	8ビット入出力ポート
	P5	8ビット入出力ポート	−	8ビット入出力ポート	−	8ビット入出力ポート	−	8ビット入出力ポート
	P6	4ビット出力ポート＋4ビット入出力ポート	4ビット出力ポート＋2ビット入出力ポート	4ビット出力ポート＋4ビット入出力ポート	4ビット出力ポート＋2ビット入出力ポート	4ビット出力ポート＋4ビット入出力ポート	4ビット出力ポート＋2ビット入出力ポート	4ビット出力ポート＋4ビット入出力ポート
	P7	6ビット入力ポート					7ビット入出力ポート	

注　付加機能付き端子は，I／O端子の中に含まれています。

(1／3)

μPD78234サブシリーズ				μPD78244サブシリーズ	
μPD78233	μPD78234	μPD78237	μPD78238 (μPD78P238)	μPD78243	μPD78244
65					
500 ns	333 ns	500 ns	333 ns	500 ns	333 ns
スタック・エリアが内部デュアル・ポートRAMの場合：6 上記以外：8					
−40〜+85°C，V_{DD}＝+5 V±10％				−10〜+70°C， V_{DD}＝+5 V±10％	
8ビット×8×4バンク					
P6とPM6					
なし	16 Kバイト	なし	32 Kバイト (32K/16Kバイト注)	なし	16 Kバイト
なし				512バイト	
640バイト		1024バイト	1024バイト (1024/640バイト注)	512バイト	
プログラム・メモリ空間：64 Kバイト，データ・メモリ空間：1 Mバイト					
16				14	
12				12	
18	36	18	36	10	28
46	64	46	64	36	54
24	42	24	42	16	34
8	24	8	24	0	16
8					
8ビット出力ポート					
8ビット入出力ポート				−	
8ビット入力ポート					
8ビット入出力ポート					
−	8ビット 入出力ポート	−	8ビット 入出力ポート	−	8ビット 入出力ポート
−	8ビット 入出力ポート	−	8ビット 入出力ポート	−	8ビット 入出力ポート
4ビット 出力ポート ＋ 2ビット 入出力ポート	4ビット 出力ポート ＋ 4ビット 入出力ポート	4ビット 出力ポート ＋ 2ビット 入出力ポート	4ビット 出力ポート ＋ 4ビット 入出力ポート	4ビット 出力ポート ＋ 2ビット 入出力ポート	4ビット 出力ポート ＋ 4ビット 入出力ポート
8ビット入力ポート				6ビット入力ポート	

注　ソフトウエアにより設定

付

表A-1　78K／IIシリーズ製品一覧

シリーズ名		μPD78214サブシリーズ			μPD78218Aサブシリーズ		μPD78224サブシリーズ	
項目 ＼ 品名		μPD78212	μPD78213	μPD78214 (μPD78P214)	μPD78217A	μPD78218A (μPD78P218A)	μPD78220	μPD78224 (μPD78P224)
PWM出力		なし						
コンパレータ		なし					4ビット×8	
A／Dコンバータ		8ビット×8					なし	
	変換時間の選択	動作周波数に応じて選択					−	
	AV_{REF}入力電圧範囲	3.4 V～V_{DD}			3.6 V～V_{DD}		−	
	入力電圧に関する制限	ADMレジスタのANI0-ANI2ビットで選択されている端子のみ，常時0VからAV$_{REF}$端子電圧まで			A／D変換の対象となっている端子について，A／D変換中のみ0VからAV$_{REF}$端子電圧まで		—	
D／Aコンバータ		なし						
タイマ／カウンタ	16ビット・タイマ/カウンタ	1						
	8ビット・タイマ/カウンタ	3					2	
	タイマ出力	4						
	PWM/PPG出力	あり					なし	
	ワンショット・パルス	なし			あり		なし	
	割り込みソース	7					5	
外部SFR領域		0FFD0H-0FFDFHの16バイト					なし	
シリアル・インタフェース	UART	1チャネル						
	CSI	1チャネル（SBI対応）						
	BRG用タイマ	あり（タイマ／カウンタ3と兼用）					あり	
	専用ボー・レート・ジェネレータ	あり					なし	
	外部ボー・レート・クロック入力	あり					なし	
リアルタイム出力ポート		4ビット×2または8ビット×1						

(2／3)

μPD78234サブシリーズ				μPD78244サブシリーズ	
μPD78233	μPD78234	μPD78237	μPD78238 (μPD78P238)	μPD78243	μPD78244
12ビット×2				なし	
なし					
8ビット×8					
任意に選択可能				動作周波数に応じて選択	
3.4 V～V_{DD}				3.6 V～V_{DD}	
A／D変換の対象となっている端子について，A／D変換中のみ，0 VからAV_{REF}端子電圧まで					
8ビット×2				なし	
1					
3					
4					
あり					
あり					
7					
0FFD0H-0FFDFHの16バイト					
1チャネル					
1チャネル(SBI対応)					
あり(タイマ／カウンタ3と兼用)					
あり					
あり					
4ビット×2または8ビット×1					

付

表A-1　78K／IIシリーズ製品一覧

シリーズ名	μPD78214サブシリーズ			μPD78218Aサブシリーズ		μPD78224サブシリーズ	
項目＼品名	μPD78212	μPD78213	μPD78214 (μPD78P214)	μPD78217A	μPD78218A (μPD78P218A)	μPD78220	μPD78224 (μPD78P224)
割り込み	2レベル（プログラマブル），ベクタ／マクロ・サービス						
外　部	7					8	
内　部	12					9	
マクロ・サービス使用可能割り込み数	15					6	
マクロ・サービス・カウンタのビット数	8ビットのみ			8ビット／16ビットの選択が可能（ただし，タイプAを除く）		8ビットのみ	
マクロ・サービス・タイプCのMPD，MPTのインクリメント	下位8ビットのみインクリメント（上位は変化せず）			16ビットでインクリメント		下位8ビットのみインクリメント（上位は変化せず）	
マクロ・サービス・タイプAのメモリからSFRへのデータ転送時の制限事項	転送データがD0H-DFHのときに発生			転送元バッファ（メモリ）のアドレスが0FED0H-0FEDFHのときに発生		転送データがD0H-DFHのときに発生	
マクロ・サービスの実行時間	モードによって異なります。 各製品のユーザーズ・マニュアルで比較してください。						
スタンバイ機能	HALT／STOPモード						
STOPモード解除時の発振安定時間	固　定			2種類の時間から選択が可能		固　定	
疑似SRAMリフレッシュ機能	あり（リフレッシュ・パルス幅は，$1/f_{CLK}$）					あり（リフレッシュ・パルス幅は，$1.5/f_{CLK}$）	
メモリ・アクセスに関する制限	なし					リフレッシュ機能使用時は，FC80H-FDFFHのアクセス不可	
ROMレス・モードの設定	$\overline{EA}$端子＝ロウ・レベル	—	$\overline{EA}$端子＝ロウ・レベル	—	$\overline{EA}$端子＝ロウ・レベル	—	$\overline{EA}$端子＝ロウ・レベル
パッケージ	●64ピン・プラスチック・シュリンクDIP（750 mil） ●68ピン・プラスチックQFJ：μPD78212を除く ●64ピン・プラスチックQFP（本体14×14 mm） ●74ピン・プラスチックQFP（本体20×20 mm）：μPD78212を除く ●64ピン・プラスチックQUIP：μPD78212を除く ●64ピン・セラミック窓付きシュリンクDIP：μPD78P214のみ			●64ピン・プラスチック・シュリンクDIP（750 mil） ●64ピン・プラスチックQFP：（本体14×14 mm） ●64ピン・セラミック窓付きシュリンクDIP：μPD78P218Aのみ		●84ピン・プラスチックQFJ ●94ピン・プラスチックQFP（本体20×20 mm）	

(3／3)

μPD78234サブシリーズ				μPD78244サブシリーズ	
μPD78233	μPD78234	μPD78237	μPD78238 (μPD78P238)	μPD78243	μPD78244
2レベル（プログラマブル），ベクタ／マクロ・サービス					
7					
12				14	
15					
8ビット／16ビットの選択が可能（ただし，タイプAを除く）					
16ビットでインクリメント					
転送データがD0H-DFHのときに発生				転送元バッファ（メモリ）のアドレスが0FED0H-0FEDFHのときに発生	
モードによって異なります。 各製品のユーザーズ・マニュアルで比較してください。					
HALT／STOPモード					
2種類の時間から選択が可能					
あり（リフレッシュ・パルス幅は，$1/f_{CLK}$）					
なし					
—	MODE端子＝ ハイ・レベル	—	MODE端子＝ ハイ・レベル （設定不可）	—	$\overline{EA}$端子＝ ロウ・レベル
●84ピン・プラスチックQFJ ●80ピン・プラスチックQFP（本体14×14 mm） ●94ピン・プラスチックQFP（本体20×20 mm） ●94ピン・セラミックWQFN：μPD78P238のみ				●64ピン・プラスチック・シュリンクDIP（750 mil） ●64ピン・プラスチックQFP（本体14×14 mm）	

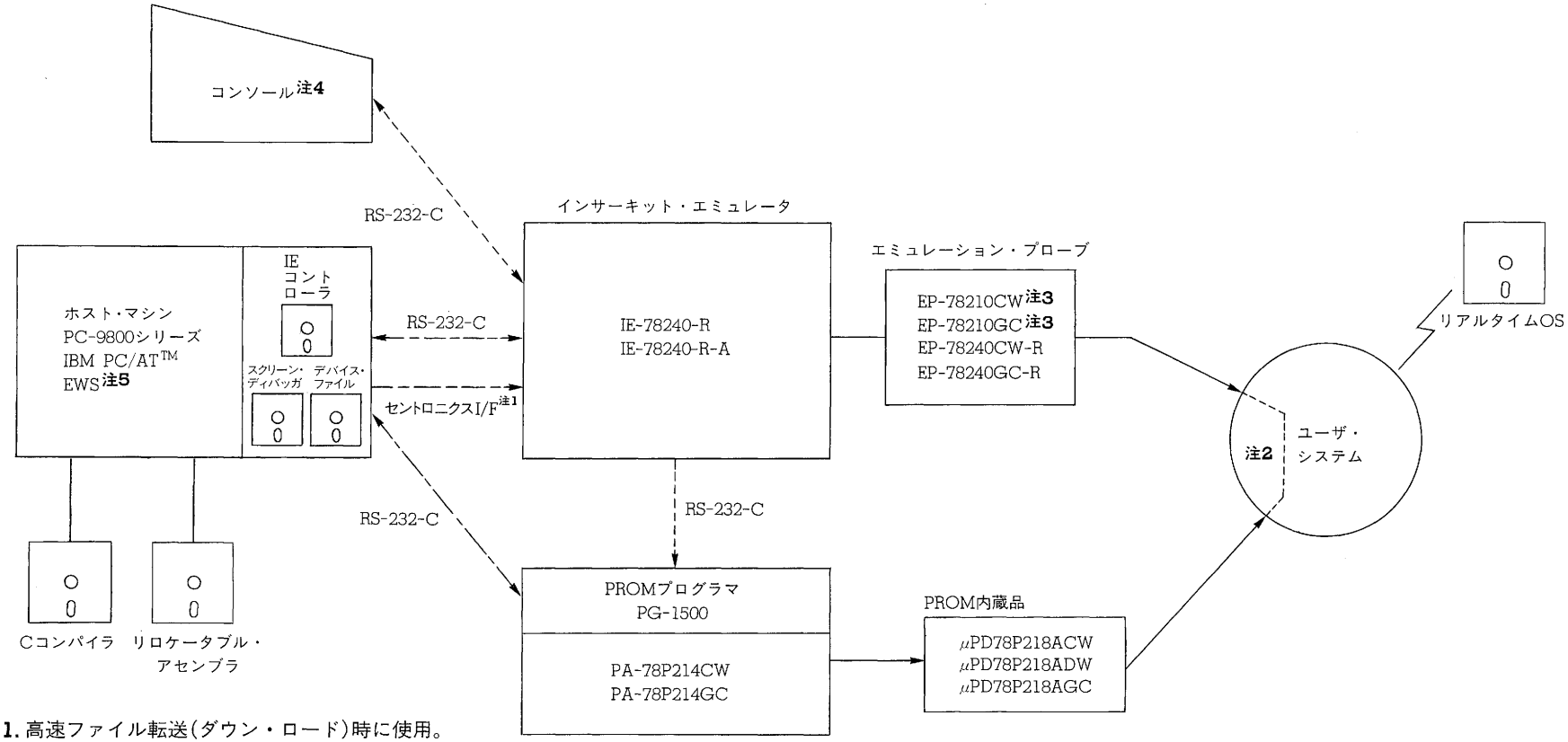
付

付録B　開発ツール

次ページに，μPD78218Aサブシリーズを使用するシステム開発のための開発ツールを示します。

付

開発環境★



注1. 高速ファイル転送(ダウン・ロード)時に使用。

2. EV-9200GC-64

3. 新規の製造は行っておりません

4. IE-78240-Rを使用する場合のみ

5. EWSは，HP9000シリーズ300，SUN4／3900，EWS-4800／200シリーズになります。
また，EWSはインサーキット・エミュレータとは接続できません。

——-——-— ：ホスト・マシンと接続して使用する場合

---------- ：コンソールと接続し，IEをスタンド・アロンとして使用する場合

B.1　ハードウエア

IE-78240-R-A	IE-78240-R-Aは，IE-78240-Rの機能強化版で，μPD78218Aサブシリーズに共通して使用できるインサーキット・エミュレータです。PC-9800シリーズまたはIBM PC／ATをホスト・マシンとして使用する場合に使用できます。別売のスクリーン・ディバッガとデバイス・ファイルが必要で，これらと組み合わせてC言語や構造化アセンブリ言語のソース・プログラム・レベルでのディバグが可能です。 データ・アクセスとプログラム・フェッチの同時トレースやC0カバレッジ機能などにより効率の良いディバグやプログラムの検査が行えます。 また，IE-78240-Rをすでにお持ちの場合は，別売のボード（IE-78200-R-BK）を購入することにより，IE-78240-R-Aと同様に使用することができます。 ★
IE-78240-R注	IE-78240-Rは，μPD78218Aサブシリーズに共通に使用できるインサーキット・エミュレータでホスト・マシンと接続してディバグを行います。 シンボリック・ディバグと，ホスト・マシンとのオブジェクト・ファイルの転送が可能なので，効率のよいディバグを行うことができます。 RS-232-Cのシリアル・インタフェースを2チャンネル内蔵しており，PG-1500PROMプログラマの接続も可能です。 また，セントロニクスI/Fにより，オブジェクト・ファイル，シンボル・ファイルの高速ダウン・ロードを行うことが可能です。
IE-78240-R-EM IE-78200-R-EM注 IE-78200-R-BK	75Xシリーズ，78Kシリーズ用のインサーキット・エミュレータをIE-78240-R-AまたはIE-78240-Rにシステム・アップするためのボードです。 詳細は，**B.3**を参照してください。
EP-78210CW注 EP-78240CW-R	μPD78P218ACW用のエミュレーション・プローブです。 EP-78240CW-RはEP-78210CWのケーブルを長くした製品です。
EP-78210GC注 EP-78240GC-R	μPD78P218AGC-ABE用のエミュレーション・プローブです。EV-9200GC-64とともに使用します。 EP-78240GC-Rは，EP-78210GCのケーブルを長くした製品です。
EV-9200GC-64	μPD78P218AGC-ABE用に作られたユーザ・システムの基板上に実装する変換ソケットです。EP-78210GCまたはEP-78240GC-Rとともに使用します。
PG-1500	付属ボードおよび別売のプログラマ・アダプタを接続することにより，PROM内蔵のシングルチップ・マイクロコンピュータを，スタンド・アロンで，または，ホスト・マシンからの操作によりプログラミングできるPROMプログラマです。また，256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。 ★
PA-78P214CW	μPD78P214CW，78P214DW，78P218ACW，78P218ADW用のPROMプログラマ・アダプタで，PG-1500などと組み合わせて使用します。
PA-78P214GC	μPD78P214GC-AB8，78P218AGC-ABE用のPROMプログラマ・アダプタで，PG-1500などと組み合わせて使用します。

注　新規の製造は行っておりませんのでご購入はできません。

付

備考1.　EP-78210GC，EP-78240GC-Rには，それぞれEV-9200G-74，EV-9200GC-64が1個添付されています。

2.　EV-9200GC-64は，5個1組で販売しています（発注単位は1組となります）。

B.2　ソフトウエア

B.2.1　言語処理用ソフトウエア（1／3）

<table>
<tr><td>78K/IIシリーズ　リロケータブル・アセンブラ
（RA78K/II）</td><td>78K/IIシリーズに共通に使用できるリロケータブル・アセンブラです。マクロ機能付きのリロケータブル・アセンブラですので，開発効率の向上が図れます。また，プログラム制御構造を明示的に記述できる構造化アセンブラも添付されており，プログラムの生産性や保守性を向上することができます。
リロケータブル・アセンブラは，次のプログラムで構成されています。
<table>
<tr><td>構造化アセンブラ・プリプロセッサ
（プログラム名：ST78K2）</td><td>構造化アセンブラのアセンブリ言語で記述されたソース・プログラムをリロケータブル・アセンブラに入力できる形式に変換します。</td></tr>
<tr><td>リロケータブル・アセンブラ
（プログラム名：RA78K2）</td><td>アセンブリ言語で記述されたソース・プログラムを機械語に変換するプログラムで，リロケータブルなオブジェクト・モジュール・ファイルを生成します。</td></tr>
<tr><td>リンカ
（プログラム名：LK78K2）</td><td>リロケータブル・アセンブラが生成したオブジェクト・モジュール・ファイルとライブラリ・ファイルを結合し，プログラムの絶対アドレスを決定し，ロード・モジュール・ファイルを生成します。</td></tr>
<tr><td>オブジェクト・コンバータ
（プログラム名：OC78K2）</td><td>リンカの生成したロード・モジュール・ファイルをインサーキット・エミュレータやPROMプログラマへダウン・ロードできる形式に変換します。</td></tr>
<tr><td>ライブラリアン
（プログラム名：LB78K2）</td><td>リロケータブル・アセンブラが出力したオブジェクト・モジュール・ファイルを結合し，1本のライブラリ・ファイルを作成します。また，ライブラリ・ファイルの更新などを行います。</td></tr>
<tr><td>リスト・コンバータ
（プログラム名：LCNV78K2）</td><td>リロケータブル・アセンブラの出力したアセンブル・リスト・ファイルをオブジェクト・モジュール・ファイルおよびロード・モジュール・ファイルを使って，アブソリュートな値の埋め込まれたアセンブル・リストを作成します。</td></tr>
</table>
</td></tr>
</table>

言語処理用ソフトウエア（2／3）

	ホスト・マシン	OS	供給媒体	オーダ名称	
78K/IIシリーズ　リロケータブル・アセンブラ（RA78K/II）	PC-9800シリーズ	MS-DOS™（Ver.3.30～Ver.5.00A注3）	8インチ2D注1	μS5A1RA78K2	
			5インチ2HD	μS5A10RA78K2	
			3.5インチ2HD	μS5A13RA78K2	
	IBM PC／AT	PC DOS™（Ver.3.1）	5インチ2D注2	μS7B11RA78K2	
			5インチ2HC	μS7B10RA78K2	
	HP9000シリーズ 300™	HP-UX™（rel.7.05B）	カートリッジ・テープ（QIC-24）	μS3H15RA78K2	★
	SPARCstation™	Sun OS™（rel.4.1.1）		μS3K15RA78K2	★
	EWS-4800シリーズ™（RISC）	EWS-UX／V™（rel.4.0）		μS3M15RA78K2	★
78K/IIシリーズ Cコンパイラ（CC78K/II）	78K／IIシリーズに共通に使用できるCコンパイラです。言語仕様はANSIに準拠しており，プログラムのROM化が可能です。機能として，特殊機能レジスタの操作，ビット操作，ショート・ダイレクト・アドレシングを使用する変数，割り込みの制御機能などを備えており，これらを使うことにより，効率の良いプログラム記述と，より高いオブジェクト効率が実現できます。また，スタート・アップ・ルーチンのサンプル・プログラムや標準関数のオブジェクト・ライブラリを備えています。本コンパイラ使用時には，78K／IIシリーズ　リロケータブル・アセンブラ（RA78K／II）が必要です。				
	ホスト・マシン	OS	供給媒体	オーダ名称	
	PC-9800シリーズ	MS-DOS（Ver.3.30～Ver.5.00A注3）	5インチ2HD	μS5A10CC78K2	
			3.5インチ2HD	μS5A13CC78K2	
	IBM PC／AT	PC DOS（Ver.3.1）	5インチ2D注2	μS7B11CC78K2	
			5インチ2HC	μS7B10CC78K2	
	HP9000シリーズ 300	HP-UX（rel.7.05B）	カートリッジ・テープ（QIC-24）	μS3H15CC78K2	★
	SPARCstation	Sun OS（rel.4.1.1）		μS3K15CC78K2	★
	EWS-4800シリーズ（RISC）	EWS-UX／V（rel.4.0）		μS3M15CC78K2	★

（注の説明は次ページにあります）。

付

言語処理用ソフトウエア（3／3）

78K/IIシリーズ Cコンパイラ ライブラリ・ソース・ファイル (CC78K/II-L)	CC78K／IIに付属しているライブラリのソース・プログラムです。ライブラリを改良する（よりユーザの仕様にあわせる）場合に必要となります。			
	ホスト・マシン	OS	供給媒体	オーダ名称
	PC-9800シリーズ	MS-DOS (Ver.3.30～ Ver.5.00A注3)	5インチ2HD	μS5A10CC78K2-L
			3.5インチ2HD	μS5A13CC78K2-L
	IBM PC／AT	PC DOS (Ver.3.1)	5インチ2HC	μS7B10CC78K2-L
★	HP9000シリーズ 300	HP-UX (rel.7.05B)	カートリッジ・ テープ (QIC-24)	μS3H15CC78K2-L
★	SPARCstation	Sun OS (rel.4.1.1)		μS3K15CC78K2-L
★	EWS-4800シリーズ (RISC)	EWS-UX／V (rel.4.0)		μS3M15CC78K2-L

注1. 8インチ2Dでの新規のご購入はできません。5インチ2HDまたは3.5インチ2HDをお選びください。また，すでに8インチ2Dでご購入いただいている場合，今後のバージョン・アップ時は，5インチ2HDを送付いたしますのでご了承ください。

2. 5インチ2Dでの新規のご購入はできません。また，すでに5インチ2Dでご購入いただいている場合，今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

3. Ver.5.00／5.00Aにはタスク・スワップ機能がありますが，このソフトウエアでは，タスク・スワップ機能は使用できません。

B.2.2　インサーキット・エミュレータ用ソフトウエア

<table>
<tr><td>スクリーン・ディバッガ
(SD78K/II)</td><td colspan="4">78K／IIシリーズ用のインサーキット・エミュレータをコントロールするためのプログラムです。デバイス・ファイル（DF78210）と組み合わせて使用します。
IE-78240-R-A，またはIE-78240-R-Aと同等になるようにシステム・アップしたインサーキット・エミュレータで，ホスト・マシンがPC-9800シリーズまたはIBM PC／ATの場合に使用可能です。 ★
従来品のIEコントローラと比較してC言語，構造化アセンブリ言語，アセンブリ言語で書かれたソース・プログラム・レベルでのディバグや，ホスト・マシンの画面を分割し，さまざまな情報を同時に表示することで効率の良いディバグが行えます。</td></tr>
<tr><td></td><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td></td><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver.3.30～
Ver.5.00A注1)</td><td>5インチ2HD</td><td>μS5A10SD78K2</td></tr>
<tr><td></td><td>3.5インチ2HD</td><td>μS5A13SD78K2</td></tr>
<tr><td></td><td>IBM PC／AT</td><td>PC DOS
(Ver.3.1)</td><td>5インチ2HC</td><td>μS7B10SD78K2 ★</td></tr>
<tr><td>デバイス・ファイル
(DF78210)</td><td colspan="4">スクリーン・ディバッガ（SD78K／II）と組み合わせて，μPD78218Aサブシリーズのディバグを行う場合に必要です。</td></tr>
<tr><td></td><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td></td><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver.3.30～
Ver.5.00A注1)</td><td>5インチ2HD</td><td>μS5A10DF78210</td></tr>
<tr><td></td><td>3.5インチ2HD</td><td>μS5A13DF78210</td></tr>
<tr><td></td><td>IBM PC／AT</td><td>PC DOS
(Ver.3.1)</td><td>5インチ2HC</td><td>μS7B10DF78210 ★</td></tr>
<tr><td>インサーキット・エミュレータ・コントロール・プログラム注2
(IE78240)</td><td colspan="4">78K/IIシリーズのインサーキット・エミュレータをホスト・マシンからコントロールするためのプログラムです。
コマンドの自動実行などを行うことができ，より効率的なディバグが可能です。
IE-78240-Rのコントロール・プログラムとして次のものを用意しています。</td></tr>
<tr><td></td><td>対象エミュレータ</td><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td></td><td rowspan="5">IE-78240-R</td><td rowspan="3">PC-9800シリーズ</td><td rowspan="3">MS-DOS
(Ver.3.10～
Ver.5.00A注1)</td><td>8インチ2D注3</td><td>μS5A1IE78240</td></tr>
<tr><td></td><td>5インチ2HD</td><td>μS5A10IE78240</td></tr>
<tr><td></td><td>3.5インチ2HD</td><td>μS5A13IE78240</td></tr>
<tr><td></td><td rowspan="2">IBM PC／AT</td><td rowspan="2">PC DOS
(Ver.3.1)</td><td>5インチ2D注4</td><td>μS7B11IE78240</td></tr>
<tr><td></td><td>5インチ2HC</td><td>μS7B10IE78240</td></tr>
</table>

注1. Ver.5.00／5.00Aには，タスク・スワップ機能がありますが，このソフトウエアでは，タスク・スワップ機能は使用できません。

2. IE-78240-R-A，またはIE-78240-R-Aと同等にシステム・アップしたものと組み合わせて使用することはできません。すでにIE-78240-R，またはIE-78240-Rと同等のものをお持ちの場合のみご購入ください（IE-78240-Rは，新規のご購入はできません）。

3. 8インチ2Dでの新規のご購入はできません。5インチ2HDまたは3.5インチ2HDをお選びください。
また，すでに8インチ2Dでご購入いただいている場合，今後のバージョン・アップ時は，5インチ2HDを送付いたしますのでご了承ください。

4. 5インチ2Dでの新規のご購入はできません。また，すでに5インチ2Dでご購入いただいている場合，今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

付

B.2.3　PROMプログラマ用ソフトウエア

<table>
<tr><td rowspan="6">PG-1500コントローラ</td><td colspan="4">PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し，ホスト・マシン上でPG-1500を制御します。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver.3.10～
Ver.5.00A注1)</td><td>5インチ2HD</td><td>μS5A10PG1500</td></tr>
<tr><td>3.5インチ2HD</td><td>μS5A13PG1500</td></tr>
<tr><td rowspan="2">IBM PC／AT</td><td rowspan="2">PC DOS
(Ver.3.1)</td><td>5インチ2D注2</td><td>μS7B11PG1500</td></tr>
<tr><td>5インチ2HC</td><td>μS7B10PG1500</td></tr>
</table>

注1． Ver.5.00／5.00Aにはタスク・スワップ機能がありますが，このソフトウエアでは，タスク・スワップ機能は使用できません。

2． 5インチ2Dでの新規のご購入はできません。また，すでに5インチ2Dでご購入いただいている場合，今後のバージョン・アップ時は5インチ2HCを送付いたしますのでご了承ください。

B.3　他のインサーキット・エミュレータからのシステム・アップ方法

すでに78Kシリーズまたは75Xシリーズ用のインサーキット・エミュレータをお持ちの場合，本体内部のボードを交換することにより，78K／IIシリーズ用の各インサーキット・エミュレータとして使用することができます。

なお，インサーキット・エミュレータのコントロール・プログラムは，システム・アップ後のインサーキット・エミュレータに対応したコントロール・プログラムが必要です。

B.3.1　IE-78240-R-Aへのシステム・アップ方法

お手持ちのエミュレータ	IEグループNo.	ご購入の必要なボード	備　　考
IE-78230-R-A IE-78140-R	1	IE-78240-R-EM	－
IE-78240-R注	2	IE-78200-R-BK	－
IE-78112-R注 IE-78210-R注 IE-78220-R注 IE-78310-R注 IE-78310A-R	3	IE-78200-R-BK IE-78240-R-EM	高速ダウン・ロード機能は使用できません。IEグループ1，2，4のインサーキット・エミュレータをあわせてお持ちの場合は，IEグループ1，2，4のインサーキット・エミュレータをベースとしたシステム・アップをお勧めします。 また，IEグループ1のインサーキット・エミュレータをお持ちの場合は，IE-78200-R-BKは不要です(IEグループ1のインサーキット・エミュレータ内にIE-78200-R-BKがありますのでそのボードが使用できます)。
IE-75000-R IE-75001-R IE-78000-R IE-78130-R IE-78230-R IE-78320-R注 IE-78327-R IE-78330-R IE-78350-R IE-78600-R注	4	IE-78200-R-BK IE-78240-R-EM	IEグループ1のインサーキット・エミュレータをあわせてお持ちの場合は，IE-78200-R-BKは不要です(IEグループ1のインサーキット・エミュレータ内にIE-78200-R-BKがありますのでそのボードが使用できます)。

注　新規の製造は行っておりませんのでご購入はできません。

付

B.3.2　IE-78240-Rへのシステム・アップ方法

お手持ちのエミュレータ	IEグループNo.	ご購入の必要なボード	備　　考
IE-78112-R注 IE-78210-R注 IE-78220-R注	1	IE-78240-R-EM	高速ダウン・ロード機能は使用できません。グループ4のIEもあわせてお持ちの場合は，グループ4のIEの筐体を使用することをお勧めします。
IE-78130-R IE-78230-R注	2	IE-78240-R-EM	－
IE-78310-R注 IE-78310A-R	3	IE-78200-R-EM注 IE-78240-R-EM	高速ダウン・ロード機能は使用できません。グループ1のIEもあわせてお持ちの場合，IE-78200-R-EMは不要です（グループ1のIE内にIE-78200-R-EMがありますので，そのボードが使用できます）。
IE-75000-R IE-78000-R IE-78320-R注 IE-78327-R IE-78330-R IE-78350-R IE-78600-R注	4	IE-78200-R-EM注 IE-78240-R-EM	グループ1のIEもあわせてお持ちの場合，IE-78200-R-EMは不要です（グループ1のIE内にIE-78200-R-EMがありますので，そのボードが使用できます）。
IE-78140-R IE-78230-R-A	5	IE-78200-R-EM注 IE-78240-R-EM	IE-78240-R-Aへのシステム・アップをお勧めします。

注　新規の製造は行っておりませんのでご購入はできません。

備考　他のインサーキット・エミュレータからIE-78240-Rへ変更した場合でも，インサーキット・エミュレータ・コントロール・プログラムは，IE-78240-R用のものが必要です。

付録C　組み込み用ソフトウエア ★

C.1　リアルタイムOS

<table>
<tr><td rowspan="8">リアルタイムOS
（RX78K／II）</td><td colspan="4">RX78K／IIは，リアルタイム性の要求される制御分野を対象として，マルチタスク環境を実現することを目的としています。CPUのアイドル時間を他の処理に割り当て，システム全体としての性能の向上を図ることができます。
RX78K／IIでは，μITRON仕様に準拠したシステム・コール（31個）を提供しています。
RX78K／IIパッケージでは，RX78K／IIのニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を提供します。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
（Ver.3.30～
Ver.5.00A注）</td><td>5インチ2HD</td><td>μS5A10RX78217</td></tr>
<tr><td>3.5インチ2HD</td><td>μS5A13RX78217</td></tr>
<tr><td>IBM PC／AT</td><td>PC DOS
（Ver.3.1）</td><td>5インチ2HC</td><td>μS7B10RX78217</td></tr>
<tr><td>HP9000シリーズ
300</td><td>HP-UX
（rel.7.05B）</td><td rowspan="3">カートリッジ・
テープ
（QIC-24）</td><td>μS3H15RX78217</td></tr>
<tr><td>SPARCstation</td><td>Sun OS
（rel.4.1.1）</td><td>μS3K15RX78217</td></tr>
<tr><td>EWS-4800シリーズ
（RISC）</td><td>EWS-UX／V
（rel.4.0）</td><td>μS3M15RX78217</td></tr>
</table>

注　Ver.5.00／5.00Aにはタスク・スワップ機能がありますが，このソフトウエアでは，タスク・スワップ機能は使用できません。

注意　ご購入される場合，事前に購入申込書にご記入のうえ，使用許諾契約書を締結する必要があります。

備考　RX78K／II　リアルタイムOSを使用するときは，RA78K／II　アセンブラ・パッケージ（別売）が必要です。

付

C.2　ファジィ推論開発支援システム

<table>
<tr><td rowspan="5">ファジィ知識データ作成ツール</td><td colspan="4">ファジィ知識データ（ファジィ・ルールおよびメンバシップ関数）の入力／編集（エディット）と評価（シミュレーション）を支援するプログラムです。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver.3.10～
Ver.3.30C)</td><td>5インチ2HD</td><td>μS5A10FE9000</td></tr>
<tr><td>3.5インチ2HD</td><td>μS5A13FE9000</td></tr>
<tr><td>IBM PC／AT</td><td>PC DOS
(Ver.3.1)</td><td>5インチ2HC</td><td>μS7B10FE9200</td></tr>
<tr><td rowspan="5">トランスレータ</td><td colspan="4">ファジィ知識データ作成ツールを用いて得たファジィ知識データをRA78K／II用のアセンブラ・ソース・プログラムに変換するプログラムです。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver.3.10～
Ver.3.30C)</td><td>5インチ2HD</td><td>μS5A10FT9080</td></tr>
<tr><td>3.5インチ2HD</td><td>μS5A13FT9080</td></tr>
<tr><td>IBM PC／AT</td><td>PC DOS
(Ver.3.1)</td><td>5インチ2HC</td><td>μS7B10FT9085</td></tr>
<tr><td rowspan="5">ファジィ推論モジュール
(FI78K／II)</td><td colspan="4">ファジィ推論を実行するプログラムです。トランスレータで変換されたファジィ知識データとリンクすることでファジィ推論を実行します。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver.3.10～
Ver.3.30C)</td><td>5インチ2HD</td><td>μS5A10FI78K2</td></tr>
<tr><td>3.5インチ2HD</td><td>μS5A13FI78K2</td></tr>
<tr><td>IBM PC／AT</td><td>PC DOS
(Ver.3.1)</td><td>5インチ2HC</td><td>μS7B10FI78K2</td></tr>
<tr><td rowspan="5">ファジィ推論ディバッガ
(FD78K／II)</td><td colspan="4">インサーキット・エミュレータを使用し，ファジィ知識データをハードウエア・レベルで評価，調整するための支援ソフトウエアです。</td></tr>
<tr><td>ホスト・マシン</td><td>OS</td><td>供給媒体</td><td>オーダ名称</td></tr>
<tr><td rowspan="2">PC-9800シリーズ</td><td rowspan="2">MS-DOS
(Ver.3.10～
Ver.3.30C)</td><td>5インチ2HD</td><td>μS5A10FD78K2</td></tr>
<tr><td>3.5インチ2HD</td><td>μS5A13FD78K2</td></tr>
<tr><td>IBM PC／AT</td><td>PC DOS
(Ver.3.1)</td><td>5インチ2HC</td><td>μS7B10FD78K2</td></tr>
</table>

付録D　レジスタ索引

D.1　レジスタ索引（50音順）

[あ行]

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ（ASIS）… 327

アシンクロナス・シリアル・インタフェース・モード・レジスタ（ASIM）… 326

A／D変換結果レジスタ（ADCR）… 302

A／Dコンバータ・モード・レジスタ（ADM）… 304，403

[か行]

外部割り込みモード・レジスタ0（INTM0）… 390

外部割り込みモード・レジスタ1（INTM1）… 391，402

キャプチャ／コンペア・コントロール・レジスタ0（CRC0）… 134

キャプチャ／コンペア・コントロール・レジスタ1（CRC1）… 186

キャプチャ／コンペア・コントロール・レジスタ2（CRC2）… 215

クロック同期式シリアル・インタフェース・モード・レジスタ（CSIM）… 348，364

[さ行]

16ビット・キャプチャ・レジスタ（CR02）… 132

16ビット・コンペア・レジスタ（CR00，CR01）… 132

16ビット・タイマ0（TM0）… 132

シリアル・シフト・レジスタ（SIO）… 367

シリアル受信バッファ（RXB）… 325

シリアル送信シフト・レジスタ（TXS）… 325

シリアル・バス・インタフェース・コントロール・レジスタ（SBIC）… 350

スタンバイ・コントロール・レジスタ（STBC）… 495

[た行]

タイマ・コントロール・レジスタ0（TMC0）… 133，274

タイマ・コントロール・レジスタ1（TMC1）… 184，213

タイマ出力コントロール・レジスタ（TOC）… 135，216

[は行]

8ビット・キャプチャ／コンペア・レジスタ（CR11）… 182

付

8ビット・キャプチャ／レジスタ（CR22）… 211
8ビット・コンペア・レジスタ（CR10）… 182
8ビット・コンペア・レジスタ（CR20）… 211
8ビット・コンペア・レジスタ（CR21）… 211
8ビット・コンペア・レジスタ（CR30）… 273
8ビット・タイマ1（TM1）… 182
8ビット・タイマ2（TM2）… 211
8ビット・タイマ3（TM3）… 273
プリスケーラ・モード・レジスタ0（PRM0）… 275
プリスケーラ・モード・レジスタ1（PRM1）… 185，214
プルアップ抵抗オプション・レジスタ（PUO）… 69，81，86，93，106
プログラマブル・ウエイト制御レジスタ（PW）… 461
ポート0（P0）… 61
ポート2（P2）… 67
ポート3（P3）… 72
ポート4（P4）… 83
ポート5（P5）… 89
ポート6（P6）… 98
ポート7（P7）… 108
ポート0バッファ・レジスタ（P0L，P0H）… 116
ポート3モード・コントロール・レジスタ（PMC3）… 77
ポート0モード・レジスタ（PM0）… 62
ポート3モード・レジスタ（PM3）… 76
ポート5モード・レジスタ（PM5）… 90
ポート6モード・レジスタ（PM6）… 103
ボー・レート・ジェネレータ・コントロール・レジスタ（BRGC）… 336

［ま行］

マクロ・サービス・モード・レジスタ … 430
メモリ拡張モード・レジスタ（MM）… 460

［や行］

優先順位指定フラグ・レジスタ（PR0）… 406

［ら行］

リアルタイム出力ポート・コントロール・レジスタ（RTPC）… 115
リフレッシュ・モード・レジスタ（RFM）… 481

[わ行]

割り込みサービス・モード・レジスタ（ISM0）… 406
割り込みステータス・レジスタ（IST）… 407
割り込みマスク・レジスタ（MK0）… 405
割り込み要求フラグ・レジスタ（IF0）… 405
ワンショット・パルス出力制御レジスタ（OSPC）… 136

付

D.2　レジスタ索引（アルファベット順）

[A]

ADCR　：A／D変換結果レジスタ … 302

ADM　：A／Dコンバータ・モード・レジスタ … 304，403

ASIM　：アシンクロナス・シリアル・インタフェース・モード・レジスタ … 326

ASIS　：アシンクロナス・シリアル・インタフェース・ステータス・レジスタ … 327

[B]

BRGC　：ボー・レート・ジェネレータ・コントロール・レジスタ … 336

[C]

CR00　：16ビット・コンペア・レジスタ … 132

CR01　：16ビット・コンペア・レジスタ … 132

CR02　：16ビット・キャプチャ・レジスタ … 132

CR10　：8ビット・コンペア・レジスタ … 182

CR11　：8ビット・キャプチャ・コンペア・レジスタ … 182

CR20　：8ビット・コンペア・レジスタ … 211

CR21　：8ビット・コンペア・レジスタ … 211

CR22　：8ビット・キャプチャ／コンペア・レジスタ … 211

CR30　：8ビット・コンペア・レジスタ … 273

CRC0　：キャプチャ／コンペア・コントロール・レジスタ0 … 134

CRC1　：キャプチャ／コンペア・コントロール・レジスタ1 … 186

CRC2　：キャプチャ／コンペア・コントロール・レジスタ2 … 215

CSIM　：クロック同期式シリアル・インタフェース・モード・レジスタ … 348，364

[I]

IF0　：割り込み要求フラグ・レジスタ … 405

INTM0　：外部割り込みモード・レジスタ0 … 390

INTM1　：外部割り込みモード・レジスタ1 … 391，402

ISM0　：割り込みサービス・モード・レジスタ … 406

IST　：割り込みステータス・レジスタ … 407

[M]

MK0　：割り込みマスク・レジスタ … 405

MM　：メモリ拡張モード・レジスタ … 460

[O]

OSPC　：ワンショット・パルス出力制御レジスタ … 136

[P]

P0　：ポート0 … 61

P2　：ポート2 … 67

P3　：ポート3 … 72

P4　：ポート4 … 83

P5　：ポート5 … 89

P6　：ポート6 … 98

P7　：ポート7 … 108

P0H　：ポート0バッファ・レジスタ … 116

P0L　：ポート0バッファ・レジスタ … 116

PM0　：ポート0モード・レジスタ … 62

PM3　：ポート3モード・レジスタ … 76

PM5　：ポート5モード・レジスタ … 90

PM6　：ポート6モード・レジスタ … 103

PMC3　：ポート3モード・コントロール・レジスタ … 77

PR0　：優先順位指定フラグ・レジスタ … 406

PRM0　：プリスケーラ・モード・レジスタ0 … 275

PRM1　：プリスケーラ・モード・レジスタ1 … 185, 214

PUO　：プルアップ抵抗オプション・レジスタ … 69, 81, 86, 93, 106

PW　：プログラマブル・ウエイト制御レジスタ … 461

[R]

RFM　：リフレッシュ・モード・レジスタ … 481

RTPC　：リアルタイム出力ポート・コントロール・レジスタ … 115

RXB　：シリアル受信バッファ … 325

[S]

SBIC　：シリアル・バス・インタフェース・コントロール・レジスタ … 350

SIO　：シリアル・シフト・レジスタ … 367

STBC　：スタンバイ・コントロール・レジスタ … 495

[T]

TM0　：16ビット・タイマ0 … 132

TM1　：8ビット・タイマ1 … 182

付

TM2　：8ビット・タイマ2 … 211
TM3　：8ビット・タイマ3 … 273
TMC0　：タイマ・コントロール・レジスタ0 … 133, 274
TMC1　：タイマ・コントロール・レジスタ1 … 184, 213
TOC　：タイマ出力コントロール・レジスタ … 135, 216
TXS　：シリアル送信シフト・レジスタ … 325

付録E　総合索引

E.1　50音で始まる語句の索引

［あ行］

アクノリッジ許可ビット … 366

アクノリッジ検出フラグ … 366

アクノリッジ信号 … 359，372

アクノリッジ・トリガ・ビット … 366

アシンクロナス・シリアル・インタフェース … 323

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ … 327

アシンクロナス・シリアル・インタフェースの動作 … 328

アシンクロナス・シリアル・インタフェース・モード・レジスタ … 326，328

アップカウント … 211

アドレシング別命令一覧表 … 541

アドレス … 370

アドレス送信 … 382

アドレス・バス … 24，459

アナログ／ディジタル・コンバータ … 299

アナログ・ディレイ … 509

1Mバイト拡張機能 … 464

1Mバイト拡張モード指定 … 460

一致信号 … 142，228，232

インターバル時間 … 129，179，206，271

インターバル・タイマ … 161，197，247，250，280，281

ウエイク・アップ … 359，386

ウエイク・アップ機能 … 359

ウエイト機能 … 472

ウエイト数 … 460

エッジ検出 … 389，392

エッジ検出回路 … 132，183，211，302

エッジ検出機能 … 389

エラー … 332

エラー・フラグ … 332

付

オーバフロー … 217
オーバフロー・フラグ … 213
オーバラン・エラー … 332
オペレーション一覧 … 529

［か行］

外部イベント・カウンタ … 208, 266
外部イベント・カウンタ機能 … 222
外部イベント・カウンタ動作モード … 222
外部SFR領域 … 38
外部拡張データ・メモリ … 38
外部クロック … 53, 214, 348
外部クロック・パルス … 222
外部トリガ … 144, 194, 230
外部ボー・レート入力 … 337, 343
外部メモリ … 38
外部メモリ拡張機能 … 462
外部割り込みモード・レジスタ … 389, 390, 391
カウント・アップ動作 … 137, 187, 217, 276
カウント・クロック … 137, 185, 214, 275
カウント動作 … 137, 187, 276
書き込みの手順 … 520
拡張アドレス・バス … 38
疑似スタティックRAM … 480
疑似スタティックRAMリフレッシュ機能 … 480
基準電圧端子 … 301
奇数パリティ … 328, 329
基本動作 … 147
キャプチャ／コンペア・コントロール・レジスタ0 … 134, 145
キャプチャ／コンペア・コントロール・レジスタ1 … 186
キャプチャ／コンペア・コントロール・レジスタ2 … 215, 232
キャプチャ／コンペア・レジスタ … 182, 192, 194
キャプチャ／コンペア・レジスタ動作指定 … 186
キャプチャ動作 … 187, 194, 217, 230
キャプチャ・トリガ … 144, 194, 230
キャプチャ・レジスタ … 132, 182, 211
キャラクタ・ビット … 328

キャリー・フラグ … 40
偶数パリティ … 328, 329
クリア … 142, 280
クリア動作 … 134, 186, 215
クリスタル発振 … 53
クロック・サンプリング … 393
クロック同期式シリアル・インタフェース … 345
クロック同期式シリアル・インタフェース・モード・レジスタ … 348, 364
クロック発生回路 … 53
クロック・パルス … 208, 222
検出エッジ … 390
コマンド … 371
コマンド検出フラグ … 365
コマンド信号 … 369
コマンド送信 … 383
コマンド・トリガ・ビット … 365
コンペア動作 … 192, 228, 280
コンペア・レジスタ … 132, 182, 192, 211, 273

[さ行]

最小インターバル時間 … 129, 179, 206, 271
最小パルス幅 … 129, 207, 208
最大インターバル時間 … 129, 179, 206, 271
最大周波数 … 208, 222
最大パルス幅 … 129, 207
3線式シリアルI/Oモード … 345, 351
3線式シリアルI/Oモードのタイミング … 352
サンプル＆ホールド回路 … 301
システム・クロック … 53
システム・リセット … 509
自動加算 … 441
シフト動作 … 354
シフト・レジスタ … 325, 347, 354, 367
時分割アドレス／データ・バス … 23
周辺RAM … 37
16ビット・タイマ0 … 132, 137
16ビット・タイマ／カウンタ … 129

付

受信 … 331
受信エラー … 332
受信エラー割り込み … 332
受信完了割り込み … 331
受信制御パリティ・チェック … 325
受信データ … 331, 352
受信動作 … 331, 332, 355
受信バッファ … 325
出力制御回路 … 132, 211
出力トリガ … 118
出力ポート … 60, 460
主データ・バンク … 38
シリアル・クロック … 361
シリアル・クロック・カウンタ … 347
シリアル・クロック制御回路 … 347
シリアル・クロック・セレクタ … 347
シリアル・クロック端子 … 361
シリアル・データ … 347, 361
シリアル・データ出力 … 351
シリアル・データ入力 … 351
シリアル・データ・バス … 361
シリアル・データ・バス端子 … 361
シリアル・バス・インタフェース・コントロール・レジスタ … 365
シリアル・バス・インタフェース・モード … 345
シングルチップ・モード … 460
スキャン・モード … 299, 310
スタート・ビット … 328
スタック・ポインタ … 42
スタンバイ機能 … 493
スタンバイ・コントロール・レジスタ … 495
スタンバイ・モード … 493
ストップ・ビット … 328
スレーブ … 387
スレーブ・デバイス … 381
セラミック発振 … 53
セルフ・リフレッシュ動作 … 485
セレクタ … 325

セレクト・モード … 299, 309
0パリティ … 328, 329
ゼロ・フラグ … 41
全二重動作 … 323
専用ボー・レート・ジェネレータ … 323, 337
送受信動作 … 356
送信 … 330
送信完了割り込み … 330
送信シフト・レジスタ … 325
送信制御パリティ付加 … 325
送信データ … 330, 352
送信動作 … 330, 354
測定可能なパルス幅 … 130, 179, 207
ソフトウエア・スタート … 299, 312
ソフトウエア割り込みの受け付け動作 … 409
ソフトウエア割り込み要求 … 401
ソフト・トリガド・ワンショット・パルス出力 … 130, 160, 176

[た行]

タイプA … 427
タイプB … 427
タイプC … 427
タイマ／カウンタ・ユニット … 127
タイマ・コントロール・レジスタ0 … 133, 274
タイマ・コントロール・レジスタ1 … 184, 213
タイマ出力 … 145, 232
タイマ出力コントロール・レジスタ … 135, 145, 216, 232
タイマ出力モード … 134, 215
タイマ用マクロ・サービス・ポインタ … 445
多重処理 … 399, 406
多重処理制御 … 399
多重割り込み … 407, 415
端子 … 17
端子状態 … 510
逐次比較 … 299
直列抵抗ストリング … 301
ディジタル・ノイズ除去 … 393

付

ディフォールト優先順位 … 400
データ … 371
データ・バッファ領域 … 438
データ・フォーマット … 328
データ・フレーム … 328
データ用マクロ・サービス・ポインタ … 445
電圧コンパレータ … 301
動作モード … 519
特殊機能レジスタ … 37，48
トランジスタ・ダイレクト・ドライブ … 64
トリガ入力 … 299

［な行］

内蔵プルアップ抵抗 … 59，68，81，86，93，106
内部クロック … 348
内部システム・クロック … 53
内部デュアル・ポートRAM … 37
内部RAM … 37
内部ROM … 472
内部ROM高速フェッチ機能 … 472
78K/II製品展開図 … 2
入出力回路 … 28
入出力ポート … 60
入出力ポート数 … 60
入力回路 … 301
入力電圧 … 307
入力ポート … 60
ノイズ除去 … 509
ノンマスカブル割り込み … 409
ノンマスカブル割り込みの受け付け動作 … 409
ノンマスカブル割り込み要求 … 401，407

［は行］

ハードウエア・スタート … 299，314
バス・インタフェース機能 … 459
バス・リリース／コマンド／アクノリッジ検出回路 … 347
バス・リリース検出フラグ … 365

バス・リリース信号 … 369
バス・リリース・トリガ・ビット … 365
パターン・ジェネレータ … 113
発振安定時間 … 58
バッファ・レジスタ … 116
8ビット・タイマ1 … 182
8ビット・タイマ2 … 211，217
8ビット・タイマ3 … 273，276
8ビット・タイマ／カウンタ1 … 118，179
8ビット・タイマ／カウンタ2 … 206
8ビット・タイマ／カウンタ3 … 271
パラレル・データ … 347
パリティ・エラー … 329，332
パリティなし … 328，329
パリティ・ビット … 328
パルス幅 … 222
パルス幅測定 … 165，203，253
パルス・リフレッシュ動作 … 482
バンク・レジスタ … 38
汎用レジスタ … 44
ビジィ／アクノリッジ出力回路 … 347
ビジィ解除 … 386
ビジィ許可ビット … 366
ビジィ信号 … 359，373
副データ・バンク … 38
プリスケーラ … 183，212，273
プリスケーラ・モード・レジスタ0 … 275
プリスケーラ・モード・レジスタ1 … 185，214
プルアップ抵抗オプション・レジスタ … 68，81，86，93，106
フルカウント … 227
フレーミング・エラー … 332
プログラマブル・ウエイト制御レジスタ … 461
プログラマブル優先順位 … 415
プログラミング … 519
プログラム・カウンタ … 40
プログラム・ステータス・ワード … 40，404，408
分解能 … 129，179，206，207，271

付

分周回路 … 334, 337
ベクタ・テーブル … 36
ベクタ割り込み … 399, 401
変換結果 … 307
変換時間 … 308
ポインタ … 42
ポート … 59
ポート0 … 61
ポート0モード・レジスタ … 62
ポート2 … 65
ポート3 … 70
ポート3モード・コントロール・レジスタ … 77
ポート3モード・レジスタ … 76
ポート4 … 83
ポート5 … 89
ポート5モード・レジスタ … 90
ポート6 … 96
ポート6モード・レジスタ … 103
ポート7 … 108
ポート・モード … 460, 481
ボー・レート … 338
ボー・レート・ジェネレータ … 334
ボー・レート・ジェネレータ・コントロール・レジスタ … 335
ボー・レート生成用クロック … 335
ボー・レートの設定方法 … 338
ボー・レート用クロック … 337
補助キャリー・フラグ … 41
保留された割り込み … 413

［ま行］

マクロ・サービス … 399, 425
マクロ・サービス・カウンタ … 434, 438
マクロ・サービス機能 … 425
マクロ・サービス・コントロール・ワード … 428
マクロ・サービス制御レジスタ … 429
マクロ・サービス・タイプ … 426
マクロ・サービス・タイプA … 431

マクロ・サービス・タイプB … 436
マクロ・サービス・タイプC … 441
マクロ・サービス・チャネル … 434, 438
マクロ・サービス・チャネル・ポインタ … 429
マクロ・サービスの種類 … 426
マクロ・サービスの処理時間 … 423
マクロ・サービスの動作タイミング … 421
マクロ・サービスの保留 … 419
マクロ・サービス・ポインタ … 438
マクロ・サービス・モード・レジスタ … 430
マスカブル割り込みの受け付け … 413
マスカブル割り込み要求 … 401
マスタ … 387
マスタ・デバイス … 381
マルチプレクスト・アドレス／データ・バス … 459
マルチプレクスト・アナログ … 299
未使用端子 … 28
命令 … 525
メモリ拡張機能 … 462
メモリ拡張モード・レジスタ … 84, 90, 460
メモリ空間 … 33
メモリ・マップ … 34
メモリ・マッピング … 33
モジュロ・レジスタ … 445

［や行］

有効エッジ … 389
優先順位 … 406
優先順位指定フラグ … 406
優先順位指定フラグ・レジスタ … 404, 406
読み出しの手順 … 522
4ビット・カウンタ … 334
4ビット・セパレート・リアルタイム出力ポート … 115

［ら行］

ライト・タイミング … 463
リアルタイム出力機能 … 113

付

リアルタイム出力ポート … 113, 441
リアルタイム出力ポート・コントロール・レジスタ … 62, 115
リード・タイミング … 463
リセット … 509
リセット解除後の端子状態 … 510
リセット機能 … 509
リセット入力中の端子状態 … 510
リセット・ベクタ・テーブル … 509
リフレッシュ機能 … 480
リフレッシュ・バス・サイクル … 480
リフレッシュ・パルス … 480
リフレッシュ・モード・レジスタ … 481
両エッジ … 390
両エッジ検出 … 334
リリース検出フラグ … 365
リリース・トリガ・ビット … 365
リング・カウンタ … 445
リング制御 … 441
ループ・カウンタ … 46
レジスタ … 40
レジスタ・バンク選択フラグ … 41
レディ信号 … 373
ローカル・バス・インタフェース機能 … 459

［わ行］

割り込み … 399
割り込み受け付け処理時間 … 422
割り込み機能 … 399
割り込みサービス・モード・フラグ … 406
割り込みサービス・モード・レジスタ … 404, 406
割り込み処理 … 409
割り込み処理制御レジスタ … 404
割り込みステータス・レジスタ … 404, 407
割り込みマスク・フラグ … 405
割り込みマスク・レジスタ … 404, 405
割り込み優先順位ステータス・フラグ … 41
割り込み要求 … 318

割り込み要求許可フラグ … 41
割り込み要求ソース … 400, 402
割り込みの動作タイミング … 421
割り込み要求の保留 … 419
割り込み要求発生ソース … 400
割り込み要求フラグ … 405
割り込み要求フラグ・レジスタ … 404, 405
ワンショット … 227
ワンショット・タイマ … 227, 268
ワンショット・タイマ機能 … 227
ワンショット・タイマ動作スタート … 227
ワンショット・タイマ動作モード … 227
ワンショット・パルス … 132, 160
ワンショット・パルス出力 … 160
ワンショット・パルス出力制御レジスタ … 136, 145, 160

E.2　アルファベットで始まる語句の索引

[A]

A … 44, 47
A0 … 27
A1 … 27
A2 … 27
A3 … 27
A4 … 27
A5 … 27
A6 … 27
A7 … 27
A8 … 24, 27, 459
A9 … 24, 27, 459
A10 … 24, 27, 459
A11 … 24, 27, 459
A12 … 24, 27, 459
A13 … 24, 27, 459
A14 … 24, 27, 459
A15 … 24, 459
A16 … 25, 459
A17 … 25, 459
A18 … 25, 459
A19 … 25, 459
AC … 41, 408
ACKD … 376
ACKE … 375
ACKT … 374
AD0 … 23, 459
AD1 … 23, 459
AD2 … 23, 459
AD3 … 23, 459
AD4 … 23, 459
AD5 … 23, 459
AD6 … 23, 459
AD7 … 23, 459
A/Dコンバータ … 299
A/Dコンバータの割り込み要求 … 318
A/Dコンバータ・モード・レジスタ … 303
A/D変換結果 … 307
A/D変換結果レジスタ … 299
A/D変換スタート信号 … 391
A/D変換動作 … 312, 314
ADCR … 299, 302
ADM … 303, 403
ALV0 … 135
ALV1 … 135
ALV2 … 216
ALV3 … 216
AN0 … 299
AN1 … 299
AN2 … 299
AN3 … 299
AN4 … 299
AN5 … 299
AN6 … 25, 299, 318
AN7 … 25, 299, 318
ANI0 … 304
ANI1 … 304
ANI2 … 304
ASCK … 21, 343
ASIM … 326, 328
ASIS … 327
ASTB … 25, 459
AV_{REF} … 26, 301
AV_{SS} … 26, 301
AX … 44, 47

[B]

B … 44, 47
BC … 44, 47
BRGC … 335

BRK … 400
BSYE … 377
BYTE … 115

[C]

C … 44, 47
CALLF命令エントリ … 36
CALLT命令テーブル … 36
CE … 336
$\overline{\text{CE}}$ … 27
CE0 … 133, 137
CE1 … 184
CE2 … 213, 217
CE3 … 276
CHT0 … 430
CHT1 … 430
CHT2 … 430
CI … 21, 222
CIF00 … 404, 405
CIF01 … 404, 405
CIF10 … 404, 405
CIF11 … 404, 405
CIF20 … 404, 405
CIF21 … 404, 405
CISM00 … 404, 406
CISM01 … 404, 406
CISM10 … 404, 406
CISM11 … 404, 406
CISM20 … 404, 406
CISM21 … 404, 406
CL … 326
CLR01 … 134
CLR10 … 186
CLR11 … 186
CLR21 … 215
CLR22 … 215
CLS0 … 348, 364
CLS1 … 348, 364
CM … 186
CMD2 … 213
CMDD … 374
CMDT … 374
CMK00 … 404, 405
CMK01 … 404, 405
CMK10 … 404, 405
CMK11 … 404, 405
CMK20 … 404, 405
CMK21 … 404, 405
CPR00 … 404, 406
CPR01 … 404, 406
CPR10 … 404, 406
CPR11 … 404, 406
CPR20 … 404, 406
CPR21 … 404, 406
CR00 … 132, 142
CR01 … 132, 142
CR02 … 132, 144
CR10 … 182, 192
CR11 … 182, 192
CR20 … 211, 228
CR21 … 211, 228
CR22 … 211, 230
CR30 … 273, 280
CRC0 … 134, 145
CRC1 … 186
CRC2 … 215, 232
CRXE … 348, 364
CS … 304, 403
CSIIF … 404
CSIISM … 404
CSIM … 348, 364
CSIMK … 404
CSIPR … 404
CTXE … 348, 364

付

CY … 40, 408

[D]

D … 44, 47
D0 … 27
D1 … 27
D2 … 27
D3 … 27
D4 … 27
D5 … 27
D6 … 27
D7 … 27
DE … 44, 47
DI … 408

[E]

E … 44, 47
$\overline{EA}$ … 26
EI … 408
ENTO0 … 135
ENTO1 … 135
ENTO2 … 216
ENTO3 … 216
ES00 … 390
ES01 … 390
ES10 … 390
ES11 … 390
ES20 … 390
ES21 … 390
ES30 … 391
ES31 … 391
ES40 … 391, 402
ES41 … 391, 402
ES50 … 391
ES51 … 391
ESNMI … 390
EXTR … 115

[F]

f_{CLK} … 53
FE … 327
FR … 304

[H]

H … 44, 47
HALTモード … 493, 496
HALTモードの解除 … 497
HALTモードの設定 … 496
HL … 44, 47
HLT … 495

[I]

IE … 41, 408
IEフラグ … 408
IF0 … 404, 405
IF0H … 405
IF0L … 405
IFCH … 460
INTAD … 318, 400, 403
INTC00 … 142, 400
INTC01 … 142, 400
INTC10 … 118, 192, 400, 441
INTC11 … 118, 192, 400, 441
INTC20 … 228, 400
INTC21 … 228, 400
INTC30 … 280, 400, 402
INTCSI … 400
INTM0 … 389, 390
INTM1 … 389, 391
INTP0 … 21, 118, 194, 390, 400
INTP1 … 21, 230, 390, 400
INTP2 … 21, 208, 390, 400
INTP3 … 21, 144, 391, 400
INTP4 … 21, 391, 400, 402
INTP5 … 21, 299, 318, 391, 400, 403

INTSER … 331, 400
INTSR … 331, 400
INTST … 400
IRAM … 37
ISM0 … 404
ISP … 41, 408
ISPフラグ … 413
IST … 404, 407

[L]
L … 44, 47
LEDダイレクト・ドライブ … 88, 95

[M]
MDL0 … 336
MDL1 … 336
MDL2 … 336
MDL3 … 336
MK0 … 404, 305
MK0H … 305
MK0L … 305
MM … 460
MM0 … 460
MM1 … 460
MM2 … 460
MM6 … 460
MOD0 … 134, 215, 430
MOD1 … 134, 215, 348, 364, 430
MOD2 … 430
MOD3 … 430
MP … 438
MPD … 445
MPT … 445
MR … 445
MS … 304, 403
MSBファースト … 352
MSC … 434
μPD78217A … 1
μPD78218A … 1
μPD78P218A … 1
μPD78218A(A) … 1

[N]
NMI … 21, 400, 401
NMIS … 407

[O]
$\overline{OE}$ … 27
OS0 … 136
OS1 … 136
OSPC … 136, 145, 160
OVE … 327
OVF0 … 133
OVF1 … 184
OVF2 … 213
OW0 … 495

[P]
P0H … 116
P0L … 116
P0HM … 62
P0LM … 62
P0MH … 115
P0ML … 115
P20 … 390
P20/NMI … 27
P21 … 390
P22 … 390
P23 … 390
P24 … 391
P25 … 391
P26 … 391
PC … 40
PE … 327

付

PIF0 … 405
PIF1 … 405
PIF2 … 405
PIF3 … 405
PIF4 … 405
PIF5 … 405
PISM0 … 406
PISM1 … 406
PISM2 … 406
PISM3 … 406
PISM4 … 406
PISM5 … 406
PM0 … 62
PM3 … 76
PM5 … 90
PM6 … 103
PMC3 … 77
PMK0 … 405
PMK1 … 405
PMK2 … 405
PMK3 … 405
PMK4 … 405
PMK5 … 405
Port0 … 61
Port2 … 65
Port3 … 70
Port4 … 83
Port5 … 89
Port6 … 96
Port7 … 108
PPG周期 … 153, 241
PPG周波数 … 154, 242
PPG出力 … 153, 241
PPGパルス幅 … 153, 241
PPR0 … 406
PPR1 … 406
PPR2 … 406
PPR3 … 406
PPR4 … 406
PPR5 … 406
PR0 … 404, 406
PR0H … 406
PR0L … 406
PRAM … 37
PRM0 … 274
PRM1 … 185, 214
PROM … 519
PROM書き込みの手順 … 520
PROMプログラミング・モード … 19, 519
PROM読み出しの手順 … 522
PRS0 … 275
PRS1 … 275
PRS2 … 275
PRS3 … 275
PRS10 … 185
PRS11 … 185
PRS12 … 185
PRS20 … 214
PRS21 … 214
PRS22 … 214
PRS23 … 214
PS0 … 326
PS1 … 326
PSW … 40, 404, 408
PUO … 68, 81, 86, 93, 106
PUO2 … 68
PUO3 … 81
PUO4 … 86
PUO5 … 93
PUO6 … 106
PW … 461
PW20 … 460
PW21 … 460
PW30 … 461

PW31 … 461
PWM周期 … 149, 236
PWM周波数 … 149, 237
PWM出力 … 149, 236
PWM信号 … 149, 236
PWMパルス幅 … 149, 236

[R]

R0 … 47
R1 … 47
R2 … 47
R3 … 47
R4 … 47
R5 … 47
R6 … 47
R7 … 47
RBS0 … 41, 408
RBS1 … 41, 408
RC … 445
$\overline{\text{RD}}$ … 25, 459
$\overline{\text{REFRQ}}$ … 25
RELD … 374
RELT … 374
$\overline{\text{RESET}}$ … 26, 27
RETB … 409
RETB命令 … 409
RETI … 409
RETI命令 … 409
RFEN … 481
RFLV … 481
RFM … 481
RFT0 … 481
RFT1 … 481
ROMレス … 36
RP0 … 47
RP1 … 47
RP2 … 47
RP3 … 47
RT0 … 136
RT1 … 136
RTPC … 62, 115
RXB … 325
RxD … 23
RXE … 326

[S]

SAR … 302
SB0 … 361
SBIC … 365
SBIモード … 358
SCK … 326
$\overline{\text{SCK}}$ … 23, 361
$\overline{\text{SCK}}$端子 … 354
SERIF … 404, 405
SERMK … 404, 405
SERPR … 404, 406
SFR … 37, 48
SFRポインタ … 438
SFRP … 438
SI … 21, 351
SI端子 … 354
SIO … 325, 354, 367
SL … 326
SO … 23, 351
SO端子 … 354
SOラッチ … 347
SP … 42
SRIF … 404, 405
SRISM … 404, 406
SRMK … 404, 405
SRPR … 404, 406
ST0 … 136
ST1 … 136
STBC … 495

付

STIF … 404, 405
STISM … 404, 406
STMK … 404, 405
STOPモード … 493, 500
STOPモードの解除 … 501
STOPモードの設定 … 500
STP … 495
STPR … 404, 406

[T]

TM0 … 132, 137
TM1 … 182, 187
TM2 … 211, 217
TM3 … 273, 276
TMC0 … 133, 274
TMC1 … 184, 213
TO0 … 23, 145
TO1 … 23, 145
TO2 … 23, 232
TO3 … 23, 232
TOC … 135, 145, 216, 232
TPS0 … 336
TPS1 … 336
TPS2 … 336
TRG … 304, 403
TxD … 23
TXS … 325

[U]

UART専用ボー・レート・ジェネレータ … 323

[V]

V_{DD} … 26, 27
V_{PP} … 27
V_{SS} … 26, 27

[W]

$\overline{WAIT}$ … 25
$\overline{WR}$ … 25, 459
WUP … 348, 364

[X]

X … 44, 47
X1 … 26, 53
X2 … 26, 53

[Z]

Z … 41, 408

〔メ モ〕

お問い合わせは，最寄りのNECへ

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京	(03)3454-1111 (大代表)
中部支社 半導体第一販売部 半導体第二販売部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 名古屋	(052)222-2170 (052)222-2190
関西支社 半導体第一販売部 半導体第二販売部 半導体第三販売部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪 大阪 大阪	(06) 945-3178 (06) 945-3200 (06) 945-3208

北海道支社	札幌 (011)251-5599	太田支店	太田 (0276)46-4011	福井支店	福井 (0776)22-1866
東北支社	仙台 (022)267-8740	宇都宮支店	宇都宮 (028)621-2281	富山支店	富山 (0764)31-8461
岩手支店	盛岡 (019)651-4344	小山支店	小山 (0285)24-5011	三重支店	津 (0592)25-7341
郡山支店	郡山 (0249)23-5511	長野支社	松本 (0263)35-1662	京都支社	京都 (075)344-7824
いわき支店	いわき (0246)21-5511	甲府支店	甲府 (0552)24-4141	神戸支社	神戸 (078)333-3854
長岡支店	長岡 (0258)36-2155	埼玉支社	大宮 (048)649-1415	中国支社	広島 (082)242-5504
土浦支店	土浦 (0298)23-6161	立川支社	立川 (0425)26-5981	鳥取支店	鳥取 (0857)27-5311
水戸支店	水戸 (029)226-1717	千葉支社	千葉 (043)238-8116	岡山支店	岡山 (086)225-4455
神奈川支社	横浜 (045)682-4524	静岡支社	静岡 (054)254-4794	松山支店	松山 (089)945-4149
群馬支店	高崎 (0273)26-1255	北陸支社	金沢 (076)232-7303	九州支社	福岡 (092)261-2806

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210 川崎市幸区塚越三丁目484番地	川崎	(044)548-7924	半導体 インフォメーションセンター FAX(044)548-7900 (FAXにてお願い致します)
半導体販売技術本部 東日本販売技術部	〒108-01 東京都港区芝五丁目7番1号（NEC本社ビル）	東京	(03)3798-9619	
半導体販売技術本部 中部販売技術部	〒460 名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋	(052)222-2125	
半導体販売技術本部 西日本販売技術部	〒540 大阪市中央区城見一丁目4番24号（NEC関西ビル）	大阪	(06) 945-3383	

C97.8

キリトリ

アンケート記入のお願い

お手数ですが，このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

［ドキュメント名］ μPD78218Aサブシリーズ　ユーザーズ・マニュアル　ハードウエア編
（U12977JJ5V0UM00（第5版））

［お名前など］（さしつかえのない範囲で）

御社名（学校名，その他）　（　　）
ご住所　（　　）
お電話番号　（　　）
お仕事の内容　（　　）
お名前　（　　）

1．ご評価（各欄に○をご記入ください）

項　　目	大変良い	良　い	普　通	悪　い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン，字の大きさなど					
そ　の　他（　　）					
（　　）					

2．わかりやすい所（第　章，第　章，第　章，第　章，その他　　）
理由［　　］

3．わかりにくい所（第　章，第　章，第　章，第　章，その他　　）
理由［　　］

4．ご意見，ご要望

5．このドキュメントをお届けしたのは
NEC 販売員，特約店販売員，NEC 半導体ソリューション技術本部員，
その他（　　）

ご協力ありがとうございました。
下記あてにFAXで送信いただくか，最寄りの販売員にコピーをお渡しください。

NEC 半導体インフォメーションセンター
FAX：(044)548-7900