

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# $\mu$ PD78098サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

$\mu$  PD78094

$\mu$  PD78095

$\mu$  PD78096

$\mu$  PD78098A

$\mu$  PD78P098A

|                     |    |
|---------------------|----|
| 概 説                 | 1  |
| 端子機能                | 2  |
| CPU アーキテクチャ         | 3  |
| ポート機能               | 4  |
| クロック発生回路            | 5  |
| 16ビット・タイマ/イベント・カウンタ | 6  |
| 8ビット・タイマ/イベント・カウンタ  | 7  |
| 時計用タイマ              | 8  |
| ウォッチドッグ・タイマ         | 9  |
| クロック出力制御回路          | 10 |
| ブザー出力制御回路           | 11 |
| A/D コンバータ           | 12 |
| D/A コンバータ           | 13 |
| シリアル・インタフェース・チャネル 0 | 14 |
| シリアル・インタフェース・チャネル 1 | 15 |
| シリアル・インタフェース・チャネル 2 | 16 |
| リアルタイム出力ポート         | 17 |
| 割り込み機能とテスト機能        | 18 |
| 外部デバイス拡張機能          | 19 |
| IEBus コントローラ        | 20 |
| スタンバイ機能             | 21 |
| リセット機能              | 22 |
| μPD78P098A          | 23 |
| 命令セット               | 24 |
| 付 録                 | 付  |

## CMOSデバイスの一般的注意事項

### ①静電気対策 (MOS全般)

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### ②未使用入力の処理 (CMOS特有)

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### ③初期化以前の状態 (MOS全般)

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

FIP は、日本電気株式会社の登録商標です。

IEBus, Inter Equipment Bus は、日本電気株式会社の商標です。

MS-DOS, Windows は、米国マイクロソフト社の商標です。

PC/AT, PC DOS は、米国 IBM 社の商標です。

HP9000 シリーズ 300, HP-UX は、米国ヒューレット・パッカード社の商標です。

SPARCstation は、米国 SPARC International, Inc. の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。



TRON仕様の著作権は坂村健氏に属している。本書及び本書で説明されている〈RX78K/0〉は著作権者の正式な許諾を得てITRON1仕様に基づいて作成されたものである。

TRON: Architecture Designed by Ken Sakamura

ITRON1仕様書 Copyright © 1987 by Ken Sakamura

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品:  $\mu$ PD78P098AKK-T

ユーザ判定品:  $\mu$ PD78094GC- $\times \times \times$ -3B9, 78095GC- $\times \times \times$ -3B9

$\mu$ PD78096GC- $\times \times \times$ -3B9, 78098AGC- $\times \times \times$ -3B9, 78P098AGC-3B9

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

- 本資料の内容は、後日変更する場合があります。
  - 文書による当社の承諾なしに本資料の転載複製を禁じます。
  - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
  - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
  - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
    - 標準水準: コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
    - 特別水準: 輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
    - 特定水準: 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

## 本版で改訂された主な箇所 (1/2)

| 箇 所      | 内 容                                                                                                      |
|----------|----------------------------------------------------------------------------------------------------------|
| 全 般      | 対象製品から $\mu$ PD78P098 を削除<br>対象製品に $\mu$ PD78098A, 78P098A を追加<br>$\mu$ PD78094, 78095, 78096 : 開発中→開発済み |
| p.25     | P130/AN00, P131/AN01 端子の未使用時の推奨接続方法を変更                                                                   |
| p.21, 81 | P130/AN00, P131/AN01 端子使用時の注意事項を追加                                                                       |
| p.82     | <b>4.3</b> ポート機能を制御するレジスタを修正                                                                             |
| p.83     | <b>表 4-3</b> 兼用機能使用時のポート・レジスタ, 出力ラッチの設定を追加                                                               |
| p.94     | <b>図 5-3</b> サブシステム・クロックのフィードバック抵抗を追加                                                                    |
| p.96     | <b>図 5-5</b> 発振モード選択レジスタのフォーマットに注意事項を追加                                                                  |
| p.107    | <b>5.6.2</b> システム・クロックと CPU クロックの切り替え手順に注意事項を追加                                                          |
| p.118    | <b>6.3(2)</b> 16ビット・タイマ・モード・コントロール・レジスタに注意事項を追加                                                          |
| p.136    | <b>6.4.4(3)</b> フリーランニング・カウンタとキャプチャ・レジスタ 2 本によるパルス幅測定を修正, 注意事項を追加                                        |
| p.138    | <b>6.4.4(4)</b> リスタートによるパルス幅測定を修正, 注意事項を追加                                                               |
| p.143    | <b>6.4.7(1)</b> ソフトウェア・トリガによるワンショット・パルス出力を修正                                                             |
| p.145    | <b>図 6-32</b> ソフトウェア・トリガによるワンショット・パルス出力動作のタイミングを変更                                                       |
| p.147    | <b>図 6-34</b> 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時) を変更                                             |
| p.166    | <b>表 7-7</b> 8ビット・タイマ/イベント・カウンタ 2 のインターバル時間を追加                                                           |
| p.172    | <b>表 7-10</b> 2チャンネルの 8ビット・タイマ/イベント・カウンタ(TM1, TM2)を16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲を追加               |
| p.198    | <b>図 12-1</b> A/D コンバータのブロック図を変更                                                                         |
| p.201    | <b>図 12-2</b> A/D コンバータ・モード・レジスタのフォーマットを変更                                                               |
| p.215    | <b>13.1</b> D/A コンバータの機能に注意事項を追加                                                                         |
| p.216    | <b>図 13-1</b> D/A コンバータのブロック図を変更                                                                         |
| p.228    | <b>図 14-4</b> シリアル動作モード・レジスタのフォーマットを変更                                                                   |

## 本版で改訂された主な箇所 (2/2)

| 箇 所        | 内 容                                                |
|------------|----------------------------------------------------|
| p.253      | 図 14-21 RELT, CMDT, RELD, CMDD の動作 (スレーブ) を修正      |
| p.277      | 図 15-1 シリアル・インタフェース・チャンネル 1 のブロック図を修正              |
| p.281      | 図 15-3 シリアル動作モード・レジスタ 1 のフォーマットを変更, 注を削除           |
| p.283      | 図 15-5 自動データ送受信間隔指定レジスタのフォーマットを修正, 注を削除            |
| p.312      | 15.4.3(3) (h) 自動送受信のインターバル時間を修正                    |
| p.317      | 図 16-1 シリアル・インタフェース・チャンネル 2 のブロック図を修正              |
| p.323      | 表 16-2 シリアル・インタフェース・チャンネル 2 の動作モードの設定一覧を修正         |
| p.351      | 第18章 割り込み機能とテスト機能を変更                               |
| p.407      | 図 20-13 IEBus コントローラ・モード・レジスタのフォーマットを修正            |
| p.420      | 図 20-23 同報先アドレス・レジスタ 1, 2 のフォーマットを変更               |
| p.441      | 23.2 内部拡張 RAM サイズ切り替えレジスタを追加                       |
| p.442      | 23.3 PROM プログラミングに注意事項を追加                          |
| p.463      | 24.3 命令コード, 24.4 命令の説明を削除                          |
| p.467, 468 | 付録 A 開発ツールを修正<br>IE-78098-R-EM, DF78098 : 開発中→開発済み |
| p.473, 474 | 付録 B 組み込み用ソフトウェアを修正                                |
| —          | 付録 C 命令索引 (アルファベット順) を削除                           |
| p.483      | 付録 D 改版履歴を追加                                       |

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。



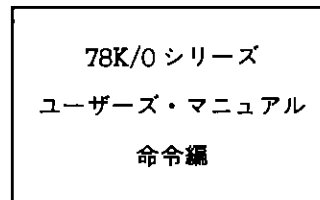
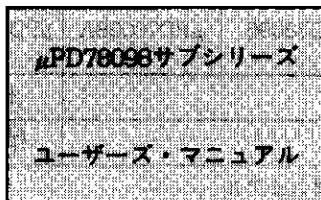
# はじめに

**対象者** このマニュアルは、 $\mu$ PD78098サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

$\mu$ PD78098サブシリーズの内、 $\mu$ PD78P098AKK-Tは、お客様の装置の量産製品に使用されることを意図した信頼性を保持しておりません。実験または機能評価用にご使用ください。

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成**  $\mu$ PD78098サブシリーズのマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。★



- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能

- CPU 機能
- 命令セット
- 命令の説明

**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

☐一通りの機能を理解しようとするとき

→目次に従って読んでください。

☐レジスタ・フォーマットの見方

→ビット番号を○で囲んでいるものは、そのビット名称がRA78K/0では予約語に、CC78K/0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

☐レジスタ名が分かっていて、レジスタの詳細を確認するとき

→付録C レジスタ索引を参照してください。

☐ $\mu$ PD78098サブシリーズの命令機能の詳細を知りたいとき

→別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編（IEU-849）を参照してください。

★

★

凡 例    データ表記の重み           : 左が上位桁, 右が下位桁  
           アクティブ・ロウの表記:  $\overline{\text{XXX}}$  (端子, 信号名称に上線)  
 注                                       : 本文中につけた注の説明  
 注意                                   : 気をつけて読んでいただきたい内容  
 備考                                   : 本文の補足説明  
 数の表記                           : 2進数… $\text{XXX}\times\text{X}$ または $\text{XXX}\times\text{B}$   
                                          10進数… $\text{XXX}\times\text{X}$   
                                          16進数… $\text{XXX}\times\text{H}$

## 関連資料

### ●デバイスの関連資料

| 資料名 \ 製 品      | $\mu\text{PD78094}$ | $\mu\text{PD78095}$ | $\mu\text{PD78096}$ | $\mu\text{PD78098A}$ | $\mu\text{PD78P098A}$ |
|----------------|---------------------|---------------------|---------------------|----------------------|-----------------------|
| ペーパ・マシン        | —                   |                     |                     |                      | 作成中                   |
| データ・シート        | IC-9017             |                     |                     |                      | 作成予定                  |
| ユーザーズ・マニュアル    | このマニュアル             |                     |                     |                      |                       |
| ユーザーズ・マニュアル命令編 | IEU-849             |                     |                     |                      |                       |
| インストラクション・セット  | IEM-5521            |                     |                     |                      |                       |
| インストラクション活用表   | IEM-5522            |                     |                     |                      |                       |
| 特殊機能レジスタ活用表    | IEM-5591            |                     |                     |                      |                       |

### ●開発ツールの関連資料

| 資 料 名                                   |         | 資 料 番 号 |
|-----------------------------------------|---------|---------|
| RA78K シリーズ アセンブラ・パッケージ<br>ユーザーズ・マニュアル   | 操作編     | EEU-809 |
|                                         | 言語編     | EEU-815 |
| RA78K シリーズ 構造化アセンブラ・プリプロセッサ ユーザーズ・マニュアル |         | EEU-817 |
| CC78K シリーズ C コンパイラ<br>ユーザーズ・マニュアル       | 操作編     | EEU-656 |
|                                         | 言語編     | EEU-655 |
| CC78K シリーズ ライブラリ・ソース・ファイル ユーザーズ・マニュアル   |         | EEU-777 |
| PG-1500 PROM プログラム ユーザーズ・マニュアル          |         | EEU-651 |
| PG-1500 コントローラ ユーザーズ・マニュアル              |         | EEU-704 |
| IE-78000-R ユーザーズ・マニュアル                  |         | EEU-810 |
| IE-78000-R-BK ユーザーズ・マニュアル               |         | EEU-867 |
| IE-78098-R-EM ユーザーズ・マニュアル               |         | EEU-933 |
| SD78K/0 スクリーン・ディバガ<br>ユーザーズ・マニュアル       | 入門編     | EEU-852 |
|                                         | レファレンス編 | EEU-816 |

●組み込み用ソフトウェアの関連資料

| 資 料 名                                                          |         | 資料番号    |
|----------------------------------------------------------------|---------|---------|
| 78K/0 シリーズ リアルタイム OS<br>ユーザーズ・マニュアル                            | 基礎編     | EEU-912 |
|                                                                | インストール編 | EEU-911 |
|                                                                | ディバग्ガ編 | EEU-930 |
|                                                                | テクニカル編  | EEU-913 |
| ファジィ推論開発支援システム パンフレット                                          |         | EF-235  |
| ファジィ知識データ作成ツール ユーザーズ・マニュアル                                     |         | EEU-829 |
| 78K/0, 78K/II, 87AD シリーズ<br>ファジィ推論開発支援システム トランスレータ ユーザーズ・マニュアル |         | EEU-862 |
| 78K/0 シリーズ ファジィ推論開発支援システム ファジィ推論モジュール<br>ユーザーズ・マニュアル           |         | EEU-858 |
| 78K/0 シリーズ ファジィ推論開発支援システム ファジィ推論ディバग्ガ<br>ユーザーズ・マニュアル          |         | EEU-921 |

●その他の関連資料

| 資 料 名                    | 資料番号     |
|--------------------------|----------|
| パッケージマニュアル               | IEI-635  |
| 半導体デバイス 実装マニュアル          | IEI-616  |
| NEC 半導体デバイスの品質水準         | IEI-620  |
| NEC 半導体デバイスの信頼性品質管理      | IEM-5068 |
| 静電気放電 (ESD) 試験について       | MEM-539  |
| 半導体デバイスの品質保証ガイド          | MEI-603  |
| マイクロコンピュータ関連製品ガイド 社外メーカ編 | MEI-604  |

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

# 目 次

## 第1章 概 説 … 1

- 1.1 特 徴 … 1
- 1.2 用 途 … 2
- 1.3 オーダ情報 … 2
- 1.4 品質水準 … 2
- 1.5 端子接続図 (Top View) … 3
- 1.6 78 K/O シリーズの展開 … 6
- 1.7 ブロック図 … 7
- 1.8 機能概要 … 8

## 第2章 端子機能 … 11

- 2.1 端子機能一覧 … 11
  - 2.1.1 通常動作モード時の端子 … 11
  - 2.1.2 PROM プログラミング・モード時の端子 ( $\mu$ PD78P098A のみ) … 15
- 2.2 端子機能の説明 … 16
  - 2.2.1 P00-P07 (Port0) … 16
  - 2.2.2 P10-P17 (Port1) … 17
  - 2.2.3 P20-P27 (Port2) … 17
  - 2.2.4 P30-P37 (Port3) … 18
  - 2.2.5 P40-P47 (Port4) … 19
  - 2.2.6 P50-P57 (Port5) … 19
  - 2.2.7 P60-P67 (Port6) … 19
  - 2.2.8 P70-P72 (Port7) … 20
  - 2.2.9 P120-P127 (Port12) … 21
  - 2.2.10 P130, P131 (Port13) … 21
  - 2.2.11  $AV_{REF0}$  … 22
  - 2.2.12  $AV_{REF1}$  … 22
  - 2.2.13  $AV_{DD}$  … 22
  - 2.2.14  $AV_{SS}$  … 22
  - 2.2.15  $\overline{RESET}$  … 22
  - 2.2.16 X1, X2 … 22
  - 2.2.17 XT1, XT2 … 22
  - 2.2.18  $V_{DD}$  … 22
  - 2.2.19  $V_{SS}$  … 22
  - 2.2.20  $V_{PP}$  ( $\mu$ PD78P098A のみ) … 22
  - 2.2.21 IC (マスク ROM 製品のみ) … 23
- 2.3 端子の入出力回路と未使用端子の処理 … 24

## 第3章 CPU アーキテクチャ … 29

- 3.1 メモリ空間 … 29
  - 3.1.1 内部プログラム・メモリ空間 … 34

|            |                                               |     |    |
|------------|-----------------------------------------------|-----|----|
| 3.1.2      | 内部データ・メモリ空間                                   | ... | 35 |
| 3.1.3      | 特殊機能レジスタ (SFR : Special Function Register) 領域 | ... | 35 |
| 3.1.4      | 外部メモリ空間                                       | ... | 35 |
| 3.1.5      | IEBus レジスタ空間                                  | ... | 35 |
| 3.1.6      | データ・メモリ・アドレッシング                               | ... | 36 |
| <b>3.2</b> | <b>プロセッサ・レジスタ</b>                             | ... | 41 |
| 3.2.1      | 制御レジスタ                                        | ... | 41 |
| 3.2.2      | 汎用レジスタ                                        | ... | 44 |
| 3.2.3      | 特殊機能レジスタ (SFR : Special Function Register)    | ... | 46 |
| 3.2.4      | IEBus レジスタ                                    | ... | 50 |
| <b>3.3</b> | <b>命令アドレスのアドレッシング</b>                         | ... | 52 |
| 3.3.1      | レラティブ・アドレッシング                                 | ... | 52 |
| 3.3.2      | イミディエト・アドレッシング                                | ... | 53 |
| 3.3.3      | テーブル・インダイレクト・アドレッシング                          | ... | 54 |
| 3.3.4      | レジスタ・アドレッシング                                  | ... | 55 |
| <b>3.4</b> | <b>オペランド・アドレスのアドレッシング</b>                     | ... | 56 |
| 3.4.1      | インブライド・アドレッシング                                | ... | 56 |
| 3.4.2      | レジスタ・アドレッシング                                  | ... | 57 |
| 3.4.3      | ダイレクト・アドレッシング                                 | ... | 58 |
| 3.4.4      | ショート・ダイレクト・アドレッシング                            | ... | 59 |
| 3.4.5      | 特殊機能レジスタ (SFR) アドレッシング                        | ... | 61 |
| 3.4.6      | レジスタ・インダイレクト・アドレッシング                          | ... | 62 |
| 3.4.7      | ベースト・アドレッシング                                  | ... | 63 |
| 3.4.8      | ベースト・インデクスト・アドレッシング                           | ... | 64 |
| 3.4.9      | スタック・アドレッシング                                  | ... | 64 |

## 第4章 ポート機能 ... 65

|            |                       |     |    |
|------------|-----------------------|-----|----|
| <b>4.1</b> | <b>ポートの機能</b>         | ... | 65 |
| <b>4.2</b> | <b>ポートの構成</b>         | ... | 68 |
| 4.2.1      | ポート 0                 | ... | 68 |
| 4.2.2      | ポート 1                 | ... | 70 |
| 4.2.3      | ポート 2                 | ... | 71 |
| 4.2.4      | ポート 3                 | ... | 73 |
| 4.2.5      | ポート 4                 | ... | 74 |
| 4.2.6      | ポート 5                 | ... | 75 |
| 4.2.7      | ポート 6                 | ... | 76 |
| 4.2.8      | ポート 7                 | ... | 78 |
| 4.2.9      | ポート 12                | ... | 80 |
| 4.2.10     | ポート 13                | ... | 81 |
| <b>4.3</b> | <b>ポート機能を制御するレジスタ</b> | ... | 82 |
| <b>4.4</b> | <b>ポート機能の動作</b>       | ... | 88 |
| 4.4.1      | 入出力ポートへの書き込み          | ... | 88 |
| 4.4.2      | 入出力ポートからの読み出し         | ... | 88 |
| 4.4.3      | 入出力ポートでの演算            | ... | 89 |
| <b>4.5</b> | <b>マスク・オプションの選択</b>   | ... | 89 |

## 第5章 クロック発生回路 … 91

- 5.1 クロック発生回路の機能 … 91
- 5.2 クロック発生回路の構成 … 91
- 5.3 クロック発生回路を制御するレジスタ … 94
- 5.4 システム・クロック発振回路 … 99
  - 5.4.1 メイン・システム・クロック発振回路 … 99
  - 5.4.2 サブシステム・クロック発振回路 … 99
  - 5.4.3 分周回路 … 102
  - 5.4.4 サブシステム・クロックを使用しない場合 … 102
- 5.5 クロック発生回路の動作 … 103
  - 5.5.1 メイン・システム・クロックの動作 … 104
  - 5.5.2 サブシステム・クロックの動作 … 105
- 5.6 システム・クロックと CPU クロックの設定の変更 … 106
  - 5.6.1 システム・クロックと CPU クロックの切り替えに要する時間 … 106
  - 5.6.2 システム・クロックと CPU クロックの切り替え手順 … 107

## 第6章 16ビット・タイマ/イベント・カウンタ … 109

- 6.1 16ビット・タイマ/イベント・カウンタの機能 … 110
- 6.2 16ビット・タイマ/イベント・カウンタの構成 … 112
- 6.3 16ビット・タイマ/イベント・カウンタを制御するレジスタ … 116
- 6.4 16ビット・タイマ/イベント・カウンタの動作 … 126
  - 6.4.1 インターバル・タイマとしての動作 … 126
  - 6.4.2 PWM 出力としての動作 … 128
  - 6.4.3 PPG 出力としての動作 … 131
  - 6.4.4 パルス幅測定としての動作 … 132
  - 6.4.5 外部イベント・カウンタとしての動作 … 139
  - 6.4.6 方形波出力としての動作 … 141
  - 6.4.7 ワンショット・パルス出力としての動作 … 143
- 6.5 16ビット・タイマ/イベント・カウンタの注意事項 … 148

## 第7章 8ビット・タイマ/イベント・カウンタ … 151

- 7.1 8ビット・タイマ/イベント・カウンタの機能 … 151
  - 7.1.1 8ビット・タイマ/イベント・カウンタ・モード … 151
  - 7.1.2 16ビット・タイマ/イベント・カウンタ・モード … 154
- 7.2 8ビット・タイマ/イベント・カウンタの構成 … 156
- 7.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ … 159
- 7.4 8ビット・タイマ/イベント・カウンタの動作 … 164
  - 7.4.1 8ビット・タイマ/イベント・カウンタ・モード … 164
  - 7.4.2 16ビット・タイマ/イベント・カウンタ・モード … 169
- 7.5 8ビット・タイマ/イベント・カウンタの注意事項 … 173

## 第8章 時計用タイマ … 175

- 8.1 時計用タイマの機能 … 175

|                              |                      |   |     |
|------------------------------|----------------------|---|-----|
| 8.2                          | 時計用タイマの構成            | … | 176 |
| 8.3                          | 時計用タイマを制御するレジスタ      | … | 176 |
| 8.4                          | 時計用タイマの動作            | … | 180 |
| 8.4.1                        | 時計用タイマとしての動作         | … | 180 |
| 8.4.2                        | インターバル・タイマとしての動作     | … | 180 |
| <b>第9章 ウォッチドッグ・タイマ</b> … 181 |                      |   |     |
| 9.1                          | ウォッチドッグ・タイマの機能       | … | 181 |
| 9.2                          | ウォッチドッグ・タイマの構成       | … | 181 |
| 9.3                          | ウォッチドッグ・タイマを制御するレジスタ | … | 183 |
| 9.4                          | ウォッチドッグ・タイマの動作       | … | 186 |
| 9.4.1                        | ウォッチドッグ・タイマとしての動作    | … | 186 |
| 9.4.2                        | インターバル・タイマとしての動作     | … | 187 |
| <b>第10章 クロック出力制御回路</b> … 189 |                      |   |     |
| 10.1                         | クロック出力制御回路の機能        | … | 189 |
| 10.2                         | クロック出力制御回路の構成        | … | 190 |
| 10.3                         | クロック出力機能を制御するレジスタ    | … | 190 |
| <b>第11章 ブザー出力制御回路</b> … 193  |                      |   |     |
| 11.1                         | ブザー出力制御回路の機能         | … | 193 |
| 11.2                         | ブザー出力制御回路の構成         | … | 193 |
| 11.3                         | ブザー出力機能を制御するレジスタ     | … | 194 |
| <b>第12章 A/D コンバータ</b> … 197  |                      |   |     |
| 12.1                         | A/D コンバータの機能         | … | 197 |
| 12.2                         | A/D コンバータの構成         | … | 197 |
| 12.3                         | A/D コンバータを制御するレジスタ   | … | 200 |
| 12.4                         | A/D コンバータの動作         | … | 205 |
| 12.4.1                       | A/D コンバータの基本動作       | … | 205 |
| 12.4.2                       | 入力電圧と変換結果            | … | 207 |
| 12.4.3                       | A/D コンバータの動作モード      | … | 208 |
| 12.5                         | A/D コンバータの注意事項       | … | 210 |
| <b>第13章 D/A コンバータ</b> … 215  |                      |   |     |
| 13.1                         | D/A コンバータの機能         | … | 215 |
| 13.2                         | D/A コンバータの構成         | … | 215 |
| 13.3                         | D/A コンバータを制御するレジスタ   | … | 217 |
| 13.4                         | D/A コンバータの動作         | … | 218 |

## 第14章 シリアル・インタフェース・チャネル 0 … 219

- 14.1 シリアル・インタフェース・チャネル 0 の機能 … 220
- 14.2 シリアル・インタフェース・チャネル 0 の構成 … 222
- 14.3 シリアル・インタフェース・チャネル 0 を制御するレジスタ … 226
- 14.4 シリアル・インタフェース・チャネル 0 の動作 … 233
  - 14.4.1 動作停止モード … 233
  - 14.4.2 3 線式シリアル I/O モードの動作 … 234
  - 14.4.3 SBI モードの動作 … 240
  - 14.4.4 2 線式シリアル I/O モードの動作 … 268
  - 14.4.5  $\overline{\text{SCK0}}$  端子出力の操作 … 274

## 第15章 シリアル・インタフェース・チャネル 1 … 275

- 15.1 シリアル・インタフェース・チャネル 1 の機能 … 275
- 15.2 シリアル・インタフェース・チャネル 1 の構成 … 276
- 15.3 シリアル・インタフェース・チャネル 1 を制御するレジスタ … 279
- 15.4 シリアル・インタフェース・チャネル 1 の動作 … 286
  - 15.4.1 動作停止モード … 286
  - 15.4.2 3 線式シリアル I/O モードの動作 … 287
  - 15.4.3 自動送受信機能付き 3 線式シリアル I/O モードの動作 … 289

## 第16章 シリアル・インタフェース・チャネル 2 … 315

- 16.1 シリアル・インタフェース・チャネル 2 の機能 … 315
- 16.2 シリアル・インタフェース・チャネル 2 の構成 … 316
- 16.3 シリアル・インタフェース・チャネル 2 を制御するレジスタ … 320
- 16.4 シリアル・インタフェース・チャネル 2 の動作 … 329
  - 16.4.1 動作停止モード … 329
  - 16.4.2 アシンクロナス・シリアル・インタフェース (UART) モード … 331
  - 16.4.3 3 線式シリアル I/O モード … 344

## 第17章 リアルタイム出力ポート … 347

- 17.1 リアルタイム出力ポートの機能 … 347
- 17.2 リアルタイム出力ポートの構成 … 347
- 17.3 リアルタイム出力ポートを制御するレジスタ … 349

## 第18章 割り込み機能とテスト機能 … 351

- 18.1 割り込み機能の種類 … 351
- 18.2 割り込み要因と構成 … 351
- 18.3 割り込み機能を制御するレジスタ … 356
- 18.4 割り込み処理動作 … 365
  - 18.4.1 ノンマスカブル割り込みの受け付け動作 … 365
  - 18.4.2 マスカブル割り込みの受け付け動作 … 368
  - 18.4.3 ソフトウェア割り込みの受け付け動作 … 371



|             |                |   |     |
|-------------|----------------|---|-----|
| 18.4.4      | 多重割り込み処理       | … | 371 |
| 18.4.5      | 割り込みの保留        | … | 373 |
| <b>18.5</b> | <b>テスト機能</b>   | … | 374 |
| 18.5.1      | テスト機能を制御するレジスタ | … | 374 |
| 18.5.2      | テスト入力信号の受け付け動作 | … | 376 |

## **第19章 外部デバイス拡張機能 … 377**

|             |                            |   |     |
|-------------|----------------------------|---|-----|
| <b>19.1</b> | <b>外部デバイス拡張機能</b>          | … | 377 |
| <b>19.2</b> | <b>外部デバイス拡張機能を制御するレジスタ</b> | … | 381 |
| <b>19.3</b> | <b>外部デバイス拡張機能のタイミング</b>    | … | 383 |
| <b>19.4</b> | <b>メモリとの接続例</b>            | … | 388 |

## **第20章 IEBus コントローラ … 389**

|             |                              |   |     |
|-------------|------------------------------|---|-----|
| <b>20.1</b> | <b>IEBus コントローラの機能</b>       | … | 389 |
| 20.1.1      | IEBus の通信プロトコル               | … | 389 |
| 20.1.2      | バス占有権の決定 (アービトレーション)         | … | 390 |
| 20.1.3      | 通信モード                        | … | 390 |
| 20.1.4      | 通信アドレス                       | … | 391 |
| 20.1.5      | 同報通信                         | … | 391 |
| 20.1.6      | IEBus の伝送フォーマット              | … | 391 |
| 20.1.7      | 伝送データ                        | … | 400 |
| 20.1.8      | ビット・フォーマット                   | … | 403 |
| <b>20.2</b> | <b>IEBus コントローラの構成</b>       | … | 404 |
| <b>20.3</b> | <b>IEBus コントローラを制御するレジスタ</b> | … | 406 |
| <b>20.4</b> | <b>IEBus による通信動作</b>         | … | 420 |

## **第21章 スタンバイ機能 … 425**

|             |                   |   |     |
|-------------|-------------------|---|-----|
| <b>21.1</b> | <b>スタンバイ機能と構成</b> | … | 425 |
| 21.1.1      | スタンバイ機能           | … | 425 |
| 21.1.2      | スタンバイ機能を制御するレジスタ  | … | 426 |
| <b>21.2</b> | <b>スタンバイ機能の動作</b> | … | 427 |
| 21.2.1      | HALT モード          | … | 427 |
| 21.2.2      | STOP モード          | … | 430 |

## **第22章 リセット機能 … 433**

|             |               |   |     |
|-------------|---------------|---|-----|
| <b>22.1</b> | <b>リセット機能</b> | … | 433 |
|-------------|---------------|---|-----|

## **★ 第23章 $\mu$ PD78P098A … 439**

|             |                             |   |     |
|-------------|-----------------------------|---|-----|
| <b>23.1</b> | <b>メモリ・サイズ切り替えレジスタ</b>      | … | 439 |
| <b>23.2</b> | <b>内部拡張 RAM サイズ切り替えレジスタ</b> | … | 441 |
| <b>23.3</b> | <b>PROM プログラミング</b>         | … | 442 |
| 23.3.1      | 動作モード                       | … | 442 |

23.3.2 PROM 書き込みの手順 … 444

23.3.3 PROM 読み出しの手順 … 448

**23.4 ワン・タイム PROM 製品のスクリーニングについて … 448**

**第24章 命令セット … 449**

**24.1 凡 例 … 450**

24.1.1 オペランドの表現形式と記述方法 … 450

24.1.2 オペレーション欄の説明 … 451

24.1.3 フラグ動作欄の説明 … 451

**24.2 オペレーション一覧 … 452**

**24.3 アドレッシング別命令一覧 … 460**

**付録 A 開発ツール … 465**

**付録 B 組み込み用ソフトウェア … 473**

**付録 C レジスタ索引 … 475**

C.1 レジスタ索引 (50音順) … 475

C.2 レジスタ索引 (アルファベット順) … 479

**付録 D 改版履歴 … 483**

★

## 図 の 目 次 (1/10)

| 図番号  | タイトル, ページ                               |
|------|-----------------------------------------|
| 2-1  | 端子の入出力回路一覧 … 26                         |
| 3-1  | メモリ・マップ ( $\mu$ PD78094) … 29           |
| 3-2  | メモリ・マップ ( $\mu$ PD78095) … 30           |
| 3-3  | メモリ・マップ ( $\mu$ PD78096) … 31           |
| 3-4  | メモリ・マップ ( $\mu$ PD78098A) … 32          |
| 3-5  | メモリ・マップ ( $\mu$ PD78P098A) … 33         |
| 3-6  | データ・メモリのアドレッシング ( $\mu$ PD78094) … 36   |
| 3-7  | データ・メモリのアドレッシング ( $\mu$ PD78095) … 37   |
| 3-8  | データ・メモリのアドレッシング ( $\mu$ PD78096) … 38   |
| 3-9  | データ・メモリのアドレッシング ( $\mu$ PD78098A) … 39  |
| 3-10 | データ・メモリのアドレッシング ( $\mu$ PD78P098A) … 40 |
| 3-11 | プログラム・カウンタの構成 … 41                      |
| 3-12 | プログラム・ステータス・ワードの構成 … 41                 |
| 3-13 | スタック・ポインタの構成 … 43                       |
| 3-14 | スタック・メモリへ退避されるデータ … 43                  |
| 3-15 | スタック・メモリから復帰されるデータ … 43                 |
| 3-16 | 汎用レジスタの構成 … 45                          |
| 4-1  | ポートの種類 … 65                             |
| 4-2  | P00, P07 の構成 … 69                       |
| 4-3  | P01-P06 の構成 … 69                        |
| 4-4  | P10-P17 の構成 … 70                        |
| 4-5  | P20, P21, P23-P26 の構成 … 71              |
| 4-6  | P22, P27 の構成 … 72                       |
| 4-7  | P30-P37 の構成 … 73                        |
| 4-8  | P40-P47 の構成 … 74                        |
| 4-9  | 立ち下がりエッジ検出回路のブロック図 … 74                 |
| 4-10 | P50-P57 の構成 … 75                        |
| 4-11 | P60-P63 の構成 … 77                        |
| 4-12 | P64-P67 の構成 … 77                        |
| 4-13 | P70 の構成 … 78                            |
| 4-14 | P71, P72 の構成 … 79                       |

## 図 の 目 次 (2/10)

| 図番号  | タイトル, ページ                              |   |
|------|----------------------------------------|---|
| 4-15 | P120-P127 の構成 … 80                     |   |
| 4-16 | P130, P131 の構成 … 81                    |   |
| 4-17 | ポート・モード・レジスタのフォーマット … 84               |   |
| 4-18 | プルアップ抵抗オプション・レジスタのフォーマット … 85          |   |
| 4-19 | メモリ拡張モード・レジスタのフォーマット … 86              |   |
| 4-20 | キー・リターン・モード・レジスタのフォーマット … 87           |   |
| 5-1  | クロック発生回路のブロック図 … 92                    |   |
| 5-2  | 分周回路 1, 2 の構成 … 93                     |   |
| 5-3  | サブシステム・クロックのフィードバック抵抗 … 94             | ★ |
| 5-4  | プロセッサ・クロック・コントロール・レジスタのフォーマット … 95     |   |
| 5-5  | 発振モード選択レジスタのフォーマット … 96                |   |
| 5-6  | クロック切り替え選択レジスタ 1 のフォーマット … 97          |   |
| 5-7  | クロック切り替え選択レジスタ 2 のフォーマット … 97          |   |
| 5-8  | メイン・システム・クロック発振回路の外付け回路 … 99           |   |
| 5-9  | サブシステム・クロック発振回路の外付け回路 … 99             |   |
| 5-10 | 発振子の接続の悪い例 … 100                       |   |
| 5-11 | メイン・システム・クロックの停止機能 … 104               |   |
| 5-12 | システム・クロックと CPU クロックの切り替え … 107         |   |
| 6-1  | 16ビット・タイマ/イベント・カウンタのブロック図 … 113        |   |
| 6-2  | 16ビット・タイマ/イベント・カウンタ出力制御回路のブロック図 … 114  |   |
| 6-3  | タイマ・クロック選択レジスタ 0 のフォーマット … 117         |   |
| 6-4  | 16ビット・タイマ・モード・コントロール・レジスタのフォーマット … 119 |   |
| 6-5  | キャプチャ/コンペア・コントロール・レジスタ 0 のフォーマット … 120 |   |
| 6-6  | 16ビット・タイマ出力コントロール・レジスタのフォーマット … 122    |   |
| 6-7  | ポート・モード・レジスタ 3 のフォーマット … 123           |   |
| 6-8  | 外部割り込みモード・レジスタ 0 のフォーマット … 124         |   |
| 6-9  | サンプリング・クロック選択レジスタのフォーマット … 125         |   |
| 6-10 | インターバル・タイマ動作時の制御レジスタ設定内容 … 126         |   |
| 6-11 | インターバル・タイマの構成図 … 127                   |   |
| 6-12 | インターバル・タイマ動作のタイミング … 127               |   |
| 6-13 | PWM 出力動作時の制御レジスタ設定内容 … 129             |   |

## 図 の 目 次 (3/10)

| 図番号  | タイトル, ページ                                                             |
|------|-----------------------------------------------------------------------|
| 6-14 | PWM 出力による D/A コンバータ構成例 … 130                                          |
| 6-15 | TV チューナへの応用回路例 … 130                                                  |
| 6-16 | PPG 出力動作時の制御レジスタ設定内容 … 131                                            |
| 6-17 | フリーランニング・カウンタとキャプチャ・レジスタ 1 本によるパルス幅測定時の<br>制御レジスタ設定内容 … 132           |
| 6-18 | フリーランニング・カウンタによるパルス幅測定の構成図 … 133                                      |
| 6-19 | フリーランニング・カウンタとキャプチャ・レジスタ 1 本によるパルス幅測定動作の<br>タイミング (両エッジ指定時) … 133     |
| 6-20 | フリーランニング・カウンタによる 2 つのパルス幅測定時の制御レジスタ設定内容 … 134                         |
| 6-21 | フリーランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時) … 135                        |
| 6-22 | フリーランニング・カウンタとキャプチャ・レジスタ 2 本によるパルス幅測定時の<br>制御レジスタ設定内容 … 136           |
| 6-23 | フリーランニング・カウンタとキャプチャ・レジスタ 2 本によるパルス幅測定動作の<br>タイミング (立ち上がりエッジ指定時) … 137 |
| 6-24 | リスタートによるパルス幅測定時の制御レジスタ設定内容 … 138                                      |
| 6-25 | リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時) … 139                            |
| 6-26 | 外部イベント・カウンタ・モード時の制御レジスタ設定内容 … 140                                     |
| 6-27 | 外部イベント・カウンタの構成図 … 140                                                 |
| 6-28 | 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) … 141                               |
| 6-29 | 方形波出力モード時の制御レジスタ設定内容 … 142                                            |
| 6-30 | 方形波出力動作のタイミング … 142                                                   |
| 6-31 | ソフトウェア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 … 144                         |
| 6-32 | ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング … 145                               |
| 6-33 | 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容 … 146                              |
| 6-34 | 外部トリガによるワンショット・パルス出力動作のタイミング<br>(立ち上がりエッジ指定時) … 147                   |
| 6-35 | 16ビット・タイマ・レジスタのスタート・タイミング … 148                                       |
| 6-36 | タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 148                                 |
| 6-37 | キャプチャ・レジスタのデータ保持タイミング … 149                                           |
| 6-38 | OVFO フラグの動作のタイミング … 150                                               |
| 7-1  | 8ビット・タイマ/イベント・カウンタのブロック図 … 157                                        |
| 7-2  | 8ビット・タイマ/イベント・カウンタ出力制御回路 1 のブロック図 … 158                               |

## 図 の 目 次 (4/10)

| 図番号  | タイトル, ページ                              |
|------|----------------------------------------|
| 7-3  | 8ビット・タイマ/イベント・カウンタ出力制御回路2のブロック図 … 158  |
| 7-4  | タイマ・クロック選択レジスタ1のフォーマット … 160           |
| 7-5  | 8ビット・タイマ・モード・コントロール・レジスタのフォーマット … 161  |
| 7-6  | 8ビット・タイマ出力コントロール・レジスタのフォーマット … 162     |
| 7-7  | ポート・モード・レジスタ3のフォーマット … 163             |
| 7-8  | インターバル・タイマ動作のタイミング … 164               |
| 7-9  | 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) … 167 |
| 7-10 | インターバル・タイマ動作のタイミング … 169               |
| 7-11 | 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) … 171 |
| 7-12 | 8ビット・タイマ・レジスタのスタート・タイミング … 173         |
| 7-13 | 外部イベント・カウンタとして動作時のタイミング … 173          |
| 7-14 | タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング … 174  |
| 8-1  | 時計用タイマのブロック図 … 177                     |
| 8-2  | タイマ・クロック選択レジスタ2のフォーマット … 178           |
| 8-3  | 時計用タイマ・モード・コントロール・レジスタのフォーマット … 179    |
| 9-1  | ウォッチドッグ・タイマのブロック図 … 182                |
| 9-2  | タイマ・クロック選択レジスタ2のフォーマット … 184           |
| 9-3  | ウォッチドッグ・タイマ・モード・レジスタのフォーマット … 185      |
| 10-1 | リモコン出力応用例 … 189                        |
| 10-2 | クロック出力制御回路のブロック図 … 190                 |
| 10-3 | タイマ・クロック選択レジスタ0のフォーマット … 191           |
| 10-4 | ポート・モード・レジスタ3のフォーマット … 192             |
| 11-1 | ブザー出力制御回路のブロック図 … 193                  |
| 11-2 | タイマ・クロック選択レジスタ2のフォーマット … 195           |
| 11-3 | ポート・モード・レジスタ3のフォーマット … 196             |
| 12-1 | A/Dコンバータのブロック図 … 198                   |
| 12-2 | A/Dコンバータ・モード・レジスタのフォーマット … 201         |
| 12-3 | A/Dコンバータ入力選択レジスタのフォーマット … 202          |

## 図 の 目 次 (5/10)

| 図番号   | タイトル, ページ                                              |
|-------|--------------------------------------------------------|
| 12-4  | 外部割り込みモード・レジスタ1のフォーマット … 203                           |
| 12-5  | A/D 電流カット選択レジスタのフォーマット … 204                           |
| 12-6  | A/D 電流カット選択レジスタの機能 … 204                               |
| 12-7  | A/D コンバータの基本動作 … 206                                   |
| 12-8  | アナログ入力電圧と A/D 変換結果の関係 … 207                            |
| 12-9  | ハードウェア・スタートによる A/D 変換動作 … 208                          |
| 12-10 | ソフトウェア・スタートによる A/D 変換動作 … 209                          |
| 12-11 | スタンバイ・モード時の消費電力を低減させる方法例（ポートを使用する場合） … 210             |
| 12-12 | スタンバイ・モード時の消費電力を低減させる方法例（A/D 電流カット選択レジスタを使用する場合） … 211 |
| 12-13 | アナログ入力端子の処理 … 212                                      |
| 12-14 | A/D 変換終了割り込み発生タイミング … 213                              |
| 13-1  | D/A コンバータのブロック図 … 216                                  |
| 13-2  | D/A コンバータ・モード・レジスタのフォーマット … 217                        |
| 14-1  | シリアル・バス・インタフェース（SBI）のシステム構成例 … 221                     |
| 14-2  | シリアル・インタフェース・チャンネル0のブロック図 … 223                        |
| 14-3  | タイマ・クロック選択レジスタ3のフォーマット … 227                           |
| 14-4  | シリアル動作モード・レジスタ0のフォーマット … 228                           |
| 14-5  | シリアル・バス・インタフェース・コントロール・レジスタのフォーマット … 230               |
| 14-6  | 割り込みタイミング指定レジスタのフォーマット … 232                           |
| 14-7  | 3線式シリアル I/O モードのタイミング … 237                            |
| 14-8  | RELT, CMDT の動作 … 238                                   |
| 14-9  | 転送ビット順切り替え回路 … 239                                     |
| 14-10 | SBI によるシリアル・バス構成例 … 241                                |
| 14-11 | SBI 転送のタイミング … 243                                     |
| 14-12 | バス・リリース信号 … 244                                        |
| 14-13 | コマンド信号 … 244                                           |
| 14-14 | アドレス … 245                                             |
| 14-15 | アドレスによるスレーブの選択 … 245                                   |
| 14-16 | コマンド … 246                                             |
| 14-17 | データ … 246                                              |

## 図 の 目 次 (6/10)

| 図番号   | タイトル, ページ                                     |
|-------|-----------------------------------------------|
| 14-18 | アクノリッジ信号 … 247                                |
| 14-19 | ビジィ信号, レディ信号 … 248                            |
| 14-20 | RELT, CMDT, RELD, CMDD の動作 (マスタ) … 253        |
| 14-21 | RELT, CMDT, RELD, CMDD の動作 (スレーブ) … 253       |
| 14-22 | ACKT の動作 … 254                                |
| 14-23 | ACKE の動作 … 255                                |
| 14-24 | ACKD の動作 … 256                                |
| 14-25 | BSYE の動作 … 256                                |
| 14-26 | 端子構成図 … 259                                   |
| 14-27 | マスタ・デバイスからスレーブ・デバイス (WUP=1) へのアドレス送信動作 … 262  |
| 14-28 | マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作 … 263           |
| 14-29 | マスタ・デバイスからスレーブ・デバイスへのデータ送信動作 … 264            |
| 14-30 | スレーブ・デバイスからマスタ・デバイスへのデータ送信動作 … 265            |
| 14-31 | 2 線式シリアル I/O モードのタイミング … 272                  |
| 14-32 | RELT, CMDT の動作 … 273                          |
| 14-33 | $\overline{SCK0}$ /P27 端子の構成 … 274            |
| 15-1  | シリアル・インタフェース・チャンネル 1 のブロック図 … 277             |
| 15-2  | タイマ・クロック選択レジスタ 3 のフォーマット … 280                |
| 15-3  | シリアル動作モード・レジスタ 1 のフォーマット … 281                |
| 15-4  | 自動データ送受信コントロール・レジスタのフォーマット … 282              |
| 15-5  | 自動データ送受信間隔指定レジスタのフォーマット … 283                 |
| 15-6  | 3 線式シリアル I/O モードのタイミング … 289                  |
| 15-7  | 基本送受信モードの動作タイミング … 296                        |
| 15-8  | 基本送受信モードのフロー・チャート … 297                       |
| 15-9  | 6 バイト分送受信するときのバッファ RAM の動作 (基本送受信モード時) … 298  |
| 15-10 | 基本送信モードの動作タイミング … 300                         |
| 15-11 | 基本送信モードのフロー・チャート … 301                        |
| 15-12 | 6 バイト分送信するときのバッファ RAM の動作 (基本送信モード時) … 302    |
| 15-13 | 繰り返し送信モードの動作タイミング … 304                       |
| 15-14 | 繰り返し送信モードのフロー・チャート … 305                      |
| 15-15 | 6 バイト分送信するときのバッファ RAM の動作 (繰り返し送信モード時) … 306  |
| 15-16 | ビジィ制御オプションを使用したときの動作タイミング (BUSY0=0 のとき) … 308 |



## 図 の 目 次 (7/10)

| 図番号   | タイトル, ページ                                              |
|-------|--------------------------------------------------------|
| 15-17 | ビジィ&ストローブ制御オプションを使用したときの動作タイミング (BUSY0=0 のとき)<br>… 309 |
| 15-18 | ビットずれ検出機能の動作タイミング … 310                                |
| 15-19 | 自動送受信の中断と再開 … 311                                      |
| 15-20 | 自動送受信のインターバル時間 … 312                                   |
| 16-1  | シリアル・インタフェース・チャンネル2のブロック図 … 317                        |
| 16-2  | ポー・レート・ジェネレータのブロック図 … 318                              |
| 16-3  | シリアル動作モード・レジスタ2のフォーマット … 320                           |
| 16-4  | アシンクロナス・シリアル・インタフェース・モード・レジスタのフォーマット … 321             |
| 16-5  | アシンクロナス・シリアル・インタフェース・ステータス・レジスタのフォーマット … 324           |
| 16-6  | ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット … 325                 |
| 16-7  | アシンクロナス・シリアル・インタフェースの送受信データのフォーマット … 338               |
| 16-8  | アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング … 340                |
| 16-9  | アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング … 341                |
| 16-10 | 受信エラー・タイミング … 342                                      |
| 16-11 | 3線式シリアル I/O モードのタイミング … 346                            |
| 17-1  | リアルタイム出力ポートのブロック図 … 348                                |
| 17-2  | リアルタイム出力バッファ・レジスタの構成 … 349                             |
| 17-3  | リアルタイム出力ポート・モード・レジスタのフォーマット … 350                      |
| 17-4  | リアルタイム出力ポート・コントロール・レジスタのフォーマット … 350                   |
| 18-1  | 割り込み機能の基本構成 … 354                                      |
| 18-2  | 割り込み要求フラグ・レジスタのフォーマット … 357                            |
| 18-3  | 割り込みマスク・フラグ・レジスタのフォーマット … 358                          |
| 18-4  | 優先順位指定フラグ・レジスタのフォーマット … 359                            |
| 18-5  | 外部割り込みモード・レジスタ0のフォーマット … 360                           |
| 18-6  | 外部割り込みモード・レジスタ1のフォーマット … 361                           |
| 18-7  | サンプリング・クロック選択レジスタのフォーマット … 362                         |
| 18-8  | ノイズ除去回路の入出力タイミング (立ち上がりエッジ検出時) … 363                   |
| 18-9  | プログラム・ステータス・ワードのフォーマット … 364                           |
| 18-10 | ノンマスカブル割り込みの受け付けフロー・チャート … 366                         |

## 図 の 目 次 (8/10)

| 図番号   | タイトル, ページ                         |
|-------|-----------------------------------|
| 18-11 | ノンマスカブル割り込みの受け付けタイミング … 366       |
| 18-12 | ノンマスカブル割り込み要求の受け付け動作 … 367        |
| 18-13 | 割り込み受け付け処理アルゴリズム … 369            |
| 18-14 | 割り込みの受け付けタイミング (最小時間) … 370       |
| 18-15 | 割り込みの受け付けタイミング (最大時間) … 370       |
| 18-16 | 多重割り込みの例 … 372                    |
| 18-17 | 割り込み要求の保留 … 373                   |
| 18-18 | テスト機能の基本構成 … 374                  |
| 18-19 | 割り込み要求フラグ・レジスタ 1L のフォーマット … 375   |
| 18-20 | 割り込みマスク・フラグ・レジスタ 1L のフォーマット … 375 |
| 18-21 | キー・リターン・モード・レジスタのフォーマット … 376     |
| 19-1  | 外部デバイス拡張機能を使用時のメモリ・マップ … 378      |
| 19-2  | メモリ拡張モード・レジスタのフォーマット … 381        |
| 19-3  | メモリ・サイズ切り替えレジスタのフォーマット … 382      |
| 19-4  | 外部メモリからの命令フェッチ … 384              |
| 19-5  | 外部メモリのリード・タイミング … 385             |
| 19-6  | 外部メモリのライト・タイミング … 386             |
| 19-7  | 外部メモリのリード・モディファイ・ライト・タイミング … 387  |
| 19-8  | μPD78098サブシリーズとメモリの接続例 … 388      |
| 20-1  | IEBus の伝送信号フォーマット … 391           |
| 20-2  | マスタ・アドレス・フィールド … 393              |
| 20-3  | スレーブ・アドレス・フィールド … 394             |
| 20-4  | コントロール・フィールド … 396                |
| 20-5  | 電文長フィールド … 396                    |
| 20-6  | データ・フィールド … 397                   |
| 20-7  | スレーブ・ステータスのビット構成 … 401            |
| 20-8  | ロック・アドレスの構成 … 402                 |
| 20-9  | IEBus のビット・フォーマット … 403           |
| 20-10 | TBF への設定フォーマット … 404              |
| 20-11 | RBF への格納フォーマット … 405              |
| 20-12 | クロック切り替え選択レジスタ 1 のフォーマット … 406    |

## 図 の 目 次 (9/10)

| 図番号    | タイトル, ページ                                                  |
|--------|------------------------------------------------------------|
| 20-13  | IEBus コントローラ・モード・レジスタのフォーマット … 407                         |
| 20-14  | コントロール・レジスタのフォーマット … 408                                   |
| 20-15  | コマンド・レジスタのフォーマット (制御に用いる場合) … 409                          |
| 20-16  | コマンド・レジスタのフォーマット (オプション機能設定に用いる場合) … 410                   |
| 20-17  | マスタ通信コントロール・レジスタのフォーマット … 411                              |
| 20-18  | ステータス・レジスタ 1 のフォーマット … 412                                 |
| 20-19  | ステータス・レジスタ 2 のフォーマット … 413                                 |
| 20-20  | リターン・コード・レジスタのフォーマット … 415                                 |
| 20-21  | 自局アドレス・レジスタ 1, 2 のフォーマット … 418                             |
| 20-22  | スレーブ・アドレス・レジスタ 1, 2 のフォーマット … 419                          |
| 20-23  | 同報先アドレス・レジスタ 1, 2 のフォーマット … 420                            |
| 20-24  | ロック・アドレス・レジスタ 1, 2 のフォーマット … 420                           |
| 20-25  | 個別通信 (マスタ送信-スレーブ受信) の動作例 … 421                             |
| 20-26  | 個別通信 (マスタ受信-スレーブ送信) の動作例 … 422                             |
| 20-27  | 同報通信 (マスタ送信-スレーブ受信) の動作例 … 423                             |
| 21-1   | 発振安定時間選択レジスタのフォーマット … 426                                  |
| 21-2   | HALT モードの割り込み発生による解除 … 428                                 |
| 21-3   | HALT モードの $\overline{\text{RESET}}$ 入力による解除 … 429          |
| 21-4   | STOP モードの割り込み発生による解除 … 431                                 |
| 21-5   | STOP モードの $\overline{\text{RESET}}$ 入力による解除 … 432          |
| 22-1   | リセット機能のブロック図 … 433                                         |
| 22-2   | $\overline{\text{RESET}}$ 入力によるリセット・タイミング … 434            |
| 22-3   | ウォッチドッグ・タイマのオーバフローによるリセット・タイミング … 434                      |
| 22-4   | STOP モード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング … 434 |
| 23-1   | メモリ・サイズ切り替えレジスタのフォーマット … 440                               |
| ★ 23-2 | 内部拡張 RAM サイズ切り替えレジスタのフォーマット … 441                          |
| 23-3   | ページ・プログラム・モード・フロー・チャート … 444                               |
| 23-4   | ページ・プログラム・モード・タイミング … 445                                  |
| 23-5   | バイト・プログラム・モード・フロー・チャート … 446                               |
| 23-6   | バイト・プログラム・モード・タイミング … 447                                  |

## 図 の 目 次 (10/10)

| 図番号    | タイトル, ページ                                      |
|--------|------------------------------------------------|
| 23 - 7 | PROM の読み出しタイミング … 448                          |
| A - 1  | EV-9200GC-80 外形図 (参考) (単位 : mm) … 471          |
| A - 2  | EV-9200GC-80 基板取り付け推奨パターン (参考) (単位 : mm) … 472 |

## 表 の 目 次 (1/4)

| 表番号   | タイトル, ページ                                                          |
|-------|--------------------------------------------------------------------|
| 2-1   | 各端子の入出力回路タイプ … 24                                                  |
| 3-1   | ベクタ・テーブル … 34                                                      |
| 3-2   | 特殊機能レジスタ一覧 … 47                                                    |
| 3-3   | IEBus レジスタ一覧 … 51                                                  |
| 4-1   | ポートの機能 … 66                                                        |
| 4-2   | ポートの構成 … 68                                                        |
| ★ 4-3 | 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 … 83                                |
| 4-4   | マスク ROM 製品のマスク・オプションと $\mu$ PD78P098A との比較 … 89                    |
| 5-1   | クロック発生回路の構成 … 91                                                   |
| 5-2   | 分周回路 1 への設定とメイン・システム・クロック周波数の関係 … 97                               |
| 5-3   | CPU クロック ( $f_{CPU}$ ) 一覧 … 98                                     |
| 5-4   | CPU クロックの切り替えに要する最大時間 … 106                                        |
| 6-1   | タイマ/イベント・カウンタの種類と機能 … 110                                          |
| 6-2   | 16ビット・タイマ/イベント・カウンタのインターバル時間 … 111                                 |
| 6-3   | 16ビット・タイマ/イベント・カウンタの方形波出力範囲 … 112                                  |
| 6-4   | 16ビット・タイマ/イベント・カウンタの構成 … 112                                       |
| 6-5   | INTPO/TI00 端子の有効エッジと CRO0 のキャプチャ・トリガの有効エッジ … 115                   |
| 6-6   | 16ビット・タイマ/イベント・カウンタのインターバル時間 … 128                                 |
| 6-7   | 16ビット・タイマ/イベント・カウンタの方形波出力範囲 … 143                                  |
| 7-1   | 8ビット・タイマ/イベント・カウンタのインターバル時間 … 152                                  |
| 7-2   | 8ビット・タイマ/イベント・カウンタの方形波出力範囲 … 153                                   |
| 7-3   | 8ビット・タイマ/イベント・カウンタを<br>16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間 … 154 |
| 7-4   | 8ビット・タイマ/イベント・カウンタを<br>16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲 … 155  |
| 7-5   | 8ビット・タイマ/イベント・カウンタの構成 … 156                                        |
| 7-6   | 8ビット・タイマ/イベント・カウンタ 1 のインターバル時間 … 165                               |
| ★ 7-7 | 8ビット・タイマ/イベント・カウンタ 2 のインターバル時間 … 166                               |

## 表 の 目 次 (2/4)

| 表番号  | タイトル, ページ                                                                         |     |
|------|-----------------------------------------------------------------------------------|-----|
| 7-8  | 8ビット・タイマ/イベント・カウンタの方形波出力範囲 …                                                      | 168 |
| 7-9  | 2チャンネルの8ビット・タイマ/イベント・カウンタ (TM1, TM2) を<br>16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間 … | 170 |
| 7-10 | 2チャンネルの8ビット・タイマ/イベント・カウンタ (TM1, TM2) を<br>16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲 …  | 172 |
|      |                                                                                   | ★   |
| 8-1  | インターバル・タイマのインターバル時間 …                                                             | 175 |
| 8-2  | 時計用タイマの構成 …                                                                       | 176 |
| 8-3  | インターバル・タイマのインターバル時間 …                                                             | 180 |
| 9-1  | ウォッチドッグ・タイマの構成 …                                                                  | 181 |
| 9-2  | ウォッチドッグ・タイマの暴走検出時間 …                                                              | 186 |
| 9-3  | インターバル・タイマのインターバル時間 …                                                             | 187 |
| 10-1 | クロック出力制御回路の構成 …                                                                   | 190 |
| 11-1 | ブザー出力制御回路の構成 …                                                                    | 193 |
| 12-1 | A/D コンバータの構成 …                                                                    | 197 |
| 13-1 | D/A コンバータの構成 …                                                                    | 215 |
| 14-1 | チャンネル0, チャンネル1, チャンネル2の違い …                                                       | 219 |
| 14-2 | シリアル・インタフェース・チャンネル0の構成 …                                                          | 222 |
| 14-3 | SBIモードにおける各種の信号 …                                                                 | 257 |
| 15-1 | シリアル・インタフェース・チャンネル1の構成 …                                                          | 276 |
| 16-1 | シリアル・インタフェース・チャンネル2の構成 …                                                          | 316 |
| 16-2 | シリアル・インタフェース・チャンネル2の動作モードの設定一覧 …                                                  | 323 |
| 16-3 | メイン・システム・クロックとボー・レートの関係 …                                                         | 327 |
| 16-4 | ASCK 端子入力周波数とボー・レートの関係 (BRGC = 00H 設定時) …                                         | 328 |
| 16-5 | メイン・システム・クロックとボー・レートの関係 …                                                         | 336 |

## 表 の 目 次 (3/4)

| 表番号  | タイトル, ページ                                     |
|------|-----------------------------------------------|
| 16-6 | ASCK 端子入力周波数とポー・レートの関係 (BRGC = 00H 設定時) … 337 |
| 16-7 | 受信エラーの要因 … 342                                |
| 17-1 | リアルタイム出力ポートの構成 … 347                          |
| 17-2 | リアルタイム出力バッファ・レジスタに対する操作時の動作 … 349             |
| 17-3 | リアルタイム出力ポートの出力トリガ … 350                       |
| 18-1 | 割り込み要因一覧 … 352                                |
| 18-2 | 割り込み要求ソースに対する各種フラグ … 356                      |
| 18-3 | マスカブル割り込み要求発生から処理までの時間 … 368                  |
| 18-4 | 割り込み処理中に多重割り込み可能な割り込み要求 … 371                 |
| 18-5 | テスト入力要因一覧 … 374                               |
| 18-6 | テスト入力信号に対応する各種フラグ … 375                       |
| 19-1 | 外部メモリ拡張モード時の端子機能 … 377                        |
| 19-2 | 外部メモリ拡張モード時のポート 4-ポート 6 の端子の状態 … 377          |
| 19-3 | メモリ・サイズ切り替えレジスタのリセット時の値 … 382                 |
| 20-1 | 各通信モードにおける伝送速度, 最大伝送バイト数 … 390                |
| 20-2 | コントロール・ビットの内容 … 395                           |
| 20-3 | ロックされたスレーブ・ユニットに対するコントロール・フィールド … 396         |
| 20-4 | 電文長ビットの内容 … 396                               |
| 20-5 | スレーブ・ステータスの意味 … 401                           |
| 20-6 | IEBus コントローラの構成 … 404                         |
| 21-1 | HALT モード時の動作状態 … 427                          |
| 21-2 | HALT モードの解除後の動作 … 429                         |
| 21-3 | STOP モード時の動作状態 … 430                          |
| 21-4 | STOP モードの解除後の動作 … 432                         |
| 22-1 | 各ハードウェアのリセット後の状態 … 435                        |
| 23-1 | μPD78P098A とマスク ROM 製品の違い … 439               |

## 表 の 目 次 (4/4)

| 表番号  | タイトル, ページ                      |   |
|------|--------------------------------|---|
| 23-2 | メモリ・サイズ切り替えレジスタのリセット時の値 … 440  |   |
| 23-3 | 内部拡張 RAM サイズ切り替えレジスタの設定値 … 441 | ★ |
| 23-4 | PROM プログラミングの動作モード … 442       |   |
| 24-1 | オペランドの表現形式と記述方法 … 450          |   |



# 第1章 概 説

1

## 1.1 特 徴

○大容量 ROM, RAM 内蔵

| 品名         | 項目<br>(ROM) | データ・メモリ  |          |            |
|------------|-------------|----------|----------|------------|
|            |             | 内部高速 RAM | バッファ RAM | 内部拡張 RAM   |
| μPD78094   | 32 Kバイト     | 1024バイト  | 32バイト    | な し        |
| μPD78095   | 40 Kバイト     |          |          |            |
| μPD78096   | 48 Kバイト     |          |          |            |
| μPD78098A  | 60 Kバイト     |          |          | 2048バイト    |
| μPD78P098A | 60 Kバイト 注1  |          |          | 2048バイト 注2 |

注 1. メモリ・サイズ切り替えレジスタにより、内部 PROM 容量の変更可能。

2. 内部拡張 RAM サイズ切り替えレジスタにより、0, 2048 バイトを選択可能。

○外部メモリ拡張空間：64 K バイト

○高速(0.5 μs：メイン・システム・クロック 6.0 MHz 動作時)から超低速(122 μs：サブシステム・クロック 32.768 kHz 動作時)まで命令実行時間変更可能

○システム制御に適した命令セット

- ・全アドレス空間でビット処理可能
- ・乗除算命令内蔵

○I/O ポート：69本 (N-ch オープン・ドレーン：4本)

○IEBus™ コントローラ

- ・実効伝送速度：3.9 kbps/17 kbps/26 kbps
- ・動作電源電圧範囲：4.5~6.0 V

(クロック発生回路内の 2/3 分周回路使用時)

○8ビット分解能 A/D コンバータ：8 チャンネル

○8ビット分解能 D/A コンバータ：2 チャンネル

○シリアル・インタフェース：3 チャンネル

- ・3 線式/SBI/2 線式モード：1 チャンネル
- ・3 線式モード (自動送受信機能内蔵)：1 チャンネル
- ・3 線式/UART モード：1 チャンネル

○タイマ：5 チャンネル

- ・16ビット・タイマ/イベント・カウンタ：1 チャンネル
- ・8ビット・タイマ/イベント・カウンタ：2 チャンネル
- ・時計用タイマ：1 チャンネル
- ・ウォッチドッグ・タイマ：1 チャンネル

○ペクタ割り込み：23本

○テスト入力：2本

○2種類のクロック発振回路内蔵

(メイン・システム・クロックとサブシステム・クロック)

○動作電源電圧範囲：2.7-6.0 V

★  
★

## 1.2 用 途

車載オーディオ, CD チェンジャなど

## ★ 1.3 オーダ情報

| オーダ名称                                                     | パッケージ                     | 内部 ROM      |
|-----------------------------------------------------------|---------------------------|-------------|
| $\mu$ PD78094GC- $\times\times\times$ -3B9                | 80 ピン・プラスチック QFP (□14 mm) | マスク ROM     |
| $\mu$ PD78095GC- $\times\times\times$ -3B9                | //                        | //          |
| $\mu$ PD78096GC- $\times\times\times$ -3B9                | //                        | //          |
| $\mu$ PD78098AGC- $\times\times\times$ -3B9 <sup>注1</sup> | //                        | //          |
| $\mu$ PD78P098AGC-3B9 <sup>注1</sup>                       | //                        | ワン・タイム PROM |
| $\mu$ PD78P098AKK-T <sup>注2</sup>                         | 80 ピン・セラミック WQFN (□14 mm) | EPROM       |

注 1. 開発中

2. 計画中

備考  $\times\times\times$ は ROM コード番号です。

## ★ 1.4 品質水準

| オーダ名称                                                     | パッケージ                    | 品質水準        |
|-----------------------------------------------------------|--------------------------|-------------|
| $\mu$ PD78094GC- $\times\times\times$ -3B9                | 80ピン・プラスチック QFP (□14 mm) | 標準(一般電子機器用) |
| $\mu$ PD78095GC- $\times\times\times$ -3B9                | //                       | //          |
| $\mu$ PD78096GC- $\times\times\times$ -3B9                | //                       | //          |
| $\mu$ PD78098AGC- $\times\times\times$ -3B9 <sup>注1</sup> | //                       | //          |
| $\mu$ PD78P098AGC-3B9 <sup>注1</sup>                       | //                       | //          |
| $\mu$ PD78P098AKK-T <sup>注2</sup>                         | 80ピン・セラミック WQFN (□14 mm) | 適用外(機能評価用)  |

注 1. 開発中

2. 計画中

備考  $\times\times\times$ は ROM コード番号です。

$\mu$ PD78P098AKK-T は, お客様の装置の量産製品に使用されることを意図した信頼性を保持しておりません。実験または機能評価用にのみご使用ください。

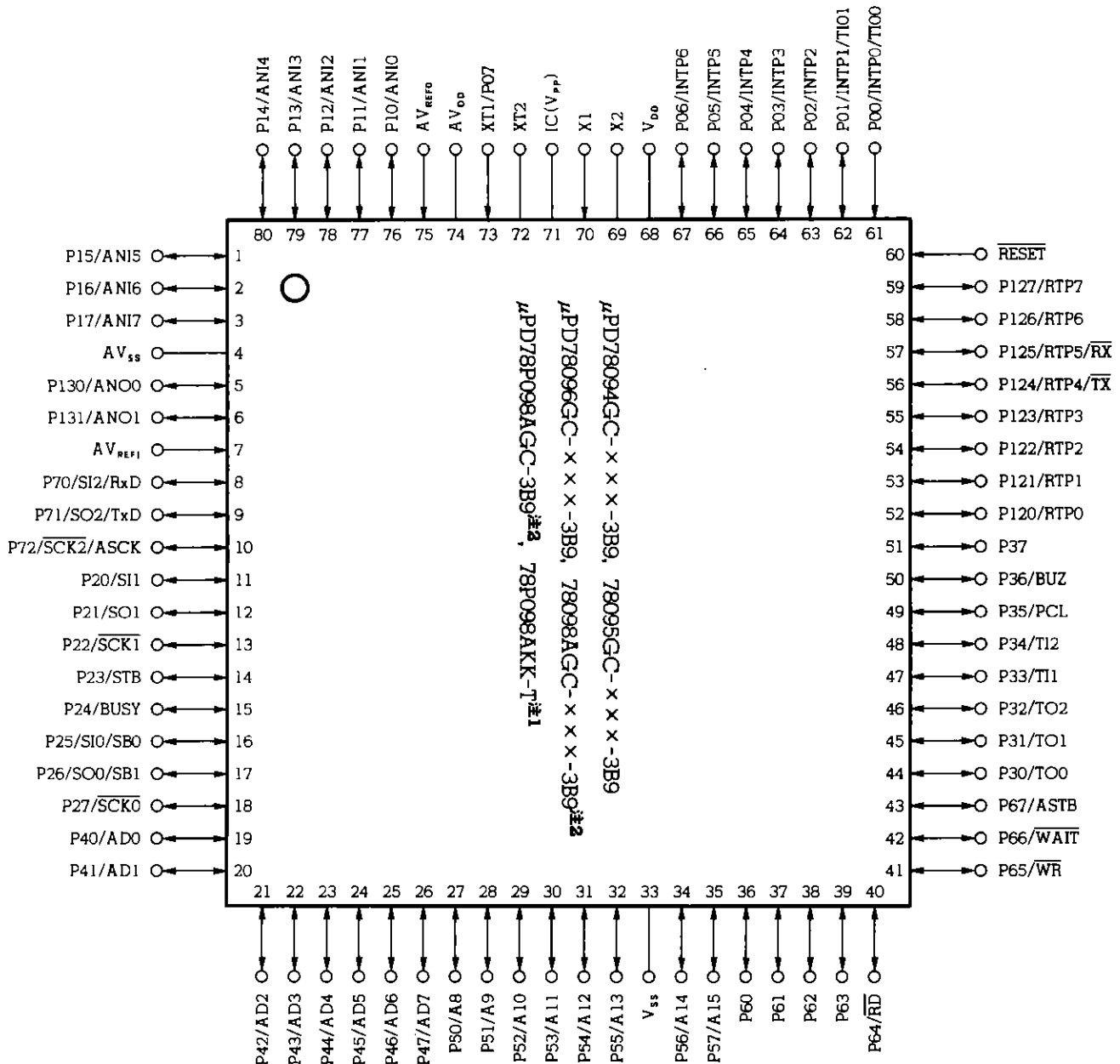
品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(IEI-620)をご覧ください。

## 1.5 端子接続図 (Top View)

### (1) 通常動作モード

80ピン・プラスチック QFP (□14 mm)

80ピン・セラミック WQFN (□14 mm)<sup>注1</sup>



注 1. 計画中

2. 開発中

注意 1. IC (Internally Connected) 端子は V<sub>SS</sub> に直接接続してください。

2. AV<sub>DD</sub> 端子は V<sub>DD</sub> に接続してください。

3. AV<sub>SS</sub> 端子は V<sub>SS</sub> に接続してください。

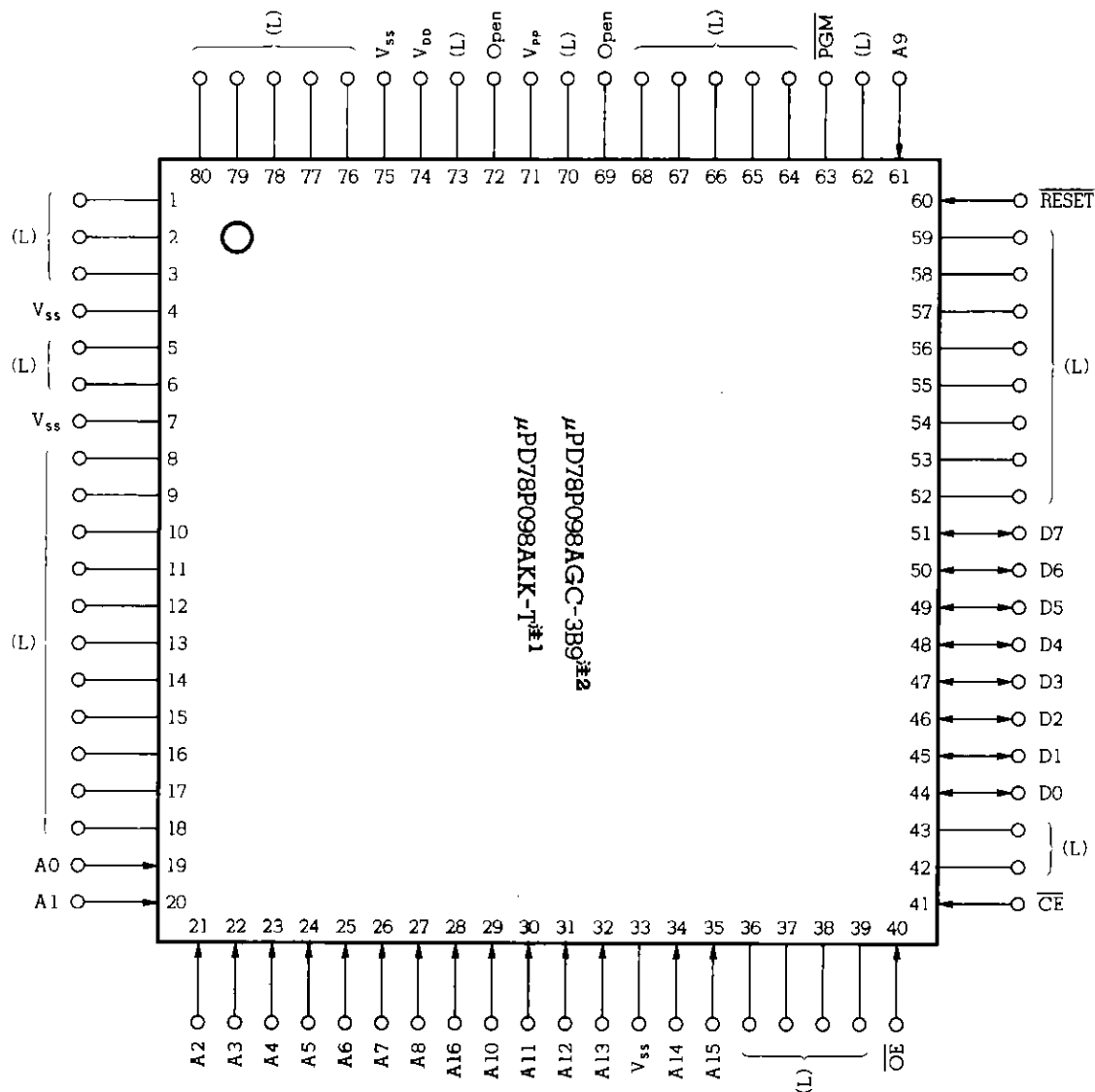
備考 ( ) 内は μPD78P098A のとき。

|                                       |                                    |                    |                               |
|---------------------------------------|------------------------------------|--------------------|-------------------------------|
| P00-P07                               | : Port0                            | PCL                | : Programmable Clock          |
| P10-P17                               | : Port1                            | BUZ                | : Buzzer Clock                |
| P20-P27                               | : Port2                            | STB                | : Strobe                      |
| P30-P37                               | : Port3                            | BUSY               | : Busy                        |
| P40-P47                               | : Port4                            | AD0-AD7            | : Address/Data Bus            |
| P50-P57                               | : Port5                            | A8-A15             | : Address Bus                 |
| P60-P67                               | : Port6                            | $\overline{RD}$    | : Read Strobe                 |
| P70-P72                               | : Port7                            | $\overline{WR}$    | : Write Strobe                |
| P120-P127                             | : Port12                           | $\overline{WAIT}$  | : Wait                        |
| P130, P131                            | : Port13                           | ASTB               | : Address Strobe              |
| RTP0-RTP7                             | : Real-Time Output Port            | X1, X2             | : Crystal (Main System Clock) |
| INTP0-INTP6                           | : Interrupt From Peripherals       | XT1, XT2           | : Crystal (Subsystem Clock)   |
| TI00, TI01                            | : Timer Input                      | $\overline{RESET}$ | : Reset                       |
| TI1, TI2                              | : Timer Input                      | ANI0-ANI7          | : Analog Input                |
| TO0-TO2                               | : Timer Output                     | ANO0, ANO1         | : Analog Output               |
| SB0, SB1                              | : Serial Bus                       | $AV_{DD}$          | : Analog Power Supply         |
| SI0-SI2                               | : Serial Input                     | $AV_{SS}$          | : Analog Ground               |
| SO0-SO2                               | : Serial Output                    | $AV_{REF0.1}$      | : Analog Reference Voltage    |
| $\overline{SCK0}$ - $\overline{SCK2}$ | : Serial Clock                     | $V_{DD}$           | : Power Supply                |
| RxD                                   | : Receive Data (UART)              | $V_{PP}$           | : Programming Power Supply    |
| TxD                                   | : Transmit Data (UART)             | $V_{SS}$           | : Ground                      |
| ASCK                                  | : Asynchronous Serial Clock        | IC                 | : Internally Connected        |
| $\overline{RX}$                       | : Receive Data (IEBus Controller)  |                    |                               |
| $\overline{TX}$                       | : Transmit Data (IEBus Controller) |                    |                               |

(2) PROM プログラミング・モード

80 ピン・プラスチック QFP (□14 mm)

80ピン・セラミック WQFN (□14 mm)<sup>注1</sup>



注 1. 計画中

2. 開発中

注意 1. (L) : 個別にプルダウン抵抗を介して  $V_{ss}$  に接続してください。

2.  $V_{ss}$  : グランドに接続してください。

3.  $\overline{RESET}$  : ロウ・レベルにしてください。

4. Open : 何も接続しないでください。

A0-A16 : Address Bus

$\overline{OE}$  : Output Enable

$V_{DD}$  : Power Supply

D0-D7 : Data Bus

$\overline{PGM}$  : Program

$V_{PP}$  : Programming Power Supply

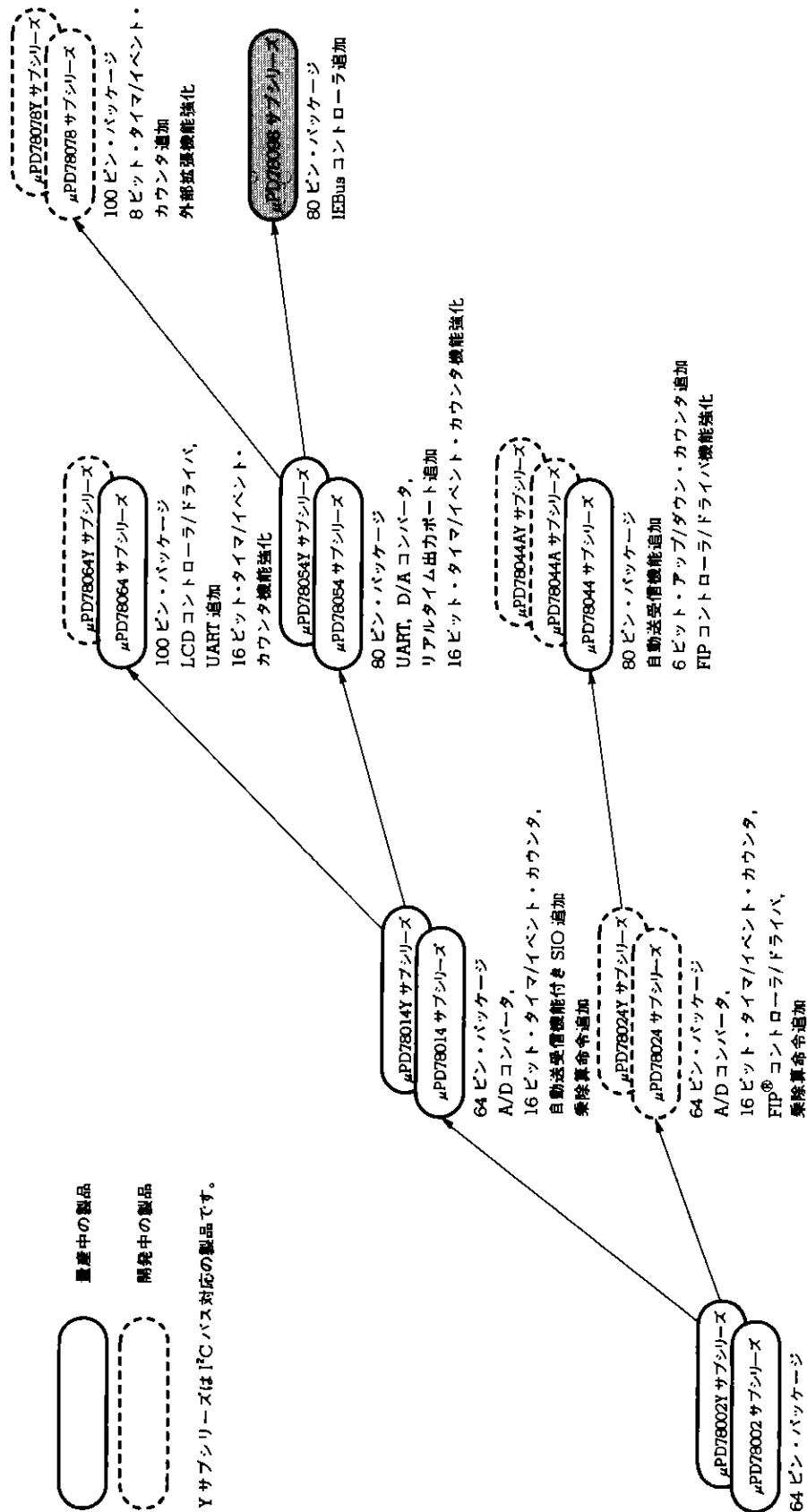
$\overline{CE}$  : Chip Enable

$\overline{RESET}$  : Reset

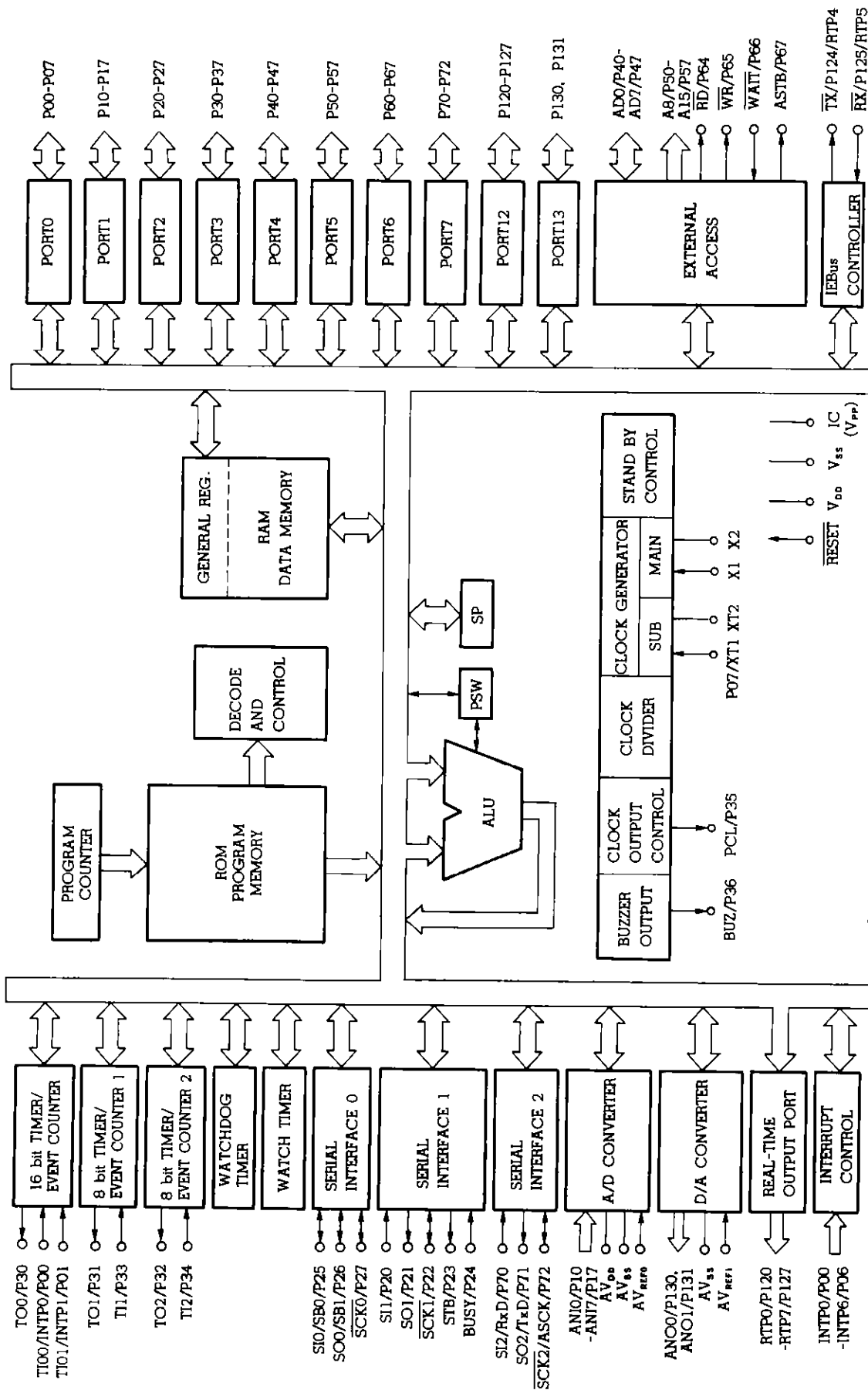
$V_{ss}$  : Ground

★

## 1.6 78K/O シリーズの展開



## 1.7 ブロック図



注意 1. 内部 ROM 容量は製品によって異なります。

2. ( ) 内は、 $\mu$ PD78P098A のときです。

## 1.8 機能概要

| 品 名                    |                      |    | μPD78094                                                                                                                                                                             | μPD78095 | μPD78096 | 注1<br>μPD78098A | 注1,2<br>μPD78P098A |
|------------------------|----------------------|----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------|----------|-----------------|--------------------|
| 項 目                    | ROM                  | 構造 | マスク ROM                                                                                                                                                                              |          |          |                 | PROM               |
|                        |                      | 容量 | 32 Kバイト                                                                                                                                                                              | 40 Kバイト  | 48 Kバイト  | 60 Kバイト         | 60 Kバイト注3          |
| 内部メモリ                  | 内部高速 RAM             | 容量 | 1024バイト                                                                                                                                                                              |          |          |                 |                    |
|                        | バッファ RAM             | 容量 | 32バイト                                                                                                                                                                                |          |          |                 |                    |
|                        | 内部拡張 RAM             | 容量 | なし                                                                                                                                                                                   |          |          | 2048バイト         | 2048バイト注4          |
|                        | メモリ空間                |    | 64 Kバイト                                                                                                                                                                              |          |          |                 |                    |
| 汎用レジスタ                 |                      |    | 8 ビット×8×4 バンク                                                                                                                                                                        |          |          |                 |                    |
| インスト<br>ラクション・<br>サイクル | メイン・システム・<br>クロック選択時 |    | 0.5 μs/1.0 μs/2.0 μs/4.0 μs/8.0 μs/16.0 μs (6.0 MHz 動作時)                                                                                                                             |          |          |                 |                    |
|                        | サブシステム・<br>クロック選択時   |    | 122 μs (32.768 kHz 動作時)                                                                                                                                                              |          |          |                 |                    |
| 命令セット                  |                      |    | <ul style="list-style-type: none"> <li>・16 ビット演算</li> <li>・乗除算 (8 ビット×8 ビット, 16 ビット÷8 ビット)</li> <li>・ビット操作 (セット, リセット, テスト, ブール演算)</li> <li>・BCD 補正 など</li> </ul>                    |          |          |                 |                    |
| I/O ポート                |                      |    | <ul style="list-style-type: none"> <li>・合計 : 69本</li> <li>・CMOS 入力 : 2本</li> <li>・CMOS 入出力 : 63本</li> <li>・N-ch オープン・ドレイン入出力 : 4本</li> </ul>                                         |          |          |                 |                    |
| IEBusコントローラ            |                      |    | 実効伝送速度 : 3.9 kbps/17 kbps/26 kbps                                                                                                                                                    |          |          |                 |                    |
| A/D コンバータ              |                      |    | 8 ビット分解能×8 チャンネル                                                                                                                                                                     |          |          |                 |                    |
| D/A コンバータ              |                      |    | 8 ビット分解能×2 チャンネル                                                                                                                                                                     |          |          |                 |                    |
| シリアル・インタフェース           |                      |    | <ul style="list-style-type: none"> <li>・3 線式/SBI/2 線式モード選択可能 : 1 チャンネル</li> <li>・3 線式モード (最大32バイト自動送受信機能内蔵) : 1 チャンネル</li> <li>・3 線式/UART モード選択可能 : 1 チャンネル</li> </ul>               |          |          |                 |                    |
| タイマ                    |                      |    | <ul style="list-style-type: none"> <li>・16 ビット・タイマ/イベント・カウンタ : 1 チャンネル</li> <li>・8 ビット・タイマ/イベント・カウンタ : 2 チャンネル</li> <li>・時計用タイマ : 1 チャンネル</li> <li>・ウォッチドッグ・タイマ : 1 チャンネル</li> </ul> |          |          |                 |                    |
| タイマ出力                  |                      |    | 3 本 (14 ビット PWM 出力可能 1 本)                                                                                                                                                            |          |          |                 |                    |
| クロック出力                 |                      |    | 15.6 kHz, 31.3 kHz, 62.5 kHz, 125 kHz, 250 kHz, 500 kHz, 1.0 MHz,<br>2.0 MHz, 4.0 MHz (メイン・システム・クロック 6.0 MHz 動作時)<br>32.768 kHz (サブシステム・クロック 32.768 kHz 動作時)                         |          |          |                 |                    |

注 1. 開発中。

2. μPD78P098A は μPD78094, 78095, 78096, 78098A に対応する PROM 製品です。

3. メモリ・サイズ切り替えレジスタにより, 内部 PROM 容量の変更可能。

4. 内部拡張 RAM サイズ切り替えレジスタにより, 0, 2048バイトを選択可能。



| 項 目 \ 品 名   |                 | $\mu$ PD78094                                                                              | $\mu$ PD78095 | $\mu$ PD78096 | $\mu$ PD78098A <sup>注1</sup> | $\mu$ PD78P098A <sup>注1,2</sup> |
|-------------|-----------------|--------------------------------------------------------------------------------------------|---------------|---------------|------------------------------|---------------------------------|
| ブザー出力       |                 | 977 Hz, 1.95 kHz, 3.9 kHz, 7.8 kHz<br>(メイン・システム・クロック 6.0 MHz 動作時)                          |               |               |                              |                                 |
| ベクタ<br>割り込み | マスカブル<br>割り込み   | 内部：14 本, 外部：7 本                                                                            |               |               |                              |                                 |
|             | ノンマスカブル<br>割り込み | 内部：1 本                                                                                     |               |               |                              |                                 |
|             | ソフトウェア<br>割り込み  | 内部：1 本                                                                                     |               |               |                              |                                 |
| テスト入力       |                 | 内部：1 本, 外部：1 本                                                                             |               |               |                              |                                 |
| 動作電源電圧範囲    |                 | $V_{DD} = 2.7 - 6.0 \text{ V}$                                                             |               |               |                              |                                 |
| パッケージ       |                 | ・80ピン・プラスチック QFP (□14 mm)<br>・80ピン・セラミック WQFN (□14 mm) <sup>注3</sup> ( $\mu$ PD78P098A のみ) |               |               |                              |                                 |

注 1. 開発中。

2.  $\mu$ PD78P098A は  $\mu$ PD78094, 78095, 78096, 78098A に対応する PROM 製品です。

3. 計画中。

{x ∈}

## 第2章 端子機能

2

### 2.1 端子機能一覧

#### 2.1.1 通常動作モード時の端子

##### (1) ポート端子 (1/3)

| 端子名称              | 入出力 | 機 能                                                                                                 |                                                              | リセット時                    | 兼用端子       |
|-------------------|-----|-----------------------------------------------------------------------------------------------------|--------------------------------------------------------------|--------------------------|------------|
| P00               | 入 力 | ポート 0。<br>8ビット入出力ポート。                                                                               | 入力専用。                                                        | 入 力                      | INTP0/TIO0 |
| P01               | 入出力 |                                                                                                     | 1ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 | 入 力                      | INTP1/TIO1 |
| P02               |     |                                                                                                     |                                                              |                          | INTP2      |
| P03               |     |                                                                                                     |                                                              |                          | INTP3      |
| P04               |     |                                                                                                     |                                                              |                          | INTP4      |
| P05               |     |                                                                                                     |                                                              |                          | INTP5      |
| P06               |     |                                                                                                     |                                                              |                          | INTP6      |
| P07 <sup>注1</sup> | 入 力 |                                                                                                     | 入力専用。                                                        | 入 力                      | XT1        |
| P10~P17           | 入出力 | ポート 1。<br>8ビット入出力ポート。<br>1ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 <sup>注2</sup> | 入 力                                                          | ANIO~ANI7                |            |
| P20               | 入出力 | ポート 2。<br>8ビット入出力ポート。<br>1ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。               | 入 力                                                          | SI1                      |            |
| P21               |     |                                                                                                     |                                                              | SO1                      |            |
| P22               |     |                                                                                                     |                                                              | $\overline{\text{SCK1}}$ |            |
| P23               |     |                                                                                                     |                                                              | STB                      |            |
| P24               |     |                                                                                                     |                                                              | BUSY                     |            |
| P25               |     |                                                                                                     |                                                              | SI0/SB0                  |            |
| P26               |     |                                                                                                     |                                                              | SO0/SB1                  |            |
| P27               |     |                                                                                                     |                                                              | $\overline{\text{SCK0}}$ |            |

注 1. P07/XT1 端子を入力ポートとして使用するときは、プロセッサ・クロック・コントロール・レジスタのビット 6 (FRC) に 1 を設定してください (サブシステム・クロック発振回路の内蔵フィードバック抵抗は使用しないでください)。

2. P10/ANIO-P17/ANI7 端子を A/D コンバータのアナログ入力として使用する時、プルアップ抵抗が自動的に使用されなくなります。

## (1) ポート端子 (2/3)

| 端子名称    | 入出力 | 機 能                                                                                                                                 |                                                                                                                               | リセット時 | 兼用端子                   |
|---------|-----|-------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------|-------|------------------------|
| P30     | 入出力 | ポート 3。<br>8 ビット入出力ポート。<br>1 ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。                                             |                                                                                                                               | 入 力   | TO0                    |
| P31     |     |                                                                                                                                     |                                                                                                                               |       | TO1                    |
| P32     |     |                                                                                                                                     |                                                                                                                               |       | TO2                    |
| P33     |     |                                                                                                                                     |                                                                                                                               |       | TI1                    |
| P34     |     |                                                                                                                                     |                                                                                                                               |       | TI2                    |
| P35     |     |                                                                                                                                     |                                                                                                                               |       | PCL                    |
| P36     |     |                                                                                                                                     |                                                                                                                               |       | BUZ                    |
| P37     |     |                                                                                                                                     |                                                                                                                               |       | —                      |
| P40-P47 | 入出力 | ポート 4。<br>8 ビット入出力ポート。<br>8 ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。<br>立ち下がりエッジの検出により、テスト入力フラグ (KRIF) を 1 にセット。 |                                                                                                                               | 入 力   | AD0-AD7                |
| P50-P57 | 入出力 | ポート 5。<br>8 ビット入出力ポート。<br>LED を直接駆動可能。<br>1 ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。                             |                                                                                                                               | 入 力   | A8-A15                 |
| P60     | 入出力 | ポート 6。<br>8 ビット入出力ポート。<br>1 ビット単位で入力/出力の指定可能。                                                                                       | N-ch オープン・ドレイン入出力ポート。<br>マスク ROM 製品のみ、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。<br>LED を直接駆動可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 | 入 力   | —                      |
| P61     |     |                                                                                                                                     |                                                                                                                               |       | —                      |
| P62     |     |                                                                                                                                     |                                                                                                                               |       | —                      |
| P63     |     |                                                                                                                                     |                                                                                                                               |       | —                      |
| P64     |     |                                                                                                                                     |                                                                                                                               |       | $\overline{RD}$        |
| P65     |     |                                                                                                                                     |                                                                                                                               |       | $\overline{WR}$        |
| P66     |     |                                                                                                                                     |                                                                                                                               |       | $\overline{WAIT}$      |
| P67     |     |                                                                                                                                     |                                                                                                                               |       | ASTB                   |
| P70     | 入出力 | ポート 7。<br>3 ビット入出力ポート。<br>1 ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。                                             |                                                                                                                               | 入 力   | SI2/RxD                |
| P71     |     |                                                                                                                                     |                                                                                                                               |       | SO2/TxD                |
| P72     |     |                                                                                                                                     |                                                                                                                               |       | $\overline{SCK2}/ASCK$ |

## (1) ポート端子 (3/3)

| 端子名称       | 入出力 | 機 能                                                                                   | リセット時 | 兼用端子                         |
|------------|-----|---------------------------------------------------------------------------------------|-------|------------------------------|
| P120-P123  | 入出力 | ポート12。<br>8ビット入出力ポート。<br>1ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 | 入 力   | RTP0-RTP3                    |
| P124       |     |                                                                                       |       | RTP4/ $\overline{\text{TX}}$ |
| P125       |     |                                                                                       |       | RTP5/ $\overline{\text{RX}}$ |
| P126, P127 |     |                                                                                       |       | RTP6, RTP7                   |
| P130, P131 | 入出力 | ポート13。<br>2ビット入出力ポート。<br>1ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 | 入 力   | AN00, AN01                   |

## (2) ポート以外の端子 (1/2)

| 端子名称      | 入出力 | 機 能                                                       | リセット時 | 兼用端子      |
|-----------|-----|-----------------------------------------------------------|-------|-----------|
| INTP0     | 入 力 | 有効エッジ（立ち上がりエッジ，立ち下がりエッジ，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み入力。 | 入 力   | P00/TI00  |
| INTP1     |     |                                                           |       | P01/TI01  |
| INTP2     |     |                                                           |       | P02       |
| INTP3     |     |                                                           |       | P03       |
| INTP4     |     |                                                           |       | P04       |
| INTP5     |     |                                                           |       | P05       |
| INTP6     |     |                                                           |       | P06       |
| SI0       | 入 力 | シリアル・インタフェースのシリアル・データ入力。                                  | 入 力   | P25/SB0   |
| SI1       |     |                                                           |       | P20       |
| SI2       |     |                                                           |       | P70/RxD   |
| SO0       | 出 力 | シリアル・インタフェースのシリアル・データ出力。                                  | 入 力   | P26/SB1   |
| SO1       |     |                                                           |       | P21       |
| SO2       |     |                                                           |       | P71/TxD   |
| SB0       | 入出力 | シリアル・インタフェースのシリアル・データ入力/出力。                               | 入 力   | P25/SI0   |
| SB1       |     |                                                           |       | P26/SO0   |
| SCK0      | 入出力 | シリアル・インタフェースのシリアル・クロック入力/出力。                              | 入 力   | P27       |
| SCK1      |     |                                                           |       | P22       |
| SCK2      |     |                                                           |       | P72/ASCK  |
| STB       | 出 力 | シリアル・インタフェース自動送受信用ストローブ出力。                                | 入 力   | P23       |
| BUSY      | 入 力 | シリアル・インタフェース自動送受信用ビジー入力。                                  | 入 力   | P24       |
| RxD       | 入 力 | アシンクロナス・シリアル・インタフェース用シリアル・データ入力。                          | 入 力   | P70/SI2   |
| TxD       | 出 力 | アシンクロナス・シリアル・インタフェース用シリアル・データ出力。                          | 入 力   | P71/SO2   |
| ASCK      | 入 力 | アシンクロナス・シリアル・インタフェース用シリアル・クロック入力。                         | 入 力   | P72/SCK2  |
| TI00      | 入 力 | 16ビット・タイマ（TM0）への外部カウント・クロック入力。                            | 入 力   | P00/INTP0 |
| TI01      |     | キャプチャ・レジスタ（CR00）へのキャプチャ・トリガ信号入力。                          |       | P01/INTP1 |
| TI1       |     | 8ビット・タイマ（TM1）への外部カウント・クロック入力。                             |       | P33       |
| TI2       |     | 8ビット・タイマ（TM2）への外部カウント・クロック入力。                             |       | P34       |
| TO0       | 出 力 | 16ビット・タイマ出力（14ビット PWM 出力と兼用）。                             | 入 力   | P30       |
| TO1       |     | 8ビット・タイマ出力。                                               |       | P31       |
| TO2       |     |                                                           |       | P32       |
| PCL       | 出 力 | クロック出力（メイン・システム・クロック，サブシステム・クロックのトリミング用）。                 | 入 力   | P35       |
| BUZ       | 出 力 | ブザー出力。                                                    | 入 力   | P36       |
| RTP0-RTP7 | 出 力 | トリガに同期してデータを出力するリアルタイム出力ポート。                              | 入 力   | P120-P127 |

## (2) ポート以外の端子 (2/2)

| 端子名称                      | 入出力 | 機 能                                                   | リセット時 | 兼用端子       |
|---------------------------|-----|-------------------------------------------------------|-------|------------|
| TX                        | 出 力 | IEBus コントローラ用データ出力。                                   | 入 力   | P124/RTP4  |
| RX                        | 入 力 | IEBus コントローラ用データ入力。                                   | 入 力   | P125/RTP5  |
| AD0-AD7                   | 入出力 | 外部にメモリを拡張する場合の、下位アドレス/データ・バス。                         | 入 力   | P40-P47    |
| A8-A15                    | 出 力 | 外部にメモリを拡張する場合の、上位アドレス・バス。                             | 入 力   | P50-P57    |
| $\overline{\text{RD}}$    | 出 力 | 外部メモリのリード動作用ストロブ信号出力。                                 | 入 力   | P64        |
| $\overline{\text{WR}}$    |     | 外部メモリのライト動作用ストロブ信号出力。                                 |       | P65        |
| $\overline{\text{WAIT}}$  | 入 力 | 外部メモリ・アクセス時のウェイト挿入。                                   | 入 力   | P66        |
| ASTB                      | 出 力 | 外部メモリをアクセスするために、ポート 4, 5 に出力されるアドレス情報を外部でラッチするストロブ出力。 | 入 力   | P67        |
| ANIO-ANI7                 | 入 力 | A/D コンバータのアナログ入力。                                     | 入 力   | P10-P17    |
| ANO0, ANO1                | 出 力 | D/A コンバータのアナログ出力。                                     | 入 力   | P130, P131 |
| AV <sub>REF0</sub>        | 入 力 | A/D コンバータの基準電圧入力。                                     | —     | —          |
| AV <sub>REF1</sub>        | 入 力 | D/A コンバータの基準電圧入力。                                     | —     | —          |
| AV <sub>DD</sub>          | —   | A/D コンバータのアナログ電源。V <sub>DD</sub> に接続。                 | —     | —          |
| AV <sub>SS</sub>          | —   | A/D コンバータのグランド電位。V <sub>SS</sub> に接続。                 | —     | —          |
| $\overline{\text{RESET}}$ | 入 力 | システム・リセット入力。                                          | —     | —          |
| X1                        | 入 力 | メイン・システム・クロック発振用クリスタル接続。                              | —     | —          |
| X2                        | —   |                                                       | —     | —          |
| XT1                       | 入 力 | サブシステム・クロック発振用クリスタル接続。                                | 入 力   | P07        |
| XT2                       | —   |                                                       | —     | —          |
| V <sub>DD</sub>           | —   | 正電源。                                                  | —     | —          |
| V <sub>PP</sub>           | —   | プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時は、V <sub>SS</sub> に接続。 | —     | —          |
| V <sub>SS</sub>           | —   | グランド電位。                                               | —     | —          |
| IC                        | —   | 内部接続。V <sub>SS</sub> に直接接続。                           | —     | —          |

## 2.1.2 PROM プログラミング・モード時の端子 (μPD78P098A のみ)

| 端子名称                      | 入出力 | 機 能                                                                                                                           |
|---------------------------|-----|-------------------------------------------------------------------------------------------------------------------------------|
| $\overline{\text{RESET}}$ | 入 力 | PROM プログラミング・モード設定。<br>V <sub>PP</sub> 端子に +5 V または +12.5 V, $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると、PROM プログラミング・モードになります。 |
| V <sub>PP</sub>           | 入 力 | PROM プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加。                                                                                  |
| A0-A16                    | 入 力 | アドレス・バス。                                                                                                                      |
| D0-D7                     | 入出力 | データ・バス。                                                                                                                       |
| $\overline{\text{CE}}$    | 入 力 | PROM イネーブル入力/プログラム・パルス入力。                                                                                                     |
| $\overline{\text{OE}}$    | 入 力 | PROM へのリード・ストロブ入力。                                                                                                            |
| $\overline{\text{PGM}}$   | 入 力 | PROM プログラミング・モード時のプログラム/プログラム・インヒビット入力。                                                                                       |
| V <sub>DD</sub>           | —   | 正電源。                                                                                                                          |
| V <sub>SS</sub>           | —   | グランド電位。                                                                                                                       |

## 2.2 端子機能の説明

### 2.2.1 P00-P07 (Port0)

8ビットの入出力ポートです。入出力ポートのほかに、外部割り込み入力、タイマへの外部カウント・クロック入力、キャプチャ・トリガ信号入力、サブシステム・クロック発振用クリスタル接続機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

P00, P07は入力専用ポート, P01-P06は入出力ポートとして機能します。

P01-P06はポート・モード・レジスタ0により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

#### (2) コントロール・モード

外部割り込み入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続として機能します。

##### (a) INTPO-INTP6

INTPO-INTP6は、有効エッジ（立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み入力端子です。また、INTPO, INTP1は、有効エッジの入力により、16ビット・タイマ/イベント・カウンタのキャプチャ・トリガ信号入力端子にもなります。

##### (b) TIO0

16ビット・タイマ/イベント・カウンタへの外部カウント・クロック入力端子です。

##### (c) TIO1

16ビット・タイマ/イベント・カウンタのキャプチャ・レジスタ（CR00）へのキャプチャ・トリガ信号入力端子です。

##### (d) XT1

サブシステム・クロック発振用クリスタル接続端子です。



### 2.2.2 P10-P17 (Port1)

8ビットの入出力ポートです。入出力ポートのほかに A/D コンバータのアナログ入力機能があります。  
1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ 1 により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ L により、プルアップ抵抗を接続できます。

#### (2) コントロール・モード

A/D コンバータのアナログ入力端子として機能します。アナログ入力として指定した端子は、プルアップ抵抗が自動的に使用されなくなります。

### 2.2.3 P20-P27 (Port2)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジー入力、ストローブ出力機能があります。  
1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ 2 により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ L により、プルアップ抵抗を接続できます。

#### (2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ビジー入力、ストローブ出力として機能します。

##### (a) SIO, SI1, SO0, SO1

シリアル・インタフェースのシリアル・データの入出力端子です。

##### (b) $\overline{\text{SCK0}}$ , $\overline{\text{SCK1}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

##### (c) SB0, SB1

NEC 標準シリアル・バス・インタフェース用入出力端子です。

**(d) BUSY**

シリアル・インタフェース自動送受信用ビジー入力端子です。

**(e) STB**

シリアル・インタフェース自動送受信用ストローブ出力端子です。

**注意** P22/ $\overline{\text{SCK1}}$ , P27/ $\overline{\text{SCK0}}$  端子をシリアル・クロック出力として使用するとき, PM22, PM27に0を, 出力ラッチに1を設定してください。

**2.2.4 P30-P37 (Port3)**

8ビットの入出力ポートです。入出力ポートのほかにタイマの入出力, クロック出力, ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

**(1) ポート・モード**

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3により, 1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ1により, プルアップ抵抗を接続できます。

**(2) コントロール・モード**

タイマの入出力, クロック出力, ブザー出力として機能します。

**(a) TI1, TI2**

8ビット・タイマ/イベント・カウンタへの外部クロック入力端子です。

**(b) TO0-TO2**

タイマ出力端子です。

**(c) PCL**

クロック出力端子です。

**(d) BUZ**

ブザー出力端子です。

### 2.2.5 P40-P47 (Port4)

8ビットの入出力ポートです。入出力ポートのほかにアドレス/データ・バス機能があります。

立ち下がリエッジの検出により、テスト入力フラグ (KRIF) を1にセットできます。

8ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。メモリ拡張モード・レジスタにより、8ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

#### (2) コントロール・モード

外部メモリ拡張モード時の下位アドレス/データ・バス端子 (AD0-AD7) として機能します。アドレス/データ・バスとして使用した端子は、プルアップ抵抗が自動的に使用されなくなります。

### 2.2.6 P50-P57 (Port5)

8ビットの入出力ポートです。入出力ポートのほかにアドレス・バス機能があります。

LEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

#### (2) コントロール・モード

外部メモリ拡張モード時の上位アドレス・バス端子 (A8-A15) として機能します。アドレス・バスとして使用した端子は、プルアップ抵抗が自動的に使用されなくなります。

### 2.2.7 P60-P67 (Port6)

8ビットの入出力ポートです。入出力ポートのほかに外部メモリ拡張モード時の制御機能があります。

P60-P63はLEDを直接駆動可能です。

1ビット単位で次のような動作モードを指定できます。

**(1) ポート・モード**

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ6により、1ビット単位で入力ポートまたは出力ポートに指定できます。

P60-P63はN-chオープン・ドレインになっています。マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵ができます。

P64-P67を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

**(2) コントロール・モード**

外部メモリ拡張モード時の制御信号出力端子 ( $\overline{RD}$ ,  $\overline{WR}$ ,  $\overline{WAIT}$ ,  $\overline{ASTB}$ ) として機能します。制御信号出力として使用した端子は、プルアップ抵抗が自動的に使用されなくなります。

**注意** 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66を入出力ポートとして使用することができます。

**2.2.8 P70-P72 (Port7)**

3ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

**(1) ポート・モード**

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ7により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタLにより、プルアップ抵抗を接続できます。

**(2) コントロール・モード**

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

**(a) SI2, SO2**

シリアル・インタフェースのシリアル・データの入出力端子です。

**(b)  $\overline{SCK2}$** 

シリアル・インタフェースのシリアル・クロックの入出力端子です。

**(c) RxD, TxD**

アシンクロナス・シリアル・インタフェースのシリアル・データの入出力端子です。

**(d) ASCK**

アシンクロナス・シリアル・インタフェースのシリアル・クロックの入力端子です。

### 2.2.9 P120-P127 (Port12)

8ビットの入出力ポートです。入出力ポートのほかにリアルタイム出力ポート機能があります。

さらに、P124、P125は、IEBusコントローラのデータ入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ12により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、プルアップ抵抗を接続できます。

#### (2) コントロール・モード

##### (a) リアルタイム出力ポート機能 (RTPO-RTP7)

トリガに同期してデータを出力するリアルタイム出力ポートとして機能します。

##### (b) IEBus コントローラ機能 (P124, P125のみ: $\overline{TX}$ , $\overline{RX}$ )

IEBus コントローラのデータ入出力ポートとして機能します。データ入出力として使用した端子は、プルアップ抵抗が自動的に使用されなくなります。

### 2.2.10 P130, P131 (Port13)

2ビットの入出力ポートです。入出力ポートのほかに D/A コンバータのアナログ出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ13により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、プルアップ抵抗を接続できます。

#### (2) コントロール・モード

D/A コンバータのアナログ出力 (ANO0, ANO1) として機能します。

**注意**  $AV_{REF} < V_{DD}$  で D/A コンバータを 1 チャンネルのみで使用しているときは、アナログ出力として使用していない端子に次に示すいずれかの処置をしてください。

- ・ポート・モード・レジスタ (PM13 $\times$ ) に 1 を設定して (入力モード)、 $V_{SS}$  に接続する。
- ・ポート・モード・レジスタ (PM13 $\times$ ) に 0 (出力モード)、出力ラッチに 0 を設定して、ロウ・レベルを出力する。

★

**2.2.11  $AV_{REF0}$** 

A/D コンバータの基準電圧入力端子です。

A/D コンバータを使用しない場合は、 $V_{SS}$  に接続してください。

**2.2.12  $AV_{REF1}$** 

D/A コンバータの基準電圧入力端子です。

D/A コンバータを使用しない場合は、 $V_{DD}$  に接続してください。

**2.2.13  $AV_{DD}$** 

A/D コンバータのアナログ電源端子です。A/D コンバータを使用しないときでも、常に  $V_{DD}$  端子と同電位で使用してください。

**2.2.14  $AV_{SS}$** 

A/D コンバータのグラウンド電位端子です。A/D コンバータを使用しないときでも、常に  $V_{SS}$  端子と同電位で使用してください。

**2.2.15  $\overline{RESET}$** 

ロウ・レベル・アクティブのシステム・リセット入力端子です。

**2.2.16  $X1, X2$** 

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、 $X1$  に入力し、 $X2$  にその反転信号を入力してください。

**2.2.17  $XT1, XT2$** 

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、 $XT1$  に入力し、 $XT2$  にその反転信号を入力してください。

**2.2.18  $V_{DD}$** 

正電源供給端子です。

**2.2.19  $V_{SS}$** 

グラウンド電位端子です。

**2.2.20  $V_{PP}$  ( $\mu PD78P098A$  のみ)**

PROM プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

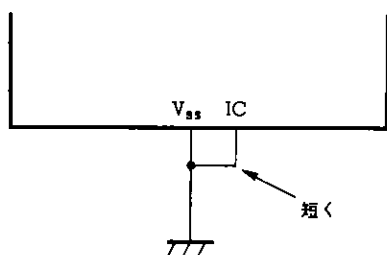
通常動作モード時は、 $V_{SS}$  に接続してください。

### 2.2.21 IC (マスク ROM 製品のみ)

IC (Internally Connected) 端子は、当社出荷時に  $\mu$ PD78098 サブシリーズを検査するテスト・モードに設定するための端子です。通常動作時には、IC 端子を  $V_{SS}$  に直接接続し、その配線長を極力短くしてください。

IC 端子と  $V_{SS}$  端子間の配線の引き回しが長い場合や、IC 端子に外来ノイズが加わった場合などで、IC 端子と  $V_{SS}$  端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

○IC 端子を  $V_{SS}$  端子に直接接続してください。



## 2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2-1に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-1 各端子の入出力回路タイプ (1/2)

| 端 子 名                         | 入出力回路タイプ | 入出力 | 未使用時の推奨接続方法                                             |
|-------------------------------|----------|-----|---------------------------------------------------------|
| P00/INTP0/TI00                | 2        | 入 力 | V <sub>ss</sub> に接続                                     |
| P01/INTP1/TI01                | 8-A      | 入出力 | 入力時：V <sub>ss</sub> に接続<br>出力時：オープン                     |
| P02/INTP2                     |          |     |                                                         |
| P03/INTP3                     |          |     |                                                         |
| P04/INTP4                     |          |     |                                                         |
| P05/INTP5                     |          |     |                                                         |
| P06/INTP6                     |          |     |                                                         |
| P07/XT1                       | 16       | 入 力 | V <sub>ss</sub> に接続                                     |
| P10/ANI0-P17/ANI7             | 11       | 入出力 | 入力時：V <sub>DD</sub> または V <sub>ss</sub> に接続<br>出力時：オープン |
| P20/SI1                       | 8-A      | 入出力 | 入力時：V <sub>DD</sub> または V <sub>ss</sub> に接続<br>出力時：オープン |
| P21/SO1                       | 5-A      |     |                                                         |
| P22/ $\overline{\text{SCK1}}$ | 8-A      |     |                                                         |
| P23/STB                       | 5-A      |     |                                                         |
| P24/BUSY                      | 8-A      |     |                                                         |
| P25/SI0/SB0                   | 10-A     |     |                                                         |
| P26/SO0/SB1                   |          |     |                                                         |
| P27/ $\overline{\text{SCK0}}$ |          |     |                                                         |
| P30/TO0                       | 5-A      | 入出力 | 入力時：V <sub>DD</sub> または V <sub>ss</sub> に接続<br>出力時：オープン |
| P31/TO1                       |          |     |                                                         |
| P32/TO2                       |          |     |                                                         |
| P33/TI1                       | 8-A      |     |                                                         |
| P34/TI2                       |          |     |                                                         |
| P35/PCL                       | 5-A      |     |                                                         |
| P36/BUZ                       |          |     |                                                         |
| P37                           |          |     |                                                         |



表 2-1 各端子の入出力回路タイプ (2/2)

| 端 子 名                        | 入出力回路タイプ | 入出力 | 未使用時の推奨接続方法                                 |
|------------------------------|----------|-----|---------------------------------------------|
| P40/AD0-P47/AD7              | 5-E      | 入出力 | 入力時: $V_{SS}$ に接続<br>出力時: オープン              |
| P50/A8-P57/A15               | 5-A      | 入出力 | 入力時: $V_{DD}$ または $V_{SS}$ に接続<br>出力時: オープン |
| P60-P63(マスク ROM 製品)          | 13-B     |     |                                             |
| P60-P63 ( $\mu$ PD78P098A)   | 13-D     |     |                                             |
| P64/ $\overline{RD}$         | 5-A      |     |                                             |
| P65/ $\overline{WR}$         |          |     |                                             |
| P66/ $\overline{WAIT}$       |          |     |                                             |
| P67/ASTB                     |          |     |                                             |
| P70/SI2/RxD                  | 8-A      | 入出力 | 入力時: $V_{DD}$ または $V_{SS}$ に接続<br>出力時: オープン |
| P71/SO2/TxD                  | 5-A      |     |                                             |
| P72/ $\overline{SCK2}$ /ASCK | 8-A      |     |                                             |
| P120/RTP0-P123/RTP3          | 5-A      | 入出力 | 入力時: $V_{DD}$ または $V_{SS}$ に接続<br>出力時: オープン |
| P124/RTP4/ $\overline{TX}$   |          |     |                                             |
| P125/RTP5/ $\overline{RX}$   |          |     |                                             |
| P126/RTP6, P127/RTP7         |          |     |                                             |
| P130/ANO0, P131/ANO1         | 12-A     | 入出力 | 入力時: $V_{SS}$ に接続<br>出力時: オープン              |
| $\overline{RESET}$           | 2        | 入 力 | —                                           |
| XT2                          | 16       | —   | オープン                                        |
| $AV_{REF0}$                  | —        |     | $V_{SS}$ に接続                                |
| $AV_{REF1}$                  |          |     | $V_{DD}$ に接続                                |
| $AV_{DD}$                    |          |     | $V_{SS}$ に接続                                |
| $AV_{SS}$                    |          |     | $V_{SS}$ に直接接続                              |
| IC (マスク ROM 製品)              |          |     | $V_{SS}$ に直接接続                              |
| $V_{PP}$ ( $\mu$ PD78P098A)  |          |     | $V_{SS}$ に接続                                |

★

★

図 2-1 端子の入出力回路一覧 (1/2)

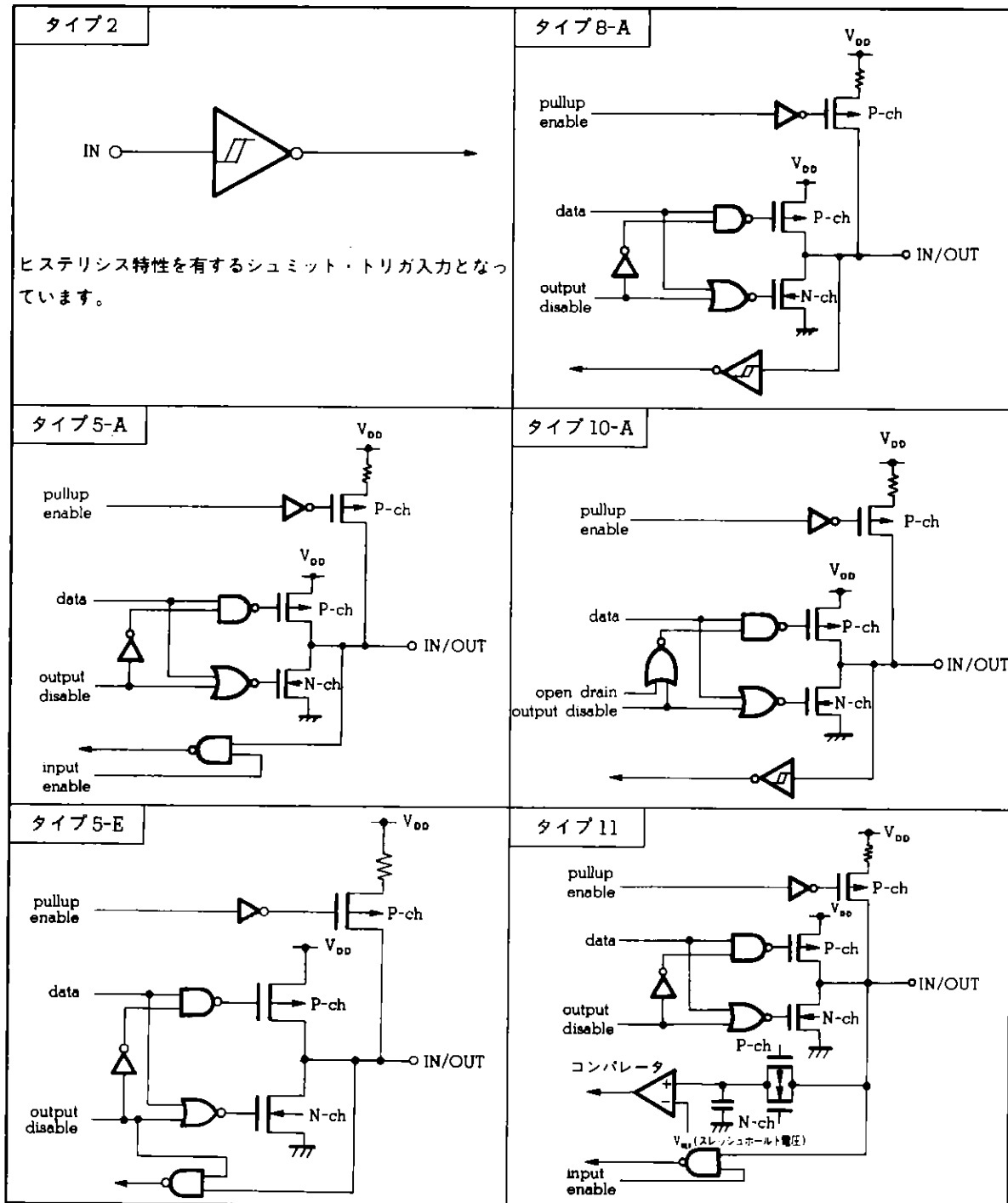
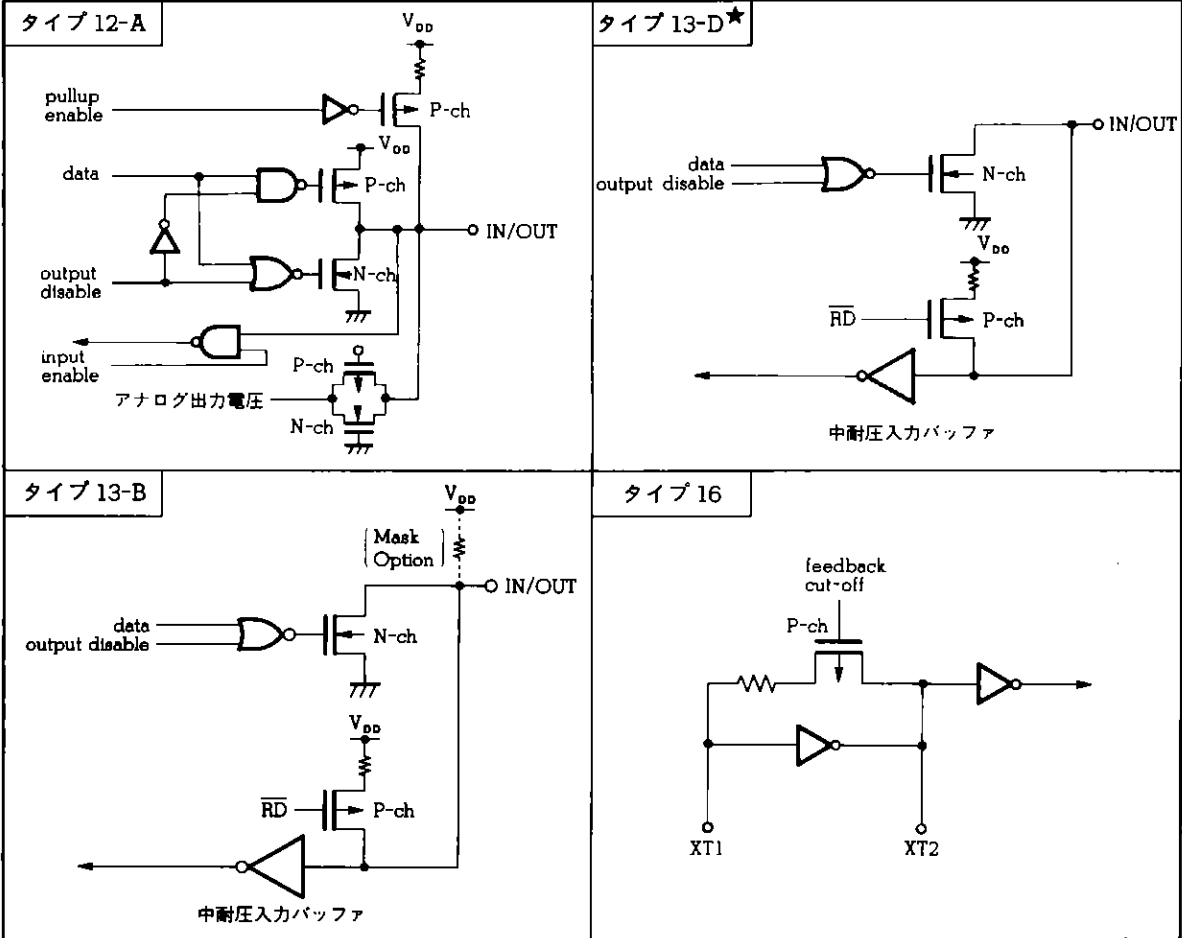


図 2-1 端子の入出力回路一覧 (2/2)



(× ㉔)

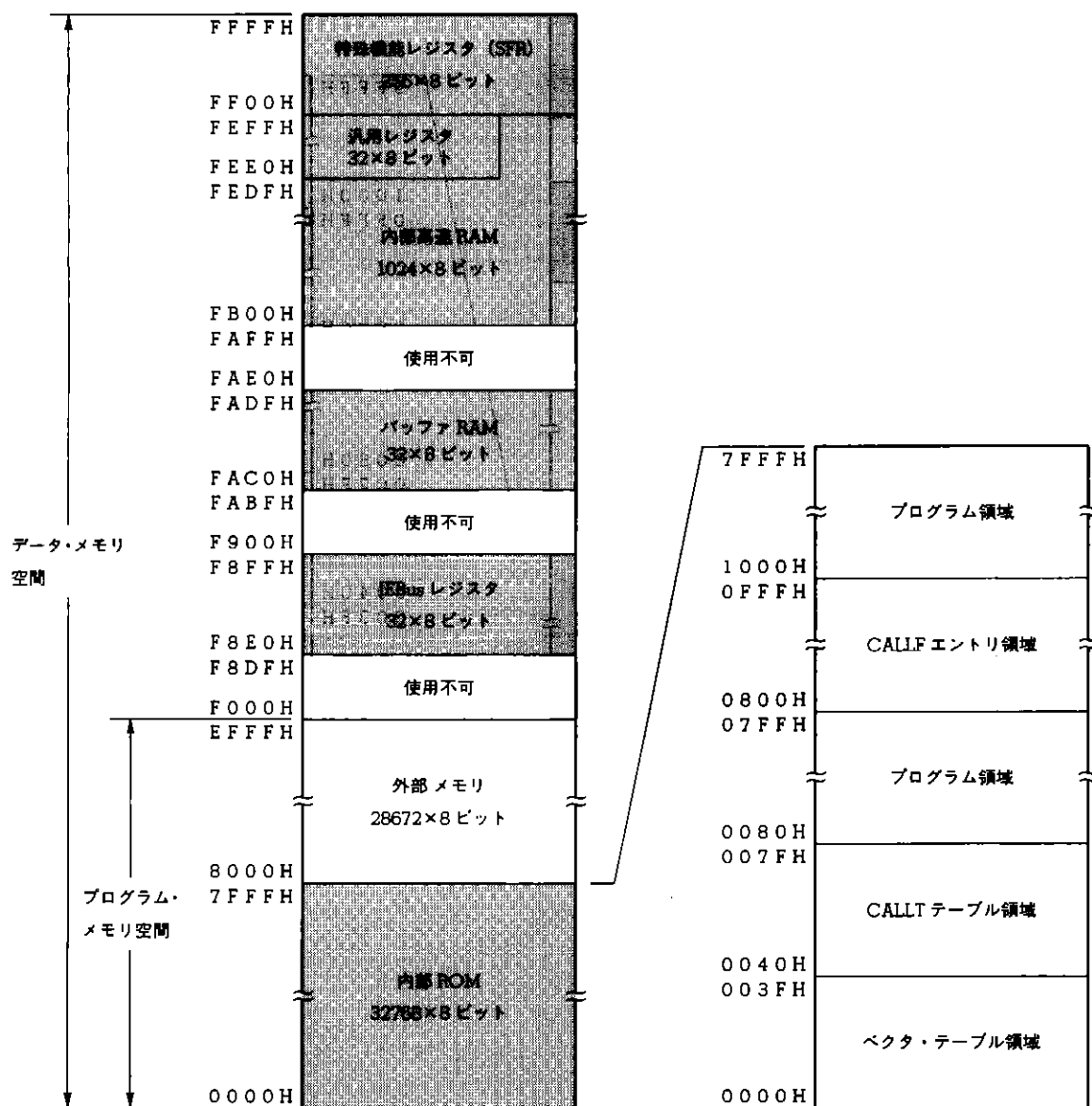
## 第3章 CPU アーキテクチャ

3

### 3.1 メモリ空間

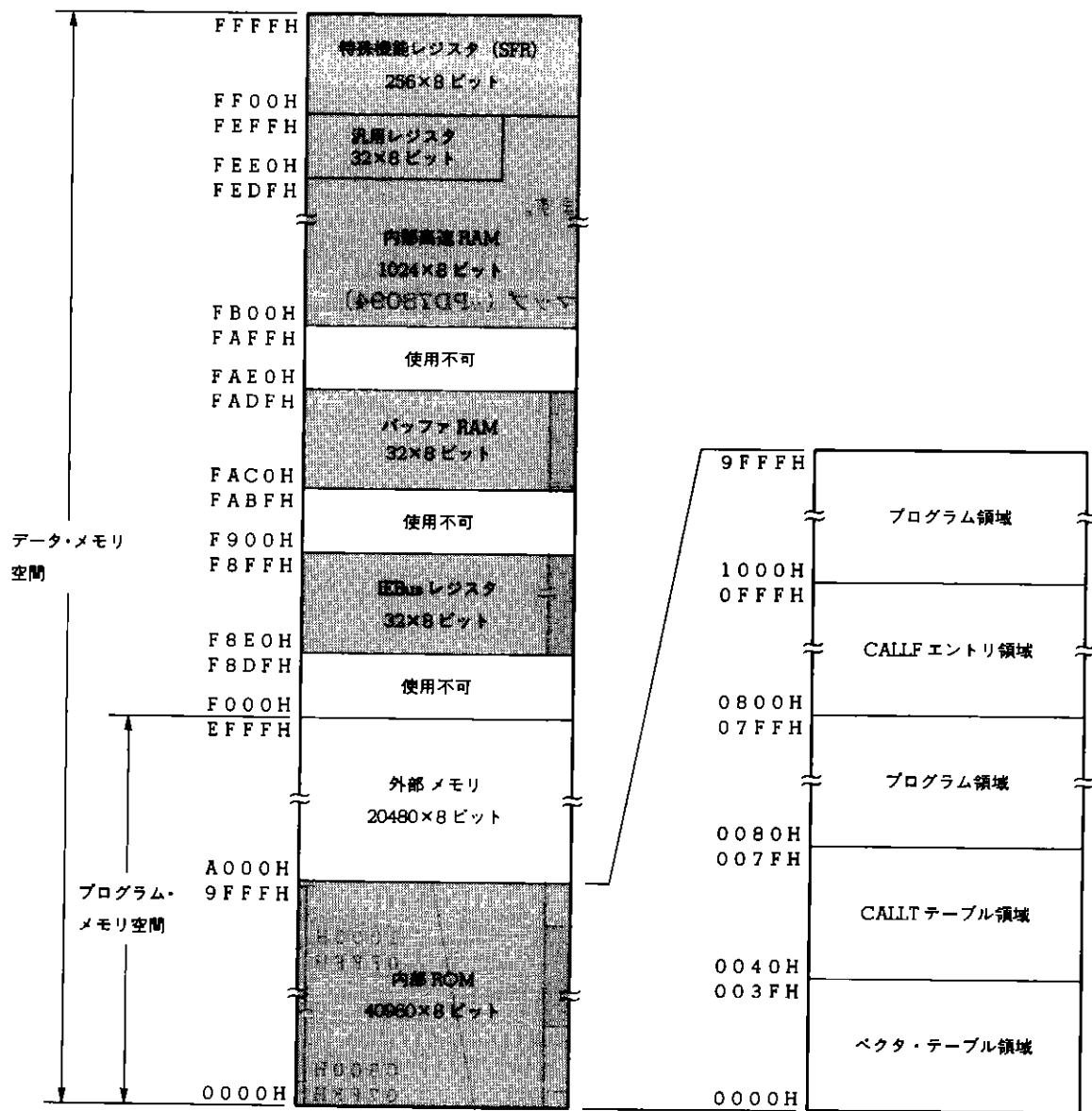
図3-1から図3-5に、メモリ・マップを示します。

図3-1 メモリ・マップ (μPD78094)



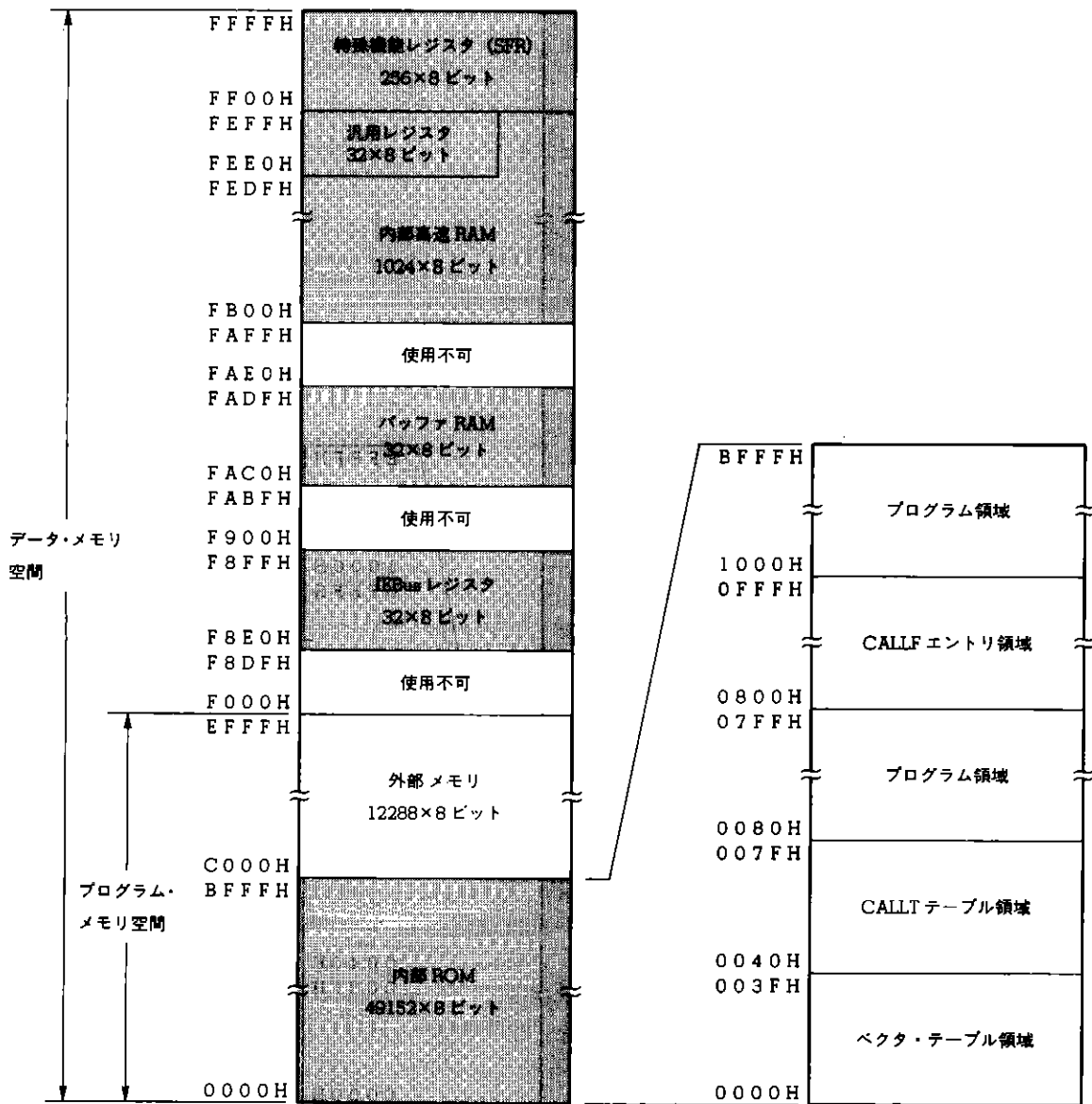
備考  : 内部メモリ

図 3-2 メモリ・マップ ( $\mu$ PD78096)



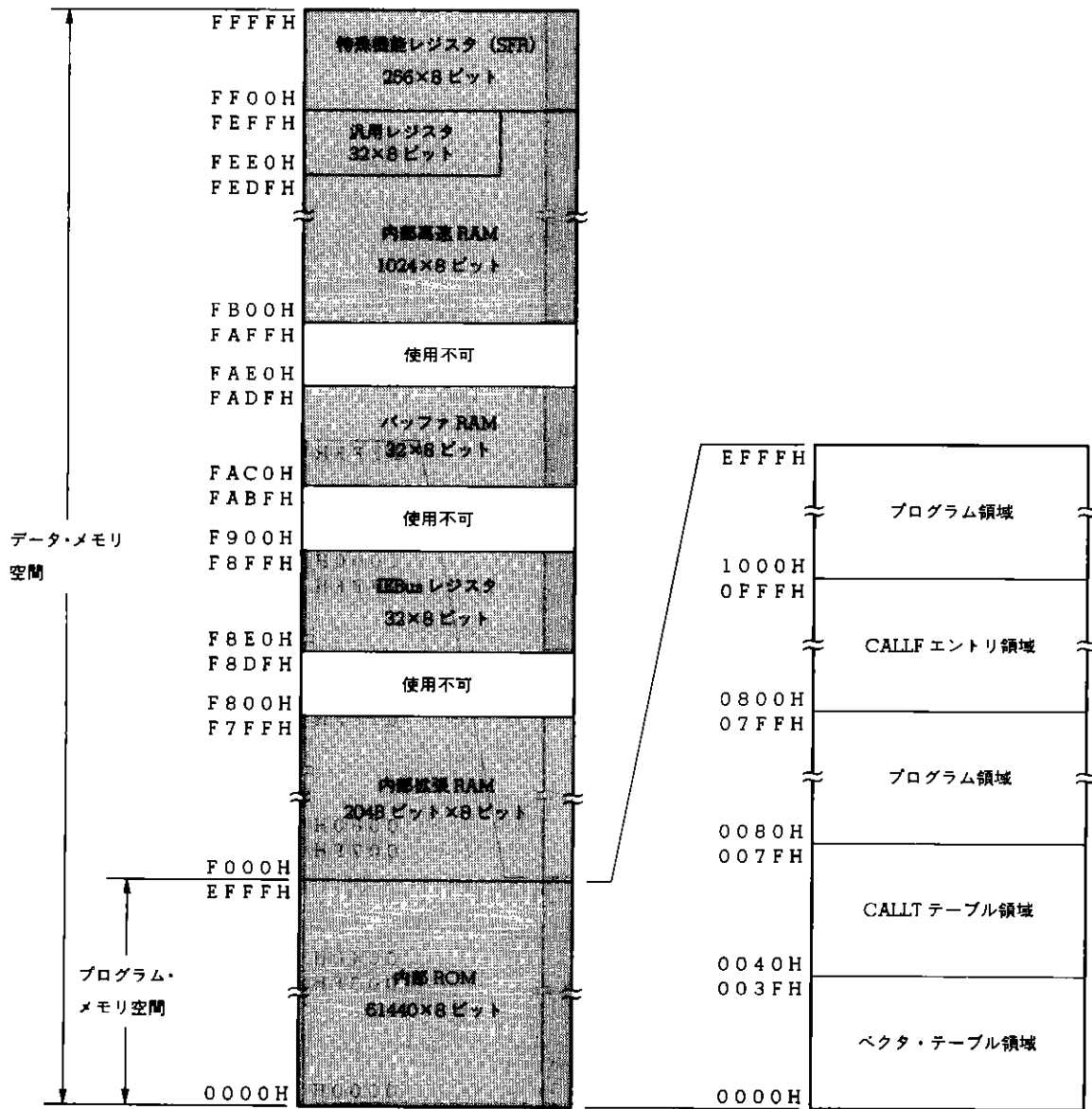
備考  : 内部メモリ

図 3-3 メモリ・マップ ( $\mu$ PD78096)



備考  : 内部メモリ

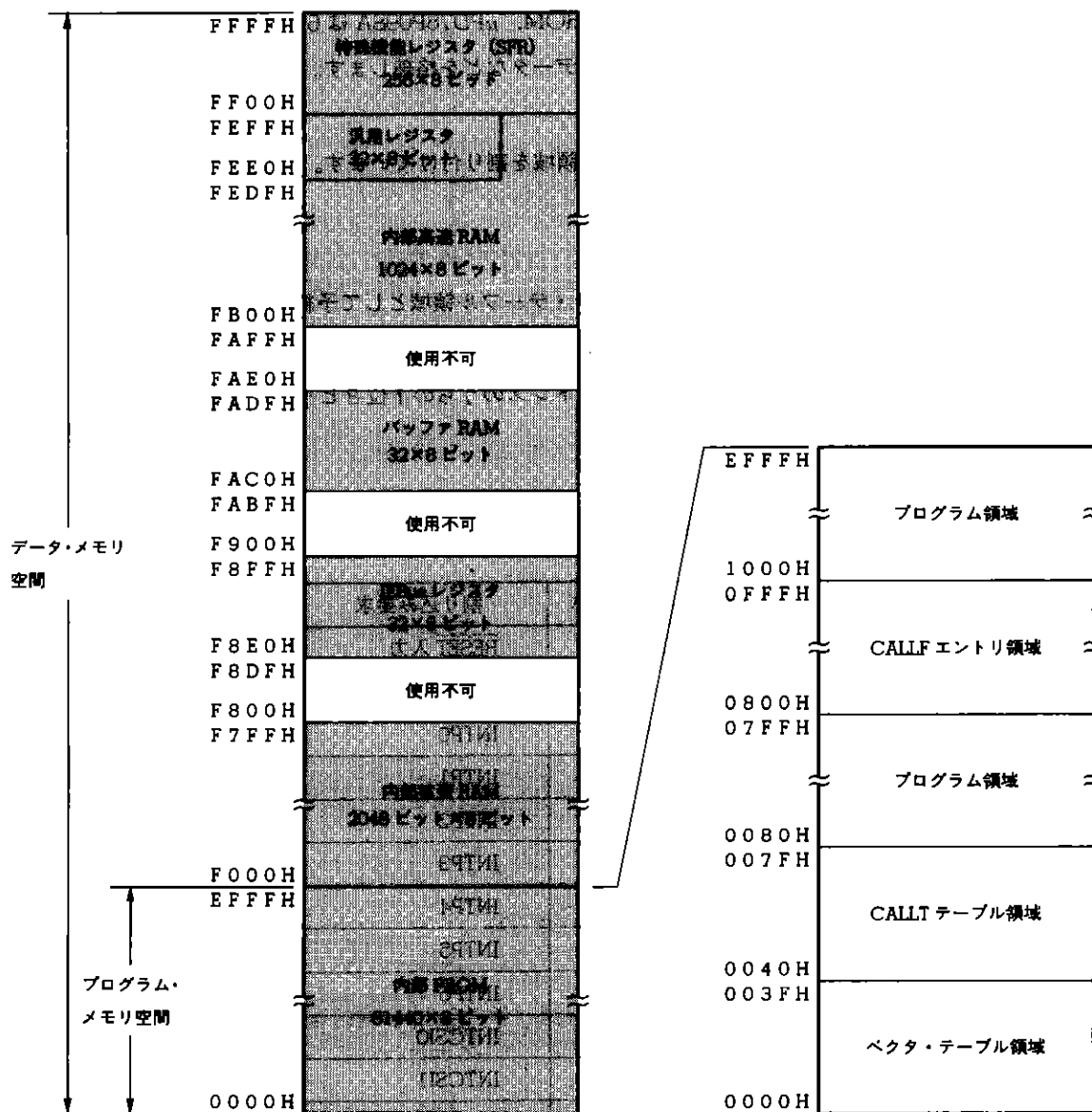
図 3-4 メモリ・マップ ( $\mu$ PD78098A)



**注意** 内部 ROM が 60 K バイトのとき、外部デバイス拡張機能は使用できません。メモリ・サイズ切り替えレジスタで内部 ROM を 56 K バイト以下に設定することにより、内部 ROM の最終アドレスから EFFFH 番地までを外部メモリとして使用できます。



図3-5 メモリ・マップ (μPD78P098A)



備考 : 内部メモリ

注意 内部 PROM が60K バイトのとき、外部デバイス拡張機能は使用できません。メモリ・サイズ切り替えレジスタで内部 PROM を86K バイト以下に設定することにより、内部 PROM の最終アドレスから EFFFH 番地までを外部メモリとして使用できます。

★

### 3.1.1 内部プログラム・メモリ空間

$\mu$ PD78094 は  $32768 \times 8$  ビット,  $\mu$ PD78095 は  $40960 \times 8$  ビット,  $\mu$ PD78096 は  $49152 \times 8$  ビット,  $\mu$ PD78098A は  $61440 \times 8$  ビット構成のマスク ROM,  $\mu$ PD78P098A は  $61440 \times 8$  ビット構成の PROM となっています。プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ (PC) でアドレスします。

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

#### (1) ベクタ・テーブル領域

0000H-003FH の 64 バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、 $\overline{\text{RESET}}$  入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16 ビット・アドレスのうちの低位 8 ビットが偶数アドレスに、上位 8 ビットが奇数アドレスに格納されます。

表 3-1 ベクタ・テーブル

| ベクタ・テーブル・アドレス | 割り込み要求        |
|---------------|---------------|
| 0000H         | RESET 入力      |
| 0004H         | INTWDT        |
| 0006H         | INTP0         |
| 0008H         | INTP1         |
| 000AH         | INTP2         |
| 000CH         | INTP3         |
| 000EH         | INTP4         |
| 0010H         | INTP5         |
| 0012H         | INTP6         |
| 0014H         | INTCSI0       |
| 0016H         | INTCSI1       |
| 0018H         | INTSER        |
| 001AH         | INTSR/INTCSI2 |
| 001CH         | INTST         |
| 001EH         | INTTM3        |
| 0020H         | INTTM00       |
| 0022H         | INTTM01       |
| 0024H         | INTTM1        |
| 0026H         | INTTM2        |
| 0028H         | INTAD         |
| 002AH         | INTIE         |
| 003EH         | BRK           |

### (2) CALLT 命令テーブル領域

0040H-007FH の 64 バイト領域には、1 バイト・コール命令 (CALLT) のサブルーチン・エントリ・アドレスを格納することができます。

### (3) CALLF 命令エントリ領域

0800H-0FFFH の領域は、2 バイト・コール命令 (CALLF) で直接サブルーチン・コールすることができます。

## 3.1.2 内部データ・メモリ空間

μPD78098 サブシリーズには、次に示す RAM を内蔵しています。

### (1) 内部高速 RAM

FB00H-FEFFFH の 1024×8 ビット構成となっています。このうち FEE0H-FEFFFH の 32 バイトの領域には、8 ビット・レジスタ 8 個を 1 バンクとする汎用レジスタが、4 バンク割り付けられています。また、内部高速 RAM はスタックとしても使用します。

### (2) バッファ RAM

FAC0H-FADFH の 32 バイトの領域には、バッファ RAM が割り付けられています。バッファ RAM は通常の RAM としても使用できます。

### (3) 内部拡張 RAM

μPD78098A, 78P098A のみ、F000H-F7FFFH の 2048 バイトの領域に、内部拡張 RAM が割り付けられています。

★

## 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域

FFO0H-FFFFH の領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (表 3-2 参照)。

**注意** SFR を割り付けていないアドレスをアクセスしないでください。

## 3.1.4 外部メモリ空間

メモリ拡張モード・レジスタによりアクセスが可能な外部メモリ空間です。プログラム、テーブル・データなどの格納、および周辺デバイスを割り付けることができます。

## 3.1.5 IEBus レジスタ空間

F8E0H-F8FFFH の領域には、IEBus レジスタが割り付けられています。

### 3.1.6 データ・メモリ・アドレッシング

μPD78098 サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域 (FBOOH-FFFFH) では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3-6 から図3-10 にデータ・メモリのアドレッシングを示します。

図3-6 データ・メモリのアドレッシング (μPD78094)

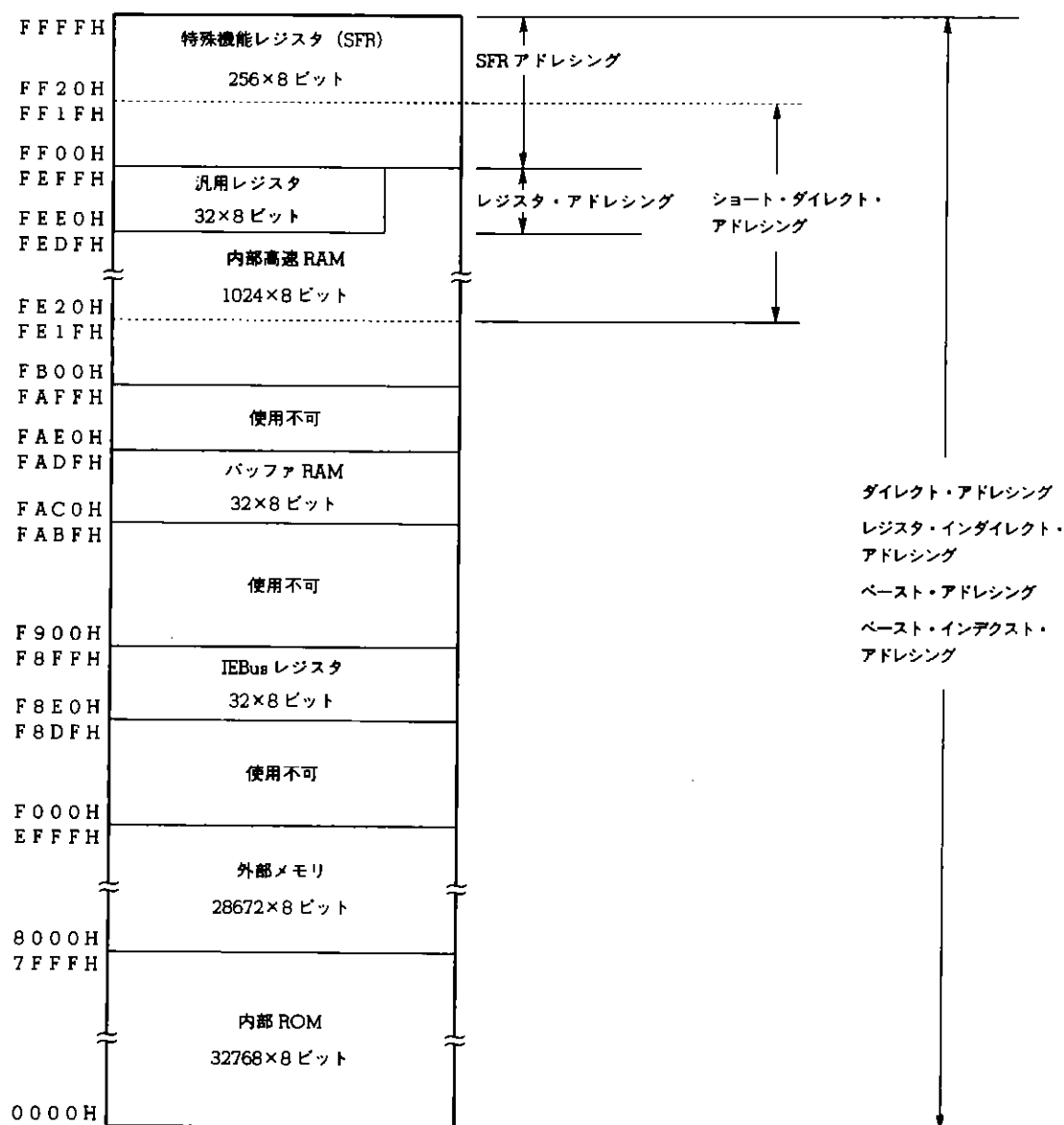


図3-7 データ・メモリのアドレッシング (μPD78095)

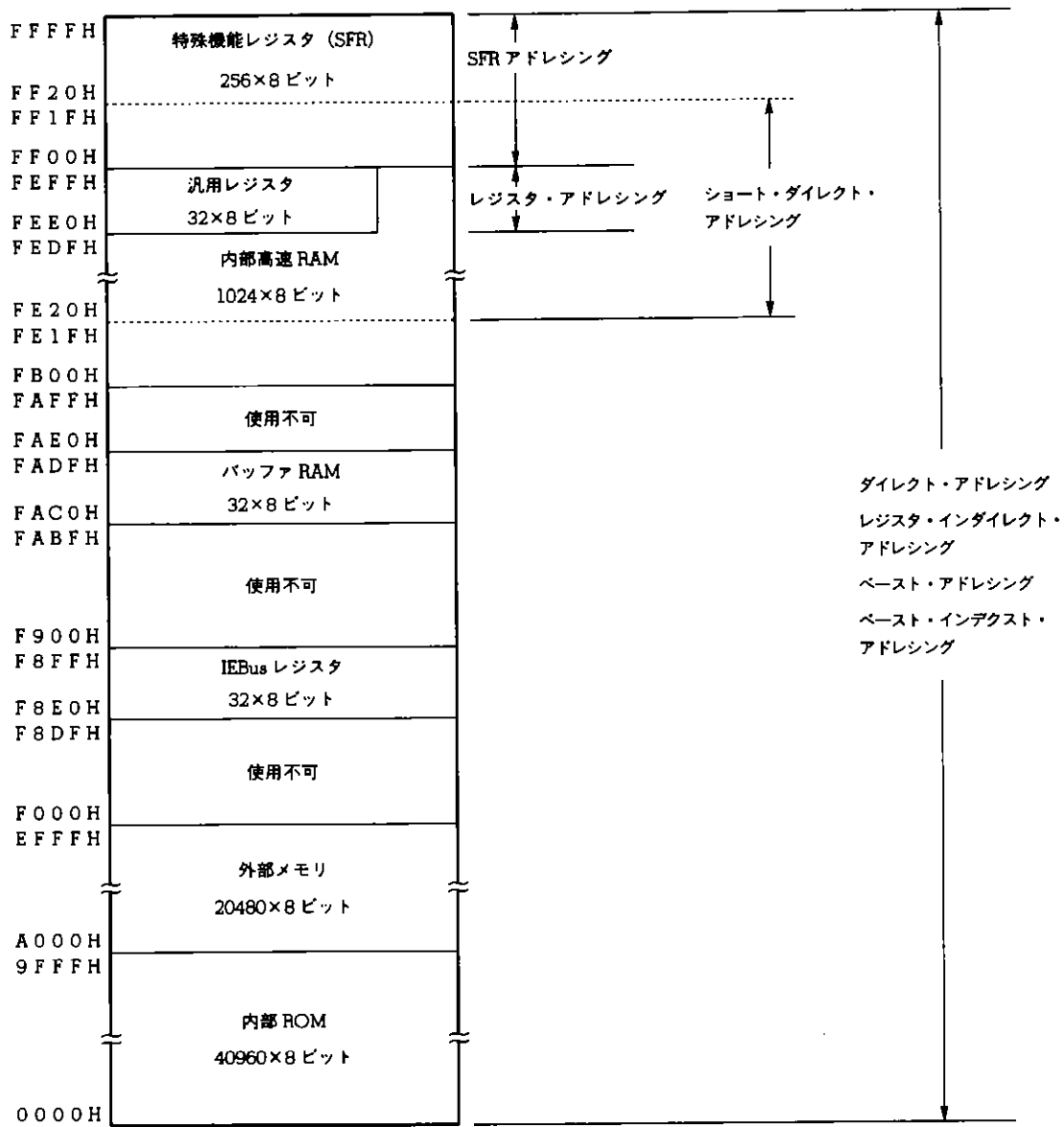


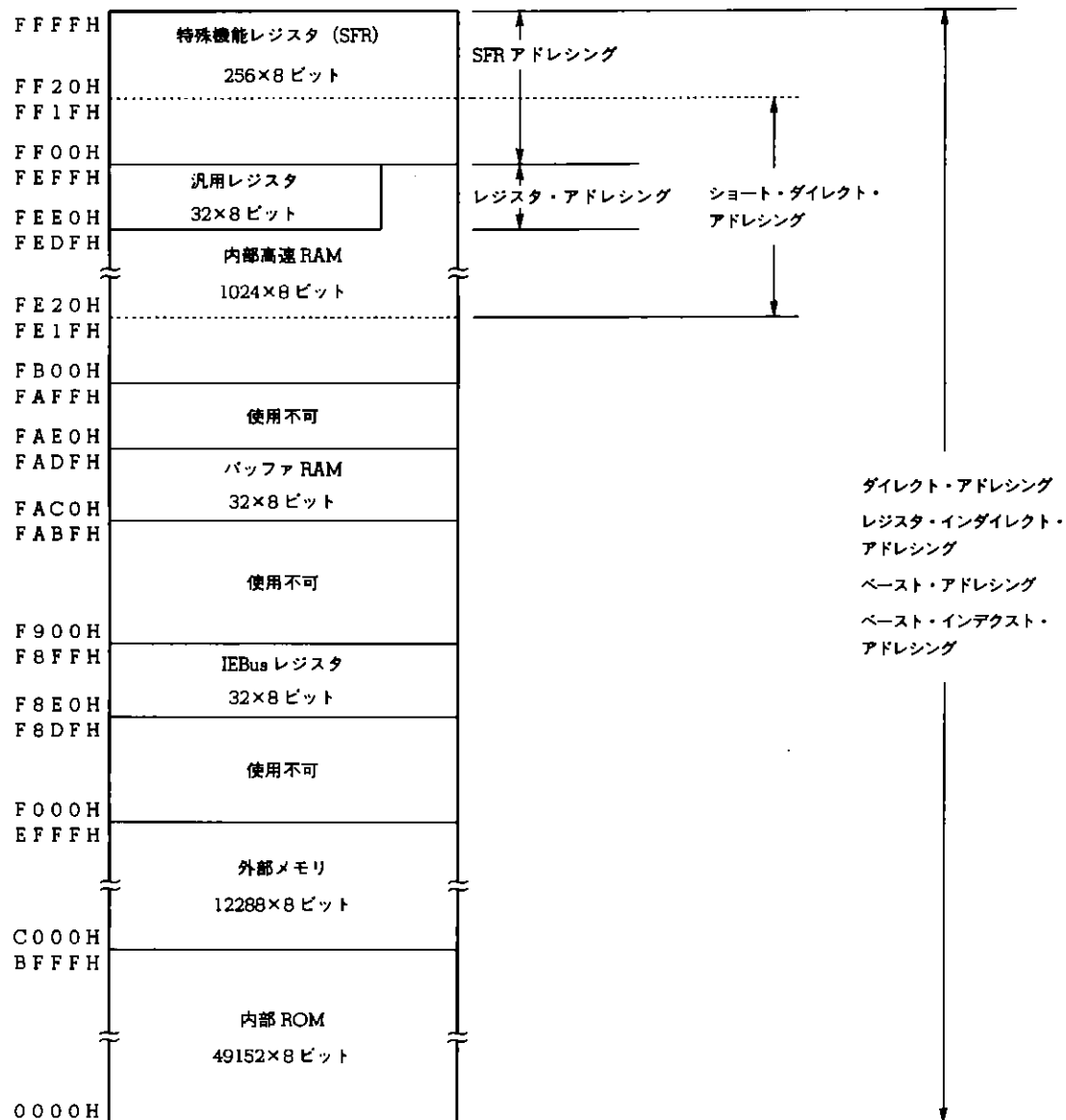
図3-8 データ・メモリのアドレッシング ( $\mu$ PD78096)

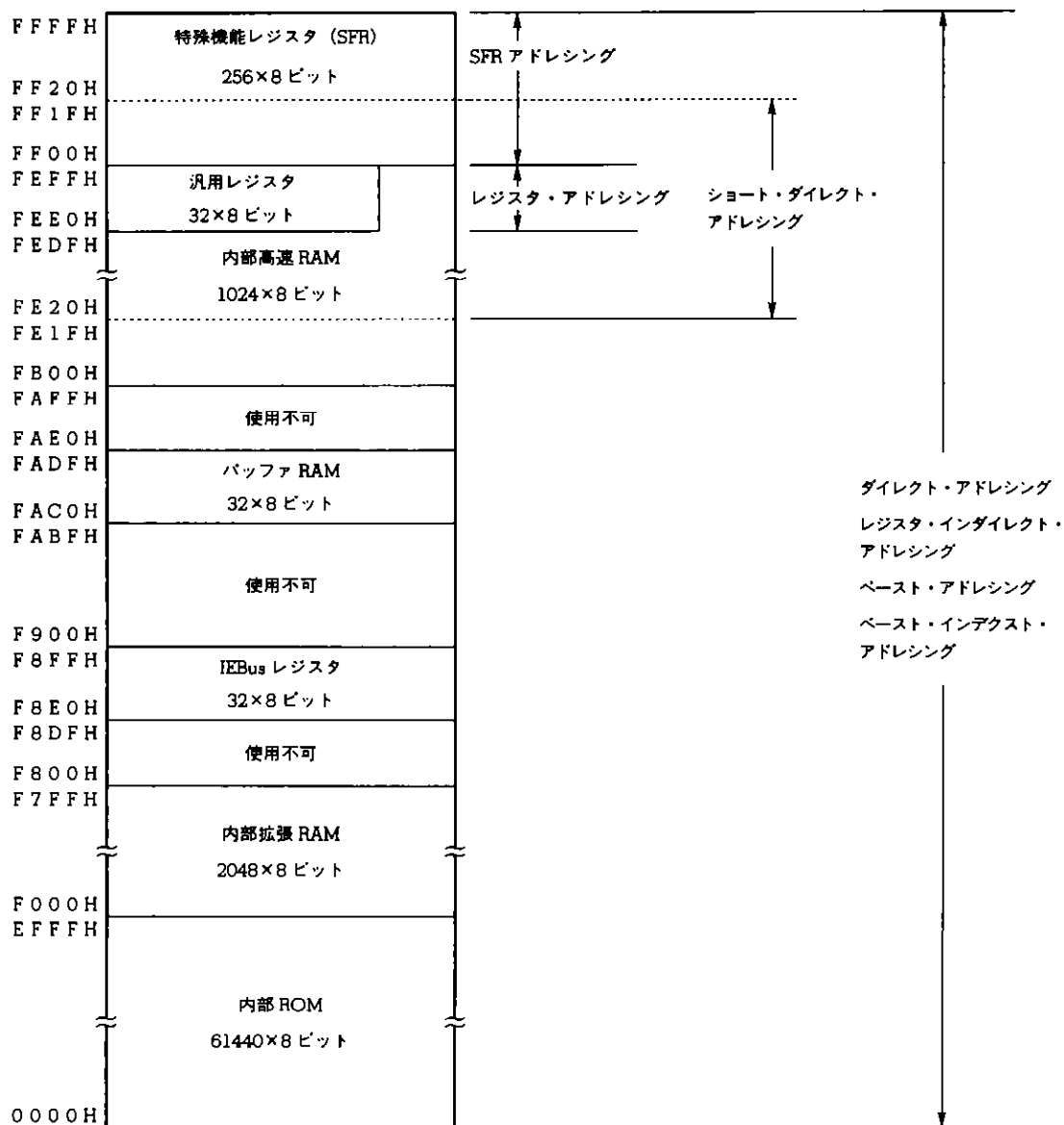
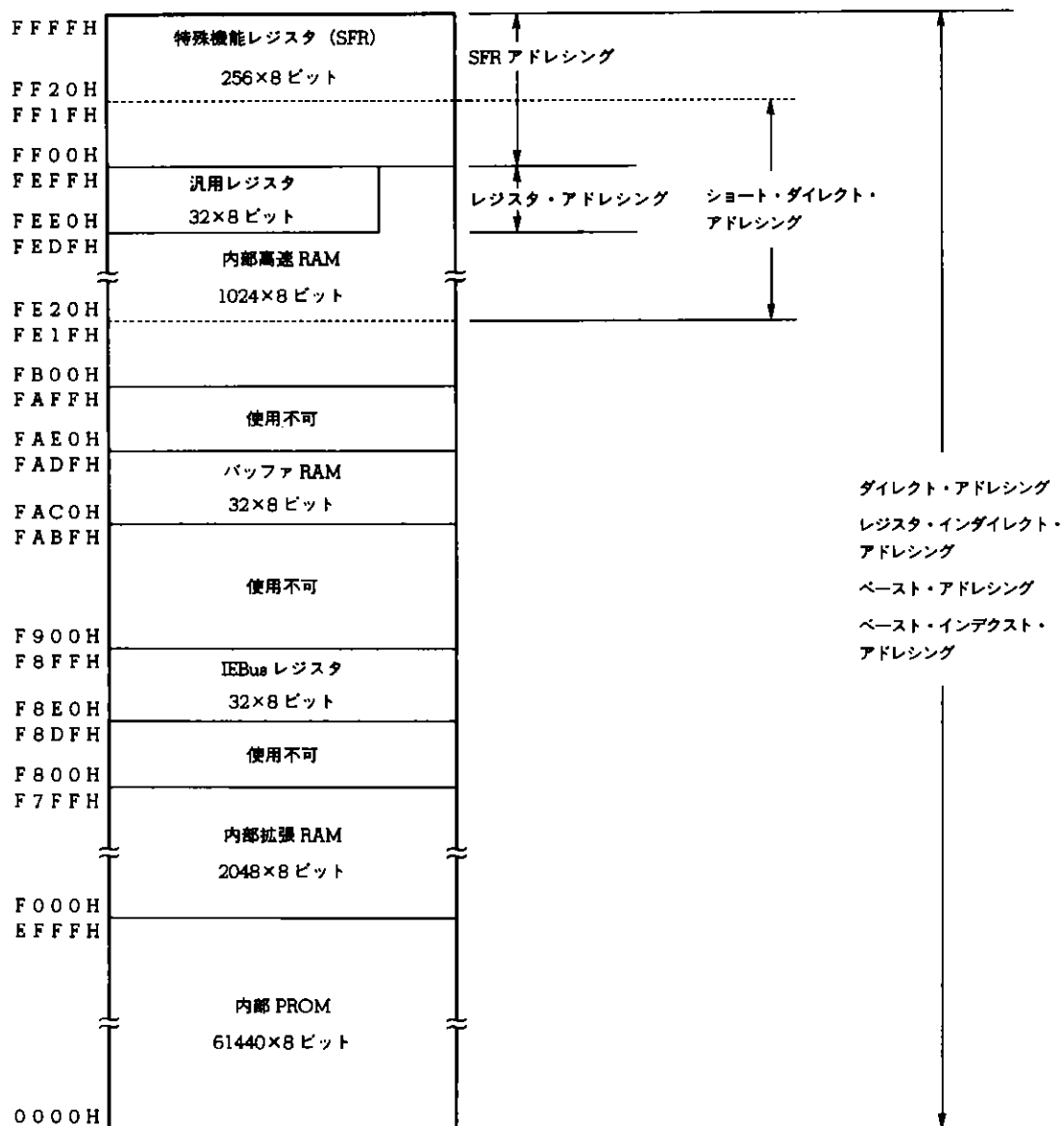
図 3-9 データ・メモリのアドレッシング ( $\mu$ PD78098A)

図3-10 データ・メモリのアドレッシング ( $\mu$ PD78P098A)



## 3.2 プロセッサ・レジスタ

μPD78098 サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

### 3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

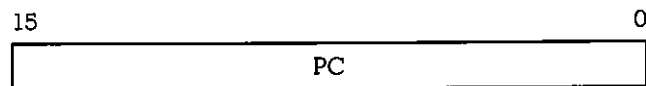
#### (1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$  入力により、0000H と 0001H 番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-11 プログラム・カウンタの構成



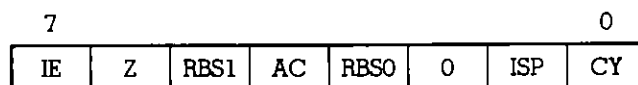
#### (2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時および PUSH PSW 命令の実行時に自動的にスタックされ、RETB、RETI 命令および POP PSW 命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$  入力により、02H になります。

図3-12 プログラム・ステータス・ワードの構成



**(a) 割り込み許可フラグ (IE)**

CPU の割り込み要求受け付け動作を制御するフラグです。

0 のときは DI 状態となり、ノンマスカブル割り込みのみ受け付け可能となります。それ以外はすべて禁止されます。

1 のときは EI 状態となり、割り込み要求受け付けの許可は、インサースビス・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

DI 命令実行または割り込みの受け付けでリセット (0) され、EI 命令実行によりセット (1) されます。

**(b) ゼロ・フラグ (Z)**

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

**(c) レジスタ・バンク選択フラグ (RBS0, RBS1)**

4 個のレジスタ・バンクのうちの 1 つを選択する 2 ビットのフラグです。

SEL RBn 命令の実行によって選択されたレジスタ・バンクを示す 2 ビットの情報が格納されています。

**(d) 補助キャリー・フラグ (AC)**

演算結果が、ビット 3 からキャリーがあったとき、またはビット 3 へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

**(e) インサースビス・プライオリティ・フラグ (ISP)**

受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。このフラグが 0 のときは優先順位指定フラグ・レジスタ (PR) で指定した低位のベクタ割り込み受け付け禁止状態で、1 のときは割り込みの優先順位にかかわらず、受け付け可能な状態を示します。なお、実際の受け付けは、割り込み許可フラグ (IE) の状態で制御されます。

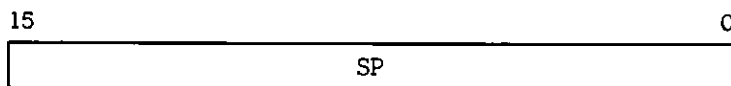
**(f) キャリー・フラグ (CY)**

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

## (3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する 16 ビットのレジスタです。スタック領域としては内部高速 RAM 領域 (FBOOH-FEFFFH) のみ設定可能です。

図 3-13 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避/復帰されるデータは図 3-14, 3-15 のようになります。

**注意** SP の内容は  $\overline{\text{RESET}}$  入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図 3-14 スタック・メモリへ退避されるデータ

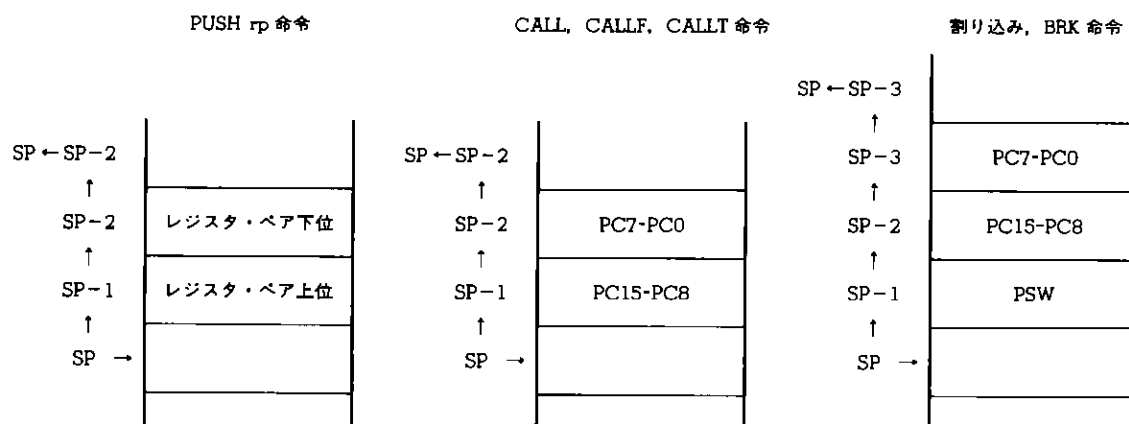
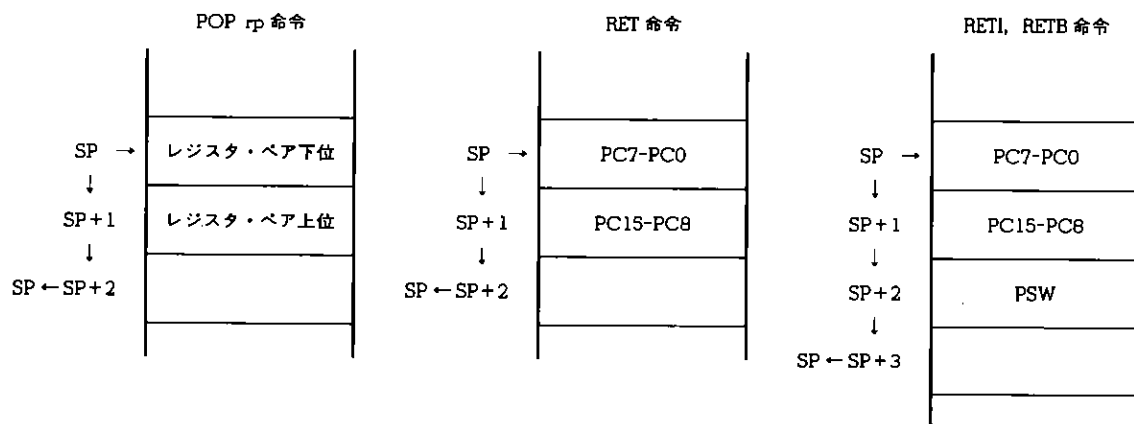


図 3-15 スタック・メモリから復帰されるデータ



### 3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

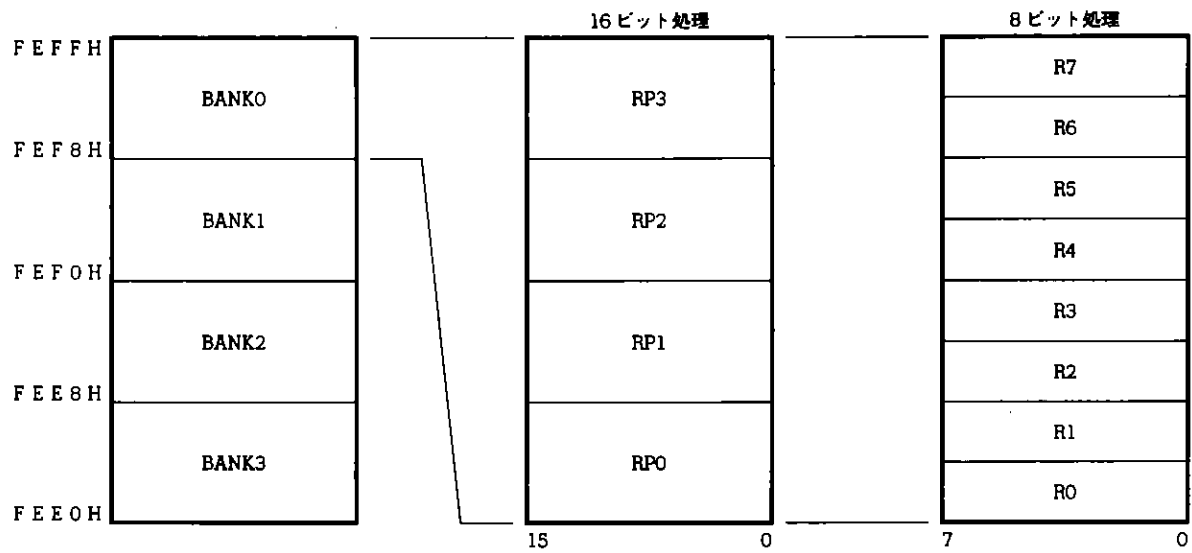
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) ででも記述できます。

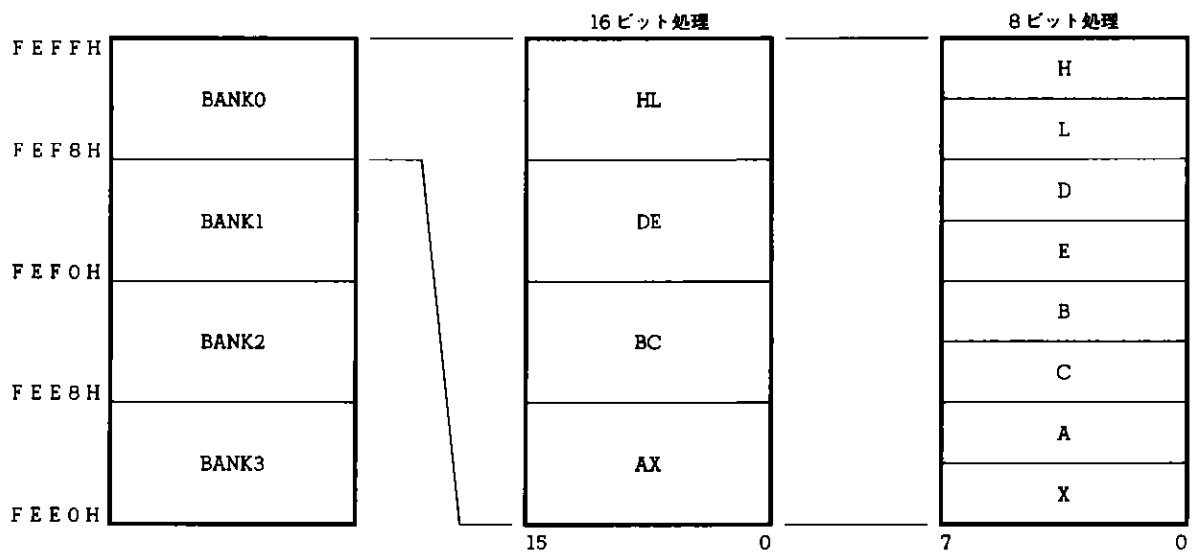
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図 3-16 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



### 3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFH の領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- 1 ビット操作

1 ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8 ビット操作

8 ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16 ビット操作

16 ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表 3-2 に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

内蔵された特殊機能レジスタのアドレスを示すアセンブラ (RA78K/0) で使用する略号です。命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し (Read)/書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- リセット時

$\overline{\text{RESET}}$  入力時の各レジスタの状態を示します。

表 3-2 特殊機能レジスタ一覧 (1/3)

| アドレス           | 特殊機能レジスタ (SFR) 名称       | 略 号  | R/W | 操作可能ビット単位      |      |       | リセット時 |
|----------------|-------------------------|------|-----|----------------|------|-------|-------|
|                |                         |      |     | 1ビット           | 8ビット | 16ビット |       |
| FF00H          | ポート 0                   | P0   | R/W | ○              | ○    | —     | 00H   |
| FF01H          | ポート 1                   | P1   |     | ○              | ○    | —     |       |
| FF02H          | ポート 2                   | P2   |     | ○              | ○    | —     |       |
| FF03H          | ポート 3                   | P3   |     | ○              | ○    | —     |       |
| FF04H          | ポート 4                   | P4   |     | ○              | ○    | —     | 不 定   |
| FF05H          | ポート 5                   | P5   |     | ○              | ○    | —     |       |
| FF06H          | ポート 6                   | P6   |     | ○              | ○    | —     |       |
| FF07H          | ポート 7                   | P7   |     | ○              | ○    | —     | 00H   |
| FF0CH          | ポート 12                  | P12  |     | ○ <sup>注</sup> | ○    | —     |       |
| FF0DH          | ポート 13                  | P13  |     | ○              | ○    | —     |       |
| FF10H<br>FF11H | キャプチャ/コンペア・レジスタ 00      | CR00 | R/W | —              | —    | ○     | 不 定   |
| FF12H<br>FF13H | キャプチャ/コンペア・レジスタ 01      | CR01 |     | —              | —    | ○     |       |
| FF14H<br>FF15H | 16ビット・タイマ・レジスタ          | TM0  | R   | —              | —    | ○     | 00H   |
| FF16H          | コンペア・レジスタ 10            | CR10 | R/W | —              | ○    | —     | 不 定   |
| FF17H          | コンペア・レジスタ 20            | CR20 |     | —              | ○    | —     |       |
| FF18H          | 8ビット・タイマ・レジスタ 1         | TMS  | R   | —              | ○    | ○     | 00H   |
| FF19H          | 8ビット・タイマ・レジスタ 2         |      |     | —              | ○    |       |       |
| FF1AH          | シリアル I/O シフト・レジスタ 0     | SIO0 | R/W | —              | ○    | —     | 不 定   |
| FF1BH          | シリアル I/O シフト・レジスタ 1     | SIO1 |     | —              | ○    | —     |       |
| FF1FH          | A/D 変換結果レジスタ            | ADCR | R   | —              | ○    | —     |       |
| FF20H          | ポート・モード・レジスタ 0          | PM0  | R/W | ○              | ○    | —     | FFH   |
| FF21H          | ポート・モード・レジスタ 1          | PM1  |     | ○              | ○    | —     |       |
| FF22H          | ポート・モード・レジスタ 2          | PM2  |     | ○              | ○    | —     |       |
| FF23H          | ポート・モード・レジスタ 3          | PM3  |     | ○              | ○    | —     |       |
| FF25H          | ポート・モード・レジスタ 5          | PM5  |     | ○              | ○    | —     |       |
| FF26H          | ポート・モード・レジスタ 6          | PM6  |     | ○              | ○    | —     |       |
| FF27H          | ポート・モード・レジスタ 7          | PM7  |     | ○              | ○    | —     |       |
| FF2CH          | ポート・モード・レジスタ 12         | PM12 |     | ○              | ○    | —     |       |
| FF2DH          | ポート・モード・レジスタ 13         | PM13 |     | ○              | ○    | —     |       |
| FF30H          | リアルタイム出力バッファ・レジスタ L     | RTBL | R/W | —              | ○    | —     | 00H   |
| FF31H          | リアルタイム出力バッファ・レジスタ H     | RTBH |     | —              | ○    | —     |       |
| FF34H          | リアルタイム出力ポート・モード・レジスタ    | RTPM |     | ○              | ○    | —     |       |
| FF36H          | リアルタイム出力ポート・コントロール・レジスタ | RTPC |     | ○              | ○    | —     |       |

注 IEBus コントローラ使用時は、1 ビット操作を行わないでください。

表 3-2 特殊機能レジスタ一覧 (2/3)

| アドレス  | 特殊機能レジスタ (SFR) 名称               | 略 号   | R/W  | 操作可能ビット単位 |      |       | リセット時 |
|-------|---------------------------------|-------|------|-----------|------|-------|-------|
|       |                                 |       |      | 1ビット      | 8ビット | 16ビット |       |
| FF40H | タイマ・クロック選択レジスタ 0                | TCL0  | R/W  | ○         | ○    | —     | 00H   |
| FF41H | タイマ・クロック選択レジスタ 1                | TCL1  |      | —         | ○    | —     |       |
| FF42H | タイマ・クロック選択レジスタ 2                | TCL2  |      | —         | ○    | —     |       |
| FF43H | タイマ・クロック選択レジスタ 3                | TCL3  |      | —         | ○    | —     | 88H   |
| FF47H | サンプリング・クロック選択レジスタ               | SCS   |      | —         | ○    | —     | 00H   |
| FF48H | 16ビット・タイマ・モード・コントロール・レジスタ       | TMC0  |      | ○         | ○    | —     |       |
| FF49H | 8ビット・タイマ・モード・コントロール・レジスタ        | TMC1  |      | ○         | ○    | —     |       |
| FF4AH | 時計用タイマ・モード・コントロール・レジスタ          | TMC2  |      | ○         | ○    | —     | 04H   |
| FF4CH | キャプチャ/コンペア・コントロール・レジスタ 0        | CRC0  |      | ○         | ○    | —     |       |
| FF4EH | 16ビット・タイマ出力コントロール・レジスタ          | TOC0  |      | ○         | ○    | —     | 00H   |
| FF4FH | 8ビット・タイマ出力コントロール・レジスタ           | TOC1  |      | ○         | ○    | —     |       |
| FF60H | シリアル動作モード・レジスタ 0                | CSIM0 |      | ○         | ○    | —     |       |
| FF61H | シリアル・バス・インタフェース・コントロール・レジスタ     | SBIC  |      | ○         | ○    | —     | 不定    |
| FF62H | スレーブ・アドレス・レジスタ                  | SVA   |      | —         | ○    | —     |       |
| FF63H | 割り込みタイミング指定レジスタ                 | SINT  |      | ○         | ○    | —     |       |
| FF68H | シリアル動作モード・レジスタ 1                | CSIM1 |      | ○         | ○    | —     |       |
| FF69H | 自動データ送受信コントロール・レジスタ             | ADTC  |      | ○         | ○    | —     |       |
| FF6AH | 自動データ送受信アドレス・ポインタ               | ADTP  |      | —         | ○    | —     |       |
| FF6BH | 自動データ送受信間隔指定レジスタ                | ADTI  |      | ○         | ○    | —     |       |
| FF70H | アシンクロナス・シリアル・インタフェース・モード・レジスタ   | ASIM  |      | ○         | ○    | —     |       |
| FF71H | アシンクロナス・シリアル・インタフェース・ステータス・レジスタ | ASIS  | R    | ○         | ○    | —     |       |
| FF72H | シリアル動作モード・レジスタ 2                | CSIM2 | R/W  | ○         | ○    | —     |       |
| FF73H | ポーレート・ジェネレータ・コントロール・レジスタ        | BRGC  |      | —         | ○    | —     |       |
| FF74H | 送信シフト・レジスタ                      | TXS   | SIO2 | W         | —    | ○     | FFH   |
|       | 受信バッファ・レジスタ                     | RXB   |      | R         | —    | ○     |       |
| FF80H | A/D コンバータ・モード・レジスタ              | ADM   | R/W  | ○         | ○    | —     | 01H   |
| FF84H | A/D コンバータ入力選択レジスタ               | ADIS  |      | —         | ○    | —     | 00H   |
| FF90H | D/A 変換値設定レジスタ 0                 | DACS0 |      | —         | ○    | —     |       |
| FF91H | D/A 変換値設定レジスタ 1                 | DACS1 |      | —         | ○    | —     |       |
| FF98H | D/A コンバータ・モード・レジスタ              | DAM   |      | ○         | ○    | —     |       |



表 3-2 特殊機能レジスタ一覧 (3/3)

| アドレス                | 特殊機能レジスタ (SFR) 名称      | 略 号               |      | R/W | 操作可能ビット単位 |      |                   | リセット時 |
|---------------------|------------------------|-------------------|------|-----|-----------|------|-------------------|-------|
|                     |                        |                   |      |     | 1ビット      | 8ビット | 16ビット             |       |
| FFD0H<br> <br>FFDFH | 外部アクセス領域 <sup>注1</sup> |                   |      |     | ○         | ○    | —                 | 不 定   |
| FFE0H               | 割り込み要求フラグ・レジスタ OL      | IFO               | IFOL | R/W | ○         | ○    | ○                 | 00H   |
| FFE1H               | 割り込み要求フラグ・レジスタ OH      |                   | IFOH |     | ○         | ○    |                   |       |
| FFE2H               | 割り込み要求フラグ・レジスタ 1L      | IF1L              | ○    |     | ○         | —    |                   |       |
| FFE4H               | 割り込みマスク・フラグ・レジスタ OL    | MKO               | MKOL |     | ○         | ○    | ○                 | FFH   |
| FFE5H               | 割り込みマスク・フラグ・レジスタ OH    |                   | MKOH |     | ○         | ○    |                   |       |
| FFE6H               | 割り込みマスク・フラグ・レジスタ 1L    | MK1L              | ○    |     | ○         | —    |                   |       |
| FFE8H               | 優先順位指定フラグ・レジスタ OL      | PRO               | PROL |     | ○         | ○    | ○                 |       |
| FFE9H               | 優先順位指定フラグ・レジスタ OH      |                   | PROH |     | ○         | ○    |                   |       |
| FFEAH               | 優先順位指定フラグ・レジスタ 1L      | PR1L              | ○    |     | ○         | —    |                   |       |
| FFECH               | 外部割り込みモード・レジスタ 0       | INTM0             | —    |     | ○         | —    | 00H               |       |
| FFEDH               | 外部割り込みモード・レジスタ 1       | INTM1             | —    |     | ○         | —    |                   |       |
| FFF0H               | メモリ・サイズ切り替えレジスタ        | IMS               |      | W   | —         | ○    | —                 | 注2    |
| FFF2H               | 発振モード選択レジスタ            | OSMS              |      |     | —         | ○    | —                 | 00H   |
| FFF3H               | ブルアップ抵抗オプション・レジスタ H    | PUOH              | R/W  | ○   | ○         | —    |                   |       |
| FFF4H               | 内部拡張 RAM サイズ切り替えレジスタ   | IXS <sup>注3</sup> | W    | —   | ○         | —    | 08H <sup>注4</sup> |       |
| FFF6H               | キー・リターン・モード・レジスタ       | KRM               | R/W  | ○   | ○         | —    | 00H               |       |
| FFF7H               | ブルアップ抵抗オプション・レジスタ L    | PUOL              |      | ○   | ○         | —    | 10H               |       |
| FFF8H               | メモリ拡張モード・レジスタ          | MM                |      | ○   | ○         | —    | 00H               |       |
| FFF9H               | ウォッチドッグ・タイマ・モード・レジスタ   | WDTM              |      | ○   | ○         | —    | 04H               |       |
| FFFAH               | 発振安定時間選択レジスタ           | OSTS              |      | —   | ○         | —    |                   |       |
| FFFBH               | プロセッサ・クロック・コントロール・レジスタ | PCC               |      | ○   | ○         | —    |                   |       |

注 1. 外部アクセス領域は、SFR アドレッシングではアクセスできません。アドレスを 16 ビットで指定できる命令でアクセスしてください。

2. リセット時の値は製品により異なります。

μPD78094 : C8H, μPD78095 : CAH, μPD78096 : CCH, μPD78098A : CFH,

μPD78P098A : CFH

マスク ROM 製品を使用する場合、IMS にはリセット時以外の値を設定しないでください。ただし、μPD78098A で外部デバイス拡張機能を使用するときは除きます。

3. μPD78098A, 78P098A のみ。

4. マスク ROM 製品を使用する場合、IXS にはリセット時以外の値を設定しないでください。

★

### 3.2.4 IEBus レジスタ

IEBus レジスタは、主に IEBus コントローラの制御に用いるレジスタです。

F8E0H-F8FFH の領域に割り付けられています。

IEBus レジスタは、演算命令、転送命令などによる操作が行えます。

各操作ビット単位ごとの指定方法を次に示します。

- 1 ビット操作

1 ビット単位での読み出し、書き込みを行うことはできません。

1 ビットの書き込みを行いたい場合は、他の 7 ビットの情報と合わせて、8 ビット転送命令で書き込んでください。

1 ビットの参照（読み出し）を行いたい場合は、A レジスタに 8 ビット分の値を読み出してから、A レジスタに対するビット操作命令を行ってください。

- 8 ビット操作

8 ビット操作命令のオペランド (!addr16) に、アセンブラで予約されている略号を記述します。アドレスでも指定できます。

表 3-3 に IEBus レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

内蔵された IEBus レジスタのアドレスを示すアセンブラ (RA78 K/0) で使用する略号です。命令のオペランドとして記述できます。

- R/W

該当する IEBus レジスタが読み出し (Read) /書き込み (Write) 可能かどうかを示します。

R/W : 読み出し/書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

8 ビット操作のみ行えます。

- リセット時

$\overline{\text{RESET}}$  入力時の各レジスタの状態を示します。

表 3-3 IEBus レジスタ一覧

| アドレス  | レジスタ名称                | 略 号   | R/W | 操作可能なビット単位 |      |       | リセット時     |
|-------|-----------------------|-------|-----|------------|------|-------|-----------|
|       |                       |       |     | 1ビット       | 8ビット | 16ビット |           |
| F8E0H | クロック切り替え選択レジスタ 1      | IECL1 | R/W | —          | ○    | —     | 00H       |
| F8E1H | クロック切り替え選択レジスタ 2      | IECL2 |     | —          | ○    | —     |           |
| F8E2H | A/D電流カット選択レジスタ        | IEAD  |     | —          | ○    | —     |           |
| F8E3H | IEBus コントローラ・モード・レジスタ | IECM  |     | —          | ○    | —     |           |
| F8F0H | コントロール・レジスタ           | CTR   | W   | —          | ○    | —     | ×××00×01B |
|       | ステータス・レジスタ 1          | STR1  | R   | —          | ○    | —     | 01011×××B |
| F8F1H | コマンド・レジスタ             | CMR   | W   | —          | ○    | —     | 00H       |
|       | ステータス・レジスタ 2          | STR2  | R   | —          | ○    | —     | 02H       |
| F8F2H | 自局アドレス・レジスタ 1         | UAR1  | W   | —          | ○    | —     | 不 定       |
|       | 受信データ数レジスタ 1          | RDR1  | R   | —          | ○    | —     | 00H       |
| F8F3H | 自局アドレス・レジスタ 2         | UAR2  | W   | —          | ○    | —     | 不 定       |
|       | 受信データ数レジスタ 2          | RDR2  | R   | —          | ○    | —     | 00H       |
| F8F4H | スレーブ・アドレス・レジスタ 1      | SAR1  | W   | —          | ○    | —     | 不 定       |
|       | ロック・アドレス・レジスタ 1       | LOR1  | R   | —          | ○    | —     | 不 定       |
| F8F5H | スレーブ・アドレス・レジスタ 2      | SAR2  | W   | —          | ○    | —     | 不 定       |
|       | ロック・アドレス・レジスタ 2       | LOR2  | R   | —          | ○    | —     | 0000××××B |
| F8F6H | マスタ通信コントロール・レジスタ      | MCR   | W   | —          | ○    | —     | 不 定       |
|       | 同報先アドレス・レジスタ 1        | DAR1  | R   | —          | ○    | —     | 不 定       |
| F8F7H | 同報先アドレス・レジスタ 2        | DAR2  | R   | —          | ○    | —     | 不 定       |
| F8F8H | リターン・コード・レジスタ         | RCR   | R   | —          | ○    | —     | 4FH       |
| F8FEH | 送信バッファ・レジスタ           | TBF   | W   | —          | ○    | —     | 不 定       |
|       | 受信バッファ・レジスタ           | RBF   | R   | —          | ○    | —     | 不 定       |

### 3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ (PC) の内容によって決定され、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント (1 バイトに対して+1) されますが、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報が PC にセットされて分岐します (各命令についての詳細は **78K/0 シリーズ ユーザーズ・マニュアル 命令編 (IEU-849)** を参照してください)。

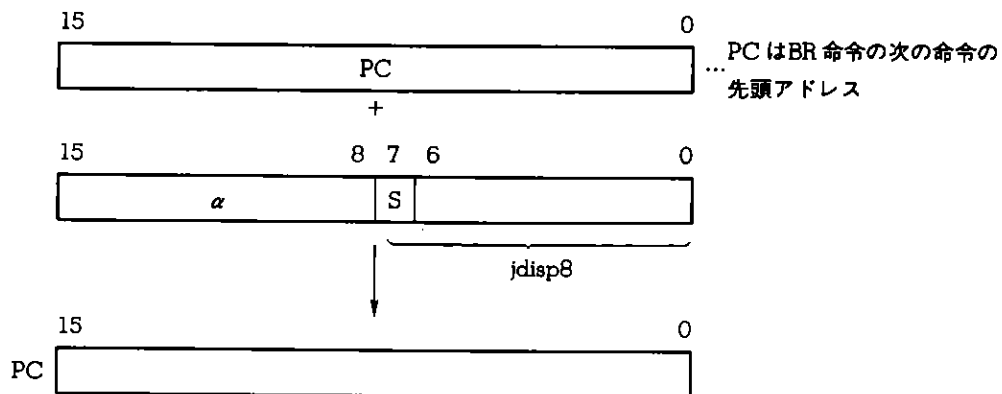
#### 3.3.1 レラティブ・アドレッシング

##### 【機能】

次に続く命令の先頭アドレスに命令コードの 8 ビット・イミディエート・データ (ディスプレースメント値: *jdisp8*) を加算した値が、プログラム・カウンタ (PC) に転送されて分岐します。ディスプレースメント値は、符号付きの 2 の補数データ (-128~+127) として扱われ、ビット 7 が符号ビットとなります。

BR \$addr16 命令および条件付き分岐命令を実行する際に行われます。

##### 【図 解】



S=0 のとき、 $\alpha$  は全ビット 0

S=1 のとき、 $\alpha$  は全ビット 1

## 3.3.2 イミディエト・アドレッシング

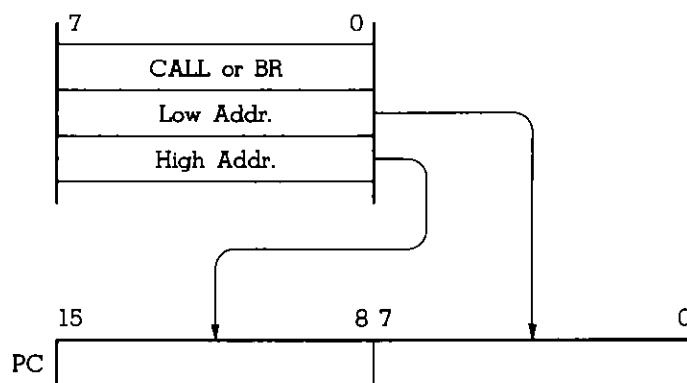
## 【機能】

命令語中のイミディエト・データがプログラム・カウンタ (PC) に転送され、分岐します。

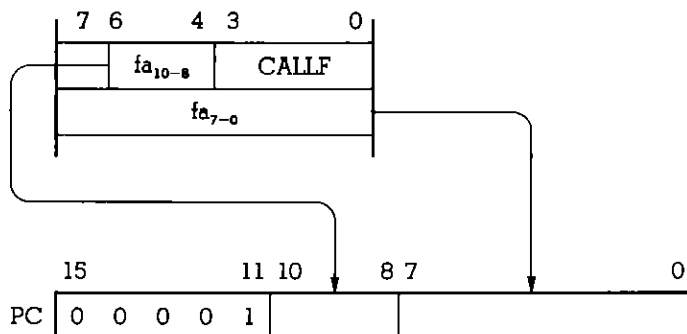
CALL laddr16, BR laddr16, CALLF laddr11 命令を実行する際に行われます。

## 【図解】

CALL laddr16, BR laddr16 命令の場合



CALLF laddr11 命令の場合



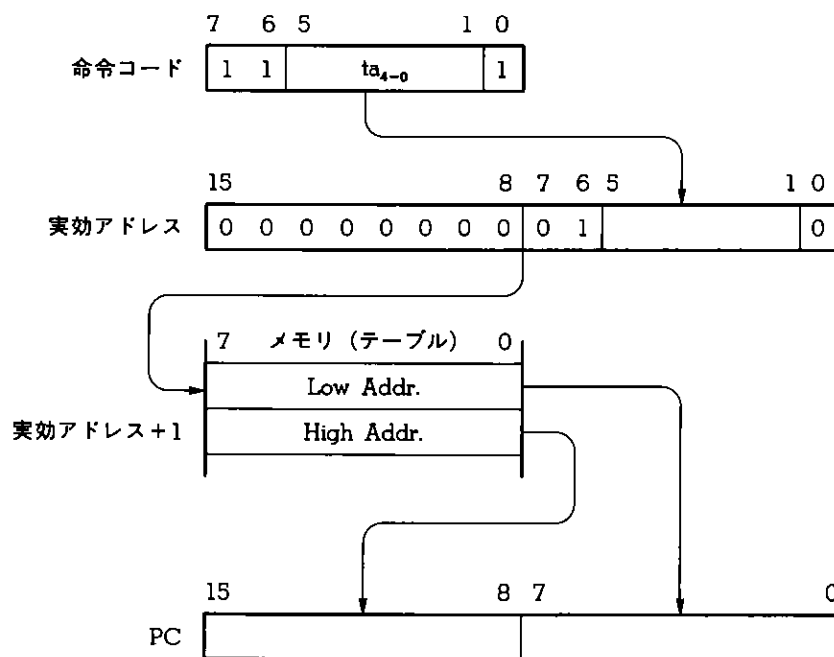
## 3.3.3 テーブル・インダイレクト・アドレッシング

## 【機能】

命令コードのビット 1 からビット 5 のイミディエート・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際に行われます。

## 【図解】



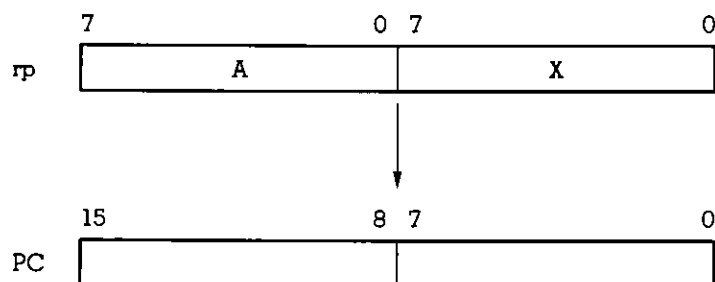
### 3.3.4 レジスタ・アドレッシング

#### 【機能】

命令語によって指定されるレジスタ・ペア (AX) の内容がプログラム・カウンタ (PC) に転送され、分岐します。

BR AX 命令を実行する際に行われます。

#### 【図 解】



### 3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

#### 3.4.1 インプライド・アドレッシング

##### 【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的にアドレスするアドレッシングです。

μPD78098 サブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

| 命 令         | インプライド・アドレッシングで指定されるレジスタ                      |
|-------------|-----------------------------------------------|
| MULU        | 被乗数として A レジスタ, 積が格納されるレジスタとして AX レジスタ         |
| DIVUW       | 被除数および商を格納するレジスタとして AX レジスタ                   |
| ADJBA/ADJBS | 10 進補正の対象となる数値を格納するレジスタとして A レジスタ             |
| ROR4/ROL4   | ディジット・ローテートの対象となるディジット・データを格納するレジスタとして A レジスタ |

##### 【オペランド形式】

命令によって自動的に使用できるため、特定のオペランド形式を持ちません。

##### 【記述例】

MULU X の場合

8 ビット×8 ビットの乗算命令において、A レジスタと X レジスタの積を AX に格納する。ここで、A, AX レジスタがインプライド・アドレッシングで指定されている。



### 3.4.2 レジスタ・アドレッシング

#### 【機 能】

レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中の、命令語中のレジスタ指定コード (Rn, RPn) により、指定される汎用レジスタをオペランドとしてアクセスするアドレッシングです。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

#### 【オペランド形式】

| 表現形式 | 記 述 方 法                |
|------|------------------------|
| r    | X, A, C, B, E, D, L, H |
| rp   | AX, BC, DE, HL         |

r, rp は、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

#### 【記 述 例】

MOV A, C ; r に C レジスタを選択する場合

命令コード 

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
|---|---|---|---|---|---|---|---|

INCW DE ; rp に DE レジスタ・ペアを選択する場合

命令コード 

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
|---|---|---|---|---|---|---|---|

### 3.4.3 ダイレクト・アドレッシング

**【機 能】**

命令語中のイミディエト・データがオペランド・アドレスとなって操作対象となるメモリをアドレスするアドレッシングです。

**【オペランド形式】**

| 表現形式   | 記 述 方 法                   |
|--------|---------------------------|
| addr16 | レーベルまたは 16 ビット・イミディエト・データ |

**【記 述 例】**

MOV A, !FE00H ; !addr16 を FE00H とする場合

|       |                 |
|-------|-----------------|
| 命令コード | 1 0 0 0 1 1 1 0 |
|       | 0 0 0 0 0 0 0 0 |
|       | 1 1 1 1 1 1 1 0 |

### 3.4.4 ショート・ダイレクト・アドレッシング

#### 【機 能】

命令語中の 8 ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用されるのは FE20H-FF1FH の 256 バイト空間です。FE20H-FEFFFH には内部 RAM が、FF00H-FF1FH には特殊機能レジスタ (SFR) がマッピングされています。

ショート・ダイレクト・アドレッシングが適用される SFR 領域 (FF00H-FF1FH) には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタ、キャプチャ・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらの SFR を操作することができます。

実効アドレスのビット 8 は、8 ビット・イミディエト・データが 20H-FFH の場合は 0 になり、00H-1FH の場合は 1 になります。

#### 【オペランド形式】

| 表現形式   | 記 述 方 法                                    |
|--------|--------------------------------------------|
| saddr  | レーベルまたは FE20H-FF1FH のイミディエト・データ            |
| saddrp | レーベルまたは FE20H-FF1FH のイミディエト・データ (偶数アドレスのみ) |

【記述例】

MOV FE30H, #50H ; saddr を FE30H, イミディエト・データを50Hとする場合

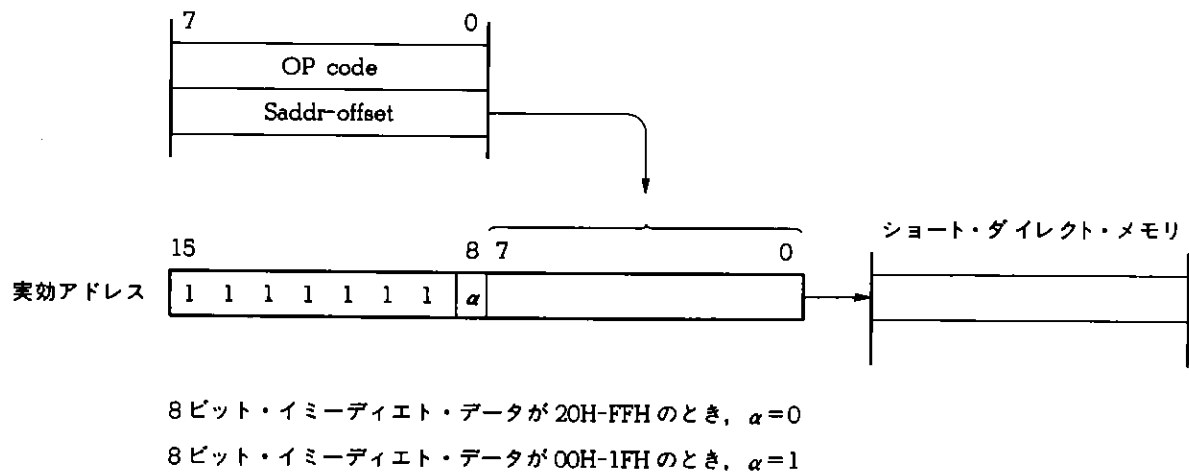
命令コード 

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
|---|---|---|---|---|---|---|---|

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
|---|---|---|---|---|---|---|---|

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
|---|---|---|---|---|---|---|---|

【図解】



### 3.4.5 特殊機能レジスタ (SFR) アドレッシング

#### 【機能】

命令語中の 8 ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

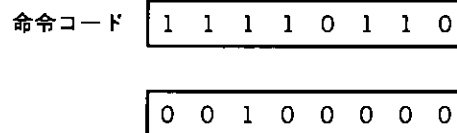
このアドレッシングが適用されるのは FFO0H-FFCFH, FFE0H-FFFFH の 240 バイト空間です。ただし、FF00H-FF1FH にマッピングされている SFR は、ショート・ダイレクト・アドレッシングでもアクセスできます。

#### 【オペランド形式】

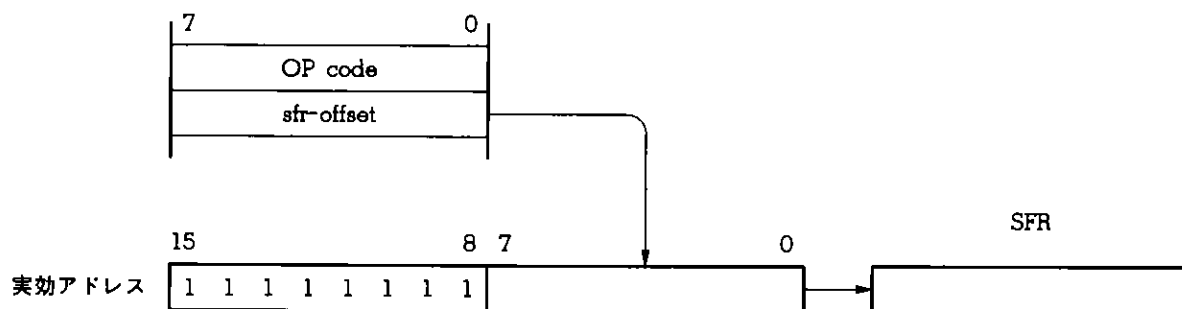
| 表現形式 | 記述方法                            |
|------|---------------------------------|
| sfr  | 特殊機能レジスタ名                       |
| sfrp | 16 ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ) |

#### 【記述例】

MOV PM0, A ; sfr に PM0 を選択する場合



#### 【図解】



## 3.4.6 レジスタ・インダイレクト・アドレッシング

## 【機能】

レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中の、命令語中のレジスタ・ペア指定コードで指定されるレジスタ・ペアの内容がオペランド・アドレスとなって操作対象となるメモリをアドレスするアドレッシングです。すべてのメモリ空間に対してアドレッシングできます。

## 【オペランド形式】

| 表現形式 | 記述方法       |
|------|------------|
| —    | [DE], [HL] |

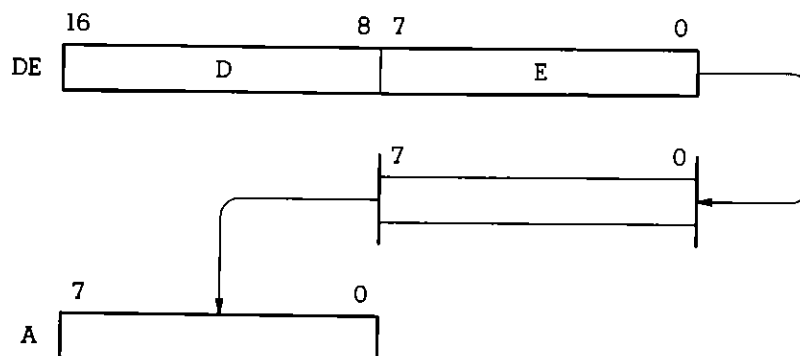
## 【記述例】

MOV A, [DE] : レジスタ・ペアに [DE] を選択する場合

命令コード 

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
|---|---|---|---|---|---|---|---|

## 【図解】



### 3.4.7 ベース・アドレッシング

#### 【機 能】

レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中の、命令語中の HL レジスタ・ペアをベース・レジスタとし、この内容に 8 ビットのイミディエト・データをオフセット・データとして加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として 16 ビットに拡張して行います。16 ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

| 表現形式 | 記 述 方 法   |
|------|-----------|
| —    | [HL+byte] |

#### 【記 述 例】

MOV A, [HL+10H] : byte を 10H とする場合

|       |                 |
|-------|-----------------|
| 命令コード | 1 0 1 0 1 1 1 0 |
|       | 0 0 0 1 0 0 0 0 |

### 3.4.8 ベース・インデクスト・アドレッシング

#### 【機能】

レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中の、命令語中の HL レジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定される B レジスタまたは C レジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として 16 ビットに拡張して行います。16 ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

| 表現形式 | 記 述 方 法        |
|------|----------------|
| —    | [HL+B], [HL+C] |

#### 【記 述 例】

MOV A, [HL+B] の場合

命令コード 

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
|---|---|---|---|---|---|---|---|

### 3.4.9 スタック・アドレッシング

#### 【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速 RAM 領域のみアクセスすることができます。

#### 【記 述 例】

PUSH DE の場合

命令コード 

|   |   |   |   |   |   |   |   |
|---|---|---|---|---|---|---|---|
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
|---|---|---|---|---|---|---|---|



## 第4章 ポート機能

### 4.1 ポートの機能

4

μPD78098 サブシリーズは、2 本の入力ポートと 67 本の入出力ポートを内蔵しています。図 4-1 にポートの構成を示します。いずれのポートも 1 ビット操作、8 ビット操作が可能で、きわめて多様な制御が行えます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

図 4-1 ポートの種類

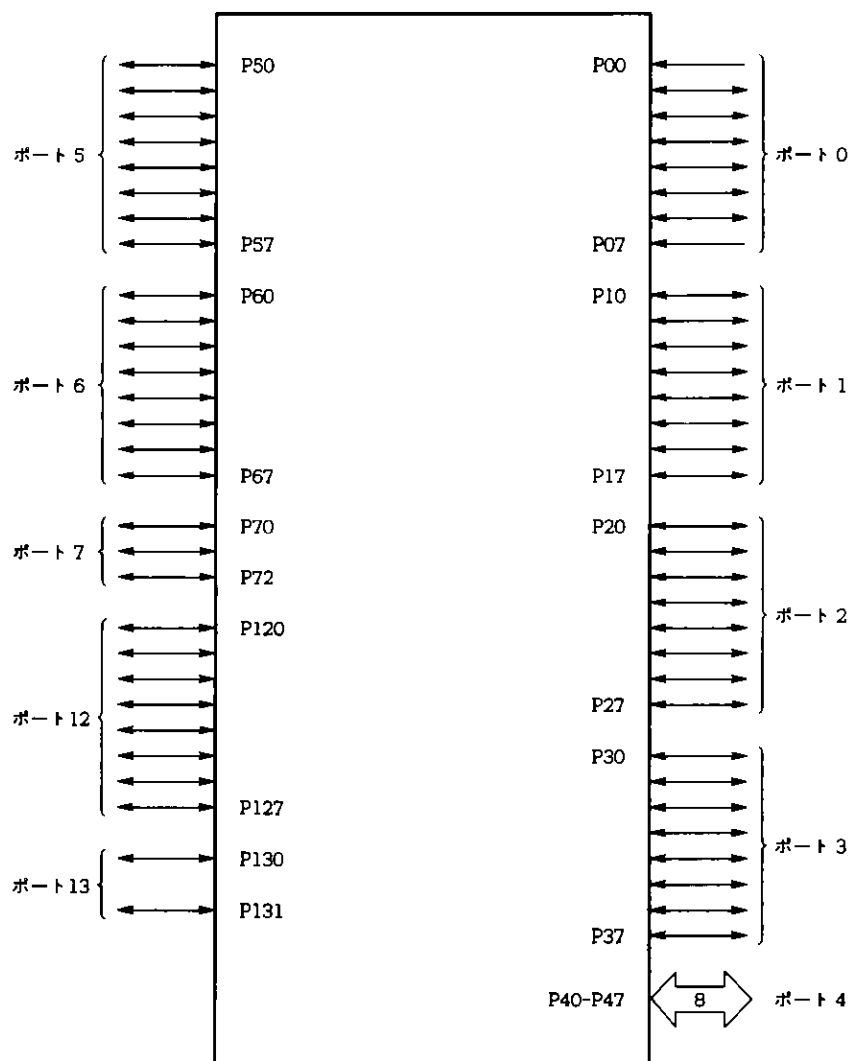


表 4-1 ポートの機能 (1/2)

| 端子名称    | 機 能                                                                                                                                 | 兼用端子                     |
|---------|-------------------------------------------------------------------------------------------------------------------------------------|--------------------------|
| P00     | ポート 0。<br>8 ビット入出力ポート。<br><br>1 ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。                                         | INTP0/TIO0               |
| P01     |                                                                                                                                     | INTP1/TIO1               |
| P02     |                                                                                                                                     | INTP2                    |
| P03     |                                                                                                                                     | INTP3                    |
| P04     |                                                                                                                                     | INTP4                    |
| P05     |                                                                                                                                     | INTP5                    |
| P06     |                                                                                                                                     | INTP6                    |
| P07     | 入力専用。                                                                                                                               | XT1                      |
| P10-P17 | ポート 1。<br>8 ビット入出力ポート。<br>1 ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。                                             | ANIO-ANI7                |
| P20     | ポート 2。<br>8 ビット入出力ポート。<br>1 ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。                                             | SI1                      |
| P21     |                                                                                                                                     | SO1                      |
| P22     |                                                                                                                                     | $\overline{\text{SCK1}}$ |
| P23     |                                                                                                                                     | STB                      |
| P24     |                                                                                                                                     | BUSY                     |
| P25     |                                                                                                                                     | SIO/SB0                  |
| P26     |                                                                                                                                     | SO0/SB1                  |
| P27     |                                                                                                                                     | $\overline{\text{SCK0}}$ |
| P30     | ポート 3。<br>8 ビット入出力ポート。<br>1 ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。                                             | TO0                      |
| P31     |                                                                                                                                     | TO1                      |
| P32     |                                                                                                                                     | TO2                      |
| P33     |                                                                                                                                     | TI1                      |
| P34     |                                                                                                                                     | TI2                      |
| P35     |                                                                                                                                     | PCL                      |
| P36     |                                                                                                                                     | BUZ                      |
| P37     |                                                                                                                                     | -                        |
| P40-P47 | ポート 4。<br>8 ビット入出力ポート。<br>8 ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。<br>立ち下がりエッジの検出により、テスト入力フラグ (KRIF) を 1 にセット。 | AD0-AD7                  |
| P50-P57 | ポート 5。<br>8 ビット入出力ポート。<br>LED を直接駆動可能。<br>1 ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。                             | A8-A15                   |

表 4-1 ポートの機能 (2/2)

| 端子名称       | 機 能                                                                                      |                                                                                  | 兼用端子                              |
|------------|------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------|-----------------------------------|
| P60        | ポート 6。<br>8 ビット入出力ポート。<br>1 ビット単位で入力/出力の指定可能。                                            | N-ch オープン・ドレイン入出力ポート。<br>マスク ROM 製品のみ、マスク・オプションでプルアップ抵抗の内蔵を指定可能。<br>LED を直接駆動可能。 | -                                 |
| P61        |                                                                                          |                                                                                  |                                   |
| P62        |                                                                                          |                                                                                  |                                   |
| P63        |                                                                                          |                                                                                  |                                   |
| P64        |                                                                                          | 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。                                           | $\overline{RD}$                   |
| P65        |                                                                                          |                                                                                  | $\overline{WR}$                   |
| P66        |                                                                                          |                                                                                  | $\overline{WAIT}$                 |
| P67        |                                                                                          |                                                                                  | ASTB                              |
| P70        | ポート 7。<br>3 ビット入出力ポート。<br>1 ビット単位で入力/出力の指定可能。                                            | 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。                                           | SI2/RxD                           |
| P71        |                                                                                          |                                                                                  | SO2/TxD                           |
| P72        |                                                                                          |                                                                                  | $\overline{SCK2}/\overline{ASCK}$ |
| P120-P123  | ポート 12。<br>8 ビット入出力ポート。<br>1 ビット単位で入力/出力の指定可能。                                           | 入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。                                           | RTP0-RTP3                         |
| P124       |                                                                                          |                                                                                  | RTP4/ $\overline{TX}$             |
| P125       |                                                                                          |                                                                                  | RTP5/ $\overline{RX}$             |
| P126, P127 |                                                                                          |                                                                                  | RTP6, RTP7                        |
| P130, P131 | ポート 13。<br>2 ビット入出力ポート。<br>1 ビット単位で入力/出力の指定可能。<br>入力ポートとして使用する場合、ソフトウェアにより、プルアップ抵抗の接続可能。 |                                                                                  | ANO0, ANO1                        |

## 4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表 4-2 ポートの構成

| 項 目     | 構 成                                                                                                                        |
|---------|----------------------------------------------------------------------------------------------------------------------------|
| 制御レジスタ  | ポート・モード・レジスタ (PMm: m=0-3, 5-7, 12, 13)<br>プルアップ抵抗オプション・レジスタ (PUOH, PUOL)<br>メモリ拡張モード・レジスタ (MM) 注<br>キー・リターン・モード・レジスタ (KRM) |
| ポ ー ト   | 合計: 69本 (入力: 2本, 入出力: 67本)                                                                                                 |
| プルアップ抵抗 | ・マスク ROM 製品<br>合計: 67本 (ソフトウェア制御: 63本, マスク・オプション制御: 4本)<br>・μPD78P098A 合計: 63本                                             |

注 メモリ拡張モード・レジスタは、ポート 4 の入力/出力の指定を行います。

### 4.2.1 ポート 0

出力ラッチ付き 8 ビット入出力ポートです。P01-P06 端子は、ポート・モード・レジスタ 0 により、1 ビット単位で入力モード/出力モードの指定ができます。P00, P07 端子は、入力専用ポートです。P01-P06 端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ L により、6 ビット単位でプルアップ抵抗を接続できます。

また、兼用機能として外部割り込み入力、タイマへの外部カウント・クロック入力、サブシステム・クロック発振用クリスタル接続があります。

$\overline{\text{RESET}}$  入力により、入力モードになります。

図 4-2, 4-3 にポート 0 のブロック図を示します。

**注意** ポート 0 は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに 1 を設定してください。

図 4-2 P00, P07 の構成

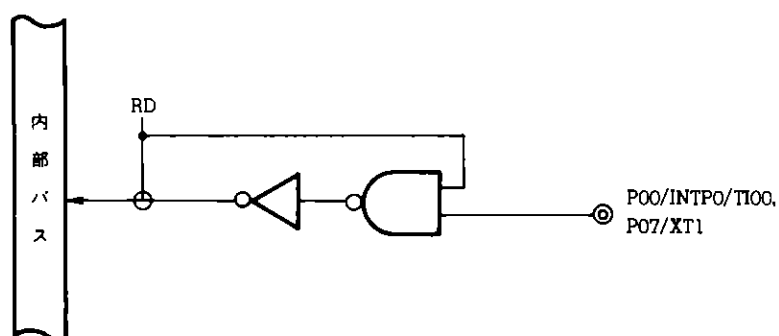
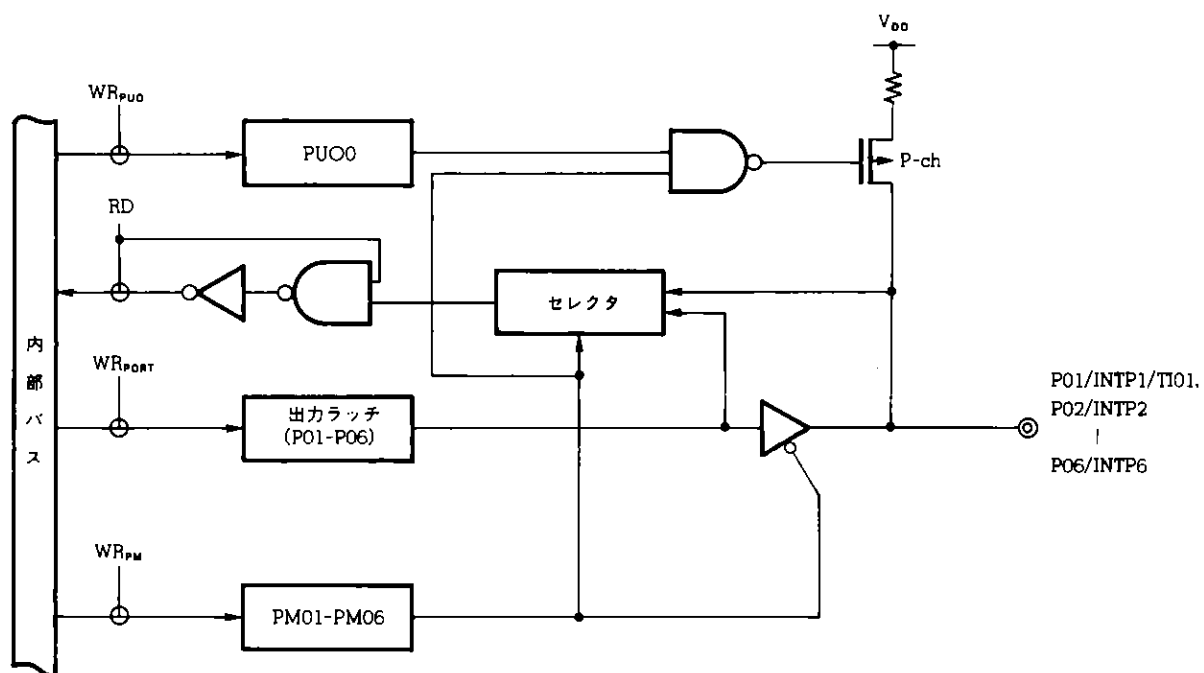


図 4-3 P01-P06 の構成



備考 1. PU0 : プルアップ抵抗オプション・レジスタ。

2. PM : ポート・モード・レジスタ。

3. RD : ポート 0 のリード信号。

4. WR : ポート 0 のライト信号。

### 4.2.2 ポート 1

出力ラッチ付き 8 ビット入出力ポートです。ポート・モード・レジスタ 1 により、1 ビット単位で入力モード/出力モードの指定ができます。P10-P17 端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ L により、8 ビット単位でプルアップ抵抗を接続できます。

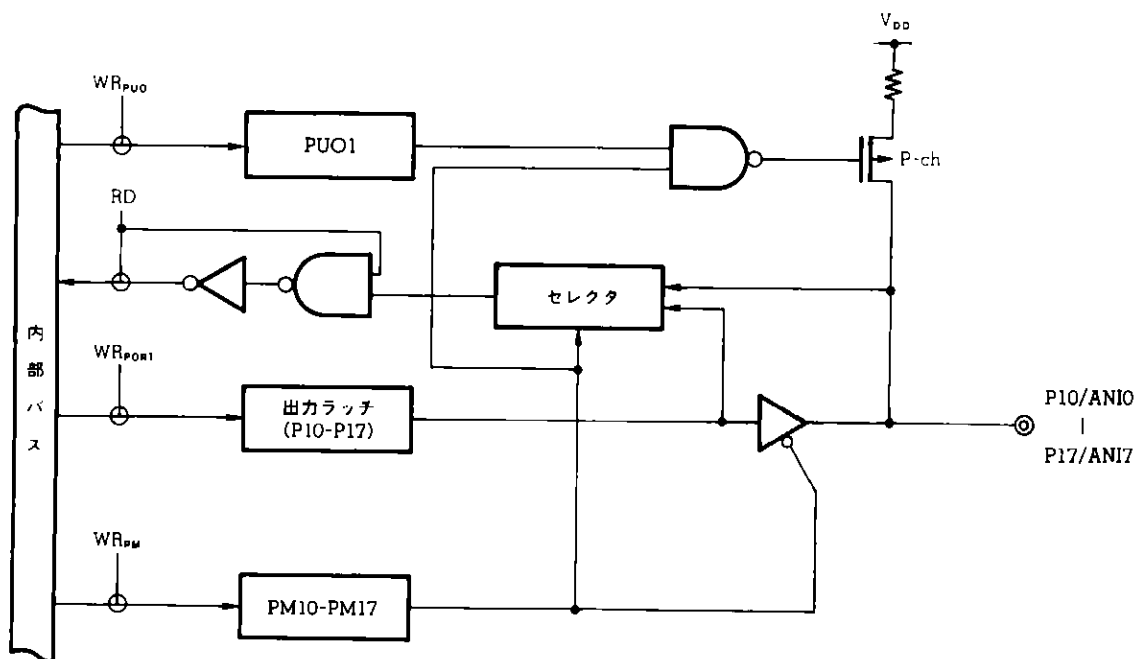
また、兼用機能として A/D コンバータのアナログ入力があります。

$\overline{\text{RESET}}$  入力により、入力モードになります。

図 4-4 にポート 1 のブロック図を示します。

**注意** A/D コンバータのアナログ入力として使用する端子には、内蔵プルアップ抵抗は使用できません。

図 4-4 P10-P17 の構成



備考 1. PUO : プルアップ抵抗オプション・レジスタ。

2. PM : ポート・モード・レジスタ。

3. RD : ポート 1 のリード信号。

4. WR : ポート 1 のライト信号。

### 4.2.3 ポート 2

出力ラッチ付き 8 ビット入出力ポートです。P20-P27 端子は、ポート・モード・レジスタ 2 により、1 ビット単位で入力モード/出力モードの指定ができます。P20-P27 端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ L により、8 ビット単位でプルアップ抵抗を接続できます。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、自動送受信ピルジ入力、ストローブ出力があります。

$\overline{\text{RESET}}$  入力により、入力モードになります。

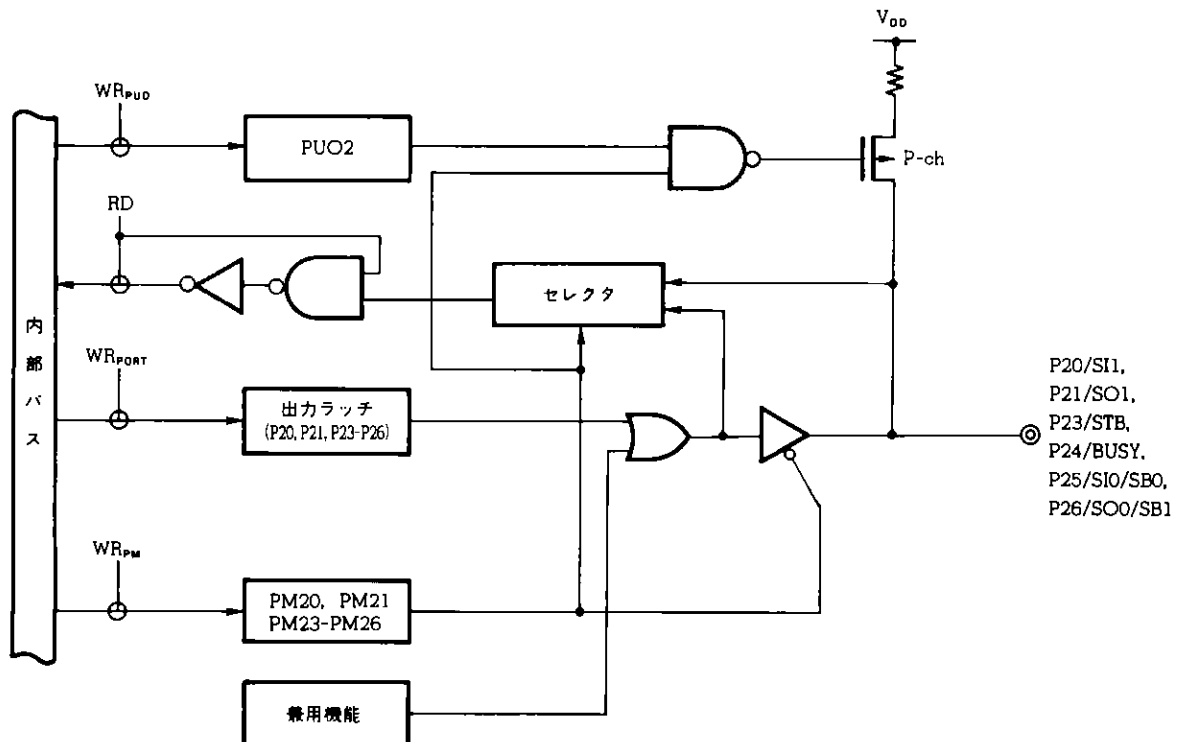
図 4-5、4-6 にポート 2 のブロック図を示します。

注意 1. シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図 14-4 シリアル動作モード・レジスタ 0 のフォーマットおよび図 15-3 シリアル動作モード・レジスタ 1 のフォーマットを参照してください。

2. SBI モード時で、端子の状態を読み出すときは、PM2n に 1 を設定してください (n=5, 6) (14.4.3 SBI モードの動作 (10) SBI モードの注意事項の (e) を参照)。

★

図 4-5 P20, P21, P23-P26 の構成



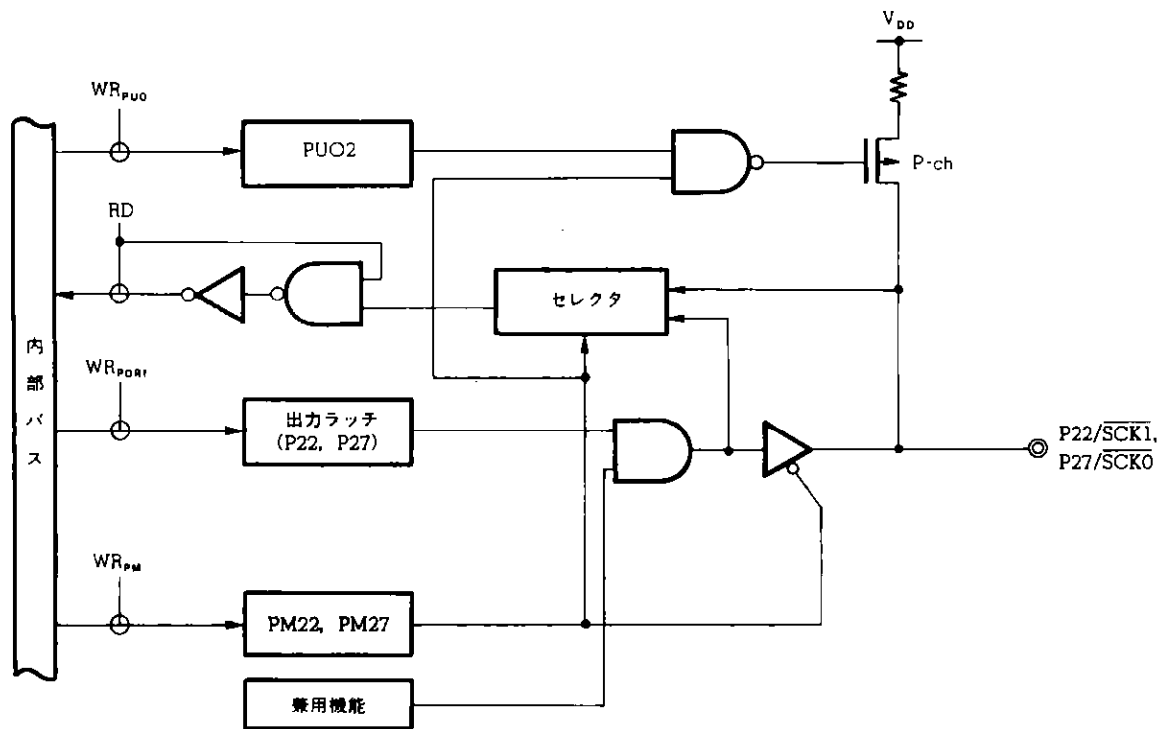
備考 1. PUO : プルアップ抵抗オプション・レジスタ。

2. PM : ポート・モード・レジスタ。

3. RD : ポート 2 のリード信号。

4. WR : ポート 2 のライト信号。

図 4-6 P22, P27 の構成



備考 1. PUO : プルアップ抵抗オプション・レジスタ。

2. PM : ポート・モード・レジスタ。

3. RD : ポート 2 のリード信号。

4. WR : ポート 2 のライト信号。



#### 4.2.4 ポート 3

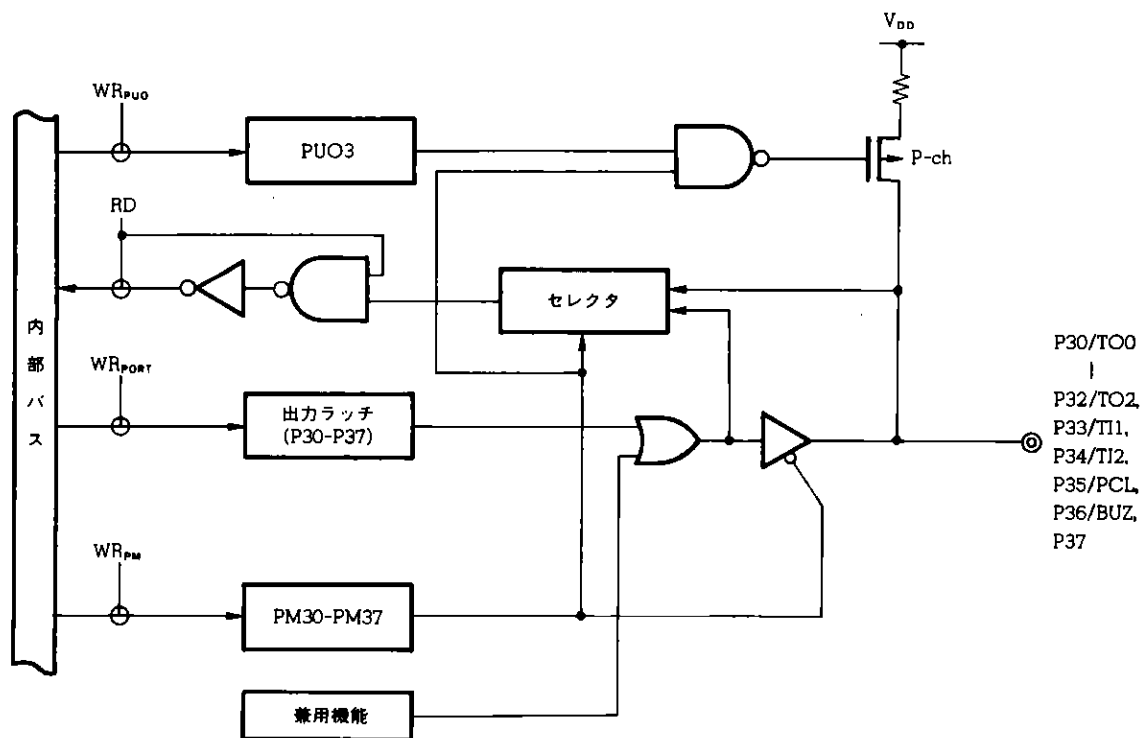
出力ラッチ付き 8 ビット入出力ポートです。P30-P37 端子は、ポート・モード・レジスタ 3 により、1 ビット単位で入力モード/出力モードの指定ができます。P30-P37 端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ L により、8 ビット単位でプルアップ抵抗を接続できます。

また、兼用機能としてタイマの入出力、クロック出力、ブザー出力があります。

$\overline{\text{RESET}}$  入力により、入力モードになります。

図 4-7 にポート 3 のブロック図を示します。

図 4-7 P30-P37 の構成



備考 1. PUO : プルアップ抵抗オプション・レジスタ。

2. PM : ポート・モード・レジスタ。

3. RD : ポート 3 のリード信号。

4. WR : ポート 3 のライト信号。

### 4.2.5 ポート 4

出力ラッチ付き 8 ビット入出力ポートです。P40-P47 端子は、メモリ拡張モード・レジスタにより、8 ビット単位で入力モード/出力モードの指定ができます。P40-P47 端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ L により、8 ビット単位でプルアップ抵抗を接続できます。

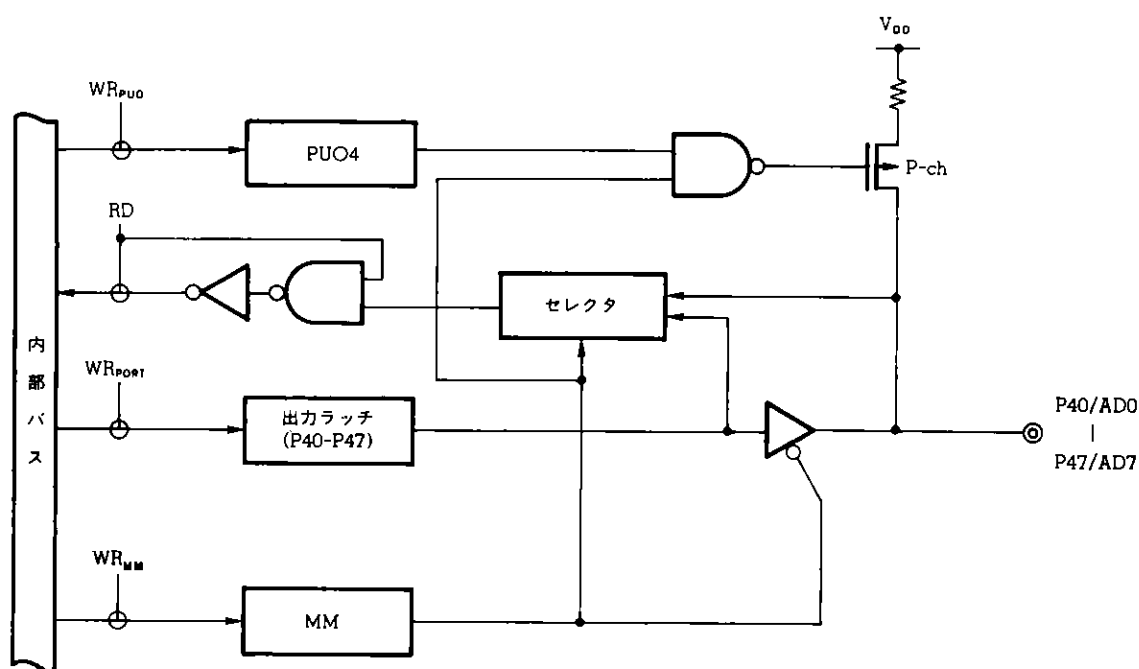
立ち下がりエッジの検出により、テスト入力フラグ (KRIF) を 1 にセットできます。

また、兼用機能として外部メモリ拡張モード時のアドレス/データ・バス機能があります。

$\overline{\text{RESET}}$  入力により、入力モードになります。

図 4-8 にポート 4 のブロック図、図 4-9 に立ち下がりエッジ検出回路のブロック図を示します。

図 4-8 P40-P47 の構成



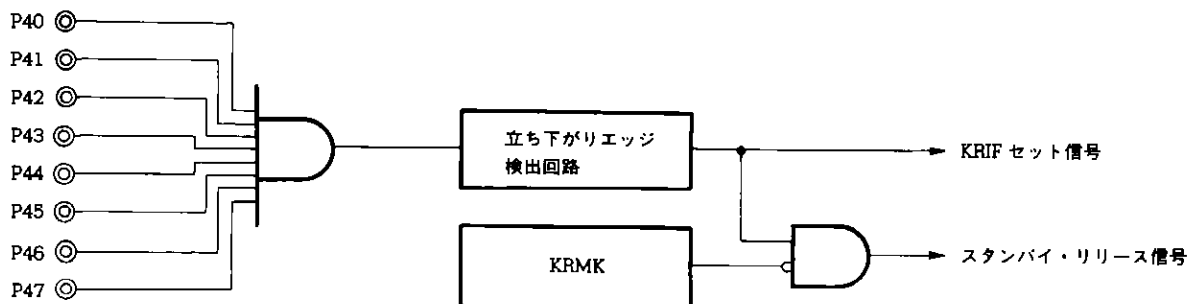
備考 1. PU0 : プルアップ抵抗オプション・レジスタ。

2. MM : メモリ拡張モード・レジスタ。

3. RD : ポート 4 のリード信号。

4. WR : ポート 4 のライト信号。

図 4-9 立ち下がりエッジ検出回路のブロック図



### 4.2.6 ポート 5

出力ラッチ付き 8 ビット入出力ポートです。P50-P57 端子は、ポート・モード・レジスタ 5 により、1 ビット単位で入力モード/出力モードの指定ができます。P50-P57 端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ L により、8 ビット単位でプルアップ抵抗を接続できます。

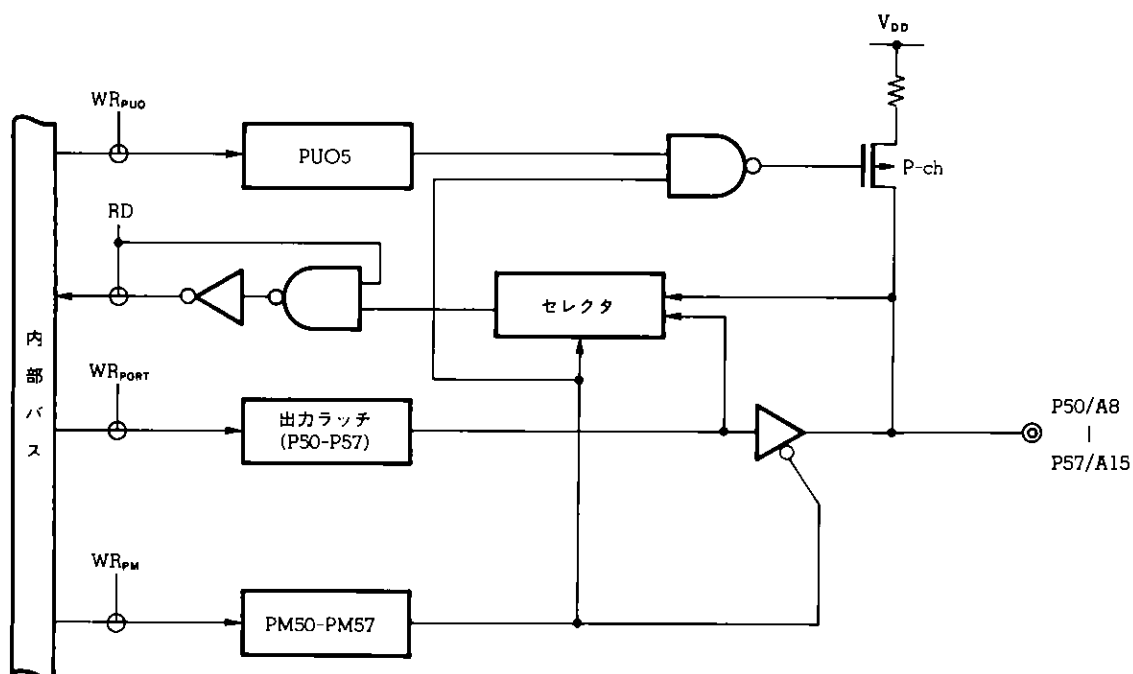
ポート 5 は LED を直接駆動可能です。

また、兼用機能として外部メモリ拡張モード時のアドレス・バス機能があります。

$\overline{\text{RESET}}$  入力により、入力モードになります。

図 4-10 にポート 5 のブロック図を示します。

図 4-10 P50-P57 の構成



備考 1. PUO : プルアップ抵抗オプション・レジスタ。

2. PM : ポート・モード・レジスタ。

3. RD : ポート 5 のリード信号。

4. WR : ポート 5 のライト信号。

#### 4.2.7 ポート 6

出力ラッチ付き 8 ビット入出力ポートです。P60-P67 端子は、ポート・モード・レジスタ 6 により、1 ビット単位で入力モード/出力モードの指定ができます。

P64-P67 端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ L により、4 ビット単位でプルアップ抵抗を接続できます。マスク ROM 品は、マスク・オプションで P60-P63 端子にプルアップ抵抗の内蔵ができます。 $\mu$ PD78P098A には、マスク・オプションはありません。

P60-P63 端子は LED を直接駆動可能です。

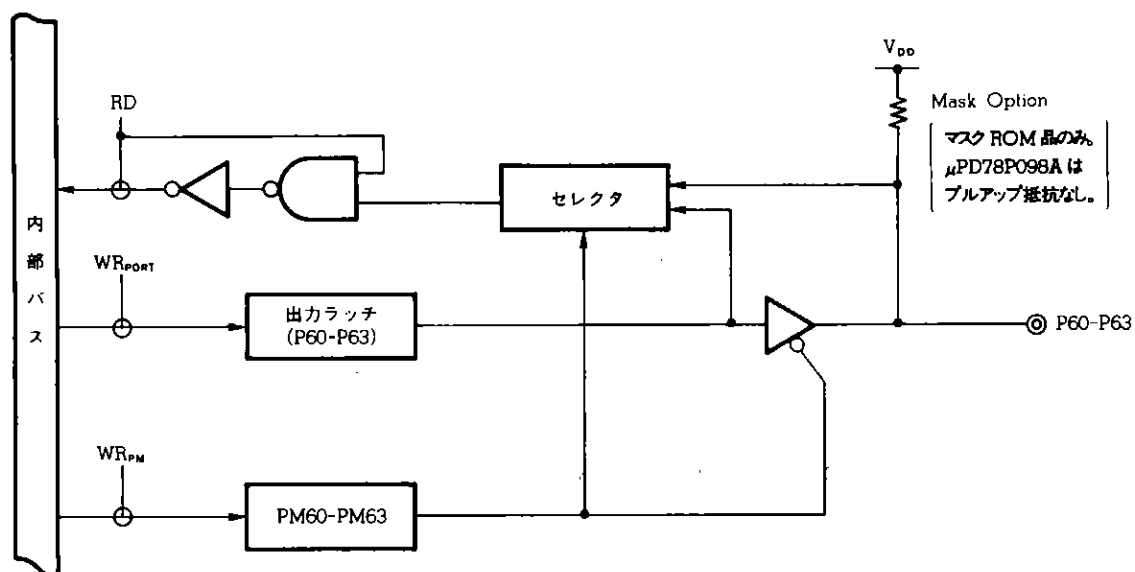
また、兼用機能として外部メモリ拡張モード時の制御信号出力機能があります。

$\overline{\text{RESET}}$  入力により、入力モードになります。

図 4-11, 4-12 にポート 6 のブロック図を示します。

**注意** 外部メモリ拡張モード時で外部ウエイトを使用しないときは、P66 を入出力ポートとして使用することができます。

図4-11 P60-P63の構成

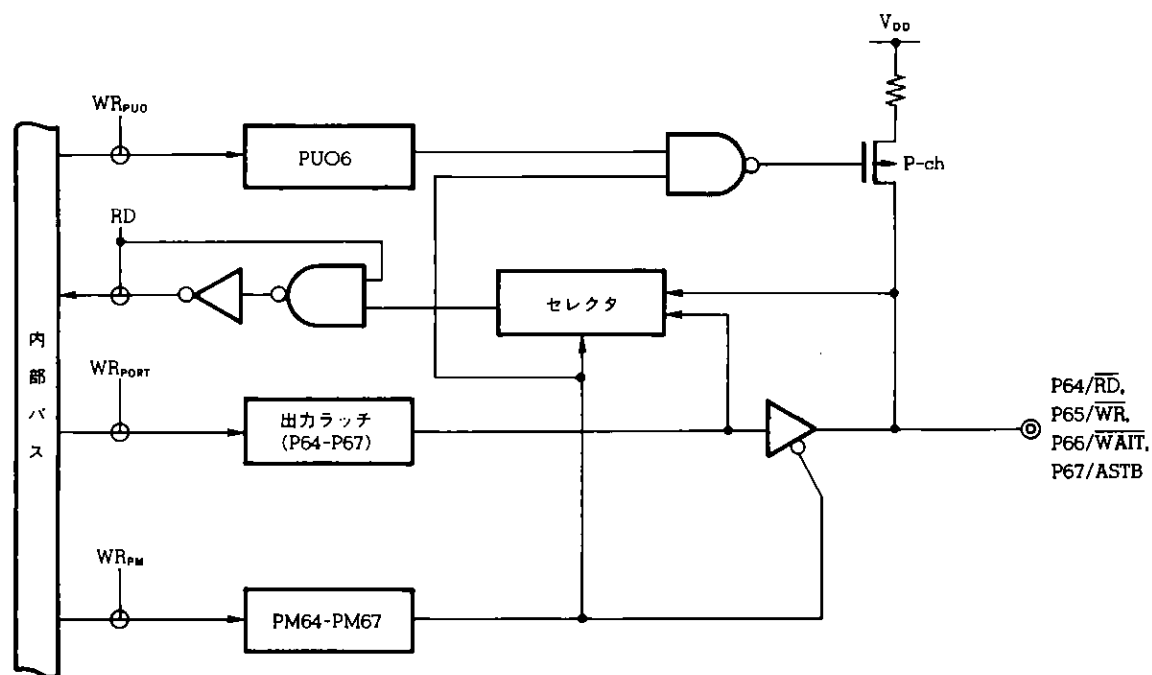


備考 1. PM : ポート・モード・レジスタ。

2. RD : ポート 6 のリード信号。

3. WR : ポート 6 のライト信号。

図4-12 P64-P67の構成



備考 1. PU0 : プルアップ抵抗オプション・レジスタ。

2. PM : ポート・モード・レジスタ。

3. RD : ポート 6 のリード信号。

4. WR : ポート 6 のライト信号。

### 4.2.8 ポート 7

出力ラッチ付き 3 ビット入出力ポートです。ポート・モード・レジスタ 7 により, 1 ビット単位で入力モード/出力モードの指定ができます。P70-P72 端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタ L により, 3 ビット単位でプルアップ抵抗を接続できます。

また, 兼用機能としてシリアル・インタフェース・チャンネル 2 のデータ入出力, クロック入出力があります。

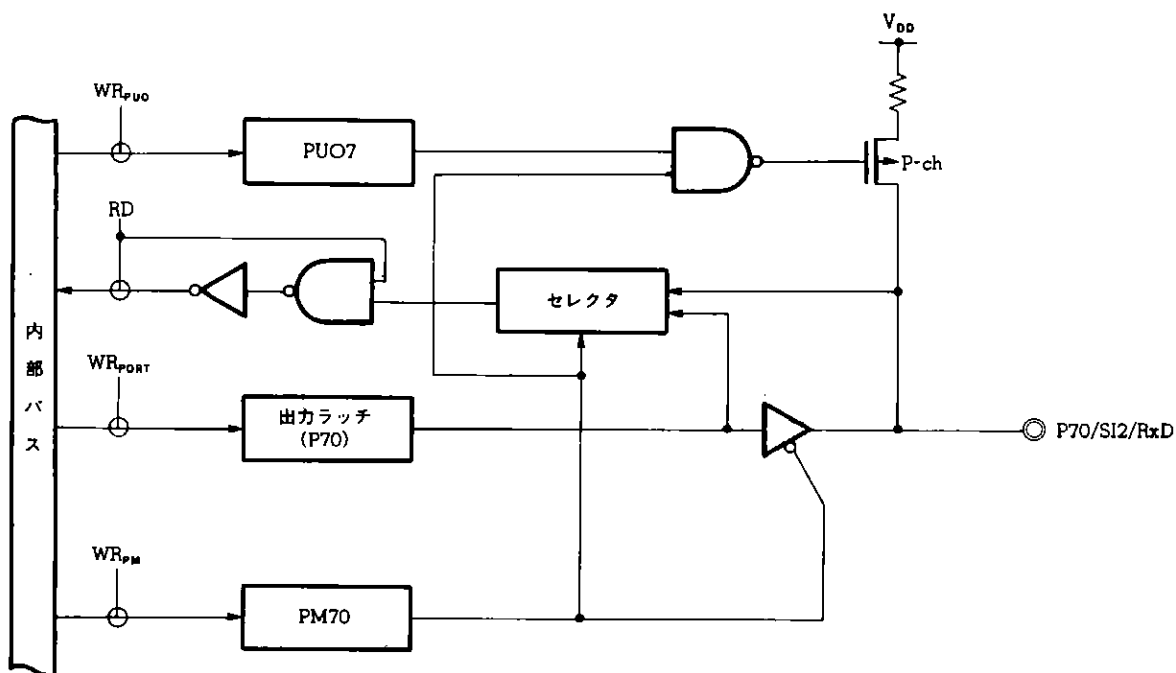
$\overline{\text{RESET}}$  入力により, 入力モードになります。

図 4-13, 4-14 にポート 7 のブロック図を示します。

★

**注意** シリアル・インタフェースとして使用する場合は, その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については, 表 16-2 シリアル・インタフェース・チャンネル 2 の動作モードの設定一覧を参照してください。

図 4-13 P70 の構成



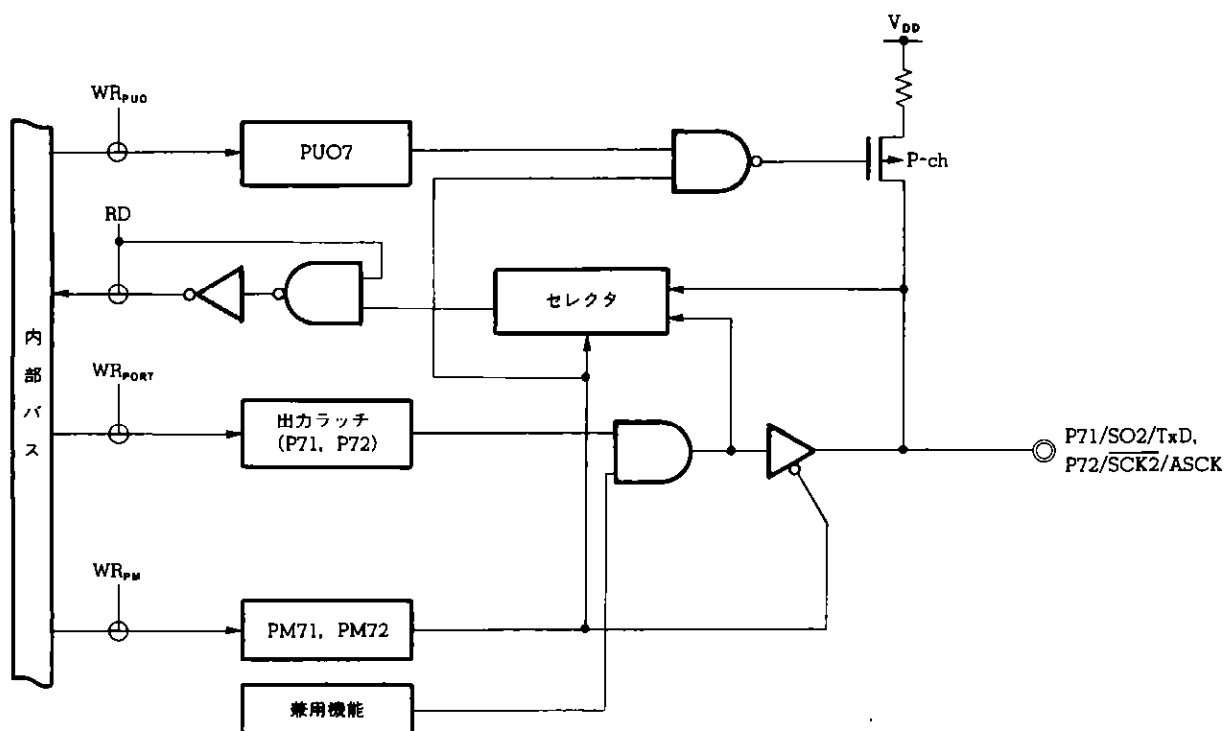
備考 1. PUO : プルアップ抵抗オプション・レジスタ。

2. PM : ポート・モード・レジスタ。

3. RD : ポート 7 のリード信号。

4. WR : ポート 7 のライト信号。

図4-14 P71, P72の構成



備考 1. PU0 : プルアップ抵抗オプション・レジスタ。

2. PM : ポート・モード・レジスタ。

3. RD : ポート 7 のリード信号。

4. WR : ポート 7 のライト信号。

### 4.2.9 ポート12

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ12により、1ビット単位で入力モード/出力モードの指定ができます。P120-P127 端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ H により、8ビット単位でプルアップ抵抗を接続できます。

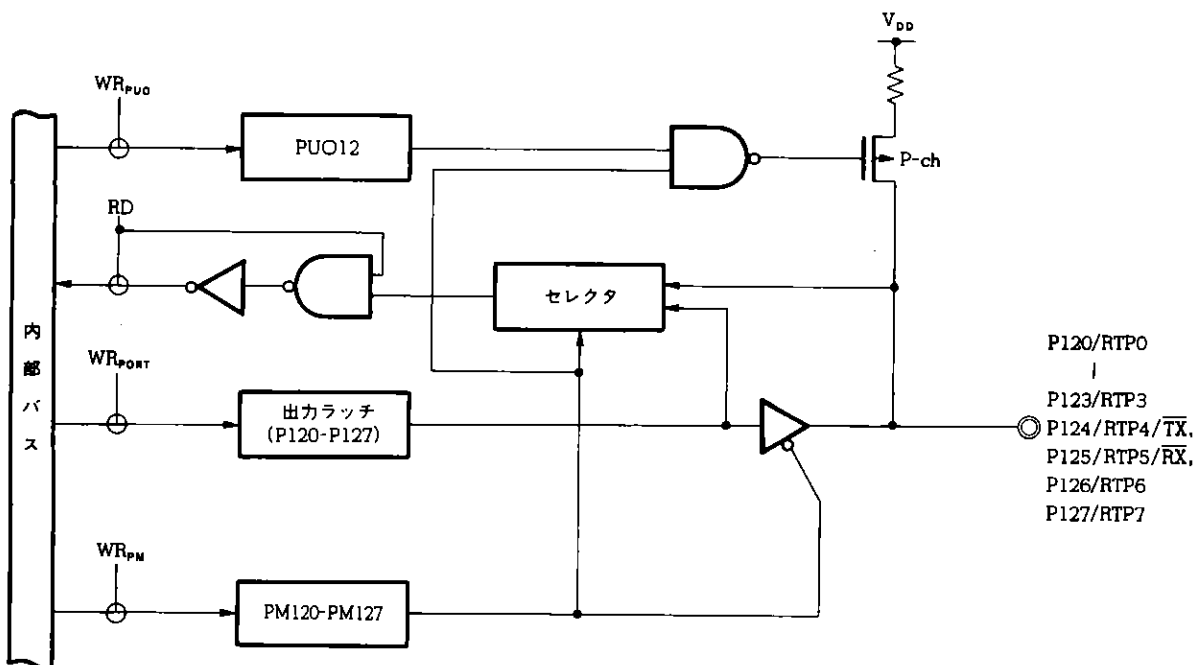
また、兼用機能としてリアルタイム出力機能、IEBus コントローラ機能があります。

IEBus コントローラ機能を使用しているときは、ポート12に対してビット操作命令を実行しないでください。

$\overline{\text{RESET}}$  入力により、入力モードになります。

図4-15にポート12のブロック図を示します。

図4-15 P120-P127 の構成



備考 1. PUO : プルアップ抵抗オプション・レジスタ。

2. PM : ポート・モード・レジスタ。

3. RD : ポート12のリード信号。

4. WR : ポート12のライト信号。



### 4.2.10 ポート13

出力ラッチ付き2ビット入出力ポートです。ポート・モード・レジスタ13により、1ビット単位で入力モード/出力モードの指定ができます。P130, P131 端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタHにより、2ビット単位でプルアップ抵抗を接続できます。

また、兼用機能としてD/Aコンバータのアナログ出力があります。

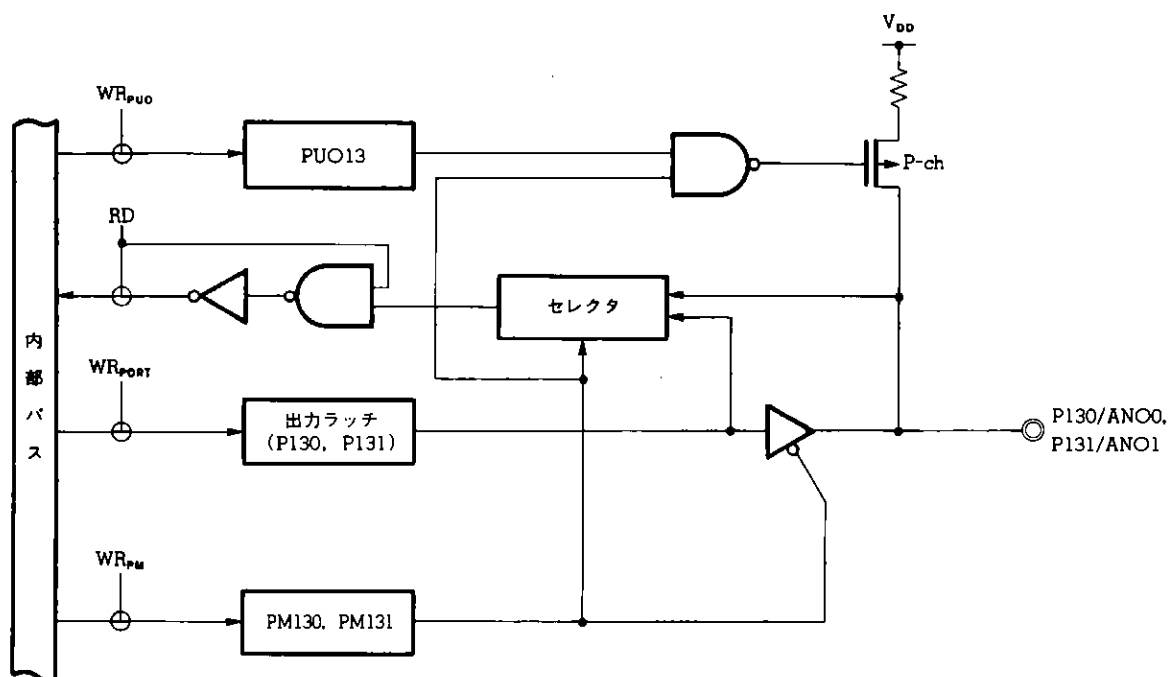
$\overline{\text{RESET}}$  入力により、入力モードになります。

図4-16にポート13のブロック図を示します。

**注意**  $AV_{\text{REF}} < V_{\text{DD}}$  でD/Aコンバータを1チャンネルのみで使用しているときは、アナログ出力として使用していない端子に次に示すいずれかの処置をしてください。

- ・ポート・モード・レジスタ (PM13x) に1を設定して(入力モード),  $V_{\text{SS}}$  に接続する。
- ・ポート・モード・レジスタ (PM13x) に0(出力モード), 出力ラッチに0を設定して, ロウ・レベルを出力する。

図4-16 P130, P131の構成



**備考 1.** PUO : プルアップ抵抗オプション・レジスタ。

**2.** PM : ポート・モード・レジスタ。

**3.** RD : ポート13のリード信号。

**4.** WR : ポート13のライト信号。

### 4.3 ポート機能を制御するレジスタ

ポートは、次の4種類のレジスタで制御します。

- ポート・モード・レジスタ (PM0-PM3, PM5-PM7, PM12, PM13)
- ブルアップ抵抗オプション・レジスタ (PUOH, PUOL)
- メモリ拡張モード・レジスタ (MM)
- キー・リターン・モード・レジスタ (KRM)

★

#### (1) ポート・モード・レジスタ (PM0-PM3, PM5-PM7, PM12, PM13)

ポートの入力/出力を1ビット単位で設定するレジスタです。

PM0-PM3, PM5-PM7, PM13 は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

PM12は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力によって、FFH になります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 1. P00, P07 は、入力専用端子です。

2. ポート 0 は、外部割り込み入力と兼用になっているため、ポート機能の出力モードを設定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに 1 を設定してください。

3. P40-P47 端子の入力/出力の設定は、メモリ拡張モード・レジスタで行います。

4. IEBus コントローラ使用時、ポート12に対する以下のリード・モディファイ・ライト命令が使用できません。

```
SET1 ; ポート12の任意のビットを操作
CLR1 ;      "
BTCLR;      "
OR   P12, #byte
XOR  P12, #byte
AND  P12, #byte
```

表 4-3 兼用機能使用時のポート・モード・レジスタ、出力ラッチの設定

| 端子名称                  | 兼用機能        |     | PM××  | P×× | 端子名称                     | 兼用機能                     |     | PM×× | P×× |
|-----------------------|-------------|-----|-------|-----|--------------------------|--------------------------|-----|------|-----|
|                       | 名 称         | 入出力 |       |     |                          | 名 称                      | 入出力 |      |     |
| P00                   | INTP0       | 入 力 | 1(固定) | なし  | P50-P57                  | A8-A15                   | 出 力 | ×注2  |     |
|                       | TI00        | 入 力 | 1(固定) | なし  | P64                      | $\overline{\text{RD}}$   | 出 力 | ×注2  |     |
| P01                   | INTP1       | 入 力 | 1     | ×   | P65                      | $\overline{\text{WR}}$   | 出 力 | ×注2  |     |
|                       | TI01        | 入 力 | 1     | ×   | P66                      | $\overline{\text{WAIT}}$ | 入 力 | ×注2  |     |
| P02-P06               | INTP2-INTP6 | 入 力 | 1     | ×   | P67                      | ASTB                     | 出 力 | ×注2  |     |
| P07 <sup>注1</sup>     | XT1         | 入 力 | 1(固定) | なし  | P120-P123                | RTP0-RTP3                | 出 力 | 0    | 任意  |
| P10-P17 <sup>注1</sup> | ANIO-ANI7   | 入 力 | 1     | ×   | P124                     | RTP4                     | 出 力 | 0    | 任意  |
| P30-P32               | TO0-TO2     | 出 力 | 0     | 0   |                          | $\overline{\text{TX}}$   | 出 力 | 1    | 0   |
| P33, P34              | TI1, TI2    | 入 力 | 1     | ×   | P125                     | RTP5                     | 出 力 | 0    | 任意  |
| P35                   | PCL         | 出 力 | 0     | 0   |                          | $\overline{\text{RX}}$   | 入 力 | 1    | ×   |
| P36                   | BUZ         | 出 力 | 0     | 0   | P126, P127               | RTP6, RTP7               | 出 力 | 0    | 任意  |
| P40-P47               | AD0-AD7     | 入出力 | ×注2   |     | P130, P131 <sup>注1</sup> | ANO0, ANO1               | 出 力 | 1    | 0   |

注 1. 兼用機能使用中は不定になります。

2. P40-P47, P50-P57, P64-P67 端子を兼用機能の端子として使用するときは、メモリ拡張モード・レジスタで機能を設定します。

備考 × : don't care (設定の必要はありません)

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

注意 1. メモリ拡張モード時で外部ウエイトを使用しないときは、P66 端子を入出力ポートとして使用することができます。

2. ポート 2, ポート 7 をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図 14-4 シリアル動作モード・レジスタ 0 のフォーマット、図 15-3 シリアル動作モード・レジスタ 1 のフォーマット、表 16-2 シリアル・インタフェース・チャンネル 2 の動作モードの設定一覧を参照してください。

図4-17 ポート・モード・レジスタのフォーマット

| 略号   | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-----|
| PM0  | 1     | PM06  | PM05  | PM04  | PM03  | PM02  | PM01  | 1     | FF20H | FFH   | R/W |
| PM1  | PM17  | PM16  | PM15  | PM14  | PM13  | PM12  | PM11  | PM10  | FF21H | FFH   | R/W |
| PM2  | PM27  | PM26  | PM25  | PM24  | PM23  | PM22  | PM21  | PM20  | FF22H | FFH   | R/W |
| PM3  | PM37  | PM36  | PM35  | PM34  | PM33  | PM32  | PM31  | PM30  | FF23H | FFH   | R/W |
| PM5  | PM57  | PM56  | PM55  | PM54  | PM53  | PM52  | PM51  | PM50  | FF25H | FFH   | R/W |
| PM6  | PM67  | PM66  | PM65  | PM64  | PM63  | PM62  | PM61  | PM60  | FF26H | FFH   | R/W |
| PM7  | 1     | 1     | 1     | 1     | 1     | PM72  | PM71  | PM70  | FF27H | FFH   | R/W |
| PM12 | PM127 | PM126 | PM125 | PM124 | PM123 | PM122 | PM121 | PM120 | FF2CH | FFH   | R/W |
| PM13 | 1     | 1     | 1     | 1     | 1     | 1     | PM131 | PM130 | FF2DH | FFH   | R/W |

|      |                                                  |
|------|--------------------------------------------------|
| PMmn | Pmn 端子の入出力モードの選択<br>(m=0-3, 5-7, 12, 13 : n=0-7) |
| 0    | 出力モード (出力バッファ・オン)                                |
| 1    | 入力モード (出力バッファ・オフ)                                |



## (3) メモリ拡張モード・レジスタ (MM)

ポート 4 の入力/出力を設定するレジスタです。

MM は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、10H になります。

図 4-19 メモリ拡張モード・レジスタのフォーマット

| 略号 | 7 | 6 | 5   | 4   | 3 | 2   | 1   | 0   | アドレス  | リセット時 | R/W |
|----|---|---|-----|-----|---|-----|-----|-----|-------|-------|-----|
| MM | 0 | 0 | PW1 | PW0 | 0 | MM2 | MM1 | MM0 | FFF8H | 10H   | R/W |

| MM2  | MM1 | MM0 | シングルチップ/<br>メモリ拡張モードの選択 |                     | P40-P47, P50-P57, P64-P67 端子の状態 |          |          |                     |          |                                                                                                         |
|------|-----|-----|-------------------------|---------------------|---------------------------------|----------|----------|---------------------|----------|---------------------------------------------------------------------------------------------------------|
|      |     |     |                         |                     | P40-P47                         |          | P50-P53  | P54, P55            | P56, P57 | P64-P67                                                                                                 |
| 0    | 0   | 0   | シングルチップ・モード             |                     | ポート・<br>モード                     | 入力<br>出力 | ポート・モード  |                     |          |                                                                                                         |
| 0    | 0   | 1   |                         |                     |                                 |          |          |                     |          |                                                                                                         |
| 0    | 1   | 1   | メモリ拡張<br>モード            | 256バイト・<br>モード      | ADO-AD7                         | A8-A11   | ポート・モード  |                     |          | P64= $\overline{\text{RD}}$<br>P65= $\overline{\text{WR}}$<br>P66= $\overline{\text{WAIT}}$<br>P67=ASTB |
| 1    | 0   | 0   |                         | 4Kバイト・<br>モード       |                                 |          | ポート・モード  |                     |          |                                                                                                         |
| 1    | 0   | 1   |                         | 16Kバイト・<br>モード      |                                 |          | A12, A13 | ポート・モード<br>A14, A15 |          |                                                                                                         |
| 1    | 1   | 1   |                         | 注<br>フルアドレス・<br>モード |                                 |          |          |                     |          |                                                                                                         |
| 上記以外 |     |     | 設定禁止                    |                     |                                 |          |          |                     |          |                                                                                                         |

| PW1 | PW0 | ウェイトの制御                |
|-----|-----|------------------------|
| 0   | 0   | ウェイトなし                 |
| 0   | 1   | ウェイトあり (1 ウェイト・ステート挿入) |
| 1   | 0   | 設定禁止                   |
| 1   | 1   | 外部ウェイト端子によるウェイト制御      |

注 フルアドレス・モードとは、64 K アドレス空間のうち、内部 ROM、RAM、SFR 領域および使用不可領域を除く、すべての領域に外部拡張できるモードです。

備考 1. P60-P63 端子は、シングルチップ・モード、メモリ拡張モードにかかわらずポート・モードになります。

2. MM は、ポート 4 の入力/出力の設定以外に、ウェイト数、外部拡張領域を設定する機能があります。

注意 メイン・システム・クロックを生成する際に、クロック発生回路の 2/3 分周回路 (分周回路 1 内) を使用している場合は、外部デバイス拡張機能が使用できません。

## (4) キー・リターン・モード・レジスタ (KRM)

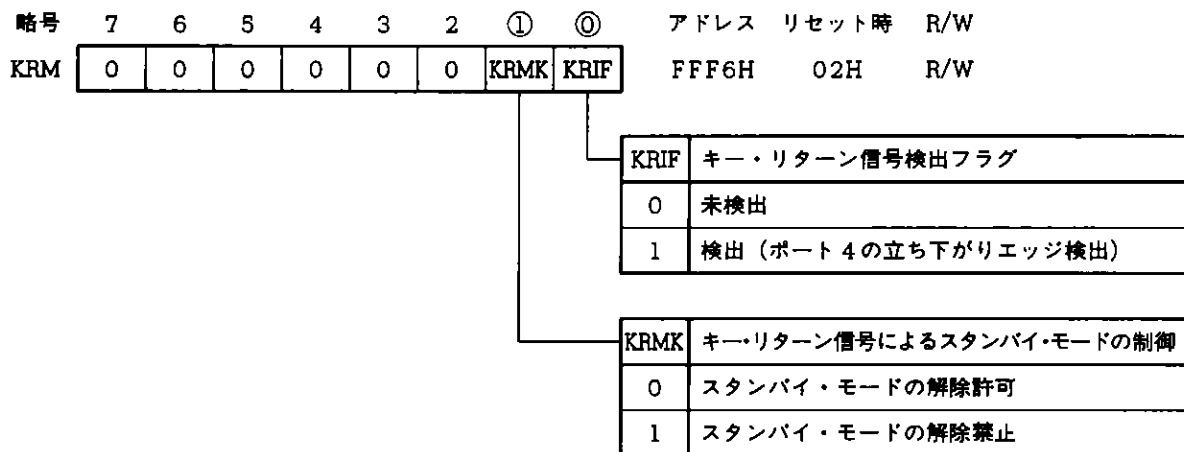
★

キー・リターン信号 (ポート 4 の立ち下がりエッジ検出) によるスタンバイ機能の解除の許可/禁止を設定するレジスタです。

KRM は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、02H になります。

図 4-20 キー・リターン・モード・レジスタのフォーマット



**注意** ポート 4 で立ち下がりエッジ検出を使用するとき、必ず **KRIF** を 0 にクリアしてください (自動的に 0 にクリアされません)。

## 4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 4.4.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

### 4.4.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。



### 4.4.3 入出力ポートでの演算

#### (1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

## 4.5 マスク・オプションの選択

マスク ROM 製品には、次のマスク・オプションがあります。 $\mu$ PD78P098A には、マスク・オプションはありません。

表 4-4 マスク ROM 製品のマスク・オプションと  $\mu$ PD78P098A との比較

| 端 子 名                | マスク ROM 製品             | $\mu$ PD78P098A   |
|----------------------|------------------------|-------------------|
| P60-P63 端子のマスク・オプション | 1ビット単位でプルアップ抵抗を内蔵できます。 | プルアップ抵抗を内蔵していません。 |

(× ㇿ)

## 第5章 クロック発生回路

5

### 5.1 クロック発生回路の機能

クロック発生回路は、CPU および周辺ハードウェアに供給するクロックを発生する回路です。  
システム・クロック発振回路には、次の2種類があります。

#### (1) メイン・システム・クロック発振回路

1 ~ 6.5 MHz の周波数を発振します。STOP 命令の実行およびプロセッサ・クロック・コントロール・レジスタの設定により、発振を停止できます。

#### (2) サブシステム・クロック発振回路

32.768 kHz の周波数を発振します。発振の停止はできません。サブシステム・クロック発振回路を使用しないとき、プロセッサ・クロック・コントロール・レジスタにより、内蔵フィードバック抵抗を使用しない設定ができます。これによって、STOP モード時の消費電力を低減することができます。

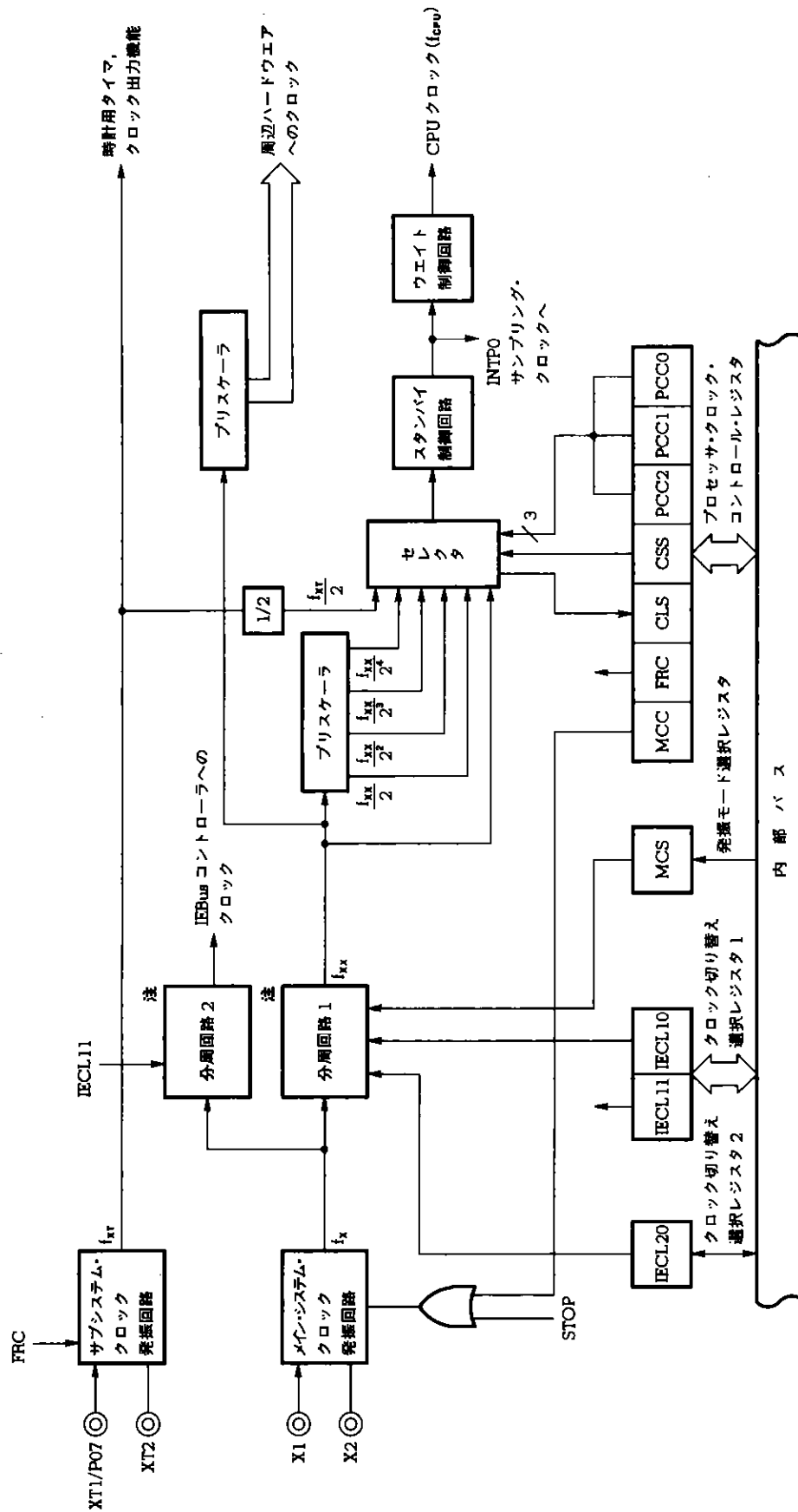
### 5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表 5-1 クロック発生回路の構成

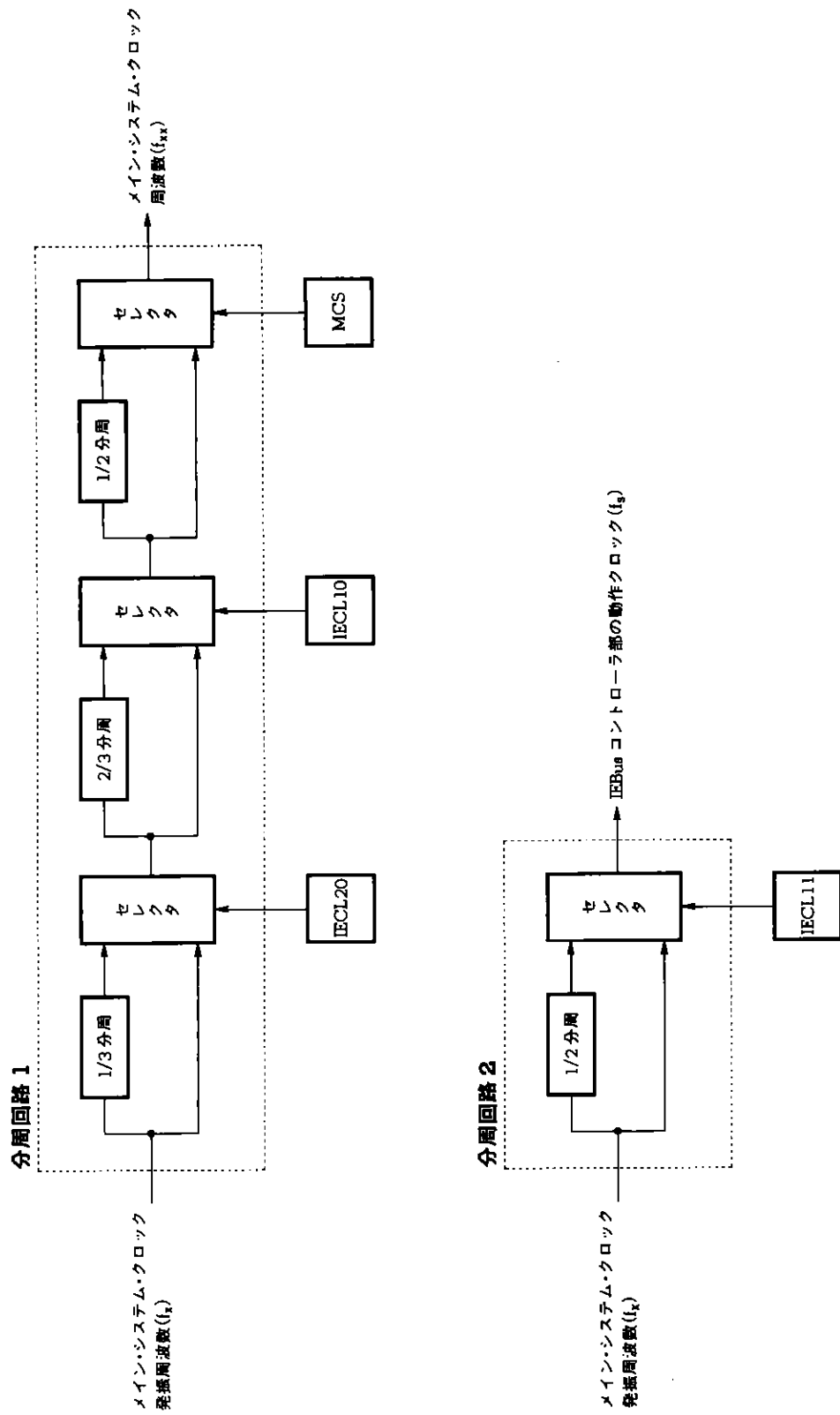
| 項 目     | 構 成                                                                                      |
|---------|------------------------------------------------------------------------------------------|
| 制御レジスタ  | プロセッサ・クロック・コントロール・レジスタ (PCC)<br>発振モード選択レジスタ (OSMS)<br>クロック切り替え選択レジスタ 1, 2 (IECL1, IECL2) |
| 発 振 回 路 | メイン・システム・クロック発振回路<br>サブシステム・クロック発振回路                                                     |

図 5-1 クロック発生回路のブロック図



注 分周回路 1, 2 の構成は、図 5-2 を参照してください。

図 5-2 分周回路 1, 2 の構成



### 5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の3種類のレジスタで制御します。

- プロセッサ・クロック・コントロール・レジスタ (PCC)
- 発振モード選択レジスタ (OSMS)
- クロック切り替え選択レジスタ 1, 2 (IECL1, IECL2)

#### (1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPU クロックの選択, 分周比, メイン・システム・クロック発振回路の動作/停止, サブシステム・クロック発振回路の内蔵フィードバック抵抗を使用するか, しないかを設定するレジスタです。

PCC は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、04H になります。

★

図 5-3 サブシステム・クロックのフィードバック抵抗

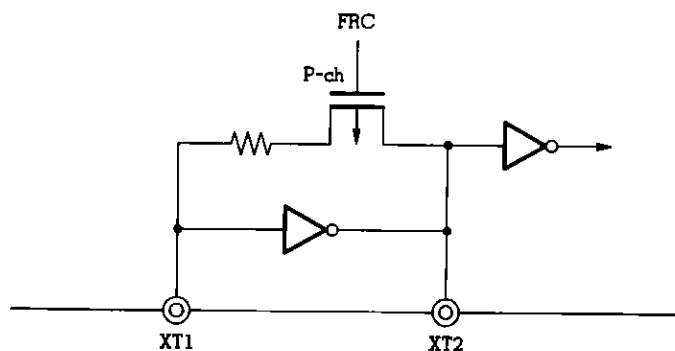


図 8-4 プロセッサ・クロック・コントロール・レジスタのフォーマット

| 略号  | ⑦   | ⑥   | ⑤   | ④   | 3 | 2    | 1    | 0    | アドレス  | リセット時 | R/W               |
|-----|-----|-----|-----|-----|---|------|------|------|-------|-------|-------------------|
| PCC | MCC | FRC | CLS | CSS | 0 | PCC2 | PCC1 | PCC0 | FFFBH | 04H   | R/W <sup>注1</sup> |

| R/W  | CSS | PCC2 | PCC1 | PCC0 | CPU クロック選択 ( $f_{CPU}$ )  |
|------|-----|------|------|------|---------------------------|
| 0    |     | 0    | 0    | 0    | $f_{xx}$                  |
|      |     | 0    | 0    | 1    | $f_{xx}/2$                |
|      |     | 0    | 1    | 0    | $f_{xx}/2^2$              |
|      |     | 0    | 1    | 1    | $f_{xx}/2^3$              |
|      |     | 1    | 0    | 0    | $f_{xx}/2^4$              |
| 1    |     | 0    | 0    | 0    | $f_{xt}/2$ (122 $\mu s$ ) |
|      |     | 0    | 0    | 1    |                           |
|      |     | 0    | 1    | 0    |                           |
|      |     | 0    | 1    | 1    |                           |
|      |     | 1    | 0    | 0    |                           |
| 上記以外 |     |      |      | 設定禁止 |                           |

| R | CLS | CPU クロックのステータス |
|---|-----|----------------|
|   | 0   | メイン・システム・クロック  |
|   | 1   | サブシステム・クロック    |

| R/W | FRC | サブシステム・クロックのフィードバック抵抗の選択 |
|-----|-----|--------------------------|
|     | 0   | 内蔵フィードバック抵抗を使用する         |
|     | 1   | 内蔵フィードバック抵抗を使用しない        |

| R/W | MCC | メイン・システム・クロックの発振の制御 <sup>注2</sup> |
|-----|-----|-----------------------------------|
|     | 0   | 発振可能                              |
|     | 1   | 発振停止                              |

注 1. ビット 5 は、Read Only です。

2. CPU がサブシステム・クロックで動作しているとき、メイン・システム・クロックの発振の停止は、MCC を使用してください。STOP 命令は使用しないでください。

注意 ビット 3 には、必ず 0 を設定してください。

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2.  $f_{xt}$  : サブシステム・クロック発振周波数

3. ( ) 内は、 $f_{xt} = 32.768$  kHz 動作時の最小命令実行時間:  $2/f_{CPU}$ 。

## (2) 発振モード選択レジスタ (OSMS)

分周回路 1 内の 1/2 分周回路を使用するかしないかを設定するレジスタです。クロック切り替え選択レジスタ 1, 2 (IECL1, IECL2) との組み合わせで、8 種類のメイン・システム・クロック周波数 ( $f_{xx}$ ) が選択できます。

OSMS は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

図 8-5 発振モード選択レジスタのフォーマット

| 略号   | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0   | アドレス  | リセット時 | R/W |
|------|---|---|---|---|---|---|---|-----|-------|-------|-----|
| OSMS | 0 | 0 | 0 | 0 | 0 | 0 | 0 | MCS | FFF2H | 00H   | W   |

|     |                                |
|-----|--------------------------------|
| MCS | メイン・システム・クロックの分周回路の制御 (分周回路 1) |
| 0   | 分周回路 1 内の 1/2 分周回路を使用する        |
| 1   | 分周回路 1 内の 1/2 分周回路を使用しない       |

★

注意 1. 発振モードの切り替えを行った場合、周辺ハードウェアへ供給されるクロック ( $f_x$ : メイン・システム・クロック) も切り替わります。

2. ビット 1-ビット 7 には、必ず 0 を設定してください。

## (3) クロック切り替え選択レジスタ 1, 2 (IECL1, IECL2)

分周回路 1 内の 1/2 分周回路および 2/3 分周回路を使用するかしないかの設定と、分周回路 2 内の 1/2 分周回路を使用するかしないかを設定するためのレジスタです。

発振モード選択レジスタ (OSMS) との組み合わせで、8 種類のメイン・システム・クロック周波数が選択できます。

IECL1 および IECL2 は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、いずれも 00H になります。



図 8-6 クロック切り替え選択レジスタ 1 のフォーマット

| 略号    | 7 | 6 | 5 | 4 | 3 | 2 | 1      | 0      | アドレス  | リセット時 | R/W |
|-------|---|---|---|---|---|---|--------|--------|-------|-------|-----|
| IECL1 | 0 | 0 | 0 | 0 | 0 | 0 | IECL11 | IECL10 | F8E0H | 00H   | R/W |

|        |                               |
|--------|-------------------------------|
| IECL10 | メイン・システム・クロックの分周回路の制御（分周回路 1） |
| 0      | 分周回路 1 内の 2/3 分周回路を使用しない      |
| 1      | 分周回路 1 内の 2/3 分周回路を使用する       |

|        |                               |
|--------|-------------------------------|
| IECL11 | メイン・システム・クロックの分周回路の制御（分周回路 2） |
| 0      | 分周回路 2 内の 1/2 分周回路を使用する       |
| 1      | 分周回路 2 内の 1/2 分周回路を使用しない      |

注意 ビット 2-ビット 7 には必ず 0 を設定してください。

図 8-7 クロック切り替え選択レジスタ 2 のフォーマット

| 略号    | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0      | アドレス  | リセット時 | R/W |
|-------|---|---|---|---|---|---|---|--------|-------|-------|-----|
| IECL2 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | IECL20 | F8E1H | 00H   | R/W |

|        |                               |
|--------|-------------------------------|
| IECL20 | メイン・システム・クロックの分周回路の制御（分周回路 1） |
| 0      | 分周回路 1 内の 1/3 分周回路を使用しない      |
| 1      | 分周回路 1 内の 1/3 分周回路を使用する       |

注意 ビット 1-ビット 7 には、必ず 0 を設定してください。

表 8-2 分周回路 1 への設定とメイン・システム・クロック周波数の関係

| MCS | IECL20 | IECL10 | メイン・システム・クロック周波数 ( $f_{xx}$ ) |
|-----|--------|--------|-------------------------------|
| 0   | 0      | 0      | $f_x/2$                       |
|     | 0      | 1      | $f_x/3$                       |
|     | 1      | 0      | $f_x/6$                       |
|     | 1      | 1      | $f_x/9$                       |
| 1   | 0      | 0      | $f_x$                         |
|     | 0      | 1      | $2f_x/3$                      |
|     | 1      | 0      | $f_x/3$ ( $2f_x/6$ )          |
|     | 1      | 1      | $2f_x/9$                      |

表 5-3 CPUクロック ( $f_{CPU}$ ) 一覧

|     |      |      |      | CPU クロック選択 ( $f_{CPU}$ )  |              |                   |                  |                   |           |                |               |                |                |
|-----|------|------|------|---------------------------|--------------|-------------------|------------------|-------------------|-----------|----------------|---------------|----------------|----------------|
| CSS | PCC2 | PCC1 | PCC0 | MCS                       |              |                   |                  |                   |           |                |               |                |                |
|     |      |      |      | IECL20                    |              |                   |                  |                   |           |                |               |                |                |
|     |      |      |      | IECL10                    |              |                   |                  |                   |           |                |               |                |                |
| 0   | 0    | 0    | 0    | $f_{xx}$                  | $f_x/2$      | $(2f_x/3)/2$      | $(f_x/3)/2$      | $(2f_x/9)/2$      | $f_x$     | $2f_x/3$       | $f_x/3$       | 1              | 1              |
|     | 0    | 0    | 1    | $f_{xx}/2$                | $f_x/2^2$    | $(2f_x/3)/2^2$    | $(f_x/3)/2^2$    | $(2f_x/9)/2^2$    | $f_x/2$   | $(2f_x/3)/2$   | $(f_x/3)/2$   | $(2f_x/9)/2$   | $(1.50 \mu s)$ |
|     | 0    | 0    | 0    | $f_{xx}/2^2$              | $f_x/2^3$    | $(2f_x/3)/2^3$    | $(f_x/3)/2^3$    | $(2f_x/9)/2^3$    | $f_x/2^2$ | $(2f_x/3)/2^2$ | $(f_x/3)/2^2$ | $(2f_x/9)/2^2$ | $(1.00 \mu s)$ |
|     | 0    | 1    | 0    | $f_{xx}/2^3$              | $f_x/2^4$    | $(2f_x/3)/2^4$    | $(f_x/3)/2^4$    | $(2f_x/9)/2^4$    | $f_x/2^3$ | $(2f_x/3)/2^3$ | $(f_x/3)/2^3$ | $(2f_x/9)/2^3$ | $(0.50 \mu s)$ |
|     | 1    | 0    | 0    | $f_{xx}/2^4$              | $f_x/2^5$    | $(2f_x/3)/2^5$    | $(f_x/3)/2^5$    | $(2f_x/9)/2^5$    | $f_x/2^4$ | $(2f_x/3)/2^4$ | $(f_x/3)/2^4$ | $(2f_x/9)/2^4$ | $(0.67 \mu s)$ |
| 1   | 0    | 0    | 0    | $f_{xx}/2^5$              | $f_x/2^6$    | $(2f_x/3)/2^6$    | $(f_x/3)/2^6$    | $(2f_x/9)/2^6$    | $f_x/2^5$ | $(2f_x/3)/2^5$ | $(f_x/3)/2^5$ | $(2f_x/9)/2^5$ | $(0.67 \mu s)$ |
|     | 0    | 0    | 1    | $f_{xx}/2^6$              | $f_x/2^7$    | $(2f_x/3)/2^7$    | $(f_x/3)/2^7$    | $(2f_x/9)/2^7$    | $f_x/2^6$ | $(2f_x/3)/2^6$ | $(f_x/3)/2^6$ | $(2f_x/9)/2^6$ | $(0.67 \mu s)$ |
|     | 0    | 1    | 0    | $f_{xx}/2^7$              | $f_x/2^8$    | $(2f_x/3)/2^8$    | $(f_x/3)/2^8$    | $(2f_x/9)/2^8$    | $f_x/2^7$ | $(2f_x/3)/2^7$ | $(f_x/3)/2^7$ | $(2f_x/9)/2^7$ | $(0.67 \mu s)$ |
|     | 0    | 1    | 1    | $f_{xx}/2^8$              | $f_x/2^9$    | $(2f_x/3)/2^9$    | $(f_x/3)/2^9$    | $(2f_x/9)/2^9$    | $f_x/2^8$ | $(2f_x/3)/2^8$ | $(f_x/3)/2^8$ | $(2f_x/9)/2^8$ | $(0.67 \mu s)$ |
|     | 1    | 0    | 0    | $f_{xx}/2^9$              | $f_x/2^{10}$ | $(2f_x/3)/2^{10}$ | $(f_x/3)/2^{10}$ | $(2f_x/9)/2^{10}$ | $f_x/2^9$ | $(2f_x/3)/2^9$ | $(f_x/3)/2^9$ | $(2f_x/9)/2^9$ | $(0.67 \mu s)$ |
|     |      |      |      | $f_{xt}/2$ (122 $\mu s$ ) |              |                   |                  |                   |           |                |               |                |                |
|     |      |      |      | 設定禁止                      |              |                   |                  |                   |           |                |               |                |                |

備考 1.  $f_x$  : メイン・システム・クロック発振周波数2.  $f_{xx}$  : メイン・システム・クロック周波数3.  $f_{xt}$  : サブシステム・クロック発振周波数4. ( ) 内は,  $f_x = 6.0 \text{ MHz}$  または  $f_{xt} = 32.768 \text{ kHz}$  動作時の最小命令実行時間 :  $2/f_{CPU}$

## 5.4 システム・クロック発振回路

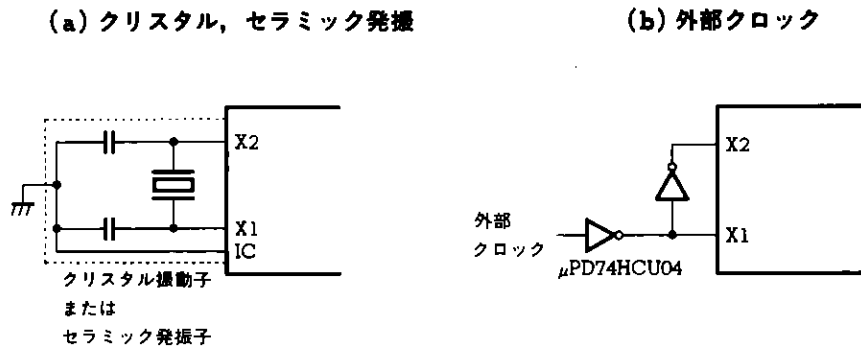
### 5.4.1 メイン・システム・クロック発振回路

メイン・システム・クロック発振回路は X1, X2 端子に接続されたクリスタル振動子またはセラミック発振子（標準：6.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1 端子にクロック信号を入力し、X2 端子には、その反転した信号を入力してください。

図 5-8 にメイン・システム・クロック発振回路の外付け回路を示します。

図 5-8 メイン・システム・クロック発振回路の外付け回路



**注意** 外部クロックを入力しているとき、STOP モードを設定することはできません。これは STOP モードでは X1 端子が  $V_{SS}$  にショートされるためです。

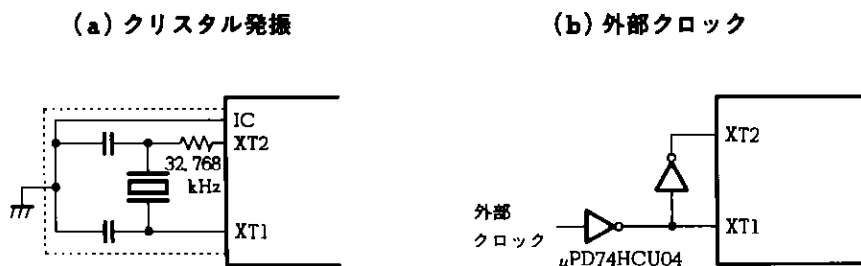
### 5.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路は XT1, XT2 端子に接続されたクリスタル振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することもできます。その場合、XT1 端子にクロック信号を入力し、XT2 端子には、その反転した信号を入力してください。

図 5-9 にサブシステム・クロック発振回路の外付け回路を示します。

図 5-9 サブシステム・クロック発振回路の外付け回路



注意を次ページに示します。

注意 1. メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図 8-8, 8-9 の    の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常に  $V_{SS}$  と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

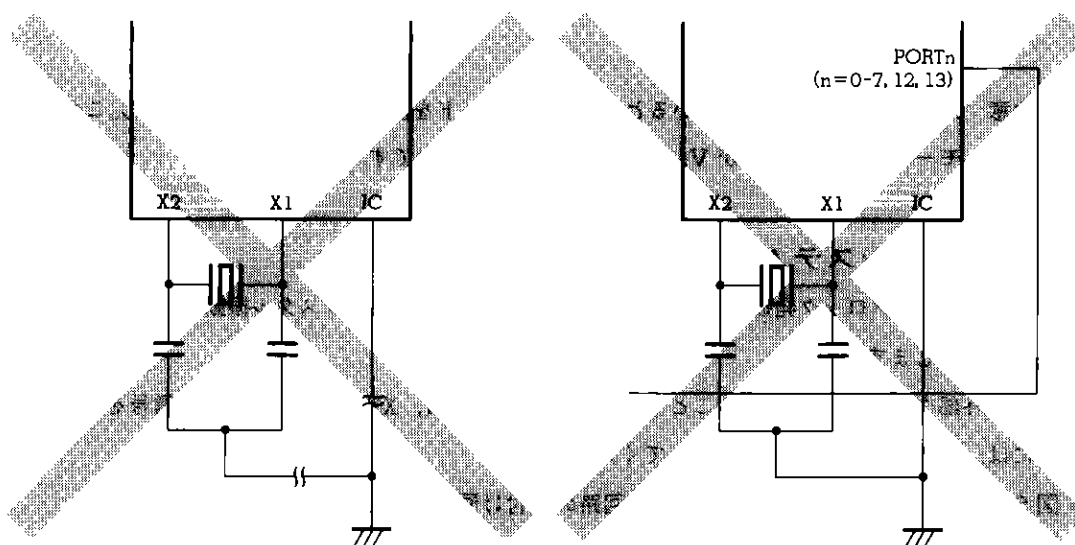
特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

図 8-10 に発振子の接続の悪い例を示します。

図 8-10 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

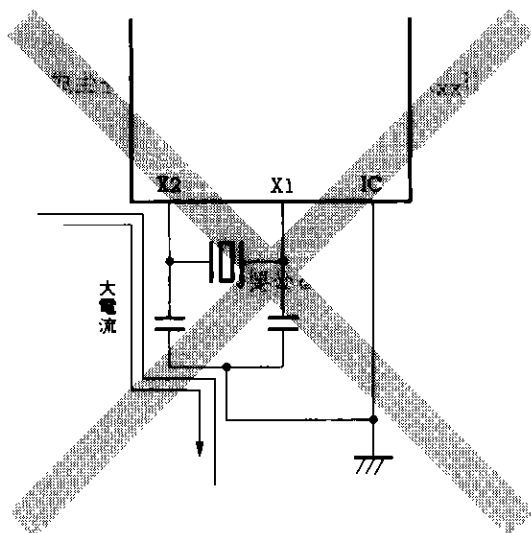
(b) 信号線が交差している



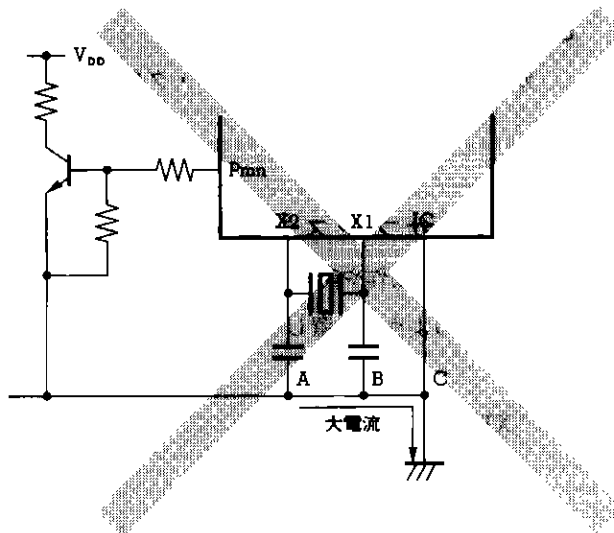
備考 サブシステム・クロックをご使用の場合は、X1, X2 を XT1, XT2 と読み替えてください。また、XT2 側に直列に抵抗を挿入してください。

図 8-10 発振子の接続の悪い例 (2/2)

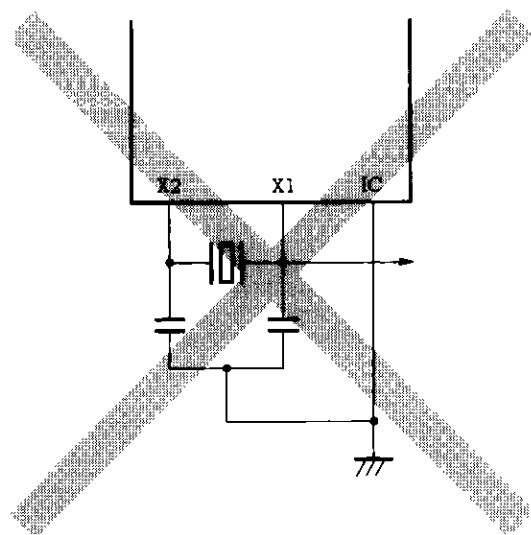
(c) 変化する大電流が信号線に  
近接している



(d) 発振回路部のグラウンド・ライン上に電流が流れる  
(A 点, B 点, C 点の電位が変動する)



(e) 信号を取り出している



**備考** サブシステム・クロックをご使用の場合は、X1, X2 を XT1, XT2 と読み替えてください。また、XT2 側に直列に抵抗を挿入してください。

注意 2. XT2 と X1 が平行に配線されている場合、X1 のクロストーク・ノイズが XT2 に相乗し誤動作を引き起こすことがあります。

これを避けるために、XT2 と X1 の配線を平行にしないととも、XT2, X1 の間にある IC 端子を  $V_{SS}$  に直接接続してください。

### 5.4.3 分周回路

分周回路は、メイン・システム・クロック発振回路出力 ( $f_{XX}$ ) を分周して、各種クロックを生成します。

### 5.4.4 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2 端子を次のように処置してください。

★

XT1 :  $V_{SS}$  に接続

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを押さえるため、プロセッサ・クロック・コントロール・レジスタのビット 6 (FRC) により上述の内蔵フィードバック抵抗を取り除くことができます。このときも、XT1, XT2 端子の処理は上記と同じです。

## 5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどの CPU の動作モードを制御します。

- メイン・システム・クロック  $f_{xx}$
- サブシステム・クロック  $f_{xt}$
- CPU クロック  $f_{cpu}$
- 周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC)、発振モード選択レジスタ (OSMS) およびクロック切り替え選択レジスタ (IECL1, IECL2) により決定され、次のような機能、動作となります。

- (a)  $\overline{\text{RESET}}$  信号発生によりメイン・システム・クロックの最低速モード ( $10.7 \mu\text{s} : 6.0 \text{ MHz}$  動作時) が選択されます (PCC=04H, OSMS=00H, IECL1=00H, IECL2=00H)。なお、 $\overline{\text{RESET}}$  端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- (b) メイン・システム・クロックを選択した状態で PCC の設定により 40 段階 (19 種類) の CPU クロックを選択することができます。
- (c) メイン・システム・クロックを選択した状態で STOP モード、HALT モードの 2 つのスタンバイ・モードが使用できます。また、STOP モード時の消費電流をさらに低減するために、サブシステム・クロックの内蔵フィードバック抵抗を切断し、サブシステム・クロックを停止させることができます。
- (d) PCC により、サブシステム・クロックを選択し、低消費電流で動作する ( $122 \mu\text{s} : 32.768 \text{ kHz}$  動作時) ことができます。
- (e) サブシステム・クロックを選択した状態で、PCC によりメイン・システム・クロックの発振を停止することができます。また、HALT モードを使用することができます。しかし、STOP モードを使用することはできません (サブシステム・クロックの発振を停止させることはできません)。
- (f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、16 ビット・タイマ/イベント・カウンタ、時計用タイマ、クロック出力機能にのみサブシステム・クロックを供給しています。このため、スタンバイ状態でも 16 ビット・タイマ/イベント・カウンタ (サブシステム・クロック動作時でカウント・クロックに時計用タイマ出力を選択したとき)、時計機能、クロック出力機能は、継続して使用することができます。しかし、その他の周辺ハードウェアはメイン・システム・クロックによって動作していますので、メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します (ただし、外部からの入力クロック動作は除く)。

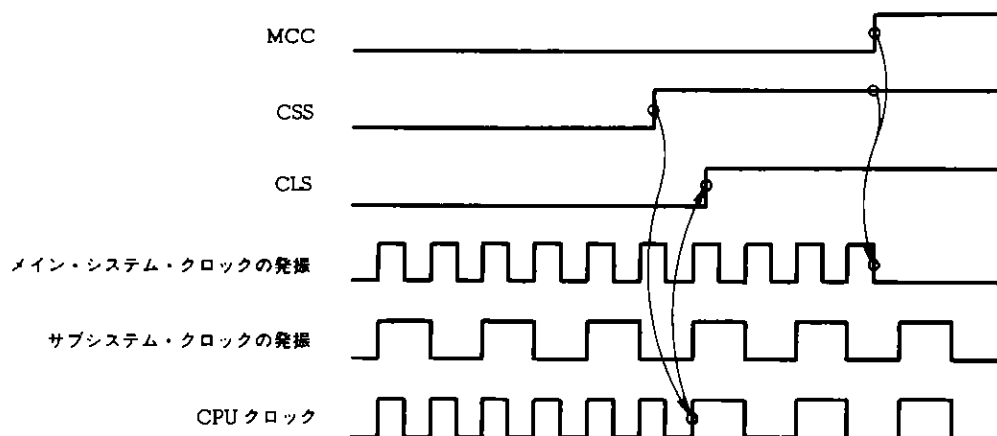
### 5.5.1 メイン・システム・クロックの動作

メイン・システム・クロック動作時(プロセッサ・クロック・コントロール・レジスタ(PCC)のビット5 (CLS) が0のとき), PCC の設定により次のように動作します。

- (a) 電源電圧により動作保証命令実行速度が異なるため, PCC のビット 0-2 (PCC0-PCC2) により命令実行時間を変更することができます。
- (b) メイン・システム・クロックで動作しているとき PCC のビット7(MCC)を1に設定してもメイン・システム・クロックの発振は停止しません。そのあと PCC のビット4 (CSS) を1に設定し, サブシステム・クロック動作に切り替わったあと (CLS=1), メイン・システム・クロックの発振が停止します (図 5-11 参照)。

図 5-11 メイン・システム・クロックの停止機能 (1/2)

- (a) メイン・システム・クロック動作時に CSS をセットしたあと, MCC をセットしたときの動作



- (b) メイン・システム・クロック動作時に MCC をセットしたときの動作

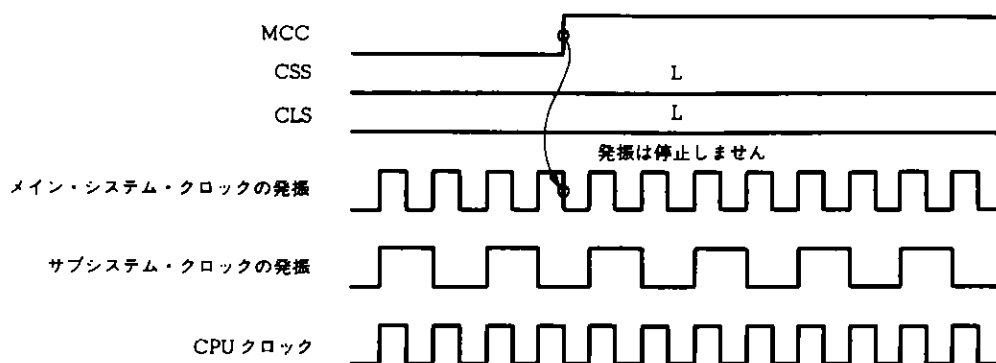
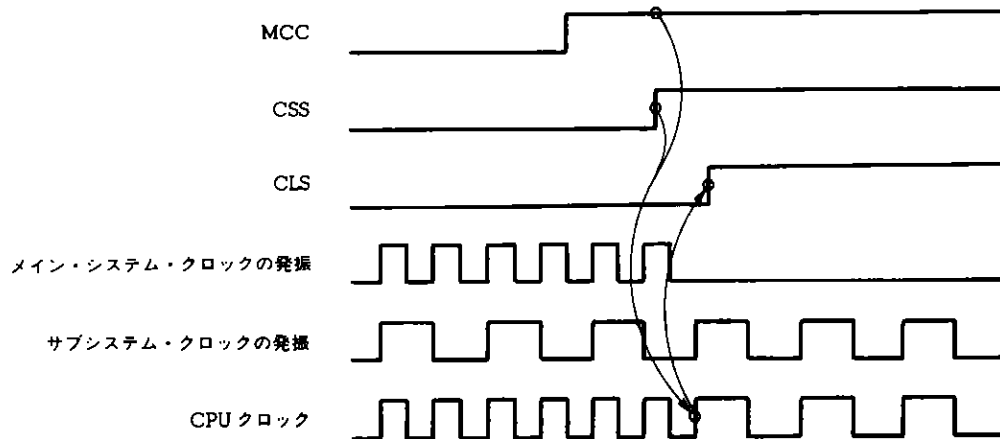




図 8-11 メイン・システム・クロックの停止機能 (2/2)

(c) メイン・システム・クロック動作時に MCC をセットしたあと、CSS をセットしたときの動作



### 5.5.2 サブシステム・クロックの動作

メイン・システム・クロック動作時(プロセッサ・クロック・コントロール・レジスタ (PCC) のビット 5 (CLS) が 0 のとき), PCC の設定により次のように動作します。

(a) PCC のビット 0-2 (PCC0-PCC2) に関係なく命令実行時間は一定 ( $122 \mu\text{s}$  : 32.768 kHz動作時) です。

(b) ウォッチドッグ・タイマのカウントが停止します。

**注意** サブシステム・クロック動作中は STOP 命令を実行しないでください。

## 5.6 システム・クロックと CPU クロックの設定の変更

### 5.6.1 システム・クロックと CPU クロックの切り替えに要する時間

システム・クロックと CPU クロックは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット 0-2 (PCC0-PCC2) とビット 4 (CSS) により切り替えることができます。

実際の切り替え動作は、PCC を書き換えた直後ではなく、PCC を変更したのち、数命令は切り替え前のクロックで動作します (表 5-4 参照)。

メイン・システム・クロックで動作しているのか、サブシステム・クロックで動作しているのかの判定は、PCC のビット 5 (CLS) で行えます。

表 5-4 CPU クロックの切り替えに要する最大時間

| 切り替え前の設定値 |      |      |      | 切り替え後の設定値   |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |                                |   |   |   |
|-----------|------|------|------|-------------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|--------------------------------|---|---|---|
| CSS       | PCC2 | PCC1 | PCC0 | CSS         | PCC2 | PCC1 | PCC0 | CSS  | PCC2 | PCC1 | PCC0 | CSS  | PCC2 | PCC1 | PCC0 | CSS  | PCC2 | PCC1 | PCC0 | CSS  | PCC2 | PCC1 | PCC0 |                                |   |   |   |
|           |      |      |      | 0           | 0    | 0    | 0    | 0    | 0    | 0    | 1    | 0    | 0    | 1    | 0    | 0    | 0    | 1    | 1    | 0    | 1    | 0    | 0    | 1                              | × | × | × |
| 0         | 0    | 0    | 0    | <div></div> |      |      |      | 16命令 |      |      |      | 16命令 |      |      |      | 16命令 |      |      |      | 16命令 |      |      |      | $f_{xx}/2f_{xt}$ 命令<br>(62命令)  |   |   |   |
|           | 0    | 0    | 1    |             |      |      |      | 8 命令 |      |      |      | 8 命令 |      |      |      | 8 命令 |      |      |      | 8 命令 |      |      |      | $f_{xx}/4f_{xt}$ 命令<br>(31命令)  |   |   |   |
|           | 0    | 1    | 0    |             |      |      |      | 4 命令 |      |      |      | 4 命令 |      |      |      | 4 命令 |      |      |      | 4 命令 |      |      |      | $f_{xx}/8f_{xt}$ 命令<br>(16命令)  |   |   |   |
|           | 0    | 1    | 1    |             |      |      |      | 2 命令 |      |      |      | 2 命令 |      |      |      | 2 命令 |      |      |      | 2 命令 |      |      |      | $f_{xx}/16f_{xt}$ 命令<br>(8 命令) |   |   |   |
|           | 1    | 0    | 0    |             |      |      |      | 1 命令 |      |      |      | 1 命令 |      |      |      | 1 命令 |      |      |      | 1 命令 |      |      |      | $f_{xx}/32f_{xt}$ 命令<br>(4 命令) |   |   |   |
| 1         | ×    | ×    | ×    | 1 命令        |      |      |      | 1 命令 |      |      |      | 1 命令 |      |      |      | 1 命令 |      |      |      | 1 命令 |      |      |      |                                |   |   |   |

備考 1. 1 命令は、切り替え前の CPU クロックの最小命令実行時間となります。

2. ( ) 内は  $f_{xx} = 4.0 \text{ MHz}$ ,  $f_{xt} = 32.768 \text{ kHz}$  時。

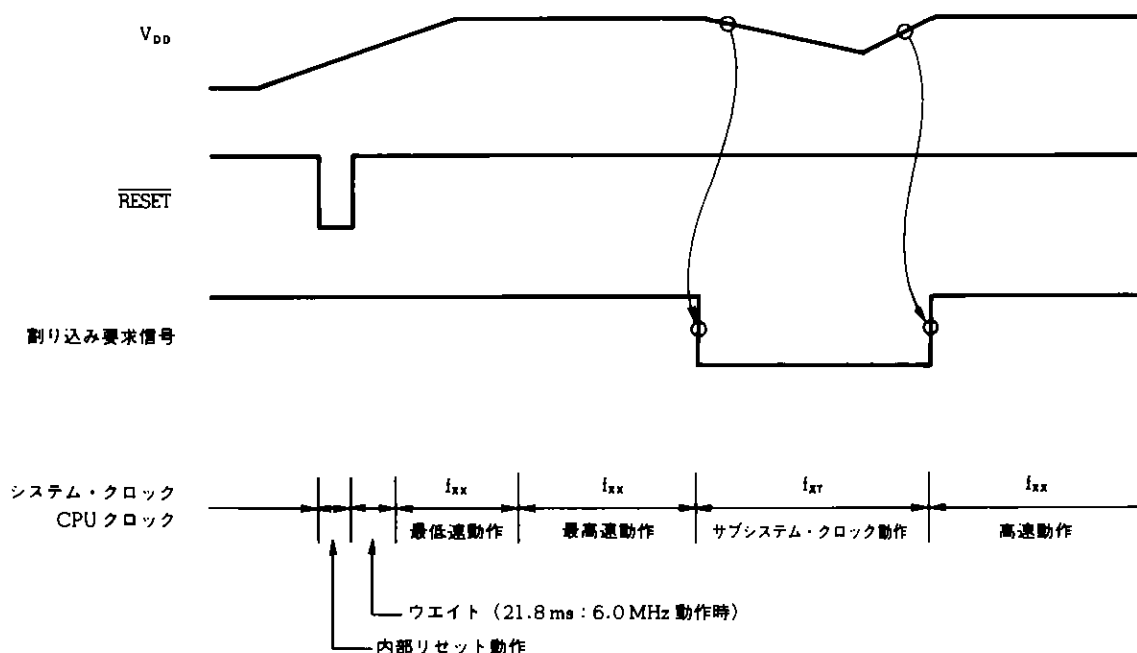
注意 CPU クロックの分周の選択 (PCC0-PCC2) とメイン・システム・クロックからサブシステム・クロックへの切り替え (CSS を 0 → 1) を同時に行わないでください。

ただし、CPU クロックの分周の選択 (PCC0-PCC2) とサブシステム・クロックからメイン・システム・クロックへの切り替え (CSS を 1 → 0) は同時に設定可能です。

### 5.6.2 システム・クロックと CPU クロックの切り替え手順

システム・クロックと CPU クロックの切り替えについて説明します。

図 5-12 システム・クロックと CPU クロックの切り替え



- ① 電源投入後、 $\overline{\text{RESET}}$  端子をロウ・レベルにすることで CPU にリセットがかかります。その後、 $\overline{\text{RESET}}$  端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間 ( $2^{17}/f_x$ ) を確保します。  
その後、CPU はメイン・システム・クロックの最低速 ( $10.7 \mu\text{s}$  : 6.0 MHz 動作時) で命令の実行を開始します。
- ②  $V_{DD}$  電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、PCC を書き換えて最高速動作を行います。
- ③  $V_{DD}$  電圧が低下したことを割り込みなどにより検出し、サブシステム・クロックに切り替えます（このとき、サブシステム・クロックが発振安定状態になっていなければなりません）。
- ④  $V_{DD}$  電圧が復帰したことを割り込みなどにより検出し、MCC に 0 を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC を書き換えて最高速動作に戻します。

**注意** メイン・システム・クロックを停止させ、サブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

★

(× ㄷ)

## 第6章 16ビット・タイマ/イベント・カウンタ

μPD78098 サブシリーズが内蔵しているタイマの概要を以下に示します。

### (1) 16ビット・タイマ/イベント・カウンタ (TMO)

インターバル・タイマ, PWM 出力, パルス幅測定 (赤外線リモコン受信機能), 外部イベント・カウンタ, 任意の周波数の方形波出力, ワンショット・パルス出力などに使用することができます。

6

### (2) 8ビット・タイマ/イベント・カウンタ (TM1, TM2)

インターバル・タイマ, 外部イベント・カウンタ, 任意の周波数の方形波出力などに使用することができます。また, 2本の8ビット・タイマ/イベント・カウンタを1本の16ビット・タイマ/イベント・カウンタとして使用することもできます(第7章 8ビット・タイマ/イベント・カウンタ参照)。

### (3) 時計用タイマ (TM3)

0.5秒ごとにフラグをセット, および, あらかじめ設定した任意の時間間隔で割り込みを同時に発生することができます(第8章 時計用タイマ参照)。

### (4) ウォッチドッグ・タイマ (WDTM)

ウォッチドッグ・タイマ, あるいは, あらかじめ設定した任意の時間間隔でノンマスカブル割り込み, マスカブル割り込み,  $\overline{\text{RESET}}$  を発生することができます(第9章 ウォッチドッグ・タイマ参照)。

### (5) クロック出力制御回路

メイン・システム・クロックを分周したクロックおよびサブシステム・クロックをほかのデバイスに供給する回路です(第10章 クロック出力制御回路参照)。

### (6) ブザー出力制御回路

メイン・システム・クロックを分周したブザー周波数を出力する回路です(第11章 ブザー出力制御回路参照)。

表 6-1 タイマ/イベント・カウンタの種類と機能

|    |              | 16ビット・タイマ/イベント・カウンタ   | 8ビット・タイマ/イベント・カウンタ | 時計タイマ                 | ウォッチドッグ・タイマ           |
|----|--------------|-----------------------|--------------------|-----------------------|-----------------------|
| 種類 | インターバル・タイマ   | 2 チャンネル <sup>注3</sup> | 2 チャンネル            | 1 チャンネル <sup>注1</sup> | 1 チャンネル <sup>注2</sup> |
|    | 外部イベント・カウンタ  | ○                     | ○                  | —                     | —                     |
| 機能 | タイマ出力        | ○                     | ○                  | —                     | —                     |
|    | PWM 出力       | ○                     | —                  | —                     | —                     |
|    | パルス幅測定       | ○                     | —                  | —                     | —                     |
|    | 方形波出力        | ○                     | ○                  | —                     | —                     |
|    | ワンショット・パルス出力 | ○                     | —                  | —                     | —                     |
|    | 割り込み要求       | ○                     | ○                  | ○                     | ○                     |

注 1. TM3 は時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. WDTM はウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

3. キャプチャ/コンペア・レジスタ (CR00, CR01) をともにコンペア・レジスタに指定したとき。

## 6.1 16ビット・タイマ/イベント・カウンタの機能

16ビット・タイマ/イベント・カウンタ (TM0) には、次のような機能があります。

- インターバル・タイマ
- PWM 出力
- パルス幅測定
- 外部イベント・カウンタ
- 方形波出力
- ワンショット・パルス出力

## (1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表 6-2 16ビット・タイマ/イベント・カウンタのインターバル時間

| 最小インターバル時間                             | 最大インターバル時間                            | 分解能                                    |
|----------------------------------------|---------------------------------------|----------------------------------------|
| 2×T100 入力周期                            | $2^{16} \times \text{T100 入力周期}$      | T100 入力エッジ周期                           |
| $1/f_{xx}$<br>(250 ns)                 | $2^{15} \times 1/f_{xx}$<br>(8.19 ms) | $1/2f_{xx}$<br>(125 ns)                |
| $2 \times 1/f_{xx}$<br>(500 ns)        | $2^{16} \times 1/f_{xx}$<br>(16.4 ms) | $1/f_{xx}$<br>(250 ns)                 |
| $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s) | $2^{17} \times 1/f_{xx}$<br>(32.8 ms) | $2 \times 1/f_{xx}$<br>(500 ns)        |
| $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s) | $2^{18} \times 1/f_{xx}$<br>(65.5 ms) | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s) |
| 2×時計用タイマ出力周期                           | $2^{16} \times \text{時計用タイマ出力周期}$     | 時計用タイマ出力エッジ周期                          |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx} = 4.0 \text{ MHz}$  動作時。

## (2) PWM 出力

14ビット分解能の PWM 出力ができます。

## (3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

## (4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

## (5) 方形波出力

任意の周波数の方形波出力が可能です。

表 6-3 16ビット・タイマ/イベント・カウンタの方形波出力範囲

| 最小パルス時間                                | 最大パルス時間                               | 分解能                                    |
|----------------------------------------|---------------------------------------|----------------------------------------|
| $2 \times T_{I00}$ 入力周期                | $2^{16} \times T_{I00}$ 入力周期          | $T_{I00}$ 入力エッジ周期                      |
| $1/f_{xx}$<br>(250 ns)                 | $2^{16} \times 1/f_{xx}$<br>(8.19 ms) | $1/2f_{xx}$<br>(125 ns)                |
| $2 \times 1/f_{xx}$<br>(500 ns)        | $2^{16} \times 1/f_{xx}$<br>(16.4 ms) | $1/f_{xx}$<br>(250 ns)                 |
| $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s) | $2^{17} \times 1/f_{xx}$<br>(32.8 ms) | $2 \times 1/f_{xx}$<br>(500 ns)        |
| $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s) | $2^{18} \times 1/f_{xx}$<br>(65.5 ms) | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s) |
| $2 \times$ 時計用タイマ出力周期                  | $2^{16} \times$ 時計用タイマ出力周期            | 時計用タイマ出力エッジ周期                          |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx} = 4.0$  MHz 動作時。

## (6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力することができます。

## 6.2 16ビット・タイマ/イベント・カウンタの構成

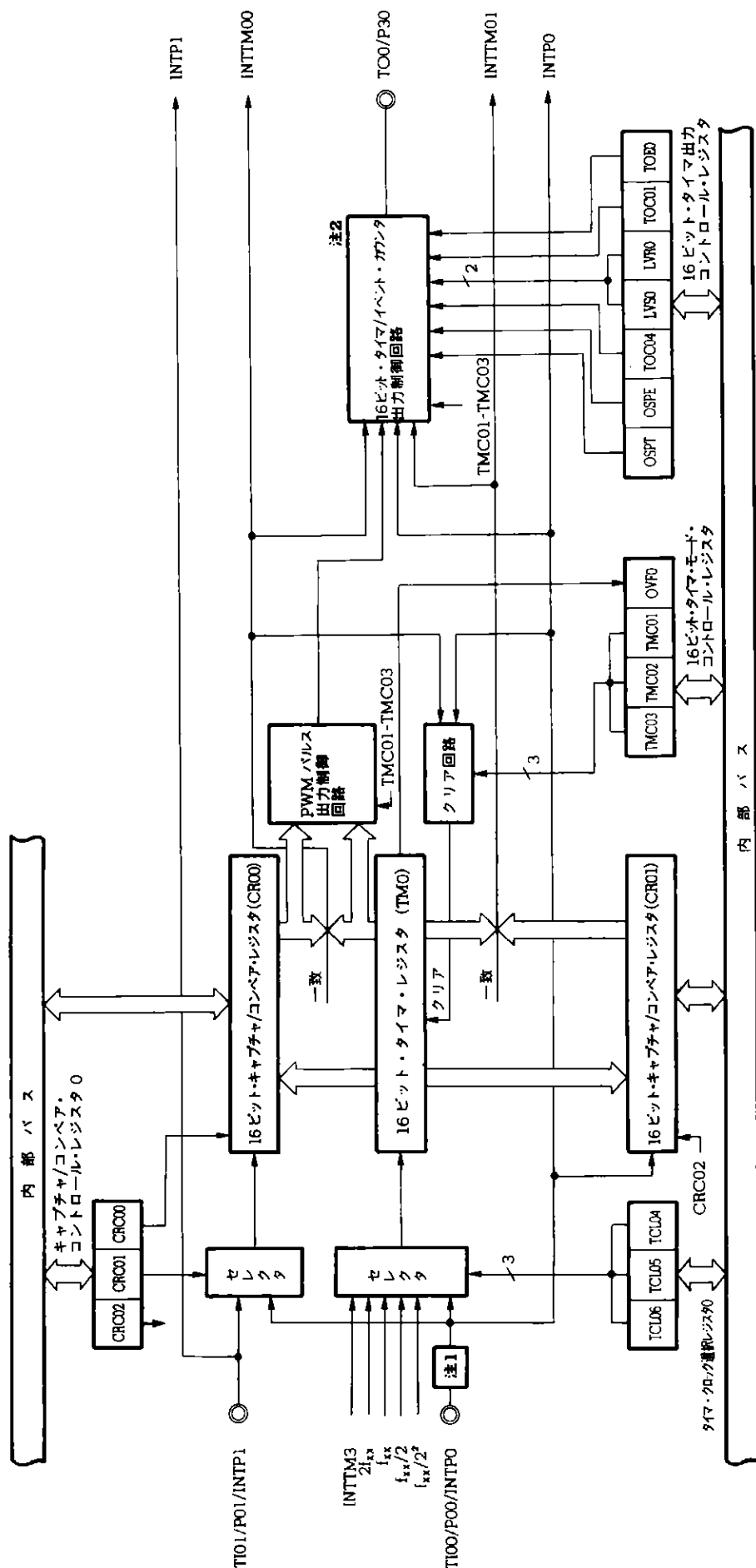
16ビット・タイマ/イベント・カウンタは、次のハードウェアで構成しています。

表 6-4 16ビット・タイマ/イベント・カウンタの構成

| 項 目         | 構 成                                                                                                                                                                                                            |
|-------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| タイマ・レジスタ    | 16ビット×1本 (TM0)                                                                                                                                                                                                 |
| レ ジ ス タ     | キャプチャ/コンペア・レジスタ : 16ビット×2本 (CR00, CR01)                                                                                                                                                                        |
| タ イ マ 出 力   | 1本 (TO0)                                                                                                                                                                                                       |
| 制 御 レ ジ ス タ | タイマ・クロック選択レジスタ 0 (TCL0)<br>16ビット・タイマ・モード・コントロール・レジスタ (TMC0)<br>キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)<br>16ビット・タイマ出力コントロール・レジスタ (TOC0)<br>ポート・モード・レジスタ 3 (PM3)<br>外部割り込みモード・レジスタ 0 (INTM0)<br>サンプリング・クロック選択レジスタ (SCS) |



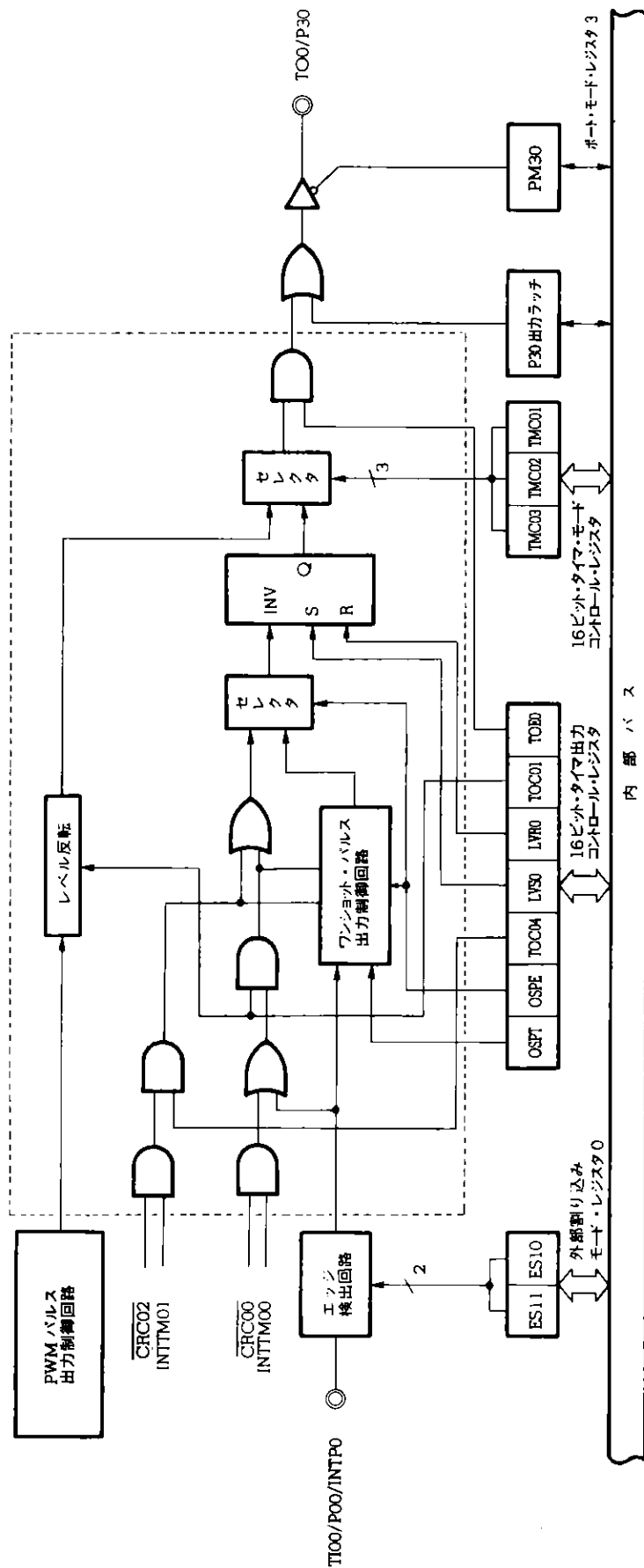
## 図6-1 16ビット・タイマ/イベント・カウンタのブロック図



注1. エッジ検出回路

2. 16ビット・タイマ/イベント・カウンタの出力制御回路の構成は、図6-2を参照してください。

図 6-2 16ビット・タイマ/イベント・カウンタ出力制御回路のブロック図



備考 破線部内が出力制御回路です。

**(1) キャプチャ/コンペア・レジスタ (CRO0)**

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ 0 のビット 0 (CRC00) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CRO0 をコンペア・レジスタとして使用するとき、CRO0 に設定した値と16ビット・タイマ・レジスタ (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00) を発生します。TM0 をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタおよび PWM 動作モード時のパルス幅を設定するレジスタとしても使用できます。

CRO0 をキャプチャ・レジスタとして使用するとき、キャプチャ・トリガとして INTP0/TIO0 端子、または INTP1/TIO1 端子の有効エッジが選択できます。INTP0/TIO0、INTP1/TIO1 の有効エッジの設定は外部割り込みモード・レジスタ 0 で行います。

ただし、CRO0 をキャプチャ・レジスタとして指定し、キャプチャ・トリガを INTP0/TIO0 端子の有効エッジに指定したときは、次の表のようになります。

**表 6-8 INTP0/TIO0 端子の有効エッジと CRO0 のキャプチャ・トリガの有効エッジ**

| ES11 | ES10 | INTP0/TIO0 端子の有効エッジ  | CRO0 のキャプチャ・トリガの有効エッジ |
|------|------|----------------------|-----------------------|
| 0    | 0    | 立ち下がりエッジ             | 立ち上がりエッジ              |
| 0    | 1    | 立ち上がりエッジ             | 立ち下がりエッジ              |
| 1    | 0    | 設定禁止                 | 設定禁止                  |
| 1    | 1    | 立ち上がり、立ち下がり<br>の両エッジ | キャプチャ動作しない            |

CRO0 は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、不定になります。

**(2) キャプチャ/コンペア・レジスタ (CRO1)**

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ/コンペア・コントロール・レジスタ 0 のビット 2 (CRC02) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

CRO1 をコンペア・レジスタとして使用するとき、CRO1 に設定した値と16ビット・タイマ・レジスタ (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM01) を発生します。

CRO1 をキャプチャ・レジスタとして使用するとき、キャプチャ・トリガとして INTP0/TIO0 端子の有効エッジが選択できます。INTP0/TIO0 の有効エッジの設定は外部割り込みモード・レジスタ 0 で行います。

CRO1 は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、不定になります。

**(3) 16ビット・タイマ・レジスタ (TMO)**

カウント・パルスをカウントする16ビットのレジスタです。

TMO は、16ビット・メモリ操作命令で読み出します。TMO を読み出す場合にはキャプチャ/コンペア・レジスタ (CRO1) をキャプチャ・レジスタに設定したのちに行ってください。

$\overline{\text{RESET}}$  入力により、0000H になります。

**注意** TMO の値の読み出しは CRO1 を介して行いますので、CRO1 の値を破壊します。

**6.3 16ビット・タイマ/イベント・カウンタを制御するレジスタ**

16ビット・タイマ/イベント・カウンタは、次の7種類のレジスタで制御します。

- タイマ・クロック選択レジスタ 0 (TCLO)
- 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)
- キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)
- 16ビット・タイマ出力コントロール・レジスタ (TOC0)
- ポート・モード・レジスタ 3 (PM3)
- 外部割り込みモード・レジスタ 0 (INTMO)
- サンプリング・クロック選択レジスタ (SCS)

**(1) タイマ・クロック選択レジスタ 0 (TCLO)**

16ビット・タイマ・レジスタのカウント・クロックを設定するレジスタです。

TCLO は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

**備考** TCLO は、16ビット・タイマ・レジスタのカウント・クロックの設定以外に、PCL 出力のクロックを設定する機能があります。

図 6-3 タイマ・クロック選択レジスタ 0 のフォーマット

|      |      |       |       |       |       |       |       |       |       |       |     |
|------|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-----|
| 略号   | ⑦    | 6     | 5     | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
| TCL0 | CLOE | TCL06 | TCL05 | TCL04 | TCL03 | TCL02 | TCL01 | TCL00 | FF40H | 00H   | R/W |

| TCL03 | TCL02 | TCL01 | TCL00 | PCL 出力のクロックの選択          |
|-------|-------|-------|-------|-------------------------|
| 0     | 0     | 0     | 0     | $f_{xt}$ (32.768 kHz)   |
| 0     | 1     | 0     | 1     | $f_{xx}$ (4.0 MHz)      |
| 0     | 1     | 1     | 0     | $f_{xx}/2$ (2.0 MHz)    |
| 0     | 1     | 1     | 1     | $f_{xx}/2^2$ (1.0 MHz)  |
| 1     | 0     | 0     | 0     | $f_{xx}/2^3$ (500 kHz)  |
| 1     | 0     | 0     | 1     | $f_{xx}/2^4$ (250 kHz)  |
| 1     | 0     | 1     | 0     | $f_{xx}/2^5$ (125 kHz)  |
| 1     | 0     | 1     | 1     | $f_{xx}/2^6$ (62.5 kHz) |
| 1     | 1     | 0     | 0     | $f_{xx}/2^7$ (31.3 kHz) |
| 上記以外  |       |       |       | 設定禁止                    |

| TCL06 | TCL05 | TCL04 | 16ビット・タイマ・レジスタのカウンタ・クロックの選択 |
|-------|-------|-------|-----------------------------|
| 0     | 0     | 0     | T100 (有効エッジ指定可能)            |
| 0     | 0     | 1     | $2f_{xx}$ 注                 |
| 0     | 1     | 0     | $f_{xx}$ (4.0 MHz)          |
| 0     | 1     | 1     | $f_{xx}/2$ (2.0 MHz)        |
| 1     | 0     | 0     | $f_{xx}/2^2$ (1.0 MHz)      |
| 1     | 1     | 1     | 時計用タイマ出力 (INTTM3)           |
| 上記以外  |       |       | 設定禁止                        |

| CLOE | PCL 出力の制御 |
|------|-----------|
| 0    | 出力禁止      |
| 1    | 出力許可      |

注  $f_{xx} > 2.5 \text{ MHz}$  のとき設定禁止

注意 1. T100/INTPO 端子の有効エッジの設定は、外部割り込みモード・レジスタ 0 で行います。また、サンプリング・クロックの周波数の選択は、サンプリング・クロック選択レジスタで行います。

2. PCL 出力を許可するときは、TCL00-TCL03 を設定したのち、1 ビット・メモリ操作命令で CLOE に 1 を設定してください。

3. TMO のカウンタ・クロックに T100 を指定しているとき、カウンタ値を読み出す場合には、キャプチャ/コンペア・レジスタ CR01 からではなく、TMO から読み出してください。

4. TCL0 を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

★

- 備考 1.  $f_{xx}$  : メイン・システム・クロック周波数  
2.  $f_{xt}$  : サブシステム・クロック発振周波数  
3. TI00 : 16ビット・タイマ/イベント・カウンタの入力端子  
4. TM0 : 16ビット・タイマ・レジスタ  
5. ( ) 内は,  $f_{xx} = 4.0 \text{ MHz}$  または  $f_{xt} = 32.768 \text{ kHz}$  動作時。

(2) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)

16ビット・タイマの動作モード, 16ビット・タイマ・レジスタのクリア・モード, 出力タイミングの設定, オーバフローを検出するレジスタです。

TMC0 は, 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により, 00H になります。

★

注意 16ビット・タイマ・レジスタは, TMC01-TMC03に 0, 0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには, TMC01-TMC03に 0, 0, 0 を設定してください。

図 6-4 16ビット・タイマ・モード・コントロール・レジスタのフォーマット

| 略号   | 7 | 6 | 5 | 4 | 3     | 2     | 1     | ①    | アドレス  | リセット時 | R/W |
|------|---|---|---|---|-------|-------|-------|------|-------|-------|-----|
| TMC0 | 0 | 0 | 0 | 0 | TMC03 | TMC02 | TMC01 | OVFO | FF48H | 00H   | R/W |

|      |                          |
|------|--------------------------|
| OVFO | 16ビット・タイマ・レジスタのオーバーフロー検出 |
| 0    | オーバーフローなし                |
| 1    | オーバーフローあり                |

| TMC03 | TMC02 | TMC01 | 動作モードおよび<br>クリア・モードの選択        | TO0 の出力<br>タイミングの選択                                 | 割り込みの発生                                        |
|-------|-------|-------|-------------------------------|-----------------------------------------------------|------------------------------------------------|
| 0     | 0     | 0     | 動作停止<br>(TMO は 0 にクリア)        | 変化なし                                                | 発生しない                                          |
| 0     | 0     | 1     | PWM モード<br>(フリーランニング)         | PWM パルス出力                                           | TMO と CRO0 の<br>一致および<br>TMO と CRO1 の<br>一致で発生 |
| 0     | 1     | 0     | フリーランニング・モード                  | TMO と CRO0 の一致または<br>TMO と CRO1 の一致                 |                                                |
| 0     | 1     | 1     |                               | TMO と CRO0 の一致,<br>TMO と CRO1 の一致または<br>TIO0 の有効エッジ |                                                |
| 1     | 0     | 0     | TIO0 の有効エッジで<br>クリア & スタート    | TMO と CRO0 の一致または<br>TMO と CRO1 の一致                 |                                                |
| 1     | 0     | 1     |                               | TMO と CRO0 の一致,<br>TMO と CRO1 の一致または<br>TIO0 の有効エッジ |                                                |
| 1     | 1     | 0     | TMO と CRO0 の一致で<br>クリア & スタート | TMO と CRO0 の一致または<br>TMO と CRO1 の一致                 |                                                |
| 1     | 1     | 1     |                               | TMO と CRO0 の一致,<br>TMO と CRO1 の一致または<br>TIO0 の有効エッジ |                                                |

注意 1. クリア・モードおよび TO0 の出力タイミングの切り替えは、タイマ動作を停止(TMC01-TMC03 に、0, 0, 0 を設定) させたのちに行ってください。

2. TIO0/INTP0 端子の有効エッジの設定は、外部割り込みモード・レジスタ 0 で行います。  
また、サンプリング・クロックの周波数の選択は、サンプリング・クロック選択レジスタで行います。
3. PWM モードを使用するときは、PWM モード設定後、CRO0 にデータを設定してください。
4. TMO と CRO0 の一致でクリア & スタートするモードを選択した場合、CRO0 の設定値が OFFFFH で、TMO の値が OFFFFH から 0000H に変化するとき、OVFO フラグが 1 に設定されます。

- 備考 1. TO0 : 16ビット・タイマ/イベント・カウンタの出力端子  
 2. TI00 : 16ビット・タイマ/イベント・カウンタの入力端子  
 3. TM0 : 16ビット・タイマ・レジスタ  
 4. CR00 : コンペア・レジスタ00  
 5. CR01 : コンペア・レジスタ 01

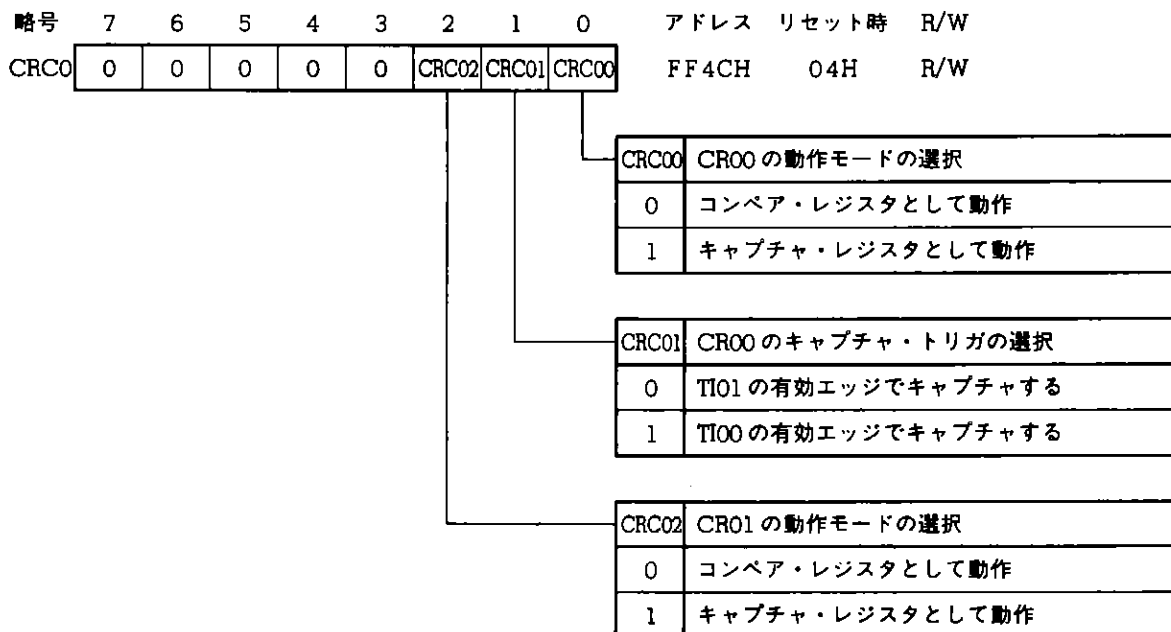
### (3) キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)

キャプチャ/コンペア・レジスタ (CR00, CR01) の動作を制御するレジスタです。

CRC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、04Hになります。

図 6-5 キャプチャ/コンペア・コントロール・レジスタ 0 のフォーマット



注意 1. CRC0 の設定は、必ずタイマ動作を停止させたのちに行ってください。

2. 16ビット・タイマ・モード・コントロール・レジスタで、TMO と CR00 の一致でクリア & スタート・モードを選択したとき、CR00 をキャプチャ・レジスタに指定しないでください。



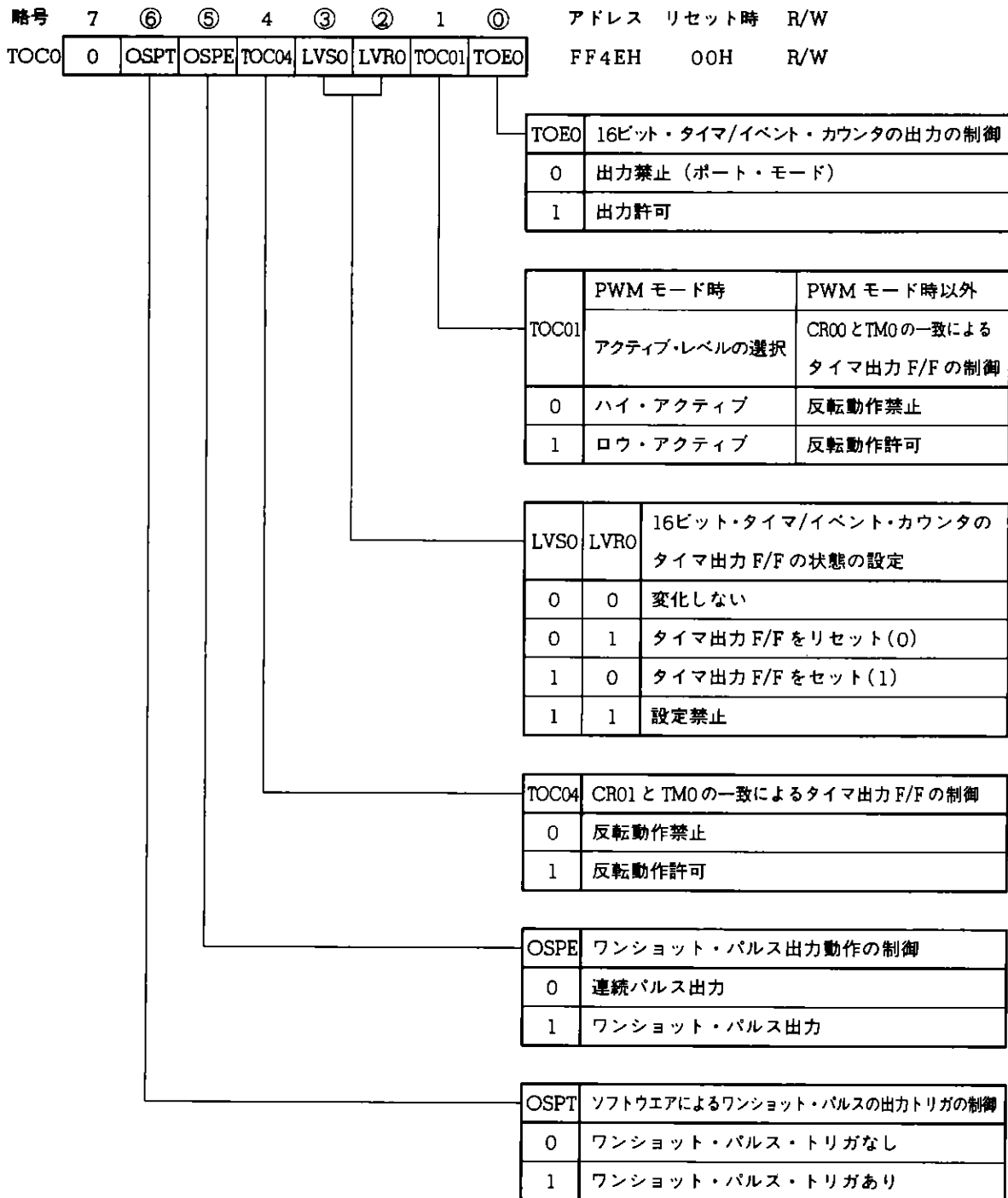
**(4) 16ビット・タイマ出力コントロール・レジスタ (TOC0)**

16ビット・タイマ/イベント・カウンタ出力制御回路の動作を制御するレジスタです。R-S型フリップ・フロップ (LV0) のセット/リセット, PWMモード時のアクティブ・レベル, PWMモード時以外の出力の反転許可/禁止, 16ビット・タイマ/イベント・カウンタのタイマ出力許可/禁止, ワンショット・パルス出力動作の許可/禁止, ソフトウェアによるワンショット・パルスの出力トリガを設定します。

TOC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により, 00Hになります。

図 6-6 16ビット・タイマ出力コントロール・レジスタのフォーマット



注意 1. TOC0 の設定は、必ずタイマ動作を停止させたのちに行ってください。

2. LVS0, LVR0 は、データ設定後に読み出すと 0 になっています。

3. OSPT は、データ設定後自動的にクリアされますので、読み出すと 0 になっています。

## (5) ポート・モード・レジスタ3 (PM3)

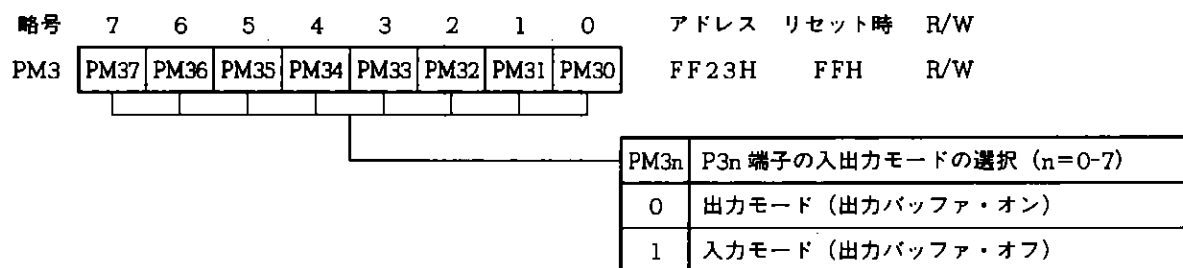
ポート3の入力/出力を1ビット単位で設定するレジスタです。

P30/TO0 端子をタイマ出力として使用するとき、PM30 および P30 の出力ラッチに 0 を設定してください。

PM3 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、FFH になります。

図 6-7 ポート・モード・レジスタ3のフォーマット



## (6) 外部割り込みモード・レジスタ0 (INTMO)

INTP0-INTP2の有効エッジを設定するレジスタです。

INTMOは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図6-8 外部割り込みモード・レジスタ0のフォーマット



## (7) サンプリング・クロック選択レジスタ (SCS)

INTP0に入力される有効エッジのクロック・サンプリングを行うクロックを設定するレジスタです。INTP0を使ってリモコン受信をするとき、サンプリング・クロックによりデジタル・ノイズの除去を行います。

SCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00Hになります。

図 6-9 サンプリング・クロック選択レジスタのフォーマット

| 略号  | 7 | 6 | 5 | 4 | 3 | 2 | 1    | 0    | アドレス  | リセット時 | R/W |
|-----|---|---|---|---|---|---|------|------|-------|-------|-----|
| SCS | 0 | 0 | 0 | 0 | 0 | 0 | SCS1 | SCS0 | FF47H | 00H   | R/W |

| SCS1 | SCS0 | INTP0のサンプリング・クロックの選択     |
|------|------|--------------------------|
| 0    | 0    | $f_{xx}/2^N$             |
| 0    | 1    | $f_{xx}/2^7$ (31.3 kHz)  |
| 1    | 0    | $f_{xx}/2^5$ (125.0 kHz) |
| 1    | 1    | $f_{xx}/2^8$ (62.5 kHz)  |

**注意**  $f_{xx}/2^N$  は CPU へ供給されるクロック、 $f_{xx}/2^5$ 、 $f_{xx}/2^6$ 、 $f_{xx}/2^7$  は周辺ハードウェアへ供給されるクロックです。 $f_{xx}/2^N$  は HALT モード中は停止します。

**備考 1.** N : プロセッサ・クロック・コントロール・レジスタのビット 0-ビット 2 (PCC0-PCC2) に設定した値 (N = 0-4)。

**2.**  $f_{xx}$  : メイン・システム・クロック周波数

**3.** ( ) 内は、 $f_{xx} = 4.0 \text{ MHz}$  動作時。

## 6.4 16ビット・タイマ/イベント・カウンタの動作

### 6.4.1 インターバル・タイマとしての動作

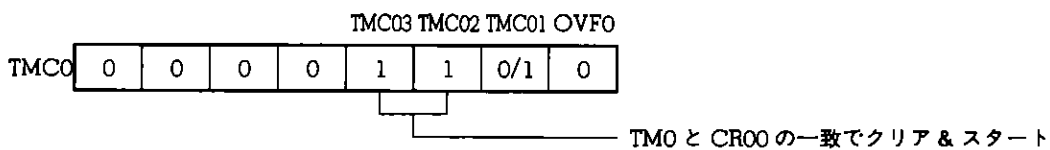
16ビット・タイマ・モード・コントロール・レジスタ (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図 6-10 のように設定することにより、インターバル・タイマとして動作します。16ビット・キャプチャ/コンペア・レジスタ 00 (CR00) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生します。

16ビット・タイマ・レジスタ (TM0) のカウント値が CR00 に設定した値と一致したとき、TM0 の値を 0 にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM00) を発生します。

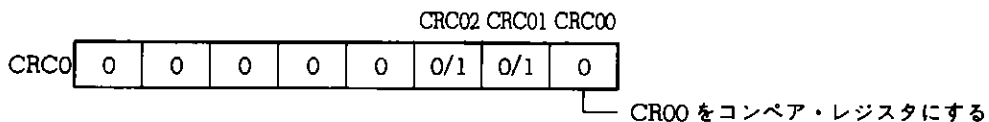
タイマ・クロック選択レジスタ 0 (TCL0) のビット 4-6 (TCL04-TCL06) で16ビット・タイマ/イベント・カウンタのカウント・クロックを選択できます。

図 6-10 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)



**備考** 0/1 : 0 または 1 を設定することにより、インターバル・タイマと同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図 6-11 インターバル・タイマの構成図

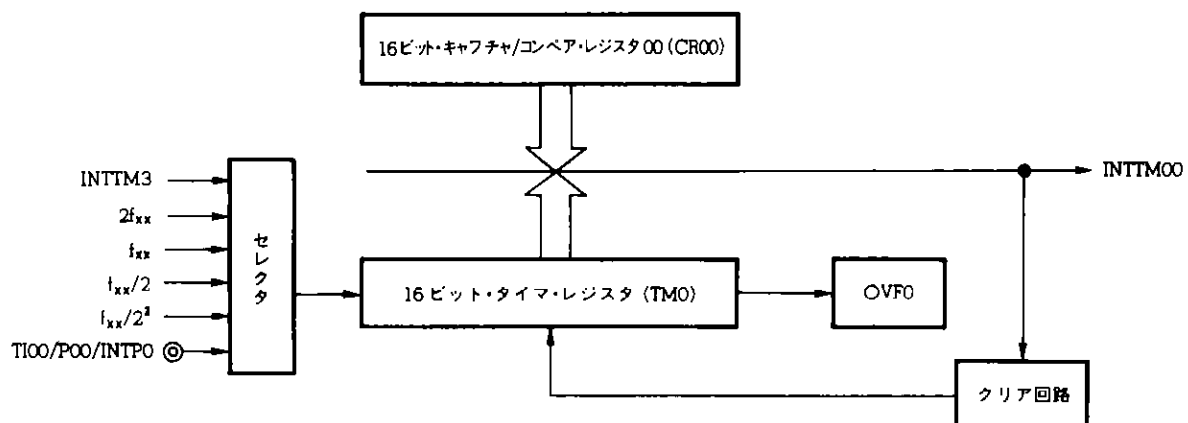
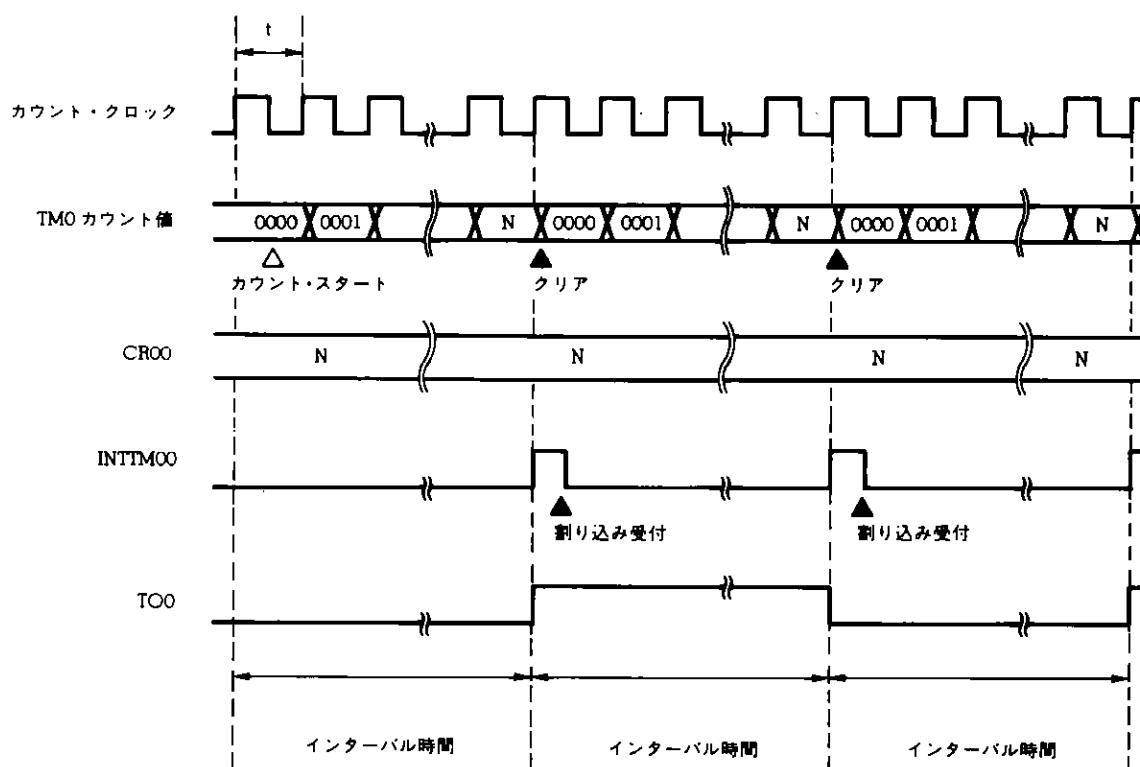


図 6-12 インターバル・タイマ動作のタイミング



備考 インターバル時間 =  $(N + 1) \times t$  :  $N = 0001H - FFFFH$

表 6-6 16ビット・タイマ/イベント・カウンタのインターバル時間

| TCL06 | TCL05 | TCL04 | 最小インターバル時間                        | 最大インターバル時間                            | 分解能                               |
|-------|-------|-------|-----------------------------------|---------------------------------------|-----------------------------------|
| 0     | 0     | 0     | 2×TIO0 入力周期                       | 2 <sup>16</sup> ×TIO0 入力周期            | TIO0 入力エッジ周期                      |
| 0     | 0     | 1     | $1/f_{xx}$<br>(250 ns)            | $2^{15} \times 1/f_{xx}$<br>(8.19 ms) | $1/2f_{xx}$<br>(125 ns)           |
| 0     | 1     | 0     | $2 \times 1/f_{xx}$<br>(500 ns)   | $2^{16} \times 1/f_{xx}$<br>(16.4 ms) | $1/f_{xx}$<br>(250 ns)            |
| 0     | 1     | 1     | $2^2 \times 1/f_{xx}$<br>(1.0 μs) | $2^{17} \times 1/f_{xx}$<br>(32.8 ms) | $2 \times 1/f_{xx}$<br>(500 ns)   |
| 1     | 0     | 0     | $2^3 \times 1/f_{xx}$<br>(2.0 μs) | $2^{18} \times 1/f_{xx}$<br>(65.5 ms) | $2^2 \times 1/f_{xx}$<br>(1.0 μs) |
| 1     | 1     | 1     | 2×時計用タイマ出力周期                      | 2 <sup>16</sup> ×時計用タイマ出力周期           | 時計用タイマ出力エッジ周期                     |
| 上記以外  |       |       | 設定禁止                              |                                       |                                   |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx} = 4.0 \text{ MHz}$  動作時。

#### 6.4.2 PWM 出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ (TMC0) と、キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)、16ビット・タイマ出力コントロール・レジスタ (TOC0) を図 6-13 のように設定することにより、PWM 出力として動作します。16ビット・キャプチャ/コンペア・レジスタ 00 (CRO0) に設定した値で決まるデューティ比のパルスを、TO0/P30 端子から出力します。

PWM パルスのアクティブ・レベルの幅は、CRO0 の上位14ビットに設定してください。また、アクティブ・レベルは、16ビット・タイマ出力コントロール・レジスタ (TOC0) のビット 1 (TOC01) により選択します。

この PWM パルスは、14ビット分解能のパルスです。PWM パルスを外付けロウ・パス・フィルタ (LPF) で積分することによりアナログ電圧に変換することができます。2<sup>6</sup>/φ で決まる基本周期と 2<sup>14</sup>/φ で決まる副周期を組み合わせて作られており、外付けの LPF の時定数を短くできるよう工夫されています。カウント・クロック φ はタイマ・クロック選択レジスタ 0 (TCL0) のビット 4-6 (TCL04-TCL06) で選択できます。

★

TOC0 のビット 0 (TOE0) により、PWM 出力の許可/禁止が選択できます。

注意 1. CRO0 への設定は、PWM 動作モードを選択後に行ってください。

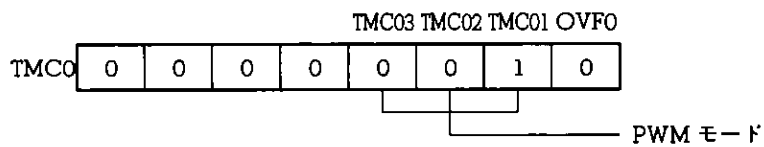
2. CRO0 のビット 0, 1 には必ず 0 を書き込んでください。

3. TIO0/P00 端子からの外部クロック入力の際、PWM 動作モードを選択しないでください。

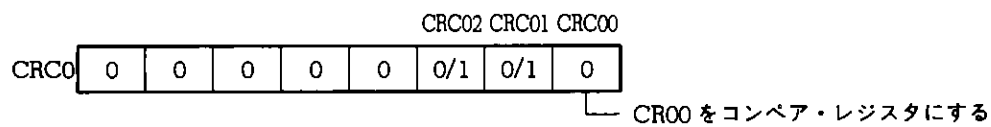


図 6-13 PWM 出力動作時の制御レジスタ設定内容

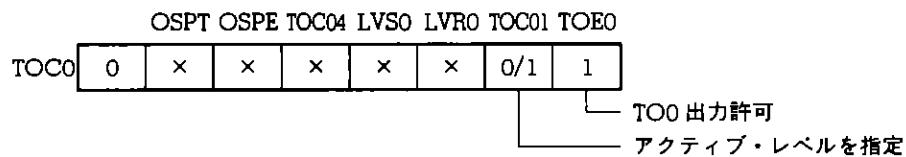
(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ (TOC0)



備考 1. 0/1 : 0 または 1 を設定することにより, PWM 出力と同時にほかの機能を使用することができます。

詳細は, 各制御レジスタの説明を参照してください。

2. × : don't care

14ビット分解能のPWMパルスを外付けのロウ・パス・フィルタで積分することによって、アナログ電圧に変換し、電子チューニングやD/Aコンバータなどに応用できます。

図6-14に示すような構成で、D/A変換に使用した場合のアナログ出力電圧 ( $V_{AN}$ ) は次のようになります。

$$V_{AN} = V_{REF} \times \frac{\text{キャプチャ/コンペア・レジスタ00 (CR00) の値}}{2^{16}}$$

$V_{REF}$  : 外部スイッチング回路の基準電圧

図6-14 PWM出力によるD/Aコンバータ構成例

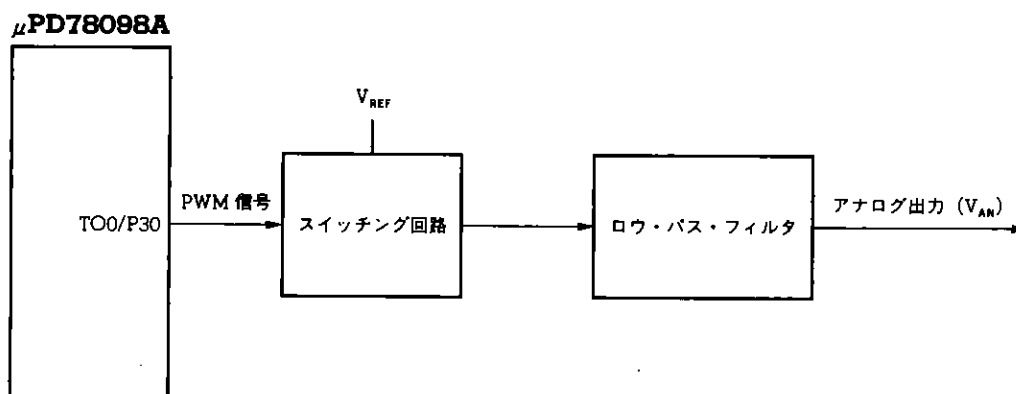
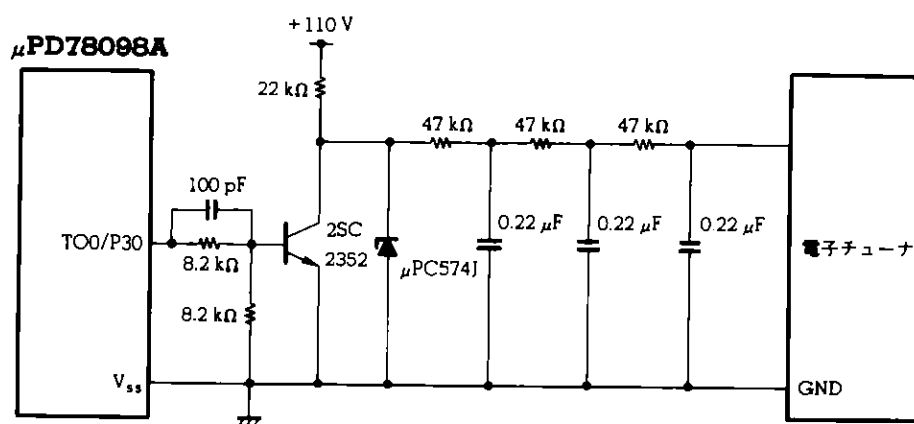


図6-15にPWM出力をアナログ電圧に変換し、ボルテージ・シンセサイザ方式のTVチューナに応用した例を示します。

図6-15 TVチューナへの応用回路例



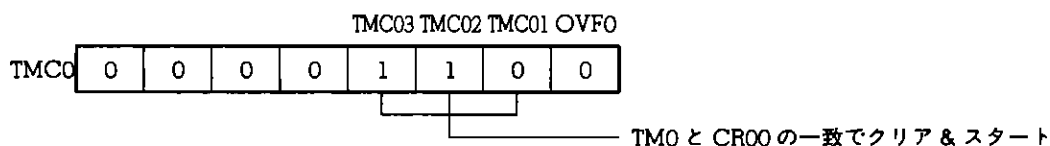
### 6.4.3 PPG 出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ(TMC0)と、キャプチャ/コンペア・コントロール・レジスタ 0(CRC0)を図 6-16 のように設定することにより, PPG(Programmable Pulse Generator) 出力として動作します。

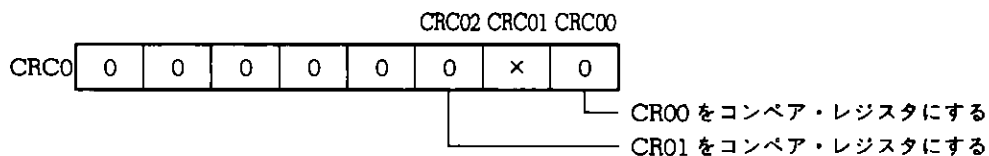
PPG 出力パルスは, 16ビット・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値を1周期とし, 16ビット・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値をパルス幅とする矩形波を TO0/P30 端子から出力します。

図 6-16 PPG 出力動作時の制御レジスタ設定内容

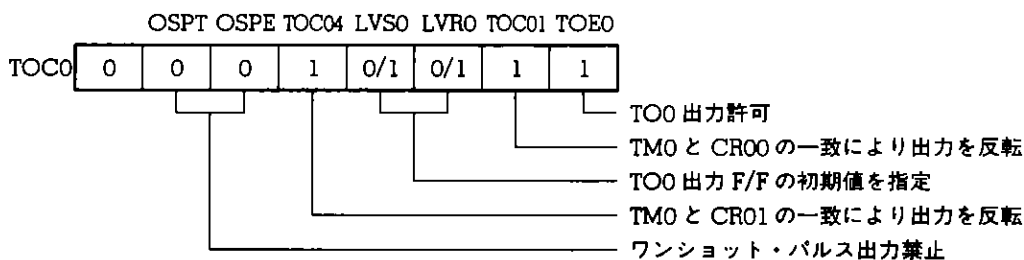
(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ (TOC0)



備考 × : don't care

注意 CR00 と CR01 には次の範囲の値を設定してください。

$$0000H \leq CR01 < CR00 \leq FFFFH$$

#### 6.4.4 パルス幅測定としての動作

16ビット・タイマ・レジスタ (TM0) を使用し、TI00/P00 端子および TI01/P01 端子に入力される信号のパルス幅を測定することができます。

測定方法は、TM0 をフリーランニングさせて測定する方法と TI00/P00 端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

##### (1) フリーランニング・カウンタとキャプチャ・レジスタ 1 本によるパルス幅測定

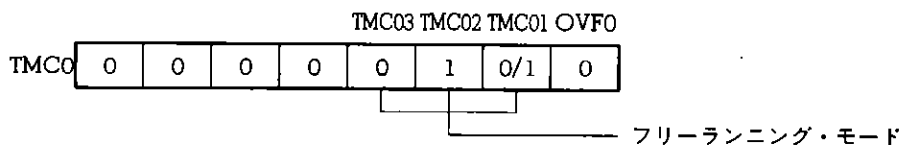
16ビット・タイマ・レジスタ (TM0) を PWM 出力などのためにフリーランニングで動作させているとき(図 6-17 のレジスタの設定参照), TI00/P00 端子に外部割り込みモード・レジスタ 0 (INTM0) で指定したエッジが入力されると TM0 の値を 16ビット・キャプチャ/コンペア・レジスタ 01 (CR01) に取り込み、外部割り込み要求信号 (INTPO) をセットします。

エッジ指定は INTM0 のビット 2, 3 (ES10, ES11) で行い、立ち上がり、立ち下がり、両エッジの 3 種類の選択ができます。

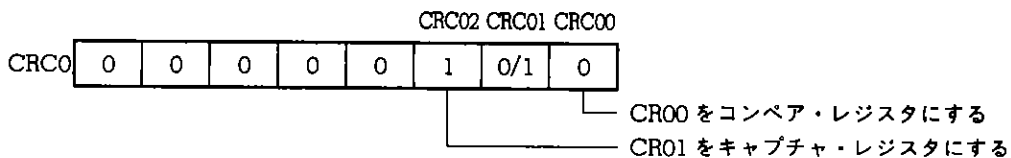
有効エッジの検出は、サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い、2 回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去することができます。

図 6-17 フリーランニング・カウンタとキャプチャ・レジスタ 1 本による  
パルス幅測定時の制御レジスタ設定内容

##### (a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



##### (b) キャプチャ/コンペア・コントロール・レジスタ 0 (CR00)



備考 0/1 : 0 または 1 を設定することにより、パルス幅測定と同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図 6-18 フリーランニング・カウンタによるパルス幅測定の構成図

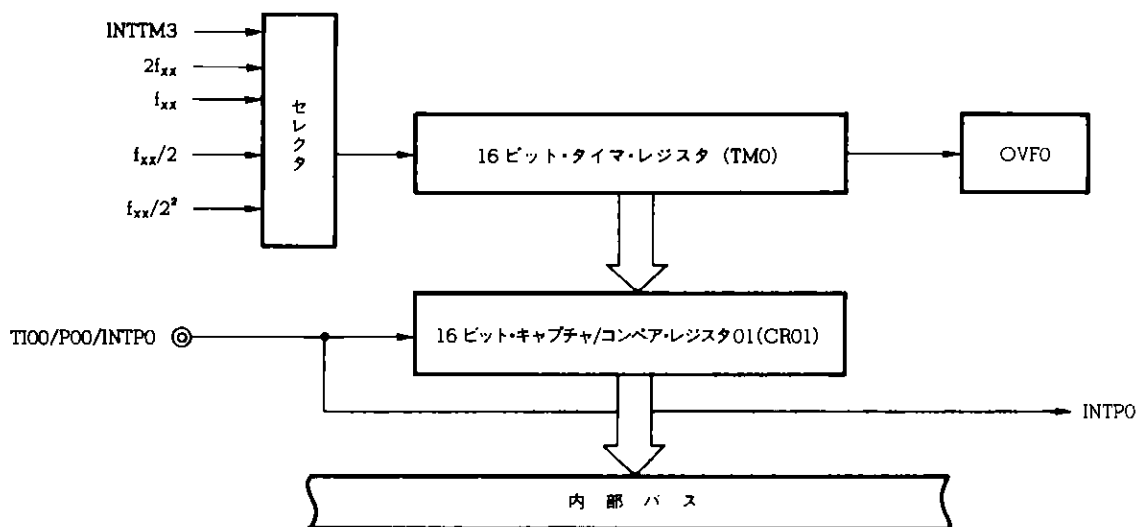
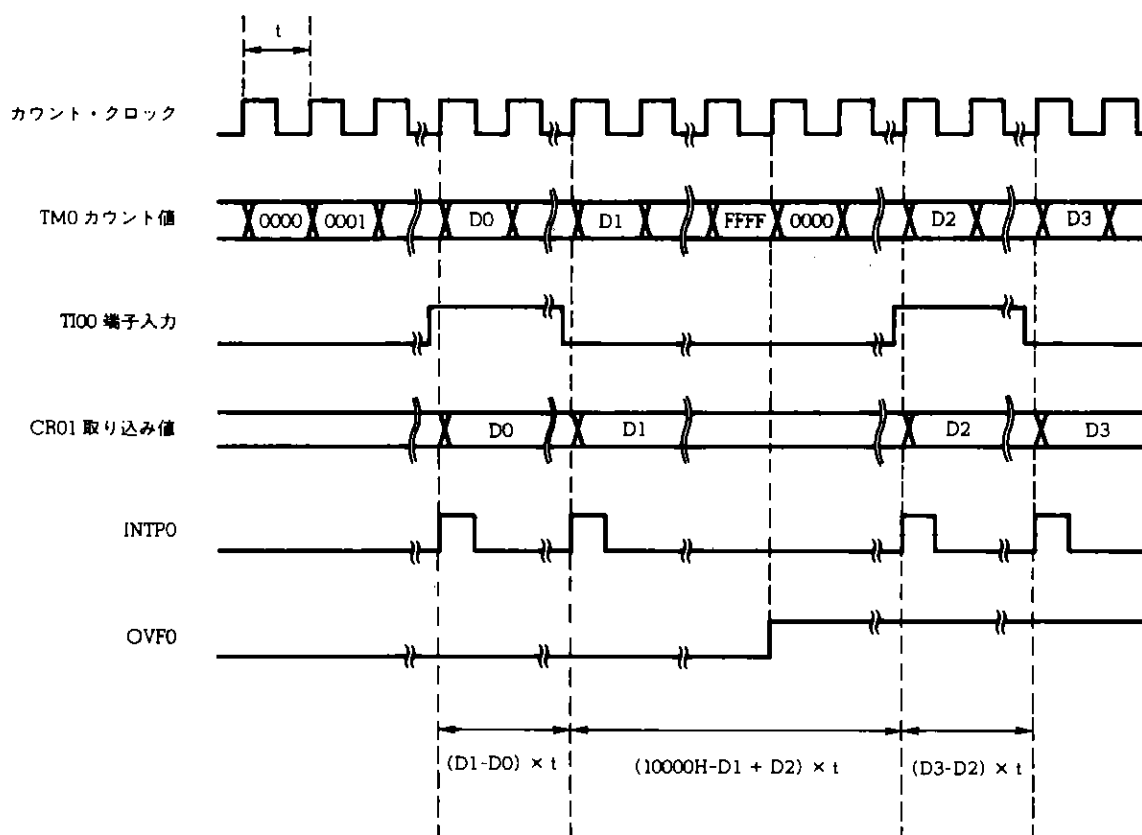


図 6-19 フリーランニング・カウンタとキャプチャ・レジスタ 1 本による  
パルス幅測定動作のタイミング (両エッジ指定時)



## (2) フリーランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・レジスタ (TM0) を PWM 出力などのためにフリーランニングで動作させているとき (図 6-20 のレジスタの設定参照), TI00/P00 端子および TI01/P01 端子に入力される2つの信号のパルス幅を同時に測定することができます。

TI00/P00 端子に外部割り込みモード・レジスタ 0 (INTM0) のビット 2, 3 (ES10, ES11) で指定したエッジが入力されると TM0 の値を 16ビット・キャプチャ/コンペア・レジスタ 01 (CR01) に取り込み、外部割り込み要求信号 (INTP0) をセットします。

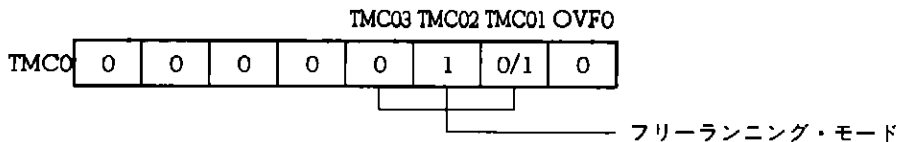
また, TI01/P01 端子に INTM0 のビット 4, 5 (ES20, ES21) で指定したエッジが入力されると TM0 の値を 16ビット・キャプチャ/コンペア・レジスタ 00 (CR00) に取り込み、外部割り込み要求信号 (INTP1) をセットします。

TI00/P00 端子と TI01/P01 端子のエッジ指定は, INTM0 のビット 2, 3 (ES10, ES11) およびビット 4, 5 (ES20, ES21) でそれぞれ行い, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

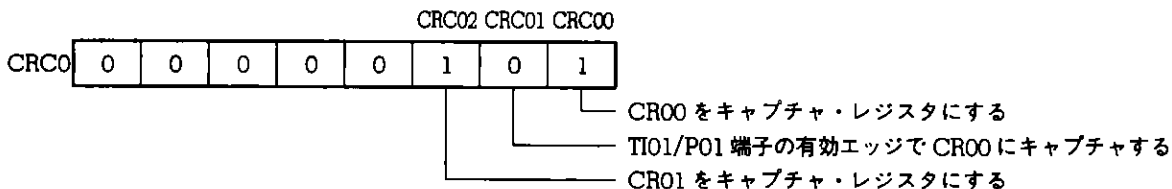
TI00/P00 端子の有効エッジの検出は, サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去することができます。

図 6-20 フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

## (a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)

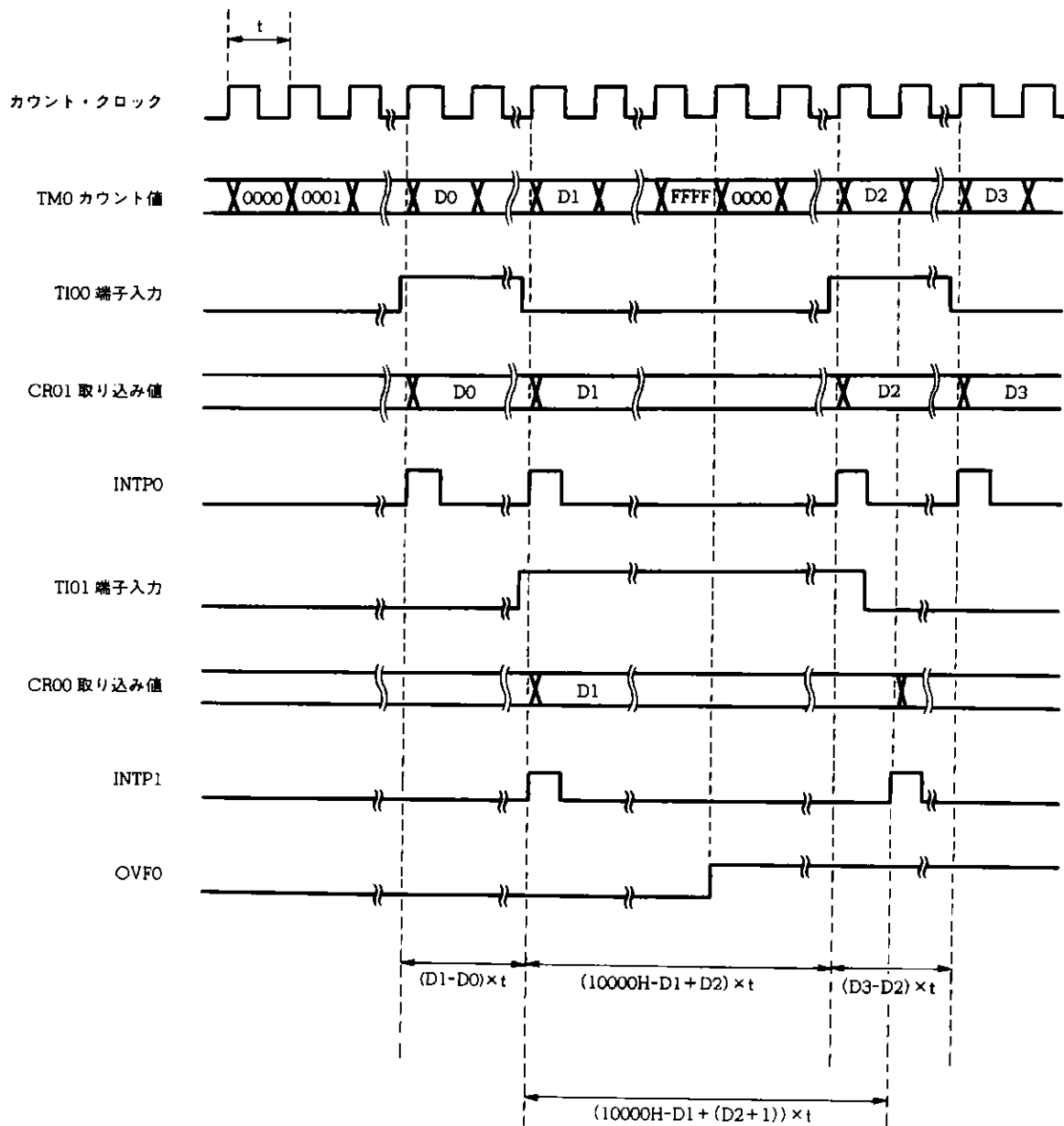


## (b) キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)



備考 0/1 : 0 または 1 を設定することにより, パルス幅測定と同時にほかの機能を使用することができます。詳細は, 各制御レジスタの説明を参照してください。

図 6-21 フリーランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



## (3) フリーランニング・カウンタとキャプチャ・レジスタ 2 本によるパルス幅測定

16ビット・タイマ・レジスタ (TM0) を PWM 出力などのためにフリーランニングで動作させているとき (図 6-22 のレジスタの設定参照), TIO0/PO0 端子に入力する信号のパルス幅を測定することができます。

TIO0/PO0 端子に外部割り込みモード・レジスタ 0 (INTMO) のビット 2, 3 (ES10, ES11) で指定したエッジが入力されると TM0 の値を 16ビット・キャプチャ/コンペア・レジスタ 01 (CR01) に取り込み、外部割り込み要求信号 (INTP0) をセットします。

また, CR01 へのキャプチャ動作と逆のエッジ入力で TM0 の値を 16ビット・キャプチャ/コンペア・レジスタ 00 (CR00) に取り込みます。

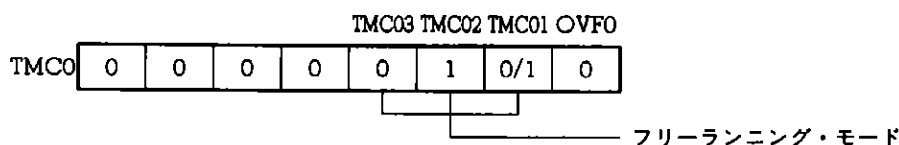
★ TIO0/PO0 端子のエッジ指定は, INTMO のビット 2, 3 (ES10, ES11) で行い, 立ち上がり, 立ち下がりエッジの 2 種類の選択ができます。

TIO0/PO0 端子の有効エッジの検出は, サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い, 2 回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去することができます。

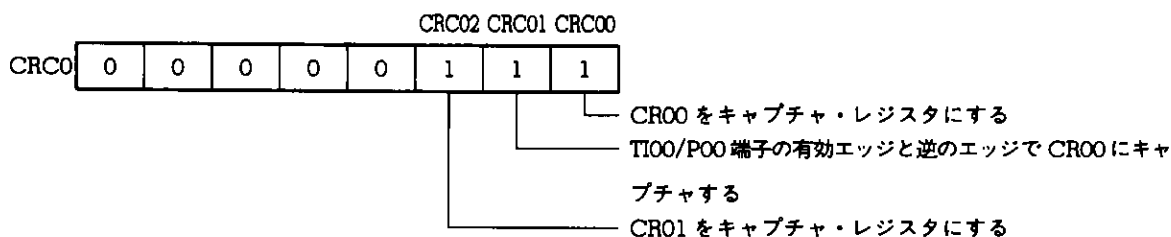
★ 注意 TIO0/PO0 端子の有効エッジを, 立ち上がり, 立ち下がり両エッジに指定した場合, キャプチャ/コンペア・レジスタ 00 (CR00) はキャプチャ動作を行いません。

図 6-22 フリーランニング・カウンタとキャプチャ・レジスタ 2 本による  
パルス幅測定時の制御レジスタ設定内容

## (a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



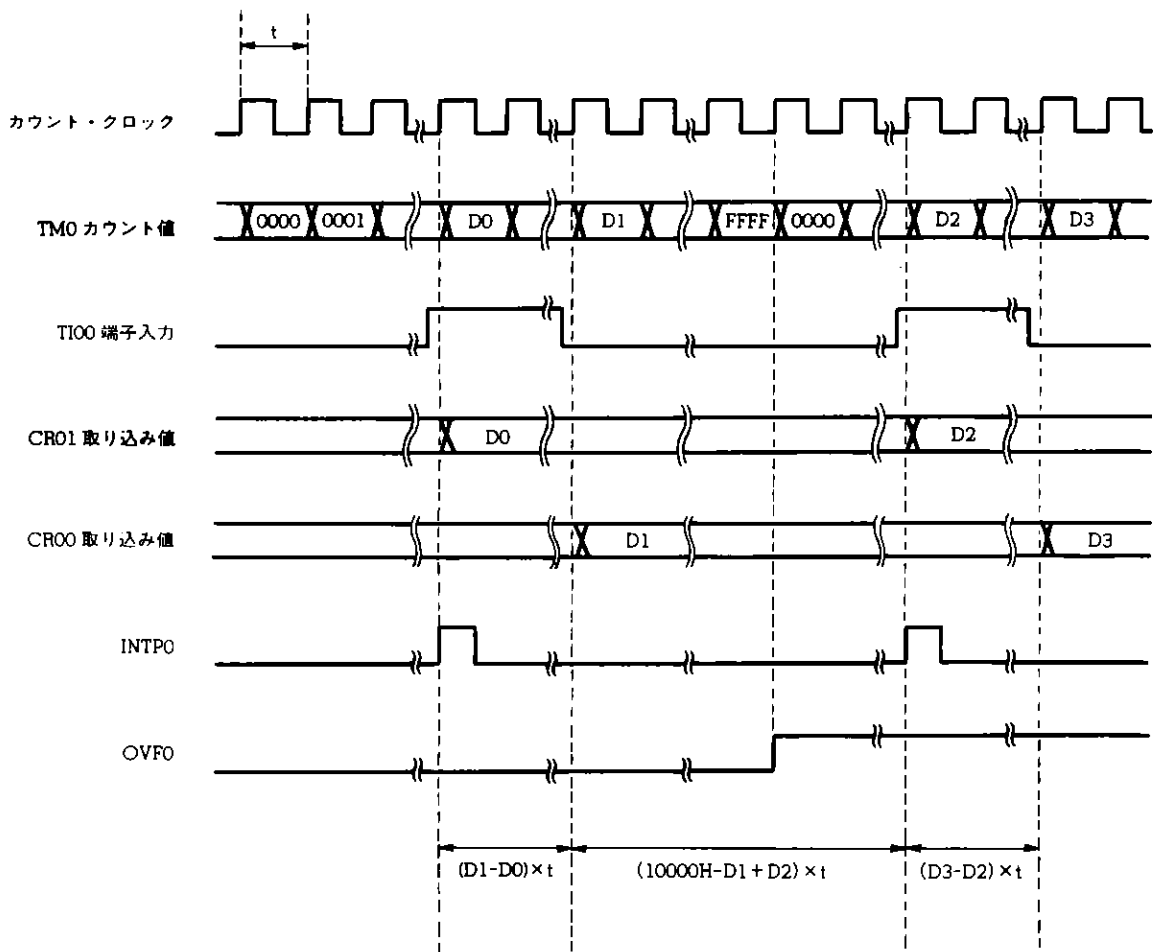
## (b) キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)



備考 0/1 : 0 または 1 を設定することにより, パルス幅測定と同時にほかの機能を使用することができます。詳細は, 各制御レジスタの説明を参照してください。



図 6-23 フリーランニング・カウンタとキャプチャ・レジスタ 2 本による  
パルス幅測定動作のタイミング (立ち上がりエッジ指定時)



## (4) リスタートによるパルス幅測定

TI00/PO0 端子への有効エッジを検出したとき、16ビット・タイマ・レジスタ (TM0) のカウント値を16ビット・キャプチャ/コンペア・レジスタ01 (CR01) に取り込んだ後、TM0 をクリアしてカウントを再開することによりTI00/PO0 端子に入力された信号のパルス幅を測定します(図 6-24 のレジスタの設定参照)。

★

エッジ指定は INTM0 のビット 2, 3 (ES10, ES11) により、立ち上がり、立ち下がりエッジの2種類から選択できます。

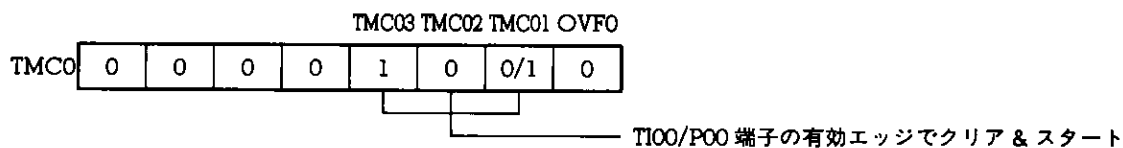
有効エッジの検出は、サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去することができます。

★

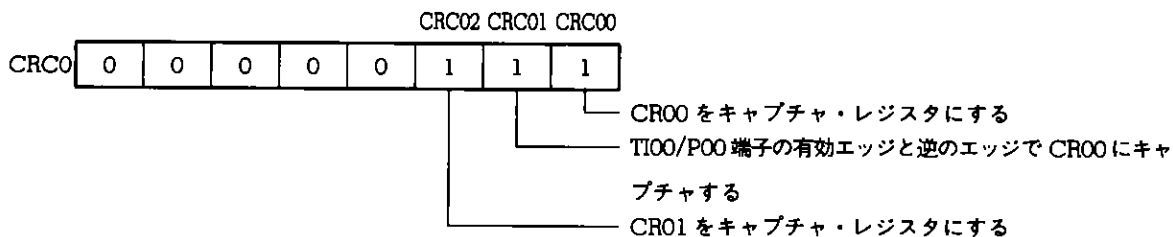
**注意** TI00/PO0 端子の有効エッジを、立ち上がり、立ち下がりの両エッジに指定した場合、キャプチャ/コンペア・レジスタ 00 (CR00) はキャプチャ動作を行えません。

図 6-24 リスタートによるパルス幅測定時の制御レジスタ設定内容

## (a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)

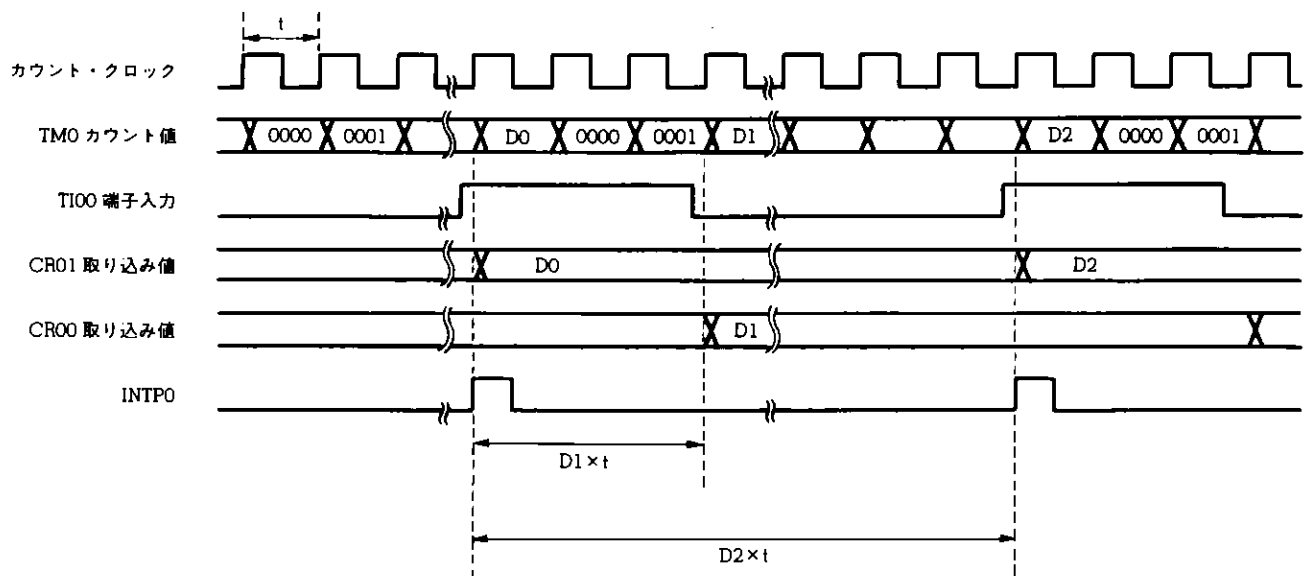


## (b) キャプチャ/コンペア・コントロール・レジスタ 0 (CR00)



**備考** 0/1 : 0 または 1 を設定することにより、パルス幅測定と同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図 6-25 リスタートによるパルス幅測定動作のタイミング（立ち上がりエッジ指定時）



#### 6.4.5 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00/P00 端子に入力される外部からのクロック・パルス数を16ビット・タイマ・レジスタ (TM0) でカウントするものです。

外部割り込みモード・レジスタ 0 (INTM0) で指定した有効エッジが入力されるたびに、TM0 がインクリメントされます。

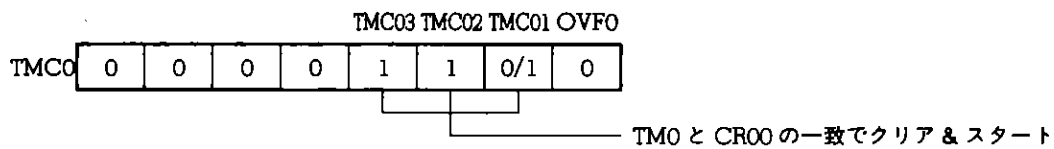
TM0 の計数値が16ビット・キャプチャ/コンペア・レジスタ 00 (CR00) の値と一致すると、TM0 は 0 にクリアされ、割り込み要求信号 (INTTM00) が発生します。

エッジ指定は INTM0 のビット 2, 3 (ES10, ES11) により、立ち上がり、立ち下がり、両エッジの 3 種類から選択できます。

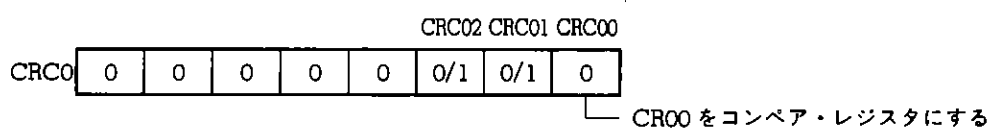
有効エッジの検出は、サンプリング・クロック選択レジスタ (SCS) で選択した周期でサンプリングを行い、2 回有効レベルを検出することではじめて動作するため、短いパルス幅のノイズを除去することができます。

図 6-26 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



(b) キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)



**備考** 0/1 : 0 または 1 を設定することにより、外部イベント・カウンタと同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

図 6-27 外部イベント・カウンタの構成図

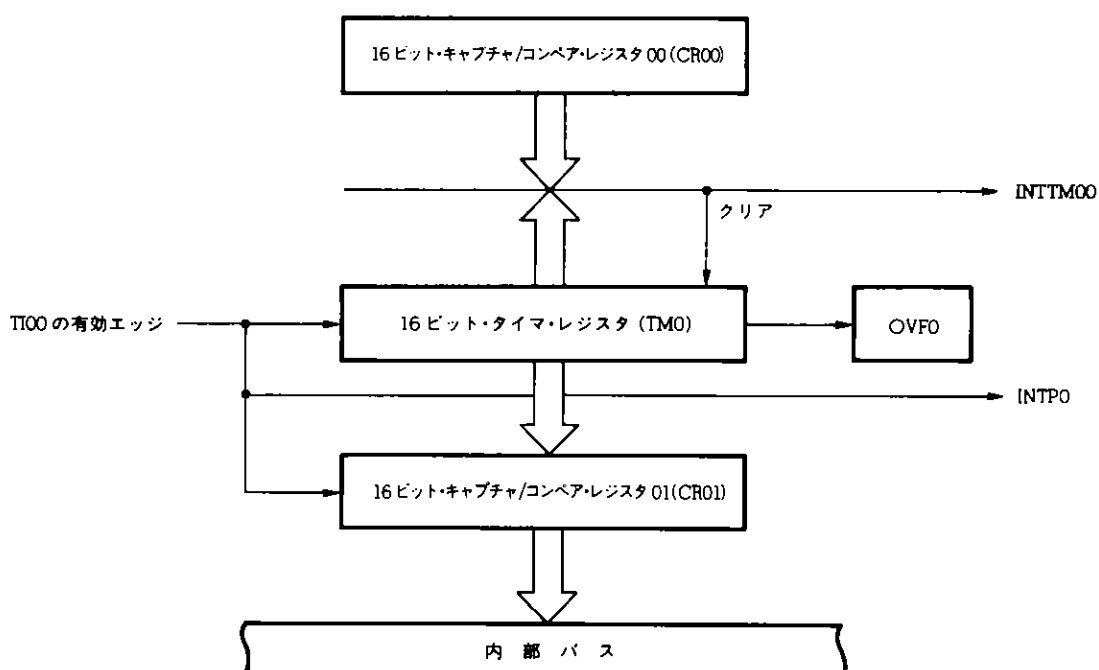
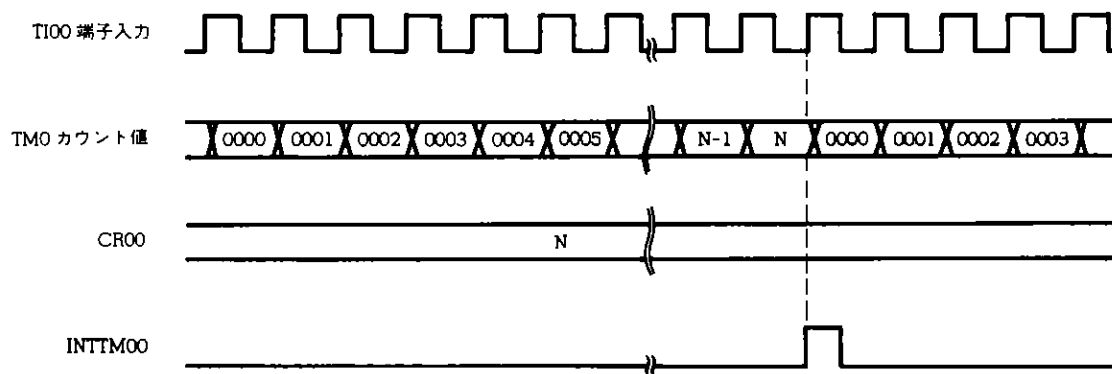


図 6-28 外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TMO を読み出してください。

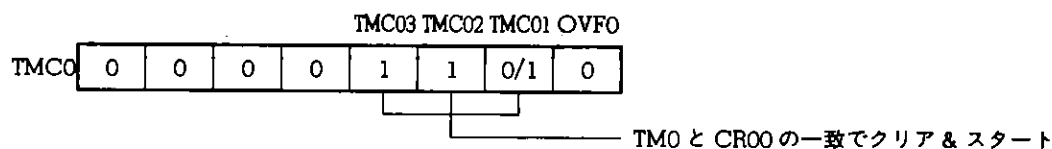
#### 6.4.6 方形波出力としての動作

16ビット・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウンタ値をインターバルとする、任意の周波数の方形波出力です。

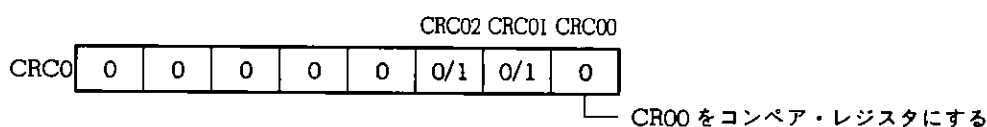
16ビット・タイマ出力コントロール・レジスタのビット 0 (TOE0) とビット 1 (TOC01) に 1 を設定することにより、CR00 にあらかじめ設定したカウンタ値をインターバルとして TO0/P30 端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図 6-29 方形波出力モード時の制御レジスタ設定内容

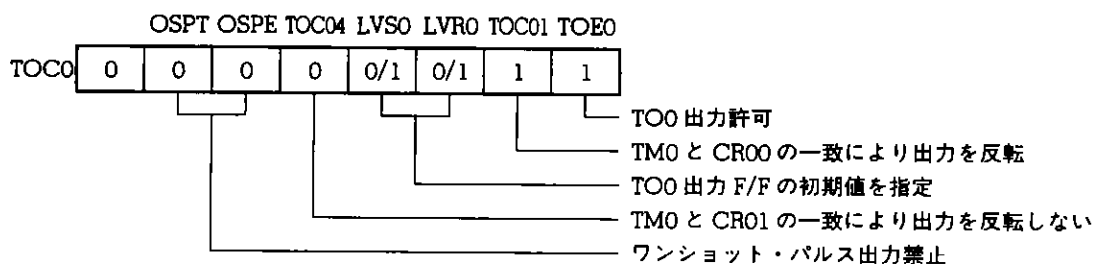
## (a) 16ビット・タイマ・モード・コントロール・レジスタ (TMC0)



## (b) キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)



## (c) 16ビット・タイマ出力コントロール・レジスタ (TOC0)



備考 0/1 : 0 または 1 を設定することにより, 方形波出力と同時にほかの機能を使用することができます。詳細は, 各制御レジスタの説明を参照してください。

図 6-30 方形波出力動作のタイミング

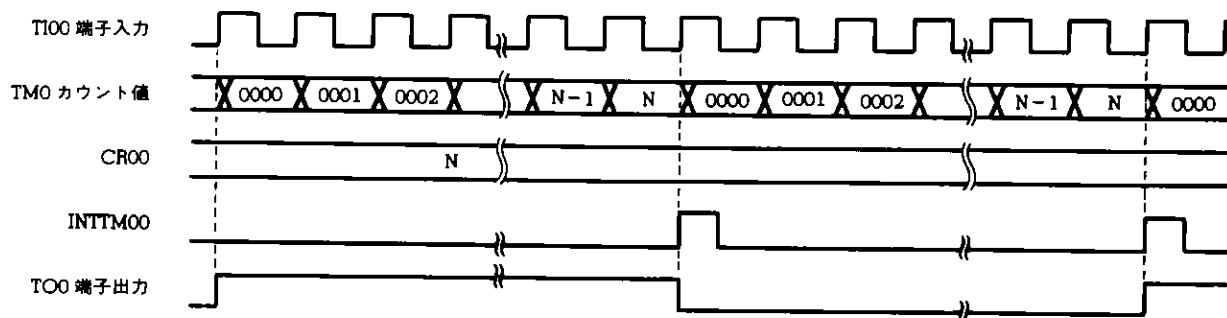


表 6-7 16ビット・タイマ/イベント・カウンタの方形波出力範囲

| 最小パルス時間                                | 最大パルス時間                               | 分解能                                    |
|----------------------------------------|---------------------------------------|----------------------------------------|
| $2 \times T_{I00}$ 入力周期                | $2^{16} \times T_{I00}$ 入力周期          | $T_{I00}$ 入力エッジ周期                      |
| $1/f_{xx}$<br>(250 ns)                 | $2^{16} \times 1/f_{xx}$<br>(8.19 ms) | $1/2f_{xx}$<br>(125 ns)                |
| $2 \times 1/f_{xx}$<br>(500 ns)        | $2^{16} \times 1/f_{xx}$<br>(16.4 ms) | $1/f_{xx}$<br>(250 ns)                 |
| $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s) | $2^{17} \times 1/f_{xx}$<br>(32.8 ms) | $2 \times 1/f_{xx}$<br>(500 ns)        |
| $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s) | $2^{18} \times 1/f_{xx}$<br>(65.5 ms) | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s) |
| $2 \times$ 時計用タイマ出力周期                  | $2^{16} \times$ 時計用タイマ出力周期            | 時計用タイマ出力エッジ周期                          |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx}=4.0$  MHz 動作時。

#### 6.4.7 ワンショット・パルス出力としての動作

ソフトウェア・トリガおよび外部トリガ ( $T_{I00}/P_{00}$  端子入力) に同期したワンショット・パルスを出  
力することができます。

##### (1) ソフトウェア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ ( $TMC0$ ), キャプチャ/コンペア・コントロー  
ル・レジスタ 0 ( $CRC0$ ) および 16ビット・タイマ出力コントロール・レジスタ ( $TOC0$ ) を図 6-  
31 のように設定し, ソフトウェアで  $TOC0$  のビット 6 (OSPT) を 1 にセットすることにより, ワ  
ンショット・パルスを  $TO0/P_{30}$  端子から出力します。

OSPT を 1 にセットすることにより, 16ビット・タイマ/イベント・カウンタがクリア & スタート  
し, 16ビット・キャプチャ/コンペア・レジスタ 01 ( $CR01$ ) にあらかじめ設定したカウント値で出  
力がアクティブになります。その後, 16ビット・キャプチャ/コンペア・レジスタ 00 ( $CR00$ ) にあ  
らかじめ設定したカウント値で出力がインアクティブとなります。

ワンショット・パルス出力後も,  $TM0$  は動作を続けています。 $TM0$  を停止させるためには,  $TMC0$   
に 00H を設定する必要があります。

★

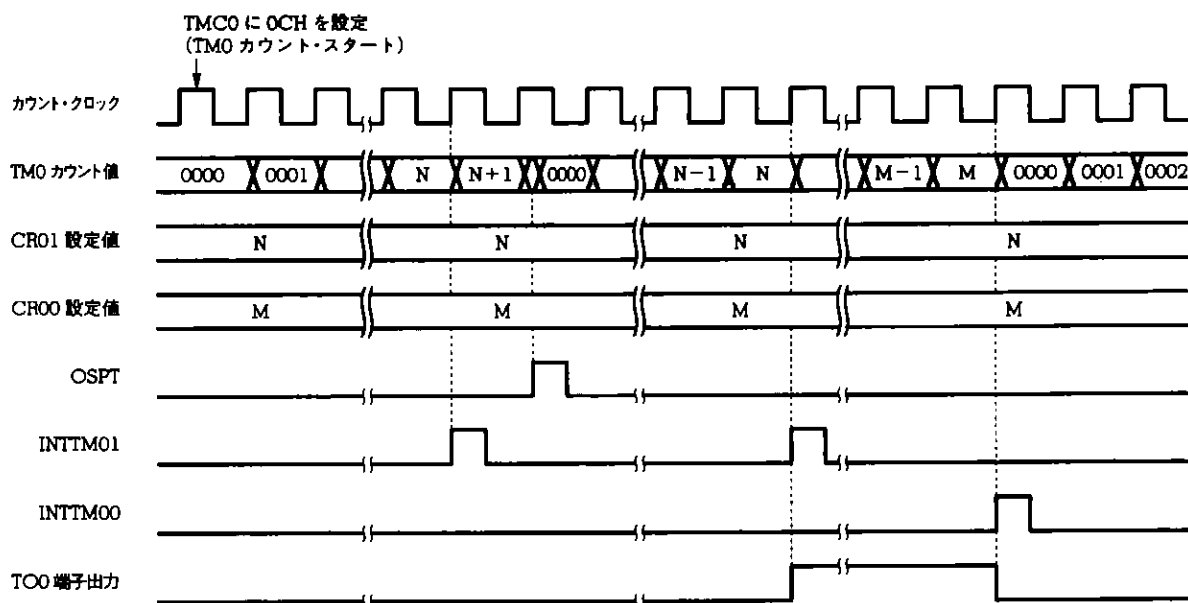
**注意** ワンショット・パルスを出力しているときは, OSPT を 1 にセットしないでください。  
再度ワンショット・パルスを出力したいときは,  $CR00$  との一致割り込みである  $INTTM00$   
が発生したのちに行ってください。





図 6-32 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミング

★



注意 16ビット・タイマ・レジスタは、TMC01-TMC03に0, 0, 0(動作停止モード)以外の値を設定した時点で動作を開始します。

## (2) 外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ(TMC0)、キャプチャ/コンペア・コントロール・レジスタ0(CRC0)および16ビット・タイマ出力コントロール・レジスタ(TOC0)を図6-33のように設定し、TI00/P00端子の有効エッジを外部トリガとしてワンショット・パルスをTO0/P30端子から出力します。

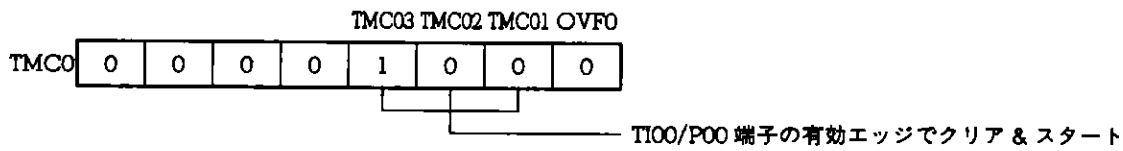
TI00/P00端子の有効エッジ指定は外部割り込みモード・レジスタ0(INTM0)のビット2,3(ES10, ES11)で行い、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

TI00/P00端子への有効エッジで16ビット・タイマ/イベント・カウンタがクリア&スタートし、16ビット・キャプチャ/コンペア・レジスタ01(CR01)にあらかじめ設定したカウント値で出力がアクティブになります。その後、16ビット・キャプチャ/コンペア・レジスタ00(CR00)にあらかじめ設定したカウント値で出力がインアクティブとなります。

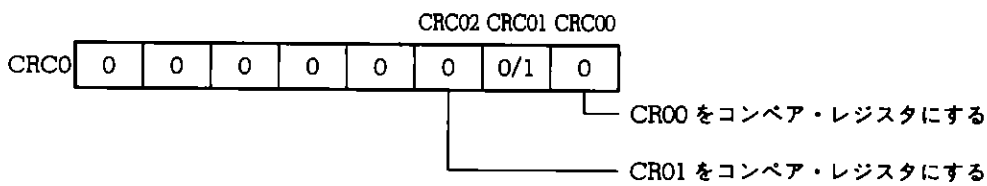
注意 ワンショット・パルスを出力しているときに、再び外部トリガが発生しても無視されます。

**図 6-33 外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容**

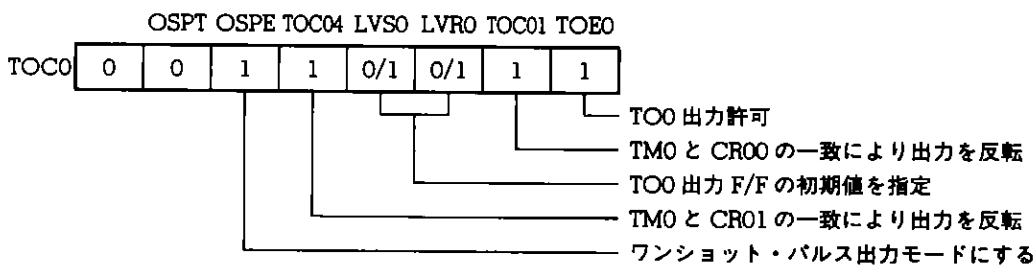
**(a) 16ビット・タイマ・モード・コントロール・レジスタ (TMCO)**



**(b) キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)**



### (c) 16ビット・タイマ出力コントロール・レジスタ (TOC0)



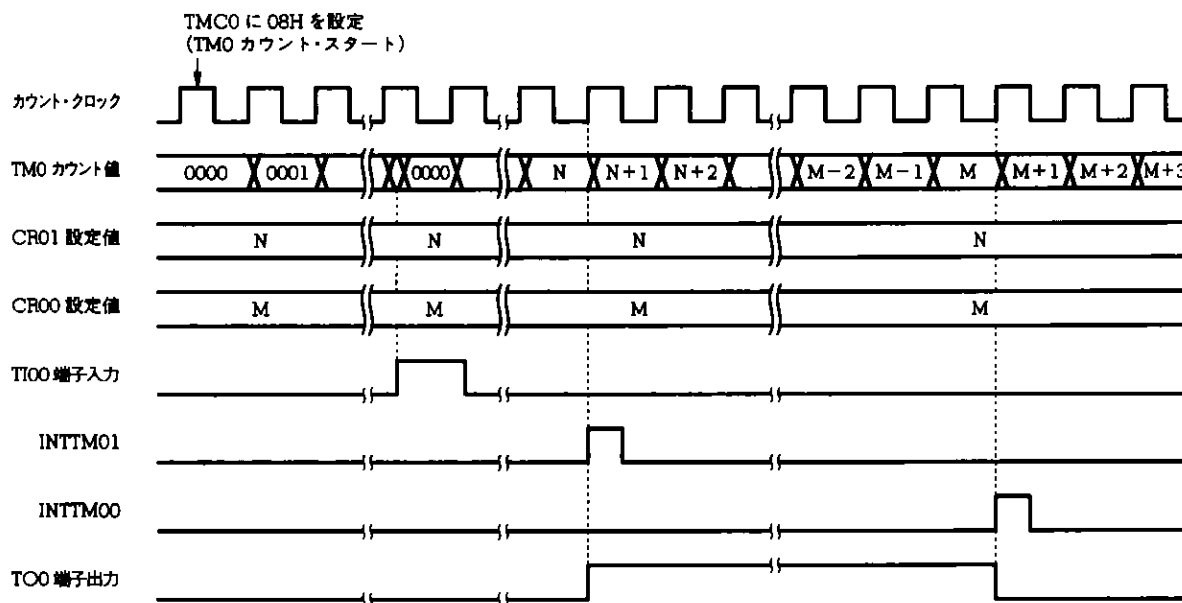
**備考** 0/1 : 0または1を設定することにより、ワンショット・パルス出力と同時にほかの機能を使用することができます。詳細は、各制御レジスタの説明を参照してください。

**注意** CRO0 と CRO1 には次の範囲の値を設定してください。

**0000H ≤ CR01 < CR00 ≤ FFFFH**

図 6-34 外部トリガによるワンショット・パルス出力動作のタイミング（立ち上がりエッジ指定時）

★



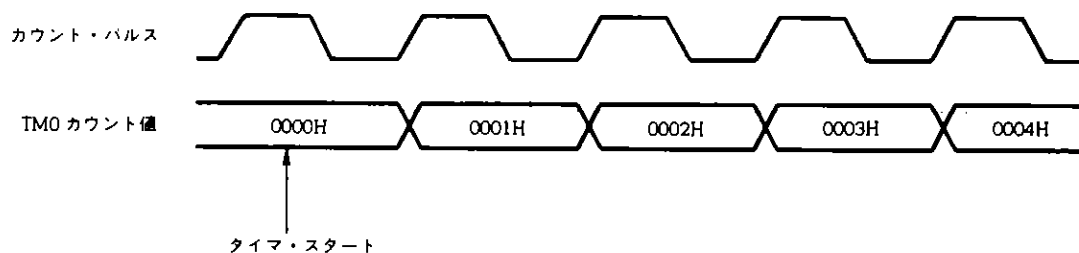
**注意** 16ビット・タイマ・レジスタは、TMC01-TMC03 に 0, 0, 0（動作停止モード）以外の値を設定した時点で動作を開始します。

## 6.5 16ビット・タイマ/イベント・カウンタの注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・レジスタ (TMO) のスタートが非同期で行われるためです。

図 6-35 16ビット・タイマ・レジスタのスタート・タイミング



### (2) 16ビット・コンペア・レジスタの設定

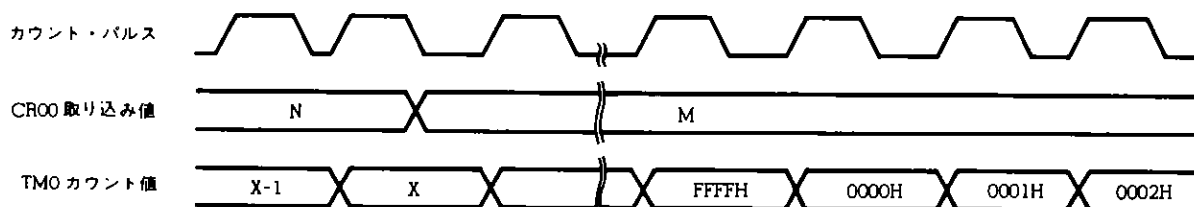
16ビット・キャプチャ/コンペア・レジスタ00 (CR00) には、0000H 以外の値を設定してください。

したがって、イベント・カウンタとして使用時、1パルスのカウント動作はできません。

### (3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

16ビット・キャプチャ/コンペア・レジスタ00 (CR00) の変更後の値が、16ビット・タイマ・レジスタ (TMO) の値よりも小さいとき、TMO はカウントを継続しオーバーフローして0から再カウントします。したがって、CR00の変更後の値 (M) が変更前の値 (N) より小さいときは、CR00を変更後、タイマを再スタートさせる必要があります。

図 6-36 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング

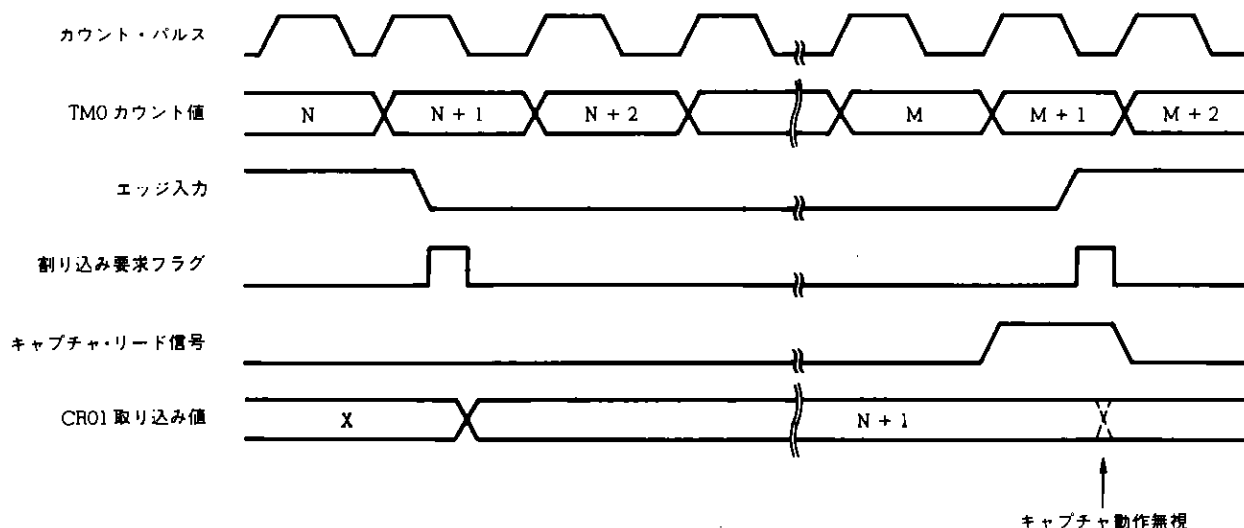


備考  $N > X > M$

**(4) キャプチャ・レジスタのデータ保持タイミング**

16ビット・キャプチャ/コンペア・レジスタ01(CR01)の読み出し中に TIO0/P00 端子の有効エッジが入力したとき、CR01 はキャプチャ動作を行わず、データを保持します。ただし、有効エッジの検出による割り込み要求フラグ (PIF0) はセットされます。

図 6-37 キャプチャ・レジスタのデータ保持タイミング

**(5) 有効エッジの設定**

TIO0/INTP0 端子の有効エッジの設定は、16ビット・タイマ・モード・コントロール・レジスタのビット 1-3 (TMC01-TMC03) に 0, 0, 0 を設定し、タイマ動作を停止させたのちに行ってください。有効エッジの設定は、外部割り込みモード・レジスタ 0 のビット 2, 3 (ES10, ES11) で行います。

**(6) ワンショット・パルスの再トリガ****(a) ソフトウェアによるワンショット・パルス出力**

ワンショット・パルスを出力しているときは、OSPT を 1 にセットしないでください。再度ワンショット・パルスを出力したいときは、CR00 との一致割り込みである INTTM00 が発生したのちに行ってください。

**(b) 外部トリガによるワンショット・パルス出力**

ワンショット・パルスを出力しているときに、再び外部トリガが発生しても無視されます。

## (7) OVFO フラグの動作

OVFO フラグは次のとき、1に設定されます。

TM0 と CR00 の一致でクリア & スタートするモードを選択

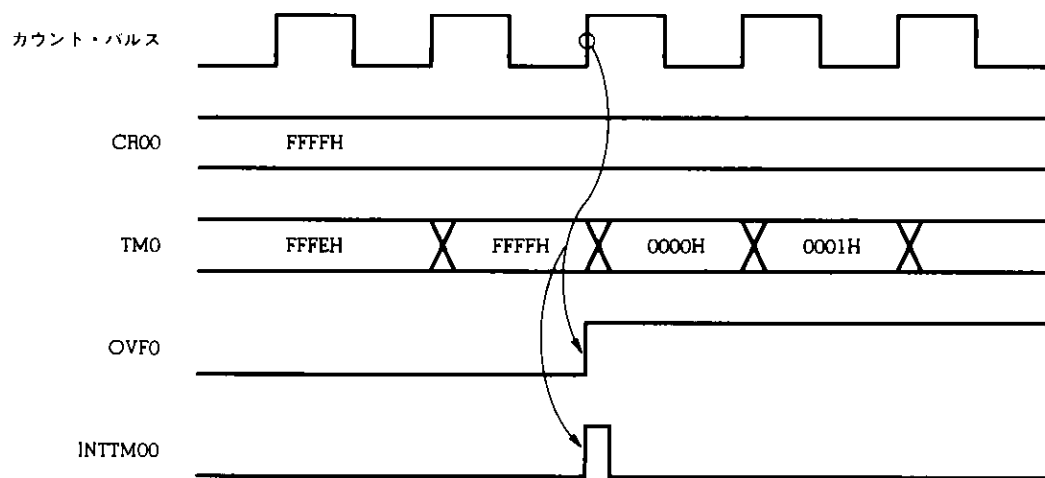


CR00をFFFFHに設定



TM0 が FFFFH から 0000H にカウント・アップするとき

図 6-38 OVFO フラグの動作のタイミング



## 第7章 8ビット・タイマ/イベント・カウンタ

### 7.1 8ビット・タイマ/イベント・カウンタの機能

μPD78098 サブシリーズが内蔵している8ビット・タイマ/イベント・カウンタには、2チャンネルの8ビット・タイマ/イベント・カウンタを別個に使用するモード(8ビット・タイマ/イベント・カウンタ・モード)と、あわせて16ビット・タイマ/イベント・カウンタとして使用するモード(16ビット・タイマ/イベント・カウンタ・モード)があります。

7

#### 7.1.1 8ビット・タイマ/イベント・カウンタ・モード

8ビット・タイマ/イベント・カウンタ1, 2 (TM1, TM2) には、次のような機能があります。

- インターバル・タイマ
- 外部イベント・カウンタ
- 方形波出力

## (1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表 7-1 8ビット・タイマ/イベント・カウンタのインターバル時間

| 最小インターバル時間                                  | 最大インターバル時間                                  | 分解能                                         |
|---------------------------------------------|---------------------------------------------|---------------------------------------------|
| $2 \times 1/f_{xx}$<br>(500 ns)             | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    | $2 \times 1/f_{xx}$<br>(500 ns)             |
| $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      | $2^{10} \times 1/f_{xx}$<br>(256.0 $\mu$ s) | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      |
| $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      |
| $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      | $2^{12} \times 1/f_{xx}$<br>(1.02 ms)       | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      |
| $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      | $2^{13} \times 1/f_{xx}$<br>(2.05 ms)       | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      |
| $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     | $2^{14} \times 1/f_{xx}$<br>(4.10 ms)       | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     |
| $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     | $2^{15} \times 1/f_{xx}$<br>(8.19 ms)       | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     |
| $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     | $2^{16} \times 1/f_{xx}$<br>(16.4 ms)       | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     |
| $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    | $2^{17} \times 1/f_{xx}$<br>(32.8 ms)       | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    |
| $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) | $2^{19} \times 1/f_{xx}$<br>(131.1 ms)      | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx} = 4.0$  MHz 動作時。



## (2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

## (3) 方形波出力

任意の周波数の方形波出力が可能です。

表 7-2 8ビット・タイマ/イベント・カウンタの方形波出力範囲

| 最小パルス時間                                     | 最大パルス時間                                     | 分解能                                         |
|---------------------------------------------|---------------------------------------------|---------------------------------------------|
| $2 \times 1/f_{xx}$<br>(500 ns)             | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    | $2 \times 1/f_{xx}$<br>(500 ns)             |
| $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      | $2^{10} \times 1/f_{xx}$<br>(256.0 $\mu$ s) | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      |
| $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      |
| $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      | $2^{12} \times 1/f_{xx}$<br>(1.02 ms)       | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      |
| $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      | $2^{13} \times 1/f_{xx}$<br>(2.05 ms)       | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      |
| $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     | $2^{14} \times 1/f_{xx}$<br>(4.10 ms)       | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     |
| $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     | $2^{15} \times 1/f_{xx}$<br>(8.19 ms)       | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     |
| $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     | $2^{16} \times 1/f_{xx}$<br>(16.4 ms)       | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     |
| $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    | $2^{17} \times 1/f_{xx}$<br>(32.8 ms)       | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    |
| $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) | $2^{19} \times 1/f_{xx}$<br>(131.1 ms)      | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx} = 4.0$  MHz 動作時。

## 7.1.2 16ビット・タイマ/イベント・カウンタ・モード

## (1) 16ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生できます。

表 7-3 8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間

| 最小インターバル時間                                  | 最大インターバル時間                             | 分解能                                         |
|---------------------------------------------|----------------------------------------|---------------------------------------------|
| $2 \times 1/f_{xx}$<br>(500 ns)             | $2^{17} \times 1/f_{xx}$<br>(32.8 ms)  | $2 \times 1/f_{xx}$<br>(500 ns)             |
| $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      | $2^{18} \times 1/f_{xx}$<br>(65.5 ms)  | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      |
| $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      | $2^{19} \times 1/f_{xx}$<br>(131.1 ms) | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      |
| $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      | $2^{20} \times 1/f_{xx}$<br>(262.1 ms) | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      |
| $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      | $2^{21} \times 1/f_{xx}$<br>(524.3 ms) | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      |
| $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     | $2^{22} \times 1/f_{xx}$<br>(1.0 s)    | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     |
| $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     | $2^{23} \times 1/f_{xx}$<br>(2.1 s)    | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     |
| $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     | $2^{24} \times 1/f_{xx}$<br>(4.2 s)    | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     |
| $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    | $2^{25} \times 1/f_{xx}$<br>(8.4 s)    | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    |
| $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) | $2^{27} \times 1/f_{xx}$<br>(33.6 s)   | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx} = 4.0 \text{ MHz}$  動作時。

## (2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

## (3) 方形波出力

任意の周波数の方形波出力が可能です。

表 7-4 8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときの方角波出力範囲

| 最小パルス時間                                     | 最大パルス時間                                | 分解能                                         |
|---------------------------------------------|----------------------------------------|---------------------------------------------|
| $2 \times 1/f_{xx}$<br>(500 ns)             | $2^{17} \times 1/f_{xx}$<br>(32.8 ms)  | $2 \times 1/f_{xx}$<br>(500 ns)             |
| $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      | $2^{18} \times 1/f_{xx}$<br>(65.5 ms)  | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      |
| $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      | $2^{19} \times 1/f_{xx}$<br>(131.1 ms) | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      |
| $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      | $2^{20} \times 1/f_{xx}$<br>(262.1 ms) | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      |
| $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      | $2^{21} \times 1/f_{xx}$<br>(524.3 ms) | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      |
| $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     | $2^{22} \times 1/f_{xx}$<br>(1.0 s)    | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     |
| $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     | $2^{23} \times 1/f_{xx}$<br>(2.1 s)    | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     |
| $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     | $2^{24} \times 1/f_{xx}$<br>(4.2 s)    | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     |
| $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    | $2^{25} \times 1/f_{xx}$<br>(8.4 s)    | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    |
| $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) | $2^{27} \times 1/f_{xx}$<br>(33.6 s)   | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx} = 4.0 \text{ MHz}$  動作時。

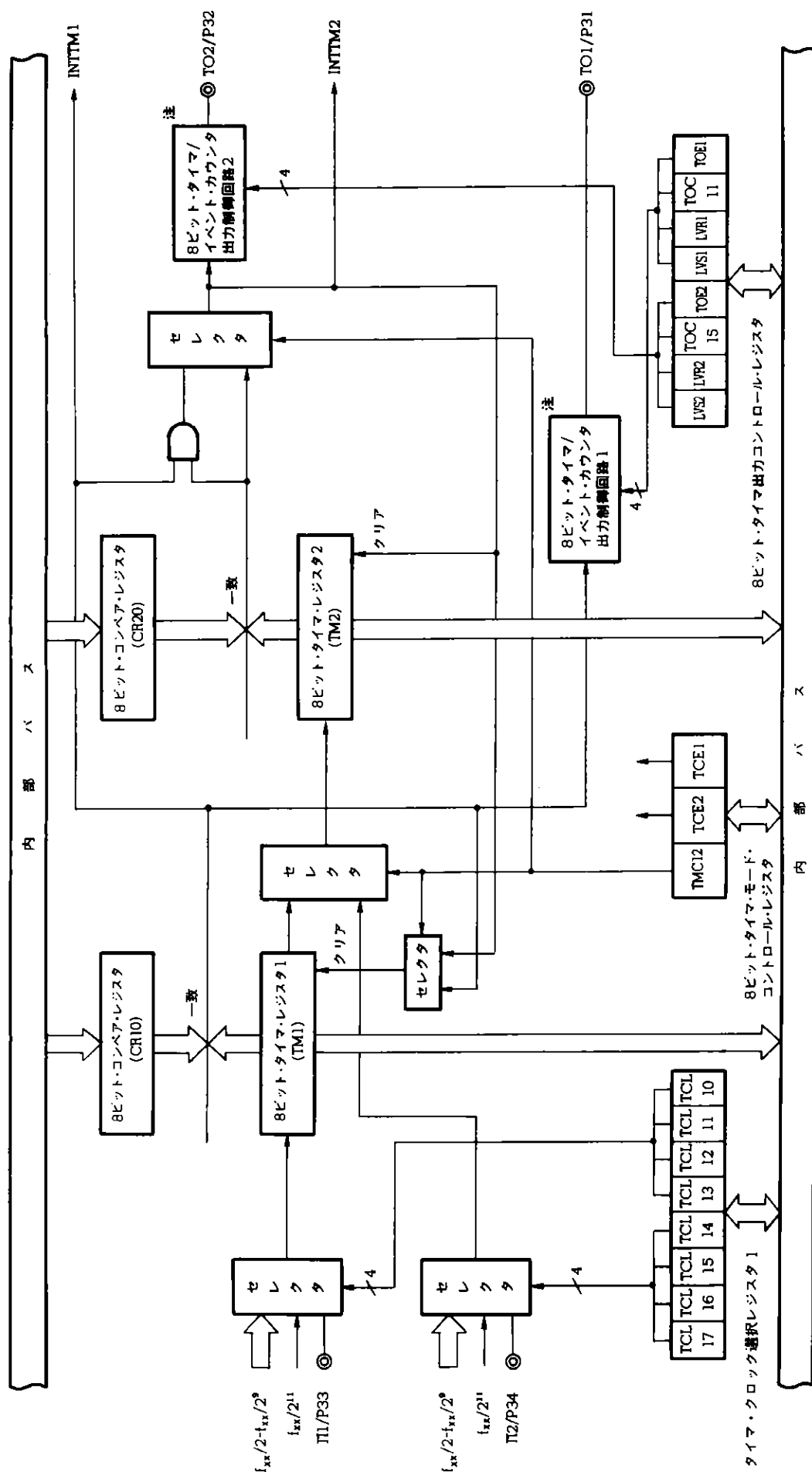
## 7.2 8ビット・タイマ/イベント・カウンタの構成

8ビット・タイマ/イベント・カウンタは、次のハードウェアで構成しています。

表 7-5 8ビット・タイマ/イベント・カウンタの構成

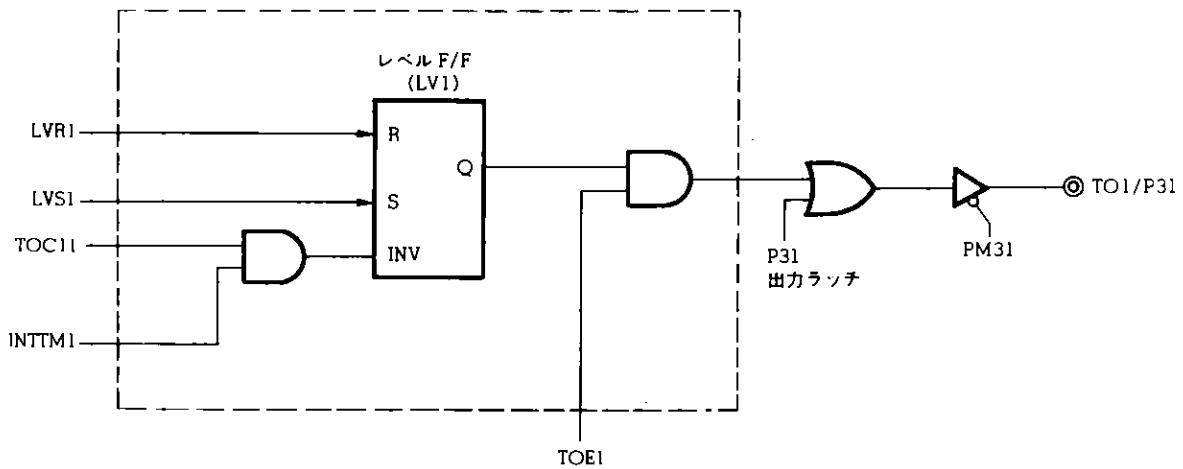
| 項 目         | 構 成                                                                                                                |
|-------------|--------------------------------------------------------------------------------------------------------------------|
| タイマ・レジスタ    | 8ビット×2本 (TM1, TM2)                                                                                                 |
| レ ジ ス タ     | コンペア・レジスタ: 8ビット×2本 (CR10, CR20)                                                                                    |
| タ イ マ 出 力   | 2本 (TO1, TO2)                                                                                                      |
| 制 御 レ ジ ス タ | タイマ・クロック選択レジスタ 1 (TCL1)<br>8ビット・タイマ・モード・コントロール・レジスタ (TMC1)<br>8ビット・タイマ出力コントロール・レジスタ (TOC1)<br>ポート・モード・レジスタ 3 (PM3) |

図7-1 8ビット・タイマ/イベント・カウンタのブロック図



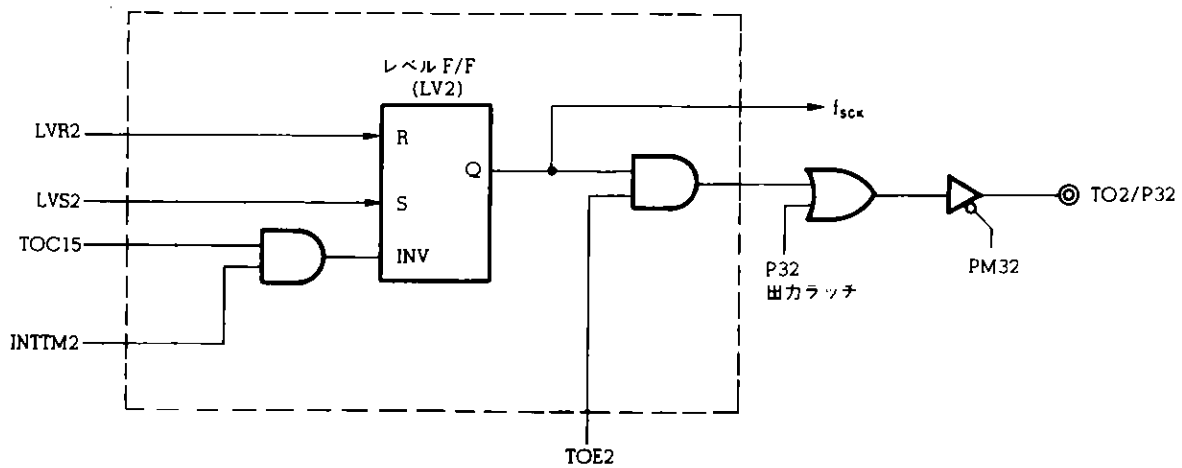
注 8ビット・タイム/イベント・カウンタの出力制御回路1, 2の構成は, 図7-2, 7-3を参照してください。

図 7-2 8ビット・タイマ/イベント・カウンタ出力制御回路 1 のブロック図



備考 破線部内が出力制御回路です。

図 7-3 8ビット・タイマ/イベント・カウンタ出力制御回路 2 のブロック図



備考 1. 破線部内が出力制御回路です。

2.  $f_{sck}$  : シリアル・クロック周波数

**(1) コンペア・レジスタ (CR10, CR20)**

CR10に設定した値と8ビット・タイマ・レジスタ1(TM1)のカウンタ値, CR20に設定した値と8ビット・タイマ・レジスタ2(TM2)のカウンタ値を常に比較し、一致したときにそれぞれ割り込み要求 (INTTM1, INTTM2) を発生する8ビットのレジスタです。

CR10, CR20は、8ビット・メモリ操作命令で設定します。16ビット・メモリ操作命令では設定できません。8ビット・タイマ/イベント・カウンタとして使用時は、00H-FFHの値が、16ビット・タイマ/イベント・カウンタとして使用時は、0000H-FFFFHの値が設定可能です。

$\overline{\text{RESET}}$ 入力により、不定になります。

**注意** 16ビット・タイマ/イベント・カウンタとして使用時、データの設定は、必ずタイマ動作を停止させたのちに行ってください。

**(2) 8ビット・タイマ・レジスタ1, 2 (TM1, TM2)**

カウンタ・パルスをカウントする8ビットのレジスタです。

TM1, TM2を8ビット・タイマ×2チャンネル・モードとして使用するときは、8ビット・メモリ操作命令で読み出します。16ビット・タイマ×1チャンネル・モードとして使用するときは、16ビット・タイマ (TMS) を16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

**7.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ**

8ビット・タイマ/イベント・カウンタは、次の4種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ1 (TCL1)
- ・8ビット・タイマ・モード・コントロール・レジスタ (TMC1)
- ・8ビット・タイマ出力コントロール・レジスタ (TOC1)
- ・ポート・モード・レジスタ3 (PM3)

**(1) タイマ・クロック選択レジスタ1 (TCL1)**

8ビット・タイマ・レジスタ1, 2のカウンタ・クロックを設定するレジスタです。

TCL1は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図7-4 タイマ・クロック選択レジスタ1のフォーマット

|      |       |       |       |       |       |       |       |       |       |       |     |
|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-----|
| 略号   | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
| TCL1 | TCL17 | TCL16 | TCL15 | TCL14 | TCL13 | TCL12 | TCL11 | TCL10 | FF41H | 00H   | R/W |

| TCL13 | TCL12 | TCL11 | TCL10 | 8ビット・タイマ・レジスタ1のカウンタ・クロックの選択 |
|-------|-------|-------|-------|-----------------------------|
| 0     | 0     | 0     | 0     | TI1の立ち下がりエッジ                |
| 0     | 0     | 0     | 1     | TI1の立ち上がりエッジ                |
| 0     | 1     | 1     | 0     | $f_{xx}/2$ (2.0 MHz)        |
| 0     | 1     | 1     | 1     | $f_{xx}/2^2$ (1.0 MHz)      |
| 1     | 0     | 0     | 0     | $f_{xx}/2^3$ (500 kHz)      |
| 1     | 0     | 0     | 1     | $f_{xx}/2^4$ (250 kHz)      |
| 1     | 0     | 1     | 0     | $f_{xx}/2^5$ (125 kHz)      |
| 1     | 0     | 1     | 1     | $f_{xx}/2^6$ (62.5 kHz)     |
| 1     | 1     | 0     | 0     | $f_{xx}/2^7$ (31.3 kHz)     |
| 1     | 1     | 0     | 1     | $f_{xx}/2^8$ (15.6 kHz)     |
| 1     | 1     | 1     | 0     | $f_{xx}/2^9$ (7.8 kHz)      |
| 1     | 1     | 1     | 1     | $f_{xx}/2^{11}$ (2.0 kHz)   |
| 上記以外  |       |       |       | 設定禁止                        |

| TCL17 | TCL16 | TCL15 | TCL14 | 8ビット・タイマ・レジスタ2のカウンタ・クロックの選択 |
|-------|-------|-------|-------|-----------------------------|
| 0     | 0     | 0     | 0     | TI2の立ち下がりエッジ                |
| 0     | 0     | 0     | 1     | TI2の立ち上がりエッジ                |
| 0     | 1     | 1     | 0     | $f_{xx}/2$ (2.0 MHz)        |
| 0     | 1     | 1     | 1     | $f_{xx}/2^2$ (1.0 MHz)      |
| 1     | 0     | 0     | 0     | $f_{xx}/2^3$ (500 kHz)      |
| 1     | 0     | 0     | 1     | $f_{xx}/2^4$ (250 kHz)      |
| 1     | 0     | 1     | 0     | $f_{xx}/2^5$ (125 kHz)      |
| 1     | 0     | 1     | 1     | $f_{xx}/2^6$ (62.5 kHz)     |
| 1     | 1     | 0     | 0     | $f_{xx}/2^7$ (31.3 kHz)     |
| 1     | 1     | 0     | 1     | $f_{xx}/2^8$ (15.6 kHz)     |
| 1     | 1     | 1     | 0     | $f_{xx}/2^9$ (7.8 kHz)      |
| 1     | 1     | 1     | 1     | $f_{xx}/2^{11}$ (2.0 kHz)   |
| 上記以外  |       |       |       | 設定禁止                        |

- 備考 1.  $f_{xx}$  : メイン・システム・クロック周波数  
 2. TI1 : 8ビット・タイマ・レジスタ1の入力端子  
 3. TI2 : 8ビット・タイマ・レジスタ2の入力端子  
 4. ( ) 内は,  $f_{xx} = 4.0 \text{ MHz}$  動作時。

★

注意 TCL1を同一データ以外に書き換える場合は, いったんタイマ動作を停止させたのちに行ってください。



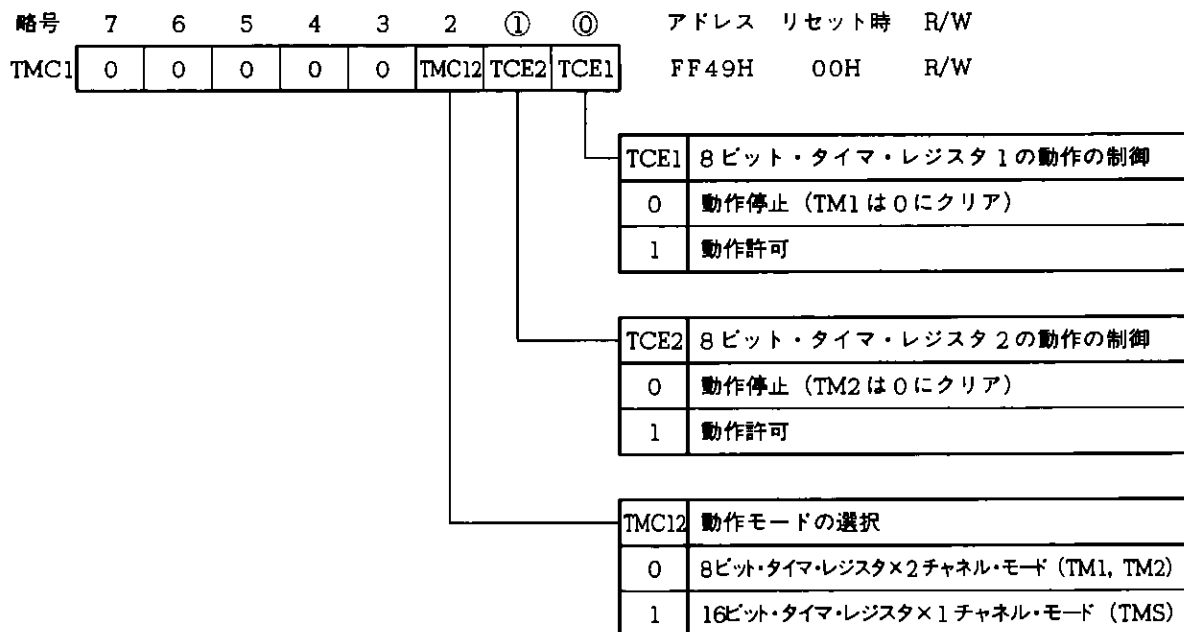
## (2) 8ビット・タイマ・モード・コントロール・レジスタ (TMC1)

8ビット・タイマ・レジスタ 1, 2の動作許可/停止および8ビット・タイマ・レジスタ 2の動作モードを設定するレジスタです。

TMC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図 7-5 8ビット・タイマ・モード・コントロール・レジスタのフォーマット



注意 1. 動作モードの切り替えは、タイマ動作を停止させたのちに行ってください。

2. 16ビット・タイマ・レジスタとして使用する場合、動作許可/停止は TCE1 で行ってください。

## (3) 8ビット・タイマ出力コントロール・レジスタ (TOC1)

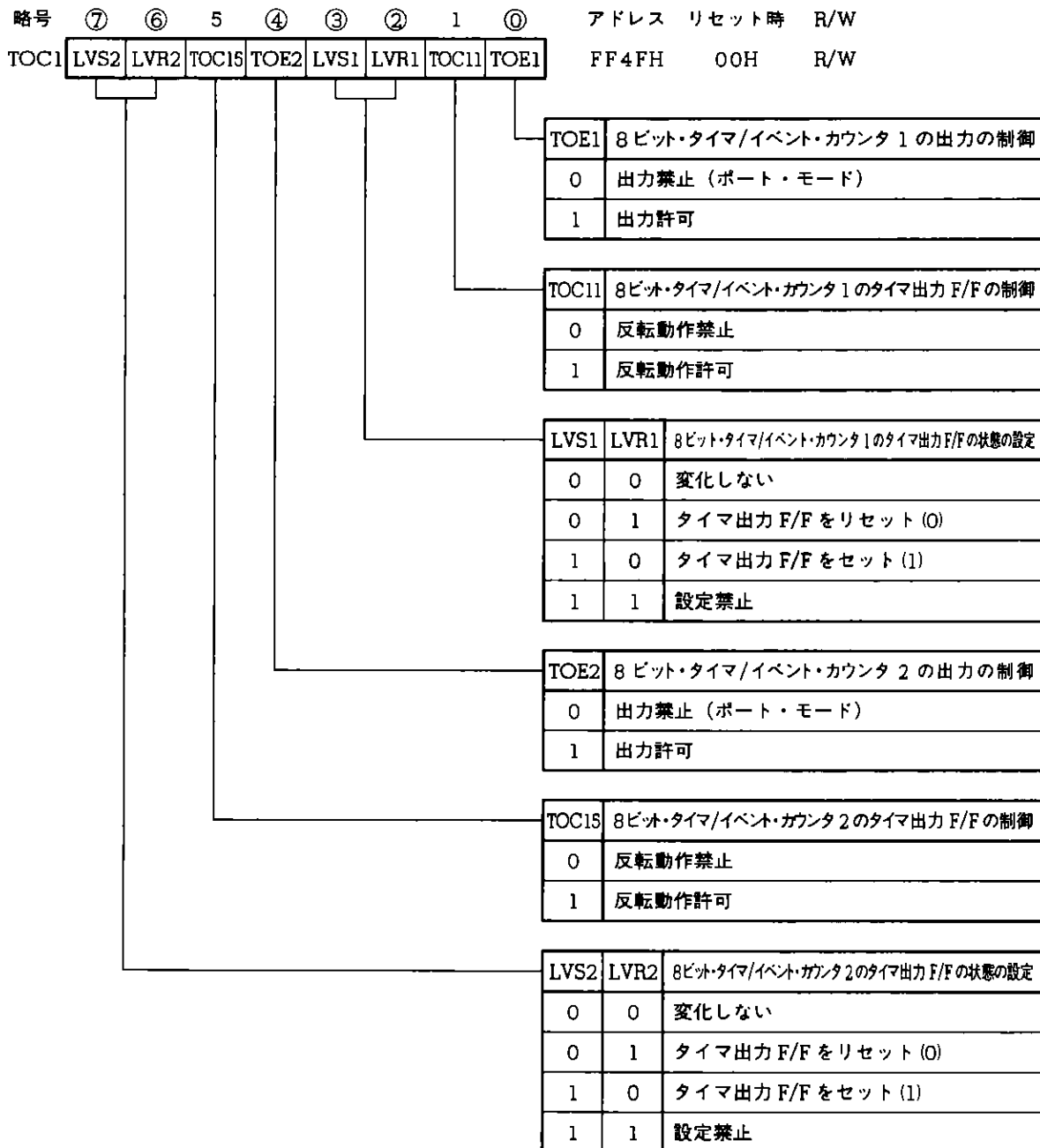
8ビット・タイマ/イベント・カウンタ出力制御回路 1, 2の動作を制御するレジスタです。

R-S型フリップフロップ (LV1, LV2) のセット/リセット, 反転許可/禁止, 8ビット・タイマ・レジスタ 1, 2のタイマ出力許可/禁止を設定します。

TOC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により, 00H になります。

図 7-6 8ビット・タイマ出力コントロール・レジスタのフォーマット



注意 1. TOC1 の設定は, 必ずタイマ動作を停止させたのちに行ってください。

2. LVS1, LVS2, LVR1, LVR2 は, データ設定後に読み出すと 0 が読み出せます。

## (4) ポート・モード・レジスタ 3 (PM3)

ポート 3 の入力/出力を 1 ビット単位で設定するレジスタです。

P31/TO1, P32/TO2 端子をタイマ出力として使用するとき, PM31, PM32 および P31, P32 の出力ラッチに 0 を設定してください。

PM3 は, 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

RESET 入力により, FFH になります。

図 7-7 ポート・モード・レジスタ 3 のフォーマット

| 略号  | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    | アドレス  | リセット時                    | R/W |
|-----|------|------|------|------|------|------|------|------|-------|--------------------------|-----|
| PM3 | PM37 | PM36 | PM35 | PM34 | PM33 | PM32 | PM31 | PM30 | FF23H | FFH                      | R/W |
|     |      |      |      |      |      |      |      |      |       |                          |     |
|     |      |      |      |      |      |      |      |      | PM3n  | P3n 端子の入出力モードの選択 (n=0-7) |     |
|     |      |      |      |      |      |      |      |      | 0     | 出力モード (出力バッファ・オン)        |     |
|     |      |      |      |      |      |      |      |      | 1     | 入力モード (出力バッファ・オフ)        |     |

## 7.4 8ビット・タイマ/イベント・カウンタの動作

### 7.4.1 8ビット・タイマ/イベント・カウンタ・モード

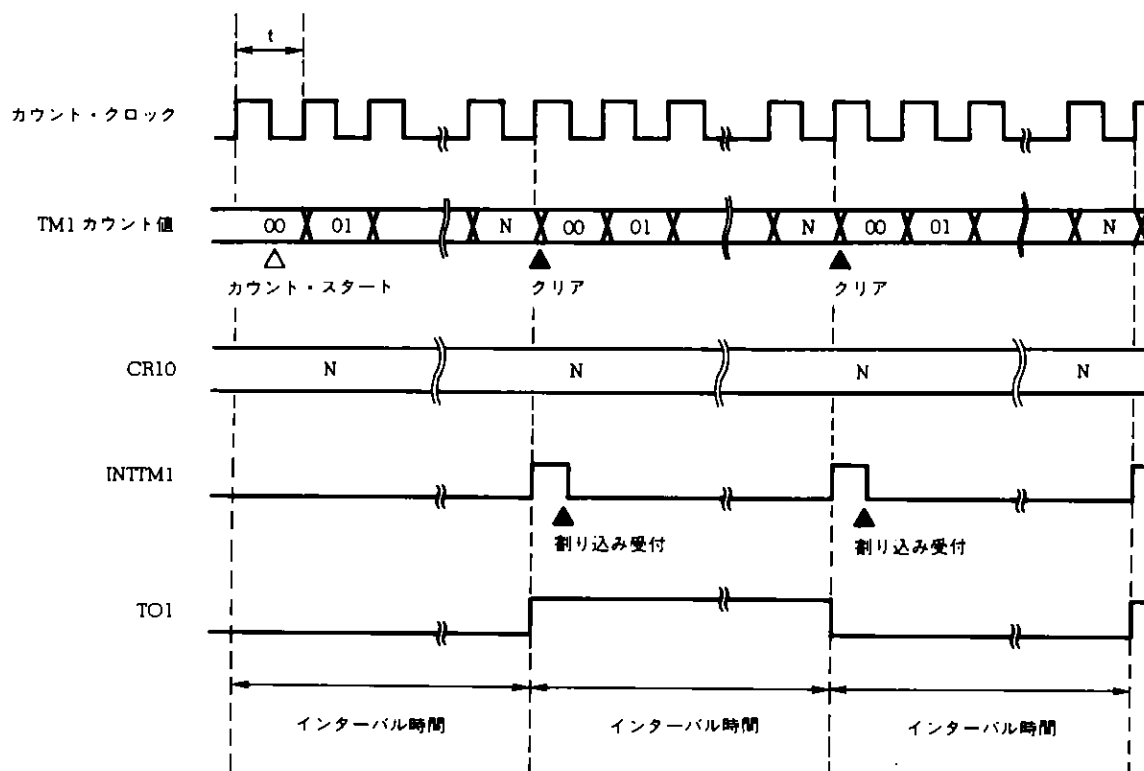
#### (1) インターバル・タイマとしての動作

8ビット・コンペア・レジスタ (CR10, CR20) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

8ビット・タイマ・レジスタ 1, 2 (TM1, TM2) のカウント値が CR10, CR20 に設定した値と一致したとき, TM1, TM2 の値を 0 にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM1, INTTM2) を発生します。

タイマ・クロック選択レジスタ 1 (TCL1) のビット 0-ビット 3 (TCL10-TCL13) で 8ビット・タイマ・レジスタ 1 (TM1) のカウント・クロックを、またビット 4-ビット 7 (TCL14-TCL17) で 8ビット・タイマ・レジスタ 2 (TM2) のカウント・クロックを選択できます。

図 7-8 インターバル・タイマ動作のタイミング



備考 インターバル時間 =  $(N + 1) \times t$ :  $N = 00H\text{--}FFH$

表 7-6 8ビット・タイマ/イベント・カウンタ 1 のインターバル時間

| TCL13 | TCL12 | TCL11 | TCL10 | 最小インターバル時間                                         | 最大インターバル時間                                         | 分解能                                                |
|-------|-------|-------|-------|----------------------------------------------------|----------------------------------------------------|----------------------------------------------------|
| 0     | 0     | 0     | 0     | T11 入力周期                                           | $2^6 \times \text{T11 入力周期}$                       | T11 入力エッジ周期                                        |
| 0     | 0     | 0     | 1     | T11 入力周期                                           | $2^6 \times \text{T11 入力周期}$                       | T11 入力エッジ周期                                        |
| 0     | 1     | 1     | 0     | $2 \times 1/f_{xx}$<br>(500 ns)                    | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu\text{s}$ )    | $2 \times 1/f_{xx}$<br>(500 ns)                    |
| 0     | 1     | 1     | 1     | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu\text{s}$ )      | $2^{10} \times 1/f_{xx}$<br>(256.0 $\mu\text{s}$ ) | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu\text{s}$ )      |
| 1     | 0     | 0     | 0     | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu\text{s}$ )      | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu\text{s}$ ) | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu\text{s}$ )      |
| 1     | 0     | 0     | 1     | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu\text{s}$ )      | $2^{12} \times 1/f_{xx}$<br>(1.02 ms)              | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu\text{s}$ )      |
| 1     | 0     | 1     | 0     | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu\text{s}$ )      | $2^{13} \times 1/f_{xx}$<br>(2.05 ms)              | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu\text{s}$ )      |
| 1     | 0     | 1     | 1     | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu\text{s}$ )     | $2^{14} \times 1/f_{xx}$<br>(4.10 ms)              | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu\text{s}$ )     |
| 1     | 1     | 0     | 0     | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu\text{s}$ )     | $2^{15} \times 1/f_{xx}$<br>(8.19 ms)              | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu\text{s}$ )     |
| 1     | 1     | 0     | 1     | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu\text{s}$ )     | $2^{16} \times 1/f_{xx}$<br>(16.4 ms)              | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu\text{s}$ )     |
| 1     | 1     | 1     | 0     | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu\text{s}$ )    | $2^{17} \times 1/f_{xx}$<br>(32.8 ms)              | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu\text{s}$ )    |
| 1     | 1     | 1     | 1     | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu\text{s}$ ) | $2^{19} \times 1/f_{xx}$<br>(131.1 ms)             | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu\text{s}$ ) |
| 上記以外  |       |       |       | 設定禁止                                               |                                                    |                                                    |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数2. ( ) 内は,  $f_{xx} = 4.0 \text{ MHz}$  動作時。

表7-7 8ビット・タイマ/イベント・カウンタ2のインターバル時間

| TCL17 | TCL16 | TCL15 | TCL14 | 最小インターバル時間                                         | 最大インターバル時間                                         | 分解能                                                |
|-------|-------|-------|-------|----------------------------------------------------|----------------------------------------------------|----------------------------------------------------|
| 0     | 0     | 0     | 0     | TI2入力周期                                            | $2^6 \times \text{TI2入力周期}$                        | TI2入力エッジ周期                                         |
| 0     | 0     | 0     | 1     | TI2入力周期                                            | $2^6 \times \text{TI2入力周期}$                        | TI2入力エッジ周期                                         |
| 0     | 1     | 1     | 0     | $2 \times 1/f_{xx}$<br>(500 ns)                    | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu\text{s}$ )    | $2 \times 1/f_{xx}$<br>(500 ns)                    |
| 0     | 1     | 1     | 1     | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu\text{s}$ )      | $2^{10} \times 1/f_{xx}$<br>(256.0 $\mu\text{s}$ ) | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu\text{s}$ )      |
| 1     | 0     | 0     | 0     | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu\text{s}$ )      | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu\text{s}$ ) | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu\text{s}$ )      |
| 1     | 0     | 0     | 1     | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu\text{s}$ )      | $2^{12} \times 1/f_{xx}$<br>(1.02 ms)              | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu\text{s}$ )      |
| 1     | 0     | 1     | 0     | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu\text{s}$ )      | $2^{13} \times 1/f_{xx}$<br>(2.05 ms)              | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu\text{s}$ )      |
| 1     | 0     | 1     | 1     | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu\text{s}$ )     | $2^{14} \times 1/f_{xx}$<br>(4.10 ms)              | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu\text{s}$ )     |
| 1     | 1     | 0     | 0     | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu\text{s}$ )     | $2^{15} \times 1/f_{xx}$<br>(8.19 ms)              | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu\text{s}$ )     |
| 1     | 1     | 0     | 1     | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu\text{s}$ )     | $2^{16} \times 1/f_{xx}$<br>(16.4 ms)              | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu\text{s}$ )     |
| 1     | 1     | 1     | 0     | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu\text{s}$ )    | $2^{17} \times 1/f_{xx}$<br>(32.8 ms)              | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu\text{s}$ )    |
| 1     | 1     | 1     | 1     | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu\text{s}$ ) | $2^{19} \times 1/f_{xx}$<br>(131.1 ms)             | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu\text{s}$ ) |
| 上記以外  |       |       |       | 設定禁止                                               |                                                    |                                                    |

備考1.  $f_{xx}$  : メイン・システム・クロック周波数2. ( ) 内は,  $f_{xx} = 4.0 \text{ MHz}$  動作時。

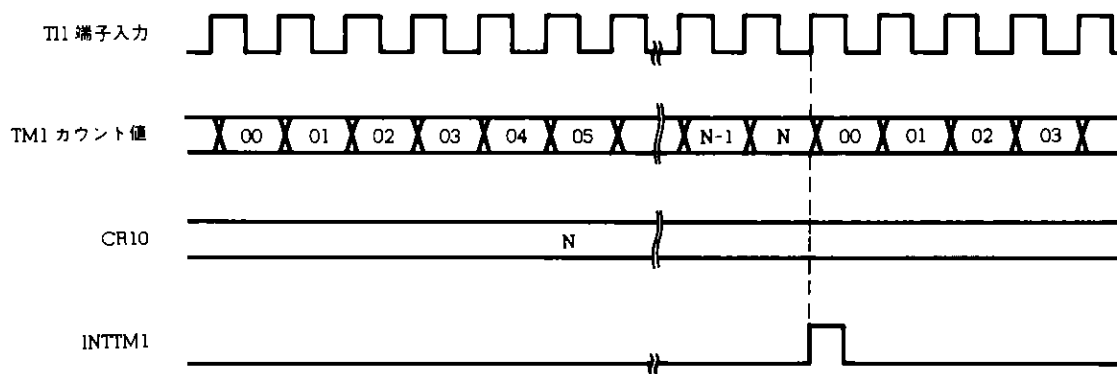
## (2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI1/P33, TI2/P34 端子に入力される外部からのクロック・パルス数を8ビット・タイマ・レジスタ 1, 2 (TM1, TM2) でカウントするものです。

タイマ・クロック選択レジスタ 1 (TCL1) で指定した有効エッジが入力されるたびに、TM1, TM2 がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりいずれかを選択できます。

TM1, TM2 の計数値が8ビット・コンペア・レジスタ (CR10, CR20) の値と一致すると、TM1, TM2 は0にクリアされ、割り込み要求信号 (INTTM1, INTTM2) が発生します。

図 7-9 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



備考 N=00H-FFH

## (3) 方形波出力

8ビット・コンペア・レジスタ (CR10, CR20) にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力です。

8ビット・タイマ出力コントロール・レジスタ (TOC1) のビット 0 (TOE1), またはビット 4 (TOE2) に 1 を設定することにより, CR10, または CR20 にあらかじめ設定したカウント値をインターバルとして TO1/P31 あるいは TO2/P32 端子の出力状態が反転します。これによって, 任意の周波数の方形波出力が可能です。

表 7-8 8ビット・タイマ/イベント・カウンタの方形波出力範囲

| 最小パルス時間                                     | 最大パルス時間                                     | 分解能                                         |
|---------------------------------------------|---------------------------------------------|---------------------------------------------|
| $2 \times 1/f_{xx}$<br>(500 ns)             | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    | $2 \times 1/f_{xx}$<br>(500 ns)             |
| $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      | $2^{10} \times 1/f_{xx}$<br>(256.0 $\mu$ s) | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      |
| $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      |
| $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      | $2^{12} \times 1/f_{xx}$<br>(1.02 ms)       | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      |
| $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      | $2^{13} \times 1/f_{xx}$<br>(2.05 ms)       | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      |
| $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     | $2^{14} \times 1/f_{xx}$<br>(4.10 ms)       | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     |
| $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     | $2^{15} \times 1/f_{xx}$<br>(8.19 ms)       | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     |
| $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     | $2^{16} \times 1/f_{xx}$<br>(16.4 ms)       | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     |
| $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    | $2^{17} \times 1/f_{xx}$<br>(32.8 ms)       | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    |
| $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) | $2^{19} \times 1/f_{xx}$<br>(131.1 ms)      | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx} = 4.0$  MHz 動作時。



### 7.4.2 16ビット・タイマ/イベント・カウンタ・モード

8ビット・タイマ・モード・コントロール・レジスタ (TMC1) のビット 2 (TMC12) に 1 を設定し、16ビット・タイマ/カウンタ・モードを選択すると、8ビット・タイマ/イベント・カウンタ 1 (TM1) のオーバフロー信号が8ビット・タイマ/イベント・カウンタ 2 (TM2)のカウント・クロックとなります。

2チャンネルの8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタ・モードで使用するとき、カウント・クロックはTCL1のビット 0-ビット 3 (TCL10-TCL13) で選択します。また、カウント動作の禁止/許可はTMC1のビット 0 (TCE1) で選択します。

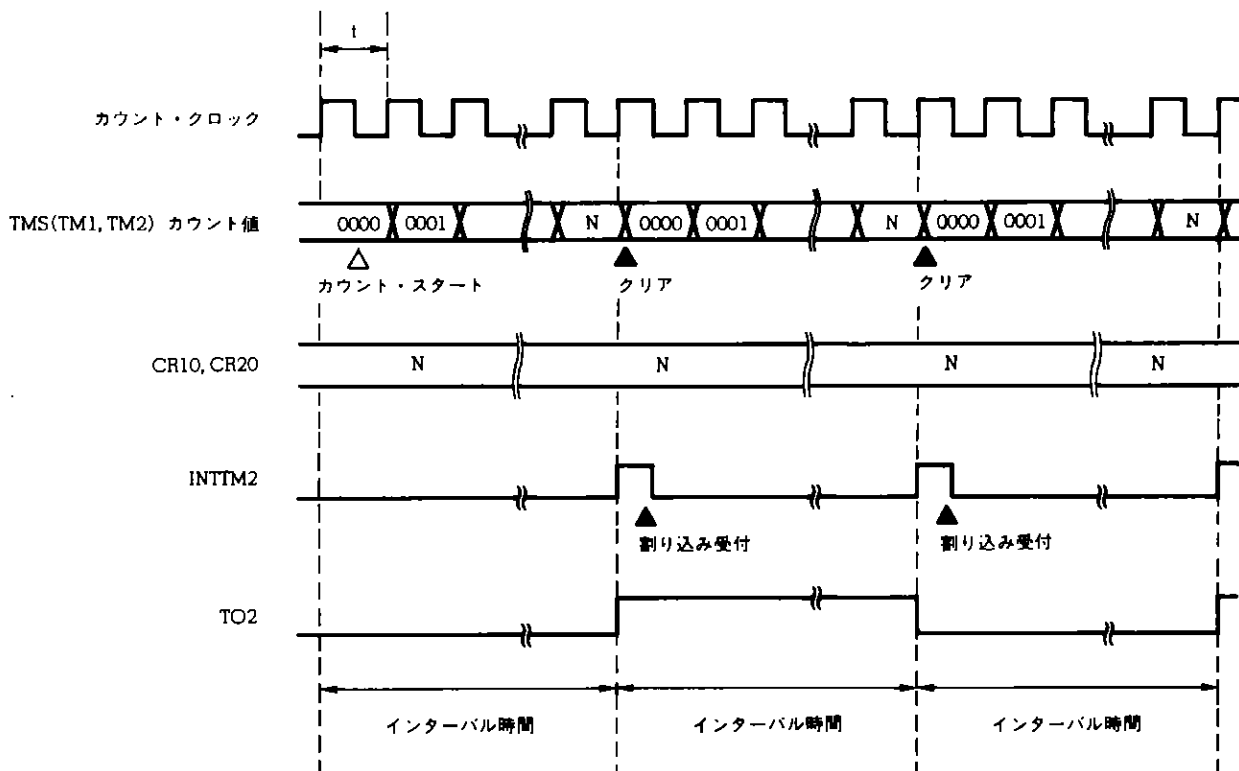
#### (1) インターバル・タイマ

2チャンネルの8ビット・コンペア・レジスタ (CR10, CR20) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

8ビット・タイマ・レジスタ 1 (TM1) と CR10 が一致し、かつ 8ビット・タイマ・レジスタ 2 (TM2) と CR20 が一致したとき、TM1 および TM2 の値を 0 にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM2) を発生します。

タイマ・クロック選択レジスタ 1 (TCL1) のビット 0-ビット 3 (TCL10-TCL13) でカウント・クロックを選択できます。

図 7-10 インターバル・タイマ動作のタイミング



備考 インターバル時間 =  $(N + 1) \times t$ :  $N = 0000H - FFFFH$

注意 16ビット・タイマ/イベント・カウンタ・モードを使用している場合でも、TM1 のカウント値が CR10 の値と一致すると、割り込み要求 (INTTM1) を発生し、8 ビット・タイマ/イベント・カウンタ出力制御回路 1 の F/F が反転します。したがって、16ビットのインターバル・タイマとして使用するときには、INTTM1 の受け付けを禁止するためのマスク・フラグ TMMK1 に 1 を設定してください。

また、タイマのカウント値を読み出す場合には、16ビット・タイマ (TMS) を16ビット・メモリ操作命令で読み出してください。

表 7-9 2チャンネルの8ビット・タイマ/イベント・カウンタ (TM1, TM2) を  
16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間

| TCL13 | TCL12 | TCL11 | TCL10 | 最小インターバル時間                                         | 最大インターバル時間                             | 分解能                                                |
|-------|-------|-------|-------|----------------------------------------------------|----------------------------------------|----------------------------------------------------|
| 0     | 0     | 0     | 0     | TI1 入力周期                                           | $2^8 \times \text{TI1 入力周期}$           | TI1 入力エッジ周期                                        |
| 0     | 0     | 0     | 1     | TI1 入力周期                                           | $2^8 \times \text{TI1 入力周期}$           | TI1 入力エッジ周期                                        |
| 0     | 1     | 1     | 0     | $2 \times 1/f_{xx}$<br>(500 ns)                    | $2^{17} \times 1/f_{xx}$<br>(32.8 ms)  | $2 \times 1/f_{xx}$<br>(500 ns)                    |
| 0     | 1     | 1     | 1     | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu\text{s}$ )      | $2^{18} \times 1/f_{xx}$<br>(65.5 ms)  | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu\text{s}$ )      |
| 1     | 0     | 0     | 0     | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu\text{s}$ )      | $2^{19} \times 1/f_{xx}$<br>(131.1 ms) | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu\text{s}$ )      |
| 1     | 0     | 0     | 1     | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu\text{s}$ )      | $2^{20} \times 1/f_{xx}$<br>(262.1 ms) | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu\text{s}$ )      |
| 1     | 0     | 1     | 0     | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu\text{s}$ )      | $2^{21} \times 1/f_{xx}$<br>(524.3 ms) | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu\text{s}$ )      |
| 1     | 0     | 1     | 1     | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu\text{s}$ )     | $2^{22} \times 1/f_{xx}$<br>(1.0 s)    | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu\text{s}$ )     |
| 1     | 1     | 0     | 0     | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu\text{s}$ )     | $2^{23} \times 1/f_{xx}$<br>(2.1 s)    | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu\text{s}$ )     |
| 1     | 1     | 0     | 1     | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu\text{s}$ )     | $2^{24} \times 1/f_{xx}$<br>(4.2 s)    | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu\text{s}$ )     |
| 1     | 1     | 1     | 0     | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu\text{s}$ )    | $2^{25} \times 1/f_{xx}$<br>(8.4 s)    | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu\text{s}$ )    |
| 1     | 1     | 1     | 1     | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu\text{s}$ ) | $2^{27} \times 1/f_{xx}$<br>(33.6 s)   | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu\text{s}$ ) |
| 上記以外  |       |       |       | 設定禁止                                               |                                        |                                                    |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx} = 4.0 \text{ MHz}$  動作時。

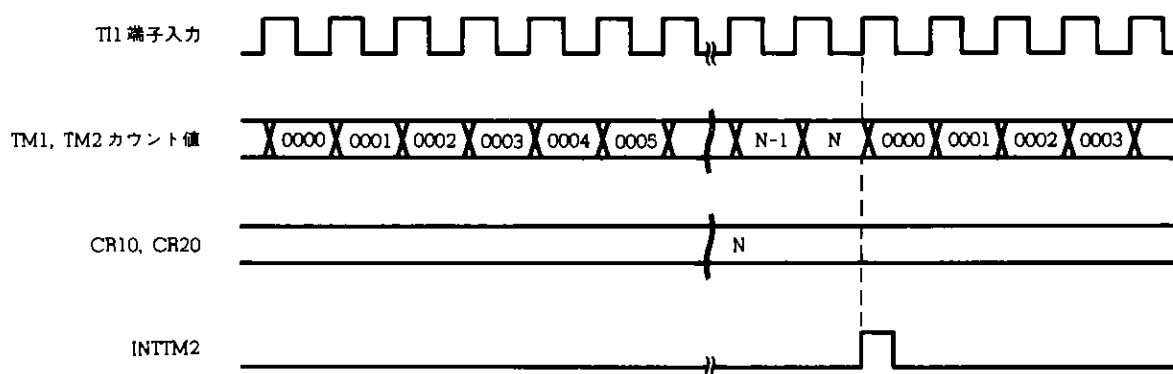
## (2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI1/P33 端子に入力される外部からのクロック・パルス数を 2 チャンネルの 8 ビット・タイマ・レジスタ 1, 2 (TM1, TM2) でカウントするものです。

タイマ・クロック選択レジスタ 1 (TCL1) で指定した有効エッジが入力されるたびに、TM1, TM2 がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下りのいずれかを選択できます。

TM1, TM2 の計数値が 8 ビット・コンペア・レジスタ (CR10, CR20) の値と一致すると、TM1, TM2 は 0 にクリアされ、割り込み要求信号 (INTTM2) が発生します。

図 7-11 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



**注意** 16ビット・タイマ/イベント・カウンタ・モードを使用している場合でも、TM1 のカウント値が CR10 の値と一致すると、割り込み要求 (INTTM1) を発生し、8 ビット・タイマ/イベント・カウンタ出力制御回路 1 の F/F が反転します。したがって、16ビットのインターバル・タイマとして使用するときには、INTTM1 の受け付けを禁止するためのマスク・フラグ TMMK1 に 1 を設定してください。

また、タイマのカウント値を読み出す場合には、16ビット・タイマ (TMS) を 16ビット・メモリ操作命令で読み出してください。

## (3) 方形波出力

8ビット・コンペア・レジスタ (CR10, CR20) にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力です。

8ビット・タイマ出力コントロール・レジスタ (TOC1) のビット4 (TOE2) に1を設定することにより、CR10, CR20 にあらかじめ設定したカウント値をインターバルとして TO2/P32 端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

★

表 7-10 2チャンネルの8ビット・タイマ/イベント・カウンタ (TM1, TM2) を  
16ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲

| 最小パルス時間                                     | 最大パルス時間                                | 分解能                                         |
|---------------------------------------------|----------------------------------------|---------------------------------------------|
| $2 \times 1/f_{xx}$<br>(500 ns)             | $2^{17} \times 1/f_{xx}$<br>(32.8 ms)  | $2 \times 1/f_{xx}$<br>(500 ns)             |
| $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      | $2^{18} \times 1/f_{xx}$<br>(65.5 ms)  | $2^2 \times 1/f_{xx}$<br>(1.0 $\mu$ s)      |
| $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      | $2^{19} \times 1/f_{xx}$<br>(131.1 ms) | $2^3 \times 1/f_{xx}$<br>(2.0 $\mu$ s)      |
| $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      | $2^{20} \times 1/f_{xx}$<br>(262.1 ms) | $2^4 \times 1/f_{xx}$<br>(4.0 $\mu$ s)      |
| $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      | $2^{21} \times 1/f_{xx}$<br>(524.3 ms) | $2^5 \times 1/f_{xx}$<br>(8.0 $\mu$ s)      |
| $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     | $2^{22} \times 1/f_{xx}$<br>(1.0 s)    | $2^6 \times 1/f_{xx}$<br>(16.0 $\mu$ s)     |
| $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     | $2^{23} \times 1/f_{xx}$<br>(2.1 s)    | $2^7 \times 1/f_{xx}$<br>(32.0 $\mu$ s)     |
| $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     | $2^{24} \times 1/f_{xx}$<br>(4.2 s)    | $2^8 \times 1/f_{xx}$<br>(64.0 $\mu$ s)     |
| $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    | $2^{25} \times 1/f_{xx}$<br>(8.4 s)    | $2^9 \times 1/f_{xx}$<br>(128.0 $\mu$ s)    |
| $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) | $2^{27} \times 1/f_{xx}$<br>(33.6 s)   | $2^{11} \times 1/f_{xx}$<br>(512.0 $\mu$ s) |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

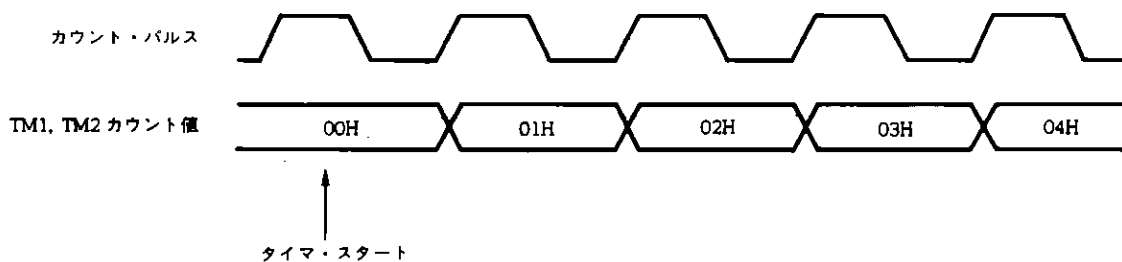
2. ( ) 内は,  $f_{xx} = 4.0$  MHz 動作時。

## 7.5 8ビット・タイマ/イベント・カウンタの注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・レジスタ 1, 2 (TM1, TM2) のスタートが非同期で行われるためです。

図 7-12 8ビット・タイマ・レジスタのスタート・タイミング



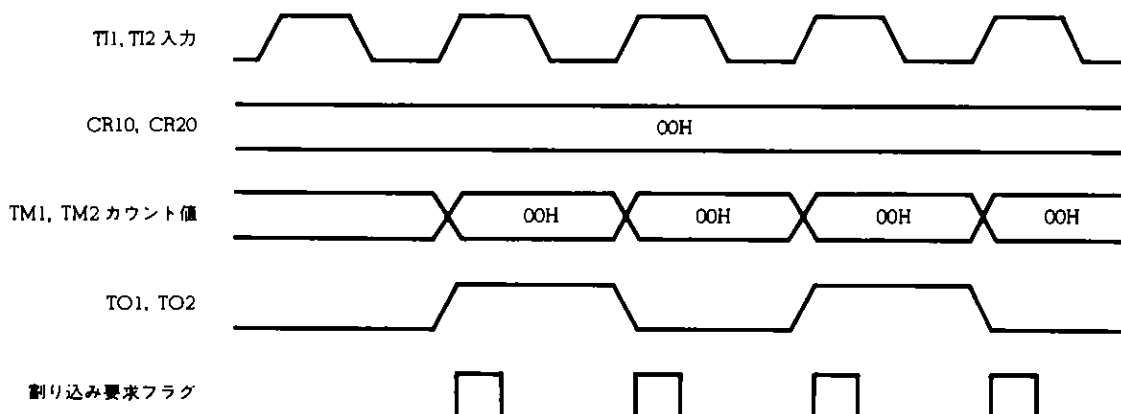
### (2) 8ビット・コンペア・レジスタ 1, 2 の設定

8ビット・コンペア・レジスタ (CR10, CR20) には、00H の設定が可能です。

したがって、イベント・カウンタとして使用時、1パルスのカウント動作が可能です。

また、16ビット・タイマ/イベント・カウンタとして使用時、CR10, CR20 の書き込みは、8ビット・タイマ・モード・コントロール・レジスタのビット 0 (TCE1) に 0 を設定し、タイマ動作を停止させたのちに行ってください。

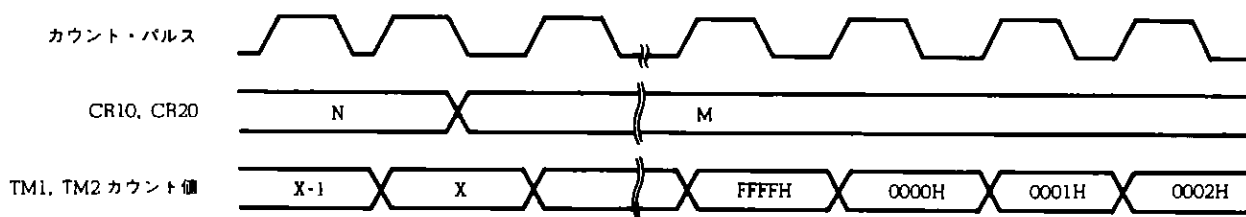
図 7-13 外部イベント・カウンタとして動作時のタイミング



## (3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ(CR10, CR20)の変更後の値が、8ビット・タイマ・レジスタ(TM1, TM2)の値よりも小さいとき、TM1, TM2はカウントを継続しオーバーフローして0から再カウントします。したがって、CR10, CR20の変更後の値(M)が変更前の値(N)より小さいときは、CR10, CR20を変更後、タイマを再スタートさせる必要があります。

図7-14 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考  $N > X > M$

## 第8章 時計用タイマ

### 8.1 時計用タイマの機能

時計用タイマには、次のような機能があります。

- 時計用タイマ
- インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

8

#### (1) 時計用タイマ

32.768 kHz のサブシステム・クロックを使用することにより、0.5 秒または 0.25 秒の時間間隔でフラグ (WTIF) をセットします。

**注意** 6.0 MHz のメイン・システム・クロックでは、0.5 秒の時間間隔を作ることができません。32.768 kHz のサブシステム・クロックに切り替え、0.5 秒の時間間隔を作ってください。

#### (2) インターバル・タイマ

あらかじめ設定した時間間隔で割り込み要求 (INTTM3) を発生します。

表 8-1 インターバル・タイマのインターバル時間

| インターバル時間           | $f_{xx} = 4.0 \text{ MHz}$ 動作時 | $f_{xt} = 32.768 \text{ kHz}$ 動作時 |
|--------------------|--------------------------------|-----------------------------------|
| $2^4 \times 1/f_w$ | 512 $\mu\text{s}$              | 488 $\mu\text{s}$                 |
| $2^5 \times 1/f_w$ | 1.02 ms                        | 977 $\mu\text{s}$                 |
| $2^6 \times 1/f_w$ | 2.05 ms                        | 1.95 ms                           |
| $2^7 \times 1/f_w$ | 4.10 ms                        | 3.91 ms                           |
| $2^8 \times 1/f_w$ | 8.19 ms                        | 7.81 ms                           |
| $2^9 \times 1/f_w$ | 16.4 ms                        | 15.6 ms                           |

- 備考 1.  $f_{xx}$  : メイン・システム・クロック周波数  
2.  $f_{xt}$  : サブシステム・クロック発振周波数  
3.  $f_w$  : 時計用タイマ・クロック周波数 ( $f_{xx}/2^7$  または  $f_{xt}$ )

## 8.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成しています。

表 8-2 時計用タイマの構成

| 項 目         | 構 成                                                      |
|-------------|----------------------------------------------------------|
| カ ウ ン タ     | 5ビット×1本                                                  |
| 制 御 レ ジ ス タ | タイマ・クロック選択レジスタ 2 (TCL2)<br>時計用タイマ・モード・コントロール・レジスタ (TMC2) |

## 8.3 時計用タイマを制御するレジスタ

時計用タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ 2 (TCL2)
- ・時計用タイマ・モード・コントロール・レジスタ (TMC2)

### (1) タイマ・クロック選択レジスタ 2 (TCL2)

時計用タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

**備考** TCL2は、時計用タイマのカウント・クロックの設定以外に、ウォッチドッグ・タイマのカウント・クロックおよびブザー出力の周波数を設定する機能があります。



図8-1 時計用タイマのブロック図

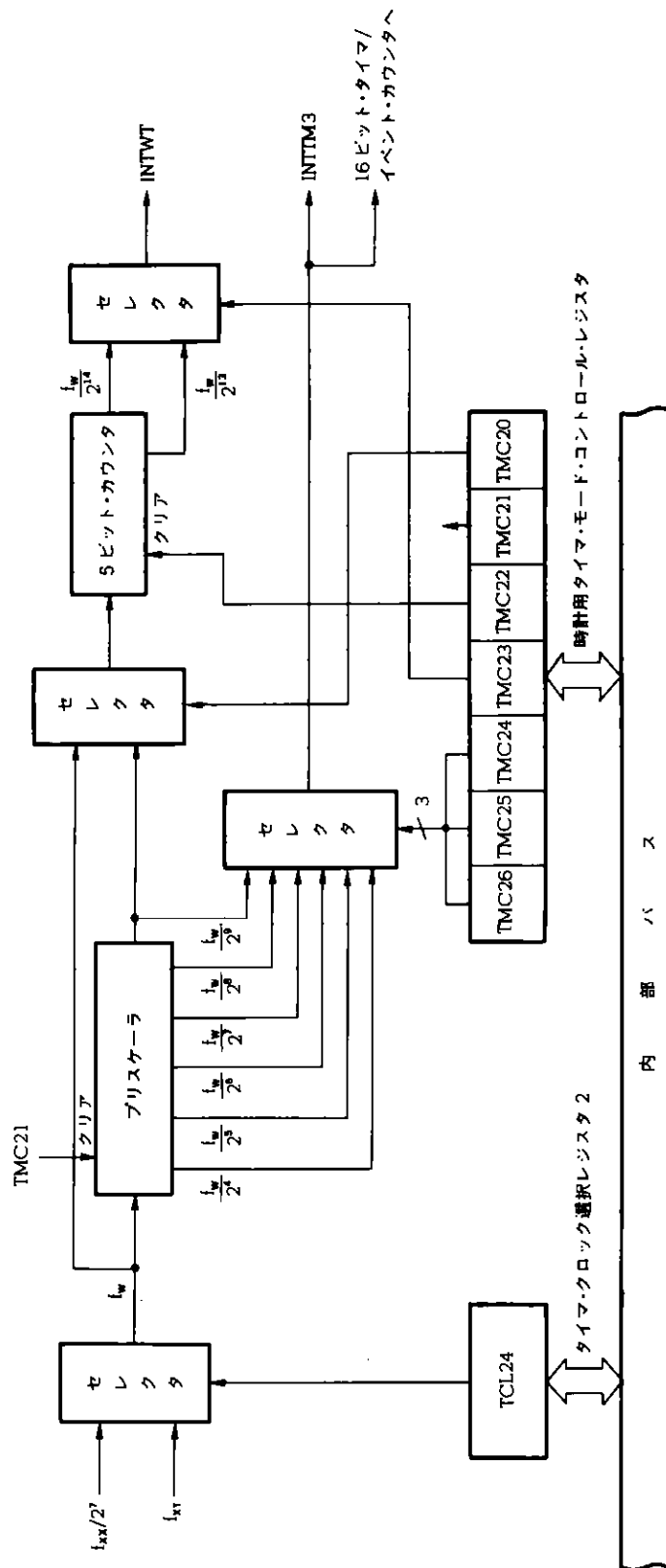


図8-2 タイマ・クロック選択レジスタ2のフォーマット

| 略号   | 7     | 6     | 5     | 4     | 3 | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|-------|-------|-------|-------|---|-------|-------|-------|-------|-------|-----|
| TCL2 | TCL27 | TCL26 | TCL25 | TCL24 | 0 | TCL22 | TCL21 | TCL20 | FF42H | 00H   | R/W |

| TCL22 | TCL21 | TCL20 | ウォッチドッグ・タイマのカウンタ・クロックの選択  |
|-------|-------|-------|---------------------------|
| 0     | 0     | 0     | $f_{xx}/2^3$ (500 kHz)    |
| 0     | 0     | 1     | $f_{xx}/2^4$ (250 kHz)    |
| 0     | 1     | 0     | $f_{xx}/2^5$ (125 kHz)    |
| 0     | 1     | 1     | $f_{xx}/2^6$ (62.5 kHz)   |
| 1     | 0     | 0     | $f_{xx}/2^7$ (31.3 kHz)   |
| 1     | 0     | 1     | $f_{xx}/2^8$ (15.6 kHz)   |
| 1     | 1     | 0     | $f_{xx}/2^9$ (7.8 kHz)    |
| 1     | 1     | 1     | $f_{xx}/2^{11}$ (2.0 kHz) |

| TCL24 | 時計用タイマのカウンタ・クロックの選択     |
|-------|-------------------------|
| 0     | $f_{xx}/2^7$ (31.3 kHz) |
| 1     | $f_{xt}$ (32.768 kHz)   |

| TCL27 | TCL26 | TCL25 | ブザー出力の周波数の選択               |
|-------|-------|-------|----------------------------|
| 0     | ×     | ×     | ブザー出力禁止                    |
| 1     | 0     | 0     | $f_{xx}/2^9$ (7.8 kHz)     |
| 1     | 0     | 1     | $f_{xx}/2^{10}$ (3.9 kHz)  |
| 1     | 1     | 0     | $f_{xx}/2^{11}$ (1.95 kHz) |
| 1     | 1     | 1     | 設定禁止                       |

- 備考 1.  $f_{xx}$  : メイン・システム・クロック周波数  
 2.  $f_{xt}$  : サブシステム・クロック発振周波数  
 3. × : don't care  
 4. ( ) 内は,  $f_{xx} = 4.0 \text{ MHz}$  または  $f_{xt} = 32.768 \text{ kHz}$  動作時。

★

注意 TCL2 を同一データ以外に書き換える場合は, いったんタイマ動作を停止させたのちに行ってください。

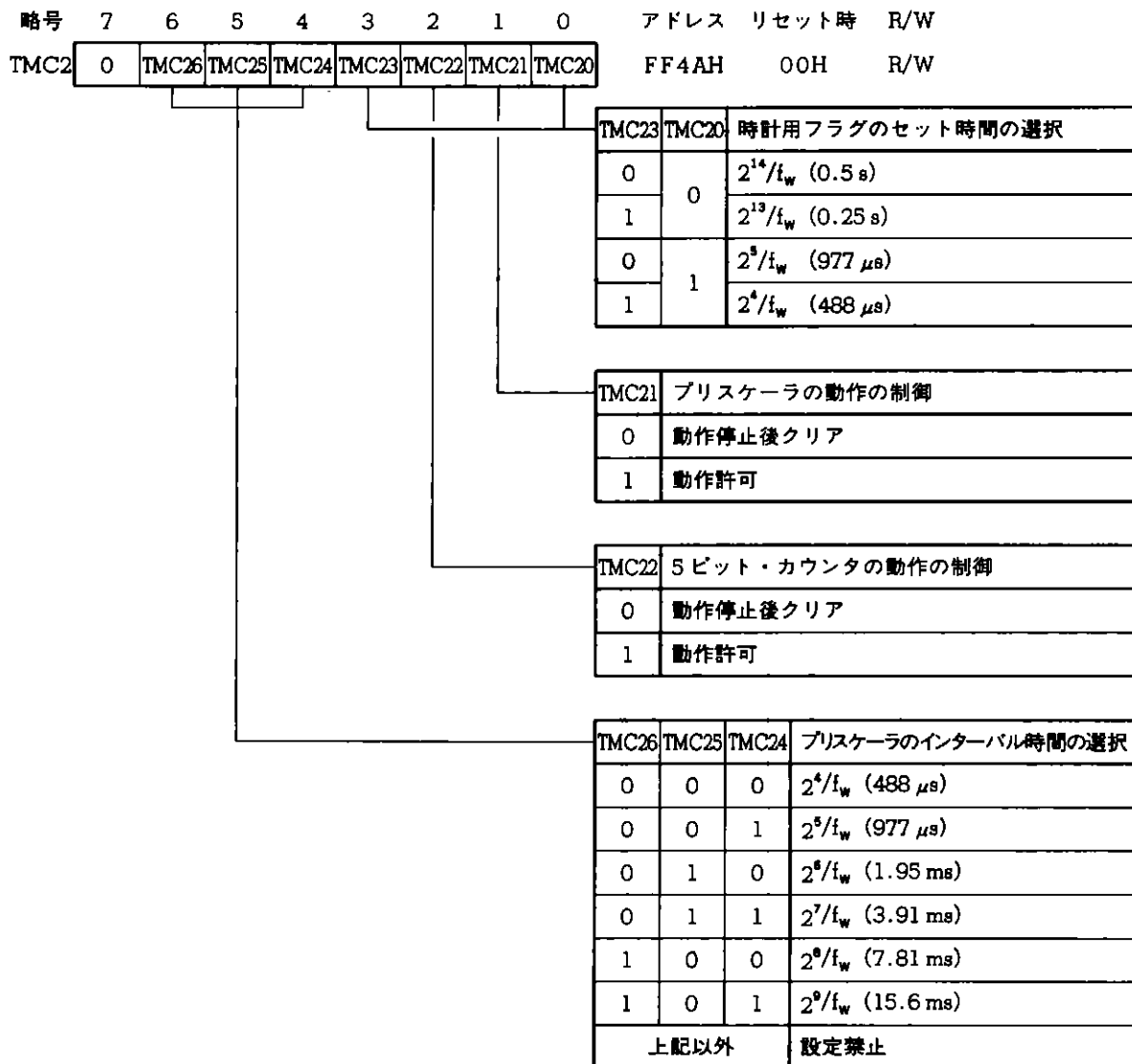
## (2) 時計用タイマ・モード・コントロール・レジスタ (TMC2)

時計用タイマの動作モード、時計用フラグのセット時間、プリスケアラおよび5ビット・カウンタの動作許可/禁止、プリスケアラのインターバル時間を設定するレジスタです。

TMC2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00Hになります。

図8-3 時計用タイマ・モード・コントロール・レジスタのフォーマット



注意 時計用タイマを使用するときは、ひんばんにプリスケアラをクリアしないでください。

備考 1.  $f_w$  : 時計用タイマ・クロック周波数 ( $f_x/2^8$ または $f_{XT}$ )

2. ( ) 内は、 $f_w = 32.768$  kHz 動作時。

## 8.4 時計用タイマの動作

### 8.4.1 時計用タイマとしての動作

32.768 kHz のサブシステム・クロックを使用することで、0.5 秒または 0.25 秒の時間間隔の時計用タイマとして動作します。

時計用タイマは、一定の時間間隔ごとに、テスト入力フラグ (WTIF) を 1 にセットします。WTIF が 1 にセットされることにより、スタンバイ状態 (STOP モード/HALT モード) を解除することができます。

時計用タイマ・モード・コントロール・レジスタのビット 2 (TMC22) に 0 を設定することにより、5 ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させるときは、TMC22 に 0 を設定することにより、ゼロ秒スタートができます (最大誤差 32.8 ms :  $f_{xx}=4.0$  MHz 動作時)。

### 8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタのビット 4-ビット 6 (TMC24-TMC26) により、インターバル時間を選択できます。

表 8-3 インターバル・タイマのインターバル時間

| TMC26 | TMC25 | TMC24 | インターバル時間           | $f_{xx}=4.0$ MHz 動作時 | $f_{xt}=32.768$ kHz 動作時 |
|-------|-------|-------|--------------------|----------------------|-------------------------|
| 0     | 0     | 0     | $2^4 \times 1/f_w$ | 512 $\mu$ s          | 488 $\mu$ s             |
| 0     | 0     | 1     | $2^5 \times 1/f_w$ | 1.02 ms              | 977 $\mu$ s             |
| 0     | 1     | 0     | $2^6 \times 1/f_w$ | 2.05 ms              | 1.95 ms                 |
| 0     | 1     | 1     | $2^7 \times 1/f_w$ | 4.10 ms              | 3.91 ms                 |
| 1     | 0     | 0     | $2^8 \times 1/f_w$ | 8.19 ms              | 7.81 ms                 |
| 1     | 0     | 1     | $2^9 \times 1/f_w$ | 16.4 ms              | 15.6 ms                 |
| 上記以外  |       |       | 設定禁止               |                      |                         |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2.  $f_{xt}$  : サブシステム・クロック発振周波数

3.  $f_w$  : 時計用タイマ・クロック周波数 ( $f_{xx}/2^7$  または  $f_{xt}$ )

## 第9章 ウォッチドッグ・タイマ

### 9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

**注意** ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

9

#### (1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたは  $\overline{\text{RESET}}$  を発生することができます。

#### (2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込みを発生します。

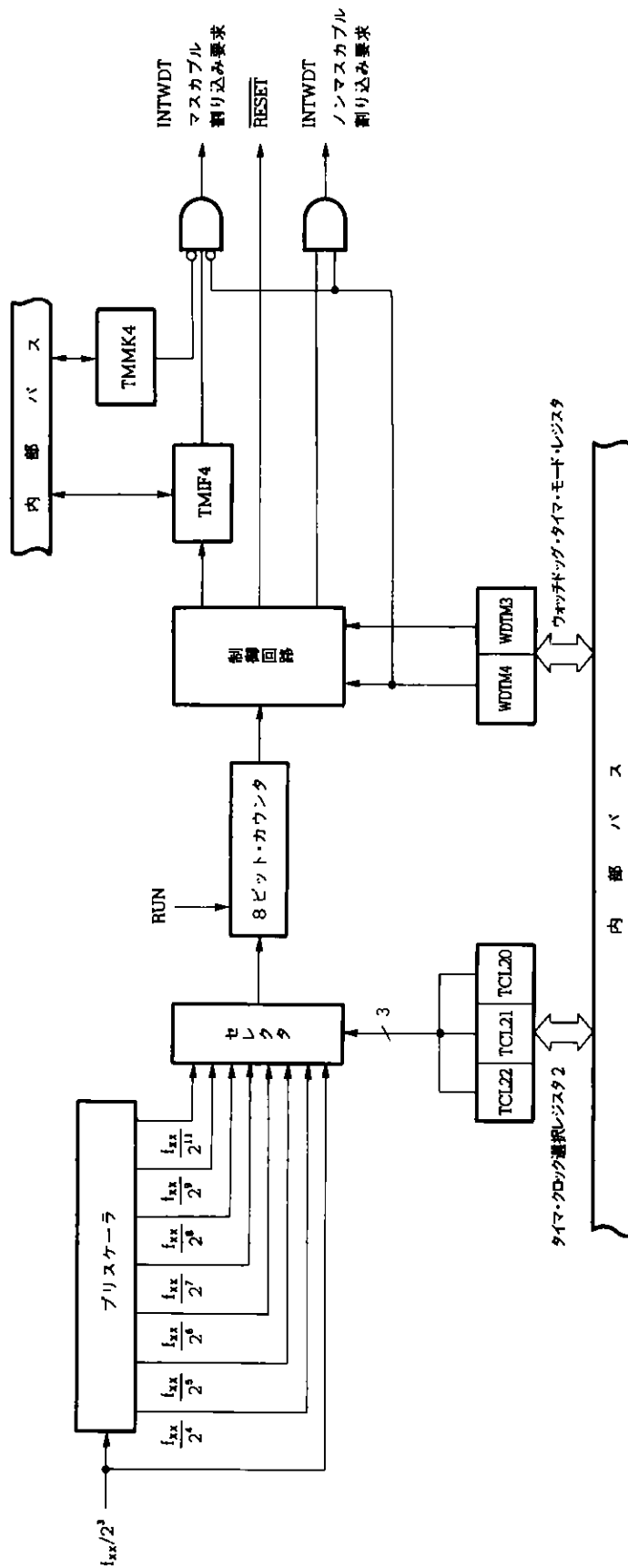
### 9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表 9-1 ウォッチドッグ・タイマの構成

| 項 目         | 構 成                                                    |
|-------------|--------------------------------------------------------|
| 制 御 レ ジ ス タ | タイマ・クロック選択レジスタ 2 (TCL2)<br>ウォッチドッグ・タイマ・モード・レジスタ (WDTM) |

図 9-1 ウォッチドッグ・タイマのブロック図



### 9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ 2 (TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

#### (1) タイマ・クロック選択レジスタ 2 (TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2 は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

**備考** TCL2 は、ウォッチドッグ・タイマのカウント・クロックの設定以外に、時計用タイマのカウント・クロックおよびブザー出力のクロックを設定する機能があります。

図 9-2 タイマ・クロック選択レジスタ 2 のフォーマット

| 略号   | 7     | 6     | 5     | 4     | 3 | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|-------|-------|-------|-------|---|-------|-------|-------|-------|-------|-----|
| TCL2 | TCL27 | TCL26 | TCL25 | TCL24 | 0 | TCL22 | TCL21 | TCL20 | FF42H | 00H   | R/W |

| TCL22 | TCL21 | TCL20 | ウォッチドッグ・タイマのカウンタ・クロックの選択  |
|-------|-------|-------|---------------------------|
| 0     | 0     | 0     | $f_{xx}/2^3$ (500 kHz)    |
| 0     | 0     | 1     | $f_{xx}/2^4$ (250 kHz)    |
| 0     | 1     | 0     | $f_{xx}/2^5$ (125 kHz)    |
| 0     | 1     | 1     | $f_{xx}/2^6$ (62.5 kHz)   |
| 1     | 0     | 0     | $f_{xx}/2^7$ (31.3 kHz)   |
| 1     | 0     | 1     | $f_{xx}/2^8$ (15.6 kHz)   |
| 1     | 1     | 0     | $f_{xx}/2^9$ (7.8 kHz)    |
| 1     | 1     | 1     | $f_{xx}/2^{11}$ (2.0 kHz) |

| TCL24 | 時計用タイマのカウンタ・クロックの選択     |
|-------|-------------------------|
| 0     | $f_{xx}/2^7$ (31.3 kHz) |
| 1     | $f_{xt}$ (32.768 kHz)   |

| TCL27 | TCL26 | TCL25 | ブザー出力の周波数の選択               |
|-------|-------|-------|----------------------------|
| 0     | ×     | ×     | ブザー出力禁止                    |
| 1     | 0     | 0     | $f_{xx}/2^9$ (7.8 kHz)     |
| 1     | 0     | 1     | $f_{xx}/2^{10}$ (3.9 kHz)  |
| 1     | 1     | 0     | $f_{xx}/2^{11}$ (1.95 kHz) |
| 1     | 1     | 1     | 設定禁止                       |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2.  $f_{xt}$  : サブシステム・クロック発振周波数

3. × : don't care

4. ( ) 内は,  $f_{xx}=4.0$  MHz または  $f_{xt}=32.768$  kHz 動作時。

★

注意 TCL2 を同一データ以外に書き換える場合は, いったんタイマ動作を停止させたのちに行ってください。



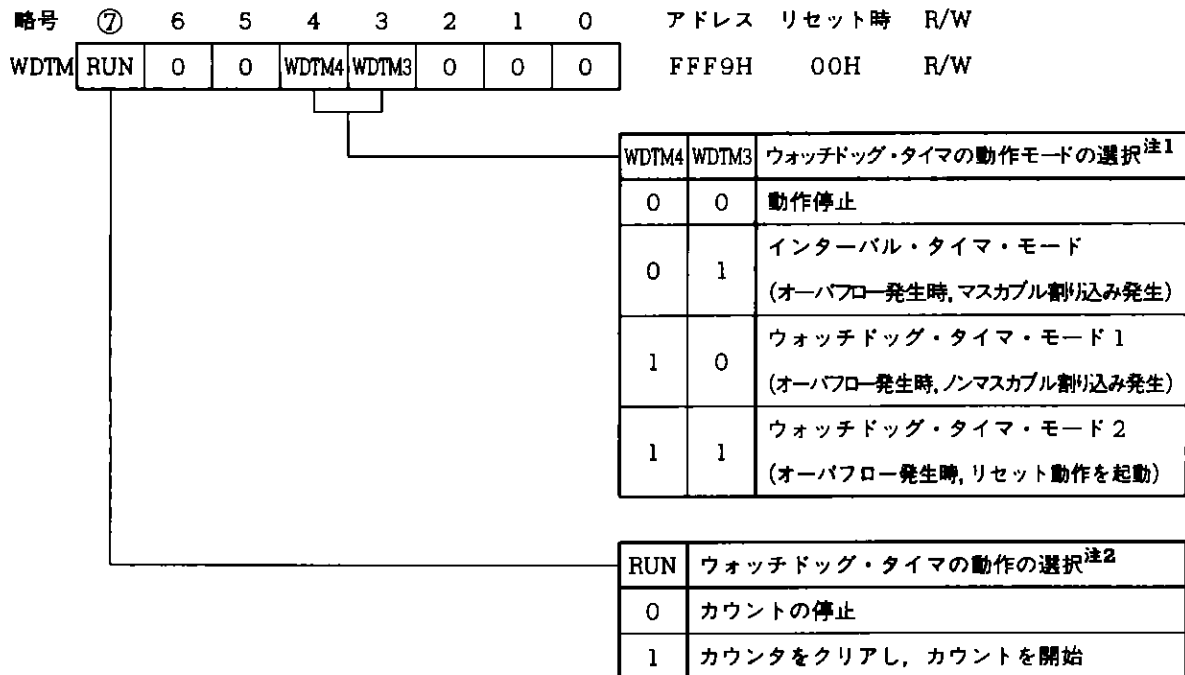
## (2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード、カウント許可/禁止を設定するレジスタです。

WDTM は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

図 9-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット



注 1. WDTM3, WDTM4 は、一度 1 にセットされると、ソフトウェアで 0 にクリアすることはできません。

2. RUN は、一度 1 にセットされると、ソフトウェアで 0 にクリアすることはできません。  
したがって、カウントを開始すると、 $\overline{\text{RESET}}$  入力以外で停止させることはできません。

注意 RUN に 1 をセットし、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、タイマ・クロック選択レジスタ 2 で設定した時間より最大 0.8% 短くなります。

## 9.4 ウォッチドッグ・タイマの動作

### 9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット 4 (WDTM4) に 1 を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ 2 (TCL2) のビット 0-ビット 2 (TCL20-TCL22) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTM のビット 7 (RUN) に 1 を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走時間間隔内に RUN に 1 を設定してください。RUN に 1 を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUN に 1 がセットされず、暴走検出時間を越えてしまったときは、WDTM のビット 3 (WDTM3) の値により、システム・リセットまたはノンマスクابل割り込みが発生します。

ウォッチドッグ・タイマは、HALT モード時では動作を継続しますが、STOP モード時では動作を停止します。したがって、STOP モードに入る前に RUN を 1 に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP 命令を実行してください。

注意 1. 実際の暴走検出時間は設定時間に対して最大 0.5 % 短くなる場合があります。

2. CPU クロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。

表 9-2 ウォッチドッグ・タイマの暴走検出時間

| TCL22 | TCL21 | TCL20 | 暴走検出時間                                 |
|-------|-------|-------|----------------------------------------|
| 0     | 0     | 0     | $2^{11} \times 1/f_{xx}$ (512 $\mu$ s) |
| 0     | 0     | 1     | $2^{12} \times 1/f_{xx}$ (1.02 ms)     |
| 0     | 1     | 0     | $2^{13} \times 1/f_{xx}$ (2.05 ms)     |
| 0     | 1     | 1     | $2^{14} \times 1/f_{xx}$ (4.10 ms)     |
| 1     | 0     | 0     | $2^{15} \times 1/f_{xx}$ (8.19 ms)     |
| 1     | 0     | 1     | $2^{16} \times 1/f_{xx}$ (16.4 ms)     |
| 1     | 1     | 0     | $2^{17} \times 1/f_{xx}$ (32.8 ms)     |
| 1     | 1     | 1     | $2^{18} \times 1/f_{xx}$ (131.1 ms)    |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は、 $f_{xx}=4.0$  MHz 動作時。

### 9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット 3 (WDTM3) に 1, ビット 4 (WDTM4) に 0 を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (TMMK4) と優先順位指定フラグ (TMPR4) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDT のデフォルトの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALT モード時では動作を継続しますが, STOP モード時では動作を停止します。したがって, STOP モードに入る前に RUN を 1 に設定し, インターバル・タイマをクリアしたあと, STOP 命令を実行してください。

- 注意 1. 一度 WDTM のビット 4 (WDTM4) に 1 をセットする (ウォッチドッグ・タイマ・モードを選択する) と **RESET** 入力されない限り, インターバル・タイマ・モードになりません。
2. WDTM で設定した直後のインターバル時間は, 設定時間に対して最大 0.5 % 短くなることがあります。
3. CPU クロックにサブシステム・クロックを選択しているとき, ウォッチドッグ・タイマのカウント動作を停止します。

表 9-3 インターバル・タイマのインターバル時間

| TCL22 | TCL21 | TCL20 | インターバル時間                               |
|-------|-------|-------|----------------------------------------|
| 0     | 0     | 0     | $2^{11} \times 1/f_{xx}$ (512 $\mu$ s) |
| 0     | 0     | 1     | $2^{12} \times 1/f_{xx}$ (1.02 ms)     |
| 0     | 1     | 0     | $2^{13} \times 1/f_{xx}$ (2.05 ms)     |
| 0     | 1     | 1     | $2^{14} \times 1/f_{xx}$ (4.10 ms)     |
| 1     | 0     | 0     | $2^{15} \times 1/f_{xx}$ (8.19 ms)     |
| 1     | 0     | 1     | $2^{16} \times 1/f_{xx}$ (16.4 ms)     |
| 1     | 1     | 0     | $2^{17} \times 1/f_{xx}$ (32.8 ms)     |
| 1     | 1     | 1     | $2^{19} \times 1/f_{xx}$ (131.1 ms)    |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx}=4.0$  MHz 動作時。

[メ モ]

## 第10章 クロック出力制御回路

### 10.1 クロック出力制御回路の機能

リモコン送信時のキャリア出力や周辺 LSI に供給するクロックを出力する機能です。タイマ・クロック選択レジスタ 0 (TCL0) で選択したクロックを PCL/P35 端子から出力します。

クロック・パルスを出力するときは、次の手順で行います。

- ① TCL0 のビット 0-ビット 3 (TCL00-TCL03) でクロック・パルスの出力周波数を選択する (クロック・パルスの出力は禁止の状態)。
- ② P35 の出力ラッチに 0 を設定する。
- ③ ポート・モード・レジスタ 3 のビット 5 (PM35) に 0 を設定する (出力モードに設定)。
- ④ タイマ・クロック選択レジスタ 0 のビット 7 (CLOE) に 1 を設定する。

**注意** P35 の出力ラッチに 1 を設定すると、クロック出力は使用できません。

**備考** クロック出力制御回路は、クロック出力の許可/禁止の切り替えを行うときに、幅の狭いパルスは出力されないようになっています (図10-1 \*印参照)。

図 10-1 リモコン出力応用例



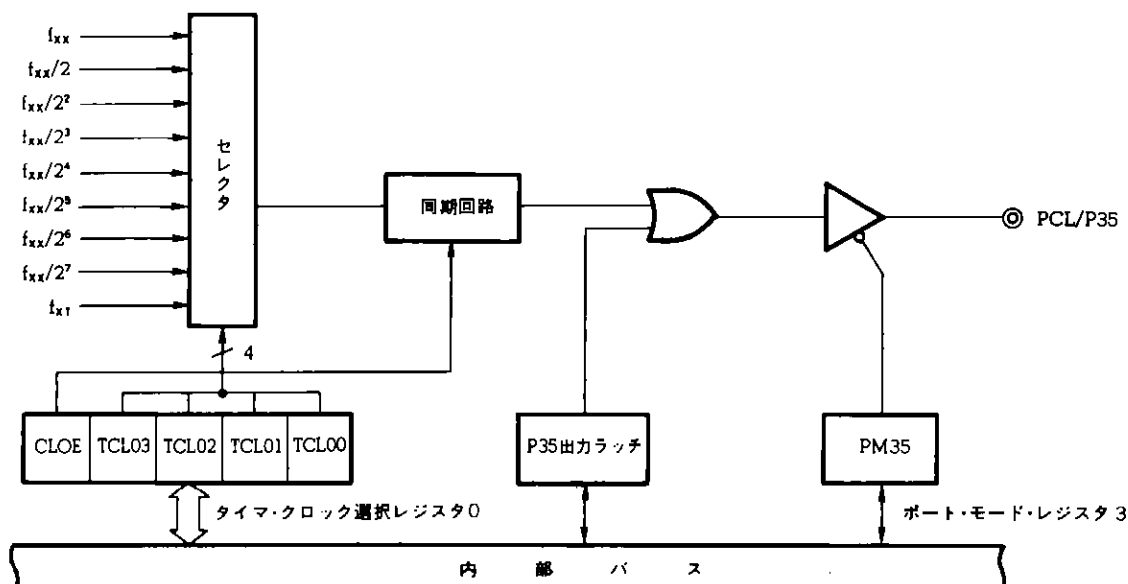
## 10.2 クロック出力制御回路の構成

クロック出力制御回路は、次のハードウェアで構成しています。

表 10-1 クロック出力制御回路の構成

| 項 目         | 構 成                     |
|-------------|-------------------------|
| 制 御 レ ジ ス タ | タイマ・クロック選択レジスタ 0 (TCL0) |
|             | ポート・モード・レジスタ 3 (PM3)    |

図 10-2 クロック出力制御回路のブロック図



## 10.3 クロック出力機能を制御するレジスタ

クロック出力機能は、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ 0 (TCL0)
- ・ポート・モード・レジスタ 3 (PM3)

### (1) タイマ・クロック選択レジスタ 0 (TCL0)

PCL 出力のクロックを設定するレジスタです。

TCL0 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

**備考** TCL0 は、PCL 出力のクロックの設定以外に、16ビット・タイマ・レジスタのカウント・クロックを設定する機能があります。

図 10-3 タイマ・クロック選択レジスタ 0 のフォーマット

|      |      |       |       |       |       |       |       |       |       |       |     |
|------|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-----|
| 略号   | ⑦    | 6     | 5     | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
| TCL0 | CLOE | TCL06 | TCL05 | TCL04 | TCL03 | TCL02 | TCL01 | TCL00 | FF40H | 00H   | R/W |

| TCL03 | TCL02 | TCL01 | TCL00 | PCL 出力のクロックの選択          |
|-------|-------|-------|-------|-------------------------|
| 0     | 0     | 0     | 0     | $f_{xt}$ (32.768 kHz)   |
| 0     | 1     | 0     | 1     | $f_{xx}$ (4.0 MHz)      |
| 0     | 1     | 1     | 0     | $f_{xx}/2$ (2.0 MHz)    |
| 0     | 1     | 1     | 1     | $f_{xx}/2^2$ (1.0 MHz)  |
| 1     | 0     | 0     | 0     | $f_{xx}/2^3$ (500 kHz)  |
| 1     | 0     | 0     | 1     | $f_{xx}/2^4$ (250 kHz)  |
| 1     | 0     | 1     | 0     | $f_{xx}/2^5$ (125 kHz)  |
| 1     | 0     | 1     | 1     | $f_{xx}/2^6$ (62.5 kHz) |
| 1     | 1     | 0     | 0     | $f_{xx}/2^7$ (31.3 kHz) |
| 上記以外  |       |       |       | 設定禁止                    |

| TCL06 | TCL05 | TCL04 | 16ビット・タイマ・レジスタのカウント・クロックの選択 |
|-------|-------|-------|-----------------------------|
| 0     | 0     | 0     | T100 (有効エッジ指定可能)            |
| 0     | 0     | 1     | $2f_{xx}$ 注                 |
| 0     | 1     | 0     | $f_{xx}$ (4.0 MHz)          |
| 0     | 1     | 1     | $f_{xx}/2$ (2.0 MHz)        |
| 1     | 0     | 0     | $f_{xx}/2^2$ (1.0 MHz)      |
| 1     | 1     | 1     | 時計用タイマ出力 (INTTM3)           |
| 上記以外  |       |       | 設定禁止                        |

| CLOE | PCL 出力の制御 |
|------|-----------|
| 0    | 出力禁止      |
| 1    | 出力許可      |

注  $f_{xx} > 2.5$  MHz のとき設定禁止

注意 1. T100/INTPO 端子の有効エッジの設定は、外部割り込みモード・レジスタ 0 で行います。また、サンプリング・クロック周波数の選択は、サンプリング・クロック選択レジスタで行います。

2. PCL 出力を許可するときは、TCL00-TCL03 を設定したのち、1ビット・メモリ操作命令で CLOE に 1 を設定してください。

3. TMO のカウント・クロックに T100 を指定しているとき、カウント値を読み出す場合には、キャプチャ/コンペア・レジスタ CRO1 からではなく、TMO から読み出してください。

4. TCLO を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

★

- 備考 1.  $f_{xx}$  : メイン・システム・クロック周波数  
 2.  $f_{xt}$  : サブシステム・クロック発振周波数  
 3. TI00 : 16ビット・タイマ/イベント・カウンタの入力端子  
 4. TM0 : 16ビット・タイマ・レジスタ  
 5. ( ) 内は,  $f_{xx}=4.0\text{ MHz}$  または  $f_{xt}=32.768\text{ kHz}$  動作時。

## (2) ポート・モード・レジスタ 3 (PM3)

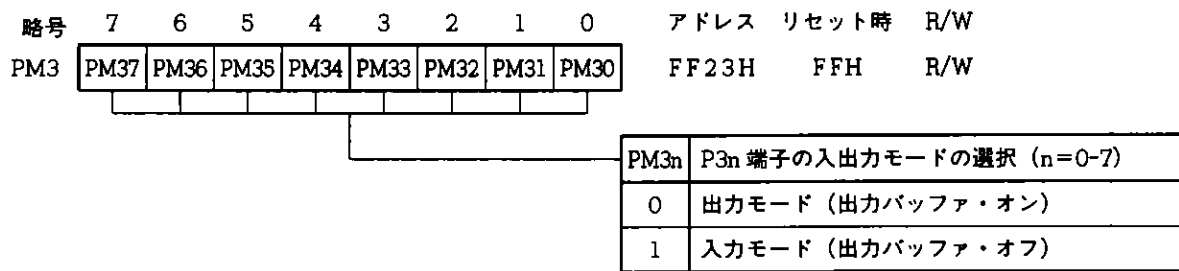
ポート 3 の入力/出力を 1 ビット単位で設定するレジスタです。

P35/PCL 端子をクロック出力機能として使用するとき, PM35 および P35 の出力ラッチに 0 を設定してください。

PM3 は, 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により, FFH になります。

図 10-4 ポート・モード・レジスタ 3 のフォーマット





# 第11章 ブザー出力制御回路

## 11.1 ブザー出力制御回路の機能

977 Hz, 1.95 kHz, 3.9 kHz, 7.8 kHz の周波数の方形波を出力する機能です。タイマ・クロック選択レジスタ2 (TCL2) で選択したブザー周波数を BUZ/P36 端子から出力します。

ブザー周波数を出力するときは、次の手順で行います。

- ① TCL2 のビット 5-ビット 7 (TCL25-TCL27) でブザー出力周波数を選択する。
- ② P36 の出力ラッチに 0 を設定する。
- ③ ポート・モード・レジスタ 3 のビット 6 (PM36) に 0 を設定する (出力モードに設定)。

**注意** P36 の出力ラッチに 1 を設定すると、ブザー出力は使用できません。

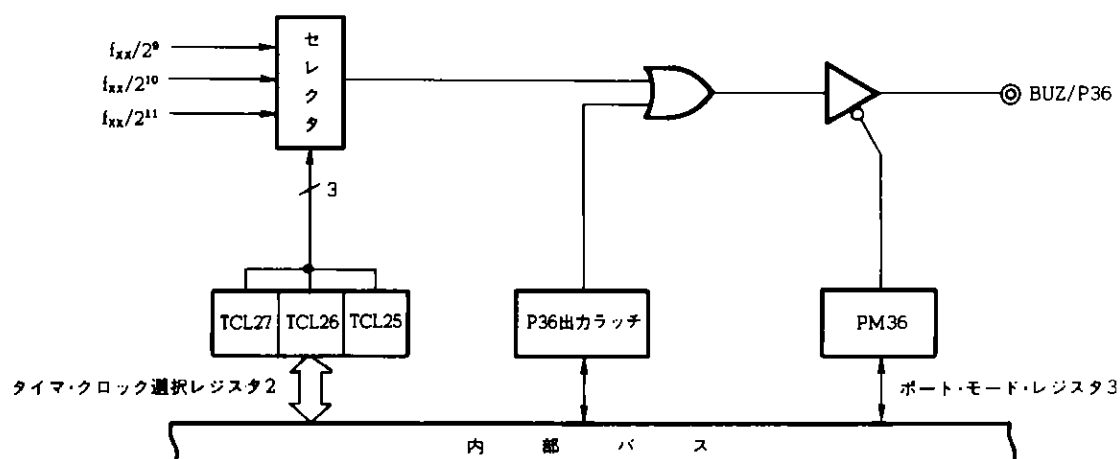
## 11.2 ブザー出力制御回路の構成

ブザー出力制御回路は、次のハードウェアで構成しています。

表 11-1 ブザー出力制御回路の構成

| 項 目      | 構 成                                             |
|----------|-------------------------------------------------|
| 制 御 レジスタ | タイマ・クロック選択レジスタ 2 (TCL2)<br>ポート・モード・レジスタ 3 (PM3) |

図 11-1 ブザー出力制御回路のブロック図



### 11.3 ブザー出力機能を制御するレジスタ

ブザー出力機能は、次の2種類のレジスタで制御します。

- タイマ・クロック選択レジスタ 2 (TCL2)
- ポート・モード・レジスタ 3 (PM3)

#### (1) タイマ・クロック選択レジスタ 2 (TCL2)

ブザー出力の周波数を設定するレジスタです。

TCL2 は、8 ビット・メモリ操作命令で設定します。

RESET 入力により、00H になります。

**備考** TCL2 は、ブザー出力の周波数の設定以外に、時計用タイマのカウント・クロックおよびウォッチドッグ・タイマのカウント・クロックを設定する機能があります。

図 11-2 タイマ・クロック選択レジスタ 2 のフォーマット

| 略号   | 7     | 6     | 5     | 4     | 3 | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|-------|-------|-------|-------|---|-------|-------|-------|-------|-------|-----|
| TCL2 | TCL27 | TCL26 | TCL25 | TCL24 | 0 | TCL22 | TCL21 | TCL20 | FF42H | 00H   | R/W |

| TCL22 | TCL21 | TCL20 | ウォッチドッグ・タイマのカウント・クロックの選択  |
|-------|-------|-------|---------------------------|
| 0     | 0     | 0     | $f_{xx}/2^3$ (500 kHz)    |
| 0     | 0     | 1     | $f_{xx}/2^4$ (250 kHz)    |
| 0     | 1     | 0     | $f_{xx}/2^5$ (125 kHz)    |
| 0     | 1     | 1     | $f_{xx}/2^6$ (62.5 kHz)   |
| 1     | 0     | 0     | $f_{xx}/2^7$ (31.3 kHz)   |
| 1     | 0     | 1     | $f_{xx}/2^8$ (15.6 kHz)   |
| 1     | 1     | 0     | $f_{xx}/2^9$ (7.8 kHz)    |
| 1     | 1     | 1     | $f_{xx}/2^{11}$ (2.0 kHz) |

| TCL24 | 時計用タイマのカウント・クロックの選択     |
|-------|-------------------------|
| 0     | $f_{xx}/2^7$ (31.3 kHz) |
| 1     | $f_{xt}$ (32.768 kHz)   |

| TCL27 | TCL26 | TCL25 | ブザー出力の周波数の選択               |
|-------|-------|-------|----------------------------|
| 0     | ×     | ×     | ブザー出力禁止                    |
| 1     | 0     | 0     | $f_{xx}/2^9$ (7.8 kHz)     |
| 1     | 0     | 1     | $f_{xx}/2^{10}$ (3.9 kHz)  |
| 1     | 1     | 0     | $f_{xx}/2^{11}$ (1.95 kHz) |
| 1     | 1     | 1     | 設定禁止                       |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2.  $f_{xt}$  : サブシステム・クロック発振周波数

3. × : don't care

4. ( ) 内は,  $f_{xx} = 4.0 \text{ MHz}$  または  $f_{xt} = 32.768 \text{ kHz}$  動作時。

注意 TCL2 を同一データ以外に書き換える場合は, いったんタイマ動作を停止させたのちに行ってください。

★

## (2) ポート・モード・レジスタ3 (PM3)

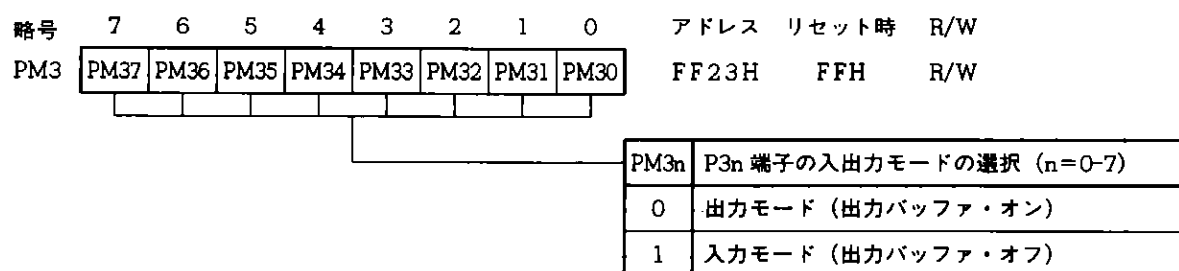
ポート3の入力/出力を1ビット単位で設定するレジスタです。

P36/BUZ 端子をブザー出力機能として使用するとき、PM36 および P36 の出力ラッチに 0 を設定してください。

PM3 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、FFH になります。

図 11-3 ポート・モード・レジスタ3のフォーマット



## 第12章 A/D コンバータ

### 12.1 A/D コンバータの機能

A/D コンバータは、アナログ入力をデジタル値に変換するコンバータで、8ビット分解能8チャンネル（ANIO-ANI7）の構成になっています。

変換方式は逐次比較方式で、変換結果を8ビットのA/D変換結果レジスタ（ADCR）に保持します。

A/D変換動作の起動には、次の2種類があります。

#### (1) ハードウェア・スタート

トリガ入力（INTP3）により変換開始。

#### (2) ソフトウェア・スタート

A/Dコンバータ・モード・レジスタを設定することにより変換開始。

アナログ入力を ANIO-ANI7 から1チャンネル選択し、A/D変換を行います。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後、変換動作を停止します。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、割り込み要求（INTAD）が発生します。

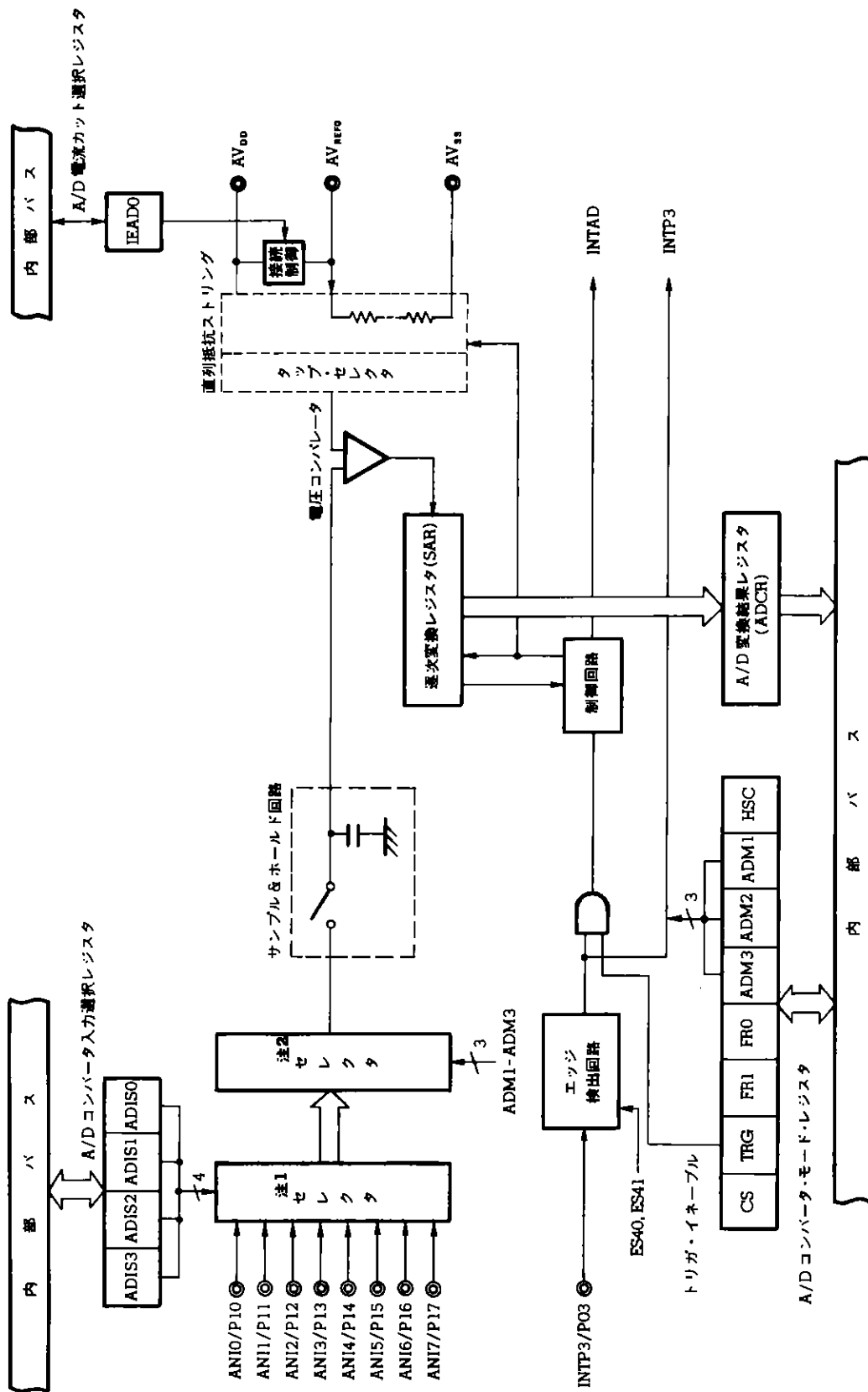
### 12.2 A/D コンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表 12-1 A/D コンバータの構成

| 項 目    | 構 成                                                                                                |
|--------|----------------------------------------------------------------------------------------------------|
| アナログ入力 | 8チャンネル（ANIO-ANI7）                                                                                  |
| 制御レジスタ | A/Dコンバータ・モード・レジスタ（ADM）<br>A/Dコンバータ入力選択レジスタ（ADIS）<br>外部割り込みモード・レジスタ1（INTM1）<br>A/D電流カット選択レジスタ（IEAD） |
| レジスタ   | 逐次変換レジスタ（SAR）<br>A/D変換結果レジスタ（ADCR）                                                                 |

図 12-1 A/D コンバータのブロック図



注 1. アナログ入力として使用するチャネル数を選択するセレクタ。

2. A/D 変換するチャネルを選択するセレクタ。

**(1) 逐次変換レジスタ (SAR)**

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し、その結果を最上位（MSB）から保持するレジスタです。

最下位ビット（LSB）まで設定すると（A/D 変換終了）、SAR の内容は A/D 変換結果レジスタに転送されます。

**(2) A/D 変換結果レジスタ (ADCR)**

A/D 変換結果を保持します。A/D 変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

ADCR は、8 ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$  入力により、不定になります。

**(3) サンプル & ホールド回路**

サンプル & ホールド回路は、入力回路から順次送られてくるアナログ入力を 1 つ 1 つサンプリングし電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値を A/D 変換中は保持します。

**(4) 電圧コンパレータ**

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

**(5) 直列抵抗ストリング**

直列抵抗ストリングは、 $AV_{\text{REF0}} - AV_{\text{SS}}$  間に入っており、アナログ入力と比較する電圧を発生します。

**(6) ANIO-ANI7 端子**

A/D コンバータへの 8 チャンネルのアナログ入力端子です。A/D 変換するアナログ信号を入力します。

A/D コンバータ入力選択レジスタ (ADIS) でアナログ入力として選択した端子以外は入出力ポートとして使用できます。

**注意** **ANIO-ANI7** 入力電圧は規格の範囲内でご使用ください。特に  $AV_{\text{REF0}}$  以上、 $AV_{\text{SS}}$  以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

**(7)  $AV_{REF0}$  端子**

A/D コンバータの基準電圧を入力する端子です。

$AV_{REF0}$ 、 $AV_{SS}$  間にかかる電圧に基づいて、 $AN10$ - $AN17$  に入力される信号をデジタル信号に変換します。

スタンバイ・モード時には、 $AV_{REF0}$  端子に入力する電圧を  $AV_{SS}$  レベルとすることにより直列抵抗ストリングに流れる電流を低減できます。

**(8)  $AV_{SS}$  端子**

A/D コンバータのグランド電位端子です。A/D コンバータを使用しないときでも、常に  $V_{SS}$  端子と同電位で使用してください。

**(9)  $AV_{DD}$  端子**

A/D コンバータのアナログ電源端子です。A/D コンバータを使用しないときでも、常に  $V_{DD}$  端子と同電位で使用してください。

## 12.3 A/D コンバータを制御するレジスタ

A/D コンバータは、次の4種類のレジスタで制御します。

- A/D コンバータ・モード・レジスタ (ADM)
- A/D コンバータ入力選択レジスタ (ADIS)
- 外部割り込みモード・レジスタ 1 (INTM1)
- A/D 電流カット選択レジスタ (IEAD)

**(1) A/D コンバータ・モード・レジスタ (ADM)**

A/D 変換するアナログ入力のチャンネル、変換時間、変換動作の開始/停止、外部トリガを設定するレジスタです。

ADM は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{RESET}$  入力により、01H になります。



図 12-2 A/D コンバータ・モード・レジスタのフォーマット

★

| 略号  | ⑦  | ⑥   | 5   | 4   | 3    | 2    | 1    | 0   | アドレス  | リセット時 | R/W |
|-----|----|-----|-----|-----|------|------|------|-----|-------|-------|-----|
| ADM | CS | TRG | FR1 | FR0 | ADM3 | ADM2 | ADM1 | HSC | FF80H | 01H   | R/W |

| ADM3 | ADM2 | ADM1 | アナログ入力チャネルの選択 |
|------|------|------|---------------|
| 0    | 0    | 0    | ANIO          |
| 0    | 0    | 1    | ANI1          |
| 0    | 1    | 0    | ANI2          |
| 0    | 1    | 1    | ANI3          |
| 1    | 0    | 0    | ANI4          |
| 1    | 0    | 1    | ANI5          |
| 1    | 1    | 0    | ANI6          |
| 1    | 1    | 1    | ANI7          |

| FR1  | FR0 | HSC | A/D 変換時間の選択 <sup>注1</sup>         |
|------|-----|-----|-----------------------------------|
| 0    | 0   | 1   | $80/t_{xx}$ (20.0 $\mu s$ )       |
| 0    | 1   | 1   | $40/t_{xx}$ (設定禁止 <sup>注2</sup> ) |
| 1    | 0   | 0   | $50/t_{xx}$ (設定禁止 <sup>注2</sup> ) |
| 1    | 0   | 1   | $100/t_{xx}$ (25.0 $\mu s$ )      |
| 上記以外 |     |     | 設定禁止                              |

| TRG | 外部トリガの選択                   |
|-----|----------------------------|
| 0   | 外部トリガなし (ソフトウェア・スタート)      |
| 1   | 外部トリガにより変換開始 (ハードウェア・スタート) |

| CS | A/D 変換動作の制御 |
|----|-------------|
| 0  | 動作停止        |
| 1  | 動作開始        |

注 1. A/D 変換時間が19.1  $\mu s$  以上になるように設定してください。

2. A/D 変換時間が19.1  $\mu s$  未満となりますので、設定禁止です。

注意 1. STOP 命令は、CS ビットを 0 にクリアし A/D 変換動作を停止させたのちに行ってください。

2. 停止している A/D 変換動作を再開するときは、割り込み要求フラグ (ADIF) を 0 にクリアしたのちに A/D 変換動作を開始してください。

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は、 $f_{xx}=4.0\text{ MHz}$  動作時。

## (2) A/D コンバータ入力選択レジスタ (ADIS)

ANIO/P10-ANI7/P17 端子をアナログ入力チャンネルとして使用するか、ポートとして使用するかを設定するレジスタです。アナログ入力として選択した端子以外は、入出力ポートとして使用できません。

ADIS は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、OOH になります。

注意 1. アナログ入力チャンネルの設定は、次の順序で行ってください。

- ① ADIS でアナログ入力チャンネル数を設定します。
  - ② ADIS でアナログ入力として設定したチャンネルのうち、A/D 変換するチャンネルを ADM で 1 チャンネル選択します。
2. ADIS でアナログ入力として設定したチャンネルでは、プルアップ抵抗オプション・レジスタのビット 1 (PUO1) の値にかかわらず、内蔵プルアップ抵抗が接続されません。

図 12-3 A/D コンバータ入力選択レジスタのフォーマット

| 略号   | 7 | 6 | 5 | 4 | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|---|---|---|---|-------|-------|-------|-------|-------|-------|-----|
| ADIS | 0 | 0 | 0 | 0 | ADIS3 | ADIS2 | ADIS1 | ADIS0 | FF84H | 00H   | R/W |

| ADIS3 | ADIS2 | ADIS1 | ADIS0 | アナログ入力チャンネル数の選択               |
|-------|-------|-------|-------|-------------------------------|
| 0     | 0     | 0     | 0     | アナログ入力チャンネルなし (P10-P17)       |
| 0     | 0     | 0     | 1     | 1 チャンネル (ANIO, P11-P17)       |
| 0     | 0     | 1     | 0     | 2 チャンネル (ANIO, ANI1, P12-P17) |
| 0     | 0     | 1     | 1     | 3 チャンネル (ANIO-ANI2, P13-P17)  |
| 0     | 1     | 0     | 0     | 4 チャンネル (ANIO-ANI3, P14-P17)  |
| 0     | 1     | 0     | 1     | 5 チャンネル (ANIO-ANI4, P15-P17)  |
| 0     | 1     | 1     | 0     | 6 チャンネル (ANIO-ANI5, P16, P17) |
| 0     | 1     | 1     | 1     | 7 チャンネル (ANIO-ANI6, P17)      |
| 1     | 0     | 0     | 0     | 8 チャンネル (ANIO-ANI7)           |
| 上記以外  |       |       |       | 設定禁止                          |

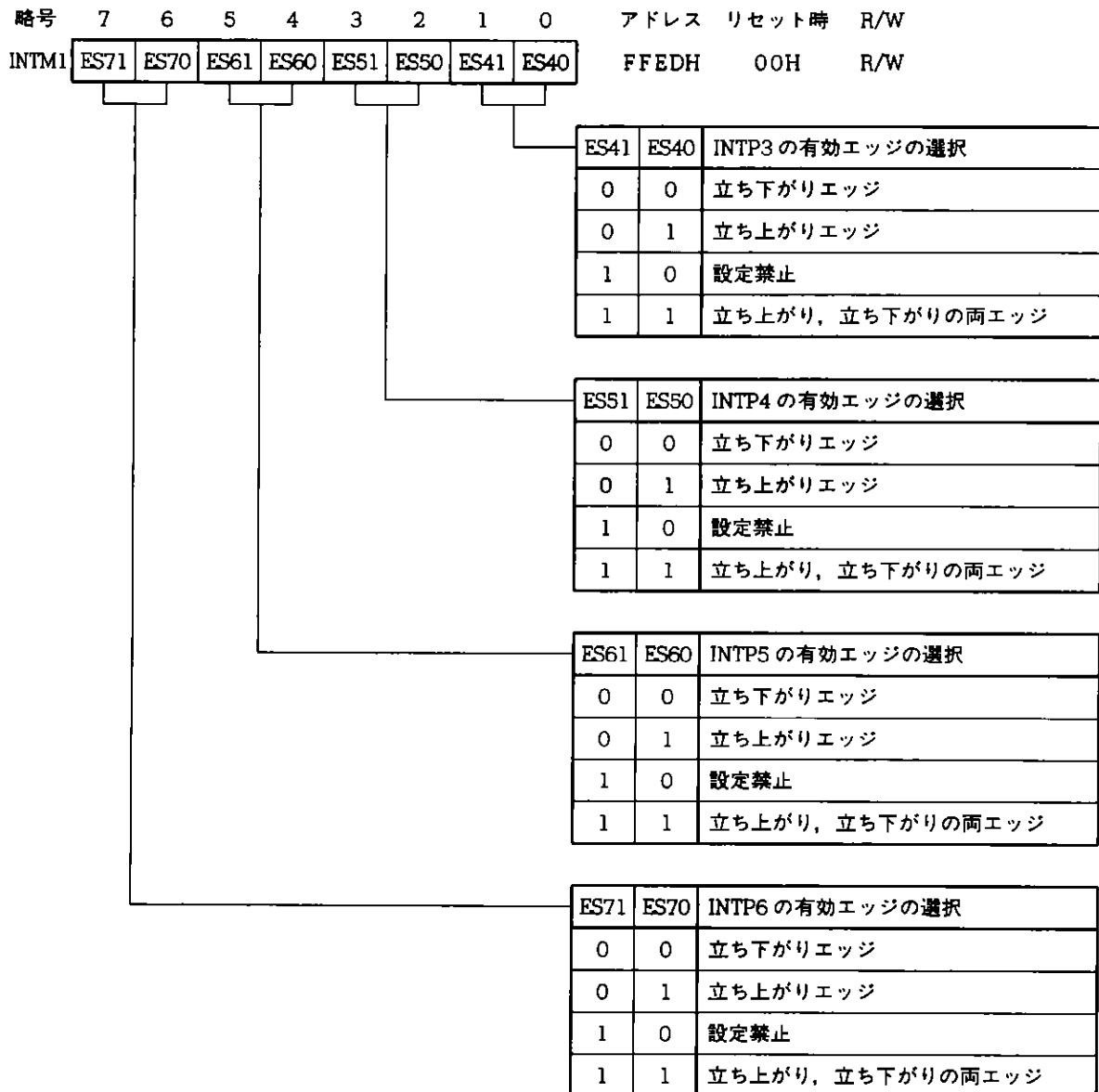
## (3) 外部割り込みモード・レジスタ 1 (INTM1)

INTP3-INTP6の有効エッジを設定するレジスタです。

INTM1 は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

図 12-4 外部割り込みモード・レジスタ 1 のフォーマット



## (4) A/D 電流カット選択レジスタ (IEAD)

$AV_{DD}-AV_{REF0}$  間を接続するか、しないかを選択するレジスタです。

$AV_{DD} \neq AV_{REF0}$  で、かつ、精度を要求しないシステムにおいて、 $AV_{REF0}$  端子をオープンにして使用し、通常の状態では  $AV_{DD}-AV_{REF0}$  間を接続、スタンバイ・モードでは切断とすることで、スタンバイ・モード時の消費電力を小さくすることができます。

IEAD は、8 ビット・メモリ操作命令で設定します。

$\overline{RESET}$  入力により、00H になります。

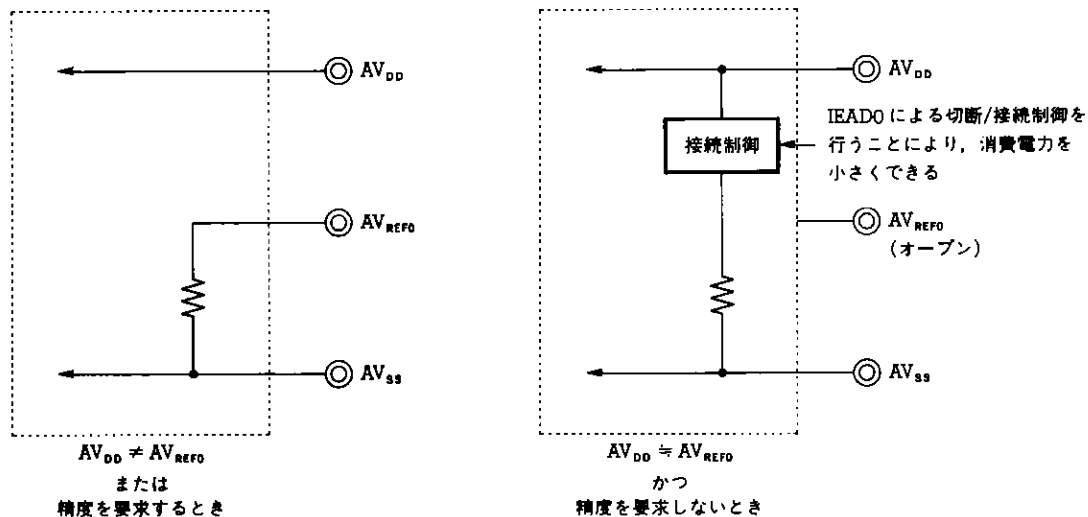
図 12-5 A/D 電流カット選択レジスタのフォーマット

| 略号   | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0     | アドレス  | リセット時 | R/W |
|------|---|---|---|---|---|---|---|-------|-------|-------|-----|
| IEAD | 0 | 0 | 0 | 0 | 0 | 0 | 0 | IEAD0 | F8E2H | 00H   | R/W |

|       |                            |
|-------|----------------------------|
| IEAD0 | $AV_{DD}-AV_{REF0}$ 間の接続制御 |
| 0     | $AV_{DD}-AV_{REF0}$ 間を切断   |
| 1     | $AV_{DD}-AV_{REF0}$ 間を接続   |

図 12-6 A/D 電流カット選択レジスタの機能



## 12.4 A/D コンバータの動作

### 12.4.1 A/D コンバータの基本動作

- ① A/D コンバータ入力選択レジスタ (ADIS) でアナログ入力のチャネル数を設定してください。
- ② ADIS でアナログ入力として設定したチャネルのうち、A/D 変換するチャネルを A/D コンバータ・モード・レジスタ (ADM) で1チャネル選択してください。
- ③ 選択されたアナログ入力チャネルに入力されている電圧を、サンプル & ホールド回路でサンプリングします。
- ④ 一定時間サンプリングを行うとサンプル & ホールド回路はホールド状態となり、入力されたアナログ電圧を A/D 変換が終了するまで保持します。
- ⑤ 逐次変換レジスタ (SAR) のビット 7 をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを  $(1/2) AV_{REF0}$  にします。
- ⑥ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力が  $(1/2) AV_{REF0}$  よりも大きければ、SAR の MSB をセットしたままです。また、 $(1/2) AV_{REF0}$  よりも小さければ、MSB をリセットします。
- ⑦ 次に SAR のビット 6 が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット 7 の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ビット 7=1:  $(3/4) AV_{REF0}$

- ビット 7=0:  $(1/4) AV_{REF0}$

この電圧タップとアナログ入力電圧を比較し、その結果で SAR のビット 6 が次のように操作されます。

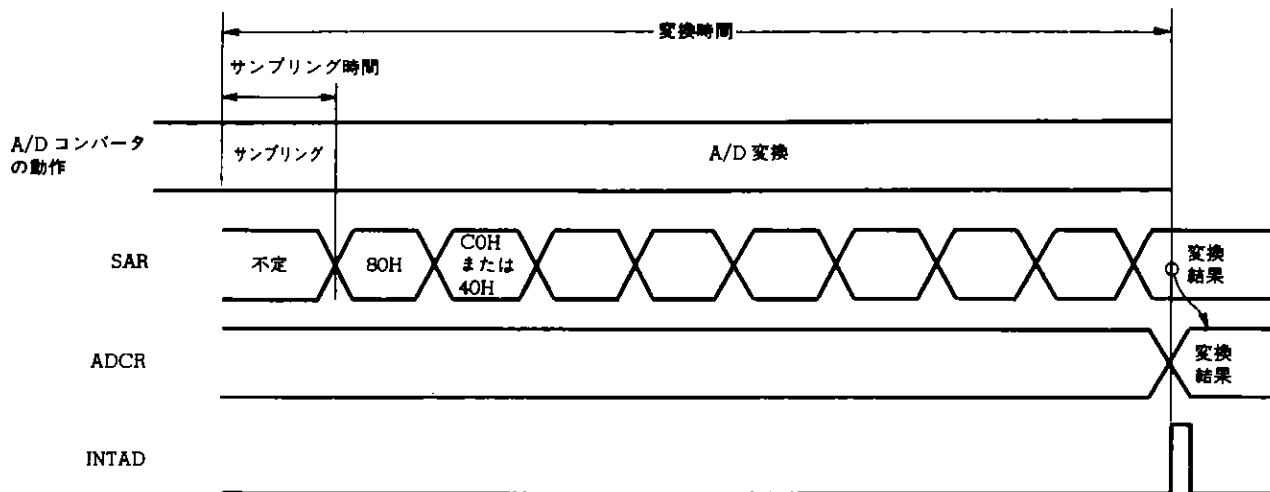
- アナログ入力電圧  $\geq$  電圧タップ: ビット 6=1

- アナログ入力電圧  $\leq$  電圧タップ: ビット 6=0

- ⑧ このような比較を SAR のビット 0 まで続けます。
- ⑨ 8 ビットの比較が終了したとき、SAR には有効なデジタルの結果が残り、その値が A/D 変換結果レジスタ (ADCR) に転送され、ラッチされます。

同時に、A/D 変換終了割り込み要求 (INTAD) を発生させることができます。

図 12-7 A/D コンバータの基本動作



A/D 変換動作は、ソフトウェアにより CS ビットをリセット (0) するまで連続的に行われます。

A/D 変換動作中に、ADM レジスタに対する書き込み操作を行うと変換動作は初期化され、CS ビットがセット (1) されていれば、最初から変換を開始します。

ADCR レジスタは、 $\overline{\text{RESET}}$  により不定となります。

### 12.4.2 入力電圧と変換結果

アナログ入力端子 (ANIO-ANI7) に入力されたアナログ入力電圧と A/D 変換結果 (ADCR に格納された値) には次式に示す関係があります。

$$\text{ADCR} = \text{INT} \left( \frac{V_{\text{IN}}}{AV_{\text{REF0}}} \times 256 + 0.5 \right)$$

または,

$$(\text{ADCR} - 0.5) \times \frac{AV_{\text{REF0}}}{256} \leq V_{\text{IN}} < (\text{ADCR} + 0.5) \times \frac{AV_{\text{REF0}}}{256}$$

備考 INT ( ) : ( ) 内の値の整数部を返す関数

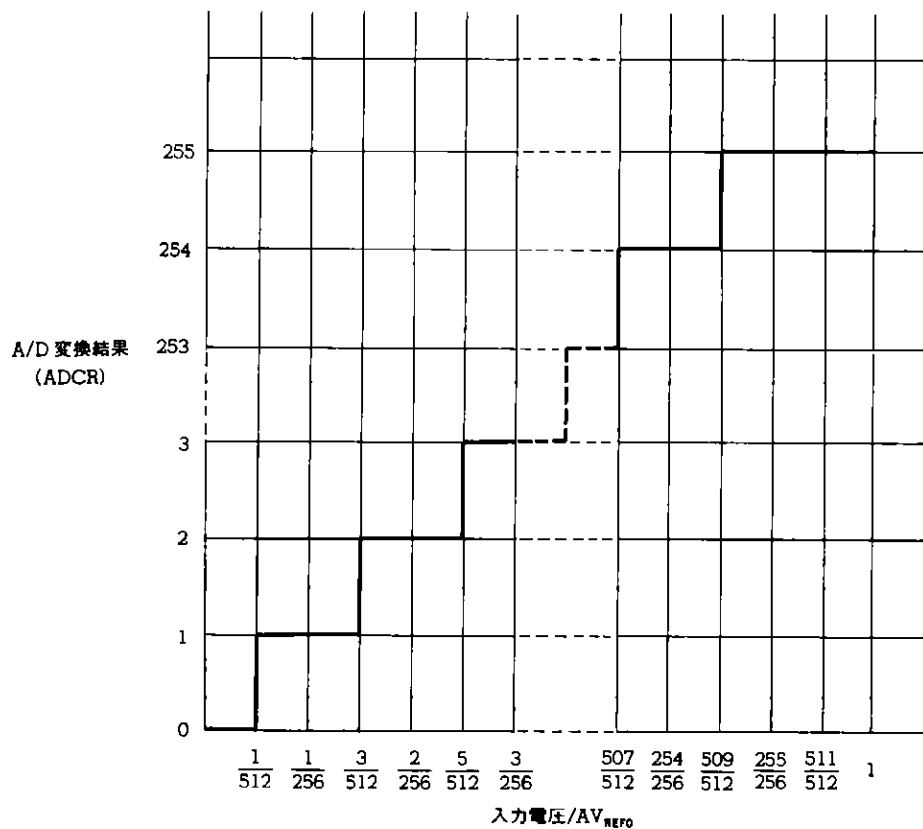
$V_{\text{IN}}$  : アナログ入力電圧

$AV_{\text{REF0}}$  :  $AV_{\text{REF0}}$  端子電圧

ADCR : ADCR レジスタの値

図 12-8 にアナログ入力電圧と A/D 変換結果の関係を図示します。

図 12-8 アナログ入力電圧と A/D 変換結果の関係



### 12.4.3 A/D コンバータの動作モード

動作モードは、セレクト・モードになっています。A/D コンバータ入力選択レジスタ (ADIS) および A/D コンバータ・モード・レジスタ (ADM) によって ANI0-ANI7 からアナログ入力を 1 チャンネル選択し、A/D 変換を行います。

A/D 変換動作の起動には、次の 2 種類があります。

- ・ハードウェア・スタート：トリガ入力 (INTP3) により変換開始
- ・ソフトウェア・スタート：ADM を設定することにより変換開始

また、A/D 変換結果は、A/D 変換結果レジスタ (ADCR) に格納され、同時に割り込み要求信号 (INTAD) が発生します。

#### (1) ハードウェア・スタートによる A/D 変換動作

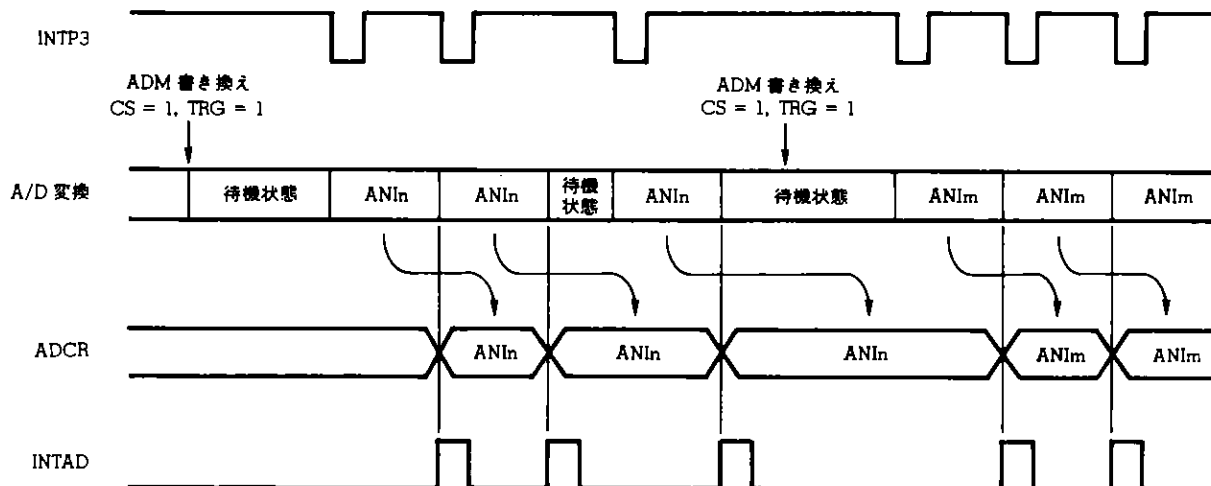
ADM のビット 6 (TRG) に 1、ビット 7 (CS) に 1 を設定することによって A/D 変換動作の待機状態になります。外部トリガ信号 (INTP3) が入力されると、ADM のビット 1-3 (ADM1-ADM3) で指定したアナログ入力端子に印加されている電圧の A/D 変換動作を開始します。

A/D 変換動作が終了すると、変換結果を A/D 変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) が発生します。A/D 変換動作が一度起動し、1 回の A/D 変換が終了すると、新たに外部トリガ信号が入力されない限り、A/D 変換動作は開始しません。

A/D 変換動作中に、再度 CS が 1 であるデータを ADM に書き込むと、そのとき行っていた A/D 変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると、A/D 変換動作を最初から行います。

また、A/D 変換動作中に、CS が 0 であるデータを ADM に書き込むと、直ちに A/D 変換動作を停止します。

図 12-9 ハードウェア・スタートによる A/D 変換動作



備考 1.  $n = 0, 1, \dots, 7$

2.  $m = 0, 1, \dots, 7$



## (2) ソフトウェア・スタートによる A/D 変換動作

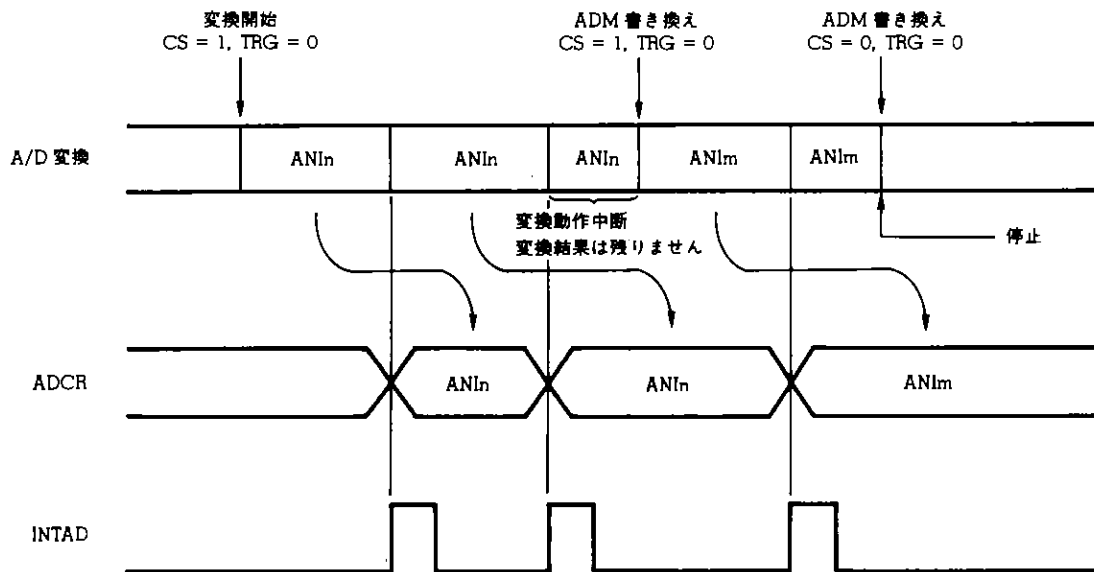
A/D コンバータ・モード・レジスタ (ADM) のビット 6 (TRG) に 0, ビット 7 (CS) に 1 を設定することにより, ADM のビット 1-3 (ADM1-ADM3) で指定したアナログ入力端子に印加されている電圧の A/D 変換動作を開始します。

A/D 変換動作が終了すると, 変換結果を A/D 変換結果レジスタ (ADCR) に格納し, 割り込み要求信号 (INTAD) が発生します。A/D 変換動作が一度起動し, 1 回の A/D 変換が終了すると, ただちに次の A/D 変換動作を開始します。新たなデータを ADM に書き込むまで繰り返し A/D 変換動作を行います。

A/D 変換動作中に, 再度 CS が 1 であるデータを ADM に書き込むと, そのとき行っていた A/D 変換動作は中断し, 新たに書き込んだデータの A/D 変換動作を開始します。

また, A/D 変換動作中に, CS が 0 であるデータを ADM に書き込むと, 直ちに A/D 変換動作を停止します。

図 12-10 ソフトウェア・スタートによる A/D 変換動作



備考 1.  $n = 0, 1, \dots, 7$

2.  $m = 0, 1, \dots, 7$

## 12.5 A/D コンバータの注意事項

### (1) スタンバイ・モード時の消費電流について

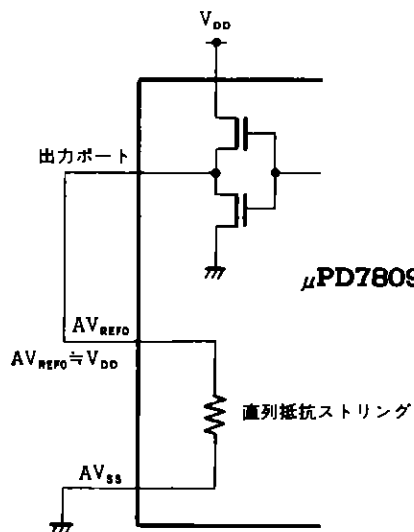
A/D コンバータは、メイン・システム・クロックによって動作します。したがって、STOP モード、またはサブシステム・クロックでの HALT モード時には動作は停止します。このときにも、 $AV_{REF0}$  端子には電流が流れ込みますので、システム全体としての消費電力を少なくするには、この電流をカットする必要があります。

#### (a) ポートを使用する方法

図 12-11 に、ポートを使用する場合の例を示します。

図 12-11 の場合、スタンバイ・モード時には出力ポートにロウ・レベルを出力すれば、消費電力を小さくすることができます。ただし、実際の  $AV_{REF0}$  の電圧に精度がありませんので、変換値の値自体は精度を持たず、相対的な比較のみに使用できます。

図 12-11 スタンバイ・モード時の消費電力を低減させる方法例（ポートを使用する場合）



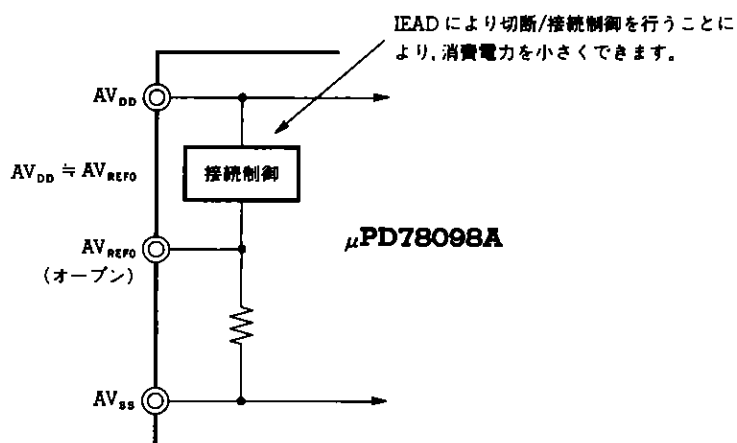
## (b) A/D 電流カット選択レジスタ (IEAD) を使用する方法

図 12-12 に、A/D 電流カット選択レジスタ (IEAD) を使用する場合の例を示します。

$AV_{DD} \equiv AV_{REF0}$  のシステムにおいて、 $AV_{REF0}$  端子をオープンにして使用し、通常の状態では  $AV_{DD}-AV_{REF0}$  間を接続 (IEAD=00H)、スタンバイ・モードでは切断 (IEAD=01H) とすることで、消費電力を小さくすることができます。

ただし、内部スイッチの特性が反映されますので、 $AV_{REF0}$  端子に電圧を加える場合よりも、変換精度が悪くなります。

図 12-12 スタンバイ・モード時の消費電力を低減させる方法例 (A/D 電流カット選択レジスタを使用する場合)



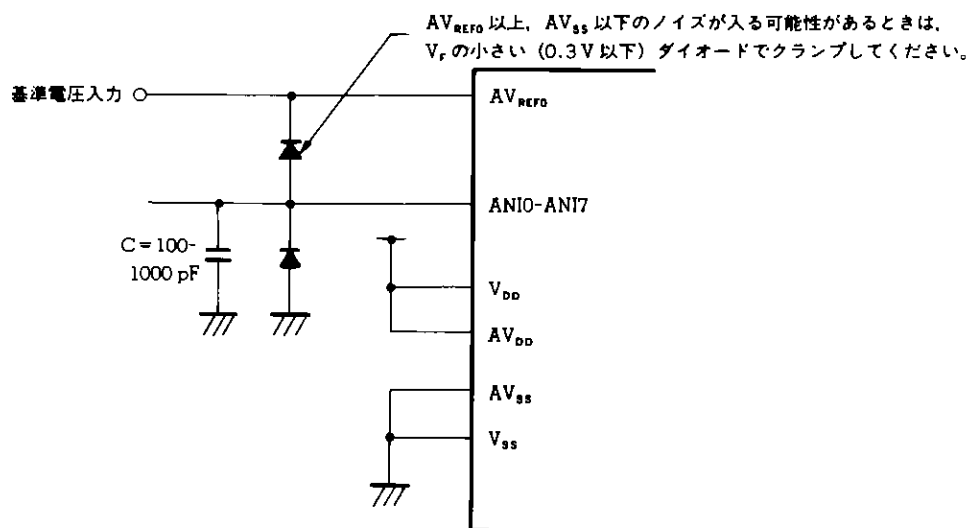
## (2) ANIO-ANI7 入力範囲について

ANIO-ANI7 入力電圧は規格の範囲内でご使用ください。特に、 $AV_{REF0}$  以上、 $AV_{SS}$  以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

## (3) ノイズ対策について

8ビット分解能を保つためには、 $AV_{REF0}$ 、ANIO-ANI7 端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図 12-13 のように、C を外付けすることを推奨します。

図 12-13 アナログ入力端子の処理



## (4) ANIO/P10-ANI7/P17

アナログ入力 (ANIO-ANI7) 端子は入出力ポート (PORT1) 端子と兼用になっています。

ANIO-ANI7 のいずれかを選択して A/D 変換をする場合、変換中に PORT1 の入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D 変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによって A/D 変換値が期待どおりに得られないことがあります。したがって、A/D 変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

**(5)  $AV_{REF0}$  端子の入カインピーダンスについて**

$AV_{REF0}$  端子と  $AV_{SS}$  端子の間には約10 k $\Omega$  の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、 $AV_{REF0}$  端子と  $AV_{SS}$  端子の間の直列抵抗ストリングと並列接続することになり、基準電圧の誤差が大きくなります。

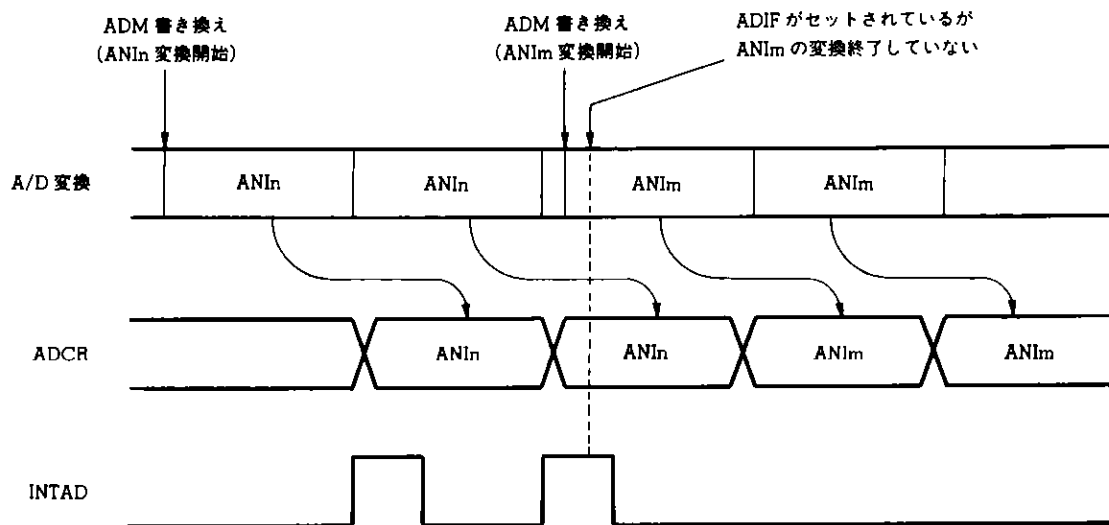
**(6) 割り込み要求フラグ (ADIF) について**

A/D コンバータ・モード・レジスタ (ADM) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D 変換中にアナログ入力端子の変更を行った場合、ADM 書き換え直前に変更前のアナログ入力に対する A/D 変換結果および変換終了割り込み要求フラグがセットされる場合があります、ADM 書き換え直後に ADIF を読み出すと、変更後のアナログ入力に対する A/D 変換が終了していないにも関わらず ADIF がセットされている場合がありますので注意してください。

また、A/D 変換を一度停止させて再開する場合は、再開する前に割り込み要求フラグ (ADIF) をクリアしてください。

図 12-14 A/D 変換終了割り込み発生タイミング

**(7)  $AV_{DD}$  端子について**

$AV_{DD}$  端子はアナログ回路の電源端子であり、AN10/P10-AN17/P17 の入力回路にも電源を供給しています。

したがって、A/D コンバータを使用しない場合も必ず  $V_{DD}$  に接続してください。

(× 元)

## 第13章 D/A コンバータ

### 13.1 D/A コンバータの機能

D/A コンバータは、ディジタル入力をアナログ値に変換するコンバータで、8ビット分解能の電圧出力型 D/A コンバータ 2 チャンネルの構成になっています。

変換方式は、R-2R 抵抗ラダー方式です。

D/A コンバータ・モード・レジスタ (DAM) の DACE0, DACE1 をセットすることにより、D/A 変換動作を開始します。

D/A コンバータには、次の 2 種類のモードがあります。

#### (1) 通常モード

D/A 変換後、ただちにアナログ電圧を出力します。

#### (2) リアルタイム出力モード

D/A 変換後、出力トリガに同期してアナログ電圧を出力します。

このモードを使用すれば正弦波の作成を行えるため、コードレス電話機における MSK 方式のモデムを容易に実現することができます。

**注意**  $AV_{REF} < V_{DD}$  で D/A コンバータを 1 チャンネルのみで使用しているときは、アナログ出力として使用していない端子に次に示すいずれかの処置をしてください。

- ・ポート・モード・レジスタ (PM13X) に 1 を設定して (入力モード)、 $V_{SS}$  に接続する。
- ・ポート・モード・レジスタ (PM13X) に 0 (出力モード)、出力ラッチに 0 を設定して、ロウ・レベルを出力する。

### 13.2 D/A コンバータの構成

D/A コンバータは、次のハードウェアで構成しています。

表 13-1 D/A コンバータの構成

| 項 目         | 構 成                                                |
|-------------|----------------------------------------------------|
| レ ジ ス タ     | D/A 変換値設定レジスタ 0 (DACS0)<br>D/A 変換値設定レジスタ 1 (DACS1) |
| 制 御 レ ジ ス タ | D/A コンバータ・モード・レジスタ (DAM)                           |

The diagram illustrates the internal architecture of the DACS0/DACS1 converter circuit. It features two main D/A conversion value setting registers, D/A 変換値設定レジスタ 1 (DACS1) and D/A 変換値設定レジスタ 0 (DACS0), which are connected to an internal bus (内部バス). The DACS1 register is controlled by DACS1 ライト and INTTM2 signals through a combination of AND and OR gates. Similarly, the DACS0 register is controlled by DACS0 ライト and INTTM1 signals. Both registers output to respective selector switches (セレクトラ). These selectors are configured using a network of resistors, specifically four parallel branches each consisting of a 2R resistor in series with an R resistor. The DACS1 selector also receives inputs from AV<sub>REF1</sub> and AV<sub>SS</sub>. The DACS0 selector receives input from ANO0/P130. Additionally, there is a D/A コンバータ・モード・レジスタ (D/A Converter Mode Register) connected to the internal bus, which controls the DACS0 selector via DAM5, DAM4, DACE1, and DACE0 signals.

DACS0, DACS1 は、それぞれに ANO0, ANO1 端子に出力するアナログ電圧値を設定するレジスタです。

RESET 入力により、OOH になります。

$$\text{ANO}_n \text{ 出力電圧} = \text{AV}_{\text{REF1}} \times \frac{\text{DACS}_n}{256}$$

**注意 1.** リアルタイム出力モードで、出力トリガ発生前に DACS0, DACS1 に設定したデータを読み出したとき、設定したデータを読み出さず前のデータを読み出します。

216



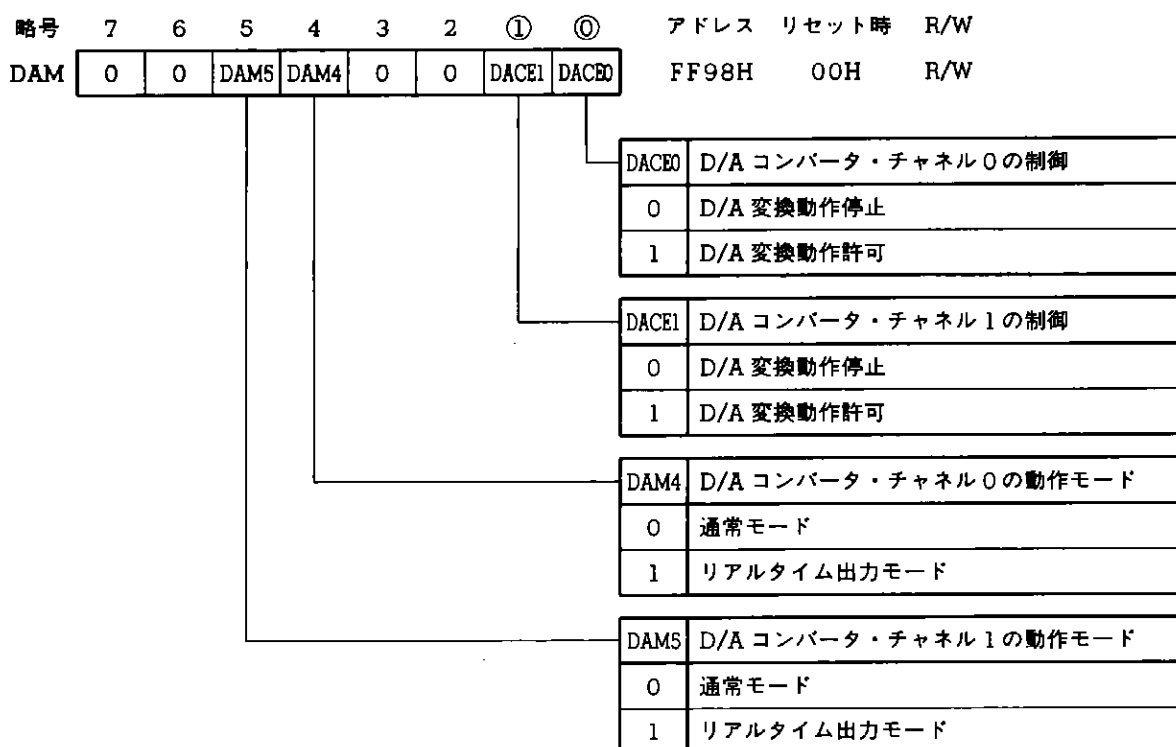
### 13.3 D/A コンバータを制御するレジスタ

D/A コンバータは、D/A コンバータ・モード・レジスタ (DAM) で制御します。D/A コンバータの動作の許可/停止を設定するレジスタです。

DAM は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

図 13-2 D/A コンバータ・モード・レジスタのフォーマット



- 注意 1. D/A コンバータを使用するときには、兼用ポート端子を入力モードに設定するとともに、プルアップ抵抗を切断してください。
- ビット 2, 3, 6, 7 には、必ず 0 を設定してください。
  - D/A 変換動作停止時の出力は、ハイ・インピーダンス状態になります。
  - リアルタイム出力モード時の出力トリガは、チャンネル 0 では INTTM1, チャンネル 1 では INTTM2 です。

## 13.4 D/A コンバータの動作

- ① D/A コンバータ・モード・レジスタ (DAM) の DAM4 でチャンネル0の動作モードを、DAM5 でチャンネル1の動作モードを選択します。
- ② D/A 変換値設定レジスタ 0, 1 (DACSO, DACS1) に、それぞれ ANO0/P130, ANO1/P131 端子に出力するアナログ電圧値に対応するデータを設定します。
- ③ DAM の DACE0, DACE1 をセットすることにより、それぞれチャンネル0, チャンネル1のD/A変換動作を開始します。
- ④ D/A変換後、通常モード時では、ただちに ANO0/P130, ANO1/P131 端子にアナログ電圧を出力します。リアルタイム出力モード時では、出力トリガに同期してアナログ電圧を出力します。
- ⑤ 出力するアナログ電圧値は、通常モード時では DACSO, DACS1 に新しいデータを設定するまで保持されます。リアルタイム出力モード時では DACSO, DACS1 に新しいデータを設定したのち、次の出力トリガが発生するまで保持されます。

**注意** DACE0, DACE1 のセットは DACSO, DACS1 にデータを設定したのちに行ってください。

## 第14章 シリアル・インタフェース・チャンネル 0

μPD78098サブシリーズは、シリアル・インタフェースを3チャンネル内蔵しています。チャンネル0、チャンネル1、チャンネル2の違いは次のとおりです（シリアル・インタフェース・チャンネル1の詳細は、第15章 シリアル・インタフェース・チャンネル1を、シリアル・インタフェース・チャンネル2の詳細は、第16章 シリアル・インタフェース・チャンネル2を参照してください）。

表 14-1 チャンネル0、チャンネル1、チャンネル2の違い

| シリアル転送モード                      |             | チャンネル0                                                                                                                                                   | チャンネル1                                                                                                                                                   | チャンネル2                         |
|--------------------------------|-------------|----------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------|
| 3線式シリアル I/O                    | クロック選択      | $t_{xx}/2^{\text{注}}$ , $t_{xx}/2^2$ , $t_{xx}/2^3$ ,<br>$t_{xx}/2^4$ , $t_{xx}/2^5$ , $t_{xx}/2^6$ ,<br>$t_{xx}/2^7$ , $t_{xx}/2^8$ , 外部クロック,<br>TO2 出力 | $t_{xx}/2^{\text{注}}$ , $t_{xx}/2^2$ , $t_{xx}/2^3$ ,<br>$t_{xx}/2^4$ , $t_{xx}/2^5$ , $t_{xx}/2^6$ ,<br>$t_{xx}/2^7$ , $t_{xx}/2^8$ , 外部クロック,<br>TO2 出力 | 外部クロック,<br>ポー・レート・ジェネレータ出力     |
|                                | 転送方式        | MSB 先頭 /LSB 先頭の切り替え可能                                                                                                                                    | MSB 先頭 /LSB 先頭の切り替え可能<br>自動送受信機能内蔵                                                                                                                       | MSB 先頭 /LSB 先頭の切り替え可能          |
|                                | 転送終了フラグ     | シリアル転送終了割り込み要求フラグ<br>(INTCSIO)                                                                                                                           | シリアル転送終了割り込み要求フラグ<br>(INTCSI1)                                                                                                                           | シリアル転送終了割り込み要求フラグ<br>(INTCSI2) |
| SBI(シリアル・バス・インタフェース)           | 2線式シリアル I/O | 使用可能                                                                                                                                                     | なし                                                                                                                                                       | なし                             |
| UART<br>(アシンクロナス・シリアル・インタフェース) |             |                                                                                                                                                          |                                                                                                                                                          | 使用可能                           |

注 メイン・システム・クロック周波数が5.0 MHz以下のときのみ設定できます。

## 14.1 シリアル・インタフェース・チャンネル0の機能

シリアル・インタフェース・チャンネル0には、次の4種類のモードがあります。

- 動作停止モード
- 3線式シリアル I/O モード
- SBI (シリアル・バス・インタフェース) モード
- 2線式シリアル I/O モード

### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

### (2) 3線式シリアル I/O モード

シリアル・クロック ( $\overline{\text{SCK0}}$ )、シリアル出力 (SO0)、シリアル入力 (SI0) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアル I/O モードは、同時送受信動作が可能なので、データ転送の処理時間が速くなります。

シリアル転送する8ビット・データの先頭ビットを MSB か、または LSB かに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアル I/O モードは、75X シリーズ、78K シリーズ、17K シリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺 I/O や表示コントローラなどを接続するときに有効です。

### (3) SBI (シリアル・バス・インタフェース) モード

シリアル・クロック ( $\overline{\text{SCK0}}$ ) と、シリアル・データ・バス (SB0 または SB1) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

NEC シリアル・バス・フォーマットに準拠します。SBI モードでは、送信側は、シリアル・データ・バス上に、シリアル通信の対象デバイス選択のための“アドレス”、対象デバイスに対して指令を与える“コマンド”、および実際の“データ”を出力することができます。また、受信側は、受信したデータをハードウェアにより、自動的に“アドレス”、“コマンド”、“データ”に判別することができます。

この機能により、入出力ポートの有効活用ができるほか、さらに応用プログラムのシリアル・インタフェースの制御部分を簡単にすることができます。

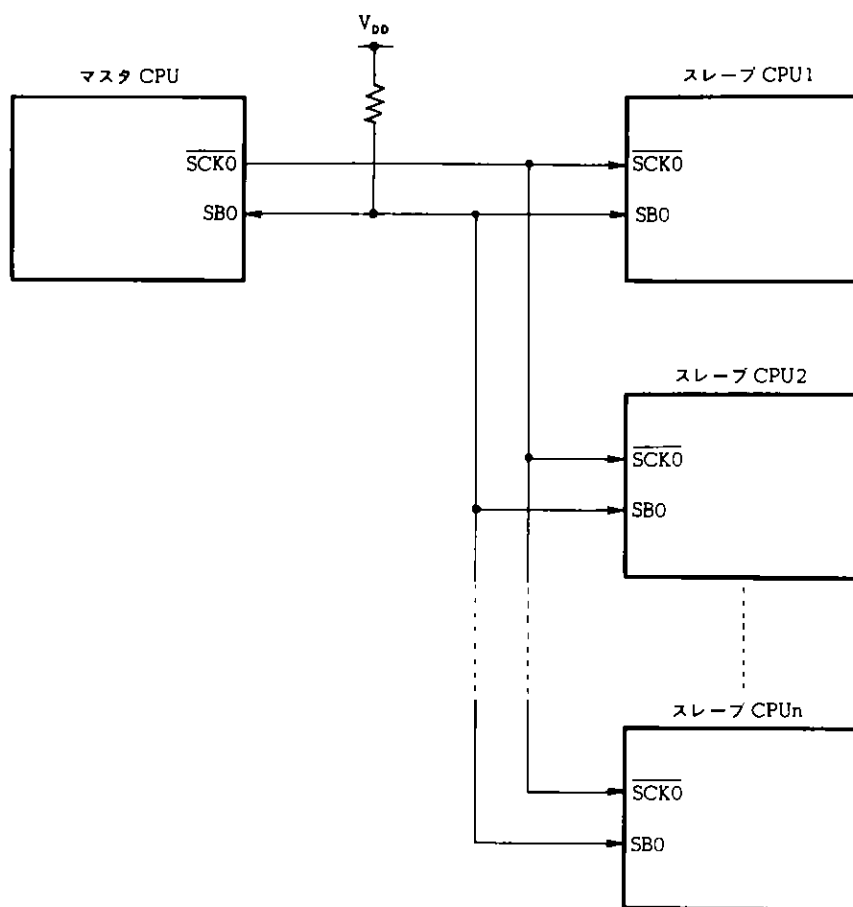
また、ハンドシェイクのためのウエイク・アップ機能、アクノリッジ信号、ビジー信号出力機能も使用することができます。

## (4) 2 線式シリアル I/O モード

シリアル・クロック ( $\overline{\text{SCK0}}$ ) と、シリアル・データ・バス (SB0 または SB1) の 2 本のラインにより、8 ビット・データ転送を行うモードです。

$\overline{\text{SCK0}}$  と、SB0 または SB1 の出力レベルをソフトウェアで制御することにより、任意のデータ転送のフォーマットに対応することができます。したがって、従来、複数デバイスを接続するときに必要になったハンドシェイクのためのラインを削除することができ、入出力ポートの有効活用ができます。

図 14-1 シリアル・バス・インタフェース (SBI) のシステム構成例



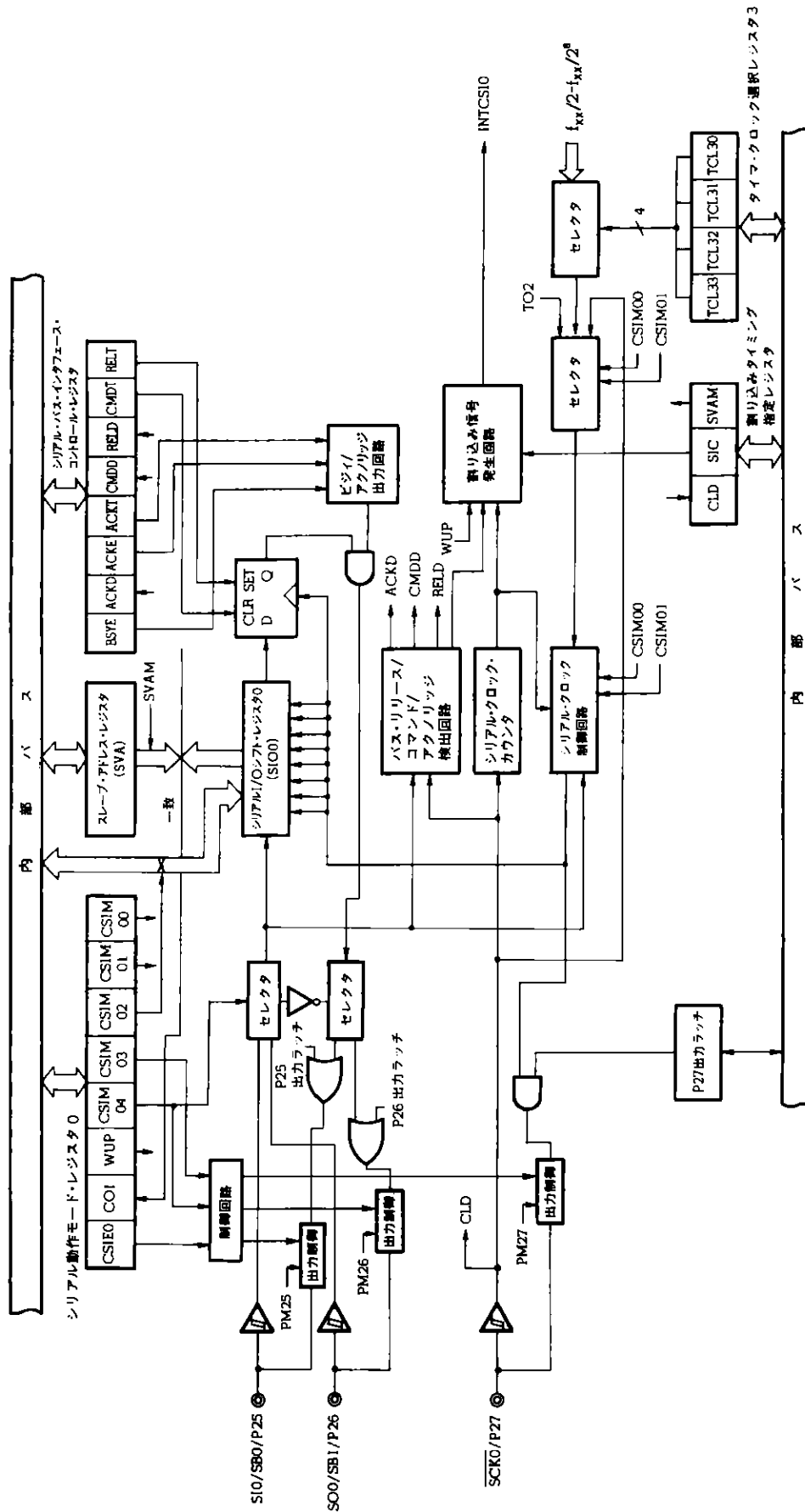
## 14.2 シリアル・インタフェース・チャンネル0の構成

シリアル・インタフェース・チャンネル0は、次のハードウェアで構成しています。

表 14-2 シリアル・インタフェース・チャンネル0の構成

| 項 目         | 構 成                                                                                                                                         |
|-------------|---------------------------------------------------------------------------------------------------------------------------------------------|
| レ ジ ス タ     | シリアル I/O シフト・レジスタ 0 (SIO0)<br>スレーブ・アドレス・レジスタ (SVA)                                                                                          |
| 制 御 レ ジ ス タ | タイマ・クロック選択レジスタ 3 (TCL3)<br>シリアル動作モード・レジスタ 0 (CSIM0)<br>シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)<br>割り込みタイミング指定レジスタ (SINT)<br>ポート・モード・レジスタ 2 (PM2) |

図14-2 シリアル・インタフェース・チャンネル0のブロック図



備考 出力制御は、CMOS出力にするか、N-chオープン・ドレイン出力にするかの選択を行います。

**(1) シリアル I/O シフト・レジスタ 0 (SIO0)**

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う 8 ビット・レジスタです。

SIO0 は、8 ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ 0 (CSIM0) のビット 7 (CSIE0) が 1 のとき、SIO0 にデータを書き込むことにより、シリアル動作が開始します。

送信時は、SIO0 に書き込まれたデータが、シリアル出力 (SO0) またはシリアル・データ・バス (SB0/SB1) に出力されます。受信時は、データがシリアル入力 (SI0) または SB0/SB1 から SIO0 に読み込まれます。

なお、SBI モード、2 線式シリアル I/O モードのバス構成は、入力端子と出力端子が兼用です。したがって、これから受信を行おうとするデバイスは、あらかじめ SIO0 に FFH を書き込んでください（ただし、CSIM0 のビット 5 (WUP) に 1 を設定してアドレス受信を行うときを除く）。

また、SBI モード時は、SIO0 への書き込みにより、ビジー解除ができます。この場合、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット 7 (BSYE) は、0 にクリアされません。

SIO0 は、 $\overline{\text{RESET}}$  入力により、不定になります。

**(2) スレーブ・アドレス・レジスタ (SVA)**

スレーブ・デバイスとしてシリアル・バスに接続するときに、そのスレーブ・アドレス値をセットするための 8 ビット・レジスタです。

SVA は、8 ビット・メモリ操作命令で設定します。

マスタは接続されているスレーブに対して、特定のスレーブを選択するためのスレーブ・アドレスを出力します。アドレス・コンパレータによりこれらの 2 つのデータ（マスタから出力されたスレーブ・アドレスと SVA の値）を比較して、一致すると、そのスレーブが選択されたこととなります。このとき、シリアル動作モード・レジスタ 0 (CSIM0) のビット 6 (COI) が 1 になります。

また、割り込みタイミング指定レジスタ (SINT) のビット 4 (SVAM) により、LSB をマスクした上位 7 ビットのデータを、アドレス比較することもできます。

アドレス受信時に一致が検出されなければ、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) のビット 2 (RELD) を 0 にクリアします。CSIM0 のビット 5 (WUP) が 1 のときには、一致が検出されたときのみ、割り込み要求信号 (CSIIF0) が発生します。この割り込み要求によりマスタから通信要求があったことを知ることができます。

さらに、SBI モード時または 2 線式シリアル I/O モード時で、マスタまたはスレーブとして送信するとき、エラーの検出を行います。

SVA は、 $\overline{\text{RESET}}$  入力により、不定になります。



**(3) SOO ラッチ**

SIO/SB0/P25, SOO/SB1/P26 端子レベルを保持するラッチです。ソフトウェアにより直接制御することもできます。SBI モード時は、シリアル・クロックの 8 回目のクロック終了時にセットされます。

**(4) シリアル・クロック・カウンタ**

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8 ビット・データの送受信が行われたことを調べます。

**(5) シリアル・クロック制御回路**

シリアル I/O シフト・レジスタ 0 (SIO0) へのシリアル・クロックの供給を制御します。また、内部システム・クロック使用時は、 $\overline{\text{SCK0}}$ /P27 端子へ出力するクロックの制御も行います。

**(6) 割り込み信号発生回路**

割り込み要求信号の発生を制御します。次のときに割り込み要求信号を発生します。

- 3 線式シリアル I/O モードおよび 2 線式シリアル I/O モード時

シリアル・クロックを 8 回カウントすることに割り込み要求信号を発生します。

- SBI モード時

WUP<sup>注</sup>が 0 のとき …シリアル・クロックを 8 回カウントすることに割り込み要求信号を発生します。

WUP<sup>注</sup>が 1 のとき …アドレス受信後、シリアル I/O シフト・レジスタ 0 (SIO0) とスレーブ・アドレス・レジスタ (SVA) の値が一致したとき、割り込み要求信号を発生します。

注 WUP は、ウェイク・アップ機能指定ビット。シリアル動作モード・レジスタ 0 (CSIM0) のビット 5。

**(7) ビジィ/アクノリッジ出力回路、バス・リリース/コマンド/アクノリッジ検出回路**

SBI モード時に各種制御信号の出力および検出を行います。

3 線式シリアル I/O モードおよび 2 線式シリアル I/O モード時には、動作しません。

### 14.3 シリアル・インタフェース・チャンネル0を制御するレジスタ

シリアル・インタフェース・チャンネル0は、次の4種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ3 (TCL3)
- ・シリアル動作モード・レジスタ0 (CSIM0)
- ・シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)
- ・割り込みタイミング指定レジスタ (SINT)

#### (1) タイマ・クロック選択レジスタ3 (TCL3)

シリアル・インタフェース・チャンネル0のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、88Hになります。

図 14-3 タイマ・クロック選択レジスタ3のフォーマット

| 略号   | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-----|
| TCL3 | TCL37 | TCL36 | TCL35 | TCL34 | TCL33 | TCL32 | TCL31 | TCL30 | FF43H | 88H   | R/W |

| TCL33 | TCL32 | TCL31 | TCL30 | シリアル・インタフェース・チャンネル0のシリアル・クロックの選択 |
|-------|-------|-------|-------|----------------------------------|
| 0     | 1     | 1     | 0     | $f_{xx}/2^{\text{注}}$            |
| 0     | 1     | 1     | 1     | $f_{xx}/2^2$ (1.0 MHz)           |
| 1     | 0     | 0     | 0     | $f_{xx}/2^3$ (500 kHz)           |
| 1     | 0     | 0     | 1     | $f_{xx}/2^4$ (250 kHz)           |
| 1     | 0     | 1     | 0     | $f_{xx}/2^5$ (125 kHz)           |
| 1     | 0     | 1     | 1     | $f_{xx}/2^6$ (62.5 kHz)          |
| 1     | 1     | 0     | 0     | $f_{xx}/2^7$ (31.3 kHz)          |
| 1     | 1     | 0     | 1     | $f_{xx}/2^8$ (15.6 kHz)          |
| 上記以外  |       |       |       | 設定禁止                             |

| TCL37 | TCL36 | TCL35 | TCL34 | シリアル・インタフェース・チャンネル1のシリアル・クロックの選択 |
|-------|-------|-------|-------|----------------------------------|
| 0     | 1     | 1     | 0     | $f_{xx}/2^{\text{注}}$            |
| 0     | 1     | 1     | 1     | $f_{xx}/2^2$ (1.0 MHz)           |
| 1     | 0     | 0     | 0     | $f_{xx}/2^3$ (500 kHz)           |
| 1     | 0     | 0     | 1     | $f_{xx}/2^4$ (250 kHz)           |
| 1     | 0     | 1     | 0     | $f_{xx}/2^5$ (125 kHz)           |
| 1     | 0     | 1     | 1     | $f_{xx}/2^6$ (62.5 kHz)          |
| 1     | 1     | 0     | 0     | $f_{xx}/2^7$ (31.3 kHz)          |
| 1     | 1     | 0     | 1     | $f_{xx}/2^8$ (15.6 kHz)          |
| 上記以外  |       |       |       | 設定禁止                             |

注 メイン・システム・クロック周波数が5.0 MHz以下のときのみ設定できます。

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx}=4.0$  MHz 動作時。

注意 TCL3を同一データ以外に書き換える場合は, いったんタイマ動作を停止させたのちに行ってください。

★

## (2) シリアル動作モード・レジスタ0 (CSIMO)

シリアル・インタフェース・チャンネル0のシリアル・クロック、動作モード、動作の許可/停止、ウェイク・アップ機能の設定とアドレス・コンパレータの一致信号を表示するレジスタです。

CSIMOは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00Hになります。

図 14-4 シリアル動作モード・レジスタ0のフォーマット (1/2)

| 略号    | ⑦      | ⑥   | ⑤   | 4      | 3      | 2      | 1      | 0      | アドレス  | リセット時 | R/W               |
|-------|--------|-----|-----|--------|--------|--------|--------|--------|-------|-------|-------------------|
| CSIMO | CSIM01 | COI | WUP | CSIM04 | CSIM03 | CSIM02 | CSIM01 | CSIM00 | FF60H | 00H   | R/W <sup>注1</sup> |

| R/W | CSIM01 | CSIM00 | シリアル・インタフェース・チャンネル0のクロックの選択                 |
|-----|--------|--------|---------------------------------------------|
|     | 0      | ×      | SCK0 端子への外部からの入力クロック                        |
|     | 1      | 0      | 8ビット・タイマ・レジスタ2 (TM2) の出力                    |
|     | 1      | 1      | タイマ・クロック選択レジスタ3 (TCL3) のビット0-ビット3で指定されたクロック |

| R/W | CSIM04 | CSIM03 | CSIM02 | PM25         | P25     | PM26   | P26    | PM27   | P27    | 動作モード             | 先頭ビット      | SIO/SB0/P25<br>端子の機能      | SO0/SB1/P26<br>端子の機能           | $\overline{\text{SCK0}}$ /P27<br>端子の機能              |
|-----|--------|--------|--------|--------------|---------|--------|--------|--------|--------|-------------------|------------|---------------------------|--------------------------------|-----------------------------------------------------|
|     | 0      | ×      | 0<br>1 | 注2<br>1<br>× | 注2<br>× | 0      | 0      | 0      | 1      | 3線式シリアル<br>I/Oモード | MSB<br>LSB | SIO <sup>注2</sup><br>(入力) | SO0<br>(CMOS 出力)               | $\overline{\text{SCK0}}$<br>(CMOS 入出力)              |
|     | 1      | 0      | 0<br>1 | 注3<br>×      | 注3<br>× | 0<br>0 | 0<br>× | 0<br>× | 1<br>1 | SBIモード            | MSB        | P25<br>(CMOS 入出力)         | SB1<br>(N-ch オープン・<br>ドレイン入出力) | $\overline{\text{SCK0}}$<br>(CMOS 入出力)              |
|     | 1      | 1      | 0<br>1 | 注3<br>×      | 注3<br>× | 0<br>0 | 0<br>× | 0<br>× | 1<br>1 | 2線式シリアル<br>I/Oモード | MSB        | P25<br>(CMOS 入出力)         | SB1<br>(N-ch オープン・<br>ドレイン入出力) | $\overline{\text{SCK0}}$<br>(N-ch オープン・<br>ドレイン入出力) |

注1. ビット6 (COI) は、Read Only です。

(続く)

2. 送信のみ使用するとき、P25 (CMOS 入出力) として使用できます。

3. ポート機能として自由に使用できます。

備考 × : don't care

図 14-4 シリアル動作モード・レジスタ0のフォーマット (2/2)

|     |       |                                                                                 |
|-----|-------|---------------------------------------------------------------------------------|
| R/W | WUP   | ウェイク・アップ機能の制御                                                                   |
|     | 0     | すべてのモードで、シリアル転送ごとに割り込み要求信号を発生                                                   |
|     | 1     | SBI モード時、バス・リリース後 (CMDD=RELD=1 のとき) に受信したアドレスがスレーブ・アドレス・レジスタと一致したとき、割り込み要求信号を発生 |
| R   | COI   | スレーブ・アドレス比較結果フラグ <sup>注</sup>                                                   |
|     | 0     | スレーブ・アドレス・レジスタとシリアル I/O シフト・レジスタ0のデータが一致しない                                     |
|     | 1     | スレーブ・アドレス・レジスタとシリアル I/O シフト・レジスタ0のデータが一致する                                      |
| R/W | CSIE0 | シリアル・インタフェース・チャンネル0の動作の制御                                                       |
|     | 0     | 動作停止                                                                            |
|     | 1     | 動作許可                                                                            |

注 CSIE0 = 0 のとき、COI は 0 になります。

## (3) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

シリアル・バス・インタフェースの動作の設定とステータスを表示するレジスタです。

SBIC は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、OOH になります。

図 14-5 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット (1/2)

| 略号   | ⑦    | ⑥    | ⑤    | ④    | ③    | ②    | ①    | ①    | アドレス  | リセット時 | R/W              |
|------|------|------|------|------|------|------|------|------|-------|-------|------------------|
| SBIC | BSYE | ACKD | ACKE | ACKT | CMDD | RELD | CMDT | RELT | FF61H | 00H   | R/W <sup>注</sup> |

|     |      |                                                                                                                   |
|-----|------|-------------------------------------------------------------------------------------------------------------------|
| R/W | RELT | バス・リリース信号出力のために使用する。<br>RELT=1 により、SO ラッチがセット (1) される。SO ラッチをセット後、自動的にクリア (0) される。<br>また、CSIE0=0 のときもクリア (0) される。 |
|-----|------|-------------------------------------------------------------------------------------------------------------------|

|     |      |                                                                                                                |
|-----|------|----------------------------------------------------------------------------------------------------------------|
| R/W | CMDT | コマンド信号出力のために使用する。<br>CMDT=1 により、SO ラッチがクリア (0) される。SO ラッチをクリア後、自動的にクリア (0) される。<br>また、CSIE0=0 のときもクリア (0) される。 |
|-----|------|----------------------------------------------------------------------------------------------------------------|

|                                                                                                                                                                              |      |                                                                       |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|-----------------------------------------------------------------------|
| R                                                                                                                                                                            | RELD | バス・リリース検出                                                             |
| クリアされる条件 (RELD=0)                                                                                                                                                            |      | セットされる条件 (RELD=1)                                                     |
| <ul style="list-style-type: none"> <li>転送スタート命令実行時</li> <li>アドレス受信時に SIO0 と SVA の値が一致しないとき</li> <li>CSIE0=0 のとき</li> <li><math>\overline{\text{RESET}}</math> 入力時</li> </ul> |      | <ul style="list-style-type: none"> <li>バス・リリース信号 (REL) 検出時</li> </ul> |

|                                                                                                                                                                   |      |                                                                    |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|--------------------------------------------------------------------|
| R                                                                                                                                                                 | CMDD | コマンド検出                                                             |
| クリアされる条件 (CMDD=0)                                                                                                                                                 |      | セットされる条件 (CMDD=1)                                                  |
| <ul style="list-style-type: none"> <li>転送スタート命令実行時</li> <li>バス・リリース信号 (REL) 検出時</li> <li>CSIE0=0 のとき</li> <li><math>\overline{\text{RESET}}</math> 入力時</li> </ul> |      | <ul style="list-style-type: none"> <li>コマンド信号 (CMD) 検出時</li> </ul> |

|     |      |                                                                                                                                              |
|-----|------|----------------------------------------------------------------------------------------------------------------------------------------------|
| R/W | ACKT | セット (1) する命令実行直後の SCK0 のクロックの立ち下がりがエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア (0) される。ACKE=0 として使用する。<br>また、シリアル・インタフェースの転送開始、CSIE0=0 のときもクリア (0) される。 |
|-----|------|----------------------------------------------------------------------------------------------------------------------------------------------|

(続く)

注 ビット 2, 3, 6 (RELD, CMDD, ACKD) は、Read Only です。

備考 ビット 0, 1, 4 (RELT, CMDT, ACKT) は、データ設定後に読み出すと 0 になっています。

図 14-8 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット (2/2)

|     |      |                                 |                                                                                                                                     |
|-----|------|---------------------------------|-------------------------------------------------------------------------------------------------------------------------------------|
| R/W | ACKE | アクノリッジ信号出力の制御                   |                                                                                                                                     |
|     | 0    | アクノリッジ信号の自動出力禁止 (ACKT による出力は可能) |                                                                                                                                     |
|     | 1    | 転送完了前                           | $\overline{\text{SCK0}}$ の 9 クロック目の立ち下がリエッジに同期してアクノリッジ信号を出力する (ACKE=1 により、自動出力される)。                                                 |
|     |      | 転送完了後                           | セット (1) する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がリエッジに同期してアクノリッジ信号を出力する (ACKE=1 により、自動出力される)。ただし、アクノリッジ信号を出力後、自動的にクリア (0) されない。 |

|   |      |                                                                                                                                                                                                  |                                                                                                                                                               |
|---|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------|
| R | ACKD | アクノリッジ検出                                                                                                                                                                                         |                                                                                                                                                               |
|   |      | クリアされる条件 (ACKD=0)                                                                                                                                                                                | セットされる条件 (ACKD=1)                                                                                                                                             |
|   |      | <ul style="list-style-type: none"> <li>転送スタート命令実行時、ビジー・モードを解除した直後の <math>\overline{\text{SCK0}}</math> の立ち上がり時</li> <li>CSIE0=0 のとき</li> <li><math>\overline{\text{RESET}}</math> 入力時</li> </ul> | <ul style="list-style-type: none"> <li>転送完了後の <math>\overline{\text{SCK0}}</math> のクロックの立ち上がりエッジでアクノリッジ信号 (<math>\overline{\text{ACK}}</math>) 検出時</li> </ul> |

|     |                   |                                                                               |  |
|-----|-------------------|-------------------------------------------------------------------------------|--|
| R/W | BSYE <sup>注</sup> | 同期ビジー信号出力の制御                                                                  |  |
|     | 0                 | クリア (0) する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がリエッジに同期した、ビジー信号の出力を禁止する。 |  |
|     | 1                 | アクノリッジ信号に続く $\overline{\text{SCK0}}$ のクロックの立ち下がリエッジからビジー信号を出力する。              |  |

注 シリアル・インタフェースの転送開始、またはアドレス信号受信によって、ビジー・モードを解除できます。ただし、BSYE フラグは 0 にクリアされません。

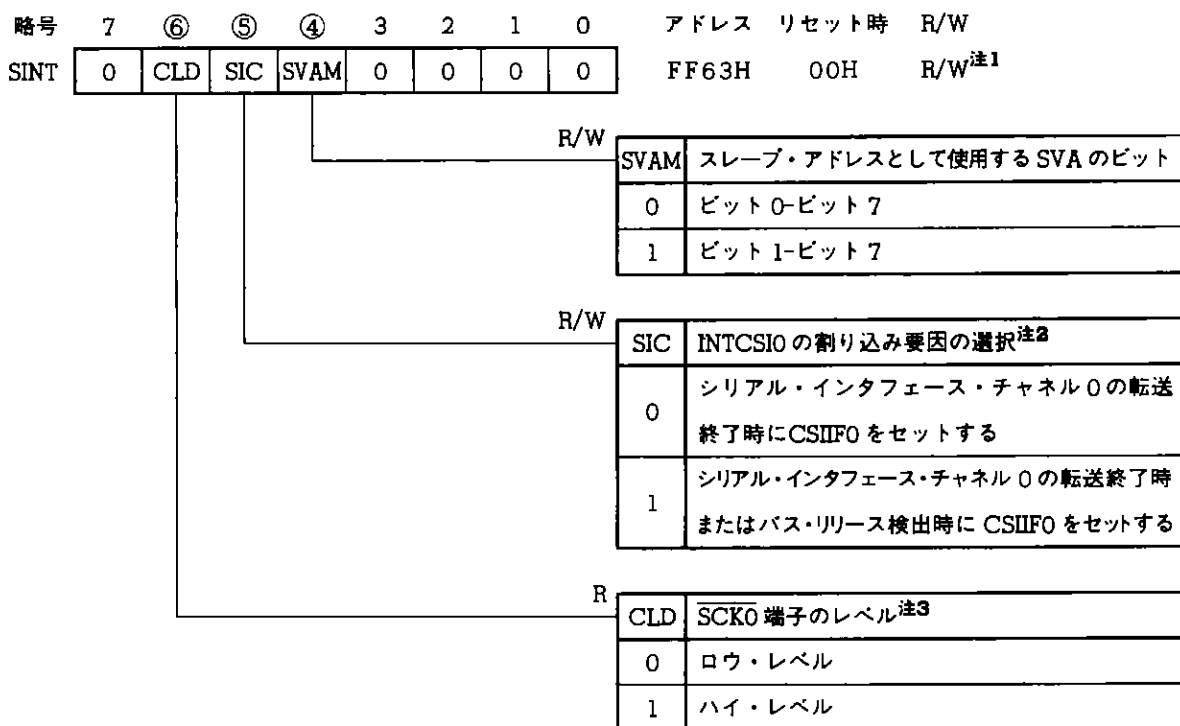
## (4) 割り込みタイミング指定レジスタ (SINT)

バス・リリース割り込み、アドレス・マスク機能の設定と P27 端子のレベルの状態を表示するレジスタです。

SINT は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

RESET 入力により、00H になります。

図 14-6 割り込みタイミング指定レジスタのフォーマット



**注意** ビット 0-ビット 3 には、必ず 0 を設定してください。

**注 1.** ビット 6 (CLD) は、Read Only です。

**2.** ウェイク・アップ機能を使用する場合は、SIC に 0 を設定してください。

**3.** CSIE0=0 のとき、CLD は 0 になります。

**備考** SVA: スレープ・アドレス・レジスタ



## 14.4 シリアル・インタフェース・チャンネル0の動作

シリアル・インタフェース・チャンネル0の動作モードには、次の4種類があります。

- 動作停止モード
- 3線式シリアル I/O モード
- SBI モード
- 2線式シリアル I/O モード

### 14.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、シリアルI/O シフト・レジスタ0 (SIO0) もシフト動作を行いませんので、通常の8ビット・レジスタとして使用することができます。

また、動作停止モードでは、P25/SIO/SB0, P26/SO0/SB1, P27/ $\overline{\text{SCK0}}$  端子を通常の入出力ポートとして使用できます。

#### (1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ0 (CSIM0) で行います。

CSIM0 は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

 は動作停止モードにおける使用ビットを示します。

| 略号    | ⑦                                                                                   | ⑥   | ⑤   | 4      | 3      | 2      | 1      | 0      | アドレス  | リセット時 | R/W |
|-------|-------------------------------------------------------------------------------------|-----|-----|--------|--------|--------|--------|--------|-------|-------|-----|
| CSIM0 |  | COI | WUP | CSIM04 | CSIM03 | CSIM02 | CSIM01 | CSIM00 | FF60H | 00H   | R/W |

|     |       |                           |
|-----|-------|---------------------------|
| R/W | CSIE0 | シリアル・インタフェース・チャンネル0の動作の制御 |
|     | 0     | 動作停止                      |
|     | 1     | 動作許可                      |

### 14.4.2 3線式シリアル I/O モードの動作

3線式シリアル I/O モードは、75X シリーズ、78K シリーズ、17K シリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺 I/O や表示コントローラなどを接続するときに有効です。

シリアル・クロック ( $\overline{\text{SCK0}}$ )、シリアル出力 (SO0)、シリアル入力 (SI0) の 3 本のラインで通信を行います。

#### (1) レジスタの設定

3線式シリアル I/O モードの設定は、シリアル動作モード・レジスタ 0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) で行います。

##### (a) シリアル動作モード・レジスタ 0 (CSIM0)

CSIM0 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

 は 3 線式シリアル I/O モードにおける使用ビットを示します。

|       |       |     |     |     |     |     |     |     |       |       |                   |
|-------|-------|-----|-----|-----|-----|-----|-----|-----|-------|-------|-------------------|
| 略号    | ⑦     | ⑥   | ⑤   | 4   | 3   | 2   | 1   | 0   | アドレス  | リセット時 | R/W               |
| CSIM0 | CSIM0 | COI | PM0 | PM1 | PM2 | PM3 | PM4 | PM5 | FF60H | 00H   | R/W <sup>注1</sup> |

|     |        |        |                                             |
|-----|--------|--------|---------------------------------------------|
| R/W | CSIM01 | CSIM00 | シリアル・インタフェース・チャンネル0のクロックの選択                 |
|     | 0      | ×      | SCK0端子への外部からの入力クロック                         |
|     | 1      | 0      | 8ビット・タイマ・レジスタ2 (TM2) の出力                    |
|     | 1      | 1      | タイマ・クロック選択レジスタ3 (TCL3) のビット0-ビット3で指定されたクロック |

|     |        |        |                                               |                      |     |      |     |      |     |                   |            |                      |                      |                   |
|-----|--------|--------|-----------------------------------------------|----------------------|-----|------|-----|------|-----|-------------------|------------|----------------------|----------------------|-------------------|
| R/W | CSIM04 | CSIM03 | CSIM02                                        | PM25                 | P25 | PM26 | P26 | PM27 | P27 | 動作モード             | 先頭ビット      | SIO/SB0/P25<br>端子の機能 | SO0/SB1/P26<br>端子の機能 | SCK0/P27<br>端子の機能 |
|     | 0      | ×      | 0<br>1                                        | <sup>注2</sup> 1<br>× | ×   | 0    | 0   | 0    | 1   | 3線式シリアル<br>I/Oモード | MSB<br>LSB | SIO<br>(入力)          | SO0<br>(CMOS出力)      | SCK0<br>(CMOS入出力) |
|     | 1      | 0      | SBIモード (14.4.3 SBIモードの動作参照)                   |                      |     |      |     |      |     |                   |            |                      |                      |                   |
|     | 1      | 1      | 2線式シリアル I/O モード (14.4.4 2線式シリアル I/O モードの動作参照) |                      |     |      |     |      |     |                   |            |                      |                      |                   |

|     |     |                                                                               |
|-----|-----|-------------------------------------------------------------------------------|
| R/W | WUP | ウェイク・アップ機能の制御 <sup>注3</sup>                                                   |
|     | 0   | すべてのモードで、シリアル転送ごとに割り込み要求信号を発生                                                 |
|     | 1   | SBIモード時、バス・リリース後 (CMDD=RELD=1のとき) に受信したアドレスがスレーブ・アドレス・レジスタと一致したとき、割り込み要求信号を発生 |

|     |       |                           |
|-----|-------|---------------------------|
| R/W | CSIM0 | シリアル・インタフェース・チャンネル0の動作の制御 |
|     | 0     | 動作停止                      |
|     | 1     | 動作許可                      |

注1. ビット6 (COI) は、Read Only です。

2. 送信のみ使用するときは、P25 (CMOS入出力) として使用できます。

3. 3線式シリアル I/O モード使用時は必ず WUP に0を設定してください。

備考 × : don't care

## (b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBIC は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

 は3線式シリアル I/O モードにおける使用ビットを示します。

| 略号   | ⑦    | ⑥    | ⑤    | ④    | ③   | ②    | ①                                                                                 | ①                                                                                 | アドレス  | リセット時 | R/W |
|------|------|------|------|------|-----|------|-----------------------------------------------------------------------------------|-----------------------------------------------------------------------------------|-------|-------|-----|
| SBIC | BSYE | ACKD | ACKE | ACKT | CMD | RELD |  |  | FF61H | 00H   | R/W |

|     |      |                                                                                           |
|-----|------|-------------------------------------------------------------------------------------------|
| R/W | RELT | RELT=1 により、SO ラッチがセット (1) される。SO ラッチをセット後、自動的にクリア (0) される。<br>また、CSIE0=0 のときもクリア (0) される。 |
|-----|------|-------------------------------------------------------------------------------------------|

|     |      |                                                                                           |
|-----|------|-------------------------------------------------------------------------------------------|
| R/W | CMDT | CMDT=1 により、SO ラッチがクリア (0) される。SO ラッチをクリア後、自動的にクリア (0) される。<br>また、CSIE0=0 のときもクリア (0) される。 |
|-----|------|-------------------------------------------------------------------------------------------|

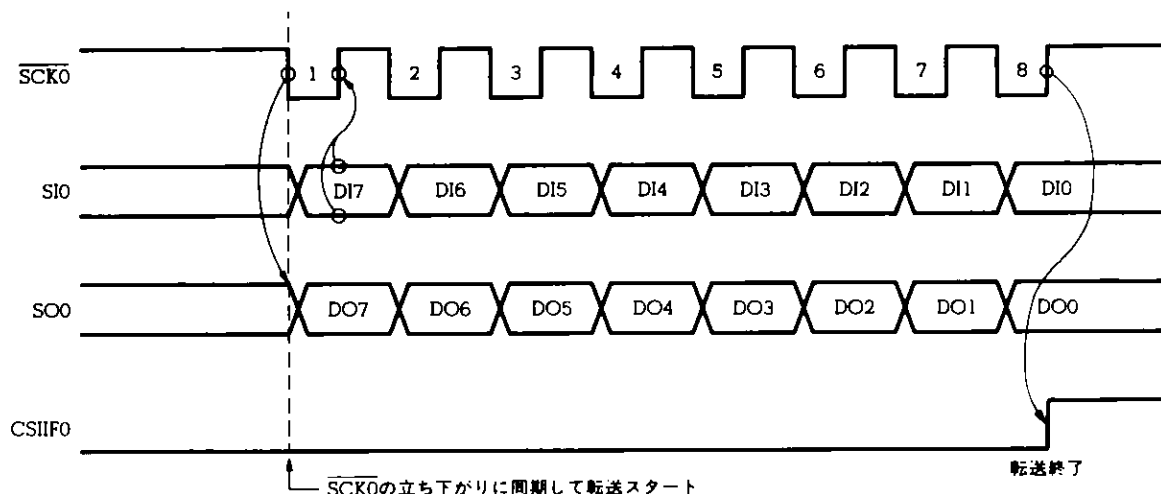
## (2) 通信動作

3線式シリアル I/O モードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアル I/O シフト・レジスタ 0 (SIO0) のシフト動作は、シリアル・クロック ( $\overline{\text{SCK0}}$ ) の立ち下がりに同期して行われます。そして、送信データが SO0 ラッチに保持され、SO0 端子から出力されます。また、 $\overline{\text{SCK0}}$  の立ち上がりで、SIO 端子に入力された受信データが SIO0 にラッチされます。

8ビット転送終了により、SIO0 の動作は自動的に停止し、割り込み要求フラグ (CSIIF0) がセットされます。

図 14-7 3線式シリアル I/O モードのタイミング



SO0 端子は CMOS 出力となり、SO0 ラッチの状態を出力しますので、RELT ビット、CMDT ビットのセットによって、SO0 端子出力状態を操作することができます。

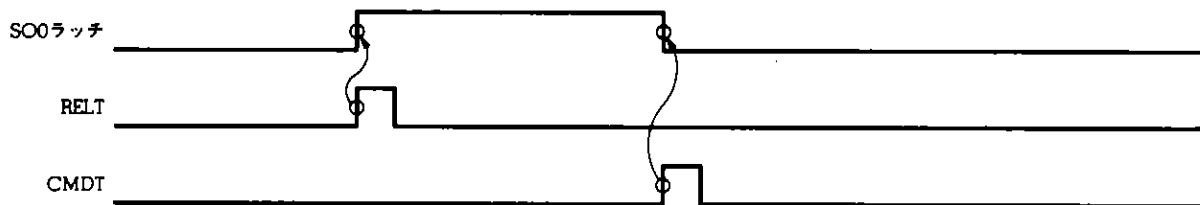
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{\text{SCK0}}$  端子の出力レベルは、出力モード (内部システム・クロックのモード) 時に、P27 出力ラッチを操作して制御します (14.4.5  $\overline{\text{SCK0}}$  端子出力の操作を参照)。

## (3) 各種信号

図 14-8 に RELT, CMDT の動作を示します。

図 14-8 RELT, CMDT の動作



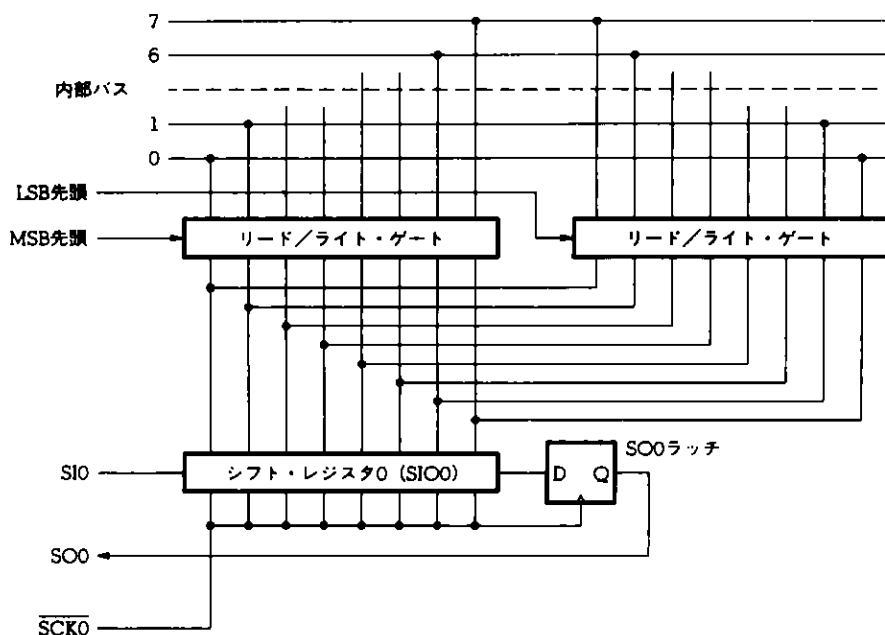
## (4) MSB/LSB 先頭の切り替え

3 線式シリアル I/O モードは、転送が MSB 先頭か、LSB 先頭かを選択できる機能を持っています。

図 14-9 にシリアル I/O シフト・レジスタ 0 (SIO0), および内部バスの構成を示します。図に示すように MSB/LSB を反転して読み出し/書き込みを行うことができます。

MSB/LSB 先頭切り替えは、シリアル動作モード・レジスタ 0 (CSIM0) のビット 2 (CSIM02) により指定できます。

図 14-9 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO0 へのデータ書き込みのビット順を切り替えることによって実現させています。SIO0 のシフト順は常に同じです。

したがって、MSB/LSB の先頭ビットの切り替えは、シフト・レジスタにデータを書き込む前に行ってください。

#### (5) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアル I/O シフト・レジスタ 0 (SIO0) に転送データをセットすることで開始します。

- シリアル・インタフェース 0 の動作の制御ビット (CSIE0) = 1
- 8 ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または  $\overline{\text{SCK0}}$  がハイ・レベルの状態

**注意** SIO0 にデータを書き込んだあと、CSIE0 を “1” にしても、転送はスタートしません。

8 ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF0) をセットします。

### 14.4.3 SBI モードの動作

SBI(シリアル・バス・インタフェース)は、NEC シリアル・バス・フォーマット準拠の高速シリアル・インタフェース方式です。

SBI は、シングル・マスタの高速シリアル・バスで、2本の信号線で複数のデバイスとの通信を行うことができるように、クロック同期式のシリアル I/O 方式に、バス構成のための機能が追加されたフォーマットになっています。そのため複数のマイコンや周辺 IC でシリアル・バスを構成する場合に、使用するポート数や基板上の配線数を削減することができます。

また、マスタは、スレーブに対してシリアル・データ・バス上に、シリアル通信の対象デバイス選択のための“アドレス”、対象デバイスに対して指令を与える“コマンド”、および実際の“データ”を出力することができます。スレーブは、受信したデータをハードウェアにより、“アドレス”、“コマンド”、“データ”に判別することができます。この機能により、応用プログラムのシリアル・インタフェース(チャンネル 0)の制御部分を簡単にすることができます。

SBI 機能は、「75X シリーズ」、8, 16ビット・シングルチップ・マイクロコンピュータ「78K シリーズ」などの数種のデバイスに内蔵されています。

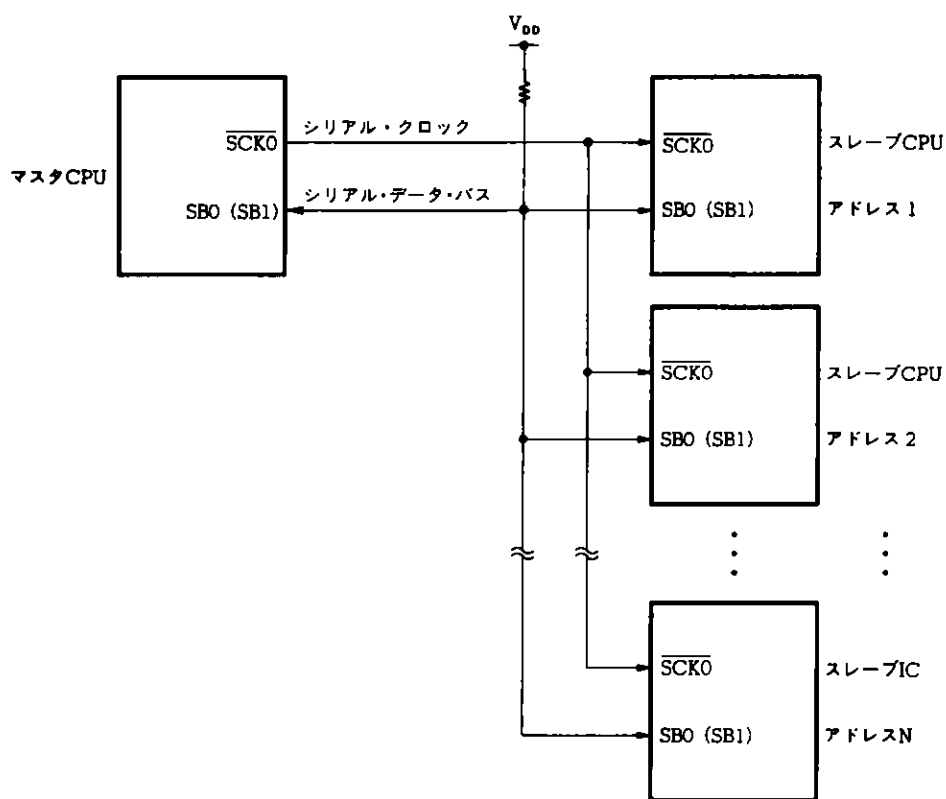
SBI に準拠するシリアル・インタフェースを有する CPU や、周辺 IC を使用した場合のシリアル・バス構成例を図 14-10 に示します。

SBI では、シリアル・データ・バス端子 SB0 (SB1) 端子は、オープン・ドレイン出力になっているため、シリアル・データ・バス・ラインは、ワイアード・オア状態になります。また、シリアル・データ・バス・ラインには、プルアップ抵抗が必要です。

SBI モード使用時には、後述の (10) **SBI モードの注意事項 (d)** を参照してください。



図 14 - 10 SBI によるシリアル・バス構成例



注意 マスタ/スレーブの交換処理を行う場合は、シリアル・クロック・ライン ( $\overline{\text{SCK0}}$ ) の入力/出力の切り替えがマスタ、スレーブ間で非同期に行われるため、シリアル・クロック・ライン ( $\overline{\text{SCK0}}$ ) にもプルアップ抵抗が必要となります。

**(1) SBI の機能**

従来のシリアル I/O 方式では、データ転送機能しか有していないために、複数のデバイスを接続してシリアル・バスを構成した場合に、チップ・セレクト信号やコマンド/データの区別、ビジー状態の判断などのため多くのポートや配線が必要となります。また、これらの制御をソフトウェアで行おうとすると、ソフトウェアの負担が大きくなってしまいます。

SBI では、シリアル・クロック  $\overline{\text{SCK0}}$  と、シリアル・データ・バス SB0 (SB1) の 2 本の信号線でシリアル・バスを構成することができます。そのため、マイコンのポート数の削減や、基板内の配線や引き回しの減少に有効となります。

SBI の機能について次に示します。

**(a) アドレス/コマンド/データの判断機能**

シリアル・データを、アドレス、コマンド、およびデータの 3 種類に区別します。

**(b) アドレスによるチップ・セレクト状態**

マスタは、アドレスの送信により、スレーブのチップ・セレクト（選択）を行います。

**(c) ウェイク・アップ機能**

スレーブは、ウェイク・アップ機能（ソフトウェアで設定/解除が可能）により、アドレス受信の判断（チップ・セレクトの判断）を容易に行うことができます。

ウェイク・アップ機能を設定した場合、一致アドレス受信時に割り込み要求信号 (INTCSIO) が発生します。

そのため、複数のデバイスと通信を行う場合も、選択されたスレーブ以外の CPU はシリアル通信に関係なく動作することができます。

**(d) アクノリッジ信号 ( $\overline{\text{ACK}}$ ) 制御機能**

シリアル・データの受信確認のための、アクノリッジ信号を制御します。

**(e) ビジー信号 ( $\overline{\text{BUSY}}$ ) 制御機能**

スレーブのビジー状態を知らせるための、ビジー信号を制御します。

## (2) SBI の定義

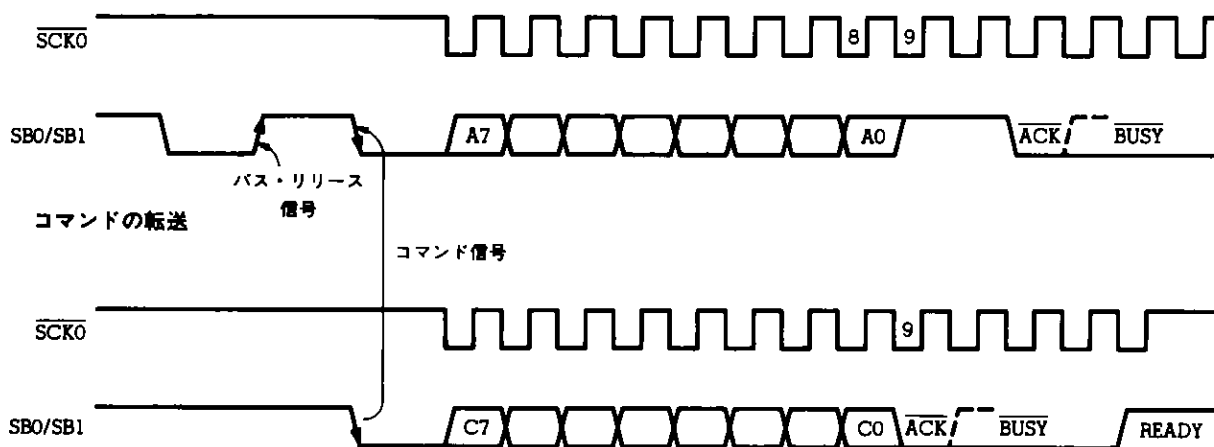
SBI のシリアル・データのフォーマットについて説明します。

SBI で転送されるシリアル・データは、「アドレス」、「コマンド」、「データ」の3種類に区別されます。

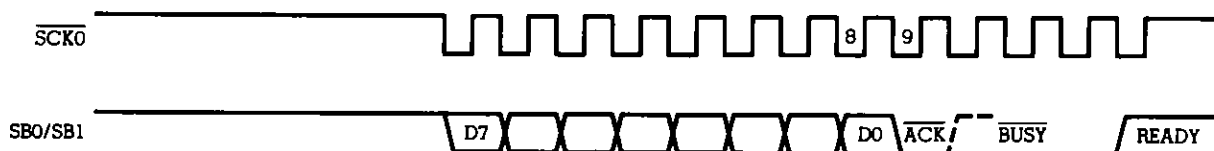
図 14-11 に、アドレス、コマンド、およびデータの転送タイミングを示します。

図 14-11 SBI 転送のタイミング

## アドレスの転送



## データの転送



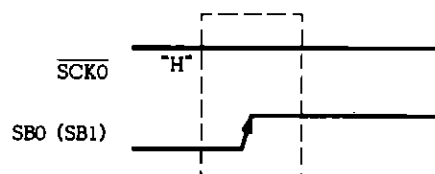
バス・リリース信号およびコマンド信号はマスタが出力します。また  $\overline{\text{BUSY}}$  はスレーブが出力します。 $\overline{\text{ACK}}$  はマスタ、スレーブのどちらでも出力できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロックは、8ビット・データ転送開始から、 $\overline{\text{BUSY}}$  が解除されるまで、マスタが出力し続けます。

## (a) バス・リリース信号 (REL)

バス・リリース信号は、 $\overline{\text{SCK0}}$  ラインがハイ・レベルのとき (シリアル・クロックが出力されていない場合) に、SB0 (SB1) ラインがロウ・レベルからハイ・レベルに変化した信号です。この信号は、マスタが出力します。

図 14-12 バス・リリース信号

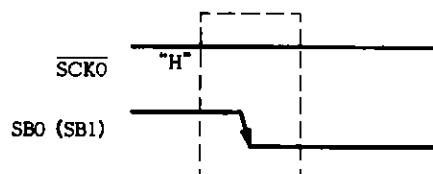


バス・リリース信号は、これからマスタがスレーブに対してアドレスを送信することを示すものです。スレーブは、バス・リリース信号を検出するハードウェアを内蔵しています。

## (b) コマンド信号 (CMD)

コマンド信号は、 $\overline{\text{SCK0}}$  ラインが、ハイ・レベルのとき (シリアル・クロックが出力されていない場合) に、SB0 (SB1) ラインがハイ・レベルからロウ・レベルに変化した信号です。この信号は、マスタが出力します。

図 14-13 コマンド信号

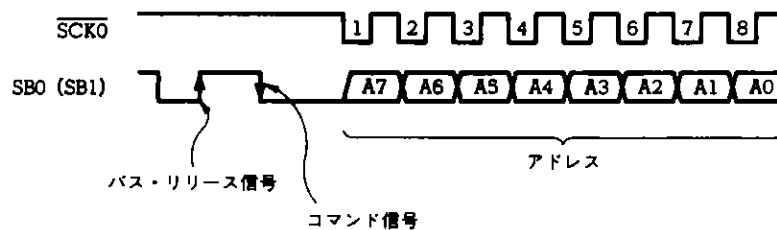


スレーブは、コマンド信号を検出するハードウェアを内蔵しています。

## (c) アドレス

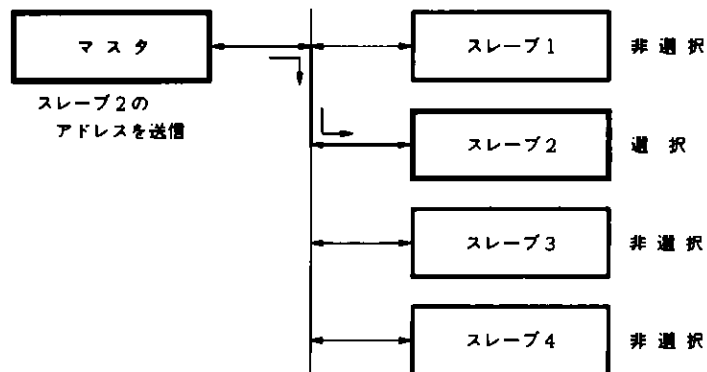
アドレスは、マスタがバス・ラインに接続されているスレーブに対して、特定のスレーブを選択するために出力する8ビット・データです。

図 14-14 アドレス



バス・リリース信号、コマンド信号に続く8ビット・データはアドレスと定義されています。スレーブでは、ハードウェアでこの条件を検出し、8ビット・データが自分の指定番号(スレーブ・アドレス)と一致しているかをハードウェアでチェックします。このとき、8ビット・データと、スレーブ・アドレスが一致すると、そのスレーブが選択されたことになり、以後、マスタから切り離し指示があるまで、マスタとの通信を行います。

図 14-15 アドレスによるスレーブの選択



## (d) コマンド、データ

アドレスの送信により選択したスレーブに対して、マスタはコマンドの送信や、データの送受信を行います。

図 14 - 16 コマンド

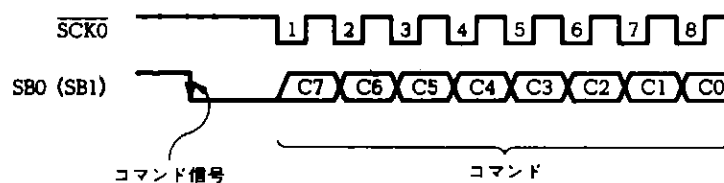
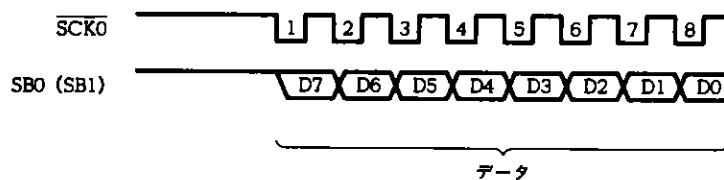


図 14 - 17 データ



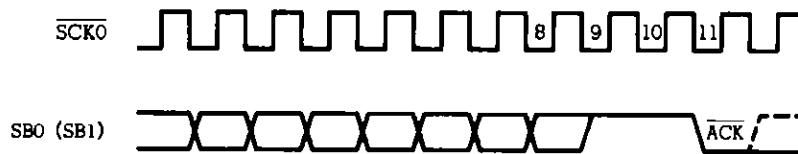
コマンド信号の次の 8 ビット・データはコマンドと定義されています。コマンド信号なしの 8 ビット・データはデータと定義されています。コマンド、データの使用方法は、通信の仕様によって任意に決定することができます。

(e) アクノリッジ信号 ( $\overline{\text{ACK}}$ )

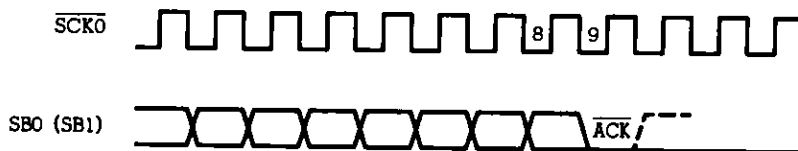
アクノリッジ信号は、送信側と受信側の間における、シリアル・データ受信の確認のための信号です。

図 14 - 18 アクノリッジ信号

[11クロック目の  $\overline{\text{SCK0}}$  に同期して出力した場合]



[9クロック目の  $\overline{\text{SCK0}}$  に同期して出力した場合]



アクノリッジ信号は、8ビット・データ転送後の  $\overline{\text{SCK0}}$  の立ち下がりに同期したワンショット・パルスで、その位置は任意で何クロック目の  $\overline{\text{SCK0}}$  に同期させてもかまいません。

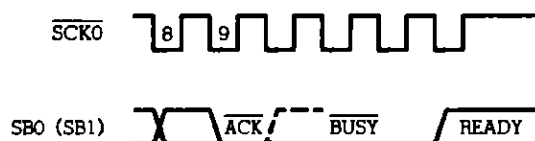
送信側は、8ビット・データ送信後、受信側がアクノリッジ信号を返したかをチェックします。データ送信後、一定時間、アクノリッジ信号が返らない場合は、受信が正しく行われなかったものと判断することができます。

(f) ビジィ信号 ( $\overline{\text{BUSY}}$ ), レディ信号 ( $\text{READY}$ )

ビジィ信号は、スレーブがデータの送受信のための準備中であることをマスタに知らせるための信号です。

レディ信号は、スレーブがデータの送受信が可能であることをマスタに知らせるための信号です。

図 14-19 ビジィ信号, レディ信号



SBI では、スレーブが、SBO (SB1) ラインをロウ・レベルにすることにより、マスタにビジィ状態を知らせます。

ビジィ信号は、マスタ、またはスレーブの出力したアクノリッジ信号にひき続いて出力されます。ビジィ信号は、 $\overline{\text{SCK0}}$  の立ち下がりに同期して、設定/解除を行います。マスタは、ビジィ信号が解除されると自動的にシリアル・クロック  $\overline{\text{SCK0}}$  の出力を終了します。

マスタは、ビジィ信号が解除され、レディ信号の状態になると次の転送を開始することができます。

## (3) レジスタの設定

SBI モードの設定は、シリアル動作モード・レジスタ 0 (CSIMO), シリアル・バス・インタフェース・コントロール・レジスタ (SBIC), 割り込みタイミング指定レジスタ (SINT) で行います。

## (a) シリアル動作モード・レジスタ 0 (CSIMO)

CSIMO は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、OOH になります。

■ は SBI モードにおける使用ビットを示します。



|       |       |       |     |       |       |       |       |       |       |       |                   |
|-------|-------|-------|-----|-------|-------|-------|-------|-------|-------|-------|-------------------|
| 略号    | ⑦     | ⑥     | ⑤   | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W               |
| CSIM0 | CSIM0 | CSIM0 | WUP | CSIM0 | CSIM0 | CSIM0 | CSIM0 | CSIM0 | FF60H | 00H   | R/W <sup>注1</sup> |

|     |        |        |                                             |
|-----|--------|--------|---------------------------------------------|
| R/W | CSIM01 | CSIM00 | シリアル・インタフェース・チャンネル0のクロックの選択                 |
|     | 0      | ×      | SCK0 端子への外部からの入力クロック                        |
|     | 1      | 0      | 8ビット・タイマ・レジスタ2 (TM2) の出力                    |
|     | 1      | 1      | タイマ・クロック選択レジスタ3 (TCL3) のビット0-ビット3で指定されたクロック |

| R/W | CSIM04 | CSIM03 | CSIM02                                        | PM25    | P25     | PM26    | P26     | PM27 | P27 | 動作モード   | 先頭ビット | SIO/SB0/P25<br>端子の機能           | SO0/SB1/P26<br>端子の機能           | SCK0/P27<br>端子の機能  |
|-----|--------|--------|-----------------------------------------------|---------|---------|---------|---------|------|-----|---------|-------|--------------------------------|--------------------------------|--------------------|
|     | 0      | ×      | 3線式シリアル I/O モード (14.4.2 3線式シリアル I/O モードの動作参照) |         |         |         |         |      |     |         |       |                                |                                |                    |
|     | 1      | 0      | 0                                             | 注2<br>× | 注2<br>× | 0       | 0       | 0    | 1   | SBI モード | MSB   | P25<br>(CMOS 入出力)              | SB1<br>(N-ch オープン・<br>ドレイン入出力) | SCK0<br>(CMOS 入出力) |
|     |        |        | 1                                             | 0       | 0       | 注2<br>× | 注2<br>× | 0    | 1   |         |       | SB0<br>(N-ch オープン・<br>ドレイン入出力) | P26<br>(CMOS 入出力)              |                    |
|     | 1      | 1      | 2線式シリアル I/O モード (14.4.4 2線式シリアル I/O モードの動作参照) |         |         |         |         |      |     |         |       |                                |                                |                    |

|     |     |                                                                                 |
|-----|-----|---------------------------------------------------------------------------------|
| R/W | WUP | ウェイク・アップ機能の制御                                                                   |
|     | 0   | すべてのモードで、シリアル転送ごとに割り込み要求信号を発生                                                   |
|     | 1   | SBI モード時、バス・リリース後 (CMDD=RELD=1 のとき) に受信したアドレスがスレープ・アドレス・レジスタと一致したとき、割り込み要求信号を発生 |

|   |     |                                             |
|---|-----|---------------------------------------------|
| R | COI | スレープ・アドレス比較結果フラグ <sup>注3</sup>              |
|   | 0   | スレープ・アドレス・レジスタとシリアル I/O シフト・レジスタ0のデータが一致しない |
|   | 1   | スレープ・アドレス・レジスタとシリアル I/O シフト・レジスタ0のデータが一致する  |

|     |       |                           |
|-----|-------|---------------------------|
| R/W | CSIE0 | シリアル・インタフェース・チャンネル0の動作の制御 |
|     | 0     | 動作停止                      |
|     | 1     | 動作許可                      |

注1. ビット6 (COI) は、Read Only です。

2. ポート機能として自由に使用できます。

3. CSIE0=0 のとき、COI は0になります。

備考 × : don't care

## (b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBIC は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

■ は SBI モードにおける使用ビットを示します。

| 略号   | ⑦   | ⑥    | ⑤    | ④    | ③   | ②    | ①    | ⑦    | アドレス  | リセット時 | R/W              |
|------|-----|------|------|------|-----|------|------|------|-------|-------|------------------|
| SBIC | BSY | ACKD | ACKB | ACKC | CMD | RELD | CMDT | RELT | FF61H | 00H   | R/W <sup>注</sup> |

|      |  |                                                                                           |
|------|--|-------------------------------------------------------------------------------------------|
| R/W  |  | バス・リリース信号出力のために使用する。                                                                      |
| RELT |  | RELT=1 により、SO ラッチがセット (1) される。SO ラッチをセット後、自動的にクリア (0) される。<br>また、CSIE0=0 のときもクリア (0) される。 |

|      |  |                                                                                           |
|------|--|-------------------------------------------------------------------------------------------|
| R/W  |  | コマンド信号出力のために使用する。                                                                         |
| CMDT |  | CMDT=1 により、SO ラッチがクリア (0) される。SO ラッチをクリア後、自動的にクリア (0) される。<br>また、CSIE0=0 のときもクリア (0) される。 |

|                                                                                                                                                                                  |      |                                                                        |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|------------------------------------------------------------------------|
| R                                                                                                                                                                                | RELD | バス・リリース検出                                                              |
| クリアされる条件 (RELD=0)                                                                                                                                                                |      | セットされる条件 (RELD=1)                                                      |
| <ul style="list-style-type: none"> <li>・転送スタート命令実行時</li> <li>・アドレス受信時に SIO0 と SVA の値が一致しないとき</li> <li>・CSIE0=0 のとき</li> <li>・<math>\overline{\text{RESET}}</math> 入力時</li> </ul> |      | <ul style="list-style-type: none"> <li>・バス・リリース信号 (REL) 検出時</li> </ul> |

注 ビット 2, 3, 6 (RELD, CMDT, ACKD) は、Read Only です。

(続く)

備考 ビット 0, 1, 4 (RELT, CMDT, ACKT) は、データ設定後に読み出すと 0 になっています。

|   |      |                                                                                                                                                                       |                                                                     |
|---|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------|
| R | CMDD | コマンド検出                                                                                                                                                                |                                                                     |
|   |      | クリアされる条件 (CMDD=0)                                                                                                                                                     | セットされる条件 (CMDD=1)                                                   |
|   |      | <ul style="list-style-type: none"> <li>・転送スタート命令実行時</li> <li>・バス・リリース信号 (REL) 検出時</li> <li>・CSIE0=0 のとき</li> <li>・<math>\overline{\text{RESET}}</math> 入力時</li> </ul> | <ul style="list-style-type: none"> <li>・コマンド信号 (CMD) 検出時</li> </ul> |

|     |      |                                                                                                                                                                                       |
|-----|------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| R/W | ACKT | <p>セット (1) する命令実行直後の <math>\overline{\text{SCK0}}</math> のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア (0) される。ACKE=0 として使用する。</p> <p>また、シリアル・インタフェースの転送開始、CSIE0=0 のときもクリア (0) される。</p> |
|-----|------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

|     |      |                                                                                                                                                                                                                                                                                     |  |
|-----|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--|
| R/W | ACKE | アクノリッジ信号出力の制御                                                                                                                                                                                                                                                                       |  |
|     | 0    | アクノリッジ信号の自動出力禁止 (ACKT による出力は可能)                                                                                                                                                                                                                                                     |  |
|     | 1    | <p>転送完了前</p> <p><math>\overline{\text{SCK0}}</math> の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE=1 により、自動出力される)。</p> <p>転送完了後</p> <p>セット (1) する命令実行直後の <math>\overline{\text{SCK0}}</math> のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE=1 により、自動出力される)。ただし、アクノリッジ信号を出力後、自動的にクリア (0) されない。</p> |  |

|   |      |                                                                                                                                                                                                     |                                                                                                                                                                |
|---|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| R | ACKD | アクノリッジ検出                                                                                                                                                                                            |                                                                                                                                                                |
|   |      | クリアされる条件 (ACKD=0)                                                                                                                                                                                   | セットされる条件 (ACKD=1)                                                                                                                                              |
|   |      | <ul style="list-style-type: none"> <li>・転送スタート命令実行時、ビジー・モードを解除した直後の <math>\overline{\text{SCK0}}</math> の立ち下がり時</li> <li>・CSIE0=0 のとき</li> <li>・<math>\overline{\text{RESET}}</math> 入力時</li> </ul> | <ul style="list-style-type: none"> <li>・転送完了後の <math>\overline{\text{SCK0}}</math> のクロックの立ち上がりエッジでアクノリッジ信号 (<math>\overline{\text{ACK}}</math>) 検出時</li> </ul> |

★

|     |                   |                                                                               |  |
|-----|-------------------|-------------------------------------------------------------------------------|--|
| R/W | BSYE <sup>注</sup> | 同期ビジー信号出力の制御                                                                  |  |
|     | 0                 | クリア (0) する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期した、ビジー信号の出力を禁止する。 |  |
|     | 1                 | アクノリッジ信号に続く $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジからビジー信号を出力する。              |  |

注 シリアル・インタフェースの転送開始、またはアドレス信号受信によってビジー・モードを解除できます。ただし、BSYE フラグは 0 にクリアされません。

## (c) 割り込みタイミング指定レジスタ (SINT)

SINT は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

■ は SBI モードにおける使用ビットを示します。

| 略号   | 7 | ⑥   | ⑤   | ④    | 3 | 2 | 1 | 0 | アドレス  | リセット時 | R/W               |
|------|---|-----|-----|------|---|---|---|---|-------|-------|-------------------|
| SINT | 0 | CLD | SIC | SVAM | 0 | 0 | 0 | 0 | FF63H | 00H   | R/W <sup>注1</sup> |

|     |      |                           |
|-----|------|---------------------------|
| R/W | SVAM | スレープ・アドレスとして使用する SVA のビット |
| 0   |      | ビット 0-ビット 7               |
| 1   |      | ビット 1-ビット 7               |

|     |     |                                                        |
|-----|-----|--------------------------------------------------------|
| R/W | SIC | INTCSIO の割り込み要因の選択 <sup>注2</sup>                       |
| 0   |     | シリアル・インタフェース・チャンネル 0 の転送終了時に CSIF0 をセットする              |
| 1   |     | シリアル・インタフェース・チャンネル 0 の転送終了時またはバス・リリース検出時に CSIF0 をセットする |

|   |     |                                               |
|---|-----|-----------------------------------------------|
| R | CLD | $\overline{\text{SCK0}}$ 端子のレベル <sup>注3</sup> |
| 0 |     | ロウ・レベル                                        |
| 1 |     | ハイ・レベル                                        |

注意 ビット 0-ビット 3 には、必ず 0 を設定してください。

注 1. ビット 6 (CLD) は、Read Only です。

2. ウェイク・アップ機能を使用する場合は、SIC に 0 を設定してください。

3. CSIE0=0 のとき、CLD は 0 になります。

備考 SVA : スレープ・アドレス・レジスタ

## (4) 各種信号

SBI における、各種の信号と、SBIC 上のフラグの動作について図 14-20 から図 14-25 に示します。また、SBI の各種の信号の一覧を表 14-3 に示します。

図 14-20 RELT, CMDT, RELD, CMDD の動作 (マスタ)

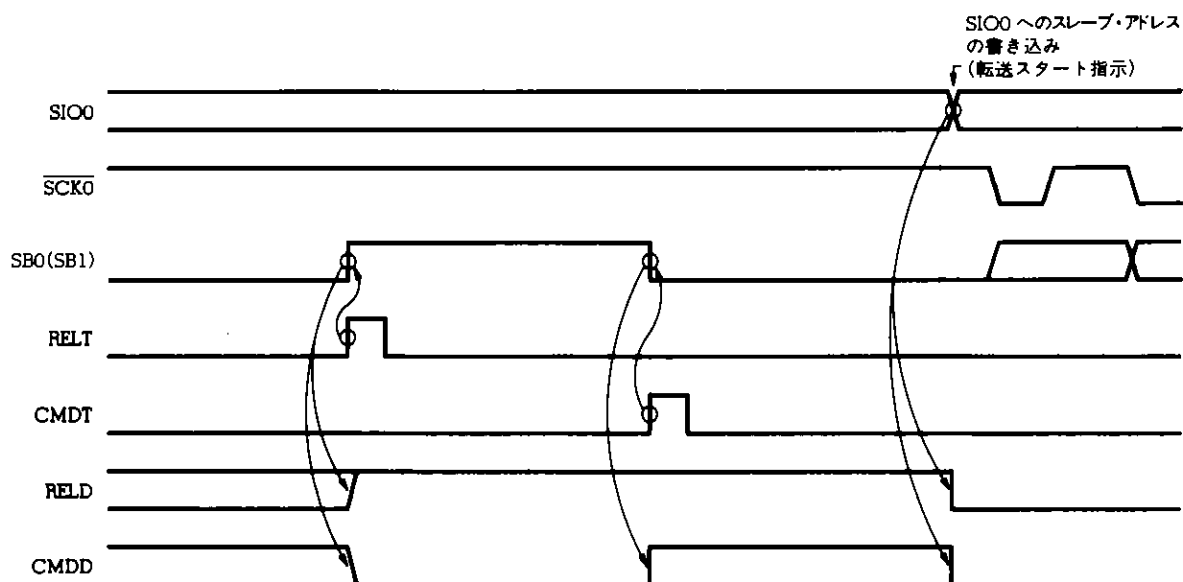


図 14-21 RELT, CMDT, RELD, CMDD の動作 (スレーブ)

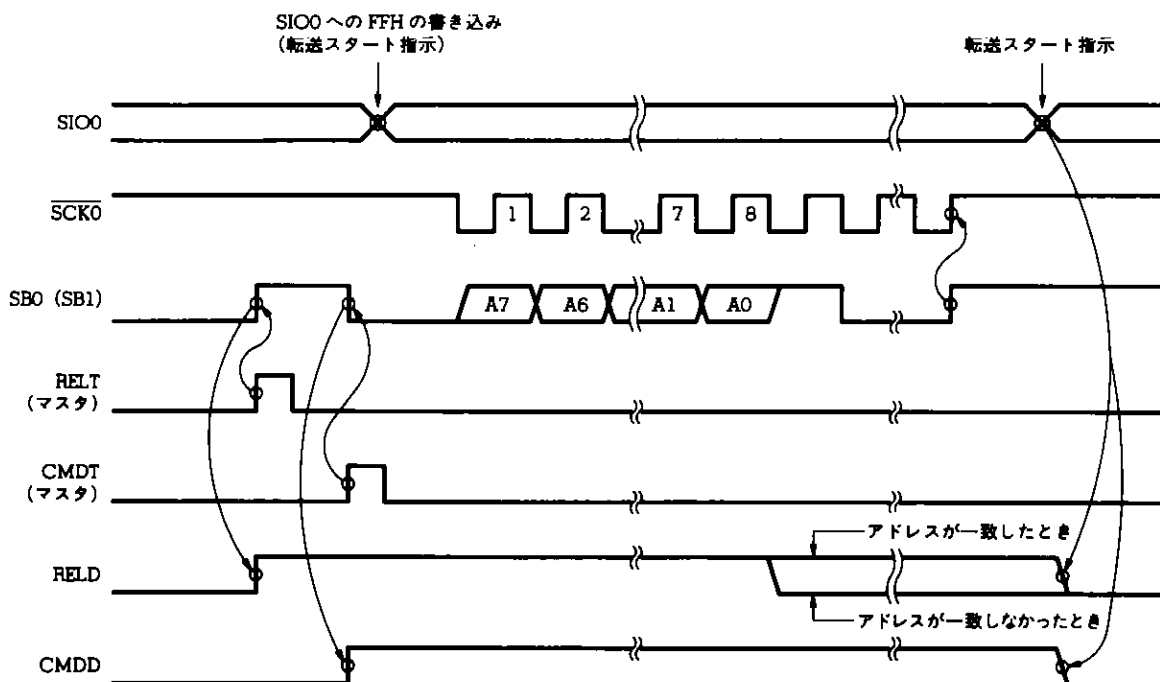
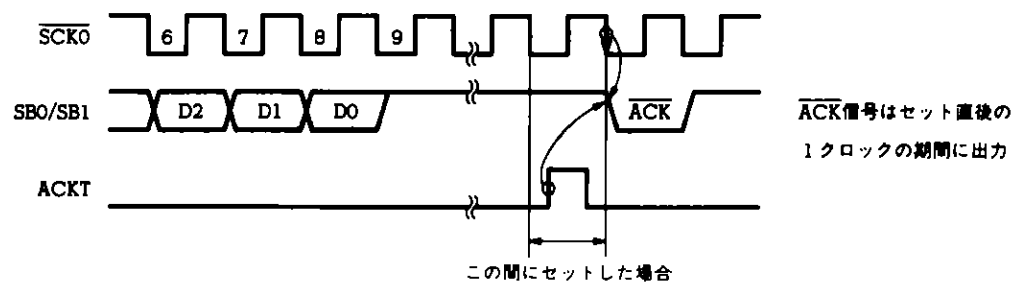


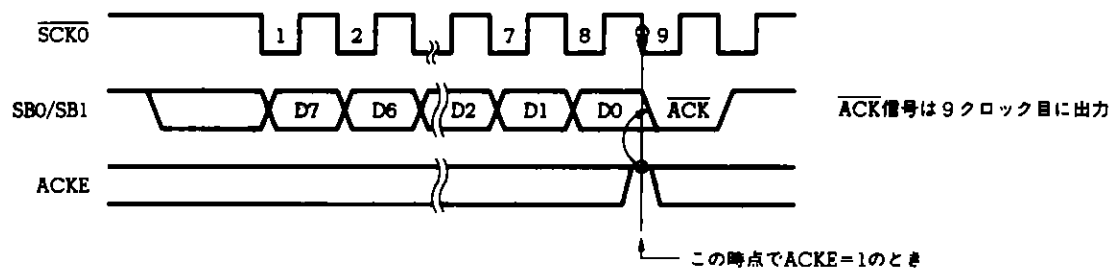
図 14 - 22 ACKT の動作



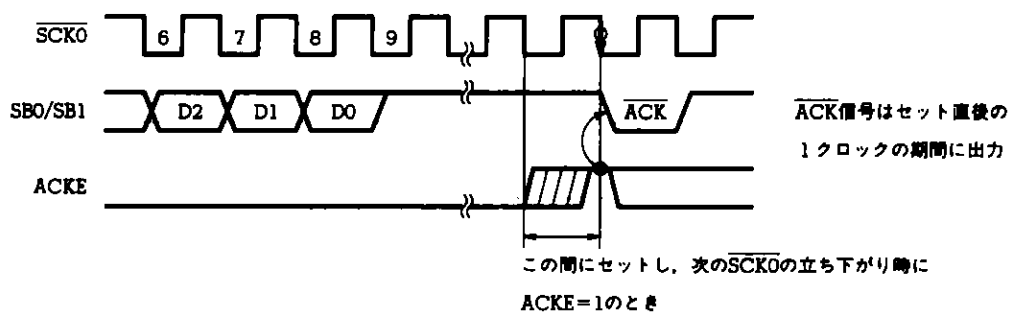
**注意** ACKT は転送終了前にはセットしないでください。

図 14-23 ACKE の動作

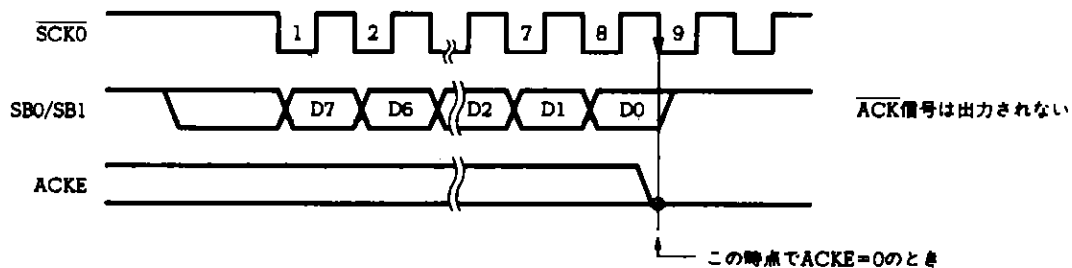
(a) 転送完了時に  $ACK_E = 1$  の場合



(b) 転送完了後にセットした場合



(c) 転送完了時に  $ACK_E = 0$  の場合



(d)  $ACK_E = 1$  の期間が短い場合

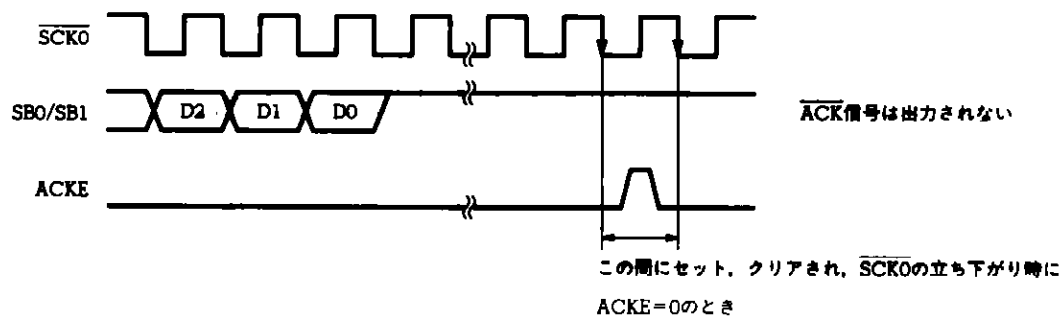
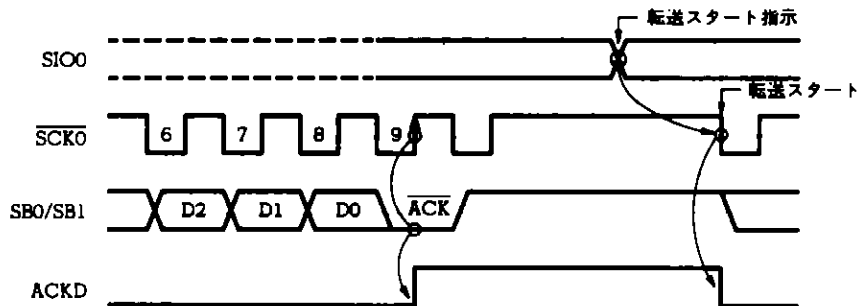
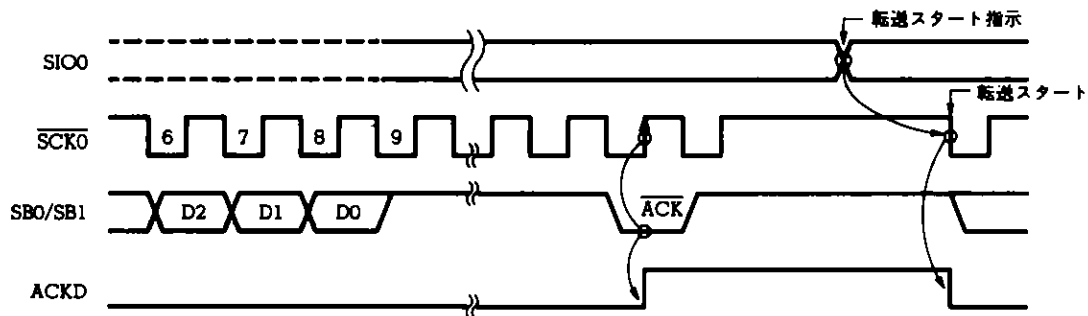


図 14-24 ACKD の動作

(a)  $\overline{SCK0}$  の 9 クロック目の間に  $\overline{ACK}$  信号が出力された場合



(b)  $\overline{SCK0}$  の 9 クロック目以降に  $\overline{ACK}$  信号が出力された場合



(c) BUSY 中に転送スタート指示した場合のクリアのタイミング

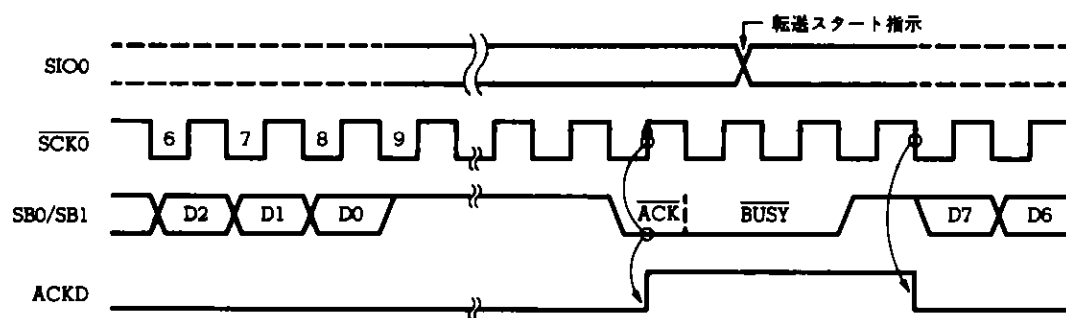


図 14-25 BSYE の動作

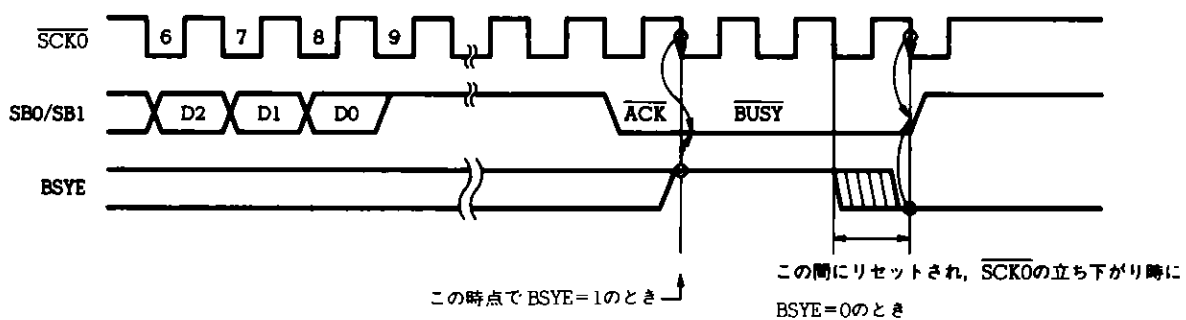




表 14-3 SBI モードにおける各種の信号 (1/2)

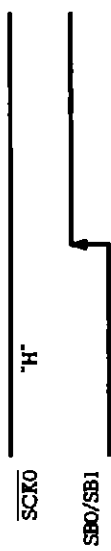
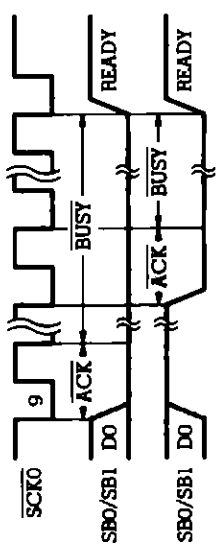
| 信号名称                          | 出力するデバイス     | 定義                                                               | タイミング・チャート                                                                                           | 出力される条件                                                               | フラグへの影響                    | 信号の意味                                                                |
|-------------------------------|--------------|------------------------------------------------------------------|------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------|----------------------------|----------------------------------------------------------------------|
| バス・リリース信号 (REL)               | マスタ          | $\overline{SCK0}=1$ のときの、SBO/SB1 の立ち上がりエッジ                       |                    | • RELT のセット                                                           | • RELD をセット<br>• CMDD をクリア | 続いて CMD 信号を出<br>力し、送信データが<br>アドレスであること<br>を示す。                       |
| コマンド信号 (CMD)                  | マスタ          | $\overline{SCK0}=1$ のときの、SBO/SB1 の立ち下がりエッジ                       |                    | • CMDT のセット                                                           | • CMDD をセット                | i) REL 信号出力後<br>送信データはアド<br>レス。<br>ii) REL 信号出力なし<br>送信データはコマ<br>ンド。 |
| アクノリッジ信号 ( $\overline{ACK}$ ) | マスタ/<br>スレーブ | シリアル受信完了後、 $\overline{SCK0}$ の 1 クロックの期間 SBO/SB1 に出力されるロウ・レベルの信号 | <p>(同期ビジー出力)</p>  | ① $\overline{ACKE}=1$<br>② $\overline{ACKT}$ のセット                     | • $\overline{ACKD}$ をセット   | 受信完了。                                                                |
| ビジー信号 (BUSY)                  | スレーブ         | 【同期ビジー信号】<br>アクノリッジ信号に続いて SBO/SB1 に出力されるロウ・レベルの信号                |                                                                                                      | • BSYE = 1                                                            | -                          | 処理中のため、シリ<br>アル受信不可能状態。                                              |
| レディ信号 (READY)                 | スレーブ         | シリアル転送開始前、完了後 SBO/SB1 に出力されるハイ・レベルの信号                            |                                                                                                      | ① BSYE = 0<br>② SIOO へのデー<br>タ書き込み命令<br>実行 (転送開始<br>指示)<br>③ アドレス信号受信 | -                          | シリアル受信可能状<br>態。                                                      |

表 14-3 SBI モードにおける各種の信号 (2/2)

| 信号名称                                          | 出力する<br>デバイス | 定義                                                                                         | タイミング・チャート | 出力される条件                                        | フラグへの影響                                              | 信号の意味                    |
|-----------------------------------------------|--------------|--------------------------------------------------------------------------------------------|------------|------------------------------------------------|------------------------------------------------------|--------------------------|
| シリアル・<br>クロック<br>( $\overline{\text{SCK0}}$ ) | マスタ          | アドレス/コマンド/データ、 $\overline{\text{ACK}}$ 信号、同期BUSY信号等の出力のための同期クロック。最初の8個でアドレス/コマンド/データを転送する。 |            |                                                |                                                      | シリアル・データ・バスへの信号出力のタイミング  |
| アドレス<br>(A7-A0)                               | マスタ          | REL信号、CMD信号出力後に、 $\overline{\text{SCK0}}$ に同期して転送される8ビット・データ。                              |            | CSIE0=1のときの、SIO0へのデータ書き込み命令実行(シリアル転送のスタート指示)注2 | CSIE0をセット( $\overline{\text{SCK0}}$ の9クロック目の立ち上がり)注1 | シリアル・バス上のスレーブ・デバイスのアドレス値 |
| コマンド<br>(C7-C0)                               | マスタ          | REL信号は出力されず、CMD信号のみ出力された後、 $\overline{\text{SCK0}}$ に同期して転送される8ビット・データ。                    |            |                                                |                                                      | スレーブ・デバイスへの指示・メッセージ      |
| データ<br>(D7-D0)                                | マスタ/<br>スレーブ | REL信号、CMD信号ともに出力されず、 $\overline{\text{SCK0}}$ に同期して転送される8ビット・データ。                          |            |                                                |                                                      | スレーブ、またはマスタ・デバイスが処理する数値  |

注 1. WUP=0のとき、常に9クロック目の $\overline{\text{SCK0}}$ の立ち上がりでCSIE0をセットする。

WUP=1のとき、アドレスを受信し、そのアドレスがスレーブ・アドレス・レジスタ (SVA) の値と一致したときのみ、CSIE0をセットする。

2. BUSY状態のときは、READY状態になったあと、転送スタートする。

## (5) 端子構成

シリアル・クロック端子 ( $\overline{\text{SCK0}}$ ) と、シリアル・データ・バス端子  $\text{SB0}$  ( $\text{SB1}$ ) の構成は、次のようになっています。

(a)  $\overline{\text{SCK0}}$  ..... シリアル・クロックを入出力するための端子

① マスタ ..... CMOS, プッシュプル出力

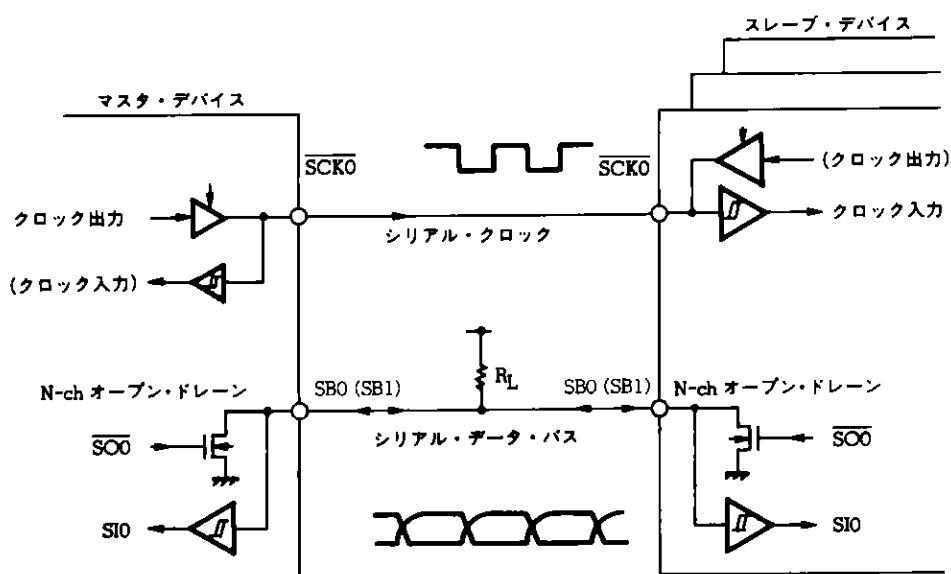
② スレーブ ... シュミット入力

(b)  $\text{SB0}$  ( $\text{SB1}$ ) ..... シリアル・データの入出力兼用端子

マスタ, スレーブ共に出力は N-ch オープン・ドレイン, 入力は, シュミット入力

シリアル・データ・バス・ラインは, 出力が N-ch オープン・ドレインのため, 外部にプルアップ抵抗が必要となります。

図 14-26 端子構成図



**注意** データ受信時には N-ch オープン・ドレインをオフする必要がありますので、 $\text{SIO0}$  にはあらかじめ FFH を書き込んでおいてください。転送中は常にオフさせることができます。ただし、ウェイク・アップ機能指定ビット ( $\text{WUP}$ ) = 1 の場合は、N-ch トランジスタは常にオフとなりますので、受信前に、 $\text{SIO0}$  に FFH を書き込む必要はありません。

**(6) アドレスの一致検出方法**

SBI モードでは、マスタのアドレス通信より、特定のスレーブ・デバイスを選択し、通信がスタートされます。

アドレス一致の検出は、ハードウェアで行います。スレーブ・アドレス・レジスタ (SVA) を備え、ウェイク・アップ状態 (WUP=1) では、マスタから送信されたアドレスと SVA に設定された値が一致したときのみ、CSIF0 をセットします。

**注意 1.** スレーブの選択、非選択状態の検出は、バス・リリース (RELD=1 の状態) のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、WUP=1 の状態で発生するアドレスの一致割り込み (INTCSIO) を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出は、WUP=1 の状態で行ってください。

**2.** WUP=0 で、割り込みを使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で行ってください。

**(7) エラーの検出**

SBI モードでは、送信中のシリアル・バス SBO/SB1 の状態が送信しているデバイスのシリアル I/O シフト・レジスタ 0 (SIO0) にも取り込まれるため、次の方法によって送信エラーの検出をすることができます。

**(a) 送信開始前と送信終了後の SIO0 のデータを比較する方法**

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

**(b) スレーブ・アドレス・レジスタ (SVA) を利用する方法**

送信データを SIO0 と SVA にもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ 0 (CSIM0) の COI ビット (アドレス・コンパレータからの一致信号) をテストし、“1” ならば正常な送信、“0” ならば送信エラーと判断します。

**(8) 通信動作**

SBI モードでは、マスタがシリアル・バス上に「アドレス」を出力することで複数のデバイスのうち、通信対象となるスレーブ・デバイスを通常 1 つ選択します。

通信対象デバイスを決定したのちに、マスタ・デバイスとスレーブ・デバイスとの間で、コマンド、データの送受信を行い、シリアル通信を実現します。

各データ通信のタイミング・チャートを図 14-27 から図 14-30 に示します。

シリアル・クロック ( $\overline{\text{SCK0}}$ ) の立ち下がりに同期してシフト・レジスタのシフト動作が行われ、送信データが SO0 ラッチに、SB0/P25 端子または、SB1/P26 端子から MSB を先頭にして出力されます。また、 $\overline{\text{SCK0}}$  の立ち上がりで SB0 (または SB1) 端子に入力された受信データがシフト・レジスタにラッチされます。

図 14-27 マスタ・デバイスからスレーブ・デバイス (WUP=1) へのアドレス送信動作

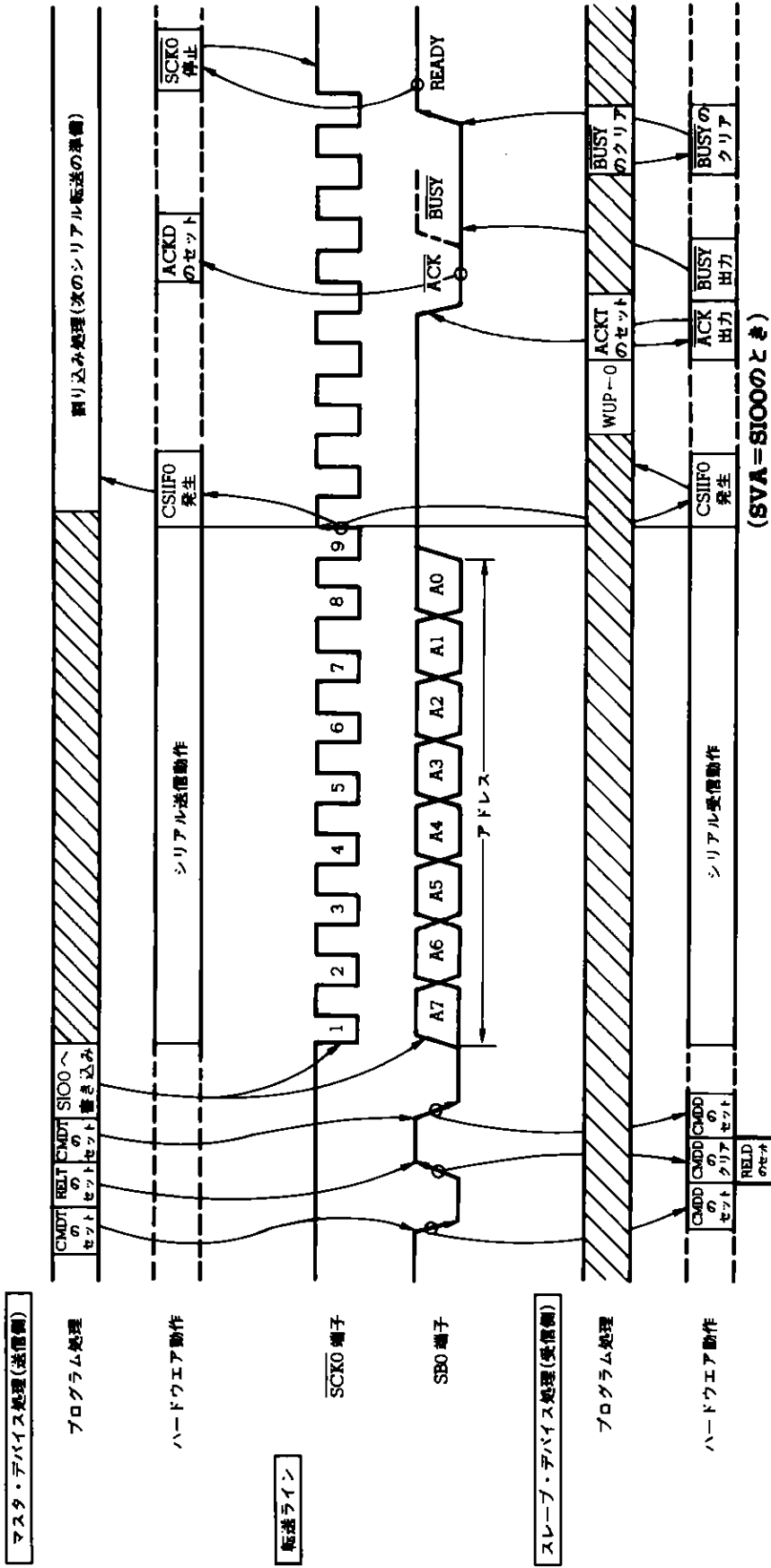


図 14-28 マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作

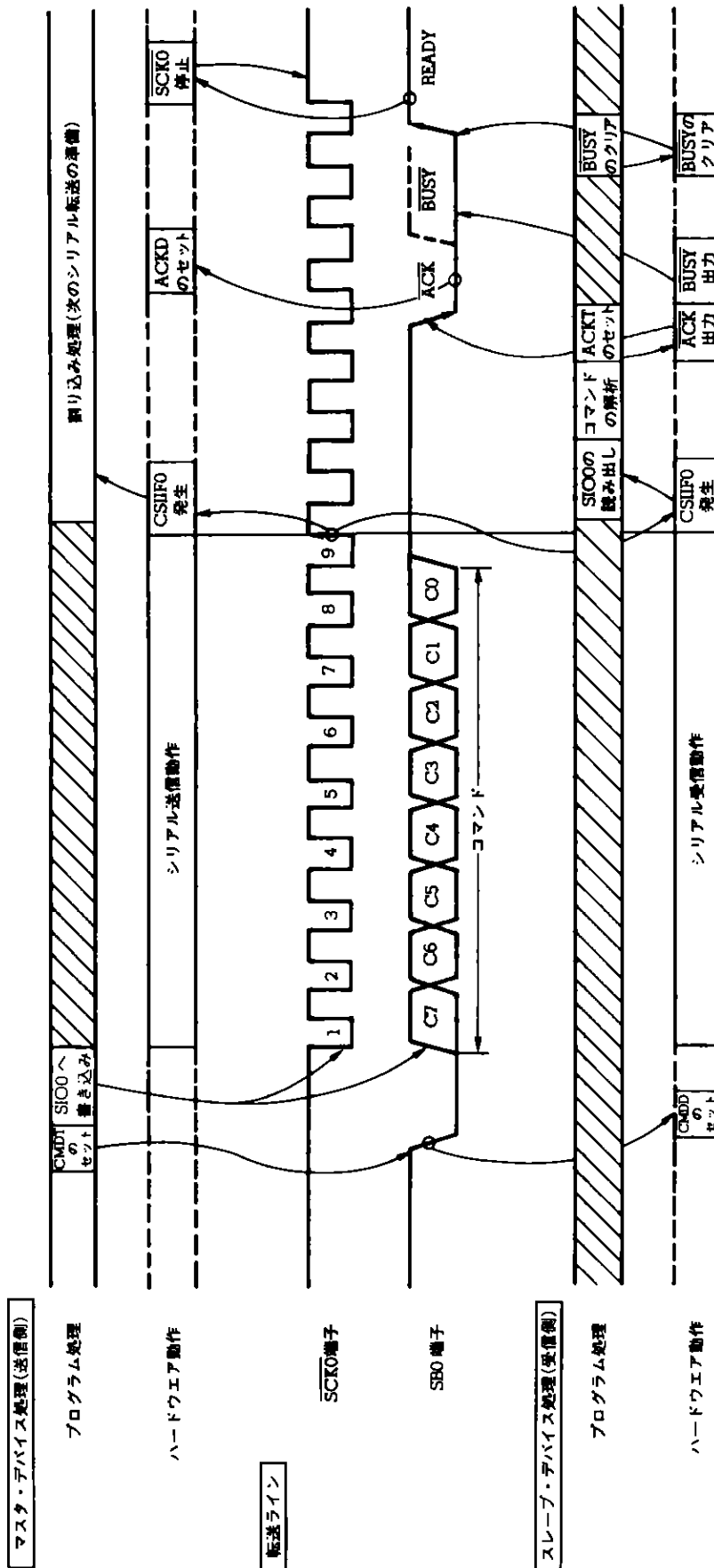


図 14-29 マスタ・デバイスからスレーブ・デバイスへのデータ送信動作

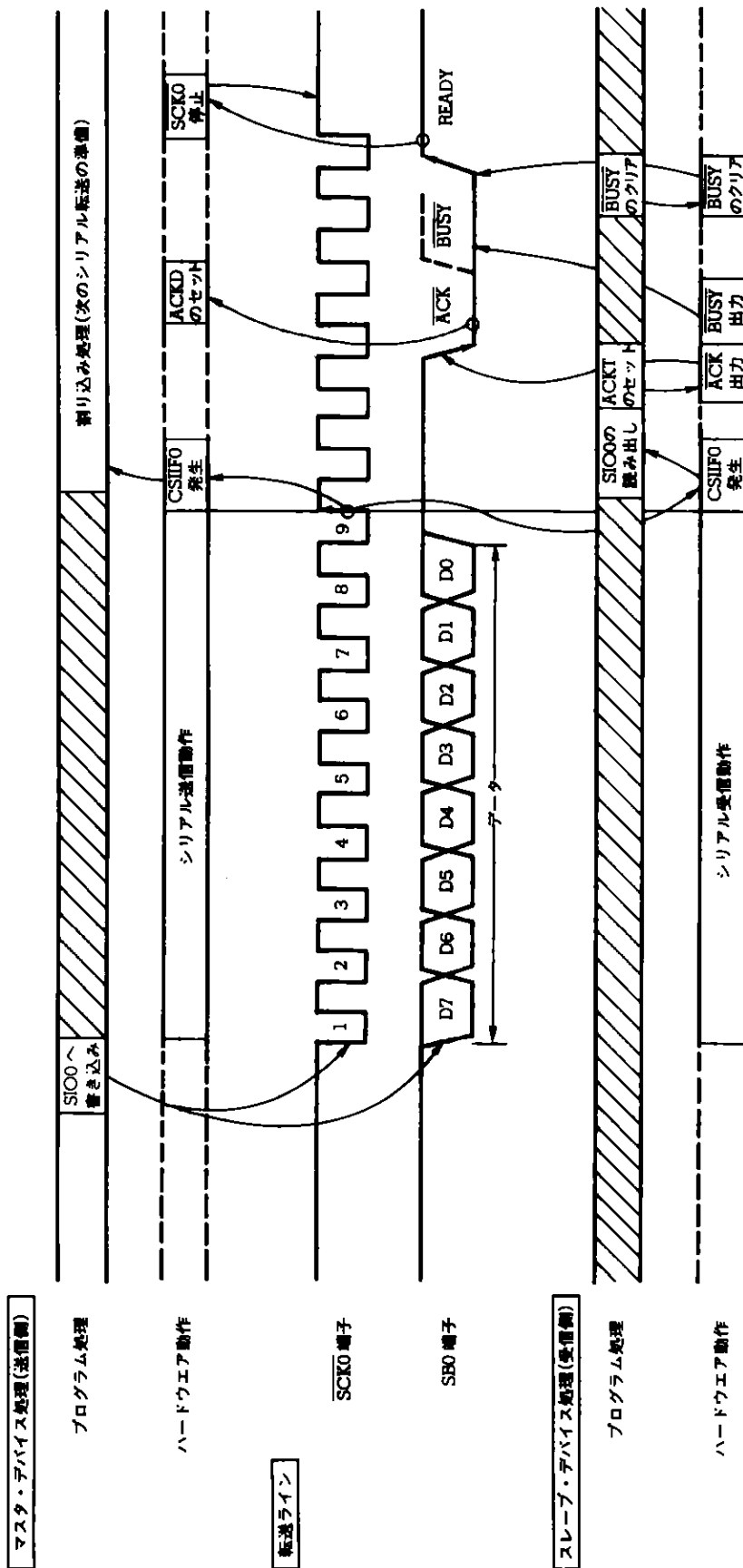
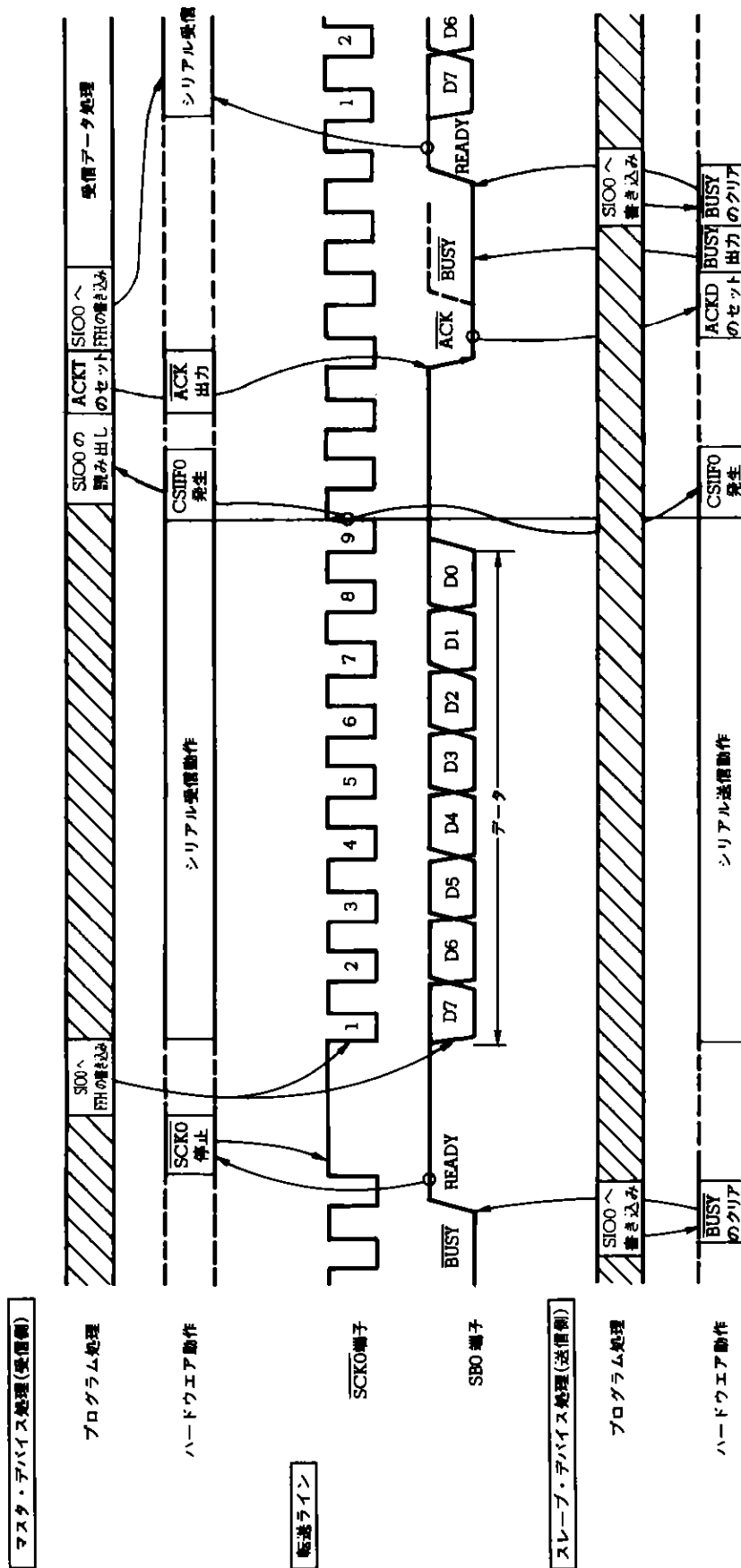




図 14-30 スレーブ・デバイスからマスタ・デバイスへのデータ送信動作



**(9) 転送スタート**

シリアル転送は、次の2つの条件を満たしたとき、シリアル I/O シフト・レジスタ0 (SIO0) に転送データをセットすることで開始します。

- シリアル・インタフェース 0 の動作の制御ビット (CSIE0) = 1
- 8 ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または  $\overline{SCK0}$  がハイ・レベルの状態

**注意 1.** SIO0 にデータを書き込んだあと、CSIE0 を“1”にしてもスタートはしません。

2. データ受信時には N-ch トランジスタをオフする必要がありますので、SIO0 にはあらかじめ FFH を書き込んでおいてください。

ただし、ウエイク・アップ機能指定ビット (WUP) = 1 の場合は、N-ch トランジスタは常にオフとなりますので、受信前に、SIO0 に FFH を書き込む必要はありません。

3. スレープがビジィ状態のときに、SIO0 にデータを書き込んだ場合、そのデータは失われません。

ビジィ状態が解除されて、SBO (または SB1) 入力がハイ・レベル (レディ) 状態になったときに転送がスタートします。

8 ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSHIF0) をセットします。

## (10) SBI モードの注意事項

(a) スレーブの選択、非選択状態の検出は、バス・リリース ( $\overline{\text{RELD}}=1$  の状態) のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、 $\text{WUP}=1$  の状態で発生するアドレスの一致割り込み ( $\text{INTCSIO}$ ) を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出は、 $\text{WUP}=1$  の状態で行ってください。

(b)  $\text{WUP}=0$  で、割り込みを使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で行ってください。

(c)  $\overline{\text{BUSY}}$  信号出力中に  $\text{WUP} \leftarrow 1$  とすると、 $\overline{\text{BUSY}}$  が解除されません。SBI では、 $\overline{\text{BUSY}}$  の解除指示後、次のシリアル・クロック ( $\overline{\text{SCKO}}$ ) の立ち下がりまで  $\overline{\text{BUSY}}$  信号が出力されます。 $\text{WUP} \leftarrow 1$  とするときは、必ず  $\overline{\text{BUSY}}$  を解除したのちに、SB0 (SB1) 端子がハイ・レベルになったことを確認してから  $\text{WUP} \leftarrow 1$  としてください。

(d) データの入出力として使用する端子には、 $\overline{\text{RESET}}$  入力後、1 バイト目のシリアル転送の前に、以下の設定を必ず行ってください。

- ① P25, P26 の出力ラッチに 1 を設定する。
- ② シリアル・バス・コントロール・レジスタのビット 0 ( $\overline{\text{RELT}}$ ) に 1 を設定する。
- ③ 1 を設定した P25, P26 の出力ラッチに今度は 0 を設定する。

(e) デバイスがマスタ・モードのとき、スレーブがビジー状態かどうかを判断するには、以下の方法で行ってください。

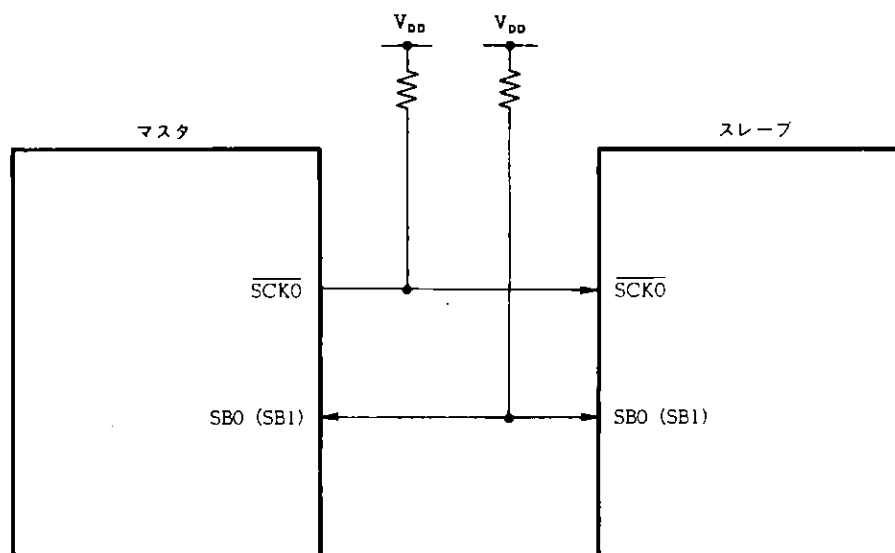
- ① アクノリッジ信号 ( $\overline{\text{ACK}}$ ) または割り込み信号発生を検出する。
- ② SB0/P25 (または SB1/P26) 端子のポート・モード・レジスタ PM25 (または PM26) を入力モードにする。
- ③ 端子の状態を読み出す (端子の状態がハイ・レベルならば、レディ状態となっています)。

レディ状態検出後は、ポート・モード・レジスタに 0 を設定し、出力モードに戻してください。

#### 14.4.4 2線式シリアル I/O モードの動作

2線式シリアル I/O モードは、プログラムにより任意の通信フォーマットに対応できます。

基本的にはシリアル・クロック ( $\overline{\text{SCK0}}$ )、シリアル・データ入力/出力 (SB0 または SB1) の 2 本のラインで通信を行います。



##### (1) レジスタの設定

2線式シリアル I/O モードの設定は、シリアル動作モード・レジスタ 0 (CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)、割り込みタイミング指定レジスタ (SINT)で行います。

##### (a) シリアル動作モード・レジスタ 0 (CSIM0)

CSIM0 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

■ は 2 線式シリアル I/O モードにおける使用ビットを示します。

|       |         |      |      |      |      |      |      |      |       |       |                   |
|-------|---------|------|------|------|------|------|------|------|-------|-------|-------------------|
| 略号    | ⑦       | ⑥    | ⑤    | 4    | 3    | 2    | 1    | 0    | アドレス  | リセット時 | R/W               |
| CSIM0 | CSIM003 | PM25 | PM25 | PM26 | PM26 | PM27 | PM27 | PM27 | FF60H | 00H   | R/W <sup>注1</sup> |

| R/W | CSIM01 | CSIM00 | シリアル・インタフェース・チャンネル0のクロックの選択                 |
|-----|--------|--------|---------------------------------------------|
|     | 0      | ×      | SCK0 端子への外部からの入力クロック                        |
|     | 1      | 0      | 8ビット・タイマ・レジスタ2 (TM2) の出力                    |
|     | 1      | 1      | タイマ・クロック選択レジスタ3 (TCL3) のビット0-ビット3で指定されたクロック |

| R/W | CSIM04 | CSIM03 | CSIM02                                        | PM25    | PM25    | PM26    | PM26    | PM27 | PM27 | 動作モード              | 先頭ビット | SI0/SB0/P25<br>端子の機能           | SO0/SB1/P26<br>端子の機能           | SCK0/P27<br>端子の機能               |
|-----|--------|--------|-----------------------------------------------|---------|---------|---------|---------|------|------|--------------------|-------|--------------------------------|--------------------------------|---------------------------------|
|     | 0      | ×      | 3線式シリアル I/O モード (14.4.2 3線式シリアル I/O モードの動作参照) |         |         |         |         |      |      |                    |       |                                |                                |                                 |
|     | 1      | 0      | SBI モード (14.4.3 SBI モードの動作参照)                 |         |         |         |         |      |      |                    |       |                                |                                |                                 |
|     | 1      | 1      | 0                                             | 注2<br>× | 注2<br>× | 0       | 0       | 0    | 1    | 2線式シリアル<br>I/O モード | MSB   | P25<br>(CMOS 入出力)              | SB1<br>(N-ch オープン・<br>ドレイン入出力) | SCK0<br>(N-ch オープン・<br>ドレイン入出力) |
|     |        |        | 1                                             | 0       | 0       | 注2<br>× | 注2<br>× | 0    | 1    |                    |       | SB0<br>(N-ch オープン・<br>ドレイン入出力) | P26<br>(CMOS 入出力)              |                                 |

| R/W | WUP | ウェイク・アップ機能の制御 <sup>注3</sup>                                                     |
|-----|-----|---------------------------------------------------------------------------------|
|     | 0   | すべてのモードで、シリアル転送ごとに割り込み要求信号を発生                                                   |
|     | 1   | SBI モード時、バス・リリース後 (CMDD=RELD=1 のとき) に受信したアドレスがスレーブ・アドレス・レジスタと一致したとき、割り込み要求信号を発生 |

| R | COI | スレーブ・アドレス比較結果フラグ <sup>注4</sup>              |
|---|-----|---------------------------------------------|
|   | 0   | スレーブ・アドレス・レジスタとシリアル I/O シフト・レジスタ0のデータが一致しない |
|   | 1   | スレーブ・アドレス・レジスタとシリアル I/O シフト・レジスタ0のデータが一致する  |

| R/W | CSIE0 | シリアル・インタフェース・チャンネル0の動作の制御 |
|-----|-------|---------------------------|
|     | 0     | 動作停止                      |
|     | 1     | 動作許可                      |

注1. ビット6 (COI) は、Read Only です。

2. ポート機能として自由に使用できます。

3. 2線式シリアル I/O モード使用時は必ず WUP に0を設定してください。

4. CSIE0 のとき、COI は0になります。

備考 × : don't care

## (b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBIC は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

 は 2 線式シリアル I/O モードにおける使用ビットを示します。

| 略号   | ⑦    | ⑥    | ⑤    | ④    | ③    | ②    | ①    | ①    | アドレス  | リセット時 | R/W |
|------|------|------|------|------|------|------|------|------|-------|-------|-----|
| SBIC | BSYE | ACKD | ACKE | ACKT | CMDD | RELD | CMDT | RELT | FF61H | 00H   | R/W |

|     |      |                                                                                           |
|-----|------|-------------------------------------------------------------------------------------------|
| R/W | RELT | RELT=1 により、SO ラッチがセット (1) される。SO ラッチをセット後、自動的にクリア (0) される。<br>また、CSIE0=0 のときもクリア (0) される。 |
|-----|------|-------------------------------------------------------------------------------------------|

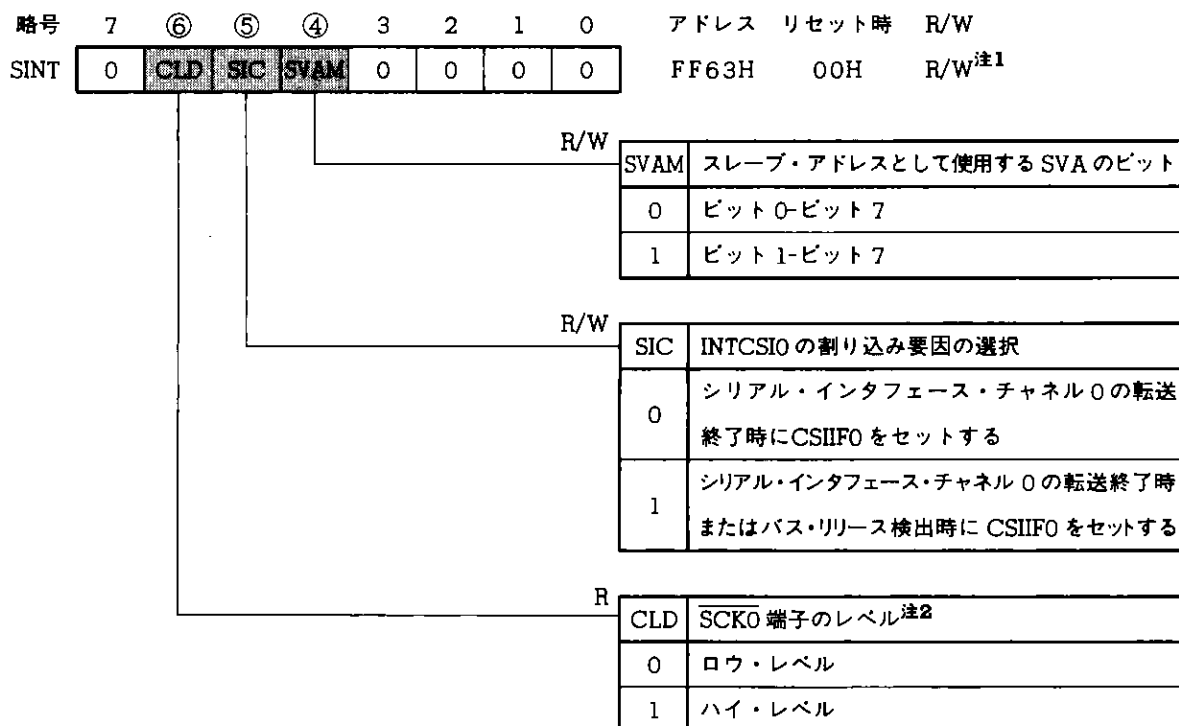
|     |      |                                                                                           |
|-----|------|-------------------------------------------------------------------------------------------|
| R/W | CMDT | CMDT=1 により、SO ラッチがクリア (0) される。SO ラッチをクリア後、自動的にクリア (0) される。<br>また、CSIE0=0 のときもクリア (0) される。 |
|-----|------|-------------------------------------------------------------------------------------------|

## (c) 割り込みタイミング指定レジスタ (SINT)

SINT は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

 は 2 線式シリアル I/O モードにおける使用ビットを示します。



**注意** ビット 0-ビット 3 には、必ず 0 を設定してください。

**注 1.** ビット 6 (CLD) は、Read Only です。

**2.** CSIE0=0 のとき、CLD は 0 になります。

**備考** SVA : スレーブ・アドレス・レジスタ

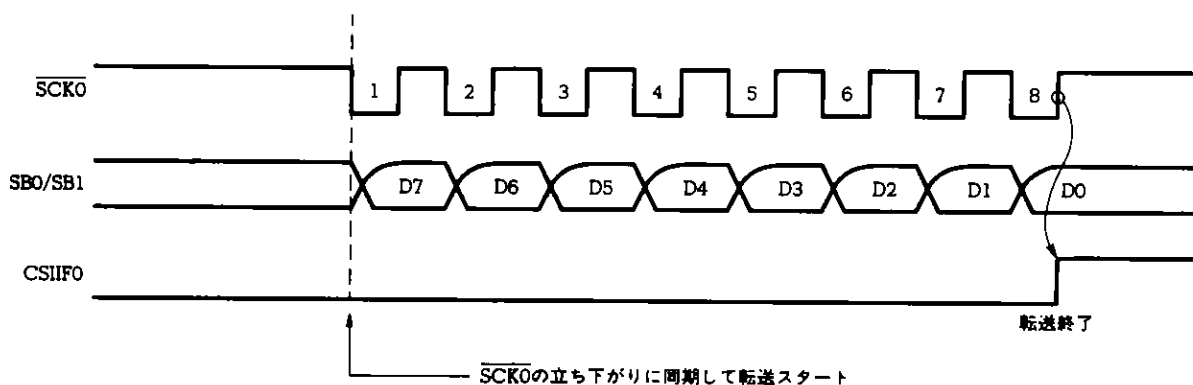
## (2) 通信動作

2線式シリアル I/O モードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアル I/O シフト・レジスタ 0 (SIO0) のシフト動作は、シリアル・クロック ( $\overline{\text{SCK0}}$ ) の立ち下がり同期で行われます。そして、送信データが SO0 ラッチに保持され、SB0/P25(または SB1/P26) 端子から MSB を先頭にして出力されます。また、 $\overline{\text{SCK0}}$  の立ち上がりで、SB0 端子(または SB1) から入力された受信データがシフト・レジスタにラッチされます。

8ビット転送終了により、シフト・レジスタの動作は自動的に停止し、割り込み要求フラグ(CSIIF0)がセットされます。

図 14-31 2線式シリアル I/O モードのタイミング



SB0 (または SB1) 端子のシリアル・データ・バスに指定された端子は、N-ch オープン・ドレーン入出力となりますので、外部でプルアップする必要があります。また、データの受信時には N-ch トランジスタをオフさせる必要があるため、SIO0 にはあらかじめ FFH を書き込んでおきます。

SB0 (または SB1) 端子は、SO0 ラッチの状態を出力しますので、RELT ビット、CMDT ビットのセットによって、SB0 (または SB1) 端子の出力状態を操作することができます。

ただし、シリアル転送中にはこの操作を行わないでください。

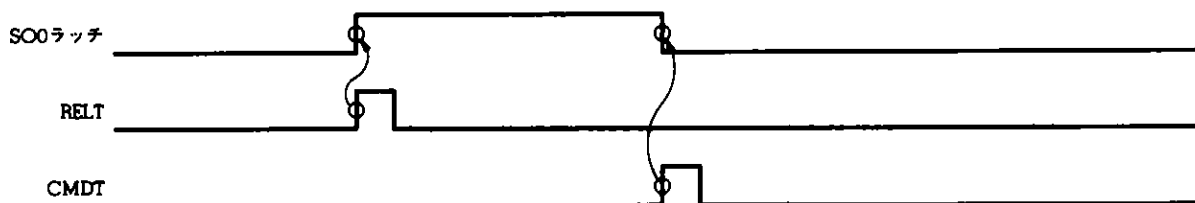
$\overline{\text{SCK0}}$  端子の出力レベルは、出力モード (内部システム・クロックのモード) 時に、P27 出力ラッチを操作して制御します (14.4.5  $\overline{\text{SCK0}}$  端子出力の操作を参照)。



## (3) 各種信号

図 14-32 に RELT, CMDT の動作を示します。

図 14-32 RELT, CMDT の動作



## (4) 転送スタート

シリアル転送は、次の 2 つの条件を満たしたとき、シリアル I/O シフト・レジスタ 0 (SIO0) に転送データをセットすることで開始します。

- シリアル・インタフェース 0 の動作の制御 (CSIE0) = 1
- 8 ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または  $\overline{\text{SCK0}}$  がハイ・レベルの状態

注意 1. SIO0 にデータを書き込んだあと、CSIE0 を“1”にしても、転送はスタートしません。

2. データ受信時には N-ch トランジスタをオフする必要がありますので、SIO0 にはあらかじめ FFH を書き込んでおいてください。

8 ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSHIF0) をセットします。

## (5) エラーの検出

2線式シリアル I/O モードでは、送信中のシリアル・バス SB0/SB1 の状態が送信しているデバイスの SIO0 にも取り込まれるため、次の方法によって送信エラーの検出をすることができます。

## (a) 送信開始前と送信終了後の SIO0 のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

## (b) スレーブ・アドレス・レジスタ (SVA) を利用する方法

送信データを SIO0 と SVA にもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ 0 (CSIM0) の COI ビット (アドレス・コンパレータからの一致信号) をテストし、“1” ならば正常な送信、“0” ならば送信エラーと判断します。

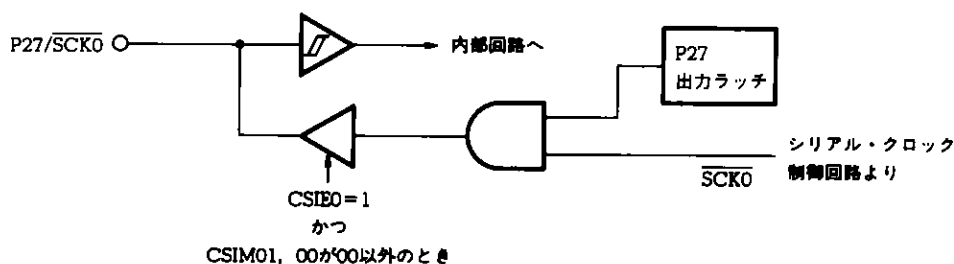
14.4.5  $\overline{\text{SCK0}}$  端子出力の操作

$\overline{\text{SCK0}}$ /P27 端子には、出力ラッチが内蔵されているため、通常のシリアル・クロック以外に、ソフトウェア操作によりスタティック出力も可能です。

また、P27 出力ラッチの操作により  $\overline{\text{SCK0}}$  の数をソフトウェアで任意に設定することができます (SIO/SB0, SO0/SB1 端子の制御は SBIC の RELT, CMDT ビットによって行います)。

次に、 $\overline{\text{SCK0}}$ /P27 端子出力の操作方法を示します。

- ① シリアル動作モード・レジスタ 0 (CSIM0) を設定します ( $\overline{\text{SCK0}}$  端子：出力モード、シリアル動作：可能状態)。シリアル転送停止中では  $\overline{\text{SCK0}} = 1$  となっています。
- ② P27 出力ラッチを、ビット操作命令により操作します。

図 14 - 33  $\overline{\text{SCK0}}$ /P27 端子の構成

## 第15章 シリアル・インタフェース・チャネル 1

### 15.1 シリアル・インタフェース・チャネル 1 の機能

シリアル・インタフェース・チャネル 1 は、次の 3 種類のモードがあります。

- 動作停止モード
- 3 線式シリアル I/O モード
- 自動送受信機能付き 3 線式シリアル I/O モード

#### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

#### (2) 3 線式シリアル I/O モード

シリアル・クロック ( $\overline{\text{SCK1}}$ )、シリアル出力 (SO1)、シリアル入力 (SI1) の 3 本のラインにより、8 ビット・データ転送を行うモードです。

3 線式シリアル I/O モードは、同時送受信動作が可能なので、データ転送の処理時間が速くなります。

シリアル転送する 8 ビット・データの先頭ビットを MSB か、または LSB かに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3 線式シリアル I/O モードは、75X シリーズ、78K シリーズ、17K シリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺 I/O や表示コントローラなどを接続するときに有効です。

#### (3) 自動送受信機能付き 3 線式シリアル I/O モード

シリアル・クロック ( $\overline{\text{SCK1}}$ )、シリアル出力 (SO1)、シリアル入力 (SI1) の 3 本のラインにより、8 ビット・データ転送を行うモードです。

3 線式シリアル I/O モードは、同時送受信動作が可能なので、データ転送の処理時間が速くなります。

シリアル転送する 8 ビット・データの先頭ビットを MSB か、または LSB かに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

自動送受信機能は、最大 32 バイトのデータを送受信する機能です。この機能によって、CPU 独立に OSD (On Screen Display) 用のデバイスや表示コントローラ/ドライバを内蔵したデバイスへのデータ送受信がハードウェアで行えますので、ソフトウェアの負担を軽減できます。

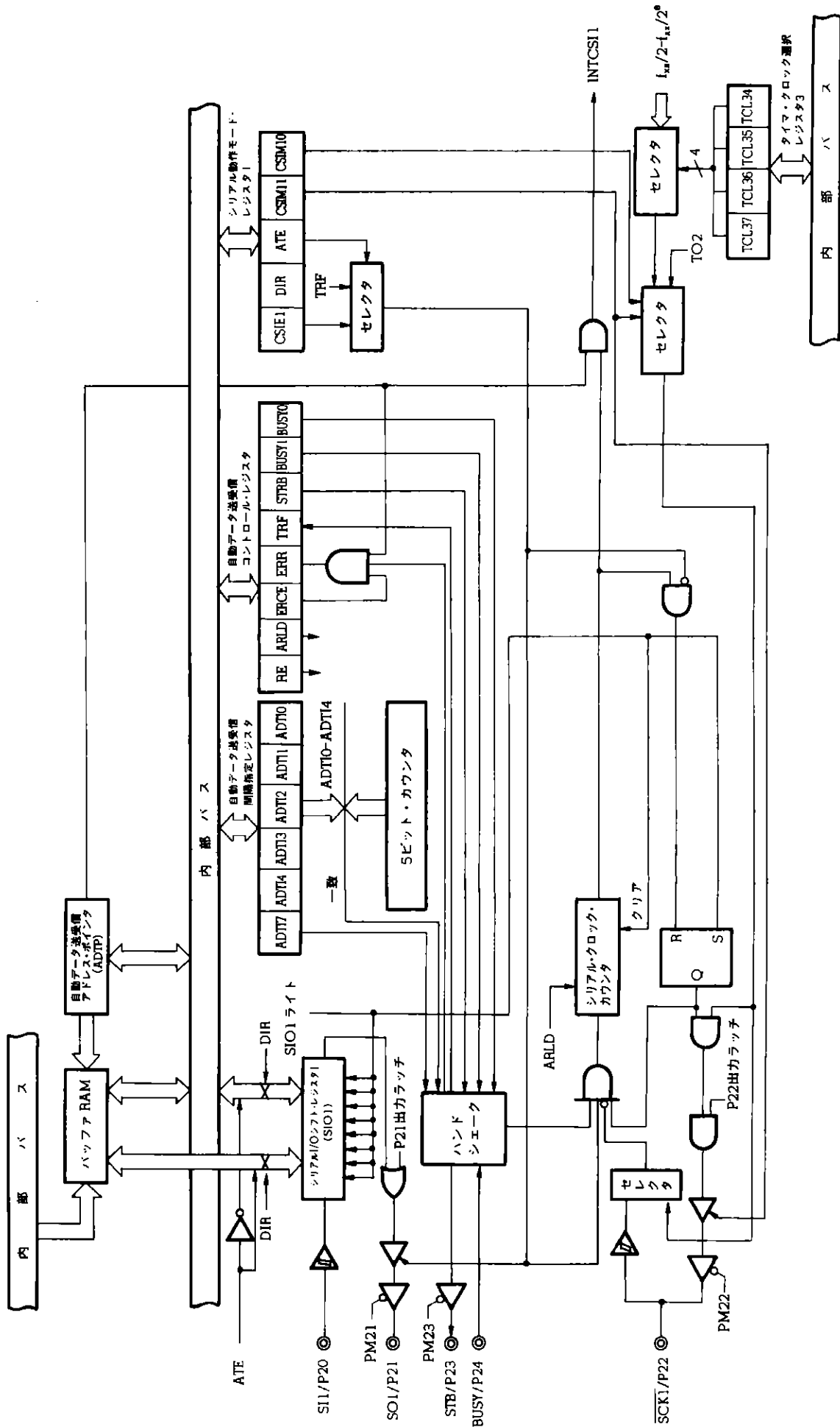
## 15.2 シリアル・インタフェース・チャンネル 1 の構成

シリアル・インタフェース・チャンネル 1 は、次のハードウェアで構成しています。

表 15-1 シリアル・インタフェース・チャンネル 1 の構成

| 項 目         | 構 成                                                                                                                                  |
|-------------|--------------------------------------------------------------------------------------------------------------------------------------|
| レ ジ ス タ     | シリアル I/O シフト・レジスタ 1 (SIO1)<br>自動データ送受信アドレス・ポインタ (ADTP)                                                                               |
| 制 御 レ ジ ス タ | タイマ・クロック選択レジスタ 3 (TCL3)<br>シリアル動作モード・レジスタ 1 (CSIM1)<br>自動データ送受信コントロール・レジスタ (ADTC)<br>自動データ送受信間隔指定レジスタ (ADTI)<br>ポート・モード・レジスタ 2 (PM2) |

図 15-1 シリアル・インタフェース・チャンネル 1 のブロック図★



**(1) シリアル I/O シフト・レジスタ 1 (SIO1)**

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信（シフト動作）を行う 8 ビット・レジスタです。

SIO1 は、8 ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ 1 (CSIM1) のビット 7 (CSIE1) が 1 のとき、SIO1 にデータを書き込むことにより開始します。

送信時は、SIO1 に書き込まれたデータが、シリアル出力 (SO1) に出力されます。受信時は、データがシリアル入力 (SI1) から SIO1 に読み込まれます。

SIO1 は、 $\overline{\text{RESET}}$  入力により、不定になります。

**注意** 自動送受信機能が動作しているとき、SIO1 にデータを書き込まないでください。

**(2) 自動データ送受信アドレス・ポインタ (ADTP)**

自動送受信機能動作時、バッファ RAM のアドレスを格納するレジスタです。データ送受信に伴い、自動的にデクリメントされます。

ADTP は、8 ビット・メモリ操作命令で設定します。このとき、上位 3 ビットには、0 を設定してください。

$\overline{\text{RESET}}$  入力により、OOH になります。

**注意** 自動送受信機能が動作しているとき、ADTP にデータを書き込まないでください。

**(3) シリアル・クロック・カウンタ**

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8 ビット・データの送受信が行われたことを調べます。

### 15.3 シリアル・インタフェース・チャンネル 1 を制御するレジスタ

シリアル・インタフェース・チャンネル 1 を制御するレジスタには、次の 4 種類があります。

- タイマ・クロック選択レジスタ 3 (TCL3)
- シリアル動作モード・レジスタ 1 (CSIM1)
- 自動データ送受信コントロール・レジスタ (ADTC)
- 自動データ送受信間隔指定レジスタ (ADTI)

#### (1) タイマ・クロック選択レジスタ 3 (TCL3)

シリアル・インタフェース・チャンネル 1 のシリアル・クロックを設定するレジスタです。

TCL3 は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、88H になります。

**備考** TCL3 は、シリアル・インタフェース・チャンネル 1 のシリアル・クロックの設定以外に、シリアル・インタフェース・チャンネル 0 のシリアル・クロックを設定する機能があります。

図 18-2 タイマ・クロック選択レジスタ 3 のフォーマット

|      |       |       |       |       |       |       |       |       |       |       |     |
|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-----|
| 略号   | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
| TCL3 | TCL37 | TCL36 | TCL35 | TCL34 | TCL33 | TCL32 | TCL31 | TCL30 | FF43H | 88H   | R/W |

| TCL33 | TCL32 | TCL31 | TCL30 | シリアル・インタフェース・チャンネル 0 のシリアル・クロックの選択 |
|-------|-------|-------|-------|------------------------------------|
| 0     | 1     | 1     | 0     | $f_{xx}/2^{\text{注}}$              |
| 0     | 1     | 1     | 1     | $f_{xx}/2^2$ (1.0 MHz)             |
| 1     | 0     | 0     | 0     | $f_{xx}/2^3$ (500 kHz)             |
| 1     | 0     | 0     | 1     | $f_{xx}/2^4$ (250 kHz)             |
| 1     | 0     | 1     | 0     | $f_{xx}/2^5$ (125 kHz)             |
| 1     | 0     | 1     | 1     | $f_{xx}/2^6$ (62.5 kHz)            |
| 1     | 1     | 0     | 0     | $f_{xx}/2^7$ (31.3 kHz)            |
| 1     | 1     | 0     | 1     | $f_{xx}/2^8$ (15.6 kHz)            |
| 上記以外  |       |       |       | 設定禁止                               |

| TCL37 | TCL36 | TCL35 | TCL34 | シリアル・インタフェース・チャンネル 1 のシリアル・クロックの選択 |
|-------|-------|-------|-------|------------------------------------|
| 0     | 1     | 1     | 0     | $f_{xx}/2^{\text{注}}$              |
| 0     | 1     | 1     | 1     | $f_{xx}/2^2$ (1.0 MHz)             |
| 1     | 0     | 0     | 0     | $f_{xx}/2^3$ (500 kHz)             |
| 1     | 0     | 0     | 1     | $f_{xx}/2^4$ (250 kHz)             |
| 1     | 0     | 1     | 0     | $f_{xx}/2^5$ (125 kHz)             |
| 1     | 0     | 1     | 1     | $f_{xx}/2^6$ (62.5 kHz)            |
| 1     | 1     | 0     | 0     | $f_{xx}/2^7$ (31.3 kHz)            |
| 1     | 1     | 0     | 1     | $f_{xx}/2^8$ (15.6 kHz)            |
| 上記以外  |       |       |       | 設定禁止                               |

注 メイン・システム・クロック周波数が 5.0 MHz 以下のときのみ設定できます。

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は,  $f_{xx} = 4.0$  MHz 動作時。

★

注意 TCL3 を同一データ以外に書き換える場合は, いったんタイマ動作を停止させたのちに行ってください。



## (2) シリアル動作モード・レジスタ 1 (CSIM1)

シリアル・インタフェース・チャンネル 1 のシリアル・クロック、動作モード、動作の許可/停止、自動送受信動作の許可/停止を設定するレジスタです。

CSIM1 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、OOH になります。

図 18-3 シリアル動作モード・レジスタ 1 のフォーマット

| 略号    | ⑦      | 6   | ⑤   | 4 | 3 | 2 | 1      | 0      | アドレス  | リセット時 | R/W |
|-------|--------|-----|-----|---|---|---|--------|--------|-------|-------|-----|
| CSIM1 | CSIM11 | DIR | ATE | 0 | 0 | 0 | CSIM11 | CSIM10 | FF68H | 00H   | R/W |

| CSIM11 | CSIM10 | シリアル・インタフェース・チャンネル 1 のクロックの選択                       |
|--------|--------|-----------------------------------------------------|
| 0      | ×      | $\overline{\text{SCK1}}$ 端子への外部クロック入力 <sup>注1</sup> |
| 1      | 0      | 8 ビット・タイマ・レジスタ 2 の出力                                |
| 1      | 1      | タイマ・クロック選択レジスタ 3 のビット 4-ビット 7 で指定されたクロック            |

| ATE | シリアル・インタフェース・チャンネル 1 の動作モードの選択 |
|-----|--------------------------------|
| 0   | 3 線式シリアル I/O モード               |
| 1   | 自動送受信機能付き 3 線式シリアル I/O モード     |

| DIR | 先頭ビット | SI1 端子の機能       | SO1 端子の機能 |
|-----|-------|-----------------|-----------|
| 0   | MSB   | SI1/P20<br>(入力) | SO1       |
| 1   | LSB   |                 | (CMOS 出力) |

| CSIM11 | CSIM10 | PM20            | P20             | PM21            | P21             | PM22            | P22             | シフト・レジスタ 1 の動作 | シリアル・クロックのカウンタの動作の制御 | SI1/P20 端子の機能             | SO1/P21 端子の機能     | $\overline{\text{SCK1}}$ /P22 端子の機能   |
|--------|--------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|----------------|----------------------|---------------------------|-------------------|---------------------------------------|
| 0      | ×      | <sup>注2</sup> × | <sup>注2</sup> × | <sup>注2</sup> × | <sup>注2</sup> × | <sup>注2</sup> × | <sup>注2</sup> × | 動作停止           | クリア                  | P20<br>(CMOS 入出力)         | P21<br>(CMOS 入出力) | P22<br>(CMOS 入出力)                     |
| 1      | 0      | <sup>注3</sup> 1 | <sup>注3</sup> × | 0               | 0               | 1               | ×               | 動作許可           | カウント動作               | SI1 <sup>注3</sup><br>(入力) | SO1<br>(CMOS 出力)  | $\overline{\text{SCK1}}$<br>(入力)      |
|        | 1      |                 |                 |                 |                 | 0               | 1               |                |                      |                           |                   | $\overline{\text{SCK1}}$<br>(CMOS 出力) |

注 1. CSIM11 を 0 にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタの STRB、BUSY1 を 0、0 に設定してください。

2. ポート機能として自由に使用できます。

3. 送信のみ使用するときは、P20 (CMOS 入出力) として使用できます。

備考 × : don't care

★

### (3) 自動データ送受信コントロール・レジスタ (ADTC)

自動送受信の受信の許可/禁止、動作モード、ストローブ制御の許可/禁止、ビジィ制御の許可/禁止の設定と自動送受信の実行を表示するレジスタです。

ADTC は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

RESET 入力により、00H になります。

**図 15-4 自動データ送受信コントロール・レジスタのフォーマット**

**図 1** ADTCレジスタのビット定義

| 略号   | ⑦  | ⑥    | ⑤    | ④   | ③   | ②    | ①     | ①     | アドレス  | リセット時 | R/W               |
|------|----|------|------|-----|-----|------|-------|-------|-------|-------|-------------------|
| ADTC | RE | ARLD | ERCE | ERR | TRF | STRB | BUSY1 | BUSY0 | FF69H | 00H   | R/W <sup>注1</sup> |

| R/W | BUSY1 | BUSY0 | 機能                 |
|-----|-------|-------|--------------------|
|     | 0     | ×     | ビジィ入力を使用しない        |
|     | 1     | 0     | ビジィ入力許可 (ハイ・アクティブ) |
|     | 1     | 1     | ビジィ入力許可 (ロウ・アクティブ) |

| R/W | STRB | 機能        |
|-----|------|-----------|
|     | 0    | ストローブ出力禁止 |
|     | 1    | ストローブ出力許可 |

| R | TRF | 機能                                                |
|---|-----|---------------------------------------------------|
|   | 0   | 自動送受信機能の終了を検出<br>(自動送受信の中断または ARLD=0 のとき、0 になります) |
|   | 1   | 自動送受信中 (SIO1 に書き込むことによって、1 になります)                 |

| R | ERR | 機能                                         |
|---|-----|--------------------------------------------|
|   | 0   | 自動送受信時、エラーなし<br>(SIO1 に書き込むことによって、0 になります) |
|   | 1   | 自動送受信時、エラーあり                               |

| R/W | ERCE | 機能                                     |
|-----|------|----------------------------------------|
|     | 0    | 自動送受信時、エラー・チェック禁止                      |
|     | 1    | 自動送受信時、エラー・チェック許可<br>(BUSY1 = 1 のときのみ) |

| R/W | ARLD | 機能      |
|-----|------|---------|
|     | 0    | 単発モード   |
|     | 1    | 繰り返しモード |

| R/W | RE | 機能   |
|-----|----|------|
|     | 0  | 受信禁止 |
|     | 1  | 受信許可 |

**注 1.** ビット 3, 4(TRF, ERR)は、Read Only です。

注1. ビット 3, 4(TRF, ERR)は, Read Only です。

**2. 自動送受信の終了判定は CSIF1 ではなく TRF で行ってください。**

**注意** シリアル動作モード・レジスタ1のCSIM11を0にして外部クロック入力を選択したとき、ADTCのSTRB, BUSY1を0, 0に設定してください。

備考 × : don't care

## (4) 自動データ送受信間隔指定レジスタ (ADTI)

自動送受信機能のデータ転送のインターバル時間を設定するレジスタです。

ADTI は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

図 18-5 自動データ送受信間隔指定レジスタのフォーマット (1/2)

|      |       |   |   |       |       |       |       |       |       |       |     |
|------|-------|---|---|-------|-------|-------|-------|-------|-------|-------|-----|
| 略号   | 7     | 6 | 5 | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
| ADTI | ADTI7 | 0 | 0 | ADTI4 | ADTI3 | ADTI2 | ADTI1 | ADTI0 | FF6BH | 00H   | R/W |

|       |                                     |
|-------|-------------------------------------|
| ADTI7 | データ転送のインターバル時間の制御                   |
| 0     | ADTI によるインターバル時間の制御なし <sup>注1</sup> |
| 1     | ADTI (ADTI0-ADTI4) によるインターバル時間の制御あり |

★

| ADTI4 | ADTI3 | ADTI2 | ADTI1 | ADTI0 | データ転送のインターバル時間の指定 ( $f_{xx} = 4.0 \text{ MHz}$ 動作時) |                                          |
|-------|-------|-------|-------|-------|-----------------------------------------------------|------------------------------------------|
|       |       |       |       |       | 最小値 <sup>注2</sup>                                   | 最大値 <sup>注2</sup>                        |
| 0     | 0     | 0     | 0     | 0     | $46.0 \mu\text{s} + 0.5/t_{\text{SCK}}$             | $50.0 \mu\text{s} + 1.5/t_{\text{SCK}}$  |
| 0     | 0     | 0     | 0     | 1     | $78.0 \mu\text{s} + 0.5/t_{\text{SCK}}$             | $82.0 \mu\text{s} + 1.5/t_{\text{SCK}}$  |
| 0     | 0     | 0     | 1     | 0     | $110.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $114.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 0     | 0     | 1     | 1     | $142.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $146.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 0     | 1     | 0     | 0     | $174.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $178.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 0     | 1     | 0     | 1     | $206.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $210.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 0     | 1     | 1     | 0     | $238.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $242.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 0     | 1     | 1     | 1     | $270.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $274.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 1     | 0     | 0     | 0     | $302.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $306.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 1     | 0     | 0     | 1     | $334.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $338.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 1     | 0     | 1     | 0     | $366.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $370.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 1     | 0     | 1     | 1     | $398.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $402.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 1     | 1     | 0     | 0     | $430.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $434.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 1     | 1     | 0     | 1     | $462.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $466.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 1     | 1     | 1     | 0     | $494.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $498.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 0     | 1     | 1     | 1     | 1     | $526.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $530.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |

注 1. インターバル時間は、CPU 処理にのみ依存します。

2. データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n: ADTI0-ADTI4 に設定した値)。ただし、次の式から計算された最小値が  $2/f_{\text{SCK}}$  よりも小さい場合、インターバル時間の最小値は  $2/f_{\text{SCK}}$  となります。

$$\text{最小値} = (n+1) \times \frac{2^7}{f_{\text{XX}}} + \frac{56}{f_{\text{XX}}} + \frac{0.5}{f_{\text{SCK}}}$$

$$\text{最大値} = (n+1) \times \frac{2^7}{f_{\text{XX}}} + \frac{72}{f_{\text{XX}}} + \frac{1.5}{f_{\text{SCK}}}$$

注意 1. 自動送受信機能動作中は、ADTI への書き込みを行わないでください。

2. ビット 5, 6 には、必ず 0 を設定してください。

備考 1.  $f_{\text{XX}}$  : メイン・システム・クロック周波数

2.  $f_{\text{SCK}}$  : シリアル・クロック周波数

図 15-5 自動データ送受信間隔指定レジスタのフォーマット (2/2)

|      |       |   |   |       |       |       |       |       |       |       |     |
|------|-------|---|---|-------|-------|-------|-------|-------|-------|-------|-----|
| 略号   | 7     | 6 | 5 | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
| ADTI | ADTI7 | 0 | 0 | ADTI4 | ADTI3 | ADTI2 | ADTI1 | ADTI0 | FF6BH | 00H   | R/W |

| ADTI4 | ADTI3 | ADTI2 | ADTI1 | ADTI0 | データ転送のインターバル時間の指定 ( $f_{xx} = 4.0 \text{ MHz}$ 動作時) |                                          |
|-------|-------|-------|-------|-------|-----------------------------------------------------|------------------------------------------|
|       |       |       |       |       | 最小値注                                                | 最大値注                                     |
| 1     | 0     | 0     | 0     | 0     | $558.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $562.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 0     | 0     | 0     | 1     | $590.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $594.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 0     | 0     | 1     | 0     | $622.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $626.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 0     | 0     | 1     | 1     | $654.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $658.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 0     | 1     | 0     | 0     | $686.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $690.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 0     | 1     | 0     | 1     | $718.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $722.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 0     | 1     | 1     | 0     | $750.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $754.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 0     | 1     | 1     | 1     | $782.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $786.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 1     | 0     | 0     | 0     | $814.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $818.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 1     | 0     | 0     | 1     | $846.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $850.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 1     | 0     | 1     | 0     | $878.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $882.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 1     | 0     | 1     | 1     | $910.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $914.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 1     | 1     | 0     | 0     | $942.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $946.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 1     | 1     | 0     | 1     | $974.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $978.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 1     | 1     | 1     | 1     | 0     | $1.006 \text{ ms} + 0.5/f_{\text{SCK}}$             | $1.010 \text{ ms} + 1.5/f_{\text{SCK}}$  |
| 1     | 1     | 1     | 1     | 1     | $1.038 \text{ ms} + 0.5/f_{\text{SCK}}$             | $1.042 \text{ ms} + 1.5/f_{\text{SCK}}$  |

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます ( $n$ : ADTI0-ADTI4 に設定した値)。ただし、次の式から計算された最小値が  $2/f_{\text{SCK}}$  よりも小さい場合、インターバル時間の最小値は  $2/f_{\text{SCK}}$  となります。

$$\text{最小値} = (n+1) \times \frac{2^7}{f_{xx}} + \frac{56}{f_{xx}} + \frac{0.5}{f_{\text{SCK}}}$$

$$\text{最大値} = (n+1) \times \frac{2^7}{f_{xx}} + \frac{72}{f_{xx}} + \frac{1.5}{f_{\text{SCK}}}$$

注意 1. 自動送受信機能動作中は、ADTI への書き込みを行わないでください。

2. ビット 5, 6 には、必ず 0 を設定してください。

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2.  $f_{\text{SCK}}$  : シリアル・クロック周波数

## 15.4 シリアル・インタフェース・チャンネル 1 の動作

シリアル・インタフェース・チャンネル 1 の動作モードには、次の3種類があります。

- 動作停止モード
- 3線式シリアル I/O モード
- 自動送受信機能付き 3線式シリアル I/O モード

### 15.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、シリアル I/O シフト・レジスタ 1 (SIO1) もシフト動作を行いませんので、通常の 8 ビット・レジスタとして使用することができます。

また、動作停止モードでは、P20/SI1, P21/SO1, P22/ $\overline{\text{SCK1}}$ , P23/STB, P24/BUSY 端子を通常の入出力ポートとして使用できます。

#### (1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ 1 (CSIM1) で行います。

CSIM1 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

■ は動作停止モードにおける使用ビットを示します。

| 略号    | ⑦ | 6   | ⑤   | 4 | 3 | 2 | 1      | 0      | アドレス  | リセット時 | R/W |
|-------|---|-----|-----|---|---|---|--------|--------|-------|-------|-----|
| CSIM1 | ■ | DIR | ATE | 0 | 0 | 0 | CSIM11 | CSIM10 | FF68H | 00H   | R/W |

|   | CSIM11 | PM20    | P20     | PM21    | P21     | PM22    | P22     | シフト・レジスタ 1 の動作 | シリアル・クロックのカウンタの動作の制御 | SI1/P20<br>端子の機能  | SO1/P21<br>端子の機能  | $\overline{\text{SCK1}}$ /P22<br>端子の機能 |
|---|--------|---------|---------|---------|---------|---------|---------|----------------|----------------------|-------------------|-------------------|----------------------------------------|
| 0 | ×      | 注1<br>× | 注1<br>× | 注1<br>× | 注1<br>× | 注1<br>× | 注1<br>× | 動作停止           | クリア                  | P20<br>(CMOS 入出力) | P21<br>(CMOS 入出力) | P22<br>(CMOS 入出力)                      |
| 1 | 0      | 注2<br>1 | 注2<br>× | 0       | 0       | 1       | ×       | 動作許可           | カウント動作               | SI1注2<br>(入力)     | SO1<br>(CMOS 出力)  | $\overline{\text{SCK1}}$<br>(入力)       |
|   | 1      |         |         |         |         | 0       | 1       |                |                      |                   |                   | $\overline{\text{SCK1}}$<br>(CMOS 出力)  |

注 1. ポート機能として自由に使用できます。

2. 送信のみ使用するときは、P20 (CMOS 入出力) になります。

備考 × : don't care

### 18.4.2 3 線式シリアル I/O モードの動作

3 線式シリアル I/O モードは、75X シリーズ、78K シリーズ、17K シリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺 I/O や表示コントローラなどを接続するときに有効です。

シリアル・クロック ( $\overline{\text{SCK1}}$ )、シリアル出力 (SO1)、シリアル入力 (SI1) の 3 本のラインで通信を行います。

#### (1) レジスタの設定

3 線式シリアル I/O モードの設定は、シリアル動作モード・レジスタ 1 (CSIM1) で行います。

CSIM1 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

 は 3 線式シリアル I/O モードにおける使用ビットを示します。

| 略号    | ⑦                                                                                 | 6                                                                                 | ⑤                                                                                 | 4 | 3 | 2 | 1                                                                                 | 0                                                                                 | アドレス  | リセット時 | R/W |
|-------|-----------------------------------------------------------------------------------|-----------------------------------------------------------------------------------|-----------------------------------------------------------------------------------|---|---|---|-----------------------------------------------------------------------------------|-----------------------------------------------------------------------------------|-------|-------|-----|
| CSIM1 |  |  |  | 0 | 0 | 0 |  |  | FF68H | 00H   | R/W |

| CSIM11 | CSIM10 | シリアル・インタフェース・チャンネル 1 のクロックの選択                      |
|--------|--------|----------------------------------------------------|
| 0      | ×      | $\overline{\text{SCK1}}$ 端子への外部クロック入力 <sup>注</sup> |
| 1      | 0      | 8 ビット・タイマ・レジスタ 2 の出力                               |
| 1      | 1      | タイマ・クロック選択レジスタ 3 のビット 4-ビット 7 で指定されたクロック           |

| ATE | シリアル・インタフェース・チャンネル 1 の動作モードの選択 |
|-----|--------------------------------|
| 0   | 3 線式シリアル I/O モード               |
| 1   | 自動送受信機能付き 3 線式シリアル I/O モード     |

| DIR | 先頭ビット | SI1 端子の機能 | SO1 端子の機能 |
|-----|-------|-----------|-----------|
| 0   | MSB   | SI1/P20   | SO1       |
| 1   | LSB   | (入力)      | (CMOS 出力) |

(続く)

注 CSIM11 を 0 にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタの STRB、BUSY1 を 0、0 に設定してください。

備考 × : don't care

| CSIE1 | CSIM11 | PM20    | P20     | PM21    | P21     | PM22    | P22     | シフト・レジスタ 1 の動作 | シリアル・クロックのカウンタの動作の制御 | SI1/P20<br>端子の機能  | SO1/P21<br>端子の機能  | $\overline{\text{SCK1}}$ /P22<br>端子の機能 |
|-------|--------|---------|---------|---------|---------|---------|---------|----------------|----------------------|-------------------|-------------------|----------------------------------------|
| 0     | ×      | 注1<br>× | 注1<br>× | 注1<br>× | 注1<br>× | 注1<br>× | 注1<br>× | 動作停止           | クリア                  | P20<br>(CMOS 入出力) | P21<br>(CMOS 入出力) | P22<br>(CMOS 入出力)                      |
| 1     | 0      | 注2<br>1 | 注2<br>× | 0       | 0       | 1       | ×       | 動作許可           | カウント動作               | SI1注2<br>(入力)     | SO1<br>(CMOS 出力)  | $\overline{\text{SCK1}}$<br>(入力)       |
|       | 1      |         |         |         |         | 0       | 1       |                |                      |                   |                   | $\overline{\text{SCK1}}$<br>(CMOS 出力)  |

注 1. ポート機能として自由に使用できます。

2. 送信のみ使用するときは、P20 (CMOS 入出力) として使用できます。

備考 × : don't care

## (2) 通信動作

3 線式シリアル I/O モードは、8 ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して 1 ビットごとに送受信を行います。

シリアル I/O シフト・レジスタ 1 (SIO1) のシフト動作は、シリアル・クロック ( $\overline{\text{SCK1}}$ ) の立ち下がり同期して行われます。そして、送信データが SO1 ラッチに保持され、SO1 端子から出力されます。また、( $\overline{\text{SCK1}}$ ) の立ち上がりで、SI1 端子に入力された受信データが SIO1 にラッチされます。

8 ビット転送終了により、SIO1 の動作は自動的に停止し、割り込み要求フラグ (CSIF1) がセットされます。

## (3) 転送スタート

シリアル転送は、次の 2 つの条件を満たしたとき、シリアル I/O シフト・レジスタ 1 (SIO1) に転送データをセットすることで開始します。

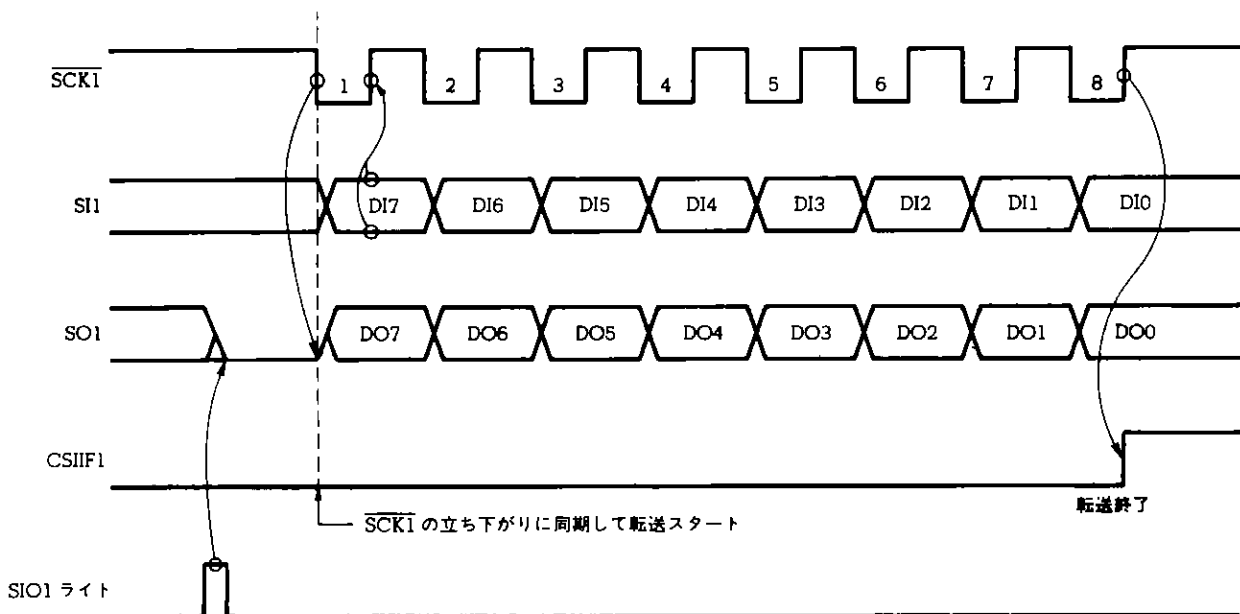
- シリアル・インタフェース 1 の動作の制御ビット (CSIE1) = 1
- 8 ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または  $\overline{\text{SCK1}}$  がハイ・レベルの状態

**注意** SIO1 にデータを書き込んだあと、CSIE1 を“1”にしても、転送はスタートしません。

8 ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF1) をセットします。



図 15-6 3 線式シリアル I/O モードのタイミング



注意 SIO1 ライトにより、SO1 端子はロウ・レベルになります。

### 15.4.3 自動送受信機能付き 3 線式シリアル I/O モードの動作

最大32バイトのデータを、ソフトウェアの介入なしに送受信を行う 3 線式シリアル I/O モードです。転送を開始させると、あらかじめ RAM に格納しておいたデータを設定したバイト数だけ送信させたり、設定したバイト数だけデータを受信し RAM に格納させることができます。

また、連続してデータを送受信するために、ハードウェアによるハンドシェイク信号 (STB, BUSY) をサポートしており、OSD (On Screen Display) 用 LSI や LCD コントローラ/ドライバなどの周辺 LSI との接続が容易に実現できます。

#### (1) レジスタの設定

自動送受信機能付き 3 線式シリアル I/O モードの設定は、シリアル動作モード・レジスタ 1 (CSIM1) と自動データ送受信コントロール・レジスタ (ADTC)、自動データ送受信間隔指定レジスタ (ADTI) で行います。

##### (a) シリアル動作モード・レジスタ 1 (CSIM1)

CSIM1 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

RESET 入力により、00H になります。

■ は自動送受信機能付き 3 線式シリアル I/O モードにおける使用ビットを示します。

略号 ⑦ 6 ⑤ 4 3 2 1 0 アドレス リセット時 R/W

CSIM1 

|      |     |     |   |   |   |        |        |
|------|-----|-----|---|---|---|--------|--------|
| CSIE | DIR | ATE | 0 | 0 | 0 | CSIM11 | CSIM10 |
|------|-----|-----|---|---|---|--------|--------|

 FF68H 00H R/W

| CSIM11 | CSIM10 | シリアル・インタフェース・チャンネル 1 のクロックの選択                       |
|--------|--------|-----------------------------------------------------|
| 0      | ×      | $\overline{\text{SCK1}}$ 端子への外部クロック入力 <sup>注1</sup> |
| 1      | 0      | 8ビット・タイマ・レジスタ 2 の出力                                 |
| 1      | 1      | タイマ・クロック選択レジスタ 3 のビット 4-ビット 7 で指定されたクロック            |

| ATE | シリアル・インタフェース・チャンネル 1 の動作モードの選択 |
|-----|--------------------------------|
| 0   | 3 線式シリアル I/O モード               |
| 1   | 自動送受信機能付き 3 線式シリアル I/O モード     |

| DIR | 先頭ビット | SI1 端子の機能       | SO1 端子の機能 |
|-----|-------|-----------------|-----------|
| 0   | MSB   | SI1/P20<br>(入力) | SO1       |
| 1   | LSB   |                 | (CMOS 出力) |

| CSIE | CSIM11 | PM20            | P20             | PM21            | P21             | PM22            | P22             | シフト・レジスタ 1 の動作 | シリアル・クロックのカウンタの動作の制御 | SI1/P20 端子の機能             | SO1/P21 端子の機能     | $\overline{\text{SCK1}}$ /P22 端子の機能   |
|------|--------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|----------------|----------------------|---------------------------|-------------------|---------------------------------------|
| 0    | ×      | <sup>注2</sup> × | <sup>注2</sup> × | <sup>注2</sup> × | <sup>注2</sup> × | <sup>注2</sup> × | <sup>注2</sup> × | 動作停止           | クリア                  | P20<br>(CMOS 入出力)         | P21<br>(CMOS 入出力) | P22<br>(CMOS 入出力)                     |
| 1    | 0      | <sup>注3</sup> 1 | <sup>注3</sup> × | 0               | 0               | 1               | ×               | 動作許可           | カウント動作               | SI1 <sup>注3</sup><br>(入力) | SO1<br>(CMOS 出力)  | $\overline{\text{SCK1}}$<br>(入力)      |
|      | 1      |                 |                 |                 |                 | 0               | 1               |                |                      |                           |                   | $\overline{\text{SCK1}}$<br>(CMOS 出力) |

注 1. CSIM11 を 0 にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタの STRB, BUSY1 を 0, 0 に設定してください。

2. ポート機能として自由に使用できます。

3. 送信のみ使用するときは、P20 (CMOS 入出力) として使用できます。

備考 × : don't care

## (b) 自動データ送受信コントロール・レジスタ (ADTC)

ADTC は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

■ は自動送受信機能付き 3 線式シリアル I/O モードにおける使用ビットを示します。

| 略号   | ⑦  | ⑥    | ⑤    | ④   | ③   | ②    | ①     | ①     | ①   | ①     | アドレス                                            | リセット時              | R/W               |
|------|----|------|------|-----|-----|------|-------|-------|-----|-------|-------------------------------------------------|--------------------|-------------------|
| ADTC | RE | ARLD | ERCE | ERR | TRF | STRB | BUSY1 | BUSY0 |     |       | FF69H                                           | 00H                | R/W <sup>注1</sup> |
|      |    |      |      |     |     |      |       |       | R/W |       |                                                 |                    |                   |
|      |    |      |      |     |     |      |       |       |     | BUSY1 | BUSY0                                           | ビジー入力の制御           |                   |
|      |    |      |      |     |     |      |       |       |     | 0     | ×                                               | ビジー入力を使用しない        |                   |
|      |    |      |      |     |     |      |       |       |     | 1     | 0                                               | ビジー入力許可 (ハイ・アクティブ) |                   |
|      |    |      |      |     |     |      |       |       |     | 1     | 1                                               | ビジー入力許可 (ロウ・アクティブ) |                   |
|      |    |      |      |     |     |      |       |       | R/W |       |                                                 |                    |                   |
|      |    |      |      |     |     |      |       |       |     | STRB  | ストローブ出力の制御                                      |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 0     | ストローブ出力禁止                                       |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 1     | ストローブ出力許可                                       |                    |                   |
|      |    |      |      |     |     |      |       |       | R   |       |                                                 |                    |                   |
|      |    |      |      |     |     |      |       |       |     | TRF   | 自動送受信機能のステータス <sup>注2</sup>                     |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 0     | 自動送受信の終了を検出<br>(自動送受信の中断または ARLD=0 のとき、0 になります) |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 1     | 自動送受信中 (SIO1 に書き込むことによって、1 になります)               |                    |                   |
|      |    |      |      |     |     |      |       |       | R   |       |                                                 |                    |                   |
|      |    |      |      |     |     |      |       |       |     | ERR   | 自動送受信機能のエラー検出                                   |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 0     | 自動送受信時、エラーなし<br>(SIO1 に書き込むことによって、0 になります)      |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 1     | 自動送受信時、エラーあり                                    |                    |                   |
|      |    |      |      |     |     |      |       |       | R/W |       |                                                 |                    |                   |
|      |    |      |      |     |     |      |       |       |     | ERCE  | 自動送受信機能のエラー・チェックの制御                             |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 0     | 自動送受信時、エラー・チェック禁止                               |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 1     | 自動送受信時、エラー・チェック許可<br>(BUSY1 = 1 のときのみ)          |                    |                   |
|      |    |      |      |     |     |      |       |       | R/W |       |                                                 |                    |                   |
|      |    |      |      |     |     |      |       |       |     | ARLD  | 自動送受信機能の動作モードの選択                                |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 0     | 単発モード                                           |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 1     | 繰り返しモード                                         |                    |                   |
|      |    |      |      |     |     |      |       |       | R/W |       |                                                 |                    |                   |
|      |    |      |      |     |     |      |       |       |     | RE    | 自動送受信機能の受信の制御                                   |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 0     | 受信禁止                                            |                    |                   |
|      |    |      |      |     |     |      |       |       |     | 1     | 受信許可                                            |                    |                   |

注 1. ビット 3, 4 (TRF, ERR) は、Read Only です。

2. 自動送受信の終了判定は CSIF1 ではなく TRF で行ってください。

注意 シリアル動作モード・レジスタ 1 の CSIM11 を 0 にして外部クロック入力を選択したとき、ADTC の STRB, BUSY1 を 0, 0 に設定してください。

備考 × : don't care

## (c) 自動データ送受信間隔指定レジスタ (ADTI)

自動送受信機能のデータ転送のインターバル時間を設定するレジスタです。

ADTI は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

■ は自動送受信機能付き 3 線式シリアル I/O モードにおける使用ビットを示します。

|      |       |   |   |       |       |       |       |       |       |       |     |
|------|-------|---|---|-------|-------|-------|-------|-------|-------|-------|-----|
| 略号   | 7     | 6 | 5 | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
| ADTI | ADTI7 | 0 | 0 | ADTI4 | ADTI3 | ADTI2 | ADTI1 | ADTI0 | FF6BH | 00H   | R/W |

|       |                                     |
|-------|-------------------------------------|
| ADTI7 | データ転送のインターバル時間の制御                   |
| 0     | ADTI によるインターバル時間の制御なし注1             |
| 1     | ADTI (ADTI0-ADTI4) によるインターバル時間の制御あり |

★

| ADTI4 | ADTI3 | ADTI2 | ADTI1 | ADTI0 | データ転送のインターバル時間の指定 ( $f_{xx} = 4.0 \text{ MHz}$ 動作時) |                                          |
|-------|-------|-------|-------|-------|-----------------------------------------------------|------------------------------------------|
|       |       |       |       |       | 最小値注2                                               | 最大値注2                                    |
| 0     | 0     | 0     | 0     | 0     | $46.0 \mu\text{s} + 0.5/f_{\text{SCK}}$             | $50.0 \mu\text{s} + 1.5/f_{\text{SCK}}$  |
| 0     | 0     | 0     | 0     | 1     | $78.0 \mu\text{s} + 0.5/f_{\text{SCK}}$             | $82.0 \mu\text{s} + 1.5/f_{\text{SCK}}$  |
| 0     | 0     | 0     | 1     | 0     | $110.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $114.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 0     | 0     | 1     | 1     | $142.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $146.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 0     | 1     | 0     | 0     | $174.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $178.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 0     | 1     | 0     | 1     | $206.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $210.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 0     | 1     | 1     | 0     | $238.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $242.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 0     | 1     | 1     | 1     | $270.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $274.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 1     | 0     | 0     | 0     | $302.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $306.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 1     | 0     | 0     | 1     | $334.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $338.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 1     | 0     | 1     | 0     | $366.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $370.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 1     | 0     | 1     | 1     | $398.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $402.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 1     | 1     | 0     | 0     | $430.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $434.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 1     | 1     | 0     | 1     | $462.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $466.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 1     | 1     | 1     | 0     | $494.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $498.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |
| 0     | 1     | 1     | 1     | 1     | $526.0 \mu\text{s} + 0.5/f_{\text{SCK}}$            | $530.0 \mu\text{s} + 1.5/f_{\text{SCK}}$ |

注 1. インターバル時間は、CPU 処理にのみ依存します。

2. データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます ( $n$ : ADTI0-ADTI4 に設定した値)。ただし、次の式から計算された最小値が  $2/f_{\text{SCK}}$  よりも小さい場合、インターバル時間の最小値は  $2/f_{\text{SCK}}$  となります。

$$\text{最小値} = (n+1) \times \frac{2^7}{f_{\text{XX}}} + \frac{56}{f_{\text{XX}}} + \frac{0.5}{f_{\text{SCK}}}$$

$$\text{最大値} = (n+1) \times \frac{2^7}{f_{\text{XX}}} + \frac{72}{f_{\text{XX}}} + \frac{1.5}{f_{\text{SCK}}}$$

注意 1. 自動送受信機能動作中は、ADTI への書き込みを行わないでください。

2. ビット 5, 6 には、必ず 0 を設定してください。

備考 1.  $f_{\text{XX}}$  : メイン・システム・クロック周波数

2.  $f_{\text{SCK}}$  : シリアル・クロック周波数

|      |       |   |   |       |       |       |       |       |       |       |     |
|------|-------|---|---|-------|-------|-------|-------|-------|-------|-------|-----|
| 略号   | 7     | 6 | 5 | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
| ADTI | ADTI7 | 0 | 0 | ADTI4 | ADTI3 | ADTI2 | ADTI1 | ADTI0 | FF6BH | 00H   | R/W |

| ADTI4 | ADTI3 | ADTI2 | ADTI1 | ADTI0 | データ転送のインターバル時間の指定 ( $f_{xx} = 5.0 \text{ MHz}$ 動作時) |                                          |
|-------|-------|-------|-------|-------|-----------------------------------------------------|------------------------------------------|
|       |       |       |       |       | 最小値 <sup>注</sup>                                    | 最大値 <sup>注</sup>                         |
| 1     | 0     | 0     | 0     | 0     | $558.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $562.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 0     | 0     | 0     | 1     | $590.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $594.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 0     | 0     | 1     | 0     | $622.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $626.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 0     | 0     | 1     | 1     | $654.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $658.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 0     | 1     | 0     | 0     | $686.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $690.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 0     | 1     | 0     | 1     | $718.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $722.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 0     | 1     | 1     | 0     | $750.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $754.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 0     | 1     | 1     | 1     | $782.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $786.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 1     | 0     | 0     | 0     | $814.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $818.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 1     | 0     | 0     | 1     | $846.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $850.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 1     | 0     | 1     | 0     | $878.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $882.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 1     | 0     | 1     | 1     | $910.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $914.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 1     | 1     | 0     | 0     | $942.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $946.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 1     | 1     | 0     | 1     | $974.0 \mu\text{s} + 0.5/t_{\text{SCK}}$            | $978.0 \mu\text{s} + 1.5/t_{\text{SCK}}$ |
| 1     | 1     | 1     | 1     | 0     | $1.006 \text{ ms} + 0.5/t_{\text{SCK}}$             | $1.010 \text{ ms} + 1.5/t_{\text{SCK}}$  |
| 1     | 1     | 1     | 1     | 1     | $1.038 \text{ ms} + 0.5/t_{\text{SCK}}$             | $1.042 \text{ ms} + 1.5/t_{\text{SCK}}$  |

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます ( $n$ : ADTI0-ADTI4 に設定した値)。ただし、次の式から計算された最小値が  $2/t_{\text{SCK}}$  よりも小さい場合、インターバル時間の最小値は  $2/t_{\text{SCK}}$  となります。

$$\text{最小値} = (n+1) \times \frac{2^7}{f_{xx}} + \frac{56}{f_{xx}} + \frac{0.5}{f_{\text{SCK}}}$$

$$\text{最大値} = (n+1) \times \frac{2^7}{f_{xx}} + \frac{72}{f_{xx}} + \frac{1.5}{f_{\text{SCK}}}$$

注意 1. 自動送受信機能動作中は、ADTI への書き込みを行わないでください。

2. ビット 5, 6 には、必ず 0 を設定してください。

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2.  $f_{\text{SCK}}$  : シリアル・クロック周波数

## (2) 自動送受信データの設定

## (a) 送信データの設定

- ① バッファ RAM の最下位アドレス FAC0H から送信データを書き込む(最大 FADFH まで)。ただし、送信データ順は、上位アドレスから下位アドレスです。
- ② 自動データ送受信アドレス・ポインタ (ADTP) に、送信データ・バイト数から 1 を引いた値を設定する。

## (b) 自動送受信モードの設定

- ① シリアル動作モード・レジスタ 1 (CSIM1) の CSIE1 に 1, ATE に 1 を設定する。
- ② 自動データ送受信コントロール・レジスタ (ADTC) の RE に 1 を設定する。
- ③ 自動データ送受信間隔指定レジスタ (ADTI) にデータ送受信の転送間隔を設定する。
- ④ シリアル・シフト・レジスタ 1 (SIO1) に任意に値を書き込む(転送開始トリガ)。

**注意** SIO1 への任意の値の書き込みは、自動送受信動作の開始を指示するものであり、書き込んだ値には意味がありません。

(a), (b) を行うことによって、以下の動作が自動的に行われます。

- ADTP で指定したバッファ RAM のデータを SIO1 に転送後、送信を行います(自動送受信動作の開始)。
- 受信したデータは、ADTP で指定したバッファ RAM のアドレスへ書き込まれます。
- ADTP がデクリメントされ、次のデータの送受信を行います。データの送受信は、ADTP のデクリメント出力が 00H になり、FAC0H 番地のデータを出力するまで行われます(自動送受信動作の終了)。
- 自動送受信動作が終了すると TRF が 0 にクリアされます。

## (3) 通信動作

## (a) 基本送受信モード

3線式シリアル I/O モードと同じ 8 ビット単位の水タ送受信を指定回数だけ実行する送受信モードです。

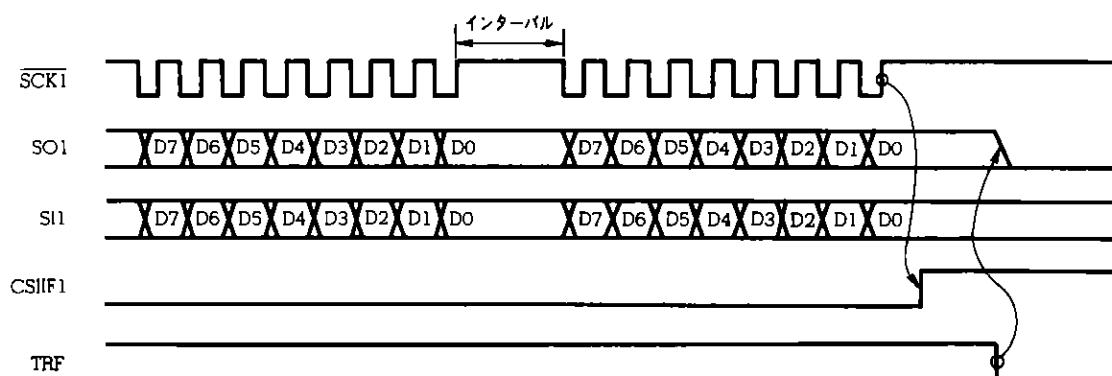
シリアル転送の開始は、シリアル動作モード・レジスタ 1 (CSIM1) のビット 7 (CSIE1) が 1 にセットされているとき、シリアル I/O シフト・レジスタ 1 (SIO1) へ任意の水タを書き込むことによって行われます。

最終バイト送信完了時に割り込み要求フラグ (CSIF1) をセットします。

なお、ビヅィ制御、スローブ制御を行わない場合は、P23/STB、P24/BUSY 端子を通常の入出力ポートとして使用できます。

基本送受信モードの動作タイミングを図 15-7 に、動作フロー・チャートを図 15-8 に示します。

図 15-7 基本送受信モードの動作タイミング

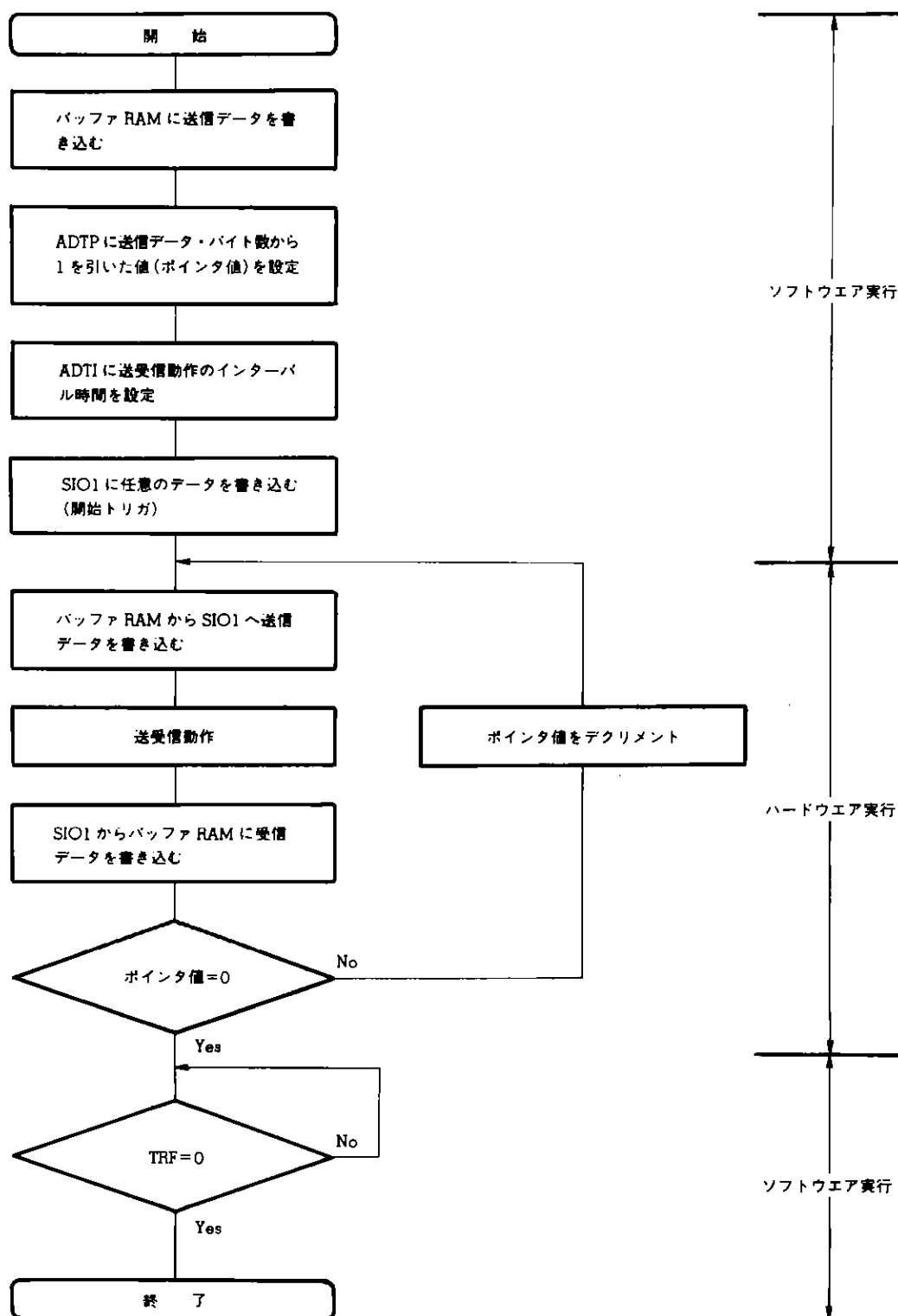


注意 1. 基本送受信モードでは、1 バイト送受信後、バッファ RAM への書き込み/読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。CPU 処理と同時にバッファ RAM への書き込み/読み出しを行っていますので、最大インターバル時間は CPU 処理と自動データ送受信間隔指定レジスタ (ADTI) の値に依存します ((h) 自動送受信のインターバル時間参照)。

2. TRF をクリアすると、SO1 端子はロウ・レベルになります。



図 15-8 基本送受信モードのフロー・チャート



備考 1. ADTP : 自動データ送受信アドレス・ポインタ

2. ADTI : 自動データ送受信間隔指定レジスタ

3. SIO1 : シリアル I/O シフト・レジスタ 1

基本送受信モードで6バイト分送受信するとき (ARLD=0, RE=1), バッファ RAM は次のような動作をします。

(i) 送受信動作前

SIO1 に任意のデータを書き込んだあと (開始トリガ: このデータは転送されません), バッファ RAM から送信データ 1 (T1) が SIO1 へ転送されます。1 バイト目の送信が完了すると, SIO1 からバッファ RAM へ受信データ (R1) が転送され, ADTP がデクリメントされます。続いてバッファ RAM から送信データ 2 (T2) が SIO1 へ転送されます。

(ii) 4 バイト目送受信動作時点

3 バイト目の送受信が完了し, バッファ RAM から送信データ 4 (T4) が SIO1 へ転送されます。4 バイト目の送信が完了すると, SIO1 からバッファ RAM へ受信データ (R4) が転送され, ADTP がデクリメントされます。

(iii) 送受信完了

6 バイト目の送信が完了すると, SIO1 からバッファ RAM へ受信データ (R6) が転送され, 割り込み要求フラグ (CSIF1) がセットされます (INTCSI1 発生)。

図15-9 6 バイト分送受信するときのバッファ RAM の動作 (基本送受信モード時) (1/2)

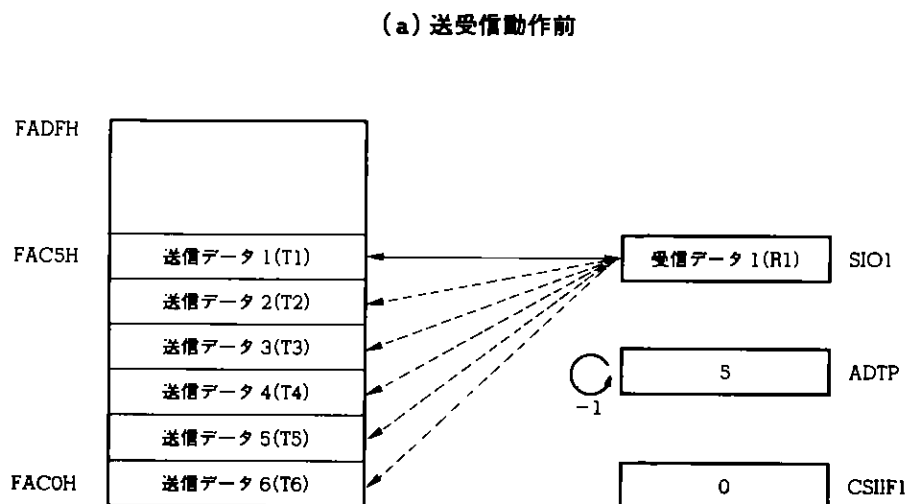
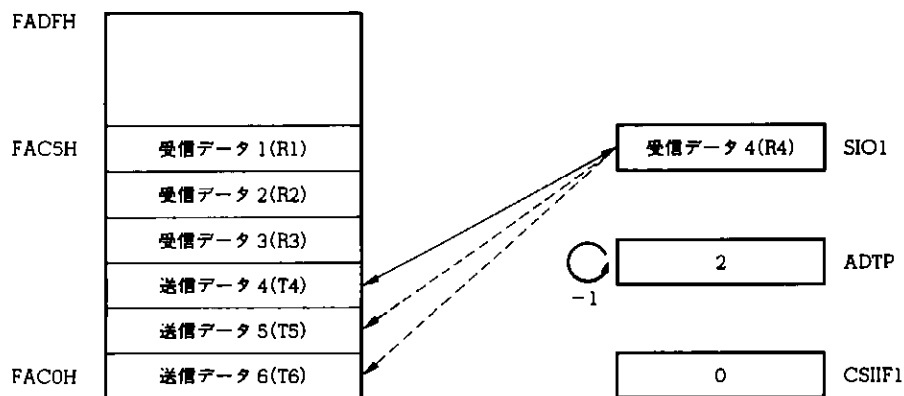
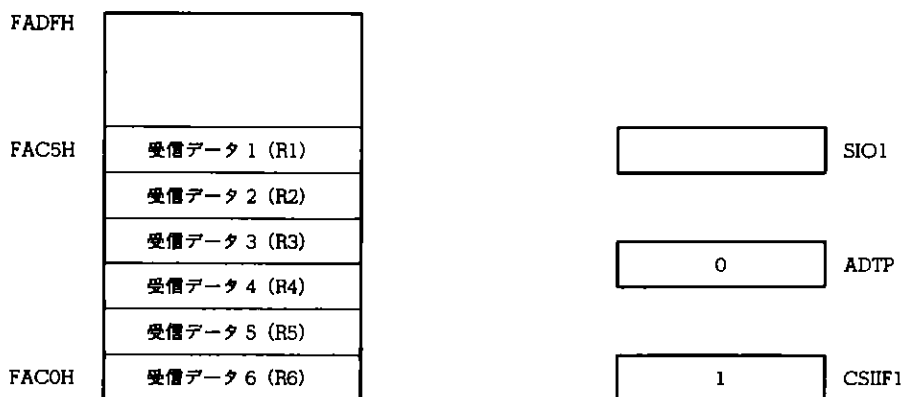


図 15-9 6 バイト分送受信するときのバッファ RAM の動作 (基本送受信モード時) (2/2)

(b) 4 バイト目送受信動作時点



(c) 送受信完了



## (b) 基本送信モード

8ビット単位のデータ送信を指定回数だけ実行する送信モードです。

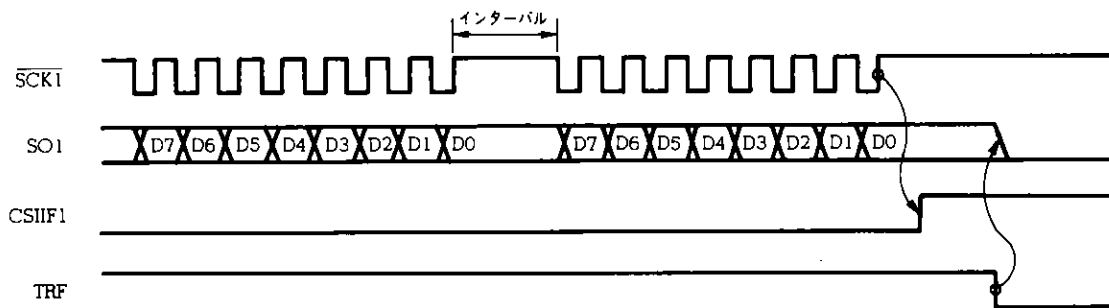
シリアル転送の開始は、シリアル動作モード・レジスタ 1 (CSIM1) のビット 7 (CSIE1) が 1 にセットされているとき、シリアル I/O シフト・レジスタ 1 (SIO1) へ任意のデータを書き込むことによって行われます。

最終バイト送信完了時に割り込み要求フラグ (CSIIF1) をセットします。

なお、受信動作、ビジー制御、ストローブ制御を行わない場合は、P20/SI1, P23/STB, P24/BUSY 端子を通常の入出力ポートとして使用できます。

基本送信モードの動作タイミングを図 15-10 に、動作フロー・チャートを図 15-11 に示します。

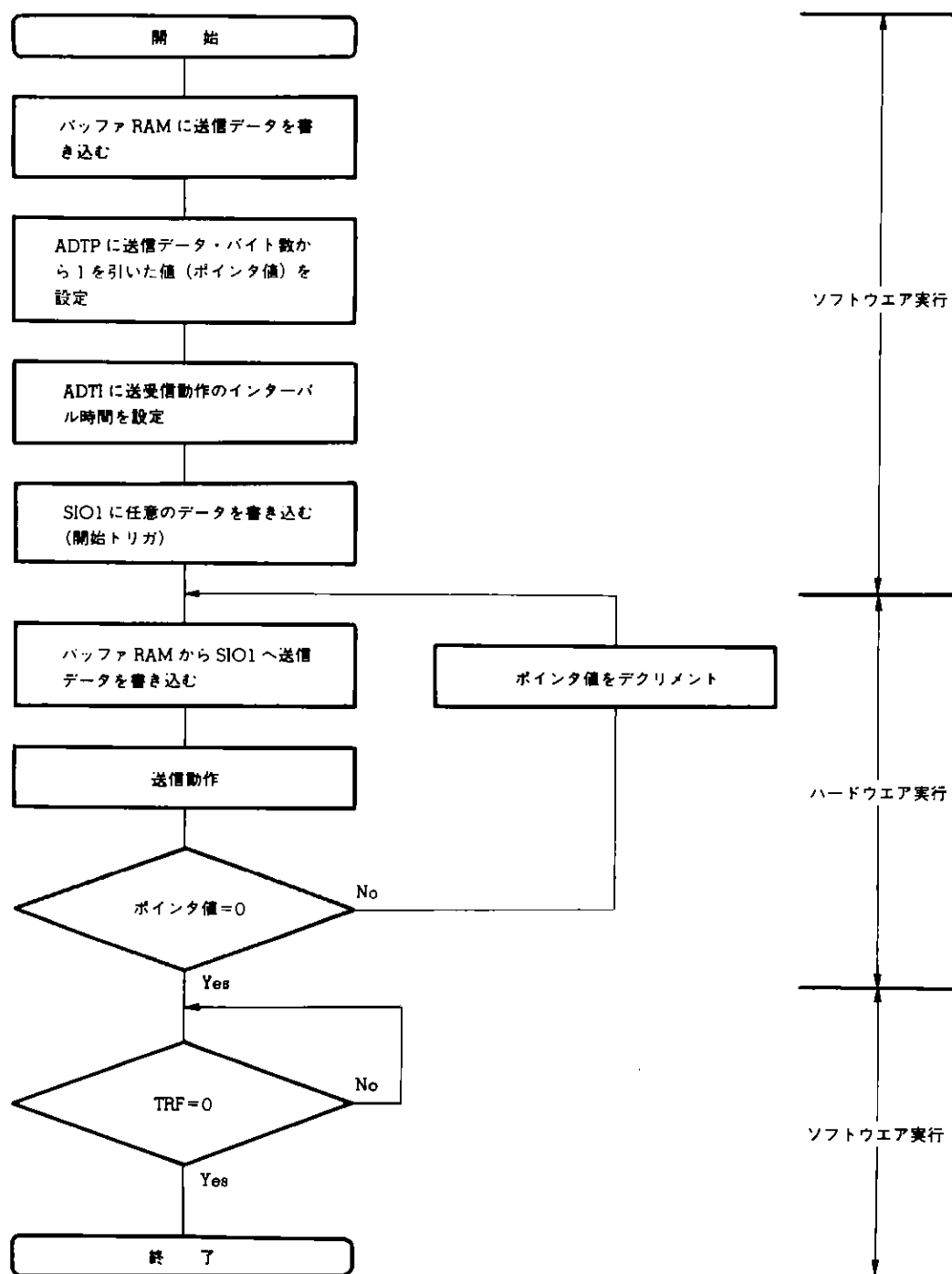
図 15-10 基本送信モードの動作タイミング



注意 1. 基本送信モードでは、1 バイト送信後、バッファ RAM からの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU 処理と同時にバッファ RAM からの読み出しを行っていますので、最大インターバル時間は CPU 処理と自動データ送受信間隔指定レジスタ (ADTI) の値に依存します ((h) 自動送受信のインターバル時間参照)。

2. TRF をクリアすると、SO1 端子はロウ・レベルになります。

図 18-11 基本送信モードのフロー・チャート



- 備考 1. ADTP : 自動データ送受信アドレス・ポインタ  
 2. ADTI : 自動データ送受信間隔指定レジスタ  
 3. SIO1 : シリアル I/O シフト・レジスタ 1

基本送信モードで6バイト分送信するとき (ARLD=0, RE=0)、バッファ RAM は次のような動作をします。

(i) 送信動作前

SIO1 に任意のデータを書き込んだあと (開始トリガ: このデータは転送されません), バッファ RAM から送信データ 1 (T1) が SIO1 へ転送されます。1 バイト目の送信が完了すると, ADTP がデクリメントされます。続いてバッファ RAM から送信データ 2 (T2) が SIO1 へ転送されます。

(ii) 4 バイト目送信動作時点

3 バイト目の送信が完了し, バッファ RAM から送信データ 4 (T4) が SIO1 へ転送されます。4 バイト目の送信が完了すると, ADTP がデクリメントされます。

(iii) 送受信完了

6 バイト目の送信が完了すると, 割り込み要求フラグ (CSIF1) がセットされます (INTCSI1 発生)。

図 15-12 6 バイト分送信するときのバッファ RAM の動作 (基本送信モード時) (1/2)

(a) 送信動作前

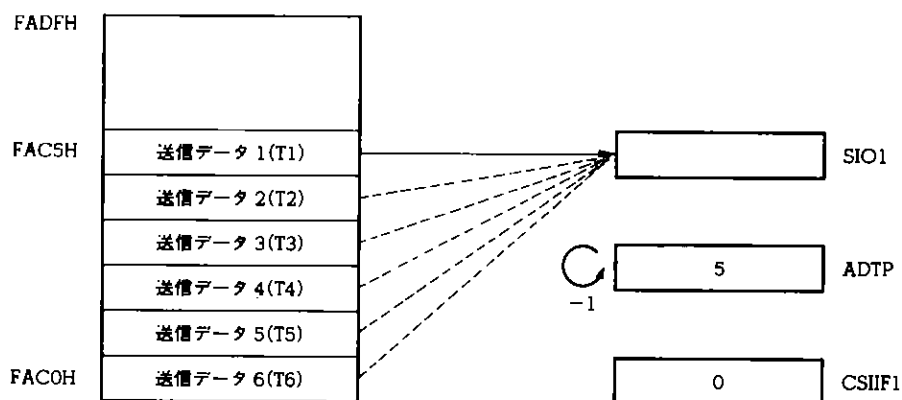
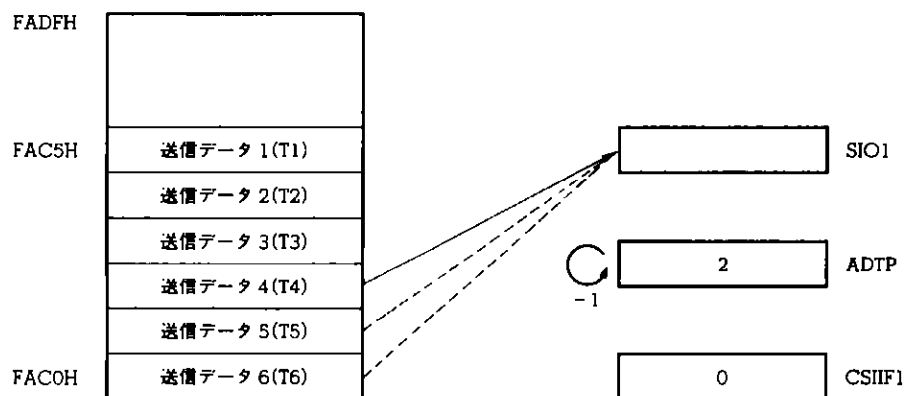
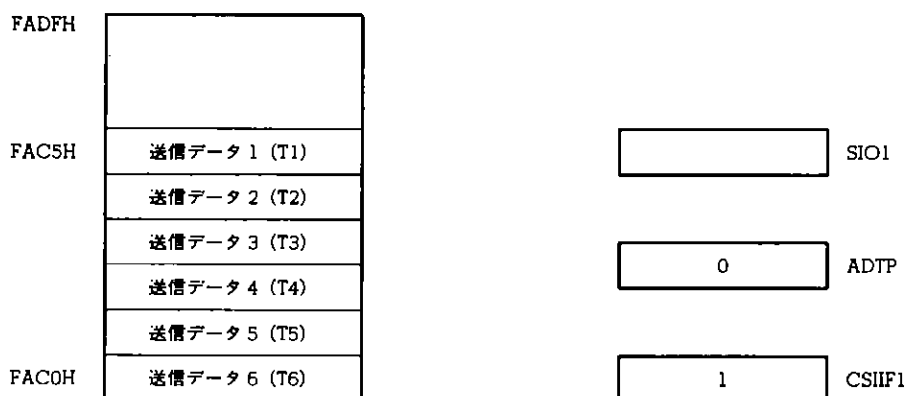


図 15-12 6 バイト分送信するときのバッファ RAM の動作（基本送信モード時）（2/2）

（b）4 バイト目送信動作時点



（c）送受信完了



## (c) 繰り返し送信モード

バッファ RAM に格納したデータを繰り返し送信するモードです。

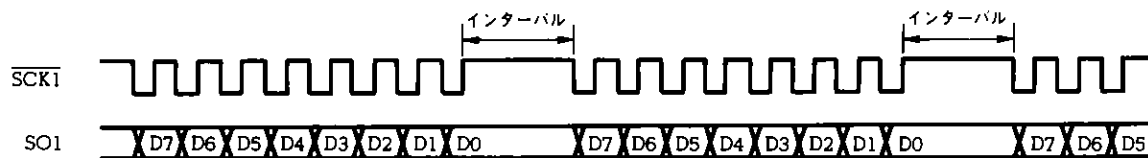
シリアル転送の開始は、シリアル動作モード・レジスタ 1 (CSIM1) のビット 7 (CSIE1) が 1 にセットされているとき、シリアル I/O シフト・レジスタ 1 (SIO1) へ任意のデータを書き込むことによって行われます。

基本送信モードの場合とは異なり、最終バイト (FACOH 番地のデータ) を送信したあと、割り込み要求フラグ (CSIF1) はセットされず、自動データ送受信アドレス・ポインタ (ADTP) に送受信機能を開始したときの値が再設定され、バッファ RAM の内容を再送信します。

なお、受信動作、ビジー制御、ストローブ制御を行わない場合には、P20/SI1, P23/STB, P24/BUSY 端子を通常の入出力ポートとして使用できます。

繰り返し送信モードの動作タイミングを図 15-13 に、動作フロー・チャートを図 15-14 に示します。

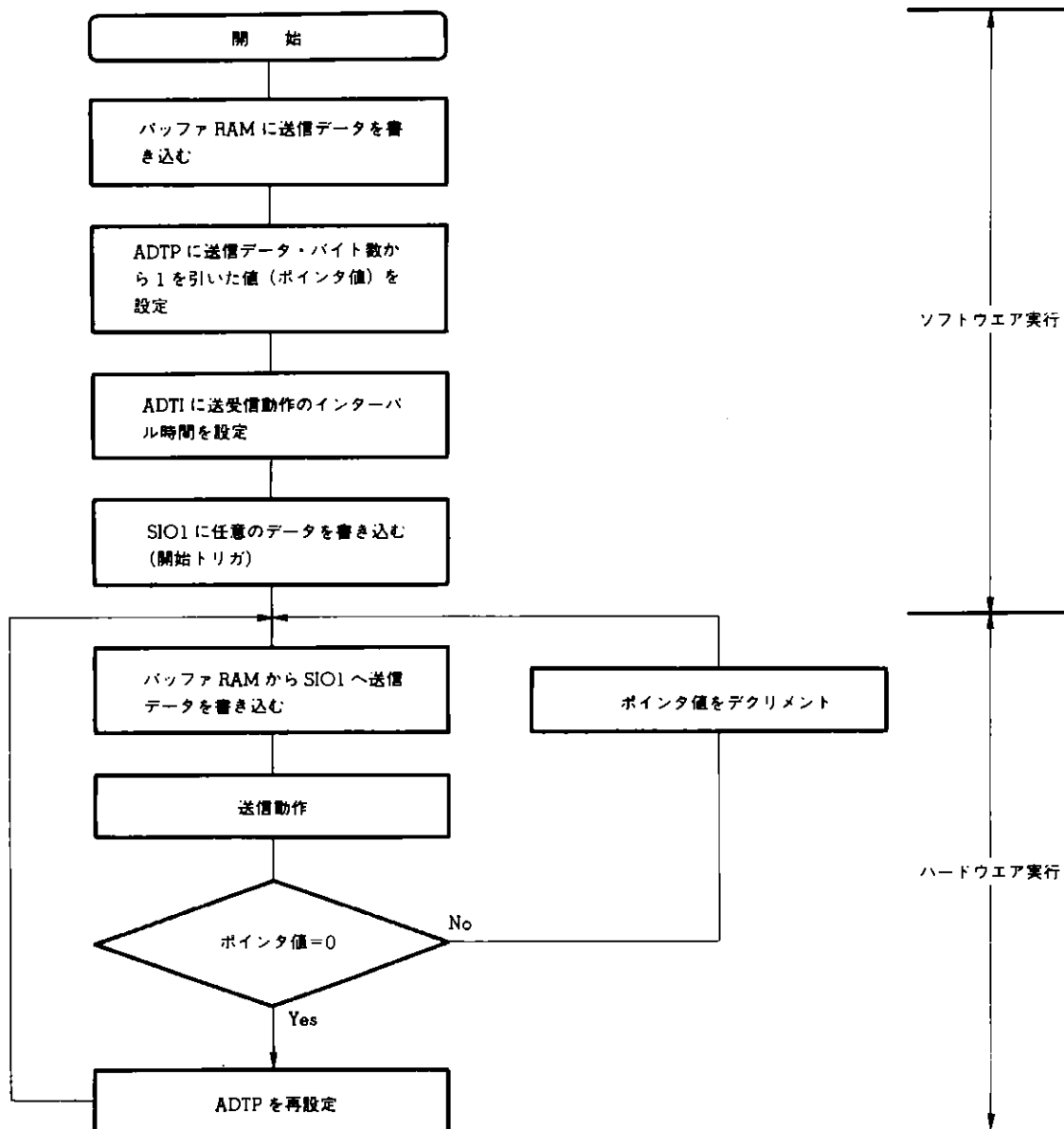
図 15-13 繰り返し送信モードの動作タイミング



**注意** 繰り返し送信モードでは、1 バイト送信後、バッファ RAM からの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU 処理と同時にバッファ RAM からの読み出しを行っていますので、最大インターバル時間は CPU 処理と自動データ送受信間隔指定レジスタ (ADTI) の値に依存します ((h) 自動送受信のインターバル時間参照)。



図 18-14 繰り返し送信モードのフロー・チャート



備考 1. ADTP : 自動データ送受信アドレス・ポインタ

2. ADTI : 自動データ送受信間隔指定レジスタ

3. SIO1 : シリアル I/O シフト・レジスタ 1

繰り返し送信モードで6バイト分送信するとき (ARLD=1, RE=0), バッファ RAM は次のような動作をします。

(i) 送信動作前

SIO1 に任意のデータを書き込んだあと (開始トリガ: このデータは転送されません), バッファ RAM から送信データ 1 (T1) が SIO1 へ転送されます。1 バイト目の送信が完了すると, ADTP がデクリメントされます。続いてバッファ RAM から送信データ 2 (T2) が SIO1 へ転送されます。

(ii) 6 バイト分送信完了時点

6 バイト目の送信が完了しても, 割り込み要求フラグ (CSIF1) をセットしません。

(iii) 7 バイト目送信動作時点

再びバッファ RAM から送信データ (T1) が SIO1 へ転送されます。1 バイト目の送信が完了すると, ADTP がデクリメントされます。続いてバッファ RAM から送信データ 2 (T2) が SIO1 へ転送されます。

図 15-15 6 バイト分送信するときのバッファ RAM の動作 (繰り返し送信モード時) (1/2)

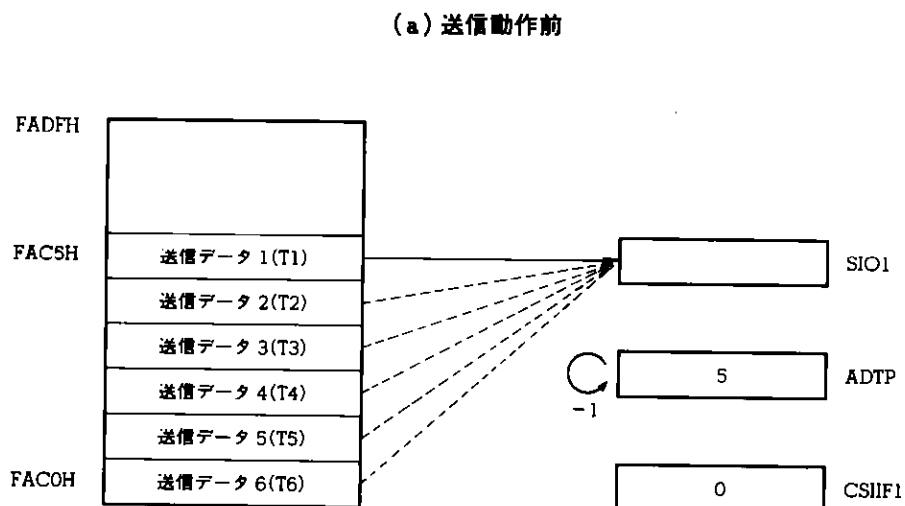
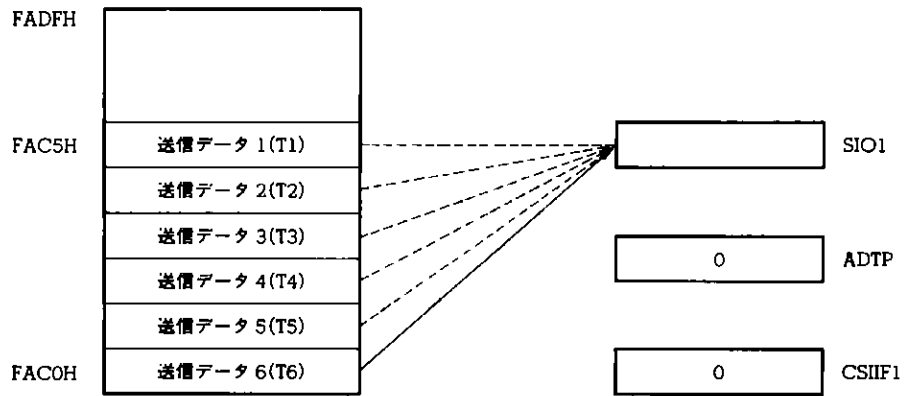
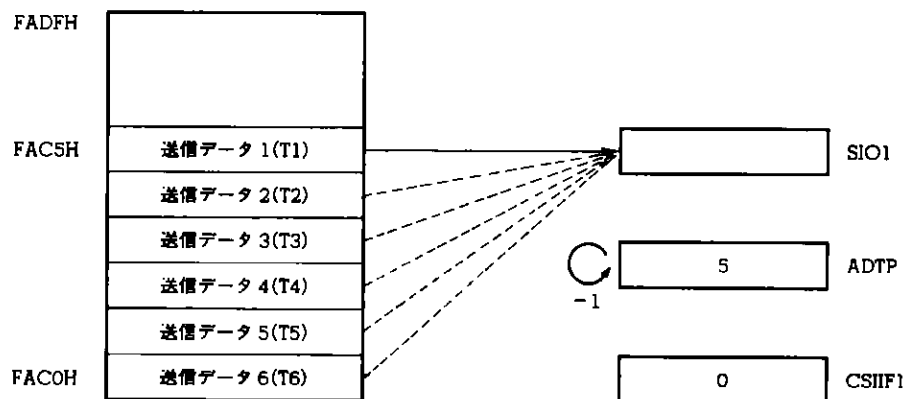


図 15-15 6 バイト分送信するときのバッファ RAM の動作 (繰り返し送信モード時) (2/2)

(b) 6 バイト分送信完了時点



(c) 7 バイト目送信動作時点



## (d) ビジィ制御オプション

シリアル動作モード・レジスタ (CSIM1) のビット 5 (ATE) と、自動データ送受信コントロール・レジスタ (ADTC) のビット 1 (BUSY1) がともに 1 にセットされているとき、ビジィ制御が使用できます。このとき BUSY/P24 端子をサンプリングし、ビジィ信号が入力されている間、送受信をウェイトさせることができます。

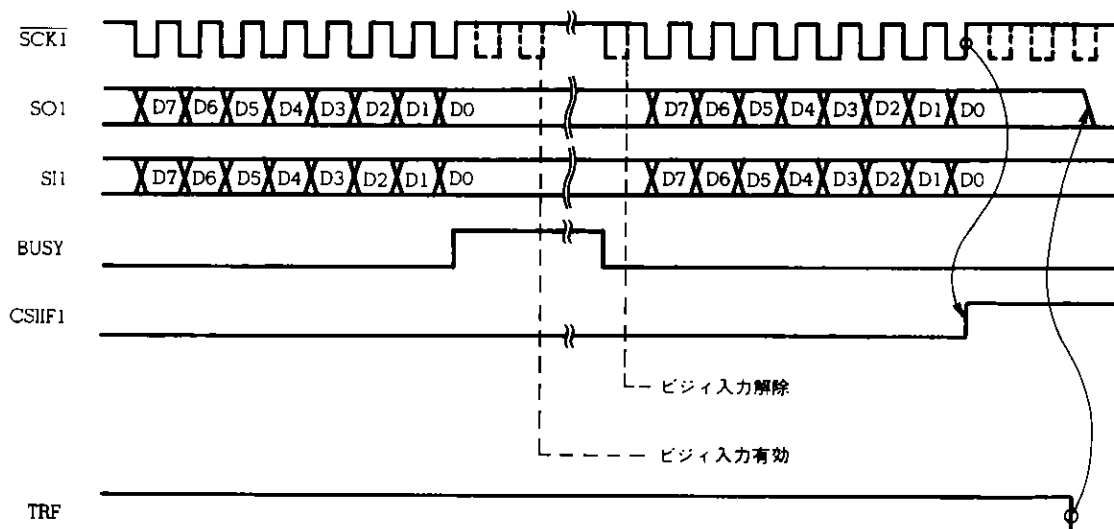
ビジィ信号のアクティブ・レベルは ADTC のビット 0 (BUSY0) が 0 にクリアされているとき、アクティブ・ハイ、BUSY0 が 1 にセットされているときはアクティブ・ロウとして判別します。

なお、ストローブ制御は行いませんので、P23/STB 端子は通常の入出力ポートとして使用できます。

ビジィ制御オプションを使用したときの動作タイミングを図 15-16 に示します。

**注意** シリアル・クロックには、内部クロックを選択してください。ビジィ制御送受信モードは、外部クロックで動作できません。

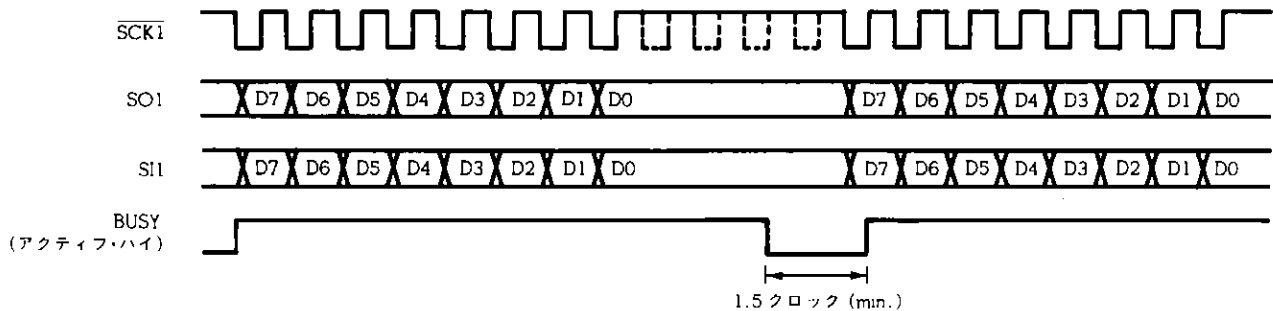
図 15-16 ビジィ制御オプションを使用したときの動作タイミング (BUSY0=0 のとき)



**注意** TRF をクリアすると、SO1 端子はロウ・レベルになります。

送受信の開始とともにビジー信号をアクティブにすることも可能です。

この場合、10回目以降もビジー信号がアクティブであればアクティブ期間に応じてウェイトがかかります。ウェイトを解除するためには、最低 1.5 クロックの期間インアクティブ・レベルを入力してください。



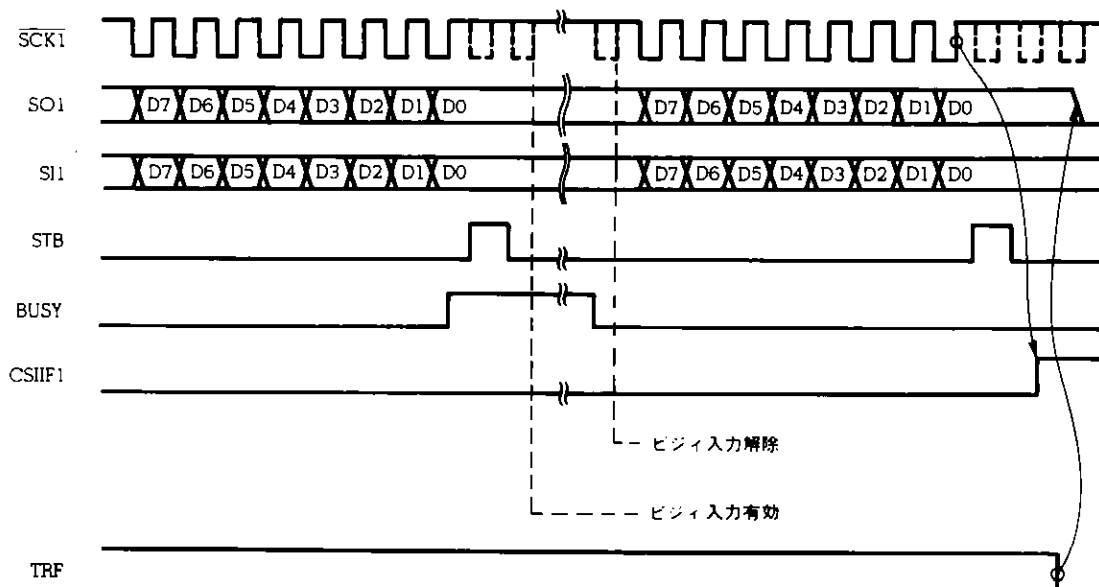
#### (e) ビジー & ストロープ制御オプション

シリアル動作モード・レジスタ 1 (CSIM1) のビット 5 (ATE) と、自動データ送受信コントロール・レジスタ (ADTC) のビット 1 (BUSY1), ビット 2 (STRB) がすべて 1 にセットされているとき、ビジー & ストロープ制御が使用できます。このとき  $STB/P23$  端子からストロープ信号を出力するとともに、 $BUSY/P24$  端子をサンプリングし、ビジー信号が入力されている間、送受信をウェイトさせることができます。

ビジー信号のアクティブ・レベルは ADTC のビット 0 (BUSY0) が 0 にクリアされているときアクティブ・ハイ、 $BUSY0$  が 1 にセットされているときはアクティブ・ロウとして判別します。

ビジー & ストロープ制御オプションを使用したときの動作タイミングを図 15-17 に示します。

図 15-17 ビジー & ストロープ制御オプションを使用したときの動作タイミング ( $BUSY0=0$  のとき)



注意  $\overline{TRF}$  をクリアすると、 $SO1$  端子はロウ・レベルになります。

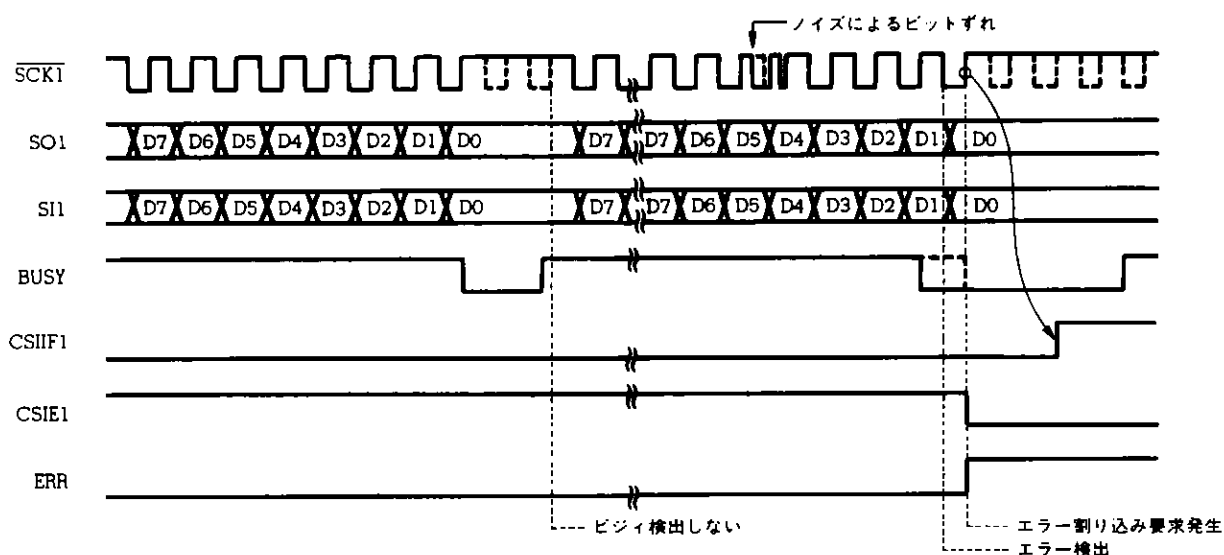
## (f) ビットずれ検出機能

自動送信動作中、シリアル・クロック信号にノイズがのってビットずれが発生した場合、ストローブ制御オプションを使用しているときは同期がとれるためビットずれが次のバイト送信時に影響しませんが、ストローブ制御オプションを使用していないときは影響します。

ストローブ制御オプションを使用していないとき、送信側はビジー制御オプションにより、送信中にビジー信号をチェックすることでビットずれを検出することができます。8回目のシリアル・クロックの立ち上がりのあとにビジー信号を出力し、シリアル・クロック信号の立ち下がりに同期してビジー信号を取り込み、アクティブの場合はビットずれとみなしてエラー処理（自動データ送受信コントロール・レジスタのビット 4 (ERR) を 1 にセット）を行います。

ビットずれ検出機能の動作タイミングを図 15-18 に示します。

図 15-18 ビットずれ検出機能の動作タイミング



## (g) 自動送受信の中断と再開

自動送受信中に送受信動作を一時的に中断したい場合、シリアル動作モード・レジスタ 1 (CSIM1) のビット 7 (CSIE1) を 0 にリセットすることにより動作の中断ができます。

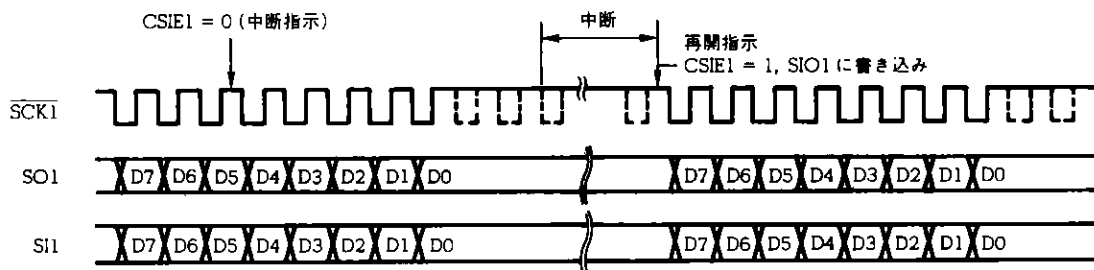
このとき、8 ビット・データ転送の途中では中断せず、必ず 8 ビット・データ転送が完了した時点で中断します。

中断時には、8 ビット目のデータを転送したあと、自動データ送受信コントロール・レジスタ (ADTC) のビット 3 (TRF) が 0 になり、シリアル・インタフェース用端子と兼用しているポート端子 (P20/SI1, P21/SO1, P22/SCK1, P23/STB, P24/BUSY) がすべてポート・モードになります。

自動送受信の再開は、CSIE1 を 1 にセットし、シリアル I/O シフト・レジスタ 1 (SIO1) に任意の値を書き込むことによって残りのデータを転送することができます。

- 注意 1. 自動送受信中に HALT 命令を実行すると、8 ビット・データ転送の途中でも転送を中断し、HALT モードになります。また、HALT モードを解除すると、自動送受信動作を中断箇所より再開します。
2. 自動送受信動作を中断したとき、TRF=1 の間は動作モードを 3 線式シリアル I/O モードに変更しないでください。

図 15 - 19 自動送受信の中断と再開



★

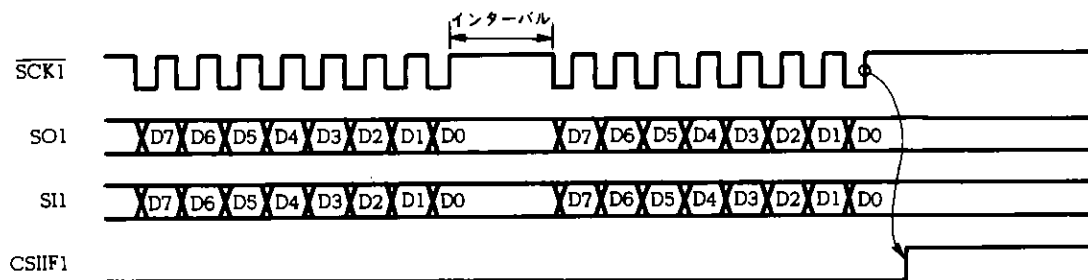
## (h) 自動送受信のインターバル時間

自動送受信機能を使用する場合、1 バイト送受信後、バッファ RAM からの書き込み/読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。

自動送受信機能を内部クロックで動作させる場合、CPU 処理と並行してバッファ RAM との書き込み/読み出しを行うため、インターバル時間は、シリアル・クロックの 8 発目の立ち上がりタイミングにおける CPU 処理と自動データ送受信間隔指定レジスタ (ADTI) の設定値に依存します。ADTI に依存するかしないかは、ADTI のビット 7 (ADTI7) の設定により、選択することができます。ADTI7 に 0 を設定したとき、インターバル時間は CPU 処理にのみ依存します。ADTI7 に 1 を設定したとき、インターバル時間は、ADTI に設定した内容で決定されるインターバル時間と CPU 処理によるインターバル時間のどちらか大きい方となります。

自動送受信機能を外部クロックで動作させる場合、インターバル時間が (ii) に示す時間以上になるような外部クロックを入力する必要があります。

図 15-20 自動送受信のインターバル時間



## (i) 自動送受信機能を内部クロックで動作させる場合 (CSIM11=1)

自動送受信機能を内部クロックで動作させる場合、CPU 処理によるインターバル時間は次のようになります。

ADTI7 に 0 を設定したとき、インターバル時間は CPU 処理によるインターバル時間となります。ADTI7 に 1 を設定したとき、インターバル時間は ADTI に設定した内容で決定されるインターバル時間と CPU 処理によるインターバル時間のどちらか大きい方となります。

ADTI によるインターバル時間については、図 15-8 自動データ送受信間隔指定レジスタのフォーマットを参照してください。



| CPU 処理            | インターバル時間                                         |
|-------------------|--------------------------------------------------|
| 乗算命令を使用時          | MAX. (2.5T <sub>SCK</sub> , 13T <sub>CPU</sub> ) |
| 除算命令を使用時          | MAX. (2.5T <sub>SCK</sub> , 20T <sub>CPU</sub> ) |
| 外部アクセス 1 ウェイト・モード | MAX. (2.5T <sub>SCK</sub> , 9T <sub>CPU</sub> )  |
| 上記以外              | MAX. (2.5T <sub>SCK</sub> , 7T <sub>CPU</sub> )  |

T<sub>SCK</sub> : 1/f<sub>SCK</sub>

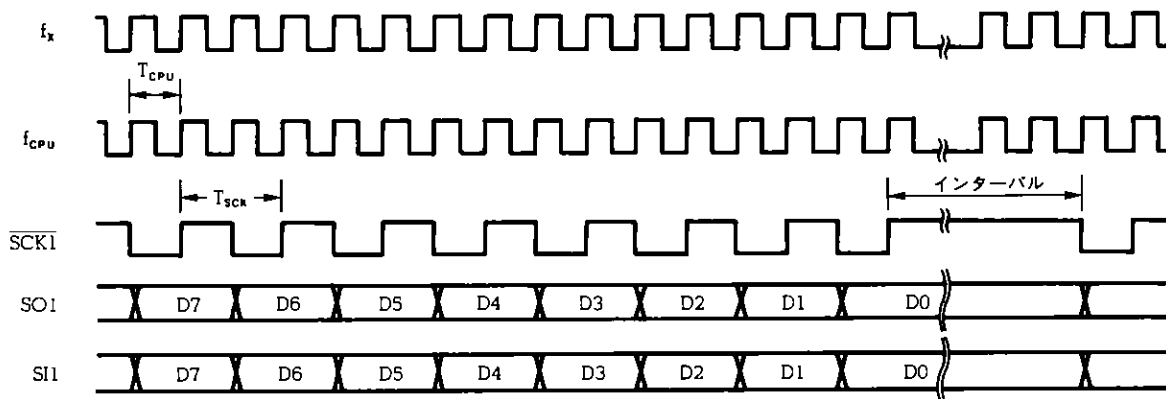
f<sub>SCK</sub> : シリアル・クロック周波数

T<sub>CPU</sub> : 1/f<sub>CPU</sub>

f<sub>CPU</sub> : CPU クロック (プロセッサ・クロック・コントロール・レジスタのビット 0-2 (PCC0-PCC2), 発振モード選択レジスタのビット 0 (MCS) で設定)

MAX. (a, b) : a, b どちらか大きい方の値

CSIM11 : シリアル動作モード・レジスタ 1 (CSIM1) のビット 1



(ii) 自動送受信機能を外部クロックで動作させる場合 (CSIM11=0)

自動送受信機能を外部クロックで動作させる場合、インターバル時間が次に示す時間以上になるような外部クロックを入力する必要があります。

| CPU 処理            | インターバル時間              |
|-------------------|-----------------------|
| 乗算命令を使用時          | 13T <sub>CPU</sub> 以上 |
| 除算命令を使用時          | 20T <sub>CPU</sub> 以上 |
| 外部アクセス 1 ウェイト・モード | 9T <sub>CPU</sub> 以上  |
| 上記以外              | 7T <sub>CPU</sub> 以上  |

T<sub>CPU</sub> : 1/f<sub>CPU</sub>

f<sub>CPU</sub> : CPU クロック (プロセッサ・クロック・コントロール・レジスタのビット 0-2 (PCC0-PCC2), 発振モード選択レジスタのビット 0 (MCS) で設定)

CSIM11 : シリアル動作モード・レジスタ 1 (CSIM1) のビット 1

(メ モ)

## 第16章 シリアル・インタフェース・チャンネル 2

### 16.1 シリアル・インタフェース・チャンネル 2 の機能

シリアル・インタフェース・チャンネル 2 は、次の 3 種類のモードがあります。

- 動作停止モード
- アシンクロナス・シリアル・インタフェース (UART) モード
- 3 線式シリアル I/O モード

#### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

#### (2) アシンクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く 1 バイトのデータを送受信するモードで、全二重動作が可能です。

UART 専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK 端子への入力クロックを分周してボー・レートを定義することもできます。

UART 専用ボー・レート・ジェネレータを利用して MIDI 規格のボー・レート (31.25 kbps) を使用することもできます。

#### (3) 3 線式シリアル I/O モード (MSB/LSB 先頭切り替え可能)

シリアル・クロック ( $\overline{\text{SCK2}}$ ) と、シリアル・データ (SI2, SO2) の 3 本のラインにより、8 ビット・データ転送を行うモードです。

3 線式シリアル I/O モードは、同時送受信動作が可能なので、データ転送の処理時間が速くなります。

シリアル転送する 8 ビット・データの先頭ビットを MSB か、または LSB かに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3 線式シリアル I/O モードは、75X シリーズ、78K シリーズ、17K シリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺 I/O や表示コントローラなどを接続するときに有効です。

## 16.2 シリアル・インタフェース・チャンネル 2 の構成

シリアル・インタフェース・チャンネル 2 は、次のハードウェアで構成しています。

表 16-1 シリアル・インタフェース・チャンネル 2 の構成

| 項 目    | 構 成                                                                                                                                            |
|--------|------------------------------------------------------------------------------------------------------------------------------------------------|
| レジスタ   | 送信シフト・レジスタ (TXS)<br>受信シフト・レジスタ (RXS)<br>受信バッファ・レジスタ (RXB)                                                                                      |
| 制御レジスタ | シリアル動作モード・レジスタ 2 (CSIM2)<br>アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)<br>アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)<br>ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) |

図 16-1 シリアル・インタフェース・チャンネル 2 のブロック図★

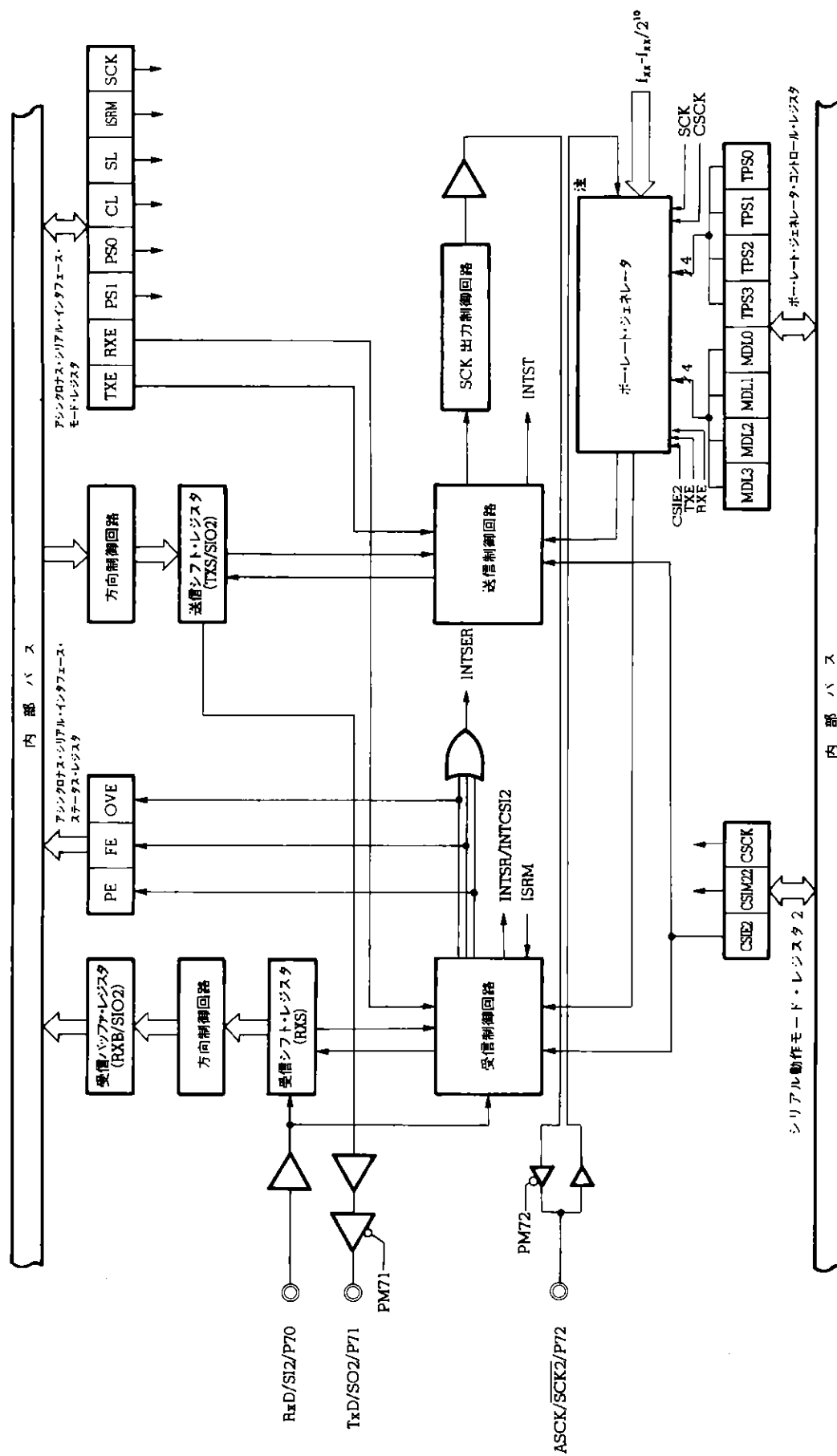
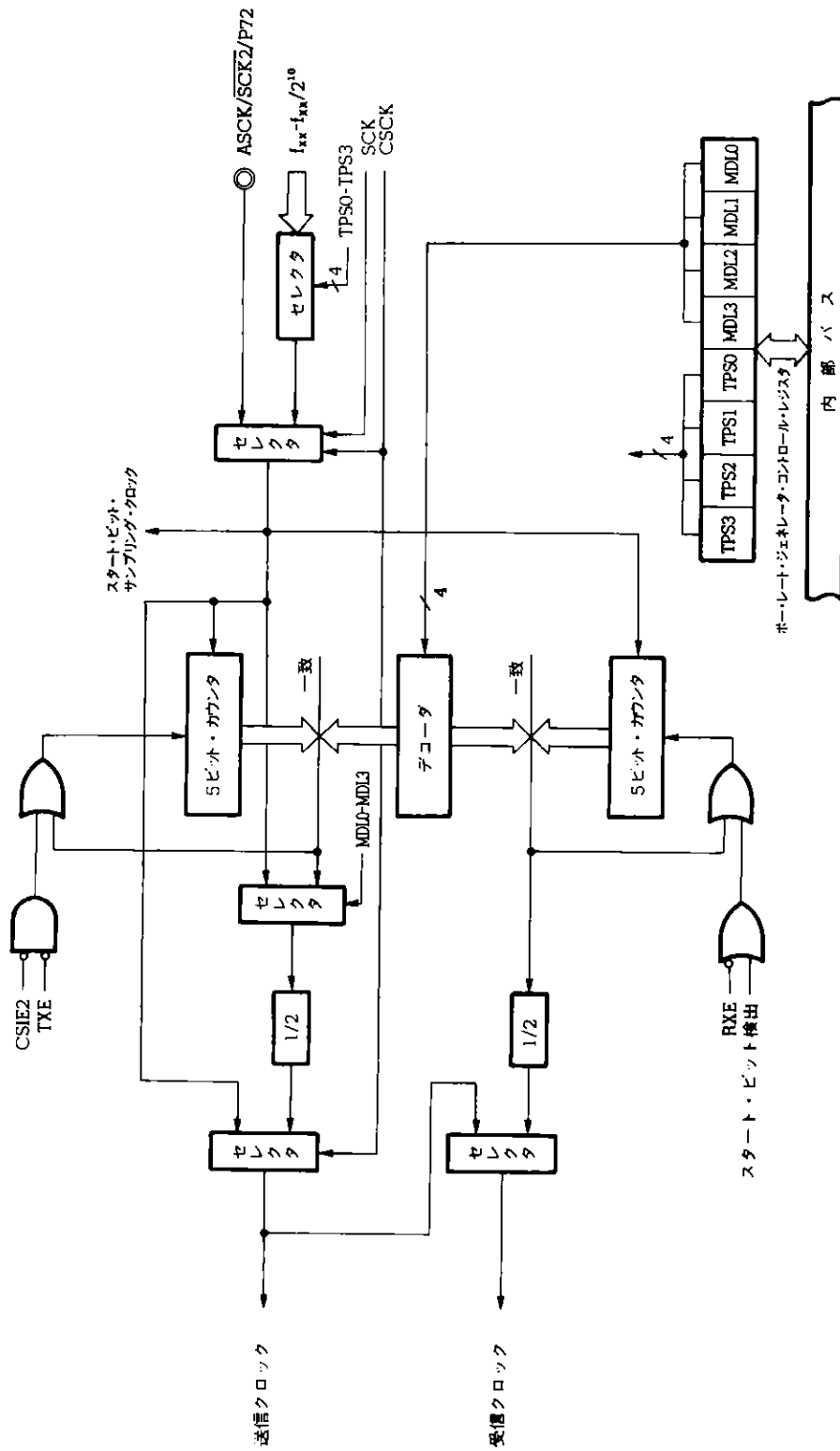


図 16-2 ポーレート・ジェネレータのブロック図



**(1) 送信シフト・レジスタ (TXS)**

送信データを設定するレジスタです。TXS に書き込まれたデータをシリアル・データとして送信します。

データ長を 7 ビットに指定した場合、TXS に書き込んだデータのビット 0-6 が送信データとして転送されます。TXS にデータを書き込むことにより、送信動作を開始します。

TXS は、8 ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$  入力により、FFH になります。

**注意** 送信動作中は、TXS への書き込みを行わないでください。

TXS と受信バッファ・レジスタ (RXB) は同一アドレスに割り当てられており、読み出しを行った場合には RXB の値が読み出されます。

**(2) 受信シフト・レジスタ (RXS)**

RxD 端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1 バイト分のデータを受信すると、受信データを受信バッファ・レジスタ (RXB) へ転送します。

RXS はプログラムで直接操作することはできません。

**(3) 受信バッファ・レジスタ (RXB)**

受信データを保持するレジスタです。データを 1 バイト受信することにより受信シフト・レジスタ (RXS) から新たな受信データが転送されます。

データ長を 7 ビットに指定した場合、受信データは RXB のビット 0-6 に転送され、RXB の MSB は必ず 0 になります。

RXB は、8 ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$  入力により、FFH になります。

**注意** RXB と送信シフト・レジスタ (TXS) は同一アドレスに割り当てられており、書き込みを行った場合には TXS に値が書き込まれます。

**(4) 送信制御回路**

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) に設定された内容に従って、送信シフト・レジスタ (TXS) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

**(5) 受信制御回路**

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) にセットします。

## 16.3 シリアル・インタフェース・チャンネル 2 を制御するレジスタ

シリアル・インタフェース・チャンネル 2 は、次の 4 種類のレジスタで制御します。

- シリアル動作モード・レジスタ 2 (CSIM2)
- アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)
- アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)
- ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC)

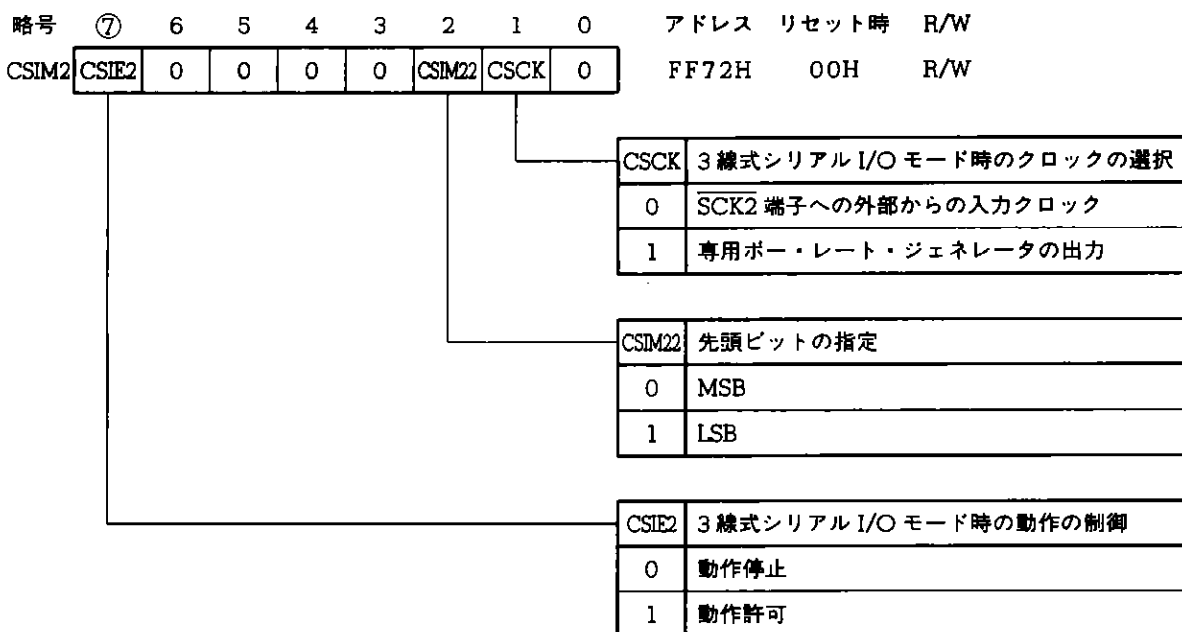
### (1) シリアル動作モード・レジスタ 2 (CSIM2)

シリアル・インタフェース・チャンネル 2 を 3 線式シリアル I/O モードで使用するときに設定するレジスタです。

CSIM2 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

図 16-3 シリアル動作モード・レジスタ 2 のフォーマット



注意 1. ビット 0, 3-6 には、必ず 0 を設定してください。

2. UART モード選択時は、CSIM2 に 00H を設定してください。



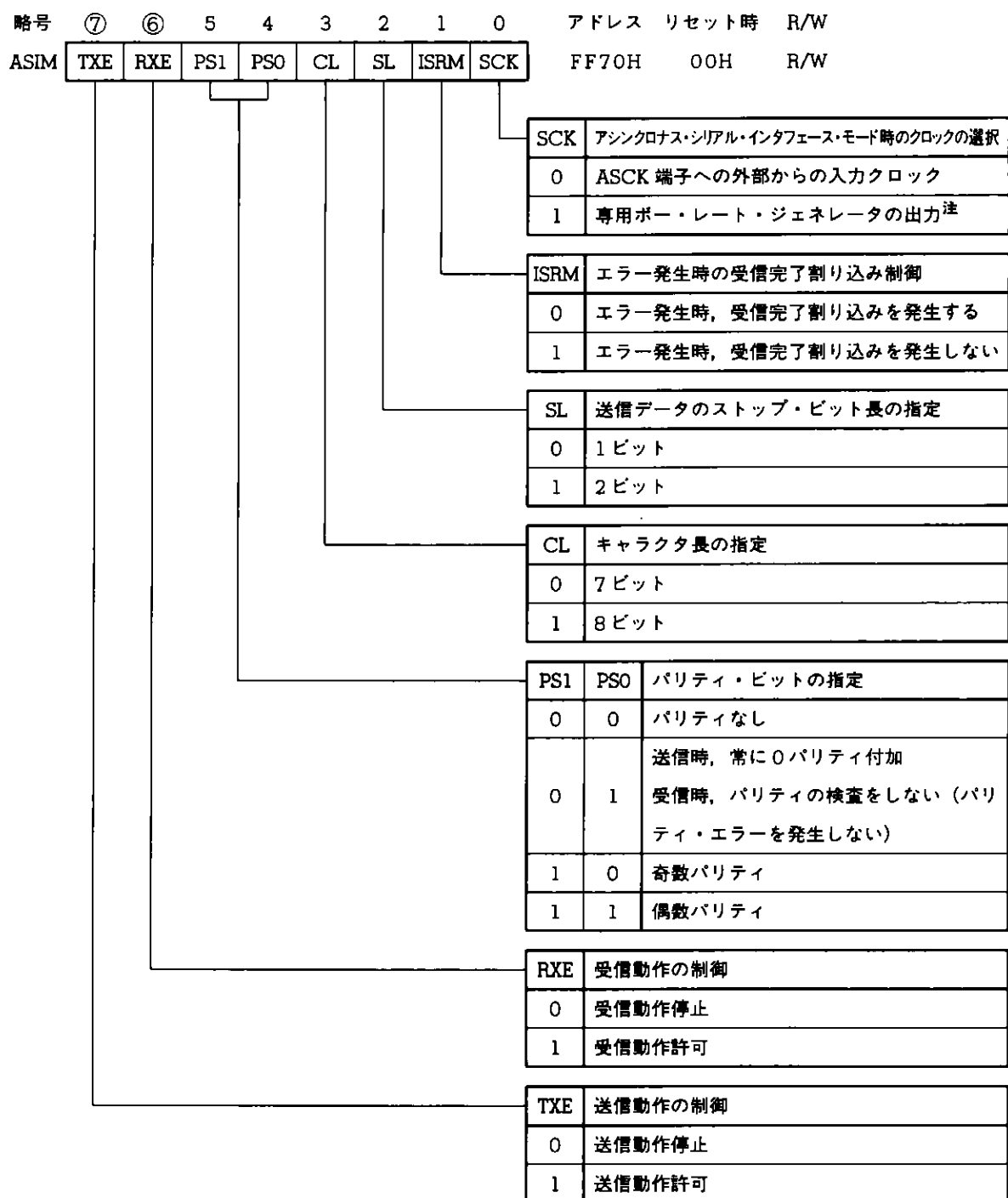
## (2) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

シリアル・インタフェース・チャンネル2をアシクロナス・シリアル・インタフェース・モードで使用するときには設定するレジスタです。

ASIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00Hになります。

図 16-4 アシクロナス・シリアル・インタフェース・モード・レジスタのフォーマット



注 SCK を 1 にしてポー・レート・ジェネレータ出力を選択したとき, ASCK 端子は入出力ポートとして使用できます。

注意 1. 3 線式シリアル I/O モード選択時は, ASIM に OOH を設定してください。

2. 動作モードの切り替えは, シリアル送受信動作を停止させたのちに行ってください。

表 16-2 シリアル・インタフェース・チャンネル 2 の動作モードの設定一覧★

| ASIM |     |     | CSIM2 |        |      | PM70 | P70 | PM71                                                                                                      | P71 | PM72 | P72                    | 動作モード                                | 先頭ビット | シフト・クロック | P70/SI2/RxD<br>端子の機能 | P71/SO2/TxD<br>端子の機能 | P72/SCK2/ASCK<br>端子の機能 |        |        |       |                 |        |   |   |   |   |     |        |        |   |
|------|-----|-----|-------|--------|------|------|-----|-----------------------------------------------------------------------------------------------------------|-----|------|------------------------|--------------------------------------|-------|----------|----------------------|----------------------|------------------------|--------|--------|-------|-----------------|--------|---|---|---|---|-----|--------|--------|---|
| TXE  | RXE | SCK | CSIE2 | CSIM22 | CSCK | ×注1  | ×注1 | ×注1                                                                                                       | ×注1 | ×注1  | ×注1                    | 動作停止                                 | —     | —        | P70                  | P71                  | P72                    |        |        |       |                 |        |   |   |   |   |     |        |        |   |
| 0    | 0   | 0   | 1     | 0      | 0    | ×注2  | 0   | 1                                                                                                         | 1   | ×    | 3線式<br>シリアル I/O<br>モード |                                      |       |          |                      |                      |                        | MSB    | 外部クロック | SI2注2 | SO2<br>(CMOS出力) | SCK2入力 |   |   |   |   |     |        |        |   |
|      |     |     |       |        |      |      |     |                                                                                                           |     |      |                        |                                      |       |          |                      |                      |                        |        |        |       |                 |        | 0 | 1 | 0 | 1 | ×   | 内部クロック | SCK2出力 |   |
|      |     |     |       |        |      |      |     |                                                                                                           |     |      |                        |                                      |       |          |                      |                      |                        |        |        |       |                 |        |   |   |   |   |     |        |        | 1 |
|      |     |     |       |        |      |      |     |                                                                                                           |     |      |                        | 1                                    | 1     | 0        | 1                    | ×                    | 内部クロック                 |        |        |       |                 |        |   |   |   |   |     |        |        |   |
| 1    | 0   | 0   | 0     | 0      | 0    | ×注1  | ×   | 0                                                                                                         | 1   | ×    | ×                      | アシンクロナス・<br>シリアル・<br>インタフェース・<br>モード | LSB   | 外部クロック   | P70                  | TxD<br>(CMOS出力)      | ASCK入力                 |        |        |       |                 |        |   |   |   |   |     |        |        |   |
| 0    | 1   | 1   | 0     | 0      | ×    | ×    | ×   | ×注1 <td rowspan="3">×</td> <td rowspan="3">×</td> <td rowspan="3">外部クロック</td> <td rowspan="3">ASCK出力</td> | ×   | ×    | 外部クロック                 |                                      |       |          |                      |                      |                        | ASCK出力 |        |       |                 |        |   |   |   |   |     |        |        |   |
|      |     |     |       |        |      |      |     |                                                                                                           |     |      |                        |                                      |       |          |                      |                      |                        |        | 0      | 0     | ×               | ×      | × | × | × | × | P72 |        |        |   |
|      |     |     |       |        |      |      |     |                                                                                                           |     |      |                        |                                      |       |          |                      |                      |                        |        |        |       |                 |        |   |   |   |   |     | 0      | 0      | × |
| 1    | 1   | 0   | 0     | 0      | 0    | 1    | ×   | 0                                                                                                         | 1   | ×    | ×                      | モード                                  | LSB   | 外部クロック   | RxD                  | TxD<br>(CMOS出力)      | ASCK入力                 |        |        |       |                 |        |   |   |   |   |     |        |        |   |
| 1    | 1   | 1   | 0     | 0      | 1    | ×    | ×   | ×                                                                                                         | ×   | ×    | ×                      |                                      |       |          |                      |                      |                        | 外部クロック | ASCK出力 |       |                 |        |   |   |   |   |     |        |        |   |
|      |     |     |       |        |      |      |     |                                                                                                           |     |      |                        |                                      |       |          |                      |                      |                        |        |        | 0     | 0               | ×      | × | × | × | × | ×   | P72    |        |   |
|      |     |     |       |        |      |      |     |                                                                                                           |     |      |                        |                                      |       |          |                      |                      |                        |        |        |       |                 |        |   |   |   |   |     |        | 0      | 0 |
| 上記以外 |     |     |       |        |      |      |     |                                                                                                           |     |      |                        |                                      |       |          |                      |                      |                        | 設定禁止   |        |       |                 |        |   |   |   |   |     |        |        |   |

注 1. ポート機能として自由に使用できます。

注 2. 送信のみ使用する場合は、P70 (CMOS入出力) として使用できます。

備考 × : don't care

## (3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

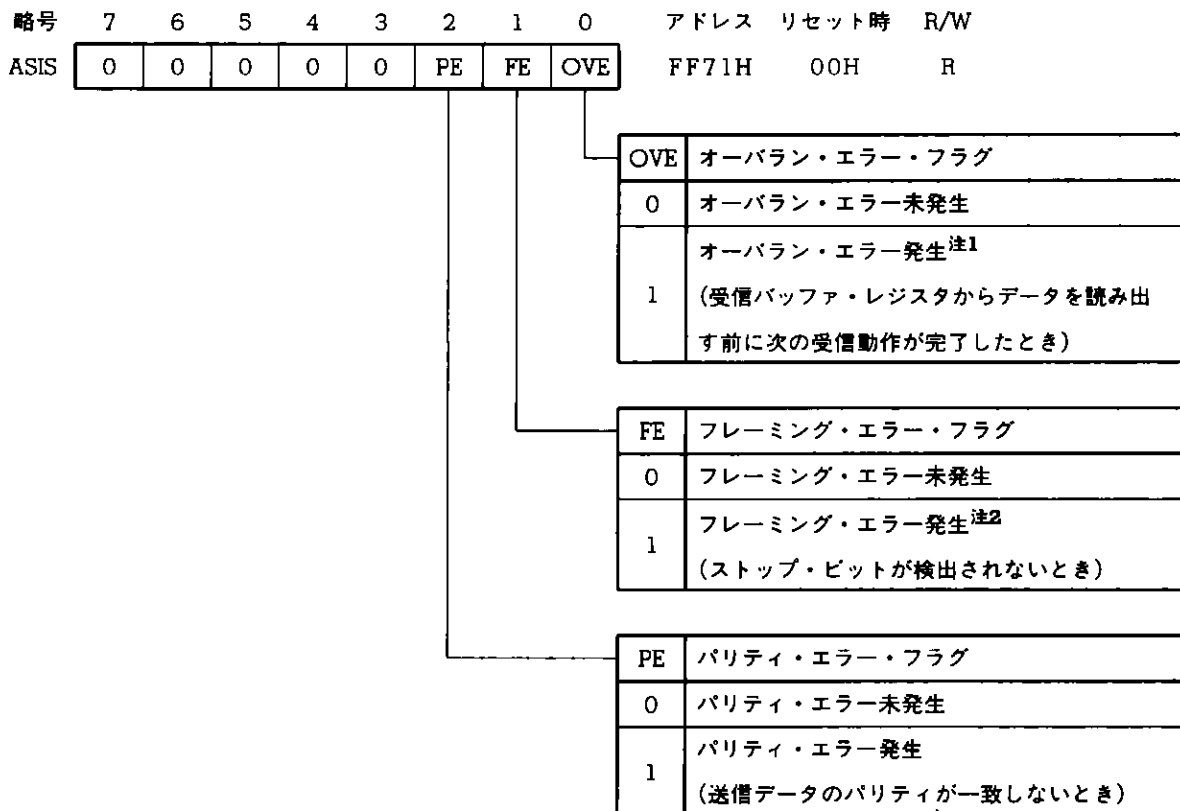
アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

3 線式シリアル I/O モードでは、ASIS の内容は不定となります。

$\overline{\text{RESET}}$  入力により、00H になります。

図 16-5 アシクロナス・シリアル・インタフェース・ステータス・レジスタのフォーマット



注 1. オーバラン・エラーが発生したとき、受信バッファ・レジスタ (RXB) を必ず読み出してください。

RXB を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

2. アシクロナス・シリアル・インタフェース・モード・レジスタのビット 2 (SL) でストップ・ビット長を 2 ビットに設定した場合も、受信時のストップ・ビット検出は 1 ビットのみです。

## (4) ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC)

アシンクロナス・シリアル・インタフェース・モードのときのシリアル・クロックを設定するレジスタです。

BRGC は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

図 16-6 ボー・レート・ジェネレータ・コントロール・レジスタのフォーマット (1/2)

| 略号   | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    | アドレス  | リセット時 | R/W |
|------|------|------|------|------|------|------|------|------|-------|-------|-----|
| BRGC | TPS3 | TPS2 | TPS1 | TPS0 | MDL3 | MDL2 | MDL1 | MDL0 | FF73H | 00H   | R/W |

| MDL3 | MDL2 | MDL1 | MDL0 | ボー・レート・ジェネレータの入力クロックの選択 | k  |
|------|------|------|------|-------------------------|----|
| 0    | 0    | 0    | 0    | $f_{\text{SCK}}/16$     | 0  |
| 0    | 0    | 0    | 1    | $f_{\text{SCK}}/17$     | 1  |
| 0    | 0    | 1    | 0    | $f_{\text{SCK}}/18$     | 2  |
| 0    | 0    | 1    | 1    | $f_{\text{SCK}}/19$     | 3  |
| 0    | 1    | 0    | 0    | $f_{\text{SCK}}/20$     | 4  |
| 0    | 1    | 0    | 1    | $f_{\text{SCK}}/21$     | 5  |
| 0    | 1    | 1    | 0    | $f_{\text{SCK}}/22$     | 6  |
| 0    | 1    | 1    | 1    | $f_{\text{SCK}}/23$     | 7  |
| 1    | 0    | 0    | 0    | $f_{\text{SCK}}/24$     | 8  |
| 1    | 0    | 0    | 1    | $f_{\text{SCK}}/25$     | 9  |
| 1    | 0    | 1    | 0    | $f_{\text{SCK}}/26$     | 10 |
| 1    | 0    | 1    | 1    | $f_{\text{SCK}}/27$     | 11 |
| 1    | 1    | 0    | 0    | $f_{\text{SCK}}/28$     | 12 |
| 1    | 1    | 0    | 1    | $f_{\text{SCK}}/29$     | 13 |
| 1    | 1    | 1    | 0    | $f_{\text{SCK}}/30$     | 14 |
| 1    | 1    | 1    | 1    | $f_{\text{SCK}}$ 注      | —  |

注 3 線式シリアル I/O モード時にのみ使用できます。

備考 1.  $f_{\text{SCK}}$  : 5 ビット・カウンタのソース・クロック

2. k : MDL0-MDL3 で設定した値 ( $0 \leq k \leq 14$ )

図 16-6 ポー・レート・ジェネレータ・コントロール・レジスタのフォーマット (2/2)

| TPS3 | TPS2 | TPS1 | TPS0 | 5 ビット・カウンタのソース・クロックの選択     | n  |
|------|------|------|------|----------------------------|----|
| 0    | 0    | 0    | 0    | $f_{xx}/2^{10}$ (3.91 kHz) | 11 |
| 0    | 1    | 0    | 1    | $f_{xx}$ (4.0 MHz)         | 1  |
| 0    | 1    | 1    | 0    | $f_{xx}/2$ (2.0 MHz)       | 2  |
| 0    | 1    | 1    | 1    | $f_{xx}/2^2$ (1.0 MHz)     | 3  |
| 1    | 0    | 0    | 0    | $f_{xx}/2^3$ (500 kHz)     | 4  |
| 1    | 0    | 0    | 1    | $f_{xx}/2^4$ (250 kHz)     | 5  |
| 1    | 0    | 1    | 0    | $f_{xx}/2^5$ (125 kHz)     | 6  |
| 1    | 0    | 1    | 1    | $f_{xx}/2^6$ (62.5 kHz)    | 7  |
| 1    | 1    | 0    | 0    | $f_{xx}/2^7$ (31.3 kHz)    | 8  |
| 1    | 1    | 0    | 1    | $f_{xx}/2^8$ (15.6 kHz)    | 9  |
| 1    | 1    | 1    | 0    | $f_{xx}/2^9$ (7.81 kHz)    | 10 |
| 上記以外 |      |      |      | 設定禁止                       |    |

**注意** 通信動作中に BRGC への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中には BRGC への書き込みを行わないでください。

- 備考 1.**  $f_{xx}$  : メイン・システム・クロック周波数  
**2.** n : TPS0-TPS3 で設定した値 ( $1 \leq n \leq 11$ )  
**3.** ( ) 内は、 $f_{xx} = 4.0$  MHz 動作時。

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号か、ASCK 端子から入力したクロックを分周した信号になります。

(a) メイン・システム・クロックによるボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{xx}}{2^n \times (k+16)} [\text{Hz}]$$

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2.  $n$  : TPS0-TPS3 で設定した値 ( $1 \leq n \leq 11$ )

3.  $k$  : MDL0-MDL3 で設定した値 ( $0 \leq k \leq 14$ )

表 16-3 メイン・システム・クロックとボー・レートの関係

| ボー・レート<br>(bps) | $f_{xx}=4.0 \text{ MHz}$ |        |
|-----------------|--------------------------|--------|
|                 | BRGC の設定値                | 誤差 (%) |
| 75              | 0AH                      | 0.16   |
| 110             | 02H                      | -1.36  |
| 150             | EAH                      | 0.16   |
| 300             | DAH                      | 0.16   |
| 600             | CAH                      | 0.16   |
| 1200            | BAH                      | 0.16   |
| 2400            | AAH                      | 0.16   |
| 4800            | 9AH                      | 0.16   |
| 9600            | 8AH                      | 0.16   |
| 19200           | 7AH                      | 0.16   |
| 31250           | 70H                      | 0      |
| 38400           | 6AH                      | 0.16   |

## (b) ASCK 端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK 端子から入力したクロックを分周して送受信クロックを生成します。ASCK 端子から入力したクロックから生成するボー・レートは次の式により求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{2 \times (k+16)} [\text{Hz}]$$

備考 1.  $f_{\text{ASCK}}$  : ASCK 端子に入力したクロックの周波数

2.  $k$  : MDL0-MDL3 で設定した値 ( $0 \leq k \leq 14$ )

表 16-4 ASCK 端子入力周波数とボー・レートの関係 (BRGC = OOH 設定時)

| ボー・レート (bps) | ASCK 端子入力周波数 |
|--------------|--------------|
| 75           | 2.4 kHz      |
| 110          | 3.52 kHz     |
| 150          | 4.8 kHz      |
| 300          | 9.6 kHz      |
| 600          | 19.2 kHz     |
| 1200         | 38.4 kHz     |
| 2400         | 76.8 kHz     |
| 4800         | 153.6 kHz    |
| 9600         | 307.2 kHz    |
| 19200        | 614.4 kHz    |
| 31250        | 1000.0 kHz   |
| 38400        | 1228.8 kHz   |



## 16.4 シリアル・インタフェース・チャンネル 2 の動作

シリアル・インタフェース・チャンネル 2 は、次の 3 種類のモードがあります。

- 動作停止モード
- アシンクロナス・シリアル・インタフェース (UART) モード
- 3 線式シリアル I/O モード

### 16.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。

また、動作停止モードでは、P70/SI2/RxD, P71/SO2/TxD, P72/ $\overline{\text{SCK2}}$ /ASCK 端子を通常の入出力ポートとして使用できます。

#### (1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ 2 (CSIM2) とアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) で行います。

##### (a) シリアル動作モード・レジスタ 2 (CSIM2)

CSIM2 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

 は動作停止モードにおける使用ビットを示します。

| 略号    | ⑦                                                                                   | 6 | 5 | 4 | 3 | 2      | 1    | 0 | アドレス  | リセット時 | R/W |
|-------|-------------------------------------------------------------------------------------|---|---|---|---|--------|------|---|-------|-------|-----|
| CSIM2 |  | 0 | 0 | 0 | 0 | CSIM22 | CSCK | 0 | FF72H | 00H   | R/W |

|       |                         |
|-------|-------------------------|
| CSIE2 | 3 線式シリアル I/O モード時の動作の制御 |
| 0     | 動作停止                    |
| 1     | 動作許可                    |

注意 ビット 0, 3-6 には、必ず 0 を設定してください。

## (b) アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

ASIM は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

 は動作停止モードにおける使用ビットを示します。

| 略号   | ⑦                                                                                     | ⑥                                                                                     | 5   | 4   | 3  | 2  | 1    | 0   | アドレス  | リセット時 | R/W |
|------|---------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------|-----|-----|----|----|------|-----|-------|-------|-----|
| ASIM |  TXE |  RXE | PS1 | PS0 | CL | SL | ISRM | SCK | FF70H | 00H   | R/W |

|     |         |
|-----|---------|
| RXE | 受信動作の制御 |
| 0   | 受信動作停止  |
| 1   | 受信動作許可  |

|     |         |
|-----|---------|
| TXE | 送信動作の制御 |
| 0   | 送信動作停止  |
| 1   | 送信動作許可  |

### 16.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART 専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK 端子への入力クロックを分周してボー・レートを定義することもできます。

UART 専用ボー・レート・ジェネレータを利用して MIDI 規格のボー・レート (31.25 kbps) を使用することもできます。

#### (1) レジスタの設定

UART モードの設定は、シリアル動作モード・レジスタ 2 (CSIM2)、アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)、ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC) で行います。

##### (a) シリアル動作モード・レジスタ2 (CSIM2)

CSIM2 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

 は UART モードにおける使用ビットを示します。

UART モード選択時は、CSIM2 に 00H を設定してください。

| 略号    | ⑦                                                                                   | 6 | 5 | 4 | 3 | 2                                                                                   | 1                                                                                   | 0 | アドレス  | リセット時 | R/W |
|-------|-------------------------------------------------------------------------------------|---|---|---|---|-------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------|---|-------|-------|-----|
| CSIM2 |  | 0 | 0 | 0 | 0 |  |  | 0 | FF72H | 00H   | R/W |

|      |                           |
|------|---------------------------|
| CSCK | 3 線式シリアル I/O モード時のクロックの選択 |
| 0    | SCK2 端子への外部からの入力クロック      |
| 1    | 専用ボー・レート・ジェネレータの出力        |

|        |          |
|--------|----------|
| CSIM22 | 先頭ビットの指定 |
| 0      | MSB      |
| 1      | LSB      |

|       |                         |
|-------|-------------------------|
| CSIE2 | 3 線式シリアル I/O モード時の動作の制御 |
| 0     | 動作停止                    |
| 1     | 動作許可                    |

注意 ビット 0, 3-6 には、必ず 0 を設定してください。

## (b) アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

ASIM は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

RESET 入力により、00H になります。

 は UART モードにおける使用ビットを示します。

| 略号   | ⑦   | ⑥   | 5   | 4   | 3  | 2  | 1    | 0   | アドレス  | リセット時 | R/W |
|------|-----|-----|-----|-----|----|----|------|-----|-------|-------|-----|
| ASIM | TXE | RXE | PS1 | PS0 | CL | SL | ISRM | SCK | FF70H | 00H   | R/W |

|     |                                   |  |
|-----|-----------------------------------|--|
| SCK | アシンクロナス・シリアル・インタフェース・モード時のクロックの選択 |  |
| 0   | ASCK 端子への外部からの入力クロック              |  |
| 1   | 専用ポー・レート・ジェネレータの出力注               |  |

|      |                       |  |
|------|-----------------------|--|
| ISRM | エラー発生時の受信完了割り込み制御     |  |
| 0    | エラー発生時、受信完了割り込みを発生する  |  |
| 1    | エラー発生時、受信完了割り込みを発生しない |  |

|    |                    |  |
|----|--------------------|--|
| SL | 送信データのストップ・ビット長の指定 |  |
| 0  | 1 ビット              |  |
| 1  | 2 ビット              |  |

|    |           |  |
|----|-----------|--|
| CL | キャラクタ長の指定 |  |
| 0  | 7 ビット     |  |
| 1  | 8 ビット     |  |

|     |     |                                                        |
|-----|-----|--------------------------------------------------------|
| PS1 | PS0 | パリティ・ビットの指定                                            |
| 0   | 0   | パリティなし                                                 |
| 0   | 1   | 送信時、常に 0 パリティ付加<br>受信時、パリティの検査をしない<br>(パリティ・エラーを発生しない) |
| 1   | 0   | 奇数パリティ                                                 |
| 1   | 1   | 偶数パリティ                                                 |

|     |         |  |
|-----|---------|--|
| RXE | 受信動作の制御 |  |
| 0   | 受信動作停止  |  |
| 1   | 受信動作許可  |  |

|     |         |  |
|-----|---------|--|
| TXE | 送信動作の制御 |  |
| 0   | 送信動作停止  |  |
| 1   | 送信動作許可  |  |

注 SCK を 1 にしてポー・レート・ジェネレータ出力を選択したとき、ASCK 端子は入出力ポートとして使用できます。

注意 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

## (c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

ASIS は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$  入力により、00H になります。

■ は UART モードにおける使用ビットを示します。

| 略号   | 7 | 6 | 5 | 4 | 3 | 2  | 1  | 0   | アドレス  | リセット時 | R/W |
|------|---|---|---|---|---|----|----|-----|-------|-------|-----|
| ASIS | 0 | 0 | 0 | 0 | 0 | PE | FE | OVE | FF71H | 00H   | R   |

|     |                                                                     |
|-----|---------------------------------------------------------------------|
| OVE | オーバラン・エラー・フラグ                                                       |
| 0   | オーバラン・エラー未発生                                                        |
| 1   | オーバラン・エラー発生 <sup>注1</sup><br>(受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき) |

|    |                                                   |
|----|---------------------------------------------------|
| FE | フレーミング・エラー・フラグ                                    |
| 0  | フレーミング・エラー未発生                                     |
| 1  | フレーミング・エラー発生 <sup>注2</sup><br>(ストップ・ビットが検出されないとき) |

|    |                                    |
|----|------------------------------------|
| PE | パリティ・エラー・フラグ                       |
| 0  | パリティ・エラー未発生                        |
| 1  | パリティ・エラー発生<br>(送信データのパリティが一致しないとき) |

注 1. オーバラン・エラーが発生したとき、受信バッファ・レジスタ (RXB) を必ず読み出してください。

RXB を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

2. アシクロナス・シリアル・インタフェース・モード・レジスタのビット 2 (SL) でストップ・ビット長を 2 ビットに設定した場合も、受信時のストップ・ビット検出は 1 ビットのみです。

## (d) ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC)

BRGC は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

■ は UART モードにおける使用ビットを示します。

|      |      |      |      |      |      |      |      |      |       |       |     |
|------|------|------|------|------|------|------|------|------|-------|-------|-----|
| 略号   | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    | アドレス  | リセット時 | R/W |
| BRGC | TPS3 | TPS2 | TPS1 | TPS0 | MDL3 | MDL2 | MDL1 | MDL0 | FF73H | 00H   | R/W |

| MDL3 | MDL2 | MDL1 | MDL0 | ボー・レート・ジェネレータの入クロックの選択 | k  |
|------|------|------|------|------------------------|----|
| 0    | 0    | 0    | 0    | $f_{\text{SCK}}/16$    | 0  |
| 0    | 0    | 0    | 1    | $f_{\text{SCK}}/17$    | 1  |
| 0    | 0    | 1    | 0    | $f_{\text{SCK}}/18$    | 2  |
| 0    | 0    | 1    | 1    | $f_{\text{SCK}}/19$    | 3  |
| 0    | 1    | 0    | 0    | $f_{\text{SCK}}/20$    | 4  |
| 0    | 1    | 0    | 1    | $f_{\text{SCK}}/21$    | 5  |
| 0    | 1    | 1    | 0    | $f_{\text{SCK}}/22$    | 6  |
| 0    | 1    | 1    | 1    | $f_{\text{SCK}}/23$    | 7  |
| 1    | 0    | 0    | 0    | $f_{\text{SCK}}/24$    | 8  |
| 1    | 0    | 0    | 1    | $f_{\text{SCK}}/25$    | 9  |
| 1    | 0    | 1    | 0    | $f_{\text{SCK}}/26$    | 10 |
| 1    | 0    | 1    | 1    | $f_{\text{SCK}}/27$    | 11 |
| 1    | 1    | 0    | 0    | $f_{\text{SCK}}/28$    | 12 |
| 1    | 1    | 0    | 1    | $f_{\text{SCK}}/29$    | 13 |
| 1    | 1    | 1    | 0    | $f_{\text{SCK}}/30$    | 14 |

(続く)

備考 1.  $f_{\text{SCK}}$  : 5ビット・カウンタのソース・クロック

2. k : MDL0-MDL3 で設定した値 ( $0 \leq k \leq 14$ )

| TPS3 | TPS2 | TPS1 | TPS0 | 5ビット・カウンタのソース・クロックの選択     | n  |
|------|------|------|------|---------------------------|----|
| 0    | 0    | 0    | 0    | $f_{xx}/2^{10}$ (3.9 kHz) | 11 |
| 0    | 1    | 0    | 1    | $f_{xx}$ (4.0 MHz)        | 1  |
| 0    | 1    | 1    | 0    | $f_{xx}/2$ (2.0 MHz)      | 2  |
| 0    | 1    | 1    | 1    | $f_{xx}/2^2$ (1.0 MHz)    | 3  |
| 1    | 0    | 0    | 0    | $f_{xx}/2^3$ (500 kHz)    | 4  |
| 1    | 0    | 0    | 1    | $f_{xx}/2^4$ (250 kHz)    | 5  |
| 1    | 0    | 1    | 0    | $f_{xx}/2^5$ (125 kHz)    | 6  |
| 1    | 0    | 1    | 1    | $f_{xx}/2^6$ (62.5 kHz)   | 7  |
| 1    | 1    | 0    | 0    | $f_{xx}/2^7$ (31.3 kHz)   | 8  |
| 1    | 1    | 0    | 1    | $f_{xx}/2^8$ (15.6 kHz)   | 9  |
| 1    | 1    | 1    | 0    | $f_{xx}/2^9$ (7.8 kHz)    | 10 |
| 上記以外 |      |      |      | 設定禁止                      |    |

**注意** 通信動作中に BRGC への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中には BRGC への書き込みを行わないでください。

- 備考 1.**  $f_{xx}$  : メイン・システム・クロック周波数
- 2.** n : TPS0-TPS3 で設定した値 ( $1 \leq n \leq 11$ )
- 3.** ( ) 内は、 $f_{xx} = 4.0$  MHz 動作時。

生成するボー・レート用の送受信クロックは、メイン・システム・クロックを分周した信号か、ASCK 端子から入力したクロックを分周した信号になります。

(i) メイン・システム・クロックによるボー・レート用の送受信クロックの生成

メイン・システム・クロックを分周して送受信クロックを生成します。メイン・システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{xx}}{2^n \times (k+16)} [\text{Hz}]$$

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2.  $n$  : TPS0-TPS3 で設定した値 ( $1 \leq n \leq 11$ )

3.  $k$  : MDL0-MDL3 で設定した値 ( $0 \leq k \leq 14$ )

表 16-5 メイン・システム・クロックとボー・レートの関係

| ボー・レート<br>(bps) | $f_{xx}=4.0 \text{ MHz}$ |        |
|-----------------|--------------------------|--------|
|                 | BRGC の設定値                | 誤差 (%) |
| 75              | 0AH                      | 0.16   |
| 110             | 02H                      | -1.36  |
| 150             | EAH                      | 0.16   |
| 300             | DAH                      | 0.16   |
| 600             | CAH                      | 0.16   |
| 1200            | BAH                      | 0.16   |
| 2400            | AAH                      | 0.16   |
| 4800            | 9AH                      | 0.16   |
| 9600            | 8AH                      | 0.16   |
| 19200           | 7AH                      | 0.16   |
| 31250           | 70H                      | 0      |
| 38400           | 6AH                      | 0.16   |



## (ii) ASCK 端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK 端子から入力したクロックを分周して送受信クロックを生成します。ASCK 端子から入力したクロックから生成するボー・レートは次の式により求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{2 \times (k + 16)} [\text{Hz}]$$

備考 1.  $f_{\text{ASCK}}$  : ASCK 端子に入力したクロックの周波数

2.  $k$  : MDL0-MDL3 で設定した値 ( $0 \leq k \leq 14$ )

表 16-6 ASCK 端子入力周波数とボー・レートの関係 (BRGC = OOH 設定時)

| ボー・レート (bps) | ASCK 端子入力周波数 |
|--------------|--------------|
| 75           | 2.4 kHz      |
| 110          | 3.52 kHz     |
| 150          | 4.8 kHz      |
| 300          | 9.6 kHz      |
| 600          | 19.2 kHz     |
| 1200         | 38.4 kHz     |
| 2400         | 76.8 kHz     |
| 4800         | 153.6 kHz    |
| 9600         | 307.2 kHz    |
| 19200        | 614.4 kHz    |
| 31250        | 1000.0 kHz   |
| 38400        | 1228.8 kHz   |

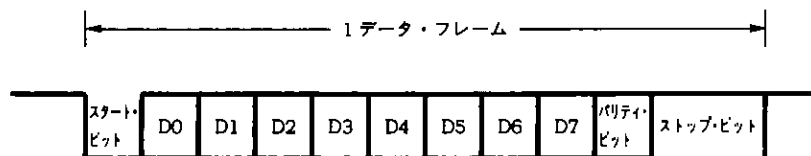
## (2) 通信動作

## (a) データ・フォーマット

送受信データのフォーマットは図 16-7 に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで 1 データ・フレームを構成します。

1 データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) によって行います。

図 16-7 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- スタート・ビット……1 ビット
- キャラクタ・ビット…7 ビット/8 ビット
- パリティ・ビット……偶数パリティ/奇数パリティ/0 パリティ/パリティなし
- ストップ・ビット……1 ビット/2 ビット

キャラクタ・ビットとして 7 ビットを選択した場合、下位 7 ビット (ビット 0-6) のみが有効となり、送信の場合は最上位ビット (ビット 7) は無視され、受信の場合は必ず最上位ビット (ビット 7) は "0" になります。

シリアル転送レートは、アシンクロナス・シリアル・インタフェース・モード・レジスタとボー・レート・ジェネレータの設定により 75 bps-38400 bps から選択します。

また、シリアルデータの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の状態を読むことによって受信エラーの内容を判定することができます。

**(b) パリティの種類と動作**

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

**・偶数パリティ**

送信データ中の値が“1”のビットの数が奇数個の場合にパリティ・ビットを“1”にします。値が“1”のビットの数が偶数個の場合にはパリティ・ビットを“0”にします。これにより、送信データとパリティ・ビットの中に含まれる値が“1”のビット数が偶数個になるよう制御します。

受信時には、受信データとパリティ・ビットの中に含まれる値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

**・奇数パリティ**

偶数パリティとは逆に、送信データとパリティ・ビットの中に含まれる値が“1”のビットを奇数個になるよう制御します。

受信時には、同様に受信データとパリティ・ビットの中に含まれる値が“1”のビットの数が偶数個であった場合にパリティ・エラーが発生します。

**・0パリティ**

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーが発生しません。

**・パリティなし**

送信データにパリティ・ビットを付加しません。

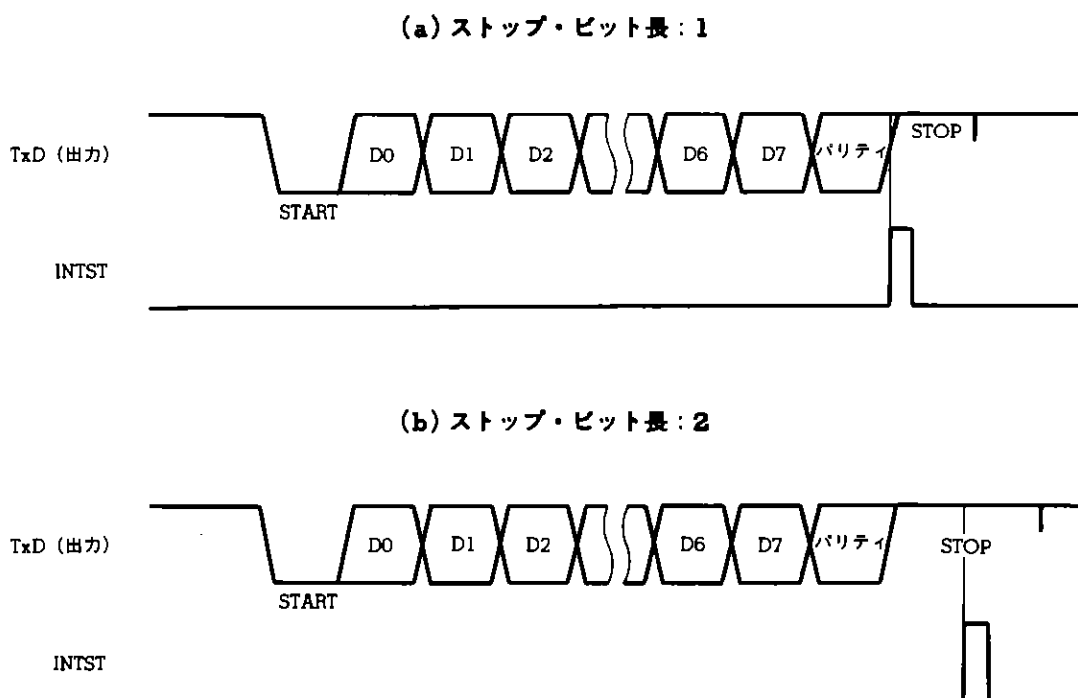
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーが発生しません。

## (c) 送信

送信シフト・レジスタ (TXS) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、送信シフト・レジスタ (TXS) 内のデータがシフト・アウトされ、送信シフト・レジスタ (TXS) が空になると送信完了割り込み (INTST) が発生します。

図 16-8 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



**注意** 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) の書き換えは行わないでください。送信中に ASIM レジスタの書き換えを行うと、それ以降の送信動作ができなくなる場合があります ( $\overline{\text{RESET}}$  入力により、正常になります)。

送信中かどうかは、送信完了割り込み (INTST) または INTST によりセットされる割り込み要求フラグ (STIF) を用いて、ソフトウェアにより判断することができます。

## (d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) の RXE ビットがセット (1) されると許可状態となり、RxD 端子入力のサンプリングを行います。

RxD 端子入力のサンプリングは ASIM で指定したシリアル・クロックで行います。

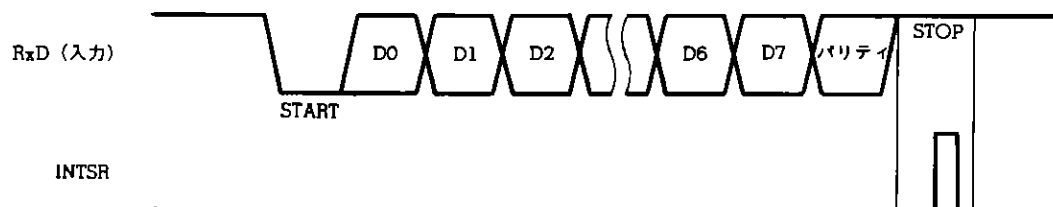
RxD 端子入力がロウ・レベルになると、5 ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度 RxD 端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、5 ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび 1 ビットのストップ・ビットが検出されると、1 フレームのデータ受信が終了します。

1 フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ (RXB) に転送し、受信完了割り込み (INTSR) を発生します。

また、エラーが発生しても、RXB にエラーの発生した受信データを転送し、INTSR を発生します。

なお、受信動作中に RXE ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB および ASIS の内容は変化せず、また、INTSR、INTSER も発生しません。

図 16-9 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



**注意** 受信エラー発生時にも、受信バッファ・レジスタ (RXB) は必ず読み出してください。

RXB を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

## (e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・レジスタ (ASIS) 内に立つと同時に、受信エラー割り込み (INTSER) を発生します。受信エラーの要因を表 16-7 に示します。

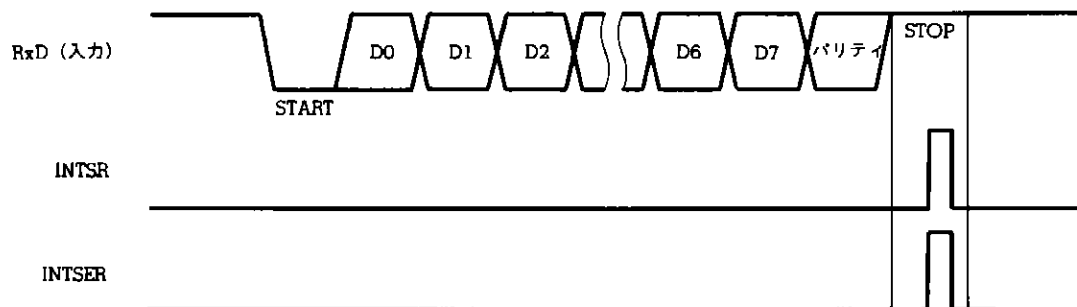
受信エラー割り込み処理 (INTSER) 内で、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます (図 16-9, 図 16-10 参照)。

ASIS の内容は、受信バッファ・レジスタ (RXB) を読み出すか、次のデータを受信することによりリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表 16-7 受信エラーの要因

| 受信エラー      | 要 因                         |
|------------|-----------------------------|
| パリティ・エラー   | 送信時のパリティ指定と受信データのパリティが一致しない |
| フレーミング・エラー | ストップ・ビットが検出されない             |
| オーバラン・エラー  | 受信バッファからデータを読み出す前に次のデータ受信完了 |

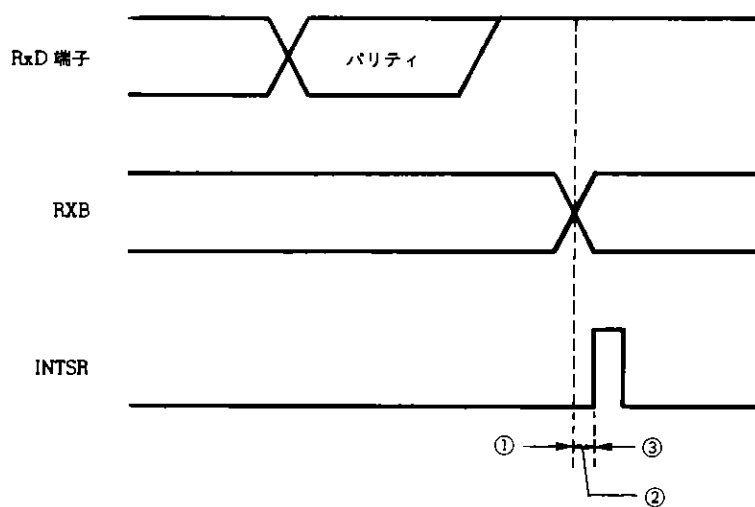
図 16-10 受信エラー・タイミング



- 注意 1. ASIS レジスタの内容は、受信バッファ・レジスタ (RXB) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ず RXB を読み出す前に ASIS を読み出してください。
2. 受信エラー発生時にも、受信バッファ・レジスタ (RXB) は必ず読み出してください。RXB を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

## (3) UART モードの注意事項

- (a) 送信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット 7 (TXE) をクリアした場合、次の送信を行う前に必ず送信シフト・レジスタ (TXS) に FFH を設定したのちに、TXE に 1 を設定してください。
- (b) 受信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット 6 (RXE) をクリアした場合、受信バッファ・レジスタ (RXB)、受信完了割り込み (INTSR) は、以下ようになります。



- ①の区間で RXE に 0 を設定した場合、RXB は前のデータを保持し、INTSR も発生しません。
- ②の区間で RXE に 0 を設定した場合、RXB はデータを更新し、INTSR は発生しません。
- ③の区間で RXE に 0 を設定した場合、RXB はデータを更新し、INTSR も発生します。

### 16.4.3 3線式シリアル I/O モード

3 線式シリアル I/O モードは、75X シリーズ、78K シリーズ、17K シリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺 I/O や表示コントローラなどを接続するときに有効です。

シリアル・クロック ( $\overline{\text{SCK2}}$ )、シリアル出力 (SO2)、シリアル入力 (SI2) の 3 本のラインで通信を行います。

#### (1) レジスタの設定

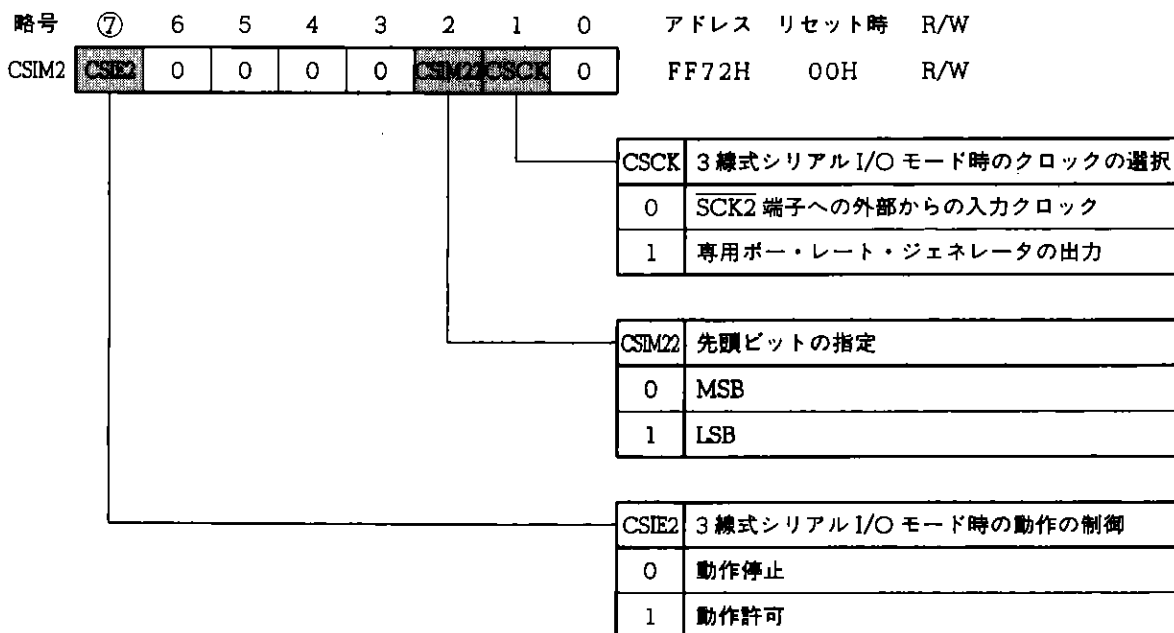
3 線式シリアル I/O モードの設定は、シリアル動作モード・レジスタ 2 (CSIM2) とアシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) で行います。

##### (a) シリアル動作モード・レジスタ 2 (CSIM2)

CSIM2 は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

 は 3 線式シリアル I/O モードにおける使用ビットを示します。



**注意** ビット 0, 3-6 には、必ず 0 を設定してください。



## (b) アシクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

ASIM は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

■ は 3 線式シリアル I/O モードにおける使用ビットを示します。

3 線式シリアル I/O モード選択時は、ASIM に 00H を設定してください。

| 略号   | ⑦   | ⑥   | 5   | 4   | 3  | 2  | 1    | 0   | アドレス  | リセット時 | R/W |
|------|-----|-----|-----|-----|----|----|------|-----|-------|-------|-----|
| ASIM | TXE | RXC | PS1 | PS0 | CL | SL | ISRM | SCK | FF70H | 00H   | R/W |

|     |                                  |  |
|-----|----------------------------------|--|
| SCK | アシクロナス・シリアル・インタフェース・モード時のクロックの選択 |  |
| 0   | ASCK 端子への外部からの入力クロック             |  |
| 1   | 専用ポー・レート・ジェネレータの出力               |  |

|      |                       |  |
|------|-----------------------|--|
| ISRM | エラー発生時の受信完了割り込み制御     |  |
| 0    | エラー発生時、受信完了割り込みを発生する  |  |
| 1    | エラー発生時、受信完了割り込みを発生しない |  |

|    |                    |  |
|----|--------------------|--|
| SL | 送信データのストップ・ビット長の指定 |  |
| 0  | 1 ビット              |  |
| 1  | 2 ビット              |  |

|    |           |  |
|----|-----------|--|
| CL | キャラクタ長の指定 |  |
| 0  | 7 ビット     |  |
| 1  | 8 ビット     |  |

|     |     |                                                        |
|-----|-----|--------------------------------------------------------|
| PS1 | PS0 | パリティ・ビットの指定                                            |
| 0   | 0   | パリティなし                                                 |
| 0   | 1   | 送信時、常に 0 パリティ付加<br>受信時、パリティの検査をしない<br>(パリティ・エラーを発生しない) |
| 1   | 0   | 奇数パリティ                                                 |
| 1   | 1   | 偶数パリティ                                                 |

|     |         |  |
|-----|---------|--|
| RXC | 受信動作の制御 |  |
| 0   | 受信動作停止  |  |
| 1   | 受信動作許可  |  |

|     |         |  |
|-----|---------|--|
| TXE | 送信動作の制御 |  |
| 0   | 送信動作停止  |  |
| 1   | 送信動作許可  |  |

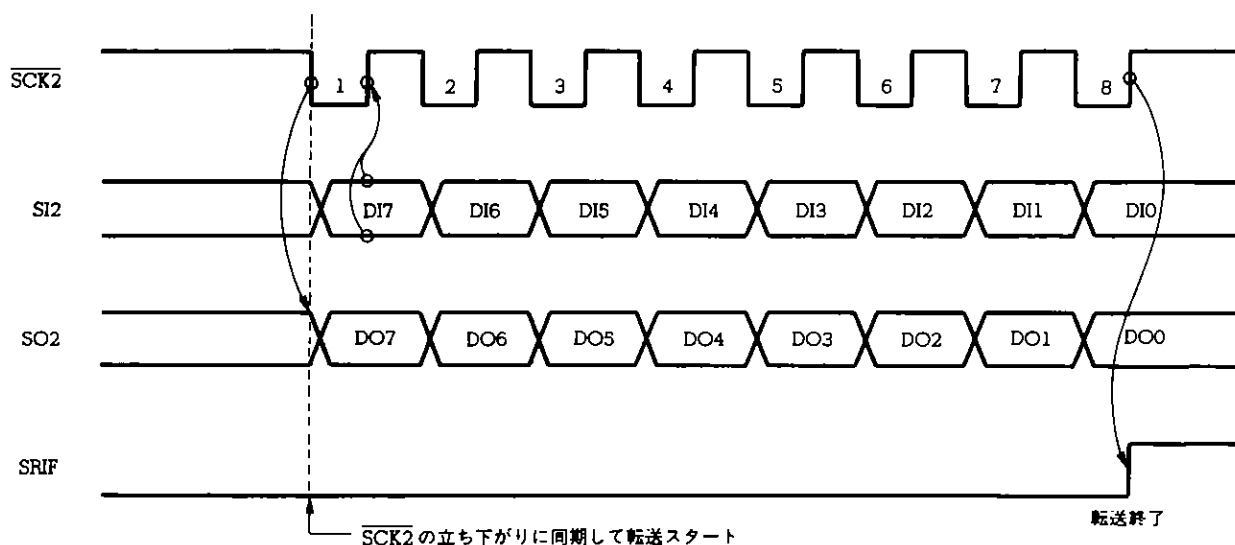
## (2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送信シフト・レジスタ (TXS/SIO2)、受信シフト・レジスタ (RXS) のシフト動作は、シリアル・クロック ( $\overline{\text{SCK2}}$ ) の立ち下がりに同期して行われます。そして、送信データが SO2 ラッチに保持され、SO2 端子から出力されます。また、( $\overline{\text{SCK2}}$ ) の立ち上がりで、SI2 端子に入力された受信データが受信バッファ・レジスタ (RXB/SIO2) にラッチされます。

8ビット転送終了により、送信シフト・レジスタ (TXS/SIO2)、受信シフト・レジスタ (RXS) の動作は自動的に停止し、割り込み要求フラグ (SRIF) がセットされます。

図 16-11 3線式シリアルI/Oモードのタイミング



## (3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ (TXS/SIO2) に転送データをセットすることで開始します。

- シリアル・インタフェース2の動作の制御ビット (CSIE2) = 1
- 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または  $\overline{\text{SCK2}}$  がハイ・レベルの状態

**注意** SIO2 にデータを書き込んだあと、CSIE2 を "1" にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (SRIF) をセットします。

## 第17章 リアルタイム出力ポート

### 17.1 リアルタイム出力ポートの機能

リアルタイム出力バッファ・レジスタにあらかじめ設定したデータを、タイマ割り込みまたは外部割り込みの発生と同時にハードウェアで出力ラッチに転送して、外部に出力することをリアルタイム出力機能といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

リアルタイム出力ポートを使用することにより、ジッタのない信号が出力できますので、ステッピング・モータなどの制御に最適です。

1ビット単位でポート・モード/リアルタイム出力ポート・モードの指定ができます。

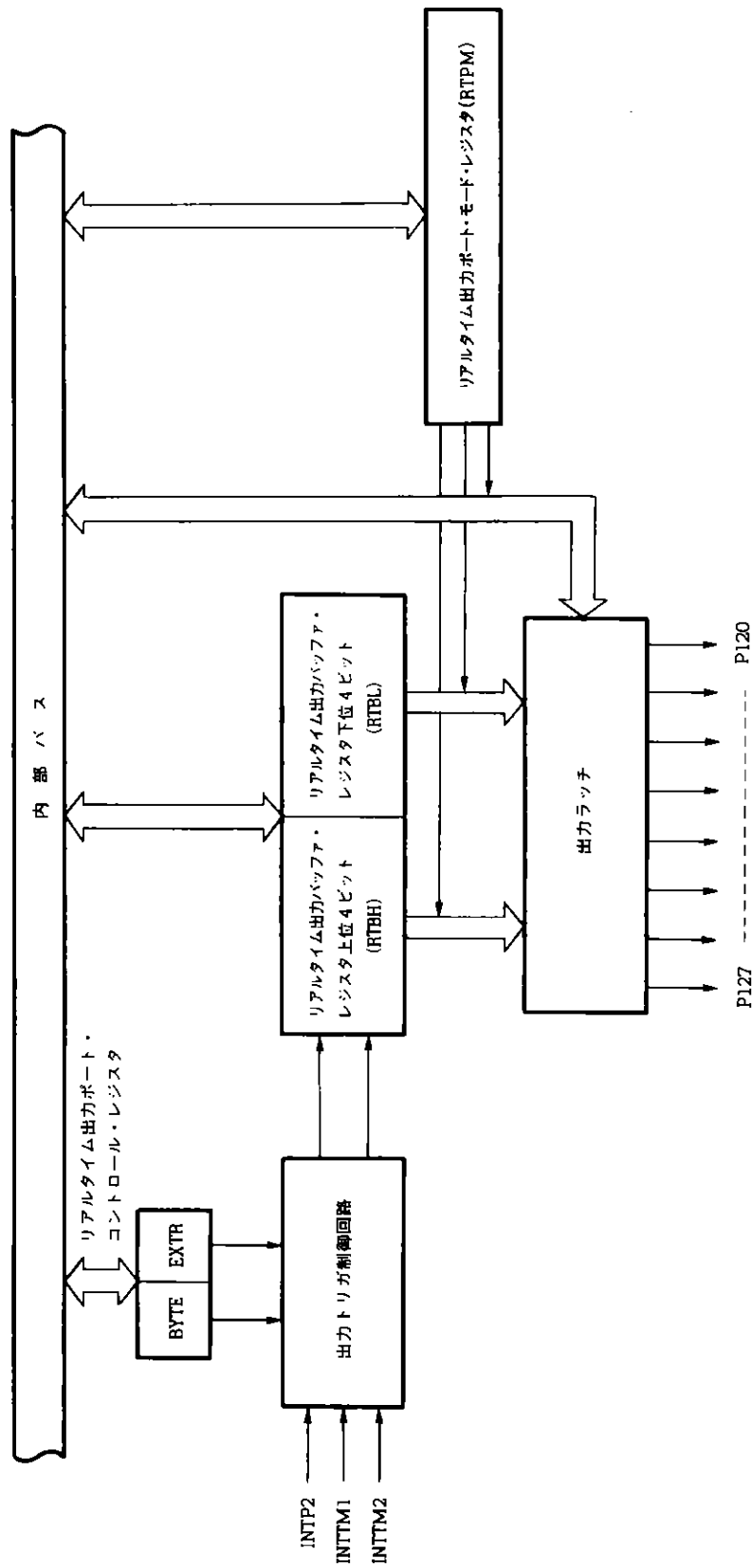
### 17.2 リアルタイム出力ポートの構成

リアルタイム出力ポートは、次のハードウェアで構成しています。

表 17-1 リアルタイム出力ポートの構成

| 項 目         | 構 成                            |
|-------------|--------------------------------|
| レ ジ ス タ     | リアルタイム出力バッファ・レジスタ (RTBL, RTBH) |
| 制 御 レ ジ ス タ | リアルタイム出力ポート・モード・レジスタ (RTPM)    |
|             | リアルタイム出力ポート・コントロール・レジスタ (RTPC) |

図 17-1 リアルタイム出力ポートのブロック図



**(1) リアルタイム出力バッファ・レジスタ (RTBL, RTBH)**

RTBL, RTBH は、図 17-2 に示すように SFR 領域内でそれぞれ独立したアドレスにマッピングしています。

4 ビット×2 チャンネルの動作モードを指定したときは、RTBL, RTBH はそれぞれ独立にデータを設定することができます。

8 ビット×1 チャンネルの動作モードを指定したときは、RTBL, RTBH のどちらか一方に 8 ビット・データを書き込むことにより、RTBL, RTBH それぞれにデータを設定することができます。

表 17-2 に、RTBL, RTBH に対する操作時の動作を示します。

図 17-2 リアルタイム出力バッファ・レジスタの構成

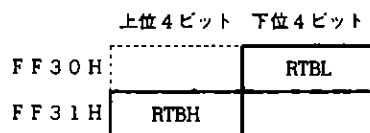


表 17-2 リアルタイム出力バッファ・レジスタに対する操作時の動作

| 動作モード         | 操作対象レジスタ | リード時 <sup>注1</sup> |          | ライト時 <sup>注2</sup> |          |
|---------------|----------|--------------------|----------|--------------------|----------|
|               |          | 上位 4 ビット           | 下位 4 ビット | 上位 4 ビット           | 下位 4 ビット |
| 4 ビット×2 チャンネル | RTBL     | RTBH               | RTBL     | 無効                 | RTBL     |
|               | RTBH     | RTBH               | RTBL     | RTBH               | 無効       |
| 8 ビット×1 チャンネル | RTBL     | RTBH               | RTBL     | RTBH               | RTBL     |
|               | RTBH     | RTBH               | RTBL     | RTBH               | RTBL     |

注 1. リアルタイム出力ポート・モードに指定したビットのみ読み出しができます。ポート・モードに指定したビットに対しては 0 となります。

2. リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生するまでに RTBL, RTBH に出力データを設定してください。

## 17.3 リアルタイム出力ポートを制御するレジスタ

リアルタイム出力ポートは、次の 2 種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ (RTPM)
- ・リアルタイム出力ポート・コントロール・レジスタ (RTPC)

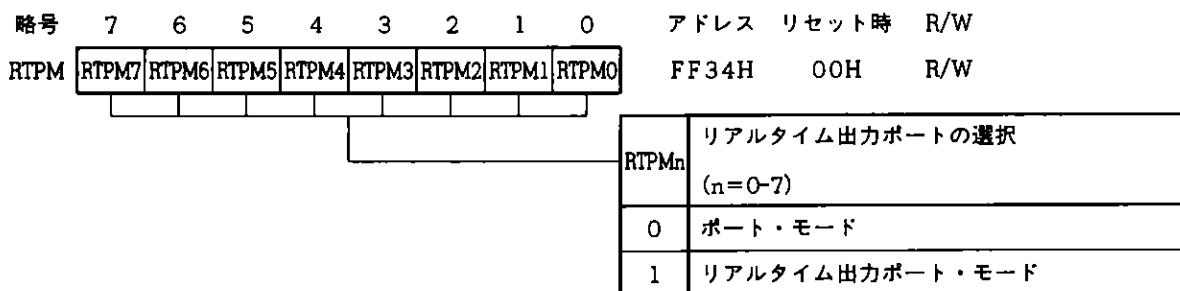
**(1) リアルタイム出力ポート・モード・レジスタ (RTPM)**

リアルタイム出力ポート・モードとポート・モードの選択を 1 ビット単位で設定するレジスタです。

RTPM は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、OOH になります。

図 17-3 リアルタイム出力ポート・モード・レジスタのフォーマット



注意 1. リアルタイム出力ポートとして使用する場合、リアルタイム出力を行うポートは出力モード（ポート・モード・レジスタのビットに0を設定）にしてください。

2. リアルタイム出力ポートに指定したポートは、出力ラッチにデータを設定できません。したがって、初期値を設定する場合には、リアルタイム出力ポート・モードにする前に出力ラッチにデータを設定してください。

## (2) リアルタイム出力ポート・コントロール・レジスタ (RTPC)

リアルタイム出力ポートの動作モードを設定するレジスタです。

RTPM は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET 入力により、00H になります。

図 17-4 リアルタイム出力ポート・コントロール・レジスタのフォーマット

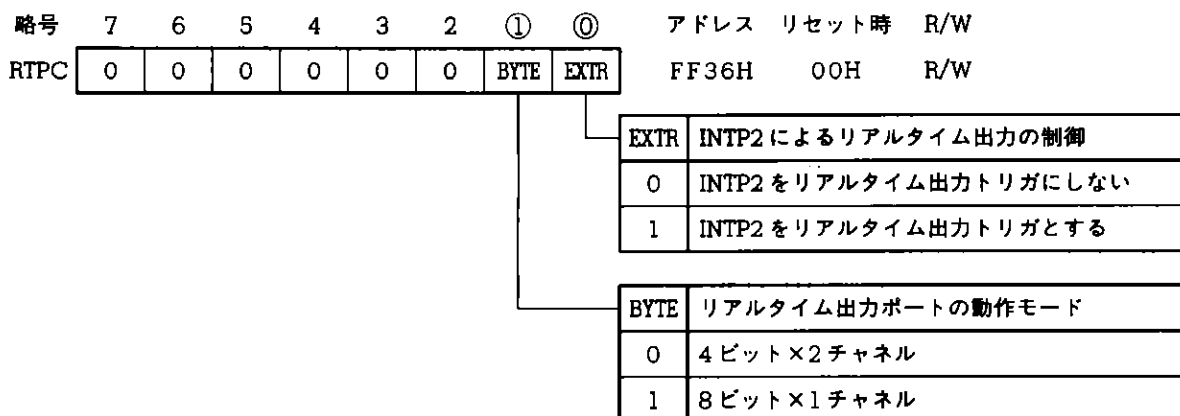


表 17-3 リアルタイム出力ポートの出力トリガ

| BYTE | EXTR | 出力モード       | RTBH → ポート出力 | RTBL → ポート出力 |
|------|------|-------------|--------------|--------------|
| 0    | 0    | 4ビット×2チャンネル | INTTM2       | INTTM1       |
|      | 1    |             | INTTM1       | INTP2        |
| 1    | 0    | 8ビット×1チャンネル | INTTM1       |              |
|      | 1    |             | INTP2        |              |

## 第18章 割り込み機能とテスト機能

### 18.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

#### (1) ノンマスカブル割り込み

無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みを1本内蔵しています。

#### (2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループにわけることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています (表 18-1 参照)。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みを7本、内部割り込みを14本内蔵しています。

#### (3) ソフトウェア割り込み

BRK 命令の実行によって、ベクタ割り込みを発生する割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

### 18.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計23本内蔵しています (表 18-1 参照)。

表 18-1 割り込み要因一覧 (1/2)

| 割り込み<br>タイプ  | 注1<br>デフォルト・<br>プライオリティ | 割り込み要因  |                                               | 内部/<br>外部 | ベクタ・<br>テーブル・<br>アドレス | 注2<br>基本構成<br>タイプ |
|--------------|-------------------------|---------|-----------------------------------------------|-----------|-----------------------|-------------------|
|              | 名称                      | トリガ     |                                               |           |                       |                   |
| ノン<br>マスクابل | —                       | INTWDT  | ウォッチドッグ・タイマのオーバフロー<br>(ウォッチドッグ・タイマ・モード 1 選択時) | 内部        | 0004H                 | A                 |
| マスクابل       | 0                       | INTWDT  | ウォッチドッグ・タイマのオーバフロー<br>(インターバル・タイマ・モード選択時)     |           |                       |                   |
|              | 1                       | INTP0   | 端子入力エッジ検出                                     | 外部        | 0006H                 | C                 |
|              | 2                       | INTP1   |                                               |           | 0008H                 | D                 |
|              | 3                       | INTP2   |                                               |           | 000AH                 |                   |
|              | 4                       | INTP3   |                                               |           | 000CH                 |                   |
|              | 5                       | INTP4   |                                               |           | 000EH                 |                   |
|              | 6                       | INTP5   |                                               |           | 0010H                 |                   |
|              | 7                       | INTP6   |                                               |           | 0012H                 |                   |
|              | 8                       | INTCSIO | シリアル・インタフェース・チャンネル 0<br>の転送終了                 | 内部        | 0014H                 | B                 |
|              | 9                       | INTCSI1 | シリアル・インタフェース・チャンネル 1<br>の転送終了                 |           | 0016H                 |                   |
|              | 10                      | INTSER  | シリアル・インタフェース・チャンネル 2<br>の UART 受信エラー発生        |           | 0018H                 |                   |
|              | 11                      | INTSR   | シリアル・インタフェース・チャンネル 2<br>の UART 受信終了           |           | 001AH                 |                   |
|              |                         | INTCSI2 | シリアル・インタフェース・チャンネル 2<br>の 3 線式転送終了            |           |                       |                   |
|              | 12                      | INTST   | シリアル・インタフェース・チャンネル 2<br>の UART 送信終了           |           | 001CH                 |                   |

注 1. デフォルト・プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0 が最高順位、19 が最低順位です。

2. 基本構成タイプの A-E は、それぞれ図 18-1 の A-E に対応しています。



表 18-1 割り込み要因一覧 (2/2)

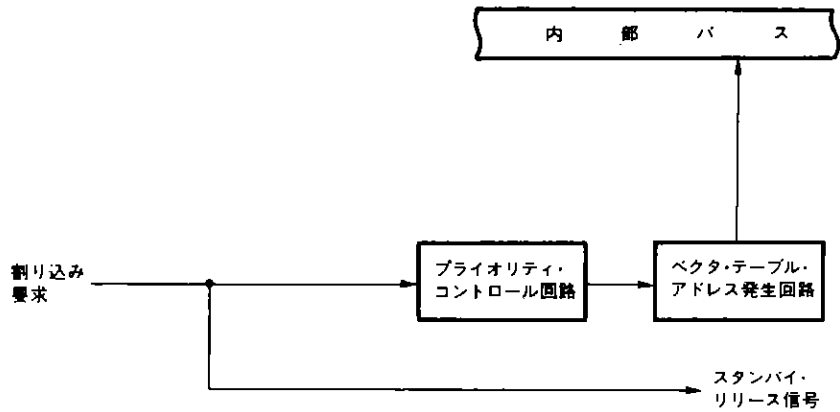
| 割り込み<br>タイプ | 注1<br>デフォルト・<br>プライオリティ | 割り込み要因  |                                                                                            | 内部/<br>外部 | ベクタ・<br>テーブル・<br>アドレス | 注2<br>基本構成<br>タイプ |
|-------------|-------------------------|---------|--------------------------------------------------------------------------------------------|-----------|-----------------------|-------------------|
|             |                         | 名称      | トリガ                                                                                        |           |                       |                   |
| マスカブル       | 13                      | INTTM3  | 時計用タイマからの基準時間間隔信号                                                                          | 内部        | 001EH                 | B                 |
|             | 14                      | INTTM00 | 16ビット・タイマ・レジスタとキャプチャ<br>/コンペア・レジスタ (CR00) の一致信<br>号発生                                      |           | 0020H                 |                   |
|             | 15                      | INTTM01 | 16ビット・タイマ・レジスタとキャプチャ<br>/コンペア・レジスタ (CR01) の一致信<br>号発生                                      |           | 0022H                 |                   |
|             | 16                      | INTTM1  | 8ビット・タイマ/イベント・カウンタ 1<br>の一致信号発生                                                            |           | 0024H                 |                   |
|             | 17                      | INTTM2  | 8ビット・タイマ/イベント・カウンタ 2<br>の一致信号発生                                                            |           | 0026H                 |                   |
|             | 18                      | INTAD   | A/D コンバータの変換終了                                                                             |           | 0028H                 |                   |
|             | 19                      | INTIE   | IEBus コントローラ部からリターン・コー<br>ド・レジスタ (RCR) への書き込み動作<br>発生時 (同一値含む) または IEBus イン<br>タフェースの暴走検出時 |           | 002AH                 |                   |
| ソフトウェア      | —                       | BRK     | BRK 命令の実行                                                                                  | 内部        | 003EH                 | E                 |

注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先する順位です。0 が最高順位、19 が最低順位です。

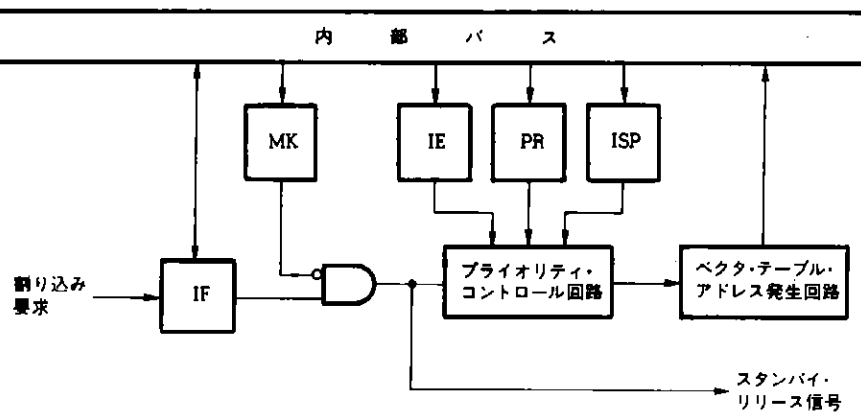
2. 基本構成タイプの A-E は、それぞれ図 18-1 の A-E に対応しています。

図 18-1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスカブル割り込み



(B) 内部マスカブル割り込み



(C) 外部マスカブル割り込み (INTPO)

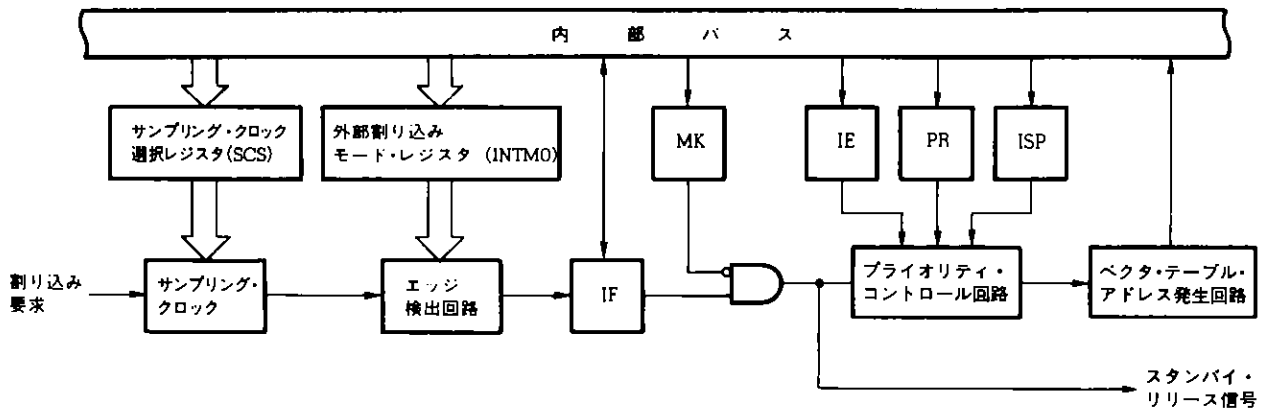
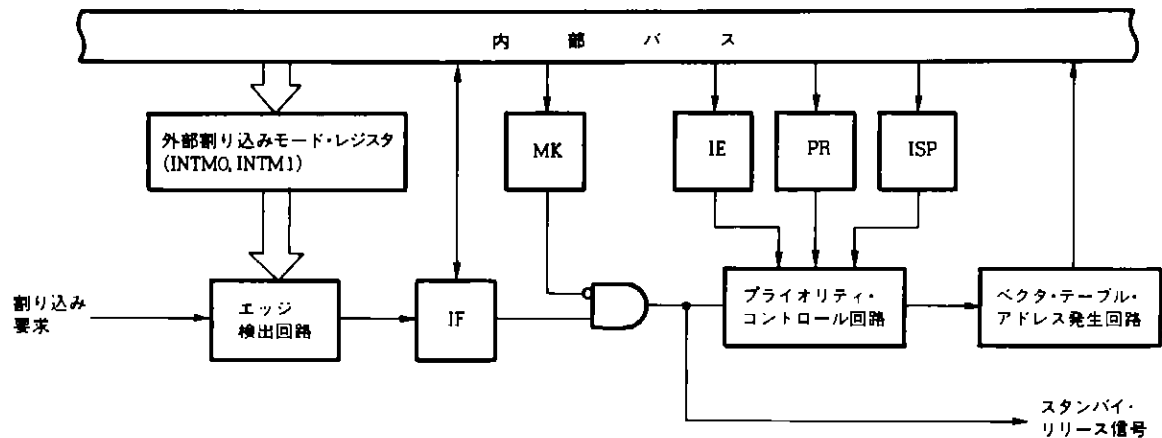
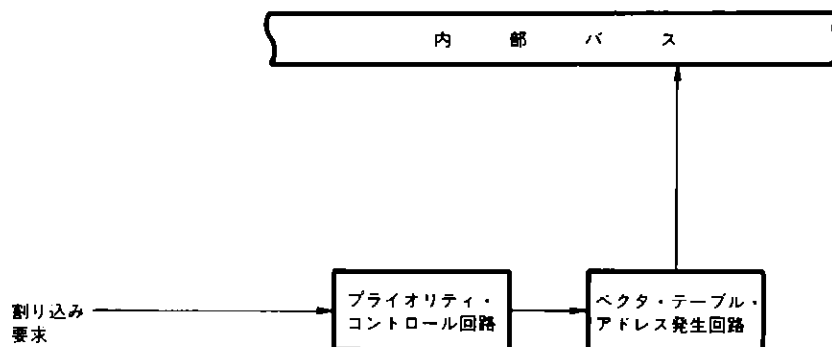


図 18-1 割り込み機能の基本構成 (2/2)

## (D) 外部マスカブル割り込み (INTPO を除く)



## (E) ソフトウェア割り込み



- 備考 1. IF : 割り込み要求フラグ  
 2. IE : 割り込み許可フラグ  
 3. ISP : インサース・プライオリティ・フラグ  
 4. MK : 割り込みマスク・フラグ  
 5. PR : 優先順位指定フラグ

### 18.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IFOL, IFOH, IFIL)
- 割り込みマスク・フラグ・レジスタ (MKOL, MKOH, MKIL)
- 優先順位指定フラグ・レジスタ (PROL, PROH, PRIL)
- 外部割り込みモード・レジスタ (INTM0, INTM1)
- サンプリング・クロック選択レジスタ (SCS)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を、表 18-2 に示します。

表 18-2 割り込み要求ソースに対する各種フラグ

| 割り込み要求信号名     | 割り込み要求フラグ | 割り込みマスク・フラグ | 優先順位指定フラグ |
|---------------|-----------|-------------|-----------|
| INTP0         | PIF0      | PMK0        | PPR0      |
| INTP1         | PIF1      | PMK1        | PPR1      |
| INTP2         | PIF2      | PMK2        | PPR2      |
| INTP3         | PIF3      | PMK3        | PPR3      |
| INTP4         | PIF4      | PMK4        | PPR4      |
| INTP5         | PIF5      | PMK5        | PPR5      |
| INTP6         | PIF6      | PMK6        | PPR6      |
| INTTM00       | TMIF00    | TMMK00      | TMPR00    |
| INTTM01       | TMIF01    | TMMK01      | TMPR01    |
| INTTM1        | TMIF1     | TMMK1       | TMPR1     |
| INTTM2        | TMIF2     | TMMK2       | TMPR2     |
| INTTM3        | TMIF3     | TMMK3       | TMPR3     |
| INTWDT        | TMIF4     | TMMK4       | TMPR4     |
| INTCSI0       | CSIF0     | CSIMK0      | CSIPR0    |
| INTCSI1       | CSIF1     | CSIMK1      | CSIPR1    |
| INTSR/INTCSI2 | SRIF      | SRMK        | SRPR      |
| INTSER        | SERIF     | SERMK       | SERPR     |
| INTST         | STIF      | STMK        | STPR      |
| INTAD         | ADIF      | ADMK        | ADPR      |
| INTIE         | IEIF      | IEMK        | IEPR      |

## (1) 割り込み要求フラグ・レジスタ (IFOL, IFOH, IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、 $\overline{\text{RESET}}$  入力時、命令の実行によりクリア (0) されるフラグです。

IFOL, IFOH, IF1L は、1 ビット・メモリ操作命令、8 ビット・メモリ操作命令、16 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

図 18-2 割り込み要求フラグ・レジスタのフォーマット

| 略号   | ⑦                 | ⑥      | ⑤     | ④    | ③    | ②     | ①     | ①     | アドレス  | リセット時 | R/W |
|------|-------------------|--------|-------|------|------|-------|-------|-------|-------|-------|-----|
| IFOL | PIF6              | PIF5   | PIF4  | PIF3 | PIF2 | PIF1  | PIF0  | TMIF4 | FFE0H | 00H   | R/W |
| IFOH | TMIF01            | TMIF00 | TMIF3 | STIF | SRIF | SERIF | CSIF1 | CSIF0 | FFE1H | 00H   | R/W |
| IF1L | WTIF <sup>注</sup> | 0      | 0     | 0    | IEIF | ADIF  | TMIF2 | TMIF1 | FFE2H | 00H   | R/W |

|       |                       |
|-------|-----------------------|
| ××IF× | 割り込み要求フラグ             |
| 0     | 割り込み要求信号が発生していない      |
| 1     | 割り込み要求信号が発生し、割り込み要求状態 |

注 WTIF は、テスト入力フラグです。ベクタ割り込みは発生しません。

注意 1. TMIF4 フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W 可能です。ノンマスクابل割り込みとして使用しているとき、TMIF4 フラグに 0 を設定してください。

2. ポート 0 は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに 1 を設定してください。

3. IF1L のビット 4-ビット 6 には、必ず 0 を設定してください。

## (2) 割り込みマスク・フラグ・レジスタ (MKOL, MKOH, MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止およびスタンバイ解除の許可/禁止を設定するフラグです。

MKOL, MKOH, MK1Lは、1ビット・メモリ操作命令、8ビット・メモリ操作命令、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、FFHになります。

図 18-3 割り込みマスク・フラグ・レジスタのフォーマット

| 略号   | ⑦     | ⑥     | ⑤     | ④    | ③    | ②     | ①     | ①     | アドレス  | リセット時                    | R/W |
|------|-------|-------|-------|------|------|-------|-------|-------|-------|--------------------------|-----|
| MKOL | PMK6  | PMK5  | PMK4  | PMK3 | PMK2 | PMK1  | PMK0  | TMMK4 | FFE4H | FFH                      | R/W |
| 略号   | ⑦     | ⑥     | ⑤     | ④    | ③    | ②     | ①     | ①     | アドレス  | リセット時                    | R/W |
| MKOH | TMMK0 | TMMK0 | TMMK3 | STMK | SRMK | SERMK | CSMK1 | CSMK0 | FFE5H | FFH                      | R/W |
| 略号   | ⑦     | 6     | 5     | 4    | ③    | ②     | ①     | ①     | アドレス  | リセット時                    | R/W |
| MK1L | WTMK注 | 1     | 1     | 1    | IEMK | ADMK  | TMMK2 | TMMK1 | FFE6H | FFH                      | R/W |
|      |       |       |       |      |      |       |       |       |       |                          |     |
|      |       |       |       |      |      |       |       |       | ××MK× | 割り込み処理, スタンバイ・モードの制御     |     |
|      |       |       |       |      |      |       |       |       | 0     | 割り込み処理許可, スタンバイ・モードの解除許可 |     |
|      |       |       |       |      |      |       |       |       | 1     | 割り込み処理禁止, スタンバイ・モードの解除禁止 |     |

注 WTMKは、スタンバイ・モードの解除の許可/禁止を制御しています。

注意 1. ウォッチドッグ・タイマをノンマスカブル割り込みとして使用しているとき、TMMK4フラグを読み出すと不定になっています。

2. ポート 0 は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに 1 を設定してください。

3. MK1L のビット 4-ビット 6 には、必ず 1 を設定してください。



## (4) 外部割り込みモード・レジスタ (INTMO, INTM1)

INTP0-INTP6の有効エッジを設定するレジスタです。

INTMO, INTM1は、それぞれ8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図 18-8 外部割り込みモード・レジスタ 0 のフォーマット

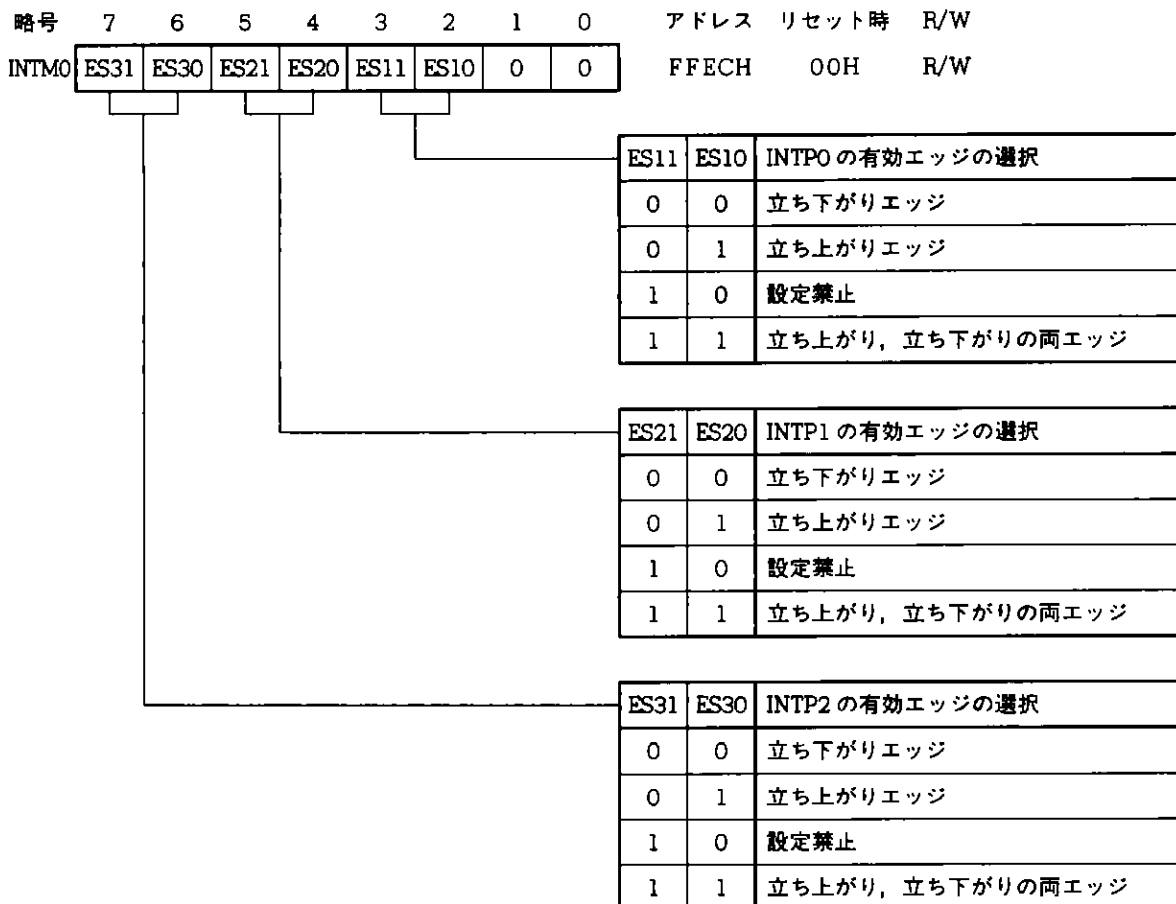
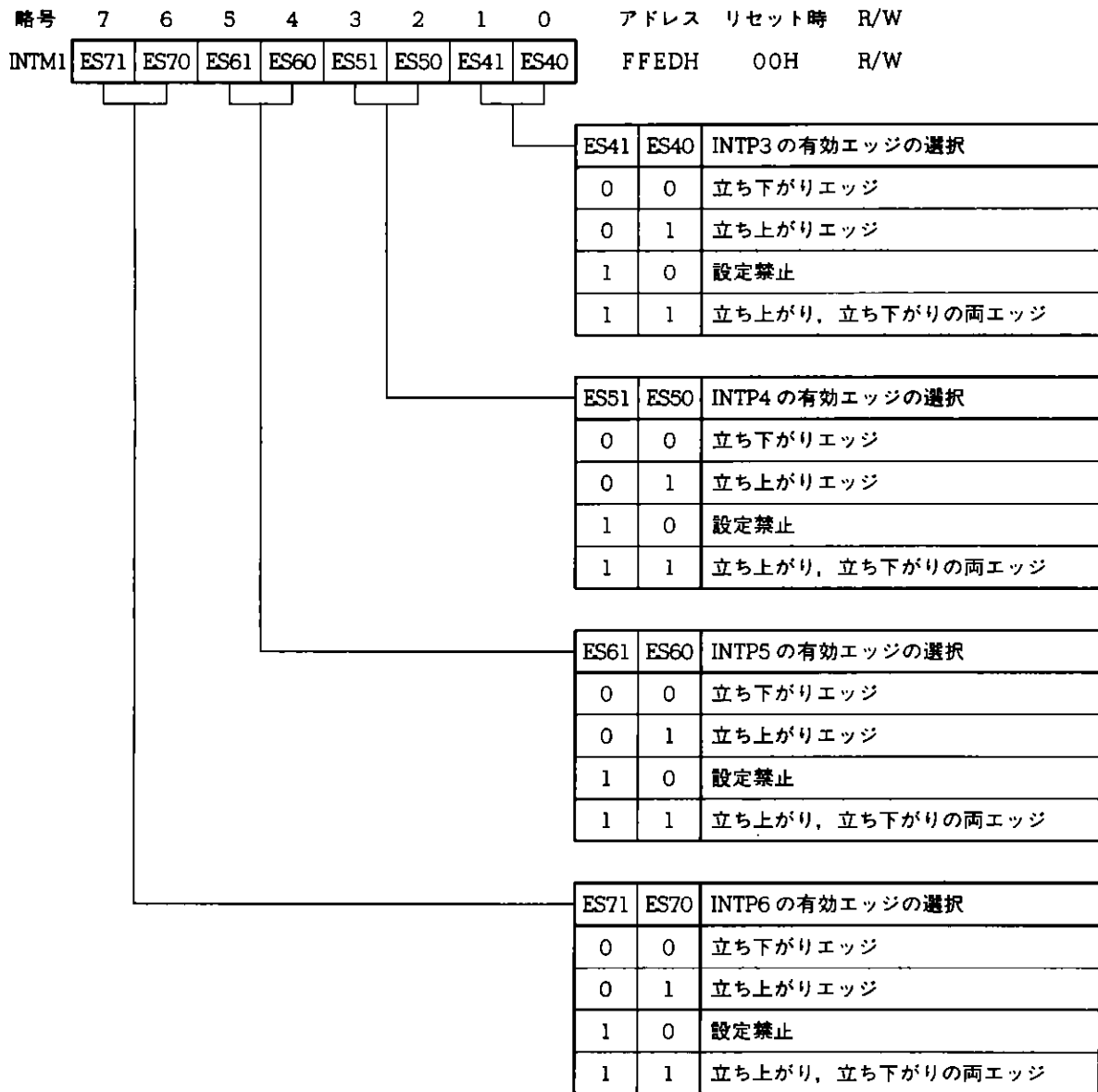




図 18-6 外部割り込みモード・レジスタ 1 のフォーマット



**(8) サンプリング・クロック選択レジスタ (SCS)**

INTP0に入力される有効エッジのクロック・サンプリングを行うクロックを設定するレジスタです。INTP0を使ってリモコン受信をするとき、サンプリング・クロックによりデジタル・ノイズの除去を行います。

SCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00Hになります。

図 18-7 サンプリング・クロック選択レジスタのフォーマット

| 略号  | 7 | 6 | 5 | 4 | 3 | 2 | 1    | 0    | アドレス  | リセット時 | R/W |
|-----|---|---|---|---|---|---|------|------|-------|-------|-----|
| SCS | 0 | 0 | 0 | 0 | 0 | 0 | SCS1 | SCS0 | FF47H | 00H   | R/W |

| SCS1 | SCS0 | INTP0のサンプリング・クロックの選択     |
|------|------|--------------------------|
| 0    | 0    | $f_{xx}/2^N$             |
| 0    | 1    | $f_{xx}/2^7$ (31.3 kHz)  |
| 1    | 0    | $f_{xx}/2^5$ (125.0 kHz) |
| 1    | 1    | $f_{xx}/2^6$ (62.5 kHz)  |

**注意**  $f_{xx}/2^N$  は CPU へ供給されるクロック、 $f_{xx}/2^5$ 、 $f_{xx}/2^6$ 、 $f_{xx}/2^7$  は周辺ハードウェアへ供給されるクロックです。 $f_{xx}/2^N$  は HALT モード中は停止します。

**備考 1.** N : プロセッサ・クロック・コントロール・レジスタのビット 0-ビット 2(PCC0-PCC2) に設定した値 (N=0-4)。

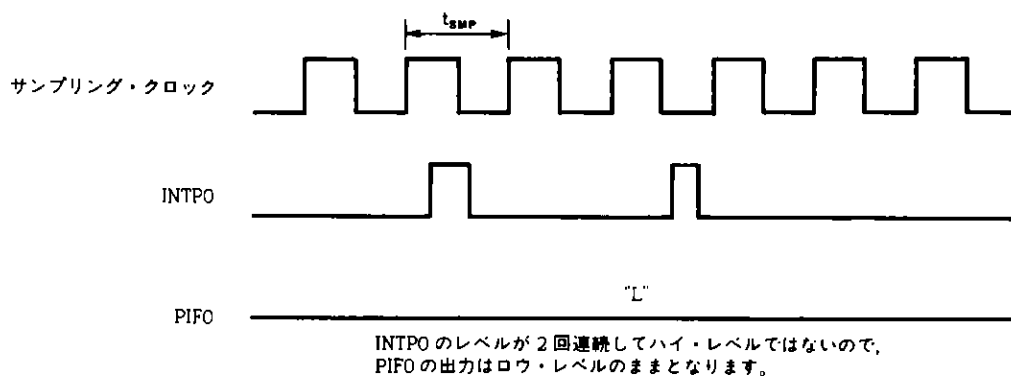
**2.**  $f_{xx}$  : メイン・システム・クロック周波数

**3.** ( ) 内は、 $f_{xx}=4.0\text{ MHz}$  動作時。

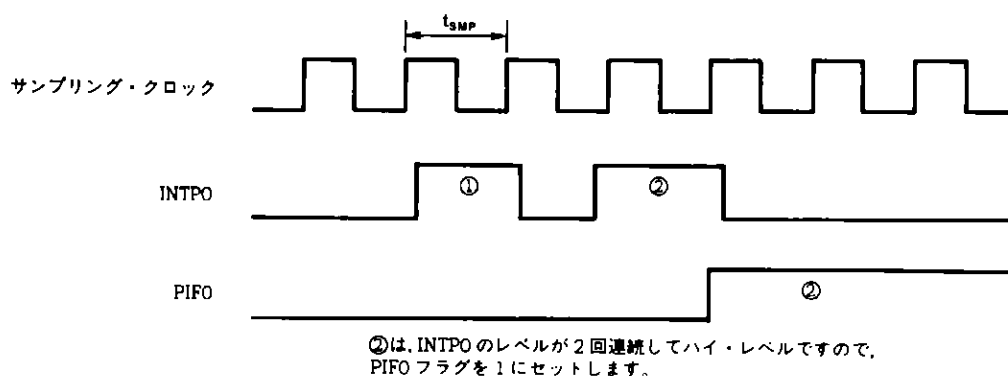
ノイズ除去回路は、INTPOの入力レベルが2回連続してアクティブ・レベルであるとき、PIFOフラグを1にセットします。

図 18-8 ノイズ除去回路の入出力タイミング（立ち上がりエッジ検出時）

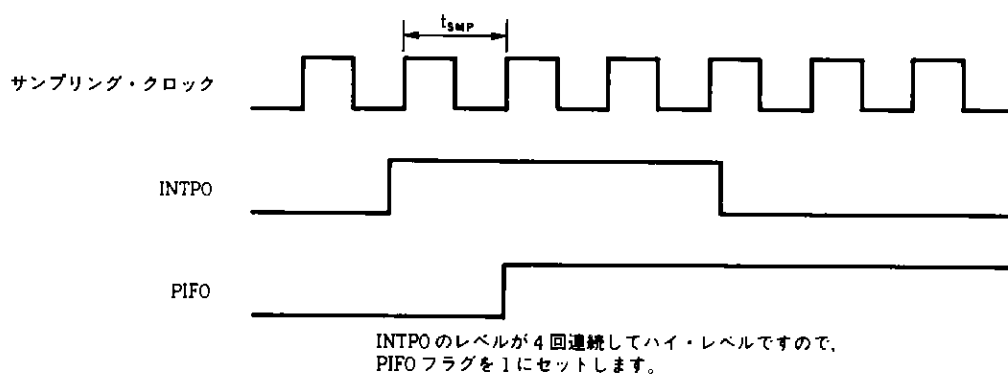
(a) 入力がサンプリング周期 ( $t_{SMP}$ ) 以下のとき



(b) 入力がサンプリング周期 ( $t_{SMP}$ ) の1-2倍のとき



(c) 入力がサンプリング周期 ( $t_{SMP}$ ) の2倍以上のとき



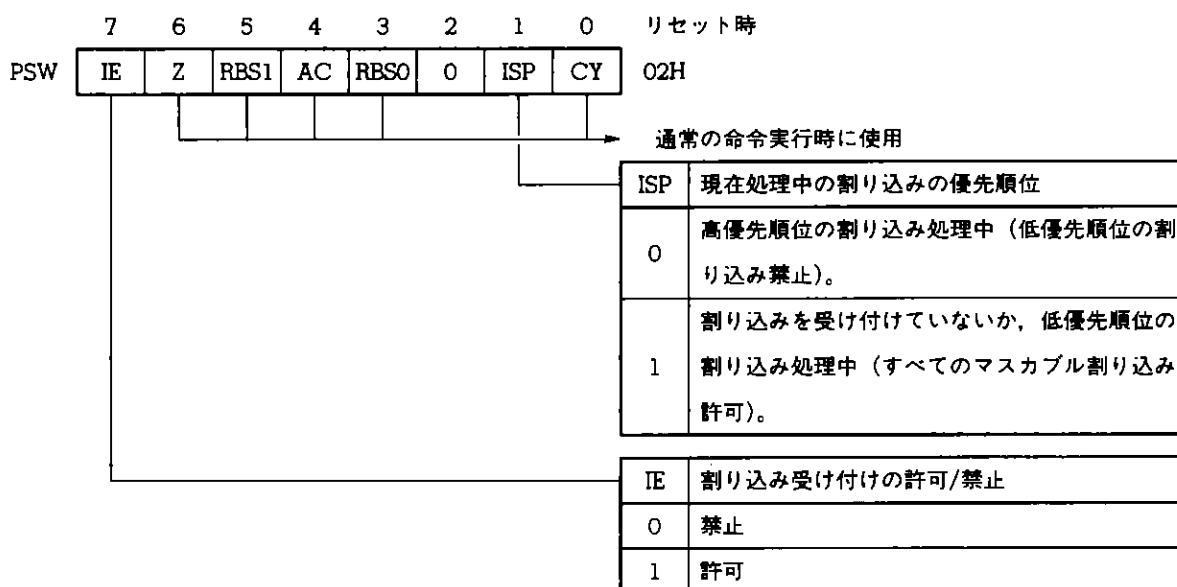
## (6) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可/禁止を設定する IE フラグと多重処理の制御を行う ISP フラグがマッピングされています。

8 ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時、BRK 命令実行時にはスタックに退避され、IE フラグはリセット (0) されます。また、マスカブル割り込み受け付け時には、受け付けた割り込みの優先順位指定フラグの内容が ISP フラグに転送されます。PUSH PSW 命令によってもスタックに退避されます。RETL, RETB, POP PSW 命令により、スタックから復帰します。

$\overline{\text{RESET}}$  入力により、PSW は 02H となります。

図 18-9 プログラム・ステータス・ワードのフォーマット



## 18.4 割り込み処理動作

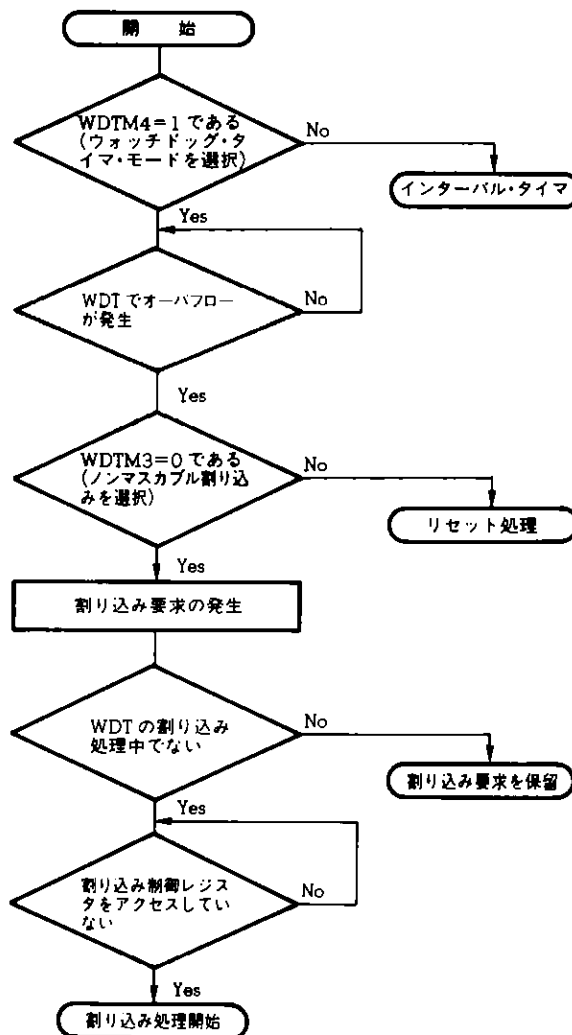
### 18.4.1 ノンマスカブル割り込みの受け付け動作

ノンマスカブル割り込みは、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PC の順にスタックに退避し、IE フラグ、ISP フラグをリセット(0)し、ベクタ・テーブルの内容を PC へロードし分岐します。

ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込み要求は、現在処理中のノンマスカブル割り込みサービス・プログラムの実行が終了 (RETI 命令実行後) し、メイン・ルーチンを 1 命令実行したあと、割り込み要求が受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が 2 回以上発生しても、そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は 1 回分だけになります。

図 18-10 ノンマスカブル割り込みの受け付けフロー・チャート



備考 1. WDTM : ウォッチドッグ・タイマ・モード・レジスタ

2. WDT : ウォッチドッグ・タイマ

図 18-11 ノンマスカブル割り込みの受け付けタイミング

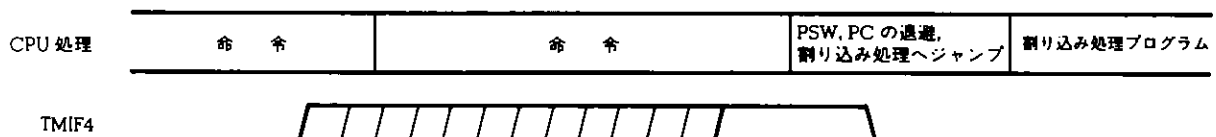
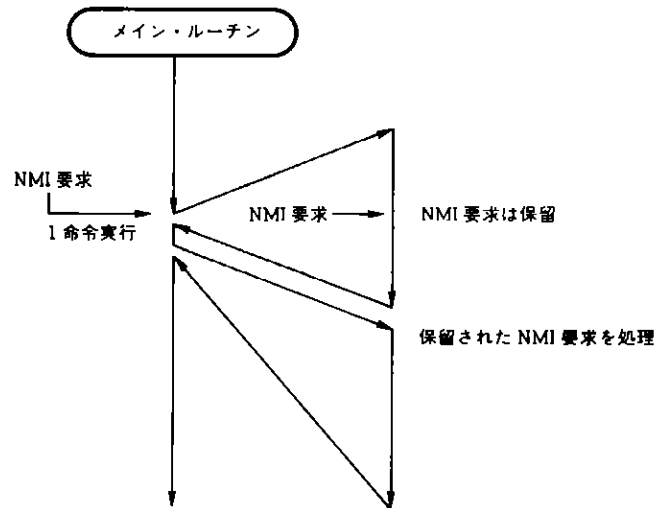
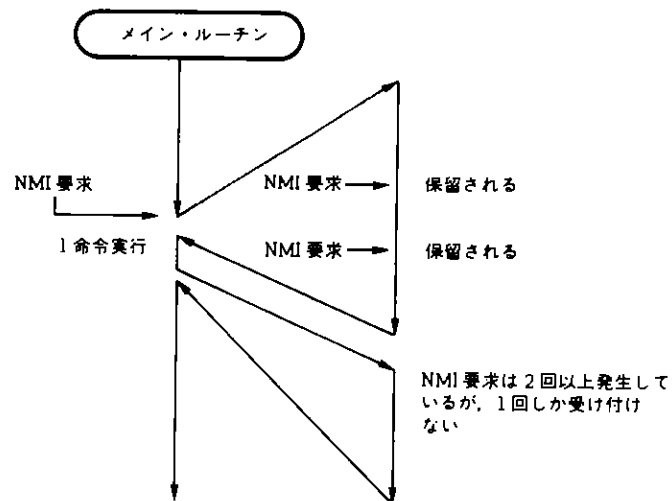


図 18-12 ノンマスクابل割り込み要求の受け付け動作

- (a) ノンマスクابل割り込みサービス・プログラム実行中に  
新たなノンマスクابل割り込み要求が発生した場合



- (b) ノンマスクابل割り込みサービス・プログラム実行中に  
新たに2回のノンマスクابل割り込み要求が発生した場合



### 18.4.2 マスカブル割り込みの受け付け動作

マスカブル割り込みは、割り込み要求フラグがセット (1) され、その割り込みの MK フラグがクリア (0) されていると受け付けが可能な状態になります。ベクタ割り込みは、割り込み許可状態 (IE フラグがセット (1) されているとき) であれば受け付けます。ただし、優先順位の高い割り込みを処理中 (ISP フラグがリセット (0) されているとき) に低い優先順位に指定されている割り込みは受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は次のようになります。

表 18-3 マスカブル割り込み要求発生から処理までの時間

|            | 最小時間   | 最大時間 <sup>注</sup> |
|------------|--------|-------------------|
| ××PR=0 のとき | 7 クロック | 32 クロック           |
| ××PR=1 のとき | 8 クロック | 33 クロック           |

注 除算命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1 クロック： $\frac{1}{f_{\text{CPU}}}$

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、同一優先順位に指定されているときは、デフォルト優先順位に従います。

保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み受け付けのアルゴリズムを図 18-13 に示します。

マスカブル割り込み要求が受け付けられると、PSW、PC の順にスタックに退避し、IE フラグをリセット (0) し、受け付けた割り込みの優先順位指定フラグの内容を ISP フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータを PC へロードし分岐します。

RETI 命令によって、割り込みから復帰はできます。



図 18-13 割り込み受け付け処理アルゴリズム

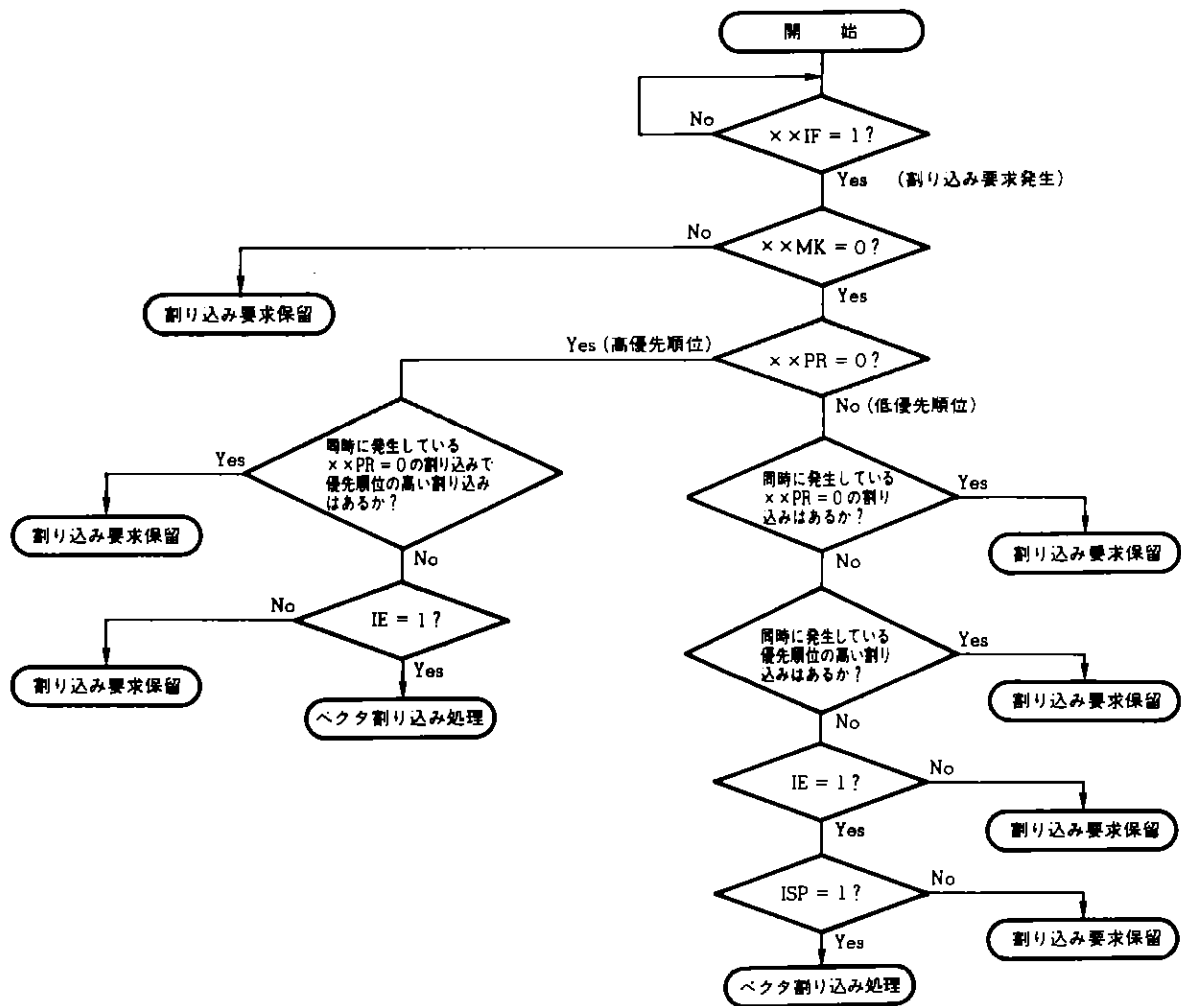


図 18-14 割り込みの受け付けタイミング (最小時間)

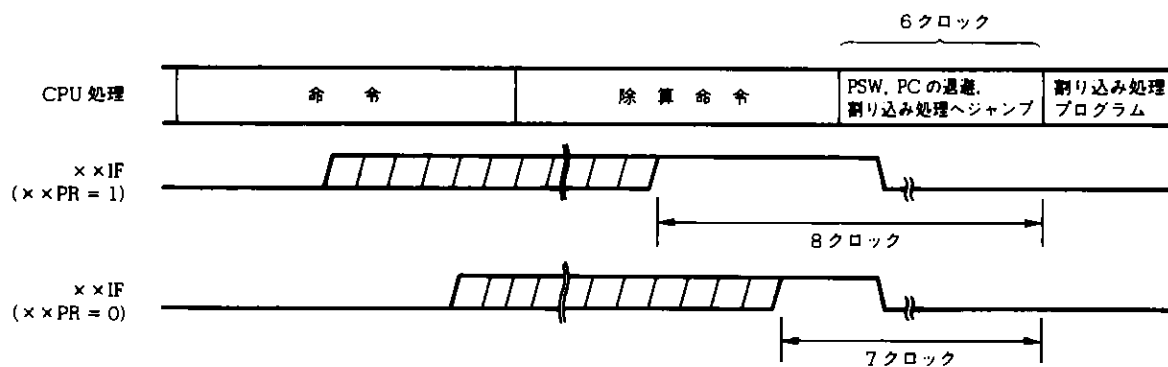
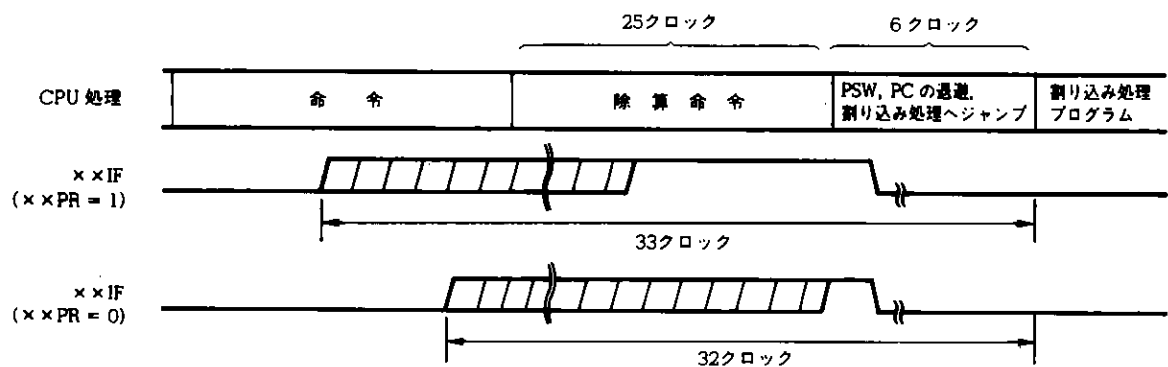


図 18-15 割り込みの受け付けタイミング (最大時間)



### 18.4.3 ソフトウェア割り込みの受け付け動作

ソフトウェア割り込みは BRK 命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込みが受け付けられると、PSW、PC の順にスタックに退避し、IE フラグをリセット (0) し、ベクタ・テーブル (003EH, 003FH) の内容を PC にロードして分岐します。

RETB 命令によって、ソフトウェア割り込みから復帰できます。

**注意** ソフトウェア割り込みからの復帰に RETI 命令を使用しないでください。

### 18.4.4 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって制御できます。

優先順位の制御には、デフォルト優先順位による制御と、優先順位指定フラグ・レジスタ (PROL, PROH, PRIL) の設定によるプログラマブル優先順位制御があります。デフォルト優先順位による優先順位制御は、複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込み処理を行います (表 18-1 参照)。プログラマブル優先順位制御は、各割り込み要求を PROL, PROH, PRIL に対応するビットの設定によって、高い優先順位グループと低い優先順位グループの 2 グループに分けます。多重割り込み可能な割り込み要求を次に示します。

表 18-4 割り込み処理中に多重割り込み可能な割り込み要求

| 多重割り込み要求<br>受け付け中の割り込み |       | ノンマスクابل<br>割り込み要求 | マスクابل割り込み要求 |      |        |      |
|------------------------|-------|--------------------|--------------|------|--------|------|
|                        |       |                    | ××PR=0       |      | ××PR=1 |      |
|                        |       |                    | IE=1         | IE=0 | IE=1   | IE=0 |
| ノンマスクابل割り込み処理中        |       | ×                  | ×            | ×    | ×      | ×    |
| マスクابل割り込み<br>処理中      | ISP=0 | ○                  | ○            | ×    | ×      | ×    |
|                        | ISP=1 | ○                  | ○            | ×    | ○      | ×    |
| ソフトウェア割り込み処理中          |       | ○                  | ○            | ×    | ○      | ×    |

備考 1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP, IE は PSW に含まれるフラグです。

★

ISP=0：高優先順位の割り込み処理中

ISP=1：割り込みを受け付けていないか、低優先順位の割り込み処理中

IE=0：割り込み受け付け禁止

IE=1：割り込み受け付け許可

4. ××PR は PRO に含まれるフラグです。

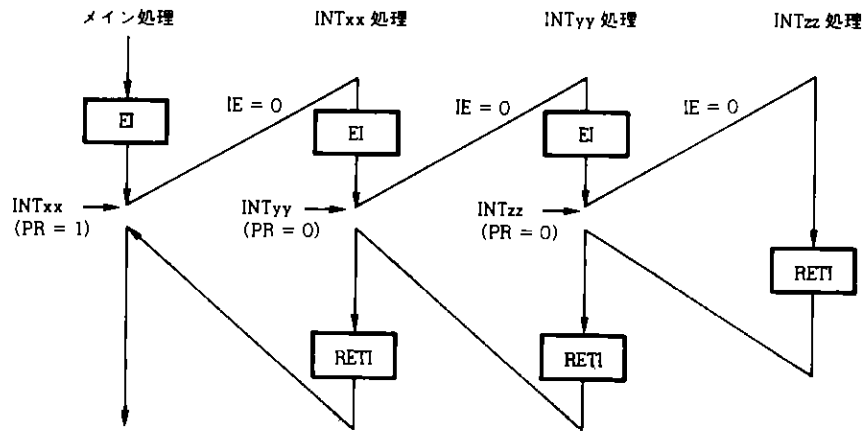
★

××PR=0：高優先順位レベル

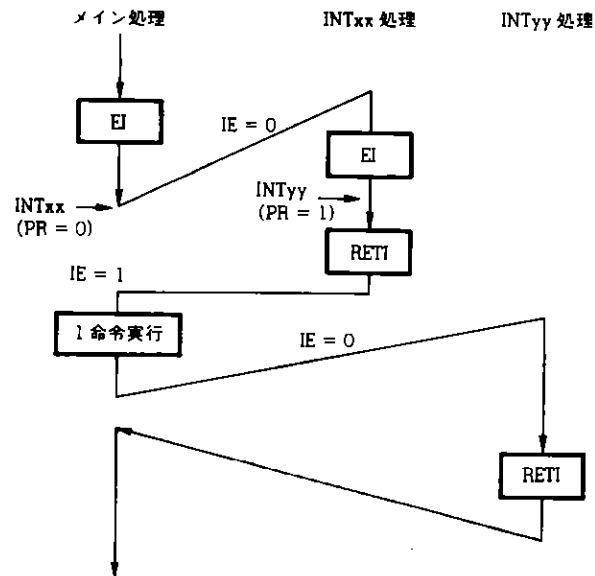
××PR=1：低優先順位レベル

図 18-16 多重割り込みの例

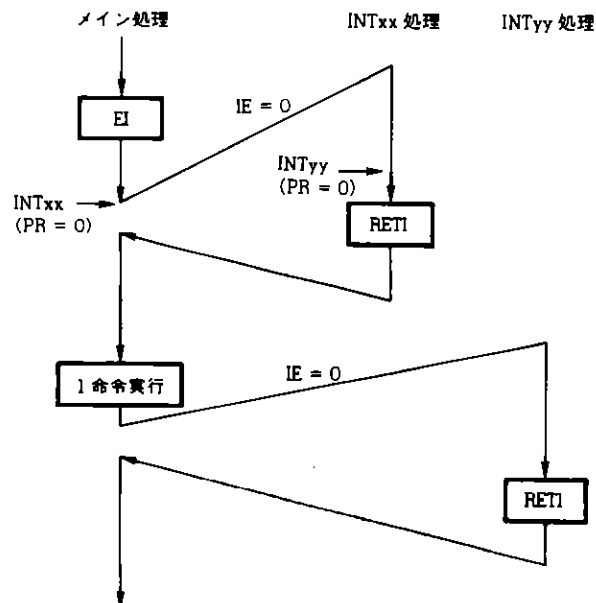
例 1



例 2



例 3



18.4.5 割り込みの保留

以下に示す命令と、その次に実行する命令の間では、割り込みの受け付けが一時的に保留されます。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1/AND1/OR1/XOR1 CY, PSW. bit
- SET1/CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT/BF/BTCLR PSW. bit, \$addr16
- EI
- DI
- IFOL, IFOH, IF1L, MKOL, MKOH, MK1L, PROL, PROH, PR1L, INTMO, INTM1 の各レジスタに対する操作命令

**注意** ソフトウェア割り込み（BRK 命令の実行による）では、IE フラグが 0 にクリアされるので BRK 命令実行中にマスカブル割り込み要求が発生しても、割り込みを受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

図 18 - 17 割り込み要求の保留



- 備考 1.** 命令 N：割り込み要求の保留命令
- 2.** 命令 M：割り込み命令の保留命令以外
- 3.** x x IF の動作は、x x PR の値の影響を受けません。

★

## 18.5 テスト機能

ベクタ処理は行わず，テスト入力フラグをセット (1) します。

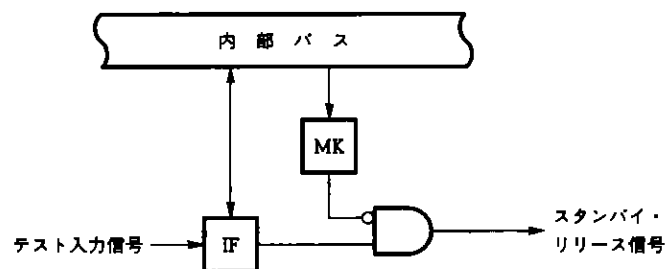
スタンバイ・リリース信号を発生します。

テスト入力要因には，表 18-5 に示す 2 本があります。また，基本構成は図 18-18 のようになっています。

表 18-5 テスト入力要因一覧

| テスト入力要因 |                   | 内部/<br>外部 |
|---------|-------------------|-----------|
| 名 称     | ト リ ガ             |           |
| INTWT   | 時計用タイマのオーバフロー     | 内部        |
| INTPT4  | ポート 4 の立ち下がリエッジ検出 | 外部        |

図 18-18 テスト機能の基本構成



備考 1. IF : テスト入力フラグ

2. MK : テスト・マスク・フラグ

### 18.5.1 テスト機能を制御するレジスタ

テスト機能は，次の 3 種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ 1L (IF1L)
- 割り込みマスク・フラグ・レジスタ 1L (MK1L)
- キー・リターン・モード・レジスタ (KRM)

各テスト入力信号に対応するテスト入力フラグ，テスト・マスク・フラグの名称を表 18-6 に示します。

表 18-6 テスト入力信号に対応する各種フラグ

| テスト入力信号名 | テスト入力フラグ | テスト・マスク・フラグ |
|----------|----------|-------------|
| INTWT    | WTIF     | WTMK        |
| INTPT4   | KRIF     | KRMK        |

## (1) 割り込み要求フラグ・レジスタ 1L (IF1L)

時計用タイマのオーバフローの検出/未検出を表示するレジスタです。

IF1Lは、1ビット・メモリ操作命令、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

図 18-19 割り込み要求フラグ・レジスタ 1L のフォーマット

| 略号   | ⑦    | 6 | 5 | 4 | ③    | ②    | ①     | ①     | アドレス  | リセット時 | R/W |
|------|------|---|---|---|------|------|-------|-------|-------|-------|-----|
| IF1L | WTIF | 0 | 0 | 0 | IEIF | ADIF | TMIF2 | TMIF1 | FFE2H | 00H   | R/W |

|      |                    |
|------|--------------------|
| WTIF | 時計用タイマのオーバフロー検出フラグ |
| 0    | 未検出                |
| 1    | 検出                 |

注意 ビット4-ビット6には必ず0を設定してください。

## (2) 割り込みマスク・フラグ・レジスタ 1L (MK1L)

時計用タイマによるスタンバイ・モード解除の許可/禁止を設定するレジスタです。

MK1Lは、1ビット・メモリ操作命令、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、FFH になります。

図 18-20 割り込みマスク・フラグ・レジスタ 1L のフォーマット

| 略号   | ⑦    | 6 | 5 | 4 | ③    | ②    | ①     | ①     | アドレス  | リセット時 | R/W |
|------|------|---|---|---|------|------|-------|-------|-------|-------|-----|
| MK1L | WTMK | 1 | 1 | 1 | IEMK | ADMK | TMMK2 | TMMK1 | FFE6H | FFH   | R/W |

|      |                       |
|------|-----------------------|
| WTMK | 時計用タイマによるスタンバイ・モードの制御 |
| 0    | スタンバイ・モードの解除許可        |
| 1    | スタンバイ・モードの解除禁止        |

注意 ビット4-ビット6には必ず1を設定してください。

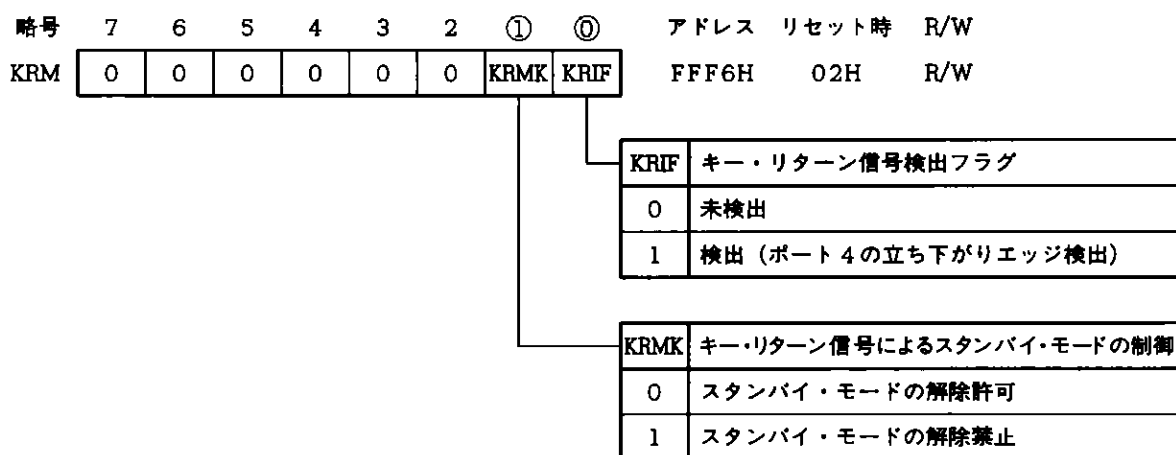
## (3) キー・リターン・モード・レジスタ (KRM)

キー・リターン信号 (ポート 4 の立ち下がりエッジ検出) によるスタンバイ機能の解除の許可/禁止を設定するレジスタです。

KRM は、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、02H になります。

図 18-21 キー・リターン・モード・レジスタのフォーマット



**注意** ポート 4 で立ち下がりエッジ検出を使用するとき、必ず **KRIF** を 0 にクリアしてください (自動的に 0 にクリアされません)。

## 18.5.2 テスト入力信号の受け付け動作

## (1) 内部テスト入力信号

時計用タイマのオーバフローにより、WTIF フラグがセットされます。時計用タイマのオーバフロー周期より短い周期で WTIF フラグをチェックすることにより、時計機能が可能です。

## (2) 外部テスト入力信号

ポート 4 (P40-P47) の端子に立ち下がりエッジが入力されたとき、KRIF がセットされます。ポート 4 をキー・マトリックスのリターン信号入力として使用することにより、キー入力の有無を KRIF の状態でチェックすることができます。



## 第19章 外部デバイス拡張機能

### 19.1 外部デバイス拡張機能

外部デバイス拡張機能は、内部 ROM, RAM, SFR 以外の領域に、外部デバイスを接続する機能です。外部デバイスの接続は、ポート 4-ポート 6 を使用します。ポート 4-ポート 6 は、アドレス/データ、リード/ライト・ストロブ、ウエイト、タイミングなどの制御を行います。

表 19 - 1 外部メモリ拡張モード時の端子機能

| 外部デバイス接続時の端子機能    |                      | 兼用端子    |
|-------------------|----------------------|---------|
| 名 称               | 機 能                  |         |
| AD0-AD7           | マルチプレクスト・アドレス/データ・バス | P40-P47 |
| A8-A15            | アドレス・バス              | P50-P57 |
| $\overline{RD}$   | リード・ストロブ信号           | P64     |
| $\overline{WR}$   | ライト・ストロブ信号           | P65     |
| $\overline{WAIT}$ | ウエイト信号               | P66     |
| ASTB              | アドレス・ストロブ信号          | P67     |

表 19 - 2 外部メモリ拡張モード時のポート 4-ポート 6 の端子の状態

| ポート<br>外部拡張モード | ポート 4    | ポート 5 |   |   |   |     |   |     |   | ポート 6 |                    |   |   |   |   |   |   |
|----------------|----------|-------|---|---|---|-----|---|-----|---|-------|--------------------|---|---|---|---|---|---|
|                | 0-7      | 0     | 1 | 2 | 3 | 4   | 5 | 6   | 7 | 0     | 1                  | 2 | 3 | 4 | 5 | 6 | 7 |
| シングルチップ・モード    | ポート      | ポート   |   |   |   |     |   |     |   | ポート   |                    |   |   |   |   |   |   |
| 256 バイト 拡張モード  | アドレス/データ | ポート   |   |   |   |     |   |     |   | ポート   | RD, WR, WAIT, ASTB |   |   |   |   |   |   |
| 4 K バイト 拡張モード  | アドレス/データ | アドレス  |   |   |   | ポート |   |     |   | ポート   | RD, WR, WAIT, ASTB |   |   |   |   |   |   |
| 16 K バイト 拡張モード | アドレス/データ | アドレス  |   |   |   |     |   | ポート |   | ポート   | RD, WR, WAIT, ASTB |   |   |   |   |   |   |
| フルアドレス・モード     | アドレス/データ | アドレス  |   |   |   |     |   |     |   | ポート   | RD, WR, WAIT, ASTB |   |   |   |   |   |   |

注意 外部ウエイト機能を使用しないとき、すべてのモードで  $\overline{WAIT}$  端子をポートとして使用できます。

外部デバイス拡張機能を使用したときのメモリ・マップは、次のようになります。

図 19-1 外部デバイス拡張機能を使用時のメモリ・マップ (1/3)

(a) 内部 ROM を32 K バイトにしたときの  
μPD78094 のメモリ・マップ

|                |                                    |
|----------------|------------------------------------|
| FFFFH          | SFR                                |
| F000H<br>FEFFH | 内部高速 RAM                           |
| F800H<br>FAFFH | 使用不可                               |
| FAE0H<br>FADFH | バッファ RAM                           |
| FAC0H<br>FABFH | 使用不可                               |
| F900H<br>F8FFH | IEBus レジスタ                         |
| F8E0H<br>F8DFH | 使用不可                               |
| F000H<br>EFFFH | フルアドレス・モード<br>(MM2-MM0=111 のとき)    |
| C000H<br>BFFFH | 16 K バイト拡張モード<br>(MM2-MM0=101 のとき) |
| 9000H<br>8FFFH | 4 K バイト拡張モード<br>(MM2-MM0=100 のとき)  |
| 8100H<br>80FFH | 256 バイト拡張モード<br>(MM2-MM0=011 のとき)  |
| 8000H<br>7FFFH | シングルチップ・モード                        |
| 0000H          |                                    |

(b) 内部 ROM を40 K バイトにしたときの  
μPD78095 のメモリ・マップ

|                |                                                                              |
|----------------|------------------------------------------------------------------------------|
| FFFFH          | SFR                                                                          |
| F000H<br>FEFFH | 内部高速 RAM                                                                     |
| F800H<br>FAFFH | 使用不可                                                                         |
| FAE0H<br>FADFH | バッファ RAM                                                                     |
| FAC0H<br>FABFH | 使用不可                                                                         |
| F900H<br>F8FFH | IEBus レジスタ                                                                   |
| F8E0H<br>F8DFH | 使用不可                                                                         |
| F000H<br>EFFFH | フルアドレス・モード<br>(MM2-MM0=111 のとき)<br>または<br>16 K バイト拡張モード<br>(MM2-MM0=101 のとき) |
| B000H<br>AFFFH | 4 K バイト拡張モード<br>(MM2-MM0=100 のとき)                                            |
| A100H<br>A0FFH | 256 バイト拡張モード<br>(MM2-MM0=011 のとき)                                            |
| A000H<br>9FFFH | シングルチップ・モード                                                                  |
| 0000H          |                                                                              |

図 19-1 外部デバイス拡張機能を使用時のメモリ・マップ (2/3)

(c) 内部 ROM を48 Kバイトにしたときの  $\mu$ PD78096 のメモリ・マップ

|        |                                                                              |
|--------|------------------------------------------------------------------------------|
| FFFFH  | SFR                                                                          |
| FF00H  |                                                                              |
| FEFFH  | 内部高速 RAM                                                                     |
| FB00H  |                                                                              |
| F AFFH | 使用不可                                                                         |
| FAE0H  |                                                                              |
| FADFH  | バッファ RAM                                                                     |
| FAC0H  |                                                                              |
| FABFH  | 使用不可                                                                         |
| F900H  |                                                                              |
| F8FFH  | IEBus レジスタ                                                                   |
| F8E0H  |                                                                              |
| F8DFH  | 使用不可                                                                         |
| F000H  |                                                                              |
| FFFFH  | フルアドレス・モード<br>(MM2-MM0=111 のとき)<br>または<br>16 K バイト拡張モード<br>(MM2-MM0=101 のとき) |
| D000H  |                                                                              |
| CFFFH  | 4 K バイト拡張モード<br>(MM2-MM0=100 のとき)                                            |
| C100H  |                                                                              |
| C0FFH  | 256 バイト拡張モード<br>(MM2-MM0=011 のとき)                                            |
| C000H  |                                                                              |
| BFFFH  |                                                                              |
|        | シングルチップ・モード                                                                  |
| 0000H  |                                                                              |

図 19-1 外部デバイス拡張機能を使用時のメモリ・マップ (3/3)

(d) 内部 ROM を56 Kバイトにしたときの

μPD78098A, 78P098A のメモリ・マップ

|       |                                                                            |
|-------|----------------------------------------------------------------------------|
| FFFFH | SFR                                                                        |
| F000H | 内部高速 RAM                                                                   |
| FEFFH |                                                                            |
|       |                                                                            |
|       |                                                                            |
| FB00H | 使用不可                                                                       |
| FAFFH |                                                                            |
| FAE0H | バッファ RAM                                                                   |
| FADFH |                                                                            |
| FAC0H | 使用不可                                                                       |
| FABFH |                                                                            |
| F900H | IEBus レジスタ                                                                 |
| F8FFH |                                                                            |
| F8E0H | 使用不可                                                                       |
| F8DFH |                                                                            |
| F800H | 内部拡張 RAM                                                                   |
| F7FFH |                                                                            |
|       |                                                                            |
|       |                                                                            |
| F000H | フルアドレス・モード<br>(MM2-MM0=111 のとき)<br>または<br>4 Kバイト拡張モード<br>(MM2-MM0=100 のとき) |
| FFFFH |                                                                            |
|       |                                                                            |
|       |                                                                            |
| E100H | 256 バイト拡張モード<br>(MM2-MM0=011 のとき)                                          |
| E0FFH |                                                                            |
| E000H | シングルチップ・モード                                                                |
| DFFFH |                                                                            |
|       |                                                                            |
|       |                                                                            |
| 0000H |                                                                            |

(e) 内部 ROM を60 Kバイトにしたときの

μPD78098A, 78P098A のメモリ・マップ

|       |             |
|-------|-------------|
| FFFFH | SFR         |
| F000H | 内部高速 RAM    |
| FEFFH |             |
|       |             |
|       |             |
| FB00H | 使用不可        |
| FAFFH |             |
| FAE0H | バッファ RAM    |
| FADFH |             |
| FAC0H | 使用不可        |
| FABFH |             |
| F900H | IEBus レジスタ  |
| F8FFH |             |
| F8E0H | 使用不可        |
| F8DFH |             |
| F800H | 内部拡張 RAM    |
| F7FFH |             |
|       |             |
|       |             |
| F000H | シングルチップ・モード |
| FFFFH |             |
|       |             |
|       |             |
| 0000H |             |

注意 内部 ROM (PROM) が60 Kバイトのとき、外部デバイス拡張機能は使用できません。メモリ・サイズ切り替えレジスタで内部 ROM (PROM) を56 Kバイト以下に設定することにより、内部 ROM (PROM) の最終アドレスから EFFFH 番地までを外部メモリとして使用できます。

## 19.2 外部デバイス拡張機能を制御するレジスタ

外部デバイス拡張機能は、メモリ拡張モード・レジスタ (MM) とメモリ・サイズ切り替えレジスタ (IMS) で制御します。

### (1) メモリ拡張モード・レジスタ (MM)

MM は、ウェイト数、外部拡張領域を指定するレジスタです。また、ポート 4 の入力/出力を設定する機能があります。

MM は、8 ビット操作命令で設定します。

$\overline{\text{RESET}}$  入力により、10H になります。

図 19-2 メモリ拡張モード・レジスタのフォーマット

| 略号 | 7 | 6 | 5   | 4   | 3 | 2   | 1   | 0   | アドレス  | リセット時 | R/W |
|----|---|---|-----|-----|---|-----|-----|-----|-------|-------|-----|
| MM | 0 | 0 | PW1 | PW0 | 0 | MM2 | MM1 | MM0 | FFF8H | 10H   | R/W |

| MM2  | MM1 | MM0 | シングルチップ/<br>メモリ拡張モードの選択 |                     | P40-P47, P50-P57, P64-P67 端子の状態 |         |          |          |          |                                                                                                         |
|------|-----|-----|-------------------------|---------------------|---------------------------------|---------|----------|----------|----------|---------------------------------------------------------------------------------------------------------|
|      |     |     |                         |                     | P40-P47                         |         | P50-P53  | P54, P55 | P56, P57 | P64-P67                                                                                                 |
| 0    | 0   | 0   | シングルチップ・<br>モード         |                     | ポート・<br>モード                     | 入力      | ポート・モード  |          |          |                                                                                                         |
| 0    | 0   | 1   |                         |                     | 出力                              |         |          |          |          |                                                                                                         |
| 0    | 1   | 1   | メモリ<br>拡張<br>モード        | 256バイト・<br>モード      | ADO-AD7                         | ポート・モード |          |          |          | P64= $\overline{\text{RD}}$<br>P65= $\overline{\text{WR}}$<br>P66= $\overline{\text{WAIT}}$<br>P67=ASTB |
| 1    | 0   | 0   |                         | 4Kバイト・<br>モード       |                                 | A8-A11  | ポート・モード  |          |          |                                                                                                         |
| 1    | 0   | 1   |                         | 16Kバイト・<br>モード      |                                 |         | A12, A13 | ポート・モード  |          |                                                                                                         |
| 1    | 1   | 1   |                         | 注<br>フルアドレス・<br>モード |                                 |         |          | A14, A15 |          |                                                                                                         |
| 上記以外 |     |     | 設定禁止                    |                     |                                 |         |          |          |          |                                                                                                         |

注 フルアドレス・モードとは、64 K アドレス空間のうち、内部 ROM、RAM、SFR 領域および使用不可領域を除く、すべての領域に外部拡張できるモードです。

備考 P60-P63 端子は、シングルチップ・モード、メモリ拡張モードにかかわらずポート・モードになります。

| PW1 | PW0 | ウェイトの制御                |
|-----|-----|------------------------|
| 0   | 0   | ウェイトなし                 |
| 0   | 1   | ウェイトあり (1 ウェイト・ステート挿入) |
| 1   | 0   | 設定禁止                   |
| 1   | 1   | 外部ウェイト端子によるウェイト制御      |

注意 メイン・システム・クロックを生成する際に、クロック発生回路の2/3分周回路（分周回路1内）を使用している場合は、外部デバイス拡張機能が使用できません。

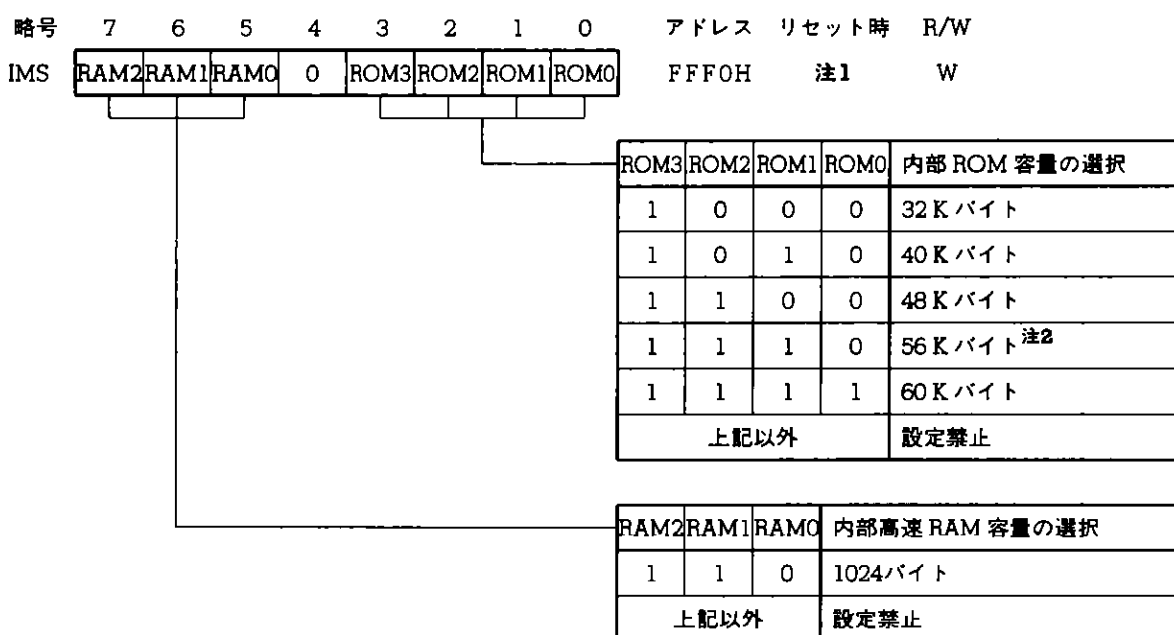
## (2) メモリ・サイズ切り替えレジスタ (IMS)

μPD78098A, 78P098A は、メモリ・サイズ切り替えレジスタ (IMS) により、内部メモリ・サイズを指定することができます。

IMS は、8 ビット・メモリ操作命令で設定します。

RESET 入力により、表 19-3 に示す値になります。

図 19-3 メモリ・サイズ切り替えレジスタのフォーマット



注 1. リセット時の値は製品により異なります（表 19-3 参照）。

表 19-3 メモリ・サイズ切り替えレジスタのリセット時の値

| 品 名        | リセット時の値 |
|------------|---------|
| μPD78094   | C8H     |
| μPD78095   | CAH     |
| μPD78096   | CCH     |
| μPD78098A  | CFH     |
| μPD78P098A |         |

2. μPD78098A, 78P098A で外部デバイス拡張機能を使用する場合、内部 PROM 容量を56 K バイト以下にしてください。

注意 マスク ROM 製品を使用する場合、IMS にはリセット時以外の値を設定しないでください。ただし、μPD78098A で外部デバイス拡張機能を使用するときは除きます。

備考 IMS は、内蔵する ROM 容量に合わせて設定してください。

## 19.3 外部デバイス拡張機能のタイミング

外部メモリ拡張モード時のタイミング・コントロール信号出力端子を以下に示します。

### (1) $\overline{RD}$ 端子 (兼用機能 : P64)

リード・ストロブ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセス時に出力します。

内部メモリ・アクセス時には、リード・ストロブ信号は出力されません (ハイ・レベルを保持します)。

### (2) $\overline{WR}$ 端子 (兼用機能 : P65)

ライト・ストロブ信号を出力する端子です。外部メモリへのデータ・アクセス時に出力します。

内部メモリ・アクセス時には、ライト・ストロブ信号は出力されません (ハイ・レベルを保持します)。

### (3) $\overline{WAIT}$ 端子 (兼用機能 : P66)

外部ウエイト信号を入力する端子です。

外部ウエイトを使用しないときは、 $\overline{WAIT}$  端子を入出力ポートとして使用できます。

内部メモリ・アクセス時には、外部ウエイト信号は無視されます。

### (4) $\overline{ASTB}$ 端子 (兼用機能 : P67)

アドレス・ストロブ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセスにかかわらず、必ず出力します。

### (5) $\overline{AD0-AD7}$ , $\overline{A8-A15}$ 端子 (兼用機能 : P40-P47, P50-P57)

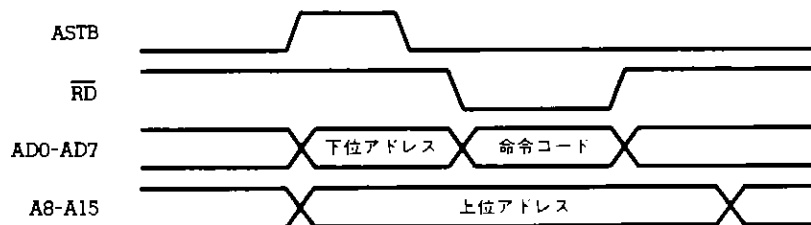
アドレス信号およびデータ信号を出力する端子です。外部メモリからの命令フェッチ、データ・アクセス時に有効信号が出力あるいは入力されます。

内部 RAM 領域、内部 ROM 領域、SFR 領域 (外部 SFR 領域を除く) にマッピングされた空間を操作する場合、内部 RAM、ROM、SFR の各領域が操作対象となります。このとき、外部にはアドレス信号が出力されますが、 $\overline{RD}$ 、 $\overline{WR}$  信号は出力されません (インアクティブ・レベルのまま)。

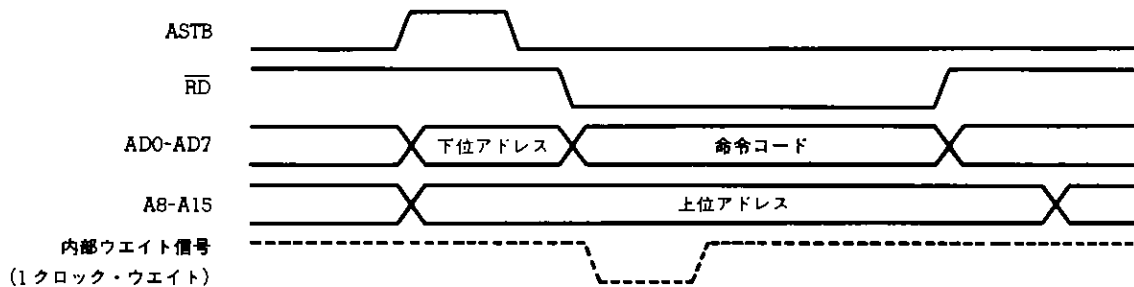
タイミング・チャートを図 19-4 から図 19-7 に示します。

図 19-4 外部メモリからの命令フェッチ

(a) ウェイトなし (PW1, PW0=0, 0) 設定時



(b) ウェイトあり (PW1, PW0=0, 1) 設定時



(c) 外部ウェイト (PW1, PW0=1, 1) 設定時

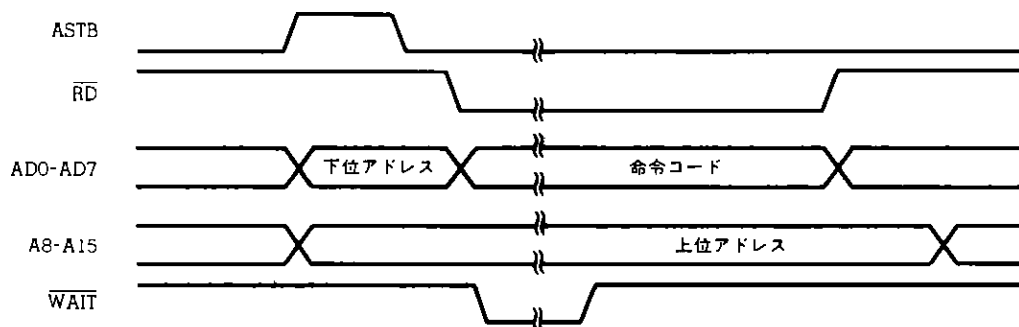
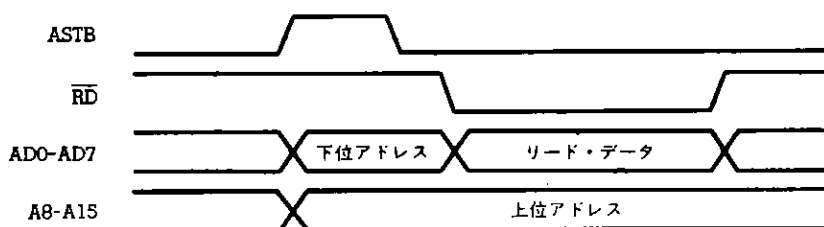


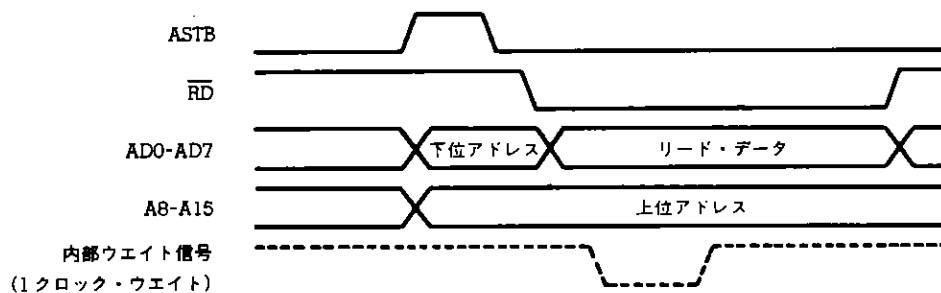


図 19-8 外部メモリのリード・タイミング

(a) ウェイトなし (PW1, PW0=0, 0) 設定時



(b) ウェイトあり (PW1, PW0=0, 1) 設定時



(c) 外部ウェイト (PW1, PW0=1, 1) 設定時

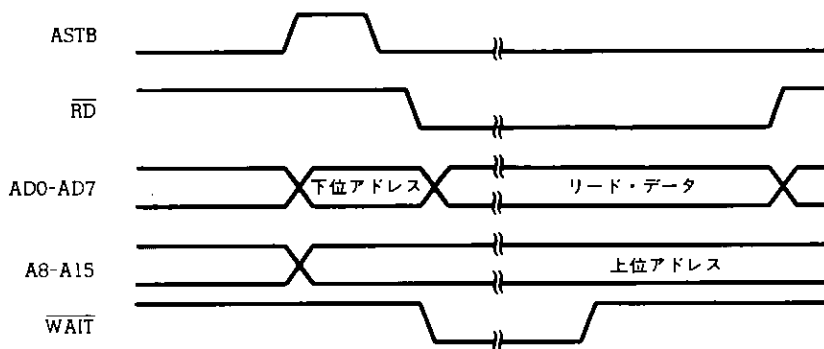
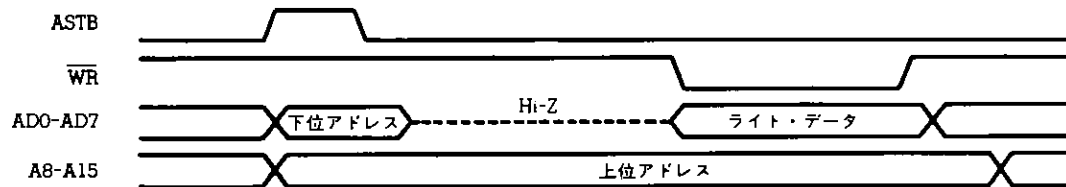
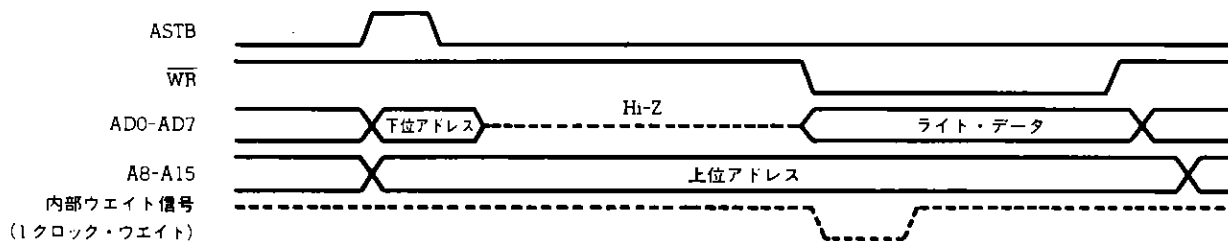


図 19-6 外部メモリのライト・タイミング

(a) ウェイトなし (PW1, PW0=0, 0) 設定時



(b) ウェイトあり (PW1, PW0=0, 1) 設定時



(c) 外部ウェイト (PW1, PW0=1, 1) 設定時

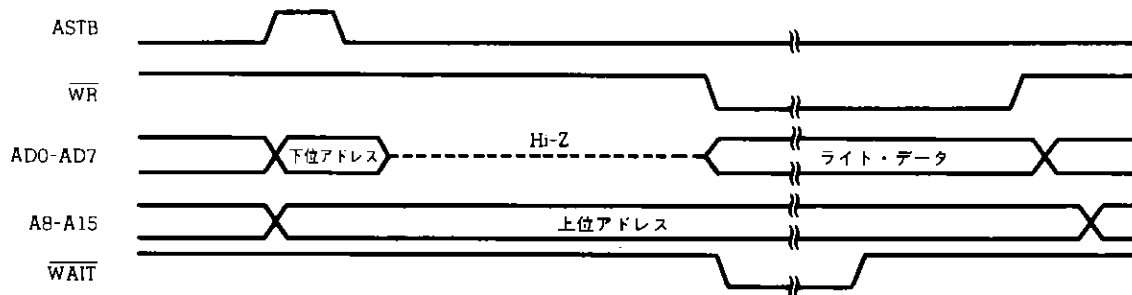
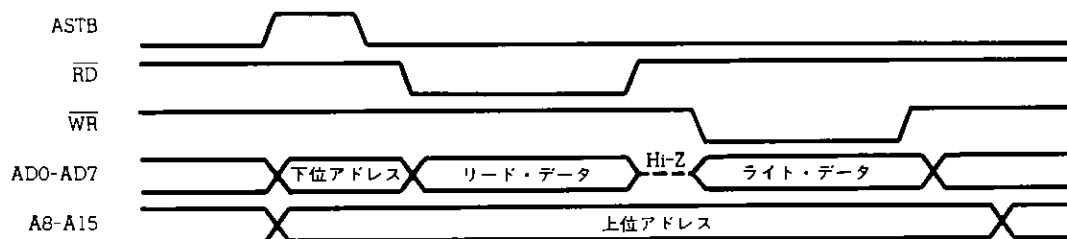
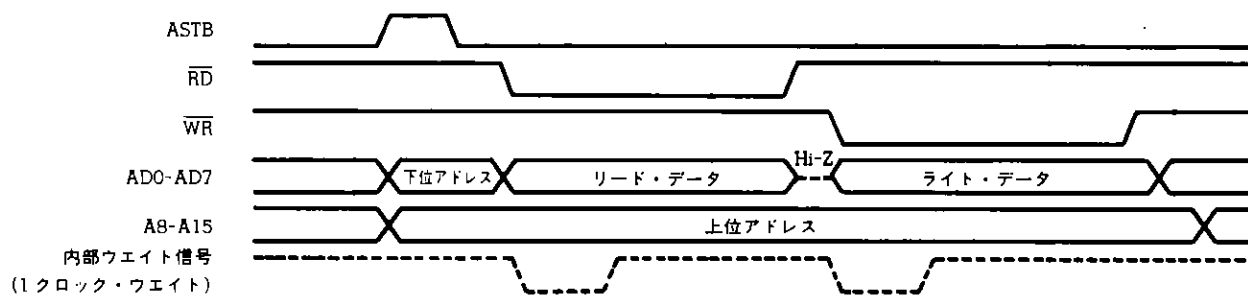
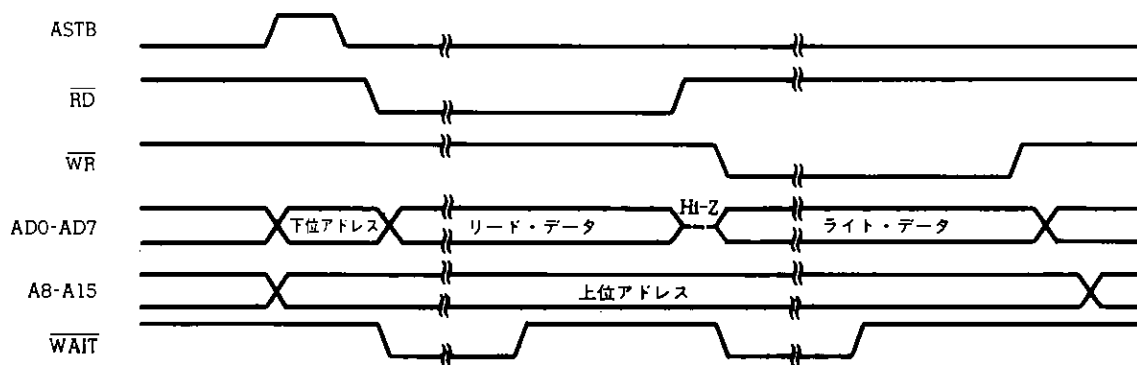


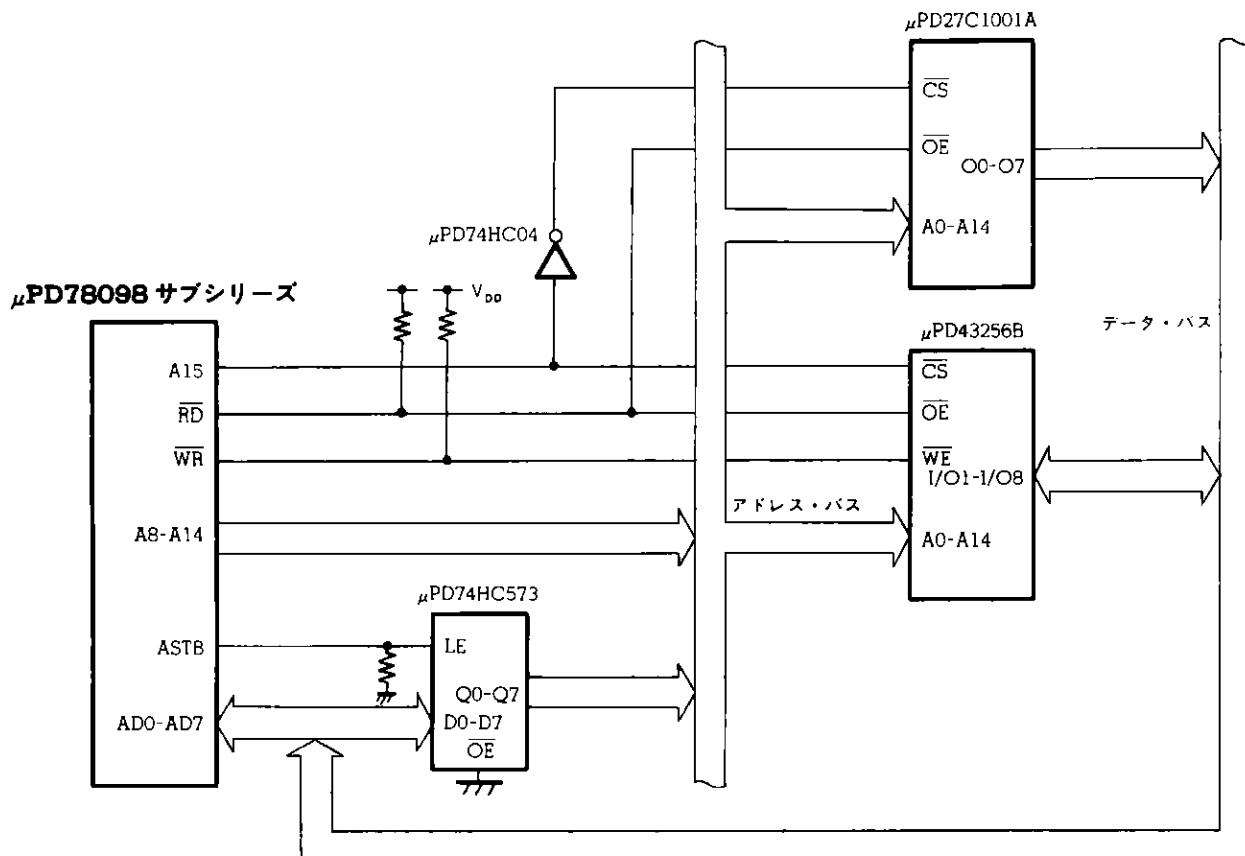
図 19-7 外部メモリのリード・モディファイ・ライト・タイミング

(a) ウェイトなし ( $PW1, PWO=0, 0$ ) 設定時(b) ウェイトあり ( $PW1, PWO=0, 1$ ) 設定時(c) 外部ウェイト ( $PW1, PWO=1, 1$ ) 設定時

## 19.4 メモリとの接続例

μPD78098 サブシリーズと外部メモリとの接続例を図 19-8 に示します。この応用例では、PROM と SRAM を接続しています。

**図 19-8     $\mu$ PD78098 サブシリーズとメモリの接続例**



**注意** 外部メモリのリード・モディファイ・ライト・タイミングにおいて、RD 信号の立ち上がりから、ライト・データ出力までの時間が非常に短いため、ライト・データと外部メモリ (SRAM など) の出力データが衝突する場合があります。このような場合、リード・モディファイ・ライト・タイミングが発生する次の命令の使用を避けることで、データの衝突を回避できます。

|     |              |       |                      |
|-----|--------------|-------|----------------------|
| XCH | A, !addr16   | XCH   | A, [HL+C]            |
| XCH | A, [DE]      | MOV1  | [HL] . bit, CY       |
| XCH | A, [HL]      | SET1  | [HL] . bit           |
| XCH | A, [HL+byte] | CLR1  | [HL] . bit           |
| XCH | A, [HL+B]    | BTCLR | [HL] . bit, \$addr16 |

## 第20章 IEBus コントローラ

### 20.1 IEBus コントローラの機能

IEBus (Inter Equipment Bus™) は、装置間のデータ伝送を行うことを目的とした、小規模のデジタル・データ伝送システムです。 $\mu$ PD78098 サブシリーズで IEBus を実現する場合は、IEBus ドライバ/レシーバを内蔵していないため、これらを外付けする必要があります。

$\mu$ PD78098 サブシリーズが内蔵している IEBus コントローラは、外付けした IEBus ドライバ/レシーバに合わせて、正論理/負論理をソフトウェアで選択することができます (20.3 (2) 参照)。

#### 20.1.1 IEBus の通信プロトコル

IEBus の通信プロトコルは、次の通りです。

##### (1) マルチマスタ方式

IEBus に接続しているすべてのユニットで、他のユニットへのデータ伝送を実現できます。

##### (2) 同期通信機能

次に示す、「1つのユニット対複数ユニット」の通信が行えます。

- グループ同報通信：グループ・ユニットに対しての同報通信
- 一斉同報通信：すべてのユニットに対しての同報通信

##### (3) 実効伝送速度

実効伝送速度は、次の3種類のモードから選択できます。

- モード0：約3.9 kbps
- モード1：約17 kbps
- モード2：約26 kbps

**注意** 1つの IEBus 上に、異なるモードの混在はできません。

##### (4) 通信方式

半二重非同期通信方式でデータ転送を行います。

##### (5) アクセス制御：CSMA/CD (Carrier Sense Multiple Access with Collision Detection)

IEBus 占有の優先順位は次のようになります。

- ① 同報通信が個別通信 (1 ユニット対 1 ユニットの通信) より優先。
- ② マスタ・アドレスの小さいほうが優先。

**(6) 通信規模**

IEBus の通信規模は次のようになります。

- ユニット数 : 最大50ユニット
- ケーブル長 : 最大150 m (ツイスト・ペア・ケーブルを使用した場合)

**注意** 実際のシステムにおける通信規模は、IEBus ドライバ/レシーバや IEBus を構成するケーブルなどの特性によって異なります。

**20.1.2 バス占有権の決定 (アービトレーション)**

IEBus に接続された装置は他の装置を制御するときに、バスを占有するための動作を行います。この動作のことを、アービトレーションと呼びます。

アービトレーションでは、複数のユニットが同時に送信を開始した場合に、それらの複数のユニットの中から1つのユニットに対し、バスを占有する許可を与える処理が行われます。

アービトレーションにより1装置のみがバス占有権を得るため、次のようなバス占有の優先条件が決められています。

**(1) 通信の種類による優先**

同報通信 (1 ユニット対複数ユニットの通信) が通常通信 (1 ユニット対1ユニットの通信) より優先されます。

**(2) マスタ・アドレスによる優先**

通信種類が同じ場合には、マスタ・アドレスの最も小さいものが優先されます。

**例** マスタ・アドレスは12ビットで構成され、000H のユニットが最上位の優先順位を持ち、FFFH のユニットが最下位の優先順位を持ちます。

**20.1.3 通信モード**

IEBus には、伝送速度の異なる3種の通信モードが用意されています。各通信モードにおける伝送速度および1通信フレーム中の最大伝送バイト数は、表 20-1 に示すとおりです。

**表 20-1 各通信モードにおける伝送速度、最大伝送バイト数**

| 通信モード | 最大伝送バイト数 (バイト/フレーム) | 実効伝送速度 (Kbps) <sup>注</sup> |
|-------|---------------------|----------------------------|
| 0     | 16                  | 約3.9                       |
| 1     | 32                  | 約17                        |
| 2     | 128                 | 約26                        |

**注** 最大伝送バイト数を伝送したときの実効伝送速度

IEBus に接続した各装置は、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタ・ユニットとその通信相手ユニット（スレーブ・ユニット）の通信モードが同一でないと、通信は正しく行われません。

#### 20.1.4 通信アドレス

IEBus では、各装置に12ビットの固有な通信アドレスが割り当てられます。通信アドレスは、次のように構成されます。

上位4ビット：グループ番号（各装置の所属するグループを識別する番号）

下位8ビット：ユニット番号（グループ内の各装置を識別する番号）

#### 20.1.5 同報通信

通常の通信では、マスタ・ユニットとその通信相手局となるスレーブ・ユニットはともに1ユニットで、1対1の送信または受信が行われます。それに対し、同報通信ではスレーブ・ユニットが複数存在し、マスタ・ユニットは複数のスレーブ・ユニットに対して送信を行います。スレーブ・ユニットは複数存在するため、通信中スレーブ・ユニットからは、アクノリッジ信号は返されません。

また、同報通信を行うか通常の通信を行うかは、同報ビットによって選択することができます（同報ビットについては、20.1.6 (2) 同報ビットを参照してください）。

同報通信には、次の2種類があります。

##### (1) グループ同報通信

通信アドレスの上位4ビットのグループ番号が等しいグループ内の装置に対して同報通信を行います。

##### (2) 一斉同報通信

グループ番号の値にかかわらずすべての装置に対して同報通信を行います。

グループ同報と一斉同報の識別は、スレーブ・アドレスの値で行われます（スレーブ・アドレスについては、20.1.6 (4) スレーブ・アドレス・フィールドを参照してください）。

#### 20.1.6 IEBus の伝送フォーマット

IEBus の伝送信号フォーマットを図 20-1 に示します。

図 20-1 IEBus の伝送信号フォーマット

| ヘッダ         |          | マスタ・アドレス・フィールド |              | スレーブ・アドレス・フィールド |               | コントロール・フィールド |   | 電文長フィールド   |   | データ・フィールド |        |   |   |         |   |   |
|-------------|----------|----------------|--------------|-----------------|---------------|--------------|---|------------|---|-----------|--------|---|---|---------|---|---|
| フレーム・フォーマット | スタート・ビット | 同報ビット          | マスタ・アドレス・ビット | P               | スレーブ・アドレス・ビット | P            | A | コントロール・ビット | P | A         | 電文長ビット | P | A | データ・ビット | P | A |
|             |          |                |              |                 |               |              |   |            |   |           |        |   |   |         |   |   |

備考 1. P: パリティ・ビット, A:  $\overline{\text{ACK/NAK}}$  ビット

2. 同報通信時には、マスタ局はアクノリッジ・ビットを無視します。

### (1) スタート・ビット

スタート・ビットは、データ伝送の開始をほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間ロウ・レベルの信号(スタート・ビット)を出力し、同報ビットの出力へ移行します。

スタート・ビットを出力しようとしたとき、すでにほかのユニットがスタート・ビットを出力している場合には、スタート・ビットを出力しないでそのユニットのスタート・ビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を開始したユニット以外は、このスタート・ビットを検出し、受信状態へ移行します。

### (2) 同報ビット

マスタが通信相手として単一のスレーブを選択している(個別通信)のか、複数のスレーブを選択している(同報通信)のかを示します。

同報ビットが0の場合は同報通信を示し、1の場合は個別通信を示します。また、同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブ・アドレスの値によって行われます(スレーブ・アドレスについては(4)スレーブ・アドレス・フィールドを参照してください)。

同報通信の場合には、通信相手局となるスレーブ・ユニットが複数存在するため、マスタ・アドレス・フィールド以降の各フィールドでのアクノリッジ・ビットは返されません。

2つ以上のユニットが同じタイミングで通信フレームの送出を開始した場合には、同報通信が個別通信より優先し、アービトレーションに勝ち残ります。

自局がマスタとしてバスを占有しているときは、マスタ通信コントロール・レジスタ(MCR)の同報ビット(ビット7)に設定した値が出力されています。

### (3) マスタ・アドレス・フィールド

マスタが自局のアドレスをスレーブに伝えるために出力します。

マスタ・アドレス・フィールドは、図 20-2 のような構成になっています。

2つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタ・アドレス・フィールドへ持ち越されます。

マスタ・アドレス・フィールドでは、1ビット送信するたびに自分が出力しているデータとバス上のデータとの比較を行います。比較の結果、自分の出力しているマスタ・アドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断し、送信を中止し受信状態に変わります。

IEBus は、ワイアード AND で構成されているため、アービトレーションに参加しているユニット(アービトレーション・マスタ)の中で、最小のマスタ・アドレスを持つユニットがアービトレーションに勝ち残ります。

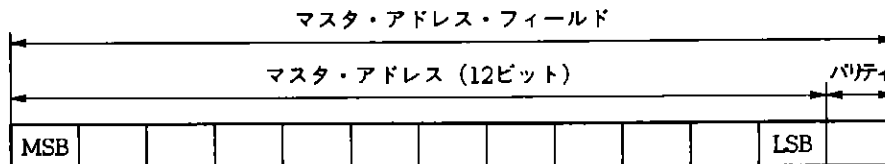
最終的に12ビットのマスタ・アドレスを出力後、1つのユニットのみがマスタ・ユニットとして送信状態で残ります。



次に、このマスタ・ユニットはパリティ・ビットを出力し、ほかのユニットに対してマスタ・アドレスを確定させ、スレーブ・アドレス・フィールド出力へ移行します。

自局がマスタとしてバスを占有しているときは、自局アドレス・レジスタ 1, 2 (UAR1, UAR2) で設定したアドレスが出力されています。

図 20-2 マスタ・アドレス・フィールド



#### (4) スレーブ・アドレス・フィールド

マスタが通信を行いたい相手局のアドレスを出力します。

スレーブ・アドレス・フィールドは、図 20-3 のような構成になっています。

12ビットのスレーブ・アドレス送信後、スレーブ・アドレスが間違えて受信されることを避けるため、パリティ・ビットを出力します。次にスレーブ・ユニットがバス上に存在することを確認するために、マスタ・ユニットはスレーブ・ユニットからのアクノリッジ信号の検出を行います。アクノリッジ信号を検出した場合、コントロール・フィールド出力へ移行します。ただし、同報通信時には、アクノリッジ・ビットを検出せずに、コントロール・フィールド出力へ移行します。

スレーブ・ユニットは、スレーブ・アドレスが一致し、マスタ・アドレスとスレーブ・アドレスの両方のパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。スレーブ・ユニットは、パリティが奇数の場合、マスタ・アドレスまたはスレーブ・アドレスが正しく受信されなかったと判断し、アクノリッジ信号を出力しません。このとき、マスタ・ユニットは待機（モニタ）状態になり、通信が終了します。

また、同報通信の場合には、スレーブ・アドレスは次のようにグループ同報か、一斉同報かの識別に使用されます。

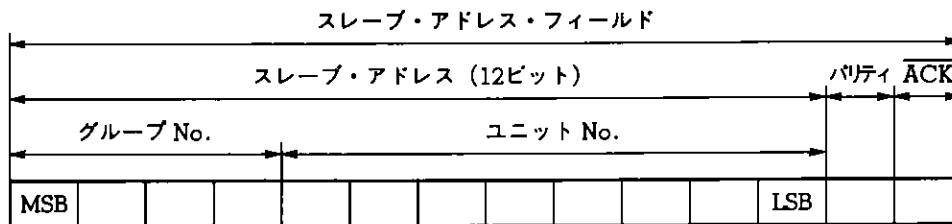
スレーブ・アドレスが FFFH のとき : 一斉同報通信

スレーブ・アドレスが FFFH 以外のとき : グループ同報通信

**備考** グループ同報通信時のグループ No. は、スレーブ・アドレスの上位 4 ビットの値になります。

自局がマスタとしてバスを占有しているときは、スレーブ・アドレス・レジスタ 1, 2 (SAR1, SAR2) で設定したアドレスが出力されています。

図 20-3 スレーブ・アドレス・フィールド

**(5) コントロール・フィールド**

マスタがスレーブに要求する動作内容を出力します。

コントロール・フィールドは、図 20-4 のような構成になっています。

コントロール・ビットに続くパリティが偶数で、かつ、マスタ・ユニットの要求機能をスレーブが実行可能な場合は、スレーブ・ユニットはアクノリッジ信号を出力し、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブ・ユニットがマスタ・ユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブ・ユニットはアクノリッジ信号を出力せず、待機（モニタ）状態に戻ります。

マスタ・ユニットはアクノリッジ信号を確認後、次の電文長フィールドへ移行します。

アクノリッジ信号の確認ができない場合は、マスタ・ユニットは待機状態になり、通信が終了します。ただし、同報通信の場合には、マスタ・ユニットはアクノリッジ信号を確認せずに、次の電文長フィールドへ移行します。

コントロール・ビットの内容を表 20-2 に示します。

表 20-2 コントロール・ビットの内容

| ビット3 <sup>注1</sup> | ビット2 | ビット1 | ビット0 | 機 能                                 |
|--------------------|------|------|------|-------------------------------------|
| 0                  | 0    | 0    | 0    | スレーブ・ステータスの読み込み                     |
| 0                  | 0    | 0    | 1    | 未定義                                 |
| 0                  | 0    | 1    | 0    | 未定義                                 |
| 0                  | 0    | 1    | 1    | データ読み込みとロック <sup>注2</sup>           |
| 0                  | 1    | 0    | 0    | ロック・アドレスの読み込み（下位8ビット） <sup>注3</sup> |
| 0                  | 1    | 0    | 1    | ロック・アドレスの読み込み（上位4ビット） <sup>注3</sup> |
| 0                  | 1    | 1    | 0    | スレーブ・ステータスの読み込みとロック解除 <sup>注2</sup> |
| 0                  | 1    | 1    | 1    | データ読み込み                             |
| 1                  | 0    | 0    | 0    | 未定義                                 |
| 1                  | 0    | 0    | 1    | 未定義                                 |
| 1                  | 0    | 1    | 0    | コマンド書き込みとロック <sup>注2</sup>          |
| 1                  | 0    | 1    | 1    | データ書き込みとロック <sup>注2</sup>           |
| 1                  | 1    | 0    | 0    | 未定義                                 |
| 1                  | 1    | 0    | 1    | 未定義                                 |
| 1                  | 1    | 1    | 0    | コマンド書き込み                            |
| 1                  | 1    | 1    | 1    | データ書き込み                             |

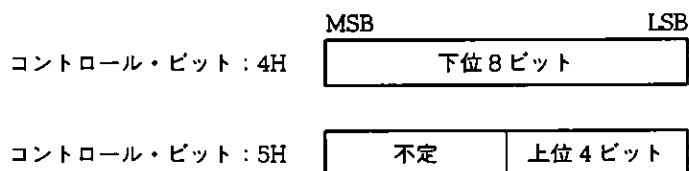
注 1. ビット 3(MSB)の値により、以後の電文長フィールドの電文長ビットおよびデータ・フィールドのデータの転送方向が変わります。

ビット 3 が '1' の場合：マスタ・ユニットからスレーブ・ユニットへ転送

ビット 3 が '0' の場合：スレーブ・ユニットからマスタ・ユニットへ転送

2. ロックの設定、および解除を指定するコントロール・ビットです (20.1.7 (4) ロックの設定、解除参照)。

3. ロック・アドレスは 1 バイト (8 ビット) 単位で伝送されるため、次に示す構成になっています。



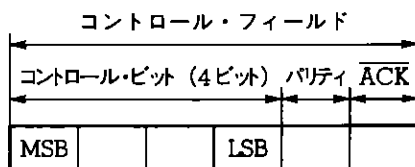
マスタ・ユニットによりロックを設定されたユニットは、ロックを要求したマスタ・ユニット以外から受信したコントロール・ビットが表 20-3 以外の場合、受け付けを拒否し、アクノリッジ・ビットを出力しません。

表 20-3 ロックされたスレーブ・ユニットに対するコントロール・フィールド

| ビット 3 | ビット 2 | ビット 1 | ビット 0 | 機 能                      |
|-------|-------|-------|-------|--------------------------|
| 0     | 0     | 0     | 0     | スレーブ・ステータスの読み込み          |
| 0     | 1     | 0     | 0     | ロック・アドレスの読み込み (下位 8 ビット) |
| 0     | 0     | 0     | 1     | ロック・アドレスの読み込み (上位 4 ビット) |

自局がマスタとしてバスを占有しているときは、マスタ通信コントロール・レジスタ (MCR) のコントロール・ビットに設定した値が出力されています。

図 20-4 コントロール・フィールド



#### (6) 電文長フィールド

送信側が受信側に対して送信データのバイト数を伝えるために出力します。

電文長フィールドは、図 20-5 のような構成になっています。

電文長ビットと送信データ数の関係を表 20-4 に示します。

図 20-5 電文長フィールド

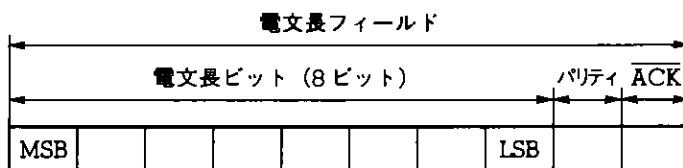


表 20-4 電文長ビットの内容

| 電文長ビット (16進) | 送信データ・バイト数 |
|--------------|------------|
| 01H          | 1 バイト      |
| 02H          | 2 バイト      |
| ⋮            | ⋮          |
| FFH          | 255 バイト    |
| 00H          | 256 バイト    |

電文長フィールドの動作は、マスタ送信時（コントロール・ビットのビット3が1）とマスタ受信時（コントロール・ビットのビット3が0）で異なります。

#### ① マスタ送信時

電文長ビットおよびパリティ・ビットは、マスタ・ユニットが出力します。スレーブ・ユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力し、次のデータ・フィールドへ移行します。ただし、同報通信時では、スレーブ・ユニットはアクノリッジ信号を出力しません。

また、スレーブ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機（モニタ）状態に戻ります。このとき、マスタ・ユニットも待機状態に戻り、通信が終了します。

#### ② マスタ受信時

電文長ビットおよびパリティ・ビットは、スレーブ・ユニットが出力します。マスタ・ユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力します。

マスタ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機状態に戻ります。このとき、スレーブ・ユニットも待機状態に戻り、通信が終了します。

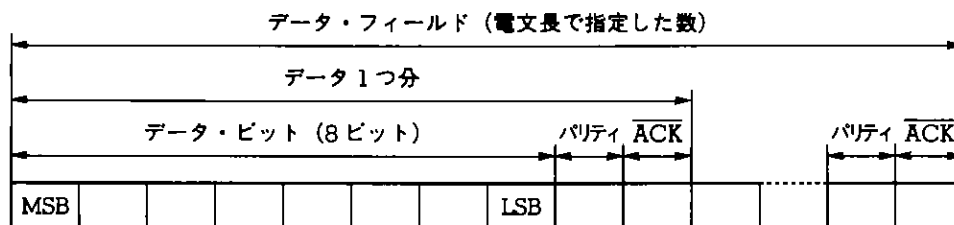
### (7) データ・フィールド

送信側の出力するデータです。

マスタ・ユニットは、データ・フィールドを使用してスレーブ・ユニットにデータを送信したり、スレーブ・ユニットからデータを受信したりします。

データ・フィールドは、図 20-6 のように構成になっています。

図 20-6 データ・フィールド



データ・ビットに続き、パリティ・ビットとアクノリッジ・ビットが、それぞれマスタ・ユニットおよびスレーブ・ユニットより出力されます。

同報通信は、マスタ・ユニットの送信動作のみに行われます。また、このときアクノリッジ信号

は無視されます。

マスタ送信時とマスタ受信時の動作は次のようになります。

#### ① マスタ送信時

マスタ・ユニットからスレーブ・ユニットへ書き込みを行う場合、マスタ・ユニットは、スレーブ・ユニットに対してデータ・ビット、パリティ・ビットを送信します。スレーブ・ユニットは、データ・ビット、パリティ・ビットを受信し、パリティが偶数で、かつ受信バッファが空いていれば、アクノリッジ信号を出力します。パリティが奇数、または受信バッファが空いていない場合には、スレーブ・ユニットは対応するデータの受け付けを拒否し、アクノリッジ信号を出力しません。

スレーブ・ユニットからアクノリッジ信号が出力されなかった場合、マスタ・ユニットは再び同じデータを送信します。この動作はスレーブ・ユニットからのアクノリッジ信号を検出するか、データが最大伝送バイト数を越えるまで続けられます。

パリティが偶数で、スレーブ・ユニットよりアクノリッジ信号が出力された場合、データに続きがあり、かつ最大伝送バイト数を越えていなければ、マスタ・ユニットは次のデータを送信します。

また、同報通信の場合では、スレーブ・ユニットからはアクノリッジ信号は出力されず、マスタ・ユニットはデータを1バイトごとに転送します。

#### ② マスタ受信時

マスタ・ユニットがスレーブ・ユニットから読み込みを行う場合、マスタ・ユニットはすべての読み込みビットに対応する同期信号を出力します。

スレーブ・ユニットは、データ、パリティ・ビットの内容をマスタ・ユニットからの同期信号に応じてバス上に出力します。

マスタ・ユニットは、スレーブ・ユニットの出力したデータ、パリティ・ビットを読み込み、パリティを確認します。

パリティが奇数の場合、または受信バッファが空いていない場合は、マスタ・ユニットはそのデータの受け付けを拒否し、アクノリッジ信号を出力しません。1通信フレームで送信可能な最大伝送バイト数以内であれば、マスタ・ユニットは同じデータの読み込み動作を繰り返します。

また、パリティが偶数で、かつ受信バッファが空いていれば、マスタ・ユニットはデータを受け付け、アクノリッジ信号を返します。1フレームで送信可能な最大バイト数以内であればマスタ・ユニットは次のデータを読み込みます。

#### (8) パリティ・ビット

パリティ・ビットは、伝送データに誤りがないことを確認するために使用されます。

パリティ・ビットは、マスタ・アドレス・ビット、スレーブ・アドレス・ビット、コントロール・

ビット、電文長ビット、データ・ビットの各データに対して付加されます。

パリティは、偶数パリティです。データ中の '1' のビット数が奇数の場合は、パリティ・ビットは '1' となります。データ中の '1' の数が偶数の場合は、パリティ・ビットは '0' となります。

#### (9) アクノリッジ・ビット

通常の通信 (1 ユニット対 1 ユニット間の通信) においては、データを正しく受け付けたかを確認するために、次の箇所にアクノリッジ・ビットが付加されます。

- スレーブ・アドレス・フィールドの最後
- コントロール・フィールドの最後
- 電文長フィールドの最後
- データ・フィールドの最後

アクノリッジ・ビットの定義は、次のとおりです。

- '0' : 伝送データを認識したことを表します。(ACK)
- '1' : 伝送データを認識しなかったことを表します。(NAK)

ただし、同報通信の場合には、アクノリッジ・ビットの内容は無視されます。

#### ① スレーブ・フィールドの最後のアクノリッジ・ビット

スレーブ・フィールドの最後のアクノリッジ・ビットは、次に示すいずれかの場合、NAK となり、伝送は中止されます。

- マスタ・アドレス・ビットまたはスレーブ・アドレス・ビットのパリティが正しくない場合。
- タイミング・エラー (ビット・フォーマットにエラー) が発生した場合。
- スレーブ・ユニットが存在しなかった場合。

#### ② コントロール・フィールドの最後のアクノリッジ・ビット

コントロール・フィールドの最後のアクノリッジ・ビットは、次に示すいずれかの場合、NAK となり、伝送は中止されます。

- コントロール・ビットのパリティが正しくない場合。
- スレーブ受信バッファ<sup>注</sup>が空でないのに、コントロール・ビットのビット 3 が '1' (書き込み動作) の場合。

- スレーブ送信バッファ<sup>注</sup>が空なのに、コントロール・ビットがデータの読み込み（3H, 7H）の場合。
- ロックを設定されているのに、ロックを設定したユニット以外からコントロール・ビットの 3H, 6H, 7H, AH, BH, EH, FH を要求した場合。
- ロックが設定されていないのに、コントロール・ビットがロック・アドレスの読み込み（4H）の場合。
- タイミング・エラーが発生した場合。
- 未定義のコントロール・ビットの場合。

注 20.1.7 (1) スレーブ・ステータス参照。

### ③ 電文長フィールドの最後のアクノリッジ・ビット

電文長フィールドの最後のアクノリッジ・ビットは、次に示すいずれかの場合、NAK となり、伝送は中止されます。

- 電文長ビットのパリティが正しくない場合。
- タイミング・エラーが発生した場合。

### ④ データ・フィールドの最後のアクノリッジ・ビット

データ・フィールドの最後のアクノリッジ・ビットは、次に示すいずれかの場合、NAK となり、伝送は中止されます。

- データ・ビットのパリティが正しくない場合<sup>注</sup>。
- タイミング・エラーが前回のアクノリッジ・ビット伝送以降で発生した場合。
- 受信バッファがいっぱいになり、それ以上のデータを受け付けることができない場合<sup>注</sup>。

注 この場合、送信側は 1 フレームで伝送可能な最大伝送バイト数以内であれば、そのデータ・フィールドの送信を再実行します。

## 20.1.7 伝送データ

### (1) スレーブ・ステータス

マスタ・ユニットは、スレーブ・ステータスの読み込みを行うことにより、スレーブ・ユニットが、アクノリッジ・ビット（ACK）を返送しなかった理由を知ることができます。

スレーブ・ステータスは、スレーブ・ユニットが最後に行った通信結果に対して決定されます。

すべてのスレーブ・ユニットは、スレーブ・ステータスの情報を提供できます。

スレーブ・ステータスの意味を表 20-5 に示します。



図 20-7 スレープ・ステータスのビット構成

|       |       |       |       |       |       |       |       |
|-------|-------|-------|-------|-------|-------|-------|-------|
| MSB   |       |       |       |       |       |       | LSB   |
| ビット 7 | ビット 6 | ビット 5 | ビット 4 | ビット 3 | ビット 2 | ビット 1 | ビット 0 |

表 20-5 スレープ・ステータスの意味

| ビット                 | 値  | 意 味                                     |
|---------------------|----|-----------------------------------------|
| ビット 0 <sup>注1</sup> | 0  | スレープ送信バッファが空                            |
|                     | 1  | スレープ送信バッファが空でない                         |
| ビット 1 <sup>注2</sup> | 0  | スレープ受信バッファが空                            |
|                     | 1  | スレープ受信バッファが空でない                         |
| ビット 2               | 0  | ユニットがロック状態でない                           |
|                     | 1  | ユニットがロック状態である                           |
| ビット 3               | 0  | '0' 固定                                  |
| ビット 4 <sup>注3</sup> | 0  | スレープ送信停止                                |
|                     | 1  | スレープ送信動作可能                              |
| ビット 5               | 0  | '0' 固定                                  |
| ビット 7<br>ビット 6      | 00 | モード 0                                   |
|                     | 01 | モード 1                                   |
|                     | 10 | モード 2                                   |
|                     | 11 | 将来の拡張用                                  |
|                     |    | ユニットがサポートしている最高位のモードを表します <sup>注4</sup> |

注 1. スレープ送信バッファとは、データ読み込み処理時（コントロール・ビット：3H, 7H）にアクセスされるバッファのことです。

μPD78098 サブシリーズがスレープ・ユニットの場合、TBF に該当します。

2. スレープ受信バッファとは、データ書き込み処理時（コントロール・ビット：8H, AH, BH, EH, FH）にアクセスされるバッファのことです。

μPD78098 サブシリーズがスレープ・ユニットの場合、RBF に該当します。

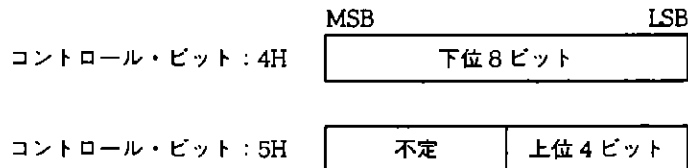
3. μPD78098 サブシリーズがスレープ・ユニットの場合、ステータス・レジスタ 2（STR2）のビット 4（SLRE）で示される状態に該当します。

4. μPD78098 サブシリーズがスレープ・ユニットの場合、ビット 6、ビット 7はそれぞれ '0'、'1' に固定されています。

**(2) ロック・アドレス**

ロック・アドレスの読み込み処理時（コントロール・ビット：4H, 5H）には、ロック命令を発行したマスタ・ユニットのアドレス（12ビット）が、次に示すように1バイト単位に構成されて、読み出されます。

図 20-8 ロック・アドレスの構成

**(3) データ**

コントロール・ビットがデータ読み込み（3H, 7H）の場合、スレーブ・ユニットのデータ・バッファにあるデータが、マスタ・ユニットに読み込まれます。

コントロール・ビットがデータ書き込み（BH, FH）の場合、スレーブ・ユニットが受信したデータはそのスレーブ・ユニットの動作規定に従って処理されます。

**(4) ロックの設定、解除**

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。

ロックを設定されたユニットは、ロックをかけたユニット以外からの受信は行いません。

ロックの設定および解除は、次のようにして行われます。

**① ロックの設定**

ロックを指定したコントロール・ビット（3H, AH, BH）で、電文長フィールドのアクノリッジ・ビット '0' の送受信終了後、電文長ビットにて指定されたデータ・バイト数分のデータを送信、または受信を成功せずに通信フレームを終了した場合に、スレーブ・ユニットはマスタ・ユニットより、ロックが設定されます。また、このとき、スレーブ・ステータスを表すバイト中のロックに関するビット（ビット 2）が '1' にセットされます。

**② ロックの解除**

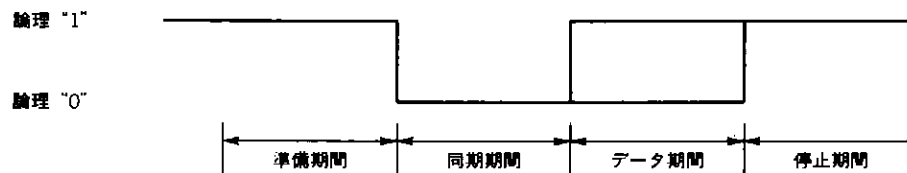
ロック指定したコントロール・ビット（3H, AH, BH）または、ロックの解除を指定したコントロール・ビット（6H）で、1 通信フレーム内に、電文長ビットで指定したデータ・バイト数分のデータを送信または受信完了後、スレーブ・ユニットは、マスタ・ユニットよりロックが解除されます。また、このとき、スレーブ・ステータスを表すバイト中のロックに関するビット（ビット 2）が '0' にリセットされます。

なお、同報通信時にはロックの設定および解除は行われません。

### 20.1.8 ビット・フォーマット

IEBus の通信フレームを構成するビットのフォーマットを図 20-9 に示します。

図 20-9 IEBus のビット・フォーマット



準備期間 : 最初のロウ・レベル (論理 "1") 期間

同期期間 : 次のハイ・レベル (論理 "0") 期間

データ期間 : ビットの値を表す期間

停止期間 : 最後のロウ・レベル (論理 "1") 期間

同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBus は、1 ビットごとに同期がとられています。また、ビット全体の時間と、そのビット中に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタ・ユニットかスレーブ・ユニットかの違いにより異なります。

## 20.2 IEBus コントローラの構成

IEBus コントローラは、次のハードウェアで構成しています。

表 20-6 IEBus コントローラの構成

| 項 目    | 構 成                                                                                                                                                                                                                                                                                                                                                         |
|--------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| レジスタ   | 送信バッファ・レジスタ (TBF)<br>受信バッファ・レジスタ (RBF)                                                                                                                                                                                                                                                                                                                      |
| 制御レジスタ | クロック切り替え選択レジスタ 1 (IECL1)<br>IEBus コントローラ・モード・レジスタ (IECM)<br>コントロール・レジスタ (CTR)<br>コマンド・レジスタ (CMR)<br>マスタ通信コントロール・レジスタ (MCR)<br>ステータス・レジスタ 1, 2 (STR1, STR2)<br>受信データ数レジスタ 1, 2 (RDR1, RDR2)<br>リターン・コード・レジスタ (RCR)<br>自局アドレス・レジスタ 1, 2 (UAR1, UAR2)<br>スレーブ・アドレス・レジスタ 1, 2 (SAR1, SAR2)<br>同報先アドレス・レジスタ 1, 2 (DAR1, DAR2)<br>ロック・アドレス・レジスタ 1, 2 (LOR1, LOR2) |

### (1) 送信バッファ・レジスタ (TBF)

送信するときに、電文長、送信データを IEBus コントローラに受け渡すためのレジスタです。内部は33バイトの FIFO バッファになっています。

TBF へは、ステータス・レジスタ 1 (STR1) の TFL フラグが 0 (TBF がフル状態でない) のときに書き込むことができます。

8 ビット・メモリ操作命令で書き込みます。

ハードウェアの  $\overline{\text{RESET}}$  入力または IEBus コントローラへのソフトウェア・リセット制御を行うことにより不定値となります。

図 20-10 TBF への設定フォーマット

|        |              |
|--------|--------------|
| 1 バイト目 | 電文長 (送信データ)  |
| 2 バイト目 | 1 バイト目の送信データ |
| 3 バイト目 | 2 バイト目の送信データ |
|        | ⋮            |

## (2) 受信バッファ・レジスタ (RBF)

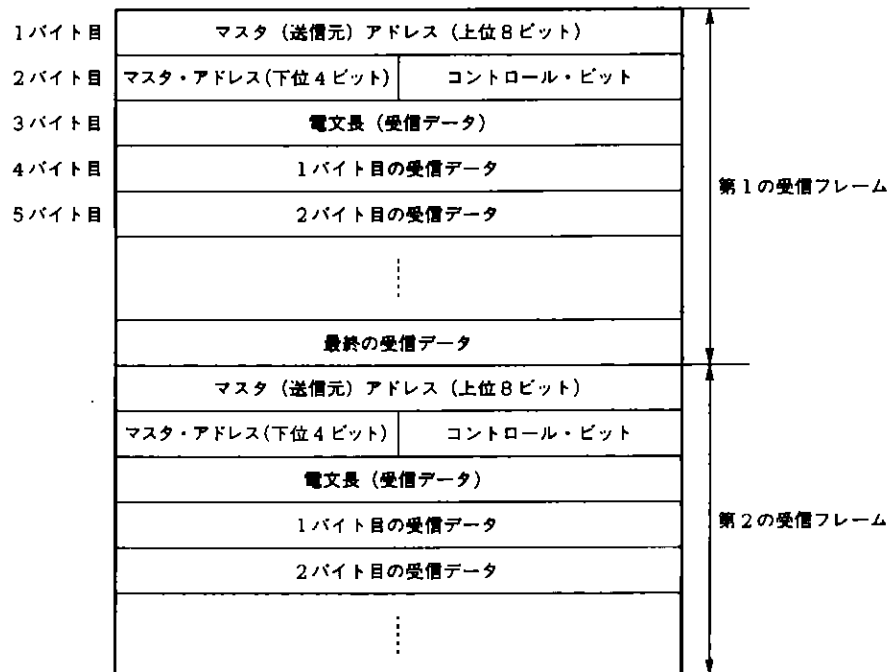
受信したときに、マスタ・アドレス (送信局アドレス)、電文長、受信データといった情報を、IEBus コントローラから受け取るためのレジスタです。内部は、40バイトの FIFO バッファになっています。

RBF は、ステータス・レジスタ 1 (STR1) の REP フラグが 0 (RBF がエンプティ状態でない) のときに読み出すことができます。

8 ビット操作命令で読み出します。

ハードウェアの  $\overline{\text{RESET}}$  入力または IEBus コントローラへのソフトウェア・リセット制御を行うことにより不定値となります。

図 20-11 RBF への格納フォーマット



## 20.3 IEBus コントローラを制御するレジスタ

IEBus コントローラは、次の12種類のレジスタで制御します。

- クロック切り替え選択レジスタ 1 (IECL1)
- IEBus コントローラ・モード・レジスタ (IECM)
- コントロール・レジスタ (CTR)
- コマンド・レジスタ (CMR)
- マスタ通信コントロール・レジスタ (MCR)
- ステータス・レジスタ 1, 2 (STR1, STR2)
- 受信データ数レジスタ 1, 2 (RDR1, RDR2)
- リターン・コード・レジスタ (RCR)
- 自局アドレス・レジスタ 1, 2 (UAR1, UAR2)
- スレーブ・アドレス・レジスタ 1, 2 (SAR1, SAR2)
- 同報先アドレス・レジスタ 1, 2 (DAR1, DAR2)
- ロック・アドレス・レジスタ 1, 2 (LOR1, LOR2)

### (1) クロック切り替え選択レジスタ 1 (IECL1)

メイン・システム・クロック発振回路の出力を IEBus コントローラに供給する際に、分周回路 2 を通すかどうかを設定するレジスタです。

IECL1 は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

図 20-12 クロック切り替え選択レジスタ 1のフォーマット

| 略号    | 7 | 6 | 5 | 4 | 3 | 2 | 1      | 0      | アドレス  | リセット時 | R/W |
|-------|---|---|---|---|---|---|--------|--------|-------|-------|-----|
| IECL1 | 0 | 0 | 0 | 0 | 0 | 0 | IECL11 | IECL10 | F8E0H | 00H   | R/W |

|        |                                   |
|--------|-----------------------------------|
| IECL11 | メイン・システム・クロックの分周回路の制御<br>(分周回路 2) |
| 0      | 分周回路 2 内の 1/2 分周回路を使用する           |
| 1      | 分周回路 2 内の 1/2 分周回路を使用しない          |

注意 ビット 2-ビット 7 には必ず 0 を設定してください。

### (2) IEBus コントローラ・モード・レジスタ (IECM)

兼用端子機能の選択や、IEBus 機能を用いたときの出力論理レベルを設定するためのレジスタです。

IECM は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、00H になります。

図 20-13 IEBus コントローラ・モード・レジスタのフォーマット

| 略号   | 7 | 6 | 5 | 4 | 3 | 2 | 1     | 0     | アドレス  | リセット時 | R/W |
|------|---|---|---|---|---|---|-------|-------|-------|-------|-----|
| IECM | 0 | 0 | 0 | 0 | 0 | 0 | IECM1 | IECM0 | F8E3H | 00H   | R/W |

|       |                           |
|-------|---------------------------|
| IECM0 | P124/TX, P125/RX の端子機能の選択 |
| 0     | 通常ポートとして使用する              |
| 1     | IEBus コントローラ用端子として使用する    |

|       |                                         |
|-------|-----------------------------------------|
| IECM1 | P124/TX, P125/RX の端子論理の選択               |
| 0     | 端子の出力を負論理（論理 1 がロウ・レベル、論理 0 がハイ・レベル）にする |
| 1     | 端子の出力を正論理（論理 1 がハイ・レベル、論理 0 がロウ・レベル）にする |

★

注意 ビット 2-ビット 7 には必ず 0 を設定してください。

### (3) コントロール・レジスタ (CTR)

IEBus コントローラの動作を制御するためのレジスタです。

CTR は、8 ビット・メモリ操作命令で設定します。

RESET 入力や IEBus コントローラにソフトウェア・リセット制御を行うことにより、01H となります。

注意 IEBus コントローラを使用する場合は、必ず最初にリセット操作 (SRST=1) を行ってください。なお、SRST=1 によるリセット操作と STREQ=0 によるスタンバイ解除動作は同時に行うことができます。

図 20-14 コントロール・レジスタのフォーマット

| 略号  | 7 | 6 | 5 | 4    | 3    | 2 | 1   | 0     | アドレス  | リセット時 | R/W |
|-----|---|---|---|------|------|---|-----|-------|-------|-------|-----|
| CTR | 0 | 0 | 0 | REEN | SRST | 0 | FAI | STREQ | F8F0H | 01H   | W   |

|            |                                                                                                                                                               |
|------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 注1<br>REEN | IEBus コントローラに受信（個別/同報）動作の許可を要求するときに使用する。<br>REEN をセット（1）することで、IEBus コントローラに受信許可を要求する。<br>REEN のクリア（0）は、IEBus コントローラ内部で自動的に行われる。<br>したがって、要求後に 0 を書き込む操作は必要ない。 |
|------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------|

|      |                                                                                                                                                         |
|------|---------------------------------------------------------------------------------------------------------------------------------------------------------|
| SRST | IEBus コントローラをソフトウェア・リセットするために使用する。<br>SRST をセット（1）することで、IEBus コントローラにリセットを要求する。<br>SRST のクリア（0）は、IEBus コントローラ内部で自動的に行われる。<br>したがって、要求後に 0 を書き込む操作は必要ない。 |
|------|---------------------------------------------------------------------------------------------------------------------------------------------------------|

|           |                                                                                                                                                                                                                                |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 注2<br>FAI | 受信バッファ・レジスタ（RBF）の読み出し時に、FCH をセット（1）させる位置を設定する。<br>FAI をセット（1）すると、FCH がセット（1）する位置を、現在読み出し中のフレームの読み出し終了時に移動する。FAI のセット（1）ごとに、1 フレームずつ後ろに移動する。<br>FAI のクリア（0）は、IEBus コントローラ内部で自動的に行われる。<br>一度に 4 フレーム（読み出し中のフレームを含む）まで移動させることが可能。 |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

|       |                           |
|-------|---------------------------|
| STREQ | スタンバイ動作の制御注3              |
| 0     | IEBus コントローラにスタンバイ解除を要求する |
| 1     | IEBus コントローラにスタンバイ状態を要求する |

注意 ビット 2 およびビット 5-ビット 7 には必ず 0 を設定してください。

- 注 1. 要求の結果（受信許可/禁止状態）は、SLRE（STR2 のビット 4）に反映されます。したがって、実際の状態は SLRE を確認してください。
2. この機能が有効となるのは、CMR へのオプション設定にて FCHC を 1 に設定したときのみです。また、受信バッファ・レジスタ（RBF）に格納されている受信完了フレーム数以上の値を設定しないでください。
3. 要求の結果（スタンバイ状態/解除）は、STM（STR2 のビット 1）に反映されます。したがって、実際の状態は STM を確認してください。通信途中で STREQ をセット（1）した場合は、そのときの通信フレームが通信を終えるまでスタンバイ状態の要求は行われません。

備考 FCH：ステータス・レジスタ 1（STR1）のビット 3

FCH は、RBF の読み出し時に、FAI で設定した数の通信フレームの読み出しが完了するとセット（1）されるフラグです。FCH を読み出すことで、RBF の読み出し状態を知ることができます。  
20.3（6）も参照してください。



## (4) コマンド・レジスタ (CMR)

通信制御、送受信バッファ制御、およびオプション機能設定を行うためのレジスタです。

最上位ビットの値によって、このレジスタの用途を選択します (0: 制御/1: オプション設定)。

CMR は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力や IEBus コントローラにソフトウェア・リセット制御を行うことにより、00H となります。

図 20-15 コマンド・レジスタのフォーマット (制御に用いる場合)

| 略号  | 7 | 6    | 5     | 4     | 3     | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|-----|---|------|-------|-------|-------|-------|-------|-------|-------|-------|-----|
| CMR | 0 | LOCK | BUFC1 | BUFC0 | COMC3 | COMC2 | COMC1 | COMC0 | F8F1H | 00H   | W   |

| LOCK | ロック・アドレス・レジスタ 1, 2 (LOR1, LOR2) 更新動作の制御 |
|------|-----------------------------------------|
| 0    | LOR1, LOR2 更新を禁止                        |
| 1    | LOR1, LOR2 更新を許可                        |

| BUFC1 | BUFC0 | 送受信バッファの制御                                      |
|-------|-------|-------------------------------------------------|
| 0     | 0     | 何も行わない                                          |
| 0     | 1     | 送信バッファ・レジスタ (TBF) をクリア                          |
| 1     | 0     | 受信バッファ・レジスタ (RBF) をすべてクリア                       |
| 1     | 1     | 受信バッファ・レジスタ (RBF) の中の 1 フレーム (最も新しい受信フレーム) をクリア |

| COMC3 | COMC2 | COMC1 | COMC0 | IEBus コントローラへの通信に関する制御                            |
|-------|-------|-------|-------|---------------------------------------------------|
| 0     | 0     | 0     | 0     | 何も行わない                                            |
| 0     | 0     | 0     | 1     | ロック状態 (他局からの要求による) の解除を要求する                       |
| 1     | 0     | 0     | 0     | マスタとしての通信を要求する                                    |
| 1     | 0     | 0     | 1     | 前回のマスタ通信状態を継続して、マスタとしての通信を要求する                    |
| 1     | 0     | 1     | 0     | マスタ通信の強制中断を要求する<br>ただし、通信途中のフレームの終わりまでは出力される      |
| 1     | 0     | 1     | 1     | スレーブ・データ送信を要求                                     |
| 1     | 1     | 0     | 0     | 前回のスレーブ・データ送信状態を継続して、スレーブ・データ送信を要求する              |
| 1     | 1     | 0     | 1     | スレーブ・データ送信の強制中断を要求する<br>ただし、通信途中のフレームの終わりまでは出力される |
| 1     | 1     | 1     | 0     | セルフ・チェック通信を要求する                                   |
| 1     | 1     | 1     | 1     | 受信 (個別/同報) 動作の禁止を要求する                             |
| 上記以外  |       |       |       | 設定禁止                                              |

図 20-16 コマンド・レジスタのフォーマット (オプション機能設定に用いる場合)

| 略号  | 7 | 6 | 5 | 4 | 3 | 2 | 1    | 0    | アドレス  | リセット時 | R/W |
|-----|---|---|---|---|---|---|------|------|-------|-------|-----|
| CMR | 1 | 0 | 0 | 0 | 0 | 0 | FCHC | DERC | F8F1H | 00H   | W   |

|      |                          |
|------|--------------------------|
| FCHC | 受信した通信フレームの読み出しチェック動作の制御 |
| 0    | 受信した通信フレームの読み出しチェックを行わない |
| 1    | 受信した通信フレームの読み出しチェックを行う   |

|      |                   |
|------|-------------------|
| DERC | 同報受信エラー動作の制御      |
| 0    | 同報受信エラー・チェックを禁止する |
| 1    | 同報受信エラー・チェックを許可する |

注意 1. ビット 2-ビット 6 には必ず 0 を設定してください。

2. オプション機能の設定は IEBus コントローラに対するソフトウェア・リセット操作 (SRST ←1) 後に必ず行ってください。オプション機能の設定が終わるまでは、IEBus コントローラは一切の通信を受け付けません。

3. CMR への書き込みは、ステータス・レジスタ 2 (STR2) の CEX ビットが 0 のときに行ってください。

#### (5) マスタ通信コントロール・レジスタ (MCR)

マスタ通信時の通信条件を設定するレジスタです。

MCR は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力や IEBus コントローラにソフトウェア・リセット制御を行うことにより、不定値となります。

図 20-17 マスタ通信コントロール・レジスタのフォーマット

|     |       |            |   |   |            |   |   |   |       |       |     |
|-----|-------|------------|---|---|------------|---|---|---|-------|-------|-----|
| 略号  | 7     | 6          | 5 | 4 | 3          | 2 | 1 | 0 | アドレス  | リセット時 | R/W |
| MCR | 同報ビット | アービトレーション数 |   |   | コントロール・ビット |   |   |   | F8F6H | 不定    | W   |

|       |              |
|-------|--------------|
| 同報ビット | 同報通信、個別通信を選択 |
| 0     | 同報通信（複数スレーブ） |
| 1     | 個別通信（単一スレーブ） |

| アービトレーション数 |   |   | マスタ通信中、またはセルフ・チェック通信時にアービトレーション負けした場合のリトライ回数 |
|------------|---|---|----------------------------------------------|
| 0          | 0 | 0 | 0回（リトライしない）                                  |
| 0          | 0 | 1 | 1回                                           |
| 0          | 1 | 0 | 2回                                           |
| 0          | 1 | 1 | 3回                                           |
| 1          | 0 | 0 | 4回                                           |
| 1          | 0 | 1 | 5回                                           |
| 1          | 1 | 0 | 6回                                           |
| 1          | 1 | 1 | 7回                                           |

| コントロール・ビット |   |   |   | コントロール内容              |
|------------|---|---|---|-----------------------|
| 0          | 0 | 0 | 0 | スレーブ・ステータスの読み出し       |
| 0          | 0 | 1 | 1 | データ読み出しとロック           |
| 0          | 1 | 0 | 0 | ロック・アドレスの読み出し（下位8ビット） |
| 0          | 1 | 0 | 1 | ロック・アドレスの読み出し（上位4ビット） |
| 0          | 1 | 1 | 0 | スレーブ・ステータスの読み出しとロック解除 |
| 0          | 1 | 1 | 1 | データ読み出し               |
| 1          | 0 | 1 | 0 | コマンド書き込みとロック          |
| 1          | 0 | 1 | 1 | データ書き込みとロック           |
| 1          | 1 | 1 | 0 | コマンド書き込み              |
| 1          | 1 | 1 | 1 | データ書き込み               |
| 上記以外       |   |   |   | 設定禁止                  |

注意 MCR への書き込みは、ステータス・レジスタ 2 (STR2) の MARQ ビットが 0 のときに行ってください。

## (6) ステータス・レジスタ 1 (STR1)

送信バッファ・レジスタ (TBF) と受信バッファ・レジスタ (RBF) の状態を示すレジスタです。

STR1 は、8 ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$  入力や IEBus コントローラにソフトウェア・リセット制御を行うことにより、01011×××B となります。

図 20-18 ステータス・レジスタ 1 のフォーマット

| 略号   | 7   | 6   | 5   | 4   | 3   | 2 | 1 | 0 | アドレス  | リセット時     | R/W |
|------|-----|-----|-----|-----|-----|---|---|---|-------|-----------|-----|
| STR1 | TFL | TEP | RFL | REP | FCH | — | — | — | F8F0H | 01011×××B | R   |

|     |                  |
|-----|------------------|
| TFL | TBF がフル状態かどうかを示す |
| 0   | TBF がフル状態でない     |
| 1   | TBF がフル状態である     |

|     |                     |
|-----|---------------------|
| TEP | TBF がエンプティ状態かどうかを示す |
| 0   | TBF がエンプティ状態でない     |
| 1   | TBF がエンプティ状態である     |

|     |                  |
|-----|------------------|
| RFL | RBF がフル状態かどうかを示す |
| 0   | RBF がフル状態でない     |
| 1   | RBF がフル状態である     |

|     |                     |
|-----|---------------------|
| REP | RBF がエンプティ状態かどうかを示す |
| 0   | RBF がエンプティ状態でない     |
| 1   | RBF がエンプティ状態である     |

|     |                                                                     |
|-----|---------------------------------------------------------------------|
| FCH | FAI で設定した数の通信フレームの読み出しが完了したことを示す <sup>注</sup>                       |
| 0   | FAI で設定した数の通信フレームの読み出しが完了していない                                      |
| 1   | FAI で指定した数の通信フレームの読み出しが完了したことを示す<br>次のフレームの情報を読み出すと、自動的にクリア (0) される |

注 FCH の情報が有効となるのは、CMR のオプション機能の設定で FCHC=1 とした上で、CTR の FAI に 1 を設定したときです。

備考 FAI: コントロール・レジスタ (CTR) のビット 1

## (7) ステータス・レジスタ 2 (STR2)

通信状態、コマンド実行状態、割り込み状態などを示すレジスタです。

STR2 は 8 ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$  入力や IEBus コントローラにソフトウェア・リセット制御を行うことにより、02H となります。

図 20-19 ステータス・レジスタ 2 のフォーマット

| 略号   | 7 | 6    | 5    | 4    | 3   | 2   | 1   | 0   | アドレス  | リセット時 | R/W |
|------|---|------|------|------|-----|-----|-----|-----|-------|-------|-----|
| STR2 | 0 | MARQ | STRQ | SLRE | CEX | RAW | STM | IRQ | F8F1H | 02H   | R   |

|      |                                     |  |  |  |  |  |  |  |  |  |  |
|------|-------------------------------------|--|--|--|--|--|--|--|--|--|--|
| MARQ | マスタ・ユニットとしての通信要求期間中であることを示す         |  |  |  |  |  |  |  |  |  |  |
| 0    | マスタ・ユニットとしての通信要求期間中でない              |  |  |  |  |  |  |  |  |  |  |
| 1    | マスタ・ユニットとしての通信要求期間中である              |  |  |  |  |  |  |  |  |  |  |
| STRQ | スレーブ・ユニットのデータ通信要求期間中であることを示す        |  |  |  |  |  |  |  |  |  |  |
| 0    | スレーブ・ユニットとしての通信要求期間中でない             |  |  |  |  |  |  |  |  |  |  |
| 1    | スレーブ・ユニットとしての通信要求期間中である             |  |  |  |  |  |  |  |  |  |  |
| SLRE | スレーブ受信、同報受信の許可/禁止状態を示す <sup>注</sup> |  |  |  |  |  |  |  |  |  |  |
| 0    | スレーブ受信、同報受信の禁止状態である                 |  |  |  |  |  |  |  |  |  |  |
| 1    | スレーブ受信、同報受信の許可状態である                 |  |  |  |  |  |  |  |  |  |  |
| CEX  | コマンド処理中かどうかを示す                      |  |  |  |  |  |  |  |  |  |  |
| 0    | コマンドの処理中でない (CMR への書き込み可能)          |  |  |  |  |  |  |  |  |  |  |
| 1    | コマンドの処理中である (CMR への書き込み不可)          |  |  |  |  |  |  |  |  |  |  |
| RAW  | IEBus インタフェースの暴走検出状態を示す             |  |  |  |  |  |  |  |  |  |  |
| 0    | IEBus インタフェースは暴走していない               |  |  |  |  |  |  |  |  |  |  |
| 1    | IEBus インタフェースが暴走している                |  |  |  |  |  |  |  |  |  |  |
| STM  | IEBus コントローラがスタンバイ状態かどうかを示す         |  |  |  |  |  |  |  |  |  |  |
| 0    | スタンバイ状態でない                          |  |  |  |  |  |  |  |  |  |  |
| 1    | スタンバイ状態である                          |  |  |  |  |  |  |  |  |  |  |
| IRQ  | RCR の変化、IEBus コントローラの暴走を示す          |  |  |  |  |  |  |  |  |  |  |
| 0    | RCR の変化、IEBus コントローラの暴走を検出していない     |  |  |  |  |  |  |  |  |  |  |
| 1    | RCR の変化、IEBus コントローラの暴走を検出した        |  |  |  |  |  |  |  |  |  |  |

注 受信フレームのコントロール・フィールド終了までに SLRE が 1 にならないと、その通信フレームは受信できません。

**(8) 受信データ数レジスタ 1, 2 (RDR1, RDR2)**

受信を行ったときに、受信したデータ数が格納されるレジスタです。

RDR1 にはマスタ受信したときのデータ数が格納されます。また、RDR2 にはスレーブ受信（個別/同報）したときのデータ数が格納されます。

RDR1, RDR2 は、8 ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$  入力や IEBus コントローラにソフトウェア・リセット制御を行うことにより、どちらも 00H になります。

**(9) リターン・コード・レジスタ (RCR)**

送受信動作に対するリターン・コードが格納されるレジスタです。

RCR は、8 ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$  入力や IEBus コントローラにソフトウェア・リセット制御を行うことにより、4FH になります。

図 20-20 リターン・コード・レジスタのフォーマット (1/3)

| 略号  | 7 | 6    | 5    | 4    | 3    | 2    | 1    | 0    | アドレス  | リセット時 | R/W |
|-----|---|------|------|------|------|------|------|------|-------|-------|-----|
| RCR | 0 | TRC2 | TRC1 | TRC0 | REC3 | REC2 | REC1 | REC0 | F8F8H | 4FH   | R   |

| TRC2 | TRC1 | TRC0 | リターン・コードの意味 (送信に関するもの)                                                                                                                                                                                                                                                  |
|------|------|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | 0    | 0    | <p>マスタ送信, またはスレーブ・データ送信を開始したことを示します。</p> <p>① マスタ送信開始時<br/>通信フレーム中のマスタ・アドレス・フィールドを送信終了し, マスタ・ユニットとして勝ち残り, マスタ送信を開始したことを示します。</p> <p>② スレーブ・データ送信開始時<br/>マスタ・ユニットより, データ送信を要求するコントロール・ビット (0011B, 0111B) を受信し, スレーブ・データ送信を開始したことを示します。</p>                               |
| 0    | 0    | 1    | <p>マスタ送信, またはスレーブ・データ送信時に, TBF がエンプティであることを示します。</p> <p>下記の時間以内に TBF に次のデータを設定しないと, 送信が途中で終了します。</p> <p>モード 0 の場合: 約 1570 <math>\mu</math>s<sup>注</sup></p> <p>モード 1 の場合: 約 390 <math>\mu</math>s<sup>注</sup></p> <p>モード 2 の場合: 約 280 <math>\mu</math>s<sup>注</sup></p> |
| 0    | 1    | 0    | マスタ送信, またはスレーブ・データ送信時に, 電文長フィールドで指定したデータ数分の送信を完了したことを示します。                                                                                                                                                                                                              |
| 0    | 1    | 1    | マスタ送信, またはスレーブ・データ送信時に, 1 通信フレーム内で電文長フィールドで指定したデータ数分の送信を完了せずに通信を終了したことを示します。                                                                                                                                                                                            |
| 1    | 0    | 0    | 未定義                                                                                                                                                                                                                                                                     |
| 1    | 0    | 1    | アービトレーションに勝ち残れず, セルフ・チェック通信が行えないまま終了したことを示します。                                                                                                                                                                                                                          |
| 1    | 1    | 0    | セルフ・チェック通信の結果, 正常であったことを示します。                                                                                                                                                                                                                                           |
| 1    | 1    | 1    | セルフ・チェック通信の結果, 異常であったことを示します。                                                                                                                                                                                                                                           |

(続く)

注  $f_s = 6.0$  MHz 時の値です。備考  $f_s$ : バス・コントローラ・システム・クロック周波数

図 20-20 リターン・コード・レジスタのフォーマット (2/3)

| REC3 | REC2 | REC1 | REC0 | リターン・コードの意味 (受信に関するもの)                                                                                                                                                                                                    |
|------|------|------|------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0    | 0    | 0    | 0    | マスタ受信を開始したことを示します。<br>受信バッファ (RBF) より、スレーブ (送信局) アドレス、コントロール・ビット、電文長 (これから受信するデータ数) の 3 バイトの情報が読み出せます。                                                                                                                    |
| 0    | 0    | 0    | 1    | マスタ受信用の受信バッファ (RBF) がフルであることを示します。<br>下記の時間以内に RBF のデータを読み出さないと、このときのデータを受信できずに NAK を返します。<br>モード 0 の場合: 約 1570 $\mu$ s <sup>注</sup><br>モード 1 の場合: 約 390 $\mu$ s <sup>注</sup><br>モード 2 の場合: 約 280 $\mu$ s <sup>注</sup>    |
| 0    | 0    | 1    | 0    | マスタ受信において、電文長分のデータを受信でき、通信が正常に終了したことを示します。<br>受信バッファ (RBF) より、受信データを読み出せます。また、受信データ数レジスタ 1 (RDR1) よりマスタ受信データ数を読み出せます。                                                                                                     |
| 0    | 0    | 1    | 1    | マスタ受信において、電文長分のデータ数を受信できず、通信が途中で終了している (まだ続きがある) ことを示します。<br>受信バッファ (RBF) より、受信データを読み出せます。また、受信データ数レジスタ 1 (RDR1) よりマスタ受信データ数を読み出せます。                                                                                      |
| 0    | 1    | 0    | 0    | スレーブ個別受信を開始したことを示します。<br>受信バッファ (RBF) より、スレーブ (送信局) アドレス、コントロール・ビット、電文長 (これから受信するデータ数) の 3 バイトの情報が読み出せます。                                                                                                                 |
| 0    | 1    | 0    | 1    | スレーブ個別受信用の受信バッファ (RBF) がフルであることを示します。<br>下記の時間以内に RBF のデータを読み出さないと、このときのデータを受信できずに NAK を返します。<br>モード 0 の場合: 約 1570 $\mu$ s <sup>注</sup><br>モード 1 の場合: 約 390 $\mu$ s <sup>注</sup><br>モード 2 の場合: 約 280 $\mu$ s <sup>注</sup> |
| 0    | 1    | 1    | 0    | スレーブ個別受信において、電文長分のデータを受信でき、通信が正常に終了したことを示します。<br>受信バッファ (RBF) より、受信データを読み出せます。また、受信データ数レジスタ 2 (RDR2) よりスレーブ受信データ数を読み出せます。                                                                                                 |
| 0    | 1    | 1    | 1    | スレーブ個別受信において、電文長分のデータ数を受信できず、通信が途中で終了している (まだ続きがある) ことを示します。<br>受信バッファ (RBF) より、受信データを読み出せます。また、受信データ数レジスタ 2 (RDR2) よりスレーブ受信データ数を読み出せます。                                                                                  |

(続く)

注  $f_s = 6.0 \text{ MHz}$  時の値です。備考  $f_s$ : バス・コントローラ・システム・クロック周波数



図 20-20 リターン・コード・レジスタのフォーマット (3/3)

| REC3 | REC2 | REC1 | REC0 | リターン・コードの意味 (受信に関するもの)                                                                                                                                                                                                                     |
|------|------|------|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1    | 0    | 0    | 0    | 同報受信を開始したことを示します。<br>受信バッファ (RBF) より、スレーブ (送信局) アドレス、コントロール・ビット、電文長 (これから受信するデータ数) の3バイトの情報が読み出せます。                                                                                                                                        |
| 1    | 0    | 0    | 1    | 同報受信用の受信バッファ (RBF) がフルであることを示します。<br>下記の時間以内に RBF のデータを読み出さないと、このときのデータを受信できずに NAK を返します。<br>モード 0 の場合: 約 1570 $\mu\text{s}$ <sup>注1</sup><br>モード 1 の場合: 約 390 $\mu\text{s}$ <sup>注1</sup><br>モード 2 の場合: 約 280 $\mu\text{s}$ <sup>注1</sup> |
| 1    | 0    | 1    | 0    | 同報受信において、電文長分のデータを受信でき、通信が正常に終了したことを示します。<br>受信バッファ (RBF) より、受信データを読み出せます。また、受信データ数レジスタ 2 (RDR2) よりスレーブ受信データ数を読み出せます。                                                                                                                      |
| 1    | 0    | 1    | 1    | 同報受信において、電文長分のデータ数を受信できず、通信が途中で終了している (まだ続きがある) ことを示します。<br>受信バッファ (RBF) より、受信データを読み出せます。また、受信データ数レジスタ 2 (RDR2) よりスレーブ受信データ数を読み出せます。                                                                                                       |
| 1    | 1    | 0    | 0    | 同報受信でエラーが発生したことを示します。 <sup>注2</sup><br>同報先アドレス・レジスタ (DAR1, DAR2) により、同報送信を行ったマスタのアドレスを知ることができます。                                                                                                                                           |
| 1    | 1    | 0    | 1    | 未定義                                                                                                                                                                                                                                        |
| 1    | 1    | 1    | 0    |                                                                                                                                                                                                                                            |
| 1    | 1    | 1    | 1    |                                                                                                                                                                                                                                            |

注 1.  $f_s = 6.0 \text{ MHz}$  時の値です。

2. このコードは、コマンド・レジスタ (CMR) のオプション機能設定において、DERC ビットを 1 に設定していた場合のみ、エラー発生時に生成されます。

備考  $f_s$ : バス・コントローラ・システム・クロック周波数

## (10) 自局アドレス・レジスタ 1, 2 (UAR1, UAR2)

自局アドレスと伝送条件（伝送モードならびにスレーブ送信制御）の設定を行うレジスタです。

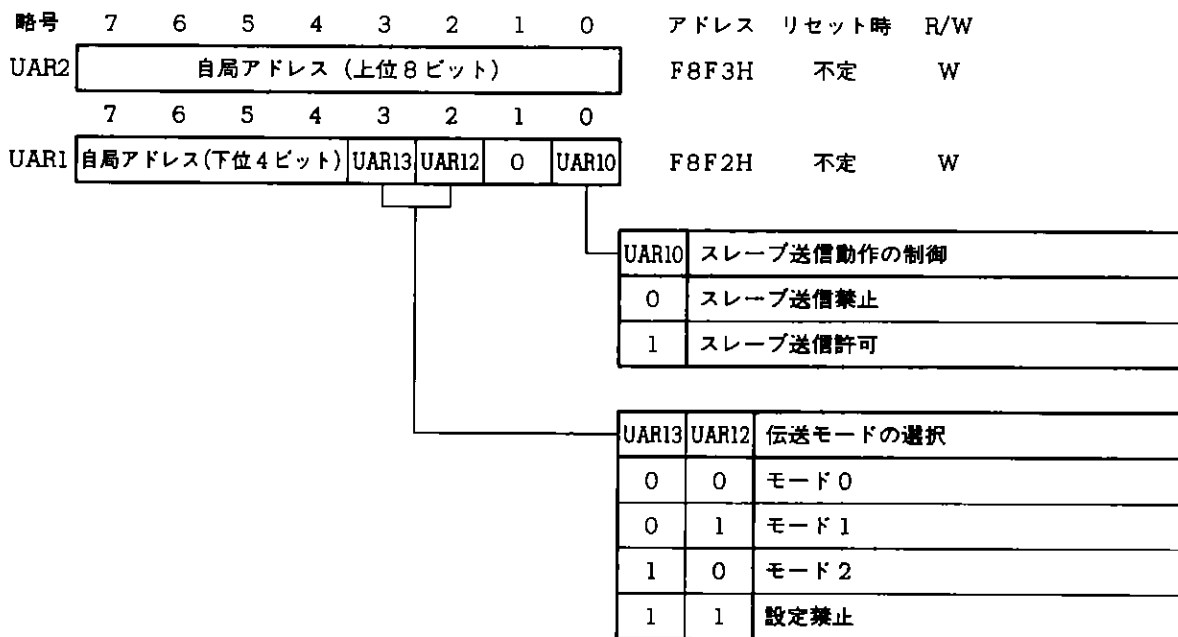
自局アドレス値12ビットのうち、上位8ビットはUAR2で設定し、下位4ビットはUAR1で設定します。また、伝送条件はUAR1で設定します。

UAR1, UAR2は、8ビット・メモリ操作命令で書き込みます。

$\overline{\text{RESET}}$  入力やIEBus コントローラにソフトウェア・リセット制御を行うことにより、どちらも不定値になります。

**注意** 自局アドレスの設定は、IEBus コントローラに対するソフトウェア・リセット操作 (SRST ← 1) 後に必ず行ってください。

図 20-21 自局アドレス・レジスタ 1, 2 のフォーマット



## (11) スレーブ・アドレス・レジスタ 1, 2 (SAR1, SAR2)

スレーブ・アドレス（通信したい相手局アドレス）を設定するレジスタです。

スレーブ・アドレス値12ビットのうち、上位8ビットは SAR2 へ設定し、下位4ビットは SAR1 へ設定します。

SAR1, SAR2 は、8ビット・メモリ操作命令で書き込みます。

$\overline{\text{RESET}}$  入力や IEBus コントローラにソフトウェア・リセット制御を行うことにより、どちらも不定値になります。

図 20-22 スレーブ・アドレス・レジスタ 1, 2 のフォーマット

| 略号   | 7                  | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス  | リセット時 | R/W |
|------|--------------------|---|---|---|---|---|---|---|-------|-------|-----|
| SAR2 | スレーブ・アドレス (上位8ビット) |   |   |   |   |   |   |   | F8F5H | 不定    | W   |
|      | 7                  | 6 | 5 | 4 | 3 | 2 | 1 | 0 |       |       |     |
| SAR1 | スレーブ・アドレス(下位4ビット)  |   |   |   | 0 | 0 | 0 | 0 | F8F4H | 不定    | W   |

注意 1. ビット 3-ビット 0 には必ず 0 を設定してください。

2. SAR1, SAR2 への書き込みは、ステータス・レジスタ 2 (STR2) の MARQ ビットが 0 のときに行ってください。

## (12) 同報先アドレス・レジスタ 1, 2 (DAR1, DAR2)

同報受信エラーが発生したときの、同報先アドレス（同報送信を行ったマスタのアドレス）が格納されるレジスタです。

DAR1, DAR2 は、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$  入力や IEBus コントローラにソフトウェア・リセット制御を行うことにより、どちらも不定値になります。

注意 1. DAR1, DAR2 は、コマンド・レジスタ (CMR) のオプション機能設定で DERC=1 にしているときのみ有効となります。

2. DAR1, DAR2 は、同報エラーが発生するたびに更新されます。

したがって、以下の時間内に DAR1, DAR2 を読み出さないと、新たなエラーで更新される場合があります。

モード 0 の場合：約 5420  $\mu\text{s}$  ( $f_s=6.0\text{MHz}$  時)

モード 1 の場合：約 1490  $\mu\text{s}$  (        "        )

モード 2 の場合：約 1110  $\mu\text{s}$  (        "        )

備考  $f_s$  : バス・コントローラ・システム・クロック周波数

★

図 20-23 同報先アドレス・レジスタ 1, 2 のフォーマット

| 略号   | 7                 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス  | リセット時 | R/W |
|------|-------------------|---|---|---|---|---|---|---|-------|-------|-----|
| DAR1 | 同報先アドレス(下位 4ビット)  |   |   |   | — | — | — | — | F8F6H | 不定    | R   |
| DAR2 | 7                 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |       |       |     |
|      | 同報先アドレス (上位 8ビット) |   |   |   |   |   |   |   | F8F7H | 不定    | R   |

## (13) ロック・アドレス・レジスタ 1, 2 (LOR1, LOR2)

ロック状態、およびロックされている場合には、ロック・アドレス（ロックを要求したマスタ局のアドレス）が格納されるレジスタです。

LOR1, LOR2 は、8 ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$  入力や IEBus コントローラにソフトウェア・リセット制御を行うことにより、ロック状態は 0000B に、ロック・アドレスは不定値になります。

**注意** LOR1, LOR2 の読み出しは、コマンド・レジスタ (CMR) の LOCK ビットに 1 を設定したあと、ステータス・レジスタ 2 (STR2) の CEX ビットが 0 になっているときのみ行えます。

図 20-24 ロック・アドレス・レジスタ 1, 2 のフォーマット

|      |                                                         |   |   |   |                  |   |   |   |           |       |     |  |  |
|------|---------------------------------------------------------|---|---|---|------------------|---|---|---|-----------|-------|-----|--|--|
| 略号   | 7                                                       | 6 | 5 | 4 | 3                | 2 | 1 | 0 | アドレス      | リセット時 | R/W |  |  |
| LOR1 | ロック・アドレス (下位8ビット)                                       |   |   |   |                  |   |   |   | F8F4H     | 不定    | R   |  |  |
|      | 7                                                       | 6 | 5 | 4 | 3                | 2 | 1 | 0 |           |       |     |  |  |
| LOR2 | ロック状態                                                   |   |   |   | ロック・アドレス(上位4ビット) |   |   |   | F8F5H     | 0×H   | R   |  |  |
|      | <div><div></div><div></div><div></div><div></div></div> |   |   |   |                  |   |   |   |           |       |     |  |  |
|      |                                                         |   |   |   | 上位4ビット           |   |   |   | ロック状態     |       |     |  |  |
| 0    |                                                         |   |   |   | 0                |   |   |   | ロックされていない |       |     |  |  |
| 0    |                                                         |   |   |   | 0                |   |   |   | ロックされている  |       |     |  |  |
|      |                                                         |   |   |   | 上記以外             |   |   |   | 未定義       |       |     |  |  |
|      |                                                         |   |   |   |                  |   |   |   |           |       |     |  |  |

図 20-25 個別通信（マスタ送信-スレーブ受信）の動作例

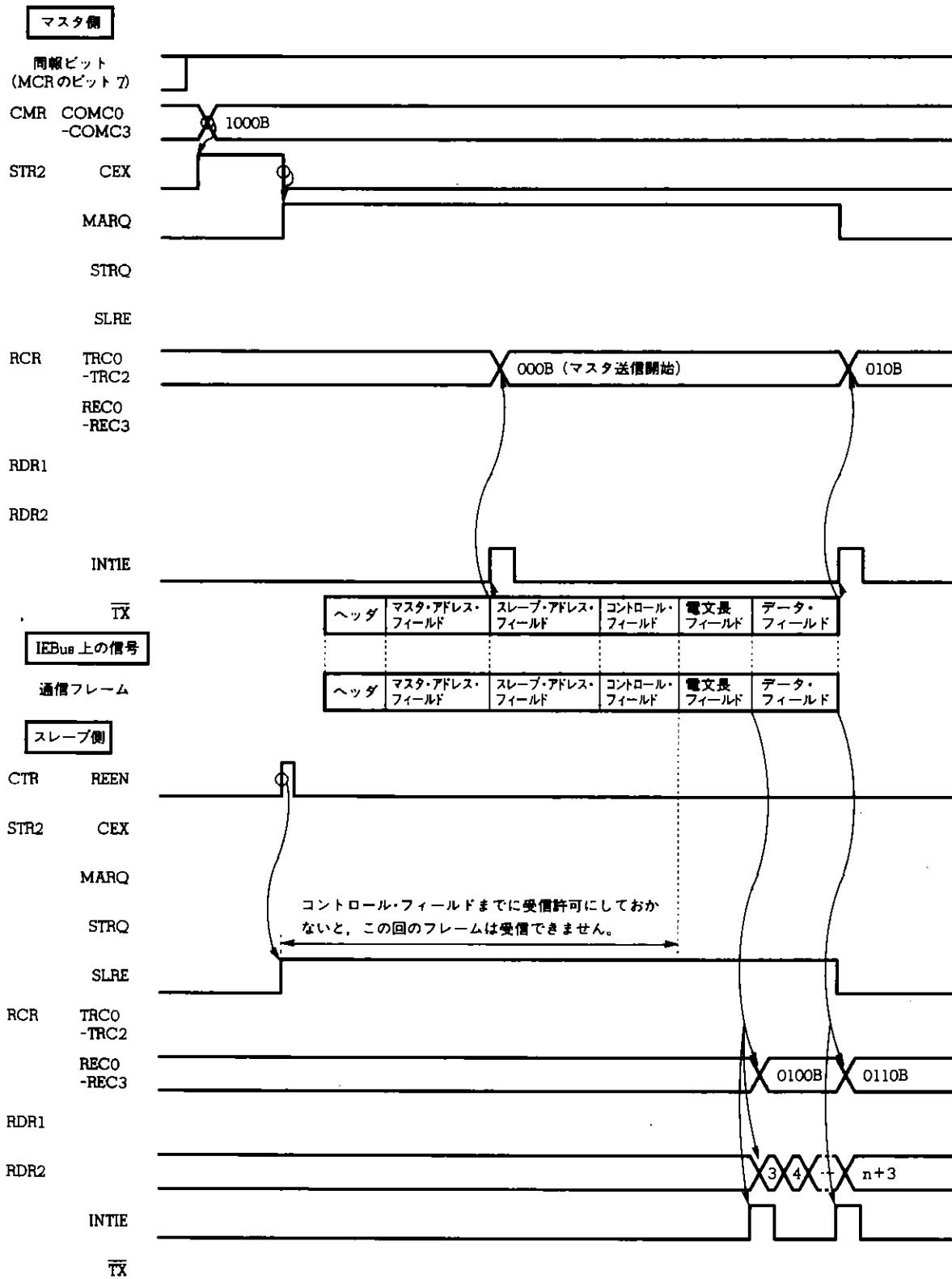


図 20-26 個別通信（マスタ受信-スレーブ送信）の動作例

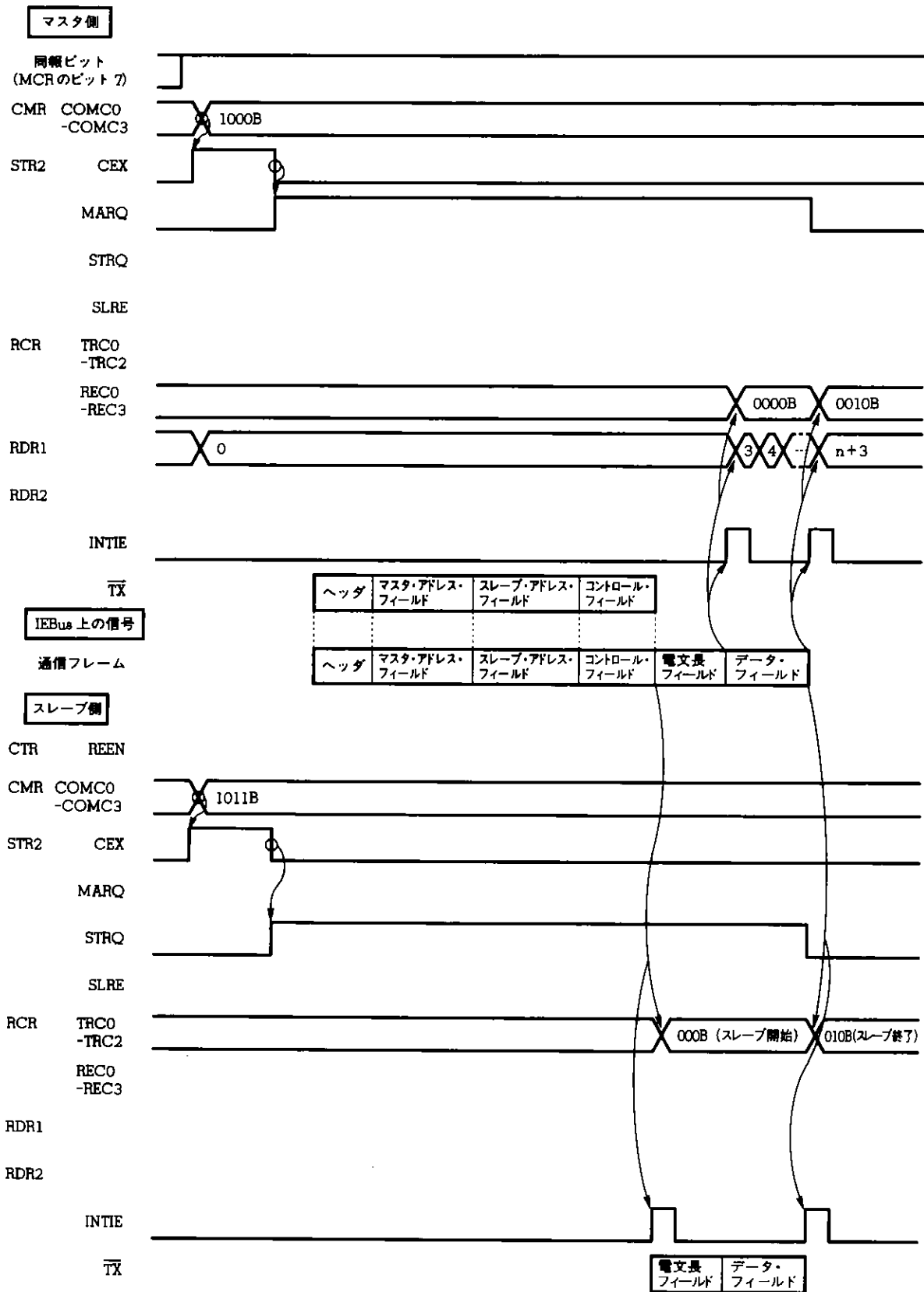
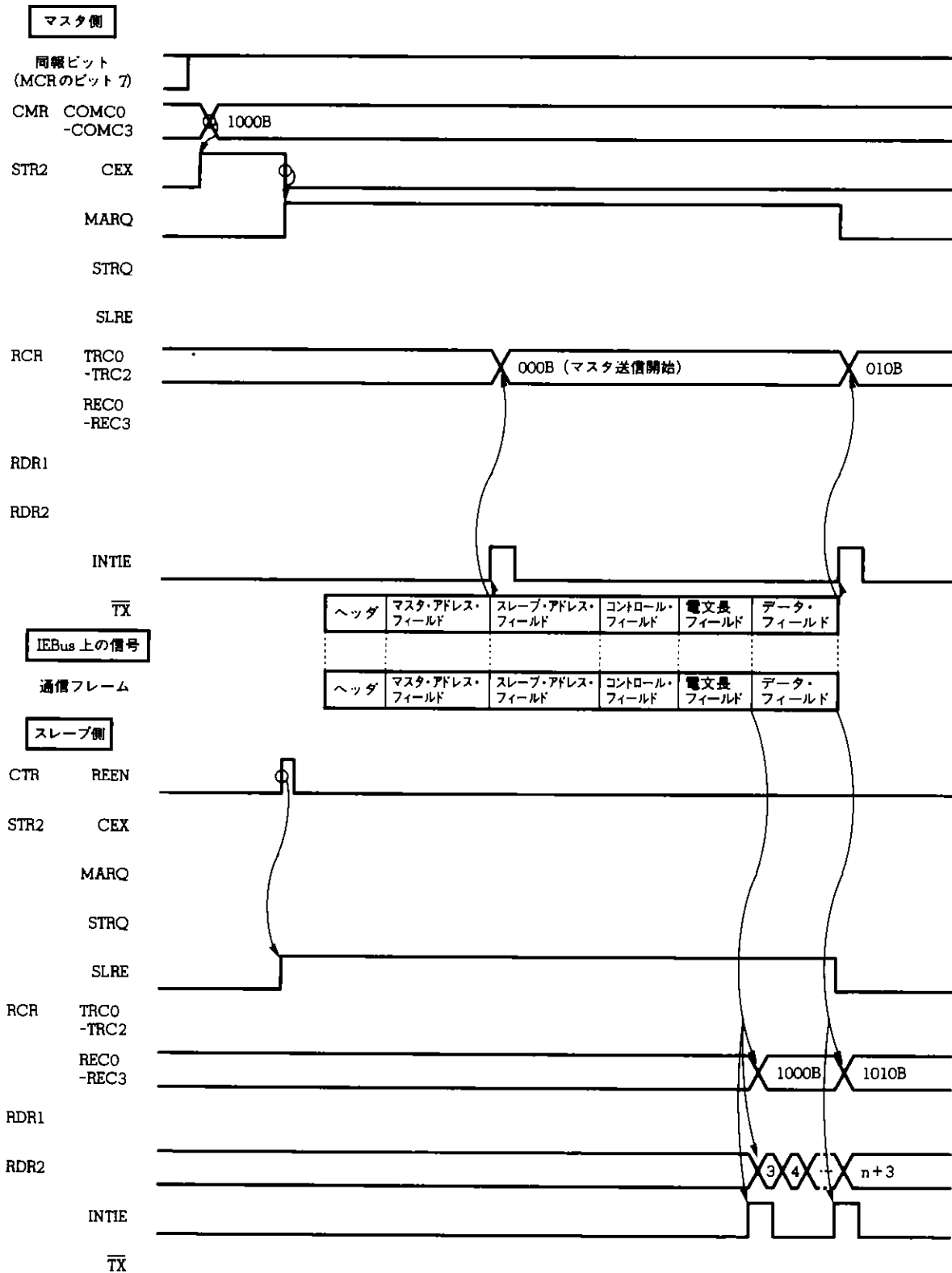


図 20-27 同報通信（マスタ送信-スレーブ受信）の動作例



(メ モ)



## 第21章 スタンバイ機能

### 21.1 スタンバイ機能と構成

#### 21.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

##### (1) HALT モード

HALT 命令の実行により、HALT モードとなります。HALT モードは、CPU の動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOP モードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

##### (2) STOP モード

STOP 命令の実行により、STOP モードとなります。STOP モードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPU の消費電流を、かなり低減することができます。

また、データ・メモリの低電圧 ( $V_{DD}=2\text{ V}$  まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOP モード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合には HALT モードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

**注意 1.** STOP モードは、メイン・システム・クロックで動作しているときだけ使用できます (サブシステム・クロックの発振を停止させることができません)。HALT モードは、メイン・システム・クロック、サブシステム・クロックのどちらの動作状態でも使用できます。

**2.** STOP モードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP 命令を実行してください。

**3.** IEBus コントローラ部の消費電力を低減する場合は、CTR のビット 0 (STREQ) をセットし、STR2 のビット 2 (STM) がセットされたことを確認してから、HALT または STOP 命令を実行してください。

### 21.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ（OSTS）で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、04Hになります。

図 21 - 1 発振安定時間選択レジスタのフォーマット

| 略号   | 7 | 6 | 5 | 4 | 3 | 2     | 1     | 0     | アドレス  | リセット時 | R/W |
|------|---|---|---|---|---|-------|-------|-------|-------|-------|-----|
| OSTS | 0 | 0 | 0 | 0 | 0 | OSTS2 | OSTS1 | OSTS0 | FFFAH | 04H   | R/W |

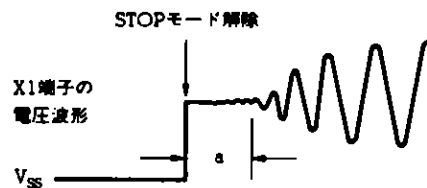
  

| OSTS2 | OSTS1 | OSTS0 | STOPモード解除時の発振安定時間の選択      |
|-------|-------|-------|---------------------------|
| 0     | 0     | 0     | $2^{12}/f_{xx}$ (1.02 ms) |
| 0     | 0     | 1     | $2^{14}/f_{xx}$ (4.10 ms) |
| 0     | 1     | 0     | $2^{15}/f_{xx}$ (8.19 ms) |
| 0     | 1     | 1     | $2^{16}/f_{xx}$ (16.4 ms) |
| 1     | 0     | 0     | $2^{17}/f_{xx}$ (32.8 ms) |
| 上記以外  |       |       | 設定禁止                      |

備考 1.  $f_{xx}$  : メイン・システム・クロック周波数

2. ( ) 内は、 $f_{xx}=4.0\text{ MHz}$  動作時。

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



## 21.2 スタンバイ機能の動作

### 21.2.1 HALT モード

#### (1) HALT モードの設定および動作状態

HALT モードは, HALT 命令の実行により設定されます。設定時のシステム・クロックは, メイン・システム・クロック, サブシステム・クロックのいずれの場合でも設定可能です。

次に HALT モード時の動作状態を示します。

表 21-1 HALT モード時の動作状態

|                     |                                                                                                                   |
|---------------------|-------------------------------------------------------------------------------------------------------------------|
| クロック発生回路            | メイン・システム・クロック, サブシステム・クロックとも発振可能。CPU へのクロック供給が停止。                                                                 |
| CPU                 | 動作停止。                                                                                                             |
| ポート                 | HALT モード設定前の状態を保持。                                                                                                |
| 16ビット・タイマ/イベント・カウンタ | メイン・システム・クロック発振時または, カウント・クロックに $f_{xt}$ 選択時の時計用タイマ出力, T100 選択時, 動作可能。                                            |
| 8ビット・タイマ/イベント・カウンタ  | メイン・システム・クロック発振時または, カウント・クロックに T11, T12 選択時, 動作可能。                                                               |
| 時計用タイマ              | メイン・システム・クロック発振時または, カウント・クロックに $f_{xt}$ 選択時, 動作可能。                                                               |
| ウォッチドッグ・タイマ         | メイン・システム・クロック発振時, 動作可能。                                                                                           |
| A/D コンバータ           |                                                                                                                   |
| D/A コンバータ           |                                                                                                                   |
| リアルタイム出力ポート         | 動作可能。                                                                                                             |
| シリアル・インタフェース        | メイン・システム・クロック発振時または, シリアル・クロックに外部からの入力クロックを選択時, 自動送受信機能を除いて動作可能。自動送受信機能は, 動作停止。                                   |
| IEBus コントローラ        | メイン・システム・クロック発振時は動作可能。CTR のビット 0 (STREQ) により, 動作可能, 動作停止を設定可能。                                                    |
| 外部割り込み              | INTP0 は, サンプリング・クロックに周辺ハードウェアへのクロック ( $f_{xx}/2^5$ , $f_{xx}/2^6$ , $f_{xx}/2^7$ ) 選択時, 動作可能。INTP1-INTP6 は, 動作可能。 |

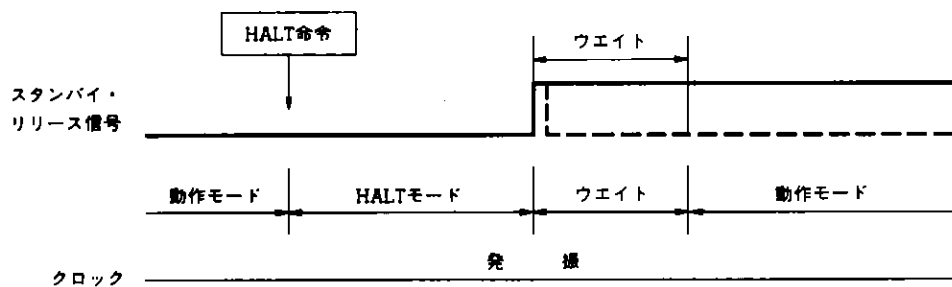
## (2) HALT モードの解除

HALT モードは、次の4種類のソースによって解除することができます。

## (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALT モードを解除します。割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図 21-2 HALT モードの割り込み発生による解除



備考 1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ベクタ割り込み処理を行う場合 : 8~9 クロック
- ベクタ割り込み処理を行わない場合 : 2~3 クロック

## (b) ノンマスクابل割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALT モードを解除し、ベクタ割り込み処理を行います。

## (c) マスクされていないテスト入力による解除

マスクされていないテスト入力による解除の場合、HALT モードを解除し、HALT 命令の次のアドレスの命令を実行します。

(d) RESET 入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

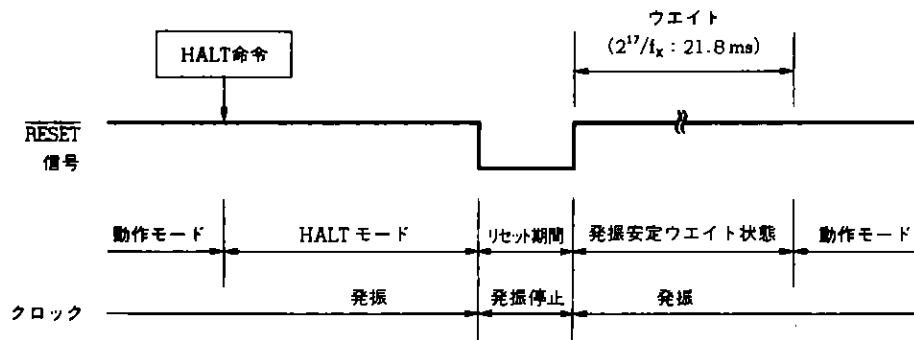
図 21-3 HALT モードの RESET 入力による解除

表 21-2 HALT モードの解除後の動作

| 解除ソース             | MK×× | PR×× | IE | ISP | 動作         |
|-------------------|------|------|----|-----|------------|
| マスカブル<br>割り込み要求   | 0    | 0    | 0  | ×   | 次アドレス命令実行  |
|                   | 0    | 0    | 1  | ×   | 割り込み処理実行   |
|                   | 0    | 1    | 0  | 1   | 次アドレス命令実行  |
|                   | 0    | 1    | ×  | 0   |            |
|                   | 0    | 1    | 1  | 1   | 割り込み処理実行   |
|                   | 1    | ×    | ×  | ×   | HALT モード保持 |
| ノンマスカブル<br>割り込み要求 | —    | —    | ×  | ×   | 割り込み処理実行   |
| テスト入力             | 0    | —    | ×  | ×   | 次アドレス命令実行  |
|                   | 1    | —    | ×  | ×   | HALT モード保持 |
| <u>RESET</u> 入力   | —    | —    | ×  | ×   | リセット処理     |

備考 × : don't care

## 21.2.2 STOP モード

### (1) STOP モードの設定および動作状態

STOP モードは、STOP 命令の実行により設定されます。設定時のシステム・クロックは、メイン・システム・クロックの場合のみ設定可能です。

- 注意 1. STOP モードに設定すると、クリスタル発振回路部のリークを押えるために X1 入力  
が内部で  $V_{SS}$  (グランド電位) にショートされます。したがって、メイン・システム・  
クロックに外部クロックを使用するシステムでは、STOP モードは使用しないでくだ  
さい。
2. スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラ  
グがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場  
合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOP  
モードの場合は STOP 命令実行後すぐに HALT モードに入り発振安定時間選択レジス  
タ(OSTS) による設定時間だけウェイトしたあと動作モードに戻ります。

次に STOP モード時の動作状態を示します。

表 21-3 STOP モード時の動作状態

|                     |                                                                           |
|---------------------|---------------------------------------------------------------------------|
| クロック発生回路            | メイン・システム・クロックのみ発振停止。                                                      |
| CPU                 | 動作停止。                                                                     |
| ポート                 | STOP モード設定前の状態を保持。                                                        |
| 16ビット・タイマ/イベント・カウンタ | カウント・クロックに $f_{XT}$ 選択時の時計用タイマ出力選択時、動作可能。                                 |
| 8ビット・タイマ/イベント・カウンタ  | カウント・クロックに TI1, TI2 選択時のみ動作可能。                                            |
| 時計用タイマ              | カウント・クロックに $f_{XT}$ 選択時のみ、動作可能。                                           |
| ウォッチドッグ・タイマ         | 動作停止。                                                                     |
| A/D コンバータ           |                                                                           |
| D/A コンバータ           | 動作可能。                                                                     |
| リアルタイム出力ポート         | 外部トリガを使用時または、8ビット・タイマ/イベント・カウンタのカウン<br>ト・クロックに TI1, TI2 選択時、動作可能。         |
| シリアル・インタフェース        | シリアル・クロックに外部からの入力クロックを選択時、自動送受信機能と<br>UART を除いて動作可能。自動送受信機能と UART は、動作停止。 |
| IEBus コントローラ        | 内部データを保持したまま動作停止。                                                         |
| 外部割り込み              | INTP0 は、動作不可能。                                                            |
|                     | INTP1-INTP6 は、動作可能。                                                       |

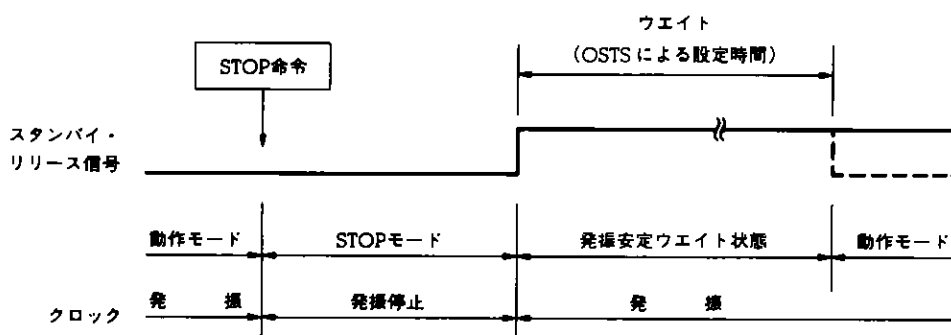
## (2) STOP モードの解除

STOP モードは、次の3種類のソースによって解除することができます。

## (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOP モードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図 21-4 STOP モードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

## (b) マスクされていないテスト入力による解除

マスクされていないテスト入力による解除の場合、STOP モードを解除します。発振安定時間経過後、STOP 命令の次のアドレスの命令を実行します。

(c) RESET 入力による解除

STOP モードを解除し、発振安定時間経過後リセット動作を行います。

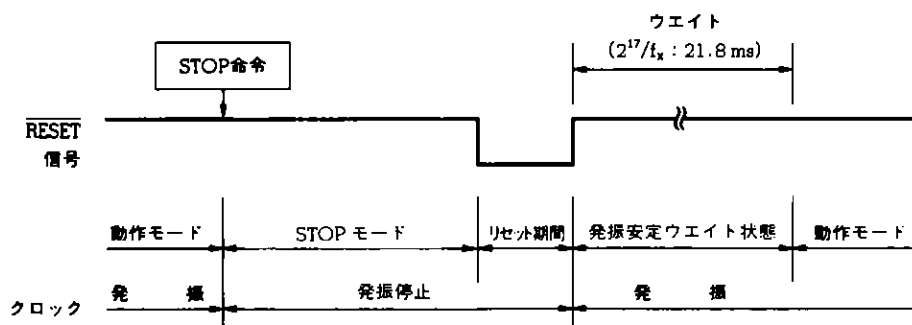
図 21-5 STOP モードの RESET 入力による解除

表 21-4 STOP モードの解除後の動作

| 解除ソース           | MK×× | PR×× | IE | ISP | 動作         |
|-----------------|------|------|----|-----|------------|
| マスカブル<br>割り込み要求 | 0    | 0    | 0  | ×   | 次アドレス命令実行  |
|                 | 0    | 0    | 1  | ×   | 割り込み処理実行   |
|                 | 0    | 1    | 0  | 1   | 次アドレス命令実行  |
|                 | 0    | 1    | ×  | 0   |            |
|                 | 0    | 1    | 1  | 1   | 割り込み処理実行   |
|                 | 1    | ×    | ×  | ×   | STOP モード保持 |
| テスト入力           | 0    | —    | ×  | ×   | 次アドレス命令実行  |
|                 | 1    | —    | ×  | ×   | STOP モード保持 |
| <u>RESET</u> 入力 | —    | —    | ×  | ×   | リセット処理     |

備考 × : don't care



## 第22章 リセット機能

### 22.1 リセット機能

リセット機能が発生させる方法に、次の2種類があります。

- (1)  $\overline{\text{RESET}}$  端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、 $\overline{\text{RESET}}$  入力により、ともに 0000H, 0001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$  端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表 22-1 に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$  端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ( $2^{17}/f_x$ ) プログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ( $2^{17}/f_x$ ) プログラムの実行を開始します (図 22-2 から 図 22-4 参照)。

- 注意 1. 外部リセットを行う場合、 $\overline{\text{RESET}}$  端子に  $10\mu\text{s}$  以上のロウ・レベルを入力してください。
2. リセット入力中は、メイン・システム・クロックの発振が停止しますが、サブシステム・クロックの発振は停止せず、発振状態になっています。
  3. リセットで STOP モードを解除するとき、リセット入力中は STOP モード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図 22-1 リセット機能のブロック図

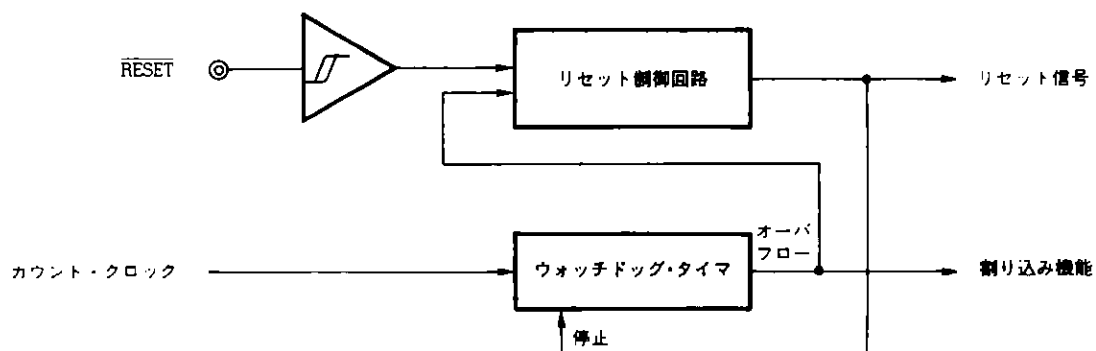


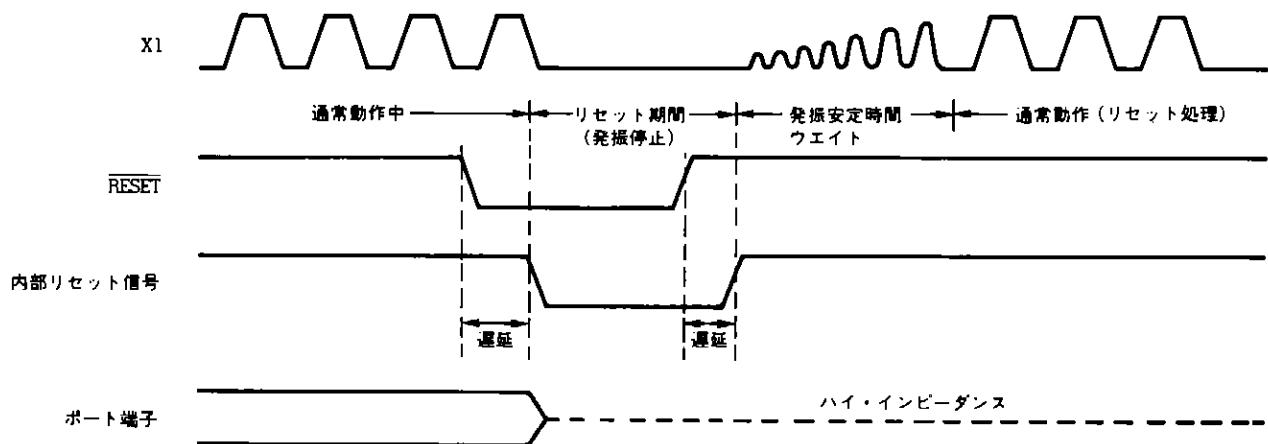
図 22-2  $\overline{\text{RESET}}$  入力によるリセット・タイミング

図 22-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

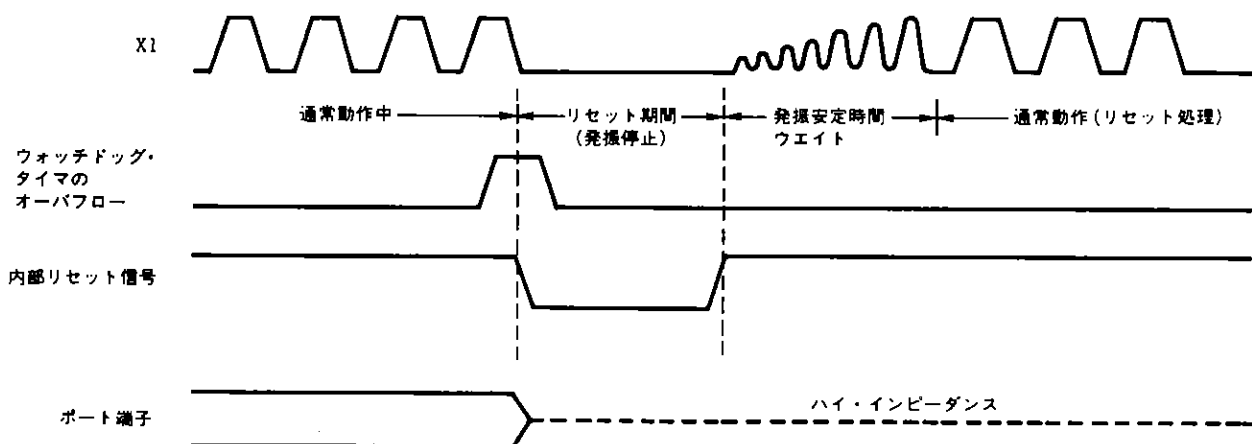
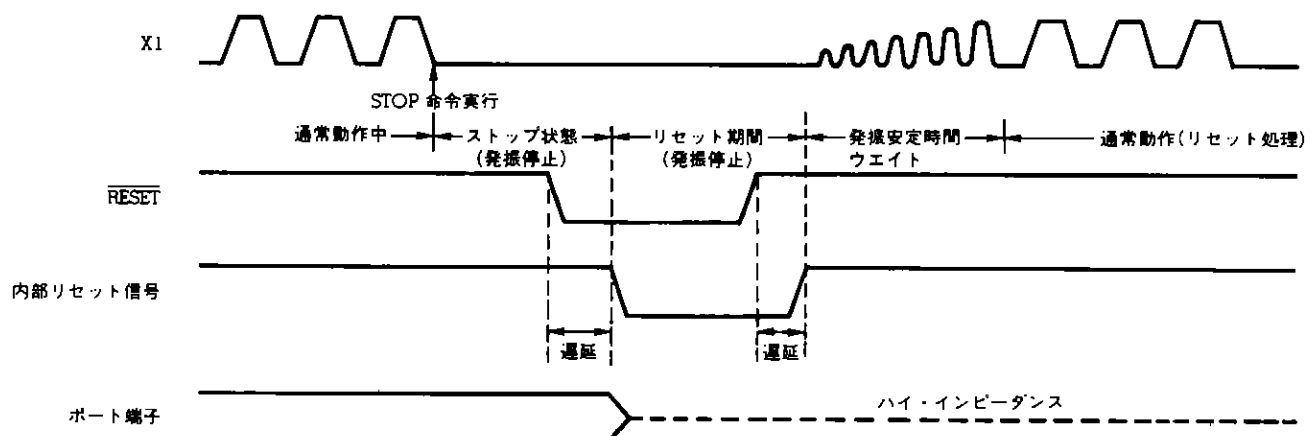
図 22-4 STOP モード中の  $\overline{\text{RESET}}$  入力によるリセット・タイミング

表 22-1 各ハードウェアのリセット後の状態 (1/3)

| ハードウェア                                                 |                                                          | リセット後の状態                                 |
|--------------------------------------------------------|----------------------------------------------------------|------------------------------------------|
| プログラム・カウンタ (PC) <sup>注1</sup>                          |                                                          | リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。 |
| スタック・ポインタ (SP)                                         |                                                          | 不 定                                      |
| プログラム・ステータス・ワード (PSW)                                  |                                                          | 0 2 H                                    |
| RAM                                                    | データ・メモリ                                                  | 不 定 <sup>注2</sup>                        |
|                                                        | 汎用レジスタ                                                   | 不 定 <sup>注2</sup>                        |
| ポ ー ト (出力ラッチ)                                          | ポート 0-ポート 3, ポート 7, ポート 12, ポート 13 (P0-P3, P7, P12, P13) | 0 0 H                                    |
|                                                        | ポート 4-ポート 6 (P4-P6)                                      | 不 定                                      |
| ポート・モード・レジスタ (PM0-PM3, PM5-PM7, PM12, PM13)            |                                                          | F F H                                    |
| プルアップ抵抗オプション・レジスタ (PUOH, PUOL)                         |                                                          | 0 0 H                                    |
| プロセッサ・クロック・コントロール・レジスタ (PCC)                           |                                                          | 0 4 H                                    |
| 発振モード選択レジスタ (OSMS)                                     |                                                          | 0 0 H                                    |
| クロック切り替え選択レジスタ 1, 2 (IECL1, IECL2)                     |                                                          | 0 0 H                                    |
| メモリ・サイズ切り替えレジスタ (IMS)                                  |                                                          | 注3                                       |
| 内部拡張 RAM サイズ切り替えレジスタ (IXS, $\mu$ PD78098A, 78P098A のみ) |                                                          | 0 8 H                                    |
| メモリ拡張モード・レジスタ (MM)                                     |                                                          | 1 0 H                                    |
| 発振安定時間選択レジスタ (OSTS)                                    |                                                          | 0 4 H                                    |
| 16 ビット・タイマ/<br>イベント・カウンタ                               | タイマ・レジスタ (TM0)                                           | 0 0 H                                    |
|                                                        | キャプチャ/コンペア・レジスタ (CR00, CR01)                             | 不 定                                      |
|                                                        | クロック選択レジスタ (TCL0)                                        | 0 0 H                                    |
|                                                        | モード・コントロール・レジスタ (TMC0)                                   | 0 0 H                                    |
|                                                        | キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0)                          | 0 4 H                                    |
|                                                        | 出力コントロール・レジスタ (TOC0)                                     | 0 0 H                                    |
| 8 ビット・タイマ/<br>イベント・カウンタ                                | タイマ・レジスタ (TM1, TM2)                                      | 0 0 H                                    |
|                                                        | コンペア・レジスタ (CR10, CR20)                                   | 不 定                                      |
|                                                        | クロック選択レジスタ (TCL1)                                        | 0 0 H                                    |
|                                                        | モード・コントロール・レジスタ (TMC1, TMC2)                             | 0 0 H                                    |
|                                                        | 出力コントロール・レジスタ (TOC1)                                     | 0 0 H                                    |
| 時 計 用 タ イ マ                                            | クロック選択レジスタ (TCL2)                                        | 0 0 H                                    |
| ウォッチドッグ・タイマ                                            | モード・レジスタ (WDTM)                                          | 0 0 H                                    |

注 1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PC の内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

3. リセット時の値は製品により異なります。

$\mu$ PD78094 : C8H,  $\mu$ PD78095 : CAH,  $\mu$ PD78096 : CCH,  $\mu$ PD78098A : CFH,  $\mu$ PD78P098A : CFH

★

表 22-1 各ハードウェアのリセット後の状態 (2/3)

| ハードウェア        |                                        | リセット後の状態 |
|---------------|----------------------------------------|----------|
| シリアル・インタフェース  | クロック選択レジスタ (TCL3)                      | 88H      |
|               | シフト・レジスタ (SIO0, SIO1)                  | 不 定      |
|               | モード・レジスタ (CSIM0, CSIM1, CSIM2)         | 00H      |
|               | シリアルバス・インタフェース・コントロール・レジスタ (SBIC)      | 00H      |
|               | スレーブ・アドレス・レジスタ (SVA)                   | 不 定      |
|               | 自動データ送受信コントロール・レジスタ (ADTC)             | 00H      |
|               | 自動データ送受信アドレス・ポインタ (ADTP)               | 00H      |
|               | 自動データ送受信間隔指定レジスタ (ADTI)                | 00H      |
|               | アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)   | 00H      |
|               | アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) | 00H      |
|               | ポーレート・ジェネレータ・コントロール・レジスタ (BRGC)        | 00H      |
|               | 送信シフト・レジスタ (TXS)                       | FFH      |
|               | 受信バッファ・レジスタ (RXB)                      |          |
|               | 割り込みタイミング指定レジスタ (SINT)                 | 00H      |
| A/D コ ン バ ー タ | モード・レジスタ (ADM)                         | 01H      |
|               | 変換結果レジスタ (ADCR)                        | 不 定      |
|               | 入力選択レジスタ (ADIS)                        | 00H      |
|               | A/D 電流カット選択レジスタ (IEAD)                 | 00H      |
| D/A コ ン バ ー タ | モード・レジスタ (DAM)                         | 00H      |
|               | 変換値設定レジスタ (DACSO, DACS1)               | 00H      |
| リアルタイム出力ポート   | モード・レジスタ (RTPM)                        | 00H      |
|               | コントロール・レジスタ (RTPC)                     | 00H      |
|               | バッファ・レジスタ (RTBL, RTBH)                 | 00H      |

表 22-1 各ハードウェアのリセット後の状態 (3/3)

| ハードウェア       |                                   | リセット後の状態  |
|--------------|-----------------------------------|-----------|
| IEBus コントローラ | IEBus コントローラ・モード・レジスタ (IECM)      | 00H       |
|              | コントロール・レジスタ (CTR)                 | ×××00×01B |
|              | ステータス・レジスタ 1 (STR1)               | 01011×××B |
|              | コマンド・レジスタ (CMR)                   | 00H       |
|              | ステータス・レジスタ 2 (STR2)               | 02H       |
|              | 自局アドレス・レジスタ 1 (UAR1)              | 不 定       |
|              | 受信データ数レジスタ 1 (RDR1)               | 00H       |
|              | 自局アドレス・レジスタ 2 (UAR2)              | 不 定       |
|              | 受信データ数レジスタ 2 (RDR2)               | 00H       |
|              | スレーブ・アドレス・レジスタ 1 (SAR1)           | 不 定       |
|              | ロック・アドレス・レジスタ 1 (LOR1)            | 不 定       |
|              | スレーブ・アドレス・レジスタ 2 (SAR2)           | 不 定       |
|              | ロック・アドレス・レジスタ 2 (LOR2)            | 0000××××B |
|              | マスタ通信コントロール・レジスタ (MCR)            | 不 定       |
|              | 同報先アドレス・レジスタ 1 (DAR1)             | 不 定       |
|              | 同報先アドレス・レジスタ 2 (DAR2)             | 不 定       |
|              | リターン・コード・レジスタ (RCR)               | 4FH       |
|              | 送信バッファ・レジスタ (TBF)                 | 不 定       |
|              | 受信バッファ・レジスタ (RBF)                 | 不 定       |
| 割 り 込 み      | 要求フラグ・レジスタ (IFOL, IFOH, IF1L)     | 00H       |
|              | マスク・フラグ・レジスタ (MKOL, MKOH, MK1L)   | FFH       |
|              | 優先順位指定フラグ・レジスタ (PROL, PROH, PR1L) | FFH       |
|              | 外部割り込みモード・レジスタ (INTMO, INTM1)     | 00H       |
|              | キー・リターン・モード・レジスタ (KRM)            | 02H       |
|              | サンプリング・クロック選択レジスタ (SCS)           | 00H       |

(× ㊦)

## 第23章 $\mu$ PD78P098A

★

$\mu$ PD78P098A は、一度だけ書き込み可能なワン・タイム PROM またはプログラムの書き込み、消去、再書き込みが可能な EPROM を内蔵した製品です。 $\mu$ PD78P098A とマスク ROM 製品との違いを表 23-1 に示します。

表 23-1  $\mu$ PD78P098A とマスク ROM 製品の違い

| 項 目                  | $\mu$ PD78P098A   | マスク ROM 製品                   |
|----------------------|-------------------|------------------------------|
| IC 端子                | なし                | あり                           |
| $V_{pp}$ 端子          | あり                | なし                           |
| P60-P63 端子のマスク・オプション | プルアップ抵抗を内蔵していません。 | マスク・オプションにより、プルアップ抵抗を内蔵できます。 |

### 23.1 メモリ・サイズ切り替えレジスタ

$\mu$ PD78P098A は、メモリ・サイズ切り替えレジスタ (IMS) により、内部メモリを選択することができます。IMS を設定することにより、内部メモリの異なる  $\mu$ PD78094, 78095, 78096, 78098A のメモリ・マッピングと同一のメモリ・マッピングにすることができます。

$\mu$ PD78P098A のメモリ・マップをマスク ROM 製品と同一にするためには、IMS にマスク ROM 製品のリセット時の値を設定してください。

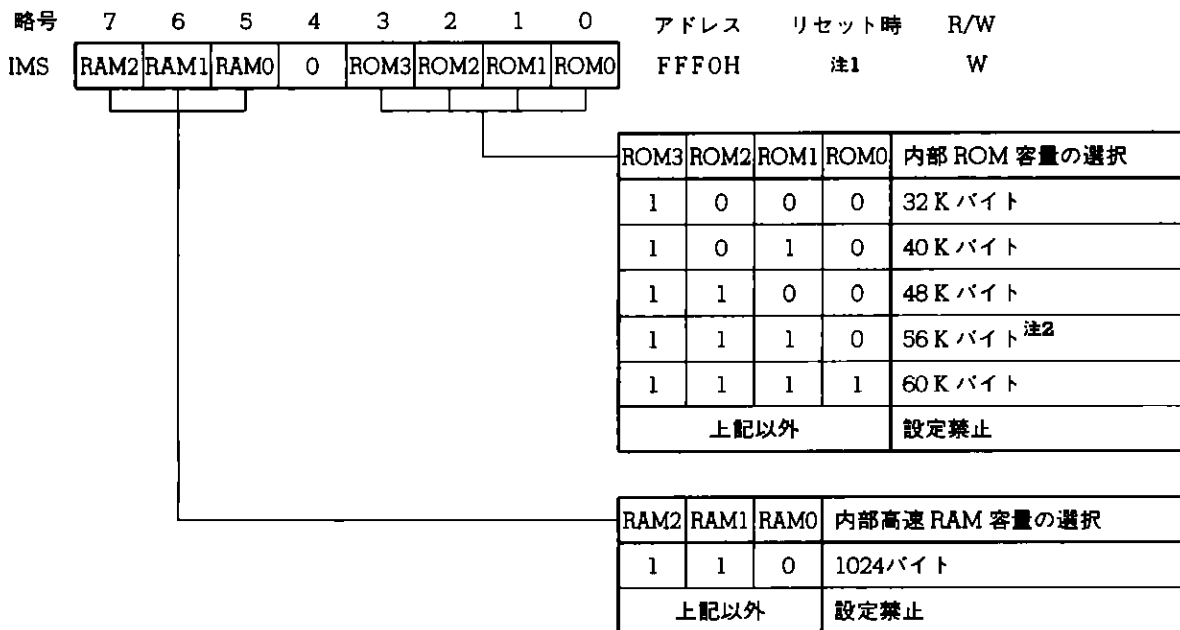
マスク ROM 製品では IMS を設定する必要はありません。

IMS は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、表 23-2 に示す値になります。

**注意** マスク ROM 製品を使用する場合、IMS には表 23-2 に示すリセット時以外の値を設定しないでください。

図 23-1 メモリ・サイズ切り替えレジスタのフォーマット



注 1. リセット時の値は製品により異なります (表 23-2 参照)。

表 23-2 メモリ・サイズ切り替えレジスタのリセット時の値

| 品 名             | リセット時の値 |
|-----------------|---------|
| $\mu$ PD78094   | C8H     |
| $\mu$ PD78095   | CAH     |
| $\mu$ PD78096   | CCH     |
| $\mu$ PD78098A  | CFH     |
| $\mu$ PD78P098A |         |

2.  $\mu$ PD78098A, 78P098A で外部デバイス拡張機能を使用する場合, 内部 PROM 容量を 56 K バイト以下にしてください。

**注意** マスク ROM 製品を使用する場合, IMS にはリセット時以外の値を設定しないでください。ただし,  $\mu$ PD78098A で外部デバイス拡張機能を使用するときは除きます。

**備考** IMS は, 内蔵する ROM 容量に合わせて設定してください。



## 23.2 内部拡張 RAM サイズ切り替えレジスタ

★

$\mu$ PD78P098A は、内部拡張 RAM サイズ切り替えレジスタ (IXS) により、内部拡張 RAM を選択することができます。IXS を設定することにより、内部拡張 RAM の異なるマスク ROM 製品のメモリ・マッピングと同一のメモリ・マッピングにすることができます。

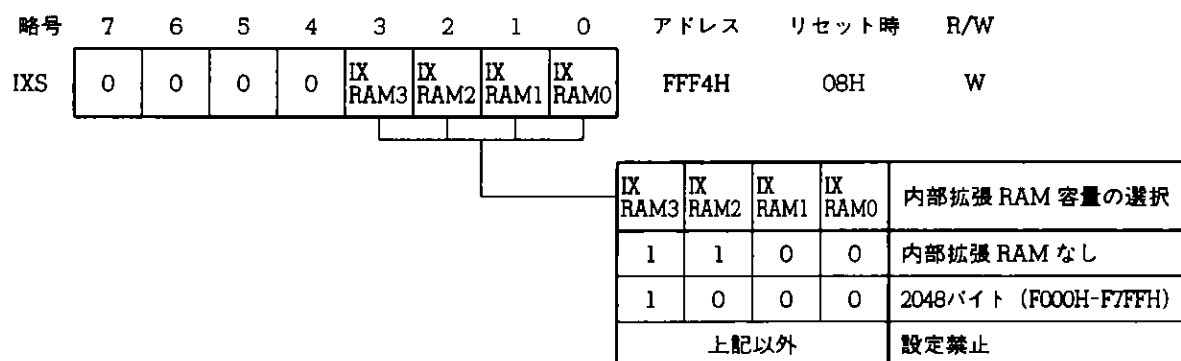
IXS は、8 ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$  入力により、08H になります。

注意 1. 内部拡張 RAM サイズ切り替えレジスタは、 $\mu$ PD78098A、78P098A のみ内蔵しています。

2. マスク ROM 製品 ( $\mu$ PD78094、78095、78096、78098A) を使用する場合、IXS には表23-3 に示す値以外を設定しないでください。

図 23-2 内部拡張 RAM サイズ切り替えレジスタのフォーマット



マスク ROM 製品と同一のメモリ・マップにする IXS の設定値を表 23-3 に示します。

表 23-3 内部拡張 RAM サイズ切り替えレジスタの設定値

| 対象のマスク ROM 製品  | IXS の設定値         |
|----------------|------------------|
| $\mu$ PD78094  | 0CH <sup>注</sup> |
| $\mu$ PD78095  |                  |
| $\mu$ PD78096  |                  |
| $\mu$ PD78098A | 08H              |

注 「MOV IXS, #0CH」が記述された  
 $\mu$ PD78P098A 用のプログラムを  
 $\mu$ PD78094、78095、78096 で実行して  
 も、動作に影響を与えません。

## 23.3 PROM プログラミング

$\mu$ PD78P098A は、プログラム・メモリとして 60 K バイト構成の PROM を内蔵しています。プログラミングをするときは、 $V_{PP}$  端子、 $\overline{\text{RESET}}$  端子で PROM プログラミング・モードに設定します。その他、使用しない端子の処理は、1.5 端子接続図 (Top View) (2) PROM プログラミング・モードを参照してください。

★ 注意 プログラム書き込みは、0000H-EFFFH 番地の範囲で行ってください (最終アドレス EFFFH 番地を指定してください)。書き込みアドレスを指定できない PROM プログラムでは書き込みできません。

### 23.3.1 動作モード

$V_{PP}$  端子に +5 V または +12.5 V、 $\overline{\text{RESET}}$  端子にロウ・レベルを印加すると、PROM プログラミング・モードになります。このモードは  $\overline{\text{CE}}$  端子、 $\overline{\text{OE}}$  端子、 $\overline{\text{PGM}}$  端子の設定により、表 23-4 のような動作モードになります。

また、読み出しモードに設定することにより、PROM の内容を読み出すことができます。

表 23-4 PROM プログラミングの動作モード

| 端子<br>動作モード  | RESET | V <sub>PP</sub> | V <sub>DD</sub> | CE | OE | PGM        | D0-D7      |
|--------------|-------|-----------------|-----------------|----|----|------------|------------|
| ページ・データ・ラッチ  | L     | +12.5 V         | +6.5 V          | H  | L  | H          | データ入力      |
| ページ書き込み      |       |                 |                 | H  | H  | L          | ハイ・インピーダンス |
| バイト書き込み      |       |                 |                 | L  | H  | L          | データ入力      |
| プログラム・ベリファイ  |       |                 |                 | L  | L  | H          | データ出力      |
| プログラム・インヒビット |       |                 |                 | ×  | H  | H          | ハイ・インピーダンス |
|              |       |                 |                 | ×  | L  | L          |            |
| 読み出し         | +5 V  | +5 V            | L               | L  | H  | データ出力      |            |
| 出力ディスエーブル    |       |                 | L               | H  | ×  | ハイ・インピーダンス |            |
| スタンバイ        |       |                 | H               | ×  | ×  | ハイ・インピーダンス |            |

備考 × : L または H

#### (1) 読み出しモード

$\overline{\text{CE}}=\text{L}$ 、 $\overline{\text{OE}}=\text{L}$  に設定することにより、読み出しモードになります。

#### (2) 出力ディスエーブル・モード

$\overline{\text{OE}}=\text{H}$  にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数の  $\mu$ PD78P098A を接続した場合、 $\overline{OE}$  端子を制御することで任意の 1 個のデバイスよりデータを読み出すことができます。

### (3) スタンバイ・モード

$\overline{CE}=H$  にすることによりスタンバイ・モードになります。

このモードでは、 $\overline{OE}$  の状態に関係なくデータ出力がハイ・インピーダンスになります。

### (4) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に  $\overline{CE}=H$ ,  $\overline{PGM}=H$ ,  $\overline{OE}=L$  にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1 ページ 4 バイトのデータが内部のアドレス/データ・ラッチ回路にラッチされます。

### (5) ページ書き込みモード

ページ・データ・ラッチ・モードにより 1 ページ 4 バイトのアドレスとデータをラッチ後、 $\overline{CE}=H$ ,  $\overline{OE}=H$  の状態で  $\overline{PGM}$  端子に 0.1 ms のプログラム・パルス (アクティブ・ロウ) を印加することによりページ書き込みが実行されます。その後、 $\overline{CE}=L$ ,  $\overline{OE}=L$  にすることにより、プログラム・ベリファイを行えます。

1 回のプログラム・パルスでプログラムされない場合には X 回 ( $X \leq 10$ ) の書き込みとベリファイを繰り返し実行します。

### (6) バイト書き込みモード

$\overline{CE}=L$ ,  $\overline{OE}=H$  の状態で  $\overline{PGM}$  端子に 0.1 ms のプログラム・パルス (アクティブ・ロウ) を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE}=L$  にすることにより、プログラム・ベリファイが行えます。

1 回のプログラム・パルスでプログラムされない場合には X 回 ( $X \leq 10$ ) の書き込みとベリファイを繰り返し実行します。

### (7) プログラム・ベリファイ・モード

$\overline{CE}=L$ ,  $\overline{PGM}=H$ ,  $\overline{OE}=L$  にすることにより、プログラム・ベリファイ・モードになります。

書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

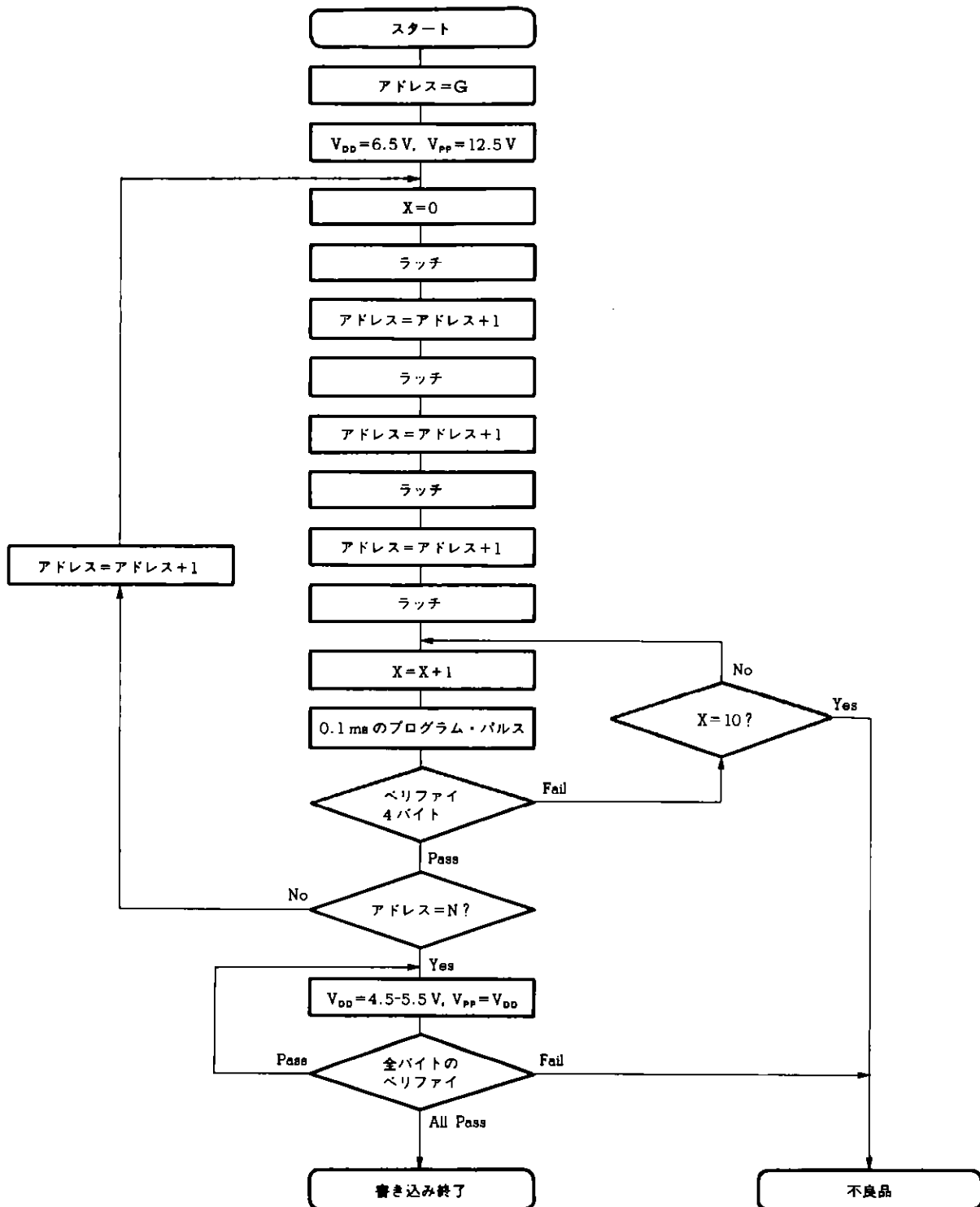
### (8) プログラム・インヒビット・モード

プログラム・インヒビット・モードは、複数の  $\mu$ PD78P098A の  $\overline{OE}$  端子、 $V_{pp}$  端子、D0-D7 端子がバラレルに接続されている状態でその中の 1 個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に、上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき、 $\overline{PGM}$  端子をハイ・レベルにしたデバイスには書き込みが行われません。

## 23.3.2 PROM 書き込みの手順

図 23-3 ページ・プログラム・モード・フロー・チャート



備考 1. G=開始アドレス

2. N=プログラムの最終アドレス

図 23-4 ページ・プログラム・モード・タイミング

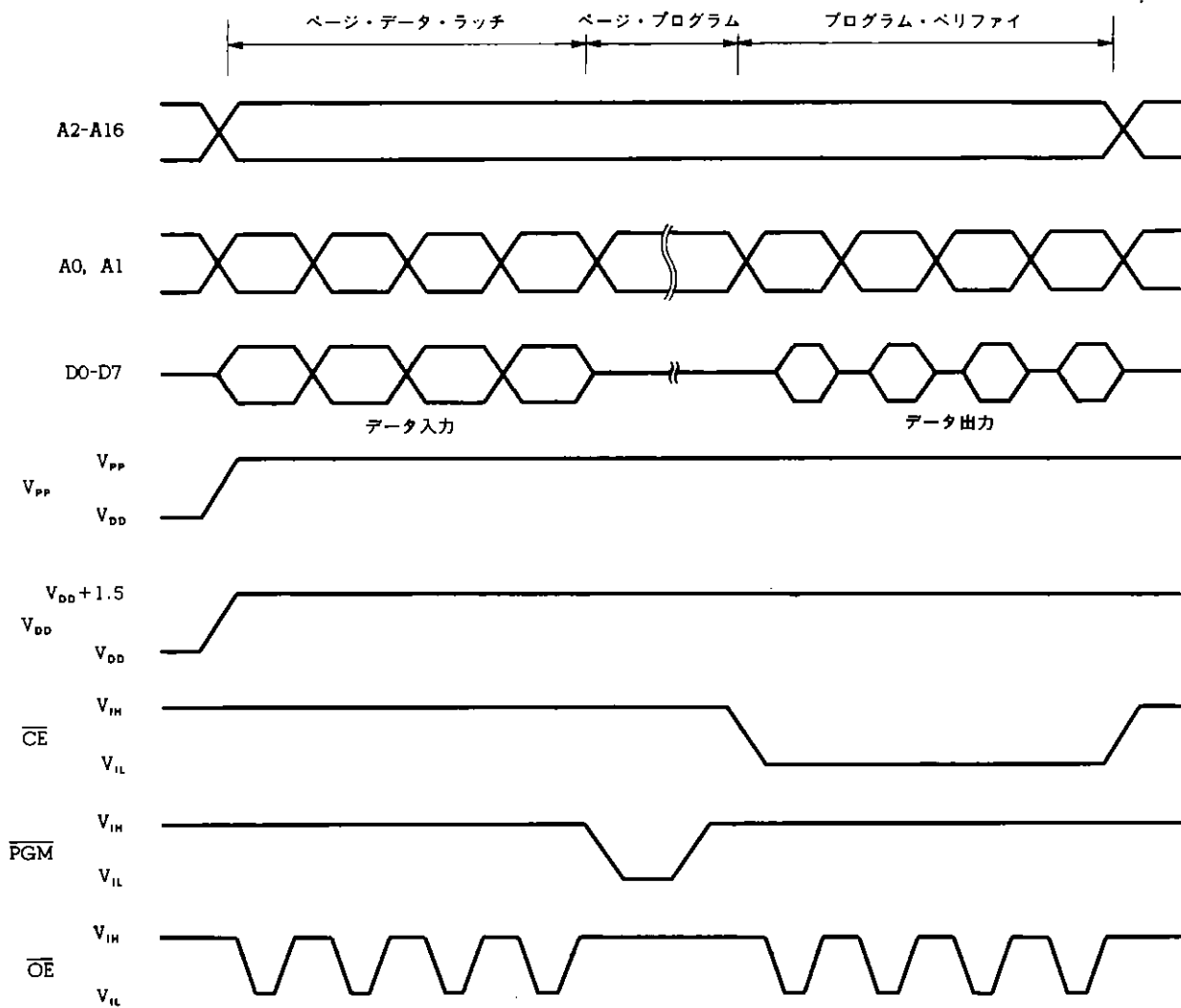
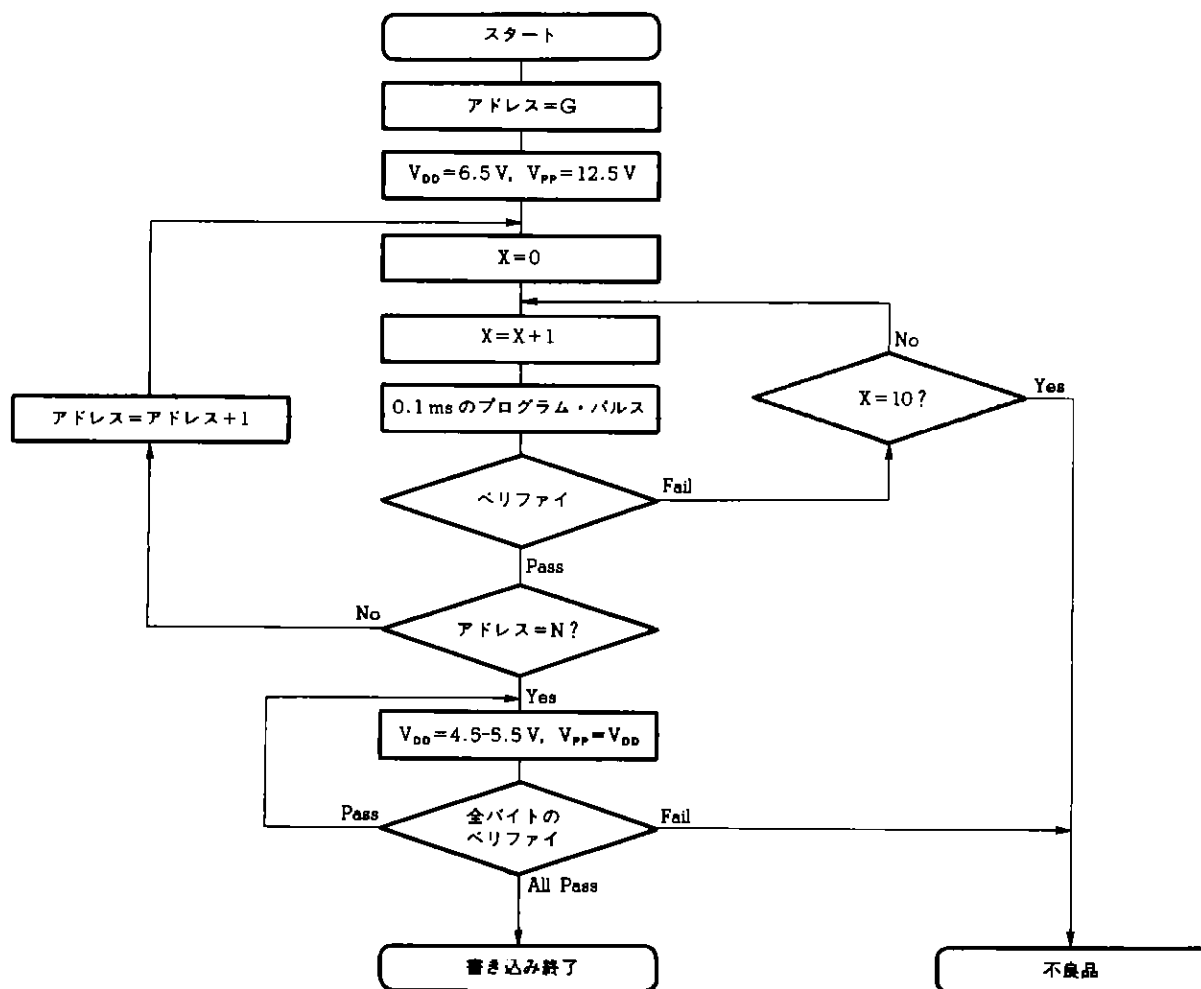


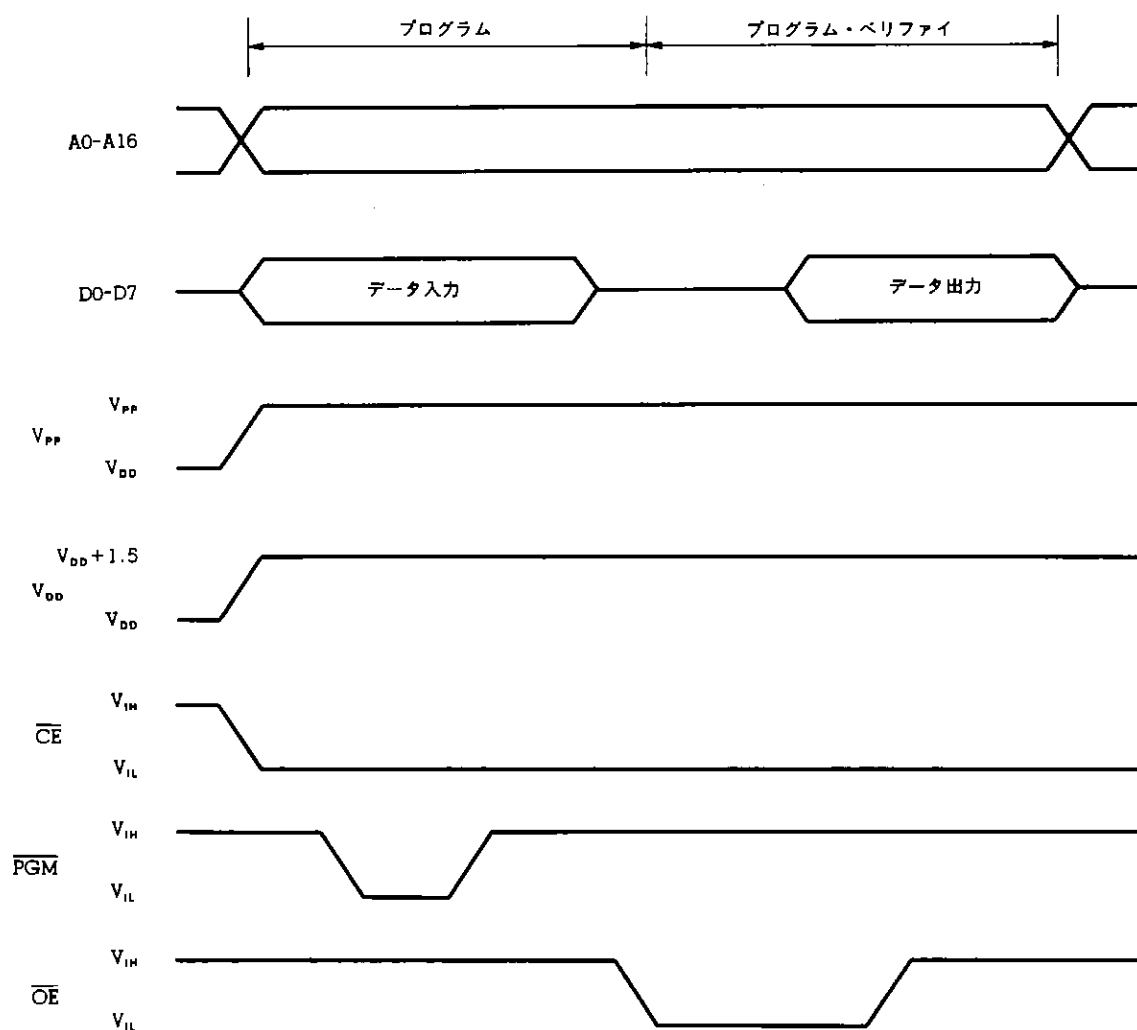
図 23-8 バイト・プログラム・モード・フロー・チャート



備考 1. G=開始アドレス

2. N=プログラムの最終アドレス

図 23-6 バイト・プログラム・モード・タイミング



注意 1. V<sub>DD</sub> は V<sub>pp</sub> より前に印加し, V<sub>pp</sub> のあとから切断するようにしてください。

2. V<sub>pp</sub> はオーバシュートを含めて +13.5 V 以上にならないようにしてください。

3. V<sub>pp</sub> に +12.5 V が印加されている間に抜き差しした場合, 信頼性上, 悪影響を受ける可能性があります。

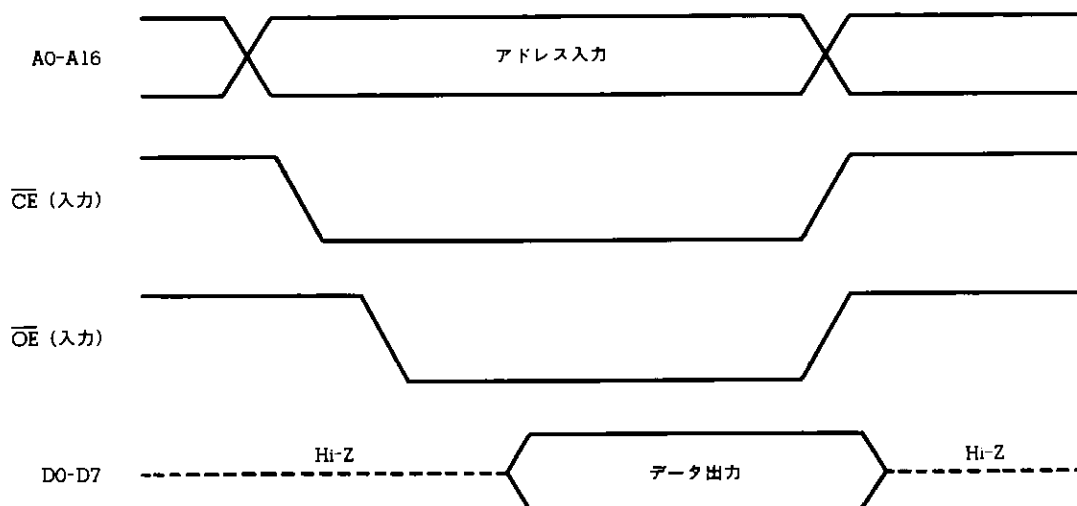
### 23.3.3 PROM 読み出しの手順

次に示す手順によって、PROM の内容を外部データ・バス (D0-D7) に読み出すことができます。

- (1)  $\overline{\text{RESET}}$  端子をロウ・レベルに固定,  $V_{PP}$  端子に +5 V を供給, その他, 使用しない端子は 1.8 端子接続図 (Top View) (2) PROM プログラミング・モードに示すように処理する。
- (2)  $V_{DD}$ ,  $V_{PP}$  端子に +5 V を供給。
- (3) 読み出そうとするデータのアドレスを A0-A16 端子に入力。
- (4) リード・モード。
- (5) データを D0-D7 端子に出力。

上述の (2) - (5) のタイミングを図 23-7 に示します。

図 23-7 PROM の読み出しタイミング



## 23.4 ワン・タイム PROM 製品のスクリーニングについて

ワン・タイム PROM 製品 ( $\mu$ PD78P098AGC-3B9) は, その構造上, 当社にて完全な試験をして出荷することはできません。必要なデータを書き込んだあと, 下記の条件で高温保管後, PROM のベリファイを行うスクリーニングを実施することを推奨します。

| 保管温度   | 保管時間 |
|--------|------|
| 125 °C | 24時間 |



## 第24章 命令セット

$\mu$ PD78098 サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、**78K/0 シリーズ ユーザーズ・マニュアル 命令編 (IEU-849)** を参照してください。

## 24.1 凡 例

### 24.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$, [ ] の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- # : イミディエイト・データ指定
- ! : 絶対アドレス指定
- \$ : 相対アドレス指定
- [ ] : 間接アドレス指定

イミディエイト・データのときは、適当な数値またはレーベルを記述します。レーベルで記述する場合も#、!、\$, [ ] 記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称(X, A, Cなど)、絶対名称(下表の中のカッコ内の名称, R0, R1, R2など)のいずれの形式でも記述可能です。

表 24-1 オペランドの表現形式と記述方法

| 表現形式   | 記 述 方 法                                                        |
|--------|----------------------------------------------------------------|
| r      | X (R0), A (R1), C (R2), B (R3), E (R4), D (R5), L (R6), H (R7) |
| rp     | AX (RP0), BC (RP1), DE (RP2), HL (RP3)                         |
| sfr    | 特殊機能レジスタ略号 <sup>注</sup>                                        |
| sfrp   | 特殊機能レジスタ略号 (16ビット操作可能なレジスタの偶数アドレスのみ) <sup>注</sup>              |
| saddr  | FE20H-FF1FH イミディエイト・データまたはレーベル                                 |
| saddrp | FE20H-FF1FH イミディエイト・データまたはレーベル (偶数アドレスのみ)                      |
| addr16 | 0000H-FFFFH イミディエイト・データまたはレーベル<br>(16ビット・データ転送命令時は偶数アドレスのみ)    |
| addr11 | 0800H-0FFFH イミディエイト・データまたはレーベル                                 |
| addr5  | 0040H-007FH イミディエイト・データまたはレーベル (偶数アドレスのみ)                      |
| word   | 16ビット・イミディエイト・データまたはレーベル                                       |
| byte   | 8ビット・イミディエイト・データまたはレーベル                                        |
| bit    | 3ビット・イミディエイト・データまたはレーベル                                        |
| RBn    | R0-RB3                                                         |

注 FFD0H-FFDFH は、アドレスできません。

備考 特殊機能レジスタの略号は表 3-2 特殊機能レジスタ一覧を参照してください。

### 24.1.2 オペレーション欄の説明

|            |                                   |
|------------|-----------------------------------|
| A          | : Aレジスタ; 8ビット・アキュムレータ             |
| X          | : Xレジスタ                           |
| B          | : Bレジスタ                           |
| C          | : Cレジスタ                           |
| D          | : Dレジスタ                           |
| E          | : Eレジスタ                           |
| H          | : Hレジスタ                           |
| L          | : Lレジスタ                           |
| AX         | : AXレジスタ・ペア; 16ビット・アキュムレータ        |
| BC         | : BCレジスタ・ペア                       |
| DE         | : DEレジスタ・ペア                       |
| HL         | : HLレジスタ・ペア                       |
| PC         | : プログラム・カウンタ                      |
| SP         | : スタック・ポインタ                       |
| PSW        | : プログラム・ステータス・ワード                 |
| CY         | : キャリー・フラグ                        |
| AC         | : 補助キャリー・フラグ                      |
| Z          | : ゼロ・フラグ                          |
| RBS        | : レジスタ・バンク選択フラグ                   |
| IE         | : 割り込み要求許可フラグ                     |
| NMIS       | : ノンマスカブル割り込み処理中フラグ               |
| ( )        | : ( ) 内のアドレスまたはレジスタの内容で示されるメモリの内容 |
| $x_H, x_L$ | : 16ビット・レジスタの上位8ビット, 下位8ビット       |
| $\wedge$   | : 論理積 (AND)                       |
| $\vee$     | : 論理和 (OR)                        |
| $\nabla$   | : 排他的論理和 (exclusive OR)           |
| $\neg$     | : 反転データ                           |
| addr16     | : 16ビット・イミディエイト・データまたはレーベル        |
| jdisp8     | : 符号付き8ビット・データ (ディスプレースメント値)      |

### 24.1.3 フラグ動作欄の説明

|        |                    |
|--------|--------------------|
| (ブランク) | : 変化なし             |
| 0      | : 0にクリアされる         |
| 1      | : 1にセットされる         |
| x      | : 結果に従ってセット/クリアされる |
| R      | : 以前に退避した値がストアされる  |

## 24.2 オペレーション一覧

| 命令群        | ニモニック | オペランド        | バイト | クロック |        | オペレーション                                     | フラグ |    |    |
|------------|-------|--------------|-----|------|--------|---------------------------------------------|-----|----|----|
|            |       |              |     | 注1   | 注2     |                                             | Z   | AC | CY |
| 8ビット・データ転送 | MOV   | r, #byte     | 2   | 4    | —      | $r \leftarrow \text{byte}$                  |     |    |    |
|            |       | saddr, #byte | 3   | 6    | 7      | $(\text{saddr}) \leftarrow \text{byte}$     |     |    |    |
|            |       | sfr, #byte   | 3   | —    | 7      | $\text{sfr} \leftarrow \text{byte}$         |     |    |    |
|            |       | A, r 注3      | 1   | 2    | —      | $A \leftarrow r$                            |     |    |    |
|            |       | r, A 注3      | 1   | 2    | —      | $r \leftarrow A$                            |     |    |    |
|            |       | A, saddr     | 2   | 4    | 5      | $A \leftarrow (\text{saddr})$               |     |    |    |
|            |       | saddr, A     | 2   | 4    | 5      | $(\text{saddr}) \leftarrow A$               |     |    |    |
|            |       | A, sfr       | 2   | —    | 5      | $A \leftarrow \text{sfr}$                   |     |    |    |
|            |       | sfr, A       | 2   | —    | 5      | $\text{sfr} \leftarrow A$                   |     |    |    |
|            |       | A, laddr16   | 3   | 8    | 9+n    | $A \leftarrow (\text{addr16})$              |     |    |    |
|            |       | laddr16, A   | 3   | 8    | 9+m    | $(\text{addr16}) \leftarrow A$              |     |    |    |
|            |       | PSW, #byte   | 3   | —    | 7      | $\text{PSW} \leftarrow \text{byte}$         | ×   | ×  | ×  |
|            |       | A, PSW       | 2   | —    | 5      | $A \leftarrow \text{PSW}$                   |     |    |    |
|            |       | PSW, A       | 2   | —    | 5      | $\text{PSW} \leftarrow A$                   | ×   | ×  | ×  |
|            |       | A, [DE]      | 1   | 4    | 5+n    | $A \leftarrow (\text{DE})$                  |     |    |    |
|            |       | [DE], A      | 1   | 4    | 5+m    | $(\text{DE}) \leftarrow A$                  |     |    |    |
|            |       | A, [HL]      | 1   | 4    | 5+n    | $A \leftarrow (\text{HL})$                  |     |    |    |
|            |       | [HL], A      | 1   | 4    | 5+m    | $(\text{HL}) \leftarrow A$                  |     |    |    |
|            |       | A, [HL+byte] | 2   | 8    | 9+n    | $A \leftarrow (\text{HL}+\text{byte})$      |     |    |    |
|            |       | [HL+byte], A | 2   | 8    | 9+m    | $(\text{HL}+\text{byte}) \leftarrow A$      |     |    |    |
|            |       | A, [HL+B]    | 1   | 6    | 7+n    | $A \leftarrow (\text{HL}+B)$                |     |    |    |
|            |       | [HL+B], A    | 1   | 6    | 7+m    | $(\text{HL}+B) \leftarrow A$                |     |    |    |
|            |       | A, [HL+C]    | 1   | 6    | 7+n    | $A \leftarrow (\text{HL}+C)$                |     |    |    |
|            |       | [HL+C], A    | 1   | 6    | 7+m    | $(\text{HL}+C) \leftarrow A$                |     |    |    |
|            | XCH   | A, r 注3      | 1   | 2    | —      | $A \leftrightarrow r$                       |     |    |    |
|            |       | A, saddr     | 2   | 4    | 6      | $A \leftrightarrow (\text{saddr})$          |     |    |    |
|            |       | A, sfr       | 2   | —    | 6      | $A \leftrightarrow (\text{sfr})$            |     |    |    |
|            |       | A, laddr16   | 3   | 8    | 10+n+m | $A \leftrightarrow (\text{addr16})$         |     |    |    |
|            |       | A, [DE]      | 1   | 4    | 6+n+m  | $A \leftrightarrow (\text{DE})$             |     |    |    |
|            |       | A, [HL]      | 1   | 4    | 6+n+m  | $A \leftrightarrow (\text{HL})$             |     |    |    |
|            |       | A, [HL+byte] | 2   | 8    | 10+n+m | $A \leftrightarrow (\text{HL}+\text{byte})$ |     |    |    |
|            |       | A, [HL+B]    | 2   | 8    | 10+n+m | $A \leftrightarrow (\text{HL}+B)$           |     |    |    |
|            |       | A, [HL+C]    | 2   | 8    | 10+n+m | $A \leftrightarrow (\text{HL}+C)$           |     |    |    |

注 1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3.  $r = A$  を除く。

備考 1. 命令の1クロックはPCCで選択したCPUクロック( $f_{\text{CPU}}$ )の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

3.  $n$  は外部メモリ拡張領域をリードしたときのウェイト数です。

4.  $m$  は外部メモリ拡張領域をライトしたときのウェイト数です。

| 命令群         | ニモニック | オペランド         | バイト | クロック |       | オペレーション                       | フラグ |    |    |
|-------------|-------|---------------|-----|------|-------|-------------------------------|-----|----|----|
|             |       |               |     | 注1   | 注2    |                               | Z   | AC | CY |
| 16ビット・データ転送 | MOVW  | rp, #word     | 3   | 6    | —     | rp ← word                     |     |    |    |
|             |       | saddrp, #word | 4   | 8    | 10    | (saddrp) ← word               |     |    |    |
|             |       | sfrp, #word   | 4   | —    | 10    | sfrp ← word                   |     |    |    |
|             |       | AX, saddrp    | 2   | 6    | 8     | AX ← (saddrp)                 |     |    |    |
|             |       | saddrp, AX    | 2   | 6    | 8     | (saddrp) ← AX                 |     |    |    |
|             |       | AX, sfrp      | 2   | —    | 8     | AX ← sfrp                     |     |    |    |
|             |       | sfrp, AX      | 2   | —    | 8     | sfrp ← AX                     |     |    |    |
|             |       | AX, rp 注3     | 1   | 4    | —     | AX ← rp                       |     |    |    |
|             |       | rp, AX 注3     | 1   | 4    | —     | rp ← AX                       |     |    |    |
|             |       | AX, laddr16   | 3   | 10   | 12+2n | AX ← (addr16)                 |     |    |    |
|             |       | laddr16, AX   | 3   | 10   | 12+2n | (addr16) ← AX                 |     |    |    |
|             | XCHW  | AX, rp 注3     | 1   | 4    | —     | AX ↔ rp                       |     |    |    |
| 8ビット演算      | ADD   | A, #byte      | 2   | 4    | —     | A, CY ← A+byte                | ×   | ×  | ×  |
|             |       | saddr, #byte  | 3   | 6    | 8     | (saddr), CY ← (saddr)+byte    | ×   | ×  | ×  |
|             |       | A, r 注4       | 2   | 4    | —     | A, CY ← A+r                   | ×   | ×  | ×  |
|             |       | r, A          | 2   | 4    | —     | r, CY ← r+A                   | ×   | ×  | ×  |
|             |       | A, saddr      | 2   | 4    | 5     | A, CY ← A+(saddr)             | ×   | ×  | ×  |
|             |       | A, laddr16    | 3   | 8    | 9+n   | A, CY ← A+(addr16)            | ×   | ×  | ×  |
|             |       | A, [HL]       | 1   | 4    | 5+n   | A, CY ← A+(HL)                | ×   | ×  | ×  |
|             |       | A, [HL+byte]  | 2   | 8    | 9+n   | A, CY ← A+(HL+byte)           | ×   | ×  | ×  |
|             |       | A, [HL+B]     | 2   | 8    | 9+n   | A, CY ← A+(HL+B)              | ×   | ×  | ×  |
|             |       | A, [HL+C]     | 2   | 8    | 9+n   | A, CY ← A+(HL+C)              | ×   | ×  | ×  |
|             | ADDC  | A, #byte      | 2   | 4    | —     | A, CY ← A+byte+CY             | ×   | ×  | ×  |
|             |       | saddr, #byte  | 3   | 6    | 8     | (saddr), CY ← (saddr)+byte+CY | ×   | ×  | ×  |
|             |       | A, r 注4       | 2   | 4    | —     | A, CY ← A+r+CY                | ×   | ×  | ×  |
|             |       | r, A          | 2   | 4    | —     | r, CY ← r+A+CY                | ×   | ×  | ×  |
|             |       | A, saddr      | 2   | 4    | 5     | A, CY ← A+(saddr)+CY          | ×   | ×  | ×  |
|             |       | A, laddr16    | 3   | 8    | 9+n   | A, CY ← A+(addr16)+CY         | ×   | ×  | ×  |
|             |       | A, [HL]       | 1   | 4    | 5+n   | A, CY ← A+(HL)+CY             | ×   | ×  | ×  |
|             |       | A, [HL+byte]  | 2   | 8    | 9+n   | A, CY ← A+(HL+byte)+CY        | ×   | ×  | ×  |
|             |       | A, [HL+B]     | 2   | 8    | 9+n   | A, CY ← A+(HL+B)+CY           | ×   | ×  | ×  |
|             |       | A, [HL+C]     | 2   | 8    | 9+n   | A, CY ← A+(HL+C)+CY           | ×   | ×  | ×  |

注 1. 内部高速 RAM 領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速 RAM 以外の領域をアクセスしたとき。

3. rp=BC, DE, HL のときのみ。

4. r=A を除く。

備考 1. 命令の 1 クロックは PCC で選択した CPU クロック ( $f_{CPU}$ ) の 1 クロック分です。

2. クロック数は内部 ROM 領域にプログラムがある場合です。

3. n は外部メモリ拡張領域をリードしたときのウェイト数です。

4. m は外部メモリ拡張領域をライトしたときのウェイト数です。

| 命令群    | ニモニック | オペランド        | バイト | クロック |     | オペレーション                                                           | フラグ |    |    |
|--------|-------|--------------|-----|------|-----|-------------------------------------------------------------------|-----|----|----|
|        |       |              |     | 注1   | 注2  |                                                                   | Z   | AC | CY |
| 8ビット演算 | SUB   | A, #byte     | 2   | 4    | —   | $A, CY \leftarrow A - \text{byte}$                                | ×   | ×  | ×  |
|        |       | saddr, #byte | 3   | 6    | 8   | $(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte}$      | ×   | ×  | ×  |
|        |       | A, r 注3      | 2   | 4    | —   | $A, CY \leftarrow A - r$                                          | ×   | ×  | ×  |
|        |       | r, A         | 2   | 4    | —   | $r, CY \leftarrow r - A$                                          | ×   | ×  | ×  |
|        |       | A, saddr     | 2   | 4    | 5   | $A, CY \leftarrow A - (\text{saddr})$                             | ×   | ×  | ×  |
|        |       | A, laddr16   | 3   | 8    | 9+n | $A, CY \leftarrow A - (\text{laddr16})$                           | ×   | ×  | ×  |
|        |       | A, [HL]      | 1   | 4    | 5+n | $A, CY \leftarrow A - (\text{HL})$                                | ×   | ×  | ×  |
|        |       | A, [HL+byte] | 2   | 8    | 9+n | $A, CY \leftarrow A - (\text{HL} + \text{byte})$                  | ×   | ×  | ×  |
|        |       | A, [HL+B]    | 2   | 8    | 9+n | $A, CY \leftarrow A - (\text{HL} + B)$                            | ×   | ×  | ×  |
|        |       | A, [HL+C]    | 2   | 8    | 9+n | $A, CY \leftarrow A - (\text{HL} + C)$                            | ×   | ×  | ×  |
|        | SUBC  | A, #byte     | 2   | 4    | —   | $A, CY \leftarrow A - \text{byte} - CY$                           | ×   | ×  | ×  |
|        |       | saddr, #byte | 3   | 6    | 8   | $(\text{saddr}), CY \leftarrow (\text{saddr}) - \text{byte} - CY$ | ×   | ×  | ×  |
|        |       | A, r 注3      | 2   | 4    | —   | $A, CY \leftarrow A - r - CY$                                     | ×   | ×  | ×  |
|        |       | r, A         | 2   | 4    | —   | $r, CY \leftarrow r - A - CY$                                     | ×   | ×  | ×  |
|        |       | A, saddr     | 2   | 4    | 5   | $A, CY \leftarrow A - (\text{saddr}) - CY$                        | ×   | ×  | ×  |
|        |       | A, laddr16   | 3   | 8    | 9+n | $A, CY \leftarrow A - (\text{laddr16}) - CY$                      | ×   | ×  | ×  |
|        |       | A, [HL]      | 1   | 4    | 5+n | $A, CY \leftarrow A - (\text{HL}) - CY$                           | ×   | ×  | ×  |
|        |       | A, [HL+byte] | 2   | 8    | 9+n | $A, CY \leftarrow A - (\text{HL} + \text{byte}) - CY$             | ×   | ×  | ×  |
|        |       | A, [HL+B]    | 2   | 8    | 9+n | $A, CY \leftarrow A - (\text{HL} + B) - CY$                       | ×   | ×  | ×  |
|        |       | A, [HL+C]    | 2   | 8    | 9+n | $A, CY \leftarrow A - (\text{HL} + C) - CY$                       | ×   | ×  | ×  |
|        | AND   | A, #byte     | 2   | 4    | —   | $A \leftarrow A \wedge \text{byte}$                               | ×   |    |    |
|        |       | saddr, #byte | 3   | 6    | 8   | $(\text{saddr}) \leftarrow (\text{saddr}) \wedge \text{byte}$     | ×   |    |    |
|        |       | A, r 注3      | 2   | 4    | —   | $A \leftarrow A \wedge r$                                         | ×   |    |    |
|        |       | r, A         | 2   | 4    | —   | $r \leftarrow r \wedge A$                                         | ×   |    |    |
|        |       | A, saddr     | 2   | 4    | 5   | $A \leftarrow A \wedge (\text{saddr})$                            | ×   |    |    |
|        |       | A, laddr16   | 3   | 8    | 9+n | $A \leftarrow A \wedge (\text{laddr16})$                          | ×   |    |    |
|        |       | A, [HL]      | 1   | 4    | 5+n | $A \leftarrow A \wedge [\text{HL}]$                               | ×   |    |    |
|        |       | A, [HL+byte] | 2   | 8    | 9+n | $A \leftarrow A \wedge [\text{HL} + \text{byte}]$                 | ×   |    |    |
|        |       | A, [HL+B]    | 2   | 8    | 9+n | $A \leftarrow A \wedge [\text{HL} + B]$                           | ×   |    |    |
|        |       | A, [HL+C]    | 2   | 8    | 9+n | $A \leftarrow A \wedge [\text{HL} + C]$                           | ×   |    |    |

注 1. 内部高速 RAM 領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速 RAM 以外の領域をアクセスしたとき。

3.  $r = A$  を除く。

備考 1. 命令の 1 クロックは PCC で選択した CPU クロック ( $f_{\text{CPU}}$ ) の 1 クロック分です。

2. クロック数は内部 ROM 領域にプログラムがある場合です。

3.  $n$  は外部メモリ拡張領域をリードしたときのウェイト数です。

| 命令群    | 二モニク | オペランド        | バイト | クロック |     | オペレーション                                                       | フラグ<br>Z AC CY |
|--------|------|--------------|-----|------|-----|---------------------------------------------------------------|----------------|
|        |      |              |     | 注1   | 注2  |                                                               |                |
| 8ビット演算 | OR   | A, #byte     | 2   | 4    | —   | $A \leftarrow A \vee \text{byte}$                             | ×              |
|        |      | saddr, #byte | 3   | 6    | 8   | $(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$   | ×              |
|        |      | A, r 注3      | 2   | 4    | —   | $A \leftarrow A \vee r$                                       | ×              |
|        |      | r, A         | 2   | 4    | —   | $r \leftarrow r \vee A$                                       | ×              |
|        |      | A, saddr     | 2   | 4    | 5   | $A \leftarrow A \vee (\text{saddr})$                          | ×              |
|        |      | A, laddr16   | 3   | 8    | 9+n | $A \leftarrow A \vee (\text{addr16})$                         | ×              |
|        |      | A, [HL]      | 1   | 4    | 5+n | $A \leftarrow A \vee (\text{HL})$                             | ×              |
|        |      | A, [HL+byte] | 2   | 8    | 9+n | $A \leftarrow A \vee (\text{HL} + \text{byte})$               | ×              |
|        |      | A, [HL+B]    | 2   | 8    | 9+n | $A \leftarrow A \vee (\text{HL} + B)$                         | ×              |
|        |      | A, [HL+C]    | 2   | 8    | 9+n | $A \leftarrow A \vee (\text{HL} + C)$                         | ×              |
|        | XOR  | A, #byte     | 2   | 4    | —   | $A \leftarrow A \oplus \text{byte}$                           | ×              |
|        |      | saddr, #byte | 3   | 6    | 8   | $(\text{saddr}) \leftarrow (\text{saddr}) \oplus \text{byte}$ | ×              |
|        |      | A, r 注3      | 2   | 4    | —   | $A \leftarrow A \oplus r$                                     | ×              |
|        |      | r, A         | 2   | 4    | —   | $r \leftarrow r \oplus A$                                     | ×              |
|        |      | A, saddr     | 2   | 4    | 5   | $A \leftarrow A \oplus (\text{saddr})$                        | ×              |
|        |      | A, laddr16   | 3   | 8    | 9+n | $A \leftarrow A \oplus (\text{addr16})$                       | ×              |
|        |      | A, [HL]      | 1   | 4    | 5+n | $A \leftarrow A \oplus (\text{HL})$                           | ×              |
|        |      | A, [HL+byte] | 2   | 8    | 9+n | $A \leftarrow A \oplus (\text{HL} + \text{byte})$             | ×              |
|        |      | A, [HL+B]    | 2   | 8    | 9+n | $A \leftarrow A \oplus (\text{HL} + B)$                       | ×              |
|        |      | A, [HL+C]    | 2   | 8    | 9+n | $A \leftarrow A \oplus (\text{HL} + C)$                       | ×              |
|        | CMP  | A, #byte     | 2   | 4    | —   | $A - \text{byte}$                                             | × × ×          |
|        |      | saddr, #byte | 3   | 6    | 8   | $(\text{saddr}) - \text{byte}$                                | × × ×          |
|        |      | A, r 注3      | 2   | 4    | —   | $A - r$                                                       | × × ×          |
|        |      | r, A         | 2   | 4    | —   | $r - A$                                                       | × × ×          |
|        |      | A, saddr     | 2   | 4    | 5   | $A - (\text{saddr})$                                          | × × ×          |
|        |      | A, laddr16   | 3   | 8    | 9+n | $A - (\text{addr16})$                                         | × × ×          |
|        |      | A, [HL]      | 1   | 4    | 5+n | $A - (\text{HL})$                                             | × × ×          |
|        |      | A, [HL+byte] | 2   | 8    | 9+n | $A - (\text{HL} + \text{byte})$                               | × × ×          |
|        |      | A, [HL+B]    | 2   | 8    | 9+n | $A - (\text{HL} + B)$                                         | × × ×          |
|        |      | A, [HL+C]    | 2   | 8    | 9+n | $A - (\text{HL} + C)$                                         | × × ×          |

注 1. 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速RAM以外の領域をアクセスしたとき。

3. r = A を除く。

備考 1. 命令の1クロックはPCCで選択したCPUクロック( $f_{\text{CPU}}$ )の1クロック分です。

2. クロック数は内部ROM領域にプログラムがある場合です。

3. nは外部メモリ拡張領域をリードしたときのウェイト数です。

| 命令群     | ニモニック        | オペランド         | バイト | クロック |          | オペレーション                                                                                               | フラグ |    |    |
|---------|--------------|---------------|-----|------|----------|-------------------------------------------------------------------------------------------------------|-----|----|----|
|         |              |               |     | 注1   | 注2       |                                                                                                       | Z   | AC | CY |
| 16ビット演算 | <b>ADDW</b>  | AX, # word    | 3   | 6    | —        | $AX, CY \leftarrow AX + \text{word}$                                                                  | ×   | ×  | ×  |
|         | <b>SUBW</b>  | AX, # word    | 3   | 6    | —        | $AX, CY \leftarrow AX - \text{word}$                                                                  | ×   | ×  | ×  |
|         | <b>CMPW</b>  | AX, # word    | 3   | 6    | —        | $AX - \text{word}$                                                                                    | ×   | ×  | ×  |
| 乗除算     | <b>MULU</b>  | X             | 2   | 16   | —        | $AX \leftarrow A \times X$                                                                            |     |    |    |
|         | <b>DIVUW</b> | C             | 2   | 25   | —        | $AX(\text{商}), C(\text{余り}) \leftarrow AX \div C$                                                     |     |    |    |
| 増減      | <b>INC</b>   | r             | 1   | 2    | —        | $r \leftarrow r + 1$                                                                                  | ×   | ×  |    |
|         |              | saddr         | 2   | 4    | 6        | $(saddr) \leftarrow (saddr) + 1$                                                                      | ×   | ×  |    |
|         | <b>DEC</b>   | r             | 1   | 2    | —        | $r \leftarrow r - 1$                                                                                  | ×   | ×  |    |
|         |              | saddr         | 2   | 4    | 6        | $(saddr) \leftarrow (saddr) - 1$                                                                      | ×   | ×  |    |
|         | <b>INCW</b>  | rp            | 1   | 4    | —        | $rp \leftarrow rp + 1$                                                                                |     |    |    |
|         | <b>DECW</b>  | rp            | 1   | 4    | —        | $rp \leftarrow rp - 1$                                                                                |     |    |    |
| ローテート   | <b>ROR</b>   | A, 1          | 1   | 2    | —        | $(CY, A_7 \leftarrow A_0, A_{m-1} \leftarrow A_m) \times 1 \text{回}$                                  |     |    | ×  |
|         | <b>ROL</b>   | A, 1          | 1   | 2    | —        | $(CY, A_0 \leftarrow A_7, A_{m+1} \leftarrow A_m) \times 1 \text{回}$                                  |     |    | ×  |
|         | <b>RORC</b>  | A, 1          | 1   | 2    | —        | $(CY \leftarrow A_0, A_7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1 \text{回}$                    |     |    | ×  |
|         | <b>ROLC</b>  | A, 1          | 1   | 2    | —        | $(CY \leftarrow A_7, A_0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1 \text{回}$                    |     |    | ×  |
|         | <b>ROR4</b>  | [HL]          | 2   | 10   | $12+n+m$ | $A_{3-0} \leftarrow (HL)_{3-0}, (HL)_{7-4} \leftarrow A_{3-0},$<br>$(HL)_{3-0} \leftarrow (HL)_{7-4}$ |     |    |    |
|         | <b>ROL4</b>  | [HL]          | 2   | 10   | $12+n+m$ | $A_{3-0} \leftarrow (HL)_{7-4}, (HL)_{3-0} \leftarrow A_{3-0},$<br>$(HL)_{7-4} \leftarrow (HL)_{3-0}$ |     |    |    |
| BCD補正   | <b>ADJBA</b> |               | 2   | 4    | —        | Decimal Adjust Accumulator after Addition                                                             | ×   | ×  | ×  |
|         | <b>ADJBS</b> |               | 2   | 4    | —        | Decimal Adjust Accumulator after Subtract                                                             | ×   | ×  | ×  |
| ビット操作   | <b>MOV1</b>  | CY, saddr.bit | 3   | 6    | 7        | $CY \leftarrow (saddr.bit)$                                                                           |     |    | ×  |
|         |              | CY, sfr.bit   | 3   | —    | 7        | $CY \leftarrow sfr.bit$                                                                               |     |    | ×  |
|         |              | CY, A.bit     | 2   | 4    | —        | $CY \leftarrow A.bit$                                                                                 |     |    | ×  |
|         |              | CY, PSW.bit   | 3   | —    | 7        | $CY \leftarrow PSW.bit$                                                                               |     |    | ×  |
|         |              | CY, [HL].bit  | 2   | 6    | $7+n$    | $CY \leftarrow (HL).bit$                                                                              |     |    | ×  |
|         |              | saddr.bit, CY | 3   | 6    | 8        | $(saddr.bit) \leftarrow CY$                                                                           |     |    |    |
|         |              | sfr.bit, CY   | 3   | —    | 8        | $sfr.bit \leftarrow CY$                                                                               |     |    |    |
|         |              | A.bit, CY     | 2   | 4    | —        | $A.bit \leftarrow CY$                                                                                 |     |    |    |
|         |              | PSW.bit, CY   | 3   | —    | 8        | $PSW.bit \leftarrow CY$                                                                               | ×   | ×  |    |
|         |              | [HL].bit, CY  | 2   | 6    | $8+n+m$  | $(HL).bit \leftarrow CY$                                                                              |     |    |    |

注 1. 内部高速 RAM 領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速 RAM 以外の領域をアクセスしたとき。

備考 1. 命令の 1 クロックは PCC で選択した CPU クロック ( $f_{CPU}$ ) の 1 クロック分です。

2. クロック数は内部 ROM 領域にプログラムがある場合です。

3. n は外部メモリ拡張領域をリードしたときのウェイト数です。

4. m は外部メモリ拡張領域をライトしたときのウェイト数です。



| 命令群   | ニモニック | オペランド         | バイト | クロック |       | オペレーション                               | フラグ |    |    |
|-------|-------|---------------|-----|------|-------|---------------------------------------|-----|----|----|
|       |       |               |     | 注1   | 注2    |                                       | Z   | AC | CY |
| ビット操作 | AND1  | CY, saddr.bit | 3   | 6    | 7     | $CY \leftarrow CY \wedge (saddr.bit)$ |     |    | ×  |
|       |       | CY, sfr.bit   | 3   | —    | 7     | $CY \leftarrow CY \wedge sfr.bit$     |     |    | ×  |
|       |       | CY, A.bit     | 2   | 4    | —     | $CY \leftarrow CY \wedge A.bit$       |     |    | ×  |
|       |       | CY, PSW.bit   | 3   | —    | 7     | $CY \leftarrow CY \wedge PSW.bit$     |     |    | ×  |
|       |       | CY, [HL].bit  | 2   | 6    | 7+n   | $CY \leftarrow CY \wedge (HL).bit$    |     |    | ×  |
|       | OR1   | CY, saddr.bit | 3   | 6    | 7     | $CY \leftarrow CY \vee (saddr.bit)$   |     |    | ×  |
|       |       | CY, sfr.bit   | 3   | —    | 7     | $CY \leftarrow CY \vee sfr.bit$       |     |    | ×  |
|       |       | CY, A.bit     | 2   | 4    | —     | $CY \leftarrow CY \vee A.bit$         |     |    | ×  |
|       |       | CY, PSW.bit   | 3   | —    | 7     | $CY \leftarrow CY \vee PSW.bit$       |     |    | ×  |
|       |       | CY, [HL].bit  | 2   | 6    | 7+n   | $CY \leftarrow CY \vee (HL).bit$      |     |    | ×  |
|       | XOR1  | CY, saddr.bit | 3   | 6    | 7     | $CY \leftarrow CY \oplus (saddr.bit)$ |     |    | ×  |
|       |       | CY, sfr.bit   | 3   | —    | 7     | $CY \leftarrow CY \oplus sfr.bit$     |     |    | ×  |
|       |       | CY, A.bit     | 2   | 4    | —     | $CY \leftarrow CY \oplus A.bit$       |     |    | ×  |
|       |       | CY, PSW.bit   | 3   | —    | 7     | $CY \leftarrow CY \oplus PSW.bit$     |     |    | ×  |
|       |       | CY, [HL].bit  | 2   | 6    | 7+n   | $CY \leftarrow CY \oplus (HL).bit$    |     |    | ×  |
|       | SET1  | saddr.bit     | 2   | 4    | 6     | $(saddr.bit) \leftarrow 1$            |     |    |    |
|       |       | sfr.bit       | 3   | —    | 8     | $sfr.bit \leftarrow 1$                |     |    |    |
|       |       | A.bit         | 2   | 4    | —     | $A.bit \leftarrow 1$                  |     |    |    |
|       |       | PSW.bit       | 2   | —    | 6     | $PSW.bit \leftarrow 1$                | ×   | ×  | ×  |
|       |       | [HL].bit      | 2   | 6    | 8+n+m | $(HL).bit \leftarrow 1$               |     |    |    |
|       | CLR1  | saddr.bit     | 2   | 4    | 6     | $(saddr.bit) \leftarrow 0$            |     |    |    |
|       |       | sfr.bit       | 3   | —    | 8     | $sfr.bit \leftarrow 0$                |     |    |    |
|       |       | A.bit         | 2   | 4    | —     | $A.bit \leftarrow 0$                  |     |    |    |
|       |       | PSW.bit       | 2   | —    | 6     | $PSW.bit \leftarrow 0$                | ×   | ×  | ×  |
|       |       | [HL].bit      | 2   | 6    | 8+n+m | $(HL).bit \leftarrow 0$               |     |    |    |
|       | SET1  | CY            | 1   | 2    | —     | $CY \leftarrow 1$                     |     |    | 1  |
|       | CLR1  | CY            | 1   | 2    | —     | $CY \leftarrow 0$                     |     |    | 0  |
|       | NOT1  | CY            | 1   | 2    | —     | $CY \leftarrow \overline{CY}$         |     |    | ×  |

注 1. 内部高速 RAM 領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速 RAM 以外の領域をアクセスしたとき。

備考 1. 命令の 1 クロックは PCC で選択した CPU クロック ( $f_{CPU}$ ) の 1 クロック分です。

2. クロック数は内部 ROM 領域にプログラムがある場合です。

3. n は外部メモリ拡張領域をリードしたときのウェイト数です。

4. m は外部メモリ拡張領域をライトしたときのウェイト数です。

| 命令群      | ニモニク         | オペランド      | バイト | クロック |    | オペレーション                                                                                                                                                                           | フラグ |    |    |
|----------|--------------|------------|-----|------|----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|----|----|
|          |              |            |     | 注1   | 注2 |                                                                                                                                                                                   | Z   | AC | CY |
| コール・リターン | <b>CALL</b>  | !addr16    | 3   | 7    | —  | $(SP-1) \leftarrow (PC+3)_H, (SP-2) \leftarrow (PC+3)_L,$<br>$PC \leftarrow \text{addr16}, SP \leftarrow SP-2$                                                                    |     |    |    |
|          | <b>CALLF</b> | !addr11    | 2   | 5    | —  | $(SP-1) \leftarrow (PC+2)_H, (SP-2) \leftarrow (PC+2)_L,$<br>$PC_{15-11} \leftarrow 00001, PC_{10-0} \leftarrow \text{addr11},$<br>$SP \leftarrow SP-2$                           |     |    |    |
|          | <b>CALLT</b> | [addr5]    | 1   | 6    | —  | $(SP-1) \leftarrow (PC+1)_H, (SP-2) \leftarrow (PC+1)_L,$<br>$PC_H \leftarrow (00000000, \text{addr5}+1),$<br>$PC_L \leftarrow (00000000, \text{addr5}),$<br>$SP \leftarrow SP-2$ |     |    |    |
|          | <b>BRK</b>   |            | 1   | 6    | —  | $(SP-1) \leftarrow PSW, (SP-2) \leftarrow (PC+1)_H,$<br>$(SP-3) \leftarrow (PC+1)_L, PC_H \leftarrow (003FH),$<br>$PC_L \leftarrow (003EH), SP \leftarrow SP-3, IE \leftarrow 0$  |     |    |    |
|          | <b>RET</b>   |            | 1   | 6    | —  | $PC_H \leftarrow (SP+1), PC_L \leftarrow (SP),$<br>$SP \leftarrow SP+2$                                                                                                           |     |    |    |
|          | <b>RETI</b>  |            | 1   | 6    | —  | $PC_H \leftarrow (SP+1), PC_L \leftarrow (SP),$<br>$PSW \leftarrow (SP+2), SP \leftarrow SP+3,$<br>$NMIS \leftarrow 0$                                                            | R   | R  | R  |
|          | <b>RETB</b>  |            | 1   | 6    | —  | $PC_H \leftarrow (SP+1), PC_L \leftarrow (SP),$<br>$PSW \leftarrow (SP+2), SP \leftarrow SP+3$                                                                                    | R   | R  | R  |
| スタック操作   | <b>PUSH</b>  | PSW        | 1   | 2    | —  | $(SP-1) \leftarrow PSW, SP \leftarrow SP-1$                                                                                                                                       |     |    |    |
|          |              | rp         | 1   | 4    | —  | $(SP-1) \leftarrow rp_H, (SP-2) \leftarrow rp_L,$<br>$SP \leftarrow SP-2$                                                                                                         |     |    |    |
|          | <b>POP</b>   | PSW        | 1   | 2    | —  | $PSW \leftarrow (SP), SP \leftarrow SP+1$                                                                                                                                         | R   | R  | R  |
|          |              | rp         | 1   | 4    | —  | $rp_H \leftarrow (SP+1), rp_L \leftarrow (SP),$<br>$SP \leftarrow SP+2$                                                                                                           |     |    |    |
|          | <b>MOVW</b>  | SP, # word | 4   | —    | 10 | $SP \leftarrow \text{word}$                                                                                                                                                       |     |    |    |
|          |              | SP, AX     | 2   | —    | 8  | $SP \leftarrow AX$                                                                                                                                                                |     |    |    |
|          |              | AX, SP     | 2   | —    | 8  | $AX \leftarrow SP$                                                                                                                                                                |     |    |    |
| 無条件分岐    | <b>BR</b>    | !addr16    | 3   | 6    | —  | $PC \leftarrow \text{addr16}$                                                                                                                                                     |     |    |    |
|          |              | \$addr16   | 2   | 6    | —  | $PC \leftarrow PC+2+jdisp8$                                                                                                                                                       |     |    |    |
|          |              | AX         | 2   | 8    | —  | $PC_H \leftarrow A, PC_L \leftarrow X$                                                                                                                                            |     |    |    |
| 条件付き分岐   | <b>BC</b>    | \$addr16   | 2   | 6    | —  | $PC \leftarrow PC+2+jdisp8$ if CY=1                                                                                                                                               |     |    |    |
|          | <b>BNC</b>   | \$addr16   | 2   | 6    | —  | $PC \leftarrow PC+2+jdisp8$ if CY=0                                                                                                                                               |     |    |    |
|          | <b>BZ</b>    | \$addr16   | 2   | 6    | —  | $PC \leftarrow PC+2+jdisp8$ if Z=1                                                                                                                                                |     |    |    |
|          | <b>BNZ</b>   | \$addr16   | 2   | 6    | —  | $PC \leftarrow PC+2+jdisp8$ if Z=0                                                                                                                                                |     |    |    |

注 1. 内部高速 RAM 領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速 RAM 以外の領域をアクセスしたとき。

備考 1. 命令の 1 クロックは PCC で選択した CPU クロック ( $f_{CPU}$ ) の 1 クロック分です。

2. クロック数は内部 ROM 領域にプログラムがある場合です。

| 命令群    | 二モニク  | オペランド                | バイト | クロック |        | オペレーション                                                                                       | フラグ<br>Z AC CY |
|--------|-------|----------------------|-----|------|--------|-----------------------------------------------------------------------------------------------|----------------|
|        |       |                      |     | 注1   | 注2     |                                                                                               |                |
| 条件付き分岐 | BT    | saddr.bit, \$saddr16 | 3   | 8    | 9      | $PC \leftarrow PC + 3 + jdisp8$ if (saddr.bit) = 1                                            |                |
|        |       | sfr.bit, \$saddr16   | 4   | —    | 11     | $PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 1                                                |                |
|        |       | A.bit, \$saddr16     | 3   | 8    | —      | $PC \leftarrow PC + 3 + jdisp8$ if A.bit = 1                                                  |                |
|        |       | PSW.bit, \$saddr16   | 3   | —    | 9      | $PC \leftarrow PC + 3 + jdisp8$ if PSW.bit = 1                                                |                |
|        |       | [HL].bit, \$saddr16  | 3   | 10   | 11+n   | $PC \leftarrow PC + 3 + jdisp8$ if (HL).bit = 1                                               |                |
|        | BF    | saddr.bit, \$saddr16 | 4   | 10   | 11     | $PC \leftarrow PC + 4 + jdisp8$ if (saddr.bit) = 0                                            |                |
|        |       | sfr.bit, \$saddr16   | 4   | —    | 11     | $PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 0                                                |                |
|        |       | A.bit, \$saddr16     | 3   | 8    | —      | $PC \leftarrow PC + 3 + jdisp8$ if A.bit = 0                                                  |                |
|        |       | PSW.bit, \$saddr16   | 4   | —    | 11     | $PC \leftarrow PC + 4 + jdisp8$ if PSW.bit = 0                                                |                |
|        |       | [HL].bit, \$saddr16  | 3   | 10   | 11+n   | $PC \leftarrow PC + 3 + jdisp8$ if (HL).bit = 0                                               |                |
|        | BTCLR | saddr.bit, \$saddr16 | 4   | 10   | 12     | $PC \leftarrow PC + 4 + jdisp8$<br>if (saddr.bit) = 1<br>then reset(saddr.bit)                |                |
|        |       | sfr.bit, \$saddr16   | 4   | —    | 12     | $PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 1<br>then reset sfr.bit                          |                |
|        |       | A.bit, \$saddr16     | 3   | 8    | —      | $PC \leftarrow PC + 3 + jdisp8$ if A.bit = 1<br>then reset A.bit                              |                |
|        |       | PSW.bit, \$saddr16   | 4   | —    | 12     | $PC \leftarrow PC + 4 + jdisp8$ if PSW.bit = 1<br>then reset PSW.bit                          | × × ×          |
|        |       | [HL].bit, \$saddr16  | 3   | 10   | 12+n+m | $PC \leftarrow PC + 3 + jdisp8$ if (HL).bit = 1<br>then reset (HL).bit                        |                |
|        | DBNZ  | B, \$saddr16         | 2   | 6    | —      | $B \leftarrow B - 1$ , then<br>$PC \leftarrow PC + 2 + jdisp8$ if $B \neq 0$                  |                |
|        |       | C, \$saddr16         | 2   | 6    | —      | $C \leftarrow C - 1$ , then<br>$PC \leftarrow PC + 2 + jdisp8$ if $C \neq 0$                  |                |
|        |       | saddr, \$saddr16     | 3   | 8    | 10     | (saddr) $\leftarrow$ (saddr) - 1, then<br>$PC \leftarrow PC + 3 + jdisp8$ if (saddr) $\neq 0$ |                |
| CPU制御  | SEL   | RBn                  | 2   | 4    | —      | $RBS1, 0 \leftarrow n$                                                                        |                |
|        | NOP   |                      | 1   | 2    | —      | No Operation                                                                                  |                |
|        | EI    |                      | 2   | —    | 6      | $IE \leftarrow 1$ (Enable Interrupt)                                                          |                |
|        | DI    |                      | 2   | —    | 6      | $IE \leftarrow 0$ (Disable Interrupt)                                                         |                |
|        | HALT  |                      | 2   | 6    | —      | Set HALT Mode                                                                                 |                |
|        | STOP  |                      | 2   | 6    | —      | Set STOP Mode                                                                                 |                |

注 1. 内部高速 RAM 領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2. 内部高速 RAM 以外の領域をアクセスしたとき。

備考 1. 命令の 1 クロックは PCC で選択した CPU クロック ( $f_{CPU}$ ) の 1 クロック分です。

2. クロック数は内部 ROM 領域にプログラムがある場合です。

3. n は外部メモリ拡張領域をリードしたときのウェイト数です。

4. m は外部メモリ拡張領域をライトしたときのウェイト数です。

## 24.3 アドレッシング別命令一覧

### (1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR,  
ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

| 第2オペランド<br>第1オペランド                  | # byte                                                       | A                                                            | 注                                                                   | sfr        | saddr                                                               | ! addr16                                                            | PSW | [DE]       | [HL]                                                                | [HL+byte]<br>[HL+B]<br>[HL+C]                                       | \$addr16 | 1                          | なし           |
|-------------------------------------|--------------------------------------------------------------|--------------------------------------------------------------|---------------------------------------------------------------------|------------|---------------------------------------------------------------------|---------------------------------------------------------------------|-----|------------|---------------------------------------------------------------------|---------------------------------------------------------------------|----------|----------------------------|--------------|
| A                                   | ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP        |                                                              | MOV<br>XCH<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV<br>XCH | MOV<br>XCH<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV<br>XCH<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV | MOV<br>XCH | MOV<br>XCH<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV<br>XCH<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP |          | ROR<br>ROL<br>RORC<br>ROLC |              |
| r                                   | MOV                                                          | MOV<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP |                                                                     |            |                                                                     |                                                                     |     |            |                                                                     |                                                                     |          |                            | INC<br>DEC   |
| rl                                  |                                                              |                                                              |                                                                     |            |                                                                     |                                                                     |     |            |                                                                     |                                                                     | DBNZ     |                            |              |
| sfr                                 | MOV                                                          | MOV                                                          |                                                                     |            |                                                                     |                                                                     |     |            |                                                                     |                                                                     |          |                            |              |
| saddr                               | MOV<br>ADD<br>ADDC<br>SUB<br>SUBC<br>AND<br>OR<br>XOR<br>CMP | MOV                                                          |                                                                     |            |                                                                     |                                                                     |     |            |                                                                     |                                                                     | DBNZ     |                            | INC<br>DEC   |
| ! addr16                            |                                                              | MOV                                                          |                                                                     |            |                                                                     |                                                                     |     |            |                                                                     |                                                                     |          |                            |              |
| PSW                                 | MOV                                                          | MOV                                                          |                                                                     |            |                                                                     |                                                                     |     |            |                                                                     |                                                                     |          |                            | PUSH<br>POP  |
| [DE]                                |                                                              | MOV                                                          |                                                                     |            |                                                                     |                                                                     |     |            |                                                                     |                                                                     |          |                            |              |
| [HL]                                |                                                              | MOV                                                          |                                                                     |            |                                                                     |                                                                     |     |            |                                                                     |                                                                     |          |                            | ROR4<br>ROL4 |
| [HL + byte]<br>[HL + B]<br>[HL + C] |                                                              | MOV                                                          |                                                                     |            |                                                                     |                                                                     |     |            |                                                                     |                                                                     |          |                            |              |
| X                                   |                                                              |                                                              |                                                                     |            |                                                                     |                                                                     |     |            |                                                                     |                                                                     |          |                            | MULU         |
| C                                   |                                                              |                                                              |                                                                     |            |                                                                     |                                                                     |     |            |                                                                     |                                                                     |          |                            | DIVUW        |

注 r = A は除く。

## (2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

| 第2オペランド<br>第1オペランド | # word               | AX                | rp <sup>注</sup> | sfrp | saddrp | ! addr16 | SP   | なし                          |
|--------------------|----------------------|-------------------|-----------------|------|--------|----------|------|-----------------------------|
| AX                 | ADDW<br>SUBW<br>CMPW |                   | MOVW<br>XCHW    | MOVW | MOVW   | MOVW     | MOVW |                             |
| rp                 | MOVW                 | MOVW <sup>注</sup> |                 |      |        |          |      | INCW<br>DECW<br>PUSH<br>POP |
| sfrp               | MOVW                 | MOVW              |                 |      |        |          |      |                             |
| saddrp             | MOVW                 | MOVW              |                 |      |        |          |      |                             |
| ! addr16           |                      | MOVW              |                 |      |        |          |      |                             |
| SP                 | MOVW                 | MOVW              |                 |      |        |          |      |                             |

注 rp = BC, DE, HL のときのみ。

## (3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

| 第2オペランド<br>第1オペランド | A.bit                       | sfr.bit                     | saddr.bit                   | PSW.bit                     | [HL].bit                    | CY   | \$addr16          | なし                   |
|--------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|------|-------------------|----------------------|
| A.bit              |                             |                             |                             |                             |                             | MOV1 | BT<br>BF<br>BTCLR | SET1<br>CLR1         |
| sfr.bit            |                             |                             |                             |                             |                             | MOV1 | BT<br>BF<br>BTCLR | SET1<br>CLR1         |
| saddr.bit          |                             |                             |                             |                             |                             | MOV1 | BT<br>BF<br>BTCLR | SET1<br>CLR1         |
| PSW.bit            |                             |                             |                             |                             |                             | MOV1 | BT<br>BF<br>BTCLR | SET1<br>CLR1         |
| [HL].bit           |                             |                             |                             |                             |                             | MOV1 | BT<br>BF<br>BTCLR | SET1<br>CLR1         |
| CY                 | MOV1<br>AND1<br>OR1<br>XOR1 | MOV1<br>AND1<br>OR1<br>XOR1 | MOV1<br>AND1<br>OR1<br>XOR1 | MOV1<br>AND1<br>OR1<br>XOR1 | MOV1<br>AND1<br>OR1<br>XOR1 |      |                   | SET1<br>CLR1<br>NOT1 |

## (4) コール命令/分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

| 第2オペランド<br>第1オペランド | AX | !addr16    | !addr11 | [addr5] | \$addr16                     |
|--------------------|----|------------|---------|---------|------------------------------|
| 基本命令               | BR | CALL<br>BR | CALLF   | CALLT   | BR<br>BC<br>BNC<br>BZ<br>BNZ |
| 複合命令               |    |            |         |         | BT<br>BF<br>BTCLR<br>DBNZ    |

## (5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

(× ㉔)



## 付録 A 開発ツール

μPD78098サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。

### 言語処理用ソフトウェア

|                                     |                                                                                                       |
|-------------------------------------|-------------------------------------------------------------------------------------------------------|
| RA78K/0<br>リロケータブル・アセンブラ            | ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。<br>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 |
|                                     | オーダ名称: μS××××RA78K0                                                                                   |
| CC78K/0<br>C コンパイラ                  | C 言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。                                                      |
|                                     | オーダ名称: μS××××CC78K0                                                                                   |
| CC78K/0-L<br>C コンパイラ・ライブラリ・ソース・ファイル | CC78K/0 C コンパイラに含まれているオブジェクト・ライブラリを構成する関数のソース・プログラムです。                                                |
|                                     | オーダ名称: μS××××CC78K0-L                                                                                 |

備考 1. CC78K/0 C コンパイラ・パッケージを使用するときは, RA78K/0 アセンブラ・パッケージ(別売)が必要です。

2. CC78K/0-L C コンパイラ・ライブラリ・ソース・ファイルは, CC78K/0 C コンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更される場合にご購入ください。

3. オーダ名称の××××は, 使用するホスト・マシンにより異なります。下表を参照してください。

| ホスト・マシン              | OS                                                    | 供給媒体                  | オーダ名称の<br>××××部分 |
|----------------------|-------------------------------------------------------|-----------------------|------------------|
| PC-9800 シリーズ         | MS-DOS™<br>(Ver.3.30<br>↓<br>Ver.5.00A <sup>注</sup> ) | 3.5インチ 2HD            | 5A13             |
|                      |                                                       | 5 インチ 2HD             | 5A10             |
| IBM PC/AT™           | PC DOS™<br>(Ver.3.3<br>↓<br>Ver.5.0 <sup>注</sup> )    | 3.5インチ 2HC            | 7B13             |
|                      |                                                       | 5 インチ 2HC             | 7B10             |
| HP9000 シリーズ300™      | HP-UX™<br>(rel.7.05B)                                 | カートリッジテープ<br>(QIC-24) | 3H15             |
| SPARCstation™        | Sun OS™<br>(rel.4.1.1)                                |                       | 3K15             |
| EWS-4800 シリーズ (RISC) | EWS-UX/V<br>(rel.4.0)                                 |                       | 3M15             |

注 MS-DOS の Ver.5.00/5.00A, PC DOS の Ver.5.0 にはタスク・スワップ機能がありますが, このソフトウェアではタスク・スワップ機能は使用できません。

★

付

## PROM 書き込み用ツール

|        |                              |                                                                                                                                                                         |                                          |              |
|--------|------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------|--------------|
| ハードウェア | PG-1500                      | 付属ボードおよび別売のプログラマ・アダプタを接続することにより、PROM 内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたはホスト・マシンからの操作によりプログラミングできる PROM プログラマです。<br>また、256 K ビットから 4 M ビットまでの代表的な PROM をプログラミングすることもできます。 |                                          |              |
|        | PA-78P054GC<br>PA-78P054KK-T | μPD78P054 と共通の PROM プログラマ・アダプタで、PG-1500 に接続して使用します。<br>PA-78P054GC : 80ピン・プラスチック QFP (□14 mm) 用<br>PA-78P054KK-T : 80ピン・セラミック WQFN 用                                    |                                          |              |
| ソフトウェア | PG-1500<br>コントローラ            | PG-1500 とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上で PG-1500 を制御します。                                                                                                      |                                          |              |
|        |                              | ホスト・マシン                                                                                                                                                                 | OS                                       | 供給媒体         |
|        |                              | PC-9800 シリーズ                                                                                                                                                            | MS-DOS<br>(Ver.3.30<br> <br>Ver.5.00A 注) | 3.5 インチ 2HD  |
|        |                              |                                                                                                                                                                         |                                          | 5 インチ 2HD    |
|        |                              | IBM PC/AT                                                                                                                                                               | PC DOS<br>(Ver.3.3<br> <br>Ver.5.0 注)    | 3.5 インチ 2HC  |
|        |                              |                                                                                                                                                                         |                                          | 5 インチ 2HC    |
|        |                              |                                                                                                                                                                         |                                          | オーダ名称 (品名)   |
|        |                              |                                                                                                                                                                         |                                          | μS5A13PG1500 |
|        |                              |                                                                                                                                                                         |                                          | μS5A10PG1500 |
|        |                              |                                                                                                                                                                         |                                          | μS7B13PG1500 |
|        |                              |                                                                                                                                                                         |                                          | μS7B10PG1500 |

注 MS-DOS の Ver.5.00/5.00A, PC DOS の Ver.5.0 にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

## デバッグ用ツール

$\mu$ PD78098サブシリーズのデバッグ用ツールとしてインサーキット・エミュレータ (IE-78000-R) を用意しています。システム構成を次に示します。

## デバッグ用ツール (1/2)

|        |               |                                                                                                                                                             |
|--------|---------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------|
| ハードウェア | IE-78000-R    | IE-78000-R は、78K/0 シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのデバッグを行うためのインサーキット・エミュレータです。エミュレーション・プローブと組み合わせて使用します。<br>ホスト・マシン、PROM プログラムと接続して効率的にデバッグを行うことができます。 |
|        | IE-78098-R-EM | $\mu$ PD78098サブシリーズ用のエミュレーション・ボードです。                                                                                                                        |
|        | EP-78230GC-R  | $\mu$ PD78234サブシリーズと共通のエミュレーション・プローブです。<br>80ピン・プラスチック QFP (□14 mm) 用です。<br>ユーザ・システムの開発を容易にする80ピン変換ソケットEV-9200GC-80が1個添付されています。                             |
|        | EV-9200GC-80  | 80ピン・プラスチック QFP (□14 mm) を実装できるように作られたユーザ・システムの基板と、EP-78230GC-R を接続するための変換ソケットです。<br>EP-78230GC-R を接続する代わりに $\mu$ PD78P098AKK-T (セラミック WQFN) を実装することもできます。  |
|        | EV-9900       | EV-9200GC-80から $\mu$ PD78P098AKK-T を取り外す際に使用する治具です。                                                                                                         |

★

備考 1. 上記のツールは、 $\mu$ PD78098サブシリーズのすべての製品に共通に使用できます。

2. EV-9200GC-80 は 5 個を 1 組として、1 組単位で販売しています。

## ディバグ用ツール (2/2)

ソフトウェア

|           |                                                                                                             |                                                 |              |              |
|-----------|-------------------------------------------------------------------------------------------------------------|-------------------------------------------------|--------------|--------------|
| SD78K/0   | 78 K/0 シリーズ用のスクリーン・ディバッガです。<br>IE-78000-R とホスト・マシンをシリアルまたはパラレル・インタフェースで接続し、<br>ホスト・マシン上で IE-78000-R を制御します。 |                                                 |              |              |
|           | ホスト・マシン                                                                                                     | OS                                              | 供給媒体         | オーダ名称 (品名)   |
|           |                                                                                                             |                                                 |              |              |
|           | PC-9800 シリーズ                                                                                                | MS-DOS<br>(Ver.3.30<br>Ver.5.00A <sup>注</sup> ) | 3.5インチ 2HD   | μS5A13SD78K0 |
|           |                                                                                                             |                                                 | 5 インチ 2HD    | μS5A10SD78K0 |
|           | IBM PC/AT                                                                                                   | PC DOS<br>(Ver.3.3<br>Ver.5.0 <sup>注</sup> )    | 3.5インチ 2HC   | μS7B13SD78K0 |
| 5 インチ 2HC |                                                                                                             |                                                 | μS7B10SD78K0 |              |

|           |                                                       |                                                 |               |               |
|-----------|-------------------------------------------------------|-------------------------------------------------|---------------|---------------|
| DF78098   | μPD78098サブシリーズ用のデバイス・ファイルです。<br>SD78K/0 と組み合わせて使用します。 |                                                 |               |               |
|           | ホスト・マシン                                               | OS                                              | 供給媒体          | オーダ名称 (品名)    |
|           |                                                       |                                                 |               |               |
|           | PC-9800 シリーズ                                          | MS-DOS<br>(Ver.3.30<br>Ver.5.00A <sup>注</sup> ) | 3.5インチ 2HD    | μS5A13DF78098 |
|           |                                                       |                                                 | 5 インチ 2HD     | μS5A10DF78098 |
|           | IBM PC/AT                                             | PC DOS<br>(Ver.3.3<br>Ver.5.0 <sup>注</sup> )    | 3.5インチ 2HC    | μS7B13DF78098 |
| 5 インチ 2HC |                                                       |                                                 | μS7B10DF78098 |               |

注 MS-DOS の Ver.5.00/5.00A, PC DOS の Ver.5.0 にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

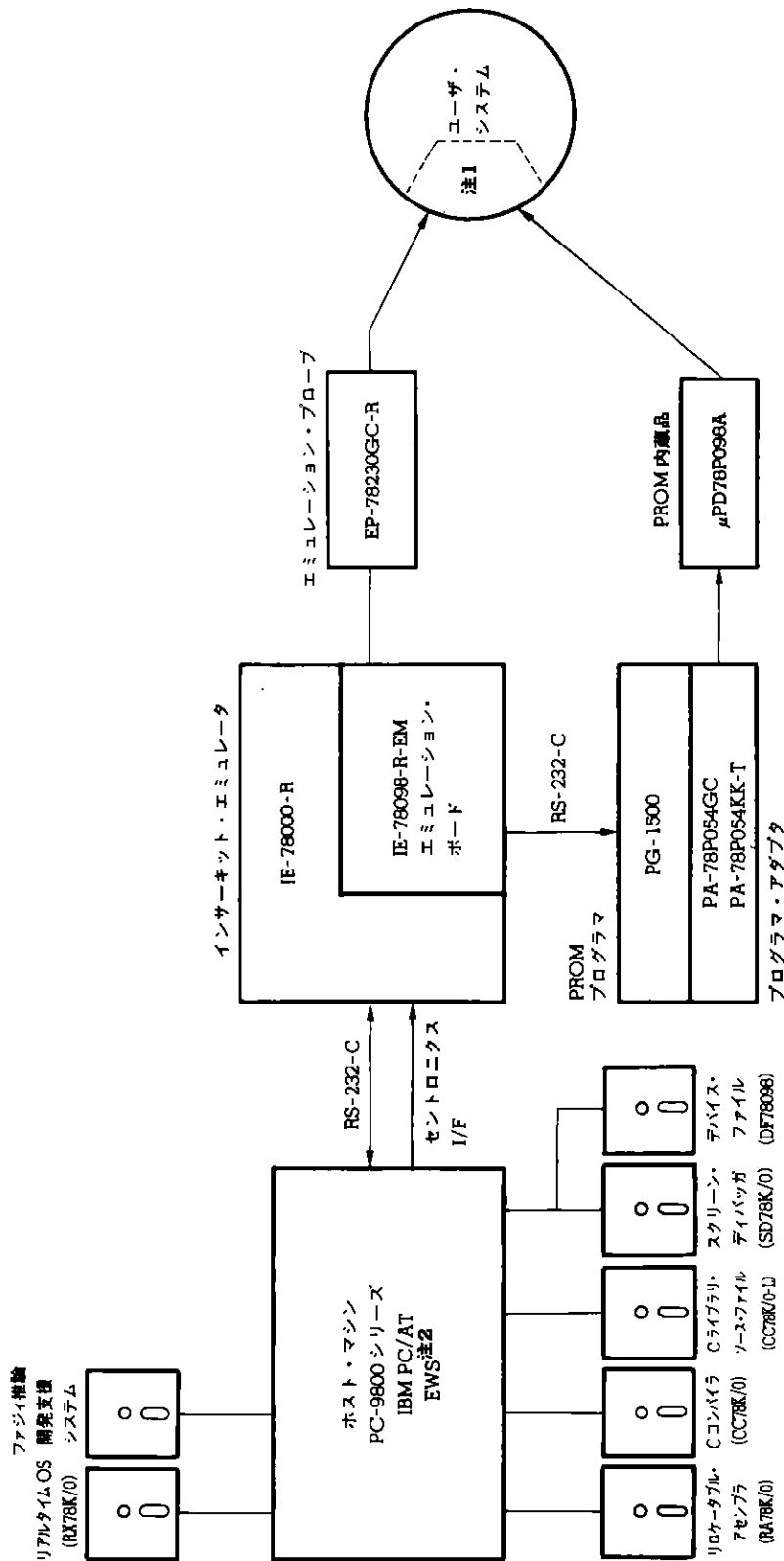
備考 上記のツールは、μPD78098サブシリーズのすべての製品に共通に使用できます。

## 他のインサーキット・エミュレータから IE-78000-R へのシステム・アップ方法

すでに 78K シリーズまたは 75X シリーズ用のインサーキット・エミュレータをお持ちの場合、本体内部のブレイク・ボードを IE-78000-R-BK に交換することにより、お持ちのインサーキット・エミュレータを 78K/0 用のインサーキット・エミュレータ IE-78000-R と同等に使用することができます。

| シリーズ名称       | お持ちのインサーキット・エミュレータ       | ご購入の必要なボード    |
|--------------|--------------------------|---------------|
| 75X シリーズ     | IE-75000-R, IE-75001-R   | IE-78000-R-BK |
| 78K/I シリーズ   | IE-78130-R, IE-78140-R   |               |
| 78K/II シリーズ  | IE-78230-R, IE-78230-R-A |               |
|              | IE-78240-R, IE-78240-R-A |               |
| 78K/III シリーズ | IE-78320-R, IE-78327-R   |               |
|              | IE-78330-R, IE-78350-R   |               |
| 78K/VI シリーズ  | IE-78600-R               |               |

# 開発ツール構成

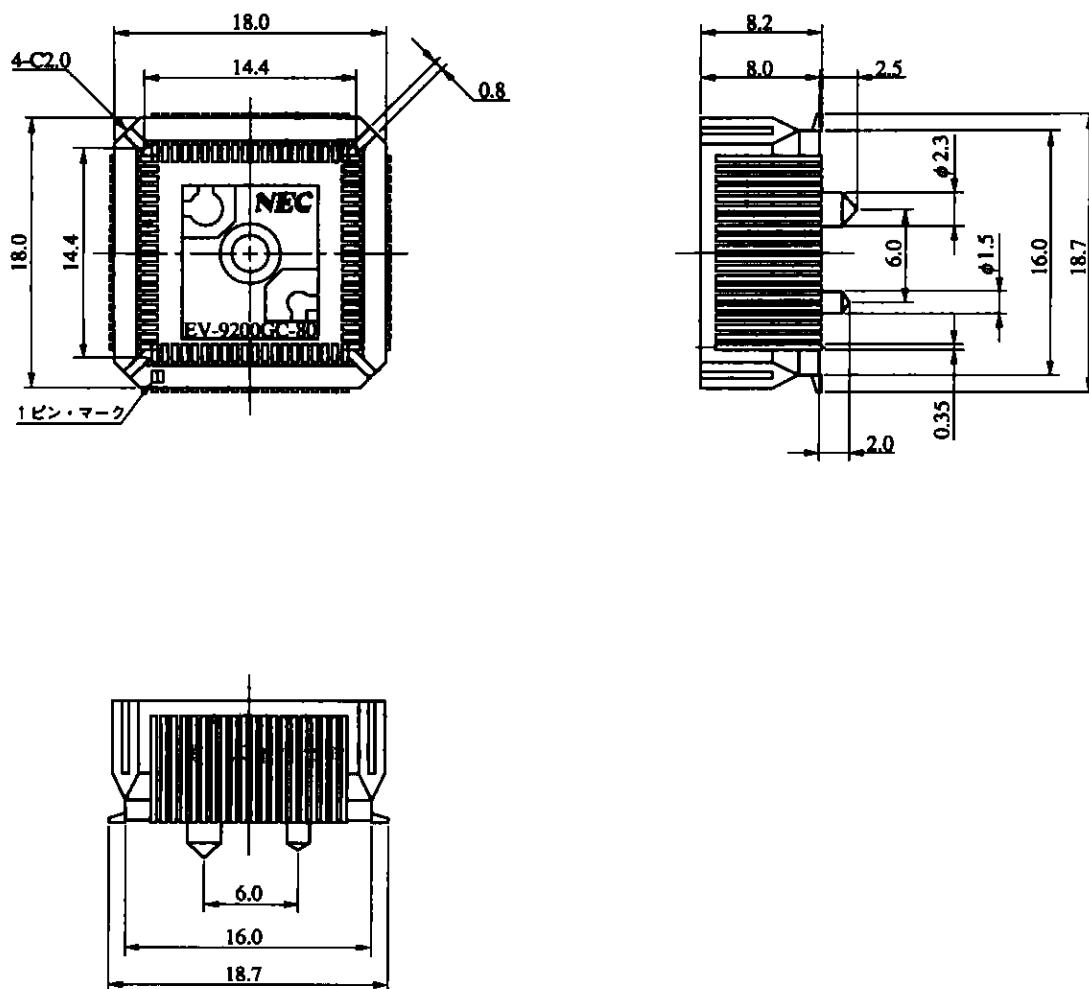


注1. EV-9200GC-80 (EP-78230GC-R または μPD78P098AKK-T を使用する場合)

2. EWS (HP9000 シリーズ 300, SPARCstation, EWS-4800 シリーズ) では、言語処理用ソフトウェアのみ動作します。

変換ソケット (EV-9200GC-80) の外形図と基板取り付け推奨パターン

図 A - 1 EV-9200GC-80 外形図 (参考) (単位 : mm)



EV-9200GC-80-G0

[illegible]

**注意** EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法（QFP用）は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル、IEI-616」をご参照ください。



## 付録 B 組み込み用ソフトウェア

### リアルタイム OS

|                      |                                                                         |
|----------------------|-------------------------------------------------------------------------|
| RX78K/0<br>リアルタイム OS | RX78K/0 は、 $\mu$ ITRON 仕様に準拠したリアルタイム OS です。                             |
|                      | RX78K/0 のニュークリアスと複数の情報テーブルを作成するためのツール(コンフィギュレータ)を添付しています。               |
|                      | オーダ名称: $\mu$ S $\times\times\times$ RX78013- $\Delta\Delta\Delta\Delta$ |

- 注意 1. RX78K/0 を使用するときは、RA78K/0 アセンブラ・パッケージ (別売) が必要です。
2. RX78K/0 を購入する場合、事前に購入申込書にご記入の上、使用許諾契約書を締結してください。

備考 オーダ名称はホスト・マシン、OS などにより異なります。

$\mu$ S $\times\times\times$ RX78013- $\Delta\Delta\Delta\Delta$

| $\Delta\Delta\Delta\Delta$ | 製品概要      | 量産時使用数量の上限          |
|----------------------------|-----------|---------------------|
| 001                        | 評価用オブジェクト | 量産品には使用しないでください。    |
| 100K                       | 量産用オブジェクト | 10万個                |
| 001M                       |           | 100万個               |
| 010M                       |           | 1000万個              |
| S01                        | ソース・プログラム | 量産用オブジェクトのソース・プログラム |

| $\times\times\times\times$ | ホスト・マシン                 | OS                                              | 供給媒体                   |
|----------------------------|-------------------------|-------------------------------------------------|------------------------|
| 5A13                       | PC-9800 シリーズ            | MS-DOS<br>(Ver.3.30<br>Ver.5.00A <sup>注</sup> ) | 3.5インチ 2HD             |
| 5A10                       |                         |                                                 | 5 インチ 2HD              |
| 7B13                       | IBM PC/AT               | PC DOS<br>(Ver.3.3<br>Ver.5.0 <sup>注</sup> )    | 3.5インチ 2HC             |
| 7B10                       |                         |                                                 | 5 インチ 2HC              |
| 3H15                       | HP9000シリーズ300           | HP-UX<br>(rel.7.05B)                            | カートリッジ・テープ<br>(QIC-24) |
| 3K15                       | SPARCstation            | Sun OS<br>(rel.4.1.1)                           |                        |
| 3M15                       | EWS-4800 シリーズ<br>(RISC) | EWS-UX/V<br>(rel.4.0)                           |                        |

注 MS-DOS の Ver.5.00/5.00A, PC DOS の Ver.5.0 にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

★

付

★ ファジィ推論開発支援システム

|                                 |                                                                                                                            |
|---------------------------------|----------------------------------------------------------------------------------------------------------------------------|
| FE9000/FE9200<br>ファジィ知識データ作成ツール | ファジィ知識データ (ファジィ・ルールおよびメンバシップ関数) の入力、編集 (エディット)、評価 (シミュレーション) を支援するプログラムです。                                                 |
|                                 | オーダ名称: $\mu S \times \times \times FE9000$ (PC-9800 シリーズ)<br>$\mu S \times \times \times FE9200$ (IBM PC/AT) <sup>注1</sup> |
| FT9080/FT9085<br>トランスレータ        | ファジィ知識データ作成ツールを用いて得たファジィ知識データを, RA78K/0 用のアセンブラ・ソース・プログラムに変換するプログラムです。                                                     |
|                                 | オーダ名称: $\mu S \times \times \times FT9080$ (PC-9800 シリーズ)<br>$\mu S \times \times \times FT9085$ (IBM PC/AT)               |
| FI78K0<br>ファジィ推論モジュール           | ファジィ推論を実行するプログラムです。トランスレータによって変換されたファジィ知識データとリンクすることで、ファジィ推論を実行します。                                                        |
|                                 | オーダ名称: $\mu S \times \times \times FI78K0$ (PC-9800 シリーズ, IBM PC/AT)                                                       |
| FD78K0<br>ファジィ推論ディバッガ           | ファジィ知識データを、インサーキット・エミュレータを使用してハードウェア・レベルで評価および調整するための支援ソフトウェアです。                                                           |
|                                 | オーダ名称: $\mu S \times \times \times FD78K0$ (PC-9800 シリーズ, IBM PC/AT)                                                       |

備考 オーダ名称の  $\times \times \times \times$  は、使用するホスト・マシン、OS により異なります。

$\mu S \times \times \times FE9000$   
 $\mu S \times \times \times FT9080$   
 $\mu S \times \times \times FI78K0$   
 $\mu S \times \times \times FD78K0$

| $\times \times \times \times$ | ホスト・マシン      | OS                                               | 供給媒体       |
|-------------------------------|--------------|--------------------------------------------------|------------|
| 5A13                          | PC-9800 シリーズ | MS-DOS<br>(Ver.3.30<br>Ver.5.00A <sup>注2</sup> ) | 3.5インチ 2HD |
| 5A10                          |              |                                                  | 5インチ 2HD   |

$\mu S \times \times \times FE9200$ <sup>注1</sup>  
 $\mu S \times \times \times FT9085$   
 $\mu S \times \times \times FI78K0$   
 $\mu S \times \times \times FD78K0$

| $\times \times \times \times$ | ホスト・マシン   | OS                                            | 供給媒体       |
|-------------------------------|-----------|-----------------------------------------------|------------|
| 7B13                          | IBM PC/AT | PC DOS<br>(Ver.3.3<br>Ver.5.0 <sup>注2</sup> ) | 3.5インチ 2HC |
| 7B10                          |           |                                               | 5インチ 2HC   |

注 1. FE9200 を動作させるには、Windows<sup>TM</sup> (Ver.3.0~Ver.3.1) が必要です。

2. MS-DOS の Ver.5.00/5.00A, PC DOS の Ver.5.0 にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

## 付録 C レジスタ索引

### C.1 レジスタ索引 (50音順)

#### [あ行]

- IEBus コントローラ・モード・レジスタ (IECM) … 406
- アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS) … 324, 333
- アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) … 321, 330, 332, 345
- ウォッチドッグ・タイマ・モード・レジスタ (WDTM) … 185
- A/D コンバータ入力選択レジスタ (ADIS) … 202
- A/D コンバータ・モード・レジスタ (ADM) … 200
- A/D 電流カット選択レジスタ (IEAD) … 204
- A/D 変換結果レジスタ (ADCR) … 199

#### [か行]

- 外部割り込みモード・レジスタ 0 (INTM0) … 124, 360
- 外部割り込みモード・レジスタ 1 (INTM1) … 203, 360
- キー・リターン・モード・レジスタ (KRM) … 87, 376
- キャプチャ/コンペア・コントロール・レジスタ 0 (CRC0) … 120
- キャプチャ/コンペア・レジスタ 00 (CR00) … 115
- キャプチャ/コンペア・レジスタ 01 (CR01) … 115
- クロック切り替え選択レジスタ 1 (IECL1) … 96, 406
- クロック切り替え選択レジスタ 2 (IECL2) … 96
- コマンド・レジスタ (CMR) … 409
- コントロール・レジスタ (CTR) … 407
- コンペア・レジスタ 10 (CR10) … 159
- コンペア・レジスタ 20 (CR20) … 159

#### [さ行]

- サンプリング・クロック選択レジスタ (SCS) … 125, 362
- 自局アドレス・レジスタ 1 (UAR1) … 418
- 自局アドレス・レジスタ 2 (UAR2) … 418
- 自動データ送受信アドレス・ポインタ (ADTP) … 278
- 自動データ送受信間隔指定レジスタ (ADTI) … 283, 292
- 自動データ送受信コントロール・レジスタ (ADTC) … 282, 291

16ビット・タイマ出力コントロール・レジスタ (TOC0) … 121  
 16ビット・タイマ・モード・コントロール・レジスタ (TMC0) … 118  
 16ビット・タイマ・レジスタ (TM0) … 116  
 受信データ数レジスタ 1 (RDR1) … 414  
 受信データ数レジスタ 2 (RDR2) … 414  
 受信バッファ・レジスタ (RXB) … 319  
 受信バッファ・レジスタ (RBF) … 405  
 シリアル I/O シフト・レジスタ 0 (SIO0) … 224  
 シリアル I/O シフト・レジスタ 1 (SIO1) … 278  
 シリアル動作モード・レジスタ 0 (CSIM0) … 228, 234, 248, 268  
 シリアル動作モード・レジスタ 1 (CSIM1) … 281, 286, 287, 289  
 シリアル動作モード・レジスタ 2 (CSIM2) … 320, 329, 331, 344  
 シリアル・バス・インタフェース・コントロール・レジスタ (SBIC) … 230, 236, 250, 270  
 ステータス・レジスタ 1 (STR1) … 412  
 ステータス・レジスタ 2 (STR2) … 413  
 スleep・アドレス・レジスタ (SVA) … 224  
 Sleep・アドレス・レジスタ 1 (SAR1) … 419  
 Sleep・アドレス・レジスタ 2 (SAR2) … 419  
 送信シフト・レジスタ (TXS) … 319  
 送信バッファ・レジスタ (TBF) … 404

## [た行]

タイマ・クロック選択レジスタ 0 (TCL0) … 116, 190  
 タイマ・クロック選択レジスタ 1 (TCL1) … 159  
 タイマ・クロック選択レジスタ 2 (TCL2) … 176, 183, 194  
 タイマ・クロック選択レジスタ 3 (TCL3) … 226, 279  
 D/A コンバータ・モード・レジスタ (DAM) … 217  
 D/A 変換値設定レジスタ 0 (DACS0) … 216  
 D/A 変換値設定レジスタ 1 (DACS1) … 216  
 同報先アドレス・レジスタ 1 (DAR1) … 419  
 同報先アドレス・レジスタ 2 (DAR2) … 419  
 時計用タイマ・モード・コントロール・レジスタ (TMC2) … 179

## [な行]

内部拡張 RAM サイズ切り替えレジスタ (IXS) … 441

[は行]

|                                      |                        |
|--------------------------------------|------------------------|
| 8ビット・タイマ出力コントロール・レジスタ (TOC1) ...     | 162                    |
| 8ビット・タイマ・モード・コントロール・レジスタ (TMC1) ...  | 161                    |
| 8ビット・タイマ・レジスタ 1 (TM1) ...            | 159                    |
| 8ビット・タイマ・レジスタ 2 (TM2) ...            | 159                    |
| 発振安定時間選択レジスタ (OSTS) ...              | 426                    |
| 発振モード選択レジスタ (OSMS) ...               | 96                     |
| プルアップ抵抗オプション・レジスタ H (PUOH) ...       | 85                     |
| プルアップ抵抗オプション・レジスタ L (PUOL) ...       | 85                     |
| プロセッサ・クロック・コントロール・レジスタ (PCC) ...     | 94                     |
| ポート 0 (P0) ...                       | 68                     |
| ポート 1 (P1) ...                       | 70                     |
| ポート 2 (P2) ...                       | 71                     |
| ポート 3 (P3) ...                       | 73                     |
| ポート 4 (P4) ...                       | 74                     |
| ポート 5 (P5) ...                       | 75                     |
| ポート 6 (P6) ...                       | 76                     |
| ポート 7 (P7) ...                       | 78                     |
| ポート 12 (P12) ...                     | 80                     |
| ポート 13 (P13) ...                     | 81                     |
| ポート・モード・レジスタ 0 (PM0) ...             | 82                     |
| ポート・モード・レジスタ 1 (PM1) ...             | 82                     |
| ポート・モード・レジスタ 2 (PM2) ...             | 82                     |
| ポート・モード・レジスタ 3 (PM3) ...             | 82, 123, 163, 192, 196 |
| ポート・モード・レジスタ 5 (PM5) ...             | 82                     |
| ポート・モード・レジスタ 6 (PM6) ...             | 82                     |
| ポート・モード・レジスタ 7 (PM7) ...             | 82                     |
| ポート・モード・レジスタ 12 (PM12) ...           | 82                     |
| ポート・モード・レジスタ 13 (PM13) ...           | 82                     |
| ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC) ... | 325, 334               |

[ま行]

|                            |          |
|----------------------------|----------|
| マスタ通信コントロール・レジスタ (MCR) ... | 410      |
| メモリ拡張モード・レジスタ (MM) ...     | 86, 381  |
| メモリ・サイズ切り替えレジスタ (IMS) ...  | 382, 439 |

## [や行]

- 優先順位指定フラグ・レジスタ OH (PROH) ... 359
- 優先順位指定フラグ・レジスタ OL (PROL) ... 359
- 優先順位指定フラグ・レジスタ 1L (PR1L) ... 359

## [ら行]

- リアルタイム出力バッファ・レジスタ H (RTBH) ... 349
- リアルタイム出力バッファ・レジスタ L (RTBL) ... 349
- リアルタイム出力ポート・コントロール・レジスタ (RTPC) ... 350
- リアルタイム出力ポート・モード・レジスタ (RTPM) ... 349
- リターン・コード・レジスタ (RCR) ... 414
- ロック・アドレス・レジスタ 1 (LOR1) ... 420
- ロック・アドレス・レジスタ 2 (LOR2) ... 420

## [わ行]

- 割り込みタイミング指定レジスタ (SINT) ... 232, 252, 271
- 割り込みマスク・フラグ・レジスタ OH (MKOH) ... 358
- 割り込みマスク・フラグ・レジスタ OL (MKOL) ... 358
- 割り込みマスク・フラグ・レジスタ 1L (MK1L) ... 358, 375
- 割り込み要求フラグ・レジスタ OH (IFOH) ... 357
- 割り込み要求フラグ・レジスタ OL (IFOL) ... 357
- 割り込み要求フラグ・レジスタ 1L (IF1L) ... 357, 375

## C.2 レジスタ索引 (アルファベット順)

### [A]

- ADCR : A/D 変換結果レジスタ ... 199  
ADIS : A/D コンバータ入力選択レジスタ ... 202  
ADM : A/D コンバータ・モード・レジスタ ... 200  
ADTC : 自動データ送受信コントロール・レジスタ ... 282, 291  
ADTI : 自動データ送受信間隔指定レジスタ ... 283, 292  
ADTP : 自動データ送受信アドレス・ポインタ ... 278  
ASIM : アシクロナス・シリアル・インタフェース・モード・レジスタ ... 321, 330, 332, 345  
ASIS : アシクロナス・シリアル・インタフェース・ステータス・レジスタ ... 324, 333

### [B]

- BRGC : ボー・レート・ジェネレータ・コントロール・レジスタ ... 325, 334

### [C]

- CMR : コマンド・レジスタ ... 409  
CTR : コントロール・レジスタ ... 407  
CR00 : キャプチャ/コンペア・レジスタ00 ... 115  
CR01 : キャプチャ/コンペア・レジスタ01 ... 115  
CR10 : コンペア・レジスタ10 ... 159  
CR20 : コンペア・レジスタ20 ... 159  
CRC0 : キャプチャ/コンペア・コントロール・レジスタ 0 ... 120  
CSIM0 : シリアル動作モード・レジスタ 0 ... 228, 234, 248, 268  
CSIM1 : シリアル動作モード・レジスタ 1 ... 281, 286, 287, 289  
CSIM2 : シリアル動作モード・レジスタ 2 ... 320, 329, 331, 344

### [D]

- DACS0 : D/A 変換値設定レジスタ 0 ... 216  
DACS1 : D/A 変換値設定レジスタ 1 ... 216  
DAM : D/A コンバータ・モード・レジスタ ... 217  
DAR1 : 同報先アドレス・レジスタ 1 ... 419  
DAR2 : 同報先アドレス・レジスタ 2 ... 419

### [I]

- IEAD : A/D 電流カット選択レジスタ ... 204  
IECL1 : クロック切り替え選択レジスタ 1 ... 96, 406

|       |                         |            |
|-------|-------------------------|------------|
| IECL2 | : クロック切り替え選択レジスタ 2      | … 96       |
| IECM  | : IEBus コントローラ・モード・レジスタ | … 406      |
| IFOH  | : 割り込み要求フラグ・レジスタ OH     | … 357      |
| IFOL  | : 割り込み要求フラグ・レジスタ OL     | … 357      |
| IF1L  | : 割り込み要求フラグ・レジスタ 1L     | … 357, 375 |
| IMS   | : メモリ・サイズ切り替えレジスタ       | … 382, 439 |
| INTMO | : 外部割り込みモード・レジスタ 0      | … 124, 360 |
| INTM1 | : 外部割り込みモード・レジスタ 1      | … 203, 360 |
| IXS   | : 内部拡張 RAM サイズ切り替えレジスタ  | … 441      |

**[K]**

|     |                    |           |
|-----|--------------------|-----------|
| KRM | : キー・リターン・モード・レジスタ | … 87, 376 |
|-----|--------------------|-----------|

**[L]**

|      |                   |       |
|------|-------------------|-------|
| LOR1 | : ロック・アドレス・レジスタ 1 | … 420 |
| LOR2 | : ロック・アドレス・レジスタ 2 | … 420 |

**[M]**

|      |                       |            |
|------|-----------------------|------------|
| MCR  | : マスタ通信コントロール・レジスタ    | … 410      |
| MKOH | : 割り込みマスク・フラグ・レジスタ OH | … 358      |
| MKOL | : 割り込みマスク・フラグ・レジスタ OL | … 358      |
| MK1L | : 割り込みマスク・フラグ・レジスタ 1L | … 358, 375 |
| MM   | : メモリ拡張モード・レジスタ       | … 86, 381  |

**[O]**

|      |                |       |
|------|----------------|-------|
| OSMS | : 発振モード選択レジスタ  | … 96  |
| OSTS | : 発振安定時間選択レジスタ | … 426 |

**[P]**

|    |         |      |
|----|---------|------|
| P0 | : ポート 0 | … 68 |
| P1 | : ポート 1 | … 70 |
| P2 | : ポート 2 | … 71 |
| P3 | : ポート 3 | … 73 |
| P4 | : ポート 4 | … 74 |
| P5 | : ポート 5 | … 75 |
| P6 | : ポート 6 | … 76 |
| P7 | : ポート 7 | … 78 |



|      |                              |                        |
|------|------------------------------|------------------------|
| P12  | : ポート12 ...                  | 80                     |
| P13  | : ポート13 ...                  | 81                     |
| PCC  | : プロセッサ・クロック・コントロール・レジスタ ... | 94                     |
| PM0  | : ポート・モード・レジスタ 0 ...         | 82                     |
| PM1  | : ポート・モード・レジスタ 1 ...         | 82                     |
| PM2  | : ポート・モード・レジスタ 2 ...         | 82                     |
| PM3  | : ポート・モード・レジスタ 3 ...         | 82, 123, 163, 192, 196 |
| PM5  | : ポート・モード・レジスタ 5 ...         | 82                     |
| PM6  | : ポート・モード・レジスタ 6 ...         | 82                     |
| PM7  | : ポート・モード・レジスタ 7 ...         | 82                     |
| PM12 | : ポート・モード・レジスタ12 ...         | 82                     |
| PM13 | : ポート・モード・レジスタ13 ...         | 82                     |
| PROH | : 優先順位指定フラグ・レジスタ 0H ...      | 359                    |
| PROL | : 優先順位指定フラグ・レジスタ 0L ...      | 359                    |
| PR1L | : 優先順位指定フラグ・レジスタ 1L ...      | 359                    |
| PUOH | : ブルアップ抵抗オプション・レジスタ H ...    | 85                     |
| PUOL | : ブルアップ抵抗オプション・レジスタ L ...    | 85                     |

#### [R]

|      |                               |     |
|------|-------------------------------|-----|
| RBF  | : 受信バッファ・レジスタ ...             | 405 |
| RCR  | : リターン・コード・レジスタ ...           | 414 |
| RDR1 | : 受信データ数レジスタ 1 ...            | 414 |
| RDR2 | : 受信データ数レジスタ 2 ...            | 414 |
| RTBH | : リアルタイム出力バッファ・レジスタ H ...     | 349 |
| RTBL | : リアルタイム出力バッファ・レジスタ L ...     | 349 |
| RTPC | : リアルタイム出力ポート・コントロール・レジスタ ... | 350 |
| RTPM | : リアルタイム出力ポート・モード・レジスタ ...    | 349 |
| RXB  | : 受信バッファ・レジスタ ...             | 319 |

#### [S]

|      |                                   |                    |
|------|-----------------------------------|--------------------|
| SAR1 | : スレーブ・アドレス・レジスタ 1 ...            | 419                |
| SAR2 | : スレーブ・アドレス・レジスタ 2 ...            | 419                |
| SBIC | : シリアル・バス・インタフェース・コントロール・レジスタ ... | 230, 236, 250, 270 |
| SCS  | : サンプリング・クロック選択レジスタ ...           | 125, 362           |
| SINT | : 割り込みタイミング指定レジスタ ...             | 232, 252, 271      |
| SIO0 | : シリアル I/O シフト・レジスタ 0 ...         | 224                |
| SIO1 | : シリアル I/O シフト・レジスタ 1 ...         | 278                |

STR1 : ステータス・レジスタ 1 ... 412  
STR2 : ステータス・レジスタ 2 ... 413  
SVA : スレーブ・アドレス・レジスタ ... 224

**[T]**

TBF : 送信バッファ・レジスタ ... 404  
TCL0 : タイマ・クロック選択レジスタ 0 ... 116, 190  
TCL1 : タイマ・クロック選択レジスタ 1 ... 159  
TCL2 : タイマ・クロック選択レジスタ 2 ... 176, 183, 194  
TCL3 : タイマ・クロック選択レジスタ 3 ... 226, 279  
TM0 : 16ビット・タイマ・レジスタ ... 116  
TM1 : 8ビット・タイマ・レジスタ 1 ... 159  
TM2 : 8ビット・タイマ・レジスタ 2 ... 159  
TMC0 : 16ビット・タイマ・モード・コントロール・レジスタ ... 118  
TMC1 : 8ビット・タイマ・モード・コントロール・レジスタ ... 161  
TMC2 : 時計用タイマ・モード・コントロール・レジスタ ... 179  
TOC0 : 16ビット・タイマ出力コントロール・レジスタ ... 121  
TOC1 : 8ビット・タイマ出力コントロール・レジスタ ... 162  
TXS : 送信シフト・レジスタ ... 319

**[U]**

UAR1 : 自局アドレス・レジスタ 1 ... 418  
UAR2 : 自局アドレス・レジスタ 2 ... 418

**[W]**

WDTM : ウォッチドッグ・タイマ・モード・レジスタ ... 185

## 付録 D 改版履歴

★

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/3)

| 版 数   | 前版からの主な改版内容                                                                                        | 適用箇所                      |
|-------|----------------------------------------------------------------------------------------------------|---------------------------|
| 第 2 版 | $\mu$ PD78094, 78095, 78096 : 開発中→開発済み                                                             | 全 般                       |
|       | $\mu$ PD78P098 : 適用品種より削除                                                                          |                           |
|       | $\mu$ PD78098A, 78P098A : 適用品種に追加                                                                  |                           |
|       | P60-P63 端子 ( $\mu$ PD78P098A の場合) の入出力回路タイプ : 13→13-D に修正                                          | 第 2 章 端子機能                |
|       | P130/AN00, P131/AN01 端子の未使用時の推奨接続方法を変更                                                             |                           |
|       | P130/AN00, P131/AN01 端子使用時の注意事項を追加                                                                 |                           |
|       | 4.2.3 ポート 2, 4.2.8 ポート 7 の注意事項を修正                                                                  | 第 4 章 ポート機能               |
|       | P130/AN00, P131/AN01 端子使用時の注意事項を追加                                                                 |                           |
|       | 表 4-3 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定を追加                                                            |                           |
|       | 図 5-3 サブシステム・クロックのフィードバック抵抗を追加                                                                     | 第 5 章 クロック発生回路            |
|       | 図 5-5 発振モード選択レジスタのフォーマットに注意事項を追加                                                                   |                           |
|       | 5.6.2 システム・クロックと CPU クロックの切り替え手順に注意事項を追加                                                           |                           |
|       | タイマ・クロック選択レジスタ 0 のフォーマットに注意事項を追加                                                                   | 第 6 章 16ビット・タイマ/イベント・カウンタ |
|       |                                                                                                    | 第10章 クロック出力制御回路           |
|       | 6.3 16ビット・タイマ/イベント・カウンタを制御するレジスタの (2) 16ビット・タイマ・モード・コントロール・レジスタ (TMCO) に注意事項を追加                    | 第 6 章 16ビット・タイマ/イベント・カウンタ |
|       | 6.4.4 パルス幅測定としての動作の次の項目に注意事項を追加<br>(3) フリーランニング・カウンタとキャプチャ・レジスタ 2 本によるパルス幅測定<br>(4) リスタートによるパルス幅測定 |                           |
|       | 図 6-32 ソフトウェア・トリガによるワンショット・パルス出力動作のタイミングを修正                                                        |                           |
|       | 図 6-34 外部トリガによるワンショット・パルス出力動作のタイミング (立ち上がりエッジ指定時) を修正                                              |                           |
|       |                                                                                                    |                           |

付

(2/3)

| 版 数   | 前版からの主な改版内容                                                                              | 適用箇所                        |
|-------|------------------------------------------------------------------------------------------|-----------------------------|
| 第 2 版 | 図 7-4 タイマ・クロック選択レジスタ 1 のフォーマットに注意事項を追加                                                   | 第 7 章 8 ビット・タイマ/イベント・カウンタ   |
|       | 表 7-7 8 ビット・タイマ/イベント・カウンタ 2 のインターバル時間を追加                                                 |                             |
|       | 表 7-10 2 チャンネルの 8 ビット・タイマ/イベント・カウンタ(TM1, TM2) を 16 ビット・タイマ/イベント・カウンタとして使用したときの方形波出力範囲を追加 |                             |
|       | タイマ・クロック選択レジスタ 2 のフォーマットに注意事項を追加                                                         | 第 8 章 時計用タイマ                |
|       |                                                                                          | 第 9 章 ウォッチドッグ・タイマ           |
|       |                                                                                          | 第 11 章 ブザー出力制御回路            |
|       | A/D コンバータ・モード・レジスタのフォーマットを変更                                                             | 第 12 章 A/D コンバータ            |
|       | タイマ・クロック選択レジスタ 3 のフォーマットに注意事項を追加                                                         | 第 14 章 シリアル・インタフェース・チャンネル 0 |
|       |                                                                                          | 第 15 章 シリアル・インタフェース・チャンネル 1 |
|       | シリアル・インタフェース使用時のポート・モード・レジスタおよび出力ラッチの設定を変更                                               | 第 14 章 シリアル・インタフェース・チャンネル 0 |
|       |                                                                                          | 第 15 章 シリアル・インタフェース・チャンネル 1 |
|       |                                                                                          | 第 16 章 シリアル・インタフェース・チャンネル 2 |
|       | 自動送受信のインターバル時間についての説明を修正                                                                 | 第 15 章 シリアル・インタフェース・チャンネル 1 |
|       | 表 16-2 シリアル・インタフェース・チャンネル 2 の動作モードの設定一覧を修正                                               | 第 16 章 シリアル・インタフェース・チャンネル 2 |
|       | 第 18 章 割り込み機能を第 18 章 割り込み機能とテスト機能に変更し、18.5 テスト機能を追加                                      | 第 18 章 割り込み機能とテスト機能         |
|       | $\mu$ PD78098A, 78P098A の追加に伴い、メモリ・サイズ切り替えレジスタで内部 ROM 容量に 56 K バイトを選択できるように変更            | 第 19 章 外部デバイス拡張機能           |
|       |                                                                                          | 第 23 章 $\mu$ PD78P098A      |
|       | 図 20-13 IEBus コントローラ・モード・レジスタのフォーマットを修正                                                  | 第 20 章 IEBus コントローラ         |
|       | 図 20-23 同報先アドレス・レジスタ 1, 2 のフォーマットを変更                                                     |                             |

(3/3)

| 版 数   | 前版からの主な改版内容                                      | 適用箇所                 |
|-------|--------------------------------------------------|----------------------|
| 第 2 版 | <b>23.2 内部拡張 RAM サイズ切り替えレジスタを追加</b>              | 第23章 $\mu$ PD78P098A |
|       | <b>23.3 PROM プログラミングに書き込みアドレスの指定についての注意事項を追加</b> |                      |
|       | <b>24.2 命令コード, 24.3 命令の説明を削除</b>                 | 第24章 命令セット           |
|       | IE-78098-R-EM, DF78098 : 開発中→開発済み                | 付録 A 開発ツール           |
|       | 付録 C 命令索引 (アルファベット順) を削除                         | —                    |
|       | 付録 D 改版履歴を追加                                     | 付録 D 改版履歴            |

## — お問い合わせは、最寄りのNECへ —

### 【営業関係お問い合わせ先】

|            |          |                                 |                   |                   |
|------------|----------|---------------------------------|-------------------|-------------------|
| 半導体第一販売事業部 | 〒108-01  | 東京都港区芝五丁目7番1号 (NEC本社ビル)         | 東京 (03)3454-1111  | (大代表)             |
| 半導体第二販売事業部 |          |                                 |                   |                   |
| 半導体第三販売事業部 |          |                                 |                   |                   |
| 中部支社       | 半導体第一販売部 | 〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)  | 名古屋 (052)222-2170 |                   |
|            | 半導体第二販売部 |                                 | 名古屋 (052)222-2190 |                   |
| 関西支社       | 半導体第一販売部 | 〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル) | 大阪 (06) 945-3178  |                   |
|            | 半導体第二販売部 |                                 | 大阪 (06) 945-3200  |                   |
|            | 半導体第三販売部 |                                 | 大阪 (06) 945-3208  |                   |
| 北海道支社      | 札幌       | (011)231-0161                   | 太田支店              | 太田 (0276)46-4011  |
| 東北支社       | 仙台       | (022)267-8740                   | 宇都宮支店             | 宇都宮 (028)621-2281 |
| 岩手支店       | 盛岡       | (019)651-4344                   | 小山支店              | 小山 (0285)24-5011  |
| 山形支店       | 山形       | (0236)23-5511                   | 長野支店              | 松本 (0263)35-1662  |
| 都山支店       | 都山       | (0249)23-5511                   | 甲府支店              | 甲府 (0552)24-4141  |
| いわき支店      | いわき      | (0246)21-5511                   | 埼玉支店              | 大宮 (049)641-1411  |
| 長岡支店       | 長岡       | (0258)36-2155                   | 立川支店              | 立川 (0425)26-5981  |
| 土浦支店       | 土浦       | (0298)23-6161                   | 千葉支店              | 千葉 (043)238-8116  |
| 水戸支店       | 水戸       | (029)226-1717                   | 静岡支店              | 静岡 (054)255-2211  |
| 神奈川支店      | 横浜       | (045)324-5524                   | 北陸支店              | 金沢 (0762)23-1621  |
| 群馬支店       | 高崎       | (0273)26-1255                   | 福井支店              | 福井 (0776)22-1866  |
|            |          |                                 | 富山支店              | 富山 (0764)31-8461  |
|            |          |                                 | 三重支店              | 津 (0592)25-7341   |
|            |          |                                 | 京都支店              | 京都 (075)344-7824  |
|            |          |                                 | 神戸支店              | 神戸 (078)333-3854  |
|            |          |                                 | 中国支店              | 広島 (082)242-5504  |
|            |          |                                 | 鳥取支店              | 鳥取 (0857)27-5311  |
|            |          |                                 | 岡山支店              | 岡山 (086)225-4455  |
|            |          |                                 | 四国支店              | 高松 (0878)36-1200  |
|            |          |                                 | 新居浜支店             | 新居浜 (0897)32-6001 |
|            |          |                                 | 松山支店              | 松山 (089)945-4149  |
|            |          |                                 | 九州支店              | 福岡 (092)271-7700  |

### 【本資料に関する技術お問い合わせ先】

|                |                                 |                   |                                                            |
|----------------|---------------------------------|-------------------|------------------------------------------------------------|
| 半導体ソリューション技術本部 | 〒210 川崎市幸区堀越三丁目484番地            | 川崎 (044)548-7923  | 半導体<br>インフォメーションセンター<br>FAX(044)548-7900<br>(FAXにてお願い致します) |
| マイクロコンピュータ技術部  |                                 |                   |                                                            |
| 半導体販売技術本部      | 〒108-01 東京都港区芝五丁目7番1号 (NEC本社ビル) | 東京 (03)3798-9619  |                                                            |
| 東日本販売技術部       |                                 |                   |                                                            |
| 半導体販売技術本部      | 〒460 名古屋市中区錦一丁目17番1号 (NEC中部ビル)  | 名古屋 (052)222-2125 |                                                            |
| 中部販売技術部        |                                 |                   |                                                            |
| 半導体販売技術本部      | 〒540 大阪市中央区城見一丁目4番24号 (NEC関西ビル) | 大阪 (06) 945-3363  |                                                            |
| 西日本販売技術部       |                                 |                   |                                                            |