

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザース・マニュアル

μPD703229Y, 70F3229Y

32ビット・シングルチップ・マイクロコンピュータ

ハードウェア編

資料番号 U16470JJ2V0UD00 (第2版)

発行年月 December 2003 N CP(K)

© NEC Electronics Corporation 2002

(メモ)

目次要約

第1章	イントロダクション	...	18
第2章	端子機能	...	27
第3章	CPU機能	...	38
第4章	ポート機能	...	73
第5章	バス制御機能	...	151
第6章	クロック発生機能	...	172
第7章	16ビット・タイマ/イベント・カウンタP (TMP)	...	185
第8章	16ビット・タイマ/イベント・カウンタQ (TMQ)	...	275
第9章	16ビット・インターバル・タイマM (TMM)	...	375
第10章	時計タイマ機能	...	384
第11章	ウォッチドッグ・タイマ2機能	...	394
第12章	A/Dコンバータ	...	399
第13章	アシンクロナス・シリアル・インタフェースA (UARTA)	...	427
第14章	3線式可変長シリアルI/O (CSIB)	...	459
第15章	I ² Cバス	...	488
第16章	DMA機能 (DMAコントローラ)	...	556
第17章	割り込み/例外処理機能	...	579
第18章	キー割り込み機能	...	618
第19章	スタンバイ機能	...	620
第20章	リセット機能	...	640
第21章	レギュレータ	...	654
第22章	ROMコレクション機能	...	656
第23章	フラッシュ・メモリ	...	660
第24章	オンチップ・ディバグ機能	...	682
第25章	電気的特性	...	691
第26章	外形図	...	715
付録A	レジスタ索引	...	716
付録B	命令セット一覧	...	725
付録C	改版履歴	...	734

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

注意： μ PD703229Y, 70F3229Yは FC バス・インタフェース回路を内蔵しています。

FC バス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

当社の FC バス対応部品をご購入いただくことにより、これらの部品を FC システムに使用する実施権がフィリップス社 FC 特許に基づき許諾されることとなります。ただし、これらの FC システムはフィリップス社によって設定された FC 標準規格に合致しているものとします。

Purchase of NEC Electronics FC components conveys a license under the Philips FC Patent Rights to use these components in an FC system, provided that the system conforms to the FC Standard Specification as defined by Philips.

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD70F3229Y

ユーザ判定品 : μ PD703229Y

- 本資料に記載されている内容は2003年12月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは、（1）において定義された当社の開発、製造製品をいう。

はじめに

- 対象者** このマニュアルは、 μ PD703229Y, 70F3229Yの機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** μ PD703229Y, 70F3229Yのユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850ES ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

レジスタ名がわかっていて、レジスタの詳細を確認するとき

付録A レジスタ索引を利用してください。

命令機能の詳細を理解しようとするとき

別冊のV850ES **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

一通り μ PD703229Y, 70F3229Yの機能を理解しようとするとき

目次に従ってお読みください。

μ PD703229Y, 70F3229Yの電気的特性を知りたいとき

第25章 電気的特性を参照してください。

本文欄外の★印は、本版で改訂された主な箇所を示しています。

- 凡 例** データ表記の重み：左が上位桁，右が下位桁
アクティブ・ロウの表記： \overline{xxx} （端子，信号名称に上線）
メモリ・マップのアドレス：上部 - 上位，下部 - 下位
注：本文中に付けた注の説明
注意：気を付けて読んでいただきたい内容
備考：本文の補足説明
数の表記：2進数 ... xxxxまたはxxxxB
10進数 ... xxxx
16進数 ... xxxxH
2のべき数を示す接頭語（アドレス空間，メモリ容量）：
K（キロ）： $2^{10} = 1024$
M（メガ）： $2^{20} = 1024^2$
G（ギガ）： $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

μ PD703229Y, 70F3229Yに関する資料

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J
μ PD703229Y, 70F3229Y ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料(ユーザーズ・マニュアル)

資料名	資料番号	
IE-V850ES-G1 (インサーキット・エミュレータ)	U16313J	
IE-703229-G1-EM1 (インサーキット・エミュレータ・オプション・ボード)	作成予定	
IE-V850E1-CD-NW (PCMCIA カード型オンチップ・ディバグ・エミュレータ)	U16647J	
CA850 Ver.2.50 C コンパイラ・パッケージ	操作編	U16053J
	C 言語編	U16054J
	アセンブリ言語編	U16042J
PM plus Ver.5.10	U16569J	
ID850 Ver.2.50 統合ディバグ	操作編	U16217J
ID850NWC Ver.2.51 統合ディバグ	操作編	U16525J
SM850 Ver.2.40 システム・シミュレータ	操作編	U15182J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850 Ver.3.13以上 リアルタイムOS	基礎編	U13430J
	インストレーション編	U13410J
	テクニカル編	U13431J
RX850 Pro Ver.3.15 リアルタイムOS	基礎編	U13773J
	インストレーション編	U13774J
	テクニカル編	U13772J
RD850 Ver.3.01 タスク・ディバグ	U13737J	
RD850 Pro Ver.3.01 タスク・ディバグ	U13916J	
AZ850 Ver.3.20 システム・パフォーマンス・アナライザ	U14410J	
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	

目 次

第1章 イン트로ダクション ... 18

- 1.1 概 説 ... 18
- 1.2 特 徴 ... 19
- 1.3 応用分野 ... 20
- 1.4 オーダ情報 ... 20
- 1.5 端子接続図 (Top View) ... 21
- 1.6 機能ブロック構成 ... 23
 - 1.6.1 内部ブロック図 ... 23
 - 1.6.2 内部ユニット ... 24

第2章 端子機能 ... 27

- 2.1 端子機能一覧 ... 27
- 2.2 端子状態 ... 33
- 2.3 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理 ... 34

第3章 CPU機能 ... 38

- 3.1 特 徴 ... 38
- 3.2 CPUレジスタ・セット ... 39
 - 3.2.1 プログラム・レジスタ・セット ... 40
 - 3.2.2 システム・レジスタ・セット ... 41
- 3.3 動作モード ... 47
 - 3.3.1 動作モード指定 ... 47
- ★ 3.4 アドレス空間 ... 48
 - 3.4.1 CPUアドレス空間 ... 48
 - 3.4.2 CPUアドレス空間のラップ・アラウンド ... 49
 - 3.4.3 メモリ・マップ ... 50
 - 3.4.4 領 域 ... 52
 - 3.4.5 アドレス空間の推奨使用方法 ... 54
 - 3.4.6 周辺I/Oレジスタ ... 57
 - 3.4.7 特定レジスタ ... 66
 - 3.4.8 注意事項 ... 70

第4章 ポート機能 ... 73

- 4.1 特 徴 ... 73
- 4.2 ポートの基本構成 ... 73
- 4.3 ポートの構成 ... 74
 - 4.3.1 ポート0 ... 79
 - 4.3.2 ポート1 ... 82
 - 4.3.3 ポート3 ... 84
 - 4.3.4 ポート4 ... 89

- 4.3.5 ポート5 ... 92
- 4.3.6 ポート7 ... 97
- 4.3.7 ポート9 ... 99
- 4.3.8 ポートCM ... 105
- 4.3.9 ポートCS ... 107
- 4.3.10 ポートCT ... 109
- 4.3.11 ポートDH ... 111
- 4.3.12 ポートDL ... 112
- 4.4 **ブロック図** ... 115
- 4.5 **兼用機能使用時のポートのレジスタ設定** ... 142
- 4.6 **注意事項** ... 148
 - 4.6.1 ポート端子設定上の注意事項 ... 148
 - 4.6.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項 ... 149
 - 4.6.3 オンチップ・ディバグ用端子に関する注意事項 ... 150
 - 4.6.4 ヒステリシス特性について ... 150

第5章 バス制御機能 ... 151

- 5.1 **特 徴** ... 151
- 5.2 **バス制御端子** ... 151
 - 5.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態 ... 152
 - 5.2.2 各動作モードの端子状態 ... 152
- 5.3 **メモリ・ブロック機能** ... 153
- 5.4 **バス・アクセス** ... 154
 - 5.4.1 アクセス・クロック数 ... 154
 - 5.4.2 バス・サイズ設定機能 ... 154
 - 5.4.3 バス・サイズによるアクセス ... 155
- 5.5 **ウエイト機能** ... 162
 - 5.5.1 プログラマブル・ウエイト機能 ... 162
 - 5.5.2 外部ウエイト機能 ... 163
 - 5.5.3 プログラマブル・ウエイトと外部ウエイトの関係 ... 163
 - 5.5.4 プログラマブル・アドレス・ウエイト機能 ... 164
- 5.6 **アイドル・ステート挿入機能** ... 165
- 5.7 **バス・ホールド機能** ... 166
 - 5.7.1 機能概要 ... 166
 - 5.7.2 バス・ホールド手順 ... 167
 - 5.7.3 パワー・セーブ・モード時の動作 ... 167
- 5.8 **バスの優先順位** ... 168
- 5.9 **バス・タイミング** ... 169

第6章 クロック発生機能 ... 172

- 6.1 **概 要** ... 172
- 6.2 **構 成** ... 173
- 6.3 **制御レジスタ** ... 175
- 6.4 **動 作** ... 180
 - 6.4.1 各クロックの動作 ... 180
 - 6.4.2 クロック出力機能 ... 180
- 6.5 **PLL機能** ... 181

- 6.5.1 概要 ... 181
- 6.5.2 制御レジスタ ... 181
- 6.5.3 使用方法 ... 184

第7章 16ビット・タイマ/イベント・カウンタP (TMP) ... 185

- 7.1 概要 ... 185
- 7.2 機能 ... 185
- 7.3 構成 ... 186
- 7.4 レジスタ ... 188
- 7.5 動作 ... 199
 - 7.5.1 インターバル・タイマ・モード (TPnMD2-TPnMD0 = 000) ... 200
 - 7.5.2 外部イベント・カウント・モード (TPnMD2-TPnMD0 = 001) ... 210
 - 7.5.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0 = 010) ... 218
 - 7.5.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0 = 011) ... 230
 - 7.5.5 PWM出力モード (TPnMD2-TPnMD0 = 100) ... 237
 - 7.5.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0 = 101) ... 246
 - 7.5.7 パルス幅測定モード (TPnMD2-TPnMD0 = 110) ... 263
 - 7.5.8 タイマ出力動作説明 ... 269
- 7.6 タイマ入力端子のデジタル・ノイズ除去 ... 270
- 7.7 セレクタ機能 ... 273

第8章 16ビット・タイマ/イベント・カウンタQ (TMQ) ... 275

- 8.1 概要 ... 275
- 8.2 機能 ... 275
- 8.3 構成 ... 276
- 8.4 レジスタ ... 279
- 8.5 動作 ... 294
 - 8.5.1 インターバル・タイマ・モード (TQ0MD2-TQ0MD0 = 000) ... 295
 - 8.5.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0 = 001) ... 304
 - 8.5.3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0 = 010) ... 313
 - 8.5.4 ワンショット・パルス出力モード (TQ0MD2-TQ0MD0 = 011) ... 326
 - 8.5.5 PWM出力モード (TQ0MD2-TQ0MD0 = 100) ... 335
 - 8.5.6 フリー・ランニング・タイマ・モード (TQ0MD2-TQ0MD0 = 101) ... 346
 - 8.5.7 パルス幅測定モード (TQ0MD2-TQ0MD0 = 110) ... 366
 - 8.5.8 タイマ出力動作説明 ... 372
- 8.6 タイマ入力端子のデジタル・ノイズ除去 ... 373

第9章 16ビット・インターバル・タイマM (TMM) ... 375

- 9.1 概要 ... 375
- 9.2 構成 ... 376
- 9.3 制御レジスタ ... 378
- 9.4 動作 ... 379
 - 9.4.1 インターバル・タイマ・モード ... 379
 - 9.4.2 注意事項 ... 383

第10章 時計タイマ機能 ... 384

- 10.1 機能 ... 384
- 10.2 構成 ... 385
- 10.3 レジスタ ... 387
- 10.4 動作 ... 391
 - 10.4.1 時計タイマとしての動作 ... 391
 - 10.4.2 インターバル・タイマとしての動作 ... 392
 - 10.4.3 注意事項 ... 393

第11章 ウォッチドッグ・タイマ2機能 ... 394

- 11.1 機能 ... 394
- 11.2 構成 ... 395
- 11.3 制御レジスタ ... 396
- 11.4 動作 ... 398

第12章 A/Dコンバータ ... 399

- 12.1 概要 ... 399
- 12.2 機能 ... 399
- 12.3 構成 ... 400
- 12.4 レジスタ ... 403
- 12.5 動作 ... 411
 - 12.5.1 基本動作 ... 411
 - 12.5.2 トリガ・モード ... 413
 - 12.5.3 動作モード ... 415
 - 12.5.4 パワー・フェイル比較モード ... 417
- 12.6 注意事項 ... 420
- 12.7 A/Dコンバータ特性表の読み方 ... 423

第13章 アシンクロナス・シリアル・インタフェースA (UARTA) ... 427

- 13.1 特徴 ... 427
- 13.2 構成 ... 428
- 13.3 制御レジスタ ... 430
- 13.4 割り込み要求信号 ... 437
- 13.5 動作 ... 438
 - 13.5.1 データ・フォーマット ... 438
 - 13.5.2 SBF送信/受信フォーマット ... 440
 - 13.5.3 SBF送信 ... 442
 - 13.5.4 SBF受信 ... 443
 - 13.5.5 UART送信 ... 444
 - 13.5.6 連続送信の手順説明 ... 444
 - 13.5.7 UART受信 ... 447
 - 13.5.8 受信エラー ... 448
 - 13.5.9 パリティの種類と動作 ... 449
 - 13.5.10 受信データのノイズ・フィルタ ... 450
- 13.6 専用ポー・レート・ジェネレータ ... 451

13.7 注意事項 ... 458

第14章 3線式可変長シリアルI/O (CSIB) ... 459

14.1 CSIBと他のシリアル・インタフェースのモード切り替え ... 459

14.1.1 CSIB0とI²C00のモード切り替え ... 459

14.2 特徴 ... 460

14.3 構成 ... 461

14.4 制御レジスタ ... 463

★ 14.5 割り込み要求信号 ... 469

14.6 動作 ... 470

14.6.1 シングル転送 (マスタ・モード, 送受信モード) ... 470

14.6.2 シングル転送モード (マスタ・モード, 受信モード) ... 471

14.6.3 連続モード (マスタ・モード, 送受信モード) ... 472

14.6.4 連続モード (マスタ・モード, 受信モード) ... 473

14.6.5 連続受信モード (エラー時) ... 474

14.6.6 連続モード (スレーブ・モード, 送受信モード) ... 475

14.6.7 連続モード (スレーブ・モード, 受信モード) ... 476

14.6.8 クロック・タイミング ... 477

14.7 出力端子 ... 479

14.8 動作フロー ... 480

14.9 ボー・レート・ジェネレータ ... 486

14.9.1 ボー・レートの生成 ... 487

第15章 I²Cバス ... 488

15.1 構成 ... 489

15.2 I²C制御レジスタ ... 493

15.3 I²Cバス・モードの機能 ... 508

15.3.1 端子構成 ... 508

15.4 I²Cバスの定義および制御方法 ... 509

15.4.1 スタート・コンディション ... 509

15.4.2 アドレス ... 510

15.4.3 転送方向指定 ... 511

15.4.4 アクノリッジ信号 (ACK) ... 512

15.4.5 ストップ・コンディション ... 513

15.4.6 ウェイト信号 (WAIT) ... 514

15.5 I²C割り込み要求信号 (INTIIC0) ... 516

15.5.1 マスタ動作 ... 516

15.5.2 スレーブ動作 (スレーブ・アドレス・データ受信時 (SVA0一致)) ... 519

15.5.3 スレーブ動作 (拡張コード受信時) ... 523

15.5.4 通信不参加の動作 ... 527

15.5.5 アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作) ... 527

15.5.6 アービトレーション負けの動作 (アービトレーション負けのあと, 不参加) ... 529

15.6 割り込み要求信号 (INTIIC0) 発生タイミングおよびウェイト制御 ... 534

15.7 アドレスの一致検出方法 ... 536

15.8 エラーの検出 ... 536

15.9 拡張コード ... 536

15.10	アービトレーション	...	537
15.11	ウエイク・アップ機能	...	538
15.12	通信予約	...	539
15.12.1	通信予約機能許可の場合 (IICF0.IICRSV0ビット = 0)	...	539
15.12.2	通信予約機能禁止の場合 (IICF0.IICRSV0ビット = 1)	...	542
15.13	注意事項	...	543
15.14	通信動作	...	544
15.14.1	マスタ動作1	...	544
15.14.2	マスタ動作2	...	545
15.14.3	スレーブ動作	...	546
15.15	データ通信のタイミング	...	549

第16章 DMA機能 (DMAコントローラ) ... 556

16.1	特徴	...	556
16.2	構成	...	557
16.3	制御レジスタ	...	558
16.4	転送対象	...	565
16.5	転送モード	...	565
16.6	転送タイプ	...	566
16.7	DMAチャンネルの優先順位	...	567
16.8	DMA転送に関する各種時間	...	567
16.9	DMA転送起動要因	...	568
16.10	DMAの中断要因	...	569
16.11	DMA転送の終了	...	569
16.12	動作タイミング	...	569
16.13	注意事項	...	574

第17章 割り込み / 例外処理機能 ... 579

17.1	特徴	...	579
17.2	ノンマスカブル割り込み	...	583
17.2.1	動作	...	586
17.2.2	復帰	...	587
17.2.3	NPフラグ	...	588
17.3	マスカブル割り込み	...	589
17.3.1	動作	...	589
17.3.2	復帰	...	591
17.3.3	マスカブル割り込みの優先順位	...	592
17.3.4	割り込み制御レジスタ (xxICn)	...	596
17.3.5	割り込みマスク・レジスタ0-3 (IMR0-IMR3)	...	599
17.3.6	インサースビス・プライオリティ・レジスタ (ISPR)	...	601
17.3.7	IDフラグ	...	602
17.4	外部割り込み要求入力端子 (NMI, INTP0-INTP7)	...	603
17.4.1	ノイズ除去	...	603
17.4.2	エッジ検出	...	603
17.5	ソフトウェア例外	...	609
17.5.1	動作	...	609
17.5.2	復帰	...	610

- 17.5.3 EPフラグ ... 611
- 17.6 例外トラップ ... 612
 - 17.6.1 不正命令コード ... 612
 - 17.6.2 デバッグ・トラップ ... 614
- 17.7 CPUの割り込み応答時間 ... 616
- 17.8 CPUが割り込みを受け付けない期間 ... 617
- ★ 17.9 注意事項 ... 617

第18章 キー割り込み機能 ... 618

- 18.1 機能 ... 618
- 18.2 制御レジスタ ... 619

第19章 スタンバイ機能 ... 620

- 19.1 概要 ... 620
- 19.2 制御レジスタ ... 623
- 19.3 HALTモード ... 626
 - 19.3.1 設定および動作状態 ... 626
 - 19.3.2 HALTモードの解除 ... 626
- 19.4 IDLE1モード ... 628
 - 19.4.1 設定および動作状態 ... 628
 - 19.4.2 IDLE1モードの解除 ... 628
- 19.5 IDLE2モード ... 630
 - 19.5.1 設定および動作状態 ... 630
 - 19.5.2 IDLE2モードの解除 ... 630
 - 19.5.3 IDLE2モード解除時のセットアップ時間の確保 ... 632
- 19.6 STOPモード ... 633
 - 19.6.1 設定および動作状態 ... 633
 - 19.6.2 STOPモードの解除 ... 633
- 19.7 発振安定時間の確保 ... 635
- 19.8 サブクロック動作モード ... 636
 - 19.8.1 設定および動作状態 ... 636
 - 19.8.2 サブクロック動作モードの解除 ... 636
- 19.9 サブIDLEモード ... 638
 - 19.9.1 設定および動作状態 ... 638
 - 19.9.2 サブIDLEモードの解除 ... 638

第20章 リセット機能 ... 640

- 20.1 概要 ... 640
- 20.2 リセット要因を確認するレジスタ ... 640
- 20.3 動作 ... 642
 - 20.3.1 RESET端子によるリセット動作 ... 642
 - 20.3.2 WDT2RES信号によるリセット動作 ... 644
 - 20.3.3 低電圧検出回路による動作 ... 646
 - 20.3.4 クロック・モニタ ... 651

第21章 レギュレータ ... 654

- 21.1 概 要 ... 654
- 21.2 動 作 ... 655

第22章 ROMコレクション機能 ... 656

- 22.1 概 要 ... 656
- 22.2 制御レジスタ ... 657
- 22.3 ROMコレクションの動作とプログラムの流れ ... 658

第23章 フラッシュ・メモリ ... 660

- 23.1 特 徴 ... 660
- 23.2 メモリ構成 ... 661
- 23.3 機能概要 ... 662
- 23.4 専用フラッシュ・ライターでの書き換え ... 664
 - 23.4.1 プログラミング環境 ... 664
 - 23.4.2 通信方式 ... 665
 - 23.4.3 フラッシュ・メモリ制御 ... 670
 - 23.4.4 通信方式の選択 ... 671
 - 23.4.5 通信コマンド ... 672
 - 23.4.6 端子処理 ... 673
- 23.5 セルフ・プログラミングによる書き換え ... 677
 - 23.5.1 概 要 ... 677
 - 23.5.2 特 徴 ... 678
 - 23.5.3 標準セルフ・プログラミング・フロー ... 679
 - 23.5.4 フラッシュ関数一覧 ... 680
 - 23.5.5 端子処理 ... 680
 - 23.5.6 使用する内部資源 ... 681

★ 第24章 オンチップ・ディバグ機能 ... 682

- 24.1 特 徴 ... 682
- 24.2 接続回路例 ... 683
- 24.3 インタフェース信号 ... 683
- 24.4 制御レジスタ ... 685
- 24.5 動 作 ... 687
- 24.6 ROMセキュリティ機能 ... 688
 - 24.6.1 セキュリティID ... 688
 - 24.6.2 設定方法 ... 689
- 24.7 注意事項 ... 690

★ 第25章 電気的特性 ... 691

★ 第26章 外形図 ... 715

★ 付録A レジスタ索引 ... 716

- ★ 付録B 命令セット一覧 ... 725
 - B.1 凡 例 ... 725
 - B.2 インストラクション・セット(アルファベット順) ... 728
- ★ 付録C 改版履歴 ... 734
 - C.1 本版で改訂された主な箇所 ... 734

第1章 イントロダクション

μ PD703229Y, 70F3229Yは、NECエレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコンピュータV850シリーズのロウ・パワー・シリーズの1製品です。

1.1 概 説

μ PD703229Y, 70F3229Yは、V850ES CPUコアを使用し、ROM/RAM、タイマ/カウンタ、シリアル・インタフェース、A/Dコンバータなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコンピュータです。

μ PD703229Y, 70F3229Yは、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、リアルタイム制御システムとして、低消費電力を必要とするオーディオ、カー・オーディオなどへの応用が、きわめて高いコスト・パフォーマンスで実現できます。

1.2 特 徴

最小命令実行時間	50 ns (メイン・クロック (f _{xx}) = 20 MHz動作時)	
汎用レジスタ	32ビット × 32本	
CPUの特徴	符号付き乗算 (16 × 16 → 32) : 1-2クロック)	
	符号付き乗算 (32 × 32 → 64) : 1-5クロック)	
	飽和演算 (オーバフロー / アンダフロー検出機能付き)	
	32ビット・シフト命令 : 1クロック	
	ビット操作命令	
	ロング / ショート形式を持つロード / ストア命令	
メモリ空間	64 Mバイト・リニア・アドレス空間 (プログラム / データ共用)	
	外部拡張 : 4 Mバイトまで可能 (このうち1 Mバイトは内部ROM/RAM空間として使用)	
	メモリ・ブロック分割機能 : 2 M, 2 Mバイト / 計2ブロック	
・内蔵メモリ	μ PD703229Y (マスクROM : 384 Kバイト / RAM : 32 Kバイト)	
	μ PD70F3229Y (フラッシュ・メモリ : 384 Kバイト / RAM : 32 Kバイト)	
・外部バス・インタフェース	マルチプレクス・バス出力可能	
	8/16ビット・データ・バス・サイジング機能	
	ウエイト機能	
	・プログラマブル・ウエイト機能	
	・外部ウエイト機能	
	アイドル・ステート機能	
	バス・ホールド機能	
割り込み / 例外		
	ノンマスクابل割り込み : 2要因	
	マスクابل割り込み	: 45要因 外部8要因, 内部37要因
	ソフトウェア例外	: 32要因
	例外トラップ	: 2要因
I/Oライン	入出力ポート : 84	
タイマ機能		
	16ビット・インターバル・タイマM (TMM)	: 1ch
	16ビット・タイマ / イベント・カウンタP (TMP)	: 4ch
	16ビット・タイマ / イベント・カウンタQ (TMQ)	: 1ch
	時計用タイマ	: 1ch
	ウォッチドッグ・タイマ	: 1ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースA (UARTA)

3線式可変長シリアル・インタフェースB (CSIB)

I²Cバス・インタフェース (I²C)

UARTA : 3ch

CSIB : 1ch

CSIB/I²C : 1ch

A/Dコンバータ 10ビット分解能 : 12ch

DMAコントローラ : 4ch

ROMコレクション : 4箇所修正可能

クロック・ジェネレータ メイン・クロック / サブクロック動作

CPUクロック7段階 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{xt})

Ring-OSC : 200 kHz (TYP.)

パワー・セーブ機能 HALT/IDLE1/IDLE2/STOPモード, サブクロック / サブIDLEモード

パッケージ 100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)

1.3 応用分野

オーディオ, カー・オーディオ, その他民生機器

1.4 オーダ情報

品 名	パッケージ	内蔵ROM
μ PD703229YGC-xxx-8EA	100ピン・プラスチックLQFP (ファインピッチ) (14 × 14)	マスクROM (384 Kバイト)
μ PD70F3229YGC-8EA	"	フラッシュ・メモリ (384 Kバイト)

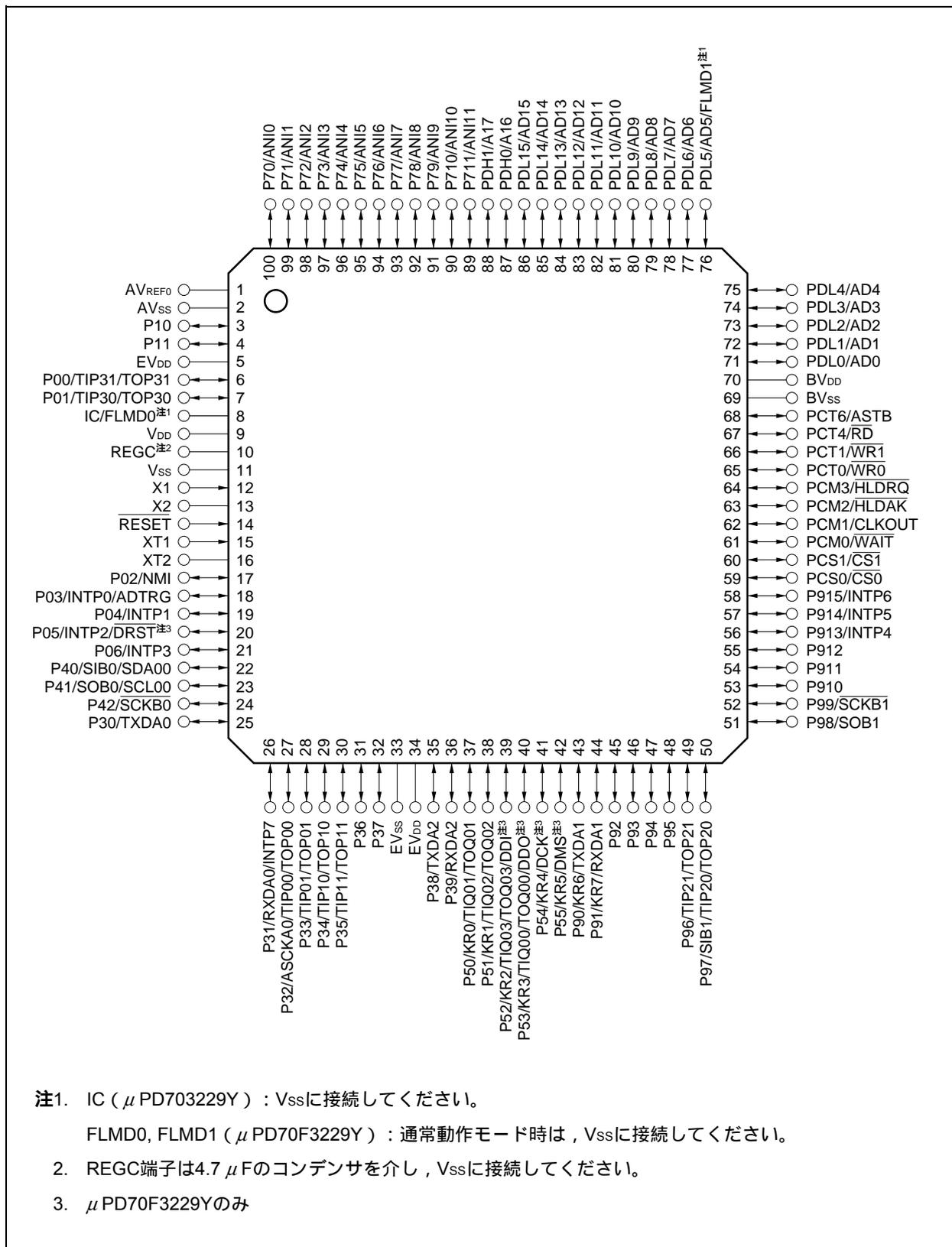
備考 xxxはROMコード番号です。

1.5 端子接続図 (Top View)

100ピン・プラスチックLQFP (ファインピッチ) (14×14)

μ PD703229YGC-xxx-8EA

μ PD70F3229YGC-8EA



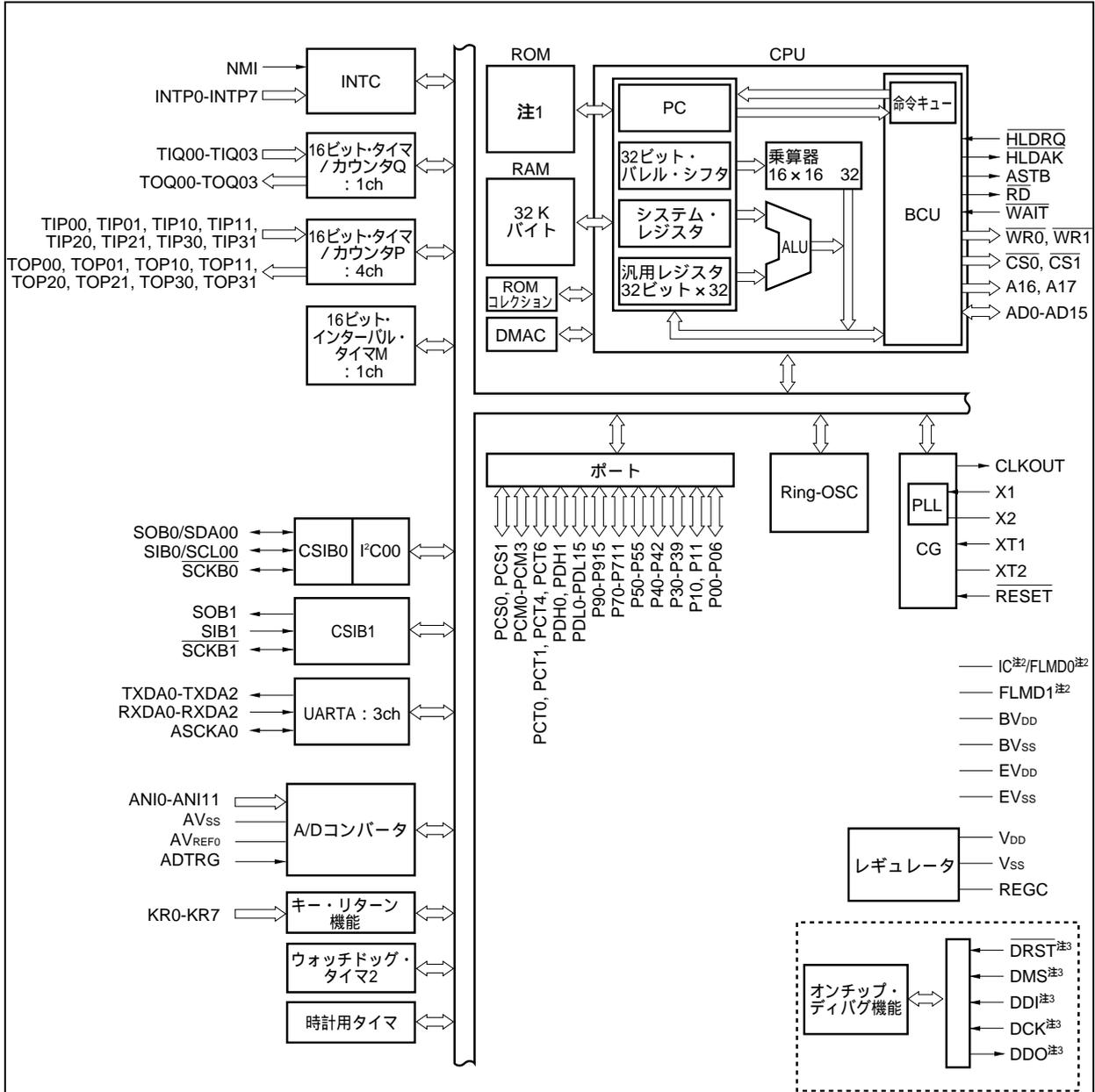
端子名称

A16, A17	: Address Bus	PCM0-PCM3	: Port CM
AD0-AD15	: Address/Data Bus	PCS0, PCS1	: Port CS
ADTRG	: A/D Trigger Input	PCT0, PCT1,	: Port CT
ANI0-ANI11	: Analog Input	PCT4,PCT6	
ASCKA0	: Asynchronous Serial Clock	PDH0, PDH1	: Port DH
ASTB	: Address Strobe	PDL0-PDL15	: Port DL
AV _{REF0}	: Analog Reference Voltage	\overline{RD}	: Read Strobe
AV _{SS}	: Analog V _{SS}	REGC	: Regulator Control
BV _{DD}	: Power Supply for Bus Interface	\overline{RESET}	: Reset
BV _{SS}	: Ground for Bus Interface	RXDA0-RXDA2	: Receive Data
CLKOUT	: Clock Output	$\overline{SCKB0}$, $\overline{SCKB1}$: Serial Clock
$\overline{CS0}$, $\overline{CS1}$: Chip Select	SCL00	: Serial Clock
DCK	: Debug Clock	SDA00	: Serial Data
DDI	: Debug Data Input	SIB0, SIB1	: Serial Input
DDO	: Debug Data Output	SOB0, SOB1	: Serial Output
DMS	: Debug Mode Select	TIP00, TIP01,	: Timer Input
\overline{DRST}	: Debug Reset	TIP10, TIP11,	
EV _{DD}	: Power Supply for Port	TIP20, TIP21,	
EV _{SS}	: Ground for Port	TIP30, TIP31,	
FLMD0, FLMD1	: Flash Programming Mode	TIQ00-TIQ03	
\overline{HLDAK}	: Hold Acknowledge	TOP00, TOP01,	: Timer Output
\overline{HLDRQ}	: Hold Request	TOP10, TOP11,	
IC	: Internally Connected	TOP20, TOP21,	
INTP0-INTP7	: External Interrupt Input	TOP30, TOP31,	
KR0-KR7	: Key Return	TOQ00-TOQ03	
NMI	: Non-maskable Interrupt Request	TXDA0- TXDA2	: Transmit Data
P00-P06	: Port 0	V _{DD}	: Power Supply
P10, P11	: Port 1	V _{SS}	: Ground
P30-P39	: Port 3	\overline{WAIT}	: Wait
P40-P42	: Port 4	$\overline{WR0}$: Lower Byte Write Strobe
P50-P55	: Port 5	$\overline{WR1}$: Upper Byte Write Strobe
P70-P711	: Port 7	X1, X2	: Crystal for Main Clock
P90-P915	: Port 9	XT1, XT2	: Crystal for Subclock

1.6 機能ブロック構成

1.6.1 内部ブロック図

・μ PD703229Y, 70F3229Y



- 注1. μ PD703229Y : 384 Kバイト (マスクROM)
 μ PD70F3229Y : 384 Kバイト (フラッシュ・メモリ)
2. IC : μ PD703229Yのみ
 FLMD0, FLMD1 : μ PD70F3229Yのみ
3. μ PD70F3229Yのみ

1.6.2 内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を，5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット），バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し，複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は，プリフェッチ・アドレスを生成し，命令コードのプリフェッチを行います。プリフェッチされた命令コードは，内部の命令キューに取り込まれます。

(3) ROM

0000000H-005FFFFFH番地にマッピングされる384 KバイトのマスクROMまたはフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(4) RAM

3FF7000H-3FFEFFFH番地にマッピングされる32 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(5) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア，および外部からのハードウェア割り込み要求 (NMI, INTP0-INTP7) を処理します。これらの割り込み要求は，8レベルの割り込み優先順位を指定でき，多重処理制御ができます。

(6) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり，メイン・クロック発振周波数 (f_x) とサブクロック周波数 (f_{xT}) を生成しています。メイン・クロック周波数 (f_{xx}) として， f_x をそのまま使用するクロック・スルー・モードと， f_x を4逓倍して使用するPLLモードがあります。

CPUクロック周波数 (f_{CPU}) としては， f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{xT} の7種類から選択できます。

(7) Ring-OSC

Ring-OSCを内蔵しています。発振周波数は200 kHz (TYP.) です。ウォッチドッグ・タイマ2とタイマMへクロック供給します。

(8) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタP (TMP) を4チャンネル，16ビットのタイマ/イベント・カウンタQ (TMQ) を1チャンネル，16ビットのインターバル・タイマM (TMM) を1チャンネル内蔵しています。

(9) 時計用タイマ

サブクロック (32.768 kHz) またはプリスケアラ3からの f_{BRG} (32.768 kHz) から時計カウント用の基準時間 (0.5秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

(10) ウォッチドッグ・タイマ2

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとしてRing-OSC, メイン・クロックを選択できます。

オーバフローでノンマスカブル割り込み要求信号 (INTWDT2), またはシステム・リセット信号 (WDT2RES) を発生します。

(11) シリアル・インタフェース (SIO)

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTA), 3線式可変長シリアル・インタフェースB (CSIB), I²Cバス・インタフェース (I²C) を内蔵しています。

UARTAは, TXDA0-TXDA2, RXDA0-RXDA2端子によりデータ転送を行います。

CSIBは, SOB0, SOB1, SIB0, SIB1, $\overline{SCKB0}$, $\overline{SCKB1}$ 端子によりデータ転送を行います。

I²Cは, SDA00, SCL00端子によりデータ転送を行います。

(12) A/Dコンバータ

12本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(13) DMAコントローラ

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAM, 内蔵周辺I/O, 外部メモリ間でデータを転送します。

(14) ROMコレクション

マスクROM内のプログラムの一部を内蔵RAMのプログラムへ置き換えて実行する機能です。4箇所修正可能です。

(15) キー割り込み機能

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

(16) オンチップ・ディバグ機能 (μ PD70F3229Yのみ)

JTAG (Joint Test Action Group) の通信仕様を利用して、N-Wire 型エミュレータを介したオンチップ・ディバグ機能を内蔵しています。通常ポート機能とオンチップ・ディバグ機能の切り替えは、制御端子の入力レベルとオンチップ・ディバグ・モード設定レジスタ (OCDM) の2つで行います。

(17) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
P0	7ビット入出力	NMI, 外部割り込み, A/Dコンバータ・トリガ, デバッグ・リセット, タイマ入出力
P1	2ビット入出力	-
P3	10ビット入出力	外部割り込み, シリアル・インタフェース, タイマ入出力
P4	3ビット入出力	シリアル・インタフェース
P5	6ビット入出力	タイマ入出力, キー割り込み入力, デバッグ入出力
P7	12ビット入出力	A/Dコンバータ・アナログ入力
P9	16ビット入出力	シリアル・インタフェース, キー割り込み入力, タイマ入出力, 外部割り込み
PCM	4ビット入出力	外部制御信号
PCS	2ビット入出力	チップ・セレクト出力
PCT	4ビット入出力	外部制御信号
PDH	2ビット入出力	外部アドレス・バス
PDL	16ビット入出力	外部アドレス/データ・バス

第2章 端子機能

2.1 端子機能一覧

μ PD703229Y, 70F3229Yの端子名称と機能を次に示します。

端子の入出力バッファ電源には、 AV_{REF0} , BV_{DD} , EV_{DD} の3系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子
AV_{REF0}	ポート7
BV_{DD}	ポートCM, CS, CT, DH, DL
EV_{DD}	\overline{RESET} , ポート0, 1, 3-5, 9

★ (1) ポート端子

(1/3)

端子名称	ピン 番号	入出力	内蔵プルアップ 抵抗	機 能	兼用端子
P00	6	入出力	あり	ポート0 7ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TIP31/TOP31
P01	7				TIP30/TOP30
P02	17				NMI
P03	18				INTP0/ADTRG
P04	19				INTP1
P05	20				INTP2/ \overline{DRST} ^注
P06	21				INTP3
P10	3	入出力	あり	ポート1 2ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	-
P11	4				-
P30	25	入出力	あり	ポート3 10ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	TXDA0
P31	26				RXDA0/INTP7
P32	27				ASCKA0/TIP00/TOP00
P33	28				TIP01/TOP01
P34	29				TIP10/TOP10
P35	30				TIP11/TOP11
P36	31				-
P37	32				-
P38	35				TXDA2
P39	36				RXDA2
P40	22	入出力	あり	ポート4 3ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	SIB0/SDA00
P41	23				SOB0/SCL00
P42	24				SCKB0

注 μ PD70F3229Yのみ

端子名称	ピン番号	入出力	内蔵プルアップ抵抗	機能	兼用端子
P50	37	入出力	あり	ポート5 6ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	KR0/TIQ01/TOQ01
P51	38				KR1/TIQ02/TOQ02
P52	39				KR2/TIQ03/TOQ03/DDI ^注
P53	40				KR3/TIQ00/TOQ00/DDO ^注
P54	41				KR4/DCK ^注
P55	42				KR5/DMS ^注
P70	100	入出力	なし	ポート7 12ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	ANI0
P71	99				ANI1
P72	98				ANI2
P73	97				ANI3
P74	96				ANI4
P75	95				ANI5
P76	94				ANI6
P77	93				ANI7
P78	92				ANI8
P79	91				ANI9
P710	90				ANI10
P711	89				ANI11
P90	43	入出力	あり	ポート9 16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	KR6/TXDA1
P91	44				KR7/RXDA1
P92	45				-
P93	46				-
P94	47				-
P95	48				-
P96	49				TIP21/TOP21
P97	50				SIB1/TIP20/TOP20
P98	51				SOB1
P99	52				SCKB1
P910	53				-
P911	54				-
P912	55				-
P913	56				INTP4
P914	57				INTP5
P915	58				INTP6
PCM0	61	入出力	なし	ポートCM 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	WAIT
PCM1	62				CLKOUT
PCM2	63				HLDK
PCM3	64				HLDRQ
PCS0	59	入出力	なし	ポートCS 2ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	CS0
PCS1	60				CS1

注 μ PD70F3229Yのみ

端子名称	ピン 番号	入出力	内蔵プルアップ 抵抗	機 能	兼用端子
PCT0	65	入出力	なし	ポートCT 4ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	WR0
PCT1	66				WR1
PCT4	67				RD
PCT6	68				ASTB
PDH0	87	入出力	なし	ポートDH 2ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	A16
PDH1	88				A17
PDL0	71	入出力	なし	ポートDL 16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	AD0
PDL1	72				AD1
PDL2	73				AD2
PDL3	74				AD3
PDL4	75				AD4
PDL5	76				AD5/FLMD1 ^注
PDL6	77				AD6
PDL7	78				AD7
PDL8	79				AD8
PDL9	80				AD9
PDL10	81				AD10
PDL11	82				AD11
PDL12	83				AD12
PDL13	84				AD13
PDL14	85				AD14
PDL15	86				AD15

注 μ PD70F3229Yのみ

★ (2) ポート以外の端子

(1/3)

端子名	ピン番号	入出力	内蔵プルアップ抵抗	機能	兼用端子名
A16	87	入出力	なし	外部メモリに対するアドレス・バス	PDH0
A17	88				PDH1
AD0	71	入出力	なし	外部メモリに対するアドレス/データ・バス	PDL0
AD1	72				PDL1
AD2	73				PDL2
AD3	74				PDL3
AD4	75				PDL4
AD5	76				PDL5/FLMD1 ^注
AD6	77				PDL6
AD7	78				PDL7
AD8	79				PDL8
AD9	80				PDL9
AD10	81				PDL10
AD11	82				PDL11
AD12	83				PDL12
AD13	84				PDL13
AD14	85				PDL14
AD15	86				PDL15
ADTRG	18	入力	なし	A/Dコンバータ外部トリガ入力	P03/INTP0
ANI0	100	入力	なし	A/Dコンバータ用アナログ電圧入力	P70
ANI1	99				P71
ANI2	98				P72
ANI3	97				P73
ANI4	96				P74
ANI5	95				P75
ANI6	94				P76
ANI7	93				P77
ANI8	92				P78
ANI9	91				P79
ANI10	90				P710
ANI11	89				P711
ASCKA0	27	入力	あり	UARTA0のポー・レート・クロック入力	P32/TIP00/TOP00
ASTB	68	出力	なし	外部メモリに対するアドレス・ストロブ信号出力	PCT6
AV _{REF0}	1	-	-	A/Dコンバータ用基準電圧入力,兼ポート7用正電源供給	-
AV _{SS}	2	-	-	A/Dコンバータ用グランド電位 (V _{SS} と同電位)	-
BV _{DD}	70	-	-	バス・インタフェースおよび兼用ポート用正電源供給	-
BV _{SS}	69	-	-	バス・インタフェースおよび兼用ポート用グランド電位	-
CLKOUT	62	出力	なし	内部システム・クロック出力	PCM1
CS0	59	出力	なし	チップ・セレクト出力	PCS0
CS1	60				PCS1

注 μ PD70F3229Yのみ

端子名	ピン番号	入出力	内蔵プルアップ抵抗	機能	兼用端子名
DCK ^{注1}	41	入力	あり	ディバグ・クロック入力	P54/KR4
DDI ^{注1}	39	入力	あり	ディバグ・データ入力	P52/KR2/TIQ03/TOQ03
DDO ^{注1}	40	出力	あり	ディバグ・データ出力	P53/KR3/TIQ00/TOQ00
DMS ^{注1}	42	入力	あり	ディバグ・モード・セレクト入力	P55/KR5
DRST ^{注1}	20	入力	あり	ディバグ・リセット入力	P05/INTP2
EV _{DD}	5, 34	-	-	外部用正電源供給 (V _{DD} と同電位)	-
EV _{SS}	33	-	-	外部用グランド電位 (V _{SS} と同電位)	-
FLMD0 ^{注1}	8	入力	なし	フラッシュ・メモリ・プログラミング・モード引き込み用端子	-
FLMD1 ^{注1}	76				PDL5/AD5
HLD $\overline{\text{AK}}$	63	出力	なし	バス・ホールド・アクノリッジ出力	PCM2
HLD $\overline{\text{RQ}}$	64	入力	なし	バス・ホールド要求入力	PCM3
IC ^{注2}	8	-	-	内部接続	-
INTP0	18	入力	あり	外部割り込み要求入力 (マスカブル, アナログ・ノイズ除去)。 INTP3端子は, アナログ・ノイズ除去/デジタルノイズ選択可能	P03/ADTRG
INTP1	19				P04
INTP2	20				P05/ $\overline{\text{DRST}}$ ^{注1}
INTP3	21				P06
INTP4	56				P913
INTP5	57				P914
INTP6	58				P915
INTP7	26				P31/RXDA0
KR0	37	入力	あり	キー割り込み入力	P50/TIQ01/TOQ01
KR1	38				P51/TIQ02/TOQ02
KR2	39				P52/TIQ03/TOQ03/DDI ^{注1}
KR3	40				P53/TIQ00/TOQ00/DDO ^{注1}
KR4	41				P54/DCK ^{注1}
KR5	42				P55/DMS ^{注1}
KR6	43				P90/TXDA1
KR7	44				P91/RXDA1
NMI	17	入力	あり	外部割り込み入力 (ノンマスカブル, アナログ・ノイズ除去)	P02
RD	67	出力	なし	外部メモリに対するリード・ストロブ信号出力	PCT4
REGC	10	-	-	レギュレータ出力安定容量接続	-
$\overline{\text{RESET}}$	14	入力	-	システム・リセット入力	-
RXDA0	26	入力	あり	シリアル受信データ入力 (UARTA0, UARTA1, UARTA2)	P31/INTP7
RXDA1	44				P91/KR7
RXDA2	36				P39
SCK $\overline{\text{B0}}$	24	入出力	あり	シリアル・クロック入出力 (CSIB0, CSIB1)	P42
SCK $\overline{\text{B1}}$	52				P99
SCL00	23	入出力	あり	シリアル・クロック入出力 (I ² C00)	P41/SOB0
SDA00	22	入出力	あり	シリアル送受信データ入出力 (I ² C00)	P40/SIB0
SIB0	22	入力	あり	シリアル受信データ入力 (CSIB0, CSIB1)	P40/SDA00
SIB1	50				P97/TIP20/TOP20

注1. μ PD70F3229Yのみ2. μ PD703229Yのみ

端子名	ピン 番号	入出力	内蔵プルアップ 抵抗	機 能	兼用端子名
SOB0	23	出力	あり	シリアル送信データ出力 (CSIB0, CSIB1)	P41/SCL00
SOB1	51				P98
TIP00	27	入力	あり	外部イベント/クロック入力 (TMP0)	P32/ASCKA0/TOP00
TIP01	28				P33/TOP01
TIP10	29			外部イベント/クロック入力 (TMP1)	P34/TOP10
TIP11	30				P35/TOP11
TIP20	50			外部イベント/クロック入力 (TMP2)	P97/SIB1/TOP20
TIP21	49				P96/TOP21
TIP30	7			外部イベント/クロック入力 (TMP3)	P01/TOP30
TIP31	6				P00/TOP31
TIQ00	40			入力	あり
TIQ01	37	P50/KR0/TOQ01			
TIQ02	38	P51/KR1/TOQ02			
TIQ03	39	P52/KR2/TOQ03/DDI ^注			
TOP00	27	出力	あり	タイマ出力 (TMP0)	P32/ASCKA0/TIP00
TOP01	28				P33/TIP01
TOP10	29			タイマ出力 (TMP1)	P34/TIP10
TOP11	30				P35/TIP11
TOP20	50			タイマ出力 (TMP2)	P97/SIB1/TIP20
TOP21	49				P96/TIP21
TOP30	7			タイマ出力 (TMP3)	P01/TIP30
TOP31	6				P00/TIP31
TOQ00	40	出力	あり	タイマ出力 (TMQ0)	P53/KR3/TIQ00/DDO ^注
TOQ01	37				P50/KR0/TIQ01
TOQ02	38				P51/KR1/TIQ02
TOQ03	39				P52/KR2/TIQ03/DDI ^注
TXDA0	25	出力	あり	シリアル送信データ出力 (UARTA0, UARTA1, UARTA2)	P30
TXDA1	43				P90/KR6
TXDA2	35				P38
V _{DD}	9	-	-	内部用正電源供給端子	-
V _{SS}	11	-	-	内部用グランド電位	-
WAIT	61	入力	なし	外部ウエイト入力	PCM0
WR0	65	出力	なし	外部メモリ (下位8ビット) に対するライト・ストロープ	PCT0
WR1	66				外部メモリ (上位8ビット) に対するライト・ストロープ
X1	12	入力	なし	メイン・クロック用発振子接続	-
X2	13	-	なし		-
XT1	15	入力	なし	サブクロック用発振子接続	-
XT2	16	-	なし		-

注 μ PD70F3229Yのみ

2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

★

表2-2 動作モードによる各端子の動作状態

バス制御端子	リセット	HALTモード ^{注1}	IDLEモード STOPモード	アイドル・ ステート ^{注2}	バス・ホールド	
AD0-AD15	Hi-Z ^{注3}	不定	Hi-Z	保持	Hi-Z	
A16, A17						
WAIT		-	-	-	-	
CLKOUT		動作	L	動作	動作	
CS0, CS1		H	H	保持	Hi-Z	
WR0, WR1		インアクティブ・ レベル(H)	H	H	H	Hi-Z
RD		H				
ASTB						
HLD $\overline{\text{AK}}$		動作				L
HLD $\overline{\text{RQ}}$				-	-	動作

注1. HALTモード時でもDMA動作中は動作します。

2. T3ステート後に挿入されるアイドル・ステート時の端子状態を示します。

3. バス制御端子はポート端子と兼用するので、入力モード（ポート・モード）に初期化します。

備考 Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

L : ロウ・レベル出力

H : ハイ・レベル出力

- : 入力非サンプリング（受け付けない）

2.3 端子の入出力回路タイプ，入出力バッファ電源と未使用時の処理

(1/3)

端子	兼用端子名	入出力回路タイプ	推奨接続方法
P00	TIP31/TOP31	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P01	TIP30/TOP30		
P02	NMI		
P03	INTP0/ADTRG		
P04	INTP1		
P05	INTP2/DRST ^注	5-AF	個別に抵抗を介して，EV _{SS} に接続してください。 出力時：オープンにしてください。
P06	INTP3	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P10, P11	-	5-A	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P30	TXDA0	5-A	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P31	RXDA0/INTP7	5-W	
P32	ASCKA0/TIP00/TOP00		
P33	TIP01/TOP01		
P34	TIP10/TOP10		
P35	TIP11/TOP11		
P36, P37	-	5-A	
P38	TXDA2	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P39	RXDA2		
P40	SIB0/SDA00	10-F	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P41	SOB0/SCL00	5-W	
P42	SCKB0		
P50	KR0/TIQ01/TOQ01	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P51	KR1/TIQ02/TOQ02		
P52	KR2/TIQ03/TOQ03/DDI ^注		
P53	KR3/TIQ00/TOQ00/DDO ^注		
P54	KR4/DCK ^注		
P55	KR5/DMS ^注		
P70-P711	ANI0-ANI11	11-G	個別に抵抗を介して，AV _{REF0} またはAV _{SS} に接続してください。 出力時：オープンにしてください。

注 μ PD70F3229Yのみ

端子	兼用端子名	入出力回路タイプ	推奨接続方法	
P90	KR6/TDXA1	5-W	入力時：個別に抵抗を介して、EV _{DD} またはEV _{SS} に接続してください。	
P91	KR7/RXDA1			
P92-P95	-	5-A	出力時：オープンにしてください。	
P96	TIP21/TOP21	5-W		
P97	SIB1/TIP20/TOP20			
P98	SOB1	5-A		
P99	SCKB1	5-W		
P910-P912	-	5-A		
P913-P915	INTP4-INTP6	5-W		
PCM0	WAIT	5		入力時：個別に抵抗を介して、BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
PCM1	CLKOUT			
PCM2	HLDK			
PCM3	HLDRQ			
PCS0, PCS1	CS0, CS1	5	入力時：個別に抵抗を介して、BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。	
PCT0, PCT1	WR0, WR1	5	入力時：個別に抵抗を介して、BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。	
PCT4	RD			
PCT6	ASTB			
PDH0, PDH1	A16, A17	5	入力時：個別に抵抗を介して、BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。	
PDL0-PDL4	AD0-AD4	5	入力時：個別に抵抗を介して、BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。	
PDL5	AD5/FLMD1 ^注			個別に抵抗を介してBV _{SS} に接続してください。 出力時：オープンにしてください。
PDL6-PDL15	AD6-AD15			入力時：個別に抵抗を介して、BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
AV _{REF0}	-	-	常に電源と接続してください（スタンバイ時も同様です）。	
AV _{SS}	-	-	常にGNDに直接接続してください（スタンバイ時も同様です）。	
BV _{DD}	-	-	常に電源と接続してください（スタンバイ時も同様です）。	
BV _{SS}	-	-	常にGNDに直接接続してください（スタンバイ時も同様です）。	
EV _{DD}	-	-	常に電源と接続してください（スタンバイ時も同様です）。	
EV _{SS}	-	-	常にGNDに直接接続してください（スタンバイ時も同様です）。	

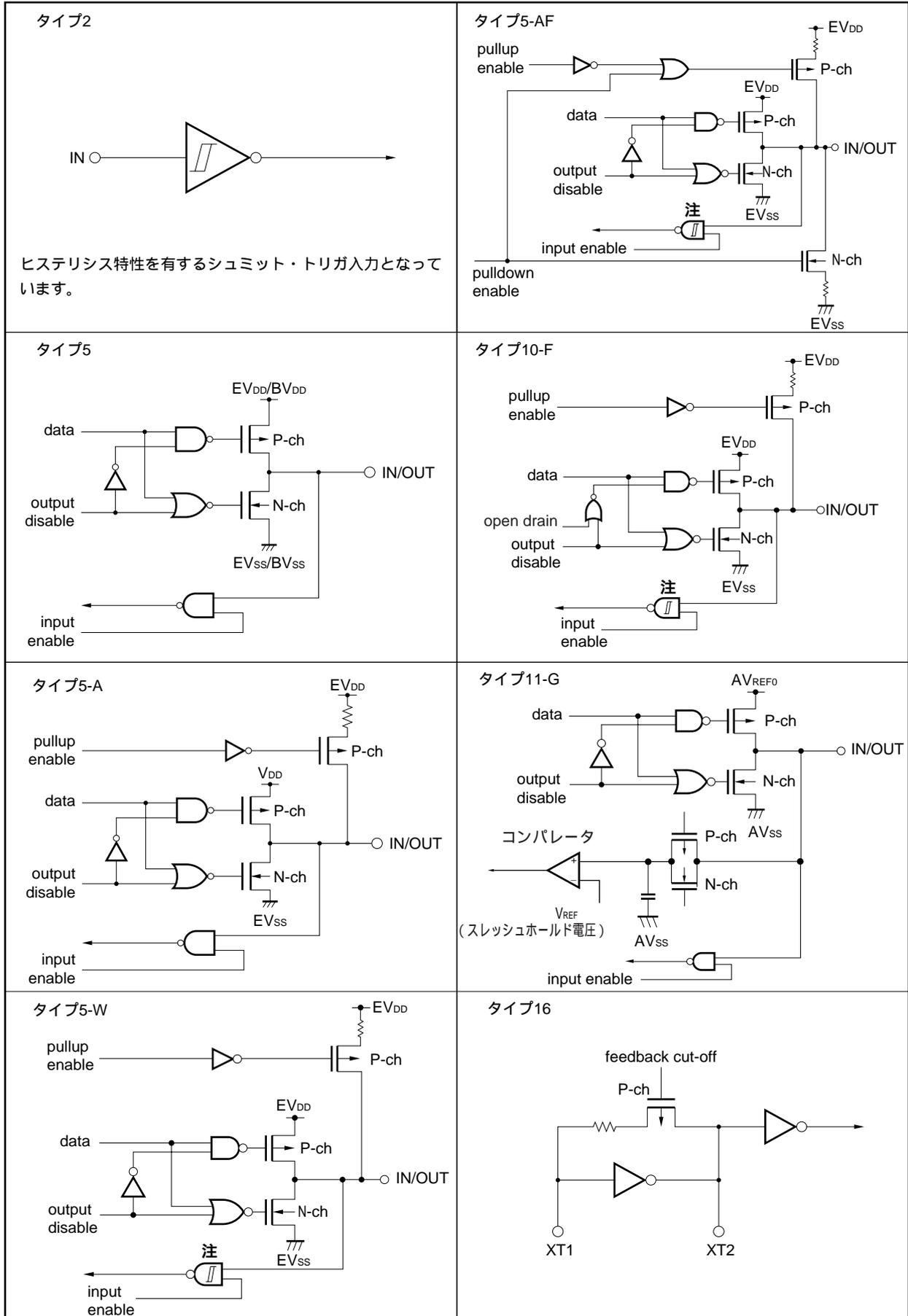
注 μ PD70F3229Yのみ

端子	兼用端子名	入出力回路タイプ	推奨接続方法
FLMD0 ^{注1}	-	-	フラッシュ・メモリ・プログラミング・モード時以外はV _{SS} に直接接続してください。
IC ^{注2}	-	-	V _{SS} に直接接続してください。
REGC	-	-	レギュレータ出力安定容量接続
RESET	-	2	-
V _{DD}	-	-	常に電源と接続してください(スタンバイ時も同様です)。
V _{SS}	-	-	常にGNDに直接接続してください(スタンバイ時も同様です)。
X1	-	-	-
X2	-	-	-
XT1	-	16	V _{SS} に接続してください。
XT2	-	16	オープンにしてください。

注1. μ PD70F3229Yのみ

2. μ PD703229Yのみ

図2 - 1 端子の入出力回路タイプ



注 ポート・モード時はヒステリシス特性を持ちません。

第3章 CPU機能

μ PD703229Y, 70F3229YのCPUは, RISCアーキテクチャをベースとして, 5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間: 50 ns (20 MHz動作時)

30.5 μ s (サブクロック (f_{XT}) = 32.768 kHz動作時)

メモリ空間 プログラム (物理アドレス) 空間: 64 Mバイト・リニア

データ (論理アドレス) 空間 : 4 Gバイト・リニア

・メモリ・ブロック分割機能: 2 M, 2 Mバイト / 計2ブロック

汎用レジスタ: 32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令: 1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

- ・SET1
- ・CLR1
- ・NOT1
- ・TST1

3.2 CPUレジスタ・セット

μ PD703229Y, 70F3229Yのレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外/ディバグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外/ディバグ・トラップ時状態回避レジスタ)
r15			
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1、r3-r5、r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3 - 1 プログラム・レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}		
2	NMI時状態退避レジスタ (FEPC) ^{注1}		
3	NMI時状態退避レジスタ (FEPSW) ^{注1}		
4	割り込み要因レジスタ (ECR)	x	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/ディバグ・トラップ時状態退避レジスタ (DBPC)	注2	
19	例外/ディバグ・トラップ時状態退避レジスタ (DBPSW)	注2	
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	x	x

注1. これらのレジスタは1組しかいないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令を実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

注意 LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

備考 : アクセス可能

x : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

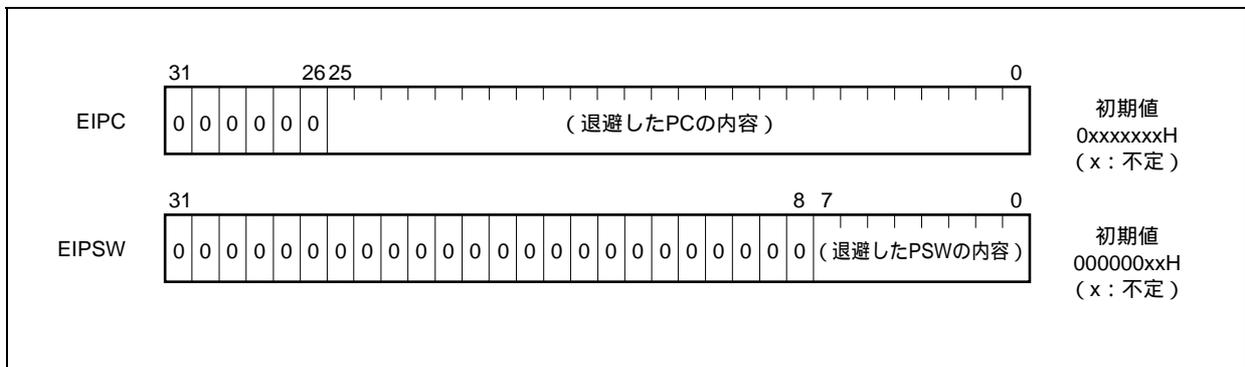
EIPCには、一部の命令 (17.8 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

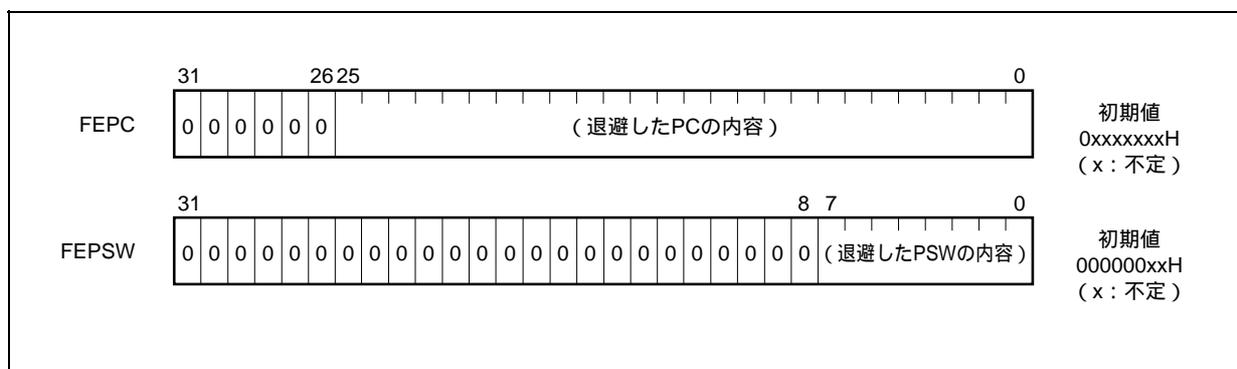
FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は、割り込み要求の受け付けを保留します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

(1/2)

ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。"0"に固定されています。
7	NP	ノンマスクブル割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット "1" され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット "1" されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスクブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み可 1: 割り込み不可
4	SAT ^注	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット "1" され、以降の命令の演算結果が飽和しなくてもクリア "0" されません。クリア "0" する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット "1" もクリア "0" も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。
1	S ^注	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

備考 注の説明は次ページに記載しています。

注 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット (1) された場合だけ、SAT フラグはセット (1) されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正 (最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負 (最大値を越えない)	保持		1	

(5) CALLT実行時状態退避レジスタ (CTPC, CTPSW)

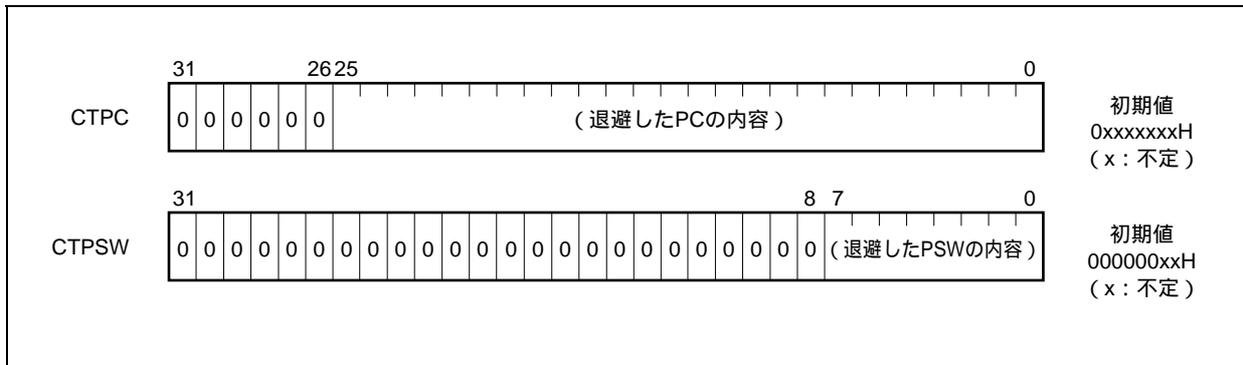
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ (PC) の内容がCTPCに、プログラム・ステータス・ワード (PSW) の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています (“0” に固定)。



(6) 例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外 / デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

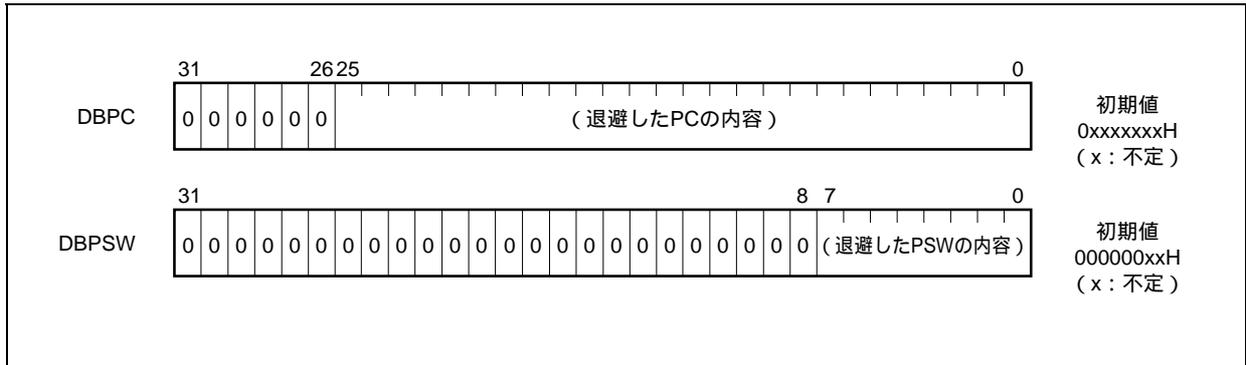
例外トラップ, またはデバッグ・トラップが発生すると, プログラム・カウンタ(PC)の内容がDBPC に, プログラム・ステータス・ワード (PSW) の内容がDBPSWに退避されます。

DBPCに退避される内容は, 例外トラップ, またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには, 現在のPSWの内容が退避されます。

なお, DBPCのビット31-26とDBPSWのビット31-8は, 将来の機能拡張のために予約されています (“0” に固定)。

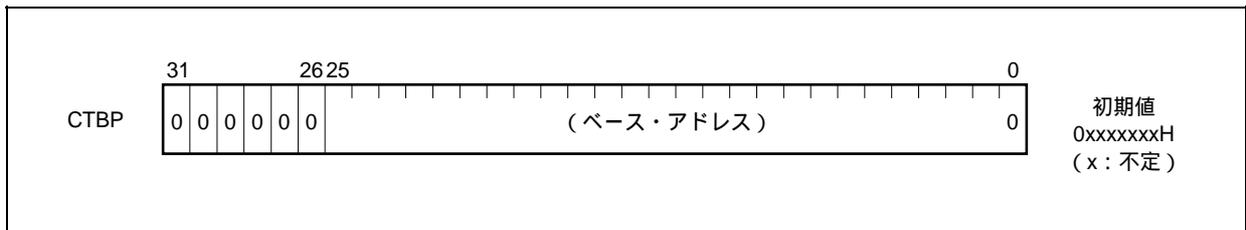
DBRET命令により, DBPCの値はPCへ, DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は, テーブル・アドレスの指定, ターゲット・アドレスの生成に使用されます (ビット0は “0” に固定)。

なお, ビット31-26は, 将来の機能拡張のために予約されています (“0” に固定)。



3.3 動作モード

μ PD703229Y, 70F3229Yは次に示す動作モードを備えます。

(1) 通常動作モード

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード (μ PD70F3229Yのみ)

このモードを指定すると、フラッシュ・ライターによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

(3) オンチップ・ディバグ・モード (μ PD70F3229Yのみ)

JTAG (Joint Test Action Group) の通信仕様を利用して、N-Wire型エミュレータを介したオンチップ・ディバグ機能を内蔵しています。

詳細は第24章 **オンチップ・ディバグ機能**を参照してください。

★ 3.3.1 動作モード指定

FLMD0, FLMD1端子の状態により、動作モードを指定します。

通常モード時は、リセット解除時に、FLMD0/IC端子がロウ・レベル入力となるようにしてください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は、フラッシュ・ライター接続時はフラッシュ・ライターから行いますが、セルフ・プログラミング時は外部回路で行ってください。

リセット解除時の動作		リセット後の動作モード
FLMD0	FLMD1	
L	x	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

備考 L: ロウ・レベル入力

H: ハイ・レベル入力

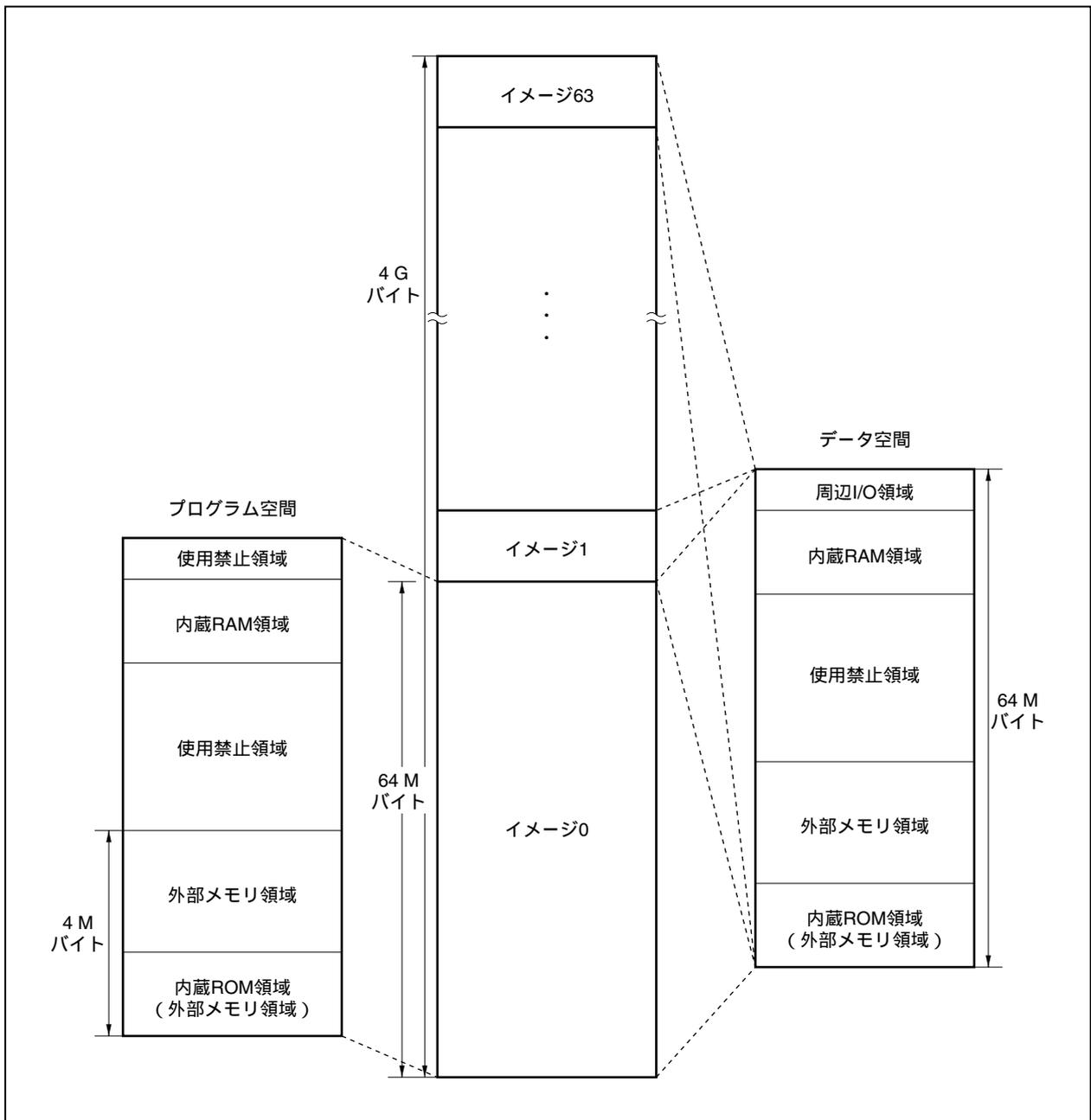
x: 任意

3.4 アドレス空間

3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大4 Mバイトの外部メモリ領域および内蔵ROM領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-ビット26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3 - 1 アドレス空間上のイメージ



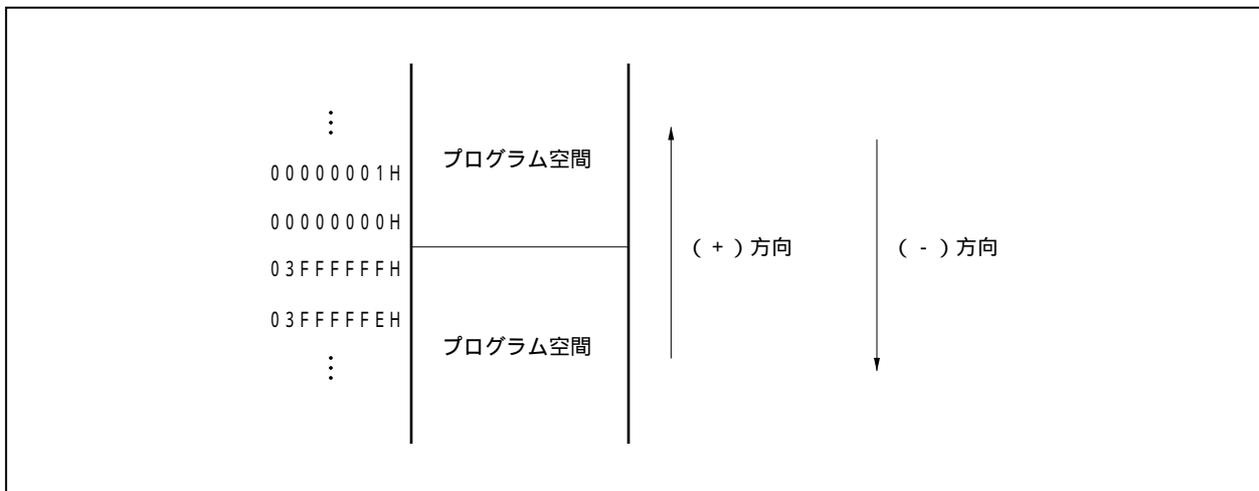
3.4.2 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の下限である00000000H番地と、上限の03FFFFFFH番地は連続したアドレスとなります。このようにメモリ空間の下限と上限が連続したアドレスになることをラップ・アラウンドといいます。

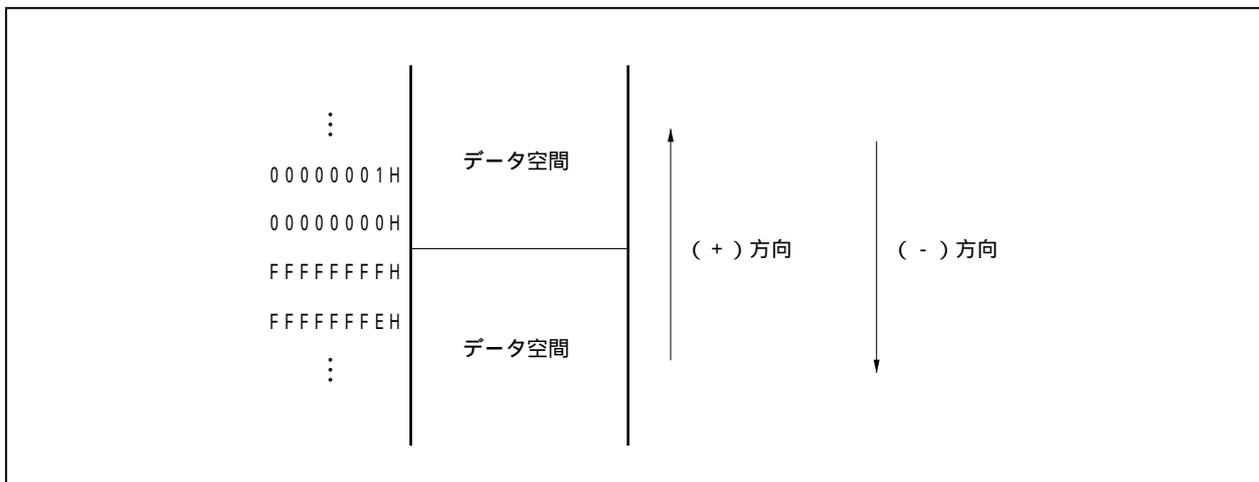
注意 03FFF000H-03FFFFFFHの4 Kバイトの領域は、周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.3 メモリ・マップ

μ PD703229Y, 70F3229Yでは, 次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ(物理アドレス)

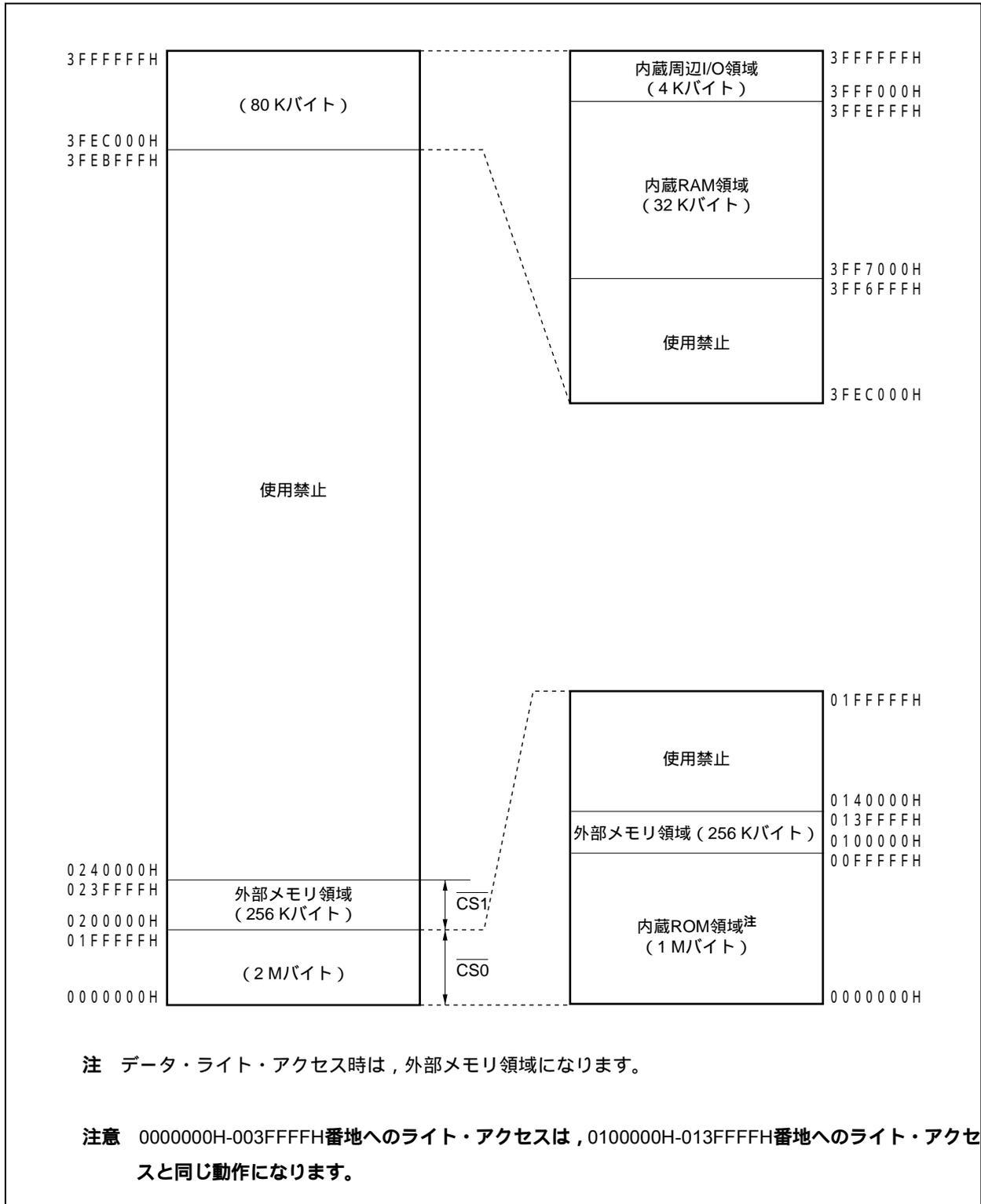
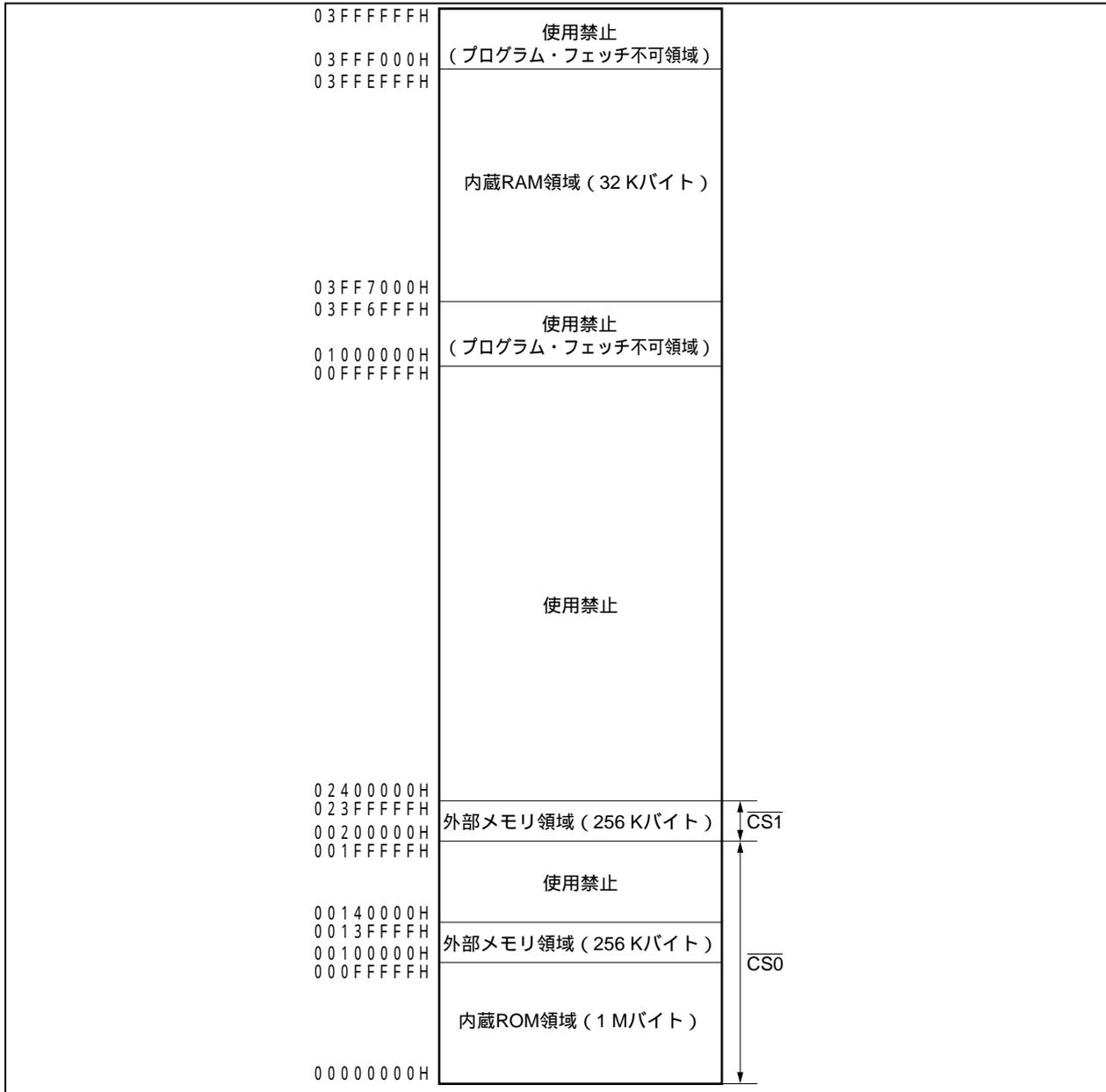


図3-3 プログラム・メモリ・マップ

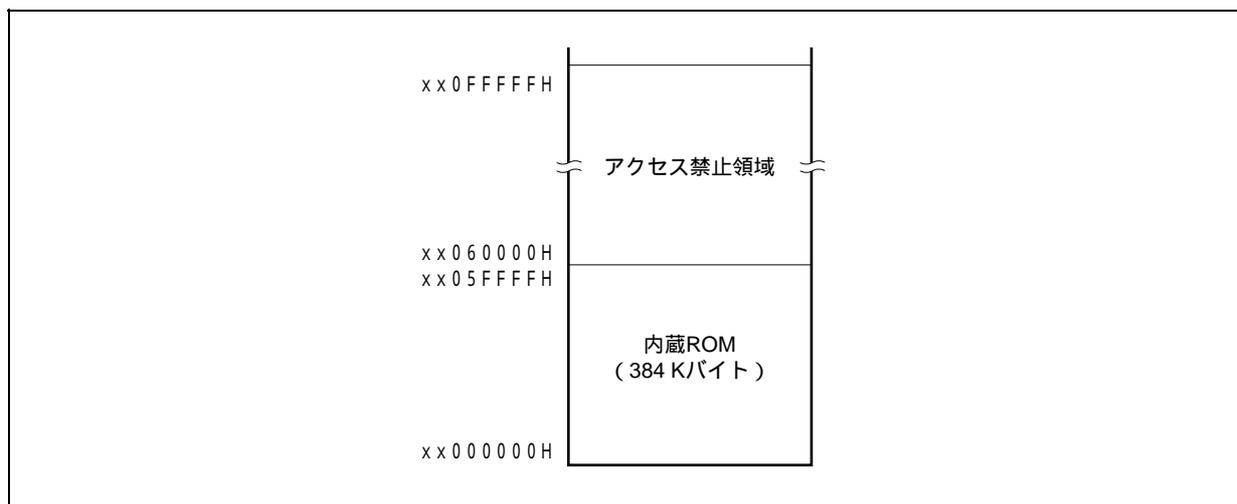


3.4.4 領域

(1) 内蔵ROM領域

内蔵ROM領域は、0000000H-0FFFFFFFH番地の1 Mバイトが予約されています。
物理内蔵ROMとして0000000H-005FFFFFFFH番地の384 Kバイトを実装しています。

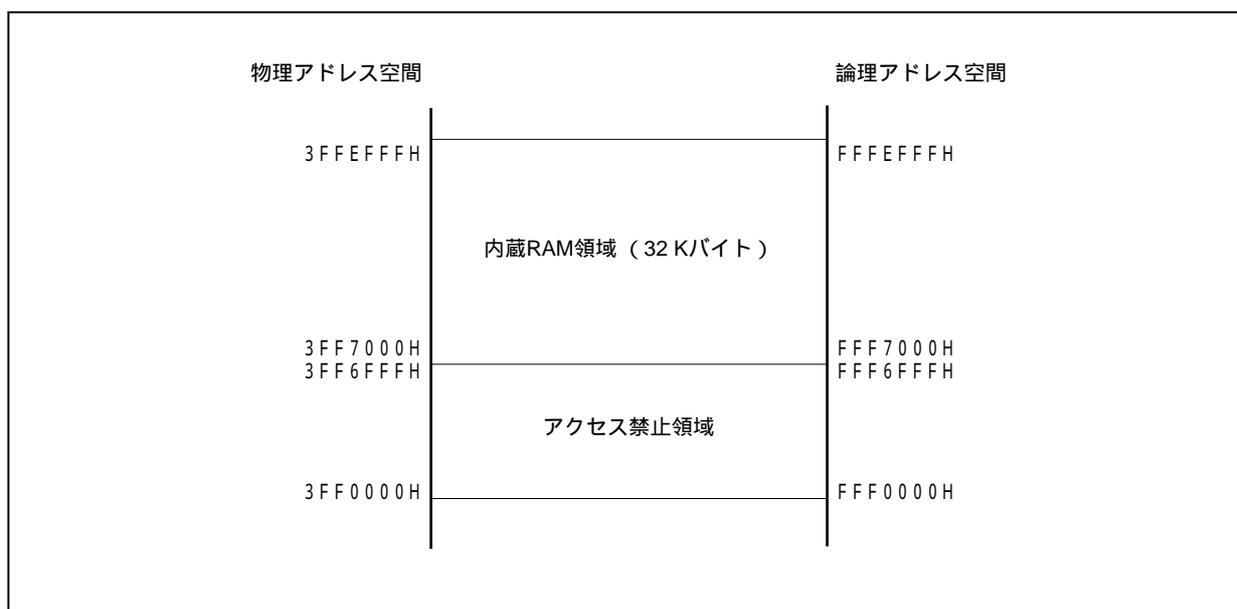
図3 - 4 内蔵ROM領域 (384 Kバイト)



(2) 内蔵RAM領域

内蔵RAM領域は、3FF0000H-3FFFFFFFFH番地の60 Kバイトが予約されています。
 μ PD703229Y, 70F3229Yでは、物理内蔵RAMとして3FF7000H-3FF6FFFFH番地の32 Kバイトを実装しています。

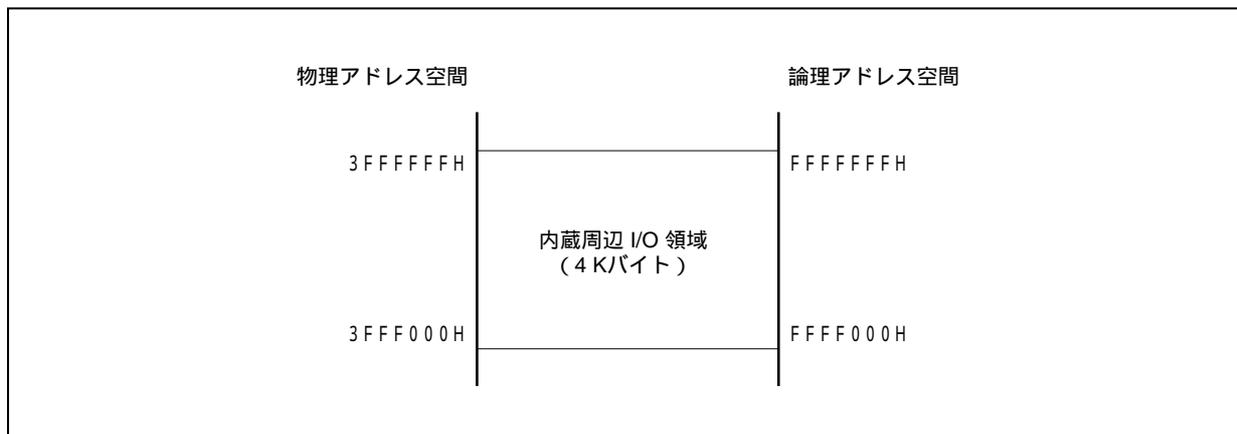
図3 - 5 内蔵RAM領域 (32 Kバイト)



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域として3FFF000H-3FFFFFFH番地の4 Kバイトを予約しています。

図3 - 6 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

(4) 外部メモリ領域

外部メモリ領域として3 Mバイト (0100000H-03FFFFFFH) あります。詳細は第5章 **バス制御機能**を参照してください。

3.4.5 アドレス空間の推奨使用方法

μ PD703229Y, 70F3229Yのアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC(プログラム・カウンタ)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、3FF7000H-3FFEFFFH番地に対してアクセスしてください。

★ **注意** 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。

(2) データ空間

μ PD703229Y, 70F3229Yでは、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例は次のようになります。

LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

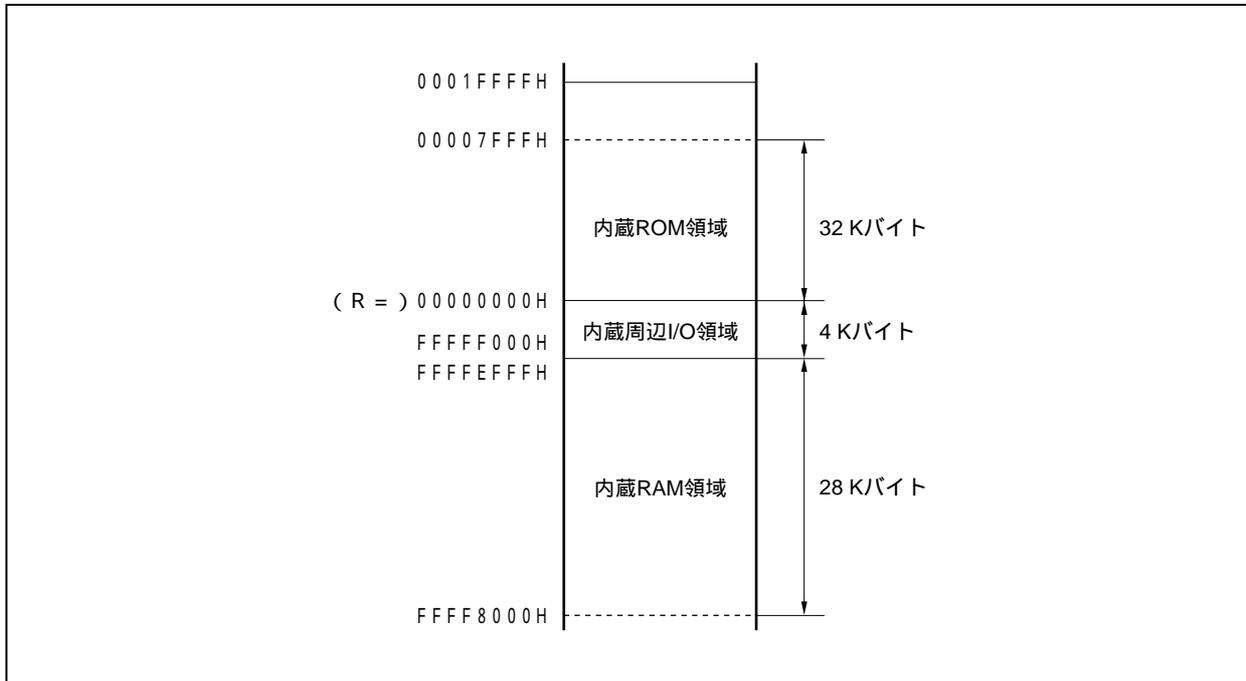
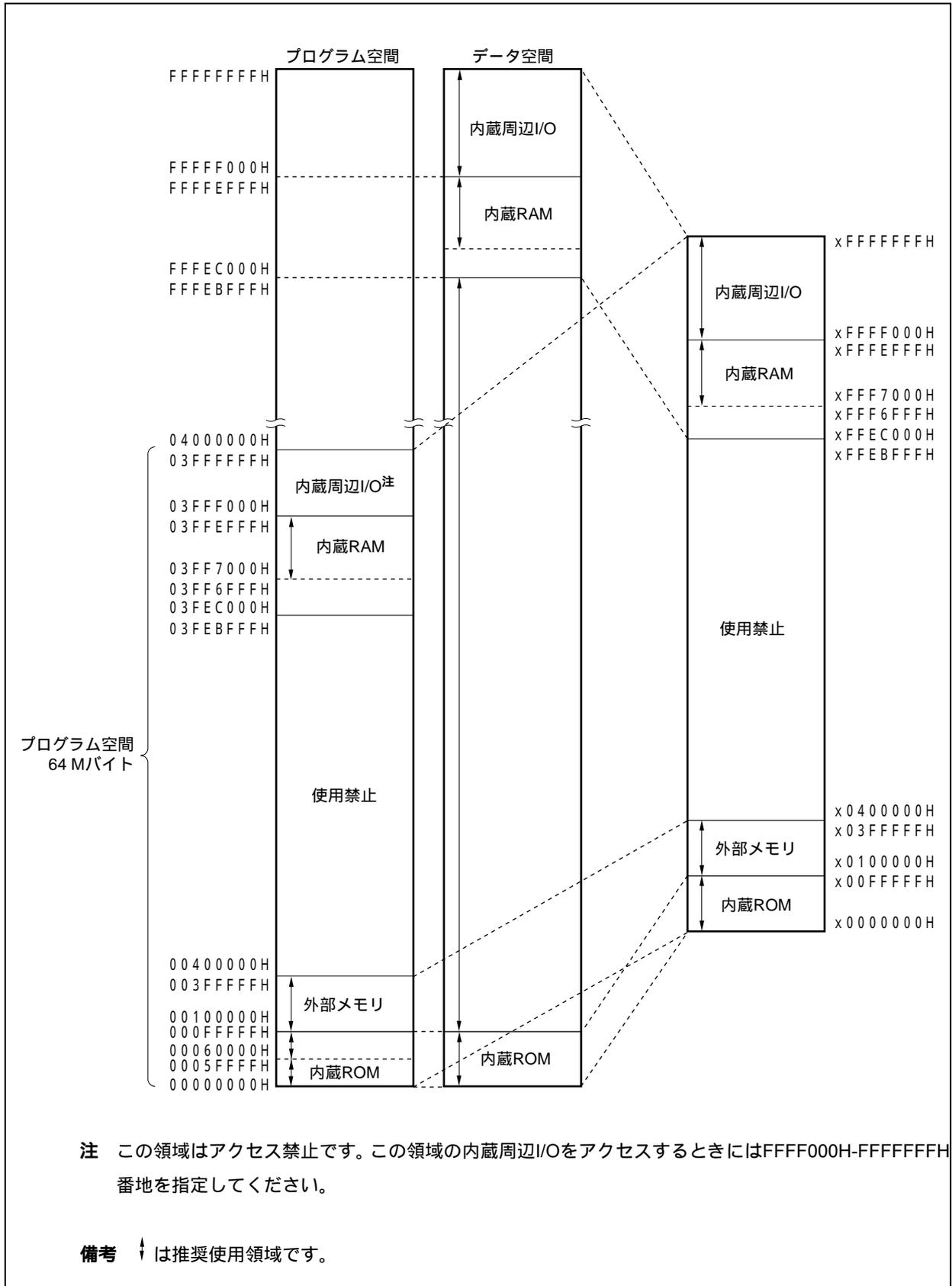


図3-7 推奨メモリ・マップ



3.4.6 周辺I/Oレジスタ

(1/9)

★	アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
					1	8	16	
★	FFFFFF004H	ポートDLレジスタ	PDL	R/W				0000H ^注
★	FFFFFF004H	ポートDLレジスタL	PDLL					00H ^注
★	FFFFFF005H	ポートDLレジスタH	PDLH					00H ^注
★	FFFFFF006H	ポートDHレジスタ	PDH					00H ^注
★	FFFFFF008H	ポートCSレジスタ	PCS					00H ^注
★	FFFFFF00AH	ポートCTレジスタ	PCT					00H ^注
★	FFFFFF00CH	ポートCMレジスタ	PCM					00H ^注
	FFFFFF024H	ポートDLモード・レジスタ	PMDL					FFFFH
	FFFFFF024H	ポートDLモード・レジスタL	PMDLL					FFH
	FFFFFF025H	ポートDLモード・レジスタH	PMDLH					FFH
	FFFFFF026H	ポートDHモード・レジスタ	PMDH					FFH
	FFFFFF028H	ポートCSモード・レジスタ	PMCS					FFH
	FFFFFF02AH	ポートCTモード・レジスタ	PMCT					FFH
	FFFFFF02CH	ポートCMモード・レジスタ	PMCM					FFH
	FFFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL					0000H
	FFFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL					00H
	FFFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH					00H
	FFFFFF046H	ポートDHモード・コントロール・レジスタH	PMCDH					00H
	FFFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS					00H
	FFFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT					00H
	FFFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM					00H
	FFFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC					5555H
	FFFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC					77H
	FFFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L					不定
	FFFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H					不定
	FFFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L					不定
	FFFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H					不定
	FFFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L					不定
	FFFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H					不定
	FFFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L					不定
	FFFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H					不定
	FFFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L					不定
	FFFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H					不定
	FFFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L					不定
	FFFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H					不定
	FFFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L					不定
	FFFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H					不定
	FFFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L					不定
	FFFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H					不定
	FFFFFF0C0H	DMA転送カウント・レジスタ0	DBC0					不定
	FFFFFF0C2H	DMA転送カウント・レジスタ1	DBC1					不定

★ 注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2	R/W				不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3					不定
FFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0					0000H
FFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1					0000H
FFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2					0000H
FFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3					0000H
FFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0					00H
FFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1					00H
FFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2					00H
FFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3					00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0					FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L					FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H					FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1					FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L					FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H					FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2					FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L					FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H					FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3					FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L					FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H					FFH
FFFFF110H	割り込み制御レジスタ	LVIIC					47H
FFFFF112H	割り込み制御レジスタ	PIC0					47H
FFFFF114H	割り込み制御レジスタ	PIC1					47H
FFFFF116H	割り込み制御レジスタ	PIC2					47H
FFFFF118H	割り込み制御レジスタ	PIC3					47H
FFFFF11AH	割り込み制御レジスタ	PIC4					47H
FFFFF11CH	割り込み制御レジスタ	PIC5					47H
FFFFF11EH	割り込み制御レジスタ	PIC6					47H
FFFFF120H	割り込み制御レジスタ	PIC7					47H
FFFFF122H	割り込み制御レジスタ	TQ0OVIC					47H
FFFFF124H	割り込み制御レジスタ	TQ0CCIC0					47H
FFFFF126H	割り込み制御レジスタ	TQ0CCIC1				47H	
FFFFF128H	割り込み制御レジスタ	TQ0CCIC2				47H	
FFFFF12AH	割り込み制御レジスタ	TQ0CCIC3				47H	
FFFFF12CH	割り込み制御レジスタ	TP0OVIC				47H	
FFFFF12EH	割り込み制御レジスタ	TP0CCIC0				47H	
FFFFF130H	割り込み制御レジスタ	TP0CCIC1				47H	
FFFFF132H	割り込み制御レジスタ	TP1OVIC				47H	
FFFFF134H	割り込み制御レジスタ	TP1CCIC0				47H	
FFFFF136H	割り込み制御レジスタ	TP1CCIC1				47H	
FFFFF138H	割り込み制御レジスタ	TP2OVIC				47H	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF13AH	割り込み制御レジスタ	TP2CCIC0	R/W				47H
FFFFFF13CH	割り込み制御レジスタ	TP2CCIC1					47H
FFFFFF13EH	割り込み制御レジスタ	TP3OVIC					47H
FFFFFF140H	割り込み制御レジスタ	TP3CCIC0					47H
FFFFFF142H	割り込み制御レジスタ	TP3CCIC1					47H
FFFFFF144H	割り込み制御レジスタ	TM0EQIC0					47H
FFFFFF146H	割り込み制御レジスタ	CB0RIC/IICIC0					47H
FFFFFF148H	割り込み制御レジスタ	CB0TIC					47H
FFFFFF14AH	割り込み制御レジスタ	CB1RIC					47H
FFFFFF14CH	割り込み制御レジスタ	CB1TIC					47H
FFFFFF14EH	割り込み制御レジスタ	UA0RIC					47H
FFFFFF150H	割り込み制御レジスタ	UA0TIC					47H
FFFFFF152H	割り込み制御レジスタ	UA1RIC					47H
FFFFFF154H	割り込み制御レジスタ	UA1TIC					47H
FFFFFF156H	割り込み制御レジスタ	ADIC					47H
FFFFFF160H	割り込み制御レジスタ	KRIC					47H
FFFFFF162H	割り込み制御レジスタ	WTIIC					47H
FFFFFF164H	割り込み制御レジスタ	WTIC					47H
FFFFFF176H	割り込み制御レジスタ	UA2RIC					47H
FFFFFF178H	割り込み制御レジスタ	UA2TIC					47H
FFFFFF182H	割り込み制御レジスタ	DMAIC0					47H
FFFFFF184H	割り込み制御レジスタ	DMAIC1					47H
FFFFFF186H	割り込み制御レジスタ	DMAIC2					47H
FFFFFF188H	割り込み制御レジスタ	DMAIC3					47H
FFFFFF1FAH	インサース・プライオリティ・レジスタ	ISPR	R				00H
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H
FFFFFF200H	A/Dコンバータ・モード・レジスタ0	ADA0M0					00H
FFFFFF201H	A/Dコンバータ・モード・レジスタ1	ADA0M1					00H
FFFFFF202H	A/Dコンバータ・チャンネル指定レジスタ	ADA0S					00H
FFFFFF203H	A/Dコンバータ・モード・レジスタ2	ADA0M2					00H
FFFFFF204H	パワー・フェイル比較モード・レジスタ	ADA0PFM					00H
FFFFFF205H	パワー・フェイル比較しきい値レジスタ	ADA0PFT					00H
FFFFFF210H	A/D変換結果レジスタ0	ADA0CR0		R			
FFFFFF211H	A/D変換結果レジスタ0H	ADA0CR0H					不定
FFFFFF212H	A/D変換結果レジスタ1	ADA0CR1					不定
FFFFFF213H	A/D変換結果レジスタ1H	ADA0CR1H					不定
FFFFFF214H	A/D変換結果レジスタ2	ADA0CR2					不定
FFFFFF215H	A/D変換結果レジスタ2H	ADA0CR2H					不定
FFFFFF216H	A/D変換結果レジスタ3	ADA0CR3					不定
FFFFFF217H	A/D変換結果レジスタ3H	ADA0CR3H					不定
FFFFFF218H	A/D変換結果レジスタ4	ADA0CR4					不定
FFFFFF219H	A/D変換結果レジスタ4H	ADA0CR4H					不定

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFF21AH	A/D変換結果レジスタ5	ADA0CR5	R				不定	
FFFFFF21BH	A/D変換結果レジスタ5H	ADA0CR5H					不定	
FFFFFF21CH	A/D変換結果レジスタ6	ADA0CR6					不定	
FFFFFF21DH	A/D変換結果レジスタ6H	ADA0CR6H					不定	
FFFFFF21EH	A/D変換結果レジスタ7	ADA0CR7					不定	
FFFFFF21FH	A/D変換結果レジスタ7H	ADA0CR7H					不定	
FFFFFF220H	A/D変換結果レジスタ8	ADA0CR8					不定	
FFFFFF221H	A/D変換結果レジスタ8H	ADA0CR8H					不定	
FFFFFF222H	A/D変換結果レジスタ9	ADA0CR9					不定	
FFFFFF223H	A/D変換結果レジスタ9H	ADA0CR9H					不定	
FFFFFF224H	A/D変換結果レジスタ10	ADA0CR10					不定	
FFFFFF225H	A/D変換結果レジスタ10H	ADA0CR10H					不定	
FFFFFF226H	A/D変換結果レジスタ11	ADA0CR11					不定	
FFFFFF227H	A/D変換結果レジスタ11H	ADA0CR11H					不定	
FFFFFF300H	キー・リターン・モード・レジスタ	KRM		R/W				00H
FFFFFF308H	セレクト動作制御レジスタ0	SELCNT0						00H
FFFFFF318H	ノイズ除去制御レジスタ	NFC						00H
FFFFFF340H	IIC分周クロック選択レジスタ0	OCKS0						00H
★ FFFFF400H	ポート0レジスタ	P0					00H ^注	
★ FFFFF402H	ポート1レジスタ	P1					00H ^注	
★ FFFFF406H	ポート3レジスタ	P3					0000H ^注	
★ FFFFF406H	ポート3レジスタL	P3L					00H ^注	
★ FFFFF407H	ポート3レジスタH	P3H					00H ^注	
★ FFFFF408H	ポート4レジスタ	P4					00H ^注	
★ FFFFF40AH	ポート5レジスタ	P5					00H ^注	
★ FFFFF40EH	ポート7レジスタL	P7L					00H ^注	
★ FFFFF40FH	ポート7レジスタH	P7H					00H ^注	
★ FFFFF412H	ポート9レジスタ	P9					0000H ^注	
★ FFFFF412H	ポート9レジスタL	P9L					00H ^注	
★ FFFFF413H	ポート9レジスタH	P9H					00H ^注	
FFFFFF420H	ポート0モード・レジスタ	PM0					FFH	
FFFFFF422H	ポート1モード・レジスタ	PM1					FFH	
FFFFFF426H	ポート3モード・レジスタ	PM3					FFFFH	
FFFFFF426H	ポート3モード・レジスタL	PM3L					FFH	
FFFFFF427H	ポート3モード・レジスタH	PM3H					FFH	
FFFFFF428H	ポート4モード・レジスタ	PM4					FFH	
FFFFFF42AH	ポート5モード・レジスタ	PM5					FFH	
FFFFFF42EH	ポート7モード・レジスタL	PM7L					FFH	
FFFFFF42FH	ポート7モード・レジスタH	PM7H				FFH		
FFFFFF432H	ポート9モード・レジスタ	PM9				FFFFH		
FFFFFF432H	ポート9モード・レジスタL	PM9L				FFH		
FFFFFF433H	ポート9モード・レジスタH	PM9H				FFH		

★ 注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFF440H	ポート0モード・コントロール・レジスタ	PMC0	R/W				00H	
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3					0000H	
FFFFFF446H	ポート3モード・コントロール・レジスタL	PMC3L					00H	
FFFFFF447H	ポート3モード・コントロール・レジスタH	PMC3H					00H	
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4					00H	
FFFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5					00H	
FFFFFF452H	ポート9モード・コントロール・レジスタ	PMC9					0000H	
FFFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L					00H	
FFFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H					00H	
FFFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0					00H	
FFFFFF466H	ポート3ファンクション・コントロール・レジスタL	PFC3L					00H	
FFFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4					00H	
FFFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5					00H	
FFFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9					0000H	
FFFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L					00H	
FFFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H					00H	
FFFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0					7777H	
FFFFFF488H	アドレス・ウェイト・コントロール・レジスタ	AWC					FFFFH	
FFFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC					AAAAH	
FFFFFF540H	TMQ0制御レジスタ0	TQ0CTL0					00H	
FFFFFF541H	TMQ0制御レジスタ1	TQ0CTL1					00H	
FFFFFF542H	TMQ0I/O制御レジスタ0	TQ0IOC0					00H	
FFFFFF543H	TMQ0I/O制御レジスタ1	TQ0IOC1					00H	
FFFFFF544H	TMQ0I/O制御レジスタ2	TQ0IOC2					00H	
FFFFFF545H	TMQ0オプション・レジスタ0	TQ0OPT0					00H	
FFFFFF546H	TMQ0キャプチャ/コンペア・レジスタ0	TQ0CCR0					0000H	
FFFFFF548H	TMQ0キャプチャ/コンペア・レジスタ1	TQ0CCR1					0000H	
FFFFFF54AH	TMQ0キャプチャ/コンペア・レジスタ2	TQ0CCR2					0000H	
FFFFFF54CH	TMQ0キャプチャ/コンペア・レジスタ3	TQ0CCR3					0000H	
FFFFFF54EH	TMQ0カウンタ・リード・バッファ・レジスタ	TQ0CNT		R			0000H	
FFFFFF590H	TMP0制御レジスタ0	TP0CTL0		R/W				00H
FFFFFF591H	TMP0制御レジスタ1	TP0CTL1						00H
FFFFFF592H	TMP0I/O制御レジスタ0	TP0IOC0						00H
FFFFFF593H	TMP0I/O制御レジスタ1	TP0IOC1					00H	
FFFFFF594H	TMP0I/O制御レジスタ2	TP0IOC2					00H	
FFFFFF595H	TMP0オプション・レジスタ0	TP0OPT0					00H	
FFFFFF596H	TMP0キャプチャ/コンペア・レジスタ0	TP0CCR0					0000H	
FFFFFF598H	TMP0キャプチャ/コンペア・レジスタ1	TP0CCR1					0000H	
FFFFFF59AH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R				0000H	
FFFFFF5A0H	TMP1制御レジスタ0	TP1CTL0	R/W					00H
FFFFFF5A1H	TMP1制御レジスタ1	TP1CTL1					00H	
FFFFFF5A2H	TMP1I/O制御レジスタ0	TP1IOC0					00H	
FFFFFF5A3H	TMP1I/O制御レジスタ1	TP1IOC1					00H	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF5A4H	TMP1I/O制御レジスタ2	TP1IOC2	R/W				00H
FFFFF5A5H	TMP1オプション・レジスタ0	TP1OPT0					00H
FFFFF5A6H	TMP1キャプチャ/コンペア・レジスタ0	TP1CCR0					0000H
FFFFF5A8H	TMP1キャプチャ/コンペア・レジスタ1	TP1CCR1					0000H
FFFFF5AAH	TMP1カウンタ・リード・バッファ・レジスタ	TP1CNT	R				0000H
FFFFF5B0H	TMP2制御レジスタ0	TP2CTL0	R/W				00H
FFFFF5B1H	TMP2制御レジスタ1	TP2CTL1					00H
FFFFF5B2H	TMP2I/O制御レジスタ0	TP2IOC0					00H
FFFFF5B3H	TMP2I/O制御レジスタ1	TP2IOC1					00H
FFFFF5B4H	TMP2I/O制御レジスタ2	TP2IOC2					00H
FFFFF5B5H	TMP2オプション・レジスタ0	TP2OPT0					00H
FFFFF5B6H	TMP2キャプチャ/コンペア・レジスタ0	TP2CCR0					0000H
FFFFF5B8H	TMP2キャプチャ/コンペア・レジスタ1	TP2CCR1					0000H
FFFFF5BAH	TMP2カウンタ・リード・バッファ・レジスタ	TP2CNT	R				0000H
FFFFF5C0H	TMP3制御レジスタ0	TP3CTL0	R/W				00H
FFFFF5C1H	TMP3制御レジスタ1	TP3CTL1					00H
FFFFF5C2H	TMP3I/O制御レジスタ0	TP3IOC0					00H
FFFFF5C3H	TMP3I/O制御レジスタ1	TP3IOC1					00H
FFFFF5C4H	TMP3I/O制御レジスタ2	TP3IOC2					00H
FFFFF5C5H	TMP3オプション・レジスタ0	TP3OPT0					00H
FFFFF5C6H	TMP3キャプチャ/コンペア・レジスタ0	TP3CCR0					0000H
FFFFF5C8H	TMP3キャプチャ/コンペア・レジスタ1	TP3CCR1					0000H
FFFFF5CAH	TMP3カウンタ・リード・バッファ・レジスタ	TP3CNT	R				0000H
FFFFF680H	時計タイマ動作モード・レジスタ	WTM	R/W				00H
FFFFF690H	TMM0タイマ制御レジスタ0	TM0CTL0					00H
FFFFF694H	TMM0コンペア・レジスタ0	TM0CMP0					0000H
FFFFF6C0H	発振安定時間選択レジスタ	OSTS					06H
FFFFF6C1H	PLLロックアップ時間指定レジスタ	PLLS					03H
FFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2					67H
FFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE					9AH
FFFFF706H	ポート3ファンクション・コントロール拡張レジスタL	PFCE3L					00H
FFFFF70AH	ポート5ファンクション・コントロール拡張レジスタ	PFCE5					00H
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタL	PFCE9L					00H
FFFFF802H	システム・ステータス・レジスタ	SYS					00H
FFFFF80CH	リングOSCモード・レジスタ	RCM					00H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0					00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1					00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2					00H
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3					00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR					00H
FFFFF824H	ロック・レジスタ	LOCKR	R				00H
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W				03H
FFFFF82CH	PLLコントロール・レジスタ	PLLCTL					01H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R					00H
FFFFFF840H	コレクション・アドレス・レジスタ0	CORAD0	R/W					00000000H
FFFFFF840H	コレクション・アドレス・レジスタ0L	CORAD0L						0000H
FFFFFF842H	コレクション・アドレス・レジスタ0H	CORAD0H						0000H
FFFFFF844H	コレクション・アドレス・レジスタ1	CORAD1						00000000H
FFFFFF844H	コレクション・アドレス・レジスタ1L	CORAD1L						0000H
FFFFFF846H	コレクション・アドレス・レジスタ1H	CORAD1H						0000H
FFFFFF848H	コレクション・アドレス・レジスタ2	CORAD2						00000000H
FFFFFF848H	コレクション・アドレス・レジスタ2L	CORAD2L						0000H
FFFFFF84AH	コレクション・アドレス・レジスタ2H	CORAD2H						0000H
FFFFFF84CH	コレクション・アドレス・レジスタ3	CORAD3						00000000H
FFFFFF84CH	コレクション・アドレス・レジスタ3L	CORAD3L						0000H
FFFFFF84EH	コレクション・アドレス・レジスタ3H	CORAD3H						0000H
FFFFFF870H	クロック・モニタ・モード・レジスタ	CLM						00H
FFFFFF880H	コレクション・コントロール・レジスタ	CORCN						00H
FFFFFF888H	リセット要因フラグ・レジスタ	RESF						00H
FFFFFF890H	低電圧検出レジスタ	LVIM						00H
FFFFFF891H	低電圧検出レベル選択レジスタ	LVIS						00H
FFFFFF892H	内蔵RAMデータ・ステータス・レジスタ	RAMS						01H
FFFFFF8B0H	プリスケラ・モード・レジスタ0	PRSM0						00H
FFFFFF8B1H	プリスケラ・コンペア・レジスタ0	PRSCM0						00H
FFFFFF9FCH	オンチップ・デバッグ兼用端子設定レジスタ	OCDM						01H
FFFFFFA00H	UARTA0制御レジスタ0	UA0CTL0						10H
FFFFFFA01H	UARTA0制御レジスタ1	UA0CTL1						00H
FFFFFFA02H	UARTA0制御レジスタ2	UA0CTL2						FFH
FFFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0						14H
FFFFFFA04H	UARTA0状態レジスタ	UA0STR						00H
FFFFFFA06H	UARTA0受信データ・レジスタ	UA0RX		R				FFH
FFFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W					FFH
FFFFFFA10H	UARTA1制御レジスタ0	UA1CTL0						10H
FFFFFFA11H	UARTA1制御レジスタ1	UA1CTL1						00H
FFFFFFA12H	UARTA1制御レジスタ2	UA1CTL2						FFH
FFFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0						14H
FFFFFFA14H	UARTA1状態レジスタ	UA1STR						00H
FFFFFFA16H	UARTA1受信データ・レジスタ	UA1RX		R				FFH
FFFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W					FFH
FFFFFFA20H	UARTA2制御レジスタ0	UA2CTL0						10H
FFFFFFA21H	UARTA2制御レジスタ1	UA2CTL1						00H
FFFFFFA22H	UARTA2制御レジスタ2	UA2CTL2						FFH
FFFFFFA23H	UARTA2オプション制御レジスタ0	UA2OPT0						14H
FFFFFFA24H	UARTA2状態レジスタ	UA2STR						00H
FFFFFFA26H	UARTA2受信データ・レジスタ	UA2RX		R				FFH
FFFFFFA27H	UARTA2送信データ・レジスタ	UA2TX	R/W				FFH	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFB00H	TIP00 ノイズ除去制御レジスタ	P00NFC	R/W				00H
FFFFFB04H	TIP01 ノイズ除去制御レジスタ	P01NFC					00H
FFFFFB08H	TIP10 ノイズ除去制御レジスタ	P10NFC					00H
FFFFFB0CH	TIP11 ノイズ除去制御レジスタ	P11NFC					00H
FFFFFB10H	TIP20 ノイズ除去制御レジスタ	P20NFC					00H
FFFFFB14H	TIP21 ノイズ除去制御レジスタ	P21NFC					00H
FFFFFB18H	TIP30 ノイズ除去制御レジスタ	P30NFC					00H
FFFFFB1CH	TIP31 ノイズ除去制御レジスタ	P31NFC					00H
FFFFFB50H	TIQ00 ノイズ除去制御レジスタ	Q00NFC					00H
FFFFFB54H	TIQ01 ノイズ除去制御レジスタ	Q01NFC					00H
FFFFFB58H	TIQ02 ノイズ除去制御レジスタ	Q02NFC					00H
FFFFFB5CH	TIQ03 ノイズ除去制御レジスタ	Q03NFC					00H
FFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0					00H
FFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3L	INTF3L				00H	
FFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H				00H	
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0				00H	
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3L	INTR3L				00H	
FFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H				00H	
FFFFFC40H	プルアップ抵抗オプション・レジスタ0	PU0				00H	
FFFFFC42H	プルアップ抵抗オプション・レジスタ1	PU1				00H	
FFFFFC46H	プルアップ抵抗オプション・レジスタ3	PU3				0000H	
FFFFFC46H	プルアップ抵抗オプション・レジスタ3L	PU3L				00H	
FFFFFC47H	プルアップ抵抗オプション・レジスタ3H	PU3H				00H	
FFFFFC48H	プルアップ抵抗オプション・レジスタ4	PU4				00H	
FFFFFC4AH	プルアップ抵抗オプション・レジスタ5	PU5				00H	
FFFFFC52H	プルアップ抵抗オプション・レジスタ9	PU9				0000H	
FFFFFC52H	プルアップ抵抗オプション・レジスタ9L	PU9L				00H	
FFFFFC53H	プルアップ抵抗オプション・レジスタ9H	PU9H				00H	
FFFFFC68H	ポート4ファンクション制御レジスタ	PF4				00H	
FFFFFD00H	CSIB0制御レジスタ0	CB0CTL0				01H	
FFFFFD01H	CSIB0制御レジスタ1	CB0CTL1				00H	
FFFFFD02H	CSIB0制御レジスタ2	CB0CTL2				00H	
FFFFFD03H	CSIB0状態レジスタ	CB0STR				00H	
FFFFFD04H	CSIB0受信データ・レジスタ	CB0RX	R			0000H	
FFFFFD04H	CSIB0受信データ・レジスタL	CB0RXL					00H
FFFFFD06H	CSIB0送信データ・レジスタ	CB0TX	R/W			0000H	
FFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL					00H
FFFFFD10H	CSIB1制御レジスタ0	CB1CTL0				01H	
FFFFFD11H	CSIB1制御レジスタ1	CB1CTL1				00H	
FFFFFD12H	CSIB1制御レジスタ2	CB1CTL2				00H	
FFFFFD13H	CSIB1状態レジスタ	CB1STR				00H	
FFFFFD14H	CSIB1受信データ・レジスタ	CB1RX	R			0000H	
FFFFFD14H	CSIB1受信データ・レジスタL	CB1RXL					00H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFD16H	CSIB1送信データ・レジスタ	CB1TX	R/W				0000H
FFFFFFD16H	CSIB1送信データ・レジスタL	CB1TXL					00H
FFFFFFD80H	IICシフト・レジスタ0	IIC0					00H
FFFFFFD82H	IICコントロール・レジスタ0	IICC0					00H
FFFFFFD83H	スレーブ・アドレス・レジスタ0	SVA0					00H
FFFFFFD84H	IICクロック選択レジスタ0	IICCL0					00H
FFFFFFD85H	IIC機能拡張レジスタ0	IICX0					00H
FFFFFFD86H	IIC状態レジスタ0	IICS0		R			00H
FFFFFFD8AH	IICフラグ・レジスタ0	IICF0	R/W			00H	

3.4.7 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。μPD703229Y, 70F3229Yには次の7つの特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・オンチップ・ディバグ・モード設定レジスタ (OCDM)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・リセット要因フラグ・レジスタ (RESF)
- ・低電圧検出レジスタ (LVIM)
- ・内蔵RAMデータ・ステータス・レジスタ (RAMS)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、コマンド・レジスタ (PRCMD) があり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はシステム・ステータス・レジスタ (SYS) に報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

PRCMDレジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）^注

DMA動作が必要な場合，DMA動作を許可する。

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```
ST.B r11, PSMR [ r0 ] ;PSMRレジスタ設定 (IDLE1, IDLE2, STOPモードの設定)
CLR1 0, DCHCn [ r0 ] ;DMA動作禁止, n=0-3
MOV 0x02, r10
ST.B r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
ST.B r10, PSC [ r0 ] ;PSCレジスタ設定
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
NOP注 ;ダミー命令
SET10, DCHCn [ r0 ] ;DMA動作許可, n=0-3
(next instruction)
```

なお，特定レジスタを読み出す場合は，特別なシーケンスは必要ありません。

注 IDLE1, IDLE2, STOPモードに移行する場合（PSC.STPビット = 1）には，直後にNOP命令を5命令以上挿入する必要があります。

注意1. コマンド・レジスタに対するストア命令では，割り込みを受け付けません。これはプログラムで上記 ， を連続したストア命令で行うことを前提としているためです。 ， の間にほかの命令が置かれていると，その命令で割り込みを受け付けた際，上記シーケンスが成立しなくなる場合があります，誤動作の要因となります

2. PRCMDレジスタへ書き込むデータはダミーですが，特定レジスタへの設定（例 ）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例 ）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

(2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定期レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。

リセット時：不定 W アドレス：FFFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。
 8/1ビット単位でリード/ライト可能です。
 リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H								
	7	6	5	4	3	2	1	①									
SYS	0	0	0	0	0	0	0	0	PRERR								
	PRERR	プロテクション・エラーの検出															
	0	プロテクション・エラーは発生していない															
	1	プロテクション・エラーが発生している															

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.4.7(1) 特定レジスタへのデータ設定で示す を行わずに を行なったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の周辺I/Oレジスタに書き込み動作 (ビット操作命令を含む) を行なったとき (3.4.7(1) 特定レジスタへのデータ設定で示す が特定レジスタでなかったとき)。

★ **備考** 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など (内蔵RAMへのアクセスなど) を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.8 注意事項

(1) 最初に設定するレジスタ

μ PD703229Y, 70F3229Yを使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウェイト・コントロール・レジスタ (VSWC)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)

OCDMレジスタを設定したあとにVSWCレジスタを設定し、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合はVSWCレジスタを設定したあとに、次にポート関連のレジスタの設定により、各端子を兼用するバス制御端子に設定してください。

(a) システム・ウェイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウェイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック(ノー・ウェイト時)ですが、 μ PD703229Y, 70F3229Yでは動作周波数によりウェイトが必要です。バス・アクセスする際はVSWCレジスタに01Hを設定してください。

8ビット単位でリード/ライト可能です(アドレス: FFFFF06EH, 初期値: 77H)。

動作周波数 (f _{CLK})	VSWCの設定値	ウェイト数
32 kHz f _{CLK} < 16.6 MHz	00H	0 (ノー・ウェイト)
16.6 MHz f _{CLK} 20 MHz	01H	1

(b) オンチップ・デバッグ・モード・レジスタ (OCDM)

詳細は、第24章 オンチップ・デバッグ機能を参照してください。

★ (2) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数が次に示すウェイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウェイト以外に、さらにウェイトを要する場合があります。

その際のアクセス条件と、挿入されるウェイト数（CPUクロック数）の算出方法を次に示します。

周辺機能	レジスタ名称	アクセス	k
16ビット・タイマ/イベント・カウンタP (TMP) (n = 0-3)	TPnCNT	リード	1
	TPnCCR0	リード/ライト	1
	TPnCCR1	リード/ライト	1
16ビット・タイマ/イベント・カウンタQ (TMQ)	TQ0CNT	リード	1
	TQ0CCR0	リード/ライト	1
	TQ0CCR1	リード/ライト	1
	TQ0CCR2	リード/ライト	1
	TQ0CCR3	リード/ライト	1
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト (WDT2動作時)	3
I ² C00	IICS0	リード	1
A/Dコンバータ	ADA0M0	リード	1
	ADA0CR0-ADA0CR11	リード	1
	ADA0CR0H-ADA0CR11H	リード	1

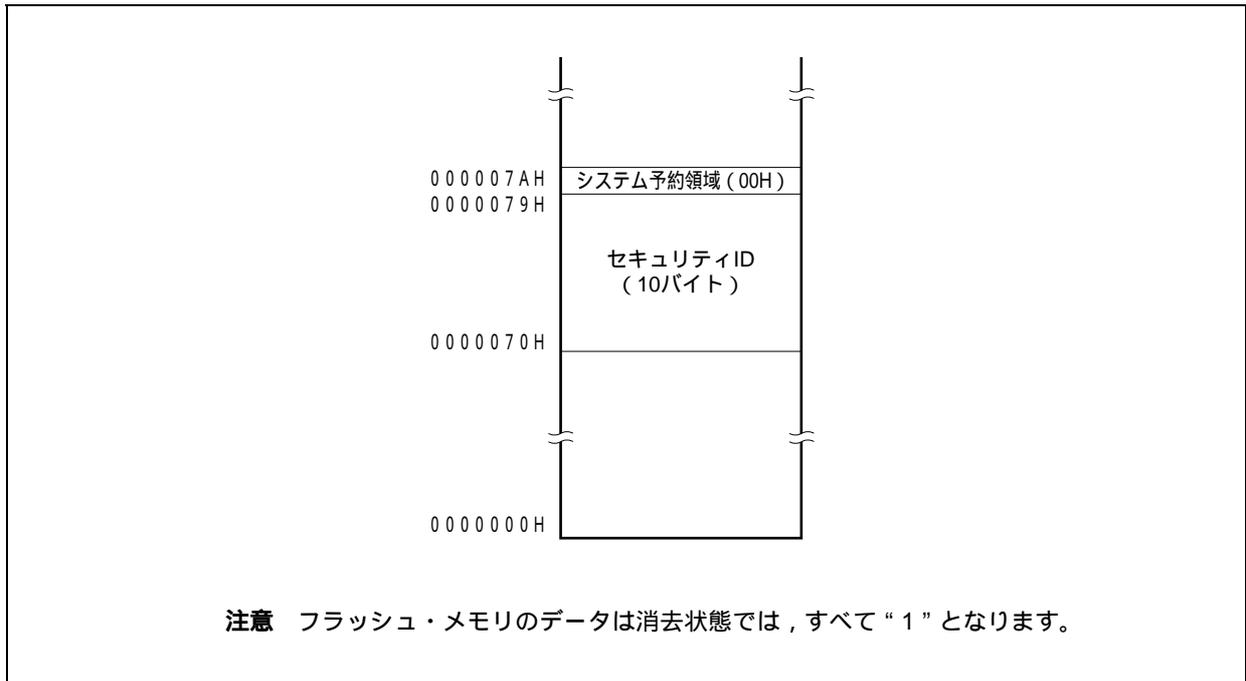
アクセスに必要なクロック数 = $3 + (k \times 2)$ [クロック] (VSWCレジスタ = 00H時)

= $4 + (k \times 3)$ [クロック] (VSWCレジスタ = 01H時)

注意 CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウェイトが発生するレジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットのみです。

★ (3) フラッシュ・メモリ内蔵品 (μPD70F3229Y) 使用上の注意

000007AHはシステム予約領域です。000007AHのデータは、必ず00Hとしてください。



注意 フラッシュ・メモリのデータは消去状態では、すべて“1”となります。

第4章 ポート機能

4.1 特 徴

入出力ポート：84本

1ビット単位で入力 / 出力指定可能

4.2 ポートの基本構成

μ PD703229Y, 70F3229Yは、ポート0, 1, 3-5, 7, 9, CM, CS, CT, DH, DLの合計84本の入出力ポートを内蔵しています。ポートの構成を次に示します。

図4 - 1 ポートの構成図

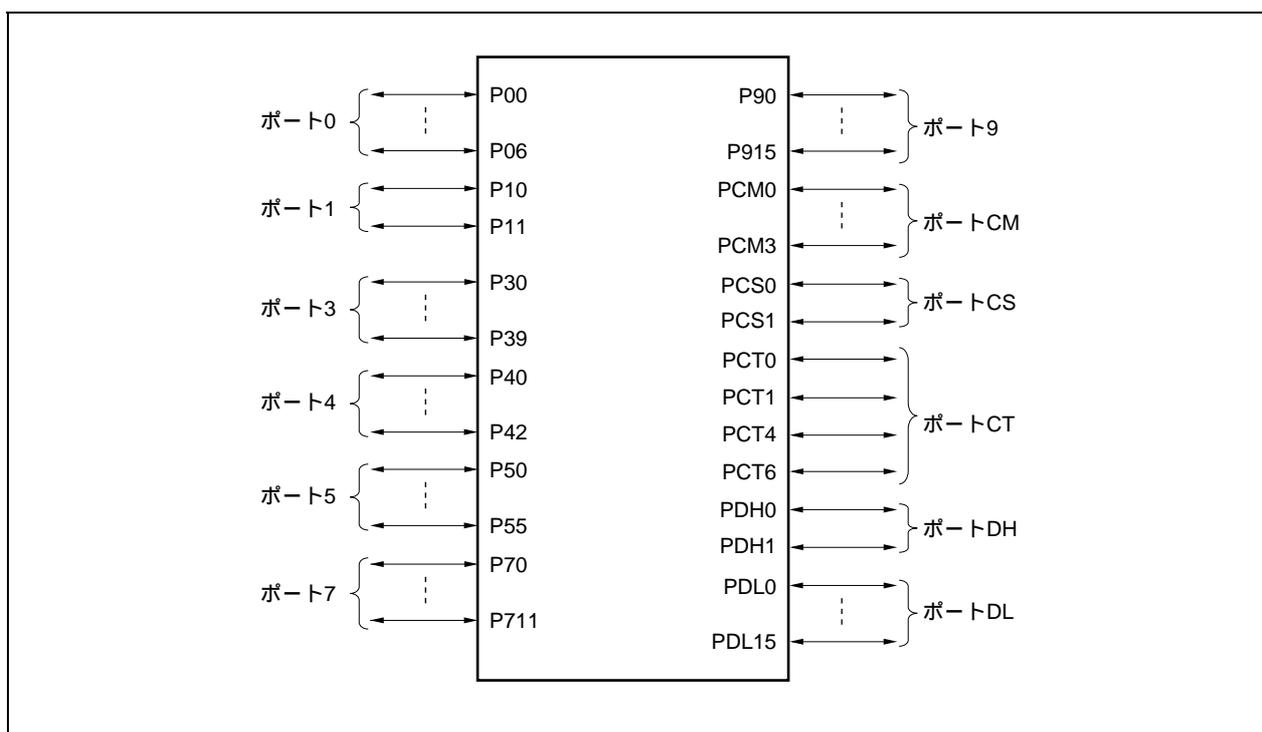


表4 - 1 各端子の入出力バッファ電源

電 源	対応する端子
AV _{REF0}	ポート7
BV _{DD}	ポートCM, CS, CT, DH, DL
EV _{DD}	RESET, ポート0, 1, 3-5, 9

★ 4.3 ポートの構成

表4-2 ポートの構成

項目	構成
制御レジスタ	ポートnレジスタ (Pn : n = 0, 1, 3-5, 7, 9, CM, CS, CT, DH, DL) ポートnモード・レジスタ (PMn : n = 0, 1, 3-5, 7, 9, CM, CS, CT, DH, DL) ポートnモード・コントロール・レジスタ (PMcn : n = 0, 3-5, 9, CM, CT, CS, DH, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 3-5, 9) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 3, 5, 9) ポートnファンクション・レジスタ (PF4) プルアップ抵抗オプション・レジスタn (PUn : n = 0, 1, 3-5, 9)
ポート	入出力 : 84本

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。

リセット時 : 00H (出力ラッチ)		R/W						
	7	6	5	4	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
	出力データの制御 (出力モード時)							
	Pnm							
	0	0を出力						
	1	1を出力						

PMcnレジスタの設定によらず、Pnレジスタへの書き込みや読み出しは次のようになります。

表4-3 Pnレジスタへの書き込み/読み出しについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます ^注 。 ポート・モード (PMcn = 0) の場合、出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません ^注 。	端子状態を読み出します。

注 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: FFH R/W							
7	6	5	4	3	2	1	0
PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御						
0	出力モード						
1	入力モード						

(3) ポートnモード・コントロール・レジスタ (PMcn)

ポート・モード/兼用機能を指定します。

PMcnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時: 00H R/W							
7	6	5	4	3	2	1	0
PMcn7	PMcn6	PMcn5	PMcn4	PMcn3	PMcn2	PMcn1	PMcn0
PMcnm	動作モードの指定						
0	ポート・モード						
1	兼用機能モード						

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(6) ポートnファンクション・レジスタ (PFn)

通常出力/N-chオープン・ドレイン出力を指定するレジスタです。

PFnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFn	PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0

PFnm ^注	通常出力/N-chオープン・ドレイン出力の制御
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注 ポート・モード時 (PMCnmビット = 0)、PFnレジスタのPFnmビットは、PMnレジスタのPMnmビット = 0 (出力モード時) のときのみ有効です。PMnmビット = 1 (入力モード時) のときは、PFnレジスタの設定値は無効です。

(7) プルアップ抵抗オプション・レジスタ (PUn)

内蔵プルアップ抵抗の接続を指定するレジスタです。

プルアップ抵抗オプション・レジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

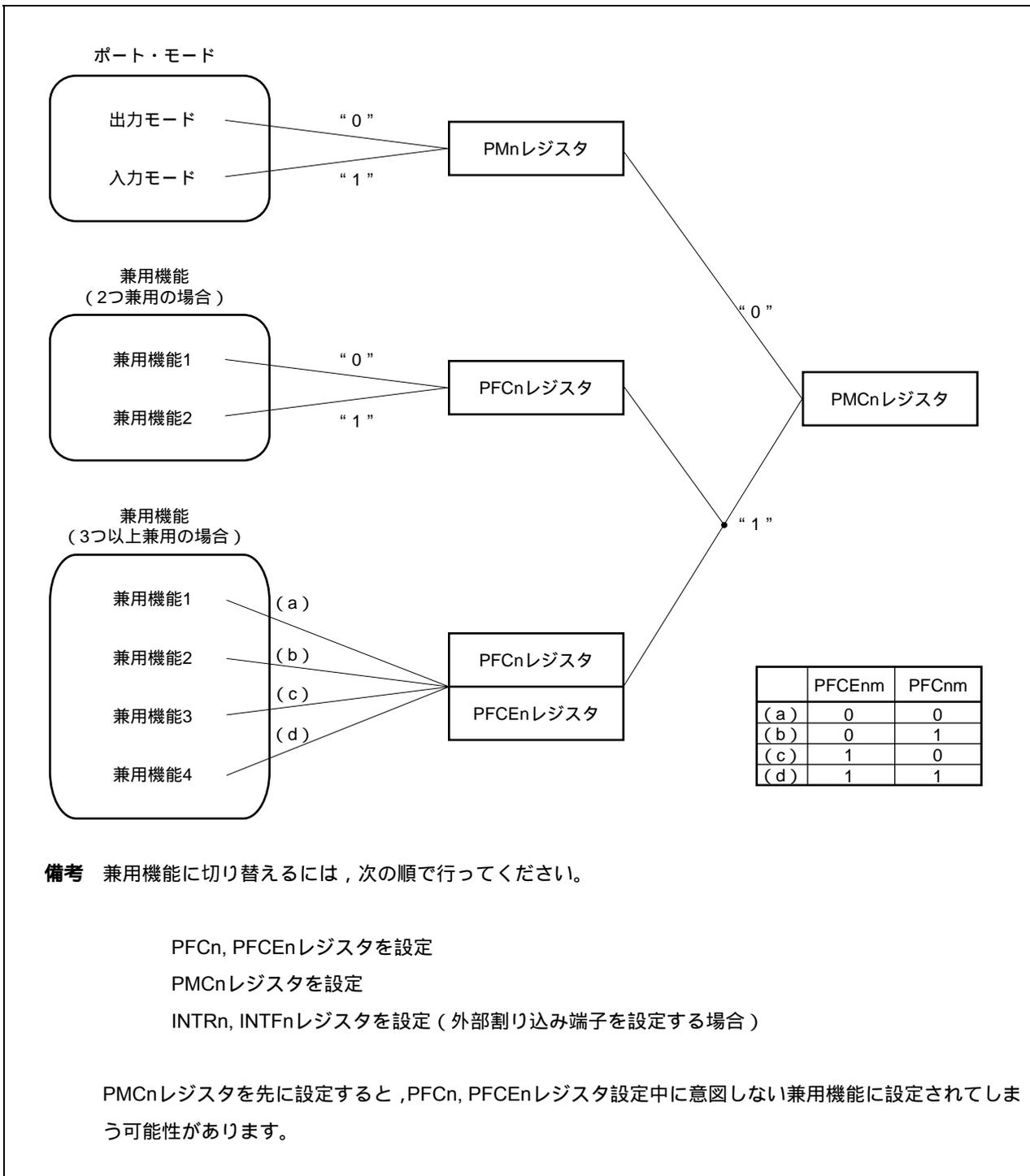
	7	6	5	4	3	2	1	0
PUn	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0

PUnm	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

(8) ポートの設定

ポートの設定は、次のように設定してください。

図4 - 2 各レジスタの設定と端子の機能



備考 兼用機能に切り替えるには、次の順で行ってください。

PFCn, PFCEnレジスタを設定

PMCnレジスタを設定

INTRn, INTFnレジスタを設定 (外部割り込み端子を設定する場合)

PMCnレジスタを先に設定すると、PFCn, PFCEnレジスタ設定中に意図しない兼用機能に設定されてしまう可能性があります。

4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できる7ビットのポートです。

ポート0は、次に示す端子と兼用しています。

表4-4 ポート0の兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^{注1}	備考	ブロック・タイプ
P00	6	TIP31/TOP31	入出力	あり	デジタル・ノイズ除去 ^{注2}	G-1
P01	7	TIP30/TOP30	入出力			G-1
P02	17	NMI ^{注3}	入力		アナログ・ノイズ除去	L-1
P03	18	INTP0/ADTRG	入力			N-1
P04	19	INTP1	入力			L-1
P05	20	INTP2/ $\overline{\text{DRST}}$ ^{注4}	入力			AA-1
P06	21	INTP3	入力		注5	L-2

注1. ソフトウェア・プルアップ機能

- デジタル・ノイズ除去については7.6 タイマ入力端子のデジタル・ノイズ除去を参照してください。
- NMI端子は、PMC0レジスタおよびINTF0, INTR0レジスタの設定により、その機能が有効となります。PMC0, INTF0, INTR0レジスタを設定しない場合、NMI端子は有効ではないため注意してください。次にNMI端子を有効にするための設定手順を示します。

PMC0.PMC02ビット = 1に設定し、兼用機能（NMI）を有効にします。

INTF0.INTF02ビット, INTR0.INTR02ビットを任意の値に設定し、希望するエッジ検出を設定します。

- $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子です（ μ PD70F3229Yのみ）。
オンチップ・デバッグを使用しない場合、 $\overline{\text{RESET}}$ 端子によるリセット解除後から、OCDM.OCDM0ビットをクリア（0）するまで、P05/INTP2/ $\overline{\text{DRST}}$ 端子状態をロウ・レベルに固定してください。詳細は4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。
- INTP3端子に内蔵するノイズ・フィルタ（アナログ・ディレイ/デジタル・ディレイ）の設定方法については17.4.2（4）ノイズ除去制御レジスタを参照してください。

注意 P00-P06端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

（1）ポート0レジスタ（P0）

リセット時：00H（出力ラッチ）								R/W	アドレス：FFFFFF400H							
	7	6	5	4	3	2	1	0								
P0	0	P06	P05	P04	P03	P02	P01	P00								
P0n	出力データの制御（出力モード時）（n=0-6）															
0	0を出力															
1	1を出力															

(2) ポート0モード・レジスタ (PM0)

リセット時 : FFH R/W アドレス : FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御 (n = 0-6)
0	出力モード
1	入力モード

(3) ポート0モード・コントロール・レジスタ (PMC0)

リセット時 : 00H R/W アドレス : FFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00

PMC06	P06端子の動作モードの指定
0	入出力ポート
1	INTP3入力

PMC05	P05端子の動作モードの指定
0	入出力ポート
1	INTP2入力

PMC04	P04端子の動作モードの指定
0	入出力ポート
1	INTP1入力

PMC03	P03端子の動作モードの指定
0	入出力ポート
1	INTP0/ADTRG入力

PMC02	P02端子の動作モードの指定
0	入出力ポート
1	NMI入力

PMC01	P01端子の動作モードの指定
1	入出力ポート
0	TIP30/TOP30入出力

PMC00	P00端子の動作モードの指定
0	入出力ポート
1	TIP31/TOP31入出力

注意 P05/INTP2/ \overline{DRST} 端子は、OCDM.OCDM0ビット = 1の時は、PMC05ビットの値に係なく \overline{DRST} となります。

(4) ポート0ファンクション・コントロール・レジスタ (PFC0)

リセット時 : 00H R/W アドレス : FFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	PFC03	0	PFC01	PFC00

PFC03	P03端子の兼用機能の指定
0	INTP0入力
1	ADTRG入力

PFC01	P01端子の兼用機能の指定
0	TIP30入力
1	TOP30出力

PFC00	P00端子の兼用機能の指定
0	TIP31入力
1	TOP31出力

(5) プルアップ抵抗オプション・レジスタ0 (PU0)

リセット時 : 00H R/W アドレス : FFFFFC40H

	7	6	5	4	3	2	1	0
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御 (n = 0-6)
0	接続しない
1	接続する

4.3.2 ポート1

ポート1は1ビット単位で入出力を制御できる2ビットのポートです。

ポート1は、次に示す端子と兼用しています。

表4 - 5 ポート1の兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
P10	3	-	-	あり	-	C-1
P11	4	-	-			C-1

注 ソフトウェア・プルアップ機能

(1) ポート1レジスタ (P1)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	P11	P10

P1n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

(2) ポート1モード・レジスタ (PM1)

リセット時 : FFH R/W アドレス : FFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	PM11	PM10

PM1n	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

(3) プルアップ抵抗オプション・レジスタ1 (PU1)

リセット時 : 00H R/W アドレス : FFFFFC42H

	7	6	5	4	3	2	1	0
PU1	0	0	0	0	0	0	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御 (n = 0, 1)
0	接続しない
1	接続する

4.3.3 ポート3

ポート3は1ビット単位で入出力を制御できる10ビットのポートです。

ポート3は、次に示す端子と兼用しています。

表4-6 ポート3の兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^{注1}	備考	ブロック・タイプ
P30	25	TXDA0	出力	あり	-	E-2
P31	26	RXDA0	入力		-	L-2
		INTP7	入力		アナログ・ノイズ除去	L-2
P32	27	ASCKA0	入力		-	U-1
		TIP00/TOP00	入出力		デジタル・ノイズ除去 ^{注2}	U-1
P33	28	TIP01/TOP01	入出力		デジタル・ノイズ除去 ^{注2}	G-1
P34	29	TIP10/TOP10	入出力			G-1
P35	30	TIP11/TOP11	入出力			G-1
P36	31	-	-		-	C-1
P37	32	-	-			C-1
P38	35	TXDA2	出力			E-2
P39	36	RXDA2	入力			E-1

注1. ソフトウェア・プルアップ機能

2. デジタル・ノイズ除去については7.6 タイマ入力端子のデジタル・ノイズ除去を参照してください。

注意 P31-P35, P39端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート3レジスタ (P3)

リセット時：0000H（出力ラッチ） R/W アドレス：P3 FFFFF406H,
P3L FFFFF406H, P3H FFFFF407H

	15	14	13	12	11	10	9	8
P3 (P3H ^注)	0	0	0	0	0	0	P39	P38
	7	6	5	4	3	2	1	0
(P3L)	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御（出力モード時）（n = 0-9）
0	0を出力
1	1を出力

注 P3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P3Hレジスタのビット0-7として指定してください。

備考 P3レジスタは、16ビット単位でリード/ライト可能です。
ただし、P3レジスタの上位8ビットをP3Hレジスタ、下位8ビットをP3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ポート3モード・レジスタ (PM3)

リセット時：FFFFH R/W アドレス：PM3 FFFFF426H,
PM3L FFFFF426H, PM3H FFFFF427H

	15	14	13	12	11	10	9	8
PM3 (PM3H ^注)	1	1	1	1	1	1	PM39	PM38
	7	6	5	4	3	2	1	0
(PM3L)	P37	P36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-9)
0	出力モード
1	入力モード

注 PM3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM3Hレジスタのビット0-7として指定してください。

備考 PM3レジスタは、16ビット単位でリード/ライト可能です。
ただし、PM3レジスタの上位8ビットをPM3Hレジスタ、下位8ビットをPM3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(3) ポート3モード・コントロール・レジスタ (PMC3)

(1/2)

リセット時：0000H R/W アドレス：PMC3 FFFFF446H,
PMC3L FFFFF446H, PMC3H FFFFF447H

	15	14	13	12	11	10	9	8
PMC3 (PMC3H ^注)	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
(PMC3L)	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC39	P39端子の動作モードの指定
0	入出力ポート
1	RXDA2入力

PMC38	P38端子の動作モードの指定
0	入出力ポート
1	TXDA2出力

注 PMC3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC3Hレジスタのビット0-7として指定してください。

備考 PMC3レジスタは、16ビット単位でリード/ライト可能です。
ただし、PMC3レジスタの上位8ビットをPMC3Hレジスタ、下位8ビットをPMC3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

PMC35	P35端子の動作モードの指定
0	入出力ポート
1	TIP11/TOP11入出力
PMC34	P34端子の動作モードの指定
0	入出力ポート
1	TIP10/TOP10入出力
PMC33	P33端子の動作モードの指定
0	入出力ポート
1	TIP01/TOP01入出力
PMC32	P32端子の動作モードの指定
0	入出力ポート
1	ASCKA0/TIP00/TOP00入出力
PMC31	P31端子の動作モードの指定
0	入出力ポート
1	RXDA0/INTP7入力 ^注
PMC30	P30端子の動作モードの指定
0	入出力ポート
1	TXDA0出力

注 INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定）。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください（UA0CTL0.UA0RXEビット = 0）。

備考 PMC3レジスタは、16ビット単位でリード/ライト可能です。
ただし、PMC3レジスタの上位8ビットをPMC3Hレジスタ、下位8ビットをPMC3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(4) ポート3ファンクション・コントロール・レジスタL (PFC3L)

リセット時：00H R/W アドレス：FFFFFF466H

	7	6	5	4	3	2	1	0
PFC3L	0	0	PFC35	PFC34	PFC33	PFC32	0	0

備考 兼用機能の指定については4. 3. 3(6)ポート3の兼用機能の指定を参照してください。

(5) ポート3ファンクション・コントロール拡張レジスタL (PFCE3L)

リセット時：00H R/W アドレス：FFFFFF706H

	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	0	0	PFCE32	0	0

備考 兼用機能の指定については4. 3. 3(6)ポート3の兼用機能の指定を参照してください。

(6) ポート3の兼用機能の指定

PFC35	P35端子の兼用機能の指定	
0	TIP11入力	
1	TOP11出力	

PFC34	P34端子の兼用機能の指定	
0	TIP10入力	
1	TOP10出力	

PFC33	P33端子の兼用機能の指定	
0	TIP01入力	
1	TOP01出力	

PFCE32	PFC32	P32端子の兼用機能の指定
0	0	ASCKA0入力
0	1	設定禁止
1	0	TIP00入力
1	1	TOP00出力

(7) プルアップ抵抗オプション・レジスタ3 (PU3)

リセット時 : 0000H R/W アドレス : PU3 FFFFFFFC46H,
 PU3L FFFFFFFC46H, PU3H FFFFFFFC47H

	15	14	13	12	11	10	9	8
PU3 (PU3H ^注)	0	0	0	0	0	0	PU39	PU38

	7	6	5	4	3	2	1	0
(PU3L)	PU37	PU36	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御 (n = 0-9)
0	接続しない
1	接続する

注 PU3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PU3Hレジスタのビット0-7として指定してください。

備考 PU3レジスタは、16ビット単位でリード/ライト可能です。
 ただし、PU3レジスタの上位8ビットをPU3Hレジスタ、下位8ビットをPU3Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

4.3.4 ポート4

ポート4は1ビット単位で入出力を制御できる3ビットのポートです。

ポート4は、次に示す端子と兼用しています。

表4-7 ポート4の兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
P40	22	SIB0/SDA00	入出力	あり	-	Q-1
P41	23	SOB0/SCL00	入出力			Q-2
P42	24	SCKB0	入出力			E-3

注 ソフトウェア・プルアップ機能

注意 P40-P42端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート4レジスタ (P4)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40

P4n	出力データの制御 (出力モード時) (n = 0-2)
0	0を出力
1	1を出力

(2) ポート4モード・レジスタ (PM4)

リセット時：FFH R/W アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	入出力モードの制御 (n = 0-2)
0	出力モード
1	入力モード

(3) ポート4モード・コントロール・レジスタ (PMC4)

リセット時 : 00H R/W アドレス : FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

PMC42	P42端子の動作モードの指定
0	入出力ポート
1	SCKB0入出力

PMC41	P41端子の動作モードの指定
0	入出力ポート
1	SOB0/SCL00入出力

PMC40	P40端子の動作モードの指定
0	入出力ポート
1	SIB0/SDA00入出力

(4) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時 : 00H R/W アドレス : FFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	0	PFC41	PFC40

PFC41	P41端子の兼用機能の指定
0	SOB0出力
1	SCL00入出力

PFC40	P40端子の兼用機能の指定
0	SIB0入力
1	SDA00入出力

(5) ポート4ファンクション・レジスタ (PF4)

リセット時 : 00H R/W アドレス : FFFFFFFC68H

	7	6	5	4	3	2	1	0
PF4	0	0	0	0	0	0	PF41	PF40

PF4n	通常出力/N-chオープン・ドレイン出力の制御 (n = 0, 1)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

(6) プルアップ抵抗オプション・レジスタ4 (PU4)

リセット時 : 00H R/W アドレス : FFFFFFFC48H

	7	6	5	4	3	2	1	0
PU4	0	0	0	0	0	PU42	PU41	PU40

PU4n	内蔵プルアップ抵抗接続制御 (n = 0-2)
0	接続しない
1	接続する

4.3.5 ポート5

ポート5は1ビット単位で入出力を制御できる6ビットのポートです。

ポート5は、次に示す端子と兼用しています。

表4-8 ポート5の兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^{注1}	備考	ブロック・タイプ
P50	37	KR0	入力	あり	アナログ・ノイズ除去	U-4
		TIQ01/TOQ01	入出力		デジタル・ノイズ除去 ^{注2}	U-4
P51	38	KR1	入力		アナログ・ノイズ除去	U-4
		TIQ02/TOQ02	入出力		デジタル・ノイズ除去 ^{注2}	U-4
P52	39	KR2	入力		アナログ・ノイズ除去	U-5
		TIQ03/TOQ03	入出力		デジタル・ノイズ除去 ^{注2}	U-5
		DDI ^{注3}	入力		-	U-5
P53	40	KR3	入力		アナログ・ノイズ除去	U-6
		TIQ00/TOQ00	入出力		デジタル・ノイズ除去 ^{注2}	U-6
		DDO ^{注3}	出力		-	U-6
P54	41	KR4	入力		アナログ・ノイズ除去	G-2
		DCK ^{注3}	入力		-	G-2
P55	42	KR5	入力	アナログ・ノイズ除去	G-2	
		DMS ^{注3}	入力	-	G-2	

注1. ソフトウェア・プルアップ機能

- デジタル・ノイズ除去については8.6 タイマ入力端子のデジタル・ノイズ除去を参照してください。
- DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用端子です (μ PD70F3229Yのみ)。

オンチップ・デバッグを使用しない場合、 $\overline{\text{RESET}}$ 端子によるリセット解除後から、OC $\overline{\text{CDM}}$.OC $\overline{\text{CDM}}$ 0ビットをクリア(0)するまで、P05/INTP2/ $\overline{\text{DRST}}$ 端子状態をロウ・レベルに固定してください。詳細は4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

注意 P50-P55端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート5レジスタ (P5)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF40AH								
	7	6	5	4	3	2	1	0
P5	0	0	P55	P54	P53	P52	P51	P50
P5n	出力データの制御 (出力モード時) (n = 0-5)							
0	0を出力							
1	1を出力							

(2) ポート5モード・レジスタ (PM5)

リセット時：FFH R/W アドレス：FFFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(3) ポート5モード・コントロール・レジスタ (PMC5)

リセット時：00H R/W アドレス：FFFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50

PMC55	P55端子の動作モードの指定
0	入出力ポート
1	KR5入力

PMC54	P54端子の動作モードの指定
0	入出力ポート
1	KR4入力

PMC53	P53端子の動作モードの指定
0	入出力ポート
1	KR3/TIQ00/TOQ00入出力

PMC52	P52端子の動作モードの指定
0	入出力ポート
1	KR2/TIQ03/TOQ03入出力

PMC51	P51端子の動作モードの指定
0	入出力ポート
1	KR1/TIQ02/TOQ02入出力

PMC50	P50端子の動作モードの指定
0	入出力ポート
1	KR0/TIQ01/TOQ01入出力

(4) ポート5ファンクション・コントロール・レジスタ (PFC5)

注意 PFC5nビットおよびPFCE5.PFCE5mビットが初期値(0)の状態、PMC5.PMC5nビットにより兼用機能にした場合、不定出力となります。そのため兼用機能に設定するには、まずPFC5nビットおよびPFCE5mビットを設定したあと、PMC5nビットを“1”にしてください(n = 0-5, m = 0-3)。

リセット時：00H R/W アドレス：FFFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

備考 兼用機能の指定については4. 3. 5(6)ポート5の兼用機能の指定を参照してください。

(5) ポート5ファンクション・コントロール拡張レジスタ (PFCE5)

注意 PFC5.PFC5nビットおよびPFCE5mビットが初期値(0)の状態、PMC5.PMC5nビットにより兼用機能にした場合、不定出力となります。そのため兼用機能に設定するには、まずPFC5nビットおよびPFCE5mビットを設定したあと、PMC5nビットを“1”にしてください(n = 0-5, m = 0-3)。

リセット時：00H R/W アドレス：FFFFFF70AH

	7	6	5	4	3	2	1	0
PFCE5	0	0	0	0	PFCE53	PFCE52	PFCE51	PFCE50

備考 兼用機能の指定については4. 3. 5(6)ポート5の兼用機能の指定を参照してください。

(6) ポート5の兼用機能の指定

PFC55	P55端子の兼用機能の指定
0	設定禁止
1	KR5入力

PFC54	P54端子の兼用機能の指定
0	設定禁止
1	KR4入力

PFCE53	PFC53	P53端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ00/KR3 ^注 入力
1	0	TOQ00出力
1	1	設定禁止

PFCE52	PFC52	P52端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ03/KR2 ^注 入力
1	0	TOQ03出力
1	1	設定禁止

PFCE51	PFC51	P51端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ02/KR1 ^注 入力
1	0	TOQ02出力
1	1	設定禁止

PFCE50	PFC50	P50端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ01/KR0 ^注 入力
1	0	TOQ01出力
1	1	設定禁止

注 KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は、兼用しているKRn端子のキー・リターン検出を無効にしてください（KRMレジスタにて該当ビットに0を設定）。また、KRn端子として使用する場合は、兼用しているTIQ0m端子のエッジ検出を無効にしてください。（n = 0-3, m = 0-3）

端子名称	TIQ0m端子として使用する場合	KRn端子として使用する場合
KR0/TIQ01	KRM.KRM0ビット = 0	TQ0IOC1.TQ0TIG2, TQ0TIG3ビット = 0
KR1/TIQ02	KRM.KRM1ビット = 0	TQ0IOC1.TQ0TIG4, TQ0TIG5ビット = 0
KR2/TIQ03	KRM.KRM2ビット = 0	TQ0IOC1.TQ0TIG6, TQ0TIG7ビット = 0
KR3/TIQ00	KRM.KRM3ビット = 0	TQ0IOC1.TQ0TIG0, TQ0TIG1ビット = 0 TQ0IOC2.TQ0EES0, TQ0EES1ビット = 0 TQ0IOC2.TQ0ETS0, TQ0ETS1ビット = 0

(7) プルアップ抵抗オプション・レジスタ5 (PU5)

リセット時 : 00H R/W アドレス : FFFFFFFC4AH

	7	6	5	4	3	2	1	0
PU5	0	0	PU55	PU54	PU53	PU52	PU51	PU50

PU5n	内蔵プルアップ抵抗接続制御 (n = 0-5)
0	接続しない
1	接続する

4.3.6 ポート7

ポート7は1ビット単位で入出力を制御できる12ビットのポートです。

ポート7は、次に示す端子と兼用しています。

表4-9 ポート7の兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
P70	100	ANI0	入力	なし	-	A-1
P71	99	ANI1	入力			A-1
P72	98	ANI2	入力			A-1
P73	97	ANI3	入力			A-1
P74	96	ANI4	入力			A-1
P77	95	ANI5	入力			A-1
P76	94	ANI6	入力			A-1
P77	93	ANI7	入力			A-1
P78	92	ANI8	入力			A-1
P79	91	ANI9	入力			A-1
P710	90	ANI10	入力			A-1
P711	89	ANI11	入力			A-1

注 ソフトウェア・プルアップ機能

(1) ポート7レジスタH, ポート7レジスタL (P7H, P7L)

リセット時：不定 R/W アドレス：P7H FFFFF40EH, P7L FFFFF40FH

	7	6	5	4	3	2	1	0
P7H	0	0	0	0	P711	P710	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-11)
0	0を出力
1	1を出力

注意 A/D変換中にP7H, P7Lレジスタをリードしないでください。

(2) ポート7モード・レジスタH, ポート7モード・レジスタL (PM7H, PM7L)

リセット時：FFH R/W アドレス：PM7H FFFFF42EH, PM7L FFFFF42FH

	7	6	5	4	3	2	1	0
PM7H	1	1	1	1	PM711	PM710	PM79	PM78

	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	入出力モードの制御 (n = 0-11)
0	出力モード
1	入力モード

注意 P7n端子を兼用機能 (ANIn端子) として使用する場合は, PM7nビット = 1としてください。

4.3.7 ポート9

ポート9は1ビット単位で入出力を制御できる16ビットのポートです。

ポート9は、次に示す端子と兼用しています。

表4 - 10 ポート9の兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^{注1}	備考	ブロック・タイプ
P90	43	KR6	入力	あり	アナログ・ノイズ除去	U-12
		TXDA1	出力		-	U-12
P91	44	KR7	入力		アナログ・ノイズ除去	U-7
		RXDA1	入力		-	U-7
P92	45	-	-		-	C-1
P93	46	-	-		-	C-1
P94	47	-	-		-	C-1
P95	48	-	-		-	C-1
P96	49	TIP21/TOP21	入出力		デジタル・ノイズ除去 ^{注2}	U-9
P97	50	SIB1	入力		-	U-8
		TIP20/TOP20	入出力		デジタル・ノイズ除去 ^{注2}	U-8
P98	51	SOB1	出力		-	G-3
P99	52	SCKB1	入出力		-	G-5
P910	53	-	-		-	C-1
P911	54	-	-		-	C-1
P912	55	-	-	-	C-1	
P913	56	INTP4	入力	アナログ・ノイズ除去	N-2	
P914	57	INTP5	入力	-	N-2	
P915	58	INTP6	入力	-	N-2	

注1. ソフトウェア・プルアップ機能

2. デジタル・ノイズ除去については7.6 タイマ入力端子のデジタル・ノイズ除去を参照してください。

注意 P90, P91, P96, P97, P99, P913-P915端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート9レジスタ (P9)

リセット時：0000H (出力ラッチ) R/W アドレス：P9 FFFFF412H,
P9L FFFFF412H, P9H FFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H ^注)	P915	P914	P913	P912	P911	P910	P99	P98
	7	6	5	4	3	2	1	0
(P9L)	P97	P96	P95	P94	P93	P92	P91	P90
P9n	出力データの制御 (出力モード時) (n = 0-15)							
0	0を出力							
1	1を出力							

注 P9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、P9Hレジスタのビット0-7として指定してください。

備考 P9レジスタは、16ビット単位でリード/ライト可能です。
ただし、P9レジスタの上位8ビットをP9Hレジスタ、下位8ビットをP9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ポート9モード・レジスタ (PM9)

リセット時：FFFFH R/W アドレス：PM9 FFFFF432H,
PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H ^注)	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90
PM9n	入出力モードの制御(n = 0-15)							
0	出力モード							
1	入力モード							

注 PM9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PM9Hレジスタのビット0-7として指定してください。

備考 PM9レジスタは、16ビット単位でリード/ライト可能です。
ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(3) ポート9モード・コントロール・レジスタ (PMC9)

リセット時 : 0000H R/W アドレス : PMC9 FFFFF452H,
 PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H ^注)	PMC915	PMC914	PMC913	0	0	0	PMC99	PMC98
	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	0	0	0	0	PMC91	PMC90

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	INTP6入力

PMC914	P914端子の動作モードの指定
0	入出力ポート
1	INTP5入力

PMC913	P913端子の動作モードの指定
0	入出力ポート
1	INTP4入力

PMC99	P99端子の動作モードの指定
0	入出力ポート
1	SCKB1入出力

PMC98	P98端子の動作モードの指定
0	入出力ポート
1	SOB1出力

PMC97	P97端子の動作モードの指定
0	入出力ポート
1	SIB1/TIP20/TOP20入出力

PMC96	P96端子の動作モードの指定
0	入出力ポート
1	TIP21/TOP21入出力

PMC91	P91端子の動作モードの指定
0	入出力ポート
1	KR7/RXDA1入力

PMC90	P90端子の動作モードの指定
0	入出力ポート
1	KR6/TXDA1入出力

注 PMC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMC9Hレジスタのビット0-7として指定してください。

備考 PMC9レジスタは、16ビット単位でリード/ライト可能です。
 ただし、PMC9レジスタの上位8ビットをPMC9Hレジスタ、下位8ビットをPMC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(4) ポート9ファンクション・コントロール・レジスタ (PFC9)

リセット時 : 0000H R/W アドレス : PFC9 FFFFF472H,
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H ^注)	PFC915	PFC914	PFC913	0	0	0	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	0	0	0	0	PFC91	PFC90

注 PFC9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。

- 備考1.** 兼用機能の指定については4. 3. 7(6) **ポート9の兼用機能の指定**を参照してください。
2. PFC9レジスタは、16ビット単位でリード/ライト可能です。
ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(5) ポート9ファンクション・コントロール拡張レジスタL (PFCE9L)

リセット時 : 00H R/W アドレス : FFFFF712H

	7	6	5	4	3	2	1	0
PFCE9L	PFCE97	PFCE96	0	0	0	0	PFCE91	PFCE90

備考 兼用機能の指定については4. 3. 7(6) **ポート9の兼用機能の指定**を参照してください。

(6) ポート9の兼用機能の指定

PFC915	P915端子の兼用機能の指定	
0	設定禁止	
1	INTP6入力	

PFC914	P914端子の兼用機能の指定	
0	設定禁止	
1	INTP5入力	

PFC913	P913端子の兼用機能の指定	
0	設定禁止	
1	INTP4入力	

PFC99	P99端子の兼用機能の指定	
0	設定禁止	
1	SCKB1入出力	

PFC98	P98端子の兼用機能の指定	
0	設定禁止	
1	SOB1出力	

PFCE97	PFC97	P97端子の兼用機能の指定	
0	0	設定禁止	
0	1	SIB1入力	
1	0	TIP20入力	
1	1	TOP20出力	

PFCE96	PFC96	P96端子の兼用機能の指定	
0	0	設定禁止	
0	1	設定禁止	
1	0	TIP21入力	
1	1	TOP21出力	

PFCE91	PFCE91	P91端子の兼用機能の指定	
0	0	設定禁止	
0	1	KR7入力	
1	0	RXDA1入力 / KR7入力	
1	1	設定禁止	

PFCE90	PFC90	P90端子の兼用機能の指定
0	0	設定禁止
0	1	KR6入力
1	0	TXDA1出力
1	1	設定禁止

(7) プルアップ抵抗オプション・レジスタ9 (PU9)

リセット時 : 0000H R/W アドレス : PU9 FFFFFFFC52H,
 PU9L FFFFFFFC52H, PU9H FFFFFFFC53H

	15	14	13	12	11	10	9	8
PU9 (PU9H ^注)	PU915	PU914	PU913	PU912	PU911	PU910	PU99	PU98
	7	6	5	4	3	2	1	0
(PU9L)	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90

PU9n	内蔵プルアップ抵抗接続制御 (n = 0-15)
0	接続しない
1	接続する

注 PU9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PU9Hレジスタのビット0-7として指定してください。

備考 PU9レジスタは、16ビット単位でリード/ライト可能です。
 ただし、PU9レジスタの上位8ビットをPU9Hレジスタ、下位8ビットをPU9Lレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

4.3.8 ポートCM

ポートCMは1ビット単位で入出力を制御できる4ビットのポートです。

ポートCMは、次に示す端子と兼用しています。

表4 - 11 ポートCMの兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
PCM0	61	WAIT	入力	なし	-	D-1
PCM1	62	CLKOUT	出力			D-2
PCM2	63	HLD $\overline{\text{AK}}$	出力			D-2
PCM3	64	HLD $\overline{\text{RQ}}$	入力			D-1

注 ソフトウェア・プルアップ機能

(1) ポートCMレジスタ (PCM)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	0	0	PCM3	PCM2	PCM1	PCM0

PCMN	出力データの制御 (出力モード時) (n=0-3)	
0	0を出力	
1	1を出力	

(2) ポートCMモード・レジスタ (PMCM)

リセット時 : FFH R/W アドレス : FFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	1	1	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n=0-3)	
0	出力モード	
1	入力モード	

(3) ポートCMモード・コントロール・レジスタ (PMCCM)

リセット時 : 00H R/W アドレス : FFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0

PMCCM3	PCM3端子の動作モードの指定	
0	入出力ポート	
1	HLDRQ \bar{Q} 入力	

PMCCM2	PCM2端子の動作モードの指定	
0	入出力ポート	
1	HLDAK出力	

PMCCM1	PCM1端子の動作モードの指定	
0	入出力ポート	
1	CLKOUT出力	

PMCCM0	PCM0端子の動作モードの指定	
0	入出力ポート	
1	WAIT入力	

4.3.9 ポートCS

ポートCSは1ビット単位で入出力を制御できる2ビットのポートです。

ポートCSは、次に示す端子と兼用しています。

表4 - 12 ポートCSの兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
PCS0	59	$\overline{\text{CS0}}$	出力	なし	-	D-2
PCS1	60	$\overline{\text{CS1}}$	出力			D-2

注 ソフトウェア・プルアップ機能

(1) ポートCSレジスタ (PCS)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF008H

	7	6	5	4	3	2	1	0
PCS	0	0	0	0	0	0	PCS1	PCS0

PCSn	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

(2) ポートCSモード・レジスタ (PMCS)

リセット時 : FFH R/W アドレス : FFFFF028H

	7	6	5	4	3	2	1	0
PMCS	1	1	1	1	1	1	PMCS1	PMCS0

PMCSn	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

(3) ポートCSモード・コントロール・レジスタ (PMCCS)

リセット時 : 00H R/W アドレス : FFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	0	0	0	0	0	0	PMCCS1	PMCCS0

PMCCSn	PCSn端子の動作モードの指定 (n = 0, 1)
0	入出力ポート
1	CSn出力

4.3.10 ポートCT

ポートCTは1ビット単位で入出力を制御できる4ビットのポートです。

ポートCTは、次に示す端子と兼用しています。

表4 - 13 ポートCTの兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
PCT0	65	$\overline{WR0}$	出力	なし	-	D-2
PCT1	66	$\overline{WR1}$	出力			D-2
PCT4	67	\overline{RD}	出力			D-2
PCT6	68	ASTB	出力			D-2

注 ソフトウェア・プルアップ機能

(1) ポートCTレジスタ (PCT)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF00AH

	7	6	5	4	3	2	1	0
PCT	0	PCT6	0	PCT4	0	0	PCT1	PCT0

PCTn	出力データの制御(出力モード時) (n = 0, 1, 4, 6)
0	0を出力
1	1を出力

(2) ポートCTモード・レジスタ (PMCT)

リセット時 : FFH R/W アドレス : FFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0

PMCTn	入出力モードの制御 (n = 0, 1, 4, 6)
0	出力モード
1	入力モード

(3) ポートCTモード・コントロール・レジスタ (PMCCT)

リセット時 : 00H R/W アドレス : FFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT6	PCT6端子の動作モードの指定
0	入出力ポート
1	ASTB出力

PMCCT4	PCT4端子の動作モードの指定
0	入出力ポート
1	\overline{RD} 出力

PMCCT1	PCT1端子の動作モードの指定
0	入出力ポート
1	WR1出力

PMCCT0	PCT0端子の動作モードの指定
0	入出力ポート
1	$\overline{WR0}$ 出力

4.3.11 ポートDH

ポートDHは1ビット単位で入出力を制御できる2ビットのポートです。

ポートDHは、次に示す端子と兼用しています。

表4 - 14 ポートDHの兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^注	備考	ブロック・タイプ
PDH0	87	A16	出力	なし	-	D-2
PDH1	88	A17	出力			D-2

注 ソフトウェア・プルアップ機能

(1) ポートDHレジスタ (PDH)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF06H

	7	6	5	4	3	2	1	0
PDH	0	0	0	0	0	0	PDH1	PDH0

PDHn	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

(2) ポートDHモード・レジスタ (PMDH)

リセット時：FFH R/W アドレス：FFFFFF026H

	7	6	5	4	3	2	1	0
PMDH	1	1	1	1	1	1	PMDH1	PMDH0

PMDHn	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

(3) ポートDHモード・コントロール・レジスタ (PMCDH)

リセット時：00H R/W アドレス：FFFFFF046H

	7	6	5	4	3	2	1	0
PMCDH	0	0	0	0	0	0	PMCDH1	PMCDH0

PMCDHn	PDHn端子の動作モードの指定 (n = 0, 1)
0	入出力ポート
1	Am出力 (アドレス・バス出力) (m = 16, 17)

4.3.12 ポートDL

ポートDLは1ビット単位で入出力を制御できる16ビットのポートです。

ポートDLは、次に示す端子と兼用しています。

表4 - 15 ポートDLの兼用端子

端子名	ピン番号	兼用端子名	入出力	PULL ^{注1}	備考	ブロック・タイプ
PDL0	71	AD0	入出力	なし	-	D-3
PDL1	72	AD1	入出力			D-3
PDL2	73	AD2	入出力			D-3
PDL3	74	AD3	入出力			D-3
PDL4	75	AD4	入出力			D-3
PDL5	76	AD5/FLMD1 ^{注2}	入出力			D-3
PDL6	77	AD6	入出力			D-3
PDL7	78	AD7	入出力			D-3
PDL8	79	AD8	入出力			D-3
PDL9	80	AD9	入出力			D-3
PDL10	81	AD10	入出力			D-3
PDL11	82	AD11	入出力			D-3
PDL12	83	AD12	入出力			D-3
PDL13	84	AD13	入出力			D-3
PDL14	85	AD14	入出力			D-3
PDL15	86	AD15	入出力			D-3

注1. ソフトウェア・プルアップ機能

2. フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第23章 **フラッシュ・メモリ**を参照してください。

(1) ポートDLレジスタ (PDL)

リセット時：0000H (出力ラッチ) R/W アドレス：PDL FFFF004H,
 PDLL FFFF004H, PDLH FFFF005H

	15	14	13	12	11	10	9	8
PDL (PDLH ^注)	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8
	7	6	5	4	3	2	1	0
(PDLL)	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0
PDLn	出力データの制御 (出力モード時) (n = 0-15)							
0	0を出力							
1	1を出力							

注 PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。

備考 PDLレジスタは、16ビット単位でリード/ライト可能です。
 ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(2) ポートDLモード・レジスタ (PMDL)

リセット時：FFFFH R/W アドレス：PMDL FFFFF024H,
PMDLL FFFFF024H, PMDLH FFFFF025H

	15	14	13	12	11	10	9	8
PMDL (PMDLH ^注)	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8
	7	6	5	4	3	2	1	0
(PMDLL)	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0
PMDLn	入出力モードの制御 (n = 0-15)							
0	出力モード							
1	入力モード							

注 PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

備考 PMDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

(3) ポートDLモード・コントロール・レジスタ (PMCDL)

リセット時：0000H R/W アドレス：PMCDL FFFFF044H,
PMCDLL FFFFF044H, PMCDLH FFFFF045H

	15	14	13	12	11	10	9	8
PMCDL (PMCDLH ^注)	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8
	7	6	5	4	3	2	1	0
(PMCDLL)	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0
PMCDLn	PDLn端子の動作モードの指定 (n = 0-15)							
0	入出力ポート							
1	ADn入出力 (アドレス/データ・バス入出力)							

注 PMCDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMCDLHレジスタのビット0-7として指定してください。

備考 PMCDLレジスタは、16ビット単位でリード/ライト可能です。
ただし、PMCDLレジスタの上位8ビットをPMCDLHレジスタ、下位8ビットをPMCDLLレジスタとして使用する場合は、8/1ビット単位でリード/ライト可能です。

★ 4.4 ブロック図

図4-3 タイプA-1のブロック図

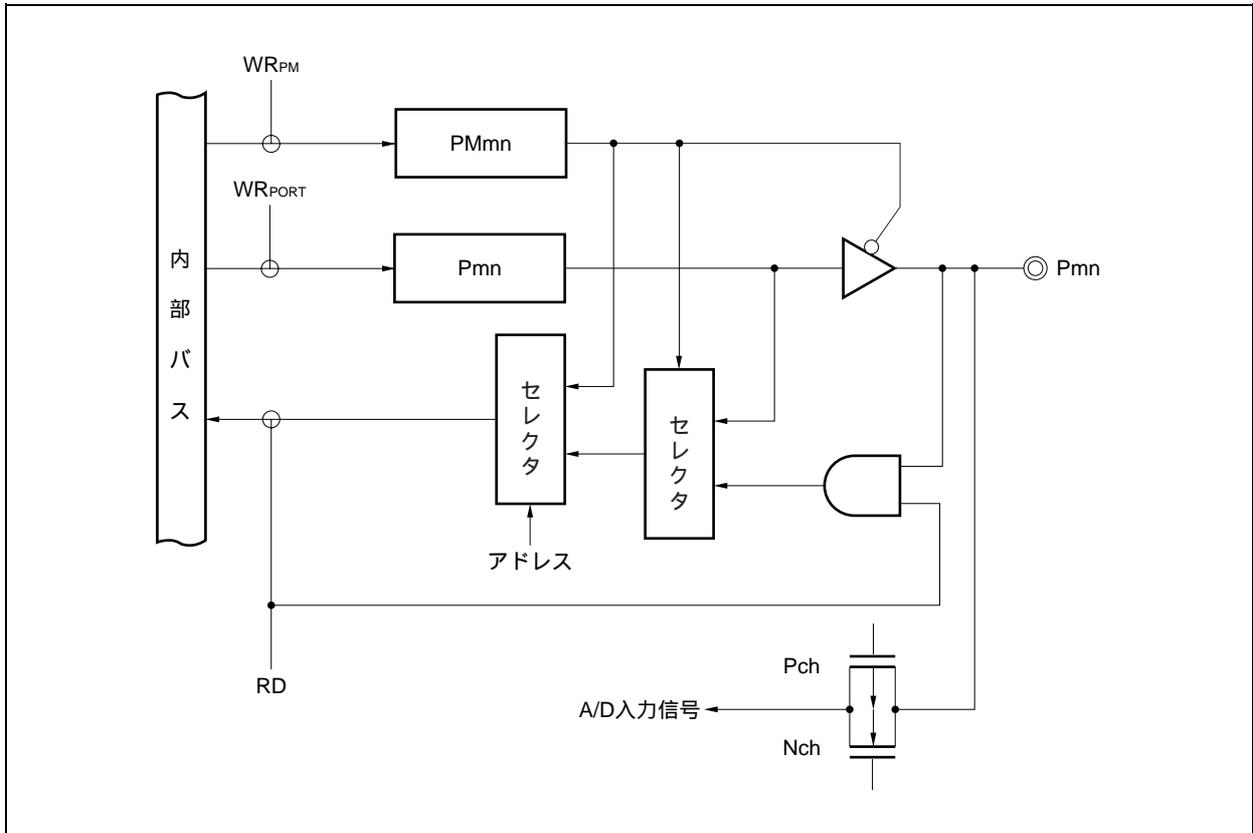


図4-4 タイプC-1のブロック図

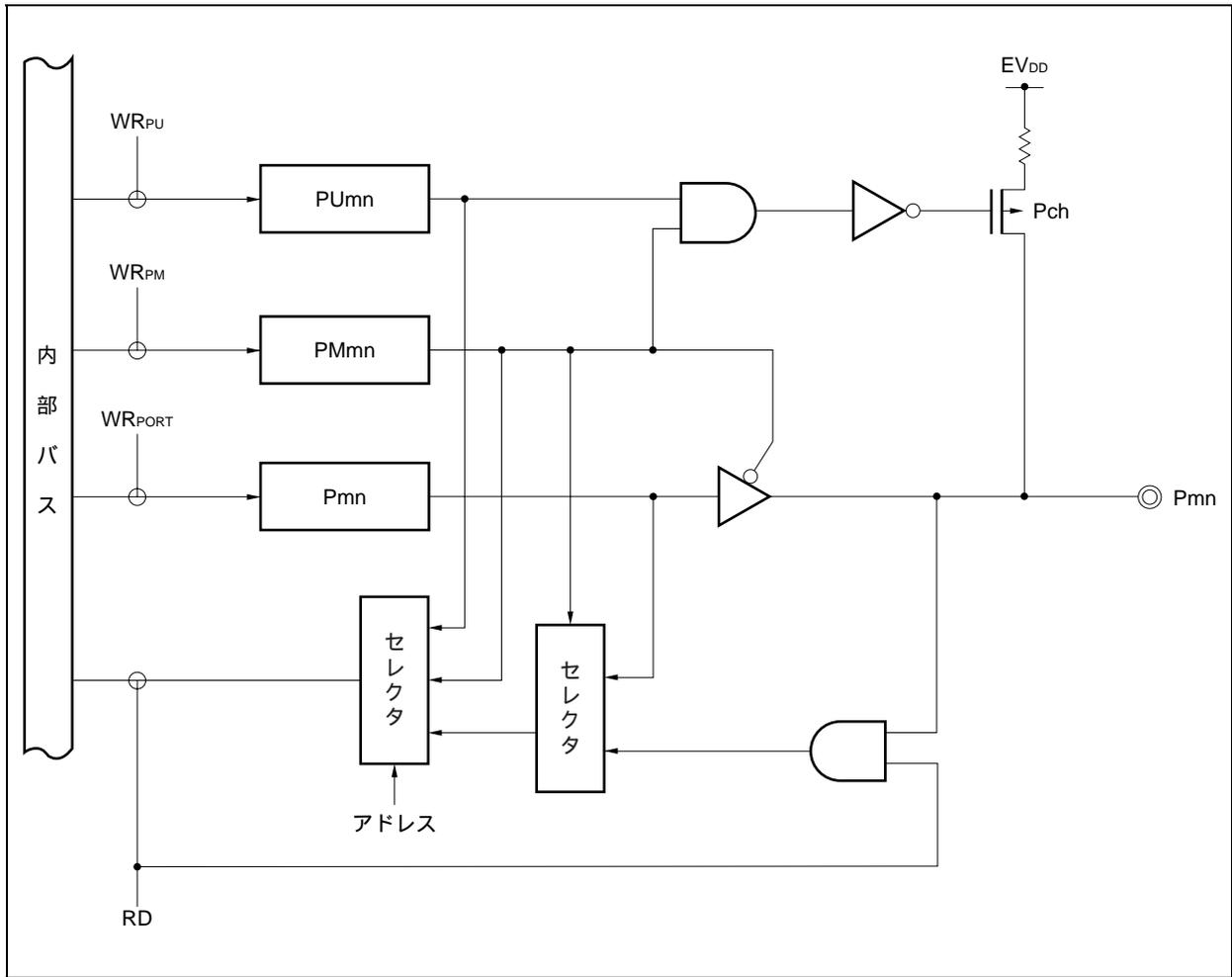


図4-5 タイプD-1のブロック図

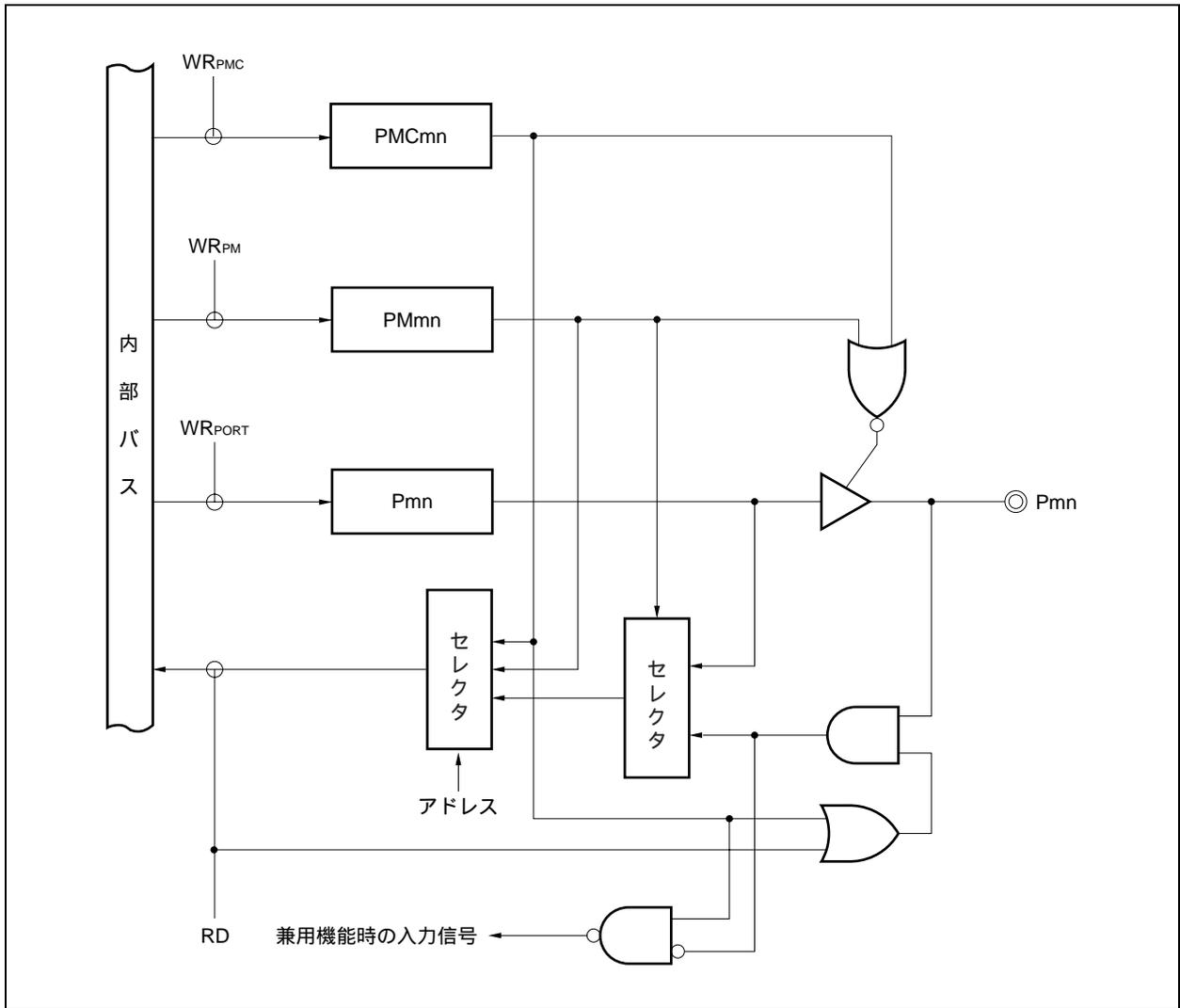


図4-6 タイプD-2のブロック図

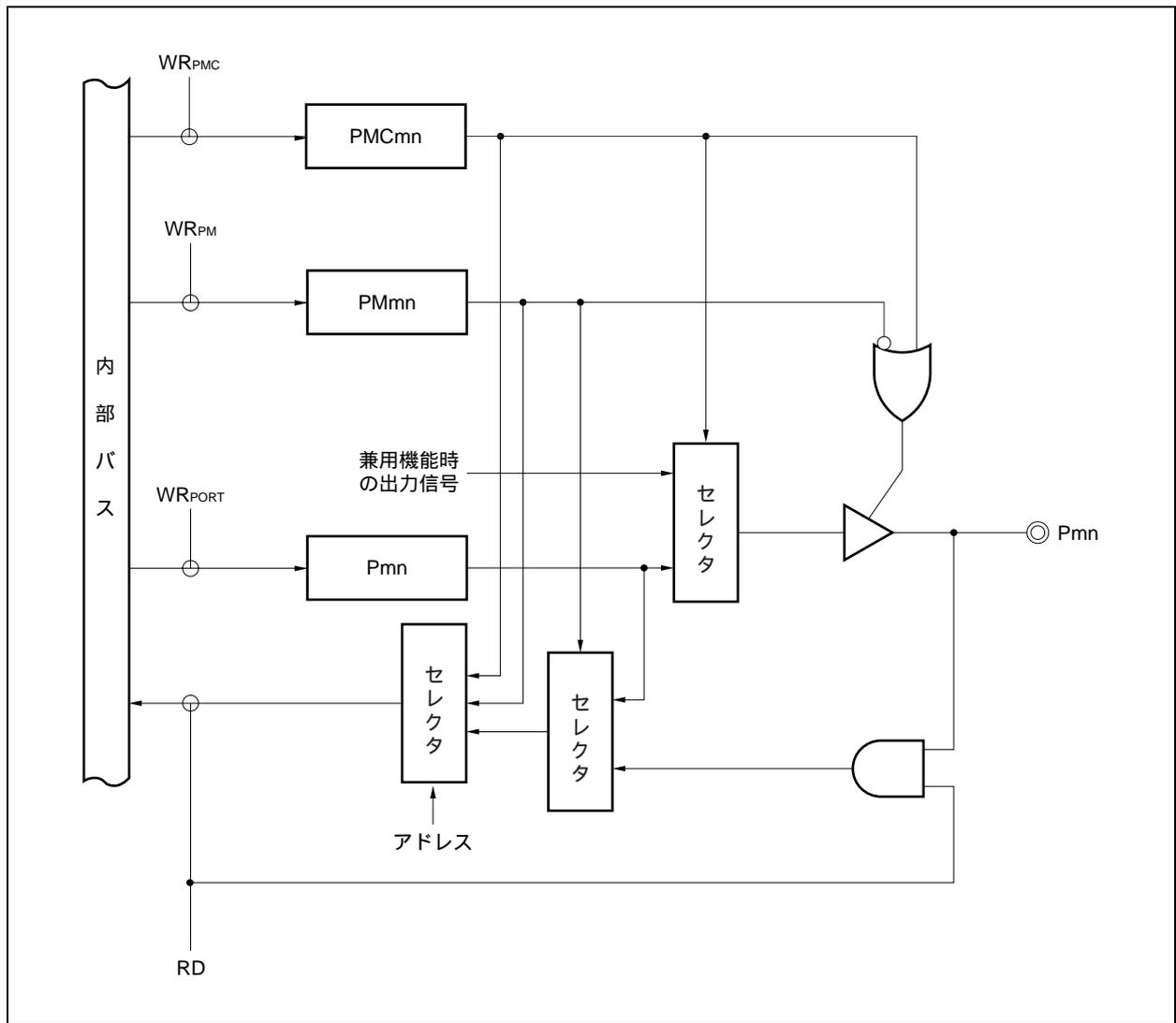


図4-7 タイプD-3のブロック図

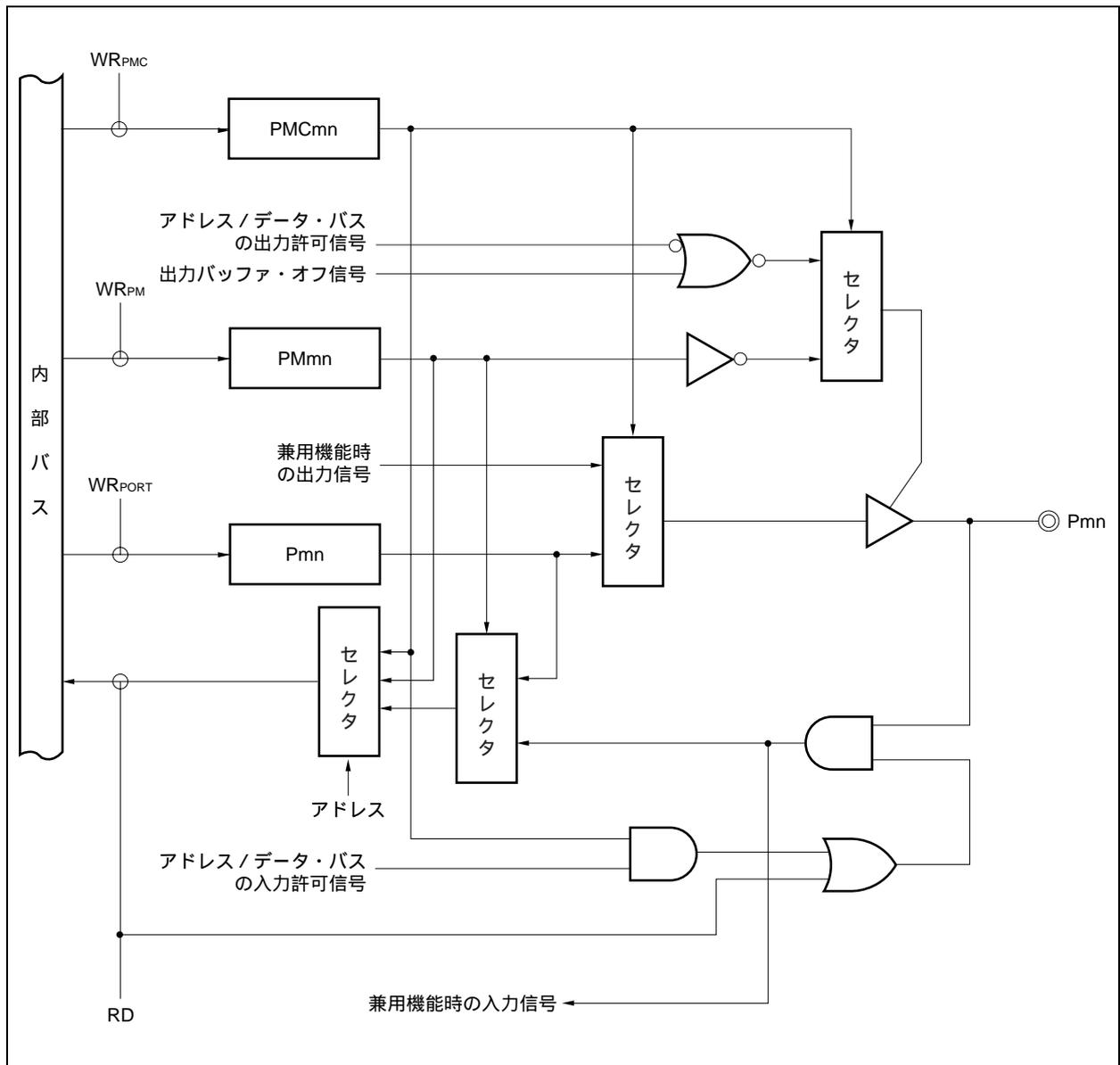


図4-8 タイプE-1のブロック図

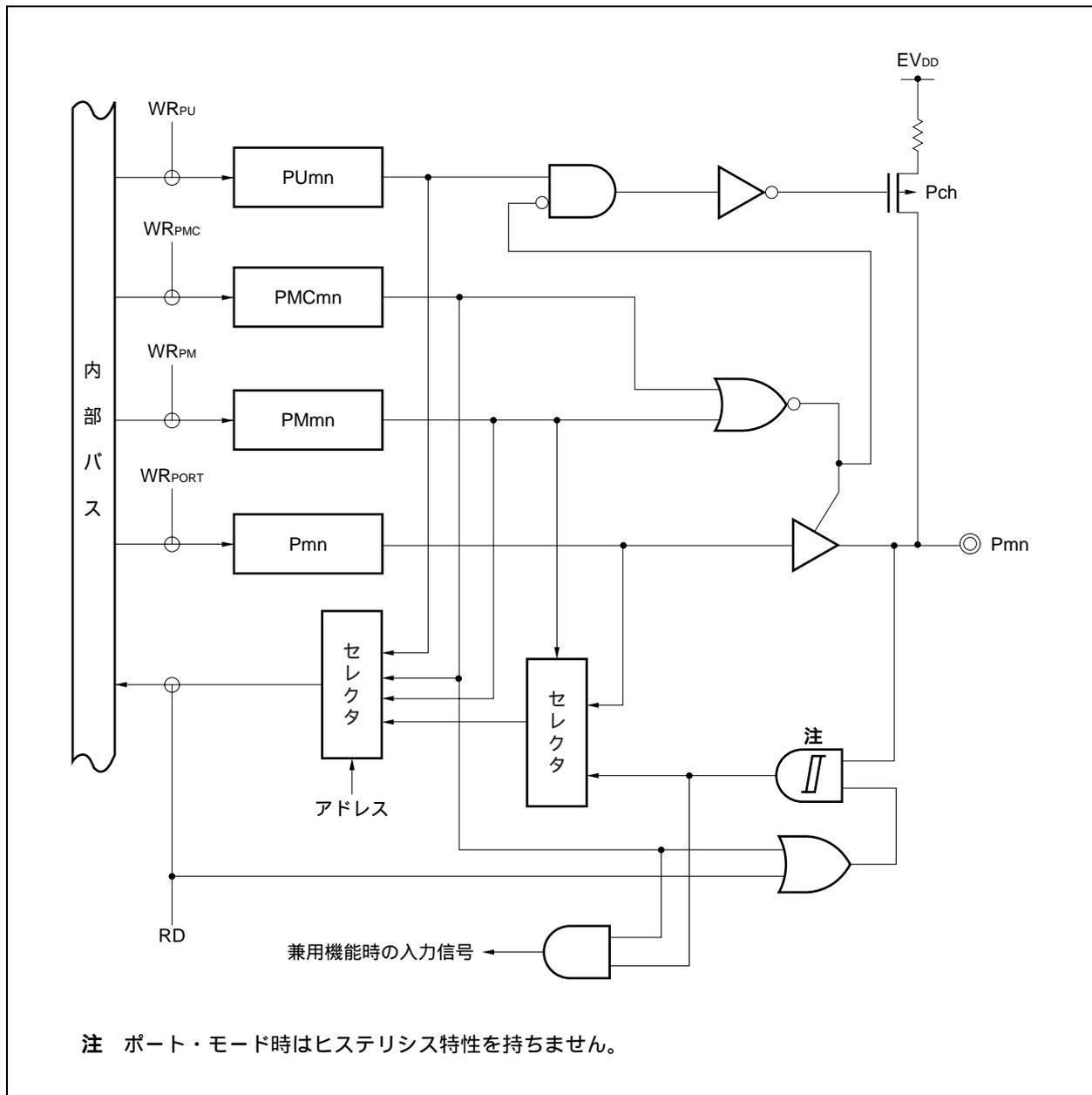


図4-9 タイプE-2のブロック図

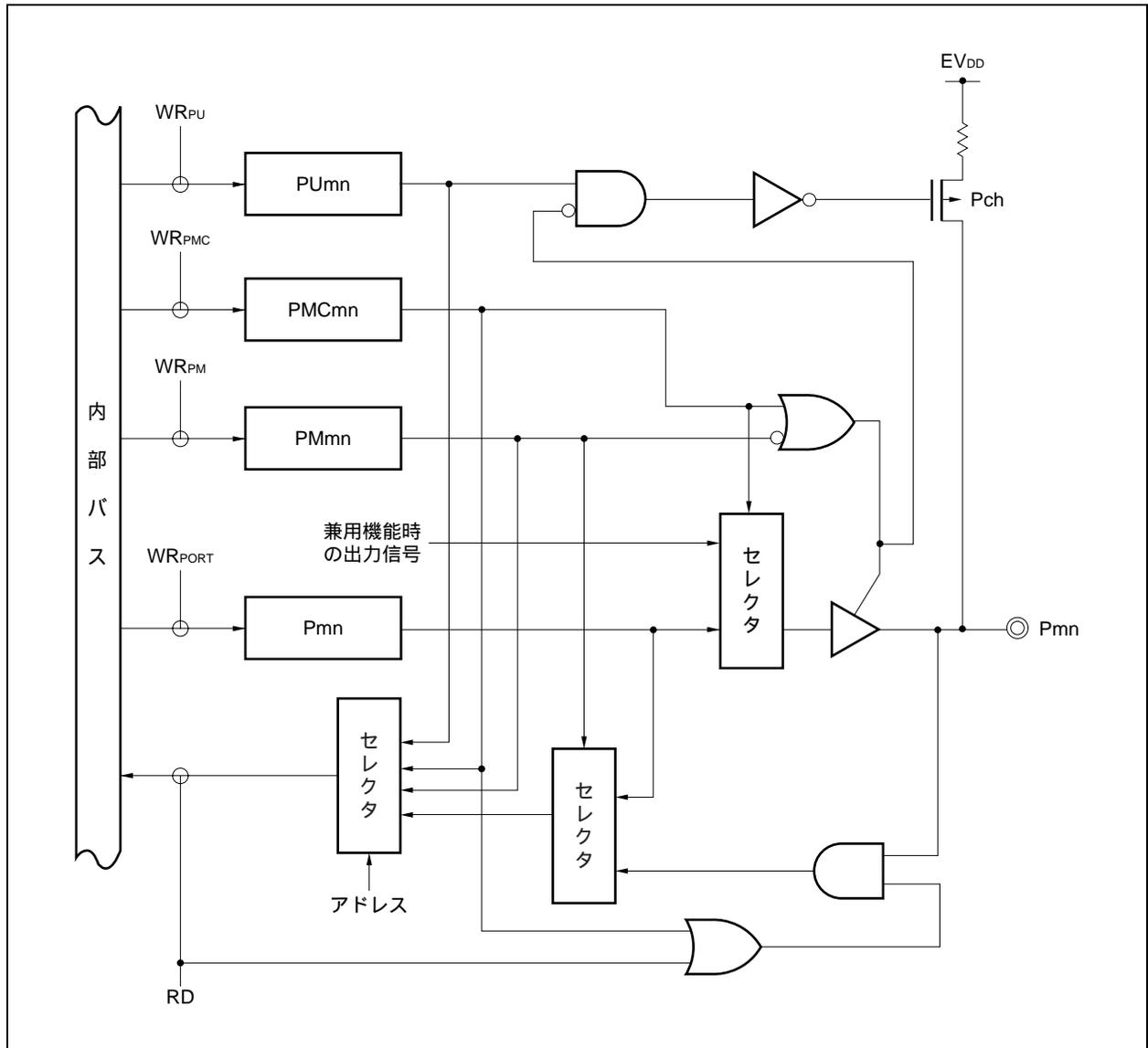


図4 - 10 タイプE - 3のブロック図

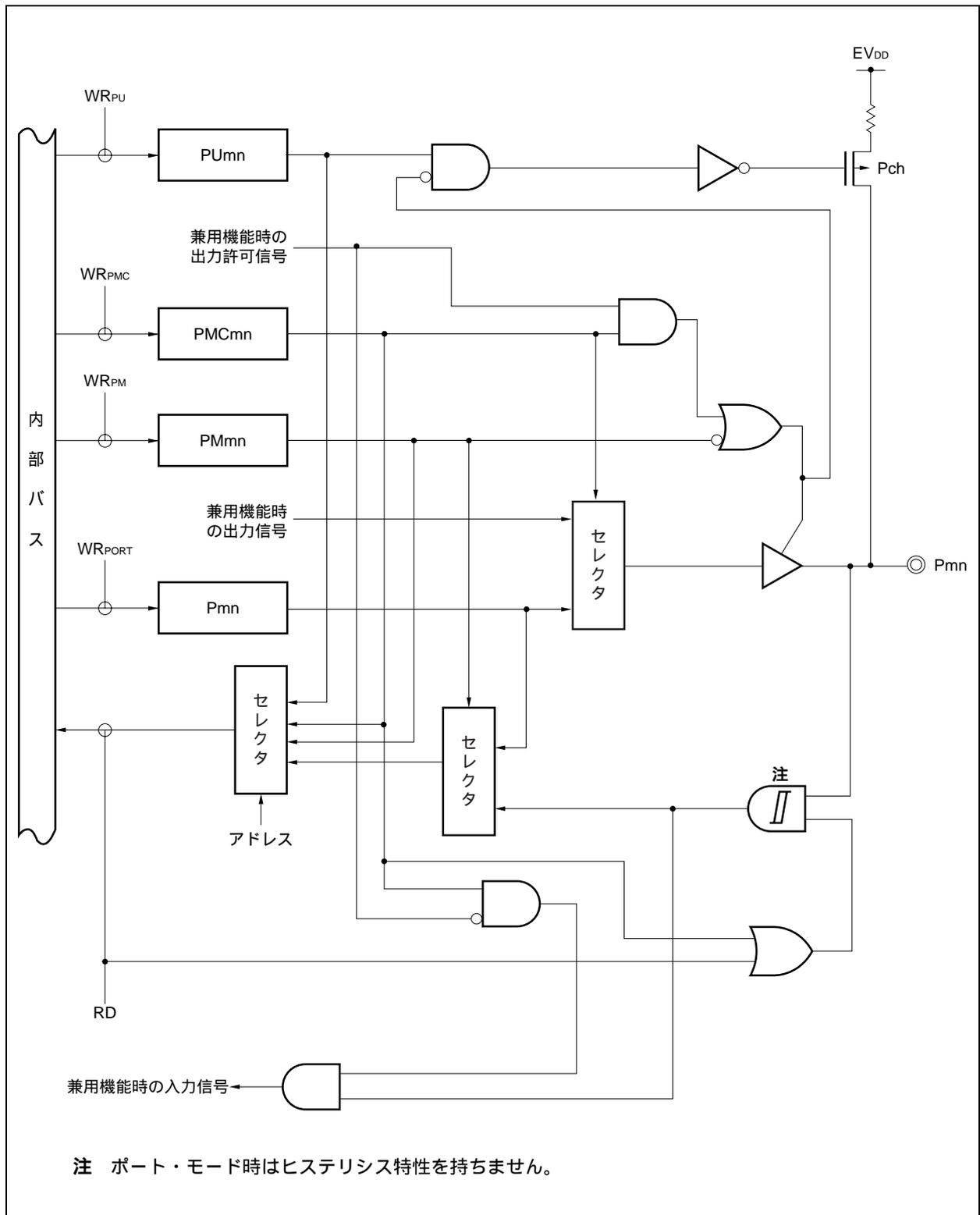


図4 - 11 タイプG - 1のブロック図

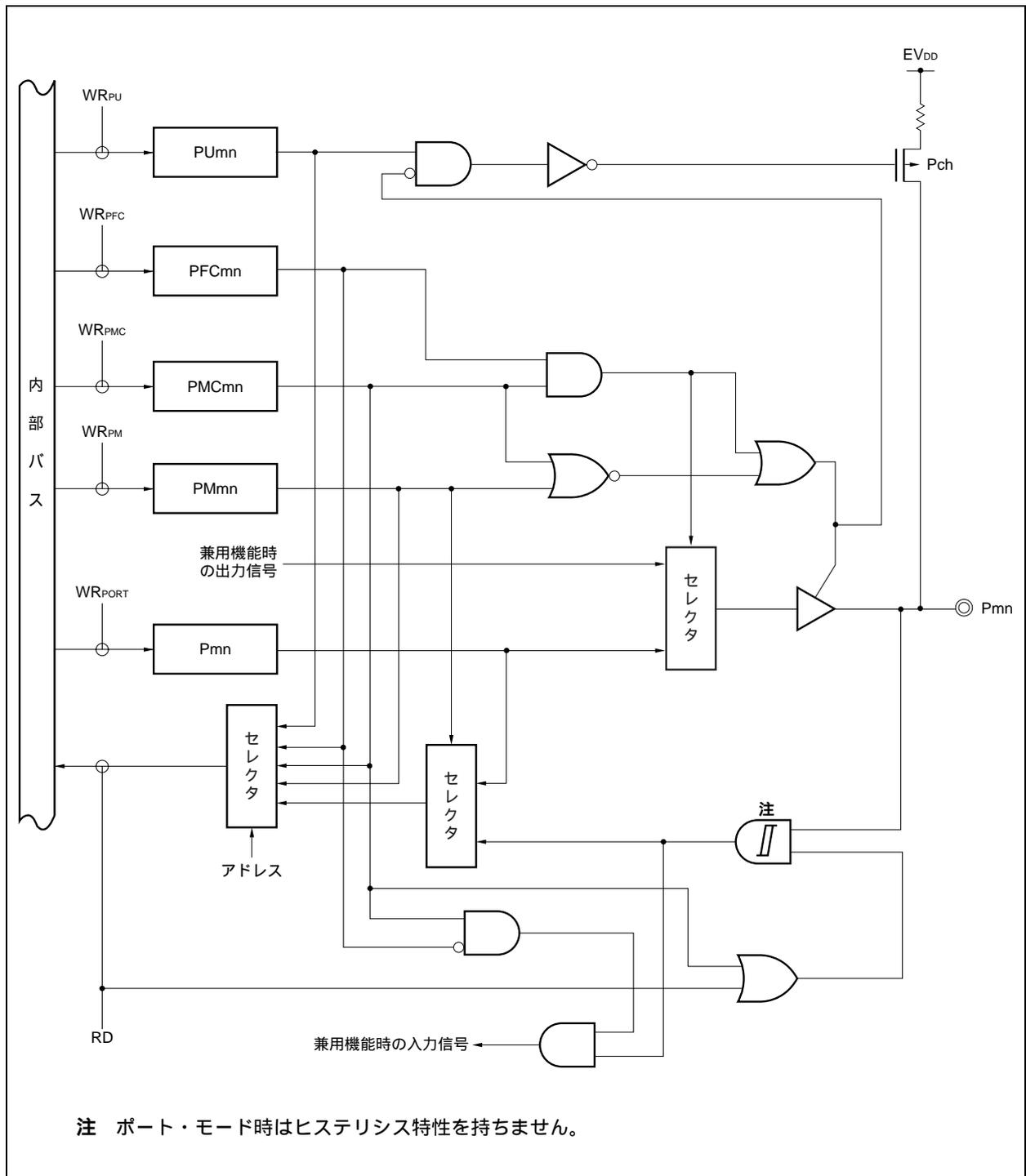
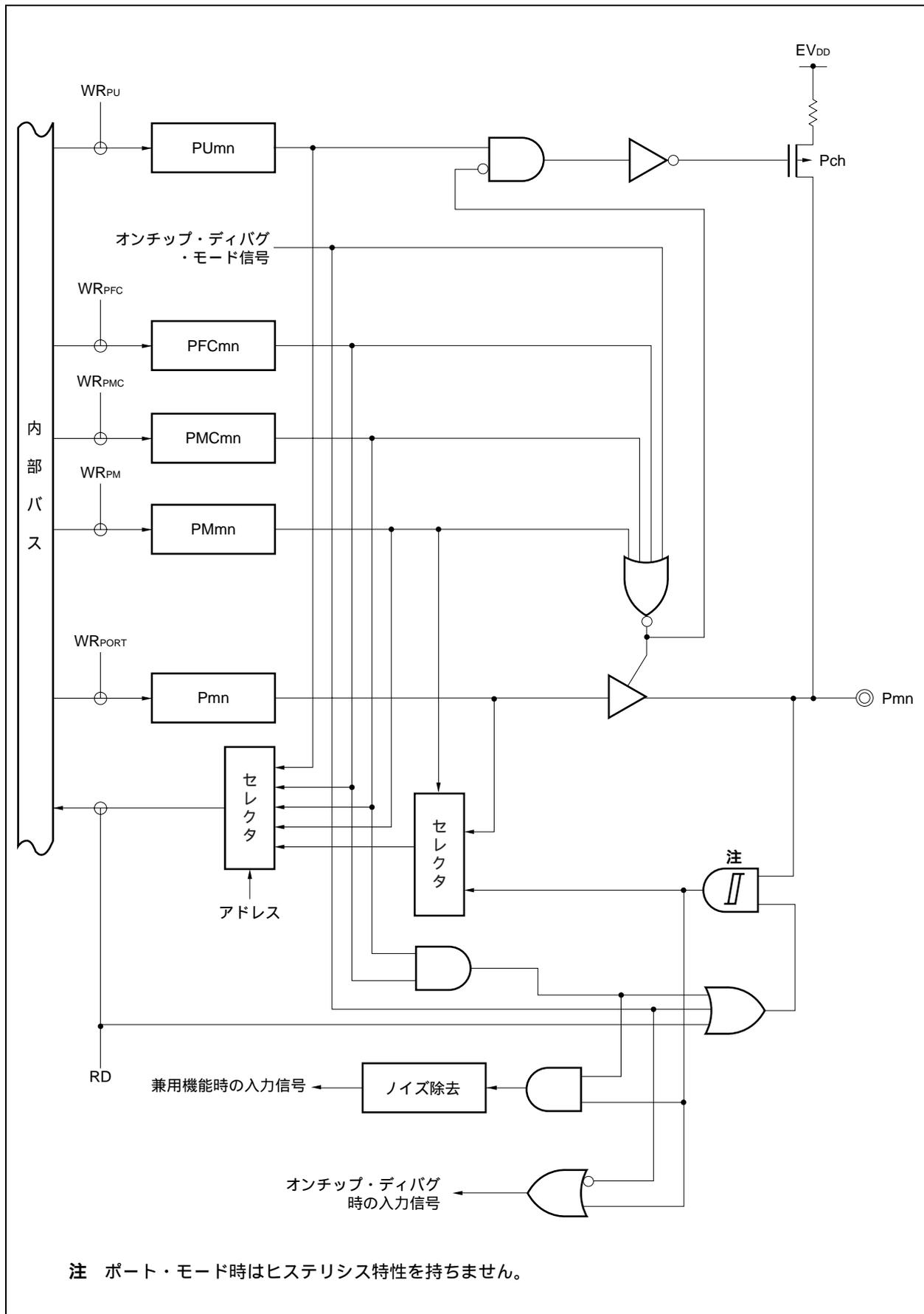


図4 - 12 タイプG - 2のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4 - 13 タイプG - 3のブロック図

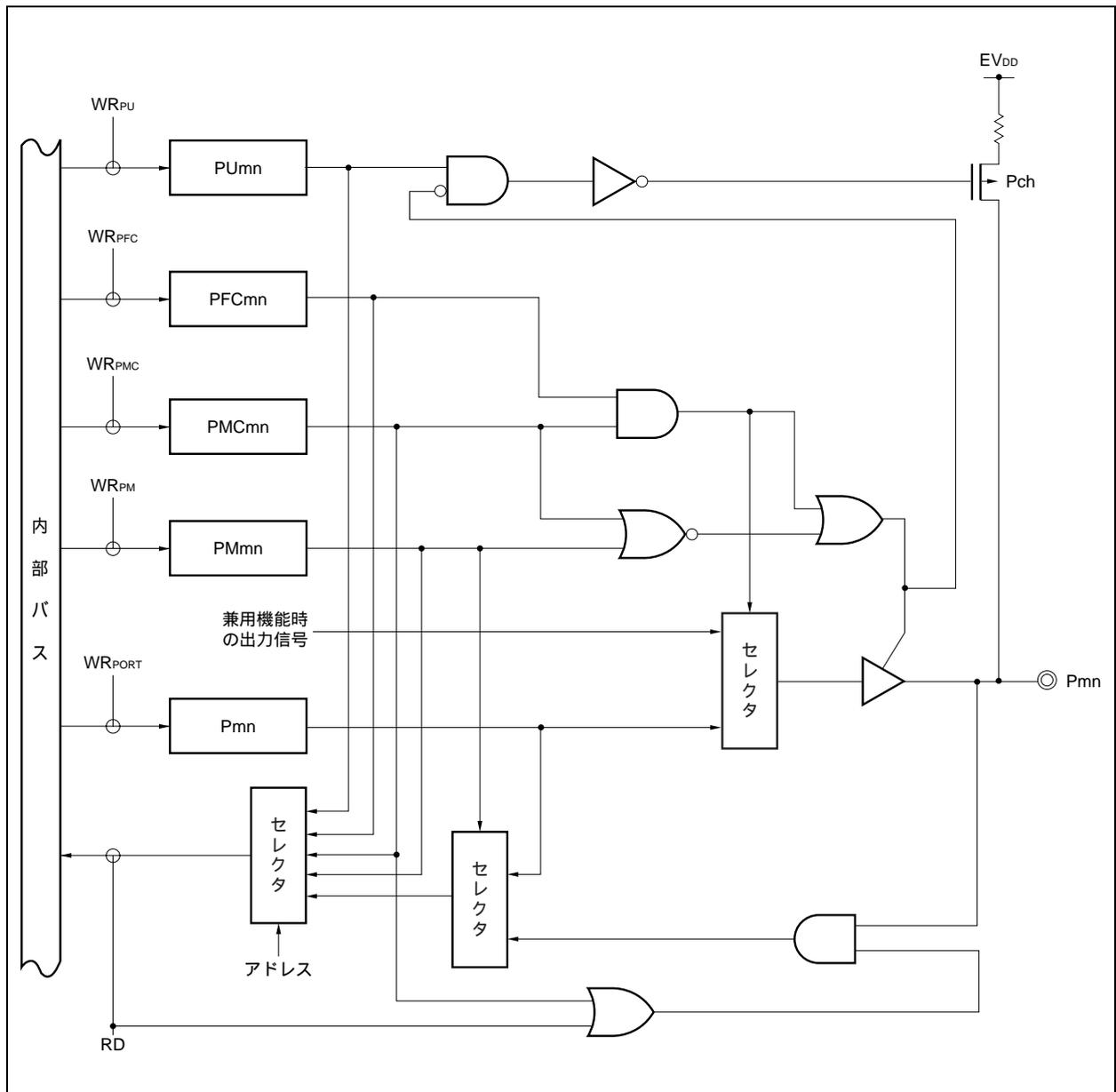


図4 - 14 タイプG - 5のブロック図

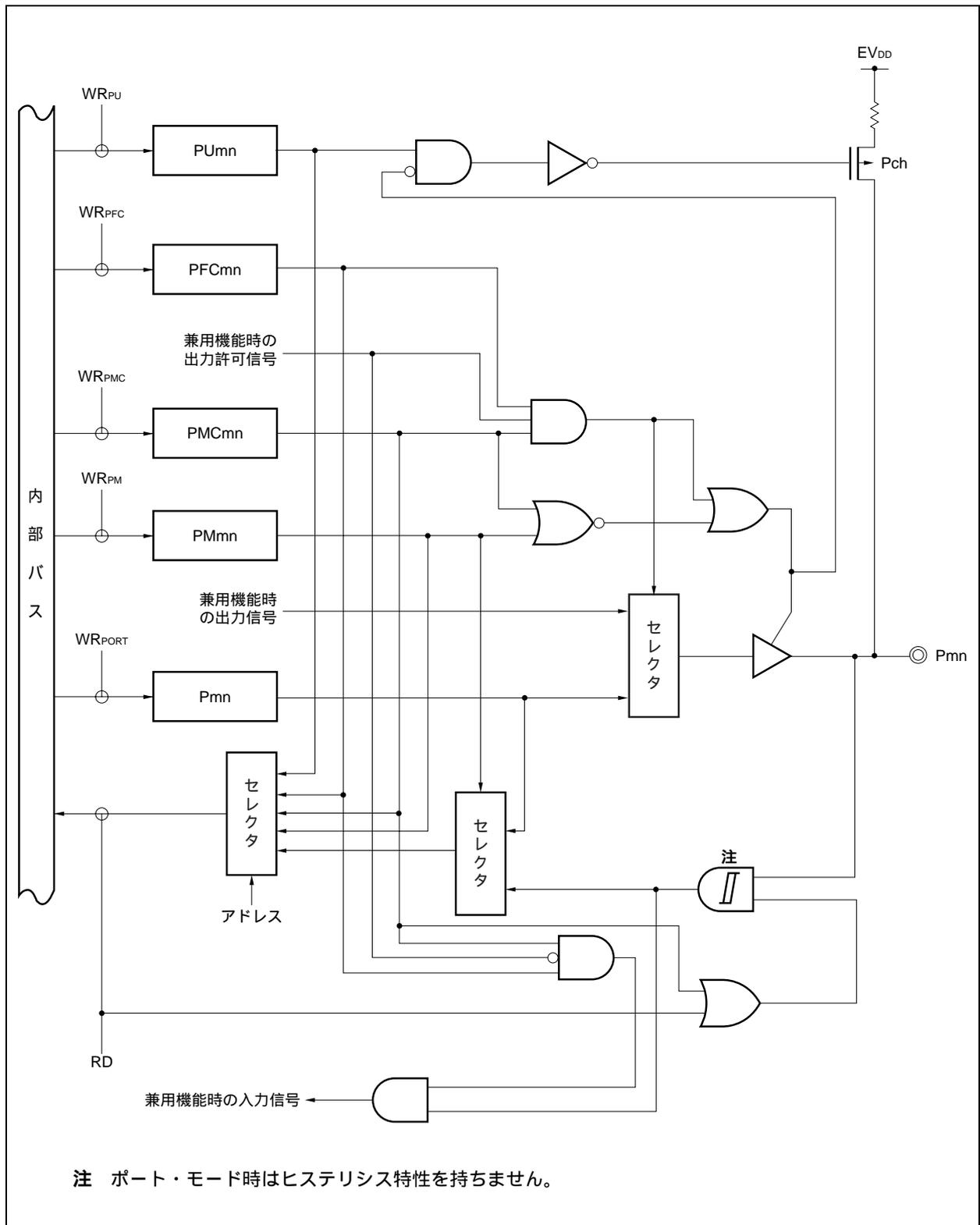


図4 - 15 タイプL - 1のブロック図

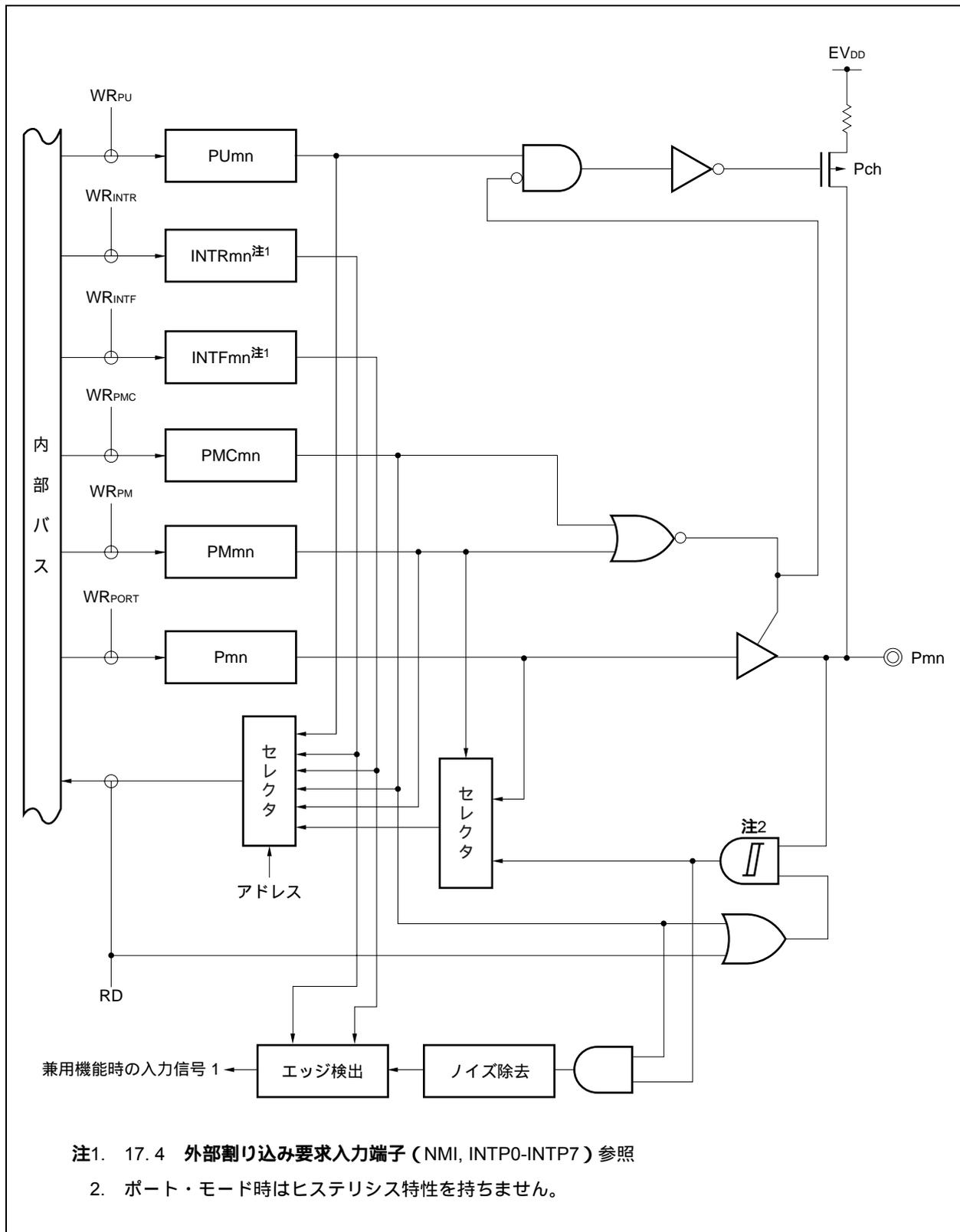


図4 - 16 タイプL - 2のブロック図

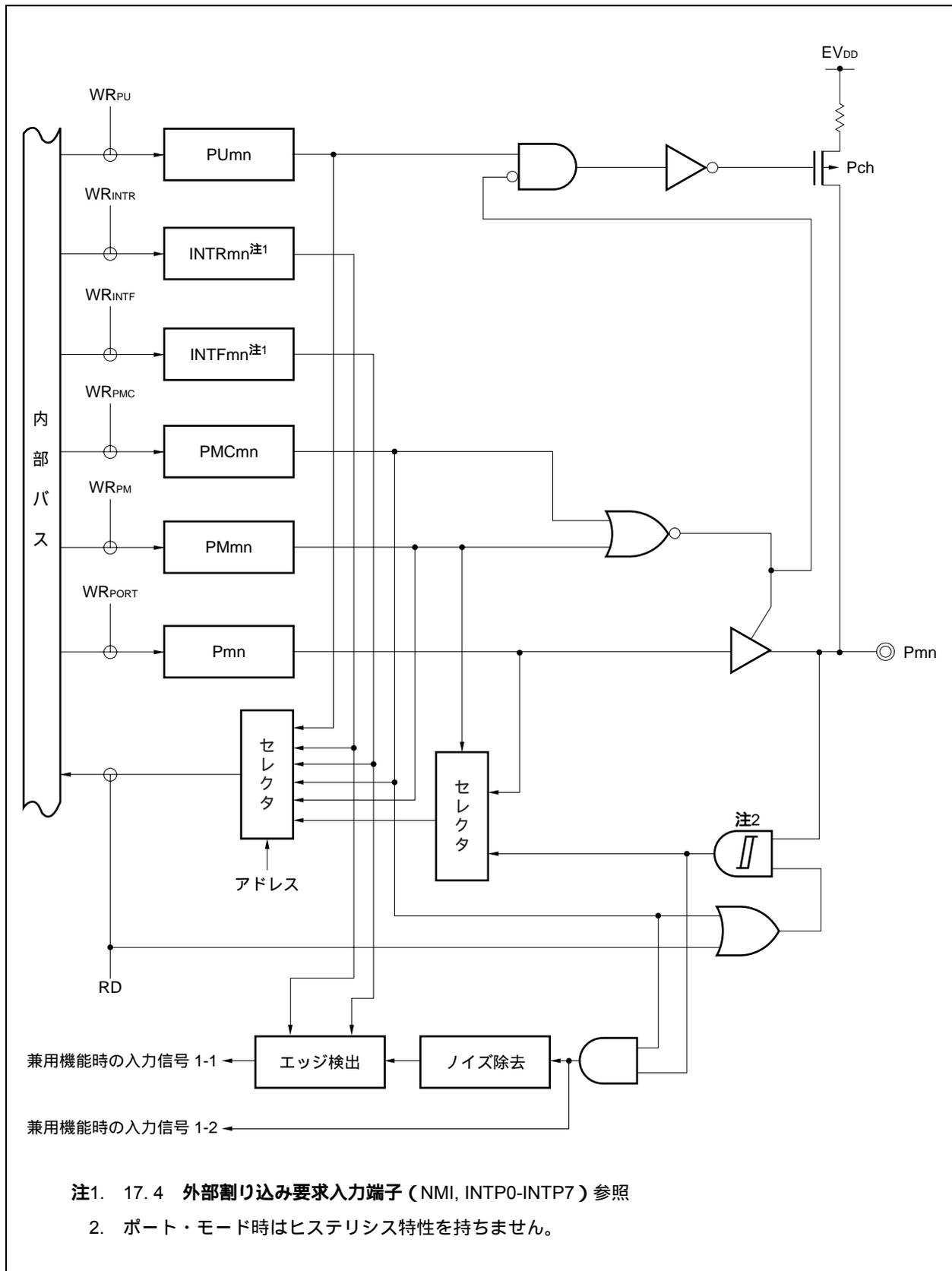


図4 - 17 タイプN - 1のブロック図

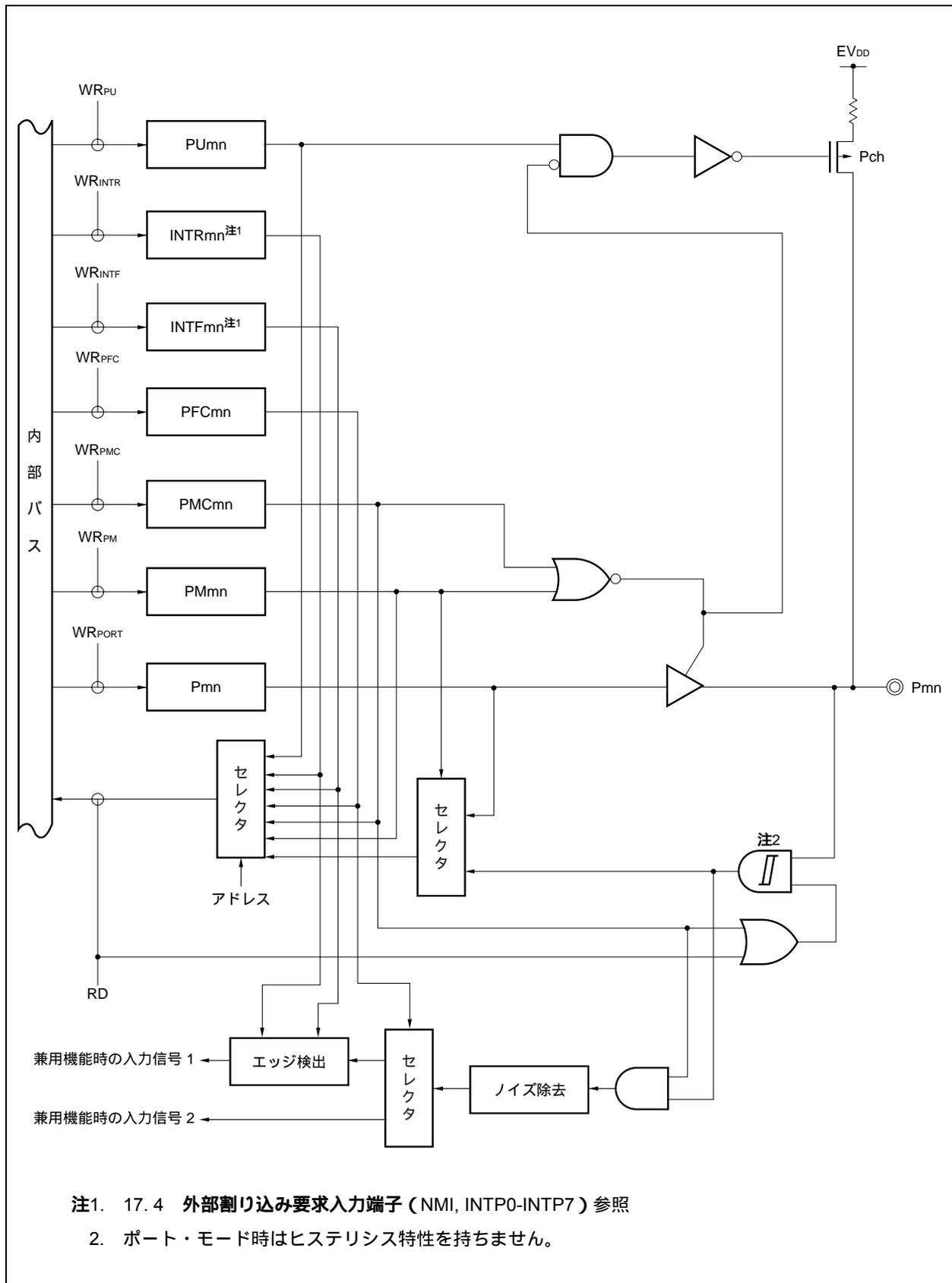


図4 - 18 タイプN - 2のブロック図

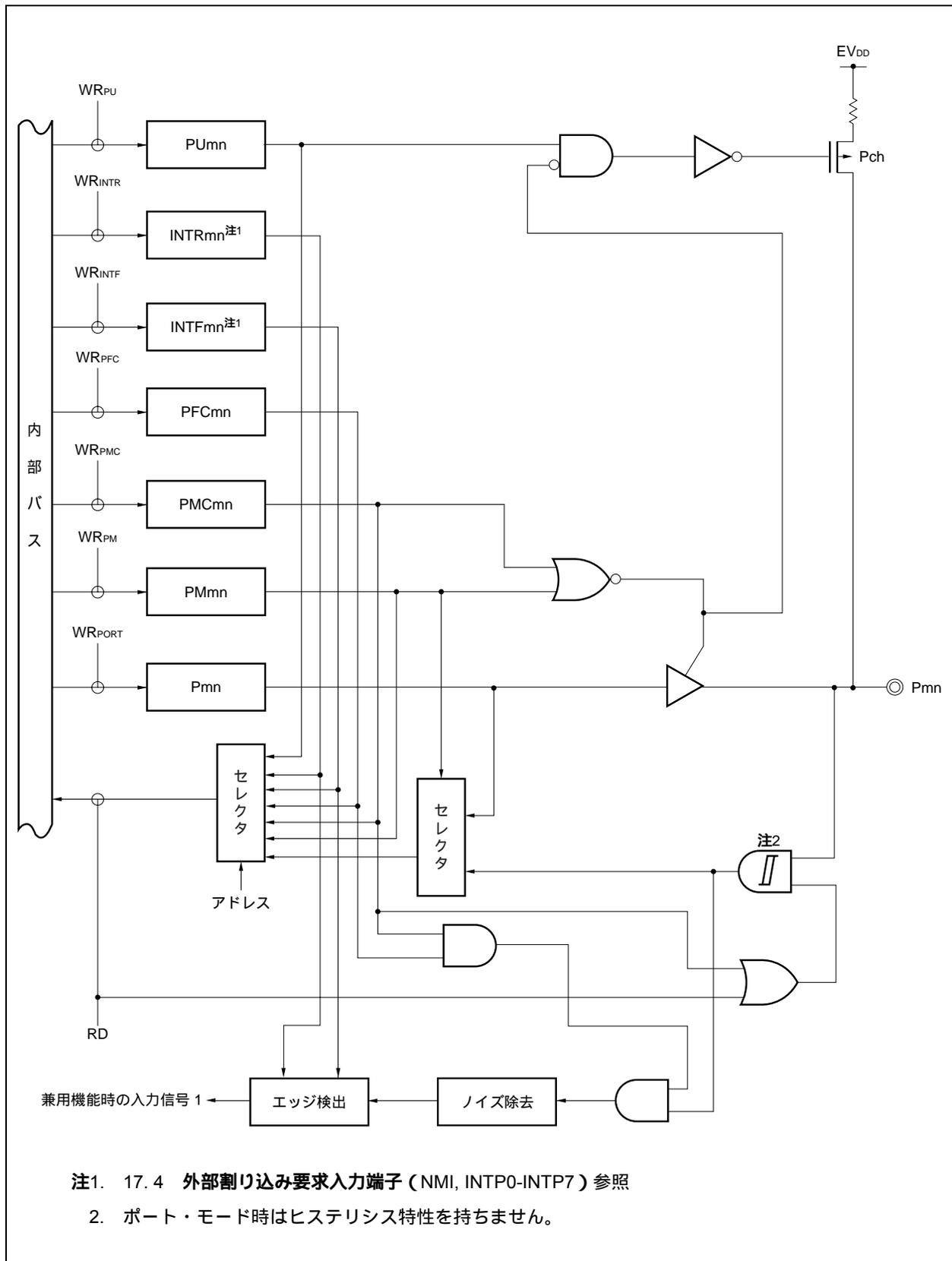


図4-19 タイプQ-1のブロック図

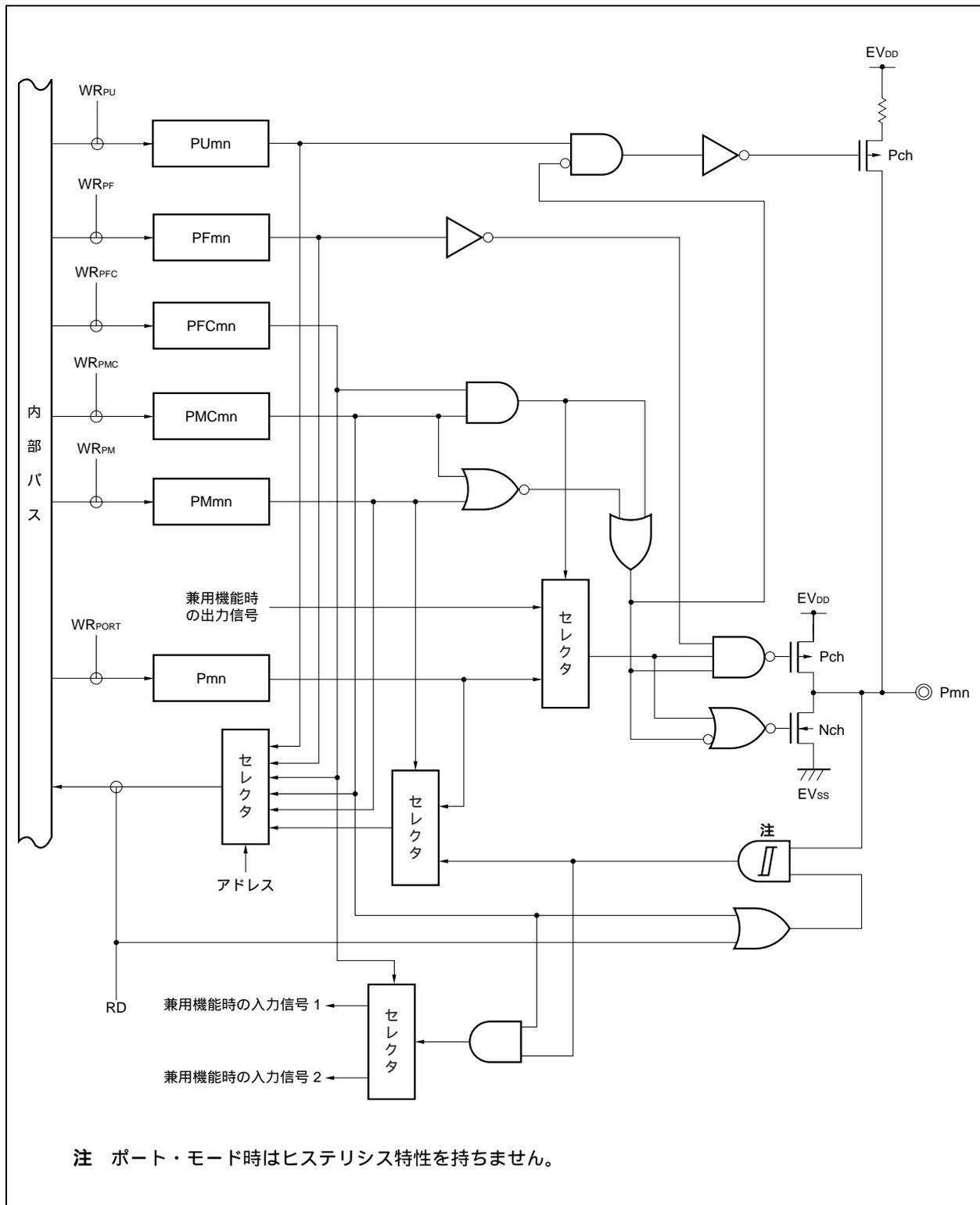


図4 - 20 タイプQ - 2のブロック図

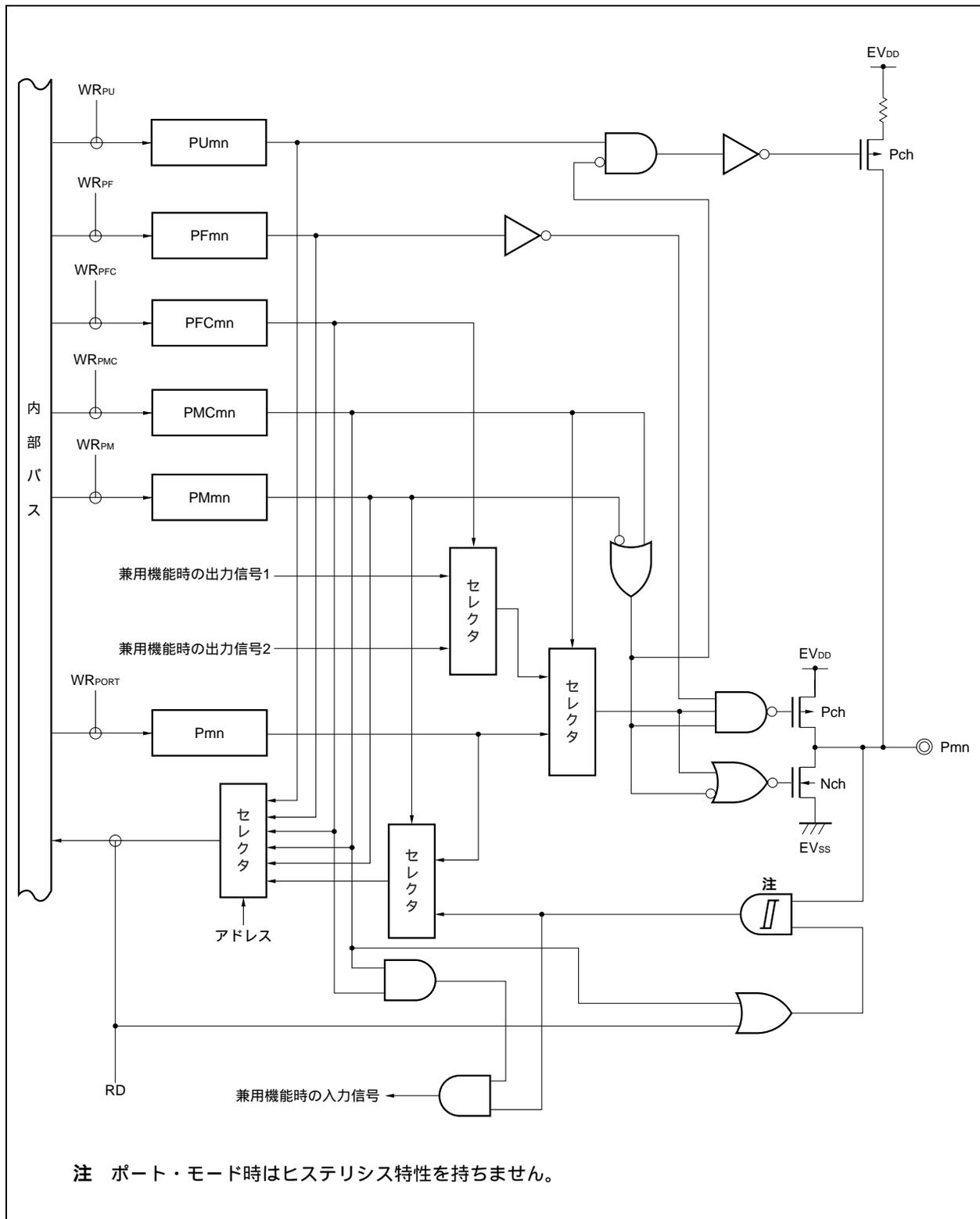


図4-21 タイプU-1のブロック図

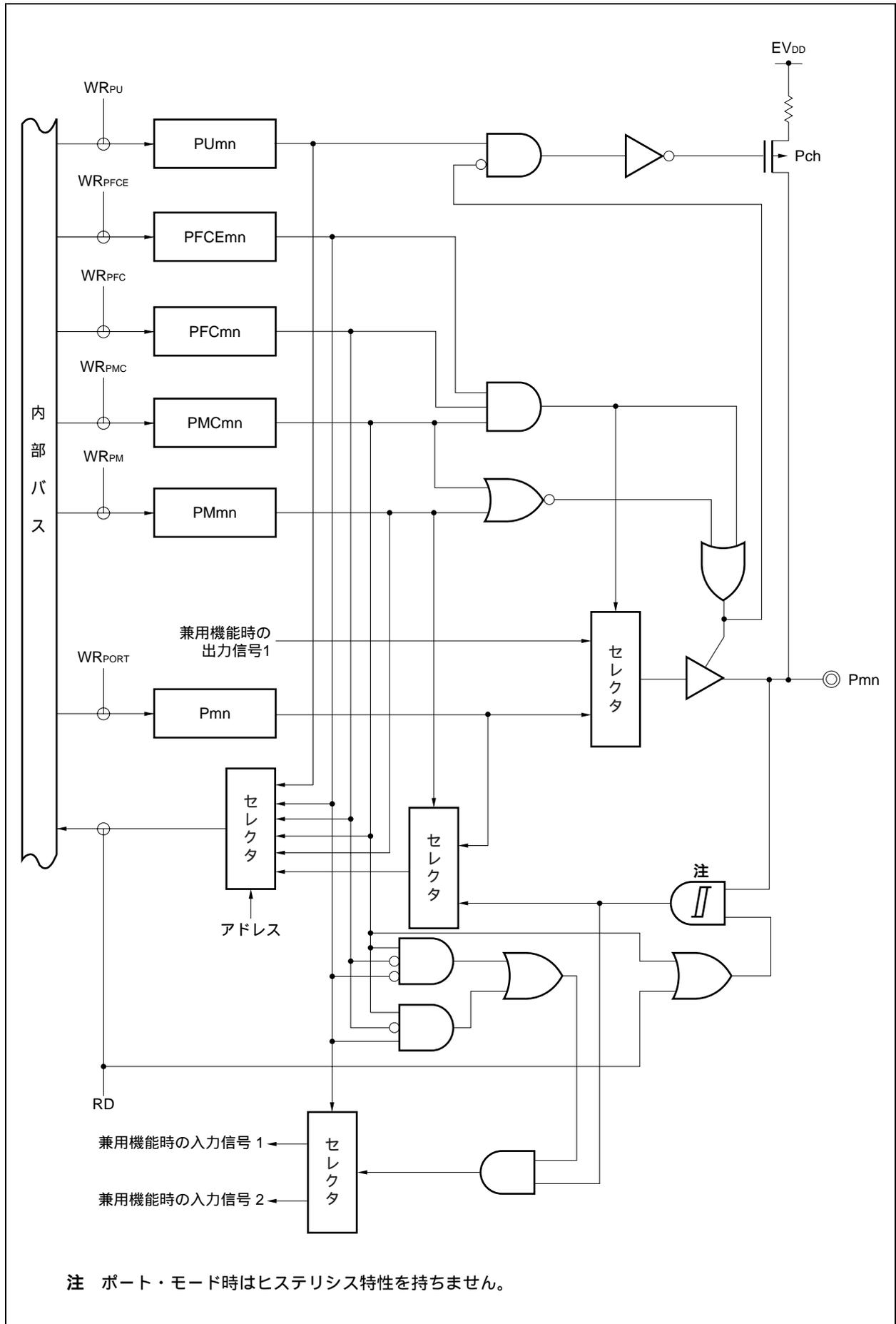


図4 - 22 タイプU - 4のブロック図

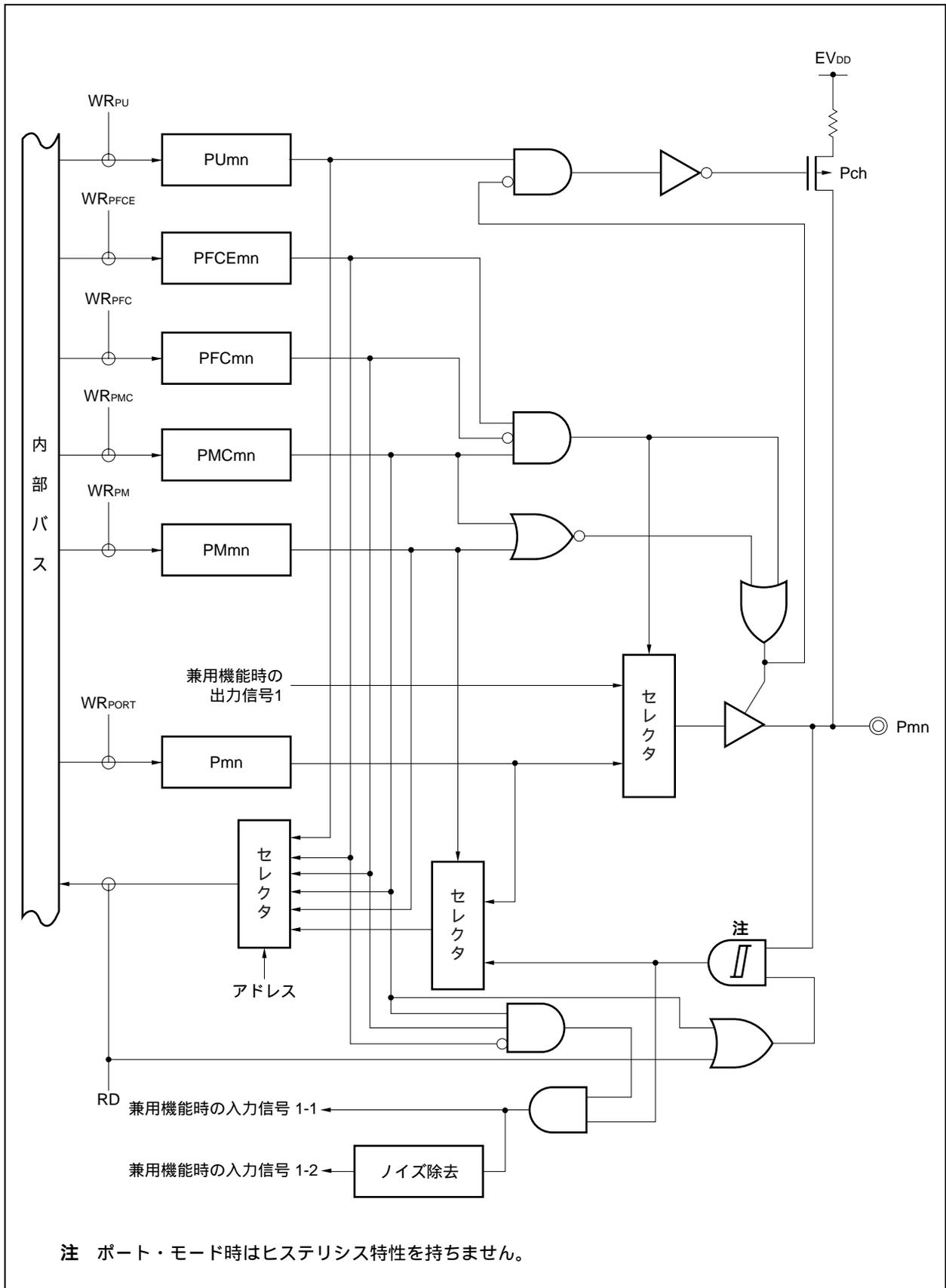


図4 - 23 タイプU - 5のブロック図

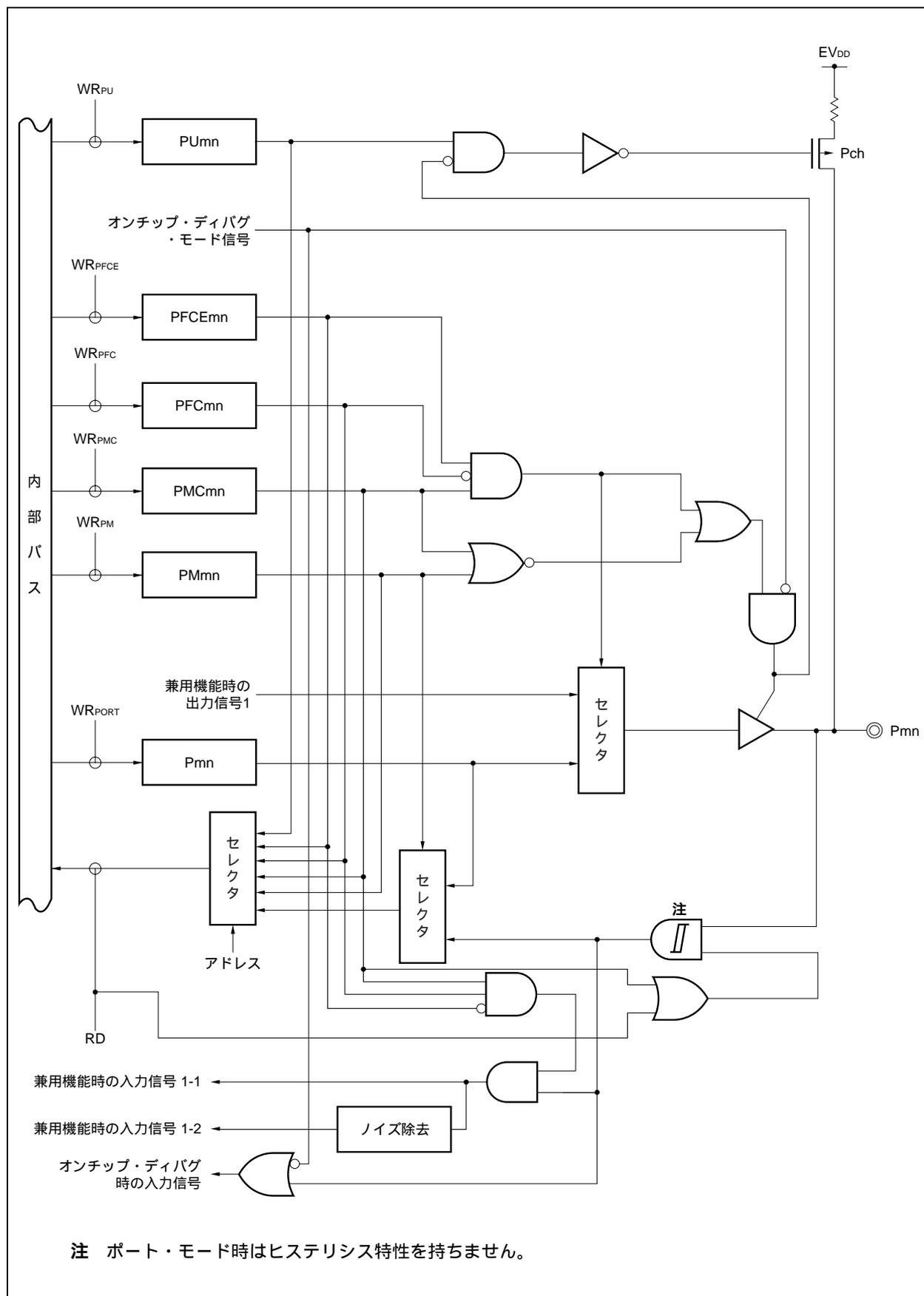


図4-24 タイプU-6のブロック図

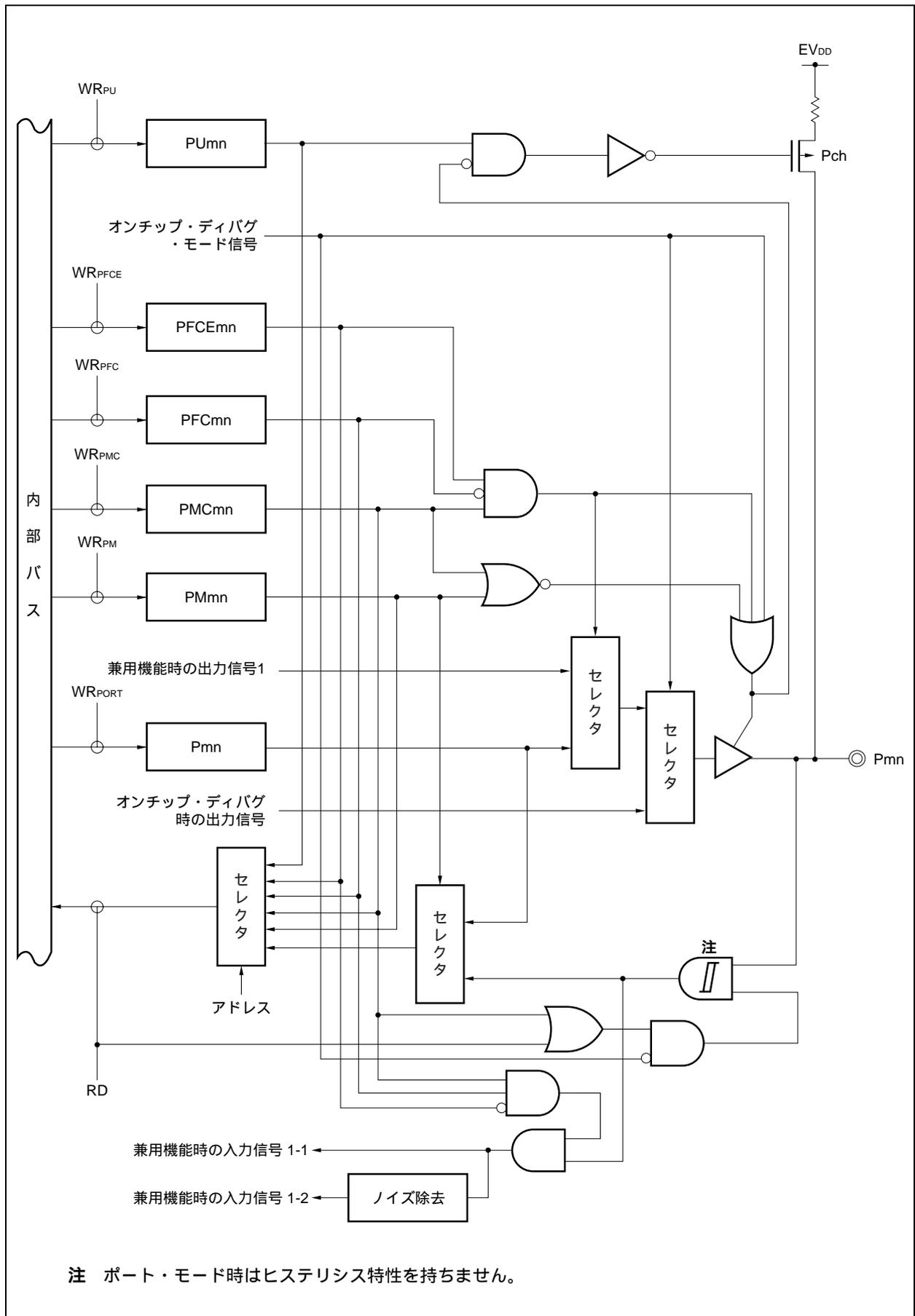


図4 - 25 タイプU - 7のブロック図

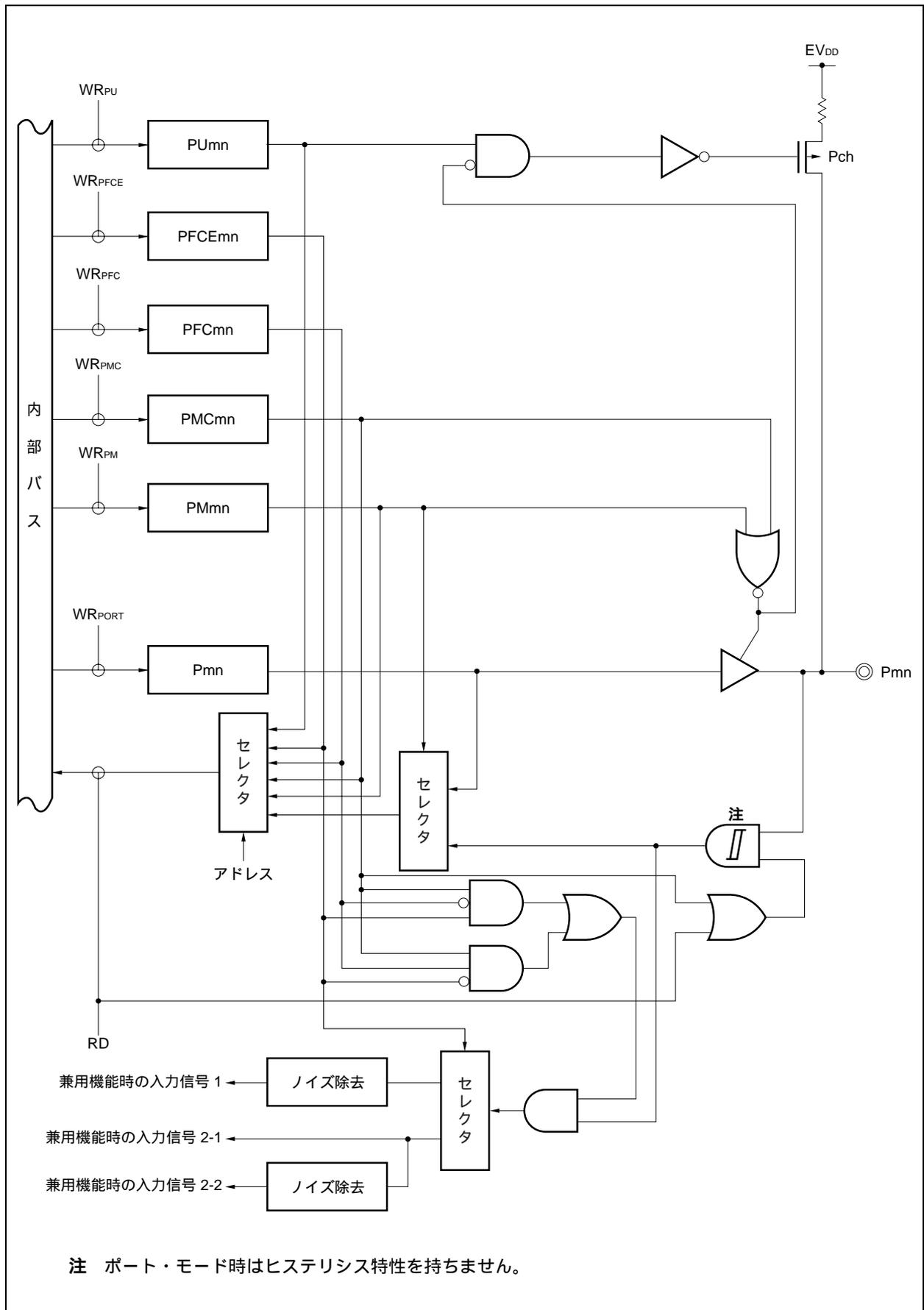


図4 - 26 タイプU - 8のブロック図

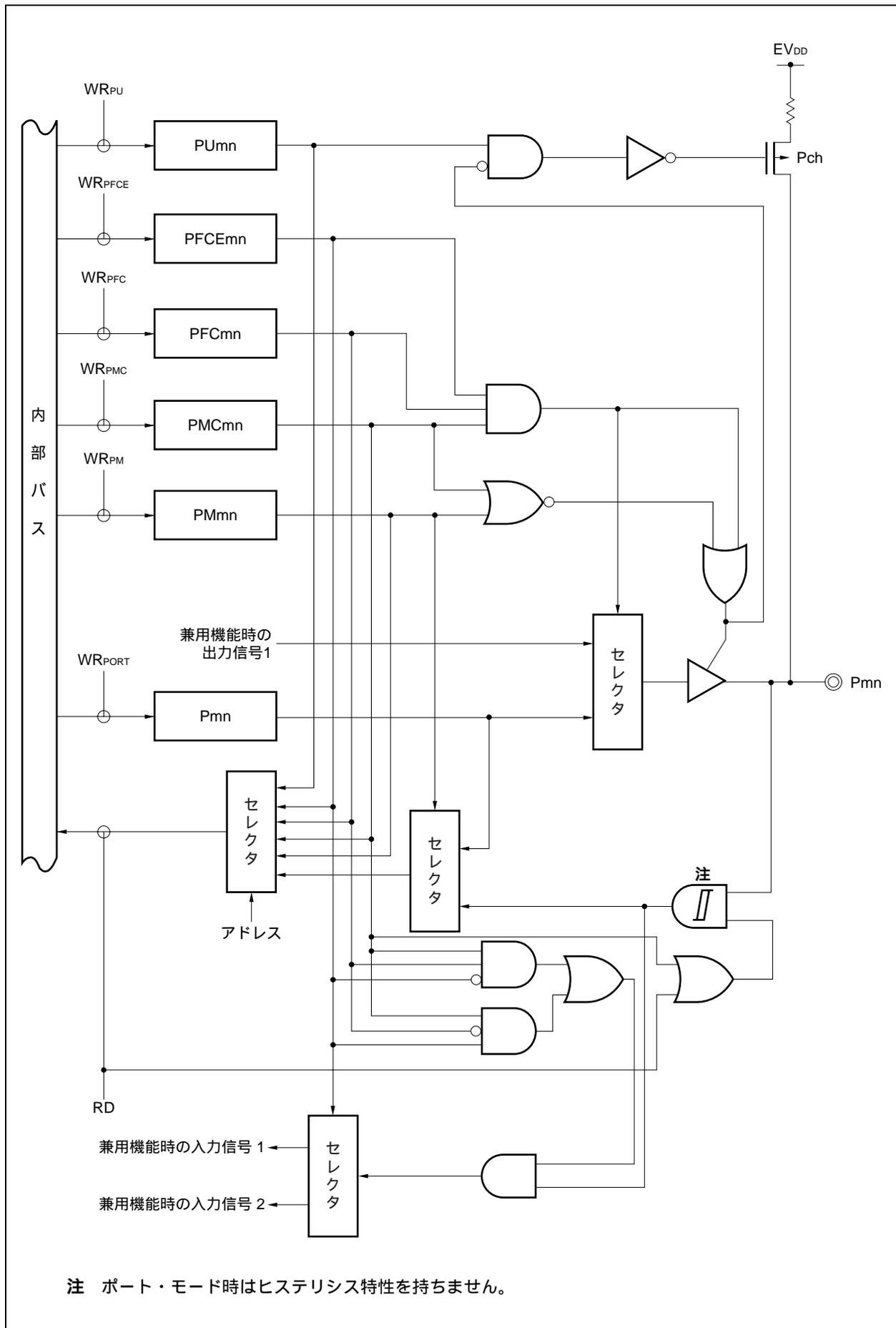


図4 - 27 タイプU - 9のブロック図

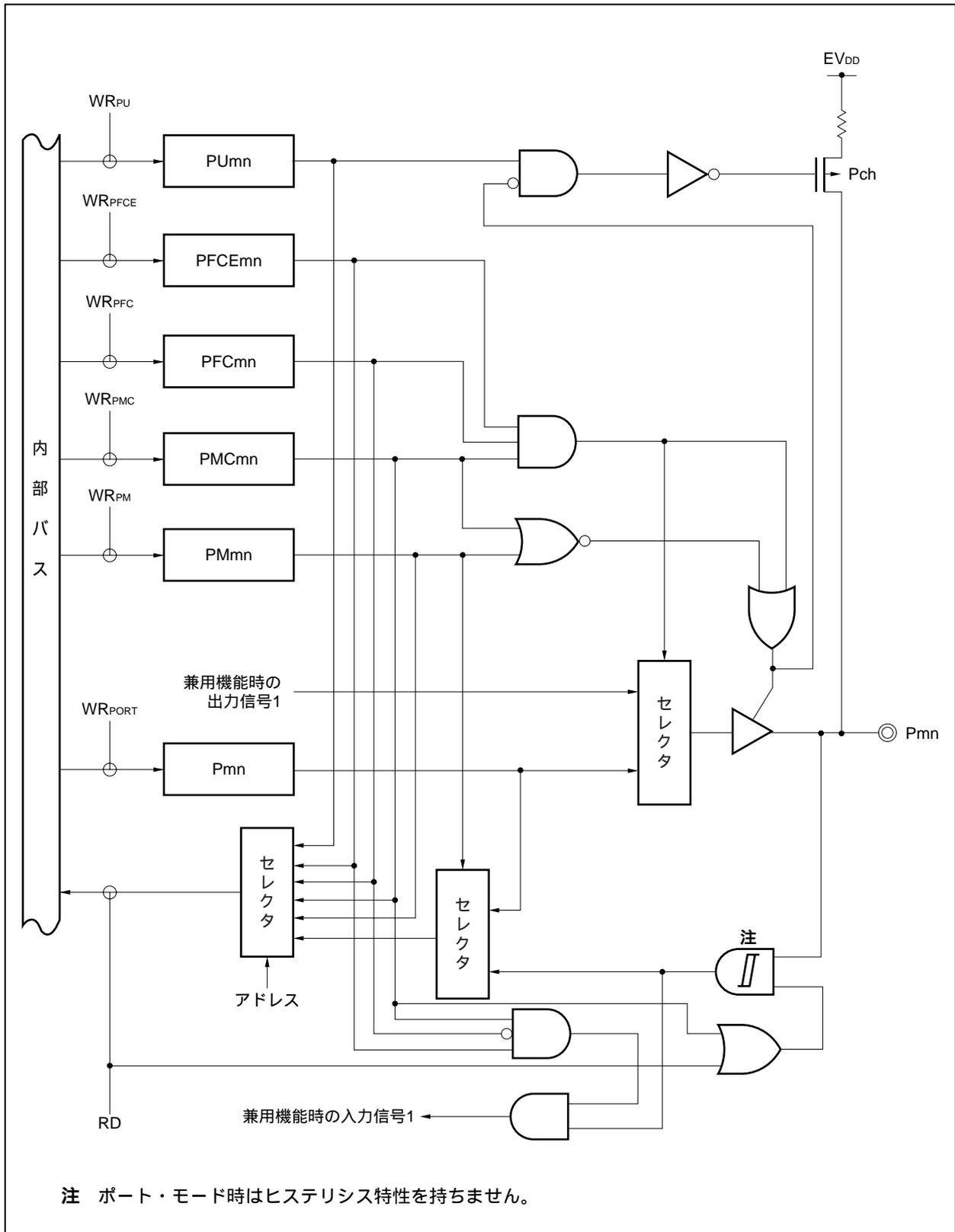
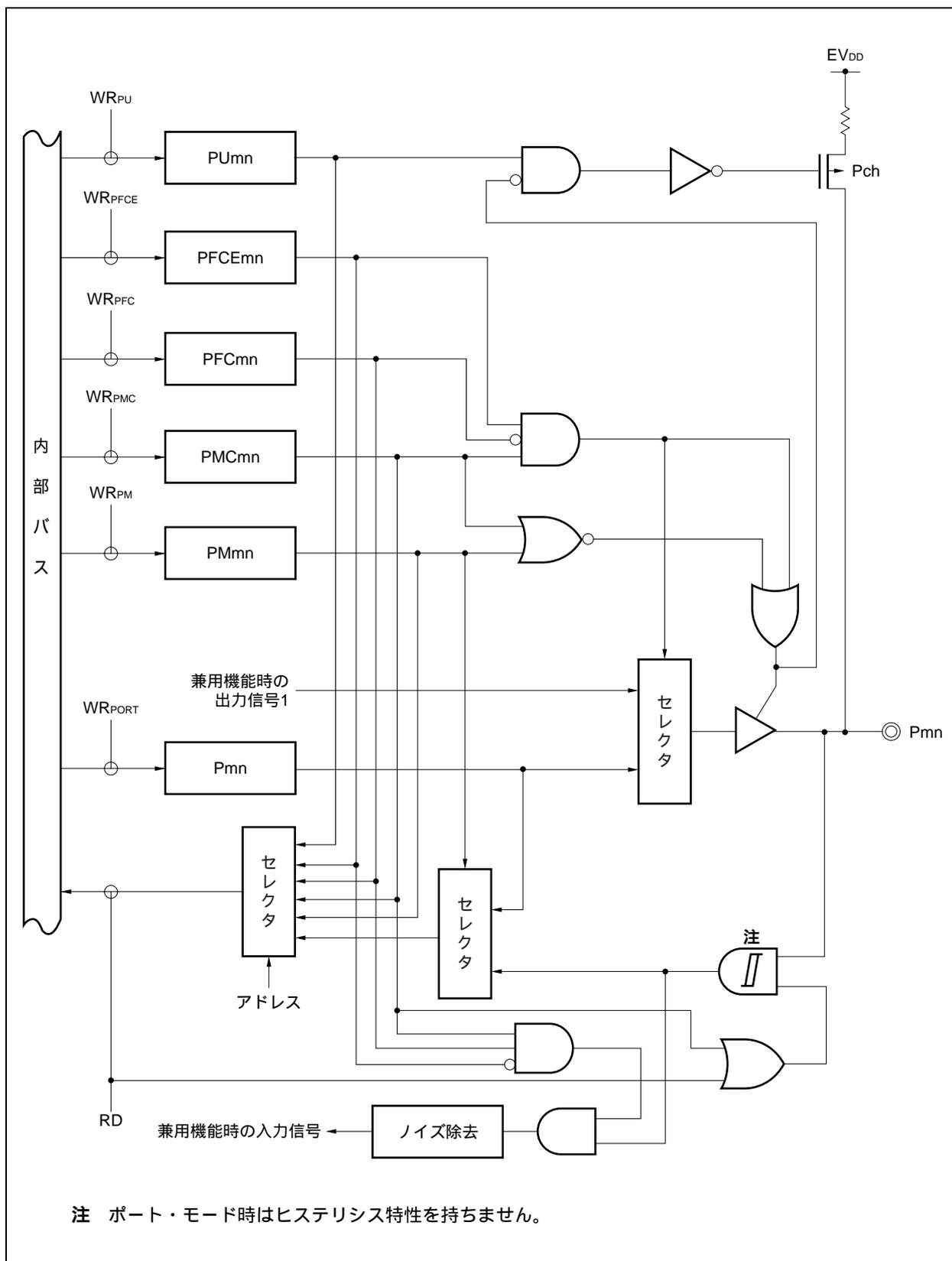
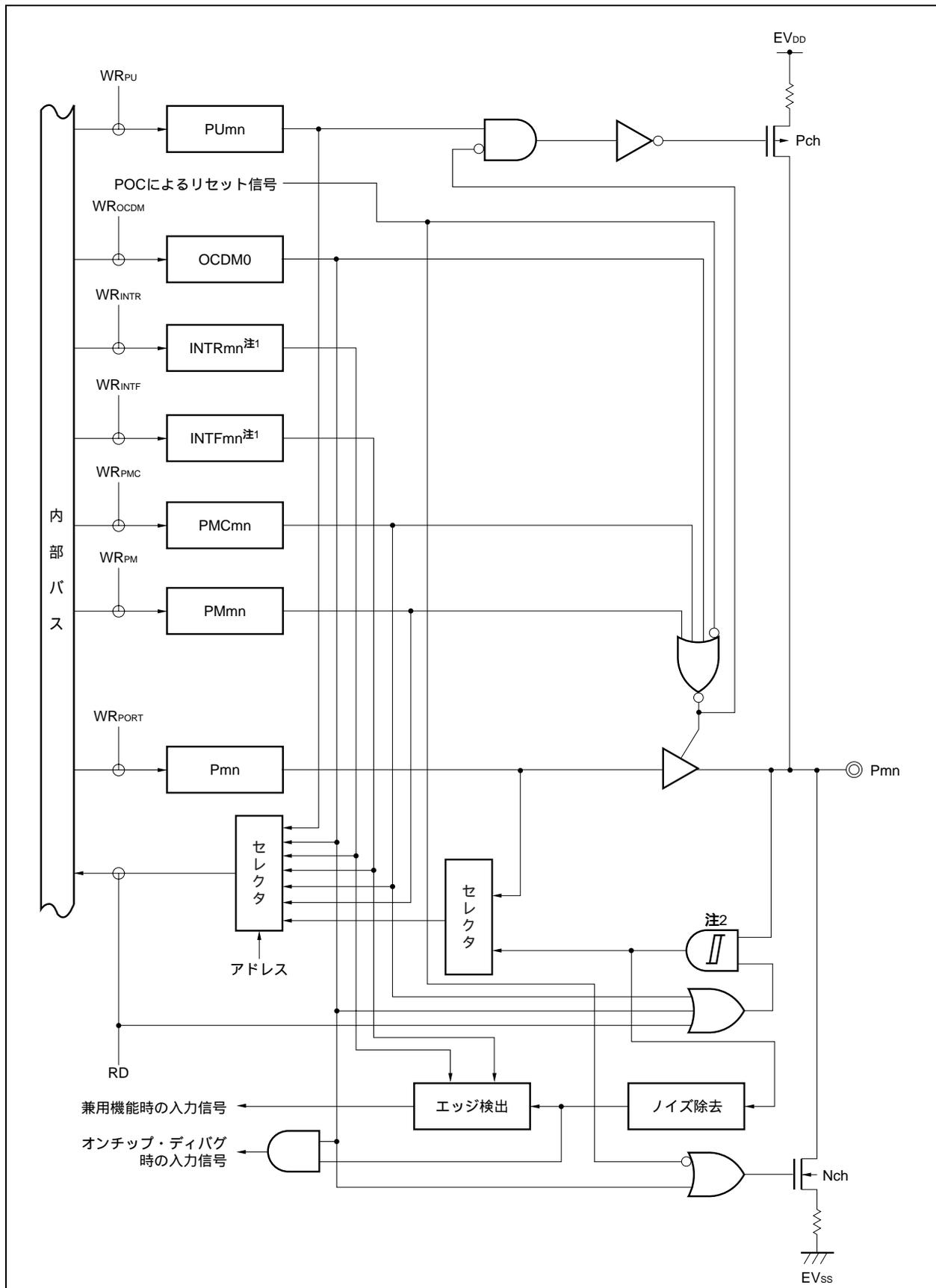


図4 - 28 タイプU - 12のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4 - 29 タイプAA - 1のブロック図



注1. 17.4 外部割り込み要求入力端子 (NMI, INTP0-INTP7) 参照

2. ポート・モード時はヒステリシス特性を持ちません。

4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4 - 16に示します。

兼用端子として使用する場合は各機能を参照してください。

表4 - 16 ポート端子を兼用端子として使用する場合 (1/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P00	TIP31	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	PFC00 = 0	
	TOP31	出力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	PFC00 = 1	
P01	TIP30	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	PFC01 = 0	
	TOP30	出力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	PFC01 = 1	
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	-	
P03	INTP0	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	PFC03 = 0	
	ADTRG	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	PFC03 = 1	
P04	INTP1	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	-	-	
P05	INTP2	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-	
	DRST ^{注1}	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-	OCDM0 (OCDM) = 1
P06	INTP3	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	-	-	
P30	TXDA0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	-	
P31	RXDA0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	-	注2
	INTP7	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	-	注2
P32	ASCKA0	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 0	
	TIP00	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 0	
	TOP00	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 1	
P33	TIP01	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 0	
	TOP01	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 1	
P34	TIP10	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	-	PFC34 = 0	
	TOP10	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	-	PFC34 = 1	
P35	TIP11	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 0	
	TOP11	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 1	

注1. μ PD70F3229Yのみ

- INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0)。

表4 - 16 ポート端子を兼用端子として使用する場合 (2/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P38	TXDA2	出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	-	-	
P39	RXDA2	入力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	-	-	
P40	SIB0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 0	
	SDA00	入出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 1	
P41	SOB0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 0	
	SCL00	入出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 1	
P42	SCKB0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	-	
P50	KR0	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	TQ0TIG2, TQ0TIG3 (TQ0IOC1) = 0
	TIQ01	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	KRM0 (KRM) = 0
	TOQ01	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 0	
P51	KR1	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	TQ0TIG4, TQ0TIG5 (TQ0IOC1) = 0
	TIQ02	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	KRM1 (KRM) = 0
	TOQ02	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 0	
P52	KR2	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	TQ0TIG6, TQ0TIG7 (TQ0IOC1) = 0
	TIQ03	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	KRM2 (KRM) = 0
	TOQ03	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 0	
	DDI ^注	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 設定不要	-	-	OCDM0 (OCDM) = 1
P53	KR3	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	TQ0TIG0, TQ0TIG1 (TQ0IOC1) = 0, TQ0EES0, TQ0EES1 (TQ0IOC2) = 0, TQ0ETS0, TQ0ETS1 (TQ0IOC2) = 0
	TIQ00	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	KRM3 (KRM) = 0
	TOQ00	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 0	KRM3 (KRM) = 0
	DDO ^注	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 設定不要	-	-	OCDM0 (OCDM) = 1
P54	KR4	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	-	PFC54 = 1	
	DCK ^注	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 設定不要	-	-	OCDM0 (OCDM) = 1

注 μ PD70F3229Yのみ

表4 - 16 ポート端子を兼用端子として使用する場合 (3/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P55	KR5	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	-	PFC55 = 1	
	DMS ^注	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 設定不要	-	-	OCDM0 (OCDM) = 1
P70	ANI0	入力	P70 = 設定不要	PM70 = 1	-	-	-	
P71	ANI1	入力	P71 = 設定不要	PM71 = 1	-	-	-	
P72	ANI2	入力	P72 = 設定不要	PM72 = 1	-	-	-	
P73	ANI3	入力	P73 = 設定不要	PM73 = 1	-	-	-	
P74	ANI4	入力	P74 = 設定不要	PM74 = 1	-	-	-	
P75	ANI5	入力	P75 = 設定不要	PM75 = 1	-	-	-	
P76	ANI6	入力	P76 = 設定不要	PM76 = 1	-	-	-	
P77	ANI7	入力	P77 = 設定不要	PM77 = 1	-	-	-	
P78	ANI8	入力	P78 = 設定不要	PM78 = 1	-	-	-	
P79	ANI9	入力	P79 = 設定不要	PM79 = 1	-	-	-	
P710	ANI10	入力	P710 = 設定不要	PM710 = 1	-	-	-	
P711	ANI11	入力	P711 = 設定不要	PM711 = 1	-	-	-	
P90	KR6	入力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 1	
	TXDA1	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 0	
P91	KR7	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 1	
	RXDA1/KR7	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 0	
P96	TIP21	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 0	
	TOP21	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 1	
P97	SIB1	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 1	
	TIP20	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 0	
	TOP20	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 1	
P98	SOB1	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	-	PFC98 = 1	

注 μPD70F3229Yのみ

表4 - 16 ポート端子を兼用端子として使用する場合 (4/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P99	$\overline{\text{SCKB1}}$	入出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	-	PFC99 = 1	
P913	INTP4	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	-	PFC913 = 1	
P914	INTP5	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	-	PFC914 = 1	
P915	INTP6	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	-	PFC915 = 1	
PCM0	$\overline{\text{WAIT}}$	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	-	-	
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	-	-	
PCM2	$\overline{\text{HLDAK}}$	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	-	-	
PCM3	$\overline{\text{HLDRQ}}$	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	-	-	
PCS0	$\overline{\text{CS0}}$	出力	PCS0 = 設定不要	PMCS0 = 設定不要	PMCCS0 = 1	-	-	
PCS1	$\overline{\text{CS1}}$	出力	PCS1 = 設定不要	PMCS1 = 設定不要	PMCCS1 = 1	-	-	
PCT0	$\overline{\text{WR0}}$	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCT0 = 1	-	-	
PCT1	$\overline{\text{WR1}}$	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCT1 = 1	-	-	
PCT4	$\overline{\text{RD}}$	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCT4 = 1	-	-	
PCT6	ASTB	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCCT6 = 1	-	-	

表4 - 16 ポート端子を兼用端子として使用する場合 (5/5)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCDLビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PDH0	A16	出力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	-	-	
PDH1	A17	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	-	-	
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	-	
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	-	
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	-	
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	-	
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	-	
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	-	
	FLMD1 ^注	入力	PDL5 = 設定不要	PMDL5 = 設定不要	設定不要	-	-	
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	-	
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	-	
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	-	
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	-	
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	-	
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	-	
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	-	
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	-	
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	-	-	
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	-	-	

注 フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第23章 フラッシュ・メモリを参照してください。

★ 4.6 注意事項

4.6.1 ポート端子設定上の注意事項

(1) ポートのレジスタ設定は、次の順で行ってください。

PFCn, PFCEnレジスタを設定

PMcnレジスタを設定

INTFn, INTRnレジスタを設定

PMcnレジスタを先に設定したあとに、PFCn, PFCEnレジスタを設定すると、PFCn, PFCEnレジスタ設定中に意図しない周辺機能端子に設定されてしまう可能性があります。

(2) ポート・モードにおいてPFn.PFnmビットは、出力モード (PMn.PMnmビット = 0) 時のみ有効となります。入力モード (PMnmビット = 1) のとき、PFnmビットの値はバッファに反映されません。

(3) 内蔵プルアップ抵抗は、入力モード (PMnレジスタ = 1) 時のみ接続されます。出力モード (PMnレジスタ = 0) 時はハードウェアにより切断されます。

4.6.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90端子は出力ポート，P91-P97端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき，P90端子の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル” とすると，ポート・ラッチの値は，“FFH” になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令はμ PD703229Y, 70F3229Y内部で、次の順序で行われます。

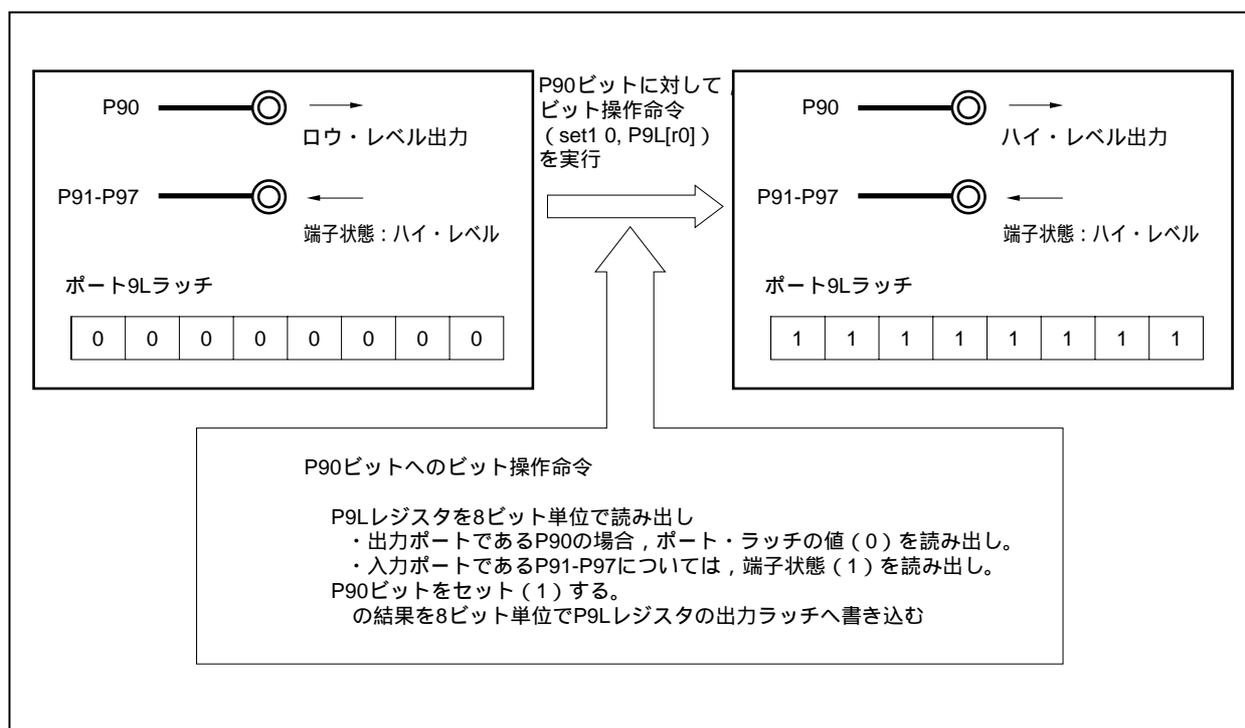
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP90端子は出力ラッチの値（0）を読み出しますが，入力ポートであるP91-P97端子は端子状態を読み出します。このときP91-P97端子の端子状態が“ハイ・レベル” とすると，読み出し値は“FEH” となります。

<2> の操作で，値は“FFH” となります。

<3> の操作で，出力ラッチに“FFH” が書き込まれます。

図4 - 30 ビット操作命令（P90端子の場合）



4.6.3 オンチップ・デバッグ用端子に関する注意事項

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子はオンチップ・デバッグ用の端子です(フラッシュ・メモリ内蔵品のみ)。

$\overline{\text{RESET}}$ 端子によるリセット後, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子($\overline{\text{DRST}}$)に初期化されます。このとき $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, オンチップ・デバッグ・モードになり, DCK, DMS, DDI, DDO端子が使用可能になります。

オンチップ・デバッグを使用しない場合は, 次の処置が必要です。

- ・ ODCMレジスタ(特定レジスタ)のODCM0ビットをクリア(0)

このとき, $\overline{\text{RESET}}$ 端子によるリセット解除時から, 上記の処理を終えるまで, P05/INTP2/ $\overline{\text{DRST}}$ 端子をロウ・レベル固定にしてください。

上記処置を行う前に $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, 誤動作(CPUデッド・ロック)の原因となるため, P05端子の取り扱いには十分注意してください。

注意1. P05/INTP2/ $\overline{\text{DRST}}$ 端子はプルダウン抵抗(30 k Ω (TYP.))を内蔵しているため, 外部からロウ・レベル固定に処置する必要はありません。ODCM0ビットをクリア(0)することにより, プルダウン抵抗は切断されます。

2. WDT2RES信号, クロック・モニタ(CLM), 低電圧検出回路(LVI)によるリセット時は, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子($\overline{\text{DRST}}$)に初期化されません。また, ODCMレジスタも値を保持します。

4.6.4 ヒステリシス特性について

ポート・モードでは, 次のポートはヒステリシス特性をもちません。

P00-P06

P31-P35, P39

P40-P42

P50-P55

P90, P91, P96, P97, P99, P913-P915

第5章 バス制御機能

μ PD703229Y, 70F3229Yは、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

5.1 特 徴

最小で3バス・サイクルのマルチプレクス・バス出力可能

8ビット/16ビット・データ・バス切り替え可能

ウェイト機能

- ・最大で7ステートのプログラマブル・ウェイト機能
- ・ $\overline{\text{WAIT}}$ 端子による外部ウェイト機能

アイドル・ステート機能

バス・ホールド機能

最大4 Mバイト物理メモリ接続可能

BV_{DD} $EV_{DD} = V_{DD}$ とすることでバスを動作電圧と異なった電圧で制御可能

5.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表5 - 1 バス制御端子一覧

バス制御端子	兼用端子	入出力	機 能
AD0-AD15	PDL0-PDL15	入出力	アドレス/データ・バス
A16, A17	PDH0, PDH1	出力	アドレス・バス
$\overline{\text{WAIT}}$	PCM0	入力	外部ウェイト制御
$\overline{\text{CLKOUT}}$	PCM1	出力	内部システム・クロック
$\overline{\text{CS0}}, \overline{\text{CS1}}$	PCS0, PCS1	出力	チップ・セレクト
$\overline{\text{WR0}}, \overline{\text{WR1}}$	PCT0, PCT1	出力	ライト・ストロープ信号
$\overline{\text{RD}}$	PCT4	出力	リード・ストロープ信号
$\overline{\text{ASTB}}$	PCT6	出力	アドレス・ストロープ信号
$\overline{\text{HLDRQ}}$	PCM3	入力	バス・ホールド制御
$\overline{\text{HLDAK}}$	PCM2	出力	

★ 5.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態

内蔵ROM, 内蔵RAM, 内蔵周辺I/Oへアクセスした場合, 各端子状態は次のようになります。

表5-2 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態一覧

マルチプレクス・バス・モード	
アドレス・バス (A17, A16)	不定
アドレス/データ・バス (AD15-AD0)	不定
制御信号	インアクティブ

注意 内蔵ROM領域へライト・アクセスしたときには, 外部メモリ領域へのアクセスと同じくアドレス, データ, 制御信号ともに活性化されます。

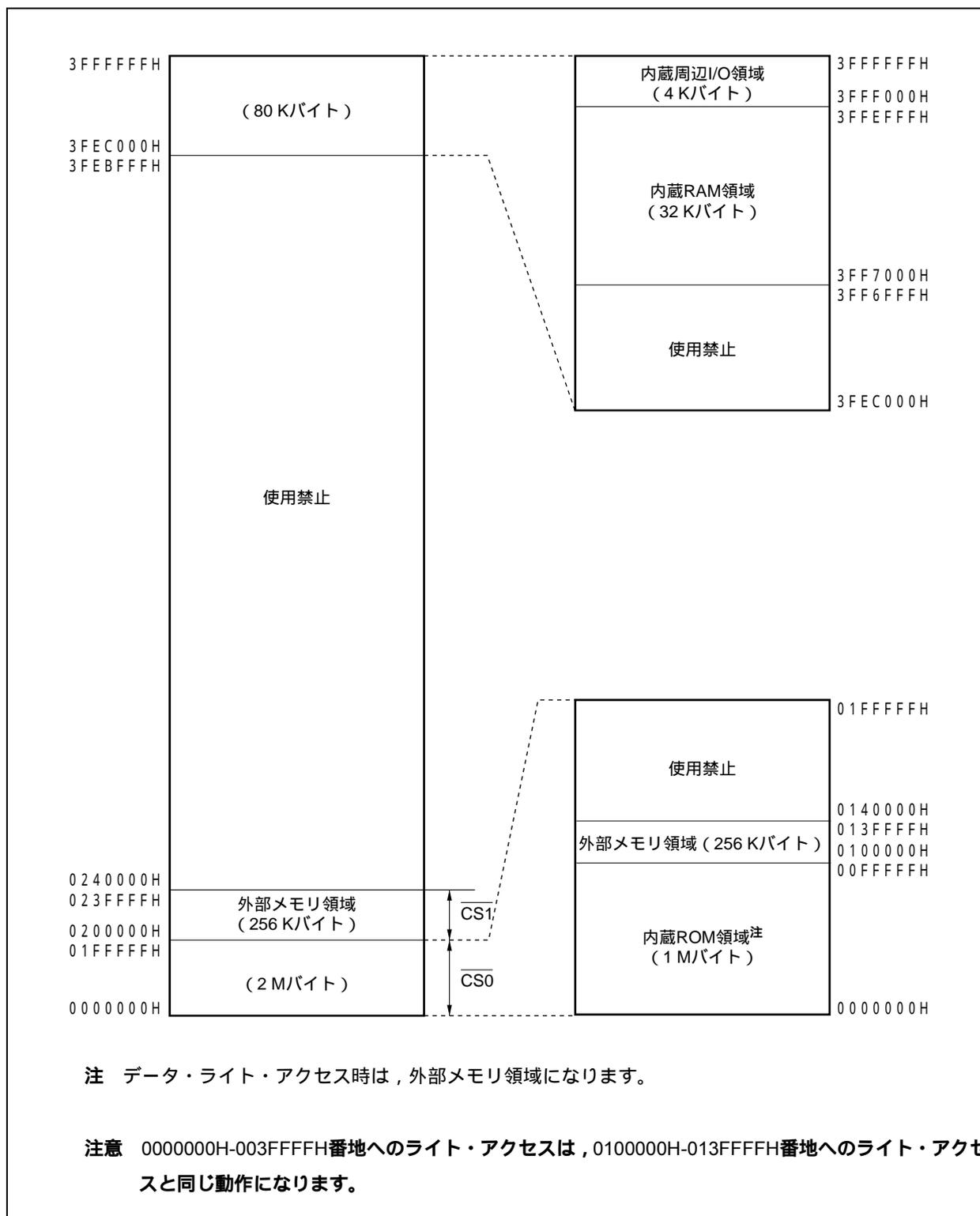
5.2.2 各動作モードの端子状態

μ PD703229Y, 70F3229Y各動作モードの端子状態については, 2.2 端子状態を参照してください。

5.3 メモリ・ブロック機能

4 Mバイトの外部メモリ空間は下位2 M, 256 Kバイト単位のチップ・セレクト (\overline{CSn}) 領域に分割され, 各 \overline{CSn} 領域ごとにプログラマブル・ウエイト機能, バス・サイクル動作モードなどを独立に制御できます ($n = 0, 1$)。

図5 - 1 データ・メモリ・マップ：物理アドレス



5.4 バス・アクセス

5.4.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

領域 (バス幅) \ バス・サイクル・タイプ	内蔵ROM (32ビット)	内蔵RAM (32ビット)	外部メモリ (16ビット)
命令フェッチ (通常アクセス)	1	1 ^注	3+n
命令フェッチ (分岐)	2	2 ^注	3+n
オペランド・データ・アクセス	3	1	3+n

注 データ・アクセスと競合した場合は、+1されます。

備考 単位はクロック/アクセスです。

5.4.2 バス・サイズ設定機能

外部メモリ領域は、 \overline{CSn} で選択される領域ごとにBSCレジスタで設定できます。ただし、設定可能なバス・サイズは8ビットと16ビットのみです。

μ PD703229Y, 70F3229Yの外部メモリ領域は、 $\overline{CS0}$, $\overline{CS1}$ で選択されます。

(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

16ビット単位でリード/ライト可能です。

リセットにより5555Hになります。

注意 BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時: 5555H R/W アドレス: FFFFF066H

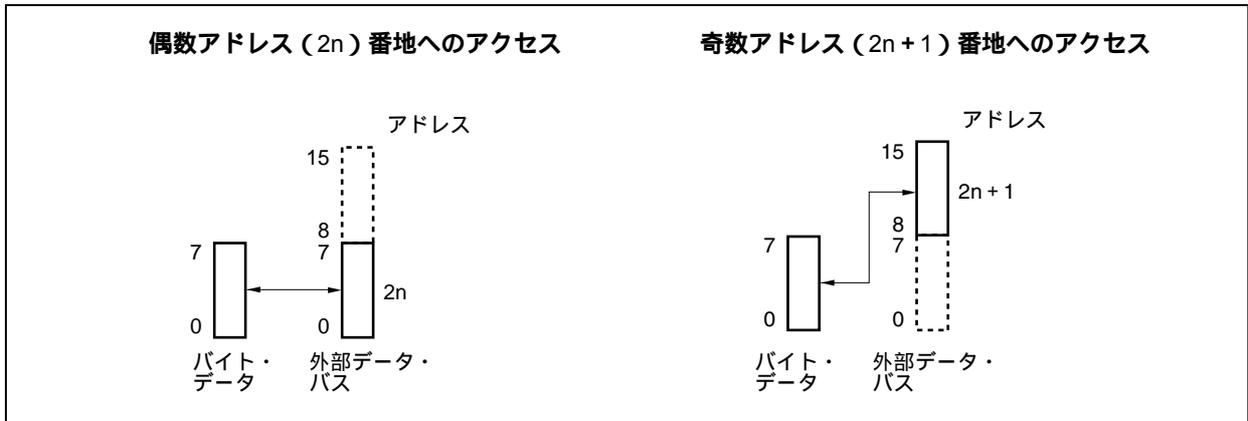
	15	14	13	12	11	10	9	8
BSC	0	1	0	1	0	1	0	1
	7	6	5	4	3	2	1	0
	0	1	0	1	0	BS10	0	BS00
						<input type="checkbox"/>		<input type="checkbox"/>
						CS1		CS0

BSn0	CSn空間のデータ・バス幅 (n=0, 1)
0	8ビット
1	16ビット

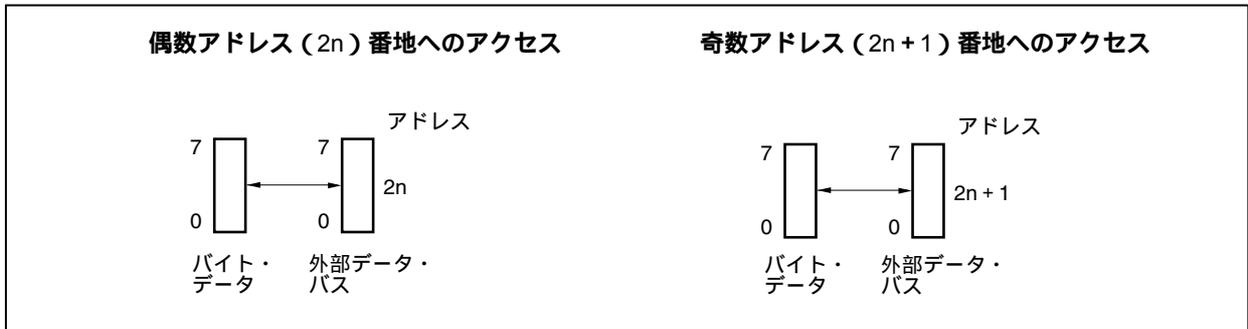
注意 ビット14, 12, 10, 8, 6, 4には必ず1を設定し、ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。

(2) バイト・アクセス (8ビット)

(a) 16ビット・データ・バス幅のとき

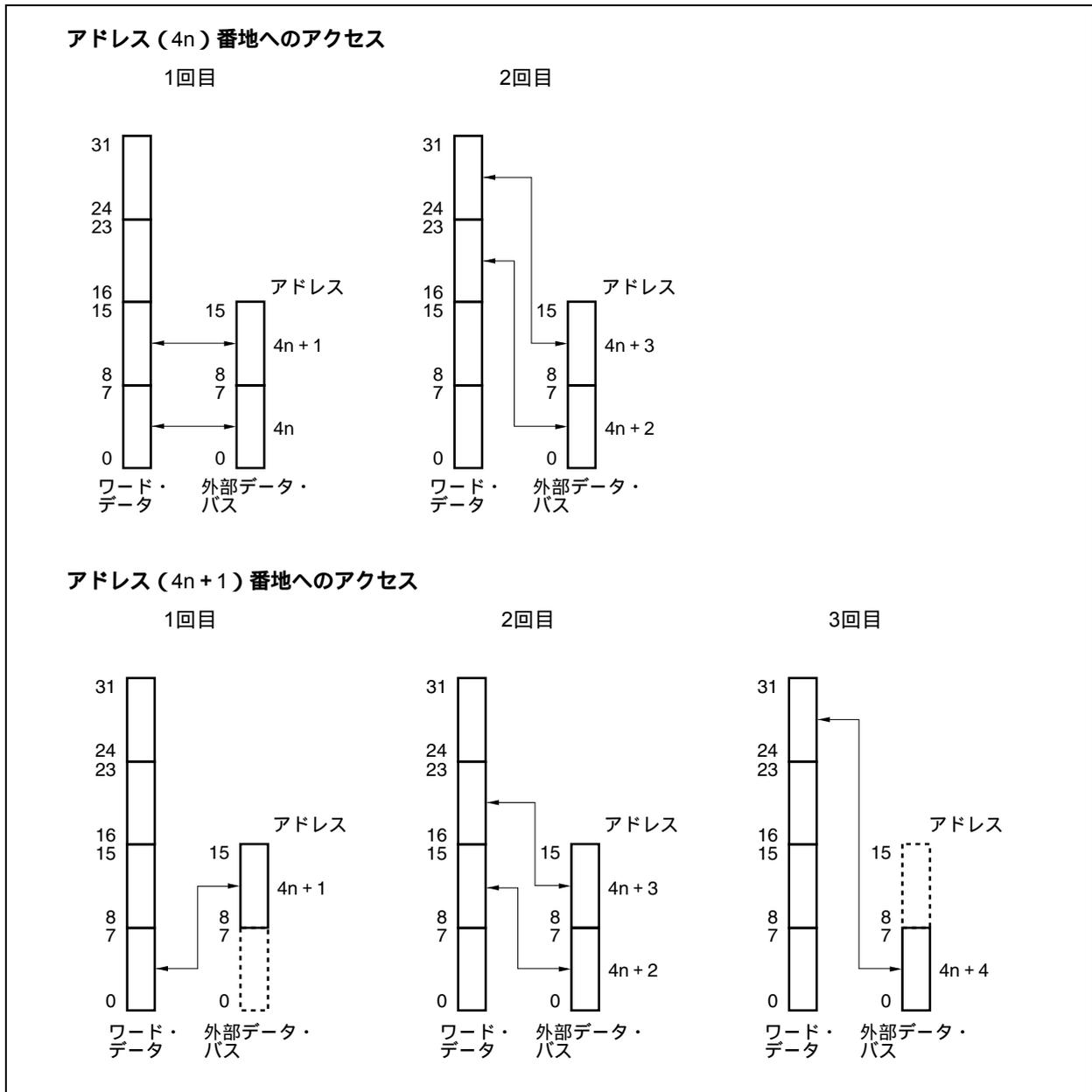


(b) 8ビット・データ・バス幅のとき



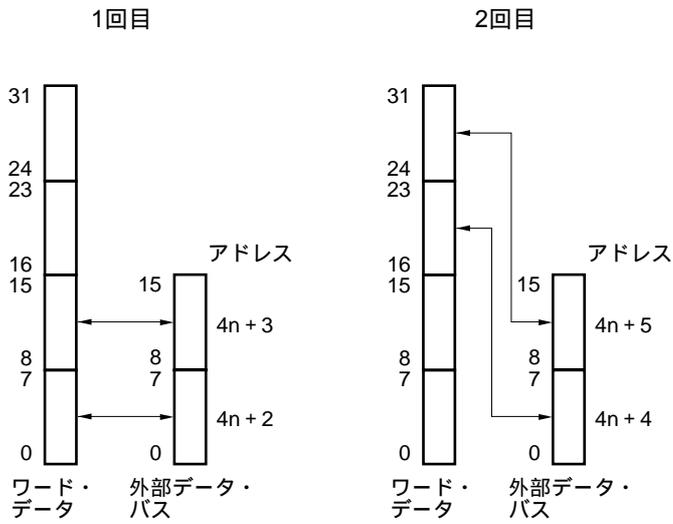
(4) ワード・アクセス (32ビット)

(a) 16ビット・データ・バス幅のとき (1/2)

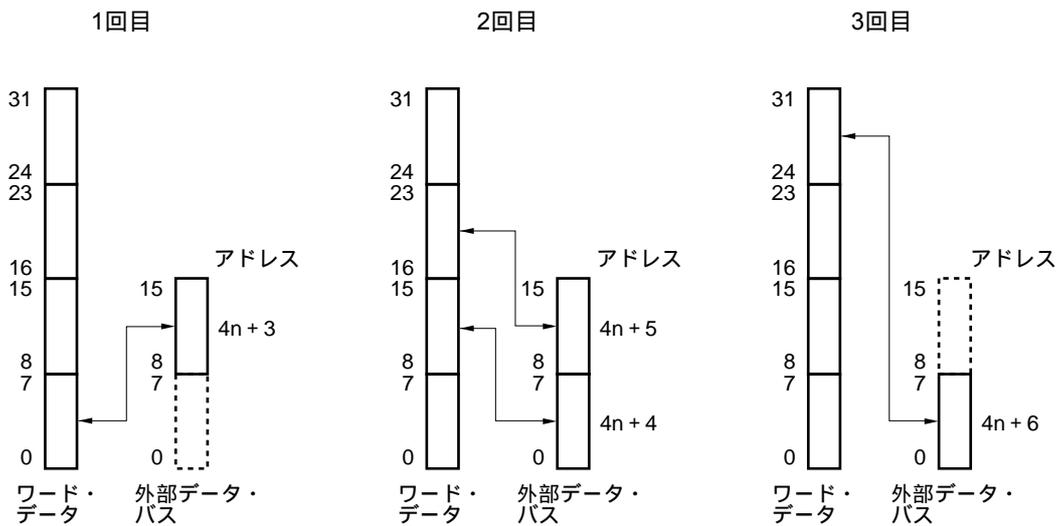


(a) 16ビット・データ・バス幅のとき (2/2)

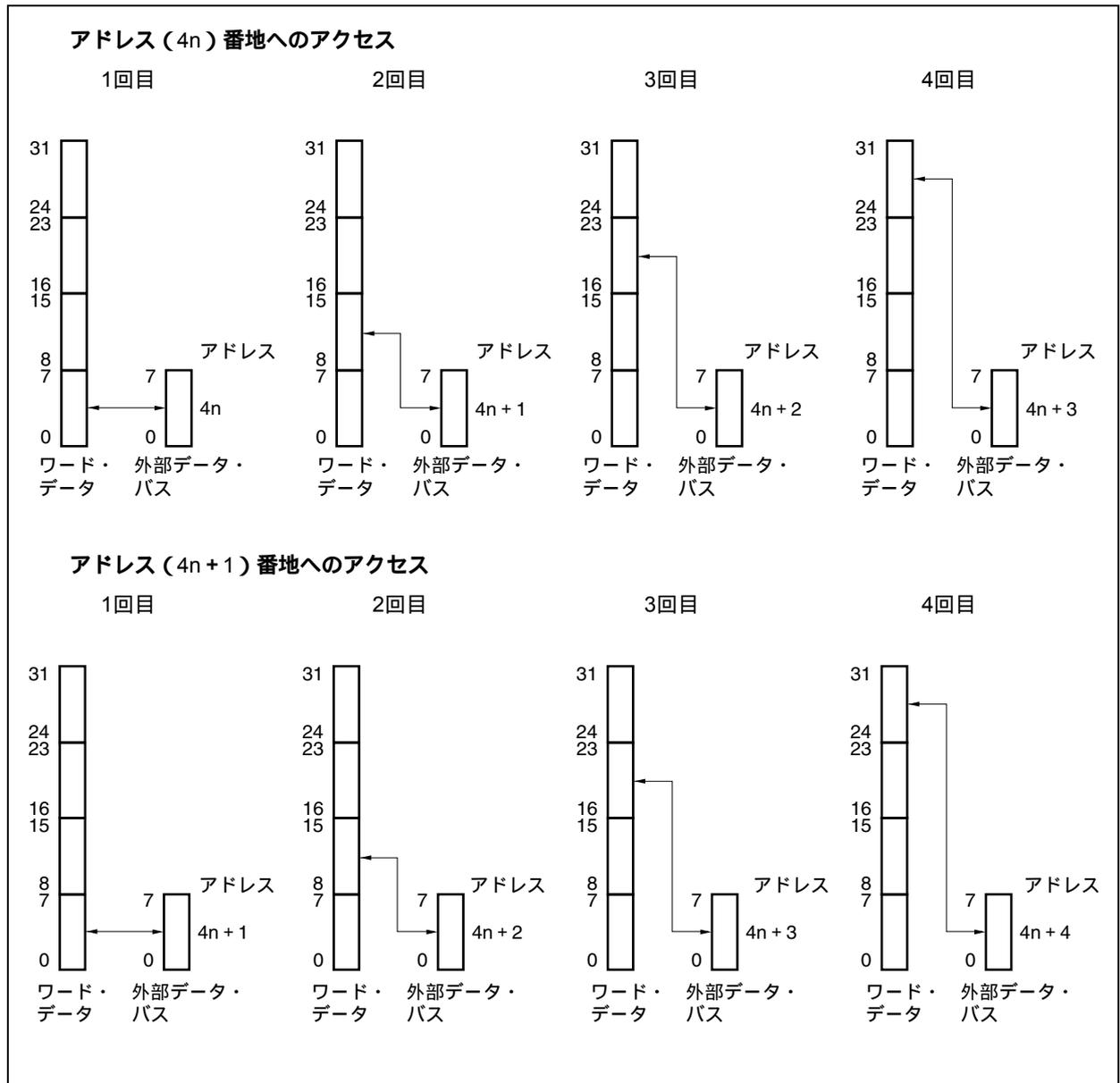
アドレス $(4n+2)$ 番地へのアクセス



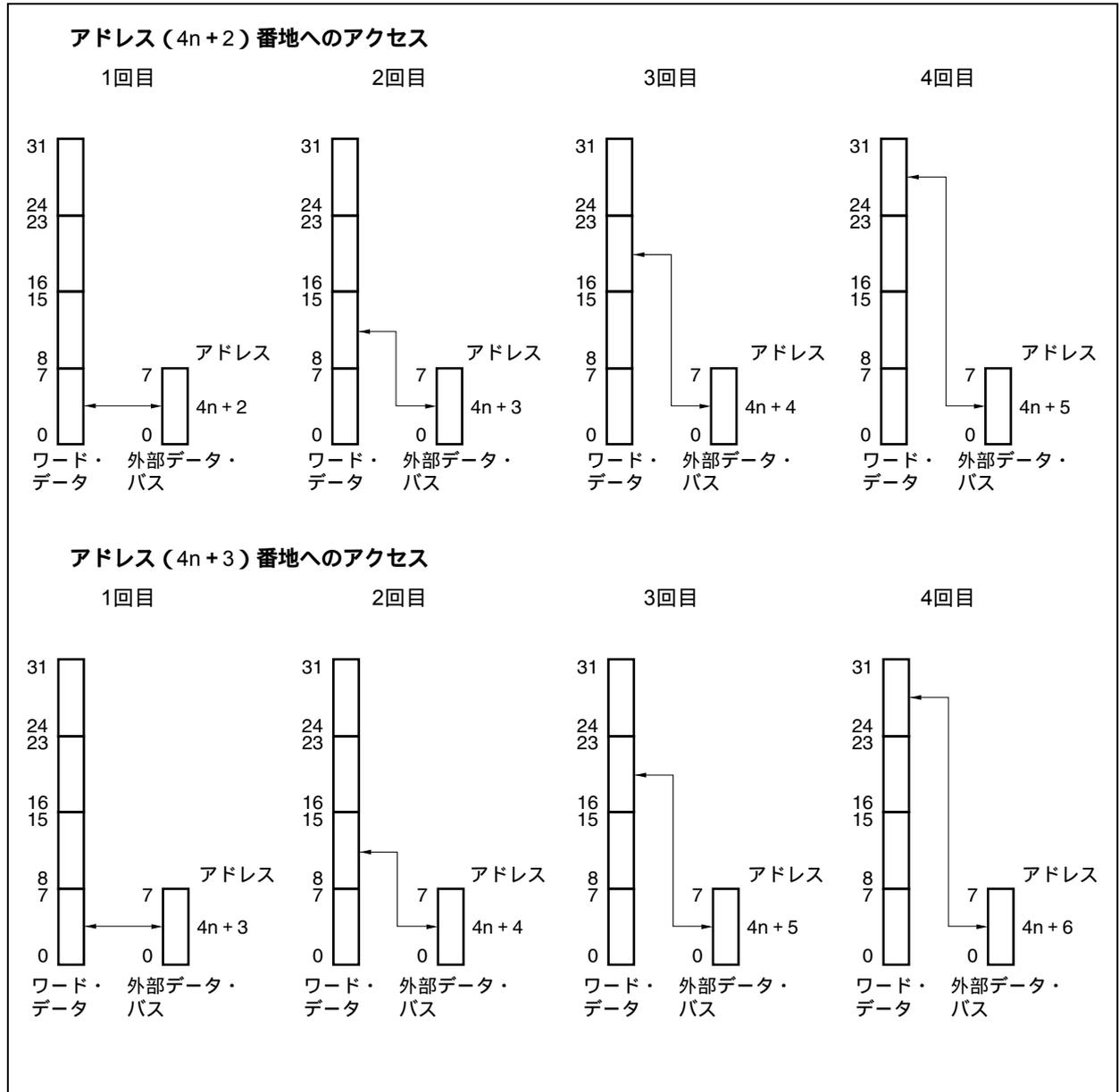
アドレス $(4n+3)$ 番地へのアクセス



(b) 8ビット・データ・バス幅のとき (1/2)



(b) 8ビット・データ・バス幅のとき (2/2)



5.5 ウェイト機能

5.5.1 プログラマブル・ウェイト機能

(1) データ・ウェイト・コントロール・レジスタ0 (DWC0)

低速メモリ、I/Oに対するインタフェースを容易に実現させることを目的とし、各CSn領域ごとに起動されるバス・サイクルに対し、最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は、DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は、全CSn領域に対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード/ライト可能です。

リセットにより7777Hになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域は、プログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。また、内蔵周辺I/O領域も、プログラマブル・ウェイトの対象外で、各周辺機能からのウェイト制御だけ行われます。
- 2.** DWC0レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DWC0レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：7777H R/W アドレス：FFFFFF484H

	15	14	13	12	11	10	9	8
DWC0	0	1	1	1	0	1	1	1
	7	6	5	4	3	2	1	0
	0	DW12	DW11	DW10	0	DW02	DW01	DW00
		CS1				CS0		

DWn2	DWn1	DWn0	CSn空間の挿入ウェイト数 (n = 0, 1)
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

注意 ビット15, 11, 7, 3には必ず0を設定してください。

ビット14-12, 10-8には必ず1を設定してください。

5.5.2 外部ウエイト機能

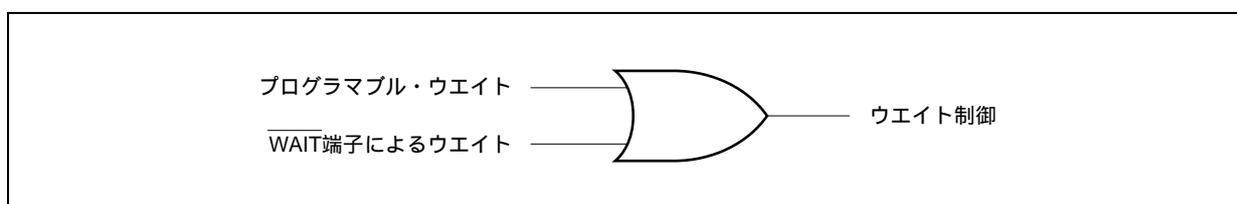
極端に遅いメモリや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、バス・サイクルのT2、TWステートのクロックの立ち下がりでサンプリングされます。サンプル・タイミングにおける設定/保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

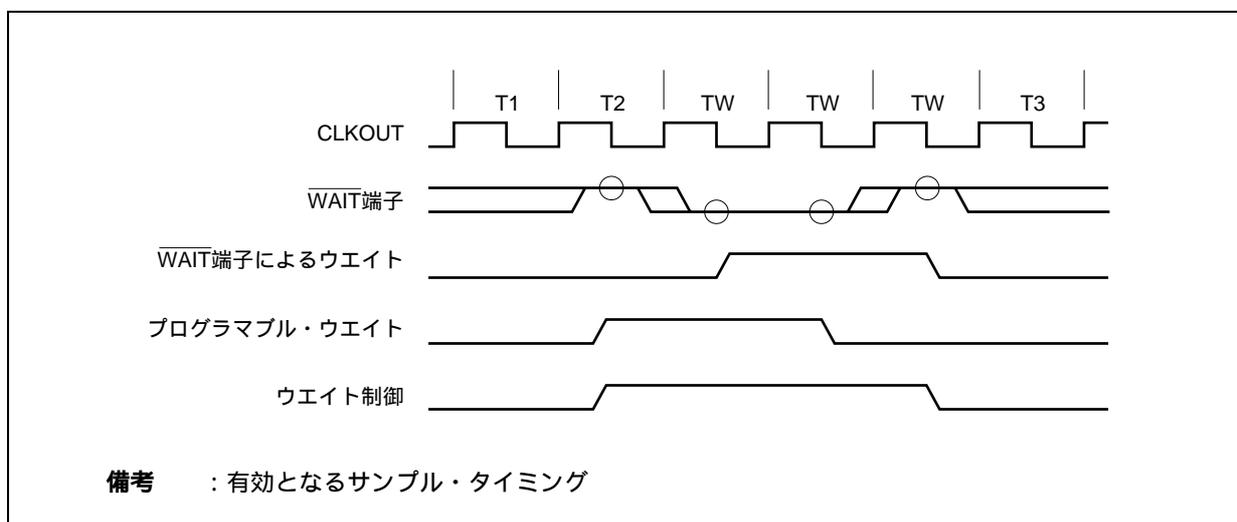
5.5.3 プログラマブル・ウエイトと外部ウエイトの関係

ウエイト・サイクルは、プログラマブル・ウエイトの設定値によるウエイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウエイト・サイクルの論理和 (OR) として挿入されます。



たとえば、プログラマブル・ウエイト、 $\overline{\text{WAIT}}$ 端子が次のようなタイミングのとき、バス・サイクルは、3ウエイトになります。

図5-3 ウエイト挿入例



5.5.4 プログラマブル・アドレス・ウエイト機能

AWCレジスタにより、各バス・サイクルに対して挿入するアドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイトを設定できます。アドレス・ウエイト挿入は各チップ・セレクト領域 ($\overline{CS0}$, $\overline{CS1}$) ごとに設定します。

アドレス・セットアップ・ウエイトを挿入すると、T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また、アドレス・ホールド・ウエイトを挿入すると、T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

(1) アドレス・ウエイト・コントロール・レジスタ (AWC)

16ビット単位でリード/ライト可能です。

- ★ **注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウエイト/アドレス・ホールド・ウエイト挿入の対象外になります。
- 2. AWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、AWCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：FFFFH R/W アドレス：FFFFFF488H

	15	14	13	12	11	10	9	8
AWC	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	1	1	1	1	AHW1	ASW1	AHW0	ASW0
					┌──────────┐		┌──────────┐	
					└──────────┘		└──────────┘	
					CS1		CS0	

AHWn	アドレス・ホールド・ウエイト挿入指定 (n = 0, 1)
0	挿入しない
1	挿入する

ASWn	アドレス・セットアップ・ウエイト挿入指定 (n = 0, 1)
0	挿入しない
1	挿入する

注意 ビット15-4には必ず1を設定してください。

5.6 アイドル・ステート挿入機能

低速メモリに対するインタフェースを容易に実現させることを目的とし、チップ・セレクトで選択される空間ごとに起動されるバス・サイクルに対し、マルチプレクス・アドレス/データ・バス時にはT3ステート後に、1ステートのアイドル・ステート(TI)を挿入できます。アイドル・ステートを挿入することにより、リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます(ライト・アクセス時には、アイドル・ステートは挿入できません。)

アイドル・ステートの挿入指定は、BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は、全領域に対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード/ライト可能です。

リセットによりAAAAHになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。
- 2.** BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：AAAAH R/W アドレス：FFFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0
	7	6	5	4	3	2	1	0
	1	0	1	0	BC11	0	BC01	0
					<input type="checkbox"/>		<input type="checkbox"/>	
					CS1		CS0	

BCn1	アイドル・ステート挿入指定 (n=0,1)
0	挿入しない
1	挿入する

注意 ビット15, 13, 11, 9, 7, 5には必ず1を設定し、ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。

5.7 バス・ホールド機能

5.7.1 機能概要

PCM2, PCM3端子がコントロール・モードに設定されていれば, $\overline{\text{HLDRQ}}$, $\overline{\text{HLDK}}$ 機能が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス/データ・バスをハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。 $\overline{\text{HLDRQ}}$ 端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

バス・ホールド期間中は, 内蔵周辺I/Oレジスタ・アクセスあるいは, 外部メモリ・アクセスがあるまで, 内蔵ROM, 内蔵RAMからのプログラムの実行を継続します。

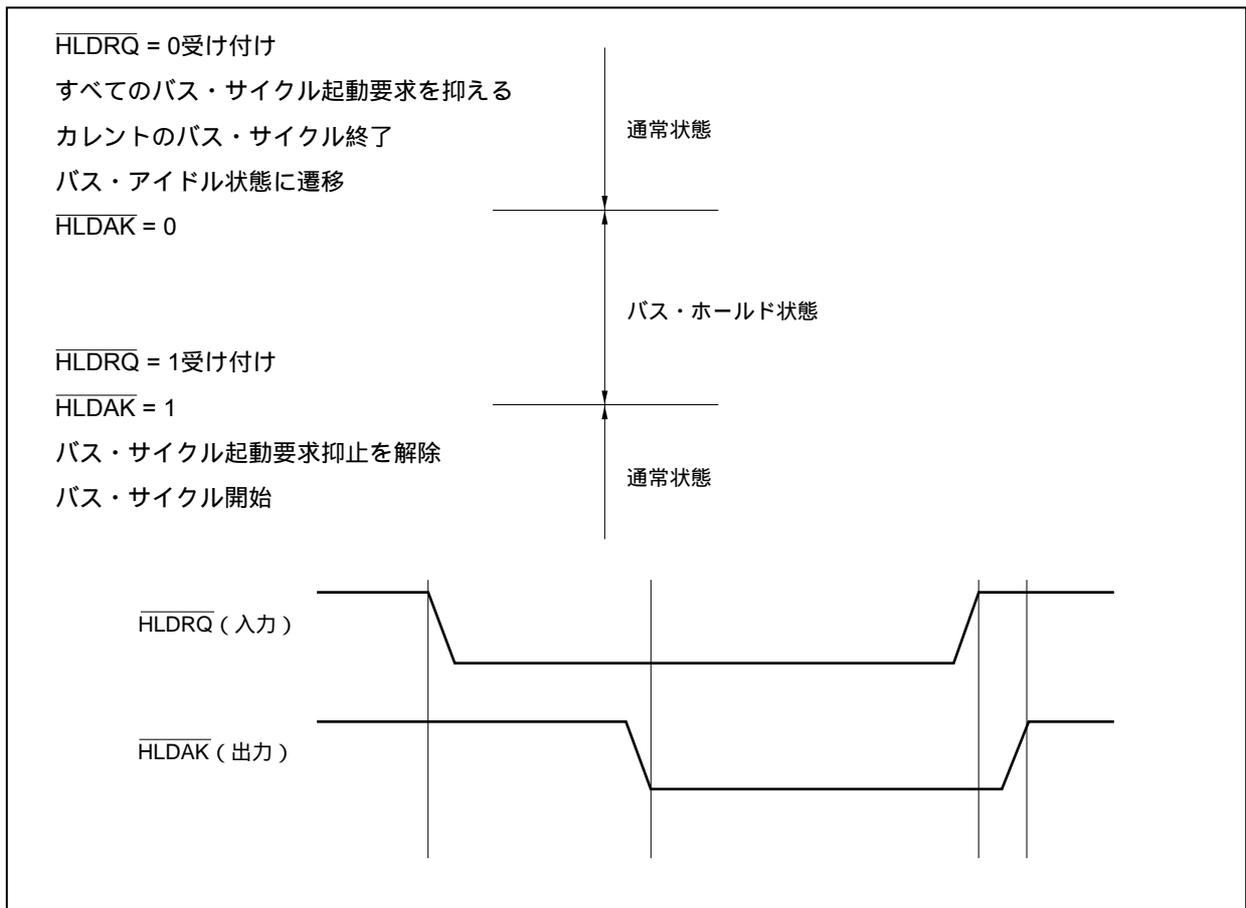
バス・ホールド状態は, $\overline{\text{HLDK}}$ 端子がアクティブ(ロウ・レベル)になったことにより知ることができます。マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

なお, バス・サイジングおよびビット操作命令による複数アクセスのサイクル中は, バス・ホールド要求を受け付けません。

状 態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間 2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間 2回目と3回目の間 3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間

5.7.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



5.7.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLE1, IDLE2モード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDARQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDARQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLDARQ}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDARQ}}$ 端子がインアクティブになると、 $\overline{\text{HLDARQ}}$ 端子もインアクティブになり、バス・ホールド状態は解除されます。

5.8 バスの優先順位

外部バス・サイクルには、バス・ホールド、命令フェッチ（分岐）、命令フェッチ（連続）、オペランド・データ・アクセス、の4つがあります。

優先順位はバス・ホールドが最も高く、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、バス・サイズの関係で、数回のアクセスで命令を実行するとき、アクセスとアクセスの間には命令フェッチとバス・ホールドは挿入されません。

表5-3 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	DMA転送	DMAC
	オペランド・データ・アクセス	CPU
	命令フェッチ（分岐）	CPU
	命令フェッチ（連続）	CPU

★ 5.9 バス・タイミング

図5-4 マルチプレクス・バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

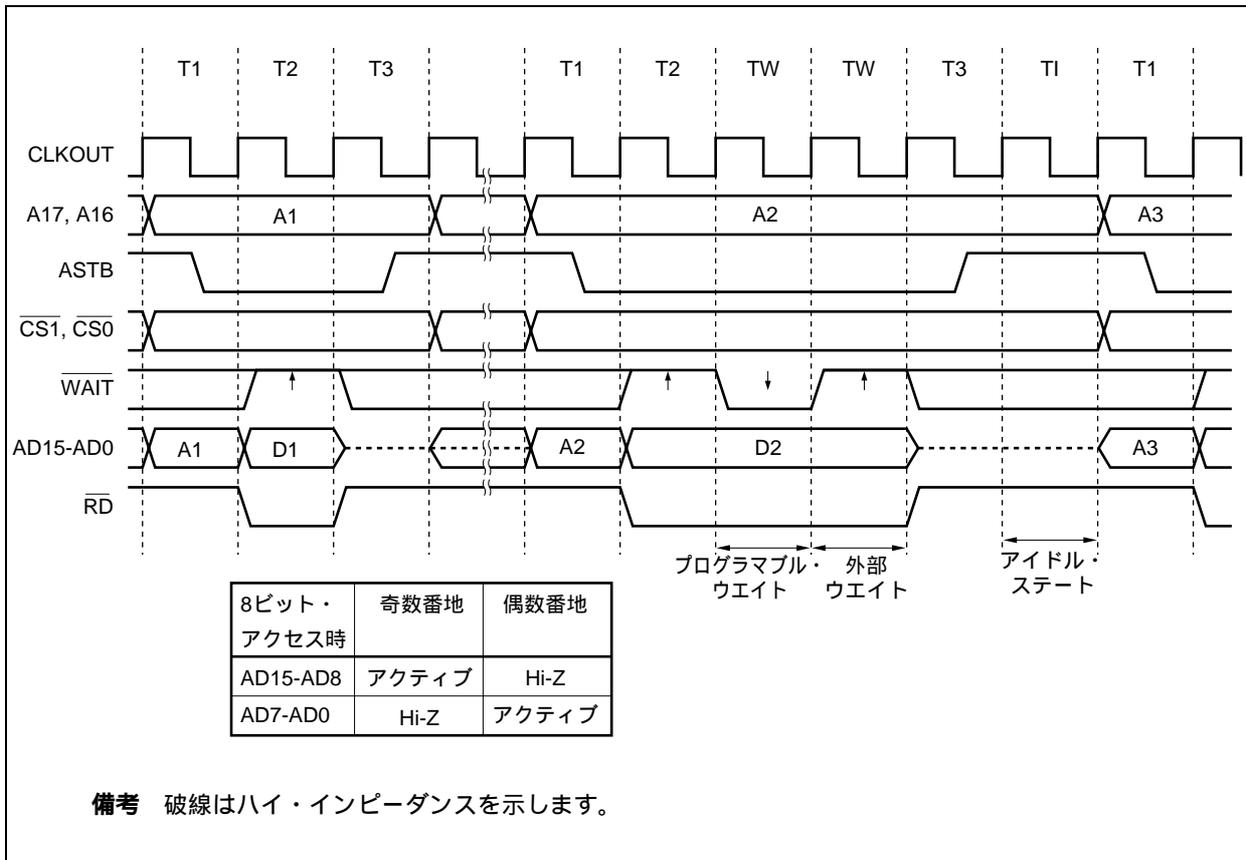


図5-5 マルチプレクス・バス・リード・タイミング (バス・サイズ: 8ビット)

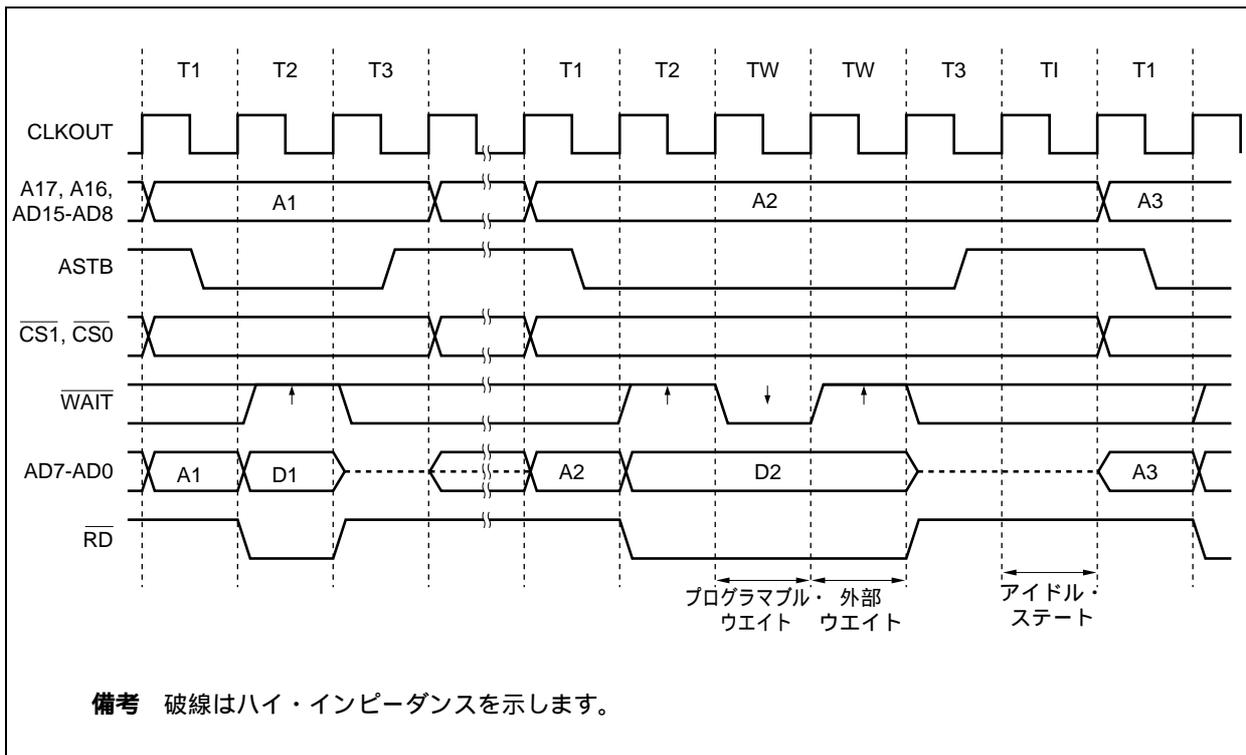


図5-6 マルチプレクス・バス・ライト・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

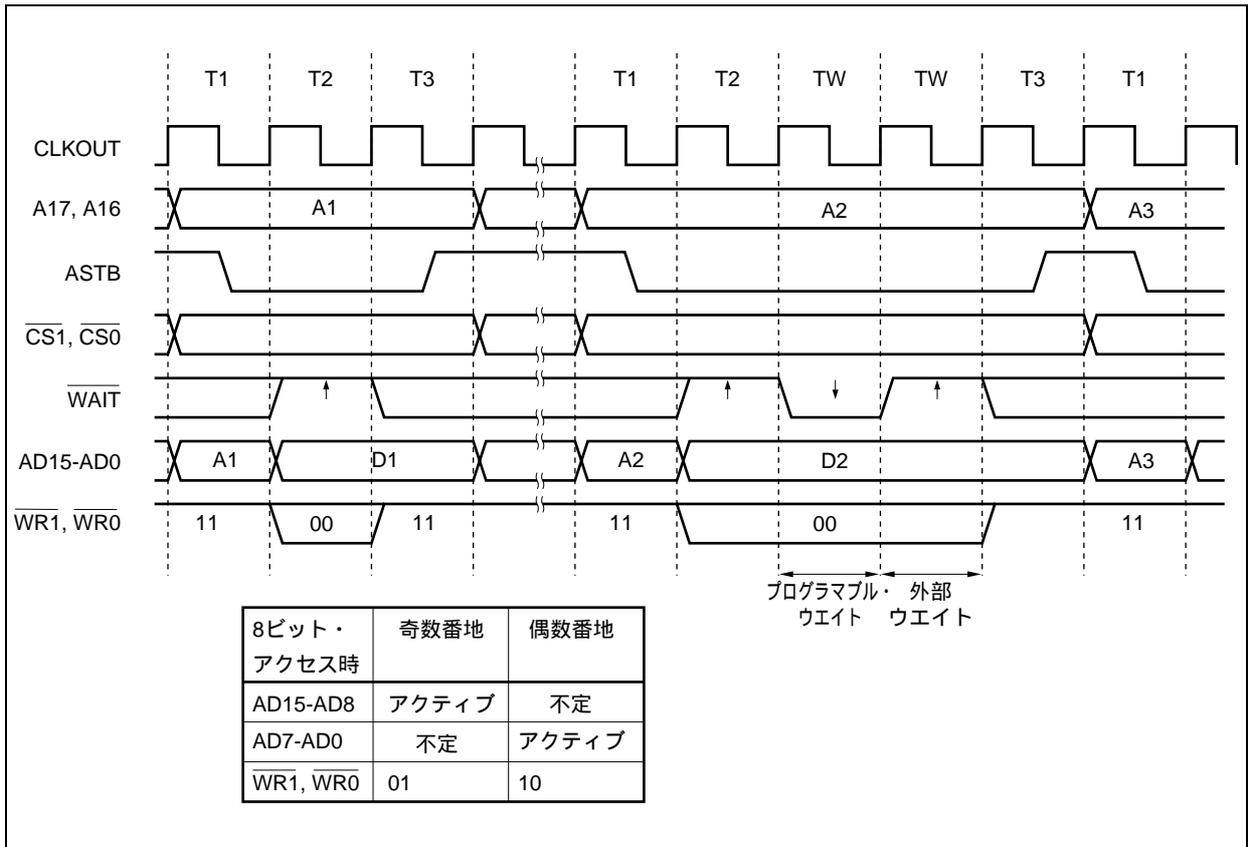


図5-7 マルチプレクス・バス・ライト・タイミング (バス・サイズ: 8ビット)

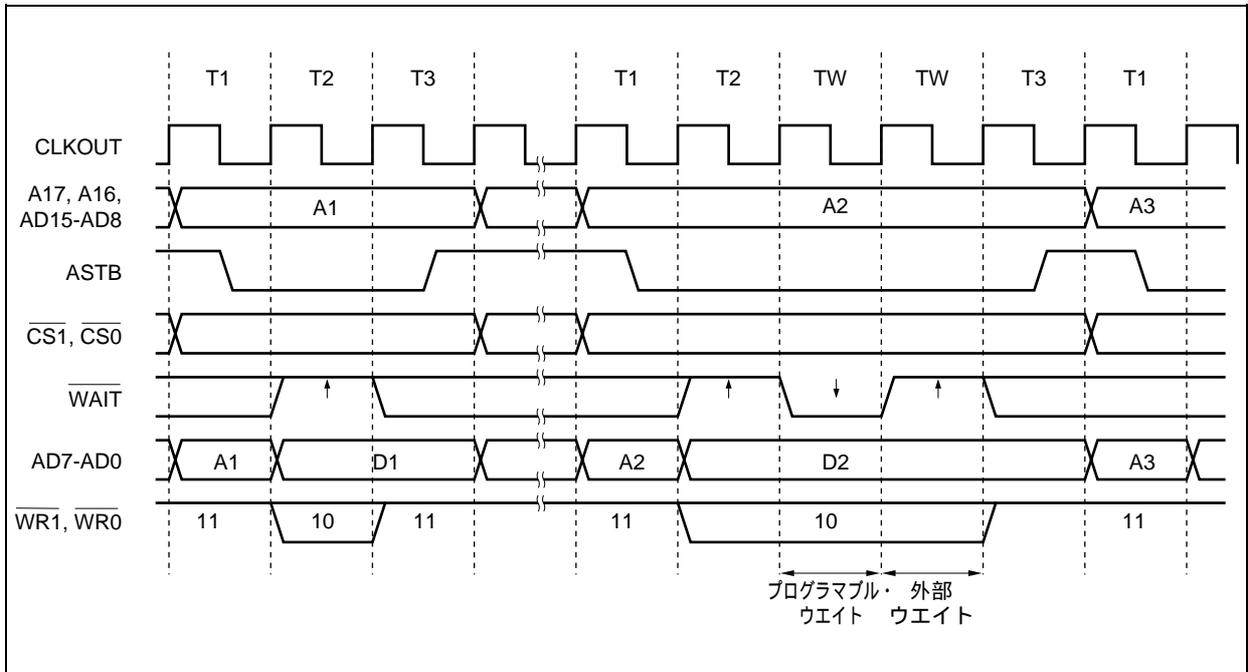
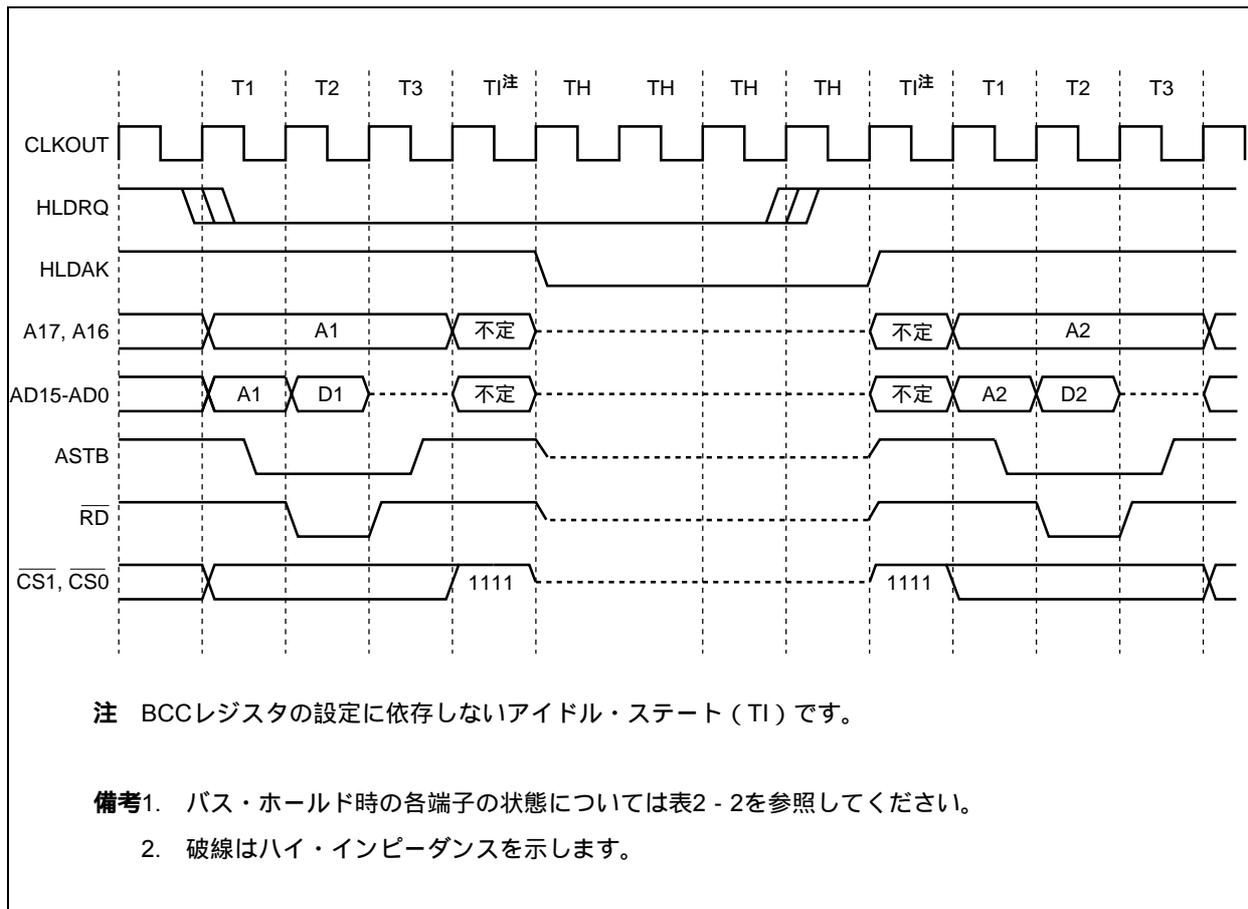


図5 - 8 マルチプレクス・バス・ホールド・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)



第6章 クロック発生機能

6.1 概 要

クロック発生機能の概要を次に示します。

メイン・クロック発振回路

- ・クロック・スルー・モード時
 $f_x = 4 \sim 5 \text{ MHz}$ (内部 $f_{xx} = 4 \sim 5 \text{ MHz}$)
- ・PLLモード時
 $f_x = 4 \sim 5 \text{ MHz}$ (内部 $f_{xx} = 16 \sim 20 \text{ MHz}$)

サブクロック発振回路

- ・32.768 kHz

PLL (Phase Locked Loop) による逡倍機能 (4逡倍)

- ・クロック・スルー・モード/PLLモード選択可

Ring-OSC

- ・ $f_R = 100 \sim 400 \text{ kHz}$

内部システム・クロックの生成

- ・7段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{XT})

周辺クロックの生成

クロック出力機能

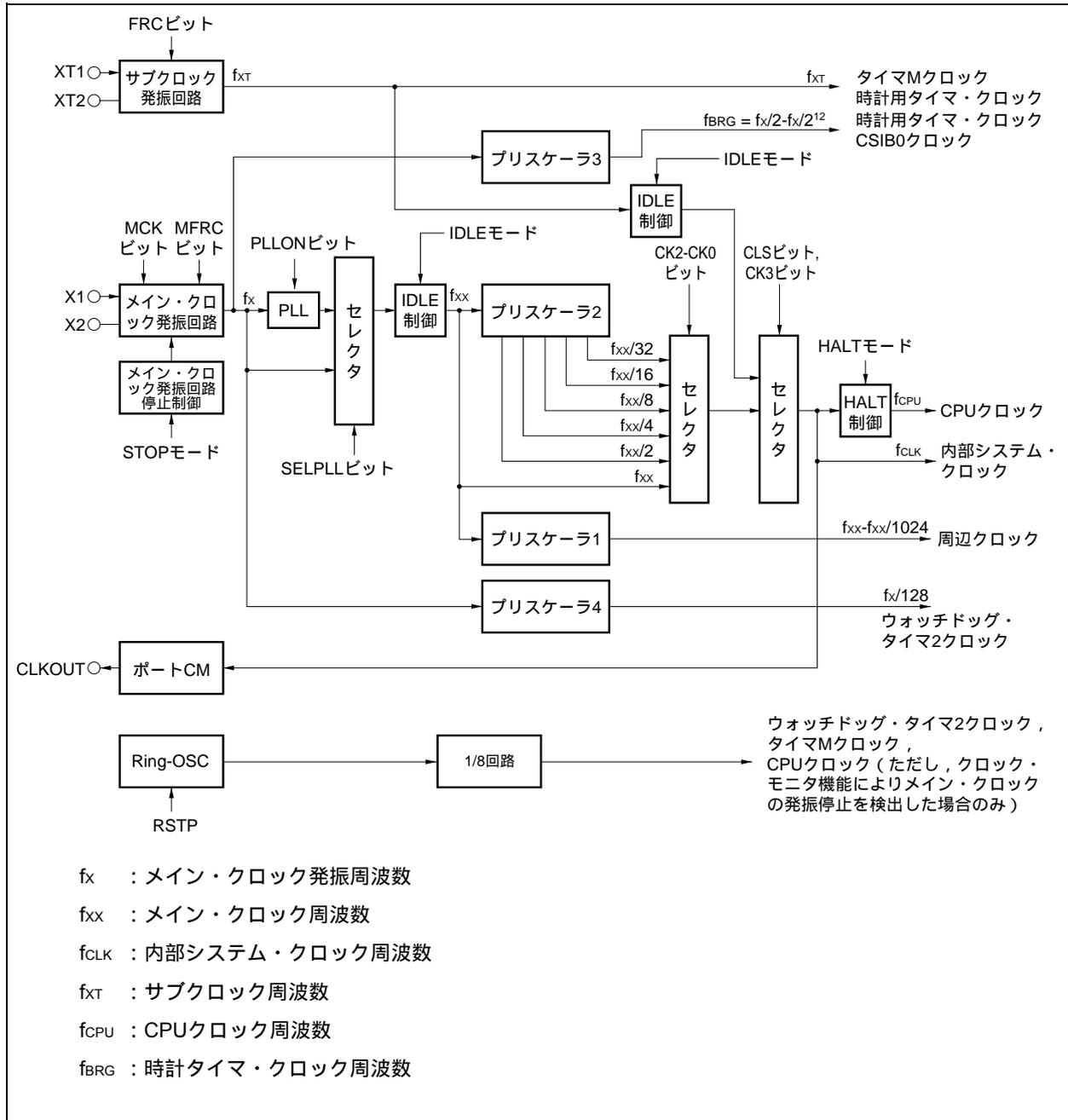
備考 f_x : メイン・クロック発振周波数

f_{xx} : メイン・クロック周波数

f_R : Ring-OSCクロック周波数

6.2 構成

図6-1 クロック発生回路



(1) メイン発振子：メイン・クロック発振回路

次の周波数 (f_x) を発振します。

- ・ クロック・スルー・モード時

$f_x = 4 \sim 5 \text{ MHz}$

- ・ PLLモード時

$f_x = 4 \sim 5 \text{ MHz}$

(2) サブ発振子：サブクロック発振回路

32.768 kHzの周波数 (f_{XT}) を発振します。

(3) メイン発振子停止制御

メイン発振子の発振を停止する制御信号を生成します。

STOPモード時、あるいはPCC.MCKビット = 1 (PCC.CLSビット = 1のときのみ有効) のとき、メイン発振子の発振を停止します。

(4) Ring-OSC

100 ~ 400 kHzの周波数 (f_R) を発振します。

(5) プリスケーラ1

内蔵周辺機能に供給するクロック ($f_{xx-fxx}/1024$) を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0-TMP3, TMQ, TMM, CSIB1, UARTA0-UARTA2, I²C00, ADC, WDT2

(6) プリスケーラ2

メイン・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU})、内部システム・クロック (f_{CLK}) を生成するセクタに、プリスケーラ2で生成したクロック ($f_{xx-fxx}/32$) を供給します。

なお、 f_{CLK} は、INTC, ROMコレクション, ROM, RAMブロックに供給するクロックで、CLKOUT端子から出力できます。

(7) プリスケーラ3

メイン発振子で生成するクロック (f_x) を所定の周波数 (32.768 kHz) まで分周する回路で、WTブロック, CSIB0に供給します。

詳細は、第10章 時計タイマ機能、第14章 3線式可変長シリアルI/O (CSIB) を参照してください。

(8) プリスケーラ4

内蔵周辺機能に供給するクロック ($f_x-f_x/1024$) を生成します。

クロック供給の対象となるブロックはWDT2のみです。

(9) PLL

メイン発振子で生成するクロック (f_x) を4通倍します。

PLLCTL.SELPLLビットにより、 f_x をそのまま出力するクロック・スルー・モードと、通倍クロックを出力するPLLモードを選択します。

また、PLLCTL.PLLONビットによりPLLを動作、停止します。

6.3 制御レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます

(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFFF828H

	7	⑥	5	④	③	2	1	0
PCC	FRC	MCK	MFRC	CLS ^注	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止
<ul style="list-style-type: none"> ・CPUクロックがメイン・クロックで動作中にMCKビットを1に設定しても、メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更したあと、停止します。 ・メイン・クロックを停止させ、サブクロックで動作している場合に、再度メイン・クロックに切り替えるときは、MCKビットを“0”に設定し、プログラム中で発振安定時間を確保したあとに切り替えてください。 	

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS ^注	CPUクロック (f _{cpu}) の状態
0	メイン・クロック動作
1	サブクロック動作

CK3	CK2	CK1	CK0	クロックの選択 (f _{clk} /f _{cpu})
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	X	設定禁止
1	X	X	X	f _{xt}

注 CLSビットはリードのみ可能です。

- 注意1. CLKOUTを出力している間は、CPUクロック (CK3-CK0ビット) を変更しないでください。
2. CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。

備考 X：任意

★ (a) メイン・クロック動作 サブクロック動作の設定例

- CK3ビット 1 : ビット操作命令推奨。CK2-CK0ビットは変更しないでください。
- サブクロック動作 : CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間は次のとおりです。
最大：1/f_{XT} (1/サブクロック周波数)
- MCKビット 1 : メイン・クロックを停止するときのみ、MCKビットを1に設定します。

注意1. メイン・クロックを停止する場合は、PLLを停止してください。

2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{メイン・クロック (f}_{XX}\text{)} > \text{サブクロック (f}_{XT}\text{ : 32.768 kHz)} \times 4$$

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
_SET_SUB_RUN :
st.b      r0, PRCMD[r0]
set1      3, PCC[r0]           -- CK3ビット 1
_CHECK_CLS :
tst1      4, PCC[r0]          -- サブクロック動作に切り替わるまでウエイト
bz        _CHECK_CLS
_STOP_MAIN_CLOCK :
st.b      r0, PRCMD[r0]
set1      6, PCC[r0]          -- MCKビット 1, メイン・クロック停止
_DMA_ENABLE :
set1      0, DCHCn[r0]          -- DMA動作許可 n=0-3

```

備考 この記述例はあくまでも一例です。特に において、閉ループでCLSビットをリードしていただきますので注意してください。

★ (b) サブクロック動作 メイン・クロック動作の設定例

MCKビット 0 :メイン・クロック発振開始
プログラムによりウェイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。

CK3ビット 0 :ビット操作命令を推奨します。CK2-CK0ビットは変更しないでください。

メイン・クロック動作 :CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間は次のとおりです。

最大： $1/f_{XT}$ (1/サブクロック周波数)

したがって、CK3ビットを0とした直後にNOP命令を1つ挿入するか、もしくはCLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
_START_MAIN_OSC :
st.b      r0, PRCMD[r0]        -- 特定レジスタ, プロテクション解除
clr1      6, PCC[r0]           -- メイン・クロック発振開始
movea     0x55, r0, r11        -- 発振安定時間待ち

_WAIT_OST :
nop
nop
nop
addi      -1, r11, r11
cmp       r0, r11
bne              _WAIT_OST
st.b      r0, PRCMD[r0]
clr1      3, PCC[r0]           -- CK3 0
_CHECK_CLS :
tst1      4, PCC[r0]           -- メイン・クロック動作に切り替わるまでウェイト
bnz              _CHECK_CLS
_DMA_ENABLE :
set1      0, DCHCn[r0]          -- DMA動作許可 n = 0-3

```

備考 この記述例はあくまでも一例です。特に において、閉ループでCLSビットをリードしていただきますので注意してください。

(2) リングOSCモード・レジスタ (RCM)

RCMレジスタは、Ring-OSCの動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF80CH

	7	6	5	4	3	2	1	①
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	Ring-OSCの発振 / 停止
0	Ring-OSC発振
1	Ring-OSC停止

(3) CPU動作クロック・ステータス・レジスタ (CCLS)

CCLSレジスタは、CPU動作クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：FFFFFF82EH

	7	6	5	4	3	2	1	0
CCLS	0	0	0	0	0	0	0	CCLSF

CCLSF	CPU動作クロックの状態
0	メイン・クロック (f _x) またはサブクロック (f _{XT}) で動作
1	Ring-OSC (f _R) で動作

6.4 動作

6.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表6 - 1 各クロックの動作状態

レジスタの設定および 動作状態 対象クロック	PCCレジスタ								
	CLSビット = 0, MCKビット = 0					CLSビット = 1, MCKビット = 0		CLSビット = 1, MCKビット = 1	
	リ セ ッ ト	中 発 振 安 定 時 間 カ ウ ン ト	中 ハ ル ト モ ー ド	中 ID L E 1 、 ID L E 2 モ ー ド	中 S T O P モ ー ド	サ ブ ク ロ ッ ク ・ モ ー ド	サ ブ ID L E モ ー ド	サ ブ ク ロ ッ ク ・ モ ー ド	サ ブ ID L E モ ー ド
メイン発振子 (fx)	x				x			x	x
サブ発振子 (fxT)									
CPUクロック (fcPU)	x	x	x	x	x		x		x
内部システム・クロック (fCLK)	x	x		x	x		x		x
周辺クロック (fx-fx/1024)	x	x		x	x		x	x	x
WTクロック (メイン)	x	x			x			x	x
WTクロック (サブ)									
WDT2クロック (リング)	x								
WDT2クロック (メイン)	x	x			x			x	x

備考 : 動作可能

x : 停止

6.4.2 クロック出力機能

クロック出力機能は、内部システム・クロック (fCLK) をCLKOUT端子から出力します。

内部システム・クロック (fCLK) は、PCC.CK3-CK0ビットおよびCLSビットで選択します。

CLKOUT端子はPCM1端子と兼用しており、ポートCMの制御レジスタを操作することにより、クロック出力端子として機能します。

CLKOUT端子の状態は、表6 - 1の内部システム・クロックと同じ状態になり、(動作可能)のときにクロックを出力できます。また、x(停止)のときにはロウ・レベルを出力します。ただし、リセット後、CLKOUT端子の出力を設定するまでは、ポート・モード (PCM1 : 入力モード) となるので、端子の状態はHi-Zになります。

6.5 PLL機能

6.5.1 概要

CPUおよび周辺マクロの動作クロックを発振周波数の4通倍出力と、クロック・スルー・モードを切り替えるものです。

PLL機能使用時 : 入力クロック = 4~5 MHz (出力 16~20 MHz)

クロック・スルー・モード : 入力クロック = 4~5 MHz (出力 4~5 MHz)

6.5.2 制御レジスタ

(1) PLLコントロール・レジスタ (PLLCTL)

PLLを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時 : 01H R/W アドレス : FFFFF82CH

	7	6	5	4	3	2	①	②
PLLCTL	0	0	0	0	0	0	SELPLL	PLLON

PLLON	PLL動作停止レジスタ
0	PLL停止
1	PLL動作 (PLLを動作開始後, 周波数が安定するまで所定のロックアップ時間が必要)

SELPLL	CPU動作クロック選択レジスタ
0	クロック・スルー動作
1	PLL動作

- 注意1. PLLONビット = 0に設定すると,自動的にSELPLLビット = 0 (クロック・スルー動作) になります。
2. SELPLLビット = 1の設定は, PLLクロック周波数が安定した状態の時のみ可能です。安定していない時 (アンロック中) にSELPLLビットをライトすると "0" がライトされます。

(2) ロック・レジスタ (LOCKR)

電源投入後、またはSTOPモード解除直後から所定の周波数でフェーズ・ロックし、安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの時間をロックアップ状態と呼び、安定した状態をロック状態と呼びます。

LOCKRレジスタには、PLL周波数の安定状態を反映するLOCKビットがあります。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：FFFFF824H

	7	6	5	4	3	2	1	①
LOCKR	0	0	0	0	0	0	0	LOCK

LOCK	PLLのロック状態の確認
0	ロック状態
1	アンロック（ロックしていない）状態

注意 LOCKレジスタはPLLのロック状態をリアルタイムに反映するものではありません。
セット/リセット条件は次のとおりです。

【セット条件】

- ・システム・リセット時[※]
- ・IDLE2, STOPモード時[※]
- ・PLL停止を設定した時（PLLCTL.PLLONビットに“0”を設定）
- ・CPUをサブクロック動作としメイン・クロックを停止したとき（PCC.CK3ビットに“1”を設定し、PCC.MCKビットに“1”を設定）

注 リセットで01Hになり、リセット解除後の発振安定時間経過後に00Hになります。

【リセット条件】

- ・リセット解除後の発振安定用タイマのオーバフロー（OSTSレジスタの初期値の時間（19.2(3) 発振安定時間選択レジスタ (OSTS) 参照））
- ・PLL動作状態でSTOPモードを設定した場合の、STOPモード解除後の発振安定用タイマのオーバフロー（OSTSレジスタで時間設定）
- ・PLLONビットを0 1に設定したときの、PLLロックアップ時間タイマのオーバフロー（PLLSレジスタで時間設定）

(3) PLLロックアップ時間指定レジスタ (PLLS)

PLLSレジスタは、PLLCTL.PLLONビットを0 1に設定したときの、PLLロックアップ時間を選択する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFFF6C1H

	7	6	5	4	3	2	1	0
PLLS	0	0	0	0	0	0	PLLS1	PLLS0

PLLS1	PLLS0	PLLロックアップ時間の選択
0	0	設定禁止
0	1	設定禁止
1	0	$2^{12}/f_x$
1	1	$2^{13}/f_x$ (初期値)

★
★

注意 ロックアップ時間は、 $800 \mu s$ 以上になるように設定してください。

★

6.5.3 使用方法

★ (1) PLLを使用する場合

- ・リセット解除後は、PLLは動作 (PLLCTL.PLLONビット = 1) していますが、初期設定はクロック・スルー・モード (PLLCTL.SELPLLビット = 0) のため、PLLモード (SELPLLビット = 1) に変更してください。
- ・PLLを動作させる場合はPLLONビット = 1として、LOCKR.LOCKビット = 0となってからSELPLLビット = 1としてください。PLLを停止させる場合は、最初にクロック・スルー・モード (SELPLLビット = 0) として、8クロック以上後に、PLL停止 (PLLONビット = 0) としてください。
- ・IDLE2/STOPモードへ遷移時は、設定にかかわらずPLLは停止しますが、IDLE2/STOPモードからは遷移前の状態で復帰します。復帰にかかる時間は次のとおりです。

- ・STOPモード：発振安定時間 (1 ms (MIN.))
- ・IDLE2モード：セットアップ時間 (350 μ s (MIN.))

PLL動作モードのまま、IDLE2/STOPモードへ遷移する場合、
セットアップ時間 / 発振安定時間 > PLLロックアップ時間
となるようにOSTSレジスタを設定してください。

IDLE1モードへの遷移時は、PLLは停止しません。必要に応じて停止してください。

(2) PLLを使用しない場合

- ・リセット解除後は、クロック・スルー・モード (SELPLLビット = 0) ですが、PLLは動作 (PLLONビット = 1) しているので、PLLを停止 (PLLONビット = 0) してください。

★ 第7章 16ビット・タイマ/イベント・カウンタP (TMP)

タイマP (TMP) は、16ビットのタイマ/イベント・カウンタです。
μPD703229Y, 70F3229Yは、TMP0-TMP3を内蔵しています。

7.1 概 要

TMPnの概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 2本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 2本
・キャプチャ/コンペア一致割り込み要求信号	: 2本
・タイマ出力端子	: 2本

備考 n = 0-3

7.2 機 能

TMPnの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定

備考 n = 0-3

7.3 構成

TMPnは、次のハードウェアで構成されています。

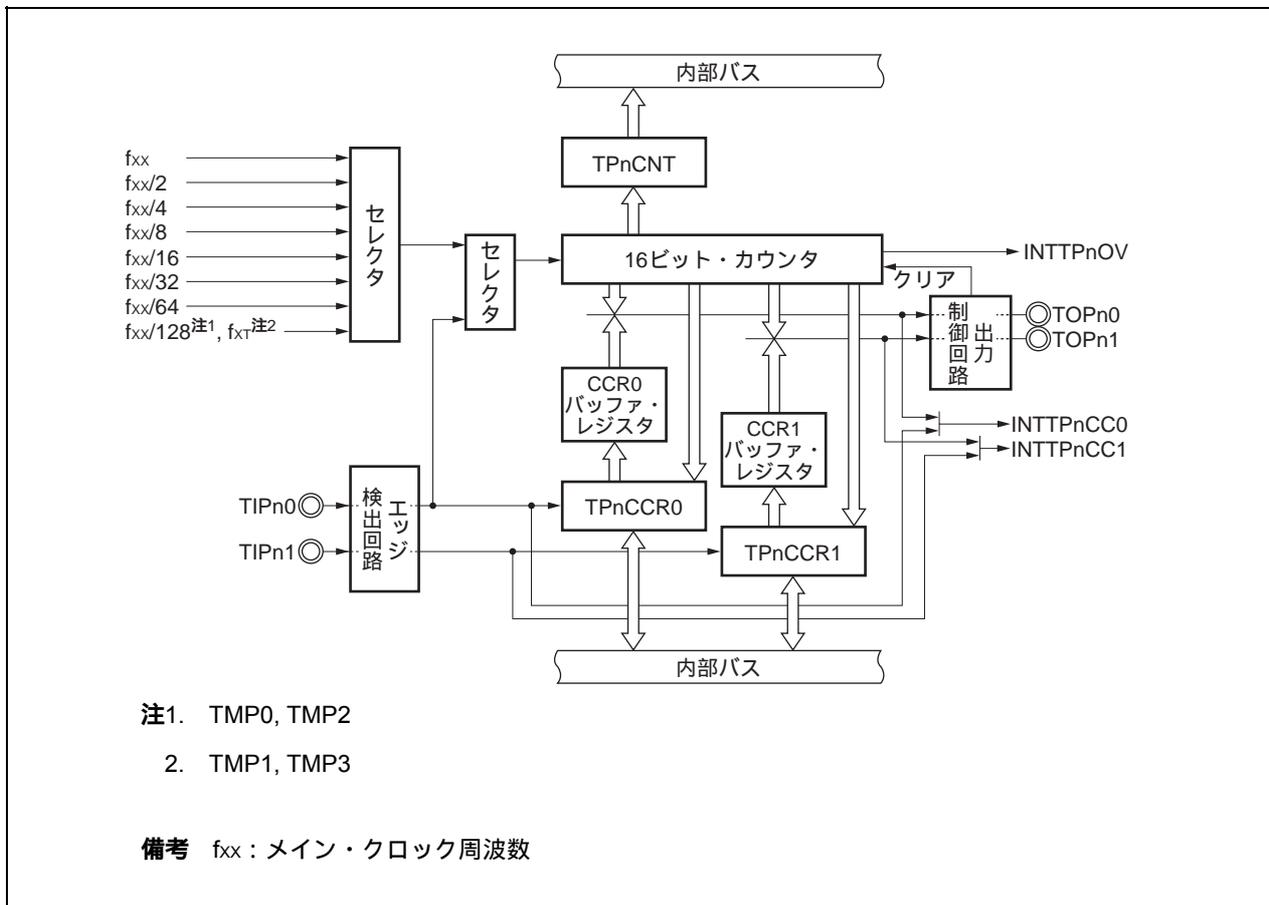
表7-1 TMPnの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	2本 (TIPn0 ^注 , TIPn1端子)
タイマ出力	2本 (TOPn0, TOPn1端子)
制御レジスタ	TMPn制御レジスタ0, 1 (TPnCTL0, TPnCTL1) TMPnI/O制御レジスタ0-2 (TPnIOC0-TPnIOC2) TMPnオプション・レジスタ0, 1 (TPnOPT0, TPnOPT1)

注 TIPn0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

備考 n = 0-3

図7-1 TMPnのブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TPnCNTレジスタでリードできます。

TPnCTL0.TPnCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTPnCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTPnCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR0レジスタをコンペア・レジスタとして使用するとき、TPnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPnCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR1レジスタをコンペア・レジスタとして使用するとき、TPnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPnCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIPn0, TIPn1端子に入力される有効エッジを検出します。有効エッジは、TPnIOC1, TPnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOPn0, TOPn1端子の出力を制御します。TOPn0, TOPn1端子の出力は、TPnIOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

7.4 レジスタ

(1) TMPn制御レジスタ0 (TPnCTL0)

TPnCTL0レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TPnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TP0CTL0 FFFFF590H, TP1CTL0 FFFFF5A0H,
TP2CTL0 FFFFF5B0H, TP3CTL0 FFFFF5C0H

	⑦	6	5	4	3	2	1	0
TPnCTL0 (n = 0-3)	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0

TPnCE	TMPnの動作の制御
0	TMPn動作禁止 (TMPnを非同期にリセット注)
1	TMPn動作許可。TMPn動作開始

TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択	
			n = 0, 2	n = 1, 3
0	0	0	f _{xx}	
0	0	1	f _{xx} /2	
0	1	0	f _{xx} /4	
0	1	1	f _{xx} /8	
1	0	0	f _{xx} /16	
1	0	1	f _{xx} /32	
1	1	0	f _{xx} /64	
1	1	1	f _{xx} /128	f _{xT}

注 TPnOPT0.TPnOVFビット, 16ビット・カウンタ, タイマ出力 (TOPn0, TOPn1端子)。

- 注意1. TPnCKS2-TPnCKS0ビットは、TPnCEビット = 0のときに設定してください。TPnCEビットを“0”から“1”に設定するときに、同時にTPnCKS2-TPnCKS0ビットを設定できます。
2. ビット3-6には必ず“0”を設定してください。

備考 f_{xx} : メイン・クロック周波数

(2) TMPn制御レジスタ1 (TPnCTL1)

TPnCTL1レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0CTL1 FFFFFFF591H, TP1CTL1 FFFFF5A1H,
TP2CTL1 FFFFF5B1H, TP3CTL1 FFFFF5C1H

	7	6	5	4	3	2	1	0
TPnCTL1 (n = 0-3)	0	TPnEST	TPnEEE	0	0	TPnMD2	TPnMD1	TPnMD0

TPnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TPnESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TPnESTビットへの“1”ライトをトリガとして、PWM波形を出力

TPnEEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TPnCTL0.TPnCK0-TPnCK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TPnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1. TPnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 外部イベント・カウント・モードのときは、TPnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
 - TPnEEE, TPnMD2-TPnMD0ビットは、TPnCTL0.TPnCEビット = 0のときに設定してください(TPnCEビット = 1のときの同値書き込みは可能)。TPnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。
 - ビット3, 4, 7には必ず“0”を設定してください。

(3) TMPnI/O制御レジスタ0 (TPnIOC0)

TPnIOC0レジスタは、タイマ出力 (TOPn0, TOPn1端子) を制御する8ビット・レジスタです。
8/1ビット単位でリード/ライト可能です。
リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0IOC0 FFFFF592H, TP1IOC0 FFFFF5A2H,
TP2IOC0 FFFFF5B2H, TP3IOC0 FFFFF5C2H

	7	6	5	4	3	②	1	①
TPnIOC0 (n = 0-3)	0	0	0	0	TPnOL1	TPnOE1	TPnOL0	TPnOE0

TPnOL1	TOPn1端子出力レベルの設定
0	TOPn1端子出力反転禁止
1	TOPn1端子出力反転許可

TPnOE1	TOPn1端子出力の設定
0	タイマ出力禁止 ・TPnOL1ビット = 0のときTOPn1端子からロウ・レベルを出力 ・TPnOL1ビット = 1のときTOPn1端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn1端子から方形波を出力)

TPnOL0	TOPn0端子出力レベルの設定
0	TOPn0端子出力反転禁止
1	TOPn0端子出力反転許可

TPnOE0	TOPn0端子出力の設定
0	タイマ出力禁止 ・TPnOL0ビット = 0のときTOPn0端子からロウ・レベルを出力 ・TPnOL0ビット = 1のときTOPn0端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn0端子から方形波を出力)

- 注意1.** TPnOL1, TPnOE1, TPnOL0, TPnOE0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のとき同値書き込みは可能)。誤まって書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
- 2.** TPnCEビット = 0, TPnOEmビット = 0の状態において、TPnOLmビットを操作した場合でも、TOPnm端子の出力レベルは変化しません (m = 0, 1)。

(4) TMPnI/O制御レジスタ1 (TPnIOC1)

TPnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIPn0, TIPn1端子) に対する有効エッジを制御する8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TP0IOC1 FFFFF593H, TP1IOC1 FFFFF5A3H,
TP2IOC1 FFFFF5B3H, TP3IOC1 FFFFF5C3H

	7	6	5	4	3	2	1	0
TPnIOC1 (n = 0-3)	0	0	0	0	TPnIS3	TPnIS2	TPnIS1	TPnIS0

TPnIS3	TPnIS2	キャプチャ・トリガ入力信号 (TIPn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnIS1	TPnIS0	キャプチャ・トリガ入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPnIS3-TPnIS0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
- 2.** TPnIS3-TPnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMPnI/O制御レジスタ2 (TPnIOC2)

TPnIOC2レジスタは、外部イベント・カウント入力信号 (TIPn0端子)、外部トリガ入力信号 (TIPn0端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0IOC2 FFFFF594H, TP1IOC2 FFFFF5A4H,
TP2IOC2 FFFFF5B4H, TP3IOC2 FFFFF5C4H

	7	6	5	4	3	2	1	0
TPnIOC2	0	0	0	0	TPnEES1	TPnEES0	TPnETS1	TPnETS0

(n = 0-3)

TPnEES1	TPnEES0	外部イベント・カウント入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnETS1	TPnETS0	外部トリガ入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは、
TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCE
ビット = 1のときの同値書き込みは可能)。誤って書き換えた場合
は、TPnCEビットをクリア (0) してから再設定してください。
- 2.** TPnEES1, TPnEES0ビットは、TPnCTL1.TPnEEEビット = 1、また
は外部イベント・カウント・モード (TPnCTL1.TPnMD2-TPnMD0
ビット = 001) に設定したときのみ有効です。

(6) TMPnオプション・レジスタ0 (TPnOPT0)

TPnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0OPT0 FFFFF595H, TP1OPT0 FFFFF5A5H,
TP2OPT0 FFFFF5B5H, TP3OPT0 FFFFF5C5H

	7	6	5	4	3	2	1	①
TPnOPT0 (n = 0-3)	0	0	TPnCCS1	TPnCCS0	0	0	0	TPnOVF

TPnCCS1	TPnCCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TPnCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnCCS0	TPnCCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TPnCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnOVF	TMPnのオーバフロー検出フラグ
セット(1)	オーバフロー発生
リセット(0)	TPnOVFビットへの0ライトまたはTPnCTL0.TPnCEビット = 0
<ul style="list-style-type: none"> TPnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット(1)されます。 TPnOVFビットがセット(1)されると同時に、割り込み要求信号(INTTPnOV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTPnOV信号は発生しません。 TPnOVFビット = 1のときにTPnOVFビットまたはTPnOPT0レジスタをリードしても、TPnOVFビットはクリアされません。 TPnOVFビットはリード/ライト可能ですが、ソフトウェアでTPnOVFビットをセット(1)することはできません。“1”をライトしてもTMPnの動作に影響はありません。 	

- 注意1. TPnCCS1, TPnCCS0ビットは、TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。
2. ビット1-3, 6, 7には必ず“0”を設定してください。

(7) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

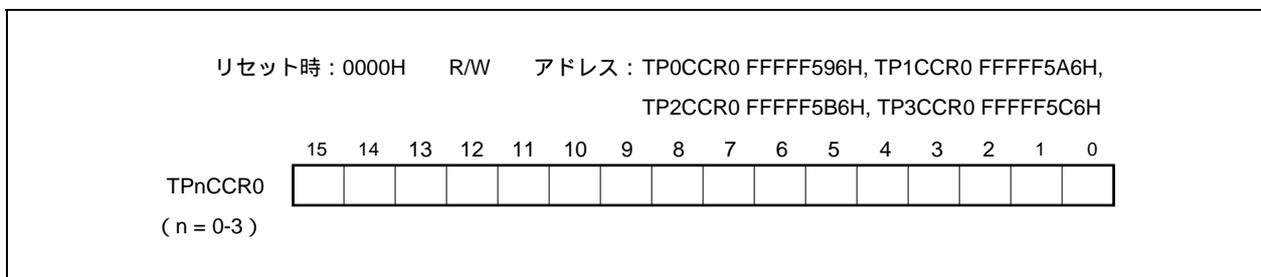
TPnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 サブクロック動作時、かつメイン・クロック停止時のTPnCCR0レジスタへのアクセスは禁止です。詳細は、3.4.8(2)を参照してください。



(a) コンペア・レジスタとしての機能

TPnCCR0レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC0) を発生し、TOPn0端子出力を許可している場合、TOPn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TPnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR0レジスタのリードが競合しても、TPnCCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(8) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

TPnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

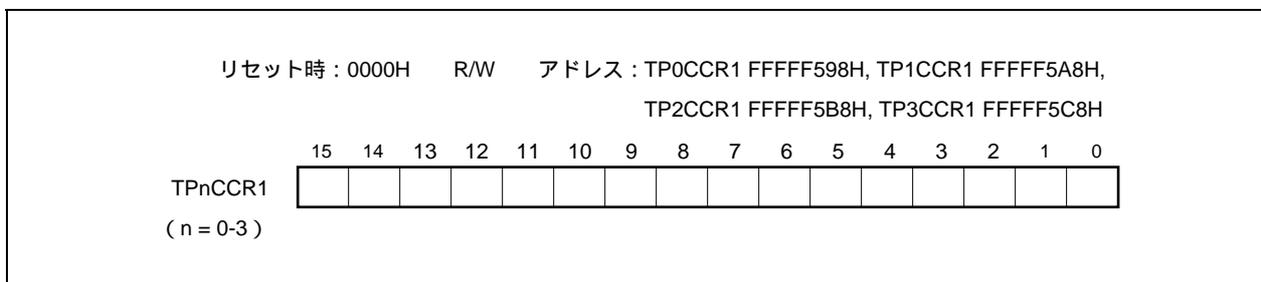
TPnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 サブクロック動作時、かつメイン・クロック停止時のTPnCCR1レジスタへのアクセスは禁止です。詳細は、3.4.8(2)を参照してください。



(a) コンペア・レジスタとしての機能

TPnCCR1レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC1) を発生し、TOPn1端子出力を許可している場合、TOPn1端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR1レジスタのリードが競合しても、TPnCCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(9) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

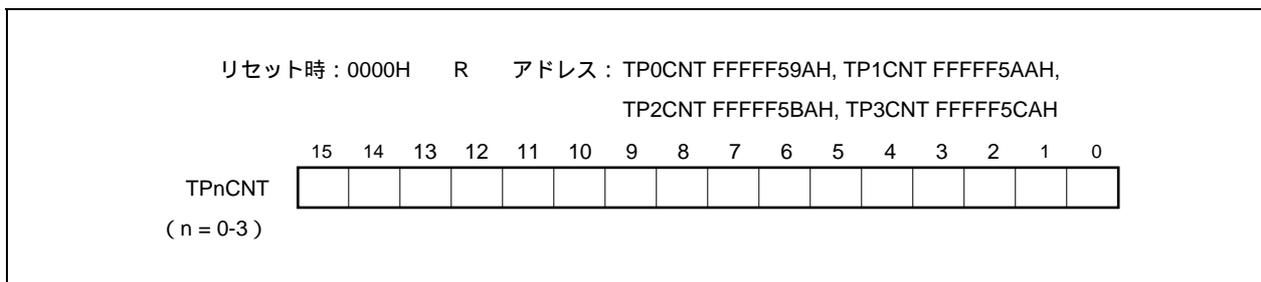
TPnCTL0.TPnCEビット = 1のときにTPnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TPnCEビット = 0のとき、TPnCNTレジスタは0000Hになります。このときにTPnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTPnCEビット = 0になるため、TPnCNTレジスタは0000Hになります。

注意 サブクロック動作時、かつメイン・クロック停止時のTPnCNTレジスタへのアクセスは禁止です。詳細は、3.4.8(2)を参照してください。



7.5 動作

TMPnには次のような動作があります。

動作	TPnCTL1.TPnESTビット (ソフトウェア・トリガ・ビット)	TIPn0端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

- 注1. 外部イベント・カウント・モードを使用する場合、TIPn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TPnIOC1.TPnIS1, TPnIS0ビットを“00”) に設定してください。
2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット = 0に設定) してください。

備考 n = 0-3

7.5.1 インターバル・タイマ・モード (TPnMD2-TPnMD0 = 000)

インターバル・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTPnCC0) を発生します。また、TOPn0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TPnCCR1レジスタを使用しません。

図7-2 インターバル・タイマの構成図

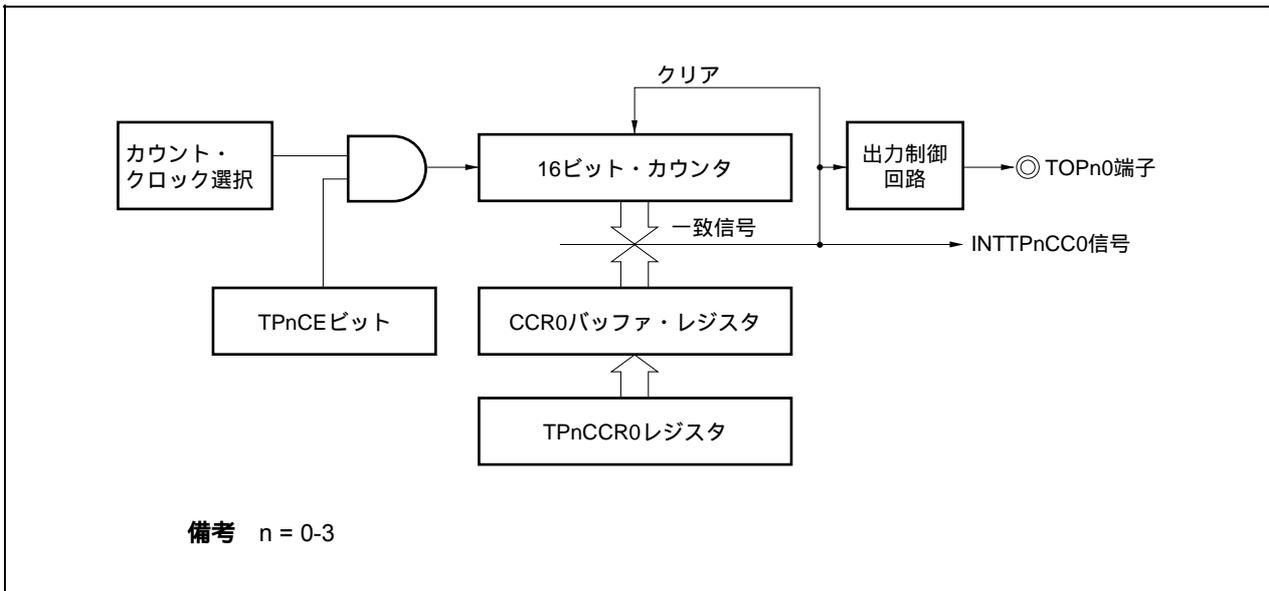
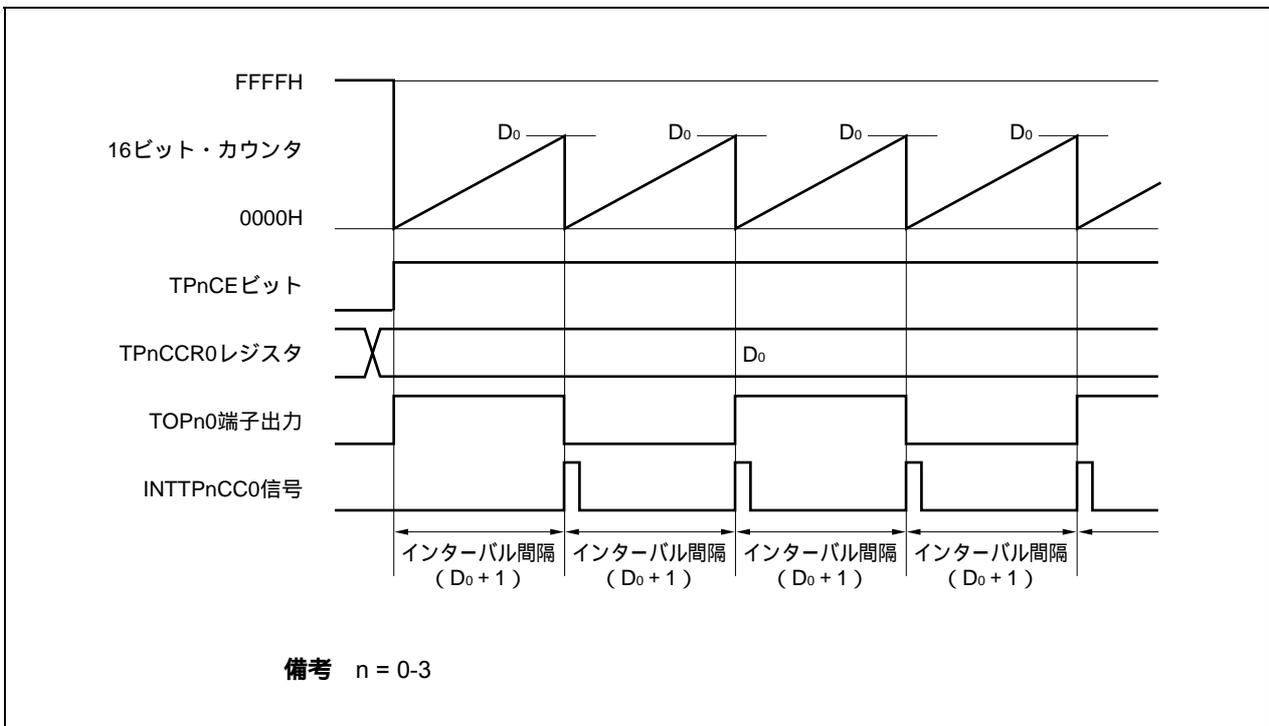


図7-3 インターバル・タイマ・モード動作の基本タイミング



TPnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOPn0端子出力を反転します。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOPn0端子出力を反転させて、コンペア一致割り込み要求信号(INTTPnCC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TPnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-3

図7-4 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

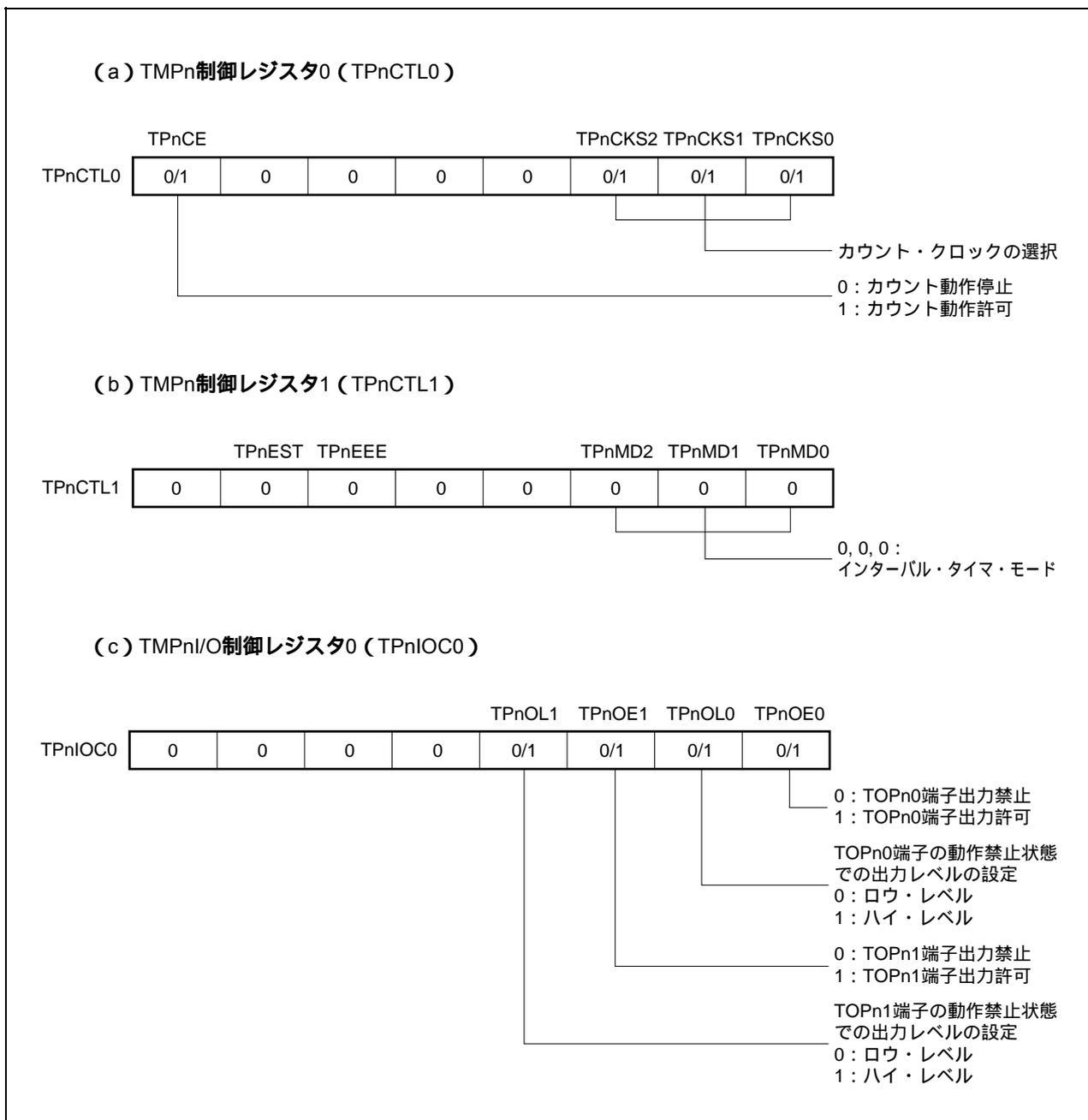


図7-4 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(d) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(e) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

(f) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

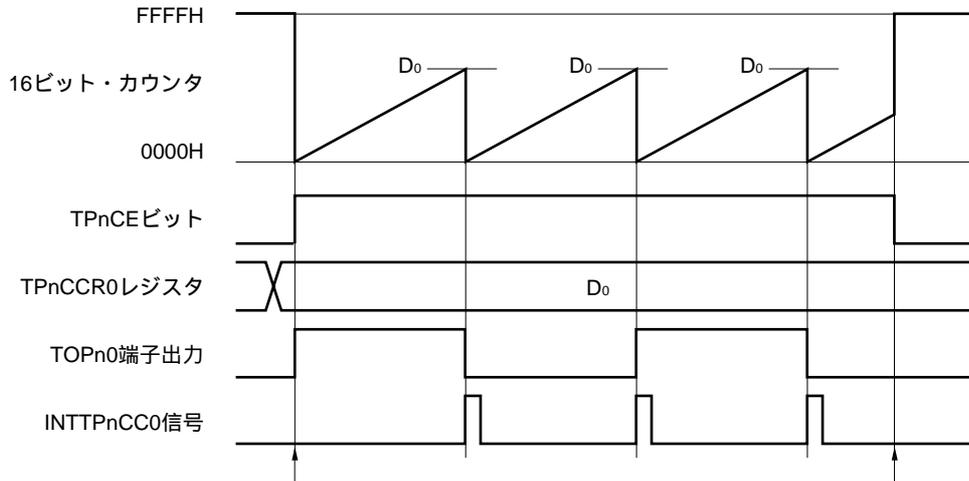
インターバル・タイマ・モードでは、通常、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPnCC1) が発生します。したがって、割り込みマスク・フラグ (TPnCCMK1) でマスク設定しておいてください。

備考1. TMPnI/O制御レジスタ1 (TPnIOC1) , TMPnI/O制御レジスタ2 (TPnIOC2) , TMPnオプション・レジスタ0 (TPnOPT0) は、インターバル・タイマ・モードでは使用しません。

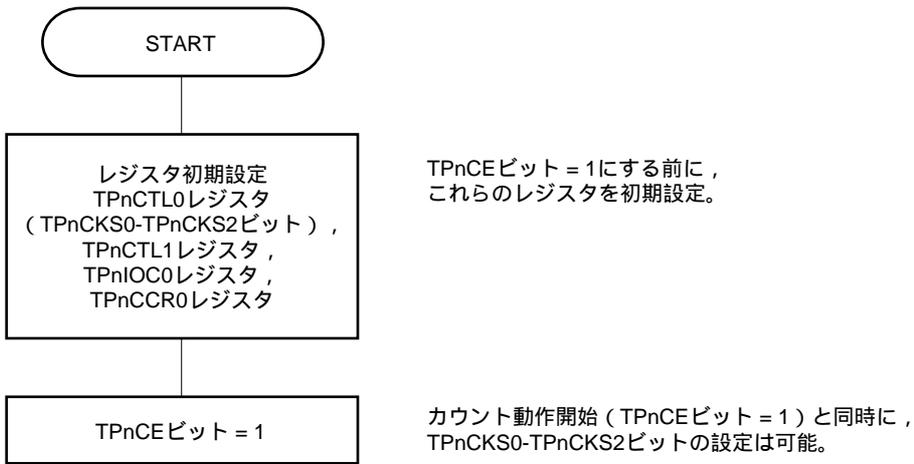
2. n = 0-3

(1) インターバル・タイマ・モード動作フロー

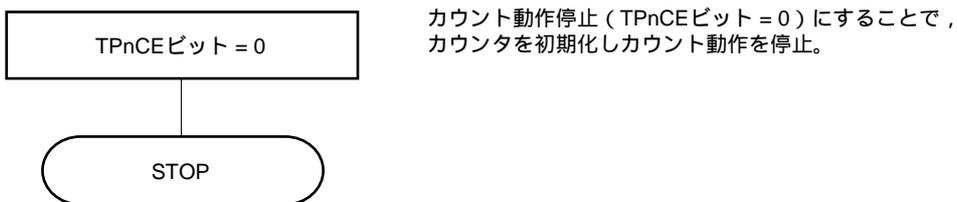
図7-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



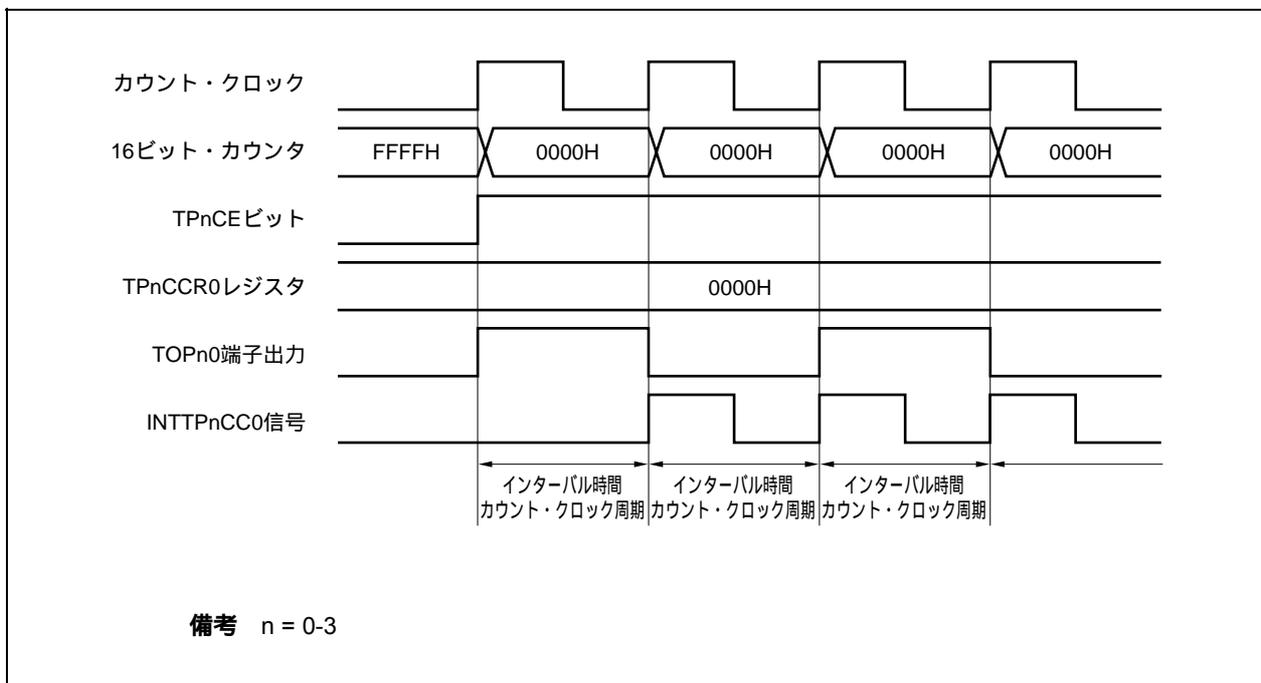
備考 n = 0-3

(2) インターバル・タイマ・モード動作タイミング

(a) TPnCCR0レジスタに0000Hを設定した場合の動作

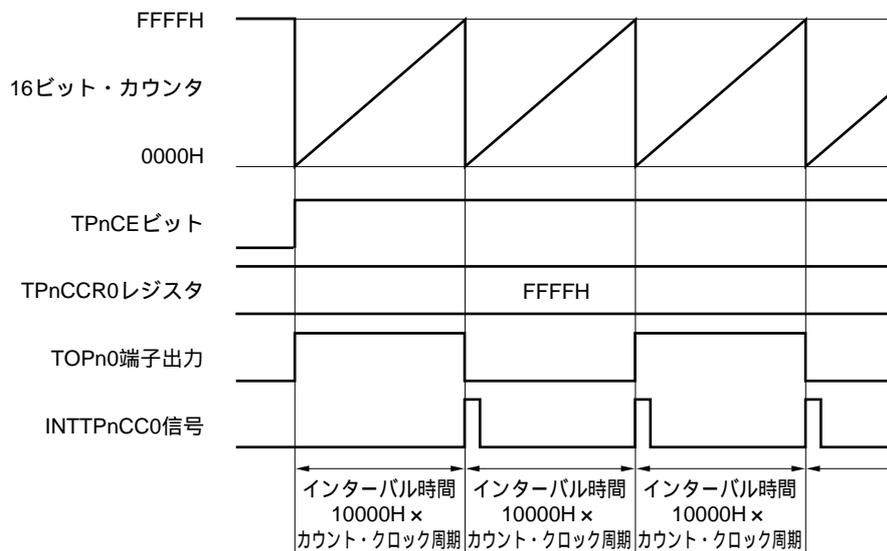
TPnCCR0レジスタに0000Hを設定した場合,カウント・クロックごとにINTTPnCC0信号を発生し, TOPn0端子の出力を反転します。

16ビット・カウンタは,常に0000Hとなります。



(b) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合，16ビット・カウンタはFFFFHまでカウント動作を行い，次のカウント・アップ・タイミングに同期して，16ビット・カウンタを0000Hにクリアし，INTTPnCC0信号を発生し，TOPn0端子の出力を反転します。このとき，オーバーフロー割り込み要求信号 (INTTPnOV) は発生せず，オーバーフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されません。

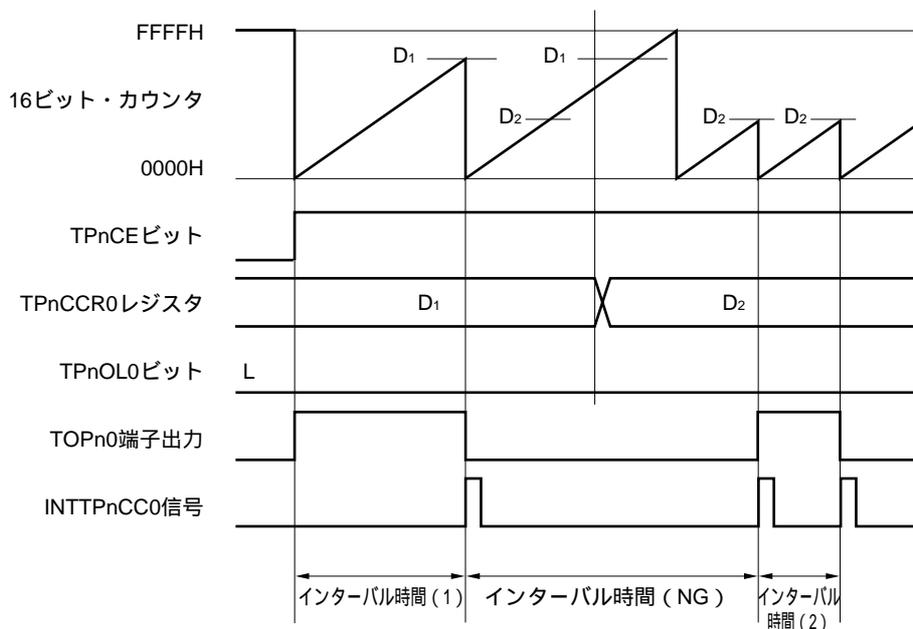


備考 n = 0-3

(c) TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



- 備考1. インターバル時間 (1) : $(D_1 + 1) \times \text{カウント・クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント・クロック周期}$
2. $n = 0-3$

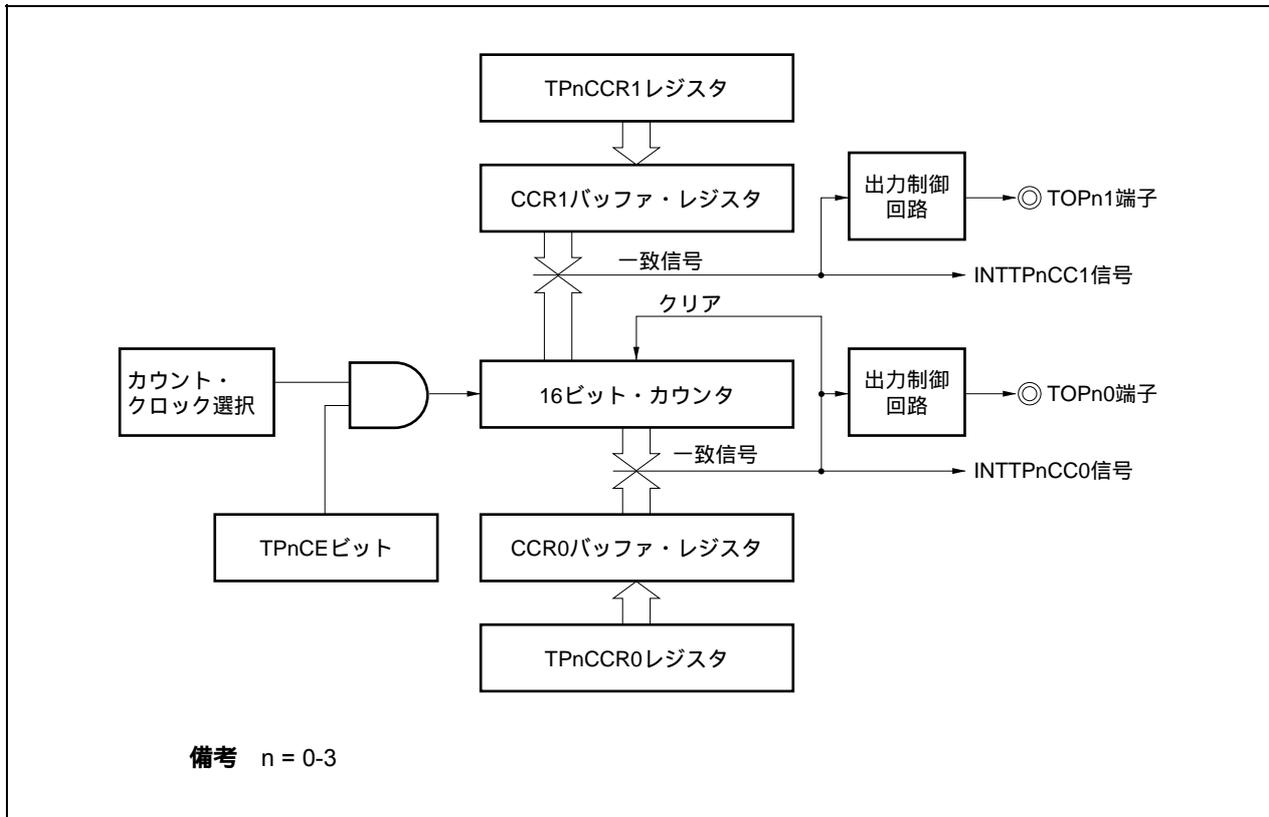
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TPnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTPnCC0信号を発生しTOPn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント・クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント・クロック周期}$ 」でINTTPnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$ 」の間隔でINTTPnCC0信号が発生する場合があります。

(d) TPnCCR1レジスタの動作

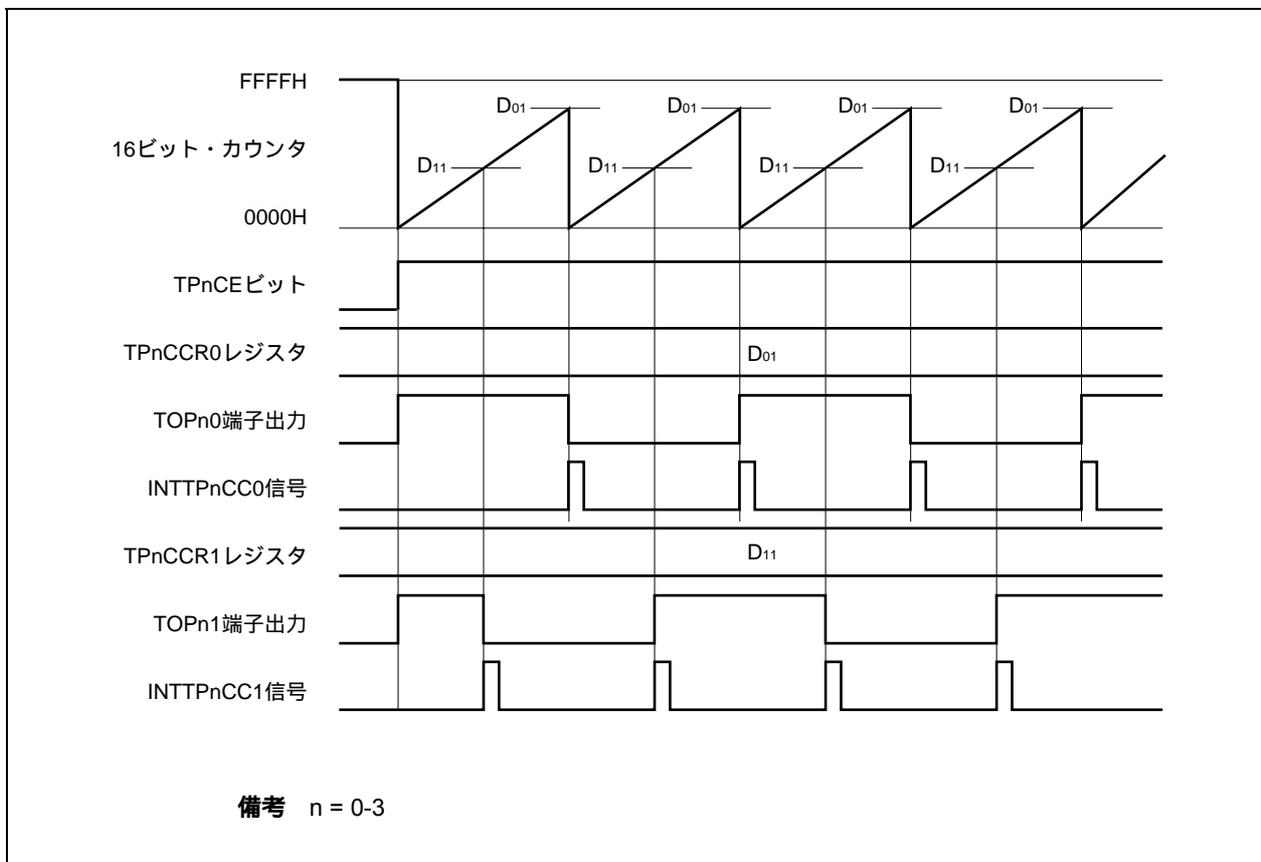
図7-6 TPnCCR1レジスタの構成図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。また、同じタイミングでTOPn1端子出力は反転します。

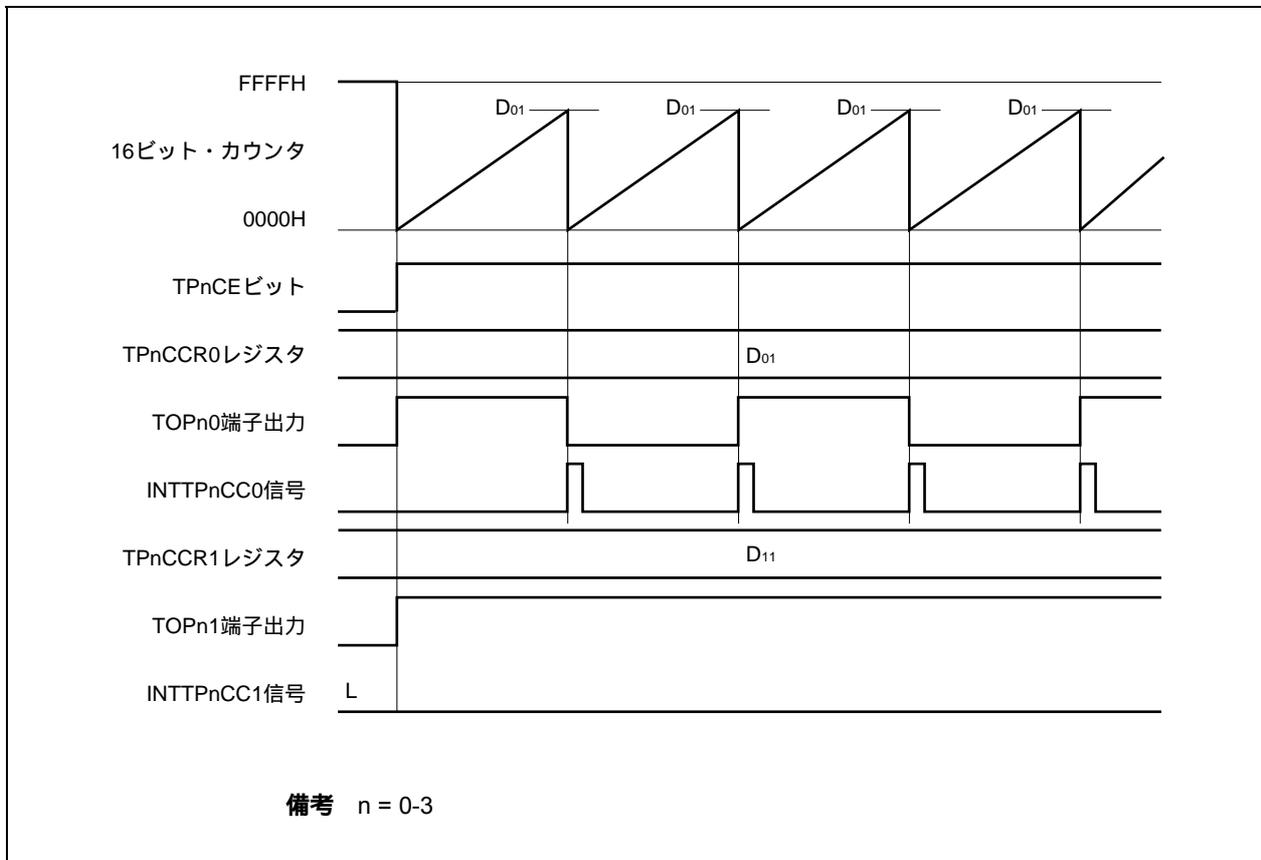
TOPn1端子出力は、TOPn0端子出力と同じ周期の方形波を出力します。

図7-7 D₀₁ D₁₁の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。また、TOPn1端子出力も変化しません。

図7 - 8 D₀₁ < D₁₁の場合のタイミング図



7.5.2 外部イベント・カウント・モード (TPnMD2-TPnMD0 = 001)

外部イベント・カウント・モードは、TPnCTL0.TPnCEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントするごとに割り込み要求信号 (INTTPnCC0) を発生します。TOPn0端子は使用できません。

外部イベント・カウント・モードでは、通常、TPnCCR1レジスタは使用しません。

図7-9 外部イベント・カウント・モードの構成図

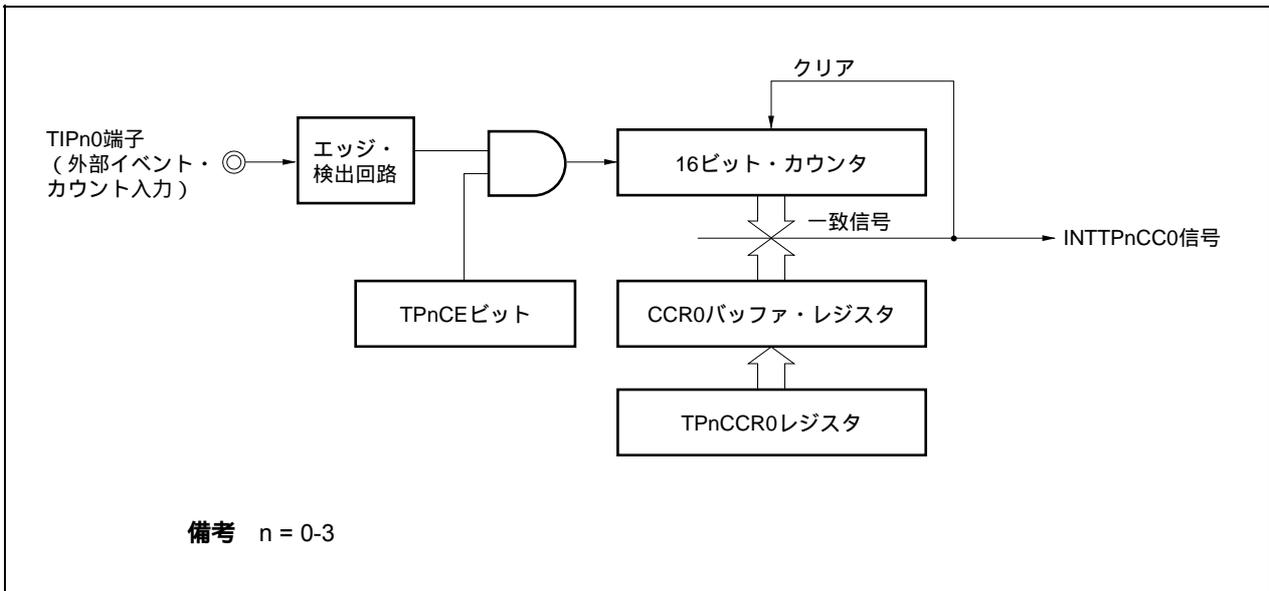
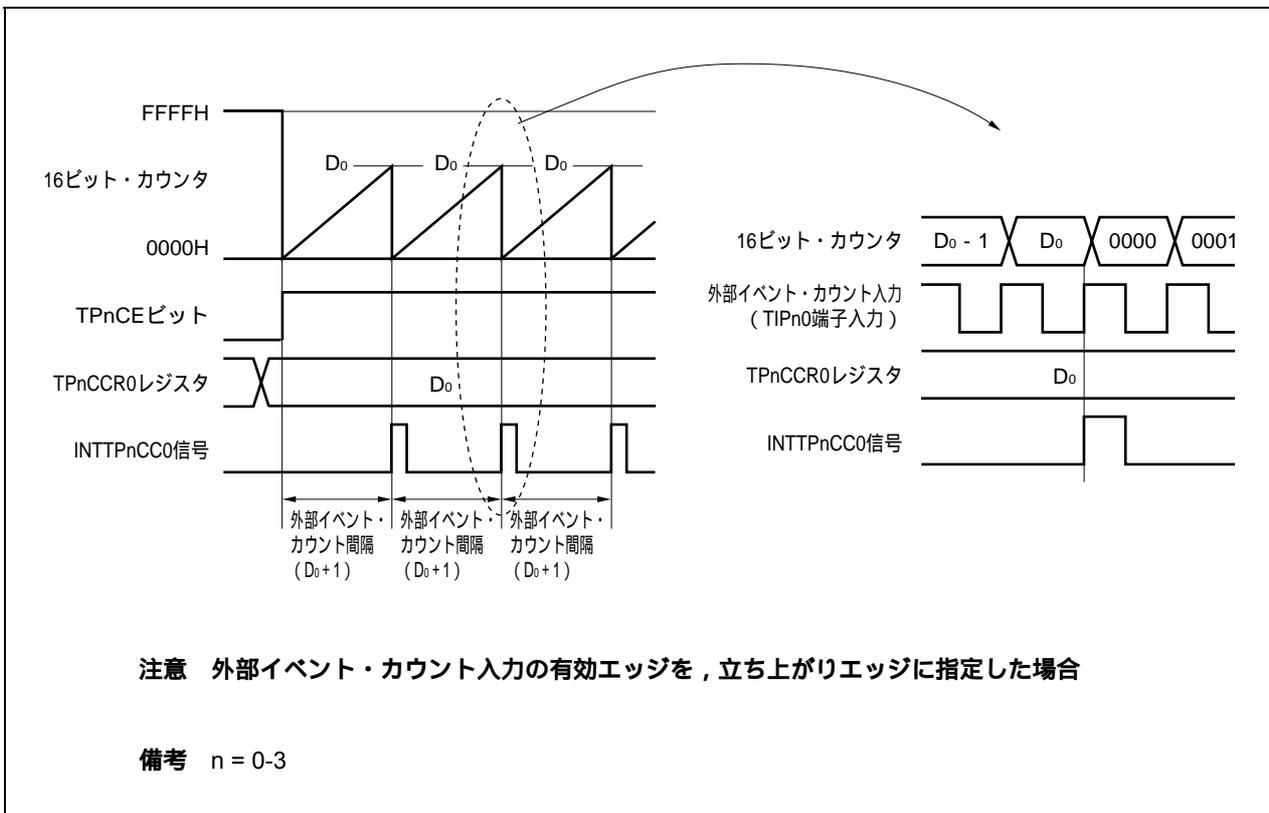


図7-10 外部イベント・カウント・モードの基本タイミング



TPnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTPnCC0)を発生します。

INTTPnCC0信号は、外部イベント・カウント入力の有効エッジを(TPnCCR0レジスタに設定した値+1)回検出するごとに発生します。

図7-11 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

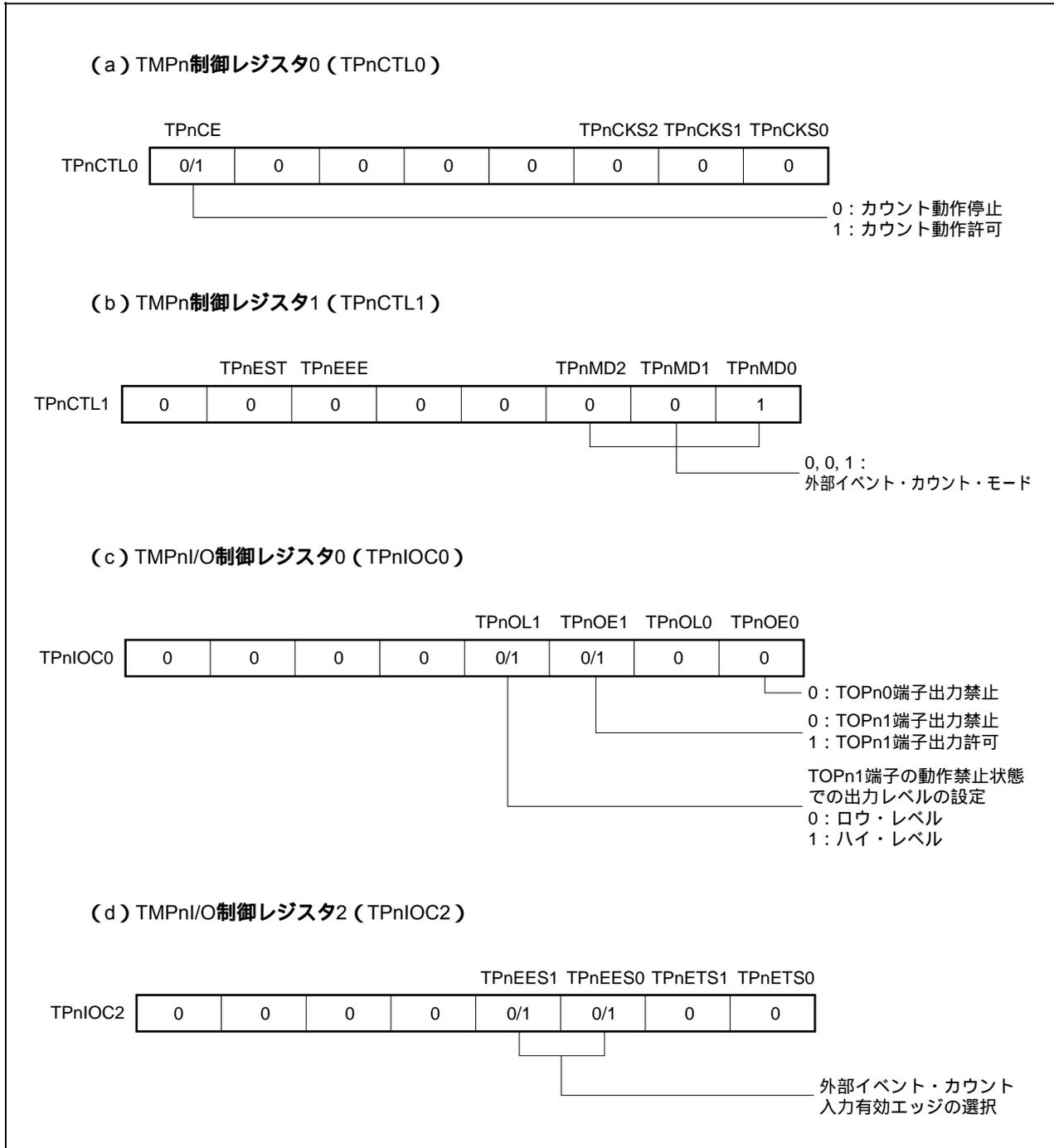


図7 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(f) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタにD₀を設定した場合、外部イベント・カウント数が(D₀+1)回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

(g) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

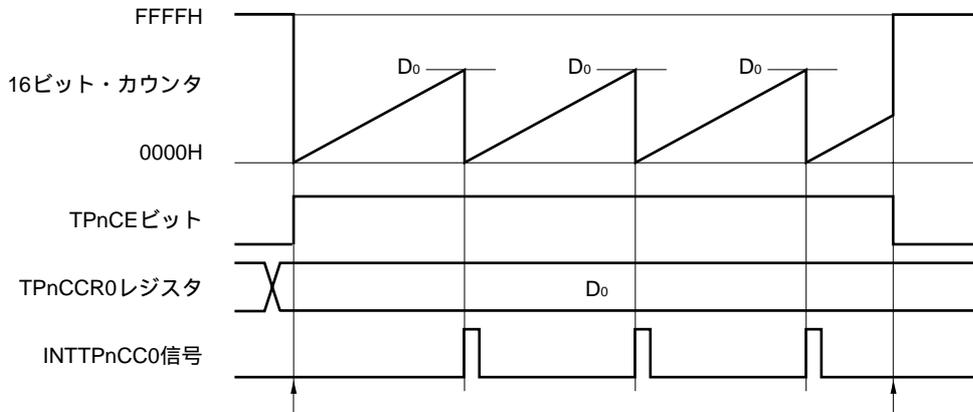
外部イベント・カウント・モードでは、通常、TPnCCR1レジスタは使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPnCC1) が発生します。したがって、割り込みマスク・フラグ (TPnCCMK1) でマスク設定しておいてください。

備考1. TMPnI/O制御レジスタ1 (TPnIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、外部イベント・カウント・モードでは使用しません。

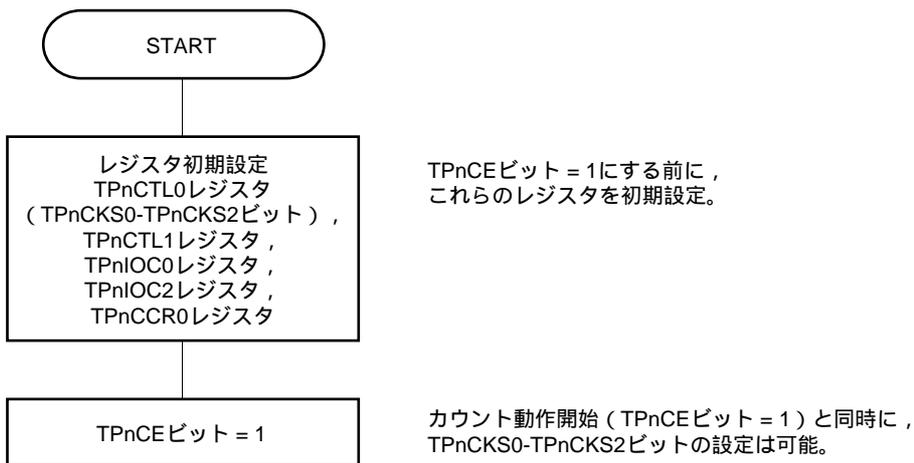
2. n = 0-3

(1) 外部イベント・カウント・モード動作フロー

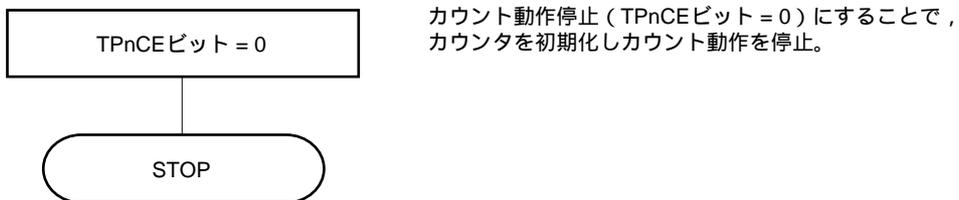
図7-12 外部イベント・カウント・モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



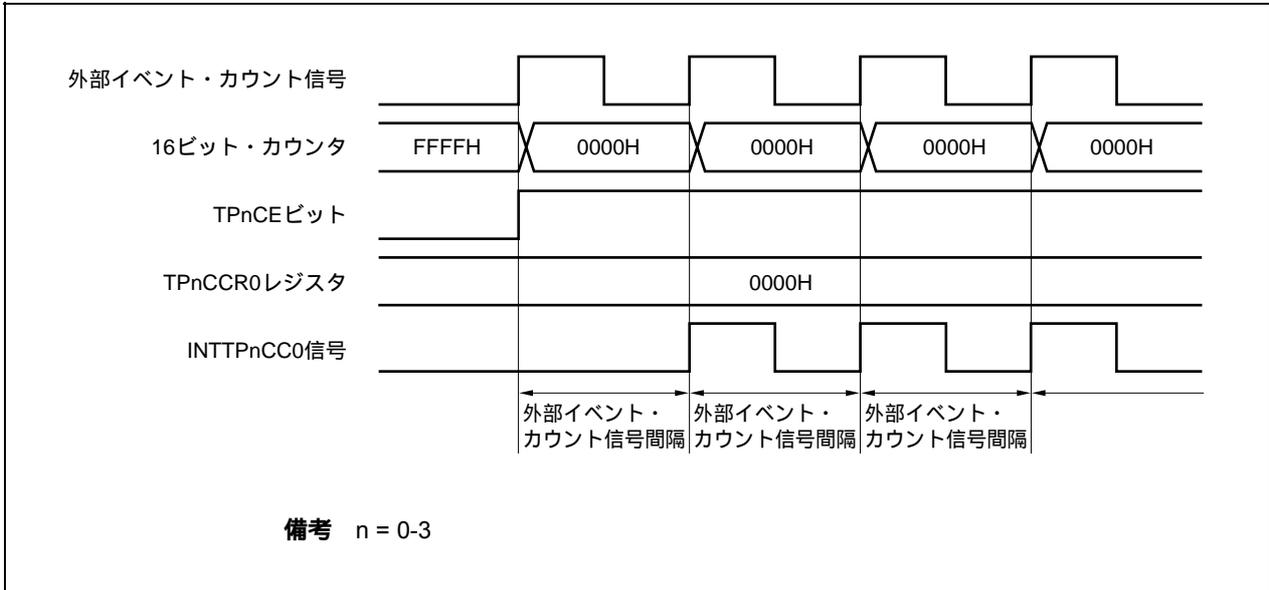
備考 n = 0-3

(2) 外部イベント・カウント・モード動作タイミング

(a) TPnCCR0レジスタに0000Hを設定した場合の動作

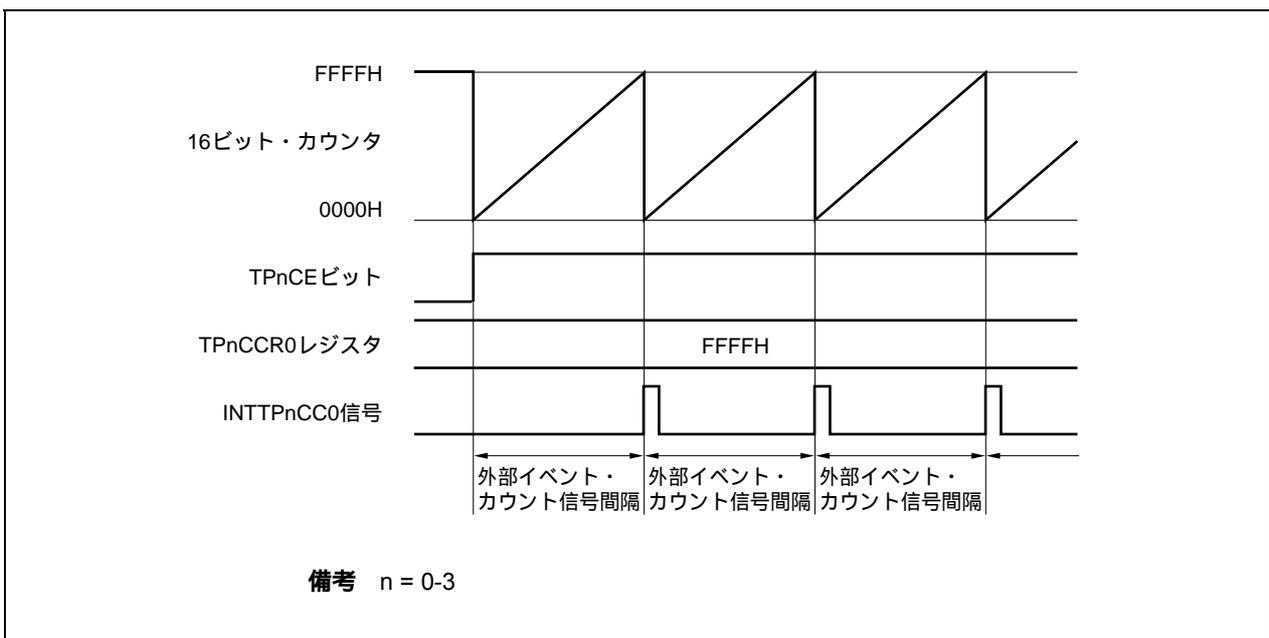
TPnCCR0レジスタに0000Hを設定した場合、外部イベント・カウント信号の有効エッジを検出するごとにINTTPnCC0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TPnCCR0レジスタにFFFFHを設定した場合の動作

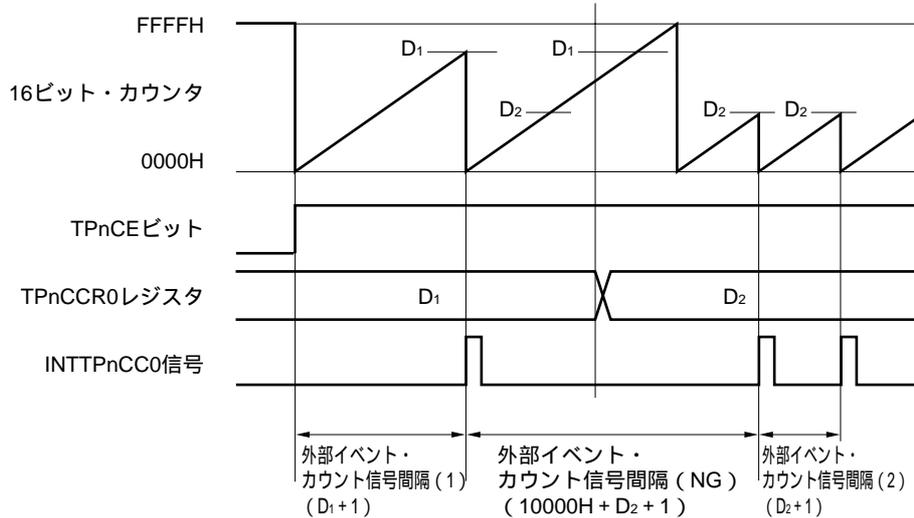
TPnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPnCC0信号を発生します。このとき、TPnOPT0.TPnOVFビットはセットされません



(c) TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



備考 n = 0-3

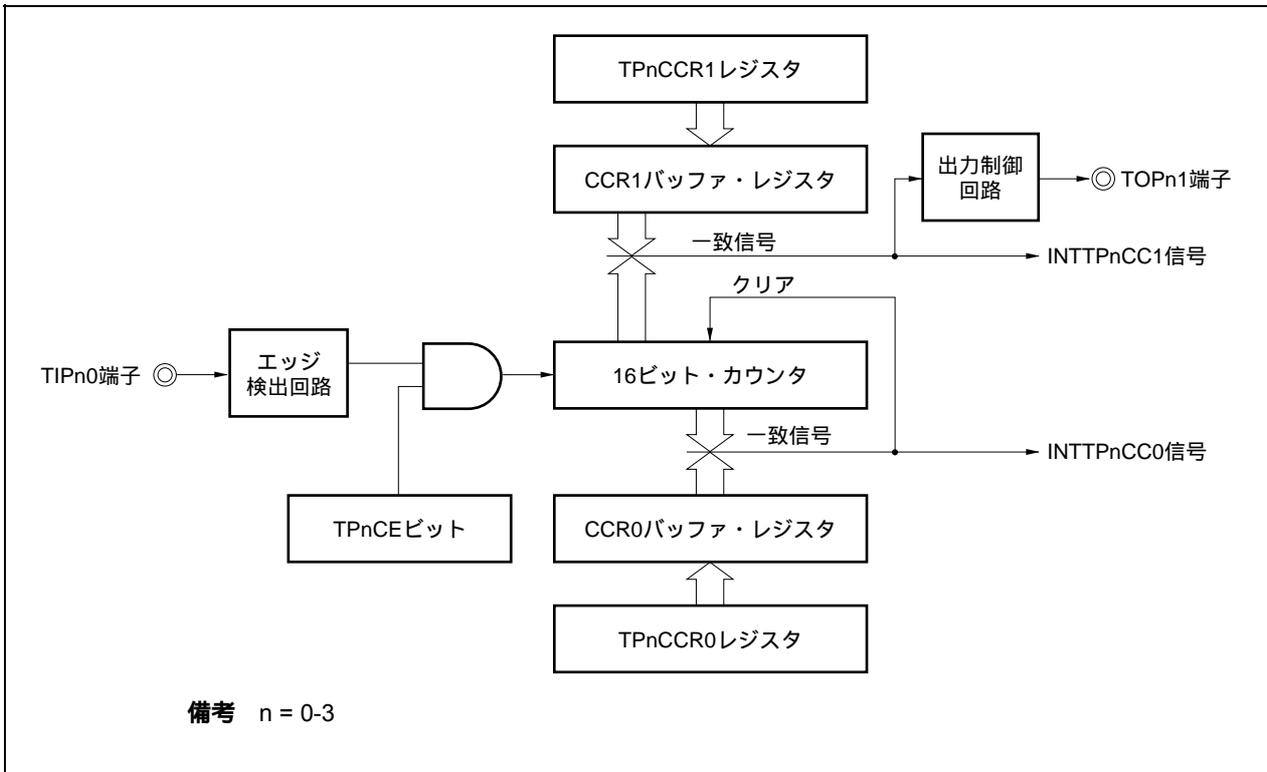
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TPnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTPnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「($D_1 + 1$)回」または「($D_2 + 1$)回」の有効エッジ数でINTTPnCC0信号は発生せずに、「($10000H + D_2 + 1$)回」の有効エッジ数でINTTPnCC0信号が発生する場合があります。

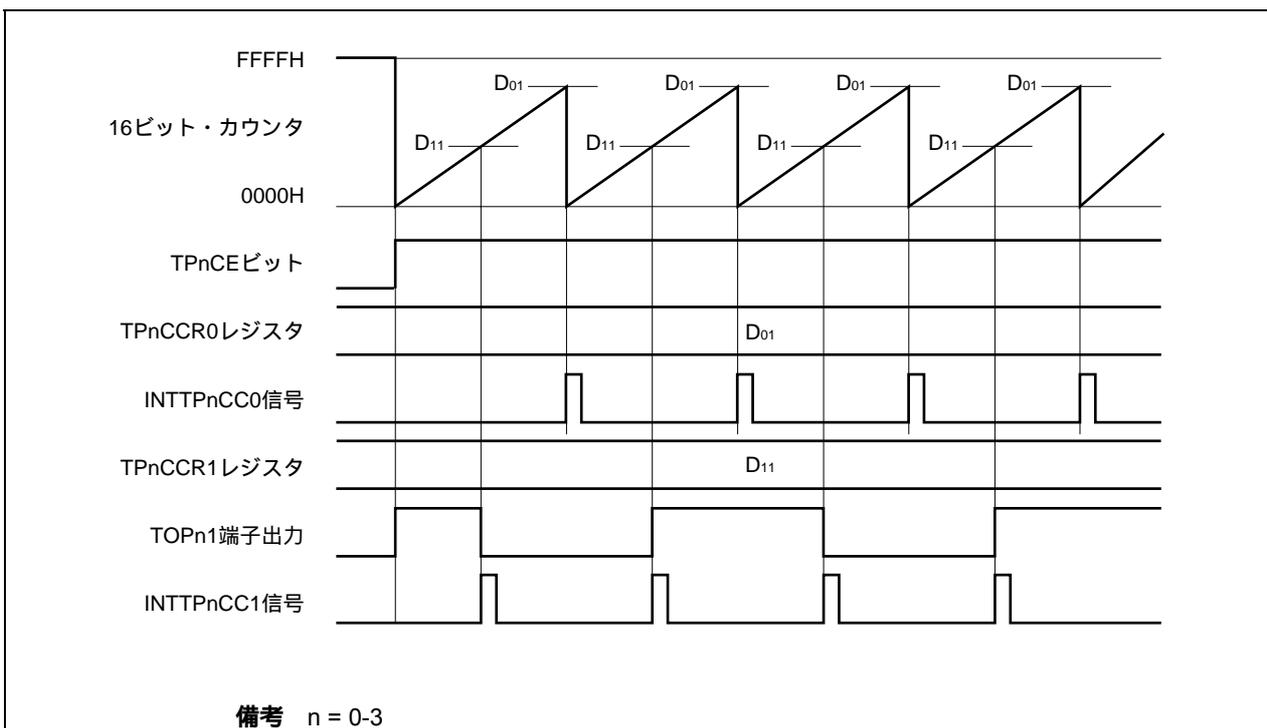
(d) TPnCCR1レジスタの動作

図7-13 TPnCCR1レジスタ1の構成図



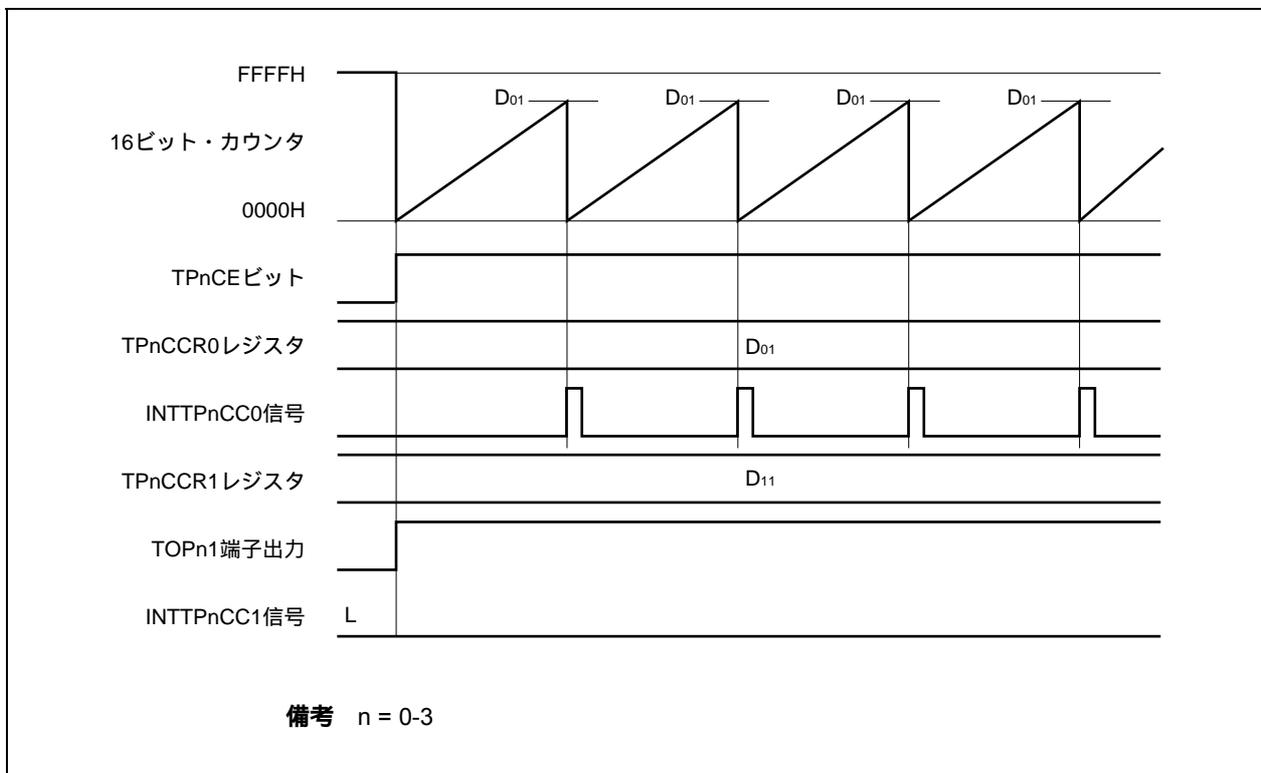
TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。また、同じタイミングでTOPn1端子出力は反転します。

図7-14 D₀₁ D₁₁の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。また、TOPn1端子出力も変化しません。

図7 - 15 D₀₁ < D₁₁の場合のタイミング図



7.5.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0 = 010)

外部トリガ・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOPn0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図7 - 16 外部トリガ・パルス出力モードの構成図

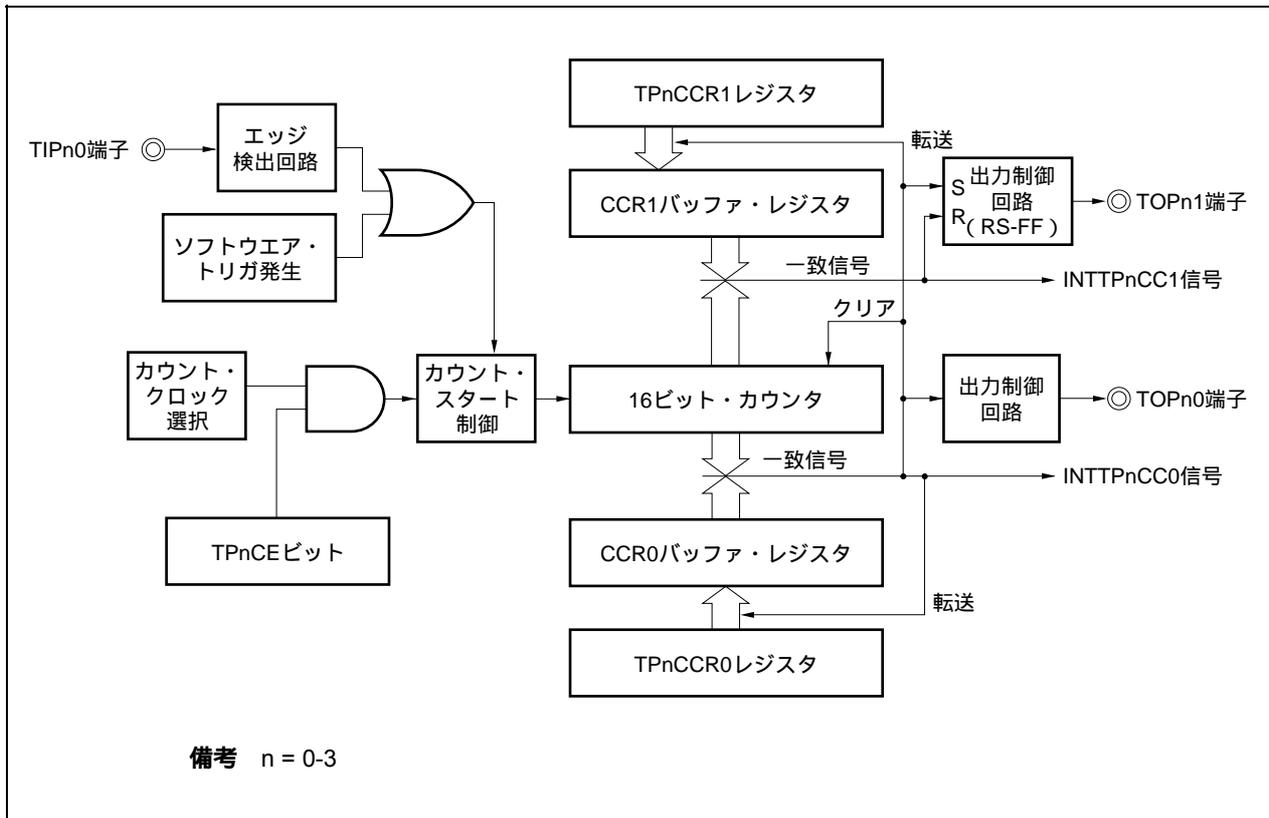
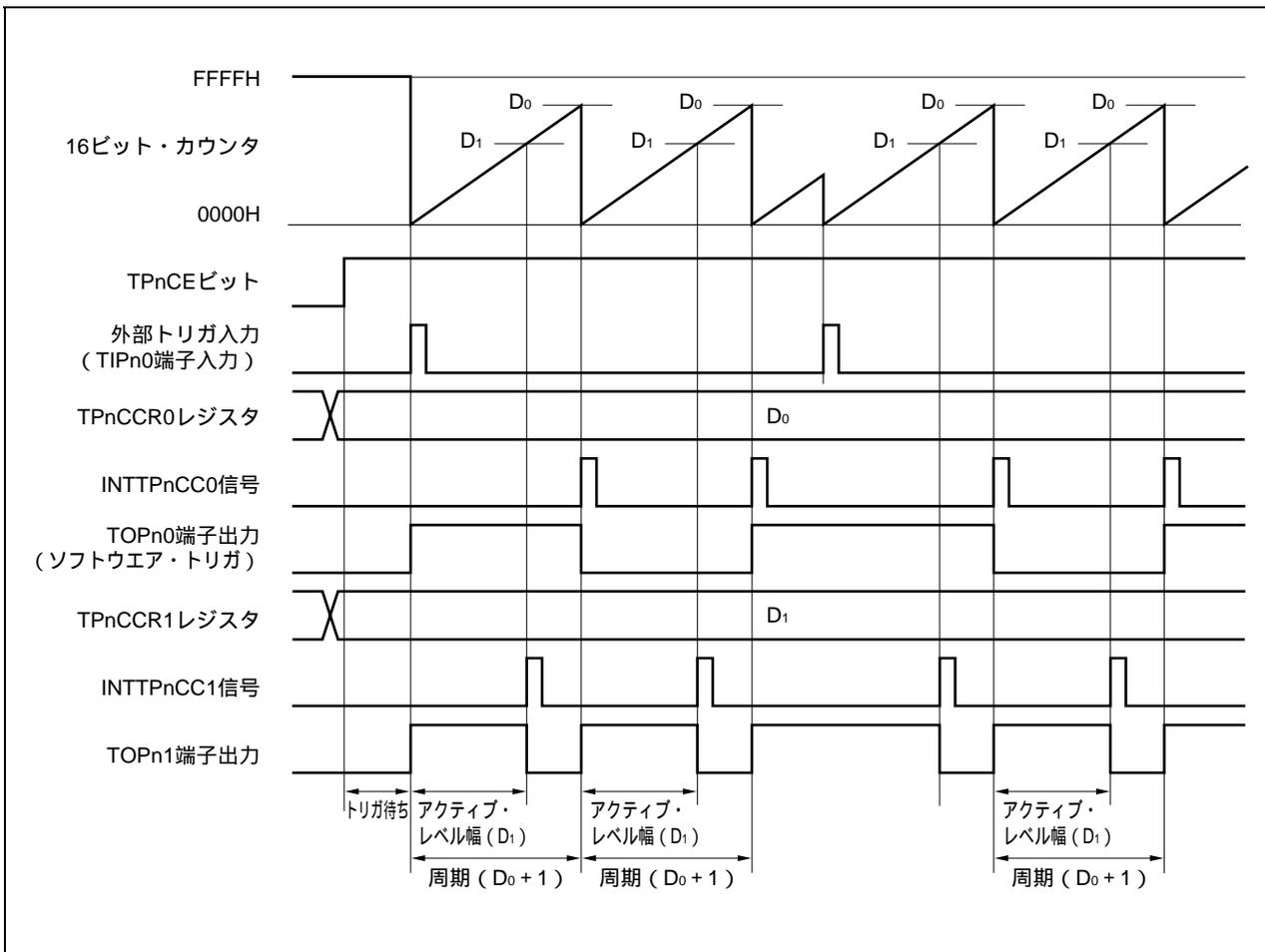


図7-17 外部トリガ・パルス出力モードの基本タイミング



TPnCEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPn1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

コンパレー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

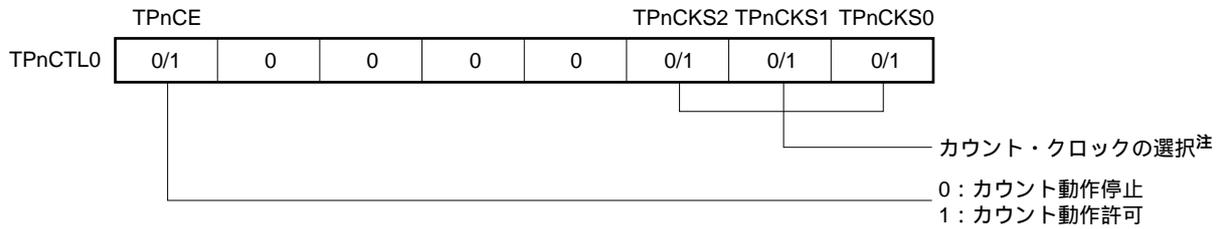
TPnCCRmレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TPnCTL1.TPnESTビット) のセット (1) があります。

備考 n = 0-3, m = 0, 1

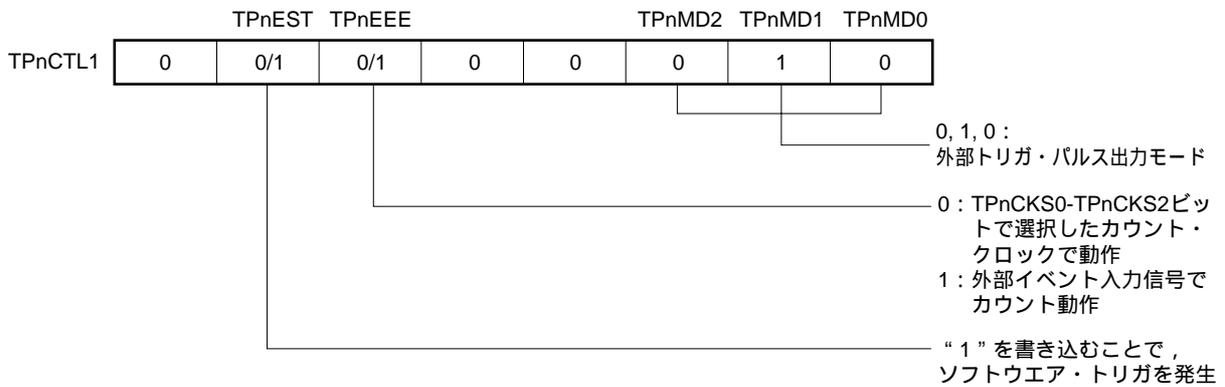
図7-18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

(a) TMPn制御レジスタ0 (TPnCTL0)

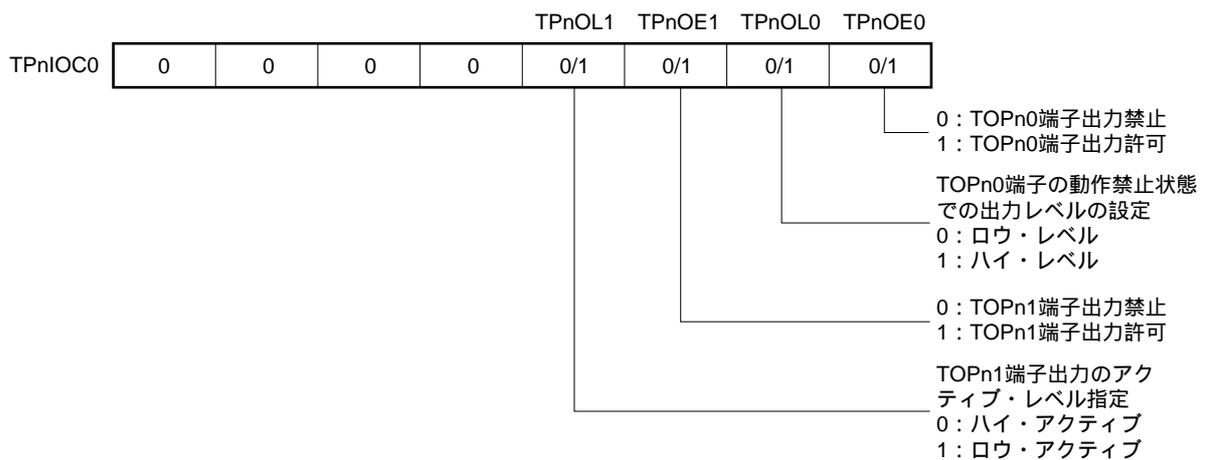


注 TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

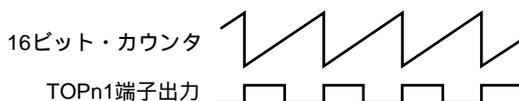
(b) TMPn制御レジスタ1 (TPnCTL1)



(c) TMPnI/O制御レジスタ0 (TPnIOC0)



・ TPnOL1ビット = 0の場合



・ TPnOL1ビット = 1の場合

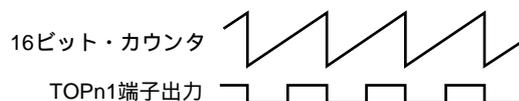
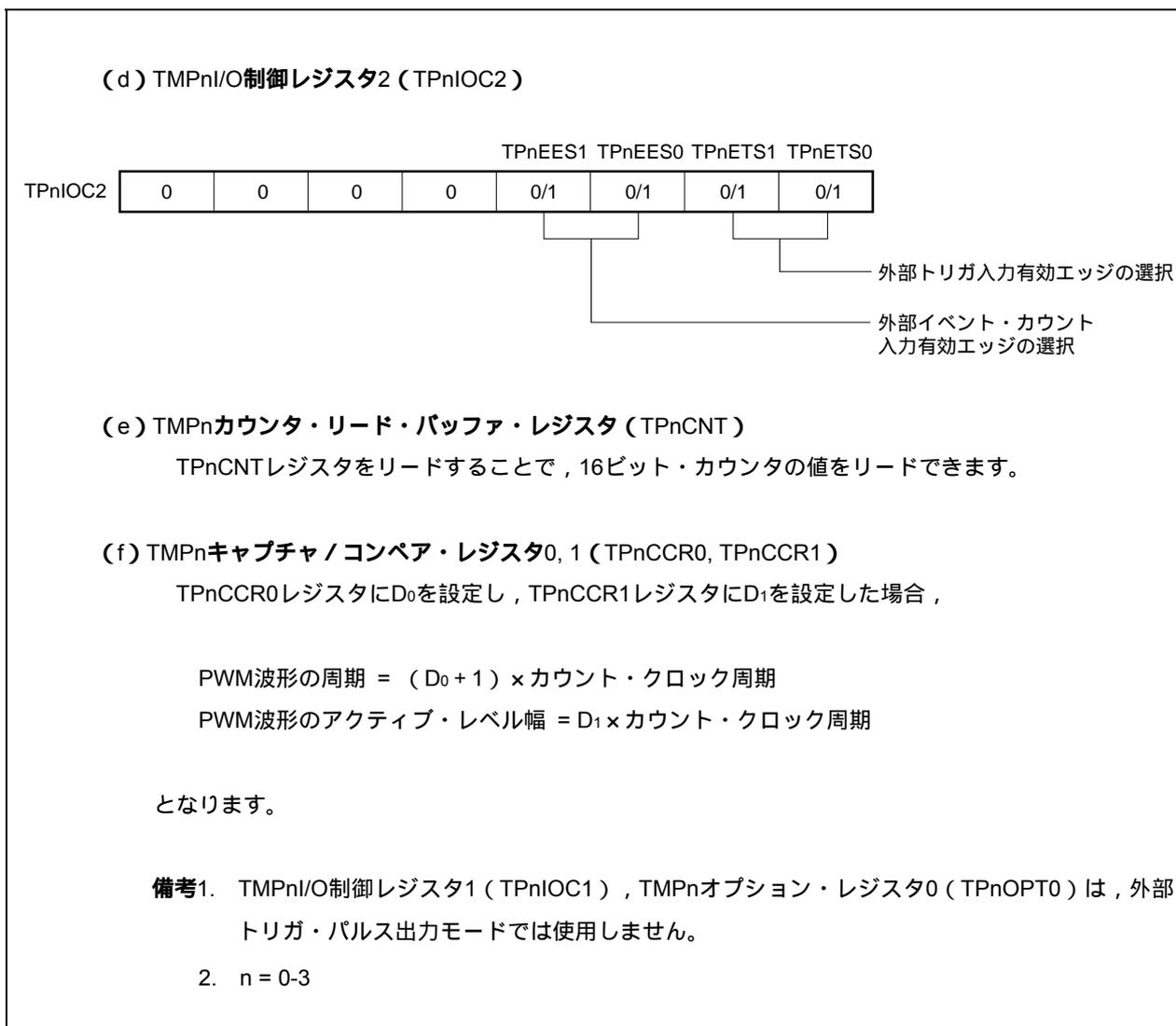


図7 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) 外部トリガ・パルス出力モード動作フロー

図7-19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

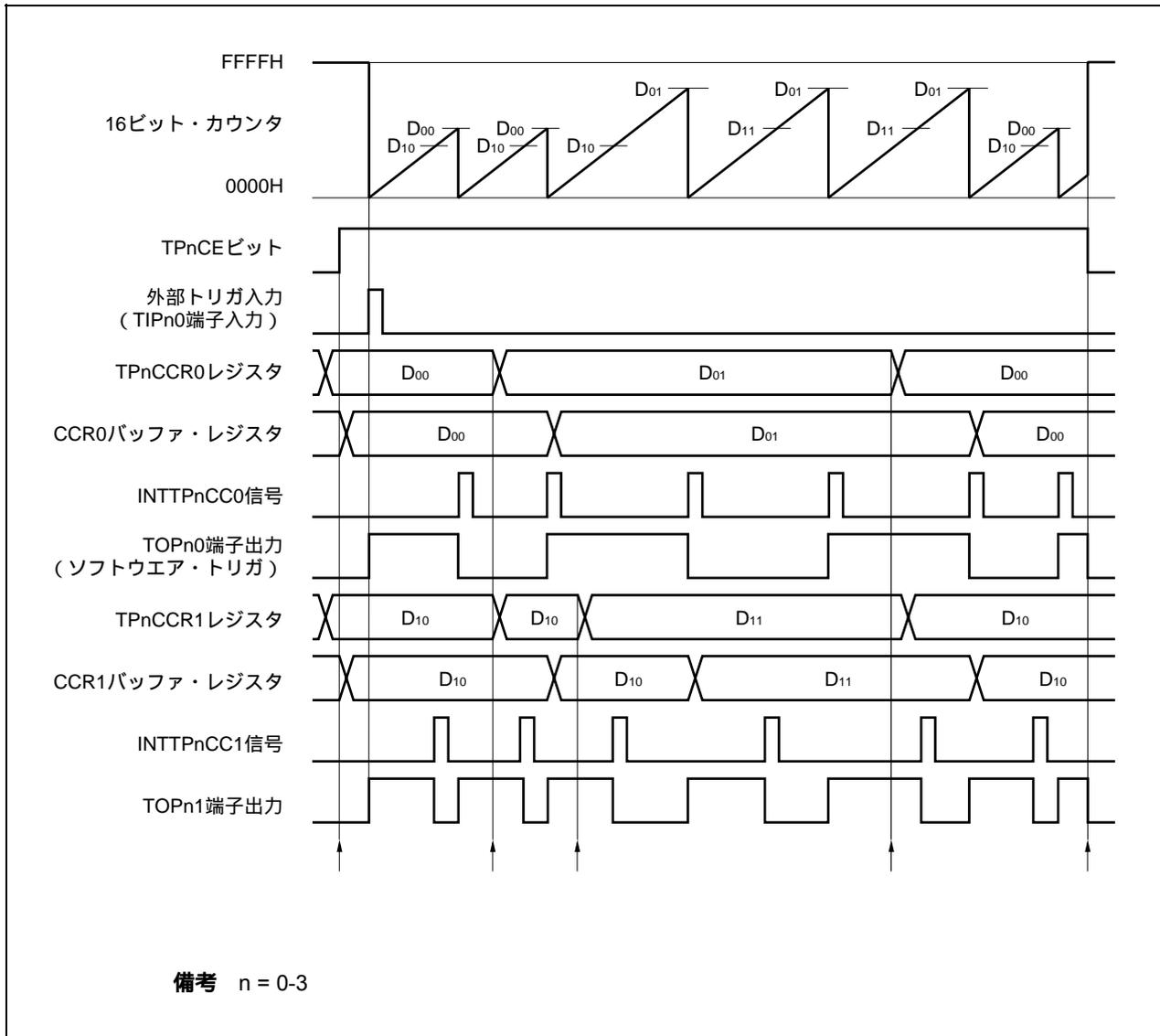
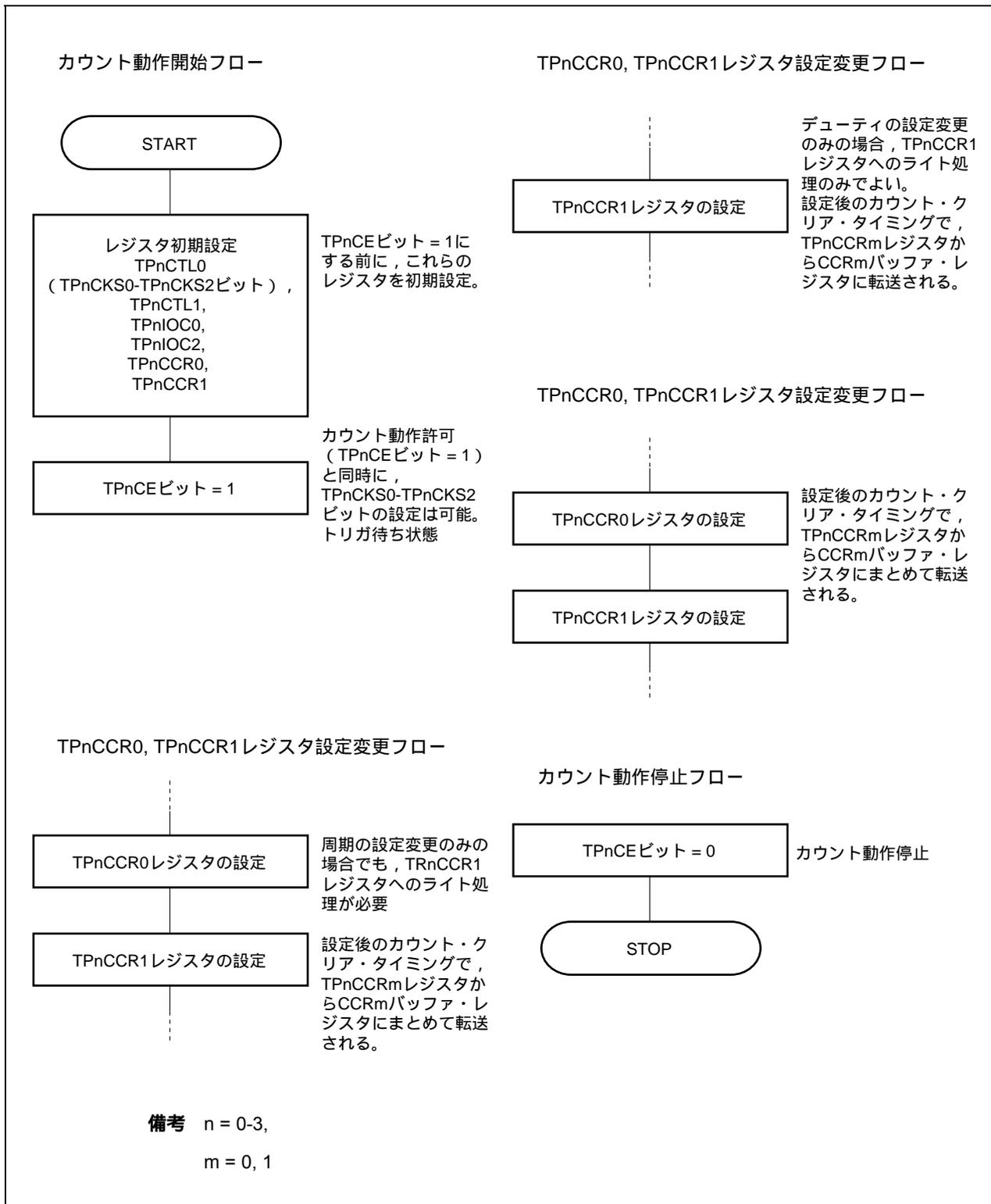


図7 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

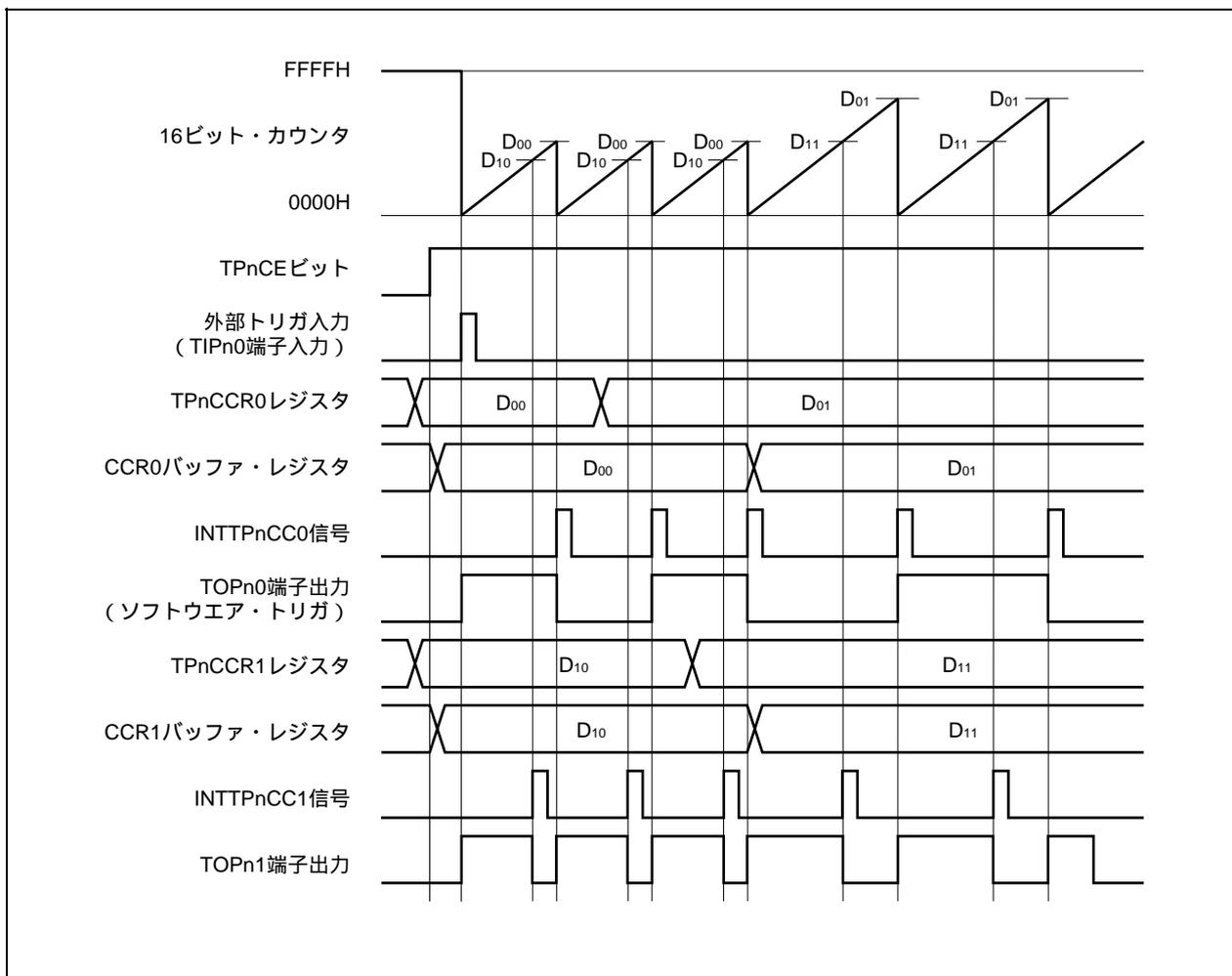


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。



TPnCCRMレジスタからCCRMバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRMレジスタに書き込まれた値がCCRMバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

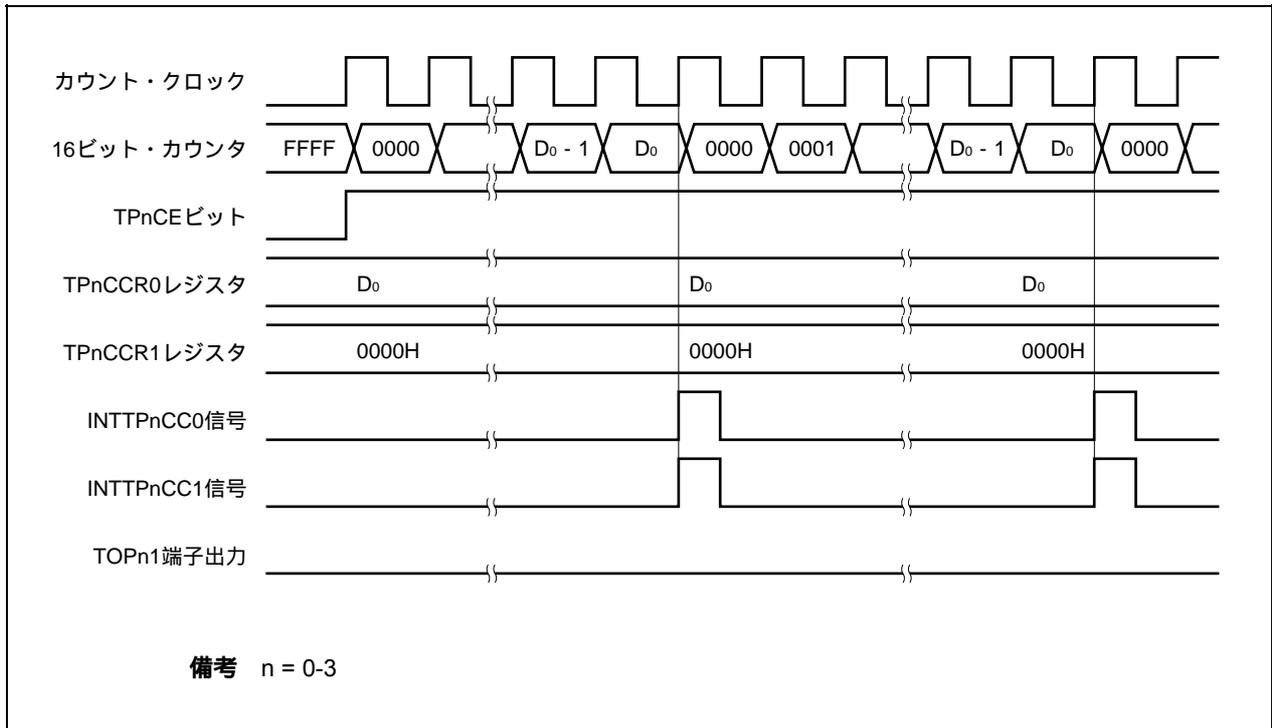
また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRMレジスタからCCRMバッファ・レジスタへのデータ転送タイミングと、TPnCCRMレジスタの書き換えの競合により、CCRMバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-3,

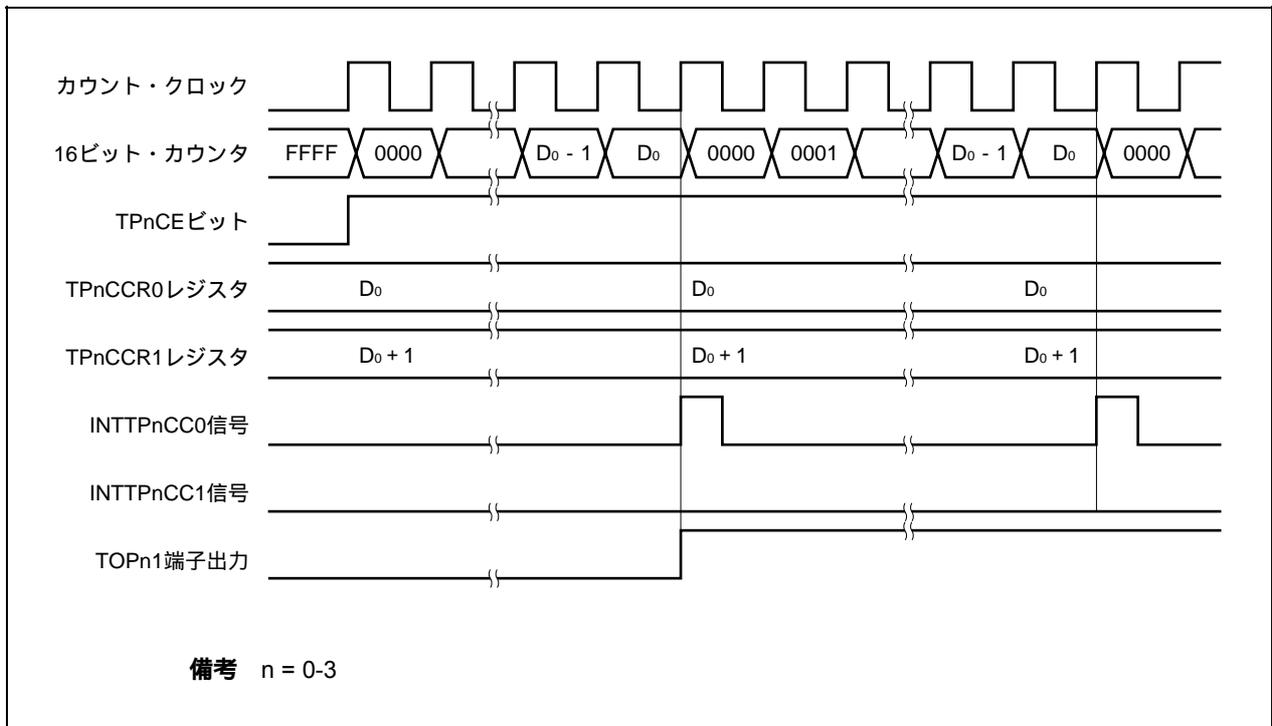
m = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TPnCCR1レジスタに対して0000Hを設定します。ただし, TPnCCR0レジスタの設定値がFFFFHの場合には, INTTPnCC1信号が定期的が発生します。

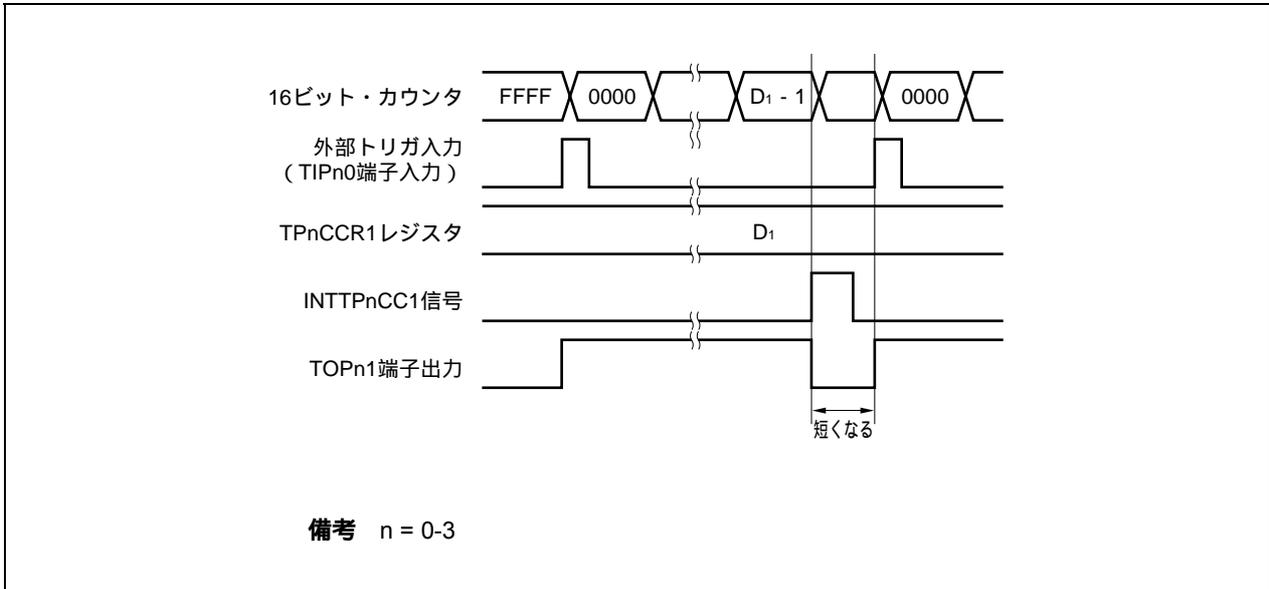


100 % 波形を出力するためには, TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。

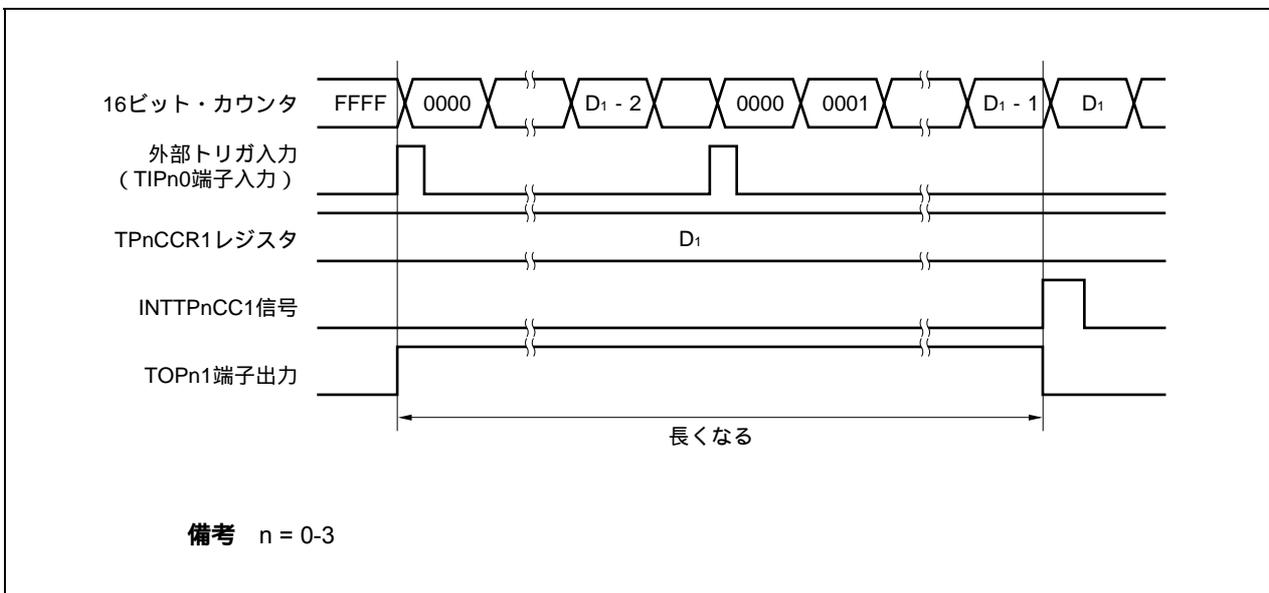


(c) トリガ検出とTPnCCR1レジスタとの一致の競合

INTTPnCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

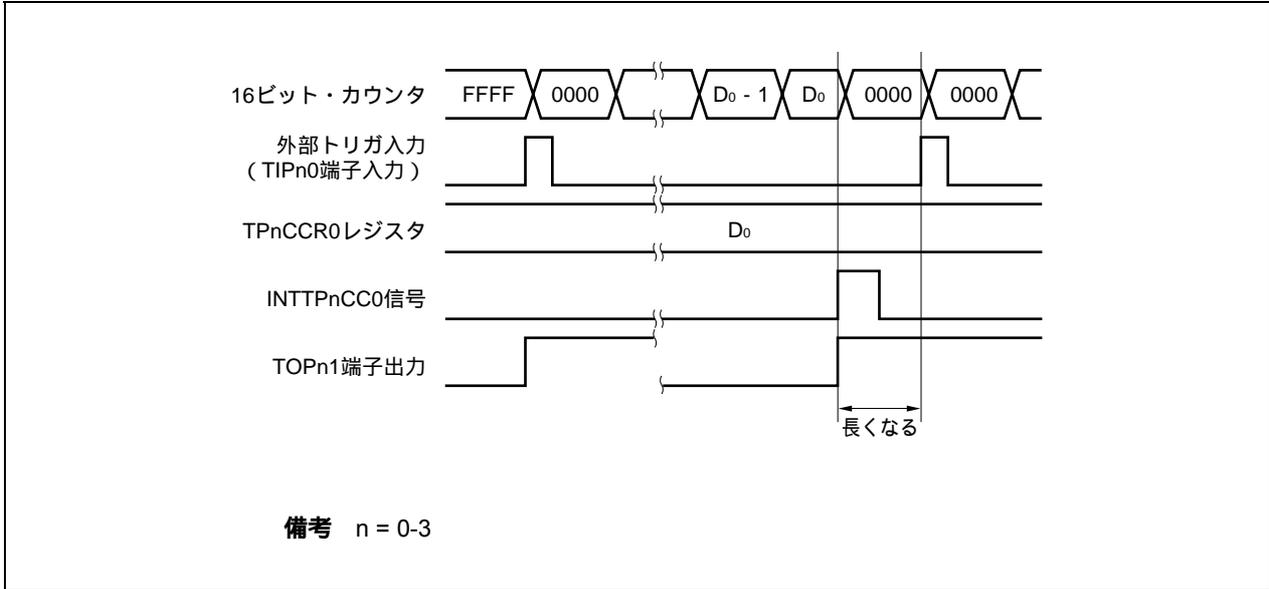


INTTPnCC1信号発生直前にトリガを検出した場合には、INTTPnCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOPn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

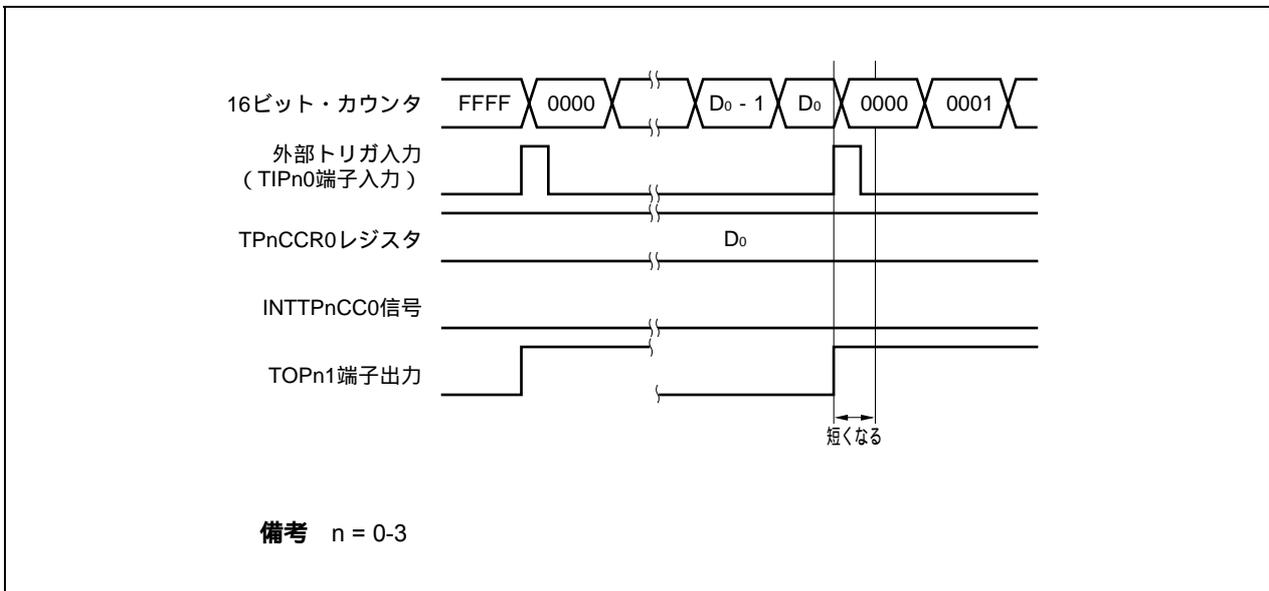


(d) トリガ検出とTPnCCR0レジスタとの一致の競合

INTTPnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOPn1端子出力のアクティブ期間が、INTTPnCC0信号発生からトリガ検出までの分だけ長くなります。

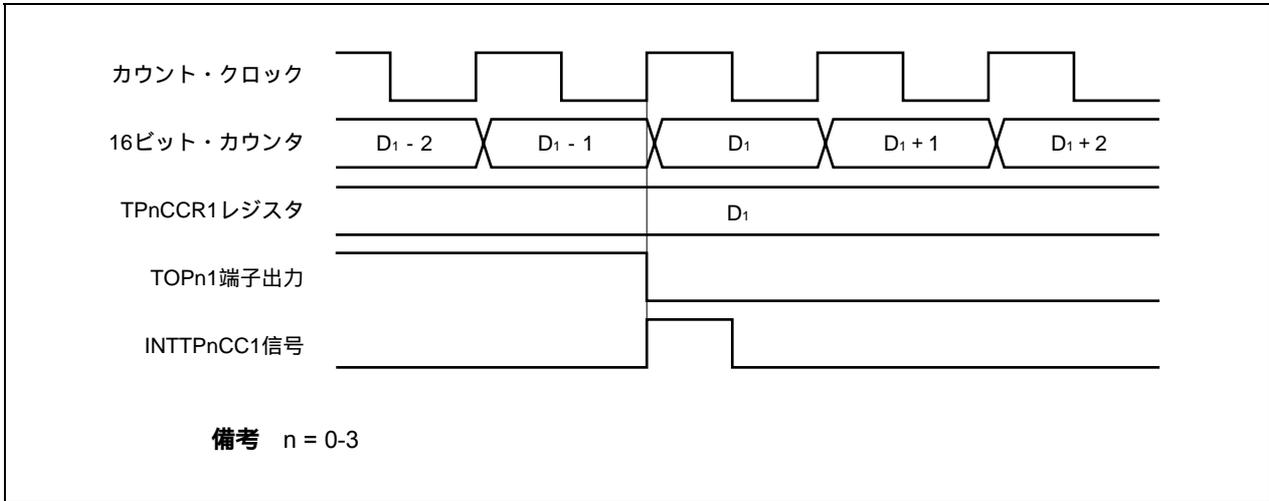


INTTPnCC0信号発生直前にトリガを検出した場合、INTTPnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0 = 011)

ワンショット・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOPn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図7-20 ワンショット・パルス出力モードの構成図

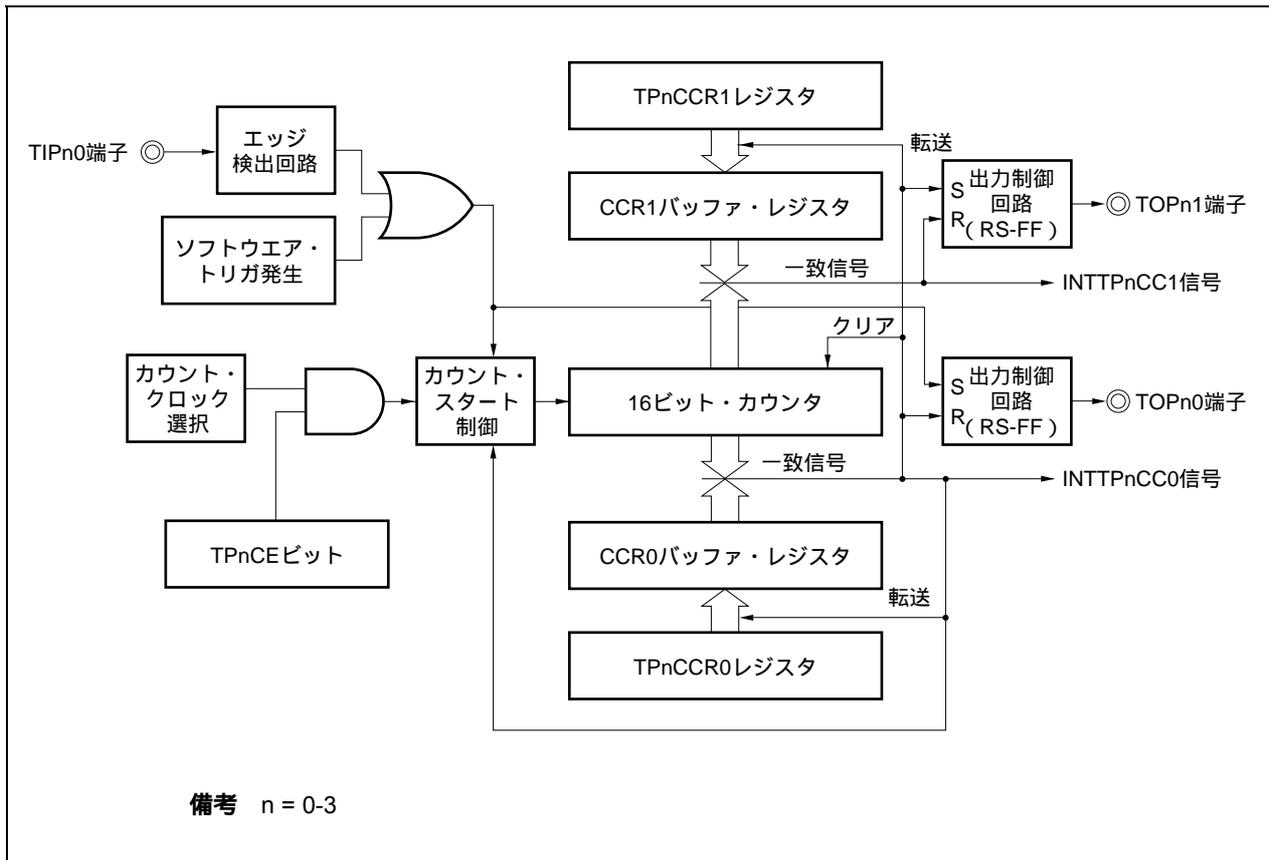
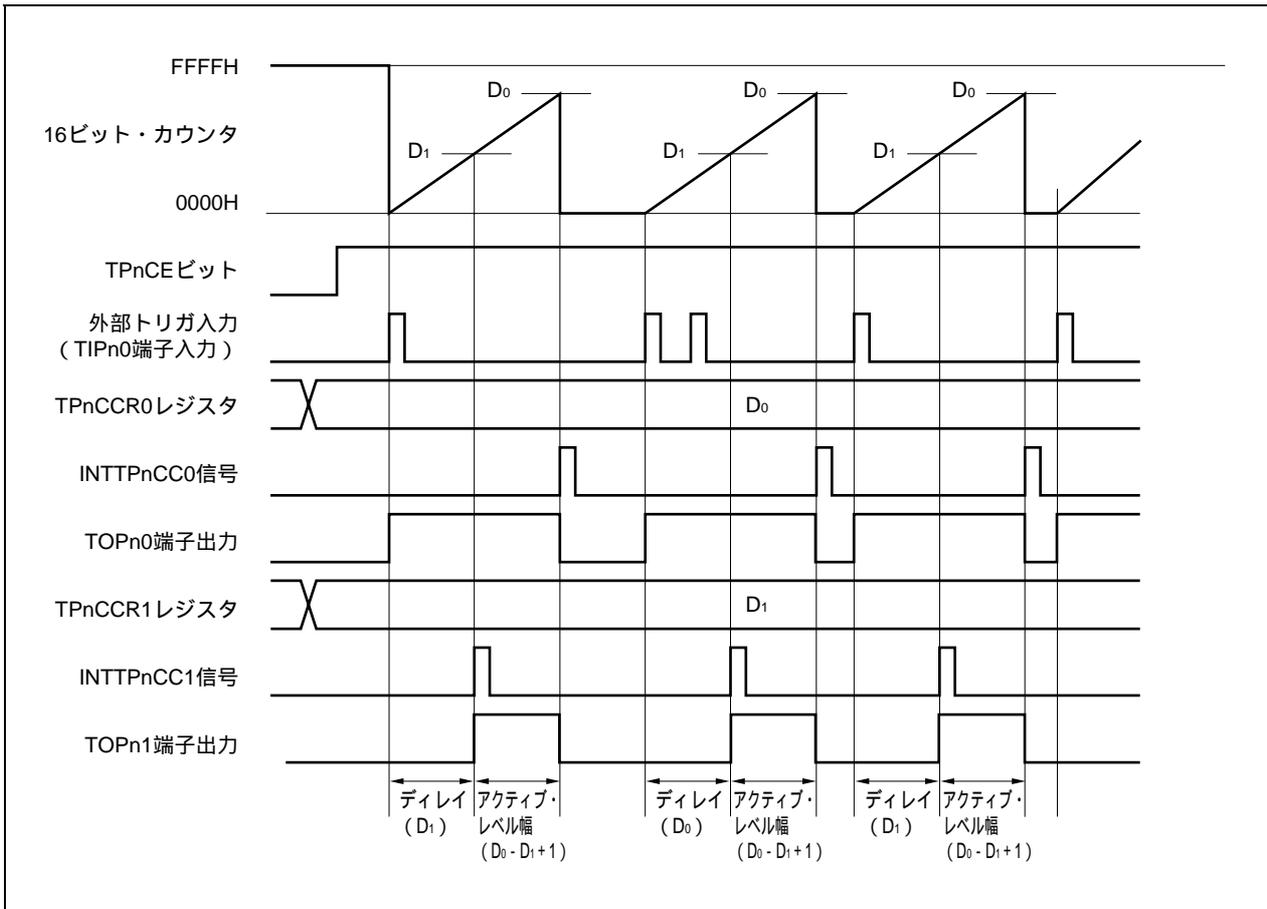


図7-21 ワンショット・パルス出力モードの基本タイミング



TPnCEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPn1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタをFFFFHにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TPnCCR0レジスタの設定値} - \text{TPnCCR1レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

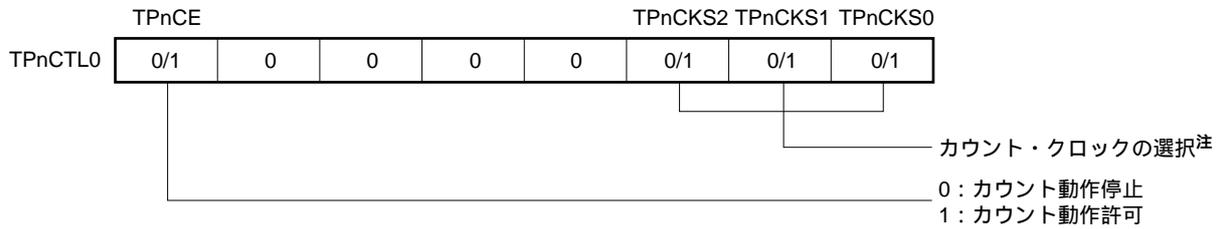
コンパレー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンパレー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TPnCTL1.TPnESTビット) のセット (1) があります。

備考 n = 0-3,
m = 0, 1

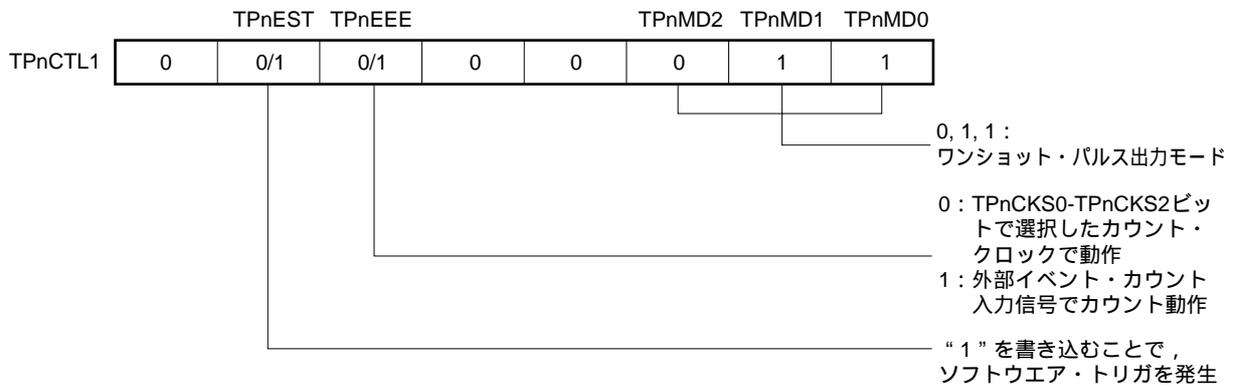
図7-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

(a) TMPn制御レジスタ0 (TPnCTL0)

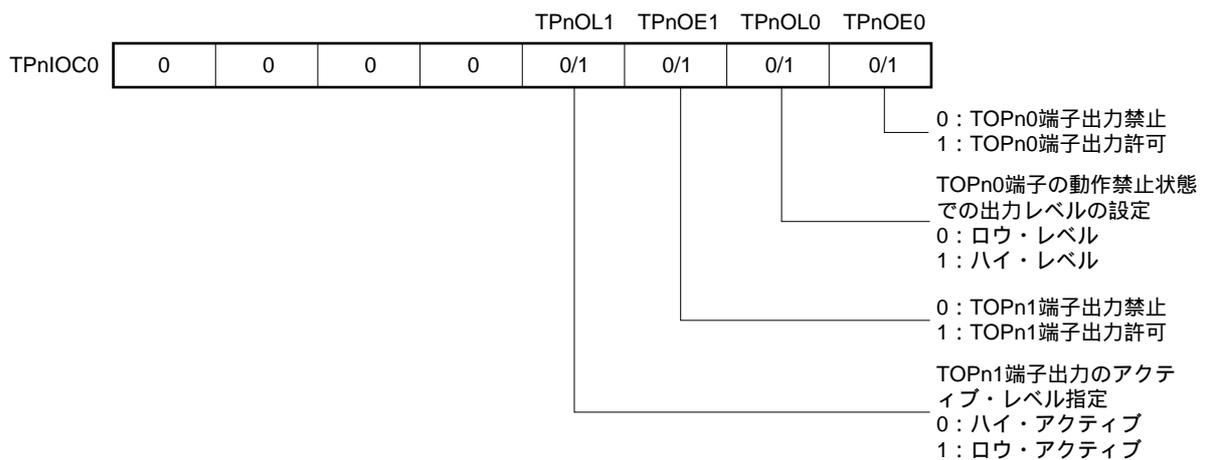


注 TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

(b) TMPn制御レジスタ1 (TPnCTL1)



(c) TMPnI/O制御レジスタ0 (TPnIOC0)



・ TPnOL1ビット = 0の場合



・ TPnOL1ビット = 1の場合

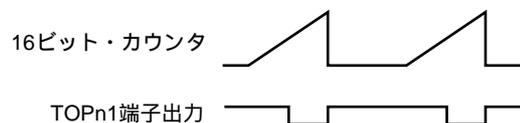
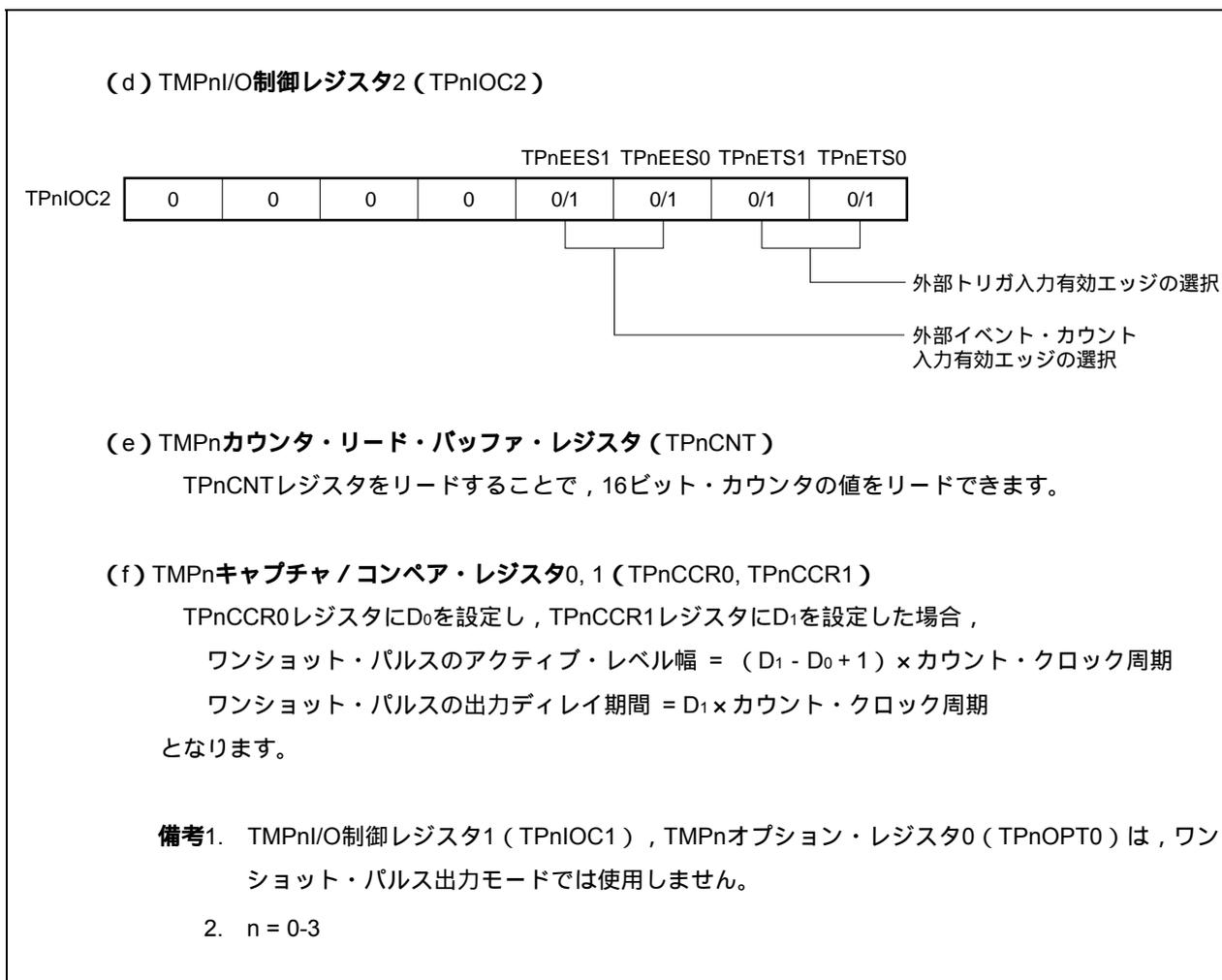
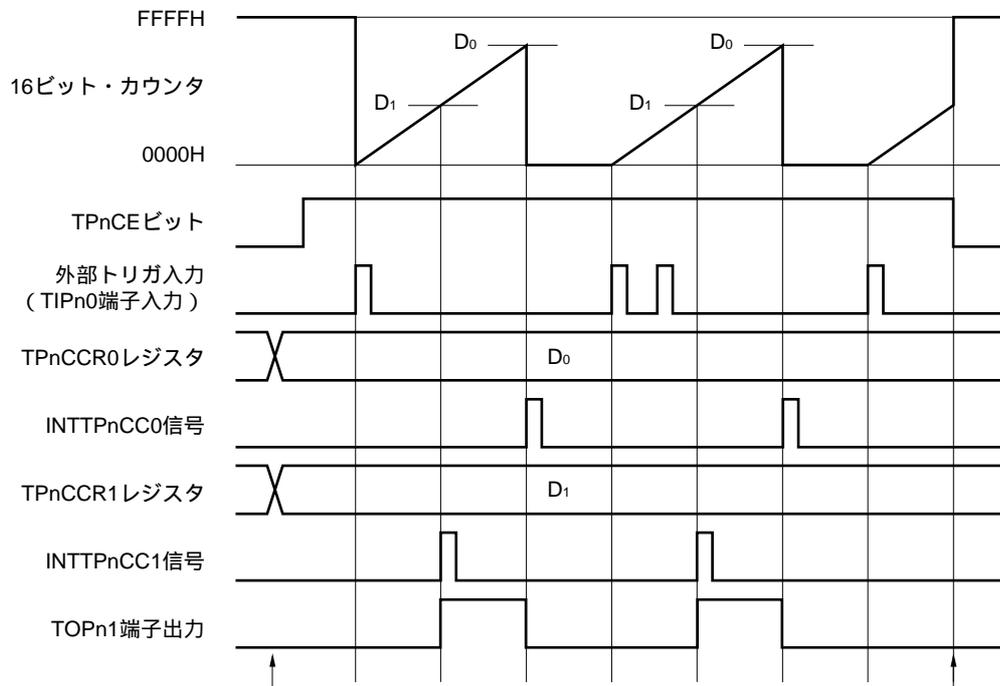


図7 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

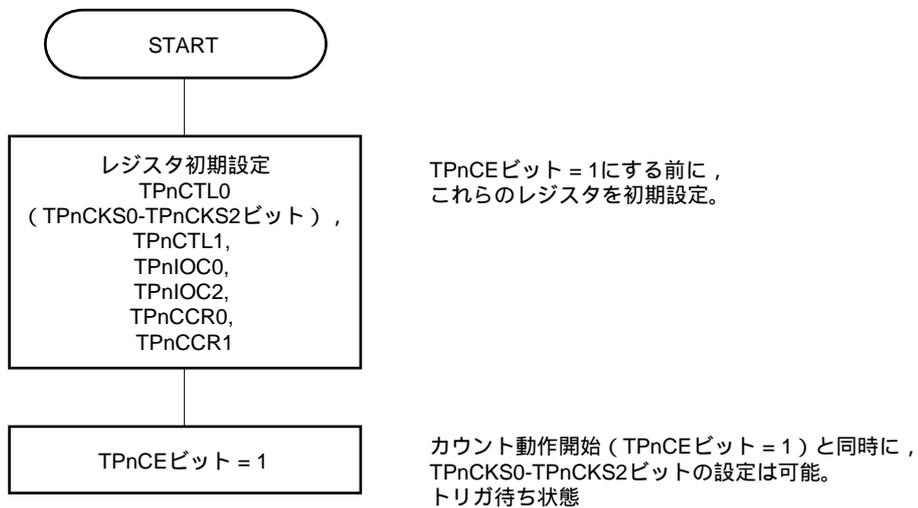


(1) ワンショット・パルス出力モード動作フロー

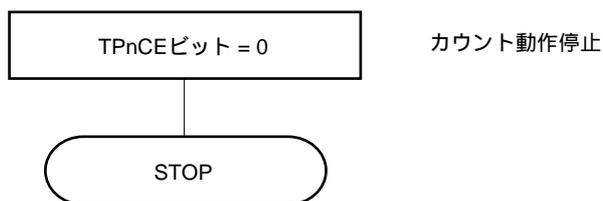
図7-23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



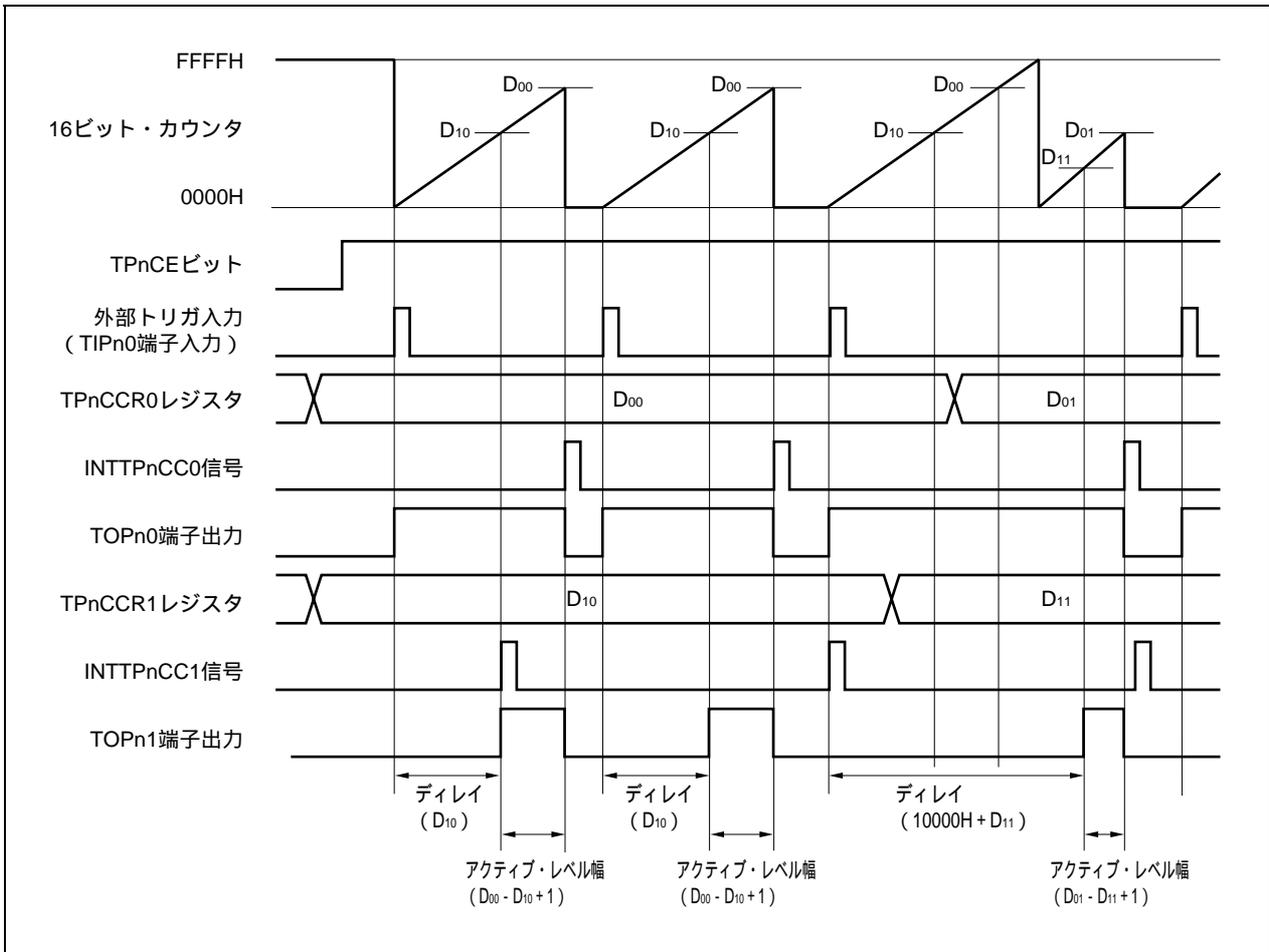
備考 n = 0-3

(2) ワンショット・パルス出力モード動作タイミング

(a) TPnCCRmレジスタの書き換えに関する注意事項

TPnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCRmレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。



TPnCCR0レジスタをD00からD01に、TPnCCR1レジスタをD10からD11に書き換える場合において、 $D_{00} > D_{01}$ 、 $D_{10} > D_{11}$ の状態では、16ビット・カウンタのカウンタ値がD11よりも大きくD10よりも小さい状態のときTPnCCR1レジスタを書き換え、カウンタ値がD01よりも大きくD00よりも小さい状態でTPnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウンタ値と比較されるために、カウンタ値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D11との一致でINTTPnCC1信号を発生してTOPn1端子出力をアクティブ・レベルにし、D01との一致でINTTPnCC0信号を発生してTOPn1端子出力をインアクティブにしてカウント動作を停止します。

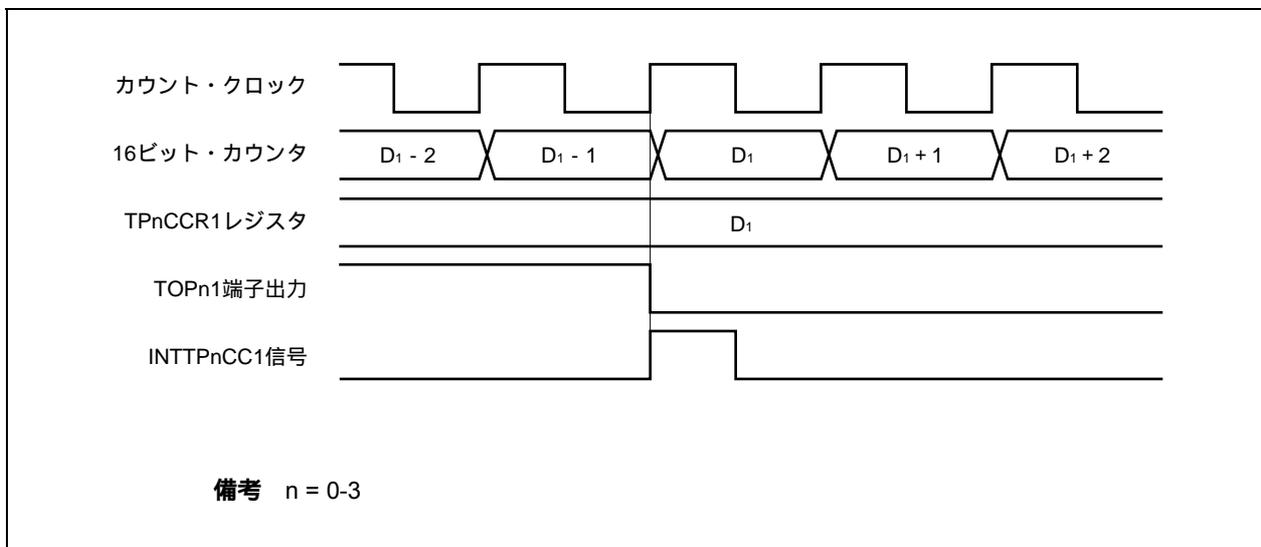
したがって、本来期待しているワンショット・パルス出力に対し、遅延期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 n = 0-3,

m = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 n = 0-3

7.5.5 PWM出力モード (TPnMD2-TPnMD0 = 100)

PWM出力モードは、TPnCTL0.TPnCEビットをセット(1)することで、TOPn1端子からPWM波形を出力します。

また、TOPn0端子から、PWM波形の1周期を半周期とするパルスを出力します。

図7-24 PWM出力モードの構成図

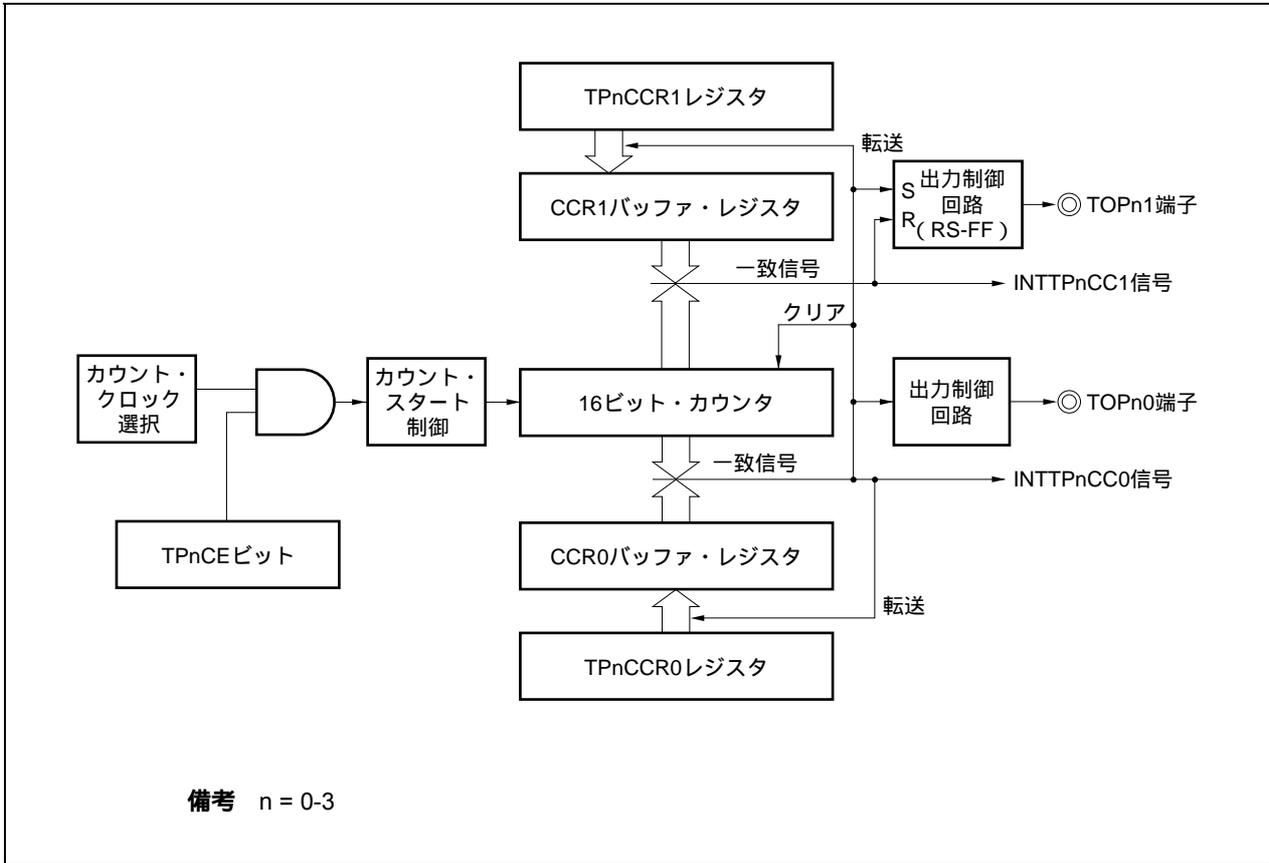
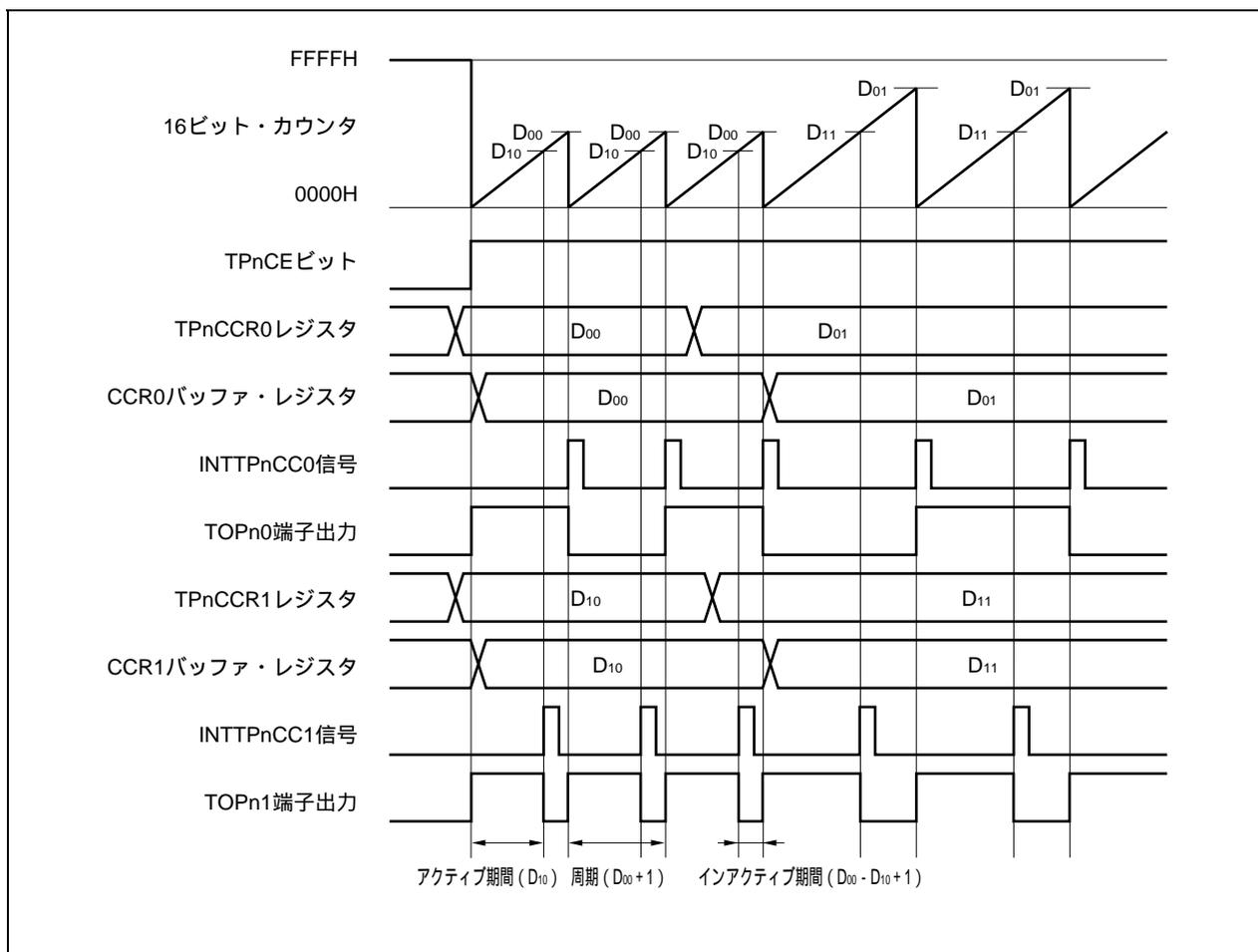


図7-25 PWM出力モードの基本タイミング



TPnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

動作中にTPnCCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRmレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

備考 n = 0-3, m = 0, 1

図7 - 26 PWM出力モード動作時のレジスタ設定内容 (1/2)

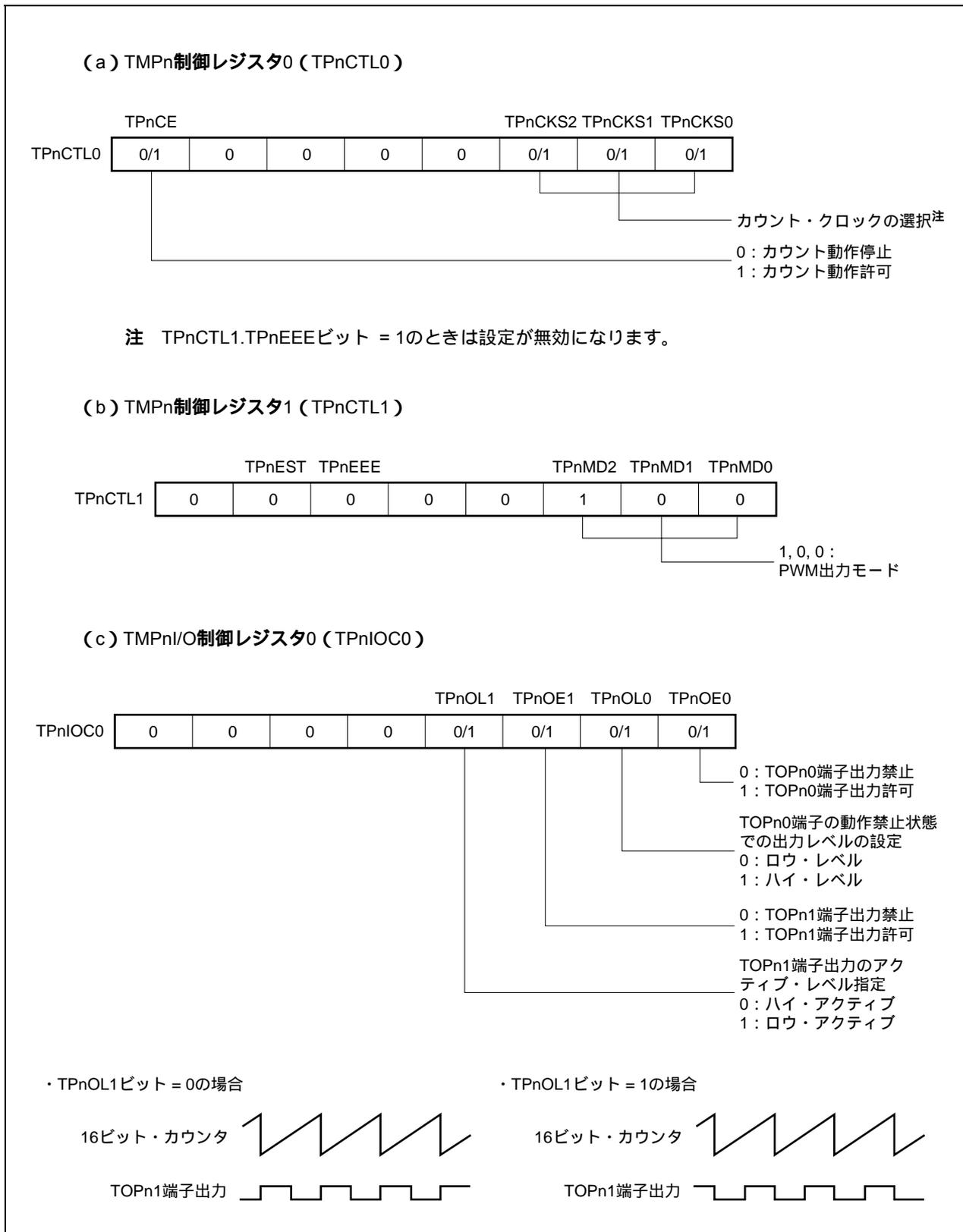
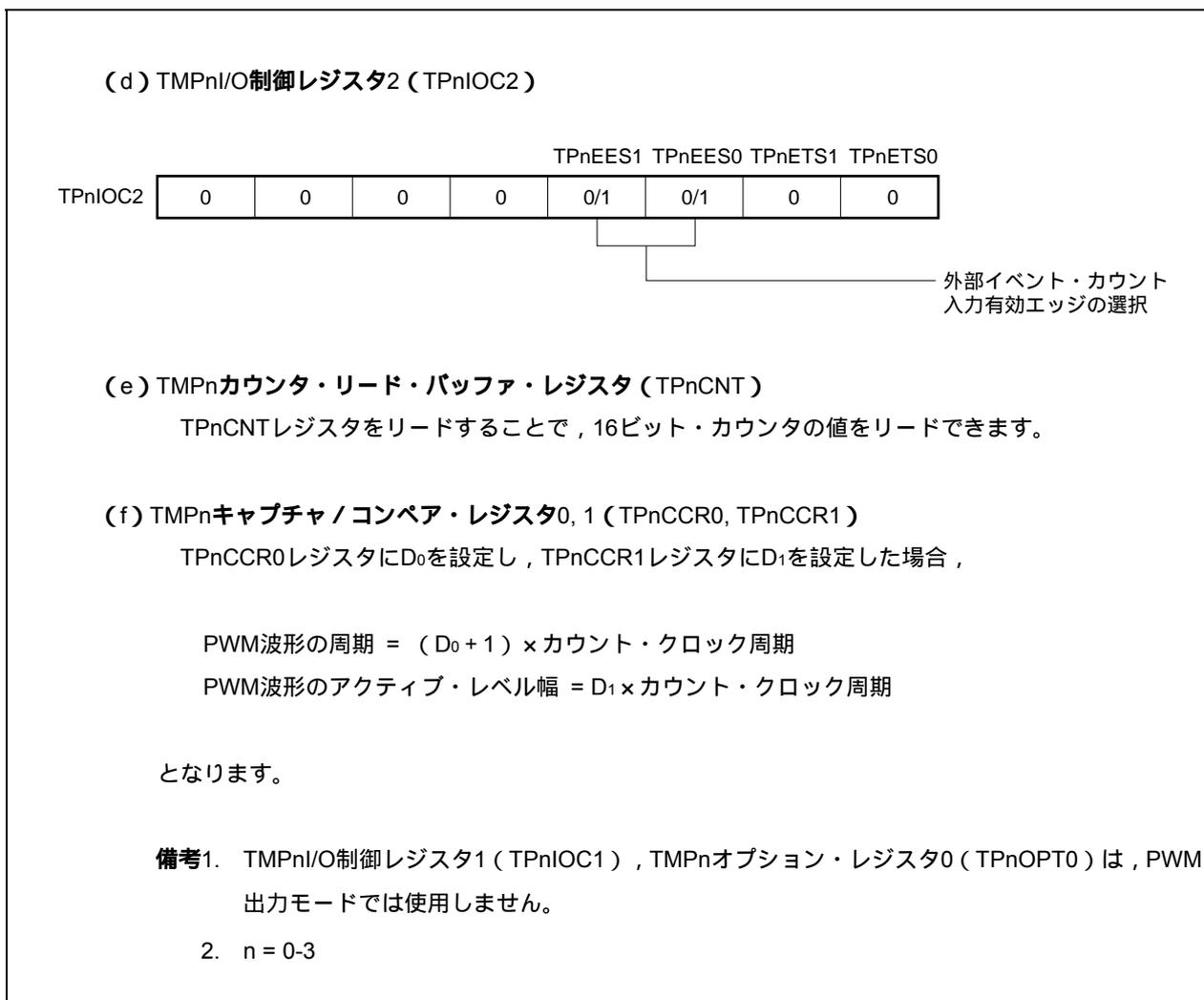
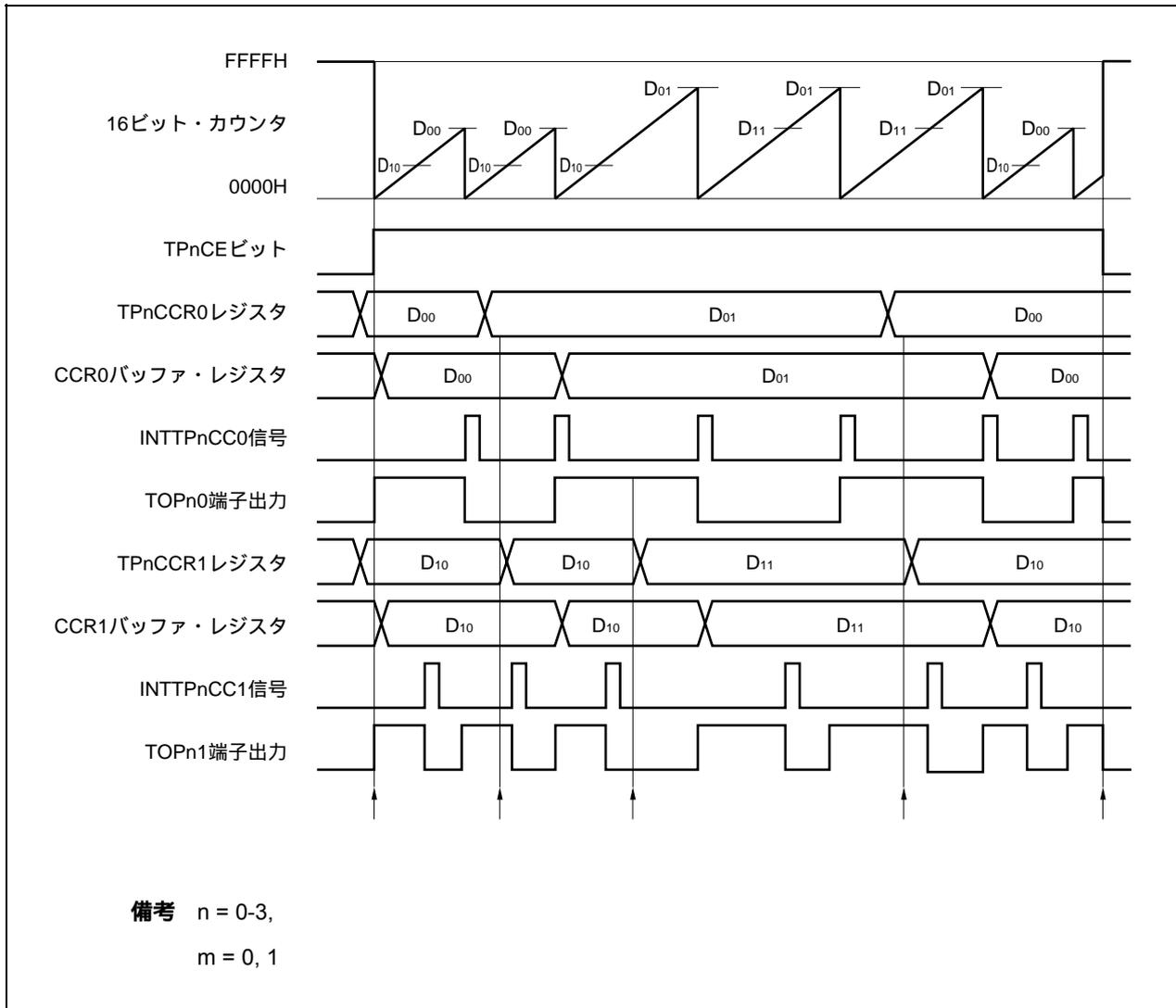


図7 - 26 PWM出力モード動作時のレジスタ設定内容 (2/2)



(1) PWM出力モード動作フロー

図7 - 27 PWM出力モード使用時のソフトウェア処理フロー (1/2)

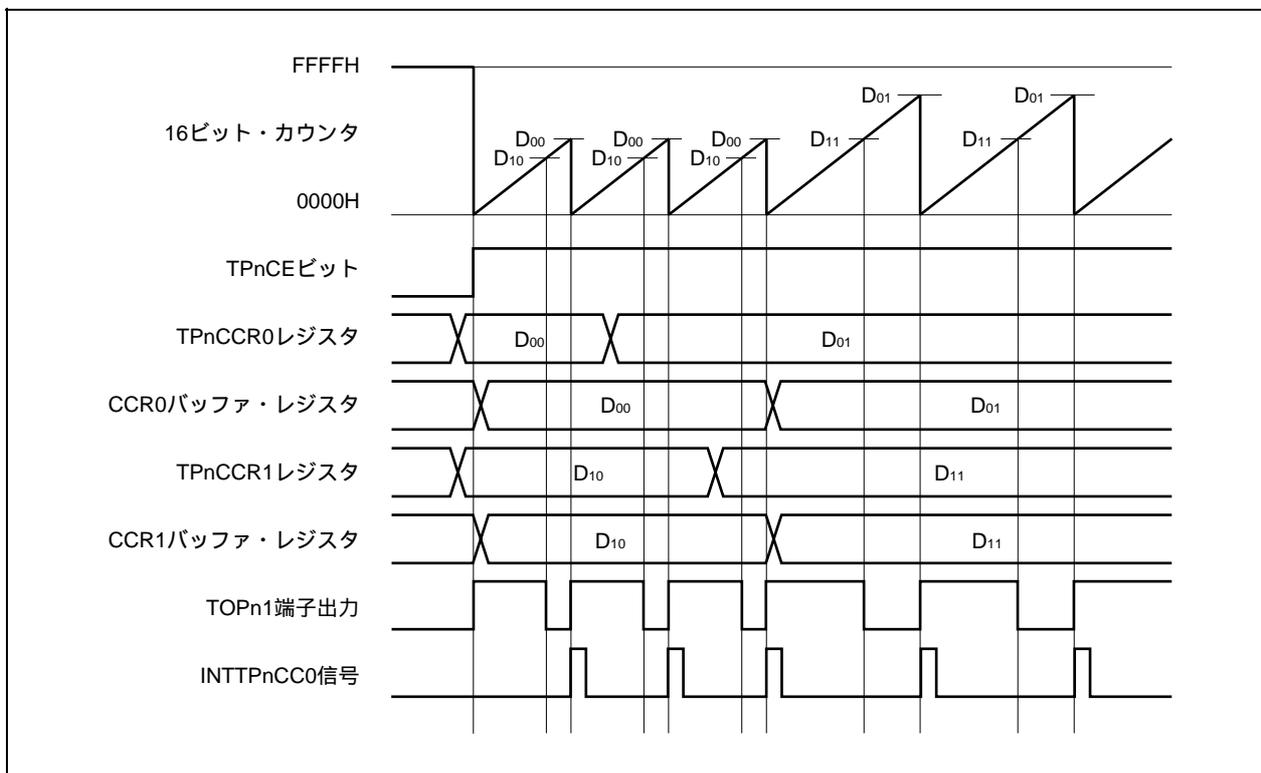


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnCC1信号を検出後に書き換えてください。



TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

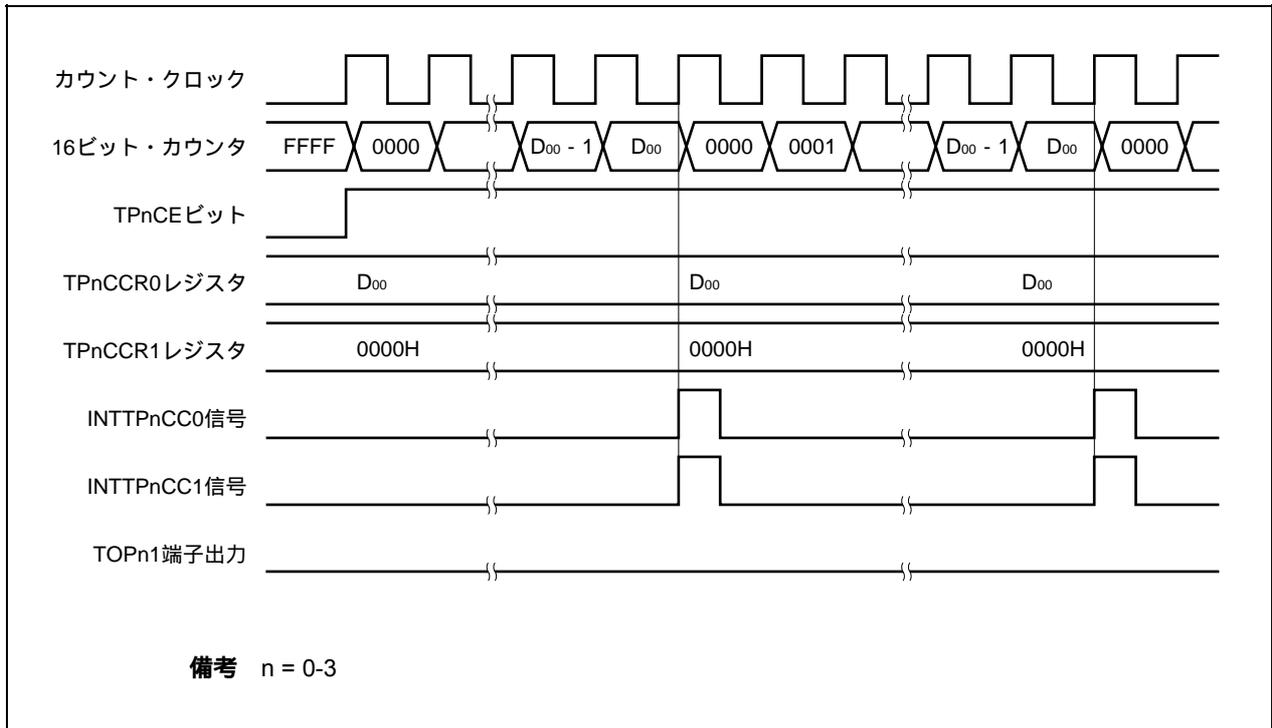
TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TPnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

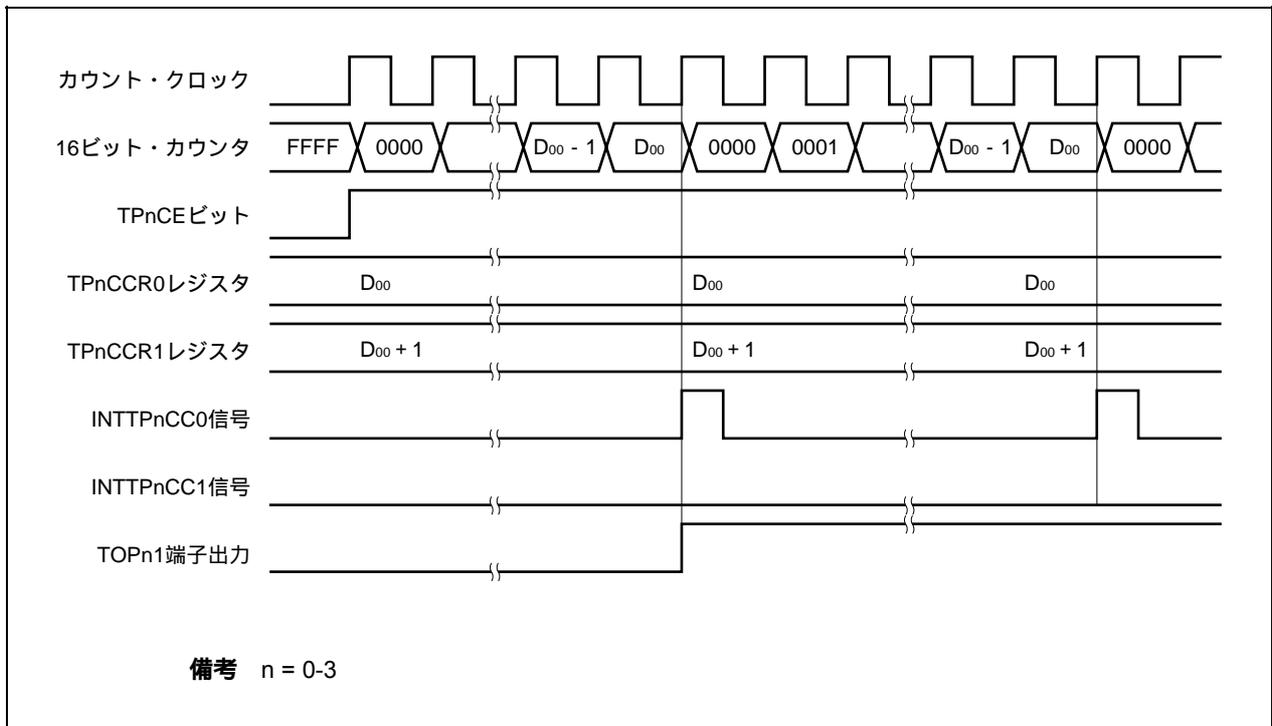
備考 $n = 0-3, m = 0, 1$

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TPnCCR1レジスタに対して0000Hを設定します。ただし, TPnCCR0レジスタの設定値がFFFFHの場合には, INTTPnCC1信号が定期的が発生します。

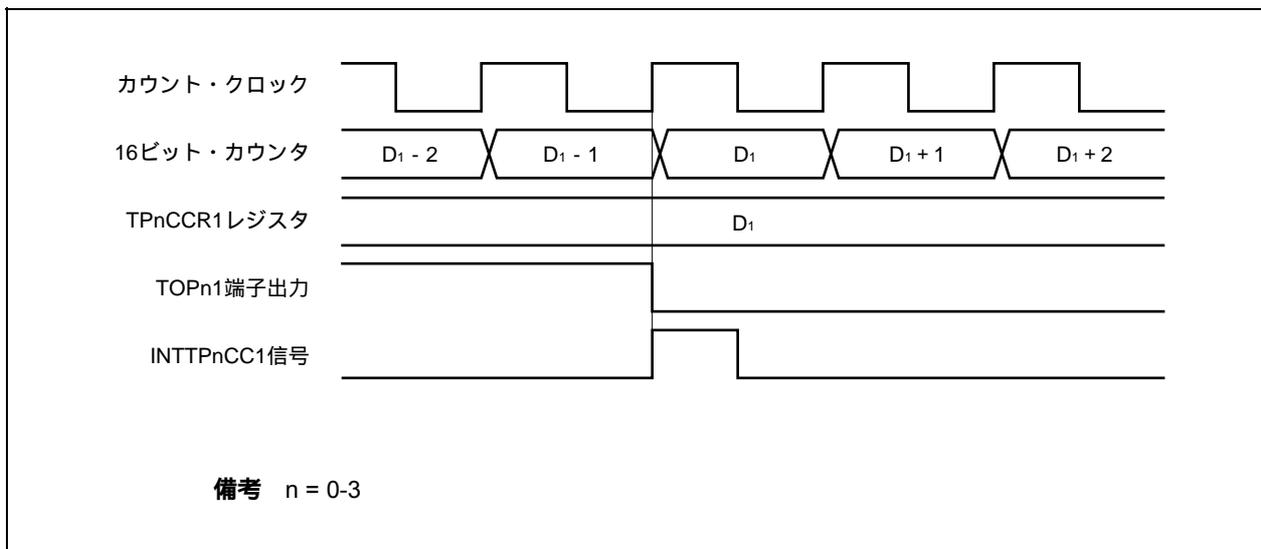


100 % 波形を出力するためには, TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値 + 1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

PWM出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時に発生します。



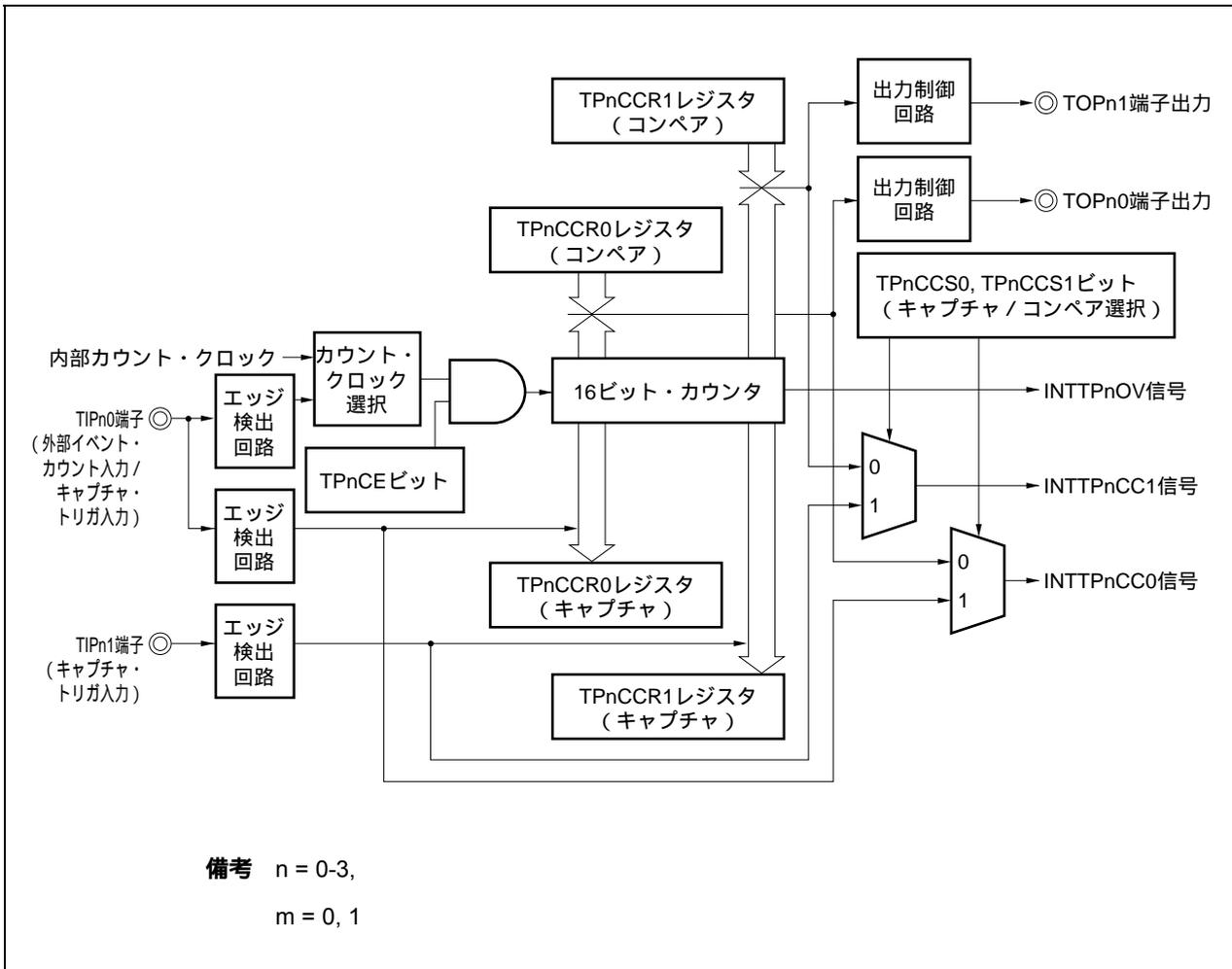
通常、INTTPnCC1信号は、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0 = 101)

フリー・ランニング・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始します。このときのTPnCCRMレジスタの動作は、TPnOPT0.TPnCCS0, TPnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-28 フリー・ランニング・タイマ・モードの構成図

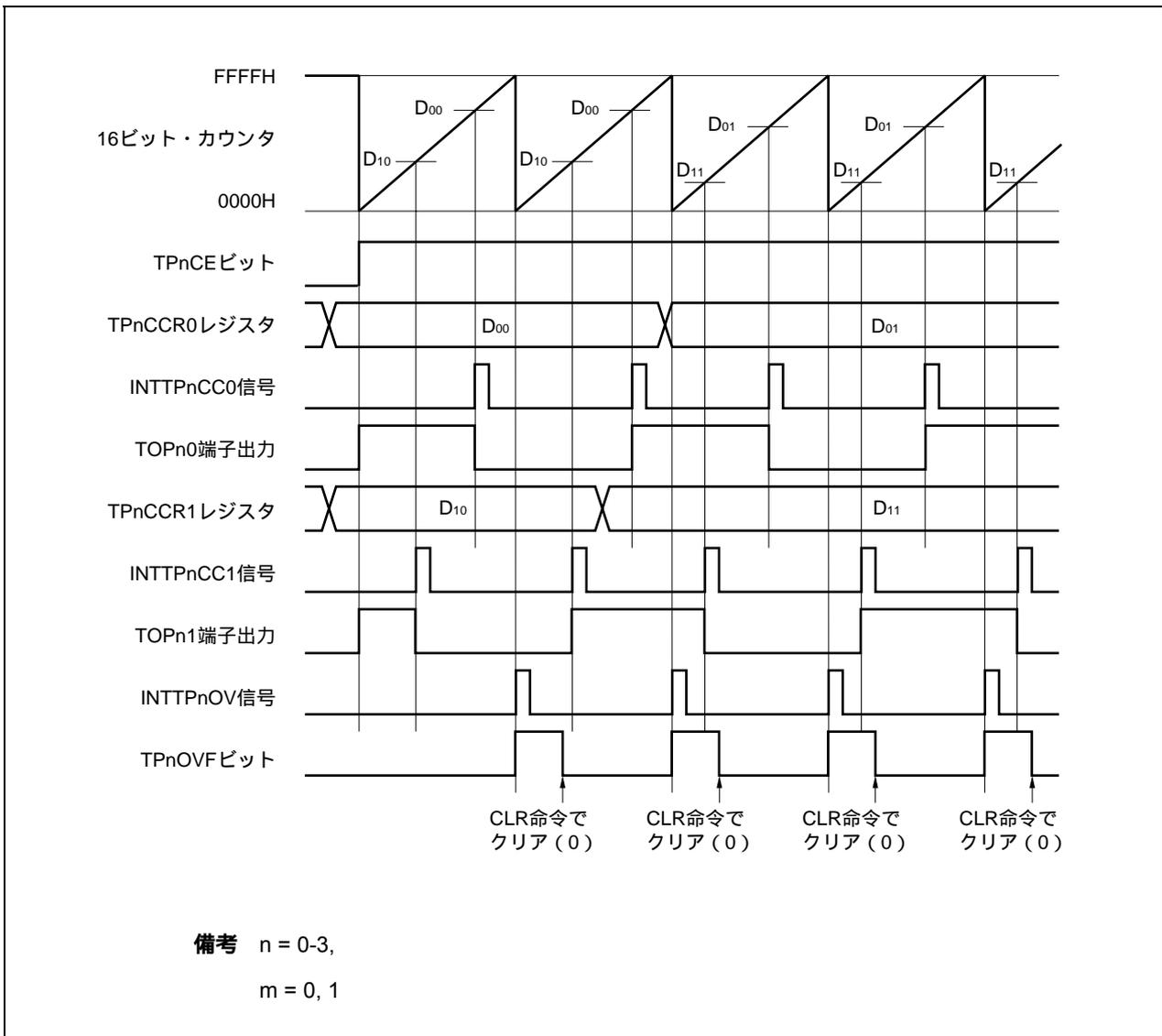


TPnCEビットをセット(1)することで、カウント動作を開始し、TOPn0, TOPn1端子出力を反転します。その後、16ビット・カウンタのカウント値とTPnCCRmレジスタの設定値が一致すると、コンペアー一致割り込み要求信号 (INTTPnCCm) を発生し、TOPnm端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTPnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TPnOPT0.TPnOVFビット) もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TPnCCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

図7 - 29 フリー・ランニング・タイマ・モードの基本タイミング (コンペアー機能)



TPnCEビットをセット(1)することで、カウント動作を開始します。その後、TIPnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、キャプチャ割り込み要求信号(INTTPnCCm)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

図7-30 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

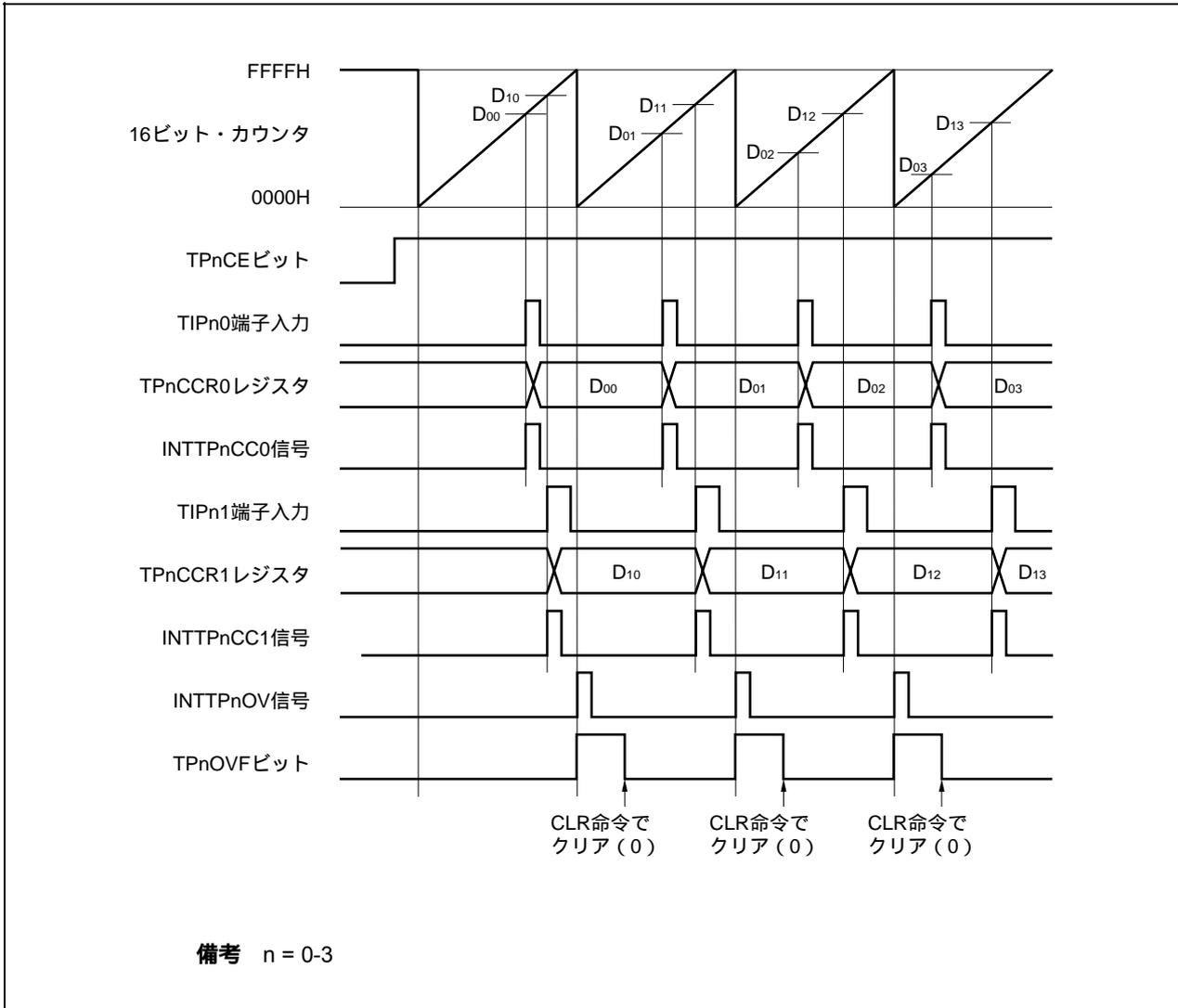
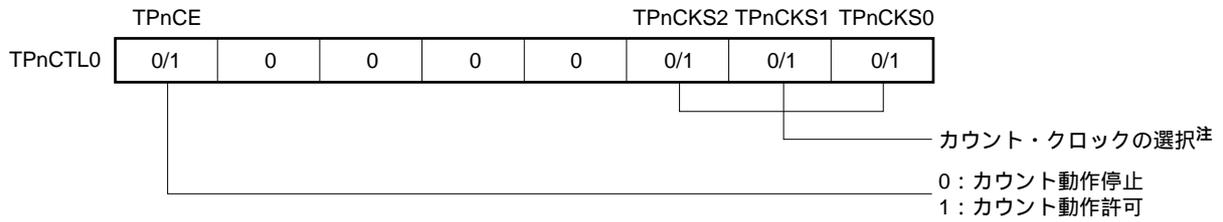


図7-31 フリー・ランニング・タイマモード動作時のレジスタ設定内容 (1/2)

(a) TMPn制御レジスタ0 (TPnCTL0)



注 TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

(b) TMPn制御レジスタ1 (TPnCTL1)



(c) TMPnI/O制御レジスタ0 (TPnIOC0)

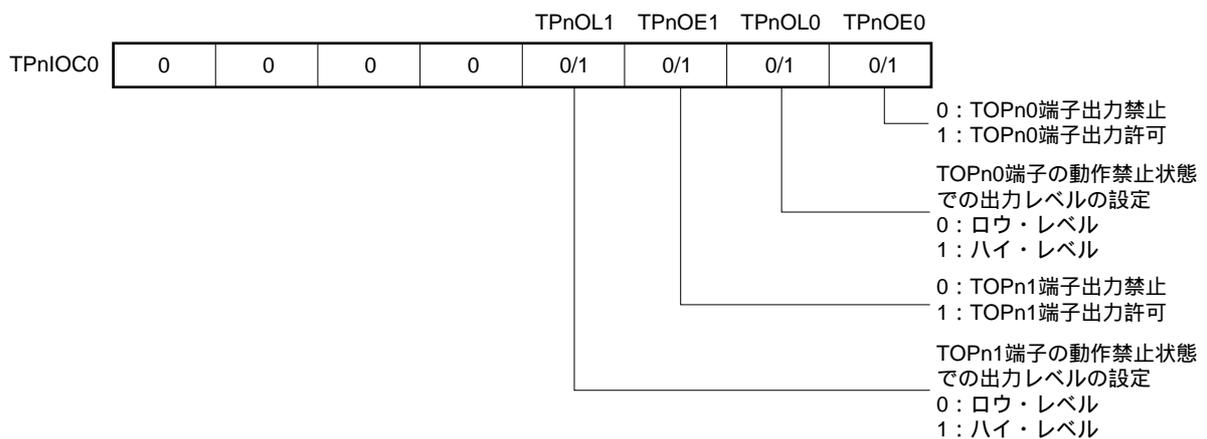
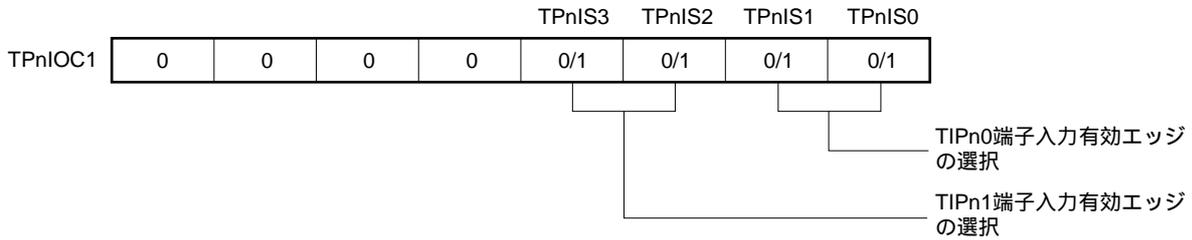
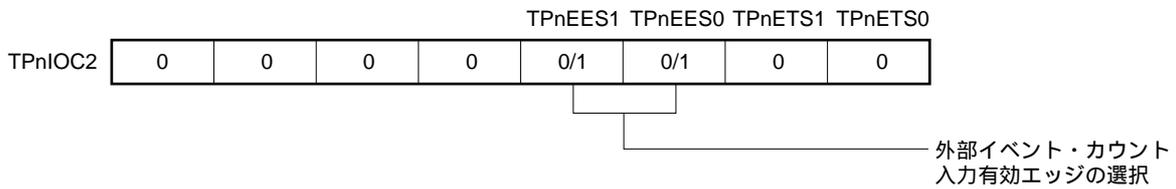


図7 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

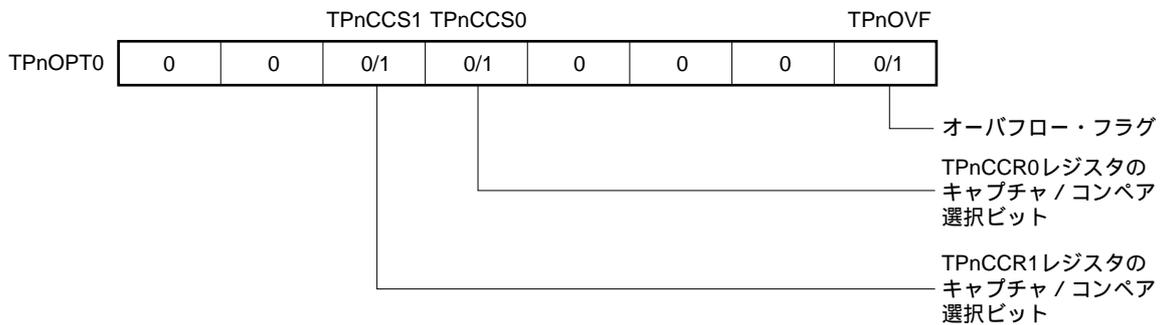
(d) TMPnI/O制御レジスタ1 (TPnIOC1)



(e) TMPnI/O制御レジスタ2 (TPnIOC2)



(f) TMPnオプション・レジスタ0 (TPnOPT0)



(g) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TPnOPT0.TPnCCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIPnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TPnCCRmレジスタにDmを設定した場合、カウンタが(Dm + 1)になるタイミングでINTTPnCCm信号を発生し、TOPnm端子出力を反転します。

備考 n = 0-3,
m = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

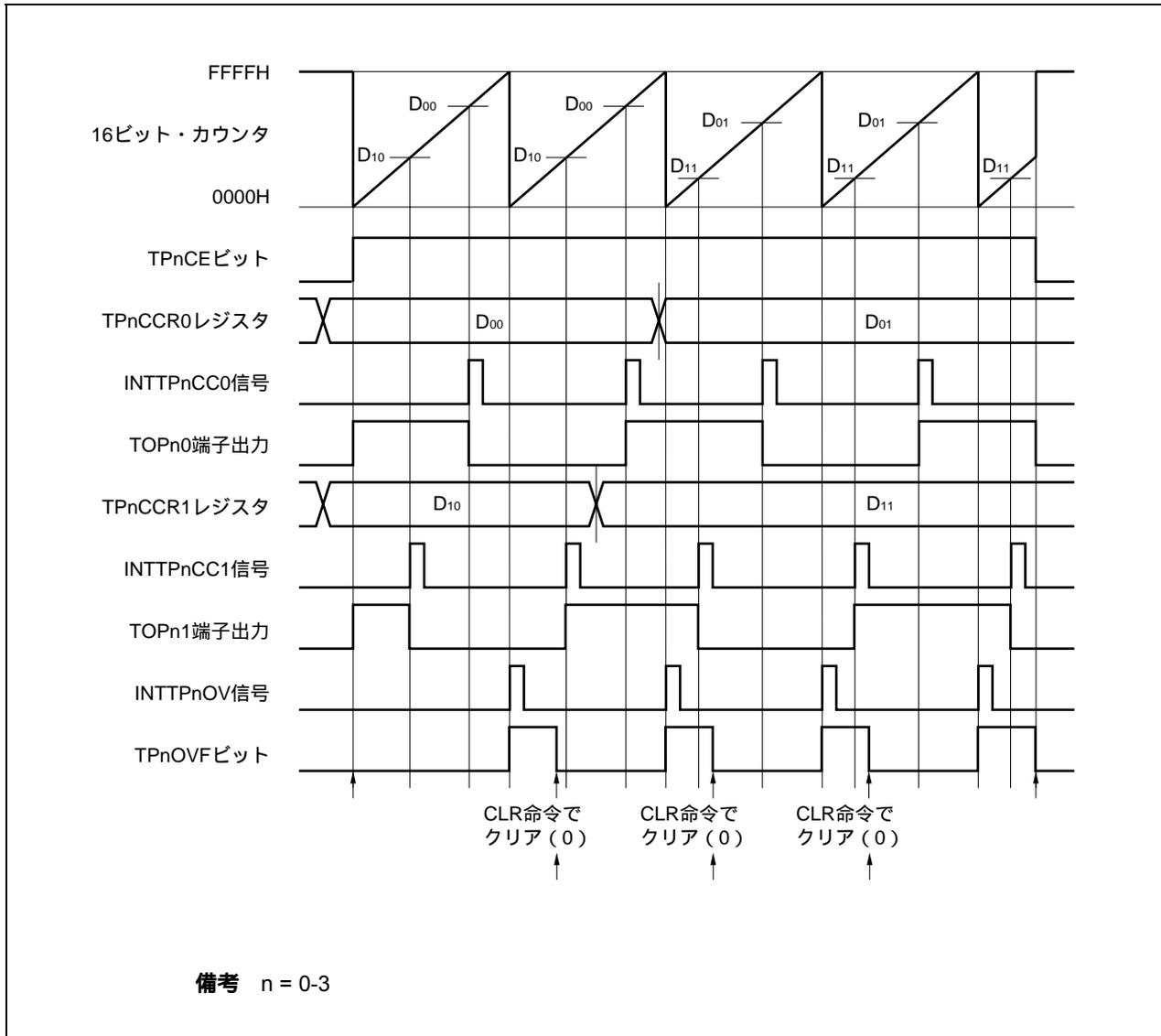
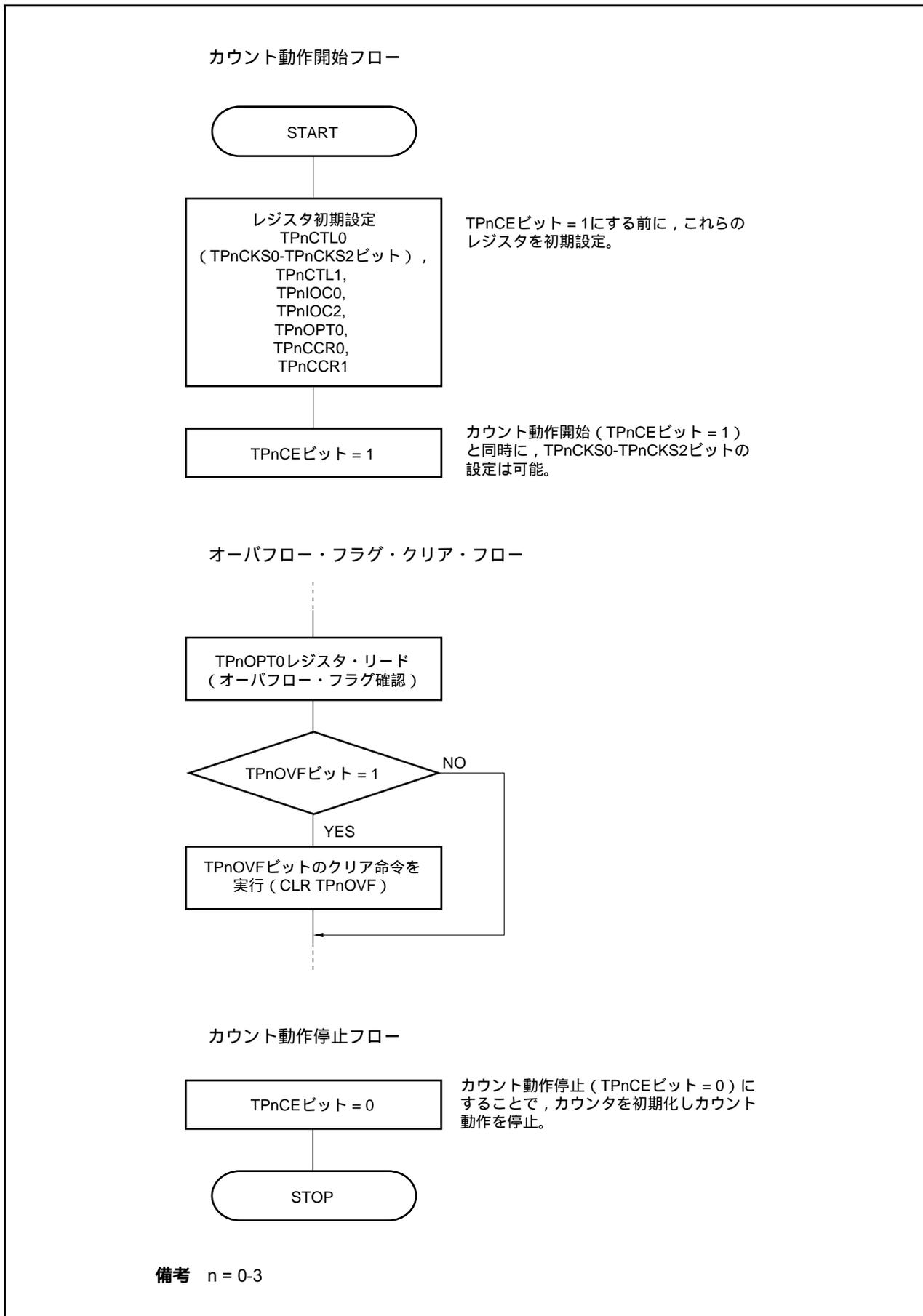


図7 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

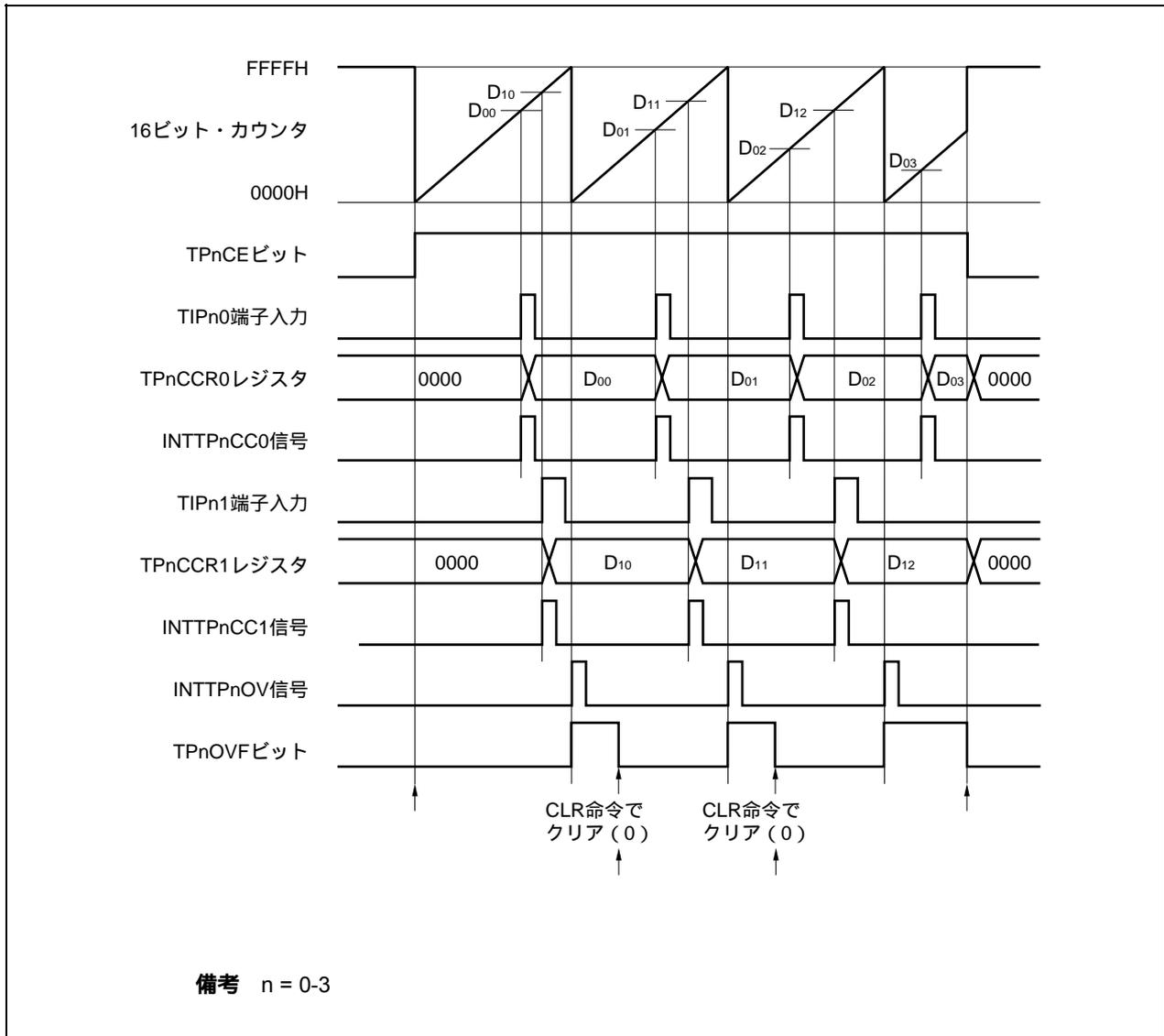
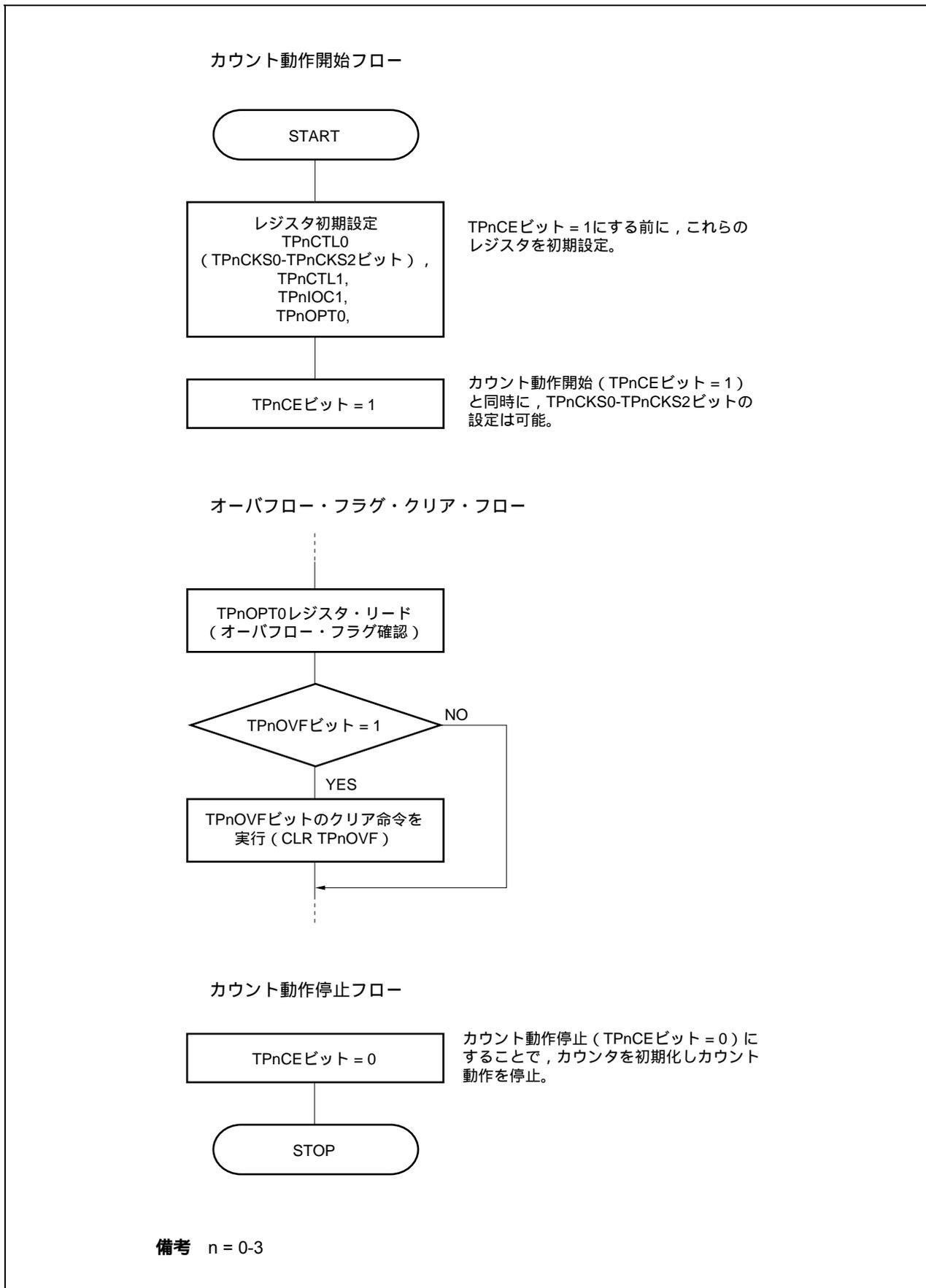


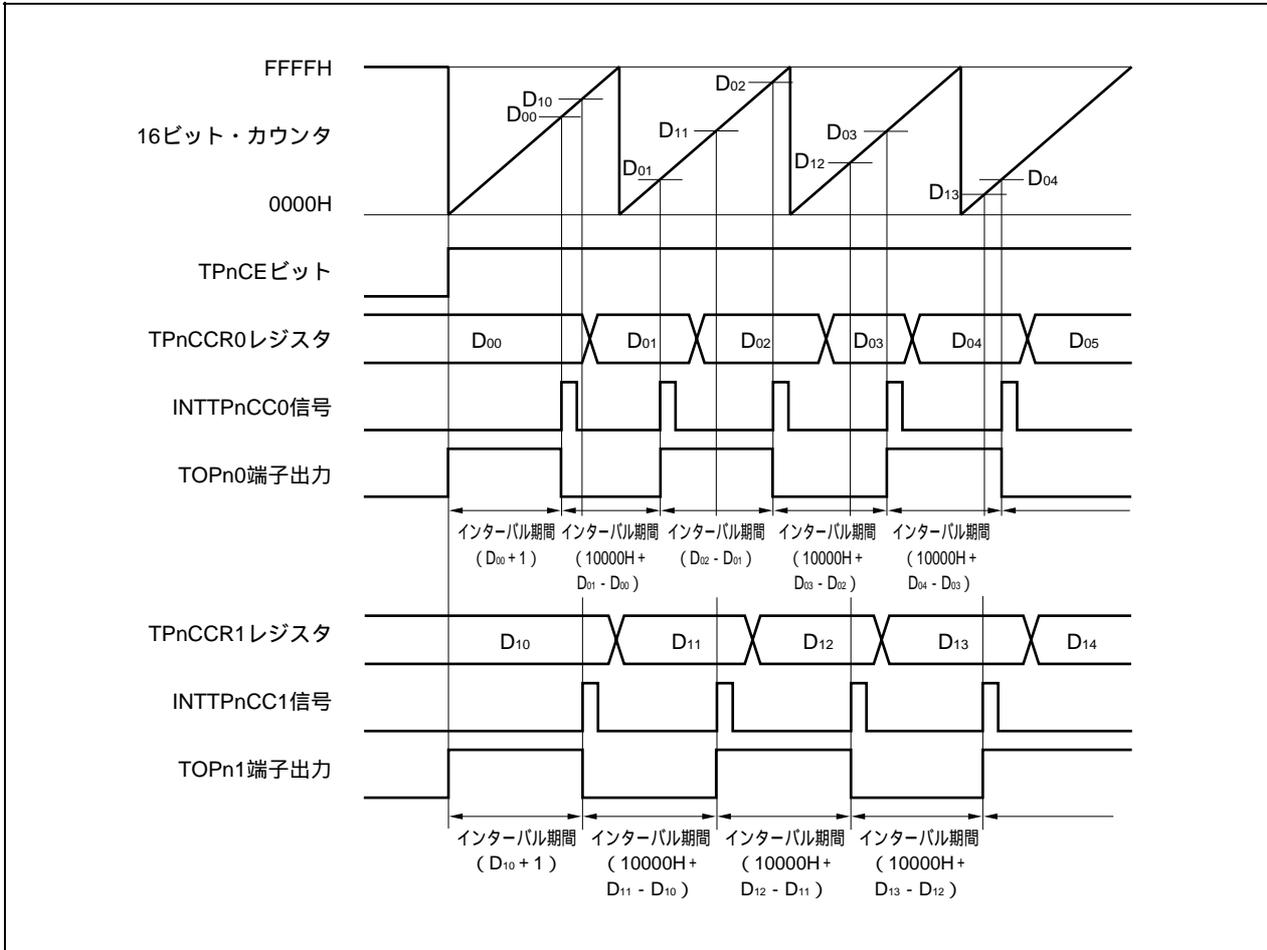
図7 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TPnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTPnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTPnCCm信号を検出したときの割り込み処理中に、対応するTPnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_m ”とすると、次のように求められます。

コンペア・レジスタ初期値： $D_m - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

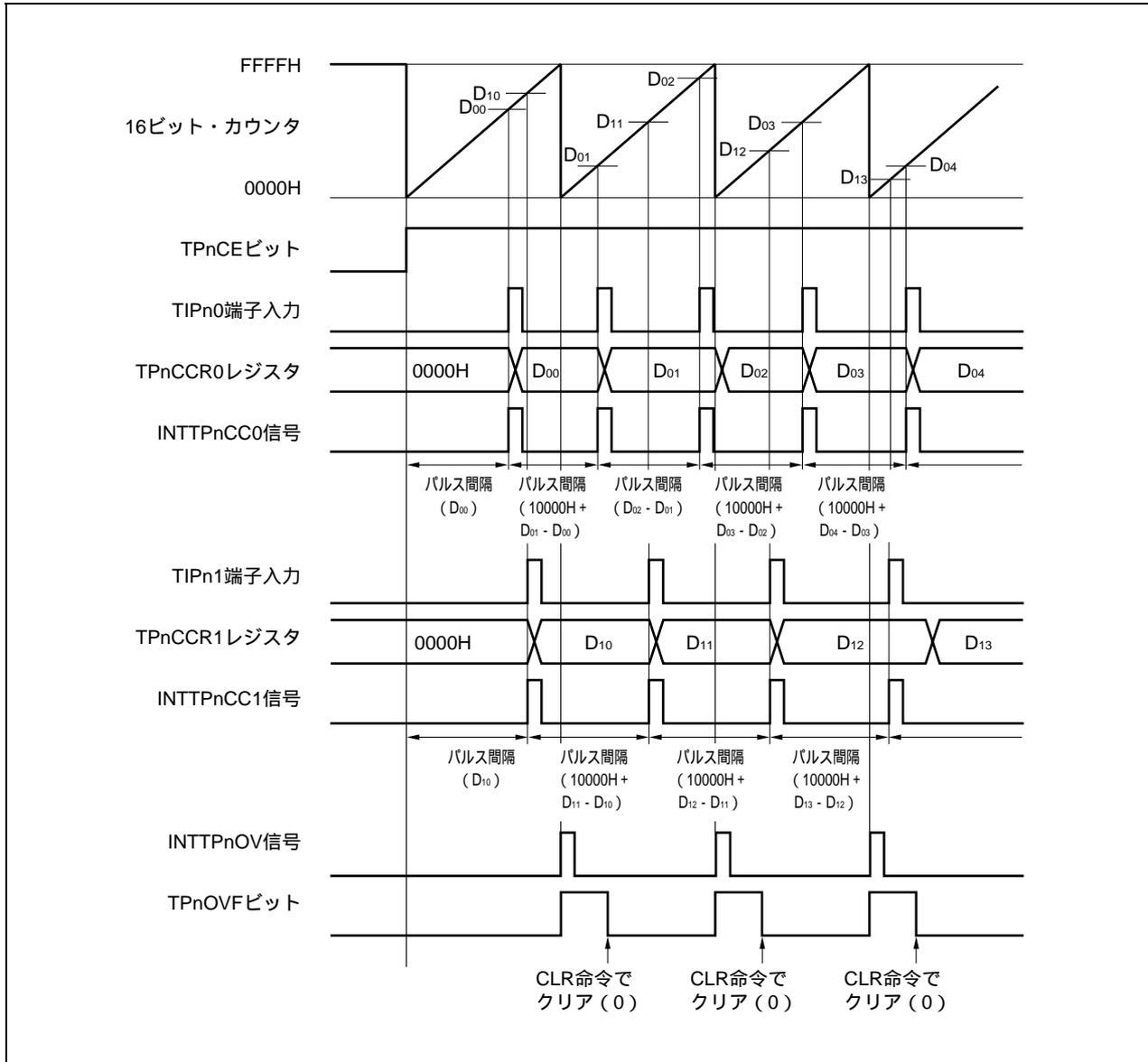
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 n = 0-3,

m = 0, 1

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TPnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTPnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

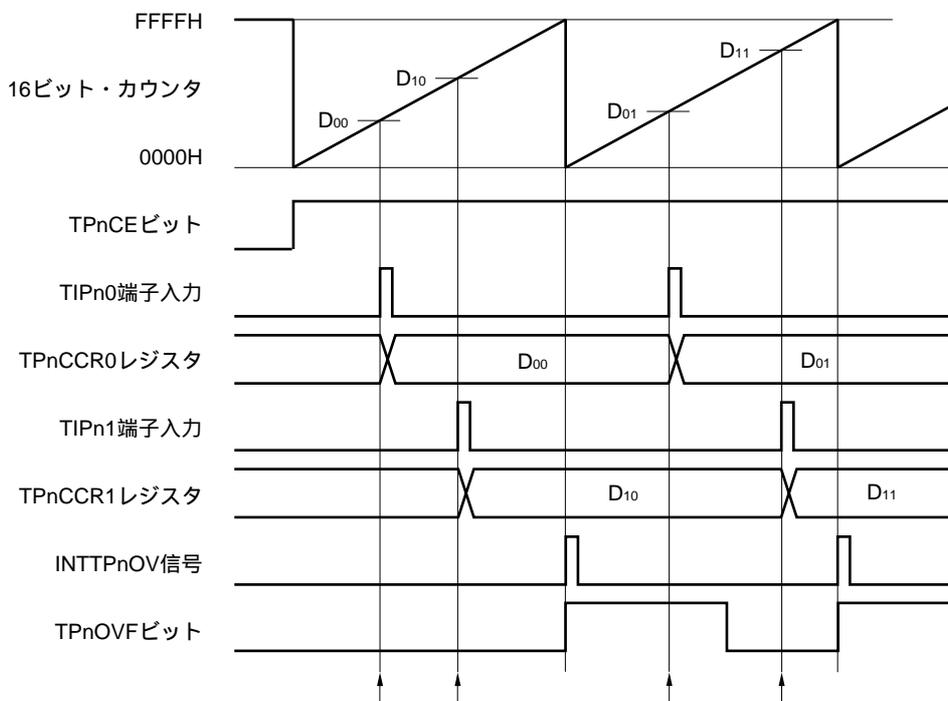
パルス幅測定を行う場合、INTTPnCCm信号に同期してTPnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 n = 0-3,
m = 0, 1

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIPn1端子入力の初期値設定)。

TPnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TPnCCR1レジスタをリードする。

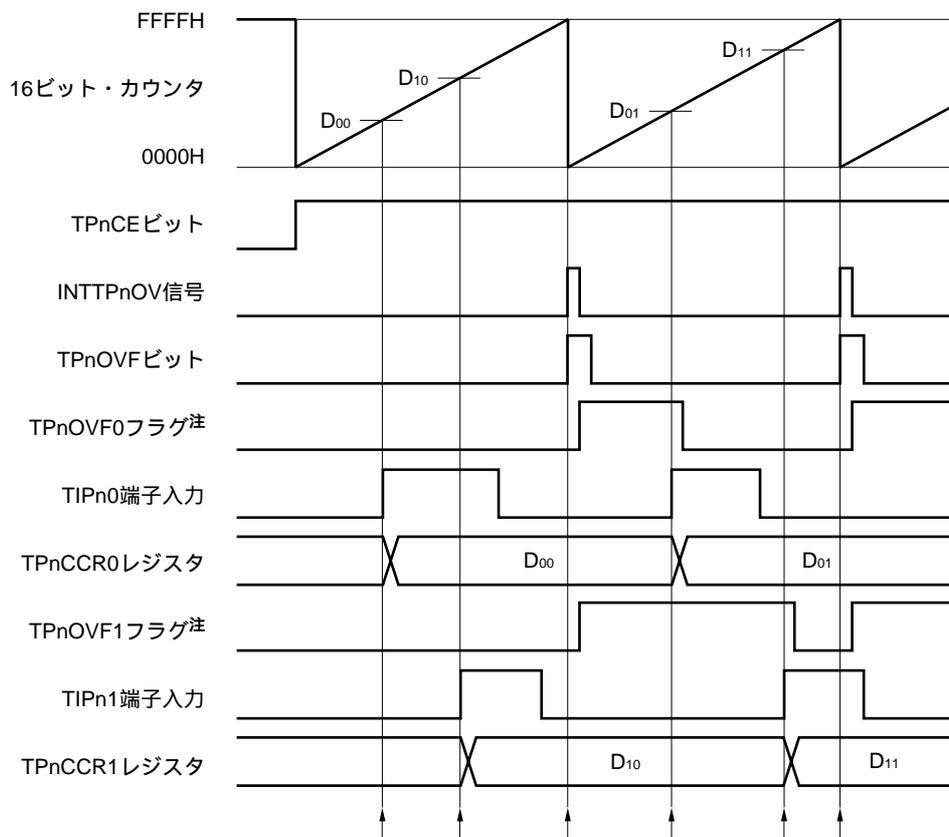
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TPnOVF0, TPnOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TPnCCR0レジスタをリードする。

TPnOVF0フラグをリードする。 TPnOVF0フラグが“1”だった場合、クリア (0) する。

TPnOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

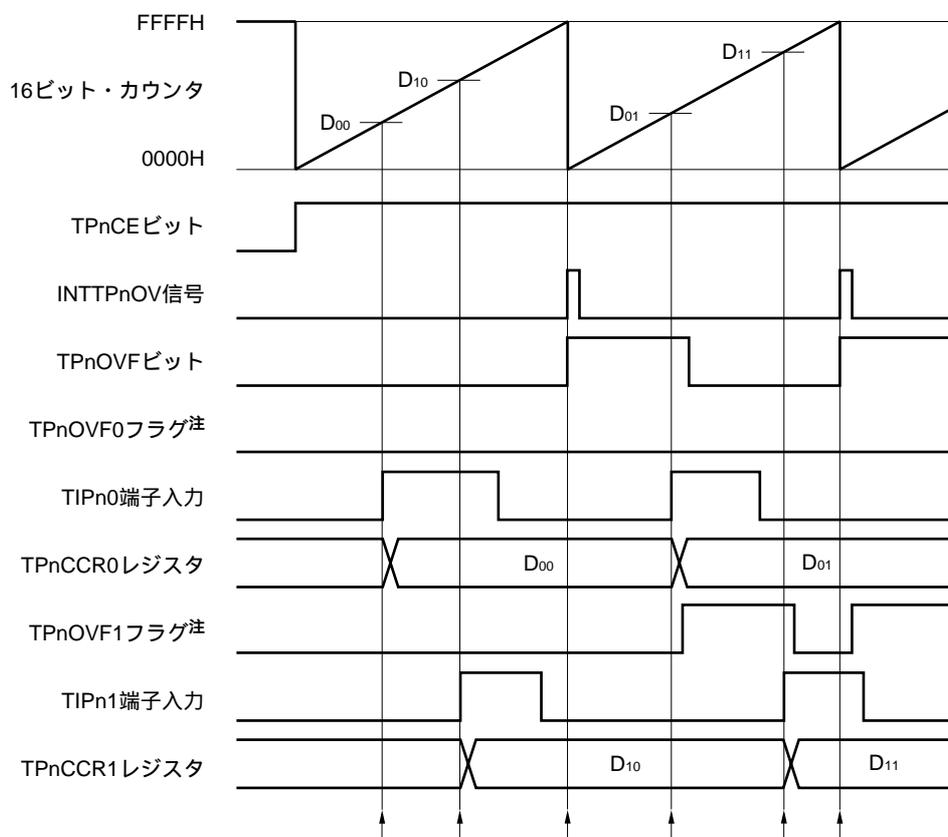
TPnCCR1レジスタをリードする。

TPnOVF1フラグをリードする。 TPnOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTPnOVF0フラグであり、TPnOVF1フラグは“1”のまま)。

TPnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIPn1端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TPnCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TPnOVF1フラグのみをセット(1)し、オーバーフロー・フラグをクリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TPnCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア(0)されているので“0”がリードされる。

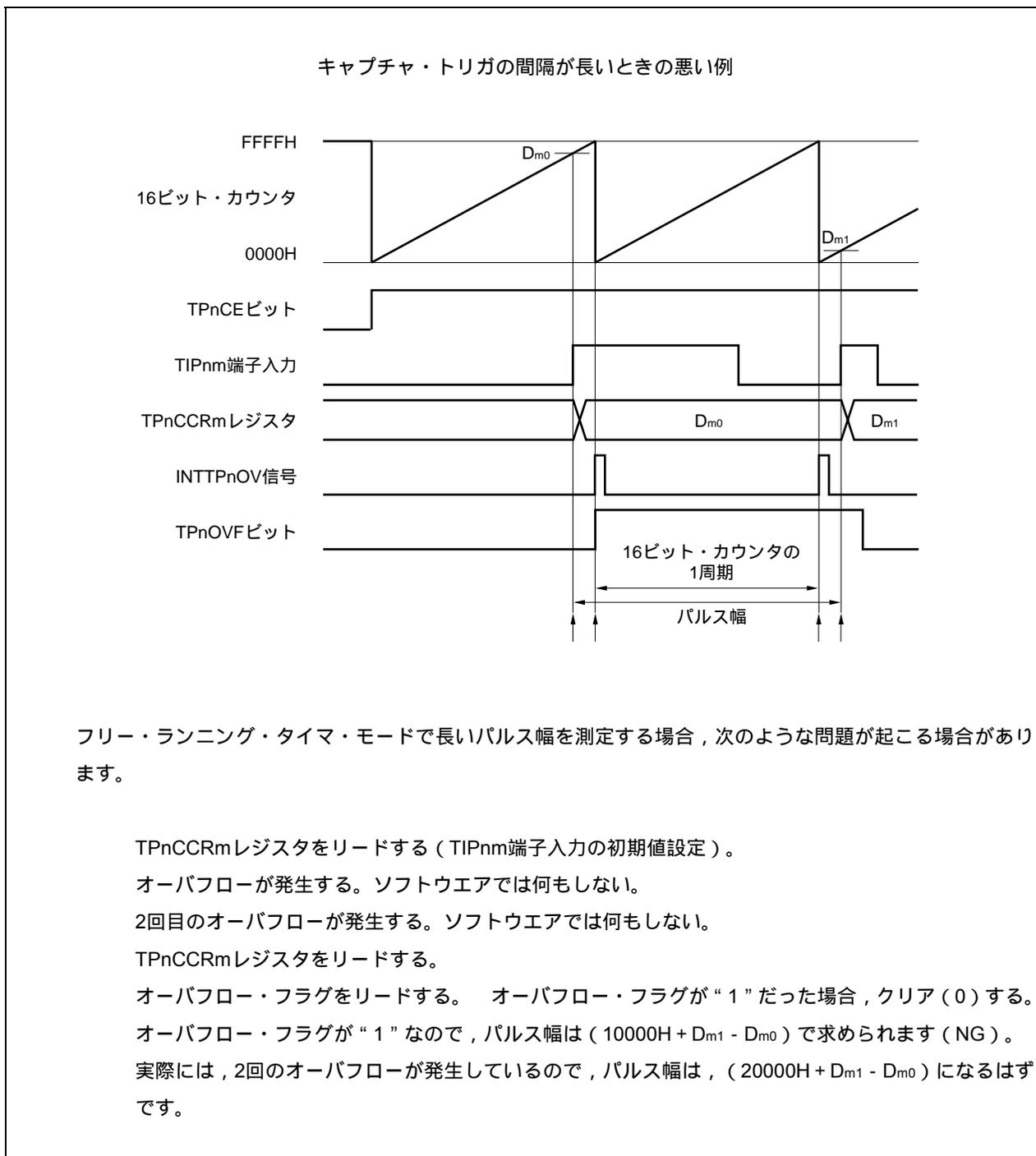
TPnOVF1フラグをリードする。TPnOVF1フラグが“1”だった場合、クリア(0)する。

TPnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

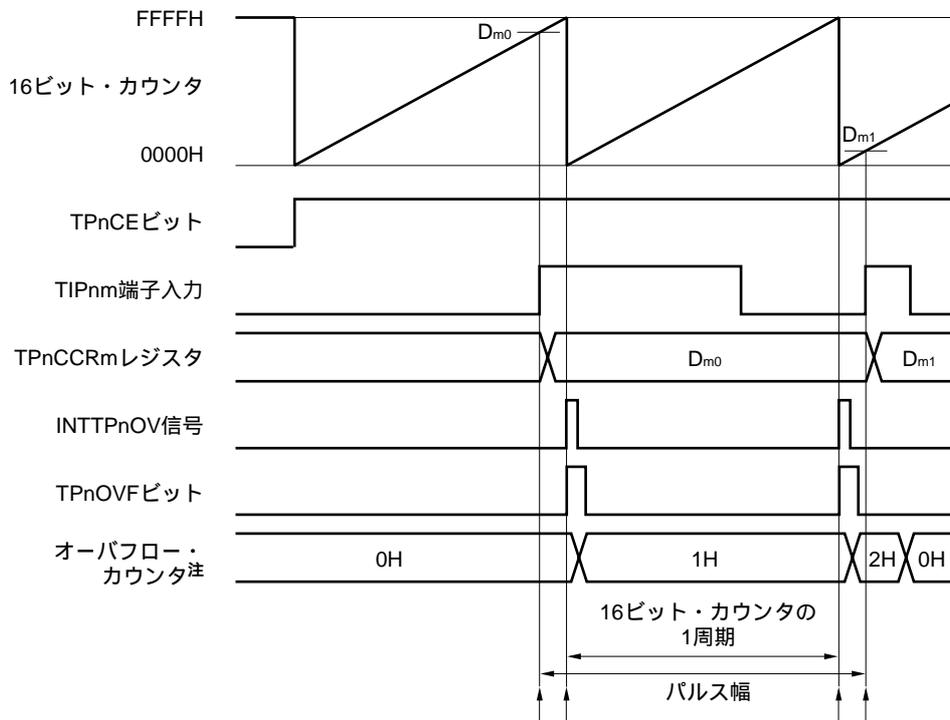
パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウンタ・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCRmレジスタをリードする (TIPnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TPnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

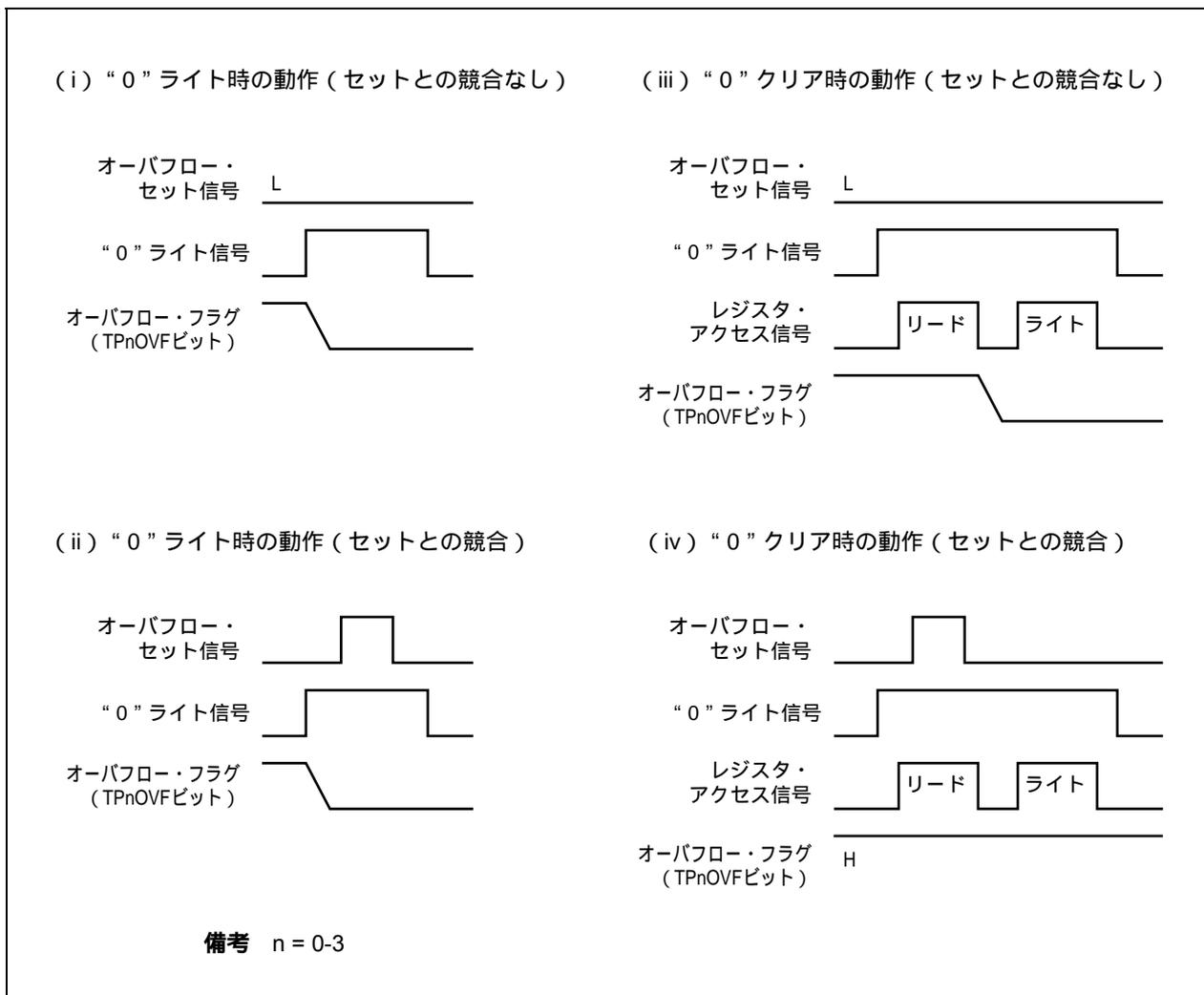
オーバフロー・カウンタが “N” のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

この例では、2回のオーバフローが発生しているなので、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビットをCLR命令でクリア (0) する方法と、TPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TPnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0” ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生とのタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

7.5.7 パルス幅測定モード (TPnMD2-TPnMD0 = 110)

パルス幅測定モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始し、TIPnm端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTPnCCm)が発生したあと、TPnCCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIPn0、TIPn1端子のいずれか1本を使用してください。使用しない端子は、TPnIOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIPn0端子固定ですので、TIPn1端子のパルス幅を測定してください。このとき、TPnIOC1.TPnIS1、TPnIS0ビット = 00(キャプチャ・トリガ入力(TIPn0端子)：エッジ検出なし)に設定してください。

図7-34 パルス幅測定モードの構成図

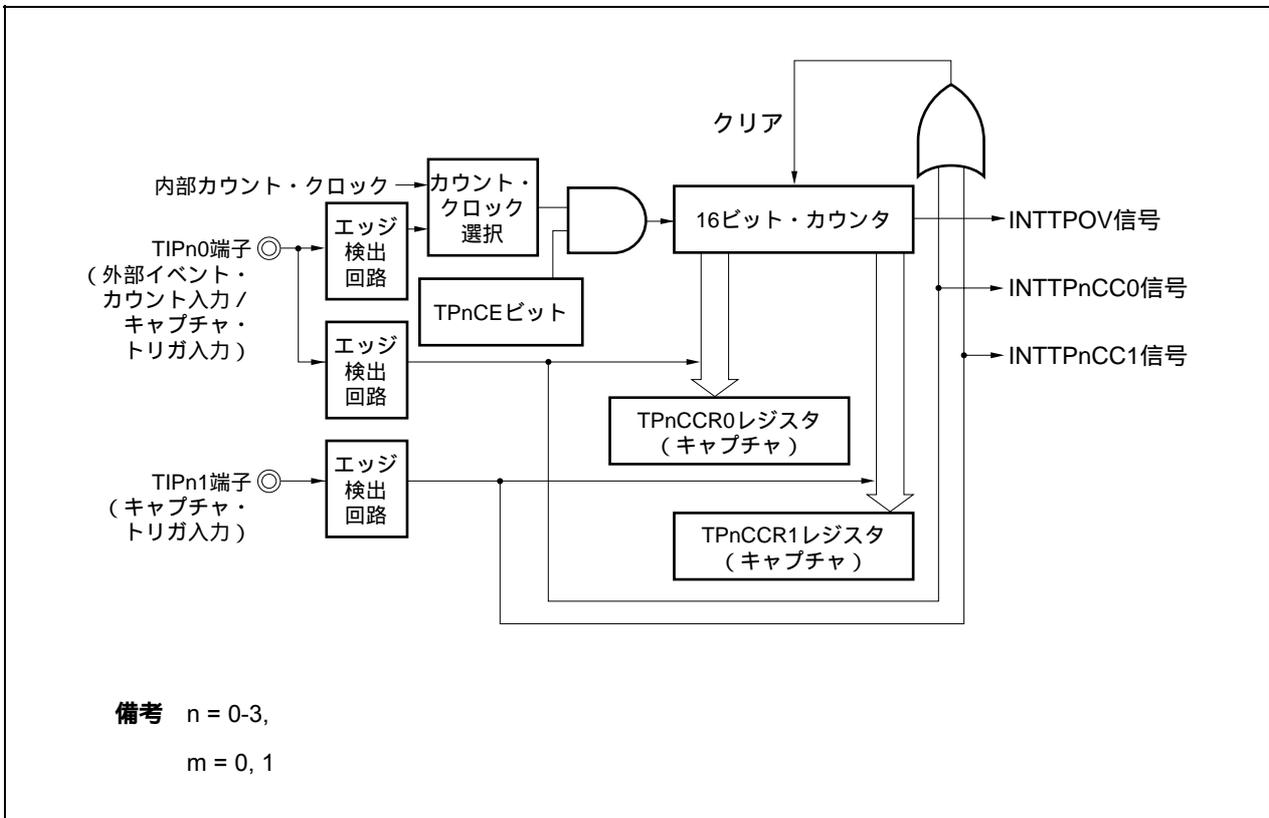
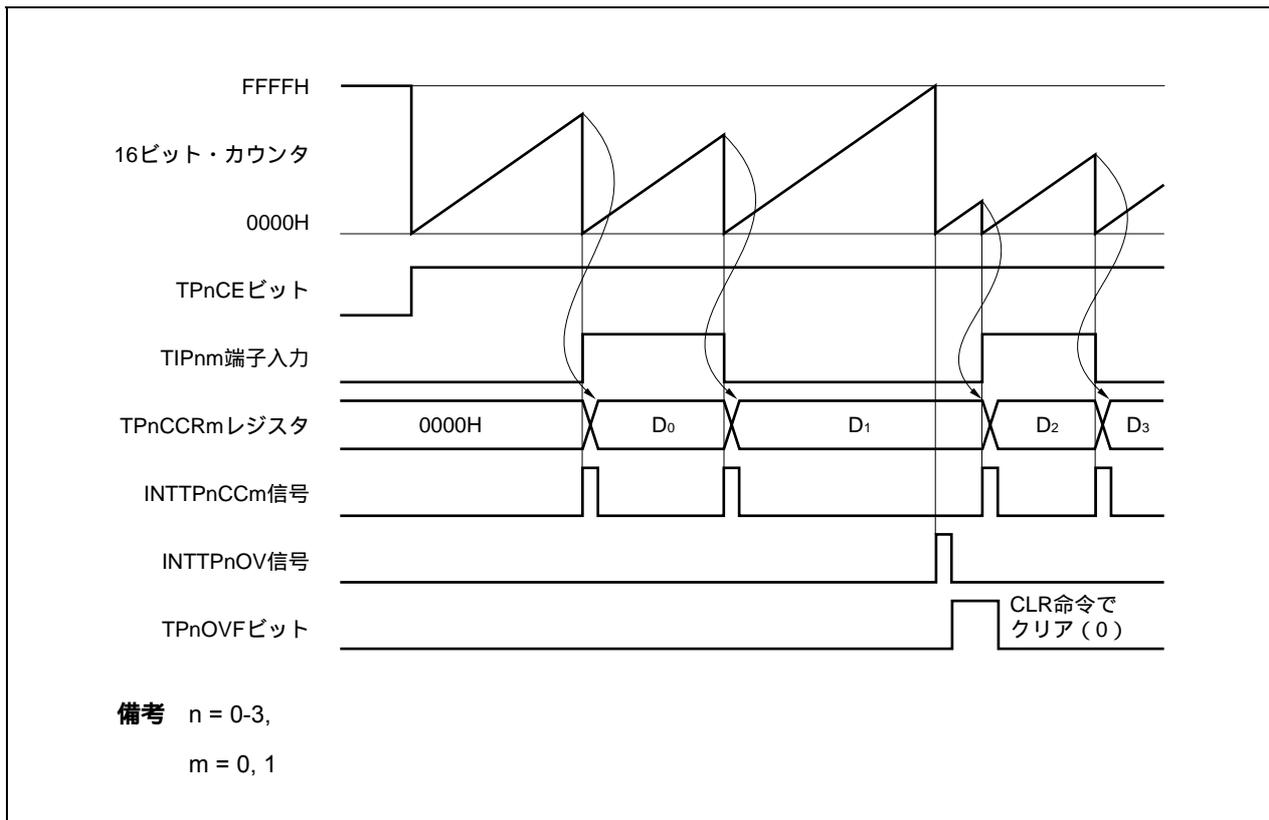


図7 - 35 パルス幅測定モードの基本タイミング



TPnCEビットをセット(1)することで、カウント動作を開始します。その後、TIPnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTPnCCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = (D_N + 1) \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (D_N + 10001H) \times \text{カウント} \cdot \text{クロック周期}$$

備考 n = 0-3,
m = 0, 1

図7 - 36 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

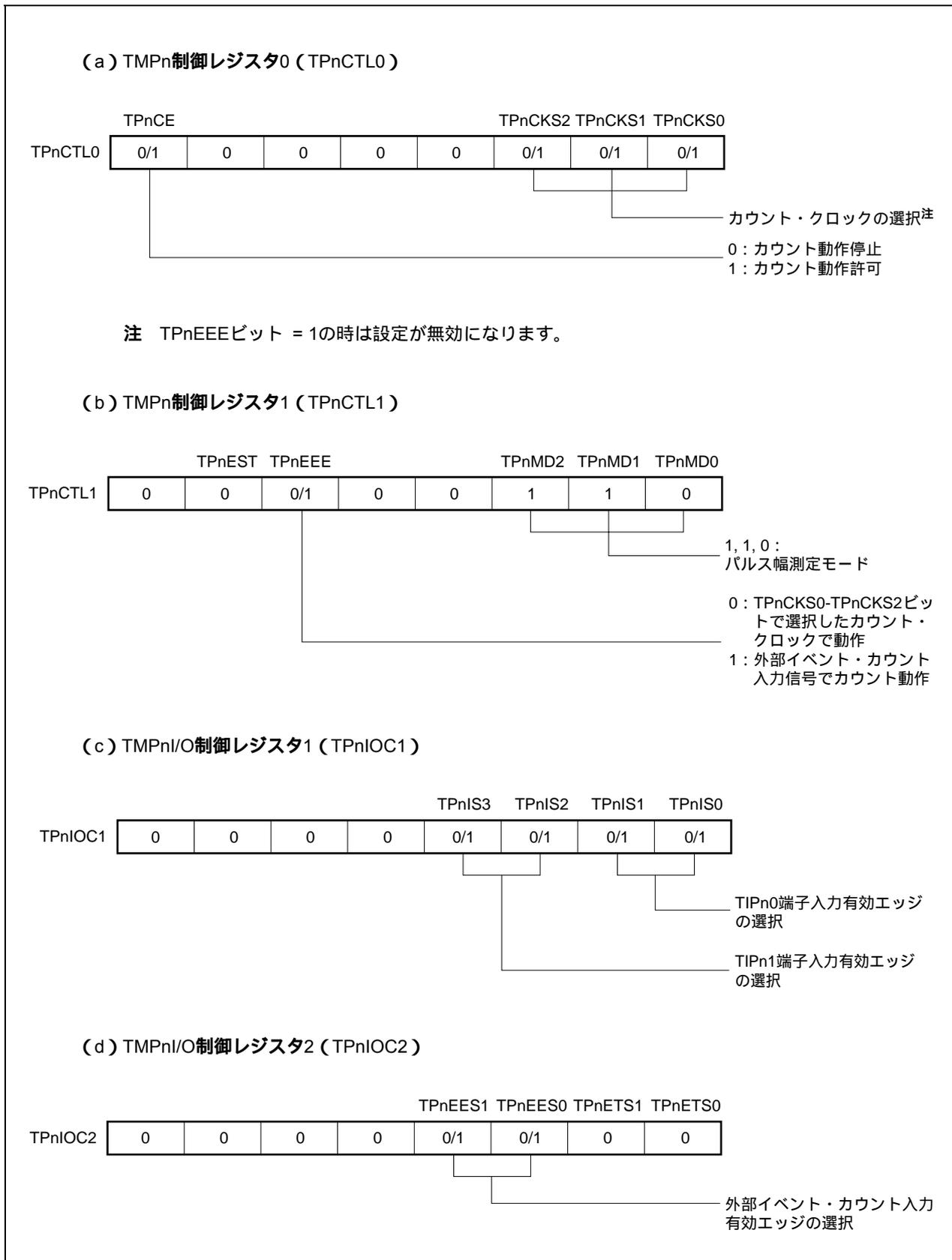
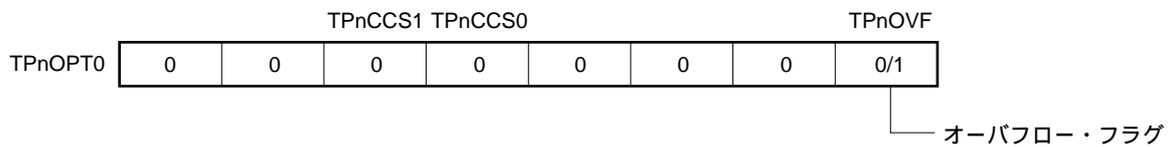


図7 - 36 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMPnオプション・レジスタ0 (TPnOPT0)



(f) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

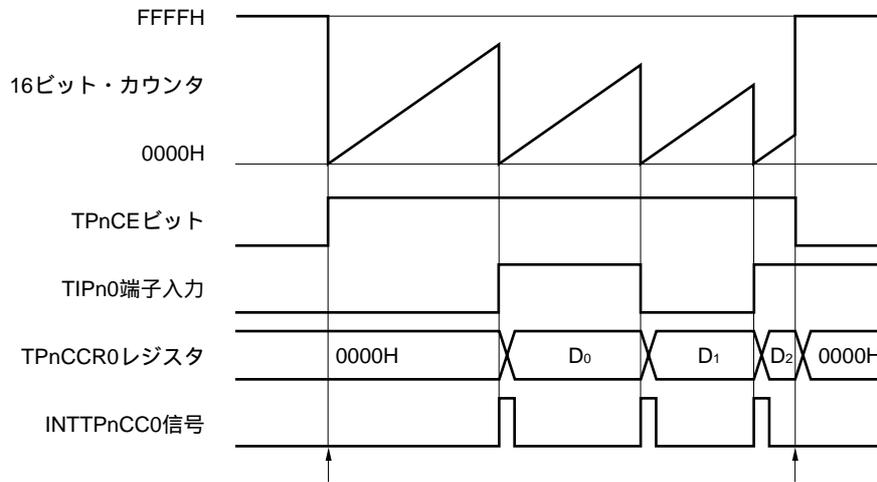
TIPnm端子入力の有効エッジ検出により、16ビット・カウンタのカウンタ値を格納します。

備考1. パルス幅測定モードでは、TMPnI/O制御レジスタ0 (TPnIOC0) は使用しません。

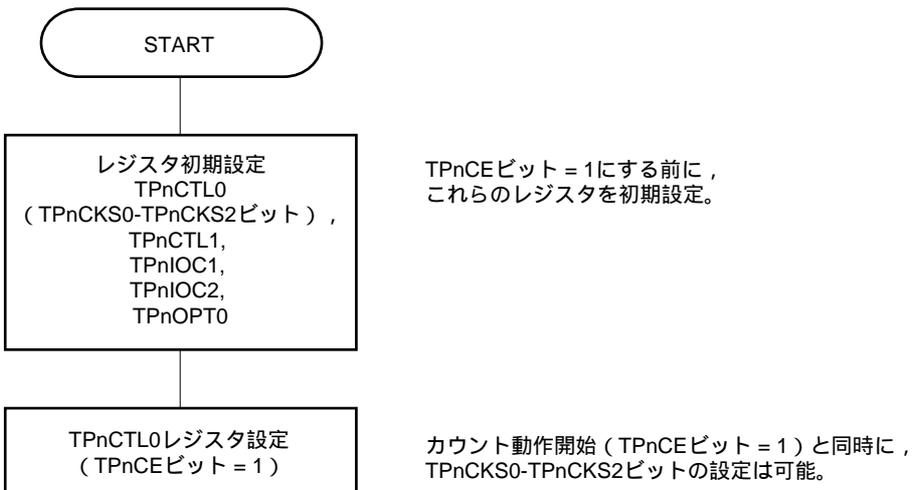
2. $n = 0-3,$
 $m = 0, 1$

(1) パルス幅測定モード動作フロー

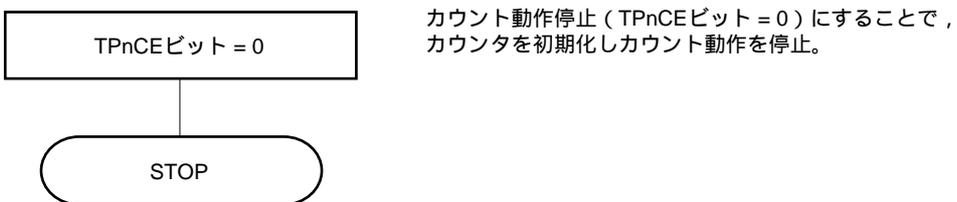
図7 - 37 パルス幅測定モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー

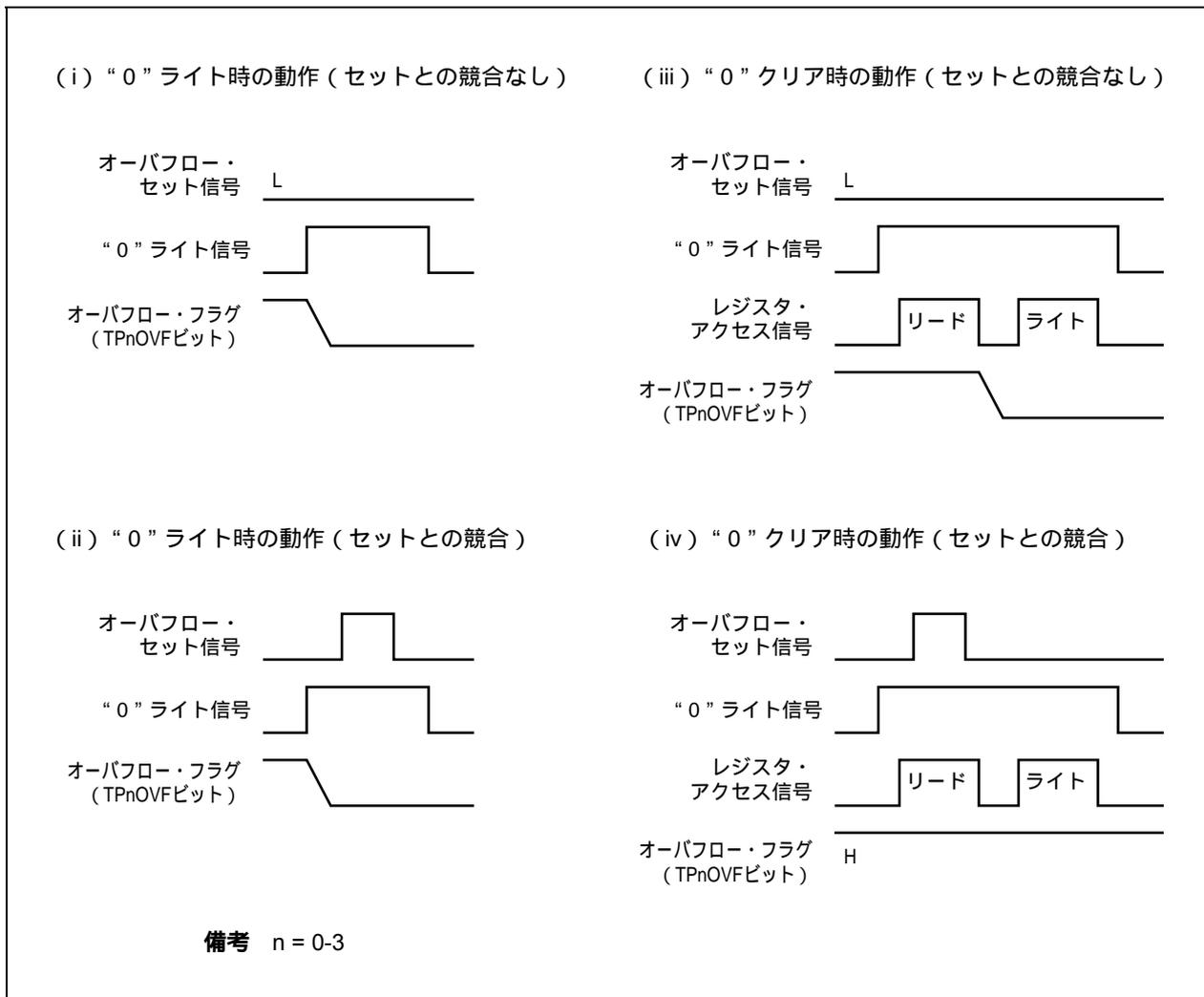


備考 n = 0-3

(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビットをCLR命令でクリア (0) する方法と、TPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TPnOVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生とのタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

7.5.8 タイマ出力動作説明

次にTOPn0, TOPn1端子の動作, および出力レベルを示します。

表7-4 各モードによるタイマ出力制御

動作モード	TOPn1端子	TOPn0端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	方形波出力	-
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)	
パルス幅測定モード	-	

備考 n = 0-3

表7-5 タイマ出力制御ビットによるTOPn0, TOPn1端子の真理値表

TPnIOC0.TPnOLmビット	TPnIOC0.TPnOEmビット	TPnCTL0.TPnCEビット	TOPnm端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0-3,
m = 0, 1

7.6 タイマ入力端子のデジタル・ノイズ除去

μ PD703229Y, 70F3229Yでは、タイマの入力端子 (TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31) にデジタル・ノイズ除去回路を内蔵しています。

デジタル・サンプリングを行うサンプリング・クロックをTMP0, TMP2の場合 f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, TMP1, TMP3の場合 f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, f_{xt} の中から選択できます。サンプリングの回数は3回と2回です。

(1) TIPn0ノイズ除去レジスタ, TIPn1ノイズ除去レジスタ (Pn0NFC, Pn1NFC)

Pn0NFC, Pn1NFCレジスタは、TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31端子のデジタル・ノイズ除去クロックを選択します。

Pn0NFC, Pn1NFCレジスタの設定を行う前に、タイマ入力端子より入力された信号は、デジタル・ノイズ除去され常時出力されます。

そのため、サンプリング・クロック (NFC2-NFC0ビット)、サンプリング回数 (NFSTSビット) を設定後、「(サンプリング・クロック) × (サンプリング回数)^注」の時間経過後、タイマの動作を許可してください。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注 デジタル・ノイズ除去条件をセットして、デジタル・ノイズ除去回路が初期化されるまでに、設定した「(サンプリング・クロック) × (サンプリング回数)」の時間がかかります。

リセット時：00H R/W アドレス：P00NFC FFFFFFFB00H, P01NFC FFFFFFFB04H,
 P10NFC FFFFFFFB08H, P11NFC FFFFFFFB0CH,
 P20NFC FFFFFFFB10H, P21NFC FFFFFFFB14H,
 P30NFC FFFFFFFB18H, P31NFC FFFFFFFB1CH

Pn0NFC,
 Pn1NFC
 (n = 0-3)

7	6	5	4	3	2	1	0
0	NFSTS	0	0	0	NFC2	NFC1	NFC0

NFSTS	デジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 3回
1	サンプリング回数 = 2回

・TMP0, TMP2のTIP00, TIP01, TIP20, TIP21端子の場合

NFSTS	NFC2	NFC1	NFC0	サンプリング・クロック	確実にノイズ除去するノイズ幅 ^注
					f _{xx} = 20 MHz
0	0	0	0	f _{xx}	0.10 μs
0	0	0	1	f _{xx} /2	0.20 μs
0	0	1	0	f _{xx} /4	0.40 μs
0	0	1	1	f _{xx} /16	1.60 μs
0	1	0	0	f _{xx} /32	3.20 μs
0	1	0	1	f _{xx} /64	6.40 μs
1	0	0	0	f _{xx}	0.05 μs
1	0	0	1	f _{xx} /2	0.10 μs
1	0	1	0	f _{xx} /4	0.20 μs
1	0	1	1	f _{xx} /16	0.80 μs
1	1	0	0	f _{xx} /32	1.60 μs
1	1	0	1	f _{xx} /64	3.20 μs
上記以外				設定禁止	

注 確実に除去するノイズ幅は、(サンプリング・クロック) × (サンプリング回数 - 1) となります。また、(サンプリング・クロック) × (サンプリング回数 - 1) のノイズ幅以下のノイズであっても、サンプリング・クロックに同期したノイズが入力された場合には、誤カウントが発生します。

・TMP1, TMP3のTIP10, TIP11, TIP30, TIP31端子の場合

NFSTS	NCS2	NCS1	NCS0	サンプリング・クロック	確実にノイズ除去するノイズ幅 ^注
					$f_{xx} = 20 \text{ MHz}$
0	0	0	0	f_{xx}	0.10 μs
0	0	0	1	$f_{xx}/2$	0.20 μs
0	0	1	0	$f_{xx}/4$	0.40 μs
0	0	1	1	$f_{xx}/8$	0.80 μs
0	1	0	0	$f_{xx}/16$	1.60 μs
0	1	0	1	f_{xT}	61.04 μs
1	0	0	0	f_{xx}	0.05 μs
1	0	0	1	$f_{xx}/2$	0.10 μs
1	0	1	0	$f_{xx}/4$	0.20 μs
1	0	1	1	$f_{xx}/8$	0.40 μs
1	1	0	0	$f_{xx}/16$	0.80 μs
1	1	0	1	f_{xT}	30.52 μs
上記以外				設定禁止	

注 確実に除去するノイズ幅は、(サンプリング・クロック) × (サンプリング回数 - 1) となります。また、(サンプリング・クロック) × (サンプリング回数 - 1) のノイズ幅以下のノイズであっても、サンプリング・クロックに同期したノイズが入力された場合には、誤カウントが発生します。

7.7 セレクタ機能

μ PD703229Y, 70F3229YではTMPのキャプチャ・トリガ入力を, ポートの兼用端子と周辺I/O (TMP, UARTA, TMM) 信号とで選択が可能です。

この機能を利用して, 次のことが可能です。

- ・ UARTAのRXDA端子を選択
LIN通信時のボー・レート算出に使用
- ・ TMM0のINTTMM0EQ0信号選択
サブクロック (WT用クロック) / Ring-OSC (WDT2用クロック) の周波数測定に使用

- 注意1.** セレクタ機能を使用する場合は, 接続されるタイマ (TMP) をキャプチャ・トリガ入力に設定すること。
- 2.** セレクタ機能を設定する場合は, 接続される周辺I/O (TMP, UARTA, TMM) を動作禁止にしてから設定してください。

セレクタ機能によるキャプチャ入力の設定は次のレジスタで設定します。

(1) セレクタ動作制御レジスタ0 (SELCNT0)

SELCNT0レジスタは、TMPnのキャプチャ・トリガを選択する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF308H

	7	6	5	4	3	2	1	0
SELCNT0	0	0	ISEL05	ISEL04	ISEL03	ISEL02	0	0

ISEL05	TIP30入力信号選択 (TMP3)
0	TIP30端子入力
1	RXDA2端子入力

ISEL04	TIP11入力信号選択 (TMP1)
0	TIP11端子入力
1	RXDA1端子入力

ISEL03	TIP10入力信号選択 (TMP1)
0	TIP10端子入力
1	RXDA0端子入力

ISEL02	TIP01入力信号選択 (TMP0)
0	TIP01端子入力
1	TMM0のINTTM0EQ0割り込み ^注

注 INTTM0EQ0信号をTMP01入力として使用する場合は、次に示す範囲内で使用してください。

TMM動作クロック周期 TMP動作クロック周期×4

注意1. ISEL05-ISEL02の各ビットを“1”に設定する場合は、対応する機能端子をキャプチャ入力に設定してください。

2. ビット0, 1, 6, 7には必ず“0”を設定してください。

★ 第8章 16ビット・タイマ/イベント・カウンタQ (TMQ)

タイマQ (TMQ) は、16ビットのタイマ/イベント・カウンタです。

μPD703229Y, 70F3229Yは、TMQ0を内蔵しています。

8.1 概 要

TMQ0の概要を次に示します。

・クロック選択	: 8通り
・キャプチャ・トリガ入力端子	: 4本
・外部イベント・カウント入力端子	: 1本
・外部トリガ入力端子	: 1本
・タイマ・カウンタ	: 1本
・キャプチャ/コンペア・レジスタ	: 4本
・キャプチャ/コンペア一致割り込み要求信号	: 4本
・タイマ出力端子	: 4本

8.2 機 能

TMQ0の機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定

8.3 構成

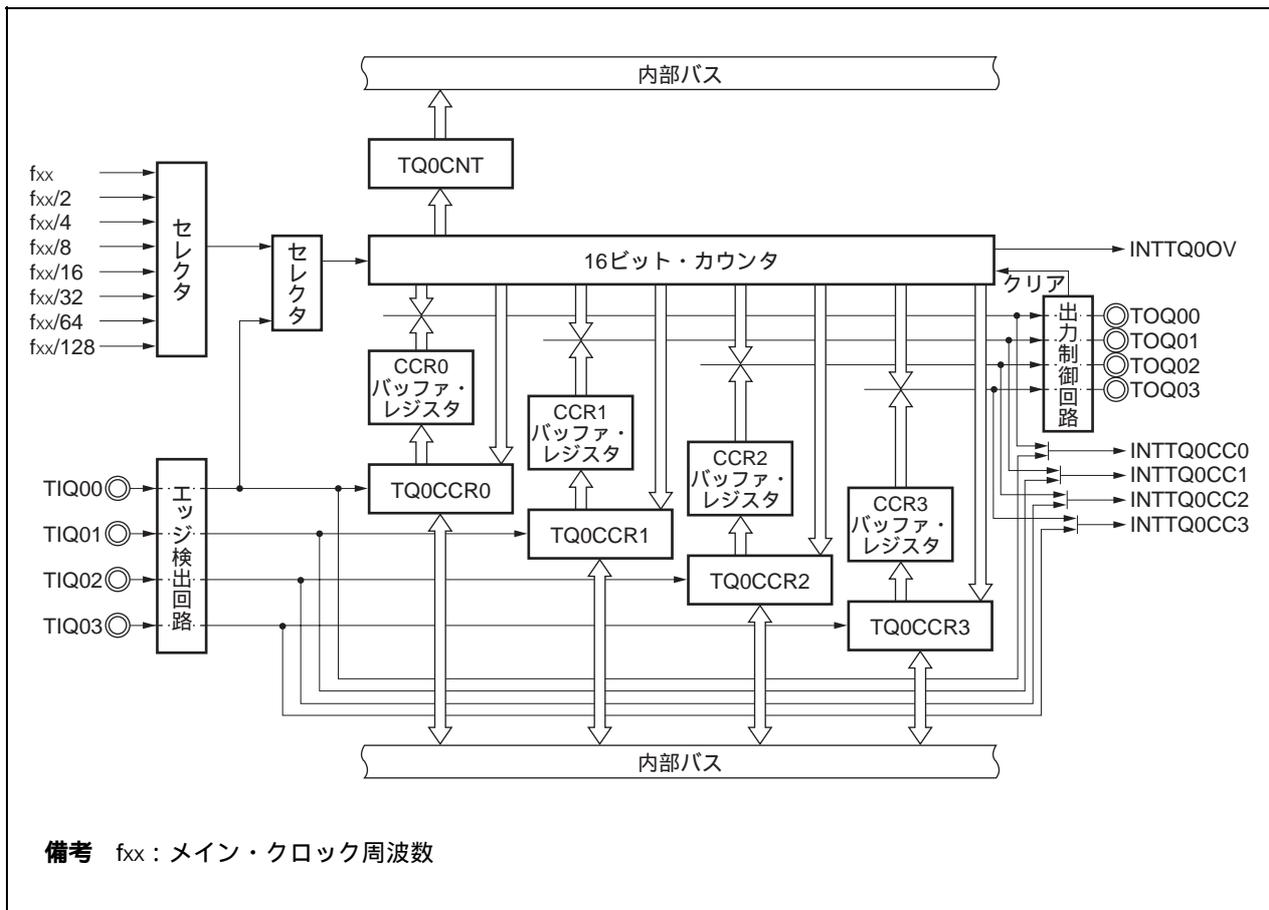
TMQ0は、次のハードウェアで構成されています。

表8 - 1 TMQ0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT) CCR0-CCR3バッファ・レジスタ
タイマ入力	4本 (TIQ00 ^注 -TIQ03端子)
タイマ出力	4本 (TOQ00-TOQ03端子)
制御レジスタ	TMQ0制御レジスタ0, 1 (TQ0CTL0, TQ0CTL1) TMQ0I/O制御レジスタ0-2 (TQ0IOC0-TQ0IOC2) TMQ0オプション・レジスタ0 (TQ0OPT0)

注 TIQ00端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

図8 - 1 TMQ0のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TQ0CNTレジスタでリードできます。

TQ0CTL0.TQ0CEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTQ0CNTレジスタをリードすると、0000Hがリードされます。

リセットによりTQ0CEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR0レジスタをコンペア・レジスタとして使用するとき、TQ0CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR1レジスタをコンペア・レジスタとして使用するとき、TQ0CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQ0CC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR2レジスタをコンペア・レジスタとして使用するとき、TQ0CCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQ0CC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR2レジスタが0000Hになるため、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR3レジスタをコンペア・レジスタとして使用するとき、TQ0CCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQ0CC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR3レジスタが0000Hになるため、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIQ00-TIQ03端子に入力される有効エッジを検出します。有効エッジは、TQ0IOC1、TQ0IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOQ00-TOQ03端子の出力を制御します。TOQ00-TOQ03端子の出力は、TQ0IOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

8.4 レジスタ

(1) TMQ0制御レジスタ0 (TQ0CTL0)

TQ0CTL0レジスタは、TMQ0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TQ0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：FFFFFF540H

	⑦	6	5	4	3	2	1	0
TQ0CTL0	TQ0CE	0	0	0	0	TQ0CKS2	TQ0CKS1	TQ0CKS0

TQ0CE	TMQ0の動作の制御
0	TMQ0動作禁止 (TMQ0を非同期にリセット ^注)
1	TMQ0動作許可。TMQ0動作開始

TQ0CKS2	TQ0CKS1	TQ0CKS0	内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注 TQ0OPT0.TQ0OVFビット、16ビット・カウンタ、タイマ出力 (TOQ00-TOQ03端子)。

注意1. TQ0CKS2-TQ0CKS0ビットは、TQ0CEビット = 0のときに設定してください。TQ0CEビットを“0”から“1”に設定するときに、同時にTQ0CKS2-TQ0CKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 fxx：メイン・クロック周波数

(2) TMQ0制御レジスタ1 (TQ0CTL1)

TQ0CTL1レジスタは、TMQ0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF541H

	7	6	5	4	3	2	1	0
TQ0CTL1	0	TQ0EST	TQ0EEE	0	0	TQ0MD2	TQ0MD1	TQ0MD0

TQ0EST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TQ0ESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TQ0ESTビットへの“1”ライトをトリガとして、PWM波形を出力

TQ0EEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TQ0CTL0.TQ0CK0-TQ0CK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)
TQ0EEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TQ0MD2	TQ0MD1	TQ0MD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1. TQ0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 外部イベント・カウント・モードのときは、TQ0EEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
 - TQ0EEE, TQ0MD2-TQ0MD0ビットは、TQ0CTL0.TQ0CEビット = 0のときに設定してください(TQ0CEビット = 1のときの同値書き込みは可能)。TQ0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TQ0CEビットをクリア(0)してから再設定してください。
 - ビット3, 4, 7は必ず“0”を設定してください。

(3) TMQ0I/O制御レジスタ0 (TQ0IOC0)

TQ0IOC0レジスタは、タイマ出力 (TOQ00-TOQ03端子) を制御する8ビット・レジスタです。
 8/1ビット単位でリード/ライト可能です。
 リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF542H

	7	⑥	5	④	3	②	1	①
TQ0IOC0	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0

TQ0OLm	TOQ0m端子出力レベルの設定 (m = 0-3)
0	TOQ0m端子出力反転禁止
1	TOQ0m端子出力反転許可

TQ0OEm	TOQ0m端子出力の設定 (m = 0-3)
0	タイマ出力禁止 ・ TQ0OLmビット = 0のときTOQ0m端子からロウ・レベルを出力 ・ TQ0OLmビット = 1のときTOQ0m端子からハイ・レベルを出力
1	タイマ出力許可 (TOQ0m端子から方形波を出力)

- 注意1.** TQ0OLm, TQ0OEmビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
- 2.** TQ0CEビット = 0, TQ0OEmビット = 0の状態において、TQ0OLmビットを操作した場合でも、TOQ0m端子の出力レベルは変化します。

備考 m = 0-3

(4) TMQ0I/O制御レジスタ1 (TQ0IOC1)

TQ0IOC1レジスタは、キャプチャ・トリガ入力信号 (TIQ00-TIQ03端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF543H

	7	6	5	4	3	2	1	0
TQ0IOC1	TQ0IS7	TQ0IS6	TQ0IS5	TQ0IS4	TQ0IS3	TQ0IS2	TQ0IS1	TQ0IS0

TQ0IS7	TQ0IS6	キャプチャ・トリガ入力信号 (TIQ03端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS5	TQ0IS4	キャプチャ・トリガ入力信号 (TIQ02端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS3	TQ0IS2	キャプチャ・トリガ入力信号 (TIQ01端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS1	TQ0IS0	キャプチャ・トリガ入力信号 (TIQ00端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1. TQ0IS7-TQ0IS0ビットは、TQ0CTL0.TQ0CEビット= 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
2. TQ0IS7-TQ0IS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMQ0I/O制御レジスタ2 (TQ0IOC2)

TQ0IOC2レジスタは、外部イベント・カウント入力信号 (TIQ00端子)、外部トリガ入力信号 (TIQ00端子) に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF544H

	7	6	5	4	3	2	1	0
TQ0IOC2	0	0	0	0	TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0

TQ0EES1	TQ0EES0	外部イベント・カウント入力信号 (TIQ00端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0ETS1	TQ0ETS0	外部トリガ入力信号 (TIQ00端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQ0EES1, TQ0EES0, TQ0ETS1, TQ0ETS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
- 2.** TQ0EES1, TQ0EES0ビットは、TQ0CTL1.TQ0EEEビット = 1、または外部イベント・カウント・モード (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 001) に設定したときのみ有効です。

(6) TMQ0オプション・レジスタ0 (TQ0OPT0)

TQ0OPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF545H

	7	6	5	4	3	2	1	①
TQ0OPT0	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0	0	0	0	TQ0OVF

TQ0CCSm	TQ0CCRmレジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TQ0CCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TQ0OVF	TMQ0のオーバフロー検出
セット(1)	オーバフロー発生
リセット(0)	TQ0OVFビットへの0ライトまたはTQ0CTL0.TQ0CEビット = 0
<ul style="list-style-type: none"> ・ TQ0OVFビットは、カウントフリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット(1)されます。 ・ TQ0OVFビットがセット(1)されると同時に、割り込み要求信号(INTTQ0OV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTQ0OV信号は発生しません。 ・ TQ0OVFビット = 1のときにTQ0OVFビットまたはTQ0OPT0レジスタをリードしてもTQ0OVFビットはクリアされません。 ・ TQ0OVFビットはリード/ライト可能ですが、ソフトウェアでTQ0OVFビットをセット(1)することはできません。“1”をライトしてもTMQ0の動作に影響はありません。 	

- 注意1. TQ0CCS3-TQ0CCS0ビットは、TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。
誤って書き換えた場合は、TQ0CEビットをクリア(0)してから再設定してください。
2. ビット1-3には必ず“0”を設定してください。

備考 m = 0-3

(7) TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)

TQ0CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

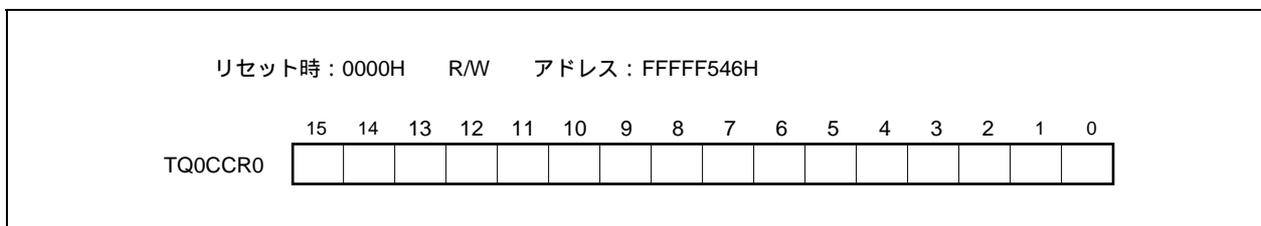
TQ0CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 サブクロック動作時、かつメイン・クロック停止時のTQ0CCR0レジスタへのアクセスは禁止です。詳細は、3.4.8(2)を参照してください。



(a) コンペア・レジスタとしての機能

TQ0CCR0レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC0) を発生し、TOQ00端子出力を許可している場合、TOQ00端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TQ0CCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR0レジスタのリードが競合しても、TQ0CCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(8) TMQ0キャプチャ/コンペア・レジスタ1 (TQ0CCR1)

TQ0CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

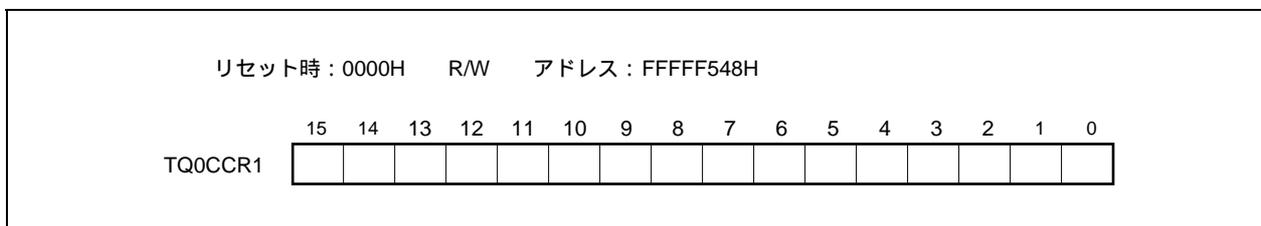
TQ0CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 サブクロック動作時、かつメイン・クロック停止時のTQ0CCR1レジスタへのアクセスは禁止です。詳細は、3.4.8(2)を参照してください。



(a) コンペア・レジスタとしての機能

TQ0CCR1レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC1) を発生し、TOQ01端子出力を許可している場合、TOQ01端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR1レジスタのリードが競合しても、TQ0CCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(9) TMQ0キャプチャ/コンペア・レジスタ2 (TQ0CCR2)

TQ0CCR2レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

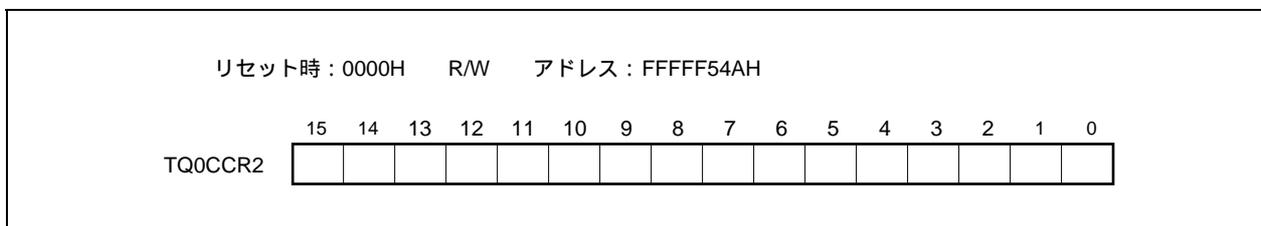
TQ0CCR2レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS2ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR2レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 サブクロック動作時、かつメイン・クロック停止時のTQ0CCR2レジスタへのアクセスは禁止です。詳細は、3.4.8(2)を参照してください。



(a) コンペア・レジスタとしての機能

TQ0CCR2レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC2) を発生し、TOQ02端子出力を許可している場合、TOQ02端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ02端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ02端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR2レジスタのリードが競合しても、TQ0CCR2レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(10) TMQ0キャプチャ/コンペア・レジスタ3 (TQ0CCR3)

TQ0CCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

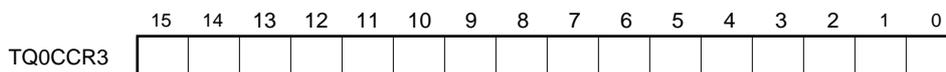
TQ0CCR3レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 サブクロック動作時、かつメイン・クロック停止時のTQ0CCR3レジスタへのアクセスは禁止です。詳細は、3.4.8(2)を参照してください。

リセット時：0000H R/W アドレス：FFFFF54CH



(a) コンペア・レジスタとしての機能

TQ0CCR3レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC3) を発生し、TOQ03端子出力を許可している場合、TOQ03端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ03端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ03端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR3レジスタのリードが競合しても、TQ0CCR3レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8 - 5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(11) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

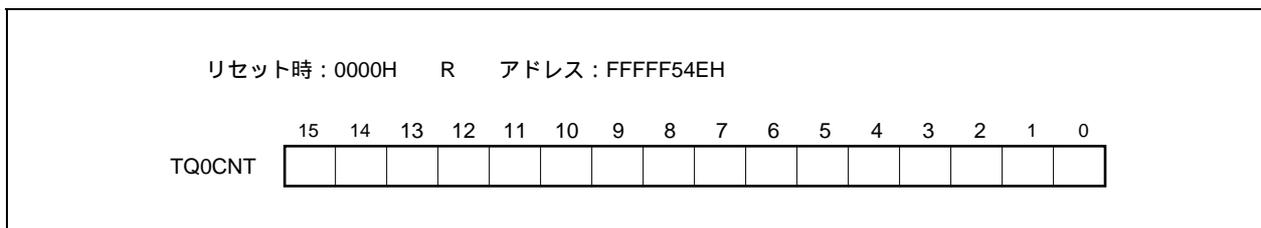
TQ0CTL0.TQ0CEビット = 1のときにTQ0CNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TQ0CEビット = 0のとき、TQ0CNTレジスタは0000Hになります。このときにTQ0CNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTQ0CEビット = 0になるため、TQ0CNTレジスタは0000Hになります。

注意 サブクロック動作時、かつメイン・クロック停止時のTQ0CNTレジスタへのアクセスは禁止です。詳細は、3.4.8(2)を参照してください。



8.5 動作

TMQ0には次のような動作があります。

動作	TQ0CTL1.TQ0ESTビット (ソフトウェア・トリガ・ビット)	TIQ00端子 (外部トリガ入力)	キャプチャ/コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

- 注1. 外部イベント・カウント・モードを使用する場合、TIQ00端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TQ0IOC1.TQ0IS1, TQ0IS0ビットを“00”) に設定してください。
2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TQ0CTL1.TQ0EEEビット = 0に設定) してください。

8.5.1 インターバル・タイマ・モード (TQ0MD2-TQ0MD0 = 000)

インターバル・タイマ・モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号 (INTTQ0CC0) を発生します。また、TQ0Q0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタを使用しません。

図8-2 インターバル・タイマの構成図

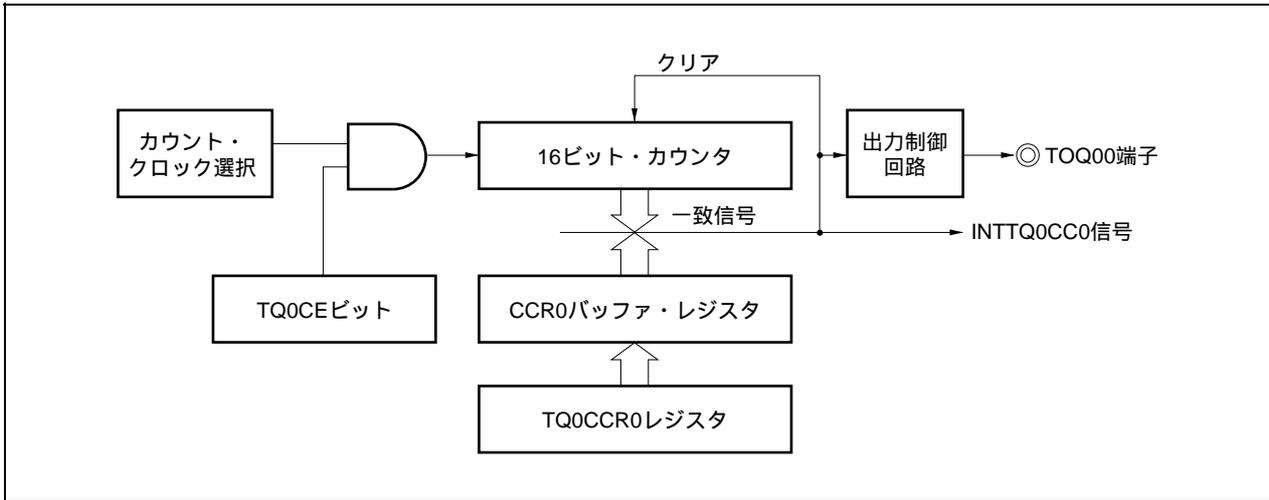
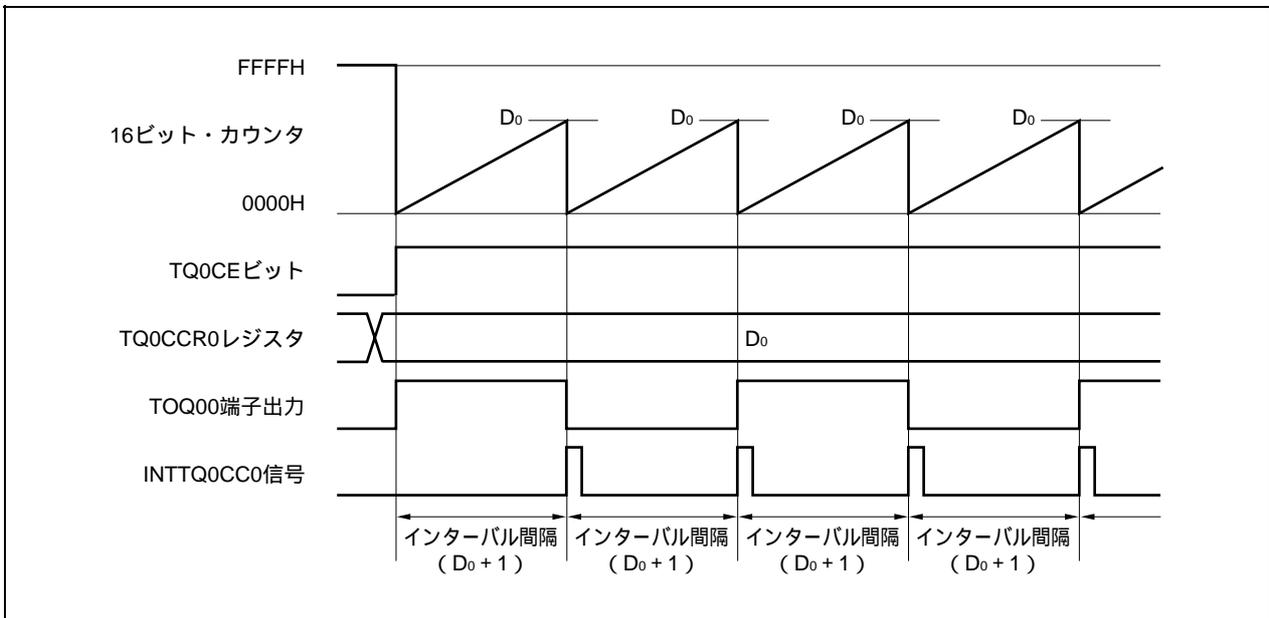


図8-3 インターバル・タイマ・モード動作の基本タイミング



TQ0CEビットをセット (1) することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOQ00端子出力を反転します。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOQ00端子出力を反転させて、コンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TQ0CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図8-4 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)

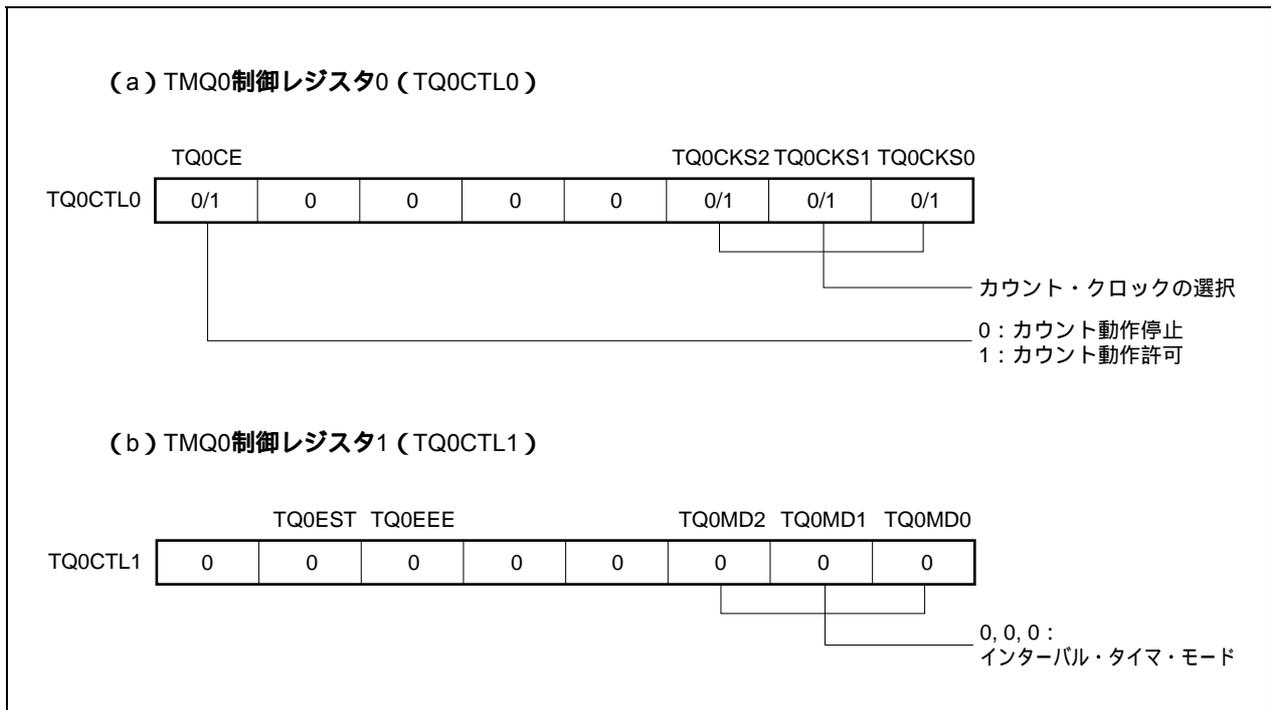
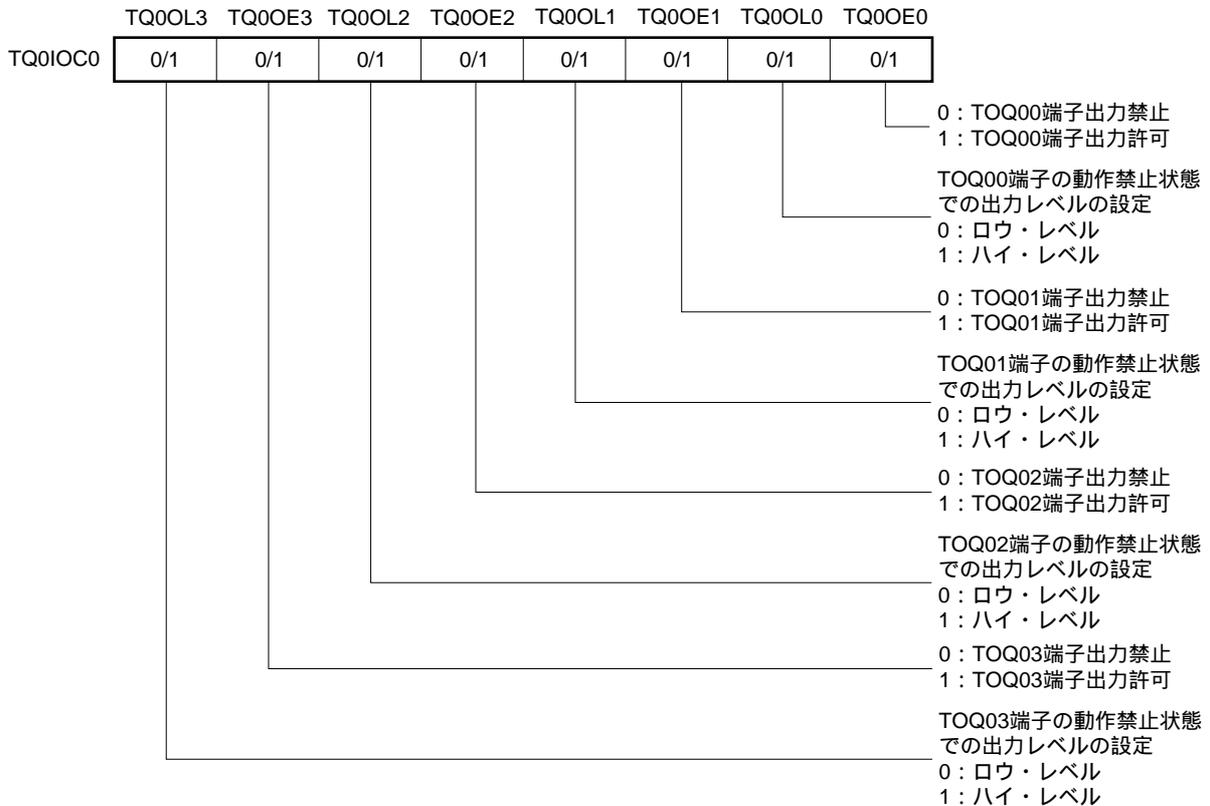


図8 - 4 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)



(d) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(e) TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)

TQ0CCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

となります。

(f) TMQ0キャプチャ/コンペア・レジスタ1-3 (TQ0CCR1-TQ0CCR3)

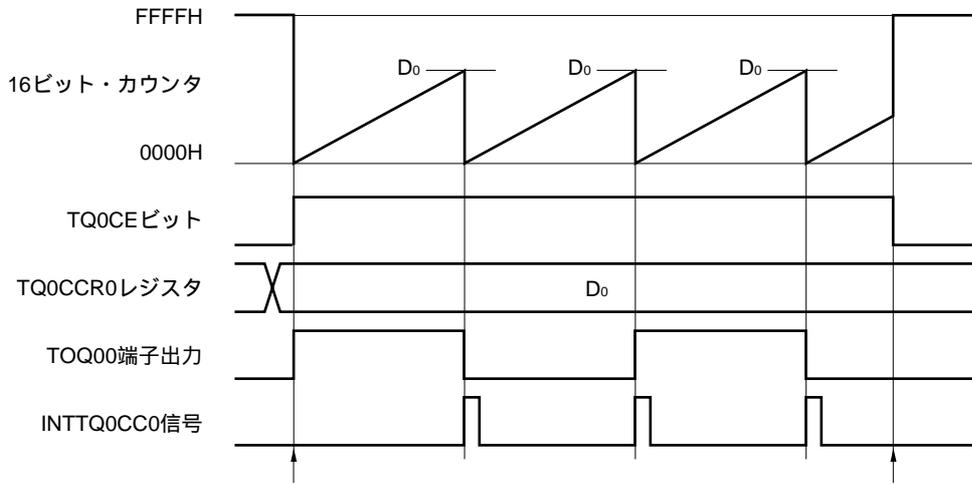
インターバル・タイマ・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタを使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペアー一致割り込み要求信号 (INTTQ0CC1-INTTQ0CC3) が発生します。

したがって、割り込みマスク・フラグ (TQ0CCMK1-TQ0CCMK3) でマスク設定しておいてください。

備考 TMQ0I/O制御レジスタ1 (TQ0IOC1)、TMQ0I/O制御レジスタ2 (TQ0IOC2)、TMQ0オプション・レジスタ0 (TQ0OPT0) は、インターバル・タイマ・モードでは使用しません。

(1) インターバル・タイマ・モード動作フロー

図8 - 5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



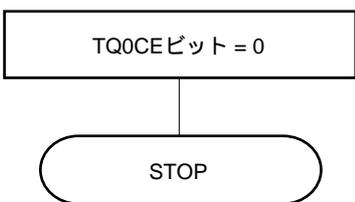
カウント動作開始フロー



TQ0CEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作開始 (TQ0CEビット = 1) と同時に、
TQ0CKS0-TQ0CKS2ビットの設定は可能。

カウント動作停止フロー



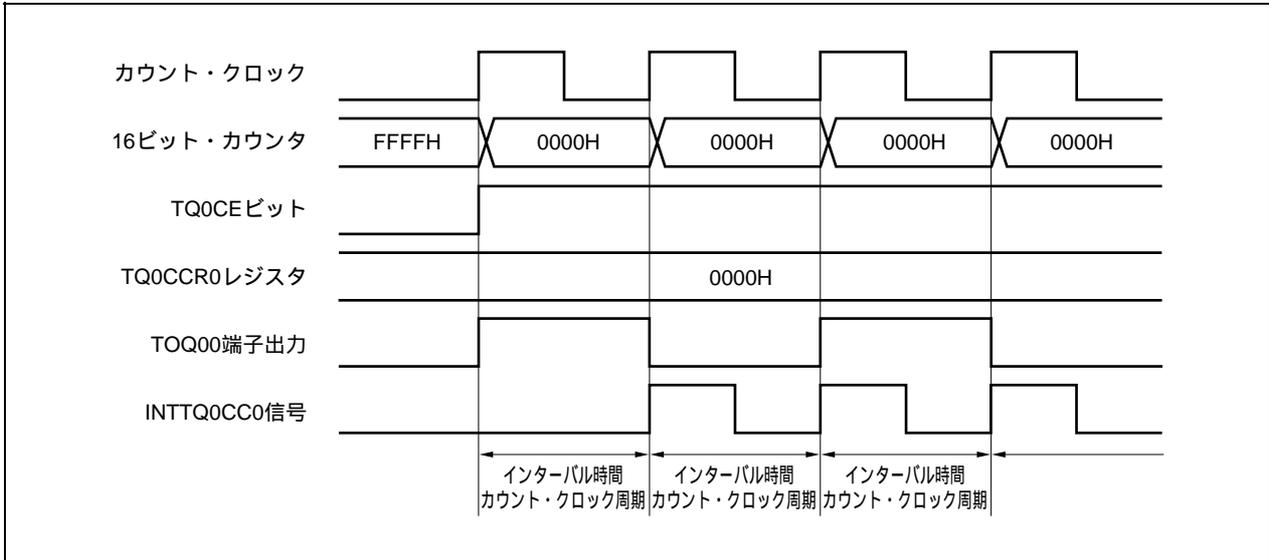
カウント動作停止 (TQ0CEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

(2) インターバル・タイマ・モード動作タイミング

(a) TQ0CCR0レジスタに0000Hを設定した場合の動作

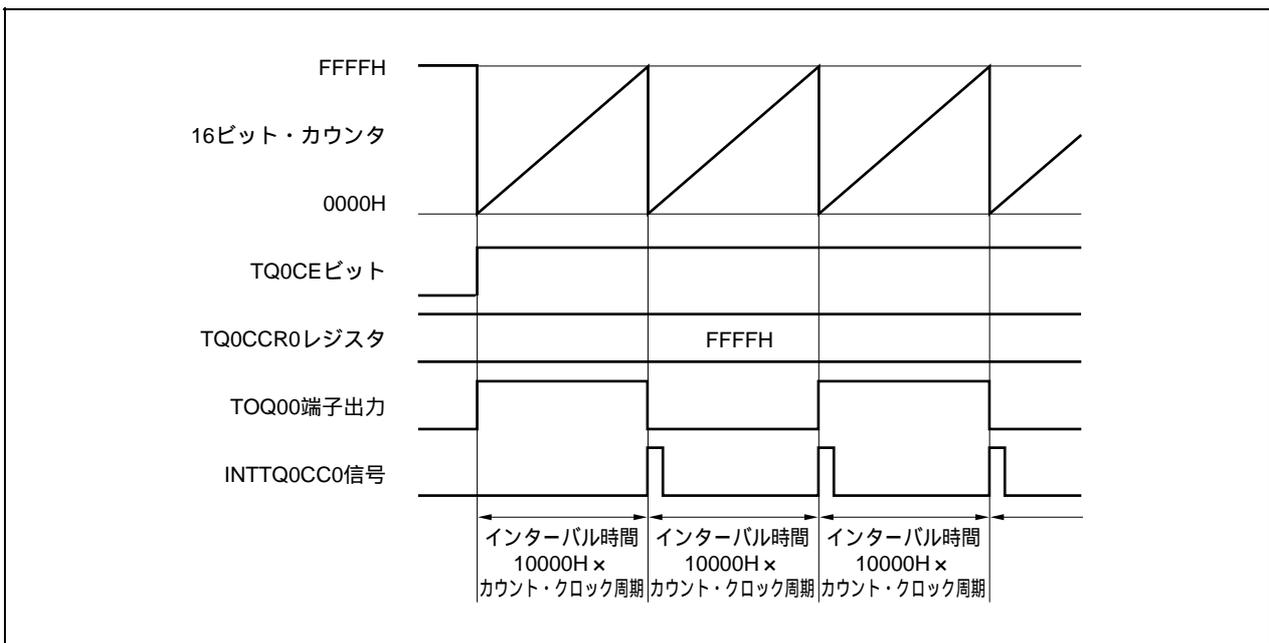
TQ0CCR0レジスタに0000Hを設定した場合,カウント・クロックごとにINTTQ0CC0信号を発生し, TOQ00端子の出力を反転します。

16ビット・カウンタは,常に0000Hとなります。



(b) TQ0CCR0レジスタにFFFFHを設定した場合の動作

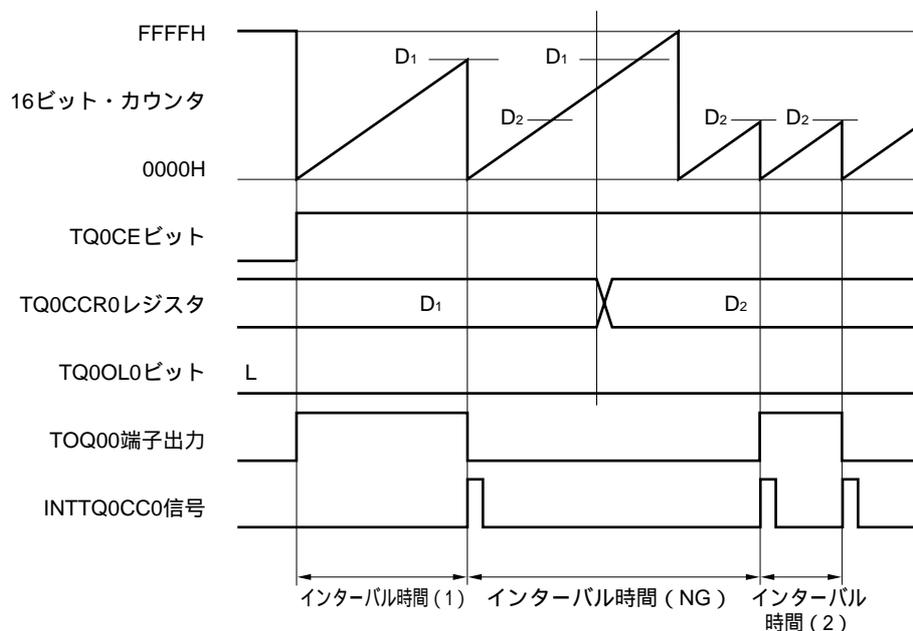
TQ0CCR0レジスタにFFFFHを設定した場合,16ビット・カウンタはFFFFHまでカウント動作を行い,次のカウント・アップ・タイミングに同期して,16ビット・カウンタを0000Hにクリアし,INTTQ0CC0信号を発生し,TOQ00端子の出力を反転します。このとき,オーバーフロー割り込み要求信号 (INTTQ0OV) は発生せず,オーバーフロー・フラグ (TQ0OPT0.TQ0OVFビット) もセット (1) されません。



(c) TQ0CCR0レジスタの書き換えに関する注意事項

TQ0CCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



- 備考** インターバル時間 (1) : $(D_1 + 1) \times \text{カウント・クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント・クロック周期}$

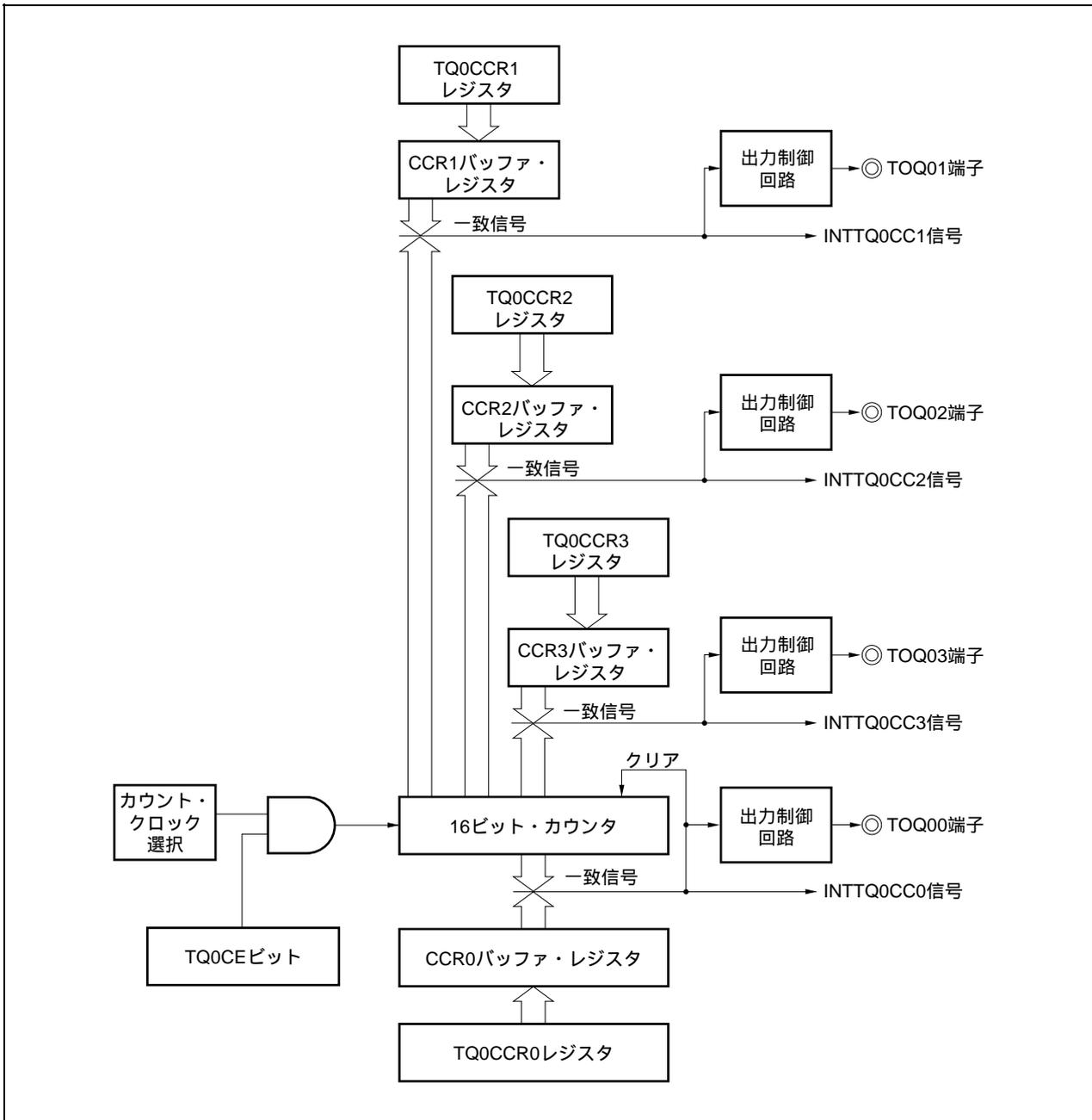
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TQ0CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTQ0CC0信号を発生しTOQ00端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント・クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント・クロック周期}$ 」でINTTQ0CC0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$ 」の間隔でINTTQ0CC0信号が発生する場合があります。

(d) TQ0CCR1-TQ0CCR3レジスタの動作

図8 - 6 TQ0CCR1-TQ0CCR3レジスタの構成図

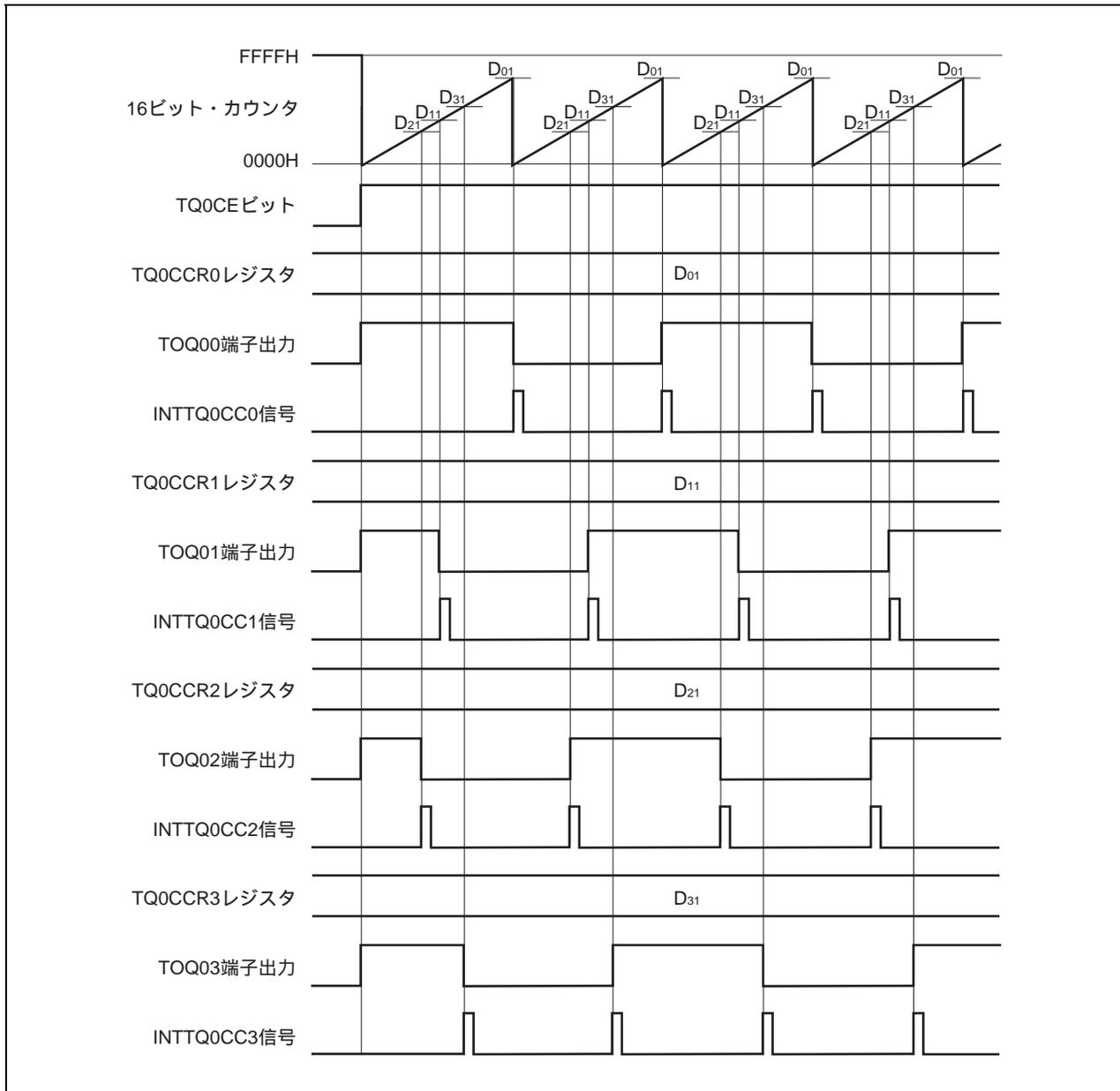


TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQ0CCK信号が発生します。また、同じタイミングでTOQ0k端子出力は反転します。

TOQ0k端子出力は、TOQ00端子出力と同じ周期の方形波を出力します。

備考 k = 1-3

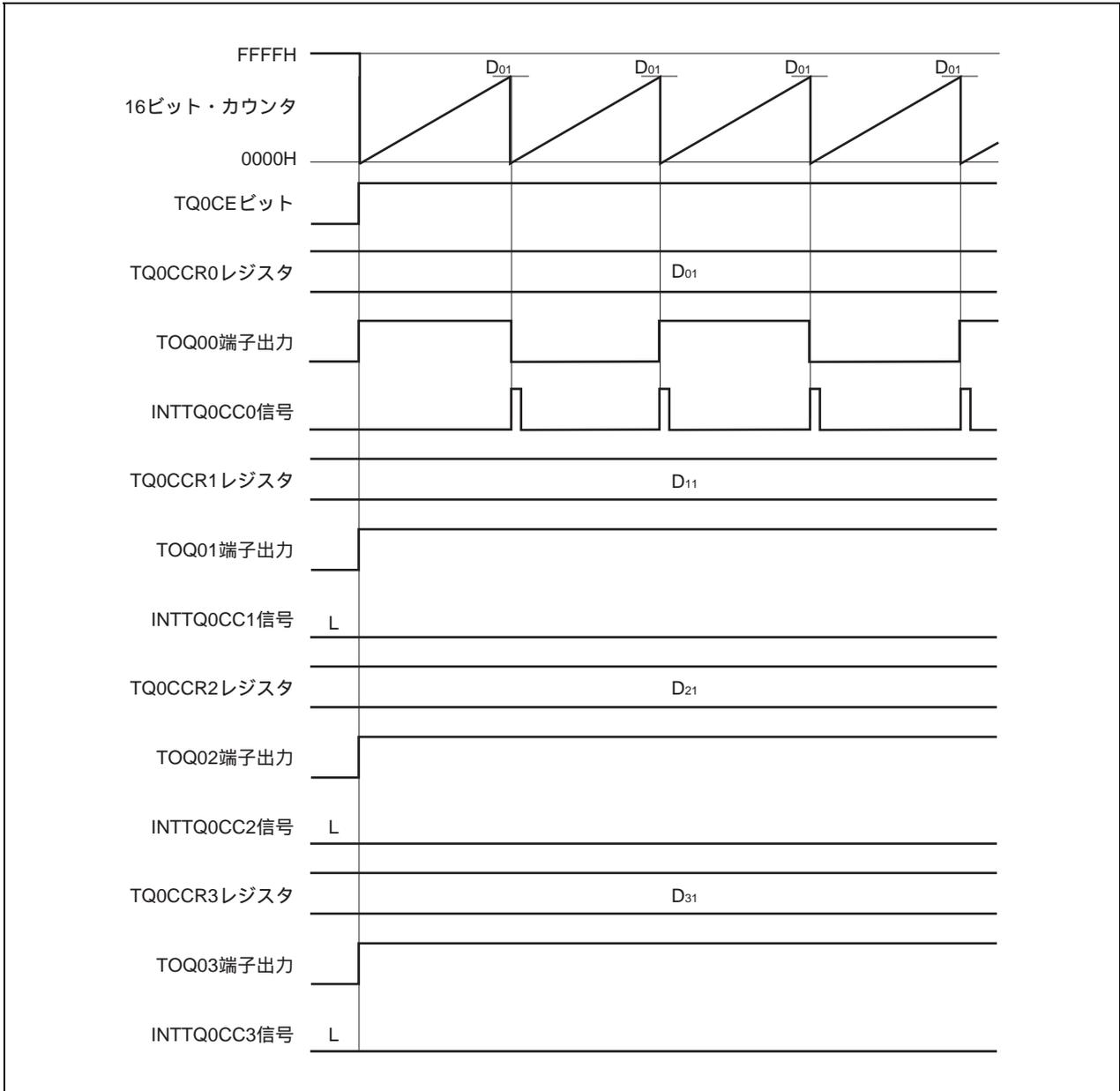
図8-7 D₀₁ D_{k1}の場合のタイミング図



TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値が一致しないので、INTTQ0CCk信号は発生しません。また、TOQ0k端子出力も変化しません。

備考 k = 1-3

図8 - 8 D₀₁ < D_{k1}の場合のタイミング図



8.5.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0 = 001)

外部イベント・カウント・モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすることに割り込み要求信号(INTTQ0CC0)を発生します。TQ000端子は使用できません。

外部イベント・カウント・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタは使用しません。

図8-9 外部イベント・カウント・モードの構成図

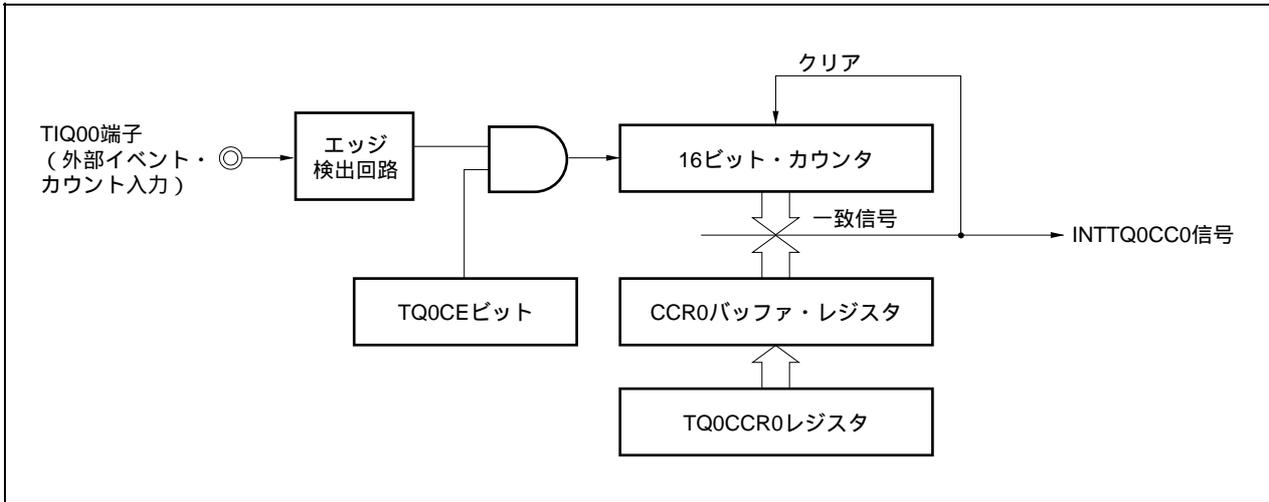
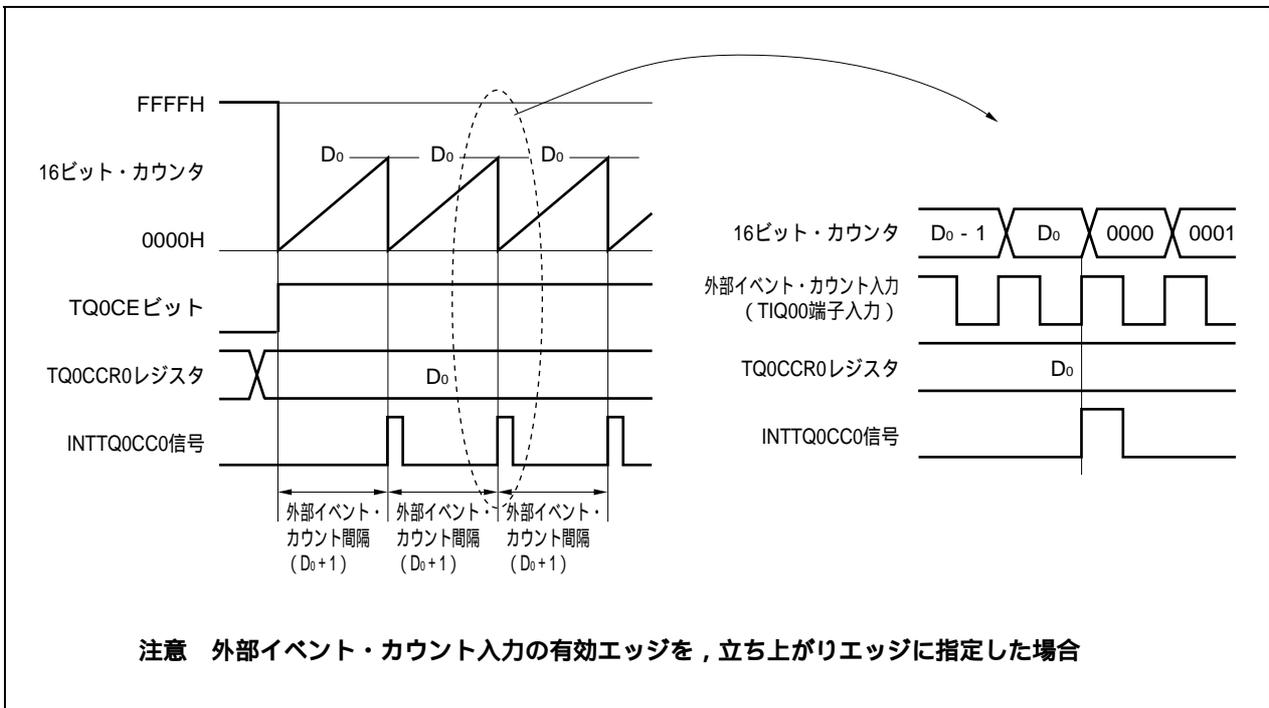


図8-10 外部イベント・カウント・モードの基本タイミング



TQ0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウント動作を行います。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。

INTTQ0CC0信号は、外部イベント・カウント入力の有効エッジを (TQ0CCR0レジスタに設定した値 + 1) 回検出することに発生します。

図8 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

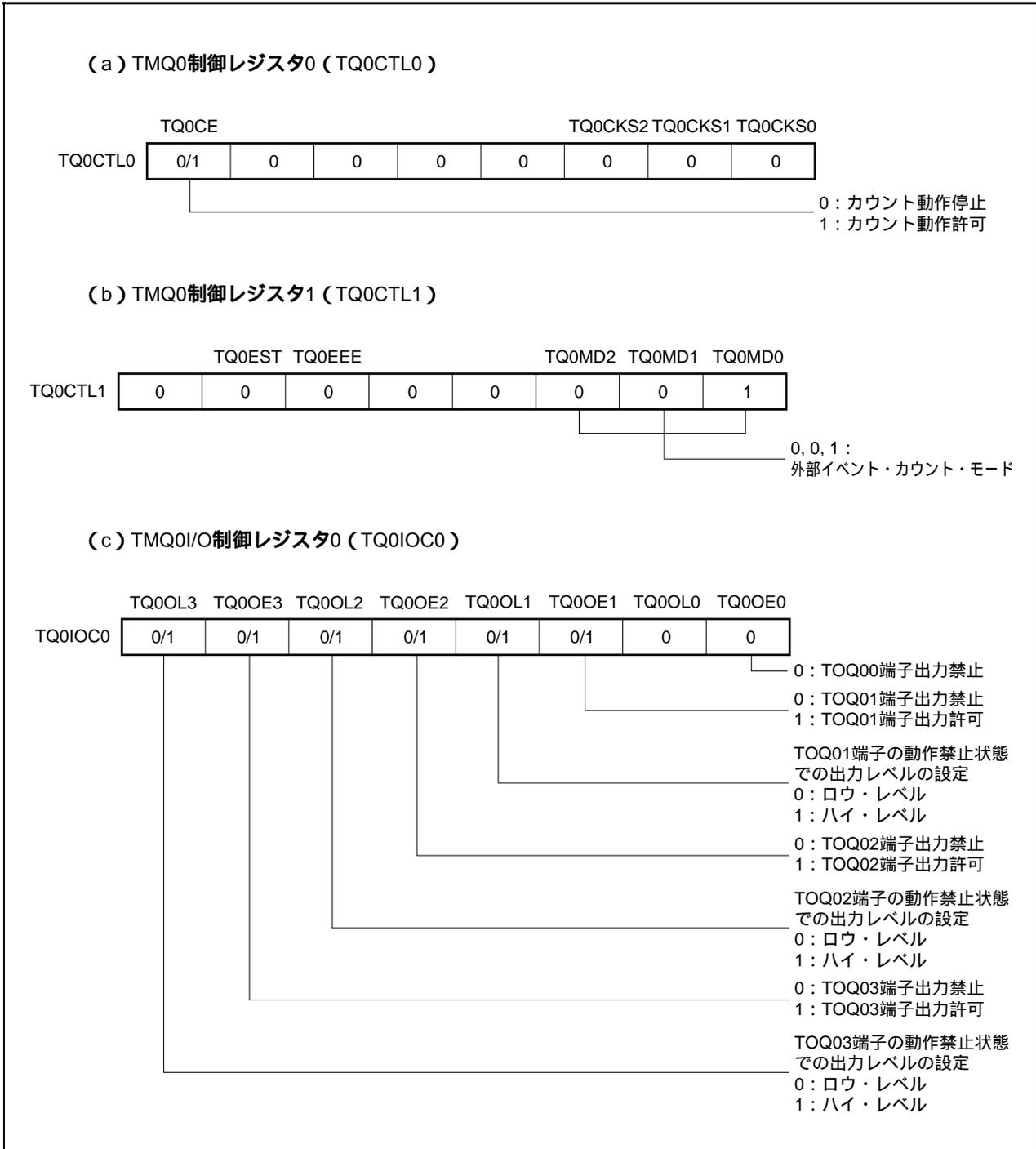
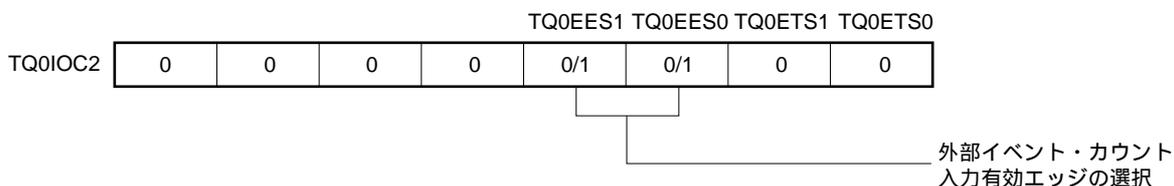


図8 - 11 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(f) TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)

TQ0CCR0レジスタにD₀を設定した場合、外部イベント・カウント数が (D₀ + 1) 回となるとカウンタをクリアしコンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。

(g) TMQ0キャプチャ/コンペア・レジスタ1-3 (TQ0CCR1-TQ0CCR3)

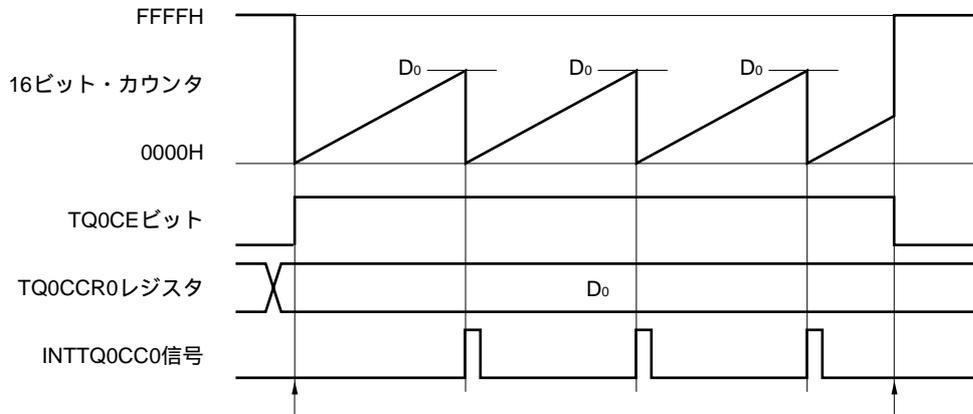
外部イベント・カウント・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタは使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTQ0CC1-INTTQ0CC3) が発生します。

したがって、割り込みマスク・フラグ (TQ0CCMK1-TQ0CCMK3) でマスク設定しておいてください。

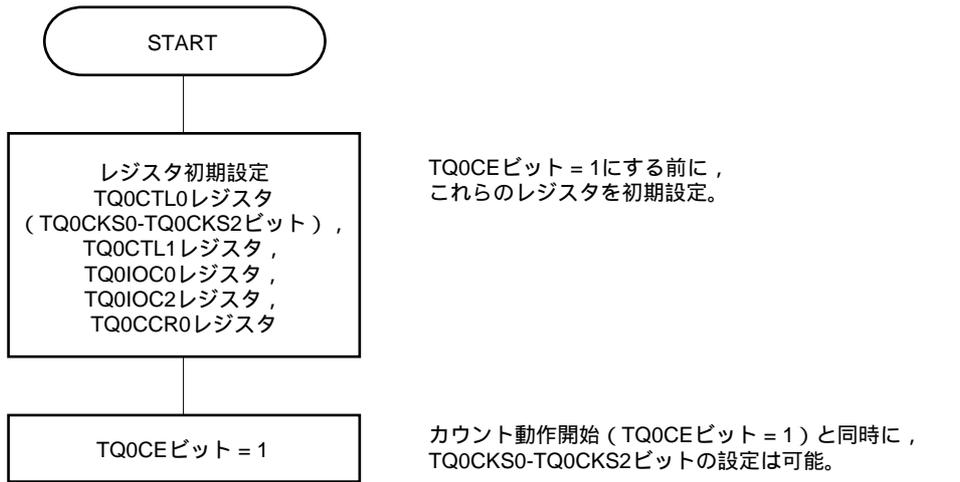
備考 TMQ0I/O制御レジスタ1 (TQ0IOC1)、TMQ0オプション・レジスタ0 (TQ0OPT0) は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

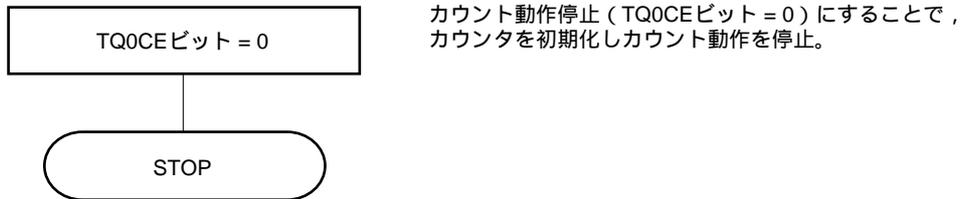
図8 - 12 外部イベント・カウント・モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー

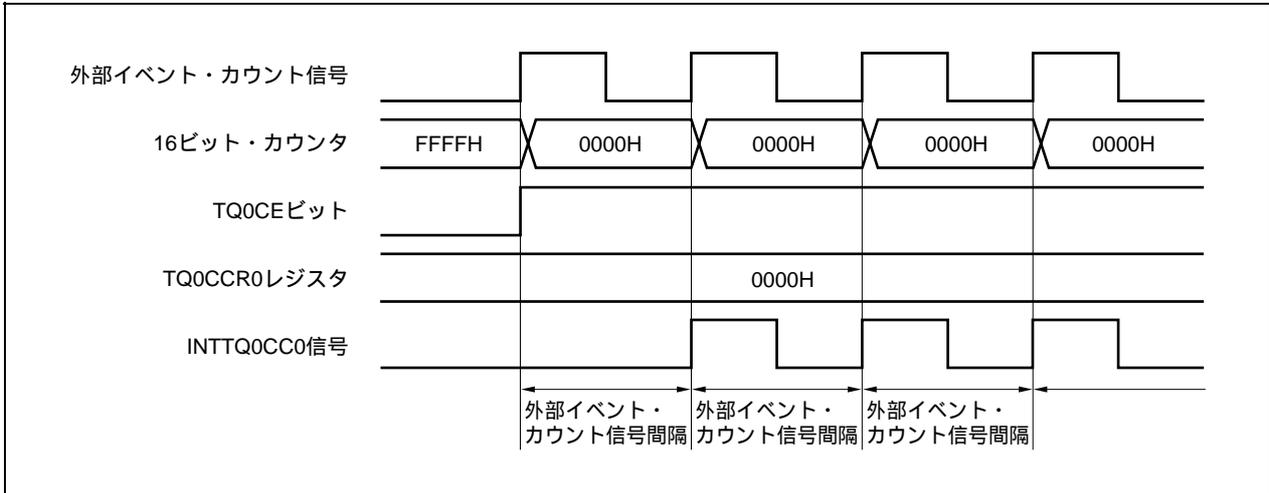


(2) 外部イベント・カウント・モード動作タイミング

(a) TQ0CCR0レジスタに0000Hを設定した場合の動作

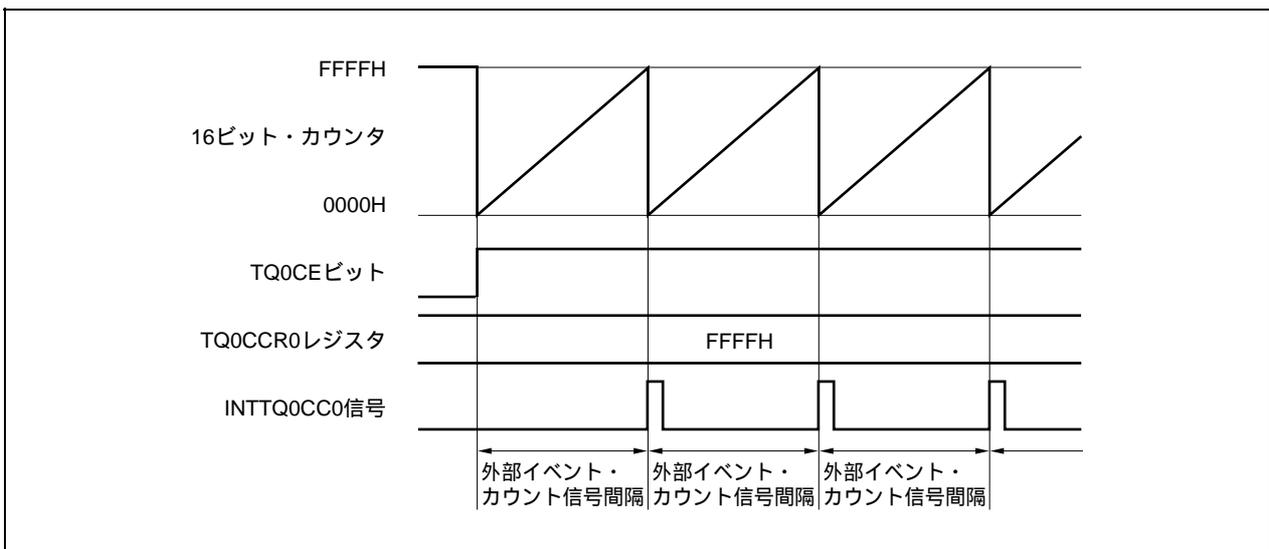
TQ0CCR0レジスタに0000Hを設定した場合、外部イベント・カウント信号の有効エッジを検出するごとにINTTQ0CC0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TQ0CCR0レジスタにFFFFHを設定した場合の動作

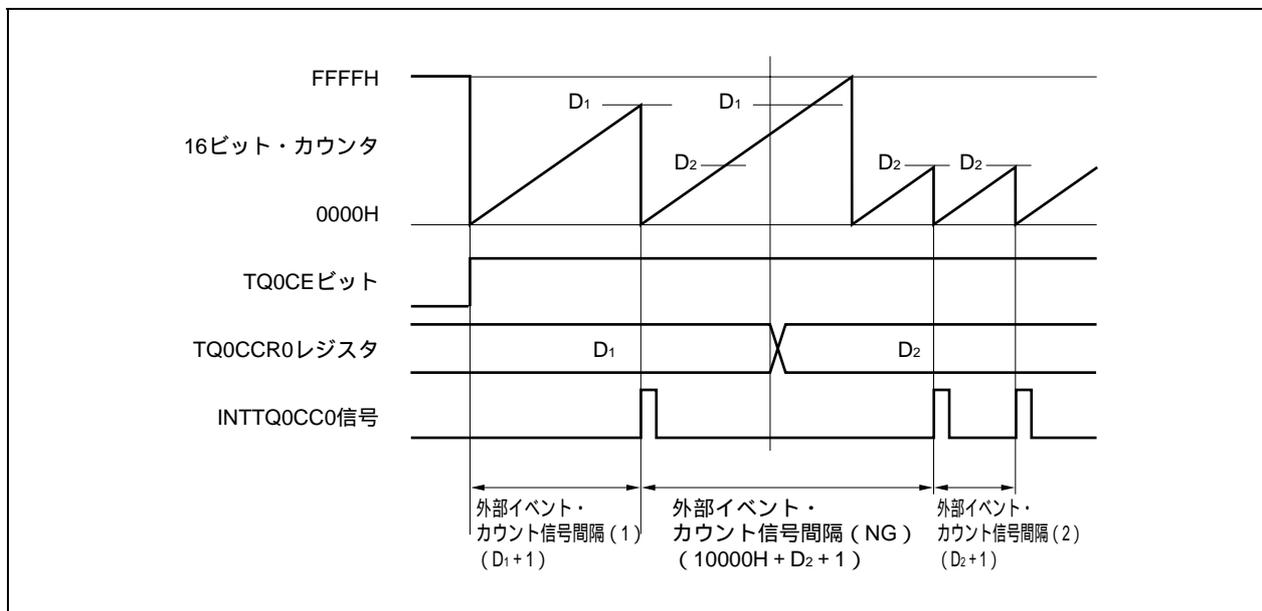
TQ0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTQ0CC0信号を発生します。このとき、TQ0OPT0.TQ0OVFビットはセットされません。



(c) TQ0CCR0レジスタの書き換えに関する注意事項

TQ0CCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



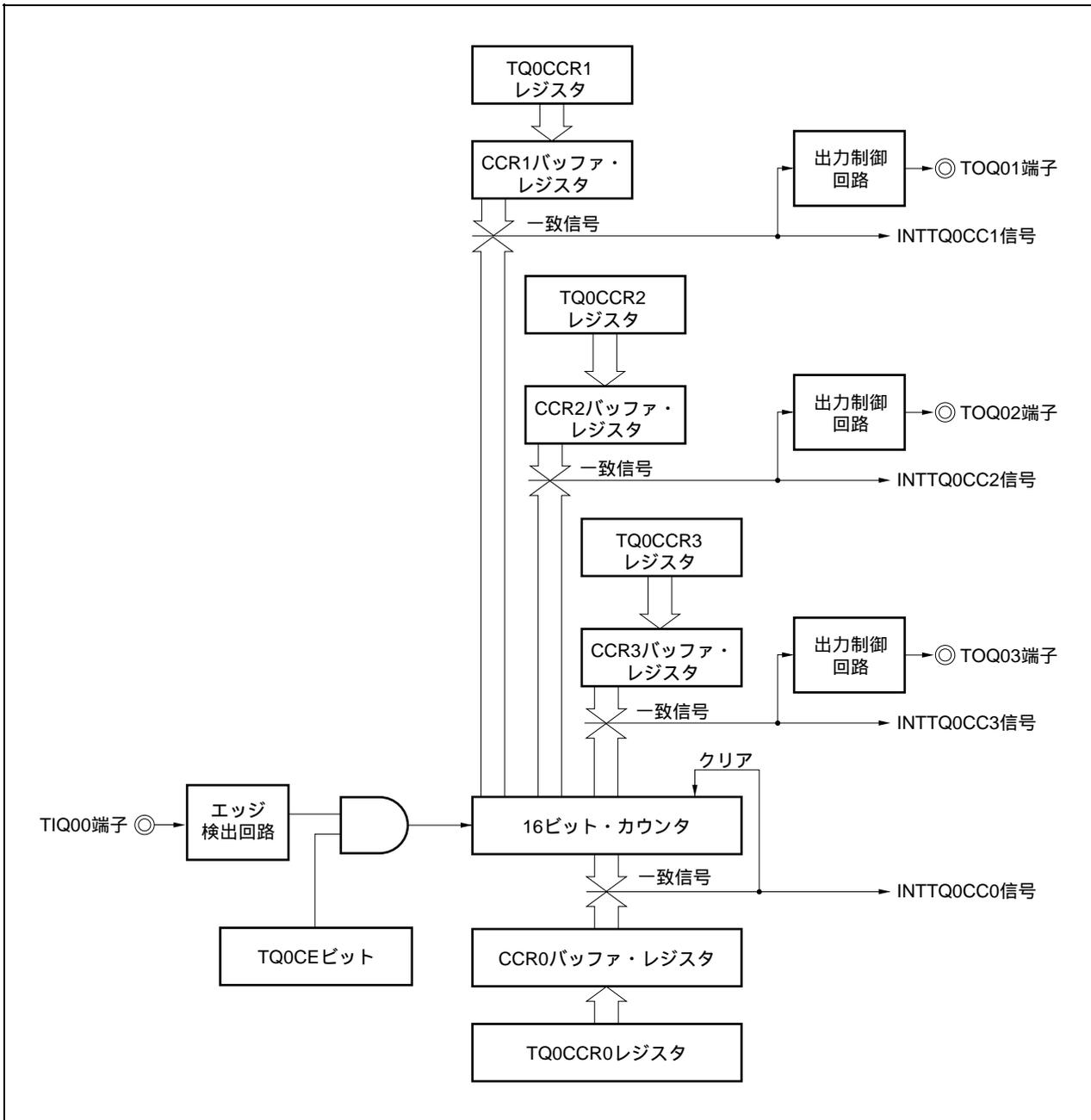
カウント値がD₂よりも大きくD₁よりも小さい状態において、TQ0CCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTQ0CC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTQ0CC0信号は発生せず、「(10000H + D₂ + 1)回」の有効エッジ数でINTTQ0CC0信号が発生する場合があります。

(d) TQ0CCR1-TQ0CCR3レジスタの動作

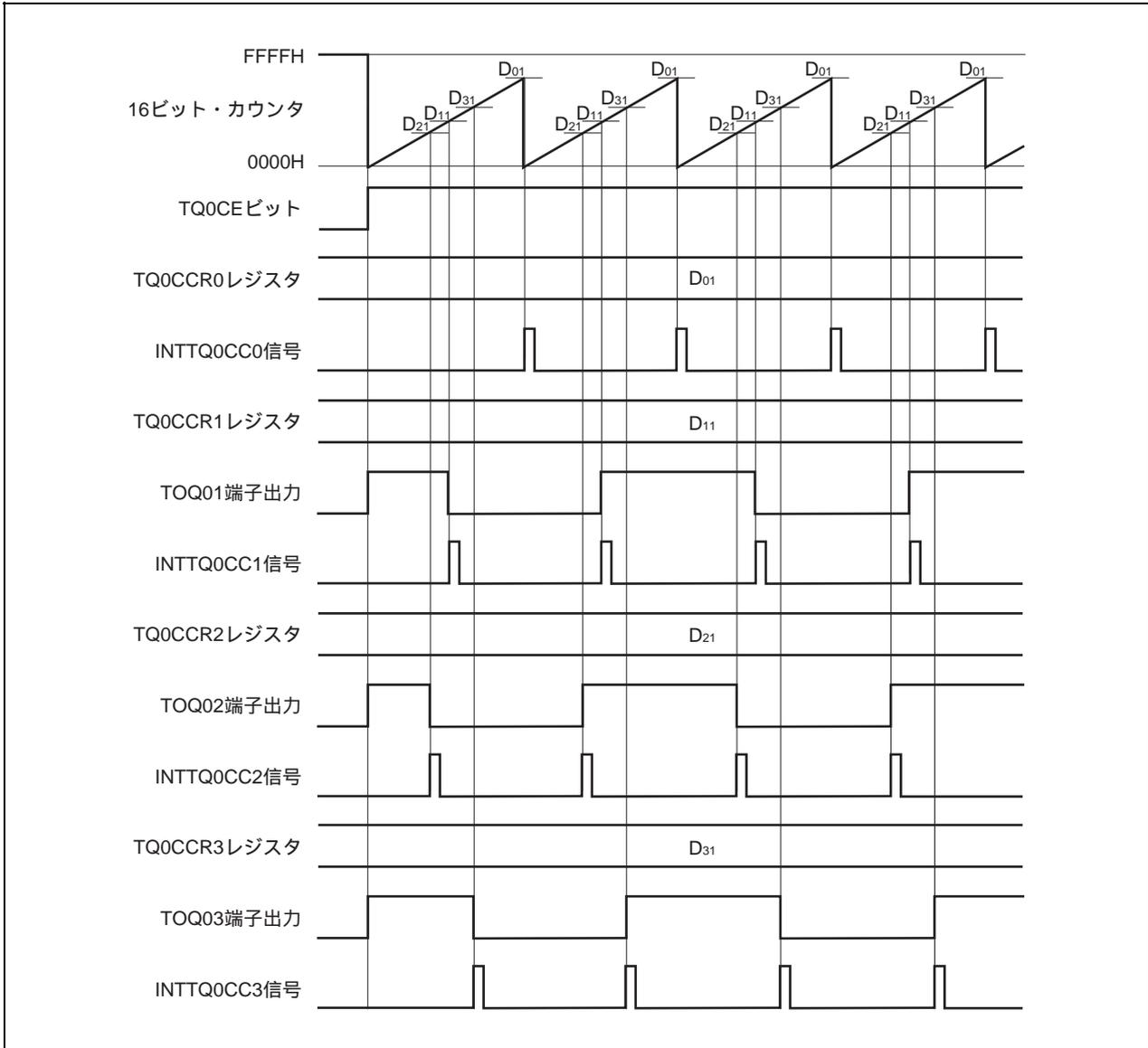
図8 - 13 TQ0CCR1-TQ0CCR3レジスタの構成図



TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQ0CCK信号が発生します。また、同じタイミングでTOQ0k端子出力は反転します。

備考 k = 1-3

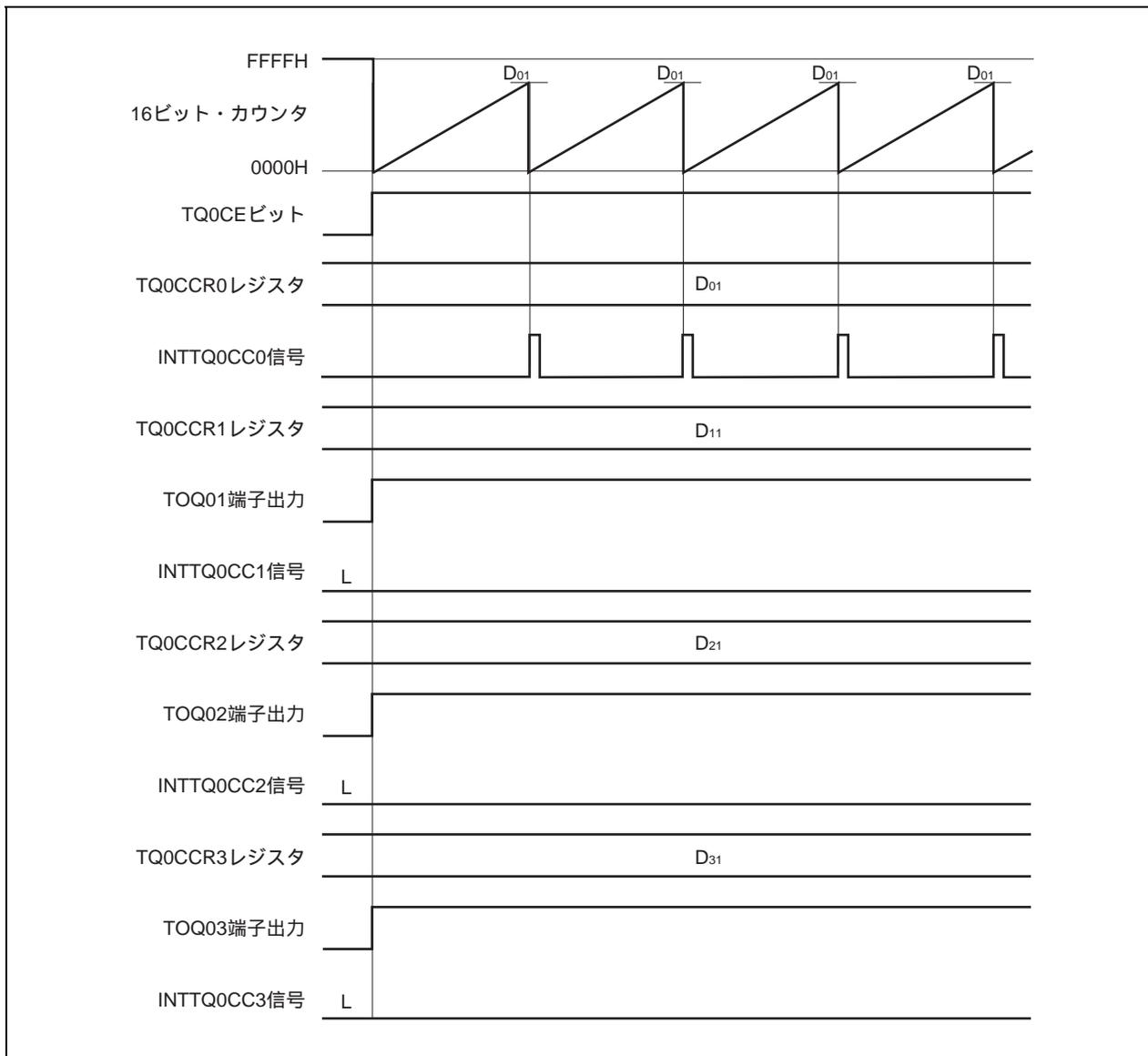
図8 - 14 D₀₁ D_{k1}の場合のタイミング図



TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値が一致しないので、INTTQ0CCk信号は発生しません。また、TOQ0k端子出力も変化しません。

備考 k = 1-3

図8 - 15 D₀₁ < D_{k1}の場合のタイミング図



8.5.3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0 = 010)

外部トリガ・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOQ01-TOQ03端子から最大3相のPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOQ00端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図8 - 16 外部トリガ・パルス出力モードの構成図

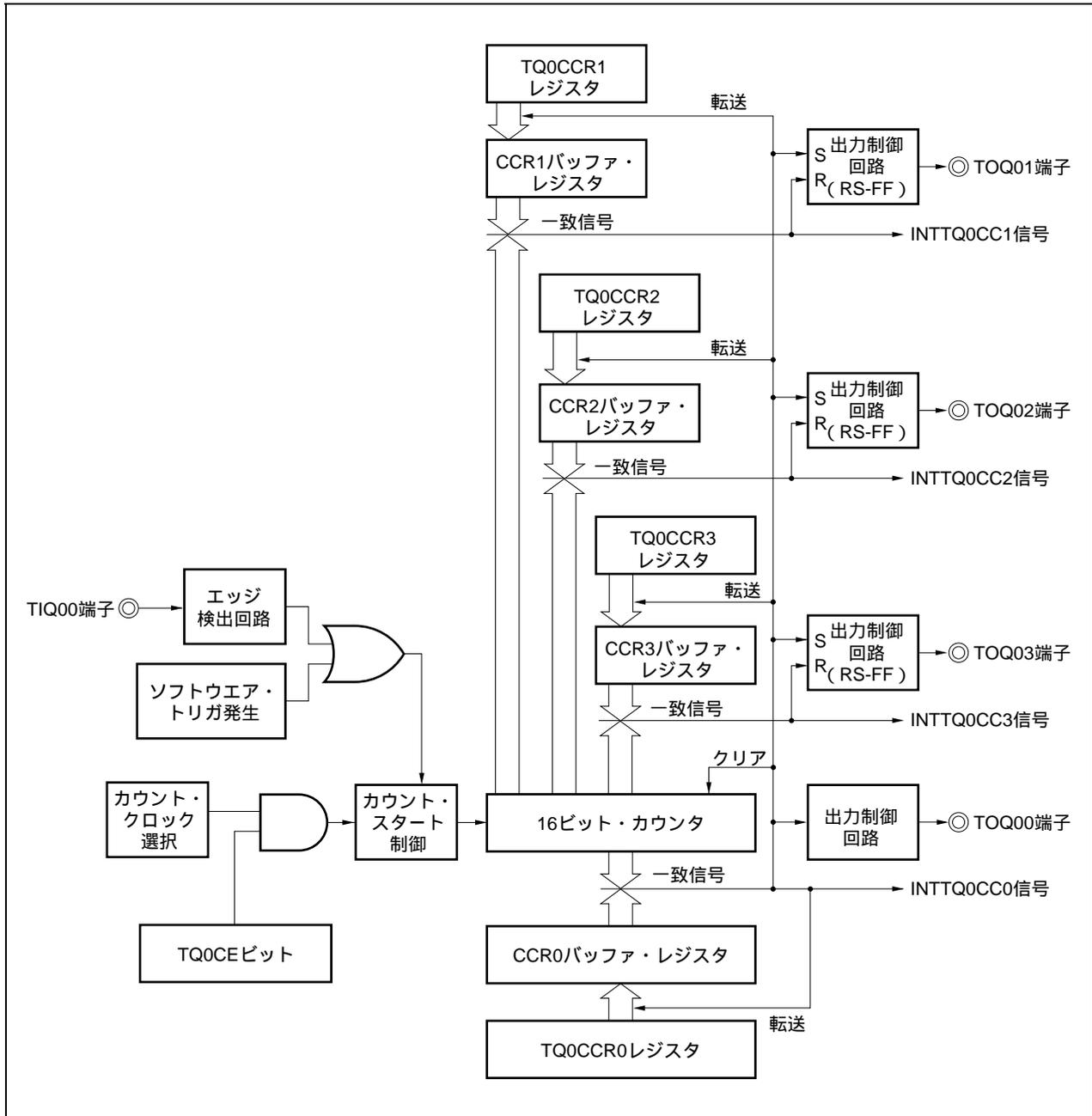
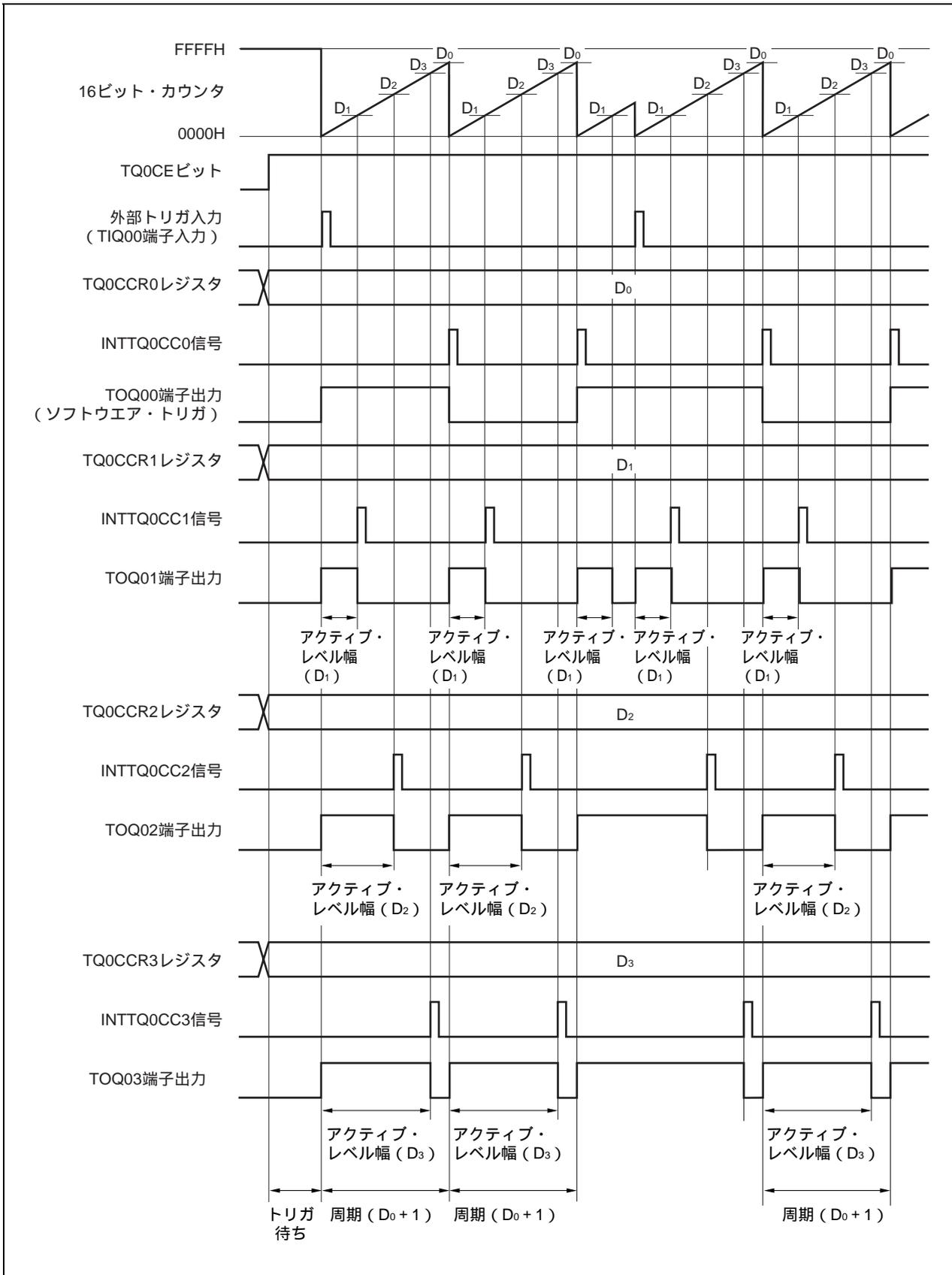


図8 - 17 外部トリガ・パルス出力モードの基本タイミング



TQ0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0k端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TQ0CCRkレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TQ0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TQ0CCRkレジスタの設定値}) / (\text{TQ0CCR0レジスタの設定値} + 1)$$

コンペアー一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTQ0CCK) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

TQ0CCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TQ0CTL1.TQ0ESTビット) のセット(1)があります。

備考 k = 1-3,

m = 0-3

図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)



図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

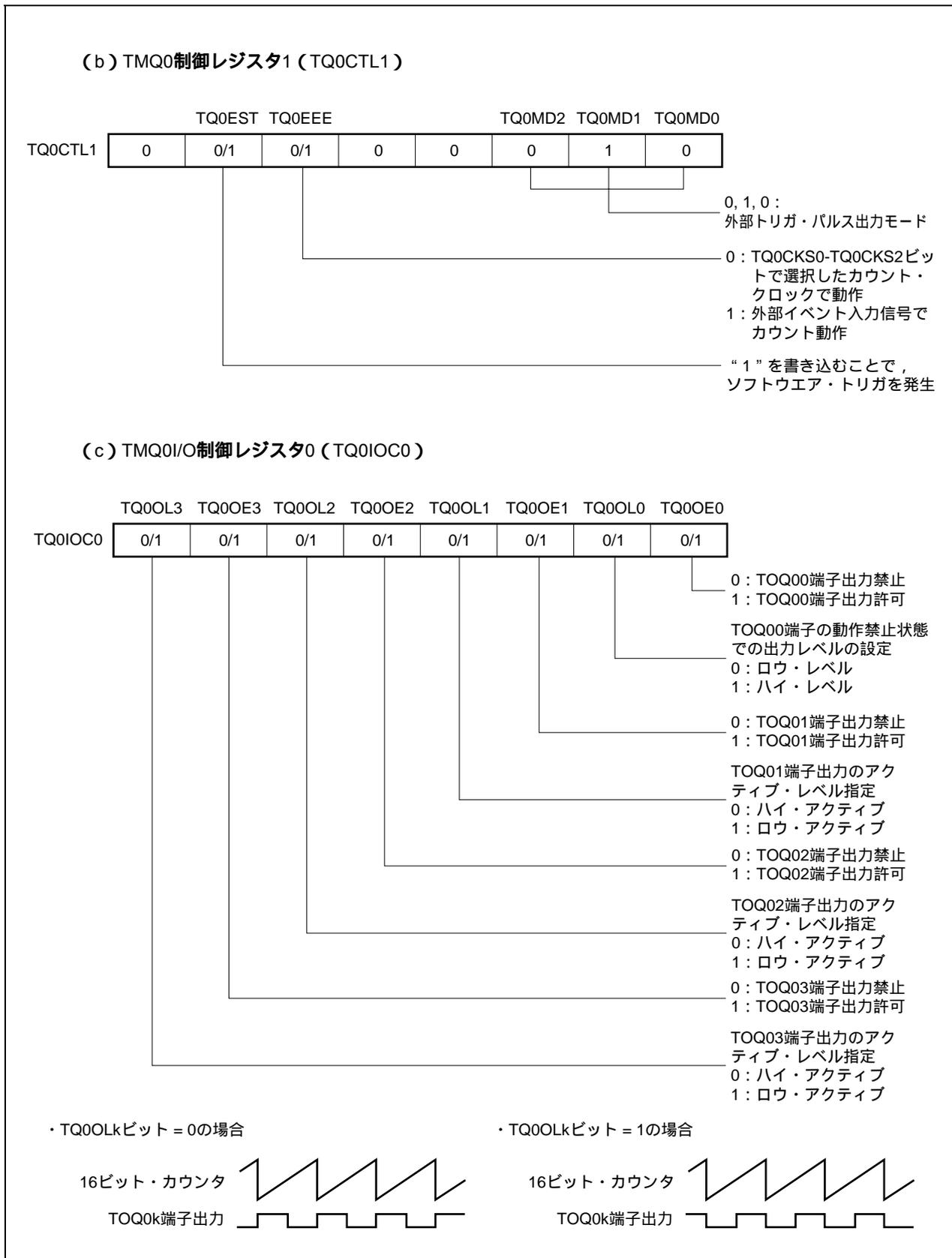
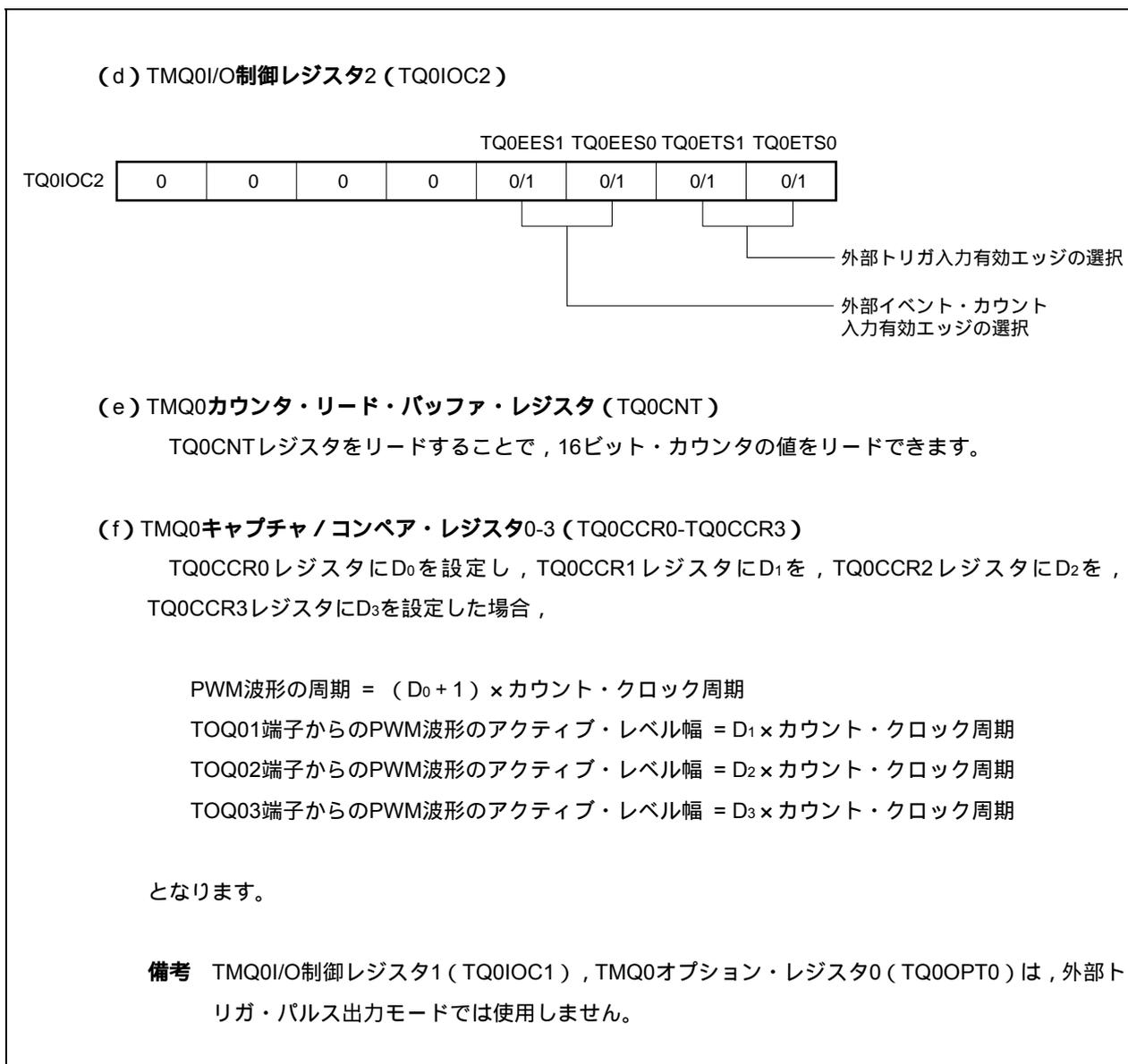


図8 - 18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)



(1) 外部トリガ・パルス出力モード動作フロー

図8 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

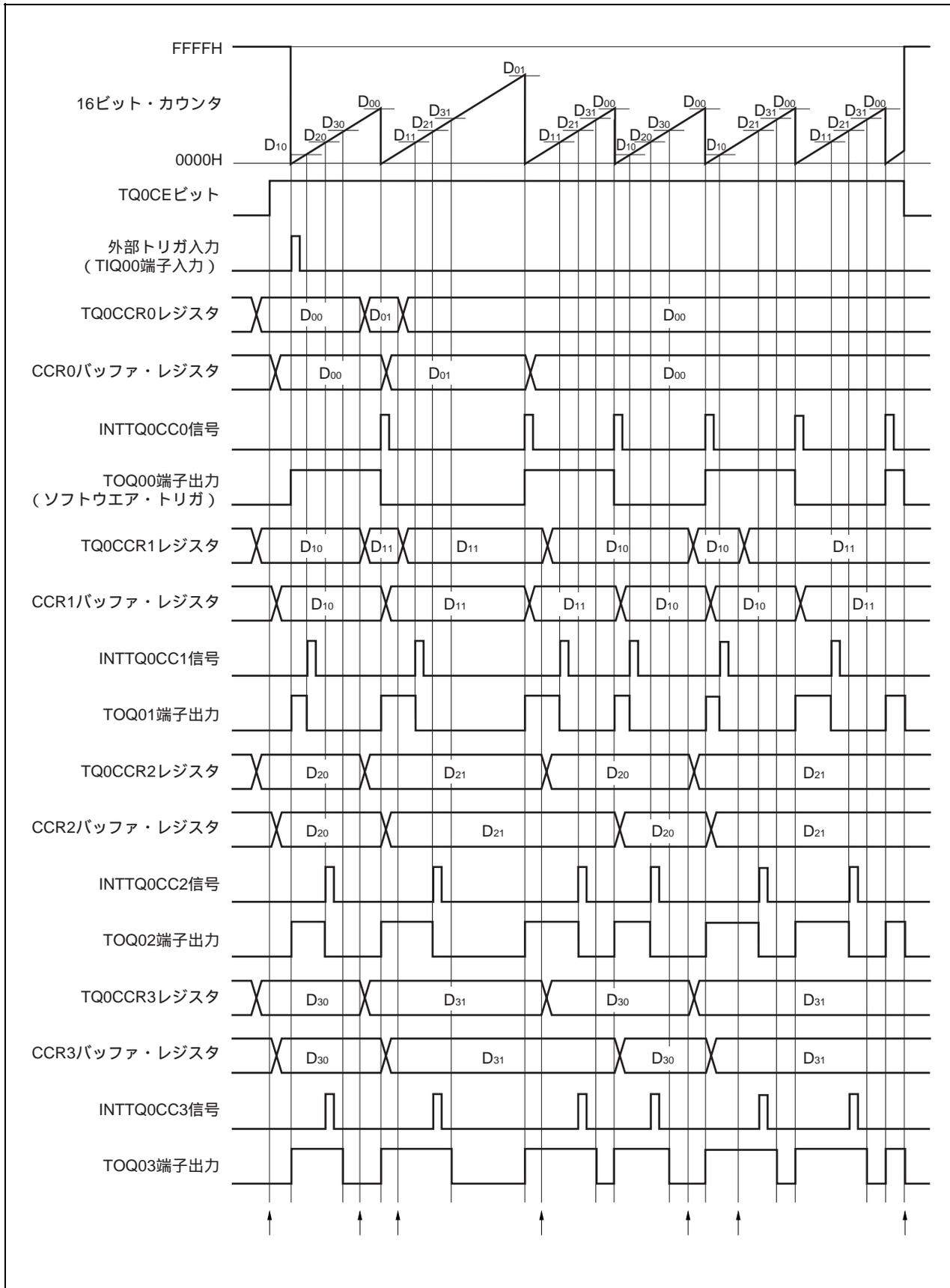
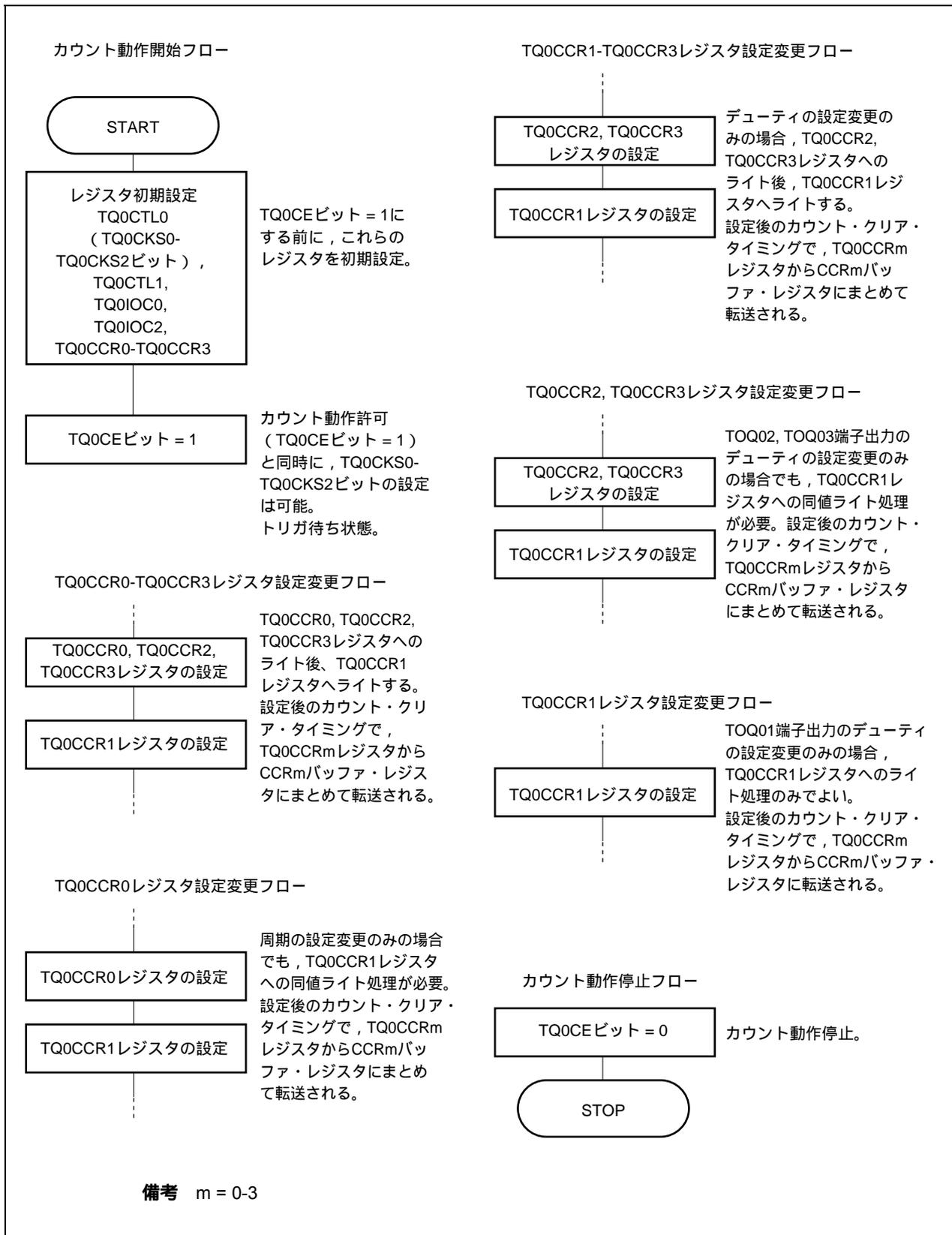


図8 - 19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

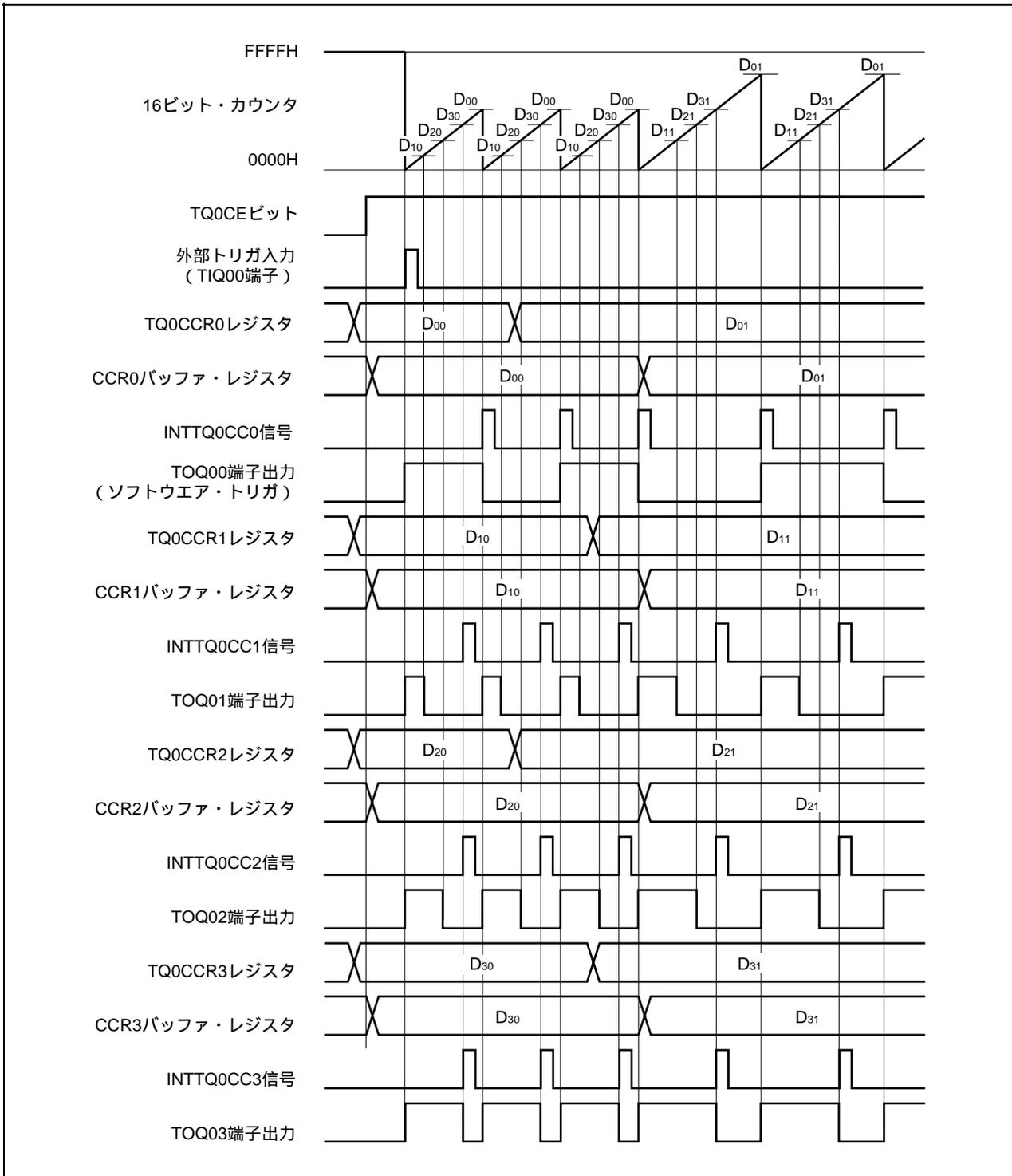


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRkレジスタの書き換えを行う場合には、INTTQ0CC0信号を検出後に書き換えてください。



TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2、TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2、TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ02、TOQ03端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2、TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値をライトしてください。

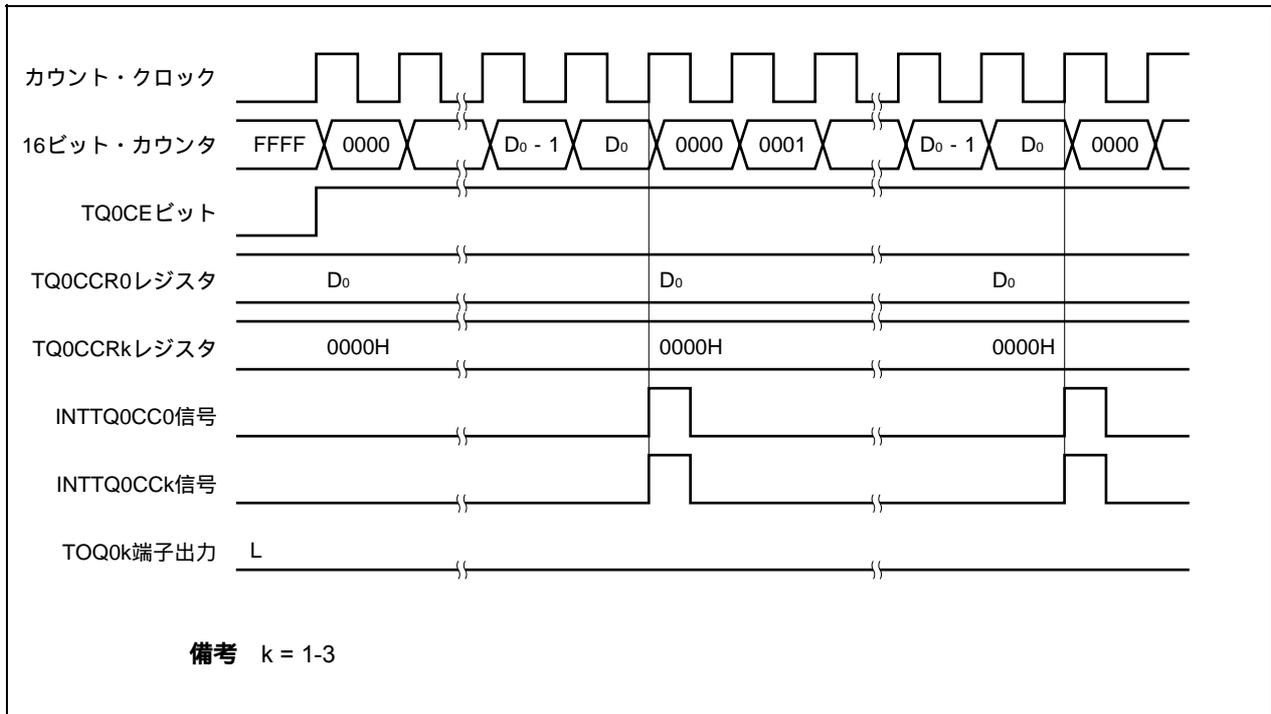
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TQ0CCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

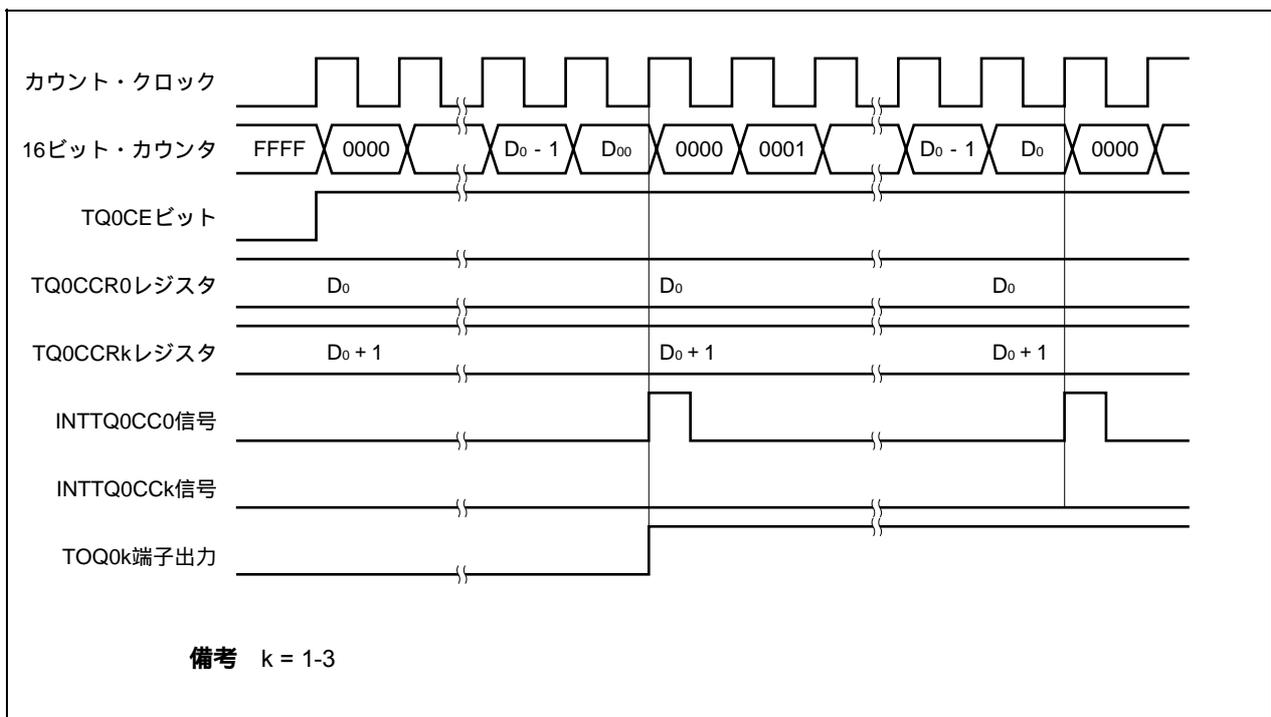
備考 m = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TQ0CCRkレジスタに対して0000Hを設定します。ただし, TQ0CCR0レジスタの設定値がFFFFHの場合には, INTTQ0CCk信号が定期的が発生します。

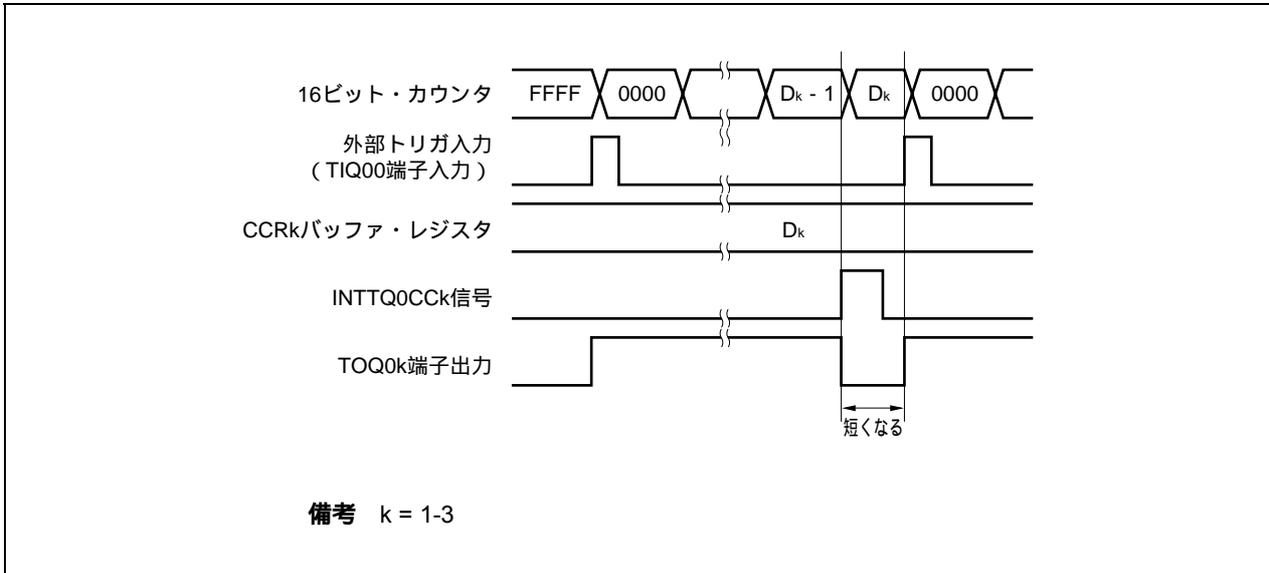


100 % 波形を出力するためには, TQ0CCRkレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には, 100 % 出力はできません。

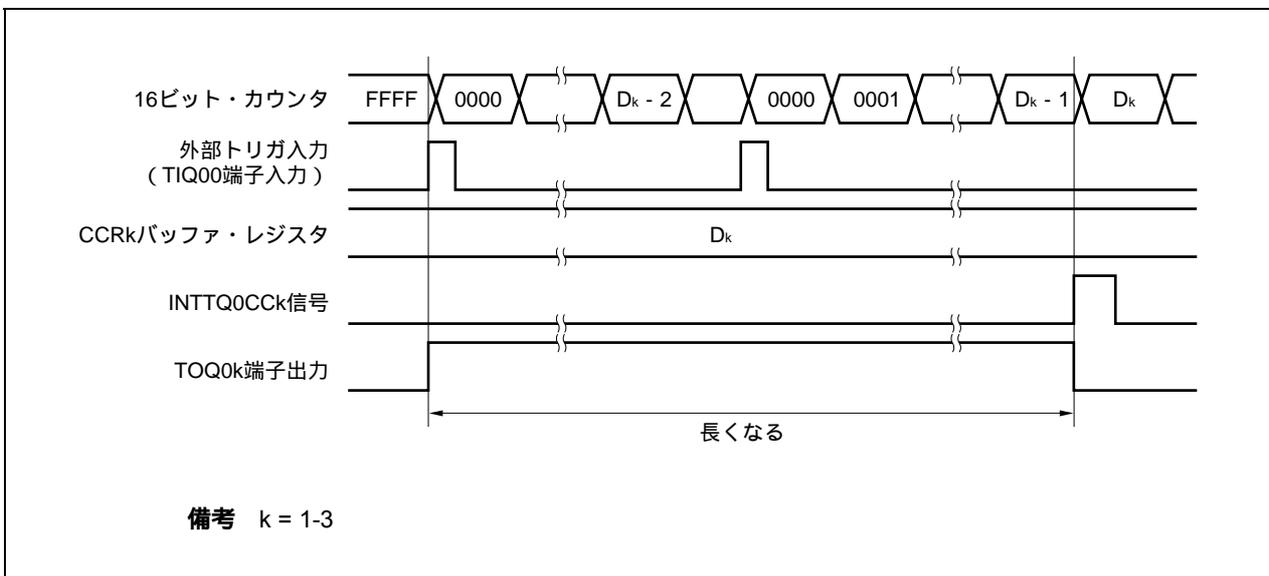


(c) トリガ検出とCCRkバッファ・レジスタとの一致の競合

INTTQ0CCk信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOQ0k端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

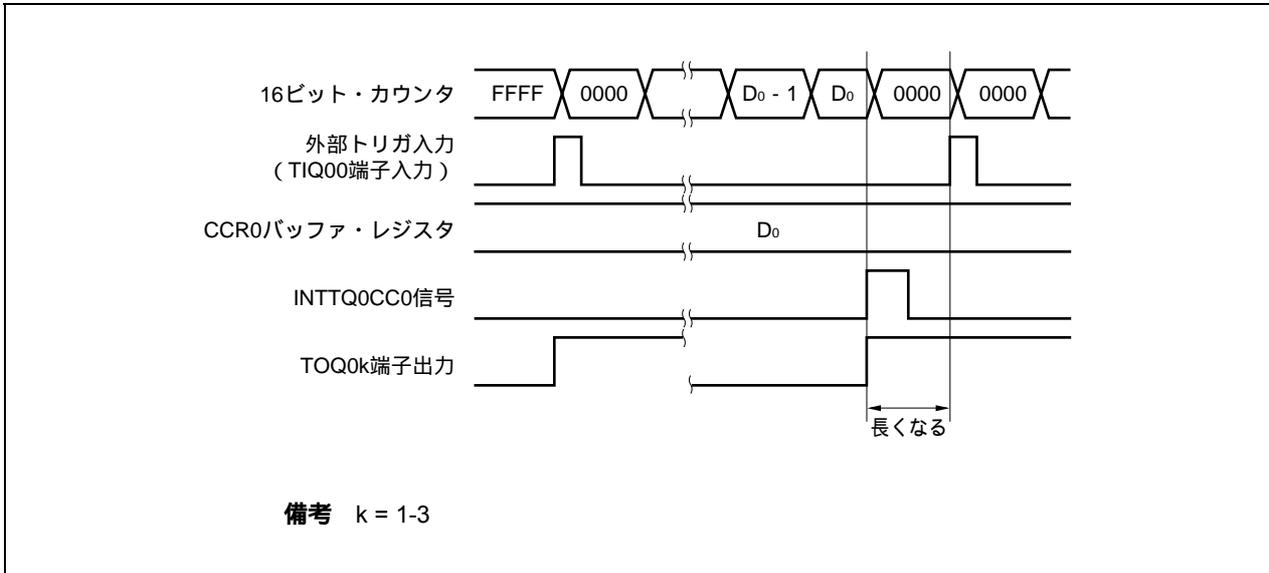


INTTQ0CCk信号発生直前にトリガを検出した場合には、INTTQ0CCk信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOQ0k端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

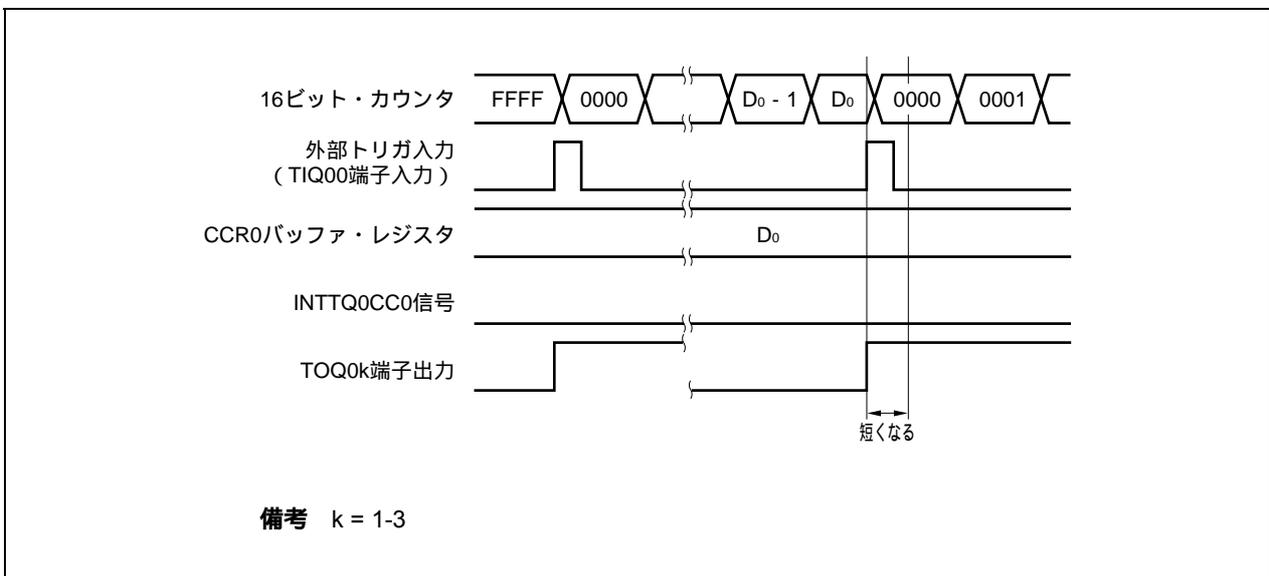


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTQ0CC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOQ0k端子出力のアクティブ期間が、INTTQ0CC0信号発生からトリガ検出までの分だけ長くなります。

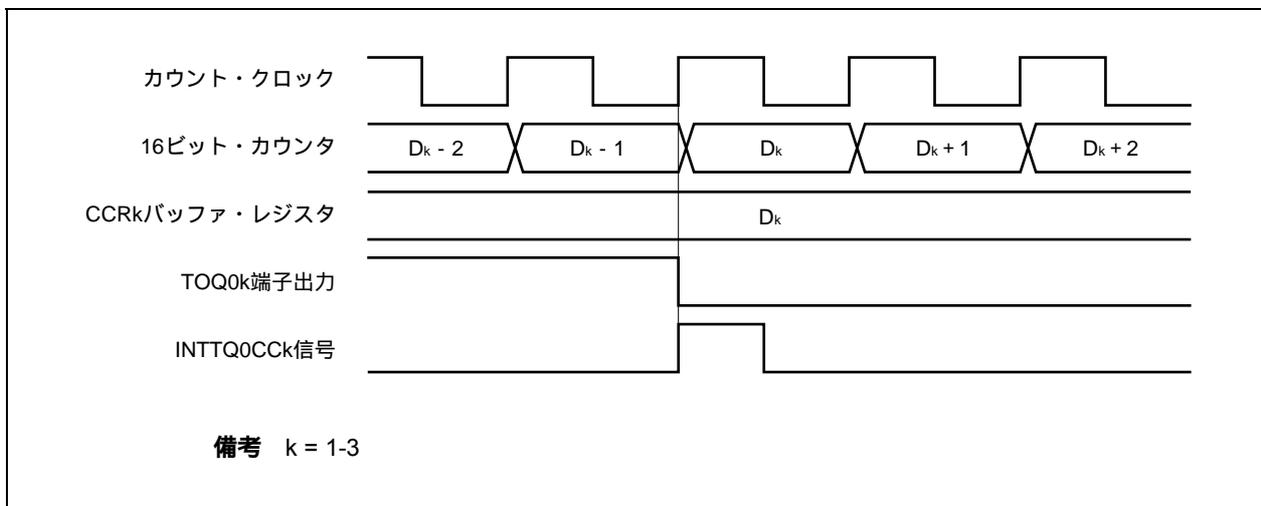


INTTQ0CC0信号発生直前にトリガを検出した場合、INTTQ0CC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOQ0k端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTQ0CCK信号の発生タイミングは、ほかのINTTQ0CCK信号と異なり、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致と同時に発生します。



通常、INTTQ0CCK信号は、16ビット・カウンタのカウンタ値とCCRkバッファ・レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQ0k端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.5.4 ワンショット・パルス出力モード (TQ0MD2-TQ0MD0 = 011)

ワンショット・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOQ01-TOQ03端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOQ00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図8-20 ワンショット・パルス出力モードの構成図

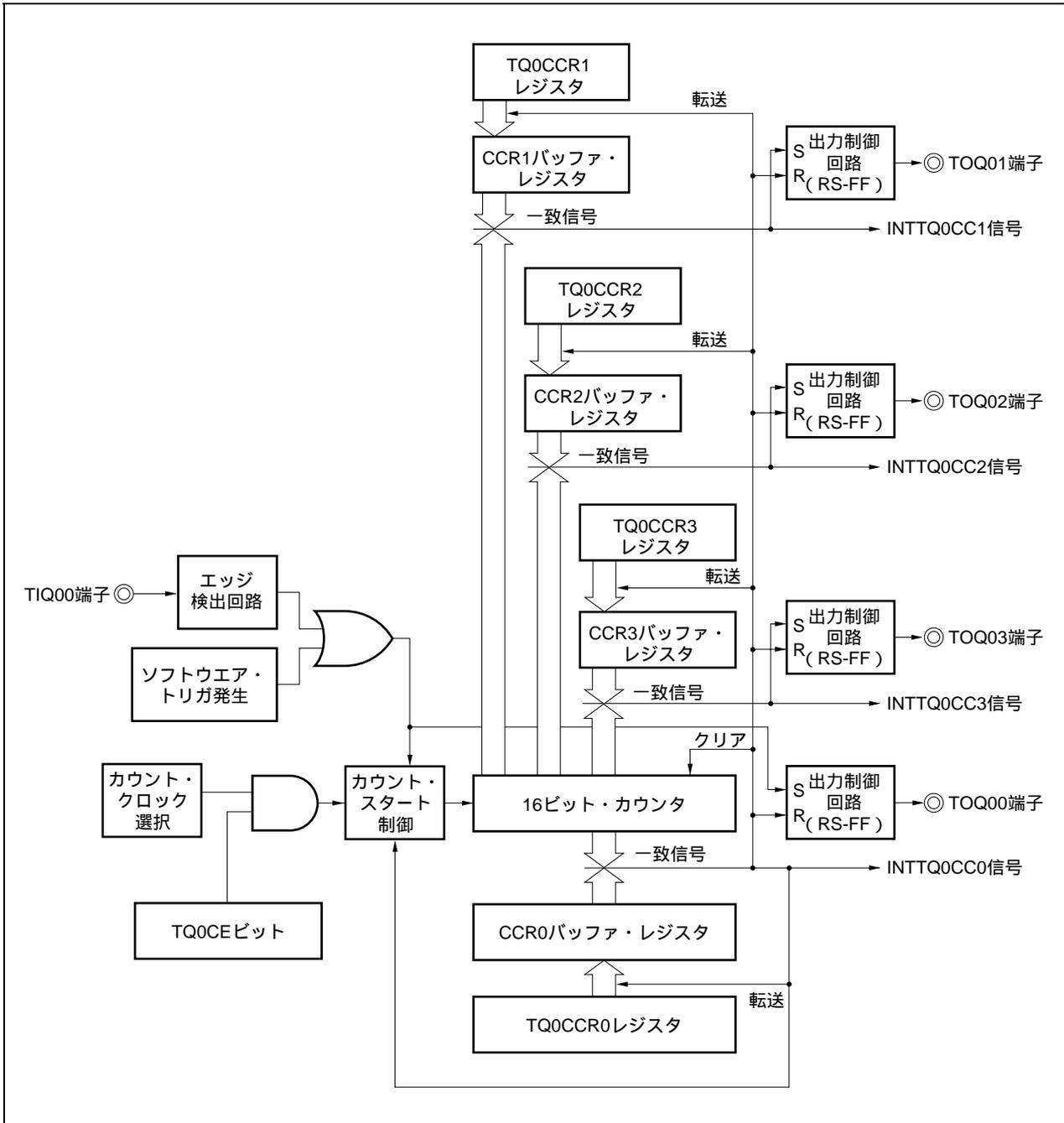


図8 - 21 ワンショット・パルス出力モードの基本タイミング

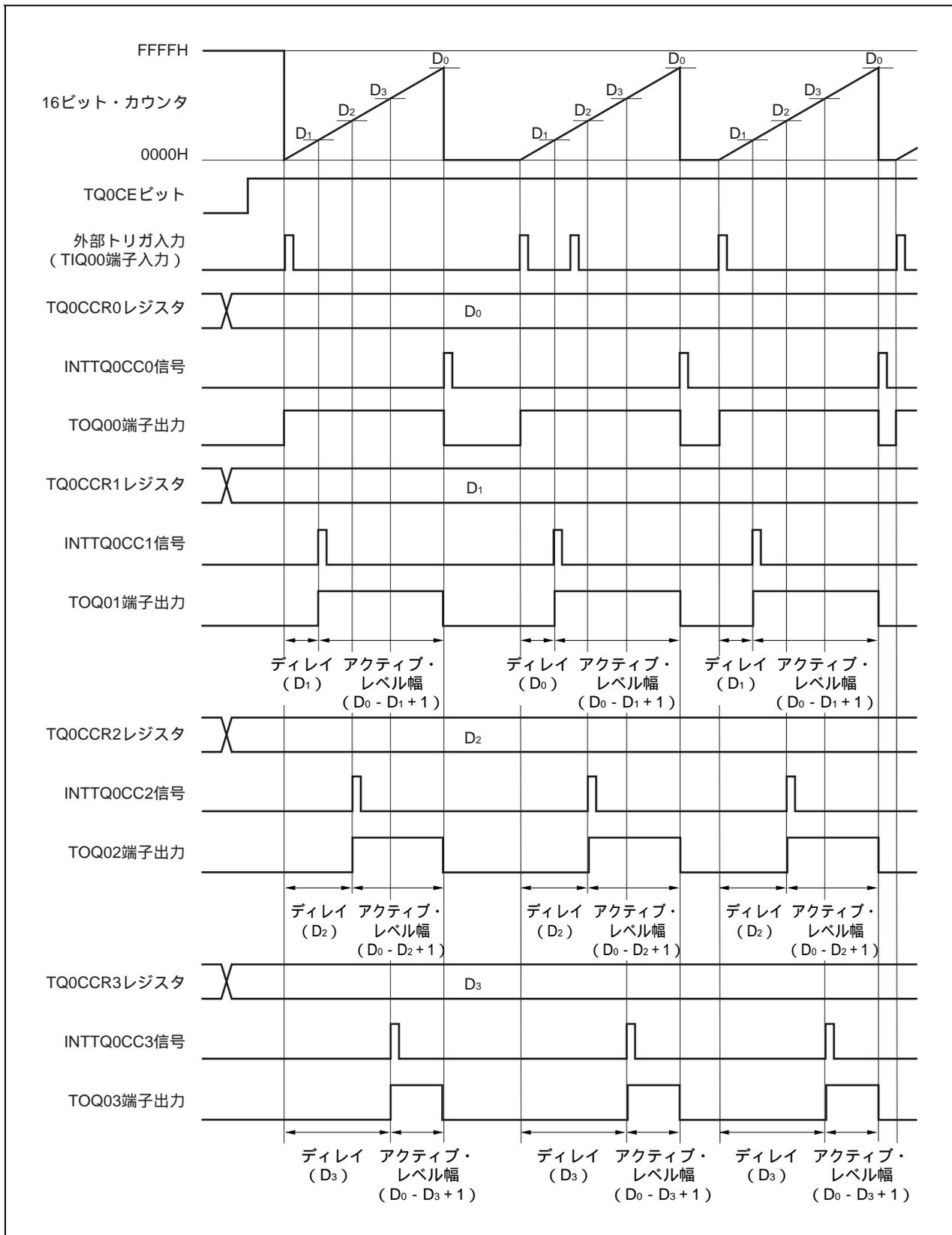


図8 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

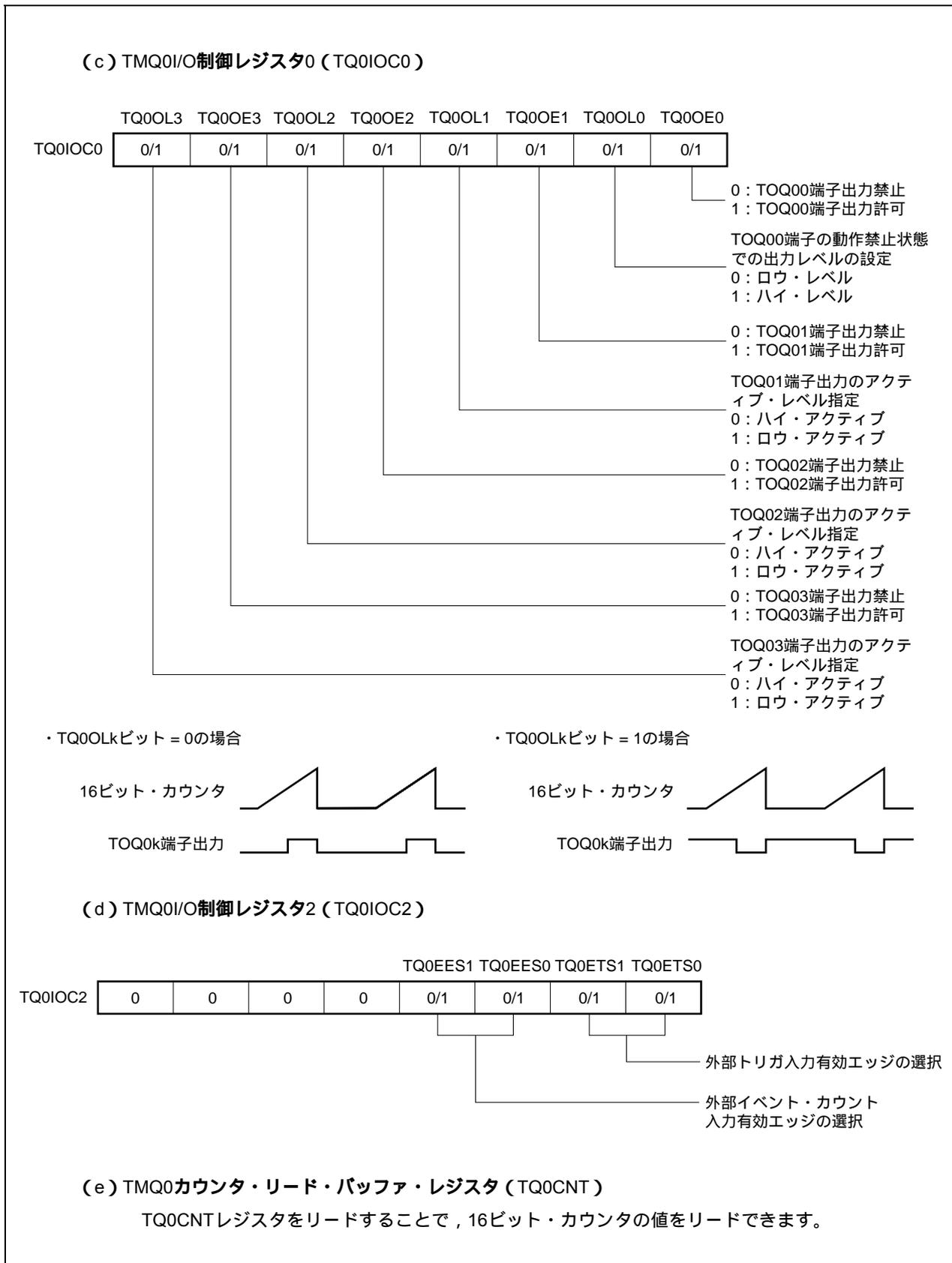


図8 - 22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタに D_0 を設定し, TQ0CCR k レジスタに D_k を設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = $(D_k - D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$

ワンショット・パルスの出力ディレイ期間 = $D_k \times \text{カウント} \cdot \text{クロック周期}$

となります。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1), TMQ0オプション・レジスタ0 (TQ0OPT0) は, ワンショット・パルス出力モードでは使用しません。

2. $k = 1-3$

(1) ワンショット・パルス出力モード動作フロー

図8 - 23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

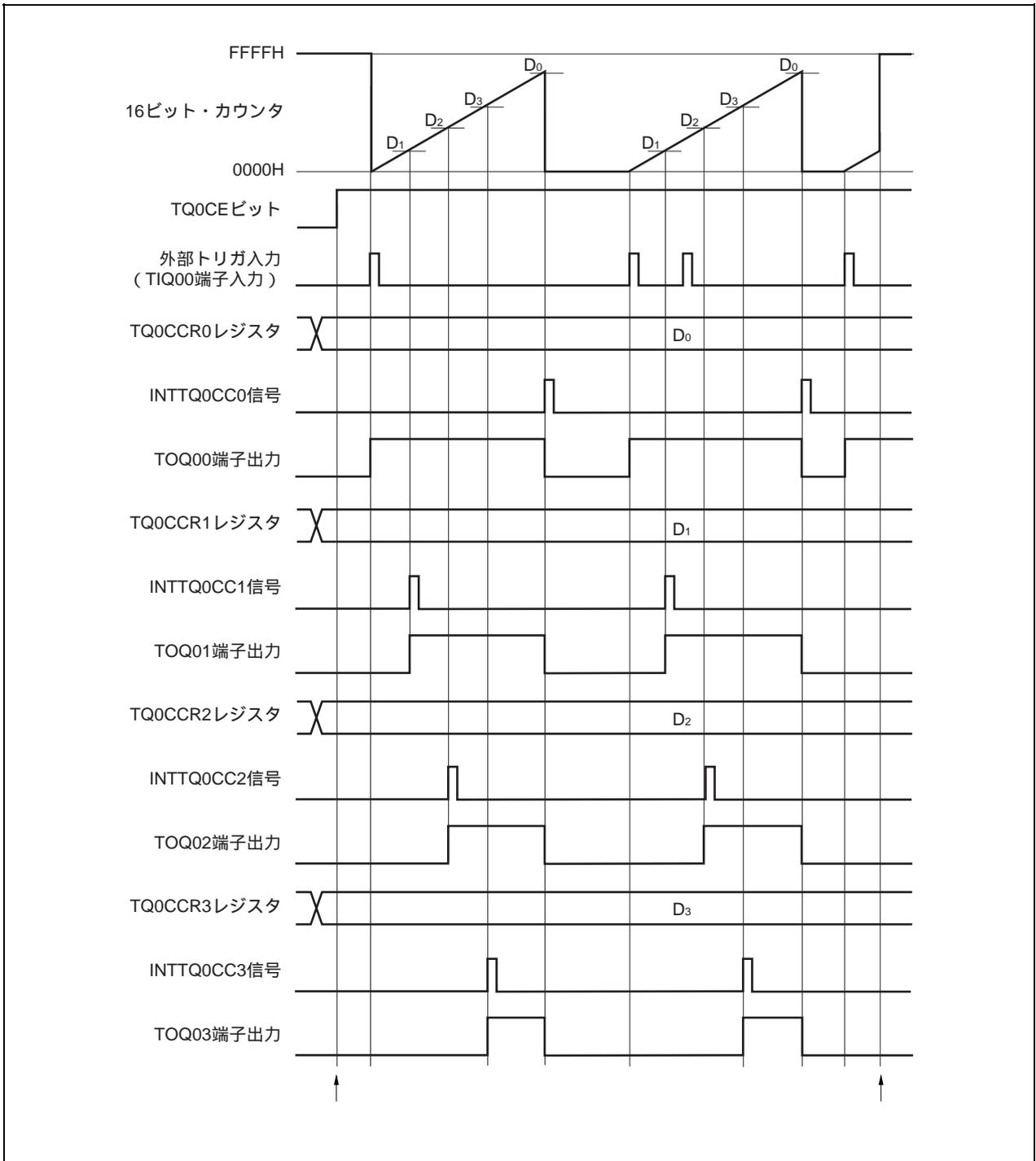
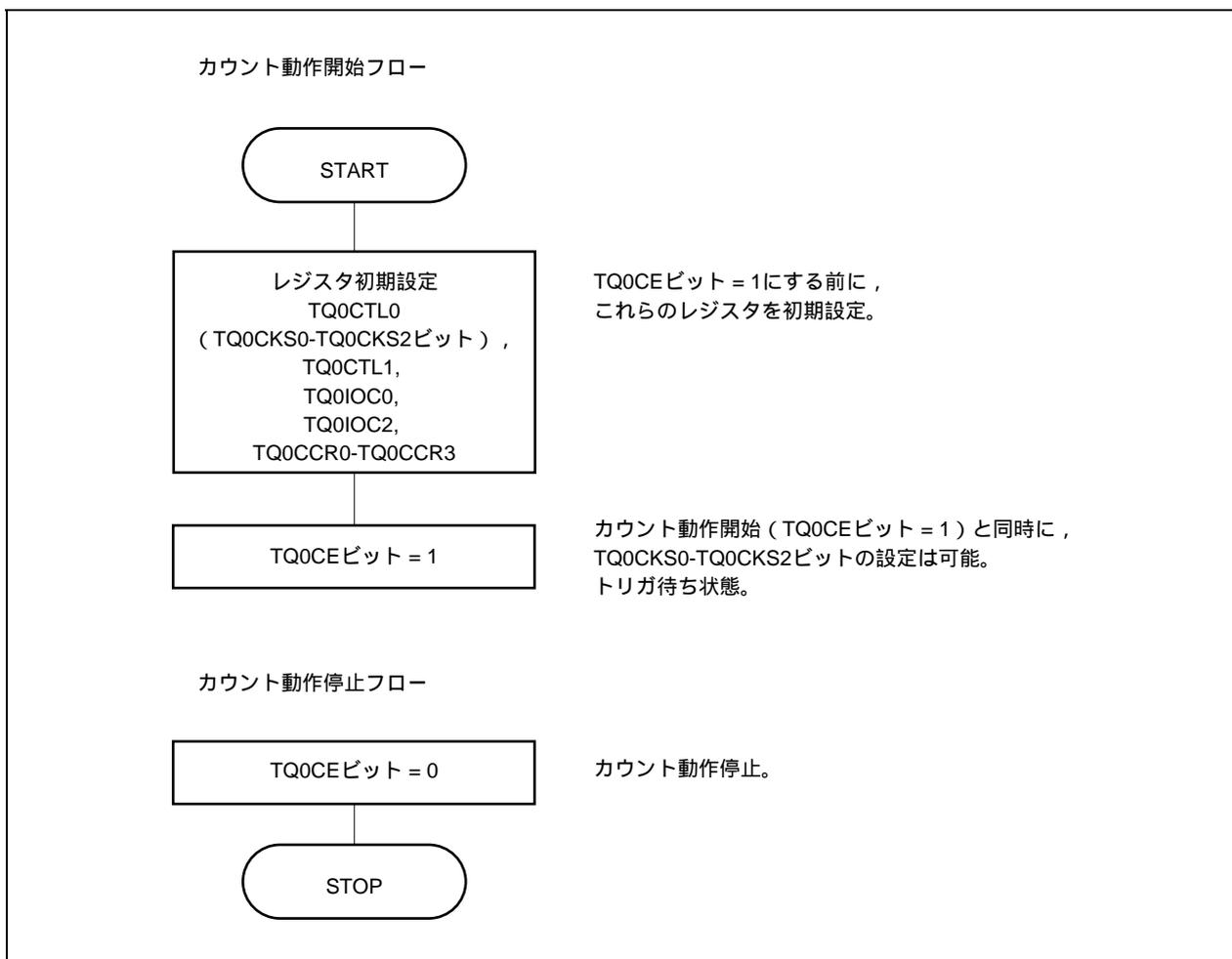


図8 - 23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)

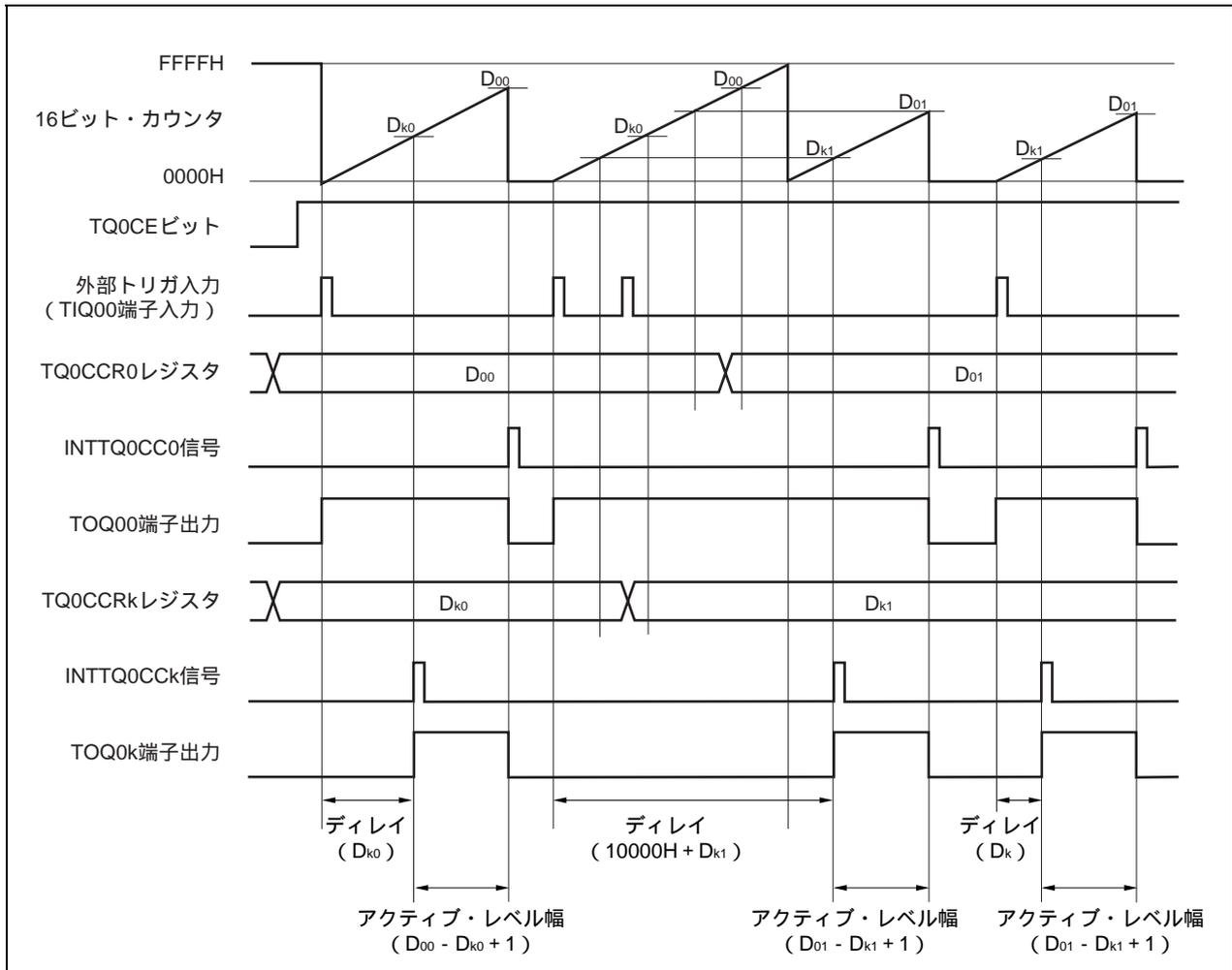


(2) ワンショット・パルス出力モード動作タイミング

(a) TQ0CCRmレジスタの書き換えに関する注意事項

TQ0CCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。



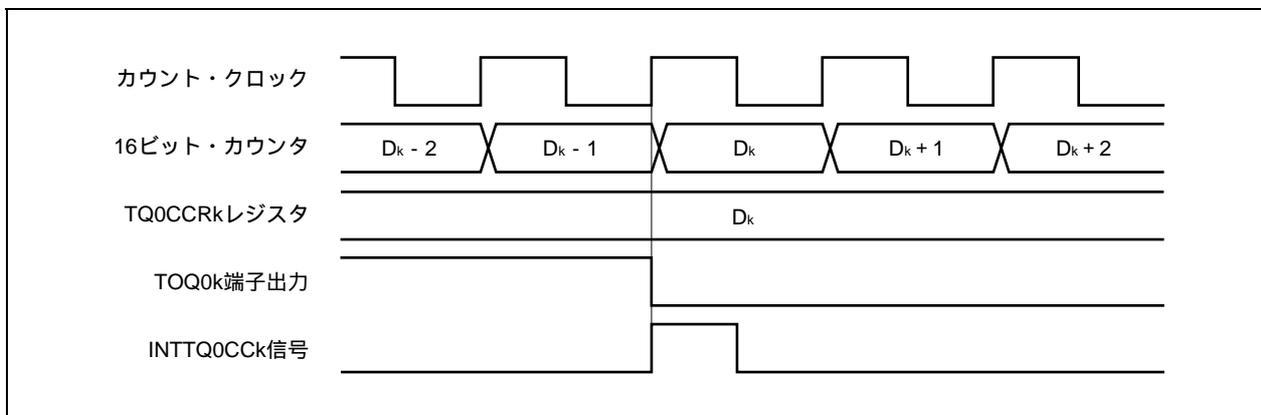
TQ0CCR0レジスタをD₀₀からD₀₁に、TQ0CCRkレジスタをD_{k0}からD_{k1}に書き換える場合において、D₀₀ > D₀₁, D_{k0} > D_{k1}の状態では、16ビット・カウンタのカウント値がD_{k1}よりも大きくD_{k0}よりも小さい状態のときTQ0CCRkレジスタを書き換え、カウント値がD₀₁よりも大きくD₀₀よりも小さい状態でTQ0CCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D_{k1}との一致でINTTQ0CCk信号を発生してTOQ0k端子出力をアクティブ・レベルにし、D₀₁との一致でINTTQ0CC0信号を発生してTOQ0k端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 k = 1-3

(b) コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

ワンショット・パルス出力モードにおけるINTTQ0CCK信号の発生タイミングは、ほかのINTTQ0CCK信号と異なり、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値との一致と同時に発生します。



通常、INTTQ0CCK信号は、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値との一致後、次のカウンタ・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQ0k端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 k = 1-3

8.5.5 PWM出力モード (TQ0MD2-TQ0MD0 = 100)

PWM出力モードは、TQ0CTL0.TQ0CEビットをセット (1) することで、TOQ01-TOQ03端子からPWM波形を出力します。

また、TOQ00端子から、PWM波形の1周期を半周期とするパルスを出力します。

図8 - 24 PWM出力モードの構成図

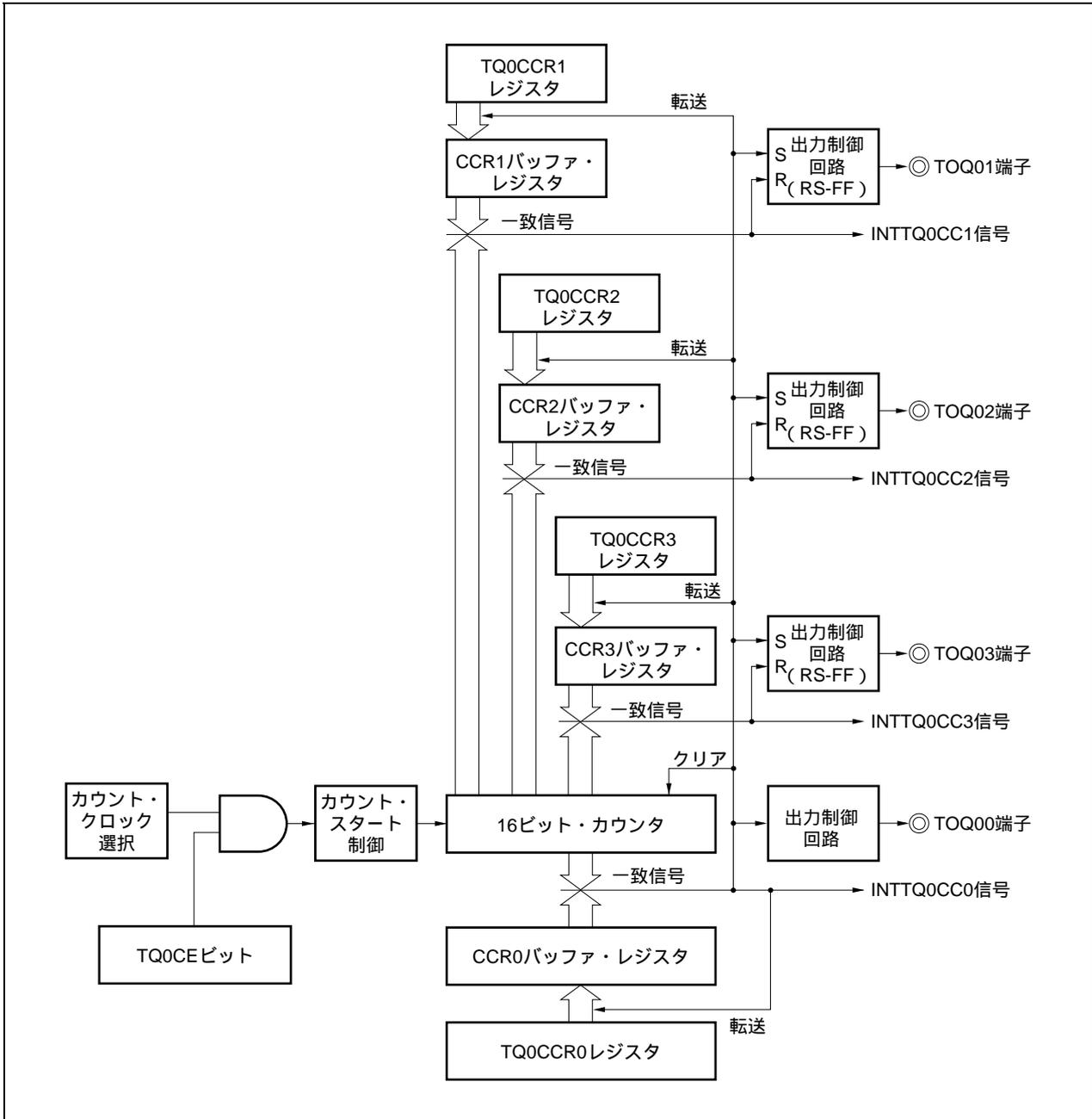
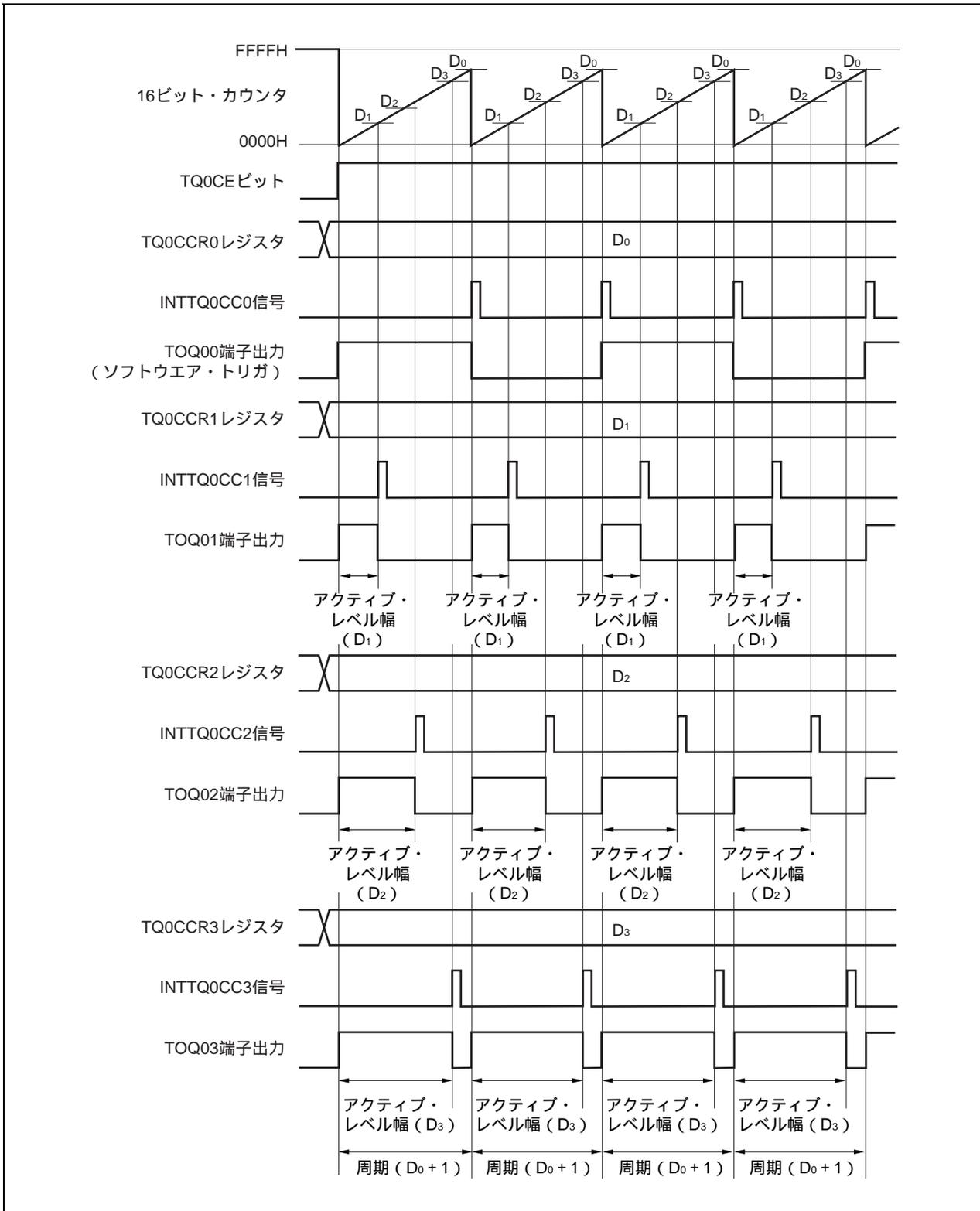


図8 - 25 PWM出力モードの基本タイミング



TQ0CEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0k端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TQ0CCRkレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TQ0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TQ0CCRkレジスタの設定値}) / (\text{TQ0CCR0レジスタの設定値} + 1)$$

動作中にTQ0CCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTQ0CCk) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

備考 k = 1-3,
m = 0-3

図8 - 26 PWM出力モード動作時のレジスタ設定内容 (1/3)

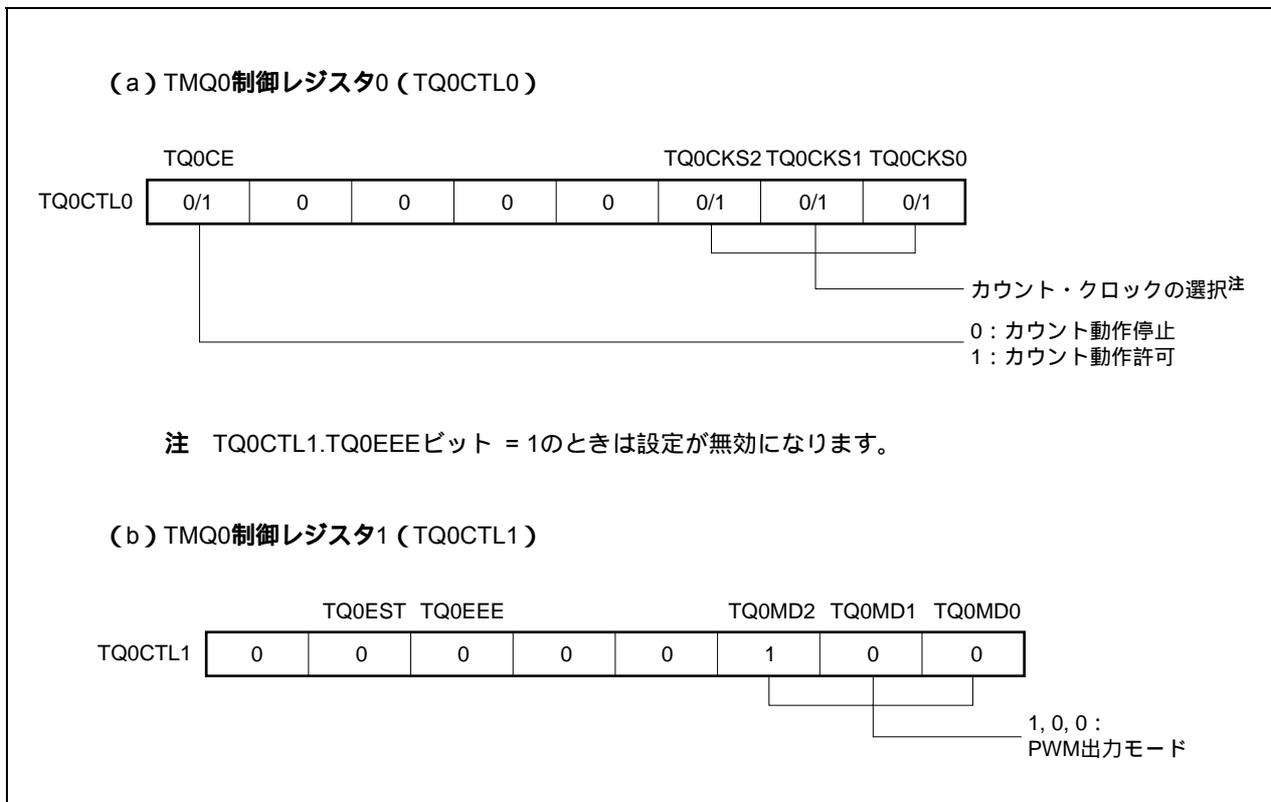


図8 - 26 PWM出力モード動作時のレジスタ設定内容 (2/3)

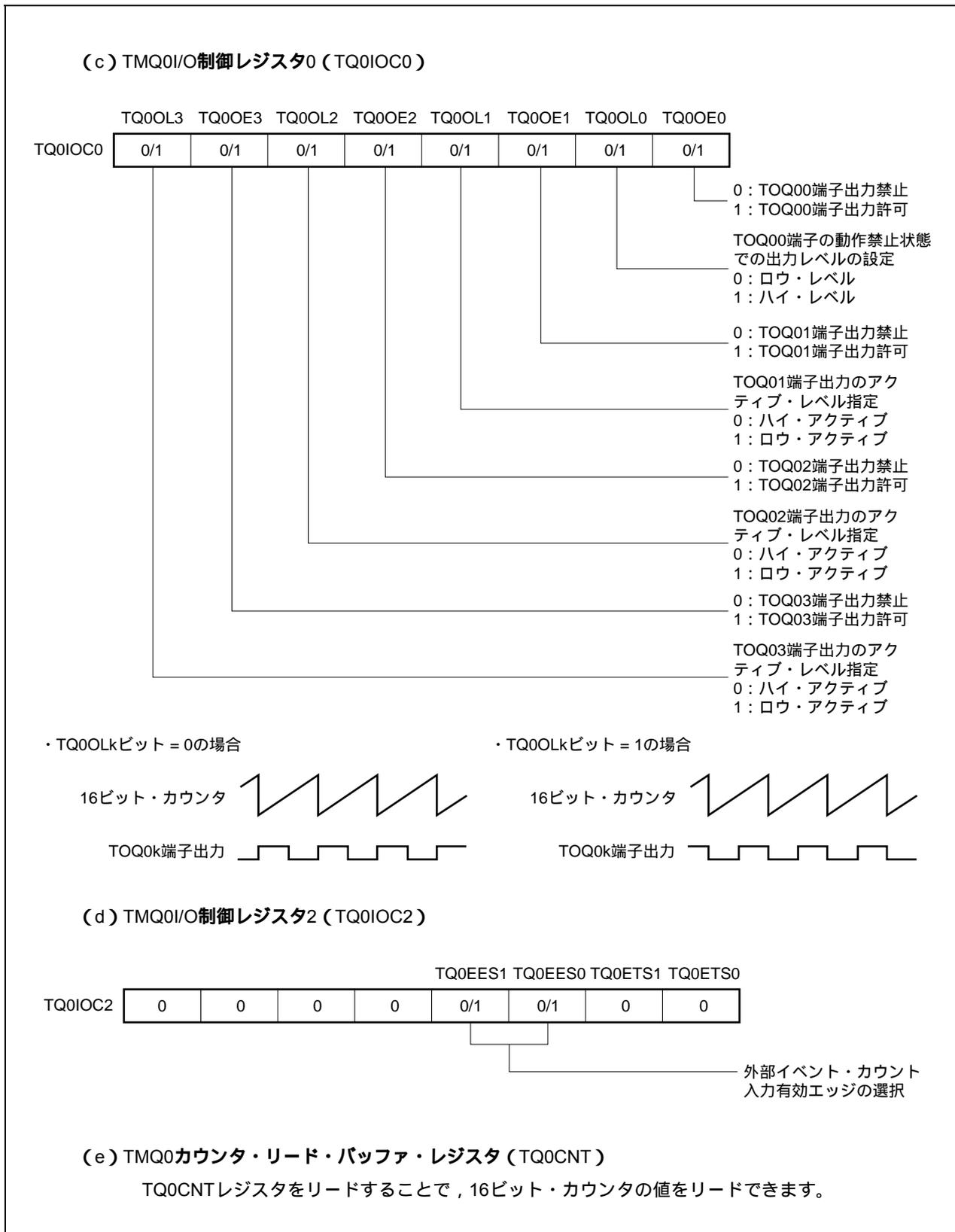


図8 - 26 PWM出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタに D_0 を設定し, TQ0CCR k レジスタに D_k を設定した場合,

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_k \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考 TMQ0I/O制御レジスタ1 (TQ0IOC1), TMQ0オプション・レジスタ0 (TQ0OPT0) は, PWM出力モードでは使用しません。

(1) PWM出力モード動作フロー

図8 - 27 PWM出力モード使用時のソフトウェア処理フロー (1/2)

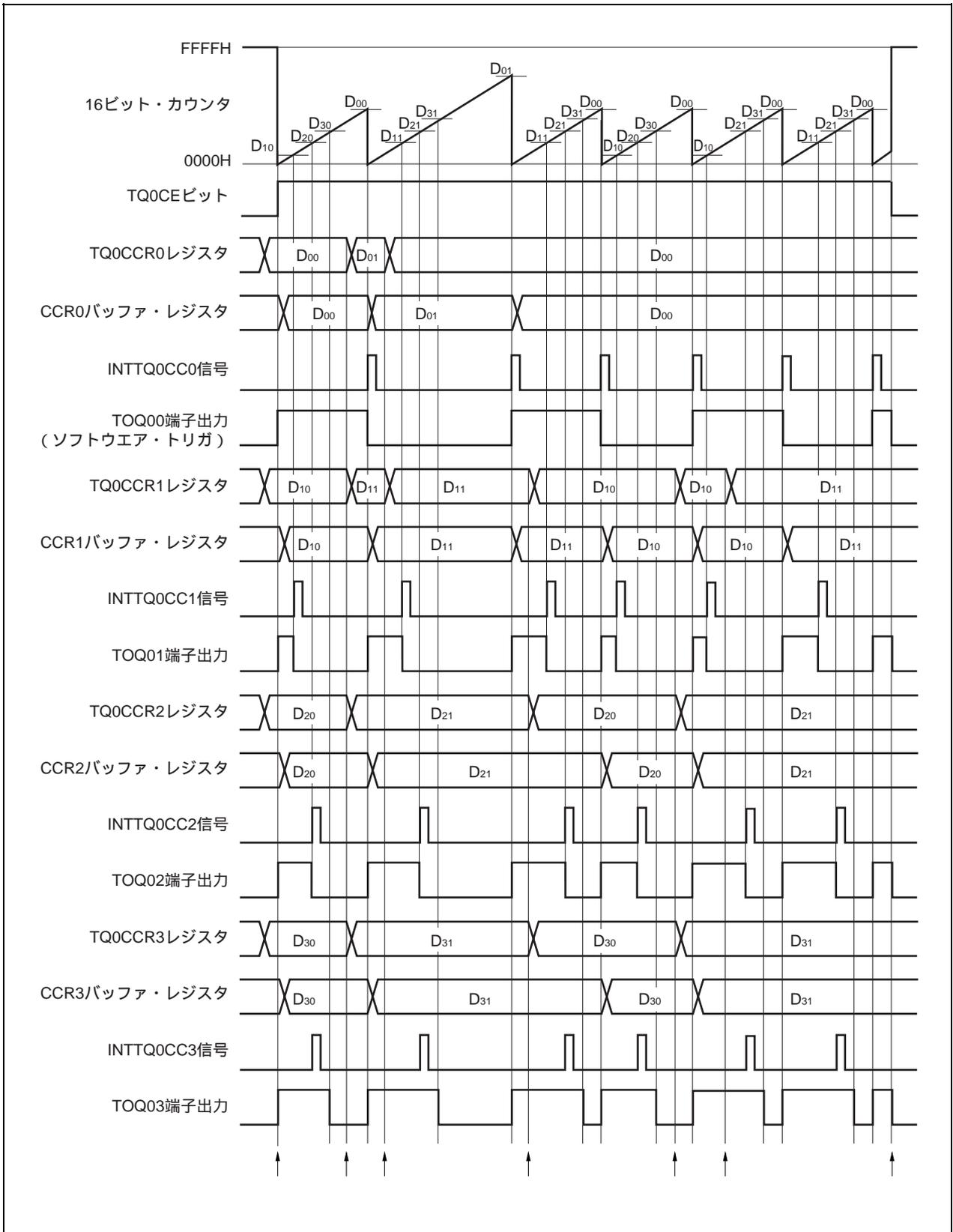
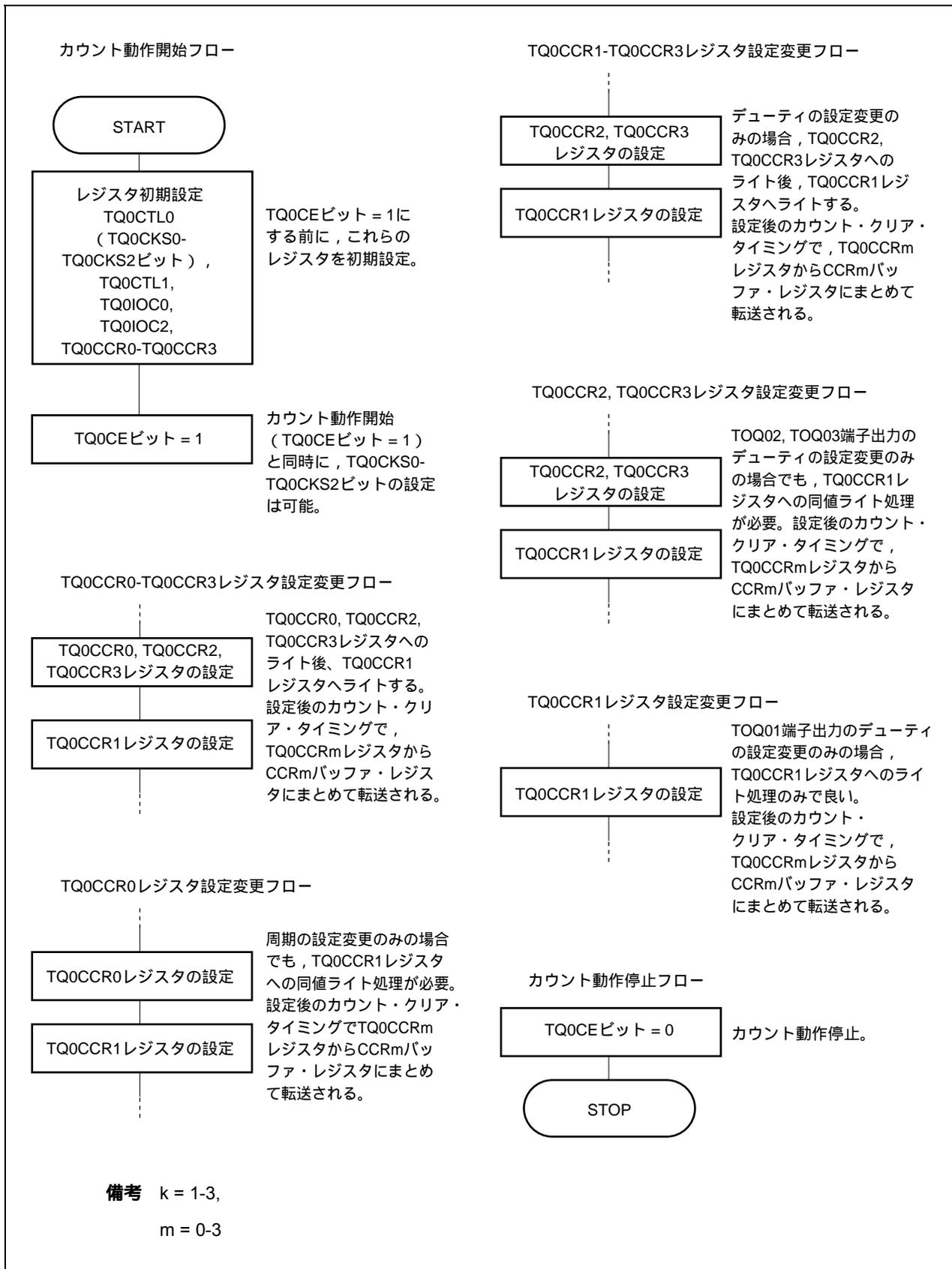


図8 - 27 PWM出力モード使用時のソフトウェア処理フロー (2/2)

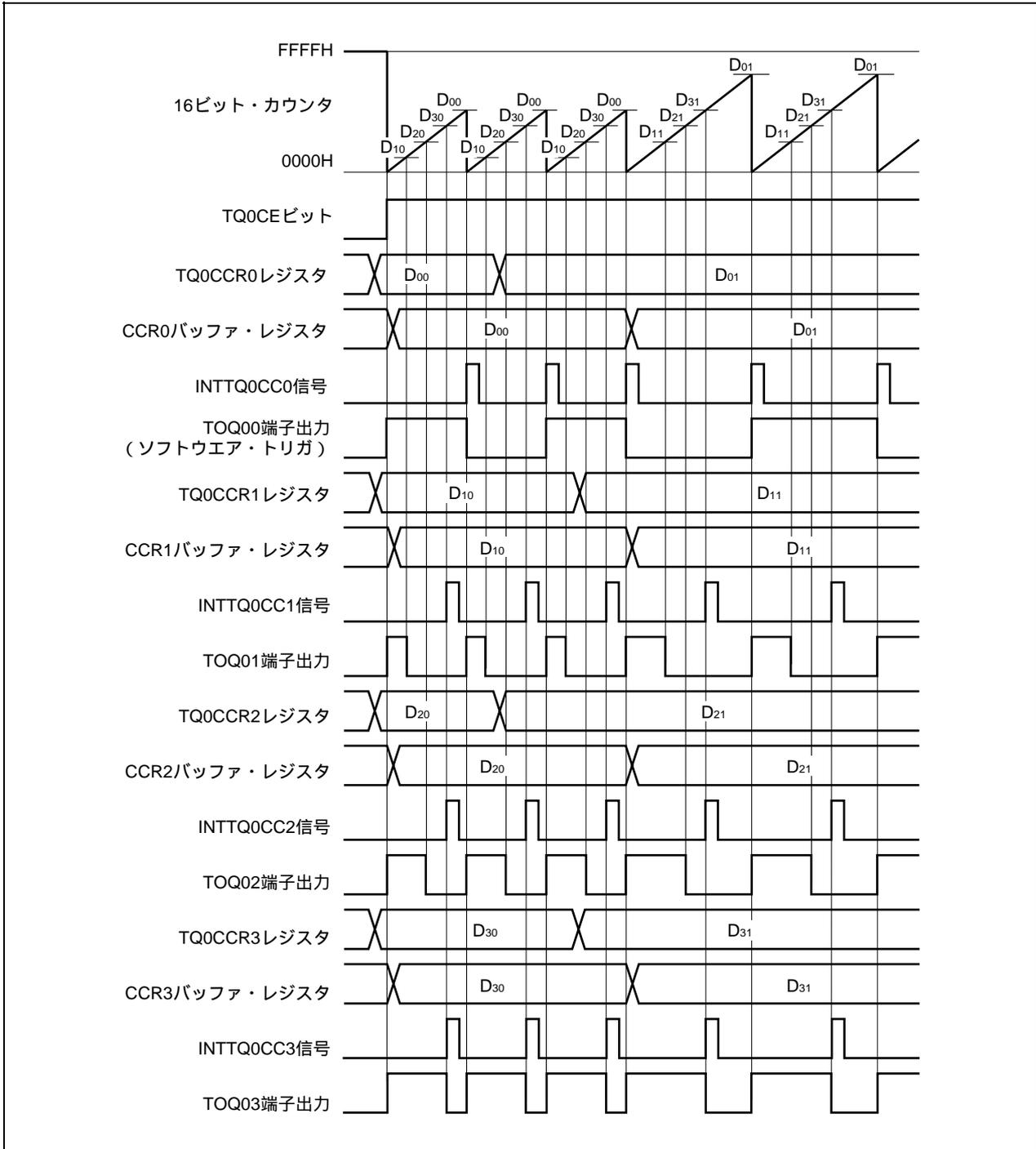


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRkレジスタの書き換えを行う場合には、INTTQ0CC1信号を検出後に書き換えてください。



TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ02, TOQ03端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値をライトしてください。

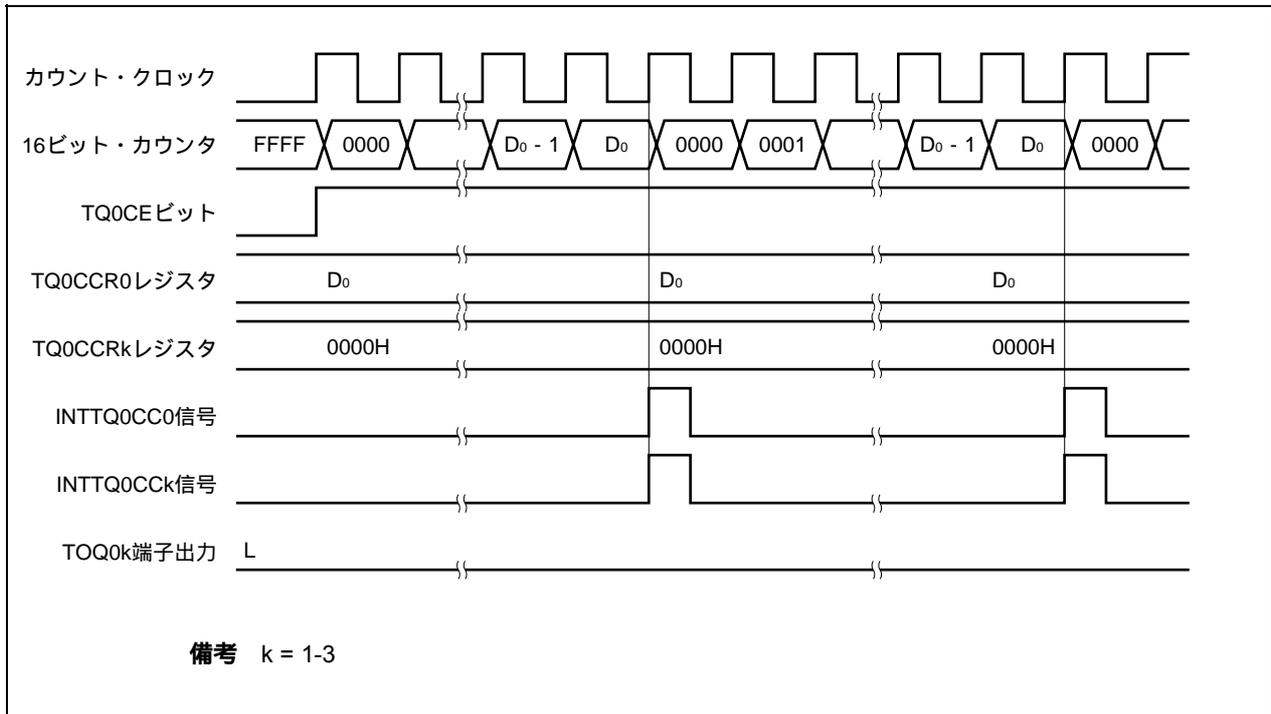
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TQ0CCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

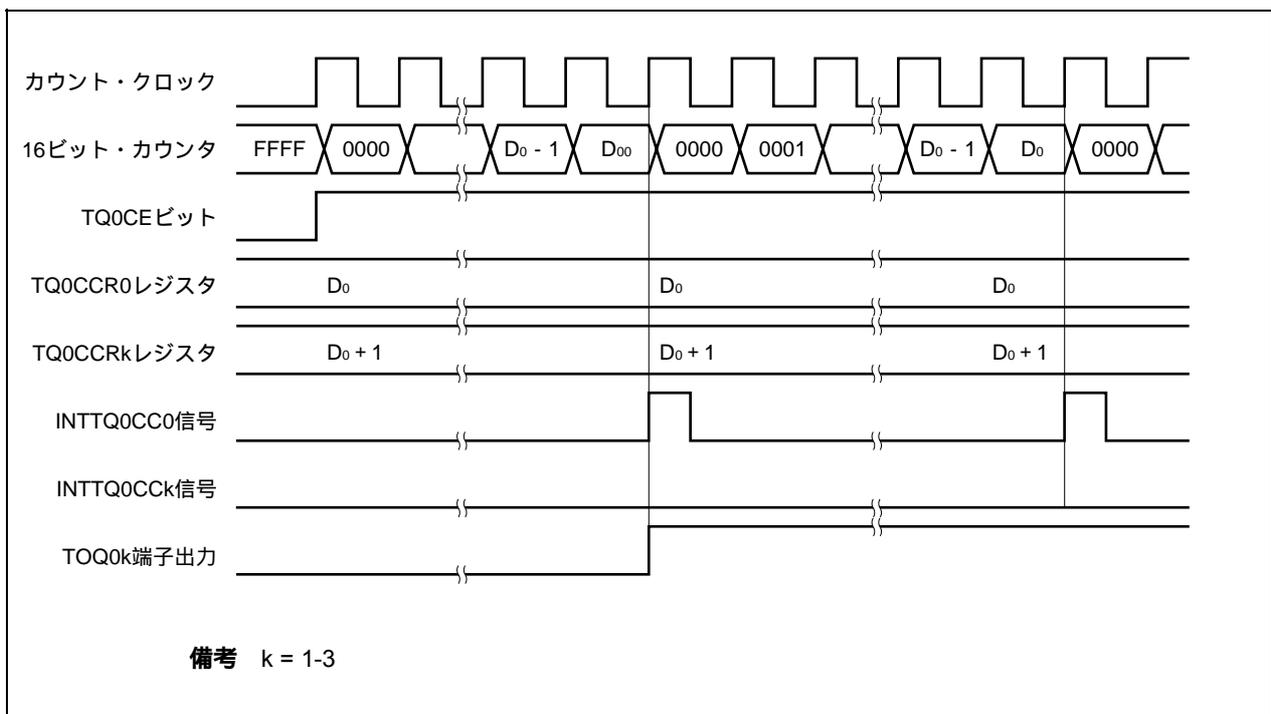
備考 m = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには, TQ0CCRkレジスタに対して0000Hを設定します。ただし, TQ0CCR0レジスタの設定値がFFFFHの場合には, INTTQ0CCk信号が定期的が発生します。

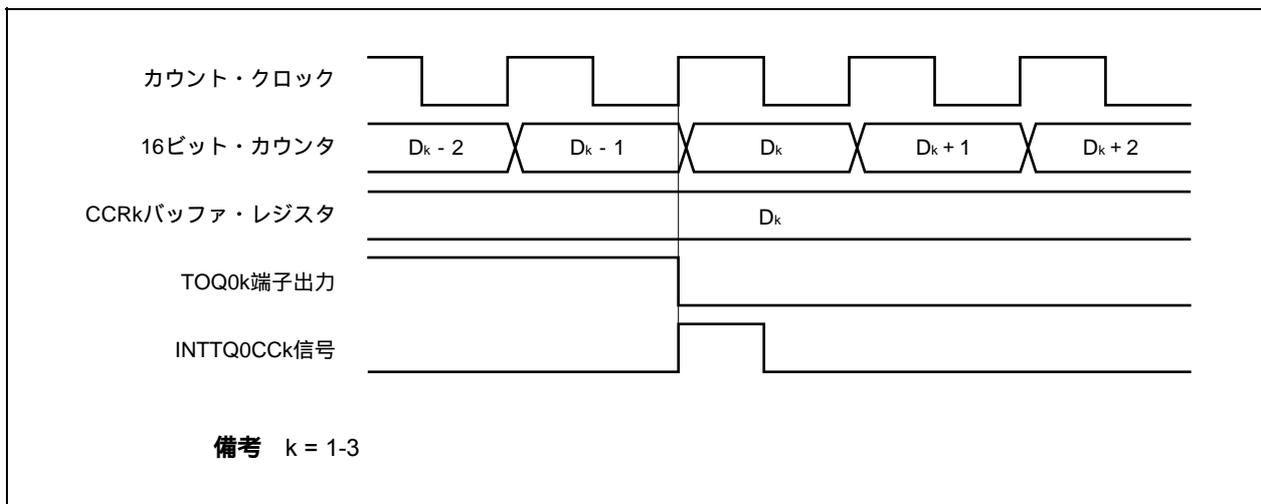


100 % 波形を出力するためには, TQ0CCRkレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には, 100 % 出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

PWM出力モードにおけるINTTQ0CCK信号の発生タイミングは、ほかのINTTQ0CCK信号と異なり、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値との一致と同時に発生します。



通常,INTTQ0CCK信号は,16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値との一致後,次のカウント・アップに同期して発生します。

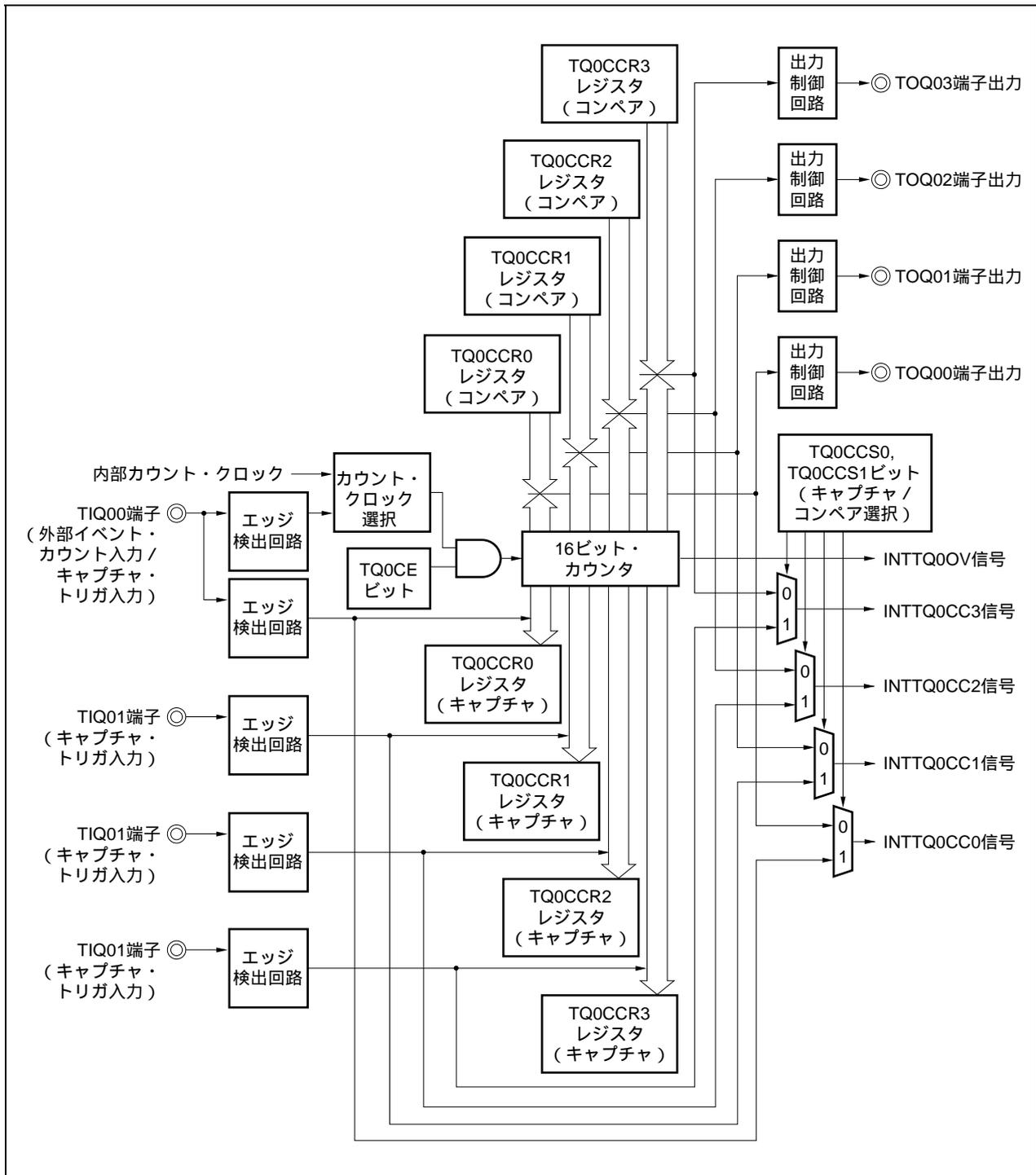
しかし,PWM出力モードの場合,1クロック早いタイミングで発生します。これは,TOQ0k端子出力の変化タイミングとあわせるために,タイミングを変更しているからです。

8.5.6 フリー・ランニング・タイマ・モード (TQ0MD2-TQ0MD0 = 101)

フリー・ランニング・タイマ・モードは、TQ0CTL0.TQ0CEビットをセット(1)することでカウント動作を開始します。このときのTQ0CCRMレジスタの動作は、TQ0OPT0.TQ0CCS0, TQ0CCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

備考 m = 0-3

図8-28 フリー・ランニング・タイマ・モードの構成図

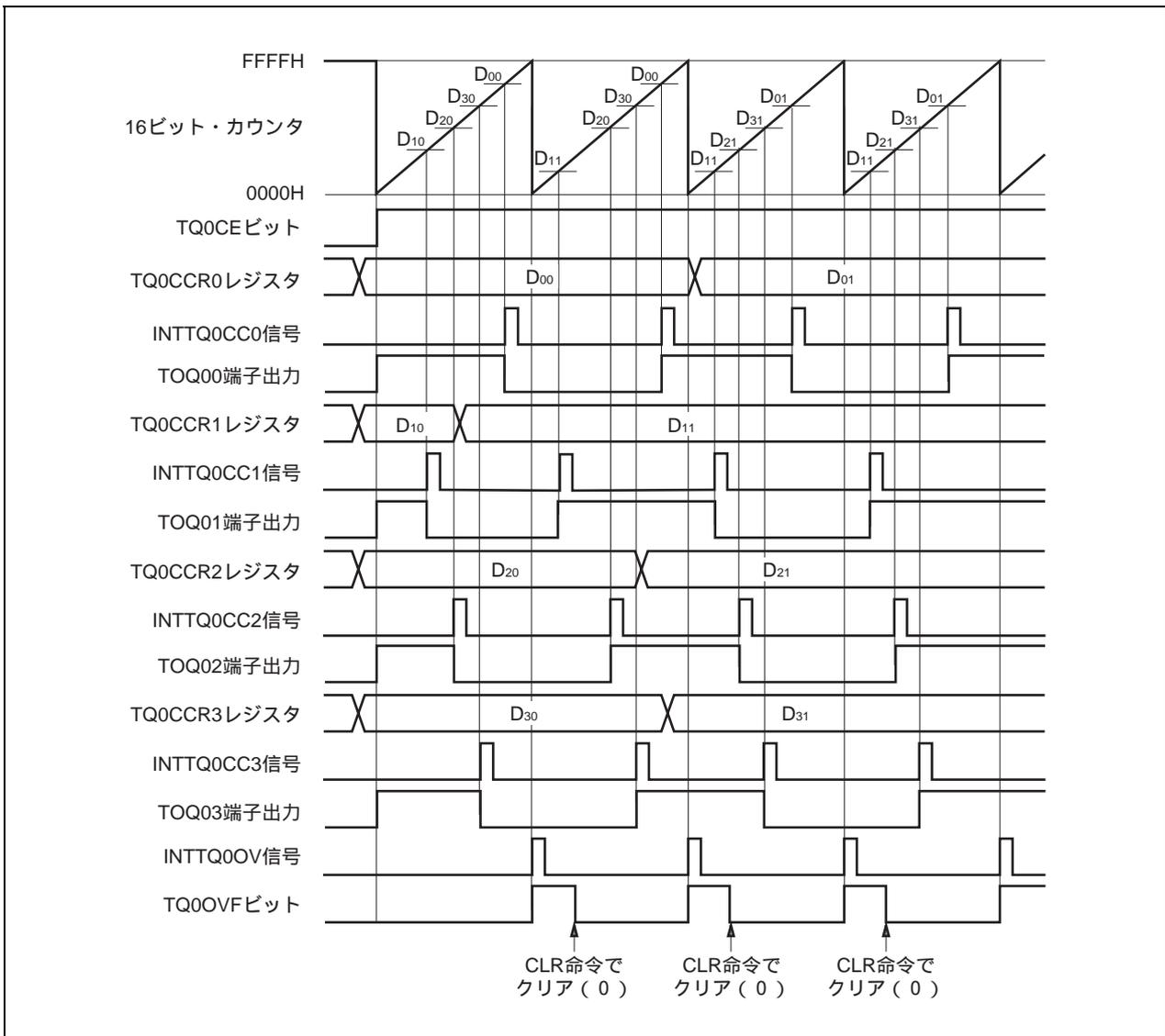


TQ0CEビットをセット(1)することで、カウント動作を開始し、TOQ00-TOQ03端子出力を反転します。その後、16ビット・カウンタのカウント値とTQ0CCRmレジスタの設定値が一致すると、コンペアー一致割り込み要求信号(INTTQ0CCm)を発生し、TOQ0m端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTQ0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TQ0OPT0.TQ0OVFビット)もセット(1)されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TQ0CCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

図8 - 29 フリー・ランニング・タイマ・モードの基本タイミング(コンペアー機能)



TQ0CEビットをセット (1) することで、カウント動作を開始します。その後、TIQ0m端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、キャプチャ割り込み要求信号 (INTTQ0CCm) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTQ0OV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TQ0OVFビット) もセット (1) されます。オーバーフロー・フラグは、ソフトウェアでCLR命令を実行してクリア (0) してください。

図8 - 30 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

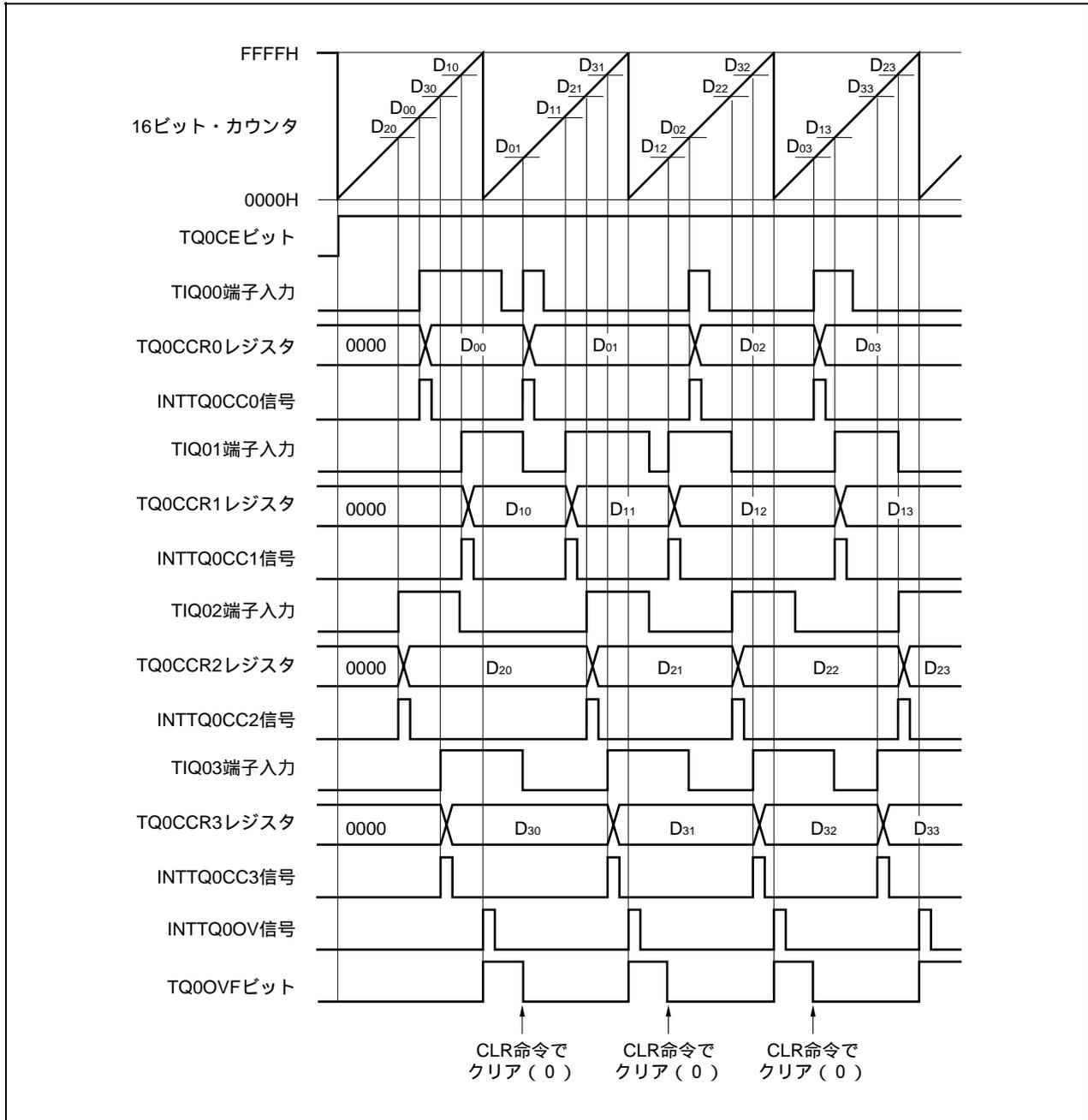
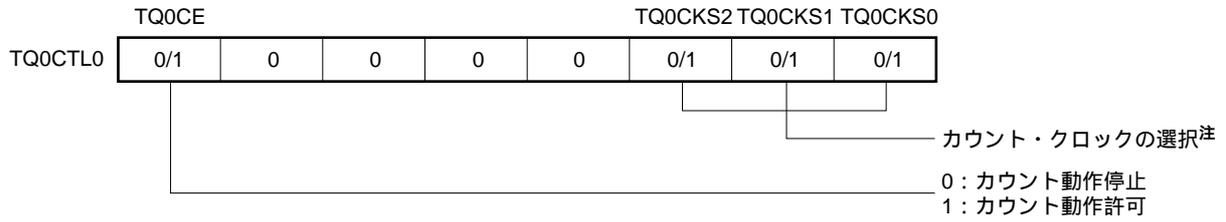


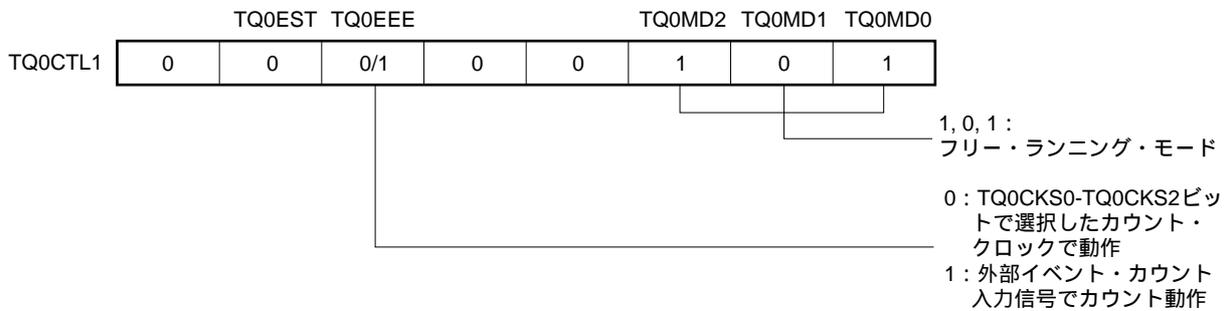
図8 - 31 フリー・ランニング・タイマモード動作時のレジスタ設定内容 (1/3)

(a) TMQ0制御レジスタ0 (TQ0CTL0)



注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

(b) TMQ0制御レジスタ1 (TQ0CTL1)



(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)

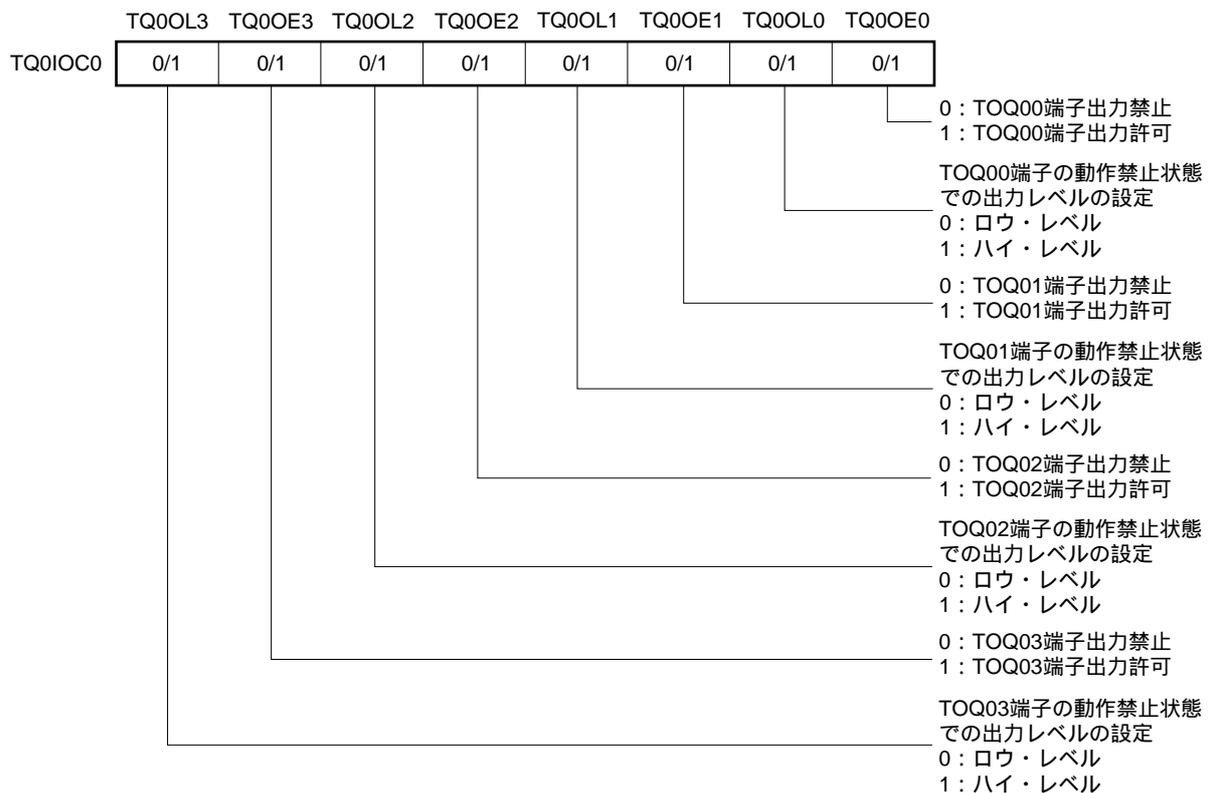
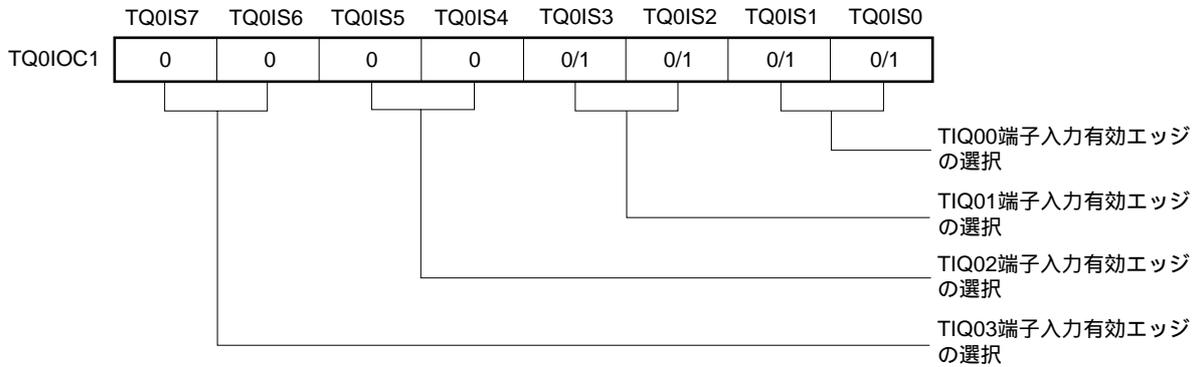
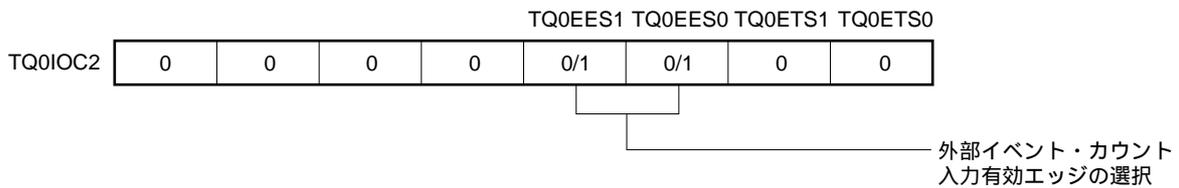


図8 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

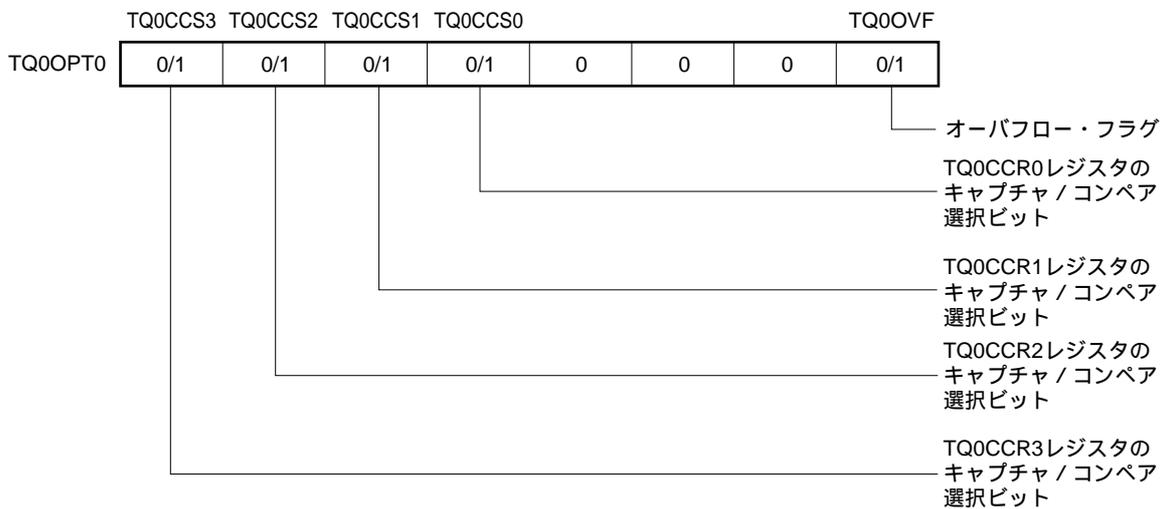
(d) TMQ0I/O制御レジスタ1 (TQ0IOC1)



(e) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(f) TMQ0オプション・レジスタ0 (TQ0OPT0)



(g) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

図8 - 31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0OPT0.TQ0CCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIQ0m端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TQ0CCRmレジスタにD_mを設定した場合、カウンタが(D_m + 1)になるタイミングでINTTQ0CCm信号を発生し、TOQ0m端子出力を反転します。

備考 m = 0-3

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図8 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

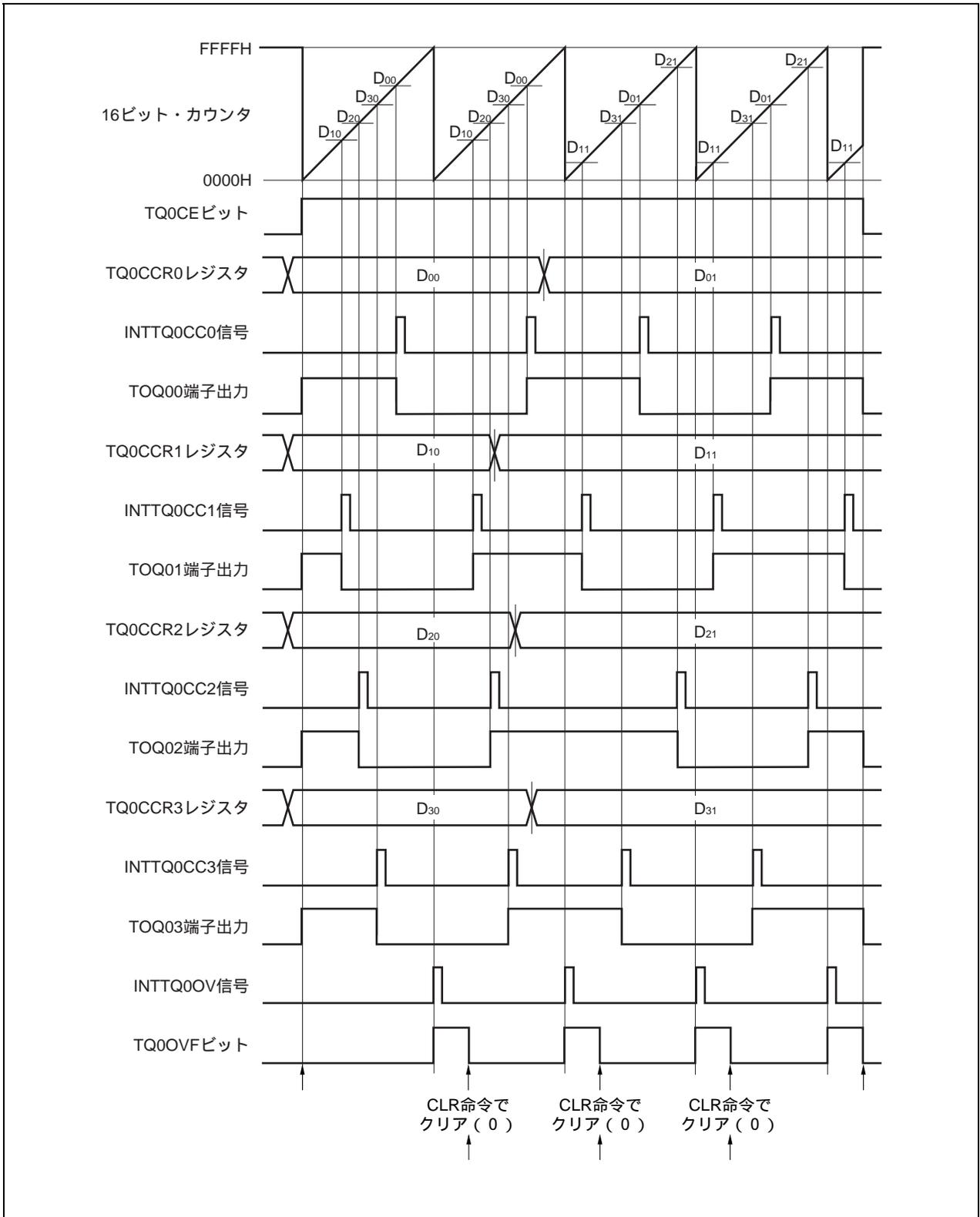
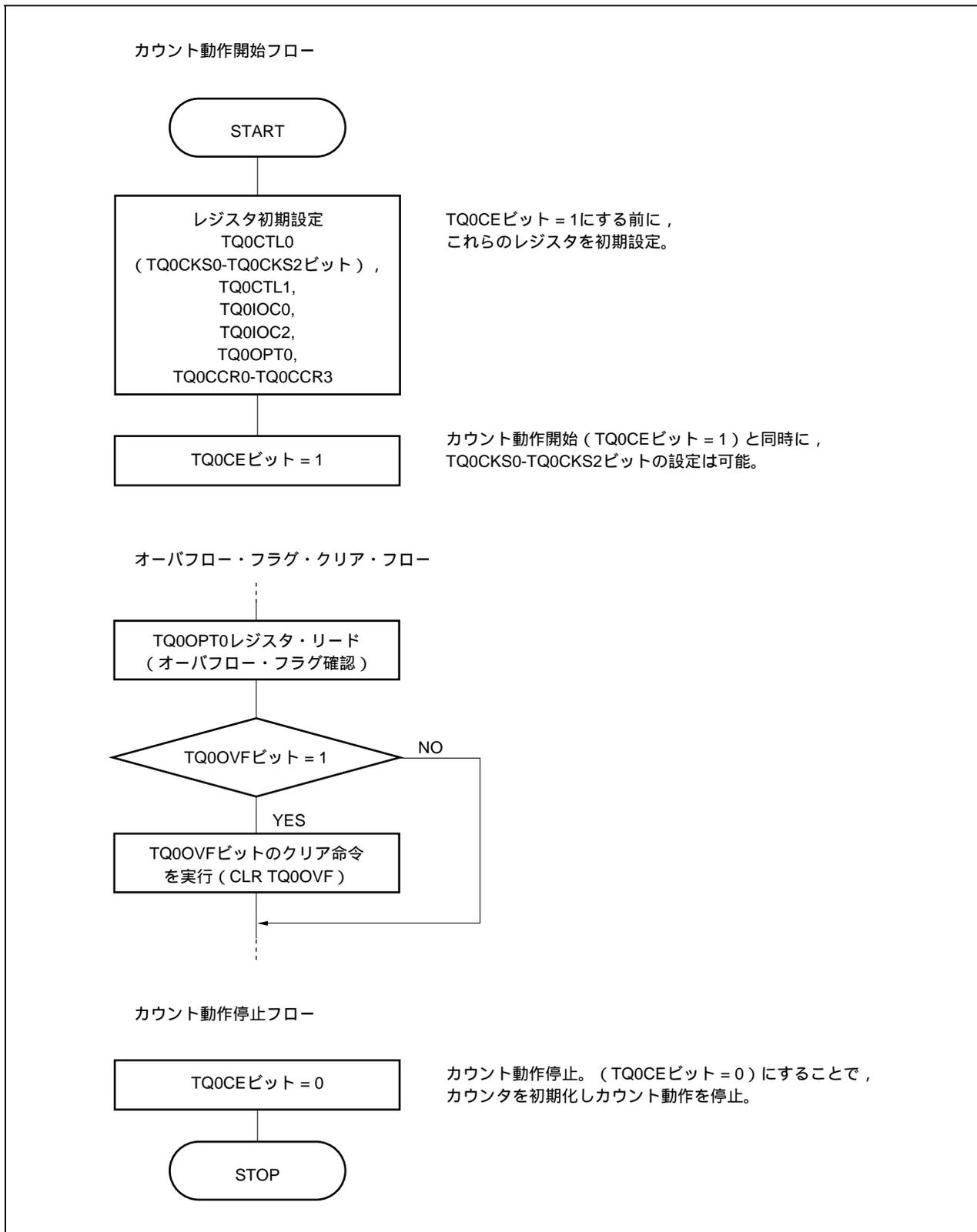


図8 - 32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図8 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

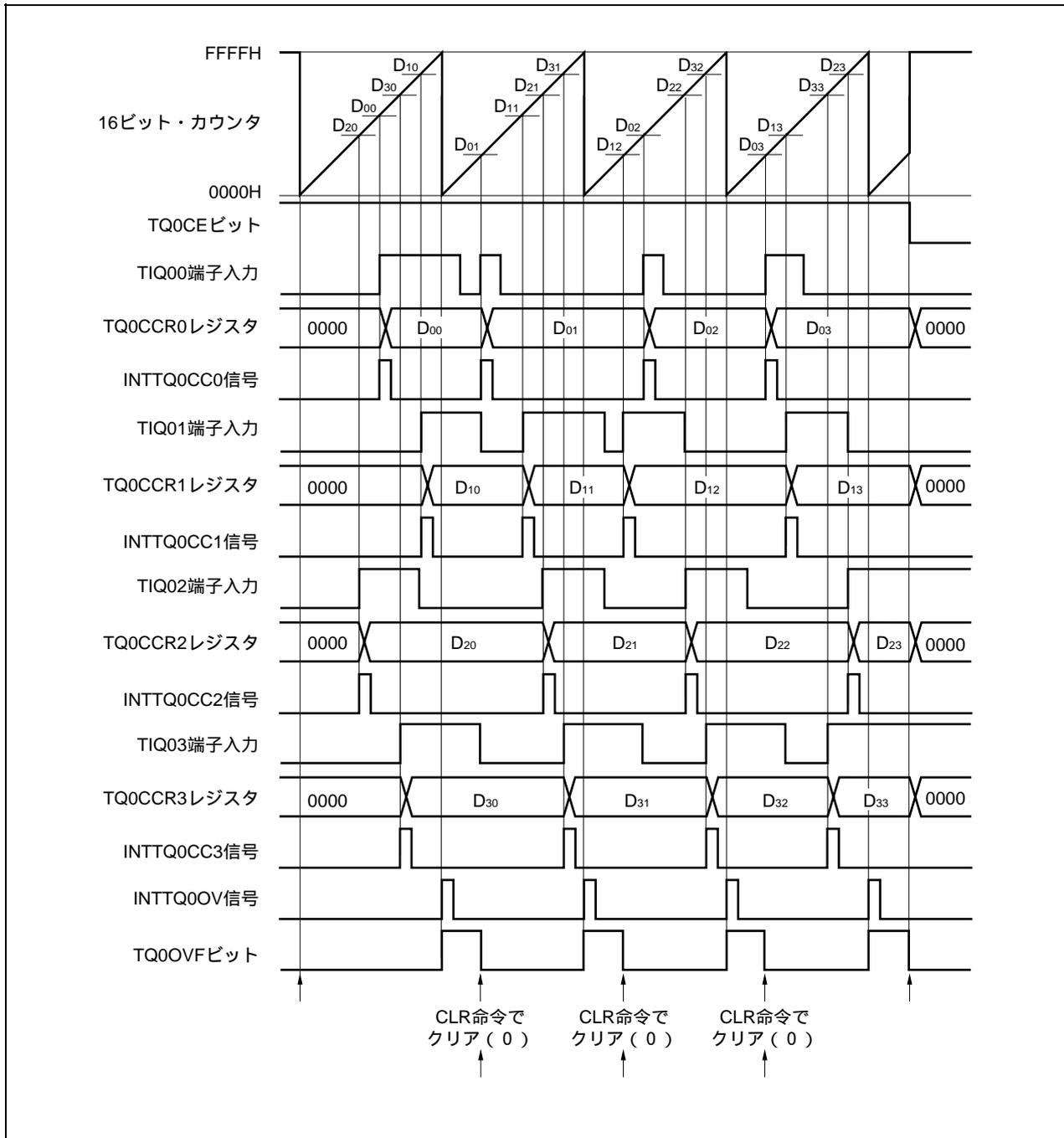
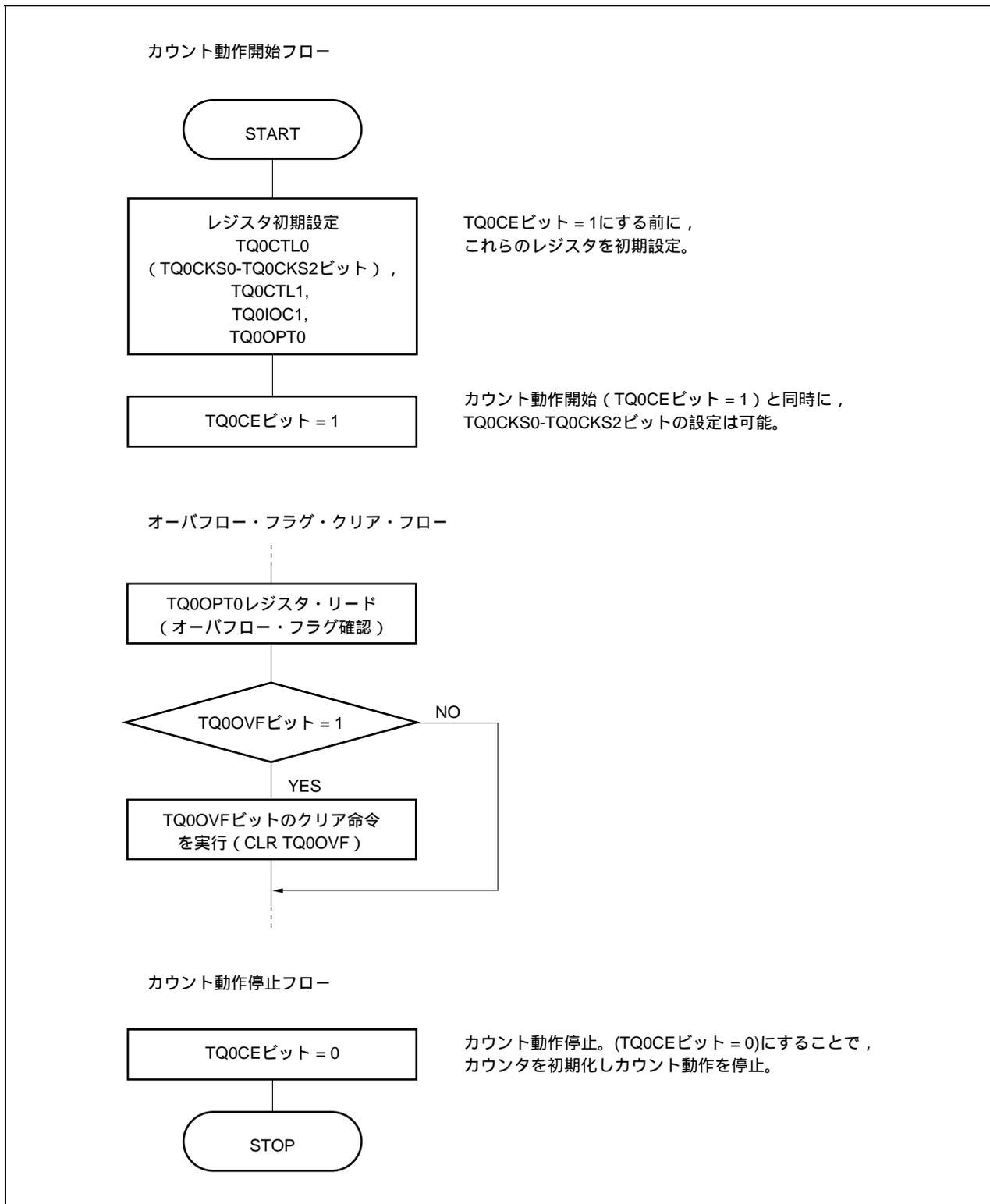


図8 - 33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTQ0CCm信号を検出したときの割り込み処理中に、対応するTQ0CCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_m ”とすると、次のように求められます。

コンペア・レジスタ初期値： $D_m - 1$

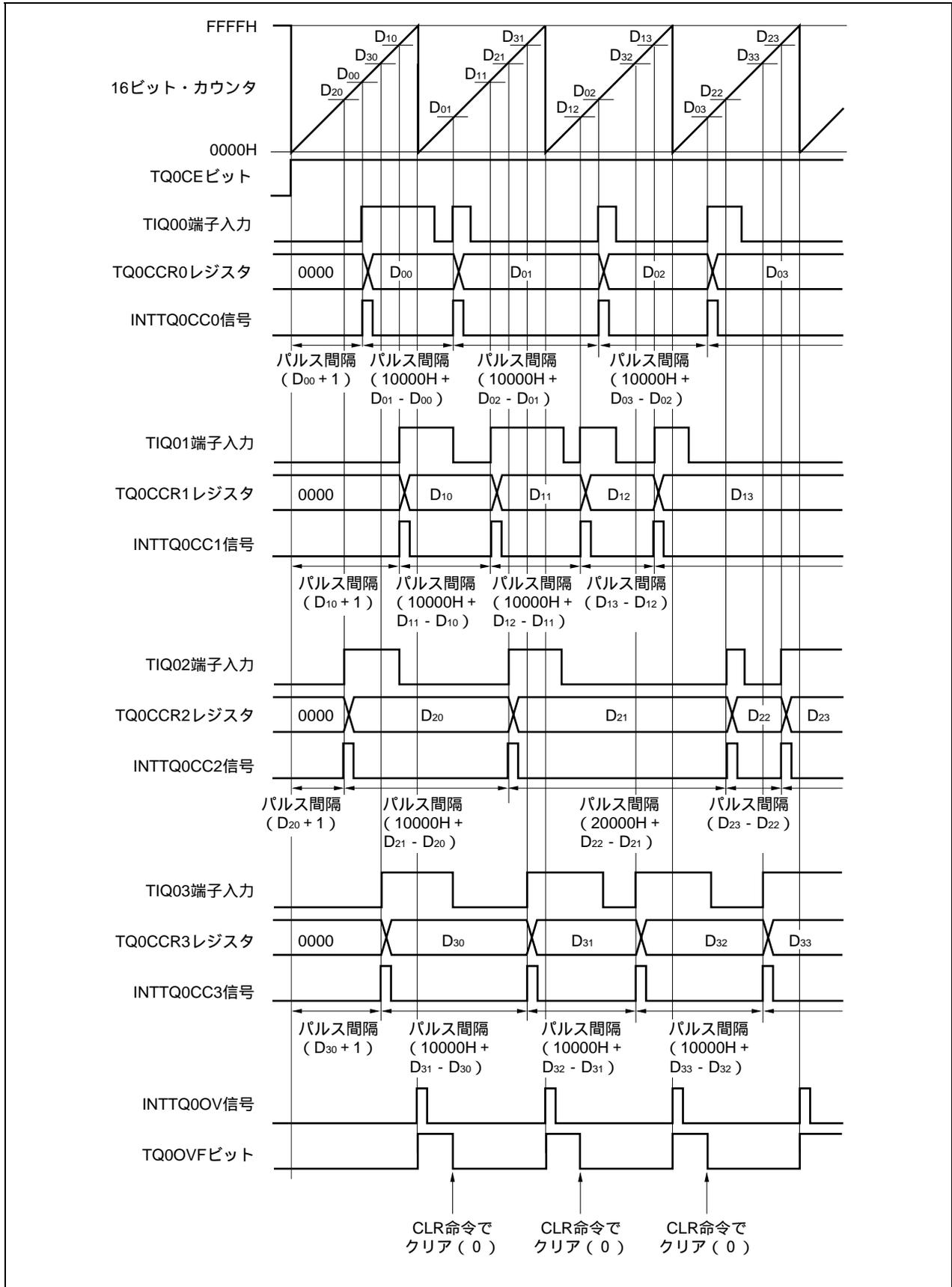
2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

備考 $m = 0-3$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TQ0CCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTQ0CCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



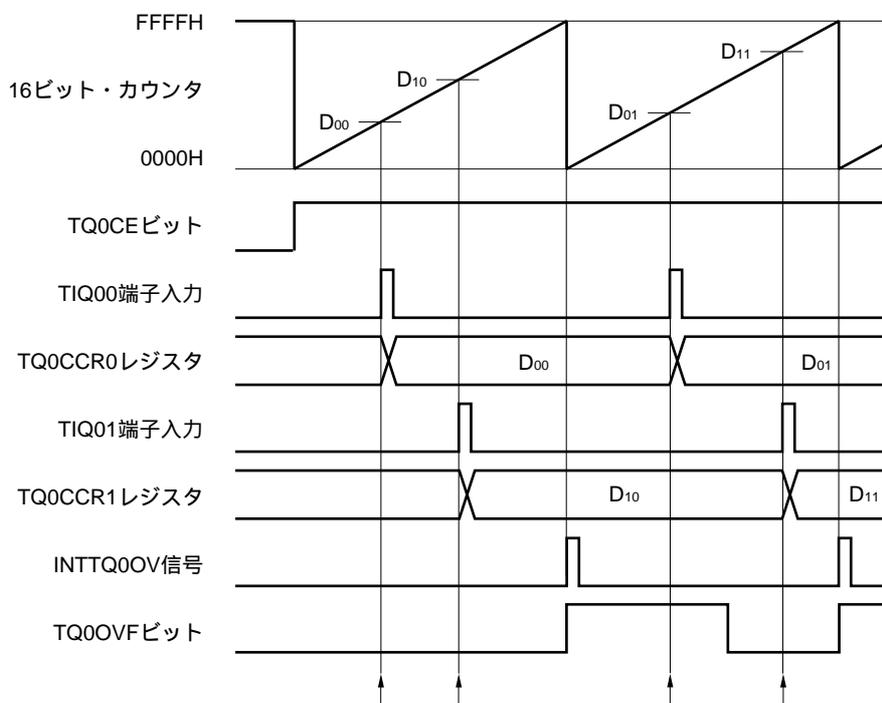
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、4つのパルス幅測定ができます。
パルス幅測定を行う場合、INTTQ0CCm信号に同期してTQ0CCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 m = 0-3

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

TQ0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TQ0CCR1レジスタをリードする。

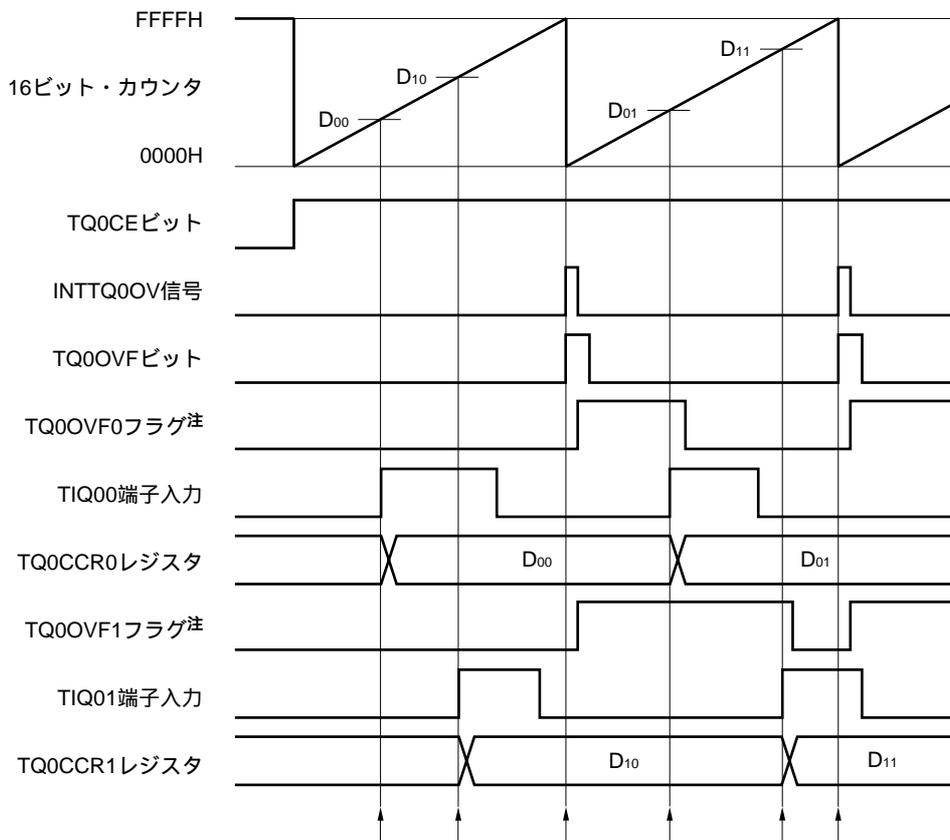
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TQ0OVF0, TQ0OVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TQ0CCR0レジスタをリードする。

TQ0OVF0フラグをリードする。 TQ0OVF0フラグが“1”だった場合、クリア (0) する。

TQ0OVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

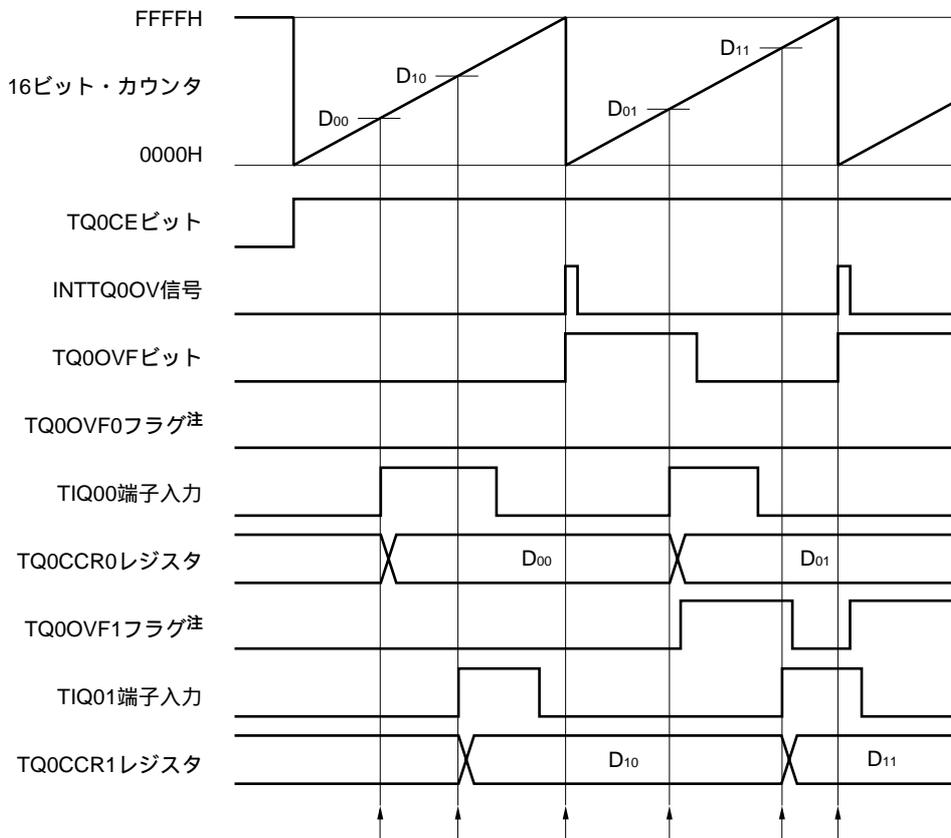
TQ0CCR1レジスタをリードする。

TQ0OVF1フラグをリードする。 TQ0OVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTQ0OVF0フラグであり、TQ0OVF1フラグは“1”のまま)。

TQ0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

TQ0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TQ0OVF1フラグのみをセット (1) し、オーバーフロー・フラグをクリア (0) する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TQ0CCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア (0) されているので“0”がリードされる。

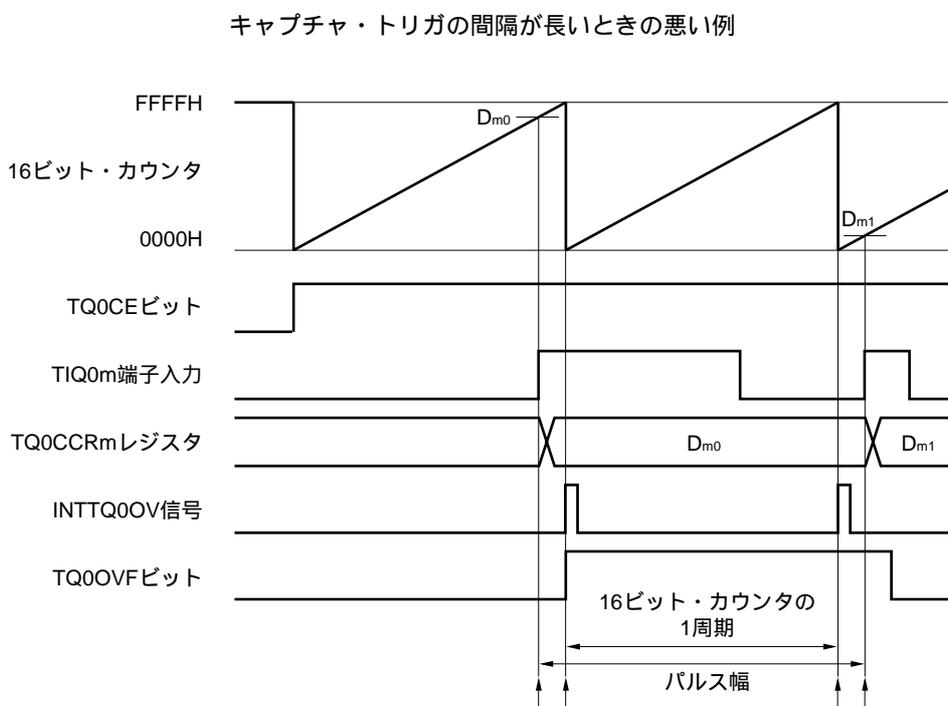
TQ0OVF1フラグをリードする。TQ0OVF1フラグが“1”だった場合、クリア (0) する。

TQ0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TQ0CCRmレジスタをリードする (TIQ0m端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

2回目のオーバーフローが発生する。ソフトウェアでは何もしない。

TQ0CCRmレジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

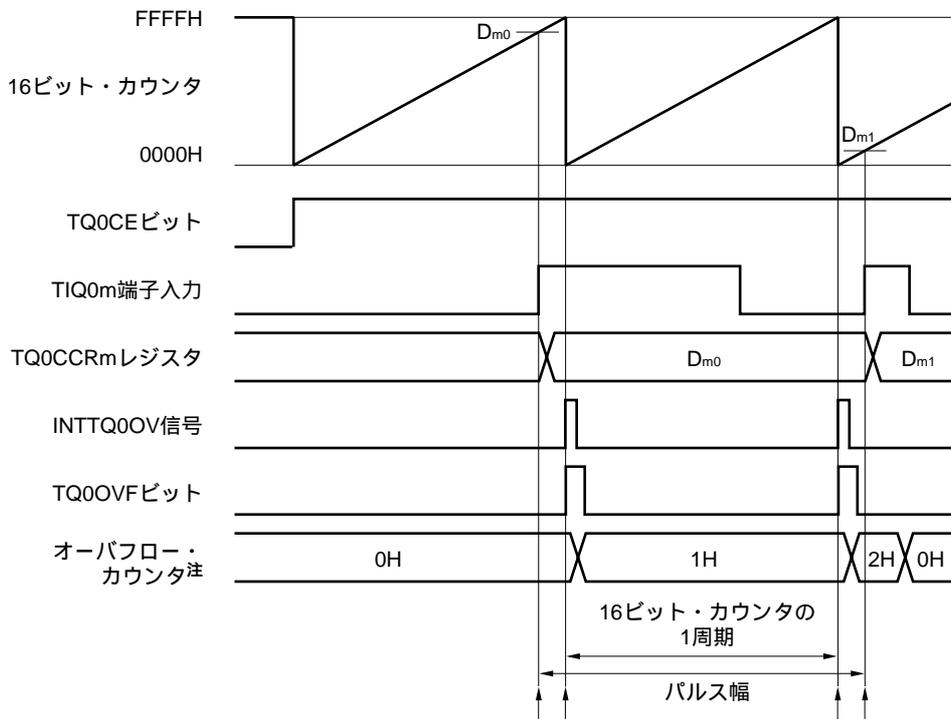
オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{m1} - D_{m0})$ で求められます (NG)。

実際には、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になるはずですが。

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCRmレジスタをリードする (TIQ0m端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TQ0CCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

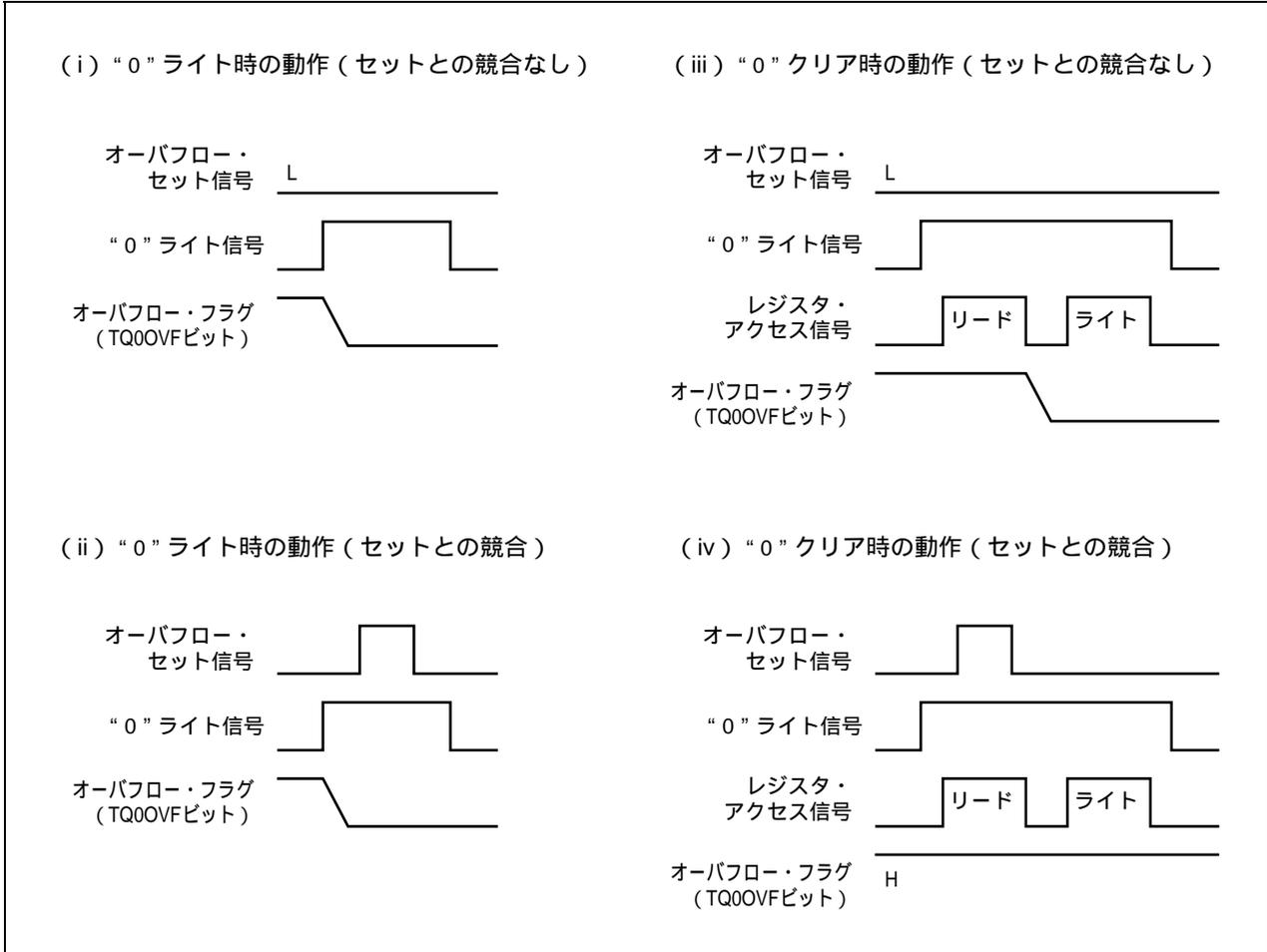
オーバフロー・カウンタが “N” のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQ0OVFビットをCLR命令でクリア (0) する方法と、TQ0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TQ0OVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります (上図の (ii))。そのため、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

8.5.7 パルス幅測定モード (TQ0MD2-TQ0MD0 = 110)

パルス幅測定モードは、TQ0CTL0.TQ0CEビットをセット(1)することでカウント動作を開始し、TIQ0m端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTQ0CCm)が発生したあと、TQ0CCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIQ00-TIQ03端子のいずれか1本を使用してください。使用しない端子は、TQ0IOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIQ00端子固定ですので、TIQ0k端子のパルス幅を測定してください。このとき、TQ0IOC1.TQ0IS1, TQ0IS0ビット = 00 (キャプチャ・トリガ入力 (TIQ00端子) : エッジ検出なし) に設定してください。

備考 m = 0-3

k = 1-3

図8 - 34 パルス幅測定モードの構成図

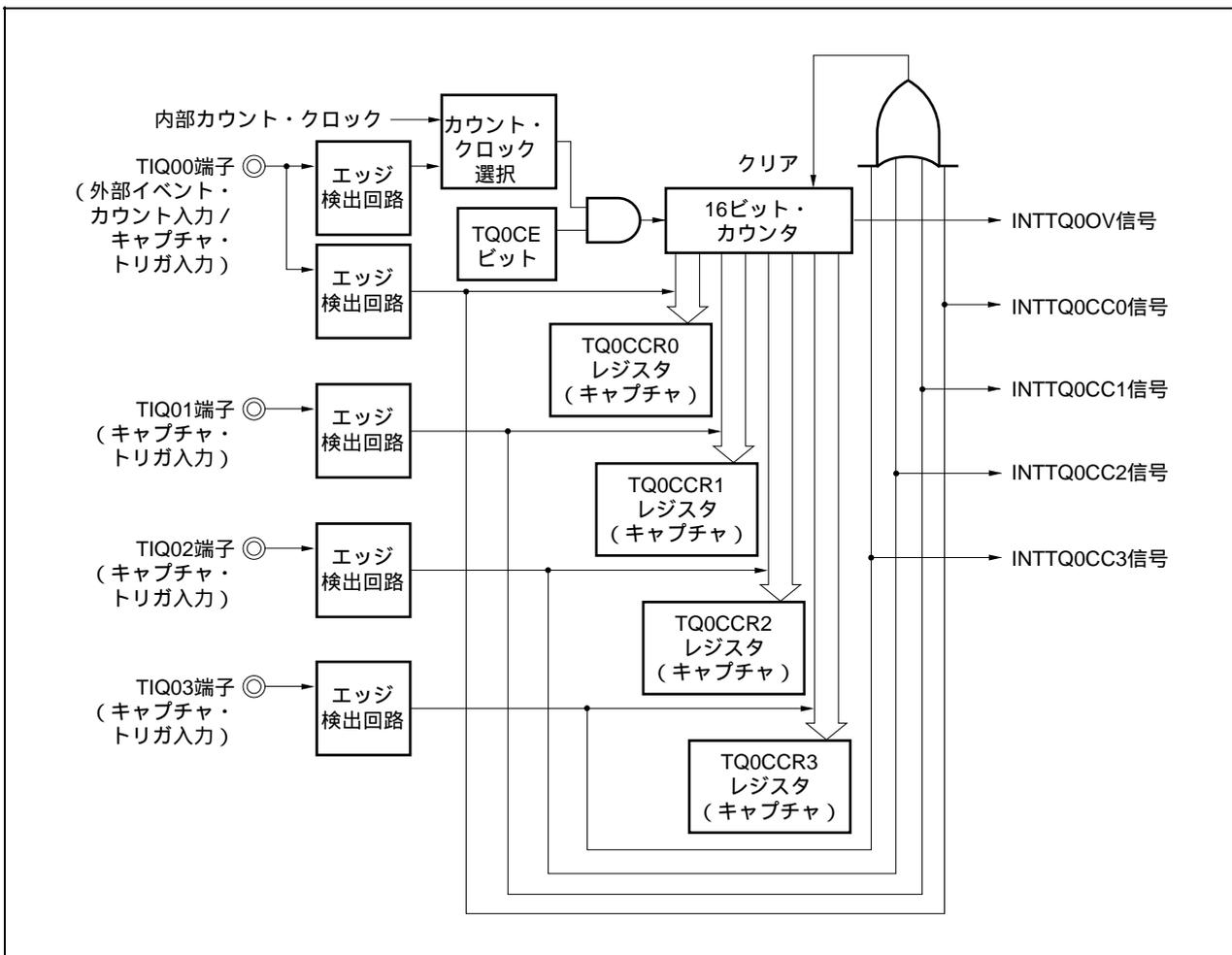
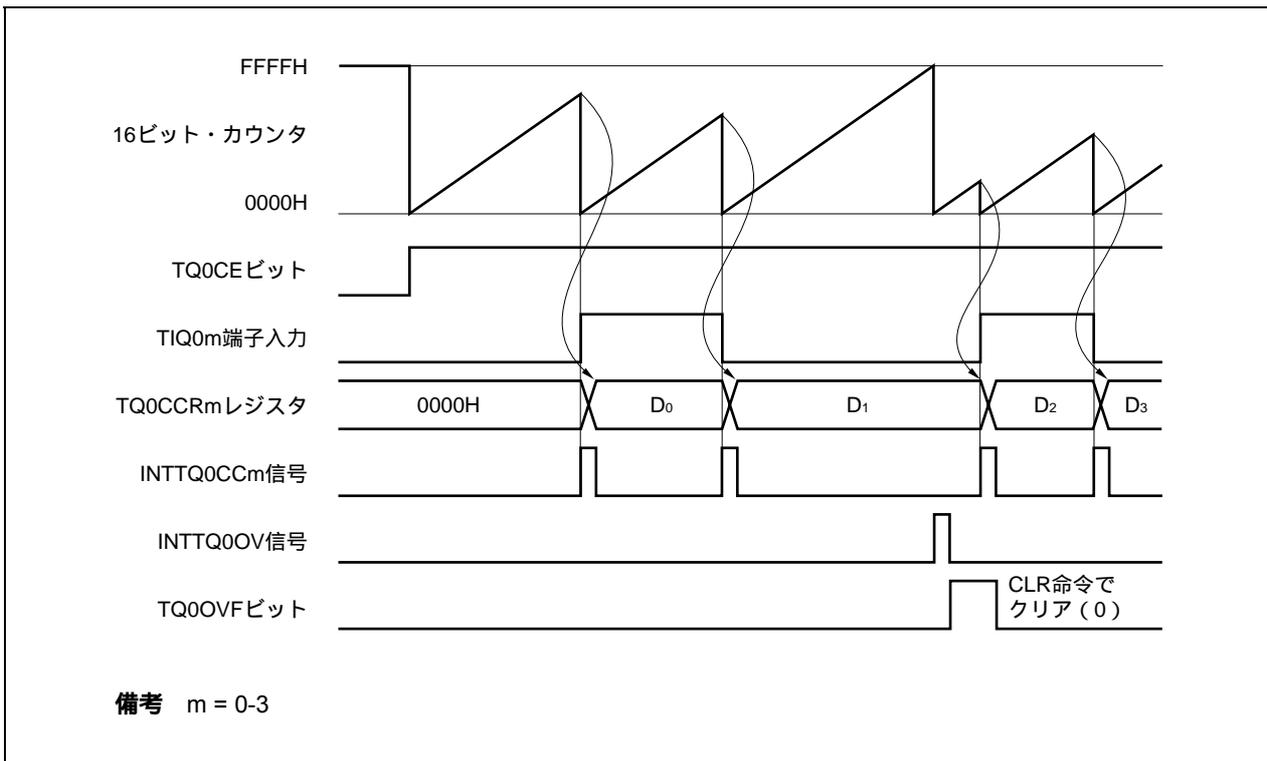


図8 - 35 パルス幅測定モードの基本タイミング



TQ0CEビットをセット(1)することで、カウント動作を開始します。その後、TIQ0m端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTQ0CCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = (D_N + 1) \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTQ0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TQ0OPT0.TQ0OVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (D_N + 10001H) \times \text{カウント} \cdot \text{クロック周期}$$

備考 m = 0-3

図8 - 36 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

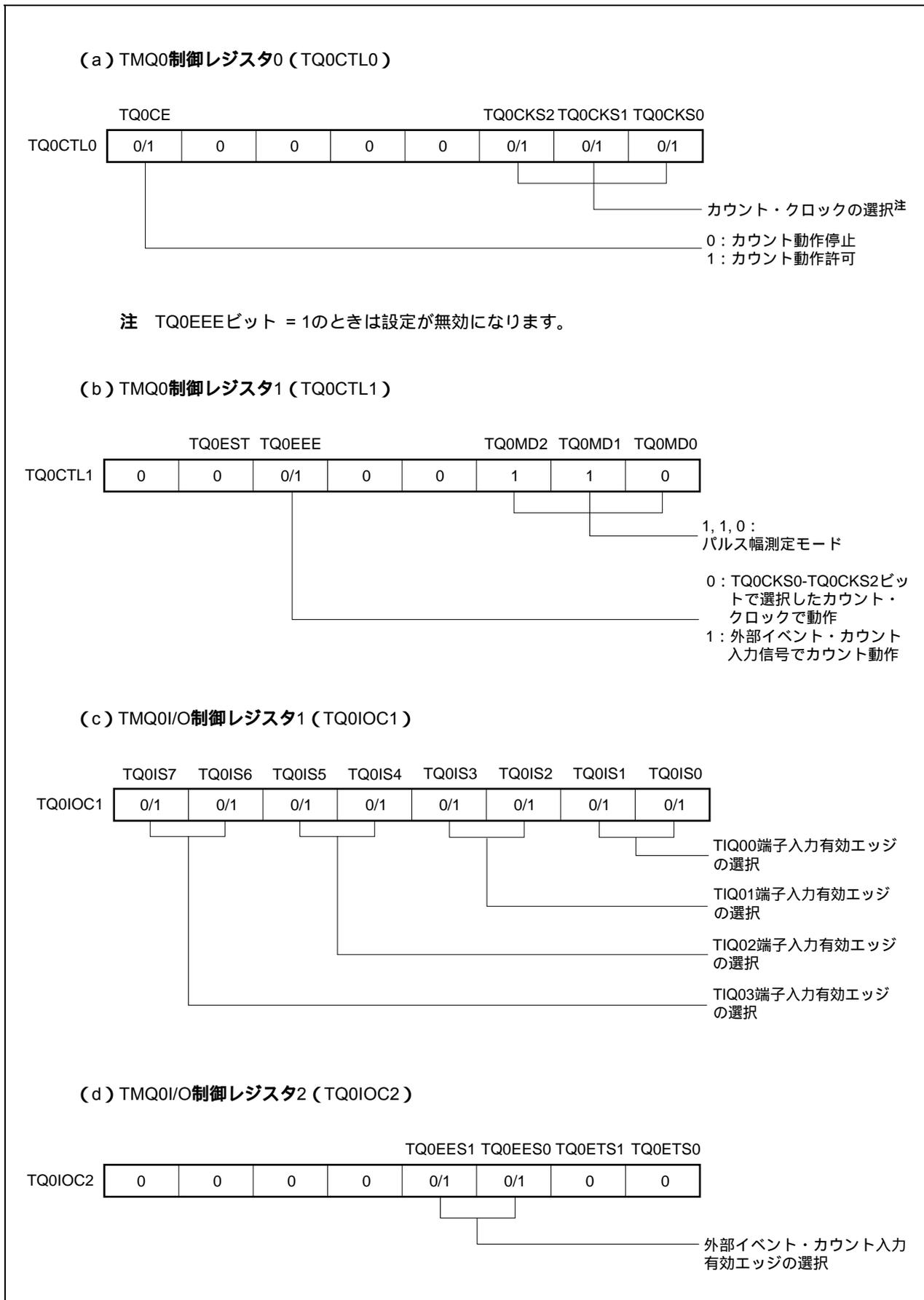
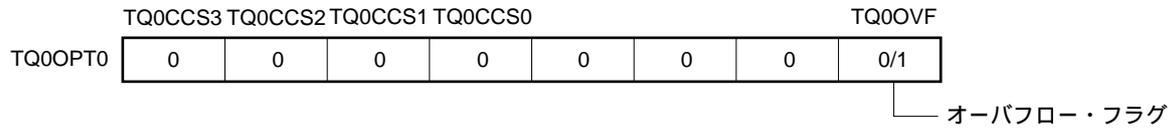


図8 - 36 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMQ0オプション・レジスタ0 (TQ0OPT0)



(f) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

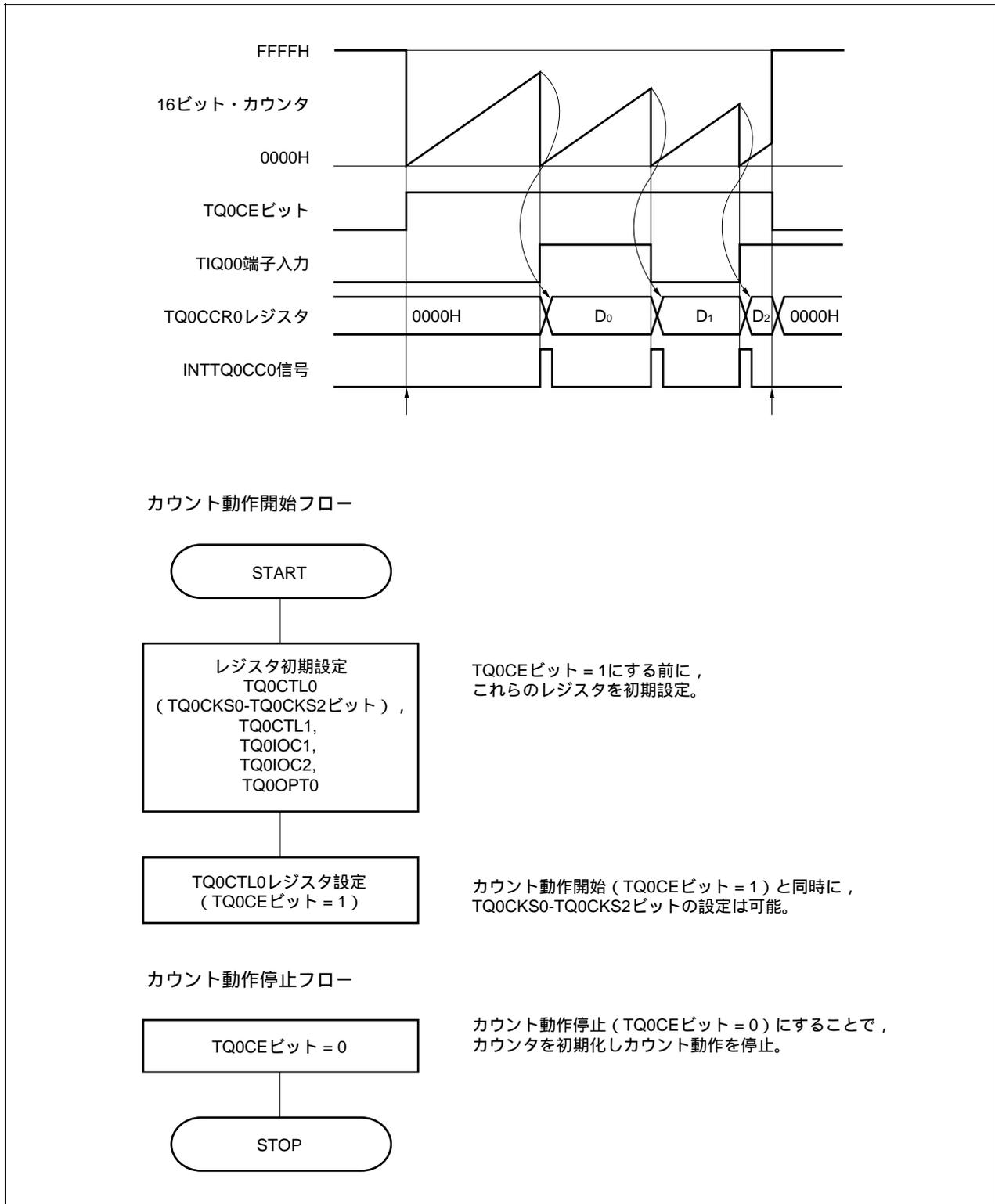
TIQ0m端子入力の有効エッジ検出により、16ビット・カウンタのカウンタ値を格納します。

備考1. パルス幅測定モードでは、TMQ0I/O制御レジスタ0 (TQ0IOC0) は使用しません。

2. m = 0-3

(1) パルス幅測定モード動作フロー

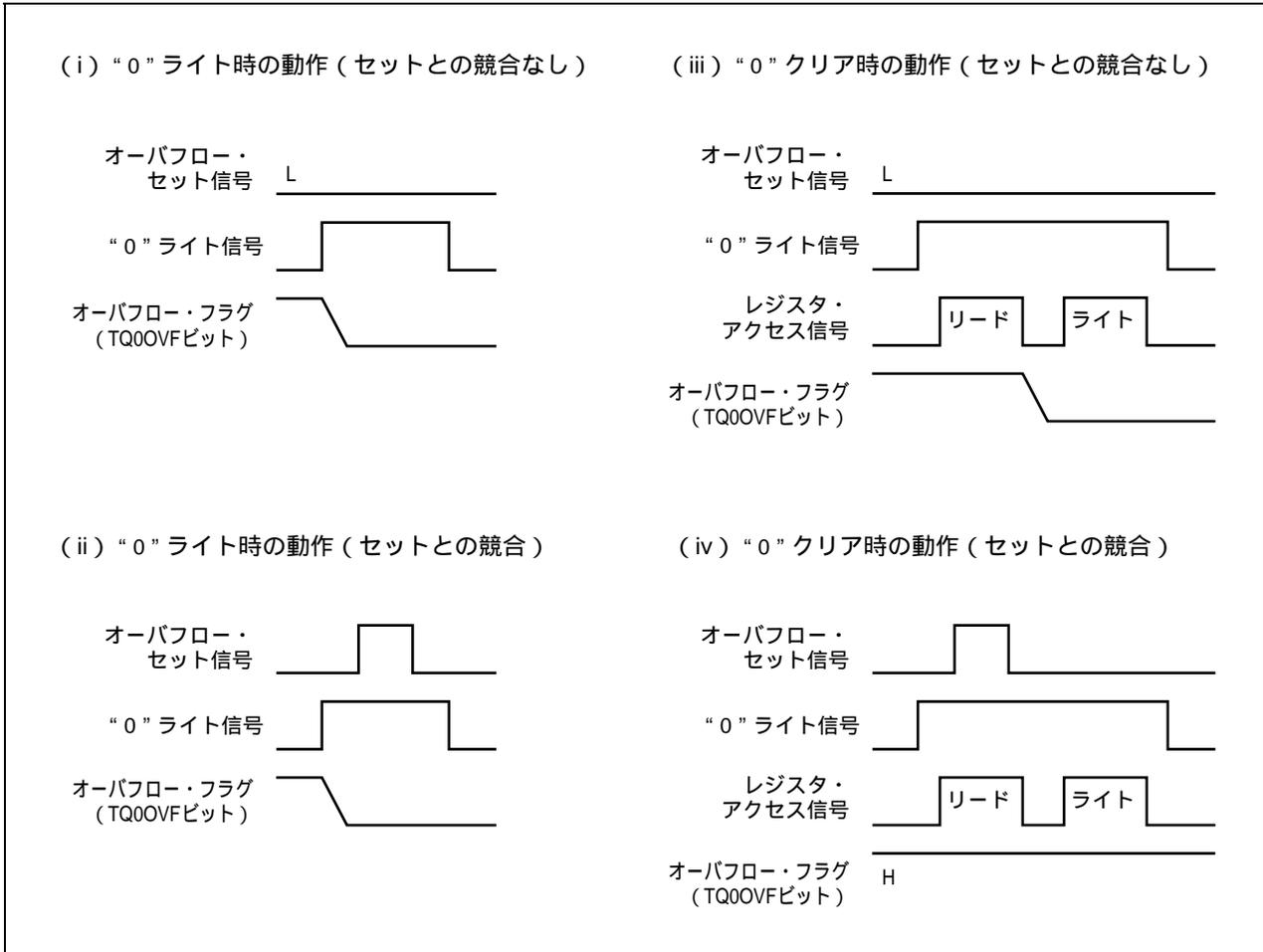
図8 - 37 パルス幅測定モード使用時のソフトウェア処理フロー



(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQ0OVFビットをCLR命令でクリア (0) する方法と、TQ0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法がありますが、確実にオーバフローを検出するために、TQ0OVFビット = 1をリードしたあと、ビット操作命令でクリア (0) してください。



オーバフロー・フラグをクリア (0) する場合には、リードしてオーバフロー・フラグがセット (1) されていることを確認したあと、CLR命令でクリア (0) してください。確認せずに0をライトすると、オーバフローのセット情報を “0” ライトで消してしまう場合があります (上図の (ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア (0) するときに、CLR命令の実行とオーバフロー発生タイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット (1) されたままになります。

8.5.8 タイマ出力動作説明

次にTOQ00-TOQ03端子の動作，および出力レベルを示します。

表8 - 6 各モードによるタイマ出力制御

動作モード	TOQ00端子	TOQ01端子	TOQ02端子	TOQ03端子
インターバル・タイマ・モード	方形波出力			
外部イベント・カウント・モード	方形波出力	-		
外部トリガ・パルス出力モード	方形波出力	外部トリガ・パルス出力	外部トリガ・パルス出力	外部トリガ・パルス出力
ワンショット・パルス出力モード		ワンショット・パルス出力	ワンショット・パルス出力	ワンショット・パルス出力
PWM出力モード		PWM出力	PWM出力	PWM出力
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)			
パルス幅測定モード	-			

表8 - 7 タイマ出力制御ビットによるTOQ00-TOQ03端子の真理値表

TQ0IOC0.TQ0OLmビット	TQ0IOC0.TQ0OEmビット	TQ0CTL0.TQ0CEビット	TOQ0m端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル， カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル， カウント開始後はロウ・レベル

備考 m = 0-3

8.6 タイマ入力端子のデジタル・ノイズ除去

μ PD703229Y, 70F3229Yでは、タイマの入力端子 (TIQ00-TIQ03) にデジタル・ノイズ除去回路を内蔵しています。

デジタル・サンプリングを行うサンプリング・クロックを f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$ の中から選択できます。サンプリングの回数は3回と2回です。

(1) TMQ0ノイズ除去レジスタ (Q0nNFC)

Q0nNFCレジスタは、TIQ00-TIQ03端子のデジタル・ノイズ除去クロックを選択します。

Q0nNFCレジスタの設定を行う前に、タイマ入力端子より入力された信号は、デジタル・ノイズ除去され常時出力されます。

そのため、サンプリング・クロック (NFC2-NFC0ビット)、サンプリング回数 (NFSTSビット) を設定後、「(サンプリング・クロック) × (サンプリング回数)^注」の時間経過後、タイマの動作を許可してください。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注 デジタル・ノイズ除去条件をセットして、デジタル・ノイズ除去回路が初期化されるまでに、設定した「(サンプリング・クロック) × (サンプリング回数)」の時間がかかります。

リセット時：00H R/W アドレス：Q00NFC FFFFFFFB50H, Q01NFC FFFFFFFB54H,
Q02NFC FFFFFFFB58H, Q03NFC FFFFFFFB5CH

Q0nNFC (n = 0-3)	7	6	5	4	3	2	1	0
	0	NFSTS	0	0	0	NFC2	NFC1	NFC0

NFSTS	デジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 3回
1	サンプリング回数 = 2回

・ TMQ0nのTIQ0n端子の場合

NFSTS	NFC2	NFC1	NFC0	サンプリング・クロック	確実にノイズ除去するノイズ幅 ^注
					f _{xx} = 20 MHz
0	0	0	0	f _{xx}	0.10 μs
0	0	0	1	f _{xx} /2	0.20 μs
0	0	1	0	f _{xx} /4	0.40 μs
0	0	1	1	f _{xx} /16	1.60 μs
0	1	0	0	f _{xx} /32	3.20 μs
0	1	0	1	f _{xx} /64	6.40 μs
1	0	0	0	f _{xx}	0.05 μs
1	0	0	1	f _{xx} /2	0.10 μs
1	0	1	0	f _{xx} /4	0.20 μs
1	0	1	1	f _{xx} /16	0.80 μs
1	1	0	0	f _{xx} /32	1.60 μs
1	1	0	1	f _{xx} /64	3.20 μs
上記以外				設定禁止	

注 確実に除去するノイズ幅は、(サンプリング・クロック) × (サンプリング回数 - 1) となります。また、(サンプリング・クロック) × (サンプリング回数 - 1) のノイズ幅以下のノイズであっても、サンプリング・クロックに同期したノイズが入力された場合には、誤カウントが発生します。

第9章 16ビット・インターバル・タイマM (TMM)

9.1 概 要

- ・インターバル機能
- ・クロック選択×8
- ・16ビット・カウンタ×1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ×1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み×1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

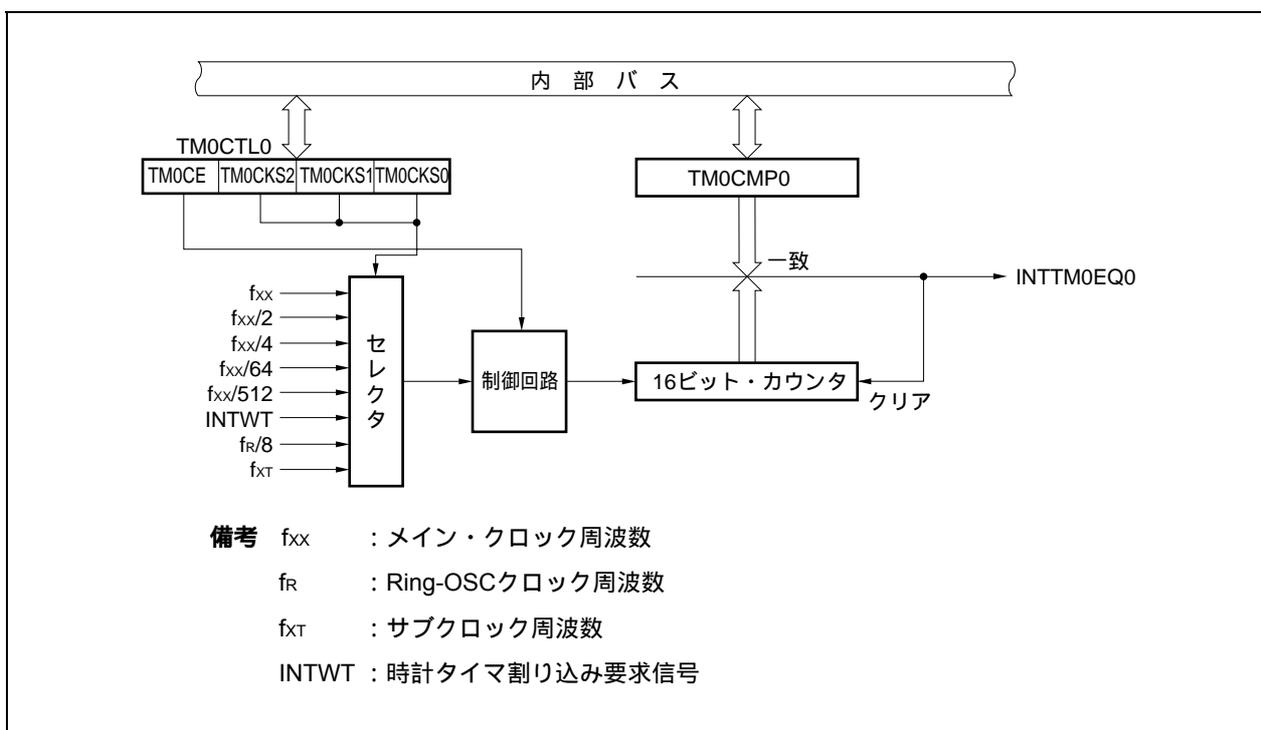
9.2 構成

TMM0は、次のハードウェアで構成されています。

表9 - 1 TMM0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMM0コンペア・レジスタ0 (TM0CMP0)
制御レジスタ	TMM0制御レジスタ0 (TM0CTL0)

図9 - 1 TMM0のブロック図



(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード/ライトできません。

(2) TMM0コンペア・レジスタ0 (TM0CMP0)

TM0CMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

TM0CMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

TM0CTL0.TM0CEビット = 1のとき、TM0CMP0レジスタの書き換えは禁止です。



9.3 制御レジスタ

(1) TMM0制御レジスタ0 (TM0CTL0)

TM0CTL0レジスタはTMM0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TM0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：FFFFFF690H

	⑦	6	5	4	3	2	1	0
TM0CTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	内部クロック動作許可 / 禁止指定
0	TMM0動作禁止 (16ビット・カウンタを非同期にリセット)。動作クロック供給停止。
1	TMM0動作許可。動作クロック供給開始。TMM0動作開始。

TM0CEビットにより、TMM0の内部クロックの制御と内部回路のリセットを非同期に行います。TM0CEビットをクリア (0) すると、TMM0の内部クロックは停止 (ロウ・レベル固定) し、16ビット・カウンタが非同期にリセットされます。

TM0CKS2	TM0CKS1	TM0CKS0	カウント・クロックの選択
0	0	0	f _{xx}
0	0	1	f _{xx} /2
0	1	0	f _{xx} /4
0	1	1	f _{xx} /64
1	0	0	f _{xx} /512
1	0	1	INTWT
1	1	0	f _R /8
1	1	1	f _{XT}

注意1. TM0CKS2-TM0CKS0ビットはTM0CEビット = 0のときに設定してください。

TM0CEビットを“0”から“1”に設定するときに、同時にTM0CKS2-TM0CKS0ビットを設定できます。

2. ビット3-6には必ず“0”を設定してください。

備考 f_{xx} : メイン・クロック周波数

f_R : Ring-OSCクロック周波数

f_{XT} : サブクロック周波数

9.4 動作

★ 9.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TM0CTL0.TM0CEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号(INTTM0EQ0)を発生します。

図9-2 インターバル・タイマの構成図

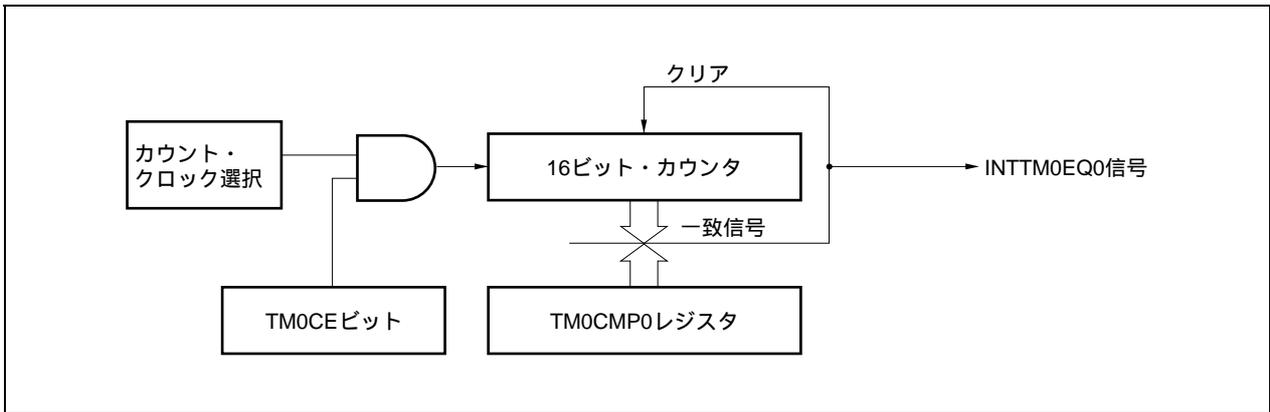
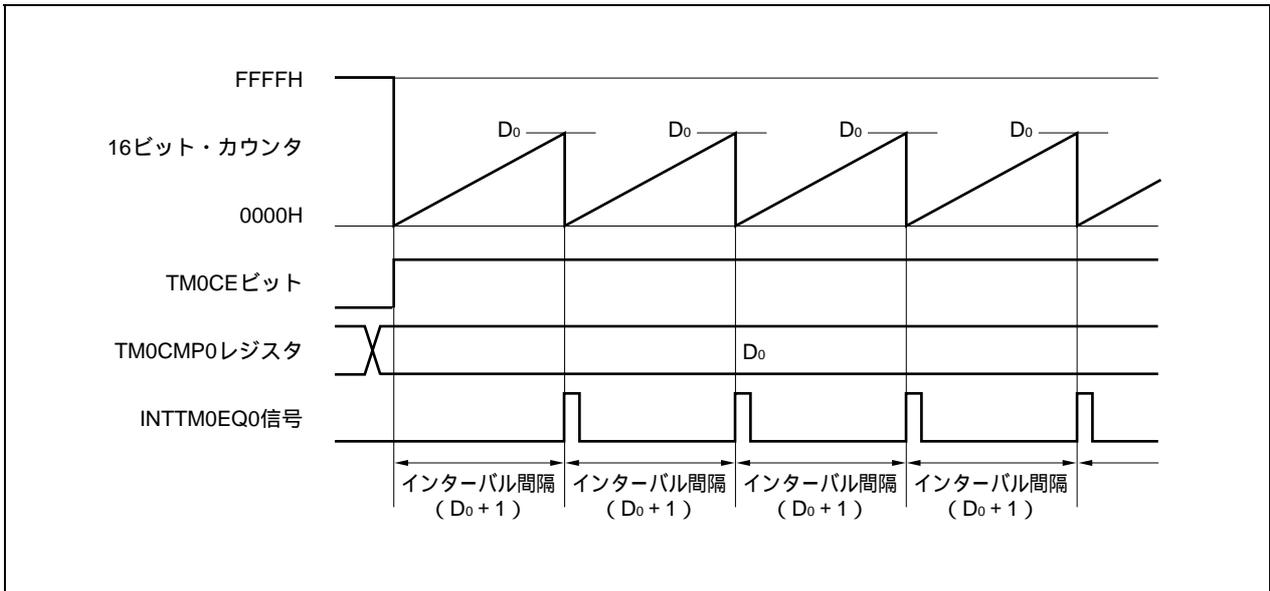
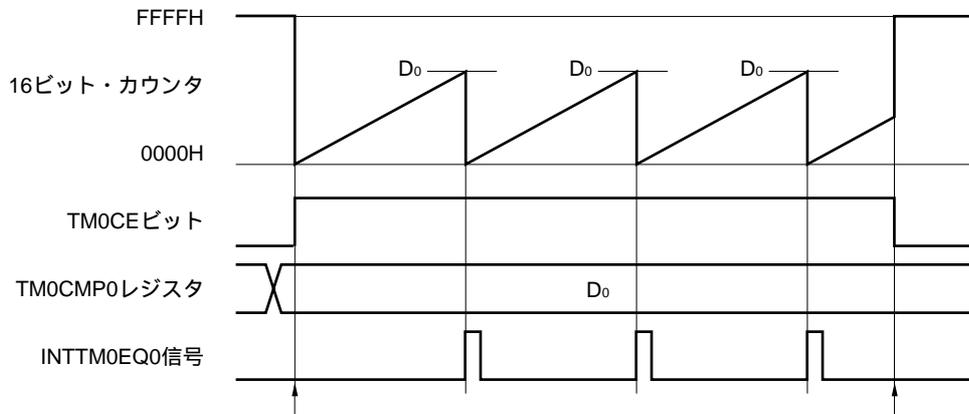


図9-3 インターバル・タイマ・モード動作の基本タイミング

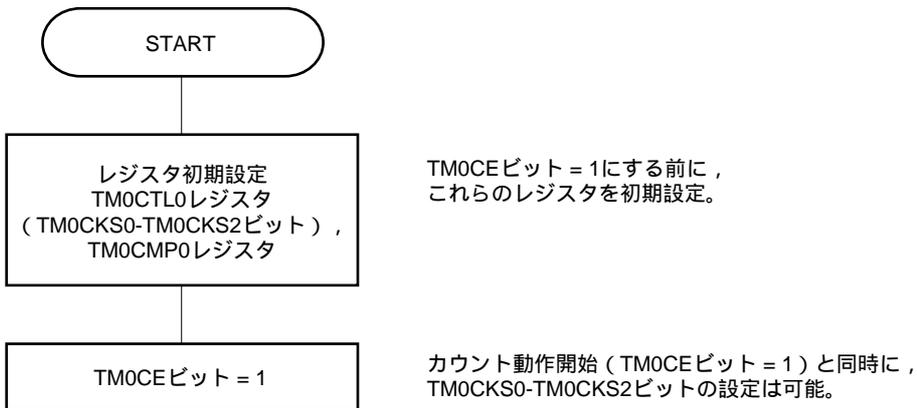


(1) インターバル・タイマ・モード動作フロー

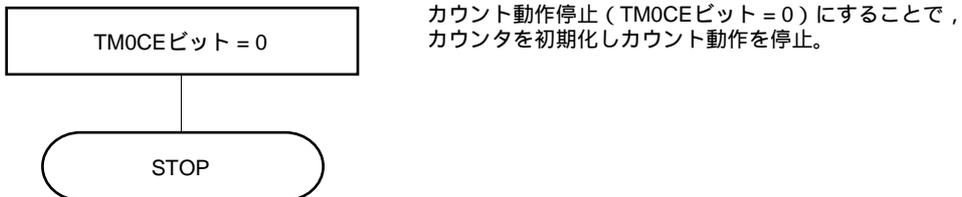
図9 - 5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



カウント動作開始フロー



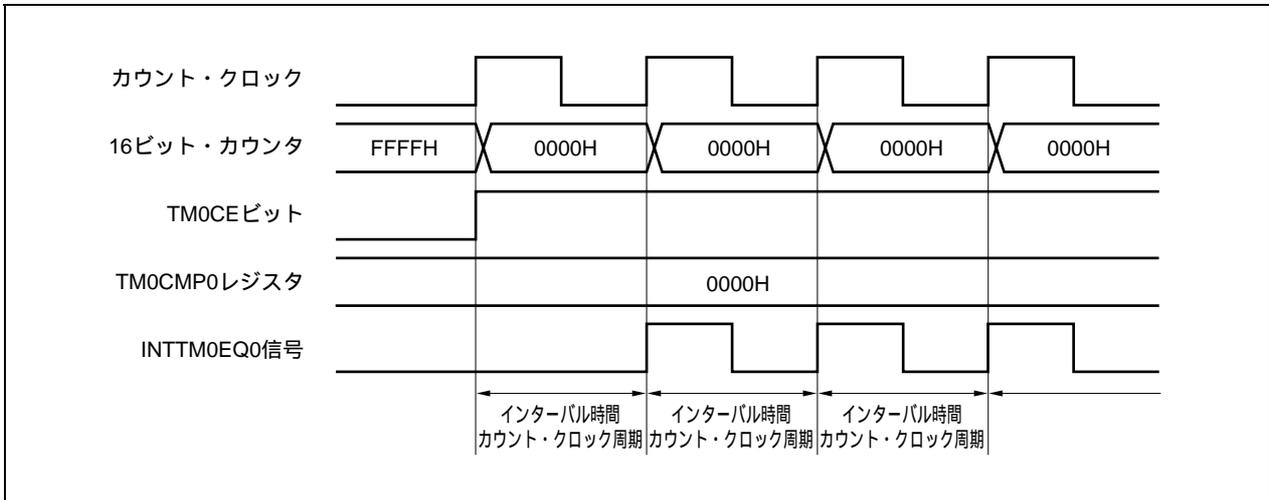
カウント動作停止フロー



(2) インターバル・タイマ・モード動作タイミング

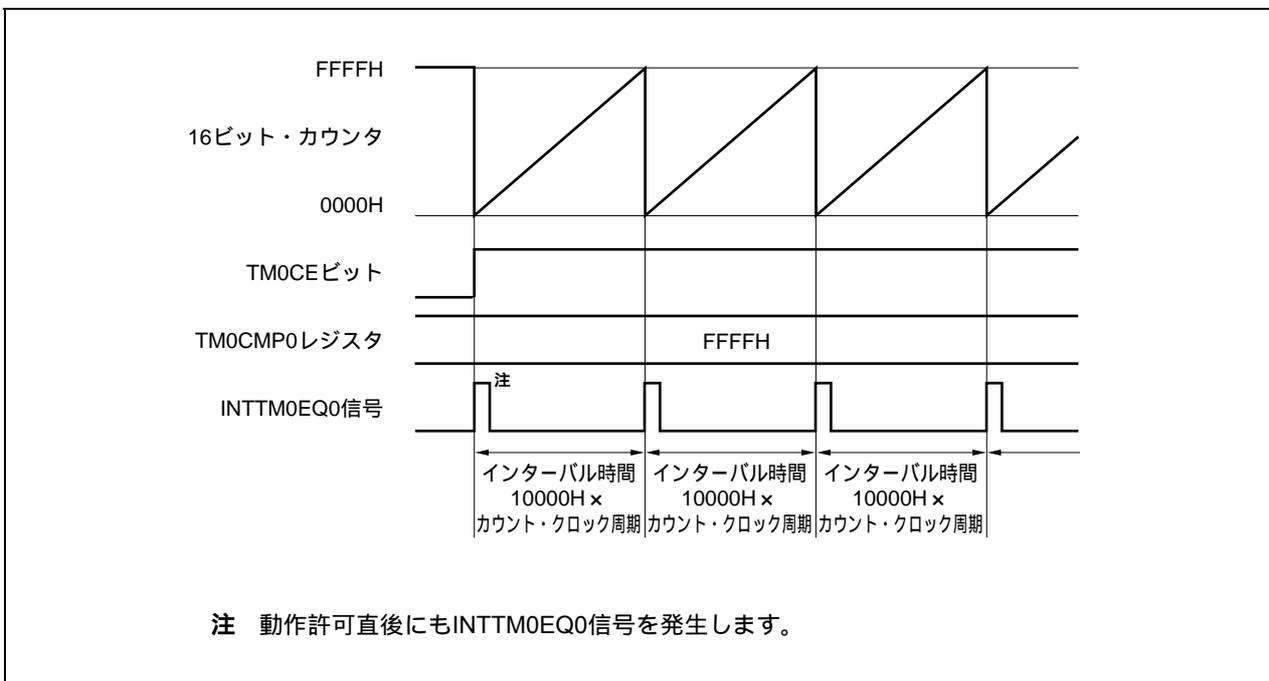
(a) TM0CMP0レジスタに0000Hを設定した場合の動作

TM0CMP0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTM0EQ0信号を発生し、16ビット・カウンタは、常に0000Hとなります。



(b) TM0CMP0レジスタにFFFFHを設定した場合の動作

TM0CMP0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTM0EQ0信号を発生します。



★ 9.4.2 注意事項

(1) TM0CTL0.TM0CEビット = 1としてからカウント開始するまで、選択したカウント・クロックによって次の時間が最大かかります。

選択したカウント・クロック	カウント開始までの最大時間
f_{xx}	$2/f_{xx}$
$f_{xx}/2$	$6/f_{xx}$
$f_{xx}/4$	$24/f_{xx}$
$f_{xx}/64$	$128/f_{xx}$
$f_{xx}/512$	$1024/f_{xx}$
INTWT	INTWT信号の2回目の立ち上がり
$f_R/8$	$16/f_R$
f_{XT}	$2/f_{XT}$

(2) TM0CMP0, TM0CTL0レジスタはTMM0動作中の書き換えは禁止です。

TM0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TM0CTL0.TM0CEビットをクリア(0)してから再設定してください。

(3) TM0CMP0レジスタにFFFFHを設定した場合、動作許可とした直後に、割り込みを発生します。

第10章 時計タイマ機能

10.1 機能

時計タイマには、次のような機能があります。

- ・時計タイマ : メイン・クロックまたはサブクロックを使用することで、0.5秒または0.25秒の時間間隔で割り込み要求信号 (INTWT) を発生します。
- ・インターバル・タイマ : あらかじめ設定した時間間隔で割り込み要求信号 (INTWTI) を発生します。

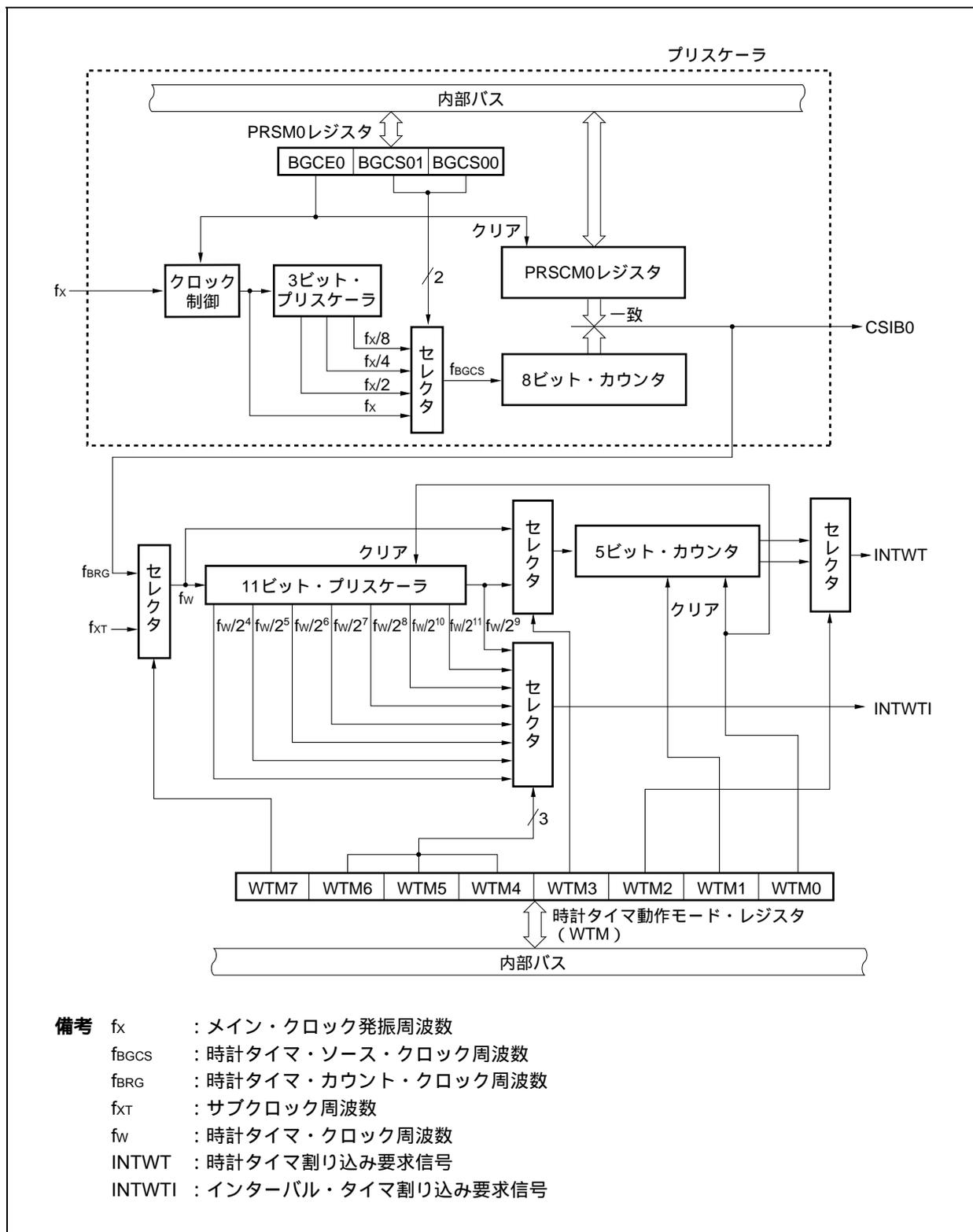
時計タイマとインターバル・タイマは、同時に使用できません。

★ 10.2 構成

次に時計タイマのブロック図を示します。

注意 時計タイマのプリスケーラは、CSIB0のポー・レート・ジェネレータと兼用しています。

図10 - 1 時計タイマのブロック図



(1) クロック制御

時計タイマのメイン・クロックでの動作クロック (f_x) の供給 / 停止を制御します。

(2) 3 ビット・プリスケアラ

f_x を分周して, $f_x/2$, $f_x/4$, $f_x/8$ を生成します。

(3) 8 ビット・カウンタ

ソース・クロック (f_{BCCS}) をカウントする8ビットのカウンタです。

(4) 11 ビット・プリスケアラ

f_w を分周して, $f_w/2^4$ - $f_w/2^{11}$ のクロックを生成します。

(5) 5 ビット・カウンタ

f_w または $f_w/2^9$ をカウントして, $2^4/f_w$, $2^5/f_w$, $2^{13}/f_w$ または $2^{14}/f_w$ ごとに時計タイマ割り込み要求信号 (INTWT) を発生します。

(6) セレクタ

時計タイマには, 次の5つのセレクタがあります。

- ・時計タイマのソース・クロックとして, f_x , $f_x/2$, $f_x/4$, $f_x/8$ のうちの1つを選択します。
- ・時計タイマのクロックとして, メイン・クロック (f_x) かサブクロック (f_{XT}) かを選択します。
- ・5ビット・カウンタのカウント・クロック周波数として, f_w か $f_w/2^9$ かを選択します。
- ・INTWT信号発生時間間隔として, $2^4/f_w$ または $2^{13}/f_w$ か, $2^5/f_w$ または $2^{14}/f_w$ かを選択します。
- ・インターバル・タイマ割り込み要求信号 (INTWTI) 発生時間間隔として, $2^4/f_w$ - $2^{11}/f_w$ から選択します。

(7) PRSCM レジスタ

インターバル時間を設定する8ビットのコンペア・レジスタです。

(8) PRSM レジスタ

時計タイマへのクロック供給を制御するレジスタです。

(9) WTM レジスタ

時計タイマ / インターバル・タイマの動作制御や割り込み要求信号発生間隔を設定する8ビットのレジスタです。

10.3 レジスタ

時計タイマには次のレジスタがあります。

- ・プリスケラ・モード・レジスタ0 (PRSM0)
- ・プリスケラ・コンペア・レジスタ0 (PRSCM0)
- ・時計タイマ動作モード・レジスタ (WTM)

(1) プリスケラ・モード・レジスタ0 (PRSM0)

PRSM0レジスタは、時計タイマのカウント・クロックの生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	メイン・クロックでの動作許可
0	禁止
1	許可

BGCS01	BGCS00	時計タイマ・ソース・クロック (f _{BGCS}) の選択		
			5 MHz	4 MHz
0	0	fx	50 ns	250 ns
0	1	fx/2	100 ns	500 ns
1	0	fx/4	200 ns	1 μs
1	1	fx/8	400 ns	2 μs

- 注意1.** 時計タイマ動作中に、BGCS01, BGCS00ビットの値を変更しないでください。
- PRSM0レジスタの設定はBGCE0ビットをセット(1)する前に行ってください。
 - f_{BRG}の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

(2) プリスケアラ・コンペア・レジスタ 0 (PRSCM0)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

- 注意1. 時計タイマ動作中にPRSCM0レジスタを書き換えしないでください。**
- PRSM0.BGCE0ビットをセット(1)する前にPRSCM0レジスタの設定を行ってください。
 - f_{BRG}の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

(3) 時計タイマ動作モード・レジスタ (WTM)

時計タイマのカウンタ・クロックおよび動作の許可 / 禁止, プリスケーラのインターバル時間, 5ビット・カウンタの動作制御および時計フラグのセット時間を設定するレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : FFFFF680H

	7	6	5	4	3	2	①	②
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	WTM6	WTM5	WTM4	プリスケーラのインターバル時間の選択
0	0	0	0	$2^4/f_w$ (488 μ s : $f_w = f_{XT}$)
0	0	0	1	$2^5/f_w$ (977 μ s : $f_w = f_{XT}$)
0	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{XT}$)
0	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{XT}$)
0	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{XT}$)
0	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{XT}$)
0	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{XT}$)
0	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{XT}$)
1	0	0	0	$2^4/f_w$ (488 μ s : $f_w = f_{BRG}$)
1	0	0	1	$2^5/f_w$ (977 μ s : $f_w = f_{BRG}$)
1	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{BRG}$)
1	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{BRG}$)
1	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{BRG}$)
1	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{BRG}$)
1	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{BRG}$)
1	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{BRG}$)

WTM7	WTM3	WTM2	時計用フラグのセット時間の選択
0	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{XT}$)
0	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{XT}$)
0	1	0	$2^5/f_w$ (977 μ s : $f_w = f_{XT}$)
0	1	1	$2^4/f_w$ (488 μ s : $f_w = f_{XT}$)
1	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{BRG}$)
1	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{BRG}$)
1	1	0	$2^5/f_w$ (977 μ s : $f_w = f_{BRG}$)
1	1	1	$2^4/f_w$ (488 μ s : $f_w = f_{BRG}$)

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, 5ビット・カウンタともにクリア)
1	動作許可

注意 WTM2-WTM7ビットを書き換える場合は, WTM0, WTM1ビットがともに0の状態で行ってください。

- 備考**1. f_w : 時計タイマ・クロック周波数
 2. () 内は, $f_w = 32.768$ kHz動作時

10.4 動作

★ 10.4.1 時計タイマとしての動作

時計タイマは、一定の時間間隔ごとに割り込み要求信号 (INTWT) を発生します。

サブクロック (32.768 kHz) またはメイン・クロックを使用して、0.25秒または0.5秒の時間間隔の時計タイマとして動作します。

WTM.WTM1, WTM0ビットに“11”を設定するとカウント動作がスタートします。WTM0ビットに0を設定すると11ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計タイマをインターバル・タイマと同時に動作させているとき、WTM1ビットをクリア(0)して5ビット・カウンタをクリアすることにより、時刻合わせができます。このとき、インターバル・タイマには影響はありませんが、時計タイマは最大で15.6 msの誤差が発生することがあります。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは、PRSM0.BGCS01, BGCS00ビットでカウント・クロックを、PRSCM0レジスタで8ビットのコンペア値を設定し、時計タイマのカウント・クロック周波数 (f_{BRG}) が32.768 kHzになるようにしてください。

PRSM0.BGCE0ビットをセット(1)すると、時計タイマに f_{BRG} を供給します。

f_{BRG} は、次の式で求められます。

$$f_{BRG} = f_x / (2^{m+1} \times N)$$

f_{BRG} を32.768 kHzにするには、次のように計算してBGCS01, BGCS00ビット, PRSCM0レジスタを設定してください。

$N = f_x / 65,536$ (小数点第一位を四捨五入) とし、 $m = 0$ としてください。

N が偶数のとき、 $N = N/2$ とし、 $m = m + 1$ としてください。

N が奇数になるか、または $m = 3$ になるまで、を繰り返します。

N をPRSCM0レジスタに、 m をBGCS01, BGCS00ビットに設定してください。

例： $f_x = 4.00$ MHzの場合

$N = 4,000,000 / 65,536 = 61$ (小数点第一位を四捨五入) , $m = 0$

, N は奇数なので、 $N = 61$, $m = 0$ のまま

PRSCM0レジスタ設定値：3DH (61) , BGCS01, BGCS00ビット設定値：00

備考 m ：分周値 (BGCS01, BGCS00ビット設定値) = 0-3

N ：PRSCM0レジスタ設定値 = 1-256 (PRSCM0レジスタ設定値 = 00Hの場合, $N = 256$)

f_x ：メイン・クロック発振周波数

10.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求信号 (INTWTI) を発生するインターバル・タイマとして動作します。

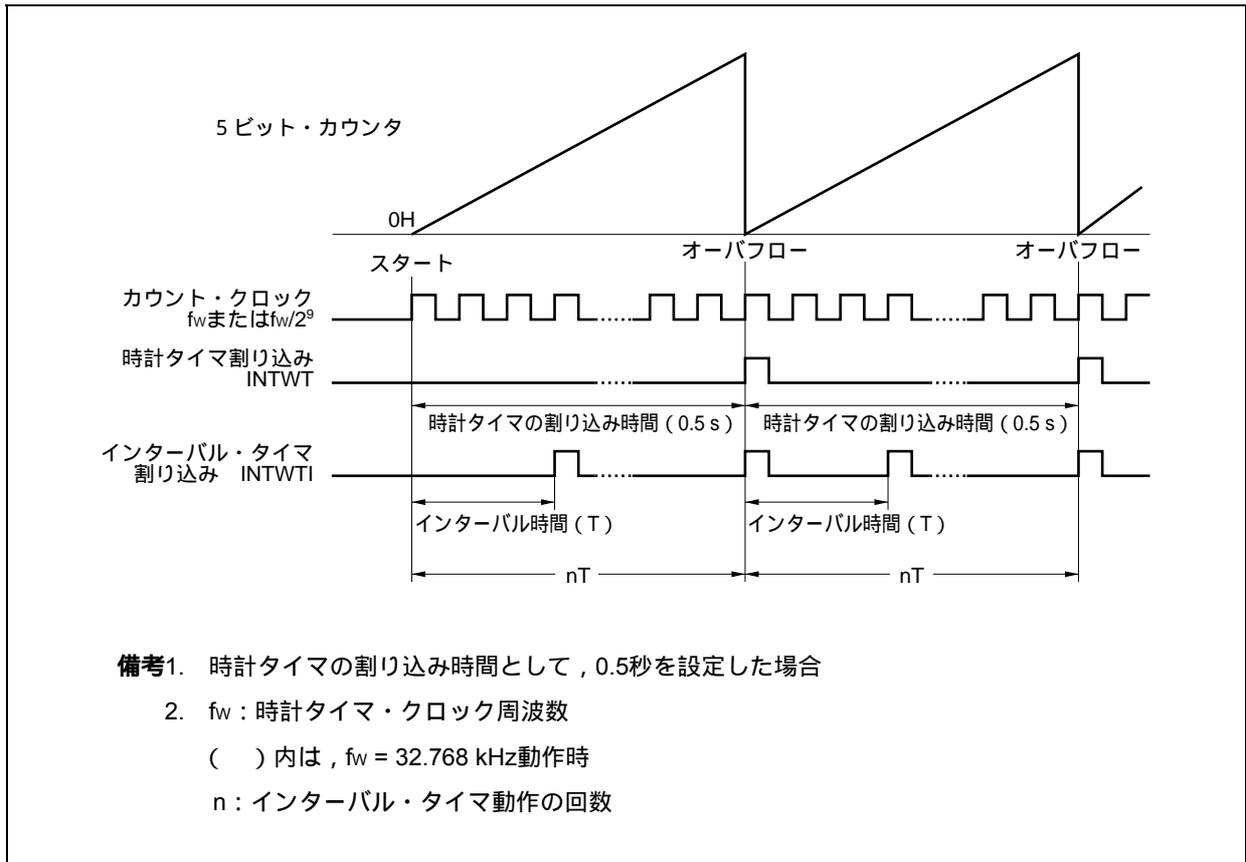
WTMレジスタのWTM4-WTM7ビットにより、インターバル時間を選択できます。

表10 - 1 インターバル・タイマのインターバル時間

WTM7	WTM6	WTM5	WTM4	インターバル時間	
0	0	0	0	$2^4 \times 1/f_w$	488 μ s ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	0	1	$2^5 \times 1/f_w$	977 μ s ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	1	0	$2^6 \times 1/f_w$	1.95 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	1	1	$2^7 \times 1/f_w$	3.91 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	0	0	$2^8 \times 1/f_w$	7.81 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	0	1	$2^9 \times 1/f_w$	15.6 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
1	0	0	0	$2^4 \times 1/f_w$	488 μ s ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	0	1	$2^5 \times 1/f_w$	977 μ s ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	1	0	$2^6 \times 1/f_w$	1.95 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	1	1	$2^7 \times 1/f_w$	3.91 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	0	0	$2^8 \times 1/f_w$	7.81 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	0	1	$2^9 \times 1/f_w$	15.6 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)

備考 f_w : 時計タイマ・クロック周波数

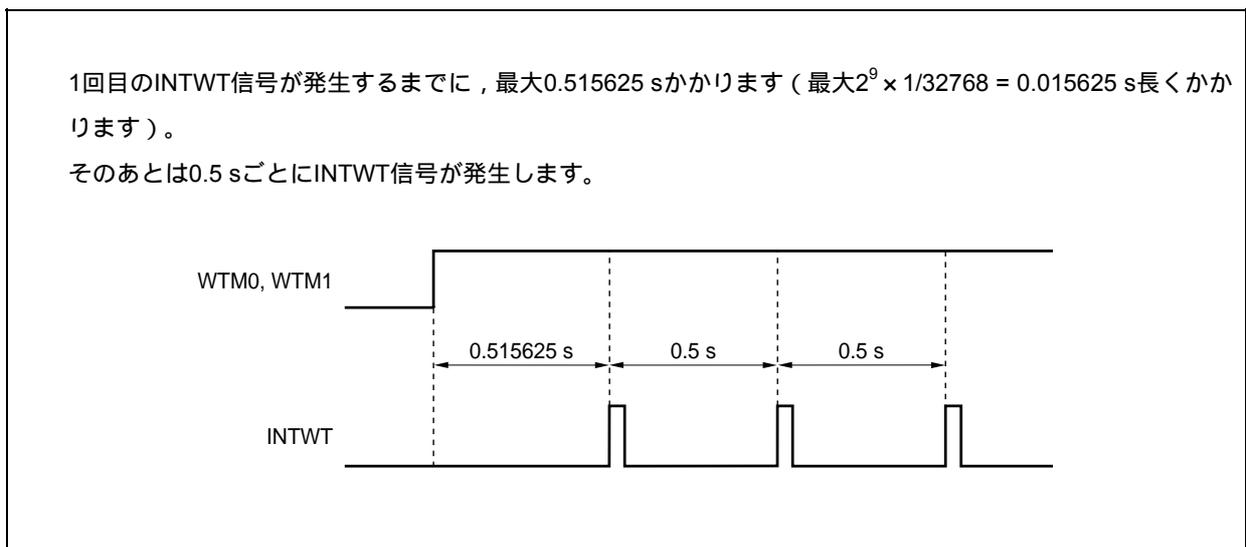
図10-2 時計タイマ/インターバル・タイマの動作タイミング



10.4.3 注意事項

動作許可 (WTM.WTM1, WTM0ビット = 1) してから、最初の1回目の時計タイマ割り込み要求信号 (INTWT) が発生するまで多少時間がかかります。

図10-3 時計タイマ割り込み要求信号 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)



第11章 ウォッチドッグ・タイマ2機能

11.1 機能

ウォッチドッグ・タイマ2には、次のような機能があります。

- ・デフォルト・スタート・ウォッチドッグ・タイマ^{注1}
 - リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDT2RES信号を発生）
 - ノンマスクابل割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）^{注2}
- ・ソース・クロックとしてメイン・クロック，Ring-OSCからの入力を選択可能

注1. ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッチドッグ・タイマ2をクリアし、次のインターバル時間内で停止してください。

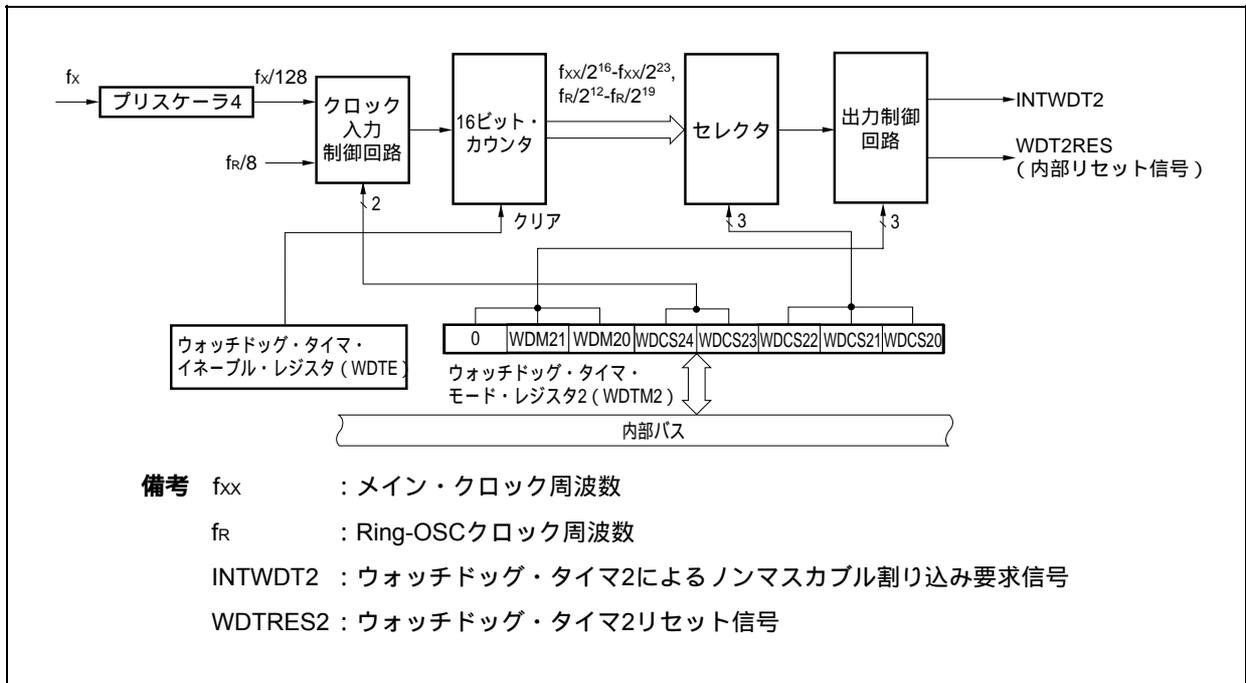
また、デフォルトの設定（リセット・モード，インターバル時間： $f_{R}/2^{19}$ ）で変更する必要がない場合も、動作を確定するために、1回だけWDTM2レジスタへの書き込みを行ってください。

2. ノンマスクابل割り込み要求信号（INTWDT2）によるノンマスクابل割り込み処理については17.9 注意事項を参照してください。

11.2 構成

次にウォッチドッグ・タイマ2のブロック図を示します。

図11-1 ウォッチドッグ・タイマ2のブロック図



ウォッチドッグ・タイマ2は、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマ2の構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2 (WDM2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

11.3 制御レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

WDTM2は8ビット単位でリード/ライト可能です。ただし、リードは何回でもできますが、ライトはリセット解除後に1回のみできます。

リセットにより67Hになります。

- ★ **注意** サブクロック動作時,かつメイン・クロック停止時のWDTM2レジスタへのアクセスは禁止です。詳細は, 3.4.8 (2) を参照してください。

リセット時 : 67H R/W アドレス : FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択
0	0	動作停止
0	1	ノンマスクブル割り込み要求モード (INTWDT2信号を発生)
1	-	リセット・モード (WDT2RES信号を発生)

- 注意1.** WDCS24-WDCS20ビットについては表11-2 ウォッチドッグ・タイマ2のクロック選択を参照してください。
- Ring-OSCの停止のみでウォッチドッグ・タイマ2は停止しますが、動作を確定するため (誤書き込みで、メイン・クロックが選択されないようにする)、WDTM2レジスタに1FHを設定してください。
 - リセット後、WDTM2レジスタに2回以上書き込んだ場合、強制的にオーバフロー信号を発生します。
 - ウォッチドッグ・タイマ2の動作を停止する場合は、RCM.RSTPビット = 1に設定 (Ring-OSCの停止) するとともに、WDTM2レジスタに1FHを書き込んでください。

表11-2 ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	100 kHz (MIN.)	200 kHz (TYP.)	400 kHz (MAX.)
0	0	0	0	0	$2^{12}/f_R$	41.0 ms	20.5 ms	10.2 ms
0	0	0	0	1	$2^{13}/f_R$	81.9 ms	41.0 ms	20.5 ms
0	0	0	1	0	$2^{14}/f_R$	163.8 ms	81.9 ms	41.0 ms
0	0	0	1	1	$2^{15}/f_R$	327.7 ms	163.8 ms	81.9 ms
0	0	1	0	0	$2^{16}/f_R$	655.4 ms	327.7 ms	163.8 ms
0	0	1	0	1	$2^{17}/f_R$	1310.7 ms	655.4 ms	327.7 ms
0	0	1	1	0	$2^{18}/f_R$	2621.4 ms	1310.7 ms	655.4 ms
0	0	1	1	1	$2^{19}/f_R$	5242.9 ms	2621.47 ms	1310.7 ms
						$f_x = 5 \text{ MHz}$ 時	$f_x = 4 \text{ MHz}$ 時	$f_x = 2.5 \text{ MHz}$ 時
0	1	0	0	0	$2^{16}/f_x$	13.1 ms	16.4 ms	26.2 ms
0	1	0	0	1	$2^{17}/f_x$	26.2 ms	32.8 ms	52.4 ms
0	1	0	1	0	$2^{18}/f_x$	52.4 ms	65.5 ms	104.9 ms
0	1	0	1	1	$2^{19}/f_x$	104.9 ms	131.1 ms	209.7 ms
0	1	1	0	0	$2^{20}/f_x$	209.7 ms	262.1 ms	419.4 ms
0	1	1	0	1	$2^{21}/f_x$	419.4 ms	524.3 ms	838.9 ms
0	1	1	1	0	$2^{22}/f_x$	838.9 ms	1048.6 ms	1677.7 ms
0	1	1	1	1	$2^{23}/f_x$	1677.7 ms	2097.2 ms	3355.4 ms
1	x	x	x	x	-	動作停止		

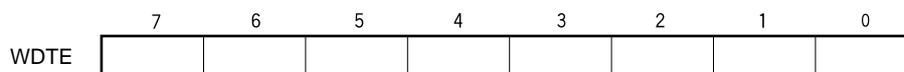
(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再びカウントを開始します。

8ビット単位でリード/ライト可能です。

リセットにより9AHになります。

リセット時：9AH R/W アドレス：FFFFFF6D1H



- 注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。
2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します。
3. WDTEレジスタのリード値は、“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

★ 11.4 動作

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みは、バイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は、動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後、動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで、ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。

WDTEレジスタにACHを書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再度カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず、暴走検出時間を越えてしまった場合は、WDTM2.WDM21, WDM20ビットの設定値により、リセット信号 (WDT2RES) またはノンマスカブル割り込み要求信号 (INTWDT2) が発生します。

ウォッチドッグ・タイマ2を使用しない場合は、WDTM2レジスタに1FHを書き込んでください。

また、ノンマスカブル割り込み要求モードに設定した場合、ノンマスカブル割り込み処理については17.9 注意事項を参照してください。

12.1 概 要

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、10ビット分解能、12チャンネル：ANI0-ANI11端子の構成になっています。

次にA/Dコンバータの特徴について示します。

10ビット分解能

12チャンネル

逐次比較変換方式

動作電圧： $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$

アナログ入力電圧： $0 \text{ V} \sim AV_{REF0}$

動作モードとして、次の機能があります。

- ・連続セレクト・モード
- ・連続スキャン・モード

トリガ・モードとして、次の機能があります。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（外部1本）
- ・タイマ・トリガ・モード

パワー・フェイル監視機能（変換結果比較機能）

12.2 機 能

（1）10ビット分解能A/D変換

アナログ入力をANI0-ANI11から1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します。

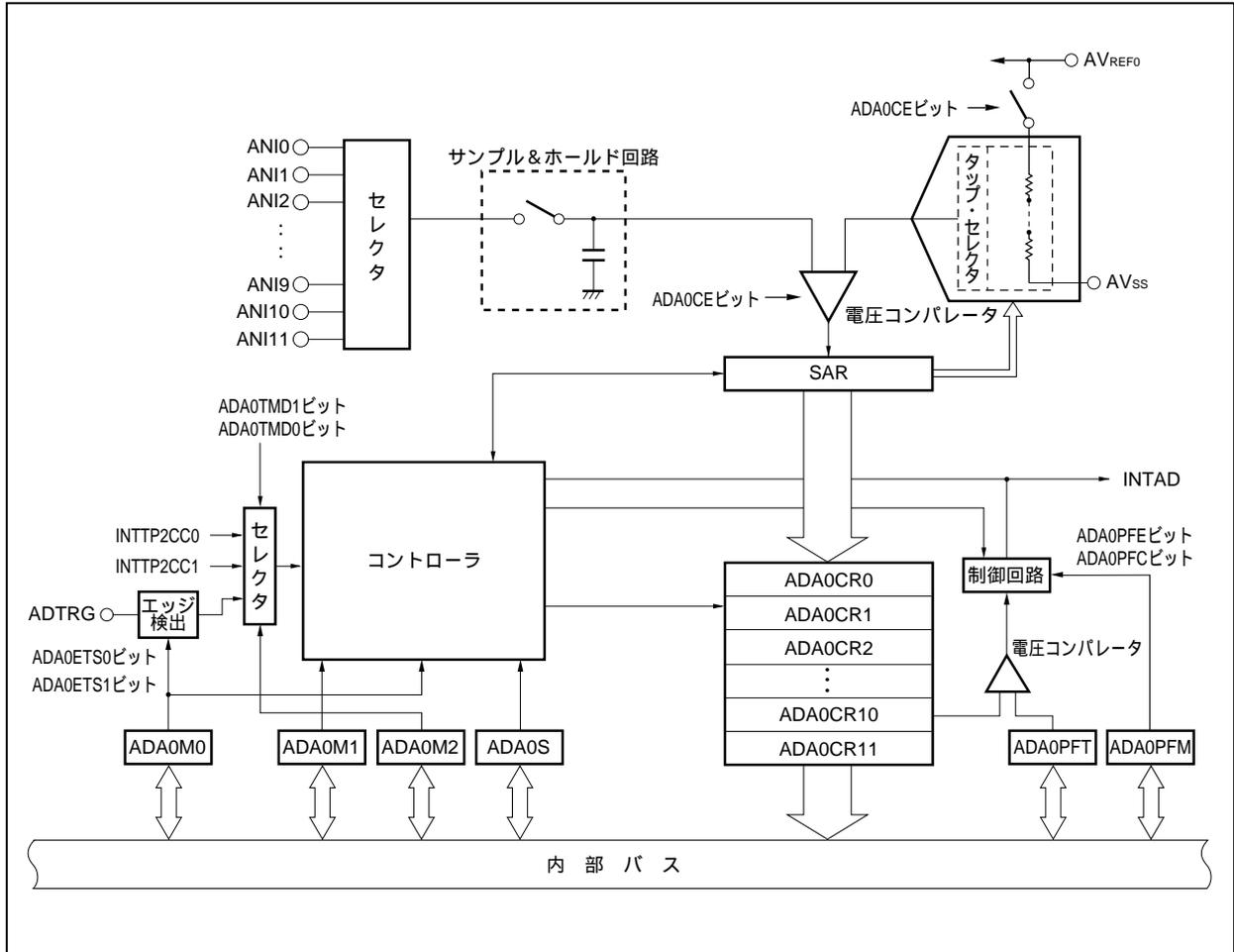
（2）パワー・フェイル検出機能

バッテリー電圧低下を検出するための機能です。A/D変換結果（ADA0CRnHレジスタ値）とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

12.3 構成

次にブロック図を示します。

図12 - 1 A/Dコンバータのブロック図



A/Dコンバータは、次のハードウェアで構成しています。

表12 - 1 A/Dコンバータの構成

項目	構成
アナログ入力	12チャンネル (ANI0-ANI11端子)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ0-11 (ADA0CR0-ADA0CR11) A/D変換結果レジスタ0H-11H (ADCR0H-ADCR11H) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ0-2 (ADA0M0-ADA0M2) A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S) パワー・フェイル比較モード・レジスタ (ADA0PFM) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位ビット (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARレジスタの内容はADA0CRnレジスタに転送されます。

備考 n = 0-11

(2) A/D変換結果レジスタn (ADA0CRn) , A/D変換結果レジスタnH (ADA0CRnH)

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。12本のレジスタで構成されており、A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します (下位6ビットは0に固定)。

(3) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行うレジスタです。

(4) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

A/D変換するアナログ入力の変換時間を設定するレジスタです。

(5) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを設定するレジスタです。

(6) A/Dコンバータ・チャンネル指定レジスタ (ADA0S)

A/D変換するアナログ電圧の入力ポートを設定するレジスタです。

(7) パワー・フェイル比較モード・レジスタ (ADA0PFM)

パワー・フェイル監視モードを設定するレジスタです。

(8) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

A/D変換結果レジスタnH (ADA0CRnH) と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CRnH) が比較されます。

(9) 制御回路

A/D変換が終了するか、パワー・フェイル検出機能使用時、A/D変換結果 (ADA0CRnHレジスタ値) とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

(10) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路で選択されたアナログ入力信号をサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(11) 電圧コンパレータ

電圧コンパレータは、サンプリングされ保持された電圧値と直列抵抗ストリングの出力電圧を比較します。

(12) 直列抵抗ストリング

直列抵抗ストリングは AV_{REF0} - AV_{SS} 間に接続されており、アナログ入力と比較する電圧を発生します。

(13) ANI0-ANI11端子

A/Dコンバータへの12チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

注意 ANI0-ANI11端子入力電圧は規格の範囲内で使用してください。特に AV_{REF0} 以上の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(14) AV_{REF0} 端子

A/Dコンバータの基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

AV_{REF0} , AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI11端子に入力される信号をデジタル信号に変換します。

(15) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

12.4 レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ0, 1, 2 (ADA0M0, ADA0M1, ADA0M2)
- ・ A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)
- ・ パワー・フェイル比較モード・レジスタ (ADA0PFM)

また、次のレジスタも使用します。

- ・ A/D変換結果レジスタn (ADA0CRn)
- ・ A/D変換結果レジスタnH (ADA0CRnH)
- ・ パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、ADA0EFビットはリードのみ可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF200H

	⑦	6	5	4	3	2	1	①
ADA0M0	ADA0CE	0	ADA0MD1	ADA0MD0	ADA0ETS1	ADA0ETS0	ADA0TMD	ADA0EF

ADA0CE	A/D変換動作の制御	
0	変換動作停止	
1	変換動作許可	

ADA0MD1	ADA0MD0	A/Dコンバータ動作モードを指定
0	0	連続セレクト・モード
0	1	連続スキャン・モード
1	0	設定禁止
1	1	設定禁止

ADA0ETS1	ADA0ETS0	外部トリガ (ADTRG端子) 入力の有効エッジを指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち上がり/立ち下がり両エッジ検出

ADA0TMD	トリガ・モードを指定
0	ソフトウェア・トリガ・モード
1	外部トリガ・モード/タイマ・トリガ・モード

ADA0EF	A/Dコンバータの状態を提示
0	A/D変換停止中
1	A/D変換動作中

- 注意1. ビット0に書き込みを行った場合、書き込みは無視されます。
- 変換動作中 (ADA0CE0ビット = 1) は、ADA0M1.ADA0FR2-ADA0FR0ビットの変更は禁止です。
 - A/Dコンバータを使用しない場合は、消費電力を小さくするために、ADA0CEビット = 0として動作を停止させてください。
 - サブクロック動作時、かつメイン・クロック停止時のADA0M0レジスタへのアクセスは禁止です。詳細は3.4.8(2)を参照してください。

(2) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

変換時間の制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF201H

ADA0M1	7	6	5	4	3	2	1	0
	ADA0HS1	ADA0HS0	0	0	ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0

備考 A/D変換時間の設定例は表12 - 2を参照してください

表12 - 2 高速変換モード時の設定例

ADA0HS		ADA0FR3	ADA0FR2	ADA0FR1	ADA0FR0	A/D変換時間 ^{注1}	f _{xx} = 20 MHz	f _{xx} = 16 MHz	f _{xx} = 4 MHz	A/D安定時間 ^{注2}
1	0									
1	X	0	0	0	0	31/f _{xx}	設定禁止	設定禁止	7.75 μs	16/f _{xx}
		0	0	0	1	62/f _{xx}	3.10 μs	3.88 μs	15.50 μs	31/f _{xx}
		0	0	1	0	93/f _{xx}	4.65 μs	5.81 μs	設定禁止	47/f _{xx}
		0	0	1	1	124/f _{xx}	6.20 μs	7.75 μs	設定禁止	50/f _{xx}
		0	1	0	0	155/f _{xx}	7.75 μs	9.69 μs	設定禁止	50/f _{xx}
		0	1	0	1	186/f _{xx}	9.30 μs	11.63 μs	設定禁止	50/f _{xx}
		0	1	1	0	217/f _{xx}	10.85 μs	13.56 μs	設定禁止	50/f _{xx}
		0	1	1	1	248/f _{xx}	12.40 μs	15.50 μs	設定禁止	50/f _{xx}
		1	0	0	0	279/f _{xx}	13.95 μs	設定禁止	設定禁止	50/f _{xx}
		1	0	0	1	310/f _{xx}	15.50 μs	設定禁止	設定禁止	50/f _{xx}
		1	0	1	0	341/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}
		1	0	1	1	372/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}
		1	1	0	0	403/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}
		1	1	0	1	434/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}
		1	1	1	0	465/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}
		1	1	1	1	496/f _{xx}	設定禁止	設定禁止	設定禁止	50/f _{xx}

注1. 2.91 μs 変換時間 16 μsになるように設定してください。

f_{xx} = 1.78 MHz未満では動作しません。

- A/Dコンバータ安定時間 (1 μs) 確保のため, ADA0M0.ADA0CEビット : 0 1とすると, 1回目の変換前のみ上記クロック数を入れたあとに開始されます。

備考 X : Don't care

(3) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを指定します。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF203H

	7	6	5	4	3	2	1	0
ADA0M2	0	0	0	0	0	0	ADA0TMD1	ADA0TMD0

ADA0TMD1	ADA0TMD0	ハードウェア・トリガ・モードの指定
0	0	外部トリガ・モード (ADTRG端子の有効エッジ検出時)
0	1	タイマ・トリガ・モード0 (INTTP2CC0割り込み要求発生時)
1	0	タイマ・トリガ・モード1 (INTTP2CC1割り込み要求発生時)
1	1	設定禁止

注意 ビット7-2には必ず“0”を設定してください。

(4) A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF202H

	7	6	5	4	3	2	1	0
ADA0S	0	0	0	0	ADA0S3	ADA0S2	ADA0S1	ADA0S0

ADA0S3	ADA0S2	ADA0S1	ADA0S0	セレクト・モード	スキャン・モード
0	0	0	0	ANI0	ANI0
0	0	0	1	ANI1	ANI0-ANI1
0	0	1	0	ANI2	ANI0-ANI2
0	0	1	1	ANI3	ANI0-ANI3
0	1	0	0	ANI4	ANI0-ANI4
0	1	0	1	ANI5	ANI0-ANI5
0	1	1	0	ANI6	ANI0-ANI6
0	1	1	1	ANI7	ANI0-ANI7
1	0	0	0	ANI8	ANI0-ANI8
1	0	0	1	ANI9	ANI0-ANI9
1	0	1	0	ANI10	ANI0-ANI10
1	0	1	1	ANI11	ANI0-ANI11
1	1	0	0	設定禁止	設定禁止
1	1	0	1	設定禁止	設定禁止
1	1	1	0	設定禁止	設定禁止
1	1	1	1	設定禁止	設定禁止

注意 ビット7-4には必ず“0”を設定してください。

(5) A/D変換結果レジスタ_n, nH (ADA0CR_n, ADA0CR_nH)

ADA0CR_n, ADA0CR_nHレジスタは、A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし、16ビット・アクセス時はADA0CR_nレジスタを指定、8ビット・アクセス時はADA0CR_nHレジスタを指定します。ADA0CR_nレジスタは上位10ビットに変換結果の10ビットが読み出され、下位6ビットには0が読み出されます。ADA0CR_nHレジスタには変換結果の上位8ビットが読み出されます。

リセット時：不定 R アドレス：ADA0CR0 FFFF210H, ADA0CR1 FFFF212H,
ADA0CR2 FFFF214H, ADA0CR3 FFFF216H,
ADA0CR4 FFFF218H, ADA0CR5 FFFF21AH,
ADA0CR6 FFFF21CH, ADA0CR7 FFFF21EH,
ADA0CR8 FFFF220H, ADA0CR9 FFFF222H,
ADA0CR10 FFFF224H, ADA0CR11 FFFF226H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA0CR _n (n = 0-11)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定 R アドレス：ADA0CR0H FFFF211H, ADA0CR1H FFFF213H,
ADA0CR2H FFFF215H, ADA0CR3H FFFF217H,
ADA0CR4H FFFF219H, ADA0CR5H FFFF21BH,
ADA0CR6H FFFF21DH, ADA0CR7H FFFF21FH,
ADA0CR8H FFFF221H, ADA0CR9H FFFF223H,
ADA0CR10H FFFF225H, ADA0CR11H FFFF227H

	7	6	5	4	3	2	1	0
ADA0CR _n H (n = 0-11)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

- 注意1. ADA0M0, ADA0Sレジスタに対して書き込み動作を行ったとき、ADA0CR_nレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。
2. サブクロック動作時、かつメイン・クロック停止時のADA0CR_n, ADA0CR_nHレジスタへのアクセスは禁止です。詳細は3.4.8(2)を参照してください。

アナログ入力端子 (ANI0-ANI11) に入力されたアナログ入力電圧とA/D変換結果 (ADA0CRnレジスタ) には次式に示す関係があります。

$$SAR = \text{INT} \left(\frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5 \right)$$

$$ADA0CRn^{\#} = SAR \times 64$$

または,

$$(SAR - 0.5) \times \frac{AV_{REF0}}{1024} < V_{IN} < (SAR + 0.5) \times \frac{AV_{REF0}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{IN} : アナログ入力電圧

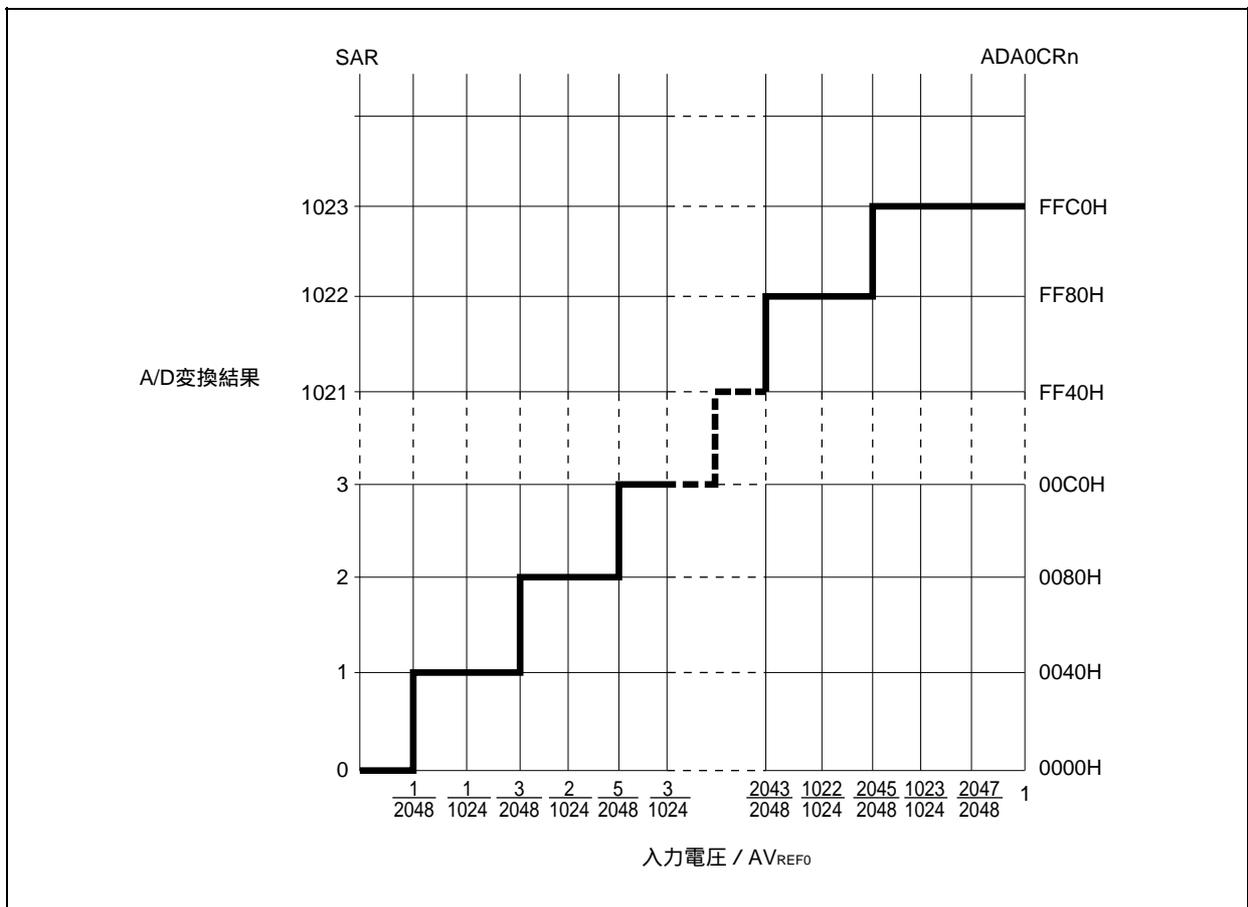
AV_{REF0} : AV_{REF0} 端子電圧

ADA0CR : ADA0CRnレジスタの値

注 ADA0CRnレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 2 アナログ入力電圧とA/D変換結果の関係



(6) パワー・フェイル比較モード・レジスタ (ADA0PFM)

ADA0PFMレジスタは、パワー・フェイル比較モードの設定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF204H

	7	6	5	4	3	2	1	0
ADA0PFM	ADA0PFE	ADA0PFC	0	0	0	0	0	0

ADA0PFE	パワー・フェイル比較許可 / 禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

ADA0PFC	パワー・フェイル比較モードの選択
0	ADA0CRnH ADA0PFTで割り込み要求信号 (INTAD) を発生
1	ADA0CRnH < ADA0PFTで割り込み要求信号 (INTAD) を発生

- 注意1. セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが、一致しない場合は割り込みを発生しません。
2. スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが、一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず、比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが、スキャン終了後のINTAD信号は発生しません。

(7) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

ADA0PFTレジスタは、パワー・フェイル比較モード時の比較値を設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF205H

	7	6	5	4	3	2	1	0
ADA0PFT								

12.5 動作

12.5.1 基本動作

A/D変換する動作モード、トリガ・モード、変換時間などをADA0M0, ADA0M1, ADA0M2, ADA0Sレジスタで設定します。ADA0M0レジスタのADA0CEビットをセットすると、ソフトウェア・トリガ・モード時は変換を開始し、外部/タイマ・トリガ・モード時はトリガ待機状態になります。

A/D変換が開始されると選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ(SAR)のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを(1/2)AV_{REF0}にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力(1/2)AV_{REF0}よりも大きければ、SARレジスタのMSBをセットしたままです。また、(1/2)AV_{REF0}よりも小さければMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

・ビット9 = 1 : (3/4)AV_{REF0}

・ビット9 = 0 : (1/4)AV_{REF0}

この電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

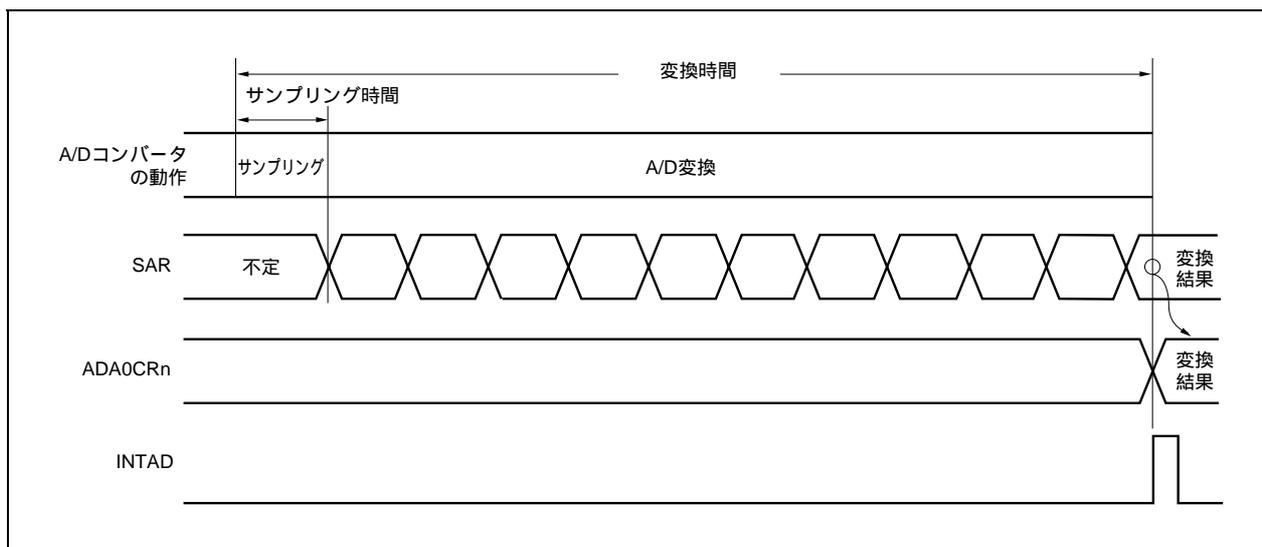
アナログ入力電圧 電圧タップ : ビット8 = 1

アナログ入力電圧 電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がADA0CRnレジスタに転送され格納されます。同時に、A/D変換終了割り込み要求信号(INTAD)を発生します。

図12 - 3 A/Dコンバータの基本動作



12.5.2 トリガ・モード

トリガ・モードの設定により、変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあり、ハードウェア・トリガ・モードでは、タイマ・トリガ・モード0, 1, 外部トリガ・モードの3つがあります。トリガ・モードの設定はADA0M0.ADA0TMDビットで行い、ハードウェア・トリガ・モードの設定はADA0M2.ADA0TMD1, ADA0TMD0ビットで行います。

(1) ソフトウェア・トリガ・モード

ADA0M0.ADA0CEビットを“1”に設定すると、ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI11端子) に対し、変換動作を開始します。変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、A/D変換終了割り込み要求信号 (INTAD) を発生します。

ADA0M0.ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/連続スキャン・モードであれば、変換終了後はADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。

変換が開始されると、ADA0M0.ADA0EFビット = 1 (動作中) となります。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。

(2) 外部トリガ・モード

外部トリガ (ADTRG端子) の入力により、ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI11端子) に対し、変換動作を開始するモードです。ADA0M0.ADA0ETS1, ADA0ETS0ビットの設定により、外部トリガのエッジ検出 (立ち上がり, 立ち下がり, 立ち上がり/立ち下がりの両エッジ) の指定ができます。ADA0CEビットをセット (1) 設定するとトリガ待機状態となり、外部トリガが入力された後に変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/連続スキャン・モードにかかわらず、変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、INTAD信号を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1 (動作中) となります。ただし、トリガ待機状態の時はADA0EFビット = 0 (停止中) となります。変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度トリガ待機状態になります。

(3) タイマ・トリガ・モード

タイマに接続されたキャプチャ/コンペア・レジスタのコンペア一致割り込み要求信号 (INTTP2CC0, INTTP2CC1) により, ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI11端子) に対し, 変換動作を開始するモードです。ADA0TMD1, ADA0TMD0ビットの設定により, INTTP2CC0, INTTP2CC1信号のいずれかを指定し, 指定されたコンペア一致割り込み要求信号の立ち上がりエッジで変換を開始します。ADA0CEビットをセット(1)するとトリガ待機状態となり, タイマのコンペア一致割り込み要求信号が入力されたあとに変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが, 連続セレクト/連続スキャン・モードにかかわらず, 変換を終了すると, 変換結果をADA0CRnレジスタに格納し, 同時に, INTAD信号を発生し, 再びトリガ待機状態になります。

変換が開始されると, ADA0EFビット = 1(動作中)となります。ただし, トリガ待機状態の時はADA0EFビット = 0(停止中)となります。変換動作中に有効なトリガが入力されると, 変換は中断され, 再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合, 変換は中断され, 再度, トリガ待機状態になります。

12.5.3 動作モード

動作モードには、ANI0-ANI11端子を設定するモードとして、連続セレクト・モード、連続スキャン・モードの2つがあります。

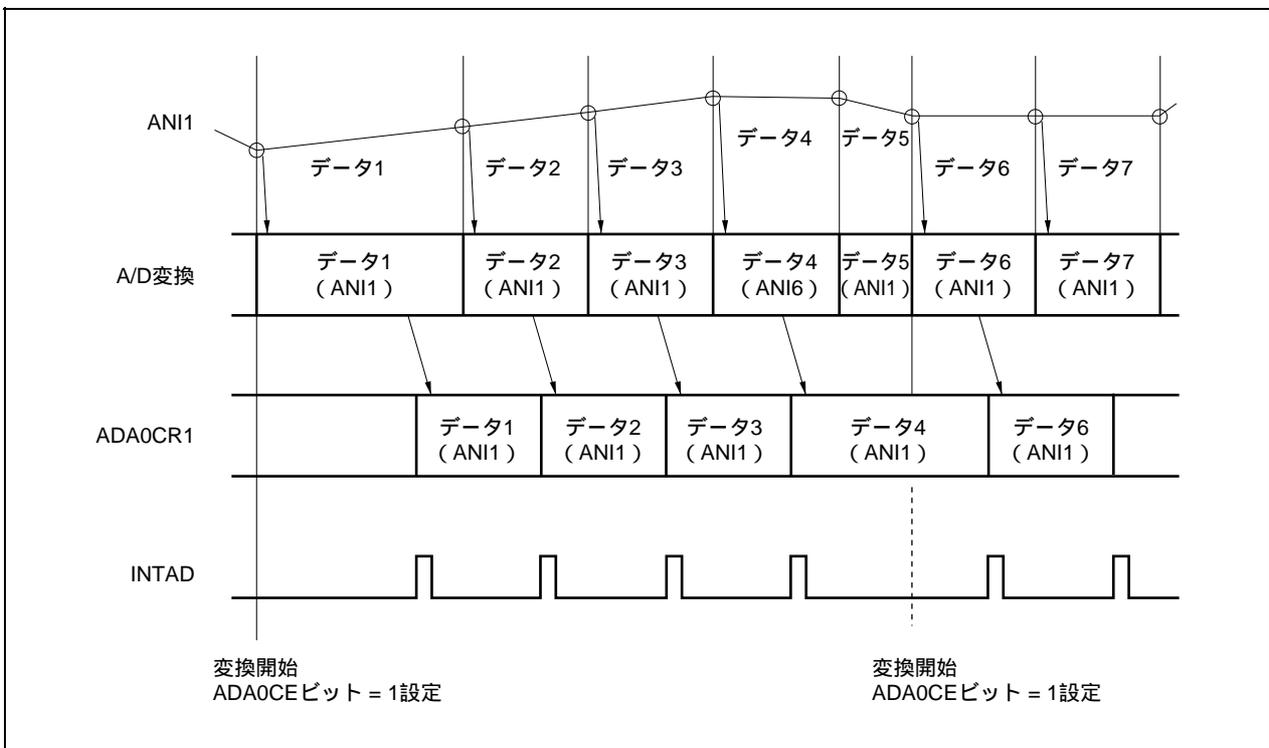
動作モードはADA0M0.ADA0MD1, ADA0MD0ビットで設定します。

(1) 連続セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/D変換終了割り込み要求信号(INTAD)が発生します。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返していきます(n = 0-11)。

図12-4 連続セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)

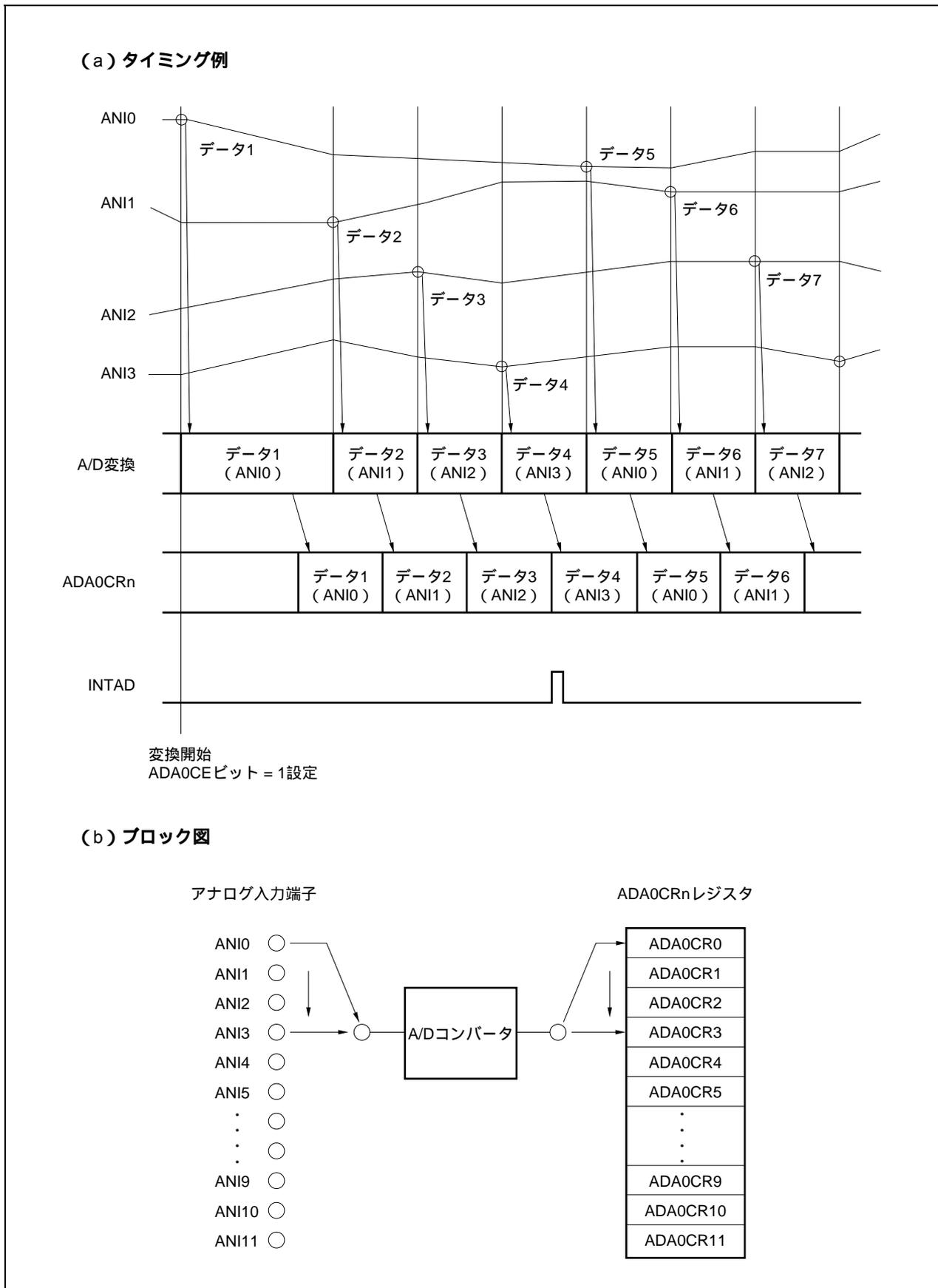


(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換を連続で行います。

A/D変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、ADA0CEビットを“0”にしないかぎり、再びANI0端子からA/D変換を開始します(n = 0-11)。

図12 - 5 連続スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)



12.5.4 パワー・フェイル比較モード

ADA0PFM, ADA0PFTレジスタにより, A/D変換終了割り込み要求信号(INTAD)を次のように制御できます。

- ・ ADA0PFM.ADA0PFEビット = 0の場合, 変換終了ごとにINTAD信号が発生します(通常のA/Dコンバータとして使用)。
- ・ ADA0PFEビット = 1かつADA0PFM.ADA0PFCビット = 0の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CR0H ADA0PFTの場合のみ, INTAD信号を発生します。
- ・ ADA0PFEビット = 1かつADA0PFCビット = 1の場合, 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し, ADA0CR0H < ADA0PFTの場合のみ, INTAD信号を発生します。

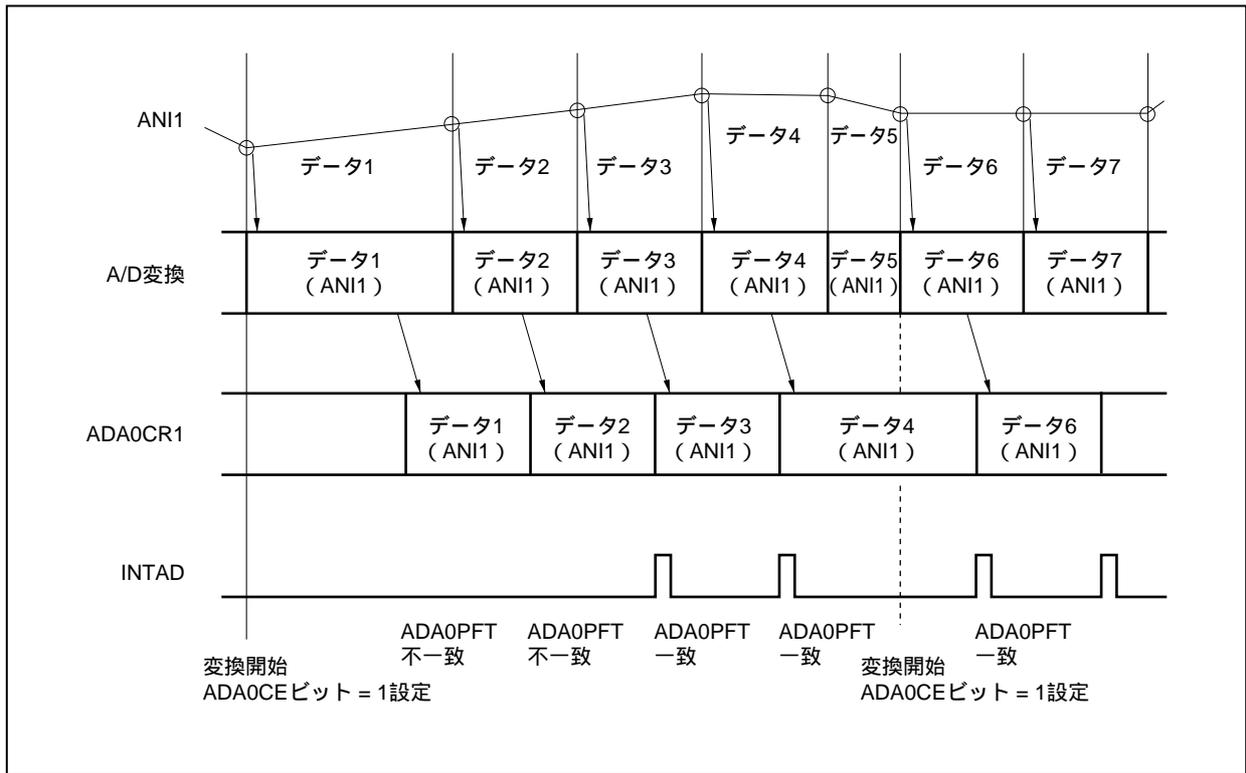
備考 n = 0-11

パワー・フェイル比較モードにもANI0-ANI11端子を設定するモードとして, 連続セレクト・モード, 連続スキャン・モードの2つがあります。

(1) 連続セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子電圧の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います (n = 0-11)。

図13 - 6 連続セレクト・モード動作タイミング例 (パワー・フェイル比較時 : ADA0Sレジスタ = 01H)

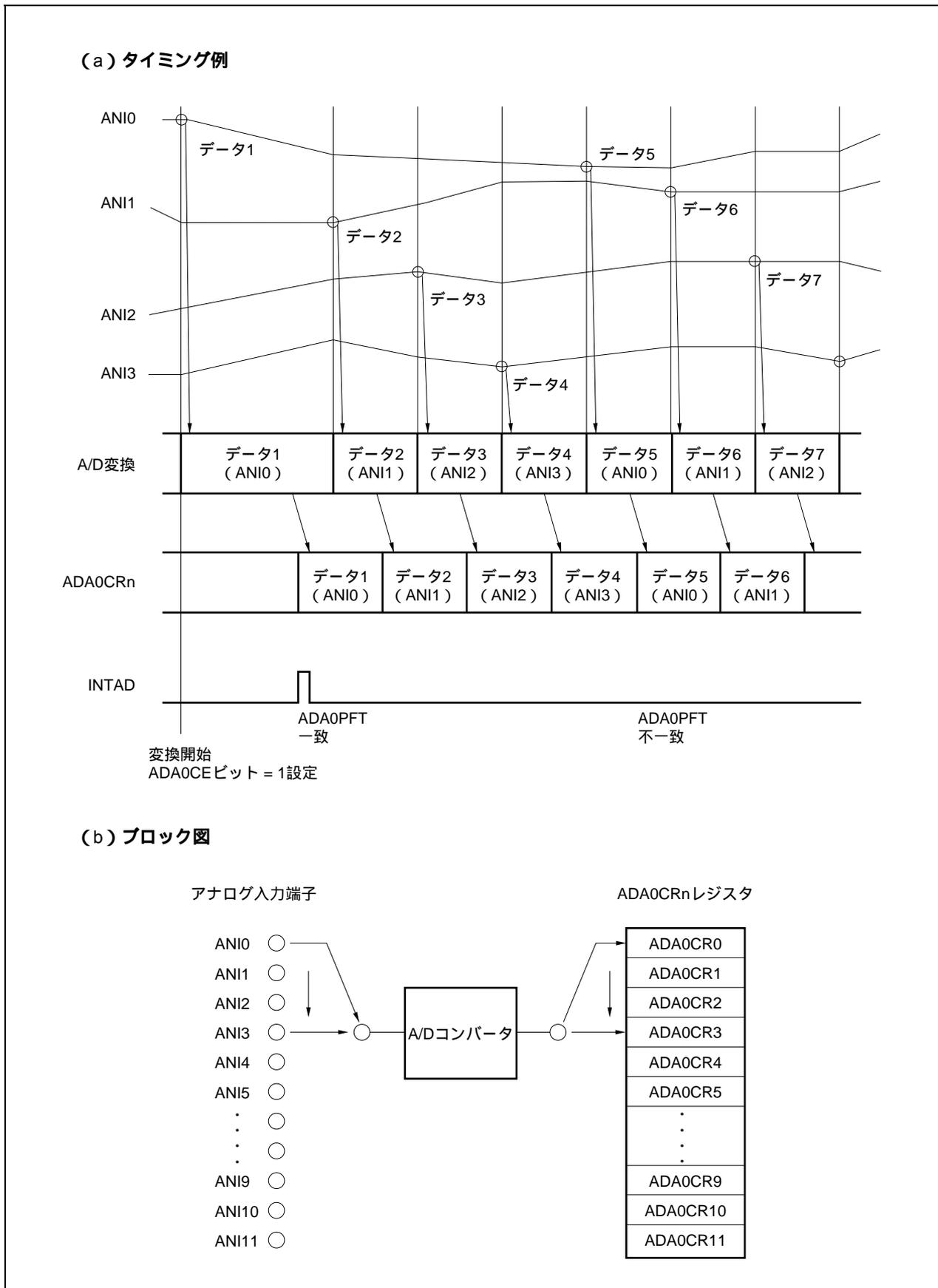


(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。

ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後はADA0CEビットを“0”にしないかぎり、再びANI0端子から変換を開始します。

図12-7 連続スキャン・モード動作タイミング例 (パワー・フェイル比較時: ADA0Sレジスタ = 03H)



12.6 注意事項

(1) A/Dコンバータ未使用時について

未使用時は、ADA0M0.ADA0CEビット = 0とすることにより消費電力を低減できます。

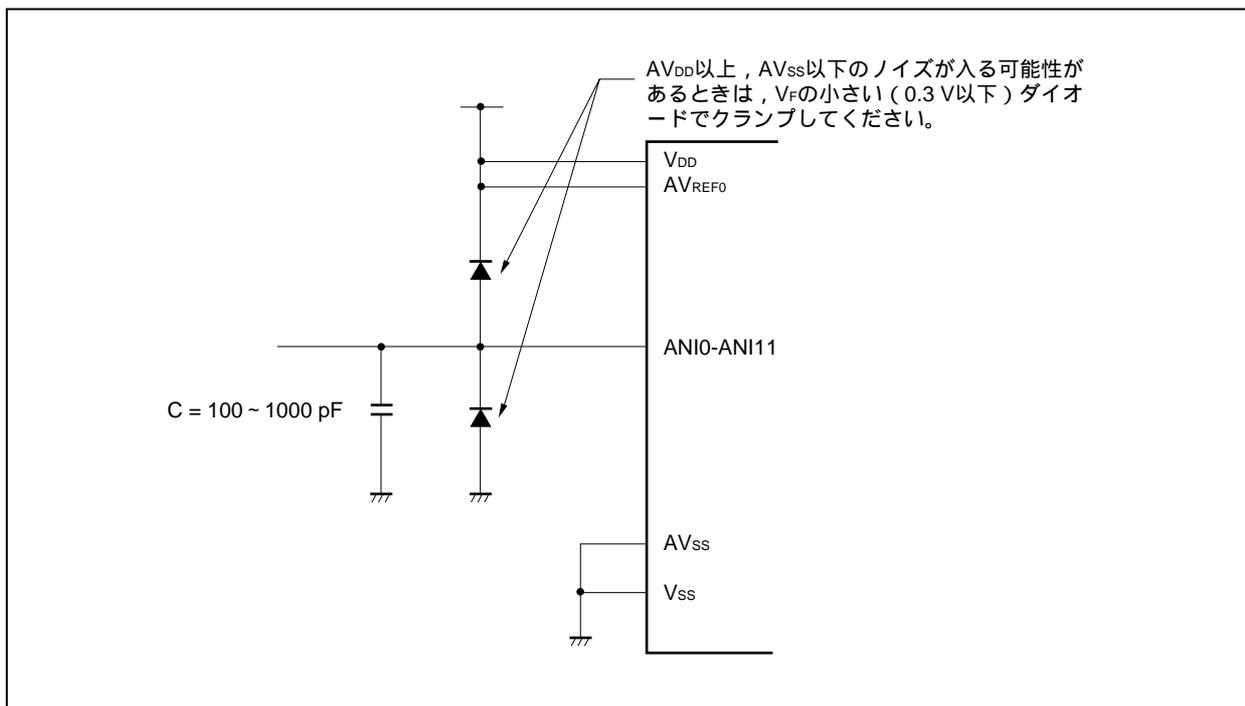
(2) ANI0-ANI11端子入力範囲について

ANI0-ANI11端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であっても AV_{REF0} 以上、 AV_{SS} 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

10ビット分解能を保つためには、ANI0-ANI11端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-8のようにコンデンサを外付けすることを推奨します。

図12-8 アナログ入力端子の処理



(4) 兼用入出力について

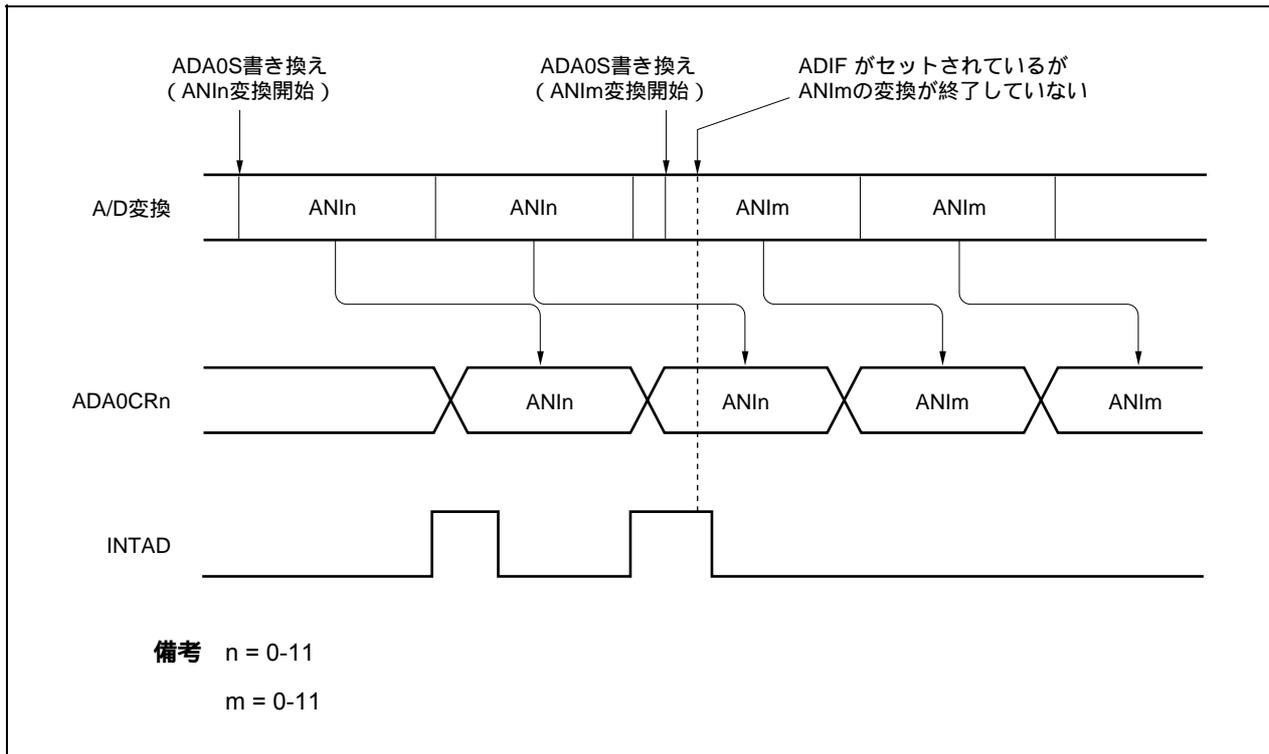
アナログ入力（ANI0-ANI11）端子はポート端子と兼用になっています。ANI0-ANI11端子のいずれかを選択してA/D変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを押加したりデジタル・パルスを出したりすると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

(5) 割り込み要求フラグ (ADIF) について

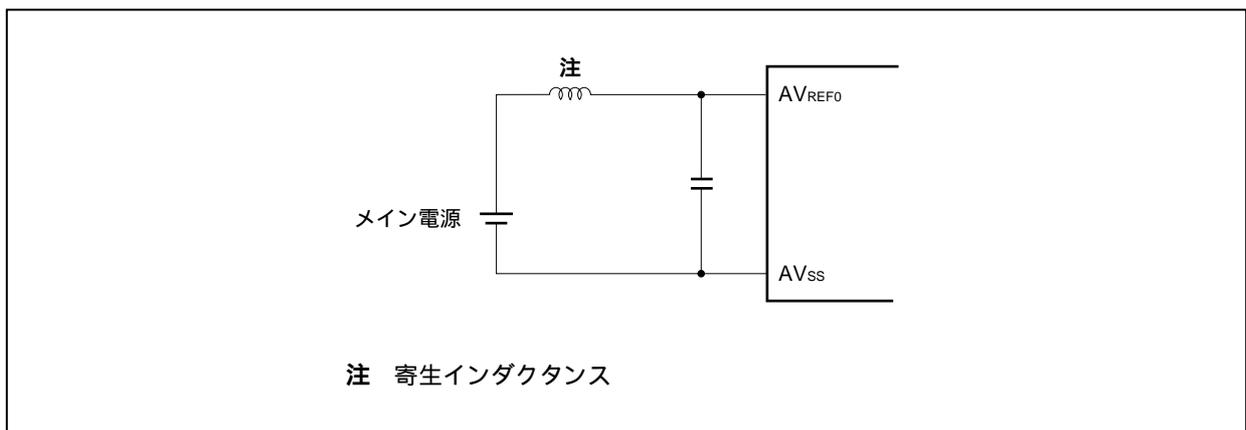
ADA0Sレジスタを変更しても、割り込み要求フラグ (ADIF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります、ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。

図12 - 9 A/D変換終了割り込み要求発生タイミング



(6) AV_{REF0}端子について

- (a) AV_{REF0}端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図12 - 10のように必ずV_{DD}と同じ電位を印加してください。
- (b) AV_{REF0}端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV_{REF0}端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図12 - 10のようにAV_{REF0}端子とAV_{SS}端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV_{REF0}端子への供給部に直流抵抗値（ダイオード挿入など）が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図12 - 10 AV_{REF0}端子の処理例

(7) ADA0CRnレジスタの読み出しについて

ADA0M0-ADA0M2, ADA0Sレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0-ADA0M2, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(8) スタンバイ・モードについて

A/Dコンバータは、STOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できません。

ただし、IDLE1, IDLE2モード、サブクロック動作モードでは動作が保持されるため、消費電力を低減する場合にはADA0M0.ADA0CEビット = 0にしてください。

12.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1LSB (Least Significant Bit) といいます。1LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

分解能10ビットのとき、1LSBは次のようになります。

$$\begin{aligned} 1LSB &= 1/2^{10} = 1/1024 \\ &= 0.098 \%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

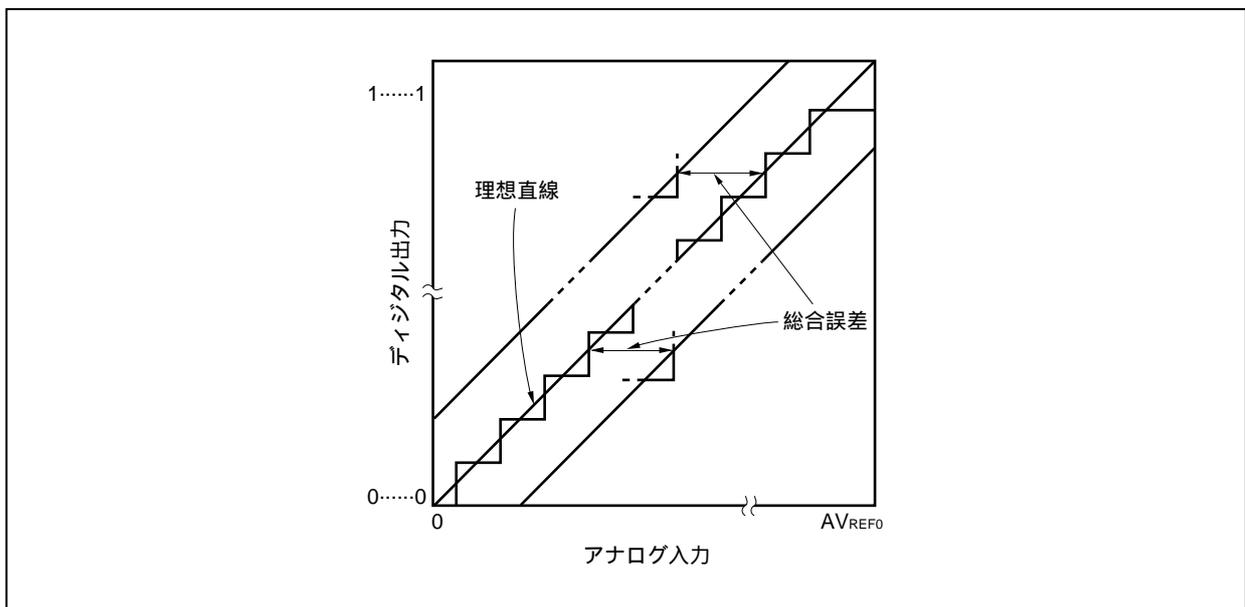
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図12 - 11 総合誤差

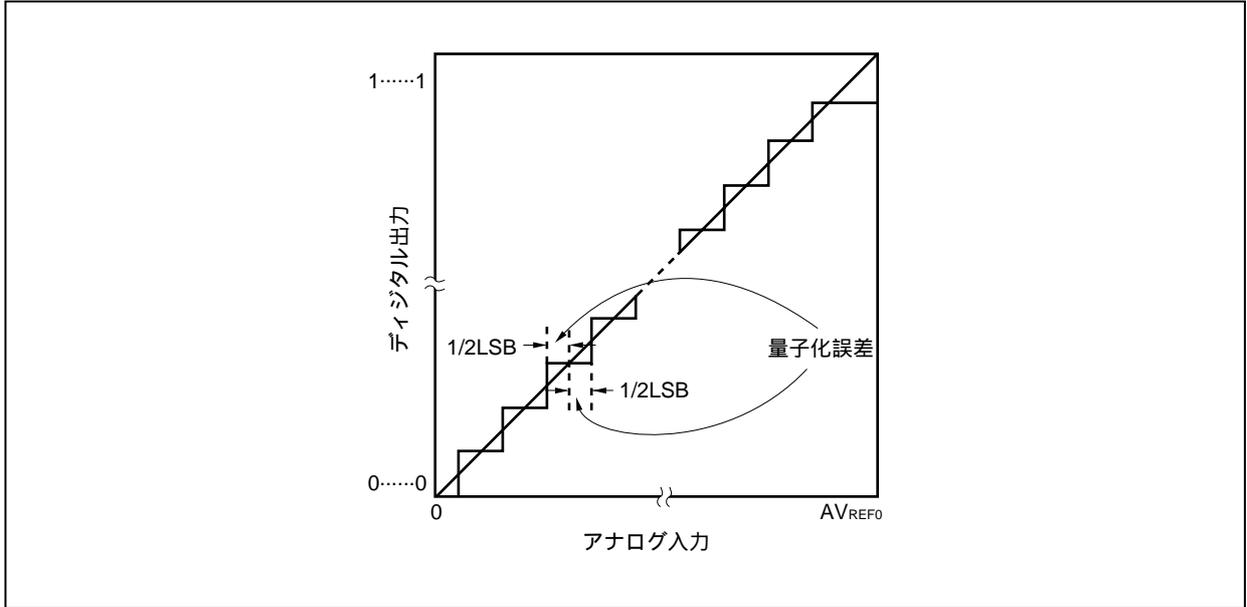


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2\text{LSB}$ の誤差です。A/Dコンバータでは、 $\pm 1/2\text{LSB}$ の範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

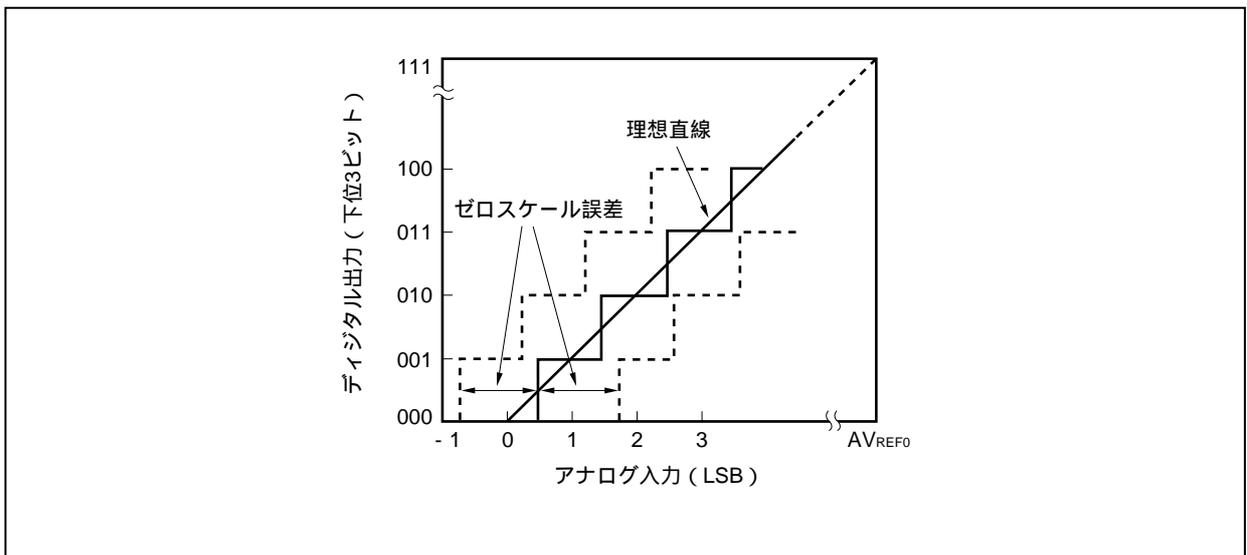
図12 - 12 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2\text{LSB}$) との差を表します。

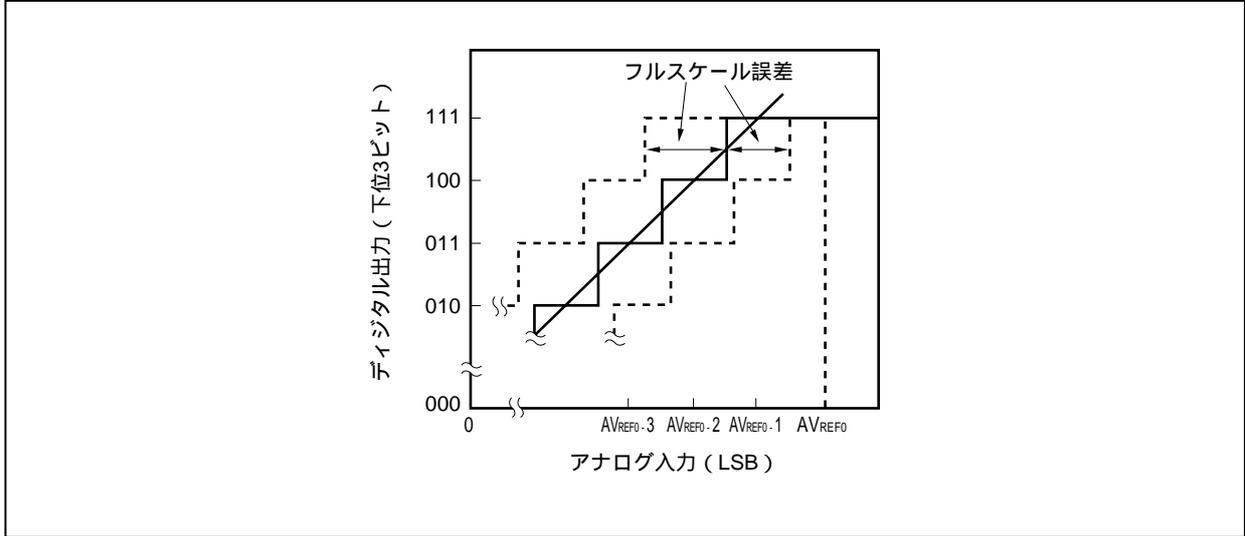
図12 - 13 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - $3/2\text{LSB}$ ）との差を表します。

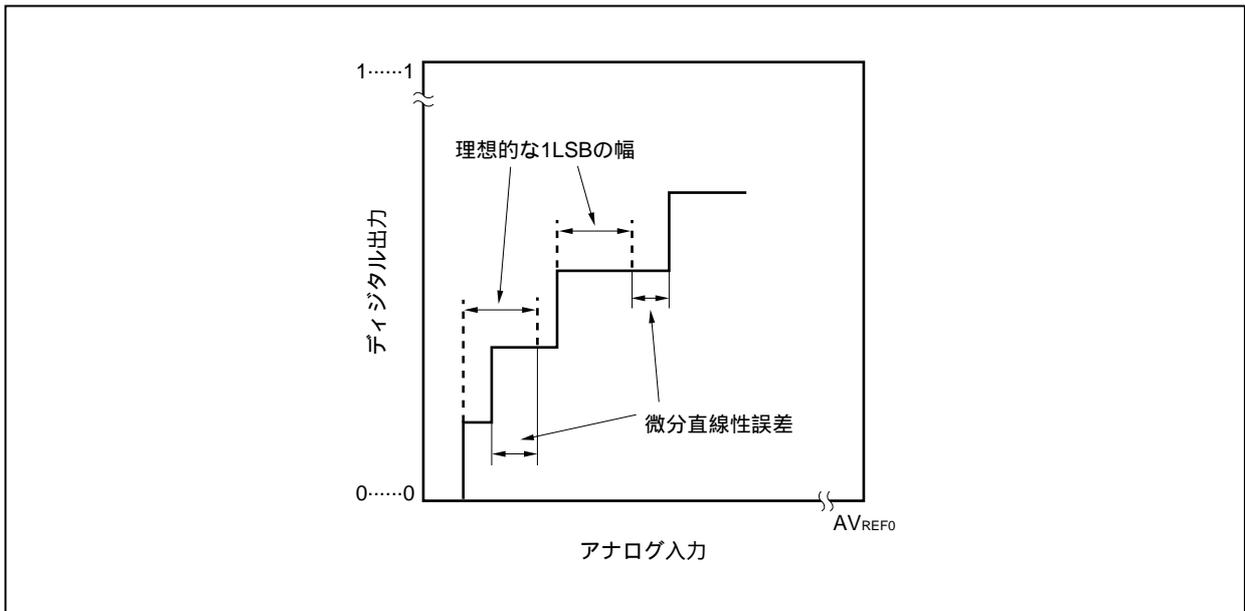
図12 - 14 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

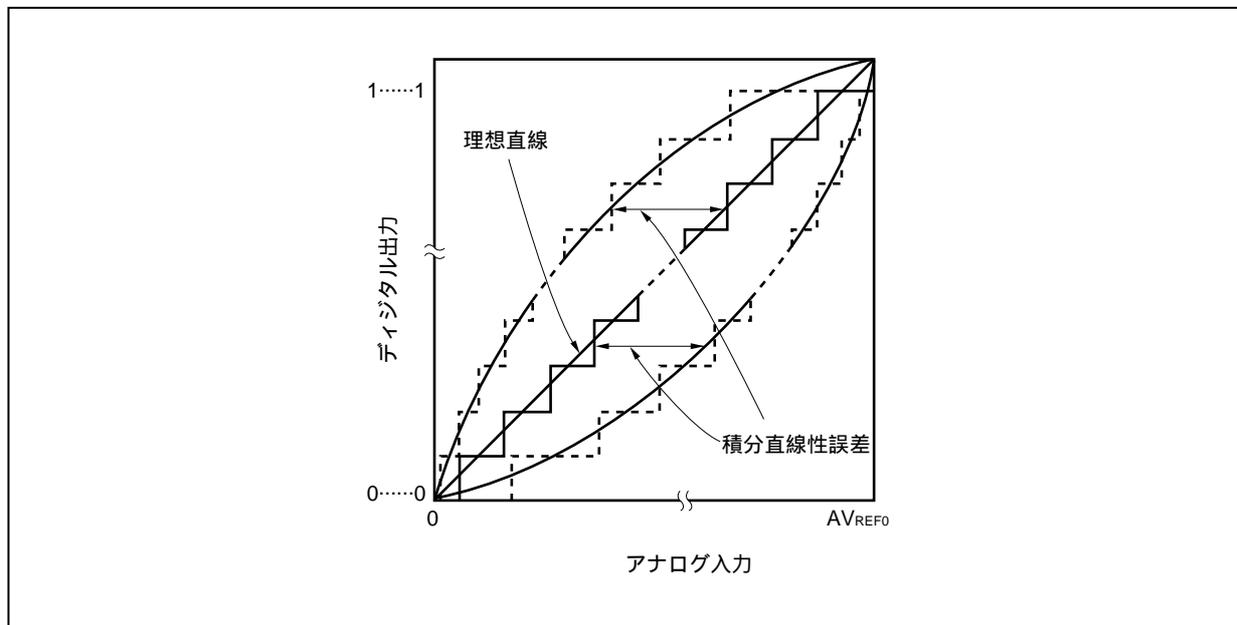
図12 - 15 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図12 - 16 積分直線性誤差



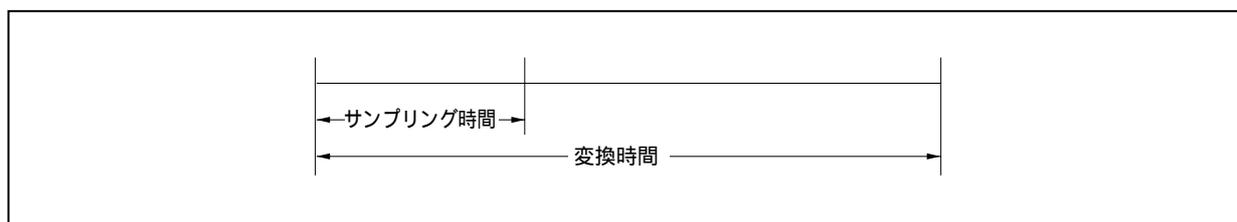
(8) 変換時間

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図12 - 17 サンプリング時間



第13章 アシンクロナス・シリアル・インタフェースA(UARTA)

13.1 特 徴

転送速度 300 bps ~ 312.5 kbps (内部システム・クロック20 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 UARTA受信データ・レジスタn (UAnRX) 内蔵

UARTA送信データ・レジスタn (UAnTX) 内蔵

2端子構成 TXDAn : 送信データの出力端子

RXDAn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 2種類

- ・受信完了割り込み (INTUAnR) : 受信許可状態において, シリアル転送完了後, シフト・レジスタから受信バッファ・レジスタnへ受信データを転送すると発生
- ・送信許可割り込み (INTUAnT) : 送信許可状態において, 送信バッファ・レジスタからシフト・レジスタへ送信データを転送すると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

送受信データの反転入出力が可能

LIN (Local Interconnect Network) 通信フォーマットにおけるSBF (Sync Break Field) 送信は13-20ビットまで選択可能

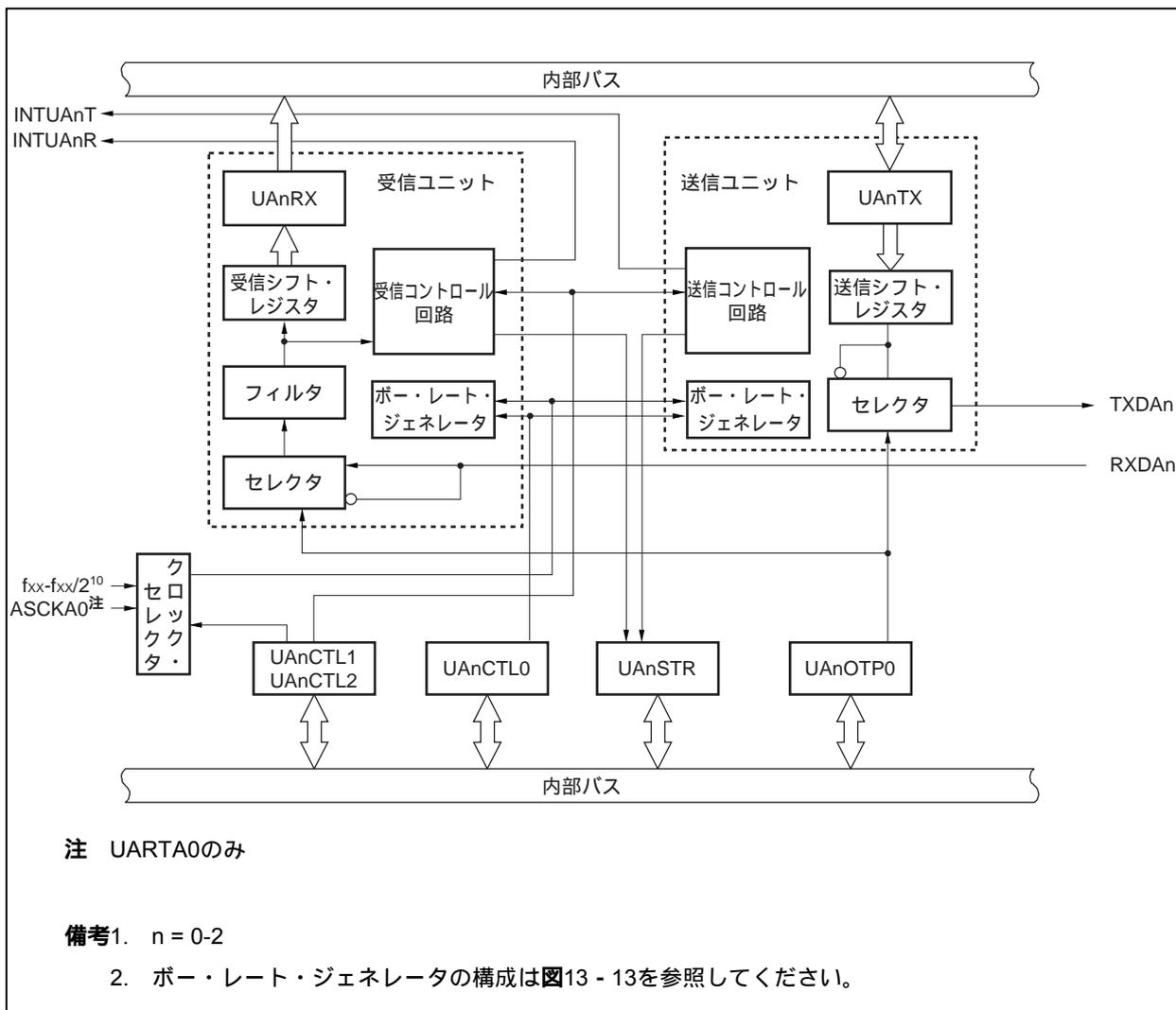
- ・LIN通信フォーマットにおけるSBF受信は11ビット以上認識可能
- ・SBF受信フラグあり

備考 n = 0-2

13.2 構成

次にUARTAnのブロック図を示します。

図13 - 1 アシクロナス・シリアル・インタフェースAnのブロック図



UARTAnは、次のハードウェアで構成されています。

表13 - 1 UARTAnの構成

項目	構成
レジスタ	UARTAn制御レジスタ0 (UAnCTL0) UARTAn制御レジスタ1 (UAnCTL1) UARTAn制御レジスタ2 (UAnCTL2) UARTAnオプション制御レジスタ0 (UAnOPT0) UARTAn状態レジスタ (UAnSTR) UARTAn受信シフト・レジスタ UARTAn受信データ・レジスタ (UAnRX) UARTAn送信シフト・レジスタ UARTAn送信データ・レジスタ (UAnTX)

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnの動作を指定する8ビット・レジスタです。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの入カロックを選択する8ビット・レジスタです。

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのポー・レート制御する8ビット・レジスタです。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送を制御する8ビット・レジスタです。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット(1)され、UAnSTRレジスタの読み出しによってリセット(0)されます。

(6) UARTAn受信シフト・レジスタ

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUAnRXレジスタへ転送します。このレジスタは直接操作することはできません。

(7) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます(LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また、UAnRXレジスタへの転送により、受信完了割り込み要求信号(INTUAnR)が発生します。

(8) UARTAn送信シフト・レジスタ

送信シフト・レジスタは、UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

(9) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる(UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される)と、送信許可割り込み要求信号(INTUAnT)が発生します。

13.3 制御レジスタ

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時：10H R/W アドレス：UA0CTL0 FFFFFFFA00H, UA1CTL0 FFFFFFFA10H, UA2CTL0 FFFFFFFA20H								
	⑦	⑥	⑤	④	3	2	1	0
UAnCTL0	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL
(n = 0-2)								
	UAnPWR	UARTAnの動作の制御						
	0	UARTAn動作禁止 (UARTAnを非同期にリセット)						
	1	UARTAn動作許可						
	UAnPWRビットにより、UARTAn動作の制御を行います。UAnPWRビットをクリア (0) すると、TXDAn端子の出力はハイ・レベルに固定されます (UAnOPT0. UAnTDLビット = 1のときは、ロウ・レベルに固定されます)。							
	UAnTXE	送信動作許可						
	0	送信動作禁止						
	1	送信動作許可						
★	<ul style="list-style-type: none"> ・ 起動時はUAnPWRビット = 1にしてから、UAnTXEビット = 1としてください。また、停止時はUAnTXEビット = 0にしてから、UAnPWRビット = 0としてください。 ・ 送信ユニットを初期化する場合は、UAnTXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 13.6 (1) (a) 基本クロック参照)。 							
	UAnRXE	受信動作許可						
	0	受信動作禁止						
	1	受信動作許可						
★	<ul style="list-style-type: none"> ・ 起動時はUAnPWRビット = 1にしてから、UAnRXEビット = 1としてください。また、停止時は、UAnRXEビット = 0にしてから、UAnPWRビット = 0としてください。 ・ 受信ユニットの状態を初期化する場合は、UAnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 13.6 (1) (a) 基本クロック参照)。 							

UAnDIR	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。

UAnPS1	UAnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

- ・ UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。
- ・ 受信時に「0パリティとして受信」を選択した場合, パリティ判定を行いません。したがって, UAnSTR.UAnPEビットはセットされないため, エラー割り込みも発生しません。
- ・ LINのフォーマットで送受信を行う場合, UAnPS1, UAnPS0ビットは“00”に設定してください。

UAnCL	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。

UAnSL	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。

備考 パリティについての詳細は, 13. 5. 9 **パリティの種類と動作**を参照してください。

(2) UARTAn制御レジスタ1 (UAnCTL1)

詳細は、13.6 (2) UARTAn制御レジスタ1 (UAnCTL1) を参照してください。

(3) UARTAn制御レジスタ2 (UAnCTL2)

詳細は、13.6 (3) UARTAn制御レジスタ2 (UAnCTL2) を参照してください。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

(1/2)

リセット時：14H R/W アドレス：UA0OPT0 FFFFFFFA03H, UA1OPT0 FFFFFFFA13H, UA2OPT0 FFFFFFFA23H							
⑦	6	5	4	3	2	1	0
UAnSRF	UAnSRT	UAnSTT	UAnSLS2	UAnSLS1	UAnSLS0	UAnTDL	UAnRDL
UAnOPT0 (n = 0-2)							
UAnSRF	SBF受信フラグ						
0	UAnCTL0.UAnPWRビット = UAnRXEビット = 0に設定したとき。または SBF受信正常終了したとき。						
1	SBF受信中						
<ul style="list-style-type: none"> ・ LIN通信でのSBF (SyncBrakeField) を受信していることを判断します。 ・ SBF受信エラー時、UAnSRFビットは “ 1 ” を保持し、そのあと再度SBF受信を開始します。 							
UAnSRT	SBF受信トリガ						
0							
1	SBF受信トリガ						
<ul style="list-style-type: none"> ・ LIN通信でのSBFの受信トリガ・ビットであり、読み出した場合、常に “ 0 ” が読み出されます。SBFを受信する場合、UAnSRTビットをセット (1) しSBF受信可能状態にしてください。 ・ UAnPWRビット = UAnRXEビット = 1としてからUAnSRTビットを設定してください。 							
UAnSTT	SBF送信トリガ						
0							
1	SBF送信トリガ						
<ul style="list-style-type: none"> ・ LIN通信でのSBFの送信トリガ・ビットであり、読み出した場合、常に “ 0 ” が読み出されます。 ・ UAnPWRビット = UAnTXEビット = 1としてからUAnSTTビットを設定してください。 							

UAnSLS2	UAnSLS1	UAnSLS0	SBF送信長選択
1	0	1	13ビット長で出力 (リセット値)
1	0	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	1	0	20ビット長で出力

UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力

・ UAnTDLビットによりTXDAn端子の出力レベルを反転できます。
 ・ UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力

・ UAnRDLビットによりRXDAn端子の出力レベルを反転できます。
 ・ UAnPWRビット = 0またはUAnRXEビット = 0のとき設定できます。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UAnTSFビットはリードのみ可能で、UAnPE, UAnFE, UAnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません(“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UAnSTRレジスタ	<ul style="list-style-type: none"> ・リセット ・UAnCTL0.UAnPWRビット = 0
UAnTSFビット	<ul style="list-style-type: none"> ・UAnCTL0.UAnTXEビット = 0
UAnPE, UAnFE, UAnOVEビット	<ul style="list-style-type: none"> ・0の書き込み ・UAnCTL0.UAnRXEビット = 0

リセット時：00H R/W アドレス：UA0STR FFFFFFFA04H, UA1STR FFFFFFFA14H,
UA2STR FFFFFFFA24H

	⑦	6	5	4	3	②	①	①
UAnSTR (n = 0-2)	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

UAnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnTXEビット = 0に設定したとき ・転送完了後に, UAnTXレジスタに次のデータ転送がなかったとき
1	UAnTXレジスタへの書き込み
<p>連続送信を行っている場合にはUAnTSFビットは常に“1”になっています。 送信ユニットの初期化を行う場合には, UAnTSFビット = 0になっている事を確認してから初期化を行ってください。UAnTSFビット = 1の状態での初期化を行った場合の送信データは保証できません。</p>	

UAnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	受信時, データのパリティとパリティ・ビットが一致しないとき
<ul style="list-style-type: none"> ・UAnPEビットの動作は, UAnCTL0.UAnPS1, UAnPS0ビットの設定により左右されます。 ・UAnPEビットはリード/ライト可能となっておりますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

UAnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	受信時, ストップ・ビットが検出されないとき
<ul style="list-style-type: none"> ・受信データのストップ・ビットは, UAnCTL0.UAnSLビットの値に関わらず, 最初の1ビットのみチェックします。 ・UAnFEビットはリード/ライト可能となっておりますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

UAnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	UAnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき
<ul style="list-style-type: none"> ・オーバラン・エラーが発生したとき, 次の受信データは受信バッファに書き込まれず, データは破棄されます。 ・UAnOVEビットはリード/ライト可能となっておりますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

(6) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

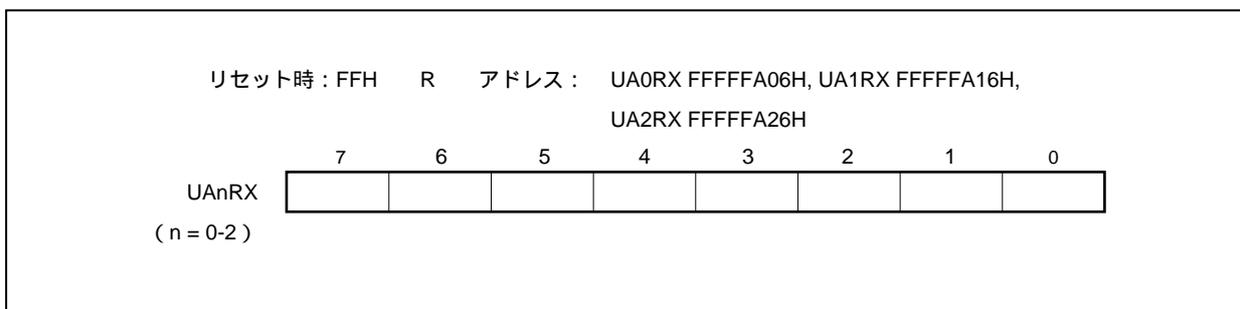
1バイト・データの受信完了により受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUAnRXレジスタのビット6-ビット0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUAnRXレジスタのビット7-ビット1に転送されLSBは必ず“0”になります。

オーバラン・エラー (UAnOVE) が発生した場合は、そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に、UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。

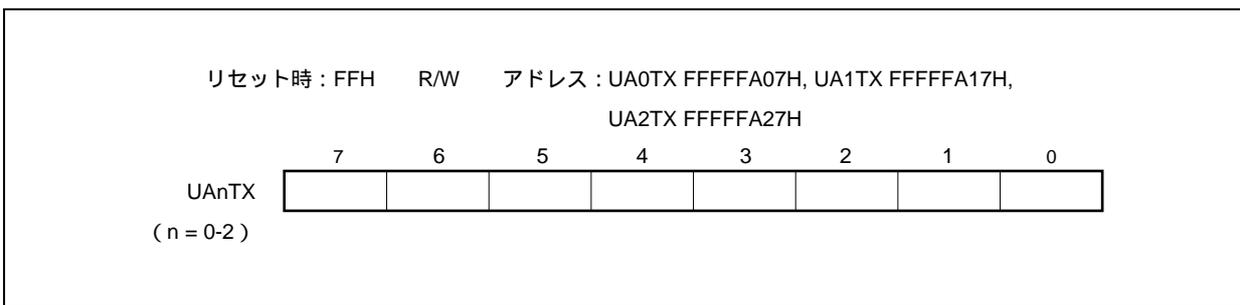


(7) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、送信データを設定するための8ビット・レジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



13.4 割り込み要求信号

UARTAnからは次の2種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTUAnR)
- ・送信許可割り込み要求信号 (INTUAnT)

これら2種類の割り込み要求信号のデフォルト優先順位は受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表13-2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTUAnR)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号を受け付け、データを読み出すときに、UAnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

(2) 送信許可割り込み要求信号 (INTUAnT)

送信許可状態で、UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

13.5 動作

13.5.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

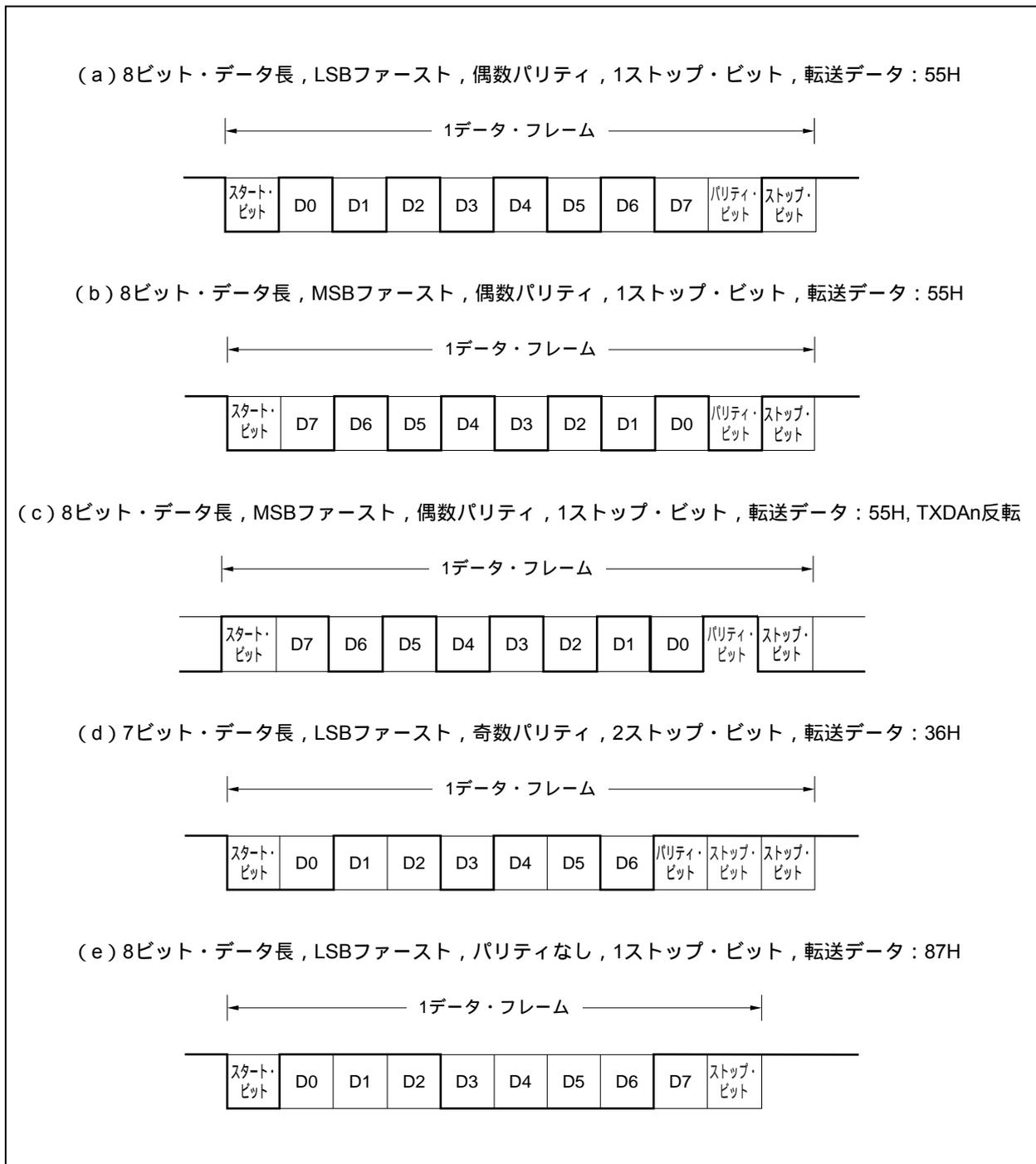
送受信データのフォーマットは図13-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットでデータ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UAnCTL0レジスタによって行います。

また、UAnOPT0.UAnTDLビットでTXDAn端子のUART出力/反転出力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット 1ビット/2ビット

図13 - 2 UARTAの送受信データのフォーマット



13.5.2 SBF送信/受信フォーマット

μPD703229Y, 70F3229Yには, LIN機能として使用するために, SBF (Synch Break Field) 送信/受信制御機能があります。

- ★ **備考** LINとは, Local Interconnect Networkの略称で, 車載ネットワークのコストダウンを目的とする低速 (1~20 kbps) のシリアル通信プロトコルです。
- LINの通信はシングル・マスタ通信で, 1つのマスタに対し最大15のスレーブが接続可能です。
- LINのスレーブは, スイッチ, アクチュエータ, センサなどの制御に使用され, これらがLINのネットワークを介してLINのマスタに接続されます。
- LINのマスタは通常, CAN (Controller Area Network) などのネットワークに接続されます。
- また, LINバスはシングル・ワイヤ方式で, ISO9141に準拠したトランシーバを介して各ノードが接続されます。
- LINのプロトコルでは, マスタはフレームにポー・レート情報をつけて送信し, スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため, スレーブのポー・レート誤差が±15%以下であれば, 通信可能です。

LINの送信操作と受信操作の概略を, 図13-3, 図13-4に示します。

図13-3 LINの送信操作概略

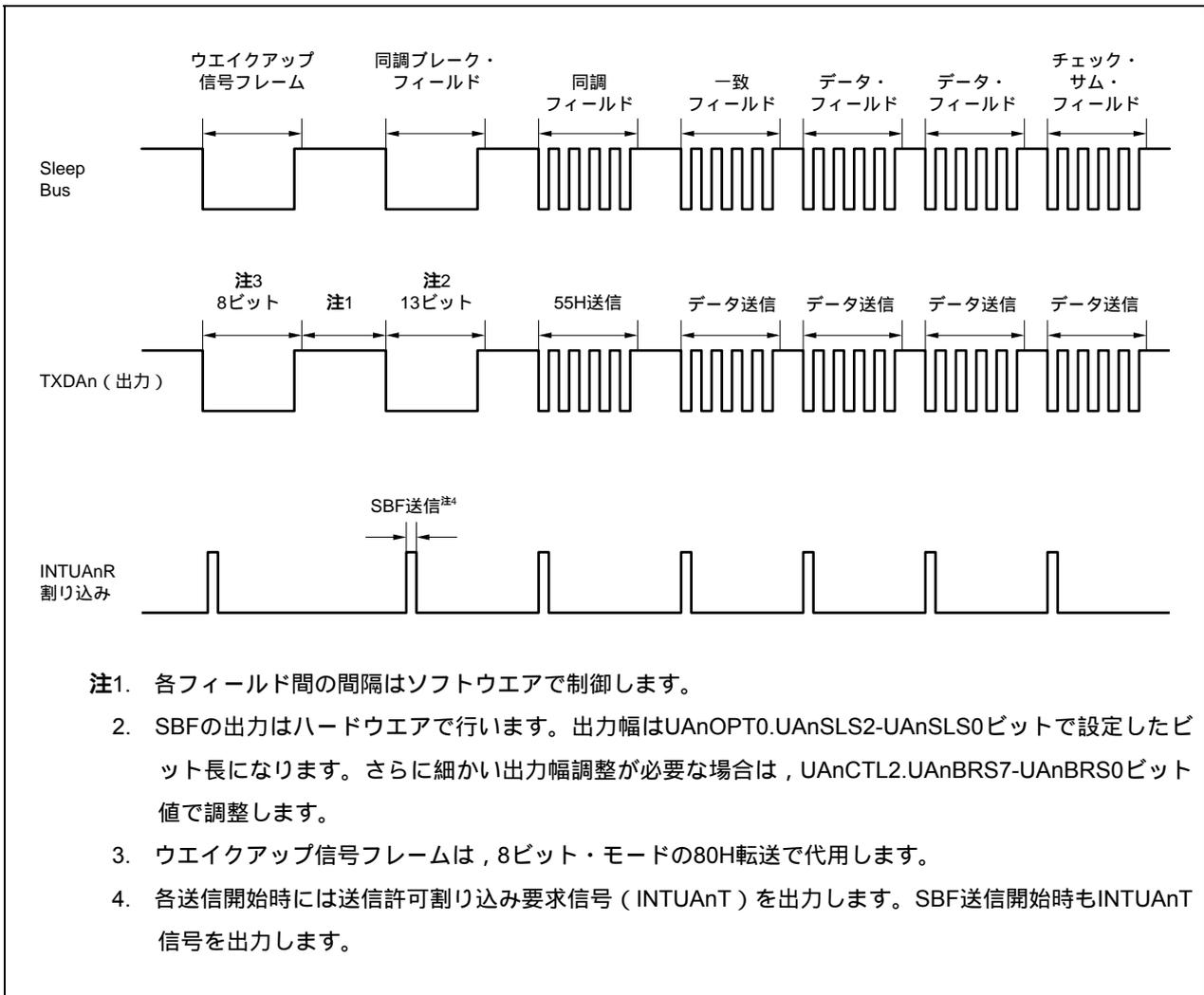
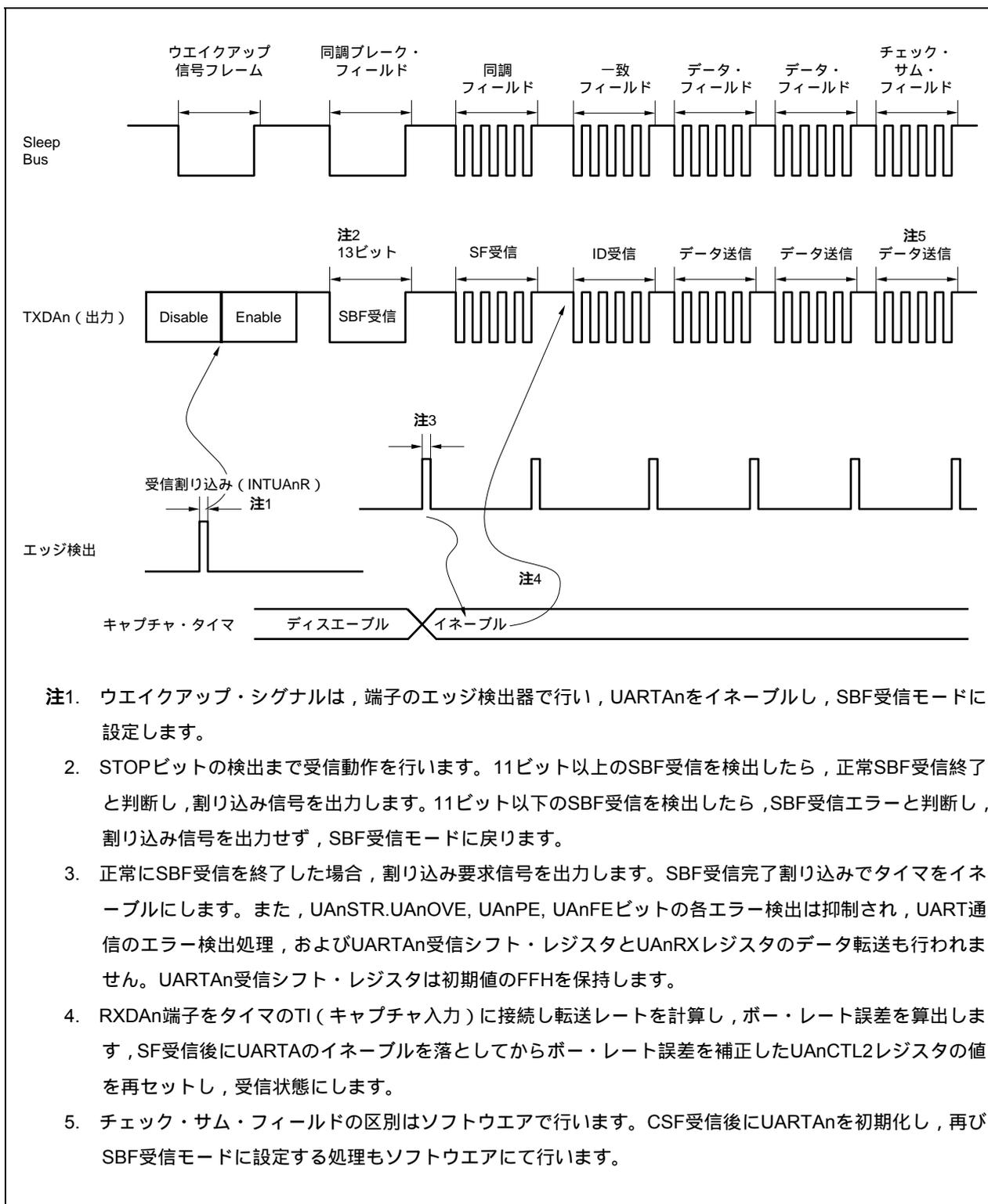


図13 - 4 LINの受信操作概略



- 注1. ウェイクアップ・シグナルは、端子のエッジ検出器で行い、UARTAnをイネーブルし、SBF受信モードに設定します。
2. STOPビットの検出まで受信動作を行います。11ビット以上のSBF受信を検出したら、正常SBF受信終了と判断し、割り込み信号を出力します。11ビット以下のSBF受信を検出したら、SBF受信エラーと判断し、割り込み信号を出力せず、SBF受信モードに戻ります。
3. 正常にSBF受信を終了した場合、割り込み要求信号を出力します。SBF受信完了割り込みでタイマをイネーブルにします。また、UAnSTR.UAnOVE, UAnPE, UAnFEビットの各エラー検出は抑制され、UART通信のエラー検出処理、およびUARTAn受信シフト・レジスタとUAnRXレジスタのデータ転送も行われません。UARTAn受信シフト・レジスタは初期値のFFHを保持します。
4. RXDAn端子をタイマのTI (キャプチャ入力) に接続し転送レートを計算し、ポー・レート誤差を算出します、SF受信後にUARTAのイネーブルを落としてからポー・レート誤差を補正したUAnCTL2レジスタの値を再セットし、受信状態にします。
5. チェック・サム・フィールドの区別はソフトウェアで行います。CSF受信後にUARTAnを初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行います。

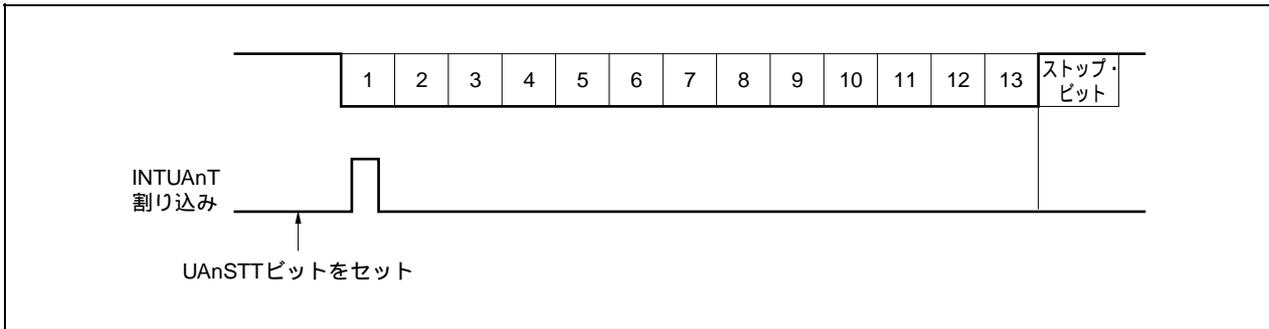
13.5.3 SBF送信

UAnCTL0.UAnPWRビット = UAnTXEビット = 1にすると送信許可状態となり、SBF送信トリガ (UAnOPT0.UAnSTTビット) をセット (1) することによりSBF送信動作は起動します。

そのあとUAnOPT0.UAnSLS2-UAnSLS0ビットで指定された13ビットから20ビット分までの幅のロウ・レベルを出力します。SBF送信開始時には送信許可割り込み要求信号 (INTUAnT) を発生します。SBF送信を終了したあと、UAnSTTビットは自動的にクリアされます。そのあと、UART送信モードに戻ります。

次に送信するデータをUAnTXレジスタに書き込み、あるいはSBF送信トリガ (UAnSTTビット) をセットするまで、送信動作は中断します。

図13 - 5 SBF送信



13.5.4 SBF受信

UAnCTL0.UAnPWRビット = 1にして、次に、UAnCTL0.UAnRXビット = 1にすることにより、受信待ち状態になります。

SBF受信トリガ (UAnOPT0.UAnSRTビット) をセット (1) することで、SBF受信待ち状態になります。

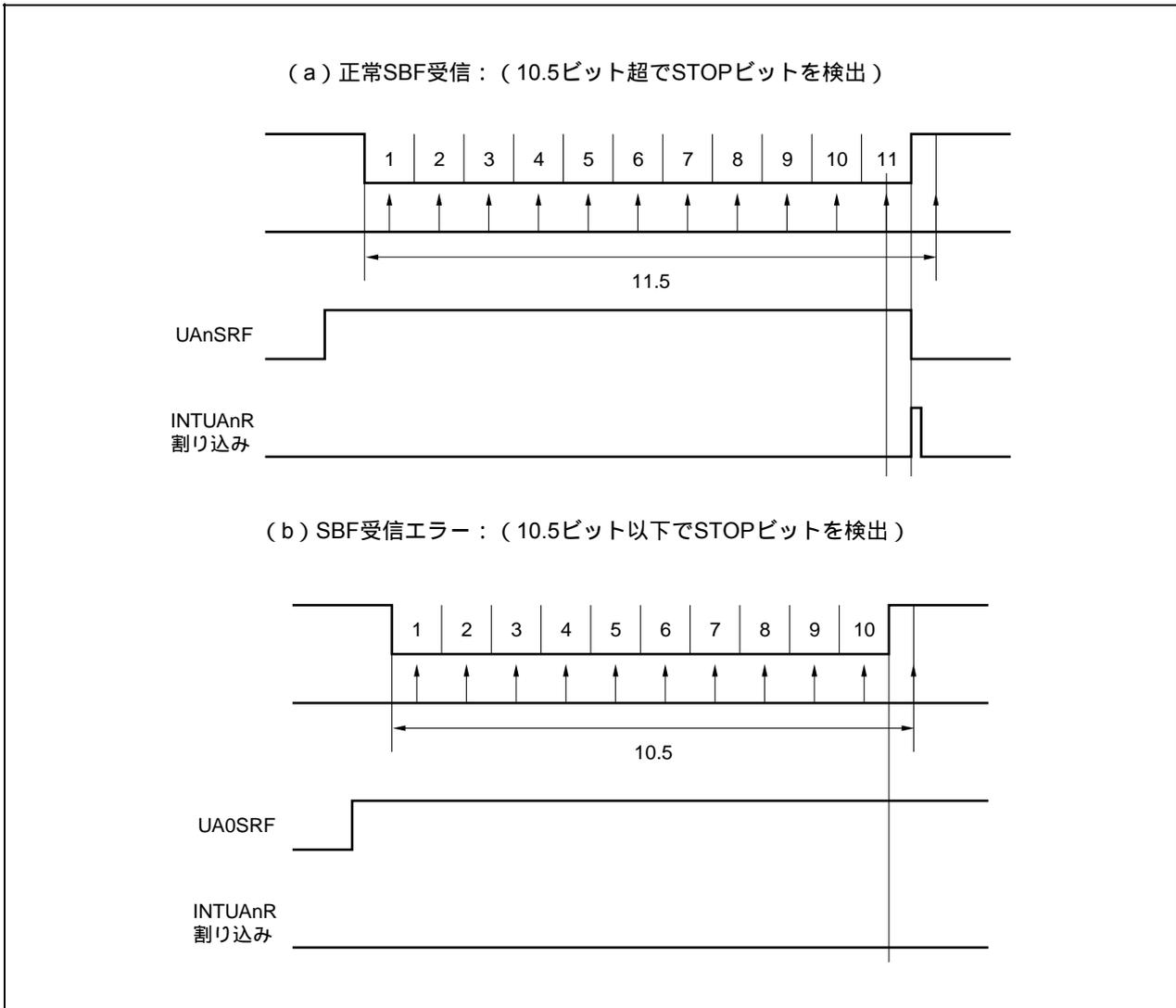
SBF受信待ち状態はUARTの受信待ち状態と同じくRXDAn端子をモニタし、スタート・ビットの検出を行います。

スタート・ビットを検出したら、受信動作を開始し、設定されたボー・レートにあわせて、内蔵カウンタをカウント・アップします。

ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求信号 (INTUAnR) を発生します。UAnOPT0.UAnSRFビットは自動的にクリアされ、SBF受信を終了します。

UAnSTR.UAnOVE, UAnPE, UAnFEビットの各エラー検出は抑制されUART通信のエラー検出処理は行われません。また、UARTAn受信シフト・レジスタとUAnRXレジスタのデータの転送も行われず、初期値のFFHを保持します。SBFの幅が10ビット長以下の場合、エラー処理として、割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。その際UAnSRFビットはクリアされません。

図13 - 6 SBF受信



13.5.5 UART送信

UAnCTL0.UAnPWRビット = 1とすることにより、TXDAn端子からハイ・レベルを出力します。

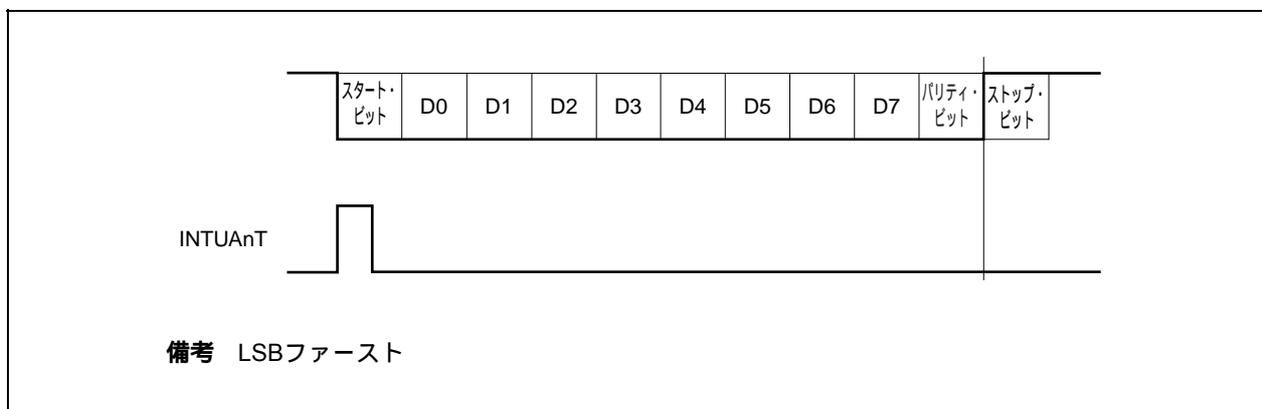
次に、UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり、UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加します。

なお、UARTAnにはCTS (送信許可信号) 入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により、UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送完了したタイミングで、送信許可割り込み要求信号 (INTUAnT) を発生し、そのあとUARTAn送信シフト・レジスタから順次、TXDAn端子に出力します。INTUAnT信号が発生することで、UAnTXレジスタに次の転送データの書き込みを許可します。

図13 - 7 UART送信



13.5.6 連続送信の手順説明

UARTAnはUARTAn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUAnT) で判断できます。次に送信するデータを、転送中にUAnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

注意 連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認して初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。

図13 - 8 連続送信の処理フロー

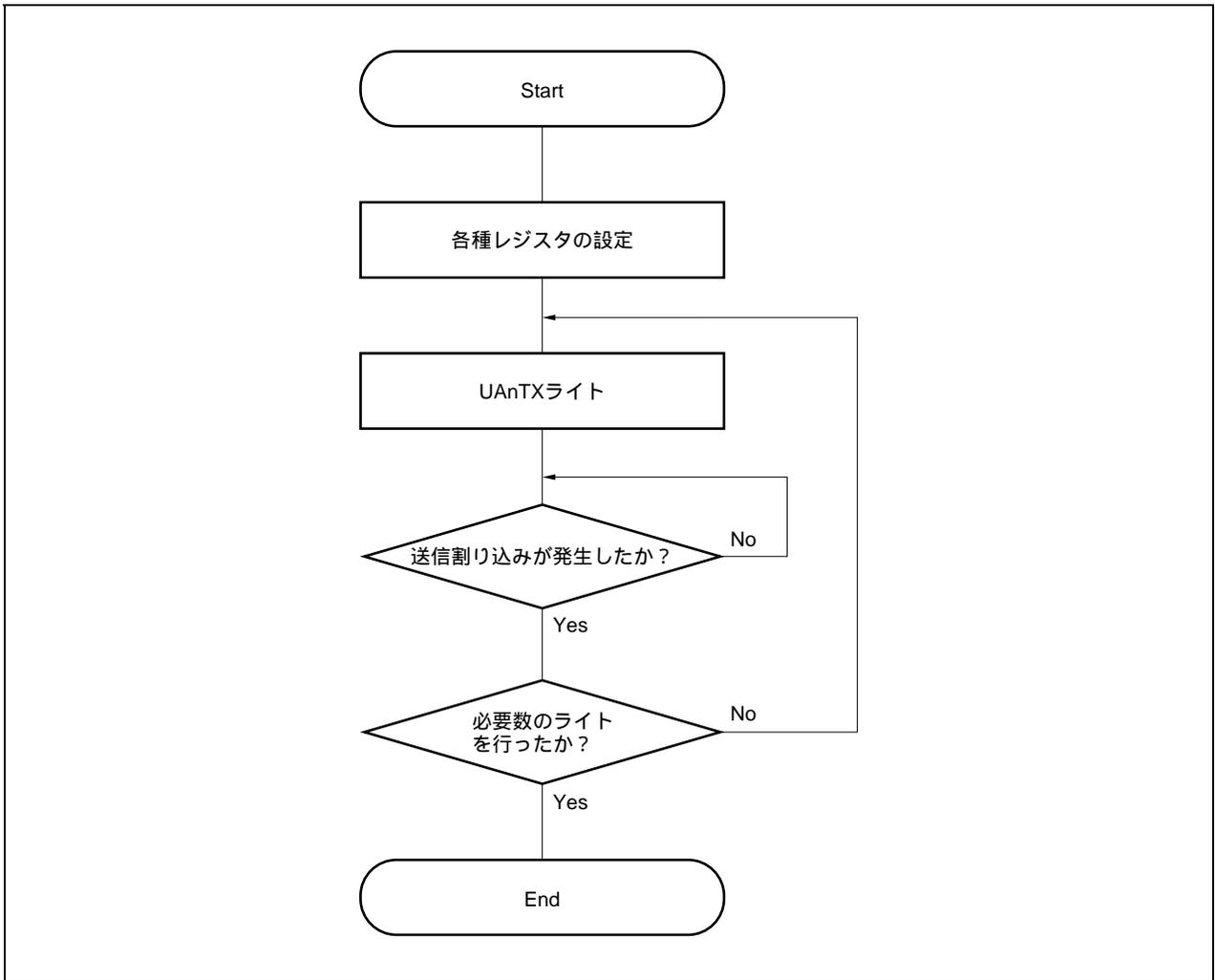
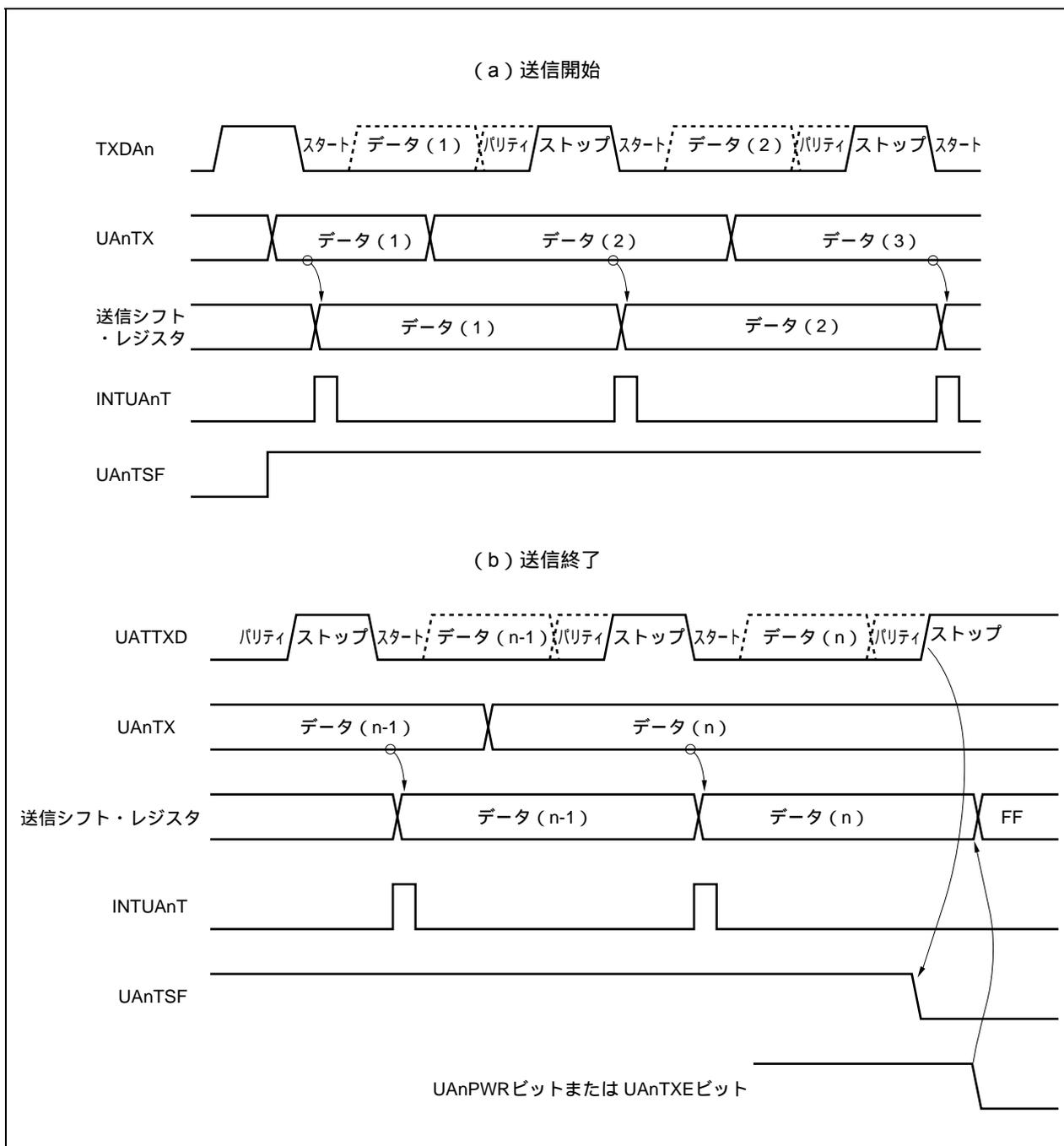


図13 - 9 連続送信動作のタイミング



13.5.7 UART受信

UAnCTL0.UAnPWRビット = 1にして、次にUAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDAn端子をモニタし、スタート・ビットの検出を行います。

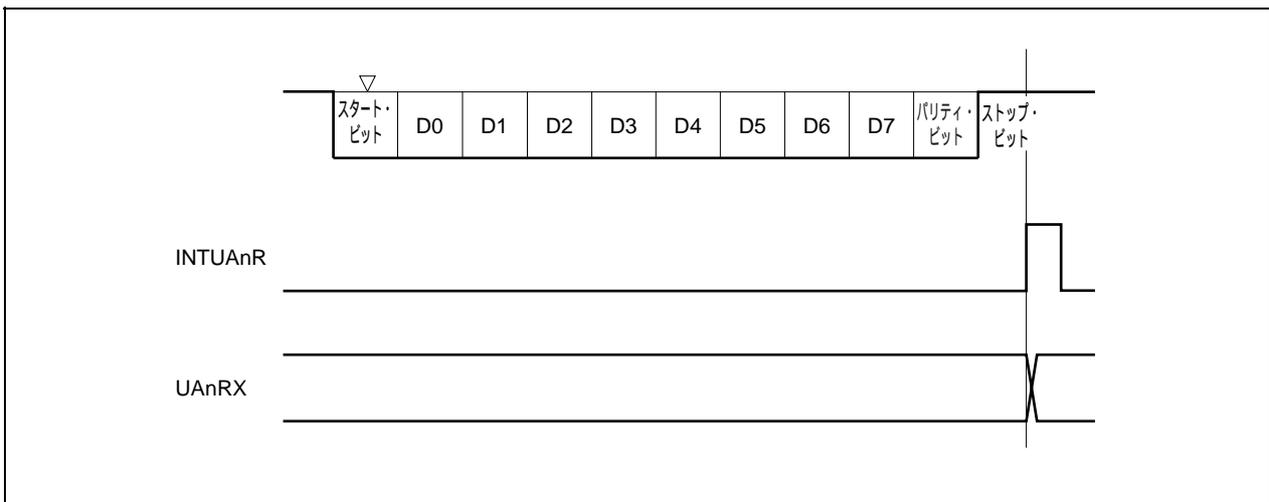
なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

まずRXDAn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDAn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、UARTAn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信完了割り込み要求信号 (INTUAnR) を発生すると同時に、UARTAn受信シフト・レジスタのデータをUAnRXレジスタに書き込みます。ただし、オーバーラン・エラー (UAnSTR.UAnOVEビット) が発生した場合は、そのときの受信データをUAnRXレジスタに書き込まれずに破棄されます。

受信途中で、パリティ・エラー (UAnSTR.UAnPEビット)、フレーミング・エラー (UAnSTR.UAnFEビット) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信完了後にINTUAnR信号を発生します。

図13 - 10 UART受信



- 注意1. 受信エラー発生時にも，UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと，次のデータ受信にオーバーラン・エラーが発生し，いつまでも受信エラーの状態が続くことになります。
2. 受信時は，常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは，無視されます。
 3. 受信終了時は，受信完了割り込み要求信号 (INTUAnR) 発生後，UAnRXレジスタを読み出してから UAnPWRビット = 0またはUAnRXEビット = 0としてください。INTUAnR信号が発生する前に UAnPWRビット = 0またはUAnRXEビット = 0とした場合，UAnRXレジスタのリード値は保証できません。
 4. UARTAnの受信完了処理(INTUAnR信号の発生)と，UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合，UAnRXレジスタにデータを格納していないにもかかわらず，INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには，必ず割り込み制御レジスタ (UAnRIC) の割り込みマスク・フラグ (UAnRMK) をセット (1) してから，UAnPWRビット = 0またはUAnRXEビット = 0とし，さらにUAnRICレジスタの割り込み要求フラグ (UAnRIF) をクリア (0) してください。

13. 5. 8 受信エラー

受信動作時のエラーは，パリティ・エラー，フレーミング・エラー，オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され，受信完了割り込み要求信号 (INTUAnR) を発生します。

UAnSTRレジスタの内容を読み出すことによって，いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは，“0” ライトによりクリアしてください。

・受信エラーの要因

エラー・フラグ	受信エラー	要 因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバーラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了

13.5.9 パリティの種類と動作

注意 LIN機能を使用する場合、UAnCTL0.UAnPS1, UAnPS0ビットを“00”に固定してください。

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

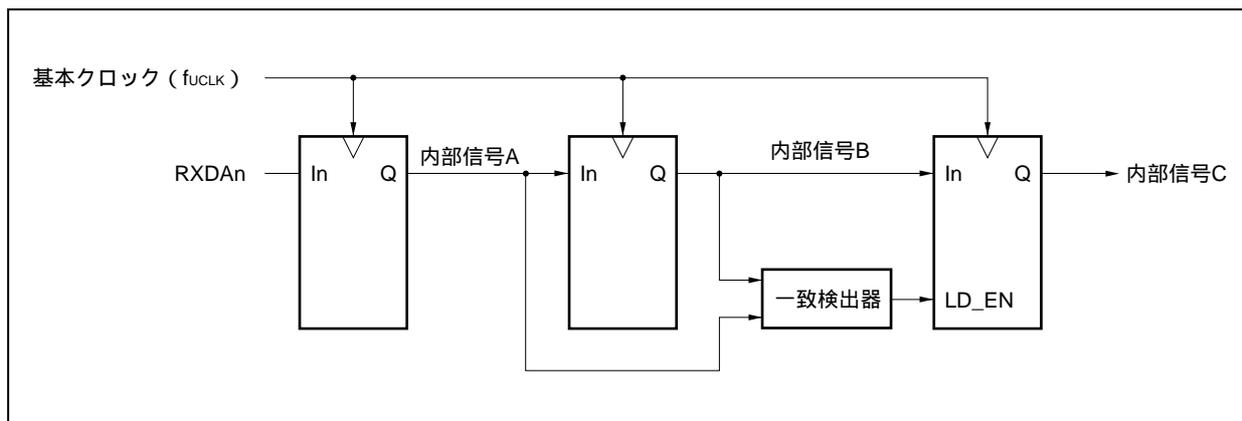
13.5.10 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロックでRXDAn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図13-12参照)。基本クロックについては13.6(1)(a)基本クロックを参照してください。

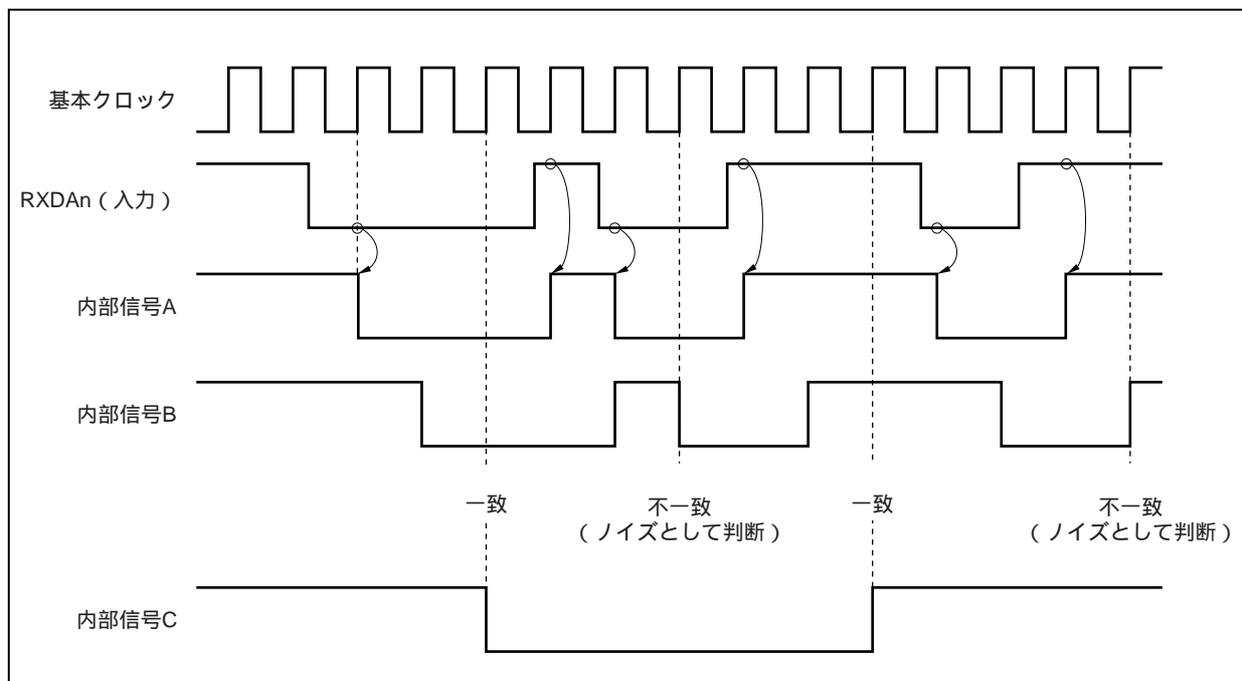
また、回路は図13-11のようにになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

図13-11 ノイズ・フィルタ回路



★

図13-12 ノイズとして判断されるRXDAn信号のタイミング



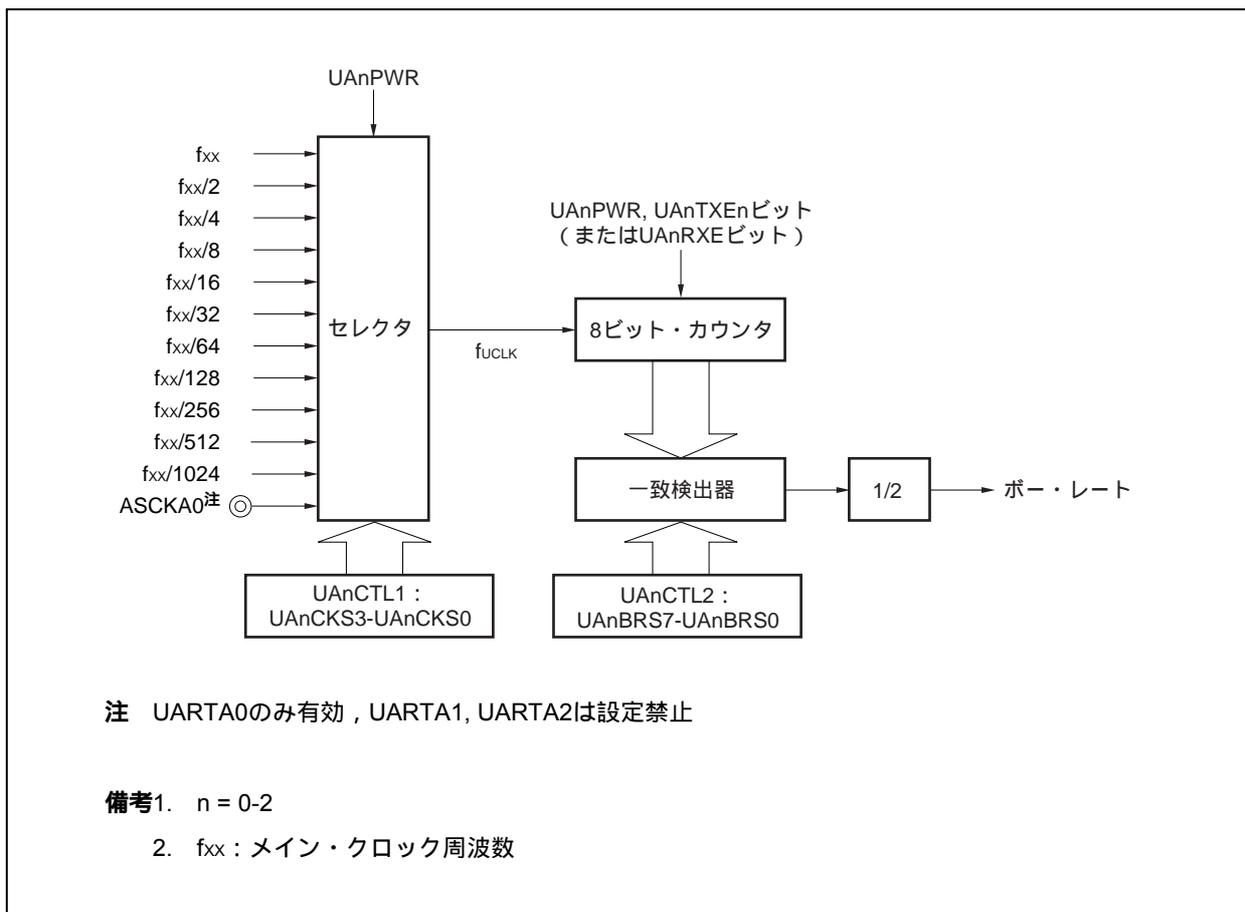
13.6 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図13 - 13 ポー・レート・ジェネレータの構成



(a) 基本クロック

UAnCTL0.UAnPWRビット = 1のとき, UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロックと呼びます。UAnPWRビット = 0のときは, fUCLKはロウ・レベルに固定となります。

(b) シリアル・クロックの生成

UAnCTL1レジスタとUAnCTL2レジスタの設定により,シリアル・クロックを生成できます(n = 0-2)。

UAnCTL1.UAnCKS3-UAnCKS0ビットにより,基本クロックを選択します。

UAnCTL2.UAnBRS7-UAnBRS0ビットにより,8ビット・カウンタの分周値を設定できます。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

★ **注意** UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：UA0CTL1 FFFFFFFA01H, UA1CTL1 FFFFFFFA11H,
UA2CTL1 FFFFFFFA21H

7	6	5	4	3	2	1	0
0	0	0	0	UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0

UAnCTL1 (n = 0-2)

UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0	基本クロック (f _{UCLK}) の選択
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	0	f _{xx} /64
0	1	1	1	f _{xx} /128
1	0	0	0	f _{xx} /256
1	0	0	1	f _{xx} /512
1	0	1	0	f _{xx} /1024
1	0	1	1	外部クロック ^注 (ASCKA0端子)
上記以外				設定禁止

注 UARTA0のみ有効, UARTA1, UARTA2は設定禁止

備考 f_{xx} : メイン・クロック周波数

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

★ **注意** UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE, UAnRXEビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：UA0CTL2 FFFFFFFA02H, UA1CTL2 FFFFFFFA12H,
UA2CTL2 FFFFFFFA22H

7	6	5	4	3	2	1	0	
UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0	

UAnCTL2 (n = 0-2)

UAn BRS7	UAn BRS6	UAn BRS5	UAn BRS4	UAn BRS3	UAn BRS2	UAn BRS1	UAn BRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	f _{CLK} /4
0	0	0	0	0	1	0	1	5	f _{CLK} /5
0	0	0	0	0	1	1	0	6	f _{CLK} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f _{CLK} /252
1	1	1	1	1	1	0	1	253	f _{CLK} /253
1	1	1	1	1	1	1	0	254	f _{CLK} /254
1	1	1	1	1	1	1	1	255	f _{CLK} /255

備考 f_{CLK} : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロック周波数

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \text{ [bps]}$$

f_{UCLK} = UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

k = UAnCTL2.UAnBRS7-UAnBRS0ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

(5) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(7) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 20 MHz = 20,000,000 Hz

UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 = 01000001B ($k = 65$)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 20000000 / (2 \times 65) \\ &= 153846 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (153846/153600 - 1) \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

(6) ボー・レート設定例

表13 - 3 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f _{xx} = 20 MHz			f _{xx} = 16 MHz			f _{xx} = 10 MHz		
	UAnCTL1	UAnCTL2	ERR (%)	UAnCTL1	UAnCTL2	ERR (%)	UAnCTL1	UAnCTL2	ERR (%)
300	09H	41H	0.16	0AH	1AH	0.16	08H	41H	0.16
600	08H	41H	0.16	0AH	0DH	0.16	07H	41H	0.16
1200	07H	41H	0.16	09H	0DH	0.16	06H	41H	0.16
2400	06H	41H	0.16	08H	0DH	0.16	05H	41H	0.16
4800	05H	41H	0.16	07H	0DH	0.16	04H	41H	0.16
9600	04H	41H	0.16	06H	0DH	0.16	03H	41H	0.16
19200	03H	41H	0.16	05H	0DH	0.16	02H	41H	0.16
31250	06H	05H	0.00	06H	04H	0.00	05H	05H	0.00
38400	02H	41H	0.16	04H	0DH	0.16	01H	41H	0.16
76800	01H	41H	0.16	03H	0DH	0.16	00H	41H	0.16
153600	00H	41H	0.16	02H	0DH	0.16	00H	21H	- 1.36
312500	03H	04H	0.00	01H	0DH	- 1.54	02H	04H	0.00

備考 f_{xx} : メイン・クロック周波数

ERR : ボー・レート誤差 [%]

(7) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図13 - 14 受信時の許容ボー・レート範囲

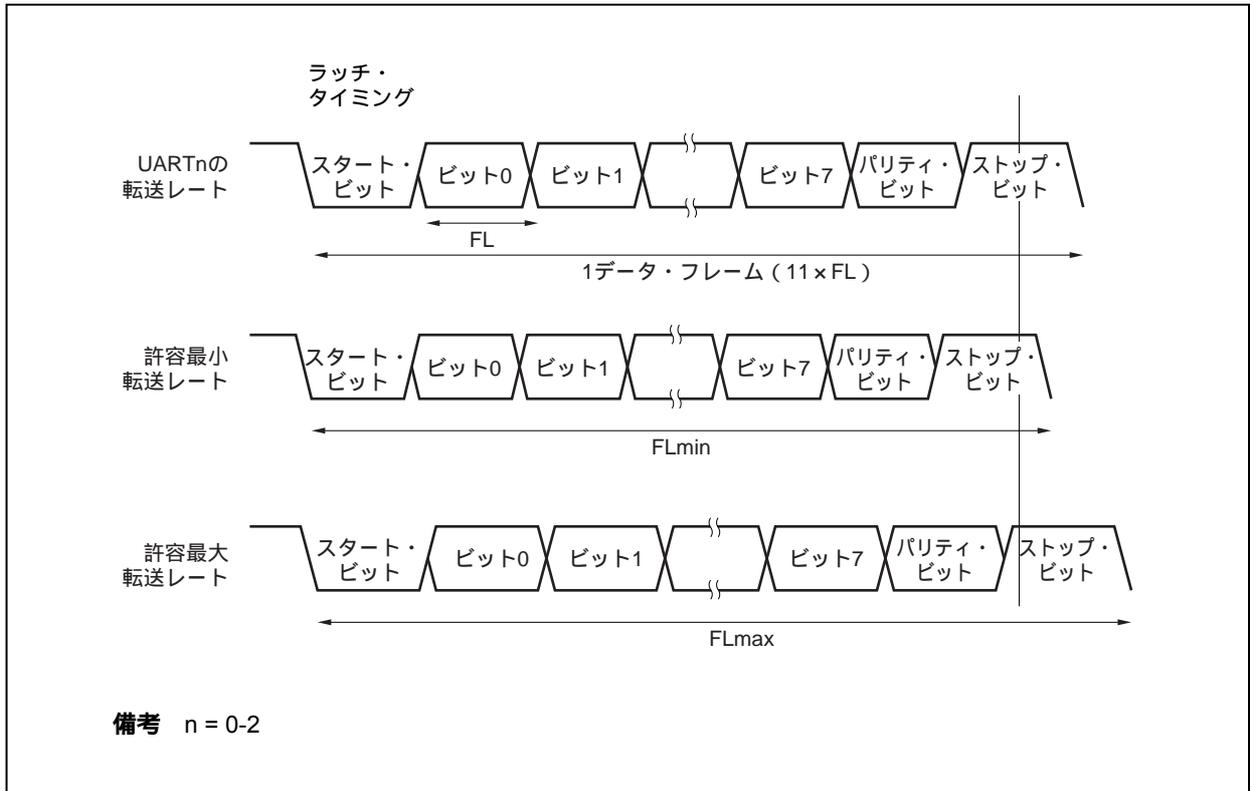


図13 - 14に示すように、スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTAnのボー・レート (n = 0-2)

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-2)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{\min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{\max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UARTAnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表13-4 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

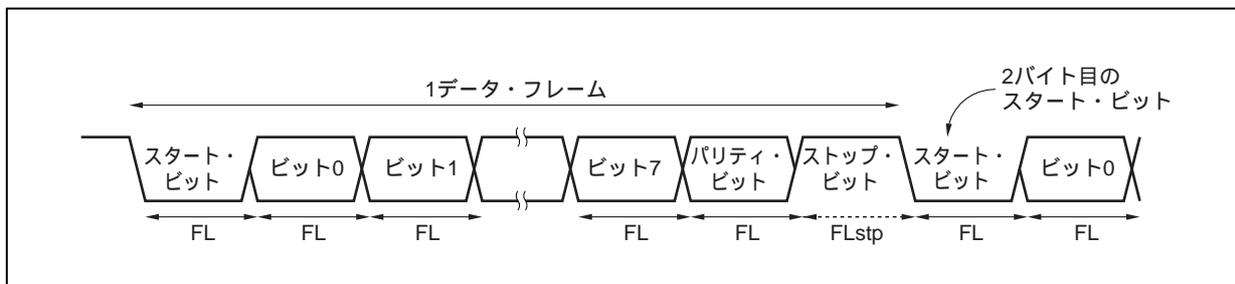
備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-2)

(8) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図13 - 15 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：fuCLKとすると次の式が成り立ちます。

$$FLstp = FL + 2 / fuCLK$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / fuCLK)$$

★ 13.7 注意事項

UARTAnへの供給クロックが停止する場合（例：IDLE1, IDLE2, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXEn, UAnTXEnビット = 000とし、回路を初期化してください。

第14章 3線式可変長シリアルI/O (CSIB)

14.1 CSIBと他のシリアル・インタフェースのモード切り替え

14.1.1 CSIB0とI²C00のモード切り替え

μ PD703229Y, 70F3229Yでは, CSIB0とI²C00は端子が兼用になっており, 同時には使用できません。CSIB0とI²C00の切り替えは, あらかじめPMC4, PFC4レジスタで設定する必要があります。

注意 CSIB0またはI²C00において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図14 - 1 CSIB0とI²C00のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF448H								
	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40
リセット時 : 00H R/W アドレス : FFFFF468H								
	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	0	PFC41	PFC40
PMC4n	PFC4n	動作モード						
0	x	ポート入出力モード						
1	0	CSIB0モード						
1	1	I ² C00モード						
備考1. n = 0, 1								
2. x = don't care								

14.2 特 徴

転送速度：10 Mbps ~ 4.9 kbps ($f_{xx} = 20$ MHz, 内部クロック使用時)

マスタ・モードとスレーブ・モードを選択可能

8-16ビット転送, 3線式シリアル・インタフェース

割り込み要求信号 (INTCBnT, INTCBnR) × 2

シリアル・クロックとデータのフェーズ切り替えが可能

転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭/LSB先頭を切り替え可能

3線式 SOBn : シリアル・データ出力

SIBn : シリアル・データ入力

$\overline{\text{SCKBn}}$: シリアル・クロック入出力

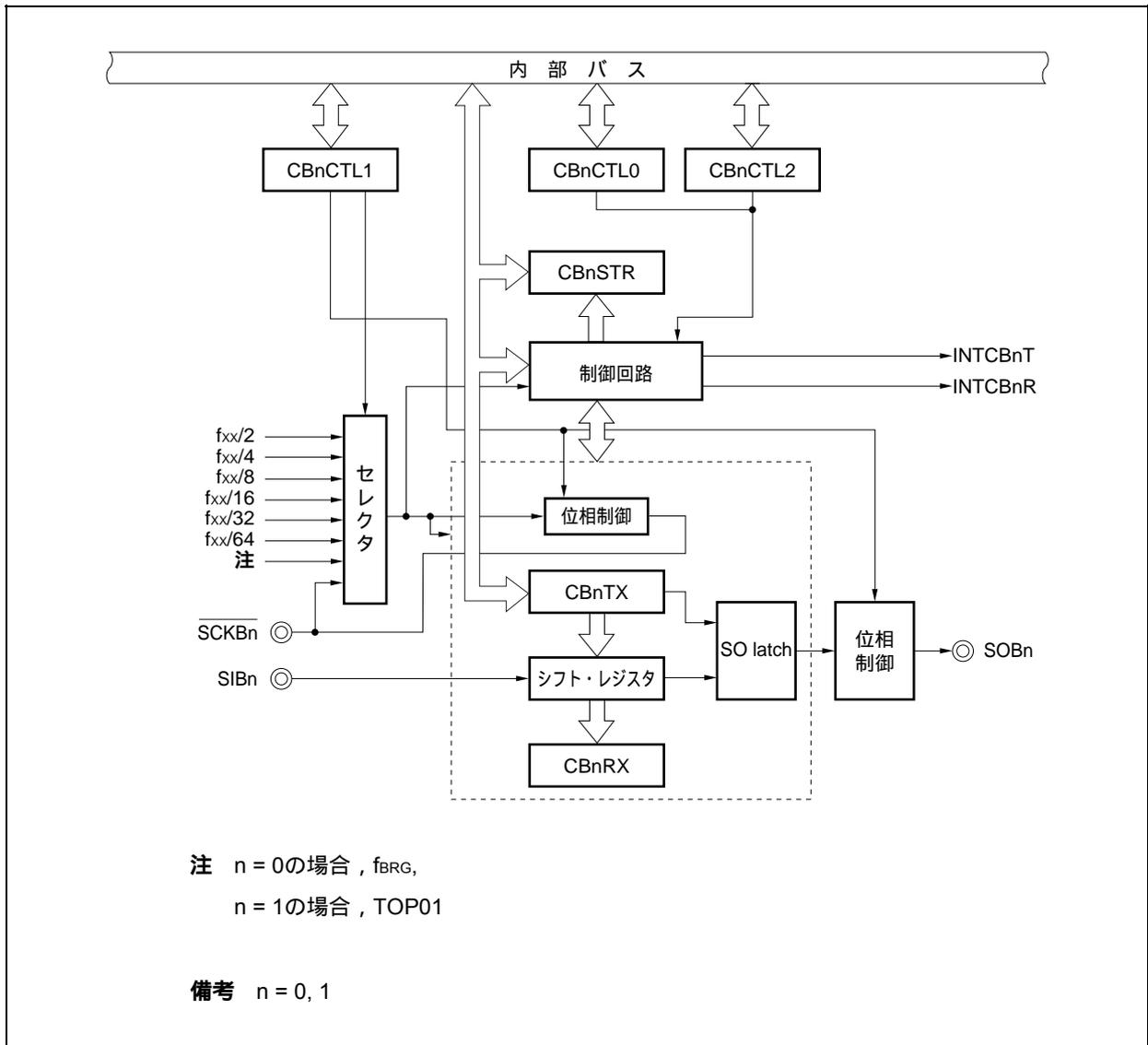
送信モード, 受信モード, 送受信モードを指定可能

備考 n = 0, 1

14.3 構成

次にCSIBnのブロック図を示します。

図14 - 2 CSIBnのブロック図



CSIBnは、次のハードウェアで構成されています。

表14 - 1 CSIBnの構成

項目	構成
レジスタ	CSIBn受信データ・レジスタ (CBnRX) CSIBn送信データ・レジスタ (CBnTX)
制御レジスタ	CSIBn制御レジスタ0 (CBnCTL0) CSIBn制御レジスタ1 (CBnCTL1) CSIBn制御レジスタ2 (CBnCTL2) CSIBn状態レジスタ (CBnSTR)

(1) CSIBn受信データ・レジスタ (CBnRX)

CBnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

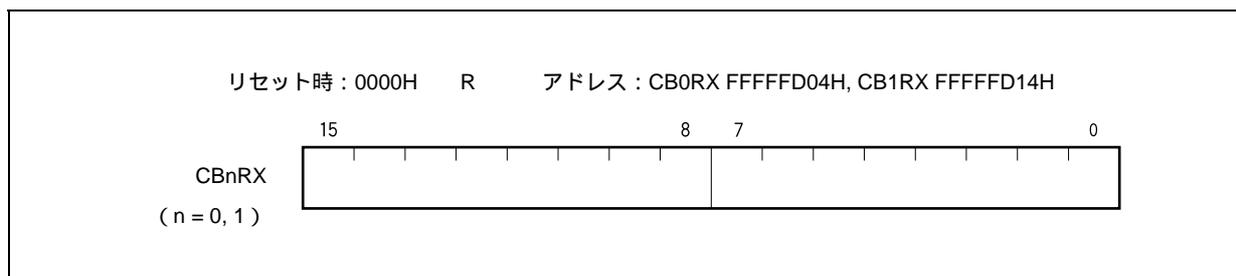
16ビット単位でリードのみ可能です。

受信許可状態中に、CBnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CBnRXレジスタの下位8ビットをCBnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CBnCTL0レジスタのCBnPWRビットをクリア (0) しても初期化されます。



(2) CSIBn送信データ・レジスタ (CBnTX)

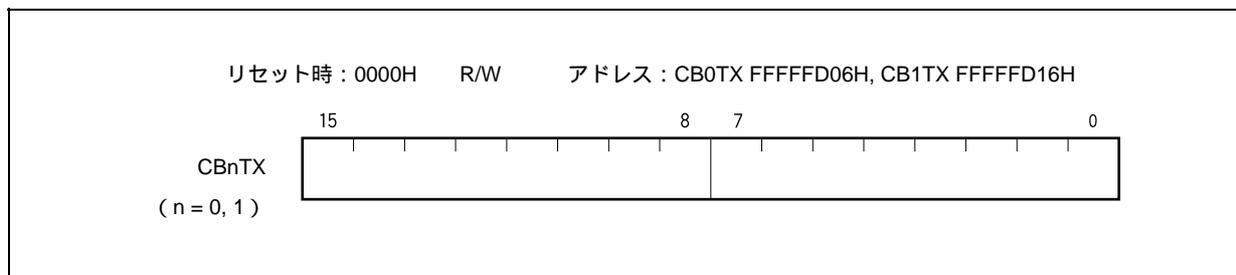
CBnTXレジスタは、CSIBnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信許可状態のときは、CBnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CBnTXレジスタの下位8ビットをCBnTXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



★

備考 通信開始条件について

送信モード (CBnTXEビット = 1, CBnRXEビット = 0) : CBnTXレジスタへのライト

送受信モード (CBnTXEビット = 1, CBnRXEビット = 1) : CBnTXレジスタへのライト

受信モード (CBnTXEビット = 0, CBnRXEビット = 1) : CBnRXレジスタのリード

14.4 制御レジスタ

CSIBnを制御するレジスタには、次のものがあります。

- ・ CSIBn制御レジスタ0 (CBnCTL0)
- ・ CSIBn制御レジスタ1 (CBnCTL1)
- ・ CSIBn制御レジスタ2 (CBnCTL2)
- ・ CSIBn状態レジスタ (CBnSTR)

★ (1) CSIBn制御レジスタ0 (CBnCTL0)

CSIBnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/2)

リセット時：01H R/W アドレス：CB0CTL0 FFFFFFFD00H, CB1CTL0 FFFFFFFD10H

	⑦	⑥	⑤	④	3	2	1	①
CBnCTL0 (n = 0, 1)	CBnPWR	CBnTXE ^注	CBnRXE ^注	CBnDIR ^注	0	0	CBnTMS ^注	CBnSCE

CBnPWR	CSIBn動作禁止 / 許可の指定
0	CSIBn動作禁止, CBnSTRレジスタをリセットする
1	CSIBn動作許可
・ CBnPWRビットはCSIBnの動作の制御と内部回路のリセットを行います。	

CBnTXE ^注	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・ CBnTXEビット = 0のとき, SOBn出力はロウ・レベルとなります。	

CBnRXE ^注	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・ CBnRXEビット = 0にすることで受信動作を禁止するため, 規定のデータを転送されても受信完了割り込みは出力されず, 受信データ (CBnRXレジスタ) は更新されません。	

注 CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

CBnDIR ^{注1}	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CBnTMS ^{注1}	転送モードの指定
0	シングル転送モード
1	連続転送モード

CBnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
(a) シングル送信 / 送受信モード, 連続送信 / 送受信モード時
CBnSCEビットが“1”のときに通信動作を起動できます。
CBnSCEビットは“1”に設定してください。
(b) シングル受信モード
受信データ (CBnRXレジスタ) のリードを行う前にCBnSCEビットを
“0”に設定してください^{注2}。
(c) 連続受信モード時
最終データの受信を完了する1通信クロック前までにCBnSCEビットを
“0”に設定してください^{注3}。

・スレーブ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
CBnSCEビットは“1”に設定してください。

- 注1. CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。
2. CBnSCEビットが“1”のままリードした場合, 次回の通信動作が起動されません。
3. 最終データの受信を完了する1通信クロック前までにCBnSCEビットを“0”にしない場合, 自動的に次回の通信動作が起動されます。

(2) CSIBn制御レジスタ1 (CBnCTL1)

CSIBnのシリアル転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

★ **注意** CBnCTL1レジスタは、CBnCTL0.CBnPWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL1 FFFFD01H, CB1CTL1 FFFFD11H

	7	6	5	4	3	2	1	0
CBnCTL1	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0

(n = 0, 1)

	CBnCKP	CBnDAP	SCKBnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CBnCKS2	CBnCKS1	CBnCKS0	通信クロック	モード
0	0	0	$f_{xx}/2$	マスタ・モード
0	0	1	$f_{xx}/4$	マスタ・モード
0	1	0	$f_{xx}/8$	マスタ・モード
0	1	1	$f_{xx}/16$	マスタ・モード
1	0	0	$f_{xx}/32$	マスタ・モード
1	0	1	$f_{xx}/64$	マスタ・モード
1	1	0	注	マスタ・モード
1	1	1	外部クロック (\overline{SCKBn})	スレーブ・モード

注 n = 0の場合, f_{BRG}
n = 1の場合, TOP01
ポー・レート・ジェネレータについての詳細は14.9 **ポー・レート・ジェネレータ**を参照してください。

(3) CSIBn制御レジスタ2 (CBnCTL2)

CSIBnのシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CBnCTL2レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnTXE、CBnRXEビット = 0の場合のみ書き換えを許可します。

リセット時：00H R/W アドレス：CB0CTL2 FFFFFFFD02H, CB1CTL2 FFFFFFFD12H

	7	6	5	4	3	2	1	0
CBnCTL2 (n = 0, 1)	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

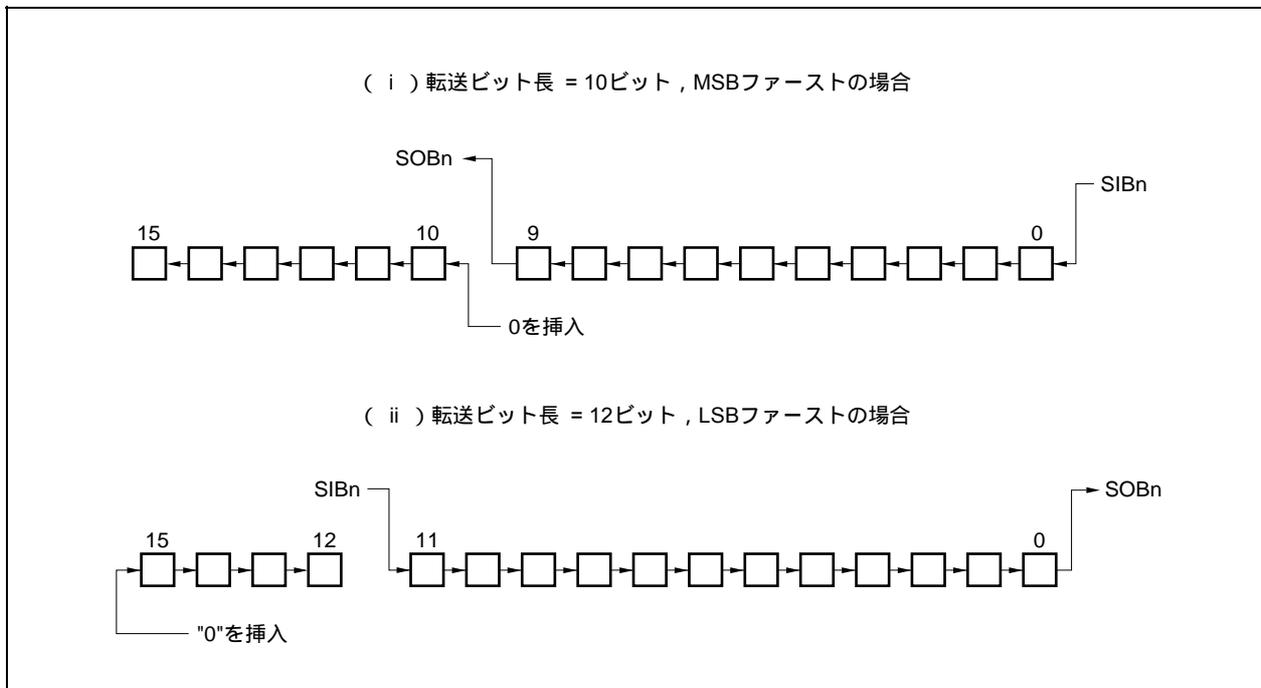
CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	×	×	×	16ビット

備考 転送ビット数が8/16ビットではない場合には、CBnTX、CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

(a) 転送データ長変更機能

CSIBnの転送データ長はCBnCTL2.CBnCL3-CBnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CBnTX, CBnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。



(4) CSIBn状態レジスタ (CBnSTR)

CSIBnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) する場合も初期化されます。

リセット時 : 00H R/W アドレス : CB0STR FFFFFFFD03H, CB1STR FFFFFFFD13H

	⑦	6	5	4	3	2	1	⑩
CBnSTR (n = 0, 1)	CBnTSF	0	0	0	0	0	0	CBnOVE

CBnTSF	通信状態フラグ
0	通信停止
1	通信中
<p>・送信時にはCBnTXレジスタにデータを準備したタイミングでセットされます。 受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。 転送終了時、クロックの最後のエッジでクリア (0) されます。</p>	

CBnOVE	オーバーラン・エラー・フラグ
0	オーバーランなし
1	オーバーランあり
<p>・受信時もしくは受信動作完了後に、受信バッファの値をCPUリードせずに次の受信が開始した場合、オーバーラン・エラーとする。 CBnOVEフラグは、このような場合のオーバーラン・エラーの発生状態を示します。 ・CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません</p>	

★ 14.5 割り込み要求信号

CSIBnからは次の2種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTCBnR)
- ・送信許可割り込み要求信号 (INTCBnT)

これら2種類の割り込み要求信号のデフォルト優先順位は、受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表14 - 2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTCBnR)

受信許可状態で、CBnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、受信エラーが起こった場合にも、受信エラー割り込みの代わりとして発生することができます。

受信完了割り込み要求信号を受け付け、データを読み出すときに、CBnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

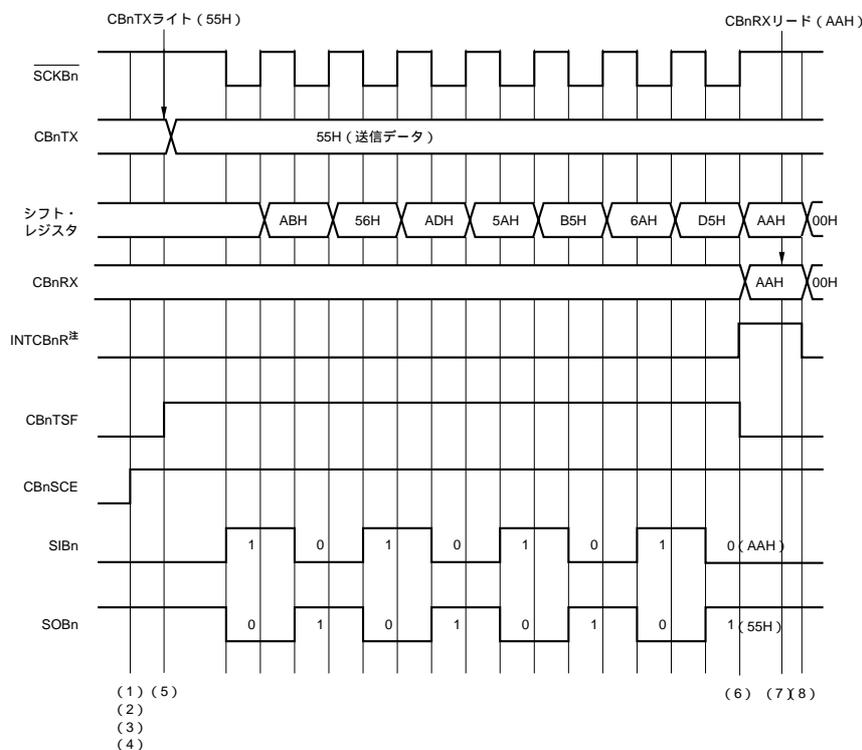
(2) 送信許可割り込み要求信号 (INTCBnT)

送信許可状態で、CBnTXレジスタから送信データが転送されると送信許可割り込み要求信号を発生します。

★ 14.6 動作

14.6.1 シングル転送 (マスタ・モード, 送受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (14.4(2)CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合



- (1) CBnCTL0.CBnPWRビットを“0”にする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnDIRビットによって転送モードを指定すると同時に, CBnCTL0.CBnTXE, CBnRXE, CBnSCEビットを“1”にして送受信許可状態にする。
- (4) CBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnTXレジスタに, 転送データをライトする (送信開始)。
- (6) 受信完了割り込み要求信号 (INTCBnR) を発生する。
- (7) CBnPWRビットを“0”にする前にCBnRXレジスタをリードする。
- (8) CBnSTR.CBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止させる (送受信終了)。

さらに転送を行いたい場合には, (8)の前に(5)~(7)を繰り返す。

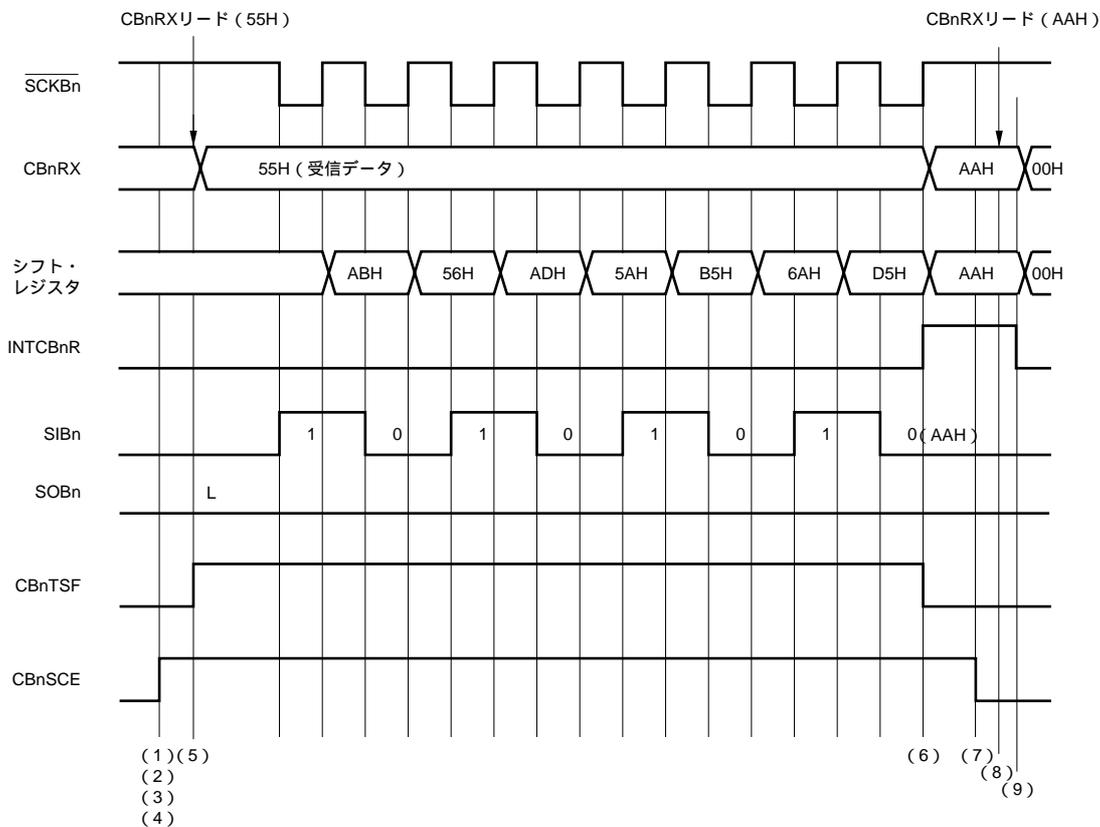
なお, 送信モード, 送受信モードにおいて, CBnRXレジスタのリードでは通信を開始しない。

注 シングル送信, シングル送受信モードでは, INTCBnT信号は発生しません。
通信完了時にはINTCBnR信号が発生します。

備考 (3), (4)の処理は同時に設定可能です。

14. 6. 2 シングル転送モード (マスタ・モード, 受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (14. 4(2)CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合



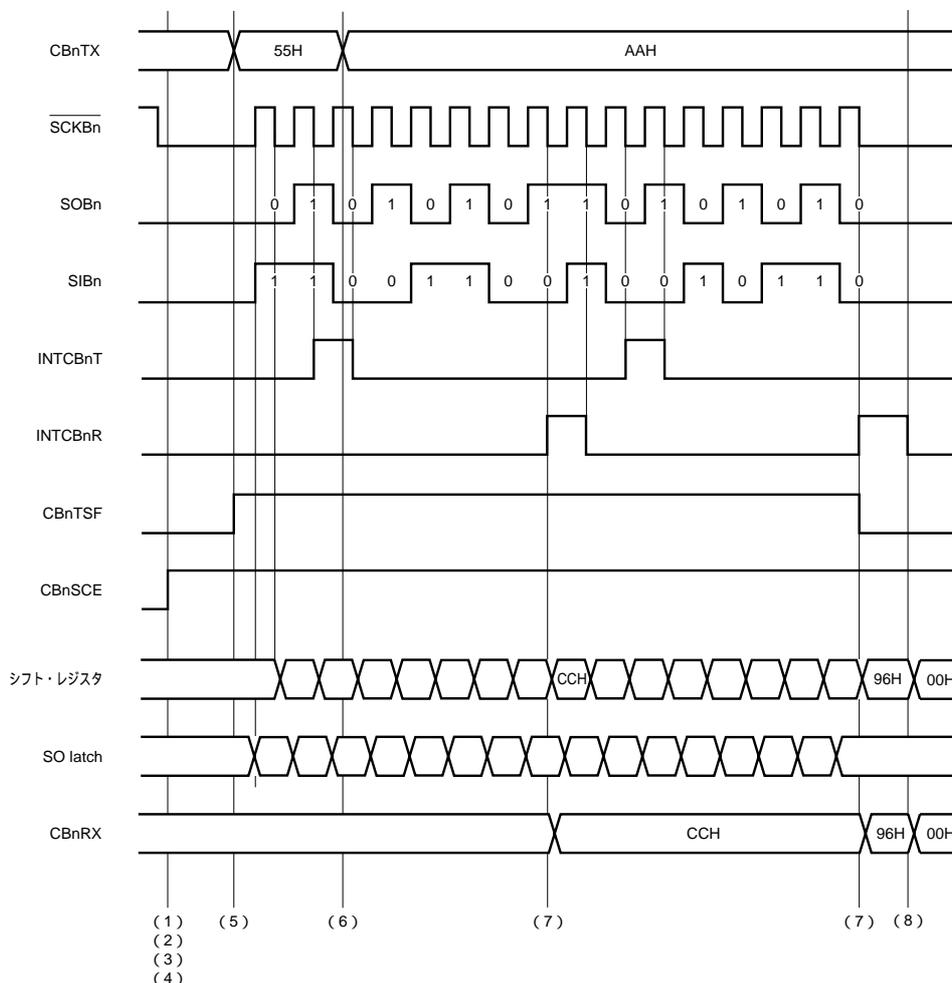
- (1) CBnCTL0.CBnPWRビットを“0”にする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnDIRビットによって転送モードを指定すると同時に, CBnCTL0.CBnRXE, CBnSCEビットを“1”にして受信許可状態にする。
- (4) CBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnRXレジスタをダミー・リードする (受信開始トリガ)
- (6) 受信完了割り込み要求信号 (INTCBnR) を発生する。
- (7) CBnSCEビット = 0にして受信最終データ状態にする。
- (8) CBnRXレジスタをリードする。
- (9) CBnSTR.CBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止させる (受信終了)。

さらに転送を行いたい場合には, (7)の前に(5), (6)を繰り返す (このときの(5)はダミー・リードではなく受信トリガを兼ねた受信データのリードです)。

備考 (3), (4)の処理は同時に設定可能です。

14.6.3 連続モード (マスタ・モード, 送受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ3 (14.4(2)CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合



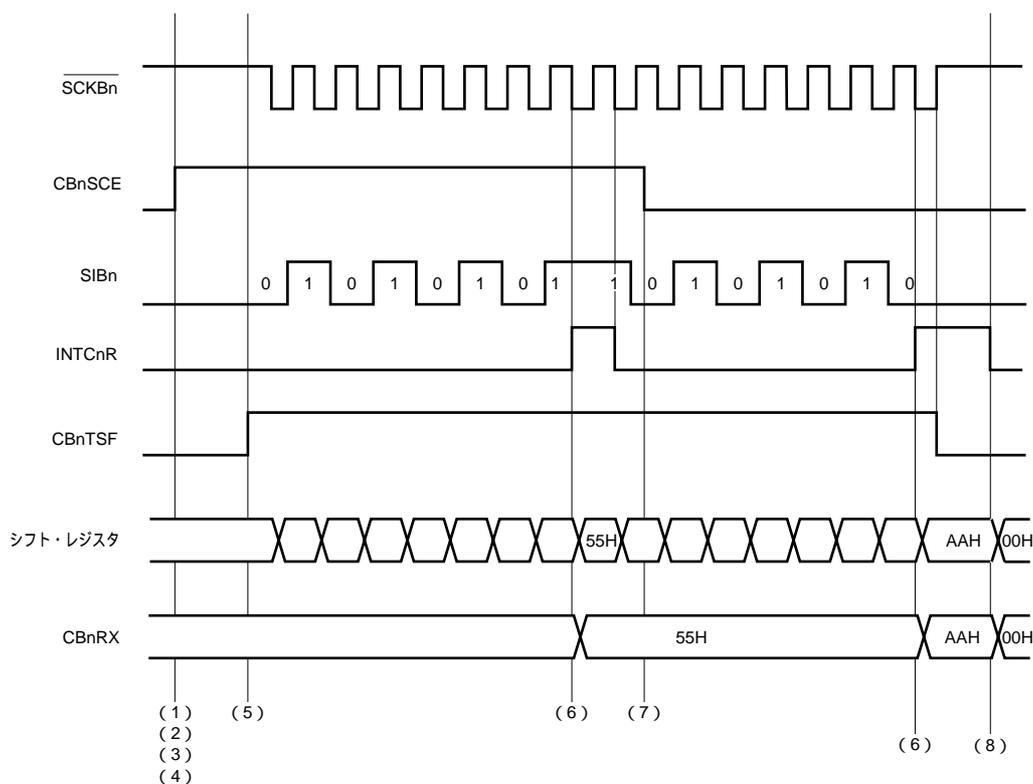
- (1) CBnCTL0.CBnPWRビットを“0”にする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnDIRビットによって転送モードを指定すると同時に, CBnCTL0.CBnTXE, CBnRXE, CBnSCEビットを“1”にして送受信許可状態にする。
- (4) CBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnTXレジスタに, 転送データをライトする (送信開始)。
- (6) 送信許可割り込み要求信号 (INTCBnT) を受けて, CBnTXレジスタに転送データをライトする。
- (7) 受信完了割り込み要求信号 (INTCBnR) を発生する。
次の受信データがくる前, またはCBnPWRビットを“0”にする前に, CBnRXレジスタをリードする。
- (8) CBnSTR.CBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止させる (送受信終了)。

さらに転送を行いたい場合には, (8) の前に (5) ~ (7) を繰り返す。

なお, 送信モード, 送受信モードにおいては, CBnRXレジスタのリードでは通信を開始しない。

14.6.4 連続モード (マスタ・モード, 受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ2 (14.4(2)CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合

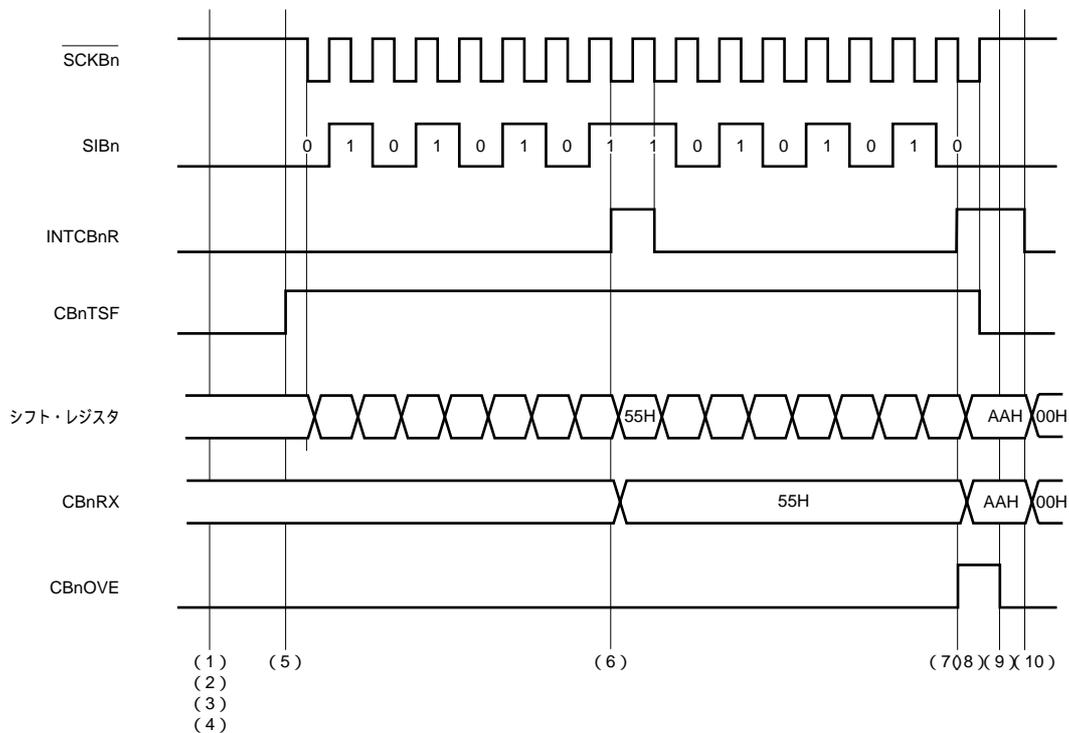


- (1) CBnCTL0.CBnPWRビットを“0”にする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnDIRビットによって転送モードを指定すると同時に, CBnCTL0.CBnRXEビットを“1”にして受信許可状態にする。
- (4) CBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnRXレジスタをダミー・リードする (受信開始トリガ)
- (6) 受信完了割り込み要求信号 (INTCBnR) を発生する。
次の受信データがくる前, またはCBnPWRビットを“0”にする前に, CBnRXレジスタをリードする。
- (7) 最終データ受信中にCBnCTL0.CBnSCEビット = 0にして受信最終データ状態にする。
- (8) CBnSTR.CBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止させる (受信終了)。

さらに転送を行いたい場合には, (7)の前に(5), (6)を繰り返す。

14.6.5 連続受信モード (エラー時)

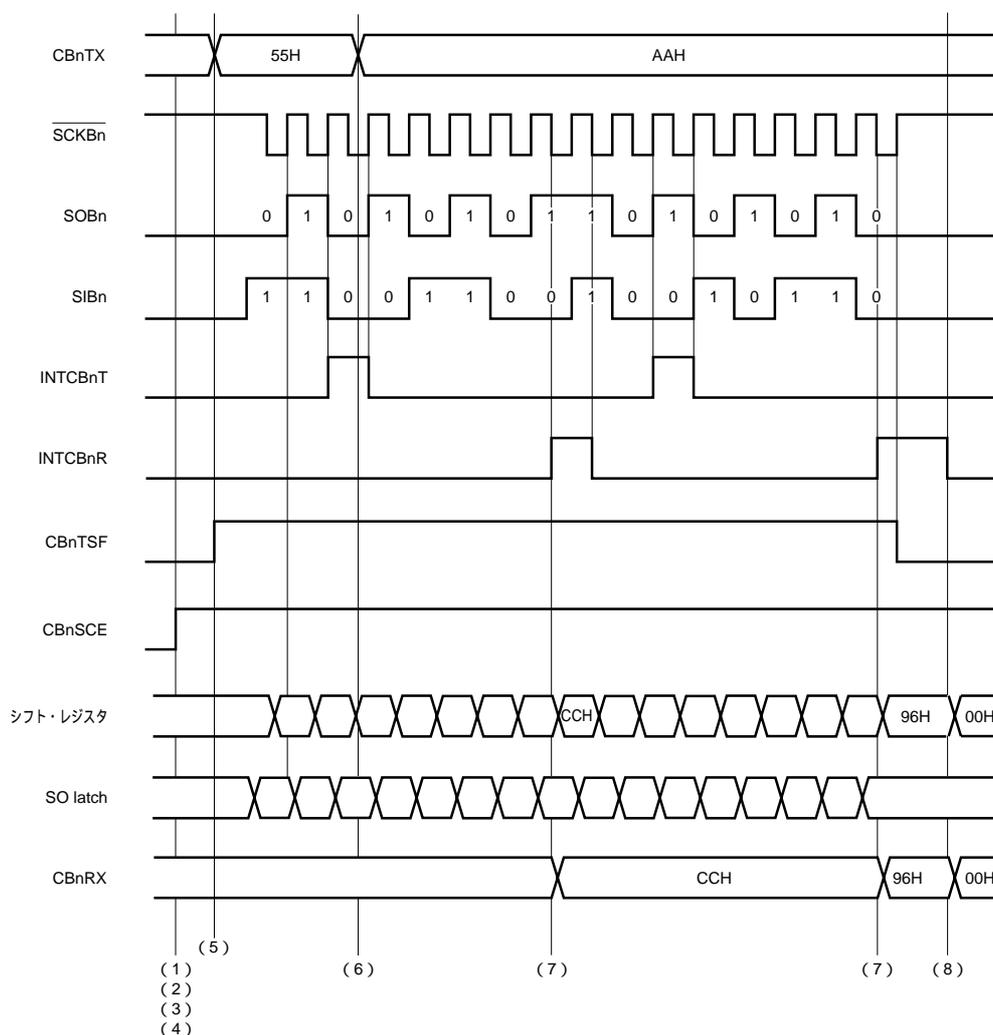
MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ2 (14.4(2)CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合



- (1) CBnCTL0.CBnPWRビットを“0”にする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し転送モードを指定する。
- (3) CBnDIRビットによって転送モードを指定すると同時に, CBnCTL0.CBnRXEビット = 1にして受信許可状態にする。
- (4) CBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnRXレジスタをダミー・リードする (受信開始トリガ)。
- (6) 受信完了割り込み要求信号 (INTCBnR) を発生する。
- (7) 次の転送が終了するまでにデータを読み出せなかった場合には, 受信終了時にCBnSTR.CBnOVEフラグがセット (1) されINTCBnR信号が発行される。
- (8) INTCBnR割り込み処理内にてCBnOVEビット = 1を確認したらオーバーラン・エラー処理を行う。
- (9) CBnOVEビットをクリア (0) する。
- (10) CBnSTR.CBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止させる (受信終了)。

14.6.6 連続モード(スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ2(14.4(2)CSIBn制御レジスタ1(CBnCTL1)参照), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0)の場合

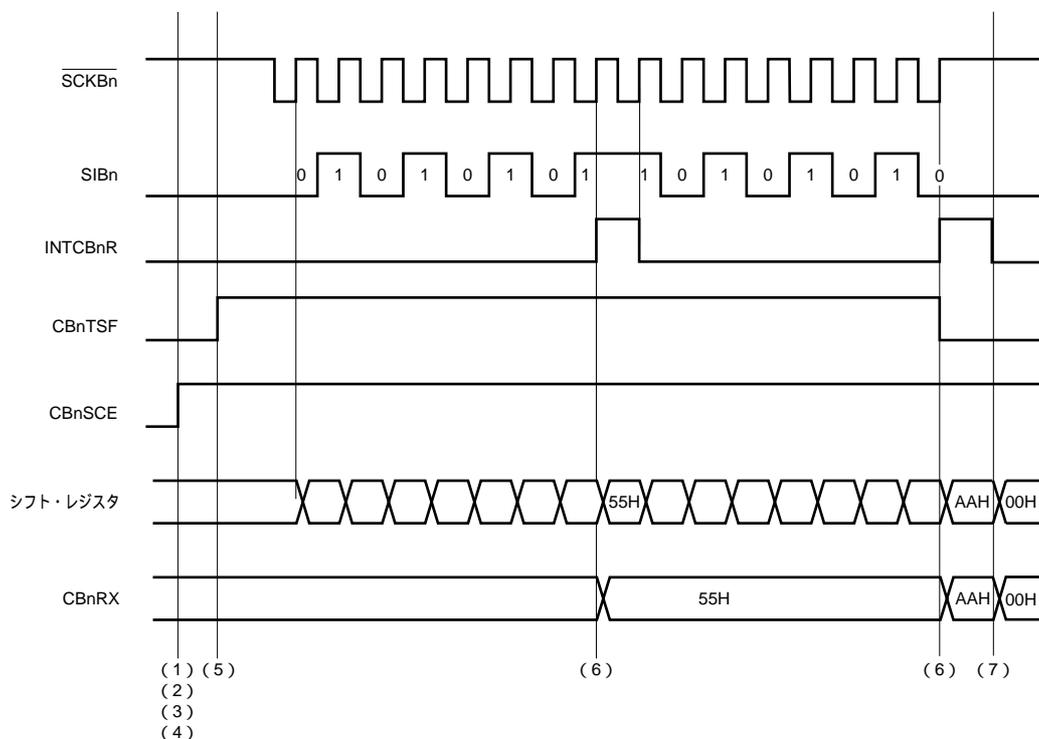


- (1) CBnCTL0.CBnPWRビットを“0”にする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnDIRビットによって転送モードを指定すると同時に, CBnCTL0.CBnTXE, CBnRXE, CBnSCEビットを“1”にして送受信許可状態にする。
- (4) CBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnTXレジスタに, 転送データをライトする。
- (6) 送信許可割り込み要求信号 (INTCBnT) を受けて, CBnTXレジスタに転送データをライトする。
- (7) 受信完了割り込み要求信号 (INTCBnR) を発生する。
CBnRXレジスタをリードする。
- (8) CBnSTR.CBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止させる (送受信終了)。

さらに転送を行いたい場合には, (8)の前に(5)~(7)を繰り返す。

14. 6. 7 連続モード (スレーブ・モード, 受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (14. 4(2)CSIBn制御レジスタ1 (CBnCTL1) 参照), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0, 0, 0, 0) の場合

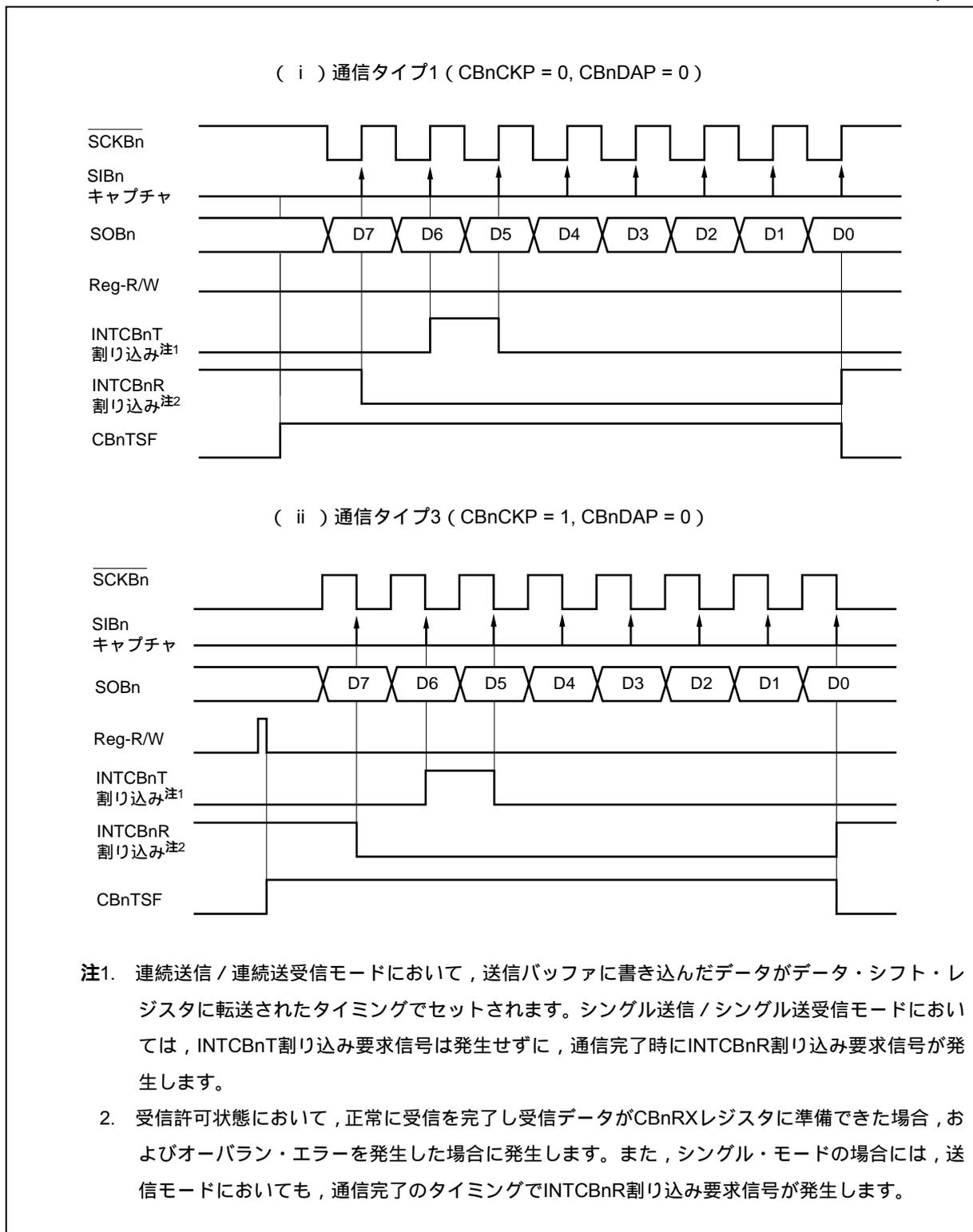


- (1) CBnCTL0.CBnPWRビットを“0”にする。
- (2) CBnCTL1, CBnCTL2レジスタを設定し, 転送モードを指定する。
- (3) CBnDIRビットによって転送モードを指定すると同時に, CBnCTL0.CBnRXE, CBnSCEビット = 1にして受信許可状態にする。
- (4) CBnPWRビット = 1にして, CSIBnの動作を許可する。
- (5) CBnRXレジスタをダミー・リードする (受信開始トリガ)
- (6) 受信完了割り込み要求信号 (INTCBnR) を発生する。
CBnRXレジスタをリードする。
- (7) CBnSTR.CBnTSFビット = 0を確認し, CBnPWRビットを“0”にしてCSIBnの動作を停止させる (受信終了)。

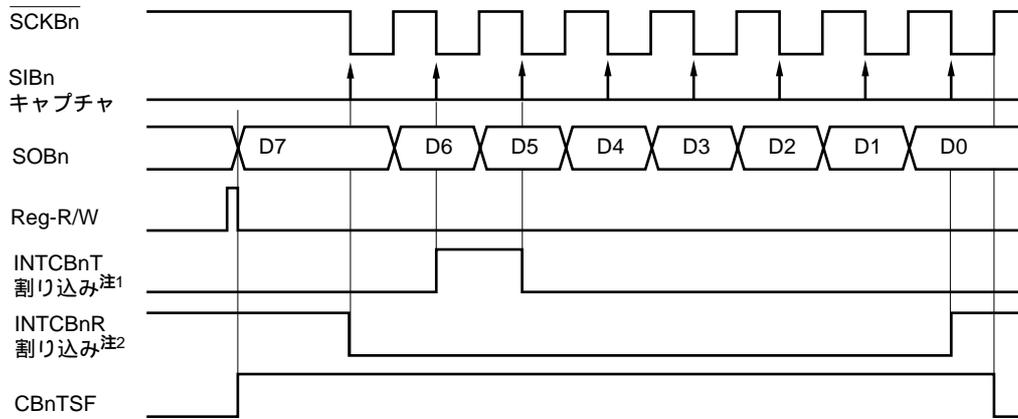
さらに転送を行いたい場合には, (7) の前に (5), (6) を繰り返す。

14.6.8 クロック・タイミング

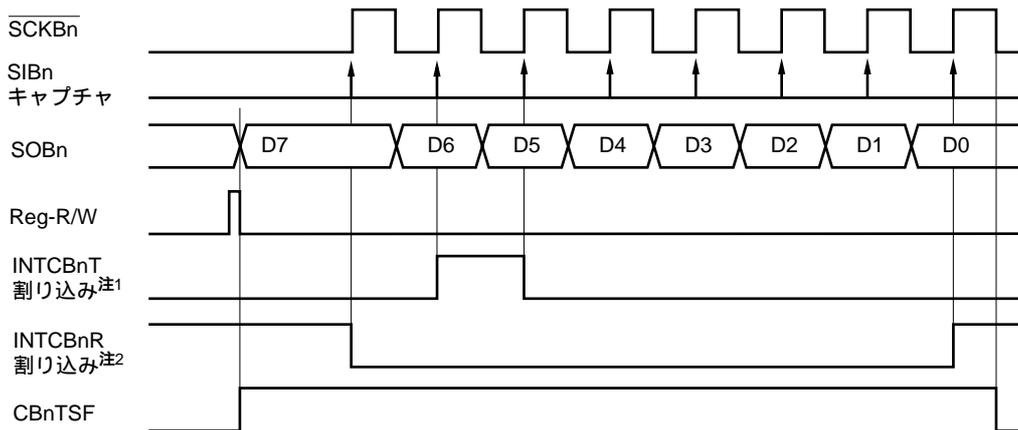
(1/2)



(iii) 通信タイプ2 (CBnCKP = 0, CBnDAP = 1)



(iv) 通信タイプ4 (CBnCKP = 1, CBnDAP = 1)



注1. 連続送信 / 連続送受信モードにおいて、送信バッファに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCBnT割り込み要求信号は発生せずに、通信完了時にINTCBnR割り込み要求信号が発生します。

2. 受信許可状態において、正常に受信を完了し受信データがCBnRXレジスタに準備できた場合、およびオーバラン・エラーが発生した場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCBnR割り込み要求信号が発生します。

14.7 出力端子

(1) $\overline{\text{SCKBn}}$ 端子

CSIBn動作禁止 (CBnCTL0.CBnPWRビット = 0) のとき, $\overline{\text{SCKBn}}$ 端子出力状態は次のようになります。

★

CBnCKP	CBnCKS2	CBnCKS1	CBnCKS0	$\overline{\text{SCKBn}}$ 端子出力
0	任意	任意	任意	ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考1. CBnCTL1.CBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えると $\overline{\text{SCKBn}}$ 端子の出力が変化します。

2. n = 0, 1

(2) SOBn端子

CSIBn動作禁止 (CBnPWRビット = 0) のとき, SOBn端子出力状態は次のようになります。

CBnTXE	CBnDAP	CBnDIR	SOBn端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOBnラッチの値 (ロウ・レベル)
	1	0	CBnTXnの値 (MSB)
		1	CBnTXnの値 (LSB)

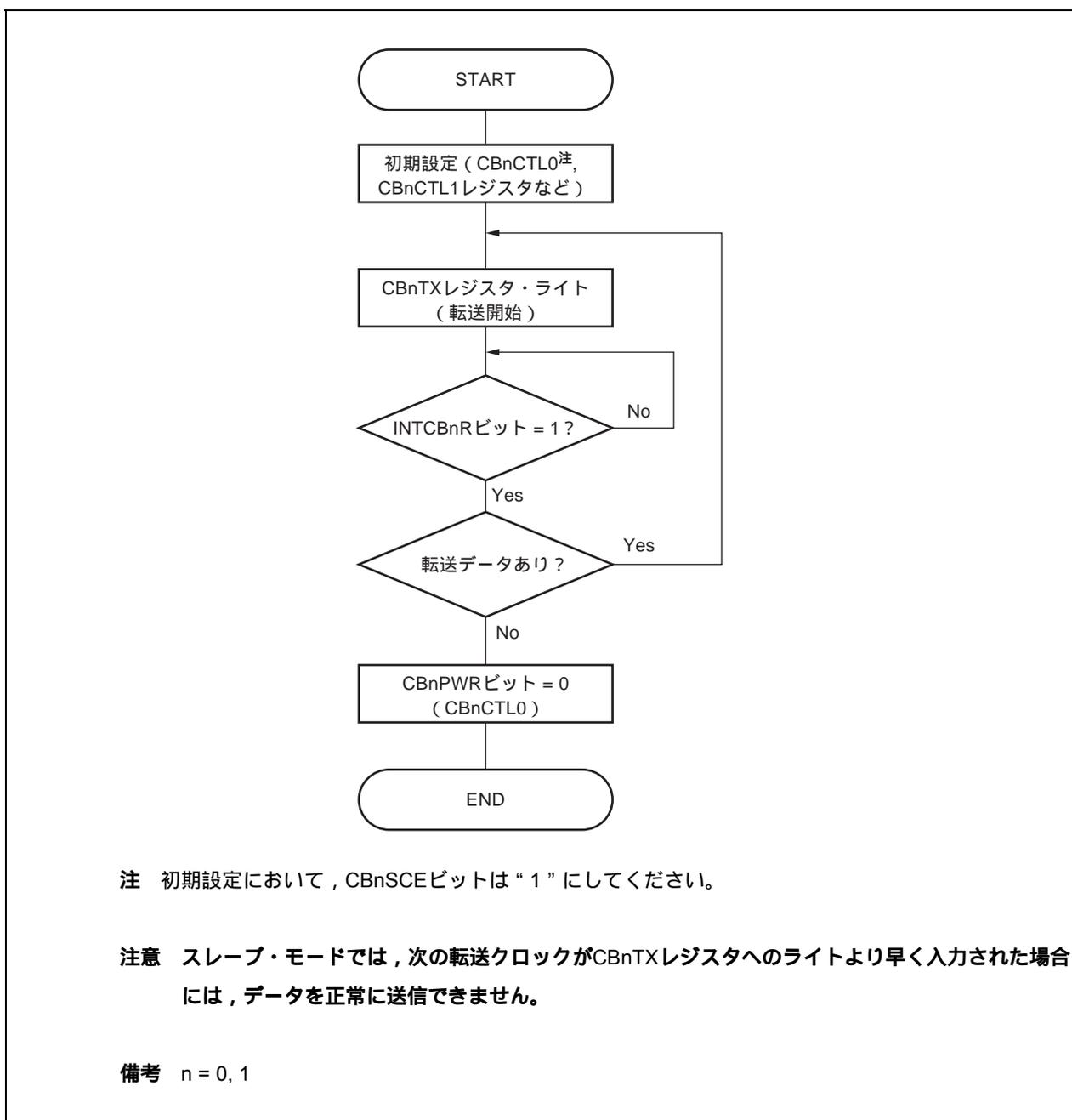
備考1. CBnCTL0.CBnTXE, CBnDIRビット, CBnCTL1.CBnDAPビットのいずれかを書き換えるとSOBn端子の出力が変化します。

2. n = 0, 1

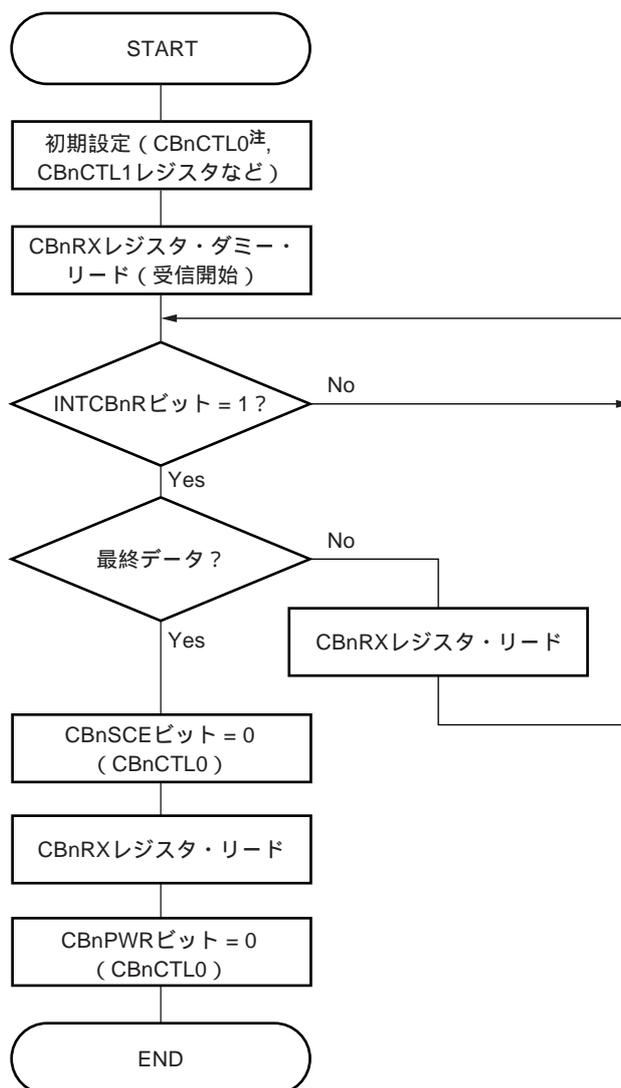
3. x : 任意

★ 14.8 動作フロー

(1) シングル送信



(2) シングル受信

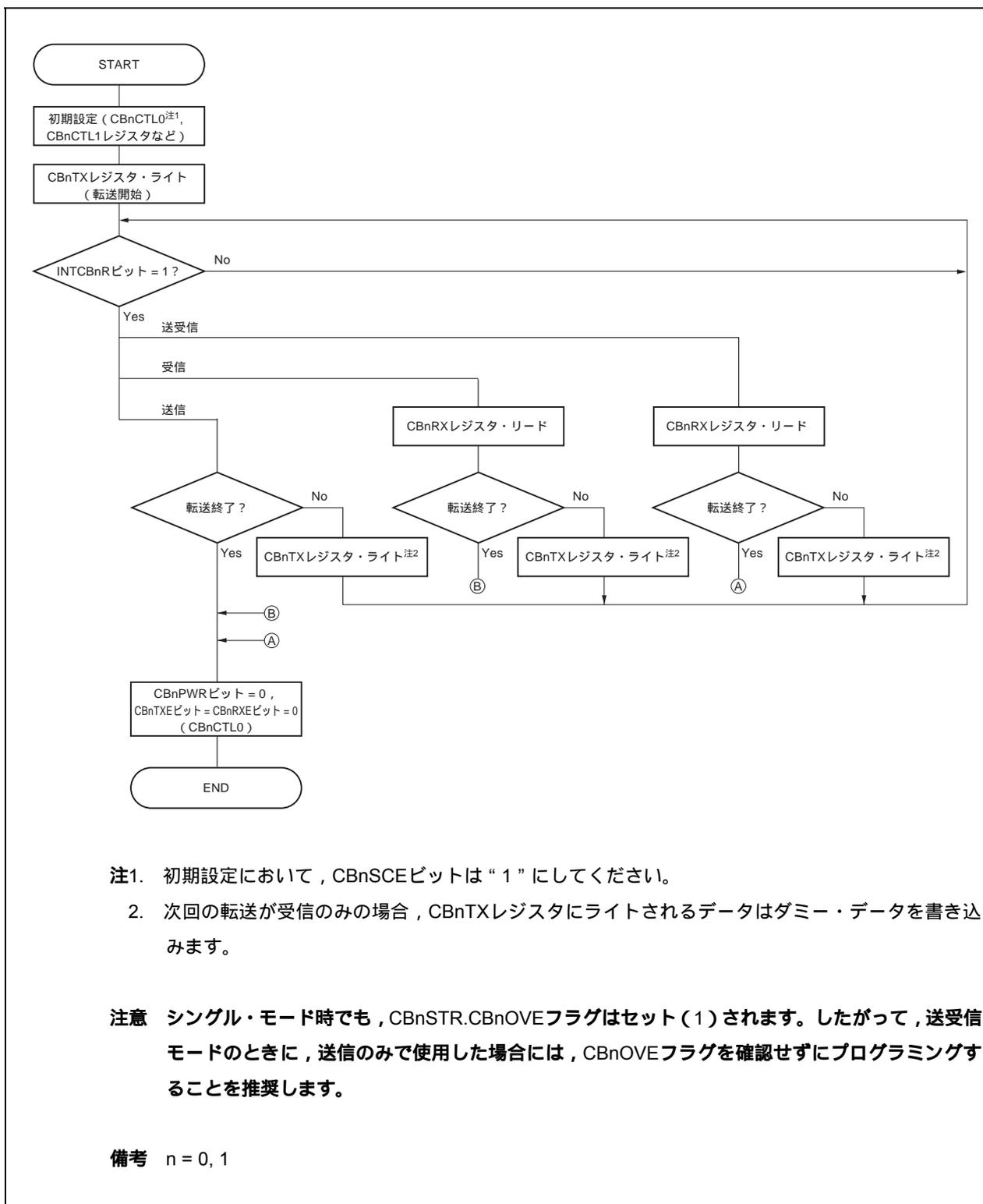


注 初期設定において、CBnSCEビットは“1”にしてください。

注意 シングル・モードでは、次の転送クロックがCBnRXレジスタのリードより早く入力された場合には、データを正常に受信できません。

備考 n = 0, 1

(3) シングル送受信



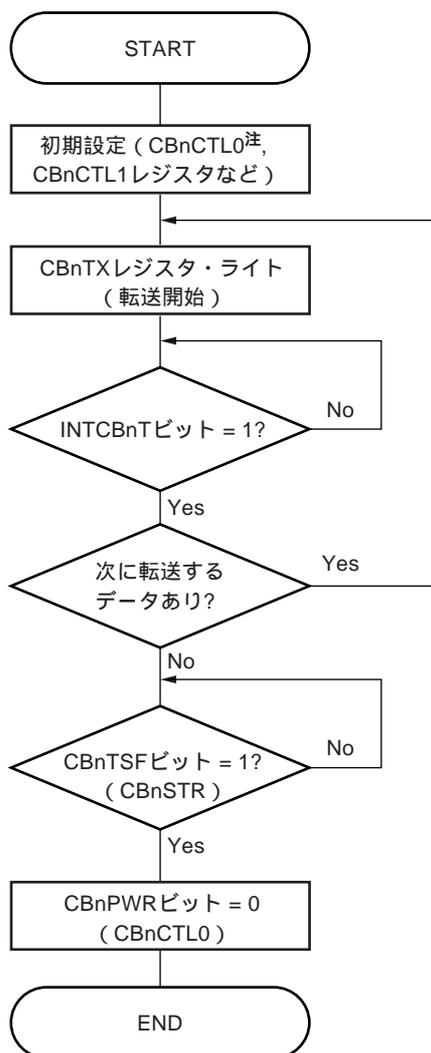
注1. 初期設定において、CBnSCEビットは“1”にしてください。

2. 次の転送が受信のみの場合、CBnTXレジスタにライトされるデータはダミー・データを書き込みます。

注意 シングル・モード時でも、CBnSTR.CBnOVEフラグはセット(1)されます。したがって、送受信モードのときに、送信のみで使用した場合には、CBnOVEフラグを確認せずにプログラミングすることを推奨します。

備考 n = 0, 1

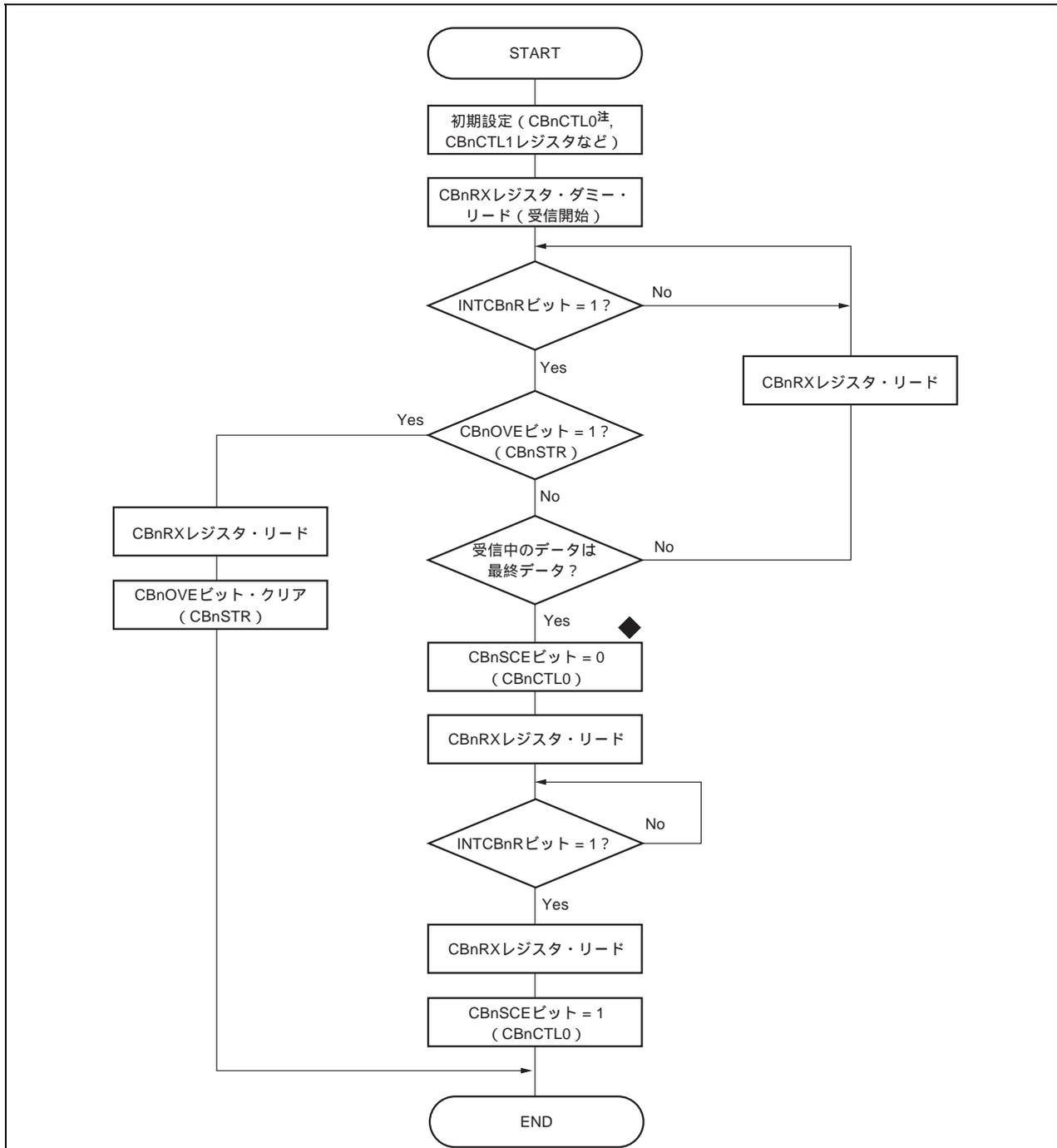
(4) 連続送信



注 初期設定において、CBnSCEビットは“1”にしてください。

備考 n = 0, 1

(5) 連続受信



注 初期設定において、CBnSCEビットは“1”にしてください。

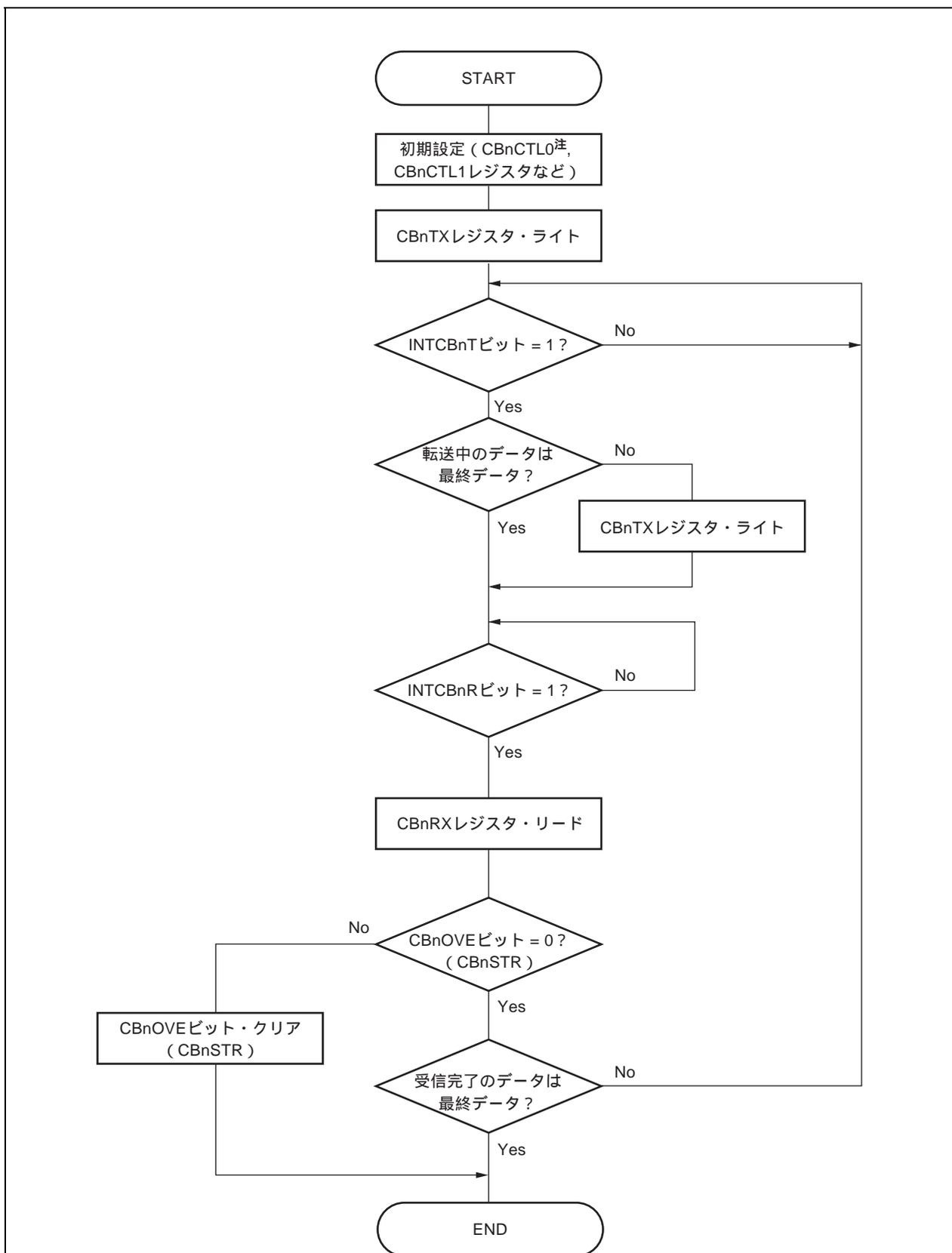
注意 マスタ・モードの場合、CBnRXレジスタのダミー・リードにより、クロックは無制限に出力します。停止させる場合には、フロー中の が付いているフローを実行してください。

スレーブ・モードの場合には、フロー中の が付いているフローを実行することにより、通信待機中のノイズによる誤動作などがなくなります。

また、通信を再開する場合には、CBnCTL0.CBnSCEビットを“1”にし、CBnRXレジスタのダミー・リードをしてから再開してください。

備考 n = 0, 1

(6) 連続送受信

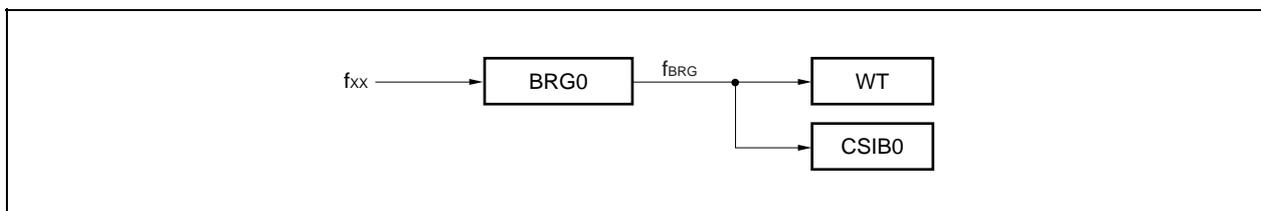


注 初期設定において、CBnSCEビットは“1”にしてください。

備考 n = 0, 1

14.9 ポー・レート・ジェネレータ

ポー・レート・ジェネレータBRG0はCSIB0と時計タイマ (WT) に接続されています。



(1) プリスケアラ・モード・レジスタ0 (PRSM0)

PRSM0レジスタは、CSIB0のポー・レート信号の生成を制御します。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	ポー・レート出力
0	禁止
1	許可

BGCS01	BGCS00	入力クロックの選択 (f _{BGCS})	設定値 (k)
0	0	f _{xx}	0
0	1	f _{xx} /2	1
1	0	f _{xx} /4	2
1	1	f _{xx} /8	3

注意1. 動作中に、PRSM0レジスタを書き換えないでください。

2. PRSM0レジスタの設定はBGCE0ビットに“1”を設定する前に行ってください。

(2) プリスケアラ・コンペア・レジスタ 0 (PRSCM0)

8ビットのコンペア・レジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

注意1. 動作中にPRSCM0レジスタを書き換えしないでください。

2. PRSM0.BGCE0ビットに“1”を設定する前にPRSCM0レジスタの設定を行ってください。

14.9.1 ボー・レートの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

$$f_{BRG} = \frac{f_x}{2^k \times N \times 2}$$

備考 f_{BRG} : BRGのカウント・クロック

f_x : メイン・クロックの発振周波数

k : PRSM0レジスタの設定値 (0 ≤ k ≤ 3)

N : PRSCM0レジスタ設定値 (1-FFH)

PRSCM0レジスタ設定値01H-FFH, 00Hの場合は, $N = 256$

第15章 I²Cバス

この機能を使用する場合は、P40/SDA00, P41/SCL00端子を兼用端子としてのN-chオープン・ドレイン出力に設定してください。

I²C00には、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL00) とシリアル・データ・バス (SDA00) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

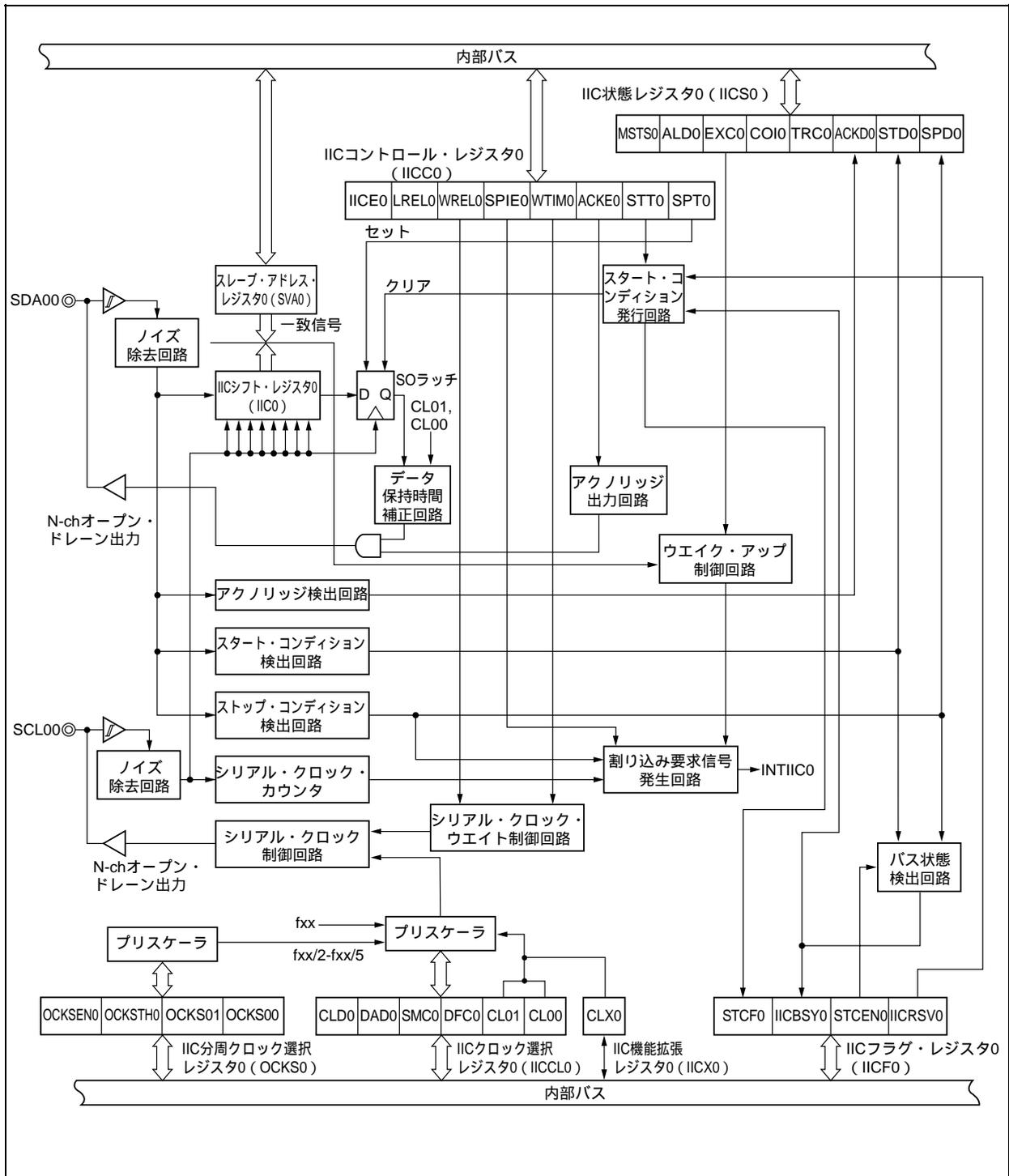
I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“データ”および“ストップ・コンディション”を出力できます。スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²C00では、SCL00とSDA00はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

15.1 構成

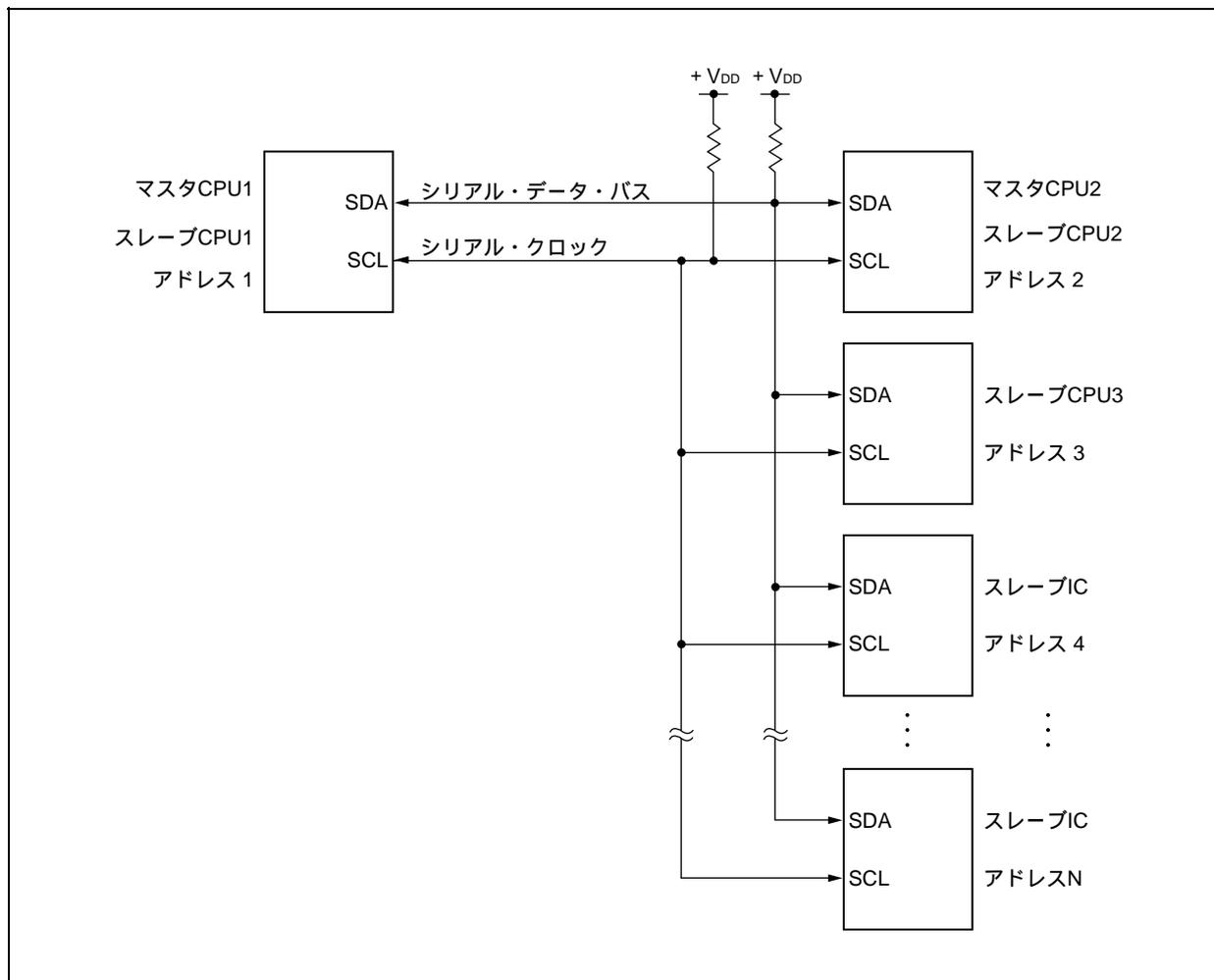
I²C00のブロック図を次に示します。

図15-1 I²C00のブロック図



次にシリアル・バス構成例を示します。

図15 - 2 I²Cバスによるシリアル・バス構成例



I²C00は、次のハードウェアで構成されています。

表15 - 1 I²C00の構成

項 目	構 成
レジスタ	IICシフト・レジスタ0 (IIC0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	IICコントロール・レジスタ0 (IICC0) IIC状態レジスタ0 (IICS0) IICフラグ・レジスタ0 (IICF0) IICクロック選択レジスタ0 (IICCL0) IIC機能拡張レジスタ0 (IICX0) IIC分周クロック選択レジスタ (OCKS0)

(1) IICシフト・レジスタ0 (IIC0)

IIC0レジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IIC0レジスタは送信および受信の両方に使用されます。

IIC0レジスタに対する書き込み / 読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタ0 (SVA0)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは、SDA00端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

SVA0レジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求を発生させる回路です。

(5) プリスケーラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIIC0) の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・ シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICC0.WTIM0ビットで設定)
- ・ ストップ・コンディション検出による割り込み発生 (IICC0.SPIE0ビットで設定)

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL00端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ出力回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各種制御信号の出力および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション発行回路

IICC0.STT0ビットがセットされるとスタート・コンディションを発行します。

ただし、通信予約禁止状態 (IICF0.IICRSV0ビット = 1) で、かつバスが解放されていない (IICF0.IICBSY0ビット = 1) 場合には、この要求は無視し、IICF0.STCF0ビットをセットします。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし、動作直後はバス状態を検出できないため、IICF0.STCEN0ビットにより、バス状態検出回路の初期状態を設定してください。

15.2 I²C制御レジスタ

I²C00は、次のレジスタで制御します。

- ・ IICコントロール・レジスタ0 (IICC0)
- ・ IIC状態レジスタ0 (IICS0)
- ・ IICフラグ・レジスタ0 (IICF0)
- ・ IICクロック選択レジスタ0 (IICCL0)
- ・ IIC機能拡張レジスタ0 (IICX0)
- ・ IIC分周クロック選択レジスタ (OCKS0)

また、次のレジスタも使用します。

- ・ IICシフト・レジスタ0 (IIC0)
- ・ スレーブ・アドレス・レジスタ0 (SVA0)

備考 兼用端子の設定は表4 - 16 **ポート端子を兼用端子として使用する場合を参照してください。**

(1) IICコントロール・レジスタ0 (IICC0)

I²C00の動作許可/停止、ウェイト・タイミングの設定、その他I²C動作の設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFFD82H

	⑦	⑥	⑤	④	③	②	①	①
IICCO	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² C00動作許可 / 禁止の指定	
0	動作停止。IICS0レジスタをリセット ^{注1} 。内部動作も停止。	
1	動作許可。	
クリアされる条件 (IICE0ビット = 0)		セットされる条件 (IICE0ビット = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

LRELO	通信退避	
0	通常動作。	
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL00, SDA00ラインはハイ・インピーダンス状態になる。 STT0, SPT0ビット, IICS0.MSTS0, EXC0, COI0, TRC0, ACKD0, STD0ビットがクリアされる。	
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信		
クリアされる条件 (LRELOビット = 0) ^{注2}		セットされる条件 (LRELOビット = 1)
・ 実行後、自動的にクリア ・ リセット時		・ 命令によるセット

WRELO	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。	
クリアされる条件 (WRELOビット = 0) ^{注2}		セットされる条件 (WRELOビット = 1)
・ 実行後、自動的にクリア ・ リセット時		・ 命令によるセット

SPIE0	ストップ・コンディション検出による割り込み要求発生への許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIE0ビット = 0) ^{注2}		セットされる条件 (SPIE0ビット = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

- ★ 注1. リセットされるのはIICS0レジスタ, IICF0.STCF0, IICBSY0ビット, IICCL0.CLD0, DAD0ビットです。
2. IICE0ビット = 0により、このフラグの信号を無効にします。

WTIM0	ウェイトおよび割り込み要求発生制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合：8クロック出力後，クロック出力をロウ・レベルにしたままウェイトスレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合：9クロック出力後，クロック出力をロウ・レベルにしたままウェイトスレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは，アクノリッジ発生後の9クロック目の立ち下がりでウェイトに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでウェイトに入ります。		
クリアされる条件 (WTIM0ビット = 0) 注		セットされる条件 (WTIM0ビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

ACKE0	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA00ラインをロウ・レベルにする。ただし，アドレス転送中でかつ拡張モードでない場合は無効。	
クリアされる条件 (ACKE0ビット = 0) 注		セットされる条件 (ACKE0ビット = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

注 IICE0ビット = 0により，このフラグの信号を無効にします。

STT0	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（ストップ状態）：</p> <p>スタート・コンディションを生成する（マスタとしての起動）。SDA00ラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCL00をロウ・レベルにする。</p> <p>第三者が通信中のとき：</p> <p>通信予約機能許可の場合（IICF0.IICRSV0ビット=0）</p> <ul style="list-style-type: none"> ・スタート・コンディション予約フラグとして機能。セットされると、バスが解放されたあと自動的にスタート・コンディションを生成する。 <p>通信予約機能禁止の場合（IICRSV0ビット=1）</p> <ul style="list-style-type: none"> ・IICF0.STCF0ビットがセットされる。スタート・コンディションは生成しない。 <p>ウエイト状態（マスタ時）：</p> <p>ウエイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKE0ビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット可能です。</p> <p>マスタ送信の場合：ACK0期間中は、正常にスタート・コンディションが生成されていないことがあります。ウエイト期間中にセットしてください。</p> <p>スレーブの場合：通信予約機能禁止（IICRSV0ビット=1）の場合でも、通信予約状態になってしまいます。</p> <ul style="list-style-type: none"> ・SPT0と同時にセットすることは禁止です。 	
クリアされる条件（STT0ビット=0） ^注	セットされる条件（STT0ビット=1）
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成後クリア ・LREL0ビット=1（通信退避）によるクリア ・IICE0ビット=0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

注 IICE0ビット = 0により、このフラグの信号を無効にします。

備考 STT0ビットは、データ設定後に読み出すと0になっています。

SPT0	ストップ・コンディション・トリガ				
1	ストップ・コンディションを生成しない。				
	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA00ラインをロウ・レベルにしたあと、SCL00ラインをハイ・レベルにするか、またはSCL00がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA00ラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
<p>セット・タイミングに関する注意</p> <p>マスタ受信の場合：転送中のセットは禁止です。ACKE0ビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット可能です。</p> <p>マスタ送信の場合：ACK0期間中は、正常にストップ・コンディションが生成されないことがあります。ウエイト期間中にセットしてください。</p> <p>・STT0ビットと同時にセットすることは禁止です。</p> <p>・SPT0ビットのセットは、マスタのときのみ行ってください。注1</p> <p>・WTIM0ビット = 0設定時に、8クロック出力後のウエイト期間中にSPT0ビットをセットすると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。</p> <p>・9クロック目を出力する必要がある場合には、8クロック出力後のウエイト期間中にWTIM0ビット = 0 1に設定し、9クロック目出力後のウエイト期間中にSPT0ビットをセットしてください。</p>					
<table border="1"> <thead> <tr> <th>クリアされる条件 (SPT0ビット = 0) 注2</th> <th>セットされる条件 (SPT0ビット = 1)</th> </tr> </thead> <tbody> <tr> <td> <ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 0 (動作停止) のとき ・リセット時 </td> <td> <ul style="list-style-type: none"> ・命令によるセット </td> </tr> </tbody> </table>		クリアされる条件 (SPT0ビット = 0) 注2	セットされる条件 (SPT0ビット = 1)	<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット
クリアされる条件 (SPT0ビット = 0) 注2	セットされる条件 (SPT0ビット = 1)				
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット 				

注1. SPT0ビットのセットは、マスタのときのみ行ってください。ただし、IICRSV0ビットが0の場合、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPT0ビットをセットしてストップ・コンディションを生成する必要があります。詳細は、15.13 注意事項を参照してください。

★

2. IICE0ビット = 0により、このフラグの信号を無効にします。

注意 TRC0ビット = 1のとき、9クロック目にWREL0ビットをセットしてウエイト解除すると、TRC0ビットをクリアしてSDA00ラインをハイ・インピーダンスにします。

備考 SPT0ビットは、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0 (IICS0)

I²C00のステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

★ **注意** サブクロック動作時、かつメイン・クロック停止時のIICS0レジスタへのアクセスは禁止です。
 詳細は3.4.8(2)を参照してください。

(1/3)

リセット時：00H R アドレス：FFFFFFD86H

	⑦	⑥	⑤	④	③	②	①	①
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS0ビット = 0)		セットされる条件 (MSTS0ビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD0ビット = 1 (アービトレーション負け) のとき ・IICC0.LREL0ビット = 1 (通信退避) によるクリア ・IICC0.IICE0ビット = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALD0	アービトレーション負け検出	
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0ビットがクリアされる。	
クリアされる条件 (ALD0ビット = 0)		セットされる条件 (ALD0ビット = 1)
<ul style="list-style-type: none"> ・IICS0レジスタ読み出し後、自動的にクリア^注 ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信。	
クリアされる条件 (EXC0ビット = 0)		セットされる条件 (EXC0ビット = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 		受信したアドレス・データの上位4ビットが“0000” または“1111”のとき(8クロック目の立ち上がり でセット)

注 IICS0レジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

COI0		アドレス一致検出	
0		アドレスが一致していない。	
1		アドレスが一致している。	
クリアされる条件 (COI0ビット = 0)		セットされる条件 (COI0ビット = 1)	
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット入力時 		受信アドレスが自局アドレス (SVA0レジスタ) と一致したとき (8クロック目の立ち上がりでセット)	

TRC0		送信 / 受信状態検出	
0		受信状態 (送信状態以外)。SDA00ラインをハイ・インピーダンスにする。	
1		送信状態。SDA00ラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
クリアされる条件 (TRC0ビット = 0)		セットされる条件 (TRC0ビット = 1)	
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・IICC0.WREL0ビット = 1によるクリア^注 ・ALD0ビット = 0 1 (アービトレーション負け) のとき ・リセット時 マスタの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 <ul style="list-style-type: none"> ・スタート・コンディション検出時 通信不参加の場合		マスタの場合 <ul style="list-style-type: none"> ・スタート・コンディション生成時 スレーブの場合 <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき 	

ACKD0		アクリッジ検出	
0		アクリッジを検出していない。	
1		アクリッジを検出。	
クリアされる条件 (ACKD0ビット = 0)		セットされる条件 (ACKD0ビット = 1)	
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 		SCL00の9クロック目の立ち上がり時にSDA00ラインがロウ・レベルであったとき	

注 TRC0ビット = 1のとき、9クロック目にWREL0ビットをセットしてウエイトを解除すると、TRC0ビットをクリアしてSDA00ラインをハイ・インピーダンスにします。

スタート・コンディション検出	
STD0	
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出。アドレス転送期間であることを示す。
クリアされる条件 (STD0ビット = 0)	
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0ビット = 1 (通信退避) によるクリア ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	
セットされる条件 (STD0ビット = 1)	
<ul style="list-style-type: none"> ・スタート・コンディション検出時 	

ストップ・コンディション検出	
SPD0	
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。
クリアされる条件 (SPD0ビット = 0)	
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE0ビット = 1 0 (動作停止) のとき ・リセット時 	
セットされる条件 (SPD0ビット = 1)	
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 	

(3) IICフラグ・レジスタ0 (IICF0)

I²C00の動作モードの設定と、I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、STCF0, IICBSY0ビットはリードのみ可能です。

IICRSV0ビットにより通信予約機能の禁止/許可を設定します (15.12 通信予約参照)。

また、STCEN0ビットにより、IICBSY0ビットの初期値を設定します (15.13 注意事項参照)。

IICRSV0ビットとSTCEN0ビットは、I²C00が動作禁止 (IICC0.IICE0ビット = 0) のときのみ書き込み可能です。動作許可後、IICF0レジスタは読み出し可能となります。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W^注 アドレス : FFFFFFFD8AH

	⑦	⑥	5	4	3	2	①	①
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	STT0ビット・クリア
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTT0ビット・クリア
クリアされる条件 (STCF0ビット = 0)	
<ul style="list-style-type: none"> ・ IICC0.STT0ビット = 1によるクリア ・ リセット時 	
セットされる条件 (STCF0ビット = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSV0ビット = 1) 設定時にスタート・コンディション発行できず、STT0フラグ・クリアされたとき 	

IICBSY0	I ² C00バス状態
0	バス解放状態
1	バス通信状態
クリアされる条件 (IICBSY0ビット = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ リセット時 	
セットされる条件 (IICBSY0ビット = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCEN0ビット = 0のときIICC0.IICE0のセット 	

注 ビット6, 7はリード・オンリーです。

STCEN0	初期スタート許可トリガ	
0	動作許可 (IICE0ビット = 1) 後, ストップ・コンディションを検出するまで, スタート・コンディションを生成できない。	
1	動作許可 (IICE0ビット = 1) 後, ストップ・コンディションを検出しなくても, スタート・コンディションを生成できる。	
クリアされる条件 (STCEN0ビット = 0)		セットされる条件 (STCEN0ビット = 1)
・スタート・コンディション検出時 ・リセット時		・命令によるセット

IICRSV0	通信予約機能禁止ビット	
0	通信予約許可	
1	通信予約禁止	
クリアされる条件 (IICRSV0ビット = 0)		セットされる条件 (IICRSV0ビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

- 注意1.** STCEN0ビットへの書き込みは動作停止 (IICE0ビット = 0) 時のみ行ってください。
2. STCEN0ビット = 1とした場合, I²C動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSY0ビット = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STT0ビット = 1)する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。
3. IICRSV0ビットへの書き込みは動作停止 (IICE0ビット = 0) 時のみ行ってください。

(4) IICクロック選択レジスタ0 (IICCL0)

I²C00の転送クロックを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。ただし、CLD0, DAD0ビットはリードのみ可能です。SMC0, CL01, CL00ビットの設定は、IICX0.CLX0ビットと、OCKS0.OCKSTH0, OCKS01, OCKS00ビットと組み合わせて設定します(15.2(6) I²C00の転送クロックの設定方法参照)。

リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：FFFFFFD84H

	7	6	⑤	④	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00

CLD0	SCL00ラインのレベル検出 (IIC0.IICE0ビット = 1のときのみ有効)	
0	SCL00ラインがロウ・レベルであることを検出	
1	SCL00ラインがハイ・レベルであることを検出	
クリアされる条件 (CLD0ビット = 0)		セットされる条件 (CLD0ビット = 1)
<ul style="list-style-type: none"> ・ SCL00ラインがロウ・レベルのとき ・ IICE0ビット = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCL00ラインがハイ・レベルのとき

DAD0	SDA00ラインのレベル検出 (IICE0ビット = 1のときのみ有効)	
0	SDA00ラインがロウ・レベルであることを検出	
1	SDA00ラインがハイ・レベルであることを検出	
クリアされる条件 (DAD0ビット = 0)		セットされる条件 (DAD0ビット = 1)
<ul style="list-style-type: none"> ・ SDA00ラインがロウ・レベルのとき ・ IICE0ビット = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDA00ラインがハイ・レベルのとき

SMC0	動作モードの切り替え	
0	標準モードで動作	
1	高速モードで動作	

DFC0	デジタル・フィルタの動作制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、高速モード時にのみ使用できます。 高速モード時はDFC0ビットのオン/オフにより、転送クロックが変化することはありません。 デジタル・フィルタは、高速モード時にノイズ除去のために使用します。		

注 ビット4, 5はリード・オンリーです。

注意 ビット7, 6には必ず“0”を設定してください。

(5) IIC機能拡張レジスタ0 (IICX0)

I²C00の機能拡張を設定するレジスタです (高速モード時のみ有効)。

8/1ビット単位でリード/ライト可能です。

CLX0ビットは、IICCL0.SMC0, CL01, CL00ビットおよびOCKS0.OCKSTH0, OCKS01, OCKS00ビットと組み合わせて設定します (15.2 (6) I²C00の転送クロックの設定方法参照)。

リセットにより00Hになります。

リセット時 : 00H								R/W	アドレス : FFFFFFFD85H								
	7	6	5	4	3	2	1	①									
IICX0	0	0	0	0	0	0	0	0	CLX0								

(6) I²C00の転送クロックの設定方法

I²C00の転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 12, 24, 36, 48, 60, 72, 86, 88, 96, 132, 172, 176, 220, 258, 344 (表15 - 2 選択クロックの設定参照)

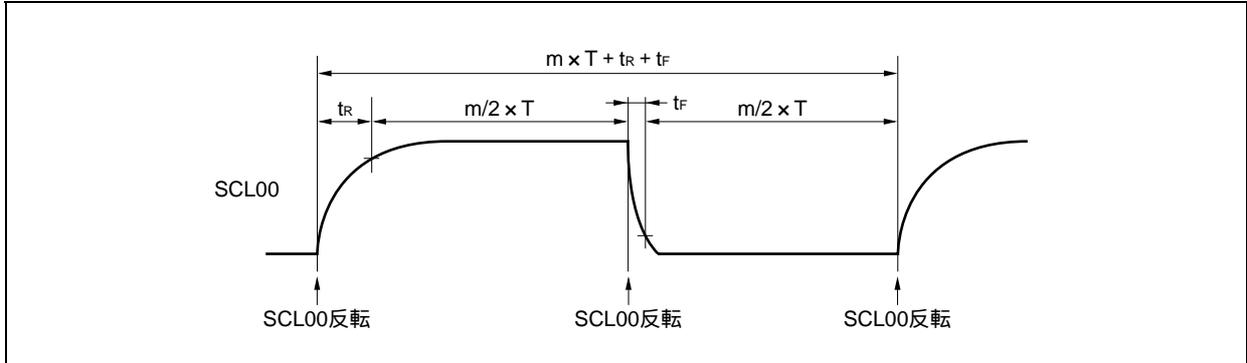
T : 1/f_{xx}

t_R : SCL00立ち上がり時間

t_F : SCL00立ち下がり時間

たとえば, $f_{xx} = 20 \text{ MHz}$, $m = 220$, $t_r = 200 \text{ ns}$, $t_f = 50 \text{ ns}$ の場合のI²C00の転送クロック周波数(f_{SCL})は, 次の計算式により求められます。

$$f_{SCL} = 1 / (220 \times 50 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) = 88.9 \text{ kHz}$$



選択クロックは, IICCL0.SMC0, CL01, CL00ビット, IICX0.CLX0ビット, OCKS0.OCKSTH0, OCKS01, OCKS00ビットを組み合わせで設定します。

表15 - 2 選択クロックの設定

IICX0 ビット0	IICCL0			選択クロック	転送クロック	設定可能なメイン・クロック 周波数 (f_{xx}) の範囲	動作モード
	ビット3 CLX0	ビット1 SMC0	ビット0 CL01 CL00				
0	0	0	0	$f_{xx}/2$ (OCKS0 = 10H設定時)	$f_{xx}/88$	4.00 MHz f_{xx} 8.38 MHz	標準モード (SMC0 = 0)
				$f_{xx}/3$ (OCKS0 = 11H設定時)	$f_{xx}/132$	6.00 MHz f_{xx} 12.57 MHz	
				$f_{xx}/4$ (OCKS0 = 12H設定時)	$f_{xx}/176$	8.00 MHz f_{xx} 16.76 MHz	
				$f_{xx}/5$ (OCKS0 = 13H設定時)	$f_{xx}/220$	10.00 MHz f_{xx} 20.00 MHz	
0	0	0	1	$f_{xx}/2$ (OCKS0 = 10H設定時)	$f_{xx}/172$	8.38 MHz f_{xx} 16.76 MHz	高速モード (SMC0 = 1)
				$f_{xx}/3$ (OCKS0 = 11H設定時)	$f_{xx}/258$	12.57 MHz f_{xx} 20.00 MHz	
				$f_{xx}/4$ (OCKS0 = 12H設定時)	$f_{xx}/344$	16.76 MHz f_{xx} 20.00 MHz	
0	0	1	0	f_{xx} ^注	$f_{xx}/86$	4.19 MHz f_{xx} 8.38 MHz	
0	1	0	X	$f_{xx}/2$ (OCKS0 = 10H設定時)	$f_{xx}/48$	8.00 MHz f_{xx} 16.76 MHz	高速モード (SMC0 = 1)
				$f_{xx}/3$ (OCKS0 = 11H設定時)	$f_{xx}/72$	12.00 MHz f_{xx} 20.00 MHz	
				$f_{xx}/4$ (OCKS0 = 12H設定時)	$f_{xx}/96$	16.00 MHz f_{xx} 20.00 MHz	
0	1	1	0	f_{xx} ^注	$f_{xx}/24$	4.00 MHz f_{xx} 8.38 MHz	
1	1	0	X	$f_{xx}/2$ (OCKS0 = 10H設定時)	$f_{xx}/24$	8.00 MHz f_{xx} 8.38 MHz	高速モード (SMC0 = 1)
				$f_{xx}/3$ (OCKS0 = 11H設定時)	$f_{xx}/36$	12.00 MHz f_{xx} 12.57 MHz	
				$f_{xx}/4$ (OCKS0 = 12H設定時)	$f_{xx}/48$	16.00 MHz f_{xx} 16.67 MHz	
				$f_{xx}/5$ (OCKS0 = 13H設定時)	$f_{xx}/60$	20.00 MHz	
1	1	1	0	f_{xx} ^注	$f_{xx}/12$	4.00 MHz f_{xx} 4.19 MHz	
上記以外				設定禁止	-	-	-

注 OCKS0レジスタの設定値によらず f_{xx} になるので, OCKS0レジスタ = 00H (OPSは停止状態) を設定する。

★ (7) IIC分周クロック選択レジスタ0 (OCKS0)

I²C00の転送クロックを制御するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF340H

	7	6	5	4	3	2	1	0
OCKS0	0	0	0	OCKSEN0	OCKSTH0	0	OCKS01	OCKS00

OCKSEN0	I ² C分周クロック動作指定
0	I ² C分周クロック動作停止
1	I ² C分周クロック動作許可

OCKSTH0	OCKS01	OCKS00	選択されるクロック
0	0	0	f _{xx} /2
0	0	1	f _{xx} /3
0	1	0	f _{xx} /4
0	1	1	f _{xx} /5
1	0	0	f _{xx}
その他			設定禁止

(8) IICシフト・レジスタ0 (IIC0)

このレジスタは、シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。

8ビット単位でリード/ライト可能ですが、データ転送中にIIC0へデータを書き込まないでください。

ウェイト期間中のIIC0レジスタへの書き込みにより、ウェイト解除しデータ転送を開始します。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFFD80H

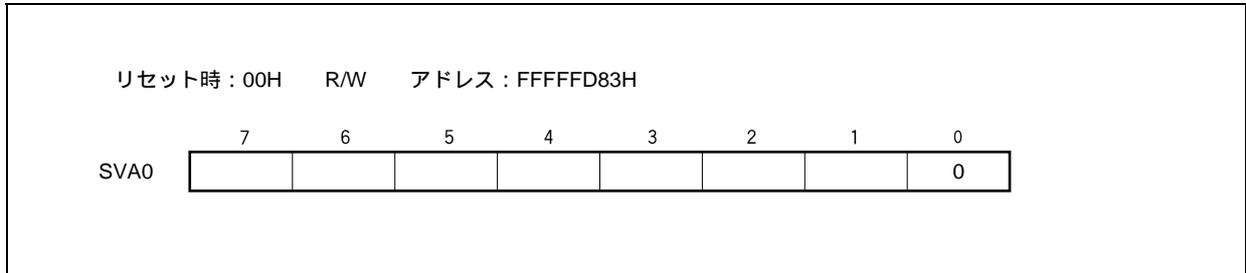
	7	6	5	4	3	2	1	0
IIC0								

(9) スレーブ・アドレス・レジスタ0 (SVA0)

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。

8ビット単位でリ - ド / ライト可能ですが、ビット0は0に固定されています。

リセットにより00Hになります。



15.3 I²Cバス・モードの機能

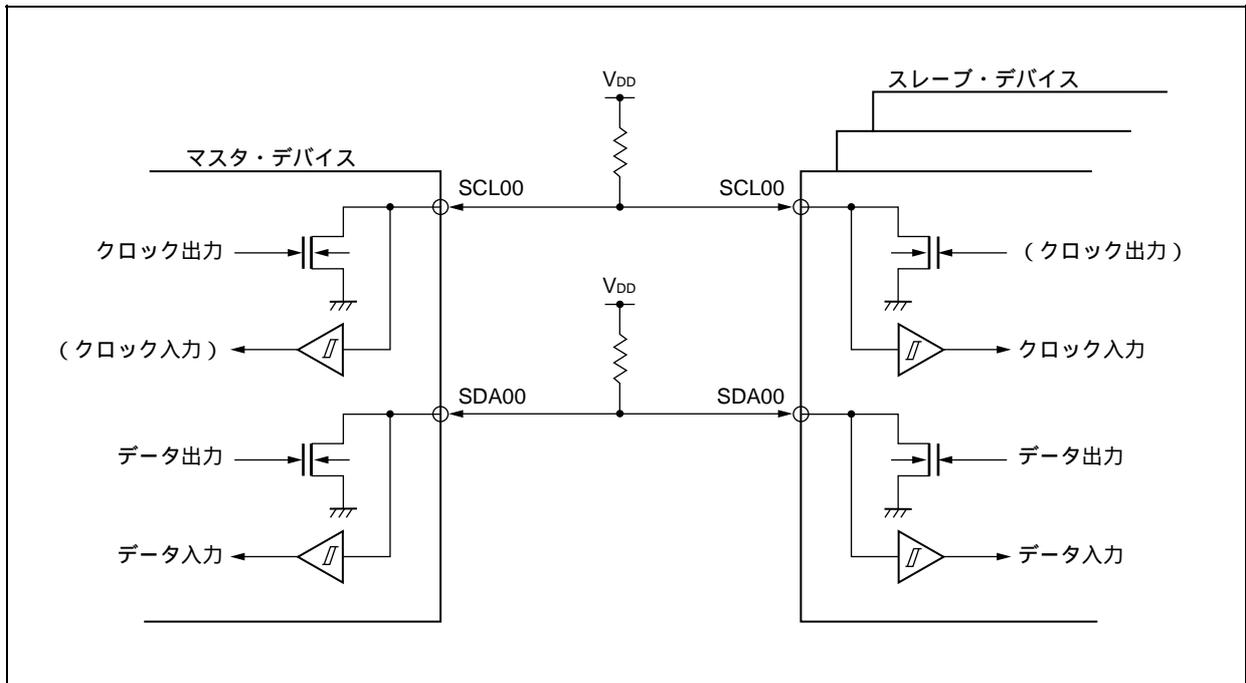
15.3.1 端子構成

シリアル・クロック端子 (SCL00) と、シリアル・データ・バス端子 (SDA00) の構成は、次のようになっています。

- SCL00 ... シリアル・クロックを入出力するための端子。
 マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は, シュミット入力。
- SDA00 ... シリアル・データの入出力兼用端子。
 マスタ, スレーブともに出力はN-chオープン・ドレイン。入力は, シュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図15-3 端子構成図

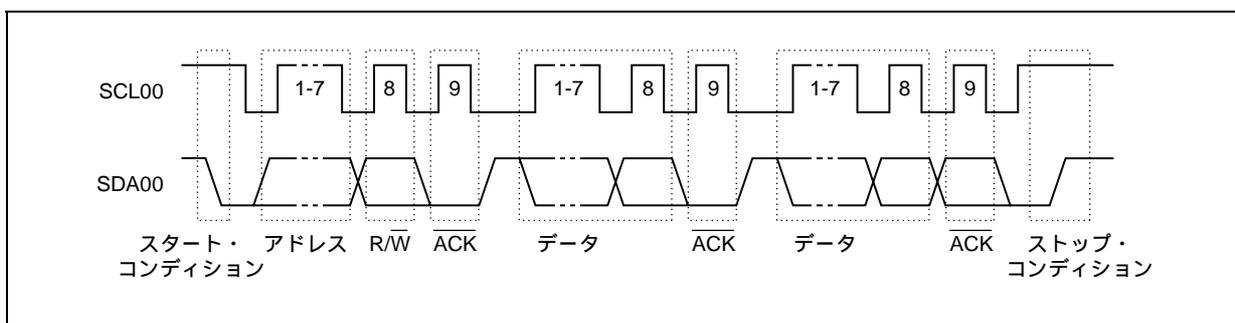


15.4 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力されている“スタート・コンディション”，“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図15-4 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが出力します。

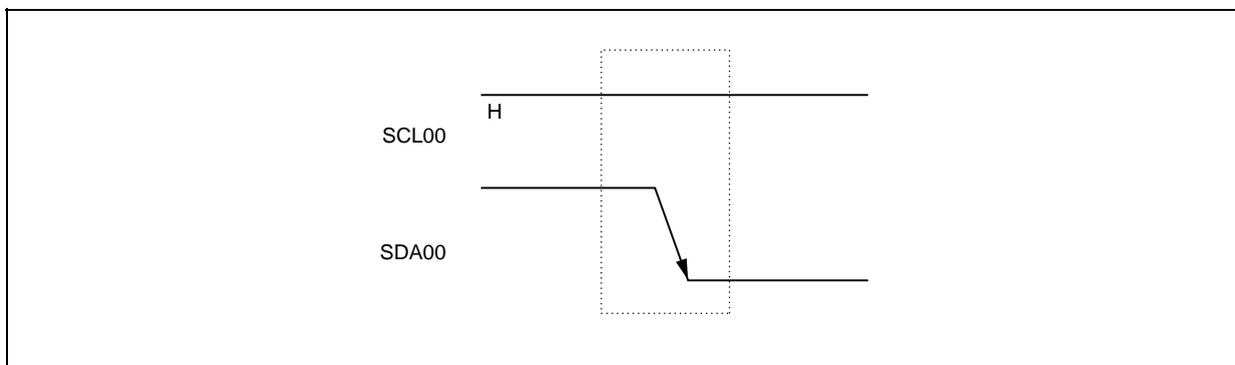
アクノリッジ信号（ $\overline{\text{ACK}}$ ）は，マスタ，スレーブのどちらでも出力できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCL00）は，マスタが出力し続けます。ただし，スレーブはSCL00のロウ・レベル期間を延長し，ウエイトを挿入できます。

15.4.1 スタート・コンディション

SCL00端子がハイ・レベルのときに，SDA00端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL00端子，SDA00端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図15-5 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（IICS0.SPD0ビット = 1）のときに IICC0.STT0ビットをセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICS0.STD0ビットがセット（1）されます。

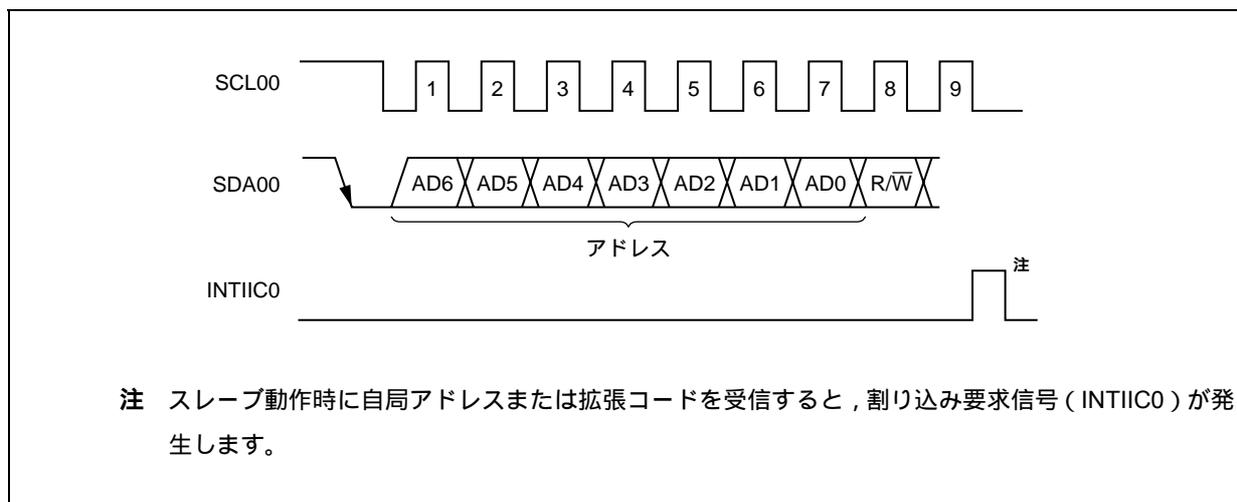
15.4.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVA0レジスタと一致しているかを調べます。このとき、7ビット・データとSVA0レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図15-6 アドレス



アドレスは、スレーブのアドレスと15.4.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIIC0レジスタに書き込むと出力します。また、受信したアドレスはIIC0レジスタに書き込まれます。

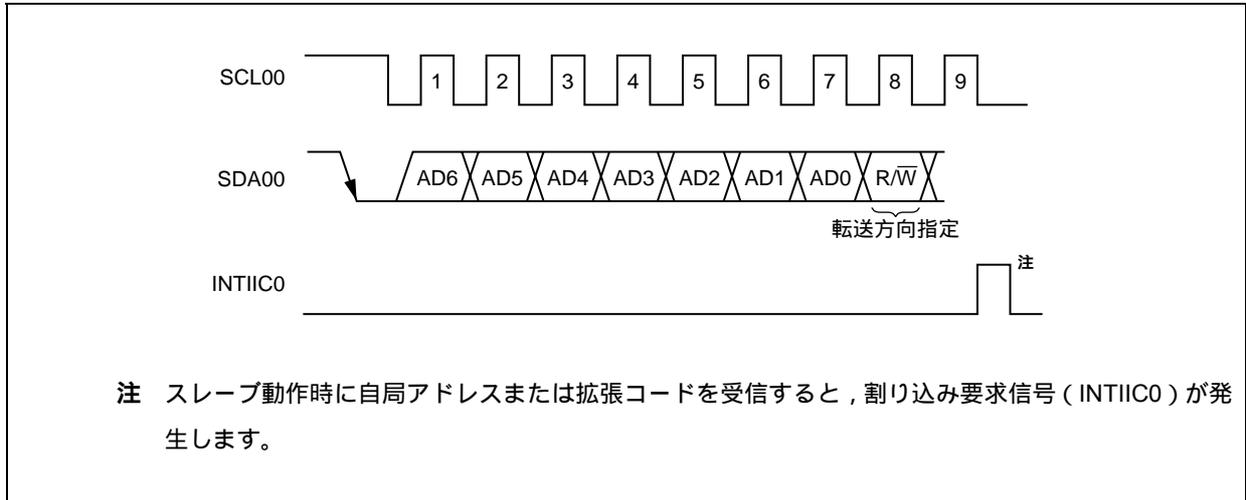
なお、スレーブのアドレスは、IIC0レジスタの上7ビットに割り当てられます。

15.4.3 転送方向指定

マスタは、7ビットのアドレスに続いて転送方向を指定するため、1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図15 - 7 転送方向指定



15.4.4 アクノリッジ信号 ($\overline{\text{ACK}}$)

アクノリッジ信号 ($\overline{\text{ACK}}$) は送信側と受信側におけるシリアル・データ受信を確認するための信号です。

受信側は、8ビット・データを受信することに $\overline{\text{ACK}}$ 信号を返します。送信側は通常、8ビット・データ送信後、 $\overline{\text{ACK}}$ 信号を受信します。ただし、マスタが受信の場合、最終データを受信したときは $\overline{\text{ACK}}$ 信号を出力しません。送信側は、8ビット送信後、受信側から $\overline{\text{ACK}}$ 信号が返されたか検出を行います。 $\overline{\text{ACK}}$ 信号が返されたとき、受信が正しく行われたものとして処理を続けます。また、スレーブから $\overline{\text{ACK}}$ 信号が返らないとき、マスタは、ストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。 $\overline{\text{ACK}}$ 信号が返らない場合、次の2つの要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

受信側が9クロック目にSDA00ラインをロウ・レベルにすると、 $\overline{\text{ACK}}$ 信号がアクティブになります(正常受信返答)。

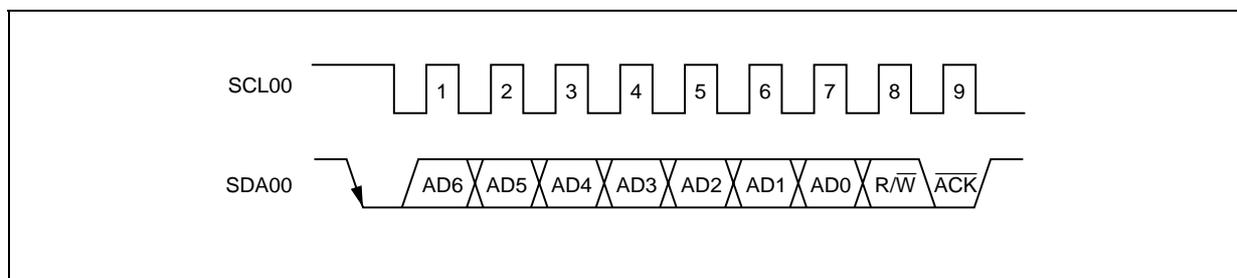
IICC0.ACKE0ビット = 1で $\overline{\text{ACK}}$ 信号自動発生許可状態になります。

7ビットのアドレス情報に続く8ビット目のデータによりIICS0.TRC0ビットが設定されます。TRC0ビットの値が“0”の場合は受信状態なので、ACKE0ビット = 1にしてください。

スレーブ受信動作時 (TRC0ビット = 0)、スレーブ側が複数バイトを受信し、次のデータを必要としない場合は、ACKE0ビット = 0にすると、マスタ側が次の転送を開始しないようになります。

同様に、マスタ受信動作時 (TRC0ビット = 0) も次のデータを必要とせず、リスタート・コンディションまたはストップ・コンディションを出力したい場合、 $\overline{\text{ACK}}$ 信号を発生しないようにACKE0ビット = 0にしてください。これは、スレーブ送信動作時に、SDA00ラインにデータのMSBデータを出力しないようにするためです(送信停止)。

図15 - 8 $\overline{\text{ACK}}$ 信号



自局アドレス受信時は、ACKE0ビットの値にかかわらずSCL00の8クロック目の立ち下がりに同期して $\overline{\text{ACK}}$ 信号を自動出力し、自局アドレス以外の受信時は $\overline{\text{ACK}}$ 信号を出力しません。

データ受信時の $\overline{\text{ACK}}$ 信号の出力方法はウェイト・タイミングの設定により次のようになります。

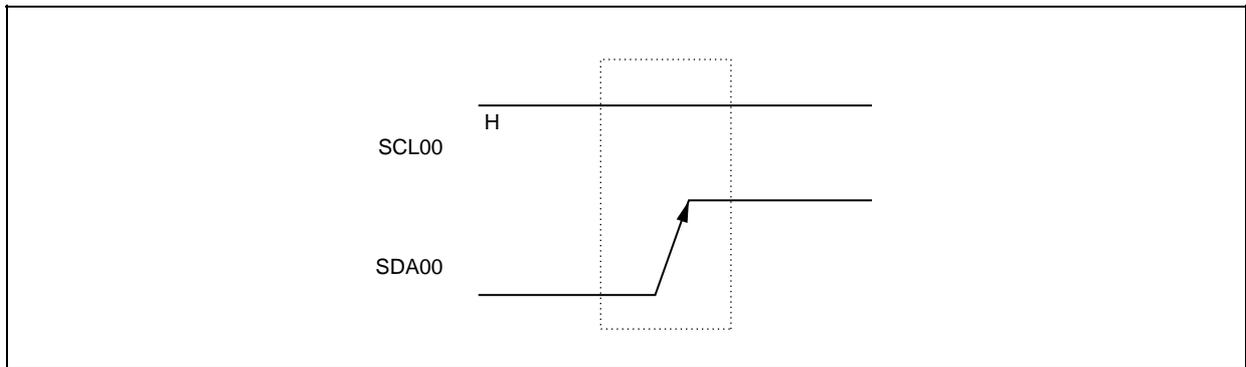
- ・8クロック・ウェイト選択時：ウェイト解除を行う前にACKE0ビット = 1とすることでSCL00の8ク (IICC0.WTIM0ビット = 0) ロック目の立ち下がりに同期して $\overline{\text{ACK}}$ 信号を出力します。
- ・9クロック・ウェイト選択時：あらかじめACKE0ビット = 1とすることでSCL00の8クロック目の立 (WTIM0ビット = 1) ち下がりに同期して $\overline{\text{ACK}}$ 信号を自動出力します。

15.4.5 ストップ・コンディション

SCL00端子がハイ・レベルのときに、SDA00端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに出力する信号です。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図15-9 ストップ・コンディション



ストップ・コンディションは、IICC0.SPT0ビットをセット(1)すると発生します。また、ストップ・コンディションを検出するとIICS0.SPD0ビットがセット(1)され、IICC0.SPIE0ビットがセット(1)されている場合にはINTIIC0信号が発生します。

15.4.6 ウェイト信号 (WAIT)

ウェイト信号 (WAIT) は、マスタまたはスレーブがデータの送受信が準備中 (ウェイト状態) であることを相手に知らせるための信号です。

SCL00端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図15 - 10 ウェイト信号 (1/2)

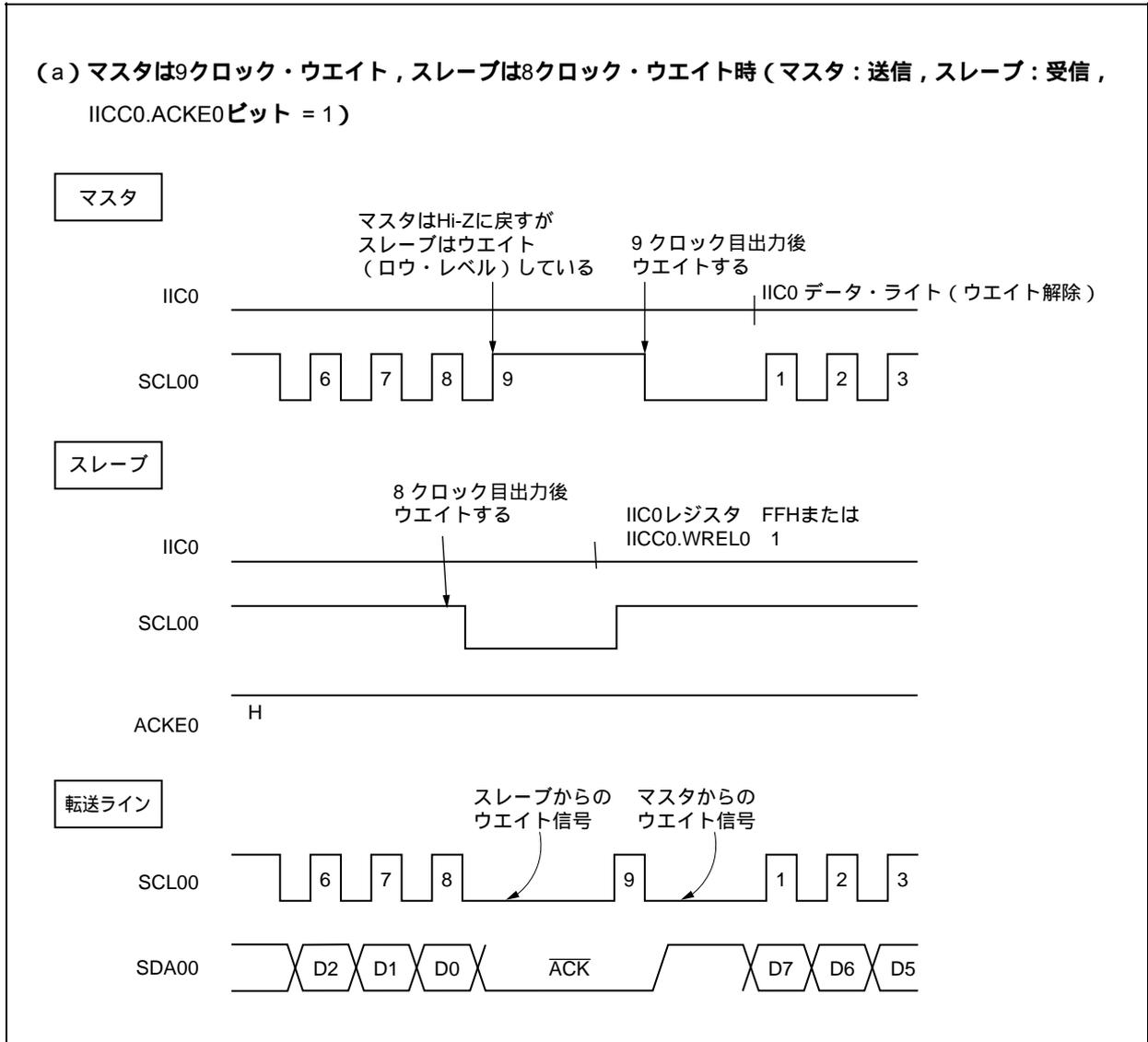
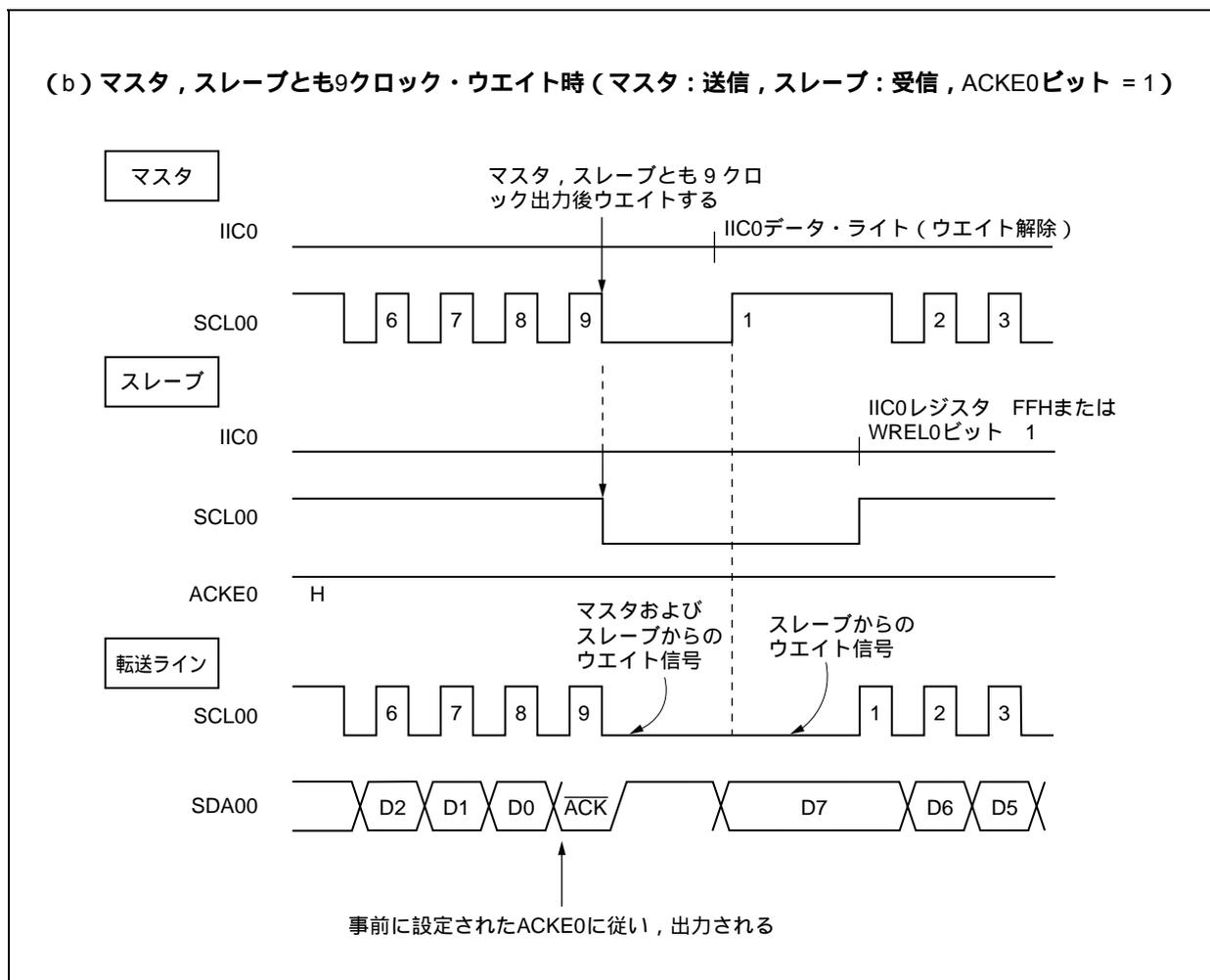


図15 - 10 ウェイト信号 (2/2)



ウェイトは、IICC0.WTIM0ビットの設定により自動的に発生します。

通常、受信側はWRELOビット = 1またはIIC0レジスタ FFHライトにするとウェイトを解除し、送信側はIIC0レジスタにデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ IICC0.STT0ビット = 1
- ・ IICC0.SPT0ビット = 1

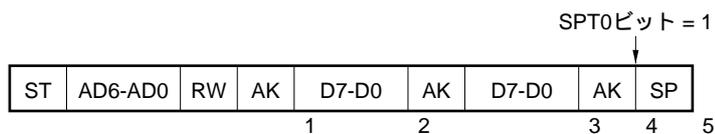
15.5 I²C割り込み要求信号 (INTIIC0)

次に、INTIIC0割り込み要求信号発生タイミングと、INTIIC0割り込みタイミングでのIICS0レジスタの値を示します。

15.5.1 マスタ動作

(1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

WTIM0ビット = 0のとき



1 : IICS0レジスタ = 10XXX110B

2 : IICS0レジスタ = 10XXX000B

3 : IICS0レジスタ = 10XXX000B (WTIM0ビット = 1)

4 : IICS0レジスタ = 10XXXX00B

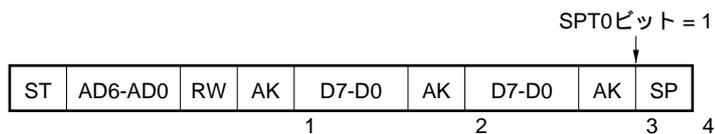
5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 10XXX110B

2 : IICS0レジスタ = 10XXX100B

3 : IICS0レジスタ = 10XXXX00B

4 : IICS0レジスタ = 00000001B

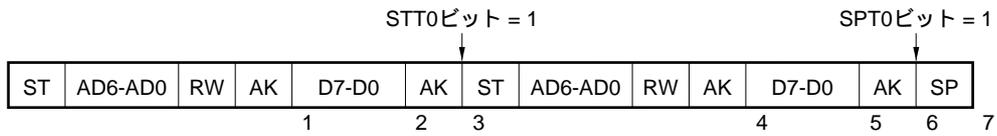
備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

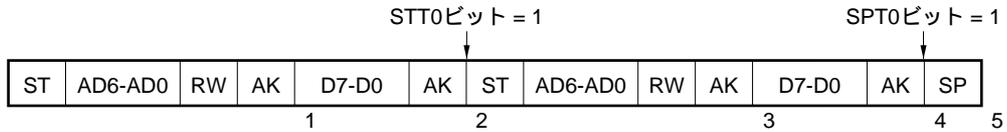
WTIM0ビット = 0のとき



- 1 : IICS0レジスタ = 10XXX110B
- 2 : IICS0レジスタ = 10XXX000B (WTIM0ビット = 1)
- 3 : IICS0レジスタ = 10XXXX00B (WTIM0ビット = 0)
- 4 : IICS0レジスタ = 10XXX110B (WTIM0ビット = 0)
- 5 : IICS0レジスタ = 10XXX000B (WTIM0ビット = 1)
- 6 : IICS0レジスタ = 10XXXX00B
- 7 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき

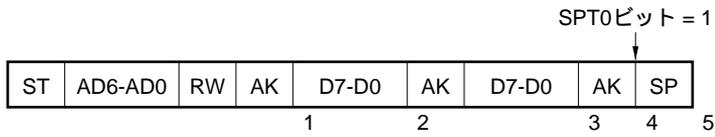


- 1 : IICS0レジスタ = 10XXX110B
- 2 : IICS0レジスタ = 10XXXX00B
- 3 : IICS0レジスタ = 10XXX110B
- 4 : IICS0レジスタ = 10XXXX00B
- 5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

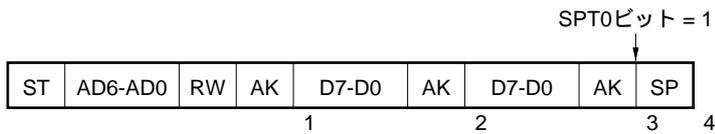
WTIM0ビット = 0のとき



- 1 : IICs0レジスタ = 1010X110B
- 2 : IICs0レジスタ = 1010X000B
- 3 : IICs0レジスタ = 1010X000B (WTIM0ビット = 1)
- 4 : IICs0レジスタ = 1010XX00B
- 5 : IICs0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき



- 1 : IICs0レジスタ = 1010X110B
- 2 : IICs0レジスタ = 1010X100B
- 3 : IICs0レジスタ = 1010XX00B
- 4 : IICs0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

15.5.2 スレーブ動作 (スレーブ・アドレス・データ受信時 (SVA0一致))

(1) Start ~ Address ~ Data ~ Data ~ Stop

WTIM0ビット = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X100B

3 : IICS0レジスタ = 0001XX00B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001X000B

5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001XX00B

5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X000B

5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3	4	5

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 0010X010B

4 : IICS0レジスタ = 0010X110B

5 : IICS0レジスタ = 0010XX00B

6 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 00000X10B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1	2					3		4

1 : IICS0レジスタ = 0001X110B

2 : IICS0レジスタ = 0001XX00B

3 : IICS0レジスタ = 00000X10B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

15.5.3 スレーブ動作（拡張コード受信時）

(1) Start ~ Code ~ Data ~ Data ~ Stop

WTIM0ビット = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP	
			1	2		3		4	5

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010X100B

4 : IICS0レジスタ = 0010XX00B

5 : IICS0レジスタ = 00000001B

備考 必ず発生

SPIE0ビット = 1のときだけ発生

X 任意

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3	4	5

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0001X110B

4 : IICS0レジスタ = 0001X000B

5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, SVA0一致)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5 6

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 0001X110B

5 : IICS0レジスタ = 0001XX00B

6 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2				3		4	5

- 1 : IICS0レジスタ = 0010X010B
- 2 : IICS0レジスタ = 0010X000B
- 3 : IICS0レジスタ = 0010X010B
- 4 : IICS0レジスタ = 0010X000B
- 5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP	
			1	2		3			4	5		6	7

- 1 : IICS0レジスタ = 0010X010B
- 2 : IICS0レジスタ = 0010X110B
- 3 : IICS0レジスタ = 0010XX00B
- 4 : IICS0レジスタ = 0010X010B
- 5 : IICS0レジスタ = 0010X110B
- 6 : IICS0レジスタ = 0010XX00B
- 7 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIM0ビット = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2					3		4

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 00000X10B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

WTIM0ビット = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

ST	AD6-AD0	RW	AK	D7-D0	AK	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1	2		3				4		5

1 : IICS0レジスタ = 0010X010B

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010XX00B

4 : IICS0レジスタ = 00000X10B

5 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

15.5.4 通信不参加の動作

(1) Start ~ Code ~ Data ~ Data ~ Stop

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
----	---------	----	----	-------	----	-------	----	----

1

1 : IICS0レジスタ = 00000001B

備考 SPIE0ビット = 1のときだけ発生

15.5.5 アービトレーション負けの動作 (アービトレーション負けのあと, スレープとして動作)

(1) スレープ・アドレス・データ送信中にアービトレーションに負けた場合

WTIM0ビット = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3	4	

1 : IICS0レジスタ = 0101X110B (例 割り込み処理中にALD0ビットをリード)

2 : IICS0レジスタ = 0001X000B

3 : IICS0レジスタ = 0001X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生

X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2	3	4	

1 : IICS0レジスタ = 0101X110B (例 割り込み処理中にALD0ビットをリード)

2 : IICS0レジスタ = 0001X100B

3 : IICS0レジスタ = 0001XX00B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生

X 任意

(2) 拡張コード送信中にアービトレーションに負けた場合

WTIM0ビット = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3	4

1 : IICS0レジスタ = 0110X010B (例 割り込み処理中にALD0ビットをリード)

2 : IICS0レジスタ = 0010X000B

3 : IICS0レジスタ = 0010X000B

4 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

WTIM0ビット = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP	
			1	2		3		4	5

1 : IICS0レジスタ = 0110X010B (例 割り込み処理中にALD0ビットをリード)

2 : IICS0レジスタ = 0010X110B

3 : IICS0レジスタ = 0010X100B

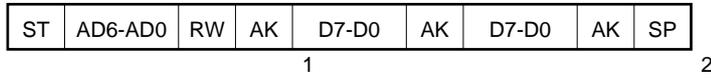
4 : IICS0レジスタ = 0010XX00B

5 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生
X 任意

15.5.6 アービトレーション負けの動作(アービトレーション負けのあと,不参加)

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合



1 : IICS0レジスタ = 01000110B (例 割り込み処理中にALD0ビットをリード)

2 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生

(2) 拡張コード送信中にアービトレーションに負けた場合



1 : IICS0レジスタ = 0110X010B (例 割り込み処理中にALD0ビットをリード)

ソフトウェアでIICC0.LREL0ビット = 1を設定

2 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(3) データ転送時にアービトレーションに負けた場合

WTIM0ビット = 0のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2			3

1 : IICS0レジスタ = 10001110B

2 : IICS0レジスタ = 01000000B (例 割り込み処理中にALD0ビットをリード)

3 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生

WTIM0ビット = 1のとき

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	SP
				1	2			3

1 : IICS0レジスタ = 10001110B

2 : IICS0レジスタ = 01000100B (例 割り込み処理中にALD0ビットをリード)

3 : IICS0レジスタ = 00000001B

備考 必ず発生
SPIE0ビット = 1のときだけ発生

(4) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外 (例 SVA0不一致)

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1					2		3

1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 01000110B (例 割り込み処理中にALD0ビットをリード)

3 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

拡張コード

ST	AD6-AD0	RW	AK	D7-Dn	ST	AD6-AD0	RW	AK	D7-D0	AK	SP
				1					2		3

1 : IICS0レジスタ = 1000X110B

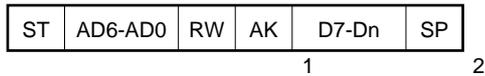
2 : IICS0レジスタ = 0110X010B (例 割り込み処理中にALD0ビットをリード)

ソフトウェアでIICC0.LREL0ビット = 1を設定

3 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

(5) データ転送時にストップ・コンディションで負けた場合



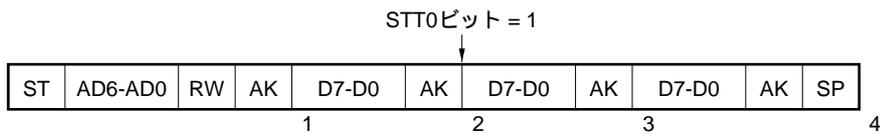
1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 01000001B

- 備考** 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意
 Dn = D6-D0

(6) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIM0ビット = 1のとき



1 : IICS0レジスタ = 1000X110B

2 : IICS0レジスタ = 1000XX00B

3 : IICS0レジスタ = 01000100B (例 割り込み処理中にALD0ビットをリード)

4 : IICS0レジスタ = 00000001B

- 備考** 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIM0ビット = 1のとき

STT0ビット = 1

ST	AD6-AD0	RW	AK	D7-D0	AK	SP
			1		2	3

1 : IICS0レジスタ = 1000X110B
 2 : IICS0レジスタ = 1000XX00B
 3 : IICS0レジスタ = 01000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

(8) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

WTIM0ビット = 1のとき

SPT0ビット = 1

ST	AD6-AD0	RW	AK	D7-D0	AK	D7-D0	AK	D7-D0	AK	SP
			1		2		3			4

1 : IICS0レジスタ = 1000X110B
 2 : IICS0レジスタ = 1000XX00B
 3 : IICS0レジスタ = 01000000B (例 割り込み処理中にALD0ビットをリード)
 4 : IICS0レジスタ = 00000001B

備考 必ず発生
 SPIE0ビット = 1のときだけ発生
 X 任意

15.6 割り込み要求信号 (INTIIC0) 発生タイミングおよびウェイト制御

IIC0.WTIM0ビットの設定で、次に示すタイミングでINTIIC0信号が発生して、ウェイト制御を行います。

表15-3 INTIIC0発生タイミングおよびウェイト制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIIC0信号およびウェイトは、SVA0レジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。

また、このとき、IIC0.ACKE0ビットの設定にかかわらず、 \overline{ACK} が出力されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIIC0信号を発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりINTIIC0信号を発生しますが、ウェイトは発生しません。

2. SVA0レジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIIC0信号もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1、注2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がり発生します。

(2) データ受信時

マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICC0.WREL0ビット = 1
- ・ IIC0レジスタのライト動作
- ・ スタート・コンディションのセット (IICC0.STT0ビット = 1)
- ・ ストップ・コンディションのセット (IICC0.SPT0ビット = 1)

8クロック・ウェイト選択 (WTIM0ビット = 0) 時は、ウェイト解除前に $\overline{\text{ACK}}$ の出力レベルを決定する必要があります。

(5) ストップ・コンディション検出

INTIIC0信号は、ストップ・コンディションを検出すると発生します。

15.7 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVA0レジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVA0レジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0信号が発生します。

15.8 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA00) の状態が、送信しているデバイスのIIC0レジスタにも取り込まれるため、送信開始前と送信終了後のIIC0レジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

15.9 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (IICS0.EXC0ビット) をセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIIC0) を発生します。

SVA0レジスタに格納された自局アドレスは影響しません。

- (2) 10ビット・アドレス転送で、SVA0レジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIIC0信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データの一致 : EXC0ビット = 1
7ビット・データの一致 : IICS0.COI0ビット = 1

- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。
たとえば拡張コード受信後、スレーブとして動作したくない場合は、IIC0.LRELOビット = 1に設定し、次の通信待機状態となります。

表15-4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	x	CBUSアドレス
0000 010	x	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	x	10ビット・スレーブ・アドレス指定

15.10 アービトレーション

複数のマスタがスタート・コンディションを同時に出力した場合（IICS0.STD0ビット = 1になる前に IICC0.STT0ビット = 1にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、アービトレーション負けフラグ（IICS0.ALD0ビット）をセット（1）し、SCL00, SDA00ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求信号発生タイミング（8または9クロック目、ストップ・コンディション検出など）で、ソフトウェアでALD0ビット = 1になっていることで検出します。

割り込み発生タイミングについては、15.5 I²C割り込み要求信号（INTIIC0）を参照してください。

図15 - 11 アービトレーション・タイミング例

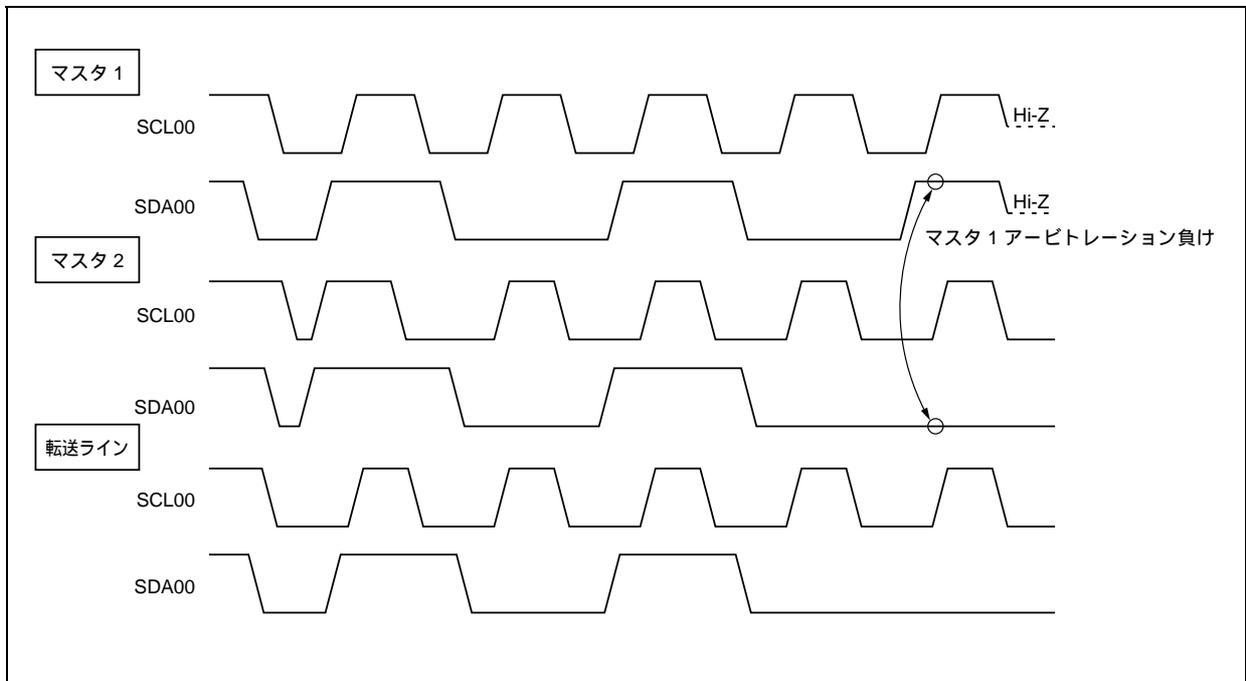


表15 - 5 アービトレーション発生時の状態と割り込み要求信号発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ受信後のACK転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション出力時 (IICC0.SPIE0ビット = 1時) ^{注2}
リスタート・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがストップ・コンディション検出	ストップ・コンディション出力時 (IICC0.SPIE0ビット = 1時) ^{注2}
ストップ・コンディションを出力しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを出力しようとしたがSCL00がロウ・レベル	

- 注1. IICC0.WTIM0ビット = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。
WTIM0ビット = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。
2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE0ビット = 1にしてください。

15.11 ウェイク・アップ機能

I²Cバスのスレーブ機能で, 自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIIC0) が発生する機能です。アドレスが一致しないときは不要な割り込み要求信号を発生せず, 効率よく処理できます。

スタート・コンディションを検出すると, ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを出力した場合) でも, アービトレーション負けでスレーブになる可能性があるため, アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると, ウェイク・アップ機能に関係なく, IICC0.SPIE0ビットの設定によって, 割り込み要求信号の発生許可/禁止が決定します。

15. 12 通信予約

15. 12. 1 通信予約機能許可の場合 (IICF0.IICRSV0ビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (\overline{ACK} を返さず、IICC0.LREL0ビット = 1でバスを解放した) とき

バスに不参加の状態、IICC0.STT0ビットをセット (1) すると、バスが解放されたあと (ストップ・コンディション検出後) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

バスの解放を検出 (ストップ・コンディション検出) すると、IIC0レジスタ・ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICC0.SPIE0ビットをセット (1) しておいてください。

STT0ビットをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき …………… スタート・コンディション生成
 バスが解放されていないとき (待機状態) … 通信予約

通信予約として動作するのかどうかを確認するには、STT0ビットをセット (1) し、ウエイト時間をとったあと、IICS0.MSTS0ビットを確認することで行います。

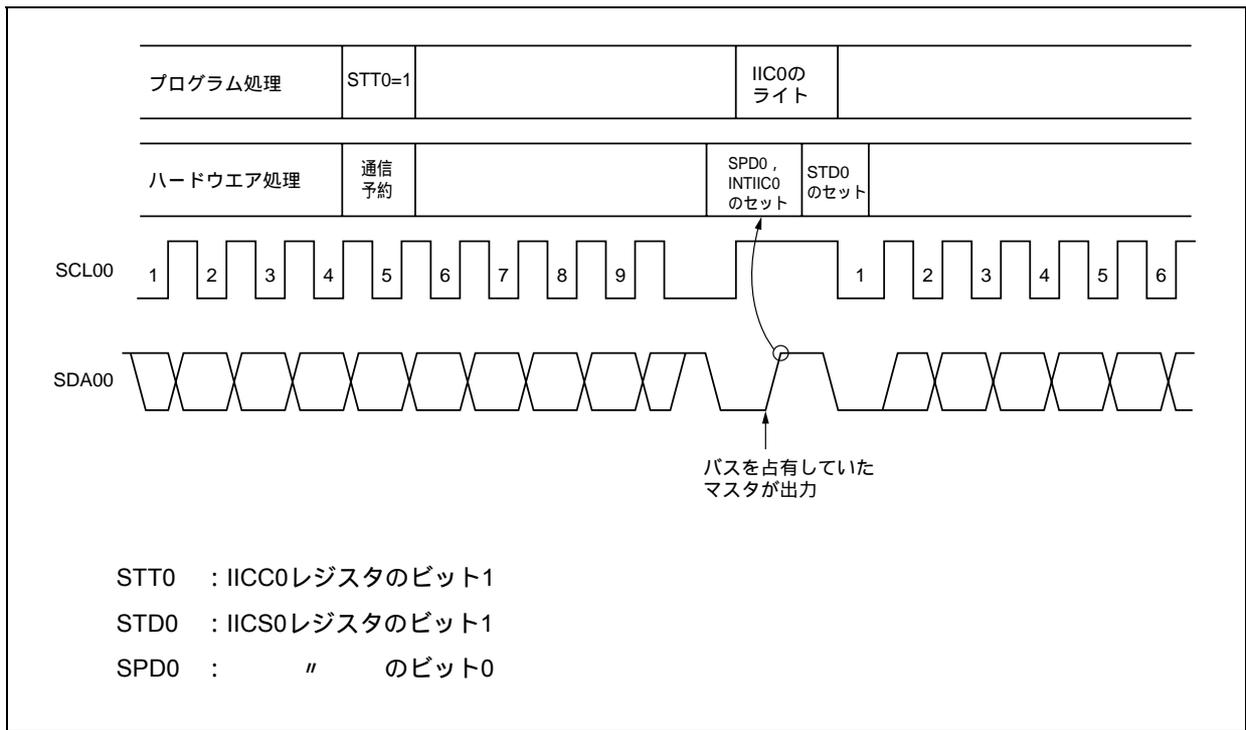
ウエイト時間は、表15 - 6に示す時間をソフトウェアにより確保してください。なお、ウエイト時間はIICCL0.SMC0, CL01, CL00ビットにより設定できます。

表15 - 6 ウエイト時間

SMC0	CL01	CL00	ウエイト時間
0	0	0	26クロック
0	0	1	46クロック
0	1	0	92クロック
0	1	1	37クロック
1	0	0	16クロック
1	0	1	
1	1	0	32クロック
1	1	1	13クロック

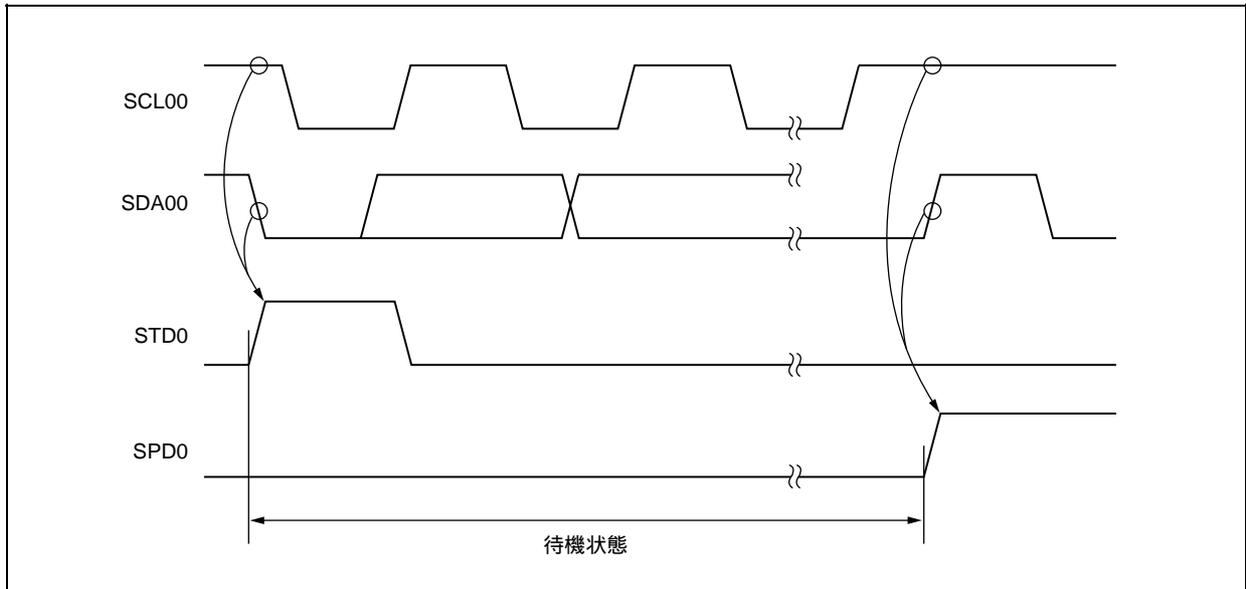
通信予約のタイミングを次に示します。

図15 - 12 通信予約のタイミング



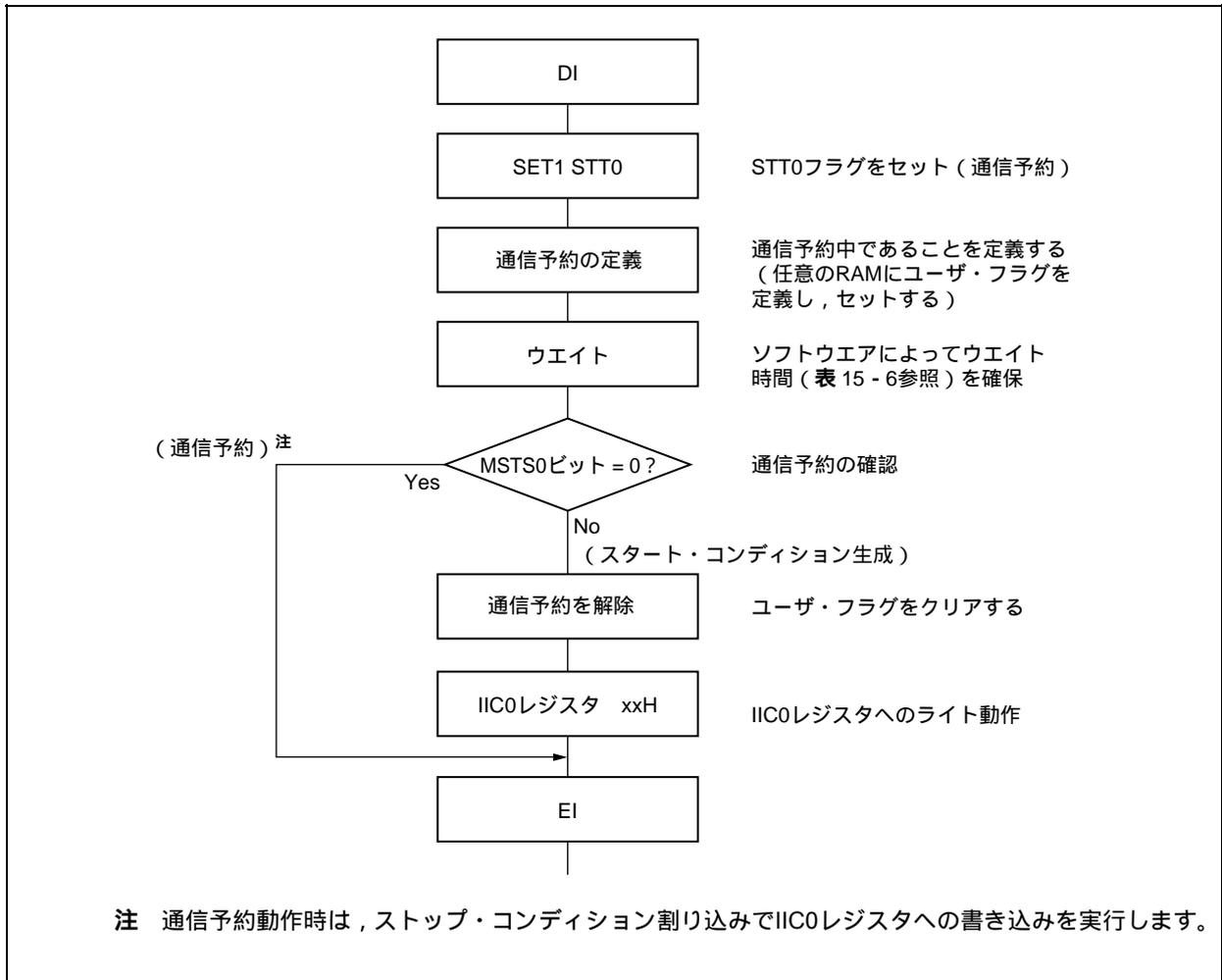
通信予約は次のタイミングで受け付けられます。STD0ビット = 1になったあと、ストップ・コンディション検出までにSTT0ビット = 1で通信予約をします。

図15 - 13 通信予約受け付けタイミング



次に通信予約の手順を示します。

図15 - 14 通信予約の手順



15.12.2 通信予約機能禁止の場合 (IICF0.IICRSV0ビット = 1)

バスが通信中で、この通信に不参加の状態ではICC0.STT0ビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない ($\overline{\text{ACK}}$ を返さず、IICC0.LREL0ビット = 1でバスを解放した) とき。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICF0.STCF0フラグを確認することにより行います。STT0ビット = 1としてからSTCF0フラグがセットされるまで表15 - 7に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表15 - 7 ウェイト時間

OCKSEN0	OCKS01	OCKS00	CL01	CL00	ウェイト時間
1	0	0	0	X	6クロック
1	0	1	0	X	9クロック
1	1	0	0	X	12クロック
1	1	1	0	X	15クロック
0	0	0	1	0	3クロック

備考 X : Don't care

15.13 注意事項

(1) IICF0.STCEN0ビット = 0の場合

I²C動作許可直後、実際のバス状態にかかわらず通信状態 (IICF0.IICBSY0ビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

IICCL0レジスタの設定

IICC0.IICE0ビットのセット

IICC0.SPT0ビットのセット

(2) IICF0.STCEN0ビット = 1の場合

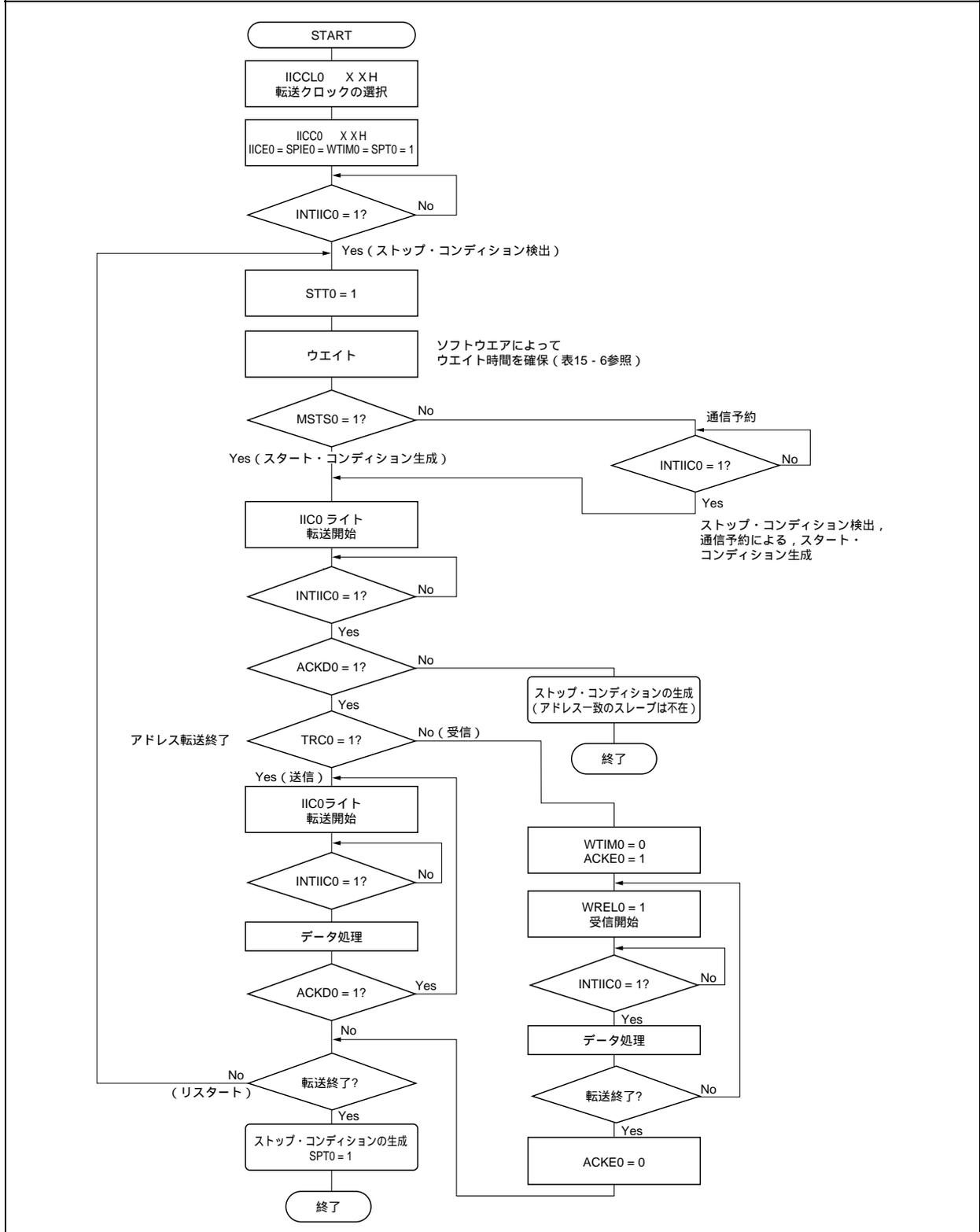
I²C動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSY0ビット = 0) と認識しますので、1回目のスタート・コンディションを発行 (IICC0.STT0ビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

15.14 通信動作

15.14.1 マスタ動作1

通信予約機能許可 (IICF0.IICRSV0ビット = 0) , およびストップ・コンディション検出後スタート時 (IICF0.STCEN0ビット = 0) におけるマスタ通信手順の例を次に示します。

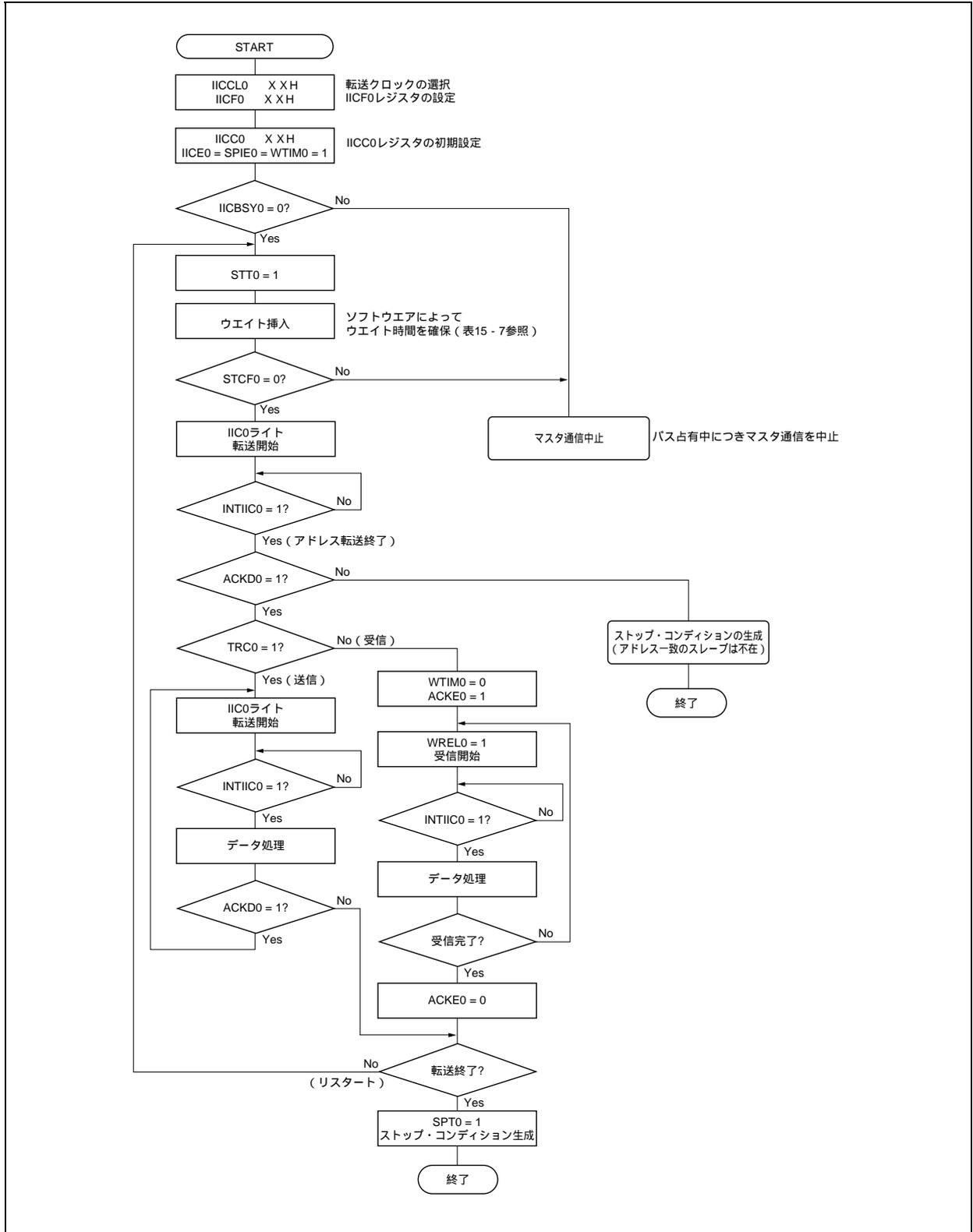
図15 - 15 マスタ動作手順 (1)



15.14.2 マスタ動作2

通信予約機能禁止 (IICF0.IICRSV0ビット = 1) およびストップ・コンディション未検出によるスタート (IICF0.STCEN0ビット = 1) 時における通信手順の例を次に示します。

図15 - 16 マスタ動作手順 (2)



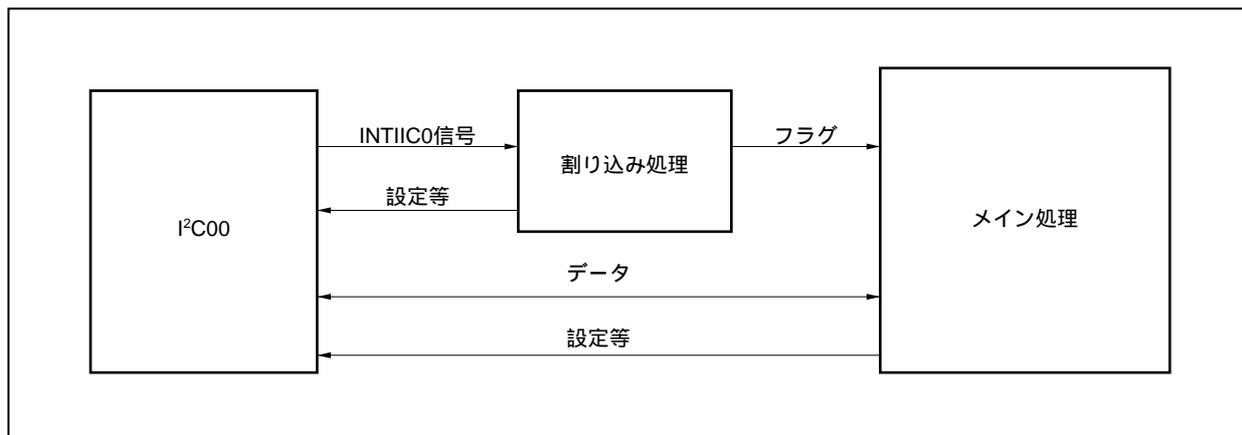
★ 15.14.3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIIC0割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIIC0割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図15 - 17 スレーブ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIIC0信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのACK信号未検出、アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIIC0割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで、IIC0.TR0ビットの値と同じです。

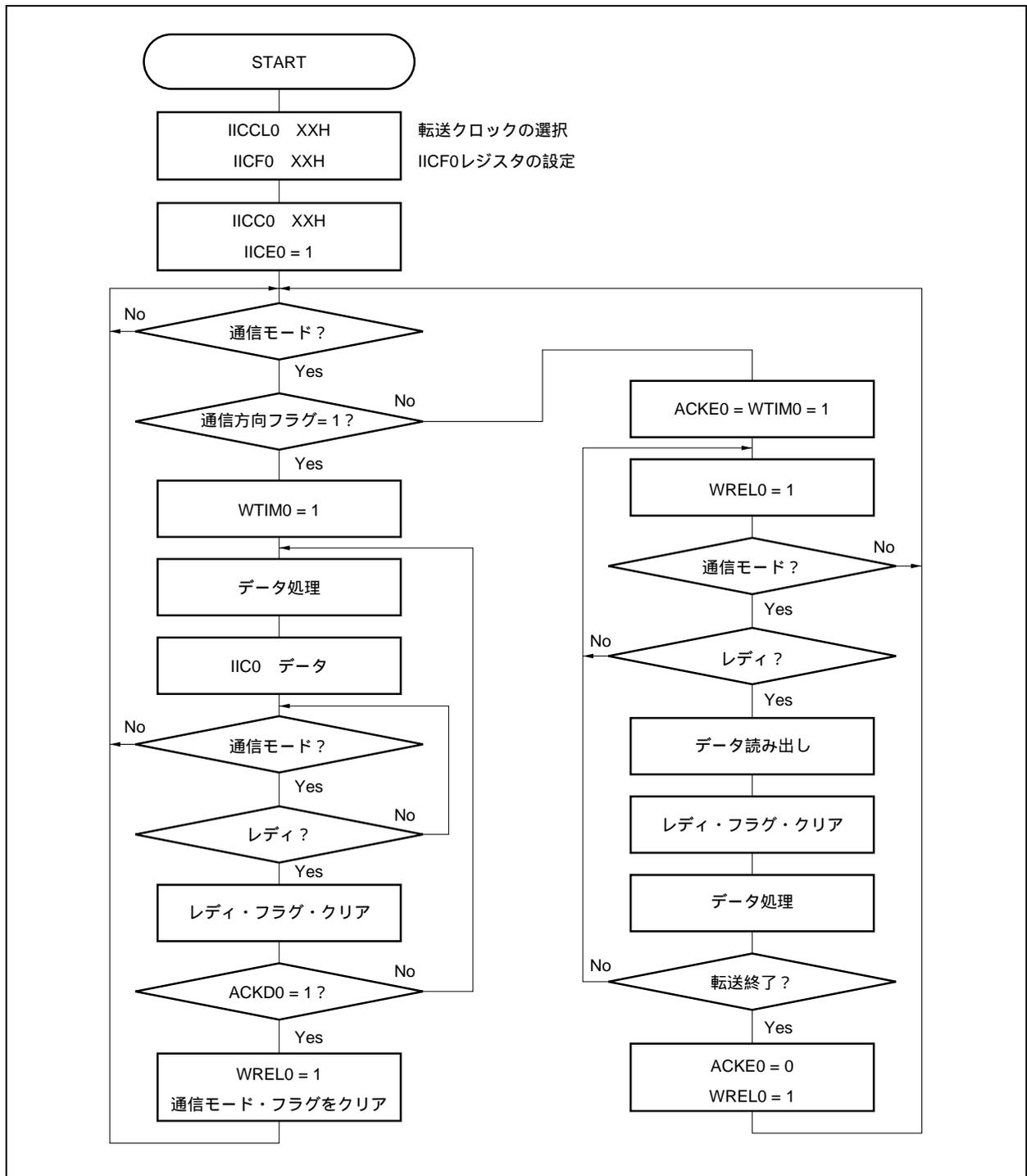
次にスレーブ動作でのメイン処理部の動作を示します。

I²C00を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

送信ではマスタからACK信号が来なくなるまで送信動作を繰り返します。マスタからACK信号が戻らなかったら転送を完了します。

受信では必要な数のデータを受信し、転送完了したら次のデータでACK信号を戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを発行します。これにより、通信状態から抜け出します。

図15 - 18 スレーブ動作手順（1）



スレーブのINTIIC0割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIIC0割り込みではステータスを確認して、次のように行います。

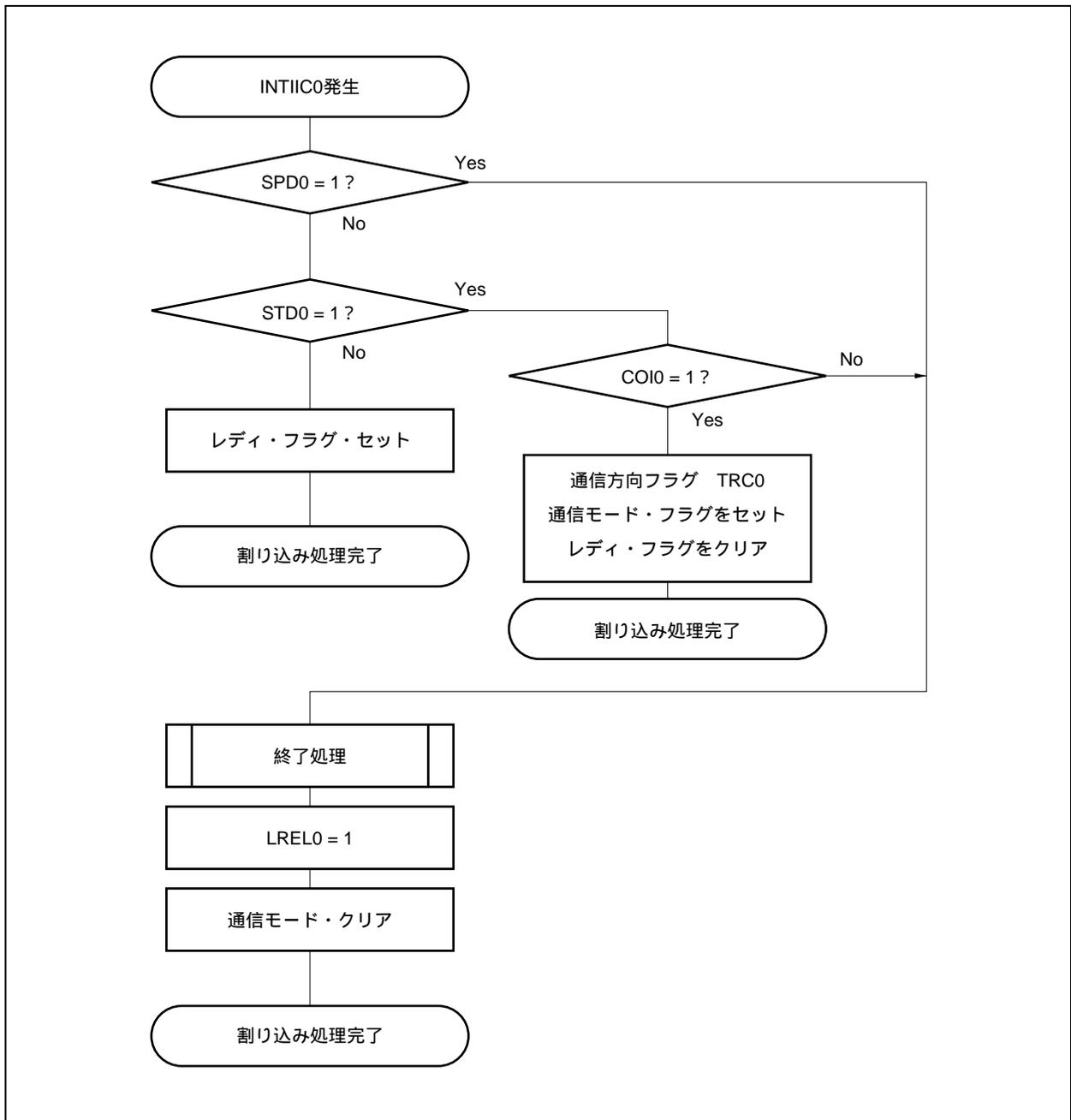
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウエイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²C00バスはウエイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図15-19 スレーブ動作手順(2)の ~ と対応しています。

図15-19 スレーブ動作手順(2)



15.15 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICS0.TRC0ビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック (SCL00) の立ち下がりに同期してIIC0レジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDA00端子からMSBファーストで出力されます。

また、SCL00の立ち上がりでSDA00端子に入力されたデータがIIC0レジスタに取り込まれます。

データ通信のタイミングを次に示します。

図15 - 20 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

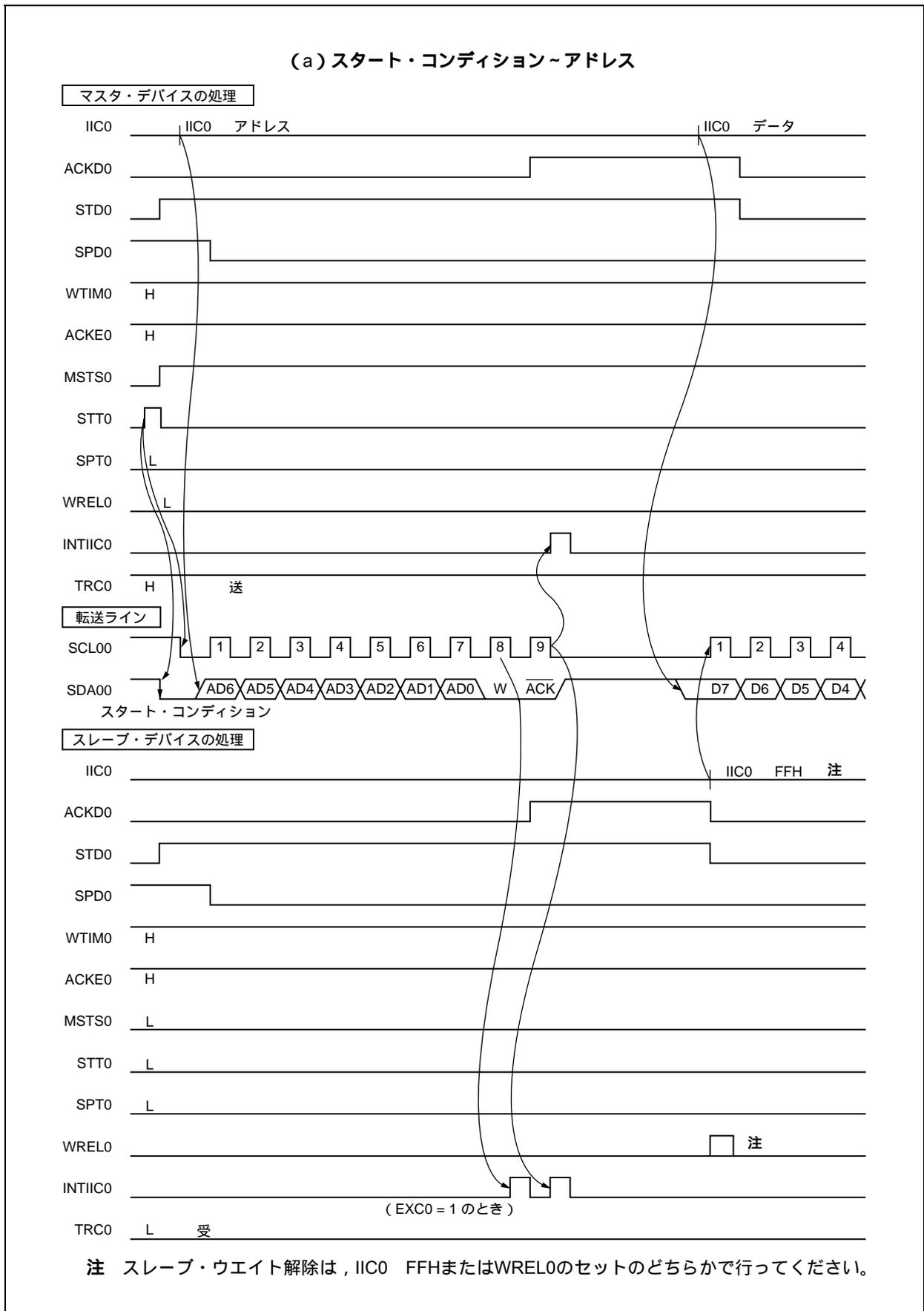


図15 - 20 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

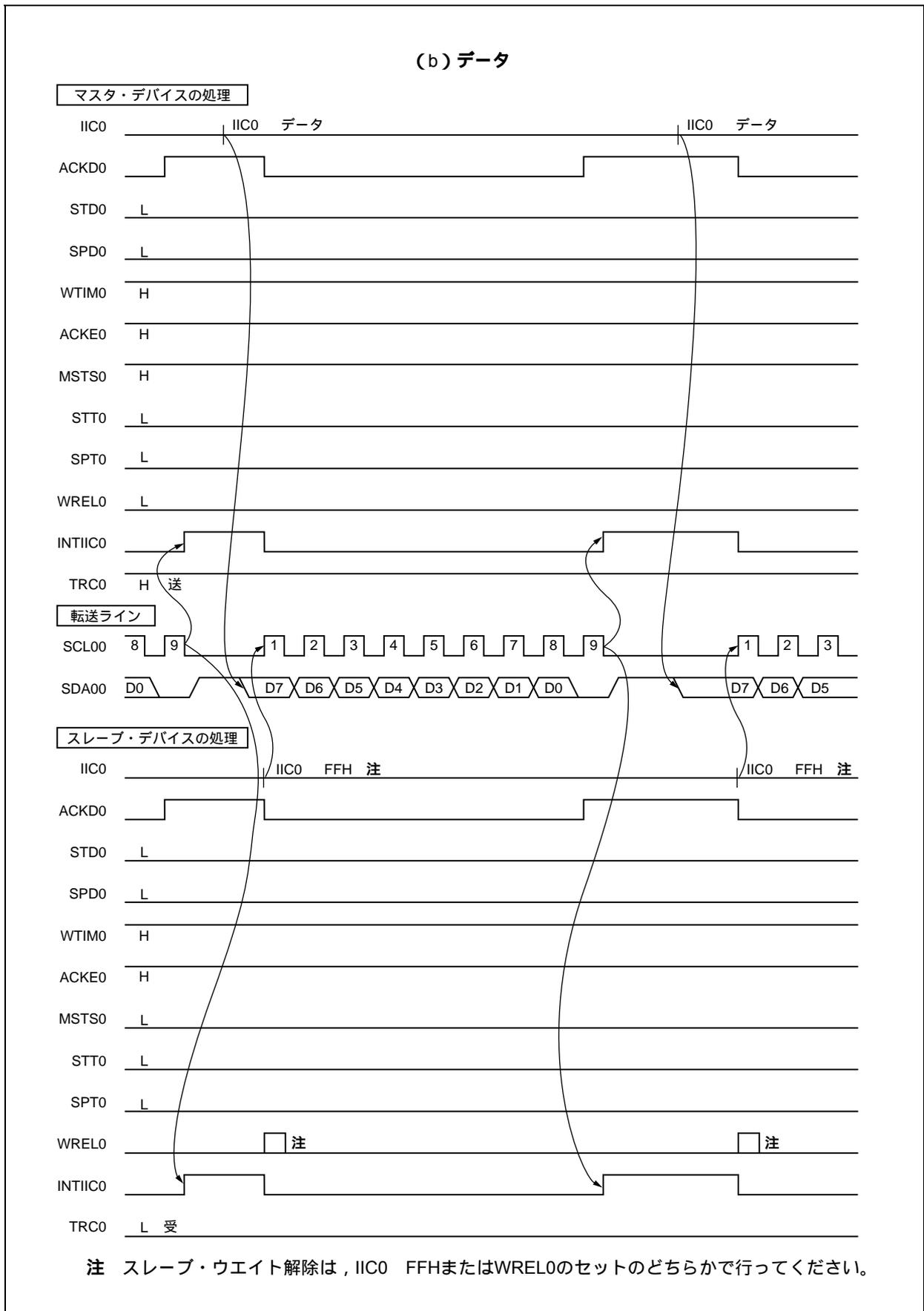


図15 - 20 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

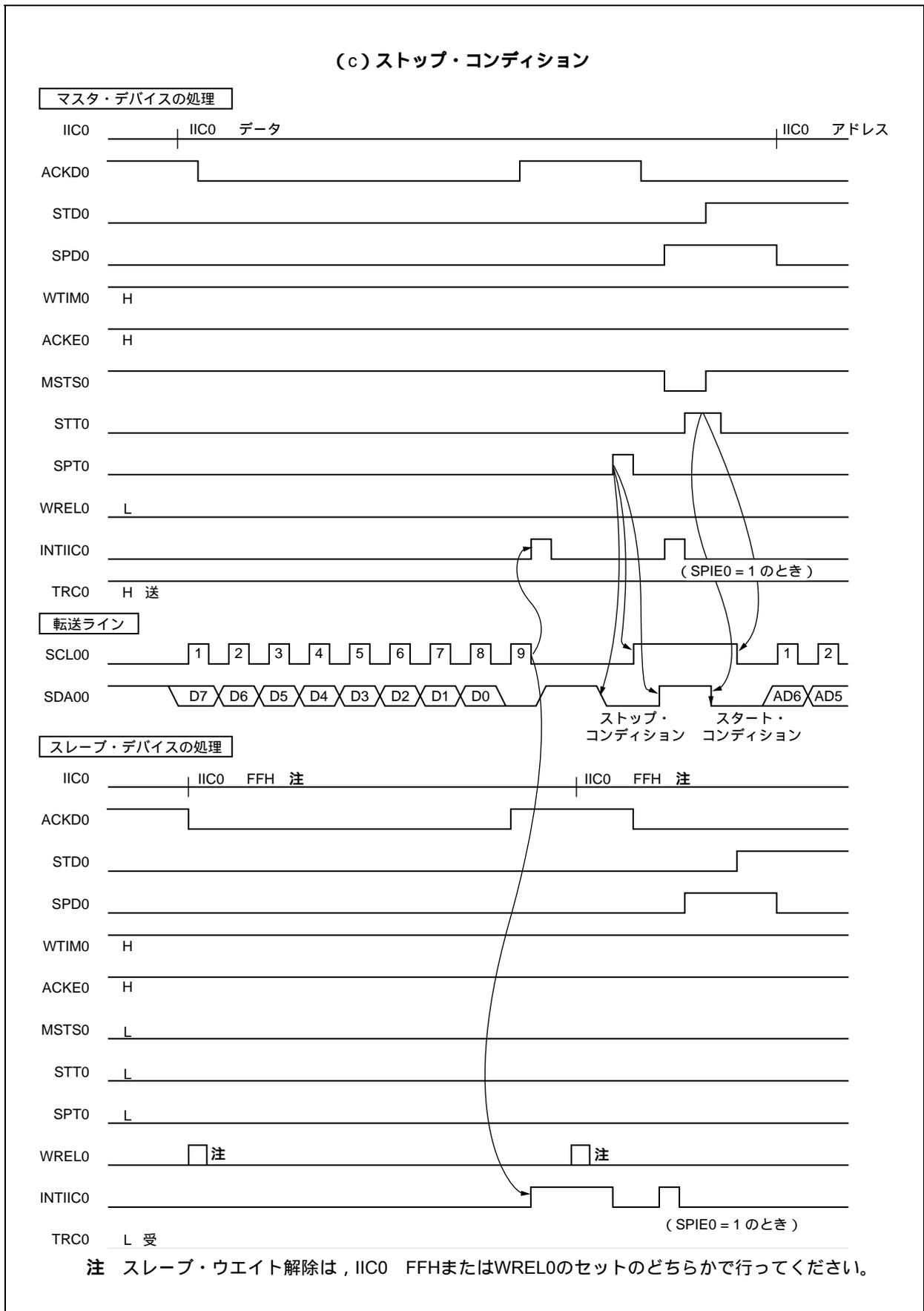


図15 - 21 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

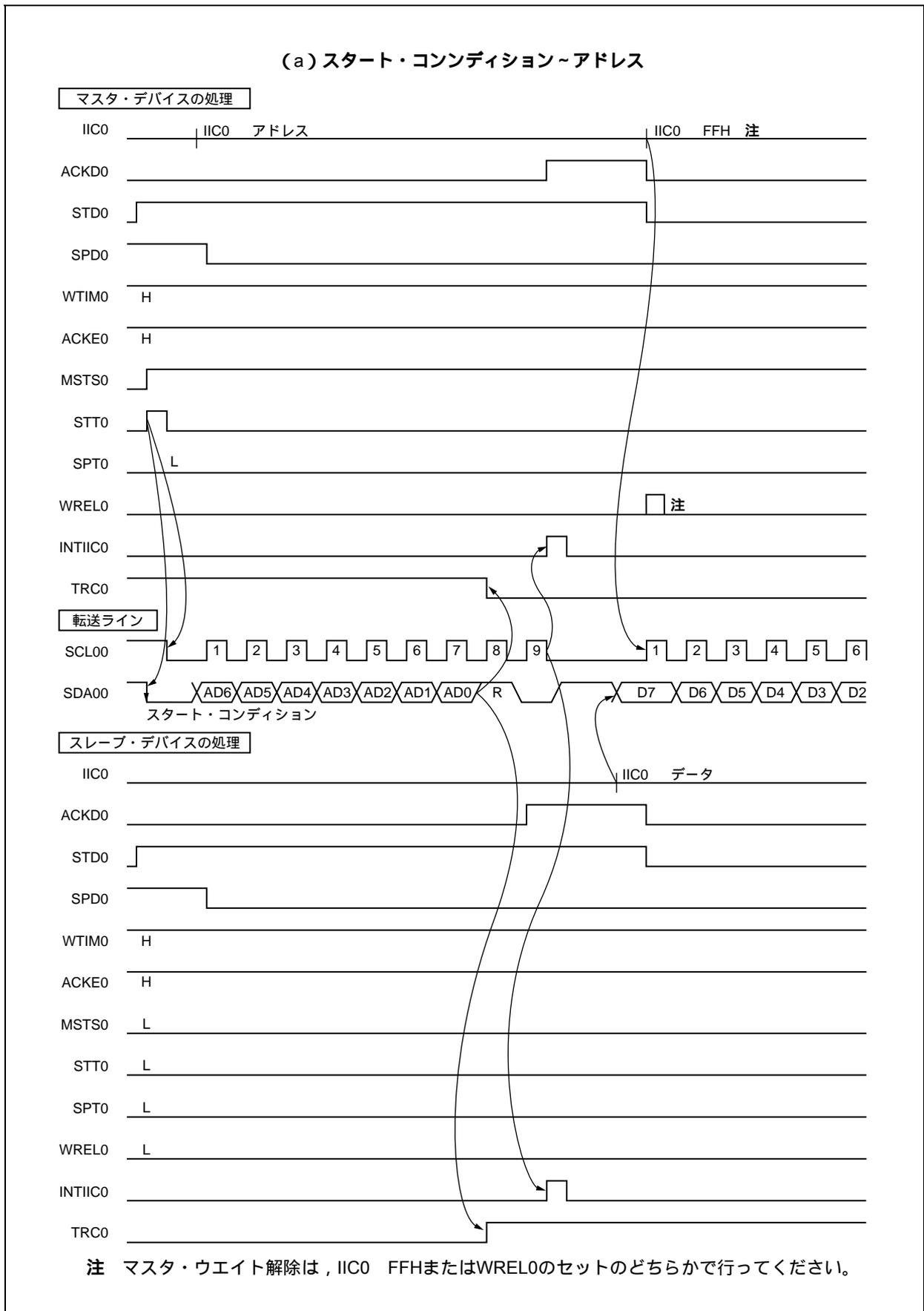


図15-21 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

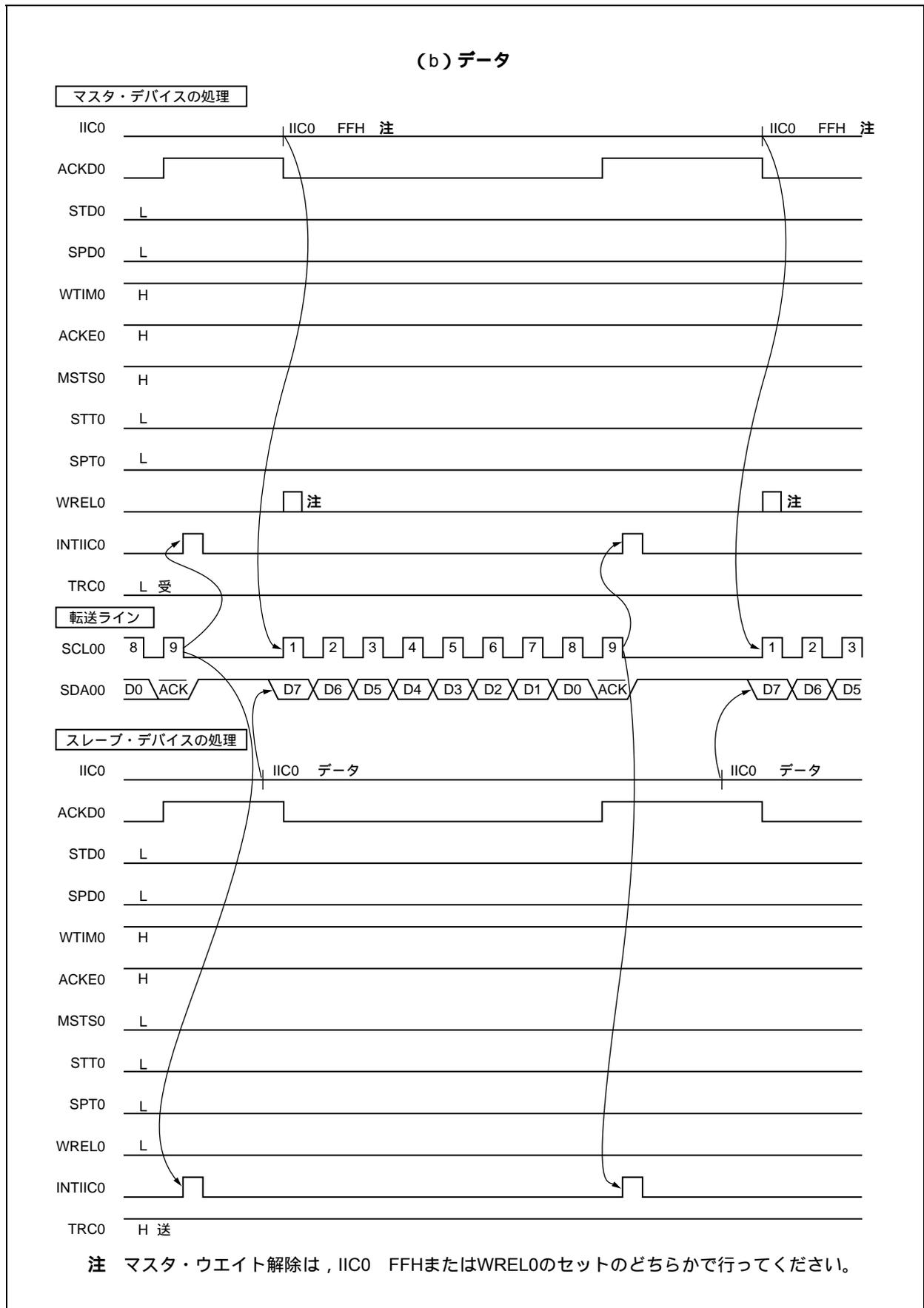
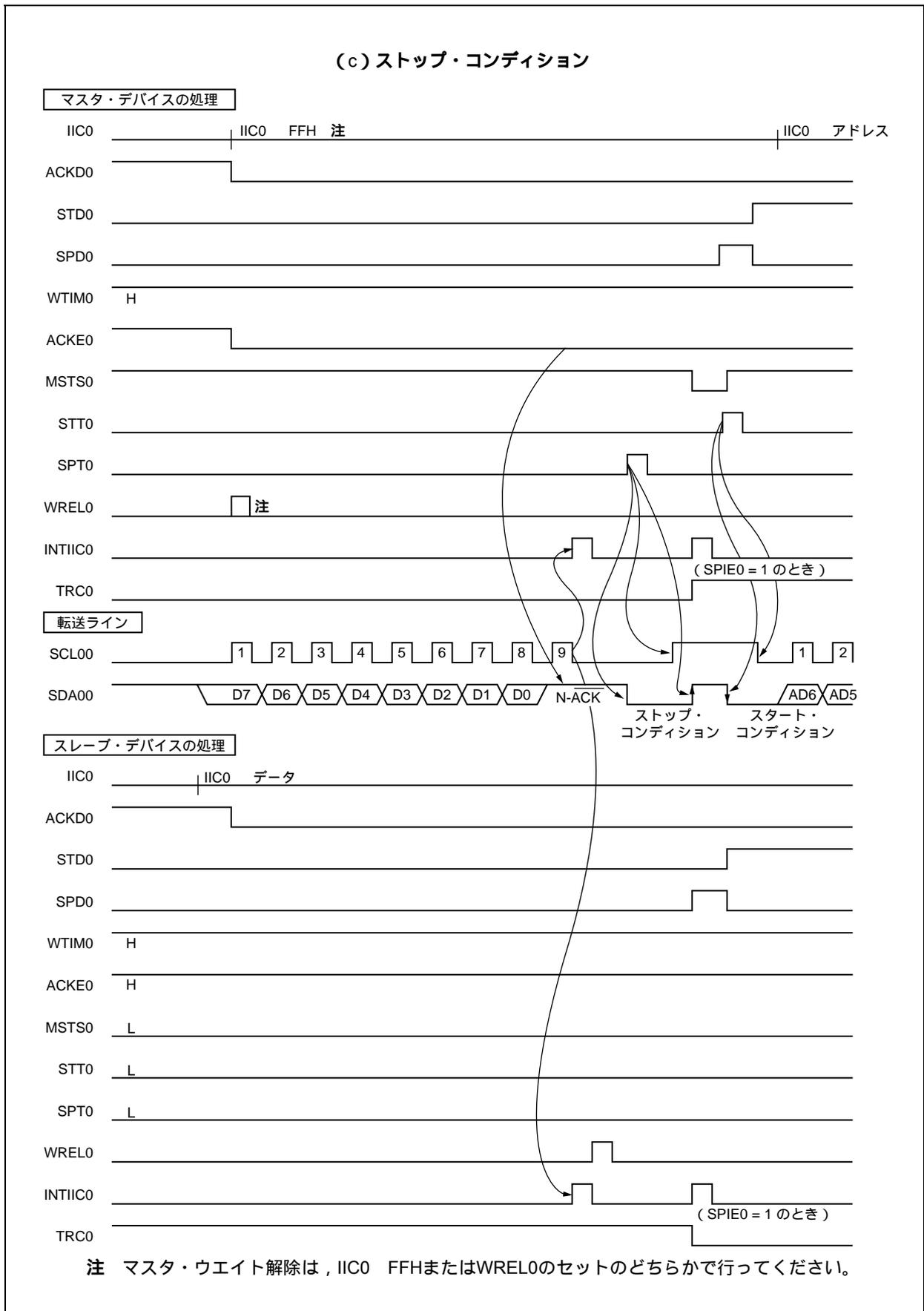


図15 - 21 スレーブ マスタ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)



第16章 DMA機能 (DMAコントローラ)

μPD703229Y, 70F3229Yは、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求, またはソフトウェア・トリガによるDMA要求に基づいて、メモリ I/O間, メモリ メモリ間, I/O I/O間でのデータ転送を制御します (メモリは内蔵RAM, または外部メモリを意味します)。

16.1 特 徴

4つの独立なDMAチャンネル

転送単位: 8ビット/16ビット

最大転送回数: 65536 (2^{16}) 回

転送タイプ: 2サイクル転送

転送モード: シングル転送モード

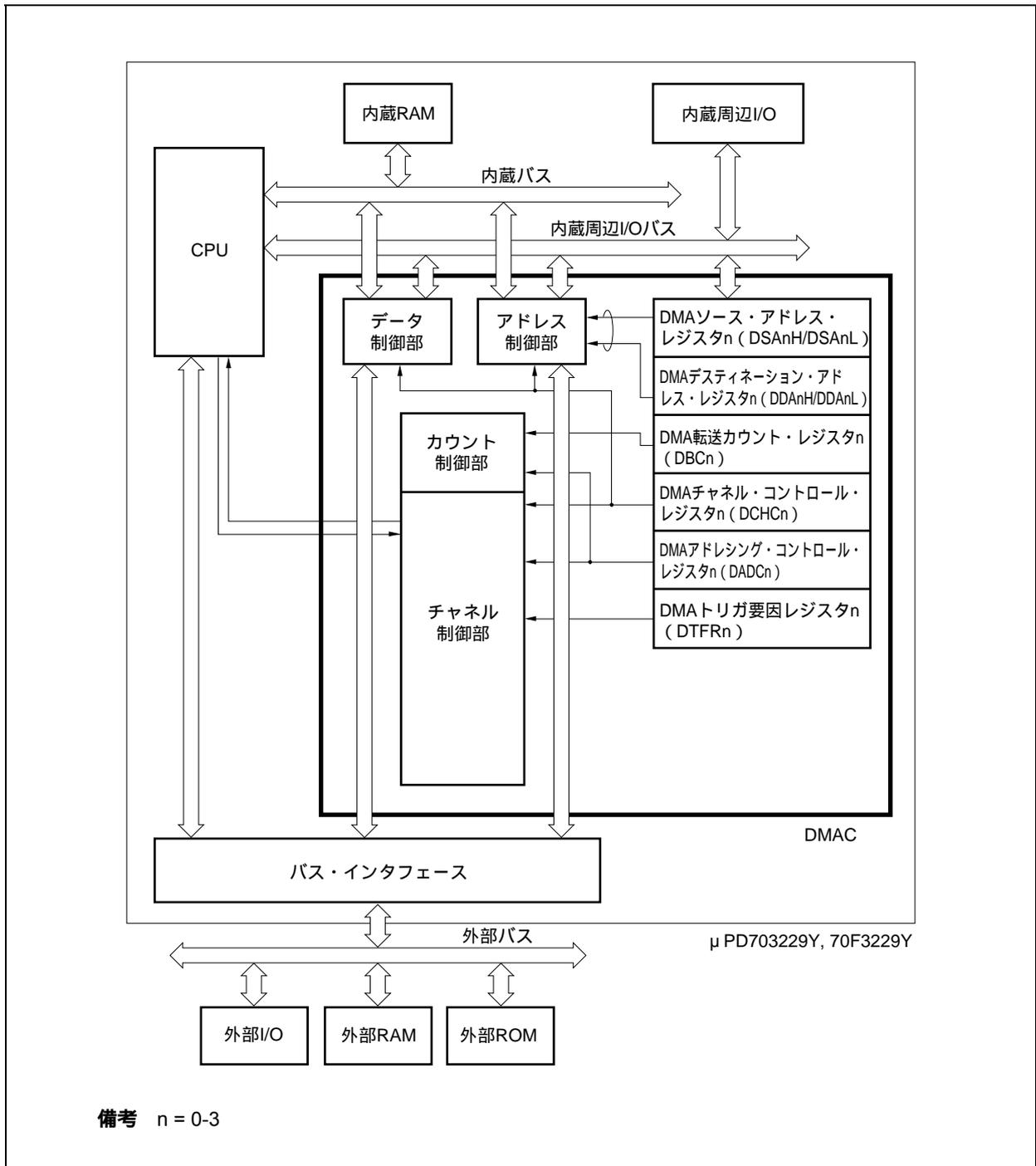
転送要求

- ・内蔵周辺I/O (シリアル・インタフェース, タイマ/カウンタ, A/Dコンバータ), 外部入力端子からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

転送対象

- ・内蔵RAM 周辺I/O
- ・周辺I/O 周辺I/O
- ・内蔵RAM 外部メモリ
- ・外部メモリ 周辺I/O
- ・外部メモリ 外部メモリ

16.2 構成



★ 16.3 制御レジスタ

(1) DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス (26ビット) を設定します (n = 0-3)。
 このレジスタは, DSA_nH, DSA_nLの2つの16ビット・レジスタに分かれます。
 16ビット単位でリード/ライト可能です。

リセット時: 不定 R/W アドレス: DSA0H FFFFF082H, DSA1H FFFFF08AH,
 DSA2H FFFFF092H, DSA3H FFFFF09AH,
 DSA0L FFFFF080H, DSA1L FFFFF088H,
 DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSA _n H (n = 0-3)	IR	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSA _n L (n = 0-3)	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0

IR	DMA転送元の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

SA25-SA16	DMA転送元のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
-----------	--

SA15-SA0	DMA転送元のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。
----------	---

- 注意1.** DSA_nHレジスタのビット14-10には, 必ず“0”を設定してください。
2. DSA_nH, DSA_nLレジスタの設定は, DMA動作中でない次のいずれかのタイミングで行ってください。
- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHC_n.INIT_nビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHC_nレジスタのTC_nビット = 1の状態) から次のDMA転送起動までの期間
3. DSA_nレジスタの値を読み出す際, DSA_nHレジスタとDSA_nLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (16.13 注意事項参照)。

(2) DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャンネルnのDMA転送先アドレス (26ビット) を設定します (n = 0-3)。

このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DDA0H FFFFFFF086H, DDA1H FFFFFFF08EH,
 DDA2H FFFFFFF096H, DDA3H FFFFFFF09EH,
 DDA0L FFFFFFF084H, DDA1L FFFFFFF08CH,
 DDA2L FFFFFFF094H, DDA3L FFFFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-3)	IR	0	0	0	0	0	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnL (n = 0-3)	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

IR	DMA転送先の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

DA25-DA16	DMA転送先のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。
-----------	--

DA15-DA0	DMA転送先のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。
----------	---

- 注意1. DDAnHレジスタのビット14-10には, 必ず“0”を設定してください。
2. DDAnH, DDAnLレジスタの設定は, DMA動作中でない次のいずれかのタイミングで行ってください。
- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後(DCHCnレジスタのTCnビット = 1の状態)から次のDMA転送起動までの期間
3. DDAnレジスタの値を読み出す際, DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (16. 13 注意事項参照)。

(3) DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャンネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。

DMA転送中は、残りの転送数を保持します。

転送データ単位 (8/16ビット) にかかわらず、1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

16ビット単位でリード/ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFFFFF0C0H, DBC1 FFFFFFF0C2H,
DBC2 FFFFFFF0C4H, DBC3 FFFFFFF0C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn (n = 0-3)	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0

BC15-BC0	転送数の設定, またはDMA転送中の残りの転送数
0000H	1回の転送, または残り転送数
0001H	2回の転送, または残り転送数
:	:
FFFFH	65536 (2 ¹⁶) 回の転送, または残り転送数
DMA転送が完了すると, 最初に設定された転送データ数を保持します。	

注意 DBCnレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
- ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
- ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間

(4) DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャンネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H R/W アドレス : DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADCn (n = 0-3)	15	14	13	12	11	10	9	8
	0	DS0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	SAD1	SAD0	DAD1	DAD0	0	0	0	0

DS0	転送データ・サイズの設定
0	8ビット
1	16ビット

SAD1	SAD0	転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DAD1	DAD0	転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

- 注意1. DADCnレジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。
- DADCnレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。
 - ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DS0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。したがって、8ビット・データ (DS0ビット = 0) を設定した場合でも、必ずしも下位データ・バスを使用するわけではありません。
 - 転送データ・サイズを16ビットに設定した場合 (DS0ビット = 1)、奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。
 - 内蔵周辺I/Oレジスタを対象 (転送元/転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ず (8ビット) 転送を指定してください。

(5) DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャンネルnのDMA転送動作モードを指定する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です(ただし,ビット7はリードだけ,ビット1,2はライトだけ可能です。ビット1,2をリードした場合は0が読み出されます。)

リセットにより00Hになります。

リセット時: 00H R/W アドレス: DCHC0 FFFFFFF0E0H, DCHC1 FFFFFFF0E2H,
DCHC2 FFFFFFF0E4H, DCHC3 FFFFFFF0E6H

	⑦	6	5	4	3	②	①	①
DCHCn	TCn ^{注1}	0	0	0	0	INITn ^{注2}	STGn ^{注2}	Enn

(n = 0-3)

TCn ^{注1}	DMAチャンネルnのDMA転送の完了 / 未完了を示すステータス・フラグ
0	DMA転送未完了
1	DMA転送完了
DMA転送の最後の転送時にセット(1)され,読み出しによってクリア(0)されます。	

INITn ^{注2}	DMA転送が禁止された状態で(Ennビット=0),INITnビットをセット(1)するとDMA転送のステータスを初期化できます。 DMA転送が完了する前に(TCnビットがセット(1)される前),DMA転送ステータスの再設定(DDAnH,DDAnL,DSAnH,DSAnL,DBCn,DADCnレジスタの再設定)を行う場合は,必ずDMAチャンネルの初期化後に行ってください。 ただし,DMAコントローラの初期化は,必ず16.13 注意事項に示す手順にしたがって行ってください。
---------------------	--

STGn ^{注2}	DMA転送のソフトウェア起動トリガです。 DMA転送が許可の状態(TCnビット=0,Ennビット=1)でこのビットをセット(1)するとDMA転送を開始します。
--------------------	--

Enn	DMAチャンネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可

Ennビットをセット(1)するとDMA転送が許可されます。
DMA転送が完了(ターミナル・カウント発生)すると,自動的にクリア(0)されます。
なお,DMA転送を中断するには,ソフトウェアでEnnビットをクリア(0)してください。再開するには,再度Ennビットをセット(1)してください。
ただし,DMA転送の中断/再開は,必ず16.13 注意事項に示す手順にしたがって行ってください。

注1. TCnビットはリードのみ可能です。

2. INITn, STGnビットはライトのみ可能です。

注意1. DCHCnレジスタのビット6-3には,必ず“0”を設定してください。

2. DMA転送完了時(ターミナル・カウント時)は,Ennビットのクリア(0) TCnビットのセット(1)の順で各ビットの更新が行われます。そのため,DCHCnレジスタの各ビットの更新途中にDCHCnレジスタを読み出した場合,「転送未完了,かつ転送禁止」の状態を示す値(TCnビット=0,かつEnnビット=0)が読み出されることがあります。

(6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が、DMA転送の起動要因になります。

8ビット単位でリード/ライト可能です。ただし、DFnビットのみ1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：DTFR0 FFFFF810H, DTFR1 FFFFF812H,
DTFR2 FFFFF814H, DTFR3 FFFFF816H

	⑦	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

(n = 0-3)

DFn ^注	DMA転送要求フラグ
0	DMA転送要求なし
1	DMA転送要求あり

注 DFnビットは0のみライト可能です。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトします。

注意1. DTFRn.IFCn5-IFCn0ビットの設定は、DMA動作中でない次のいずれかのタイミングで行ってください

- ・リセット後から最初のDMA転送起動までの期間
- ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
- ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間

2. スタンバイ・モード (IDLE1, IDLE2, STOP, サブIDLEモード) 中に発生した割り込み要求は、DMA転送サイクルの起動要因にはなりません (DFnビットもセット (1) されません)。
3. IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは、DMAの動作許可/禁止にかかわらず、選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット (1) されます。この状態でDMA許可とした場合、直ちにDMA転送が起動されます。

備考 IFCn5-IFCn0ビットについては表16 - 1 DMA起動要因を参照してください。

表16 - 1 DMA起動要因

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	割り込みによるDMA要求禁止
0	0	0	0	0	1	INTLVI
0	0	0	0	1	0	INTP0
0	0	0	0	1	1	INTP1
0	0	0	1	0	0	INTP2
0	0	0	1	0	1	INTP3
0	0	0	1	1	0	INTP4
0	0	0	1	1	1	INTP5
0	0	1	0	0	0	INTP6
0	0	1	0	0	1	INTP7
0	0	1	0	1	0	INTTQ0OV
0	0	1	0	1	1	INTTQ0CC0
0	0	1	1	0	0	INTTQ0CC1
0	0	1	1	0	1	INTTQ0CC2
0	0	1	1	1	0	INTTQ0CC3
0	0	1	1	1	1	INTTP0OV
0	1	0	0	0	0	INTTP0CC0
0	1	0	0	0	1	INTTP0CC1
0	1	0	0	1	0	INTTP1OV
0	1	0	0	1	1	INTTP1CC0
0	1	0	1	0	0	INTTP1CC1
0	1	0	1	0	1	INTTP2OV
0	1	0	1	1	0	INTTP2CC0
0	1	0	1	1	1	INTTP2CC1
0	1	1	0	0	0	INTTP3OV
0	1	1	0	0	1	INTTP3CC0
0	1	1	0	1	0	INTTP3CC1
0	1	1	0	1	1	INTTM0EQ0
0	1	1	1	0	0	INTCB0R/INTIIC0
0	1	1	1	0	1	INTCB0T
0	1	1	1	1	0	INTCB1R
0	1	1	1	1	1	INTCB1T
1	0	0	0	0	0	INTUA0R
1	0	0	0	0	1	INTUA0T
1	0	0	0	1	0	INTUA1R
1	0	0	0	1	1	INTUA1T
1	0	0	1	0	0	INTAD
1	0	1	0	0	1	INTKR
1	0	1	1	1	1	INTUA2R
1	1	0	0	0	0	INTUA2T
上記以外設定禁止						-

備考 n = 0-3

★ 16.4 転送対象

転送対象の関係を次に示します（○：転送可，×：転送不可）。

表16 - 2 転送対象の関係

		転送先			
		内蔵ROM	内蔵周辺I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	×			
	内蔵RAM	×		×	
	外部メモリ	×			
	内蔵ROM	×	×	×	×

注意 表16 - 2に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

★ 16.5 転送モード

転送モードとして、シングル転送をサポートしています。

シングル転送では、1回のバイト/ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

ただし、転送サイクル中に同一チャンネルの新たな転送要求と、他の優先順位が低いチャンネルの転送要求が発生した場合、CPUにバスを解放した次の転送は、新たに要求のあった優先順位の低いチャンネルのDMA転送となります（転送サイクル中は、同一チャンネルの新たな転送要求は無視されます）。

★ 16.6 転送タイプ

転送タイプとして、2サイクル転送をサポートしています。

2サイクル転送は、リード・サイクル、ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、ライト・サイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には、必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で、転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

< 16ビット・データ転送の場合 >

32ビット・バス 16ビット・バスへの転送

リード・サイクル(上位16ビットはハイ・インピーダンス)が発生し、その後ライト・サイクル(16ビット)が発生します。

16/32ビット・バス 8ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後8ビットのライト・サイクルが2回発生します。

8ビット・バス 16/32ビット・バスへの転送の場合

8ビットのリード・サイクルが2回発生し、その後16ビットのライト・サイクルが1回発生します。

16ビット・バス 32ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後16ビットのライト・サイクルが1回発生します。

なお、内蔵周辺I/Oレジスタを対象(転送元/転送先)とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト(8ビット)転送を指定してください。

備考 各転送対象(転送元/転送先)のバス幅は次のとおりです。

- ・内蔵周辺I/O : 16ビット・バス幅
- ・内蔵RAM : 32ビット・バス幅
- ・外部メモリ : 8もしくは16ビット・バス幅

★ 16.7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

1回の転送サイクルの度に優先順位がチェックされます。

★ 16.8 DMA転送に関する各種時間

DMA要求に対する応答時間、DMA転送にかかる最小クロック数を次に示します。

シングル転送: DMA応答時間() + 転送元メモリ・アクセス() + 1^{注1} + 転送先メモリ・アクセス()

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック (MIN.) + ノイズ除去時間 ^{注2}
メモリ・アクセス	外部メモリ・アクセス	接続するメモリで異なります
	内蔵RAMアクセス	2クロック ^{注3}
	周辺I/Oレジスタ・アクセス	3クロック + VSWCレジスタによるウエイト数 ^{注4}

- 注1. DMA転送のリード・サイクルとライト・サイクルの間には、必ず1クロック挿入されます。
2. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合、ノイズ除去時間が加算されます (n = 0-7)。
3. DMAサイクルの場合は、2クロックかかります。
4. 特定の周辺I/Oレジスタへのアクセスについては、さらにウエイトが必要となります (詳細は3. 4. 8 (2) を参照してください)。

★ 16.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

(1) ソフトウェアによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, STGnビットをセット (1) すると, DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには, DBCnレジスタにて, 先のDMA転送サイクルが完了したことを確認してから, 再度STGnビットをセット (1) してください (n = 0-3)。

TCnビット = 0, Ennビット = 1

STGnビット = 1 ... 1回目のDMA転送開始

DBCnレジスタの内容が更新されたことを確認

STGnビット = 1 ... 2回目のDMA転送開始

:

ターミナル・カウント発生...Ennビット = 0, TCnビット = 1かつINTDMA_n信号発生

(2) 内蔵周辺I/Oによる要求

DCHCn.TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると, DMA転送を起動します。

- 注意1.** 同一のDMAチャンネルに対して, 2つの起動要因 (ソフトウェア・トリガ, ハードウェア・トリガ) を併用できません。1つのDMAチャンネルに対して, 2つの起動要因が同時に発生した場合, どちらか一方だけが有効となります。有効となった起動要因の特定はできません。
2. 先のDMA転送要求が発生してから, または先のDMA転送サイクル中に新たな転送要求が発生しても, その要求は無視 (クリア) されます。
3. 同一のDMAチャンネルに対する転送要求間隔は, DMA転送サイクル中のバス・ウエイトの設定や他のチャンネルの起動状況, または外部バス・ホールド要求により変化します。特に注意2のとおり, DMA転送サイクル前, または転送サイクル中に同一チャンネルの新たな転送要求が発生しても, その要求は無視されてしまいます。したがって, 同一のDMAチャンネルに対する転送要求間隔は, システム上で十分な間隔をもつようにしてください。ソフトウェア・トリガ時は, DBCnレジスタの更新により, 先に発生したDMA転送サイクルの完了を確認できます。

★ 16.10 DMAの中断要因

DMA転送は、バス・ホールドが発生すると中断されます。

内部メモリ / 内蔵周辺IO 内部メモリ / 内蔵周辺I/O時も同様です。

バス・ホールドが解除されると、引き続きDMA転送を開始します。

★ 16.11 DMA転送の終了

DBCnレジスタに設定した回数分DMA転送が終了し、DCHCn.Ennビットがクリア(0)、TCnビットがセット(1)されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み要求信号 (INTDMA_n) を発生します (n = 0-3)。

μPD703229Y, 70F3229Yでは、ターミナル・カウント信号を外部に出力していませんので、DMA転送終了割り込み、またはTCnビットのポーリングによりDMA転送の完了を確認してください。

★ 16.12 動作タイミング

次にDMA転送の動作タイミングを示します。

図16 - 1 DMAの優先順位 (1)

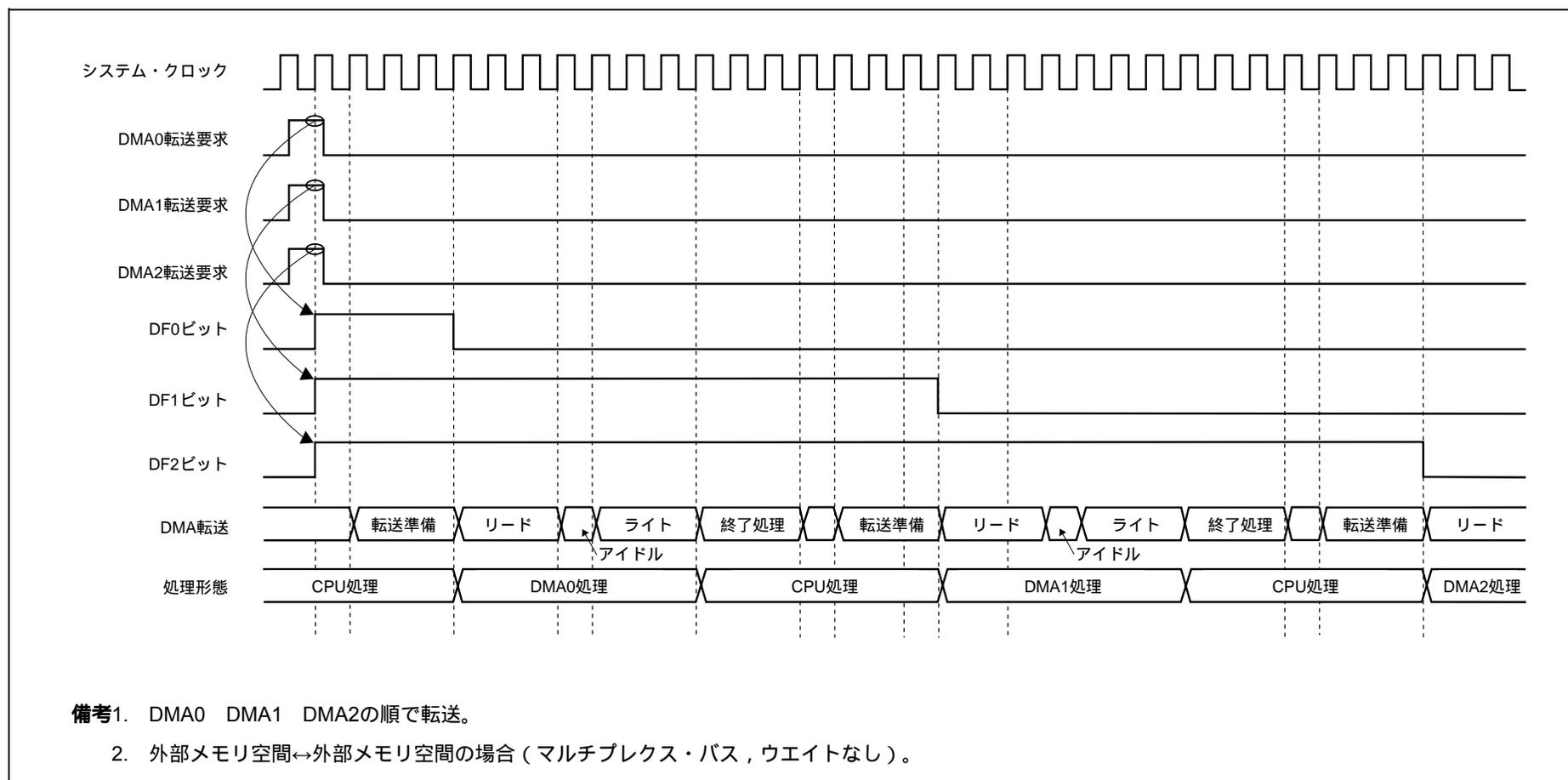


図16 - 2 DMAの優先順位 (2)

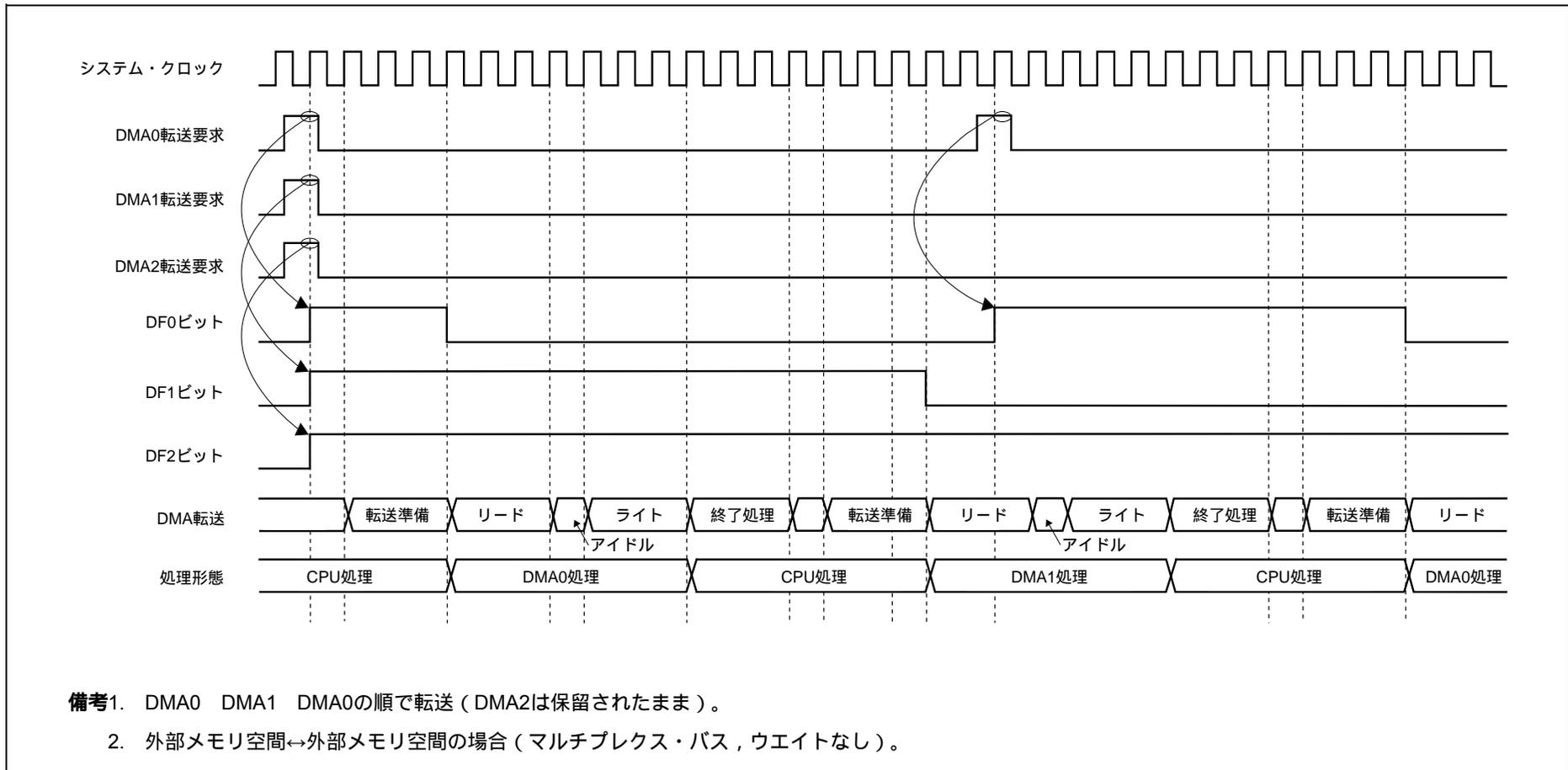


図16 - 3 DMAの転送要求が無視される期間 (1)

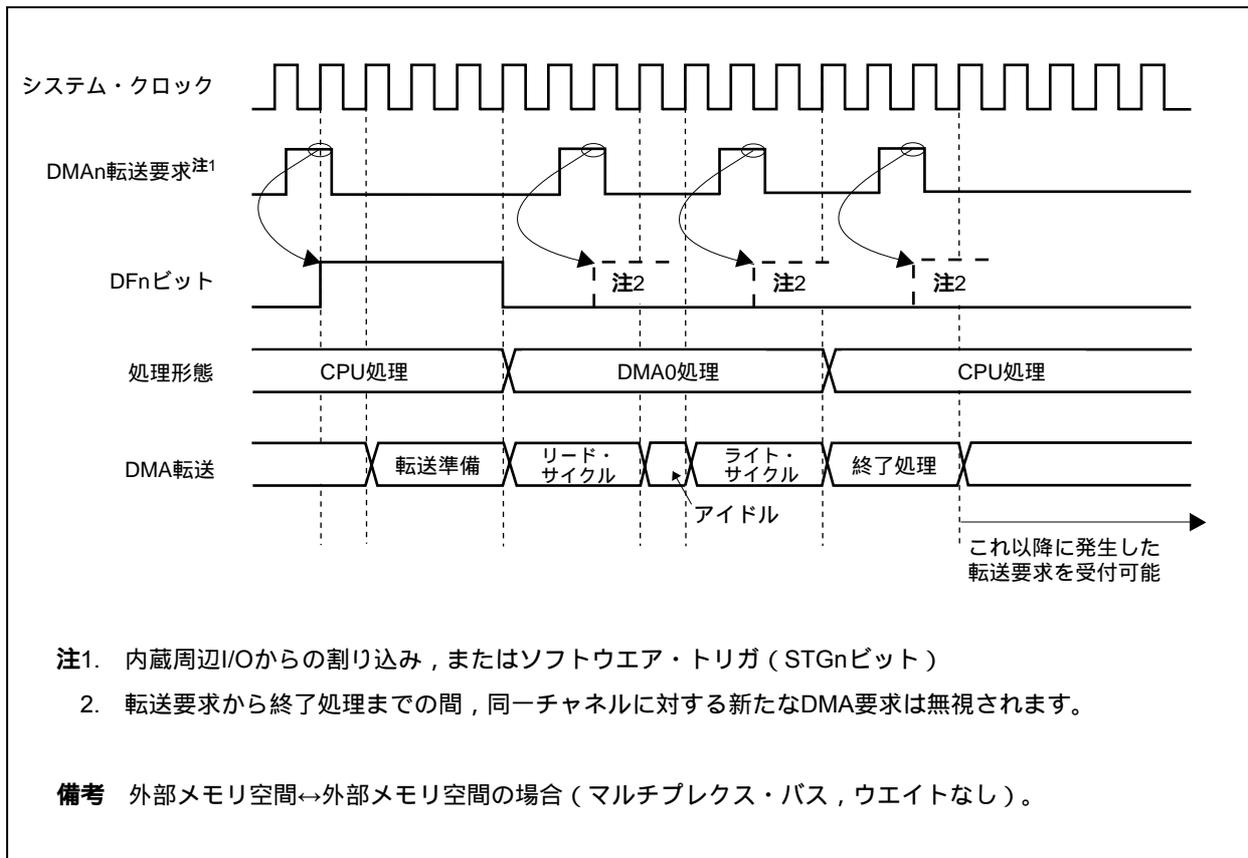
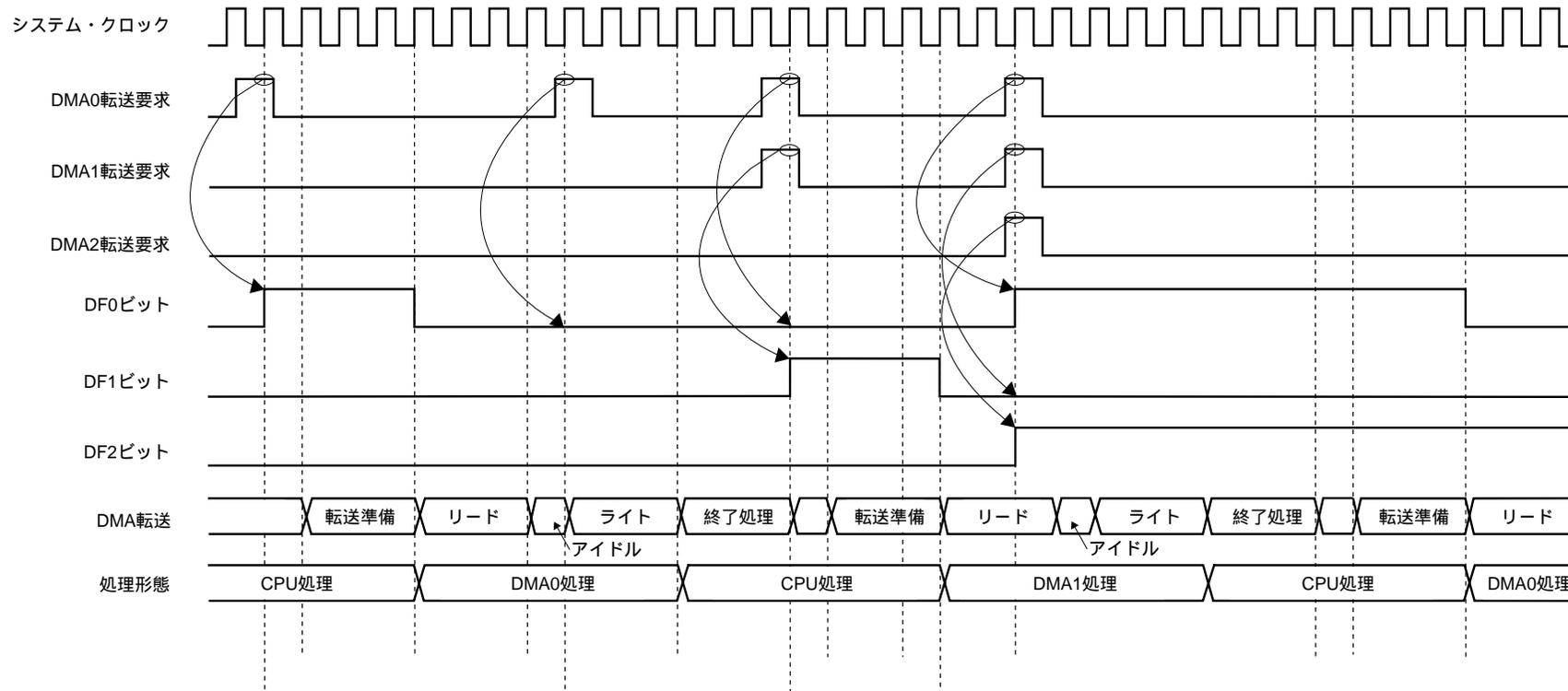


図16 - 4 DMAの転送要求が無視される期間 (2)



DMA0転送要求

DMA0転送中に新たなDMA0転送要求が発生

DMA転送中の同一チャンネルのDMA要求は無視される

DMA0とDMA1の要求が同時発生

DMA0の要求は無視される (転送中の同一チャンネルのDMA要求は無視される)

DMA1の要求が受け付けられる

DMA0とDMA1とDMA2の要求が同時に発生

DMA1の要求は無視される (転送中の同一チャンネルのDMA要求は無視される)

優先順位によりDMA0の要求が受け付けられる。DMA2の要求は保留 (次はDMA2の転送が発生)

★ 16.13 注意事項

(1) VSWCレジスタに関する注意

DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。

VSWCレジスタの初期値 (77H)、または最適な値以外でを使用した場合は正常に動作できません (VSWCレジスタの詳細については、3.4.8 (1) (a) システム・ウェイト・コントロール・レジスタ (VSWC) を参照してください)。

(2) 内蔵RAMを転送対象とするDMA転送時の注意

内蔵RAMに配置された次の命令を実行する場合は、内蔵RAMを対象 (転送先 / 転送元) とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。

- ・内蔵RAMに配置されたビット操作命令 (SET1, CLR1, NOT1)
- ・内蔵RAMに配置されたミス・アライン・アドレスに対するデータ・アクセス命令

逆に、内蔵RAMを対象 (転送先 / 転送元) としたDMA転送を行う場合は、上の2つの命令を実行しないでください。

(3) DCHCn.TCnビットのリードに関する注意事項 (n = 0-3)

TCnビットは、読み出しによりクリア (0) されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア (0) されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。

(a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合

TCnビットがセット (1) されたことを確認したあと (TCnビット = 1が読み出されたあと)、さらに3回のTCnビットのリードを行ってください。

(b) 割り込み処理ルーチンでTCnビットのリードを行う場合

TCnビットのリードを3回実行してください。

(4) DMA転送の初期化手順について (DCHCn.INITnビットのセット (1))

DMA転送中のチャンネルを初期化するとき、INITnビットをセット (1) しても、チャンネルの初期化が行われない場合があります。初期化を確実に実行するために、次に示す2つの手順のいずれかを実行させてください。

(a) 一時的にすべてのDMAチャンネルの転送を停止させる方法

次に示す ~ の手順で初期化を実行してください。

ただし、次の に示す処理の実行により、TCnビットがクリア (0) されてしまいます。他の処理において、TCnビット = 1 となっていることを期待したプログラムになっていないことを確認してください。

割り込み禁止状態 (DI) にする。

強制終了したいチャンネル以外に使用しているDMAチャンネルのDCHCn.Ennビットを読み出し、汎用レジスタに転送する。

使用しているDMAチャンネル (強制終了するチャンネルを含む) のEnnビットをクリア (0) する。最終のDMAチャンネルの場合にはEnnビットのクリア命令を2回実行する。このとき、転送対象 (転送元 / 転送先) が内蔵RAMの場合は、3回実行する。

例 チャンネル0, 1, 2を使用している場合には、次の順で命令を実行する (転送対象が内蔵RAMでない場合)。

- ・ DCHC0.E00ビットをクリア (0)
- ・ DCHC1.E11ビットをクリア (0)
- ・ DCHC2.E22ビットをクリア (0)
- ・ 再度、DCHC2.E22ビットをクリア (0)

強制終了するチャンネルのINITnビットをセット (1) する。

強制終了しない各チャンネルのTCnビットを読み出し、TCnビットと で読み出したEnnビットが、ともに1 (論理積 (AND) が1) の場合は退避していたEnnビットをクリア (0) する。

で操作後のEnnビットをDCHCnレジスタに書き込む。

割り込み許可状態 (EI) にする。

注意 上記 は、 , の間に正常終了したチャンネルに対して、再度Ennビットを不正にセットすることを防ぐため、必ず行ってください。

(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法

強制終了したいチャンネルのDMA要求元からのリクエストが発生しないようにする (内蔵周辺I/Oの動作停止)。

DTFRn.DFnビットにより、強制終了するチャンネルのDMA転送要求が保留されていないかを確認。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

強制終了するチャンネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア (0) する。

再度、強制終了するチャンネルのEnnビットをクリア (0) する。

ただし、強制終了するチャンネルの転送対象 (転送元 / 転送先) が内蔵RAMの場合は、この操作をさらにもう一度実行する。

強制終了するチャンネルの初期転送回数を汎用レジスタにコピーする。

強制終了するチャンネルのINITnビットをセット (1) する。

強制終了するチャンネルのDBCnレジスタの値を読み出し、 でコピーした値と比較する。比較した結果、一致しない場合は から の操作を繰り返す。

- 備考1.** でDBCnレジスタの値を読み出すと、正常に強制終了を完了した場合は初期転送回数が読み出されず。未完了の場合は残りの転送回数が読み出されます。
2. (b)の方法は、強制終了の対象となっているDMAチャンネル以外のDMA転送が頻繁に行われるようなアプリケーションの場合、強制終了されるまでに時間を要する可能性があるので注意してください。

(5) DMA転送の一時中断手順について(Ennビットのクリア)

実行中のDMA転送を中断し、再開するには次の手順にしたがってください。

DMA要求元からの転送要求が発生しないようにする (内蔵周辺I/Oの動作を停止)。

DFnビットにより、DMA転送要求が保留されていないかを確認する(DFnビット = 0であることを確認)。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア (0) する (この操作により、DMA転送が中断される)。

DMA転送を再開させるためにEnnビットをセット (1) する。

停止しているDMA要求元の動作を再開する (内蔵周辺I/Oの動作を開始)。

(6) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象 (外部メモリ、内蔵RAM、内蔵周辺I/O) の領域を越えた場合の動作は保証できません。

(7) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

(8) CPUへのバス・アービトレーション

バス使用権の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが開放されるまで待たされます。

ただし、CPUはDMA転送を行っていない外部メモリ、内蔵周辺I/O、内蔵RAMとのアクセスが可能です。

- ・外部メモリ 内蔵周辺I/Oとの間でDMA転送が行われているとき、CPUは内蔵RAMにアクセスできません。
- ・外部メモリ 外部メモリでDMA転送が行われているときは、CPUは内蔵RAM、内蔵周辺I/Oにアクセスできます。

(9) DMA動作中の書き換え禁止レジスタ/ビット

次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

【対象レジスタ】

- ・DSAnH, DSAnL, DDAnH, DDAnL, DBCn, DADCnレジスタ
- ・DTFRn.IFCn5-IFCn0ビット

【設定可能タイミング】

- ・リセット後から最初のDMA転送開始までの期間
- ・チャンネル初期化後からDMA転送開始までの時間
- ・DMA転送完了後 (TCnビット = 1の状態) から次のDMA転送開始までの期間

(9) 次のレジスタの各ビットには、必ず“0”を設定してください。

- ・DSAnHレジスタのビット14-10
- ・DDAnHレジスタのビット14-10
- ・DADCnレジスタのビット15, 13-8, 3-0
- ・DCHCnレジスタのビット6-3

(10) DMAの起動要因

同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられる場合があります。

(11) DSA_n, DDA_nレジスタの読み出し値

DMA転送中にDSA_n, DDA_nレジスタの値を読み出した場合、更新途中の値が読み出されることがあります (n = 0-3)。

たとえば、DMA転送元アドレス (DSA_nレジスタ) が0000FFFFH、カウント方向がインクリメント (DADC_n.SAD1, SAD0ビット = 00)の場合、DSA_nHレジスタ DSA_nLレジスタの順に読み出しを行うと、DSA_nHレジスタ読み出し直後のDMA転送の有無によって、DSA_nLレジスタの値が次のように異なります。

(a) DSA_nレジスタの読み出し中にDMA転送が発生しない場合

DSA_nHレジスタの読み出し : DSA_nH = 0000H

DSA_nLレジスタの読み出し : DSA_nL = FFFFH

(b) DSA_nレジスタの読み出し中にDMA転送が発生する場合

DSA_nHレジスタの読み出し : DSA_nH = 0000H

DMA転送の発生

DSA_nレジスタのインクリメント : DSA_n = 00100000H

DSA_nLレジスタの読み出し : DSA_nL = 0000H

第17章 割り込み / 例外処理機能

μ PD703229Y, 70F3229Yは、割り込み処理用に専用の割り込みコントローラ (INTC) を内蔵し、合計47要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

μ PD703229Y, 70F3229Yでは、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動 (ソフトウェア例外) や、例外事象の発生 (不正命令コードのフェッチ) による例外処理の起動 (例外トラップ) が可能です。

17.1 特 徴

割り込み

- ・ ノンマスカブル割り込み : 2要因
- ・ マスカブル割り込み : 外部8本, 内部37要因
- ・ 8レベルのプログラマブル優先順位制御 (マスカブル割り込み)
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスカブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外 : 32要因
- ・ 例外トラップ : 2要因 (不正命令コード例外, デバッグ・トラップ)

これらの割り込み / 例外要因を表17 - 1に示します。

表17-1 割り込み要因一覧 (1/2)

種類	分類	デフォルト・ ファイオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	RESET端子入力	端子	0000H	00000000H	不定	-
				WDT2からの内部リセット	WDT2				
ノンマスクابل	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
		-	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注1	-
ソフトウェア例外	例外	-	TRAP0n ^{注2}	TRAP命令	-	004nH ^{注2}	00000040H	nextPC	-
		-	TRAP1n ^{注2}	TRAP命令	-	005nH ^{注2}	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBG0	不正命令コード/ DBTRAP命令	-	0060H	00000060H	nextPC	-
マスクابل	割り込み	0	INTLVI	低電圧検出割り込み	POC/LVI	0080H	00000080H	nextPC	LVIIC
		1	INTP0	外部割り込み端子入力 エッジ検出 (INTP0)	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	外部割り込み端子入力 エッジ検出 (INTP1)	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	外部割り込み端子入力 エッジ検出 (INTP2)	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	外部割り込み端子入力 エッジ検出 (INTP3)	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	外部割り込み端子入力 エッジ検出 (INTP4)	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	外部割り込み端子入力 エッジ検出 (INTP5)	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	外部割り込み端子入力 エッジ検出 (INTP6)	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTP7	外部割り込み端子入力 エッジ検出 (INTP7)	端子	0100H	00000100H	nextPC	PIC7
		9	INTTQ0OV	TMQ0オーバフロー	TMQ0	0110H	00000110H	nextPC	TQ0OVIC
		10	INTTQ0CC0	TMQ0キャプチャ0/ コンペア0一致	TMQ0	0120H	00000120H	nextPC	TQ0CCIC0
		11	INTTQ0CC1	TMQ0キャプチャ1/ コンペア1一致	TMQ0	0130H	00000130H	nextPC	TQ0CCIC1
		12	INTTQ0CC2	TMQ0キャプチャ2/ コンペア2一致	TMQ0	0140H	00000140H	nextPC	TQ0CCIC2
		13	INTTQ0CC3	TMQ0キャプチャ3/ コンペア3一致	TMQ0	0150H	00000150H	nextPC	TQ0CCIC3
		14	INTTP0OV	TMP0オーバフロー	TMP0	0160H	00000160H	nextPC	TP0OVIC
		15	INTTP0CC0	TMP0キャプチャ0/ コンペア0一致	TMP0	0170H	00000170H	nextPC	TP0CCIC0
		16	INTTP0CC1	TMP0キャプチャ1/ コンペア1一致	TMP0	0180H	00000180H	nextPC	TP0CCIC1
17	INTTP1OV	TMP1オーバフロー	TMP1	0190H	00000190H	nextPC	TP1OVIC		

★ 注1. INTWDT2の場合の復帰については17.9 注意事項を参照してください。
 2. nは0-FHの値

表17-1 割り込み要因一覧 (2/2)

種類	分類	デフォルト・ 優先度	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスクابل	割り込み	18	INTTP1CC0	TMP1キャプチャ0/ コンペア0一致	TMP1	01A0H	000001A0H	nextPC	TP1CCIC0
		19	INTTP1CC1	TMP1キャプチャ1/ コンペア1一致	TMP1	01B0H	000001B0H	nextPC	TP1CCIC1
		20	INTTP2OV	TMP2オーバフロー	TMP2	01C0H	000001C0H	nextPC	TP2OVIC
		21	INTTP2CC0	TMP2キャプチャ0/ コンペア0一致	TMP2	01D0H	000001D0H	nextPC	TP2CCIC0
		22	INTTP2CC1	TMP2キャプチャ1/ コンペア1一致	TMP2	01E0H	000001E0H	nextPC	TP2CCIC1
		23	INTTP3OV	TMP3オーバフロー	TMP3	01F0H	000001F0H	nextPC	TP3OVIC
		24	INTTP3CC0	TMP3キャプチャ0/ コンペア0一致	TMP3	0200H	00000200H	nextPC	TP3CCIC0
		25	INTTP3CC1	TMP3キャプチャ1/ コンペア1一致	TMP3	0210H	00000210H	nextPC	TP3CCIC1
		26	INTTM0EQ0	TMM0コンペア一致	TMM0	0220H	00000220H	nextPC	TM0EQIC0
		27	INTCB0R/ INTIIC0	CSIB0の受信終了/ CSIB0の受信エラー/ IIC0の転送終了	CSIB0/ IIC00	0230H	00000230H	nextPC	CB0RIC/ IICIC0
		28	INTCB0T	CSIB0の連続送信書き 込み許可	CSIB0	0240H	00000240H	nextPC	CB0TIC
		29	INTCB1R	CSIB1の受信終了/ CSIB1の受信エラー	CSIB1	0250H	00000250H	nextPC	CB1RIC
		30	INTCB1T	CSIB1の連続送信書き 込み許可	CSIB1	0260H	00000260H	nextPC	CB1TIC
		31	INTUA0R	UARTA0の受信終了/ UARTA0の受信エラー	UARTA0	0270H	00000270H	nextPC	UA0RIC
		32	INTUA0T	UARTA0の連続送信許可	UARTA0	0280H	00000280H	nextPC	UA0TIC
		33	INTUA1R	UARTA1の受信終了/ UARTA1の受信エラー	UARTA1	0290H	00000290H	nextPC	UA1RIC
		34	INTUA1T	UARTA1の連続送信許可	UARTA1	02A0H	000002A0H	nextPC	UA1TIC
		35	INTAD	A/D変換終了	A/D	02B0H	000002B0H	nextPC	ADIC
		36	INTKR	キー・リターン割り込み	KR	0300H	00000300H	nextPC	KRIC
		37	INTWTI	時計タイマのインター バル	WT	0310H	00000310H	nextPC	WTIIC
		38	INTWT	時計タイマの基準時間	WT	0320H	00000320H	nextPC	WTIC
		39	INTUA2R	UARTA2の受信終了/ UARTA2の受信エラー	UARTA2	03B0H	000003B0H	nextPC	UA2RIC
		40	INTUA2T	UARTA2の連続送信許可	UARTA2	03C0H	000003C0H	nextPC	UA2TIC
		41	INTDMA0	DMA0転送終了	DMA	0410H	00000410H	nextPC	DMAIC0
		42	INTDMA1	DMA1転送終了	DMA	0420H	00000420H	nextPC	DMAIC1
		43	INTDMA2	DMA2転送終了	DMA	0430H	00000430H	nextPC	DMAIC2
44	INTDMA3	DMA3転送終了	DMA	0440H	00000440H	nextPC	DMAIC3		

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスクブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスクブル割り込みの優先順位は、INTWDT2 > NMIとなります。

復帰PC：割り込み処理起動時に、CPUのEIPCまたはFEPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令実行中にノンマスクブル / マスクブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます）。

- ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・除算命令（DIV, DIVH, DIVU, DIVHU）
- ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。

17.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

この製品のノンマスカブル割り込み要求信号には、次の2つがあります。

- ・ NMI端子入力（NMI）
- ・ ウォッチドッグ・タイマのオーバーフローによるノンマスカブル割り込み要求信号（INTWDT2）

NMI端子の有効エッジは、“立ち上がりエッジ” “立ち下がりエッジ” “両エッジ” “エッジ検出なし” の4種類から選択できます^注。

- ★ **注** NMI端子は、PMC0レジスタおよびINTF0、INTR0レジスタの設定により、その機能が有効となります。PMC0、INTF0、INTR0レジスタを設定しない場合、NMI端子は有効でないため注意してください。次にNMI端子を有効にするための設定手順を示します。

PMC0.PMC02ビット = 1に設定し、兼用機能（NMI）を有効にします。

INTF0.INTF02ビット、INTR0.INTR02ビットを任意の値に設定し、希望するエッジ検出を設定します。

ウォッチドッグ・タイマ2のオーバーフローによるノンマスカブル割り込み（INTWDT2）はWDTM2.WDM21、WDM20ビットを“01”と設定することで機能します。

複数のノンマスカブル割り込みが重なって発生した場合は、次の優先順位に従って順位の高い処理が事項されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2 > NMI

なお、NMI処理中に、新たにNMI、INTWDT2要求信号が発生した場合は次のような処理を行います。

（1）NMI処理中に、新たにNMI要求信号が発生した場合

PSW.NPビットの値によらず、新たなNMI要求信号は保留されます。保留されたNMI要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

（2）NMI処理中に、新たにINTWDT2要求信号が発生した場合

NMI処理中にNPビットがセット（1）されたままであれば、新たなINTWDT2要求信号は保留されます。保留されたINTWDT2要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

NMI処理中にNPビットをクリア（0）すれば、新たに発生したINTWDT2要求信号が実行されます（NMI処理は中断されます）。

- ★ **注意** ノンマスカブル割り込み要求信号（INTWDT2）によるノンマスカブル割り込み処理については17.9 注意事項を参照してください。

図17-1 ノンマスカブル割り込み要求信号の受け付け動作 (1/2)

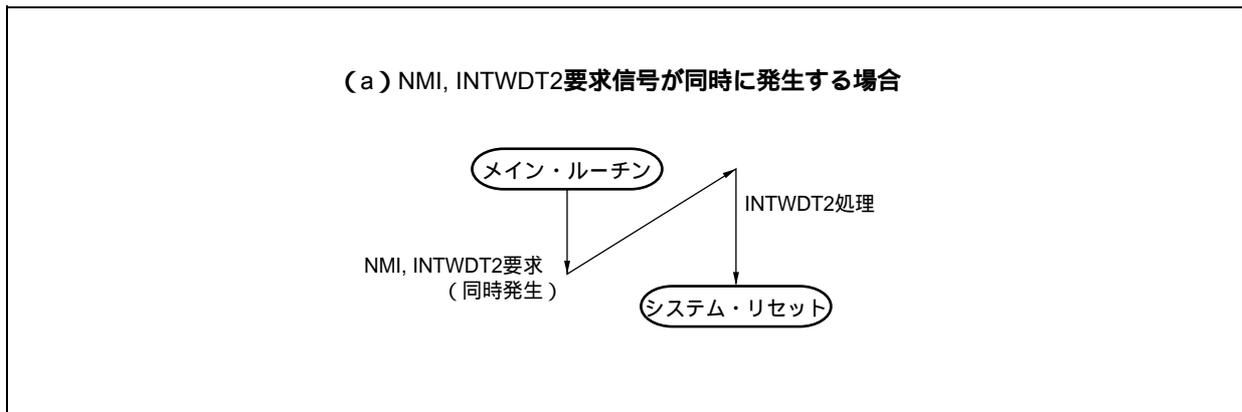


図17-1 ノンマスクابل割り込み要求信号の受け付け動作 (2/2)

(b) ノンマスクابل割り込み処理中に新たにノンマスクابل割り込み要求信号が発生する場合	
処理中の ノンマスクابل 割り込み	ノンマスクابل割り込み処理中に新たに発生するノンマスクابل割り込み要求信号
NMI	INTWDT2
<p>・ NMI処理中にNMI要求が発生</p>	<p>・ NMI処理中にINTWDT2要求が発生 (INTWDT2要求前にNP = 1のまま)</p> <p>・ NMI処理中にINTWDT2要求が発生 (INTWDT2要求前にNP = 0にする)</p> <p>・ NMI処理中にINTWDT2要求が発生 (INTWDT2要求後にNP = 0にする)</p>
<p>INTWDT2</p> <p>・ INTWDT2処理中にNMI要求が発生</p>	<p>・ INTWDT2処理中にINTWDT2要求が発生</p>

17.2.1 動作

NMI入力によりノンマスクابل割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

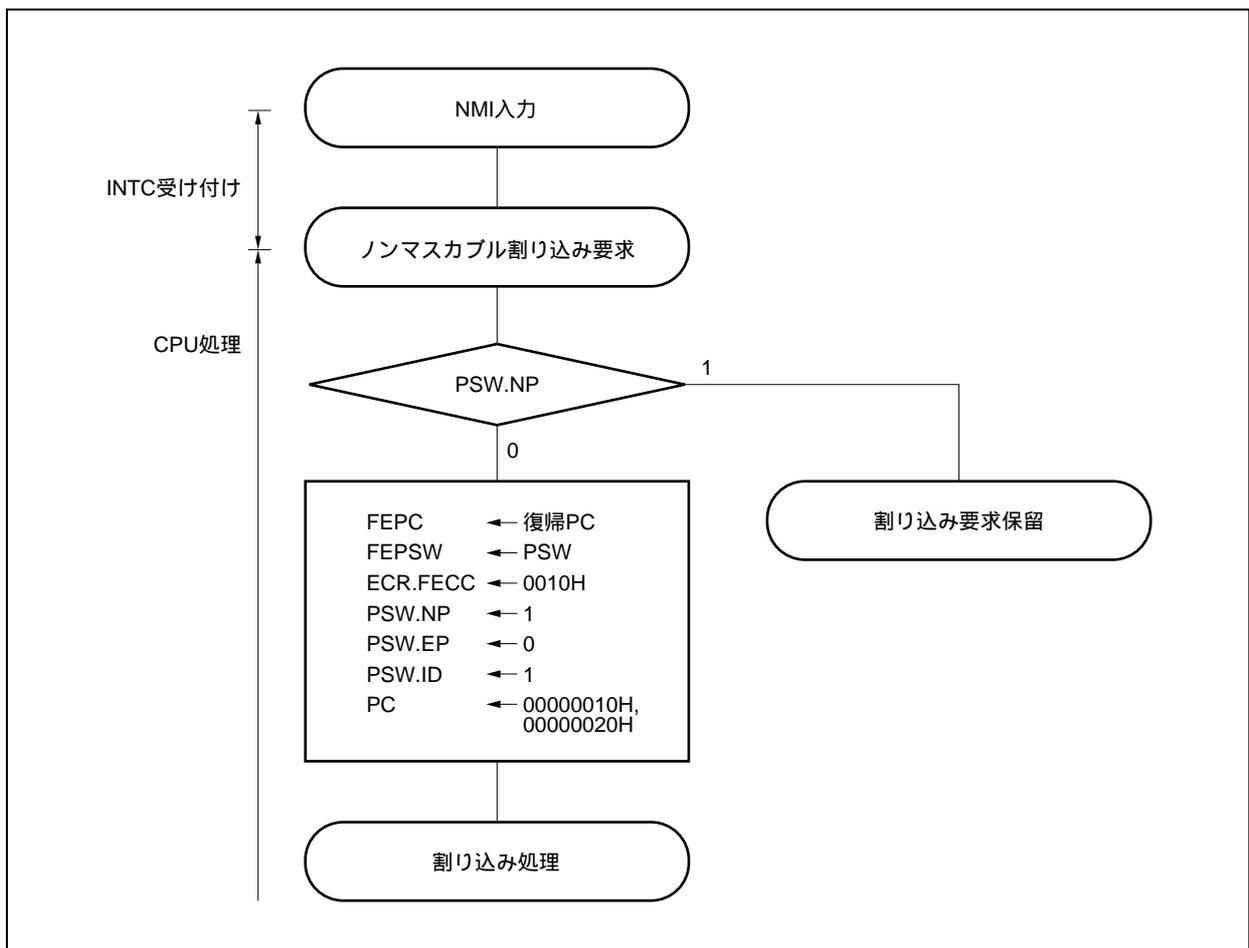
ECRの上位ハーフワード (FECC) に例外コード (0010H) を書き込みます。

PSW.NP, IDビットをセット (1) し, EPビットをクリア (0) します。

PCにノンマスクابل割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし, 制御を移します。

ノンマスクابل割り込みの処理形態を図17 - 2に示します。

図17 - 2 ノンマスクابل割り込みの処理形態



17.2.2 復 帰

(1) NMI端子入力の場合

NMI処理からの復帰は、RETI命令により行います。

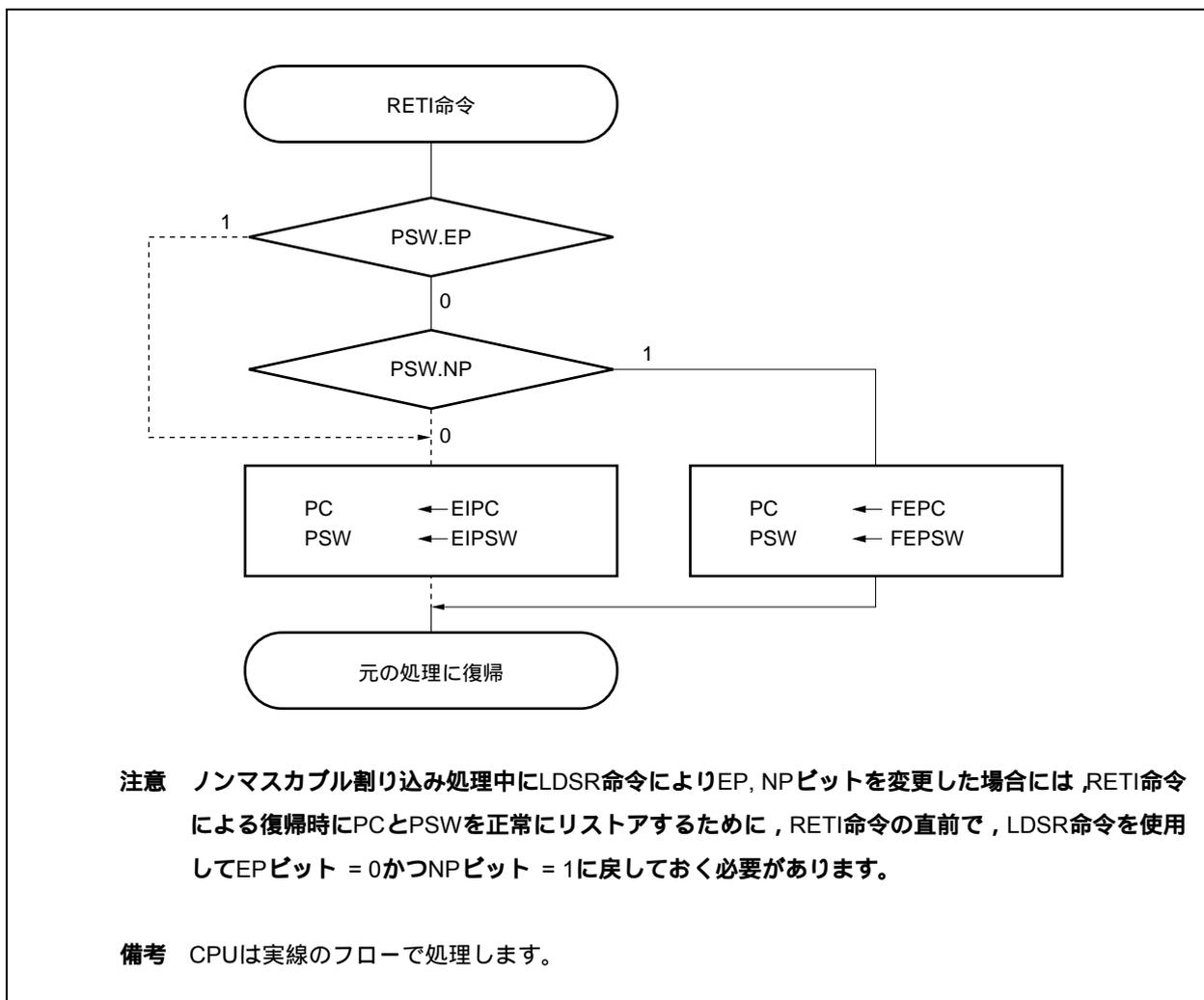
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図17 - 3に示します。

図17 - 3 RETI命令の処理形態



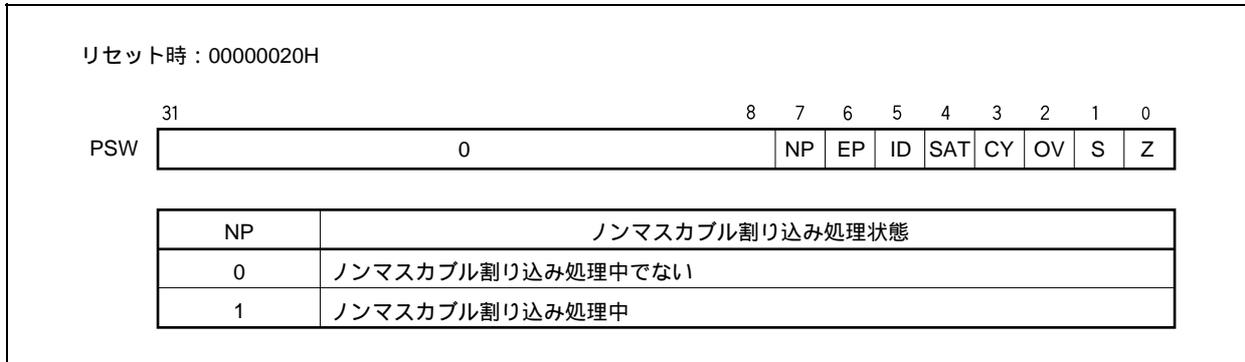
(2) INTWDT2信号の場合

- ★ **注意** ノンマスクابل割り込み要求信号(INTWDT2)によるノンマスクابل割り込み処理については17.9 注意事項を参照してください。

17.2.3 NPフラグ

NPフラグは、ノンマスクابل割り込みの処理中であることを示すステータス・フラグです。

ノンマスクابل割り込み要求信号を受け付けるとセットされ、ノンマスクابل割り込み要求をマスクして多重割り込みを禁止します。



17.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、45種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC, EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDIを行って、EIPC, EIPSWを元の値に復帰してください。

17.3.1 動作

INT入力によりマスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

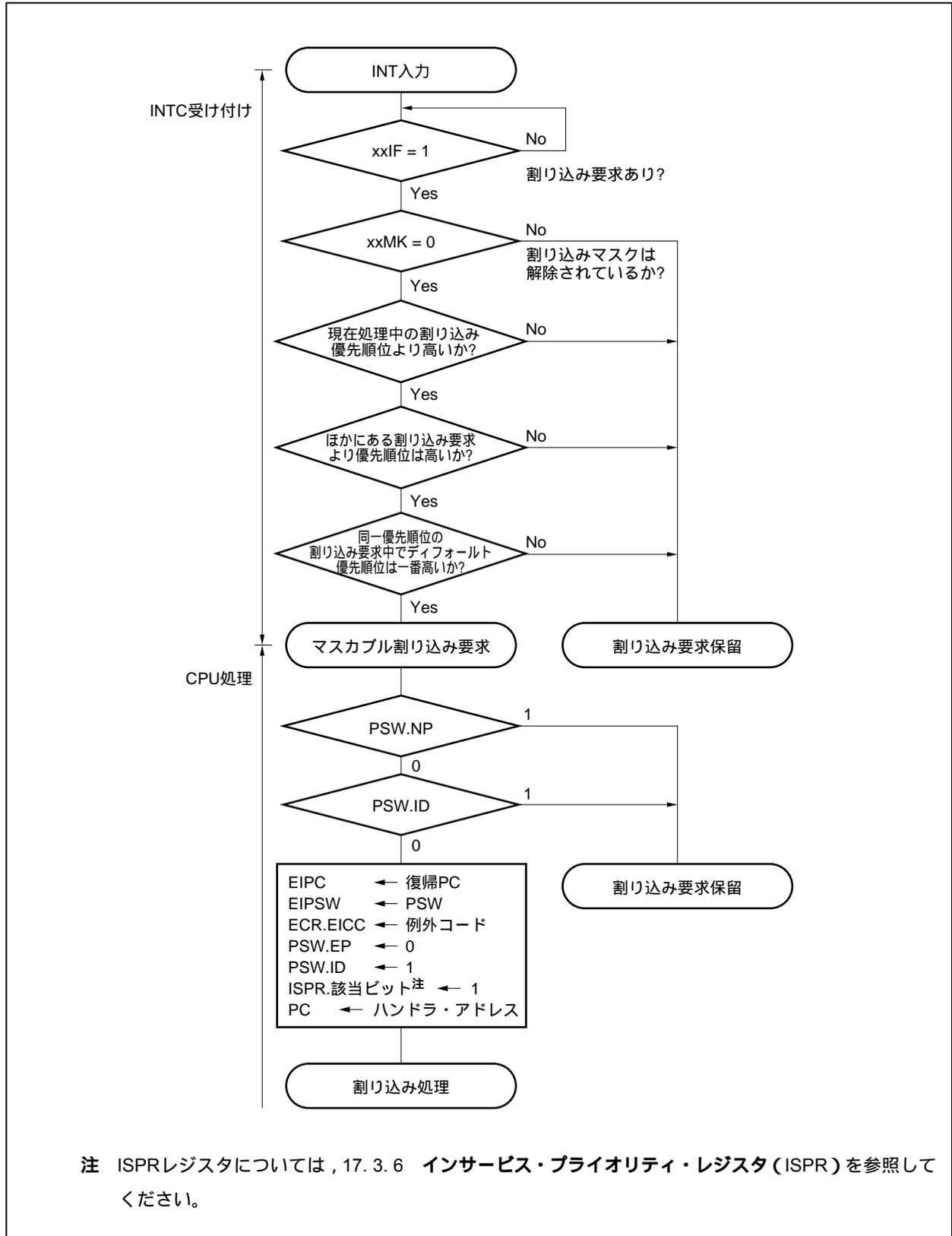
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図17-4 マスカブル割り込みの処理形態



17.3.2 復 帰

マスクابل割り込み処理からの復帰は、RETI命令により行います。

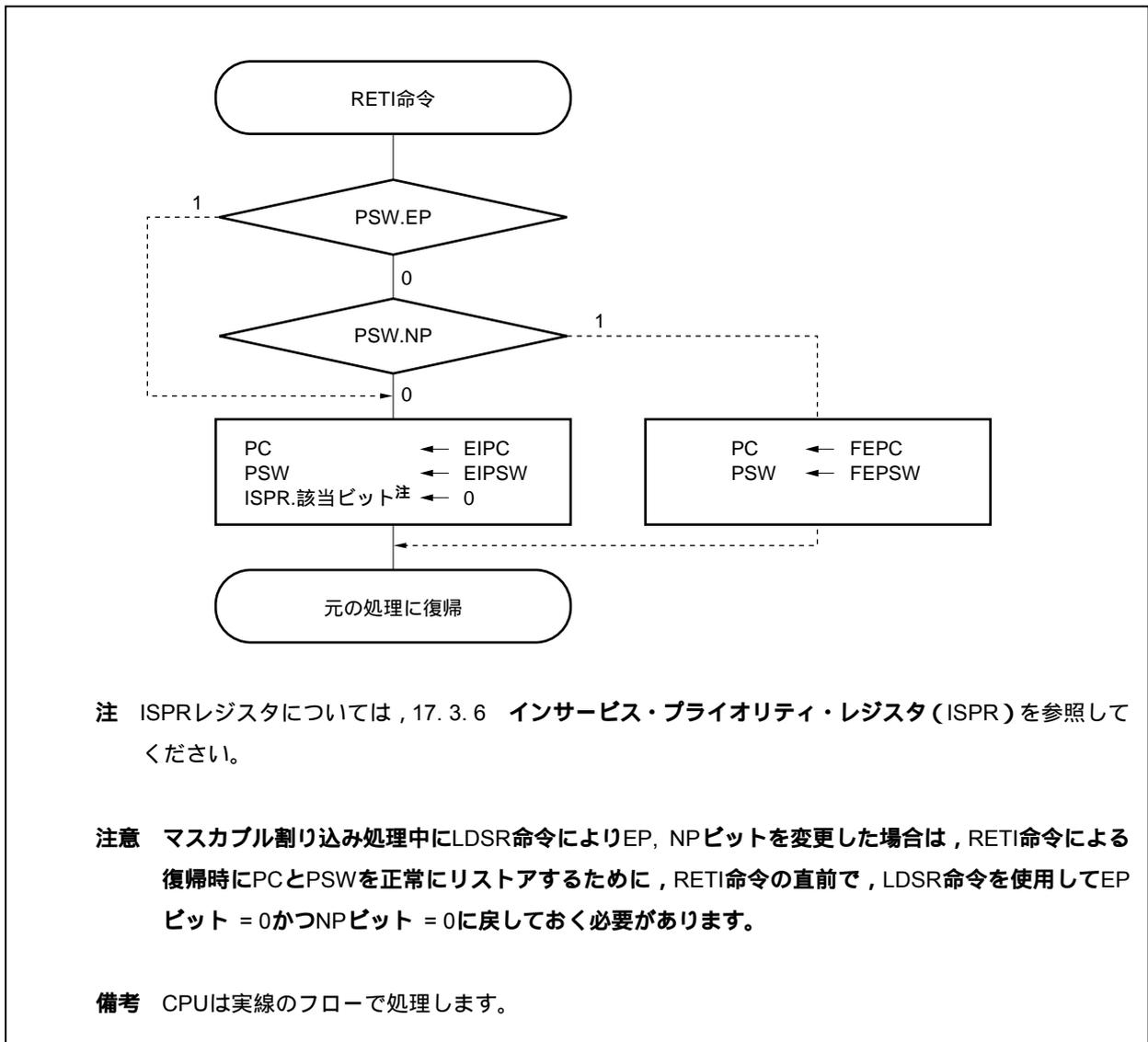
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図17 - 5に示します。

図17 - 5 RETI命令の処理形態



17.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表17-1 割り込み要因一覧参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表17-2 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表17-2 割り込み制御レジスタ (xxICn) 参照)

図17 - 6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

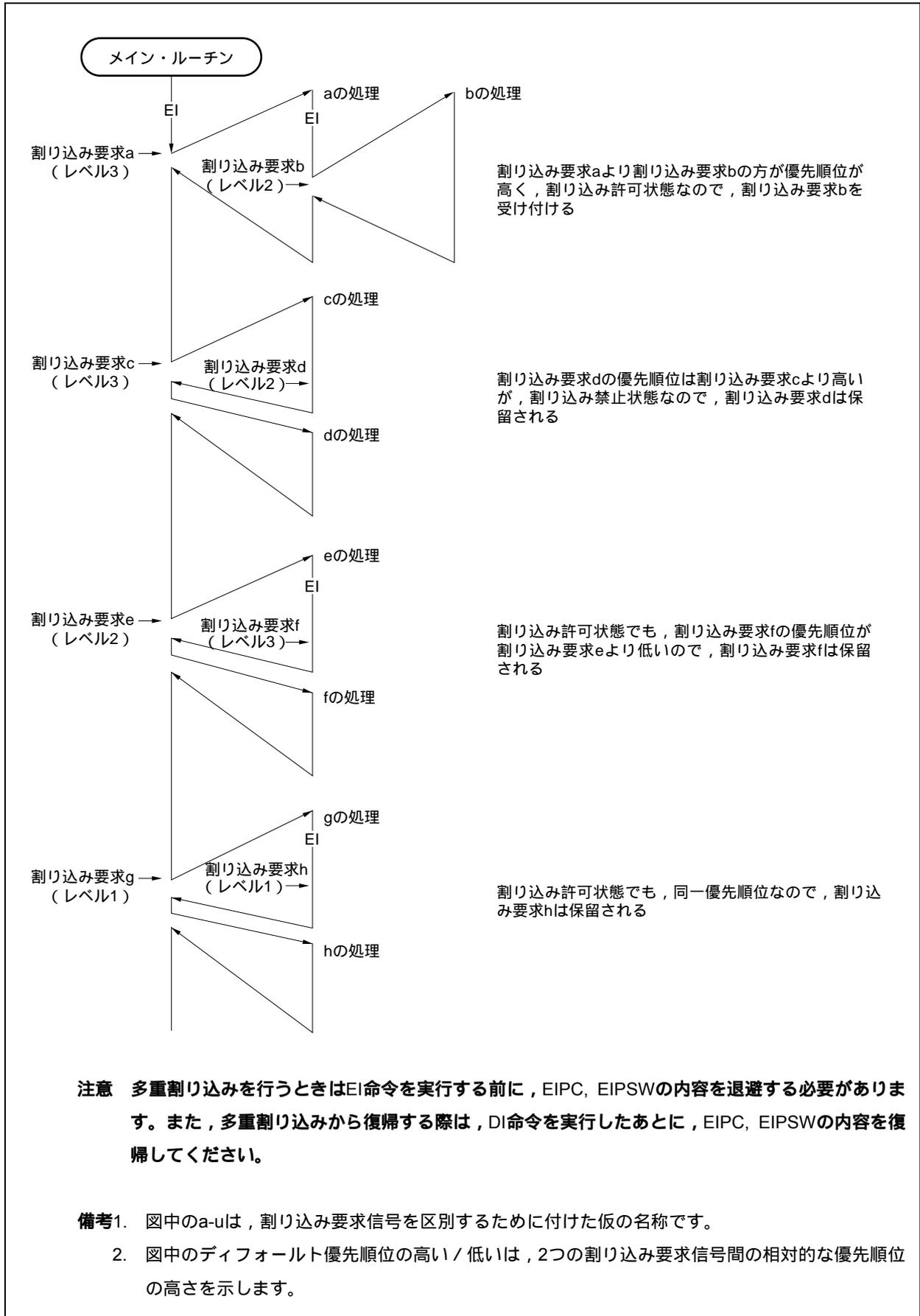


図17 - 6 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

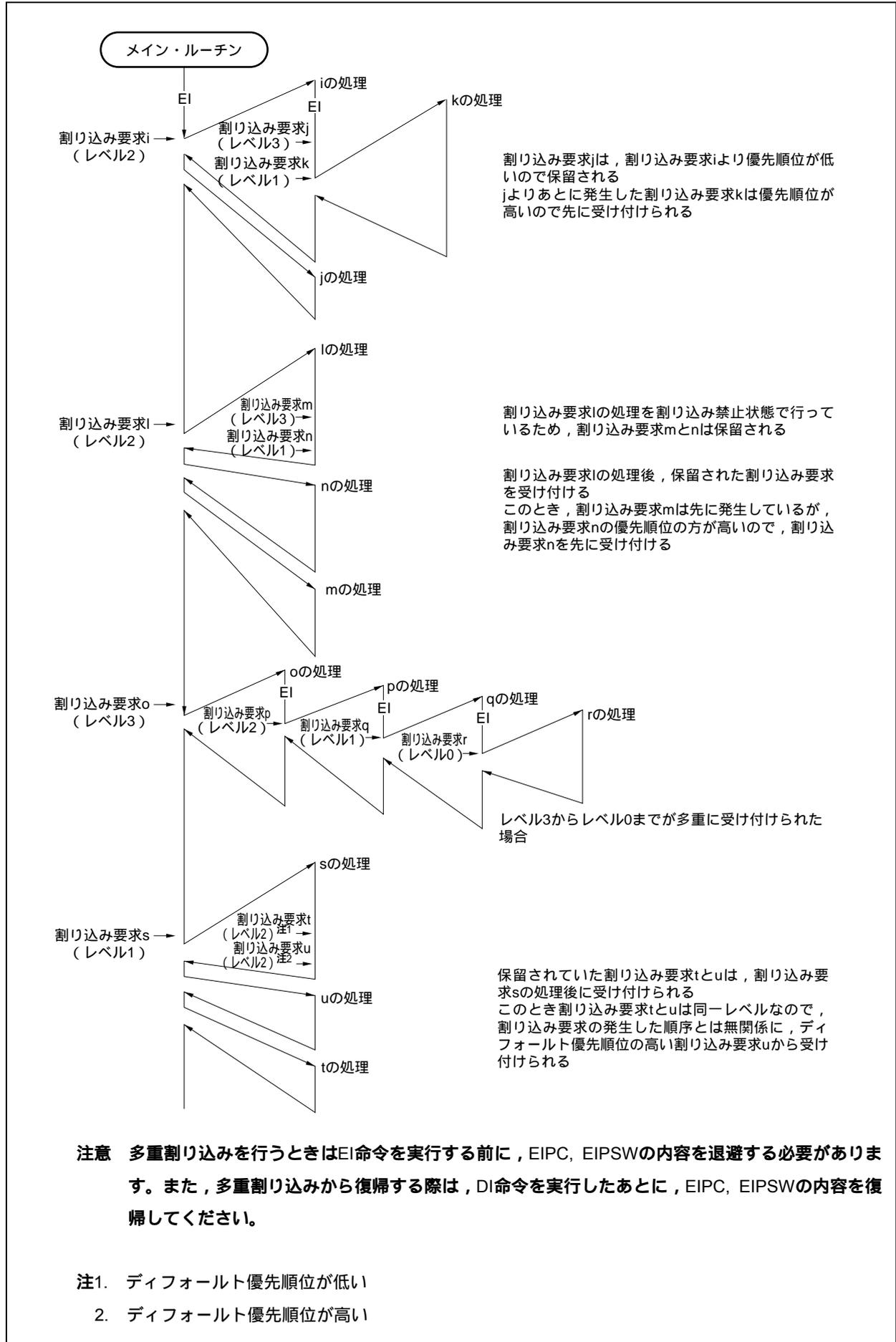
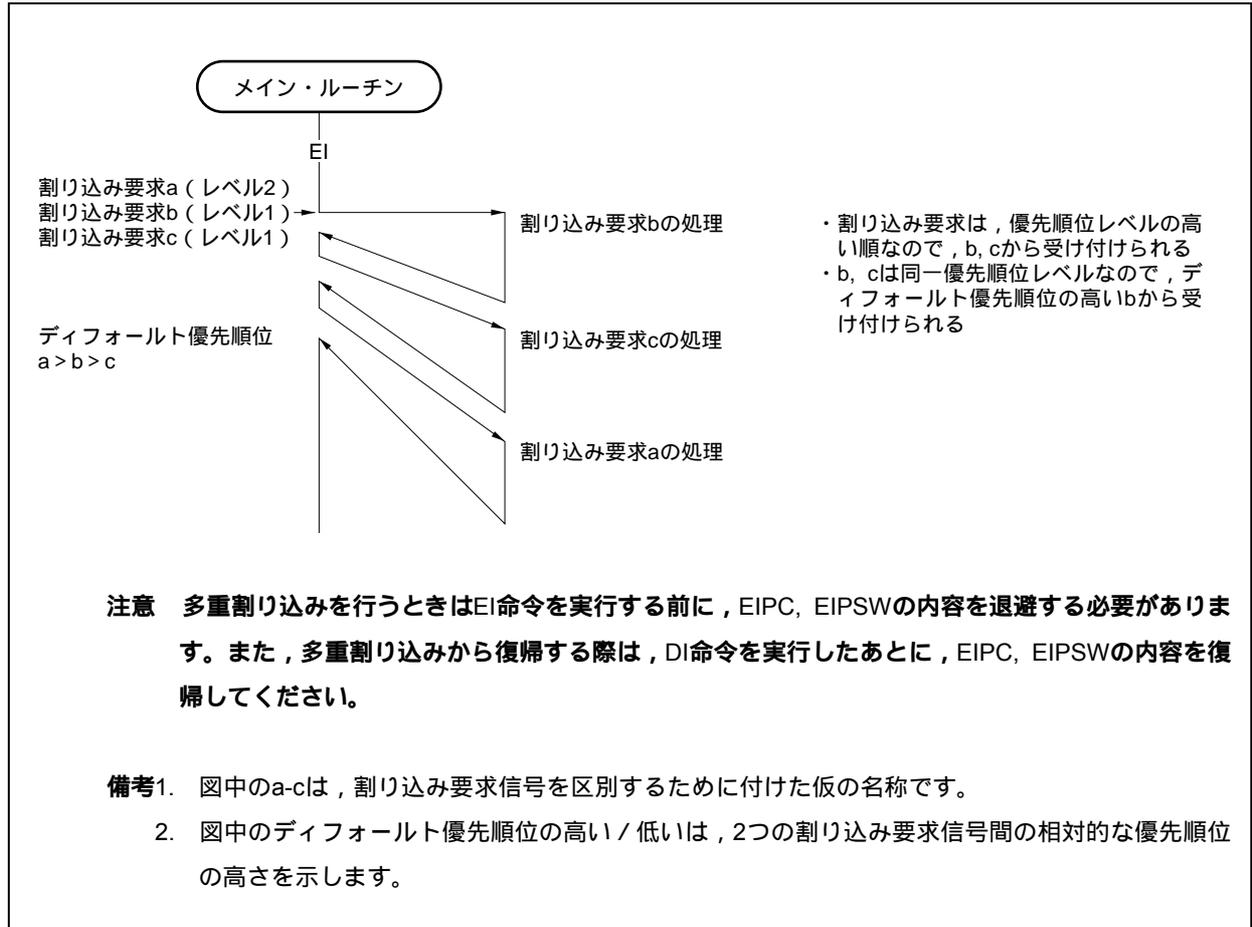


図17-7 同時発生した割り込み要求信号の処理例



17.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号 (マスカブル割り込み) ごとに割り当てられ、各割り込みに対する制御条件を設定します。
8/1ビット単位でリード/ライト可能です。
リセットにより47Hになります。

注意 xxICnレジスタのxxIFnビットを読み出す場合は、割り込み禁止 (DI) 状態で行ってください。割り込み許可 (EI) 状態でxxIFnビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。

リセット時 : 47H R/W アドレス : FFFFF112H-FFFFFF17CH

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1 を指定
0	1	0	レベル2 を指定
0	1	1	レベル3 を指定
1	0	0	レベル4 を指定
1	0	1	レベル5 を指定
1	1	0	レベル6 を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされま
す。

備考 xx : 各周辺ユニット識別名称 (表17-2 割り込み制御レジスタ (xxICn) 参照)
n : 周辺ユニット番号 (表17-2 割り込み制御レジスタ (xxICn) 参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表17-2 割り込み制御レジスタ (xxICn) (1/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	LVIIC	LVIIF	LVIMK	0	0	0	LVIPR2	LVIPR1	LVIPR0
FFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF118H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF120H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF122H	TQ0OVIC	TQ0OVIF	TQ0OVMK	0	0	0	TQ0OVPR2	TQ0OVPR1	TQ0OVPR0
FFFFF124H	TQ0CCIC0	TQ0CCIF0	TQ0CCMK0	0	0	0	TQ0CCPR2	TQ0CCPR1	TQ0CCPR0
FFFFF126H	TQ0CCIC1	TQ0CCIF1	TQ0CCMK1	0	0	0	TQ0CCPR12	TQ0CCPR11	TQ0CCPR10
FFFFF128H	TQ0CCIC2	TQ0CCIF2	TQ0CCMK2	0	0	0	TQ0CCPR22	TQ0CCPR21	TQ0CCPR20
FFFFF12AH	TQ0CCIC3	TQ0CCIF3	TQ0CCMK3	0	0	0	TQ0CCPR32	TQ0CCPR31	TQ0CCPR30
FFFFF12CH	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFF12EH	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR2	TP0CCPR1	TP0CCPR0
FFFFF130H	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFF132H	TP1OVIC	TP1OVIF	TP1OVMK	0	0	0	TP1OVPR2	TP1OVPR1	TP1OVPR0
FFFFF134H	TP1CCIC0	TP1CCIF0	TP1CCMK0	0	0	0	TP1CCPR2	TP1CCPR1	TP1CCPR0
FFFFF136H	TP1CCIC1	TP1CCIF1	TP1CCMK1	0	0	0	TP1CCPR12	TP1CCPR11	TP1CCPR10
FFFFF138H	TP2OVIC	TP2OVIF	TP2OVMK	0	0	0	TP2OVPR2	TP2OVPR1	TP2OVPR0
FFFFF13AH	TP2CCIC0	TP2CCIF0	TP2CCMK0	0	0	0	TP2CCPR2	TP2CCPR1	TP2CCPR0
FFFFF13CH	TP2CCIC1	TP2CCIF1	TP2CCMK1	0	0	0	TP2CCPR12	TP2CCPR11	TP2CCPR10
FFFFF13EH	TP3OVIC	TP3OVIF	TP3OVMK	0	0	0	TP3OVPR2	TP3OVPR1	TP3OVPR0
FFFFF140H	TP3CCIC0	TP3CCIF0	TP3CCMK0	0	0	0	TP3CCPR2	TP3CCPR1	TP3CCPR0
FFFFF142H	TP3CCIC1	TP3CCIF1	TP3CCMK1	0	0	0	TP3CCPR12	TP3CCPR11	TP3CCPR10
FFFFF144H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR2	TM0EQPR1	TM0EQPR0
FFFFF146H	CB0RIC/II CIC0	CB0RIF/II CIF0	CB0RMK/II CMK0	0	0	0	CB0RPR2/ IICPR02	CB0RPR1/ IICPR01	CB0RPR0/ IICPR00
FFFFF148H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFF14AH	CB1RIC	CB1RIF	CB1RMK	0	0	0	CB1RPR2	CB1RPR1	CB1RPR0
FFFFF14CH	CB1TIC	CB1TIF	CB1TMK	0	0	0	CB1TPR2	CB1TPR1	CB1TPR0
FFFFF14EH	UA0RIC	UA0RIF	UA0RMK	0	0	0	UA0RPR2	UA0RPR1	UA0RPR0
FFFFF150H	UA0TIC	UA0TIF	UA0TMK	0	0	0	UA0TPR2	UA0TPR1	UA0TPR0
FFFFF152H	UA1RIC	UA1RIF	UA1RMK	0	0	0	UA1RPR2	UA1RPR1	UA1RPR0
FFFFF154H	UA1TIC	UA1TIF	UA1TMK	0	0	0	UA1TPR2	UA1TPR1	UA1TPR0
FFFFF156H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR11	ADPR0
FFFFF160H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFFF162H	WTIIC	WTIIF	WTIMK	0	0	0	WTIPR2	WTIPR1	WTIPR0
FFFFF164H	WTIC	WTIF	WTMK	0	0	0	WTPR2	WTPR1	WTPR0
FFFFF176H	UA2RIC	UA2RIF	UA2RMK	0	0	0	UA2RPR2	UA2RPR1	UA2RPR0
FFFFF178H	UA2TIC	UA2TIF	UA2TMK	0	0	0	UA2TPR2	UA2TPR1	UA2TPR0

表17 - 2 割り込み制御レジスタ (xxICn) (2/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF182H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFFF184H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFFF186H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFFF188H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30

17.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxlCnレジスタのxxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/16ビット単位でリード/ライト可能です (m = 0-3)。

リセットによりFFFFHになります。

注意 デバイス・ファイルでは、xxlCnレジスタのxxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxlCnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

リセット時：FFFFH R/W アドレス：IMR3 FFFFF106H,
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H ^注)	1	1	1	DMAMK3	DMAMK2	DMAMK1	DMAMK0	1
	7	6	5	4	3	2	1	0
(IMR3L)	1	1	1	UA2TMK	UA2RMK	1	1	1

リセット時：FFFFH R/W アドレス：IMR2 FFFFF104H,
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^注)	1	1	1	1	1	WTMK	WTIMK	KRMK
	7	6	5	4	3	2	1	0
(IMR2L)	1	1	1	1	ADMK	UA1TMK	UA1RMK	UA0TMK

リセット時：FFFFH R/W アドレス：IMR1 FFFFF102H,
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^注)	UA0RMK	CB1TMK	CB1RMK	CB0TMK	CB0RMK/ IICMK0	TM0EQMK0	TP3CCMK1	TP3CCMK0
	7	6	5	4	3	2	1	0
(IMR1L)	TP3OVMK	TP2CCMK1	TP2CCMK0	TP2OVMK	TP1CCMK1	TP1CCMK0	TP1OVMK	TP0CCMK1

リセット時：FFFFH R/W アドレス：IMR0 FFFFF100H,
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^注)	TP0CCMK0	TP0OVMK	TQ0CCMK3	TQ0CCMK2	TQ0CCMK1	TQ0CCMK0	TQ0OVMK	PMK7
	7	6	5	4	3	2	1	0
(IMR0L)	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

★ 注 IMR0-IMR3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR3Hレジスタのビット0-7として指定してください。

★ 注意 IMR2レジスタのビット4-7, 11-15, IMR3レジスタのビット0-2, 5-8, 13-15には1を設定してください。変更した場合の動作は保証できません。

備考 xx：各周辺ユニット識別名称（表17-2 割り込み制御レジスタ (xxICn) 参照）
n：周辺ユニット番号（表17-2 割り込み制御レジスタ (xxICn) 参照）

17.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にリセット (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット (0) されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。

リセット時 : 00H R アドレス : FFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

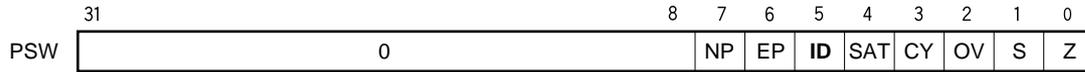
ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求信号を受け付けていない
1	優先順位nの割り込み要求信号を受け付け中

備考 n : 0-7 (優先順位のレベル)

17.3.7 IDフラグ

マスクブル割り込みの動作状態を制御し、割り込み要求信号受け付けの許可 / 禁止制御情報を記憶します。
 割り込み禁止フラグ (ID) は、PSWに割り付けられています。
 リセットにより00000020Hになります。

リセット時 : 00000020H



ID	マスクブル割り込み処理の指定 ^注
0	マスクブル割り込み要求信号の受け付けを許可
1	マスクブル割り込み要求信号の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1) , EI命令でクリア (0) されます。また , RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスクブル割り込み要求信号および例外は , このフラグの状態に関係なく受け付けられます。また , マスクブル割り込み要求信号を受け付けると , IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は , xxCn.xxIFnビットがセット (1) され , IDフラグがクリア (0) されると受け付けられます。

17.4 外部割り込み要求入力端子 (NMI, INTP0-INTP7)

17.4.1 ノイズ除去

(1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用できます。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

(2) INTP0-INTP7端子のノイズ除去

INTP0-INTP7端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

17.4.2 エッジ検出

NMI, INTP0-INTP7端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・エッジ検出なし

リセット後のNMI端子は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを許可しないと、割り込み要求信号を受け付けません（通常ポートとして機能します）。

P00/NMI端子を入出力ポートとして使用する場合は、NMI端子の有効エッジを“エッジ検出なし”に設定してください。

(1) 外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ0 (INTF0, INTR0)

ビット2でNMI端子，ビット3-6で外部割り込み端子 (INTP0-INTP3) の立ち下がり，立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。

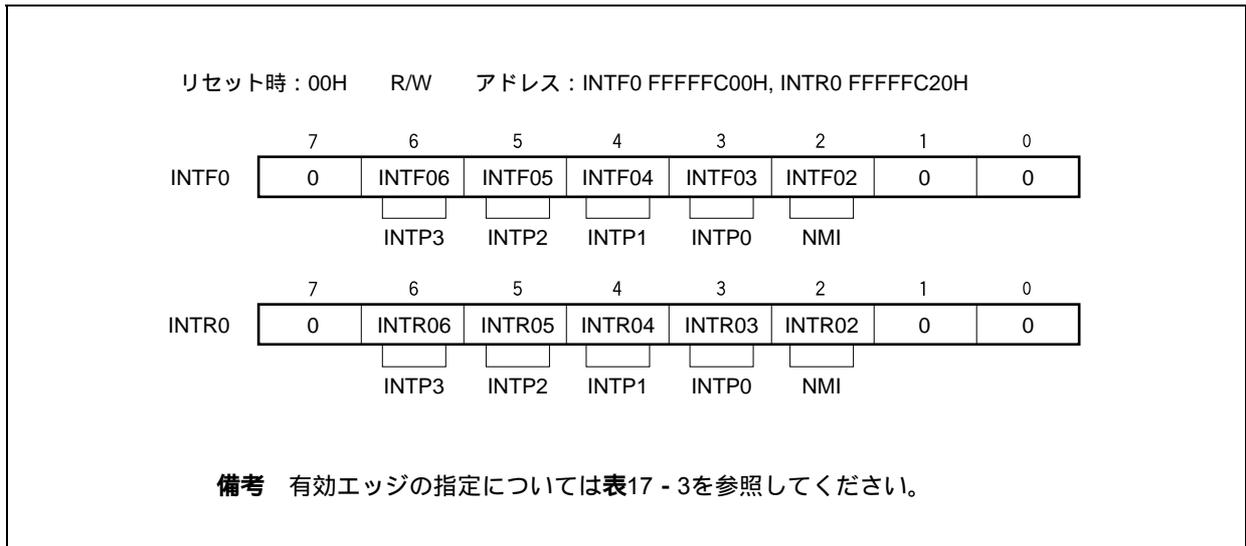


表17-3 有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 2-6)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 NMI, INTP0-INTP3端子として使用しない場合，必ずINTF0n, INTR0nビット = 00に設定してください。

備考 n = 2 : NMI端子の制御
n = 3-6 : INTP0-INTP3端子の制御

(2) 外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ3L (INTF3L, INTR3L)

外部割り込み端子 (INTP7) の立ち下がり，立ち上がりエッジ検出を指定する8ビットのレジスタです。8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 外部割り込み機能 (兼用機能) からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF31, INTR31ビット = 00に設定したあとにポート・モードに設定してください。
2. INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください (INTF3L.INTF31ビット = 0, INTR3L.INTR31ビット = 0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0)。

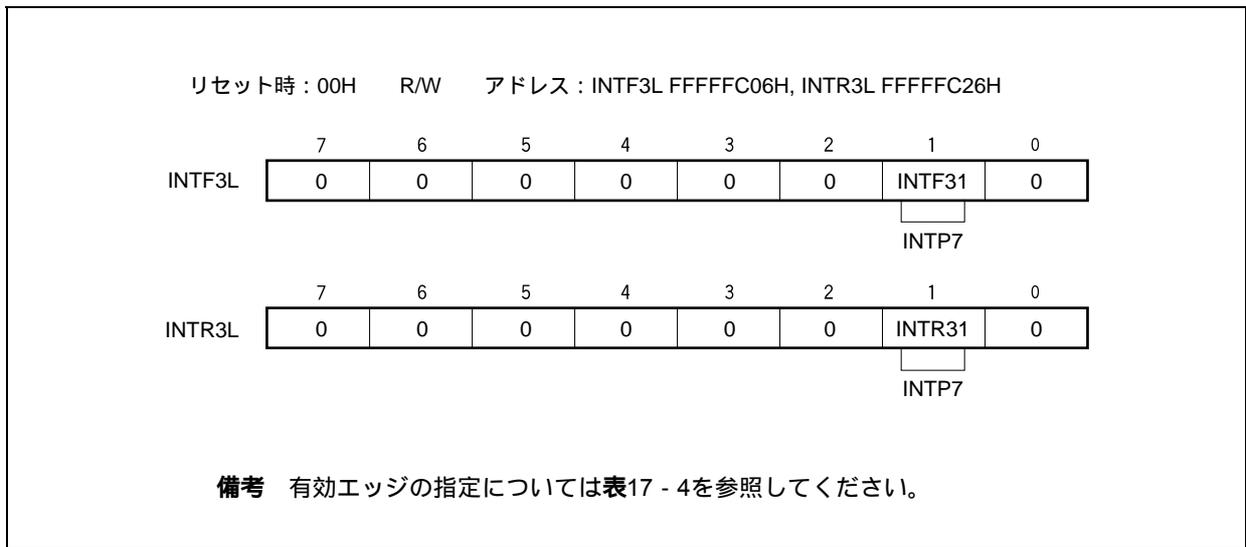


表17 - 4 有効エッジの指定

INTF31	INTR31	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP7端子として使用しない場合，必ずINTF31, INTR31ビット = 00に設定してください。

(3) 外部割り込み立ち下がり, 立ち上がりエッジ指定レジスタ9H (INTF9H, INTR9H)

外部割り込み端子 (INTP4-INTP6) の立ち下がり, 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能 (兼用機能) からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF9n, INTR9nビット = 0に設定したあとにポート・モードに設定してください。

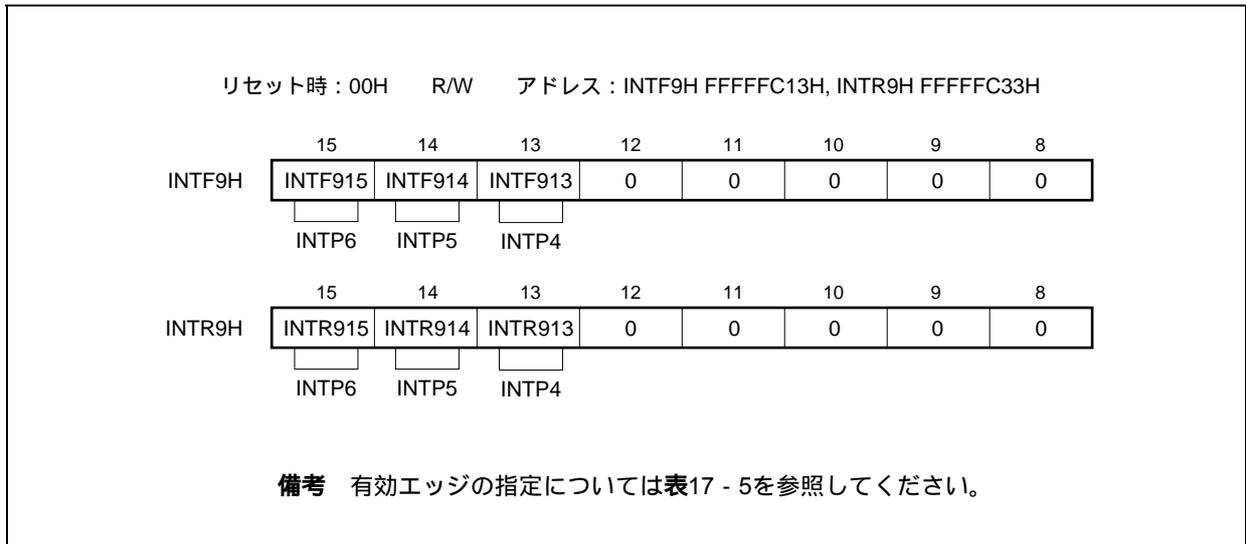


表17 - 5 有効エッジの指定

INTF9n	INTR9n	有効エッジの指定 (n = 13-15)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP4-INTP6端子として使用しない場合, 必ずINTF9n, INTR9nビット = 00に設定してください。

備考 n = 13-15 : INTP4-INTP6端子の制御

(4) ノイズ除去制御レジスタ

INTP3端子はデジタル・ノイズ除去を選択することが可能で、NFCレジスタにてノイズ除去の設定を選択します。

デジタル・ノイズ除去を選択した場合、デジタル・サンプリングを行うサンプリング・クロックを、 $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$, f_{XT} の中から選択できます。なおサンプリングの回数は2/3回です。

デジタル・ノイズ除去を選択した場合でも、サンプリング・クロックに f_{XT} を使用すると、IDLE1/IDLE2/STOPモードの解除にINTP3の割り込み要求信号を使用できます。

8/1ビット単位でリード/ライト可能です。

注意 サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック×サンプリング回数分の時間がかかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×サンプリング回数分の間に、INTP3の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点に注意してください。

- ・割り込み機能使用時は、サンプリング・クロック×サンプリング回数分のクロック経過後、割り込み要求フラグ(PIC3.PIF3ビット)をクリア(0)してから割り込みを許可してください。
- ・DMA機能使用時(INTP3で起動)は、サンプリング・クロック×サンプリング回数分のクロック経過後、DMAを許可してください。

リセット時：00H R/W アドレス：FFFFFF318H

	7	6	5	4	3	2	1	0
NFC	NFEN	NFSTS	0	0	0	NFC2	NFC1	NFC0

NFEN	INTP3端子のノイズ除去の設定
0	アナログ・ノイズ除去を行う (60 ns (TYP.))
1	デジタル・ノイズ除去を行う

NFSTS	デジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 3回
1	サンプリング回数 = 2回

NFSTS	NFC2	NFC1	NFC0	サンプリング・クロック	確実にノイズ除去するノイズ幅
					$f_{xx} = 20 \text{ MHz}$
0	0	0	0	$f_{xx}/64$	6.40 μs
0	0	0	1	$f_{xx}/128$	12.80 μs
0	0	1	0	$f_{xx}/256$	25.60 μs
0	0	1	1	$f_{xx}/512$	51.20 μs
0	1	0	0	$f_{xx}/1024$	102.40 μs
0	1	0	1	f_{XT}	61.04 μs
1	0	0	0	$f_{xx}/64$	3.20 μs
1	0	0	1	$f_{xx}/128$	6.40 μs
1	0	1	0	$f_{xx}/256$	12.80 μs
1	0	1	1	$f_{xx}/512$	25.60 μs
1	1	0	0	$f_{xx}/1024$	51.20 μs
1	1	0	1	f_{XT}	30.52 μs
上記以外				設定禁止	

備考 サンプリング・クロック × (サンプリング回数 - 1) より短いノイズがあっても、サンプリング・クロックに同期したノイズが入力された場合には、割り込み要求信号が発生します。

17.5 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

17.5.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

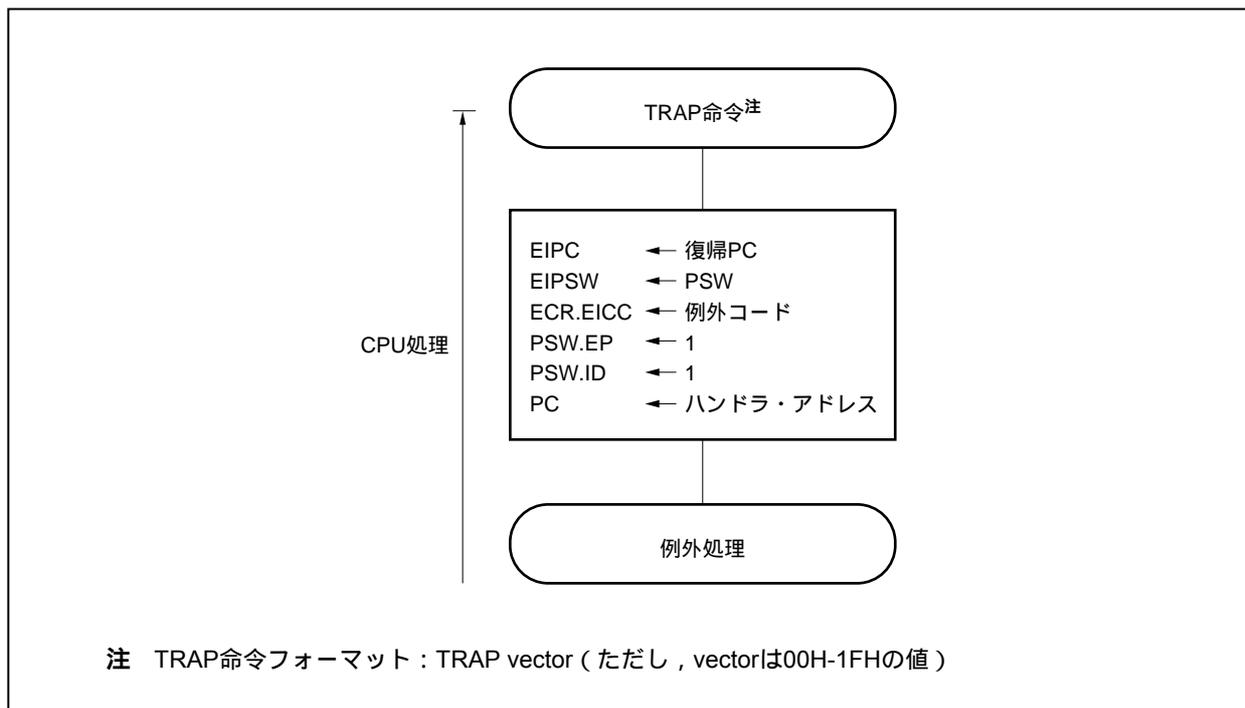
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を、図17-8に示します。

図17-8 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

17.5.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

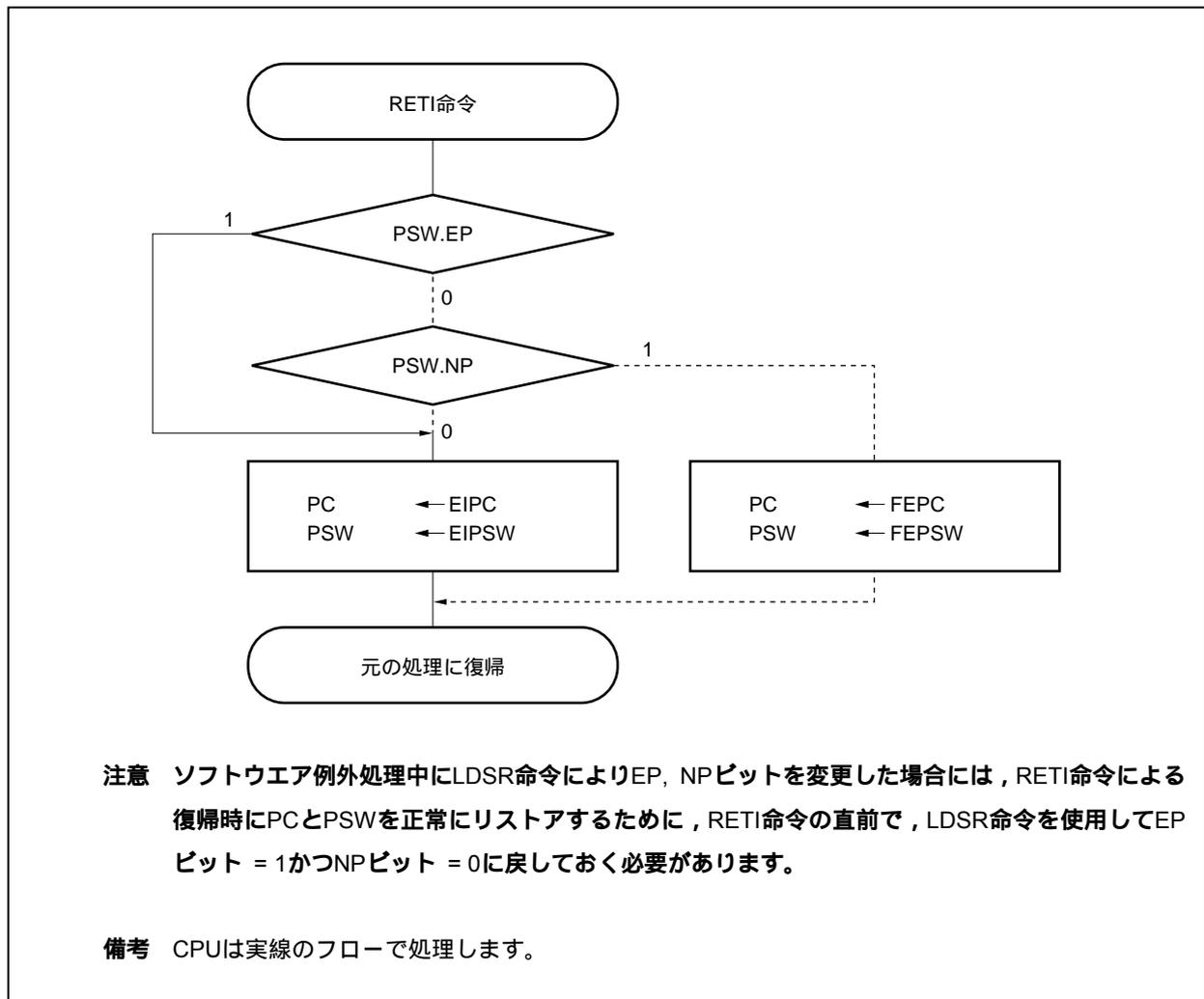
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を図17 - 9に示します。

図17 - 9 RETI命令の処理形態



17.5.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

リセット時：00000020H

	31				8	7	6	5	4	3	2	1	0	
PSW	0						NP	EP	ID	SAT	CY	OV	S	Z

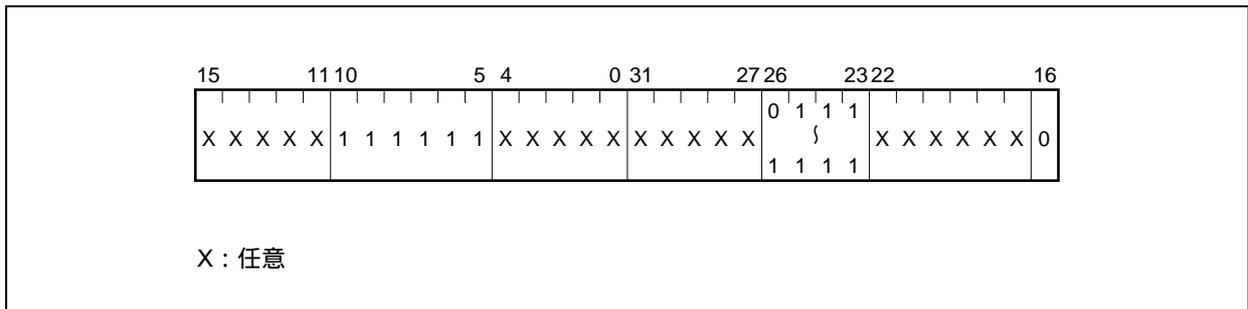
EP	例外処理状態
0	例外処理中でない
1	例外処理中

17.6 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。μ PD703229Y, 70F3229Yでは、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

17.6.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が111111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

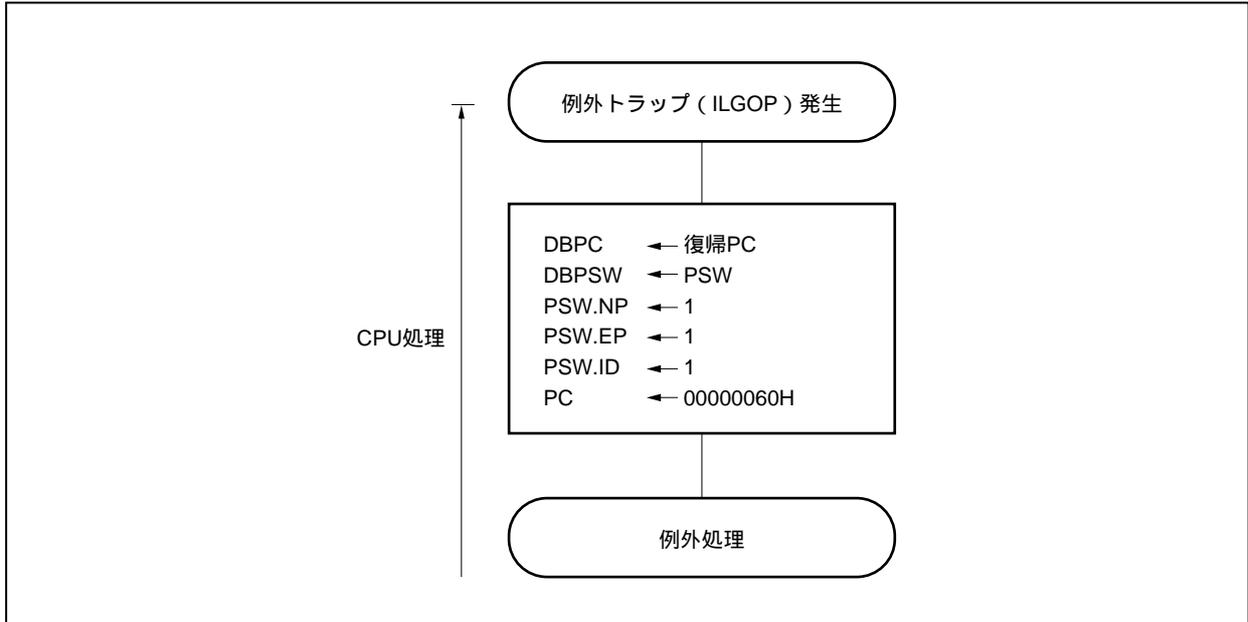
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を図17-10に示します。

図17 - 10 例外トラップの処理形態



(2) 復 帰

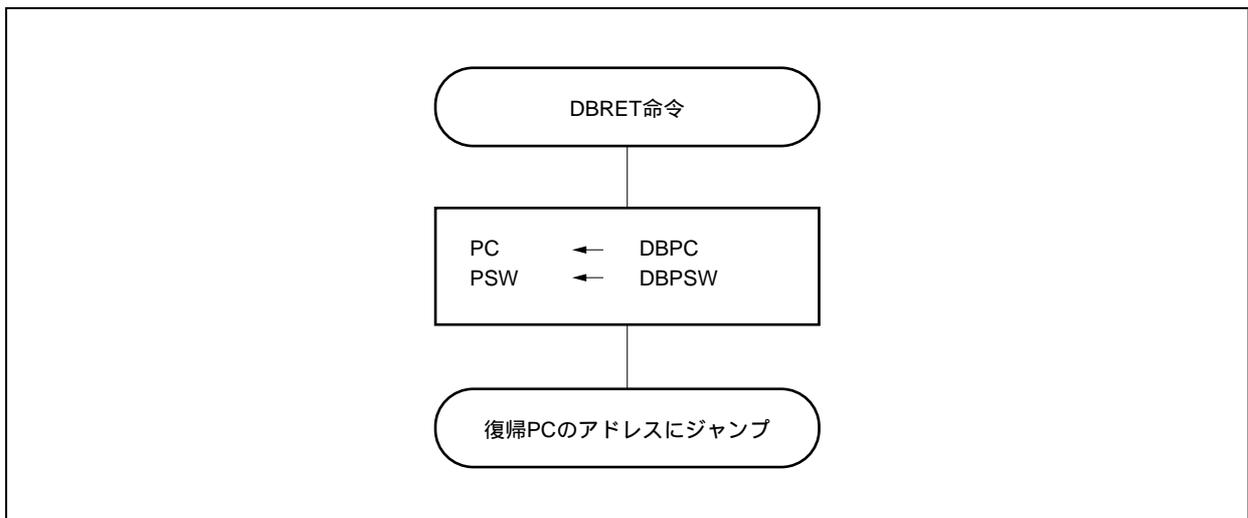
例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

例外トラップからの復帰の処理形態を図17 - 11に示します。

図17 - 11 例外トラップからの復帰の処理形態



17.6.2 ディバグ・トラップ

ディバグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

ディバグ・トラップが発生した場合、CPUは次の処理を行います。

(1) 動作

復帰PCをDBPCに退避します。

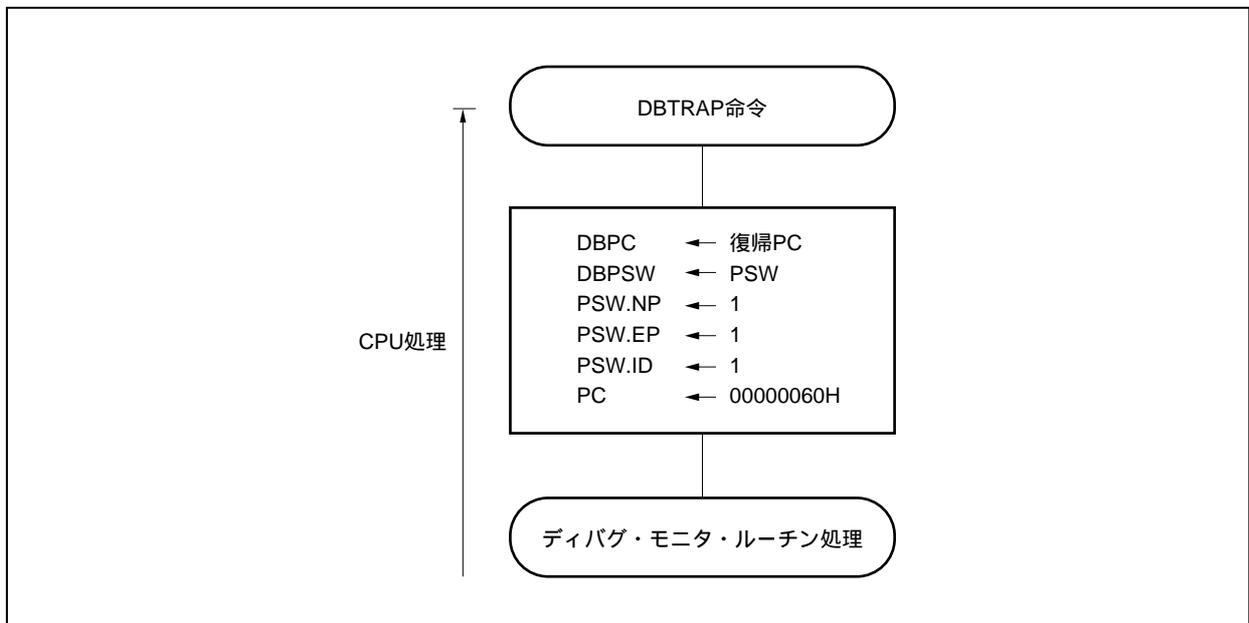
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにディバグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

ディバグ・トラップの処理形態を図17-12に示します。

図17-12 ディバグ・トラップの処理形態



(2) 復 帰

ディバグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

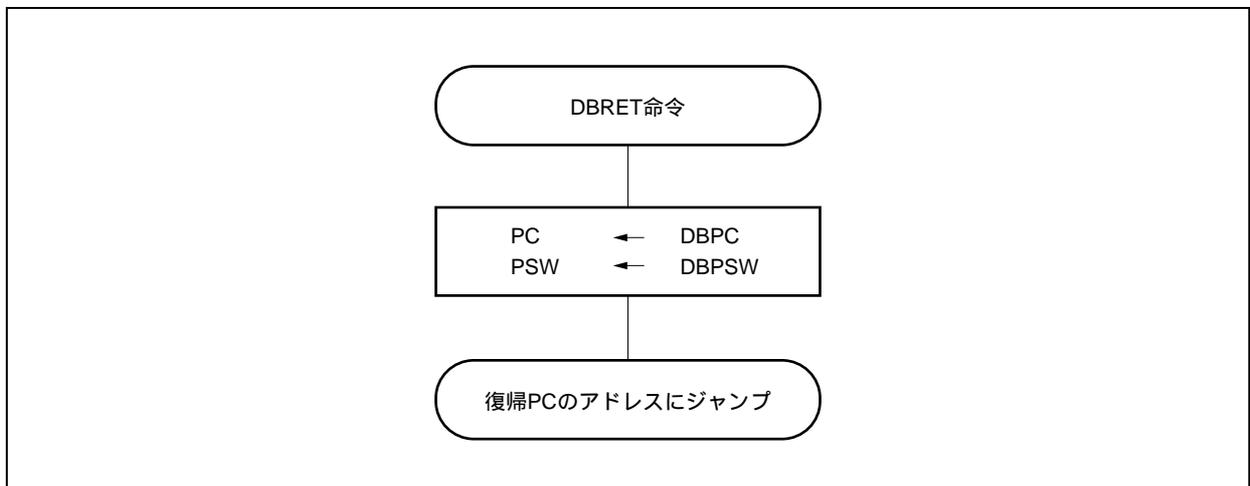
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

- ★ **注意** DBPCとDBPSWへは、DBTRAP命令を実行してからDBRET命令を実行するまでの期間のみアクセス可能です。

ディバグ・トラップからの復帰の処理形態を図17 - 13に示します。

図17 - 13 ディバグ・トラップからの復帰の処理形態



17.7 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

IDLE1/IDLE2/STOP モード時

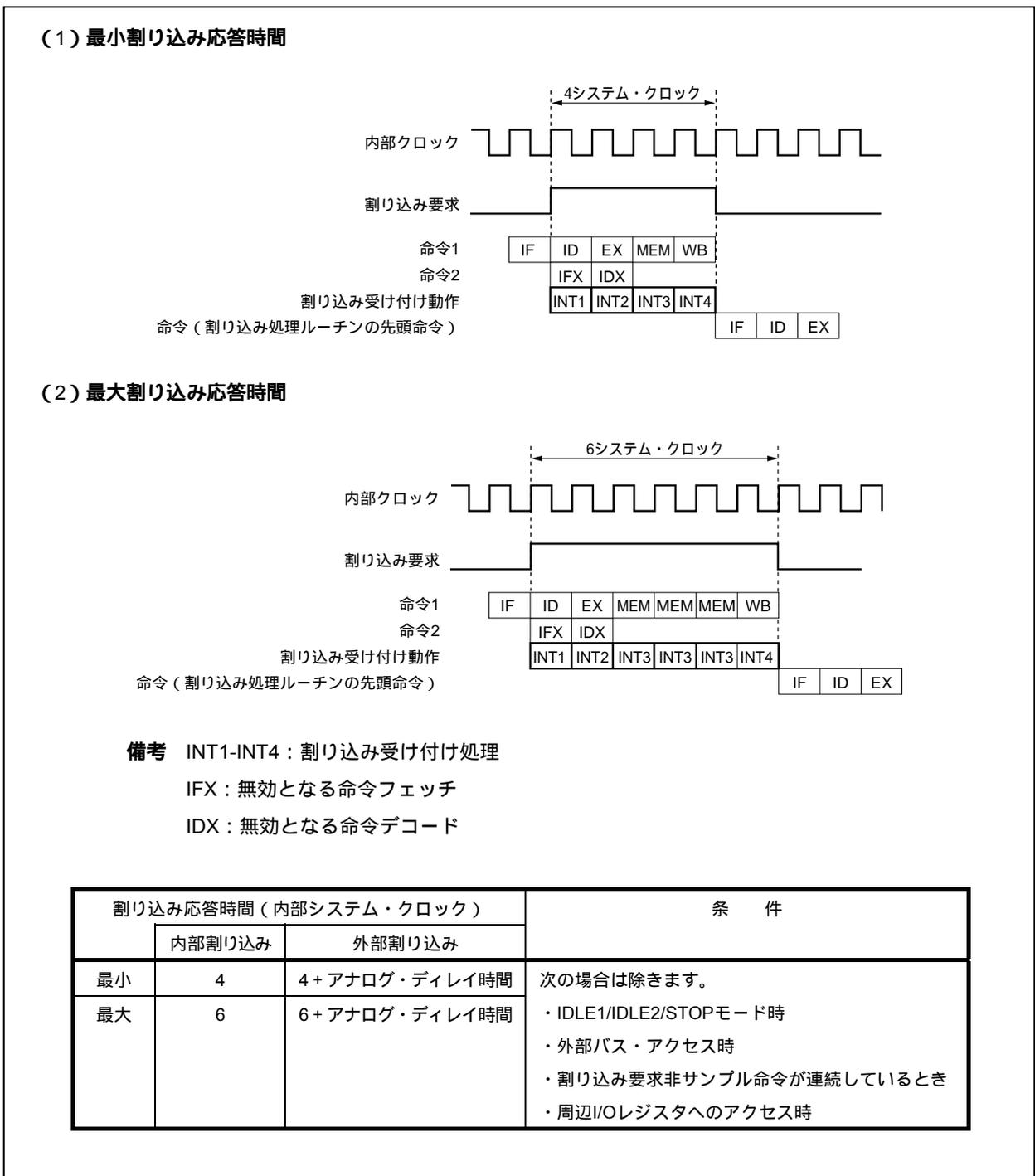
外部バス・アクセス時

割り込み要求非サンプル命令（17.8 CPUが割り込みを受け付けられない期間参照）が連続しているとき

割り込み制御レジスタへのアクセス時

★

図17-14 割り込み要求信号受け付け時のパイプライン動作例（概略）



17.8 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

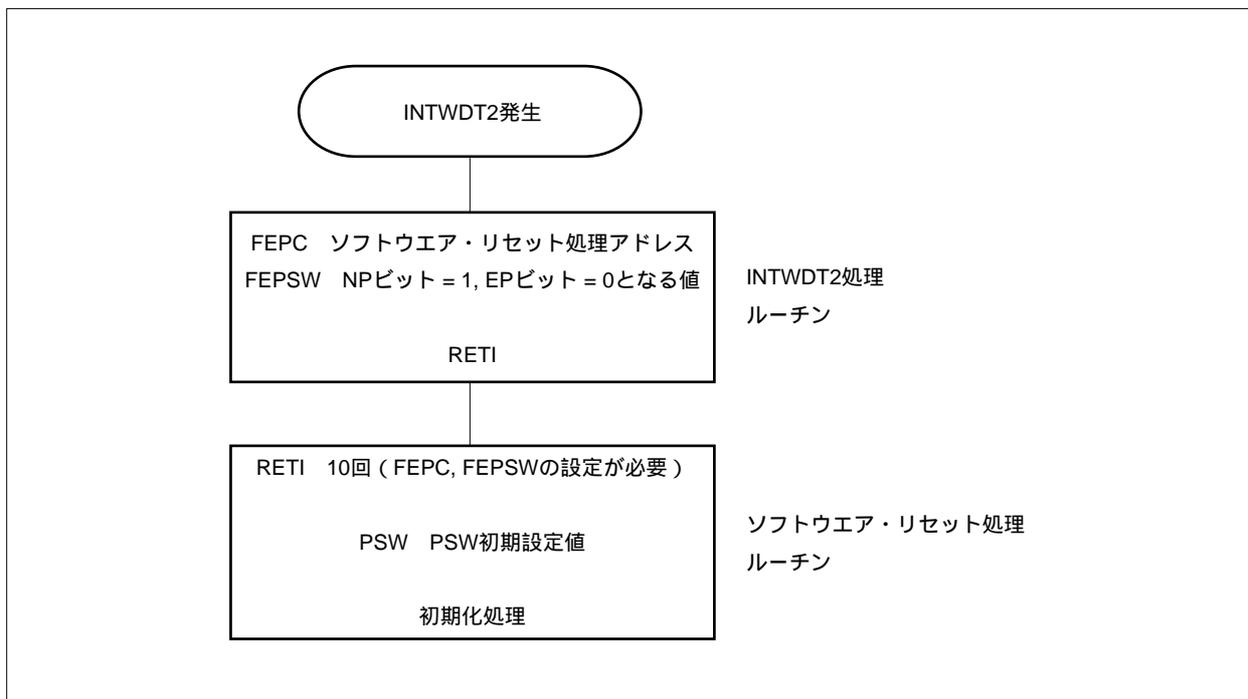
割り込み要求非サンプル命令は次のとおりです。

- ・ EI 命令
- ・ DI 命令
- ・ LDSR reg2, 0x5 命令（対 PSW）
- ・ PRCMD, ISPR, PSC レジスタに対するストア命令
- ・ 次の割り込み関連のレジスタに対するストア命令およびビット操作命令
割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ 0-3（IMR0-IMR3）

★ 17.9 注意事項

ノンマスクブル割り込み要求（INTWDT2）によるノンマスクブル割り込み処理実行後に、RETI命令による復帰はできません。次に示すソフトウェア・リセット処理を実行してください。

図17 - 15 ソフトウェア・リセット処理



第18章 キー割り込み機能

18.1 機能

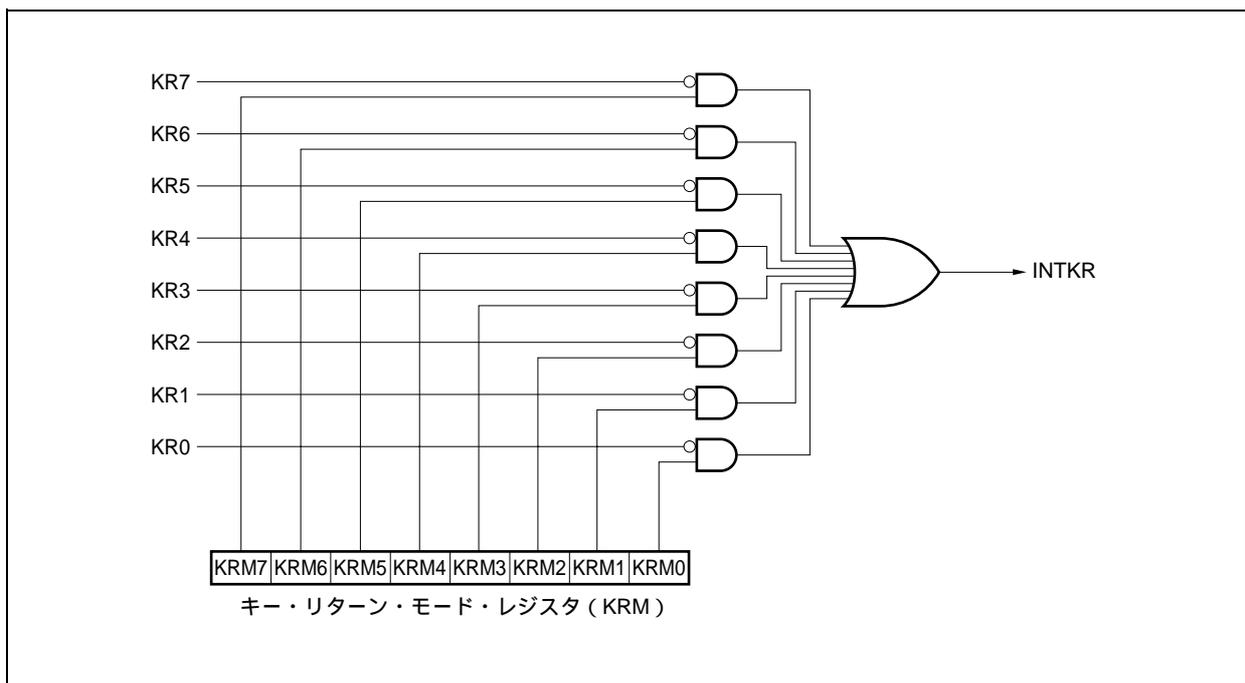
キー・リターン・モード・レジスタ (KRM) の設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

- ★ **注意** KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。

表18 - 1 キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図18 - 1 キー・リターンのブロック図



18.2 制御レジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRMレジスタは、KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hなります。

リセット時：00H R/W アドレス：FFFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 KRMレジスタを変更すると、割り込み要求信号 (INTKR) が発生する場合があります。したがって、あらかじめ割り込みを禁止 (DI) してからKRMレジスタを変更し、割り込み要求フラグ (KRIC.KRIFビット) をクリア (0) してから、割り込みを許可 (EI) してください。

備考 兼用端子の設定は表4 - 16 ポート端子を兼用端子として使用する場合を参照してください。

第19章 スタンバイ機能

19.1 概 要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

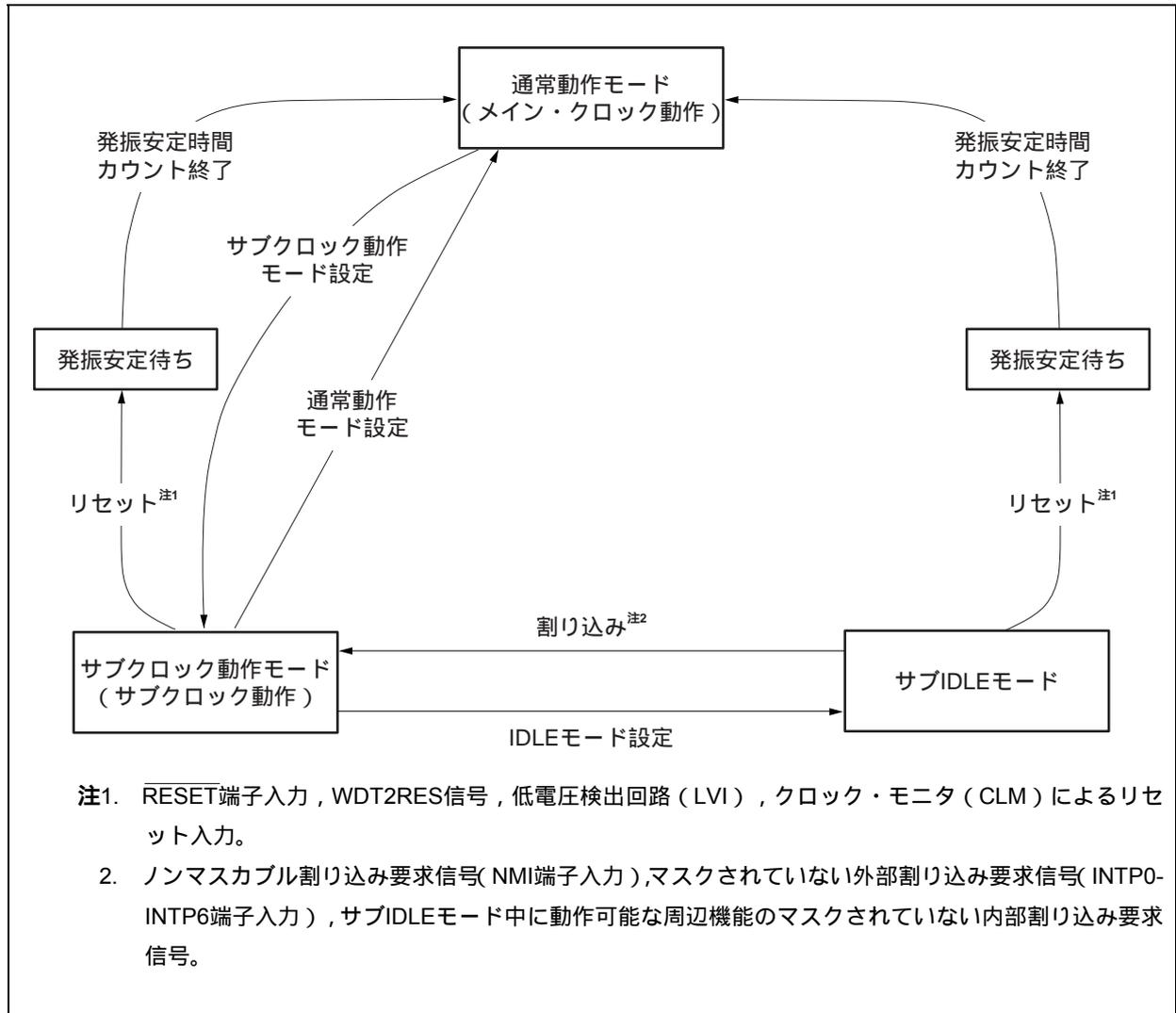
表19 - 1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLE1モード	発振回路, PLL動作 ^注 , フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード
IDLE2モード	発振回路以外のチップ内部の動作をすべて停止させるモード
STOPモード	サブクロック発振回路以外のチップ内部の動作をすべて停止させるモード
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時, 発振回路, PLL動作 ^注 , フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード

注 PLLは前の動作状態を保持します。

★

図19 - 1 状態遷移図 (2/2)



19.2 制御レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりSTOPモードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF1FEH

	7	⑥	⑤	④	3	2	①	0
PSC	0	NMI1M	NMI0M	INTM	0	0	STP	0

NMI1M	INTWDT2信号発生によるスタンバイ・モード解除制御
0	INTWDT2信号によるスタンバイ・モード解除許可
1	INTWDT2信号によるスタンバイ・モード解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード解除制御
0	NMI端子入力によるスタンバイ・モード解除許可
1	NMI端子入力によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御
0	マスカブル割り込み要求信号によるスタンバイ・モード解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード解除禁止

STP	スタンバイ・モードの設定
0	通常モード
1	スタンバイ・モード

- 注意1.** IDLE1, IDLE2, STOP, サブIDLEモードに設定するときは, PSMR.PSM1, PSM0ビットを設定してから, STPビットを設定してください。
- 2.** NMI1M, NMI0M, INTMビットの設定は, HALTモード解除時は無効です。

(2) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF820H

	7	6	5	4	3	2	①	②
PSMR	0	0	0	0	0	0	PSM1	PSM0

PSM1	PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	0	IDLE1モード
0	1	STOPモード
1	0	IDLE2モード
1	1	STOPモード

注意1. ビット2-7には、必ず0を設定してください。

2. PSM0, PSM1ビットは、PSC.STPビット = 1のときのみ有効です。

備考 IDLE1：発振回路と一部の回路（フラッシュ・メモリ，PLL）以外の動作を停止するモードです。

IDLE1モード解除後，HALTモードと同様に発振安定時間を確保する必要なく，通常モードに復帰します。

IDLE2：発振回路以外の動作を停止するモードです。

IDLE2モード解除後，OSTSレジスタで指定したセットアップ時間（フラッシュ・メモリ，PLL）を確保したあと，通常モードに復帰します。

STOP：サブクロック発振回路以外の動作を停止するモードです。

STOPモード解除後，OSTSレジスタで指定した発振安定時間を確保した後，通常モードに復帰します。

(3) 発振安定時間選択レジスタ (OSTS)

STOPモードを解除してから発振が安定するまでのウェイト時間や、IDLE2モードを解除してから内蔵フラッシュ・メモリが安定するまでのウェイト時間は、OSTSレジスタで制御します。

OSTSレジスタは、8ビット単位でリード/ライト可能です。

リセットにより06Hになります。

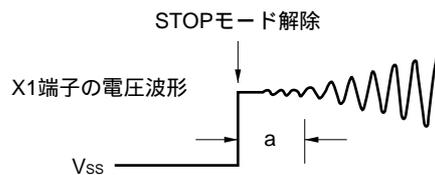
リセット時：06H R/W アドレス：FFFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間 / セットアップ時間の選択 ^注	fx	
				4 MHz	5 MHz
0	0	0	$2^{10}/f_x$	0.256 ms	0.205 ms
0	0	1	$2^{11}/f_x$	0.512 ms	0.410 ms
0	1	0	$2^{12}/f_x$	1.024 ms	0.819 ms
0	1	1	$2^{13}/f_x$	2.048 ms	1.638 ms
1	0	0	$2^{14}/f_x$	4.096 ms	3.277 ms
1	0	1	$2^{15}/f_x$	8.192 ms	6.554 ms
1	1	0	$2^{16}/f_x$	16.38 ms	13.107 ms
1	1	1	設定禁止		

注 発振安定時間はSTOPモードの解除時に、セットアップ時間はIDLE2モード解除時に必要になります。

注意1. STOPモード解除時のウェイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間(下図 a)は含みません。



- ビット7-3には必ず“0”を設定してください。
- リセット解除後の発振安定時間は、 $2^{16}/f_x$ (OSTSレジスタの初期値 = 06Hのため) となります

備考 f_x = メイン・クロック発振周波数

19.3 HALTモード

19.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表19-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減することができます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除される。

19.3.2 HALTモードの解除

HALTモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、HALTモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけを行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求信号よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表19-2 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐、 または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表19 - 3 HALTモード時の動作状態

項目	HALTモードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振可能
Ring-OSC発生回路		発振可能	
PLL		動作可能	
CPU		動作停止	
DMA		動作可能	
割り込みコントローラ		動作可能	
ROMコレクション		動作停止	
タイマP (TMP0-TMP3)		動作可能	
タイマQ (TMQ0)		動作可能	
タイマM (TMM0)		カウント・クロックにfx以外を選択時に動作可能	動作可能
時計用タイマ		カウント・クロックにfx (BRG分周) を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		動作可能	
シリアル・インタフェース	CSIB0, CSIB1	動作可能	
	I ² C00	動作可能	
	UARTA0-UARTA2	動作可能	
A/Dコンバータ		動作可能	
キー割り込み機能 (KR)		動作可能	
外部バス・インタフェース		第5章 バス制御機能参照	
ポート機能		HALTモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持	

19.4 IDLE1モード

19.4.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“00”に設定し、PSC.STPビットを“1”に設定することにより、IDLE1モードに設定されます。

IDLE1モードに設定すると、クロック発振回路、PLL動作、フラッシュ・メモリは動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE1モード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表19-5にIDLE1モード時の動作状態を示します。

IDLE1モードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、メイン・クロック発振回路、PLL動作、フラッシュ・メモリは停止しないので、IDLE1モード解除時、HALTモードと同様に発振安定時間を確保することなく、通常動作モードに復帰できます。

注意 IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

19.4.2 IDLE1モードの解除

IDLE1モードは、ノンマスカブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、IDLE1モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

IDLE1モードの解除により、通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLE1モードに設定した場合は次のようになります。

注意 PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE1モードは解除されません。

(a) 現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号が発生するとIDLE1モードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求信号よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると、IDLE1モードの解除とともにこの割り込み要求信号を受け付けます。

表19 - 4 割り込み要求信号によるIDLE1モード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表19 - 5 IDLE1モード時の動作状態

項 目	IDLE1モードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振可能
Ring-OSC発生回路		発振可能	
PLL		動作可能	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止 (ただしスタンバイ・モードの解除は可能)	
ROMコレクション		動作停止	
タイマP (TMP0-TMP3)		動作停止	カウント・クロックにf _{XT} を選択時に動作可能
タイマQ (TMQ0)		動作停止	
タイマM (TMM0)		カウント・クロックにf _{R/8} を選択時に動作可能	カウント・クロックにf _{R/8} またはf _{XT} 選択時に動作可能
時計用タイマ		カウント・クロックにf _X (BRG分周) を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		動作可能	
シリアル・インタフェース	CSIB0, CSIB1	カウント・クロックにSCKB _n 入力クロック選択時に動作可能 (n = 0, 1)	
	I ² C00	動作停止	
	UARTA0-UARTA2	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)	
A/Dコンバータ		動作保持 (変換結果も保持) ^注	
キー割り込み機能 (KR)		動作可能	
外部バス・インタフェース		第5章 バス制御機能参照	
ポート機能		IDLE1モード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLE1モード設定前の状態を保持	

★ 注 低消費電力を実現するためには, IDLE1モードに遷移する前にA/Dコンバータを停止してください。

19.5 IDLE2モード

19.5.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“10”に設定し、PSC.STPビットを“1”に設定することにより、IDLE2モードに設定されます。

IDLE2モードに設定すると、クロック発振回路は動作を継続しますが、CPU, PLL, フラッシュ・メモリやその他の内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE2モード設定前の状態を保持します。また、CPU, PLLや、その他の内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表19-7にIDLE2モード時の動作状態を示します。

IDLE2モードは、内蔵周辺機能、PLL, フラッシュ・メモリの動作が停止するので、IDLE1モードよりさらに低消費電力を実現できます。ただし、PLL, フラッシュ・メモリは停止するため、IDLE2モード解除時、必ずPLL, フラッシュ・メモリのセットアップ時間が必要となります。

注意 IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

19.5.2 IDLE2モードの解除

IDLE2モードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、IDLE2モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。また、PLLはIDLE2モード設定前の動作状態に復帰します。

IDLE2モードの解除により、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLE2モードに設定した場合は次のようになります。

注意 PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE2モードは解除されません。

(a) 現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号が発生するとIDLE2モードの解除だけ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求信号よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、IDLE2モードの解除とともにこの割り込み要求信号を受け付けます。

表19 - 6 割り込み要求信号によるIDLE2モード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	所定のセットアップ時間確保後, ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	所定のセットアップ時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	所定のセットアップ時間確保後, 次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表19 - 7 IDLE2モード時の動作状態

項 目	IDLE2モードの設定		動作状態	
			サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路	発振可能			
サブクロック発振回路			-	発振可能
Ring-OSC発生回路	発振可能			
PLL	動作停止			
CPU	動作停止			
DMA	動作停止			
割り込みコントローラ	動作停止 (ただしスタンバイ・モードの解除は可能)			
ROMコレクション	動作停止			
タイマP (TMP0-TMP3)	動作停止		カウント・クロックにf _{XT} を選択時に動作可能	
タイマQ (TMQ0)	動作停止			
タイマM (TMM0)	カウント・クロックにf _R /8を選択時に動作可能		カウント・クロックにf _R /8またはf _{XT} 選択時に動作可能	
時計用タイマ	カウント・クロックにf _X (BRG分周) を選択時に動作可能		動作可能	
ウォッチドッグ・タイマ2	動作可能			
シリアル・インタフェース	CSIB0, CSIB1	カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0, 1)		
	I ² C00	動作停止		
	UARTA0-UARTA2	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)		
A/Dコンバータ	動作保持 (変換結果も保持) ^注			
キー割り込み機能 (KR)	動作可能			
外部バス・インタフェース	第5章 バス制御機能参照			
ポート機能	IDLE2モード設定前の状態を保持			
内部データ	CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLE2モード設定前の状態を保持			

★ 注 低消費電力を実現するためには, IDLE2モードに遷移する前にA/Dコンバータを停止してください。

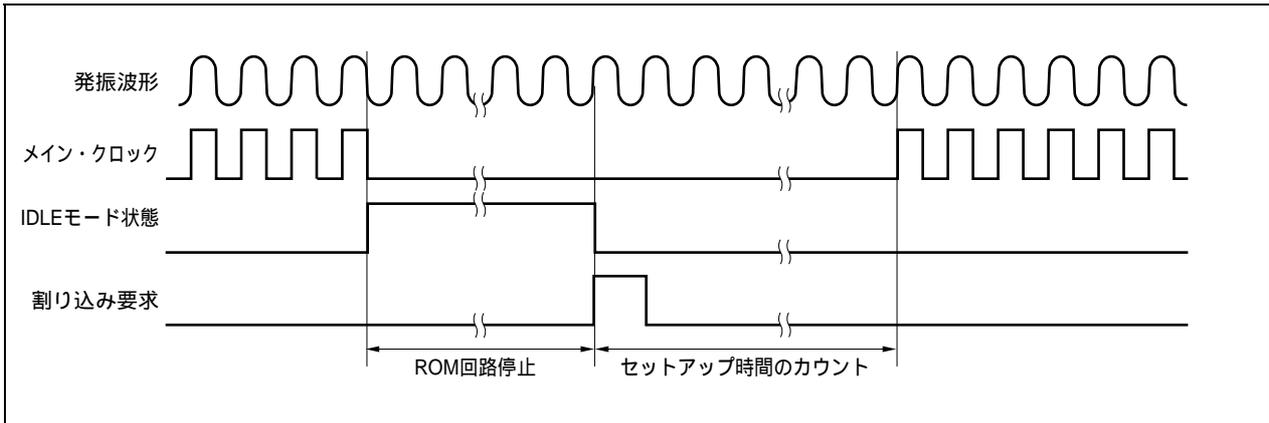
19.5.3 IDLE2モード解除時のセットアップ時間の確保

IDLE2モードに設定されることにより、メイン・クロック発振回路以外は動作を停止するので、IDLE2モード解除後、ROM（フラッシュ・メモリ）のセットアップ時間を確保してください。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

所定のセットアップ時間は、OSTSレジスタの設定により確保します。

IDLE2モードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバーフローすると通常動作モードに移行します。



(2) リセット (RESET端子入力, WDT2RES発生) による解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

19.6 STOPモード

19.6.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“01”に設定し、PSC.STPビットを“1”に設定することにより、STOPモードに設定されます。

STOPモードに設定するとサブクロック発振回路は動作を継続しますが、メイン・クロック発振回路は動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック発振回路、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表19-9にSTOPモード時の動作状態を示します。

STOPモードは、メイン・クロック発振回路の動作が停止するので、IDLE2モードよりさらに低消費電力を実現できます。また、サブクロック発振回路、かつ外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます

注意 STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

19.6.2 STOPモードの解除

STOPモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、低電圧検出回路（LVI）によるリセット）により解除されます。

STOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

注意 PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、STOPモードは解除されません。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号が発生するとSTOPモードの解除だけを行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求信号よりも優先順位が高い割り込み要求信号（ノンマスクابل割り込み要求信号を含む）が発生すると、STOPモードの解除とともにこの割り込み要求信号を受け付けます。

表19 - 8 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	発振安定時間確保後, 次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表19 - 9 STOPモード時の動作状態

項目	STOPモードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振停止	
サブクロック発振回路		-	発振可能
Ring-OSC発生回路		発振可能	
PLL		動作停止	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止 (ただしスタンバイ・モードの解除は可能)	
ROMコレクション		動作停止	
タイマP (TMP0-TMP3)		動作停止	カウント・クロックにf _{XT} を選択時に動作可能
タイマQ (TMQ0)		動作停止	
タイマM (TMM0)		カウント・クロックにf _R /8を選択時に動作可能	カウント・クロックにf _R /8またはf _{XT} 選択時に動作可能
時計用タイマ		動作停止	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックにf _R を選択時に動作可能	
シリアル・インタフェース	CSIB0, CSIB1	カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0, 1)	
	I ² C00	動作停止	
	UARTA0-UARTA2	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)	
A/Dコンバータ		動作停止 (変換結果も不定) ^{注1, 2}	
キー割り込み機能 (KR)		動作可能	
外部バス・インタフェース		第5章 バス制御機能参照	
ポート機能		STOPモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持	

- ★ 注1. A/Dコンバータを動作したままSTOPモードに遷移した場合, STOPモード期間中A/Dコンバータは自動的に停止しますが, STOPモード解除後, 再び動作を開始します。ただし, その場合STOPモード解除後から2回目までのA/D変換結果は無効です (3回目から有効です)。また, STOPモード遷移前のA/D変換結果はすべて無効です。
- ★ 2. A/Dコンバータを動作したままSTOPモードに遷移した場合でも, STOPモード遷移前にA/Dコンバータを停止した場合と同等に消費電力を低減できます。

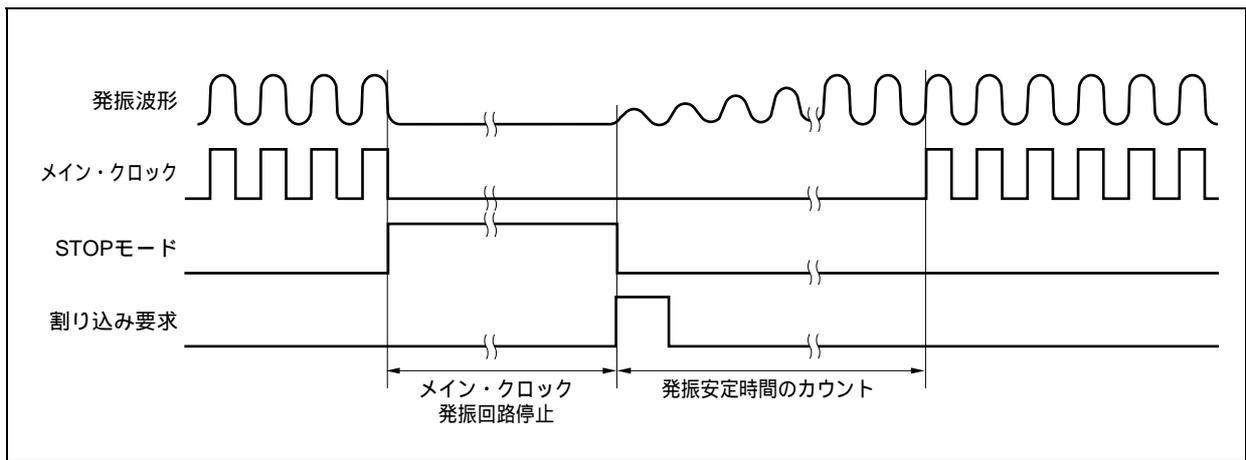
19.7 発振安定時間の確保

STOPモードを解除すると、OSTSレジスタで設定していた時間だけ発振安定時間を確保します。ただし、 $\overline{\text{RESET}}$ 端子入力による解除時は、OSTSレジスタのリセット値： $2^{16}/f_x$ となります。

なお、発振安定時間カウント用のタイマはウォッチドッグ・タイマ2と兼用し、そのオーバフロー時間だけ発振安定時間を確保します。

STOPモードを割り込み要求信号で解除した場合の動作を図19-2に示します。

図19-2 発振安定時間



19.8 サブクロック動作モード

19.8.1 設定および動作状態

通常動作モード時、PCC.CK3ビットを“1”に設定することにより、サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると、内部システム・クロックがメイン・クロック サブクロックに切り替わります。切り替わりは、PCC.CLSビットを確認してください。

さらに、PCC.MCKビットを“1”に設定することにより、メイン・クロック発振回路の動作を停止します。これにより、システム全体がサブクロックでのみ動作します。

サブクロック動作モードは、内部システム・クロックがサブクロックとなるので、通常動作モードよりも消費電力を低減できます。さらに、メイン・クロック発振回路の動作を停止させることにより、STOPモードに近い低消費電力を実現できます。

サブクロック動作モード時の動作状態を表19 - 10に示します。

注意1. CK3ビットを操作する場合、PCC.CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は、6.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。

★ **2.** 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{メイン・クロック (} f_{xx} \text{)} > \text{サブクロック (} f_{XT} = 32.768 \text{ kHz)} \times 4$$

19.8.2 サブクロック動作モードの解除

サブクロック動作モードは、CK3ビットを“0”に設定するか、リセット信号（ $\overline{\text{RESET}}$ 端子入力、WDT2RES信号、低電圧検出回路(LVI)、クロック・モニタ(CLM)によるリセット)により解除します。

なお、メイン・クロックを停止(MCKビット = 1)していた場合は、MCKビットを“1”に設定し、メイン・クロックの発振安定時間をソフトウェアにより確保してから、CK3ビットを“0”に設定します。

サブクロック動作モードの解除により、通常動作モードに移行します。

注意 CK3ビットを操作する場合、CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は、6.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。

表19 - 10 サブクロック動作モード時の動作状態

サブクロック動作モードの設定 項目		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
Ring-OSC発生回路		発振可能	
PLL		動作可能	動作停止 ^注
CPU		動作可能	
DMA		動作可能	
割り込みコントローラ		動作可能	
ROMコレクション		動作可能	
タイマP (TMP0-TMP3)		動作可能	カウント・クロックに f_{XT} を選択時に動作可能
タイマQ (TMQ0)		動作可能	動作停止
タイマM (TMM0)		動作可能	カウント・クロックに $f_R/8$ または f_{XT} 選択時に動作可能
時計用タイマ		動作可能	カウント・クロックに f_{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		動作可能	カウント・クロックに f_R 選択時に動作可能
シリアル・インタフェース	CSIB0, CSIB1	動作可能	カウント・クロックに $SCKB_n$ 入力クロック選択時に動作可能 ($n = 0, 1$)
	I ² C00	動作可能	動作停止
	UARTA0-UARTA2	動作可能	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)
A/Dコンバータ		動作可能	動作停止
キー割り込み機能 (KR)		動作可能	
外部バス・インタフェース		第5章 バス制御機能参照	
ポート機能		設定可能	
内部データ		設定可能	

- ★ 注意 CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットのみです (3.4.8 (2) 参照)。

19.9 サブIDLEモード

19.9.1 設定および動作状態

サブクロック動作モード時、PSMR.PSM1, PSM0ビットを“10”に設定し、PSC.STPビットを“1”に設定することにより、サブIDLEモードに設定されます。

サブIDLEモードに設定すると、クロック発振回路は動作を継続しますが、CPU、フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、サブクロック、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

サブIDLEモードは、CPU、フラッシュ・メモリやそのほかの内蔵周辺機能の動作が停止するので、サブクロック動作モードよりさらに低消費電力を実現できます。

また、メイン・クロックを停止してからサブIDLEモードに設定した場合は、STOPモードに近い低消費電力を実現できます。

サブIDLEモード時の動作状態を、表19 - 12に示します。

19.9.2 サブIDLEモードの解除

サブIDLEモードは、ノンマスカブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、サブIDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。また、PLLはIDLEモード設定前の動作状態と同じ状態に復帰します。

割り込み要求信号によるサブIDLEモードの解除により、サブクロック動作モードに移行します。また、リセット入力によるサブIDLEモードの解除により通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号が発生すると、優先順位とは無関係に解除されます。

ただし、割り込み処理ルーチン内でサブIDLEモードに設定した場合、次のようになります。

注意1. PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、サブIDLEモードは解除されません。

(a) 現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号が発生するとサブIDLEモードの解除だけ行い、この割り込み要求信号は保留されます。

(b) 現在処理中の割り込み要求信号よりも優先順位の高い割り込み要求信号（ノンマスカブル割り込み要求信号も含む）が発生すると、サブIDLEモードの解除とともにこの割り込み要求信号を受け付けます。

★ 2. サブIDLEモードからの復帰時は、割り込み要求信号による解除要因が発生してから解除されるまでに、サブクロックの12周期分の時間（約366 μ s）が挿入されます。

表19 - 11 割り込み要求信号によるサブIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表19 - 12 サブIDLEモード時の動作状態

項目	サブIDLEモードの設定	動作状態	
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路		発振可能	
Ring-OSC発生回路		発振可能	
PLL		動作可能	動作停止 ^{注1}
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止 (ただしスタンバイ・モードの解除は可能)	
ROMコレクション		動作停止	
タイマP (TMP0-TMP3)		カウント・クロックにf _{XT} を選択時に動作可能	
タイマQ (TMQ0)		動作停止	
タイマM (TMM0)		カウント・クロックにf _R /8またはf _{XT} 選択時に動作可能	
時計用タイマ		動作可能	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		動作可能	カウント・クロックにf _R 選択時に動作可能
シリアル・インタフェース	CSIB0, CSIB1	カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0, 1)	
	I ² C00	動作停止	
	UARTA0-UARTA2	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)	
A/Dコンバータ		動作保持 (変換結果も保持) ^{注2}	
キー割り込み機能 (KR)		動作可能	
外部バス・インタフェース		第5章 バス制御機能参照 (IDLEモードと同じ動作状態)	
ポート機能		サブIDLEモード設定前の状態を保持	
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてサブIDLEモード設定前の状態を保持	

注1. メイン・クロックを停止するときは、必ずPLL停止 (PLLONビット = 0) に設定すること。

★ 2. 低消費電力を実現するためには、サブIDLEモードに遷移する前にA/Dコンバータを停止してください。

第20章 リセット機能

20.1 概要

リセット機能の概要を次に示します。

- ・ $\overline{\text{RESET}}$ 端子入力によるリセット機能
- ・ WDT2のオーバフローによるリセット機能 (WDT2RES)
- ・ 低電圧検出回路 (LVI) によるシステム・リセット
- ・ クロック・モニタ (CLM) によるシステム・リセット

20.2 リセット要因を確認するレジスタ

★ (1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

RESFレジスタは、どの要因から発生したリセット要求かを格納するレジスタです。

8/1ビット単位でリード/ライト可能です。

$\overline{\text{RESET}}$ 端子入力により00Hになります。 $\overline{\text{RESET}}$ 端子以外の要因のリセットにより初期値は異なります

リセット時：00H^注 R/W アドレス：FFFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDT2RF	0	0	CLMRF	LVIRF

WDT2RF	WDT2からのリセット信号発生有無
0	発生なし
1	発生あり

CLMRF	CLMからのリセット信号発生有無
0	発生なし
1	発生あり

LVIRF	LVIからのリセット信号発生有無
0	発生なし
1	発生あり

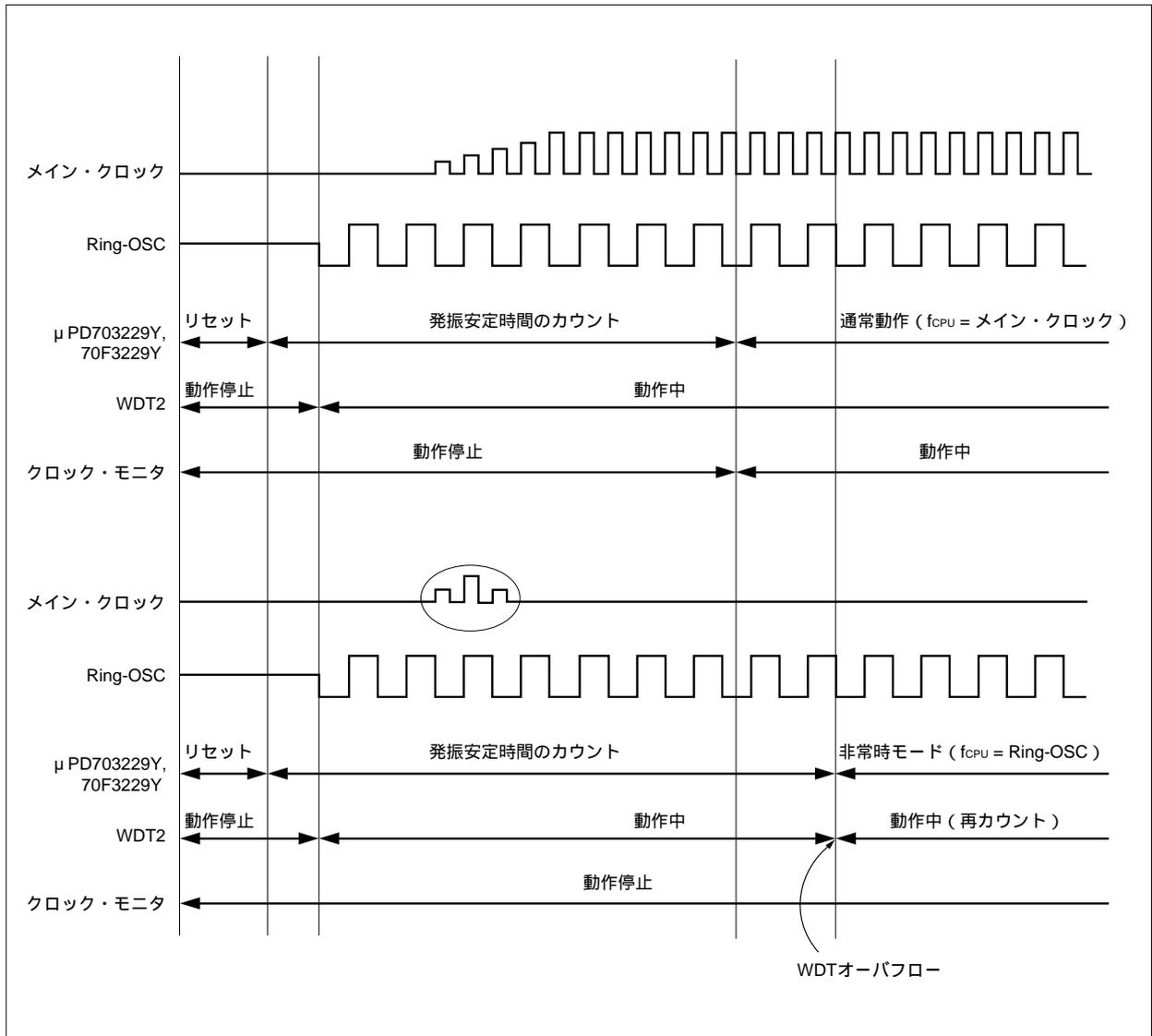
注 $\overline{\text{RESET}}$ 端子によるリセット時は00H, WDT2RES信号によるリセット時は10H, 低電圧検出回路 (LVI) によるリセット時は01H, クロック・モニタ (CLM) によるリセット時は02Hとなります。

★ 注意 各ビットへの書き込みは“0”ライトのみ可能で、“0”ライト書き込みとフラグ・セット(リセットの発生)が競合した場合、フラグ・セットが優先されます。)

RESF, CCLSレジスタにより, リセット解除後, 処理ルーチン内で内部リセットの種類, CPU動作クロック (Ring-OSCまたはメイン・クロック) の判別が可能となります。

次に, リセット解除後の各動作を示します。

図20 - 1 リセット解除後の各動作



20.3 動作

20.3.1 RESET端子によるリセット動作

RESET端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを初期化します。

RESET端子入力をロウ・レベルからハイ・レベルに変化させると、リセット状態を解除します。

RESET端子入力によるリセット解除の場合、発振安定時間（OSTSレジスタのリセット値： $2^{16}/f_x$ ）を確保したあと、CPUはプログラムの実行を開始します。

表20 - 1 RESET端子入力時の各ハードウェアの状態

項目	リセット中	リセット後
メイン・クロック発振回路 (f_x)	発振停止	発振開始
サブクロック発振回路 (f_{XT})	発振継続	
Ring-OSC発生回路	発振停止	発振開始
周辺クロック ($f_x \sim f_x/1024$)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f_{CLK}) , CPUクロック (f_{CPU})	動作停止	発振安定時間確保後、動作開始 ($f_x/8$ に初期化)
CPU	初期化	発振安定時間確保後、動作開始
WDT2	動作停止	動作開始
内蔵RAM	パワー・オン時のリセット、またはRAMへのデータ書き込み（CPUによる）とリセット入力が競合（データ破壊）した場合、不定。 それ以外は、リセット入力直前の値を保持 ^注 。	
I/Oライン（ポート/兼用端子）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタはセット（01H）	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注 μ PD703229Y, 70F3229Yは、ブート切り替え機能をサポートするので内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部を使用します。したがって、パワー・オン状態でのリセットでも一部領域（3FF7000H-3FF7095H）のRAMの内容を保持しません。

注意 リセット解除後、端子状態により、オンチップ・ディバグ・モード（ μ PD70F3229Yのみ）に入る可能性があるため注意してください。詳細は、第4章 ポート機能を参照してください。

図20 - 2 RESET端子入力によるリセット動作のタイミング

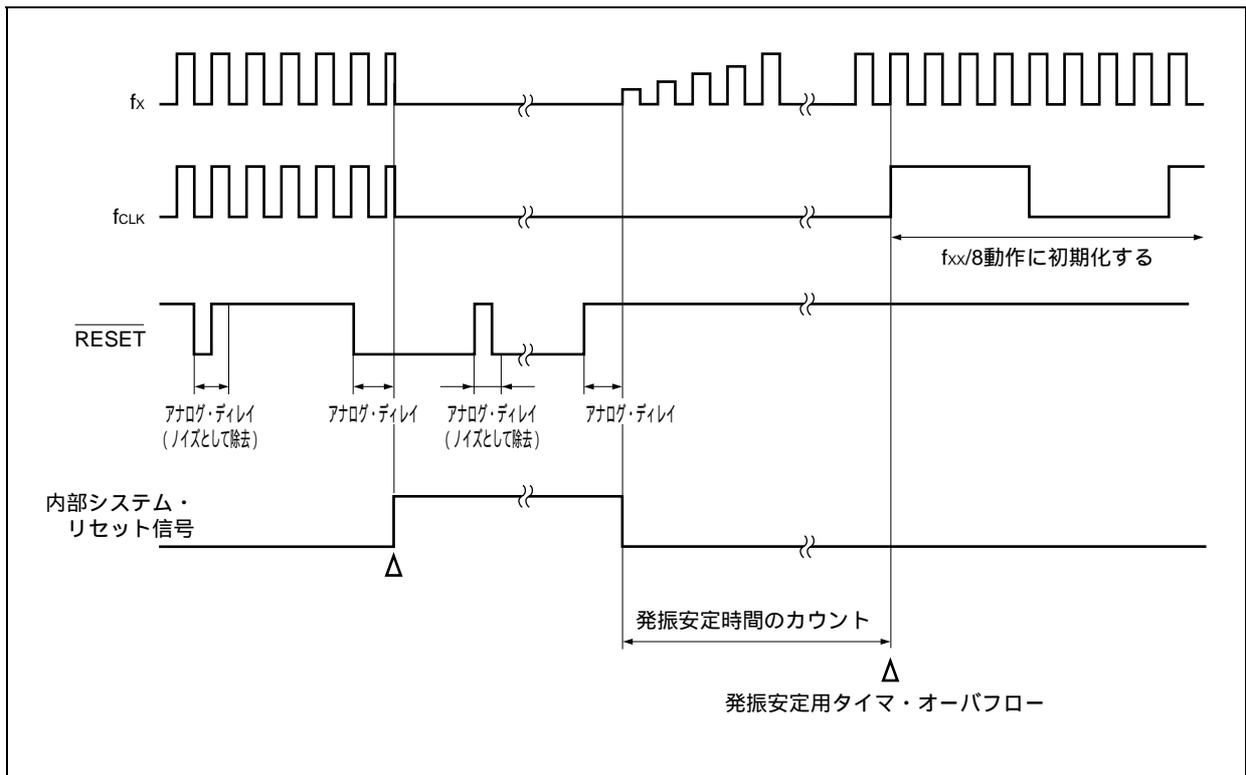
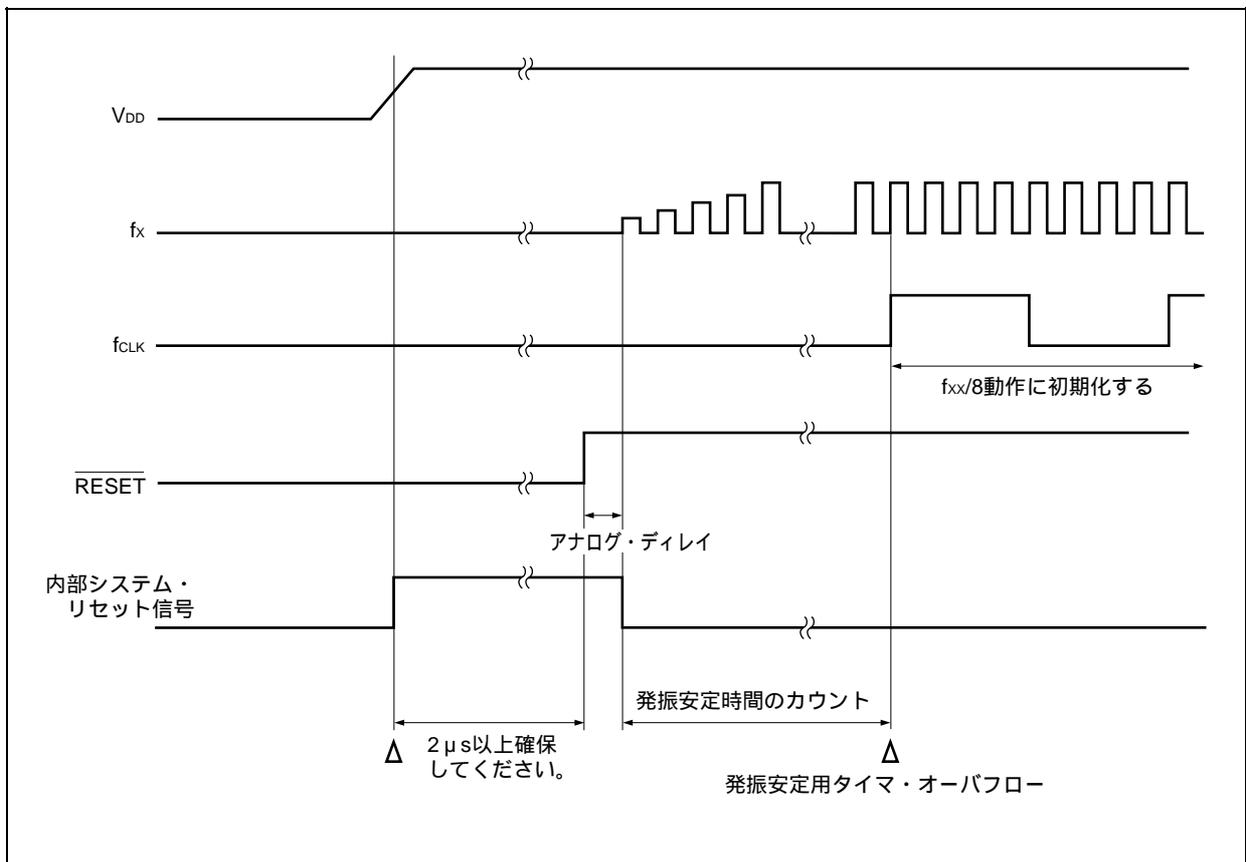


図20 - 3 パワーオン時のリセット動作のタイミング



20.3.2 WDT2RES信号によるリセット動作

ウォッチドッグ・タイマ2をオーバフローによるリセット動作モードに設定時、ウォッチドッグ・タイマ2がオーバフロー（WDT2RES信号発生）すると、システム・リセットがかかり各ハードウェアを所定の状態に初期化します。

ウォッチドッグ・タイマ2のオーバフロー後、所定の時間（アナログ・ディレイ分）リセット状態となり、その後リセット状態を自動的に解除します。リセット解除後、メイン・クロック発振回路の発振安定時間（OSTSレジスタの初期値： $2^{16}/f_x$ ）を確保したあと、CPUはプログラムの実行を開始します。

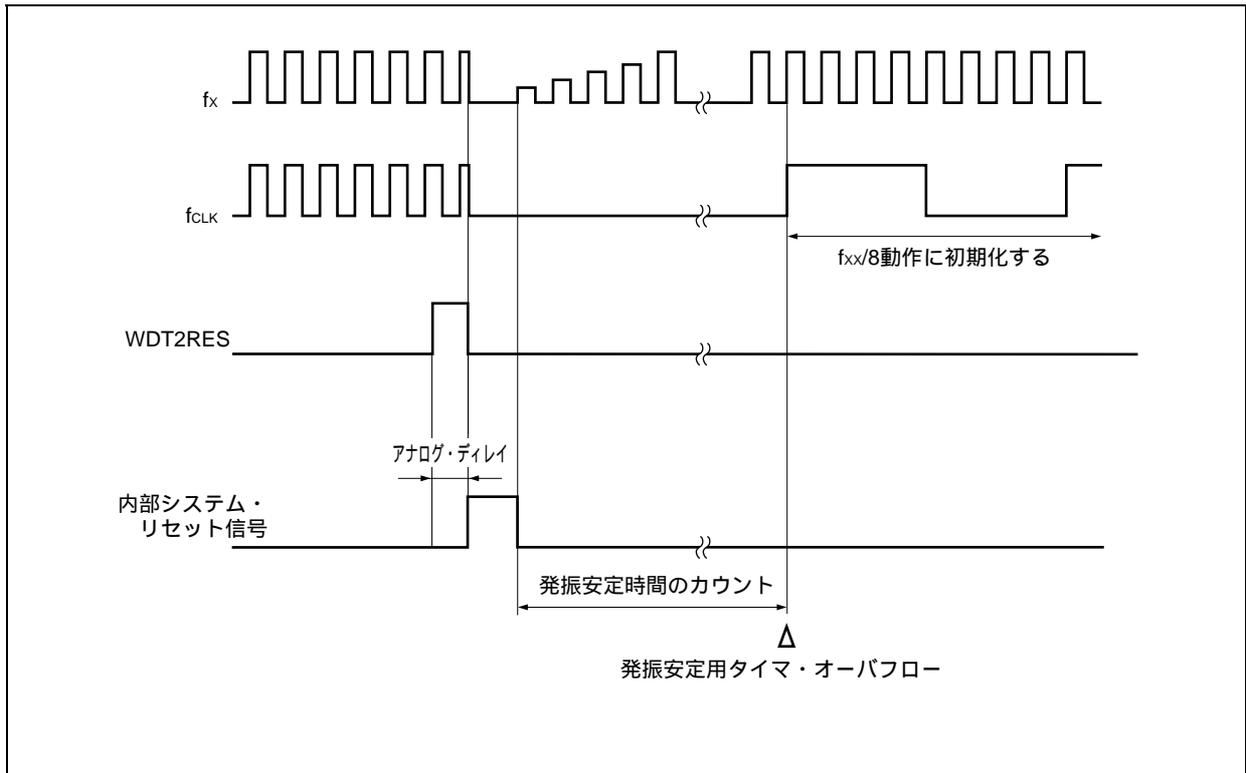
なお、リセット期間中はメイン・クロック発振回路は停止します。

表20 - 2 WDT2RES信号入力時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f_x)	発振停止	発振開始
サブクロック発振回路 (f_{XT})	発振継続	
Ring-OSC発生回路	発振停止	発振開始
周辺クロック ($f_x \cdot f_x / 1024$)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f_{CLK}) , CPUクロック (f_{CPU})	動作停止	発振安定時間確保後、動作開始 ($f_{xx}/8$ に初期化)
CPU	初期化	発振安定時間確保後、動作開始
WDT2	動作停止	動作開始
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込み（CPUによる）とリセットが競合（データ破壊）した場合、不定。 それ以外は、リセット直前の値を保持 ^注 。	
I/Oライン（ポート/兼用端子）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注 μ PD703229Y, 70F3229Yは、ブート切り替え機能をサポートするので内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部を使用します。したがって、パワーオン状態でのリセットでも一部領域（3FF7000H-3FF7095H）のRAMの内容を保持しません。

図20 - 4 WDT2RES端子入力によるリセット動作のタイミング



20.3.3 低電圧検出回路による動作

LVIの動作許可時，電源電圧と検出電圧を比較し，電源電圧が検出電圧を下回った場合，システム・リセットがかかり（LVIMDビット = 1設定時），各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となり，リセット解除後は，メイン・クロック発振回路の発振安定時間（OSTSレジスタの初期値： $2^{16}/f_x$ ）を確保したあと，CPUはプログラムの実行を開始します。

なお，リセット期間中はメイン・クロック発振回路は停止します。

LVIMDビット = 0設定時は，低電圧を検出すると割り込み要求信号（INTLVI）を発生します。

表20 - 3 低電圧検出回路によるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f_x)	発振停止	発振開始
サブクロック発振回路 (f_{XT})	発振継続	
Ring-OSC発生回路	発振停止	発振開始
周辺クロック ($f_x \cdot f_x / 1024$)	動作停止	発振安定時間確保後，動作開始
内部システム・クロック (f_{CLK}) ， CPUクロック (f_{CPU})	動作停止	発振安定時間確保後，動作開始 ($f_{xx}/8$ に初期化)
CPU	初期化	発振安定時間確保後，動作開始
WDT2	動作停止	動作開始
内蔵RAM	パワーオン時のリセット，またはRAMへのデータ書き込み（CPUによる）とリセットが競合（データ破壊）した場合，不定。 それ以外は，リセット直前の値を保持 ^注 。	
I/Oライン（ポート/兼用端子）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化，OCDMレジスタは値を保持。	
LVI	動作停止	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後，動作開始可能

注 μ PD703229Y, 70F3229Yは，ブート切り替え機能をサポートするので，内部システム・リセット解除後，ファームウェアにより内蔵RAMの一部を使用します。したがって，パワーオン状態でのリセットでも一部領域（3FF7000H-3FF7095H）のRAMの内容を保持しません。

次に動作設定方法を示します。

(1) 内部リセット動作

<動作開始時>

INTLVI割り込みをマスク (LVIIC.LVIMKビット = 1) します。

LVIS.LVIS0ビットで検出電圧 (V_{LVI}) を設定します。

LVIM.LVIONビット = 1 (低電圧検出回路動作許可) に設定します。

0.2 ms以上、ソフトウェアでウェイトを挿入します。

LVIM.LVIFビット = 0 (電源電圧 (V_{DD}) > 検出電圧 (V_{LVI})) であることを確認します。

LVIFビット = 1の場合は、LVIFビット = 0になるまでソフトウェアでウェイトを挿入します。

LVIM.LVIMDビット = 1 (電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット信号 (\overline{LVIRES}) 発生) に設定します。

注意1. LVIMDビット = 1に設定した場合、 \overline{LVIRES} 信号以外のリセット要求が発生するまで、LVIM、LVISレジスタの変更はできません。

2. のLVIMKビット = 0のまま設定すると、の時点で割り込み要求信号 (INTLVI) が発生する場合があります。

<動作停止時>

\overline{LVIRES} 信号以外のリセット要求が発生するまで、低電圧検出動作を停止することはできません。

(2) 割り込み動作 (INTLVI)

<動作開始時>

INTLVI割り込みをマスク (LVIMKビット = 1) します。

LVIS0ビットで検出電圧 (V_{LVI}) を設定します。

LVIONビット = 1 (低電圧検出回路動作許可) に設定します。

0.2 ms以上、ソフトウェアでウェイトを挿入します。

LVIFビット = 0 (電源電圧 (V_{DD}) > 検出電圧 (V_{LVI})) であることを確認します。

LVIFビット = 1の場合は、LVIFビット = 0になるまでソフトウェアでウェイトを挿入します。

INTLVI割り込み要求フラグ (LVIIC.LVIFビット) をクリア (0) します。

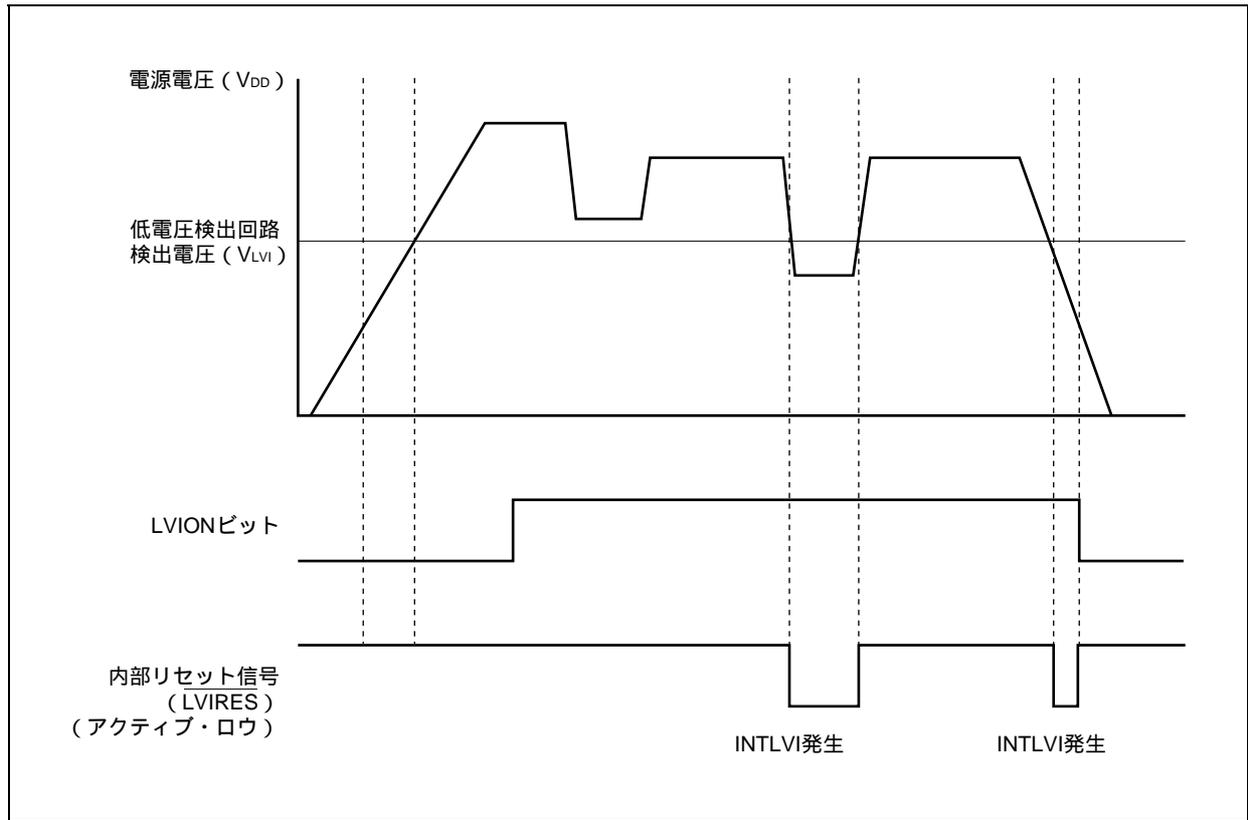
INTLVI割り込みのマスク状態を解除 (LVIMKビット = 0) します。

注意 のLVIMKビット = 0のまま設定すると、の時点でINTLVI信号が発生する場合があります。

<動作停止時>

LVIONビット = 0 (低電圧検出回路動作禁止) に設定します。

図20 - 5 低電圧検出回路によるリセット動作のタイミング



(3) 低電圧検出レジスタ (LVIM)

LVIMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

LVIMレジスタは、低電圧検出、動作モードを設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF890H

	⑦	6	5	4	3	2	①	⑧
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION	低電圧検出動作の許可/禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧 < 検出電圧時に割り込み信号INTLVIを発生
1	電源電圧 < 検出電圧時に内部リセット信号LVIRESを発生

LVIF	低電圧検出フラグ
0	電源電圧 > 検出電圧, または動作禁止時
1	電源電圧 < 検出電圧

- 注意1. LVIONビット = 1設定後, 0.1 ms (TYP.) 以上間隔を空けてから, LVIFビットで電圧を確認してください。
2. LVIFフラグの値は, LVIONビット = 1かつLVIMDビット = 0の場合に, 出力信号INTLVIとして出力されます。
3. ビット2-6には必ず“0”を設定してください。

(4) 低電圧検出レベル選択レジスタ (LVIS)

LVISレジスタは、低電圧検出レベルを選択するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF891H

	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	検出レベル
0	4.4 V ± 0.2 V
1	4.2 V ± 0.2 V

注意 ビット1-7には必ず“0”を設定してください。

(5) 内蔵RAMデータ・ステータス・レジスタ (RAMS)

RAMSレジスタは特定レジスタです。特定のシーケンスによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

RAMSレジスタは、内蔵RAMデータの有効/無効を設定するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセット^注により値を保持します。

★ **注** リセット時の特定シーケンスを示します。

- セット条件：検出レベル以下の電圧検出
 : 特定シーケンスによる1書き込み
 : WDT2によるリセット発生
 : RAMアクセス中のリセット発生
- クリア条件：特定シーケンスによる0書き込み

リセット時：保持 R/W アドレス：FFFFFF892H

	7	6	5	4	3	2	1	0
RAMS	0	0	0	0	0	0	0	RAMF

RAMF	内蔵RAMデータ有効/無効
0	有効
1	無効

20.3.4 クロック・モニタ

(1) クロック・モニタの機能

クロック・モニタは、内蔵のRing-OSCで、メイン・クロックのサンプリングを行い、メイン・クロックの発振停止時に、リセット要求信号を発生します。

リセット解除後は、CPUはRing-OSCで動作します。

CLM.CLMEビットにより一度動作許可にすると、リセットでしか停止できません。

次の条件のとき、クロック・モニタは自動的に停止します。

- ・STOPモード～発振安定時間カウント時
- ・メイン・クロック停止時（サブクロック動作時にPCC.MCKビット = 1、メイン・クロック動作時にPCC.CLSビット = 0）
- ・サンプリング・クロック停止時（Ring-OSC）
- ・CPUがRing-OSC動作時

★ 表20-4 クロック・モニタの動作状態（CLMEビット = 1設定時、Ring-OSC動作時）

CPU動作クロック	動作モード	メイン・クロックの状態	Ring-OSCクロックの状態	クロック・モニタの状態
メイン・クロック	通常動作, HALTモード	発振	発振 ^{注1}	動作 ^{注2}
	IDLE1/IDLE2モード	発振	発振 ^{注1}	動作 ^{注2}
	STOPモード	停止	発振 ^{注1}	停止
サブクロック (MCKビット = 0)	IDLEモード	発振	発振 ^{注1}	動作 ^{注2}
サブクロック (MCKビット = 1)	IDLEモード	停止	発振 ^{注1}	停止
Ring-OSCクロック	-	停止	停止 ^{注1}	停止
リセット中	-	停止	停止	停止

注1. RCM.RSTOPビット = 1にすることで、Ring-OSCを停止できます（μ PD703229Yのみ）。

2. Ring-OSCが停止している場合、クロック・モニタは停止します。

(2) クロック・モニタ・モード・レジスタ (CLM)

CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

クロック・モニタの動作モードの設定を行うレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF870H

	7	6	5	4	3	2	1	①
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可/禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

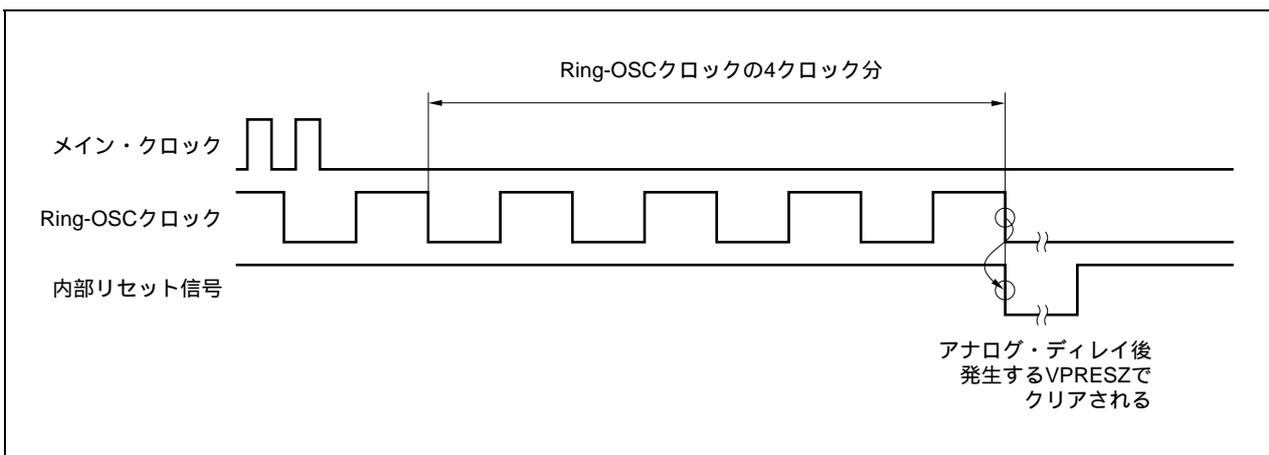
注意 一度CLMEビット = 1に設定した場合、リセット以外ではクリア(0)できません。

(3) クロック・モニタの動作

(a) メイン・クロック発振停止時の動作 (CLM.CLMEビット = 1)

CLMEビット = 1のとき、メイン・クロックの発振が停止した場合、次のタイミングで内部リセット信号が発生します。

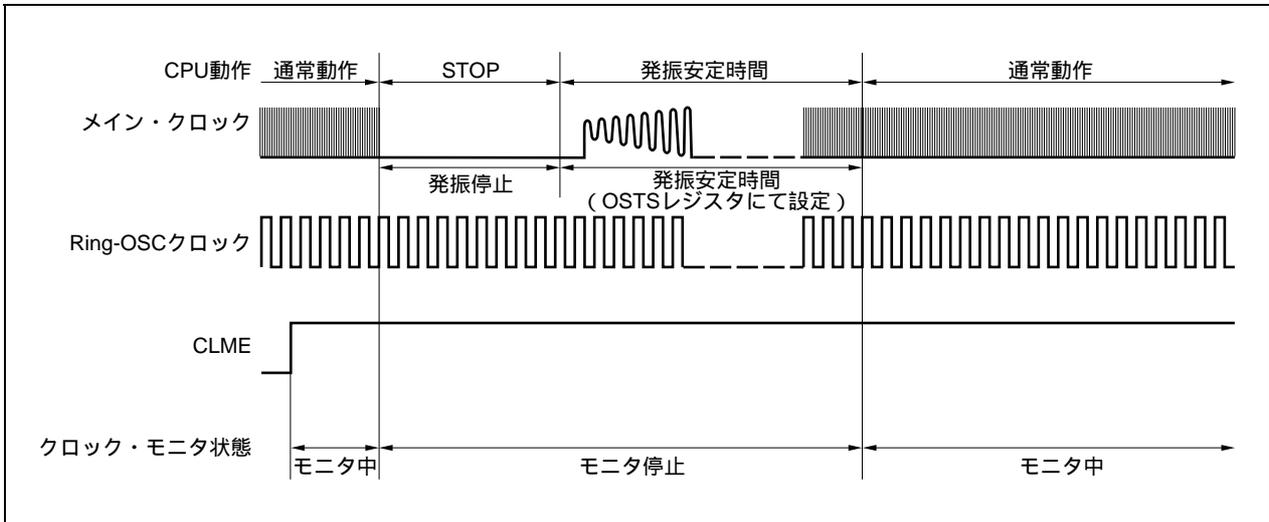
図20 - 6 メイン・クロックの発振停止時



(b) STOPモード中およびSTOPモード解除後の動作

CLMEビット = 1の状態ではSTOPモードに移行した場合、STOPモード中および発振安定時間カウンタ中はモニタ動作を停止します。発振安定時間カウンタ終了後に自動的にモニタ動作を開始します。

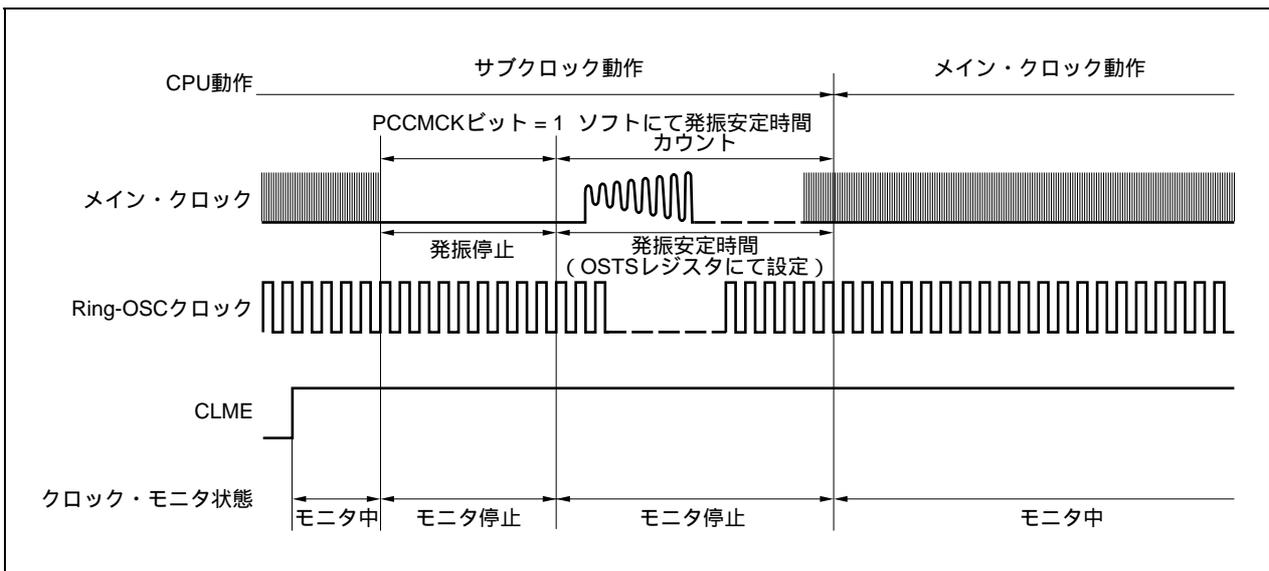
図20 - 7 STOPモード中およびSTOPモード解除後の動作



(c) メイン・クロック停止時（任意）の動作

サブクロック動作時 (PCC.CLSビット = 1) , PCC.MCKビット = 1に設定することによりメイン・クロックを停止した場合、メイン・クロック動作 (CLSビット = 0) に移行するまでモニタ動作を停止し、メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図20 - 8 メイン・クロック停止時（任意）の動作



(d) CPUがRing-OSCクロックで動作時 (CCLS.CCLSビット = 1) の動作

CCLSビット信号 = 1のとき、CLMEビット = 1と設定してもモニタ動作を開始しません。

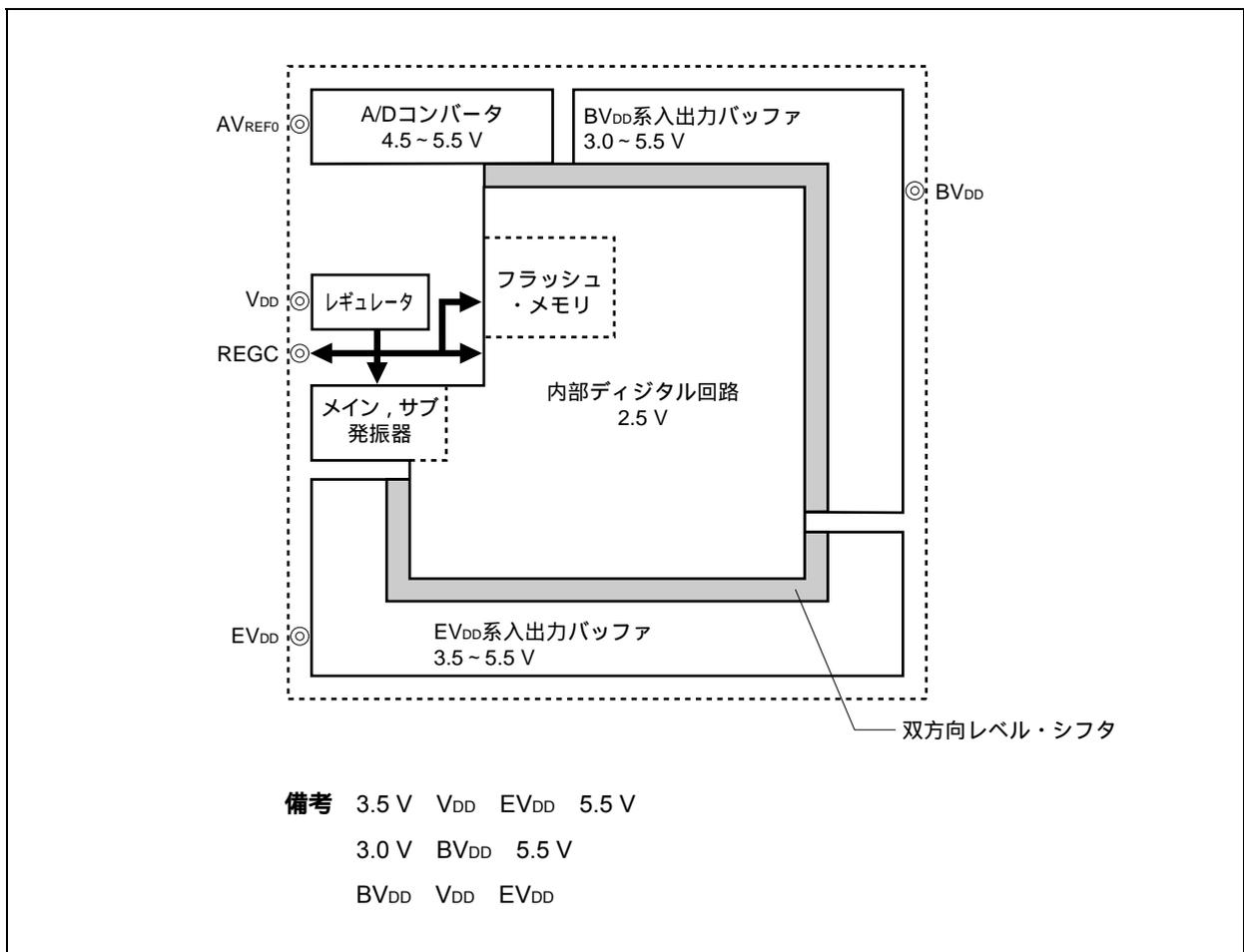
第21章 レギュレータ

21.1 概要

この製品では、低消費電力/低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ，出力バッファは除く）に， V_{DD} 電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は，2.5 V（TYP.）に設定しています。

図21-1 レギュレータ



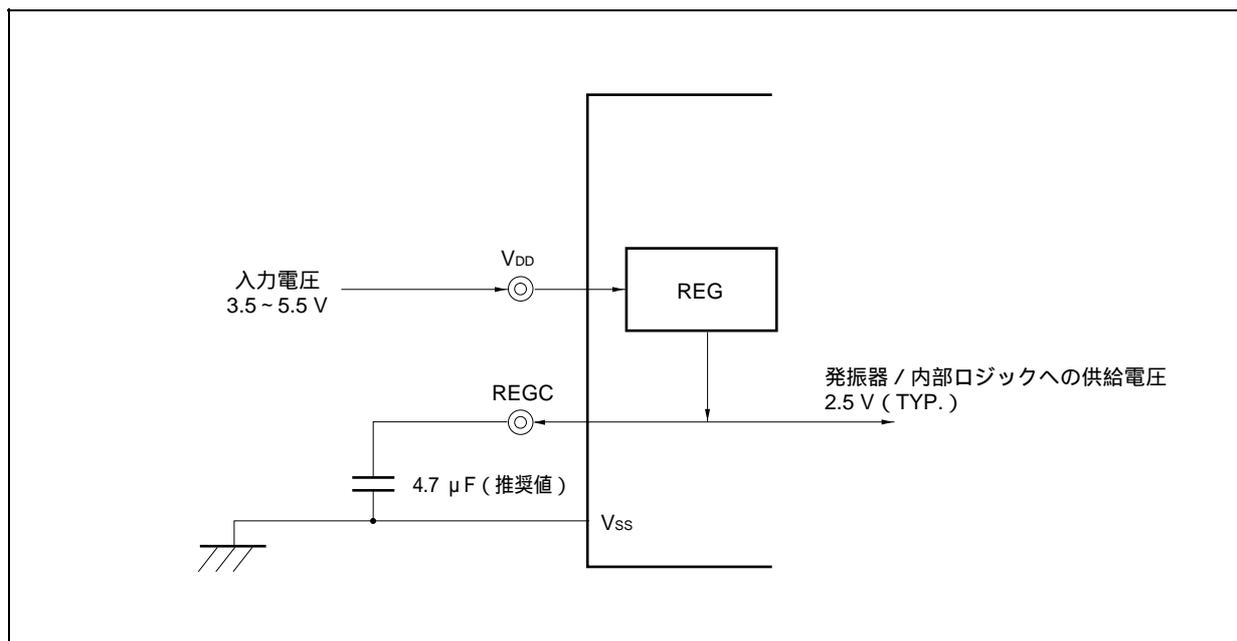
21.2 動作

この製品のレギュレータは、いかなるモード（通常動作モード/HALTモード/IDLE1モード/IDLE2モード/STOPモード/リセット中）でも常に動作します。

また、レギュレータの出力を安定させるためにREGC端子にコンデンサ（ $4.7\ \mu\text{F}$ （推奨値））を接続してください。

次に端子の接続方法を示します。

図21 - 2 REGC端子の接続



第22章 ROMコレクション機能

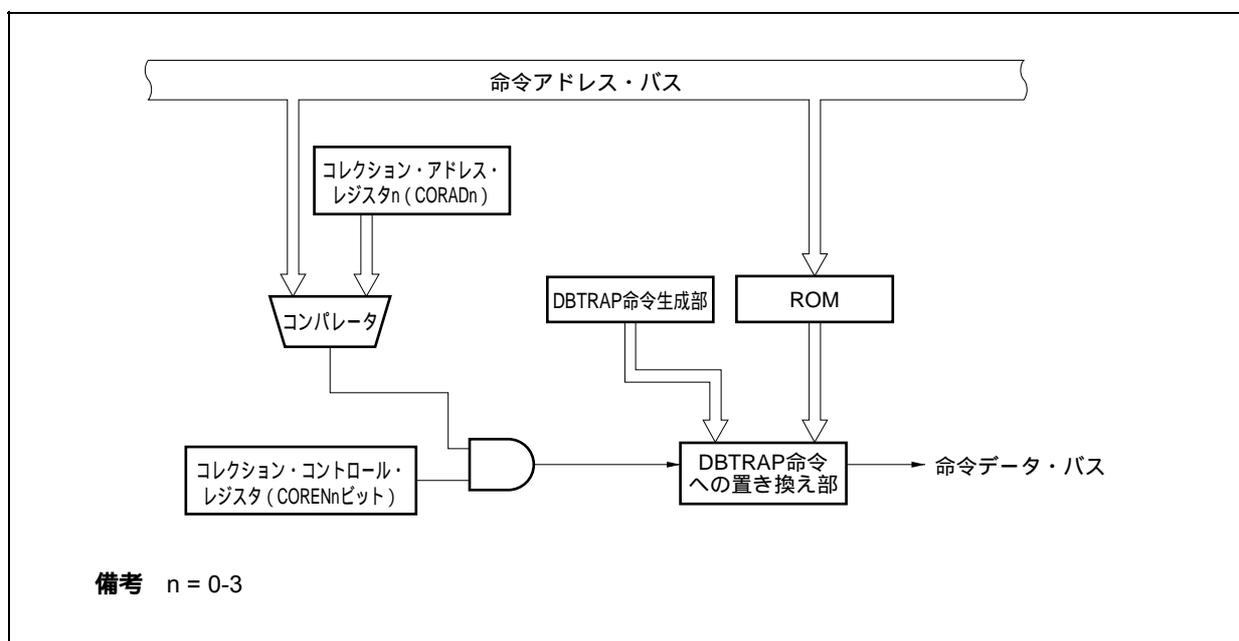
22.1 概要

ROMコレクション機能とは、マスクROM内のプログラムの一部を、外部メモリまたは内蔵RAMのプログラムで置き換えて実行する機能です。

ROMコレクション機能を使用することにより、マスクROMで発見されたプログラム・バグの修正が可能です。

ROMコレクション機能により、修正アドレスは最大4箇所指定できます。

図22-1 ROMコレクションのブロック図



22.2 制御レジスタ

(1) コレクション・アドレス・レジスタ0-3 (CORAD0-CORAD3)

修正プログラムの先頭アドレスを設定するレジスタです。

CORADnレジスタは4つあるため、プログラムを最大4箇所修正することができます (n = 0-3)。

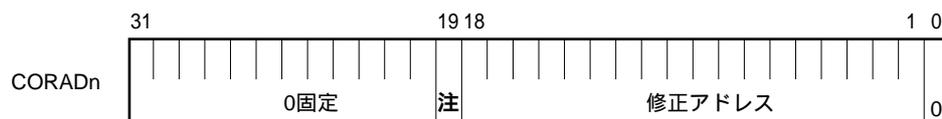
0000000H-005FFFFHの範囲で、修正アドレスを設定してください。

CORADnレジスタは32ビット単位でリード/ライト可能です。

ただし、CORADnレジスタの上位16ビットをCORADnHレジスタ、下位16ビットをCORADnLレジスタとして使用する場合は、16ビット単位でリード/ライト可能です。

リセットにより00000000Hになります。

リセット時：00000000H R/W アドレス：CORAD0 FFFFF840H,
CORAD0L FFFFF840H, CORAD0H FFFFF842H,
CORAD1 FFFFF844H,
CORAD1L FFFFF844H, CORAD1H FFFFF846H,
CORAD2 FFFFF848H,
CORAD2L FFFFF848H, CORAD2H FFFFF84AH,
CORAD3 FFFFF84CH,
CORAD3L FFFFF84CH, CORAD3H FFFFF84EH



(n = 0-3)

★ 注 0に設定してください。

(2) コレクション・コントロール・レジスタ (CORCN)

各CORADnレジスタに設定したアドレスにおけるコレクション動作の禁止 / 許可を制御するレジスタです (n = 0-3)。

各チャネルごとに、有効 / 無効を設定できます。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFF80H

	7	6	5	4	3	2	1	0
CORCN	0	0	0	0	COREN3	COREN2	COREN1	COREN0

CORENn	コレクション動作の禁止 / 許可
0	禁止
1	許可

備考 n = 0-3

表22 - 1 CORCNレジスタのビットとCORADnレジスタの対応

CORCNレジスタのビット名称	対応するCORADnレジスタ
COREN3	CORAD3
COREN2	CORAD2
COREN1	CORAD1
COREN0	CORAD0

22.3 ROMコレクションの動作とプログラムの流れ

修正したいアドレスと内蔵ROMのフェッチ・アドレスが一致すると、フェッチ・コードをDBTRAP命令に置き換えます。

置き換えられたDBTRAP命令が実行されると、00000060H番地に分岐します。

分岐後のソフトウェア処理により、ROMコレクション判定 (フェッチ・アドレスとROMコレクション動作許可の確認) と修正ソフトウェアへの分岐を行います。

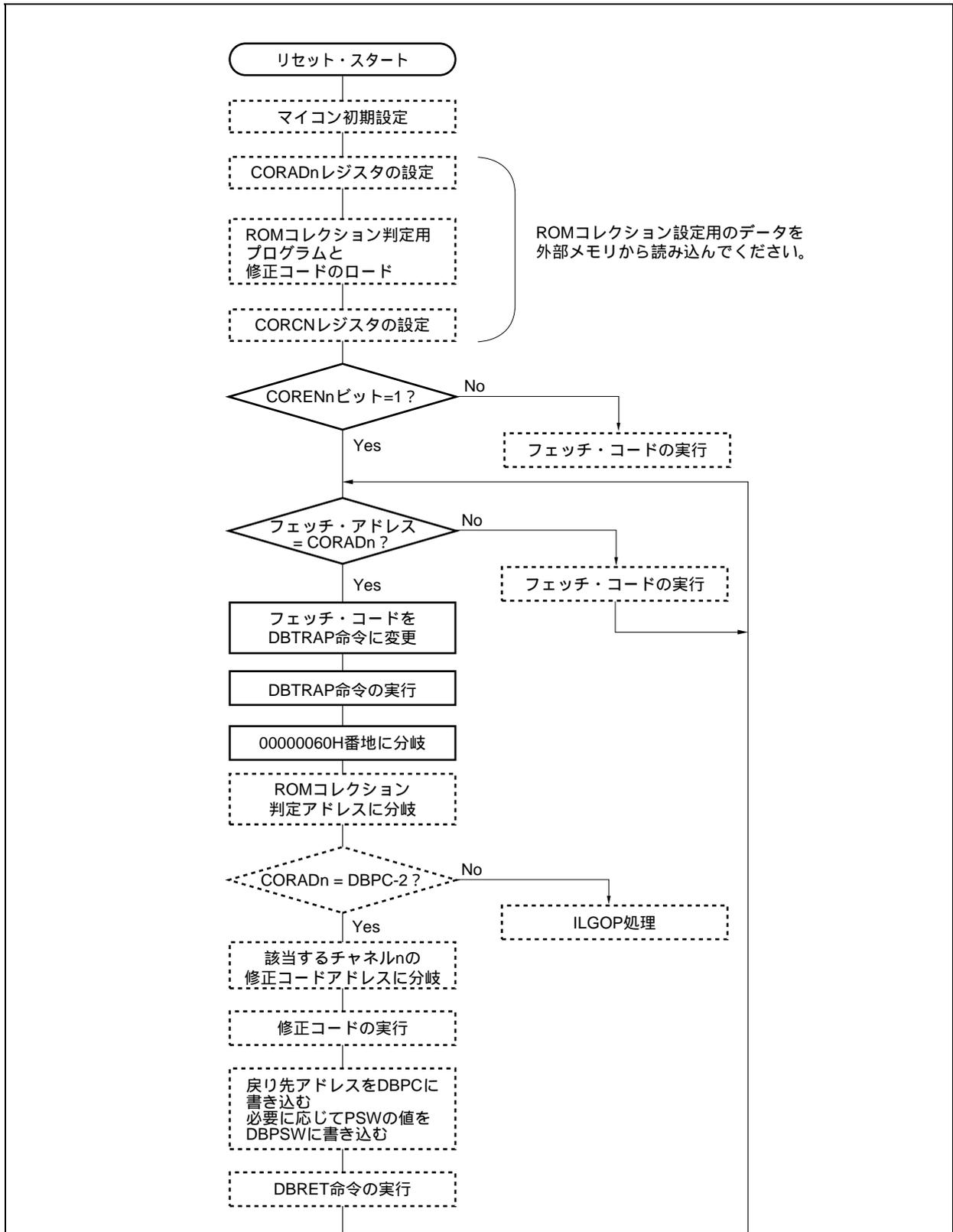
修正ソフトウェア実行後、戻るアドレスのセットなどを行い、DBRET命令で復帰処理をします。

注意1. 上記 , を実現するソフトウェアは、内蔵ROM/RAM内で実行する必要があります。

2. CORADnレジスタに修正したいアドレスを設定する際、内蔵ROMの容量に応じて、上位ビットに0を設定してください。

3. ROMコレクション機能は内蔵ROMのデータに対しては使用できません。命令コードに対してのみ行うことができます。データに対してROMコレクションを行うと、そのデータがDBTRAP命令コードに入れ替わります。

図22 - 2 ROMコレクションの動作とプログラムの流れ



備考1. [虚線枠] : ユーザ・プログラム (ソフトウェア) による処理

[実線枠] : ROM内コレクション (ハードウェア) による処理

2. n = 0-3

第23章 フラッシュ・メモリ

次に示す製品は μ PD703229Yのフラッシュ・メモリ内蔵品です。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

また、フラッシュ・メモリの書き換えに関するスペックについては第25章 電気的特性を参照してください。

・ μ PD70F3229Y：384 Kバイトのフラッシュ・メモリ内蔵

フラッシュ・メモリ内蔵品を使用した開発用途および量産用途として次のようなことが考えられます。

ターゲット・システムに μ PD70F3229Yを半田実装後、ソフトウェアの変更可能
量産立ち上げ時のデータ調整が容易
規格ごとにソフトウェアを区別することで少量多品種生産が容易
在庫管理が容易
出荷後のソフトウェアのアップデートが容易

23.1 特 徴

4バイト/1クロック・アクセス（命令フェッチ時）

容量：384 Kバイト

書き換え電圧：単電源による消去／書き込みが可能

書き換え方式

- ・専用フラッシュ・ライターとのシリアル・インタフェースを介しての通信による書き換え（オンボード／オフボード・プログラミング）

- ・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）

フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）

ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域の安全な書き換えが可能

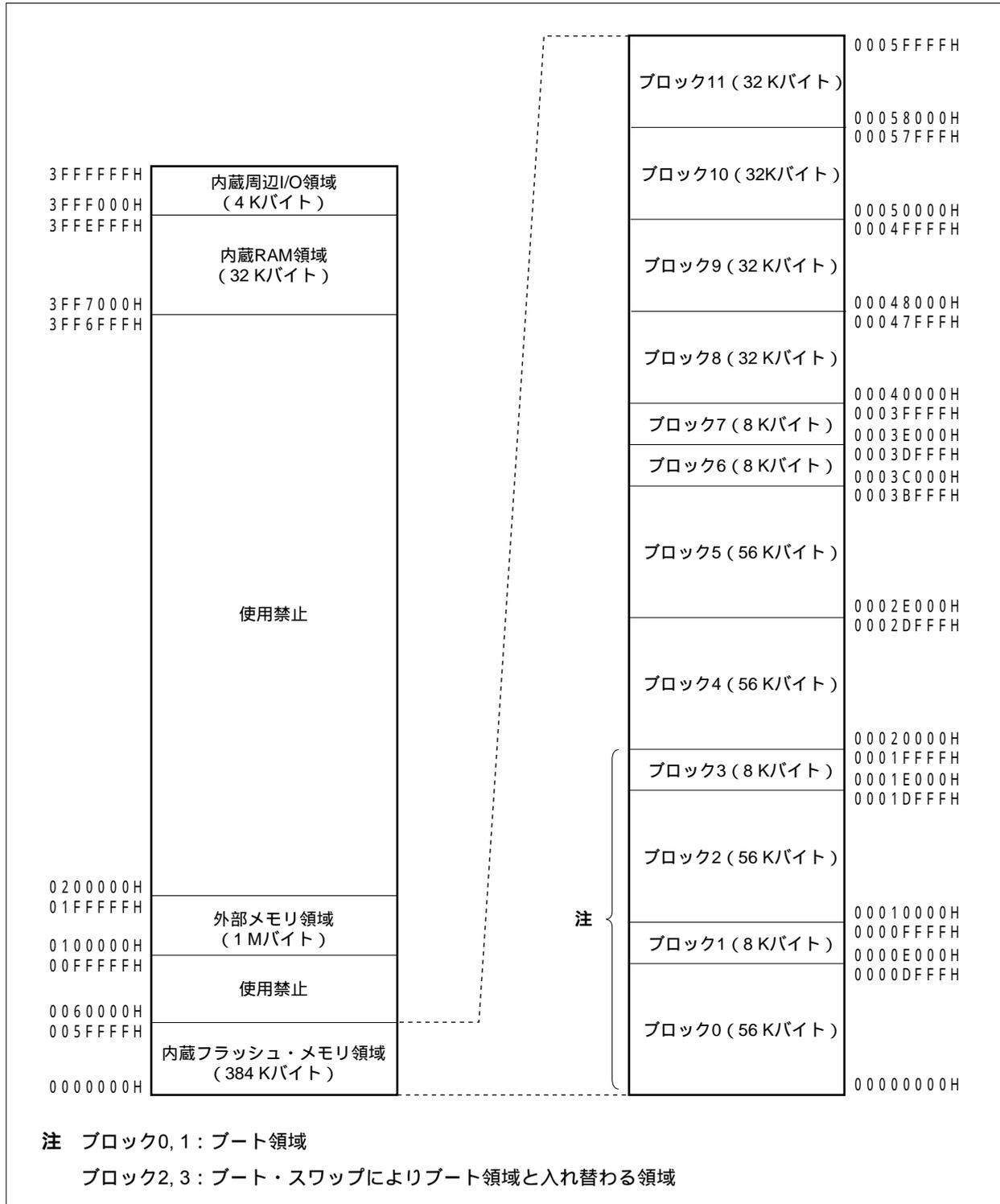
セルフ・プログラミング中の割り込み受け付け可能

23.2 メモリ構成

384 Kバイトの内蔵フラッシュ・メモリの領域は12個のブロックに分割されており、各ブロック単位にてプログラム/消去可能となっています。全ブロックの一括消去も可能です。

また、ブート・スワップ機能を用いた場合、ブロック0, 1のアドレスに配置された物理メモリと、ブロック2, 3のアドレスに配置された物理メモリが入れ替わります。ブート・スワップ機能詳細については、23.5 セルフ・プログラミングによる書き換えを参照してください。

図23-1 フラッシュ・メモリ・マッピング



23.3 機能概要

μ PD70F3229Yの内蔵フラッシュ・メモリは、専用フラッシュ・ライターによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オンボード/オフボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表23-1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・ライターを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・ライターと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オンボード/オフボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

表23 - 2 基本機能一覧

機能	機能概要	サポートの有無 (:サポート, × :未サポート)	
		オンボード/オフボード・ プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。		
チップ消去	全メモリの内容の一括消去を行います。		×
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。		
ベリファイ/チェック・サム	フラッシュ・メモリから読み出したデータと,フラッシュ・ライターから転送されたデータの比較を行います。		× (ユーザ・プログラムにて読み出しは可能)
ブランク・チェック	全メモリの消去状態の確認を行います。		
セキュリティ設定	ブロック消去コマンド/チップ消去コマンド/プログラム・コマンドの使用禁止設定を行います。		× (オンボード/オフボード・プログラミングで設定した値の保持のみ可能)

次にセキュリティ機能の一覧を示します。ブロック消去コマンド禁止/チップ消去コマンド禁止/プログラム・コマンド禁止機能は、出荷後の初期状態はすべて許可になっており、オンボード/オフボード・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表23 - 3 セキュリティ機能一覧

機能	機能概要	禁止時の書き換え動作 (:実行可能, × :実行不可)	
		オンボード/オフボード・ プログラミング	セルフ・プログラミング
ブロック消去 コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。	ブロック消去コマンド：× チップ消去コマンド： プログラム・コマンド：	禁止設定にかかわらず常に書き換え可能
チップ消去 コマンド禁止	全ブロックに対してのブロック消去および、チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。	ブロック消去コマンド：× チップ消去コマンド：× プログラム・コマンド：	
プログラム・ コマンド禁止	全ブロックに対しての書き込みコマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。	ブロック消去コマンド：× チップ消去コマンド： プログラム・コマンド：×	

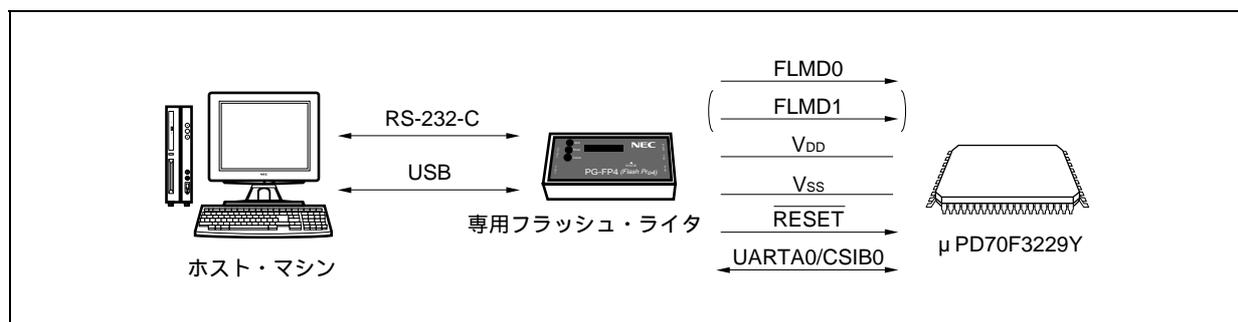
23.4 専用フラッシュ・ライターでの書き換え

専用フラッシュ・ライターにて、ターゲット・システム上に μ PD70F3229Yを実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FAシリーズ）を使用すれば、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

23.4.1 プログラミング環境

μ PD70F3229Yのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図23-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライターと μ PD70F3229YとのインターフェースはUARTA0またはCSIB0を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

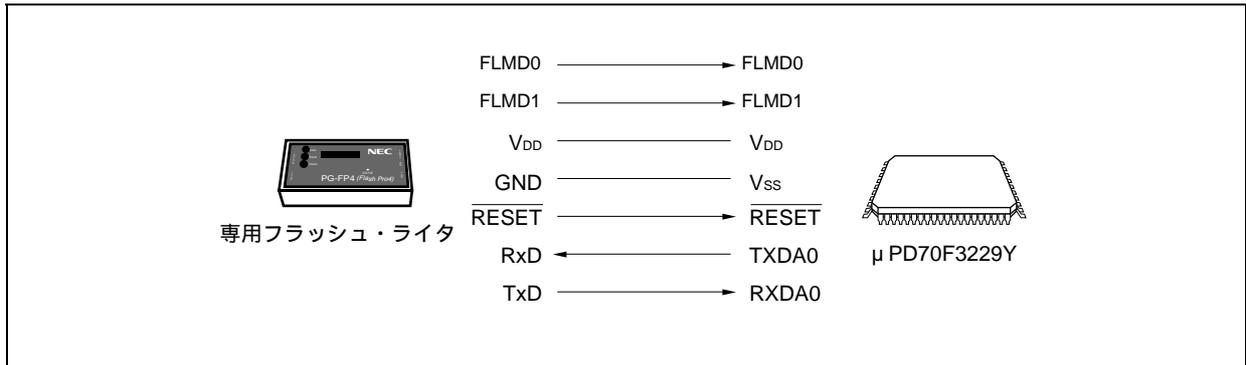
23.4.2 通信方式

専用フラッシュ・ライタと μ PD70F3229Yとの通信は、 μ PD70F3229YのUARTA0またはCSIB0によるシリアル通信で行います。

(1) UARTA0

転送レート：9600～153600 bps

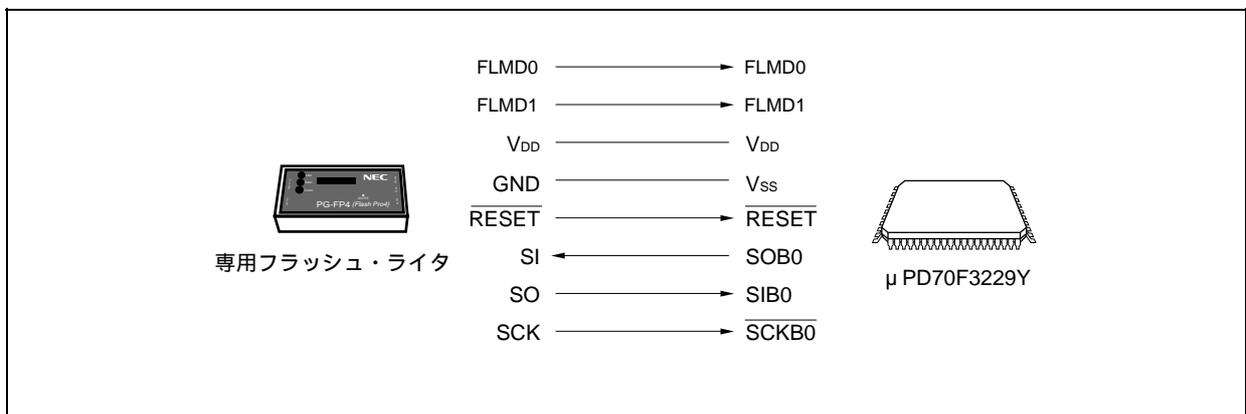
図23-3 専用フラッシュ・ライタとの通信 (UARTA0)



(2) CSIB0

シリアル・クロック：2.4 kHz～2.5 MHz (MSBファースト)

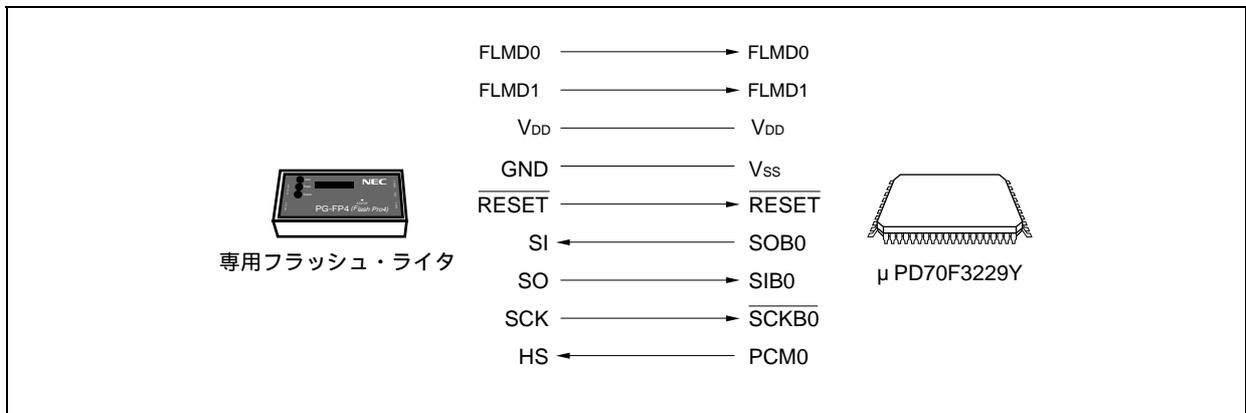
図23-4 専用フラッシュ・ライタとの通信 (CSIB0)



(3) CSIB0 + HS

シリアル・クロック : 2.4 kHz ~ 2.5 MHz (MSBファースト)

図23 - 5 専用フラッシュ・ライタとの通信 (CSIB0 + HS)



専用フラッシュ・ライタが転送クロックを出力し、μ PD70F3229Yはスレーブとして動作します。

専用フラッシュ・ライタとしてPG-FP4を使用した場合、PG-FP4はμ PD70F3229Yに対して次の信号を生成します。詳細はPG-FP4 ユーザーズ・マニュアル (U15260J) を参照してください。

表23 - 4 専用フラッシュ・ライタ (PG-FP4) の信号接続一覧

PG-FP4			μ PD70F3229Y	接続時の処置		
信号名	入出力	端子機能	端子名	UARTA0	CSIB0	CSIB0 + HS
FLMD0	出力	書き込み許可 / 禁止	FLMD0			
FLMD1	出力	書き込み許可 / 禁止	FLMD1	注1	注1	注1
VDD	-	V _{DD} 電圧生成/電圧監視	V _{DD}	x 注2	x 注2	x 注2
GND	-	グラウンド	V _{SS}			
CLK	出力	μ PD70F3229Yへのクロック出力	X1, X2	x 注3	x 注3	x 注3
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SOBO/TXDA0			
SO/TxD	出力	送信信号	SIB0/RXDA0			
SCK	出力	転送クロック	SCKB0	x		
HS	入力	CSIB0 + HS通信のハンドシェーク信号	PCM0	x	x	

注1. 図23 - 6のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2. PG-FP4から電源供給を行う場合は接続してください。

3. PG-FP4からクロック供給を行う場合は接続してください (図23 - 6のように配線するか、ボード上に発振回路を作成してクロックを供給してください)。

備考 : 必ず接続してください。

x : 接続の必要はありません。

表23 - 5 μ PD70F3229Yフラッシュ書き込み用アダプタ (FA-100GC-8EA) の配線表

フラッシュ・ライター (PG-FP4) 接続端子			FAボード の端子名	CSIB0 + HS使用時		CSIB0使用時		UARTA0使用時	
信号名	入出力	端子機能		端子名	ピン 番号	端子名	ピン 番号	端子名	ピン 番号
SI/RxD	入力	受信信号	SI	P41/SOB0/SCL00	23	P41/SOB0/SCL00	23	P30/TXDA0	25
SO/TxD	出力	送信信号	SO	P40/SIB0/SDA00	22	P40/SIB0/SDA00	22	P31/RXDA0/INTP7	26
SCK	出力	転送クロック	SCK	P42/SCKB0	24	P42/SCKB0	24	必要なし	-
CLK	出力	μ PD70F3229Y へのクロック	X1	X1	12	X1	12	X1	12
			X2	X2	13	X2	13	X2	13
/RESET	出力	リセット信号	/RESET	RESET	14	RESET	14	RESET	14
FLMD0	入力	書き込み電圧	FLMD0	FLMD0	8	FLMD0	8	FLMD0	8
FLMD1	入力	書き込み電圧	FLMD1	PLD5/AD5/FLMD1	76	PLD5/AD5/FLMD1	76	PLD5/AD5/FLMD1	76
HS	入力	CSI0 + HS 通 信のハンドシ ェーク信号	RESERVE /HS	PCM0/WAIT	61	必要なし	-	必要なし	-
VDD	-	VDD電圧生成 /電圧監視	VDD	VDD	9	VDD	9	VDD	9
				BVDD	70	BVDD	70	BVDD	70
				EVDD	5, 34	EVDD	5, 34	EVDD	5, 34
				AVREF0	1	AVREF0	1	AVREF0	1
GND	-	グラウンド	GND	VSS	11	VSS	11	VSS	11
				AVSS	2	AVSS	2	AVSS	2
				BVSS	69	BVSS	69	BVSS	69
				EVSS	33	EVSS	33	EVSS	33

注意1. REGC端子は、必ず4.7 μ Fのコンデンサを介してGNDに接続してください。

2. フラッシュ・ライターのCLK端子からのクロック供給はできません。
ボード上に発振回路を作成してクロックを供給してください。

図23 - 6 μPD70F3229Yフラッシュ書き込み用アダプタ (FA-100GC-8EA) の配線例 (1/2)

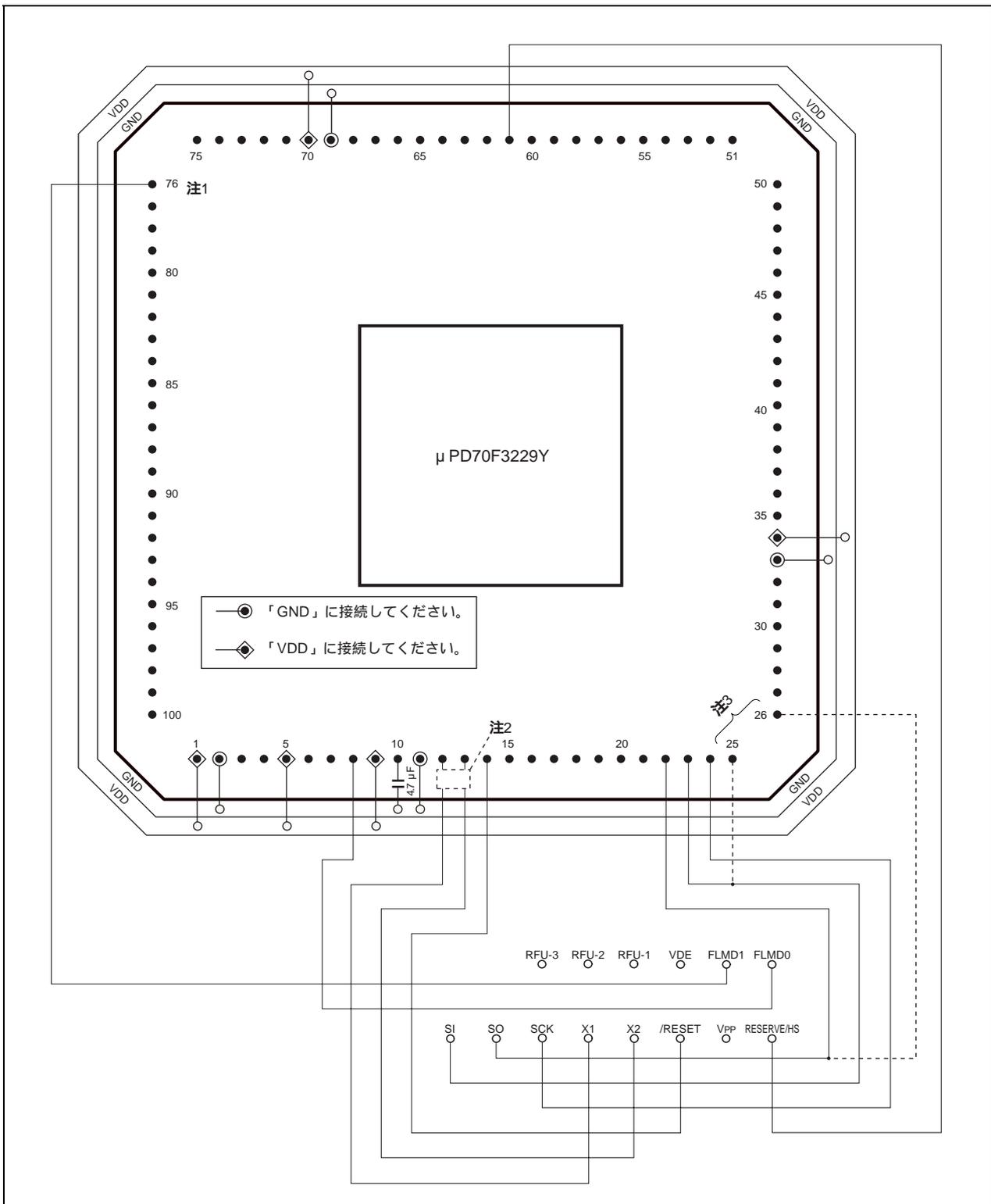
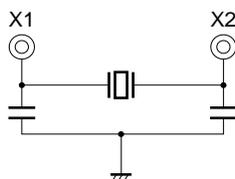


図23 - 6 μ PD70F3229Yフラッシュ書き込み用アダプタ (FA-100GC-8EA) の配線例 (2/2)

- 注1. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
2. フラッシュ書き込みアダプタ上 (破線部) に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

例



3. UARTA0使用時の該当端子

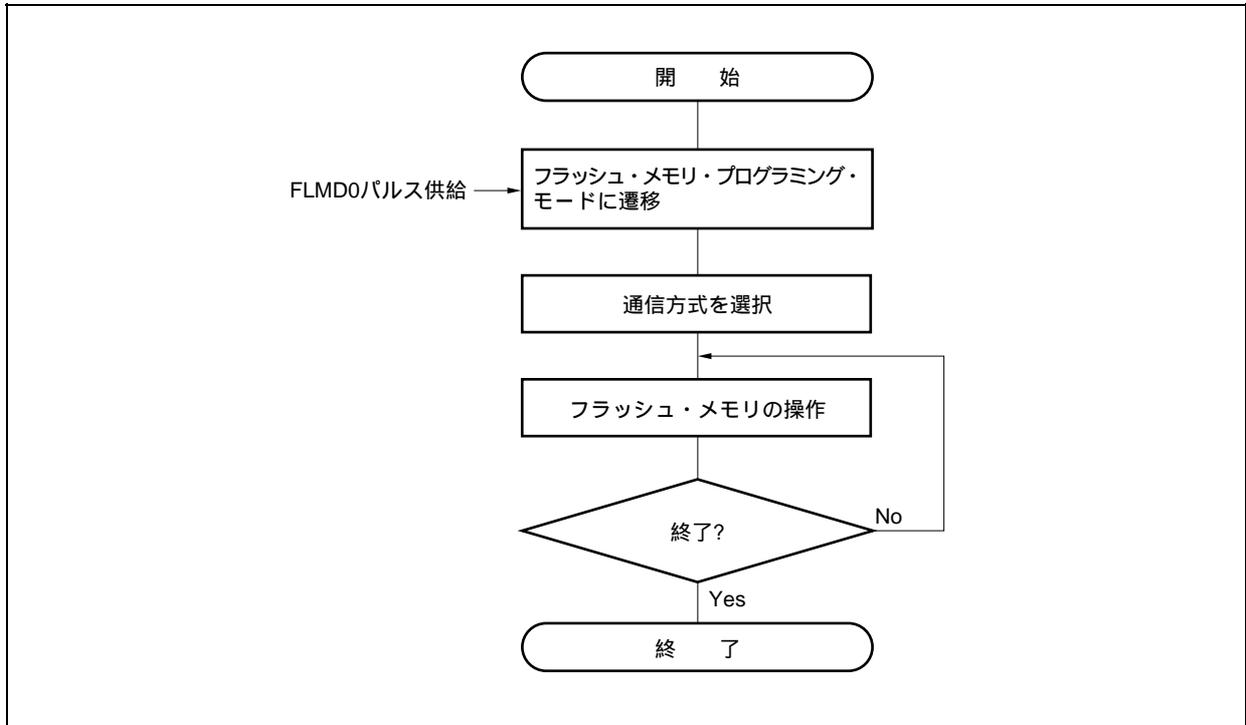
注意 $\overline{\text{DRST}}$ 端子には、ハイ・レベルを入力しないでください。

- 備考1.** 記述していない端子は、未使用時の端子処理に従って処理してください (2.3 端子の入出力回路タイプ、入出力バッファ電源と未使用時の処理参照)。抵抗を介する場合、1~10 k Ω の抵抗を接続することを推奨します。
2. このアダプタは100ピン・プラスチックLQFPパッケージ用です。
3. この図はハンドシェーク対応CSIB0時の結線です。

23.4.3 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図23-7 フラッシュ・メモリの操作手順

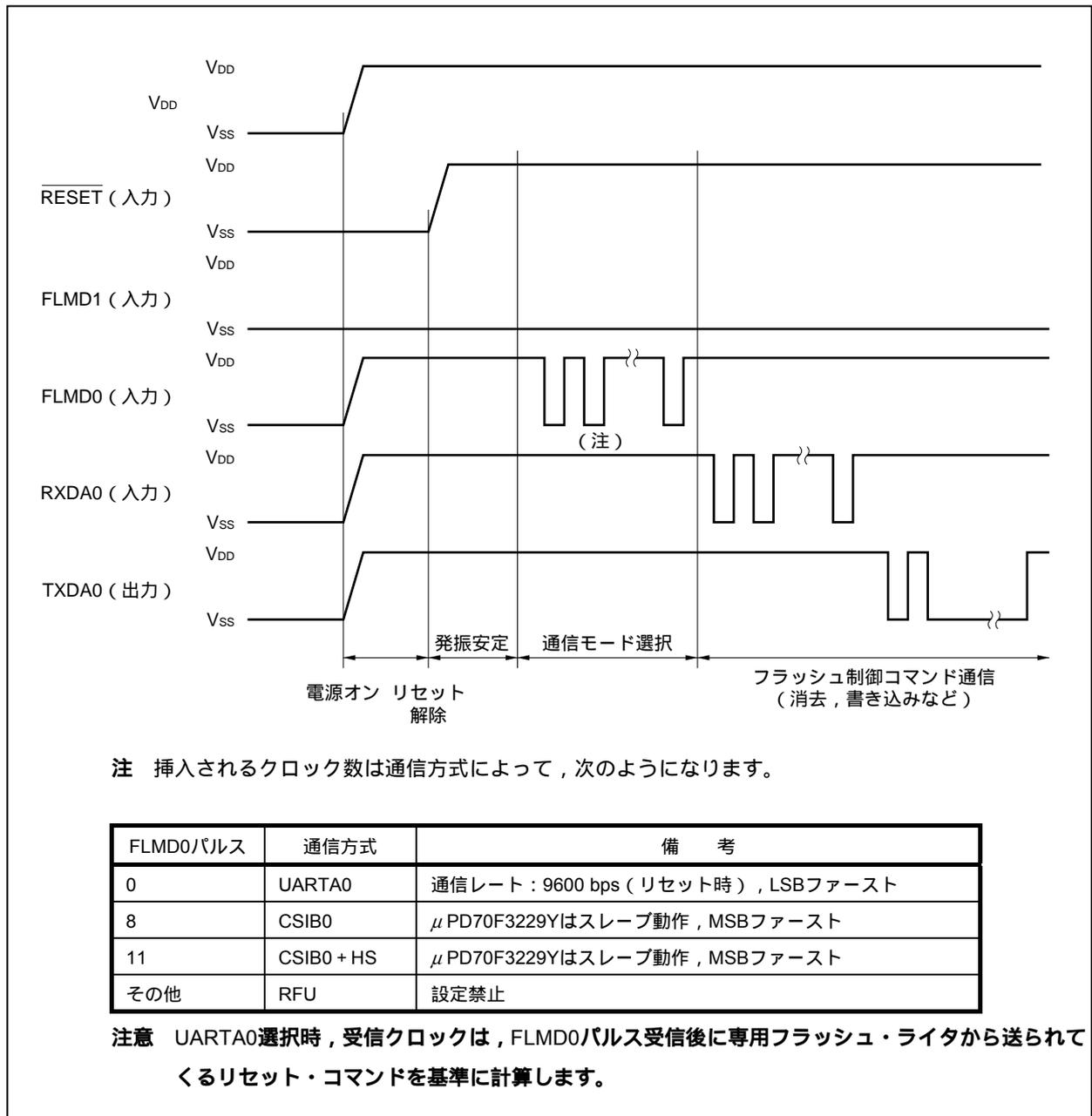


23.4.4 通信方式の選択

μPD70F3229Yでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

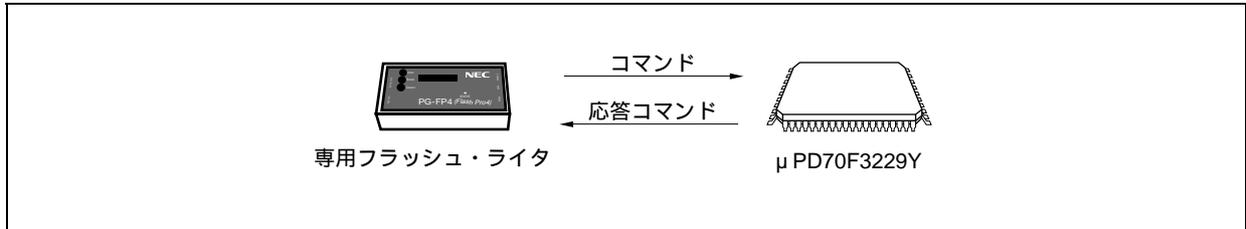
図23 - 8 通信方式の選択



23.4.5 通信コマンド

μPD70F3229Yと専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタからμPD70F3229Yへ送られる信号を「コマンド」と呼び、μPD70F3229Yから専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図23-9 通信コマンド



μPD70F3229Yのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され、μPD70F3229Yがコマンドに対応した各処理を行います。

表23-6 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSIB0	CSIB0+HS	UARTA0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
書き込み	書き込みコマンド				指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド				指定したアドレス範囲のメモリの内容と、フラッシュ・ライタから転送されたデータを比較
	チェック・サム・コマンド				指定したアドレス範囲のチェック・サムを読み出す。
システム設定, 制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド禁止, ブロック消去コマンド, 書き込みコマンドの禁止設定

23.4.6 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

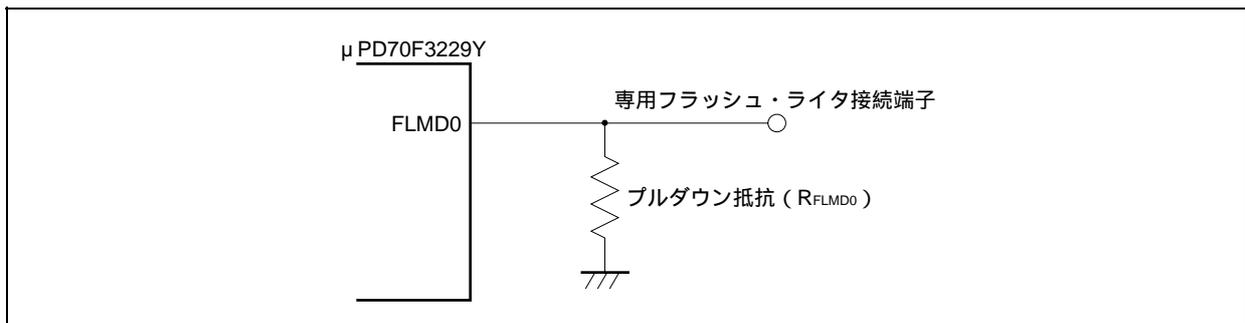
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

(1) FLMD0端子

通常動作モード時は、FLMD0端子に V_{SS} レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を供給する必要があります。詳細は、23.5.5 (1) FLMD0端子を参照してください。

図23 - 10 FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子に V_{DD} が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図23 - 11 FLMD1端子の接続例

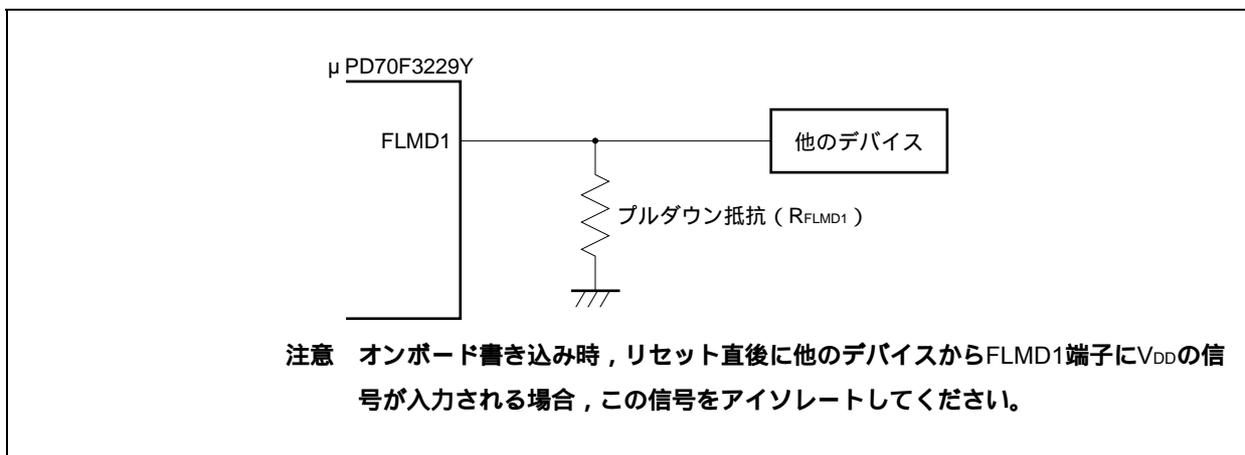


表23 - 7 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V _{DD}	0	フラッシュ・メモリ・プログラミング・モード
V _{DD}	V _{DD}	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表23 - 8 各シリアル・インタフェースが使用する端子

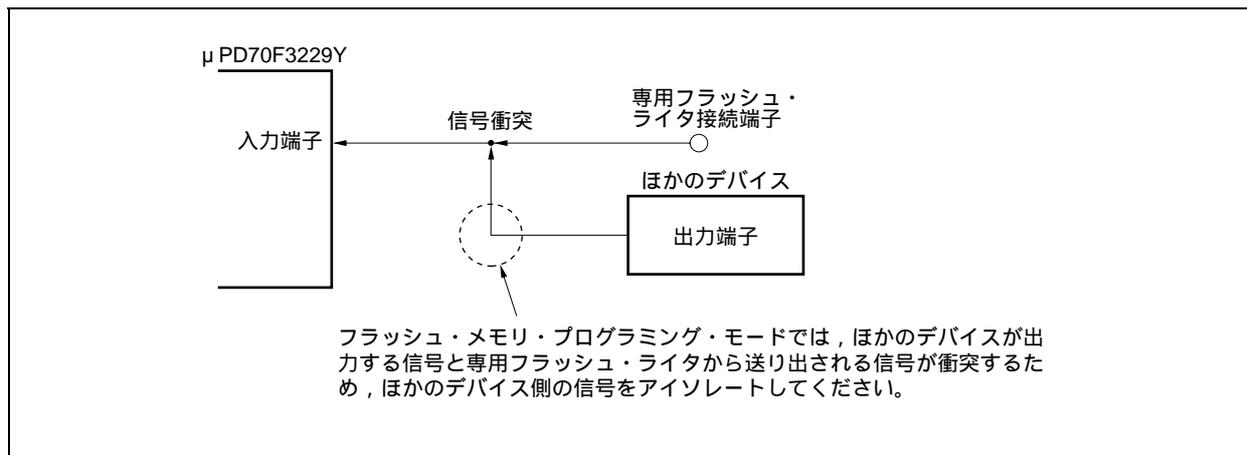
シリアル・インタフェース	使用端子
UARTA0	TXDA0, RXDA0
CSIB0	SOB0, SIB0, $\overline{\text{SCKB0}}$
CSIB0 + HS	SOB0, SIB0, $\overline{\text{SCKB0}}$, PCM0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

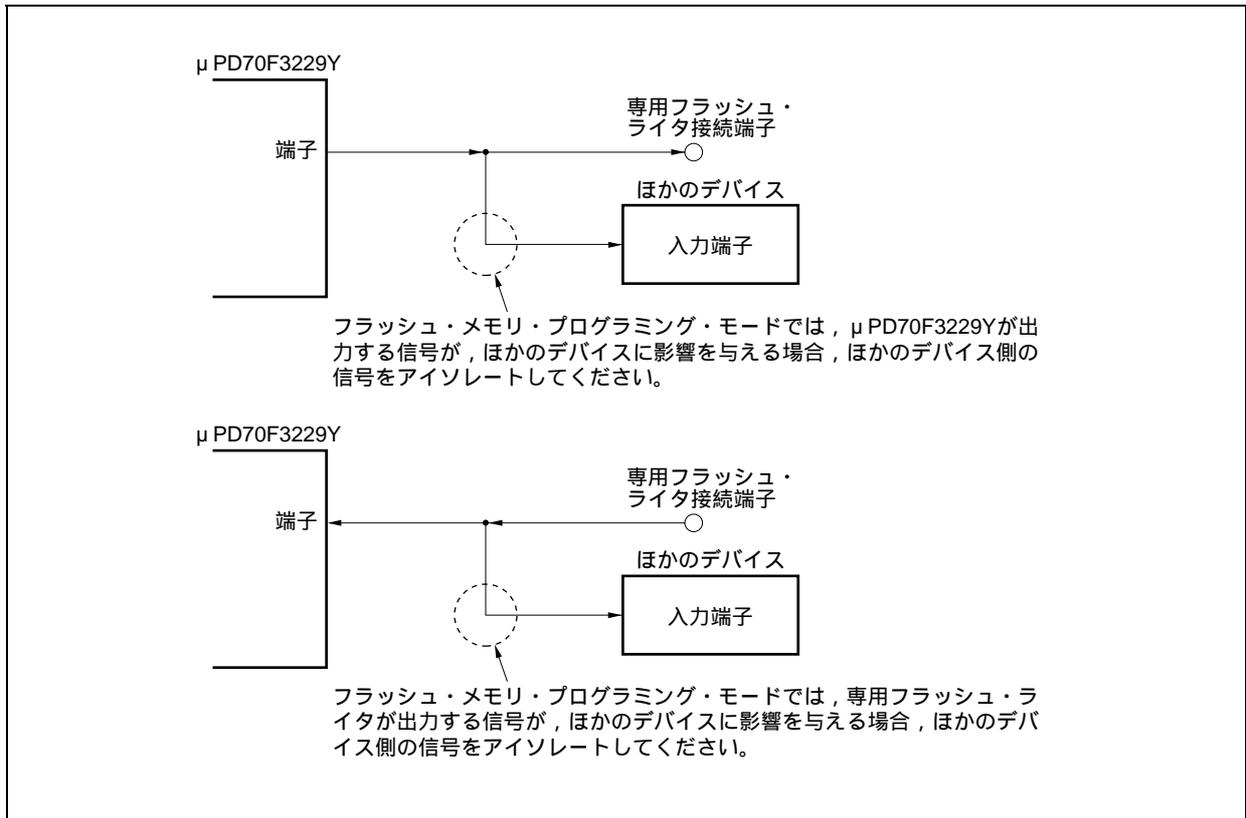
図23 - 12 信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス(入力)と接続しているシリアル・インタフェース用の端子(入力または出力)に、専用フラッシュ・ライター(出力または入力)を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図23 - 13 ほかのデバイスの異常動作

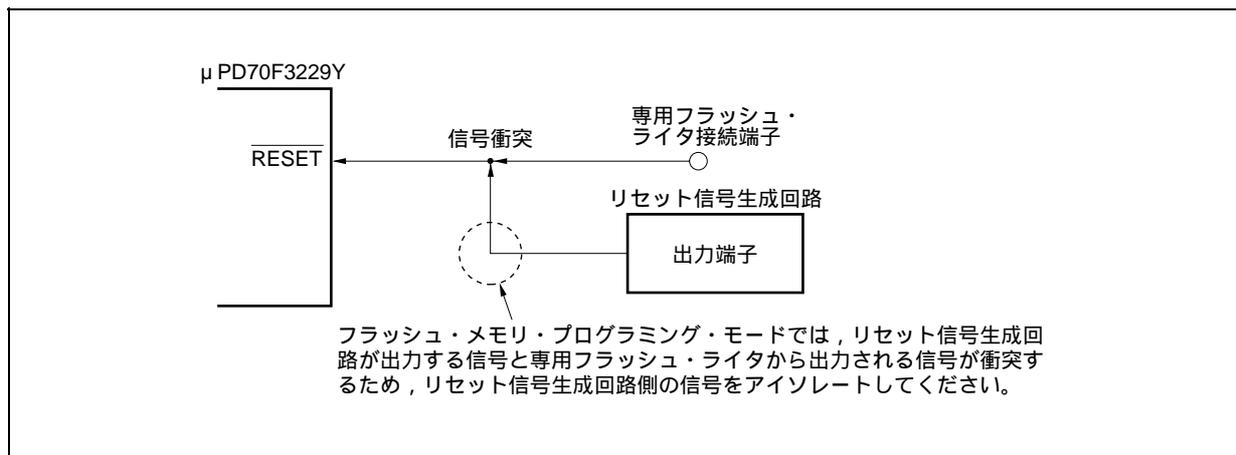


(4) RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図23 - 14 信号の衝突 (RESET端子)

**(5) ポート端子 (NMIを含む)**

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

(6) その他の信号端子

X1, X2, XT1, XT2, REGCIは、通常動作モード時と同じ状態に接続してください。

また、フラッシュ・メモリ・プログラミング中、DRST端子はロウ・レベル入力またはオープンにし、ハイ・レベル入力しないようにしてください。

(7) 電 源

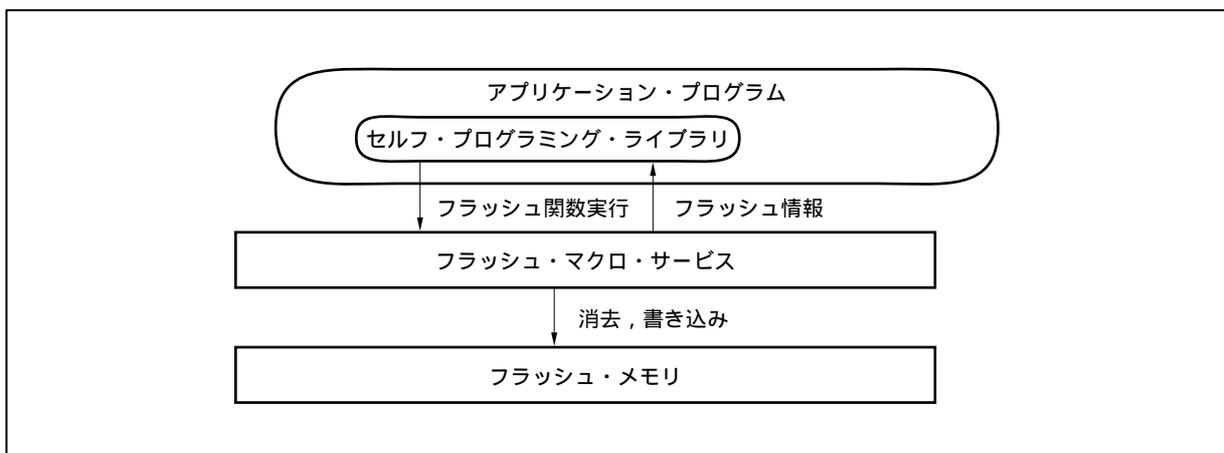
電源 (V_{DD}, V_{SS}, EV_{DD}, EV_{SS}, AV_{SS}, BV_{DD}, BV_{SS}, AV_{REF0}) は、通常動作モード時と同じ電源を供給してください。

23.5 セルフ・プログラミングによる書き換え

23.5.1 概 要

μ PD70F3229Yは、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換えを行うことができます。

図23 - 15 セルフ・プログラミングの概念図

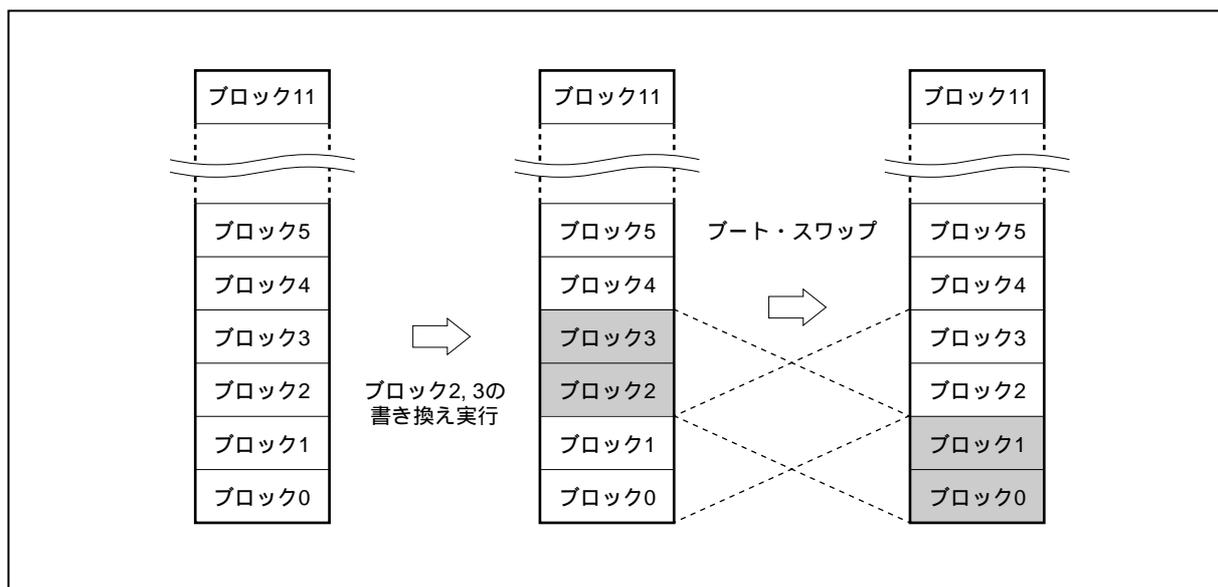


23.5.2 特 徴

(1) セキュア・セルフ・プログラミング (ブート・スワップ機能)

μ PD70F3229Yは、ブロック0, 1の物理メモリと、ブロック2, 3の物理メモリを入れ替えることができるブート・スワップ機能をサポートしているため、あらかじめ書き換えたい起動用のプログラムをブロック2, 3に書いておき、物理メモリをスワップさせることにより、書き換え中に電源遮断が発生しても常にブロック0, 1には正常なユーザ・プログラムが存在する状態となるため、全領域の書き換えが安全に実行可能となります。

図23 - 16 全メモリ領域の書き換え (ブート・スワップ対応)



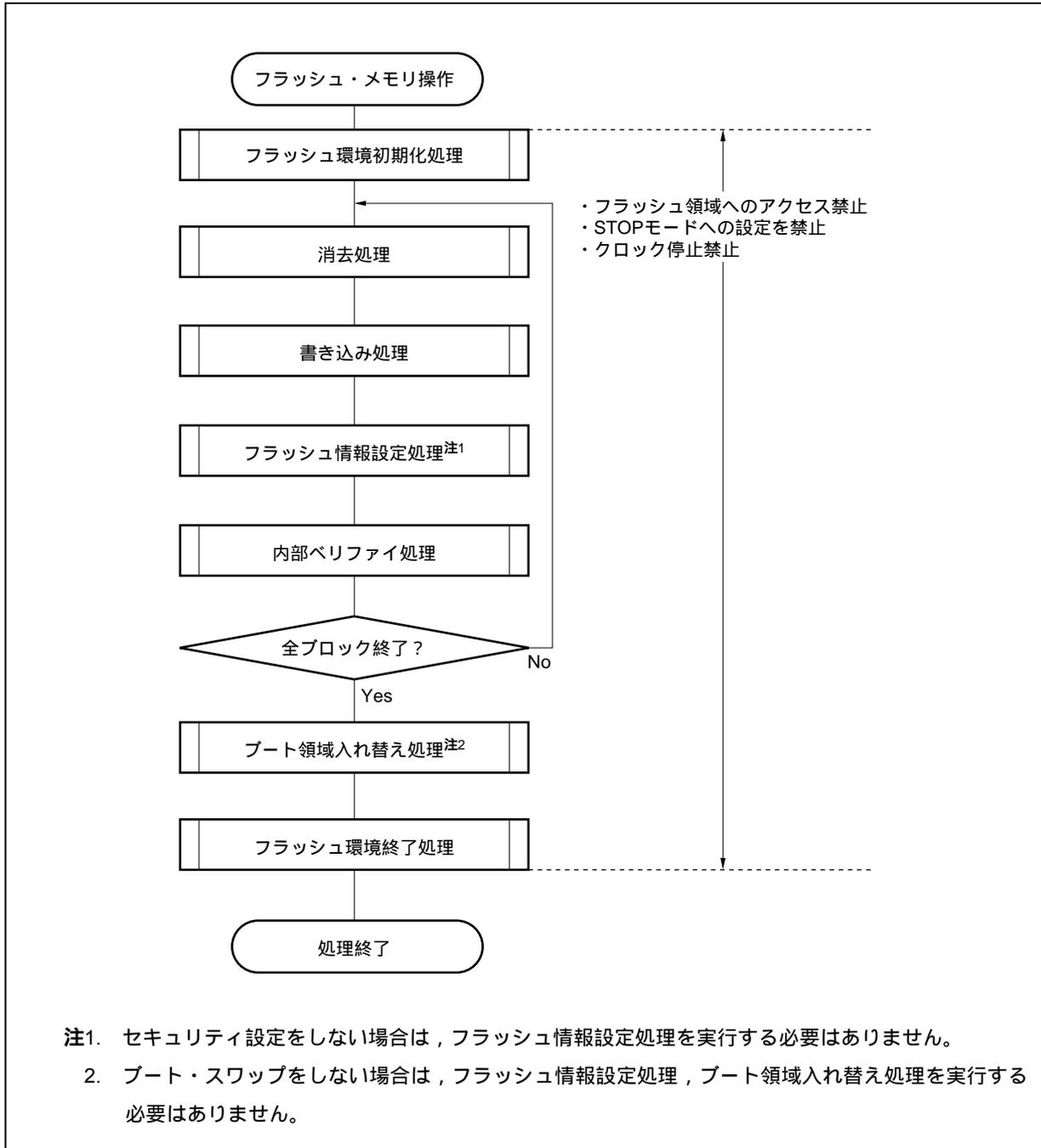
(2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、従来は割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できませんでした。この製品では、ライブラリ関数を使用することによって、エントリRAM領域へユーザ・ハンドラを登録することができるため、内部RAMもしくは外部メモリ実行による割り込み処理が可能となります。

23. 5. 3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図23 - 17 標準セルフ・プログラミング・フロー



23.5.4 フラッシュ関数一覧

表23-9 フラッシュ関数一覧

関数名	概要	対応
FlashEnv	フラッシュ制御マクロの初期化	
FlashBlockErase	指定した1ブロックの消去	
FlashWordWrite	指定したアドレスからの書き込み	
FlashBlockVerify	指定した1ブロックの内部ベリファイ	
FlashBlockBlankCheck	指定した1ブロックのブランク・チェック	
FlashFLMDCheck	FLMD端子のチェック	
FlashStatusCheck	直前に指定した動作のステータス・チェック	
FlashGetInfo	フラッシュ情報の読み出し	
FlashSetInfo	フラッシュ情報の設定	
FlashBootSwap	ブート領域入れ替え	
FlashSetUserHandler	ユーザ割り込みハンドラ登録関数	

23.5.5 端子処理

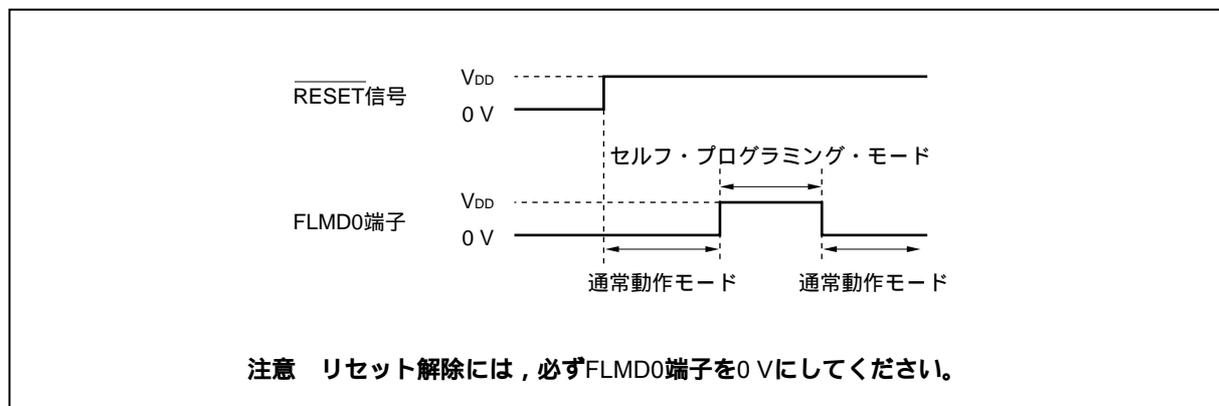
(1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

注意 セルフ・プログラミング中に $\overline{\text{RESET}}$ 端子にノイズ除去幅を越えるノイズが入力された場合、FLMD0端子に容量を接続していると、容量のチャージ抜けのタイミングによっては、オンボード・プログラミングに切り替わるため、FLMD0端子に容量を接続しないでください。

図23-18 モード切り替わりタイミング



23.5.6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表23 - 10 使用する内部資源

リソース名	説明
エントリRAM領域 (内部RAM / 外部RAMサイズ ^注)	フラッシュ・マクロ・サービスへの遷移のためのルーチンとパラメータを配置。 ライブラリ初期化関数の呼び出しによりエントリ・プログラムとデフォルトのパラメータがコピーされます。
スタック領域 (スタック・サイズ ^注)	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
ライブラリ・コード (コード・サイズ ^注)	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用するには、あらかじめ登録関数により割り込み処理先頭アドレスを登録しておく必要があります。
NMI割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用するには、あらかじめ登録関数により割り込み処理先頭アドレスを登録しておく必要があります。

注 使用する容量に関しては、V850シリーズ **フラッシュ・メモリ・セルフ・プログラミング (単電源フラッシュ・メモリ編)** **ユーザズ・マニュアル (作成中)** を参照してください。

第24章 オンチップ・ディバグ機能

JTAG (Joint Test Action Group) インタフェース ($\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子) を利用して, N-Wire型エミュレータ (IE-V850E1-CD-NW) を介した, オンチップ・ディバグ機能を内蔵しています。

24.1 特 徴

ハードウェア・ブレイク機能 : 2ポイント

ソフトウェア・ブレイク機能 : 4ポイント

リアルタイムRAMモニタ機能 : プログラム実行中にメモリの内容を読み出しが可能

ダイナミック・メモリ・ディフィケーション機能 (DMM機能) : プログラム実行中にRAMの内容の書き換えが可能

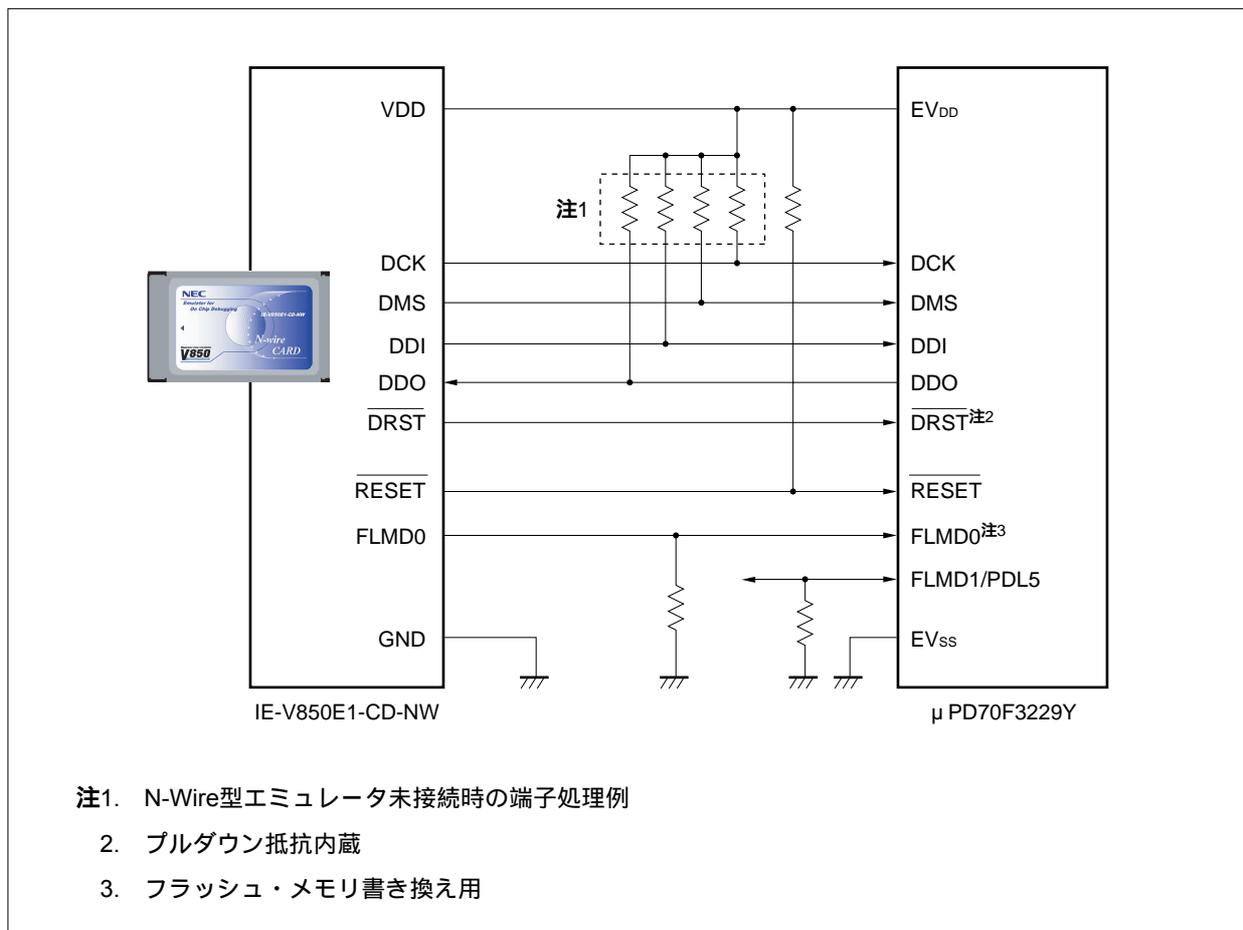
マスク機能 : RESET, NMI, $\overline{\text{HLDRQ}}$, $\overline{\text{WAIT}}$

ROMセキュリティ機能 : 10バイトIDコード認証

注意 次の機能はサポートしません。

- ・トレース機能
- ・イベント機能
- ・ディバグ割り込みインタフェース機能 (DBINT)

24.2 接続回路例



24.3 インタフェース信号

インタフェース信号について説明します。

(1) $\overline{\text{DRST}}$

オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

IE-V850E1-CD-NWは、統合デバッガの起動後にターゲット・システムのV_{DD}を検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルに立ち上げて、対象デバイス内のオンチップ・デバッグ・ユニットを起動させます。

また、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることにより、CPUにもリセットが発生します。

統合デバッガを起動してデバッグを開始する際には、必ずCPUリセットが発生します。

(2) DCK

クロック入力信号です。IE-V850E1-CD-NWから20 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がり同期してDMS、DDI信号をサンプリングし、DCK信号の立ち下がり同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりディバグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・ディバグ・ユニット内でDCKの立ち上がり同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・ディバグ・ユニットからDCK信号の立ち下がり同期して出力されます。

(6) EV_{DD}

ターゲット・システムのVDD検出用です。ターゲット・システムからのVDDが未検出の場合は、IE-V850E1-CD-NWからの出力信号 (\overline{DRST} , DCK, DMS, DDI, FLMD0, \overline{RESET} 端子) はハイ・インピーダンスになります。

(7) FLMD0

統合ディバグによるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

IE-V850E1-CD-NWから制御する場合

IE-V850E1-CD-NWからのFLMD0信号をデバイスのFLMD0端子に接続します。

通常モード時はIE-V850E1-CD-NWからは何もドライブしません (ハイ・インピーダンス)。

ブレーク中、統合ディバグのダウンロード機能を実行した際にIE-V850E1-CD-NWはFLMD0端子をハイ・レベルに制御します。

ポートから制御する場合

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合ディバグのコンソールによって、ダウンロード機能実行前にポート端子をハイ・レベルにする、または、ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850NWC Ver.2.51 **統合ディバグ ユーザーズ・マニュアル 操作編** (U16525J) を参照してください。

(8) \overline{RESET}

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDMレジスタのOCDM0ビットの値によって、 \overline{DRST} 端子を無効としたあとは、オンチップ・ディバグは行えません。そのため、IE-V850E1-CD-NWから \overline{RESET} 端子によるリセットを与えて、 \overline{DRST} 端子を有効 (初期化) にします。

24.4 制御レジスタ

(1) オンチップ・ディバグ・モード・レジスタ (OCDM)

通常動作モードとオンチップ・ディバグ・モードを切り替えるレジスタです。OCDMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

通常動作モードとオンチップ・ディバグ・モードを切り替えるレジスタで、オンチップ・ディバグ機能が割り付けられている兼用端子をオンチップ・ディバグ用端子として使用するか、通常のポート/周辺機能兼用端子として使用するかを指定します。また同時に、P05/INTP2/ $\overline{\text{DRST}}$ 端子の内蔵プルダウン抵抗の切断を制御します。

OCDMレジスタへの書き込みは、 $\overline{\text{DRST}}$ 端子にロウ・レベルが入力されているときのみ有効です。

8/1ビット単位でリード/ライト可能です。

リセット時：01H^注 R/W アドレス：FFFFFF9FCH

	7	6	5	4	3	2	1	①
OCDM	0	0	0	0	0	0	0	OCDM0

OCDM0	動作モード
0	通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用）かつ、P05/INTP2/DRST端子の内蔵プルダウン抵抗を切断
1	DRST端子がロウ・レベルの場合： 通常動作モード（オンチップ・デバッグ兼用端子をポート/周辺機能端子として使用） DRST端子がハイ・レベルの場合： オンチップ・デバッグ・モード（オンチップ・デバッグ・モード用端子として使用）

注 $\overline{\text{RESET}}$ 端子によるリセット時は01Hになります。ただし、WDT2RES信号、クロック・モニタ（CLM）、低電圧検出回路（LVI）によるリセット時は、OCDMレジスタの値を保持します。

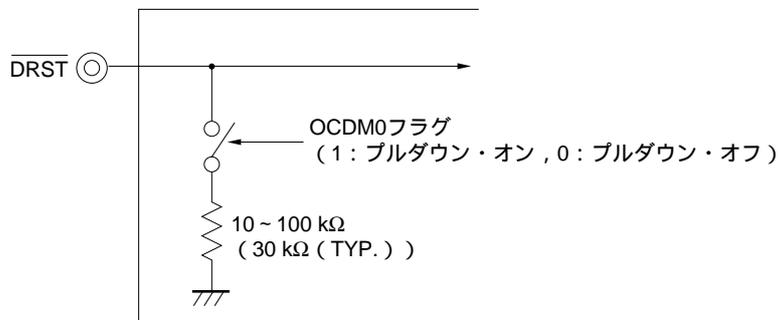
注意1. 外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次のいずれかの処置が必要です。

- ・ P05/INTP2/ $\overline{\text{DRST}}$ 端子にロウ・レベルを入力します。
- ・ OCDM0ビットを設定します。この場合の処置は次のとおりです。

OCDM0ビットをクリア（0）します。

の処理を終えるまで、P05/INTP2/ $\overline{\text{DRST}}$ 端子入力をロウ・レベル固定にしておきます。

2. $\overline{\text{DRST}}$ 端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。マスクROM内蔵品はオンチップ・デバッグ機能を搭載していませんが、上記プルダウン抵抗は内蔵しています。そのため、マスクROM内蔵品においてもOCDM0ビットをクリア（0）し、内蔵プルダウン抵抗を切断する必要があります。



24.5 動作

オンチップ・ディバグ機能は次の表に示す条件で有効になります。

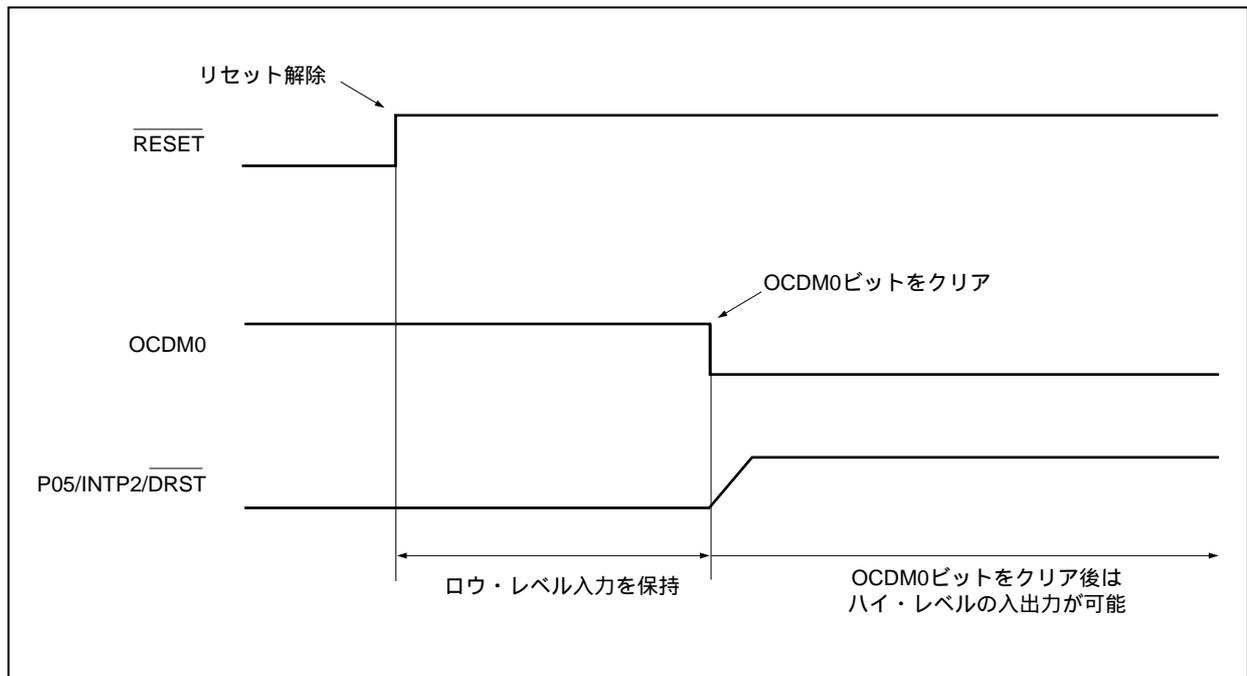
未使用時はOCDM.OCDM0フラグをクリア (0) するまで、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力の状態を保持してください。

	OCDM0フラグ	0	1
DRST端子			
L		無効	無効
H		無効	有効

備考 L: ロウ・レベル入力

H: ハイ・レベル入力

図24 - 1 オンチップ・ディバグ機能未使用時のタイミング



24.6 ROMセキュリティ機能

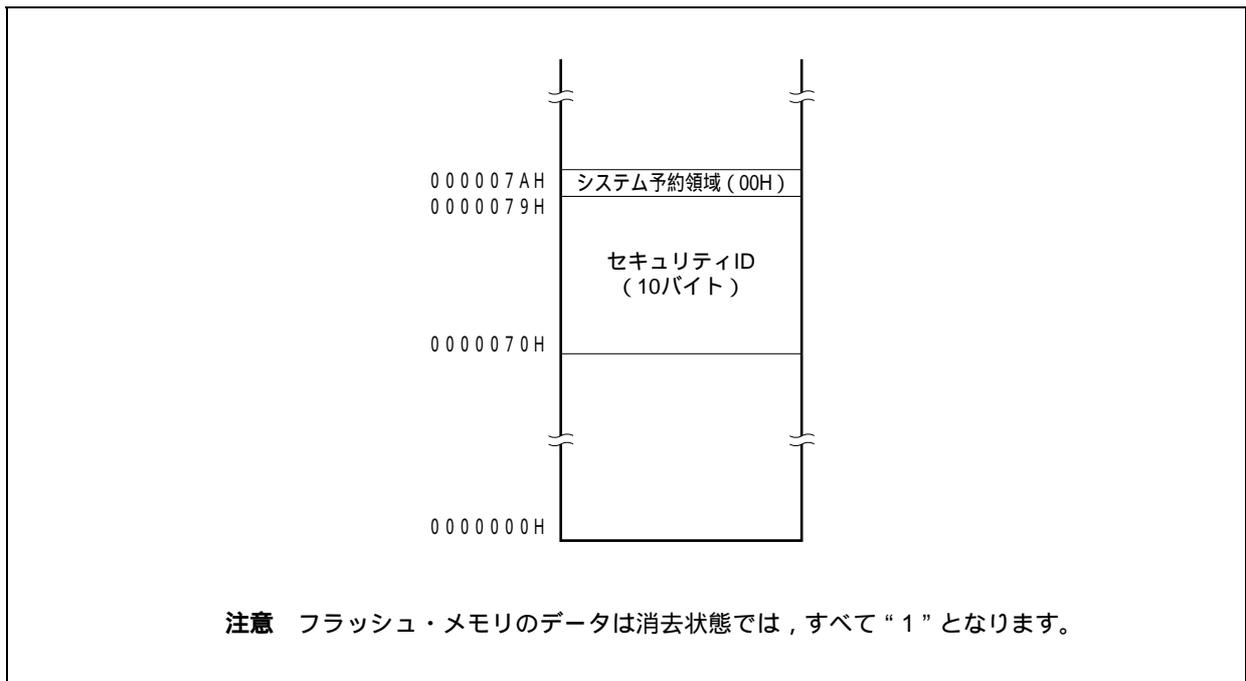
24.6.1 セキュリティID

N-Wire型エミュレータによるオンチップ・ディバグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、ディバグがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、N-Wire型エミュレータ使用許可となります。

- ・ 10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・ 0000079Hのビット7はN-Wire型エミュレータ使用許可フラグです。
(0：使用禁止，1：使用許可)
- ・ N-Wire型エミュレータを起動すると、ディバグがID入力を要求します。ディバグ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればディバグが起動します。
- ・ IDコードが一致しても、N-Wire型エミュレータ使用許可フラグが“0”である場合は、ディバグを行うことはできません。



24.6.2 設定方法

IDコードを「112233445566778899AAH」とする場合

番地	値
0x70	0xAA
0x71	0x99
0x72	0x88
0x73	0x77
0x74	0x66
0x75	0x55
0x76	0x44
0x77	0x33
0x78	0x22
0x79	0x11
0x7A	0x00

予約コード
(3.4.8(3)参照)

CA850をご使用の場合、0x60番地のハンドラ (ILGOP) を利用し続けて、セキュリティ・コード、システム予約領域のデータ (00H) を入力するようにしてください。

注意 0x60番地のハンドラ名を使用するため、リンク・ディレクティブの記述は不要です。

[プログラム例]

```
#-----
#      ILGOP handler
#-----
      .section      "ILGOP"      --Interrupt handler address 0x60
                                   -- Input ILGOP handler code
      .org          0x10         -- Skip handler address to 0x70
#-----
#      SECURITYID (continue ILGOP handler)
#-----
      .word         0x778899aa   --0-3 byte code
      .word         0x33445566   --4-7 byte code
      .hword       0x1122        --8-9 byte code
      .byte        0x00          --Reserve code
```

24.7 注意事項

- ・ RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、ブレーク機能が誤動作することがあります。
- ・ リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ（ポート端子）がリセット状態になる場合があります。
- ・ 内蔵フラッシュ・メモリに設定したソフトウェア・ブレークポイントは、ROMコレクション機能で実現しているため、ターゲット・リセットまたはウォッチドッグ・タイマ2により発生する内部リセットによって一時的に無効になります。ハードウェア・ブレークまたは強制ブレークによりいったんブレークしたあとには再度有効になりますが、それまではソフトウェア・ブレークは発生しません。
- ・ ブレーク中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMAで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- ・ ROMコレクションのエミュレーションはできません。

第25章 電気的特性

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}	BV _{DD} V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	EV _{DD}	BV _{DD} V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	BV _{DD}	BV _{DD} V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V
	AV _{REF0}		- 0.5 ~ + 6.5	V
	V _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	BV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	- 0.5 ~ + 0.5	V
入力電圧	V _{I1}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915, RESET, FLMD0	- 0.5 ~ EV _{DD} + 0.5 ^{注1}	V
	V _{I2}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0, PDH1	- 0.5 ~ BV _{DD} + 0.5 ^{注1}	V
	V _{I3}	X1, X2, XT1, XT2	- 0.5 ~ V _{RO} ^{注2} + 0.5 ^{注1}	V
アナログ入力電圧	V _{IAN}	P70-P711	- 0.5 ~ AV _{REF0} + 0.5 ^{注1}	V

注1. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

2. 内蔵レギュレータ出力電圧 (2.5 V (TYP.))

備考 特に指定のないかぎり, 兼用端子の特性は, ポート端子以外の機能として使用しても同じです。

絶対最大定格 (T_A = 25) (2/2)

項目	略号	条件	定格	単位			
ロウ・レベル出力電流	I _{OL}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1端子	4	mA		
			全端子合計	50	mA		
		P70-P711	1端子	4	mA		
			全端子合計	20	mA		
		PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0, PDH1	1端子	4	mA		
			全端子合計	50	mA		
		ハイ・レベル出力電流	I _{OH}	P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915	1端子	- 4	mA
					全端子合計	- 50	mA
P70-P711	1端子			- 4	mA		
	全端子合計			- 20	mA		
PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0, PDH1	1端子			- 4	mA		
	全端子合計			- 50	mA		
動作周囲温度	T _A				- 40 ~ + 85		
保存温度	T _{stg}			μ PD703229Y	- 65 ~ + 150		
		μ PD70F3229Y	- 40 ~ + 125				

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コネクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり、兼用端子の特性は、ポート端子以外の機能として使用しても同じです。

容量 (TA = 25 °C, VDD = EVDD = BVDD = AVREF0 = VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入出力容量	C _{IO}	f _x = 1 MHz 被測定ピン以外は0 V			10	pF

動作条件

(TA = -40 ~ +85 °C, BVDD VDD = EVDD, AVREF0 = 4.0 ~ 5.5 V, VSS = EVSS = BVSS = AVSS = 0 V)

内部システム・クロック周波数	条件	電源電圧		単位
		V _{DD}	BV _{DD}	
f _{XX} = 4 ~ 20 MHz	C = 4.7 μF	3.5 ~ 5.5	3.0 ~ 5.5	V
f _{XT} = 32.768 KHz	C = 4.7 μF	3.5 ~ 5.5	3.0 ~ 5.5	V

PLL特性

(TA = -40 ~ +85 °C, VDD = EVDD = 3.5 ~ 5.5 V, BVDD = 3.0 ~ 5.5 V, BVDD VDD, AVREF0 = 4.0 ~ 5.5 V, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	f _x		4		5	MHz
出力周波数	f _{XX}		16		20	MHz
ロック時間	t _{PLL}	V _{DD} が3.5 V (MIN.) に達したあと			800	μs

Ring-OSC特性

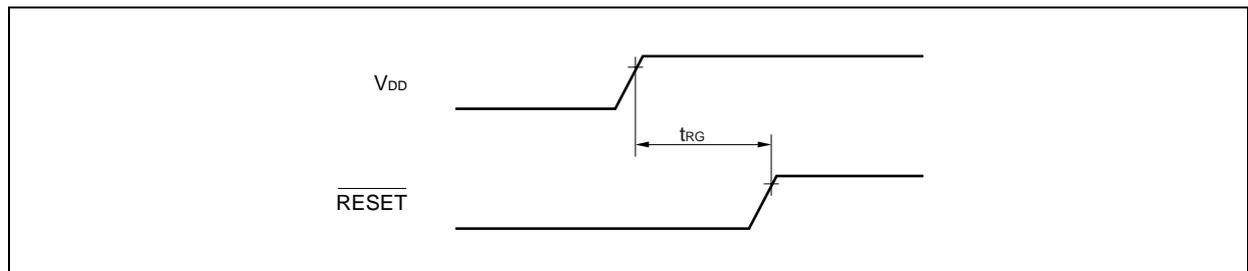
(TA = -40 ~ +85 °C, VDD = EVDD = 3.5 ~ 5.5 V, BVDD = 3.0 ~ 5.5 V, BVDD VDD, AVREF0 = 4.0 ~ 5.5 V, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f _R		100	200	400	kHz

レギュレータ特性

(TA = -40 ~ +85 °C, BVDD VDD = EVDD, VSS = EVSS = BVSS = AVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V _{DD}		3.5		5.5	V
出力電圧	V _{RO}			2.5		V
レギュレータ出力安定時間	t _{RG}	V _{DD} が3.5 V (MIN.) に達したあと REGC端子に安定化容量 C = 4.7 μF を接続時			1	ms



メイン・クロック発振回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} \leq V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位	
セラミック 発振子 / 水 晶振動子		発振周波数 (f_x) ^{注1}		4		5	MHz	
		発振安定時間 ^{注2}	リセット解除後			$2^{16}/f_x$		s
			STOPモード解除後		1 ^{注4}	注3		ms
			IDLE2モード解除後		350 ^{注4}	注3		μs

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

- V_{DD} が発振電圧範囲（3.5 V（MIN.））に達してから水晶発振子が安定するまでの時間です。
- OSTSレジスタの設定によって値が異なります。
- フラッシュ・メモリのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
- メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。
 - 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブクロック発振回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} = V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. V_{DD} が発振電圧範囲（3.5 V（MIN.））に達してから水晶発振子が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電流にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} = V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$) (1/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	P30, P36-P38, P40, P41, P92-P95, P98, P910-P912	0.7 EV_{DD}		EV_{DD}	V
	V_{IH2}	P00-P06, P10, P11, P31-P35, P39, P42, P50-P55, P90, P91, P96, P97, P99, P913-P915	0.8 EV_{DD}		EV_{DD}	V
	V_{IH3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0, PDH1	0.7 BV_{DD}		BV_{DD}	V
	V_{IH4}	P70-P711	0.7 AV_{REF0}		AV_{REF0}	V
	V_{IH5}	$\overline{\text{RESET}}$	0.8 EV_{DD}		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P30, P36-P38, P40, P41, P92-P95, P98, P910-P912	EV_{SS}		0.3 EV_{DD}	V
	V_{IL2}	P00-06, P10, P11, P31-P35, P39, P42, P50-P55, P90, P91, P96, P97, P99, P913-P915	EV_{SS}		0.2 EV_{DD}	V
	V_{IL3}	PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0, PDH1	BV_{SS}		0.3 BV_{DD}	V
	V_{IL4}	P70-P711	AV_{SS}		0.3 AV_{REF0}	V
	V_{IL5}	$\overline{\text{RESET}}$	EV_{SS}		0.2 EV_{DD}	V
ハイ・レベル入力リーク電流	I_{LIH}	$V_i = V_{DD}$			5	μA
ロウ・レベル入力リーク電流	I_{LIL}	$V_i = 0 \text{ V}$			- 5	μA
ハイ・レベル出力リーク電流	I_{LOH}	$V_o = V_{DD}$			5	μA
ロウ・レベル出力リーク電流	I_{LOL}	$V_o = 0 \text{ V}$			- 5	μA

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

DC特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} \leq V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$) (2/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧 注1	V _{OH1}	注1	1端子 I _{OH} = -1.0 mA	端子合計 -20 mA	EV _{DD} - 1.0		EV _{DD}	V
			1端子 I _{OH} = -100 μA	端子合計 -4.4 mA	EV _{DD} - 0.5		EV _{DD}	V
	V _{OH2}	注2	1端子 I _{OH} = -1.0 mA	端子合計 -20 mA	BV _{DD} - 1.0		BV _{DD}	V
			1端子 I _{OH} = -100 μA	端子合計 -2.8 mA	BV _{DD} - 0.5		BV _{DD}	V
	V _{OH3}	P70-P711	1端子 I _{OH} = -1.0 mA	端子合計 -12 mA	A _{REF0} - 1.0		A _{REF0}	V
			1端子 I _{OH} = -100 μA	端子合計 -1.2 mA	A _{REF0} - 0.5		A _{REF0}	V
ロウ・レベル出力電圧 注1	V _{OL1}	注3	1端子 I _{OL} = 1.0 mA	端子合計 20 mA	0		0.4	V
	V _{OL4}	P40, P41	1端子 I _{OL} = 3.0 mA		0		0.4	V
	V _{OL2}	注2	1端子 I _{OL} = 1.0 mA	端子合計 20 mA	0		0.4	V
	V _{OL3}	P70-P711	1端子 I _{OL} = 1.0 mA	端子合計 12 mA	0		0.4	V
ソフトウェア・プルアップ抵抗	R ₁	V _i = 0 V		10	30	100	kΩ	
ソフトウェア・プルダウン抵抗注2	R ₂	V _i = V _{DD}		10	30	100	kΩ	

注1. P00-P06, P10, P11, P30-P39, P40-P42, P50-P55, P90-P915

2. PCM0-PCM3, PCS0, PCS1, PCT0, PCT1, PCT4, PCT6, PDL0-PDL15, PDH0, PDH1

3. P00-P06, P10, P11, P30-P39, P42, P50-P55, P90-P915

4. DRST端子のみ

備考1. 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

2. I_{OH}, I_{OL}の条件を1端子のみ満たさず合計値は条件を満たしている場合、DC特性も満たさなくなるのは、その端子のみです。

DC特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} = V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$) (3/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流 ^注 (μ PD70F3229Y)	I _{DD1}	通常動作 f _{xx} = 20 MHz (f _x = 5 MHz) , PLLモード時		29	55	mA
	I _{DD2}	HALTモード f _{xx} = 20 MHz (f _x = 5 MHz) , PLLモード時		19	35	mA
	I _{DD3}	IDLE1モード f _{xx} = 5 MHz (f _x = 5 MHz) , PLLオフ時		0.6	2.0	mA
	I _{DD4}	IDLE2モード f _{xx} = 5 MHz (f _x = 5 MHz) , PLLオフ時		0.3	1.0	mA
	I _{DD5}	サブクロック 動作モード f _{XT} = 32.768 kHz , メイン・クロック停止 , Ring-OSC動作		200	500	μ A
	I _{DD6}	サブIDLEモード f _{XT} = 32.768 kHz メイン・クロック停止 , Ring-OSC動作		30	130	μ A
	I _{DD7}	STOPモード メイン・クロック , サブクロック , Ring-OSC停止 メイン・クロック , サブクロック 停止 , Ring-OSC動作		10	50	μ A
			20	70	μ A	
電源電流 ^注 (μ PD703229Y)	I _{DD1}	通常動作 f _{xx} = 20 MHz (f _x = 5 MHz) , PLLモード時		20	35	mA
	I _{DD2}	HALTモード f _{xx} = 20 MHz (f _x = 5 MHz) , PLLモード時		12	20	mA
	I _{DD3}	IDLE1モード f _{xx} = 5 MHz (f _x = 5 MHz) , PLLオフ時		0.4	1.1	mA
	I _{DD4}	IDLE2モード f _{xx} = 5 MHz (f _x = 5 MHz) , PLLオフ時		0.3	1.0	mA
	I _{DD5}	サブクロック 動作モード f _{XT} = 32.768 kHz , メイン・クロック停止 , Ring-OSC動作		50	350	μ A
	I _{DD6}	サブIDLEモード f _{XT} = 32.768 kHz メイン・クロック停止 , Ring-OSC動作		30	120	μ A
	I _{DD7}	STOPモード メイン・クロック , サブクロック , Ring-OSC停止 メイン・クロック , サブクロック 停止 , Ring-OSC動作		10	50	μ A
			20	70	μ A	

注 出力バッファ , A/Dコンバータで流れる電流は含みません。

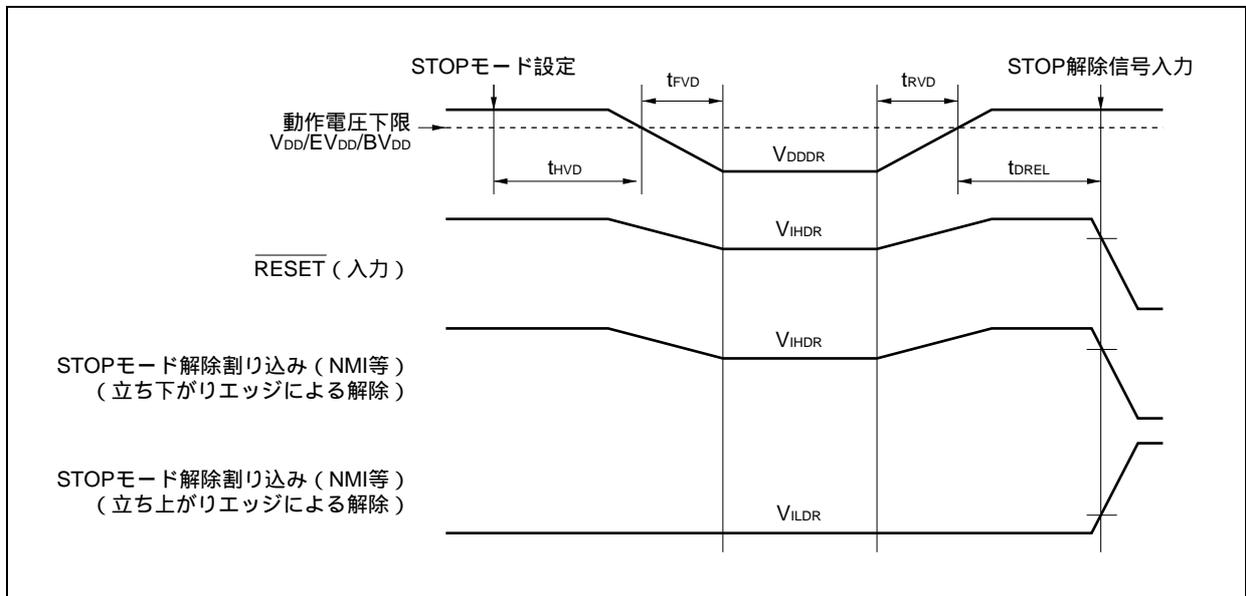
データ保持特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 2.0 \sim 5.5 \text{ V}$, $BV_{DD} = V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード	注		5.5	V
データ保持電流	I_{DDDR}	$V_{DDDR} = 2.0 \text{ V}$		10	40	μA
電源電圧立ち上がり時間	t_{rVD}		1			μs
電源電圧立ち下がり時間	t_{fVD}		1			μs
電源電圧保持時間	t_{HVD}	STOPモード解除後	0			ms
STOP解除信号入力時間	t_{DREL}	V_{DD} が3.5 V(MIN.)に達したあと	0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	全入力端子	$0.9V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	全入力端子	0		$0.1V_{DDDR}$	V

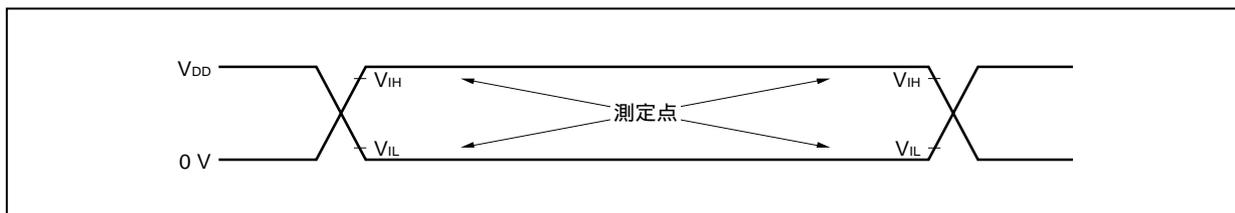
注 RAMS.RAMFビットによる検出電圧 (V_{RAMH})

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

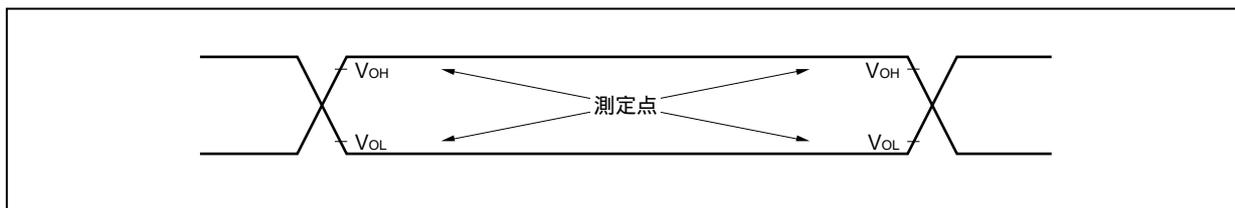


AC特性

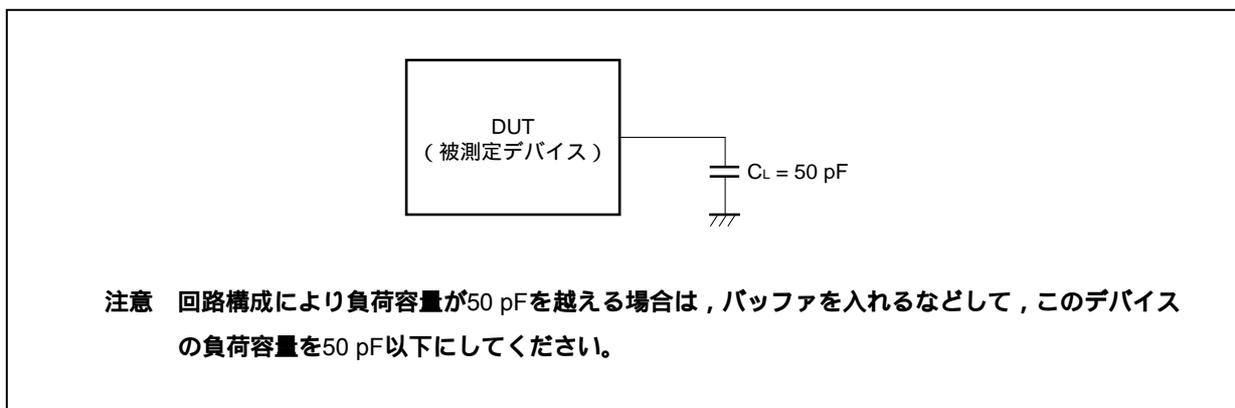
ACテスト入力測定点 (V_{DD} , AV_{REF0} , EV_{DD} , BV_{DD})



ACテスト出力測定点



負荷条件

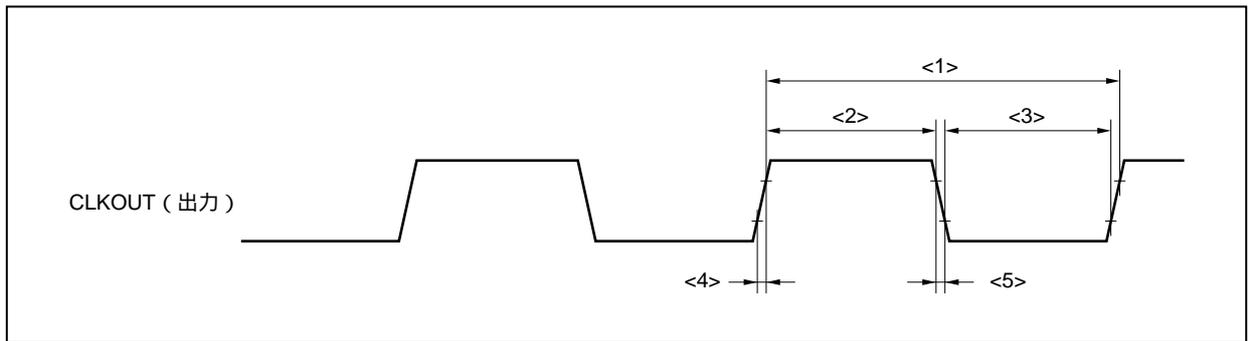


CLKOUT出力タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} = V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	<1>	50 ns	80 μs	
ハイ・レベル幅	t_{WKH}	<2>	$t_{CYK}/2 - 20$		ns
ロウ・レベル幅	t_{WKL}	<3>	$t_{CYK}/2 - 20$		ns
立ち上がり時間	t_{KR}	<4>		20	ns
立ち下がり時間	t_{KF}	<5>		20	ns

クロック・タイミング



バス・タイミング

(1) マルチプレクス・バス・モード時

(a) CLKOUT非同期：マルチプレクス・バス・モード時

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間 (対ASTB)	t_{SAST}	<6>	$0.5T - 20$		ns
アドレス保持時間 (対ASTB)	t_{HSTA}	<7>	$0.5T - 15$		ns
\overline{RD} アドレス・フロート遅延時間	t_{FRDA}	<8>		16	ns
アドレス データ入力設定時間	t_{SAID}	<9>		$(2+n)T - 45$	ns
\overline{RD} データ入力設定時間	t_{SRID}	<10>		$(1+n)T - 35$	ns
ASTB \overline{RD} , \overline{WRm} 遅延時間	$t_{DSTRDWR}$	<11>	$0.5T - 15$		ns
データ入力保持時間 (対 \overline{RD})	t_{HRDID}	<12>	0		ns
\overline{RD} アドレス出力時間	t_{DRDA}	<13>	$(1+i)T - 15$		ns
\overline{RD} , \overline{WRm} ASTB 遅延時間	$t_{DRDWRST}$	<14>	$0.5T - 15$		ns
\overline{RD} ASTB 遅延時間	t_{DRDST}	<15>	$(1.5+i)T - 15$		ns
\overline{RD} , \overline{WRm} ロウ・レベル幅	t_{WRDWRL}	<16>	$(1+n)T - 25$		ns
ASTB ハイ・レベル幅	t_{WSTH}	<17>	$T - 15$		ns
\overline{WRm} データ出力時間	t_{DWROD}	<18>		20	ns
データ出力設定時間 (対 \overline{WRm})	t_{SODWR}	<19>	$(1+n)T - 30$		ns
データ出力保持時間 (対 \overline{WRm})	t_{HWROD}	<20>	$T - 15$		ns
WAIT設定時間 (対アドレス)	t_{SAWT1}	<21> n 1		1.5T - 55	ns
	t_{SAWT2}	<22>		$(1.5+n)T - 55$	ns
WAIT保持時間 (対アドレス)	t_{HAWT1}	<23> n 1	$(0.5+n)T$		ns
	t_{HAWT2}	<24>	$(1.5+n)T$		ns
WAIT設定時間 (対ASTB)	t_{SSTWT1}	<25> n 1		$T - 45$	ns
	t_{SSTWT2}	<26>		$(1+n)T - 45$	ns
WAIT保持時間 (対ASTB)	t_{HSTWT1}	<27> n 1	nT		ns
	t_{HSTWT2}	<28>	$(1+n)T$		ns
HLD \overline{RQ} ハイ・レベル幅	t_{WHQH}	<29>	$T + 10$		ns
HLD \overline{AK} ロウ・レベル幅	t_{WHAL}	<30>	$T - 25$		ns
HLD \overline{AK} バス出力遅延時間	t_{DHAC}	<31>	- 3		ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	t_{DHQHA1}	<32>		$(2n+7.5)T + 25$	ns
HLD \overline{RQ} HLD \overline{AK} 遅延時間	t_{DHQHA2}	<33>	0.5T	$1.5T + 45$	ns

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

2. n: バス・サイクルに挿入されるウェイト・クロック数
プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。
3. m = 0, 1
4. i: リード・サイクル後に挿入されるアイドル・ステート数 (0または1)
5. 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

(b) CLKOUT同期：マルチプレクス・バス・モード時

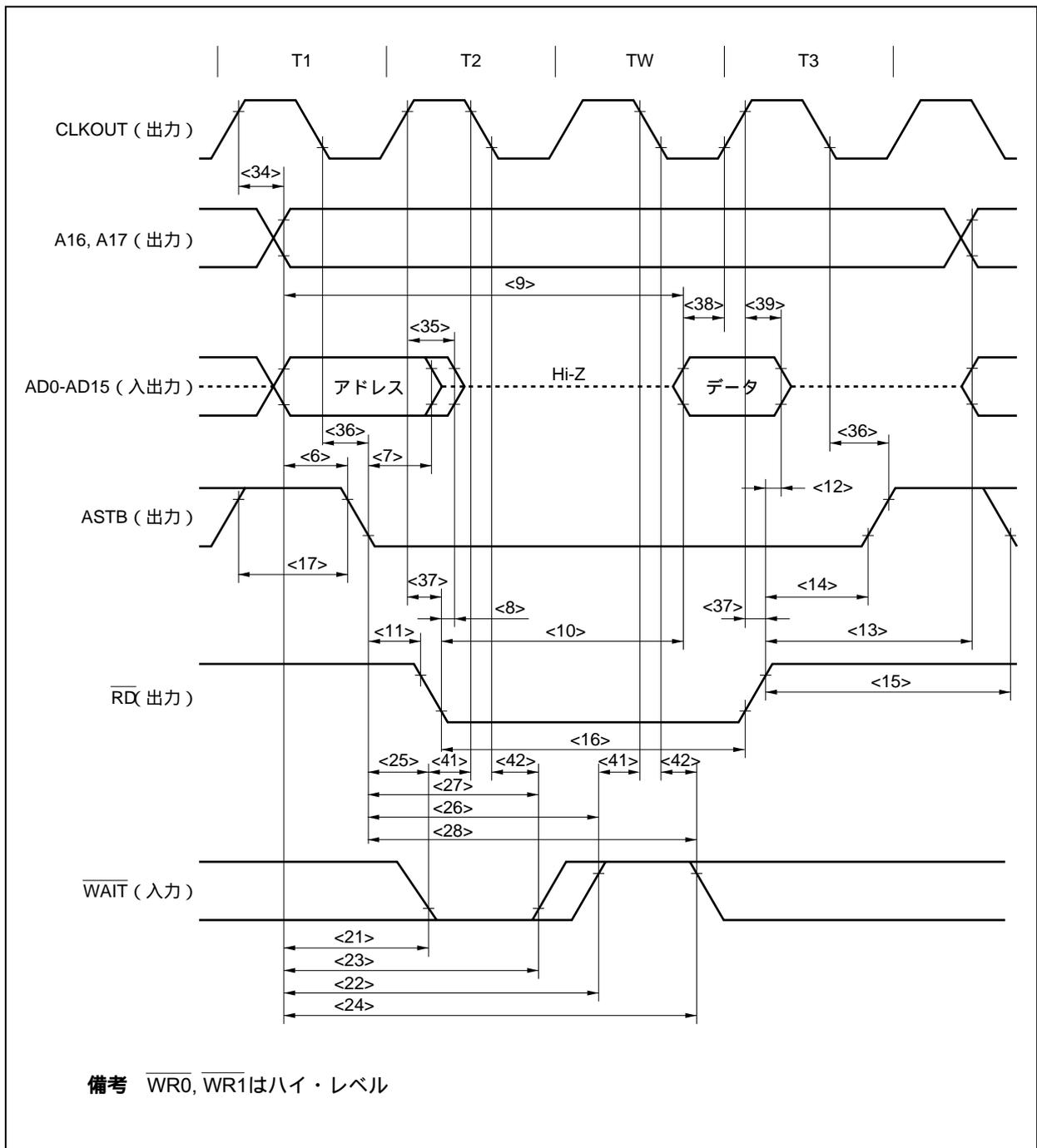
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} \leq V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t _{DKA}	<34>	0	29	ns
CLKOUT アドレス・フロート遅延	t _{FKA}	<35>	0	29	ns
CLKOUT ASTB遅延時間	t _{DKST}	<36>	- 12	15	ns
CLKOUT \overline{RD} , \overline{WR} m遅延時間	t _{DKRDWR}	<37>	- 5	14	ns
データ入力設定時間 (対CLKOUT)	t _{SIDK}	<38>	25		ns
データ入力保持時間 (対CLKOUT)	t _{HKID}	<39>	5		ns
CLKOUT データ出力遅延時間	t _{DKOD}	<40>		27	ns
WAIT設定時間 (対CLKOUT)	t _{SWTK}	<41>	40		ns
WAIT保持時間 (対CLKOUT)	t _{HKWT}	<42>	5		ns
HLD \overline{RQ} 設定時間 (対CLKOUT)	t _{SHQK}	<43>	40		ns
HLD \overline{RQ} 保持時間 (対CLKOUT)	t _{HKHQ}	<44>	5		ns
CLKOUT バス・フロート遅延時間	t _{DKF}	<45>		29	ns
CLKOUT \overline{HLD} AK遅延時間	t _{DKHA}	<46>		29	ns

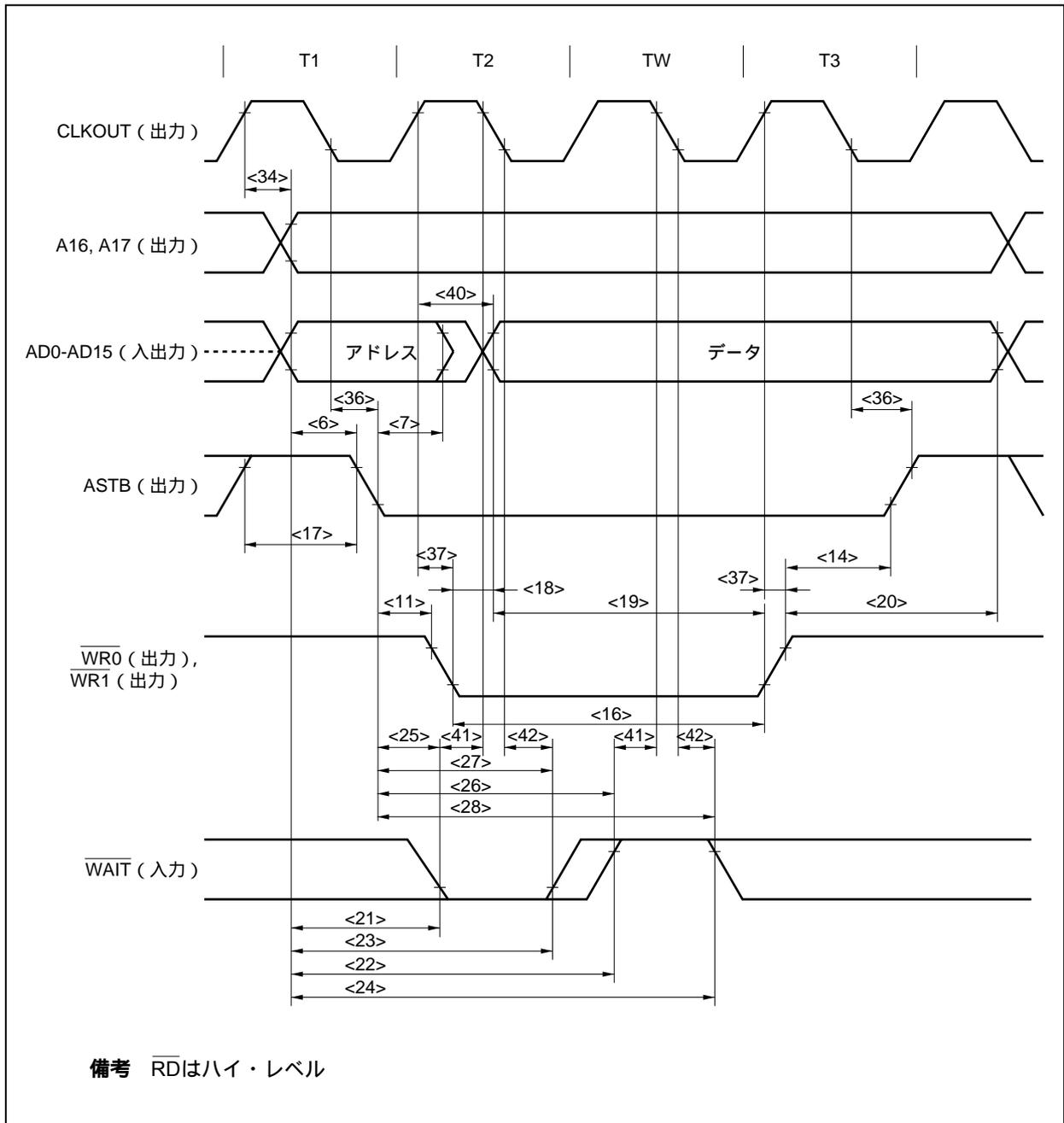
備考1. $m = 0, 1$

2. 上記スペックは、X1からデューティ比1：1のクロックを入力した場合の値です。

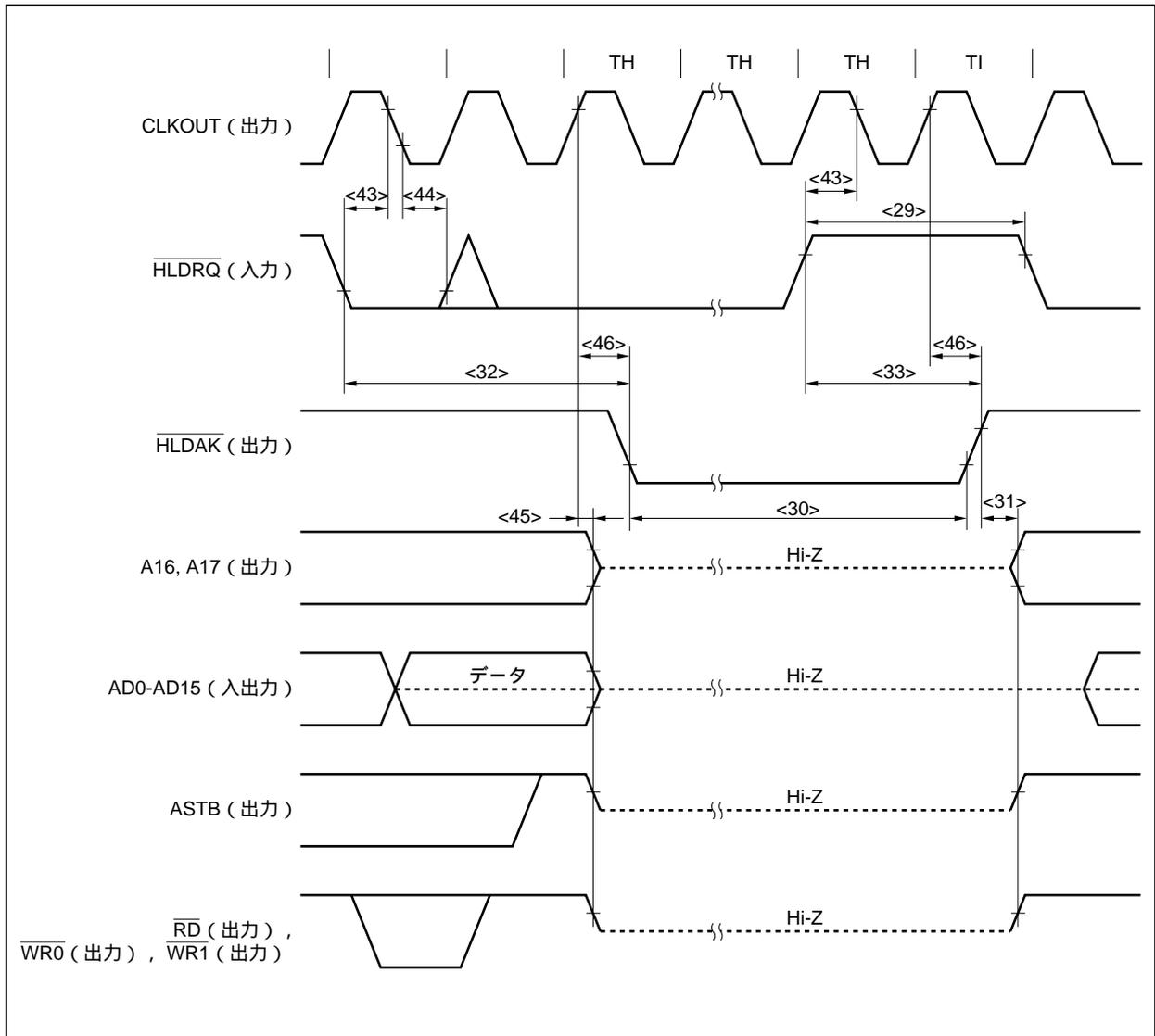
リード・サイクル (CLKOUT同期/非同期, 1ウエイト) : マルチプレクス・バス・モード時



ライト・サイクル (CLKOUT同期/非同期, 1ウエイト) : マルチプレクス・バス・モード時



バス・ホールド：マルチプレクス・バス・モード時



リセット, 割り込み, FLMD0端子タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} \ V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
RESET \bar ロウ・レベル幅	t _{WRSL1}		500		ns
NMIハイ・レベル幅	t _{WNH}	アナログ・ノイズ除去	500		ns
NMIロウ・レベル幅	t _{WNL}	アナログ・ノイズ除去	500		ns
INTPnハイ・レベル幅	t _{WITH}	n = 0-7 (アナログ・ノイズ除去)	500		ns
		n = 3 (デジタル・ノイズ除去)	2T _{smp} + 20/ 3T _{smp} + 20		ns
INTPnロウ・レベル幅	t _{WTL}	n = 0-7 (アナログ・ノイズ除去)	500		ns
		n = 3 (デジタル・ノイズ除去)	2T _{smp} + 20/ 3T _{smp} + 20		ns
FLMD0ハイ・レベル幅	t _{WMDH}		500		ns
FLMD0ロウ・レベル幅	t _{WMDL}		500		ns

備考 T_{smp} : ノイズ除去サンプリング・クロック周期

キー・リターン・タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} \ V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
KRnハイ・レベル幅	t _{WKRH}	アナログ・ノイズ除去 (n = 0-7)	500		ns
KRnロウ・レベル幅	t _{WKRL}	アナログ・ノイズ除去 (n = 0-7)	500		ns

タイマ・タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} \ V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
TIハイ・レベル幅	t _{TIH}	TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31, TIQ00-TIQ03	2T _{smp} + 20/ 3T _{smp} + 20		ns
TIロウ・レベル幅	t _{TIL}	TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31, TIQ00-TIQ03	2T _{smp} + 20/ 3T _{smp} + 20		ns

備考 T_{smp} : ノイズ除去サンプリング・クロック周期

UARTタイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} \ V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
送信レート				312.5	kbps
ASCK0サイクル・タイム				10	MHz

CSIBタイミング

(1) マスタ・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} \ V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t _{KCY1}	<47>	125		ns
SCKBnハイ/ロウ・レベル幅	t _{KH1} t _{KL1}	<48>	t _{KCY1} /2 - 15		ns
SIBnセットアップ時間 (対SCKBn)	t _{SIK1}	<49>	30		ns
SIBnホールド時間 (対SCKBn)	t _{SH1}	<50>	25		ns
SCKBn SOBn出力遅延時間	t _{KSO1}	<51>		25	ns

備考 n = 0, 1

(2) スレーブ・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 4.0 \sim 5.5 \text{ V}$, $BV_{DD} = 4.0 \sim 5.5 \text{ V}$, $BV_{DD} \ V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t _{KCY2}	<47>	125		ns
SCKBnハイ/ロウ・レベル幅	t _{KH2} t _{KL2}	<48>	57.5		ns
SIBnセットアップ時間 (対SCKBn)	t _{SIK2}	<49>	30		ns
SIBnホールド時間 (対SCKBn)	t _{SH2}	<50>	30		ns
SCKBn SOBn出力遅延時間	t _{KSO2}	<51>		30	ns

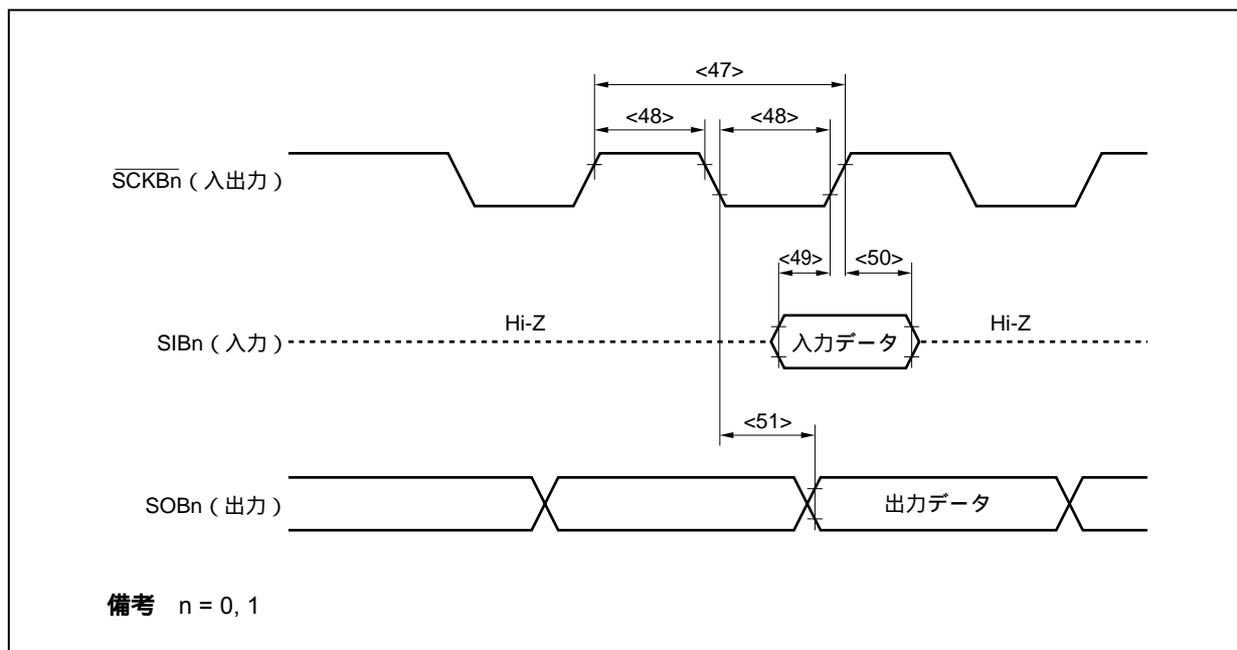
備考 n = 0, 1

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} \ V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t _{KCY2}	<47>	200		ns
SCKBnハイ/ロウ・レベル幅	t _{KH2} t _{KL2}	<48>	90		ns
SIBnセットアップ時間 (対SCKBn)	t _{SIK2}	<49>	50		ns
SIBnホールド時間 (対SCKBn)	t _{SH2}	<50>	50		ns
SCKBn SOBn出力遅延時間	t _{KSO2}	<51>		50	ns

備考 n = 0, 1

CSIBタイミング



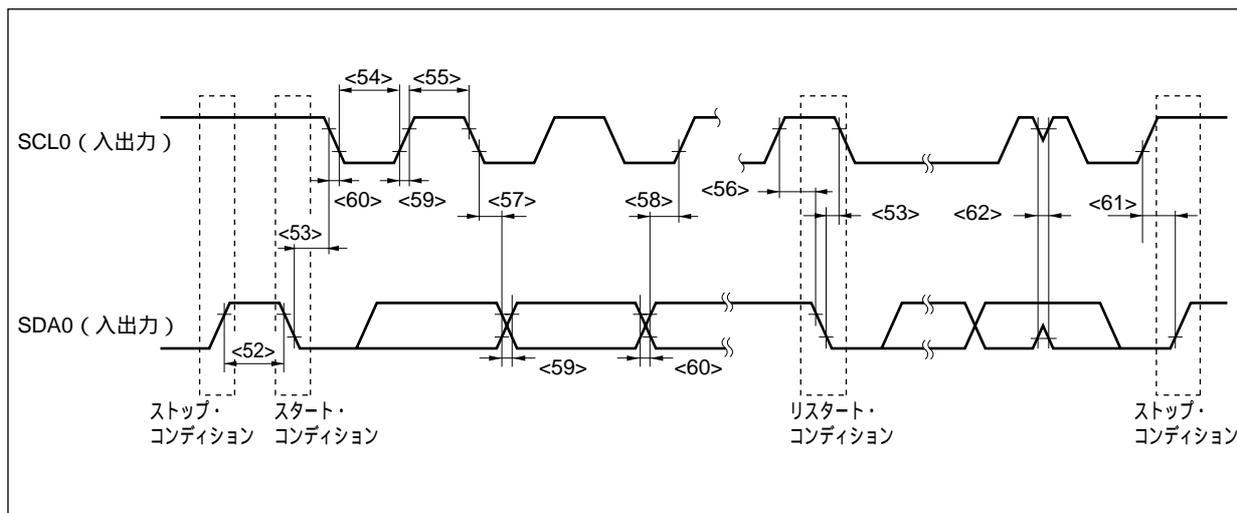
I²Cバス・モード

(T_A = -40 ~ +85 °C, V_{DD} = EV_{DD} = 3.5 ~ 5.5 V, BV_{DD} = 3.0 ~ 5.5 V, BV_{DD} V_{DD}, AV_{REF0} = 4.0 ~ 5.5 V, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項目	略号	標準モード		高速モード		単位	
		MIN.	MAX.	MIN.	MAX.		
SCL00クロック周波数	f _{CLK}	0	100	0	400	kHz	
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<52>	4.7	-	1.3	μs	
ホールド時間 ^{注1}	t _{HD:STA}	<53>	4.0	-	0.6	μs	
SCL00クロックのロウ・レベル幅	t _{LOW}	<54>	4.7	-	1.3	μs	
SCL00クロックのハイ・レベル幅	t _{HIGH}	<55>	4.0	-	0.6	μs	
スタート/リスタート・コンディションのセットアップ時間	t _{SU:STA}	<56>	4.7	-	0.6	μs	
データ・ホールド時間	CBUS互換マスタの場合 I ² Cモードの場合	t _{HD:DAT}	<57>	5.0	-	-	μs
				0 ^{注2}	-	0 ^{注2}	0.9 ^{注3}
データ・セットアップ時間	t _{SU:DAT}	<58>	250	-	100 ^{注4}	-	ns
SDA00およびSCL00信号の立ち上がり時間	t _r	<59>	-	1000	20 + 0.1Cb ^{注5}	300	ns
SDA00およびSCL00信号の立ち下がり時間	t _f	<60>	-	300	20 + 0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU:STO}	<61>	4.0	-	0.6	-	μs
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<62>	-	-	0	50	ns
各バス・ラインの容量性負荷	C _b		-	400	-	400	pF

- 注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。
2. 装置は、SCL00の立ち下がり端の未定義領域を埋めるために (SCL00信号のV_{IHmin}.での) SDA00信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
3. 装置がSCL00信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD:DAT}) のみ満たすことが必要です。
4. 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。
- ・装置がSCL00信号のロウ状態ホールド時間を延長しない場合
t_{SU:DAT} 250 ns
 - ・装置がSCL00信号のロウ状態ホールド時間を延長する場合
SCL00ラインが解放される (t_{Rmax} + t_{SU:DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDA00ラインに送出してください。
5. C_b : 1つのバス・ラインの合計キャパシタンス (単位 : pF)

I²Cバス・モード



A/Dコンバータ

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} \ V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^注		4.0 AV_{REF0} 5.5 V			± 0.35	%FSR
変換時間	t_{CONV}		2.91		16	μs
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
AV_{REF0} 電流	AI_{REF0}	高速変換モード		5	10	mA
		A/Dコンバータ未使用時		1	10	μA

注 量子化誤差 ($\pm 0.05 \text{ %FSR}$) は含みません。

注意 A/D変換中に兼用ポートの設定(リード/ライト)を行わないでください。変換分解能が低下することがあります。

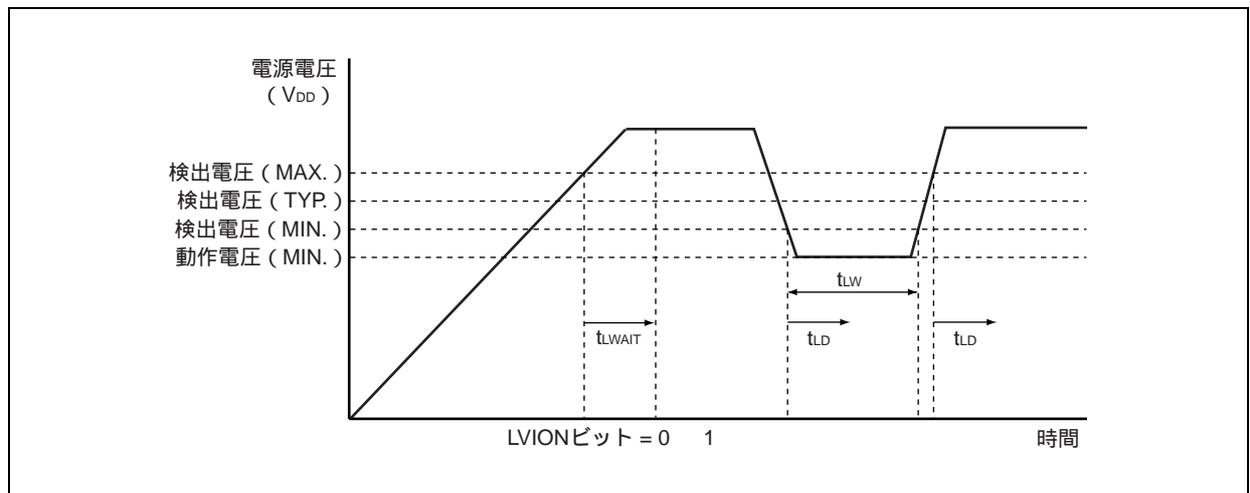
備考 FSR : Full Scale Range

LVI回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $BV_{DD} = 3.0 \sim 5.5 \text{ V}$, $BV_{DD} \ V_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LV10}		4.2	4.4	4.6	V
	V_{LV11}		4.0	4.2	4.2	V
応答時間 ^注	t_{LD}	V_{DD} が V_{LV10}/V_{LV11} (MAX.)に達したあと、または V_{DD} が V_{LV10}/V_{LV11} (MIN.)まで下がったあと。		0.2	2.0	ms
最小パルス幅	t_{LW}		0.2			ms
基準電圧安定待ち時間	t_{LWAIT}	V_{DD} が3.5 V (MIN.)に達したあと。		0.1	0.2	ms

注 検出電圧を検出して割り込みまたはRESETを出力するまでの時間です。

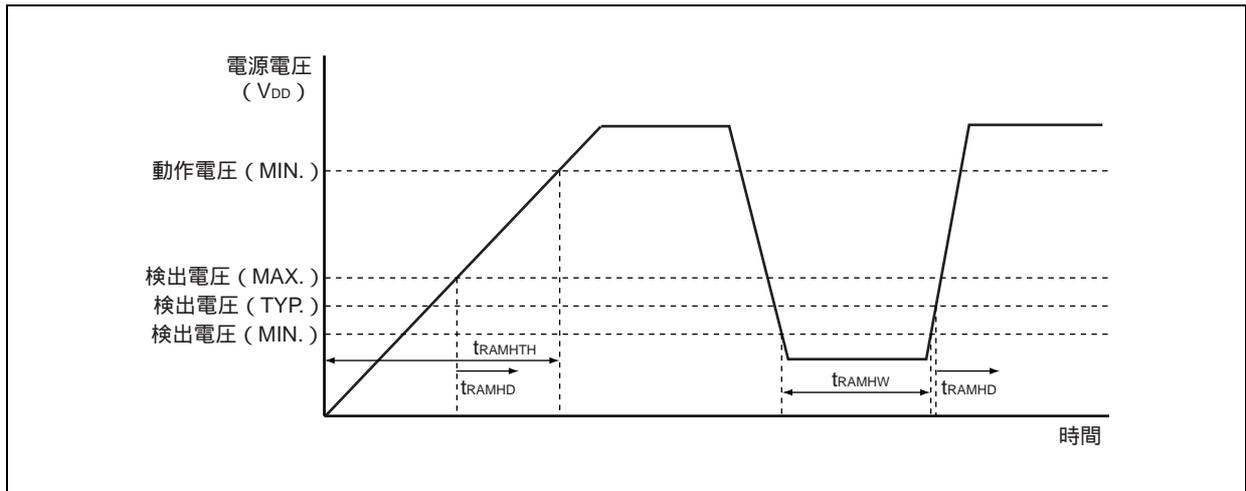


RAM保持検出

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = BV_{DD} = 1.9 \sim 5.5 \text{ V}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0 \text{ V} \sim 3.5 \text{ V}$	0.002		1800	ms
応答時間 ^注	t_{RAMHD}	V_{DD} が2.1 V (MIN.)に達したあと。		0.2	2.0	ms
最小パルス幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出してRAMS.RAMFビットを設定するまでの時間です。



フラッシュ・メモリ・プログラミング特性

($V_{DD} = V_{DD} = EV_{DD}$, $AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

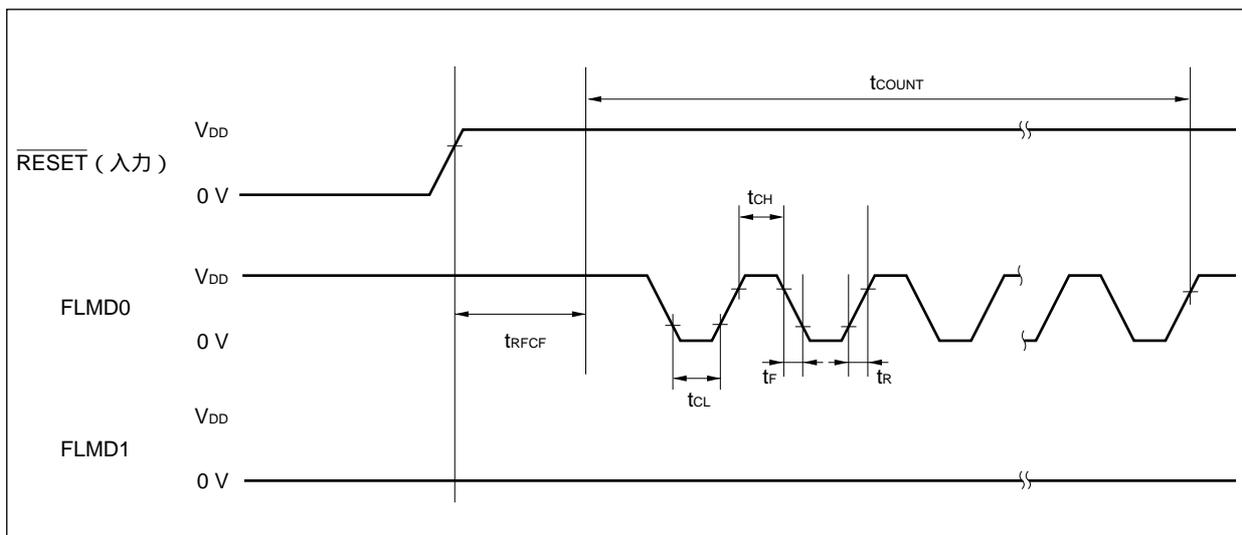
(1) 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{CPU}		4		20	MHz
電源電圧	V_{DD}		3.5		5.5	V
書き換え回数	C_{WRT}				100	回
ハイ・レベル入力電圧	V_{IH}	FLMD0	$0.8EV_{DD}$		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL}	FLMD0	EV_{SS}		$0.2EV_{SS}$	V
書き込み時間 + 消去時間	$t_{IWRT} + t_{ERASE}$				T. B. D	s
プログラミング温度	t_{PRG}		- 40		+ 85	

(2) シリアル書き込みオペレーション特性

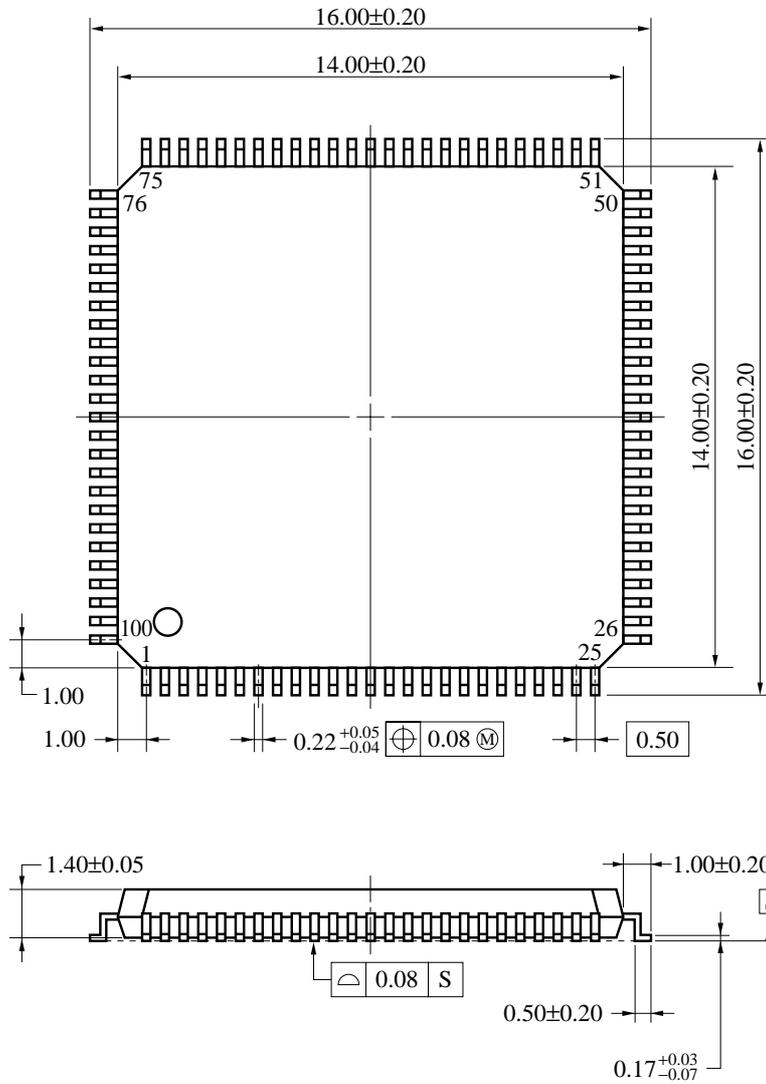
項目	略号	条件	MIN.	TYP.	MAX.	単位
RESET FLMD0カウンタ開始時間	t_{RFCF}		$2^{16}/f_X +$			s
カウンタ実行時間	t_{COUNT}				T. B. D	ms
FLMD0カウンタ・ハイ・レベル幅 / ロウ・レベル幅	t_{CH}/t_{CL}		1			μs
FLMD0カウンタ立ち上がり時間 / たち下がり時間	t_r/t_f				T. B. D	μs

フラッシュ書き込みモード設定タイミング



第26章 外形図

100ピン・プラスチック LQFP (ファインピッチ) (14x14) 外形図 (単位: mm)



S100GC-50-8EU, 8EA-2

付録A レジスタ索引

(1/9)

略号	名称	ユニット	ページ
ADA0CR0	A/D変換結果レジスタ0	ADC	408
ADA0CR0H	A/D変換結果レジスタ0H	ADC	408
ADA0CR1	A/D変換結果レジスタ1	ADC	408
ADA0CR1H	A/D変換結果レジスタ1H	ADC	408
ADA0CR2	A/D変換結果レジスタ2	ADC	408
ADA0CR2H	A/D変換結果レジスタ2H	ADC	408
ADA0CR3	A/D変換結果レジスタ3	ADC	408
ADA0CR3H	A/D変換結果レジスタ3H	ADC	408
ADA0CR4	A/D変換結果レジスタ4	ADC	408
ADA0CR4H	A/D変換結果レジスタ4H	ADC	408
ADA0CR5	A/D変換結果レジスタ5	ADC	408
ADA0CR5H	A/D変換結果レジスタ5H	ADC	408
ADA0CR6	A/D変換結果レジスタ6	ADC	408
ADA0CR6H	A/D変換結果レジスタ6H	ADC	408
ADA0CR7	A/D変換結果レジスタ7	ADC	408
ADA0CR7H	A/D変換結果レジスタ7H	ADC	408
ADA0CR8	A/D変換結果レジスタ8	ADC	408
ADA0CR8H	A/D変換結果レジスタ8H	ADC	408
ADA0CR9	A/D変換結果レジスタ9	ADC	408
ADA0CR9H	A/D変換結果レジスタ9H	ADC	408
ADA0CR10	A/D変換結果レジスタ10	ADC	408
ADA0CR10H	A/D変換結果レジスタ10H	ADC	408
ADA0CR11	A/D変換結果レジスタ11	ADC	408
ADA0CR11H	A/D変換結果レジスタ11H	ADC	408
ADA0M0	A/Dコンバータ・モード・レジスタ0	ADC	404
ADA0M1	A/Dコンバータ・モード・レジスタ1	ADC	405
ADA0M2	A/Dコンバータ・モード・レジスタ2	ADC	406
ADA0PFM	パワー・フェイル比較モード・レジスタ	ADC	410
ADA0PFT	パワー・フェイル比較しきい値レジスタ	ADC	410
ADA0S	A/Dコンバータ・チャンネル指定レジスタ	ADC	407
ADIC	割り込み制御レジスタ	INTC	596
AWC	アドレス・ウェイト・コントロール・レジスタ	BCU	164
BCC	バス・サイクル・コントロール・レジスタ	BCU	165
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	154
CB0CTL0	CSIB0制御レジスタ0	CSI	463
CB0CTL1	CSIB0制御レジスタ1	CSI	465
CB0CTL2	CSIB0制御レジスタ2	CSI	466
CB0RIC	割り込み制御レジスタ	INTC	596
CB0RX	CSIB0受信データ・レジスタ	CSI	462

略号	名称	ユニット	ページ
CB0RXL	CSIB0受信データ・レジスタL	CSI	462
CB0STR	CSIB0状態レジスタ	CSI	468
CB0TIC	割り込み制御レジスタ	INTC	596
CB0TX	CSIB0送信データ・レジスタ	CSI	462
CB0TXL	CSIB0送信データ・レジスタL	CSI	462
CB1CTL0	CSIB1制御レジスタ0	CSI	463
CB1CTL1	CSIB1制御レジスタ1	CSI	465
CB1CTL2	CSIB1制御レジスタ2	CSI	466
CB1RIC	割り込み制御レジスタ	INTC	596
CB1RX	CSIB1受信データ・レジスタ	CSI	462
CB1RXL	CSIB1受信データ・レジスタL	CSI	462
CB1STR	CSIB1状態レジスタ	CSI	468
CB1TIC	割り込み制御レジスタ	INTC	596
CB1TX	CSIB1送信データ・レジスタ	CSI	462
CB1TXL	CSIB1送信データ・レジスタL	CSI	462
CCLS	CPU動作クロック・ステータス・レジスタ	CG	179
CLM	クロック・モニタ・モード・レジスタ	CLM	652
CORAD0	コレクション・アドレス・レジスタ0	ROMC	657
CORAD0H	コレクション・アドレス・レジスタ0H	ROMC	657
CORAD0L	コレクション・アドレス・レジスタ0L	ROMC	657
CORAD1	コレクション・アドレス・レジスタ1	ROMC	657
CORAD1H	コレクション・アドレス・レジスタ1H	ROMC	657
CORAD1L	コレクション・アドレス・レジスタ1L	ROMC	657
CORAD2	コレクション・アドレス・レジスタ2	ROMC	657
CORAD2H	コレクション・アドレス・レジスタ2H	ROMC	657
CORAD2L	コレクション・アドレス・レジスタ2L	ROMC	657
CORAD3	コレクション・アドレス・レジスタ3	ROMC	657
CORAD3H	コレクション・アドレス・レジスタ3H	ROMC	657
CORAD3L	コレクション・アドレス・レジスタ3L	ROMC	657
CORCN	コレクション・コントロール・レジスタ	ROMC	658
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMA	561
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMA	561
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMA	561
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMA	561
DBC0	DMA転送カウント・レジスタ0	DMA	560
DBC1	DMA転送カウント・レジスタ1	DMA	560
DBC2	DMA転送カウント・レジスタ2	DMA	560
DBC3	DMA転送カウント・レジスタ3	DMA	560
DCHC0	DMAチャンネル・コントロール・レジスタ0	DMA	562
DCHC1	DMAチャンネル・コントロール・レジスタ1	DMA	562
DCHC2	DMAチャンネル・コントロール・レジスタ2	DMA	562
DCHC3	DMAチャンネル・コントロール・レジスタ3	DMA	562
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMA	559
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMA	559

略号	名称	ユニット	ページ
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMA	559
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMA	559
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMA	559
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMA	559
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMA	559
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMA	559
DMAIC0	割り込み制御レジスタ	INTC	596
DMAIC1	割り込み制御レジスタ	INTC	596
DMAIC2	割り込み制御レジスタ	INTC	596
DMAIC3	割り込み制御レジスタ	INTC	596
DSA0H	DMAソース・アドレス・レジスタ0H	DMA	558
DSA0L	DMAソース・アドレス・レジスタ0L	DMA	558
DSA1H	DMAソース・アドレス・レジスタ1H	DMA	558
DSA1L	DMAソース・アドレス・レジスタ1L	DMA	558
DSA2H	DMAソース・アドレス・レジスタ2H	DMA	558
DSA2L	DMAソース・アドレス・レジスタ2L	DMA	558
DSA3H	DMAソース・アドレス・レジスタ3H	DMA	558
DSA3L	DMAソース・アドレス・レジスタ3L	DMA	558
DTFR0	DMAトリガ要因レジスタ0	DMA	563
DTFR1	DMAトリガ要因レジスタ1	DMA	563
DTFR2	DMAトリガ要因レジスタ2	DMA	563
DTFR3	DMAトリガ要因レジスタ3	DMA	563
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	162
IIC0	IICシフト・レジスタ0	I ² C	506
IICC0	IICコントロール・レジスタ0	I ² C	493
IICCL0	IICクロック選択レジスタ0	I ² C	503
IICF0	IICフラグ・レジスタ0	I ² C	501
IICIC0	割り込み制御レジスタ	INTC	596
IICS0	IIC状態レジスタ0	I ² C	498
IICX0	IIC機能拡張レジスタ0	I ² C	504
IMR0	割り込みマスク・レジスタ0	INTC	599
IMR0H	割り込みマスク・レジスタ0H	INTC	599
IMR0L	割り込みマスク・レジスタ0L	INTC	599
IMR1	割り込みマスク・レジスタ1	INTC	599
IMR1H	割り込みマスク・レジスタ1H	INTC	599
IMR1L	割り込みマスク・レジスタ1L	INTC	599
IMR2	割り込みマスク・レジスタ2	INTC	599
IMR2H	割り込みマスク・レジスタ2H	INTC	599
IMR2L	割り込みマスク・レジスタ2L	INTC	599
IMR3	割り込みマスク・レジスタ3	INTC	599
IMR3H	割り込みマスク・レジスタ3H	INTC	599
IMR3L	割り込みマスク・レジスタ3L	INTC	599
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	604
INTF3L	外部割り込み立ち下がりエッジ指定レジスタ3L	INTC	605

略号	名称	ユニット	ページ
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	606
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	604
INTR3L	外部割り込み立ち上がりエッジ指定レジスタ3L	INTC	605
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	606
ISPR	インサースビス・プライオリティ・レジスタ	INTC	601
KRIC	割り込み制御レジスタ	INTC	596
KRM	キー・リターン・モード・レジスタ	KR	619
LOCKR	ロック・レジスタ	CG	182
LVIC	割り込み制御レジスタ	INTC	596
LVIM	低電圧検出レジスタ	LVI	649
LVIS	低電圧検出レベル選択レジスタ	LVI	650
NFC	ノイズ除去制御レジスタ	INTC	607
OCDM	オンチップ・ディバグ・モード・レジスタ	ディバグ	685
OCKS0	IIC分周クロック選択レジスタ0	I ² C	506
OSTS	発振安定時間選択レジスタ	スタンバイ	625
P0	ポート0レジスタ	ポート	79
P00NFC	TIP00ノイズ除去制御レジスタ	タイマ	270
P01NFC	TIP01ノイズ除去制御レジスタ	タイマ	270
P1	ポート1レジスタ	ポート	83
P10NFC	TIP10ノイズ除去制御レジスタ	タイマ	270
P11NFC	TIP11ノイズ除去制御レジスタ	タイマ	270
P20NFC	TIP20ノイズ除去制御レジスタ	タイマ	270
P21NFC	TIP21ノイズ除去制御レジスタ	タイマ	270
P3	ポート3レジスタ	ポート	84
P30NFC	TIP30ノイズ除去制御レジスタ	タイマ	270
P31NFC	TIP31ノイズ除去制御レジスタ	タイマ	270
P3H	ポート3レジスタH	ポート	84
P3L	ポート3レジスタL	ポート	84
P4	ポート4レジスタ	ポート	89
P5	ポート5レジスタ	ポート	92
P7H	ポート7レジスタH	ポート	98
P7L	ポート7レジスタL	ポート	98
P9	ポート9レジスタ	ポート	100
P9H	ポート9レジスタH	ポート	100
P9L	ポート9レジスタL	ポート	100
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	175
PCM	ポートCMレジスタ	ポート	106
PCS	ポートCSレジスタ	ポート	108
PCT	ポートCTレジスタ	ポート	110
PDH	ポートDHレジスタ	ポート	111
PDL	ポートDLレジスタ	ポート	113
PDLH	ポートDLレジスタH	ポート	113
PDLL	ポートDLレジスタL	ポート	113
PF4	ポート4ファンクション制御レジスタ	ポート	91

略号	名称	ユニット	ページ
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	81
PFC3L	ポート3ファンクション・コントロール・レジスタL	ポート	87
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	90, 459
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	94
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	102
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	102
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	102
PFCE3L	ポート3ファンクション・コントロール拡張レジスタL	ポート	87
PFCE5	ポート5ファンクション・コントロール拡張レジスタ	ポート	94
PFCE9L	ポート9ファンクション・コントロール拡張レジスタL	ポート	102
PIC0	割り込み制御レジスタ	INTC	596
PIC1	割り込み制御レジスタ	INTC	596
PIC2	割り込み制御レジスタ	INTC	596
PIC3	割り込み制御レジスタ	INTC	596
PIC4	割り込み制御レジスタ	INTC	596
PIC5	割り込み制御レジスタ	INTC	596
PIC6	割り込み制御レジスタ	INTC	596
PIC7	割り込み制御レジスタ	INTC	596
PLLCTL	PLLコントロール・レジスタ	CG	181
PLLS	PLLロックアップ時間指定レジスタ	CG	183
PM0	ポート0モード・レジスタ	ポート	80
PM1	ポート1モード・レジスタ	ポート	83
PM3	ポート3モード・レジスタ	ポート	85
PM3H	ポート3モード・レジスタH	ポート	85
PM3L	ポート3モード・レジスタL	ポート	85
PM4	ポート4モード・レジスタ	ポート	89
PM5	ポート5モード・レジスタ	ポート	93
PM7H	ポート7モード・レジスタH	ポート	98
PM7L	ポート7モード・レジスタL	ポート	98
PM9	ポート9モード・レジスタ	ポート	100
PM9H	ポート9モード・レジスタH	ポート	100
PM9L	ポート9モード・レジスタL	ポート	100
PMC0	ポート0モード・コントロール・レジスタ	ポート	80
PMC3	ポート3モード・コントロール・レジスタ	ポート	85
PMC3H	ポート3モード・コントロール・レジスタH	ポート	85
PMC3L	ポート3モード・コントロール・レジスタL	ポート	85
PMC4	ポート4モード・コントロール・レジスタ	ポート	90, 459
PMC5	ポート5モード・コントロール・レジスタ	ポート	93
PMC9	ポート9モード・コントロール・レジスタ	ポート	101
PMC9H	ポート9モード・コントロール・レジスタH	ポート	101
PMC9L	ポート9モード・コントロール・レジスタL	ポート	101
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	106
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	108
PMCCCT	ポートCTモード・コントロール・レジスタ	ポート	110

略号	名称	ユニット	ページ
PMCDH	ポートDHモード・コントロール・レジスタH	ポート	111
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	114
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	114
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	114
PMCM	ポートCMモード・レジスタ	ポート	106
PMCS	ポートCSモード・レジスタ	ポート	108
PMCT	ポートCTモード・レジスタ	ポート	110
PMDH	ポートDHモード・レジスタ	ポート	111
PMDL	ポートDLモード・レジスタ	ポート	114
PMDLH	ポートDLモード・レジスタH	ポート	114
PMDLL	ポートDLモード・レジスタL	ポート	114
PRCMD	コマンド・レジスタ	CPU	68
PRSCM0	プリスケラ・コンペア・レジスタ0	WT	388, 487
PRSM0	プリスケラ・モード・レジスタ0	WT	387, 486
PSC	パワー・セーブ・コントロール・レジスタ	スタンバイ	623
PSMR	パワー・セーブ・モード・レジスタ	スタンバイ	624
PU0	プルアップ抵抗オプション・レジスタ0	ポート	81
PU1	プルアップ抵抗オプション・レジスタ1	ポート	83
PU3	プルアップ抵抗オプション・レジスタ3	ポート	88
PU3H	プルアップ抵抗オプション・レジスタ3H	ポート	88
PU3L	プルアップ抵抗オプション・レジスタ3L	ポート	88
PU4	プルアップ抵抗オプション・レジスタ4	ポート	91
PU5	プルアップ抵抗オプション・レジスタ5	ポート	96
PU9	プルアップ抵抗オプション・レジスタ9	ポート	104
PU9H	プルアップ抵抗オプション・レジスタ9H	ポート	104
PU9L	プルアップ抵抗オプション・レジスタ9L	ポート	104
Q00NFC	TIQ00ノイズ除去制御レジスタ	タイマ	373
Q01NFC	TIQ01ノイズ除去制御レジスタ	タイマ	373
Q02NFC	TIQ02ノイズ除去制御レジスタ	タイマ	373
Q03NFC	TIQ03ノイズ除去制御レジスタ	タイマ	373
RAMS	内蔵RAMデータ・ステータス・レジスタ	リセット	650
RCM	リングOSCモード・レジスタ	CG	179
RESF	リセット要因フラグ・レジスタ	リセット	640
SELCNT0	セレクトク動作制御レジスタ0	タイマ	274
SVA0	スレーブ・アドレス・レジスタ0	I ² C	507
SYS	システム・ステータス・レジスタ	CPU	69
TM0CMP0	TMM0コンペア・レジスタ0	タイマ	377
TM0CTL0	TMM0タイマ制御レジスタ0	タイマ	378
TM0EQIC0	割り込み制御レジスタ	INTC	596
TP0CCIC0	割り込み制御レジスタ	INTC	596
TP0CCIC1	割り込み制御レジスタ	INTC	596
TP0CCR0	TMP0キャプチャ/コンペア・レジスタ0	タイマ	194
TP0CCR1	TMP0キャプチャ/コンペア・レジスタ1	タイマ	196
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	タイマ	198

略号	名称	ユニット	ページ
TP0CTL0	TMP0制御レジスタ0	タイマ	188
TP0CTL1	TMP0制御レジスタ1	タイマ	189
TP0IOC0	TMP0I/O制御レジスタ0	タイマ	190
TP0IOC1	TMP0I/O制御レジスタ1	タイマ	191
TP0IOC2	TMP0I/O制御レジスタ2	タイマ	192
TP0OPT0	TMP0オプション・レジスタ0	タイマ	193
TP0OVIC	割り込み制御レジスタ	INTC	596
TP1CCIC0	割り込み制御レジスタ	INTC	596
TP1CCIC1	割り込み制御レジスタ	INTC	596
TP1CCR0	TMP1キャプチャ/コンペア・レジスタ0	タイマ	194
TP1CCR1	TMP1キャプチャ/コンペア・レジスタ1	タイマ	196
TP1CNT	TMP1カウンタ・リード・バッファ・レジスタ	タイマ	198
TP1CTL0	TMP1制御レジスタ0	タイマ	188
TP1CTL1	TMP1制御レジスタ1	タイマ	189
TP1IOC0	TMP1I/O制御レジスタ0	タイマ	190
TP1IOC1	TMP1I/O制御レジスタ1	タイマ	191
TP1IOC2	TMP1I/O制御レジスタ2	タイマ	192
TP1OPT0	TMP1オプション・レジスタ0	タイマ	193
TP1OVIC	割り込み制御レジスタ	INTC	596
TP2CCIC0	割り込み制御レジスタ	INTC	596
TP2CCIC1	割り込み制御レジスタ	INTC	596
TP2CCR0	TMP2キャプチャ/コンペア・レジスタ0	タイマ	194
TP2CCR1	TMP2キャプチャ/コンペア・レジスタ1	タイマ	196
TP2CNT	TMP2カウンタ・リード・バッファ・レジスタ	タイマ	198
TP2CTL0	TMP2制御レジスタ0	タイマ	188
TP2CTL1	TMP2制御レジスタ1	タイマ	189
TP2IOC0	TMP2I/O制御レジスタ0	タイマ	190
TP2IOC1	TMP2I/O制御レジスタ1	タイマ	191
TP2IOC2	TMP2I/O制御レジスタ2	タイマ	192
TP2OPT0	TMP2オプション・レジスタ0	タイマ	193
TP2OVIC	割り込み制御レジスタ	INTC	596
TP3CCIC0	割り込み制御レジスタ	INTC	596
TP3CCIC1	割り込み制御レジスタ	INTC	596
TP3CCR0	TMP3キャプチャ/コンペア・レジスタ0	タイマ	194
TP3CCR1	TMP3キャプチャ/コンペア・レジスタ1	タイマ	196
TP3CNT	TMP3カウンタ・リード・バッファ・レジスタ	タイマ	198
TP3CTL0	TMP3制御レジスタ0	タイマ	188
TP3CTL1	TMP3制御レジスタ1	タイマ	189
TP3IOC0	TMP3I/O制御レジスタ0	タイマ	190
TP3IOC1	TMP3I/O制御レジスタ1	タイマ	191
TP3IOC2	TMP3I/O制御レジスタ2	タイマ	192
TP3OPT0	TMP3オプション・レジスタ0	タイマ	193
TP3OVIC	割り込み制御レジスタ	INTC	596
TQ0CCIC0	割り込み制御レジスタ	INTC	596

略号	名称	ユニット	ページ
TQ0CCIC1	割り込み制御レジスタ	INTC	596
TQ0CCIC2	割り込み制御レジスタ	INTC	596
TQ0CCIC3	割り込み制御レジスタ	INTC	596
TQ0CCR0	TMQ0キャプチャ/コンペア・レジスタ0	タイマ	285
TQ0CCR1	TMQ0キャプチャ/コンペア・レジスタ1	タイマ	287
TQ0CCR2	TMQ0キャプチャ/コンペア・レジスタ2	タイマ	289
TQ0CCR3	TMQ0キャプチャ/コンペア・レジスタ3	タイマ	291
TQ0CNT	TMQ0カウンタ・リード・バッファ・レジスタ	タイマ	293
TQ0CTL0	TMQ0制御レジスタ0	タイマ	279
TQ0CTL1	TMQ0制御レジスタ1	タイマ	280
TQ0IOC0	TMQ0I/O制御レジスタ0	タイマ	281
TQ0IOC1	TMQ0I/O制御レジスタ1	タイマ	282
TQ0IOC2	TMQ0I/O制御レジスタ2	タイマ	283
TQ0OPT0	TMQ0オプション・レジスタ0	タイマ	284
TQ0OVIC	割り込み制御レジスタ	INTC	596
UA0CTL0	UARTA0制御レジスタ0	UART	430
UA0CTL1	UARTA0制御レジスタ1	UART	452
UA0CTL2	UARTA0制御レジスタ2	UART	453
UA0OPT0	UARTA0オプション制御レジスタ0	UART	432
UA0RIC	割り込み制御レジスタ	INTC	596
UA0RX	UARTA0受信データ・レジスタ	UART	436
UA0STR	UARTA0状態レジスタ	UART	434
UA0TIC	割り込み制御レジスタ	INTC	596
UA0TX	UARTA0送信データ・レジスタ	UART	436
UA1CTL0	UARTA1制御レジスタ0	UART	430
UA1CTL1	UARTA1制御レジスタ1	UART	452
UA1CTL2	UARTA1制御レジスタ2	UART	453
UA1OPT0	UARTA1オプション制御レジスタ0	UART	432
UA1RIC	割り込み制御レジスタ	INTC	596
UA1RX	UARTA1受信データ・レジスタ	UART	436
UA1STR	UARTA1状態レジスタ	UART	434
UA1TIC	割り込み制御レジスタ	INTC	596
UA1TX	UARTA1送信データ・レジスタ	UART	436
UA2CTL0	UARTA2制御レジスタ0	UART	430
UA2CTL1	UARTA2制御レジスタ1	UART	452
UA2CTL2	UARTA2制御レジスタ2	UART	453
UA2OPT0	UARTA2オプション制御レジスタ0	UART	432
UA2RIC	割り込み制御レジスタ	INTC	596
UA2RX	UARTA2受信データ・レジスタ	UART	436
UA2STR	UARTA2状態レジスタ	UART	434
UA2TIC	割り込み制御レジスタ	INTC	596
UA2TX	UARTA2送信データ・レジスタ	UART	436
VSWC	システム・ウェイト・コントロール・レジスタ	CPU	70
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	397
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	396

略号	名称	ユニット	ページ
WTIC	割り込み制御レジスタ	INTC	596
WTIIC	割り込み制御レジスタ	INTC	596
WTM	時計タイマ動作モード・レジスタ	WT	389

付録B 命令セット一覧

B.1 凡 例

(1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ（ソース・レジスタとして使用）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。）
reg3	汎用レジスタ（おもに除算結果の余り、乗算結果の上位32ビットを格納）
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイスメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ（00H-1FH）を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ（r3）
ep	エレメント・ポインタ（r30）
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイスメントの1ビット分データ
l	イミューディエトの1ビット分データ（イミューディエトの上位ビットを示す）
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR []	汎用レジスタ
SR []	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、n 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower (Less than)
NC/NL	1001	$CY = 0$	No carry No lower (Greater than or equal)
Z	0010	$Z = 1$	Zero
NZ	1010	$Z = 0$	Not zero
NH	0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
H	1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
S/N	0100	$S = 1$	Negative
NS/P	1100	$S = 0$	Positive
T	0101	-	Always (無条件)
SA	1101	$SAT = 1$	Saturated
LT	0110	$(S \text{ xor } OV) = 1$	Less than signed
GE	1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
LE	0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
GT	1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

B.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x		
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x		
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x		
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	x	x		
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied then PC PC + sign-extend (disp9)	条件成立時	2	2	2					
			条件不成立時	1	1	1						
BSH	reg2, reg3	rrrrr1111100000 wwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x		
BSW	reg2, reg3	rrrrr1111100000 wwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x		
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr,Half-word))	4	4	4						
CLR1	bit#3,disp16[reg1]	10bbb11110RRRRR dddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3				x		
	reg2, [reg1]	rrrrr11111RRRRR 000000011100100	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				x		
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1						
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1						
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x		
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x		
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	3	3	3	R	R	R	R	R	
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	3	3	3	R	R	R	R	R	
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	3	3	3						
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1						

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x	
	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1					
HALT		000001111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr1111100000 WWWWW01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x	
JARL	disp22, reg2	rrrrr11110dddddd dddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	2	2	2					
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	3	3	3					
JR	disp22	0000011110dddddd dddddddddddddd0 注7	PC PC + sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1				
				regID = PSW	1	1	1	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr11111RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11					

モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr00000RRRRR	GR[reg2] GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1					
MUL	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100000 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	4	5					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ²⁶ × GR[reg1] ²⁶	1	1	2					
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ²⁶ × sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ²⁶ × imm16	1	1	2					
MULU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100010 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	4	5					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	×	×	
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					×
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					×
				注3	注3	注3					
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	×	×	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×	
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4					
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLLf011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp - zero-extend (imm5) ep sp/imm	n+2 注4	n+2 注4	n+2 注4					
				注17	注17	注17					

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3				x	
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3				x	
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111dddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 0000040H (vectorが00H-0FHのとき) 0000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3))	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2))	3	3	3					x
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	00000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は3。
 3. ウェイト・ステートがない場合 (3 + リード・アクセス・ウェイト・ステート数)
 4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ数。n = 0の場合, n = 1と同じ動作)
 5. RRRRR : 00000以外
 6. 下位ハーフワード・データだけ有効
 7. ddddddddddddddddddddはdisp22の上位21ビットです。
 8. ddddddddddddddddはdisp16の上位15ビットです。
 9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
 10. b : disp16のビット0
 11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
 12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 - rrrrr = regID指定
 - RRRRR = reg2指定
 13. iiii : imm9の下位5ビット
IIII : imm9の上位4ビット
 14. 汎用レジスタreg1と汎用レジスタreg3に, 同じレジスタを指定しないでください。
 15. sp/imm : サブオペコードのビット19, 20で指定
 16. ff = 00 : spをepにロード
 - 01 : 符号拡張した16ビット・イミーディエト・データ (ビット47-32) をepにロード
 - 10 : 16ビット論理左シフトした16ビット・イミーディエト・データ (ビット47-32) をepにロード
 - 11 : 32ビット・イミーディエト・データ (ビット63-32) をepにロード
 17. imm = imm32の場合はn + 3クロック
 18. rrrrr : 00000以外
 19. dddddddはdisp8の上位7ビットです。
 20. ddddはdisp5の上位4ビットです。
 21. ddddddはdisp8の上位6ビットです。

付録C 改版履歴

C.1 本版で改訂された主な箇所

(1/3)

箇所	内容
p.21	1.5 端子接続図 (Top View) に注2を追加
p.27	2.1 (1) ポート端子を修正
p.30	2.1 (2) ポート以外の端子を修正
p.33	表2 - 2 動作モードによる各端子の動作状態を修正
p.47	3.3.1 動作モード指定を追加
p.54	3.4.5 アドレス空間の推奨使用方法に注意を追加
pp.57, 60	3.4.6 周辺I/Oレジスタのポートnレジスタに注を追加
p.69	3.4.7 (3) (a) セット条件 (PRERR = 1) に備考を追加
p.71	3.4.8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを追加
p.72	3.4.8 (3) フラッシュ・メモリ内蔵品 (μ PD70F3229Y) 使用上の注意を追加
p.74	4.3 ポートの構成を修正
p.115	4.4 ブロック図を追加
p.148	4.6 注意事項を追加
p.152	5.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態を修正
p.164	5.5.4 プログラマブル・アドレス・ウェイト機能に注意を追加
p.169	5.9 パス・タイミングを修正
p.173	図6 - 1 クロック発生回路を修正
p.177	6.3 (1) (a) メイン・クロック動作 サブクロック動作の設定例を修正
p.178	6.3 (1) (b) サブクロック動作 メイン・クロック動作の設定例を修正
p.183	6.5.2 (3) PLLロックアップ時間指定レジスタ (PLLS) のPLLS1, PLLS0ビット説明を修正および注意を追加
p.184	6.5.3 (1) PLLを使用する場合を修正
p.185	第7章 16ビット・タイマ/イベント・カウンタP (TMP) を修正
p.275	第8章 16ビット・タイマ/イベント・カウンタQ (TMQ) を修正
p.379	9.4.1 インターバル・タイマ・モードを修正
p.383	9.4.2 注意事項を追加
p.385	10.2 構成を修正
p.391	10.4.1 時計タイマとしての動作を修正
p.396	11.3 (1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) に注意を追加
p.398	11.4 動作を追加
p.399	第12章 A/Dコンバータを修正
p.430	13.3 (1) UARTAn制御レジスタ0 (UAnCTL0) を修正
p.440	13.5.2 SBF送信/受信フォーマットに備考を追加
p.450	図13 - 12 ノイズとして判断されるRXDAn信号のタイミングを追加
p.452	13.6 (2) UARTAn制御レジスタ1 (UAnCTL1) に注意を追加
p.453	13.6 (3) UARTAn制御レジスタ2 (UAnCTL2) に注意を追加
p.458	13.7 注意事項を追加

箇 所	内 容
p.462	14. 3 構 成に備考を追加
p.463	14. 4 (1) CSIBn制御レジスタ0 (CBnCTL0) を修正
p.465	14. 4 (2) CSIBn制御レジスタ1 (CBnCTL1) の注意を修正
p.469	14. 5 割り込み要求信号を追加
p.470	14. 6 動 作を修正
p.479	14. 7 (1) SCKBn端子を修正
p.480	14. 8 動作フローを修正
pp.494, 497	15. 2 (1) IICコントロール・レジスタ0 (IICC0) に注を追加
p.498	15. 2 (2) IIC状態レジスタ0 (IICS0) に注意を追加
p.506	15. 2 (7) IIC分周クロック選択レジスタ0 (OCKS0) を修正
p.546	15. 14. 3 スレーブ動作を修正
p.558	16. 3 制御レジスタを修正
p.565	16. 4 転送対象を修正
p.565	16. 5 転送モードを修正
p.566	16. 6 転送タイプを修正
p.567	16. 7 DMAチャンネルの優先順位を修正
p.567	16. 8 DMA転送に関する各種時間を追加
p.568	16. 9 DMA転送起動要因を修正
p.569	16. 10 DMAの中断要因を修正
p.569	16. 11 DMA転送の終了を修正
p.569	16. 12 動作タイミングを追加
p.574	16. 13 注意事項を修正
p.580	表17 - 1 割り込み要因一覧に注1を追加
p.583	17. 2 ノンマスクブル割り込みに注を追加および注意を修正
p.587	17. 2. 2 (2) INTWDT2の場合を修正
p.600	17. 3. 5 割り込みマスク・レジスタ0-3 (IMR0-IMR3) に注, 注意を追加
p.615	17. 6. 2 (2) 復 帰に注意を追加
p.616	図17 - 14 割り込み要求信号受け付け時のパイプライン動作例 (概略) を修正
p.617	17. 9 注意事項を追加
p.618	18. 1 機 能に注意を追加
p.622	図19 - 1 状態遷移図を修正
p.629	表19 - 5 IDLE1モード時の動作状態に注を追加
p.631	表19 - 7 IDLE2モード時の動作状態に注を追加
p.634	表19 - 9 STOPモード時の動作状態に注1, 2を追加
p.636	19. 8. 1 設定および動作状態に注意2を追加
p.637	表19 - 10 サブクロック動作モード時の動作状態に注意を追加
p.638	19. 8. 2 サブIDLEモードの解除に注意2を追加
p.639	表19 - 12 サブIDLEモード時の動作状態に注2を追加
p.640	20. 2 (1) リセット要因フラグ・レジスタ (RESF) を修正
p.650	20. 3. 3 (5) 内蔵RAMデータ・ステータス・レジスタ (RAMS) に注を追加
p.651	表20 - 4 クロック・モニタの動作状態 (CLMEビット = 1設定時, Ring-OSC動作時) を修正
p.657	22. 2 (1) コレクション・アドレス・レジスタ0-3 (CORAD0-CORAD3) に注を追加
p.660	第23章 フラッシュ・メモリを修正
p.682	第24章 オンチップ・デバッグ機能を追加

箇 所	内 容
p.691	第25章 電気的特性を追加
p.715	第26章 外形図を追加
p.716	付録A レジスタ索引を追加
p.725	付録B 命令セット一覧を追加
p.734	付録C 改版履歴を追加

(メモ)

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクス特約店へお申し付けください。
