

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル

# μPD178048 サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

---

μPD178046

μPD178048

μPD178F048

資料番号 U13985JJ2V0UM00 (第2版)

発行年月 April 2000 N CR(K)

© NEC Corporation 1999, 2000

[メモ]

## 目次要約

第1章	概 説	...	25
第2章	端子機能	...	33
第3章	CPUアーキテクチャ	...	43
第4章	ポート機能	...	75
第5章	クロック発生回路	...	93
第6章	8ビット・タイマ/イベント・カウンタ (TM5)	...	101
第7章	8ビット・タイマ (TM20)	...	119
第8章	8ビット・イベント・カウンタ (TM21)	...	127
第9章	8ビット・リモコン・タイマ (TM9)	...	135
第10章	ベーシック・タイマ (BTM1)	...	141
第11章	ウォッチドッグ・タイマ	...	145
第12章	A/Dコンバータ	...	153
第13章	シリアル・インタフェース (IIC1)	...	171
第14章	シリアル・インタフェース (SIO3)	...	213
第15章	8ビットPWM	...	221
第16章	14ビットPWM	...	229
第17章	OSDコントローラ	...	237
第18章	ROMコレクション	...	263
第19章	割り込み機能	...	273
第20章	スタンバイ機能	...	295
第21章	リセット機能	...	303
第22章	$\mu$ PD178F048	...	311
第23章	命令セットの概要	...	319
付 録		...	335

## CMOSデバイスの一般的注意事項

### 静電気対策（MOS全般）

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理（CMOS特有）

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV<sub>DD</sub>またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態（MOS全般）

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

EEPROMは、日本電気株式会社の商標です。

WindowsおよびWindowsNTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

イーサネットは、米国ゼロックス社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

OSF/Motifは、Open Software Foundation, Inc.の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

★ 非該当品：μPD178F048GK-BE9

★ ユーザ判定品：μPD178046GK-x x x-BE9, 178048GK-x x x-BE9

**注意：** μPD178048サブシリーズはI<sup>2</sup>Cバス・インタフェース回路を内蔵しています。

I<sup>2</sup>Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社のI<sup>2</sup>Cバス対応部品をご購入いただくことにより、これらの部品をI<sup>2</sup>Cシステムに使用する実施権がフィリップス社I<sup>2</sup>C特許に基づき許諾されることとなります。ただし、これらのI<sup>2</sup>Cシステムはフィリップス社によって設定されたI<sup>2</sup>C標準規格に合致しているものとします。

Purchase of NEC I<sup>2</sup>C components conveys a license under the Philips I<sup>2</sup>C Patent Rights to use these components in an I<sup>2</sup>C system, provided that the system conforms to the I<sup>2</sup>C Standard Specification as defined by Philips.

● **本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。**

● 文書による当社の承諾なしに本資料の転載複製を禁じます。

● 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

● 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。

● 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。

● 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

## 本版で改訂された主な箇所

箇所	内容
全般	64ピン・シュリンクDIPの削除 ( GND0, GND1端子の記述削除 )
p.57, 335-341	・インサーキット・エミュレータIE-78001-R-Aの削除 ( IE-78K0-NSのみ対応 ) ・統合ディバッガID78K0の削除 ( ID78K0-NSのみ対応 )
p.259-261	<b>17.5 OSDコントローラ使用上の注意</b> ・VRAM書き込みの流れを変更 ・対策例 2 を変更
p.314-318	<b>22.3 フラッシュ・メモリ・プログラミング</b> ・IIC1方式を疑似 3 線式に変更 ・フラッシュ書き込み時の注意事項を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

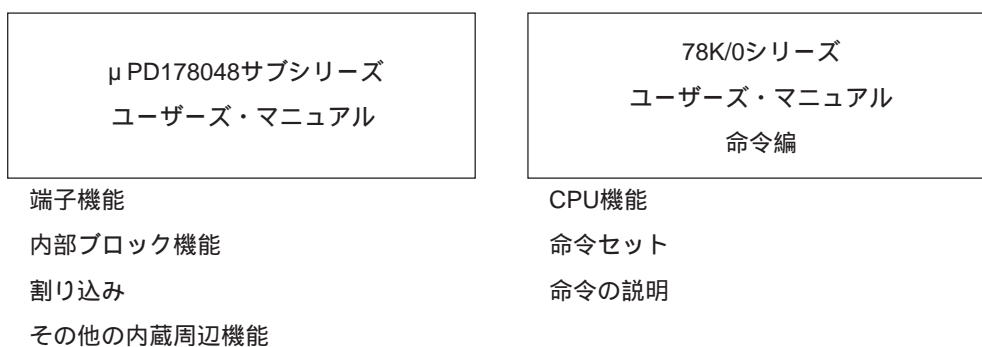


# はじめに

**対象者** このマニュアルは、 $\mu$ PD178048サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成**  $\mu$ PD178048サブシリーズのマニュアルは、このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。



**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。

$\mu$ PD178048サブシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0シリーズ ユーザズ・マニュアル 命令編**（U12326J）を参照してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がDF178048, RA78K0では予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

$\mu$ PD178048サブシリーズの電気的特性を知りたいとき

別冊のデータ・シートを参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	アクティブ・ロウの表記	: $\overline{x \times x}$ (端子, 信号名称に上線)
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文の補足説明
	数の表記	: 2進数... $x \times x \times x$ または $x \times x \times x \text{ B}$ 10進数... $x \times x \times x$ 16進数... $x \times x \times x \text{ H}$

**関連資料** 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

## デバイスの関連資料

### μPD178048サブシリーズの関連資料

資料名	資料番号		
	和文	英文	
μPD178046, 178048 ペーパー・マシン	U13183J	U13183E	
μPD178F048 ペーパー・マシン	U13056J	U13056E	
μPD178048サブシリーズ ユーザーズ・マニュアル	このマニュアル	作成予定	
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	U12326E	
78K/0シリーズ インストラクション活用表	U10903J	-	
78K/0シリーズ インストラクション・セット	U10904J	-	
78K/0シリーズ アプリケーション・ノート	基礎編	U12704J	U12704E
★ 78K/0, 78K/0Sシリーズ アプリケーション・ノート フラッシュ・メモリ書き込み編	U14458J	U14458E	

★ 開発ツールの関連資料（ユーザズ・マニュアル）

資料名		資料番号	
		和文	英文
RA78K0 アセンブラ・パッケージ	操作編	U11802J	U11802E
	言語編	U11801J	U11801E
	構造化アセンブリ言語編	U11789J	U11789E
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		U12323J	EEU-1402
CC78K0 Cコンパイラ	操作編	U11517J	U11517E
	言語編	U11518J	U11518E
IE-78K0-NS		U13731J	U13731E
IE-178048-NS-EM1		作成予定	作成予定
ID78K0-NS 統合ディバガ Windows™ベース	レファレンス編	U12900J	U12900E
SM78K0 システム・シミュレータ Windowsベース	レファレンス編	U10181J	U10181E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン	U10092J	U10092E
	インタフェース仕様編		

組み込み用ソフトウェアの関連資料（ユーザズ・マニュアル）

資料名		資料番号	
		和文	英文
78K/0シリーズ リアルタイムOS	基礎編	U11537J	U11537E
	インストール編	U11536J	U11536E
78K/0シリーズ用OS MX78K0	基礎編	U12257J	U12257E

その他の関連資料

資料名		資料番号	
		和文	英文
SEMICONDUCTOR SELECTION GUIDE Products & Packages (CD-ROM)		X13769X	
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド		C11892J	C11892E
半導体 品質 / 信頼性ハンドブック		C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

[メモ]

# 目 次

## 第1章 概 説 ... 25

- 1.1 特 徴 ... 25
- 1.2 応用分野 ... 26
- 1.3 オーダ情報 ... 26
- 1.4 端子接続図 (Top View) ... 27
- 1.5 8ビットDTSシリーズの展開 ... 29
- 1.6 ブロック図 ... 30
- 1.7 機能概要 ... 31

## 第2章 端子機能 ... 33

- 2.1 端子機能一覧 ... 33
- 2.2 端子機能の説明 ... 35
  - 2.2.1 P00-P03 (Port0) ... 35
  - 2.2.2 P10-P13 (Port1) ... 35
  - 2.2.3 P20-P23 (Port2) ... 35
  - 2.2.4 P40-P47 (Port4) ... 36
  - 2.2.5 P50-P54 (Port5) ... 36
  - 2.2.6 P60-P67 (Port6) ... 36
  - 2.2.7 P70-P77 (Port7) ... 36
  - 2.2.8 P130-P134 (Port13) ... 37
  - 2.2.9  $\overline{V_{SYNC}}$  ... 37
  - 2.2.10  $\overline{H_{SYNC}}$  ... 37
  - 2.2.11 R ... 37
  - 2.2.12 G ... 37
  - 2.2.13 B ... 37
  - 2.2.14 I ... 37
  - 2.2.15 BLANK ... 37
  - 2.2.16  $\overline{OSC1}, \overline{OSC2}$  ... 37
  - 2.2.17  $\overline{RESET}$  ... 38
  - 2.2.18 X1, X2 ... 38
  - 2.2.19  $V_{DD}$  ... 38
  - 2.2.20 GND00, GND10, GND01, GND11 ... 38
  - 2.2.21  $V_{DDPORT}$  ... 38
  - 2.2.22  $GNDPORT$  ... 38
  - 2.2.23 NC ... 38
  - 2.2.24  $V_{PP}$  ( $\mu$ PD178F048のみ) ... 38
  - 2.2.25 IC (マスクROM製品のみ) ... 39
- 2.3 端子の入出力回路と未使用端子の処理 ... 40

## 第3章 CPUアーキテクチャ ... 43

- 3.1 メモリ空間 ... 43
  - 3.1.1 内部プログラム・メモリ空間 ... 47
  - 3.1.2 内部データ・メモリ空間 ... 48
  - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 48

3.1.4	データ・メモリ・アドレッシング	...	49
<b>3.2</b>	<b>プロセッサ・レジスタ</b>	...	52
3.2.1	制御レジスタ	...	52
3.2.2	汎用レジスタ	...	55
3.2.3	特殊機能レジスタ (SFR : Special Function Register)	...	57
<b>3.3</b>	<b>命令アドレスのアドレッシング</b>	...	61
3.3.1	レラティブ・アドレッシング	...	61
3.3.2	イミディエト・アドレッシング	...	62
3.3.3	テーブル・インダイレクト・アドレッシング	...	63
3.3.4	レジスタ・アドレッシング	...	64
<b>3.4</b>	<b>オペランド・アドレスのアドレッシング</b>	...	65
3.4.1	インプライド・アドレッシング	...	65
3.4.2	レジスタ・アドレッシング	...	66
3.4.3	ダイレクト・アドレッシング	...	67
3.4.4	ショート・ダイレクト・アドレッシング	...	68
3.4.5	特殊機能レジスタ (SFR) アドレッシング	...	70
3.4.6	レジスタ・インダイレクト・アドレッシング	...	71
3.4.7	ベースト・アドレッシング	...	72
3.4.8	ベースト・インデクスト・アドレッシング	...	73
3.4.9	スタック・アドレッシング	...	73

## 第4章 ポート機能 ... 75

<b>4.1</b>	<b>ポートの機能</b>	...	75
<b>4.2</b>	<b>ポートの構成</b>	...	77
4.2.1	ポート0	...	77
4.2.2	ポート1	...	79
4.2.3	ポート2	...	80
4.2.4	ポート4	...	82
4.2.5	ポート5	...	83
4.2.6	ポート6	...	84
4.2.7	ポート7	...	85
4.2.8	ポート13	...	86
<b>4.3</b>	<b>ポート機能を制御するレジスタ</b>	...	87
<b>4.4</b>	<b>ポート機能の動作</b>	...	90
4.4.1	入出力ポートへの書き込み	...	90
4.4.2	入出力ポートからの読み出し	...	90
4.4.3	入出力ポートでの演算	...	91

## 第5章 クロック発生回路 ... 93

<b>5.1</b>	<b>クロック発生回路の機能</b>	...	93
<b>5.2</b>	<b>クロック発生回路の構成</b>	...	93
<b>5.3</b>	<b>クロック発生回路を制御するレジスタ</b>	...	94
<b>5.4</b>	<b>システム・クロック発振回路</b>	...	95
5.4.1	システム・クロック発振回路	...	95
5.4.2	分周回路	...	97
<b>5.5</b>	<b>クロック発生回路の動作</b>	...	98
<b>5.6</b>	<b>システム・クロックとCPUクロックの設定の変更</b>	...	99
5.6.1	システム・クロックとCPUクロックの切り替えに要する時間	...	99

<b>第6章</b>	<b>8ビット・タイマ/イベント・カウンタ (TM5)</b>	...	101
6.1	8ビット・タイマ/イベント・カウンタ (TM5) の機能	...	101
6.2	8ビット・タイマ/イベント・カウンタ (TM5) の構成	...	102
6.3	8ビット・タイマ/イベント・カウンタ (TM5) を制御するレジスタ	...	103
6.4	8ビット・タイマ/イベント・カウンタ (TM5) の動作	...	106
6.4.1	インターバル・タイマ (8ビット) としての動作	...	106
6.4.2	外部イベント・カウンタとしての動作	...	110
6.4.3	方形波出力 (8ビット分解能) としての動作	...	111
6.4.4	8ビットPWM出力としての動作	...	112
6.5	8ビット・タイマ/イベント・カウンタ (TM5) の注意事項	...	115
<b>第7章</b>	<b>8ビット・タイマ (TM20)</b>	...	119
7.1	8ビット・タイマ (TM20) の機能	...	119
7.2	8ビット・タイマ (TM20) の構成	...	119
7.3	8ビット・タイマ (TM20) を制御するレジスタ	...	121
7.4	8ビット・タイマ (TM20) の動作	...	122
7.5	8ビット・タイマ (TM20) の注意事項	...	124
<b>第8章</b>	<b>8ビット・イベント・カウンタ (TM21)</b>	...	127
8.1	8ビット・イベント・カウンタ (TM21) の機能	...	127
8.2	8ビット・イベント・カウンタ (TM21) の構成	...	127
8.3	8ビット・イベント・カウンタ (TM21) を制御するレジスタ	...	129
8.4	8ビット・イベント・カウンタ (TM21) の動作	...	130
8.5	8ビット・イベント・カウンタ (TM21) の注意事項	...	132
<b>第9章</b>	<b>8ビット・リモコン・タイマ (TM9)</b>	...	135
9.1	8ビット・リモコン・タイマ (TM9) の機能	...	135
9.2	8ビット・リモコン・タイマ (TM9) の構成	...	135
9.3	8ビット・リモコン・タイマ (TM9) を制御するレジスタ	...	136
9.4	8ビット・リモコン・タイマ (TM9) の動作	...	138
9.5	8ビット・リモコン・タイマ (TM9) の注意事項	...	139
<b>第10章</b>	<b>ベーシック・タイマ (BTM1)</b>	...	141
10.1	ベーシック・タイマ (BTM1) の機能	...	141
10.2	ベーシック・タイマ (BTM1) の構成	...	141
10.3	ベーシック・タイマ (BTM1) を制御するレジスタ	...	142
10.4	ベーシック・タイマ (BTM1) の動作	...	143
10.5	ベーシック・タイマ (BTM1) の注意事項	...	144
<b>第11章</b>	<b>ウォッチドッグ・タイマ</b>	...	145
11.1	ウォッチドッグ・タイマの機能	...	145
11.2	ウォッチドッグ・タイマの構成	...	147
11.3	ウォッチドッグ・タイマを制御するレジスタ	...	147
11.4	ウォッチドッグ・タイマの動作	...	150
11.4.1	ウォッチドッグ・タイマとしての動作	...	150
11.4.2	インターバル・タイマとしての動作	...	151

<b>第12章</b>	<b>A/Dコンバータ</b>	...	153
12.1	A/Dコンバータの機能	...	153
12.2	A/Dコンバータの構成	...	153
12.3	A/Dコンバータを制御するレジスタ	...	156
12.4	A/Dコンバータの動作	...	159
12.4.1	A/Dコンバータの基本動作	...	159
12.4.2	入力電圧と変換結果	...	161
12.4.3	A/Dコンバータの動作モード	...	162
12.5	A/Dコンバータの注意事項	...	168
<b>第13章</b>	<b>シリアル・インタフェース (IIC1)</b>	...	171
13.1	シリアル・インタフェース (IIC1) の機能	...	171
13.2	シリアル・インタフェース (IIC1) の構成	...	173
13.3	シリアル・インタフェース (IIC1) を制御するレジスタ	...	178
13.4	シリアル・インタフェース (IIC1) の動作	...	185
13.4.1	動作停止モード	...	185
13.4.2	I <sup>2</sup> Cバス・モードの動作	...	186
13.4.3	I <sup>2</sup> Cバス・モード使用時の注意事項	...	208
13.4.4	I <sup>2</sup> Cバス・モード使用時の制限事項	...	210
13.4.5	SCL0/P20, SCL1/P21端子出力の操作	...	212
<b>第14章</b>	<b>シリアル・インタフェース (SIO3)</b>	...	213
14.1	シリアル・インタフェース (SIO3) の機能	...	213
14.2	シリアル・インタフェース (SIO3) の構成	...	214
14.3	シリアル・インタフェース (SIO3) を制御するレジスタ	...	215
14.4	シリアル・インタフェース (SIO3) の動作	...	217
14.4.1	動作停止モード	...	217
14.4.2	3線式シリアルI/Oモード	...	218
<b>第15章</b>	<b>8ビットPWM</b>	...	221
15.1	8ビットPWMの機能	...	221
15.2	8ビットPWMの構成	...	221
15.3	8ビットPWMを制御するレジスタ	...	223
15.4	8ビットPWMの動作	...	224
15.5	8ビットPWMの注意事項	...	227
<b>第16章</b>	<b>14ビットPWM</b>	...	229
16.1	14ビットPWMの機能	...	229
16.2	14ビットPWMの構成	...	229
16.3	14ビットPWMを制御するレジスタ	...	231
16.4	14ビットPWMの動作	...	232
16.4.1	14ビットPWMの出力信号	...	232
16.4.2	14ビットPWMの動作タイミング	...	234
16.4.3	スタンバイ時の動作	...	235



## 第17章 OSDコントローラ ... 237

- 17.1 OSDコントローラの機能 ... 237
- 17.2 OSDコントローラの構成 ... 239
- 17.3 OSDコントローラを制御するレジスタ ... 241
- 17.4 OSDコントローラの動作 ... 251
  - 17.4.1 背景モード ... 251
  - 17.4.2 縁取り制御 ... 251
  - 17.4.3 リセットとVRAM一括解除 ... 253
  - 17.4.4 通常TVモードと倍速TVモード ... 254
  - 17.4.5 表示開始位置制御 ... 255
  - 17.4.6 VRAMの構成 ... 256
  - 17.4.7 文字の表示 ... 257
  - 17.4.8 ハーフ・ブランキング ... 258
- 17.5 OSDコントローラ使用上の注意 ... 259
  - 17.5.1 VRAMへの書き込みタイミング ... 259

## 第18章 ROMコレクション ... 263

- 18.1 ROMコレクションの機能 ... 263
- 18.2 ROMコレクションの構成 ... 263
- 18.3 ROMコレクションを制御するレジスタ ... 265
- 18.4 ROMコレクションの使用法 ... 267
- 18.5 ROMコレクションの使用例 ... 269
- 18.6 プログラム実行フロー ... 270
- 18.7 ROMコレクションの注意事項 ... 272

## 第19章 割り込み機能 ... 273

- 19.1 割り込み機能の種類 ... 273
- 19.2 割り込み要因と構成 ... 273
- 19.3 割り込み機能を制御するレジスタ ... 277
- 19.4 割り込み処理動作 ... 283
  - 19.4.1 ノンマスカブル割り込み要求の受け付け動作 ... 283
  - 19.4.2 マスカブル割り込み要求の受け付け動作 ... 286
  - 19.4.3 ソフトウエア割り込み要求の受け付け動作 ... 289
  - 19.4.4 多重割り込み処理 ... 290
  - 19.4.5 割り込み要求の保留 ... 293

## 第20章 スタンバイ機能 ... 295

- 20.1 スタンバイ機能と構成 ... 295
  - 20.1.1 スタンバイ機能 ... 295
  - 20.1.2 スタンバイ機能を制御するレジスタ ... 296
- 20.2 スタンバイ機能の動作 ... 297
  - 20.2.1 HALTモード ... 297
  - 20.2.2 STOPモード ... 300

## 第21章 リセット機能 ... 303

- 21.1 リセット機能 ... 303
- 21.2 停電検出機能 ... 309

## 第22章 $\mu$ PD178F048 ... 311

- 22.1 メモリ・サイズ切り替えレジスタ (IMS) ... 312
- 22.2 内部拡張RAMサイズ切り替えレジスタ (IXS) ... 313
- 22.3 フラッシュ・メモリ・プログラミング ... 314
  - 22.3.1 通信方式の選択 ... 314
  - 22.3.2 フラッシュ・メモリ・プログラミングの機能 ... 315
  - 22.3.3 Flashpro の接続 ... 315
  - 22.3.4 Flashpro (PG-FP3) での設定例 ... 317
  - ★ 22.3.5 フラッシュ書き込み時の注意事項 ... 318

## 第23章 命令セットの概要 ... 319

- 23.1 凡 例 ... 320
  - 23.1.1 オペランドの表現形式と記述方法 ... 320
  - 23.1.2 オペレーション欄の説明 ... 321
  - 23.1.3 フラグ動作欄の説明 ... 321
- 23.2 オペレーション一覧 ... 322
- 23.3 アドレッシング別命令一覧 ... 331

## 付録A 開発ツール ... 335

- A.1 言語処理用ソフトウェア ... 337
- A.2 フラッシュ・メモリ書き込み用ツール ... 338
- A.3 デバッグ用ツール ... 339
  - A.3.1 ハードウェア ... 339
  - A.3.2 ソフトウェア ... 340

## 付録B 組み込み用ソフトウェア ... 343

## 付録C レジスタ索引 ... 345

- C.1 レジスタ索引 (50音順) ... 345
- C.2 レジスタ索引 (アルファベット順) ... 348

## ★ 付録D 改版履歴 ... 351

## 図の目次 (1/5)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 41
3 - 1	メモリ・マップ ( $\mu$ PD178046 ) ... 44
3 - 2	メモリ・マップ ( $\mu$ PD178048 ) ... 45
3 - 3	メモリ・マップ ( $\mu$ PD178F048 ) ... 46
3 - 4	データ・メモリのアドレッシング ( $\mu$ PD178046 ) ... 49
3 - 5	データ・メモリのアドレッシング ( $\mu$ PD178048 ) ... 50
3 - 6	データ・メモリのアドレッシング ( $\mu$ PD178F048 ) ... 51
3 - 7	プログラム・カウンタの構成 ... 52
3 - 8	プログラム・ステータス・ワードの構成 ... 52
3 - 9	スタック・ポインタの構成 ... 54
3 - 10	スタック・メモリへ退避されるデータ ... 54
3 - 11	スタック・メモリから復帰されるデータ ... 55
3 - 12	汎用レジスタの構成 ... 56
4 - 1	ポートの種類 ... 75
4 - 2	P00-P03のブロック図 ... 78
4 - 3	P10-P13のブロック図 ... 79
4 - 4	P20, P21のブロック図 ... 80
4 - 5	P22, P23のブロック図 ... 81
4 - 6	P40-P47のブロック図 ... 82
4 - 7	P50-P54のブロック図 ... 83
4 - 8	P60-P67のブロック図 ... 84
4 - 9	P70-P77のブロック図 ... 85
4 - 10	P130-P134のブロック図 ... 86
4 - 11	ポート・モード・レジスタのフォーマット ... 89
5 - 1	クロック発生回路のブロック図 ... 93
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 94
5 - 3	システム・クロック発振回路の外付け回路 ... 95
5 - 4	発振子の接続の悪い例 ... 96
6 - 1	8ビット・タイマ/イベント・カウンタ ( TM5 ) のブロック図 ... 101
6 - 2	タイマ・クロック選択レジスタ5 ( TCL5 ) のフォーマット ... 103
6 - 3	8ビット・タイマ・モード・コントロール・レジスタ5 ( TMC5 ) のフォーマット ... 105
6 - 4	インターバル・タイマ動作のタイミング ... 107
6 - 5	外部イベント・カウンタ動作のタイミング ( 立ち上がりエッジ指定時 ) ... 110
6 - 6	方形波出力動作のタイミング ... 111
6 - 7	PWM出力の動作タイミング ... 113
6 - 8	CR5変更による動作のタイミング ... 114

## 図の目次 (2/5)

図番号	タイトル, ページ
6 - 9	8ビット・タイマ・カウンタ5のスタート・タイミング ... 115
6 - 10	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 116
7 - 1	8ビット・タイマ (TM20) のブロック図 ... 120
7 - 2	8ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) のフォーマット ... 121
7 - 3	インターバル・タイマ動作時の8ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) の設定内容 ... 122
7 - 4	インターバル・タイマ動作のタイミング ... 123
7 - 5	8ビット・タイマ・カウンタ20のスタート・タイミング ... 124
7 - 6	インターバル・タイマとしての動作時のタイミング ... 124
7 - 7	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 125
8 - 1	8ビット・イベント・カウンタ (TM21) のブロック図 ... 128
8 - 2	8ビット・タイマ・モード・コントロール・レジスタ21 (TMC21) のフォーマット ... 129
8 - 3	外部イベント・カウンタ動作時の8ビット・タイマ・モード・コントロール・レジスタ21の設定内容 ... 130
8 - 4	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 131
8 - 5	8ビット・タイマ・カウンタ21のスタート・タイミング ... 132
8 - 6	外部イベント・カウンタとしての動作時のタイミング ... 132
8 - 7	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 133
9 - 1	8ビット・リモコン・タイマ (TM9) のブロック図 ... 135
9 - 2	8ビット・リモコン・タイマ・モード・コントロール・レジスタ9 (TMC9) のフォーマット ... 136
9 - 3	パルス幅測定のタイミング ... 138
10 - 1	ベーシック・タイマ (BTM1) のブロック図 ... 141
10 - 2	ベーシック・タイマ1モード・レジスタ (BTMMD1) のフォーマット ... 142
10 - 3	ベーシック・タイマ動作のタイミング1 (10 ms設定時 (BTMSEL = 1)) ... 143
10 - 4	BTMIF1フラグをポーリングする場合の動作タイミング (10 ms設定時 (BTMSEL = 1)) ... 143
10 - 5	ベーシック・タイマ動作のタイミング2 (1 ms設定時 (BTMSEL = 0)) ... 144
11 - 1	ウォッチドッグ・タイマのブロック図 ... 145
11 - 2	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のフォーマット ... 147
11 - 3	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット ... 148
11 - 4	発振安定時間選択レジスタ (OSTS) のフォーマット ... 149
12 - 1	A/Dコンバータのブロック図 ... 154
12 - 2	A/Dコンバータ・モード・レジスタ3 (ADM3) のフォーマット ... 156
12 - 3	アナログ入力チャンネル指定レジスタ3 (ADS3) のフォーマット ... 157
12 - 4	パワー・フェイル比較モード・レジスタ3 (PFM3) のフォーマット ... 158

## 図の目次 (3/5)

図番号	タイトル, ページ
12 - 5	A/Dコンバータの基本動作 ... 160
12 - 6	アナログ入力電圧とA/D変換結果の関係 ... 161
12 - 7	A/D変換動作 ... 163
12 - 8	パワー・フェイル比較しきい値レジスタ3 (PFT3) ... 164
12 - 9	パワー・フェイル比較モードによるA/D変換動作 ... 165
12 - 10	スタンバイ・モード時の消費電流を低減させる方法例 ... 168
12 - 11	A/D変換終了割り込み要求発生タイミング ... 169
13 - 1	I <sup>2</sup> Cバスによるシリアル・バス構成例 ... 172
13 - 2	シリアル・インタフェース (IIC1) のブロック図 ... 174
13 - 3	IICクロック選択レジスタ1 (IICCL1) のフォーマット ... 178
13 - 4	IIC動作モード・レジスタ1 (IICM1) のフォーマット ... 179
13 - 5	IICコントロール・レジスタ1 (IICC1) のフォーマット ... 181
13 - 6	IIC割り込みタイミング指定レジスタ1 (IICINT1) のフォーマット ... 183
13 - 7	I <sup>2</sup> Cバスによるシリアル・バス構成例 ... 186
13 - 8	I <sup>2</sup> Cバスのシリアル・データ転送タイミング ... 187
13 - 9	スタート・コンディション ... 188
13 - 10	アドレス ... 189
13 - 11	転送方向指定 ... 189
13 - 12	アクノリッジ信号 ... 190
13 - 13	ストップ・コンディション ... 190
13 - 14	ウェイト信号 ... 191
13 - 15	端子構成図 ... 199
13 - 16	マスタ スレーブ通信例 ... 201
13 - 17	スレーブ マスタ通信例 ... 204
13 - 18	スタート・コンディションの出力 ... 208
13 - 19	スレーブのウェイト解除 (送信時) ... 209
13 - 20	SCL0/P20 (SCL1/P21) 端子の構成 ... 212
14 - 1	シリアル・インタフェース (SIO3) のブロック図 ... 213
14 - 2	シリアル動作モード・レジスタ3 (CSIM3) のフォーマット ... 215
14 - 3	3線式シリアルI/Oモードのタイミング ... 219
15 - 1	8ビットPWMのブロック図 (PWM00-PWM03) ... 222
15 - 2	PWM出力セレクト・レジスタ (PWMS) のフォーマット ... 223
15 - 3	8ビットPWMの動作タイミング ... 225
16 - 1	14ビットPWMのブロック図 (PWM1) ... 230
16 - 2	14ビットPWMコンペア・レジスタ (PWMCR1) のフォーマット ... 230
16 - 3	PWM出力セレクト・レジスタ (PWMS) のフォーマット ... 231

## 図の目次 (4/5)

図番号	タイトル, ページ
16 - 4	PWM信号波形 ... 232
17 - 1	OSDコントローラのブロック図 ... 240
17 - 2	表示コントロール・レジスタ (DPCONT) のフォーマット ... 241
17 - 3	OSDステータス・レジスタ (OSDSTA) のフォーマット ... 242
17 - 4	水平表示開始位置レジスタ (HPOSI) のフォーマット ... 244
17 - 5	垂直表示開始位置レジスタ (VPOSI) のフォーマット ... 245
17 - 6	VRAM書き込みアドレス・レジスタ 1 (VRAMAC) のフォーマット ... 246
17 - 7	VRAM書き込みアドレス・レジスタ 2 (VRAMAR) のフォーマット ... 247
17 - 8	キャラクタ・サイズ制御レジスタ (CSIZE) のフォーマット ... 248
17 - 9	端子モード設定レジスタ (TERMMD) のフォーマット ... 249
17 - 10	表示キャラクタ・レジスタ (DPCCONT) のフォーマット ... 250
17 - 11	各背景モード, 縁取りの表示例 ... 252
17 - 12	通常TVモード時と倍速モード時の表示例 ... 254
17 - 13	水平表示開始位置 ... 255
17 - 14	垂直表示開始位置 ... 255
17 - 15	VRAMの構成 ... 256
17 - 16	文字サイズ混在時の表示画面例 ... 257
17 - 17	ハーフ・ブランキング表示例 ... 258
17 - 18	VRAMインタフェース部ブロック図 ... 259
17 - 19	VRAM転送タイミング ... 260
18 - 1	ROMコレクションのブロック図 ... 264
18 - 2	コレクション・アドレス・レジスタ 0, 1 のフォーマット ... 264
18 - 3	コレクション・コントロール・レジスタ (CORCN) のフォーマット ... 266
18 - 4	EEPROMへの格納例 (修正箇所が 1 つの場合) ... 267
18 - 5	EEPROMとの接続例 (シリアル・インタフェース (IIC1) を使用した場合) ... 267
18 - 6	初期設定ルーチン ... 268
18 - 7	ROMコレクションの動作 ... 269
18 - 8	ROMコレクションの使用例 ... 269
18 - 9	プログラム遷移図 (修正箇所が 1 つの場合) ... 270
18 - 10	プログラム遷移図 (修正箇所が 2 つの場合) ... 271
19 - 1	割り込み機能の基本構成 ... 275
19 - 2	割り込み要求フラグ・レジスタ (IF0L, IF0H) のフォーマット ... 278
19 - 3	割り込みマスク・フラグ・レジスタ (MK0L, MK0H) のフォーマット ... 279
19 - 4	優先順位指定フラグ・レジスタ (PR0L, PR0H) のフォーマット ... 280
19 - 5	外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット ... 281
19 - 6	プログラム・ステータス・ワード (PSW) の構成 ... 282

## 図の目次 (5/5)

図番号	タイトル, ページ
19 - 7	ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート ... 284
19 - 8	ノンマスクابل割り込み要求の受け付けタイミング ... 284
19 - 9	ノンマスクابل割り込み要求の受け付け動作 ... 285
19 - 10	割り込み要求受け付け処理アルゴリズム ... 287
19 - 11	割り込み要求の受け付けタイミング (最小時間) ... 288
19 - 12	割り込み要求の受け付けタイミング (最大時間) ... 288
19 - 13	多重割り込みの例 ... 291
19 - 14	割り込み要求の保留 ... 293
20 - 1	発振安定時間選択レジスタ (OSTS) のフォーマット ... 296
20 - 2	HALTモードの割り込み要求発生による解除 ... 298
20 - 3	HALTモードの $\overline{\text{RESET}}$ 入力による解除 ... 299
20 - 4	STOPモードの割り込み要求発生による解除 ... 301
20 - 5	STOPモードの $\overline{\text{RESET}}$ 入力による解除 ... 302
21 - 1	リセット機能のブロック図 ... 304
21 - 2	$\overline{\text{RESET}}$ 入力によるリセット・タイミング ... 305
21 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 305
21 - 4	パワーオン・クリアによるリセット・タイミング ... 306
21 - 5	POCステータス・レジスタ (POCS) のフォーマット ... 309
21 - 6	POC電圧選択レジスタ (POCV) のフォーマット ... 309
22 - 1	メモリ・サイズ切り替えレジスタ (IMS) のフォーマット ... 312
22 - 2	内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット ... 313
22 - 3	通信方式選択フォーマット ... 314
22 - 4	3線式シリアルI/O方式でのFlashpro の接続 ... 315
22 - 5	疑似3線式でのFlashpro の接続 ... 316
★ 22 - 6	エリア・アドレス選択画面 ... 318
A - 1	開発ツール構成 ... 336
A - 2	TGK-080SDW 外形図 (参考) (単位: mm) ... 341

## 表の目次 (1/2)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプと未使用端子の処理 ... 40
3 - 1	ベクタ・テーブル ... 47
3 - 2	汎用レジスタの絶対アドレス対照表 ... 55
3 - 3	特殊機能レジスタ一覧 ... 58
4 - 1	ポートの機能 ... 76
4 - 2	ポートの構成 ... 77
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 88
5 - 1	クロック発生回路の構成 ... 93
5 - 2	CPUクロックの切り替えに要する最大時間 ... 99
6 - 1	8ビット・タイマ/イベント・カウンタ (TM5) の構成 ... 102
7 - 1	8ビット・タイマ (TM20) のインターバル時間 ... 119
7 - 2	8ビット・タイマ (TM20) の構成 ... 119
7 - 3	8ビット・タイマ (TM20) のインターバル時間 ... 122
8 - 1	8ビット・イベント・カウンタ (TM21) の構成 ... 127
9 - 1	8ビット・リモコン・タイマ (TM9) の構成 ... 135
10 - 1	ベーシック・タイマ (BTM1) の構成 ... 141
11 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 146
11 - 2	インターバル時間 ... 146
11 - 3	ウォッチドッグ・タイマの構成 ... 147
11 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 150
11 - 5	インターバル・タイマのインターバル時間 ... 151
12 - 1	A/Dコンバータの構成 ... 153
13 - 1	シリアル・インタフェース (IIC1) の構成 ... 173
13 - 2	シリアル・インタフェース (IIC1) の割り込み要求信号の発生 ... 177
13 - 3	I <sup>2</sup> Cバス・モードにおける各種の信号 ... 198
14 - 1	シリアル・インタフェース (SIO3) の構成 ... 214
15 - 1	8ビットPWMの構成 ... 221



## 表の目次 (2/2)

表番号	タイトル, ページ
16 - 1	14ビットPWMの構成 ... 229
16 - 2	PWM1端子の出力信号 ... 233
17 - 1	OSDコントローラの構成 ... 239
18 - 1	ROMコレクションの構成 ... 263
19 - 1	割り込み要因一覧 ... 274
19 - 2	割り込み要求ソースに対する各種フラグ ... 277
19 - 3	マスカブル割り込み要求発生から処理までの時間 ... 286
19 - 4	割り込み処理中に多重割り込み可能な割り込み要求 ... 290
20 - 1	HALTモード時の動作状態 ... 297
20 - 2	HALTモードの解除後の動作 ... 299
20 - 3	STOPモード時の動作状態 ... 300
20 - 4	STOPモードの解除後の動作 ... 302
21 - 1	各ハードウェアのリセット後の状態 ... 307
22 - 1	μPD178F048とマスクROM製品の違い ... 311
22 - 2	メモリ・サイズ切り替えレジスタの設定値 ... 312
22 - 3	通信方式一覧 ... 314
22 - 4	フラッシュ・メモリ・プログラミングの主な機能 ... 315
22 - 5	Flashpro (PG-FP3)での設定例 ... 317
23 - 1	オペランドの表現形式と記述方法 ... 320

[メモ]

# 第1章 概 説

## 1.1 特 徴

大容量ROM, RAM内蔵

品名	項目 プログラム・メモリ (ROM)	キャラクタROM (CROM)	データ・メモリ		ビデオRAM (VRAM)
			内部高速RAM	内部拡張RAM	
μ PD178046	48 Kバイト	6912バイト	512バイト	512バイト	432バイト
μ PD178048	60 Kバイト				
μ PD178F048	60 Kバイト (フラッシュ・メモリ)				

システム制御に適した命令セット

- ・全アドレス空間でビット処理可能
- ・乗除算命令内蔵

汎用入出力ポート：46本

8ビット分解能A/Dコンバータ：4チャンネル

シリアル・インタフェース：3チャンネル

- ・I<sup>2</sup>Cバス<sup>注</sup>・モード：2チャンネル
- ・3線式シリアルI/Oモード：1チャンネル

**注** I<sup>2</sup>Cバス・モードを使用した場合（周辺ハードウェアを使用せず、プログラムで実現した場合も含む）、マスク発注時に当社販売員に連絡してください。

タイマ：6チャンネル

- ・ベーシック・タイマ（タイマ・キャリー（100 Hz））：1チャンネル
- ・8ビット・タイマ/イベント・カウンタ：1チャンネル
- ・8ビット・タイマ：1チャンネル
- ・8ビット・イベント・カウンタ：1チャンネル
- ・8ビット・リモコン・タイマ：1チャンネル
- ・ウォッチドッグ・タイマ：1チャンネル

PWM出力：5チャンネル

- ・8ビットPWM出力：4チャンネル
- ・14ビットPWM出力：1チャンネル

OSD（On Screen Display）コントローラ内蔵

ROMコレクション内蔵

ベクタ割り込み要因：17

- ・マスカブル割り込み要因：16
- ・ソフトウェア割り込み要因：1

インストラクション・サイクル：0.4/0.8/1.6/3.2/6.4 μs（5.0 MHz水晶振動子使用）

電源電圧：V<sub>DD</sub> = 4.5 ~ 5.5 V

パワーオン・クリア回路内蔵

## 1.2 応用分野

TV

## ★ 1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD178046GK- x x x -BE9	80ピン・プラスチックTQFP ( 12 x 12 mm, 0.5 mmピッチ )	マスクROM
μ PD178048GK- x x x -BE9	"	"
μ PD178F048GK-BE9	"	フラッシュ・メモリ

**備考** x x xはROMコード番号です。またI<sup>2</sup>Cバス使用時はROMコード番号はE x xになります。

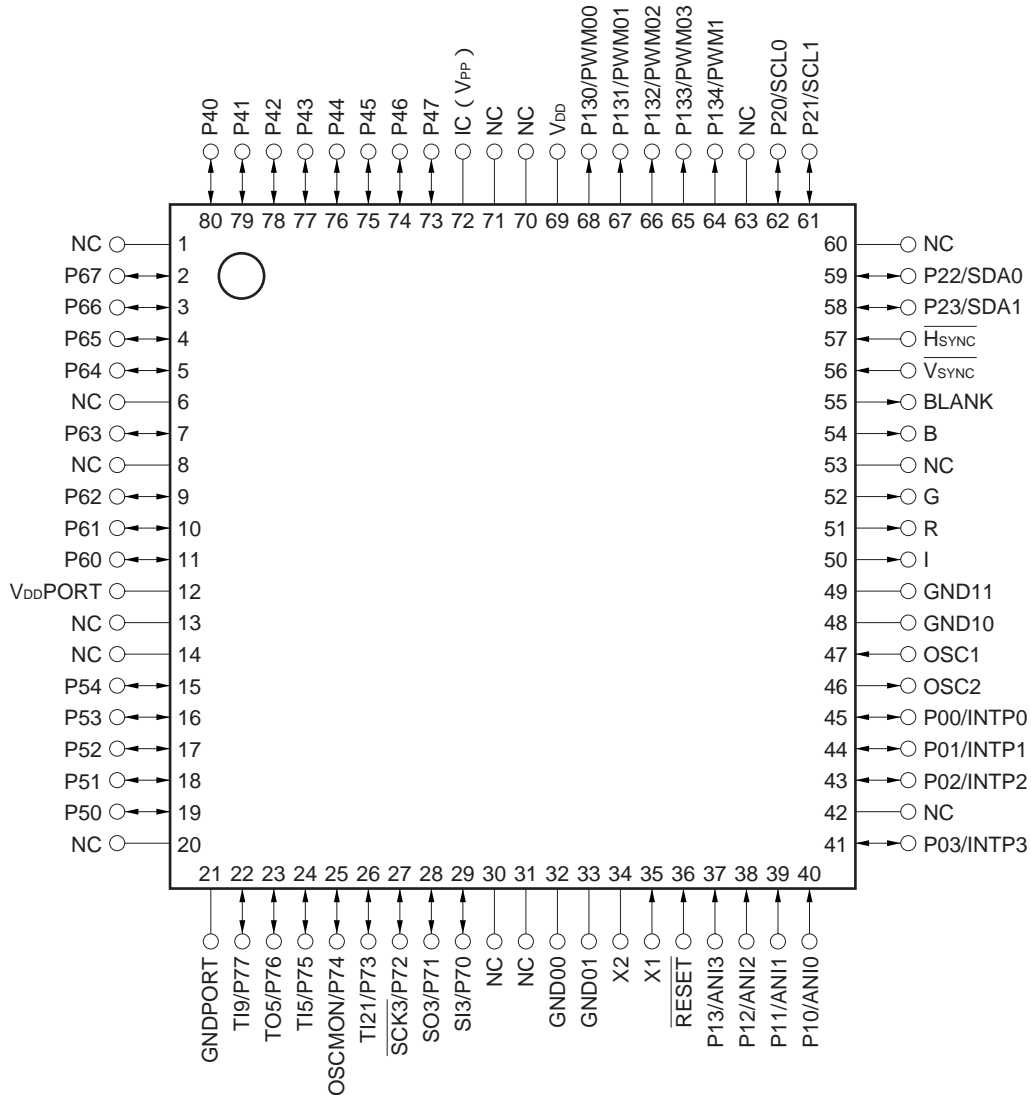
## 1.4 端子接続図 (Top View)

・ 80ピン・プラスチックTQFP (12×12 mm, 0.5 mmピッチ)

μ PD178046GK-x x x -BE9

μ PD178048GK-x x x -BE9

μ PD178F048GK-BE9



**注意 1** . IC (Internally Connected) , V<sub>PP</sub>端子は , GND00, GND01, GND10, GND11のいずれかに直接接続してください。

**2** . V<sub>DD</sub>PORT端子はV<sub>DD</sub>端子と同電位にしてください。

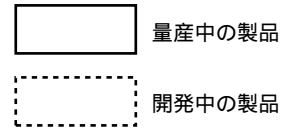
**3** . GNDPORT端子はGND00, GND01, GND10, GND11のいずれかと同電位にしてください。

**備考** ( ) 内は μ PD178F048のとき

端子名称

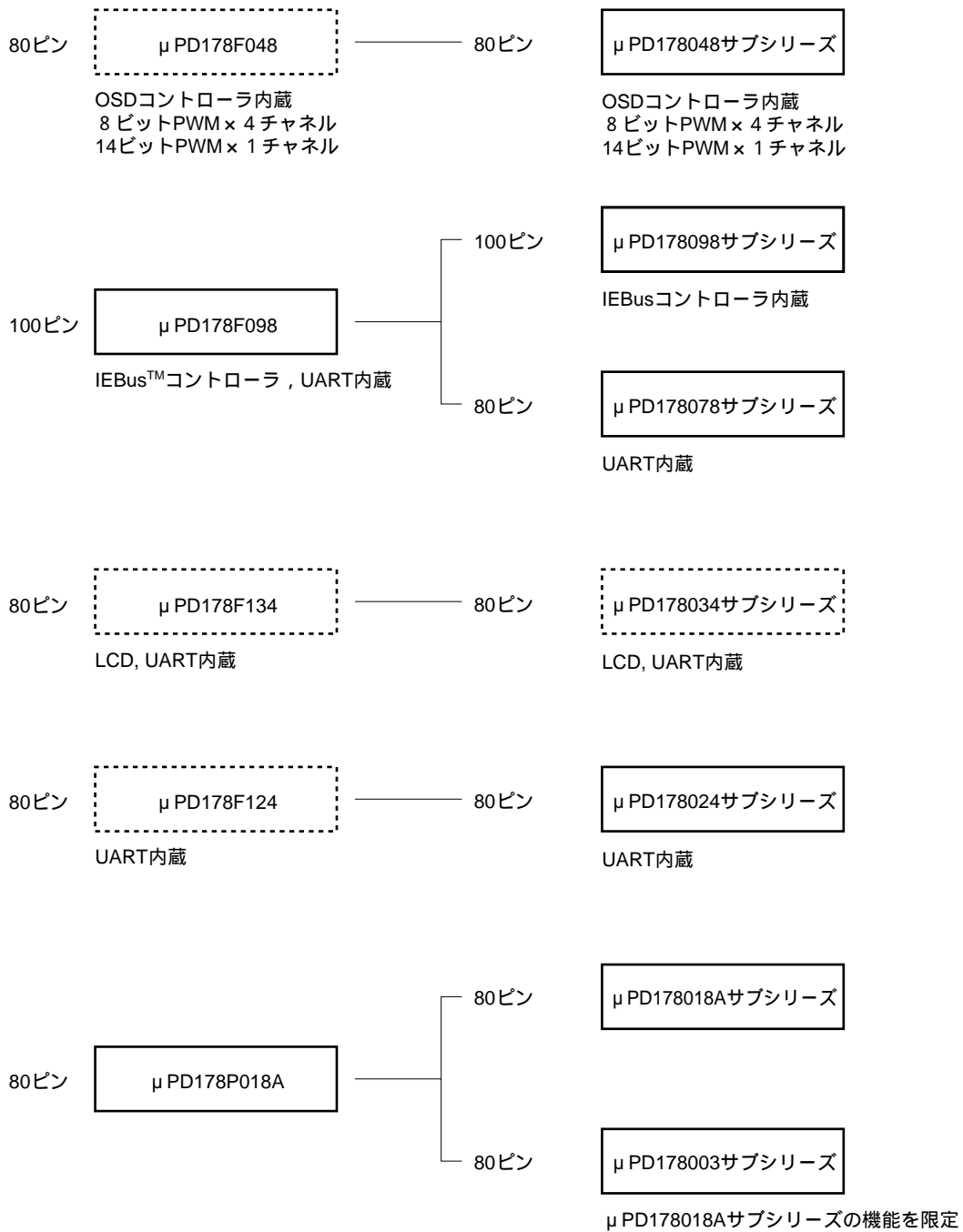
ANI0-ANI3	: A/Dコンバータ入力	P70-P77	: ポート7
B	: 文字信号出力	P130-P134	: ポート13
BLANK	: ブランキング信号出力	PWM00-PWM03	: 8ビットPWM出力
G	: 文字信号出力	PWM1	: 14ビットPWM出力
GND00, GND10,		R	: 文字信号出力
GND01, GND11	: グランド	$\overline{\text{RESET}}$	: リセット入力
GNDPORT	: ポート用グランド	$\overline{\text{SCK3}}$	: シリアル・クロック入力/出力
$\overline{\text{HSYNC}}$	: 水平同期信号入力	SCL0, SCL1	: シリアル・クロック入力/出力
I	: 文字信号出力	SDA0, SDA1	: シリアル・データ入力/出力
IC	: 内部接続	SI3	: シリアル・データ入力
INTP0-INTP3	: インタラプト入力	SO3	: シリアル・データ出力
NC	: ノンコネクション	TI5, TI9, TI21	: 8ビット・タイマ・クロック入力
OSC1, OSC2	: OSDドット・クロック発振用LC接続	TO5	: 8ビット・タイマ出力
OSCMON	: OSDクロック出力	V <sub>DD</sub>	: 電源
P00-P03	: ポート0	V <sub>DD</sub> PORT	: ポート用電源
P10-P13	: ポート1	V <sub>PP</sub>	: プログラミング電源
P20-P23	: ポート2	$\overline{\text{VSYNC}}$	: 垂直同期信号入力
P40-P47	: ポート4	X1, X2	: システム・クロック発振用水晶振動子 接続
P50-P54	: ポート5		
P60-P67	: ポート6		

★ 1.5 8ビットDTSSシリーズの展開

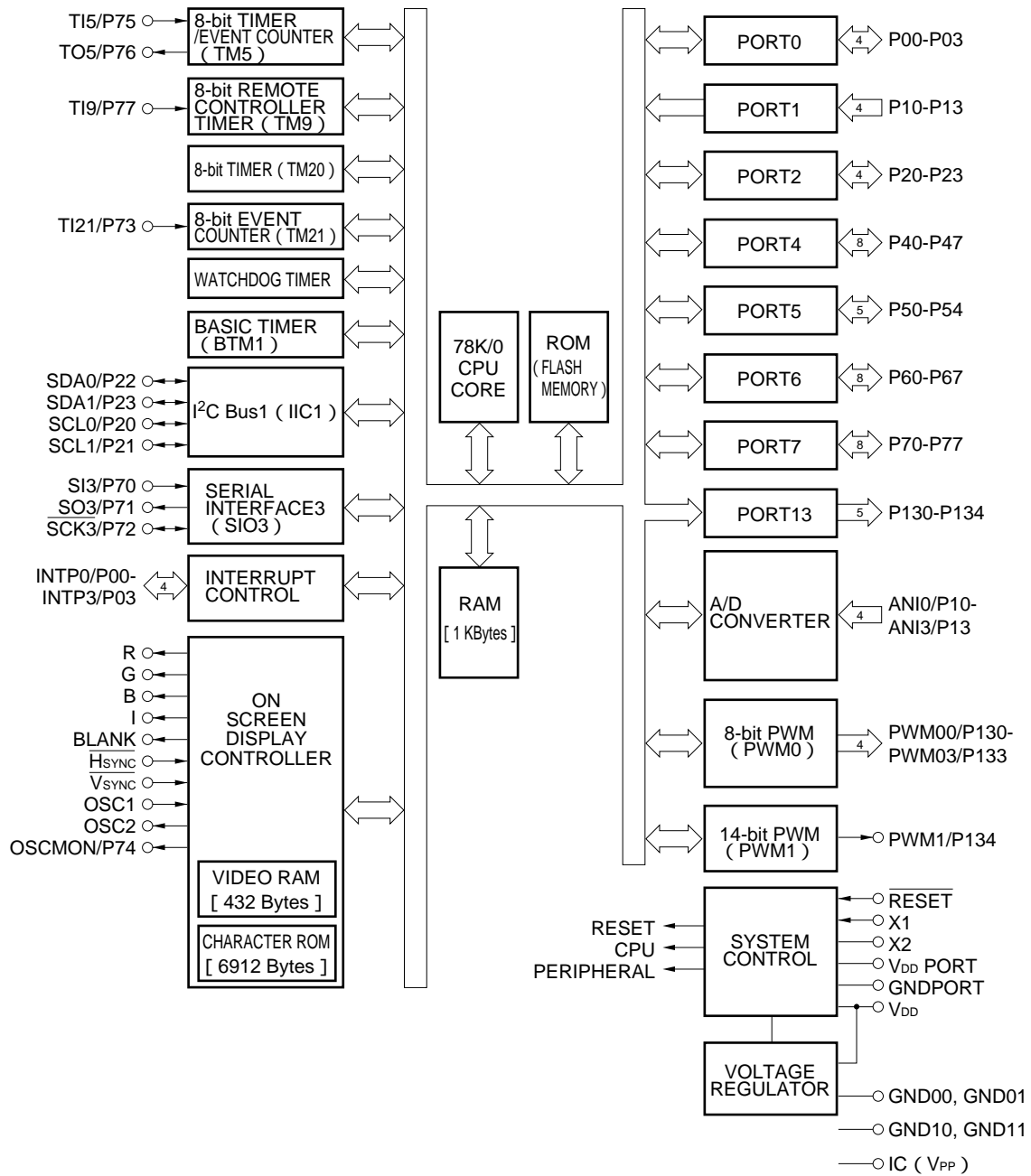


フラッシュ・メモリ製品  
またはPROM製品

マスクROM製品



★ 1.6 ブロック図



備考1 . 内部ROM容量は製品によって異なります。

2 . ( ) はμPD178F048のとき



## 1.7 機能概要

(1/2)

項目		品名	μ PD178046	μ PD178048	μ PD178F048
内部メモリ	ROM		48 Kバイト (マスクROM)	60 Kバイト (マスクROM)	60 Kバイト (フラッシュ・メモリ)
	キャラクタROM (CROM)		6912バイト (256キャラクタ)		
	高速RAM		512バイト		
	拡張RAM		512バイト		
	ビデオRAM (VRAM)		432バイト (最大12×24文字)		
汎用レジスタ			8ビット×32レジスタ (8ビット×8レジスタ×4バンク)		
最小命令実行時間			0.4 μs/0.8 μs/1.6 μs/3.2 μs/6.4 μs (5.0 MHz水晶振動子使用)		
命令セット			<ul style="list-style-type: none"> <li>・16ビット演算</li> <li>・乗除算 (8ビット×8ビット, 16ビット÷8ビット)</li> <li>・ビット操作 (セット, リセット, テスト, プール演算)</li> <li>・BCD補正 など</li> </ul>		
I/Oポート			合計 : 46本 <ul style="list-style-type: none"> <li>・CMOS入力 : 4本</li> <li>・CMOS入出力 : 37本</li> <li>・N-chオープン・ドレイン出力 : 5本</li> </ul>		
A/Dコンバータ			8ビット分解能×4チャンネル		
シリアル・インタフェース			<ul style="list-style-type: none"> <li>・I<sup>2</sup>Cバス・モード<sup>注</sup> : 2チャンネル (シフト・レジスタ: 1チャンネル)</li> <li>・3線式シリアルI/Oモード : 1チャンネル</li> </ul>		
タイマ			<ul style="list-style-type: none"> <li>・ベーシック・タイマ (タイマ・キャリー (100 Hz)) : 1チャンネル</li> <li>・8ビット・タイマ/イベント・カウンタ : 1チャンネル</li> <li>・8ビット・タイマ : 1チャンネル</li> <li>・8ビット・イベント・カウンタ : 1チャンネル</li> <li>・8ビット・リモコン・タイマ : 1チャンネル</li> <li>・ウォッチドッグ・タイマ : 1チャンネル</li> </ul>		

注 I<sup>2</sup>Cバス方式を使用した場合 (周辺ハードウェアを使用せず, プログラムで実現した場合も含む), マスク発注時に当社販売員に連絡してください

項目		品名	μ PD178046	μ PD178048	μ PD178F048
PWM出力			<ul style="list-style-type: none"> <li>・ 8ビットPWM × 4チャンネル</li> <li>・ 14ビットPWM × 1チャンネル</li> </ul>		
OSD コントローラ	表示文字数		1画面最大288文字(12行×24桁)		
	文字の種類		256種類(CROMに内蔵)		
	文字形式		12(幅)×18(高さ)ドット		
	文字サイズ		1×1, 2×2, 3×3, 4×4から選択可能		
	文字色		8色		
	文字枠		画面単位で、文字枠あり/なしを選択可能		
	背景		背景なし/ヌキ/ベタを選択可能。また背景色(8色)の指定可能。		
	ハーフ・ブランキング		文字単位で指定可能		
ROMコレクション			2箇所		
ベクタ 割り込み 要因	マスカブル		内部: 11, 外部: 5		
	ノンマスカブル		内部: 1		
	ソフトウェア		1		
スタンバイ機能			<ul style="list-style-type: none"> <li>・ HALTモード</li> <li>・ STOPモード</li> </ul>		
リセット			<ul style="list-style-type: none"> <li>・ RESET端子によるリセット</li> <li>・ ウォッチドッグ・タイマによる内部リセット</li> <li>・ パワーオン・クリア回路によるリセット <ul style="list-style-type: none"> <li>・ 4.5V<sup>注</sup>未満または3.5V<sup>注</sup>未満の検出(CPU動作時および電源電圧投入時)</li> <li>・ パワーオン・クリア電圧を選択可能(4.5V/3.5V)</li> </ul> </li> </ul>		
電源電圧			V <sub>DD</sub> = 4.5 ~ 5.5 V		
★	パッケージ		80ピン・プラスチックTQFP(12×12mm, 0.5mmピッチ)		

注 これらの電圧は最大値であり、実際にはそれぞれの電圧より低い電圧でリセットがかかります(第21章 リセット機能を参照)。

## 第2章 端子機能

### 2.1 端子機能一覧

#### (1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00-P03	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	INTP0-INTP3
P10-P13	入力	ポート1。 4ビット入力ポート。	入力	ANI0-ANI3
P20, P21	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	SCL0, SCL1
P22, P23				SDA0, SDA1
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	-
P50-P54	入出力	ポート5。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	-
P60-P67	入出力	ポート6。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	-
P70	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	SI3
P71				SO3
P72				SCK3
P73				TI21
P74				OSCMON
P75				TI5
P76				TO5
P77				TI9
P130-P133	出力	ポート13。 5ビット出力ポート。 N-chオープン・ドレイン出力ポート(5V耐圧)。	ロウ・レベル出力	PWM00-PWM03
P134				PWM1

## (2) ポート以外の端子

端子名称	入出力	機能		リセット時	兼用端子
INTP0-INTP3	入力	有効エッジ(立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部マスカブル割り込み入力		入力	P00-P03
SI3	入力	シリアル・インタフェースのシリアル・データ入力		入力	P70
SO3	出力	シリアル・インタフェースのシリアル・データ出力		入力	P71
SDA0, SDA1	入出力	シリアル・インタフェースのシリアル・データ入力/出力	N-chオープン・ドレイン入出力	入力	P22, P23
SCK3	入出力	シリアル・インタフェースのシリアル・クロック入力/出力		入力	P72
SCL0, SCL1	入出力	N-chオープン・ドレイン入出力		入力	P20, P21
TI5	入力	8ビット・タイマ/イベント・カウンタ(TM5)への外部カウント・クロック入力		入力	P75
TI9		8ビット・リモコン・タイマ(TM9)への外部カウント・クロック入力			P77
TI21		8ビット・イベント・カウンタ(TM21)への外部カウント・クロック入力			P73
TO5	出力	8ビット・タイマ/イベント・カウンタ(TM5)出力		入力	P76
ANI0-ANI3	入力	A/Dコンバータのアナログ入力		入力	P10-P13
PWM00-PWM03	出力	8ビットPWM出力	N-chオープン・ドレイン入出力	ロウ・レベル出力	P130-P133
PWM1		14ビットPWM出力			
OSCMON	出力	OSDクロック出力		入力	P74
$\overline{V}_{SYNC}$	入力	OSD垂直同期信号入力		入力	-
$\overline{H}_{SYNC}$		OSD水平同期信号入力			-
R	出力	OSDキャラクタおよび背景のRED出力		ロウ・レベル出力	-
G		OSDキャラクタおよび背景のGREEN出力			-
B		OSDキャラクタおよび背景のBLUE出力			-
I		OSDキャラクタおよび背景のヌキ・モード時の文字背景出力			-
BLANK		OSDブランキング信号出力			-
$\overline{RESET}$	入力	システム・リセット入力		-	-
X1	入力	システム・クロック発振用水晶振動子接続		-	-
X2	-			-	-
OSC1	入力	OSDドット・クロック発振用LC接続		-	-
OSC2	出力			-	-
V <sub>DD</sub>	-	正電源		-	-
GND00, GND10, GND01, GND11	-	グラウンド		-	-
V <sub>DD</sub> PORT	-	ポート用正電源		-	-
GNDPORT	-	ポート用グラウンド		-	-
NC	-	内部に接続していません。GND00, GND01, GND10, GND11のいずれかに接続(オープンも可)してください。		-	-
IC	-	内部接続されています。GND00, GND01, GND10, GND11のいずれかに直接接続してください		-	-
V <sub>PP</sub>	-	プログラム書き込み/ベリファイ時の高電圧印加。通常動作モード時はGND00, GND01, GND10, GND11のいずれかに直接接続してください。		-	-

## 2.2 端子機能の説明

### 2.2.1 P00-P03 (Port0)

4ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

4ビットの入出力ポートとして機能します。

ポート・モード・レジスタ0 (PM0) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

#### (2) コントロール・モード

外部割り込み要求入力端子 (INTP0-INTP3) として機能します。

INTP0-INTP3は、有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

### 2.2.2 P10-P13 (Port1)

4ビットの入力ポートです。入力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

4ビットの入力ポートとして機能します。

#### (2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI3) として機能します。

### 2.2.3 P20-P23 (Port2)

4ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。

## (2) コントロール・モード

シリアル・インタフェースのデータ入出力，クロック入出力として機能します。

### (a) SDA0, SDA1

シリアル・インタフェース (IIC1) のシリアル・データの入出力端子です。

### (b) SCL0, SCL1

シリアル・インタフェース (IIC1) のシリアル・クロックの入出力端子です。

## 2.2.4 P40-P47 (Port4)

8ビットの入出力ポートです。

ポート・モード・レジスタ4 (PM4) により，1ビット単位で入力ポートまたは出力ポートに指定できます。

## 2.2.5 P50-P54 (Port5)

5ビットの入出力ポートです。

ポート・モード・レジスタ5 (PM5) により，1ビット単位で入力ポートまたは出力ポートに指定できます。

## 2.2.6 P60-P67 (Port6)

8ビットの入出力ポートです。

ポート・モード・レジスタ6 (PM6) により，1ビット単位で入力ポートまたは出力ポートに指定できます。

## 2.2.7 P70-P77 (Port7)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力，OSDクロック出力機能があります。

### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) により，1ビット単位で入力ポートまたは出力ポートに指定できます。

### (2) コントロール・モード

シリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力，OSDクロックの出力として機能します。

#### (a) SI3, SO3

シリアル・インタフェースのシリアル・データ入出力端子です。

#### (b) $\overline{\text{SCK3}}$

シリアル・インタフェースのシリアル・クロック入出力端子です。

#### (c) TI9

8ビット・リモコン・タイマの入力端子です。

**(d) TI5, TI21**

8ビット・タイマ/イベント・カウンタへの入力端子です。

**(e) TO5**

タイマ出力端子です。

**(f) OSCMON**

OSDクロック出力端子です。

**2.2.8 P130-P134 (Port13)**

5ビットの出力ポートです。出力ポートのほかにPWM出力機能があります。

1ビット単位で次のような動作モードを指定できます。

**(1) ポート・モード**

5ビットの出力ポートとして機能します。

**(2) コントロール・モード**

PWMの出力 (PWM00-PWM03, PWM1) として機能します。

**2.2.9  $\overline{V}_{\text{SYNC}}$** 

OSD垂直同期信号の入力端子です。

**2.2.10  $\overline{H}_{\text{SYNC}}$** 

OSD水平同期信号の入力端子です。

**2.2.11 R**

OSDキャラクタおよび背景のRED出力端子です。

**2.2.12 G**

OSDキャラクタおよび背景のGREEN出力端子です。

**2.2.13 B**

OSDキャラクタおよび背景のBLUE出力端子です。

**2.2.14 I**

背景ヌキ・モード時の文字背景出力端子です。

**2.2.15 BLANK**

OSDブランキング信号出力端子です。

**2.2.16 OSC1, OSC2**

OSD用ドット・クロック発振用LC接続端子です。

### 2.2.17 $\overline{\text{RESET}}$

ロウ・アクティブのシステム・リセット入力端子です。

### 2.2.18 X1, X2

システム・クロック発振用水晶振動子接続端子です。

### 2.2.19 $V_{DD}$

正電源供給端子です。

### ★ 2.2.20 GND00, GND10, GND01, GND11

グランド電位端子です。

### 2.2.21 $V_{DDPORT}$

ポート用正電源供給端子です。 $V_{DD}$ 端子と同電位にしてください。

### 2.2.22 GNDPORT

ポート用グランド電位端子です。GND端子<sup>注</sup>と同電位にしてください。

### 2.2.23 NC

NC ( Non-connection ) は内部接続をしていません。GND端子<sup>注</sup>に接続してください ( オープンも可能 ) 。

### 2.2.24 $V_{PP}$ ( $\mu$ PD178F048のみ )

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

通常動作モード時は、GND端子<sup>注</sup>に直接接続してください。

注 GND端子とは、GND00, GND10, GND01, GND11端子のいずれかを指します。

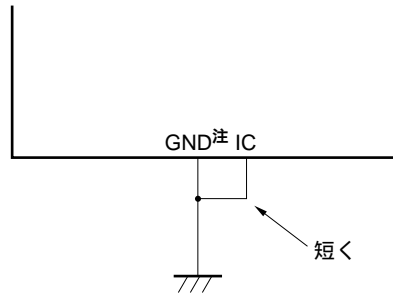


### 2.2.25 IC (マスクROM製品のみ)

IC (Internally Connected) 端子は、当社出荷時に  $\mu$ PD178048 サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をGND端子<sup>注</sup>に直接接続し、その配線長を極力短くしてください。

IC端子とGND端子<sup>注</sup>間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とGND端子<sup>注</sup>間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をGND端子<sup>注</sup>に直接接続してください。



注 GND端子とは、GND00, GND10, GND01, GND11端子のいずれかを指します。

## 2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2-1に示します。

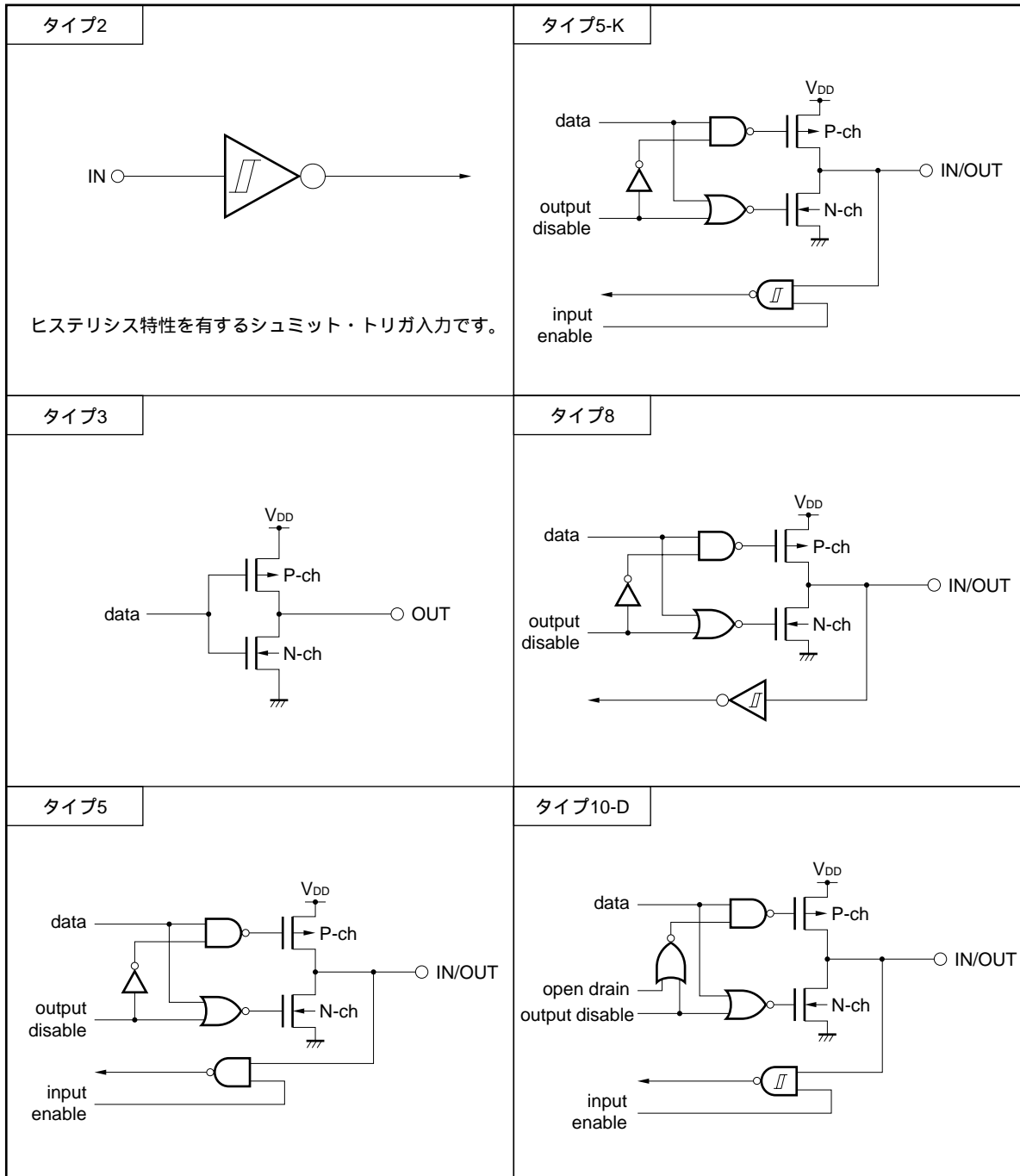
また、各タイプの入出力回路の構成は、図2-1を参照してください。

★

表2-1 各端子の入出力回路タイプと未使用端子の処理

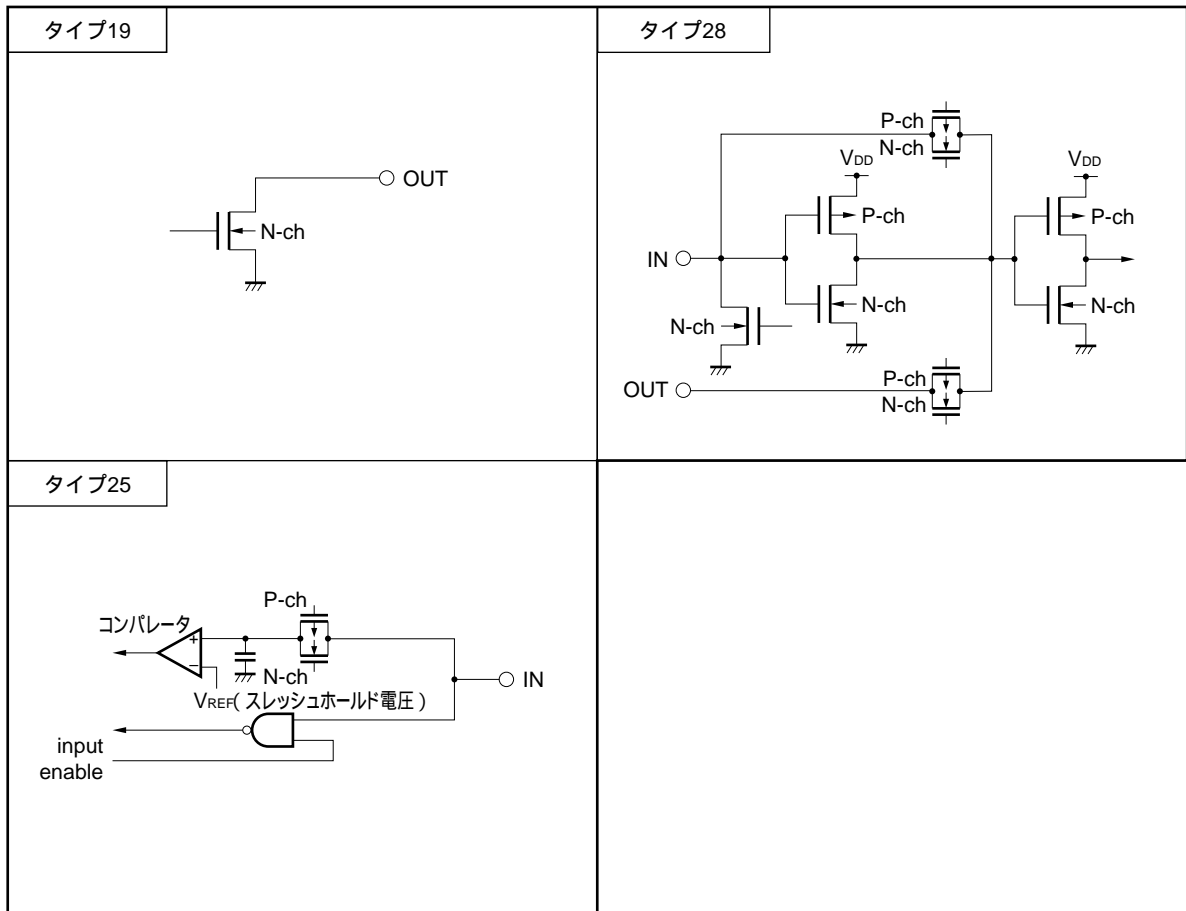
端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0-P03/INTP3	8	入出力	ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介して、GND00, GND10, GND01, GND11, GNDPORTのいずれかに接続してください。
P10/ANI0-P13/ANI3	25	入力	個別に抵抗を介して、V <sub>DD</sub> , V <sub>DD</sub> PORT, GND00, GND10, GND01, GND11, GNDPORTのいずれかに接続してください。
P20/SCL0, P21/SCL1 P22/SDA0, P23/SDA1	10-D	入出力	ソフトウェアで汎用入力ポートに設定して、個別に抵抗を介して、V <sub>DD</sub> , V <sub>DD</sub> PORT, GND00, GND10, GND01, GND11, GNDPORTのいずれかに接続してください。
P40-P47	5		
P50-P54			
P60-P67			
P70/SI3	5-K		
P71/SO3	5		
P72/SCK3	5-K		
P73/TI21			
P74/OSCMON	5		
P75/TI5	5-K		
P76/TO5	5		
P77/TI9	5-K		
P130/PWM00 -P133/PWM03 P134/PWM1	19	出力	ソフトウェアでロウ・レベル出力に設定して、オープンにしてください。
$\overline{V}_{SYNC}$ H <sub>SYNC</sub>	2	入力	個別に抵抗を介して、GND00, GND10, GND01, GND11のいずれかに接続してください。
R G B I BLANK	3	出力	ソフトウェアでOSD表示をオフに設定してから、オープンにしてください。
RESET	2	入力	-
OSC1	28	入力	ソフトウェアでLC発振をオフに設定してから、オープンにしてください。
OSC2		出力	オープンにしてください。
IC V <sub>PP</sub> (μPD178F048のみ)	-	-	GND00, GND10, GND01, GND11のいずれかに直接接続してください。

図2-1 端子の入出力回路一覧(1/2)



**備考** V<sub>DD</sub>およびGNDは、すべてポート部への正電源およびグランド電位です。それぞれV<sub>DD</sub>PORT、GNDPORTと読み替えてください。

図2 - 1 端子の入出力回路一覧 (2/2)



**備考**  $V_{DD}$ およびGNDは、すべてポート部への正電源およびグランド電位です。それぞれ $V_{DD}PORT$ ,  $GNDPORT$ と読み替えてください。

## 第3章 CPUアーキテクチャ

### 3.1 メモリ空間

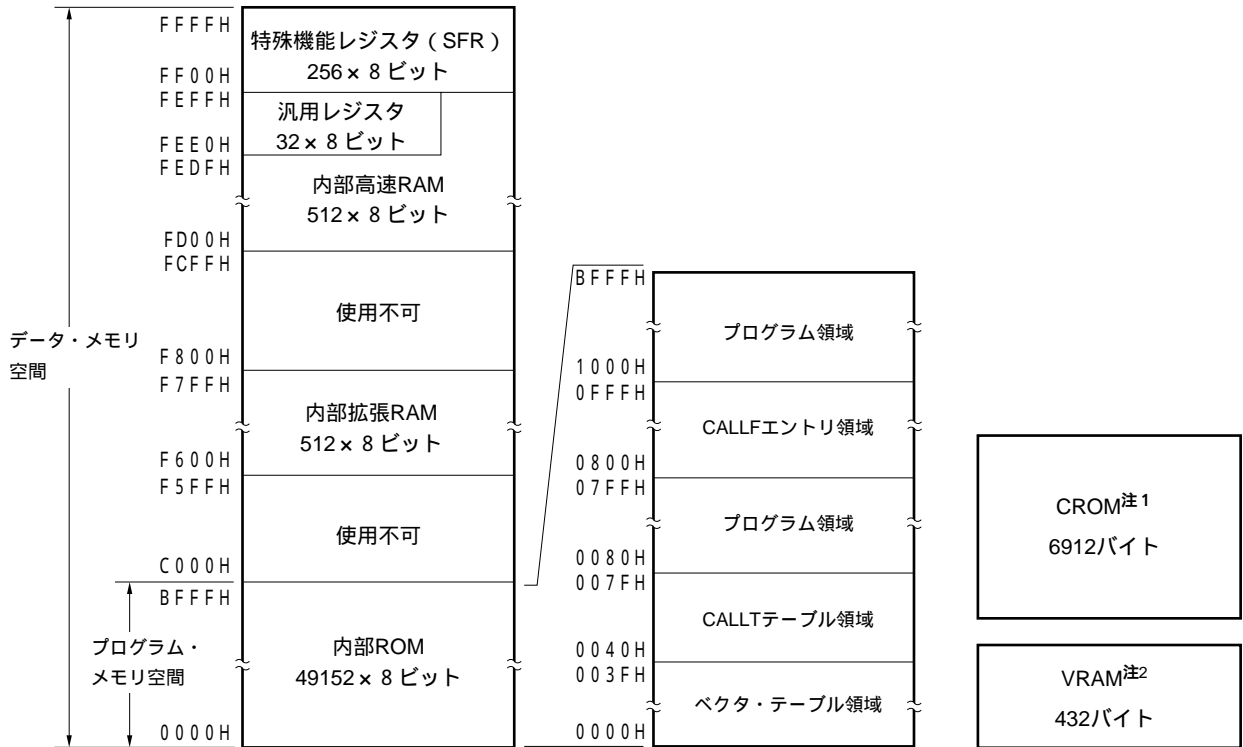
メモリ・サイズ切り替えレジスタ（IMS）と内部拡張RAMサイズ切り替えレジスタ（IXS）の初期値は、それぞれCFH, 0CHですが、各製品ごとに次に示す値を設定する必要があります。

製品名	IMS	IXS
μ PD178046	4CH	0BH
μ PD178048	4FH	
μ PD178F048	マスクROM製品に対応した値	

(1)  $\mu$ PD178046

メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) の値をそれぞれ 4CH, 0BH に設定して使用してください (初期値は, CFH, 0CH)。

図3 - 1 メモリ・マップ ( $\mu$ PD178046)



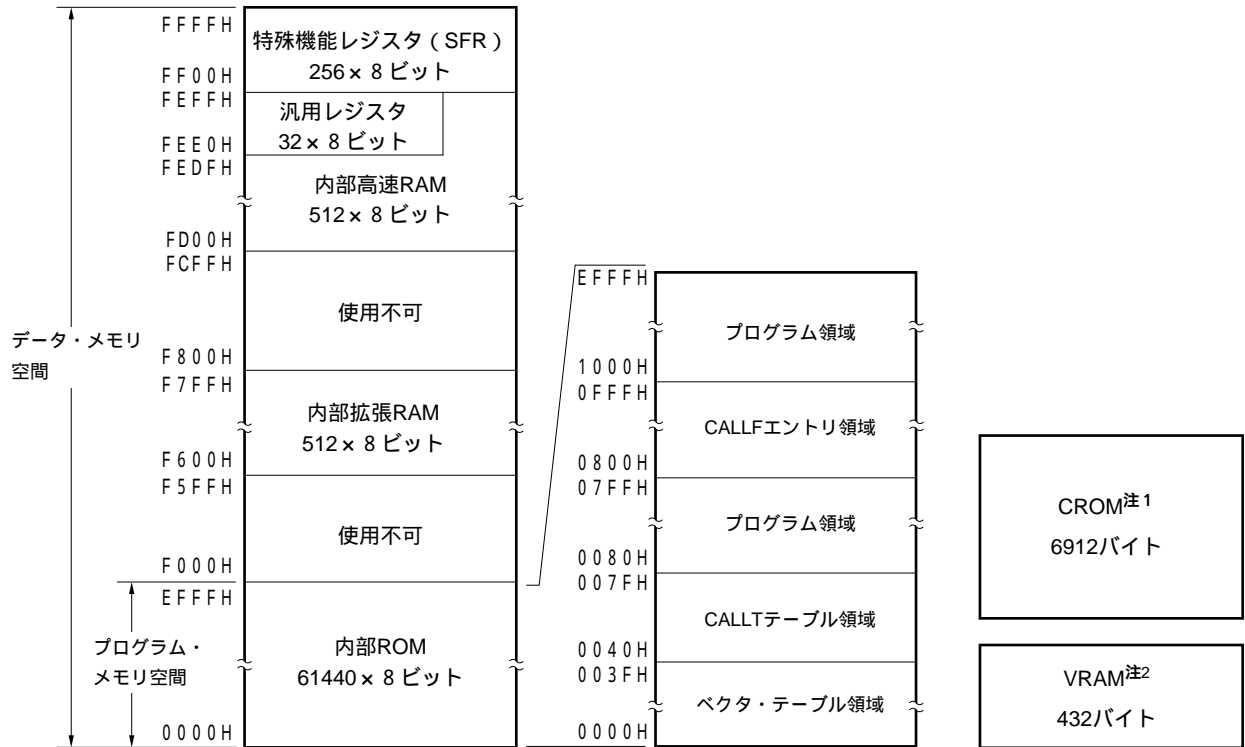
注1 . CROMはプログラムではリードできません。

2 . VRAMはSFRを介してライトできます。

(2)  $\mu$ PD178048

メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) の値をそれぞれ 4FH, 0BH に設定して使用してください (初期値は, CFH, 0CH)。

図3 - 2 メモリ・マップ ( $\mu$ PD178048)



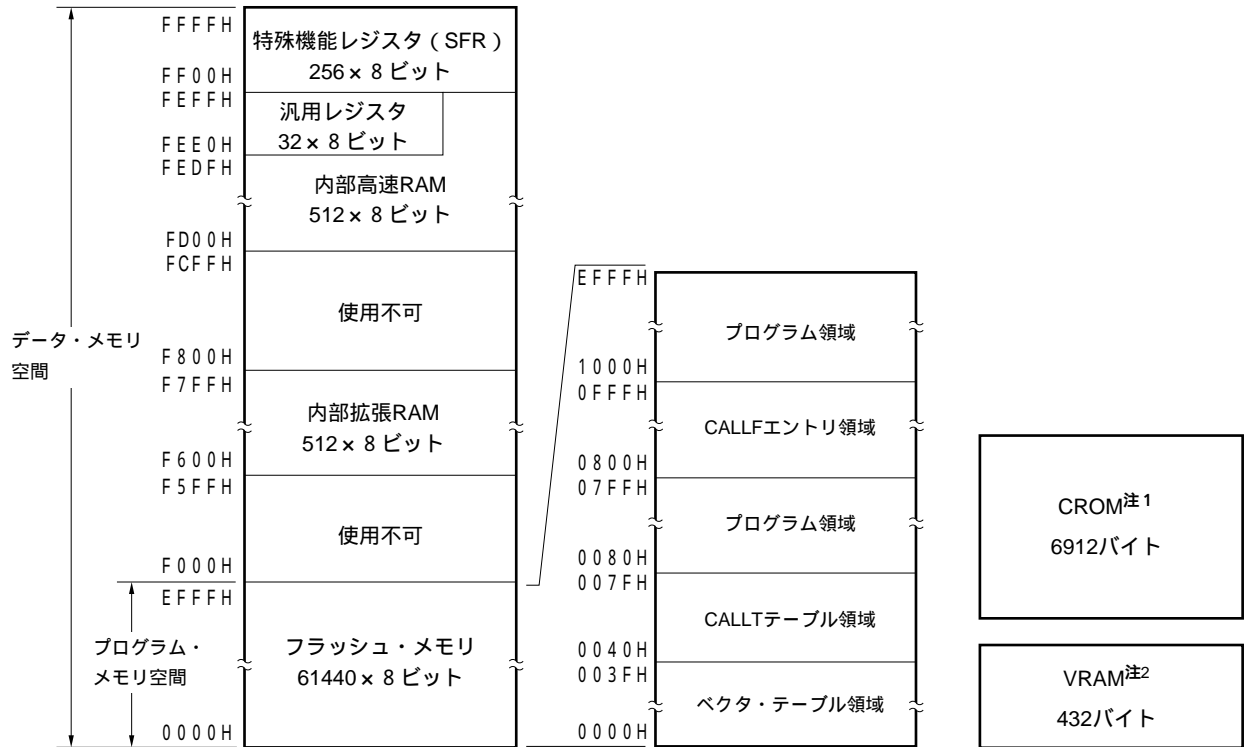
注1 . CROMはプログラムではリードできません。

2 . VRAMはSFRを介してライトできます。

(3)  $\mu$ PD178F048

メモリ・サイズ切り替えレジスタ (IMS) の値をマスクROM製品に対応した値に、内部拡張RAMサイズ切り替えレジスタ (IXS) の値を0BHに設定して使用してください (初期値は、CFH, 0CH)。

図3 - 3 メモリ・マップ ( $\mu$ PD178F048)



注1 . CROMはプログラムではリードできません。

2 . VRAMはSFRを介してライトできます。



### 3.1.1 内部プログラム・メモリ空間

μPD178046は49152×8ビット，μPD178048は61440×8ビット構成のマスクROM，μPD178F048は61440×8ビット構成のフラッシュ・メモリとなっています。プログラムおよびテーブル・データなどを格納します。通常，プログラム・カウンタ（PC）でアドレスします。

内部プログラム・メモリ空間には，次に示す領域を割り付けています。

#### (1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット入力，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

表3 - 1 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因
0000H	リセット入力
0004H	INTWDT
0006H	INTP0
0008H	INTP1
000AH	INTP2
000CH	INTP3
000EH	INTTM90
0010H	INTTM91
0012H	INTVSYNC
0014H	INTTM21
0016H	INTIIC1
0018H	INTTM92
001AH	INTCSI3
001CH	INTTM5
001EH	INTTM20
0020H	INTBTM1
0022H	INTAD
003EH	BRK

### (2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納できます。

### (3) CALLF命令エントリ領域

0800H-0FFFHの領域は、2バイト・コール命令(CALLF)で直接サブルーチン・コールできます。

## 3.1.2 内部データ・メモリ空間

μPD178048サブシリーズは、次に示すRAMを内蔵しています。

### (1) 内部高速RAM

512×8ビット構成となっています。このうちFEE0H-FEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられています。

また、内部高速RAMはスタック・メモリ領域としても使用できます。

### (2) 内部拡張RAM

F600H-F7FFHの512バイトの領域に、内部拡張RAMが割り付けられています。

## 3.1.3 特殊機能レジスタ(SFR: Special Function Register)領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ(SFR)が割り付けられています(3.2.3 特殊機能レジスタ(SFR: Special Function Register)の表3-3 特殊機能レジスタ一覧参照)。

**注意** SFRを割り付けていないアドレスをアクセスしないでください。

### 3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

次に実行する命令のアドレスはプログラム・カウンタ（PC）によりアドレスされます（詳細については、3.3 命令アドレスのアドレッシングを参照してください）。

一方、命令を実行する際に操作対象となるメモリのアドレッシングについて、μPD178048サブシリーズでは、その操作性などを考慮して豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域（FD00H-FFFFH）では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 4から図3 - 6にデータ・メモリのアドレッシングを示します。各アドレッシングの詳細については、3.4 オペランド・アドレスのアドレッシングを参照してください。

図3 - 4 データ・メモリのアドレッシング（μPD178046）

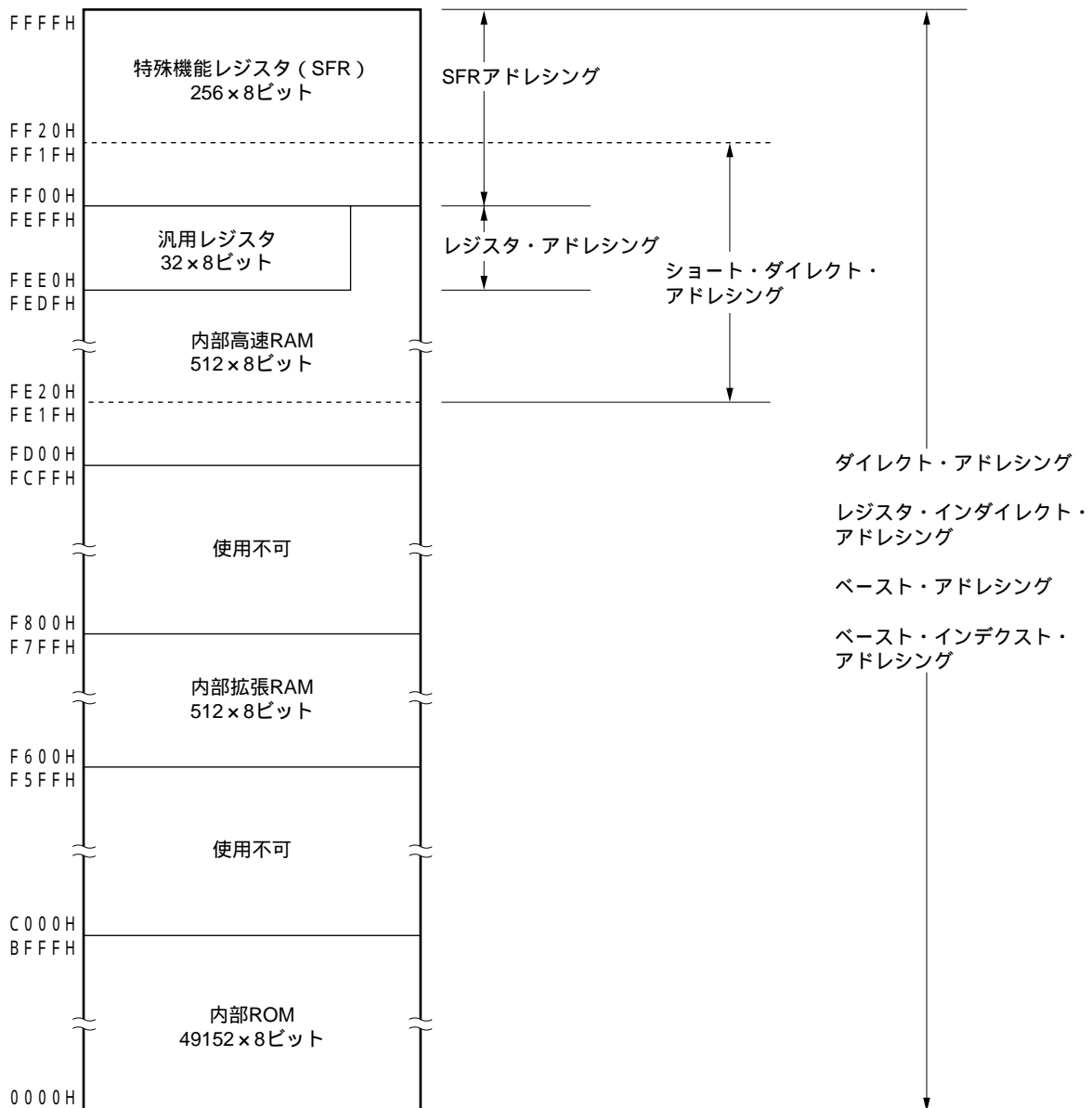


図3-5 データ・メモリのアドレッシング (μPD178048)

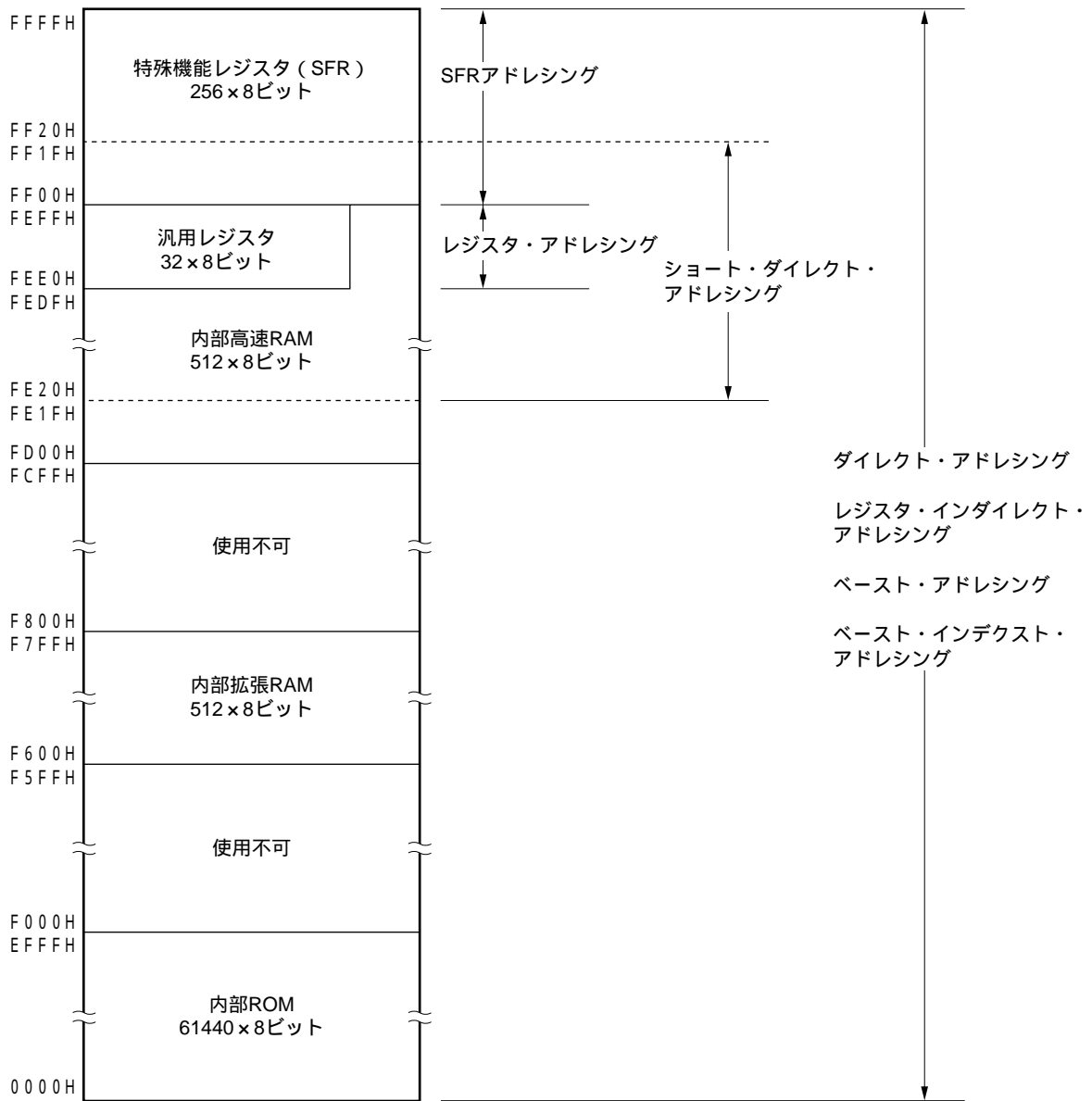
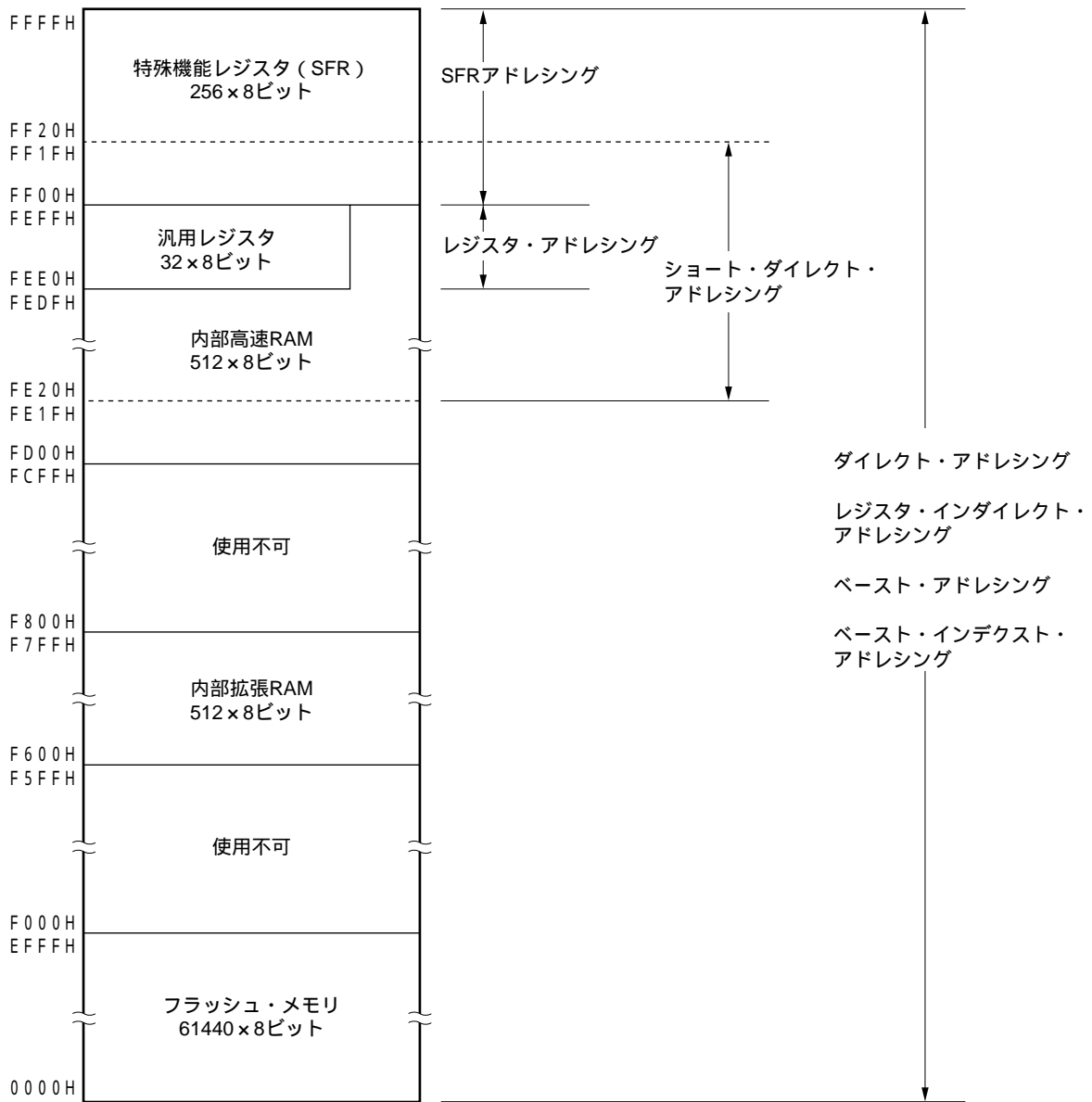


図3 - 6 データ・メモリのアドレッシング (μPD178F048)



## 3.2 プロセッサ・レジスタ

μPD178048サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

### 3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

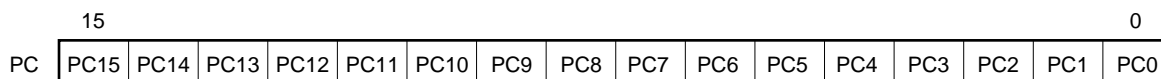
#### （1）プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 7 プログラム・カウンタの構成



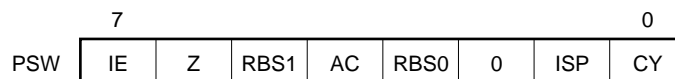
#### （2）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB, RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

リセット入力により、02Hになります。

図3 - 8 プログラム・ステータス・ワードの構成



**(a) 割り込み許可フラグ (IE)**

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクブル割り込み以外の割り込み要求はすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このとき割り込み要求の受け付けは、インサース・プライオリティ・フラグ (ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込み要求の受け付けでリセット (0) され、EI命令の実行によりセット (1) されます。

**(b) ゼロ・フラグ (Z)**

演算結果がゼロのときセット (1) され、それ以外の際にリセット (0) されるフラグです。

**(c) レジスタ・バンク選択フラグ (RBS0, RBS1)**

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

**(d) 補助キャリー・フラグ (AC)**

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外の際にリセット (0) されるフラグです。

**(e) インサース・プライオリティ・フラグ (ISP)**

受け付け可能なマスクブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ (PR0L, PR0H) (19.3 (3) 優先順位指定フラグ・レジスタ (PR0L, PR0H) 参照) で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

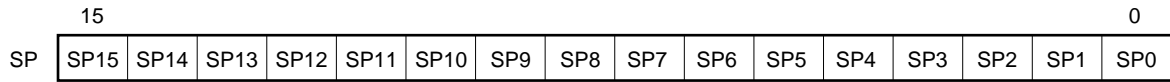
**(f) キャリー・フラグ (CY)**

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域 (FD00H-FEFFFH) のみ設定可能です。

図3 - 9 スタック・ポインタの構成



スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ, スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 10, 3 - 11のようになります。

**注意** SPの内容はリセット入力により, 不定になりますので, 必ず命令実行前にイニシャライズしてください。

図3 - 10 スタック・メモリへ退避されるデータ

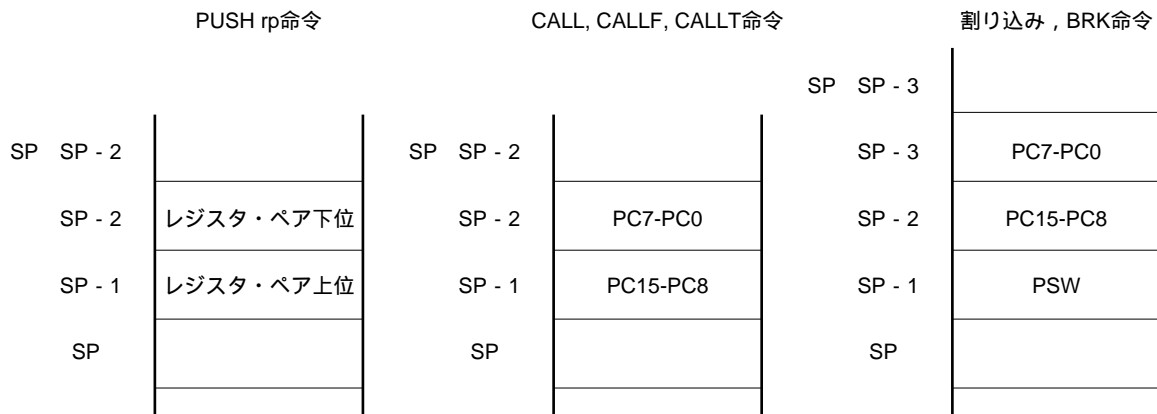
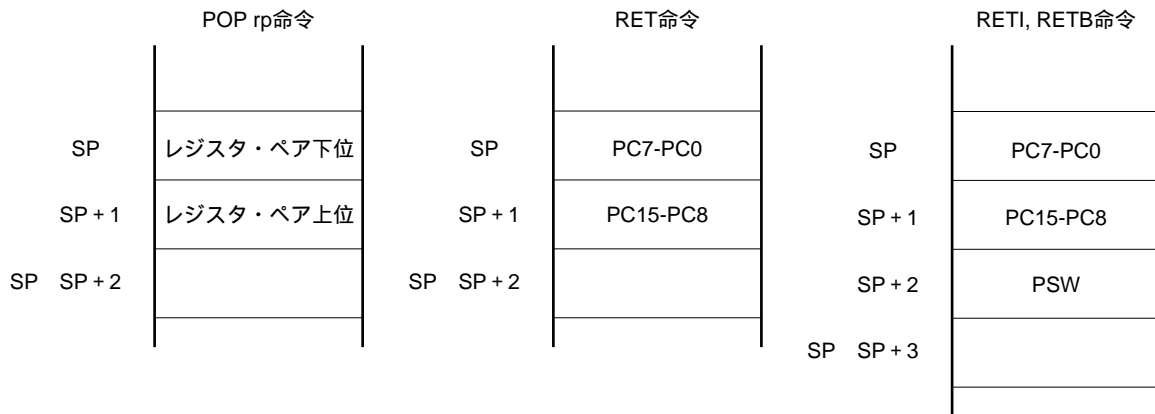




図3 - 11 スタック・メモリから復帰されるデータ



### 3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地（FEE0H-FEFFH）にマッピングされており、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

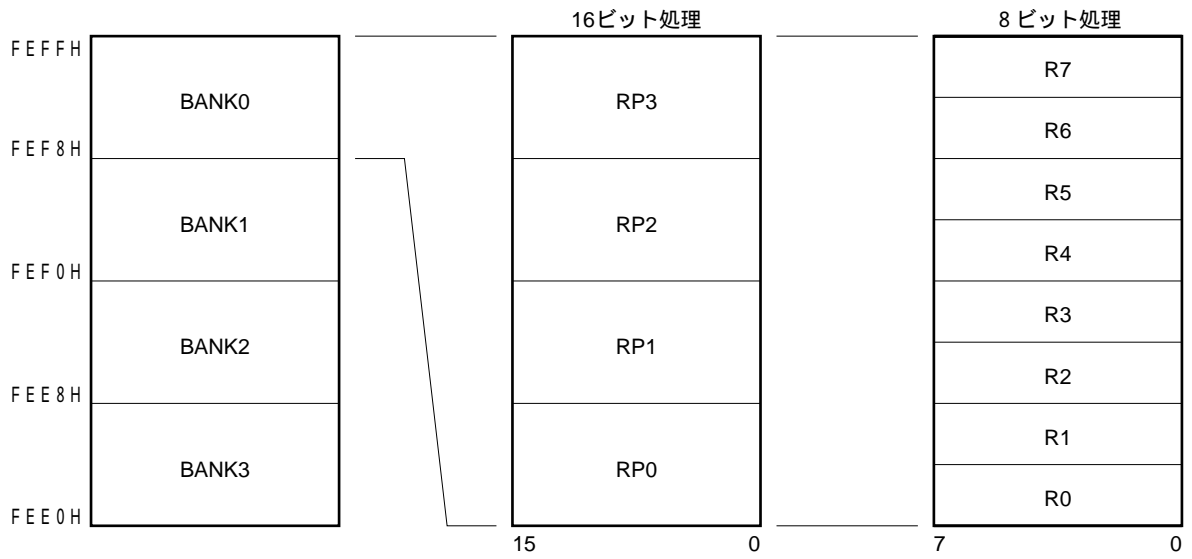
命令実行時に使用するレジスタ・バンクは、CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

表3 - 2 汎用レジスタの絶対アドレス対照表

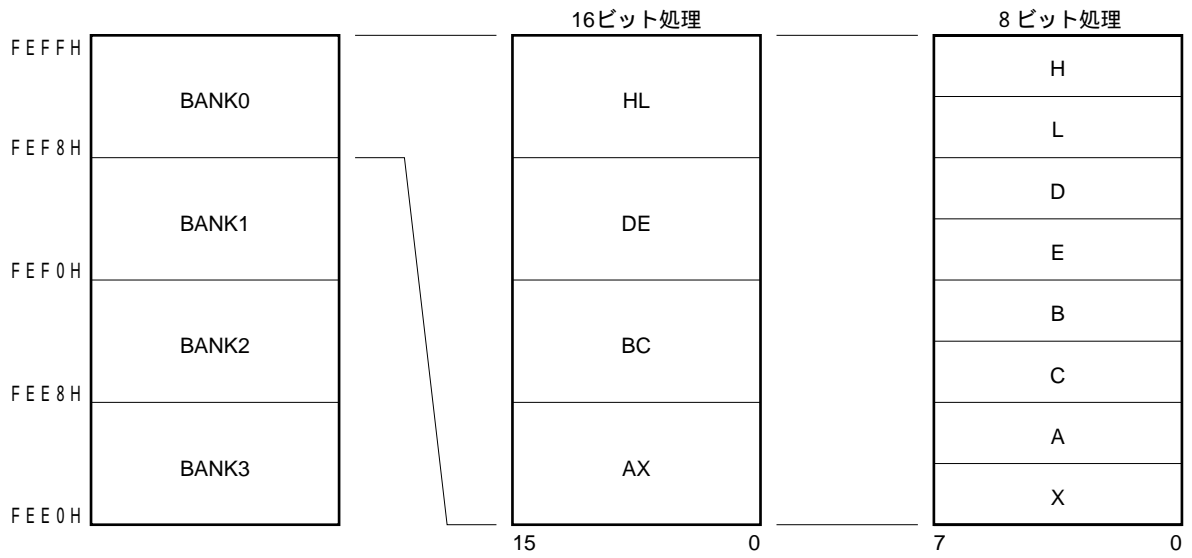
バンク名	レジスタ		絶対アドレス	バンク名	レジスタ		絶対アドレス
	機能名称	絶対名称			機能名称	絶対名称	
BANK0	H	R7	F E F F H	BANK2	H	R7	F E E F H
	L	R6	F E F E H		L	R6	F E E E H
	D	R5	F E F D H		D	R5	F E E D H
	E	R4	F E F C H		E	R4	F E E C H
	B	R3	F E F B H		B	R3	F E E B H
	C	R2	F E F A H		C	R2	F E E A H
	A	R1	F E F 9 H		A	R1	F E E 9 H
	X	R0	F E F 8 H		X	R0	F E E 8 H
BANK1	H	R7	F E F 7 H	BANK3	H	R7	F E E 7 H
	L	R6	F E F 6 H		L	R6	F E E 6 H
	D	R5	F E F 5 H		D	R5	F E E 5 H
	E	R4	F E F 4 H		E	R4	F E E 4 H
	B	R3	F E F 3 H		B	R3	F E E 3 H
	C	R2	F E F 2 H		C	R2	F E E 2 H
	A	R1	F E F 1 H		A	R1	F E E 1 H
	X	R0	F E F 0 H		X	R0	F E E 0 H

図3 - 12 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



### 3.2.3 特殊機能レジスタ (SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 3 に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。

DF178048, RA78K0では予約語に、CC78K0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。RA78K0, ID78K0-NS使用時に命令のオペランドとして記述できます。

★

- R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

R&Reset : 読み出しのみ可能 (読み出し時0にリセット)

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- リセット時

リセット時の各レジスタの状態を示します。また表中に記載していないアドレスの特殊機能レジスタの値はリセット時不定になります。

表3-3 特殊機能レジスタ一覧(1/3)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF00H	ポート0	P0	R/W			-	00H	
FF01H	ポート1	P1	R			-		
FF02H	ポート2	P2	R/W			-		
FF04H	ポート4	P4				-		
FF05H	ポート5	P5				-		
FF06H	ポート6	P6				-		
FF07H	ポート7	P7				-		
FF0DH	ポート13	P13				-		
FF10H	A/D変換結果レジスタ3 <sup>注1</sup>	ADCR3	-	-	-	-	-	
FF11H			R	-	-	-	-	不定
FF12H	A/Dコンバータ・モード・レジスタ3	ADM3	R/W			-	00H	
FF13H	アナログ入力チャネル指定レジスタ3	ADS3		-		-		
FF15H	パワー・フェイル比較しきい値レジスタ3	PFT3		-		-		
FF16H	パワー・フェイル比較モード・レジスタ3	PFM3				-		
FF19H	POC電圧選択レジスタ	POCV				-		保持 <sup>注3</sup>
FF1AH	IICシフト・レジスタ1	IIC1		-		-		不定
FF1BH	POCステータス・レジスタ	POCS	R & Reset			-		保持 <sup>注2</sup>
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH	
FF22H	ポート・モード・レジスタ2	PM2				-		
FF24H	ポート・モード・レジスタ4	PM4				-		
FF25H	ポート・モード・レジスタ5	PM5				-		
FF26H	ポート・モード・レジスタ6	PM6				-		
FF27H	ポート・モード・レジスタ7	PM7				-		
FF38H	コレクション・アドレス・レジスタ0	CORAD0			-	-		
FF39H								
FF3AH	コレクション・アドレス・レジスタ1	CORAD1		-	-		00H	
FF3BH								
FF3CH	コレクション・コントロール・レジスタ	CORCN				-	00H	
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS				-		
FF43H	IICクロック選択レジスタ1	IICCL1				-		
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP				-		
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN				-		
FF60H	IIC動作モード・レジスタ1	IICM1				-		18H
FF61H	IICコントロール・レジスタ1	IICC1				-		00H
FF62H	スレーブ・アドレス・レジスタ1	SVA1		-		-	不定	
FF63H	IIC割り込みタイミング指定レジスタ1	IICINT1				-	00H	
FF6EH	シリアルI/Oシフト・レジスタ3	SIO3		-		-	不定	
FF6FH	シリアル動作モード・レジスタ3	CSIM3				-	00H	

注1 . 8ビット・アクセスのみ可能です。ADCR3をリードするとFF11Hの値をリードします。

2 . パワーオン・クリアによるリセットのみ01Hとなります。RESET端子によるリセットおよびウォッチドッグ・タイマによるリセットでは、リセットされません。

3 . パワーオン・クリアによるリセットのみ00Hとなります。RESET端子によるリセットおよびウォッチドッグ・タイマによるリセットでは、リセットされません。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

表3-3 特殊機能レジスタ一覧(2/3)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF80H	8ビット・タイマ・コンペア・レジスタ5	CR5	R/W	-	-	-	不定
FF81H	8ビット・タイマ・コンペア・レジスタ20	CR20	W	-	-	-	
FF82H	8ビット・タイマ・カウンタ5	TM5	R	-	-	-	00H
FF83H	8ビット・タイマ・カウンタ20	TM20		-	-	-	
FF84H	タイマ・クロック選択レジスタ5	TCL5	R/W	-	-	-	
FF85H	8ビット・タイマ・モード・コントロール・レジスタ5	TMC5		-	-	-	
FF87H	8ビット・タイマ・モード・コントロール・レジスタ20	TMC20		-	-	-	
FF89H	8ビット・リモコン・タイマ・モード・コントロール・レジスタ9	TMC9		-	-	-	
FF8AH	8ビット・タイマ・キャプチャ・レジスタ90	CP90	R	-	-	-	
FF8BH	8ビット・タイマ・キャプチャ・レジスタ91	CP91		-	-	-	
FF90H	ベーシック・タイマ1モード・レジスタ	BTMMD1	R/W	-	-	-	
FF91H	8ビットPWMコンペア・レジスタ00	PWMCR00		-	-	-	FFH
FF92H	8ビットPWMコンペア・レジスタ01	PWMCR01		-	-	-	
FF93H	8ビットPWMコンペア・レジスタ02	PWMCR02		-	-	-	
FF94H	8ビットPWMコンペア・レジスタ03	PWMCR03		-	-	-	
FF96H	PWM出力セレクト・レジスタ	PWMS		-	-	-	00H
FF9DH	8ビット・タイマ・コンペア・レジスタ21	CR21		W	-	-	-
FF9EH	8ビット・タイマ・カウンタ21	TM21	R	-	-	-	00H
FF9FH	8ビット・タイマ・モード・コントロール・レジスタ21	TMC21	R/W	-	-	-	
FFC0H	表示コントロール・レジスタ	DPCONT		-	-	-	
FFC1H	OSDステータス・レジスタ	OSDSTA		-	-	-	80H
FFC2H	水平表示開始位置レジスタ	HPOSI		-	-	-	00H
FFC3H	垂直表示開始位置レジスタ	VPOSI		-	-	-	
FFC4H	VRAM書き込みアドレス・レジスタ1	VRAMAC		-	-	-	
FFC5H	VRAM書き込みアドレス・レジスタ2	VRAMAR	-	-	-		
FFC6H	キャラクタ・サイズ制御レジスタ	CSIZE	W	-	-	-	
FFC7H	端子モード設定レジスタ	TERMMD	R/W	-	-	-	
FFC8H	表示キャラクタ・レジスタ	DPCCONT	W	-	-	-	不定
FFC9H				-	-	-	
FFCEH	14ビットPWMコンペア・レジスタ	PWMCR1	R/W	-	-	-	
FFCFH				-	-	-	

注意 SFRを割り付けていないアドレスをアクセスしないでください。

表3-3 特殊機能レジスタ一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FFD0H   FFDFH	外部アクセス領域 <sup>注1</sup>			R/W			-	不定
FFE0H	割り込み要求フラグ・レジスタ0L	IFO	IF0L					00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H					
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L					FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H					
FFE8H	優先順位指定フラグ・レジスタ0L	PRO	PR0L					
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H					
FFF0H	メモリ・サイズ切り替えレジスタ <sup>注2</sup>	IMS			-		-	CFH
FFF4H	内部拡張RAMサイズ切り替えレジスタ <sup>注2</sup>	IXS			-		-	0CH
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM					-	00H
FFFAH	発振安定時間選択レジスタ	OSTS			-		-	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC					-	

注1．外部アクセス領域は、SFRアドレッシングではアクセスできません。ダイレクト・アドレッシングでアクセスしてください。

2．メモリ・サイズ切り替えレジスタ (IMS) と内部拡張RAMサイズ切り替えレジスタ (IXS) の初期値はそれぞれ CFH, 0CHですが、各製品ごとに次に示す値を設定して使用してください。

製品名	IMS	IXS
μ PD178046	4CH	0BH
μ PD178048	4FH	
μ PD178F048	マスクROM製品に対応した値	

注意 SFRを割り付けていないアドレスをアクセスしないでください。

### 3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。

しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください）。

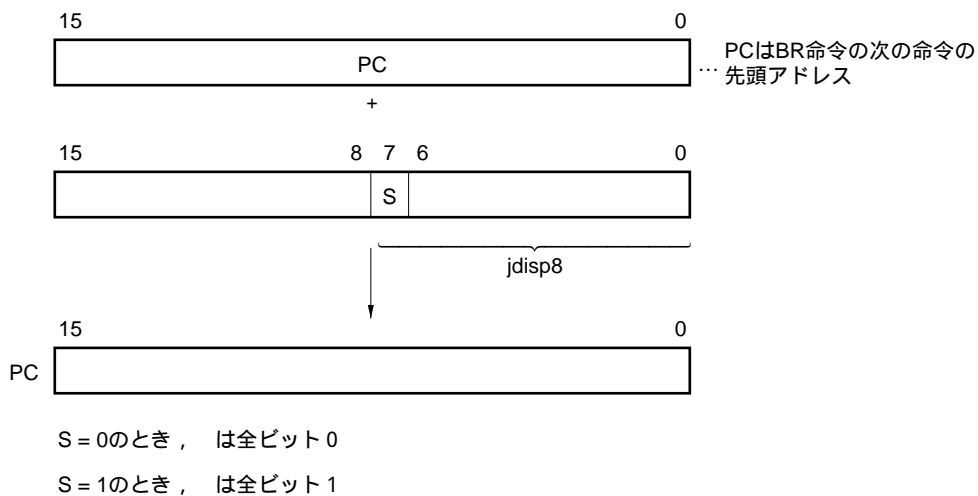
#### 3.3.1 レラティブ・アドレッシング

##### 【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

##### 【図解】



### 3.3.2 イミディエト・アドレッシング

**【機能】**

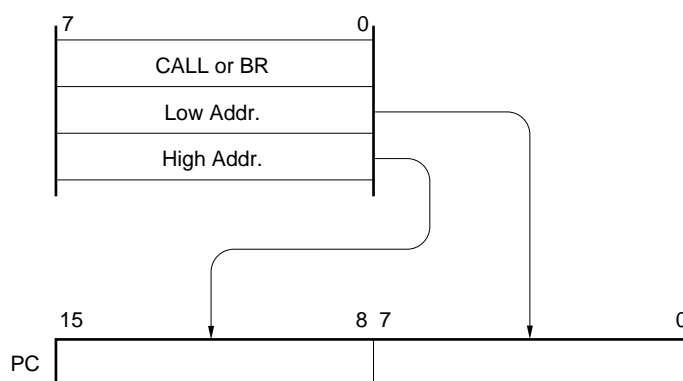
命令語中のイミディエト・データがプログラム・カウンタ (PC) に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

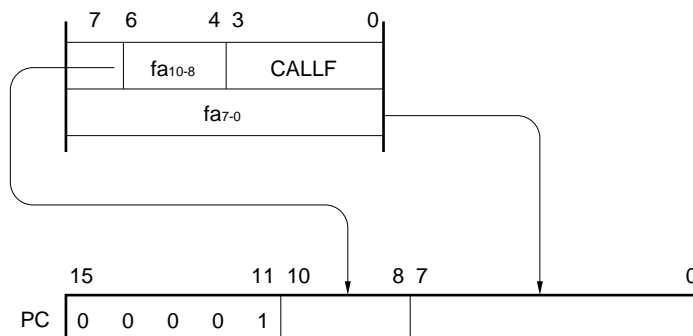
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

**【図解】**

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合





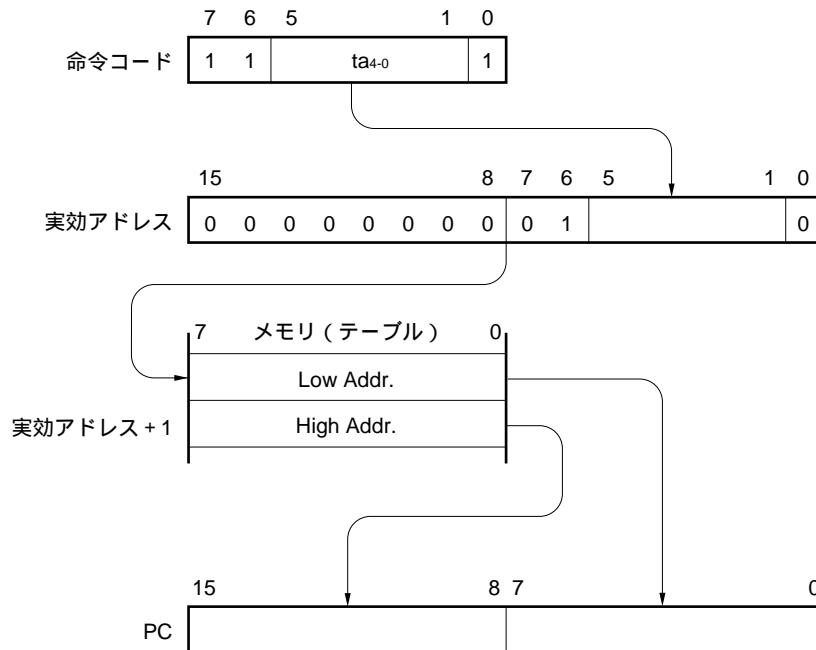
### 3.3.3 テーブル・インダイレクト・アドレッシング

**【機能】**

命令コードのビット1からビット5のイミディエイト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [ addr5 ] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

**【図解】**



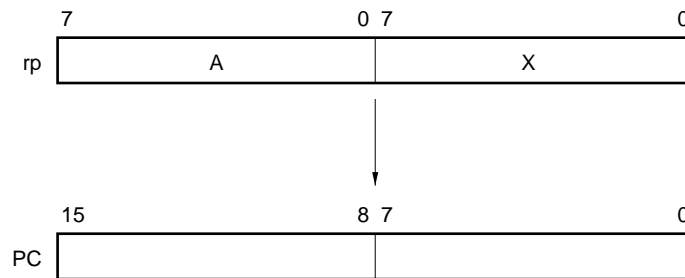
## 3.3.4 レジスタ・アドレッシング

## 【機能】

命令語によって指定されるレジスタ・ペア (AX) の内容がプログラム・カウンタ (PC) に転送され、分岐します。

BR AX命令を実行する際に行われます。

## 【図解】



## 3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

### 3.4.1 インプライド・アドレッシング

#### 【機能】

汎用レジスタの領域にあるアキュムレータ（A, AX）として機能するレジスタを自動的に（暗黙的）にアドレスするアドレッシングです。

μPD178048サブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

#### 【オペランド形式】

命令によって自動的に使用できるため，特定のオペランド形式を持ちません。

#### 【記 述 例】

##### MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレッシングで指定されている。

### 3.4.2 レジスタ・アドレッシング

#### 【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ指定コード (Rn, RPn) により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

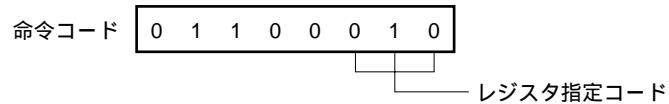
#### 【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

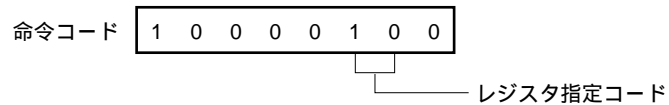
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

#### 【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



### 3.4.3 ダイレクト・アドレッシング

#### 【機能】

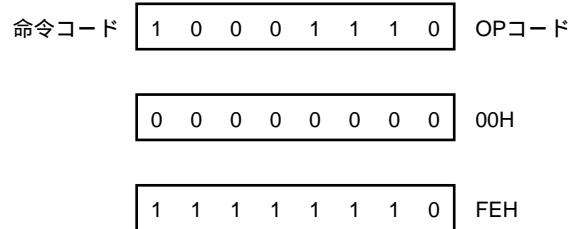
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

#### 【オペランド形式】

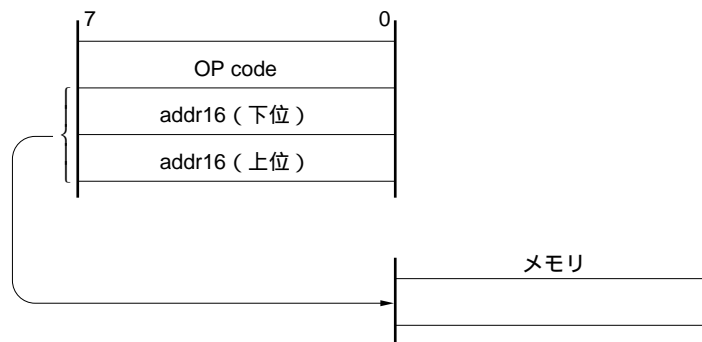
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

#### 【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



#### 【図解】



### 3.4.4 ショート・ダイレクト・アドレッシング

#### 【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

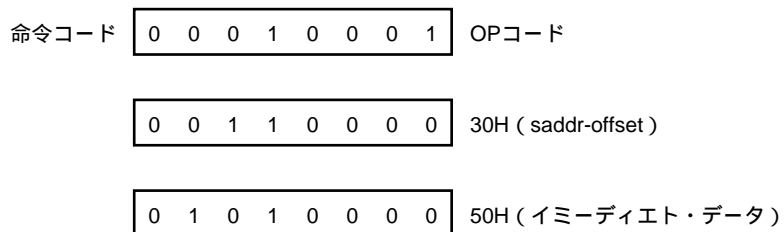
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

#### 【オペランド形式】

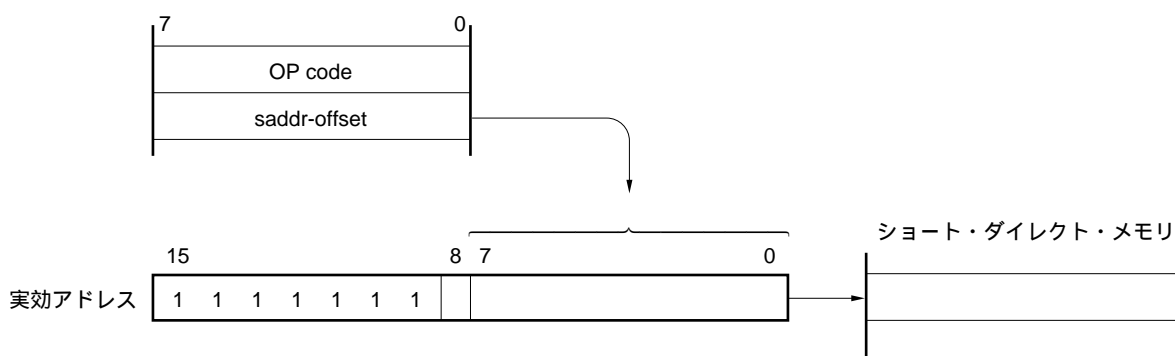
表現形式	記述方法
saddr	レーベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV 0FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



8ビット・イミディエト・データが20H-FFHのとき, = 0

8ビット・イミディエト・データが00H-1FHのとき, = 1

### 3.4.5 特殊機能レジスタ (SFR) アドレッシング

**【機能】**

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

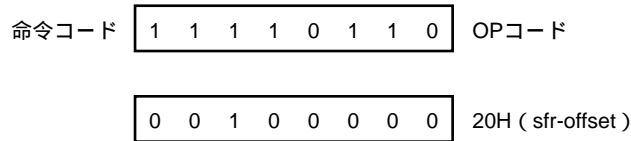
このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

**【オペランド形式】**

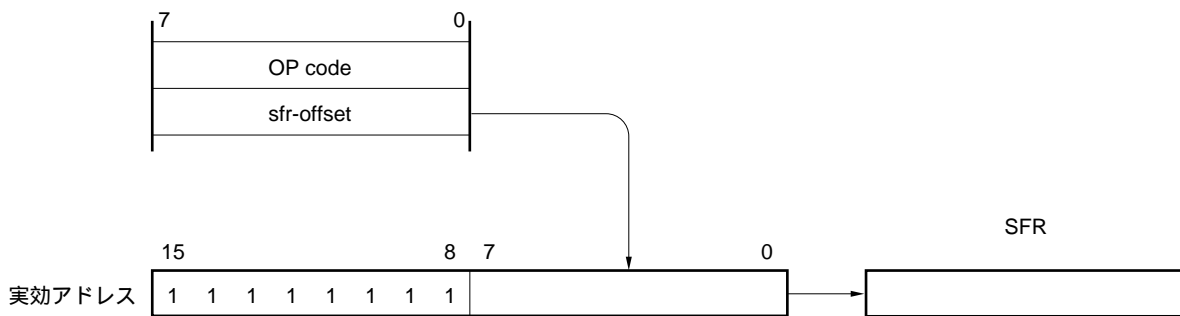
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名 (偶数アドレスのみ)

**【記述例】**

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合



**【図解】**





### 3.4.6 レジスタ・インダイレクト・アドレッシング

#### 【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

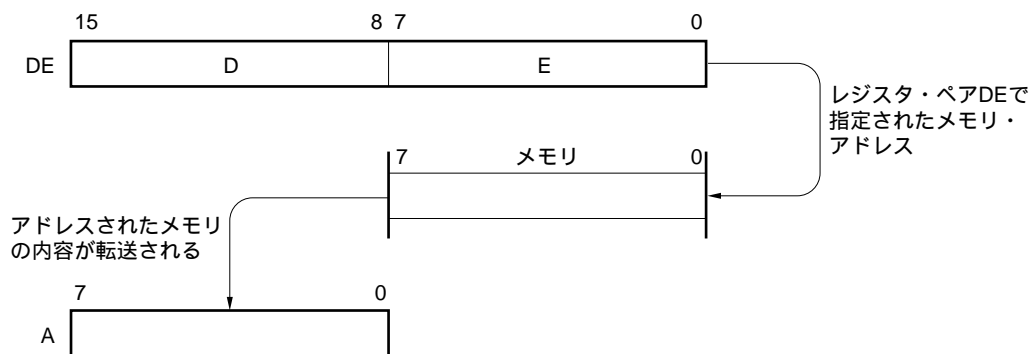
#### 【記述例】

MOV A, [DE] ; レジスタ・ペアに [DE] を選択する場合

命令コード 

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

#### 【図解】



### 3.4.7 ベース・アドレッシング

#### 【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ (RBS0, RBS1) で指定されるレジスタ・バンク中のものです。オフセット・データを正の数として16ビットに拡張して加算します。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[ HL + byte ]

#### 【記述例】

MOV A, [ HL + 10H ] ; byteを10Hとする場合

命令コード 

1	0	1	0	1	1	1	0
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

### 3.4.8 ベース・インデクスト・アドレッシング

#### 【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のレジスタです。BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して加算します。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

#### 【オペランド形式】

表現形式	記述方法
-	[HL+B], [HL+C]

#### 【記述例】

MOV A, [HL+B]の場合

命令コード 

1 0 1 0 1 0 1 1
-----------------

### 3.4.9 スタック・アドレッシング

#### 【機能】

スタック・ポインタ(SP)の内容により、スタック領域を間接的にアドレスするアドレッシングです。

PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの回避/復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

#### 【記述例】

PUSH DEの場合

命令コード 

1 0 1 1 0 1 0 1
-----------------

[メモ]

# 第4章 ポート機能

## 4.1 ポートの機能

μPD178048サブシリーズは、4本の入力ポート、5本の出力ポートと37本の入出力ポートを内蔵しています。図4-1にポートの構成を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様な制御が行えます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

図4-1 ポートの種類

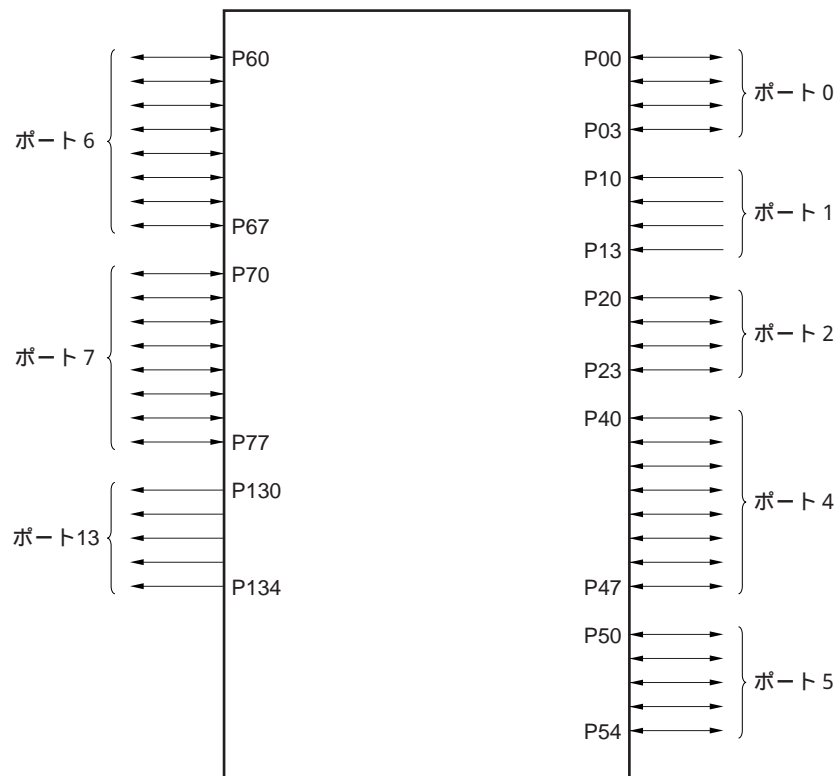


表4 - 1 ポートの機能

端子名称	入出力	機 能	兼用端子
P00-P03	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	INTP0-INTP3
P10-P13	入力	ポート1。 4ビット入力ポート。	ANI0-ANI3
P20, P21	入出力	ポート2。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	SCL0, SCL1
P22, P23			SDA0, SDA1
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	-
P50-P54	入出力	ポート5。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	-
P60-P67	入出力	ポート6。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	-
P70	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	SI3
P71			SO3
P72			$\overline{\text{SCK3}}$
P73			TI21
P74			OSCMON
P75			TI5
P76			TO5
P77			TI9
P130-P133	出力	ポート13。 5ビット出力ポート。 N-chオープン・ドレイン出力ポート(5V耐圧)。	PWM00-PWM03
P134			PWM1

## 4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0, 2, 4-7)
ポート	合計 : 46本 (入力 : 4本, 出力 : 5本, 入出力 : 37本)

### 4.2.1 ポート0

出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ0 (PM0)により、1ビット単位で入力モード/出力モードの指定ができます。

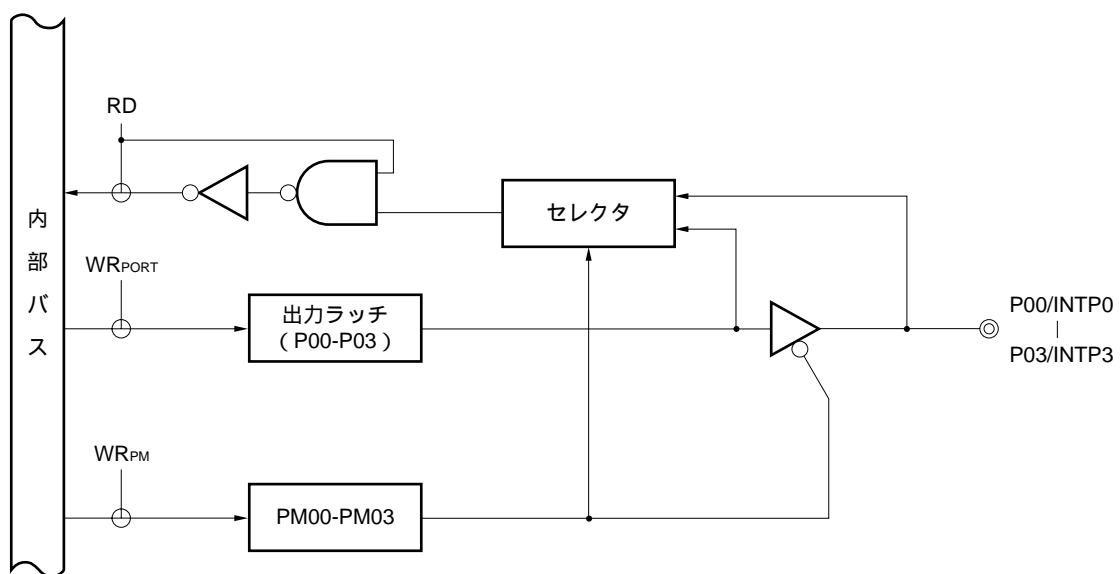
また、兼用機能として外部割り込み要求入力があります。

リセット時は、入力モードになります。

図4 - 2にポート0のブロック図を示します。

**注意** ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

図4 - 2 P00-P03のブロック図



PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号



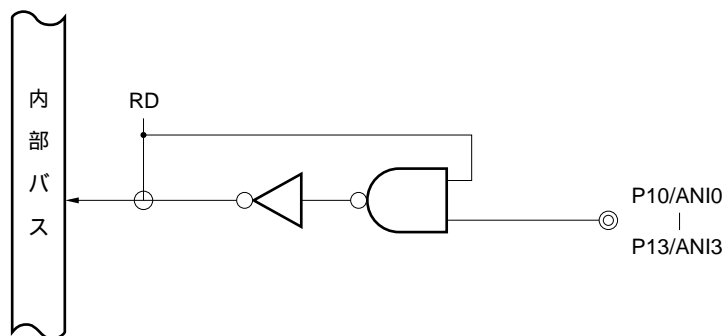
### 4.2.2 ポート1

4ビット入力専用ポートです。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

図4-3にポート1のブロック図を示します。

図4-3 P10-P13のブロック図



RD : ポート1のリード信号

### 4.2.3 ポート2

出力ラッチ付き4ビット入出力ポートです。P20-P23端子は、ポート・モード・レジスタ2（PM2）により、1ビット単位で入力モード/出力モードの指定ができます。

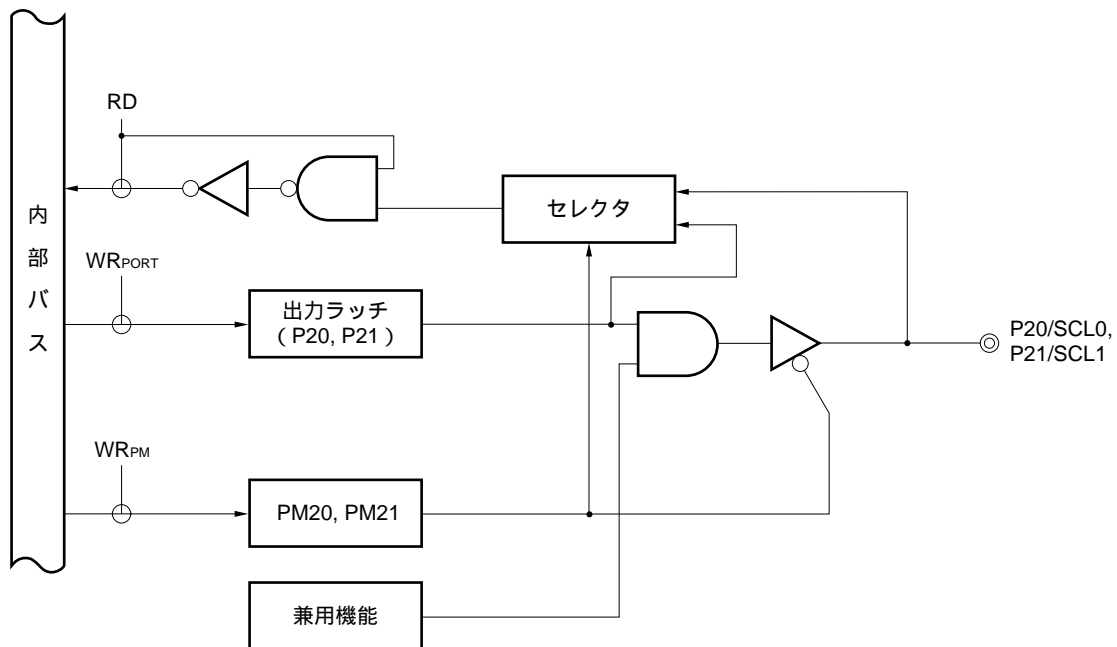
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット時は、入力モードになります。

図4 - 4、4 - 5にポート2のブロック図を示します。

**注意** シリアル・インタフェースの端子として使用する場合は、その機能に応じてポート・モード・レジスタおよび出力ラッチの設定が必要となります。設定方法については、図13 - 4 IIC動作モード・レジスタ1（IICM1）のフォーマットを参照してください。

図4 - 4 P20, P21のブロック図

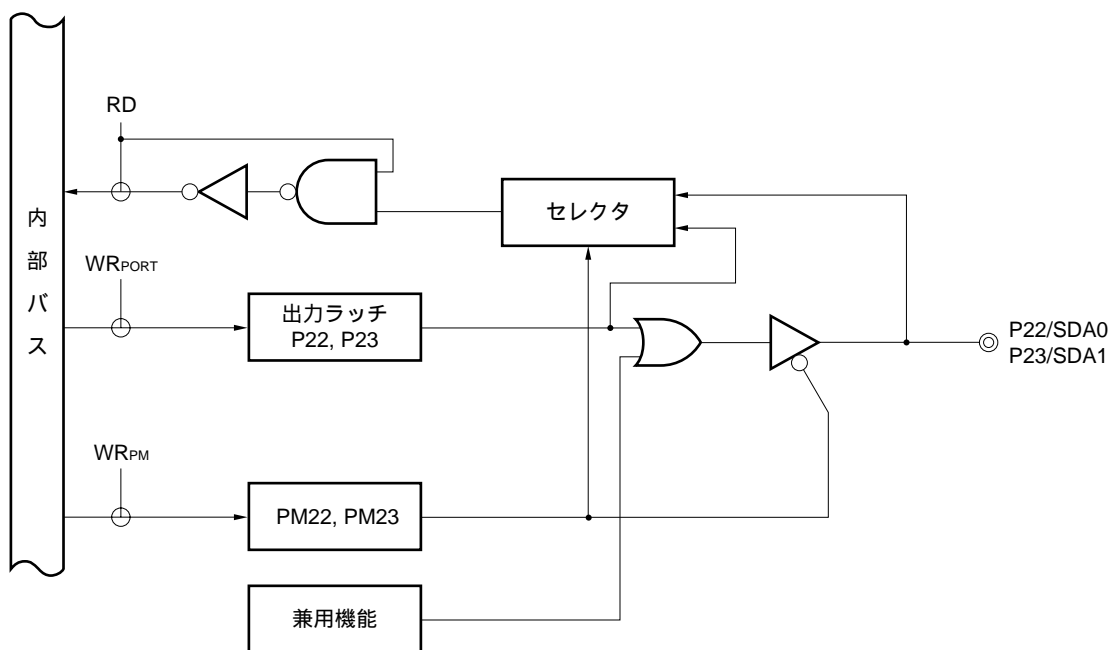


PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 5 P22, P23のブロック図



- PM : ポート・モード・レジスタ
- RD : ポート2のリード信号
- WR : ポート2のライト信号

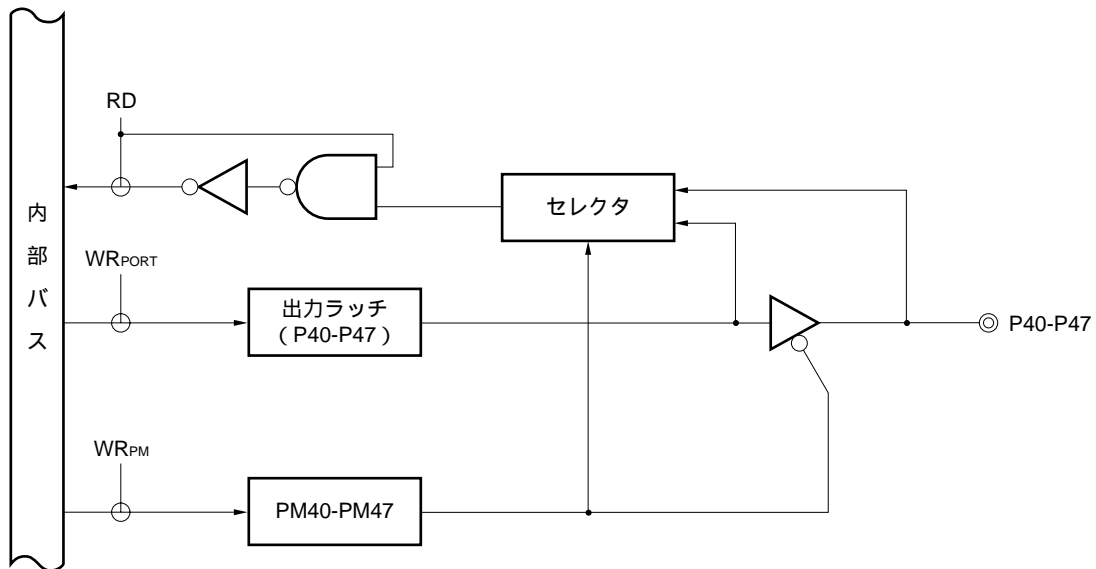
### 4.2.4 ポート4

出力ラッチ付き8ビット入出力ポートです。P40-P47端子は、ポート・モード・レジスタ4 (PM4) により、1ビット単位で入力モード/出力モードの指定ができます。

リセット時は、入力モードになります。

図4 - 6 にポート4のブロック図を示します。

図4 - 6 P40-P47のブロック図



- PM : ポート・モード・レジスタ
- RD : ポート4のリード信号
- WR : ポート4のライト信号

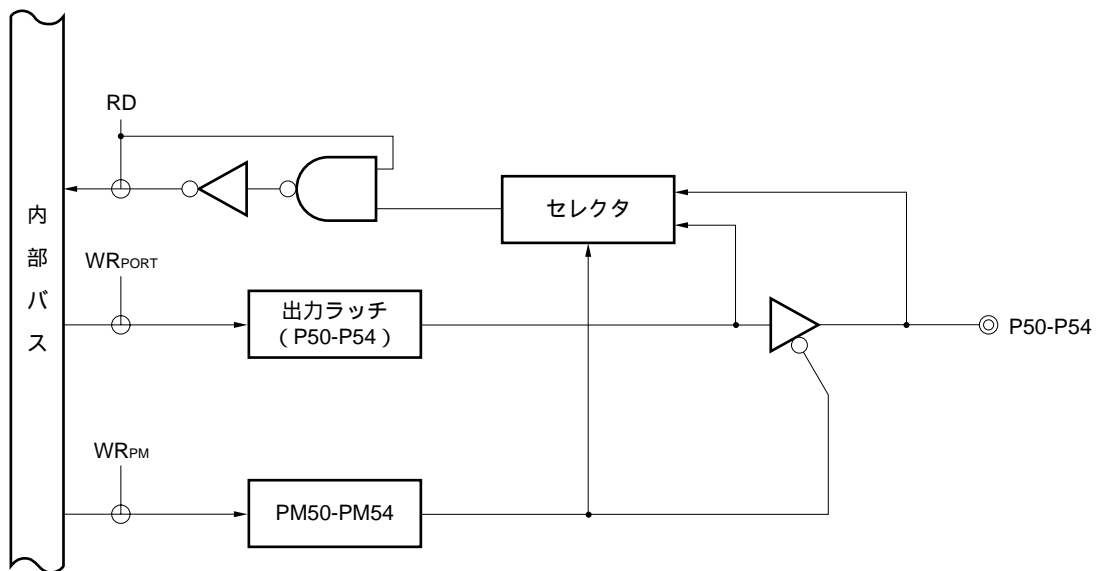
### 4.2.5 ポート5

出力ラッチ付き5ビット入出力ポートです。P50-P54端子は、ポート・モード・レジスタ5（PM5）により、1ビット単位で入力モード/出力モードの指定ができます。

リセット時は、入力モードになります。

図4-7にポート5のブロック図を示します。

図4-7 P50-P54のブロック図



- PM : ポート・モード・レジスタ
- RD : ポート5のリード信号
- WR : ポート5のライト信号

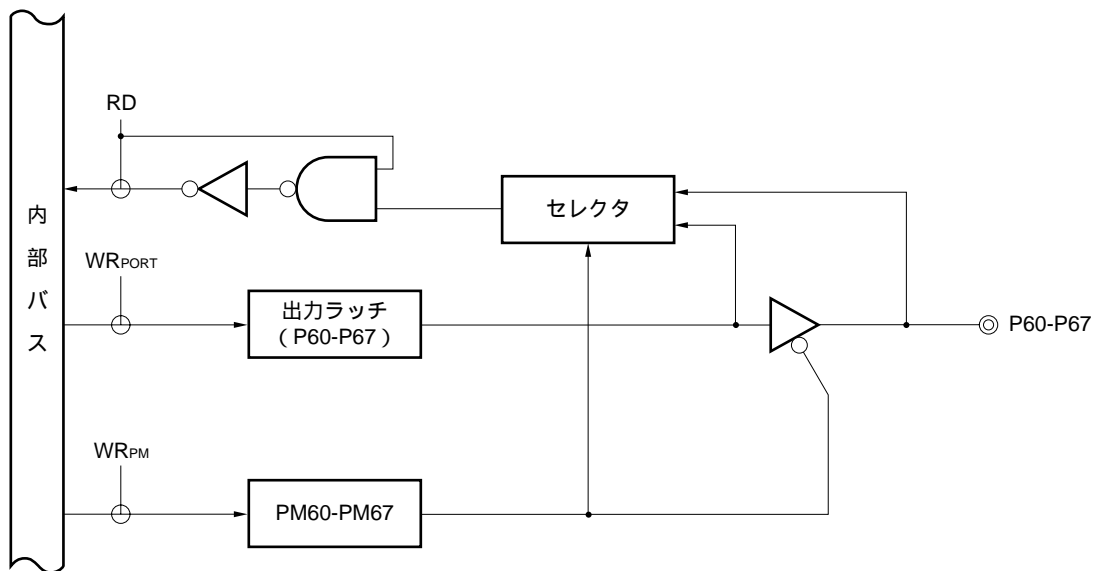
### 4.2.6 ポート6

出力ラッチ付き8ビット入出力ポートです。P60-P67端子は、ポート・モード・レジスタ6（PM6）により、1ビット単位で入力モード/出力モードの指定ができます。

リセット時は、入力モードになります。

図4 - 8 にポート6のブロック図を示します。

図4 - 8 P60-P67のブロック図



- PM : ポート・モード・レジスタ
- RD : ポート6のリード信号
- WR : ポート6のライト信号

### 4.2.7 ポート7

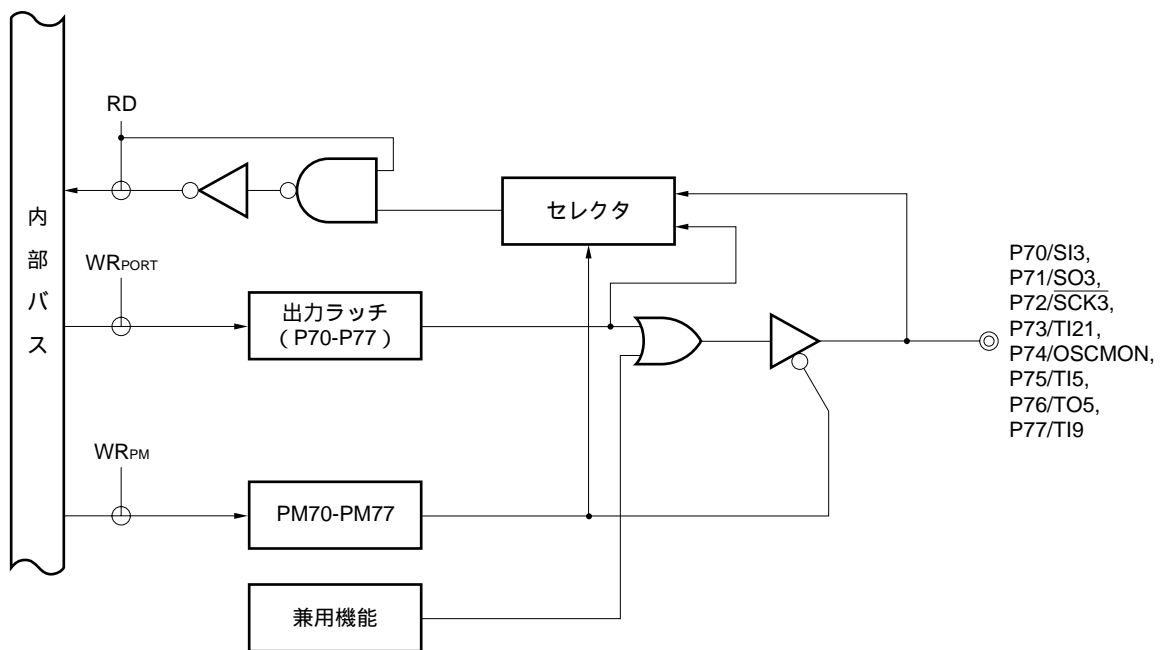
出力ラッチ付き8ビット入出力ポートです。P70-P77端子は、ポート・モード・レジスタ7（PM7）により、1ビット単位で入力モード/出力モードの指定ができます。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、OSDクロック出力があります。

リセット時は、入力モードになります。

図4-9にポート7のブロック図を示します。

図4-9 P70-P77のブロック図



PM : ポート・モード・レジスタ

RD : ポート7のリード信号

WR : ポート7のライト信号

## 4.2.8 ポート13

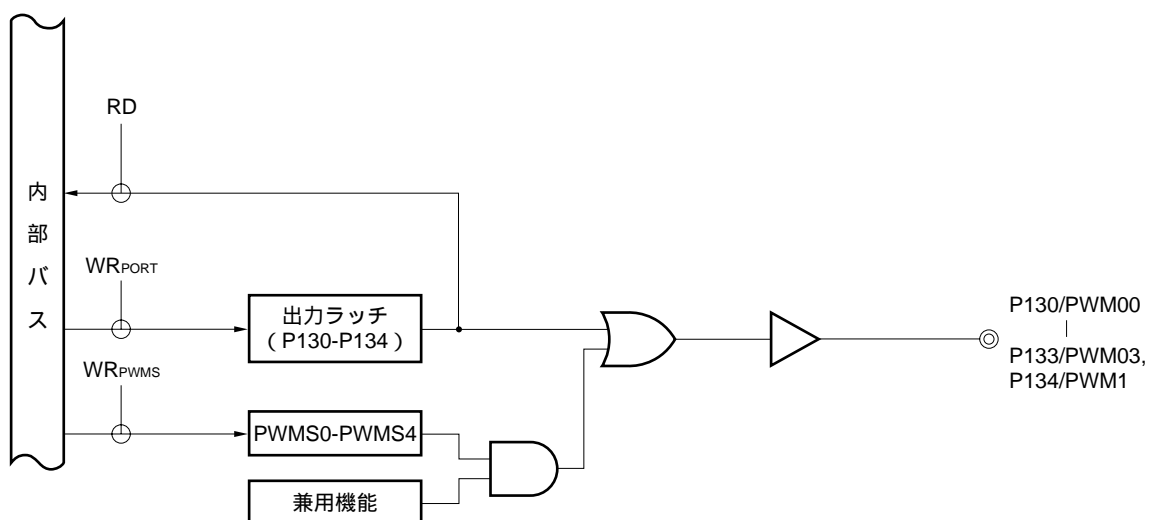
出力ラッチ付き5ビット出力ポートです。

また、兼用機能としてPWM出力があります。PWM出力に指定された端子は、読み出すと不定になります。

リセット時は、汎用出力ポート・モードになります。

図4-10にポート13のブロック図を示します。

図4-10 P130-P134のブロック図



RD : ポート13のリード信号

WR : ポート13のライト信号

PWMS : PWM出力セレクト・レジスタ



## 4.3 ポート機能を制御するレジスタ

ポートは、ポート・モード・レジスタ (PM0, PM2, PM4-PM7) で制御します。

ポートの入力/出力を1ビット単位で設定するレジスタです。

PM0, PM2, PM4-PM7は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

**注意** ポート0は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

表4 - 3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用端子		PM x x	P x x
	名称	入出力		
P00-P03	INTP0-INTP3	入力	1	x
P20,P21	SCL0,SCL1	入出力	0	1
P22,P23	SDA0,SDA1	入出力	0	0
P70	SI3	入力	1	x
P71	SO3	出力	0	0
P72	$\overline{\text{SCK3}}$	入力	1	x
		出力	0	0
P73	TI21	入力	1	x
P74	OSCMON	出力	0	0
P75	TI5	入力	1	x
P76	TO5	出力	0	0
P77	TI9	入力	1	x
P130-P133	PWM00-PWM03	出力	-	0
P134	PWM1	出力	-	0

図4 - 11 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM2	1	1	1	1	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
PM5	1	1	1	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PMmn	Pmn端子の入出力モードの選択 ( m = 0, 2, 4-7 : n = 0-7 )										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

## 4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

### 4.4.1 入出力ポートへの書き込み

#### (1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

### 4.4.2 入出力ポートからの読み出し

#### (1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

#### (2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

### 4.4.3 入出力ポートでの演算

#### (1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

#### (2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

**注意** 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

[メモ]

# 第5章 クロック発生回路

## 5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロック発振回路は、5.0 MHzの水晶振動子を接続します。STOP命令の実行およびプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

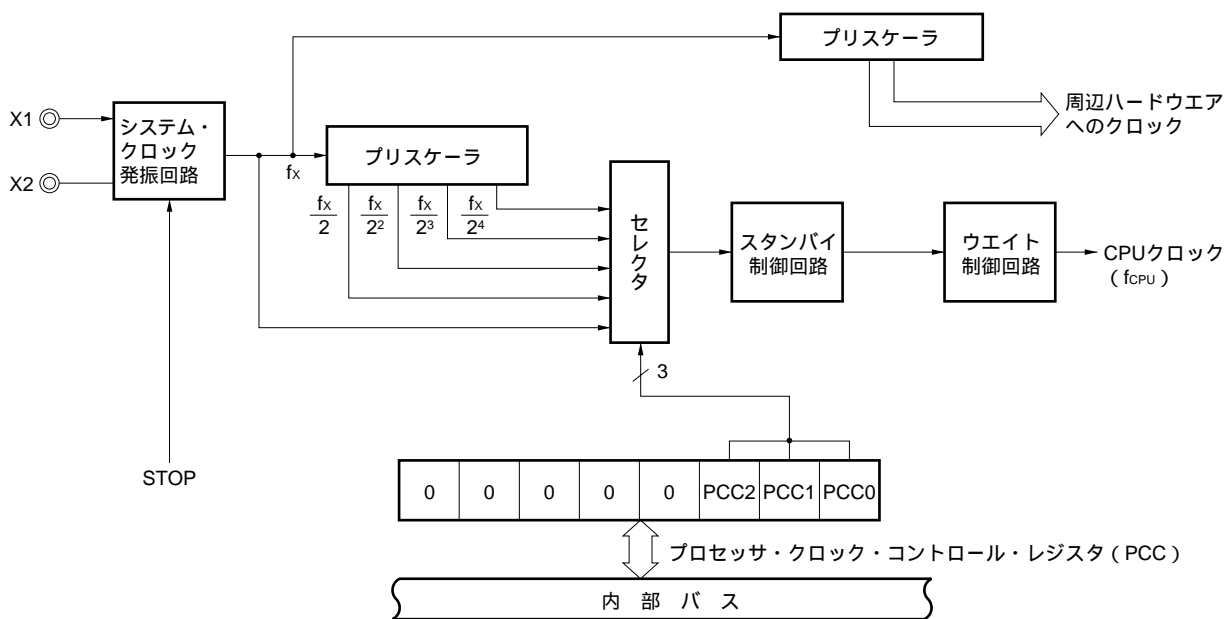
## 5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表 5 - 1 クロック発生回路の構成

項目	構成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC）
発振回路	システム・クロック発振回路

図 5 - 1 クロック発生回路のブロック図



### 5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、プロセッサ・クロック・コントロール・レジスタ（PCC）で制御します。  
CPUクロックを設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、04Hになります。

図5 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	0	PCC2	PCC1	PCC0	FFF BH	04H	R/W <sup>注</sup>

R/W	PCC2	PCC1	PCC0	CPUクロック (f <sub>CPU</sub> ) の選択
	0	0	0	f <sub>x</sub> (0.4 μs)
	0	0	1	f <sub>x</sub> /2 (0.8 μs)
	0	1	0	f <sub>x</sub> /2 <sup>2</sup> (1.6 μs)
	0	1	1	f <sub>x</sub> /2 <sup>3</sup> (3.2 μs)
	1	0	0	f <sub>x</sub> /2 <sup>4</sup> (6.4 μs)
	上記以外			設定禁止

注 ビット3-7は、Read Onlyです。

備考1 . f<sub>x</sub> : システム・クロック発振周波数

2 . ( ) 内は、f<sub>x</sub> = 5.0 MHz動作時の最小命令実行時間 : 2/f<sub>CPU</sub>



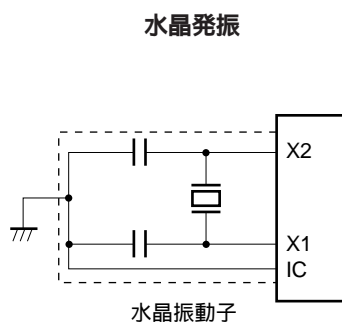
## 5.4 システム・クロック発振回路

### 5.4.1 システム・クロック発振回路

システム・クロック発振回路はX1, X2端子に接続された水晶振動子（標準：5.0 MHz）によって発振します。

図5 - 3にシステム・クロック発振回路の外付け回路を示します。

図5 - 3 システム・クロック発振回路の外付け回路



**注意** システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 3の破線の部分を次のように配線してください。

配線は極力短くする。

他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。

発振回路のコンデンサの接地点は、常にGNDと同電位となるようにする。大電流が流れるグランド・パターンに接地しない。

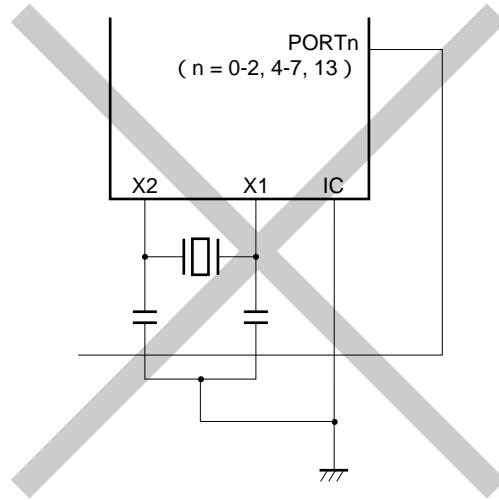
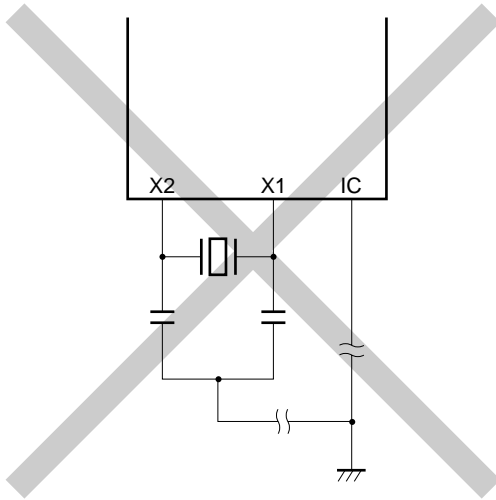
発振回路から信号を取り出さない。

図5 - 4 に発振子の接続の悪い例を示します。

図5 - 4 発振子の接続の悪い例 (1/2)

( a ) 接続回路の配線が長い

( b ) 信号線が交差している



( c ) 変化する大電流が信号線に  
近接している

( d ) 発振回路部のグランド・ライン上に電流が流れる  
( A 点 , B 点 , C 点の電位が変動する )

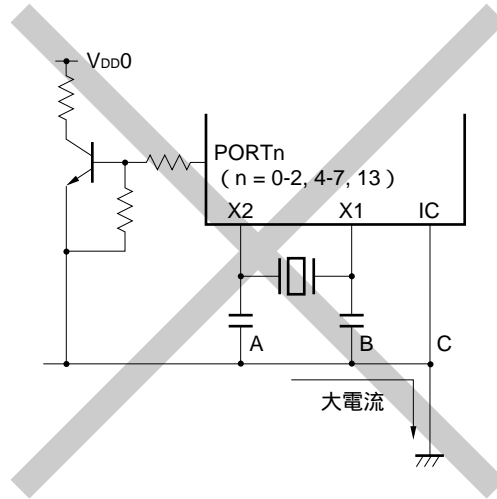
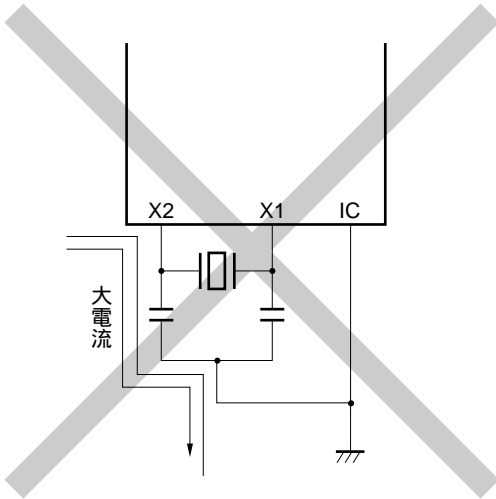
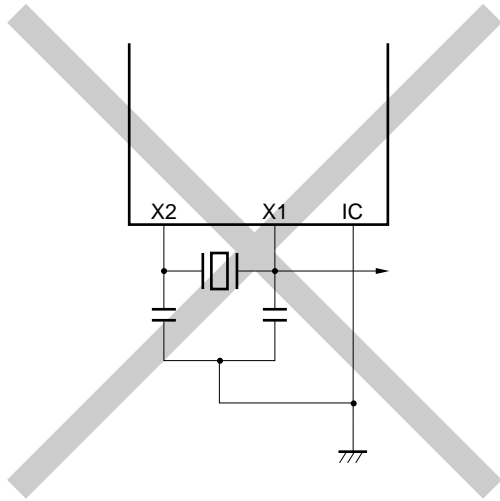


図5 - 4 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



### 5.4.2 分周回路

分周回路は、システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

## 5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック  $f_x$
- ・CPUクロック  $f_{CPU}$
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC) により決定され、次のような機能、動作となります。

- ( a )  $\overline{\text{RESET}}$ 信号発生によりシステム・クロックの最低速モード (6.4  $\mu\text{s}$  : 5.0 MHz動作時) が選択されます (PCC = 04H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- ( b ) PCCの設定により 5 段階のCPUクロック (0.4, 0.8, 1.6, 3.2, 6.4  $\mu\text{s}$  : 5.0 MHz動作時) を選択することができます。
- ( c ) STOPモード, HALTモードの 2 つのスタンバイ・モードが使用できます。
- ( d ) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。システム・クロックを停止させたときは周辺ハードウェアも停止します。

## 5.6 システム・クロックとCPUクロックの設定の変更

### 5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

システム・クロックとCPUクロックは、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します（表5 - 2参照）。

表5 - 2 CPUクロックの切り替えに要する最大時間

切り替え前の設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	/			16命令			16命令			16命令			16命令		
0	0	1				8命令			8命令			8命令			8命令		
0	1	0				4命令			4命令			4命令			4命令		
0	1	1				2命令			2命令			2命令			2命令		
1	0	0				1命令			1命令			1命令			1命令		

備考 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

[メモ]

## 第6章 8ビット・タイマ/イベント・カウンタ (TM5)

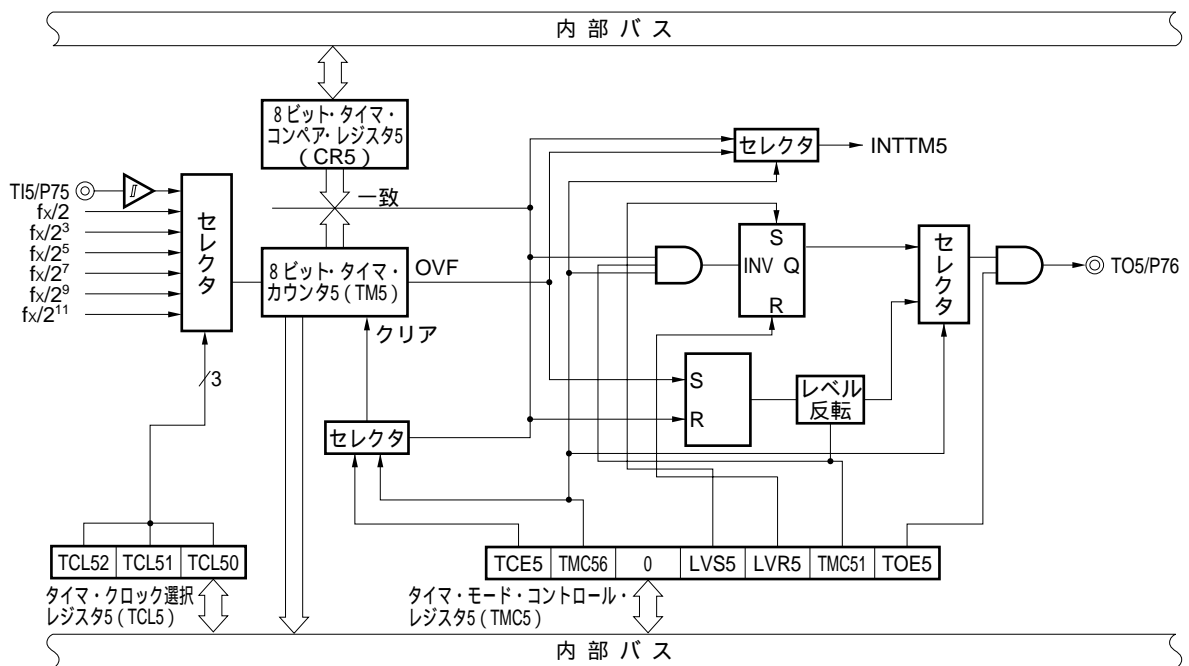
### 6.1 8ビット・タイマ/イベント・カウンタ (TM5) の機能

8ビット・タイマ/イベント・カウンタ (TM5) には、次の機能があります。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ PWM出力

図6 - 1に、8ビット・タイマ/イベント・カウンタのブロック図を示します。

図6 - 1 8ビット・タイマ/イベント・カウンタ (TM5) のブロック図



## 6.2 8ビット・タイマ/イベント・カウンタ (TM5) の構成

8ビット・タイマ/イベント・カウンタ (TM5) は、次のハードウェアで構成されています。

表6 - 1 8ビット・タイマ/イベント・カウンタ (TM5) の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ5 (TM5)
レジスタ	8ビット・タイマ・コンペア・レジスタ5 (CR5)
タイマ出力	1本 (TO5)
制御レジスタ	タイマ・クロック選択レジスタ5 (TCL5) 8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5)

### (1) 8ビット・タイマ・カウンタ5 (TM5)

TM5は、カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。

動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は00Hになります。

RESET $\bar$ 入力

TCE5をクリア

TM5とCR5の一致でクリア&スタート・モード時のTM5とCR5の一致

### (2) 8ビット・タイマ・コンペア・レジスタ5 (CR5)

CR5に設定した値と、8ビット・タイマ・カウンタ5 (TM5) のカウント値を常に比較し、その2つの値が一致したときに、割り込み要求 (INTTM5) を発生します (PWMモード以外)。

CR5の値は、00H-FFHの範囲で設定でき、カウント動作中の書き換えが可能です。



## 6.3 8ビット・タイマ/イベント・カウンタ (TM5) を制御するレジスタ

8ビット・タイマ/イベント・カウンタ5 (TM5) を制御するレジスタには、次の2種類があります。

- ・タイマ・クロック選択レジスタ5 (TCL5)
- ・8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5)

### (1) タイマ・クロック選択レジスタ5 (TCL5)

8ビット・タイマ/イベント・カウンタ5 (TM5) のカウント・クロックおよびTI5入力の有効エッジを設定するレジスタです。

TCL5は、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図6-2 タイマ・クロック選択レジスタ5 (TCL5) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL5	0	0	0	0	0	TCL52	TCL51	TCL50	FF84H	00H	R/W

TCL52	TCL51	TCL50	カウント・クロックの選択
0	0	0	TI5の立ち下がりエッジ
0	0	1	TI5の立ち上がりエッジ
0	1	0	$f_x/2$ (2.5 MHz)
0	1	1	$f_x/2^3$ (625 kHz)
1	0	0	$f_x/2^5$ (156.3 kHz)
1	0	1	$f_x/2^7$ (39.1 kHz)
1	1	0	$f_x/2^9$ (9.8 kHz)
1	1	1	$f_x/2^{11}$ (2.44 kHz)

**注意1** . TCL5を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから書き換えてください。

**2** . ビット3-7には必ず“0”を設定してください。

**備考1** .  $f_x$  : システム・クロック発振周波数

**2** . ( ) 内は、 $f_x = 5.0$  MHz動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5)

TMC5は、次の5種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ5 (TM5) のカウント動作制御
- 8ビット・タイマ・カウンタ5 (TM5) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリーランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC5は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図6 - 3に、TMC5のフォーマットを示します。

図6-3 8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のフォーマット

略号	⑦	6	5	4	③	②	1	①	アドレス	リセット時	R/W
TMC5	TCE5	TMC56	0	TMC54	LVS5	LVR5	TMC51	TOE5	FF85H	00H	R/W

TCE5	TM5のカウンタ動作制御
0	カウンタを0にクリア後, カウンタ動作禁止 (プリスケアラ禁止)
1	カウンタ動作開始

TMC56	TM5の動作モード選択
0	TM5とCR5の一致でクリア&スタート・モード
1	PWM (フリーランニング) モード

TMC54	必ず“0”を設定してください。
-------	-----------------

LVS5	LVR5	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

TMC51	PWMモード以外 (TMC56=0)	PWMモード (TMC56=1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE5	タイマ出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

**注意** ビット4 (TMC54) には, 必ず“0”を設定してください。

- 備考** 1. PWMモード時は, TCE5=0により, PWM出力はインアクティブ・レベルになります。  
 2. データ設定後にLVS5, LVR5を読み出すと, 0が読み出せます。

## 6.4 8ビット・タイマ/イベント・カウンタ (TM5) の動作

### 6.4.1 インターバル・タイマ (8ビット) としての動作

8ビット・タイマ・コンペア・レジスタ5 (CR5) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5 (TM5) のカウント値がCR5に設定した値と一致したとき、TM5の値を0にクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5) を発生します。

タイマ・クロック選択レジスタ5 (TCL5) のビット0-2 (TCL50-TCL52) でTM5のカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、6.5 8ビット・タイマ/イベント・カウンタ (TM5) の注意事項 (2) を参照してください。

#### [ 設定方法 ]

各レジスタの設定を行います。

- ・ TCL5 : カウント・クロックの選択
- ・ CR5 : コンペア値
- ・ TMC5 : TM5とCR5の一致でクリア & スタート・モードを選択  
( TMC5 = 0000 x x x 0B x = don't care )

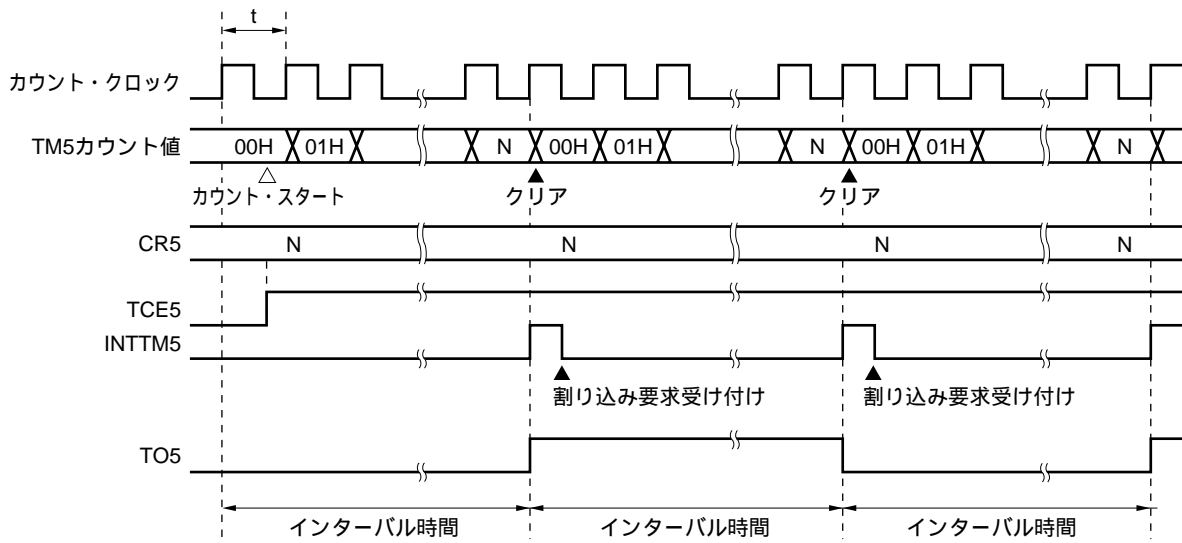
TCE5 = 1を設定すると、カウント動作を開始します。

TM5とCR5の値が一致すると、INTTM5が発生します (TM5は00Hにクリアされます)。

以後、同一間隔でINTTM5が繰り返し発生します。カウント動作を停止するときは、TCE5 = 0にしてください。

図6-4 インターバル・タイマ動作のタイミング (1/3)

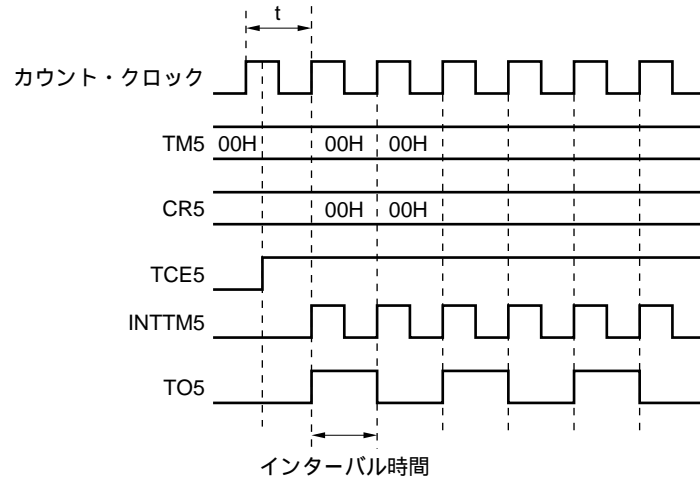
(a) 基本動作



備考 インターバル時間 =  $(N + 1) \times t$  :  $N = 00H\text{-}FFH$

図6-4 インターバル・タイマ動作のタイミング (2/3)

(b) CR5 = 00Hの場合



(c) CR5 = FFHの場合

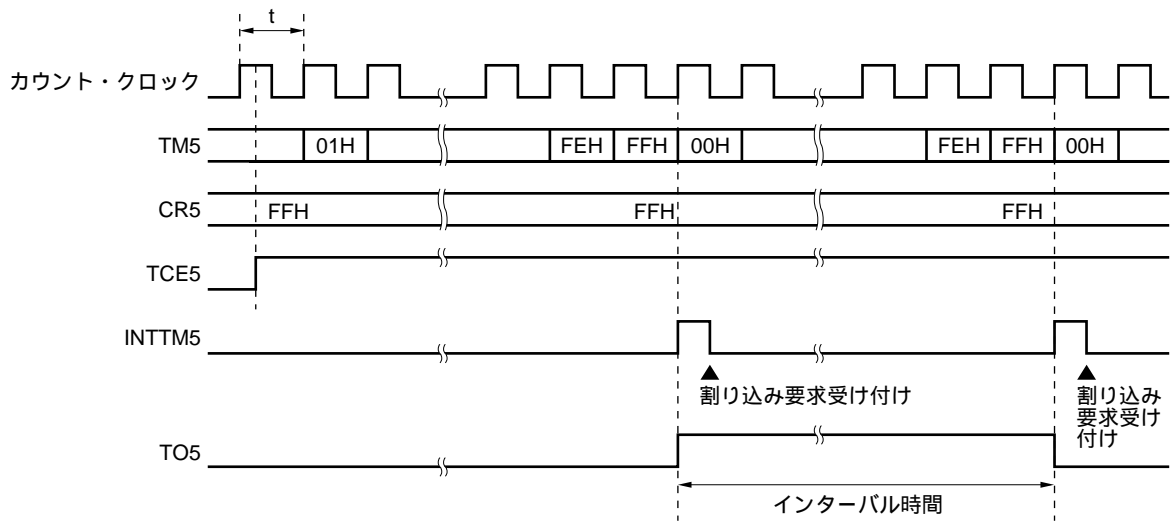
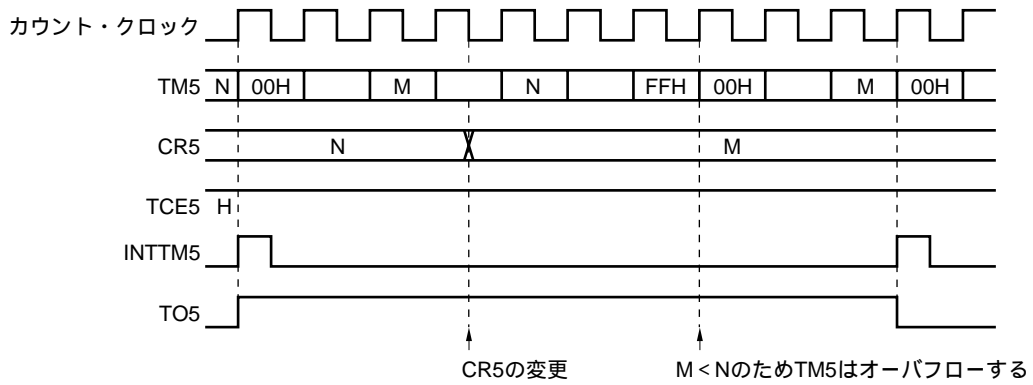
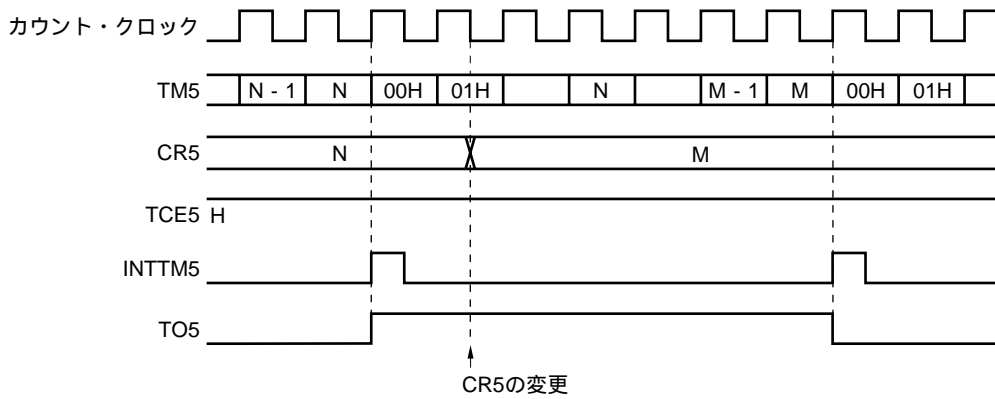


図6-4 インターバル・タイマ動作のタイミング (3/3)

(d) CR5変更による動作 ( $M < N$ )



(e) CR5変更による動作 ( $M > N$ )



### 6.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5 (TM5) でカウントするものです。

タイマ・クロック選択レジスタ5 (TCL5) で指定した有効エッジが入力されるたびに、TM5がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5の計数値が8ビット・タイマ・コンペア・レジスタ5 (CR5) の値と一致すると、TM5は0にクリアされ、割り込み要求信号 (INTTM5) が発生します。

以後、TM5の値とCR5の値が一致するたびに、INTTM5が発生します。

#### [ 設定方法 ]

各レジスタの設定を行います。

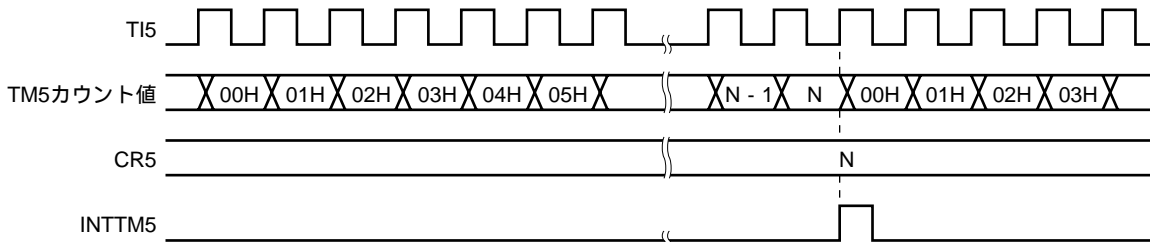
- ・ TCL5 : TI5入力の有効エッジ設定
- ・ CR5 : コンペア値
- ・ TMC5 : TM5とCR5の一致でクリア&スタート

TCE5 = 1を設定すると、カウント動作を開始します。

TM5とCR5の値が一致すると、INTTM5が発生します (TM5は00Hにクリアされます)。

以後、TM5の値とCR5の値が一致するたびに、INTTM5が発生します。カウント動作を停止するときは、TCE5 = 0にしてください。

図6 - 5 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)





### 6.4.3 方形波出力 (8ビット分解能) としての動作

8ビット・タイマ・コンペア・レジスタ5 (CR5) にあらかじめ設定した値をインターバルとする, 任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット0 (TOE5) に1を設定することにより, CR5にあらかじめ設定したカウント値をインターバルとしてTO5の出力状態が反転します。これにより, 任意の周波数の方形波出力 (デューティ=50%) が可能です。

[ 設定方法 ]

各レジスタの設定を行います。

- ・ポート・ラッチ, ポート・モード・レジスタに “ 0 ” を設定
- ・TCL5 : カウント・クロックの選択
- ・CR5 : コンペア値
- ・TMC5 : TM5とCR5の一致でクリア&スタート・モード

LVS5	LVR5	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可 TOE5 = 1

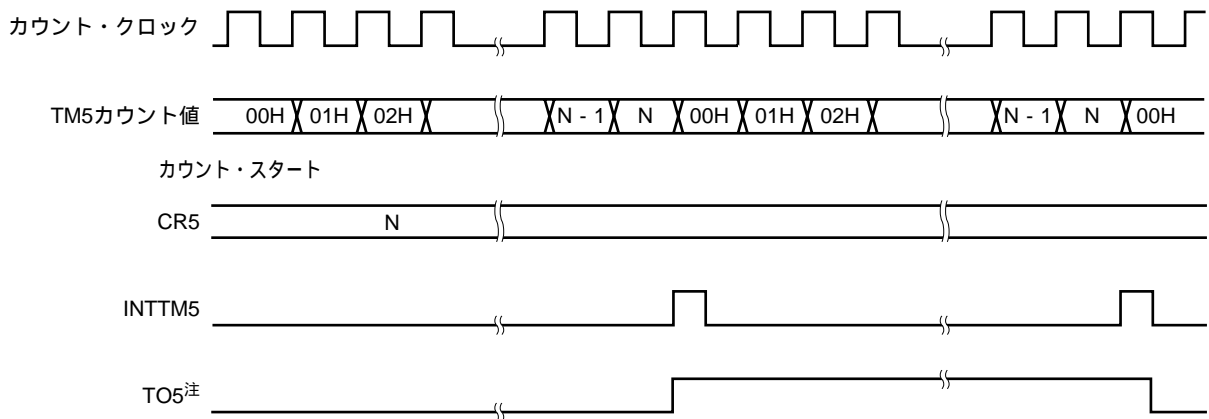
TCE5 = 1を設定すると, カウント動作を開始します。

TM5とCR5の値が一致すると, タイマ出力F/Fが反転します。

また, INTTM5が発生し, TM5は00Hにクリアされます。

以後, 同一間隔でタイマ出力F/Fが反転し, TO5から方形波が出力されます。

図6 - 6 方形波出力動作のタイミング



注 TO5出力の初期値は, 8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット2, 3 (LVR5, LVS5) で設定できます。

#### 6.4.4 8ビットPWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) のビット6 (TMC56) を“1”に設定することにより、PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5 (CR5) に設定した値で決まるデューティ比のパルスを、TO5から出力します。

PWMパルスのアクティブ・レベルの幅は、CR5に設定してください。また、アクティブ・レベルは、TMC5のビット1 (TMC51) により選択できます。

カウント・クロックは、タイマ・クロック選択レジスタ (TCL5) のビット0-2 (TCL50-TCL52) で選択できます。

TMC5のビット0 (TOE5) により、PWM出力の許可/禁止が選択できます。

**注意** PWMモード時のCR5の書き換えは、1周期に1回のみ可能です。

##### (1) PWM出力の基本動作

###### [ 設定方法 ]

ポート・ラッチ (P76) に“0”を設定します。

8ビット・タイマ・コンペア・レジスタ (CR5) でアクティブ・レベル幅を設定します。

タイマ・クロック選択レジスタ5 (TCL5) で、カウント・クロックを選択します。

TMC5のビット1 (TMC51) で、アクティブ・レベルを設定します。

TMC5のビット7 (TCE5) に“1”を設定すると、カウント動作を開始します。

カウント動作を停止するときは、TCE5に“0”を設定してください。

###### [ PWM出力の動作 ]

カウント動作を開始すると、PWM出力 (TO5からの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、設定方法 で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CR5と8ビット・タイマ・カウンタ5 (TM5) のカウント値が一致するまで出力されます。

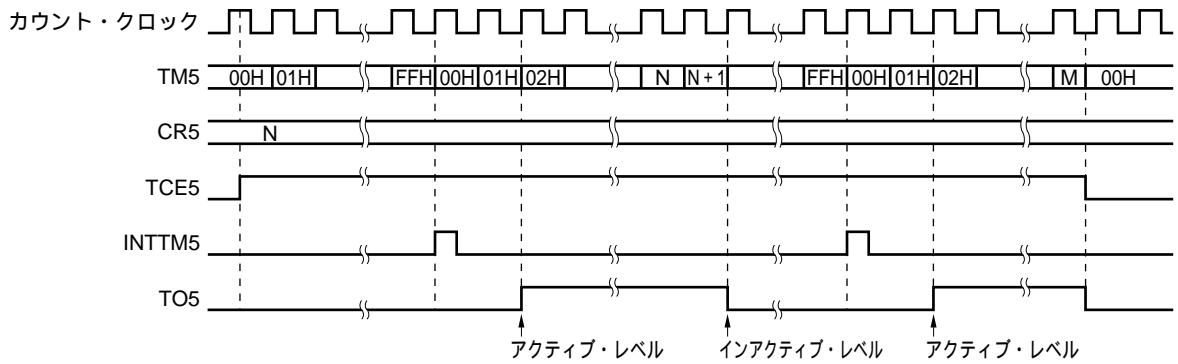
CR5とカウント値が一致したあとのPWM出力は、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

以後、カウント動作が停止されるまで、を繰り返します。

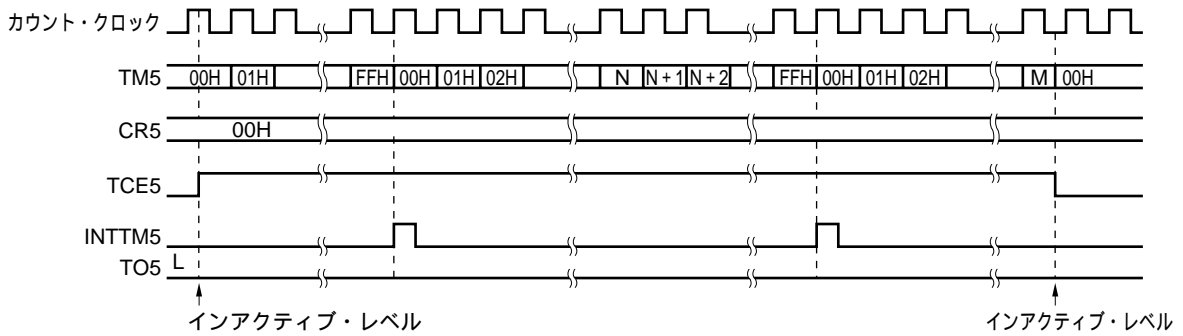
TCE5 = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

図6-7 PWM出力の動作タイミング

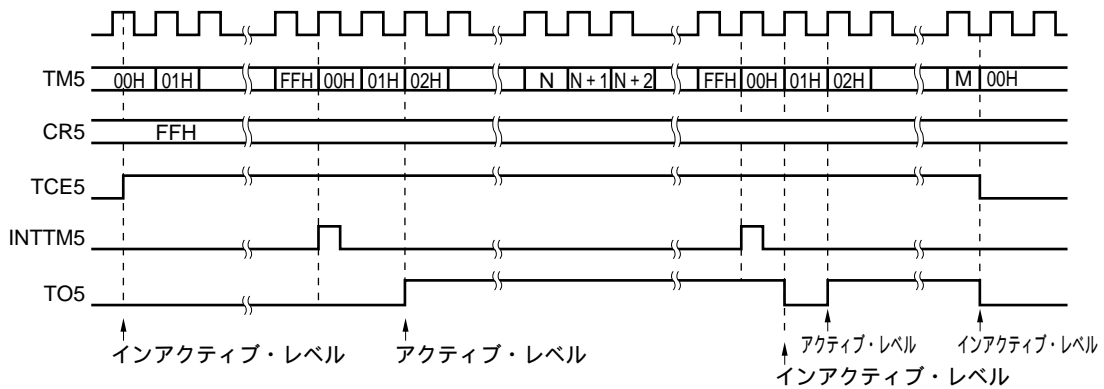
(a) 基本動作 (アクティブ・レベル = H のとき)



(b) CR5 = 0 の場合



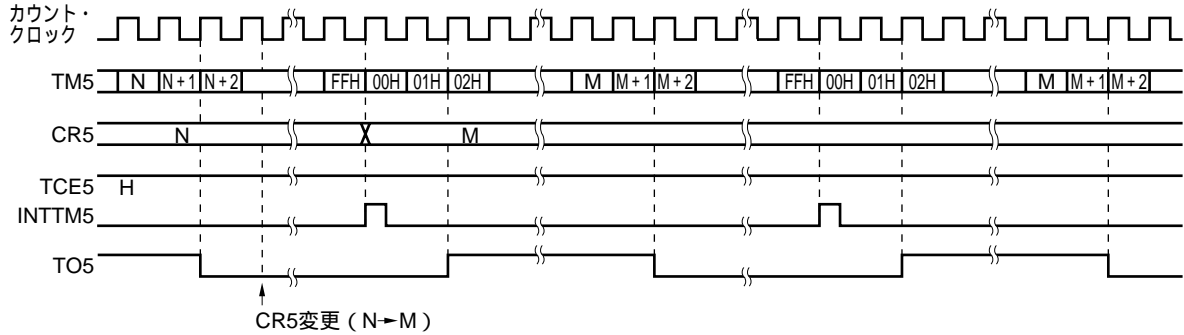
(c) CR5 = FFH の場合



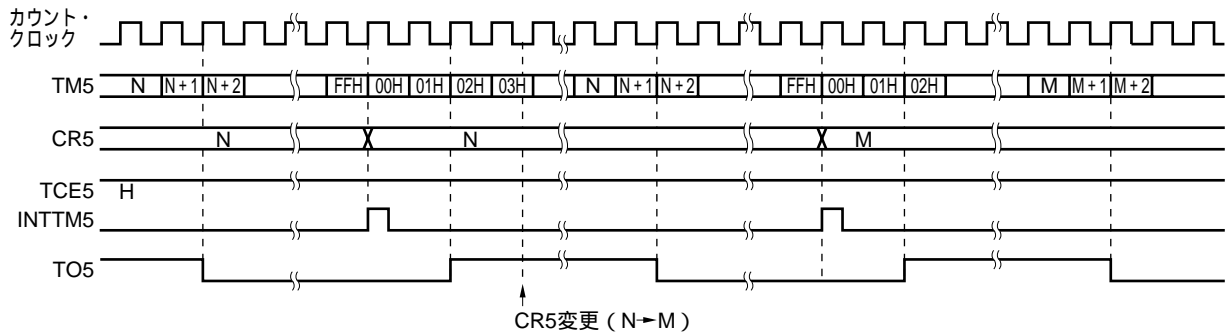
(2) CR5変更による動作

図6-8 CR5変更による動作のタイミング

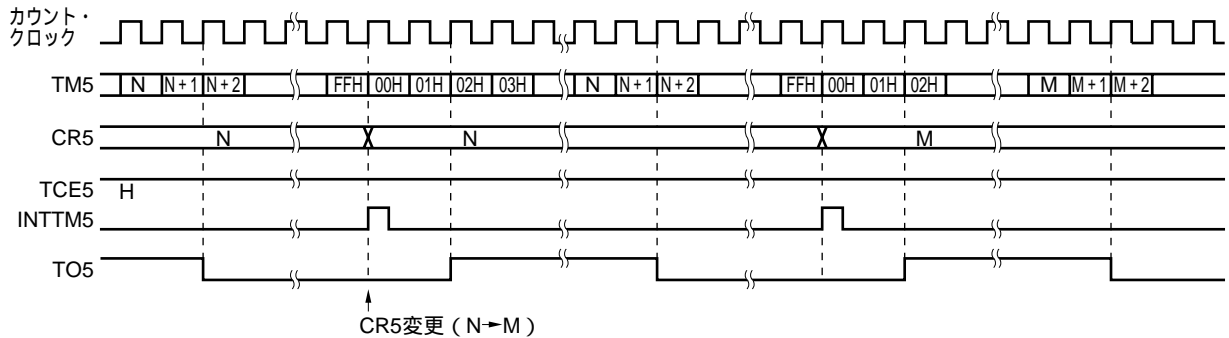
(a) CR5の値をTM5のオーバーフロー前にN Mに変更した場合



(b) CR5の値をTM5のオーバーフロー後にN Mに変更した場合



(c) CR5の値をTM5のオーバーフロー直後の2クロック間(00H, 01H)にN Mに変更した場合



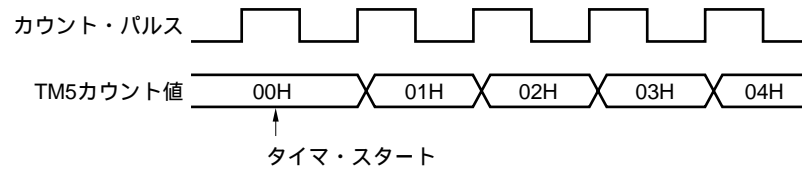
注意 PWMモード時のCR5の書き換えは、1周期に1回のみ可能です。

## 6.5 8ビット・タイマ/イベント・カウンタ (TM5) の注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して8ビット・タイマ・カウンタ5 (TM5) が非同期でスタートするためです。

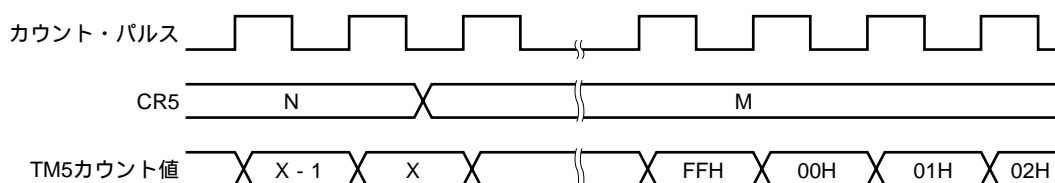
図6 - 9 8ビット・タイマ・カウンタ5のスタート・タイミング



## (2) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・タイマ・コンペア・レジスタ5 (CR5) の変更後の値が、8ビット・タイマ・カウンタ5 (TM5) の値よりも小さいときはカウントを継続し、オーバフローして0から再カウントします。したがって、CR5の変更後の値 (M) が、変更前の値 (N) より小さいときは、CR5を変更したあと、タイマを再スタートさせる必要があります。

図6-10 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



**注意** TI5入力を選択している場合を除き、STOP状態に設定する前は必ずTCE5 = 0にしてください。

**備考**  $N > X > M$

## (3) タイマ・カウント動作中のコンペア・レジスタの変更

インターバル・タイマとして使用する場合

8ビット・タイマ・カウンタ (TM5) と8ビット・タイマ・コンペア・レジスタ (CR5) が一致するタイミングで、CR5に書き込みをすると、一致信号が発生しません。したがって、タイマの一致タイミングとCR5への書き込み動作が競合しないように、ソフトウェアで対策を行ってください (例: ベクタ割り込みを使用)。

方形波出力として使用する場合

8ビット・タイマ・カウンタ (TM5) と8ビット・タイマ・コンペア・レジスタ (CR5) が一致するタイミングで、CR5に書き込みをすると、一致信号が発生せず、出力波形が反転しません。したがって、タイマの一致タイミングとCR5への書き込み動作が競合しないように、ソフトウェアで対策を行ってください (例: ベクタ割り込みを使用)。

8ビットPWM出力として使用する場合

- ・8ビット・タイマ・コンペア・レジスタ (CR5) に書き込みをし、8ビット・タイマ・カウンタ (TM5) のオーバフロー発生タイミング時に、再度CR5に書き込みをすると、CR5のデータは不定になります。したがって、オーバフローのタイミングとCR5への書き込み動作が競合しないように、ソフトウェアで対策を行ってください。
- ・8ビット・タイマ・コンペア・レジスタ (CR5) に書き込みをし、8ビット・タイマ・カウンタ (TM5) のオーバフロー発生タイミング時に、CR5に対して読み出し動作をすると、書き込み以前のデータ値が読み出されます。CR5に書き込んだデータ値が読み出されるのは、次のオーバフロー発生以後となります。
- ・8ビット・タイマ・カウンタ (TM5) と8ビット・タイマ・コンペア・レジスタ (CR5) が一致するタイミングで、CR5に書き込みをすると、一致信号が発生せず、インアクティブ・レベルになりません。

(4) タイマ動作中のTM5読み出しについて

動作中のTM5を読み出す場合、カウント・クロックが一時停止するため、選択するカウント・クロックは、CPUクロックの2周期分より長いハイ/ロウ・レベルのある波形を選択してください。たとえば、CPUクロック ( $f_{CPU}$ ) が  $f_x$  のとき、選択するカウント・クロックが  $f_x/4$  以下であれば読み出すことができます。

[メモ]



## 第7章 8ビット・タイマ (TM20)

### 7.1 8ビット・タイマ (TM20) の機能

8ビット・タイマ (TM20) は、インターバル・タイマ機能を持っています。  
あらかじめ設定した任意の間隔で割り込み要求を発生します。

表7 - 1 8ビット・タイマ (TM20) のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$2^5/f_x$ (6.4 $\mu$ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 $\mu$ s)
$2^{11}/f_x$ (401 $\mu$ s)	$2^{19}/f_x$ (105 ms)	$2^{11}/f_x$ (401 $\mu$ s)

- 備考1 .  $f_x$  : システム・クロック発振周波数  
2 . ( ) 内は、 $f_x = 5.0$  MHz動作時。

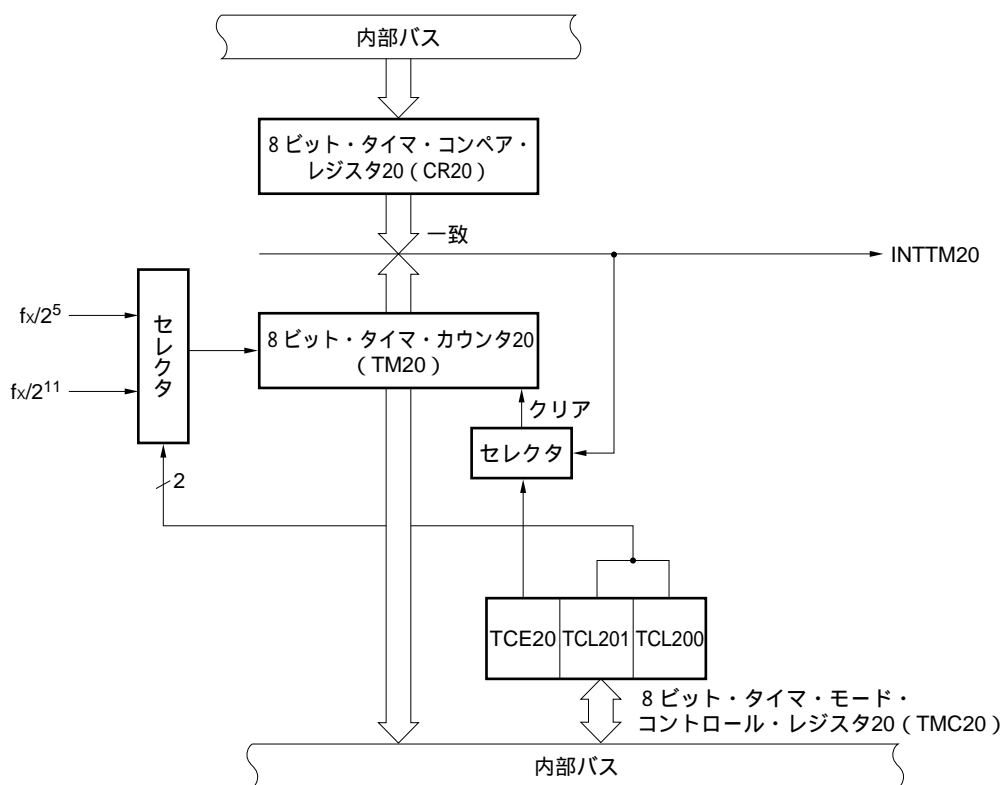
### 7.2 8ビット・タイマ (TM20) の構成

8ビット・タイマ (TM20) は、次のハードウェアで構成されています。

表7 - 2 8ビット・タイマ (TM20) の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ20 (TM20)
レジスタ	8ビット・タイマ・コンペア・レジスタ20 (CR20)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ20 (TMC20)

図7-1 8ビット・タイマ (TM20) のブロック図



### (1) 8ビット・タイマ・コンペア・レジスタ20 (CR20)

CR20に設定した値と8ビット・タイマ・カウンタ20 (TM20) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM20) を発生する8ビットのレジスタです。

CRは、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

リセット時は、不定になります。

**注意** 8ビット・タイマ・コンペア・レジスタ20 (CR20) の値は、SFRで読み出すことはできません (SFRで読み出した値はHi-Zになります)。

### (2) 8ビット・タイマ・カウンタ20 (TM20)

カウント・パルスをカウントする8ビットのレジスタです。

CR20に設定した値と一致したところで00Hになります。

TM20は、8ビット操作命令で読み出します。

リセット時は、00Hになります。

**注意** 8ビット・タイマ・カウンタ20 (TM20) の値は、SFRで読み出すことはできません (SFRで読み出した値は00Hになります)。

### 7.3 8ビット・タイマ (TM20) を制御するレジスタ

8ビット・タイマ (TM20) は、8ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) で制御します。

#### (1) 8ビット・タイマ・モード・コントロール・レジスタ20 (TMC20)

8ビット・タイマ・カウンタ20 (TM20) の動作許可 / 停止、TM20のカウンタ・クロックの設定を制御するレジスタです。

TMC20は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図7-2 8ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC20	TCE20	0	0	0	0	TCL201	TCL200	0	FF87H	00H	R/W

TCE20	8ビット・タイマ・カウンタ20の動作の制御
0	動作停止 (TM20は0にクリア)
1	動作許可

TCL201	TCL200	8ビット・タイマ・カウンタ20のカウンタ・クロックの選択
0	0	$f_x/2^5$ (156.3 kHz)
0	1	$f_x/2^{11}$ (2.44 kHz)
上記以外		設定禁止

**注意** TMC20は、必ずタイマ動作を停止させたのちに設定してください。

**備考1** .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は、 $f_x = 5.0$  MHz動作時。

## 7.4 8ビット・タイマ (TM20) の動作

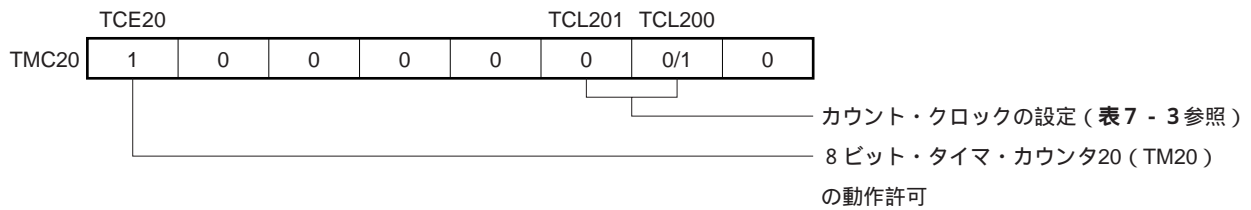
8ビット・タイマ (TM20) は、インターバル・タイマとして動作します。

インターバル・タイマは、あらかじめ8ビット・タイマ・コンペア・レジスタ20 (CR20) に設定したカウント値をインターバルとし、繰り返し割り込み要求を発生させることができます。

8ビット・タイマ (TM20) をインターバル・タイマとして動作させるには、次の設定をします。

- ・ CR20にカウント値を設定
- ・ 8ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) を図7 - 3のように設定

図7 - 3 インターバル・タイマ動作時の8ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) の設定内容



8ビット・タイマ・カウンタ20 (TM20) のカウント値がCR20に設定した値と一致したとき、TM20の値を0にクリアしてからカウントを継続するとともに、割り込み要求信号 (INTTM20) を発生します。

表7 - 3 にインターバル時間を、図7 - 4 にインターバル時間のタイミングを示します。

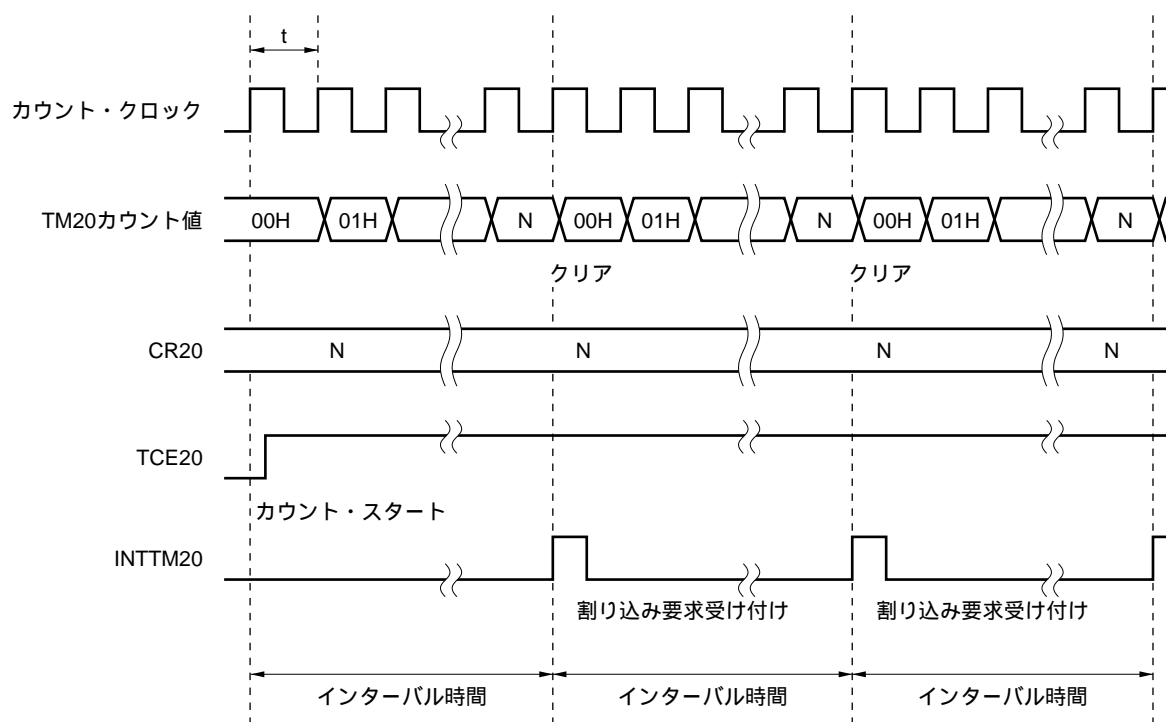
表7 - 3 8ビット・タイマ (TM20) のインターバル時間

TCL201	TCL200	最小インターバル時間	最大インターバル時間	分解能
0	0	$2^5/f_x$ (6.4 $\mu$ s)	$2^{13}/f_x$ (1.64 ms)	$2^5/f_x$ (6.4 $\mu$ s)
0	1	$2^{11}/f_x$ (401 $\mu$ s)	$2^{19}/f_x$ (105 ms)	$2^{11}/f_x$ (401 $\mu$ s)

備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は、 $f_x = 5.0$  MHz動作時。

図7-4 インターバル・タイマ動作のタイミング



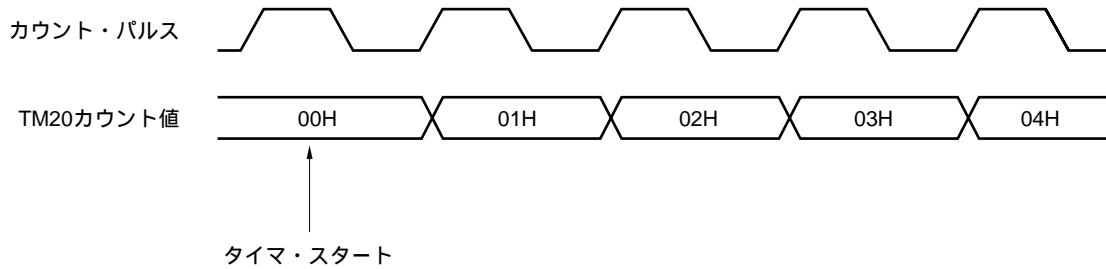
備考 インターバル時間 =  $(N + 1) \times t$  :  $N = 00H\text{-}FFH$

## 7.5 8ビット・タイマ (TM20) の注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ20 (TM20) のスタートが非同期で行われるためです。

図7-5 8ビット・タイマ・カウンタ20のスタート・タイミング

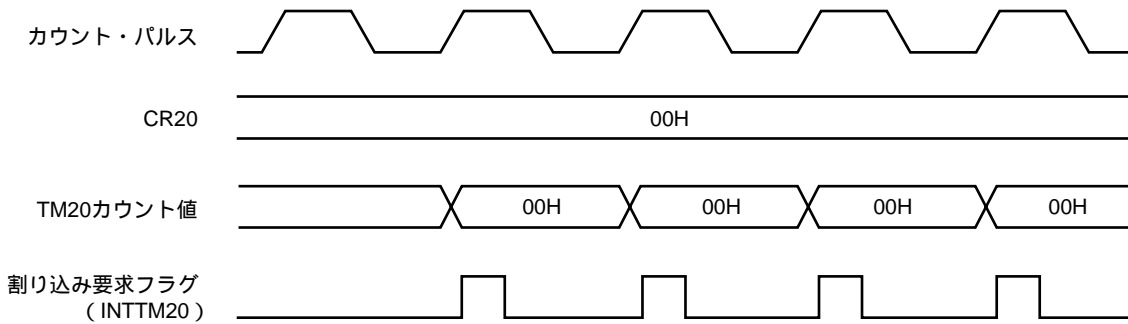


### (2) コンペア・レジスタ20の設定

コンペア・レジスタ20 (CR20) には、00Hの設定が可能です。

したがって、インターバル・タイマとして使用时、1パルスごとに割り込み要求信号 (INTTM20) を発生することができます。

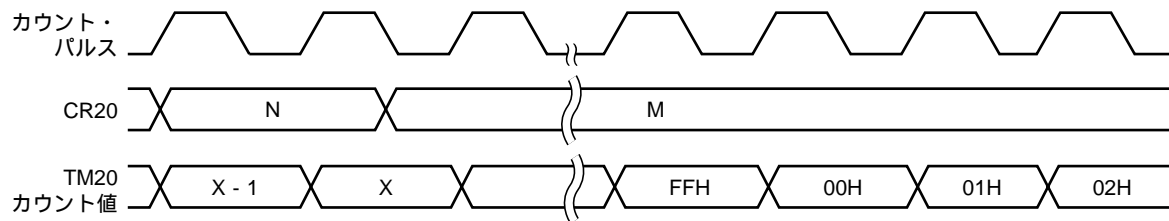
図7-6 インターバル・タイマとしての動作時のタイミング



## (3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・タイマ・コンペア・レジスタ20 (CR20) の変更後の値が, 8ビット・タイマ・カウンタ20 (TM20) の値よりも小さいとき, TM20はカウントを継続しオーバーフローして0から再カウントします。したがって, CR20の変更後の値 (M) が変更前の値 (N) より小さいときは, CR20を変更後, タイマを再スタートさせる必要があります。

図7-7 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



**備考**  $N > X > M$

[メモ]



## 第8章 8ビット・イベント・カウンタ (TM21)

### 8.1 8ビット・イベント・カウンタ (TM21) の機能

8ビット・イベント・カウンタ (TM21) は、外部イベント・カウンタ機能を持っていて、HSYNCカウンタとして使用できます。

外部から入力される信号のパルス数を測定します。

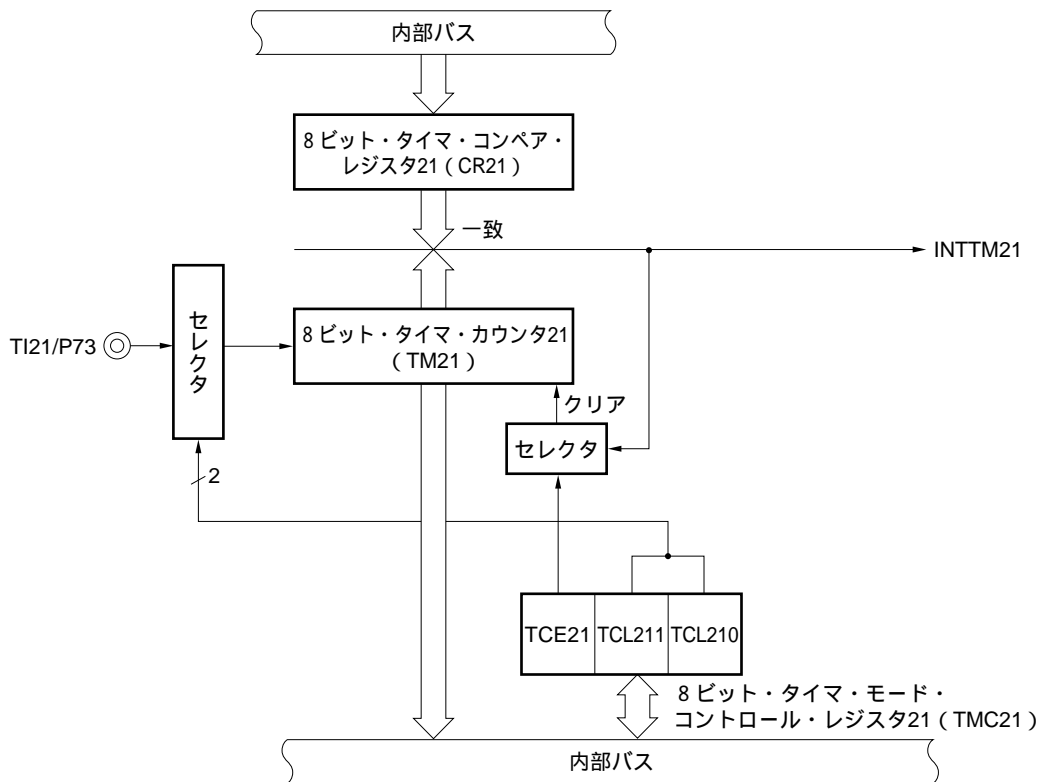
### 8.2 8ビット・イベント・カウンタ (TM21) の構成

8ビット・イベント・カウンタ (TM21) は、次のハードウェアで構成されています。

表8 - 1 8ビット・イベント・カウンタ (TM21) の構成

項 目	構 成
タイマ・レジスタ	8ビット・タイマ・カウンタ21 (TM21)
レジスタ	8ビット・タイマ・コンペア・レジスタ21 (CR21)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ21 (TMC21)

図8-1 8ビット・イベント・カウンタ (TM21) のブロック図



### (1) 8ビット・タイマ・コンペア・レジスタ21 (CR21)

CR21に設定した値と8ビット・タイマ・カウンタ21 (TM21) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM21) を発生する8ビットのレジスタです。

CR21は、8ビット・メモリ操作命令で設定します。00H-FFHの値が設定可能です。

リセット時は、不定になります。

**注意** 8ビット・タイマ・コンペア・レジスタ21 (CR21) の値は、SFRで読み出すことはできません (SFRで読み出した値はHi-Zになります)。

### (2) 8ビット・タイマ・カウンタ21 (TM21)

カウント・パルスをカウントする8ビットのレジスタです。

CR21に設定した値と一致したところで00Hになります。

TM21は、8ビット操作命令で読み出します。

リセット時は、00Hになります。

**注意** 8ビット・タイマ・カウンタ21 (TM21) の値は、SFRで読み出すことはできません (SFRで読み出した値は00Hになります)。

## 8.3 8ビット・イベント・カウンタ (TM21) を制御するレジスタ

8ビット・イベント・カウンタ (TM21) は、8ビット・タイマ・モード・コントロール・レジスタ21 (TMC21) で制御します。

### (1) 8ビット・タイマ・モード・コントロール・レジスタ21 (TMC21)

8ビット・タイマ・カウンタ21 (TM21) の動作許可 / 停止、TM21のカウンタ・クロックの設定を制御するレジスタです。

TMC21は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図8-2 8ビット・タイマ・モード・コントロール・レジスタ21 (TMC21) のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC21	TCE21	0	0	0	0	TCL211	TCL210	0	FF9FH	00H	R/W

TCE21	8ビット・タイマ・カウンタ21の動作の制御
0	動作停止 (TM21は0にクリア)
1	動作許可

TCL211	TCL210	8ビット・タイマ・カウンタ21のカウンタ・クロックの選択
0	0	クロック非選択 (動作せず)
0	1	設定禁止
1	0	TI21の立ち上がりエッジ
1	1	TI21の立ち下がりエッジ

**注意1** . TMC21は、必ずタイマ動作を停止させたのちに設定してください。

2 . TCL211, TCL210はリセット初期値のままだと“0”なので、カウンタ・クロックが選択されません。TM21使用時は必ずTI21の立ち上がり / 立ち下がりどちらかを設定してください。

**備考1** .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は、 $f_x = 5.0 \text{ MHz}$ 動作時。

## 8.4 8ビット・イベント・カウンタ (TM21) の動作

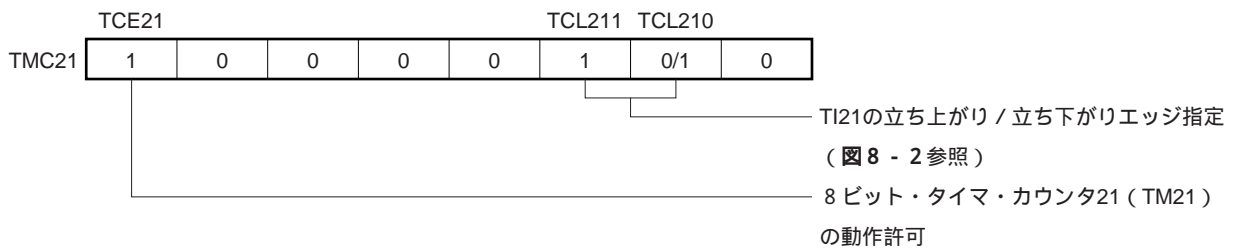
8ビット・イベント・カウンタ (TM21) は、外部イベント・カウンタとして動作します。

外部イベント・カウンタは、TI21/P73端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ21 (TM21) でカウントするものです。

8ビット・イベント・カウンタ (TM21) を外部イベント・カウンタとして動作させるには、次の設定をします。

- ・ 8ビット・タイマ・コンペア・レジスタ21 (CR21) にカウント値を設定
- ・ 8ビット・タイマ・モード・コントロール・レジスタ21 (TMC21) を図8 - 3のように設定

図8 - 3 外部イベント・カウンタ動作時の8ビット・タイマ・モード・コントロール・レジスタ21の設定内容

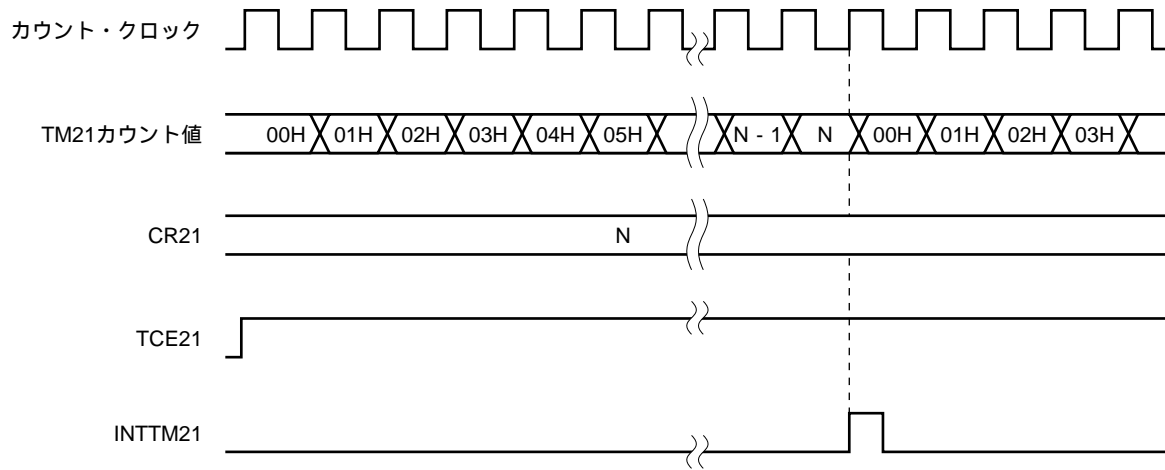


TMC21のビット1 (TCL210) で指定した有効エッジが入力されるたびに、8ビット・タイマ・カウンタ21 (TM21) がインクリメントされます。

TM21のカウント値がCR21に設定した値と一致したとき、TM21の値を0にクリアしてからカウントを継続するとともに、割り込み要求信号 (INTTM21) を発生します。

図8 - 4に外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) を示します。

図8 - 4 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



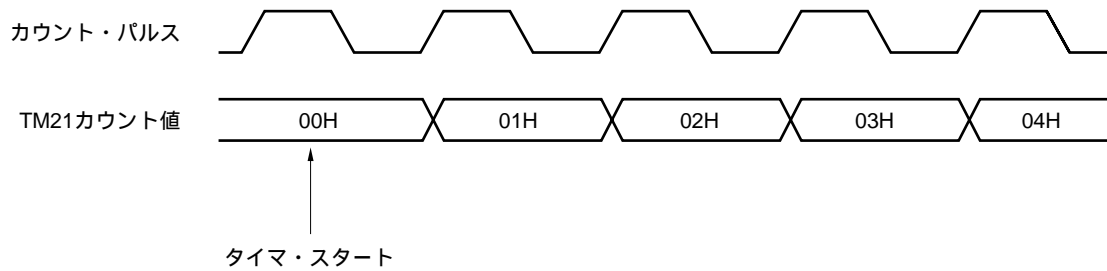
備考 N = 00H-FFH

## 8.5 8ビット・イベント・カウンタ (TM21) の注意事項

### (1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・カウンタ21 (TM21) のスタートが非同期で行われるためです。

図8 - 5 8ビット・タイマ・カウンタ21のスタート・タイミング

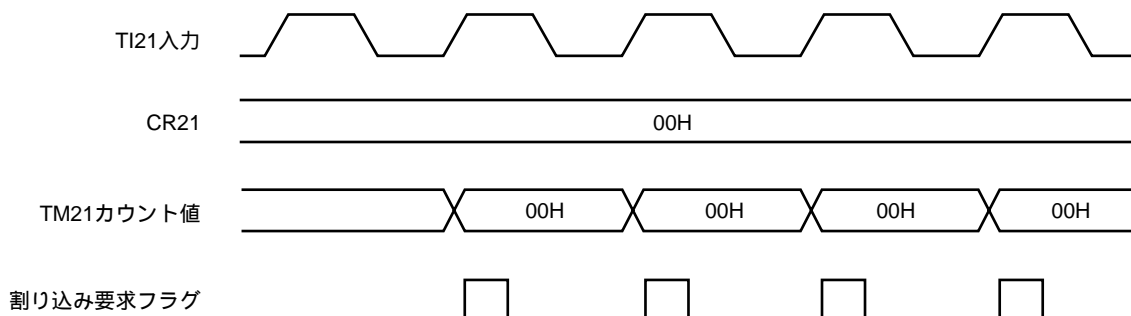


### (2) 8ビット・タイマ・コンペア・レジスタ21の設定

8ビット・タイマ・コンペア・レジスタ21 (CR21) には、00Hの設定が可能です。

したがって、イベント・カウンタとして使用时、1パルスごとのカウント動作ができます。

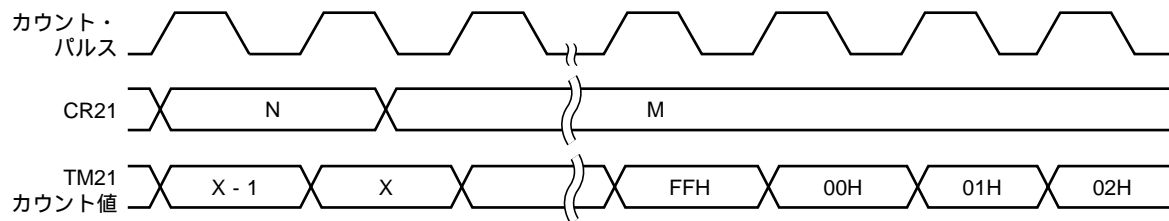
図8 - 6 外部イベント・カウンタとしての動作時のタイミング



## (3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・タイマ・コンペア・レジスタ21 (CR21) の変更後の値が, 8ビット・タイマ・カウンタ21 (TM21) の値よりも小さいとき, TM21はカウントを継続しオーバーフローして0から再カウントします。したがって, CR21の変更後の値 (M) が変更前の値 (N) より小さいときは, CR21を変更後, タイマを再スタートさせる必要があります。

図8 - 7 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



**備考**  $N > X > M$

[メモ]



# 第9章 8ビット・リモコン・タイマ (TM9)

## 9.1 8ビット・リモコン・タイマ (TM9) の機能

8ビット・リモコン・タイマ (TM9) は、8ビット分解能のパルス幅測定機能を持っています。タイマをフリーランニングで動作させ、有効エッジを検出したときのカウント値の差からパルス幅を測定します。

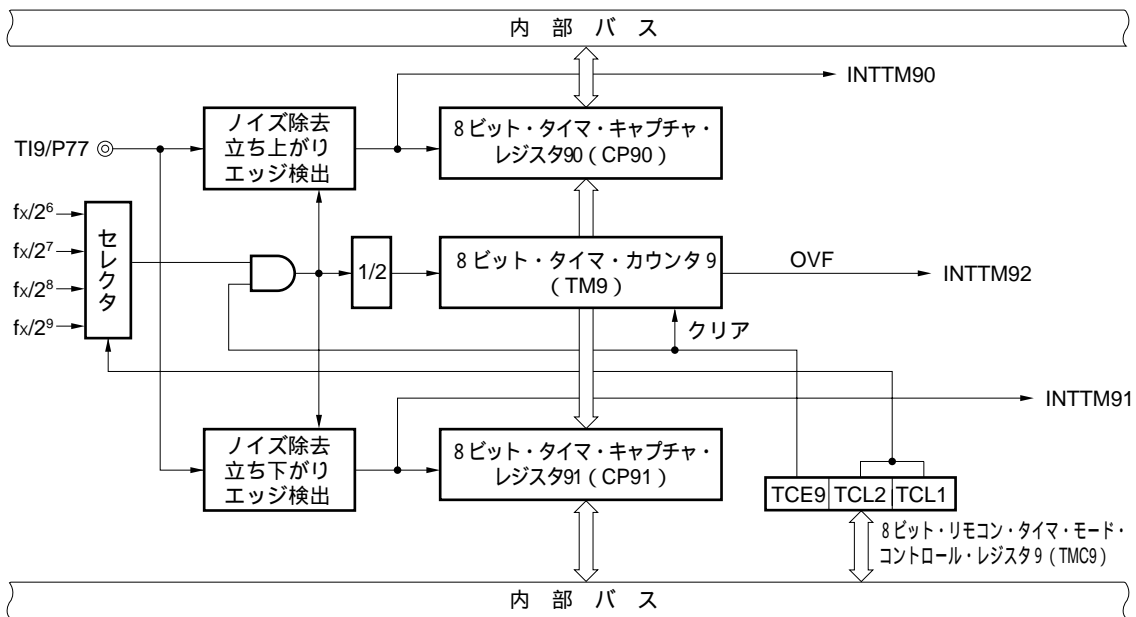
## 9.2 8ビット・リモコン・タイマ (TM9) の構成

8ビット・リモコン・タイマ (TM9) は、次のハードウェアで構成されています。

表9-1 8ビット・リモコン・タイマ (TM9) の構成

項目	構成
タイマ・レジスタ	8ビット・タイマ・カウンタ9 (TM9)
レジスタ	8ビット・タイマ・キャプチャ・レジスタ：2本 (CP90, CP91)
制御レジスタ	8ビット・リモコン・タイマ・モード・コントロール・レジスタ9 (TMC9)

図9-1 8ビット・リモコン・タイマ (TM9) のブロック図



## 9.3 8ビット・リモコン・タイマ (TM9) を制御するレジスタ

8ビット・リモコン・タイマ (TM9) を制御するレジスタには、次の3種類があります。

- ・ 8ビット・リモコン・タイマ・モード・コントロール・レジスタ9 (TMC9)
- ・ 8ビット・タイマ・キャプチャ・レジスタ (CP90, CP91)
- ・ 8ビット・タイマ・カウンタ9 (TM9)

### (1) 8ビット・リモコン・タイマ・モード・コントロール・レジスタ9 (TMC9)

8ビット・タイマ・カウンタ9 (TM9) の動作許可 / 禁止, カウント・クロックの設定をするレジスタです。

TMC9は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図9 - 2 8ビット・リモコン・タイマ・モード・コントロール・レジスタ9 (TMC9) のフォーマット

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC9	TCE9	0	0	0	0	0	TCL2	TCL1	FF89H	00H	R/W

TCE9	TM9のカウンタ動作制御
0	カウンタを0にクリア後、動作停止 <sup>注1</sup>
1	カウンタ動作開始

TCL2	TCL1	カウンタ・クロックの選択 <sup>注2</sup>
0	0	$f_x/2^{10}$ (4.9 kHz)
0	1	$f_x/2^9$ (9.8 kHz)
1	0	$f_x/2^8$ (19.5 kHz)
1	1	$f_x/2^7$ (39.1 kHz)

注1 . カウンタ・クロックが停止すると、キャプチャ動作はできません。

2 . カウンタ・クロックを変更するときは、カウンタ・クロックを停止させてから設定してください。

備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は、 $f_x = 5.0$  MHz動作時。

**(2) 8ビット・タイマ・キャプチャ・レジスタ (CP90, CP91)**

8ビット・タイマ・カウンタ9 (TM9) の内容をキャプチャする8ビットのレジスタです。

キャプチャ動作は、TI9端子への有効エッジ入力 (キャプチャ・トリガ) に同期します。CP90の内容は、TI9端子の次の立ち上がりエッジを検出するまで保持されます。CP91の内容は、TI9端子の次の立ち下がりエッジを検出するまで保持されます。

CP90, CP91は、8ビット・メモリ操作命令で読み出します。

リセット時は、00Hになります。

**(3) 8ビット・タイマ・カウンタ9 (TM9)**

カウント・パルスをカウントする8ビットのレジスタです。

TM9は、8ビット・メモリ操作命令で読み出します。

リセット時、またはTCE9ビットのクリアで00Hになります。

## 9.4 8ビット・リモコン・タイマ (TM9) の動作

8ビット・リモコン・タイマ (TM9) は、パルス幅測定回路として動作します。

パルス幅測定は、TI9端子に入力される外部パルスのハイ・レベルまたはロウ・レベルの幅を測定するものです。測定方法は、8ビット・タイマ・カウンタ9 (TM9) をフリーランニングさせて測定します。

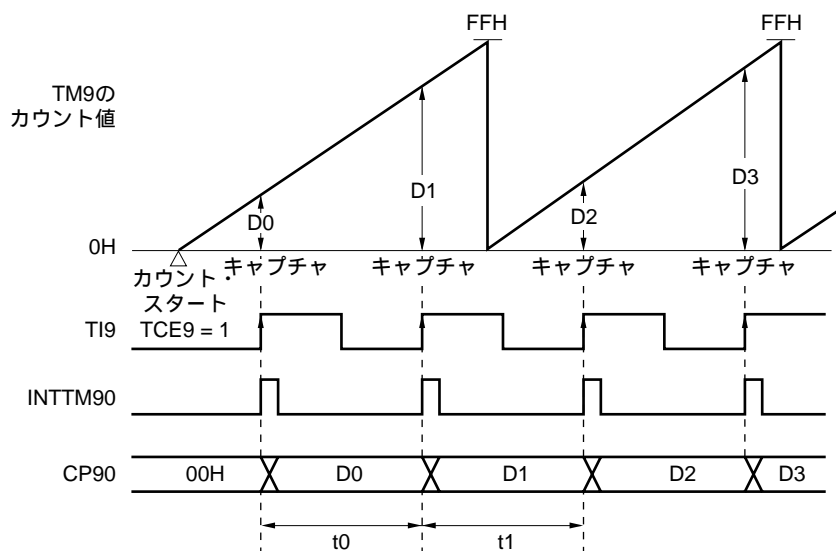
有効エッジの検出は、TCL1, TCL2で選択したカウント・クロックの2周期ごとにサンプリングを行い、2回有効レベルを検出することで始めてキャプチャ動作するため、短いパルス幅のノイズを検出できます。したがって、TI9端子に入力するパルス幅は、ハイ・レベル、ロウ・レベルともTCL1, TCL2で設定したカウント・クロックの5クロック以上必要で、これ以下の場合には有効エッジが検出されず、キャプチャ動作しません。

図9-3に示すように、TI9端子に入力されるパルスの有効エッジに同期して、カウント中の8ビット・タイマ・カウンタ9 (TM9) の値を8ビット・タイマ・キャプチャ・レジスタ (CP90, CP91) に取り込み、保持します。

図9-3に、パルス幅測定のタイミングを示します。

図9-3 パルス幅測定のタイミング (1/2)

### (1) 立ち上がりエッジに同期してパルス幅を測定する場合



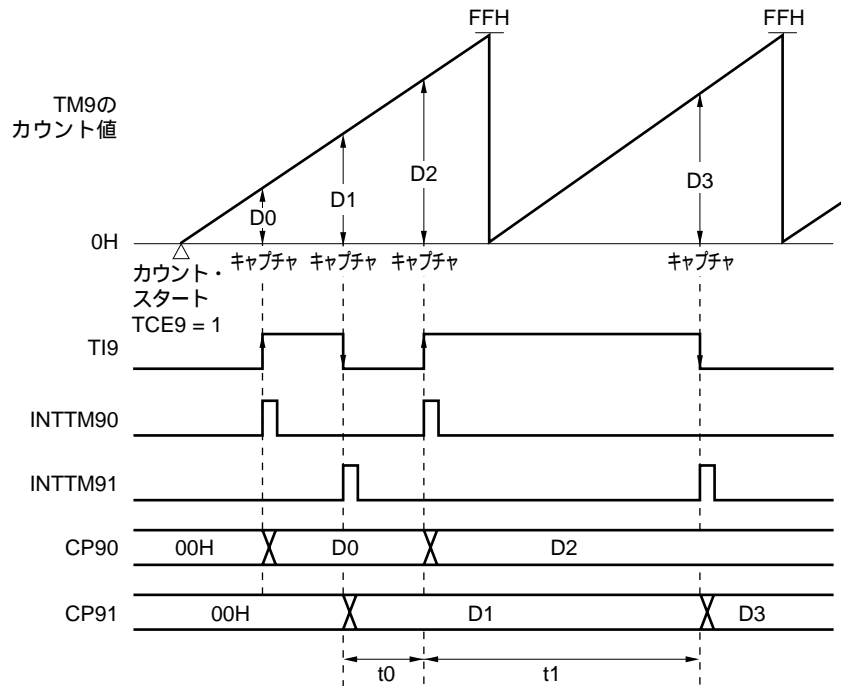
**備考**  $t_0 = (D1 - D0) \times 1/f_{\text{COUNT}}$

$t_1 = (100H - D1 + D2) \times 1/f_{\text{COUNT}}$

$f_{\text{COUNT}}$ : TCL1, TCL2で設定したカウント・クロック周波数

図9 - 3 パルス幅測定のタイミング (2/2)

(2) 立ち上がり, 立ち下がり両エッジに同期してパルス幅を測定する場合



**備考**  $t_0 = (D_2 - D_1) \times 1/f_{\text{COUNT}}$

$t_1 = (100H - D_2 + D_3) \times 1/f_{\text{COUNT}}$

$f_{\text{COUNT}}$ : TCL1, TCL2で設定したカウント・クロック周波数

## 9.5 8ビット・リモコン・タイマ (TM9) の注意事項

- (1) 8ビット・タイマ・キャプチャ・レジスタ (CP90, CP91) のリードとキャプチャ動作が競合した場合, 動作の保証はできません。リードするときは必ず, 割り込み信号がアクティブになってキャプチャ動作が完了してから次のキャプチャ動作に入る前までの間に行ってください。
- (2) リセット直後に割り込み信号がアクティブになる可能性がありますので, 割り込みフラグをクリアしてください。

[メモ]

# 第10章 ベーシック・タイマ (BTM1)

ベーシック・タイマはプログラム実行上の時間管理に使用します。

## 10.1 ベーシック・タイマ (BTM1) の機能

1 msまたは10msの時間間隔で割り込み要求信号 (INTBTM1) を発生します。

割り込み要求信号発生 の時間間隔は、ベーシック・タイマ1モード・レジスタ (BTMMD1) で設定します。

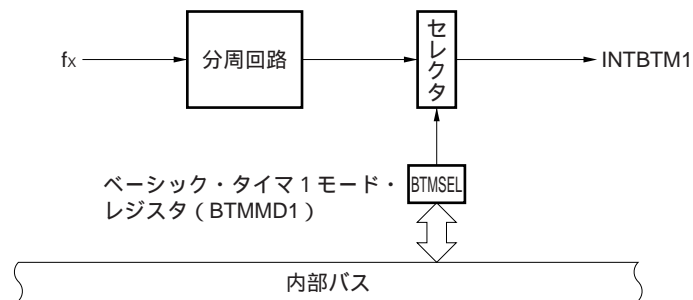
## 10.2 ベーシック・タイマ (BTM1) の構成

ベーシック・タイマ (BTM1) は、次のハードウェアで構成しています。

表10 - 1 ベーシック・タイマ (BTM1) の構成

項目	構成
制御レジスタ	ベーシック・タイマ1モード・レジスタ (BTMMD1)

図10 - 1 ベーシック・タイマ (BTM1) のブロック図



備考 fx : システム・クロック発振周波数

### 10.3 ベーシック・タイマ (BTM1) を制御するレジスタ

ベーシック・タイマ (BTM1) はベーシック・タイマ1モード・レジスタ (BTMMD1) で制御します。  
 BTMMD1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 リセット時は、00Hになります。

図10 - 2 ベーシック・タイマ1モード・レジスタ (BTMMD1) のフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
BTMMD1	0	0	0	0	0	0	0	BTMSEL	FF90H	00H	R/W

BTMSEL	ベーシック・タイマ (BTM1) の割り込み要求信号の時間設定
0	1 ms
1	10 ms



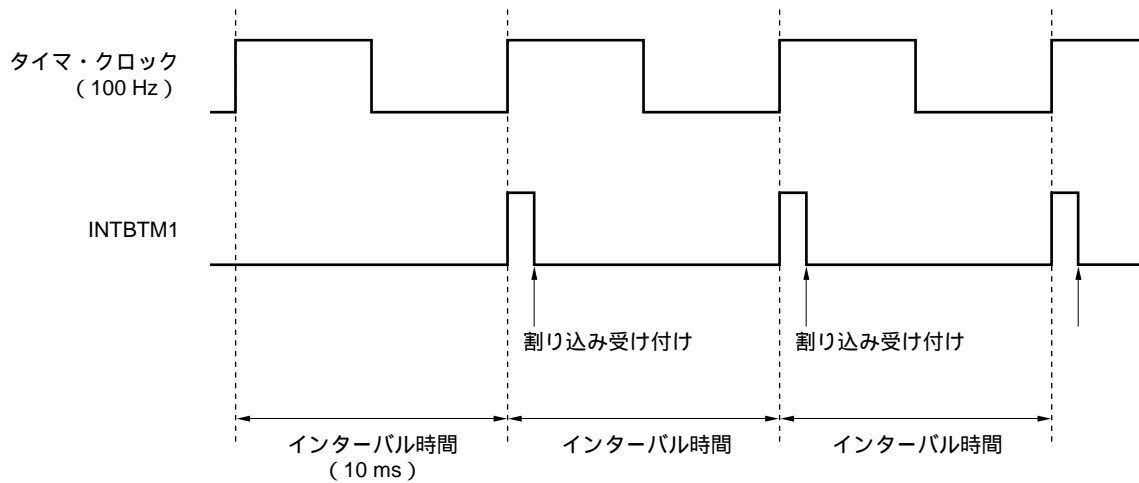
## 10.4 ベーシック・タイマ (BTM1) の動作

次にベーシック・タイマの動作例を示します。

1 msまたは10 msの時間間隔で、繰り返し割り込みを発生するインターバル・タイマとして動作します。1 msまたは10 msの時間間隔で割り込み要求信号 (INTBTM1) を発生します。

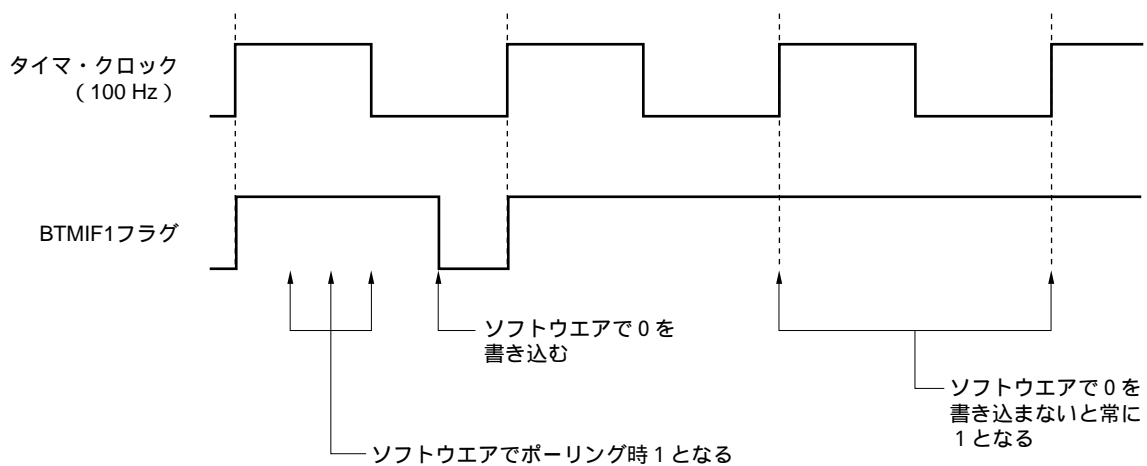
タイマ・クロックは100 Hzまたは1 kHzです。

図10 - 3 ベーシック・タイマ動作のタイミング 1 (10 ms設定時 (BTMSEL = 1))



このベーシック・タイマの割り込み要求フラグ (BTMIF1) をソフトウェアでポーリングすることにより、時間管理を行うことができます。なお、BTMIF1はRead&Resetではありませんので注意してください。

図10 - 4 BTMIF1フラグをポーリングする場合の動作タイミング (10 ms設定時 (BTMSEL = 1))



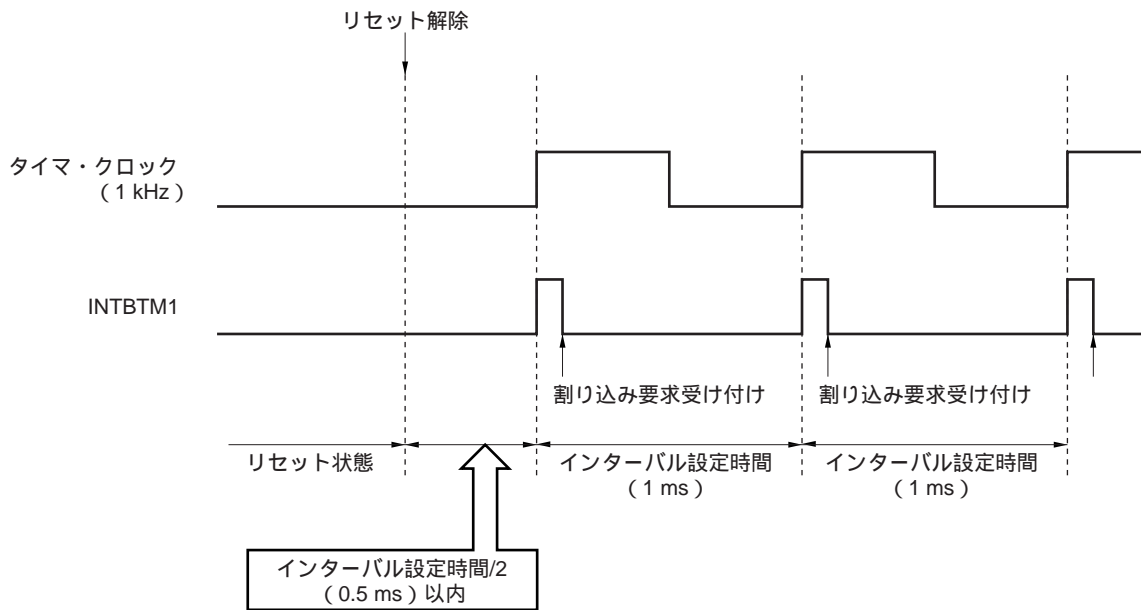
ベーシック・タイマを制御するレジスタについては、**第19章 割り込み機能**を参照してください。

## 10.5 ベーシック・タイマ (BTM1) の注意事項

ベーシック・タイマ動作中にBTMSELを書き換えた場合、1周期目は設定時間（1 msまたは10 ms）では割り込み要求信号（INTBTM1）を発生しません。2周期目から設定時間（1 msまたは10 ms）の間隔で割り込み要求信号（INTBTM1）を発生します。

リセット解除後の場合、1周期目は設定時間の1/2（0.5 msまたは5 ms）以内に割り込み要求信号（INTBTM1）を発生します。2周期目からは設定時間（1 msまたは10 ms）の間隔で割り込み要求信号（INTBTM1）を発生します。

図10 - 5 ベーシック・タイマ動作のタイミング2（1 ms設定時（BTMSEL = 0））



# 第11章 ウォッチドッグ・タイマ

## 11.1 ウォッチドッグ・タイマの機能

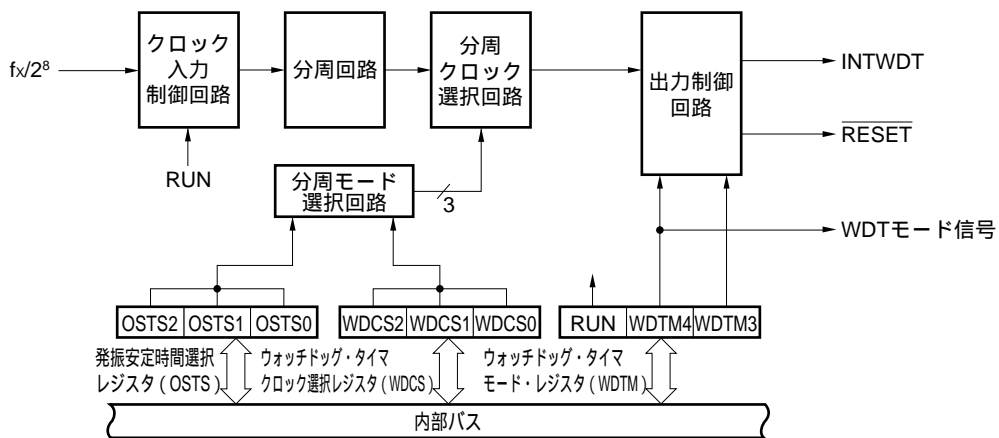
ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ
- ・発振安定時間の選択

**注意** ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください (ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません)。

図11 - 1 にブロック図を示します。

図11 - 1 ウォッチドッグ・タイマのブロック図



(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスクブル割り込みまたはリセットを発生することができます。

表11 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間
$2^{12}/f_x$ ( 819.2 $\mu$ s )
$2^{13}/f_x$ ( 1.64 ms )
$2^{14}/f_x$ ( 3.28 ms )
$2^{15}/f_x$ ( 6.55ms )
$2^{16}/f_x$ ( 13.1 ms )
$2^{17}/f_x$ ( 26.2 ms )
$2^{18}/f_x$ ( 52.4 ms )
$2^{20}/f_x$ ( 209.7ms )

備考 1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は ,  $f_x = 5.0$  MHz動作時。

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込みを発生します。

表11 - 2 インターバル時間

インターバル時間
$2^{12}/f_x$ ( 819.2 $\mu$ s )
$2^{13}/f_x$ ( 1.64 ms )
$2^{14}/f_x$ ( 3.28 ms )
$2^{15}/f_x$ ( 6.55 ms )
$2^{16}/f_x$ ( 13.1 ms )
$2^{17}/f_x$ ( 26.2 ms )
$2^{18}/f_x$ ( 52.4 ms )
$2^{20}/f_x$ ( 209.7 ms )

備考 1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は ,  $f_x = 5.0$  MHz動作時。

## 11.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11 - 3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) 発振安定時間選択レジスタ (OSTS)

## 11.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタには、次の3種類があります。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)
- ・発振安定時間選択レジスタ (OSTS)

### (1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマおよびインターバル・タイマのオーバフロー時間を設定するレジスタです。

WDCSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図11 - 2 ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0	FF42H	00H	R/W

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバフロー時間
0	0	0	$2^{12}/f_x$ (819.2 $\mu$ s)
0	0	1	$2^{13}/f_x$ (1.64 ms)
0	1	0	$2^{14}/f_x$ (3.28 ms)
0	1	1	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{16}/f_x$ (13.1 ms)
1	0	1	$2^{17}/f_x$ (26.2 ms)
1	1	0	$2^{18}/f_x$ (52.4 ms)
1	1	1	$2^{20}/f_x$ (209.7 ms)

備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は,  $f_x = 5.0$  MHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可/禁止を設定するレジスタです。  
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
 リセット時は，00Hになります。

図11-3 ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	FFF9H	00H	R/W

RUN	ウォッチドッグ・タイマの動作モードの選択 <sup>注1</sup>
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 <sup>注2</sup>
0	x	インターバル・タイマ・モード <sup>注3</sup> (オーバーフロー発生時，マスカブル割り込み要求発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込み要求発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動)

注1．RUNは，一度1にセットされると，ソフトウェアで0にクリアすることはできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$  入力以外で停止させることはできません。

2．WDTM3, WDTM4は，一度1にセットされると，ソフトウェアで0にクリアすることはできません。

3．RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意 RUNに1をセットし，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，ウォッチドッグ・タイマ・クロック選択レジスタ (WDSC) で設定した時間より最大0.5%短くなります。

備考 x : don't care

(3) 発振安定時間選択レジスタ (OSTS)

リセット時またはSTOPモードを解除してから発振が安定するまでの発振安定時間を選択するレジスタです。

OSTSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、04Hになります。したがって、RESET 入力でSTOPモードを解除するとき、解除までの時間は $2^{17}/f_x$ です。

図11-4 発振安定時間選択レジスタ (OSTS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819.2 $\mu$ s)
0	0	1	$2^{14}/f_x$ (3.28 ms)
0	1	0	$2^{15}/f_x$ (6.55 ms)
0	1	1	$2^{16}/f_x$ (13.1 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は、 $f_x = 5.0$  MHz動作時。

## 11.4 ウォッチドッグ・タイマの動作

### 11.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット 4 (WDTM4) に 1 を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット 0-2 (WDCS0-WDCS2) でウォッチドッグ・タイマの暴走検出時間間隔を選択できます。WDTMのビット 7 (RUN) に 1 を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUNに再度 1 を設定すると、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

RUNに 1 がセットされず、暴走検出時間を越えてしまった場合は、WDTMのビット 3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを 1 に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

**注意** 実際の暴走検出時間は、設定時間に対して最大0.5 %短くなる場合があります。

表11 - 4 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間
$2^{12}/f_x$ ( 819.2 $\mu$ s )
$2^{13}/f_x$ ( 1.64 ms )
$2^{14}/f_x$ ( 3.28 ms )
$2^{15}/f_x$ ( 6.55 ms )
$2^{16}/f_x$ ( 13.1 ms )
$2^{17}/f_x$ ( 26.2 ms )
$2^{18}/f_x$ ( 52.4 ms )
$2^{20}/f_x$ ( 209.7 ms )

備考 1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は、 $f_x = 5.0$  MHz動作時。



### 11.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・レジスタ (WDTM) のビット3 (WDTM3) に1を, ビット4 (WDTM4) に0を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でインターバル・タイマのインターバル時間を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR) が有効となり, マスカブル割り込み要求 (INTWDT) を発生させることができます。INTWDTのデフォルト優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

**注意 1** . 一度WDTMのビット4 (WDTM4) に1を設定する (ウォッチドッグ・タイマ・モードを選択する) と,  $\overline{\text{RESET}}$  入力されないかぎり, インターバル・タイマ・モードにはなりません。

**2** . WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.5 %短くなる場合があります。

表11 - 5 インターバル・タイマのインターバル時間

インターバル時間
$2^{12}/f_x$ ( 819.2 $\mu\text{s}$ )
$2^{13}/f_x$ ( 1.64 ms )
$2^{14}/f_x$ ( 3.28 ms )
$2^{15}/f_x$ ( 6.55 ms )
$2^{16}/f_x$ ( 13.1 ms )
$2^{17}/f_x$ ( 26.2 ms )
$2^{18}/f_x$ ( 52.4 ms )
$2^{20}/f_x$ ( 209.7 ms )

**備考 1** .  $f_x$  : システム・クロック発振周波数

**2** . ( ) 内は,  $f_x = 5.0 \text{ MHz}$  動作時。

[メモ]

## 第12章 A/Dコンバータ

### 12.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、8ビット分解能4チャンネル（ANI0-ANI3）の構成になっています。

変換方式は逐次比較方式で、変換結果を8ビットのA/D変換結果レジスタ3（ADCR3）に保持します。

A/D変換は、A/Dコンバータ・モード・レジスタ3を設定することにより動作を開始します。

アナログ入力をANI0-ANI3から1チャンネル選択し、A/D変換を行ってください。

1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。A/D変換を1回終了するたびに、割り込み要求（INTAD）を発生します。

### 12.2 A/Dコンバータの構成

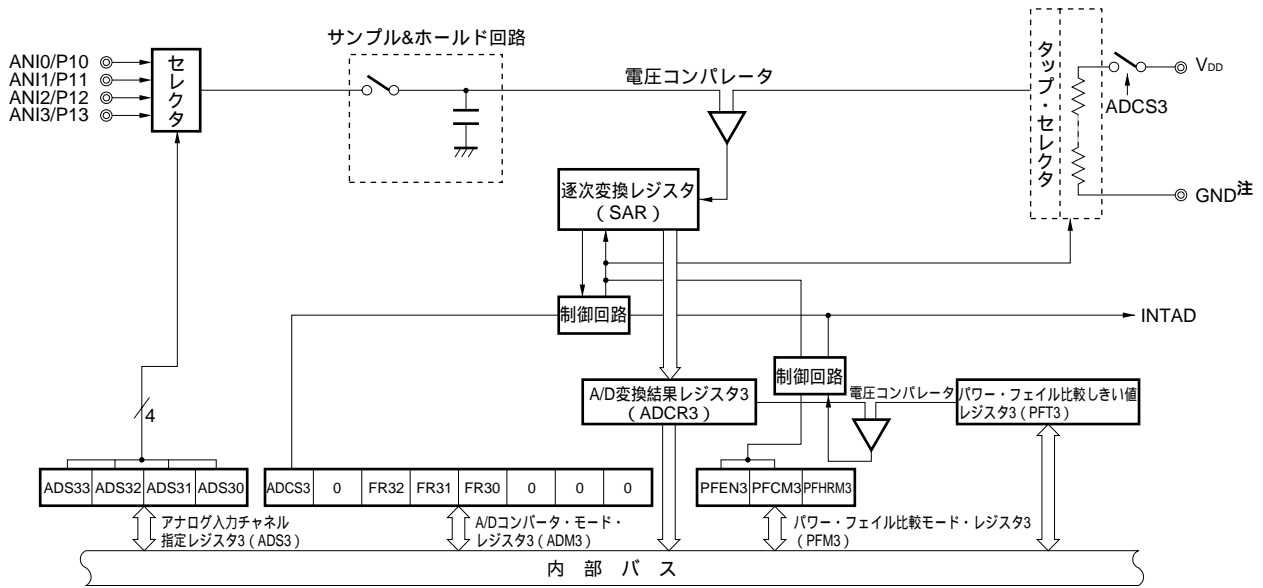
A/Dコンバータは、次のハードウェアで構成しています。

表12 - 1 A/Dコンバータの構成

項 目	構 成
アナログ入力	4チャンネル（ANI0-ANI3）
制御レジスタ	A/Dコンバータ・モード・レジスタ3（ADM3） アナログ入力チャンネル指定レジスタ3（ADS3） パワー・フェイル比較モード・レジスタ3（PFM3）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ3（ADCR3） パワー・フェイル比較しきい値レジスタ3（PFT3）

★

図12 - 1 A/Dコンバータのブロック図



注 GND00, GND10, GND01, GND11のいずれかになります。

### (1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ (比較電圧) の値を比較し、その結果を最上位 (MSB) から保持するレジスタです。

最下位ビット (LSB) まで保持すると (A/D変換終了)、SARの内容はA/D変換結果レジスタに転送されません。

### (2) A/D変換結果レジスタ3 (ADCR3)

A/D変換結果を格納する8ビットのレジスタです。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。

ADCR3は、8ビット・メモリ操作命令で読み出します。

リセット時は、不定になります。

**注意** A/Dコンバータ・モード・レジスタ3 (ADM3)、アナログ入力チャンネル指定レジスタ3 (ADS3) に対して書き込み動作を行ったとき、ADCR3の内容は不定となることがあります。変換結果は、変換動作終了後、ADM3、ADS3に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

### (3) パワー・フェイル比較しきい値レジスタ3 (PFT3)

A/D変換結果レジスタ3 (ADCR3) と大小比較する場合のしきい値を設定するレジスタです。

PFT3は8ビット・メモリ操作命令で読み出し/書き込みます。

### (4) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

### (5) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

### (6) 直列抵抗ストリング

直列抵抗ストリングは、 $V_{DD}$ -GND間に接続されており、アナログ入力と比較する電圧を発生します。

### (7) ANI0-ANI3端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

**注意 1** ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特に $V_{DD}$ 以上、GND以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

**2** アナログ入力 (ANI0-ANI3) 端子は入力ポート (P10-P13) と兼用になっています。ANI0-ANI3のいずれかを選択して、A/D変換をする場合、変換中にポート1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

## 12.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタには、次の3種類があります。

- ・A/Dコンバータ・モード・レジスタ3 (ADM3)
- ・アナログ入力チャンネル指定レジスタ3 (ADS3)
- ・パワー・フェイル比較モード・レジスタ3 (PFM3)

### (1) A/Dコンバータ・モード・レジスタ3 (ADM3)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図12-2 A/Dコンバータ・モード・レジスタ3 (ADM3) のフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM3	ADCS3	0	FR32	FR31	FR30	0	0	0	FF12H	00H	R/W

ADCS3	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR32	FR31	FR30	変換時間の選択
0	0	0	288/f <sub>x</sub> (57.6 μs)
0	0	1	240/f <sub>x</sub> (48.0 μs)
0	1	0	192/f <sub>x</sub> (38.4 μs)
1	0	0	144/f <sub>x</sub> (28.8 μs)
1	0	1	120/f <sub>x</sub> (24.0 μs)
1	1	0	96/f <sub>x</sub> (19.2 μs)
上記以外			設定禁止

**注意1** . ビット7 (ADCS3) に “ 1 ” を設定した直後の変換結果は不定になります。

**2** . ビット3-5 (FR30-FR32) を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

**備考1** . f<sub>x</sub> : システム・クロック発振周波数

**2** . ( ) 内は、f<sub>x</sub> = 5.0 MHz動作時。

(2) アナログ入力チャンネル指定レジスタ3 (ADS3)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADS3は、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図12 - 3 アナログ入力チャンネル指定レジスタ3 (ADS3) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS3	0	0	0	0	ADS33	ADS32	ADS31	ADS30	FF13H	00H	R/W

ADS33	ADS32	ADS31	ADS30	アナログ入力チャンネルの指定
0	0	0	0	ANI0
0	0	0	1	ANI1
0	0	1	0	ANI2
0	0	1	1	ANI3
上記以外				設定禁止

(3) パワー・フェイル比較モード・レジスタ3 (PFM3)

PFM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット時は、00Hになります。

図12-4 パワー・フェイル比較モード・レジスタ3 (PFM3) のフォーマット

略号								アドレス	リセット時	R/W	
			4	3	2	1	0				
PFM3	PFEN3	PFCM3	PFHRM3	0	0	0	0	0	FF16H	00H	R/W

PFEN3	パワー・フェイル比較許可 / 禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

PFCM3	パワー・フェイル比較モードの選択
0	ADCR3 PFTで割り込み要求 (INTAD) を発生
1	ADCR3 < PFTで割り込み要求 (INTAD) を発生

PFHRM3 <sup>注</sup>	パワー・フェイルHALTリピート・モード選択
0	パワー・フェイルHALTリピート・モード動作禁止
1	パワー・フェイルHALTリピート・モード動作許可

**注** ビット5 (PFHRM3) に1を設定すると、HALTモード時にパワー・フェイル比較操作が可能になります。割り込み要求 (INTAD) が発生するまで、A/D変換を繰り返します (INTADが発生すると、0にリセットされます)。



## 12.4 A/Dコンバータの動作

### 12.4.1 A/Dコンバータの基本動作

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ3 (ADS3) で1チャンネル選択してください。選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット7がセットされます。タップ・セレクタにより直列抵抗ストリングの電圧タップが  $(1/2)V_{DD}$  にされます。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力  $(1/2)V_{DD}$  よりも大きければ、SARのMSBがセットされたままです。また、 $(1/2)V_{DD}$  よりも小さければMSBをリセットします。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

・ビット7 = 1 :  $(3/4)V_{DD}$

・ビット7 = 0 :  $(1/4)V_{DD}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

・アナログ入力電圧 > 電圧タップ : ビット6 = 1

・アナログ入力電圧 < 電圧タップ : ビット6 = 0

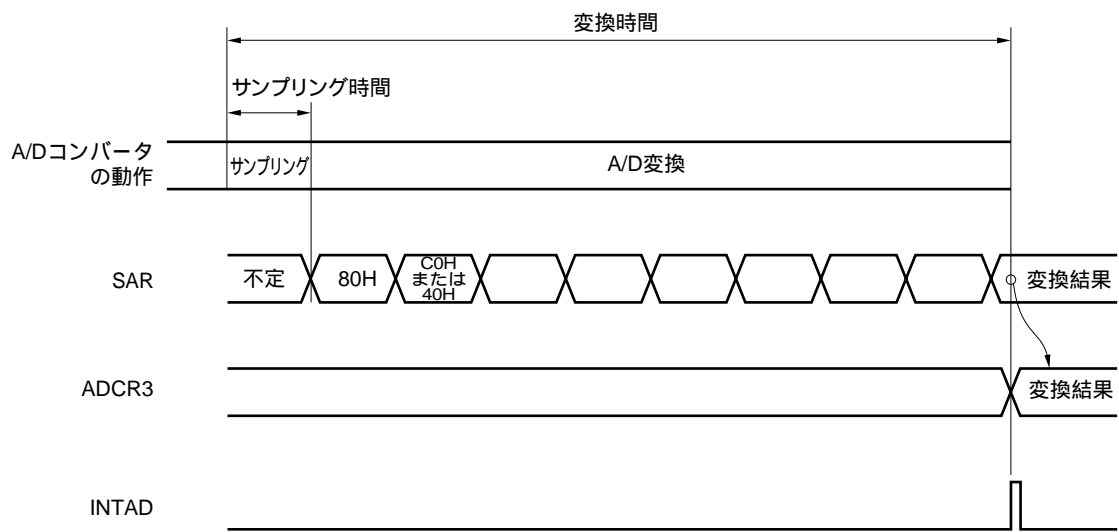
このような比較をSARのビット0まで続けます。

8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ3 (ADCR3) に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

**注意** A/D変換動作をスタートした直後の最初のA/D変換値は定格を満たさないことがあります。

図12 - 5 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりADM3のビット7（ADCS3）をリセット（0）するまで連続的に行われま  
す。

A/D変換動作中に、ADM3レジスタまたはADS3レジスタに対する書き込み操作を行うと変換動作は初期化され、  
ADCS3ビットがセット（1）されていれば、最初から変換を開始します。

ADCR3レジスタは、リセット時は不定となります。

### 12.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI3) に入力されたアナログ入力電圧とA/D変換結果 (A/D変換結果レジスタ3 (ADCR3) に格納された値) には次式に示す関係があります。

$$\text{ADCR3} = \text{INT} \left( \frac{V_{\text{IN}}}{V_{\text{DD}}} \times 256 + 0.5 \right)$$

または,

$$\left( \text{ADCR3} - 0.5 \right) \times \frac{V_{\text{DD}}}{256} < V_{\text{IN}} < \left( \text{ADCR3} + 0.5 \right) \times \frac{V_{\text{DD}}}{256}$$

**備考** INT ( ) : ( ) 内の値の整数部を返す関数

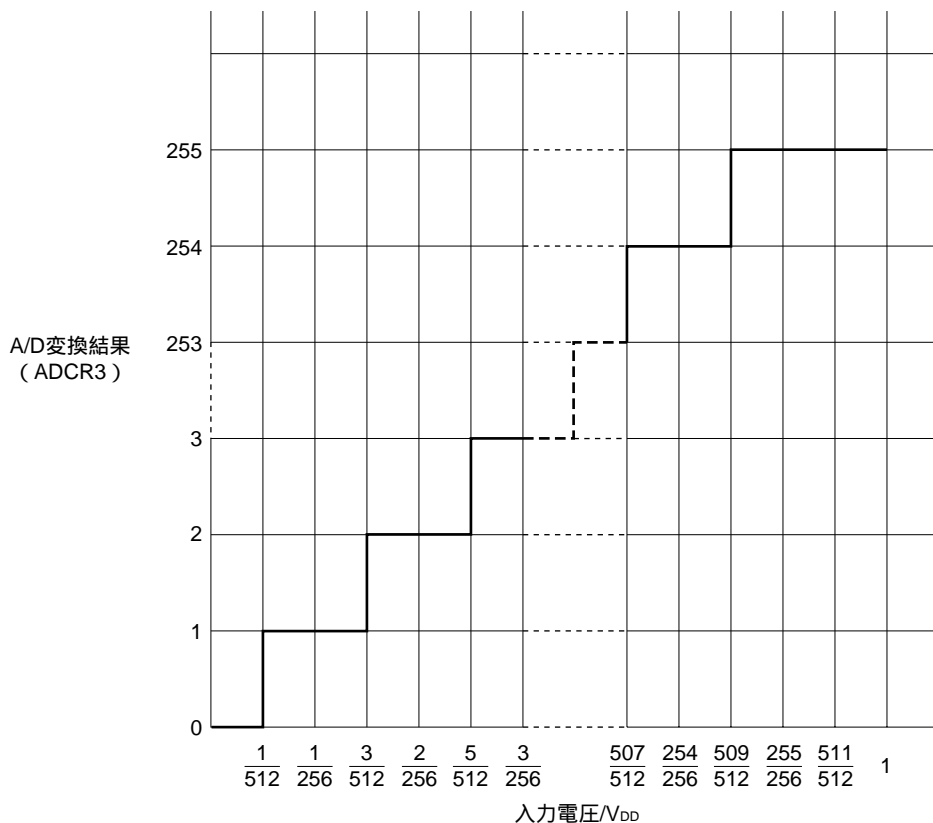
$V_{\text{IN}}$  : アナログ入力電圧

$V_{\text{DD}}$  :  $V_{\text{DD}}$ 端子電圧

ADCR3 : A/D変換結果レジスタ3 (ADCR3) の値

図12 - 6 にアナログ入力電圧とA/D変換結果の関係を図示します。

図12 - 6 アナログ入力電圧とA/D変換結果の関係



### 12.4.3 A/Dコンバータの動作モード

A/Dコンバータは、次の2種類のモードがあります。

- ・A/D変換動作モード : ANI0-ANI3から選択したアナログ入力端子に印加されている電圧のA/D変換を行います。A/D変換結果は、A/D変換結果レジスタ3 (ADCR3) に格納され、同時に割り込み要求信号 (INTAD) が発生されます。
- ・パワー・フェイル比較モード : A/D変換したデジタル値と、パワー・フェイル比較しきい値レジスタ3 (PFT3) に設定した値を比較します。比較結果が、パワー・フェイル比較モード・レジスタ3 (PFM3) のビット6 (PFCM3) で設定した条件と一致した場合に、割り込み要求信号 (INTAD) が発生されます。

#### (1) A/D変換動作モード

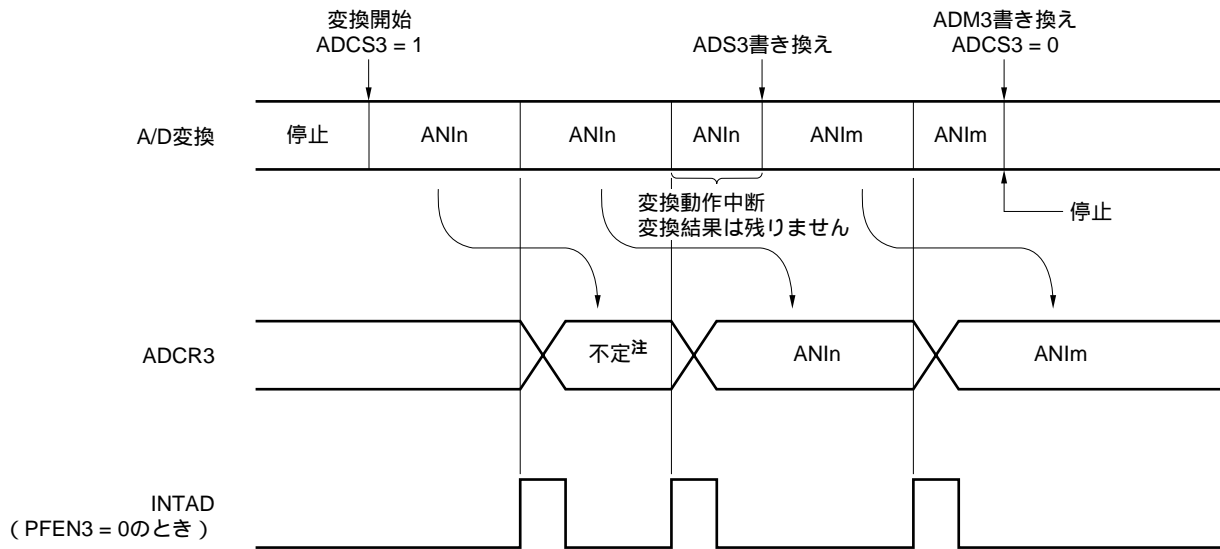
A/Dコンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) に1を設定することにより、ADS3のビット0-3 (ADS30-ADS33) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ3 (ADCR3) に格納し、割り込み要求信号 (INTAD) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADM3に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS3を書き換えると、そのとき行っていたA/D変換動作は中断し、新たに選択したアナログ入力チャネルのA/D変換動作を開始します。

また、A/D変換動作中に、ADCS3が0であるデータをADM3に書き込むと、ただちにA/D変換動作を停止します。

図12 - 7 A/D変換動作



**備考** n = 0, 1, 2, 3  
m = 0, 1, 2, 3

**注** A/Dコンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) に1を設定 (変換動作許可) した直後の変換結果は不定になります。

**注意** パワー・フェイル比較モード・レジスタ3 (PFM3) のビット5 (PFHRM3) に0を設定してください。

(2) パワー・フェイル比較モード

パワー・フェイル比較モードでは、アナログ入力から変換したデジタル値の大小を8ビット単位で比較します。

大小の比較結果が、パワー・フェイル比較モード・レジスタ3 (PFM3) のビット6 (PFCM3) で設定した条件と一致した場合に、割り込み要求 (INTAD) を発生します。

また、HALT動作時に、パワー・フェイル比較モードを動作できます。このとき、デジタル値の大小により割り込み要求信号 (INTAD) を発生させ、HALT動作を解除できます (ただしHALT命令実行前に、A/D動作を実行させる必要があります)。

パワー・フェイル比較モードを動作するには、PFM3のビット7 (PEEN3) に1、ビット6 (PFCM3) にINTADの発生条件を設定し、パワー・フェイル比較しきい値レジスタ3 (PFT3) にA/D変換結果レジスタ3 (ADCR3) の値と比較するしきい値を設定してください。

A/Dコンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) に1を設定することにより、ADS3で指定したアナログ入力端子に印加されている電圧のA/D変換を行います。A/D変換動作が終了すると、変換結果をADCR3に格納します。この変換結果をPFT3に設定した値と比較し、PFM3のビット6 (PFCM3) で設定した条件と一致した場合に、割り込み要求信号 (INTAD) を発生します。

図12-8 パワー・フェイル比較しきい値レジスタ3 (PFT3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PFT3	PFT37	PFT36	PFT35	PFT34	PFT33	PFT32	PFT31	PFT30	FF15H	00H	R/W

**備考** ビット7 (PFT37) がMSB側、ビット0 (PFT30) がLSB側です。

設定値については、12.4.2 入力電圧と変換結果を参照してください。

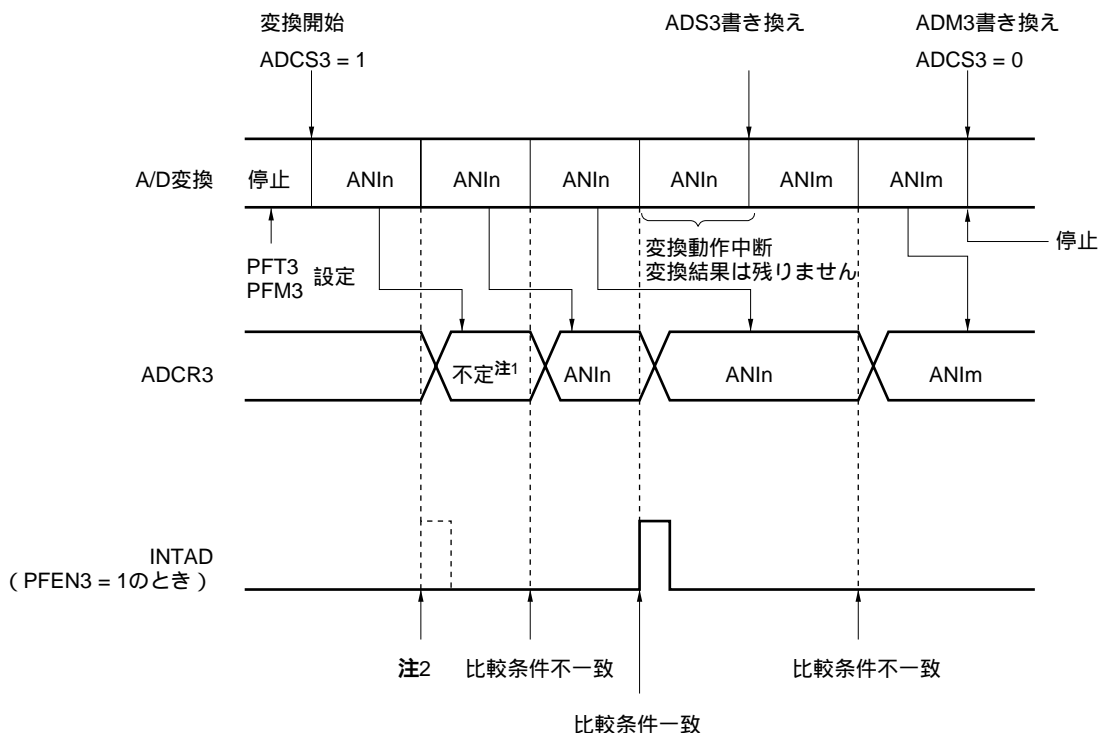
**注意 1** . パワー・フェイル比較モードは、A/D変換開始 (A/Dコンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) に1を設定) の1変換目の結果 (A/D変換結果と割り込み要求 (INTAD) ) は正しくなりません。

**2** . パワー・フェイルHALTリピート・モードを使用して、HALT動作中にA/D変換をする場合、ADM3のビット7 (ADCS3) に1を設定してから直後の1変換目終了後に、割り込み要求フラグ (ADIF) をクリアし、パワー・フェイル比較モード・レジスタ3 (PFM3) のビット5 (PFHRM3) に1を設定したあとに、HALT命令を実行してください。

**3** . HALT動作中にパワー・フェイル比較モードを動作する場合、必ずHALT命令実行前に、PFM3のビット5 (PFHRM3) に1を設定してください。設定をしない場合は、HALT動作中の変換結果を、A/D変換結果レジスタ3 (ADCR3) に格納しないため、比較が正常にできなくなります。また通常モード時 (HALT動作時以外) に、PFM3のビット5 (PFHRM3) を設定すると、A/D変換が正常に行われませんので、通常モード時には必ず0を設定してください。

図12 - 9 パワー・フェイル比較モードによるA/D変換動作 (1/3)

(1) 通常モード時 (HALT動作時以外)



注1 . A/Dコンバータ・モード・レジスタ3 (ADM3)のビット7 (ADCS3)に1を設定 (変換動作開始)した直後の変換データは不定になります。

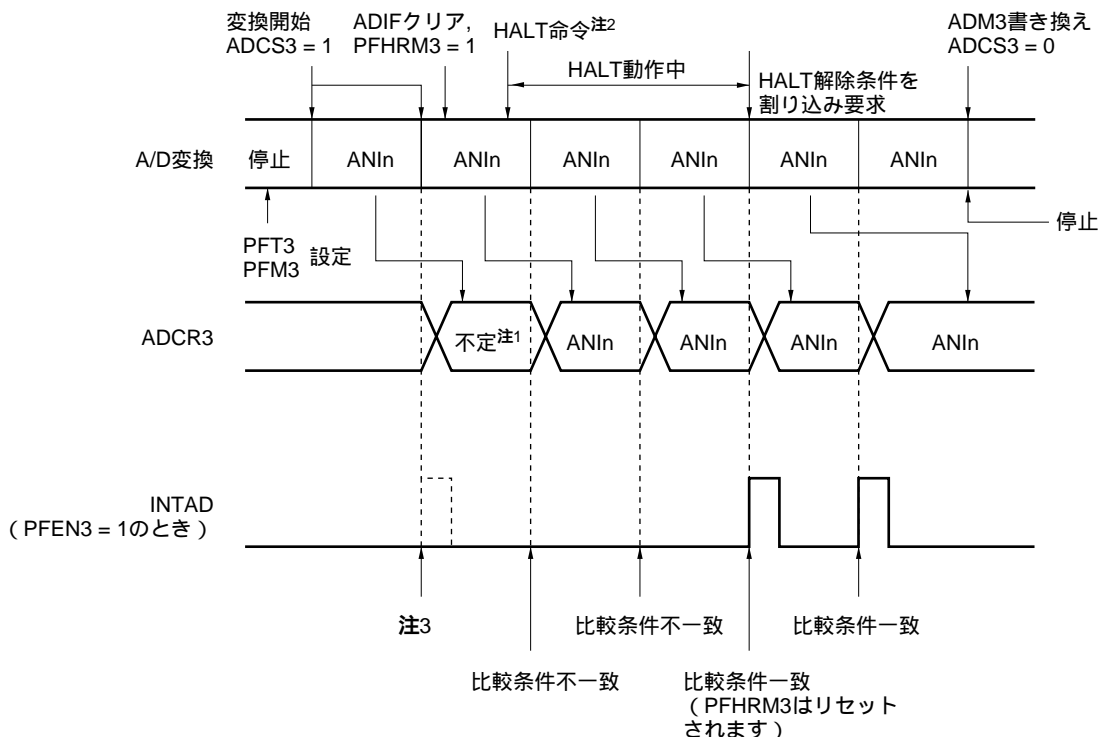
2 . A/D変換開始の1変換目の結果 (A/D変換結果と割り込み要求)は正しくなりません。比較条件が一致していなくても、一致したと判断する可能性がありますので、使用しないでください。

注意 変換開始前に、パワー・フェイル比較しきい値レジスタ3 (PFT3)とパワー・フェイル比較モード・レジスタ3 (PFM3)の設定をしてください。PFM3のビット5 (PFHRM3)には、必ず0を設定 (HALTリピート・モード設定禁止)してください。

備考 n = 0, 1, 2, 3  
m = 0, 1, 2, 3

図12 - 9 パワー・フェイル比較モードによるA/D変換動作 (2/3)

(2) HALTリピート・モード (HALT解除条件を割り込み条件 (INTAD) 発生とした場合)



- 注1 . A/Dコンバータ・モード・レジスタ3 (ADM3)のビット7 (ADCS3)に1を設定 (変換動作開始) した直後の変換データは不定になります。
- 2 . HALT動作中に、パワー・フェイル比較モードでA/D変換を行う場合、ADM3のビット7 (ADCS3)に1を設定 (変換動作開始) してから直後の1変換目終了後に、割り込み要求フラグ (ADIF) をクリアし、パワー・フェイル比較モード・レジスタ3 (PFM3)のビット5 (PFHRM3)に1を設定したあとに、HALT命令を実行してください。
- 3 . A/D変換開始の1変換目の結果 (A/D変換結果と割り込み要求) は正しくなりません。比較条件が一致していなくても、一致したと判断する可能性がありますので、使用しないでください。

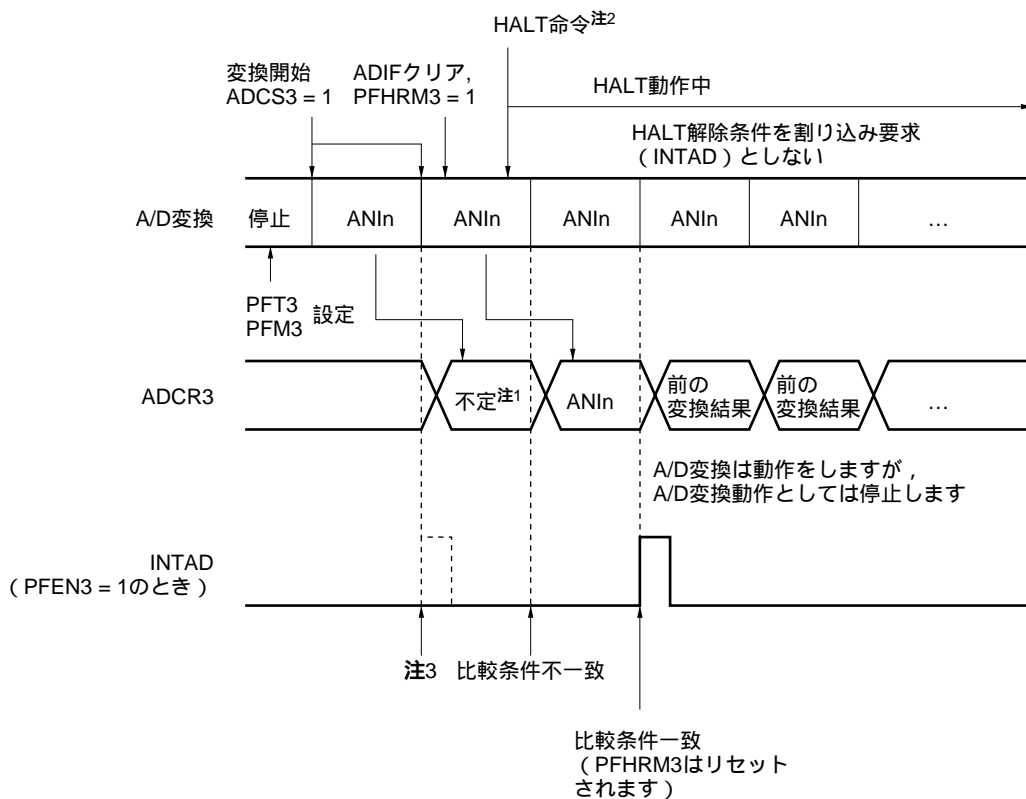
**注意** PFM3のビット5 (PFHRM3) に、必ず1を設定 (HALTリピート・モード設定許可) してください。

**備考** n = 0, 1, 2, 3



図12 - 9 パワー・フェイル比較モードによるA/D変換動作 (3/3)

(3) HALTリピート・モード (HALT解除条件を割り込み条件 (INTAD) としない場合)



- 注1 . A/Dコンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) に1を設定 (変換動作開始) した直後の変換データは不定になります。
- 2 . HALT動作中に、パワー・フェイル比較モードでA/D変換を行う場合、ADM3のビット7 (ADCS3) に1を設定 (変換動作開始) してから直後の1変換目終了後に、割り込み要求フラグ (ADIF) をクリアし、パワー・フェイル比較モード・レジスタ3 (PFM3) のビット5 (PFHRM3) に1を設定したあとに、HALT命令を実行してください。
- 3 . A/D変換開始の1変換目の結果 (A/D変換結果と割り込み要求) は正しくなりません。比較条件が一致していなくても、一致したと判断する可能性がありますので、使用しないでください。

**注意** PFM3のビット5 (PFHRM3) に、必ず1を設定 (HALTリピート・モード設定許可) してください。

**備考** n = 0, 1, 2, 3

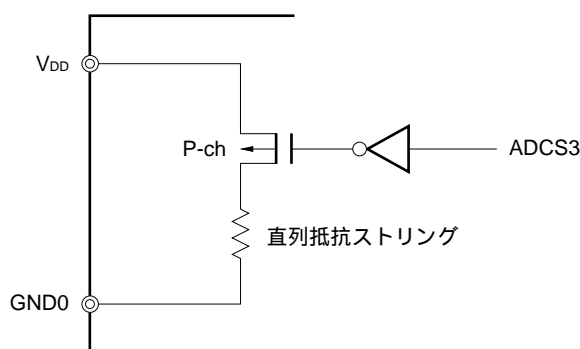
## 12.5 A/Dコンバータの注意事項

### (1) スタンバイ・モード時の消費電流について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (A/Dコンバータ・モード・レジスタ3 (ADM3) のビット7 (ADCS3) = 0) にすることにより、消費電流を低減させることができます。

スタンバイ・モード時の消費電流を低減させる方法例を図12 - 10に示します。

図12 - 10 スタンバイ・モード時の消費電流を低減させる方法例



### (2) ANI0-ANI3入力範囲について

ANI0-ANI3入力電圧は規格の範囲内でご使用ください。特にV<sub>DD</sub>以上、GND0以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

### (3) 競合動作について

変換終了時のA/D変換結果レジスタ3 (ADCR3) ライトと命令によるADCR3リードとの競合  
ADCR3リードが優先されます。リードしたあと、新しい変換結果がADCR3にライトされます。

変換終了時のADCR3ライトとA/Dコンバータ・モード・レジスタ3 (ADM3) ライト、またはアナログ  
入力チャンネル指定レジスタ3 (ADS3) ライトの競合

ADM3またはADS3へのライトが優先されます。ADCR3へのライトはされません。また、変換終了割り  
込み要求信号 (INTAD) も発生しません。

(4) ANI0-ANI3

アナログ入力 (ANI0-ANI3) 端子は入力ポート (P10-P13) 端子と兼用になっています。

ANI0-ANI3のいずれかを選択してA/D変換をする場合、変換中にポート 1 に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

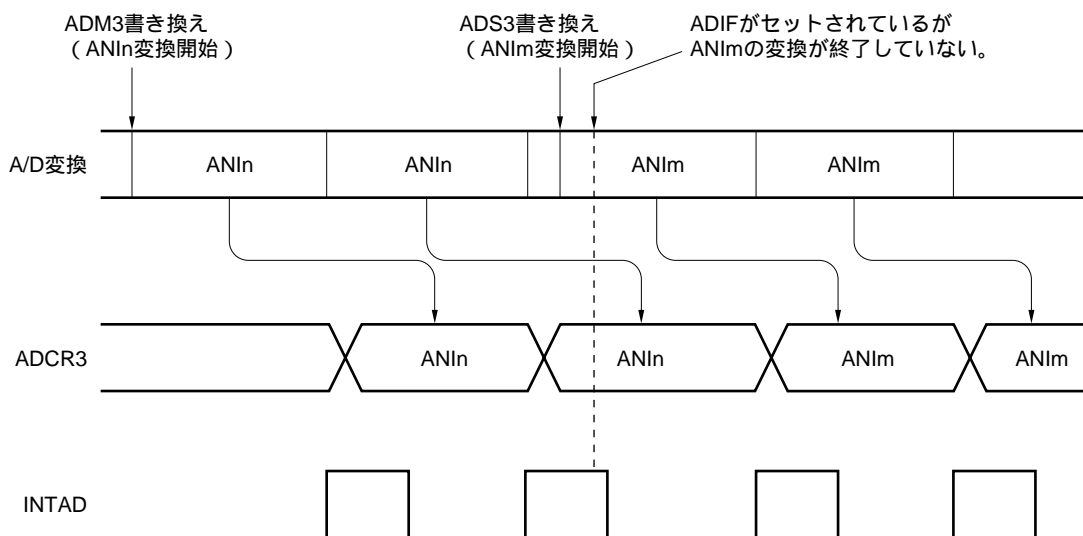
(5) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ 3 (ADS3) を変更しても割り込み要求フラグ (ADIF) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS3書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があります。このときADS3書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリアしてください。

図12 - 11 A/D変換終了割り込み要求発生タイミング



備考 1 . n = 0, 1, 2, 3

2 . m = 0, 1, 2, 3

**(6) A/D変換スタート直後の変換結果について**

A/D変換動作をスタートした直後の最初のA/D変換値は不定になります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

**(7) A/D変換結果レジスタ3 (ADCR3) の読み出しについて**

A/Dコンバータ・モード・レジスタ3 (ADM3), アナログ入力チャネル指定レジスタ3 (ADS3) に対して書き込み動作を行ったとき, ADCR3の内容は不定となることがあります。変換結果は, 変換動作終了後, ADM3, ADS3に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

## 第13章 シリアル・インタフェース (IIC1)

### 13.1 シリアル・インタフェース (IIC1) の機能

シリアル・インタフェース (IIC1) には、次の2種類のモードがあります。

- ・動作停止モード
- ・I<sup>2</sup>C (Inter IC) バス・モード<sup>注</sup>

**注** I<sup>2</sup>Cバス・モードを使用した場合 (周辺ハードウェアを使用せず、プログラムで実現した場合も含む)、マスク発注時に当社販売員に連絡してください。

#### (1) 動作停止モード

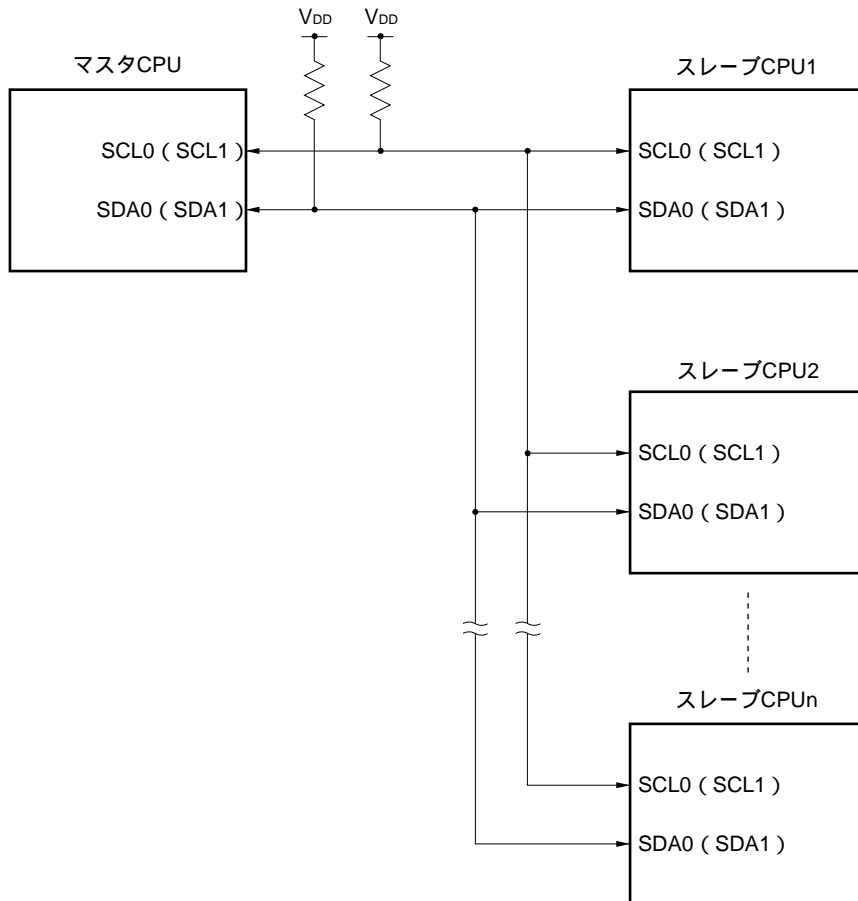
シリアル転送を行わないときに使用するモードです。

(2) I<sup>2</sup>Cバス・モード (MSB先頭)

シリアル・クロック (SCL0またはSCL1) と、シリアル・データ・バス (SDA0またはSDA1) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I<sup>2</sup>Cバス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”、“データ”、および“ストップ・コンディション”を出力することができます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

図13 - 1 I<sup>2</sup>Cバスによるシリアル・バス構成例



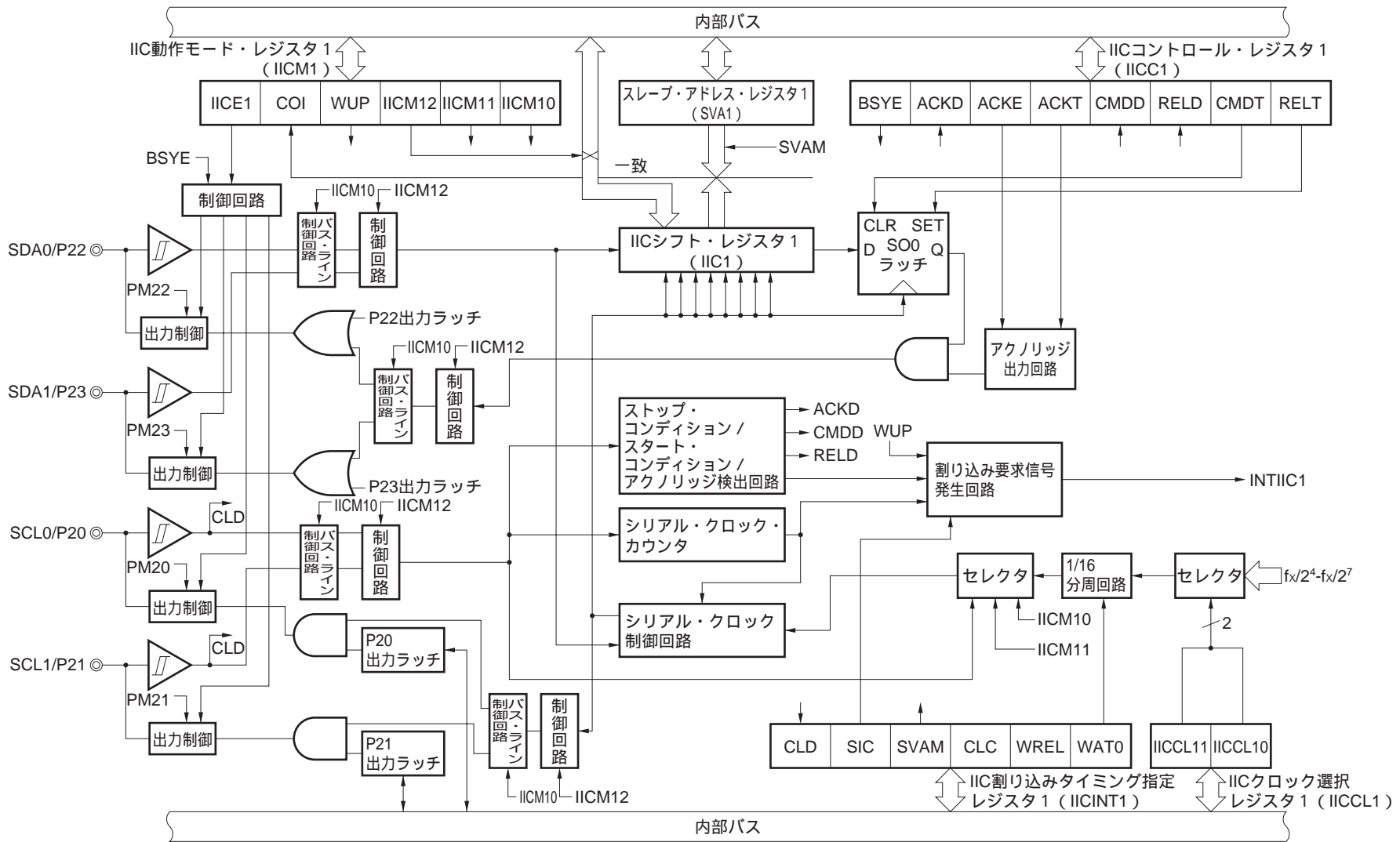
## 13.2 シリアル・インタフェース (IIC1) の構成

シリアル・インタフェース (IIC1) は、次のハードウェアで構成しています。

表13 - 1 シリアル・インタフェース (IIC1) の構成

項 目	構 成
レジスタ	IICシフト・レジスタ1 (IIC1) スレーブ・アドレス・レジスタ1 (SVA1)
制御レジスタ	IICクロック選択レジスタ1 (IICCL1) IIC動作モード・レジスタ1 (IICM1) IICコントロール・レジスタ1 (IICC1) IIC割り込みタイミング指定レジスタ1 (IICINT1)

図13 - 2 シリアル・インタフェース (IIC1) のブロック図



備考 出力制御は、CMOS出力にするか、N-chオープン・ドレイン出力にするかの選択を行います。



### (1) IICシフト・レジスタ1 (IIC1)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信(シフト動作)を行う8ビット・レジスタです。

IIC1は、8ビット・メモリ操作命令で設定します。

IIC動作モード・レジスタ1 (IICM1)のビット7 (IICE1)が1のとき、IIC1にデータを書き込むことにより、シリアル動作が開始されます。

送信時は、IIC1に書き込まれたデータが、シリアル・データ・バス (SDA0またはSDA1)に出力されます。受信時は、データがSDA0またはSDA1からIIC1に読み込まれます。

なお、シリアル・データ・バスは、入出力兼用となっているため、これから受信するデバイスは、あらかじめIIC1にFFHを書き込んでください(ただし、IICM1のビット5 (WUP)に1を設定してアドレス受信するときを除く)。またIICコントロール・レジスタ1 (IICC1)のビット7 (BSYE)に1を設定してください。

リセット時は、不定になります。

**注意** WUP (IIC動作モード・レジスタ1 (IICM1)のビット5) = 1の期間にIIC1への書き込み命令を実行しないでください。IIC1への書き込み命令をしなくても、ウエイク・アップ機能使用時(WUP = 1)にデータ受信は可能です。ウエイク・アップ機能については、13.4.2(1)(c)ウエイク・アップ機能を参照してください。

### (2) スレーブ・アドレス・レジスタ1 (SVA1)

スレーブ・デバイスとしてシリアル・バスに接続するときに、そのスレーブ・アドレス値をセットするための8ビット・レジスタです。

SVA1は、8ビット・メモリ操作命令で設定します。

マスタは接続されているスレーブに対して、特定のスレーブを選択するためのスレーブ・アドレスを出力します。アドレス・コンパレータによりこれらの2つのデータ(マスタから出力されたスレーブ・アドレスとSVA1の値)を比較して、一致すると、そのスレーブが選択されたことになります。このとき、IIC動作モード・レジスタ1 (IICM1)のビット6 (COI)が1になります。

また、IIC割り込みタイミング指定レジスタ1 (IICINT1)のビット4 (SVAM)をセット(1)することにより、LSBをマスクした上位7ビットのデータでアドレスを比較することもできます。

アドレス受信時に一致が検出されなければ、IICコントロール・レジスタ1 (IICC1)のビット2 (RELD)は0にクリアされます。なお、IICM1のビット5 (WUP)をセット(1)することにより、ウエイク・アップ機能を使用できます。この場合、マスタから出力されたスレーブ・アドレスとSVA1の値が一致したとき、割り込み要求信号 (INTIIC1)が発生します(ストップ・コンディション検出時にも割り込み要求信号が発生します)。この割り込み要求によりマスタが通信を開始したことを知ることができます。なお、ウエイク・アップ機能使用時はIICINT1のビット5 (SIC)を1にセットしておいてください。

リセット時は、不定になります。

**(3) S00ラッチ**

SDA0/P22, SDA1/P23端子のレベルを保持するラッチです。ソフトウェアにより直接制御することもできます。

**(4) シリアル・クロック・カウンタ**

送受信動作時に出力されるシリアル・クロック, および入力されるシリアル・クロックをカウントし, 8ビット・データの送受信が行われたことを調べます。

**(5) シリアル・クロック制御回路**

IICシフト・レジスタ1 (IIC1) へのシリアル・クロックの供給を制御します。また, 内部システム・クロック使用時は, SCL0/P20またはSCL1/P21端子へ出力するクロックの制御も行います。

**(6) 割り込み要求信号発生回路**

割り込み要求信号 (INTIIC1) の発生を制御します。割り込み要求信号の発生については, 表13 - 2 に示します。

**(7) アクノリッジ出力回路, ストップ・コンディション/スタート・コンディション/アクノリッジ検出回路**

各種制御信号の出力および検出を行います。

表13 - 2 シリアル・インタフェース (IIC1) の割り込み要求信号の発生

シリアル転送モード	BSYE	WUP	WAT0	ACKE	説明
I <sup>2</sup> Cバス・モード (送信時)	0	0	0	0	シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します (8クロック・ウェイト)。通常、送信時にWAT0 = 0とする設定は使用しません。ソフトウェアで受信時と処理を体系的にそろえたい場合にのみ使用します。ACK情報は受信側が生成するため、ACKEは0 (禁止) の設定にします。
			1	0	シリアル・クロックを9回カウントするごとに割り込み要求信号を発生します (9クロック・ウェイト)。ACK情報は受信側が生成するため、ACKEは0 (禁止) の設定にします。
	上記以外				設定禁止
I <sup>2</sup> Cバス・モード (受信時)	1	0	0	0	シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します (8クロック・ウェイト)。ACK情報は、割り込み発生後にソフトウェアでACKTを操作して出力します。
			1	0/1	シリアル・クロックを9回カウントするごとに割り込み要求信号を発生します (9クロック・ウェイト)。ACK情報を自動的に生成するため、転送開始前にACKEに1 (許可) を設定しておきます。ただしマスタの場合、最後のデータを受信する前に0 (禁止) にします。
	1	1	1	1	アドレス受信後、IICシフト・レジスタ1 (IIC1) とスレーブ・アドレス・レジスタ1 (SVA1) の値が一致したとき、およびストップ・コンディション検出時に割り込み要求信号を発生します。ACK情報を自動的に生成するため、転送開始前にACKEを1 (許可) に設定しておきます。
	上記以外				設定禁止

備考 BSYE : IICコントロール・レジスタ1 (IICC1) のビット7

WUP : IIC動作モード・レジスタ1 (IICM1) のビット5

WAT0 : IIC割り込みタイミング指定レジスタ1 (IICINT1) のビット0

ACKE : IICコントロール・レジスタ1 (IICC1) のビット5

### 13.3 シリアル・インタフェース (IIC1) を制御するレジスタ

シリアル・インタフェース (IIC1) は次の4種類のレジスタで制御します。

- ・ IICクロック選択レジスタ1 (IICCL1)
- ・ IIC動作モード・レジスタ1 (IICM1)
- ・ IICコントロール・レジスタ1 (IICC1)
- ・ IIC割り込みタイミング指定レジスタ1 (IICINT1)

#### (1) IICクロック選択レジスタ1 (IICCL1)

シリアル・インタフェース (IIC1) のシリアル・クロックを設定するレジスタです。  
IICCL1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。  
リセット時は、00Hになります。

図13 - 3 IICクロック選択レジスタ1 (IICCL1) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IICCL1	0	0	0	0	0	0	IICCL11	IICCL10	FF43H	00H	R/W

IICCL11	IICCL10	シリアル・インタフェース (IIC1) のシリアル・クロック選択
0	0	$f_x/2^4$ (333.3 kHz)
0	1	$f_x/2^5$ (92.6 kHz)
1	0	$f_x/2^6$ (78.1 kHz)
1	1	$f_x/2^7$ (46.3 kHz)

**注意** IICCL1を同一データ以外に書き換える場合は、いったんシリアル転送を停止されたのちに行ってください。

- 備考1** .  $f_x$  : システム・クロック発振周波数  
**2** . ( ) 内は、 $f_x = 5.0$  MHz動作時。

(2) IIC動作モード・レジスタ1 (IICM1)

シリアル・インタフェース (IIC1) のシリアル・クロック, 動作の許可/停止, ウェイク・アップ機能の設定, アドレス・コンパレータの一致信号表示とバス・ラインを制御するレジスタです。

IICM1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は, 18Hになります。

図13-4 IIC動作モード・レジスタ1 (IICM1) のフォーマット (1/2)

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
IICM1	IICE1	COI	WUP	1	1	IICM12	IICM11	IICM10	FF60H	18H	R/W <sup>注1</sup>

R/W	IICE1	シリアル・インタフェース (IIC1) の動作の制御
	0	動作停止
	1	動作許可

R	COI	スレーブ・アドレス比較結果フラグ <sup>注2</sup>
	0	スレーブ・アドレス・レジスタ1 (SVA1) とIICシフト・レジスタ1 (IIC1) のデータが一致しない
	1	スレーブ・アドレス・レジスタ1 (SVA1) とIICシフト・レジスタ1 (IIC1) のデータが一致する

R/W	WUP	ウェイク・アップ機能の制御 <sup>注3</sup>
	0	シリアル転送ごとに, 割り込み要求信号を発生
	1	スタート・コンディション検出後 (CMDD = 1 のとき) に受信したアドレスがスレーブ・アドレス・レジスタ1 (SVA1) のデータと一致したとき, 割り込み要求信号を発生

注1 . ビット6 (COI) は, Read Onlyです。

2 . IICE1 = 0 のとき, COIは0になります。

3 . ウェイク・アップ機能を使用するときは, IIC割り込みタイミング指定レジスタ1 (IICINT1) のビット5 (SIC) に1を設定してください。またWUP = 1 期間にIICシフト・レジスタ1 (IIC1) への書き込み命令を実行しないでください。

図13 - 4 IIC動作モード・レジスタ1 (IICM1) のフォーマット (2/2)

R/W	IICM12	先頭ビット	P22/SDA0端子の 機能	P23/SDA1端子の 機能	P20/SCL0端子の 機能	P21/SCL1端子の 機能
	0	MSB	SDA0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	SCL0 (N-chオープン・ ドレイン入出力)	P21 (CMOS入出力)
	1		P25 (CMOS入出力)	SDA1 (N-chオープン・ ドレイン入出力)	P20 (CMOS入出力)	SCL1 (N-chオープン・ ドレイン入出力)

R/W	IICM11	シリアル・インタフェース (IIC1) のクロック選択				
	0	SCL0/P20またはSCL1/P21端子への外部からの入力クロック				
	1	IICクロック選択レジスタ1 (IICCL1) のビット0, 1で指定されたクロック				

R/W	IICM10	バス・ライン制御				
	0	SDA0/P22とSDA1/P23端子, SCL0/P20とSCL1/P21端子はそれぞれ独立				
	1	SDA0/P22とSDA1/P23端子, SCL0/P20とSCL1/P21端子は内部で接続 (端子間ショート)				

**注意** P20-P23端子をI<sup>2</sup>Cバスの端子 (SCL0, SCL1, SDA0, SDA1) として使用する場合は, IICM12の値によって次のような設定をしてください。

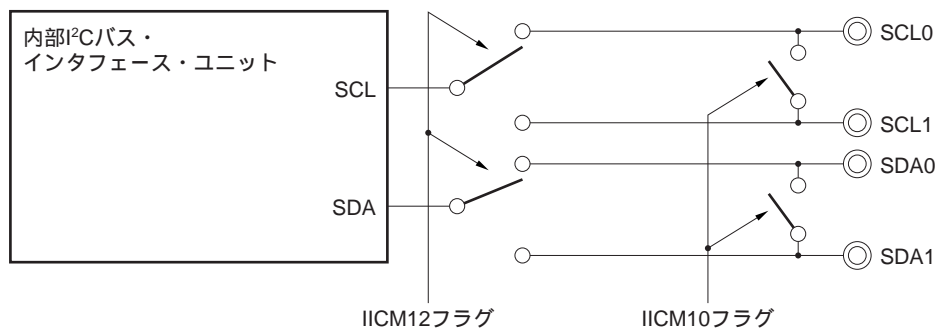
IICM12	PM20	P20	PM21	P21	PM22	P22	PM23	P23
0のとき	0	1	x	x	0	0	x	x
1のとき	x	x	0	1	x	x	0	0

**備考** x : Don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

IICM12とIICM10の動作



(3) IICコントロール・レジスタ1 (IICC1)

I<sup>2</sup>Cバス・インタフェースの動作の設定とステータスを表示するレジスタです。

IICC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令です。

リセット時は、00Hになります。

図13 - 5 IICコントロール・レジスタ1 (IICC1) のフォーマット (1/2)

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
IICC1	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT		FF61H	00H	R/W <sup>注1</sup>

R/W	BSYE <sup>注2</sup>	送信用N-chオープン・ドレイン出力の制御 <sup>注3</sup>
	0	出力許可 (送信)
	1	出力禁止 (受信)

R	ACKD	アクノリッジ信号の自動出力の制御
	クリアされる条件 (ACKD = 0)	
	<ul style="list-style-type: none"> <li>・ 転送スタート命令実行時</li> <li>・ IICE1 = 0のとき</li> <li>・ リセット時</li> </ul>	セットされる条件 (ACKD = 1) <ul style="list-style-type: none"> <li>・ 転送完了後のSCLのクロックの立ち上がりエッジでアクノリッジ信号 (ACK) 検出時</li> </ul>

R/W	ACKE	アクノリッジ信号の自動出力の制御 <sup>注4</sup>
	0	アクノリッジ信号の自動出力禁止 (ACKTによる出力は可能)。送信または8クロック・ウエイト選択時で受信の場合に使用する。 <sup>注5</sup>
	1	アクノリッジ信号の自動出力許可。SCLの9クロック目の立ち下がりエッジに同期して、アクノリッジ信号を出力する (ACKE = 1により、自動出力される)。出力後、自動的にクリア (0) されない。9クロック・ウエイト選択時で受信の場合に使用する。

注1 . ビット 2 , 3 , 6 (RELD, CMDD, ACKD) はRead Onlyです。

2 . シリアル・インタフェースの転送開始, またはアドレス信号受信によってウエイト状態を解除できません。ただし, BSYEはクリア (0) されません。

3 . ウエイク・アップ機能を使用するときには, 必ずBSYEに1を設定してください。

4 . 転送開始前に設定してください。

5 . 8クロック・ウエイト選択時では, 受信時のアクノリッジ信号はACKTを用いて出力してください。

備考1 . ビット 0 , 1 , 4 (RELT, CMDT, ACKT) はデータ設定後に読み出すと0になっています。

2 . IICE1 : IIC動作モード・レジスタ1 (IICM1) のビット7

図13 - 5 IICコントロール・レジスタ1 (IICC1) のフォーマット (2/2)

R/W	ACKT	セット ( 1 ) する命令実行直後から次のSCLの立ち下がりまでSDAをロウ・レベルにする。 8クロック・ウェイト選択時に、ソフトウェアでACK信号を生成するために使用する。 また、シリアル・インタフェースの転送開始、IICE1 = 0 のときクリア ( 0 ) される。	
R	CMDD	スタート・コンディション検出	
		クリアされる条件 ( CMDD = 0 )	セットされる条件 ( CMDD = 1 )
		<ul style="list-style-type: none"> <li>・転送スタート命令実行時</li> <li>・ストップ・コンディション検出時</li> <li>・IICE1 = 0 のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul>
R	RELD	ストップ・コンディション検出	
		クリアされる条件 ( RELD = 0 )	セットされる条件 ( RELD = 1 )
		<ul style="list-style-type: none"> <li>・転送スタート命令実行時</li> <li>・アドレス受信時にIIC1とSVA1の値が一致しないとき</li> <li>・IICE1 = 0 のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> </ul>
R/W	CMDT	スタート・コンディション信号出力のために使用する。 CMDT = 1 により、SO0ラッチがクリア ( 0 ) される。SO0ラッチをクリア後、自動的にクリア ( 0 ) される。 また、IICE1 = 0 のときもクリアされる。	
R/W	RELT	ストップ・コンディション信号出力のために使用する。 RELT = 1 により、SO0ラッチがセット ( 1 ) される。SO0ラッチをセット後、自動的にクリア ( 0 ) される。 また、IICE1 = 0 のときもクリアされる。	

備考 IIC1 : IICシフト・レジスタ1

SVA1 : スレーブ・アドレス・レジスタ1

IICE1 : IIC動作モード・レジスタ1 (IICM1) のビット7



(4) IIC割り込みタイミング指定レジスタ1 (IICINT1)

割り込み，ウエイト，クロック・レベルの制御，アドレス・マスク機能の設定およびP20/SCL0またはP21/SCL1端子のレベル状態を表示するレジスタです。

IICINT1は1ビット・メモリ操作命令または8ビット・メモリ操作命令です。

リセット時は，00Hになります。

図13 - 6 IIC割り込みタイミング指定レジスタ1 (IICINT1) のフォーマット (1/2)

略号	7	⑥	⑤	④	③	②	1	①	アドレス	リセット時	R/W
IICINT1	0	CLD	SIC	SVAM	CLC	WREL	0	WAT0	FF63H	00H	R/W <sup>注1</sup>
R	CLD	P20/SCL0またはP21/SCL1端子のレベル <sup>注2</sup>									
	0	ロウ・レベル									
	1	ハイ・レベル									
R/W	SIC	INTIIC1の割り込み要因の選択 <sup>注3</sup>									
	0	シリアル・インタフェース (IIC1) の転送終了時にIICIF1をセット (1) する。									
	1	シリアル・インタフェース (IIC1) の転送終了時，またはストップ・コンディション検出時にIICIF1をセット (1) する。									
R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット									
	0	ビット0-7									
	1	ビット1-7									
R/W	CLC	クロック・レベルの制御 <sup>注4</sup>									
	0	シリアル転送時以外の場合，SCL端子の出力レベルをロウ・レベルにする。									
	1	シリアル転送時以外の場合，SCL端子の出力レベルをハイ・インピーダンスにする (クロック・ラインはハイ・レベル)。									
		マスタがスタート/ストップ・コンディションを生成するために使用する。									

注1 . ビット6 (CLD) は，Read Onlyです。

2 . IICE1 = 1 のとき，CLDは0になります。

3 . ウエイク・アップ機能を使用するときは，SICに1を設定してください。

4 . I<sup>2</sup>Cバス・モードを使用しない場合は，CLCに0を設定してください。

備考 IICIF1 : INTIIC1に対応する割り込み要求フラグ

IICE1 : IIC動作モード・レジスタ1 (IICM1) のビット7

図13 - 6 IIC割り込みタイミング指定レジスタ 1 (IICINT1) のフォーマット (2/2)

R/W	WREL	ウェイト解除の制御
	0	ウェイト解除状態。
	1	ウェイト状態を解除。 解除後自動的にクリア ( 0 ) される ( WAT0によるウェイト状態の解除に使用する )。
R/W	WAT0	ウェイトおよび割り込みの制御
	0	8クロック・ウェイト。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する ( マスタの場合, 8クロック出力後, SCL出力をロウ・レベルにしてウェイトする。スレーブの場合, 8クロック入力後, SCL0またはSCL1端子をロウ・レベルにしてウェイト要求する )。
	1	9クロック・ウェイト。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する ( マスタの場合, 9クロック出力後, SCL出力をロウ・レベルにしてウェイトする。スレーブの場合, 9クロック入力後, SCL0またはSCL1端子をロウ・レベルにしてウェイト要求する )。

## 13.4 シリアル・インタフェース (IIC1) の動作

シリアル・インタフェース (IIC1) の動作モードには、次の2種類があります。

- ・動作停止モード
- ・I<sup>2</sup>C (Inter IC) パス・モード

### 13.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。

また、IICシフト・レジスタ1 (IIC1) もシフト動作を行いませんので、通常の8ビット・レジスタとして使用できます。

また、動作停止モードでは、P20/SCL0, P21/SCL1, P22/SDA0, P23/SDA1端子を通常の入出力ポートとして使用できます。

#### (1) レジスタの設定

動作停止モードの設定は、IIC動作モード・レジスタ1 (IICM1) で行います。

IICM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、18Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
IICM1	IICE1	COI	WUP	1	1	IICM12	IICM11	IICM10	FF60H	18H	R/W <sup>注1</sup>

R/W	IICE1	シリアル・インタフェース (IIC1) の動作の制御
0	動作停止	
1	動作許可	

### 13.4.2 I<sup>2</sup>Cバス・モードの動作

I<sup>2</sup>Cバス・モードは、I<sup>2</sup>Cバスのシングルマスタおよびスレーブ動作を行う場合に使用します。I<sup>2</sup>Cバス・モードは、シングルマスタのシリアル・バスで、シリアル・クロック (SCL0またはSCL1) と、シリアル・データ・バス (SDA0またはSDA1) の2本の信号線で複数のデバイス (スレーブ) との通信を行うことができるように、クロック同期式のシリアルI/O方式に、バス構成のための機能が追加されたフォーマットになっています。そのため、複数のマイコンや周辺ICでシリアル・バスを構成する場合に、使用するポート数や基板上の配線数を削減することができます。

マスタは、スレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“データ”、および“ストップ・コンディション”を出力することができます。

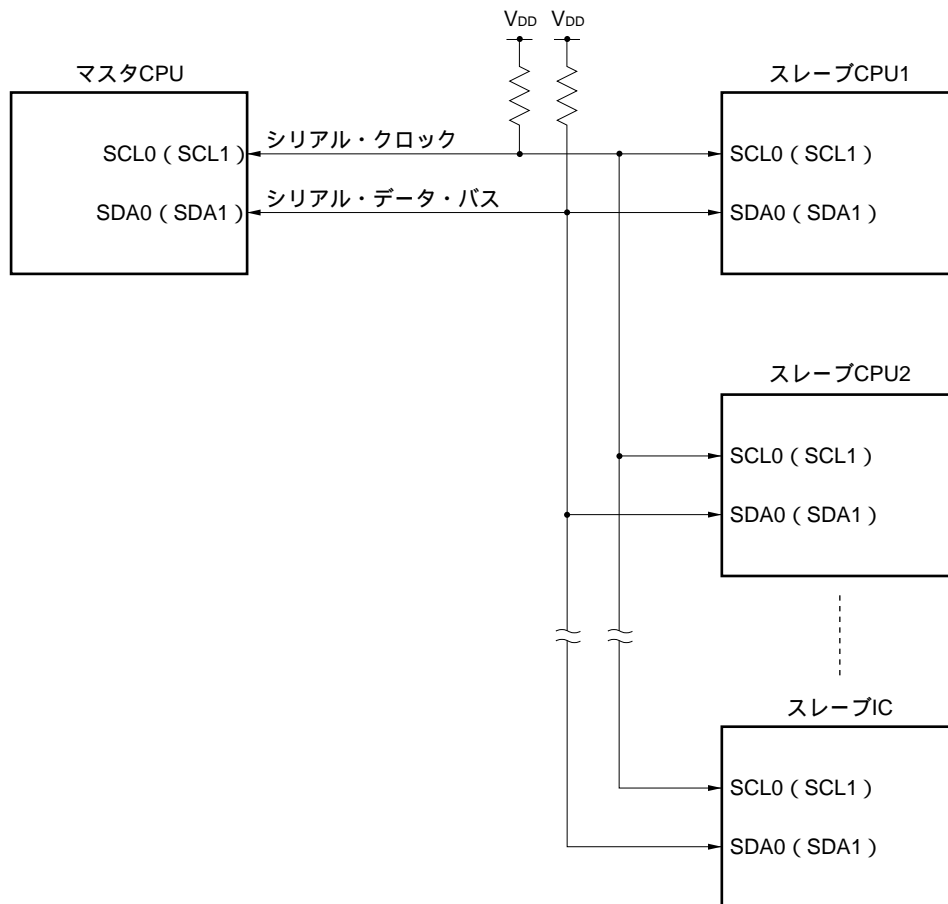
スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により、応用プログラムのI<sup>2</sup>Cバス制御部分を簡単にすることができます。

I<sup>2</sup>Cバスに準拠するシリアル・インタフェースを持つCPUや、周辺ICを使用した場合のシリアル・バス構成例を図13-7に示します。

I<sup>2</sup>Cバスでは、シリアル・クロック端子 (SCL0またはSCL1) と、シリアル・データ・バス端子 (SDA0またはSDA1) は、N-chオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

I<sup>2</sup>Cバス・モードにおける各種信号の説明の一覧が表13-3にありますので参照してください。

図13-7 I<sup>2</sup>Cバスによるシリアル・バス構成例



(1) I<sup>2</sup>Cバス・モードの機能

I<sup>2</sup>Cバス・モードの機能について次に示します。

(a) シリアル・データの自動判別機能

シリアル・データ・バス上の“スタート・コンディション”，“データ”および“ストップ・コンディション”を自動的に検出します。

(b) アドレスによるチップ・セレクト

マスタ動作時は，スレーブ・アドレスを送信することにより，I<sup>2</sup>Cバスに接続した特定のスレーブ・デバイスを選択し，通信できます。

(c) ウェイク・アップ機能

スレーブ動作時は，受信したアドレスがスレーブ・アドレス・レジスタ1 (SVA1) の値と一致した場合に割り込みを発生します (ストップ・コンディション検出時にも割り込みが発生します)。したがって，I<sup>2</sup>Cバス上の選択されたスレーブ以外のCPUはシリアル通信に関係なく動作できます。

(d) アクノリッジ信号 ( $\overline{ACK}$ ) 制御機能

マスタ/スレーブ動作時に，シリアル通信が正常に実行されたことを確認するためのアクノリッジ信号を制御できます。

(e) ウェイト信号 ( $\overline{WAIT}$ ) 制御機能

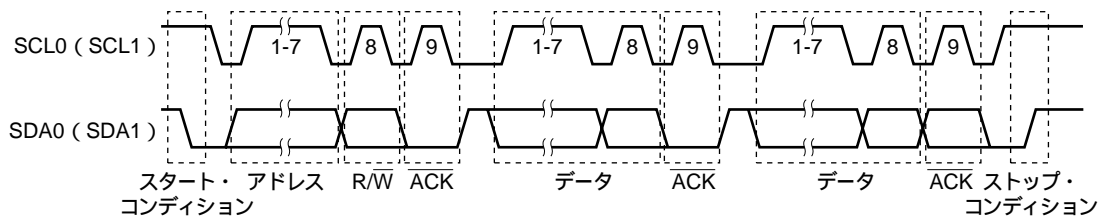
スレーブ・デバイスは，ウェイト状態を知らせるためのウェイト信号制御が行えます。

(2) I<sup>2</sup>Cバスの定義

I<sup>2</sup>Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I<sup>2</sup>Cバスのシリアル・データ・バス上に出力される“スタート・コンディション”，“データ”，および“ストップ・コンディション”の各転送タイミングを図13 - 8 に示します。

図13 - 8 I<sup>2</sup>Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが出力します。  
 アクノリッジ信号 ( $\overline{ACK}$ ) は、マスタ、スレーブのどちらでも出力できます (通常、8ビット・データの受信側が出力します)。

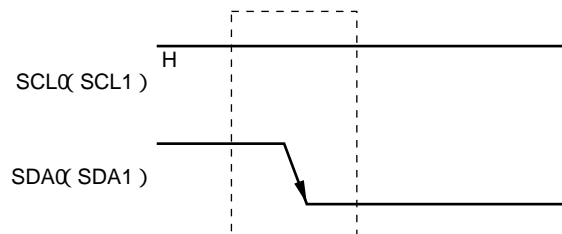
シリアル・クロック (SCL0, SCL1) は、マスタが出力し続けます。

#### (a) スタート・コンディション

SCL0 (SCL1) 端子がハイ・レベルのときに、SDA0 (SDA1) 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。したがって、SCL0 (SCL1)、SDA0 (SDA1) 端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スタート・コンディションの出力については13.4.3 I<sup>2</sup>Cバス・モード使用時の注意事項を参照してください。

スレーブはスタート・コンディションを検出するハードウェアを内蔵しています。

図13 - 9 スタート・コンディション



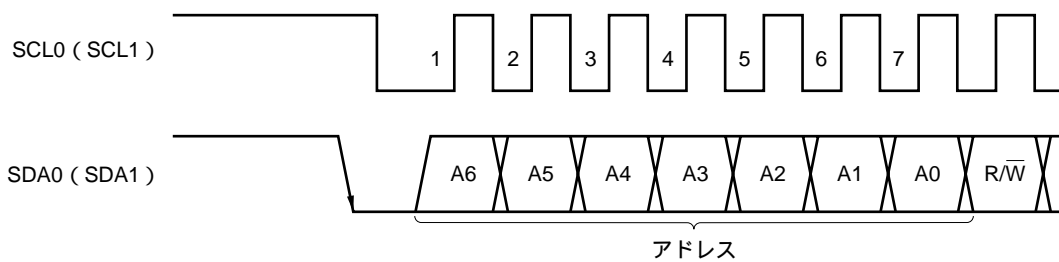
(b) アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブはすべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアによってこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ1 (SVA1) と一致しているかを調べます。このとき、7ビット・データとスレーブ・アドレス・レジスタ1の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

図13 - 10 アドレス

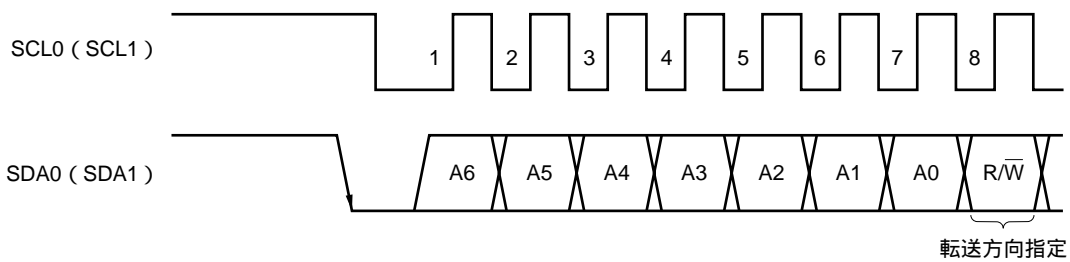


(c) 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するため1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図13 - 11 転送方向指定



(d) アクノリッジ信号 ( $\overline{\text{ACK}}$ )

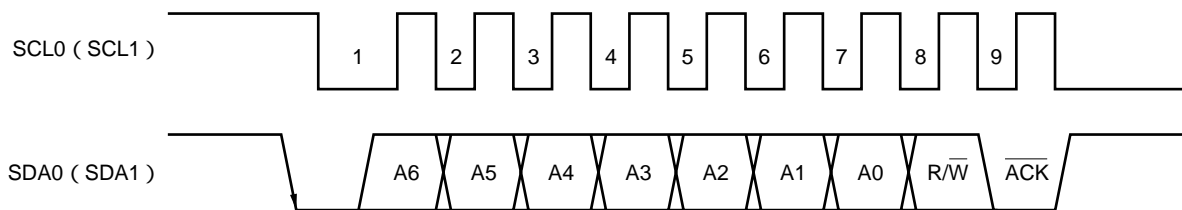
アクノリッジ信号は、送信側と受信側における、シリアル・データ受信の確認のための信号です。受信側は、8ビット・データを受信するごとにアクノリッジ信号を返します。

受信側は、通常、8ビット・データ受信後、アクノリッジ信号を出力します。

ただしマスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。

送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたか検出を行います。アクノリッジ信号が返されたとき、受信が正しく行われたものとして次の処理を行います。また、スレーブからアクノリッジ信号が返らない場合は、受信が正しく行われないので、マスタは、ストップ・コンディションを出力し送信を中止します。

図13 - 12 アクノリッジ信号



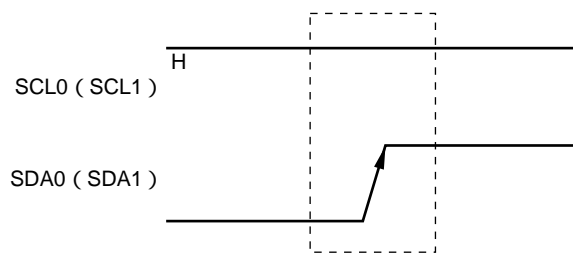
(e) ストップ・コンディション

SCL0 (SCL1) 端子がハイ・レベルのときに、SDA0 (SDA1) 端子がロウ・レベルからハイ・レベルに変化するとストップ・コンディションとなります。

ストップ・コンディションはマスタがスレーブに対してシリアル転送が終了したときに出力する信号です。

スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図13 - 13 ストップ・コンディション





(f) ウェイト信号 ( $\overline{\text{WAIT}}$ )

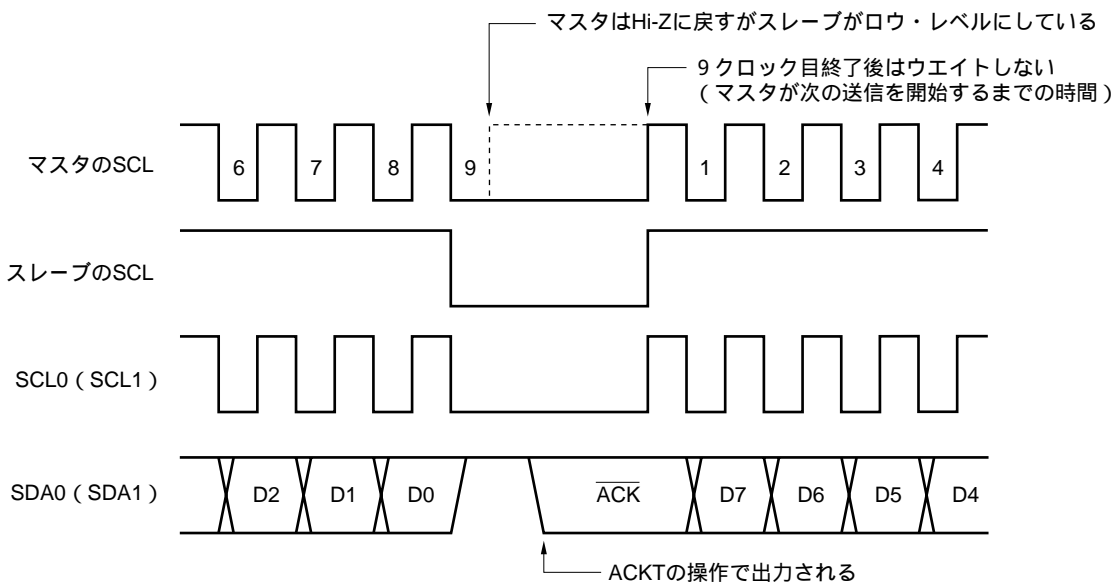
ウェイト信号は、スレーブがデータの送受信のための準備中（ウェイト状態）であることをマスタに知らせるための信号です。

スレーブは、SCL0またはSCL1端子をロウ・レベルにすることにより、マスタにウェイト状態を知らせます。

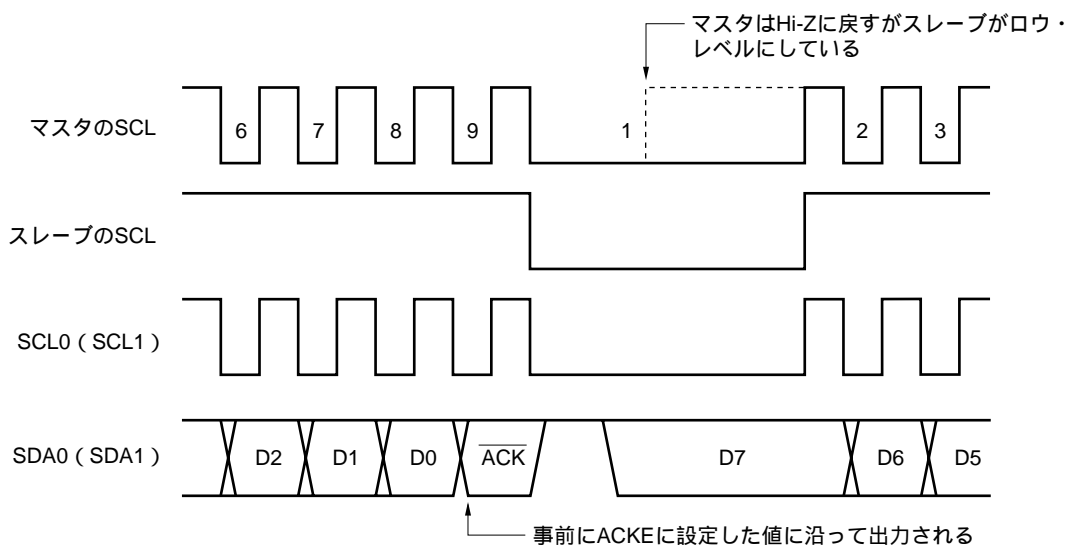
マスタは、ウェイト状態が解除されると、次の転送を開始することができます。スレーブのウェイト解除については、13.4.3 I<sup>2</sup>Cバス・モード使用時の注意事項を参照してください。

図13-14 ウェイト信号

(a) 8クロック・ウェイト時



(b) 9クロック・ウェイト時



(3) レジスタの設定

I<sup>2</sup>Cバス・モードの設定は、IIC動作モード・レジスタ1 (IICM1) , IICコントロール・レジスタ1 (IICC1) , IIC割り込みタイミング指定レジスタ1 (IICINT1) で行います。

(a) IIC動作モード・レジスタ1 (IICM1)

IICM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、18Hになります。

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
IICM1	IICE1	COI	WUP	1	1	IICM12	IICM11	IICM10	FF60H	18H	R/W <sup>注1</sup>

R/W	IICE1	シリアル・インタフェース (IIC1) の動作の制御
	0	動作停止
	1	動作許可

R	COI	スレーブ・アドレス比較結果フラグ <sup>注2</sup>
	0	スレーブ・アドレス・レジスタ1 (SVA1) とIICシフト・レジスタ1 (IIC1) のデータが一致しない
	1	スレーブ・アドレス・レジスタ1 (SVA1) とIICシフト・レジスタ1 (IIC1) のデータが一致する

R/W	WUP	ウエイク・アップ機能の制御 <sup>注3</sup>
	0	シリアル転送ごとに、割り込み要求信号を発生
	1	スタート・コンディション検出後 (CMDD = 1 のとき) に受信したアドレスがスレーブ・アドレス・レジスタ1 (SVA1) のデータと一致したとき、割り込み要求信号を発生

注1 . ビット6 (COI) は、Read Onlyです。

2 . IICE1 = 0 のとき、COIは0になります。

3 . ウエイク・アップ機能を使用するときは、IIC割り込みタイミング指定レジスタ1 (IICINT1) のビット5 (SIC) に1を設定してください。またWUP = 1 期間にIICシフト・レジスタ1 (IIC1) への書き込み命令を実行しないでください。

R/W	IICM12	先頭ビット	P22/SDA0端子の 機能	P23/SDA1端子の 機能	P20/SCL0端子の 機能	P21/SCL1端子の 機能
	0	MSB	SDA0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	SCL0 (N-chオープン・ ドレイン入出力)	P21 (CMOS入出力)
	1		P25 (CMOS入出力)	SDA1 (N-chオープン・ ドレイン入出力)	P20 (CMOS入出力)	SCL1 (N-chオープン・ ドレイン入出力)

R/W	IICM11	シリアル・インタフェース (IIC1) のクロック選択
	0	SCL0/P20またはSCL1/P21端子への外部からの入力クロック
	1	IICクロック選択レジスタ1 (IICCL1) のビット0, 1で指定されたクロック

R/W	IICM10	バス・ライン制御
	0	SDA0/P22とSDA1/P23端子, SCL0/P20とSCL1/P21端子はそれぞれ独立
	1	SDA0/P22とSDA1/P23端子, SCL0/P20とSCL1/P21端子は内部で接続 (端子間ショート)

**注意** P20-P23端子をI<sup>2</sup>Cバスの端子 (SCL0, SCL1, SDA0, SDA1) として使用する場合は, IICM12の値によって次のような設定をしてください。

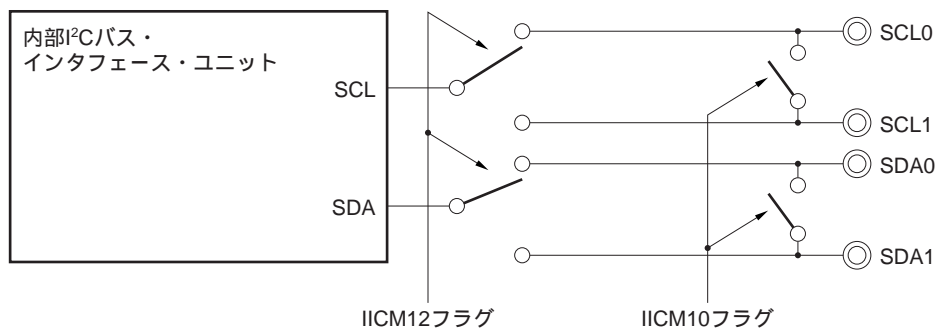
IICM12	PM20	P20	PM21	P21	PM22	P22	PM23	P23
0のとき	0	1	x	x	0	0	x	x
1のとき	x	x	0	1	x	x	0	0

**備考** x : Don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

#### IICM12とIICM10の動作



(b) IICコントロール・レジスタ1 (IICC1)

IICC1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令です。

リセット時は、00Hになります。

略号	⑦	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
IICC1	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT		FF61H	00H	R/W <sup>注1</sup>

R/W	BSYE <sup>注2</sup>	送信用N-chオープン・ドレイン出力の制御 <sup>注3</sup>
	0	出力許可 (送信)
	1	出力禁止 (受信)

R	ACKD	アクノリッジ信号の自動出力の制御
	クリアされる条件 (ACKD = 0)	
	<ul style="list-style-type: none"> <li>・転送スタート命令実行時</li> <li>・IICE1 = 0のとき</li> <li>・リセット時</li> </ul>	セットされる条件 (ACKD = 1) <ul style="list-style-type: none"> <li>・転送完了後のSCLのクロックの立ち上がりエッジでアクノリッジ信号 (ACK) 検出時</li> </ul>

R/W	ACKE	アクノリッジ信号の自動出力の制御 <sup>注4</sup>
	0	アクノリッジ信号の自動出力禁止 (ACKTによる出力は可能)。送信または8クロック・ウェイト選択時で受信の場合に使用する。 <sup>注5</sup>
	1	アクノリッジ信号の自動出力許可。SCLの9クロック目の立ち下がりエッジに同期して、アクノリッジ信号を出力する (ACKE = 1により、自動出力される)。出力後、自動的にクリア (0) されない。9クロック・ウェイト選択時で受信の場合に使用する。

注1．ビット2, 3, 6 (RELD, CMDD, ACKD) はRead Onlyです。

2．シリアル・インタフェースの転送開始、またはアドレス信号受信によってウェイト状態を解除できません。ただし、BSYEはクリア (0) されません。

3．ウエイク・アップ機能を使用するときには、必ずBSYEに1を設定してください。

4．転送開始前に設定してください。

5．8クロック・ウェイト選択時では、受信時のアクノリッジ信号はACKTを用いて出力してください。

備考1．ビット0, 1, 4 (RELT, CMDT, ACKT) はデータ設定後に読み出すと0になっています。

2．IICE1: IIC動作モード・レジスタ1 (IICM1) のビット7

R/W	ACKT	セット ( 1 ) する命令実行直後から次のSCLの立ち下がりまでSDAをロウ・レベルにする。 8クロック・ウェイト選択時に、ソフトウェアでACK信号を生成するために使用する。 また、シリアル・インタフェースの転送開始、IICE1 = 0 のときクリア ( 0 ) される。
-----	------	---

R	CMDD	スタート・コンディション検出	
		クリアされる条件 ( CMDD = 0 )	セットされる条件 ( CMDD = 1 )
		<ul style="list-style-type: none"> <li>・転送スタート命令実行時</li> <li>・ストップ・コンディション検出時</li> <li>・IICE1 = 0 のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・スタート・コンディション検出時</li> </ul>

R	RELD	ストップ・コンディション検出	
		クリアされる条件 ( RELD = 0 )	セットされる条件 ( RELD = 1 )
		<ul style="list-style-type: none"> <li>・転送スタート命令実行時</li> <li>・アドレス受信時にIIC1とSVA1の値が一致しないとき</li> <li>・IICE1 = 0 のとき</li> <li>・リセット時</li> </ul>	<ul style="list-style-type: none"> <li>・ストップ・コンディション検出時</li> </ul>

R/W	CMDT	スタート・コンディション信号出力のために使用する。 CMDT = 1 により、SO0ラッチがクリア ( 0 ) される。SO0ラッチをクリア後、自動的にクリア ( 0 ) される。 また、IICE1 = 0 のときもクリアされる。
-----	------	---

R/W	RELT	ストップ・コンディション信号出力のために使用する。 RELT = 1 により、SO0ラッチがセット ( 1 ) される。SO0ラッチをセット後、自動的にクリア ( 0 ) される。 また、IICE1 = 0 のときもクリアされる。
-----	------	---

**備考** IIC1 : IICシフト・レジスタ 1

SVA1 : スレーブ・アドレス・レジスタ 1

IICE1 : IIC動作モード・レジスタ 1 ( IICM1 ) のビット 7

(c) IIC割り込みタイミング指定レジスタ 1 (IICINT1)

IICINT1は1ビット・メモリ操作命令または8ビット・メモリ操作命令です。

リセット時は、00Hになります。

略号	7	⑥	⑤	④	③	②	1	①	アドレス	リセット時	R/W
IICINT1	0	CLD	SIC	SVAM	CLC	WREL	0	WAT0	FF63H	00H	R/W <sup>注1</sup>

R	CLD	P20/SCL0またはP21/SCL1端子のレベル <sup>注2</sup>
	0	ロウ・レベル
	1	ハイ・レベル

R/W	SIC	INTIIC1の割り込み要因の選択 <sup>注3</sup>
	0	シリアル・インタフェース (IIC1) の転送終了時にIICIF1をセット (1) する。
	1	シリアル・インタフェース (IIC1) の転送終了時、またはストップ・コンディション検出時にIICIF1をセット (1) する。

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-7
	1	ビット1-7

R/W	CLC	クロック・レベルの制御 <sup>注4</sup>
	0	シリアル転送時以外の場合、SCL端子の出力レベルをロウ・レベルにする。
	1	シリアル転送時以外の場合、SCL端子の出力レベルをハイ・インピーダンスにする (クロック・ラインはハイ・レベル)。 マスタがスタート/ストップ・コンディションを生成するために使用する。

注1 . ビット6 (CLD) は、Read Onlyです。

2 . IICE1 = 1 のとき、CLDは0になります。

3 . ウェイク・アップ機能を使用するときは、SICに1を設定してください。

4 . I<sup>2</sup>Cバス・モードを使用しない場合は、CLCに0を設定してください。

備考 IICIF1 : INTIIC1に対応する割り込み要求フラグ

IICE1 : IIC動作モード・レジスタ 1 (IICM1) のビット7

R/W	WREL	ウェイト解除の制御
	0	ウェイト解除状態。
	1	ウェイト状態を解除。 解除後自動的にクリア ( 0 ) される ( WAT0によるウェイト状態の解除に使用する ) 。

R/W	WAT0	ウェイトおよび割り込みの制御
	0	8クロック・ウェイト。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する ( マスタの場合、8クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、8クロック入力後、SCL0またはSCL1端子をロウ・レベルにしてウェイト要求する ) 。
	1	9クロック・ウェイト。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する ( マスタの場合、9クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、9クロック入力後、SCL0またはSCL1端子をロウ・レベルにしてウェイト要求する ) 。

(4) 各種信号

I<sup>2</sup>Cバス・モードにおける各種の信号の一覧を表13 - 3 に示します。

表13 - 3 I<sup>2</sup>Cバス・モードにおける各種の信号

信号名称	出力するデバイス	定義	出力される条件	フラグへの影響	信号の意味
スタート・コンディション	マスタ	SCL0 (SCL1) がハイ・レベルのときのSDA0 (SDA1) の立ち下がりエッジ <sup>注1</sup>	CMDTのセット	CMDDをセット	次にアドレスを送信し、シリアル通信を開始することを示す
ストップ・コンディション	マスタ	SCL0 (SCL1) がハイ・レベルのときのSDA0 (SDA1) の立ち上がりエッジ <sup>注1</sup>	RELTのセット	・RELDをセット ・CMDDをクリア	シリアル送信の終了を示す
アクトリッジ信号 (ACK)	マスタ / スレーブ	シリアル受信完了後、SCL0 (SCL1) の1クロック期間に出力されるSDA0 (SDA1) のロウ・レベル信号	・ACKE = 1 ・ACKTのセット	ACKDをセット	1バイトの受信が完了したことを示す
ウエイト (WAIT)	スレーブ	SCL0 (SCL1) に出力されるロウ・レベル信号	WAT0のセット	-	シリアル受信が不可能な状態を示す
シリアル・クロック (SCL0, SCL1)	マスタ	各種信号出力のための同期クロック	CSIE0 = 1のときの、IIC1へのデータ書き込み命令実行 (シリアル転送のスタート指示) <sup>注2</sup>	IICIF1をセット <sup>注3</sup>	シリアル通信の同期信号
アドレス (A6-A0)	マスタ	スタート・コンディション出力後に、SCL0 (SCL1) に同期して出力される7ビット・データ			シリアル・バス上のスレーブを指定するためのアドレス値を示す
転送方向 (R/W)	マスタ	アドレス出力後に、SCL0 (SCL1) に同期して出力される1ビット・データ			データの送信あるいは受信のどちらを行うかを示す
データ (D7-D0)	マスタ / スレーブ	スタート・コンディション直後でない、SCL0 (SCL1) に同期して出力される8ビット・データ			実際に通信するデータを示す

注1 . シリアル・クロックのレベルは、IIC割り込みタイミング指定レジスタ1 (IICINT1) のCLCで制御することができます。

2 . ウエイト状態のときは、ウエイト状態が解除されたあと、シリアル転送を開始します。

3 . WUP = 0で8クロック・ウエイトを選択したとき、SCL0 (SCL1) の8クロック目の立ち上がりでIICIF1をセットします。WUP = 0で9クロック・ウエイトを選択したとき、SCL0 (SCL1) の9クロック目の立ち上がりでIICIF1をセットします。

WUP = 1のとき、アドレスを受信し、そのアドレスがスレーブ・アドレス・レジスタ1 (SVA1) の値と一致したとき、およびストップ・コンディション検出時にIICIF1をセットします。



(5) 端子構成

シリアル・クロック端子SCL0 (SCL1) と、シリアル・データ・バス端子SDA0 (SDA1) の構成は次のようになっています。

(a) SCL0 (SCL1) … シリアル・クロックを入出力するための端子

    マスタ …… N-chオープン・ドレイン出力

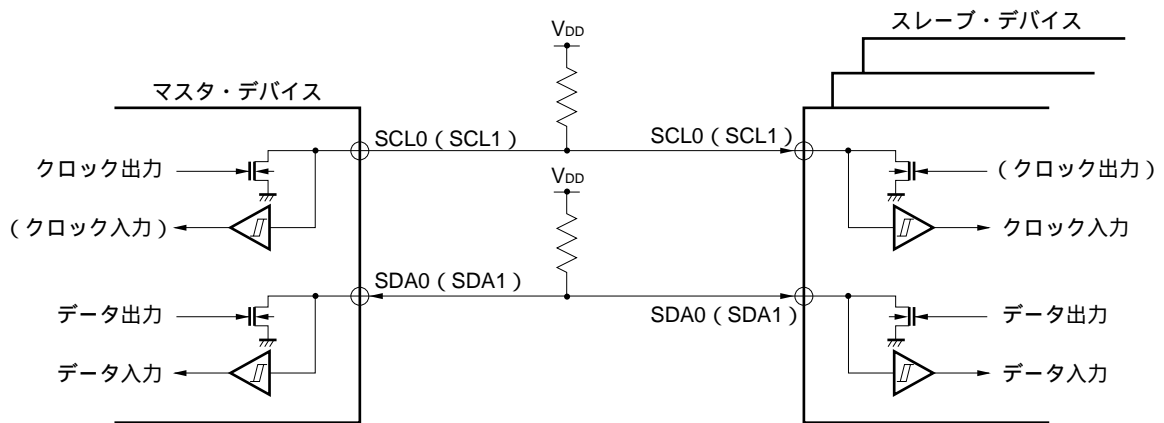
    スレーブ …… シュミット入力

(b) SDA0 (SDA1) … シリアル・データの入出力兼用端子

    マスタ, スレーブともにN-chオープン・ドレイン出力, シュミット入力

シリアル・クロックおよびシリアル・データ・バスはともにN-chオープン・ドレインで出力されるため、外部にプルアップ抵抗が必要となります。

図13 - 15 端子構成図



**注意** データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、あらかじめIICコントロール・レジスタ1 (IICC1) のビット7 (BSYE) に1を設定し、IICシフト・レジスタ1 (IIC1) にFFHを書き込んでおいてください。

ただし、ウェイク・アップ機能使用時 (IIC動作モード・レジスタ1 (IICM1) のビット5 (WUP) をセット) は、受信前にIIC1にFFHを書き込まないでください。IIC1にFFHを書き込まなくても、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となります。

## (6) アドレスの一致検出方法

I<sup>2</sup>Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択することができます。

アドレス一致の検出は、ハードウェアで自動的に行います。スレーブ・アドレス・レジスタ1 (SVA1) を備え、ウエイク・アップ状態 (WUP = 1) では、マスタから送信されたスレーブ・アドレスとSVA1に設定したアドレスが一致したときに、IICIF1をセットします (ストップ・コンディション検出時にもセットします)。

なお、ウエイク・アップ機能使用時 (WUP = 1) はSICを1にセットしておいてください。

**注意** スレーブの選択、非選択の状態検出は、スタート・コンディションのあとに受信したデータ (アドレス) の一致検出により行います。

この一致検出は、通常WUP = 1の状態が発生するアドレスの一致検出割り込み要求 (INTIIC1) を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出はWUP = 1の状態で行ってください。

## (7) エラーの検出

I<sup>2</sup>Cバス・モードでは、送信中のシリアル・バスSDA0 (SDA1) の状態が送信しているデバイスのIICシフト・レジスタ1 (IIC1) にも取り込まれるため、次の方法によって送信エラーを検出できます。

### (a) 送信開始前と送信終了後のIIC1のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

### (b) スレーブ・アドレス・レジスタ1 (SVA1) を使用する方法

送信データをIIC1とSVA1にセットし、送信を行います。送信終了後にIIC動作モード・レジスタ1 (IICM1) のCOIビット (アドレス・コンパレータからの一致信号) をテストし、“1”なら正常な送信、“0”なら送信エラーと判断します。

## (8) 通信動作

I<sup>2</sup>Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次に、データの転送方向を示すR/Wビットを送信し、スレーブとのシリアル通信を開始します。

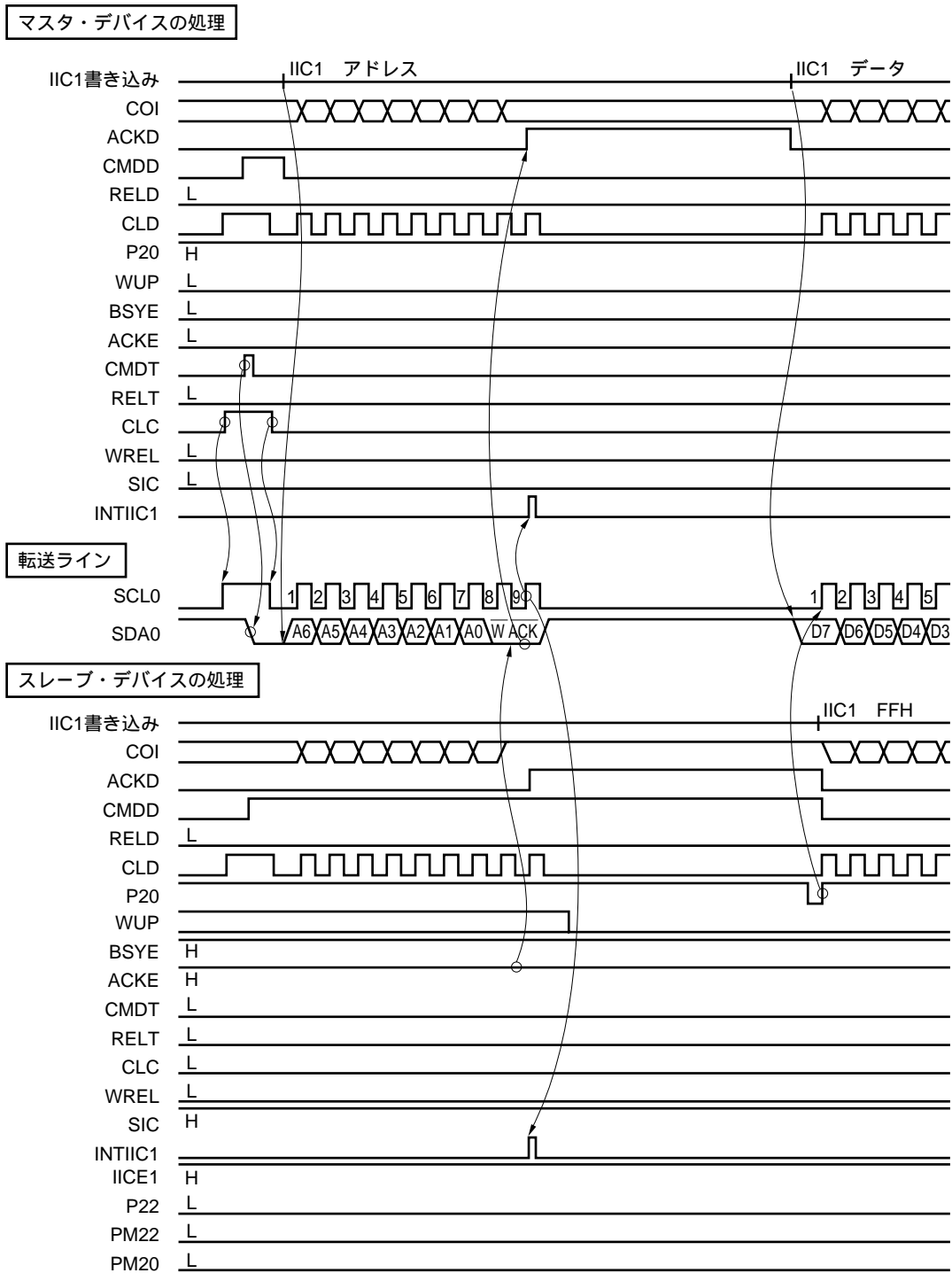
データ通信のタイミング・チャートを図13 - 16および図13 - 17に示します。

シリアル・クロックSCL0 (SCL1) の立ち下がりに同期してIICシフト・レジスタ1 (IIC1) のシフト動作が行われ、送信データがSO0ラッチに転送され、SDA0またはSDA1端子からMSBを先頭にして出力されません。

また、SCL0 (SCL1) の立ち上がりでSDA0 (SDA1) 端子に入力されたデータがIICシフト・レジスタ1 (IIC1) に取り込まれます。

図13 - 16 マスタ スレーブ通信例 (1/3)

( a ) スタート・コンディション~アドレス

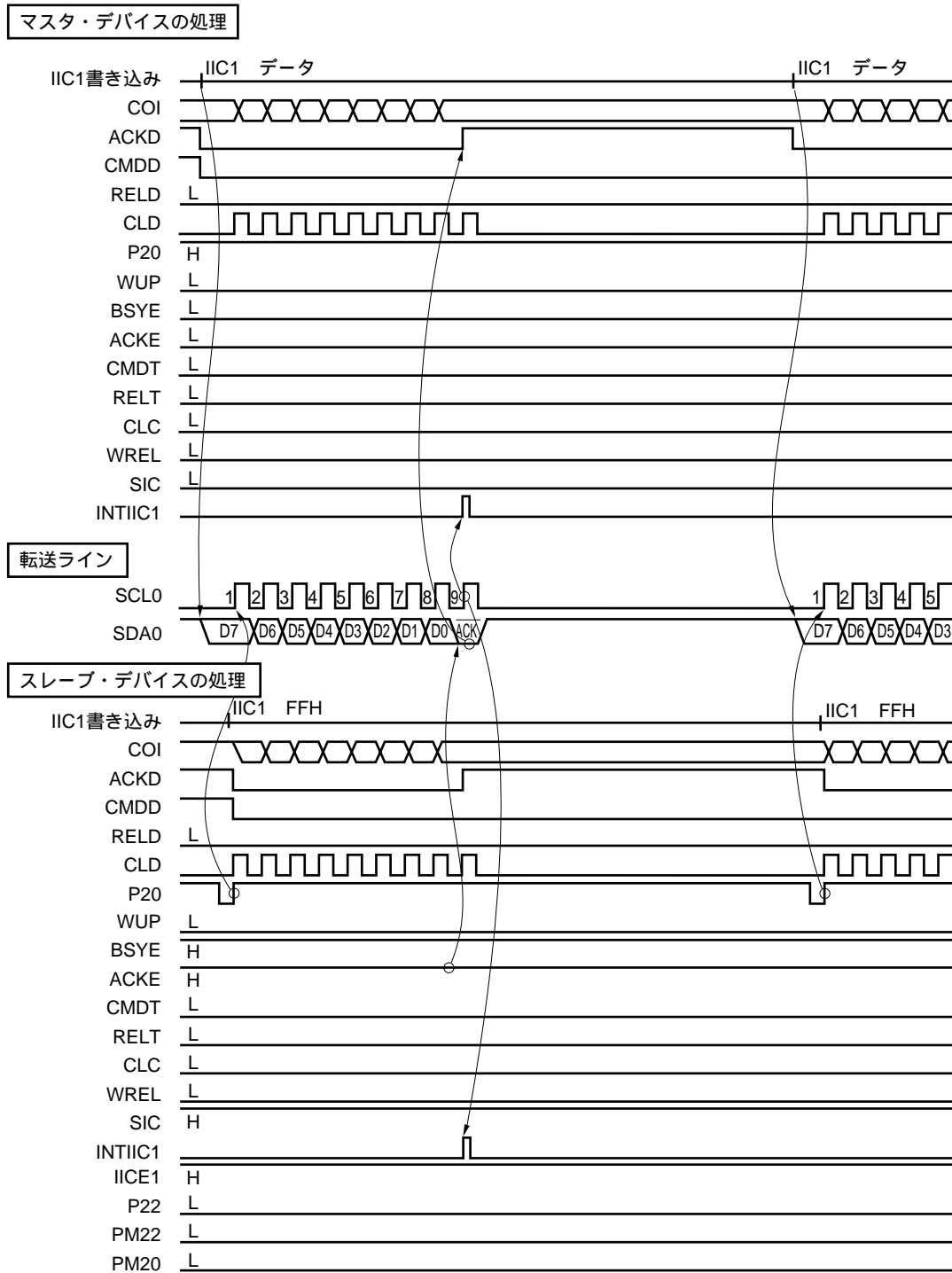


備考1 . マスタ , スレーブとも9クロック・ウエイト選択時

2 . IICM12 = 0 のとき

図13 - 16 マスタ スレーブ通信例 (2/3)

(b) データ

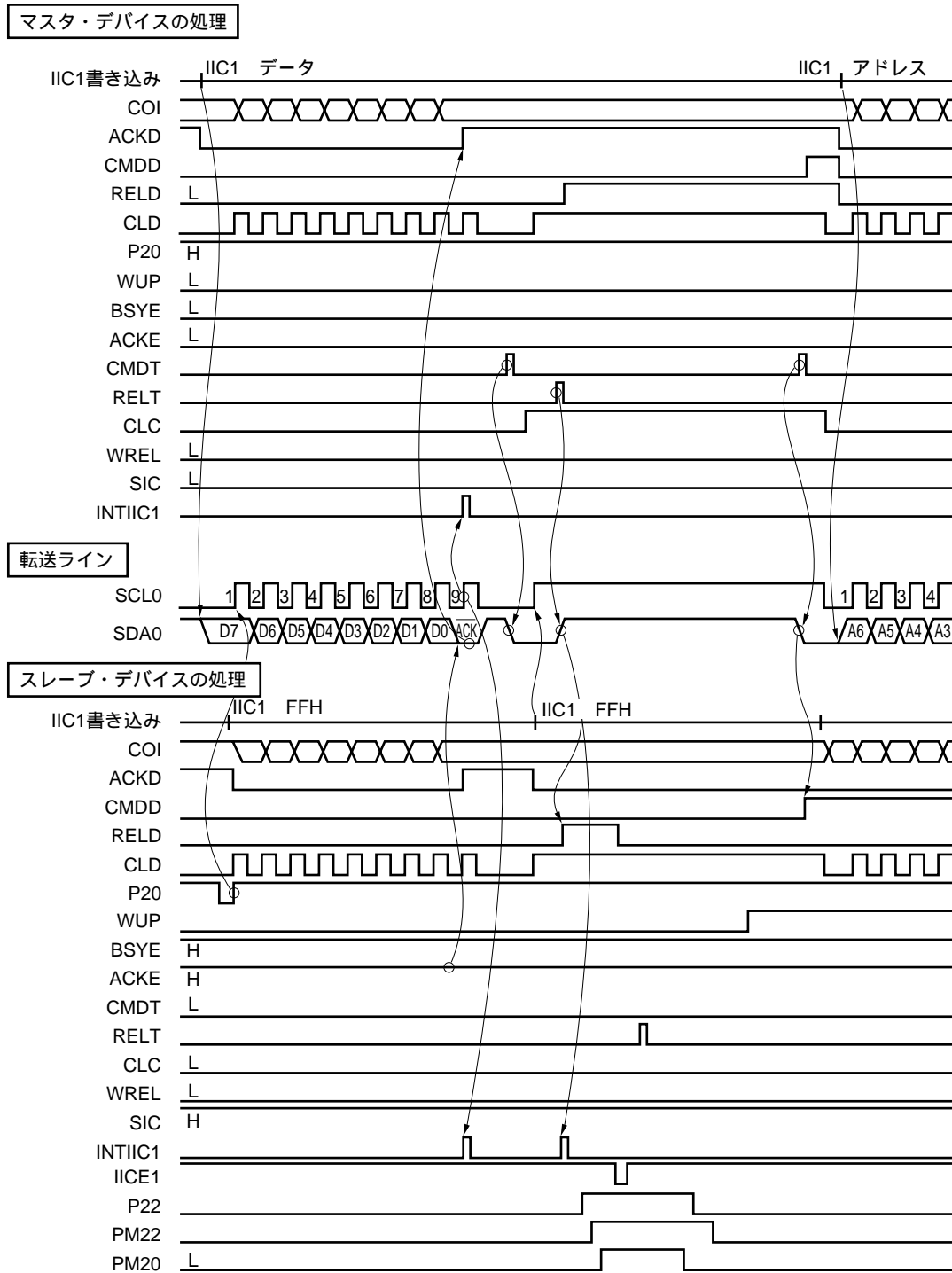


備考1 . マスタ , スレーブとも9クロック・ウエイト選択時

2 . IICM12=0 のとき

図13 - 16 マスタ スレーブ通信例 (3/3)

(c) ストップ・コンディション

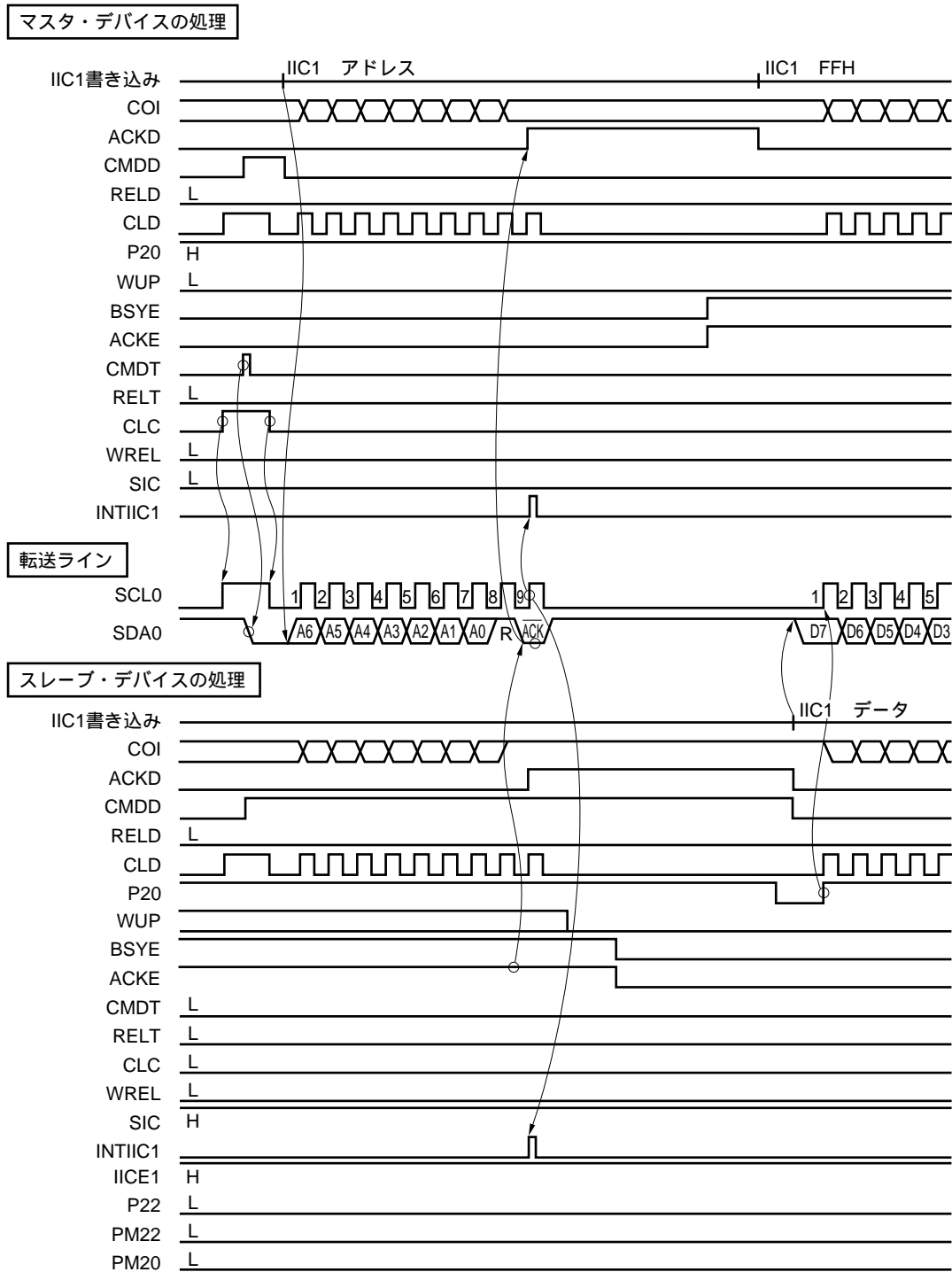


備考1 . マスタ , スレーブとも9クロック・ウエイト選択時

2 . IICM12=0 のとき

図13 - 17 スレーブ マスタ通信例 (1/3)

( a ) スタート・コンディション~アドレス

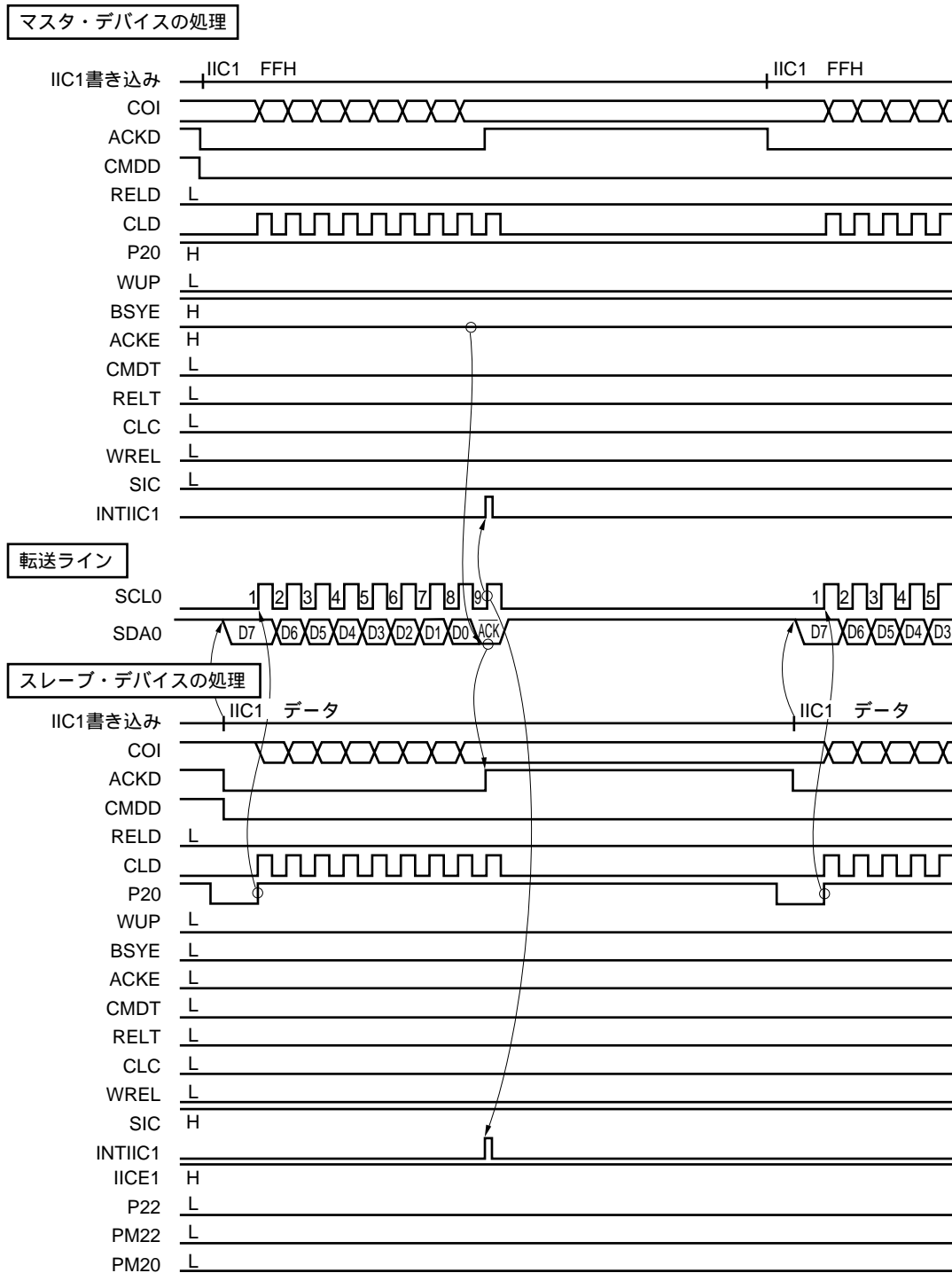


備考1 . マスタ , スレーブとも9クロック・ウエイト選択時

2 . IICM12 = 0 のとき

図13 - 17 スレーブ マスタ通信例 (2/3)

(b) データ

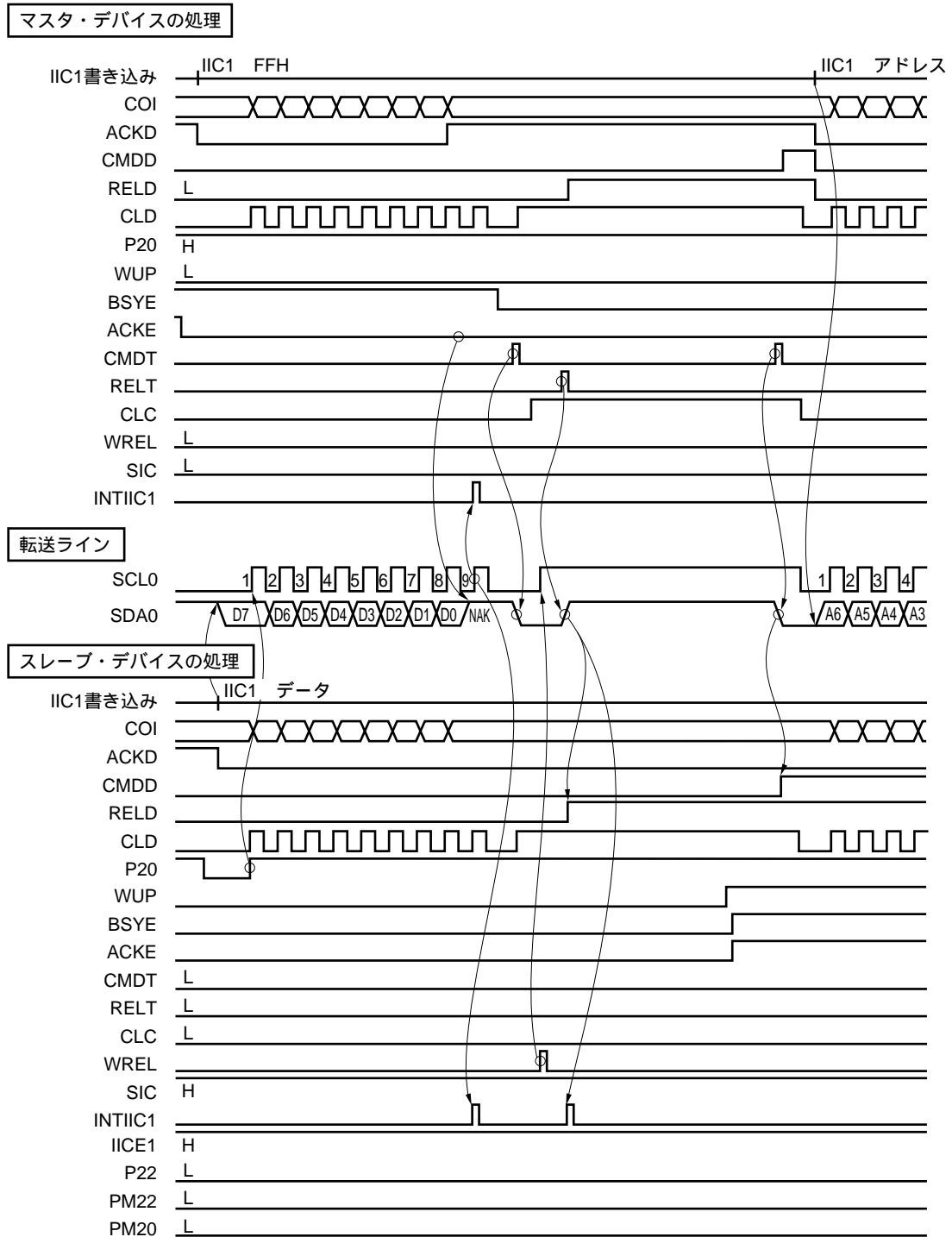


備考1 . マスタ , スレーブとも9クロック・ウエイト選択時

2 . IICM12=0 のとき

図13 - 17 スレーブ マスタ通信例 (3/3)

(c) ストップ・コンディション



備考1 . マスタ , スレーブとも9クロック・ウエイト選択時

2 . IICM12=0 のとき



**(9) 転送スタート**

シリアル転送は、次の2つの条件を満たしたとき、IICシフト・レジスタ1 (IIC1) に転送データをセットすることで開始します。

- ・シリアル・インタフェース (IIC1) の動作の制御ビット (IICE1) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCL0 (SCL1) がロウ・レベルの状態

**注意 1** . IIC1にデータを書き込んだあと、IICE1を“ 1 ”にしても、転送はスタートしません。

2 . データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、あらかじめ、IICコントロール・レジスタ1 (IICC1) のビット7 (BSYE) に1を設定し、IIC1にFFHを書き込んでおいてください。

ただし、ウエイク・アップ機能使用時 (IIC動作モード・レジスタ1 (IICM1) のビット5 (WUP) をセット) は、受信前にIIC1にFFHを書き込まないでください。IIC1にFFHを書き込まなくても、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となります。

3 . スレープがウエイト状態のときにIIC1にデータを書き込んだ場合、そのデータは失われません。ウエイト状態が解除されて、SCL0 (SCL1) が出力されたときに転送が開始します。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (IICIF1) をセットします。

### 13.4.3 I<sup>2</sup>Cバス・モード使用時の注意事項

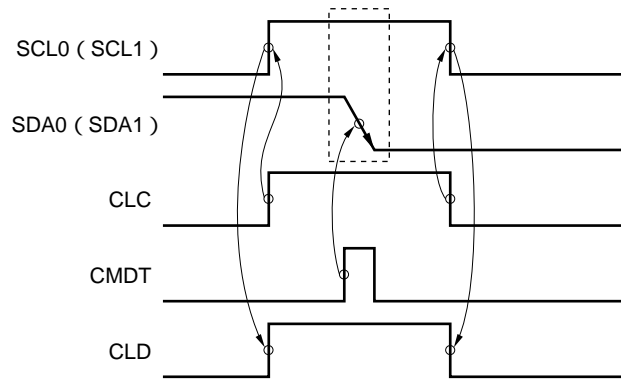
#### (1) スタート・コンディションの出力 (マスタ)

SCL0 (SCL1) 端子は、シリアル・クロックが出力されていないときには通常、ロウ・レベルを出力しています。スタート・コンディションを出力するためには一度SCL0 (SCL1) 端子をハイ・レベルに変化させる必要があります。SCL0 (SCL1) 端子をハイ・レベルにするには、IIC割り込みタイミング指定レジスタ1 (IICINT1) のCLCに1を設定してください。

CLCをセットしたあとはCLCを0にクリアし、SCL0 (SCL1) 端子をロウ・レベルに戻してください。CLCが1のままの場合、シリアル・クロックが出力されません。

マスタがスタート・コンディションおよびストップ・コンディションを出力する場合には、CLCに1を設定したあと、CLDが1であることを確認してから行ってください。これは、スレーブがSCL0 (SCL1) 端子をロウ・レベル (ウエイト状態) にしている可能性があるためです。

図13 - 18 スタート・コンディションの出力



(2) スレーブのウェイト解除

スレーブのウェイト解除は、WRELフラグのセットまたは、IIC1への書き込み命令実行により行われます。

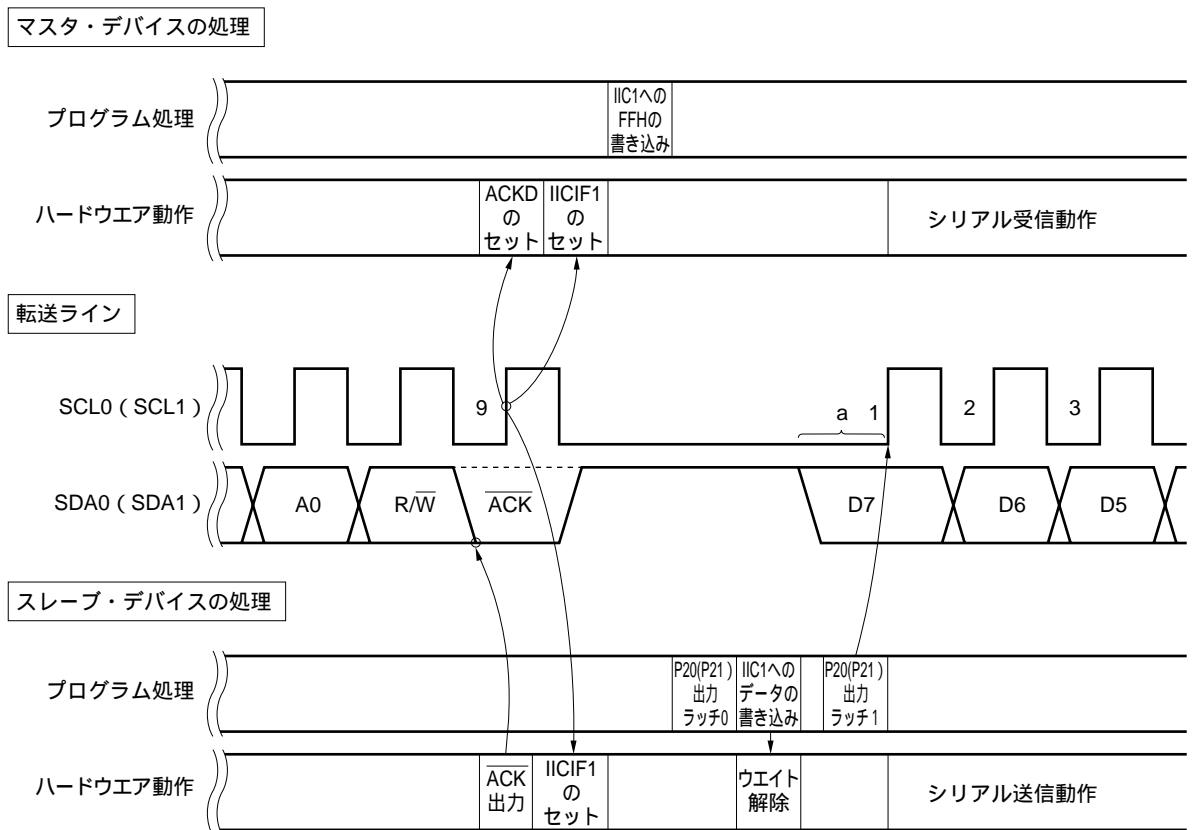
スレーブがデータ送信をする場合、IIC1への書き込み命令実行により、すぐにウェイトが解除され、データ・ラインに先頭の送信ビットが出力されないままクロックが立ち上がってしまいます。そのため、図13-19に示すように、P20 (P21) の出力ラッチをプログラムで操作することにより、データ送信をする必要があります。このとき、1 回目のシリアル・クロックのロウ・レベル幅 (図13-19の a の部分) は、IIC1への書き込み命令実行後のP20 (P21) 出力ラッチを 1 に設定するときのタイミングで制御してください。

また、マスタからのアクノリッジ信号が出力されなかった場合 (スレーブからのデータ送信が終了した場合) は、IICINT1のWRELフラグに 1 を設定し、ウェイトを解除してください。

スレーブがデータを受信する場合は、IIC1への書き込み命令実行後、ウェイトが解除されても受信するデータはすでにデータ・ライン上に出力されているので、P20 (P21) の出力ラッチを操作する必要はありません。

これらのタイミングについては、図13-16, 13-17を参照してください。

図13-19 スレーブのウェイト解除 (送信時)



**(3) スレーブの受信完了処理**

スレーブの受信完了処理（割り込み処理など）では，CMDDとCOI（CMDD = 1のとき）を確認するようにしてください。不特定数のデータをマスタから受信する場合，スタート・コンディションとデータのどちらが次にくるのかをスレーブが判断できず，ウエイク・アップ機能が使用できなくなるのを避けるためです。

**13.4.4 I<sup>2</sup>Cバス・モード使用時の制限事項**

μPD178048サブシリーズには，次の制限事項があります。

**・I<sup>2</sup>Cバス・モードのスレーブ・デバイスとして使用する場合の制限事項**

対象製品：μPD178046, 178048, 178F048  
IE-178048-NS-EM1<sup>注</sup>

**注 開発中**

**内 容：**シリアル転送状態<sup>注</sup>でウエイク・アップ機能を実行（WUPフラグ（IIC動作モード・レジスタ1（IICM1）のビット5）をセット（1）することにより実行）すると，他のスレーブ・デバイスとマスタ・デバイス間のデータに対してアドレス判定を行ってしまいます。したがって，そのときのデータがμPD178048サブシリーズのスレーブ・アドレスと一致すると，μPD178048サブシリーズが通信に参加し，通信データを破壊してしまいます。

**注** シリアル転送状態とは，IICシフト・レジスタ1（IIC1）の書き込み後，シリアル転送終了により割り込み要求フラグ（IICIF1）がセット（1）されるまでの状態を示します。

**回避策：**この制限事項はプログラムを変更することによって回避できます。

ウエイク・アップ機能を実行する前に，次に示すシリアル転送状態を解除するプログラムを実行してください。また，ウエイク・アップ機能を実行するときは，IIC1への書き込み命令を実行しないでください。IIC1への書き込み命令を実行しなくても，ウエイク・アップ機能実行時にデータ受信は可能です。

このプログラムは，シリアル転送状態を解除するためのプログラムです。シリアル転送状態を解除するためには，一度シリアル・インタフェース（IIC1）を動作停止状態（IICE1フラグ（IIC動作モード・レジスタ1（IICM1）のビット7）をクリア（0））にする必要があります。ただし，I<sup>2</sup>Cバス・モードでシリアル・インタフェース（IIC1）を動作停止状態にすると，SCL0（SCL1）端子からはハイ・レベルを，SDA0（SDA1）端子からはロウ・レベルを出力してしまい，I<sup>2</sup>Cバスの通信に影響を与える可能性があります。そのためこのプログラムは，I<sup>2</sup>Cバスへの影響を避けるためにSCL0（SCL1）端子およびSDA0（SDA1）端子をハイ・インピーダンス状態にしています。また，この例ではシリアル・データ入力/出力端子をSDA0（/P22），シリアル・クロック入力/出力端子をSCL0（/P20）として説明しています。シリアル・データ入力/出力端子をSDA1（/P23），シリアル・クロック入力/出力端子をSCL1（/P21）にしている場合は，プログラム中のP2.2, PM2.2をP2.3, PM2.3に，P2.0, PM2.0をP2.1, PM2.1にそれぞれ読み替えてください。このプログラムを実行したときの各信号のタイミングについては，図13 - 16を参照してください。

## ・シリアル転送状態を解除するプログラム例

```

SET1 P2.2      ;
SET1 PM2.2    ;
SET1 PM2.0    ;
CLR1 CSIE0    ;
SET1 CSIE0    ;
SET1 RELT     ;
CLR1 PM2.0    ;
CLR1 P2.2     ;
CLR1 PM2.2    ;

```

の命令でI<sup>2</sup>Cバス・モードに復帰したときに、SDA0端子からロウ・レベルを出力しないようにします。SDA0端子の出力はハイ・インピーダンス状態になります。

の命令でポート・モードに移行したときに、SDA0ラインに影響を与えないようにするために、P22 (/SDA0) 端子を入力モードにします。入力モードに変化するタイミングは の命令実行時です。

の命令でポート・モードに移行したときに、SCL0ラインに影響を与えないようにするために、P20 (/SCL0) 端子を入力モードにします。入力モードに変化するタイミングは の命令実行時です。

I<sup>2</sup>Cバス・モードからポート・モードに移行します。

ポート・モードからI<sup>2</sup>Cバス・モードに復帰します。

の命令でSDA0端子からロウ・レベルを出力しないようにします。

I<sup>2</sup>Cバス・モードでは、P20端子を出力モードにする必要がありますので、P20端子を出力モードにします。

I<sup>2</sup>Cバス・モードでは、P22端子の出力ラッチに0を設定する必要がありますので、P22端子の出力ラッチに0を設定します。

I<sup>2</sup>Cバス・モードでは、P22端子を出力モードにする必要がありますので、P22端子を出力モードにします。

**備考** RELT : IICコントロール・レジスタ 1 (IICC1) のビット 0

### 13.4.5 SCL0/P20, SCL1/P21端子出力の操作

SCL0/P20, SCL1/P21端子には、出力ラッチが内蔵されているため、通常のシリアル・クロック以外に、ソフトウェア操作によりスタティック出力も可能です。

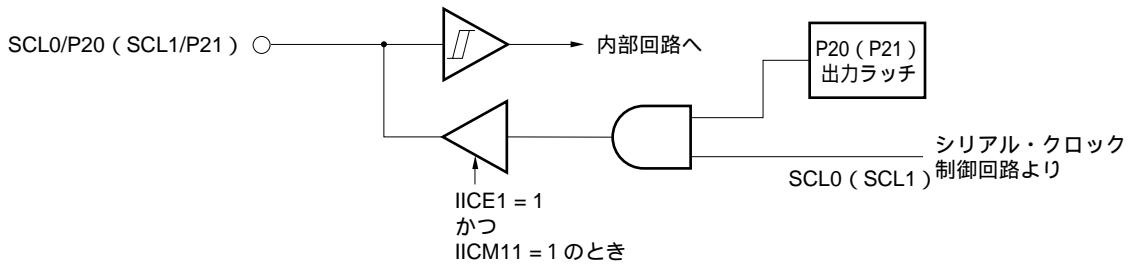
また、P20 (P21) 出力ラッチの操作により、SCL0 (SCL1) の値をソフトウェアで任意に設定できます (SDA0, SDA1端子の制御はIICC1のRELT, CMDTビットによって行います)。

次に、SCL0/P20, SCL1/P21端子出力の操作方法を示します。

IIC動作モード・レジスタ1 (IICM1) を設定します (SCL0 (SCL1) 端子：出力モード，シリアル動作：可能状態。シリアル転送停止中ではSCL0 (SCL1) = 0 となっています)。

P20 (P21) 出力ラッチを、ビット操作命令により操作します。

図13 - 20 SCL0/P20 (SCL1/P21) 端子の構成



# 第14章 シリアル・インタフェース (SIO3)

## 14.1 シリアル・インタフェース (SIO3) の機能

シリアル・インタフェース (SIO3) には、次の2種類のモードがあります。

### (1) 動作停止モード

シリアル転送を行わないときに使用するモードです。詳細については14.4.1を参照してください。

### (2) 3線式シリアルI/Oモード (MSB先頭固定)

シリアル・クロック ( $\overline{\text{SCK3}}$ )、シリアル出力 (SO3)、シリアル入力 (SI3) の3本のラインにより、8ビット・データ転送を行うモードです。

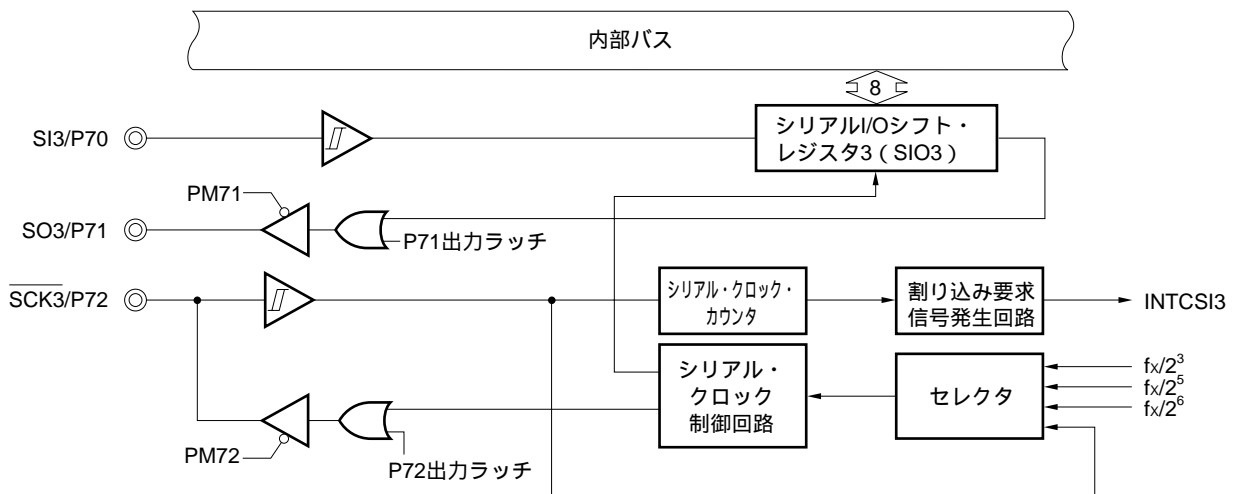
3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットは、MSB固定です。

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。詳細については14.4.2を参照してください。

図14-1に、シリアル・インタフェース (SIO3) のブロック図を示します。

図14-1 シリアル・インタフェース (SIO3) のブロック図



## 14.2 シリアル・インタフェース (SIO3) の構成

シリアル・インタフェース (SIO3) は、次のハードウェアで構成されています。

表14 - 1 シリアル・インタフェース (SIO3) の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ3 (SIO3)
制御レジスタ	シリアル動作モード・レジスタ3 (CSIM3)

### (1) シリアルI/O シフト・レジスタ3 (SIO3)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信 (シフト動作) を行う 8 ビット・レジスタです。

SIO3は、8 ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ3 (CSIM3) のビット7 (CSIE3) が1 のとき、SIO3にデータを書き込むか、または読み出すことによりシリアル動作が開始されます。

送信時は、SIO3に書き込まれたデータが、シリアル出力 (SO3) に出力されます。

受信時は、データがシリアル入力 (SI3) からSIO3に読み込まれます。

リセット時は、不定になります。

**注意** 転送動作中のSIO3アクセスは、転送起動トリガとなるアクセス以外は実行しないでください (MODE = 0 のときリード動作が、MODE = 1 のときはライト動作が禁止となります)。



## 14.3 シリアル・インタフェース (SIO3) を制御するレジスタ

シリアル・インタフェース (SIO3) を制御するレジスタには、次のものがあります。

- ・シリアル動作モード・レジスタ3 (CSIM3)

### (1) シリアル動作モード・レジスタ3 (CSIM3)

SIO3のシリアル・クロック，動作モード，動作の許可/停止を設定するレジスタです。

CSIM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は，00Hになります。

図14 - 2 シリアル動作モード・レジスタ3 (CSIM3) のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30	FF6FH	00H	R/W

CSIE3	SIO3の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 <sup>注1</sup>
1	動作許可	カウント動作許可	シリアル機能 + ポート機能 <sup>注2</sup>

MODE	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO3出力
0	送信/送受信モード	SIO3ライト	シリアル出力
1	受信専用モード	SIO3リード	ロウ・レベル固定 <sup>注3</sup>

SCL31	SCL30	クロックの選択
0	0	SCK3への外部クロック入力
0	1	$f_x/2^3$ (625 kHz)
1	0	$f_x/2^5$ (156.3 kHz)
1	1	$f_x/2^6$ (78.1 kHz)

注1 . CSIE3 = 0 (SIO3動作停止状態) のときは，SI3, SO3, SCK3端子は，ポート機能として使用できません。

2 . CSIE3 = 1 (SIO3動作許可状態) のときは，送信機能のみ使用する場合はSI3端子，受信専用モード時はSO3端子をそれぞれポート機能として使用できます。

3 . ポート機能 (P71) として使用できます。

注意 3線式シリアルI/Oモード時，ポート・モード・レジスタ (PM $\times$  $\times$ ) を次のように設定してください。

また，出力ラッチはそれぞれ0に設定してください。

- ・シリアル・クロック出力時 (マスタ送信またはマスタ受信)

P72 (SCK3) を出力モード (PM72 = 0) に設定

- ・シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)  
P72を入力モード (PM72 = 1) に設定
- ・送信 / 送受信モード時  
P71 (SO3) を出力モード (PM71 = 0) に設定
- ・受信モード  
P70 (SI3) を入力モード (PM70 = 1) に設定

- 備考 1** .  $f_x$  : システム・クロック発振周波数
- 2 . ( ) 内は ,  $f_x = 5.0$  MHz動作時。

## 14.4 シリアル・インタフェース (SIO3) の動作

シリアル・インタフェース (SIO3) の持つ 2 種類のモードについて説明します。

### 14.4.1 動作停止モード

動作停止モードではシリアル転送を行いません。

また、動作停止モードでは、P70/SI3, P71/SO3, P72/SCK3端子を通常の入出力ポートとして使用できます。

#### (1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ3 (CSIM3) で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30	FF6FH	00H	R/W

CSIE3	SIO3の動作許可/禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 <sup>注1</sup>
1	動作許可	カウンタ動作許可	シリアル機能 + ポート機能 <sup>注2</sup>

注1 . CSIE3 = 0 (SIO3動作停止状態) のときは、SI3, SO3, SCK3端子は、ポート機能として使用できません。

注2 . CSIE3 = 1 (SIO3動作許可状態) のときは、送信機能のみ使用する場合はSI3端子、受信専用モード時はSO3端子をそれぞれポート機能として使用できます。

### 14.4.2 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、クロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック ( $\overline{\text{SCK3}}$ )、シリアル出力 (SO3)、シリアル入力 (SI3) の3本のラインで通信を行います。

#### (1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ3 (CSIM3) で行います。

CSIM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM3	CSIE3	0	0	0	0	MODE	SCL31	SCL30	FF6FH	00H	R/W

CSIE3	SIO3の動作許可 / 禁止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート
0	動作禁止	クリア	ポート機能 <sup>注1</sup>
1	動作許可	カウンタ動作許可	シリアル機能 + ポート機能 <sup>注2</sup>

MODE	転送動作モード・フラグ		
	動作モード	転送起動トリガ	SO3出力
0	送信 / 送受信モード	SIO3ライト	シリアル出力
1	受信専用モード	SIO3リード	ロウ・レベル固定 <sup>注3</sup>

SCL31	SCL30	クロックの選択
0	0	$\overline{\text{SCK3}}$ への外部クロック入力
0	1	$f_x/2^3$ (625 kHz)
1	0	$f_x/2^5$ (156.3 kHz)
1	1	$f_x/2^6$ (78.1 kHz)

- 注1 . CSIE3 = 0 (SIO3動作停止状態) のときは、SI3, SO3,  $\overline{\text{SCK3}}$ 端子は、ポート機能として使用できません。
- 2 . CSIE3 = 1 (SIO3動作許可状態) のときは、送信機能のみ使用する場合はSI3端子、受信専用モード時はSO3端子をそれぞれポート機能として使用できます。
- 3 . ポート機能 (P71) として使用できます。

**注意** 3線式シリアルI/Oモード時、ポート・モード・レジスタ (PMx) を次のように設定してください。

また、出力ラッチはそれぞれ0に設定してください。

- ・シリアル・クロック出力時 (マスタ送信またはマスタ受信)  
P72 ( $\overline{\text{SCK3}}$ ) を出力モード (PM72 = 0) に設定
- ・シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)  
P72を入力モード (PM72 = 1) に設定

・送信 / 送受信モード時

P71 (SO3) を出力モード (PM71 = 0) に設定

・受信モード

P70 (SI3) を入力モード (PM70 = 1) に設定

備考 1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は,  $f_x = 5.0$  MHz動作時。

(2) 通信動作

3線式シリアル/Oモードは, 8ビット単位でデータの送受信を行います。データは, シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル/Oシフト・レジスタ3 (SIO3) のシフト動作は, シリアル・クロック ( $\overline{SCK3}$ ) の立ち下がりに同期して行われます。そして, 送信データがSO3ラッチに保持され, SO3端子から出力されます。また, シリアル・クロックの立ち上がりで, SI3端子に入力された受信データがSIO3にラッチされます。

8ビット転送終了により, SIO3の動作は自動的に停止し, 割り込み要求フラグ (CSIF3) がセットされます。

図14 - 3 3線式シリアル/Oモードのタイミング



(3) 転送スタート

シリアル転送は, 次の2つの条件を満たしたとき, シリアル/Oシフト・レジスタ3 (SIO3) に転送データをセットする (またはリードする) ことで開始します。

- ・ SIO3の動作制御ビット (シリアル動作モード・レジスタ3 (CSIM3) のビット7 (CSIE3)) = 1
- ・ 8ビット・シリアル転送後, 内部のシリアル・クロックが停止した状態か, または $\overline{SCK3}$ がハイ・レベルの状態
- ・ 送信 / 送受信モード  
CSIM3のビット7 (CSIE3) = 1, ビット2 (MODE) = 0のとき, SIO3ライトで転送スタート
- ・ 受信専用モード  
CSIM3のビット7 (CSIE3) = 1, ビット2 (MODE) = 1のとき, SIO3のリードで転送スタート

**注意** SIO3にデータを書き込んだあと, CSIE3を“1”にしても転送はスタートしません。

8ビット転送終了により, シリアル転送は自動的に停止し, 割り込み要求フラグ (CSIF3) がセットされます。

[メモ]

## 第15章 8ビットPWM

### 15.1 8ビットPWMの機能

μPD178048サブシリーズは、8ビット分解能のPWM (Pulse Width Modulator) を内蔵しています。

PWM8ビット・コンペア・レジスタ (PWMCR00-PWMCR03) に設定した値で決まるデューティ比のパルスを、PWM00-PWM03端子から出力します。コンペア・レジスタを4チャンネル内蔵しているため、4種類のPWMパルスを同時に出力できます。

PWMパルスのアクティブ・レベルは、ハイ・レベル固定です。

出力されるPWMパルスは、8ビット分解能のパルスです。PWMパルスを外付けロウ・パス・フィルタ (LPF) で積分することにより、アナログ電圧に変換し、D/Aコンバータなどに応用できます。

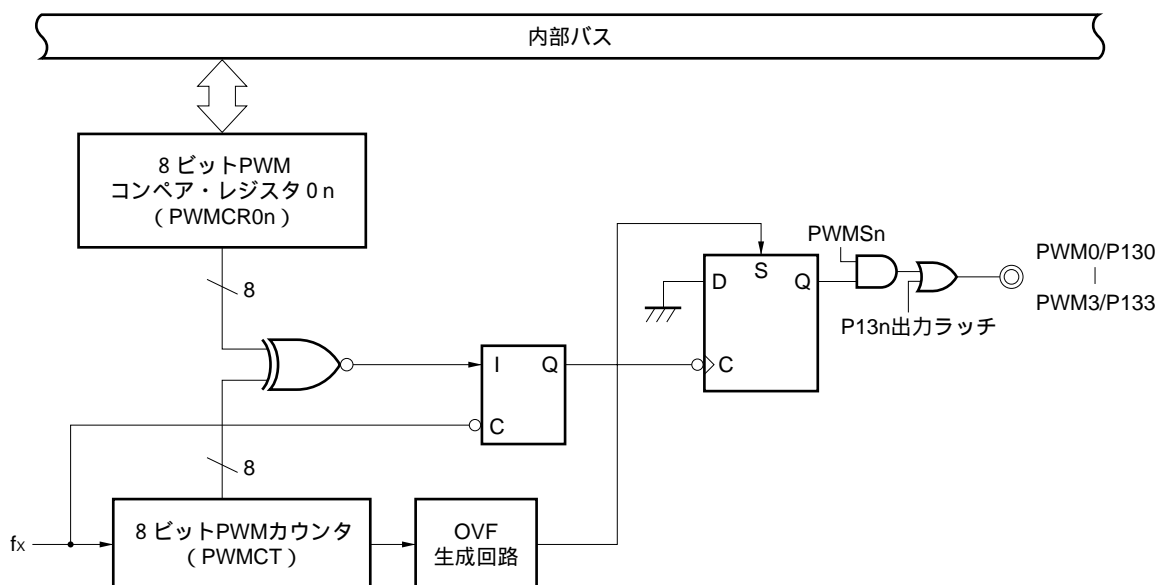
### 15.2 8ビットPWMの構成

8ビットPWMは、次のハードウェアで構成しています。

表15 - 1 8ビットPWMの構成

項 目	構 成
カウンタ	8ビットPWMカウンタ (PWMCT)
レジスタ	8ビットPWMコンペア・レジスタ (PWMCR00-PWMCR03)
制御レジスタ	PWM出力セレクト・レジスタ (PWMS)

図15 - 1 8ビットPWMのブロック図 (PWM00-PWM03)



備考1．内部信号  $\text{P13n}$  は、図15 - 3 8ビットPWMの動作タイミング中の信号を示しています。

- 2．PWMSn : PWM出力セレクト・レジスタ (PWMS) のビットn
- 3．n = 0 - 3

(1) 8ビットPWMコンペア・レジスタ (PWMCR00-PWMCR03)

PWMCR0n (n = 0 - 3) と8ビットPWMカウンタ (PWMCT) の値を常に比較し、一致したときにPWM出力をロウ・レベルにするレジスタです。PWMCTがオーバーフローすると、PWM出力はハイ・レベルになります。

PWMCR0nには、00H-FFHの値が設定できます。PWMCR0nに任意の値を設定することで、PWM出力のハイ・レベル幅、ロウ・レベル幅を操作できます。

PWMCR0nは、PWMCTの動作中に書き換えることができます。

PWMCR0nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、FFHになります。

PWM出力のハイ・レベル幅は、次の式で求めることができます。

$$[\text{PWM出力のハイ・レベル幅}] = \frac{\text{PWMCR0nの設定値} + 1}{f_x} + \frac{1}{2f_x}$$

$f_x$  : システム・クロック発振周波数



## 15.3 8ビットPWMを制御するレジスタ

8ビットPWMは、次のレジスタで制御します。

- ・PWM出力セレクト・レジスタ (PWMS)

### (1) PWM出力セレクト・レジスタ (PWMS)

P130/PWM00-P133/PWM03端子をポート機能またはPWM出力として使用するかを、1ビット単位で設定するレジスタです。P130/PWM00-P133/PWM03端子をPWM出力として使用するとき、PWMS0-PWMS3に1、P130-P133の出力ラッチに0を設定してください。

PWMSは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図15 - 2 PWM出力セレクト・レジスタ (PWMS) のフォーマット

略号	7	6	5	④	③	②	①	①	アドレス	リセット時	R/W
PWMS	0	0	0	PWMS4	PWMS3	PWMS2	PWMS1	PWMS0	FF96H	00H	R/W

PWMS4 <sup>注</sup>	P134/PWM1端子の出力制御
0	ポート出力 (P134)
1	PWM出力 (PWM1)

PWMS3-PWMS0	P13n/PWM0n端子の出力制御 (n = 0 - 3)
0	ポート出力 (P13n : n = 0 - 3)
1	PWM出力 (PWM0n : n = 0 - 3)

**注** PWMS4は14ビットPWM用のフラグなので、8ビットPWMの制御には関係ありません。  
PWMS4については、16.3 14ビットPWMを制御するレジスタを参照してください。

## 15.4 8ビットPWMの動作

8ビットPWMは、次の手順で操作します。

PWMCR0n (n = 0-3) の初期値はFFHであるため、PWM出力はハイ・レベルになっています。また、8ビットPWMカウンタ (PWMCT) は、常にカウント動作を行っています。

PWMCR0nに00H-FFHの任意の値を設定することにより、PWM出力のハイ・レベル幅を設定します。PWM出力のハイ・レベル幅は、次の式で求めることができます。

$$[\text{PWM出力のハイ・レベル幅}] = \frac{\text{PWMCR0nの設定値} + 1}{f_x} + \frac{1}{2f_x}$$

$f_x$  : システム・クロック発振周波数

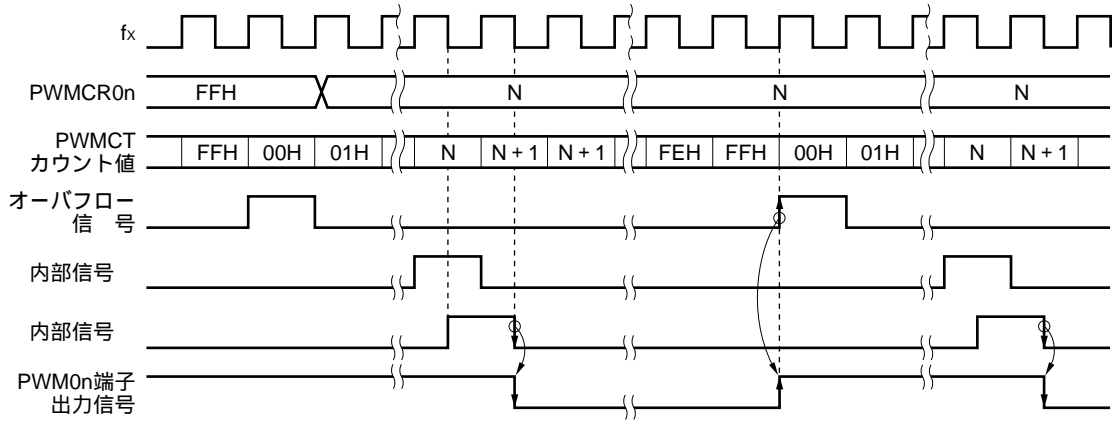
PWMCTのカウント値がPWMCR0nの設定値と一致すると、対応するPWM0n端子はロウ・レベルになります。

PWMCTがオーバーフロー (FFH 00H) すると、対応するPWM0n端子はハイ・レベルになります。

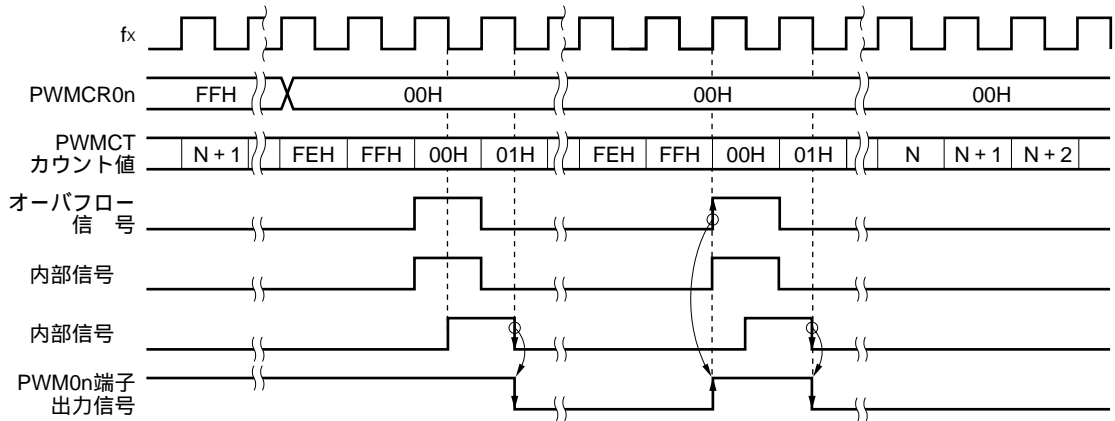
8ビットPWMの動作タイミングを図15 - 3 に示します。

図15 - 3 8ビットPWMの動作タイミング (1/3)

(1) 基本動作



(2) PWMCR0n = 00Hの場合



備考1. 内部信号 , については, 図15 - 1 8ビットPWMのブロック図 (PWM00-PWM03) を参照してください。

2. n = 0-3

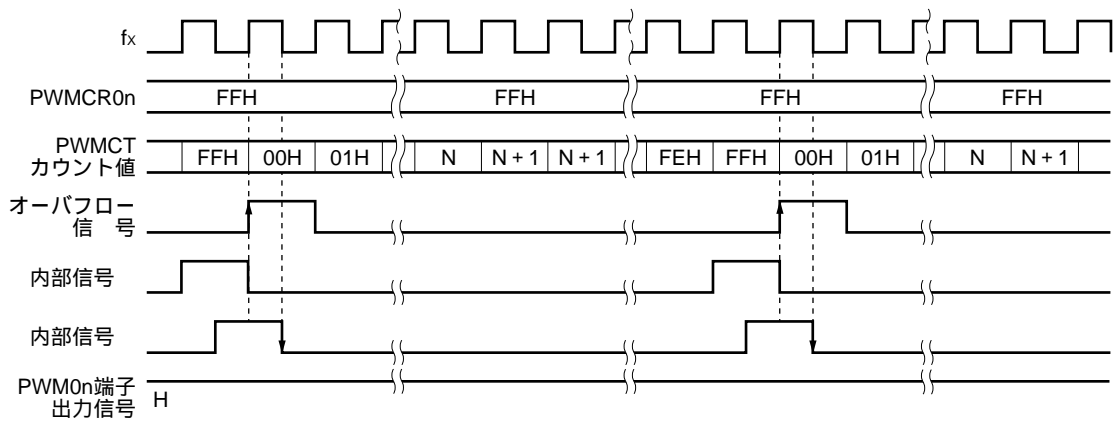
3. PWMCR0n : 8ビットPWMコンペア・レジスタ 0n

PWMCT : 8ビットPWMカウンタ

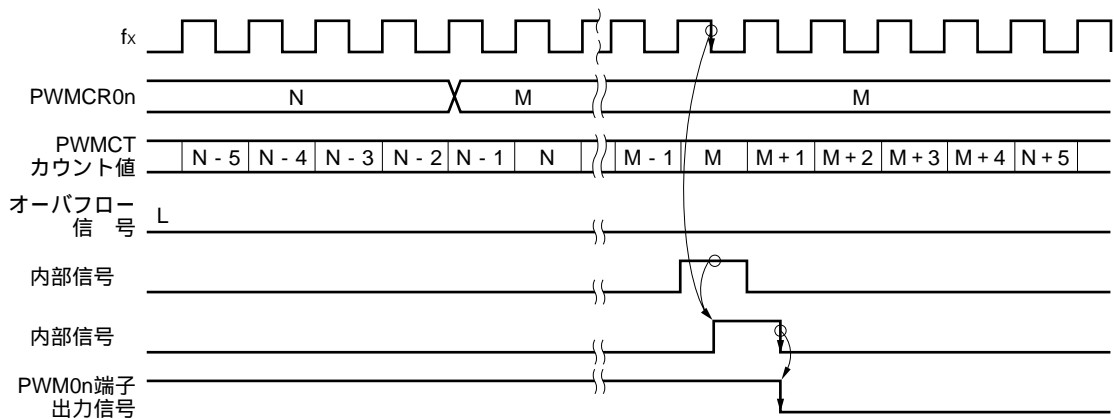
fx : システム・クロック発振周波数

図15 - 3 8ビットPWMの動作タイミング (2/3)

(3) PWMCR0n = FFHの場合



(4) 動作中にPWMCRnをN Mに書き換えた場合 (N < M)



備考1. 内部信号 , については, 図15 - 1 8ビットPWMのブロック図 (PWM00-PWM03) を参照してください。

2. n = 0-3

3. PWMCR0n : 8ビットPWMコンペア・レジスタ 0n

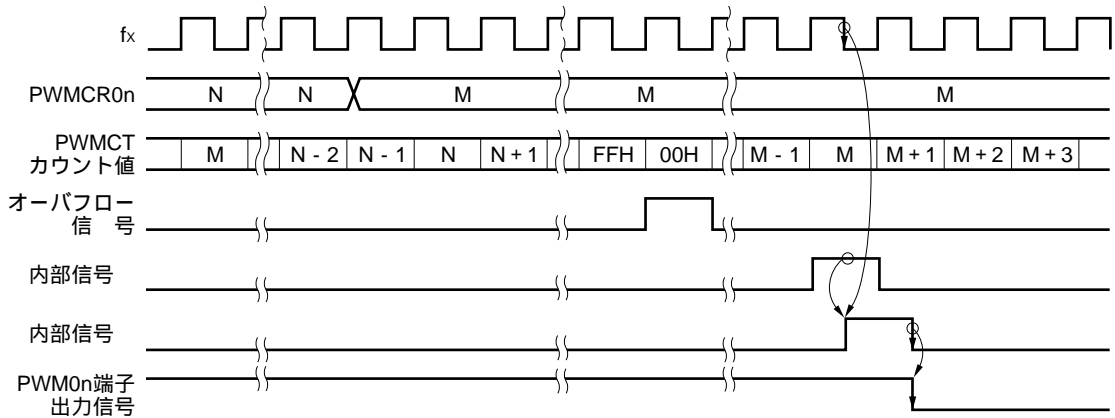
PWMCT : 8ビットPWMカウンタ

fx : システム・クロック発振周波数

図15 - 3 8ビットPWMの動作タイミング (3/3)

(5) 動作中にPWMCR0nをN Mに書き換えた場合 (N > M)

いったんオーバーフローしたあと、カウント値がMになるまでPWMn端子出力はハイ・レベルになります。



備考1 . 内部信号 , については, 図15 - 1 8ビットPWMのブロック図 (PWM00-PWM03) を参照してください。

2 .  $n = 0-3$

3 . PWMCR0n : 8ビットPWMコンペア・レジスタ 0 n

PWMCT : 8ビットPWMカウンタ

$f_x$  : システム・クロック発振周波数

## 15.5 8ビットPWMの注意事項

(1) 8ビットPWMカウンタ (PWMCT) は, 入力クロックにより常に動作しています。したがって, スタンバイ解除時のカウント値は不定です。

(2) ポートとの兼用端子 (P130/PWM00-P133/PWM03) をPWM出力として使用するとき, PWMS0-PWMS3に 1を設定し, ポートの出力ラッチに 0を設定してください。

[メモ]

## 第16章 14ビットPWM

### 16.1 14ビットPWMの機能

ボルテージ・シンセサイザ用の14ビットPWMで、変換方式は9ビットのPWMと5ビットのRMP (Rate Multiplier) を複合させています。

14ビットPWMコンペア・レジスタ (PWMCR1) に設定した値で決まるデューティ比のパルスを、PWM1/P134端子から出力します。

出力されるPWMパルスは、14ビット分解能のパルスです。PWMパルスを外付けロウ・パス・フィルタ (LPF) で積分することにより、アナログ電圧に変換し、D/Aコンバータなどに応用できます。

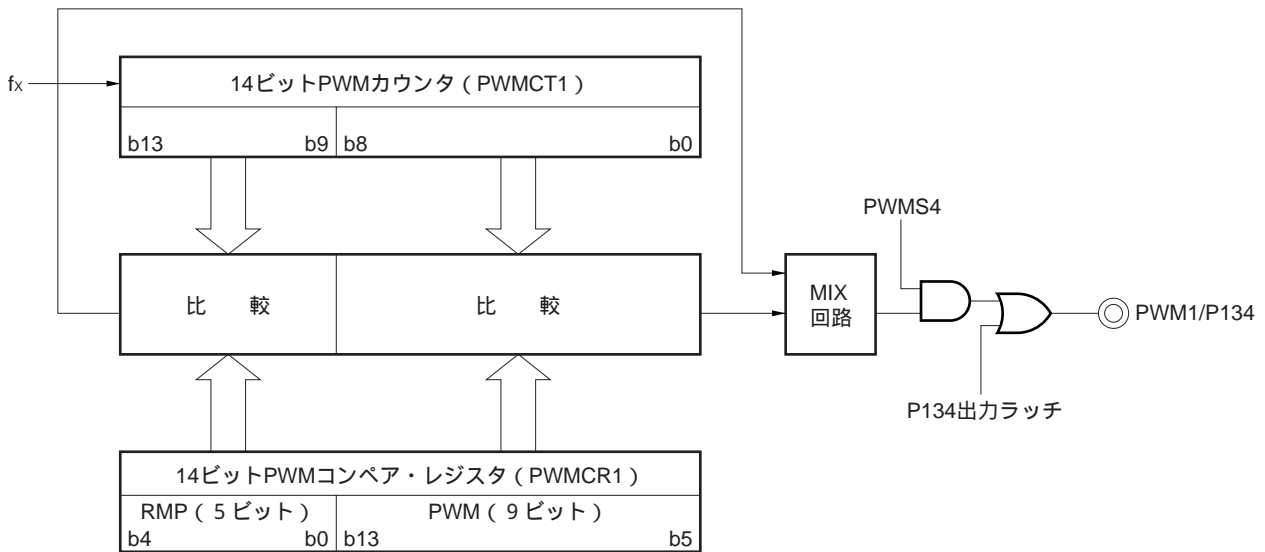
### 16.2 14ビットPWMの構成

14ビットPWMは、次のハードウェアで構成しています。

表16 - 1 14ビットPWMの構成

項 目	構 成
カウンタ	14ビットPWMカウンタ (PWMCT1)
レジスタ	14ビットPWMコンペア・レジスタ (PWMCR1)
制御レジスタ	PWM出力セレクト・レジスタ (PWMS)

図16 - 1 14ビットPWMのブロック図 (PWM1)



(1) 14ビットPWMコンペア・レジスタ (PWMCR1)

PWMCR1は、14ビットPWMカウンタ (PWMCT1) の値と常に比較し、一致したときにPWM出力をロウ・レベルにするレジスタです。PWMCT1がオーバフローすると、PWM出力はハイ・レベルになります。

PWMCR1はPWM部 (b13-b5) とRMP部 (b4-b0) に分かれています。PWM部に任意の値を設定することで、PWM出力のハイ・レベル幅、ロウ・レベル幅を操作できます。RMP部に任意の値を設定することで、PWM信号32周期の組み合わせを設定できます (16.4.1 14ビットPWMの出力信号参照)。

PWMCR1は、PWMCT1の動作中に書き換えることができます。

PWMCR1は、16ビット・メモリ操作命令で設定します。

リセット時は、不定になります。

図16 - 2 14ビットPWMコンペア・レジスタ (PWMCR1) のフォーマット

略号	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PWMCR1	0	0	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	FFCFH,	不定	R/W
	FFCFH								FFCEH								FFCEH		

備考 b0-b4 : RMPデータ (5ビット)

b5-b13 : PWMデータ (9ビット)

注意 PWMCR1レジスタの14ビット (b13-b0) の値を “ 0 ” から順次増加させればPWM1端子の出力も比例して変化しますが、3FE0H-3FFFH (PWMCR1のb13-b5が “ 11111111 ” のとき) ではPWM1信号はハイ・レベルが出力されます。

PWM1信号の出力はシステム・クロック (fx) を基本とした9ビットのPWM信号の32周期に対し200 nsのスロット・パルスを0-32個、加えた波形になります。



## 16.3 14ビットPWMを制御するレジスタ

14ビットPWMは、次のレジスタで制御します。

- ・PWM出力セレクト・レジスタ (PWMS)

### (1) PWM出力セレクト・レジスタ (PWMS)

P134/PWM1端子をポート機能またはPWM出力として使用するかを、1ビット単位で設定するレジスタです。P134/PWM1端子をPWM出力として使用するとき、PWMS4に1、P134の出力ラッチに0を設定してください。

PWMSは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図16-3 PWM出力セレクト・レジスタ (PWMS) のフォーマット

略号	7	6	5	④	③	②	①	①	アドレス	リセット時	R/W
PWMS	0	0	0	PWMS4	PWMS3	PWMS2	PWMS1	PWMS0	FF96H	00H	R/W

PWMS4	P134/PWM1端子の出力制御
0	ポート出力 (P134)
1	PWM出力 (PWM1)

PWMS3-PWMS0 <sup>注</sup>	P13n/PWM0n端子の出力制御 (n = 0 - 3)
0	ポート出力 (P13n : n = 0 - 3)
1	PWM出力 (PWM0n : n = 0 - 3)

**注** PWMS0-PWMS3は8ビットPWM用のフラグなので、14ビットPWMの制御には関係ありません。PWMS0-PWMS3については15.3 8ビットPWMを制御するレジスタを参照してください。

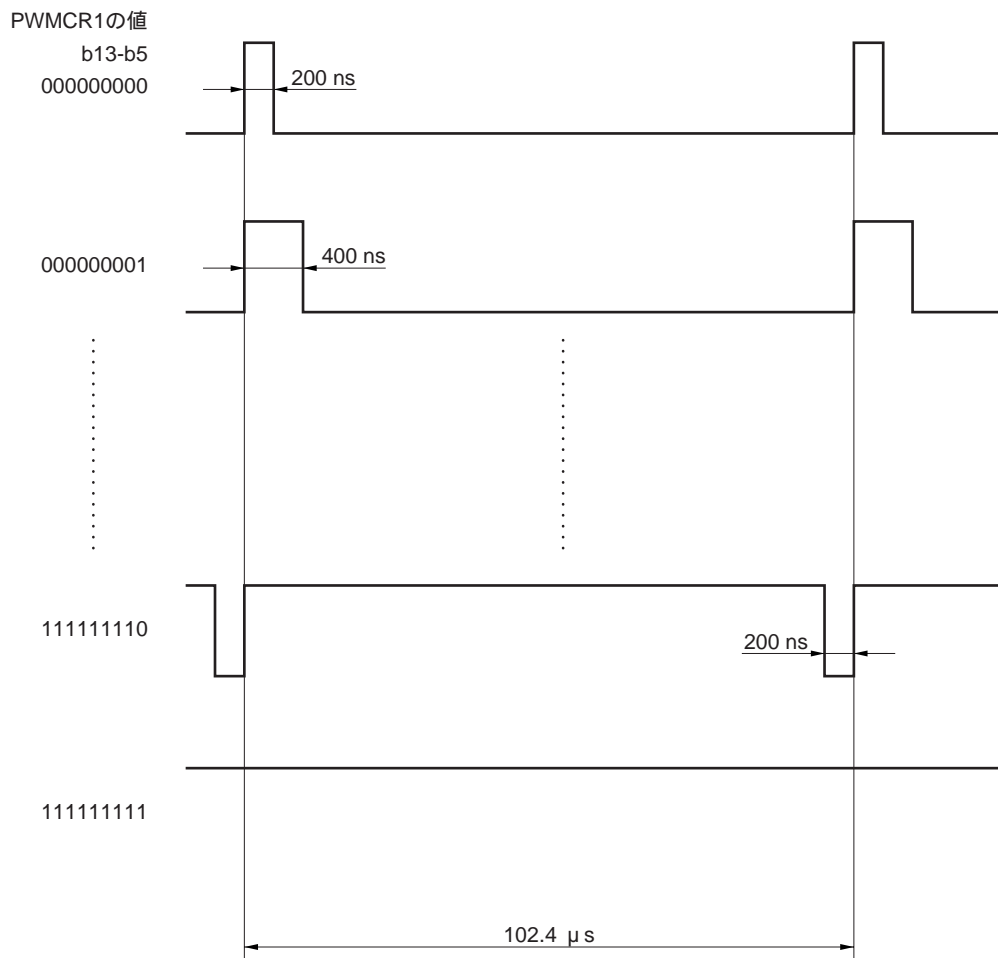
## 16.4 14ビットPWMの動作

### 16.4.1 14ビットPWMの出力信号

PWM1からは2種類のハイ・レベル幅を持ったパルスが組み合わされて出力されます。1つは図16 - 4のパルスで、もう一つはそれとハイ・レベルの幅が200 nsだけ異なったパルスです。その2種類のパルスの組み合わせはRMPデータ (PWMCR1のb4-b0) によって決定し、図16 - 4の信号の32周期に対しそれぞれのパルス幅が決定されます。

表16 - 2に1フレーム内 (32周期) のパルスの状態を示します。PWM1からはこの32個のパルスを1周期とした信号が出力されます。

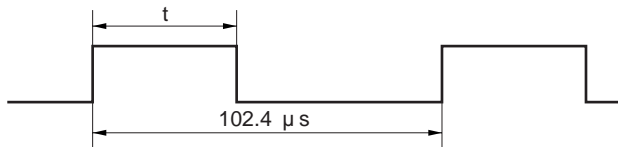
図16 - 4 PWM信号波形



**備考** この図は表16 - 2の 部のパルス幅です。

表16 - 2 PWM1端子の出力信号

PWMCR1 のb4-b0	PWM信号の周期																																				
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32					
00000																																					
00001																																					
00010																																					
00011																																					
00100																																					
00101																																					
00110																																					
00111																																					
01000																																					
01001																																					
01010																																					
01011																																					
01100																																					
01101																																					
01110																																					
01111																																					
10000																																					
10001																																					
10010																																					
10011																																					
10100																																					
10101																																					
10110																																					
10111																																					
11000																																					
11001																																					
11010																																					
11011																																					
11100																																					
11101																																					
11110																																					
11111																																					



:  $t = \frac{n}{5}$  (μs)  
 :  $t = \frac{n+1}{5}$  (μs)

( 0 ≤ n ≤ 2<sup>9</sup> - 2 : nはPWMCR1のb13-b5までの9ビットの値を10進数で表したもの )

## 16.4.2 14ビットPWMの動作タイミング

14ビットPWMは、次の手順で操作します。

PWMCR1の初期値は不定で、PWM出力はロウ・レベルになっています。また、14ビットPWMカウンタ (PWMCT1) は、常にカウント動作を行っています。

PWMCR1のb13-b5に000H-1FFHの任意の値を設定することにより、PWM出力のハイ・レベル幅を設定します。

また、PWMCR1のb4-b0に00H-1FHの任意の値を設定することにより、9ビットPWM信号の32周期の組み合わせを設定します (表16-2 PWM1端子の出力信号参照)。

PWMCT1のカウント値のb8-b0がPWMCR1の設定値のb13-b5と一致すると、対応するPWM1端子はロウ・レベルになります。

PWMCT1がオーバフロー (1FFH → 000H) すると、対応するPWM1端子はハイ・レベルになります。

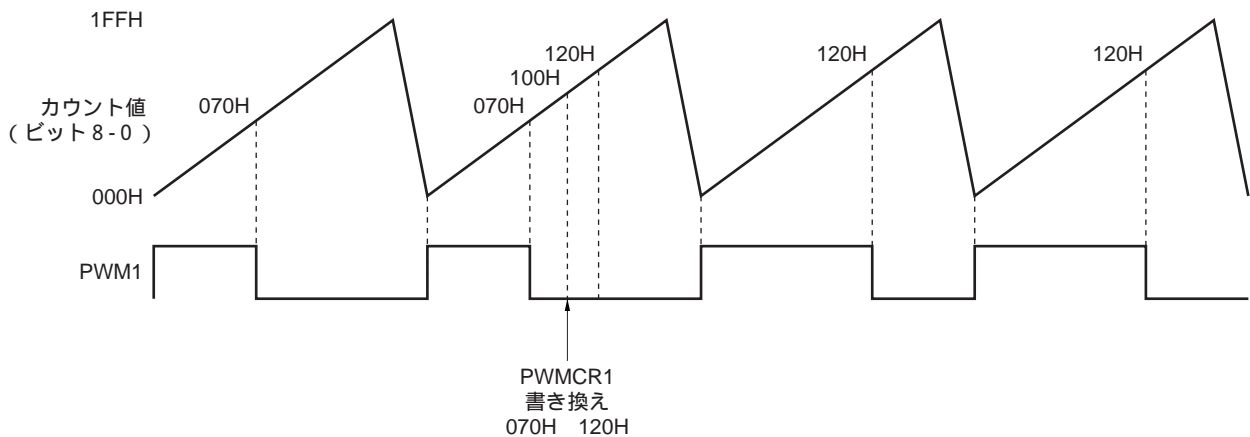
PWMCR1レジスタのデータを書き換えて (または初期設定時) からのPWM1信号は次のようになります。この場合、PWM1信号は32周期中の何周期目から動作するかは不定となります。

### (1) PWM1信号がロウ・レベルのときにPWMCR1レジスタのデータを書き換えた場合

PWMCR1レジスタのデータを書き換え後、カウント値 (ビット8-0) “000H” 以降からPWMCR1設定値で動作します。

なお、PWMCR1のb13-b5 = “11111111” に設定したとき、設定後にPWM1信号はハイ・レベルとなります。

#### 例1. カウント値 (ビット8-0) = 100Hのときに、PWMCR1 (b13-b5) を070Hから120Hに変更

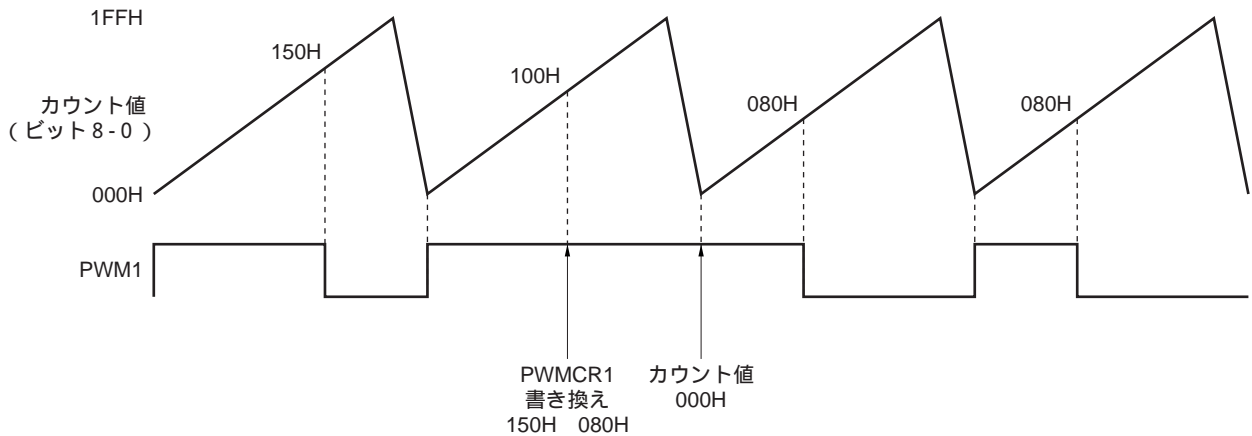


(2) PWM1信号がハイ・レベルのときにPWMCR1レジスタのデータを書き換えた場合

(a) カウント値(ビット8-0) > 変更後のPWMCR1 (b13-b5) の値の場合

変更してから、カウント値(ビット8-0)が“000H”を過ぎてPWMCR1 (b13-b5)の値になるまでの期間は、PWM1はずっとハイ・レベルを出力し、次周期からPWMCR1設定値で動作します。

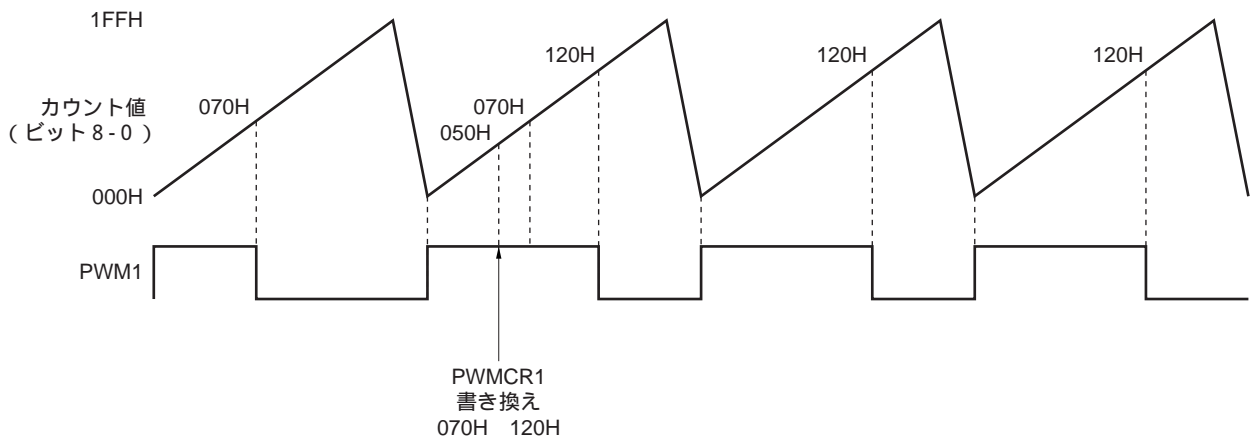
例2. カウント値(ビット8-0) = 100Hのときに、PWMCR1 (b13-b5) を150Hから080Hに変更



(b) カウント値(ビット8-0) < 変更後のPWMCR1 (b13-b5) の値の場合

カウント値(ビット8-0)が、変更後のPWMCR1 (b13-b5)の値になったところで、PWM1はロウ・レベルになり、カウント値(ビット8-0)“000H”からPWMCR1設定値で動作します。

例3. カウント値(ビット8-0) = 050Hのときに、PWMCR1 (b13-b5) を070Hから120Hに変更



16.4.3 スタンバイ時の動作

システム・クロック (fx) の停止時はカウント動作を停止し、カウント値を保持します。

ただし、スタンバイ解除後のカウント値は不定となります(発振安定時間などの間もカウント動作するため)。

PWMCR1レジスタは値を保持します。

[メモ]

## 第17章 OSDコントローラ

OSD (On Screen Display) はTV画面上にチャンネル番号や、音量表示、タイマ時刻などを表示する機能です。その表示パターンはユーザ・プログラマブルでCROM領域に表示パターンを定義します。

実際に表示するパターンはVRAMに格納します。

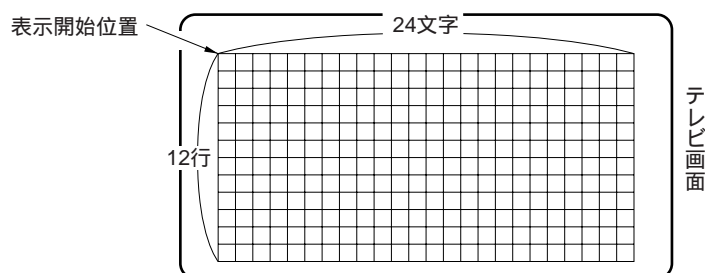
### 17.1 OSDコントローラの機能

#### (1) 1画面表示文字数：最大288文字

文字サイズ	最大1行表示文字数	最大表示行数
1倍(最小)	24文字	12行
2倍	12文字	6行
3倍	8文字	4行
4倍	6文字	2行

#### (2) 表示位置可変範囲：横24文字，縦12行以内

TV画面に対して、以下の範囲内となります。



表示開始位置：水平方向 = 2 ドット36段階の設定が可能 ( $\overline{H}_{\text{SYNC}}$ 立ち上がりより)

垂直方向 = 1 ライン間隔128段階の設定が可能 ( $\overline{V}_{\text{SYNC}}$ 立ち上がりより) (通常TVモード時)

#### (3) 文字単位で色指定可能 (8色：白，黒含む)

8種類 (RGB) の任意のカラーを選べます。

背景ベタ / 背景ヌキ・モード時には、RGB端子からキャラクタ背景が出力されます。

文字ごとにハーフ・ブランキング指定も可能です (I端子出力)。

**(4) 画面単位で縁取り，背景モードを設定可**

背景なし，背景ヌキ，背景ベタのうちいずれかを画面単位で選択。

縁取りのON/OFFを画面単位で指定可能。

縁取りは，文字サイズにかかわらず最小サイズの1ドット分（黒のみ）。

**(5) キャラクタの種類：256種類（Display off Dataも含む）**

キャラクタ・パターン・データは，任意に作成可能（ユーザ・プログラマブル）。ただしキャラクタ・コード：EFHはDisplay off Dataに固定。

**(6) 文字サイズ：4種（縦横連動）設定可**

文字サイズはキャラクタ・サイズ制御レジスタ（CSIZE）で1行ごとに設定します。

**(7) 12×18ドットの文字構成**

文字と文字の間にすき間はありませぬ。

**(8) キャラクタ・パターン・データはCROM領域に配置**

CROM領域は $\mu$ PD178048サブシリーズのメモリ空間には存在せず，まったく独立したアドレス空間をもっています。

**(9)  $\overline{\text{RESET}}$ 端子入力によるハード・リセットとVRAM一括解除によるソフト・リセット**

表示OFFとなり，288文字分のVRAMクリアを行います。

**(10) コマンド転送間隔（MIN.）**

VRAM書き込みコマンド：表示OFF中  $12/f_{\text{OSD}}$ ，表示ON中  $\overline{\text{Hsync}}幅 + 12/f_{\text{OSD}}$

VRAM書き込みコマンド以外： $1/f_{\text{OSD}}$

**備考** VRAM書き込みとは表示キャラクタ・データの設定を指しています。

$f_{\text{OSD}}$ ：OSD用ドット・クロック発振周波数

**(11) OSDの禁止領域： $\overline{\text{Hsync}}$ 、 $\overline{\text{Vsync}}$ の同期期間**

OSD出力（キャラクタ，背景，縁取り）は $\overline{\text{Hsync}}$ 、 $\overline{\text{Vsync}}$ の同期期間のみ禁止。

フロント・ポーチ，バック・ポーチ部分は禁止していません。

**(12)  $\overline{\text{Vsync}}$ 信号の立ち下がり，立ち上がりエッジで割り込み要求を発行**

$\overline{\text{Vsync}}$ 信号の極性切り替えは端子モード設定レジスタ（TERMMD）で行いますが，割り込みエッジの指定は外部割り込み立ち上がり／立ち下がりエッジ許可レジスタ（EGP/EGN）で独立して設定することができます。



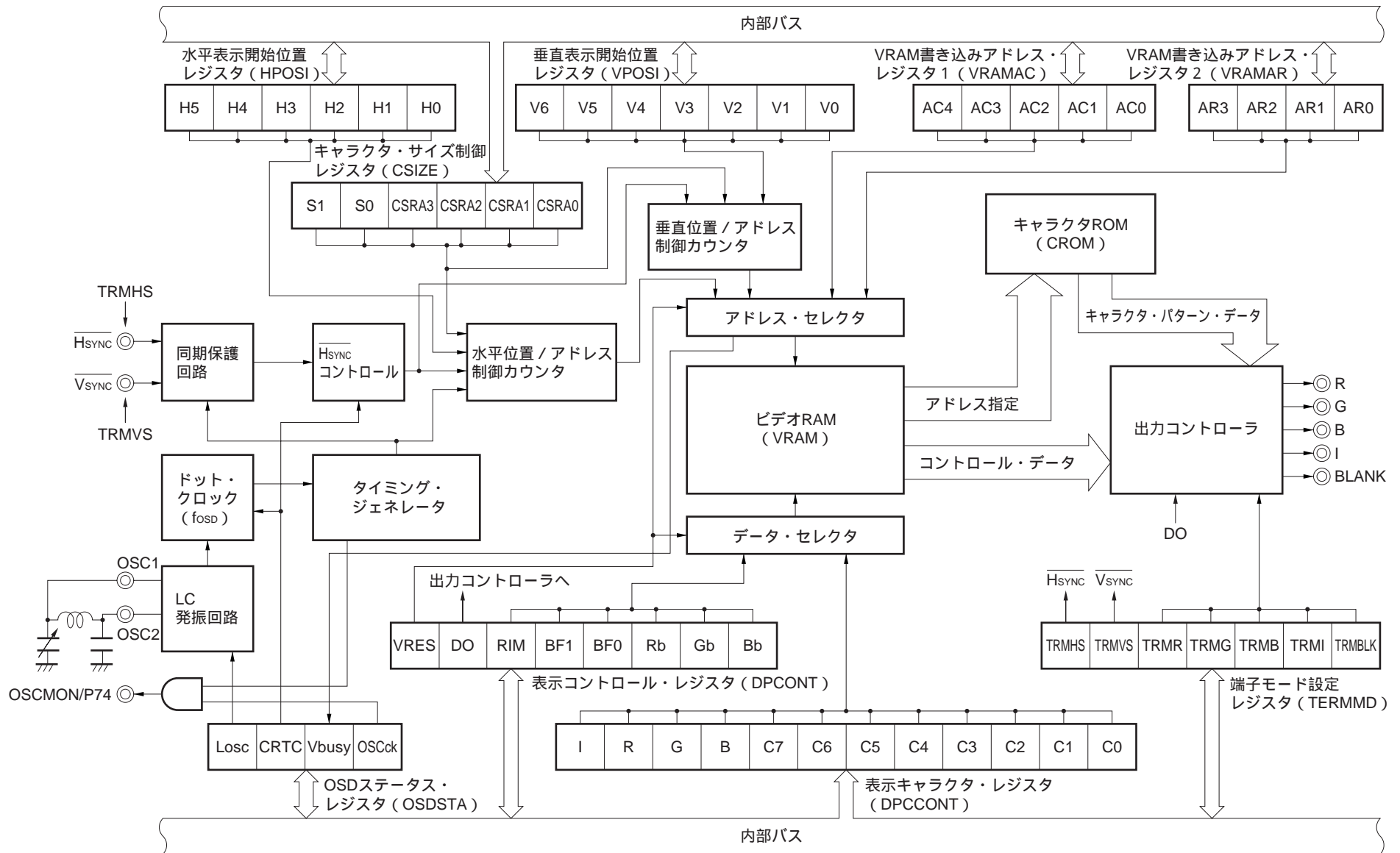
## 17.2 OSDコントローラの構成

OSDコントローラは、次のハードウェアで構成されています。

表17 - 1 OSDコントローラの構成

項 目	構 成
8ビット制御レジスタ	表示コントロール・レジスタ (DPCONT)
	OSDステータス・レジスタ (OSDSTA)
	水平表示開始位置レジスタ (HPOSI)
	垂直表示開始位置レジスタ (VPOSI)
	VRAM書き込みアドレス・レジスタ 1 (桁アドレス指定) (VRAMAC)
	VRAM書き込みアドレス・レジスタ 2 (行アドレス指定) (VRAMAR)
	キャラクタ・サイズ制御レジスタ (CSIZE)
	端子モード設定レジスタ (TERMMD)
16ビット・レジスタ	表示キャラクタ・レジスタ (DPCCONT)

図17-1 OSDコントローラのブロック図



## 17.3 OSDコントローラを制御するレジスタ

### (1) 表示コントロール・レジスタ (DPCONT)

オン・スクリーン表示全般を、画面単位で設定します。

表示指定、背景制御 (VRAM一括解除、キャラクタの縁取り指定、キャラクタ背景モード、背景色指定) を制御します。

DPCONTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図17-2 表示コントロール・レジスタ (DPCONT) のフォーマット

略号	⑦	⑥	⑤	4	3	2	1	0	アドレス	リセット時	R/W
DPCONT	VRES	DO	RIM	BF1	BF0	Rb	Gb	Bb	FFC0H	00H	R/W

VRES	VRAM一括解除指定
0	VRAMを一括解除しない
1	VRAMを一括解除する <sup>注1</sup>

DO <sup>注2</sup>	表示指定
0	表示停止 <sup>注3</sup>
1	表示可能

RIM	キャラクタの縁取り指定
0	キャラクタを縁取りしない
1	キャラクタを縁取りする

BF1	BF0	キャラクタ背景モードの指定
0	0	背景なし
0	1	背景ヌキ <sup>注4</sup>
1	0	背景ベタ <sup>注4</sup>
1	1	設定禁止

Rb	Gb	Bb	背景色指定
0	0	0	背景色 黒
0	0	1	背景色 青
0	1	0	背景色 緑
0	1	1	背景色 シアン
1	0	0	背景色 赤
1	0	1	背景色 マゼンタ
1	1	0	背景色 黄
1	1	1	背景色 白

注1．VRAM一括解除時間は次のようになります。

$$\text{VRAM一括解除時間} = 10 \mu\text{s} + 12/f_{\text{osc}} \times 288$$

VRAMを一括解除すると、表示が停止、LC発振は動作を継続、VRAMすべてにディスプレイ・オフ・データが書き込まれます。VRAMを一括解除したあと、VRESは“0”になります。

- 2．STOPモードにする際には、必ず表示停止（DO=0）にしてください。
- 3．表示が停止されても、LC発振は動作し続けます。
- 4．背景ヌキ、および背景ベタのとき、ディスプレイ・オフ・データが設定されたキャラクタ領域には背景はつきません。したがって背景のみを出す場合には、ドットのないキャラクタ・データを並べてください。

備考 fosc：OSD用ドット・クロック発振周波数

(2) OSDステータス・レジスタ (OSDSTA)

表示用LC発振の動作/停止、通常/倍速TVモード、VRAMアクセス・モニタ、LC発振の分周出力のモニタ (LC発振の周波数調整用に使用) の制御を設定します。

OSDSTAは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、80Hになります。

図17-3 OSDステータス・レジスタ (OSDSTA) のフォーマット

略号	⑦	⑥	5	4	3	2	①	①	アドレス	リセット時	R/W
OSDSTA	Losc	CRTC	0	0	0	0	Vbusy	OSCck	FFC1H	80H	R/W <sup>注1</sup>

Losc <sup>注2</sup>	表示用 LC発振制御
0	発振停止 <sup>注3</sup>
1	発振動作

CRTC	倍速制御
0	通常TVモード
1	倍速TVモード <sup>注4</sup>

Vbusy <sup>注5</sup>	VRAMアクセス・モニタ
0	VRAMアクセス・フリー
1	VRAMアクセス中 (書き込み中)

OSCck	LC発振分周出力モニタ
0	LC発振分周周波数 <sup>注6</sup> をOSCMON/P74に出力する
1	LC発振分周周波数 <sup>注6</sup> をOSCMON/P74に出力しない

- 注1 . ビット1 (Vbusy) はRead Onlyです。
- 2 . VRAMを一括解除 (表示コントロール・レジスタ (DPCONT) のビット7に “ 1 ” を設定) すると, “ 1 ” (発振動作) になります。
  - 3 . LC発振を停止すると, R, G, B, I, BLANK出力は不定になります。したがってLC発振を停止する場合は, 同時に表示を停止 (DPCONTのビット6に “ 0 ” を設定) してください。
  - 4 . 倍速TVモードは, 垂直同期信号に対して水平同期信号の本数が2倍, つまり水平同期信号の周波数が通常の2倍で表示クロックが2倍になります。このため, キャラクタの1ライン分のデータを水平同期信号2回分の期間出力することで, 通常TVモード時と同じサイズで表示されるようにしています。
  - 5 . VRAMにデータを設定する場合は, このビットをモニタし, “ 1 ” (VRAMアクセス中) になっていないことを確認してください。VRAMがアクセス中になるのはVRAM一括解除中と表示キャラクタ・レジスタ (DPCONT) にデータを設定したあとです。
  - 6 . LC発振分周周波数は次のようになります。

$$\text{LC発振分周周波数} = f_{osc}/12$$

たとえば,  $f_{osc} = 6.3 \text{ MHz}$ の場合, LC発振分周周波数は525 kHzになります。

**備考**  $f_{osc}$  : OSD用ドット・クロック発振周波数

**注意** 倍速TVモードは, パワーオン・クリア電圧を3.5 V (POC電圧選択レジスタ (POCV) のビット0に “ 1 ” を設定) にした場合は使用できません。

(3) 水平表示開始位置レジスタ (HPOSI)

水平方向の表示開始位置を設定します。

基本位置指定 6 段階 × オフセット指定 6 段階 = 36段階の設定ができます (設定最小単位は 2 ドット)。

HPOSIは、8 ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図17 - 4 水平表示開始位置レジスタ (HPOSI) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
HPOSI	0	0	H5	H4	H3	H2	H1	H0	FFC2H	00H	R/W

H2	H1	H0	水平表示開始位置オフセット制御
0	0	0	水平表示開始基本位置から、 $2 \times 1/f_{osc}$ ( $\mu s$ )
0	0	1	水平表示開始基本位置から、 $2 \times 2/f_{osc}$ ( $\mu s$ )
0	1	0	水平表示開始基本位置から、 $2 \times 3/f_{osc}$ ( $\mu s$ )
0	1	1	水平表示開始基本位置から、 $2 \times 4/f_{osc}$ ( $\mu s$ )
1	0	0	水平表示開始基本位置から、 $2 \times 5/f_{osc}$ ( $\mu s$ )
1	0	1	水平表示開始基本位置から、 $2 \times 6/f_{osc}$ ( $\mu s$ )
上記以外			設定禁止

H5	H4	H3	水平表示開始基本位置制御
0	0	0	$\overline{HSYNC}$ 立ち上がりから、 $12 \times 1/f_{osc} + 15/f_{osc} + 1/(2 \times f_{osc})$ ( $\mu s$ )
0	0	1	$\overline{HSYNC}$ 立ち上がりから、 $12 \times 2/f_{osc} + 15/f_{osc} + 1/(2 \times f_{osc})$ ( $\mu s$ )
0	1	0	$\overline{HSYNC}$ 立ち上がりから、 $12 \times 3/f_{osc} + 15/f_{osc} + 1/(2 \times f_{osc})$ ( $\mu s$ )
0	1	1	$\overline{HSYNC}$ 立ち上がりから、 $12 \times 4/f_{osc} + 15/f_{osc} + 1/(2 \times f_{osc})$ ( $\mu s$ )
1	0	0	$\overline{HSYNC}$ 立ち上がりから、 $12 \times 5/f_{osc} + 15/f_{osc} + 1/(2 \times f_{osc})$ ( $\mu s$ )
1	0	1	$\overline{HSYNC}$ 立ち上がりから、 $12 \times 6/f_{osc} + 15/f_{osc} + 1/(2 \times f_{osc})$ ( $\mu s$ )
上記以外			設定禁止

備考 1 .  $f_{osc}$  : OSD用ドット・クロック発振周波数

2 . 水平表示開始位置の設定は、通常 / 倍速TVモードによる違いはありません。

(4) 垂直表示開始位置レジスタ (VPOSI)

垂直方向の表示開始位置を設定します。

通常TVモード時は、 $\overline{V_{SYNC}}$ 立ち上がりの3ライン目から1ライン間隔で128段階の設定ができます。倍速TVモード時は、 $\overline{V_{SYNC}}$ 立ち上がりの6ライン目から2ライン間隔で128段階の設定ができます。

VPOSIは、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図17-5 垂直表示開始位置レジスタ (VPOSI) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
VPOSI	0	V6	V5	V4	V3	V2	V1	V0	FFC3H	00H	R/W

V6	V5	V4	V3	V2	V1	V0	垂直表示開始位置 <sup>注</sup>
0	0	0	0	0	0	0	$\overline{V_{SYNC}}$ 立ち上がりから3ライン目
0	0	0	0	0	0	1	$\overline{V_{SYNC}}$ 立ち上がりから4ライン目
0	0	0	0	0	1	0	$\overline{V_{SYNC}}$ 立ち上がりから5ライン目
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	0	1	$\overline{V_{SYNC}}$ 立ち上がりから128ライン目
1	1	1	1	1	1	0	$\overline{V_{SYNC}}$ 立ち上がりから129ライン目
1	1	1	1	1	1	1	$\overline{V_{SYNC}}$ 立ち上がりから130ライン目

注 表中の値は通常TVモード時。倍速TVモード時は2倍のライン数になります(2ラインで1カウント)。

(5) VRAM書き込みアドレス・レジスタ1 (VRAMAC)

12行24桁の表示エリアに対し、キャラクタ・データを書き込む桁方向のアドレスを指定します。

VRAMACは、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図17-6 VRAM書き込みアドレス・レジスタ1 (VRAMAC) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
VRAMAC	0	0	0	AC4	AC3	AC2	AC1	AC0	FFC4H	00H	R/W

AC4	AC3	AC2	AC1	AC0	書き込み桁のアドレス設定
0	0	0	0	0	1桁目
0	0	0	0	1	2桁目
0	0	0	1	0	3桁目
0	0	0	1	1	4桁目
0	0	1	0	0	5桁目
0	0	1	0	1	6桁目
0	0	1	1	0	7桁目
0	0	1	1	1	8桁目
0	1	0	0	0	9桁目
0	1	0	0	1	10桁目
0	1	0	1	0	11桁目
0	1	0	1	1	12桁目
0	1	1	0	0	13桁目
0	1	1	0	1	14桁目
0	1	1	1	0	15桁目
0	1	1	1	1	16桁目
1	0	0	0	0	17桁目
1	0	0	0	1	18桁目
1	0	0	1	0	19桁目
1	0	0	1	1	20桁目
1	0	1	0	0	21桁目
1	0	1	0	1	22桁目
1	0	1	1	0	23桁目
1	0	1	1	1	24桁目
上記以外					設定禁止



(6) VRAM書き込みアドレス・レジスタ2 (VRAMAR)

12行24桁の表示エリアに対し、キャラクタ・データを書き込む行方向のアドレスを指定します。

VRAMARは、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図17 - 7 VRAM書き込みアドレス・レジスタ2 (VRAMAR) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
VRAMAR	0	0	0	0	AR3	AR2	AR1	AR0	FFC5H	00H	R/W

AR3	AR2	AR1	AR0	書き込み行のアドレス設定
0	0	0	0	1行目
0	0	0	1	2行目
0	0	1	0	3行目
0	0	1	1	4行目
0	1	0	0	5行目
0	1	0	1	6行目
0	1	1	0	7行目
0	1	1	1	8行目
1	0	0	0	9行目
1	0	0	1	10行目
1	0	1	0	11行目
1	0	1	1	12行目
上記以外				設定禁止

(7) キャラクタ・サイズ制御レジスタ (CSIZE)

行単位でキャラクタ・サイズを設定します。キャラクタ・サイズは縦と横のサイズを同時に設定します。

CSIZEは、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図17 - 8 キャラクタ・サイズ制御レジスタ (CSIZE) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIZE	0	0	S1	S0	CSRA3	CSRA2	CSRA1	CSRA0	FFC6H	00H	W

S1	S0	キャラクタ・サイズの設定
0	0	縦1ドット：1H (倍速時 2H)，横1ドット：1tドット (最小サイズ)
0	1	縦1ドット：2H (倍速時 4H)，横1ドット：2tドット
1	0	縦1ドット：3H (倍速時 6H)，横1ドット：3tドット
1	1	縦1ドット：4H (倍速時 8H)，横1ドット：4tドット

CSRA3	CSRA2	CSRA1	CSRA0	キャラクタ・サイズ 行アドレス設定
0	0	0	0	1行目のキャラクタ・サイズを設定
0	0	0	1	2行目のキャラクタ・サイズを設定
0	0	1	0	3行目のキャラクタ・サイズを設定
0	0	1	1	4行目のキャラクタ・サイズを設定
0	1	0	0	5行目のキャラクタ・サイズを設定
0	1	0	1	6行目のキャラクタ・サイズを設定
0	1	1	0	7行目のキャラクタ・サイズを設定
0	1	1	1	8行目のキャラクタ・サイズを設定
1	0	0	0	9行目のキャラクタ・サイズを設定
1	0	0	1	10行目のキャラクタ・サイズを設定
1	0	1	0	11行目のキャラクタ・サイズを設定
1	0	1	1	12行目のキャラクタ・サイズを設定
上記以外				設定禁止

備考 1tドット = 1/fosc

fosc : OSD用ドット・クロック発振周波数

(8) 端子モード設定レジスタ (TERMMD)

$\overline{H}_{\text{SYNC}}$ ,  $\overline{V}_{\text{SYNC}}$ 入力, R, G, B, I, BLANK出力の極性を指定します。

TERMMDは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は, 00Hになります。

図17-9 端子モード設定レジスタ (TERMMD) のフォーマット

略号	7	⑥	⑤	④	③	②	①	①	①	アドレス	リセット時	R/W
TERMMD	0	TRMHS	TRMVS	TRMR	TRMG	TRMB	TRMI	TRMBLK		FFC7H	00H	R/W

TRMHS	$\overline{H}_{\text{SYNC}}$ 端子の極性を指定
0	正転 (そのまま)
1	反転

TRMVS	$\overline{V}_{\text{SYNC}}$ 端子の極性を指定
0	正転 (そのまま)
1	反転

TRMR	R端子の極性を指定
0	正転 (そのまま)
1	反転

TRMG	G端子の極性を指定
0	正転 (そのまま)
1	反転

TRMB	B端子の極性を指定
0	正転 (そのまま)
1	反転

TRMI	I端子の極性を指定
0	正転 (そのまま)
1	反転

TRMBLK	BLK端子の極性を指定
0	正転 (そのまま)
1	反転

(9) 表示キャラクタ・レジスタ (DPCCONT)

キャラクタ単位でのハーフ・ブランキング (I端子出力) と色の設定, VRAMに書き込むキャラクタ・データ (CROMアドレス) の指定をします。

VRAMの行/桁アドレスは, DPCCONTレジスタにデータを設定するごとに、自動的にインクリメントされます。

DPCCONTは, 16ビット・メモリ操作命令で設定できます。

リセット時は, 不定になります。

図17-10 表示キャラクタ・レジスタ (DPCCONT) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DPCCONT	0	0	0	0	I	R	G	B	FFC9H	不定	W

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
	C7	C6	C5	C4	C3	C2	C1	C0	FFC8H	不定	W

I	ハーフ・ブランキング指定 <sup>注1</sup>										
0	ハーフ・ブランキングなし <sup>注2</sup>										
1	ハーフ・ブランキングあり (I端子出力)										

R	G	B	キャラクタ色の指定								
0	0	0	キャラクタ色 黒								
0	0	1	キャラクタ色 青								
0	1	0	キャラクタ色 緑								
0	1	1	キャラクタ色 シアン								
1	0	0	キャラクタ色 赤								
1	0	1	キャラクタ色 マゼンタ								
1	1	0	キャラクタ色 黄								
1	1	1	キャラクタ色 白								

C7	C6	C5	C4	C3	C2	C1	C0	キャラクタ・データ指定			
0	0	0	0	0	0	0	0	キャラクタ・コード00Hのデータを出力			
0	0	0	0	0	0	0	1	キャラクタ・コード01Hのデータを出力			
0	0	0	0	0	0	1	0	キャラクタ・コード02Hのデータを出力			
:	:	:	:	:	:	:	:	:			
1	1	1	1	1	1	1	0	キャラクタ・コードFEH <sup>注3</sup> のデータを出力			
1	1	1	1	1	1	1	1	キャラクタ・コードFFHのデータを出力			

注1. ハーフ・ブランキングは背景ヌキ・モード (表示コントロール・レジスタ (DPCCONT) のビット5 (RIM) が1のとき) のみ有効です。背景ヌキ・モード以外ではハーフ・ブランキング指定があってもI端子から背景データは出力されません。

2. ハーフ・ブランキングなしの場合は, I端子からロウ・レベルが出力されます。

3. キャラクタ・コードのFEHはディスプレイ・オフ・データで固定されています。

## 17.4 OSDコントローラの動作

### 17.4.1 背景モード

表示コントロール・レジスタ (DPCONT) により、画面単位で3種類の中から選択できます。

- ・背景なし：文字データ，縁取りデータをRGBに出力します。
- ・背景ヌキ：文字の表示領域の右端および左端に最小サイズの1ドット分はみ出して，表示領域に背景を付けます。背景部はR, G, B端子より出力されます。
- ・背景ベタ：画面全体に背景を付けます。

**注意** 背景ヌキ/背景ベタ・モードで，Display off Dataが設定された文字領域には背景が付きません。背景のみ出したい場合は，ドットの無いキャラクタ・データを並べる必要があります。

### 17.4.2 縁取り制御

表示コントロール・レジスタ (DPCONT) により、画面単位で縁取りのON, OFFを選択できます。

縁取りは、文字を構成しているドット・マトリックスの使い方によって次のように表示されます。

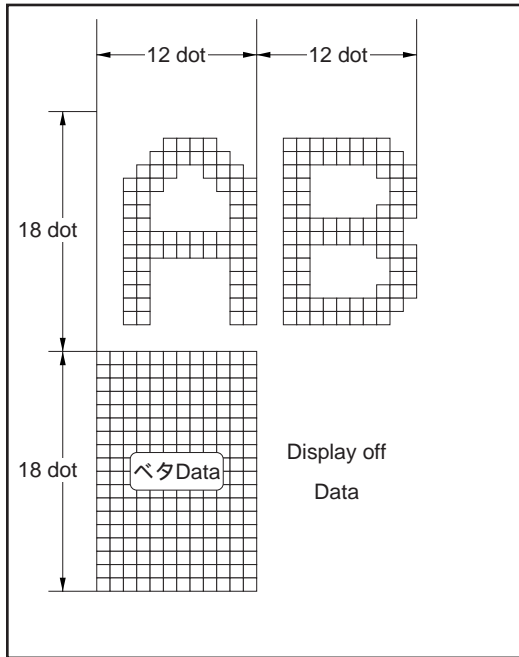
- ・左右端，上下端のドットを使用していないとき  
文字の横，上下および斜めに最小サイズの1ドット分表示
- ・左右端のドットを使用しているとき  
隣接した左右の文字領域にはみ出して表示
- ・上下端のドットを使用しているとき  
その上下には縁取りなし（上下の行にはみ出す縁取りは付かない）

**備考** 文字サイズが変化しても縁取りは最小サイズの1ドット分で固定です。

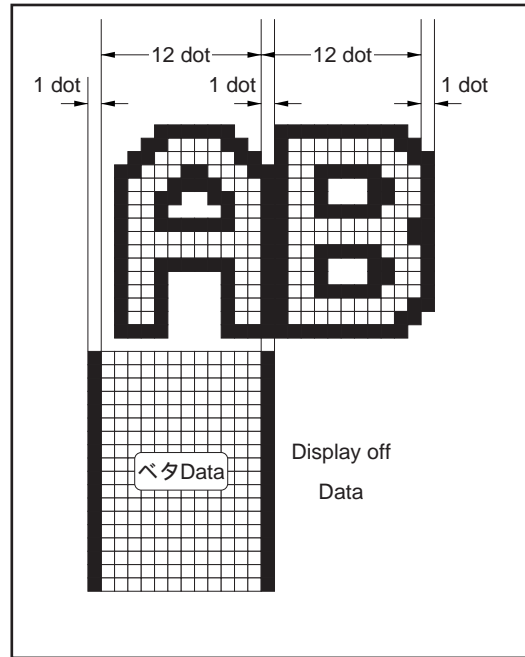
図17-11に各背景モード，縁取りによる表示例を示します。

図17-11 各背景モード，縁取りの表示例（1/2）

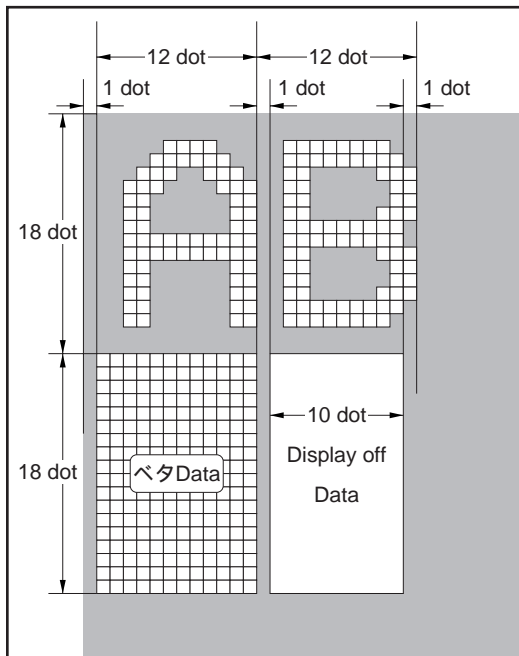
(1) 背景なし，縁取りなし



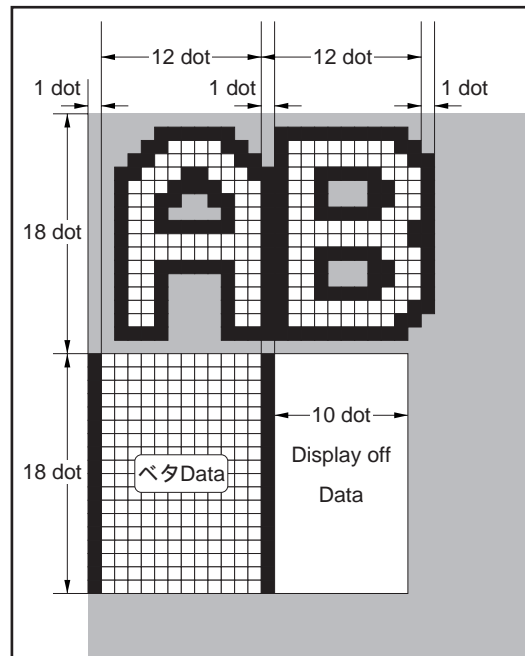
(2) 背景なし，縁取りあり



(3) 背景ヌキ，縁取りなし



(4) 背景ヌキ，縁取りあり

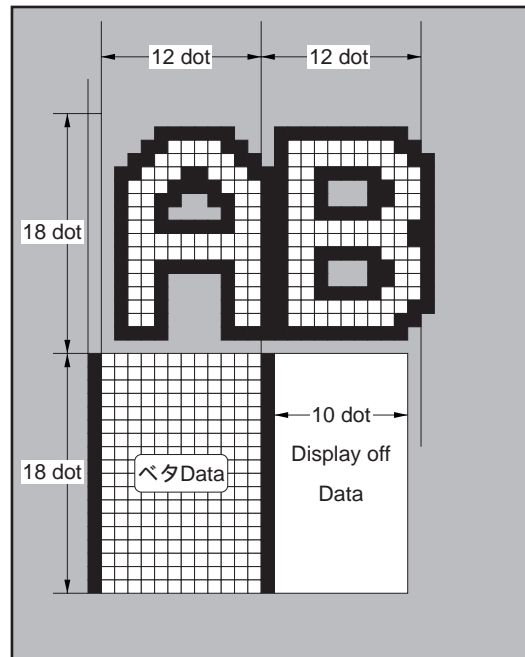
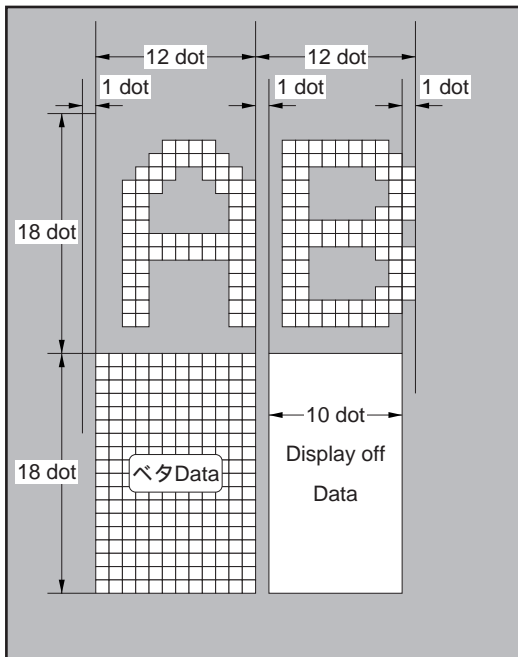


備考  : 文字 (RGB) ,  : 映像 ,  : 縁取り (黒) ,  : 背景 (RGB)

図17 - 11 各背景モード，縁取りの表示例 (2/2)

(5) 背景ベタ，縁取りなし

(6) 背景ベタ，縁取りあり



備考 : 文字 (RGB) , : 映像 , : 縁取り (黒) , : 背景 (RGB)

### 17.4.3 リセットとVRAM一括解除

リセット時とVRAM一括解除を実行したときには，すべてを初期値にするとともにVRAMデータをすべてDisplay off Dataに設定します。

設定される内容は次のとおりです。

- ・ VRAMのすべて (12行24桁) のキャラクタ・データをクリア (Display off Dataとする)
- ・ VRAM書き込みアドレス (1行, 1桁)
- ・ 文字サイズは全行1倍 (最小)
- ・ 表示OFF
- ・ 表示用LC発振ON
- ・ 背景なし, 縁取りOFF

リセット後もしくはVRAM一括解除後は，上記関連レジスタを書き換えるまでこの状態が保持されます。

VRAMのクリアには次式で求められる時間を必要とします。

この時間内にはVRAMに書き込むデータを設定しないでください (この間はVbusyが1になります)。

$$\text{VRAMクリア時間} = 10 + 12/f_{\text{osc}} \times 288 \text{ [ ns ]}$$

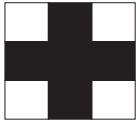

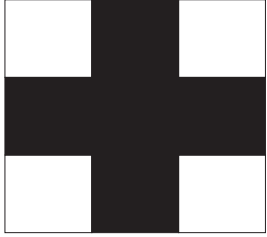

#### 17.4.4 通常TVモードと倍速TVモード

倍速TVモードは、垂直同期信号に対して水平同期信号の本数が2倍、つまり水平同期信号の周波数が通常の2倍で表示クロックが2倍になります。

倍速TVモード時はOSDステータス・レジスタ (OSDSTA) のビット6 (CRTC) を “ 1 ” にしてください。さもないと、垂直方向のサイズが通常TVモード時の1/2になってしまいます (水平方向に関しては表示クロックと水平同期信号の両方とも2倍の周波数になるので、通常TVモードと同じサイズで表示されます)。

CRTCを “ 1 ” にすることにより、キャラクタの1ライン分のデータを水平同期信号2回分の期間出力して、垂直方向も通常TVモード時と同じサイズになるようにしています。

図17 - 12 通常TVモード時と倍速モード時の表示例

	通常TVモード時 ( $f_{osc} = f_x$ )	倍速TVモード時 ( $f_{osc} = 2f_x$ )
CRTC = 0		
CRTC = 1		

**注意** 倍速TVモードは、パワーオン・クリア電圧を3.5 V (POC電圧選択レジスタ (POCV) のビット0に “ 1 ” を設定) にした場合は使用できません。



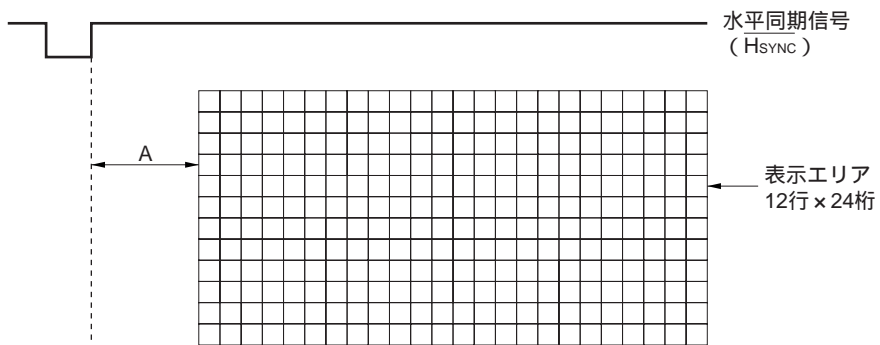
### 17.4.5 表示開始位置制御

水平表示開始位置レジスタ (HPOSI) と垂直表示開始位置レジスタ (VPOSI) により、1文字目 (1行1桁目) の位置を設定します。垂直方向は通常 / 倍速TVモードによって異なる値になります。

#### [ 水平方向 ]

水平同期信号 ( $\overline{HSYNC}$ ) の立ち上がりより29クロック ( $29/f_{osc}$ ) 後を起点に、2ドット単位と12ドット (1文字) 単位でトータル36段階の設定ができます。

図17-13 水平表示開始位置



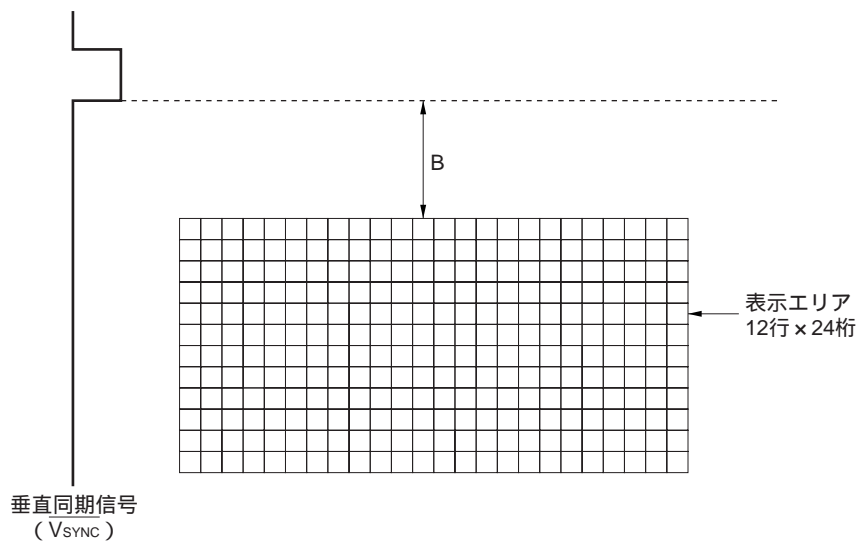
$$A = (2 \times N) / f_{osc} + (12 \times M) / f_{osc} + 15 / f_{osc} + 1 / (2 \times f_{osc}) \text{ [ } \mu\text{s] } (N = 1 - 6, M = 1 - 6)$$

#### [ 垂直方向 ]

通常TVモード：垂直同期信号 ( $\overline{VSYNC}$ ) の立ち上がり後の3ライン目を起点に、1ライン単位で128段階の設定ができます。

倍速TVモード：垂直同期信号 ( $\overline{VSYNC}$ ) の立ち上がり後の6ライン目を起点に、2ライン単位で128段階の設定ができます。

図17-14 垂直表示開始位置



$$B = n + 3 \text{ [ライン]} \quad (n = 0 - 127) \text{ (通常TVモード時)}$$

$$B = 2n + 6 \text{ [ライン]} \quad (n = 0 - 127) \text{ (倍速TVモード時)}$$

### 17.4.6 VRAMの構成

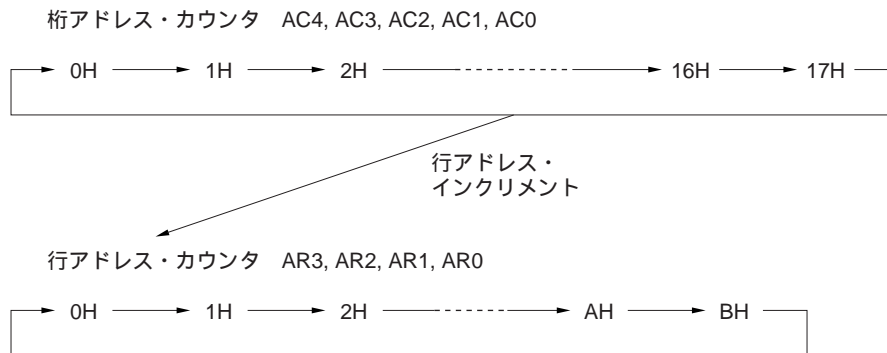
VRAMは12行24桁で構成されています。

それぞれのアドレスはVRAM書き込みアドレス・レジスタ1 (VRAMAC) とVRAM書き込みアドレス・レジスタ2 (VRAMAR) で指定されます。

図17 - 15 VRAMの構成

		AC4, AC3, AC2, AC1, AC0						
		00000	00001	00010	00011	.....	10110	10111
AR3,AR2, AR1,AR0	0000							
	0001							
	0010							
	0011							
	0100							
	0101							
	0110							
	0111							
	1000							
	1001							
	1010							
	1011							

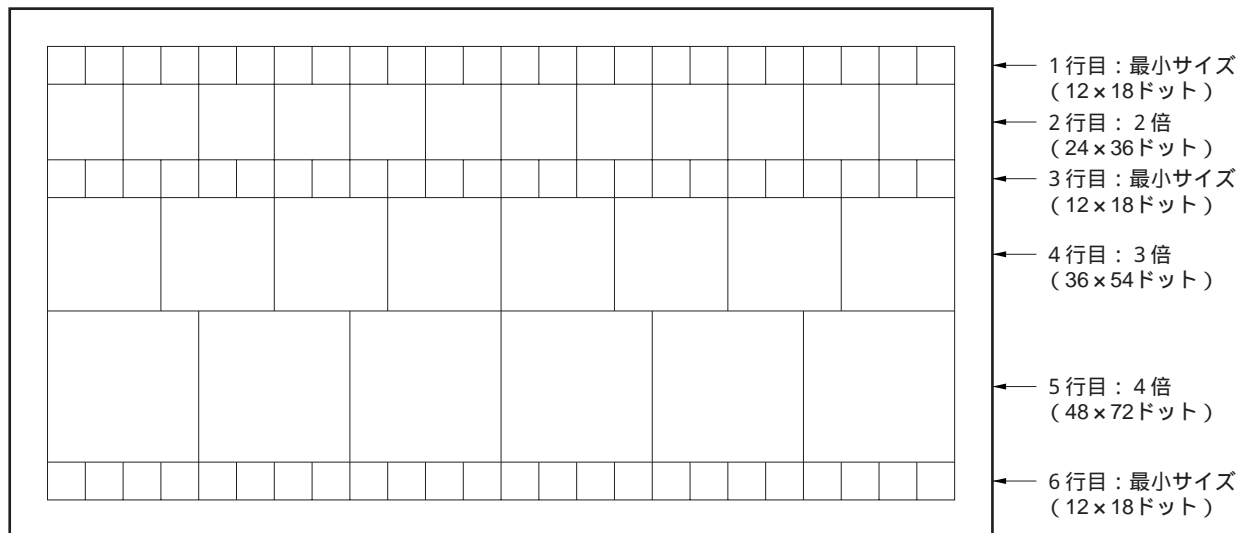
VRAMへ文字を書き込む場合、アドレスは次のように自動的にインクリメントされます。



### 17.4.7 文字の表示

表示する文字はキャラクタ・サイズ制御レジスタ (CSIZE) により、行ごとに4段階のサイズを指定できます。

図17 - 16 文字サイズ混在時の表示画面例



備考1 . 7-12行は画面からはみ出してしまうため省略しています。

2 . 縦方向の大きさ (水平走査線数) はフィールドあたりの大きさです。

### 17.4.8 ハーフ・ブランキング

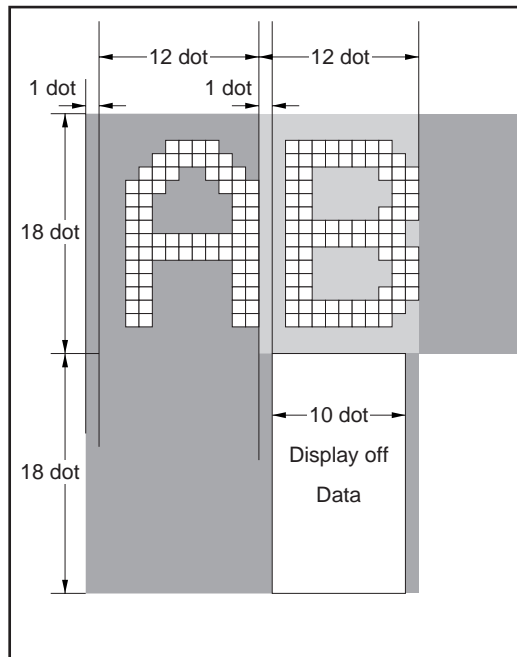
通常、キャラクタの背景部分は映像もしくは背景ヌキ/背景ベタ・モードで色を画面単位でRGB端子出力から付けることができます。さらにハーフ・ブランキング機能を使うと、RGB端子以外の端子 (I端子) からキャラクタの背景部分を出力することにより、背景部分に対して信号レベルのコントロールができます。たとえばI端子の出力を使用して、背景部分の信号レベルを下げて薄く表示させることができます。





表示キャラクタ・レジスタ (DPCCONT) のビット3 (I) が “ 1 ” のとき “ ハーフ・ブランキングあり ” となり、I端子からキャラクタ背景が出力されます。 “ 0 ” のときはI端子はロウ・レベル出力となります。

ハーフ・ブランキングはキャラクタごとに指定することができます。

図17 - 17 ハーフ・ブランキング表示例

< 背景ヌキ・モード，縁取りなし，文字Bにハーフ・ブランキング指定した場合 >



備考  : 文字 (RGB) ,  : 映像 ,  : 背景 (RGB) ,  
 : ハーフ・ブランキング (I)

## 17.5 OSDコントローラ使用上の注意

### 17.5.1 VRAMへの書き込みタイミング

図17-18 VRAMインタフェース部のブロック図

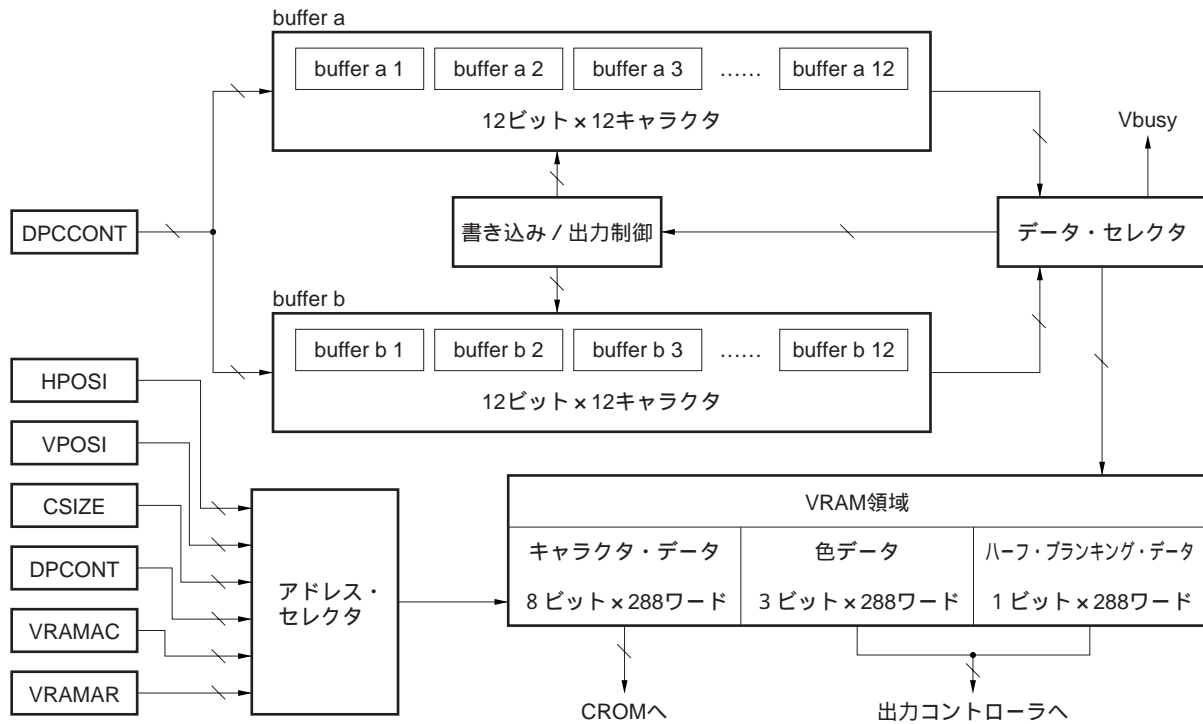


図17-18のように、VRAMには12キャラクタ分のデータを格納するバッファが2個（buffer a/b）あります。このバッファ2個分のデータ（24キャラクタ）がすべてVRAMに書き込まれるまでを1つの動作単位としています。以下にVRAM書き込みの流れを示します。

DPCCONTレジスタにキャラクタ・データ（CROMアドレス）を書き込むと、まずbuffer aにキャラクタ・データが格納されます。

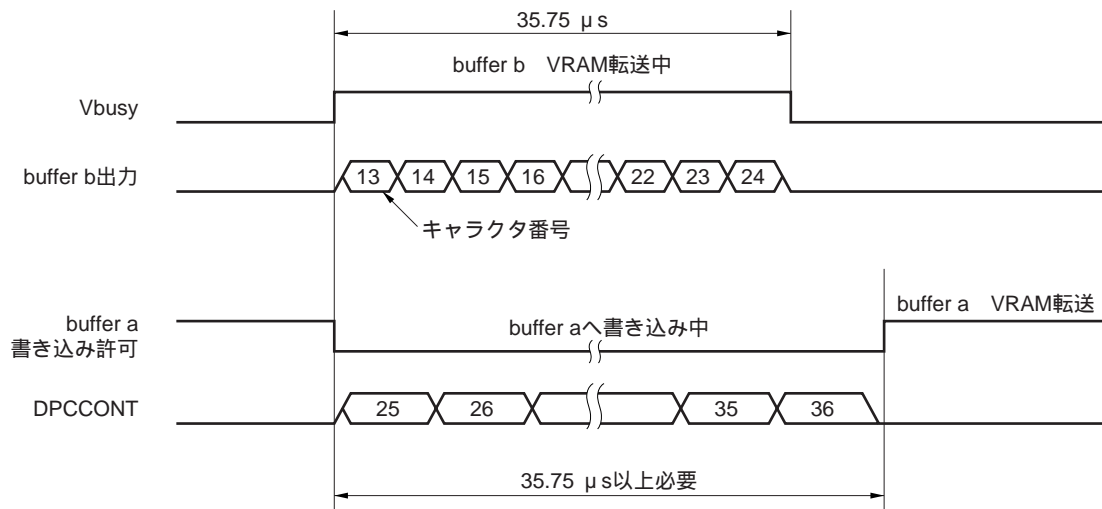
- ★ を12回繰り返して、12キャラクタ目のキャラクタ・データをDPCCONTに書き込みが終了した時点で、buffer aからVRAMへデータ転送が開始されます。  
buffer aのデータをVRAMに転送している間に、13～24キャラクタのデータを と同様にbuffer bに格納します。
- ★ 24キャラクタ目のデータをDPCCONTに書き込みが終了した時点で、buffer bからVRAMへデータ転送が開始されます。

続けて25~48キャラクタも書き込む場合は、 ~ を繰り返すことになります。

- ★ ただし、buffer aからVRAMへの転送が終了していない間に、次のbuffer bのデータ格納（13~24キャラクタ）が完了してしまうと、buffer bのデータ転送が開始され、buffer aのデータ転送は途中でキャンセルされてしまいます。また同様に、buffer bからVRAMへの転送が終了していない間に、次のbuffer aのデータ格納（25~36キャラクタ）が完了してしまうと、buffer aのデータ転送が開始され、buffer bのデータ転送は途中でキャンセルされてしまいます。したがって、必ず次のタイミングを満たすようにしてください。

条件：（DPCCONTレジスタへの12キャラクタ分のデータ書き込み終了までの時間）  
 >（12キャラクタ分のVRAMへのデータ転送時間（= 35.75 μs））

図17 - 19 VRAM転送タイミング



**注意** DPCCONTレジスタに連続して設定するキャラクタ・データの個数は、必ず24の倍数にしてください。  
 また、24キャラクタのデータ設定が最小単位となるので、1キャラクタだけ書き換えたい場合も残り23キャラクタを必ず設定してください（変更しないキャラクタは同じデータを書き込む）。

条件を満たすために、次のような対策をとってください。

**対策例 1（fx = 5 MHzの場合）**

1キャラクタにつき16クロック以上の命令で書き込みをすれば、VRAMアクセス期間を気にすることなく条件を満たせます（16CLK × 12キャラクタ × 0.2 μs = 38.4 μs（> 35.75 μs））。

< プログラム例 >

```

MOV    A, #BYTE1      : 4CLK  BYTE1 よりキャラクタ・データ（上位）読み出し
MOV    X, A           : 2CLK
MOV    A, #BYTE2      : 4CLK  BYTE2 よりキャラクタ・データ（下位）読み出し
MOV    DPCCONT, AX    : 8CLK  DPCCONT にキャラクタ・データ設定
計      : 18CLK  (> 16CLK)
    
```

★ 対策例 2 (fx = 5 MHzの場合)

12キャラクタ書き込む前ごとにウエイトを入れて調節します。

< プログラム例 >

MOVW	AX, #WORD	: 8CLK	WORDよりデータ読み出し	
MOVW	DPCCONT, AX	: 8CLK	DPCCONTへ1キャラクタ目のデータを設定	}
MOVW	DPCCONT, AX	: 8CLK	DPCCONTへ2キャラクタ目のデータを設定	
⋮	⋮			
同一命令で続けてキャラクタ・データを設定				
⋮	⋮			
MOVW	DPCCONT, AX	: 8CLK	DPCCONTへ11キャラクタ目のデータを設定	}
NOP		: 2CLK	ウエイトのためにNOP命令を使用	
NOP		: 2CLK	NOP × 46命令分のウエイトが必要	
⋮				
NOP		: 2CLK		
MOVW	DPCCONT, AX	: 8CLK	DPCCONTへ12キャラクタ目のデータを設定	}
MOVW	DPCCONT, AX	: 8CLK	DPCCONTへ13キャラクタ目のデータを設定	
⋮	⋮			
MOVW	DPCCONT, AX	: 8CLK	DPCCONTへ23キャラクタ目のデータを設定	}
NOP		: 2CLK	ウエイトのためにNOP命令を使用	
NOP		: 2CLK	NOP × 46命令分のウエイトが必要	
⋮				
NOP		: 2CLK		
MOVW	DPCCONT, AX	: 8CLK	DPCCONTへ24キャラクタ目のデータを設定	

188CLK  
= 37.6 μs  
( > 35.75 μs )

188CLK  
= 37.6 μs  
( > 35.75 μs )

備考 ウエイトには、レジスタ書き込みタイミングのためのマージンを含んでいます。

[メモ]



# 第18章 ROM コレクション

## 18.1 ROMコレクションの機能

μPD178046, 178048は、マスクROM内のプログラムの一部を内部拡張RAM内のプログラムに置き換えて実行できます。

ROMコレクションを使用することにより、マスクROMで発見された命令バグを回避したり、プログラムの流れを変更したりできます。

ROMコレクションは内部ROM（プログラム）中、最大2箇所使用できます。

## 18.2 ROMコレクションの構成

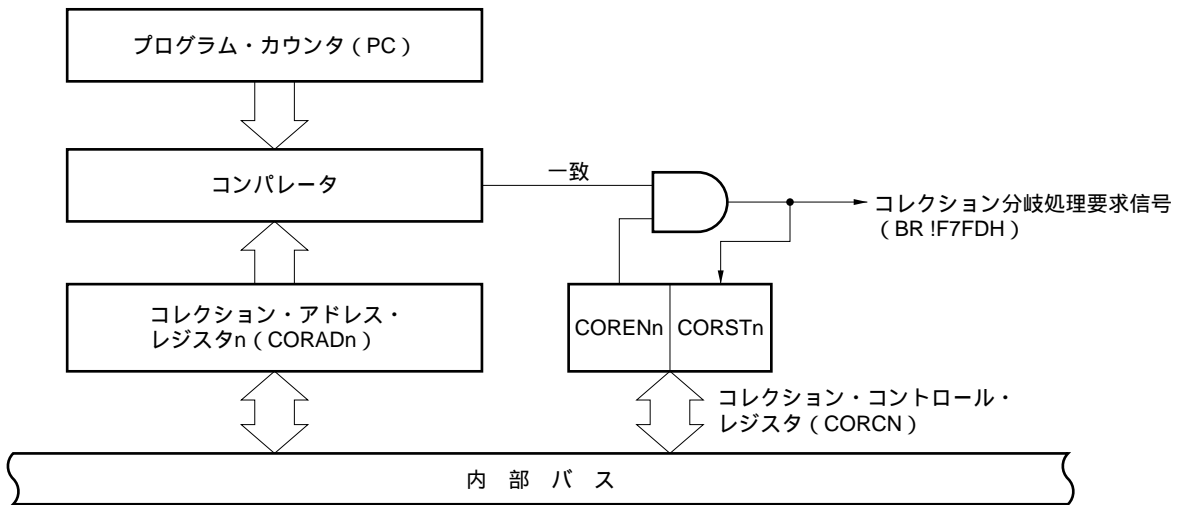
ROMコレクションは、次のハードウェアで構成しています。

表18 - 1 ROMコレクションの構成

項 目	構 成
レジスタ	コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1)
制御レジスタ	コレクション・コントロール・レジスタ (CORCN)

図18 - 1 にROMコレクションのブロック図を示します。

図18 - 1 ROMコレクションのブロック図



備考 n = 0 , 1

(1) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1)

マスクROM中の修正したい命令の先頭アドレス (修正アドレス) を設定するレジスタです。

ROMコレクションでは、プログラムを最大2箇所修正できます。アドレスは、CORAD0とCORAD1の2箇所を設定できます。1箇所だけ修正したい場合はどちらかにアドレスを設定してください。

CORAD0, CORAD1は、16ビット・メモリ操作命令で設定します。

リセット時は、0000Hになります。

図18 - 2 コレクション・アドレス・レジスタ0, 1のフォーマット

略号	15	0	アドレス	リセット時	R/W
CORAD0	[16ビットレジスタ]		FF 3 8 H / FF 3 9 H	0 0 0 0 H	R/W
CORAD1	[16ビットレジスタ]		FF 3 A H / FF 3 B H	0 0 0 0 H	R/W

注意1 . CORAD0, CORAD1は、コレクション・コントロール・レジスタ (CORCN : 図18 - 3参照) のビット1 (COREN0) , ビット3 (COREN1) が0のときに設定してください。

2 . CORAD0, CORAD1 には、命令コードのアドレスのみ設定可能です。

3 . 次のアドレスをCORAD0, CORAD1に設定しないでください。

- ・ テーブル参照命令 (CALLT命令) のテーブル領域のアドレス値 : 0040H-007FH
- ・ ベクタ・テーブル領域のアドレス値 : 0000H-003FH

## (2) コンパレータ

コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定した修正アドレス値とフェッチ・アドレス値を常に比較します。コレクション・コントロール・レジスタ (CORCN) のビット1 (COREN0) またはビット3 (COREN1) が1のとき、修正アドレスとフェッチ・アドレスの値が一致すると、ROM コレクション回路からコレクション分岐処理要求信号 (BR !F7FDH) が発生されます。

## 18.3 ROMコレクションを制御するレジスタ

ROMコレクションはコレクション・コントロール・レジスタ (CORCN) で制御します。

### (1) コレクション・コントロール・レジスタ (CORCN)

コレクション・アドレス・レジスタ0, 1 に設定した修正アドレスとフェッチ・アドレスが一致したときに、コレクション分岐処理要求信号の発生を制御するレジスタです。コンパレータでの一致検出の許可/禁止を設定するコレクション・イネーブル・フラグ (COREN0, COREN1) と、一致したことを表示するコレクション・ステータス・フラグ (CORST0, CORST1) で構成されています。

CORCNは、1ビット・メモリ操作命令または、8ビット・メモリ操作命令で設定します。

リセット時は、00H になります。

図18 - 3 コレクション・コントロール・レジスタ (CORCN) のフォーマット

略号	7	6	5	4	③	②	①	①	アドレス	リセット時	R/W
CORCN	0	0	0	0	COREN1	CORST1	COREN0	CORST0	FF3CH	00H	R/W注

COREN1	コレクション・アドレス・レジスタ1とフェッチ・アドレスの一致検出の制御
0	禁止
1	許可

CORST1	コレクション・アドレス・レジスタ1とフェッチ・アドレスの一致検出フラグ
0	未検出
1	検出

COREN0	コレクション・アドレス・レジスタ0とフェッチ・アドレスの一致検出の制御
0	禁止
1	許可

CORST0	コレクション・アドレス・レジスタ0とフェッチ・アドレスの一致検出フラグ
0	未検出
1	検出

注 ビット0, 2はRead Onlyです。

- 注意1 . コレクション・コントロール・レジスタ (CORCN) のビット1, 3 (COREN0, COREN1) を “ 1 ” に設定する命令の直後にある命令のアドレス値を, コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定すると, コレクション分岐処理が起動されない場合があります。
- 2 . 次の命令直後の2アドレスにコレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) を設定できません (次の命令がマッピングされている終端アドレスをNとするとき, N+1, N+2のアドレス値は設定できません)。
- RET/RETI/RETB/BR \$addr16/STOP/HALT
- 3 . CORST0とCORST1は一致検出後, リセットまたは命令によるクリア以外では “ 0 ” になりません。

## 18.4 ROMコレクションの使用法

マイコン外部の不揮発性メモリ（EEPROM™）などに、修正アドレスおよび修正後の命令（修正プログラム）を格納します。

修正箇所が2つの場合は、CORAD0, CORAD1に設定したアドレスのうち、どちらでコレクション分岐処理が発生したかチェックする分岐先判断プログラムも格納します。

図18 - 4 EEPROMへの格納例（修正箇所が1つの場合）

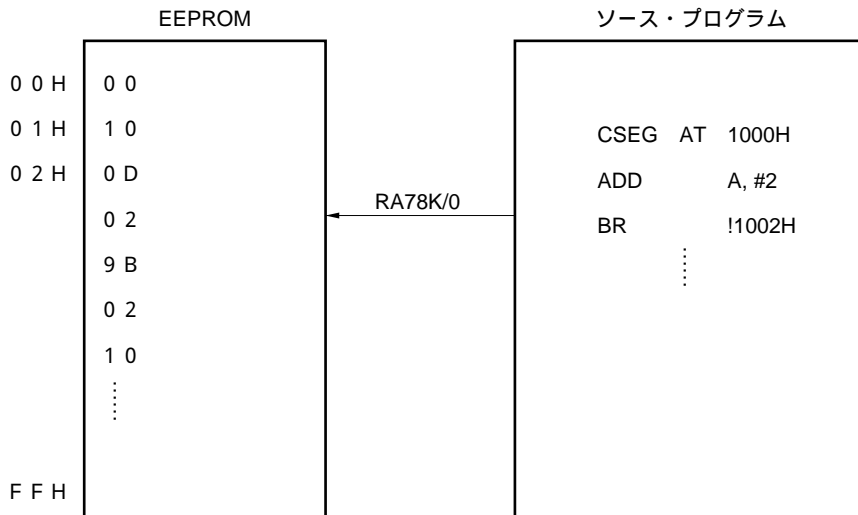
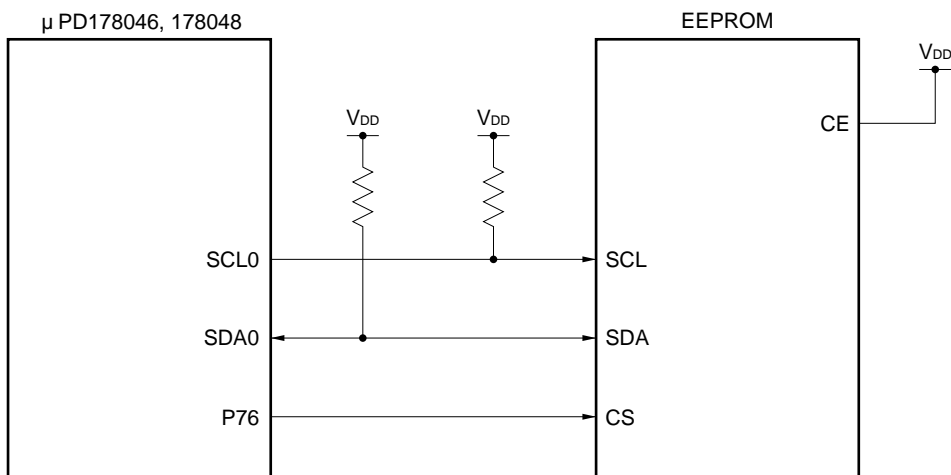
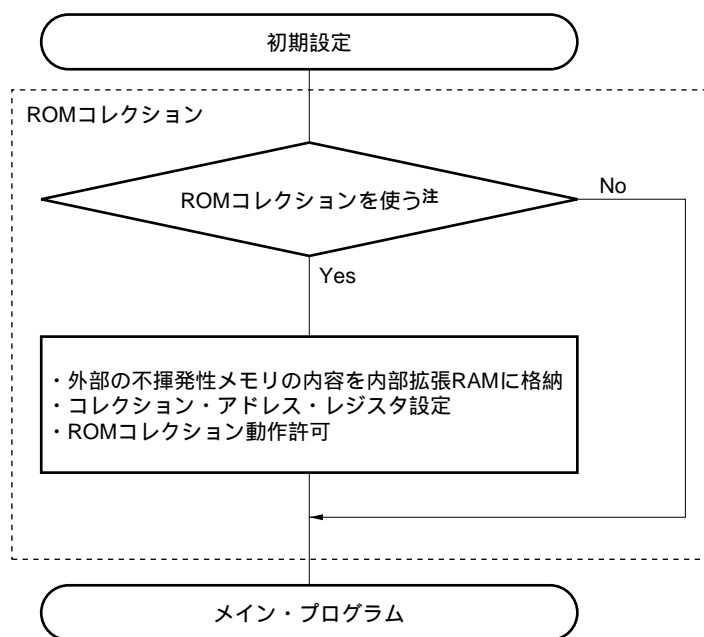


図18 - 5 EEPROMとの接続例（シリアル・インタフェース（IIC1）を使用した場合）



プログラムの修正ができるように、あらかじめ図18 - 6のような初期ルーチンを組んでおいてください。

図18 - 6 初期設定ルーチン



**注** ROMコレクションを使用するかどうかは、ポートの入力レベルで判断するなどの方法をとります。たとえば、P20の入力レベルが「ハイ・レベルなら使用する / ロウ・レベルなら使用しない」とします。

リセット後、あらかじめユーザのROMコレクション用初期ルーチンで外部の不揮発性メモリなどに格納しておいた内容を内部拡張RAMに格納します（図18 - 6参照）。

また、修正したい命令の先頭アドレスをCORAD0, CORAD1に設定し、コレクション・コントロール・レジスタ（CORCN）のビット1, ビット3（COREN0, COREN1）を1にセットします。

メイン・プログラムで内部拡張RAMの所定アドレス（F7FDH番地）に全空間分岐命令（BR !addr16）を設定します。

メイン・プログラムのスタート後は、ROMコレクション回路内のコンパレータで、CORAD0, CORAD1に設定した値とフェッチ・アドレス値が常に比較され、一致するとコレクション分岐処理要求信号が発生されます。同時にコレクション・ステータス・フラグ（CORST0, CORST1）が1にセットされます。

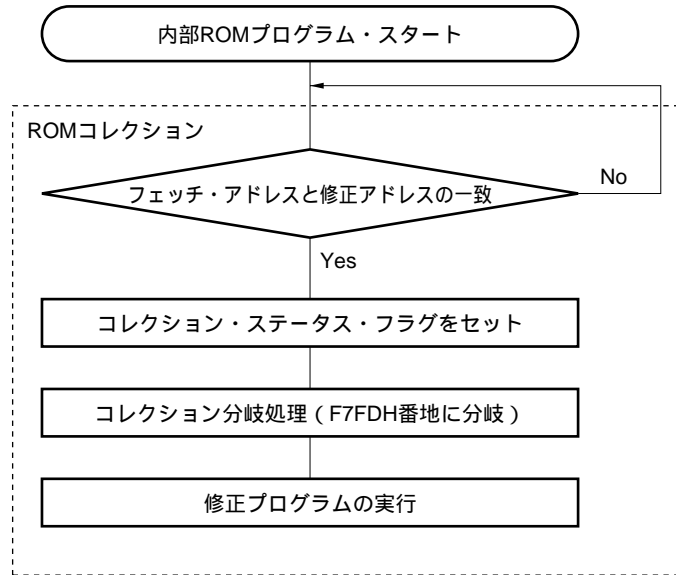
コレクション分岐処理要求信号によりF7FDH番地に分岐します。

F7FDH番地の全空間分岐命令により、メイン・プログラムで設定した内部拡張RAMのアドレスに分岐します。

修正箇所が1つの場合は、そのまま修正プログラムを実行します。

修正箇所が2つの場合は、分岐先判断プログラムでコレクション・ステータス・フラグをチェックして修正プログラムに分岐します。

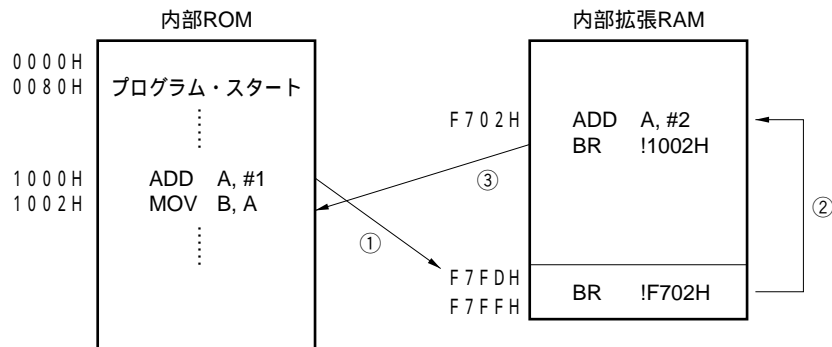
図18 - 7 ROMコレクションの動作



## 18.5 ROMコレクションの使用例

1000H番地の命令“ADD A, #1”を“ADD A, #2”に変更する場合のROMコレクションの使用例を次に示します。

図18 - 8 ROMコレクションの使用例



メイン・プログラム・スタート後、コレクション・アドレス・レジスタにあらかじめ設定しておいた1000Hとフェッチ・アドレスの値が一致したとき、F7FDH番地に分岐します。

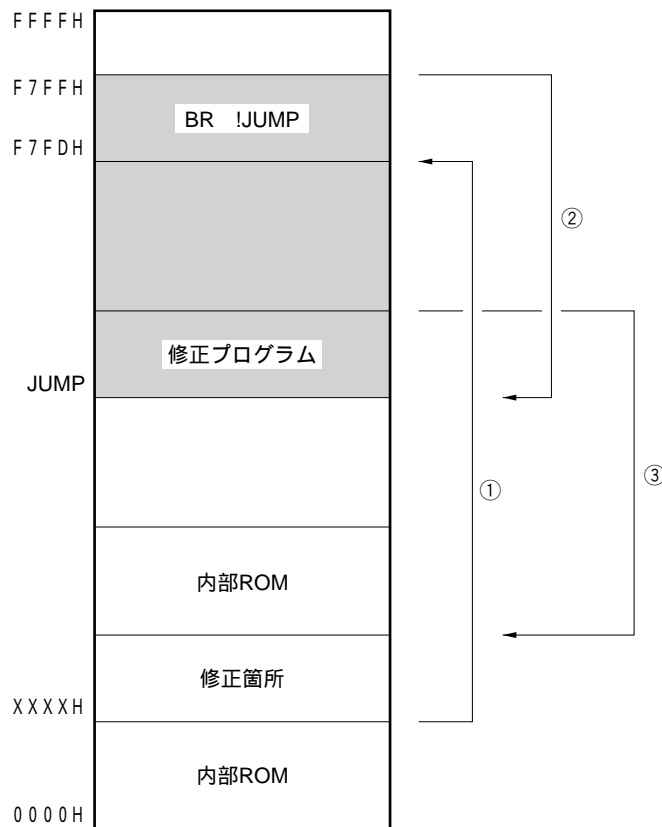
F7FDH番地に全空間分岐命令（BR !addr16）をメイン・プログラムで設定しておくことにより任意のアドレス（この例ではF702H番地）に分岐します。

代替命令 ADD A, #2を実行したあと、内部ROMプログラムに復帰します。

## 18.6 プログラム実行フロー

図18 - 9 , 図18 - 10にROMコレクションを使用する場合のプログラム遷移図を示します。

図18 - 9 プログラム遷移図（修正箇所が1つの場合）

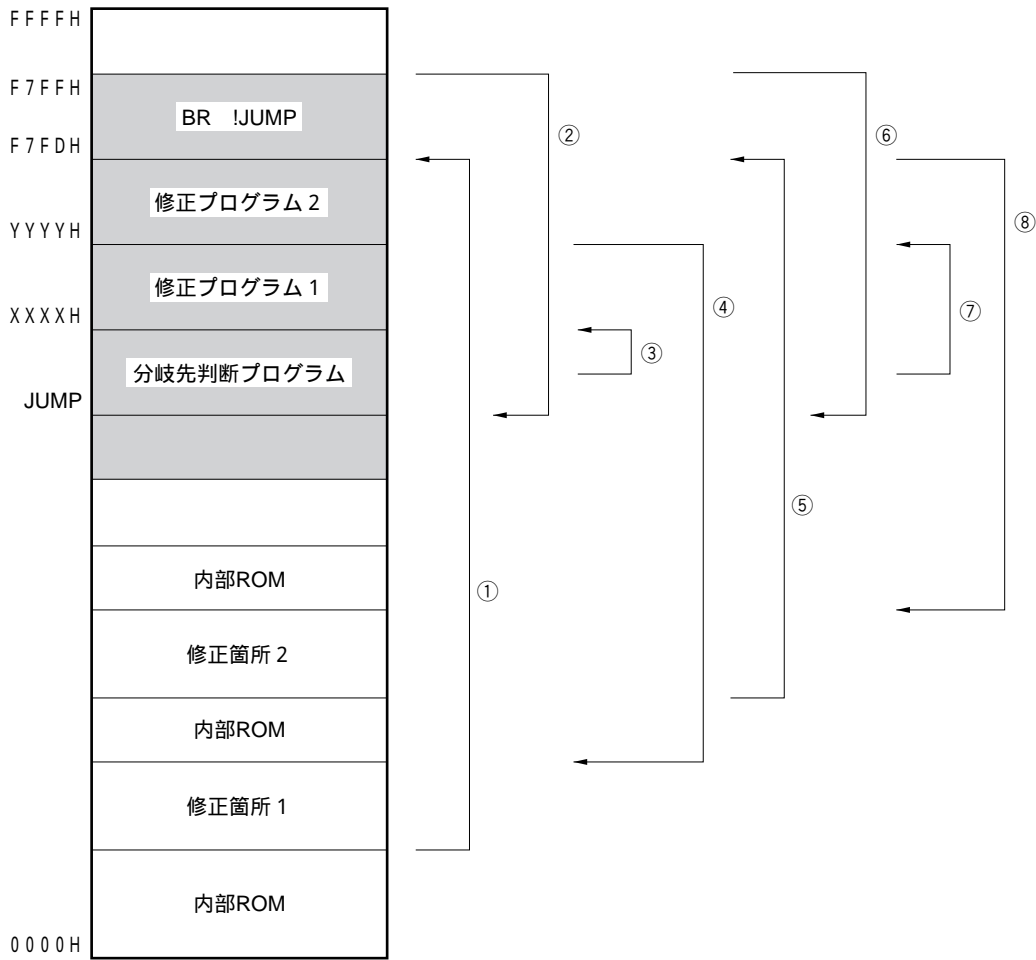


フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐  
 修正プログラムに分岐  
 内部ROMプログラムに復帰

**備考**  : 内部拡張RAM  
 JUMP : 修正プログラム・スタート・アドレス



図18 - 10 プログラム遷移図 (修正箇所が2つの場合)



フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐  
 分岐先判断プログラムに分岐  
 分岐先判断プログラム (BTCLR !CORST0, \$XXXXH) により修正プログラム 1 に分岐  
 内部ROMプログラムに復帰  
 フェッチ・アドレスと修正アドレスの一致によりF7FDH番地に分岐  
 分岐先判断プログラムに分岐  
 分岐先判断プログラム (BTCLR !CORST1, \$YYYYH) により修正プログラム 2 に分岐  
 内部ROMプログラムに復帰

備考  : 内部拡張RAM  
 JUMP : 分岐先判断プログラム・スタート・アドレス

## 18.7 ROMコレクションの注意事項

- (1) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定する値は、必ず命令コードが格納してあるアドレス値にしてください。
- (2) コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) の設定は、コレクション・イネーブル・フラグ (COREN0, COREN1) が0のときに行ってください (コレクション分岐処理禁止状態のときに行ってください)。COREN0, COREN1が1のとき (コレクション分岐処理許可状態のとき) にCORAD0, CORAD1にアドレスを設定すると、設定したアドレス値とは異なるアドレスでコレクション分岐処理が起動される可能性があります。
- (3) コレクション・イネーブル・フラグ (COREN0, COREN1) を1にセットする命令の直後にある命令のアドレス値をコレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定しないでください (コレクション分岐処理が起動されない場合があります)。
- (4) テーブル参照命令 (CALLT命令) のテーブル領域のアドレス値 (0040H-007FH) , ベクタ・テーブル領域のアドレス値 (0000H-003FH) をコレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定しないでください。
- (5) 次に示す命令の直後の2アドレスを、コレクション・アドレス・レジスタ0, 1 (CORAD0, CORAD1) に設定しないでください (これらの命令がマッピングされている終端アドレスをNとするとき、N+1, N+2のアドレス値は設定しないでください)。
- RET
  - RETI
  - RETB
  - BR \$addr16
  - STOP
  - HALT

# 第19章 割り込み機能

## 19.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

### (1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みには、ウォッチドッグ・タイマからの割り込み要求が1要因あります。

### (2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR) の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループにわけることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています (表19 - 1 参照)。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込み要求が5要因、内部割り込み要求が11要因あります。

### (3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

## 19.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計17要因あります (表19 - 1 参照)。

**備考** ウォッチドッグ・タイマの割り込み要因 (INTWDT) には、ノンマスカブル割り込みとマスカブル割り込み (内部) の2種類があり、どちらか1種類のみ選択できます。

表19 - 1 割り込み要因一覧

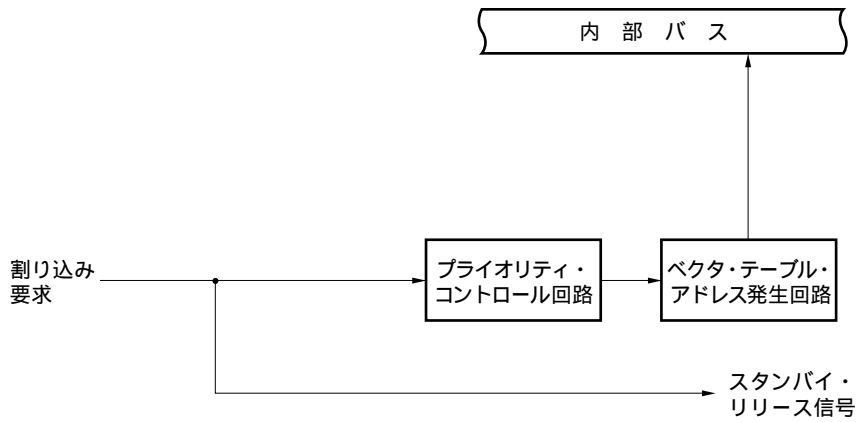
割り込み タイプ	デフォルト・ プライオリティ <sup>注1</sup>	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ <sup>注2</sup>	
		名 称	トリガ				
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーパフロー（ノンマスカブル割り込みを選択時）	内部	0004H	(A)	
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーパフロー（インターバル・タイマ・モード選択時）			(B)	
	1	INTP0	端子入力エッジ検出	外部	0006H	(C)	
	2	INTP1			0008H		
	3	INTP2			000AH		
	4	INTP3			000CH		
	5	INTTM90	8ビット・リモコン・タイマ（TM9）エッジ検出	内部	000EH	(B)	
	6	INTTM91			0010H		
	7	INTVSYNC	V <sub>SYNC</sub> 信号エッジ検出	外部	0012H	(C)	
	8	INTTM21	8ビット・イベント・カウンタ（TM21）の一致信号発生	内部	0014H	(B)	
	9	INTIIC1			シリアル・インタフェース（IIC1）の転送終了		0016H
	10	INTTM92			8ビット・リモコン・タイマ（TM9）のオーパフロー		0018H
	11	INTCSI3			シリアル・インタフェース（SIO3）の転送終了		001AH
	12	INTTM5			8ビット・タイマ/イベント・カウンタ（TM5）の一致信号発生		001CH
	13	INTTM20			8ビット・タイマ（TM20）の一致信号発生		001EH
	14	INTBTM1			ベーシック・タイマ（BTM1）の1ms/10ms間隔で信号発生		0020H
15	INTAD	A/Dコンバータの変換終了			0022H		
ソフトウェア	-	BRK	BRK命令の実行	-	003EH	(D)	

注1．デフォルト・プライオリティは複数のマスカブル割り込みが同時に発生している場合に、優先する順位です。0が最高、15が最低順位です。

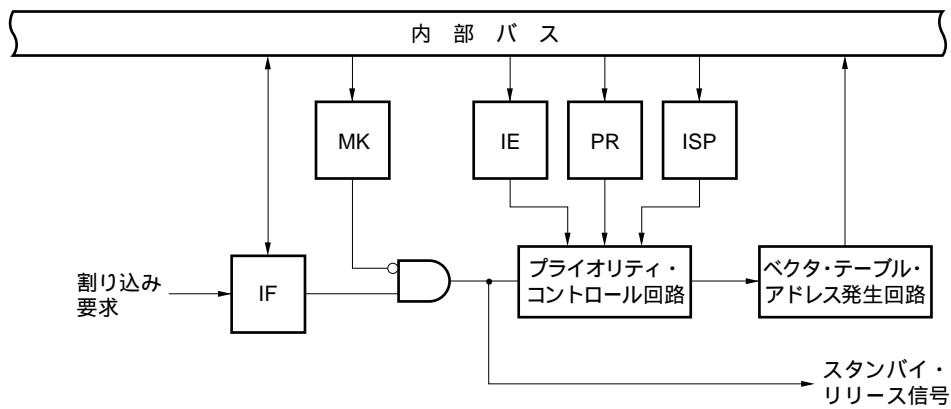
2．基本構成タイプの（A）-（D）はそれぞれ図19 - 1の（A）-（D）に対応しています。

図19 - 1 割り込み機能の基本構成 (1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み

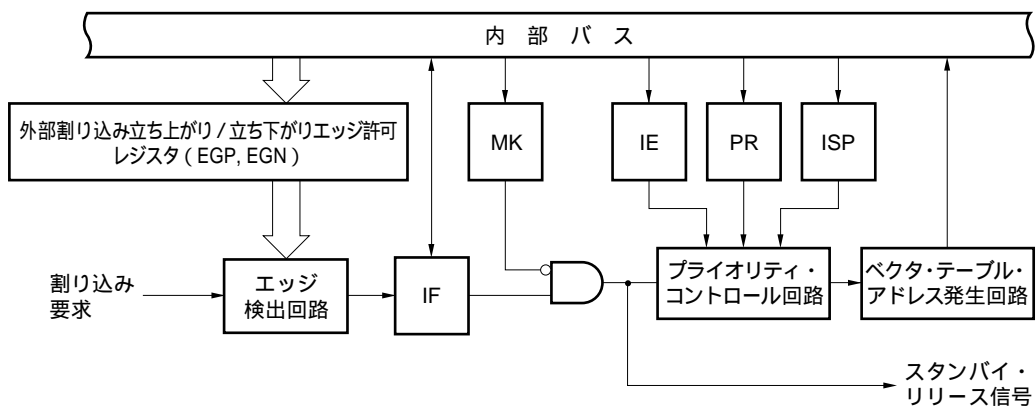
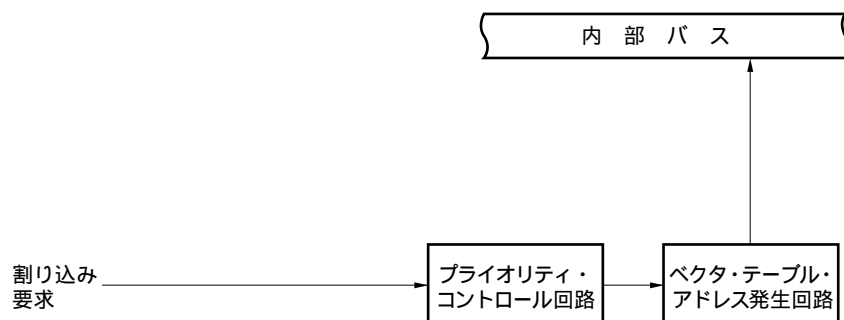


図19 - 1 割り込み機能の基本構成 (2/2)

(D) ソフトウェア割り込み



- 備考**
- IF : 割り込み要求フラグ
  - IE : 割り込み許可フラグ
  - ISP : インサースビス・プライオリティ・フラグ
  - MK : 割り込みマスク・フラグ
  - PR : 優先順位指定フラグ

### 19.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H)
- ・優先順位指定フラグ・レジスタ (PR0L, PR0H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を、表19 - 2 に示します。

表19 - 2 割り込み要求ソースに対する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDT	WDTIF	IF0L	WDTMK	MK0L	WDTPR	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTTM90	TMIF90		TMMK90		TMPR90	
INTTM91	TMIF91		TMMK91		TMPR91	
INTVSYNC	VSIF		VSMK		VSPR	
INTTM21	TMIF21	IF0H	TMMK21	MK0H	TMPR21	PR0L
INTIIC1	IICIF1		IICMK1		IICPR1	
INTTM92	TMIF92		TMMK92		TMPR92	
INTCSI3	CSIF3		CSIMK3		CSIPR3	
INTTM5	TMIF5		TMMK5		TMPR5	
INTTM20	TMIF20		TMMK20		TMPR20	
INTBTM1	BTMIF1		BTMMK1		BTMPR1	
INTAD	ADIF		ADMK		ADPR	

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット時、命令の実行によりクリア (0) されるフラグです。

IF0L, IF0Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0Hをあわせて16ビット・レジスタIF0として使用するときには、16ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図19 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H) のフォーマット

略号								①	アドレス	リセット時	R/W
IF0L	VSIF	TMIF91	TMIF90	PIF3	PIF2	PIF1	PIF0	WDTIF	FFE0H	00H	R/W
略号								①	アドレス	リセット時	R/W
IF0H	ADIF	BTMIF1	TMIF20	TMIF5	CSIF3	TMIF92	IICIF1	TMIF21	FFE1H	00H	R/W

x × IF x	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 1 . WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合は、WDTIFフラグに0を設定してください。

2 . タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。



(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。

MK0L, MK0Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときには、16ビット・メモリ操作命令で設定します。

リセット時は、FFHになります。

図19 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H) のフォーマット

略号	①								アドレス	リセット時	R/W
MK0L	VSMK	TMMK91	TMMK90	PMK3	PMK2	PMK1	PMK0	WDTMK	FFE4H	FFH	R/W
略号	①								アドレス	リセット時	R/W
MK0H	ADMK	BTMMK1	TMMK20	TMMK5	CSIMK3	TMMK92	IICMK1	TMMK21	FFE5H	FFH	R/W

× × MK ×	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

- 注意 1 . ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用しているとき、WDTMKフラグを読み出すと不定になっています。
- 2 . ポート0は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。

(3) 優先順位指定フラグ・レジスタ (PR0L, PR0H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR0LとPR0Hをあわせて16ビット・レジスタPR0として使用するときには、16ビット・メモリ操作命令で設定します。

リセット時は、FFHになります。

図19 - 4 優先順位指定フラグ・レジスタ (PR0L, PR0H) のフォーマット

略号	①								アドレス	リセット時	R/W
PR0L	VSPR	TMPR91	TMPR90	PPR3	PPR2	PPR1	PPR0	WDTPR	FFE8H	FFH	R/W
略号	①								アドレス	リセット時	R/W
PR0H	ADPR	BTMPR1	TMPR20	TMPR5	CSIPR3	TMPR92	IICPR1	TMPR21	FFE9H	FFH	R/W

x x PR x	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

**注意** ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用しているとき、WDTPRフラグに1を設定してください。

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN)

INTP0-INTP3と $\overline{V_{SYNC}}$ の有効エッジを設定するレジスタです。

EGP, EGNは, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は, 00Hになります。

図19 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP), 外部割り込み立ち下がりエッジ許可レジスタ (EGN) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EGP	0	0	0	EGPVS	EGP3	EGP2	EGP1	EGP0	FF48H	00H	R/W
略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EGN	0	0	0	EGNVS	EGN3	EGN2	EGN1	EGN0	FF49H	00H	R/W

EGPn	EGNn	INTP0-INTP3または $\overline{V_{SYNC}}$ 端子の有効エッジの選択
0	0	割り込み禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

n : 0-3 または VS

(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時および、BRK命令実行時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスクブル割り込み受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット時は、PSWは02Hとなります。

図19 - 6 プログラム・ステータス・ワード (PSW) の構成



## 19.4 割り込み処理動作

### 19.4.1 ノンмасカブル割り込み要求の受け付け動作

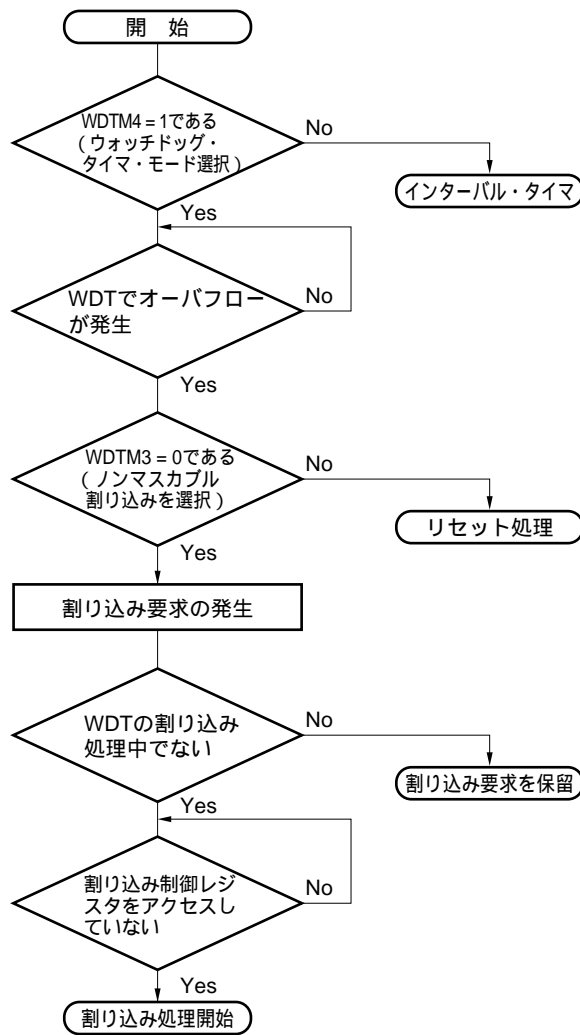
ノンмасカブル割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンмасカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグ, ISPフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンмасカブル割り込みサービス・プログラム実行中に発生した新たなノンмасカブル割り込み要求は、現在処理中のノンмасカブル割り込みサービス・プログラムの実行が終了(RETI命令実行後)し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンмасカブル割り込みサービス・プログラム実行中に新たなノンмасカブル割り込み要求が2回以上発生しても、そのノンмасカブル割り込みサービス・プログラム実行終了後に受け付けられるノンмасカブル割り込み要求は1回分だけになります。

ノンмасカブル割り込み発生から受け付けまでのフロー・チャートを図19-7に、ノンмасカブル割り込み要求の受け付けタイミングを図19-8に、ノンмасカブル割り込み要求が多重に発生した場合の受け付け動作を図19-9に示します。

図19 - 7 ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート



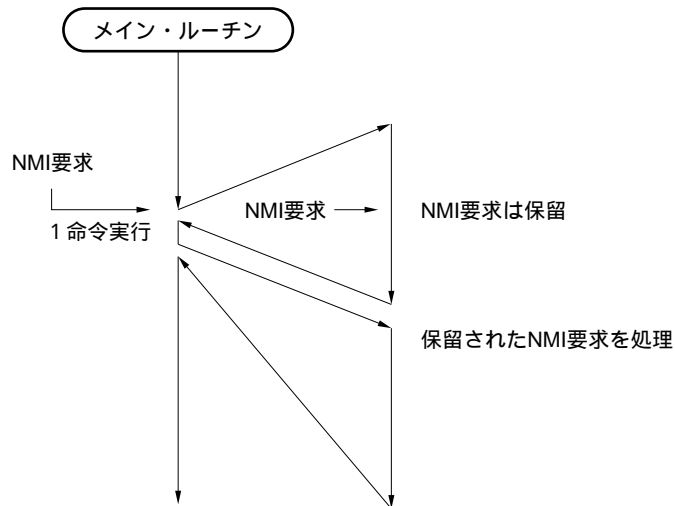
備考 WDTM : ウォッチドッグ・タイマ・モード・レジスタ  
 WDT : ウォッチドッグ・タイマ

図19 - 8 ノンマスクابل割り込み要求の受け付けタイミング

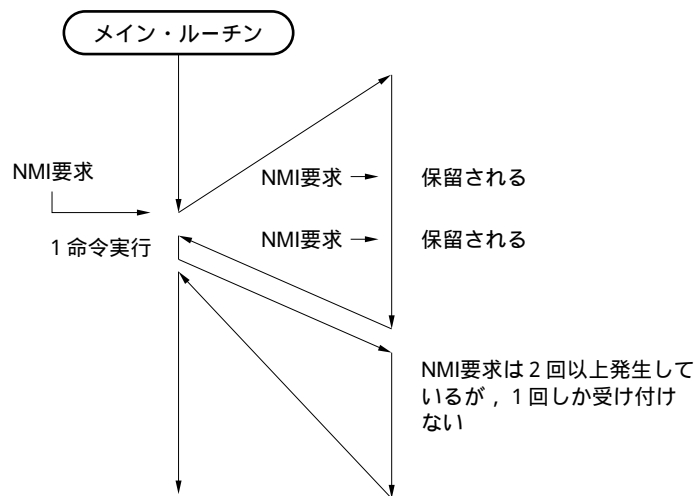


図19 - 9 ノンマスクابل割り込み要求の受け付け動作

( a ) ノンマスクابل割り込みサービス・プログラム実行中に  
新たなノンマスクابل割り込み要求が発生した場合



( b ) ノンマスクابل割り込みサービス・プログラム実行中に  
新たに2回のノンマスクابل割り込み要求が発生した場合



## 19.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット（1）され、その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表19 - 3 のようになります。

割り込み要求の受け付けタイミングについては、図19 - 11、図19 - 12を参照してください。

表19 - 3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 <sup>注</sup>
x × PR = 0 のとき	7クロック	32クロック
x × PR = 1 のとき	8クロック	33クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック：1/f<sub>cpu</sub>（f<sub>cpu</sub>：CPUクロック）

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込み要求から受け付けられます。

保留された割り込み要求は受け付け可能な状態になると受け付けられます。

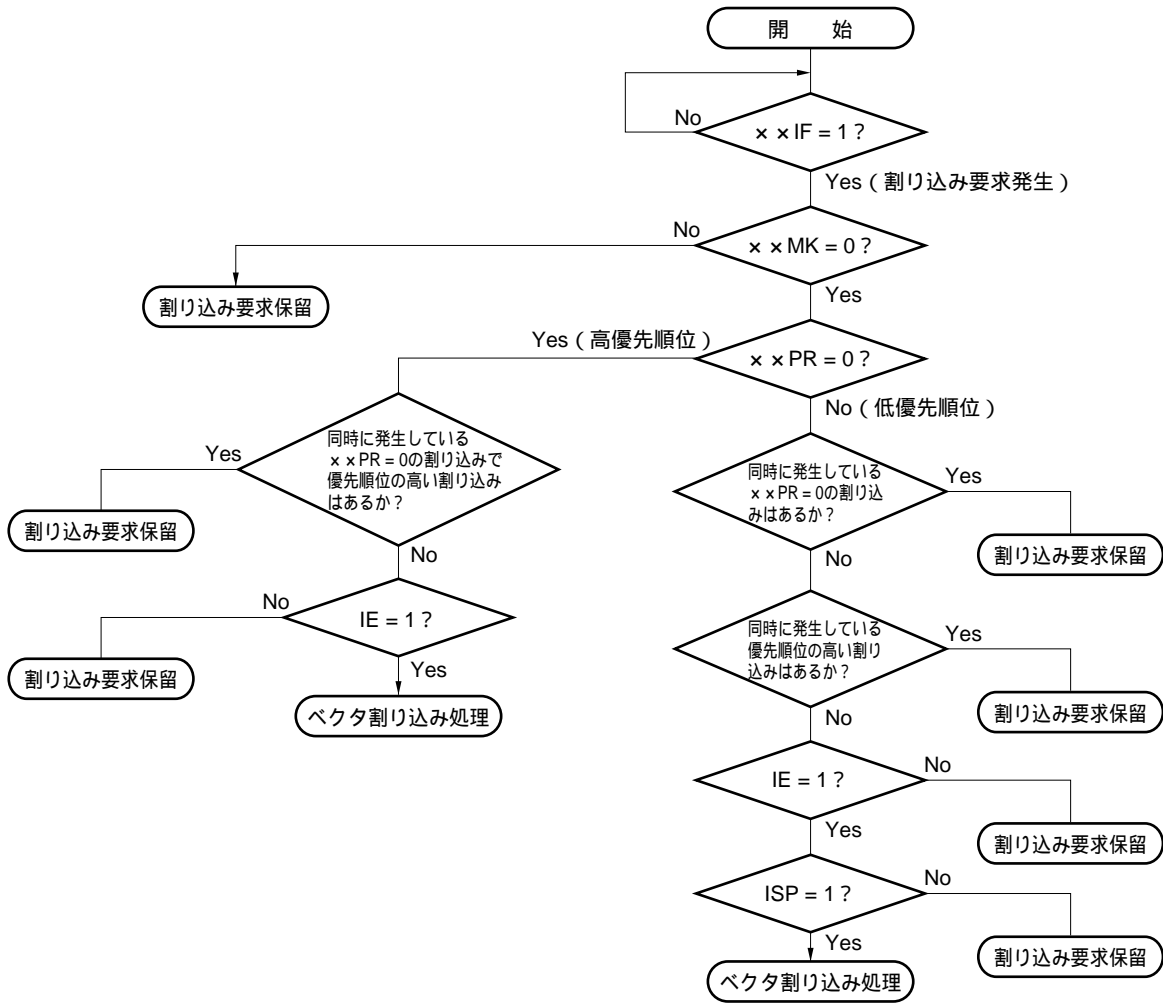
割り込み要求受け付けのアルゴリズムを図19 - 10に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IEフラグをリセット（0）し、受け付けた割り込み要求の優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰はできます。



図19 - 10 割り込み要求受け付け処理アルゴリズム



x x IF : 割り込み要求フラグ

x x MF : 割り込みマスク・フラグ

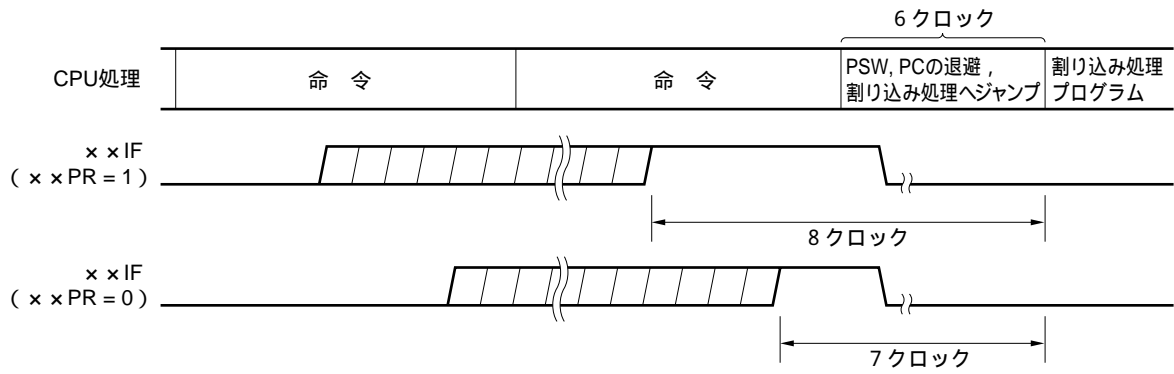
x x PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ ( 1 = 許可, 0 = 禁止 )

ISP : 現在処理中の割り込みの優先順位を示すフラグ

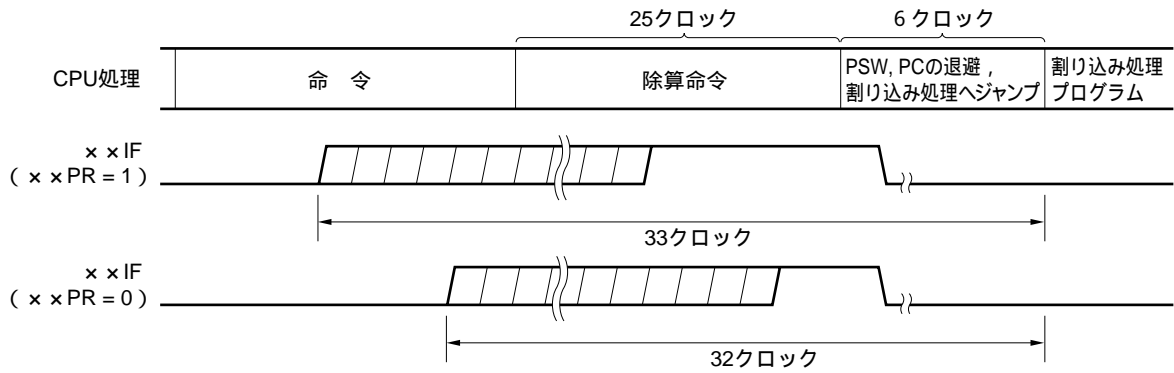
( 0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中 )

図19 - 11 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック :  $1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック)

図19 - 12 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック :  $1/f_{CPU}$  ( $f_{CPU}$  : CPUクロック)

### 19.4.3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (003EH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

**注意** ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

### 19.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスカブル割り込みを除く)。また、割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を1命令実行後に受け付けられます。

なお、ノンマスカブル割り込み処理中には、多重割り込みは許可されません。

表19 - 4 に多重割り込み可能な割り込み要求を、図19 - 13 に多重割り込みの例を示します。

表19 - 4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求		ノンマスカブル 割り込み要求	マスカブル割り込み要求			
			PR = 0		PR = 1	
			IE = 1	IE = 0	IE = 1	IE = 0
処理中の割り込み						
ノンマスカブル割り込み		x	x	x	x	x
マスカブル割り込み	ISP = 0			x	x	x
	ISP = 1			x		x
ソフトウェア割り込み				x		x

備考1 . : 多重割り込み可能。

2 . x : 多重割り込み不可能。

3 . ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

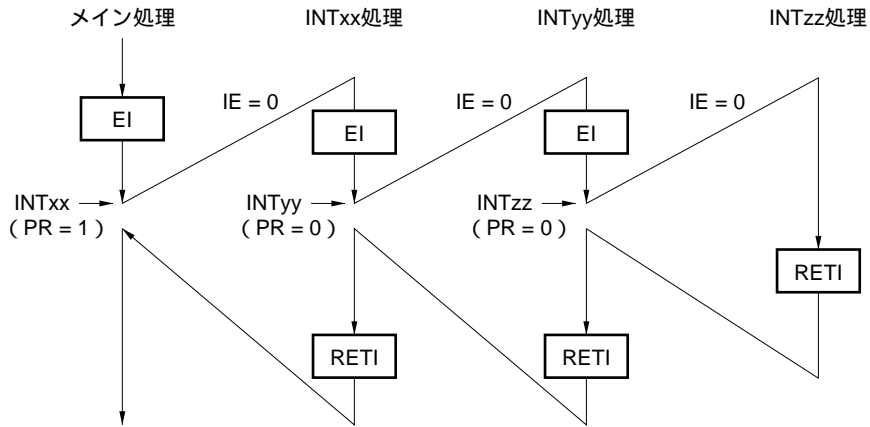
4 . PRはPR0L, PR0Hに含まれるフラグです。

PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

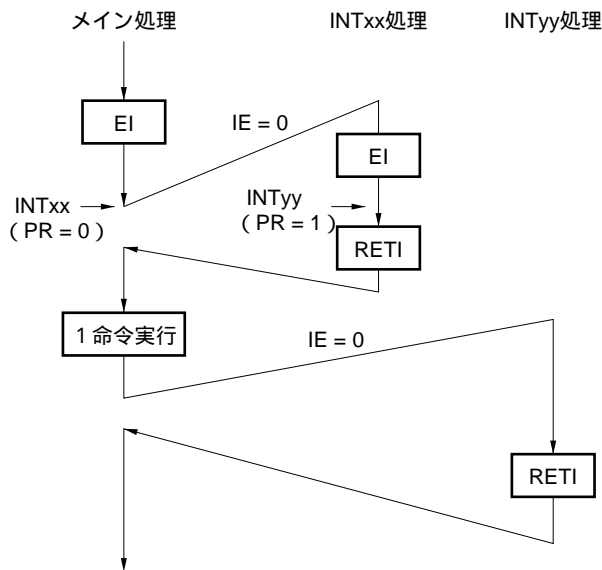
図19 - 13 多重割り込みの例 (1/2)

例 1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている

例 2 . 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

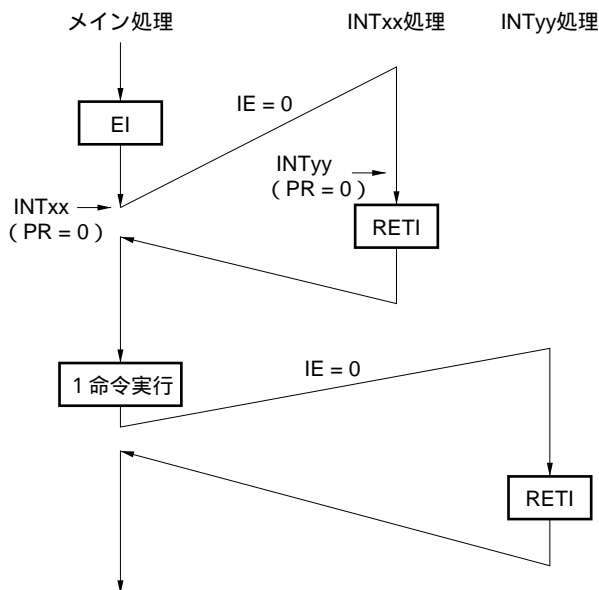
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図19 - 13 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理 1 命令実行後に受け付けられる。

PR = 0 : 高優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

### 19.4.5 割り込み要求の保留

次に示す命令と、その次に実行する命令の間では、割り込みの受け付けが一時的に保留されます。

- MOV PSW, # byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1/AND1/OR1/XOR1 CY, PSW. bit
- SET1/CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT/BF/BTCLR PSW. bit, \$addr16
- EI
- DI
- IF0L, IF0H, MK0L, MK0H, PR0L, PR0H, EGP, EGNの各レジスタに対する操作命令

**注意** ソフトウェア割り込み（BRK命令の実行による）では、IEフラグが0にクリアされるのでBRK命令実行中にマスカブル割り込み要求が発生しても、割り込みを受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

図19 - 14 割り込み要求の保留



- 備考 1** . 命令N：割り込み要求の保留命令
- 2 . 命令M：割り込み要求の保留命令以外の命令
- 3 . x x IFの動作は、x x PRの値の影響を受けません。

[メモ]



## 第20章 スタンバイ機能

### 20.1 スタンバイ機能と構成

#### 20.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

##### (1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は続きます。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

CPUは動作停止しますが、周辺機能は動作可能です。したがって消費電流を抑えるためには、HALT命令実行前に不要な回路をすべて停止してください。

##### (2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減できます。

また、データ・メモリの低電圧 ( $V_{DD} = 2.5\text{ V}$ まで) 保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

電源電圧が2.5 V未満になった場合にはパワーオン・クリアによるリセットがかかります。リセットに関しては、**第21章 リセット機能**を参照してください。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

すべての機能は状態を保持して動作停止します。

**注意 1** . STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。OSDは表示停止 (表示コントロール・レジスタ (DPCONT) のビット6 (DO) を0) にしてください。

**2** . A/Dコンバータ部の消費電力を低減させるためには、ADM3のビット7 (ADCS3) を0にクリアし、A/D変換動作を停止させたあとHALT命令またはSTOP命令を実行してください。

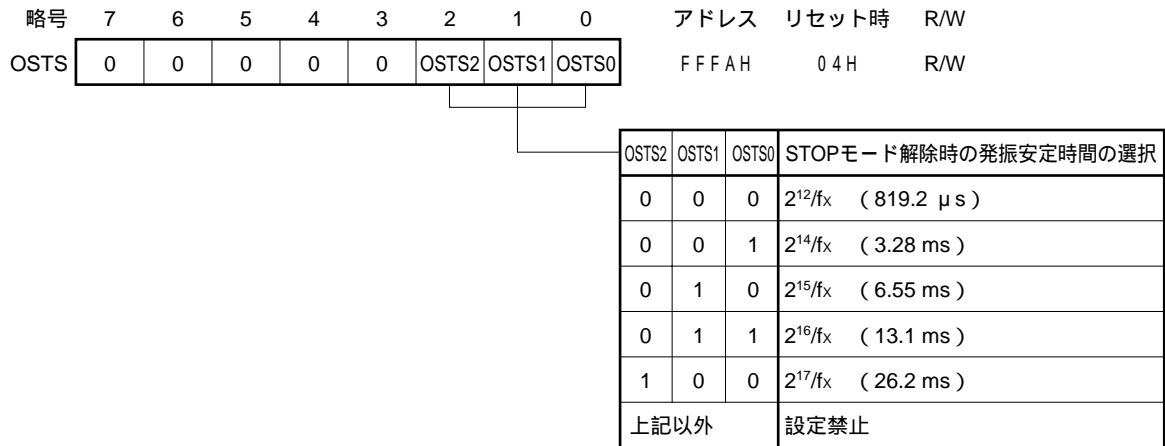
### 20.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウエイト時間は、発振安定時間選択レジスタ (OSTS) で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット時は、04Hになります。

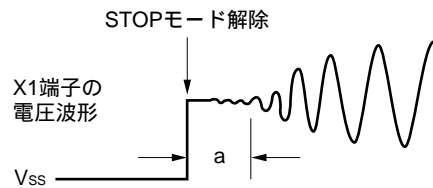
図20 - 1 発振安定時間選択レジスタ (OSTS) のフォーマット



備考1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は、 $f_x = 5.0$  MHz動作時。

注意 STOPモード解除時のウエイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間(下図 a) は含みません。これはRESET入力による場合も、割り込み要求発生による場合も同様です。



## 20.2 スタンバイ機能の動作

### 20.2.1 HALTモード

#### (1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表20 - 1 HALTモード時の動作状態

項 目	状 態
クロック発生回路	システム・クロック発振。CPUへのクロック供給が停止。
CPU	動作停止
ポート	HALTモード設定時の状態を保持
8ビット・タイマ/イベント・カウンタ	HALTモード設定時の動作を保持または動作可能
8ビット・タイマ	
8ビット・イベント・タイマ	
8ビット・リモコン・タイマ	
ベーシック・タイマ	
ウォッチドッグ・タイマ	
A/Dコンバータ	HALTモード設定時の動作を保持。 ただしA/D変換動作モードでは正常に比較ができません。パワー・フェイル比較モードでは、パワー・フェイル比較モード・レジスタ3 (PFM3) のビット5 (PFHRM3) の設定によって、次のようになります。 { PFHRM3 = 0 : 正常に比較できない { PFHRM3 = 1 : パワー・フェイル比較動作可能
シリアル・インタフェース (IIC1, SIO3)	HALTモード設定時の動作を保持および動作可能
8ビットPWM出力	
14ビットPWM出力	
OSDコントローラ	
外部割り込み	
パワーオン・クリア回路	4.5V未満 (POCVSEL = 0時) または3.5V未満 (POCVSEL = 1時) 検出により、リセット発生

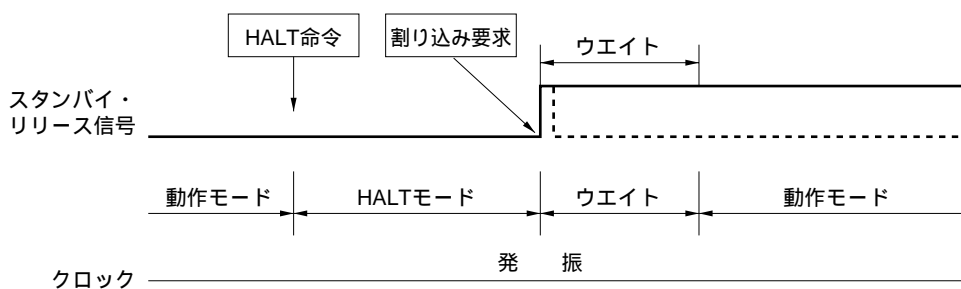
## (2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除できます。

## (a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図20 - 2 HALTモードの割り込み要求発生による解除



備考1．破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2．ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8 ~ 9クロック
- ・ベクタ割り込み処理を行わない場合 : 2 ~ 3クロック

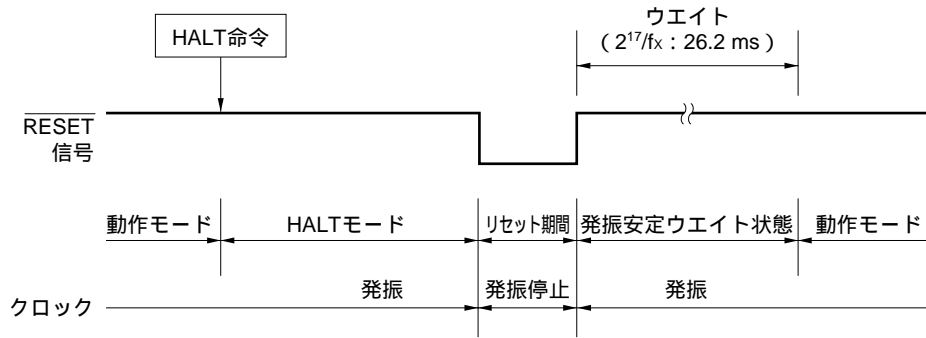
## (b) ノンマスクابل割り込み要求による解除

ノンマスクابل割り込み要求が発生すると、割り込み受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

(c) RESET入力による解除

RESET信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図20 - 3 HALTモードのRESET入力による解除



備考 1 .  $f_x$  : システム・クロック発振周波数

2 . ( ) 内は ,  $f_x = 5.0 \text{ MHz}$ 動作時。

表20 - 2 HALTモードの解除後の動作

解除ソース	MK x x	PR x x	IE	ISP	動作
マスカブル 割り込み要求	0	0	0	x	次アドレス命令実行
	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	割り込み処理実行
	0	1	1	1	割り込み処理実行
	1	x	x	x	HALTモード保持
ノンマスカブル 割り込み要求	-	-	x	x	割り込み処理実行
<u>RESET</u> 入力	-	-	x	x	リセット処理

備考 x : don't care

## 20.2.2 STOPモード

### (1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

- 注意 1** . STOPモードに設定すると、クリスタル発振回路部のリークを抑えるために、X1端子が内部でGNDにプルダウン、X2端子が内部でV<sub>DD</sub>にプルアップされます（GNDとは、GND0, GND1, GND00, GND10, GND01, GND11のいずれかを指します）。
- 2** . スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。
- 3** . STOPモードにする際には、OSDを表示停止（表示コントロール・レジスタ（DPCONT）のビット6（DO）を0）にしてください。

次にSTOPモード時の動作状態を示します。

表20 - 3 STOPモード時の動作状態

項 目	状 態
クロック発生回路	システム・クロック発振停止。CPUへのクロック供給が停止。
CPU	動作停止
ポート	STOPモード設定時の状態を保持
8ビット・タイマ/イベント・カウンタ	動作停止および動作不可能
8ビット・タイマ	
8ビット・イベント・タイマ	
8ビット・リモコン・タイマ	
ベーシック・タイマ	
ウォッチドッグ・タイマ	
A/Dコンバータ	
シリアル・インタフェース (IIC1, SIO3)	
8ビットPWM出力	
14ビットPWM出力	
OSDコントローラ	
外部割り込み	
パワーオン・クリア回路	4.5 V未満（POCVSEL = 0時）または3.5 V未満（POCVSEL = 1時）検出により、リセット発生

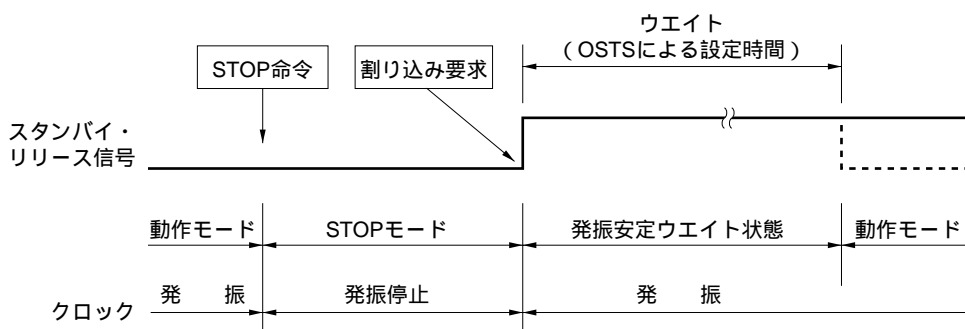
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図20 - 4 STOPモードの割り込み要求発生による解除

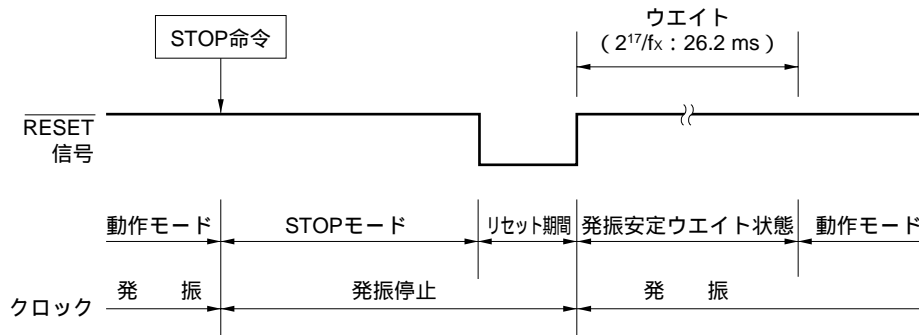


備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b)  $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図20 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除



備考1 . fx : システム・クロック発振周波数

2 . ( ) 内は , fx = 5.0 MHz動作時。

表20 - 4 STOPモードの解除後の動作

解除ソース	MKxx	PRxx	IE	ISP	動作
マスクブル	0	0	0	x	次アドレス命令実行
割り込み要求	0	0	1	x	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	x	0	
	0	1	1	1	割り込み処理実行
	1	x	x	x	STOPモード保持
RESET入力	-	-	x	x	リセット処理

備考 x : don't care



# 第21章 リセット機能

## 21.1 リセット機能

リセット信号を発生させる方法には、次の3種類があります。

- (1)  $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
- (3) パワーオン・クリア(POC)による内部リセット

外部リセットと内部リセットは機能面での差はなく、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

### (1) $\overline{\text{RESET}}$ 端子による外部リセット入力

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとリセットがかかり、各ハードウェアは表21 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンス(ただしP130-P134端子はロウ・レベル)となります。

$\overline{\text{RESET}}$ 端子によるリセットは、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると解除され、発振安定時間経過後( $2^{17}/f_x$ )、プログラムの実行を開始します。

### (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

ウォッチドッグ・タイマのオーバフローが発生するとリセットがかかり、各ハードウェアは表21 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンス(ただしP130-P134端子はロウ・レベル)となります。

ウォッチドッグ・タイマによるリセットは、リセットがかかってからすぐに解除され、発振安定時間経過後( $2^{17}/f_x$ )、プログラムの実行を開始します。

(3) パワーオン・クリア (POC) による内部リセット

次のいずれかの条件でパワーオン・クリアによるリセットがかかります。

- ・電源電圧投入時に、電源電圧が 4.5 V<sup>注</sup>未満である場合 (POCVSEL = 0 のとき)
- ・電源電圧が 4.5 V<sup>注</sup>未満になった場合 (HALT モード時も含む) (POCVSEL = 0 のとき)
- ・電源電圧が 3.5 V<sup>注</sup>未満になった場合 (HALT モード時も含む) (POCVSEL = 1 のとき)

これらのパワーオン・クリアのリセット条件を満たした場合、リセットがかかります。各ハードウェアは表21-1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンス (ただしP130-P134端子はロウ・レベル) となります。

パワーオン・クリアによるリセットは、電源電圧が一定電圧以上になると解除され、発振安定時間経過後 ( $2^{17}/f_x$ )、プログラムの実行を開始します。

**注** これらの電圧は最大値であり、実際にはそれぞれの電圧より低い電圧でリセットがかかります。

**注意 1** . 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10  $\mu\text{s}$ 以上のロウ・レベルを入力してください。

**2** . リセット入力中は、システム・クロックの発振が停止します。

**3** .  $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、リセット入力中はSTOPモード時のレジスタ内容を保持します。ただし、I/Oポート端子は、入力モードに設定されるためハイ・インピーダンスとなります。出力専用ポート端子 (P130-P134) は以前の状態にかかわらずロウ・レベルになります。

図21 - 1 リセット機能のブロック図

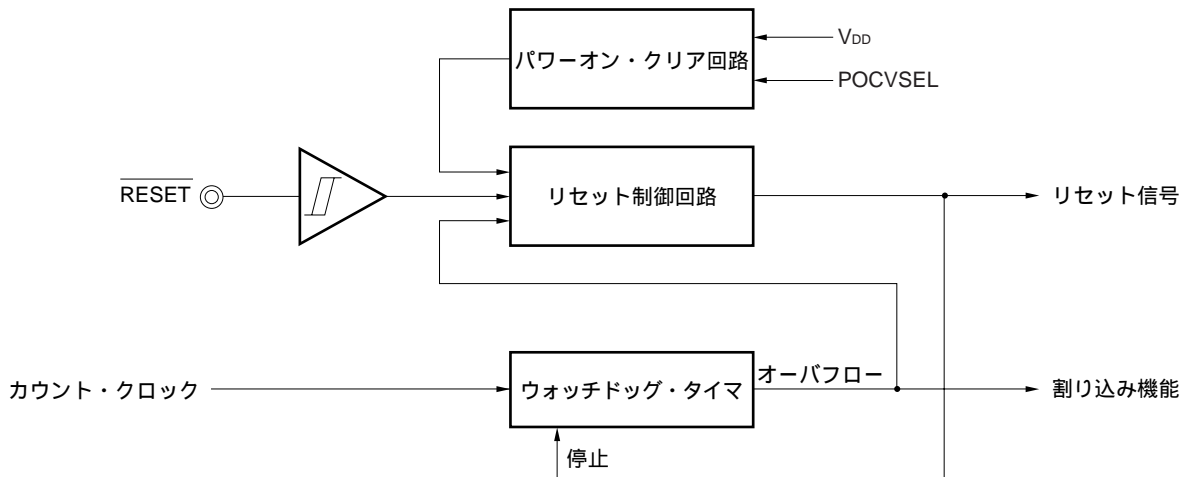
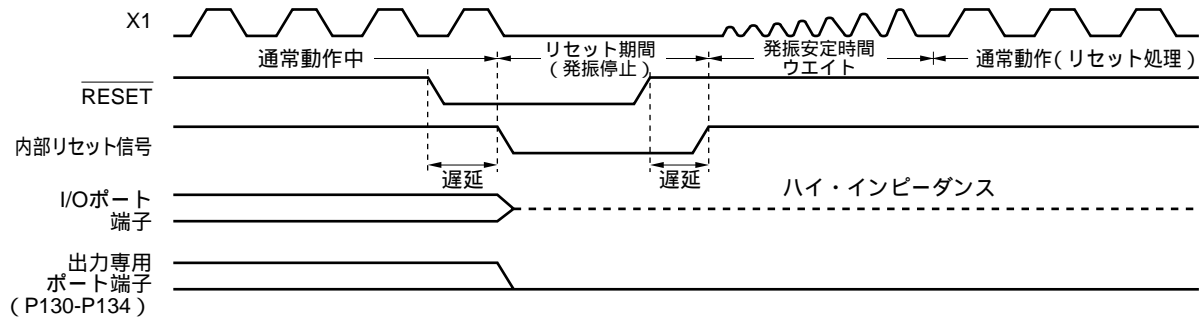


図21 - 2 RESET入力によるリセット・タイミング

( a ) 通常動作モード時



( b ) STOP モード時

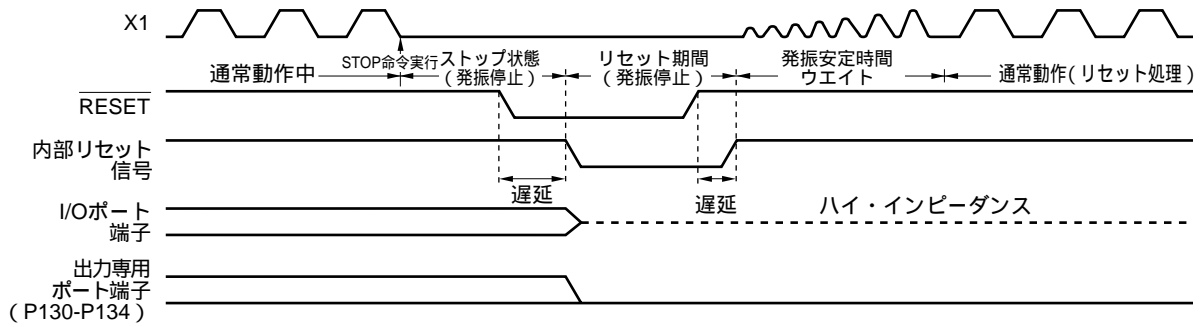


図21 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

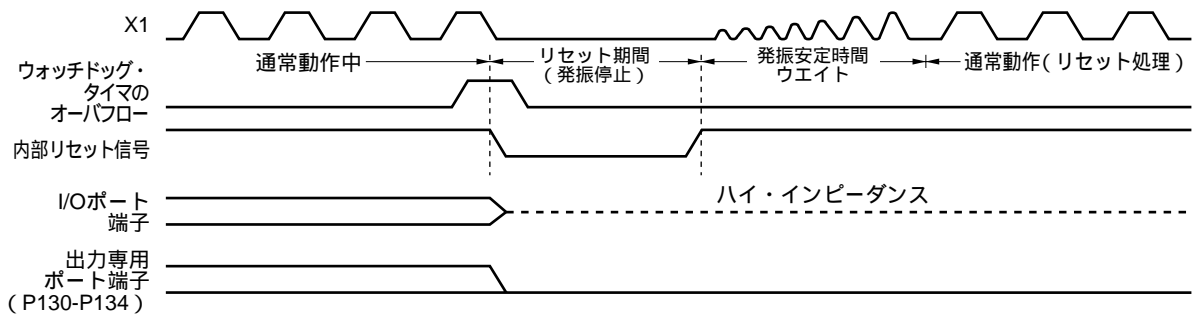
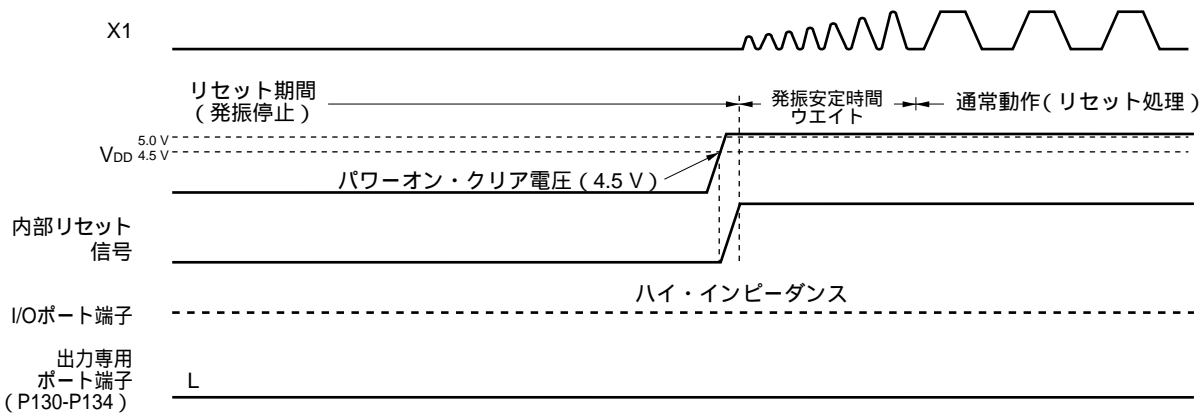
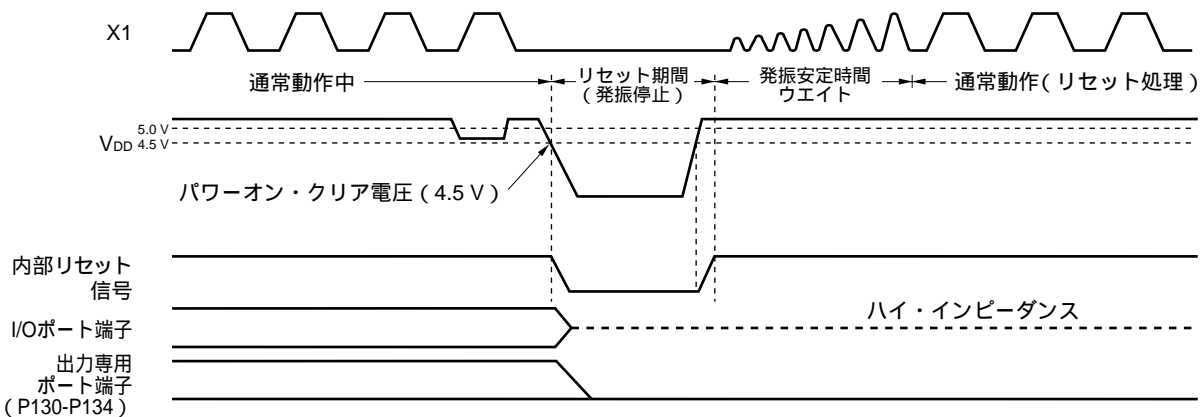


図 21 - 4 パワーオン・クリアによるリセット・タイミング

( a ) 電源電圧投入時 ( POCVSEL = 0 のとき )



( b ) 通常モード時 (HALT モード時も含む)(POCVSEL = 0 のとき)



( c ) 通常モード時 (HALT モード時も含む)(POCVSEL = 1 のとき)

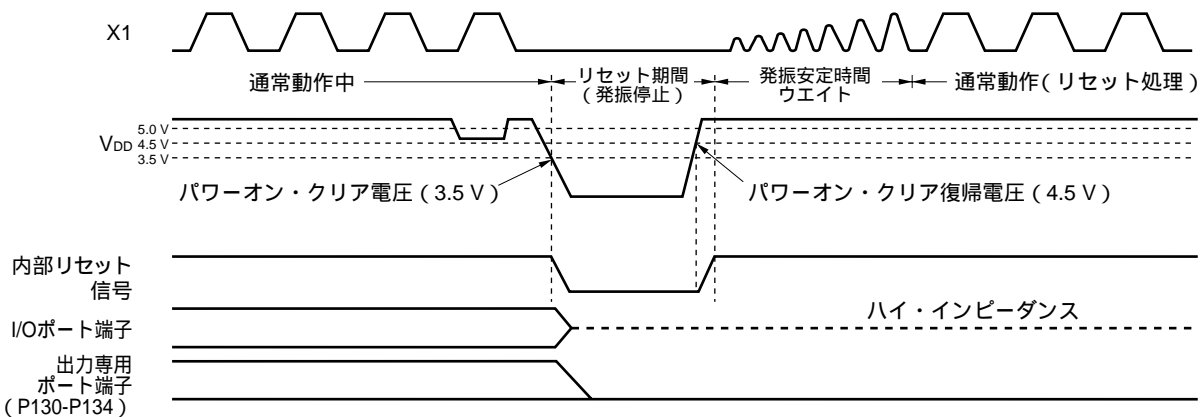


表21 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) 注 <sup>1</sup>		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		不定
RAM	データ・メモリ	不定注 <sup>2</sup>
	汎用レジスタ	不定注 <sup>2</sup>
ポート (出力ラッチ)	ポート 0-2, 4-7, 13 (P0-P2, P4-P7, P13)	00H
ポート・モード・レジスタ (PM0, PM2, PM4-PM7)		FFH
プロセッサ・クロック・コントロール・レジスタ (PCC)		04H
発振安定時間選択レジスタ (OSTS)		04H
メモリ・サイズ切り替えレジスタ (IMS)		CFH注 <sup>3</sup>
内部拡張RAMサイズ切り替えレジスタ (IXS)		0CH注 <sup>4</sup>
8ビット・タイマ / イベント・カウンタ	カウンタ (TM5)	00H
	コンペア・レジスタ 5 (CR5)	不定
	クロック選択レジスタ 5 (TCL5)	00H
	モード・コントロール・レジスタ 5 (TMC5)	00H
8ビット・タイマ	カウンタ (TM20)	00H
	コンペア・レジスタ (CR20)	不定
	モード・コントロール・レジスタ 20 (TMC20)	00H
8ビット・イベント・カウンタ	タイマ・カウンタ 21 (TM21)	00H
	コンペア・レジスタ 21 (CR21)	不定
	モード・コントロール・レジスタ 21 (TMC21)	00H
8ビット・リモコン・タイマ	モード・コントロール・レジスタ (TMC9)	00H
	キャプチャ・レジスタ (CP90, CP91)	00H
ベーシック・タイマ	モード・レジスタ (BTMMD1)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (WDCS)	00H
	モード・レジスタ (WDTM)	00H

注 1 . リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット時の状態と変わりありません。

2 . スタンバイ・モード時にリセットがかかった場合には、リセット時の状態がリセット後も保持されます。

3 . 初期値はCFHですが、各製品ごとに次に示す値を設定して使用してください。

μ PD178046 : 4CH

μ PD178048 : 4FH

μ PD178F048 : マスクROM製品に対応した値

4 . 初期値は0CHですが、0BHに設定して使用してください。

表21 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態	
A/Dコンバータ	モード・レジスタ3 (ADM3)	00H	
	変換結果レジスタ3 (ADCR3)	不定	
	アナログ入力チャネル指定レジスタ3 (ADS3)	00H	
	パワー・フェイル比較モード・レジスタ3 (PFM3)	00H	
	パワー・フェイル比較しきい値レジスタ3 (PFT3)	00H	
シリアル・ インタフェース	IIC1	シフト・レジスタ1 (IIC1)	不定
		スレーブ・アドレス・レジスタ1 (SVA1)	不定
		クロック選択レジスタ1 (IICCL1)	00H
		動作モード・レジスタ1 (IICM1)	18H
		コントロール・レジスタ1 (IICC1)	00H
		割り込みタイミング指定レジスタ1 (IICINT1)	00H
	SIO3	シフト・レジスタ3 (SIO3)	不定
		動作モード・レジスタ3 (CSIM3)	00H
8ビットPWM	コンペア・レジスタ00-03 (PWMCR00-PWMCR03)	FFH	
	PWM出力セレクト・レジスタ (PWMS)	00H	
14ビットPWM	コンペア・レジスタ (PWMCR1)	不定	
OSDコントローラ	表示コントロール・レジスタ (DPCONT)	00H	
	スタートス・レジスタ (OSDSTA)	80H	
	水平表示開始位置レジスタ (HPOSI)	00H	
	垂直表示開始位置レジスタ (VPOSI)	00H	
	VRAM書き込みアドレス・レジスタ1 (VRAMAC)	00H	
	VRAM書き込みアドレス・レジスタ2 (VRAMAR)	00H	
	キャラクタ・サイズ制御レジスタ (CSIZE)	00H	
	端子モード設定レジスタ (TERMMD)	00H	
	表示キャラクタ・レジスタ (DPCCONT)	不定	
ROMコレクション	アドレス・レジスタ0, 1 (CORAD0, CORAD1)	0000H	
	コントロール・レジスタ (CORCN)	00H	
割り込み	要求フラグ・レジスタ (IF0L, IF0H)	00H	
	マスク・フラグ・レジスタ (MK0L, MK0H)	FFH	
	優先順位指定フラグ・レジスタ (PR0L, PR0H)	FFH	
	外部割り込み立ち上がりエッジ許可レジスタ (EGP)	00H	
	外部割り込み立ち下がりエッジ許可レジスタ (EGN)	00H	
パワーオン・クリア	POCステータス・レジスタ (POCS)	保持 <sup>注1</sup>	
	POC電圧選択レジスタ (POCV)	保持 <sup>注2</sup>	

注1 . パワーオン・クリアによるリセットのみ01Hになります。

2 . パワーオン・クリアによるリセットのみ00Hになります。

## 21.2 停電検出機能

パワーオン・クリアによるリセットが発生すると、POCステータス・レジスタ (POCS) のビット0 (POCM) が1にセットされます。ただし、 $\overline{\text{RESET}}$ 端子によるリセットおよびウォッチドッグ・タイマによるリセットが発生した場合には、POCMは以前の状態を保持します。

パワーオン・クリアによるリセット解除後 (0000H番地からプログラム実行開始後)、このPOCMを検出することで停電状態を検出することができます。

また、POC電圧選択レジスタ (POCV) のビット0 (POCVSEL) によりパワーオン・クリア発生電圧を選択することができます。

図21 - 5 POCステータス・レジスタ (POCS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POCS	0	0	0	0	0	0	0	POCM	FF1BH	保持 <sup>注</sup>	R&Reset

POCM	パワーオン・クリアの発生状態検出
0	パワーオン・クリア未発生
1 <sup>注</sup>	パワーオン・クリアによるリセット発生

注 パワーオン・クリアによるリセットのみ01Hとなります。 $\overline{\text{RESET}}$ 端子によるリセットおよびウォッチドッグ・タイマによるリセットでは、リセットされません。

図21 - 6 POC電圧選択レジスタ (POCV) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POCV	0	0	0	0	0	0	0	POCVSEL	FF19H	保持 <sup>注</sup>	R/W

POCVSEL	パワーオン・クリア発生電圧の選択
0	4.5 V (4.3 ± 0.2 V) 未満でパワーオン・クリア発生
1	3.5 V (3.3 ± 0.2 V) 未満でパワーオン・クリア発生

注 パワーオン・クリアによるリセットのみ00Hとなります。 $\overline{\text{RESET}}$ 端子によるリセットおよびウォッチドッグ・タイマによるリセットでは、リセットされません。

注意1 . パワーオン・クリア発生電圧を3.5 V未満として使用 (POCVSEL = 1) の時は、パワーオン・クリアによるリセットが発生した時点でPOCVSEL = 0 となるため、リセット解除電圧は4.5 V以上となります。リセット解除後の初期ルーチンで再びPOCVSEL = 1 に設定してください。

2 . パワーオン・クリア発生電圧を3.5 V未満として使用 (POCVSEL = 1) の時は、倍速TVモード (OSDSTAのビット6 (CRTC) = 1) は使用できません。

備考 POCs, POCV以外の特殊機能レジスタのパワーオン・クリアによるリセット時の値は、 $\overline{\text{RESET}}$ 端子によるリセットおよびウォッチドッグ・タイマによるリセット時の値と同じになります (表21 - 1参照)。

[メモ]



## 第22章 $\mu$ PD178F048

$\mu$ PD178F048は、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵した製品です。フラッシュ・メモリ製品（ $\mu$ PD178F048）とマスクROM製品（ $\mu$ PD178046, 178048）との違いを表22 - 1に示します。

表22 - 1  $\mu$ PD178F048とマスクROM製品の違い

項 目		$\mu$ PD178F048	$\mu$ PD178046, 178048
内部メモリ	ROM構造	フラッシュ・メモリ	マスクROM
	ROM容量	60 Kバイト	$\mu$ PD178046 : 48Kバイト $\mu$ PD178048 : 60Kバイト
ROMコレクション		なし	あり
メモリ・サイズ切り替えレジスタ（IMS）による内部ROM容量の設定		マスクROM製品に対応した値	$\mu$ PD178046 : 4CH $\mu$ PD178048 : 4FH
IC端子		なし	あり
V <sub>PP</sub> 端子		あり	なし
電気的特性，半田付け推奨条件		フラッシュ・メモリ製品とマスクROM製品で異なる場合があります。	

## 22.1 メモリ・サイズ切り替えレジスタ (IMS)

μPD178F048は、メモリ・サイズ切り替えレジスタ (IMS) により、内部メモリ容量を選択できます。IMSを設定することにより、内部メモリ容量の異なるマスクROM製品と同一のメモリ・マップにできます。

IMSは、8ビット・メモリ操作命令で設定します。

リセット時は、CFHになります。

**注意** プログラムの初期設定としてIMSには必ず4CHまたは4FHを設定してください。

なお、リセットによりIMSはCFHになりますので、リセット後は必ず4CHまたは4FHに設定してください。

図22 - 1 メモリ・サイズ切り替えレジスタ (IMS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0	FFF0H	CFH	R/W

RAM2	RAM1	RAM0	内部高速RAM容量の選択			
0	1	0	512バイト			
上記以外			設定禁止			

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択			
1	1	0	0	48 Kバイト			
1	1	1	1	60 Kバイト			
上記以外				設定禁止			

マスクROM製品と同一のメモリ・マップにするIMSの設定値を表22 - 2 に示します。

表22 - 2 メモリ・サイズ切り替えレジスタの設定値

対象製品	IMSの設定値
μPD178046	4CH
μPD178048	4FH

## 22.2 内部拡張RAMサイズ切り替えレジスタ (IXS)

内部拡張RAMサイズ切り替えレジスタ (IXS) は、内部拡張RAM容量を設定するレジスタです。

IXSは、8ビット・メモリ操作命令で設定します。

リセット時は、0CHになります。

**注意** プログラムの初期設定としてIXSには必ず0BHを設定してください。なお、リセットによりIXSは0CHになりますので、リセット後は必ず0BHに設定してください。

図22 - 2 内部拡張RAMサイズ切り替えレジスタ (IXS) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IXS	0	0	0	IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	FFF4H	0CH	R/W

IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
0	1	0	1	1	512バイト
上記以外					設定禁止

## 22.3 フラッシュ・メモリ・プログラミング

$\mu$ PD178F048に内蔵されているプログラム・メモリはフラッシュ・メモリです。

フラッシュ・メモリへの書き込みは、ターゲット・システムに実装した状態（オンボード）で行うことができます。専用フラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3））をホスト・マシンおよびターゲット・システムに接続して書き込みます。

**備考** FL-PR3は、株式会社内藤電誠町田製作所の製品です。

### 22.3.1 通信方式の選択

フラッシュ・メモリへの書き込みは、Flashpro を使用し、シリアル通信で行います。表22 - 3 に示す通信方式から選択して書き込みを行います。この通信方式の選択は、図22 - 3 に示すようなフォーマットを用います。表22 - 3 に示す $V_{PP}$ パルス数で、それぞれの通信方式が選択されます。

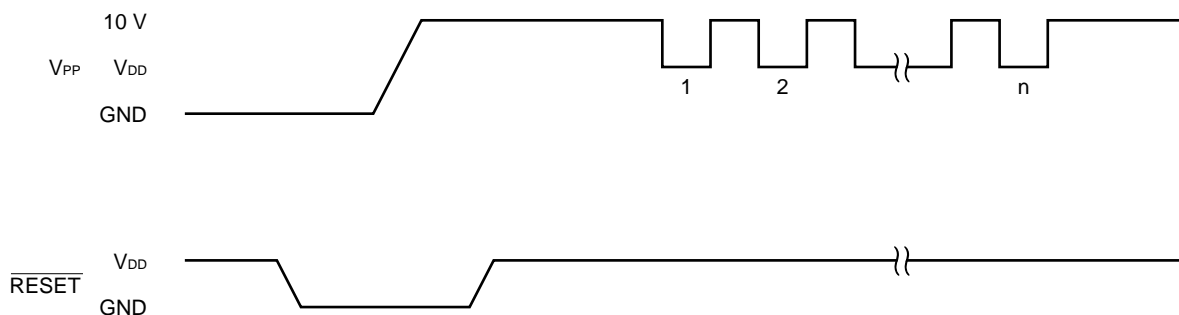
表22 - 3 通信方式一覧

通信方式	使用端子	$V_{PP}$ パルス数
3線式シリアルI/O (SIO3)	SI3/P70 SO3/P71 $\overline{SCK3/P72}$	0
★ 疑似3線式 <sup>注</sup>	P50 (シリアル・クロック入力) P51 (シリアル・データ出力) P52 (シリアル・データ入力)	12

**注** ポートをソフトウェアで制御してシリアル転送を行います。

**注意** 通信方式は、必ず表22 - 3 に示す $V_{PP}$ パルス数で選択してください。

図22 - 3 通信方式選択フォーマット



### 22.3.2 フラッシュ・メモリ・プログラミングの機能

選択された通信方式による各種コマンド/データ送受信により、フラッシュ・メモリの書き込みなどの動作を行います。主な機能を表22 - 4 に示します。

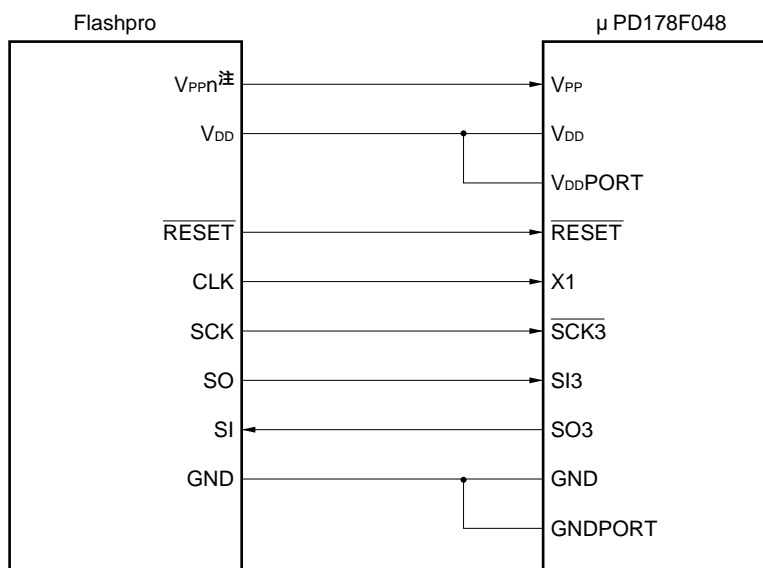
表22 - 4 フラッシュ・メモリ・プログラミングの主な機能

機 能	説 明
一括消去	全メモリの内容を消去します。
一括ブランク・チェック	全メモリの消去状態を確認します。
データ・ライト	書き込み開始アドレスおよび書き込みデータ数(バイト数)をもとに、フラッシュ・メモリに書き込みを行います。
一括ベリファイ	全メモリの内容と入力したデータを確認します。

### 22.3.3 Flashpro の接続

Flashpro とμPD178F048との接続は、通信方式(3線式シリアルI/O, 疑似3線式)によって異なります。それぞれの場合の接続図を図22 - 4, 図22 - 5 に示します。

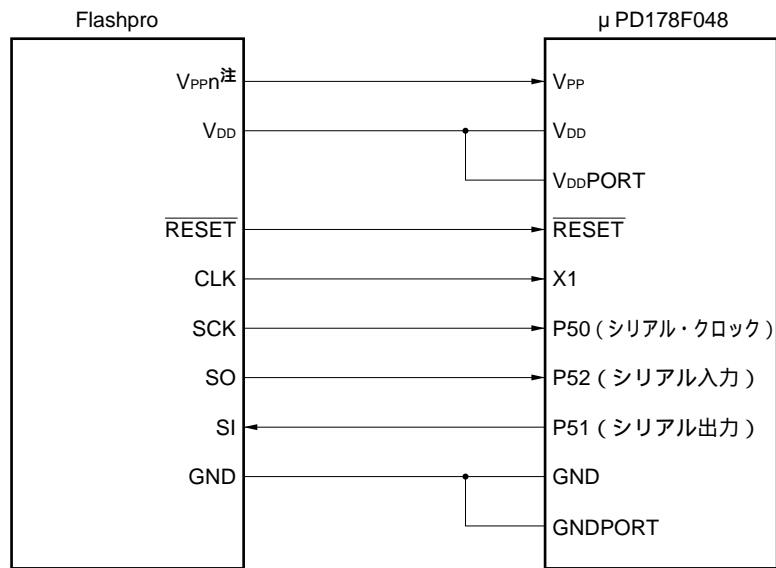
★ 図22 - 4 3線式シリアルI/O方式でのFlashpro の接続



注 n = 1, 2

★

図22 - 5 疑似3線式でのFlashpro の接続



注 n = 1, 2

### 22.3.4 Flashpro (PG-FP3) での設定例

Flashpro (PG-FP3) を使用してフラッシュ・メモリへ書き込む場合は、次のように設定してください。

パラメータ・ファイルをロードしてください。

タイプ・コマンドでシリアル的方式とシリアル・クロックを選択してください。

PG-FP3での設定例を表22 - 5 に示します。

表22 - 5 Flashpro (PG-FP3) での設定例

通信方式	Flashpro での設定		V <sub>PP</sub> パルス数 <sup>注</sup>
3線式シリアルI/O (SIO3)	COMM PORT	SIO ch-0	0
	CPU CLK	On Target Board	
		In Flashpro	
	On Target Board	4.1943 MHz	
	SIO CLK	1.0 MHz	
	In Flashpro	4.0 MHz	
SIO CLK	1.0 MHz		
★ 疑似3線式	COMM PORT	Port A	12
	CPU CLK	On Target Board	
		In Flashpro	
	On Target Board	4.1943 MHz	
	SIO CLK	1.0 kHz	
	In Flashpro	4.0 MHz	
SIO CLK	1.0 kHz		

注 シリアル通信のイニシャライズ時にFlashpro (PG-FP3) から供給されるV<sub>PP</sub>パルス数です。このパルス数によって通信に使用する端子が決定されます。

備考 COMM PORT : シリアル・ポートの選択

SIO CLK : シリアル・クロック周波数の選択

CPU CLK : 入力されるCPUクロック源の選択

★ 22.3.5 フラッシュ書き込み時の注意事項

μPD178F048は通常のユーザROMエリア（0000H～FFFFH）以外にキャラクタROMエリア（10000H～13FFFFH）が存在します。そのため書き込み時にはそれぞれのエリア・アドレスを下記方法により選択してから書き込みを行ってください。

エリア・アドレスの選択方法

- (1) TYPE ( ) をクリックし、TYPEウインドウを起動する。
- (2) Block/Area... ( ) を選択しBLOCK NUMBERウインドウを起動する。
- (3) 次のように書き込みエリア・アドレスを指定する。

<ユーザ・プログラム（\*.HEX）の書き込み>

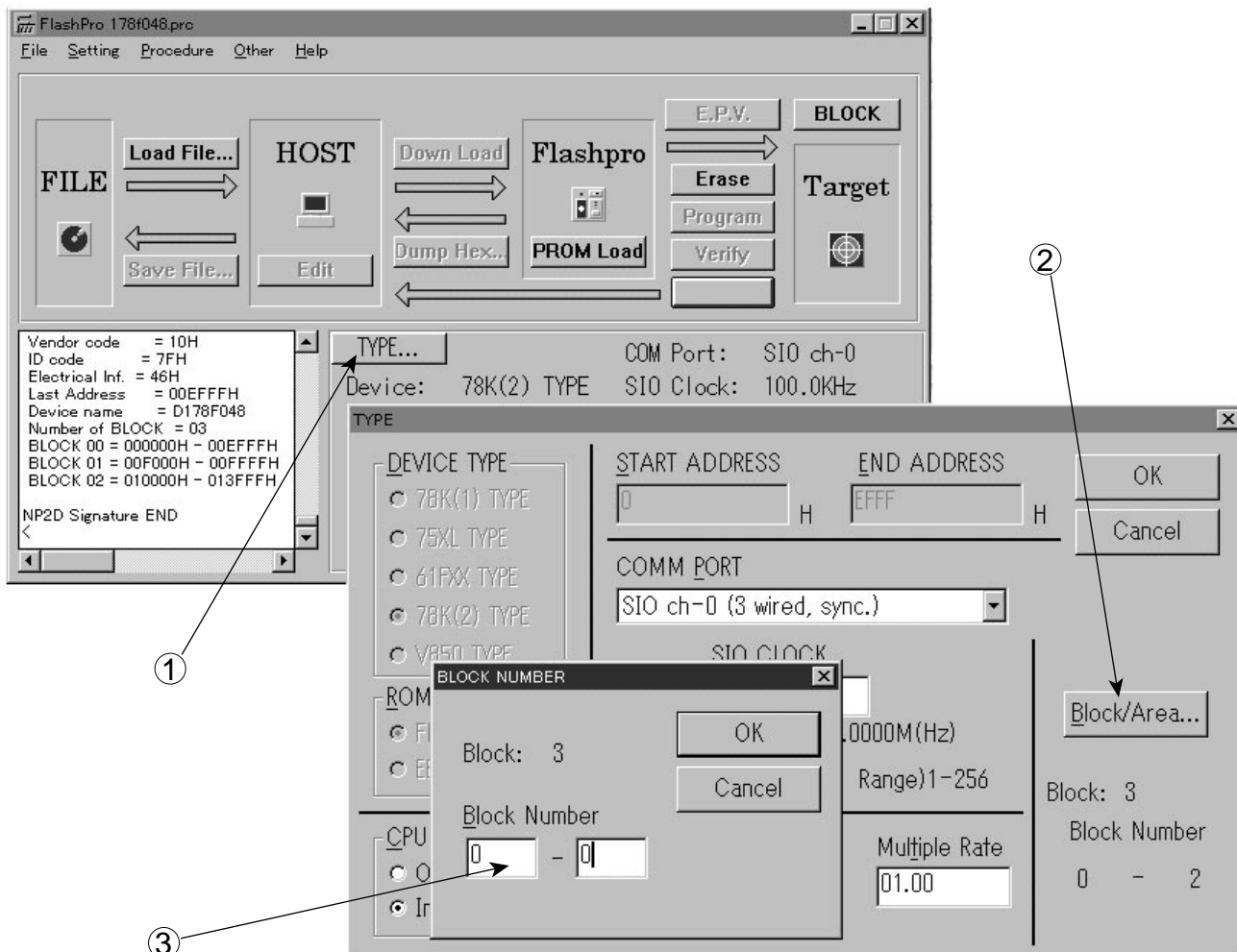
Block Number ( ) に “ 0 ” - “ 0 ” を書き込み、BLOCK0 (0000H-EFFFH) を指定

<キャラクタ・パターン（\*.OUT, \*.SAV）注の書き込み>

Block Number ( ) に “ 2 ” - “ 2 ” を書き込み、BLOCK2 (10000H-13FFFFH) を指定

注 必ず当社からご提供するキャラクタ・フォント・パターン・エディタの出力データをご使用ください。

図22 - 6 エリア・アドレス選択画面





## 第23章 命令セットの概要

μPD178048サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

## 23.1 凡 例

### 23.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[ ]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・ # : イミディエト・データ指定
- ・ ! : 絶対アドレス指定
- ・ \$ : 相対アドレス指定
- ・ [ ] : 間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[ ]記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表23 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X(R0),A(R1),C(R2),B(R3),E(R4),D(R5),L(R6),H(R7)
rp	AX(RP0),BX(RP1),DX(RP2),HX(RP3)
sfr	特殊機能レジスタ略号 <sup>注</sup>
sfrp	特殊機能レジスタ略号(16ビット操作可能なレジスタの偶数アドレスのみ) <sup>注</sup>
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル(偶数アドレスのみ)
addr16	0000H-FFFFH イミディエト・データまたはラベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFH イミディエト・データまたはラベル
addr5	0040H-007FH イミディエト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 3 特殊機能レジスタ一覧を参照してください。

### 23.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスクابل割り込み処理中フラグ
( )	: ( )内のアドレスまたはレジスタの内容で示されるメモリの内容
$\times_H, \times_L$	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積 (AND)
	: 論理和 (OR)
$\nabla$	: 排他的論理和 (exclusive OR)
	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

### 23.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
$\times$	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

## 23.2 オペレーション一覧

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r byte			
		saddr, #byte	3	6	7	(saddr) byte			
		sfr, #byte	3	-	7	sfr byte			
		A, r <small>注3</small>	1	2	-	A r			
		r, A <small>注3</small>	1	2	-	r A			
		A, saddr	2	4	5	A (saddr)			
		saddr, A	2	4	5	(saddr) A			
		A, sfr	2	-	5	A sfr			
		sfr, A	2	-	5	sfr A			
		A, laddr16	3	8	9	A (addr16)			
		laddr16, A	3	8	9	(addr16) A			
		PSW, #byte	3	-	7	PSW byte	x	x	x
		A, PSW	2	-	5	A PSW			
		PSW, A	2	-	5	PSW A	x	x	x
		A, [ DE ]	1	4	5	A (DE)			
		[ DE ] A	1	4	5	(DE) A			
		A, [ HL ]	1	4	5	A (HL)			
		[ HL ] A	1	4	5	(HL) A			
		A, [ HL + byte ]	2	8	9	A (HL + byte)			
		[ HL + byte ] A	2	8	9	(HL + byte) A			
		A, [ HL + B ]	1	6	7	A (HL + B)			
		[ HL + B ] A	1	6	7	(HL + B) A			
		A, [ HL + C ]	1	6	7	A (HL + C)			
[ HL + C ] A	1	6	7	(HL + C) A					

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはPCCで選択したCPUクロック (fCPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, r <sup>注3</sup>	1	2	-	A r			
		A, saddr	2	4	6	A (saddr)			
		A, sfr	2	-	6	A (sfr)			
		A, laddr16	3	8	10	A (addr16)			
		A, [ DE ]	1	4	6	A (DE)			
		A, [ HL ]	1	4	6	A (HL)			
		A, [ HL + byte ]	2	8	10	A (HL + byte)			
		A, [ HL + B ]	2	8	10	A (HL + B)			
		A, [ HL + C ]	2	8	10	A (HL + C)			
16ビット・データ転送	MOVW	rp, #word	3	6	-	rp word			
		saddrp, #word	4	8	10	(saddrp) word			
		sfrp, #word	4	-	10	sfrp word			
		AX, saddrp	2	6	8	AX (saddrp)			
		saddrp, AX	2	6	8	(saddrp) AX			
		AX, sfrp	2	-	8	AX sfrp			
		sfrp, AX	2	-	8	sfrp AX			
		AX, rp <sup>注4</sup>	1	4	-	AX rp			
		rp, AX <sup>注4</sup>	1	4	-	rp AX			
		AX, laddr16	3	10	12	AX (addr16)			
		laddr16, AX	3	10	12	(addr16) AX			
	XCHW	AX, rp <sup>注4</sup>	1	4	-	AX rp			
8ビット演算	ADD	A, #byte	2	4	-	A, CY A + byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte	x	x	x
		A, r <sup>注3</sup>	2	4	-	A, CY A + r	x	x	x
		r, A	2	4	-	r, CY r + A	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr)	x	x	x
		A, laddr16	3	8	9	A, CY A + (addr16)	x	x	x
		A, [ HL ]	1	4	5	A, CY A + (HL)	x	x	x
		A, [ HL + byte ]	2	8	9	A, CY A + (HL + byte)	x	x	x
		A, [ HL + B ]	2	8	9	A, CY A + (HL + B)	x	x	x
		A, [ HL + C ]	2	8	9	A, CY A + (HL + C)	x	x	x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

4 . rp = BC, DE, HLのときのみ。

備考1 . 命令の1クロックはPCCで選択したCPUクロック (fCPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	4	-	A, CY A + byte + CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) + byte + CY	x	x	x
		A, r 注3	2	4	-	A, CY A + r + CY	x	x	x
		r, A	2	4	-	r, CY r + A + CY	x	x	x
		A, saddr	2	4	5	A, CY A + (saddr) + CY	x	x	x
		A, !addr16	3	8	9	A, CY A + (addr16) + CY	x	x	x
		A, [HL]	1	4	5	A, CY A + (HL) + CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A + (HL + byte) + CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A + (HL + B) + CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A + (HL + C) + CY	x	x	x
	SUB	A, #byte	2	4	-	A, CY A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte	x	x	x
		A, r 注3	2	4	-	A, CY A - r	x	x	x
		r, A	2	4	-	r, CY r - A	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr)	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16)	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C)	x	x	x
	SUBC	A, #byte	2	4	-	A, CY A - byte - CY	x	x	x
		saddr, #byte	3	6	8	(saddr), CY (saddr) - byte - CY	x	x	x
		A, r 注3	2	4	-	A, CY A - r - CY	x	x	x
		r, A	2	4	-	r, CY r - A - CY	x	x	x
		A, saddr	2	4	5	A, CY A - (saddr) - CY	x	x	x
		A, !addr16	3	8	9	A, CY A - (addr16) - CY	x	x	x
		A, [HL]	1	4	5	A, CY A - (HL) - CY	x	x	x
		A, [HL + byte]	2	8	9	A, CY A - (HL + byte) - CY	x	x	x
		A, [HL + B]	2	8	9	A, CY A - (HL + B) - CY	x	x	x
		A, [HL + C]	2	8	9	A, CY A - (HL + C) - CY	x	x	x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはPCCで選択したCPUクロック (fCPU) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	AND	A, #byte	2	4	-	A A byte			x
		saddr, #byte	3	6	8	(saddr) (saddr) byte			x
		A, r <sup>注3</sup>	2	4	-	A A r			x
		r, A	2	4	-	r r A			x
		A, saddr	2	4	5	A A (saddr)			x
		A, !addr16	3	8	9	A A (addr16)			x
		A, [HL]	1	4	5	A A [HL]			x
		A, [HL + byte]	2	8	9	A A [HL + byte]			x
		A, [HL + B]	2	8	9	A A [HL + B]			x
		A, [HL + C]	2	8	9	A A [HL + C]			x
	OR	A, #byte	2	4	-	A A byte			x
		saddr, #byte	3	6	8	(saddr) (saddr) byte			x
		A, r <sup>注3</sup>	2	4	-	A A r			x
		r, A	2	4	-	r r A			x
		A, saddr	2	4	5	A A (saddr)			x
		A, !addr16	3	8	9	A A (addr16)			x
		A, [HL]	1	4	5	A A (HL)			x
		A, [HL + byte]	2	8	9	A A (HL + byte)			x
		A, [HL + B]	2	8	9	A A (HL + B)			x
		A, [HL + C]	2	8	9	A A (HL + C)			x
	XOR	A, #byte	2	4	-	A A ∨ byte			x
		saddr, #byte	3	6	8	(saddr) (saddr) ∨ byte			x
		A, r <sup>注3</sup>	2	4	-	A A ∨ r			x
		r, A	2	4	-	r r ∨ A			x
		A, saddr	2	4	5	A A ∨ (saddr)			x
		A, !addr16	3	8	9	A A ∨ (addr16)			x
		A, [HL]	1	4	5	A A ∨ (HL)			x
		A, [HL + byte]	2	8	9	A A ∨ (HL + byte)			x
		A, [HL + B]	2	8	9	A A ∨ (HL + B)			x
		A, [HL + C]	2	8	9	A A ∨ (HL + C)			x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはPCCで選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	4	-	A - byte	x	x	x
		saddr, #byte	3	6	8	(saddr) - byte	x	x	x
		A, r <sup>注3</sup>	2	4	-	A - r	x	x	x
		r, A	2	4	-	r - A	x	x	x
		A, saddr	2	4	5	A - (saddr)	x	x	x
		A, !addr16	3	8	9	A - (addr16)	x	x	x
		A, [HL]	1	4	5	A - (HL)	x	x	x
		A, [HL + byte]	2	8	9	A - (HL + byte)	x	x	x
		A, [HL + B]	2	8	9	A - (HL + B)	x	x	x
		A, [HL + C]	2	8	9	A - (HL + C)	x	x	x
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY AX + word	x	x	x
	SUBW	AX, #word	3	6	-	AX, CY AX - word	x	x	x
	CMPW	AX, #word	3	6	-	AX - word	x	x	x
乗除算	MULU	X	2	16	-	AX A x X			
	DIVUW	C	2	25	-	AX (商), (X 余り) AX ÷ C			
増減	INC	r	1	2	-	r r + 1	x	x	
		saddr	2	4	6	(saddr) (saddr) + 1	x	x	
	DEC	r	1	2	-	r r - 1	x	x	
		saddr	2	4	6	(saddr) (saddr) - 1	x	x	
	INCW	rp	1	4	-	rp rp + 1			
DECW	rp	1	4	-	rp rp - 1				
ローテート	ROR	A, 1	1	2	-	(CY, A <sub>7</sub> A <sub>0</sub> , A <sub>m-1</sub> A <sub>m</sub> ) x 1 回			x
	ROL	A, 1	1	2	-	(CY, A <sub>0</sub> A <sub>7</sub> , A <sub>m+1</sub> A <sub>m</sub> ) x 1 回			x
	RORC	A, 1	1	2	-	(CY A <sub>0</sub> , A <sub>7</sub> CY, A <sub>m-1</sub> A <sub>m</sub> ) x 1 回			x
	ROLC	A, 1	1	2	-	(CY A <sub>7</sub> , A <sub>0</sub> CY, A <sub>m+1</sub> A <sub>m</sub> ) x 1 回			x
	ROR4	[HL]	2	10	12	A <sub>3-0</sub> (HL) <sub>β-0</sub> , (HL) <sub>γ-4</sub> A <sub>3-0</sub> ,			
						(HL) <sub>β-0</sub> (HL) <sub>γ-4</sub>			
ROL4	[HL]	2	10	12	A <sub>3-0</sub> (HL) <sub>γ-4</sub> , (HL) <sub>β-0</sub> A <sub>3-0</sub> ,				
					(HL) <sub>γ-4</sub> (HL) <sub>β-0</sub>				
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	x	x	x
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	x	x	x

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはPCCで選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。



命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY ( saddr.bit )			x
		CY, sfr.bit	3	-	7	CY sfr.bit			x
		CY, A.bit	2	4	-	CY A.bit			x
		CY, PSW.bit	3	-	7	CY PSW.bit			x
		CY, [ HL ]bit	2	6	7	CY ( HL )bit			x
		saddr.bit, CY	3	6	8	( saddr.bit ) CY			
		sfr.bit, CY	3	-	8	sfr.bit CY			
		A.bit, CY	2	4	-	A.bit CY			
		PSW.bit, CY	3	-	8	PSW.bit CY	x	x	
		[ HL ]bit, CY	2	6	8	( HL )bit CY			
	AND1	CY, saddr.bit	3	6	7	CY CY ( saddr.bit )			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY, [ HL ]bit	2	6	7	CY CY ( HL )bit			x
	OR1	CY, saddr.bit	3	6	7	CY CY ( saddr.bit )			x
		CY, sfr.bit	3	-	7	CY CY sfr.bit			x
		CY, A.bit	2	4	-	CY CY A.bit			x
		CY, PSW.bit	3	-	7	CY CY PSW.bit			x
		CY, [ HL ]bit	2	6	7	CY CY ( HL )bit			x
	XOR1	CY, saddr.bit	3	6	7	CY CY $\nabla$ ( saddr.bit )			x
		CY, sfr.bit	3	-	7	CY CY $\nabla$ sfr.bit			x
		CY, A.bit	2	4	-	CY CY $\nabla$ A.bit			x
		CY, PSW.bit	3	-	7	CY CY $\nabla$ PSW.bit			x
		CY, [ HL ]bit	2	6	7	CY CY $\nabla$ ( HL )bit			x
	SET1	saddr.bit	2	4	6	( saddr.bit ) 1			
		sfr.bit	3	-	8	sfr.bit 1			
		A.bit	2	4	-	A.bit 1			
		PSW.bit	2	-	6	PSW.bit 1	x	x	x
		[ HL ]bit	2	6	8	( HL )bit 1			

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはPCCで選択したCPUクロック ( fCPU ) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	CLR1	saddr.bit	2	4	6	(saddr.bit) 0			
		sfr.bit	3	-	8	sfr.bit 0			
		A.bit	2	4	-	A.bit 0			
		PSW.bit	2	-	6	PSW.bit 0	x	x	x
		[HL]bit	2	6	8	(HL)bit 0			
	SET1	CY	1	2	-	CY 1			1
	CLR1	CY	1	2	-	CY 0			0
NOT1	CY	1	2	-	CY CY			x	
コール・リターン	CALL	laddr16	3	7	-	(SP - 1) (PC + 3) <sub>H</sub> , (SP - 2) (PC + 3) <sub>L</sub> ,			
						PC addr16, SP SP - 2			
	CALLF	laddr11	2	5	-	(SP - 1) (PC + 2) <sub>H</sub> , (SP - 2) (PC + 2) <sub>L</sub> ,			
						PC <sub>15-11</sub> 00001, PC <sub>10-0</sub> addr11,			
						SP SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1) (PC + 1) <sub>H</sub> , (SP - 2) (PC + 1) <sub>L</sub> ,			
						PC <sub>H</sub> (00000000, addr5 + 1) <sub>H</sub> ,			
						PC <sub>L</sub> (00000000, addr5) <sub>L</sub> , SP SP - 2			
	BRK		1	6	-	(SP - 1) PSW, (SP - 2) (PC + 1) <sub>H</sub> ,			
						(SP - 3) (PC + 1) <sub>L</sub> , PC <sub>H</sub> (003FH) <sub>H</sub> ,			
PC <sub>L</sub> (003EH) <sub>L</sub> , SP SP - 3, IE 0									
RET		1	6	-	PC <sub>H</sub> (SP + 1) <sub>H</sub> , PC <sub>L</sub> (SP) <sub>L</sub> , SP SP + 2				
RETI		1	6	-	PC <sub>H</sub> (SP + 1) <sub>H</sub> , PC <sub>L</sub> (SP) <sub>L</sub> ,	R	R	R	
					PSW (SP + 2), SP SP + 3, NMIS 0				
RETB		1	6	-	PC <sub>H</sub> (SP + 1) <sub>H</sub> , PC <sub>L</sub> (SP) <sub>L</sub> ,	R	R	R	
					PSW (SP + 2), SP SP + 3				
スタック操作	PUSH	PSW	1	2	-	(SP - 1) PSW, SP SP - 1			
		rp	1	4	-	(SP - 1) rp <sub>H</sub> , (SP - 2) rp <sub>L</sub> , SP SP - 2			
	POP	PSW	1	2	-	PSW (SP), SP SP + 1	R	R	R
		rp	1	4	-	rp <sub>H</sub> (SP + 1) <sub>H</sub> , rp <sub>L</sub> (SP) <sub>L</sub> , SP SP + 2			
	MOVW	SP, #word	4	-	10	SP word			
		SP, AX	2	-	8	SP AX			
AX, SP		2	-	8	AX SP				

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはPCCで選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
無条件分岐	BR	laddr16	3	6	-	PC addr16			
		\$addr16	2	6	-	PC PC + 2 + jdisp8			
		AX	2	8	-	PC <sub>H</sub> A, PC <sub>L</sub> X			
条件付き分岐	BC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr16	2	6	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr16	2	6	-	PC PC + 2 + jdisp8 if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	PC PC + 3 + jdisp8 if ( saddr.bit ) = 1			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	PC PC + 3 + jdisp8 if PSW.bit = 1			
		[ HL ]bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if ( HL ).bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	PC PC + 4 + jdisp8 if ( saddr.bit ) = 0			
		sfr.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[ HL ]bit, \$addr16	3	10	11	PC PC + 3 + jdisp8 if ( HL ).bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	PC PC + 4 + jdisp8 if ( saddr.bit ) = 1			
						then reset( saddr.bit )			
		sfr.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if sfr.bit = 1			
						then reset sfr.bit			
		A.bit, \$addr16	3	8	-	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	-	12	PC PC + 4 + jdisp8 if PSW.bit = 1		x	x	x
then reset PSW.bit									
[ HL ]bit, \$addr16	3	10	12	PC PC + 3 + jdisp8 if ( HL ).bit = 1					
				then reset( HL ).bit					

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはPCCで選択したCPUクロック ( f<sub>CPU</sub> ) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
条件付き分岐	DBNZ	B, \$addr16	2	6	-	B B - 1, then PC PC + 2 + jdisp8 if B = 0				
		C, \$addr16	2	6	-	C C - 1, then PC PC + 2 + jdisp8 if C = 0				
	saddr, \$addr16	3	8	10	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) = 0					
	CPU制御	SEL	RBn	2	4	-	RBS1, 0 n			
		NOP		1	2	-	No Operation			
EI			2	-	6	IE = 1( Enable Interrupt )				
DI			2	-	6	IE = 0( Disable Interrupt )				
HALT			2	6	-	Set HALT Mode				
STOP			2	6	-	Set STOP Mode				

注1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考1 . 命令の1クロックはPCCで選択したCPUクロック (f<sub>CPU</sub>) の1クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

## 23.3 アドレッシング別命令一覧

### (1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r <sup>注</sup>	sfr	saddr	!addr16	PSW	[ DE ]	[ HL ]	[ HL + byte ] [ HL + B ] [ HL + C ]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[ DE ]		MOV											
[ HL ]		MOV											ROR4 ROL4
[ HL + byte ] [ HL + B ] [ HL + C ]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp <sup>注</sup>	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW <sup>注</sup>						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL]bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL]bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第 2 オペランド 第 1 オペランド	AX	!addr16	!addr11	[ addr5 ]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP



## 付録A 開発ツール

μPD178048サブシリーズを使用するシステム開発のために次のような開発ツールを用意しています。  
図A - 1に開発ツール構成を示します。

### PC98-NXシリーズへの対応について

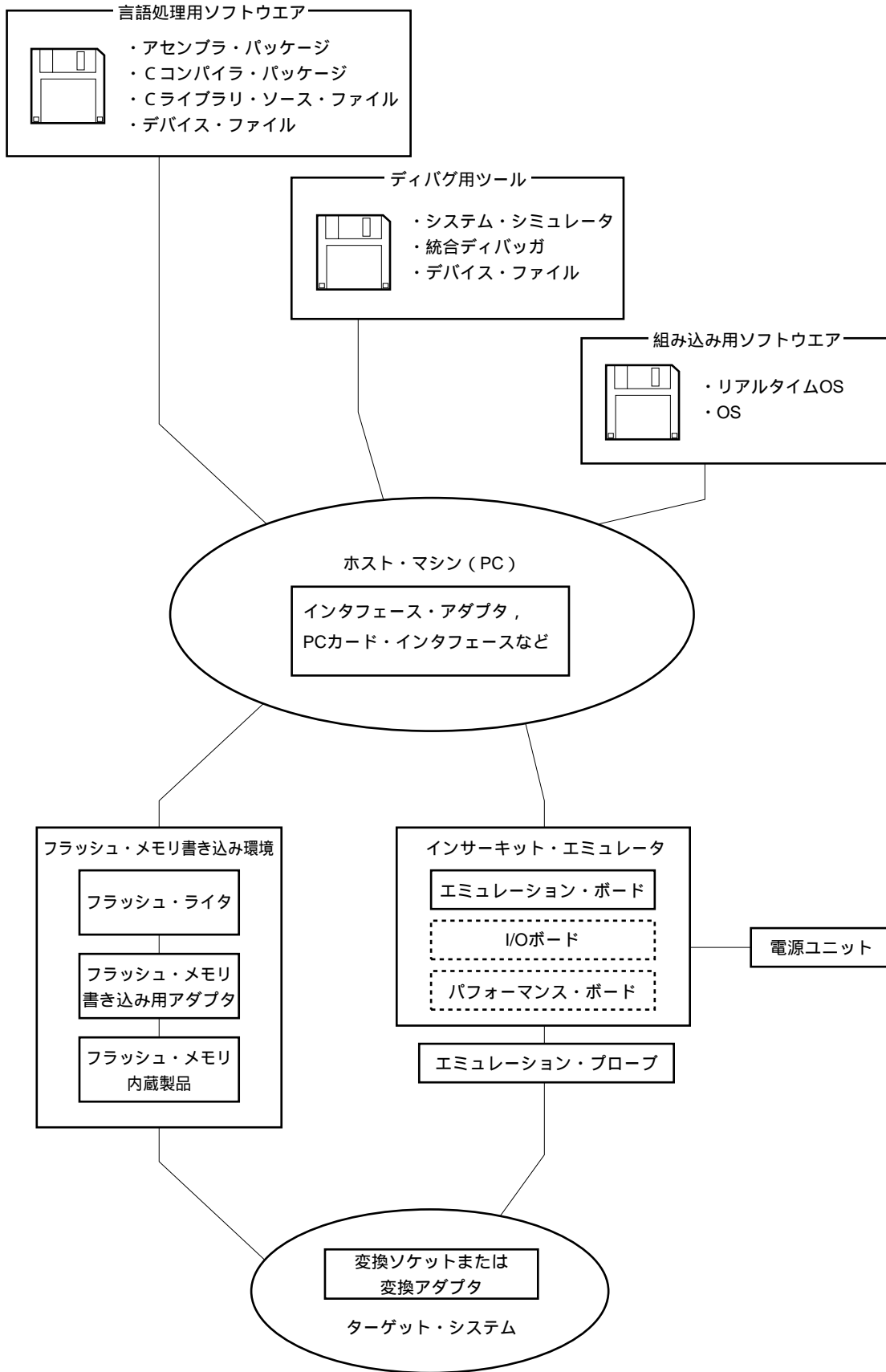
特に断りのないかぎり、IBM PC/AT™互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

### Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 3.1
- Windows95
- WindowsNT™ Ver.4.0

図A - 1 開発ツール構成



備考 破線の部分は開発環境によって異なります。A.3.1 ハードウェアを参照してください。

## A.1 言語処理用ソフトウェア

RA78K0 アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。</p> <p>別売のデバイス・ファイル (DF178048) と組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。</p> <p>オーダー名称: μS××××RA78K0</p>
CC78K0 Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。</p> <p>オーダー名称: μS××××CC78K0</p>
DF178048 <sup>注</sup> デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>別売の各ツール (RA78K0, CC78K0, SM78K0, ID78K0-NS) と組み合わせて使用します。</p> <p>対応OS, ホスト・マシンは組み合わせられる各ツールに依存します。</p> <p>オーダー名称: μS××××DF178048</p>
CC78K0-L Cライブラリ・ソース・ファイル	<p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。</p> <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。</p> <p>ソース・ファイルのため、動作環境はOSに依存しません。</p> <p>オーダー名称: μS××××CC78K0-L</p>

注 DF178048は、RA78K0, CC78K0, SM78K0, ID78K0-NSのすべての製品に共通に使用できます。

**備考** オータ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0  
 μS××××CC78K0  
 μS××××DF178048  
 μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows <sup>注</sup>	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows <sup>注</sup>	3.5インチ2HC FD
BB13		英語Windows <sup>注</sup>	
3P16	HP9000シリーズ700 <sup>TM</sup>	HP-UX <sup>TM</sup> ( Rel.10.10 )	DAT ( DDS )
3K13	SPARCstation <sup>TM</sup>	SunOS <sup>TM</sup> ( Rel. 4 . 1 . 4 ) ,	3.5インチ2HC FD
3K15		Solaris <sup>TM</sup> ( Rel. 2 . 5 . 1 )	1/4インチCGMT
3R13	NEWS <sup>TM</sup> ( RISC )	NEWS-OS <sup>TM</sup> ( Rel. 6 . 1 )	3.5インチ2HC FD

**注** DOS環境でも動作します。

## A.2 フラッシュ・メモリ書き込み用ツール

Flashpro (型番 FL-PR3, PG-FP3) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライターです。
FA-80GK フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro に接続して使用します。 ・FA-80GK : 80ピン・プラスチックTQFP ( GK-BE9タイプ ) 用
Flashpro コントローラ	パソコン上から制御するプログラムです。Flashpro に添付されています。

**備考** Flashpro ，FA-80GKは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 ( TEL ( 044 ) 822-3813 )

## A.3 デバッグ用ツール

### A.3.1 ハードウェア

IE-78K0-NS インサーキット・エミュレータ	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッグ (ID78K0-NS) に対応しています。電源ユニット、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-MC-PS-B 電源ユニット	AC100 ~ 240 Vのコンセントから電源を供給するためのアダプタです。
IE-78K0-NS-PA パフォーマンス・ボード	IE-78K0-NSの機能を拡張するためのボードです。IE-78K0-NS-PAを追加することにより、カバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、デバッグ機能がより強化されます。
IE-70000-98-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです (Cバス対応)。
IE-70000-CD-IF-A PCカード・インタフェース	IE-78K0-NSのホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブルです (PCMCIAソケット対応)。
IE-70000-PC-IF-C インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタです (ISAバス対応)。
IE-70000-PCI-IF インタフェース・アダプタ	IE-78K0-NSのホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタです。
IE-178048-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボードです。インサーキット・エミュレータと組み合わせて使用します。
NP-80GK エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。80ピン・プラスチックTQFP (GK-BE9タイプ) 用です。
TGK-080SDW 変換アダプタ (図A-2参照)	80ピン・プラスチックTQFP (GK-BE9タイプ) を実装できるように作られたターゲット・システムの基板と、NP-80GKを接続するための変換ソケットです。

**備考1** . NP-80GKは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (044) 822-3813)

**2** . TGK-080SDWは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部 (TEL (03) 3820-7112)

大阪電子部 (TEL (06) 6244-6672)

**3** . TGK-080SDWは1個単位で販売しています。

**注意** IE-78001-R-A (インサーキット・エミュレータ) はサポートしておりません。IE-78K0-NSを使用してください。

### A.3.2 ソフトウェア

SM78K0 システム・シミュレータ	<p>ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。</p> <p>SM78K0はWindows上で動作します。</p> <p>SM78K0を使用することにより、インサーキット・エミュレータを使用しなくても、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。開発効率やソフトウェアの品質の向上が図れます。</p> <p>別売のデバイス・ファイル（DF178048）と組み合わせて使用します。</p> <p>オーダ名称：μS××××SM78K0</p>
-----------------------	---

**備考** オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××SM78K0

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	

ID78K0-NS 統合ディバッガ (インサーキット・エミュレータIE-78K0-NS対応)	<p>78K/0シリーズをデバッグするためのコントロール・プログラムです。</p> <p>グラフィカル・ユーザ・インタフェースとして、パソコン上ではWindows，EWS上ではOSF/Motif™を採用し、それらに準拠した外観と操作性を提供しています。また、C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることも可能です。その他、タスク・ディバッガやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより、リアルタイムOSを使用したプログラムのデバッグ効率を向上させることができます。</p> <p>別売のデバイス・ファイルと組み合わせて使用します。</p> <p>オーダ名称：μS××××ID78K0-NS</p>
--	---

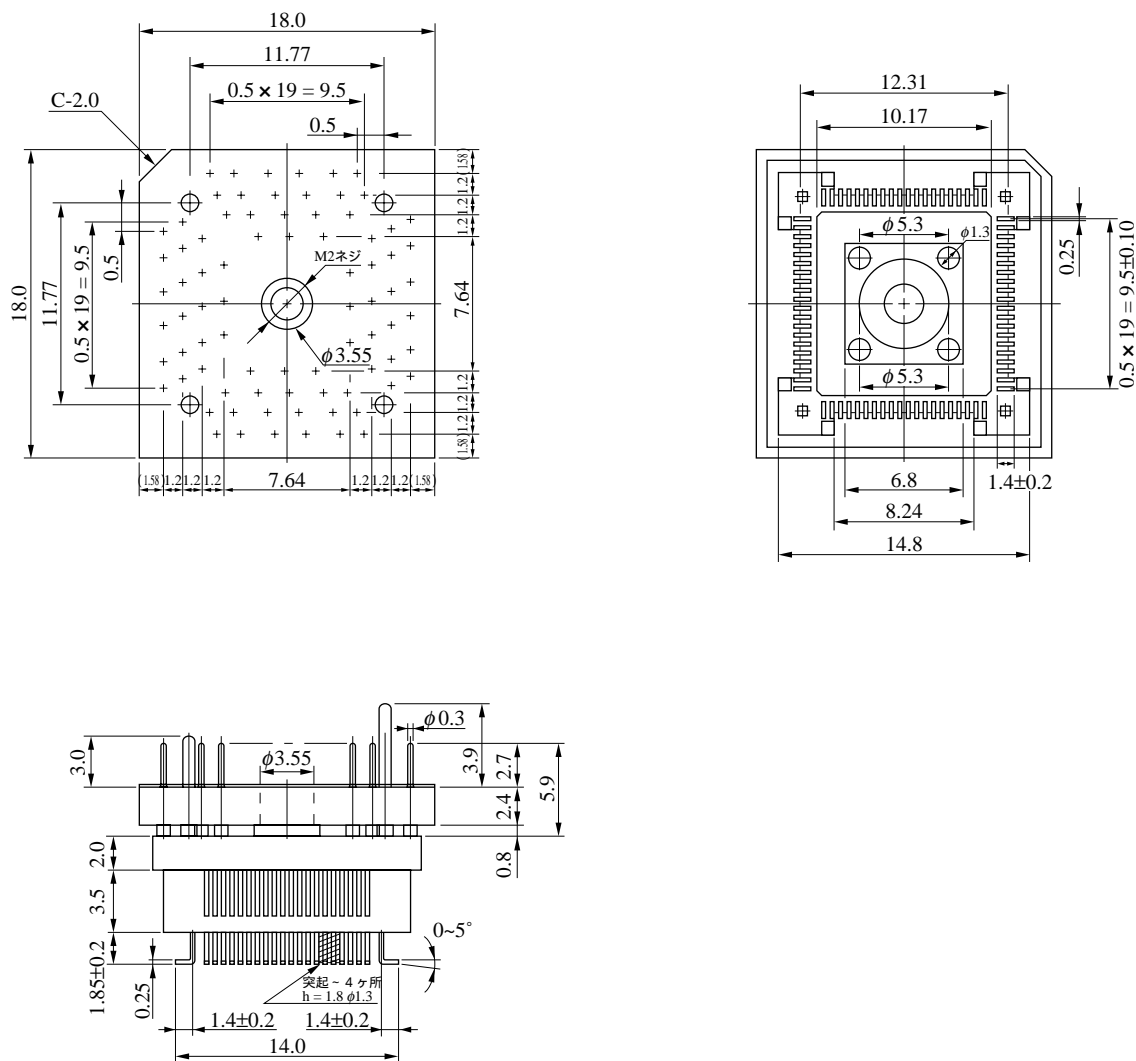
**備考** オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××ID78K0-NS

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows	3.5インチ2HC FD
BB13		英語Windows	

変換アダプタ (TGK-080SDW) の外形図

図A - 2 TGK-080SDW 外形図 (参考) (単位 : mm)



注 : 東京エレクトック (株) 製

TGK-080SDW-G1

[メモ]



## 付録B 組み込み用ソフトウェア

μPD178048サブシリーズのプログラム開発やメンテナンスをより効率的に行うために、次の組み込み用ソフトウェアを用意しています。

### リアルタイムOS(1/2)

RX78K/0 リアルタイムOS	<p>μITRON仕様に準拠したリアルタイムOSです。</p> <p>RX78K/0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。</p> <p>別売のアセンブラ・パッケージ（RA78K/0）およびデバイス・ファイル（DF178048）と組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>リアルタイムOSはDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。</p> <p>オーダー名称：μS×××RX78013-</p>
---------------------	--

**注意** RX78K/0を購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

**備考** オーダ名称の×××および は、使用するホスト・マシン、OSなどにより異なります。

μS×××RX78013-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows <sup>注</sup>	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows <sup>注</sup>	3.5インチ2HC FD
BB13		英語Windows <sup>注</sup>	
3P16	HP9000シリーズ700	HP-UX ( Rel.10.10 )	DAT ( DDS)
3K13	SPARCstation	SunOS ( Rel. 4.1.4 ) ,	3.5インチ2HC FD
3K15		Solaris ( Rel. 2.5.1 )	1/4インチCGMT
3R13	NEWS ( RISC )	NEWS-OS ( Rel. 6.1 )	3.5インチ2HC FD

**注** DOS環境でも動作します。

## リアルタイムOS(2/2)

MX78K0 OS	<p>μITRON仕様サブセットのOSです。MX78K0のニュークリアスを添付しています。</p> <p>タスク管理、イベント管理、時間管理を行います。タスク管理ではタスクの実行順序を制御し、次に実行するタスクへの切り替え処理を行います。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>MX78K0はDOSベースのアプリケーションです。Windows上ではDOSプロンプトで使用してください。</p> <p>オーダ名称：μS x x x MX78K0-</p>
--------------	--

**備考** オーダ名称の x x x x および は、使用するホスト・マシン、OSなどにより異なります。

μS x x x MX78K0-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	試作時に使用してください
XX	量産用オブジェクト	量産時に使用してください
S01	ソース・プログラム	量産用オブジェクト購入時のみ、購入可能

x x x x	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	日本語Windows <sup>注</sup>	3.5インチ2HD FD
AB13	IBM PC/AT互換機	日本語Windows <sup>注</sup>	3.5インチ2HC FD
BB13		英語Windows <sup>注</sup>	
3P16	HP9000シリーズ700	HP-UX ( Rel.10.10 )	DAT ( DDS )
3K13	SPARCstation	SunOS ( Rel. 4 . 1 . 4 ) ,	3.5インチ2HC FD
3K15		Solaris ( Rel. 2 . 5 . 1 )	1/4インチCGMT
3R13	NEWS ( RISC )	NEWS-OS ( Rel. 6 . 1 )	3.5インチ2HC FD

**注** DOS環境でも動作します。

## 付録C レジスタ索引

### C.1 レジスタ索引 (50音順)

#### 〔あ行〕

IICコントロール・レジスタ1 (IICC1) ...	181
IICシフト・レジスタ1 (IIC1) ...	175
IICクロック選択レジスタ1 (IICCL1) ...	178
IIC動作モード・レジスタ1 (IICM1) ...	179
IIC割り込みタイミング指定レジスタ1 (IICINT1) ...	183
アナログ入力チャンネル指定レジスタ3 (ADS3) ...	157
ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ...	147
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ...	148
A/Dコンバータ・モード・レジスタ3 (ADM3) ...	156
A/D変換結果レジスタ3 (ADCR3) ...	155
OSDステータス・レジスタ (OSDSTA) ...	242

#### 〔か行〕

外部割り込み立ち上がりエッジ許可レジスタ (EGP) ...	281
外部割り込み立ち下がりエッジ許可レジスタ (EGN) ...	281
キャラクタ・サイズ制御レジスタ (CSIZE) ...	248
コレクション・アドレス・レジスタ0 (CORAD0) ...	264
コレクション・アドレス・レジスタ1 (CORAD1) ...	264
コレクション・コントロール・レジスタ (CORCN) ...	265

#### 〔さ行〕

14ビットPWMコンペア・レジスタ (PWMCR1) ...	230
シリアルI/Oシフト・レジスタ3 (SIO3) ...	214
シリアル動作モード・レジスタ3 (CSIM3) ...	215
垂直表示開始位置レジスタ (VPOSI) ...	245
水平表示開始位置レジスタ (HPOSI) ...	244
スレーブ・アドレス・レジスタ1 (SVA1) ...	175

#### 〔た行〕

タイマ・クロック選択レジスタ5 (TCL5) ...	103
端子モード設定レジスタ (TERMMMD) ...	249

#### 〔な行〕

内部拡張RAMサイズ切り替えレジスタ (IXS) ...	313
------------------------------	-----

## 〔は行〕

8ビット・タイマ・カウンタ20 (TM20) ...	120
8ビット・タイマ・カウンタ21 (TM21) ...	128
8ビット・タイマ・カウンタ5 (TM5) ...	102
8ビット・タイマ・キャプチャ・レジスタ90 (CP90) ...	137
8ビット・タイマ・キャプチャ・レジスタ91 (CP91) ...	137
8ビット・タイマ・コンペア・レジスタ20 (CR20) ...	120
8ビット・タイマ・コンペア・レジスタ21 (CR21) ...	128
8ビット・タイマ・コンペア・レジスタ5 (CR5) ...	102
8ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) ...	121
8ビット・タイマ・モード・コントロール・レジスタ21 (TMC21) ...	129
8ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) ...	104
8ビットPWMコンペア・レジスタ00 (PWMCR00) ...	222
8ビットPWMコンペア・レジスタ01 (PWMCR01) ...	222
8ビットPWMコンペア・レジスタ02 (PWMCR02) ...	222
8ビットPWMコンペア・レジスタ03 (PWMCR03) ...	222
8ビット・リモコン・タイマ・モード・コントロール・レジスタ9 (TMC9) ...	136
発振安定時間選択レジスタ (OSTS) ...	149, 296
パワー・フェイル比較しきい値レジスタ3 (PFT3) ...	155
パワー・フェイル比較モード・レジスタ3 (PFM3) ...	158
POCスタータス・レジスタ (POCS) ...	309
POC電圧選択レジスタ (POCV) ...	309
PWM出力セレクト・レジスタ (PWMS) ...	223, 231
表示キャラクタ・レジスタ (DPCCONT) ...	250
表示コントロール・レジスタ (DPCONT) ...	241
VRAM書き込みアドレス・レジスタ1 (VRAMAC) ...	246
VRAM書き込みアドレス・レジスタ2 (VRAMAR) ...	247
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	94
ベーシック・タイマ1モード・レジスタ (BTMMD1) ...	142
ポート0 (P0) ...	77
ポート1 (P1) ...	79
ポート2 (P2) ...	80
ポート4 (P4) ...	82
ポート5 (P5) ...	83
ポート6 (P6) ...	84
ポート7 (P7) ...	85
ポート13 (P13) ...	86
ポート・モード・レジスタ0 (PM0) ...	87
ポート・モード・レジスタ2 (PM2) ...	87
ポート・モード・レジスタ4 (PM4) ...	87
ポート・モード・レジスタ5 (PM5) ...	87
ポート・モード・レジスタ6 (PM6) ...	87
ポート・モード・レジスタ7 (PM7) ...	87

## 〔ま行〕

メモリ・サイズ切り替えレジスタ (IMS) ... 312

## 〔や行〕

優先順位指定フラグ・レジスタ0H (PROH) ... 280

優先順位指定フラグ・レジスタ0L (PROL) ... 280

## 〔わ行〕

割り込みマスク・フラグ・レジスタ0H (MK0H) ... 279

割り込みマスク・フラグ・レジスタ0L (MK0L) ... 279

割り込み要求フラグ・レジスタ0H (IF0H) ... 278

割り込み要求フラグ・レジスタ0L (IF0L) ... 278

## C.2 レジスタ索引 (アルファベット順)

### [ A ]

- ADCR3 : A/D変換結果レジスタ3 ... 155
- ADM3 : A/Dコンバータ・モード・レジスタ3 ... 156
- ADS3 : アナログ入力チャネル指定レジスタ3 ... 157

### [ B ]

- BTMMMD1 : ベーシック・タイマ1モード・レジスタ ... 142

### [ C ]

- CORAD0 : コレクション・アドレス・レジスタ0 ... 264
- CORAD1 : コレクション・アドレス・レジスタ1 ... 264
- CORCN : コレクション・コントロール・レジスタ ... 265
- CP90 : 8ビット・タイマ・キャプチャ・レジスタ90 ... 137
- CP91 : 8ビット・タイマ・キャプチャ・レジスタ91 ... 137
- CR5 : 8ビット・タイマ・コンペア・レジスタ5 ... 102
- CR20 : 8ビット・タイマ・コンペア・レジスタ20 ... 120
- CR21 : 8ビット・タイマ・コンペア・レジスタ21 ... 128
- CSIM3 : シリアル動作モード・レジスタ3 ... 215
- CSIZE : キャラクタ・サイズ制御レジスタ ... 248

### [ D ]

- DPCCONT : 表示キャラクタ・レジスタ ... 250
- DPCONT : 表示コントロール・レジスタ ... 241

### [ E ]

- EGN : 外部割り込み立ち下がりエッジ許可レジスタ ... 281
- EGP : 外部割り込み立ち上がりエッジ許可レジスタ ... 281

### [ H ]

- HPOSI : 水平表示開始位置レジスタ ... 244

### [ I ]

- IF0H : 割り込み要求フラグ・レジスタ0H ... 278
- IF0L : 割り込み要求フラグ・レジスタ0L ... 278
- IIC1 : IICシフト・レジスタ1 ... 175
- IICC1 : IICコントロール・レジスタ1 ... 181
- IICCL1 : IICクロック選択レジスタ1 ... 178
- IICINT1 : IIC割り込みタイミング指定レジスタ1 ... 183
- IICM1 : IIC動作モード・レジスタ1 ... 179
- IMS : メモリ・サイズ切り替えレジスタ ... 312
- IXS : 内部拡張RAMサイズ切り替えレジスタ ... 313

## 【M】

MK0H : 割り込みマスク・フラグ・レジスタ0H ... 279  
MK0L : 割り込みマスク・フラグ・レジスタ0L ... 279

## 【O】

OSDSTA : OSDステータス・レジスタ ... 242  
OSTS : 発振安定時間選択レジスタ ... 149, 296

## 【P】

P0 : ポート0 ... 77  
P1 : ポート1 ... 79  
P2 : ポート2 ... 80  
P4 : ポート4 ... 82  
P5 : ポート5 ... 83  
P6 : ポート6 ... 84  
P7 : ポート7 ... 85  
P13 : ポート13 ... 86  
PCC : プロセッサ・クロック・コントロール・レジスタ ... 94  
PFM3 : パワー・フェイル比較モード・レジスタ3 ... 158  
PFT3 : パワー・フェイル比較しきい値レジスタ3 ... 155  
PM0 : ポート・モード・レジスタ0 ... 87  
PM2 : ポート・モード・レジスタ2 ... 87  
PM4 : ポート・モード・レジスタ4 ... 87  
PM5 : ポート・モード・レジスタ5 ... 87  
PM6 : ポート・モード・レジスタ6 ... 87  
PM7 : ポート・モード・レジスタ7 ... 87  
POCS : POCステータス・レジスタ ... 309  
POCV : POC電圧選択レジスタ ... 309  
PR0H : 優先順位指定フラグ・レジスタ0H ... 280  
PR0L : 優先順位指定フラグ・レジスタ0L ... 280  
PWMCR00 : 8ビットPWMコンペア・レジスタ00 ... 222  
PWMCR01 : 8ビットPWMコンペア・レジスタ01 ... 222  
PWMCR02 : 8ビットPWMコンペア・レジスタ02 ... 222  
PWMCR03 : 8ビットPWMコンペア・レジスタ03 ... 222  
PWMCR1 : 14ビットPWMコンペア・レジスタ ... 230  
PWMS : PWM出力セレクト・レジスタ ... 223, 231

## 【S】

SIO3 : シリアルI/Oシフト・レジスタ3 ... 214  
SVA1 : スレープ・アドレス・レジスタ1 ... 175

## 【T】

TCL5 : タイマ・クロック選択レジスタ5 ... 103

TERMMD : 端子モード設定レジスタ ...	249
TM5 : 8ビット・タイマ・カウンタ5 ...	102
TM20 : 8ビット・タイマ・カウンタ20 ...	120
TM21 : 8ビット・タイマ・カウンタ21 ...	128
TMC5 : 8ビット・タイマ・モード・コントロール・レジスタ5 ...	104
TMC9 : 8ビット・リモコン・タイマ・モード・コントロール・レジスタ9 ...	136
TMC20 : 8ビット・タイマ・モード・コントロール・レジスタ20 ...	121
TMC21 : 8ビット・タイマ・モード・コントロール・レジスタ21 ...	129

## 【V】

VPOSI : 垂直表示開始位置レジスタ ...	245
VRAMAC : VRAM書き込みアドレス・レジスタ1 ...	246
VRAMAR : VRAM書き込みアドレス・レジスタ2 ...	247

## 【W】

WDCS : ウォッチドッグ・タイマ・クロック選択レジスタ ...	147
WDTM : ウォッチドッグ・タイマ・モード・レジスタ ...	148



★

## 付録D 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版 数	内 容	適用箇所
第2版	64ピン・シュリンクDIPの削除 (GND0, GND1端子の記述削除)	全 般
	・インサーキット・エミュレータIE-78001-R-Aの削除 (IE-78K0-NSのみ対応) ・統合ディバuggaID78K0の削除 (ID78K0-NSのみ対応)	第3章 CPUアーキテクチャ, 付録A 開発ツール
	17.5 OSDコントローラ使用上の注意 ・VRAM書き込みの流れを変更 ・対策例2を変更	第17章 OSDコントローラ
	22.3 フラッシュ・メモリ・プログラミング ・IIC1方式を疑似3線式に変更 ・フラッシュ書き込み時の注意事項を追加	第22章 μPD178F048

---

## — お問い合わせ先 —

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-548-8899  
FAX : 044-548-7900  
E-mail : s-info@saed.tmg.nec.co.jp

### 【営業関係お問い合わせ先】

#### 第一販売事業部

東京 (03)3798-6106, 6107,  
6108

名古屋 (052)222-2375

大阪 (06)6945-3178, 3200,  
3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

#### 第二販売事業部

東京 (03)3798-6110, 6111,  
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

#### 第三販売事業部

東京 (03)3798-6151, 6155, 6586,  
1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

高崎 (027)326-1303

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

### 【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

## アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD178048サブシリーズ ユーザーズ・マニュアル  
(U13985JJ2V0UM00 (第2版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ( )  
ご住所 ( )  
お電話番号 ( )  
お仕事の内容 ( )  
お名前 ( )

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ( )					
( )					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他 )  
理由 [ ]

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他 )  
理由 [ ]

4. ご意見, ご要望

5. このドキュメントをお届けしたのは  
NEC販売員, 特約店販売員,  
その他 ( )

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡しください。

NEC半導体テクニカルホットライン

FAX: (044) 548-7900