

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

μPD178018A サブシリーズ

8 ビット・シングルチップ・マイクロコンピュータ

μPD178004A
μPD178006A
μPD178016A
μPD178018A
μPD178P018A

〔メ モ〕

目次要約

第1章	概 説	...	1
第2章	端子機能	...	11
第3章	CPUアーキテクチャ	...	23
第4章	ポート機能	...	57
第5章	クロック発生回路	...	77
第6章	8ビット・タイマ/イベント・カウンタ	...	89
第7章	8ビット・タイマ	...	107
第8章	ベーシック・タイマ	...	121
第9章	ウォッチドッグ・タイマ	...	123
第10章	ブザー出力制御回路	...	131
第11章	A/Dコンバータ	...	135
第12章	シリアル・インタフェース・チャンネル0	...	149
第13章	シリアル・インタフェース・チャンネル1	...	237
第14章	割り込み機能とテスト機能	...	283
第15章	PLL周波数シンセサイザ	...	309
第16章	周波数カウンタ	...	329
第17章	スタンバイ機能	...	339
第18章	リセット機能	...	347
第19章	μ PD178P018A	...	355
第20章	命令セットの概要	...	365
付 録		...	381

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

MS-DOSおよびWindowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

IBM DOS, PC/AT, PC DOSは、米国IBM社の商標です。

HP9000シリーズ300, HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

SunOSは、米国サン・マイクロシステムズ社の商標です。

イーサネットは、米国ゼロックス社の商標です。

NEWS, NEWS-OSは、ソニー株式会社の商標です。

OSF/Motifは、Open Software Foundation, Inc.の商標です。

TRONは、The Realtime Operating system Nucleusの略称です。

ITRONは、Industrial TRONの略称です。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非 該 当 品：μPD178P018AKK-T

ユーザ判定品：μPD178004AGC-×××-3B9, 178006AGC-×××-3B9,

μPD178016AGC-×××-3B9, 178018AGC-×××-3B9

μPD178P018AGC-3B9

本資料に掲載の応用回路および回路定数は、例示的に示したものであり、量産設計を対象とするものではありません。

注意： μ PD178018AサブシリーズはI²Cバス・インタフェース回路を内蔵しています。

I²Cバス・インタフェースを使用される場合には、カスタム・コードをご発注いただく時に、事前にその旨ご申告下さい。申告に基づき、以下の特典が受けられます。

日本電気株式会社のI²Cバス対応部品をご購入いただくことにより、これらの部品をI²Cシステムに使用する実施権がフィリップス社I²C特許に基づき許諾されることになります。ただし、これらのI²Cシステムはフィリップス社によって設定されたI²C標準規格に合致しているものとします。

Purchase of NEC I²C components conveys a license under the Philips I²C Patent Rights to use these components in an I²C system, provided that the system conforms to the I²C Standard Specification as defined by Philips.

- **本資料の内容は、後日変更する場合があります。**
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
- この製品は耐放射線設計をしておりません。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

〔メ モ〕

はじめに

対象者 このマニュアルは、 μ PD178018Aサブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

μ PD178018Aサブシリーズのうち、 μ PD178P018AKK-Tは、お客様の装置の量産製品に使用されることを意図した信頼性を保持しておりません。実験または機能評価用にのみご使用ください。

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD178018Aサブシリーズのマニュアルは、このマニュアルと命令編(78K/0シリーズ共通)の2冊に分かれています。

μ PD178018Aサブシリーズ
ユーザーズ・マニュアル
(このマニュアル)

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能

78K/0シリーズ
ユーザーズ・マニュアル
命令編

- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。

☐ 一通りの機能を理解しようとするとき

→ 目次に従って読んでください。

☐ μ PD178018Aサブシリーズの命令機能の詳細を知りたいとき

→ 別冊の78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。

☐ レジスタ・フォーマットの見方

→ ビット番号を○で囲んでいるものは、そのビット名称がDF178018, RA78K/0では予約語に、CC78K/0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。

☐ μ PD178018Aサブシリーズの電気的特性を知りたいとき

→ 別冊のデータ・シートを参照してください。

μ PD178004A, 178006A, 178016A, 178018A データ・シート (U12641J)

μ PD178P018A データ・シート (U12642J)

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
- アクティブ・ロウの表記 : × × ×(端子, 信号名称に上線)
- 注 : 本文中につけた注の説明
- 注意 : 気をつけて読んでいただきたい内容
- 備考 : 本文の補足説明
- 数の表記 : 2進数...× × × ×または× × × × B
- 10進数...× × × ×
- 16進数...× × × × H

関連資料 関連資料は暫定版の場合がありますが, この資料では「 暫定 」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

● **μPD178018Aサブシリーズの関連資料**

資 料 名	資料番号	
	和 文	英 文
μ PD178004A, 178006A, 178016A, 178018A データ・シート	U12641J	U12641E
μ PD178P018A データ・シート	U12642J	U12642E
μ PD178018Aサブシリーズ ユーザーズ・マニュアル	このマニュアル	作成予定
78K/0シリーズ ユーザーズ・マニュアル 命令編	U12326J	IEU-1372
78K/0シリーズ インストラクション活用表	U10903J	-
78K/0シリーズ インストラクション・セット	U10904J	-
μ PD178018Aサブシリーズ 特殊機能レジスタ活用表	作成予定	-
78K/0シリーズ アプリケーション・ノート 基礎編	U10121J	U10121E

● 開発ツールの関連資料（ユーザーズ・マニュアル）

資 料 名		資料番号	
		和 文	英 文
RA78Kシリーズ アセンブラ・パッケージ	操作編	EEU-809	EEU-1399
	言語編	EEU-815	EEU-1404
RA78Kシリーズ 構造化アセンブラ・プリプロセッサ		EEU-817	EEU-1402
RA78K0 アセンブラ・パッケージ	操作編	U11802J	U11802E
	アセンブリ言語編	U11801J	U11801E
	構造化アセンブリ言語編	U11789J	U11789E
CC78Kシリーズ Cコンパイラ	操作編	EEU-656	EEU-1280
	言語編	EEU-655	EEU-1284
CC78K0 Cコンパイラ	操作編	U11517J	U11517E
	言語編	U11518J	U11518E
CC78K/0 Cコンパイラ アプリケーション・ノート	プログラミング・ ノウハウ編	EEA-618	EEA-1208
CC78Kシリーズ ライブラリ・ソース・ファイル		U12322J	-
PG-1500 PROMプログラマ		U11940J	EEU-1335
PG-1500 コントローラ PC-9800シリーズ(MS-DOS™)ベース		EEU-704	EEU-1291
PG-1500 コントローラ IBM PCシリーズ(PC DOS™)ベース		EEU-5008	U10540E
IE-78000-R		U11376J	U11376E
IE-78000-R-A		U10057J	U10057E
IE-78000-R-BK		EEU-867	EEU-1427
IE-178018-R-EM		U10668J	U10668E
EP-78230		EEU-985	EEU-1515
SM78K0 システム・シミュレータ Windows™ベース	レファレンス編	U10181J	U10181E
SM78Kシリーズ システム・シミュレータ	外部部品ユーザオープン インタフェース仕様編	U10092J	U10092E
ID78K0 統合ディバッガ EWSベース	レファレンス編	U11151J	-
ID78K0 統合ディバッガ PCベース	レファレンス編	U11539J	U11539E
ID78K0 統合ディバッガ Windowsベース	ガイド編	U11649J	U11649E
SD78K/0 スクリーン・ディバッガ	入門編	EEU-852	-
PC-9800シリーズ(MS-DOS)ベース	レファレンス編	U10952J	-
SD78K/0 スクリーン・ディバッガ	入門編	EEU-5024	U10539E
IBM PC/AT™(PC DOS)ベース	レファレンス編	U11279J	U11279E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

●組み込み用ソフトウェアの関連資料(ユーザズ・マニュアル)

資 料 名		資料番号	
		和 文	英 文
78K/0シリーズ リアルタイムOS	基礎編	EEU-912	-
	インストール編	EEU-911	-
78K/0シリーズ用OS MX78K0	基礎編	U12257J	-
ファジィ知識データ作成ツール		EEU-829	EEU-1438
78K/0, 78K/ , 87ADシリーズ ファジィ推論開発支援システム トランスレータ		EEU-862	EEU-1444
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論モジュール		EEU-858	EEU-1441
78K/0シリーズ ファジィ推論開発支援システム ファジィ推論ディバッガ		EEU-921	EEU-1458

●その他の関連資料

資 料 名		資料番号	
		和 文	英 文
IC PACKAGE MANUAL		C10943X	
半導体デバイス 実装マニュアル		C10535J	C10535E
NEC半導体デバイスの品質水準		C11531J	C11531E
NEC半導体デバイスの信頼性品質管理		C10983J	C10983E
静電気放電(ESD)試験について		MEM-539	-
半導体デバイスの品質保証ガイド		C11893J	MEI-1202
マイクロコンピュータ関連製品ガイド 社外メーカ編		U11416J	-

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 1

- 1.1 特 徴 ... 1
- 1.2 応用分野 ... 2
- 1.3 オーダ情報 ... 2
- 1.4 品質水準 ... 3
- 1.5 端子接続図(Top View) ... 4
- 1.6 μ PD178018Aサブシリーズと μ PD178003サブシリーズの展開 ... 7
- 1.7 ブロック図 ... 8
- 1.8 機能概要 ... 9

第2章 端子機能 ... 11

- 2.1 端子機能一覧 ... 11
 - 2.1.1 通常動作モード時の端子 ... 11
 - 2.1.2 PROMプログラミング・モード時の端子(PROM製品のみ) ... 13
- 2.2 端子機能の説明 ... 14
 - 2.2.1 P00-P06(Port0) ... 14
 - 2.2.2 P10-P15(Port1) ... 14
 - 2.2.3 P20-P27(Port2) ... 14
 - 2.2.4 P30-P37(Port3) ... 15
 - 2.2.5 P40-P47(Port4) ... 16
 - 2.2.6 P50-P57(Port5) ... 16
 - 2.2.7 P60-P67(Port6) ... 16
 - 2.2.8 P120-P125(Port12) ... 16
 - 2.2.9 P132-P134(Port13) ... 16
 - 2.2.10 EO0, EO1 ... 17
 - 2.2.11 VCOL, VCOH ... 17
 - 2.2.12 AMIFC ... 17
 - 2.2.13 FMIFC ... 17
 - 2.2.14 $\overline{\text{RESET}}$... 17
 - 2.2.15 X1, X2 ... 17
 - 2.2.16 REGOSC ... 17
 - 2.2.17 REGCPU ... 17
 - 2.2.18 VDD ... 18
 - 2.2.19 GND ... 18
 - 2.2.20 VDDPORT ... 18
 - 2.2.21 GNDPORT ... 18
 - 2.2.22 VDDPLL ... 18
 - 2.2.23 GNDPLL ... 18
 - 2.2.24 VPE(PROM製品のみ) ... 18
 - 2.2.25 IQ(マスクROM製品のみ) ... 19
- 2.3 端子の入出力回路と未使用端子の処理 ... 20

第3章 CPUアーキテクチャ ... 23

- 3.1 メモリ空間 ... 23
 - 3.1.1 内部プログラム・メモリ空間 ... 28
 - 3.1.2 内部データ・メモリ空間 ... 29
 - 3.1.3 特殊機能レジスタ(SFR : Special Function Register)領域 ... 29
 - 3.1.4 データ・メモリ・アドレッシング ... 30
- 3.2 プロセッサ・レジスタ ... 35
 - 3.2.1 制御レジスタ ... 35
 - 3.2.2 汎用レジスタ ... 38
 - 3.2.3 特殊機能レジスタ(SFR : Special Function Register) ... 40
- 3.3 命令アドレスのアドレッシング ... 44
 - 3.3.1 レラティブ・アドレッシング ... 44
 - 3.3.2 イミディエイト・アドレッシング ... 45
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 46
 - 3.3.4 レジスタ・アドレッシング ... 47
- 3.4 オペランド・アドレスのアドレッシング ... 48
 - 3.4.1 インプライド・アドレッシング ... 48
 - 3.4.2 レジスタ・アドレッシング ... 49
 - 3.4.3 ダイレクト・アドレッシング ... 50
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 51
 - 3.4.5 特殊機能レジスタ(SFR)アドレッシング ... 53
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 54
 - 3.4.7 ベースト・アドレッシング ... 55
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 56
 - 3.4.9 スタック・アドレッシング ... 56

第4章 ポート機能 ... 57

- 4.1 ポートの機能 ... 57
- 4.2 ポートの構成 ... 59
 - 4.2.1 ポート0 ... 59
 - 4.2.2 ポート1 ... 61
 - 4.2.3 ポート2 ... 62
 - 4.2.4 ポート3 ... 64
 - 4.2.5 ポート4 ... 65
 - 4.2.6 ポート5 ... 66
 - 4.2.7 ポート6 ... 67
 - 4.2.8 ポート12 ... 68
 - 4.2.9 ポート13 ... 69
- 4.3 ポート機能を制御するレジスタ ... 70
- 4.4 ポート機能の動作 ... 75
 - 4.4.1 入出力ポートへの書き込み ... 75
 - 4.4.2 入出力ポートからの読み出し ... 75
 - 4.4.3 入出力ポートでの演算 ... 76

第5章 クロック発生回路 ... 77

- 5.1 クロック発生回路の機能 ... 77
- 5.2 クロック発生回路の構成 ... 77
- 5.3 クロック発生回路を制御するレジスタ ... 79
- 5.4 システム・クロック発振回路 ... 82
 - 5.4.1 システム・クロック発振回路 ... 82
 - 5.4.2 分周回路 ... 84
- 5.5 クロック発生回路の動作 ... 85
- 5.6 システム・クロックとCPUクロックの設定の変更 ... 86
 - 5.6.1 システム・クロックとCPUクロックの切り替えに要する時間 ... 86
 - 5.6.2 システム・クロックとCPUクロックの切り替え手順 ... 86

第6章 8ビット・タイマ/イベント・カウンタ ... 89

- 6.1 8ビット・タイマ/イベント・カウンタの機能 ... 89
 - 6.1.1 8ビット・タイマ/イベント・カウンタ・モード ... 89
 - 6.1.2 16ビット・タイマ/イベント・カウンタ・モード ... 91
- 6.2 8ビット・タイマ/イベント・カウンタの構成 ... 92
- 6.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ ... 94
- 6.4 8ビット・タイマ/イベント・カウンタの動作 ... 97
 - 6.4.1 8ビット・タイマ/イベント・カウンタ・モード ... 97
 - 6.4.2 16ビット・タイマ/イベント・カウンタ・モード ... 101
- 6.5 8ビット・タイマ/イベント・カウンタの注意事項 ... 104

第7章 8ビット・タイマ ... 107

- 7.1 8ビット・タイマの機能 ... 107
- 7.2 8ビット・タイマの構成 ... 108
- 7.3 8ビット・タイマを制御するレジスタ ... 110
- 7.4 8ビット・タイマの動作 ... 113
 - 7.4.1 インターバル・タイマとしての動作 ... 113
 - 7.4.2 D/Aコンバータ(PWM出力)としての動作 ... 114
- 7.5 8ビット・タイマの注意事項 ... 119

第8章 ベーシック・タイマ ... 121

- 8.1 ベーシック・タイマの機能 ... 121
- 8.2 ベーシック・タイマの構成 ... 121
- 8.3 ベーシック・タイマの動作 ... 121

第9章 ウォッチドッグ・タイマ ... 123

- 9.1 ウォッチドッグ・タイマの機能 ... 123
- 9.2 ウォッチドッグ・タイマの構成 ... 124
- 9.3 ウォッチドッグ・タイマを制御するレジスタ ... 126
- 9.4 ウォッチドッグ・タイマの動作 ... 129

9.4.1	ウォッチドッグ・タイマとしての動作	...	129
9.4.2	インターバル・タイマとしての動作	...	130
第10章	ブザー出力制御回路	...	131
10.1	ブザー出力制御回路の機能	...	131
10.2	ブザー出力制御回路の構成	...	131
10.3	ブザー出力機能を制御するレジスタ	...	132
第11章	A/Dコンバータ	...	135
11.1	A/Dコンバータの機能	...	135
11.2	A/Dコンバータの構成	...	135
11.3	A/Dコンバータを制御するレジスタ	...	138
11.4	A/Dコンバータの動作	...	141
11.4.1	A/Dコンバータの基本動作	...	141
11.4.2	入力電圧と変換結果	...	143
11.4.3	A/Dコンバータの動作モード	...	144
11.5	A/Dコンバータの注意事項	...	146
第12章	シリアル・インタフェース・チャンネル0	...	149
12.1	シリアル・インタフェース・チャンネル0の機能	...	150
12.2	シリアル・インタフェース・チャンネル0の構成	...	154
12.3	シリアル・インタフェース・チャンネル0を制御するレジスタ	...	160
12.4	シリアル・インタフェース・チャンネル0の動作	...	170
12.4.1	動作停止モード	...	170
12.4.2	3線式シリアルI/Oモードの動作	...	171
12.4.3	SBIモードの動作	...	176
12.4.4	2線式シリアルI/Oモードの動作	...	205
12.4.5	I ² Cバス・モードの動作	...	210
12.4.6	I ² Cバス・モード使用時の注意事項	...	232
12.4.7	I ² Cバス・モード使用時の制限事項	...	234
12.4.8	SCK0/SCL/P27端子出力の操作	...	236
第13章	シリアル・インタフェース・チャンネル1	...	237
13.1	シリアル・インタフェース・チャンネル1の機能	...	237
13.2	シリアル・インタフェース・チャンネル1の構成	...	238
13.3	シリアル・インタフェース・チャンネル1を制御するレジスタ	...	241
13.4	シリアル・インタフェース・チャンネル1の動作	...	249
13.4.1	動作停止モード	...	249
13.4.2	3線式シリアルI/Oモードの動作	...	250
13.4.3	自動送受信機能付き3線式シリアルI/Oモードの動作	...	254
第14章	割り込み機能とテスト機能	...	283
14.1	割り込み機能の種類	...	283

14.2	割り込み要因と構成	...	283
14.3	割り込み機能を制御するレジスタ	...	287
14.4	割り込み処理動作	...	296
14.4.1	ノンマスカブル割り込み要求の受け付け動作	...	296
14.4.2	マスカブル割り込み要求の受け付け動作	...	299
14.4.3	ソフトウェア割り込み要求の受け付け動作	...	301
14.4.4	多重割り込み処理	...	302
14.4.5	割り込み要求の保留	...	305
14.5	テスト機能	...	307
14.5.1	テスト機能を制御するレジスタ	...	307
14.5.2	テスト入力信号の受け付け動作	...	308
第15章 PLL周波数シンセサイザ ... 309			
15.1	PLL周波数シンセサイザの機能	...	309
15.2	PLL周波数シンセサイザの構成	...	311
15.3	PLL周波数シンセサイザを制御するレジスタ	...	314
15.4	PLL周波数シンセサイザの動作	...	319
15.4.1	PLL周波数シンセサイザの各ブロックの動作	...	319
15.4.2	PLL周波数シンセサイザのN値の設定動作	...	323
15.5	PLLディスエーブル状態	...	328
15.6	PLL周波数シンセサイザの注意事項	...	328
第16章 周波数カウンタ ... 329			
16.1	周波数カウンタの機能	...	329
16.2	周波数カウンタの構成	...	329
16.3	周波数カウンタを制御するレジスタ	...	331
16.4	周波数カウンタの動作	...	333
16.5	周波数カウンタの注意事項	...	336
第17章 スタンバイ機能 ... 339			
17.1	スタンバイ機能と構成	...	339
17.1.1	スタンバイ機能	...	339
17.1.2	スタンバイ機能を制御するレジスタ	...	340
17.2	スタンバイ機能の動作	...	341
17.2.1	HALTモード	...	341
17.2.2	STOPモード	...	344
第18章 リセット機能 ... 347			
18.1	リセット機能	...	347
18.2	停電検出機能	...	354
第19章 μPD178P018A ... 355			
19.1	PROMプログラミング	...	356

19.1.1	動作モード	...	356
19.1.2	PROM書き込みの手順	...	358
19.1.3	PROM読み出しの手順	...	362
19.2	消去方法(μ PD178P018AKK-Tのみ)	...	363
19.3	消去用窓のシールについて(μ PD178P018AKK-Tのみ)	...	363
19.4	ワン・タイムPROM製品のスクリーニングについて	...	363

第20章 命令セットの概要 ... 365

20.1	凡 例	...	366
20.1.1	オペランドの表現形式と記述方法	...	366
20.1.2	オペレーション欄の説明	...	367
20.1.3	フラグ動作欄の説明	...	367
20.2	オペレーション一覧	...	368
20.3	アドレッシング別命令一覧	...	377

付録A 開発ツール ... 381

A.1	言語処理用ソフトウェア	...	383
A.2	PROM書き込み用ツール	...	384
A.2.1	ハードウェア	...	384
A.2.2	ソフトウェア	...	384
A.3	ディバグ用ツール	...	385
A.3.1	ハードウェア	...	385
A.3.2	ソフトウェア	...	387
A.4	IBM PC用のOSについて	...	390

付録B 組み込み用ソフトウェア ... 393

B.1	リアルタイムOS	...	393
B.2	ファジィ推論開発支援システム	...	395

図の目次(1/6)

図番号	タイトル , ページ
2 - 1	端子の入出力回路一覧 ... 20
3 - 1	メモリ・マップ(μ PD178004A) ... 23
3 - 2	メモリ・マップ(μ PD178006A) ... 24
3 - 3	メモリ・マップ(μ PD178016A) ... 25
3 - 4	メモリ・マップ(μ PD178018A) ... 26
3 - 5	メモリ・マップ(μ PD178P018A) ... 27
3 - 6	データ・メモリのアドレッシング(μ PD178004A) ... 30
3 - 7	データ・メモリのアドレッシング(μ PD178006A) ... 31
3 - 8	データ・メモリのアドレッシング(μ PD178016A) ... 32
3 - 9	データ・メモリのアドレッシング(μ PD178018A) ... 33
3 - 10	データ・メモリのアドレッシング(μ PD178P018A) ... 34
3 - 11	プログラム・カウンタの構成 ... 35
3 - 12	プログラム・ステータス・ワードの構成 ... 35
3 - 13	スタック・ポインタの構成 ... 37
3 - 14	スタック・メモリへ退避されるデータ ... 37
3 - 15	スタック・メモリから復帰されるデータ ... 38
3 - 16	汎用レジスタの構成 ... 39
4 - 1	ポートの種類 ... 57
4 - 2	P00のブロック図 ... 60
4 - 3	P01-P06のブロック図 ... 60
4 - 4	P10-P15のブロック図 ... 61
4 - 5	P20, P21, P23-P26のブロック図 ... 62
4 - 6	P22, P27のブロック図 ... 63
4 - 7	P30-P37のブロック図 ... 64
4 - 8	P40-P47のブロック図 ... 65
4 - 9	立ち下がりエッジ検出回路のブロック図 ... 65
4 - 10	P50-P57のブロック図 ... 66
4 - 11	P60-P67のブロック図 ... 67
4 - 12	P120-P125のブロック図 ... 68
4 - 13	P132-P134のブロック図 ... 69
4 - 14	ポート・モード・レジスタのフォーマット ... 72
4 - 15	ポート・モード・レジスタ4のフォーマット ... 73
4 - 16	キー・リターン・モード・レジスタのフォーマット ... 74
5 - 1	クロック発生回路のブロック図 ... 78

図の目次(2/6)

図番号	タイトル , ページ
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 79
5 - 3	発振モード選択レジスタのフォーマット ... 80
5 - 4	OSMS書き込み時のシステム・クロック ... 81
5 - 5	システム・クロック発振回路の外付け回路 ... 82
5 - 6	発振子の接続の悪い例 ... 83
5 - 7	システム・クロックとCPUクロックの切り替え ... 86
6 - 1	8ビット・タイマ/イベント・カウンタのブロック図 ... 93
6 - 2	タイマ・クロック選択レジスタ1のフォーマット ... 95
6 - 3	8ビット・タイマ・モード・コントロール・レジスタのフォーマット ... 96
6 - 4	インターバル・タイマ動作のタイミング ... 97
6 - 5	外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) ... 100
6 - 6	インターバル・タイマ動作のタイミング ... 101
6 - 7	外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) ... 103
6 - 8	8ビット・タイマ・レジスタのスタート・タイミング ... 104
6 - 9	外部イベント・カウンタとして動作時のタイミング ... 104
6 - 10	タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング ... 105
7 - 1	8ビット・タイマのブロック図 ... 108
7 - 2	PWMモード・セレクト・レジスタのフォーマット ... 110
7 - 3	PWMコントロール・レジスタのフォーマット ... 112
7 - 4	インターバル・タイマ動作のタイミング ... 113
7 - 5	出力切り替えブロックの構成 ... 114
7 - 6	PWMデータ・レジスタ設定値xと出力波形 ... 117
7 - 7	各端子の出力波形の関係 ... 118
8 - 1	ベーシック・タイマのブロック図 ... 121
8 - 2	ベーシック・タイマ動作のタイミング ... 121
8 - 3	TMCIFフラグをポーリングする場合の動作タイミング ... 122
9 - 1	ウォッチドッグ・タイマのブロック図 ... 125
9 - 2	タイマ・クロック選択レジスタ2のフォーマット ... 127
9 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 128
10 - 1	ブザー出力制御回路のブロック図 ... 131
10 - 2	タイマ・クロック選択レジスタ2のフォーマット ... 133
10 - 3	ポート・モード・レジスタ3のフォーマット ... 134

図の目次(3/6)

図番号	タイトル , ページ
11 - 1	A/Dコンバータのブロック図 ... 136
11 - 2	A/Dコンバータ・モード・レジスタのフォーマット ... 139
11 - 3	A/Dコンバータ入力選択レジスタのフォーマット ... 140
11 - 4	A/Dコンバータの基本動作 ... 142
11 - 5	アナログ入力電圧とA/D変換結果の関係 ... 143
11 - 6	ハードウェア・スタートによるA/D変換動作 ... 144
11 - 7	ソフトウェア・スタートによるA/D変換動作 ... 145
11 - 8	A/D変換終了割り込み発生タイミング ... 147
12 - 1	シリアル・バス・インタフェース(SBI)のシステム構成例 ... 152
12 - 2	I ² Cバスによるシリアル・バス構成例 ... 153
12 - 3	シリアル・インタフェース・チャンネル0のブロック図 ... 155
12 - 4	タイマ・クロック選択レジスタ3のフォーマット ... 161
12 - 5	シリアル動作モード・レジスタ0のフォーマット ... 163
12 - 6	シリアル・バス・インタフェース・コントロール・レジスタのフォーマット ... 165
12 - 7	割り込みタイミング指定レジスタのフォーマット ... 168
12 - 8	3線式シリアルI/Oモードのタイミング ... 174
12 - 9	RELT, CMDTの動作 ... 175
12 - 10	転送ビット順切り替え回路 ... 175
12 - 11	SBIによるシリアル・バス構成例 ... 177
12 - 12	SBI転送のタイミング ... 179
12 - 13	バス・リリース信号 ... 180
12 - 14	コマンド信号 ... 180
12 - 15	アドレス ... 181
12 - 16	アドレスによるスレーブの選択 ... 181
12 - 17	コマンド ... 182
12 - 18	データ ... 182
12 - 19	アクノリッジ信号 ... 183
12 - 20	ビジィ信号 , レディ信号 ... 184
12 - 21	RELT, CMDT, RELD, CMDDの動作(マスタ) ... 189
12 - 22	RELD, CMDDの動作(スレーブ) ... 189
12 - 23	ACKTの動作 ... 190
12 - 24	ACKEの動作 ... 191
12 - 25	ACKDの動作 ... 192
12 - 26	BSYEの動作 ... 193
12 - 27	端子構成図 ... 196
12 - 28	マスタ・デバイスからスレーブ・デバイス(WUP = 1)へのアドレス送信動作 ... 199

図の目次(4/6)

図番号	タイトル , ページ
12 - 29	マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作 ... 200
12 - 30	マスタ・デバイスからスレーブ・デバイスへのデータ送信動作 ... 201
12 - 31	スレーブ・デバイスからマスタ・デバイスへのデータ送信動作 ... 202
12 - 32	2線式シリアルI/Oによるシリアル・バス構成例 ... 205
12 - 33	2線式シリアルI/Oモードのタイミング ... 208
12 - 34	RELT, CMDTの動作 ... 209
12 - 35	I ² Cバスによるシリアル・バス構成例 ... 210
12 - 36	I ² Cバスのシリアル・データ転送タイミング ... 211
12 - 37	スタート・コンディション ... 212
12 - 38	アドレス ... 213
12 - 39	転送方向指定 ... 213
12 - 40	アクノリッジ信号 ... 214
12 - 41	ストップ・コンディション ... 214
12 - 42	ウエイト信号 ... 215
12 - 43	端子構成図 ... 223
12 - 44	マスタ→スレーブ通信例(マスタ, スレーブとも9クロック・ウエイト選択時) ... 225
12 - 45	スレーブ→マスタ通信例(マスタ, スレーブとも9クロック・ウエイト選択時) ... 228
12 - 46	スタート・コンディションの出力 ... 232
12 - 47	スレーブのウエイト解除(送信時) ... 233
12 - 48	SCK0/SCL/P27端子の構成 ... 236
13 - 1	シリアル・インタフェース・チャンネル1のブロック図 ... 239
13 - 2	タイマ・クロック選択レジスタ3のフォーマット ... 242
13 - 3	シリアル動作モード・レジスタ1のフォーマット ... 243
13 - 4	自動データ送受信コントロール・レジスタのフォーマット ... 245
13 - 5	自動データ送受信間隔指定レジスタのフォーマット ... 246
13 - 6	3線式シリアルI/Oモードのタイミング ... 252
13 - 7	転送ビット順切り替え回路 ... 253
13 - 8	基本送受信モードの動作タイミング ... 261
13 - 9	基本送受信モードのフロー・チャート ... 262
13 - 10	6バイト分送受信するときのバッファRAMの動作(基本送受信モード時) ... 263
13 - 11	基本送信モードの動作タイミング ... 265
13 - 12	基本送信モードのフロー・チャート ... 266
13 - 13	6バイト分送信するときのバッファRAMの動作(基本送信モード時) ... 267
13 - 14	繰り返し送信モードの動作タイミング ... 269
13 - 15	繰り返し送信モードのフロー・チャート ... 270
13 - 16	6バイト分送信するときのバッファRAMの動作(繰り返し送信モード時) ... 271

図の目次(5/6)

図番号	タイトル , ページ
13 - 17	自動送受信の中断と再開 ... 273
13 - 18	ビジィ制御オプション使用時のシステム構成 ... 274
13 - 19	ビジィ制御オプションを使用したときの動作タイミング(BUSY0 = 0 のとき) ... 275
13 - 20	ビジィ信号とウエイトの解除(BUSY0 = 0 のとき) ... 276
13 - 21	ビジィ & ストロープ制御オプションを使用したときの動作タイミング(BUSY0 = 0 のとき) ... 277
13 - 22	ビジィ信号によるビットずれ検出機能の動作タイミング(BUSY0 = 1 のとき) ... 278
13 - 23	自動送受信のインターバル時間 ... 279
13 - 24	自動送受信機能を内部クロックで動作させる場合の動作タイミング ... 281
14 - 1	割り込み機能の基本構成 ... 285
14 - 2	割り込み要求フラグ・レジスタのフォーマット ... 288
14 - 3	割り込みマスク・フラグ・レジスタのフォーマット ... 289
14 - 4	優先順位指定フラグ・レジスタのフォーマット ... 290
14 - 5	外部割り込みモード・レジスタ 0 のフォーマット ... 291
14 - 6	外部割り込みモード・レジスタ 1 のフォーマット ... 292
14 - 7	サンプリング・クロック選択レジスタのフォーマット ... 293
14 - 8	ノイズ除去回路の入出力タイミング(立ち上がりエッジ検出時) ... 294
14 - 9	プログラム・ステータス・ワードの構成 ... 295
14 - 10	ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート ... 297
14 - 11	ノンマスカブル割り込み要求の受け付けタイミング ... 297
14 - 12	ノンマスカブル割り込み要求の受け付け動作 ... 298
14 - 13	割り込み要求受け付け処理アルゴリズム ... 300
14 - 14	割り込み要求の受け付けタイミング(最小時間) ... 301
14 - 15	割り込み要求の受け付けタイミング(最大時間) ... 301
14 - 16	多重割り込みの例 ... 303
14 - 17	割り込み要求の保留 ... 306
14 - 18	テスト機能の基本構成 ... 307
14 - 19	キー・リターン・モード・レジスタのフォーマット ... 308
15 - 1	PLL周波数シンセサイザのブロック図 ... 311
15 - 2	PLLモード・セレクト・レジスタのフォーマット ... 314
15 - 3	PLLレファレンス・モード・レジスタのフォーマット ... 315
15 - 4	PLLアンロックFFジャッジ・レジスタのフォーマット ... 316
15 - 5	PLLデータ転送レジスタのフォーマット ... 317
15 - 6	EOセレクト・レジスタのフォーマット ... 318
15 - 7	入力切り替えブロックおよびプログラマブル・ディバイダの構成 ... 319
15 - 8	基準周波数発生器の構成 ... 320

図の目次(6/6)

図番号	タイトル , ページ
15 - 9	位相比較器 , チャージ・ポンプおよびアンロックFFの構成 ... 320
15 - 10	f_r , f_N , $\overline{UP}$, $\overline{DW}$ 信号の関係 ... 321
15 - 11	エラー・アウト出力の構成 ... 322
16 - 1	周波数カウンタのブロック図 ... 330
16 - 2	IFカウンタ・モード・セレクト・レジスタのフォーマット ... 331
16 - 3	IFカウンタ・コントロール・レジスタのフォーマット ... 332
16 - 4	IFカウンタ・ゲート・ジャッジ・レジスタのフォーマット ... 333
16 - 5	入力端子 , モードの選択ブロック図 ... 334
16 - 6	周波数カウンタのゲート・タイミング ... 335
16 - 7	周波数カウンタ入力端子回路 ... 336
16 - 8	HALT命令を実行したときのゲート状態 ... 337
17 - 1	発振安定時間選択レジスタのフォーマット ... 340
17 - 2	HALTモードの割り込み要求発生による解除 ... 342
17 - 3	HALTモードの $\overline{RESET}$ 入力による解除 ... 343
17 - 4	STOPモードの割り込み要求発生による解除 ... 345
17 - 5	STOPモードの $\overline{RESET}$ 入力による解除 ... 346
18 - 1	リセット機能のブロック図 ... 348
18 - 2	$\overline{RESET}$ 入力によるリセット・タイミング ... 349
18 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 349
18 - 4	パワーオン・クリアによるリセット・タイミング ... 350
18 - 5	POCステータス・レジスタのフォーマット ... 354
19 - 1	ページ・プログラム・モード・フロー・チャート ... 358
19 - 2	ページ・プログラム・モード・タイミング ... 359
19 - 3	バイト・プログラム・モード・フロー・チャート ... 360
19 - 4	バイト・プログラム・モード・タイミング ... 361
19 - 5	PROMの読み出しタイミング ... 362
A - 1	開発ツール構成 ... 382
A - 2	EV-9200GC-80 外形図(参考)(単位 : mm) ... 391
A - 3	EV-9200GC-80 基板取り付け推奨パターン(参考)(単位 : mm) ... 392

表の目次(1/2)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプ ... 19
3 - 1	ベクタ・テーブル ... 28
3 - 2	特殊機能レジスタ一覧 ... 41
4 - 1	ポートの機能 ... 58
4 - 2	ポートの構成 ... 59
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 71
5 - 1	クロック発生回路の構成 ... 77
5 - 2	CPUクロックと最小命令実行時間の関係 ... 80
5 - 3	CPUクロックの切り替えに要する最大時間 ... 86
6 - 1	8ビット・タイマ/イベント・カウンタのインターバル時間 ... 90
6 - 2	8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間 ... 91
6 - 3	8ビット・タイマ/イベント・カウンタの構成 ... 92
6 - 4	8ビット・タイマ/イベント・カウンタ1のインターバル時間 ... 98
6 - 5	8ビット・タイマ/イベント・カウンタ2のインターバル時間 ... 99
6 - 6	2チャンネルの8ビット・タイマ/イベント・カウンタ(TM1, TM2)を16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間 ... 102
7 - 1	8ビット・タイマのインターバル時間 ... 107
7 - 2	D/Aコンバータ(PWM出力)の出力周波数とデューティ ... 107
7 - 3	8ビット・タイマの構成 ... 108
9 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 123
9 - 2	インターバル時間 ... 124
9 - 3	ウォッチドッグ・タイマの構成 ... 124
9 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 129
9 - 5	インターバル・タイマのインターバル時間 ... 130
10 - 1	ブザー出力制御回路の構成 ... 131
11 - 1	A/Dコンバータの構成 ... 135
12 - 1	チャンネル0, チャンネル1の違い ... 149
12 - 2	シリアル・インタフェース・チャンネル0の構成 ... 154

表の目次(2/2)

表番号	タイトル , ページ
12 - 3	シリアル・インタフェース・チャンネル 0 の割り込み要求信号の発生 ... 159
12 - 4	SBIモードにおける各種の信号 ... 194
12 - 5	I ² Cバス・モードにおける各種の信号 ... 222
13 - 1	シリアル・インタフェース・チャンネル 1 の構成 ... 238
13 - 2	CPU処理によるインターバル時間(内部クロック動作時) ... 280
13 - 3	CPU処理によるインターバル時間(外部クロック動作時) ... 281
14 - 1	割り込み要因一覧 ... 284
14 - 2	割り込み要求ソースに対する各種フラグ ... 287
14 - 3	マスカブル割り込み要求発生から処理までの時間 ... 299
14 - 4	割り込み処理中に多重割り込み可能な割り込み要求 ... 302
14 - 5	テスト入力要因一覧 ... 307
14 - 6	テスト入力信号に対する各種フラグ ... 307
15 - 1	分周方式 , 入力端子および分周値 ... 310
15 - 2	PLL周波数シンセサイザの構成 ... 311
15 - 3	エラー・アウト出力信号 ... 322
15 - 4	PLLディスエーブル時の各ブロックの動作およびレジスタの状態 ... 328
16 - 1	周波数カウンタの構成 ... 329
17 - 1	HALTモード時の動作状態 ... 341
17 - 2	HALTモードの解除後の動作 ... 343
17 - 3	STOPモード時の動作状態 ... 344
17 - 4	STOPモードの解除後の動作 ... 346
18 - 1	各ハードウェアのリセット後の状態 ... 352
19 - 1	μPD178P018AとマスクROM製品の違い ... 355
19 - 2	PROMプログラミングの動作モード ... 356
20 - 1	オペランドの表現形式と記述方法 ... 366

第1章 概 説

1.1 特 徴

- 大容量ROM, RAM内蔵

品名	項目	データ・メモリ			
	プログラム・メモリ (ROM)	内部高速RAM	バッファRAM	内部拡張RAM	
μ PD178004A	32 Kバイト	1024バイト	32バイト	な し	
μ PD178006A	48 Kバイト				
μ PD178016A					2048バイト
μ PD178018A	60 Kバイト				
μ PD178P018A					

- システム制御に適した命令セット
 - ・ 全アドレス空間でビット処理可能
 - ・ 乗除算命令内蔵
- 汎用入出力ポート：62本
- PLL周波数シンセサイザ用ハードウェア内蔵
 - ・ デュアル・モジュラス・プリスケアラ(130 MHz MAX.)
 - ・ プログラマブル・ディバイダ
 - ・ 位相比較器
 - ・ チャージ・ポンプ
- 周波数カウンタ内蔵
- 8ビット分解能A/Dコンバータ：6チャンネル
- シリアル・インタフェース：クロック同期式2チャンネル
 - ・ 3線式シリアルI/O / SBI / 2線式シリアルI/O / I²Cバス^注・モード：1チャンネル
 - ・ 3線式シリアルI/Oモード(自動送受信機能内蔵)：1チャンネル
- タイマ：5チャンネル
 - ・ ベーシック・タイマ(タイマ・キャリーFF)：1チャンネル
 - ・ 8ビット・タイマ/イベント・カウンタ：2チャンネル
 - ・ 8ビット・タイマ(D/Aコンバータ：PWM出力)：1チャンネル
 - ・ ウォッチドッグ・タイマ：1チャンネル
- ベクタ割り込み要因：17
 - ・ マスカブル割り込み要因：15(内部：8 , 外部：7)
 - ・ ノンマスカブル割り込み要因：1
 - ・ ソフトウェア割り込み要因：1

- テスト入力：1本
- インストラクション・サイクル：0.44 μ s (4.5 MHz水晶振動子使用)
- 電源電圧： $V_{DD} = 4.5 \sim 5.5$ V (PLL動作時)
 - $V_{DD} = 3.5 \sim 5.5$ V (CPU動作時，CPUクロック： $f_x/2$ 以下のとき)
 - $V_{DD} = 4.5 \sim 5.5$ V (CPU動作時，CPUクロック： f_x のとき)
- パワーオン・クリア回路内蔵

注 I²Cバス・モードを使用した場合(周辺ハードウェアを使用せず，プログラムで実現した場合も含む)，マスク発注時に当社販売員に連絡してください。

1.2 応用分野

カー・ステレオ，ホーム・ステレオ

1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD178004AGC- $\times \times \times$ -3B9	80ピン・プラスチックQFP(□14 mm, 0.65 mmピッチ)	マスクROM
μ PD178006AGC- $\times \times \times$ -3B9	"	"
μ PD178016AGC- $\times \times \times$ -3B9	"	"
μ PD178018AGC- $\times \times \times$ -3B9	"	"
μ PD178P018AGC-3B9 ^注	"	ワン・タイムPROM
μ PD178P018AKK-T ^注	80ピン・セラミックWQFN(□14 mm, 0.65 mmピッチ)	EPROM

注 開発中

備考 $\times \times \times$ はROMコード番号です。またI²Cバス使用時はROMコード番号はE $\times \times$ になります。

1.4 品質水準

オーダ名称	パッケージ	品質水準
μ PD178004AGC- × × × -3B9	80ピン・プラスチックQFP(□14 mm, 0.65 mmピッチ)	標準(一般電子機器用)
μ PD178006AGC- × × × -3B9	"	"
μ PD178016AGC- × × × -3B9	"	"
μ PD178018AGC- × × × -3B9	"	"
μ PD178P018AGC-3B9 ^注	"	"
μ PD178P018AKK-T ^注	80ピン・セラミックWQFN(□14 mm, 0.65 mmピッチ)	適用外(機能評価用)

注 開発中

備考 × × × はROMコード番号です。またI²Cバス使用時はROMコード番号はE × × になります。

μ PD178P018AKK-Tは、お客様の装置の量産製品に使用されることを意図した信頼性を保持しておりません。実験または機能評価用にのみご使用ください。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

1.5 端子接続図(Top View)

(1) 通常動作モード

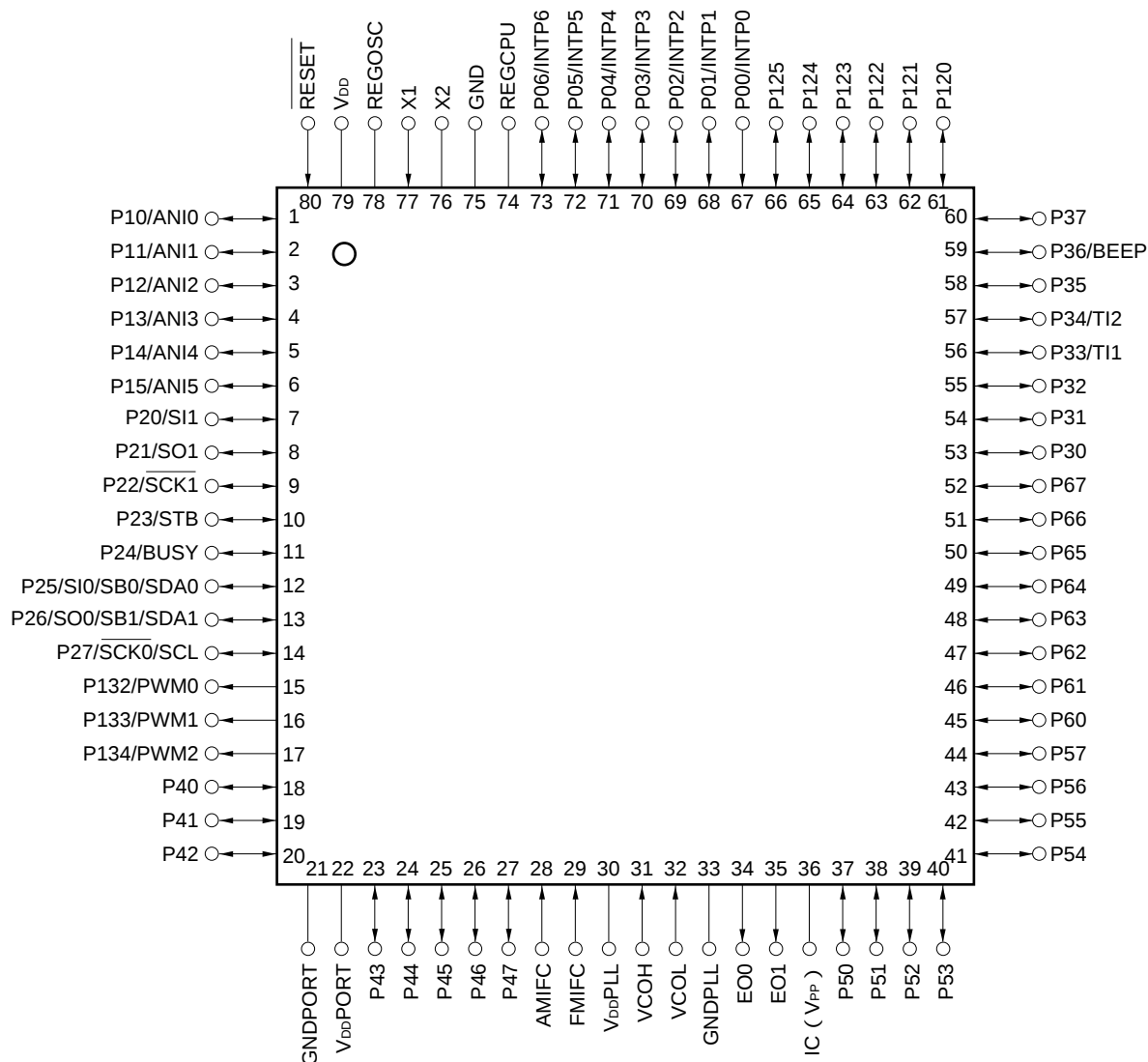
・ 80ピン・プラスチックQFP(□14 mm)

μ PD178004AGC- × × × -3B9, 178006AGC- × × × -3B9

μ PD178016AGC- × × × -3B9, 178018AGC- × × × -3B9, 178P018AGC-3B9^注

・ 80ピン・セラミックWQFN

μ PD178P018AKK-T^注



注 開発中

注意 1 . IC(Internally Connected)端子はGNDに直接接続してください。

2 . VDDPORT, VDDPLL端子はVDD端子と同電位にしてください。

注意3 . GNDPORT, GNDPLL端子はGND端子と同電位にしてください。

4 . REGOSC, REGCPU端子は各端子ごとに0.1 μ Fのコンデンサを介してGNDに接続してください。

備考 ()内は μ PD178P018Aのとき

端子名称

AMIFC	: AM中間周波数カウンタ入力	P132-P134	: ポート13
ANI0-ANI5	: A/Dコンバータ入力	PWM0-PWM2	: PWM出力
BEEP	: ブザー出力	REGCPU	: CPU電源用レギュレータ
BUSY	: ビジィ出力	REGOSC	: 発振回路用レギュレータ
EO0, EO1	: エラー・アウト出力	$\overline{\text{RESET}}$	: リセット入力
FMIFC	: FM中間周波数カウンタ入力	SB0, SB1	: シリアル・データ・バス入力 / 出力
GND	: グランド	$\overline{\text{SCK0}}, \overline{\text{SCK1}}$	: シリアル・クロック入力 / 出力
GNDPLL	: PLL用グランド	SCL	: シリアル・クロック入力 / 出力
GNDPORT	: ポート用グランド	SDA0, SDA1	: シリアル・データ入力 / 出力
IC	: 内部接続	SI0, SI1	: シリアル・データ入力
INTP0-INTP6	: インタラプト入力	SO0, SO1	: シリアル・データ出力
P00-P06	: ポート0	STB	: ストロープ出力
P10-P15	: ポート1	TI1, TI2	: タイマ・クロック入力
P20-P27	: ポート2	VCOL, VCOH	: 局部発振入力
P30-P37	: ポート3	V _{DD}	: 電源
P40-P47	: ポート4	V _{DD} PLL	: PLL用電源
P50-P57	: ポート5	V _{DD} PORT	: ポート用電源
P60-P67	: ポート6	V _{PP}	: プログラミング電源
P120-P125	: ポート12	X1, X2	: 水晶振動子接続

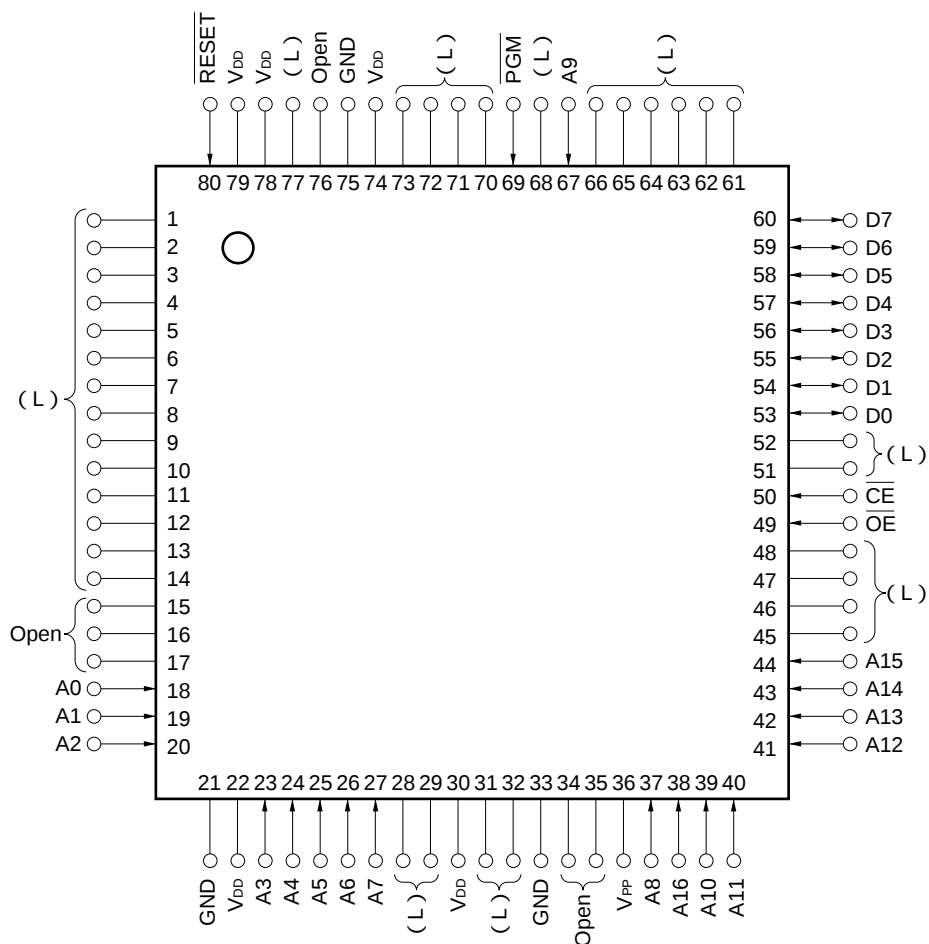
(2) PROMプログラミング・モード

・ 80ピン・プラスチックQFP(□14 mm)

μ PD178P018AGC-3B9^注

・ 80ピン・セラミックWQFN

μ PD178P018AKK-T^注



注 開発中

注意 1 . (L) : 個別にプルダウン抵抗を介してGNDに接続してください。

2 . GND : グランドに接続してください。

3 . $\overline{\text{RESET}}$: ロウ・レベルにしてください。

4 . Open : 何も接続しないでください。

A0-A16 : Address Bus

GND : Ground

$\overline{\text{RESET}}$: Reset

$\overline{\text{CE}}$: Chip Enable

$\overline{\text{OE}}$: Output Enable

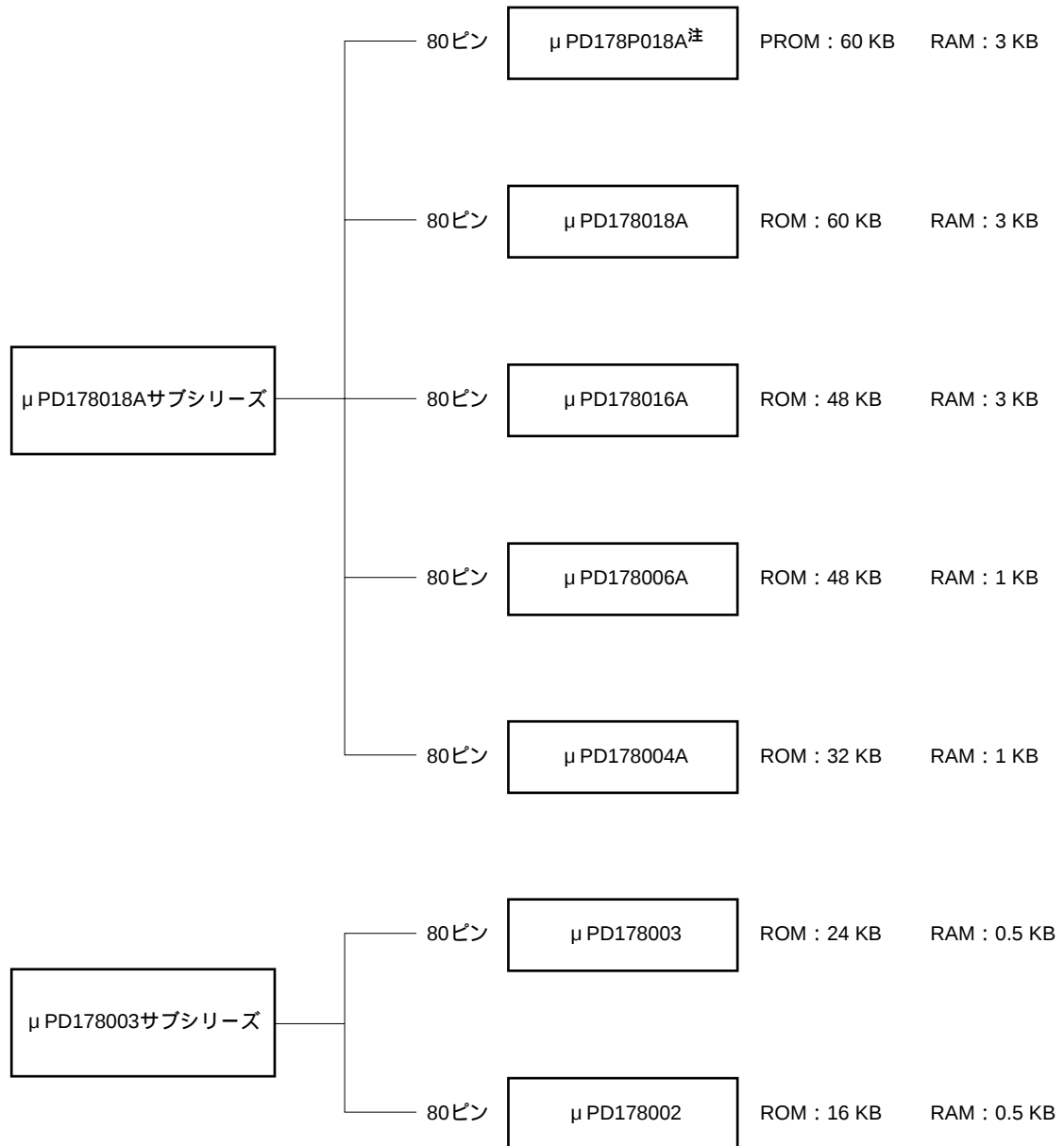
VDD : Power Supply

D0-D7 : Data Bus

PGM : Program

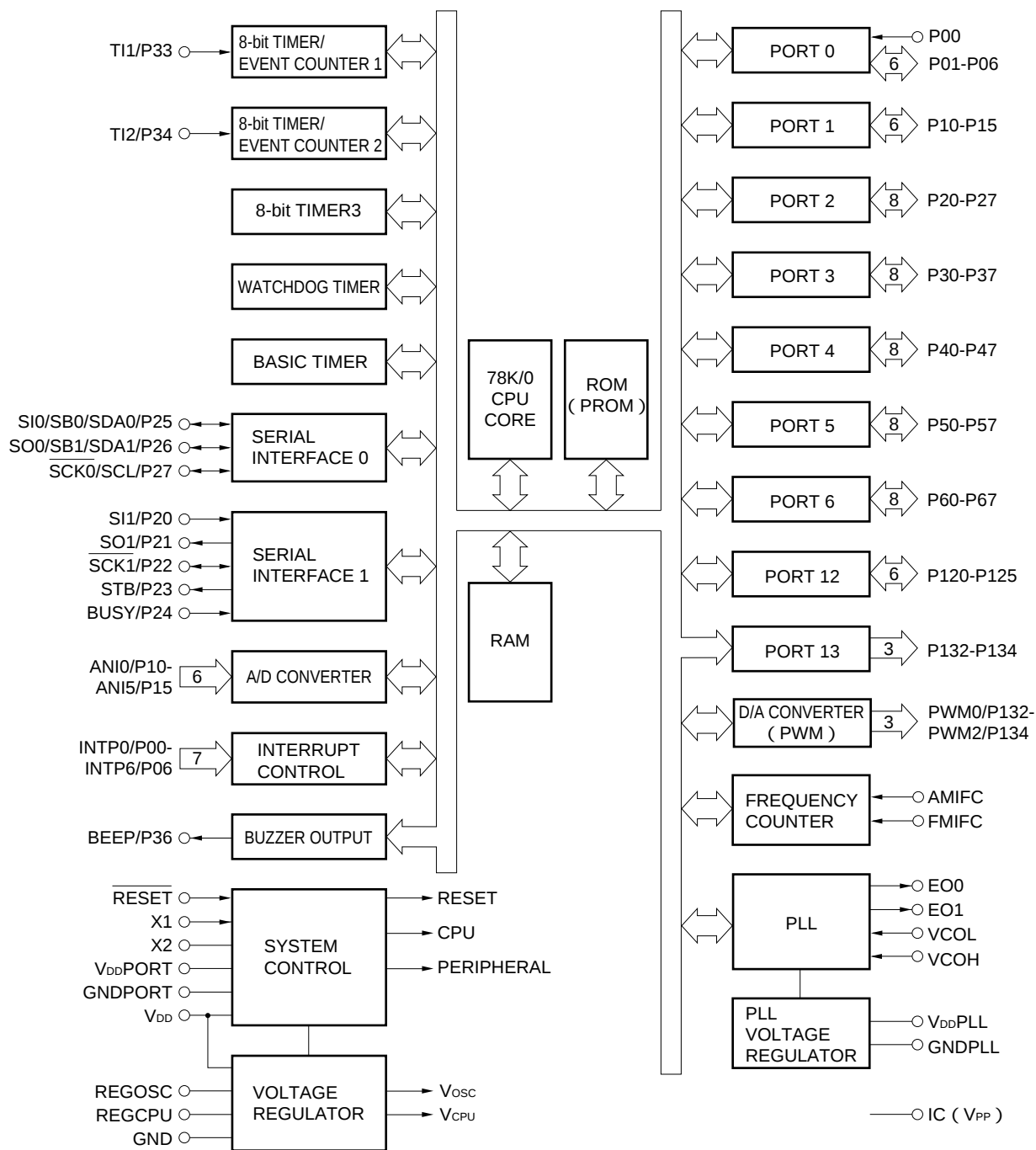
VPP : Programming Power Supply

1.6 μ PD178018Aサブシリーズと μ PD178003サブシリーズの展開



注 開発中

1.7 ブロック図



備考 1 . 内部ROM, RAM容量は製品によって異なります。

2 . ()内はμPD178P018Aのとき

1.8 機能概要

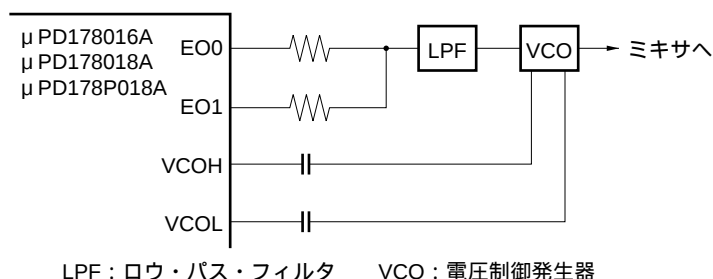
品 名		μ PD178004A	μ PD178006A	μ PD178016A	μ PD178018A	μ PD178P018A
項 目						
内部メモリ	ROM(ROM構造)	32 Kバイト (マスクROM)	48 Kバイト (マスクROM)		60 Kバイト (マスクROM)	60 Kバイト (PROM)
	高速RAM	1024バイト				
	バッファRAM	32バイト				
	拡張RAM	なし		2048バイト		
汎用レジスタ		8 ビット×32レジスタ(8 ビット× 8 レジスタ× 4 バンク)				
最小命令実行時間		0.44 μ s/0.88 μ s/1.78 μ s/3.56 μ s/7.11 μ s/14.22 μ s(4.5 MHz水晶振動子使用)				
命令セット		・ 16ビット演算 ・ 乗除算(8 ビット× 8 ビット , 16ビット÷ 8 ビット) ・ ビット操作(セット , リセット , テスト , ブール演算) ・ BCD補正 など				
I/Oポート		合 計 : 62本 ・ CMOS入力 : 1 本 ・ CMOS入出力 : 54本 ・ N-chオープン・ドレーン入出力 : 4 本 ・ N-chオープン・ドレーン出力 : 3 本				
A/Dコンバータ		8 ビット分解能× 6 チャンネル				
シリアル・インタフェース		・ 3 線式シリアルI/O / SBI / 2 線式シリアルI/O / I ² Cバス ^注 ・モード選択可能 : 1 チャンネル ・ 3 線式シリアルI/Oモード(最大32バイト自動送受信機能内蔵) : 1 チャンネル				
タイマ		・ ベーシック・タイマ(タイマ・キャリーFF(10 Hz)) : 1 チャンネル ・ 8 ビット・タイマ/イベント・カウンタ : 2 チャンネル ・ 8 ビット・タイマ(D/Aコンバータ : PWM出力) : 1 チャンネル ・ ウォッチドッグ・タイマ : 1 チャンネル				
ブザー(BEEP)出力		1.5 kHz, 3 kHz, 6 kHz				
ベクタ	マスカブル	内部 : 8 , 外部 : 7				
割り込み	ノンマスカブル	内部 : 1				
要因	ソフトウェア	内部 : 1				
テスト入力		内部 : 1				

注 I²Cバス・モードを使用した場合(周辺ハードウェアを使用せず , プログラムで実現した場合も含む) , マスク発注時に当社販売員に連絡してください。

品 名		μ PD178004A	μ PD178006A	μ PD178016A	μ PD178018A	μ PD178P018A
項 目						
PLL周波数 シンセサイザ	分周方式	2 種類 ・ 直接分周方式(VCOL端子) ・ パルス・スワロ方式(VCOH, VCOL端子)				
	基準周波数	7 種類をプログラムで選択(1, 3, 5, 9, 10, 25, 50 kHz)				
	チャージ・ポンプ	エラー・アウト出力 2 本(EO0, EO1端子 ^{注1})				
	位相比較器	プログラムによりアンロック検出可能				
周波数カウンタ		・ 周波数測定 ・ AMIFC端子：450 kHzカウント用 ・ FMIFC端子：450kHz/10.7 MHzカウント用				
D/Aコンバータ(PWM出力)		8/9ビット分解能 × 3 チャンネル(8 ビット・タイムと兼用)				
スタンバイ機能		・ HALTモード ・ STOPモード				
リセット		・ $\overline{\text{RESET}}$ 端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・クリア回路によるリセット(3 値検出) ・ 4.5 V ^{注2} 未満の検出(CPUクロック： f_x のとき) ・ 3.5 V ^{注2} 未満の検出(CPUクロック： $f_x/2$ 以下のときおよび電源電圧投入時) ・ 2.5 V ^{注2} 未満の検出(STOPモード時)				
電源電圧		・ $V_{DD} = 4.5 \sim 5.5$ V(PLL動作時) ・ $V_{DD} = 3.5 \sim 5.5$ V(CPU動作時，CPUクロック： $f_x/2$ 以下のとき) ・ $V_{DD} = 4.5 \sim 5.5$ V(CPU動作時，CPUクロック： f_x のとき)				
パッケージ		・ 80ピン・プラスチックQFP(□14 mm, 0.65 mmピッチ) ・ 80ピン・セラミックWQFN(□14 mm, 0.65 mmピッチ，μ PD178P018Aのみ)				

注1．μ PD178016A, 178018A, 178P018Aの場合，EO1端子をハイ・インピーダンスに設定できます。

アプリケーション例を次に示します。



・ 目的周波数に高速にロックする場合

EO0, EO1端子をエラー・アウト出力に設定することで，出力電流能力を上げ，LPFの電圧制御能力を上げます。

・ 定常状態

EO0端子のみエラー・アウト出力に設定することで，LPFの安定度を保ちます。

2．これらの値は第18章 リセット機能を参照してください。

第 2 章 端子機能

2.1 端子機能一覧

2.1.1 通常動作モード時の端子

(1) ポート端子(1/2)

端子名称	入出力	機 能		リセット時	兼用端子
P00	入力	ポート 0。	入力専用。	入力	INTP0
P01-P06	入出力	7 ビット入出力ポート。	1 ビット単位で入力 / 出力の指定可能。	入力	INTP1-INTP6
P10-P15	入出力	ポート 1。 6 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。		入力	ANI0-ANI5
P20	入出力	ポート 2。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。		入力	SI1
P21					SO1
P22					SCK1
P23					STB
P24					BUSY
P25					SI0/SB0/SDA0
P26					SO0/SB1/SDA1
P27					SCK0/SCL
P30-P32	入出力	ポート 3。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。		入力	-
P33					TI1
P34					TI2
P35					-
P36					BEEP
P37					-
P40-47	入出力	ポート 4。 8 ビット入出力ポート。 8 ビット単位で入力 / 出力の指定可能。 立ち下がりエッジの検出により，テスト入力フラグ(KRIF)を 1 にセット。		入力	-
P50-P57	入出力	ポート 5。 8 ビット入出力ポート。 1 ビット単位で入力 / 出力の指定可能。		入力	-

(1) ポート端子(2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P60-P63	入出力	ポート6。 8ビット入出力ポート。	入力	-
P64-P67		1ビット単位で入力/出力の指定可能。 中耐圧N-chオープン・ドレイン入出力ポート。 LEDを直接駆動可能。		
P120-P125	入出力	ポート12。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力	-
P132-P134	出力	ポート13。 3ビット出力ポート。 N-chオープン・ドレイン出力ポート。	-	PWM0-PWM2

(2) ポート以外の端子(1/2)

端子名称	入出力	機 能	リセット時	兼用端子
INTP0-INTP6	入力	有効エッジ(立ち上がりエッジ, 立ち下がりエッジ, 立ち上がりおよび立ち下がりの両エッジ)指定可能な外部マスカブル割り込み要求入力。	入力	P00-P06
SI0	入力	シリアル・インタフェースのシリアル・データ入力。	入力	P25/SB0/SDA0
SI1				P20
SO0	出力	シリアル・インタフェースのシリアル・データ出力。	入力	P26/SB1/SDA1
SO1				P21
SB0	入出力	シリアル・インタフェースのシリアル・データ入力/出力。	入力	P25/SI0/SDA0
SB1				P26/SO0/SDA1
SDA0				P25/SI0/SB0
SDA1				P26/SO0/SB1
SCK0	入出力	シリアル・インタフェースのシリアル・クロック入力/出力。	入力	P27/SCL
SCK1				P22
SCL				P27/SCK0
STB	出力	シリアル・インタフェース自動送信用ストロブ出力。	入力	P23
BUSY	入力	シリアル・インタフェース自動送信用ビジー入力。	入力	P24
TI1	入力	8ビット・タイマ(TM1)への外部カウント・クロック入力。	入力	P33
TI2		8ビット・タイマ(TM2)への外部カウント・クロック入力。		P34
BEEP	出力	ブザー出力。	入力	P36
ANI0-ANI5	入力	A/Dコンバータのアナログ入力。	入力	P10-P15
PWM0-PWM2	出力	PWM出力。	-	P132-P134
EO0, EO1	出力	PLL周波数シンセサイザのチャージ・ポンプからのエラー・アウト出力。	-	-
VCOL	入力	PLLの局部発信周波数を入力(HF, MFモード時)。	-	-

(2) ポート以外の端子(2/2)

端子名称	入出力	機 能	リセット時	兼用端子
VCOH	入力	PLLの局部発信周波数を入力(VHFモード時)。	-	-
AMIFC	入力	AM中間周波数カウンタの入力。	-	-
FMIFC	入力	FM中間周波数カウンタの入力。	-	-
RESET	入力	システム・リセット入力。	-	-
X1	入力	システム・クロック発振用水晶振動子接続。	-	-
X2	-		-	-
REGOSC	-	発振回路用レギュレータ。0.1 μ Fのコンデンサを介してGNDに接続。	-	-
REGCPU	-	CPU電源用レギュレータ。0.1 μ Fのコンデンサを介してGNDに接続。	-	-
V _{DD}	-	正電源。	-	-
GND	-	グラウンド。	-	-
V _{DD} PORT	-	ポート用正電源。	-	-
GNDPORT	-	ポート用グラウンド。	-	-
V _{DD} PLL ^注	-	PLL用正電源。	-	-
GNDPLL ^注	-	PLL用グラウンド。	-	-
IC	-	内部接続。GNDまたはGNDPORTに直接接続。	-	-

注 V_{DD}PLL端子とGNDPLL端子との間に1000 pF程度のコンデンサを接続してください。

2.1.2 PROMプログラミング・モード時の端子(PROM製品のみ)

端子名称	入出力	機 能
RESET	入力	PROMプログラミング・モード設定。 V _{PP} 端子に + 5 Vまたは + 12.5 V, RESET端子にロウ・レベルを印加すると, PROMプログラミング・モードになります。
V _{PP}	入力	PROMプログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加。
A0-A16	入力	アドレス・バス。
D0-D7	入出力	データ・バス。
CE	入力	PROMイネーブル入力/プログラム・パルス入力。
OE	入力	PROMへのリード・ストロブ入力。
PGM	入力	PROMプログラミング・モード時のプログラム/プログラム・インヒビット入力。
V _{DD}	-	正電源。
GND	-	グラウンド電位。

2.2 端子機能の説明

2.2.1 P00-P06(Port0)

7ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P00は入力専用ポート，P01-P06は入出力ポートとして機能します。

P01-P06はポート・モード・レジスタ 0(PM0)により，1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

外部割り込み要求入力端子(INTP0-INTP6)として機能します。

INTP0-INTP6は，有効エッジ(立ち上がりエッジ，立ち下がりエッジ，立ち上がりおよび立ち下がり の両エッジ)指定可能な外部割り込み要求入力端子です。

2.2.2 P10-P15(Port1)

6ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ 1(PM1)により，1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子(ANI0-ANI5)として機能します。

2.2.3 P20-P27(Port2)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力，クロック入出力，自動送受信用ビジー入力，ストローブ出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ 2(PM2)により，1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力，クロック入出力，自動送受信用ビジィ入力，ストローブ出力として機能します。

(a) SI0, SI1, SO0, SO1, SDA0^注, SDA1^注

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK0}}$, $\overline{\text{SCK1}}$, SCL^注

シリアル・インタフェースのシリアル・クロックの入出力端子です。

注 I²Cバス・モード用です。

(c) SB0, SB1

NEC標準シリアル・バス・インタフェース用入出力端子です。

(d) BUSY

シリアル・インタフェース自動送受信用ビジィ入力端子です。

(e) STB

シリアル・インタフェース自動送受信用ストローブ出力端子です。

注意 シリアル・インタフェースの端子として使用する場合は，その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については，図12 - 5 シリアル動作モード・レジスタ0のフォーマット，図13 - 3 シリアル動作モード・レジスタ1のフォーマットを参照してください。

2.2.4 P30-P37(Port3)

8ビットの入出力ポートです。入出力ポートのほかにタイマの入力，ブザー出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ3(PM3)により，1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

タイマの入力，ブザー(BEEP)出力として機能します。

(a) TI1 , TI2

8 ビット・タイマ / イベント・カウンタへの外部クロック入力端子です。

(b) BEEP

ブザー(BEEP)出力端子です。

2.2.5 P40-P47(Port4)

8 ビットの入出力ポートです。

立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を 1 にセットできます。

ポート・モード・レジスタ 4(MM)により、8 ビット単位で入力ポートまたは出力ポートに指定できます。

2.2.6 P50-P57(Port5)

8 ビットの入出力ポートです。

LEDを直接駆動可能です。

ポート・モード・レジスタ 5(PM5)により、1 ビット単位で入力ポートまたは出力ポートに指定できます。

2.2.7 P60-P67(Port6)

8 ビットの入出力ポートです。

P60-P63はLEDを直接駆動可能です。

ポート・モード・レジスタ 6(PM6)により、1 ビット単位で入力ポートまたは出力ポートに指定できます。

P60-P63はN-chオープン・ドレインになっています。

2.2.8 P120-P125(Port12)

6 ビットの入出力ポートです。

ポート・モード・レジスタ 12(PM12)により、1 ビット単位で入力ポートまたは出力ポートに指定できます。

2.2.9 P132-P134(Port13)

3 ビットの出力ポートです。出力ポートのほかにPWM出力機能があります。

1 ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3 ビットの出力ポートとして機能します。

(2) コントロール・モード

PWMの出力(PWM0-PWM2)として機能します。

2.2.10 EO0, EO1

PLL周波数シンセサイザのチャージ・ポンプからの出力端子です。

局部発振入力(VCOL, VCOH端子)のプログラム・ディバイダによる分周周波数と基準周波数の位相比較結果を出力します。

μPD178016A, 178018A, 178P018Aの場合は, EO1端子をハイ・インピーダンスに設定できます。

2.2.11 VCOL, VCOH

PLLの局部発振(VCO)周波数を入力する端子です。

これらの端子の入力は交流アンプとなっているため, 入力信号の直流分はコンデンサでカットしてください。

- VCOL

- ・HF, MF入力
- ・プログラムでHF, AMモード選択時, アクティブになります。それ以外のときはハイ・インピーダンスになります。

- VCOH

- ・VHF入力
- ・プログラムでFMモード選択時, アクティブになります。それ以外のときはハイ・インピーダンスになります。

2.2.12 AMIFC

AM中間周波数カウンタの入力端子です。

2.2.13 FMIFC

FM中間周波数カウンタの入力端子です。

2.2.14 RESET

ロウ・アクティブのシステム・リセット入力端子です。

2.2.15 X1, X2

システム・クロック発振用水晶振動子接続端子です。

2.2.16 REGOSC

発振回路用レギュレータ端子です。0.1μFのコンデンサを介してGNDに接続してください。

2.2.17 REGCPU

CPU電源用レギュレータ端子です。0.1μFのコンデンサを介してGNDに接続してください。

2.2.18 V_{DD}

正電源供給端子です。

2.2.19 GND

グラウンド電位端子です。

2.2.20 V_{DD}PORT

ポート用正電源供給端子です。V_{DD}端子と同電位にしてください。

2.2.21 GNDPORT

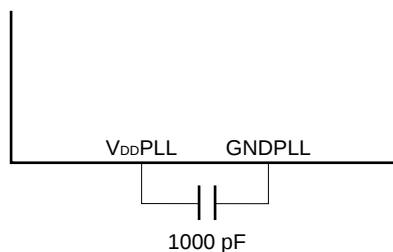
ポート用グラウンド電位端子です。GND端子と同電位にしてください。

2.2.22 V_{DD}PLL

PLL用正電源電圧供給端子です。V_{DD}PLL端子とGNDPLL端子との間に1000 pF程度のコンデンサを接続してください。

2.2.23 GNDPLL

PLL用グラウンド電位端子です。GNDPLL端子とV_{DD}PLL端子との間に1000 pF程度のコンデンサを接続してください。



2.2.24 V_{PR}(PROM製品のみ)

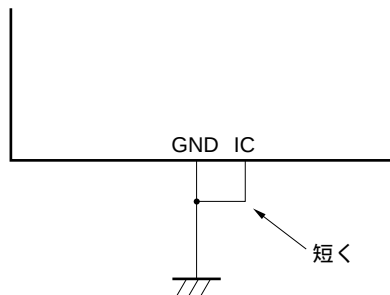
PROMプログラミング・モード設定およびプログラム書き込み／ベリファイ時の高電圧印加端子です。
通常動作モード時は、GNDに直接接続してください。

2.2.25 IC(マスクROM製品のみ)

IC(Internally Connected)端子は、当社出荷時に μ PD178018Aサブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作モード時には、IC端子をGND端子に直接接続し、その配線長を極力短くしてください。

IC端子とGND間の配線の引き回しが長い場合や、IC端子に外来ノイズが加わった場合などで、IC端子とGND端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

- IC端子をGND端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

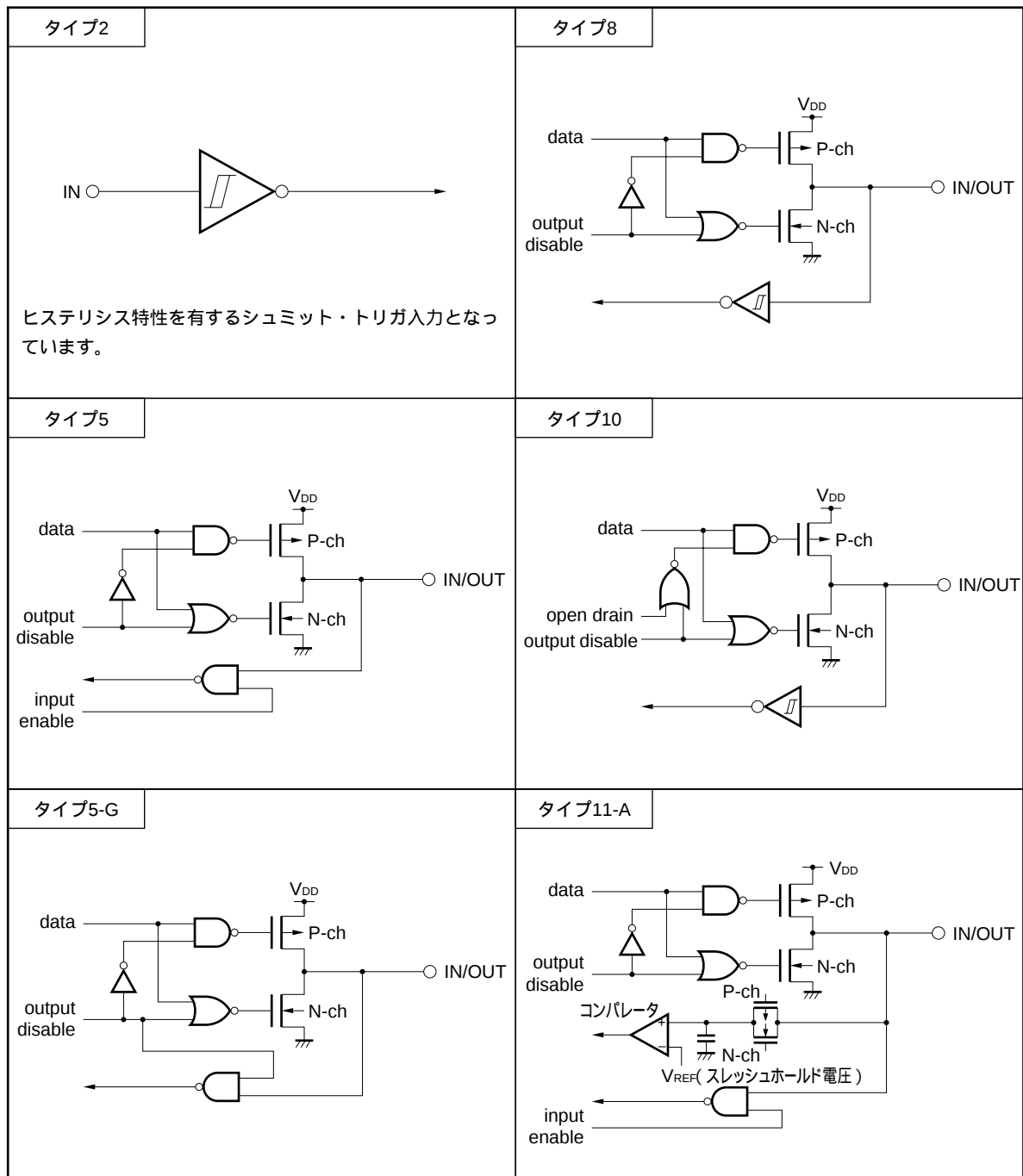
また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプ

端 子 名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/INTP0	2	入力	GNDまたはGNDPORTに接続
P01/INTP1-P06/INTP6	8	入出力	ソフトウェアで汎用入力ポートに設定して，個別に抵抗を介してV _{DD} , V _{DD} PORT, GND, GNDPORTのいずれかに接続
P10/ANI0-P15/ANI5	11-A		
P20/SI1	8		
P21/SO1	5		
P22/SCK1	8		
P23/STB	5		
P24/BUSY	8		
P25/SI0/SB0/SDA0	10		
P26/SO0/SB1/SDA1			
P27/SCK0/SCL			
P30-P32	5		
P33/TI1, P34/TI2	8		
P35	5		
P36/BEEP			
P37			
P40-P47	5-G		
P50-P57	5		
P60-P63	13-D		
P64-P67	5		
P120-P125			
P132/PWM0-P134/PWM2	19	出力	ソフトウェアでロウ・レベル出力に設定して，オープン
EO0	DTS-EO1		オープン
EO1	DTS-EO3 ^注		
VCOL, VCOH	DTS-AMP	入力	ソフトウェアで端子ディスエーブルに設定して，オープン
AMIFC, FMIFC			
IC(マスクROM製品)	-	-	GNDまたはGNDPORTに直接接続
V _{PR} (PROM製品)			

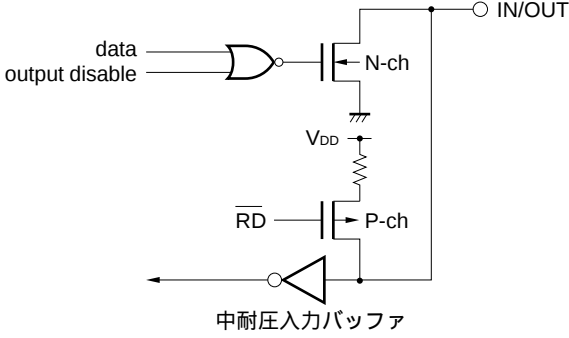
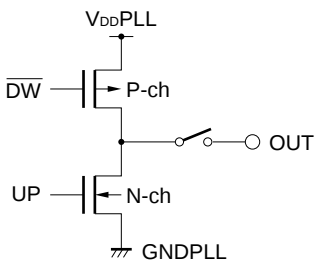
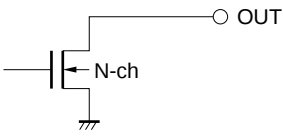
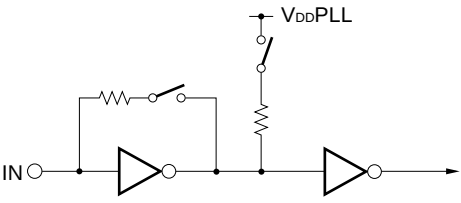
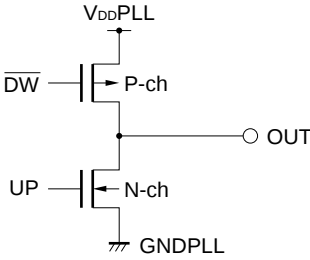
注 μ PD178004A, 178006Aの場合は、DTS-EO1タイプになります。

図2 - 1 端子の入出力回路一覧(1/2)



備考 V_{DD} およびGNDは、すべてポート部への正電源およびグランド電位です。それぞれ V_{DDPORT} 、 $GNDPORT$ と読み替えてください。

図2 - 1 端子の入出力回路一覧(2/2)

タイプ13-D  中耐圧入力バッファ	タイプDTS-EO3 
タイプ19 	タイプDTS-AMP 
タイプDTS-EO1 	

備考 V_{DD} およびGNDは、すべてポート部への正電源およびグランド電位です。それぞれ V_{DDPORT} 、 $GNDPORT$ と読み替えてください。

図3 - 2 メモリ・マップ(μPD178006A)

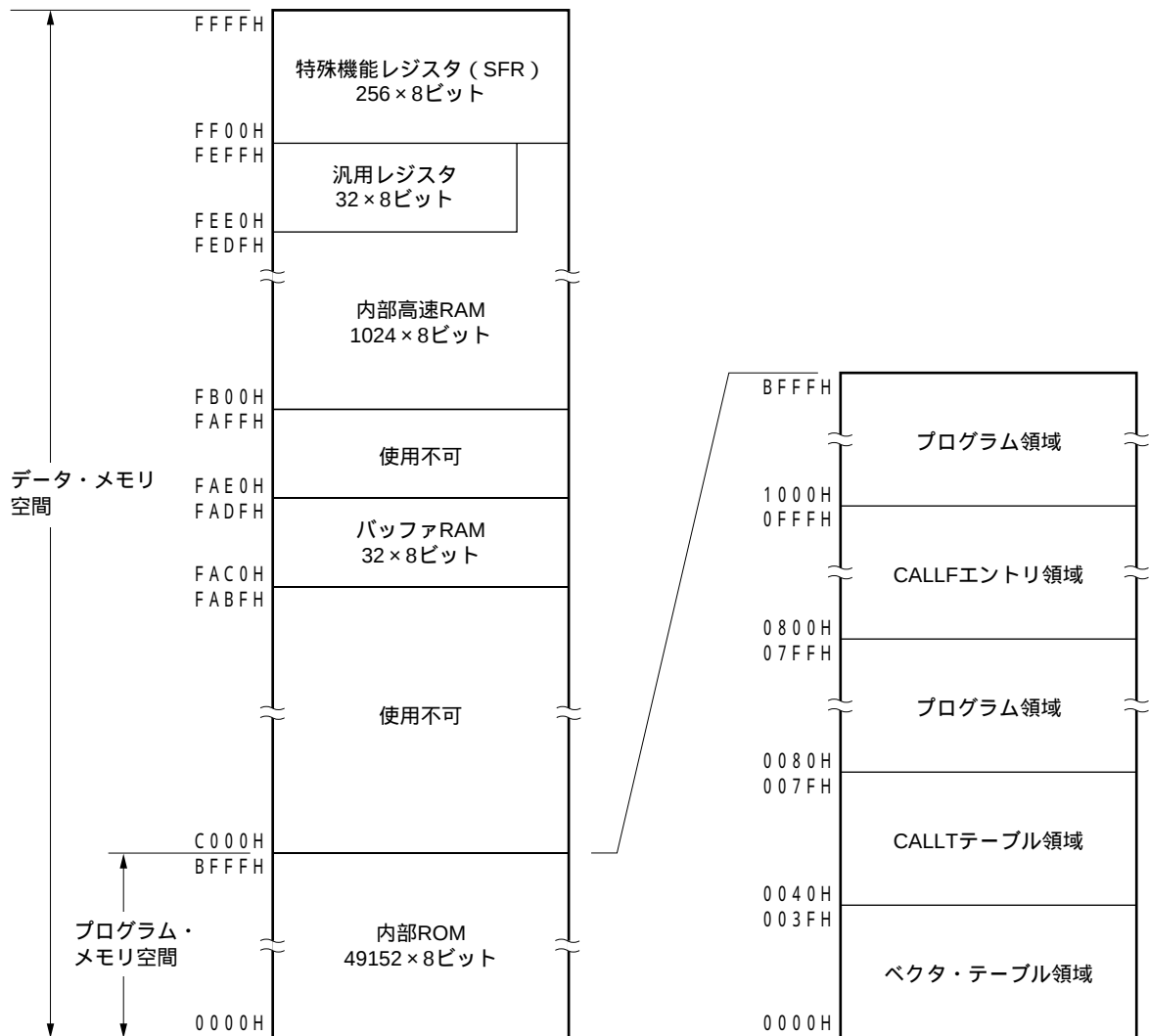


図3 - 3 メモリ・マップ(μPD178016A)

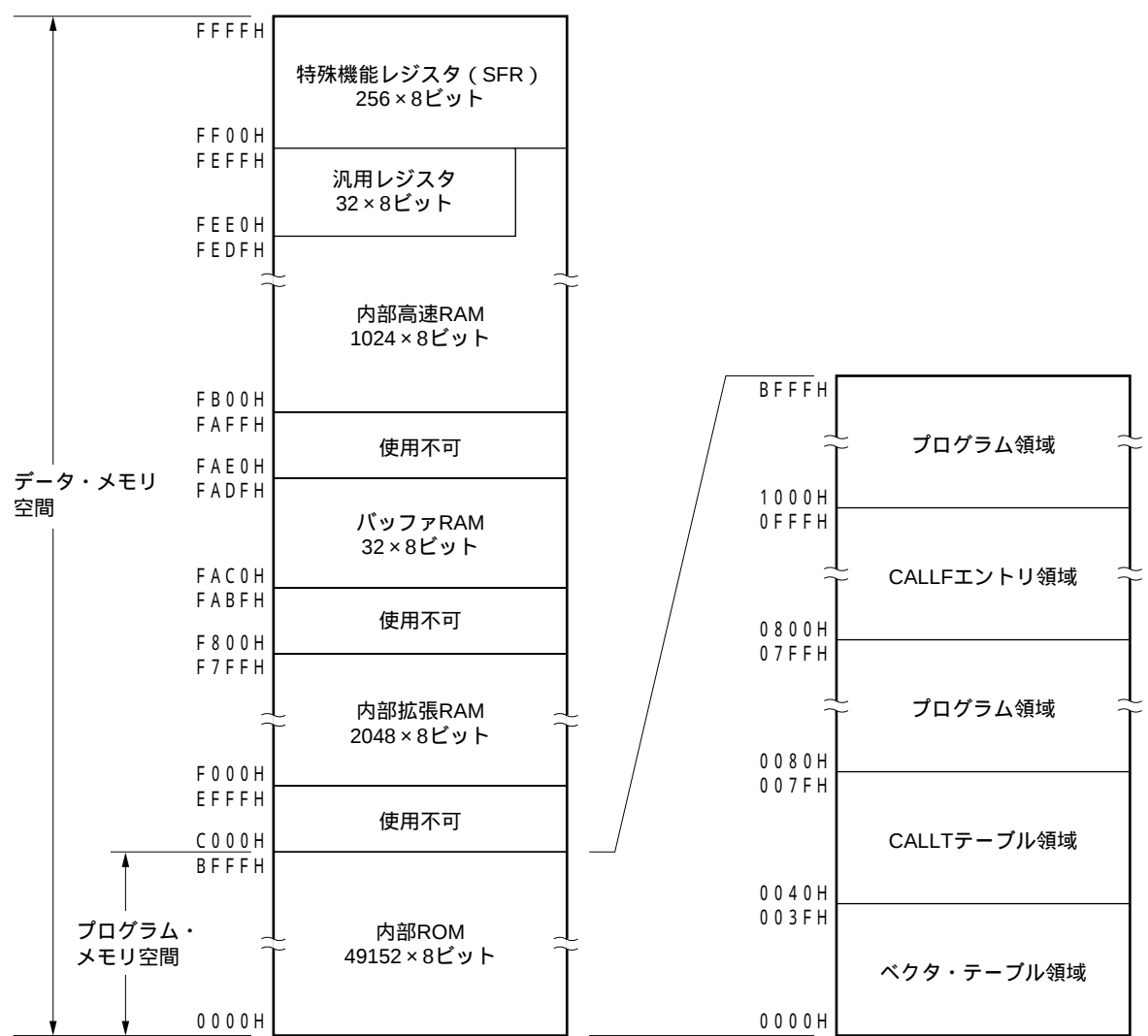


図3-4 メモリ・マップ(μPD178018A)

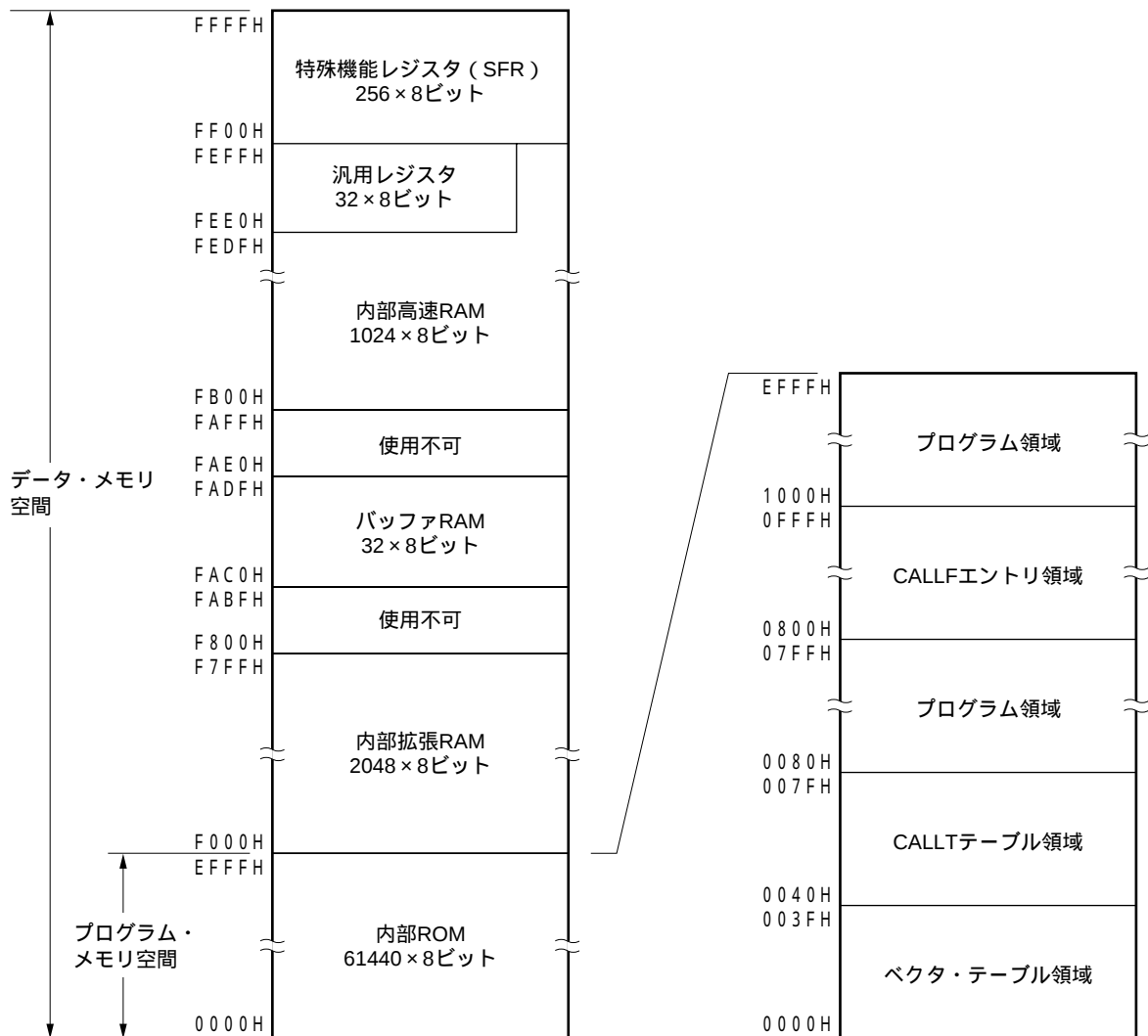
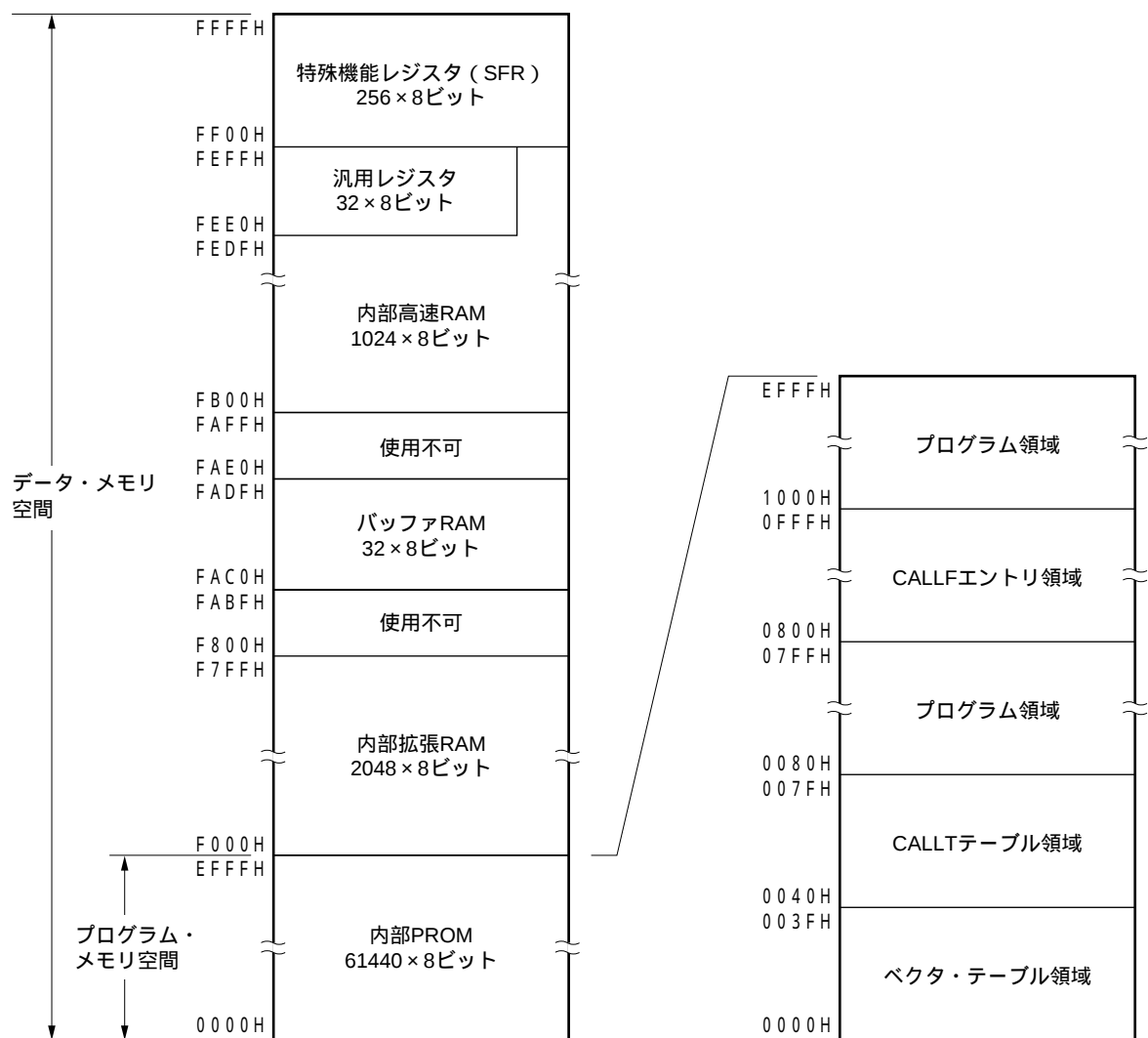


図3 - 5 メモリ・マップ(μPD178P018A)



3.1.1 内部プログラム・メモリ空間

μPD178004Aは32768×8ビット，μPD178006Aは49152×8ビット，μPD178016Aは49152×8ビット，μPD178018Aは61440×8ビット構成のマスクROM，μPD178P018Aは61440×8ビット構成のPROMとなっています。プログラムおよびテーブル・データなどを格納します。通常，プログラム・カウンタ（PC）でアドレスします。

内部プログラム・メモリ空間には，次に示す領域を割り付けています。

（１）ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット入力，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうちの低位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

表3 - 1 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因
0000H	リセット入力
0004H	INTWDT
0006H	INTP0
0008H	INTP1
000AH	INTP2
000CH	INTP3
000EH	INTP4
0010H	INTP5
0012H	INTP6
0014H	INTCSI0
0016H	INTCSI1
0018H	INTTMC
001AH	INTPWM
001CH	INTTM1
001EH	INTTM2
0020H	INTAD
003EH	BRK

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には、1バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納できます。

(3) CALLF命令エントリ領域

0800H-0FFFFHの領域は、2バイト・コール命令(CALLF)で直接サブルーチン・コールできます。

3.1.2 内部データ・メモリ空間

μPD178018Aサブシリーズは、次に示すRAMを内蔵しています。

(1) 内部高速RAM

1024×8ビット構成となっています。このうちFEE0H-FEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられています。

また、内部高速RAMはスタック・メモリ領域としても使用できます。

(2) バッファRAM

FAC0H-FADFHの32バイトの領域には、バッファRAMが割り付けられています。バッファRAMは、シリアル・インタフェース・チャンネル1(自動送受信機能付き3線式シリアルI/Oモード)の送信/受信データを格納するために使用します。自動送受信機能付き3線式シリアルI/Oモードで使用しない場合は、バッファRAMは通常のRAMとしても使用できます。

(3) 内部拡張RAM

μPD178016A, 178018A, 178P018Aのみ、F000H-F7FFFHの2048バイトの領域に、内部拡張RAMが割り付けられています。

3.1.3 特殊機能レジスタ(SFR: Special Function Register)領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ(SFR)が割り付けられています(3.2.3 特殊機能レジスタ(SFR: Special Function Register)の表3-2 特殊機能レジスタ一覧参照)。

注意 SFRを割り付けていないアドレスをアクセスしないでください。

3.1.4 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレッシングといいます。

次に実行する命令のアドレスはプログラム・カウンタ(PC)によりアドレスされます(詳細については、**3.3 命令アドレスのアドレッシング**を参照してください)。

一方、命令を実行する際に操作対象となるメモリのアドレッシングについて、 μ PD178018Aサブシリーズでは、その操作性などを考慮して豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域(FB00H-FFFFH)では、特殊機能レジスタ(SFR)や汎用レジスタなど、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 6から図3 - 10にデータ・メモリのアドレッシングを示します。各アドレッシングの詳細については、**3.4 オペランド・アドレスのアドレッシング**を参照してください。

図3 - 6 データ・メモリのアドレッシング(μ PD178004A)

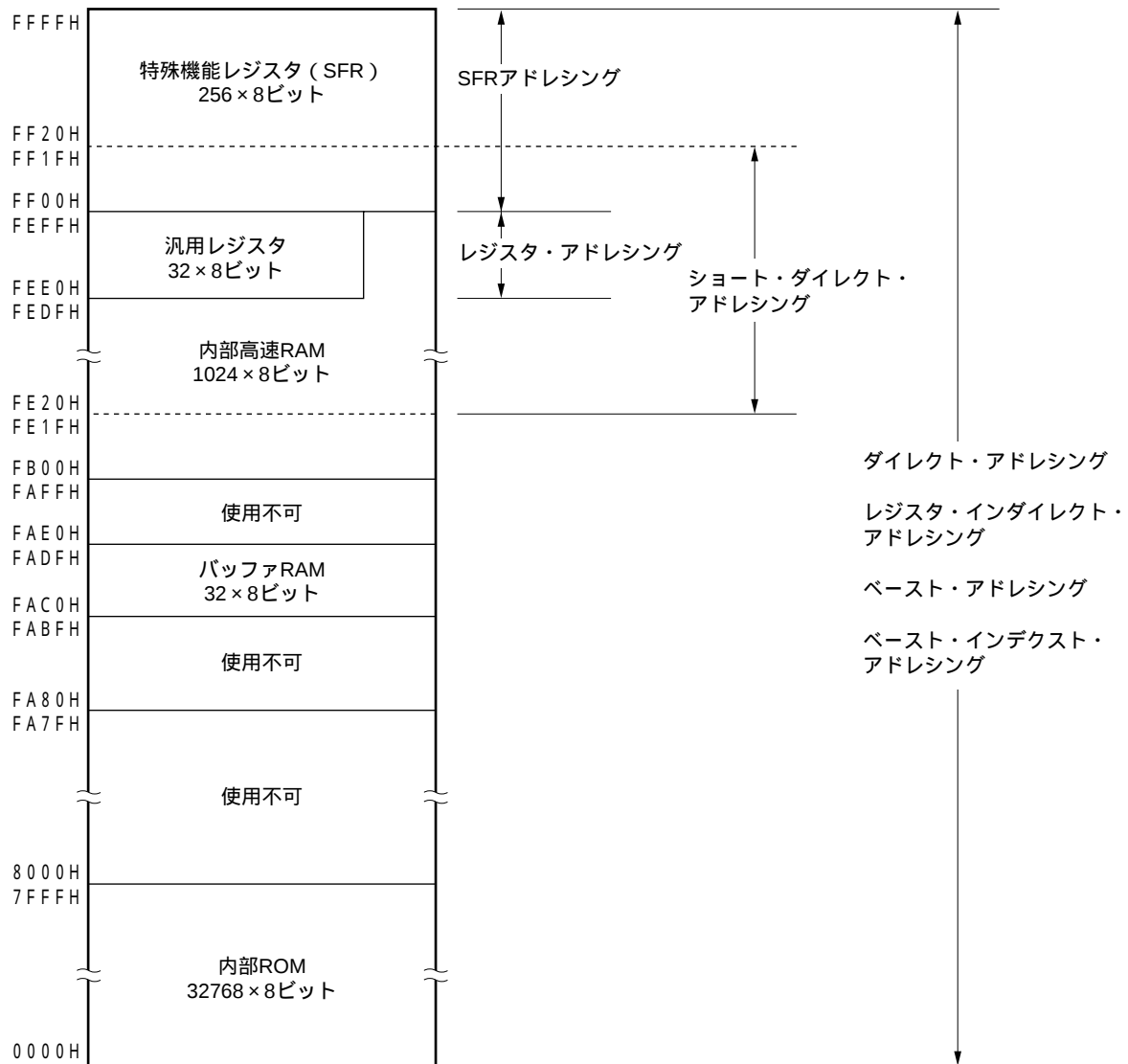


図3 - 7 データ・メモリのアドレッシング(μPD178006A)

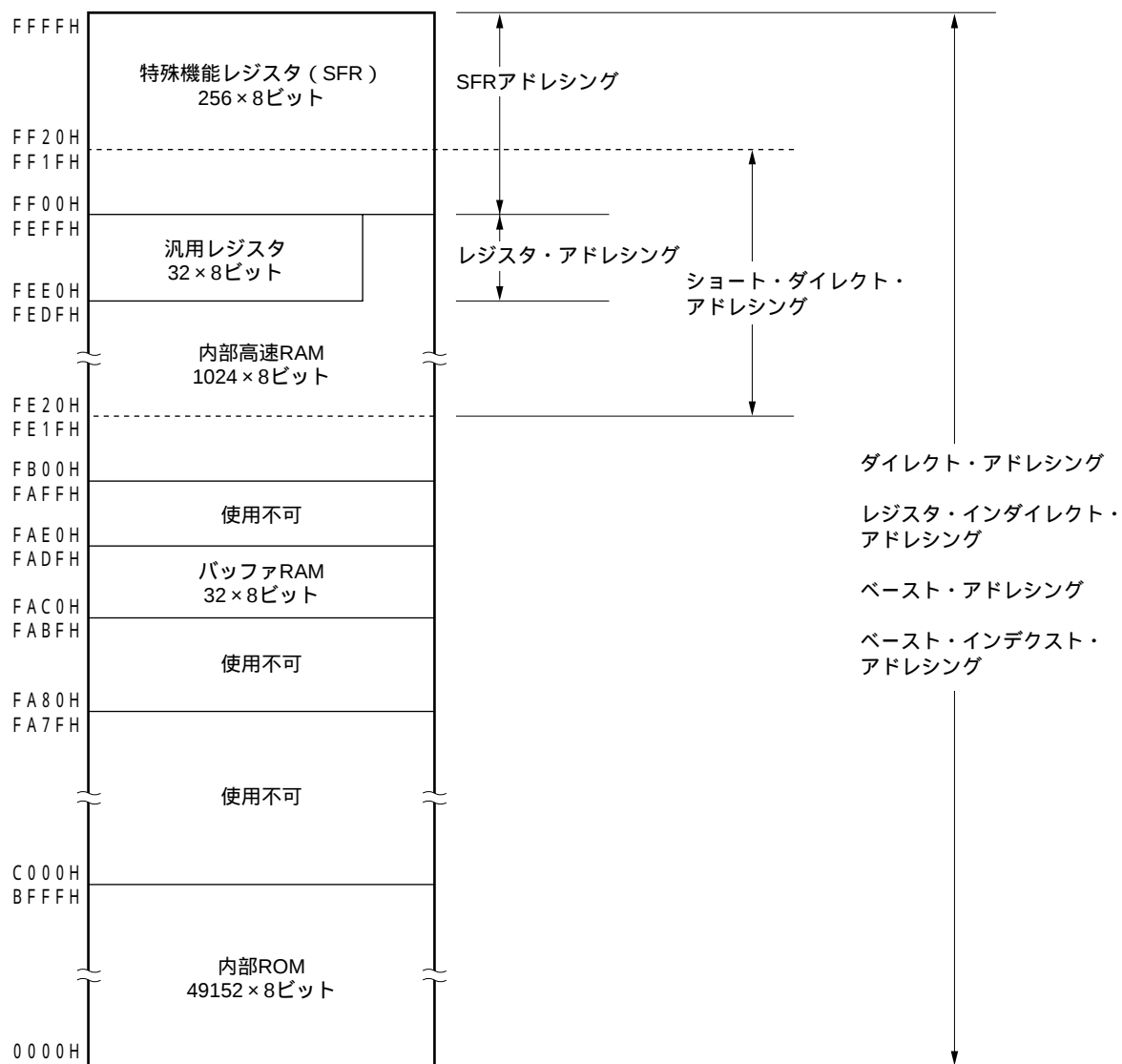


図3 - 8 データ・メモリのアドレッシング(μPD178016A)

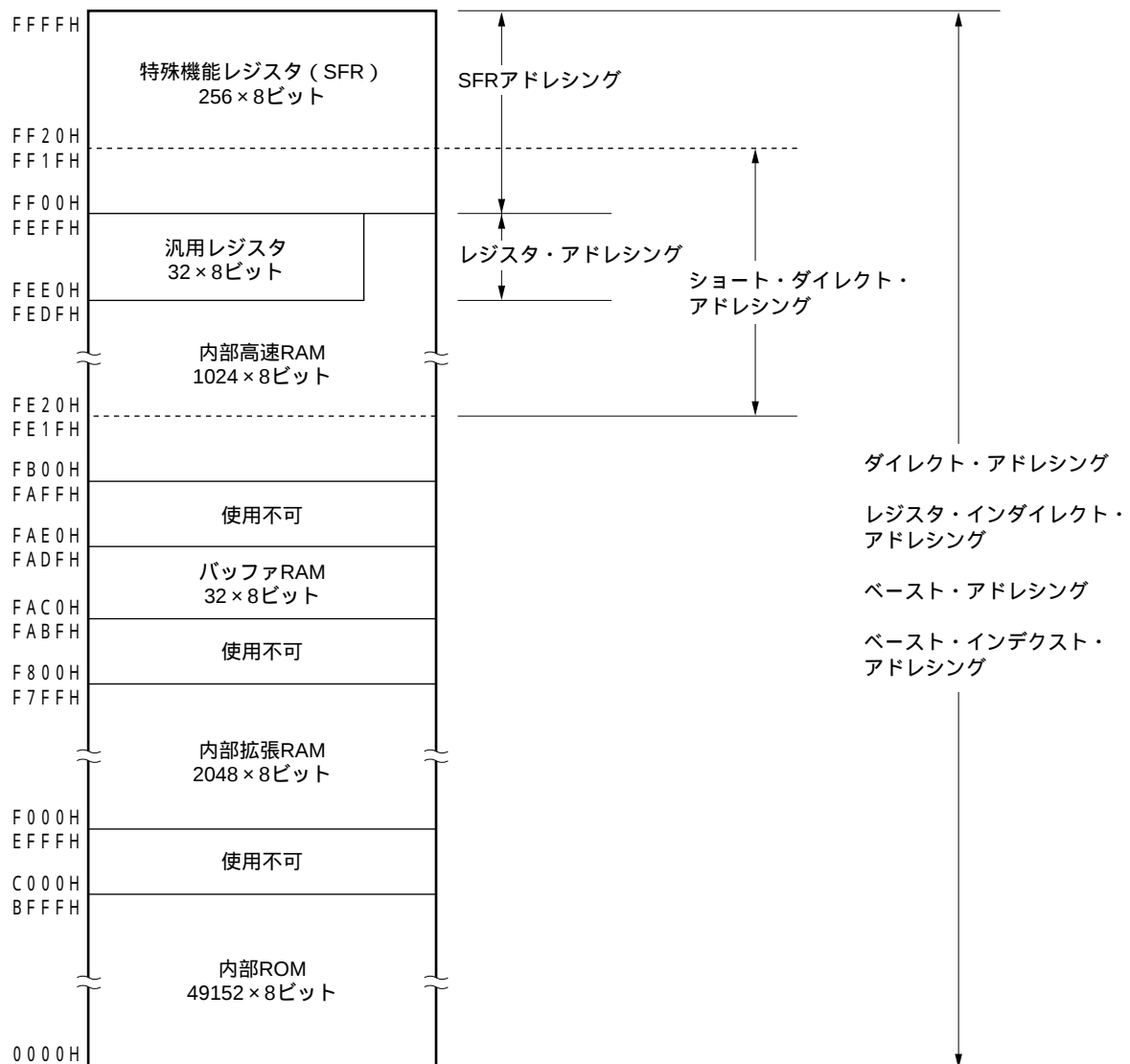


図3 - 9 データ・メモリのアドレッシング(μPD178018A)

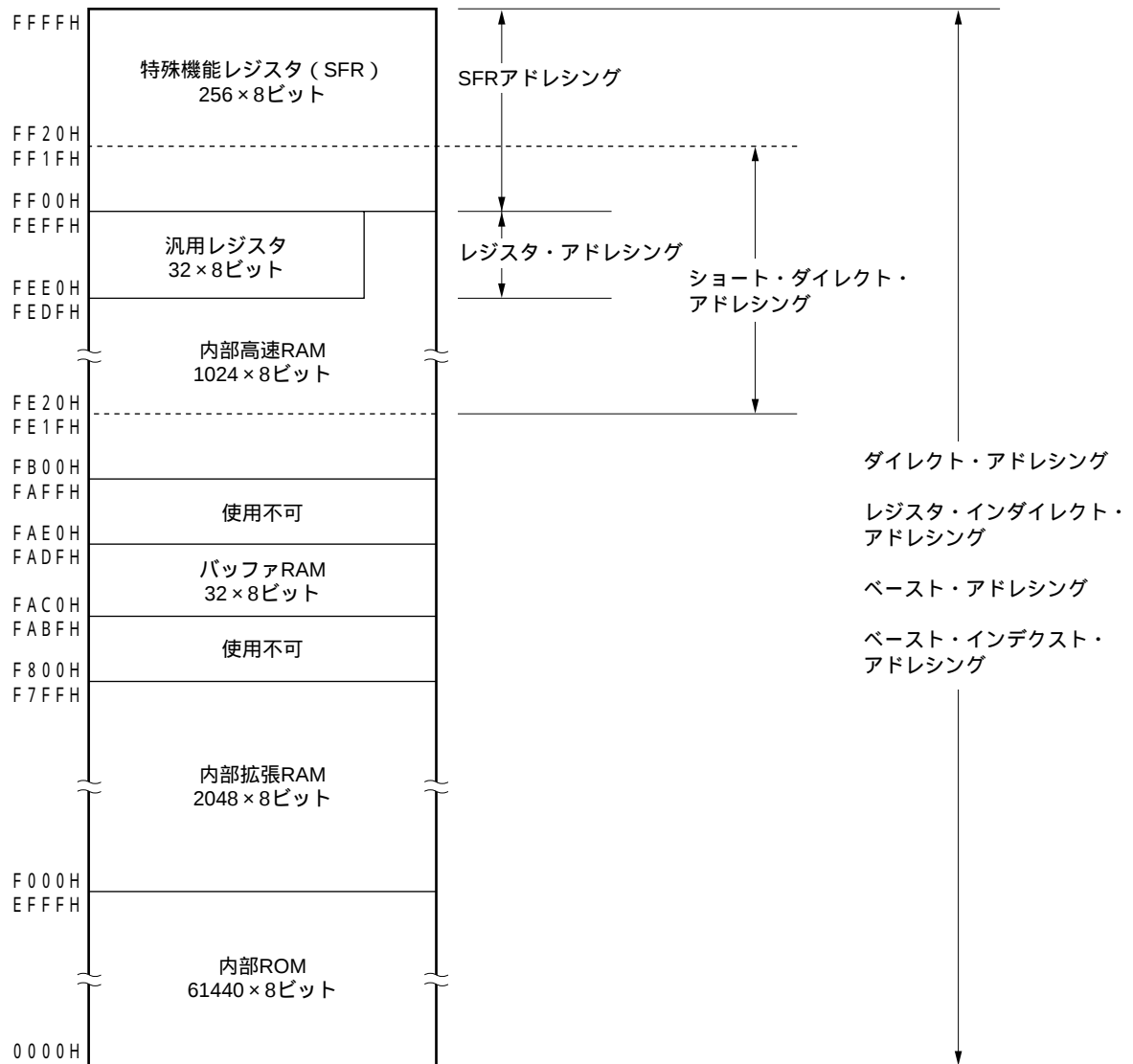
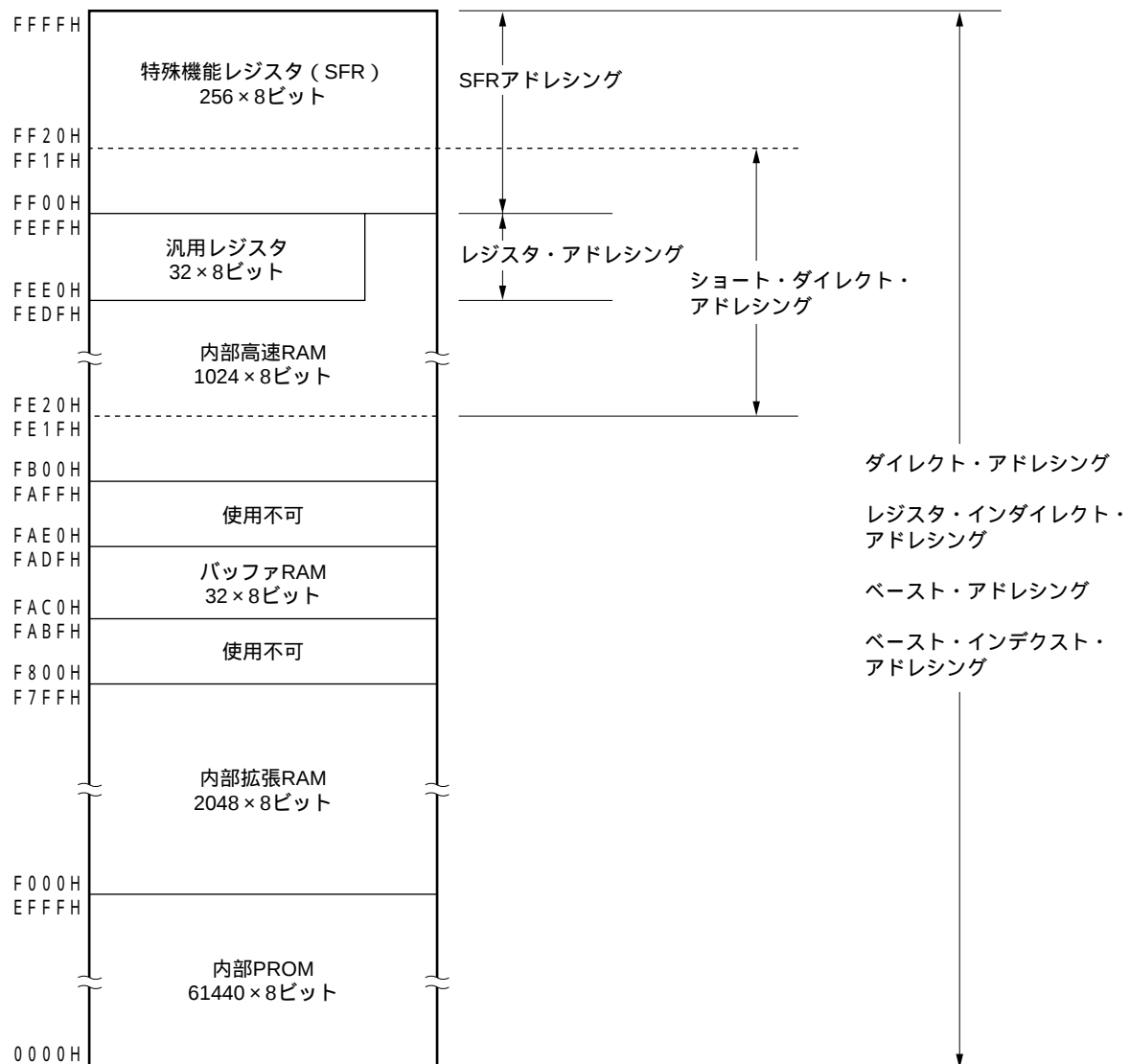


図3 - 10 データ・メモリのアドレッシング(μPD178P018A)



3.2 プロセッサ・レジスタ

μPD178018Aサブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)、スタック・ポインタ(SP)があります。

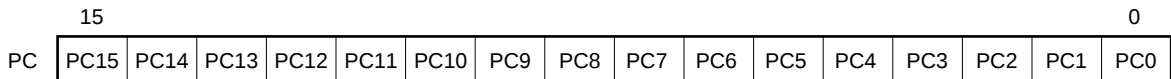
(1) プログラム・カウンタ(PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 11 プログラム・カウンタの構成



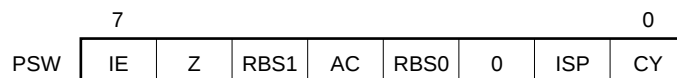
(2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETB, RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

リセット入力により、02Hになります。

図3 - 12 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止(DI)状態となり、ノンマスカブル割り込み以外の割り込み要求はすべて禁止されます。

IE = 1のときは割り込み許可(EI)状態となります。このとき割り込み要求の受け付けは、インサース・プライオリティ・フラグ(ISP)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込み要求の受け付けでリセット(0)され、EI命令の実行によりセット(1)されます。

(b) ゼロ・フラグ(Z)

演算結果がゼロのときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c) レジスタ・バンク選択フラグ(RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ(AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサース・プライオリティ・フラグ(ISP)

受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ(PR0L, PR0H, PR1L ~ 14. 3(3)優先順位指定フラグ・レジスタ(PR0L, PR0H)参照)で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ(IE)の状態により制御されます。

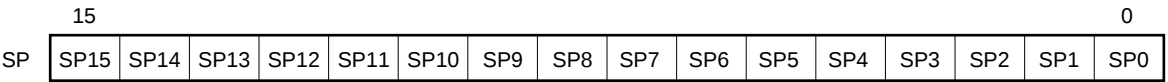
(f) キャリー・フラグ(CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ(SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域(FB00H-FEFFFH)のみ設定可能です。

図3 - 13 スタック・ポインタの構成



スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 14 , 3 - 15のようになります。

注意 SPの内容はリセット入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 14 スタック・メモリへ退避されるデータ

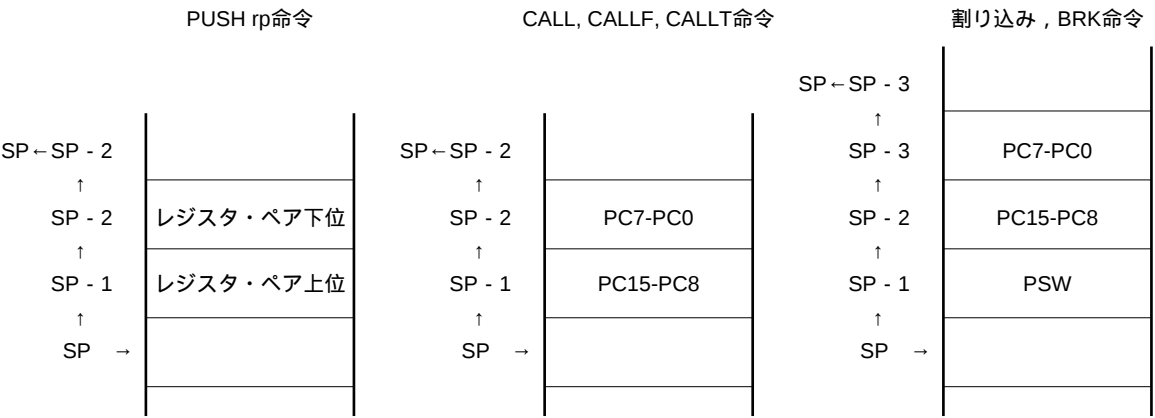
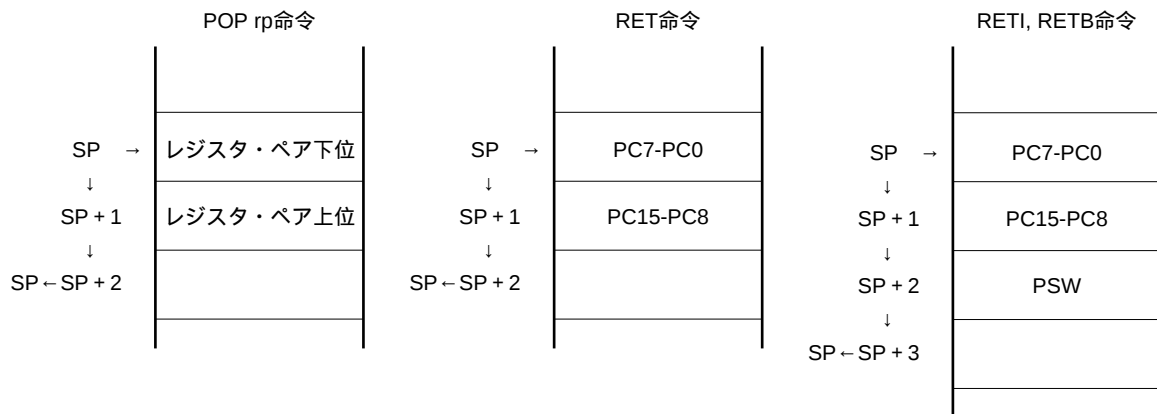


図3 - 15 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FEE0H-FEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

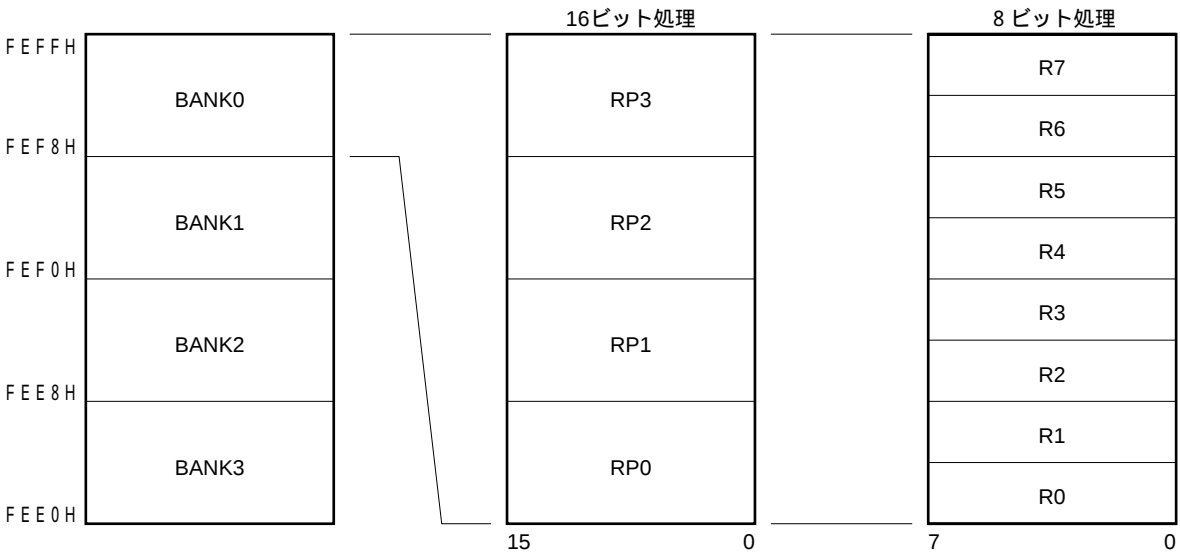
各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

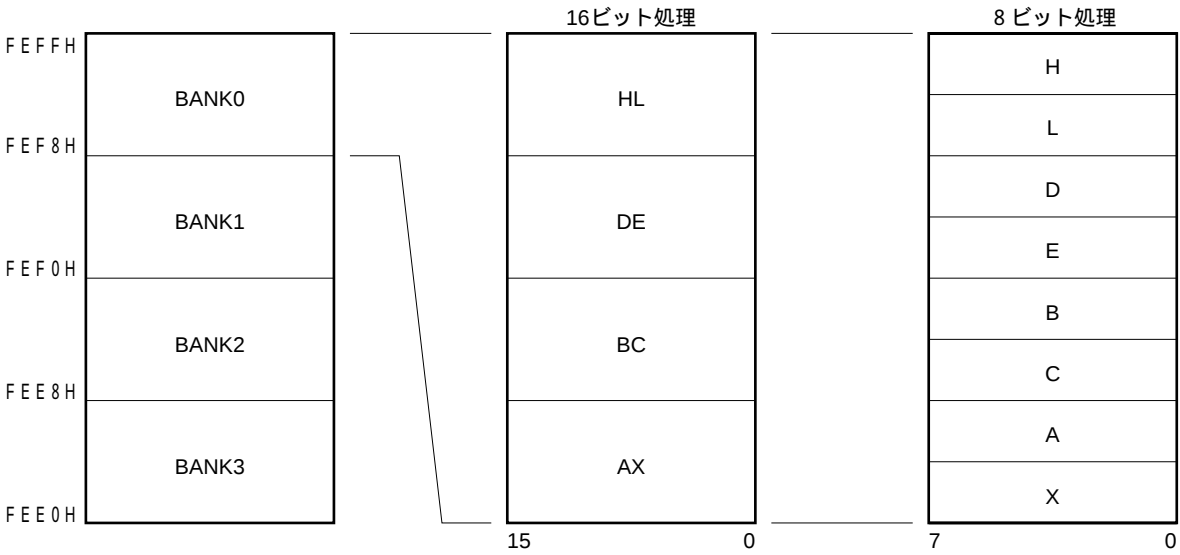
命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み要求時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

図 3 - 16 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ(SFR : Special Function Register)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド(sfr.bit)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 2 に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

特殊機能レジスタのアドレスを示す略号です。

DF178018, RA78K/0では予約語に、CC78K/0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。RA78K/0, ID78K0, SD78K/0使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し(Read)/ 書き込み(Write)可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

R&Reset : 読み出しのみ可能(読み出し時 0 にリセット)

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。 - は操作できないビット単位であることを示します。

- ・ リセット時

リセット時の各レジスタの状態を示します。また表中に記載していないアドレスの特殊機能レジスタの値はリセット時不定になります。

表3 - 2 特殊機能レジスタ一覧(1/3)

アドレス	特殊機能レジスタ(SFR)名称	略 号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF00H	ポート0	P0		R/W	○	○	-	00H
FF01H	ポート1	P1			○	○	-	
FF02H	ポート2	P2			○	○	-	
FF03H	ポート3	P3			○	○	-	
FF04H	ポート4	P4			○	○	-	不定
FF05H	ポート5	P5			○	○	-	
FF06H	ポート6	P6			○	○	-	
FF0CH	ポート12	P12			○	○	-	00H
FF0DH	ポート13	P13			○	○	-	
FF16H	コンペア・レジスタ10	CR10			-	○	-	
FF17H	コンペア・レジスタ20	CR20			-	○	-	
FF18H	8ビット・タイマ・レジスタ1	TMS	TM1	R	-	○	○	00H
FF19H	8ビット・タイマ・レジスタ2		TM2		-	○		
FF1AH	シリアルI/Oシフト・レジスタ0	SIO0		R/W	-	○	-	不定
FF1BH	シリアルI/Oシフト・レジスタ1	SIO1			-	○	-	
FF1FH	A/D変換結果レジスタ	ADCR		R	-	○	-	
FF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	-	FFH
FF21H	ポート・モード・レジスタ1	PM1			○	○	-	
FF22H	ポート・モード・レジスタ2	PM2			○	○	-	
FF23H	ポート・モード・レジスタ3	PM3			○	○	-	
FF25H	ポート・モード・レジスタ5	PM5			○	○	-	
FF26H	ポート・モード・レジスタ6	PM6			○	○	-	
FF2CH	ポート・モード・レジスタ12	PM12			○	○	-	
FF2DH	注	PM13 ^注		R	○	○	-	E3H

注 ソフトウェアで略号をユーザ定義シンボルとして使用しないでください。

表3-2 特殊機能レジスタ一覧(2/3)

アドレス	特殊機能レジスタ(SFR)名称		略号	R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF41H	タイマ・クロック選択レジスタ1	TCL1	R/W	R/W	-	○	-	00H
FF42H	タイマ・クロック選択レジスタ2	TCL2			-	○	-	88H
FF43H	タイマ・クロック選択レジスタ3	TCL3			-	○	-	
FF47H	サンプリング・クロック選択レジスタ	SCS			-	○	-	
FF49H	8ビット・タイマ・モード・コントロール・レジスタ	TMC1			○	○	-	
FF4FH	注1	TOC1 ^{注1}	R	R	○	○	-	01H
FF60H	シリアル動作モード・レジスタ0	CSIM0	R/W	R/W	○	○	-	
FF61H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC			○	○	-	
FF62H	スレーブ・アドレス・レジスタ	SVA			-	○	-	
FF63H	割り込みタイミング指定レジスタ	SINT			○	○	-	
FF68H	シリアル動作モード・レジスタ1	CSIM1			○	○	-	
FF69H	自動データ送受信コントロール・レジスタ	ADTC			○	○	-	
FF6AH	自動データ送受信アドレス・ポインタ	ADTP			-	○	-	
FF6BH	自動データ送受信間隔指定レジスタ	ADTI			○	○	-	
FF80H	A/Dコンバータ・モード・レジスタ	ADM	R/W	R/W	○	○	-	01H
FF84H	A/Dコンバータ入力選択レジスタ	ADIS			-	○	-	00H
FFA0H	PLLモード・セレクト・レジスタ	PLLMD			○	○	-	
FFA1H	PLLレファレンス・モード・レジスタ	PLLRF			○	○	-	0FH
FFA2H	PLLアンロックF/Fジャッジ・レジスタ	PLLUL	R&Reset		○	○	-	保持 ^{注2}
FFA3H	PLLデータ転送レジスタ	PLLNS	W		○	○	-	00H
FFA4H	EOセレクト・レジスタ	EOCON	R/W	R/W	○	○	-	
FFA5H	注1	PLLS ^{注1}			○	○	-	
FFA6H	PLLデータ・レジスタL	PLLRL			○	○	○	不定
FFA7H	レジスタ	PLLRLH			○	○		
FFA8H	PLLデータ・レジスタ0	PLLRL0			○	○	-	
FFA9H	IFカウンタ・モード・セレクト・レジスタ	IFCMD	R	R	○	○	-	00H
FFABH	IFカウンタ・ゲート・ジャッジ・レジスタ	IFCJG			○	○	-	
FFACH	IFカウンタ・コントロール・レジスタ	IFCR			○	○	-	

注1．ソフトウェアで略号をユーザ定義シンボルとして使用しないでください。

2．パワーオン・クリアによるリセットのみ不定になります。

表3-2 特殊機能レジスタ一覧(3/3)

アドレス	特殊機能レジスタ(SFR)名称		略 号		R/W	操作可能ビット単位			リセット時	
						1ビット	8ビット	16ビット		
FFB0H	PWMモード・セレクト・レジスタ		PWMSEL		R/W	○	○	-	00H	
FFB1H	PWMコントロール・レジスタ		PWMCR			○	○	-		
FFB4H	PWMデータ・	PWMデータ・レジスタ0L	PWMR0	PWMR0L		○	○	○	01FFH	
FFB5H	レジスタ 0	PWMデータ・レジスタ0H		PWMR0H						
FFB6H	PWMデータ・	PWMデータ・レジスタ1L	PWMR1	PWMR1L		○	○	○		
FFB7H	レジスタ 1	PWMデータ・レジスタ1H		PWMR1H						
FFB8H	PWMデータ・ レジスタ 2	PWMタイマ・レジスタ	PWMR2	PWMTMR		○	○	○		
		PWMデータ・レジスタ2L		PWMR2L						
FFB9H		PWMデータ・レジスタ2H		PWMR2H						
FFBBH	注 1		CHECK ^{注 1}			-	-	-	00H	
FFBFH	POCステータス・レジスタ		POCS		R&Reset	○	○	○	保持 ^{注 2}	
FFD0H FFDFH	外部アクセス領域 ^{注 3}				R/W	○	○	-	不定	
FFE0H	割り込み要求フラグ・レジスタ0L		IF0	IF0L		○	○	○	00H	
FFE1H	割り込み要求フラグ・レジスタ0H			IF0H		○	○			
FFE2H	注 4		IF1L ^{注 4}			○	○	-		
FFE4H	割り込みマスク・フラグ・レジスタ0L		MK0	MK0L		○	○	○	FFH	
FFE5H	割り込みマスク・フラグ・レジスタ0H			MK0H		○	○			
FFE6H	注 4		MK1L ^{注 4}			○	○	-		
FFE8H	優先順位指定フラグ・レジスタ0L		PR0	PR0L		○	○	○		
FFE9H	優先順位指定フラグ・レジスタ0H			PR0H		○	○			
FFEAH	注 4		PR1L ^{注 4}			○	○	-		
FFECH	外部割り込みモード・レジスタ 0		INTM0				-	○	-	00H
FFEDH	外部割り込みモード・レジスタ 1		INTM1			-	○	-		
FFF2H	発振モード選択レジスタ		OSMS		W	-	○	-	00H	
FFF6H	キー・リターン・モード・レジスタ		KRM		R/W	○	○	-	02H	
FFF8H	ポート・モード・レジスタ 4		MM			○	○	-	10H	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ		WDTM			○	○	-	00H	
FFFAH	発振安定時間選択レジスタ		OSTS			-	○	-	04H	
FFFBH	プロセッサ・クロック・コントロール・レジスタ		PCC			○	○	-		

注1．テスト用のレジスタです。ソフトウェアで略号をユーザ定義シンボルとして使用しないでください。

またCHECK0, CHECK1, CHECK2, CHECK3, CPSTP, PPSTPの略号もユーザ定義シンボルとして使用しないでください。

2．パワーオン・クリアによるリセットのみ01Hになります。

3．外部アクセス領域は、μPD178018Aサブシリーズでは使用できません。

4．ソフトウェアで略号をユーザ定義シンボルとして使用しないでください。

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ(PC)の内容によって決定されます。PCの内容は、通常、命令を1つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント(1バイトに対して+1)されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します(各命令についての詳細は78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください)。

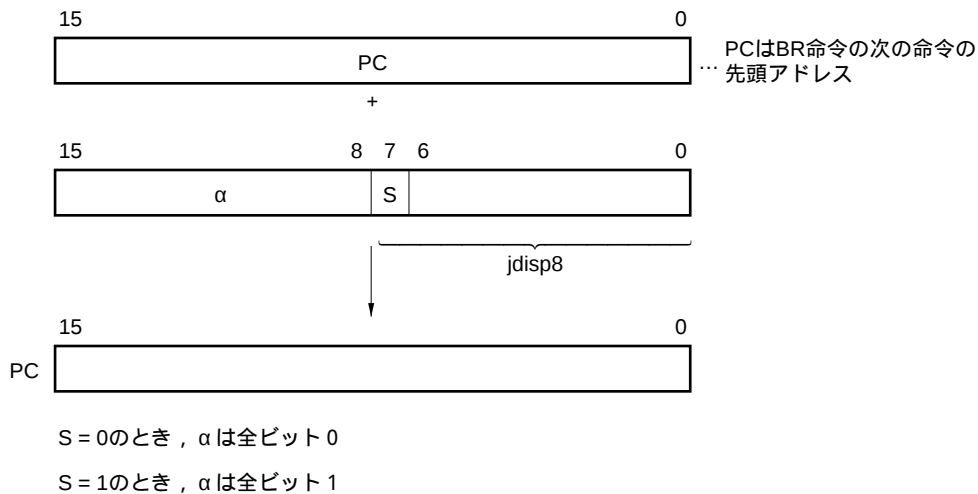
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエート・データ(ディスプレイメント値: $jdisp8$)を加算した値が、プログラム・カウンタ(PC)に転送されて分岐します。ディスプレイメント値は、符号付きの2の補数データ(-128 ~ +127)として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは、次に続く命令の先頭アドレスから相対的に-128 ~ +127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

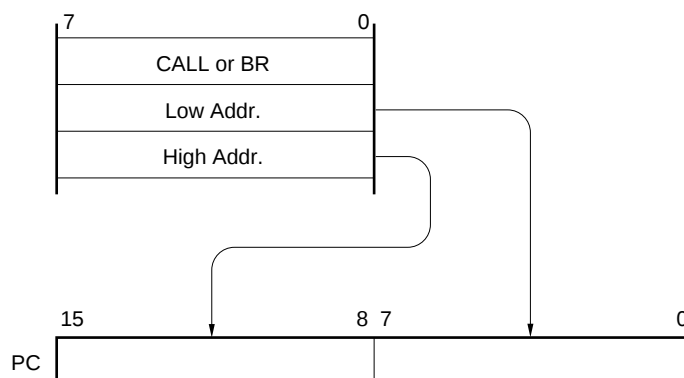
命令語中のイミディエト・データがプログラム・カウンタ(PC)に転送され、分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

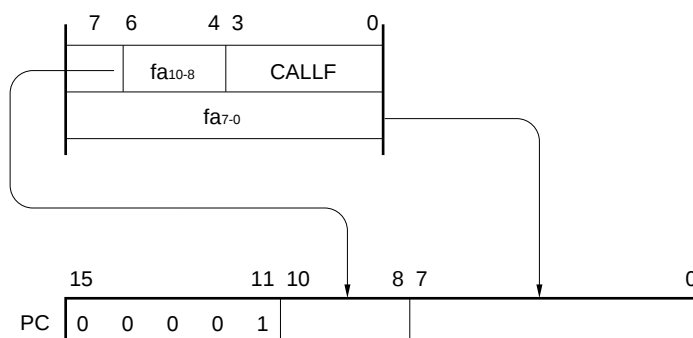
CALL !addr16, BR !addr16命令は、全メモリ空間に分岐できます。CALLF !addr11命令は、0800H-0FFFHの領域に分岐します。

【図解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



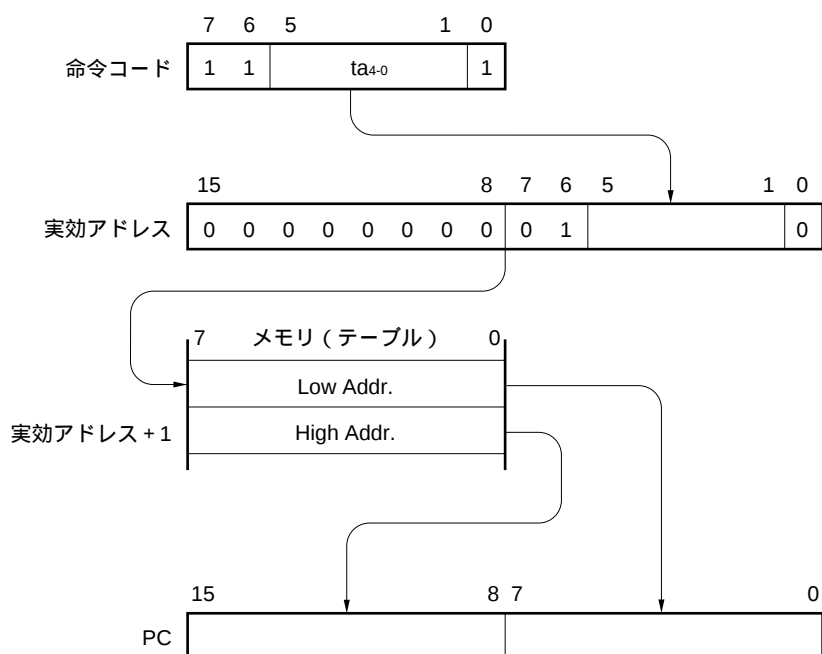
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容(分岐先アドレス)がプログラム・カウンタ(PC)に転送され、分岐します。

CALLT [addr5]命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



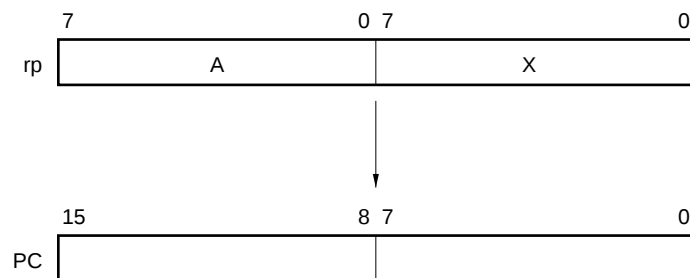
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア(AX)の内容がプログラム・カウンタ(PC)に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法(アドレッシング)として次に示すいくつかの方法があります。

3.4.1 インプライド・アドレッシング

【機能】

汎用レジスタの領域にあるアキュムレータ(A, AX)として機能するレジスタを自動的に(暗黙的)にアドレスするアドレッシングです。

μPD178018Aサブシリーズの命令語中でインプライド・アドレッシングを使用する命令は次のとおりです。

命 令	インプライド・アドレッシングで指定されるレジスタ
MULU	被乗数としてAレジスタ, 積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため, 特定のオペランド形式を持ちません。

【記述例】

MULU Xの場合

8ビット×8ビットの乗算命令において, AレジスタとXレジスタの積をAXに格納する。ここで, A, AXレジスタがインプライド・アドレッシングで指定されている。

3.4.2 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。アクセスされる汎用レジスタは、レジスタ・バンク選択フラグ(RBS0, RBS1)および、命令コード中のレジスタ指定コード(Rn, RPn)により指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

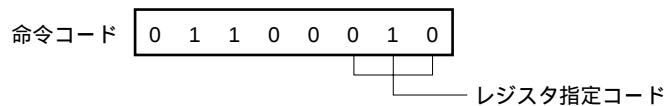
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

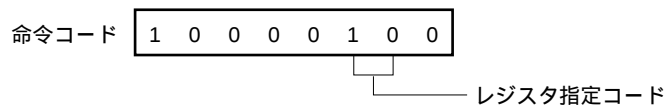
r, rpは、機能名称(X, A, C, B, E, D, L, H, AX, BC, DE, HL)のほかに絶対名称(R0-R7, RP0-RP3)で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.3 ダイレクト・アドレッシング

【機能】

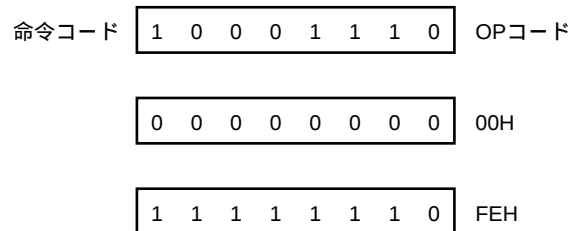
命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

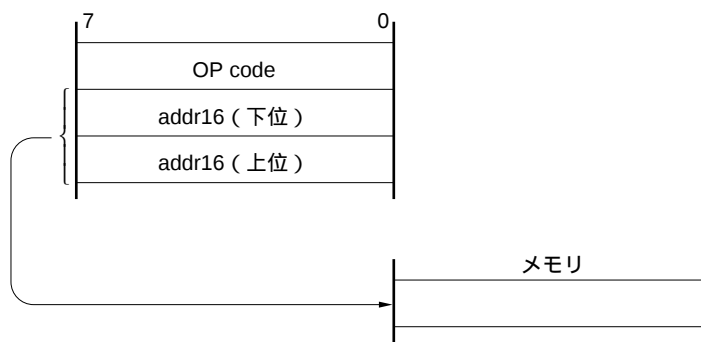
表現形式	記述方法
addr16	レーベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !0FE00H ; !addr16をFE00Hとする場合



【図解】



3.4.4 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部RAMが、FF00H-FF1FHには特殊機能レジスタ(SFR)がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域(FF00H-FF1FH)は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ/イベント・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作できます。

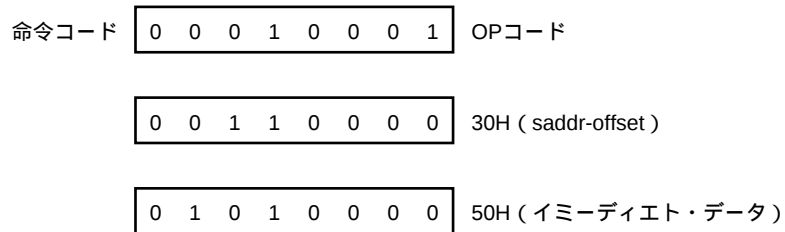
実効アドレスのビット8は、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

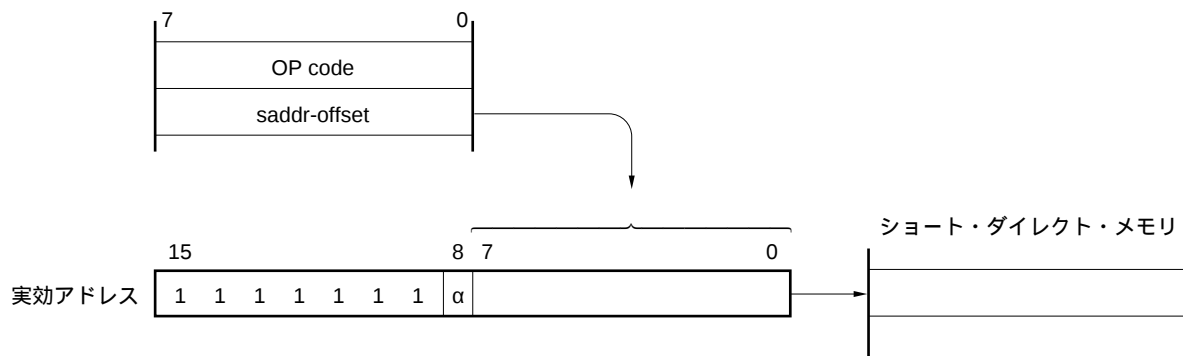
表現形式	記述方法
saddr	レーベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	レーベルまたはFE20H-FF1FHのイミディエト・データ(偶数アドレスのみ)

【記述例】

MOV 0FE30H, #50H ; saddrをFE30H, イミディエト・データを50Hとする場合



【図解】



8ビット・イミディエト・データが20H-FFHのとき, $\alpha = 0$

8ビット・イミディエト・データが00H-1FHのとき, $\alpha = 1$

3.4.5 特殊機能レジスタ(SFR)アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ(SFR)をアドレスするアドレッシングです。

このアドレッシングが適用されるのはFF00H-FFCFH, FFE0H-FFFFHの240バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

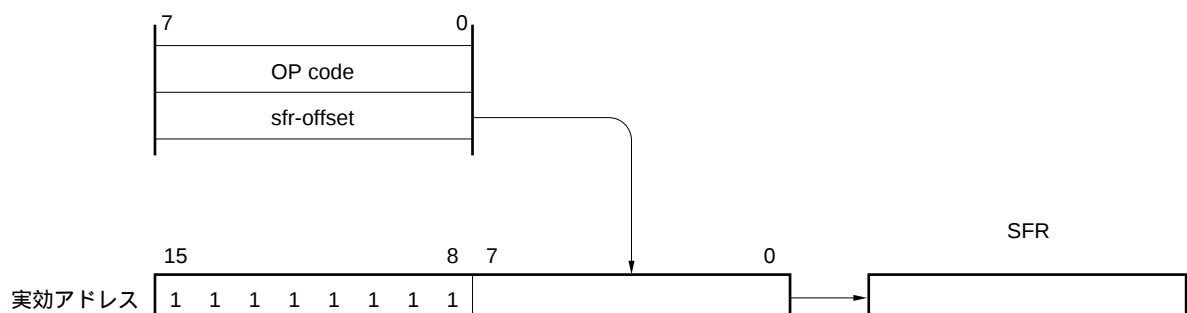
表現形式	記述方法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名(偶数アドレスのみ)

【記述例】

MOV PM0, A ; sfrにPM0 (FF20H) を選択する場合

命令コード	1 1 1 1 0 1 1 0	OPコード
	0 0 1 0 0 0 0 0	20H (sfr-offset)

【図解】



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、レジスタ・バンク選択フラグ(RBS0, RBS1)および、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE][HL]

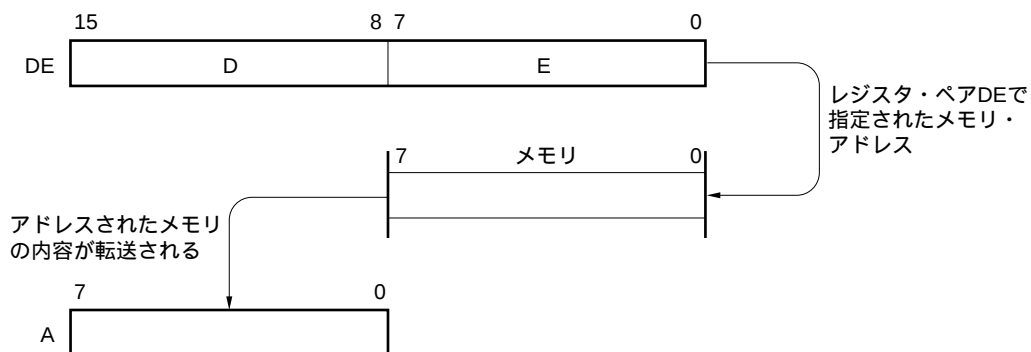
【記述例】

MOV A,[DE]; レジスタ・ペアに [DE] を選択する場合

命令コード

1	0	0	0	0	1	0	1
---	---	---	---	---	---	---	---

【図解】



3.4.7 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHLレジスタ・ペアは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のものです。オフセット・データを正の数として16ビットに拡張して加算します。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A,[HL + 10H]; byteを10Hとする場合

命令コード	1 0 1 0 1 1 1 0
	0 0 0 1 0 0 0 0

3.4.8 ベース・インデクスト・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレッシングです。アクセスされるHL, B, Cレジスタは、レジスタ・バンク選択フラグ(RBS0, RBS1)で指定されるレジスタ・バンク中のレジスタです。BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して加算します。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + B][HL + C]

【記述例】

MOV A, [HL + B]の場合

命令コード

1	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。スタック・アドレッシングは、内部高速RAM領域のみアクセスできます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	1	0	1	0	1
---	---	---	---	---	---	---	---

第4章 ポート機能

4.1 ポートの機能

μPD178018Aサブシリーズは、1本の入力ポート、3本の出力ポートと58本の入出力ポートを内蔵しています。図4 - 1 にポートの構成を示します。いずれのポートも1ビット操作、8ビット操作が可能で、きわめて多様な制御が行えます。また、ポートとしての機能のほかに、内蔵ハードウェアの入出力端子としての機能などを持っています。

図4 - 1 ポートの種類

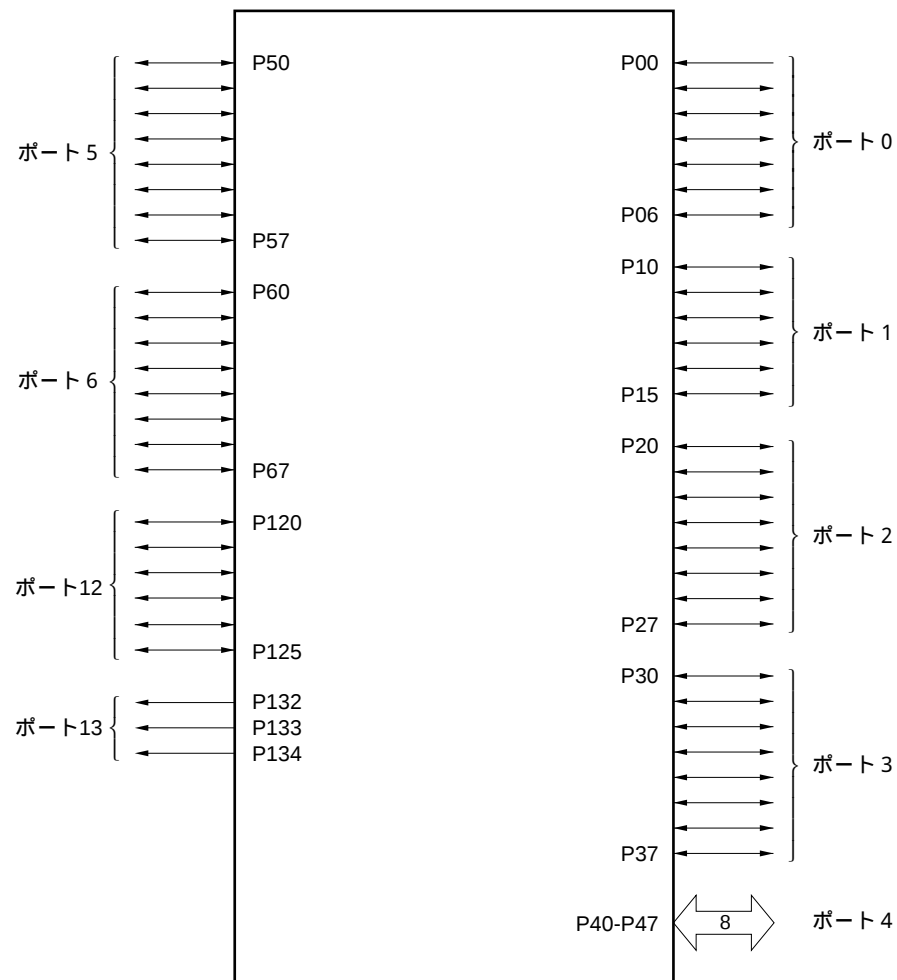


表4 - 1 ポートの機能

端子名称	入出力	機 能		兼用端子
P00	入力	ポート0。	入力専用。	INTP0
P01-P06	入出力	8ビット入出力ポート。	1ビット単位で入力／出力の指定可能。	INTP1-INTP6
P10-P15	入出力	ポート1。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。		ANIO-ANI5
P20	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。		SI1
P21				SO1
P22				SCK1
P23				STB
P24				BUSY
P25				SI0/SB0/SDA0
P26				SO0/SB1/SDA1
P27				SCK0/SCL
P30-P32	入出力	ポート3。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。		-
P33				TI1
P34				TI2
P35				-
P36				BEEP
P37				-
P40-P47	入出力	ポート4。 8ビット入出力ポート。 8ビット単位で入力／出力の指定可能。 立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセット。		-
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。		-
P60-P63	入出力	ポート6。 8ビット入出力ポート。	中耐圧N-chオープン・ドレイン入出力ポート。 LEDを直接駆動可能。	-
P64-P67		1ビット単位で入力／出力の指定可能。		
P120-P125	入出力	ポート12。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。		-
P132-P134	出力	ポート13。 3ビット出力ポート。 N-chオープン・ドレイン出力ポート。		PWM0-PWM2

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0-3, 5, 6, 12)
	ポート・モード・レジスタ4 (MM) ^注
	キー・リターン・モード・レジスタ (KRM)
ポート	合計 : 62本(入力 : 1 本 , 出力 : 3 本 , 入出力 : 58本)

注 ポート・モード・レジスタ4は、ポート4の入力/出力の指定を行います。

4.2.1 ポート0

出力ラッチ付き7ビット入出力ポートです。P01-P06端子は、ポート・モード・レジスタ0(PM0)により、1ビット単位で入力モード/出力モードの指定ができます。P00端子は、入力専用ポートです。

また、兼用機能として外部割り込み要求入力があります。

リセット時は、入力モードになります。

図4 - 2, 4 - 3にポート0のブロック図を示します。

注意 ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされます。したがって、出力モードを使用するとき、割り込みマスク・フラグに1を設定してください。

図4 - 2 P00のブロック図

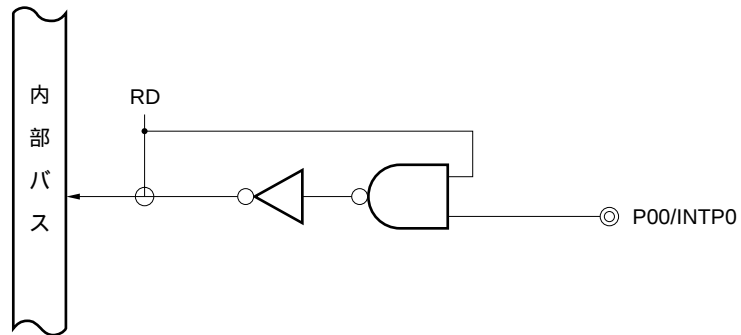
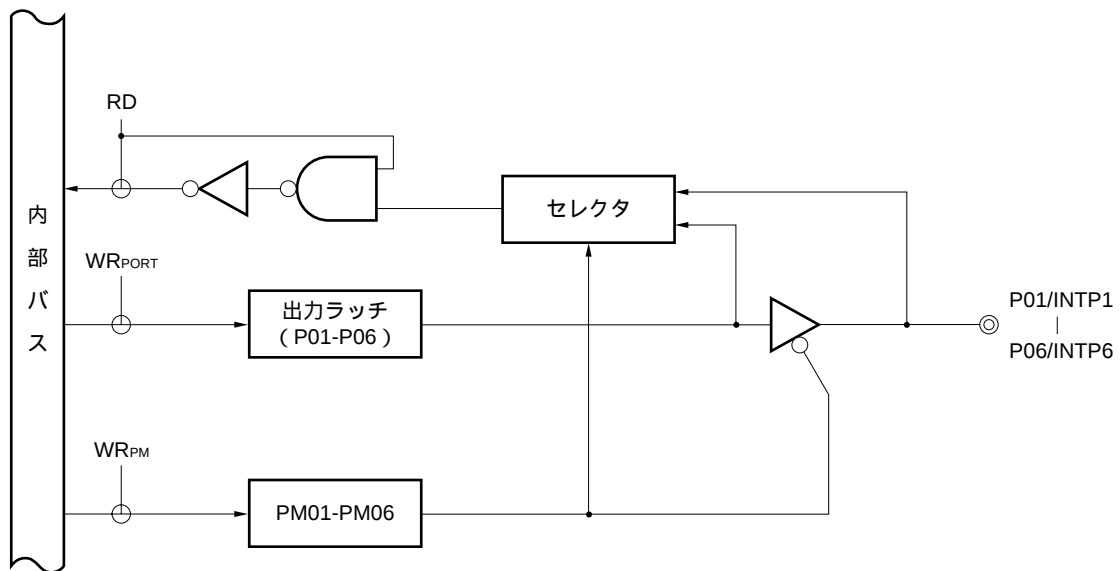


図4 - 3 P01-P06のブロック図



PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

4.2.2 ポート1

出力ラッチ付き6ビット入出力ポートです。ポート・モード・レジスタ1(PM1)により、1ビット単位で入力モード/出力モードの指定ができます。

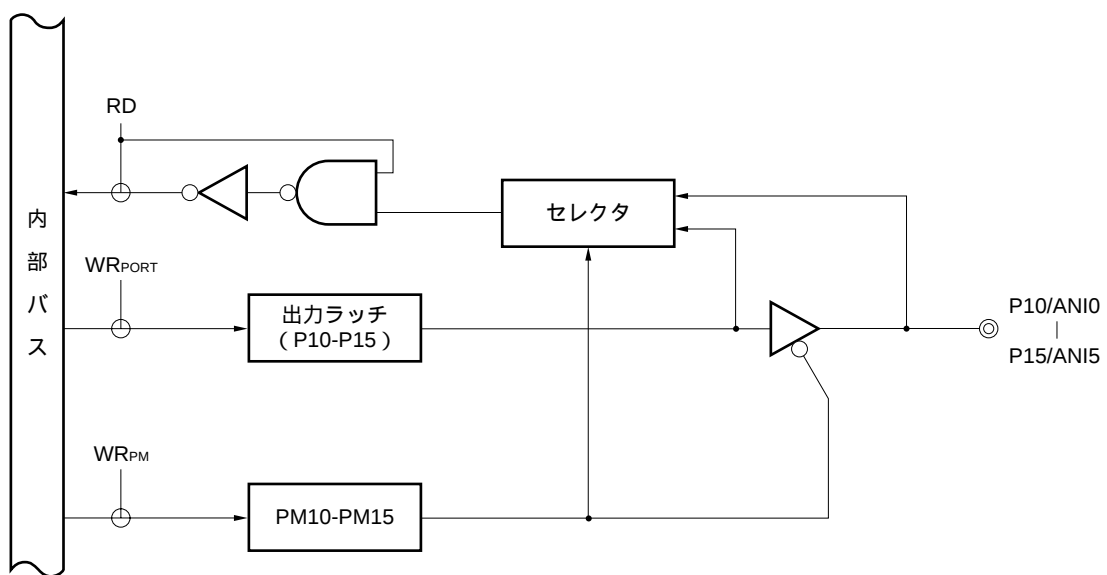
また、兼用機能としてA/Dコンバータのアナログ入力があります。

A/Dコンバータの入力に指定された端子を読み出すと不定になります。

リセット時は、入力モードになります。

図4-4にポート1のブロック図を示します。

図4-4 P10-P15のブロック図



PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

4.2.3 ポート2

出力ラッチ付き 8 ビット入出力ポートです。P20-P27端子は、ポート・モード・レジスタ 2 (PM2) により、1 ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、自動送受信用ピジィ入力、ストローブ出力があります。

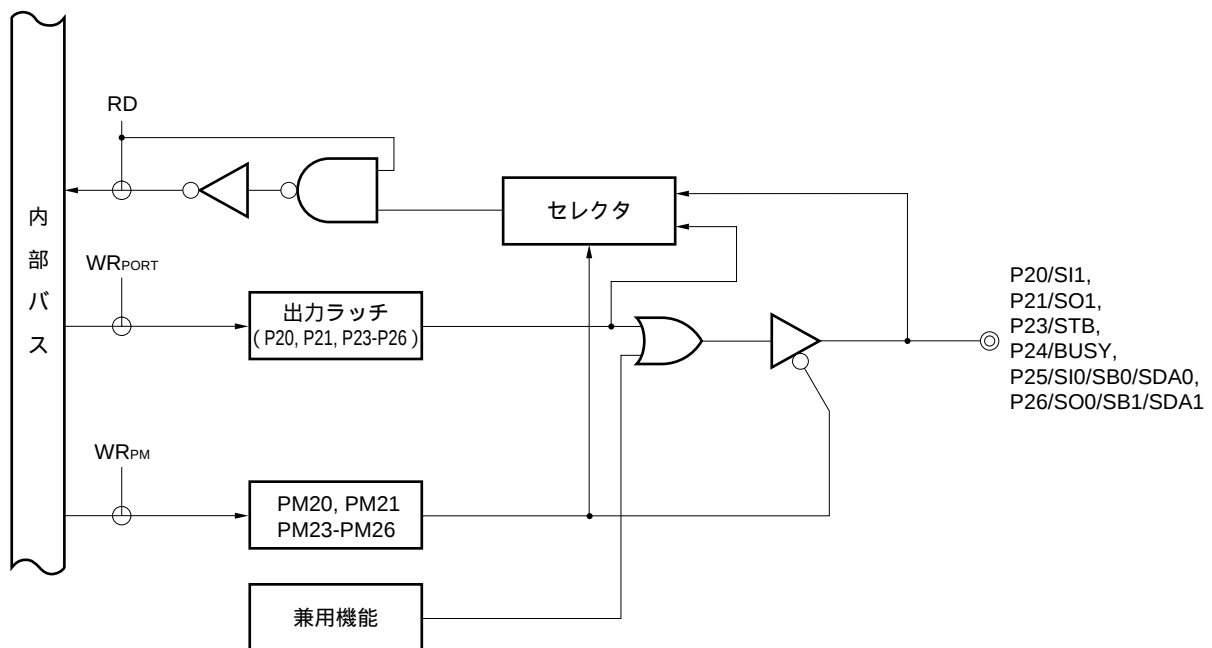
リセット時は、入力モードになります。

図4 - 5 , 4 - 6 にポート2のブロック図を示します。

注意1 . シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、図12 - 5 シリアル動作モード・レジスタ0のフォーマット、図13 - 3 シリアル動作モード・レジスタ1のフォーマットを参照してください。

2 . SBIモード時で、端子の状態を読み出すときは、PM2のPM2nビットに1を設定してください (n = 5, 6) (12.4.3 (10) スレープのピジィ状態の判別方法を参照)。

図4 - 5 P20, P21, P23-P26のブロック図

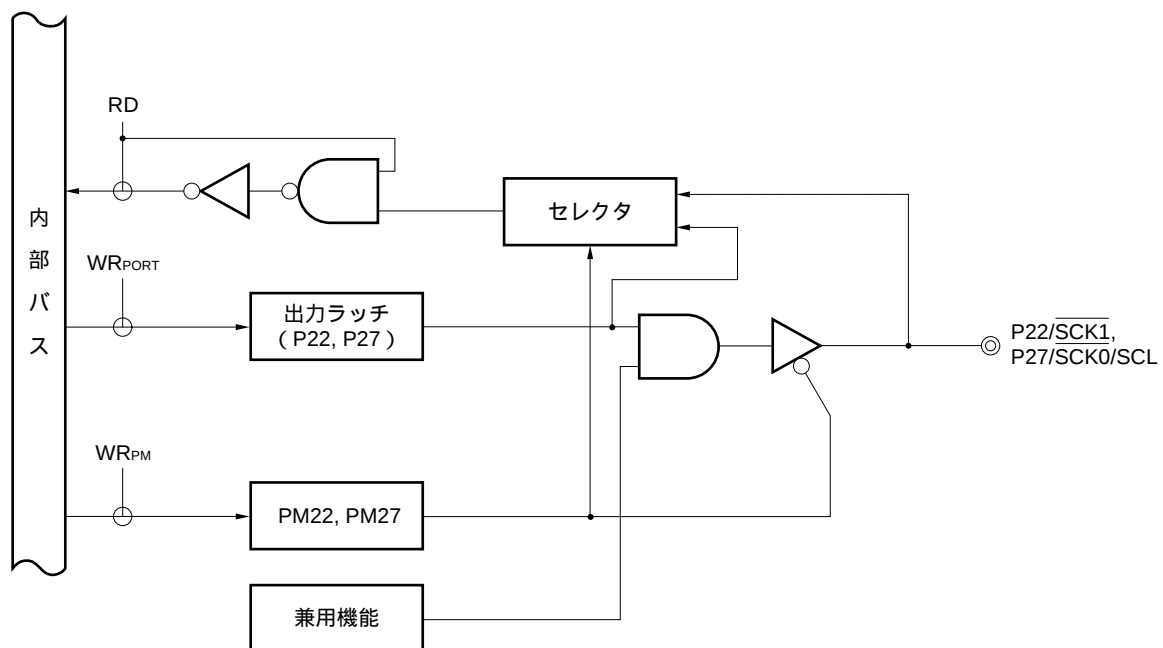


PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 6 P22, P27のブロック図



PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 7にポート3のブロック図を示します。

PM : ポート・モード・レジスタ
RD : ポート3のリード信号
WR : ポート3のライト信号

4.2.5 ポート4

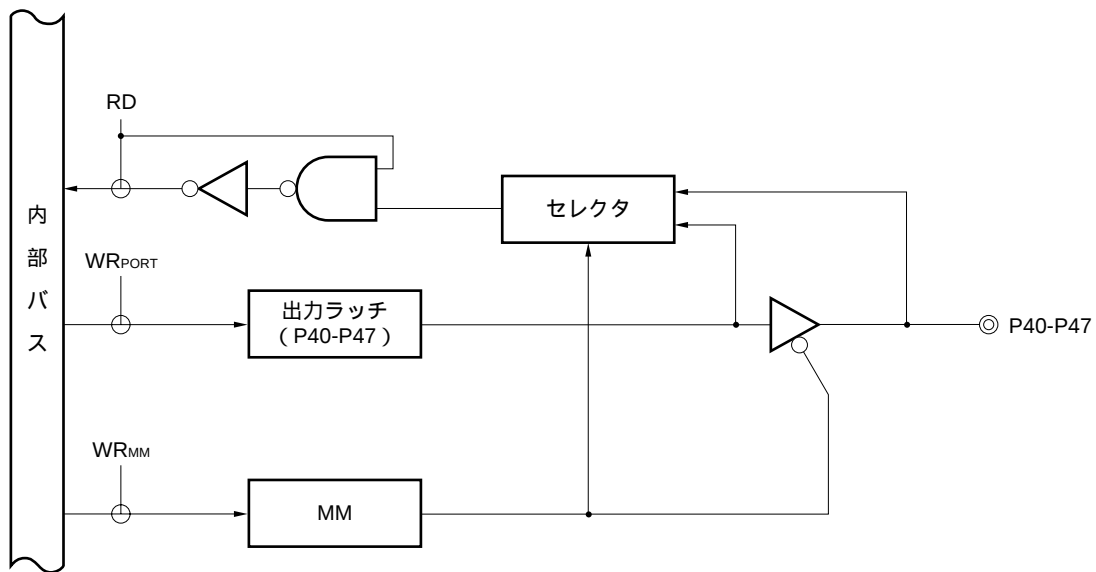
出力ラッチ付き8ビット入出力ポートです。P40-P47端子は、ポート・モード・レジスタ4(MM)により、8ビット単位で入力モード/出力モードの指定ができます。

立ち下がりエッジの検出により、テスト入力フラグ(KRIF)を1にセットできます。

リセット時は、入力モードになります。

図4-8にポート4のブロック図、図4-9に立ち下がりエッジ検出回路のブロック図を示します。

図4-8 P40-P47のブロック図

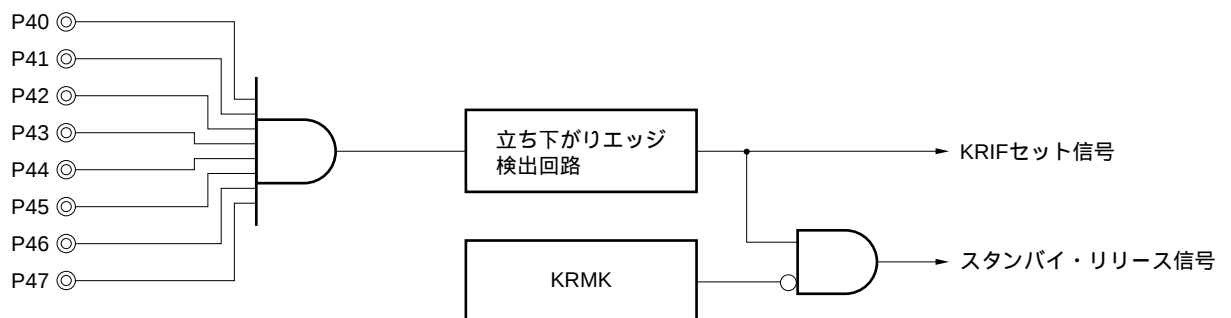


MM : ポート・モード・レジスタ4

RD : ポート4のリード信号

WR : ポート4のライト信号

図4-9 立ち下がりエッジ検出回路のブロック図



KRIF : テスト入力フラグ

KRMK : テスト・マスク・フラグ

4.2.6 ポート5

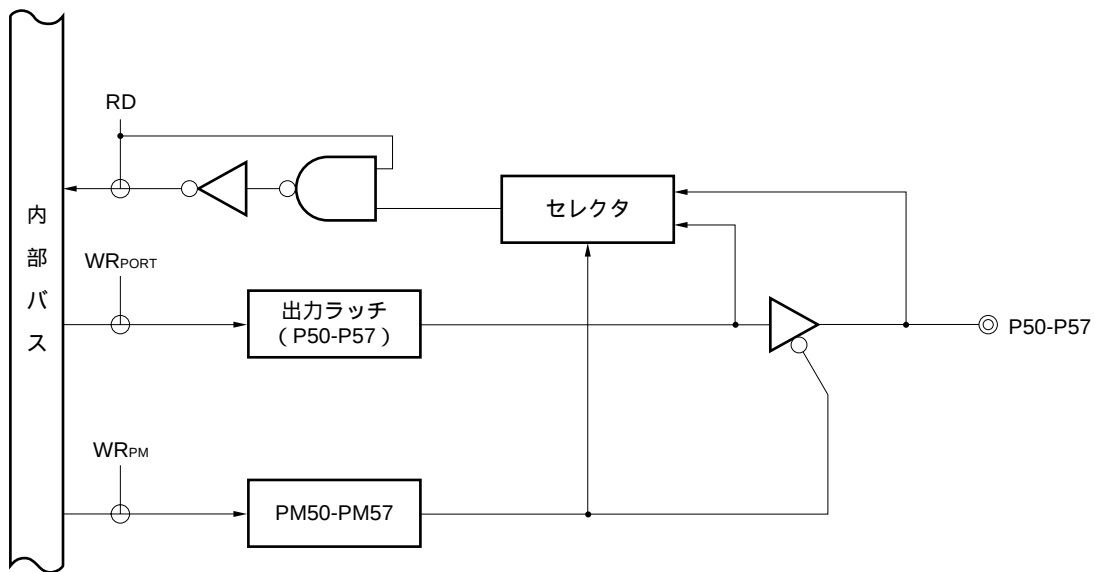
出力ラッチ付き 8 ビット入出力ポートです。P50-P57端子は、ポート・モード・レジスタ 5 (PM5)により、1 ビット単位で入力モード / 出力モードの指定ができます。

ポート 5 はLEDを直接駆動可能です。

リセット時は、入力モードになります。

図 4 - 10にポート 5 のブロック図を示します。

図 4 - 10 P50-P57のブロック図



PM : ポート・モード・レジスタ

RD : ポート 5 のリード信号

WR : ポート 5 のライト信号

4.2.7 ポート6

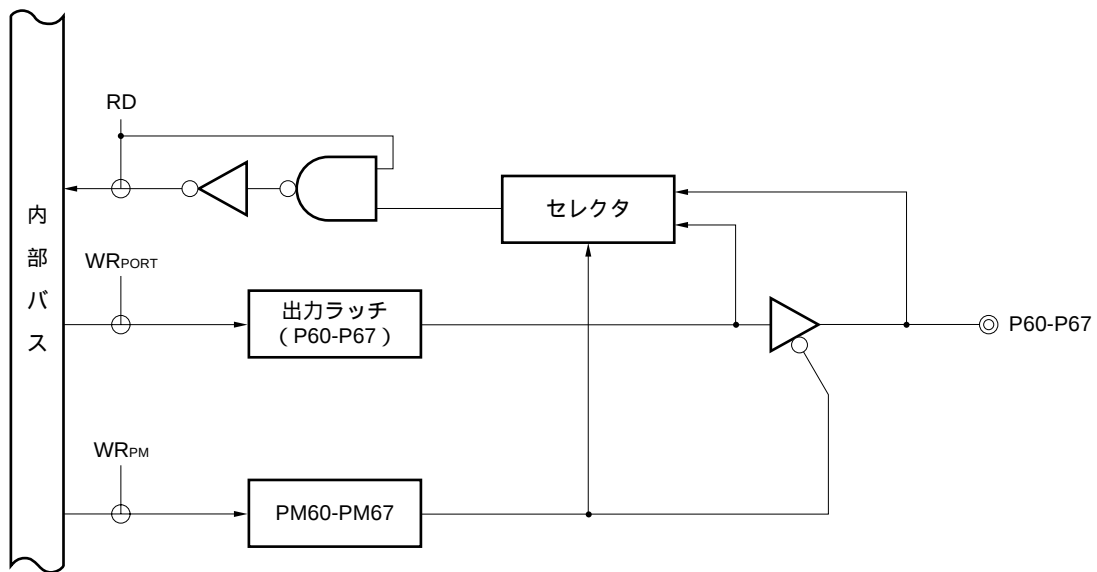
出力ラッチ付き 8 ビット入出力ポートです。P60-P67端子は、ポート・モード・レジスタ 6(PM6)により、1 ビット単位で入力モード/出力モードの指定ができます。

P60-P63端子はLEDを直接駆動可能です。

リセット時は、入力モードになります。

図4 - 11にポート6のブロック図を示します。

図4 - 11 P60-P67のブロック図



PM : ポート・モード・レジスタ

RD : ポート6のリード信号

WR : ポート6のライト信号

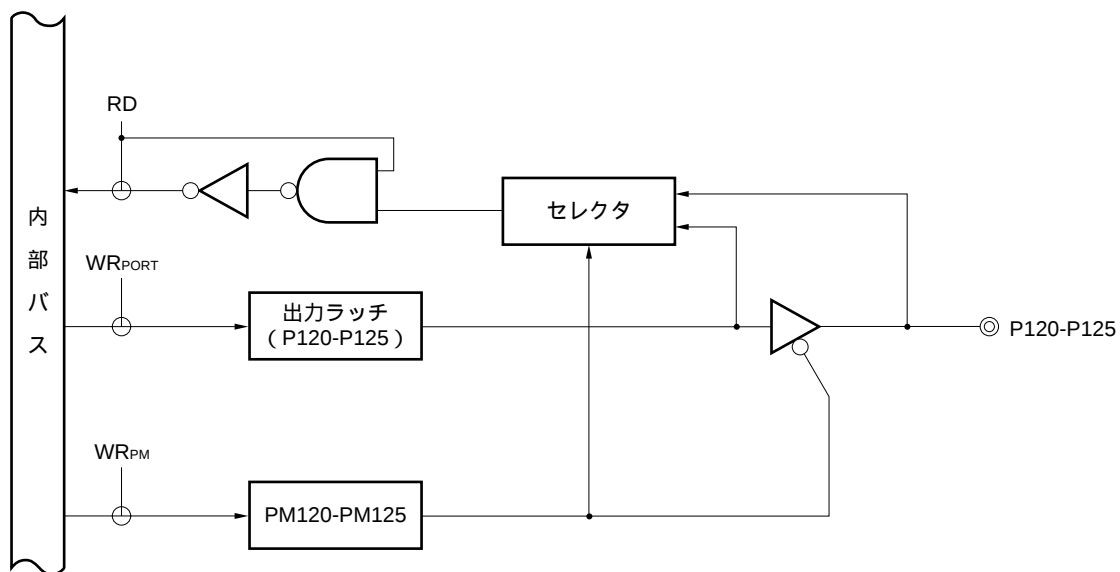
4.2.8 ポート12

出力ラッチ付き 6 ビット入出力ポートです。ポート・モード・レジスタ12(PM12)により、1 ビット単位で入力モード / 出力モードの指定ができます。

リセット時は、入力モードになります。

図 4 - 12にポート12のブロック図を示します。

図 4 - 12 P120-P125のブロック図



PM : ポート・モード・レジスタ

RD : ポート12のリード信号

WR : ポート12のライト信号

4.2.9 ポート13

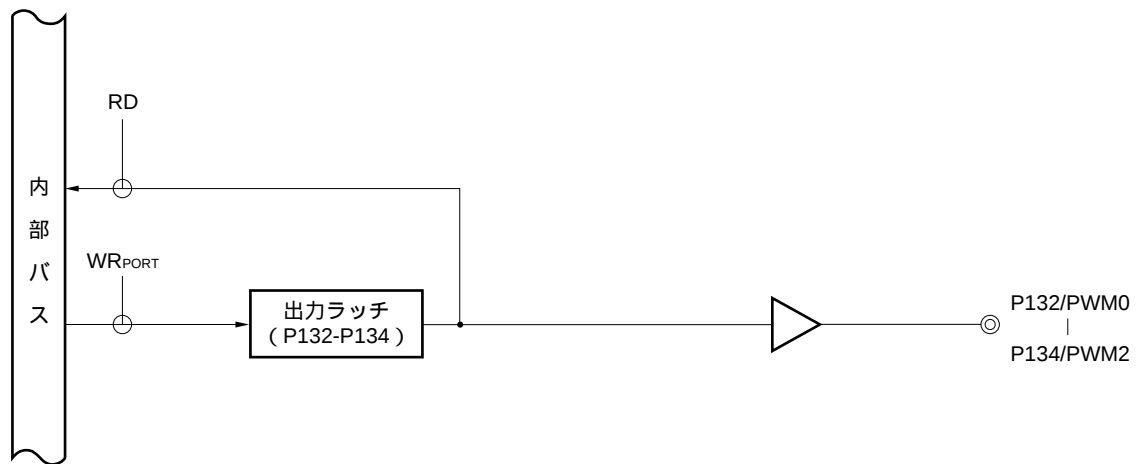
出力ラッチ付き3ビット出力ポートです。

また、兼用機能としてPWM出力があります。PWM出力に指定された端子は、読み出すと不定になります。

リセット時は、汎用出力ポート・モードになります。

図4 - 13にポート13のブロック図を示します。

図4 - 13 P132-P134のブロック図



RD : ポート13のリード信号

WR : ポート13のライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ(PM0, PM1, PM2, PM3, PM5, PM6, PM12)
- ・ポート・モード・レジスタ 4(MM)
- ・キー・リターン・モード・レジスタ(KRM)

(1) ポート・モード・レジスタ(PM0, PM1, PM2, PM3, PM5, PM6, PM12)

ポートの入力 / 出力を 1 ビット単位で設定するレジスタです。

PM0, PM1, PM2, PM3, PM5, PM6, PM12は、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット時は、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表 4 - 3 のように設定してください。

注意 1 . P00端子は、入力専用端子です。

- 2 . ポート 0 は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに 1 を設定してください。
- 3 . P40-P47端子の入力 / 出力の指定は、ポート・モード・レジスタ 4 (MM) で行います。

表4 - 3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P00	INTP0	入力	なし	なし
P01-P06	INTP1-INTP6	入力	1	×
P10-P15 ^注	ANI0-ANI5	入力	1	×
P33	TI1	入力	1	×
P34	TI2	入力	1	×
P36	BEEP	出力	0	0
P132-P134	PWM0-PWM2	出力	なし	×

注 兼用機能の端子として使用しているときに，これらのポートに対して読み出し命令を実行した場合，読み出したデータは不定になります。

注意 ポート2をシリアル・インタフェースの端子として使用する場合は，その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については，図12 - 5 シリアル動作モード・レジスタ0のフォーマット，図13 - 3 シリアル動作モード・レジスタ1のフォーマットを参照してください。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

図4 - 14 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	1	FF20H	FFH	R/W
PM1	1	1	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM12	1	1	PM125	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W
PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 5, 6, 12 : n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

(2) ポート・モード・レジスタ4(MM)

ポート4の入力/出力を設定するレジスタです。
MMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット時は、10Hになります。

図4 - 15 ポート・モード・レジスタ4のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MM	0	0	0 ^注	1 ^注	0	MM2	MM1	MM0	FFF8H	10H	R/W

MM2	MM1	MM0	P40-P47端子の入出力モードの選択
0	0	0	入力モード
0	0	1	出力モード
上記以外			設定禁止

注 MMのビット4には1，ビット5には0を必ず設定してください。

注意 MM2，MM1には，必ず0を設定してください。

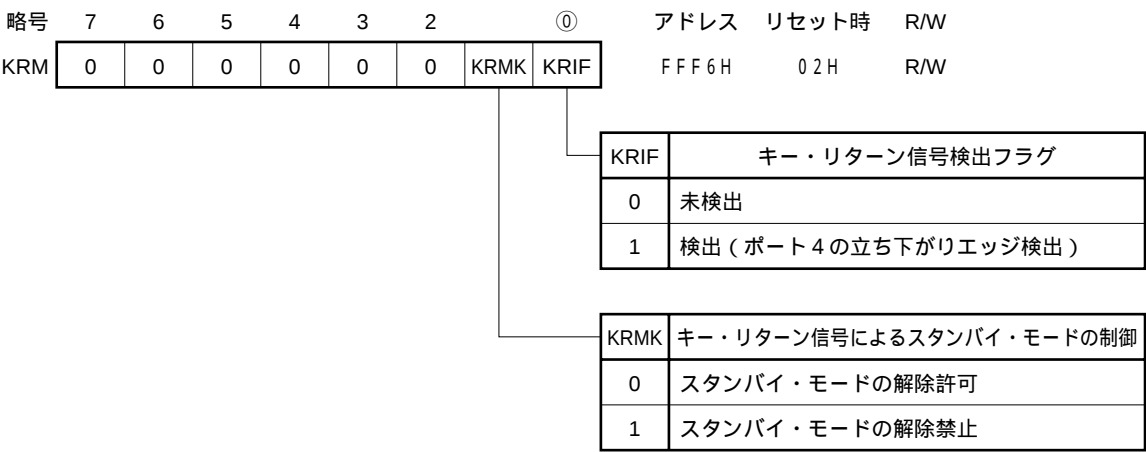
(3) キー・リターン・モード・レジスタ(KRM)

キー・リターン信号(ポート4の立ち下がりエッジ検出)によるスタンバイ・モードの解除の許可/禁止を設定するレジスタです。

KRMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、02Hになります。

図4 - 16 キー・リターン・モード・レジスタのフォーマット



注意 ポート4で立ち下がりエッジ検出を使用するとき、必ずKRIFを0にクリアしてください
(KRIFは自動的に0にクリアされません)。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路では、4.5 MHzの周波数を発振します。STOP命令の実行およびプロセッサ・クロック・コントロール・レジスタ(PCC)の設定により、発振を停止できます。

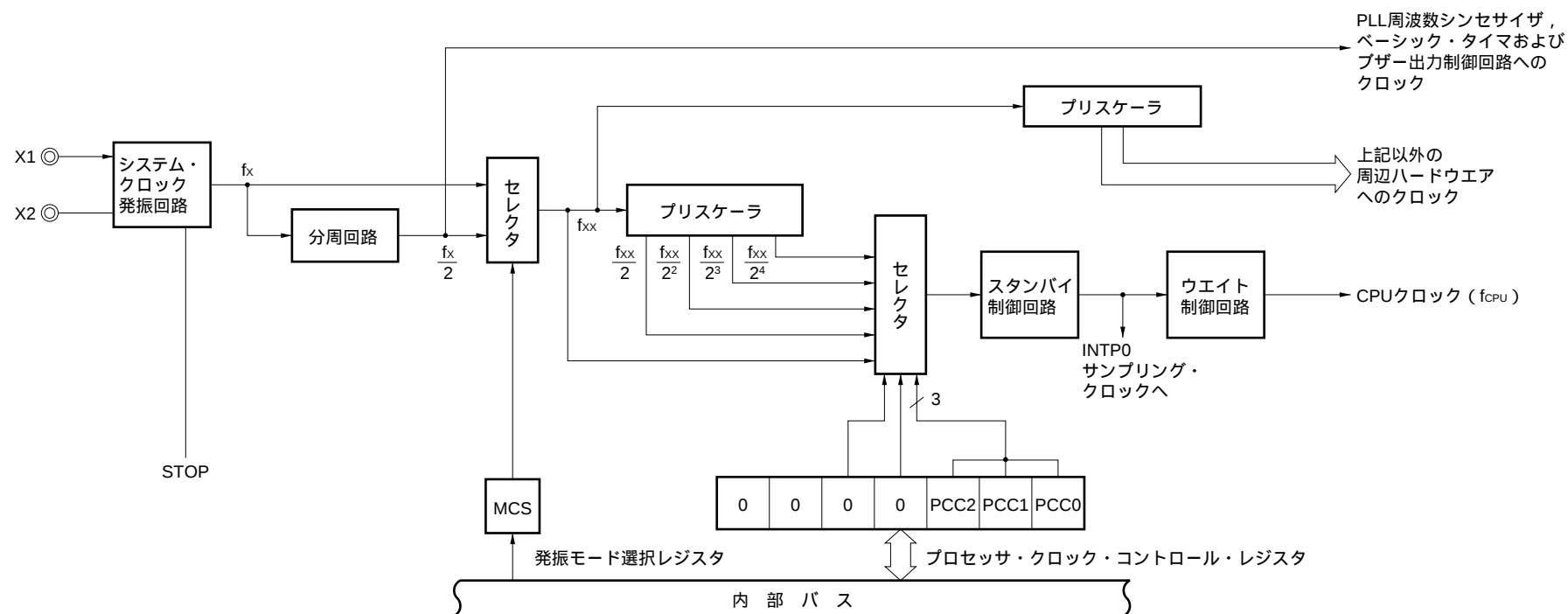
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表 5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ(PCC) 発振モード選択レジスタ(OSMS)
発振回路	システム・クロック発振回路

図5 - 1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の 2 種類のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ(PCC)
- ・発振モード選択レジスタ(OSMS)

(1) プロセッサ・クロック・コントロール・レジスタ(PCC)

CPUクロックを設定するレジスタです。
PCCは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット時は、04Hになります。

図 5 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	7	6	5	4		2	1	0	アドレス	リセット時	R/W
PCC	0	0	0	0	CMS	PCC2	PCC1	PCC0	FFFBH	04H	R/W ^注

R/W	CMS	必ず 0 に設定してください。									
-----	-----	-----------------	--	--	--	--	--	--	--	--	--

R/W	PCC2	PCC1	PCC0	CPUクロック(f _{CPU})選択							
					MCS = 1				MCS = 0		
	0	0	0	f _{xx}	f _x				f _x /2		
	0	0	1	f _{xx} /2	f _x /2				f _x /2 ²		
	0	1	0	f _{xx} /2 ²	f _x /2 ²				f _x /2 ³		
	0	1	1	f _{xx} /2 ³	f _x /2 ³				f _x /2 ⁴		
	1	0	0	f _{xx} /2 ⁴	f _x /2 ⁴				f _x /2 ⁵		
	上記以外			設定禁止							

注 ビット 4 - 7 は、Read Onlyです。

注意 CMS(ビット 3)には、必ず 0 を設定してください。

- 備考 1 . f_{xx} : システム・クロック周波数(f_xまたはf_x/2)
- 2 . f_x : システム・クロック発振周波数
- 3 . MCS : 発振モード選択レジスタ(OSMS)のビット 0

μPD178018Aサブシリーズの一番速い命令は、CPUクロック2クロックで実行されます。したがって、CPUクロック(f_{CPU})と最小命令実行時間の関係は、表5 - 2のようになります。

表5 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック(f_{CPU})	最小命令実行時間： $2/f_{CPU}$
f_x	0.44 μs
$f_x/2$	0.89 μs
$f_x/2^2$	1.78 μs
$f_x/2^3$	3.56 μs
$f_x/2^4$	7.11 μs
$f_x/2^5$	14.22 μs

$f_x = 4.5 \text{ MHz}$

f_x : システム・クロック発振周波数

(2) 発振モード選択レジスタ(OSMS)

システム・クロック発振回路から分周回路を通さずに出力したクロックをシステム・クロックとするか、分周回路を通して出力したクロックをシステム・クロックとするかを設定するレジスタです。

OSMSは、8ビット・メモリ操作命令で設定します。

リセット時は、MCSフラグは0に設定されますが読み出し時は不定になります。

図5-3 発振モード選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSMS	不定	不定	不定	不定	不定	不定	不定	MCS	FFF2H	00H	W

MCS	システム・クロックの分周回路の制御
0	分周回路を使用する
1	分周回路を使用しない

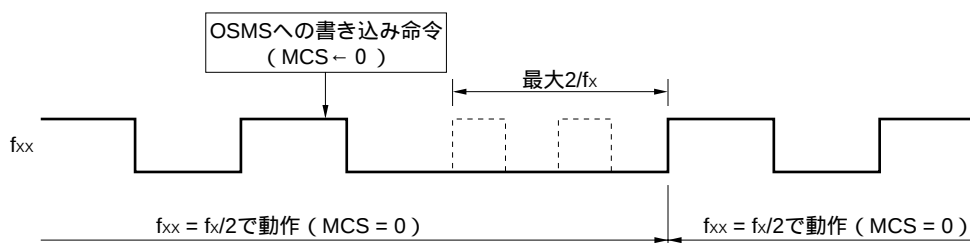
注意1 . OSMSへの書き込み命令(同じ値を書き込む場合を含みます)を実行すると、書き込み命令実行時のみ、システム・クロック周期が最大 $2/f_x$ 長くなります(図5-4参照)。

このため、周辺ハードウェアのうち、システム・クロックで動作しているハードウェアでは、タイマなどのカウント・クロック周期に一時的な誤差が生じます。

また、発振モードを切り替えた場合、CPUに供給されるクロックだけでなく、周辺ハードウェアへ供給されるクロックも切り替わります。ただし、PLL周波数シンセサイザ、ベーシック・タイマおよびブザー出力制御回路へ供給されるクロックには影響を与えません。

したがって、OSMSへの書き込み命令は、リセット解除後、周辺ハードウェアを動作させる前に、一度だけ実行することを推奨します。

図5-4 OSMS書き込み時のシステム・クロック



2 . MCSに1を設定する場合は、 V_{DD} 4.5 Vになってから行ってください。

備考 f_{xx} : システム・クロック周波数 (f_x または $f_x/2$)

f_x : システム・クロック発振周波数

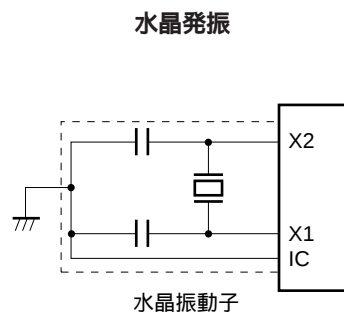
5.4 システム・クロック発振回路

5.4.1 システム・クロック発振回路

システム・クロック発振回路はX1, X2端子に接続された水晶振動子(標準: 4.5 MHz)によって発振します。

図5 - 5 にシステム・クロック発振回路の外付け回路を示します。

図5 - 5 システム・クロック発振回路の外付け回路



注意 システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 5の破線の部分を次のように配線してください。

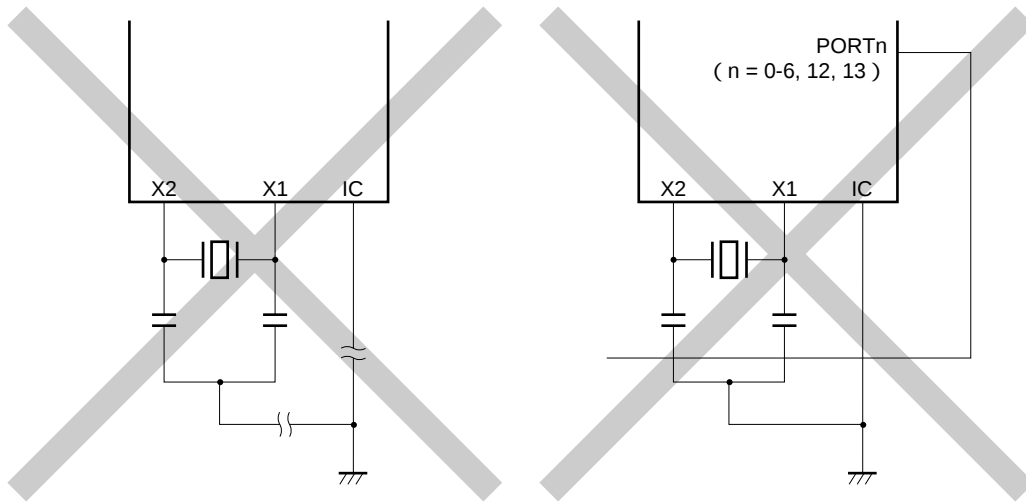
- 配線は極力短くする。
- 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- 発振回路のコンデンサの接地点は、常にGNDと同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

図5 - 6 に発振子の接続の悪い例を示します。

図5 - 6 発振子の接続の悪い例(1/2)

(a) 接続回路の配線が長い

(b) 信号線が交差している



(c) 変化する大電流が信号線に
近接している

(d) 発振回路部のグランド・ライン上に電流が流れる
(A点、B点、C点の電位が変動する)

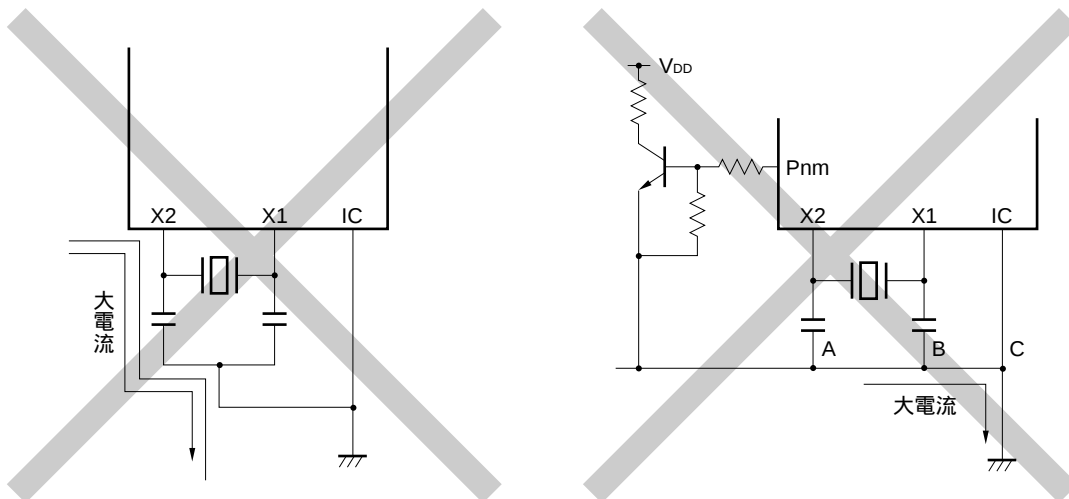
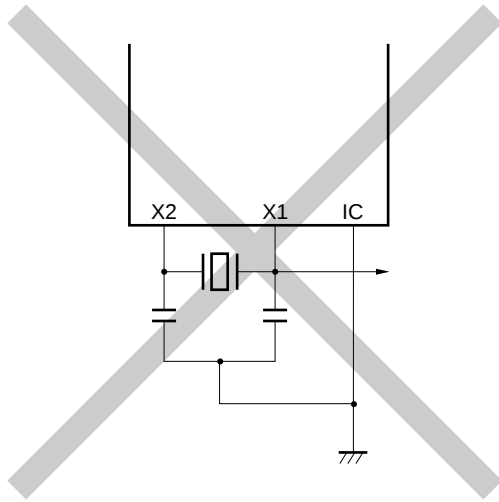


図5 - 6 発振子の接続の悪い例(2/2)

(e) 信号を取り出している



5.4.2 分周回路

分周回路は、システム・クロック発振回路出力(f_{xx})を分周して、各種クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・システム・クロック f_{XX}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ(PCC)、発振モード選択レジスタ(OSMS)により決定され、次のような機能、動作となります。

- (a) リセット信号発生によりシステム・クロックの最低速モード(14.22 μ s : 4.5 MHz動作時)が選択されます(PCC = 04H, OSMS = 00H)。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、システム・クロックの発振は停止します。
- (b) PCC, OSMSの設定により6段階のCPUクロック(0.44, 0.89, 1.78, 3.56, 7.11, 14.22 μ s : 4.5 MHz動作時)を選択できます。
- (c) STOPモード、HALTモードの2つのスタンバイ・モードが使用できます。
- (d) 周辺ハードウェアへのクロックはシステム・クロックを分周して供給されます。システム・クロックを停止させたときは周辺ハードウェアも停止します。

5.6 システム・クロックとCPUクロックの設定の変更

5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

システム・クロックとCPUクロックは、プロセッサ・クロック・コントロール・レジスタ(PCC)のビット0-2(PCC0-PCC2)により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します(表5-3参照)。

表5-3 CPUクロックの切り替えに要する最大時間

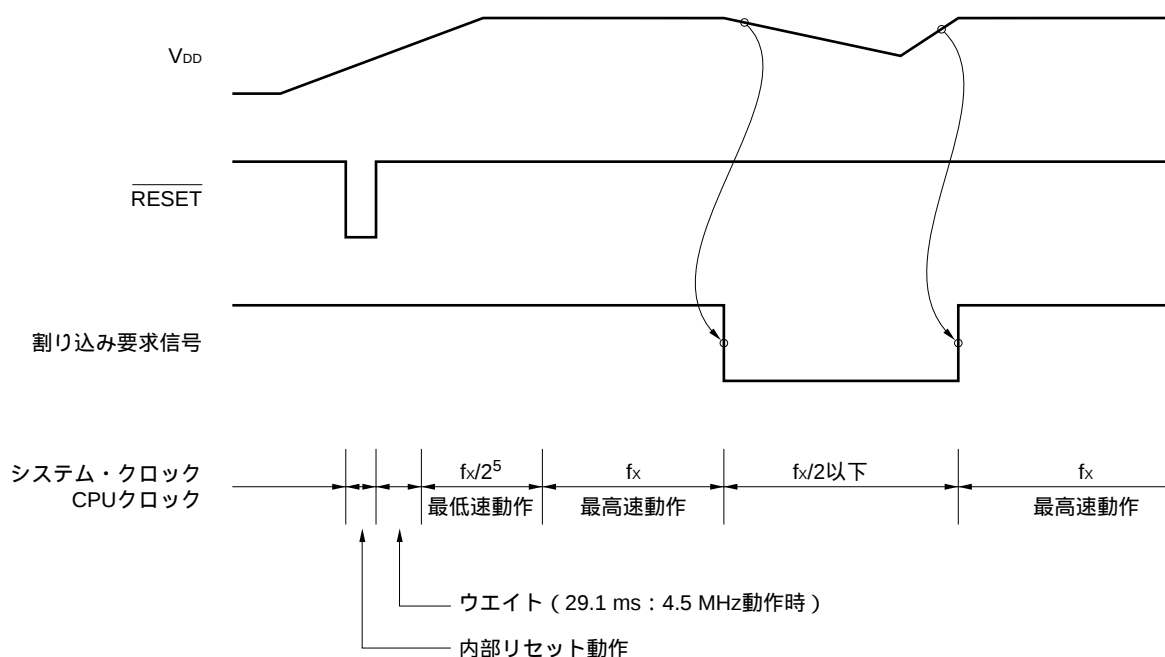
切り替え前の 設定値			切り替え後の設定値														
PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0	PCC2	PCC1	PCC0
			0	0	0	0	0	1	0	1	0	0	1	1	1	0	0
0	0	0	16命令			16命令			16命令			16命令			16命令		
0	0	1															
0	1	0															
0	1	1															
1	0	0	8命令			8命令			8命令			8命令			8命令		
0	1	0	4命令			4命令			4命令			4命令			4命令		
0	1	1	2命令			2命令			2命令			2命令			2命令		
1	0	0	1命令			1命令			1命令			1命令			1命令		

備考 1命令は、切り替え前のCPUクロックの最小命令実行時間となります。

5.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図5-7 システム・クロックとCPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにする、または V_{DD} がパワーオン・クリア電圧以下になることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにすると、または V_{DD} がパワーオン・クリア電圧より高くなるとリセットが解除され、システム・クロックが発振開始します。

このとき、自動的に発振安定時間($2^{17}/f_x$)を確保します。

その後、CPUはシステム・クロックの最低速(14.22 μs : 4.5 MHz動作時)で命令の実行を開始します。

V_{DD} 電圧が最高速で動作できる電圧まで上昇するのに十分な時間経過後、PCC, OSMSを書き換えて最高速動作を行います。

V_{DD} 電圧が低下したことを割り込み要求信号などにより検出し、PCC, OSMSを書き換えます。

V_{DD} 電圧が復帰したことを割り込み要求信号などにより検出し、PCC, OSMSを書き換えて最高速動作に戻します。

〔メ モ〕

第6章 8ビット・タイマ/イベント・カウンタ

6.1 8ビット・タイマ/イベント・カウンタの機能

μPD178018Aサブシリーズが内蔵している8ビット・タイマ/イベント・カウンタには、2チャンネルの8ビット・タイマ/イベント・カウンタを別個に使用するモード(8ビット・タイマ/イベント・カウンタ・モード)と、あわせて16ビット・タイマ/イベント・カウンタとして使用するモード(16ビット・タイマ/イベント・カウンタ・モード)があります。

6.1.1 8ビット・タイマ/イベント・カウンタ・モード

8ビット・タイマ/イベント・カウンタ1, 2には、次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ

(1) 8ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

表6-1 8ビット・タイマ/イベント・カウンタのインターバル時間

最小インターバル時間		最大インターバル時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (444 ns)	$2^2 \times 1/f_x$ (888 ns)	$2^9 \times 1/f_x$ (113.8 μ s)	$2^{10} \times 1/f_x$ (227.5 μ s)	$2 \times 1/f_x$ (444 ns)	$2^2 \times 1/f_x$ (888 ns)
$2^2 \times 1/f_x$ (888 ns)	$2^3 \times 1/f_x$ (1.78 μ s)	$2^{10} \times 1/f_x$ (227.5 μ s)	$2^{11} \times 1/f_x$ (455.1 μ s)	$2^2 \times 1/f_x$ (888 ns)	$2^3 \times 1/f_x$ (1.78 μ s)
$2^3 \times 1/f_x$ (1.78 μ s)	$2^4 \times 1/f_x$ (3.56 μ s)	$2^{11} \times 1/f_x$ (455.1 μ s)	$2^{12} \times 1/f_x$ (910.2 μ s)	$2^3 \times 1/f_x$ (1.78 μ s)	$2^4 \times 1/f_x$ (3.56 μ s)
$2^4 \times 1/f_x$ (3.56 μ s)	$2^5 \times 1/f_x$ (7.11 μ s)	$2^{12} \times 1/f_x$ (910.2 μ s)	$2^{13} \times 1/f_x$ (1.82 ms)	$2^4 \times 1/f_x$ (3.56 μ s)	$2^5 \times 1/f_x$ (7.11 μ s)
$2^5 \times 1/f_x$ (7.11 μ s)	$2^6 \times 1/f_x$ (14.2 μ s)	$2^{13} \times 1/f_x$ (1.82 ms)	$2^{14} \times 1/f_x$ (3.64 ms)	$2^5 \times 1/f_x$ (7.11 μ s)	$2^6 \times 1/f_x$ (14.2 μ s)
$2^6 \times 1/f_x$ (14.2 μ s)	$2^7 \times 1/f_x$ (28.4 μ s)	$2^{14} \times 1/f_x$ (3.64 ms)	$2^{15} \times 1/f_x$ (7.28 ms)	$2^6 \times 1/f_x$ (14.2 μ s)	$2^7 \times 1/f_x$ (28.4 μ s)
$2^7 \times 1/f_x$ (28.4 μ s)	$2^8 \times 1/f_x$ (56.9 μ s)	$2^{15} \times 1/f_x$ (7.28 ms)	$2^{16} \times 1/f_x$ (14.6 ms)	$2^7 \times 1/f_x$ (28.4 μ s)	$2^8 \times 1/f_x$ (56.9 μ s)
$2^8 \times 1/f_x$ (56.9 μ s)	$2^9 \times 1/f_x$ (113.8 μ s)	$2^{16} \times 1/f_x$ (14.6 ms)	$2^{17} \times 1/f_x$ (29.1 ms)	$2^8 \times 1/f_x$ (56.9 μ s)	$2^9 \times 1/f_x$ (113.8 μ s)
$2^9 \times 1/f_x$ (113.8 μ s)	$2^{10} \times 1/f_x$ (227.5 μ s)	$2^{17} \times 1/f_x$ (29.1 ms)	$2^{18} \times 1/f_x$ (58.3 ms)	$2^9 \times 1/f_x$ (113.8 μ s)	$2^{10} \times 1/f_x$ (227.5 μ s)
$2^{11} \times 1/f_x$ (455.1 μ s)	$2^{12} \times 1/f_x$ (910.2 μ s)	$2^{19} \times 1/f_x$ (116.5 ms)	$2^{20} \times 1/f_x$ (233.0 ms)	$2^{11} \times 1/f_x$ (455.1 μ s)	$2^{12} \times 1/f_x$ (910.2 μ s)

備考 1. f_x : システム・クロック発振周波数

2. MCS : 発振モード選択レジスタ(OSMS)のビット0

3. ()内は, $f_x = 4.5$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

6.1.2 16ビット・タイマ/イベント・カウンタ・モード

(1) 16ビット・インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生できます。

表6-2 8ビット・タイマ/イベント・カウンタを16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間

最小インターバル時間		最大インターバル時間		分解能	
MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
$2 \times 1/f_x$ (444 ns)	$2^2 \times 1/f_x$ (888 ns)	$2^{17} \times 1/f_x$ (29.1 ms)	$2^{18} \times 1/f_x$ (58.3 ms)	$2 \times 1/f_x$ (444 ns)	$2^2 \times 1/f_x$ (888 ns)
$2^2 \times 1/f_x$ (888 ns)	$2^3 \times 1/f_x$ (1.78 μ s)	$2^{18} \times 1/f_x$ (58.3 ms)	$2^{19} \times 1/f_x$ (116.5 ms)	$2^2 \times 1/f_x$ (888 ns)	$2^3 \times 1/f_x$ (1.78 μ s)
$2^3 \times 1/f_x$ (1.78 μ s)	$2^4 \times 1/f_x$ (3.56 μ s)	$2^{19} \times 1/f_x$ (116.5 ms)	$2^{20} \times 1/f_x$ (233.0 ms)	$2^3 \times 1/f_x$ (1.78 μ s)	$2^4 \times 1/f_x$ (3.56 μ s)
$2^4 \times 1/f_x$ (3.56 μ s)	$2^5 \times 1/f_x$ (7.11 μ s)	$2^{20} \times 1/f_x$ (233.0 ms)	$2^{21} \times 1/f_x$ (466.0 ms)	$2^4 \times 1/f_x$ (3.56 μ s)	$2^5 \times 1/f_x$ (7.11 μ s)
$2^5 \times 1/f_x$ (7.11 μ s)	$2^6 \times 1/f_x$ (14.2 μ s)	$2^{21} \times 1/f_x$ (466.0 ms)	$2^{22} \times 1/f_x$ (932.0 ms)	$2^5 \times 1/f_x$ (7.11 μ s)	$2^6 \times 1/f_x$ (14.2 μ s)
$2^6 \times 1/f_x$ (14.2 μ s)	$2^7 \times 1/f_x$ (28.4 μ s)	$2^{22} \times 1/f_x$ (932.0 ms)	$2^{23} \times 1/f_x$ (1.9 s)	$2^6 \times 1/f_x$ (14.2 μ s)	$2^7 \times 1/f_x$ (28.4 μ s)
$2^7 \times 1/f_x$ (28.4 μ s)	$2^8 \times 1/f_x$ (56.9 μ s)	$2^{23} \times 1/f_x$ (1.9 s)	$2^{24} \times 1/f_x$ (3.7 s)	$2^7 \times 1/f_x$ (28.4 μ s)	$2^8 \times 1/f_x$ (56.9 μ s)
$2^8 \times 1/f_x$ (56.9 μ s)	$2^9 \times 1/f_x$ (113.8 μ s)	$2^{24} \times 1/f_x$ (3.7 s)	$2^{25} \times 1/f_x$ (7.5 s)	$2^8 \times 1/f_x$ (56.9 μ s)	$2^9 \times 1/f_x$ (113.8 μ s)
$2^9 \times 1/f_x$ (113.8 μ s)	$2^{10} \times 1/f_x$ (227.5 μ s)	$2^{25} \times 1/f_x$ (7.5 s)	$2^{26} \times 1/f_x$ (14.9 s)	$2^9 \times 1/f_x$ (113.8 μ s)	$2^{10} \times 1/f_x$ (227.5 μ s)
$2^{11} \times 1/f_x$ (455.1 μ s)	$2^{12} \times 1/f_x$ (910.2 μ s)	$2^{27} \times 1/f_x$ (29.8 s)	$2^{28} \times 1/f_x$ (59.7 s)	$2^{11} \times 1/f_x$ (455.1 μ s)	$2^{12} \times 1/f_x$ (910.2 μ s)

備考1 . f_x : システム・クロック発振周波数

2 . MCS : 発振モード選択レジスタ(OSMS)のビット0

3 . ()内は, $f_x = 4.5$ MHz動作時。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

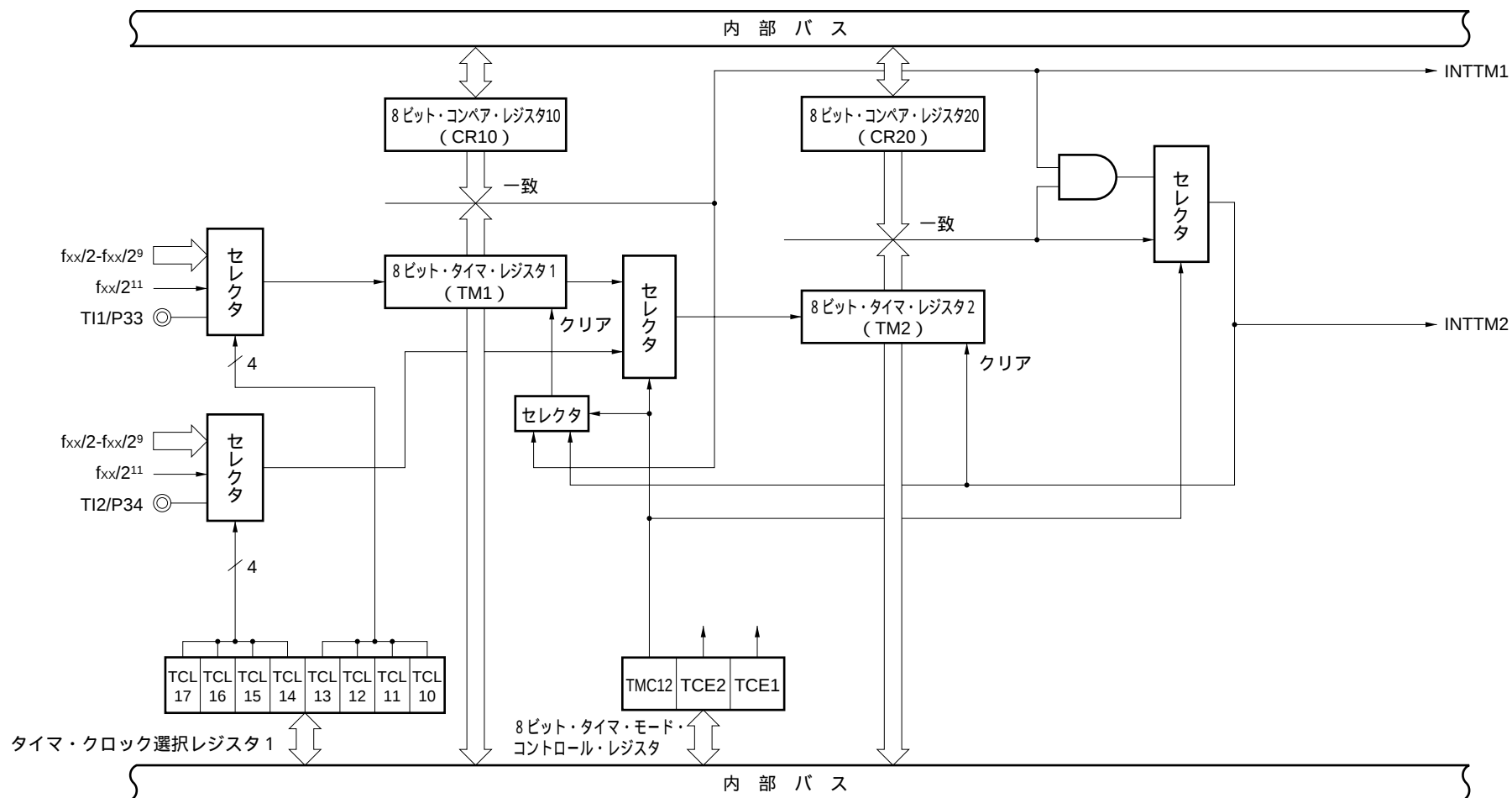
6.2 8ビット・タイマ/イベント・カウンタの構成

8ビット・タイマ/イベント・カウンタは、次のハードウェアで構成しています。

表6 - 3 8ビット・タイマ/イベント・カウンタの構成

項 目	構 成
タイマ・レジスタ	8ビット×2本(TM1, TM2)
レジスタ	コンペア・レジスタ：8ビット×2本(CR10, CR20)
制御レジスタ	タイマ・クロック選択レジスタ1(TCL1) 8ビット・タイマ・モード・コントロール・レジスタ(TMC1)

図6-1 8ビット・タイマ/イベント・カウンタのブロック図



(1) コンペア・レジスタ10, 20 (CR10, CR20)

CR10に設定した値と8ビット・タイマ・レジスタ1(TM1)のカウンタ値, CR20に設定した値と8ビット・タイマ・レジスタ2(TM2)のカウンタ値を常に比較し, 一致したときにそれぞれ割り込み要求(INTTM1, INTTM2)を発生する8ビットのレジスタです。

CR10, CR20は, 8ビット・メモリ操作命令で設定します。16ビット・メモリ操作命令では設定できません。8ビット・タイマ/イベント・カウンタとして使用時は, 00H-FFHの値が, 16ビット・タイマ/イベント・カウンタとして使用時は, 0000H-FFFFHの値が設定可能です。

リセット時は, 不定になります。

注意1 . 16ビット・タイマ/イベント・カウンタとして使用時, データの設定は, 必ずタイマ動作を停止させたのちに行ってください。

2 . CR10, CR20の変更後の値が, 8ビット・タイマ・レジスタ(TM1, 2)の値よりも小さいとき, TM1, TM2はカウントを継続しオーバーフローして0から再カウントします。

したがって, CR10, CR20の変更後の値が変更前の値より小さいときは, CR10, CR20を変更後, タイマを再スタートさせる必要があります。

(2) 8ビット・タイマ・レジスタ1, 2(TM1, TM2)

カウンタ・パルスをカウントする8ビットのレジスタです。

TM1, TM2を8ビット・タイマ×2チャンネル・モードとして使用するときは, 8ビット・メモリ操作命令で読み出します。16ビット・タイマ×1チャンネル・モードとして使用するときは, 16ビット・タイマ(TMS)を16ビット・メモリ操作命令で読み出します。

リセット時は, それぞれ00Hになります。

6.3 8ビット・タイマ/イベント・カウンタを制御するレジスタ

8ビット・タイマ/イベント・カウンタは, 次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ1(TCL1)
- ・8ビット・タイマ・モード・コントロール・レジスタ(TMC1)

(1) タイマ・クロック選択レジスタ1(TCL1)

8ビット・タイマ・レジスタ1, 2のカウンタ・クロックを設定するレジスタです。

TCL1は, 8ビット・メモリ操作命令で設定します。

リセット時は, 00Hになります。

図6-2 タイマ・クロック選択レジスタ1のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL1	TCL17	TCL16	TCL15	TCL14	TCL13	TCL12	TCL11	TCL10	FF41H	00H	R/W

TCL13	TCL12	TCL11	TCL10	8ビット・タイマ・レジスタ1のカウンタ・クロックの選択		
					MCS = 1	MCS = 0
0	0	0	0	TI1の立ち下がりエッジ		
0	0	0	1	TI1の立ち上がりエッジ		
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.25 MHz)	$f_x/2$ (1.13 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2$ (1.13 MHz)	$f_x/2$ (563 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2$ (563 kHz)	$f_x/2$ (281 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2$ (281 kHz)	$f_x/2$ (141 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2$ (141 kHz)	$f_x/2$ (70.3 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2$ (70.3 kHz)	$f_x/2$ (35.2 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2$ (35.2 kHz)	$f_x/2$ (17.6 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2$ (17.6 kHz)	$f_x/2$ (8.8 kHz)
1	1	1	0	$f_{xx}/2^9$	$f_x/2$ (8.8 kHz)	$f_x/2^{10}$ (4.4 kHz)
1	1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.2 kHz)	$f_x/2^{12}$ (1.1 kHz)
上記以外				設定禁止		

TCL17	TCL16	TCL15	TCL14	8ビット・タイマ・レジスタ2のカウンタ・クロックの選択		
					MCS = 1	MCS = 0
0	0	0	0	TI2の立ち下がりエッジ		
0	0	0	1	TI2の立ち上がりエッジ		
0	1	1	0	$f_{xx}/2$	$f_x/2$ (2.25 MHz)	$f_x/2$ (1.13 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2$ (1.13 MHz)	$f_x/2$ (563 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2$ (563 kHz)	$f_x/2$ (281 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2$ (281 kHz)	$f_x/2$ (141 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2$ (141 kHz)	$f_x/2$ (70.3 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2$ (70.3 kHz)	$f_x/2$ (35.2 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2$ (35.2 kHz)	$f_x/2$ (17.6 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2$ (17.6 kHz)	$f_x/2$ (8.8 kHz)
1	1	1	0	$f_{xx}/2^9$	$f_x/2$ (8.8 kHz)	$f_x/2^{10}$ (4.4 kHz)
1	1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.2 kHz)	$f_x/2^{12}$ (1.1 kHz)
上記以外				設定禁止		

注意 TCL1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考 1. f_{xx} : システム・クロック周波数(f_x または $f_x/2$)
2. f_x : システム・クロック発振周波数
3. TI1 : 8ビット・タイマ・レジスタ1の入力端子
4. TI2 : 8ビット・タイマ・レジスタ2の入力端子
5. MCS : 発振モード選択レジスタ(OSMS)のビット0
6. ()内は, $f_x = 4.5 \text{ MHz}$ 動作時。

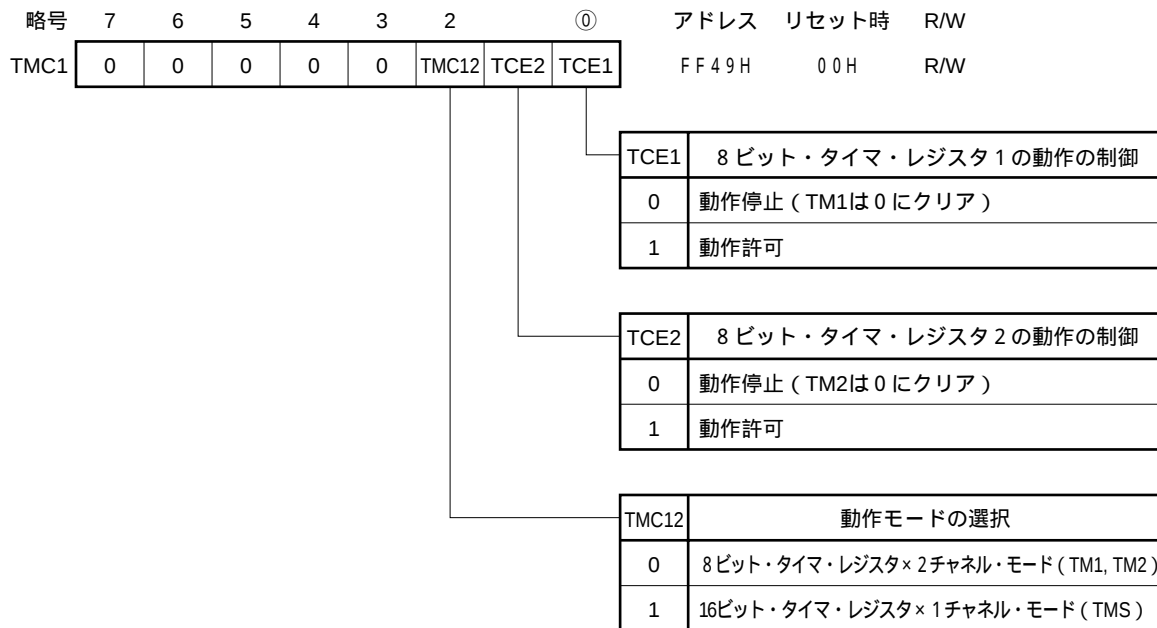
(2) 8ビット・タイマ・モード・コントロール・レジスタ(TMC1)

8ビット・タイマ・レジスタ1, 2の動作許可/停止および8ビット・タイマ・レジスタ2の動作モードを設定するレジスタです。

TMC1は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は, 00Hになります。

図6-3 8ビット・タイマ・モード・コントロール・レジスタのフォーマット



注意 1. 動作モードの切り替えは, タイマ動作を停止させたのちに行ってください。

2. 16ビット・タイマ・レジスタとして使用する場合, 動作許可/停止はTCE1で行ってください。

6.4 8ビット・タイマ/イベント・カウンタの動作

6.4.1 8ビット・タイマ/イベント・カウンタ・モード

(1) インターバル・タイマとしての動作

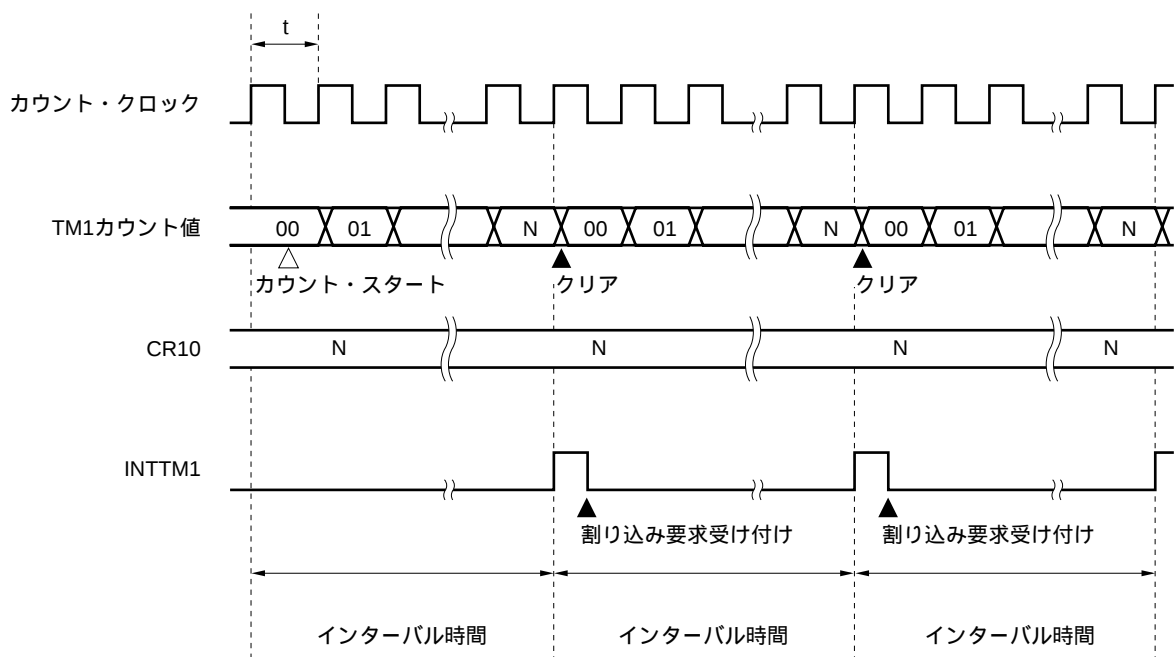
8ビット・コンペア・レジスタ10, 20 (CR10, CR20) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・レジスタ1, 2 (TM1, TM2) のカウント値がCR10, CR20に設定した値と一致したとき、TM1, TM2の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM1, INTTM2) を発生します。

タイマ・クロック選択レジスタ1 (TCL1) のビット0-3 (TCL10-TCL13) で8ビット・タイマ・レジスタ1 (TM1) のカウント・クロックを、またビット4-7 (TCL14-TCL17) で8ビット・タイマ・レジスタ2 (TM2) のカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更した場合の動作については、6.5 8ビット・タイマ/イベント・カウンタの注意事項 (3) を参照してください。

図6-4 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: $N = 00H\text{--}FFH$

表6-4 8ビット・タイマ/イベント・カウンタ1のインターバル時間

TCL13	TCL12	TCL11	TCL10	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	T11入力周期		$2^8 \times \text{T11入力周期}$		T11入力エッジ周期	
0	0	0	1	T11入力周期		$2^8 \times \text{T11入力周期}$		T11入力エッジ周期	
0	1	1	0	$2 \times 1/f_x$ (444 ns)	$2^2 \times 1/f_x$ (888 ns)	$2^9 \times 1/f_x$ (113.8 μs)	$2^{10} \times 1/f_x$ (227.5 μs)	$2 \times 1/f_x$ (444 ns)	$2^2 \times 1/f_x$ (888 ns)
0	1	1	1	$2^2 \times 1/f_x$ (888 ns)	$2^3 \times 1/f_x$ (1.78 μs)	$2^{10} \times 1/f_x$ (227.5 μs)	$2^{11} \times 1/f_x$ (455.1 μs)	$2^2 \times 1/f_x$ (888 ns)	$2^3 \times 1/f_x$ (1.78 μs)
1	0	0	0	$2^3 \times 1/f_x$ (1.78 μs)	$2^4 \times 1/f_x$ (3.56 μs)	$2^{11} \times 1/f_x$ (455.1 μs)	$2^{12} \times 1/f_x$ (910.2 μs)	$2^3 \times 1/f_x$ (1.78 μs)	$2^4 \times 1/f_x$ (3.56 μs)
1	0	0	1	$2^4 \times 1/f_x$ (3.56 μs)	$2^5 \times 1/f_x$ (7.11 μs)	$2^{12} \times 1/f_x$ (910.2 μs)	$2^{13} \times 1/f_x$ (1.82 ms)	$2^4 \times 1/f_x$ (3.56 μs)	$2^5 \times 1/f_x$ (7.11 μs)
1	0	1	0	$2^5 \times 1/f_x$ (7.11 μs)	$2^6 \times 1/f_x$ (14.2 μs)	$2^{13} \times 1/f_x$ (1.82 ms)	$2^{14} \times 1/f_x$ (3.64 ms)	$2^5 \times 1/f_x$ (7.11 μs)	$2^6 \times 1/f_x$ (14.2 μs)
1	0	1	1	$2^6 \times 1/f_x$ (14.2 μs)	$2^7 \times 1/f_x$ (28.4 μs)	$2^{14} \times 1/f_x$ (3.64 ms)	$2^{15} \times 1/f_x$ (7.28 ms)	$2^6 \times 1/f_x$ (14.2 μs)	$2^7 \times 1/f_x$ (28.4 μs)
1	1	0	0	$2^7 \times 1/f_x$ (28.4 μs)	$2^8 \times 1/f_x$ (56.9 μs)	$2^{15} \times 1/f_x$ (7.28 ms)	$2^{16} \times 1/f_x$ (14.6 ms)	$2^7 \times 1/f_x$ (28.4 μs)	$2^8 \times 1/f_x$ (56.9 μs)
1	1	0	1	$2^8 \times 1/f_x$ (56.9 μs)	$2^9 \times 1/f_x$ (113.8 μs)	$2^{16} \times 1/f_x$ (14.6 ms)	$2^{17} \times 1/f_x$ (29.1 ms)	$2^8 \times 1/f_x$ (56.9 μs)	$2^9 \times 1/f_x$ (113.8 μs)
1	1	1	0	$2^9 \times 1/f_x$ (113.8 μs)	$2^{10} \times 1/f_x$ (227.5 μs)	$2^{17} \times 1/f_x$ (29.1 ms)	$2^{18} \times 1/f_x$ (58.3 ms)	$2^9 \times 1/f_x$ (113.8 μs)	$2^{10} \times 1/f_x$ (227.5 μs)
1	1	1	1	$2^{11} \times 1/f_x$ (455.1 μs)	$2^{12} \times 1/f_x$ (910.2 μs)	$2^{19} \times 1/f_x$ (116.5 ms)	$2^{20} \times 1/f_x$ (233.0 ms)	$2^{11} \times 1/f_x$ (455.1 μs)	$2^{12} \times 1/f_x$ (910.2 μs)
上記以外				設定禁止					

備考 1. f_x : システム・クロック発振周波数

2. MCS : 発振モード選択レジスタ(OSMS)のビット 0

3. TCL10-TCL13 : タイマ・クロック選択レジスタ 1(TCL1)のビット 0 - 3

4. ()内は, $f_x = 4.5 \text{ MHz}$ 動作時。

表6-5 8ビット・タイマ/イベント・カウンタ2のインターバル時間

TCL17	TCL16	TCL15	TCL14	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	TI2入力周期		$2^8 \times \text{TI2入力周期}$		TI2入力エッジ周期	
0	0	0	1	TI2入力周期		$2^8 \times \text{TI2入力周期}$		TI2入力エッジ周期	
0	1	1	0	$2 \times 1/f_x$ (444 ns)	$2^2 \times 1/f_x$ (888 ns)	$2^9 \times 1/f_x$ (113.8 μs)	$2^{10} \times 1/f_x$ (227.5 μs)	$2 \times 1/f_x$ (444 ns)	$2^2 \times 1/f_x$ (888 ns)
0	1	1	1	$2^2 \times 1/f_x$ (888 ns)	$2^3 \times 1/f_x$ (1.78 μs)	$2^{10} \times 1/f_x$ (227.5 μs)	$2^{11} \times 1/f_x$ (455.1 μs)	$2^2 \times 1/f_x$ (888 ns)	$2^3 \times 1/f_x$ (1.78 μs)
1	0	0	0	$2^3 \times 1/f_x$ (1.78 μs)	$2^4 \times 1/f_x$ (3.56 μs)	$2^{11} \times 1/f_x$ (455.1 μs)	$2^{12} \times 1/f_x$ (910.2 μs)	$2^3 \times 1/f_x$ (1.78 μs)	$2^4 \times 1/f_x$ (3.56 μs)
1	0	0	1	$2^4 \times 1/f_x$ (3.56 μs)	$2^5 \times 1/f_x$ (7.11 μs)	$2^{12} \times 1/f_x$ (910.2 μs)	$2^{13} \times 1/f_x$ (1.82 ms)	$2^4 \times 1/f_x$ (3.56 μs)	$2^5 \times 1/f_x$ (7.11 μs)
1	0	1	0	$2^5 \times 1/f_x$ (7.11 μs)	$2^6 \times 1/f_x$ (14.2 μs)	$2^{13} \times 1/f_x$ (1.82 ms)	$2^{14} \times 1/f_x$ (3.64 ms)	$2^5 \times 1/f_x$ (7.11 μs)	$2^6 \times 1/f_x$ (14.2 μs)
1	0	1	1	$2^6 \times 1/f_x$ (14.2 μs)	$2^7 \times 1/f_x$ (28.4 μs)	$2^{14} \times 1/f_x$ (3.64 ms)	$2^{15} \times 1/f_x$ (7.28 ms)	$2^6 \times 1/f_x$ (14.2 μs)	$2^7 \times 1/f_x$ (28.4 μs)
1	1	0	0	$2^7 \times 1/f_x$ (28.4 μs)	$2^8 \times 1/f_x$ (56.9 μs)	$2^{15} \times 1/f_x$ (7.28 ms)	$2^{16} \times 1/f_x$ (14.6 ms)	$2^7 \times 1/f_x$ (28.4 μs)	$2^8 \times 1/f_x$ (56.9 μs)
1	1	0	1	$2^8 \times 1/f_x$ (56.9 μs)	$2^9 \times 1/f_x$ (113.8 μs)	$2^{16} \times 1/f_x$ (14.6 ms)	$2^{17} \times 1/f_x$ (29.1 ms)	$2^8 \times 1/f_x$ (56.9 μs)	$2^9 \times 1/f_x$ (113.8 μs)
1	1	1	0	$2^9 \times 1/f_x$ (113.8 μs)	$2^{10} \times 1/f_x$ (227.5 μs)	$2^{17} \times 1/f_x$ (29.1 ms)	$2^{18} \times 1/f_x$ (58.3 ms)	$2^9 \times 1/f_x$ (113.8 μs)	$2^{10} \times 1/f_x$ (227.5 μs)
1	1	1	1	$2^{11} \times 1/f_x$ (455.1 μs)	$2^{12} \times 1/f_x$ (910.2 μs)	$2^{19} \times 1/f_x$ (116.5 ms)	$2^{20} \times 1/f_x$ (233.0 ms)	$2^{11} \times 1/f_x$ (455.1 μs)	$2^{12} \times 1/f_x$ (910.2 μs)
上記以外				設定禁止					

備考1 . f_x : システム・クロック発振周波数

2 . MCS : 発振モード選択レジスタ(OSMS)のビット0

3 . TCL14-TCL17 : タイマ・クロック選択レジスタ(TCL1)のビット4-7

4 . ()内は, $f_x = 4.5 \text{ MHz}$ 動作時。

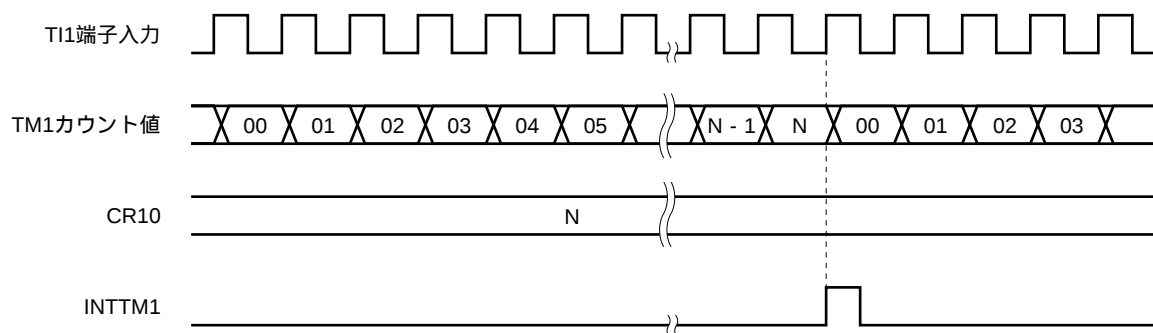
(2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI1/P33, TI2/P34端子に入力される外部からのクロック・パルス数を8ビット・タイマ・レジスタ1, 2(TM1, TM2)でカウントするものです。

タイマ・クロック選択レジスタ1(TCL1)で指定した有効エッジが入力されるたびに、TM1, TM2がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下りのいずれかを選択できます。

TM1, TM2の計数値が8ビット・コンペア・レジスタ10, 20(CR10, CR20)の値と一致すると、TM1, TM2は0にクリアされ、割り込み要求信号(INTTM1, INTTM2)が発生します。

図6-5 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



備考 N = 00H-FFH

6.4.2 16ビット・タイマ/イベント・カウンタ・モード

8ビット・タイマ・モード・コントロール・レジスタ (TMC1) のビット2 (TMC12) に1を設定すると、16ビット・タイマ/イベント・カウンタ・モードとなります。

このモードでは、カウント・クロックはタイマ・クロック選択レジスタ (TCL1) のビット0-3 (TCL10-TCL13) で選択します。そして、8ビット・タイマ/イベント・カウンタ1 (TM1) のオーバーフロー信号が8ビット・タイマ/イベント・カウンタ2 (TM2) のカウント・クロックとなります。

また、このモードでのカウント動作の禁止/許可は、TMC1のビット0 (TCE1) で選択します。

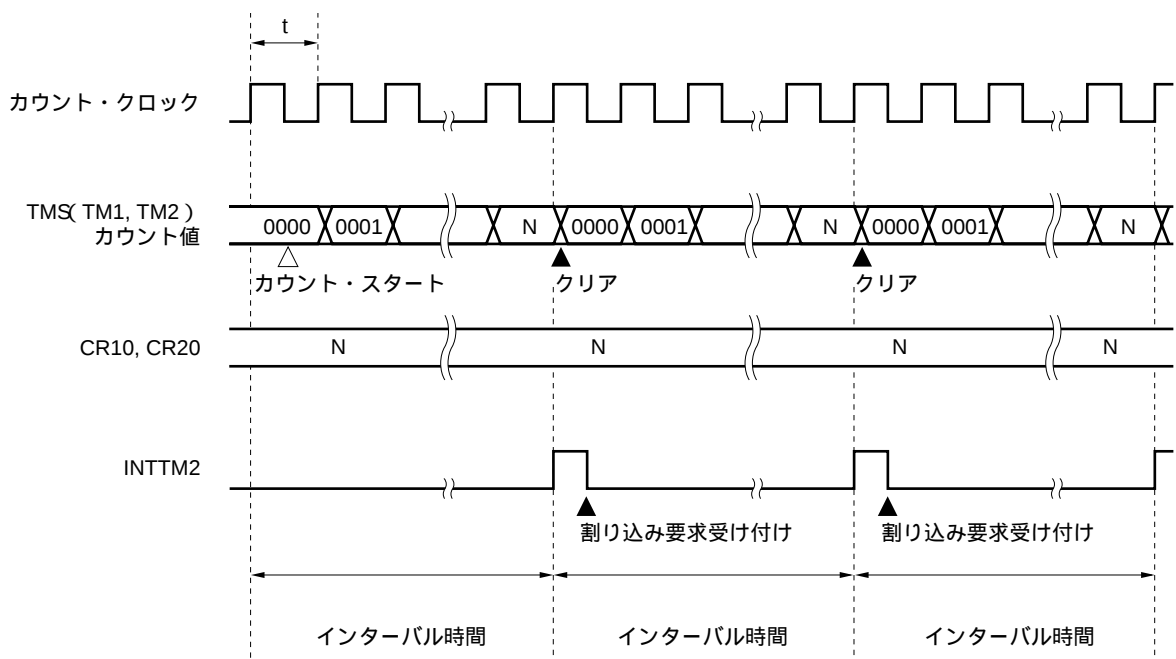
(1) インターバル・タイマとしての動作

2チャンネルの8ビット・コンペア・レジスタ (CR10, CR20) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。カウント値を設定する際には、上位8ビットの値をCR20に、下位8ビットの値をCR10に設定します。設定可能なカウント値 (インターバル時間) については、表6-6を参照してください。

8ビット・タイマ・レジスタ1 (TM1) とCR10が一致し、かつ8ビット・タイマ・レジスタ2 (TM2) とCR20が一致したとき、TM1およびTM2の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM2) を発生します。インターバル・タイマの動作タイミングについては、図6-6を参照してください。

カウント・クロックは、タイマ・クロック選択レジスタ (TCL1) のビット0-3 (TCL10-TCL13) で選択します。そして、TM1のオーバーフロー信号がTM2のカウント・クロックになります。

図6-6 インターバル・タイマ動作のタイミング



備考 インターバル時間 = $(N + 1) \times t$: $N = 0000H-FFFFH$

注意 16ビット・タイマ/イベント・カウンタ・モードを使用している場合でも、TM1のカウンタ値がCR10の値と一致すると、割り込み要求 (INTTM1) を発生します。したがって、16ビットのインターバル・タイマとして使用するときには、INTTM1の受け付けを禁止するためのマスク・フラグTMMK1に1を設定してください。

また、タイマのカウンタ値を読み出す場合には、16ビット・タイマ (TMS) を16ビット・メモリ操作命令で読み出してください。

表6 - 6 2チャンネルの8ビット・タイマ/イベント・カウンタ(TM1, TM2)を
16ビット・タイマ/イベント・カウンタとして使用したときのインターバル時間

TCL13	TCL12	TCL11	TCL10	最小インターバル時間		最大インターバル時間		分解能	
				MCS = 1	MCS = 0	MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	0	0	TI1入力周期		$2^8 \times \text{TI1入力周期}$		TI1入力エッジ周期	
0	0	0	1	TI1入力周期		$2^8 \times \text{TI1入力周期}$		TI1入力エッジ周期	
0	1	1	0	$2 \times 1/f_x$ (444 ns)	$2^2 \times 1/f_x$ (888 ns)	$2^{17} \times 1/f_x$ (29.1 ms)	$2^{18} \times 1/f_x$ (58.3 ms)	$2 \times 1/f_x$ (444 ns)	$2^2 \times 1/f_x$ (888 ns)
0	1	1	1	$2^2 \times 1/f_x$ (888 ns)	$2^3 \times 1/f_x$ (1.78 μs)	$2^{18} \times 1/f_x$ (58.3 ms)	$2^{19} \times 1/f_x$ (116.5 ms)	$2^2 \times 1/f_x$ (888 ns)	$2^3 \times 1/f_x$ (1.78 μs)
1	0	0	0	$2^3 \times 1/f_x$ (1.78 μs)	$2^4 \times 1/f_x$ (3.56 μs)	$2^{19} \times 1/f_x$ (116.5 ms)	$2^{20} \times 1/f_x$ (233.0 ms)	$2^3 \times 1/f_x$ (1.78 μs)	$2^4 \times 1/f_x$ (3.56 μs)
1	0	0	1	$2^4 \times 1/f_x$ (3.56 μs)	$2^5 \times 1/f_x$ (7.11 μs)	$2^{20} \times 1/f_x$ (233.0 ms)	$2^{21} \times 1/f_x$ (466.0 ms)	$2^4 \times 1/f_x$ (3.56 μs)	$2^5 \times 1/f_x$ (7.11 μs)
1	0	1	0	$2^5 \times 1/f_x$ (7.11 μs)	$2^6 \times 1/f_x$ (14.2 μs)	$2^{21} \times 1/f_x$ (466.0 ms)	$2^{22} \times 1/f_x$ (932.0 ms)	$2^5 \times 1/f_x$ (7.11 μs)	$2^6 \times 1/f_x$ (14.2 μs)
1	0	1	1	$2^6 \times 1/f_x$ (14.2 μs)	$2^7 \times 1/f_x$ (28.4 μs)	$2^{22} \times 1/f_x$ (932.0 ms)	$2^{23} \times 1/f_x$ (1.9 s)	$2^6 \times 1/f_x$ (14.2 μs)	$2^7 \times 1/f_x$ (28.4 μs)
1	1	0	0	$2^7 \times 1/f_x$ (28.4 μs)	$2^8 \times 1/f_x$ (56.9 μs)	$2^{23} \times 1/f_x$ (1.9 s)	$2^{24} \times 1/f_x$ (3.7 s)	$2^7 \times 1/f_x$ (28.4 μs)	$2^8 \times 1/f_x$ (56.9 μs)
1	1	0	1	$2^8 \times 1/f_x$ (56.9 μs)	$2^9 \times 1/f_x$ (113.8 μs)	$2^{24} \times 1/f_x$ (3.7 s)	$2^{25} \times 1/f_x$ (7.5 s)	$2^8 \times 1/f_x$ (56.9 μs)	$2^9 \times 1/f_x$ (113.8 μs)
1	1	1	0	$2^9 \times 1/f_x$ (113.8 μs)	$2^{10} \times 1/f_x$ (227.5 μs)	$2^{25} \times 1/f_x$ (7.5 s)	$2^{26} \times 1/f_x$ (14.9 s)	$2^9 \times 1/f_x$ (113.8 μs)	$2^{10} \times 1/f_x$ (227.5 μs)
1	1	1	1	$2^{11} \times 1/f_x$ (455.1 μs)	$2^{12} \times 1/f_x$ (910.2 μs)	$2^{27} \times 1/f_x$ (29.8 s)	$2^{28} \times 1/f_x$ (59.7 s)	$2^{11} \times 1/f_x$ (455.1 μs)	$2^{12} \times 1/f_x$ (910.2 μs)
上記以外				設定禁止					

備考 1 . f_x : システム・クロック発振周波数

2 . MCS : 発振モード選択レジスタ (OSMS) のビット 0

3 . TCL10-TCL13 : タイマ・クロック選択レジスタ 1 (TCL1) のビット 0 - 3

4 . () 内は、 $f_x = 4.5 \text{ MHz}$ 動作時。

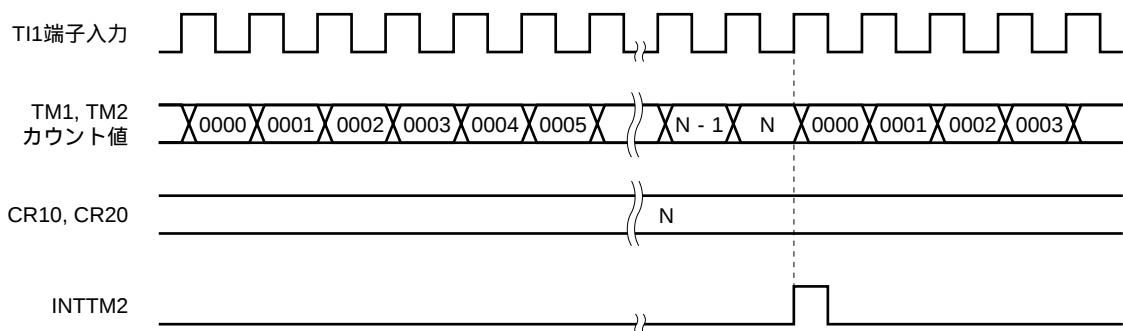
(2) 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI1/P33端子に入力される外部からのクロック・パルス数を2チャンネルの8ビット・タイマ・レジスタ1, 2(TM1, TM2)でカウントするものです。

タイマ・クロック選択レジスタ1(TCL1)で指定した有効エッジが入力されるたびに、TM1がインクリメントされます。そしてTM1がオーバーフローすると、そのオーバーフロー信号をカウント・クロックとしてTM2がインクリメントされます。エッジ指定は、立ち上がりまたは立ち下りのいずれかを選択できます。

TM1, TM2の計数値が8ビット・コンペア・レジスタ10, 20(CR10, CR20)の値と一致すると、TM1, TM2は0にクリアされ、割り込み要求信号(INTTM2)が発生します。

図6-7 外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時)



注意 16ビット・タイマ/イベント・カウンタ・モードを使用している場合でも、TM1のカウント値がCR10の値と一致すると、割り込み要求(INTTM1)が発生します。したがって、16ビットのインターバル・タイマとして使用するときには、INTTM1の受け付けを禁止するためのマスク・フラグTMMK1に1を設定してください。

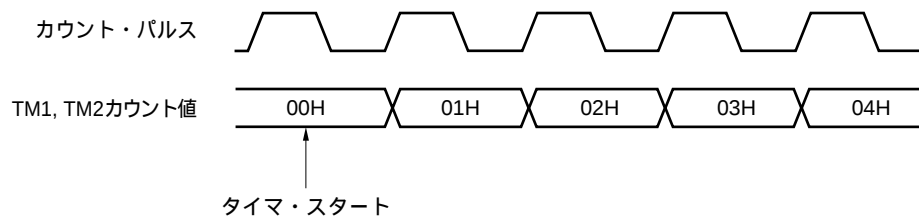
また、タイマのカウント値を読み出す場合には、16ビット・タイマ(TMS)を16ビット・メモリ操作命令で読み出してください。

6.5 8ビット・タイマ/イベント・カウンタの注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これはカウント・パルスに対して8ビット・タイマ・レジスタ1, 2(TM1, TM2)のスタートが非同期で行われるためです。

図6 - 8 8ビット・タイマ・レジスタのスタート・タイミング



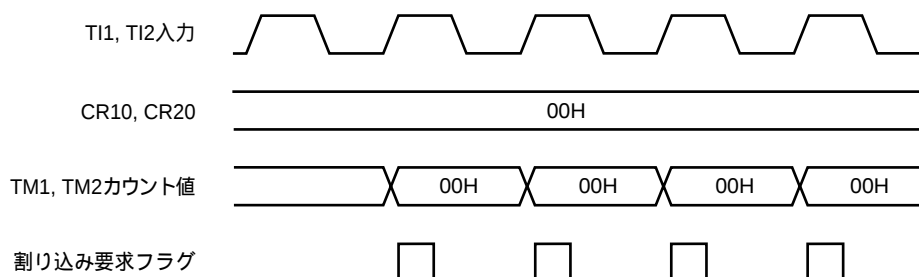
(2) 8ビット・コンペア・レジスタ10, 20の設定

8ビット・コンペア・レジスタ10, 20(CR10, CR20)には，00Hの設定が可能です。

したがって，イベント・カウンタとして使用時，1パルスのカウント動作が可能です。

また，16ビット・タイマ/イベント・カウンタとして使用時，CR10, CR20の書き込みは，8ビット・タイマ・モード・コントロール・レジスタ(TMC1)のビット0(TCE1)に0を設定し，タイマ動作を停止させたのちに行ってください。

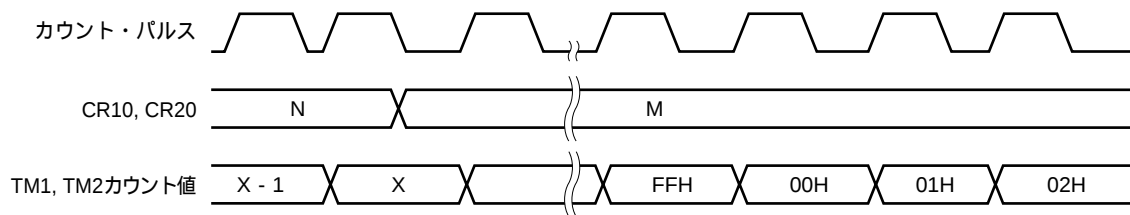
図6 - 9 外部イベント・カウンタとして動作時のタイミング



(3) タイマ・カウント動作中のコンペア・レジスタの変更後の動作

8ビット・コンペア・レジスタ10, 20 (CR10, CR20) の変更後の値が, 8ビット・タイマ・レジスタ (TM1, TM2) の値よりも小さいとき, TM1, TM2はカウントを継続しオーバフローして0から再カウントします。したがって, CR10, CR20の変更後の値 (M) が変更前の値 (N) より小さいときは, CR10, CR20を変更後, タイマを再スタートさせる必要があります。

図6 - 10 タイマ・カウント動作中のコンペア・レジスタの変更後のタイミング



備考 $N > X > M$

〔メ モ〕

第7章 8ビット・タイマ

7.1 8ビット・タイマの機能

8ビット・タイマには次の機能があります。

- ・インターバル・タイマ
- ・D/Aコンバータ（PWM出力）

（1）インターバル・タイマ

8ビット・タイマは、基本クロック（1.125 MHz/0.1125 MHz）を8ビットのバイナリ・カウンタでカウントし、そのカウント値とPWMタイマ・レジスタ設定値とを比較することにより、8ビット・インターバル・タイマとして使用します。

PWMタイマ・レジスタに設定した値と8ビット・バイナリ・カウンタのカウント値が一致すると割り込みを発生します。

表7-1 8ビット・タイマのインターバル時間

最小インターバル時間	最大インターバル時間	分解能
0.889 μ s	227.56 μ s	0.889 μ s
8.89 μ s	2275.6 μ s	8.89 μ s

（2）D/Aコンバータ（PWM出力）

D/Aコンバータは、デューティを可変するPWM（Pulse Width Modulation）方式で信号を出力します。

各端子（PWM0-PWM2）ごとにデューティ可変の信号を出力します。

出力周波数は4.4 kHzと440 Hz、2.2 kHzと220 Hzの4種類の選択が可能で、デューティを256または512段階に可変できます。

外部にロウ・パス・フィルタを接続することにより、デジタル信号をアナログ信号として使用できます。

表7-2 D/Aコンバータ（PWM出力）の出力周波数とデューティ

出力周波数	デューティ
4.40 kHz	256段階
440 Hz	
2.20 kHz	512段階
220 Hz	

(1) PWMデータ・レジスタ (PWMR0-PWMR2)

各PWMデータ・レジスタ (PWMR0-PWMR2) は各端子 (PWM0-PWM2) のPWM出力信号のデューティをそれぞれ設定します。

PWMデータ・レジスタのビット9-15はハードウェアで0固定になっています。

バイナリ・カウンタを8ビットに設定した場合は、PWMデータ・レジスタのビット0-ビット7が有効データとなり、ビット8の値は意味を持ちません。

PWMR2とPWMタイマ・レジスタ (PWMTMR) は同一のレジスタであるため、D/Aコンバータ機能とインターバル・タイマ機能は同時に使用できません。

PWMR2をPWMタイマ・レジスタとして使用しているときは、PWMR0, PWMR1は9ビットのデータ・ラッチとして使用できます。

リセット時とSTOPモード時は1 FFHとなります。HALT モード時は、直前の値を保持します。

(2) PWMタイマ・レジスタ (PWMTMR)

PWMタイマ・レジスタ (PWMTMR) には8ビット・バイナリ・カウンタのカウント値を設定します。

PWMタイマ・レジスタはPWMデータ・レジスタ2と兼用になっています。PWMコントロール・レジスタ (PWMCR) のビット3 (PWMD) をセット (1) することでPWMタイマ・レジスタが選択されます。

リセット時とSTOPモード時はFFHとなります。HALTモード時は、直前の値を保持します。

7.3 8ビット・タイマを制御するレジスタ

8ビット・タイマには次の2種類のレジスタで制御します。

- ・PWMモード・セレクト・レジスタ(PWMSEL)
- ・PWMコントロール・レジスタ(PWMCR)

(1) PWMモード・セレクト・レジスタ (PWMSEL)

P132/PWM0-P134/PWM2端子をそれぞれ汎用出力ポートにするか、PWM出力にするかを設定するレジスタです。

インターバル・タイマを使用する場合は、それぞれ汎用出力ポートに設定してください。

PWMSELは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時、STOP モード時は、00Hになります。

またHALTモード時は、直前の値を保持します。

図7 - 2 PWMモード・セレクト・レジスタのフォーマット

略号	7	6	5	4	3	②	①	①	アドレス	リセット時	R/W
PWMSEL	0	0	0	0	0	PWM2SE	PWM1SE	PWM0SE	FFB0H	00H	R/W

PWM2SE	P134/PWM2端子の機能の選択
0	汎用出力ポート
1	PWM出力

PWM1SE	P133/PWM1端子の機能の選択
0	汎用出力ポート
1	PWM出力

PWM0SE	P132/PWM0端子の機能の選択
0	汎用出力ポート
1	PWM出力

備考 ビット3-7はハードウエアで0固定になっています。

(2) PWMコントロール・レジスタ (PWMCR)

バイナリ・カウンタのリセット, スタートの設定, D/Aコンバータ (PWM出力) / インターバル・タイマの設定, 基本クロック/PWM出力周波数の設定およびバイナリ・カウンタのビット数の設定を行うレジスタです。

PWMCRは, 1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。

リセット時, STOP モード時は, 00Hになります。

またHALTモード時は, 直前の値を保持します。

図7 - 3 PWMコントロール・レジスタのフォーマット

略号	7	⑥	5	④	③	2	①	①	アドレス	リセット時
PWMCR	0	PWMBIT	0	PWMCK0	PWMMD	0	PWMST	PWMRES	FFB1H	00H
R/W	R	R/W	R	R/W	R/W	R	R/W	W		

R/W	PWMMD	D/Aコンバータ（PWM出力） / インターバル・タイマの設定
	0	D/Aコンバータ（PWM出力）
	1	インターバル・タイマ

R/W	PWMST	バイナリ・カウンタのカウンタ制御を設定
	0	バイナリ・カウンタのカウンタ停止
	1	バイナリ・カウンタのカウンタをスタート

W	PWMRES	バイナリ・カウンタのリセットを設定
	0	何も変化しません
	1	バイナリ・カウンタをリセット

● インターバル・タイマ設定時

R/W	PWMCK0	基本クロックの設定
	0	1.125 MHz
	1	0.1125 MHz

● D/Aコンバータ（PWM出力）設定時

R/W	PWMBIT	バイナリ・カウンタのビット数（8ビット / 9ビット）の設定 ^注
	0	8ビット
	1	9ビット

注 PWMMD = 1のときPWMBIT = 0に設定されます。

R/W	PWMCK0	PWM0-PWM2端子共通PWM出力周波数（基本クロック）の設定
	0	4.4 kHz（バイナリ・カウンタを8ビットに設定時） / 2.2 kHz（バイナリ・カウンタを9ビットに設定時）（基本クロック1.125 MHz）
	1	440 Hz（バイナリ・カウンタを8ビットに設定時） / 220 Hz（バイナリ・カウンタを9ビットに設定時）（基本クロック0.1125 MHz）

備考 ビット2，5，7はハードウェアで0固定になっています。

7.4 8ビット・タイマの動作

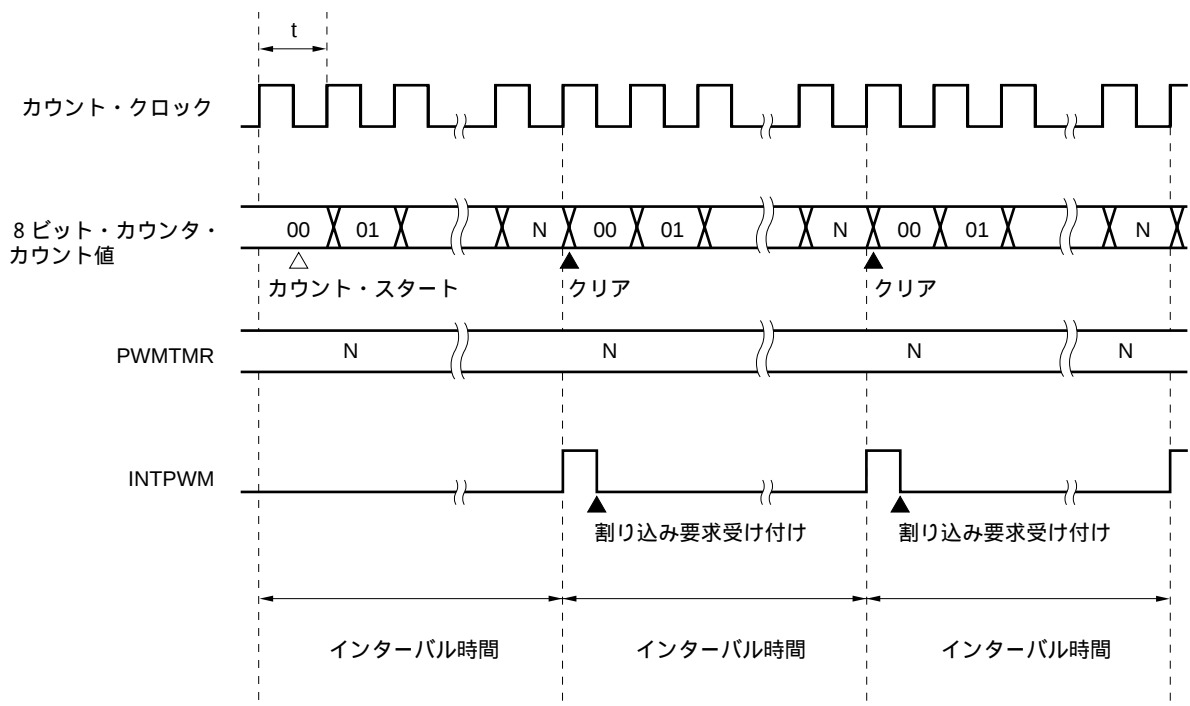
7.4.1 インターバル・タイマとしての動作

PWMタイマ・レジスタ (PWMTMR) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込みを発生するインターバル・タイマとして動作します。

8ビット・バイナリ・カウンタのカウント値がPWMTMRに設定した値と一致したとき、8ビット・バイナリ・カウンタの値を0にリセットしてカウントを継続するとともに割り込み要求信号 (INTPWM) を発生します。

PWMコントロール・レジスタ (PWMCR) のビット4で8ビット・タイマの基本クロック (カウント・クロック) を選択できます。

図7-4 インターバル・タイマ動作のタイミング



備考 インターバル時間 $T = (N + 1) \times t$

$N = 0-255$

$t = 1/1.125 \text{ MHz}$ または $1/0.1125 \text{ MHz}$

7.4.2 D/Aコンバータ（PWM出力）としての動作

（１）出力切り替えブロックの動作

図7-5に出力切り替えブロックの構成を示します。

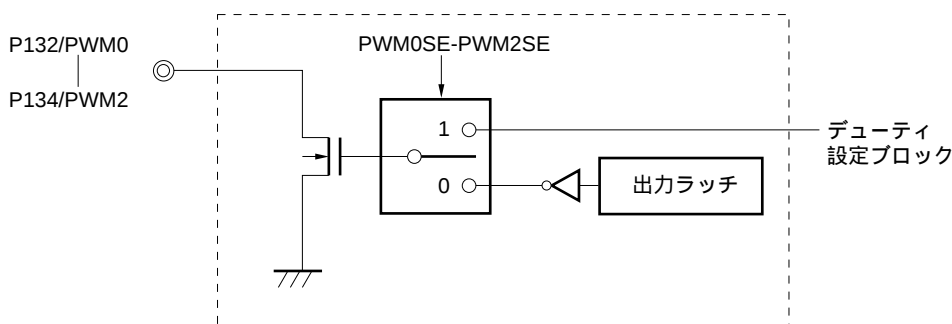
出力切り替えブロックは、各端子（P132/PWM0-P134/PWM2）を汎用出力ポートとして使用するか、またはD/Aコンバータ出力（PWM出力）として使用するかを設定します。

汎用出力ポートとPWM出力の切り替えは、PWMモード・セレクト・レジスタ（PWMSEL）のビット0-ビット2（PWM0SE-PWM2SE）により、各端子ごとに設定します。

各端子はN-chオープン・ドレイン出力のため外部にプルアップ抵抗が必要です。

なお、インターバル・タイマとして使用する場合はPWM出力では不定な値が出力されるため、これらの端子は汎用出力ポート（P132-P134）に設定してください。

図7-5 出力切り替えブロックの構成



（２）クロック生成ブロックの動作

クロック生成ブロックは、8ビット・バイナリ・カウンタのカウント・クロックおよび各出力信号（PWM0-PWM2）のデューティを設定するための基本クロックを出力します。基本クロック周波数（ f_{PWM} ）は1.125 MHzまたは0.1125 MHzです。

PWMコントロール・レジスタのビット4（PWMCK0）が、0のとき1.125 MHz、1のとき0.1125 MHzになります。

（３）PWMデューティ設定ブロックの動作

PWM出力は、バイナリ・カウンタを8ビットに設定したとき256段階、9ビットに設定したとき、512段階のデューティを可変できます。

各PWMデータ・レジスタ（PWMR0-PWMR2）に設定された値と、8ビット/9ビット・バイナリ・カウンタでカウントされた基本クロックの値を比較して、PWMデータ・レジスタの値が大きければハイ・レベルを出力し、PWMデータ・レジスタの値が小さければロウ・レベルを出力します。

各PWMデータ・レジスタへのデータ設定により各端子ごとに独立したデューティ信号を各端子より出力できます。ただし、基本クロック、バイナリ・カウンタのビット数、出力周波数の選択は各端子とも同一設定となります。つまり、異なった周期で信号を各端子から出力できません。

(a) PWMデューティ

PWMデータ・レジスタに設定された値が“ x ”であると、デューティは次のようになります。

● バイナリ・カウンタを8ビットに設定したときのデューティ

$$\text{デューティ : } D = \frac{x + 0.25}{256} \times 100 \% \quad x = 0-255 \text{の整数}$$

● バイナリ・カウンタを9ビットに設定したときのデューティ

$$\text{デューティ : } D = \frac{x + 0.25}{512} \times 100 \% \quad x = 0-511 \text{の整数}$$

0.25はオフセット分であり、 $x = 0$ のときでもハイ・レベルが出力されます。

(b) 出力周波数と周期

基本クロックは1.125 MHzまたは0.1125 MHzであるため、出力信号の周波数と周期は次のようになります。

(i) バイナリ・カウンタを8ビットに設定したときの出力周波数と周期

● 基本クロック1.125 MHzを選択した場合 (PWMCK0 = 0)

$$\text{周波数 : } f = \frac{1.125 \text{ MHz}}{256} = 4.3945 \text{ kHz}$$

$$\text{周 期 : } T = \frac{256}{1.125 \text{ MHz}} = 227.56 \text{ } \mu\text{s}$$

● 基本クロック0.1125 MHzを選択した場合 (PWMCK0 = 1)

$$\text{周波数 : } f = \frac{0.1125 \text{ MHz}}{256} = 439.45 \text{ Hz}$$

$$\text{周 期 : } T = \frac{256}{0.1125 \text{ MHz}} = 2.2756 \text{ ms}$$

(ii) バイナリ・カウンタを9ビットに設定したときの出力周波数と周期

● 基本クロック1.125 MHzを選択した場合 (PWMCK0 = 0)

$$\text{周波数 : } f = \frac{1.125 \text{ MHz}}{512} = 2.1972 \text{ kHz}$$

$$\text{周 期 : } T = \frac{512}{1.125 \text{ MHz}} = 455.11 \text{ } \mu\text{s}$$

- 基本クロック0.1125 MHzを選択した場合 (PWMCK0 = 1)

$$\text{周波数 : } f = \frac{0.1125 \text{ MHz}}{512} = 219.73 \text{ Hz}$$

$$\text{周 期 : } T = \frac{512}{0.1125 \text{ MHz}} = 4.5511 \text{ ms}$$

(4) PWMの出力波形

(a) PWM出力波形のデューティ

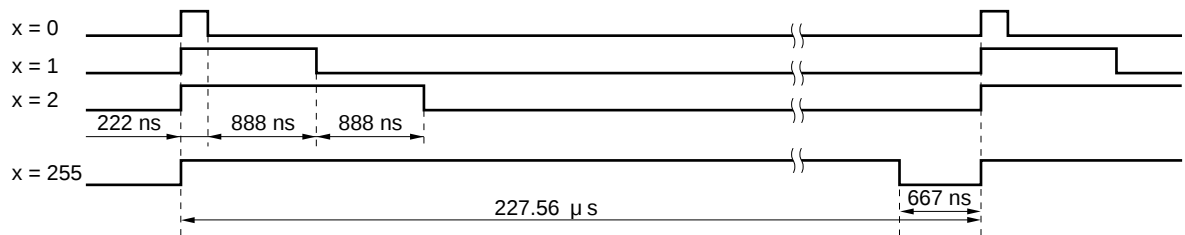
図7－6にPWMデータ・レジスタ設定値xと出力波形の関係を示します。

また図7－7に各端子の出力波形の関係を示します。

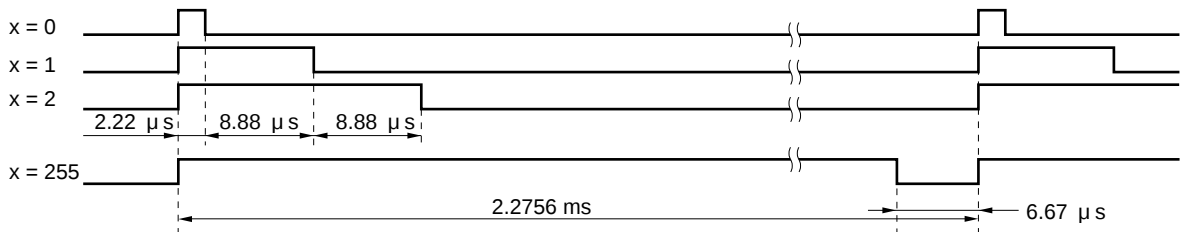
図7-6 PWMデータ・レジスタ設定値xと出力波形

(a) バイナリ・カウンタを8ビットに設定した場合 (PWMBIT = 0)

(i) 基本クロック周波数1.125 MHzに設定した場合 (出力周波数4.4 kHz) (PWMCK0 = 0)

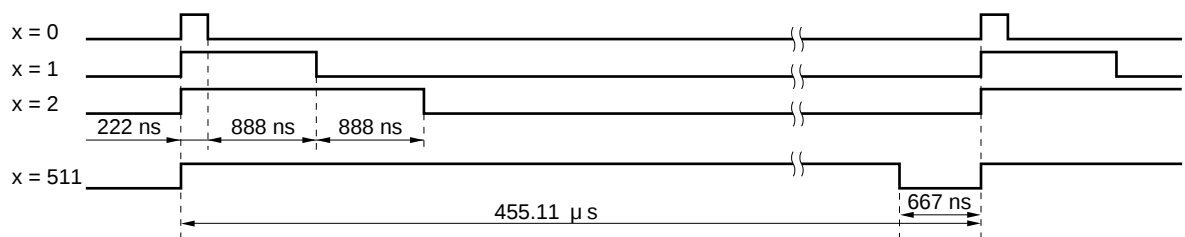


(ii) 基本クロック周波数0.1125 MHzに設定した場合 (出力周波数440 Hz) (PWMCK0 = 1)



(b) バイナリ・カウンタを9ビットに設定した場合 (PWMBIT = 1)

(i) 基本クロック周波数1.125 MHzに設定した場合 (出力周波数2.2 kHz) (PWMCK0 = 0)



(ii) 基本クロック周波数0.1125 MHzに設定した場合 (出力周波数220 kHz) (PWMCK0 = 1)

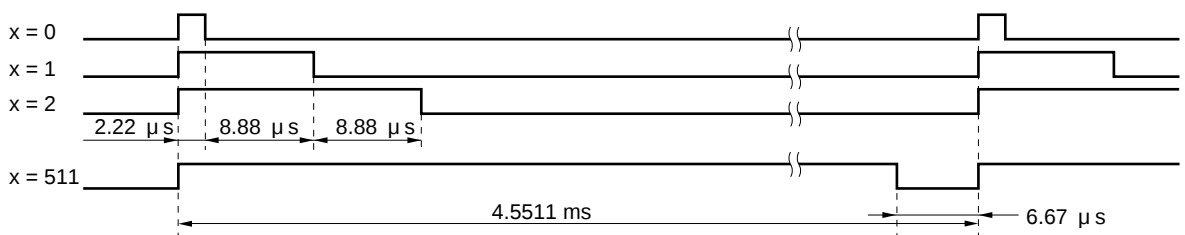
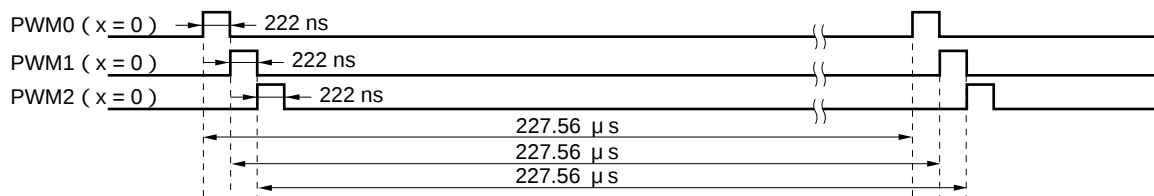


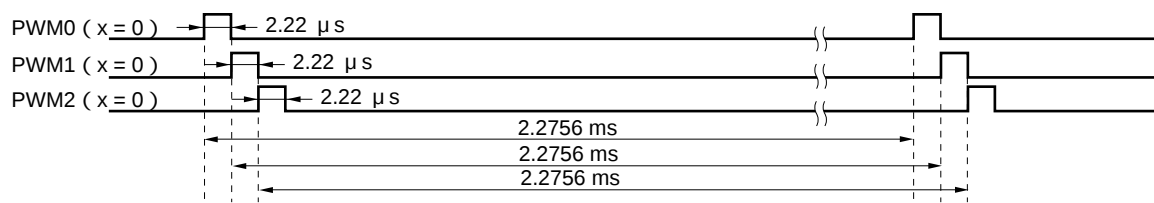
図7-7 各端子の出力波形の関係

(a) バイナリ・カウンタを8ビットに設定した場合 (PWMBIT = 0, x = 0)

(i) 基本クロック周波数1.125 MHzに設定した場合 (出力周波数4.4 kHz) (PWMCK0 = 0)

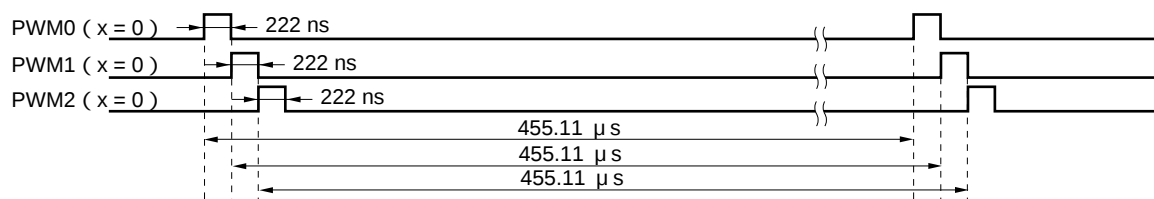


(ii) 基本クロック周波数0.1125 MHzに設定した場合 (出力周波数440 Hz) (PWMCK0 = 1)

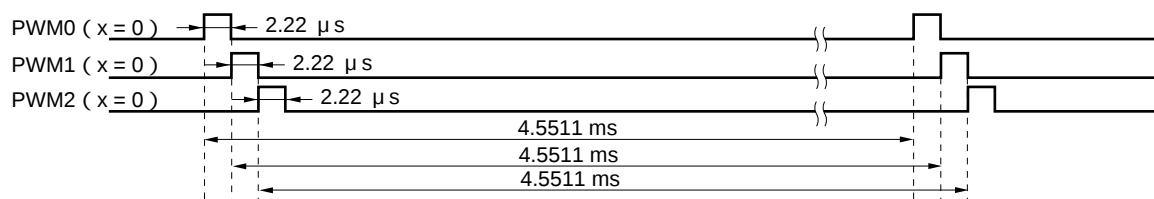


(b) バイナリ・カウンタを9ビットに設定した場合 (PWMBIT = 1, x = 0)

(i) 基本クロック周波数1.125 MHzに設定した場合 (出力周波数2.2 kHz) (PWMCK0 = 0)



(ii) 基本クロック周波数0.1125 MHzに設定した場合 (出力周波数220 kHz) (PWMCK0 = 1)



7.5 8ビット・タイマの注意事項

(1) 8ビット・タイマの使用上の注意

(a) インターバル・タイマ・モード時

1. バイナリ・カウンタを必ずリセット (PWMRES = 1) してから動作してください。
2. 動作中にPWMコントロール・レジスタ (PWMCR) のPWMCK0, PWMMDを書き換えしないでください。
3. 動作中にPWMタイマ・レジスタの設定値を書き換えしないでください。
4. 使用時はP132/PWM0-P134/PWM2端子を汎用出力ポートに設定してください (PWMモード・セレクト・レジスタでPWM0SE = PWM1SE = PWM2SE = 0)。
5. インターバル・タイマ・モードに設定すると (PWMMD = 1), バイナリ・カウンタは8ビットに設定され, PWMコントロール・レジスタ (PWMCR) のPWMBITの値は意味を持ちません。
6. インターバル・タイマ使用時には, D/Aコンバータ (PWM出力) としては使用できません。

(b) D/Aコンバータ (PWM出力) モード時

1. 8ビット・タイマ動作中には, PWMコントロール・レジスタ (PWMCR) のPWMBIT, PWMCK0およびPWMMDを書き換えしないでください。
2. D/Aコンバータ (PWM出力) 使用時には, インターバル・タイマとしては使用できません。

(2) リセット時およびスタンバイ・モード時の状態

(a) リセット時, STOPモード時

P132/PWM0-P134/PWM2端子は, 汎用出力ポートに指定されます。出力される値は, ロウ・レベルになります (出力ラッチ = 0)。

PWMタイマ・レジスタ (PWMTMR) の値は, FFHになります。

また各PWMデータ・レジスタ (PWMR0-PWMR2) の値は, 1FFHになります。

8ビット・タイマ動作中の場合は動作を停止します。またD/Aコンバータ (PWM出力) モードになります。

(b) HALTモード時

P132/PWM0-P134/PWM2端子は、設定された状態を保持します。

PWMタイマ・レジスタ (PWMTMR) は、直前の値を保持します。

またPWMコントロール・レジスタは直前の値を保持します。HALTモードが解除されても設定された状態を保持します (基本クロックはHALT命令で停止しません)。

すなわち、インターバル・タイマとして使用している場合はカウントを継続し、D/Aコンバータ (PWM出力) として使用している場合はそのままPWM出力を行います。

第8章 ベーシック・タイマ

ベーシック・タイマはプログラム実行上の時間管理に使用します。

8.1 ベーシック・タイマの機能

100 msの時間間隔で割り込み要求信号（INTTMC）を発生します。

8.2 ベーシック・タイマの構成

図8 - 1 ベーシック・タイマのブロック図



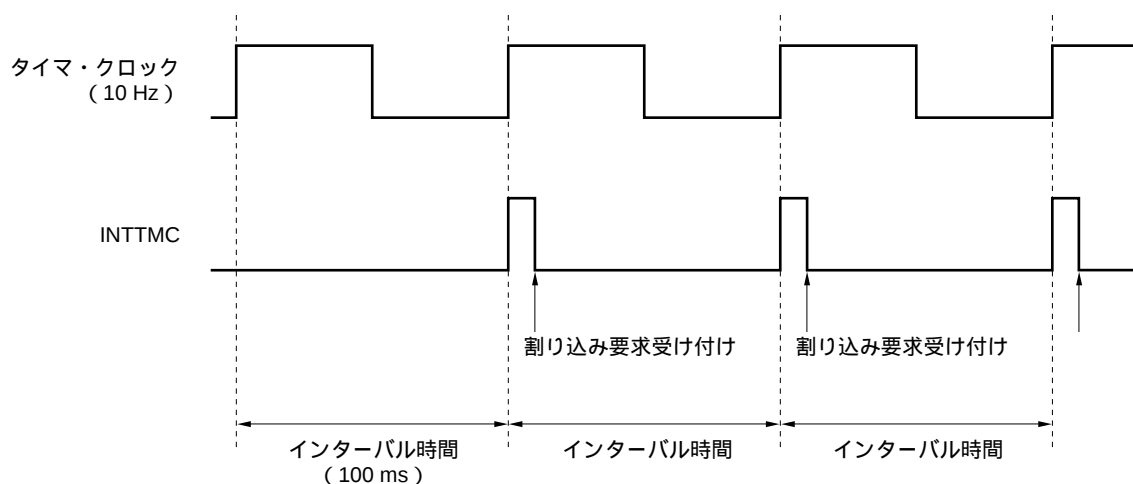
8.3 ベーシック・タイマの動作

次にベーシック・タイマの動作例を示します。

100 msの時間間隔で、繰り返し割り込みを発生するインターバル・タイマとして動作します。100 msの時間間隔で割り込み要求信号（INTTMC）を発生します。

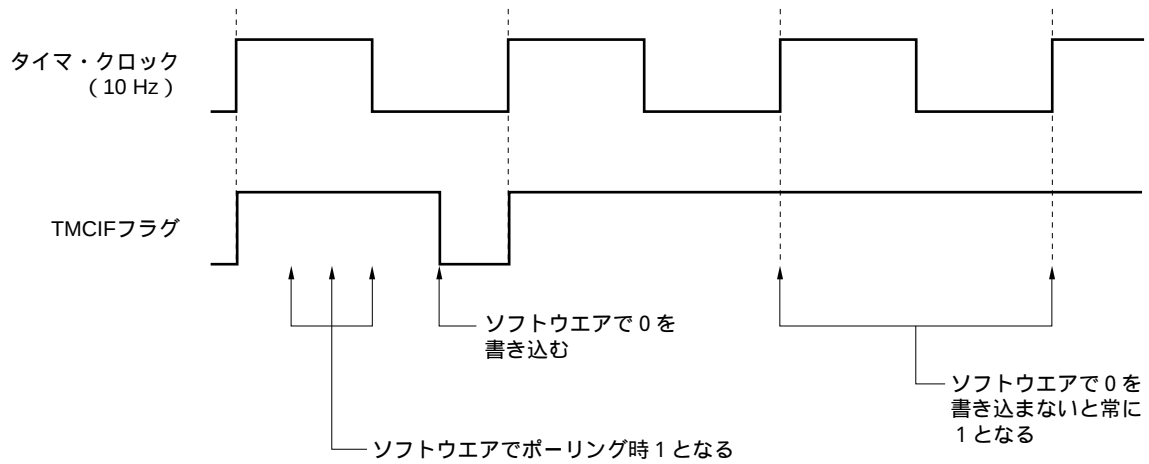
タイマ・クロックは10 Hzです。

図8 - 2 ベーシック・タイマ動作のタイミング



このベーシック・タイマの割り込み要求フラグ（TMCIF）をソフトウェアでポーリングすることにより、時間管理を行うことができます。なお、TMCIFはRead&Resetではありませんので注意してください。

図8 - 3 TMCIFフラグをポーリングする場合の動作タイミング



第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ(WDTM)で選択してください(ウォッチドッグ・タイマとインターバル・タイマは、同時に使用できません)。

(1) ウォッチドッグ・タイマ・モード

プログラムの暴走を検出します。暴走検出時、ノンマスカブル割り込み要求またはリセットを発生できます。

表9 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	MCS = 1	MCS = 0
$2^{11} \times 1/f_{XX}$	$2^{11} \times 1/f_x$ (455 μ s)	$2^{12} \times 1/f_x$ (910 μ s)
$2^{12} \times 1/f_{XX}$	$2^{12} \times 1/f_x$ (910 μ s)	$2^{13} \times 1/f_x$ (1.82 ms)
$2^{13} \times 1/f_{XX}$	$2^{13} \times 1/f_x$ (1.82 ms)	$2^{14} \times 1/f_x$ (3.64 ms)
$2^{14} \times 1/f_{XX}$	$2^{14} \times 1/f_x$ (3.64 ms)	$2^{15} \times 1/f_x$ (7.28 ms)
$2^{15} \times 1/f_{XX}$	$2^{15} \times 1/f_x$ (7.28 ms)	$2^{16} \times 1/f_x$ (14.6 ms)
$2^{16} \times 1/f_{XX}$	$2^{16} \times 1/f_x$ (14.6 ms)	$2^{17} \times 1/f_x$ (29.1 ms)
$2^{17} \times 1/f_{XX}$	$2^{17} \times 1/f_x$ (29.1 ms)	$2^{18} \times 1/f_x$ (58.3 ms)
$2^{19} \times 1/f_{XX}$	$2^{19} \times 1/f_x$ (116.5 ms)	$2^{20} \times 1/f_x$ (233.0 ms)

備考 1 . f_{XX} : システム・クロック周波数(f_x または $f_x/2$)

2 . f_x : システム・クロック発振周波数

3 . MCS : 発振モード選択レジスタ(OSMS)のビット 0

4 . ()内は、 $f_x = 4.5$ MHz動作時。

(2) インターバル・タイマ・モード

あらかじめ設定した時間間隔で割り込み要求を発生します。

表9 - 2 インターバル時間

インターバル時間	MCS = 1	MCS = 0
$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x$ (455 μ s)	$2^{12} \times 1/f_x$ (910 μ s)
$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x$ (910 μ s)	$2^{13} \times 1/f_x$ (1.82 ms)
$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x$ (1.82 ms)	$2^{14} \times 1/f_x$ (3.64 ms)
$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x$ (3.64 ms)	$2^{15} \times 1/f_x$ (7.28 ms)
$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x$ (7.28 ms)	$2^{16} \times 1/f_x$ (14.6 ms)
$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x$ (14.6 ms)	$2^{17} \times 1/f_x$ (29.1 ms)
$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x$ (29.1 ms)	$2^{18} \times 1/f_x$ (58.3 ms)
$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x$ (116.5 ms)	$2^{20} \times 1/f_x$ (233.0 ms)

- 備考 1. f_{xx} : システム・クロック周波数(f_x または $f_x/2$)
2. f_x : システム・クロック発振周波数
3. MCS : 発振モード選択レジスタ(OSMS)のビット0
4. ()内は, $f_x = 4.5$ MHz動作時。

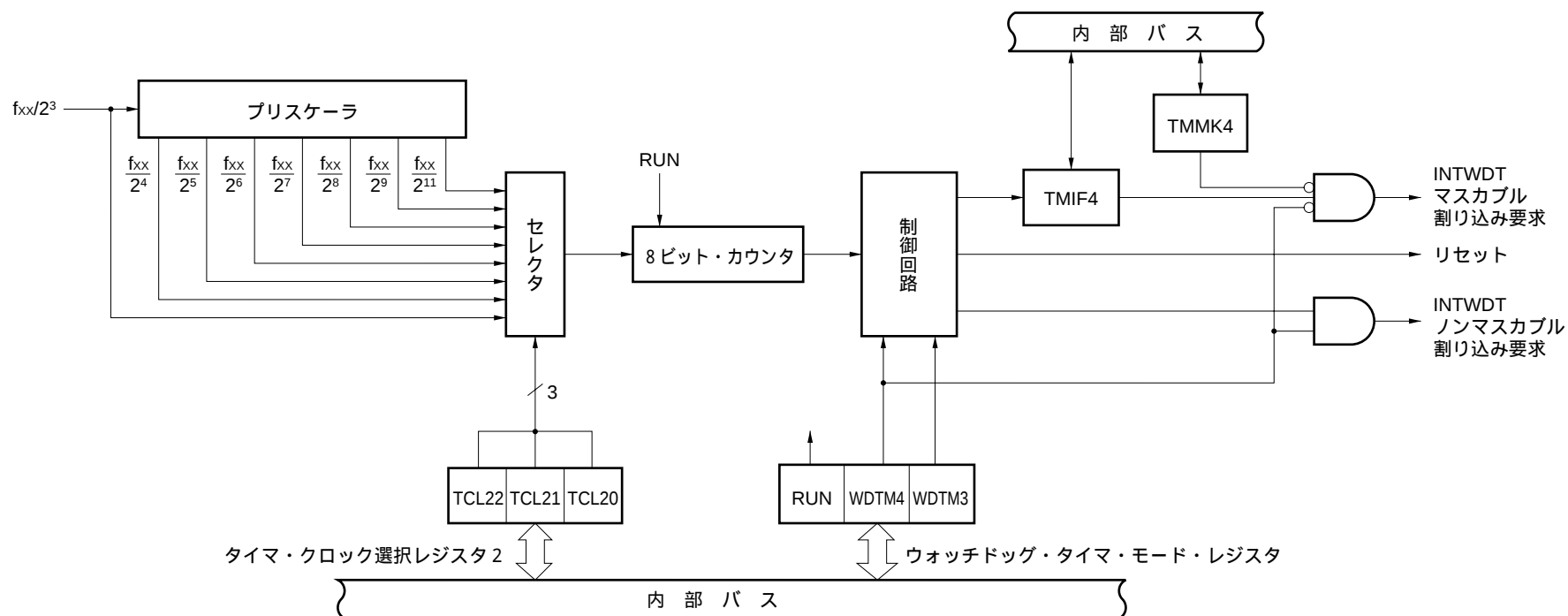
9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは, 次のハードウェアで構成しています。

表9 - 3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	タイマ・クロック選択レジスタ 2 (TCL2) ウォッチドッグ・タイマ・モード・レジスタ(WDTM)

図9 - 1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ 2(TCL2)
- ・ウォッチドッグ・タイマ・モード・レジスタ(WDTM)

(1) タイマ・クロック選択レジスタ 2(TCL2)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

備考 TCL2は、ウォッチドッグ・タイマのカウント・クロックの設定以外にブザー出力の周波数を設定する機能があります。

図9 - 2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL27	TCL26	TCL25	ブザー出力の周波数の選択
			MCS = 0 or 1
0	×	×	ブザー出力禁止(ポート出力)
1	0	0	6 kHz
1	0	1	3 kHz
1	1	0	1.5 kHz
1	1	1	設定禁止

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウント・クロックの選択		
				MCS = 1	MCS = 0
0	0	0	$f_{xx}/2^3$	$f_x/2^3$ (563 kHz)	$f_x/2^3$ (281 kHz)
0	0	1	$f_{xx}/2^4$	$f_x/2^4$ (281 kHz)	$f_x/2^4$ (141 kHz)
0	1	0	$f_{xx}/2^5$	$f_x/2^5$ (141 kHz)	$f_x/2^5$ (70.3 kHz)
0	1	1	$f_{xx}/2^6$	$f_x/2^6$ (70.3 kHz)	$f_x/2^6$ (35.2 kHz)
1	0	0	$f_{xx}/2^7$	$f_x/2^7$ (35.2 kHz)	$f_x/2^7$ (17.6 kHz)
1	0	1	$f_{xx}/2^8$	$f_x/2^8$ (17.6 kHz)	$f_x/2^8$ (8.8 kHz)
1	1	0	$f_{xx}/2^9$	$f_x/2^9$ (8.8 kHz)	$f_x/2^{10}$ (4.4 kHz)
1	1	1	$f_{xx}/2^{11}$	$f_x/2^{11}$ (2.2 kHz)	$f_x/2^{11}$ (1.1 kHz)

注意 TCL2を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考1** . f_{xx} : システム・クロック周波数(f_x または $f_x/2$)
- 2 . f_x : システム・クロック発振周波数
- 3 . × : don't care
- 4 . MCS : 発振モード選択レジスタ(OSMS)のビット0
- 5 . ()内は、 $f_x = 4.5$ MHz動作時。

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。
WDTMは，1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット時は，00Hになります。

図9 - 3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット



- 注1 . WDTM3, WDTM4は，一度 1 にセットされると，ソフトウェアで 0 にクリアすることはできません。
- 2 . RUNに 1 を設定した時点でインターバル・タイマとして動作を開始します。
- 3 . RUNは，一度 1 にセットされると，ソフトウェアで 0 にクリアすることはできません。
したがって，0 にクリアするには，リセット機能を発生させてください。

- 注意1 . RUNに 1 をセットし，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，
タイマ・クロック選択レジスタ 2 で設定した時間より最大0.5 %短くなります。
- 2 . ウォッチドッグ・タイマ・モード 1, 2 を使用する場合は，割り込み要求フラグ (TMIF4) が 0
になっていることを確認してからWDTM4を 1 にセットしてください。TMIF4が 1 の状態で
WDTM4を 1 にセットすると，WDTM3の内容にかかわらず，ノンマスカブル割り込み要求が発生
します。

備考 × : don't care

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のビット4(WDTM4)に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

タイマ・クロック選択レジスタ2(TCL2)のビット0-2(TCL20-TCL22)でウォッチドッグ・タイマのカウント・クロック(暴走検出時間間隔)を選択できます。WDTMのビット7(RUN)に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3(WDTM3)の値により、システム・リセットまたはノンマスカブル割り込み要求が発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意 実際の暴走検出時間は設定時間に対して最大0.5 %短くなる場合があります。

表9 - 4 ウォッチドッグ・タイマの暴走検出時間

TCL22	TCL21	TCL20	暴走検出時間	MCS = 1	MCS = 0
0	0	0	$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x$ (455 μ s)	$2^{12} \times 1/f_x$ (910 μ s)
0	0	1	$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x$ (910 μ s)	$2^{13} \times 1/f_x$ (1.82 ms)
0	1	0	$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x$ (1.82 ms)	$2^{14} \times 1/f_x$ (3.64 ms)
0	1	1	$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x$ (3.64 ms)	$2^{15} \times 1/f_x$ (7.28 ms)
1	0	0	$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x$ (7.28 ms)	$2^{16} \times 1/f_x$ (14.6 ms)
1	0	1	$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x$ (14.6 ms)	$2^{17} \times 1/f_x$ (29.1 ms)
1	1	0	$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x$ (29.1 ms)	$2^{18} \times 1/f_x$ (58.3 ms)
1	1	1	$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x$ (116.5 ms)	$2^{20} \times 1/f_x$ (233.0 ms)

備考1 . f_{xx} : システム・クロック周波数(f_x または $f_x/2$)

2 . f_x : システム・クロック発振周波数

3 . MCS : 発振モード選択レジスタ(OSMS)のビット0

4 . ()内は、 $f_x = 4.5$ MHz動作時。

9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のビット4(WDTM4)に0を設定することにより、あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

タイマ・クロック選択レジスタ2(TCL2)のビット0-2(TCL20-TCL22)でカウント・クロック(インターバル時間)を選択できます。WDTMのビット7(RUN)に1を設定することにより、インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき、割り込みマスク・フラグ(TMMK4)と優先順位指定フラグ(TMPR4)が有効となり、マスカブル割り込み要求(INTWDT)を発生させることができます。INTWDTのデフォルトの優先順位は、マスカブル割り込み要求の中で最も高く設定されています。

インターバル・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にWDTMのビット7(RUN)を1に設定し、インターバル・タイマをクリアしたあと、STOP命令を実行してください。

注意1．一度WDTMのビット4(WDTM4)に1をセットする(ウォッチドッグ・タイマ・モードを選択する)とリセットされないかぎり、インターバル・タイマ・モードになりません。

2．WDTMで設定した直後のインターバル時間は、設定時間に対して最大0.5 %短くなるときがあります。

表9 - 5 インターバル・タイマのインターバル時間

TCL22	TCL21	TCL20	インターバル時間	MCS = 1	MCS = 0
0	0	0	$2^{11} \times 1/f_{xx}$	$2^{11} \times 1/f_x$ (455 μ s)	$2^{12} \times 1/f_x$ (910 μ s)
0	0	1	$2^{12} \times 1/f_{xx}$	$2^{12} \times 1/f_x$ (910 μ s)	$2^{13} \times 1/f_x$ (1.82 ms)
0	1	0	$2^{13} \times 1/f_{xx}$	$2^{13} \times 1/f_x$ (1.82 ms)	$2^{14} \times 1/f_x$ (3.64 ms)
0	1	1	$2^{14} \times 1/f_{xx}$	$2^{14} \times 1/f_x$ (3.64 ms)	$2^{15} \times 1/f_x$ (7.28 ms)
1	0	0	$2^{15} \times 1/f_{xx}$	$2^{15} \times 1/f_x$ (7.28 ms)	$2^{16} \times 1/f_x$ (14.6 ms)
1	0	1	$2^{16} \times 1/f_{xx}$	$2^{16} \times 1/f_x$ (14.6 ms)	$2^{17} \times 1/f_x$ (29.1 ms)
1	1	0	$2^{17} \times 1/f_{xx}$	$2^{17} \times 1/f_x$ (29.1 ms)	$2^{18} \times 1/f_x$ (58.3 ms)
1	1	1	$2^{19} \times 1/f_{xx}$	$2^{19} \times 1/f_x$ (116.5 ms)	$2^{20} \times 1/f_x$ (233.0 ms)

備考1． f_{xx} : システム・クロック周波数(f_x または $f_x/2$)

2． f_x : システム・クロック発振周波数

3．MCS : 発振モード選択レジスタ(OSMS)のビット0

4．()内は、 $f_x = 4.5$ MHz動作時。

第10章 ブザー出力制御回路

10.1 ブザー出力制御回路の機能

1.5 kHz、3 kHz、6 kHzの周波数の方形波を出力する機能です。タイマ・クロック選択レジスタ 2 (TCL2) で選択したブザー周波数をBEEP/P36端子から出力します。

ブザー周波数を出力するときは、次の手順で行います。

TCL2のビット 5 - 7 (TCL25-TCL27) でブザー出力周波数を選択する。

P36の出力ラッチに 0 を設定する。

ポート・モード・レジスタ 3 のビット 6 (PM36) に 0 を設定する (出力モードに設定)。

注意 P36の出力ラッチに 1 を設定すると、ブザー出力は使用できません。

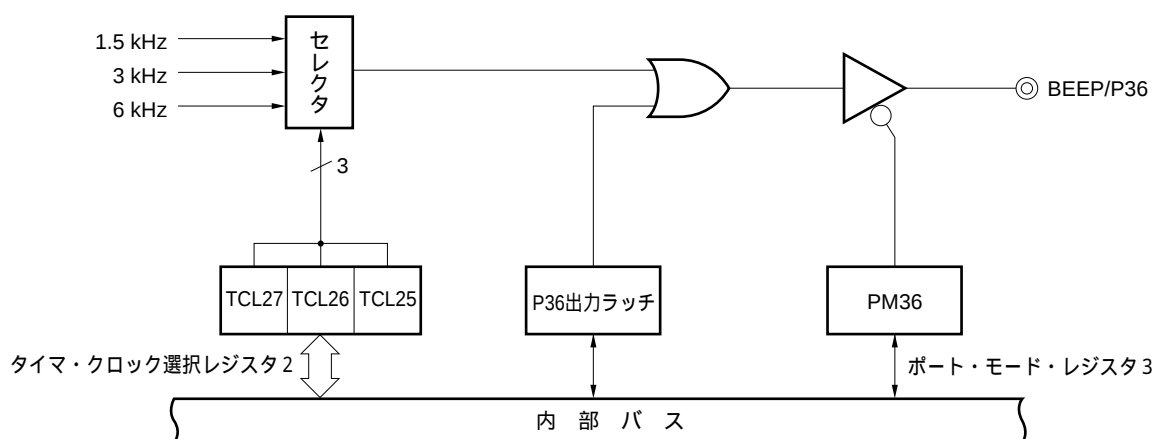
10.2 ブザー出力制御回路の構成

ブザー出力制御回路は、次のハードウェアで構成しています。

表10 - 1 ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	タイマ・クロック選択レジスタ 2 (TCL2) ポート・モード・レジスタ 3 (PM3)

図10 - 1 ブザー出力制御回路のブロック図



10.3 ブザー出力機能を制御するレジスタ

ブザー出力機能は、次の2種類のレジスタで制御します。

- ・ タイマ・クロック選択レジスタ 2(TCL2)
- ・ ポート・モード・レジスタ 3(PM3)

(1) タイマ・クロック選択レジスタ 2(TCL2)

ブザー出力の周波数を設定するレジスタです。

TCL2は、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

備考 TCL2は、ブザー出力の周波数の設定以外にウォッチドッグ・タイマのカウント・クロックを設定する機能があります。

図10 - 2 タイマ・クロック選択レジスタ2のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	0	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL27	TCL26	TCL25	ブザー出力の周波数の選択
			MCS = 0 or 1
0	×	×	ブザー出力禁止(ポート出力)
1	0	0	6 kHz
1	0	1	3 kHz
1	1	0	1.5 kHz
1	1	1	設定禁止

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウント・クロックの選択		
				MCS = 1	MCS = 0
0	0	0	$f_{xx}/2^3$	$f_x/2^7$ (563 kHz)	$f_x/2^8$ (281 kHz)
0	0	1	$f_{xx}/2^4$	$f_x/2^8$ (281 kHz)	$f_x/2^9$ (141 kHz)
0	1	0	$f_{xx}/2^5$	$f_x/2^9$ (141 kHz)	$f_x/2^{10}$ (70.3 kHz)
0	1	1	$f_{xx}/2^6$	$f_x/2^{10}$ (70.3 kHz)	$f_x/2^{11}$ (35.2 kHz)
1	0	0	$f_{xx}/2^7$	$f_x/2^{11}$ (35.2 kHz)	$f_x/2^{12}$ (17.6 kHz)
1	0	1	$f_{xx}/2^8$	$f_x/2^{12}$ (17.6 kHz)	$f_x/2^{13}$ (8.8 kHz)
1	1	0	$f_{xx}/2^9$	$f_x/2^{13}$ (8.8 kHz)	$f_x/2^{14}$ (4.4 kHz)
1	1	1	$f_{xx}/2^{11}$	$f_x/2^{15}$ (2.2 kHz)	$f_x/2^{16}$ (1.1 kHz)

注意 TCL2を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考 1** . f_{xx} : システム・クロック周波数(f_x または $f_x/2$)
- 2 . f_x : システム・クロック発振周波数
- 3 . × : don't care
- 4 . MCS : 発振モード選択レジスタ(OSMS)のビット 0
- 5 . ()内は、 $f_x = 4.5$ MHz動作時。

(2) ポート・モード・レジスタ3(PM3)

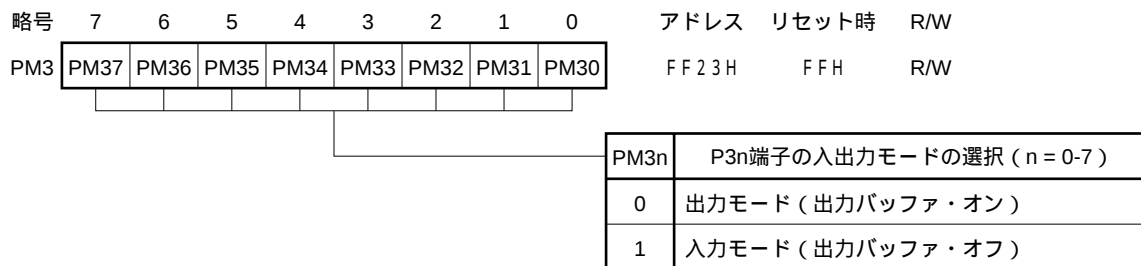
ポート3の入力/出力を1ビット単位で設定するレジスタです。

P36/BEEP端子をブザー出力機能として使用するとき，PM36およびP36の出力ラッチに0を設定してください。

PM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は，FFHになります。

図10 - 3 ポート・モード・レジスタ3のフォーマット



第11章 A/Dコンバータ

11.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、8ビット分解能6チャンネル(ANI0-ANI5)の構成になっています。

変換方式は逐次比較方式で、変換結果を8ビットのA/D変換結果レジスタ(ADCR)に保持します。

A/D変換動作の起動方法には、次の2種類があります。

(1) ハードウェア・スタート

トリガ入力(INTP3の立ち下がり)により変換開始。

(2) ソフトウェア・スタート

A/Dコンバータ・モード・レジスタ(ADM)を設定することにより変換開始。

アナログ入力をANI0-ANI5から1チャンネル選択し、A/D変換を行ってください。A/D変換の動作は、ハードウェア・スタート時ではA/D変換動作終了後停止し、割り込み要求(INTAD)が発生されます。ソフトウェア・スタート時では、A/D変換動作を繰り返し行います。A/D変換を1回終了するたびに、割り込み要求(INTAD)が発生されます。

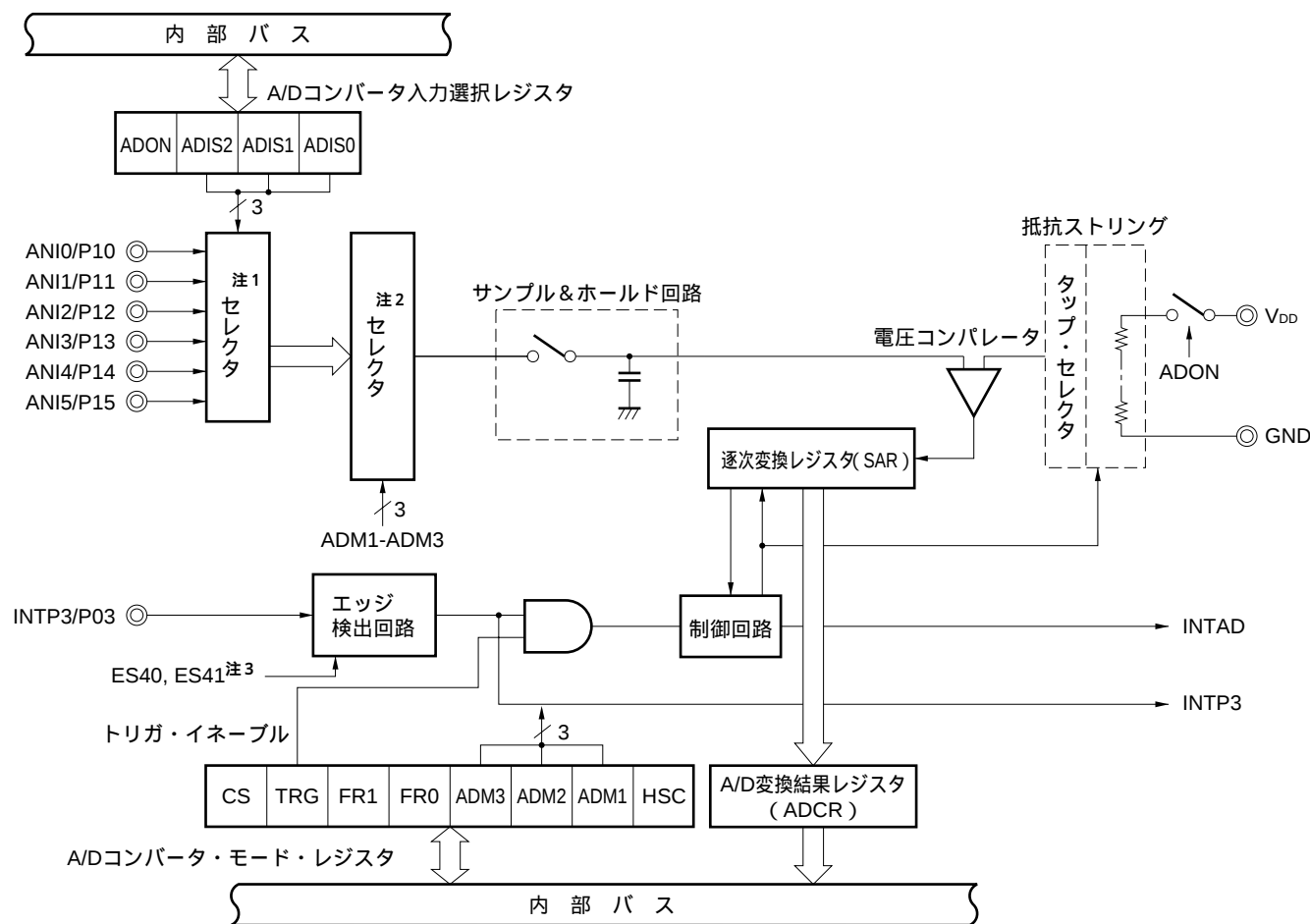
11.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表11 - 1 A/Dコンバータの構成

項 目	構 成
アナログ入力	6チャンネル(ANI0-ANI5)
制御レジスタ	A/Dコンバータ・モード・レジスタ(ADM) A/Dコンバータ入力選択レジスタ(ADIS)
レジスタ	逐次変換レジスタ(SAR) A/D変換結果レジスタ(ADCR)

図11 - 1 A/Dコンバータのブロック図



注1．アナログ入力として使用するチャンネル数を選択するセレクタ。

2．A/D変換するチャンネルを選択するセレクタ。

3．外部割り込みモード・レジスタ1（INTM1）のビット0，1（図14 - 6 参照）。

(1) 逐次変換レジスタ(SAR)

アナログ入力電圧値と直列抵抗ストリングからの電圧タップ(比較電圧)の値を比較し、その結果を最上位ビット(MSB)から保持するレジスタです。

最下位ビット(LSB)まで保持すると(A/D変換終了)、SARの内容はA/D変換結果レジスタ(ADCR)に転送されます。

(2) A/D変換結果レジスタ(ADCR)

A/D変換結果を保持します。A/D変換が終了するたびに、逐次変換レジスタ(SAR)から変換結果がロードされます。

ADCRは、8ビット・メモリ操作命令で読み出します。

リセット時は、不定になります。

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力信号を1つ1つサンプリングし電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 抵抗ストリング

抵抗ストリングは、 V_{DD} -GND間に接続されており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI5端子

A/Dコンバータへの6チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。A/Dコンバータ入力選択レジスタ(ADIS)でアナログ入力として選択した端子以外は、入出力ポートとして使用できます。

注意 ANI0-ANI5入力電圧は規格の範囲内でご使用ください。特に V_{DD} 以上、GND以下(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

11.3 A/Dコンバータを制御するレジスタ

A/Dコンバータは、次の2種類のレジスタで制御します。

- ・ A/Dコンバータ・モード・レジスタ(ADM)
- ・ A/Dコンバータ入力選択レジスタ(ADIS)

(1) A/Dコンバータ・モード・レジスタ(ADM)

A/D変換するアナログ入力のチャンネル、変換時間、変換動作の開始/停止、外部トリガを設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、01Hになります。

図11 - 2 A/Dコンバータ・モード・レジスタのフォーマット

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM	CS	TRG	FR1	FR0	ADM3	ADM2	ADM1	HSC	FF80H 01H R/W

CS	A/D変換動作の制御
0	動作停止
1	動作開始

TRG	外部トリガの選択
0	外部トリガなし(ソフトウェア・スタート)
1	外部トリガにより変換開始(ハードウェア・スタート) INTP3信号の立ち下がりエッジでA/D変換動作を開始します。

FR1	FR0	HSC	A/D変換時間の選択 ^{注1}
			$f_x = 4.5 \text{ MHz}$ 動作時
			MCS = 0 or 1
0	0	1	$160/f_x$ (35.6 μs)
0	1	1	$80/f_x$ (設定禁止 ^{注2})
1	0	0	$100/f_x$ (22.2 μs)
1	0	1	$200/f_x$ (44.4 μs)
上記以外			設定禁止

ADM3	ADM2	ADM1	アナログ入力チャネルの選択
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
上記以外			設定禁止

注1．A/D変換時間が19.1 μs 以上になるように設定してください。

2．A/D変換時間が19.1 μs 未満となりますので，設定禁止です。

注意1．スタンバイ機能使用時にA/Dコンバータ部の消費電力を低減させるためには，ビット7(CS)を0にクリアし，A/D変換動作を停止させてから，HALT命令またはSTOP命令を実行してください。

2．停止しているA/D変換動作を再開するときは，割り込み要求フラグ(ADIF)を0にクリアしたのちにA/D変換動作を開始してください。

備考 f_x : システム・クロック発振周波数

MCS : 発振モード選択レジスタ(OSMS)のビット0

(2) A/Dコンバータ入力選択レジスタ(ADIS)

ANI0/P10-ANI5/P15端子をアナログ入力チャンネルとして使用するか、ポートとして使用するかを設定するレジスタです。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

ADISは、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

注意1．アナログ入力チャンネルの設定は、次の順序で行ってください。

ADISでアナログ入力チャンネル数を設定します。

ADISでアナログ入力として設定したチャンネルのうち、A/D変換するチャンネルをADMで1チャンネル選択します。

2．ADISのビット3(ADON)が1にセットされていると、スタンバイ機能使用時にA/Dコンバータ部の消費電流が増えます。A/D変換動作停止時はADONを0にクリアしてください。

図11 - 3 A/Dコンバータ入力選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADIS	0	0	0	0	ADON	ADIS2	ADIS1	ADIS0	FF84H	00H	R/W

ADON	抵抗ストリング用電源の制御										
0	電源オフ										
1	電源オン										

ADIS2	ADIS1	ADIS0	アナログ入力チャンネル数の選択								
0	0	0	アナログ入力チャンネルなし(P10-P15)								
0	0	1	1チャンネル(ANI0 , P11-P15)								
0	1	0	2チャンネル(ANI0 , ANI1 , P12-P15)								
0	1	1	3チャンネル(ANI0-ANI2 , P13-P15)								
1	0	0	4チャンネル(ANI0-ANI3 , P14 , P15)								
1	0	1	5チャンネル(ANI0-ANI4 , P15)								
1	1	0	6チャンネル(ANI0-ANI5)								
上記以外			設定禁止								

11.4 A/Dコンバータの動作

11.4.1 A/Dコンバータの基本動作

A/Dコンバータ入力選択レジスタ(ADIS)でアナログ入力のチャンネル数およびA/Dコンバータ電源をオンに設定してください。

ADISでアナログ入力として設定したチャンネルのうち、A/D変換するチャンネルをA/Dコンバータ・モード・レジスタ(ADM)で1チャンネル選択してください。

選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路がサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ(SAR)のビット7がセットされます。タップ・セレクトにより抵抗ストリングの電圧タップが $(1/2)V_{DD}$ にされます。

抵抗ストリングの電圧タップとアナログ入力との電圧差が電圧コンパレータで比較されます。もし、アナログ入力 $(1/2)V_{DD}$ よりも大きければ、SARのMSBはセットされたままです。また、 $(1/2)V_{DD}$ よりも小さければ、MSBはリセットされます。

次にSARのビット6が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット7の値によって、次に示すように抵抗ストリングの電圧タップが選択されます。

- ・ビット7=1 : $(3/4)V_{DD}$
- ・ビット7=0 : $(1/4)V_{DD}$

この電圧タップとアナログ入力電圧を比較し、その結果でSARのビット6が次のように操作されます。

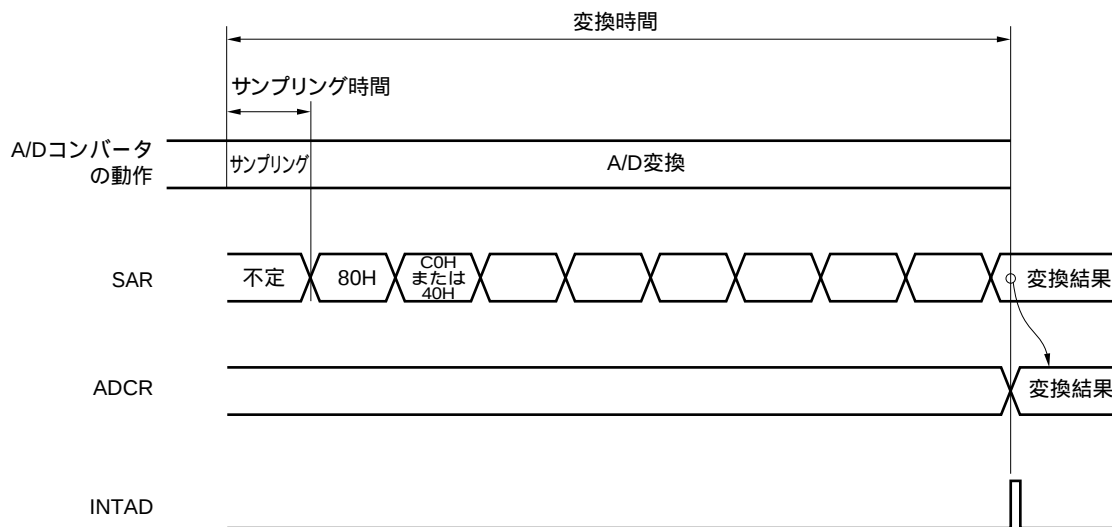
- ・アナログ入力電圧 > 電圧タップ : ビット6=1
- ・アナログ入力電圧 < 電圧タップ : ビット6=0

このような比較をSARのビット0まで続けます。

8ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ(ADCR)に転送され、ラッチされます。

同時に、A/D変換終了割り込み要求(INTAD)を発生させることができます。

図11 - 4 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ(ADM)のビット7(CS)をクリア(0)するまで連続的に行われます。

A/D変換動作中に、ADMに対する書き込み操作を行うと変換動作は初期化され、CSがセット(1)されていれば、最初から変換を開始します。

ADCRは、リセット時は不定となります。

11.4.2 入力電圧と変換結果

アナログ入力端子(ANI0-ANI5)に入力されたアナログ入力電圧とA/D変換結果(ADCRに格納された値)には次式に示す関係があります。

$$\text{ADCR} = \text{INT}\left(\frac{V_{\text{IN}}}{V_{\text{DD}}} \times 256 + 0.5\right)$$

または,

$$\left(\text{ADCR} - 0.5\right) \times \frac{V_{\text{DD}}}{256} < V_{\text{IN}} < \left(\text{ADCR} + 0.5\right) \times \frac{V_{\text{DD}}}{256}$$

備考 INT(): ()内の値の整数部を返す関数

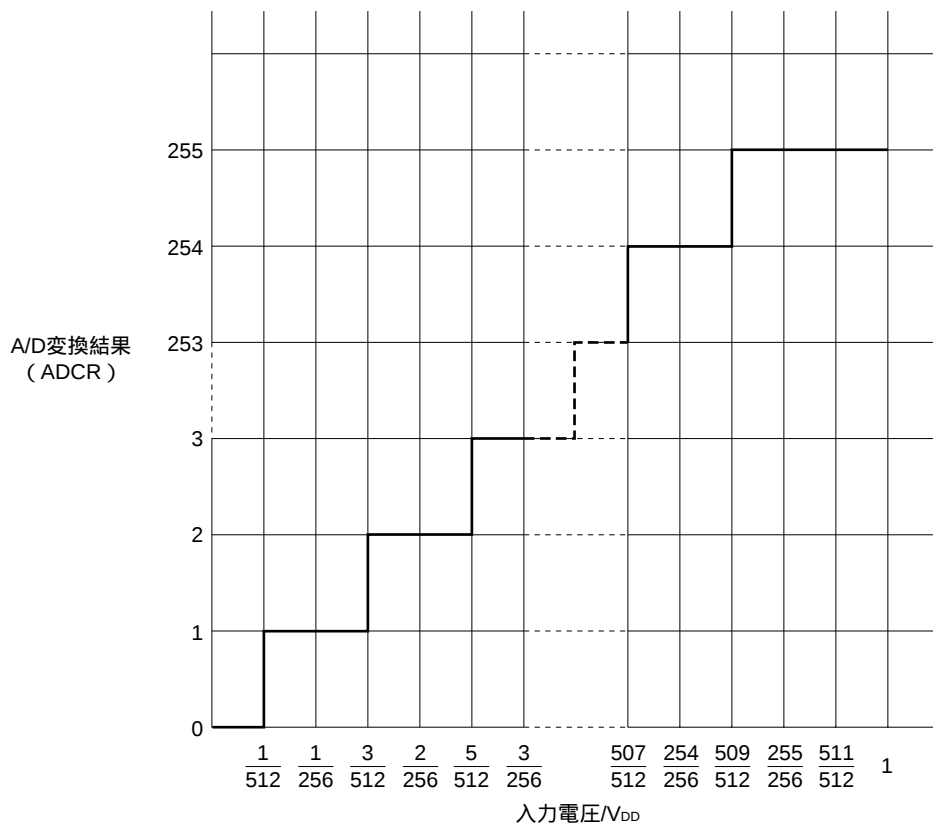
V_{IN} : アナログ入力電圧

V_{DD} : 電源電圧

ADCR : ADCRレジスタの値

図11 - 5 にアナログ入力電圧とA/D変換結果の関係を図示します。

図11 - 5 アナログ入力電圧とA/D変換結果の関係



11.4.3 A/Dコンバータの動作モード

A/Dコンバータ入力選択レジスタ(ADIS)およびA/Dコンバータ・モード・レジスタ(ADM)によってANIO-ANI5からアナログ入力を1チャンネル選択し、A/D変換を開始させてください。

A/D変換動作の起動方法には、次の2種類があります。

- ・ハードウェア・スタート：トリガ入力(INTP3の立ち下がり)により変換開始
- ・ソフトウェア・スタート：ADMを設定することにより変換開始

また、A/D変換結果は、A/D変換結果レジスタ(ADCR)に格納され、同時に割り込み要求信号(INTAD)が発生されます。

(1) ハードウェア・スタートによるA/D変換動作

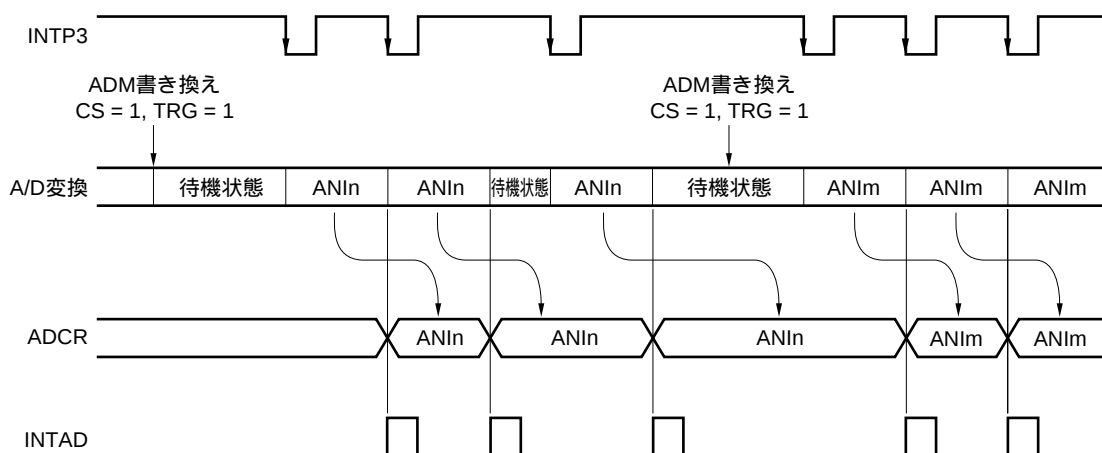
ADMのビット6(TRG)に1、ビット7(CS)に1を設定することによってA/D変換動作の待機状態になります。外部トリガ信号(INTP3)の立ち下がりのタイミングで、A/Dコンバータ・モード・レジスタ(ADM)のビット1-3(ADM1-ADM3)で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ(ADCR)に格納し、割り込み要求信号(INTAD)が発生されます。A/D変換動作が一度起動し、1回のA/D変換が終了すると、新たに外部トリガ信号が入力されない限り、A/D変換動作は開始しません。

A/D変換動作中に、再度CSが1であるデータをADMに書き込むと、そのとき行っていたA/D変換動作を中断し、新たに外部トリガ信号が入力されるまで待機します。外部トリガ入力信号が再度入力されると、A/D変換動作を最初から行います。

また、A/D変換動作中に、CSが0であるデータをADMに書き込むと、ただちにA/D変換動作を停止します。

図11 - 6 ハードウェア・スタートによるA/D変換動作



備考 $n = 0, 1, \dots, 5$
 $m = 0, 1, \dots, 5$

(2) ソフトウェア・スタートによるA/D変換動作

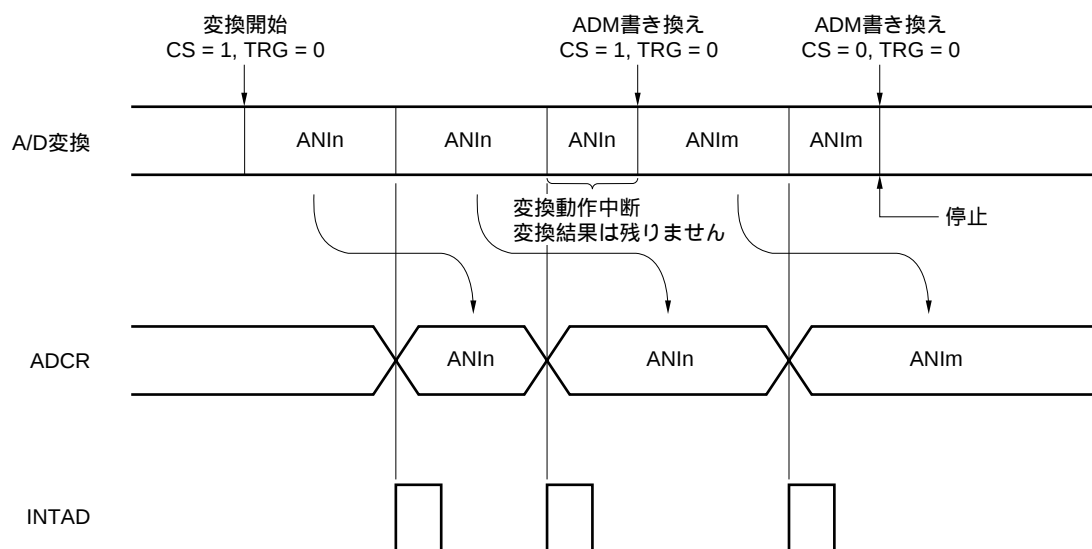
A/Dコンバータ・モード・レジスタ(ADM)のビット6(TRG)に0 , ビット7(CS)に1を設定することにより, ADMのビット1-3(ADM1-ADM3)で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると, 変換結果をA/D変換結果レジスタ(ADCR)に格納し, 割り込み要求信号(INTAD)が発生します。A/D変換動作が一度起動し, 1回のA/D変換が終了すると, ただちに次のA/D変換動作を開始します。新たなデータをADMに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に, 再度CSが1であるデータをADMに書き込むと, そのとき行っていたA/D変換動作は中断し, 新たに書き込んだデータのA/D変換動作を開始します。

また, A/D変換動作中に, CSが0であるデータをADMに書き込むと, 直ちにA/D変換動作を停止します。

図11 - 7 ソフトウェア・スタートによるA/D変換動作



備考 $n=0, 1, \dots, 5$

$m=0, 1, \dots, 5$

11.5 A/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電流について

A/Dコンバータは、システム・クロックによって動作します。したがって、STOPモード時には動作は停止しますが抵抗ストリングには電流が流れ込みます。

消費電流を少なくするには、HALT、STOP命令を実行する前にA/Dコンバータ入力選択レジスタ (ADIS) のビット 3 (ADON) を 0 にクリアしておく必要があります。また消費電力を少なくするには、HALT、STOP命令を実行する前にA/Dコンバータ・モード・レジスタ (ADM) のビット 7 (CS) を 0 にクリアし、A/D変換動作を停止させておく必要があります。

(2) ANI0-ANI5入力範囲について

ANI0-ANI5入力電圧は規格の範囲内でご使用ください。特に、 V_{DD} 以上、GND以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

(3) ANI0/P10-ANI5/P15

アナログ入力 (ANI0-ANI5) 端子は入出力ポート (PORT1) 端子と兼用になっています。

ANI0-ANI5のいずれかを選択してA/D変換をする場合、変換中にPORT1に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないことがあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

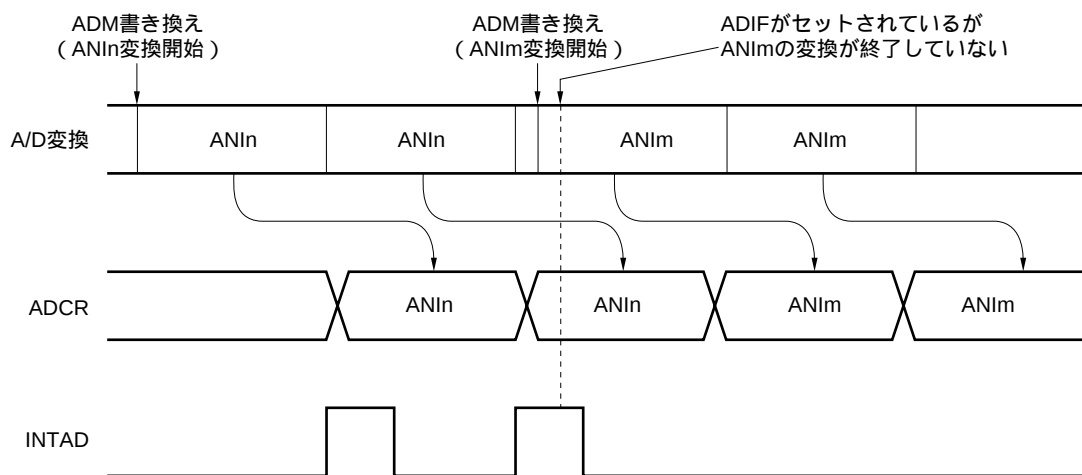
(4) 割り込み要求フラグ(ADIF)について

A/Dコンバータ・モード・レジスタ(ADM)を変更しても割り込み要求フラグ(ADIF)はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADM書き換え直前に変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。このとき、ADM書き換え直後にADIFを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることになりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前に割り込み要求フラグ(ADIF)をクリアしてください。

図11 - 8 A/D変換終了割り込み要求発生タイミング



〔メ モ〕

第12章 シリアル・インタフェース・チャンネル0

μPD178018Aサブシリーズは、シリアル・インタフェースを2チャンネル内蔵しています。チャンネル0，チャンネル1の違いは次のとおりです(シリアル・インタフェース・チャンネル1の詳細は、第13章 シリアル・インタフェース・チャンネル1を参照してください)。

表12 - 1 チャンネル0，チャンネル1の違い

シリアル転送モード		チャンネル0	チャンネル1
3 線式シリアルI/O	クロック選択	$f_{xx}/2, f_{xx}/2^2, f_{xx}/2^3, f_{xx}/2^4, f_{xx}/2^5, f_{xx}/2^6, f_{xx}/2^7, f_{xx}/2^8$	$f_{xx}/2, f_{xx}/2^2, f_{xx}/2^3, f_{xx}/2^4, f_{xx}/2^5, f_{xx}/2^6, f_{xx}/2^7, f_{xx}/2^8$
	転送方式	MSB先頭 / LSB先頭の切り替え可能	MSB先頭 / LSB先頭の切り替え可能 自動送受信機能内蔵
	転送終了フラグ	シリアル転送終了割り込み要求フラグ(CSIIF0)	シリアル転送終了割り込み要求フラグ(CSIIF1)
SB(シリアル・バス・インタフェース)		使用可能	なし
2 線式シリアルI/O			
I ² Cバス(Inter IC Bus) ^注			

注 I²Cバス・モードを使用した場合(周辺ハードウェアを使用せず，プログラムで実現した場合も含む)，マスク発注時に当社販売員に連絡してください。

12.1 シリアル・インタフェース・チャンネル0の機能

シリアル・インタフェース・チャンネル0には、次の5種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・SBI(シリアル・バス・インタフェース)モード
- ・2線式シリアルI/Oモード
- ・I²C(Inter IC)バス・モード^注

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード(3線式シリアルI/O/SBI/2線式シリアルI/O/I²Cバス)を切り替えないでください。

動作モードは、いったんシリアル動作を停止させたのちに切り替えてください。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) 3線式シリアルI/Oモード(MSB/LSB先頭切り替え可能)

シリアル・クロック($\overline{\text{SCK0}}$)、シリアル出力(SO0)、シリアル入力(SI0)の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

(3) SBI(シリアル・バス・インタフェース)モード(MSB先頭)

シリアル・クロック($\overline{\text{SCK0}}$)と、シリアル・データ・バス(SB0またはSB1)の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

SBIモードは、NECシリアル・バス・フォーマットに準拠し、転送データを“アドレス”、“コマンド”、“データ”の3種類に識別して送受信します。

- ・アドレス：シリアル通信の対象デバイスを選択するためのデータ
- ・コマンド：対象デバイスに対して指令を与えるデータ
- ・データ：実際に転送するデータ

実際の転送は、まず、マスタ・デバイスがシリアル・バス上に“アドレス”を出力して、複数のデバイスのうち通信対象となるスレーブ・デバイスを選択します。その後、マスタ・デバイスとスレーブ・デバイスとの間で“コマンド”、“データ”の送受信を行うことにより、シリアル転送が実現します。受信側は、受信したデータをハードウェアにより自動的に“アドレス”、“コマンド”、“データ”に判別できます。

この機能により、入出力ポートの有効活用ができるほか、さらに応用プログラムのシリアル・インタフェースの制御部分を簡単にできます。

また、ハンドシェークのためのウエイク・アップ機能、アクノリッジ信号、ピジィ信号出力機能も使用できます。

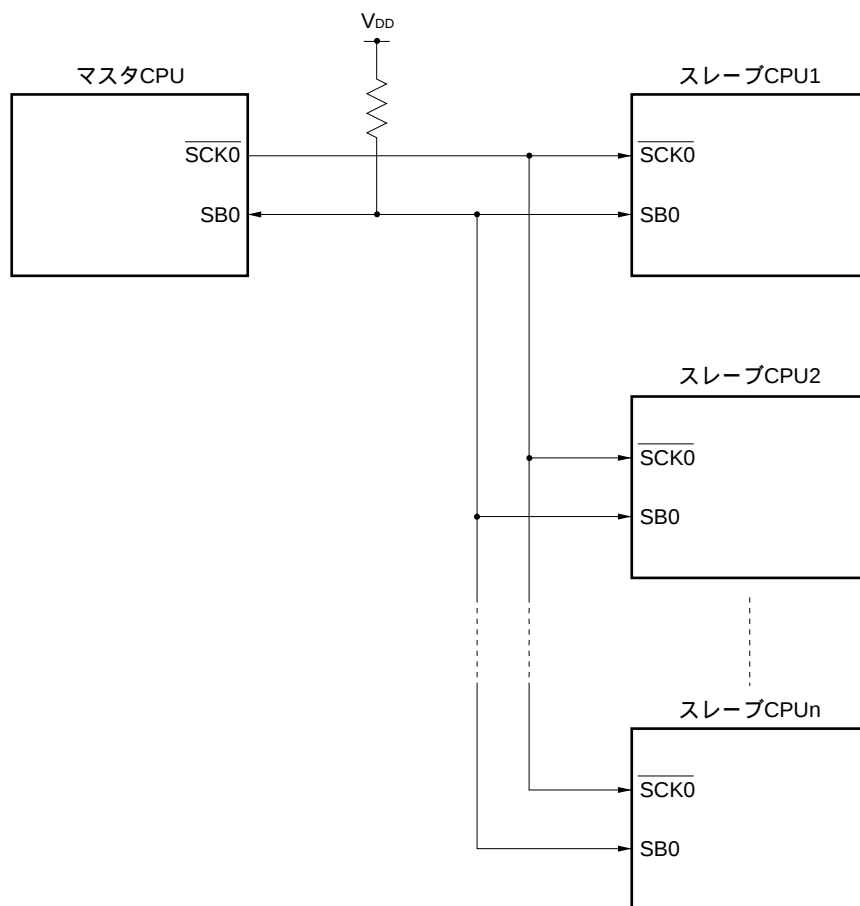
注 I²Cバス・モードを使用した場合(周辺ハードウェアを使用せず、プログラムで実現した場合も含む)、マスク発注時に当社販売員に連絡してください。

(4) 2線式シリアルI/Oモード(MSB先頭)

シリアル・クロック($\overline{\text{SCK0}}$)と、シリアル・データ・バス(SB0 または SB1)の2本のラインにより、8ビット・データ転送を行うモードです。

$\overline{\text{SCK0}}$ と、 SB0 または SB1 の出力レベルをソフトウェアで制御することにより、任意のデータ転送のフォーマットに対応できます。したがって、従来、複数デバイスを接続するときに必要になったハンドシェイクのためのラインを削除でき、入出力ポートの有効活用ができます。

図12 - 1 シリアル・バス・インタフェース(SBI)のシステム構成例

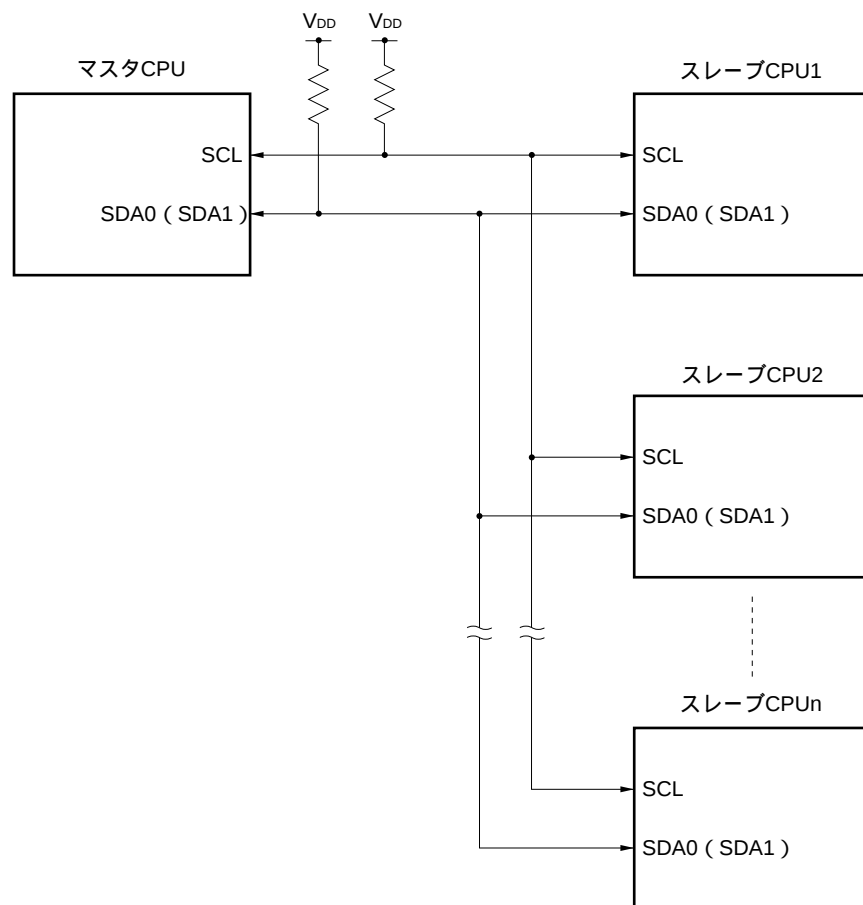


(5) I²Cバス・モード (MSB先頭)

シリアル・クロック(SCL)と、シリアル・データ・バス(SDA0またはSDA1)の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、送信時、シリアル・データ・バス上に“スタート・コンディション”、“データ”、および“ストップ・コンディション”を出力することができます。また、受信時には、これらのデータをハードウェアにより自動的に検出します。

図12 - 2 I²Cバスによるシリアル・バス構成例



12.2 シリアル・インタフェース・チャンネル0の構成

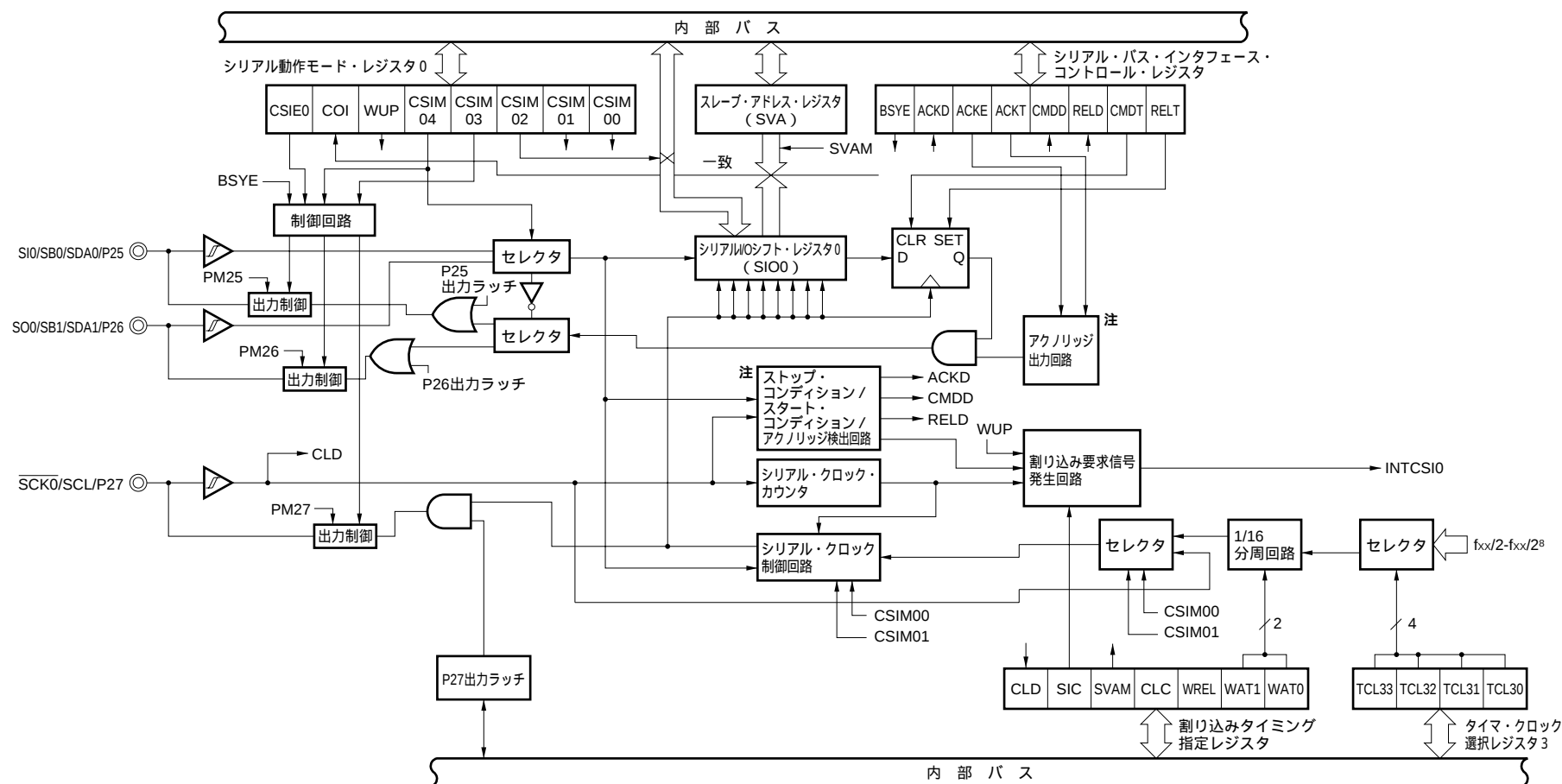
シリアル・インタフェース・チャンネル0は、次のハードウェアで構成しています。

表12 - 2 シリアル・インタフェース・チャンネル0の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ0(SIO0) スレーブ・アドレス・レジスタ(SVA)
制御レジスタ	タイマ・クロック選択レジスタ3(TCL3) シリアル動作モード・レジスタ0(CSIM0) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC) 割り込みタイミング指定レジスタ(SINT) ポート・モード・レジスタ2(PM2) ^注

注 図4 - 5 P20, P21, P23-26のブロック図, 図4 - 6 P22, P27のブロック図を参照してください。

図12 - 3 シリアル・インタフェース・チャンネル0のブロック図



注 I²Cバス・モード動作時の例です。

備考 出力制御は、CMOS出力にするか、N-chオープン・ドレイン出力にするかの選択を行います。

(1) シリアルI/Oシフト・レジスタ0(SIO0)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信(シフト動作)を行う8ビット・レジスタです。

SIO0は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ0(CSIM0)のビット7(CSIE0)が1のとき、SIO0にデータを書き込むことにより、シリアル動作が開始されます。

送信時は、SIO0に書き込まれたデータが、シリアル出力(SO0)またはシリアル・データ・バス(SB0/SB1)に出力されます。受信時は、データがシリアル入力(SI0)またはSB0/SB1からSIO0に読み込まれます。

なお、SBIモード、2線式シリアルI/OモードおよびI²Cバス・モードのバス構成は、入力端子と出力端子が兼用です。したがって、これから受信を行おうとするデバイスは、あらかじめSIO0にFFHを書き込んでください(ただし、CSIM0のビット5(WUP)に1を設定してアドレス受信を行うときを除く)。

さらに、I²Cバス・モード時は、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7(BSYE)に1を設定してください。

また、SBIモード時は、SIO0への書き込みにより、ビジー解除ができます。この場合、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7(BSYE)は、0にクリアされません。

SIO0は、リセット時は、不定になります。

注意 I²Cバス・モード時、WUP(シリアル動作モード・レジスタ0(CSIM0)のビット5)=1の期間にSIO0への書き込み命令を実行しないでください。SIO0への書き込み命令を実行しなくても、ウエイク・アップ機能使用時(WUP=1)にデータ受信は可能です。ウエイク・アップ機能については、12.4.5(1)(c)ウエイク・アップ機能を参照してください。

(2) スレーブ・アドレス・レジスタ(SVA)

スレーブ・デバイスとしてシリアル・バスに接続するときに、そのスレーブ・アドレス値をセットするための8ビット・レジスタです。3線式シリアルI/Oモードでは使用されません。

SVAは、8ビット・メモリ操作命令で設定します。

マスタは接続されているスレーブに対して、特定のスレーブを選択するためのスレーブ・アドレスを出力します。アドレス・コンパレータによりこれらの2つのデータ(マスタから出力されたスレーブ・アドレスとSVAの値)を比較して、一致すると、そのスレーブが選択されたことになります。このとき、シリアル動作モード・レジスタ0(CSIM0)のビット6(COI)が1になります。

また、割り込みタイミング指定レジスタ(SINT)のビット4(SVAM)をセット(1)することにより、LSBをマスクした上位7ビットのデータで、アドレスを比較することもできます。

アドレス受信時に一致が検出されなければ、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット2(RELD)は0にクリアされます。なお、SBIモード時、CSIM0のビット5(WUP)をセット(1)することにより、ウエイク・アップ機能を使用できます。この場合、マスタから出力されたスレーブ・アドレスとSVAの値が一致したとき、割り込み要求信号(INTCSI0)が発生します(ストッ

ブ・コンディション検出時にも割り込み要求信号が発生します)。この割り込み要求によりマスタから通信要求があったことを知ることができます。なお、ウエイク・アップ機能使用時はSICを1にセットしておいてください。

さらに、SBIモード時または2線式シリアルI/Oモード時で、マスタまたはスレーブとして送信するとき、SVAを利用してエラーの検出を行うことができます。

SVAは、リセット時は、不定になります。

(3) SO0ラッチ

SI0/SB0/SDA0/P25, SO0/SB1/SDA1/P26端子レベルを保持するラッチです。ソフトウェアにより直接制御することもできます。SBIモード時は、シリアル・クロックの8回目のクロック終了時にセットされます。

(4) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(5) シリアル・クロック制御回路

シリアルI/Oシフト・レジスタ0(SIO0)へのシリアル・クロックの供給を制御します。また、内部システム・クロック使用時は、 $\overline{\text{SCK0}}/\text{SCL}/\text{P27}$ 端子へ出力するクロックの制御も行います。

(6) 割り込み要求信号発生回路

割り込み要求信号の発生を制御します。次のときに割り込み要求信号を発生します。

・3線式シリアルI/Oモードおよび2線式シリアルI/Oモード時

シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します。

・SBIモード時

WUP^注が0のとき...シリアル・クロックを8回カウントするごとに割り込み要求信号を発生します。

WUP^注が1のとき...アドレス受信後、シリアルI/Oシフト・レジスタ0(SIO0)とスレーブ・アドレス・レジスタ(SVA)の値が一致したとき、割り込み要求信号を発生します。

注 WUPは、ウエイク・アップ機能指定ビット。シリアル動作モード・レジスタ0(CSIM0)のビット5。

・I²Cバス・モード時

表12-3のように割り込みを発生します。

(7) 各種制御信号の出力回路および検出回路

各種制御信号の出力および検出を行います。

3 線式シリアルI/Oモードおよび2 線式シリアルI/Oモード時には、動作しません。

・SBIモード時

ビジィ / アクノリッジ出力回路, バス・リリース / コマンド / アクノリッジ検出回路

・I²Cバス・モード時

アクノリッジ出力回路, ストップ・コンディション / スタート・コンディション / アクノリッジ検出回路

表12 - 3 シリアル・インタフェース・チャンネル0の割り込み要求信号の発生

シリアル転送モード	BSYE	WUP	WAT1	WAT0	ACKE	説 明
I ² Cバス・モード(送信時)	0	0	1	0	0	シリアル・クロックを 8 回カウントするごとに割り込み要求信号を発生します(8 クロック・ウェイト)。 通常、送信時にWAT1, WAT0 = 1, 0とする設定は使用しません。ソフトウェアで受信時と処理を体系的にそろえたい場合にのみ使用します。 ACK情報は受信側が生成するため、ACKEは 0 (禁止) の設定にします。
			1	1	0	シリアル・クロックを 9 回カウントするごとに割り込み要求信号を発生します(9 クロック・ウェイト)。 ACK情報は受信側が生成するため、ACKEは 0 (禁止) の設定にします。
	上記以外					設定禁止
I ² Cバス・モード(受信時)	1	0	1	0	0	シリアル・クロックを 8 回カウントするごとに割り込み要求信号を発生します(8 クロック・ウェイト)。 ACK情報は、割り込み発生後にソフトウェアで ACKT を操作して出力します。
			1	1	0/1	シリアル・クロックを 9 回カウントするごとに割り込み要求信号を発生します(9 クロック・ウェイト)。 ACK情報を自動的に生成するため、転送開始前に ACKE に 1 (許可) を設定しておきます。ただしマスタの場合、最後のデータを受信する前に 0 (禁止) にします。
	1	1	1	1	1	アドレス受信後、シリアル I/O シフト・レジスタ 0 (SIO0) とスレーブ・アドレス・レジスタ (SVA) の値が一致したとき、およびストップ・コンディション検出時に割り込み要求信号を発生します。 ACK情報を自動的に生成するため、転送開始前に ACKE を 1 (許可) に設定しておきます。
上記以外					設定禁止	

備考 BSYE : シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7

ACKE : シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット5

12.3 シリアル・インタフェース・チャンネル0を制御するレジスタ

シリアル・インタフェース・チャンネル0は、次の4種類のレジスタで制御します。

- ・タイマ・クロック選択レジスタ3(TCL3)
- ・シリアル動作モード・レジスタ0(CSIM0)
- ・シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)
- ・割り込みタイミング指定レジスタ(SINT)

(1) タイマ・クロック選択レジスタ3(TCL3)

シリアル・インタフェース・チャンネル0のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

リセット時は、88Hになります。

図12 - 4 タイマ・クロック選択レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	TCL37	TCL36	TCL35	TCL34	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL37	TCL36	TCL35	TCL34	シリアル・インタフェース・チャンネル1のシリアル・クロックの選択		
					MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2$ (1.13 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2$ (1.13 MHz)	$f_x/2$ (563 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2$ (563 kHz)	$f_x/2$ (281 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2$ (281 kHz)	$f_x/2$ (141 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2$ (141 kHz)	$f_x/2$ (70.3 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2$ (70.3 kHz)	$f_x/2$ (35.2 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2$ (35.2 kHz)	$f_x/2$ (17.6 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2$ (17.6 kHz)	$f_x/2$ (8.8 kHz)
上記以外				設定禁止		

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択		
					MCS = 1	MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2$ (1.13 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2$ (1.13 MHz)	$f_x/2$ (563 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2$ (563 kHz)	$f_x/2$ (281 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2$ (281 kHz)	$f_x/2$ (141 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2$ (141 kHz)	$f_x/2$ (70.3 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2$ (70.3 kHz)	$f_x/2$ (35.2 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2$ (35.2 kHz)	$f_x/2$ (17.6 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2$ (17.6 kHz)	$f_x/2$ (8.8 kHz)
上記以外				設定禁止		

注意 TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

- 備考1** . f_{xx} : システム・クロック周波数(f_x または $f_x/2$)
- 2 . f_x : システム・クロック発振周波数
- 3 . MCS : 発振モード選択レジスタ(OSMS)のビット0
- 4 . ()内は、 $f_x = 4.5$ MHz動作時。

(2) シリアル動作モード・レジスタ0(CSIM0)

シリアル・インタフェース・チャンネル0のシリアル・クロック，動作モード，動作の許可／停止，ウェイク・アップ機能の設定とアドレス・コンパレータの一致信号を表示するレジスタです。

CSIM0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は，01Hになります。

注意 シリアル・インタフェース・チャンネル0の動作許可中に動作モード（3線式シリアルI/O / 2線式I/O / SBI）を切り替えしないでください。動作モードを切り替える場合は，いったんシリアル動作を停止させたのちに行ってください。

図12 - 5 シリアル動作モード・レジスタ0のフォーマット(1/2)

略号	43210					アドレス	リセット時	R/W			
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	1	FF60H	01H	R/W ^{注1}

R/W	CSIM01	シリアル・インタフェース・チャンネル0のクロックの選択
0		SCK0/SCL/P27端子への外部からの入力クロック
1		タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/P25 端子の機能	SO0/SB1/SDA1/P26 端子の機能	SCK0/SCL/P27 端子の機能
	0	×	0	注2 1	注2 ×	0	0	0	1	3線式シリアル I/Oモード	MSB	SI0 ^{注2} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
			1								LSB			
	1	0	0	注3 ×	注3 ×	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 [N-chオープン・ ドレイン入出力]	SCK0 (CMOS入出力)
			1	0	0	注3 ×	注3 ×	0	1			SB0 [N-chオープン・ ドレイン入出力]	P26 (CMOS入出力)	
	1	1	0	注3 ×	注3 ×	0	0	0	1	2線式シリアル I/Oモード または	MSB	P25 (CMOS入出力)	SB1/SDA1 [N-chオープン・ ドレイン入出力]	SCK0/SCL [N-chオープン・ ドレイン入出力]
			1	0	0	注3 ×	注3 ×	0	1	I ² Cバス・モード		SB0/SDA0 [N-chオープン・ ドレイン入出力]	P26 (CMOS入出力)	

(続く)

注1．ビット6(COI)は、Read Onlyです。

2．送信のみ使用するときには、P25(CMOS入出力)として使用できます。

3．ポート機能として自由に使用できます。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

図12 - 5 シリアル動作モード・レジスタ0のフォーマット(2/2)

R/W	WUP	ウェイク・アップ機能の制御 ^{注1}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	●SBIモード時、バス・リリース後(CMDD = RELD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生 ●I²Cバス・モード時、スタート・コンディション検出後(CMDD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生
R	COI	スレーブ・アドレス比較結果フラグ ^{注2}
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する
R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注1．ウェイク・アップ機能を使用(WUP = 1)するときは、割り込みタイミング指定レジスタ(SINT)のビット5(SIC)に1を設定してください。また、WUP = 1の期間にシリアルI/Oシフト・レジスタ0(SIO0)への書き込み命令を実行しないでください。

2．CSIE0 = 0のとき、COIは0になります。

(3) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

シリアル・バス・インタフェースの動作の設定とステータスを表示するレジスタです。

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図12 - 6 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット(1/3)

略号	①								アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W ^注

R/W	RELT	SBIモード時バス・リリース信号出力のために、I ² Cバス・モード時ストップ・コンディション信号出力のために使用する。 RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。									
-----	------	--	--	--	--	--	--	--	--	--	--

R/W	CMDT	SBIモード時コマンド信号出力のために、I ² Cバス・モード時スタート・コンディション信号出力のために使用する。 CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。									
-----	------	---	--	--	--	--	--	--	--	--	--

R	RELD	バス・リリース検出(SBIモード時)/ストップ・コンディション検出(I ² Cバス・モード時)									
		クリアされる条件(RELD = 0)					セットされる条件(RELD = 1)				
		・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0 = 0のとき ・リセット時					・バス・リリース信号(REL)検出時 - またはストップ・コンディション検出時				

R	CMDD	コマンド検出(SBIモード時)/スタート・コンディション検出(I ² Cバス・モード時)									
		クリアされる条件(CMDD = 0)					セットされる条件(CMDD = 1)				
		・転送スタート命令実行時 ・バス・リリース信号(REL)検出時またはストップ・コンディション検出時 ・CSIE0 = 0のとき ・リセット時					・コマンド信号(CMD)検出時またはスタート・コンディション検出時				

注 ビット2, 3, 6(RELD, CMDD, ACKD)は、Read Onlyです。

備考1. ビット0, 1, 4(RELT, CMDT, ACKT)は、データ設定後に読み出すと0になっています。

2. CSIE0: シリアル動作モード・レジスタ0(CSIM0)のビット7

図12 - 6 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット(2/3)

(a) SBIモード時

R/W	ACKT	セット(1)する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア(0)される。ACKE = 0として使用する。 また、シリアル・インタフェースの転送開始、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	ACKE	アクノリッジ信号出力の制御	
	0	アクノリッジ信号の自動出力禁止(ACKTによる出力は可能)	
	1	転送完了前	$\overline{\text{SCK0}}$ の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する(ACKE = 1により、自動出力される)。
		転送完了後	セット(1)する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する(ACKE = 1により、自動出力される)。ただし、アクノリッジ信号を出力後、自動的にクリア(0)されない。

R	ACKD	アクノリッジ検出	
		クリアされる条件(ACKD = 0)	セットされる条件(ACKD = 1)
		・転送スタート命令実行後、ビジー・モードを解除した直後の $\overline{\text{SCK0}}$ のクロックの立ち下がり時 ・CSIE0 = 0のとき ・リセット時	・転送完了後の $\overline{\text{SCK0}}$ のクロックの立ち上がりエッジでアクノリッジ信号($\overline{\text{ACK}}$)検出時

R/W	BSYE ^注	同期ビジー信号出力の制御	
	0	クリア(0)する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期した、ビジー信号の出力を禁止する。	
	1	アクノリッジ信号に続く $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジからビジー信号を出力する。	

注 シリアル・インタフェースの転送開始によって、ビジー・モードを解除できます。ただし、BSYEフラグは0にクリアされません。

備考 CSIE0：シリアル動作モード・レジスタ0(CSIM0)のビット7

図12 - 6 シリアル・バス・インタフェース・コントロール・レジスタのフォーマット(3/3)

(b) I²Cバス・モード時

R/W	ACKT	セット(1)する命令実行直後から次のSCLの立ち下がりまでSDA $\overline{Q}$ (SDA1)をロウ・レベルにする。 8クロック・ウェイト選択時に、ソフトウェアでACK信号を生成するために使用する。 また、シリアル・インタフェースの転送開始、CSIE0 = 0のときクリア(0)される。	
R/W	ACKE	アクノリッジ信号の自動出力の制御 ^{注1}	
	0	アクノリッジ信号の自動出力禁止(ACKTによる出力は可能)。 送信時または8クロック・ウェイト選択時で受信の場合に使用する。 ^{注2}	
	1	アクノリッジ信号の自動出力許可。 SCLの9クロック目の立ち下がりエッジに同期して、アクノリッジ信号を出力する(ACKE = 1により、自動出力される)。出力後、自動的にクリア(0)されない。 9クロック・ウェイト選択時で受信の場合に使用する。	
R	ACKD	アクノリッジ検出	
		クリアされる条件(ACKD = 0)	セットされる条件(ACKD = 1)
		・転送スタート命令実行時 ・CSIE0 = 0のとき ・リセット時	・転送完了後のSCLのクロックの立ち上がりエッジでアクノリッジ信号検出時
R/W	BSYE ^{注3}	I ² Cバス・モード時の送信用N-chオープン・ドレーン出力の制御 ^{注4}	
	0	出力許可(送信)	
	1	出力禁止(受信)	

注1．転送開始前に設定してください。

2．8クロック・ウェイト選択時では、受信時のアクノリッジ信号はACKTを用いて出力してください。

3．シリアル・インタフェースの転送開始、またはアドレス信号受信によってウェイト状態を解除できません。ただし、BSYEはクリア(0)されません。

4．ウェイク・アップ機能を使用するときには、必ずBSYEに1を設定してください。

備考 CSIE0：シリアル動作モード・レジスタ0(CSIM0)のビット7

(4) 割り込みタイミング指定レジスタ (SINT)

割り込み，ウェイト，クロック・レベルの制御，アドレス・マスク機能の設定およびP27/ $\overline{\text{SCK0}}$ /SCL端子のレベルの状態を表示するレジスタです。

SINTは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は，00Hになります。

図12 - 7 割り込みタイミング指定レジスタのフォーマット(1/2)

略号	7						1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	CLC	WREL	WAT1	WAT0	FF63H	00H	R/W ^{注1}

R/W	WAT1	WAT0	ウェイトおよび割り込みの制御
	0	0	$\overline{\text{SCK0}}$ の8クロック目の立ち上がりで割り込み処理要求を発生する(クロック出力はハイ・インピーダンス)。
	0	1	設定禁止
	1	0	I ² Cバス・モード時に使用する(8クロック・ウェイト)。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合，8クロック出力後，SCL出力をロウ・レベルにしてウェイトする。スレーブの場合，8クロック入力後，SCL端子をロウ・レベルにしてウェイト要求する)。
	1	1	I ² Cバス・モード時に使用する(9クロック・ウェイト)。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合，9クロック出力後，SCL出力をロウ・レベルにしてウェイトする。スレーブの場合，9クロック入力後，SCL端子をロウ・レベルにしてウェイト要求する)。

R/W	WREL	ウェイト解除の制御
	0	ウェイト解除状態
	1	ウェイト状態を解除する。 解除後自動的にクリア(0)される(WAT0, WAT1によるウェイト状態の解除に使用する)。

R/W	CLC	クロック・レベルの制御 ^{注2}
	0	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合，SCL端子の出力レベルをロウ・レベルにする。
	1	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合，SCL端子の出力レベルをハイ・インピーダンスにする(クロック・ラインはハイ・レベル)。 マスタがスタート/ストップ・コンディションを生成するために使用する。

注1．ビット6(CLD)は，Read Onlyです。

2．I²Cバス・モードを使用しない場合は，CLCに0を設定してください。

図12 - 7 割り込みタイミング指定レジスタのフォーマット(2/2)

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-7
	1	ビット1-7

R/W	SIC	INTCSI0の割り込み要因の選択 ^{注1}
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時、またはストップ・コンディション検出時にCSIIF0をセット(1)する。

R	CLD	P27/SCK0/SCL端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

注1 . I²Cバス・モードでウエイク・アップ機能を使用するときは、SICに1を設定してください。

SBIモードでウエイク・アップ機能を使用するときは、SICに0を設定してください。

2 . CSIE0 = 0のとき、CLDは0になります。

備考 SVA : スレーブ・アドレス・レジスタ

CSIIF0 : INTCSI0に対応する割り込み要求フラグ

CSIE0 : シリアル動作モード・レジスタ0(CSIM0)のビット7

12.4 シリアル・インタフェース・チャンネル0の動作

シリアル・インタフェース・チャンネル0の動作モードには、次の5種類があります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・SBIモード
- ・2線式シリアルI/Oモード
- ・I²C (Inter IC)バス・モード

12.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。

また、シリアルI/Oシフト・レジスタ0(SIO0)もシフト動作を行いませんので、通常の8ビット・レジスタとして使用できます。

また、動作停止モードでは、P25/SIO/SB0/SDA0、P26/SO0/SB1/SDA1、P27/ $\overline{\text{SCK0}}$ /SCL端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ0(CSIM0)で行います。

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、01Hになります。

略号	43210								アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	1	FF60H	01H	R/W

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

12.4.2 3線式シリアルI/Oモードの動作

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック($\overline{\text{SCK0}}$)、シリアル出力(SO0)、シリアル入力(SI0)の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ0(CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)で行います。

(a) シリアル動作モード・レジスタ0(CSIM0)

CSIM0 は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、01Hになります。

略号	43210					アドレス	リセット時	R/W			
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	1	FF60H	01H	R/W ^{注1}

R/W	CSIM01	シリアル・インタフェース・チャンネル0のクロックの選択
	0	SCK0/SCL/P27端子への外部からの入力クロック
	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

R/W	CSIM	CSIM	CSIM	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/P25	SO0/SB1/SDA1/P26	SCK0/SCL/P27
	04	03	02									端子の機能	端子の機能	端子の機能
	0	×	0	^{注2}	^{注2}	0	0	0	1	3線式シリアル	MSB	SI0 ^{注2}	SO0	SCK0
			1	1	×					I/Oモード	LSB	(入力)	(CMOS出力)	(CMOS入出力)
	1	0	SBIモード(12.4.3 SBIモードの動作参照)											
	1	1	2線式シリアルI/Oモード(12.4.4 2線式シリアルI/Oモードの動作参照) またはI ² Cバス・モード(12.4.5 I ² Cバス・モードの動作参照)											

R/W	WUP	ウエイク・アップ機能の制御 ^{注3}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	設定禁止

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注1．ビット6(COI)は、Read Onlyです。

2．送信のみ使用するときは、P25(CMOS入出力)として使用できます。

3．3線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット時は、00Hになります。

略号

①

アドレス

リセット時

R/W

SBIC

BSYE

ACKD

ACKE

ACKT

CMDD

RELD

CMDT

RELT

FF61H

00H

R/W

R/W

RELT

RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。
また、CSIE0 = 0のときもクリア(0)される。

R/W

CMDT

CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。
また、CSIE0 = 0のときもクリア(0)される。

備考 CSIE0：シリアル動作モード・レジスタ0（CSIM0）のビット7

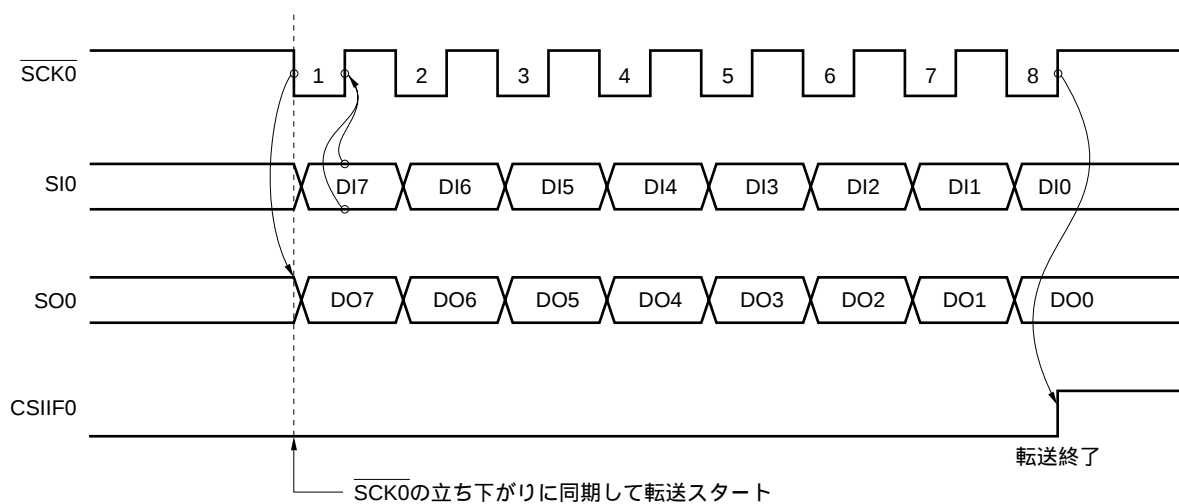
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ0(SIO0)のシフト動作は、シリアル・クロック($\overline{\text{SCK0}}$)の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SO0端子から出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SI0端子に入力された受信データがSIO0にラッチされます。

8ビット転送終了により、SIO0の動作は自動的に停止し、割り込み要求フラグ(CSIF0)がセットされます。

図12-8 3線式シリアルI/Oモードのタイミング



SO0端子はCMOS出力となり、SO0ラッチの状態を出力しますので、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0(RELT)、ビット1(CMDT)のセットによって、SO0端子出力状態を操作できます。

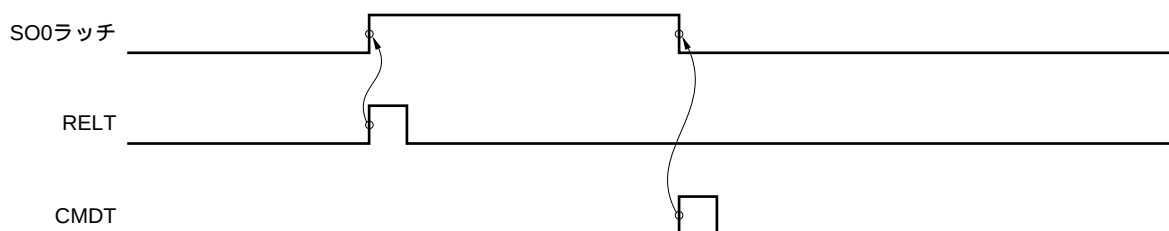
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{\text{SCK0}}$ 端子の出力レベルは、出力モード(内部システム・クロックのモード)時に、P27出力ラッチを操作して制御します(12.4.8 $\overline{\text{SCK0}}$ /SCL/P27端子出力の操作を参照)。

(3) 各種信号

図12 - 9 にRELT , CMDTの動作を示します。

図12 - 9 RELT , CMDTの動作



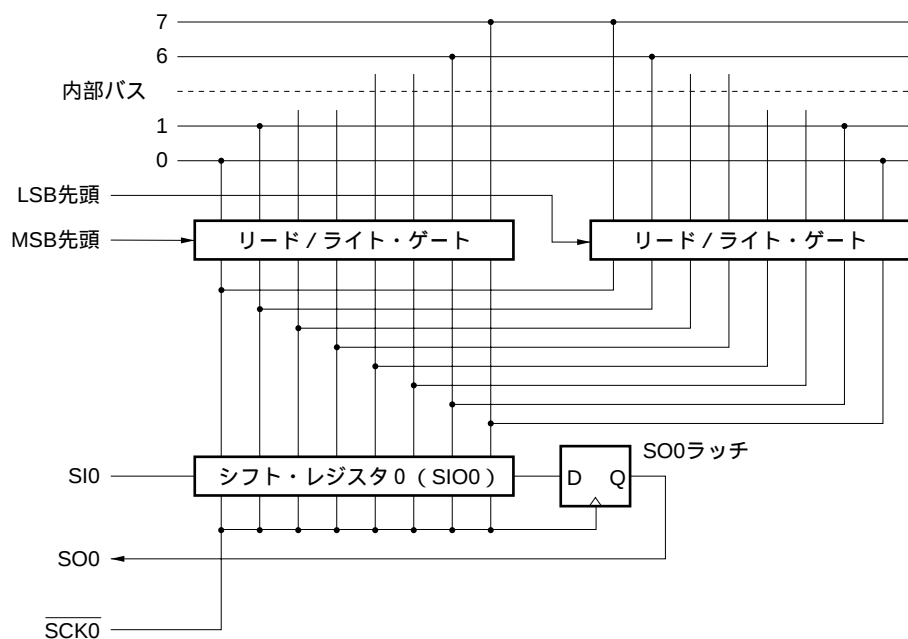
(4) MSB/LSB先頭の切り替え

3 線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図12 - 10にシリアルI/Oシフト・レジスタ 0(SIO0), および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し / 書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ 0(CSIM0)のビット 2(CSIM02)により指定できます。

図12 - 10 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO0へのデータ書き込みのビット順を切り替えることによって実現されています。SIO0のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットの切り替えは、シフト・レジスタにデータを書き込む前に行ってください。

(5) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0(SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0)=1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意 SIO0にデータを書き込んだあと、CSIE0を"1"にしても、転送はスタートしません。

備考 CSIE0:シリアル動作モード・レジスタ0(CSIM0)のビット7

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF0)をセットします。

12.4.3 SBIモードの動作

SB(シリアル・バス・インタフェース)は、NECシリアル・バス・フォーマット準拠の高速シリアル・インタフェース方式です。

SBIは、シングル・マスタの高速シリアル・バスで、2本の信号線で複数のデバイスとの通信を行えるように、クロック同期式のシリアルI/O方式に、バス構成のための機能が追加されたフォーマットになっています。そのため複数のマイコンや周辺ICでシリアル・バスを構成する場合に、使用するポート数や基板上の配線数を削減できます。

また、マスタは、スレーブに対してシリアル・データ・バス上に、シリアル通信の対象デバイス選択のための"アドレス"、対象デバイスに対して指令を与える"コマンド"、および実際の"データ"を出力できます。スレーブは、受信したデータをハードウェアにより、"アドレス"、"コマンド"、"データ"に判別できます。この機能により、シリアル・インタフェース・チャンネル0を制御する応用プログラムを簡略化できます。

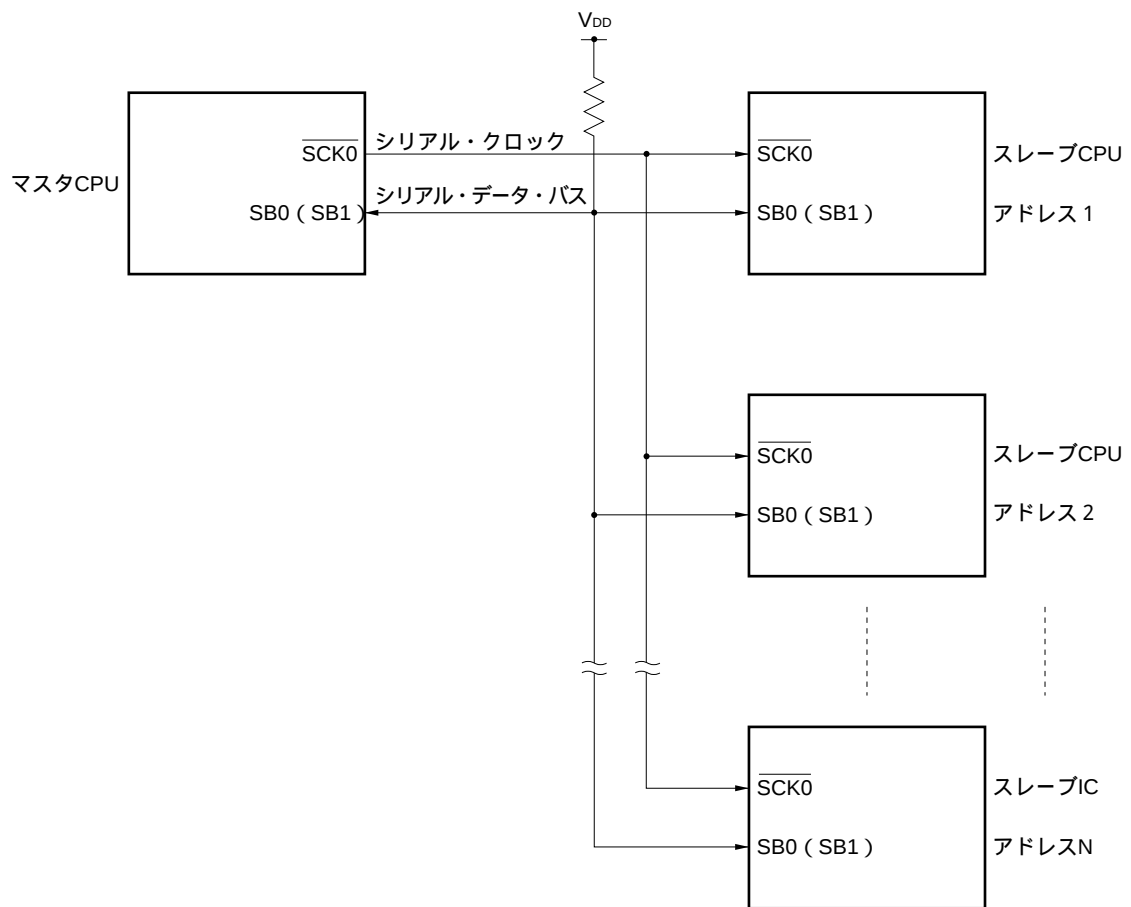
SBI機能は、75X/XLシリーズ、78Kシリーズなどの数種のデバイスに内蔵されています。

SBIに準拠するシリアル・インタフェースを有するCPUや、周辺ICを使用した場合のシリアル・バス構成例を図16-10に示します。

SBIでは、シリアル・データ・バス端子SB(SB1)は、オープン・ドレイン出力になっているため、シリアル・データ・バス・ラインは、ワイアード・オア状態になります。また、シリアル・データ・バス・ラインには、プルアップ抵抗が必要です。

SBIモード使用時には、後述の(11)SBIモードの注意事項(d)を参照してください。

図12 - 11 SBIによるシリアル・バス構成例



注意 マスタ/スレーブの交換処理を行う場合は、シリアル・クロック・ライン($\overline{\text{SCK0}}$)の入力/出力の切り替えがマスタ、スレーブ間で非同期に行われるため、シリアル・クロック・ライン($\overline{\text{SCK0}}$)にもプルアップ抵抗が必要となります。

(1) SBIの機能

従来のシリアルI/O方式では、データ転送機能しか有していないために、複数のデバイスを接続してシリアル・バスを構成した場合に、チップ・セレクト信号やコマンド/データの区別、ビジー状態の判断などのため多くのポートや配線が必要となります。また、これらの制御をソフトウェアで行おうとすると、ソフトウェアの負担が大きくなってしまいます。

SBIでは、シリアル・クロック $\overline{\text{SCK0}}$ と、シリアル・データ・バスSBQ(SB1)の2本の信号線でシリアル・バスを構成できます。そのため、マイコンのポート数の削減や、基板内の配線や引き回しの減少に有効となります。

SBIの機能について次に示します。

(a) アドレス/コマンド/データの判断機能

シリアル・データを、アドレス、コマンド、およびデータの3種類に区別します。

(b) アドレスによるチップ・セレクト状態

マスタは、アドレスの送信により、スレーブのチップ・セレクト(選択)を行います。

(c) ウェイク・アップ機能

スレーブは、ウェイク・アップ機能(ソフトウェアで設定/解除が可能)により、アドレス受信の判断(チップ・セレクトの判断)を容易に行うことができます。

ウェイク・アップ機能を設定した場合、一致アドレス受信時に割り込み要求信号(INTCSI0)が発生します。

そのため、複数のデバイスと通信を行う場合も、選択されたスレーブ以外のCPUはシリアル通信に関係なく動作できます。

(d) アクノリッジ信号($\overline{\text{ACK}}$)制御機能

シリアル・データの受信確認のための、アクノリッジ信号を制御します。

(e) ビジー信号($\overline{\text{BUSY}}$)制御機能

スレーブのビジー状態を知らせるための、ビジー信号を制御します。

(2) SBIの定義

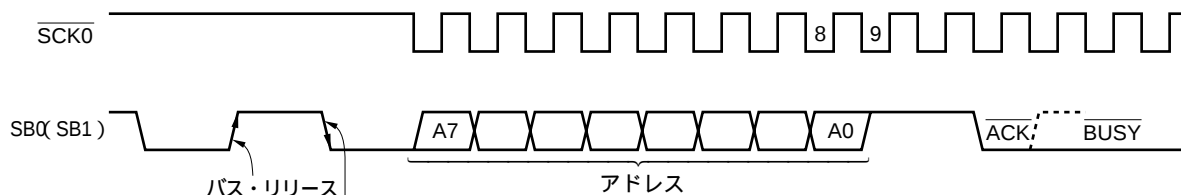
SBIのシリアル・データのフォーマットおよび、使用する信号の意味について説明します。

SBIで転送されるシリアル・データは、「アドレス」、「コマンド」、「データ」の3種類に区別されます。

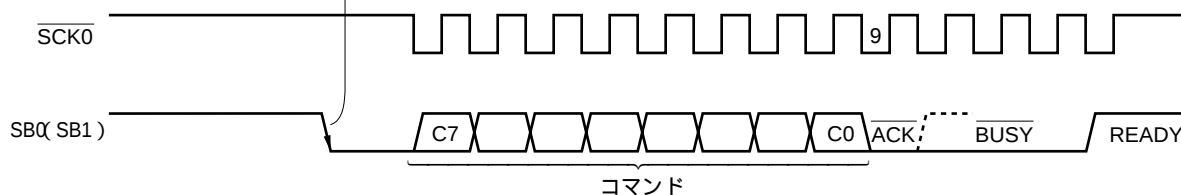
図12 - 12に、アドレス、コマンド、およびデータの転送タイミングを示します。

図12 - 12 SBI転送のタイミング

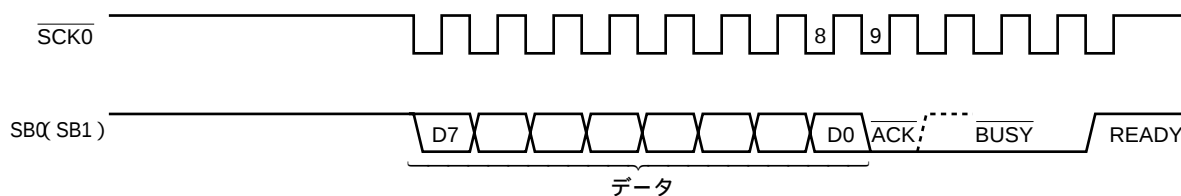
アドレスの転送



コマンドの転送



データの転送



備考 破線はREADY状態を示します。

バス・リリース信号およびコマンド信号はマスタが出力します。また $\overline{\text{BUSY}}$ はスレーブが出力します。
 $\overline{\text{ACK}}$ はマスタ、スレーブのどちらでも出力できます(通常、8ビット・データの受信側が出力します)。

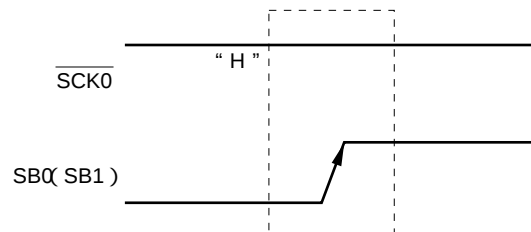
シリアル・クロックは、8ビット・データ転送開始から、 $\overline{\text{BUSY}}$ が解除されるまで、マスタが出力し続けます。

(a) パス・リリース信号(REL)

パス・リリース信号は、 $\overline{\text{SCK0}}$ ラインがハイ・レベルのとき(シリアル・クロックが出力されていない場合)に、SB0(SB1)ラインがロウ・レベルからハイ・レベルに変化した信号です。

この信号は、マスタが出力します。

図12 - 13 パス・リリース信号



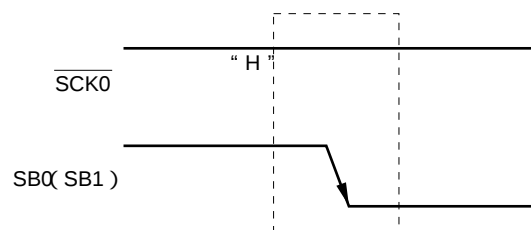
パス・リリース信号は、これからマスタがスレーブに対してアドレスを送信することを示すものです。スレーブは、パス・リリース信号を検出するハードウェアを内蔵しています。

注意 $\overline{\text{SCK0}}$ ラインがハイ・レベルのときに、SB0(SB1)ラインがロウ・レベル→ハイ・レベルに変化すると、パス・リリース信号と認識されます。したがって、基板容量などの影響でパスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、パス・リリース信号と判断されてしまうことがあります。配線の引き回しには十分注意してください。

(b) コマンド信号(CMD)

コマンド信号は、 $\overline{\text{SCK0}}$ ラインが、ハイ・レベルのとき(シリアル・クロックが出力されていない場合)に、SB0(SB1)ラインがハイ・レベルからロウ・レベルに変化した信号です。この信号は、マスタが出力します。

図12 - 14 コマンド信号



コマンド信号は、これからマスタがスレーブに対してコマンドを送信することを示すものです(ただし、パス・リリース信号に続くコマンド信号は、アドレスを送信することを示します)。

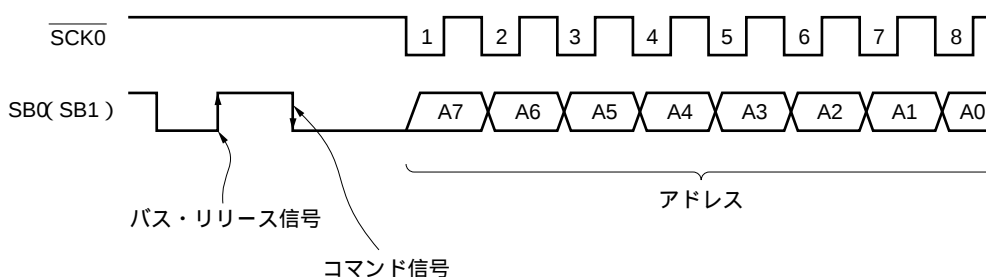
スレーブは、コマンド信号を検出するハードウェアを内蔵しています。

注意 $\overline{\text{SCK0}}$ ラインがハイ・レベルのときに、SB0 (SB1) ラインがハイ・レベル→ロウ・レベルに変化すると、コマンド信号と認識されます。したがって、基板容量などの影響でバスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、コマンド信号と判断されてしまうことがあります。配線の引き回しには十分注意してください。

(c) アドレス

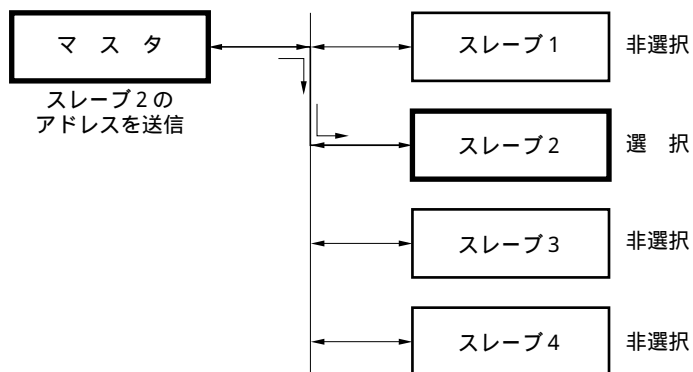
アドレスは、マスタがバス・ラインに接続されているスレーブに対して、特定のスレーブを選択するために出力する8ビット・データです。

図12 - 15 アドレス



バス・リリース信号、コマンド信号に続く8ビット・データはアドレスと定義されています。スレーブでは、ハードウェアでこの条件を検出し、8ビット・データが自分の指定番号(スレーブ・アドレス)と一致しているかをハードウェアでチェックします。このとき、8ビット・データと、スレーブ・アドレスが一致すると、そのスレーブが選択されたことになり、以後、マスタから切り離し指示があるまで、マスタとの通信を行います。

図12 - 16 アドレスによるスレーブの選択



(d) コマンド, データ

アドレスの送信により選択したスレーブに対して、マスタはコマンドの送信や、データの送受信を行います。

図12 - 17 コマンド

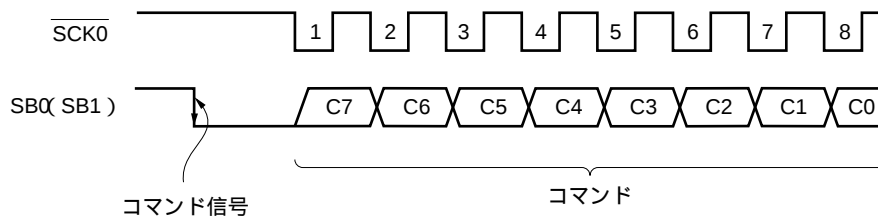
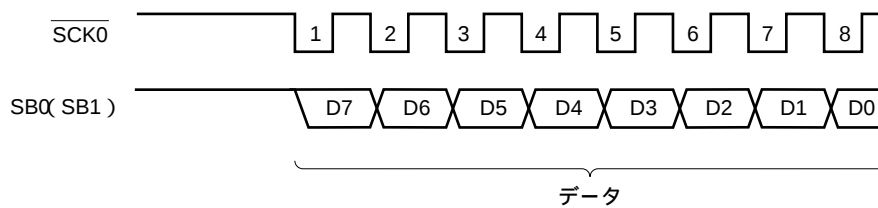


図12 - 18 データ



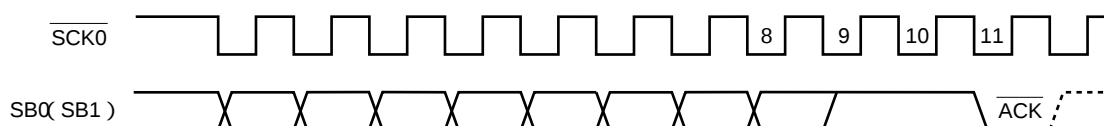
コマンド信号の次の8ビット・データはコマンドと定義されています。コマンド信号なしの8ビット・データはデータと定義されています。コマンド、データの使用方法は、通信の仕様によって任意に決定できます。

(e) アクノリッジ信号($\overline{\text{ACK}}$)

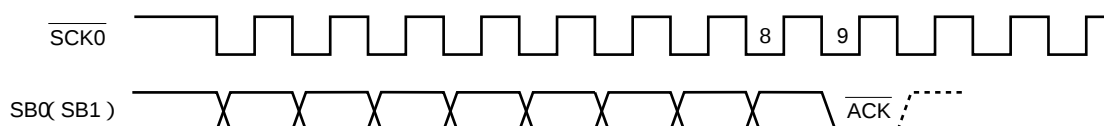
アクノリッジ信号は、送信側と受信側の間における、シリアル・データ受信の確認のための信号です。

図12 - 19 アクノリッジ信号

〔11クロック目の $\overline{\text{SCK0}}$ に同期して出力した場合〕



〔9クロック目の $\overline{\text{SCK0}}$ に同期して出力した場合〕



アクノリッジ信号は、8ビット・データ転送後の $\overline{\text{SCK0}}$ の立ち下がりに同期したワンショット・パルスで、その位置は任意で何クロック目の $\overline{\text{SCK0}}$ に同期させてもかまいません。

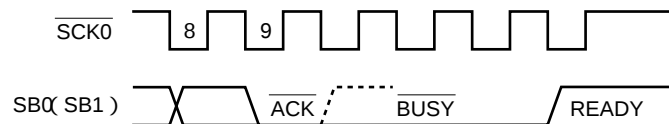
送信側は、8ビット・データ送信後、受信側がアクノリッジ信号を返したかをチェックします。データ送信後、一定時間、アクノリッジ信号が返らない場合は、受信が正しく行われなかったものと判断できます。

(f) ビジィ信号($\overline{\text{BUSY}}$), レディ信号(READY)

ビジィ信号は、スレーブがデータの送受信のための準備中であることをマスタに知らせるための信号です。

レディ信号は、スレーブがデータの送受信が可能であることをマスタに知らせるための信号です。

図12 - 20 ビジィ信号, レディ信号



SBIでは、スレーブが、SB0 (SB1)ラインをロウ・レベルにすることにより、マスタにビジィ状態を知らせます。

ビジィ信号は、マスタ、またはスレーブの出力したアクノリッジ信号に引き続いて出力させます。ビジィ信号は、 $\overline{\text{SCK0}}$ の立ち下がりに同期して、設定/解除を行います。マスタは、ビジィ信号が解除されると自動的にシリアル・クロック $\overline{\text{SCK0}}$ の出力を終了します。

マスタは、ビジィ信号が解除され、レディ信号の状態になると次の転送を開始できます。

注意 SBIでは、 $\overline{\text{BUSY}}$ の解除指示後、次のシリアル・クロックの立ち上がりまで $\overline{\text{BUSY}}$ 信号が出力されます。もし、誤ってこの期間にWUP = 1とすると、 $\overline{\text{BUSY}}$ が解除されなくなってしまう。したがって、WUP = 1とするときは、 $\overline{\text{BUSY}}$ を解除した後に、必ずSB0 (SB1) 端子がハイ・レベルになったことを確認してから行ってください。

(3) レジスタの設定

SBIモードの設定は、シリアル動作モード・レジスタ0(CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)、割り込みタイミング指定レジスタ(SINT)で行います。

(a) シリアル動作モード・レジスタ0(CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、01Hになります。

略号	43210							アドレス	リセット時	R/W	
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	1	FF60H	01H	R/W ^{注1}

R/W	CSIM01	シリアル・インタフェース・チャンネル0のクロックの選択
0		SCK0/SCL/P27端子への外部からの入力クロック
1		タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/P25 端子の機能	SO0/SB1/SDA1/P26 端子の機能	SCK0/SCL/P27 端子の機能
0	x									3線式シリアルI/Oモード(16.4.2 3線式シリアルI/Oモードの動作参照)				
1	0	0	注2 x	注2 x	0	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 [N-chオープン・ ドレイン入出力]	SCK0 (CMOS入出力)
		1	0	0	注2 x	注2 x	0	0	1			SB0 [N-chオープン・ ドレイン入出力]	P26 (CMOS入出力)	
1	1									2線式シリアルI/Oモード(12.4.4 2線式シリアルI/Oモードの動作参照) またはI ² Cバス・モード(12.4.5 I ² Cバス・モードの動作参照)				

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}
0		すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
1		SBIモード時、バス・リリース後(CMDD = RELD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R	COI	スレーブ・アドレス比較結果フラグ ^{注4}
0		スレーブ・アドレス・レジスタとシリアルI/Oソフト・レジスタ0のデータが一致しない
1		スレーブ・アドレス・レジスタとシリアルI/Oソフト・レジスタ0のデータが一致する

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
0		動作停止
1		動作許可

注1．ビット6(COI)は、Read Onlyです。

2．ポート機能として自由に使用できます。

3．ウェイク・アップ機能を使用(WUP = 1)するときは、割り込みタイミング指定レジスタ(SINT)のビット5(SIC)に0を設定してください。

4．CSIE0 = 0のとき、COIは0になります。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

略号	①	アドレス	リセット時	R/W
SBIC	BSYE ACKD ACKE ACKT CMDD RELD CMDT RELT	FF61H	00H	R/W ^注

R/W	RELT	バス・リリース信号出力のために使用する。 RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	CMDT	コマンド信号出力のために使用する。 CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	--

R	RELD	バス・リリース検出	
		クリアされる条件(RELD = 0)	セットされる条件(RELD = 1)
		・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0 = 0のとき ・リセット時	・バス・リリース信号(REL)検出時

R	CMDD	コマンド検出	
		クリアされる条件(CMDD = 0)	セットされる条件(CMDD = 1)
		・転送スタート命令実行時 ・バス・リリース信号(REL)検出時 ・CSIE0 = 0のとき ・リセット時	・コマンド信号(CMD)検出時

(続く)

注 ビット2, 3, 6(RELD, CMDD, ACKD)は、Read Onlyです。

備考1 . ビット0, 1, 4(RELT, CMDT, ACKT)はデータ設定後に読み出すと0になっています。

2 . CSIE0 : シリアル動作モード・レジスタ0(CSIM0)のビット7

R/W	ACKT	セット(1)する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア(0)される。ACEK = 0として使用する。 また、シリアル・インタフェースの転送開始、CSIE0 = 0のときもクリア(0)される。
-----	------	---

R/W	ACEK	アクノリッジ信号出力の制御	
	0	アクノリッジ信号の自動出力禁止(ACKTによる出力は可能)	
	1	転送完了前	$\overline{\text{SCK0}}$ の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する(ACEK = 1により、自動出力される)
		転送完了後	セット(1)する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する(ACEK = 1により、自動出力される)。ただし、アクノリッジ信号を出力後、自動的にクリア(0)されない。

R	ACKD	アクノリッジ検出	
		クリアされる条件(ACKD = 0)	セットされる条件(ACKD = 1)
		・転送スタート命令実行後、ビジィ・モードを解除した直後の $\overline{\text{SCK0}}$ のクロックの立ち下がり時 ・CSIE0 = 0のとき ・リセット時	・転送完了後の $\overline{\text{SCK0}}$ のクロックの立ち上がりエッジでアクノリッジ信号(ACK)検出時

R/W	BSYE ^注	同期ビジィ信号出力の制御	
	0	クリア(0)する命令実行直後の $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジに同期した、ビジィ信号の出力を禁止する(READY状態にする)	
	1	アクノリッジ信号に続く $\overline{\text{SCK0}}$ のクロックの立ち下がりエッジからビジィ信号を出力する。	

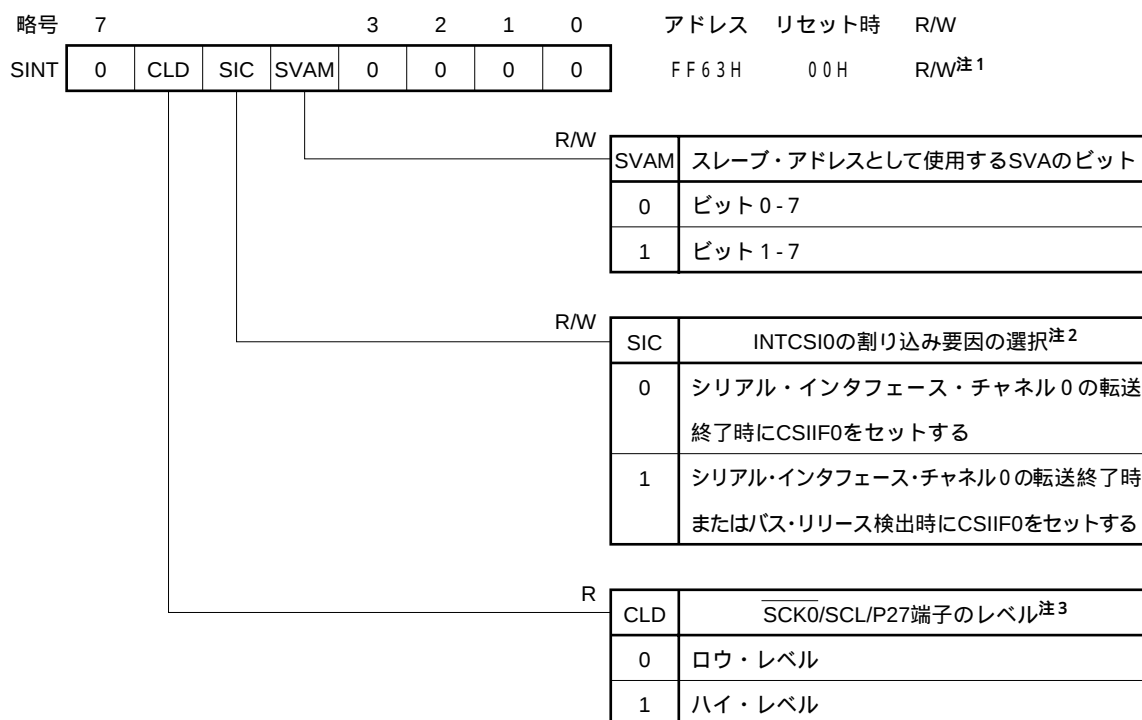
注 シリアル・インタフェースの転送開始によって、ビジィ・モードを解除できます。ただし、BSYEフラグは0にクリアされません。

備考 CSIE0 : シリアル動作モード・レジスタ 0(CSIM0)のビット 7

(c) 割り込みタイミング指定レジスタ(SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。



注1．ビット6(CLD)は、Read Onlyです。

2．SBIモードでウェイク・アップ機能を使用するときは、SICに0を設定してください。

3．CSIE0 = 0のとき、CLDは0になります。

注意 ビット0-3には、必ず0を設定してください。

備考 SVA : スレープ・アドレス・レジスタ

CSIF0 : INTCSI0に対応する割り込み要求フラグ

CSIE0 : シリアル動作モード・レジスタ0(CSIM0)のビット7

(4) 各種信号

SBIにおける、各種の信号と、SBIC上のフラグの動作について図12 - 21から図12 - 26に示します。
また、SBIの各種の信号の一覧を表12 - 4に示します。

図12 - 21 RELT, CMDT, RELD, CMDDの動作(マスタ)

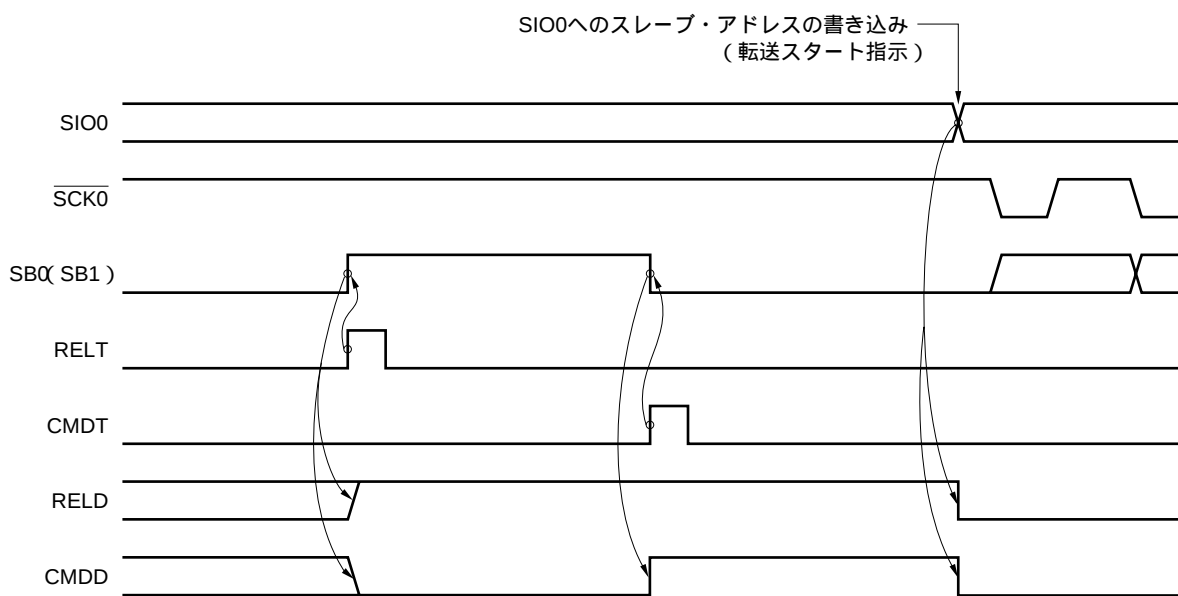


図12 - 22 RELD, CMDDの動作(スレーブ)

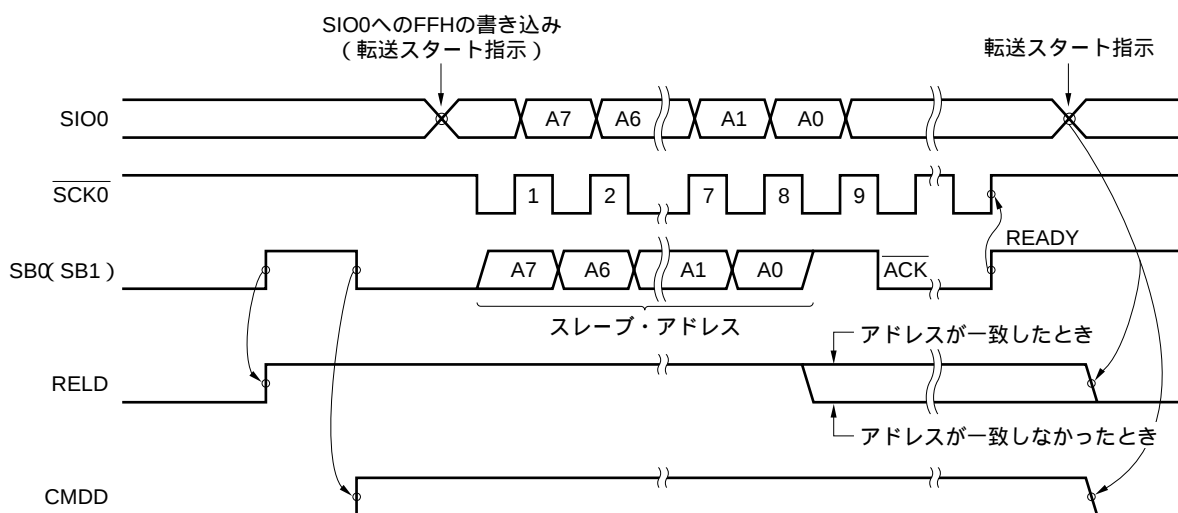
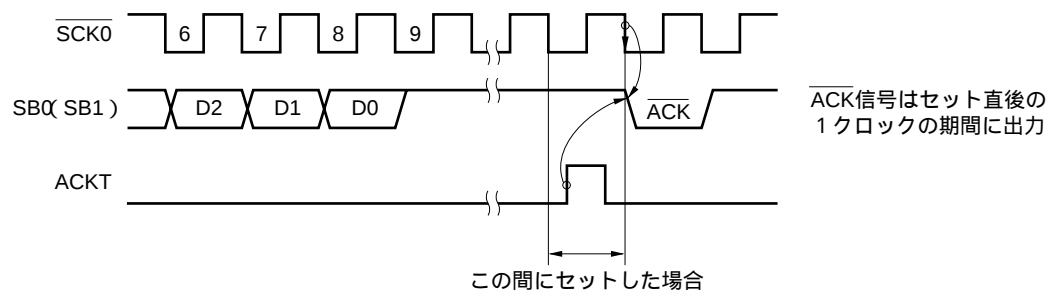


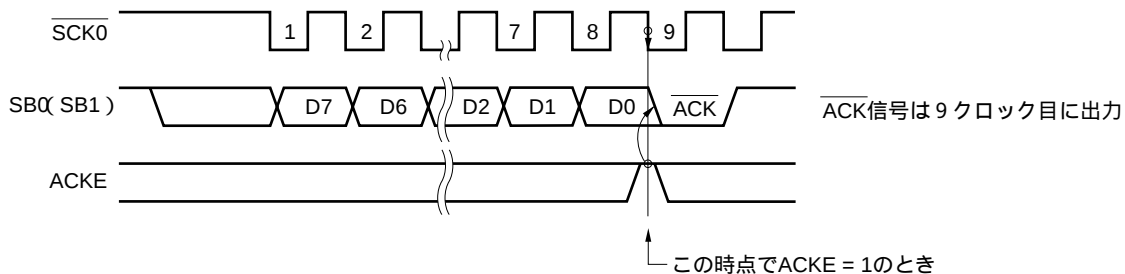
図12 - 23 ACKTの動作



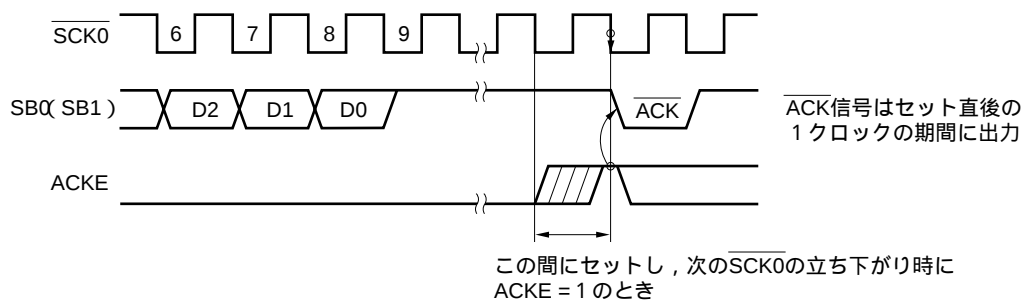
注意 ACKTは転送終了前にはセットしないでください。

図12-24 ACKEの動作

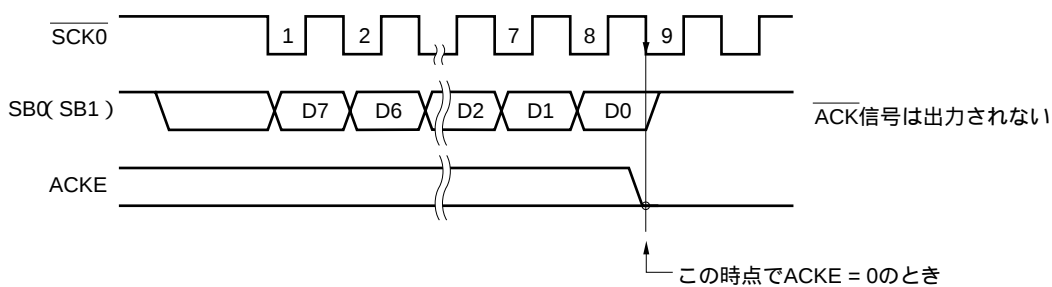
(a) 転送完了時にACKE = 1の場合



(b) 転送完了後にセットした場合



(c) 転送完了時にACKE = 0の場合



(d) ACKE = 1の期間が短い場合

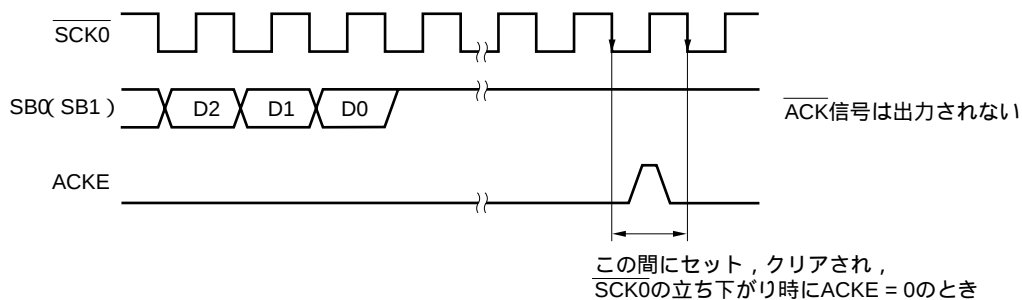
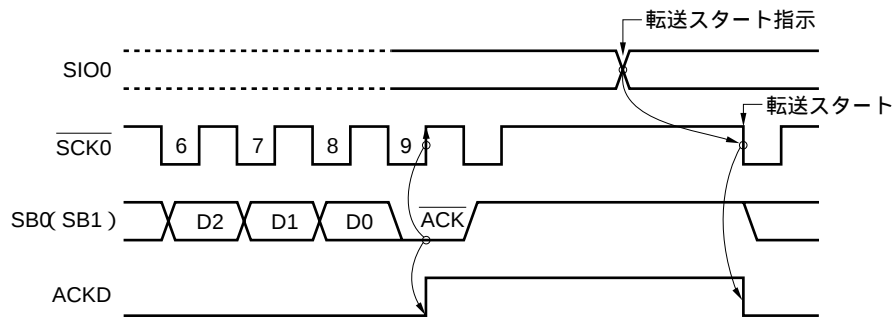
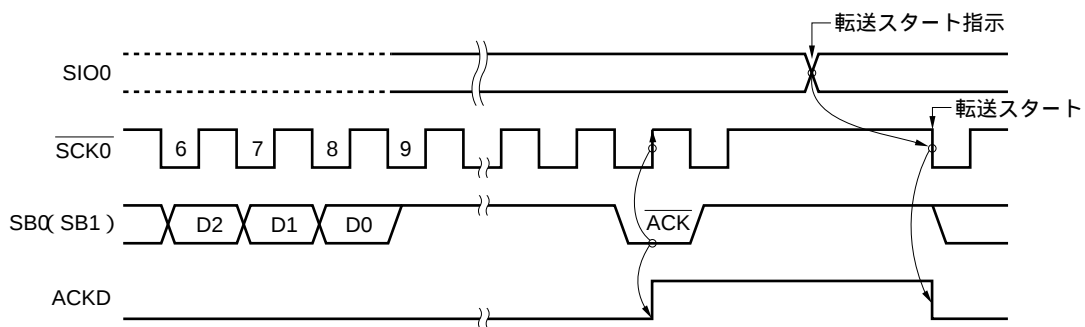


図12 - 25 ACKDの動作

(a) $\overline{\text{SCK0}}$ の9クロック目の期間に $\overline{\text{ACK}}$ 信号が出力された場合(b) $\overline{\text{SCK0}}$ の9クロック目以降に $\overline{\text{ACK}}$ 信号が出力された場合

(c) BUSY中に転送スタート指示した場合のクリアのタイミング

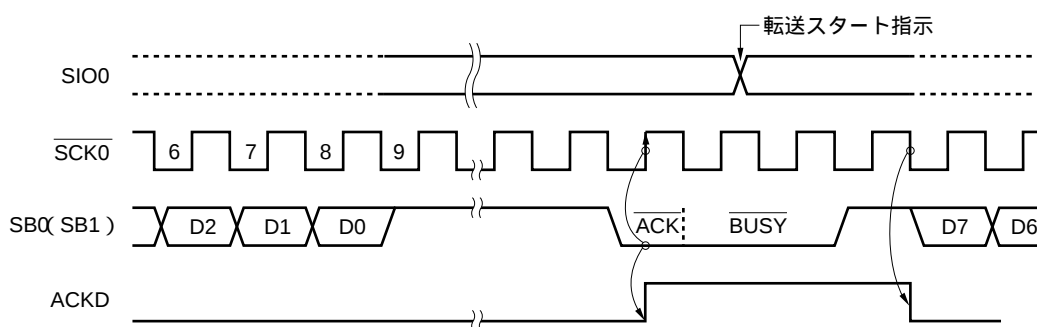


図12 - 26 BSYEの動作

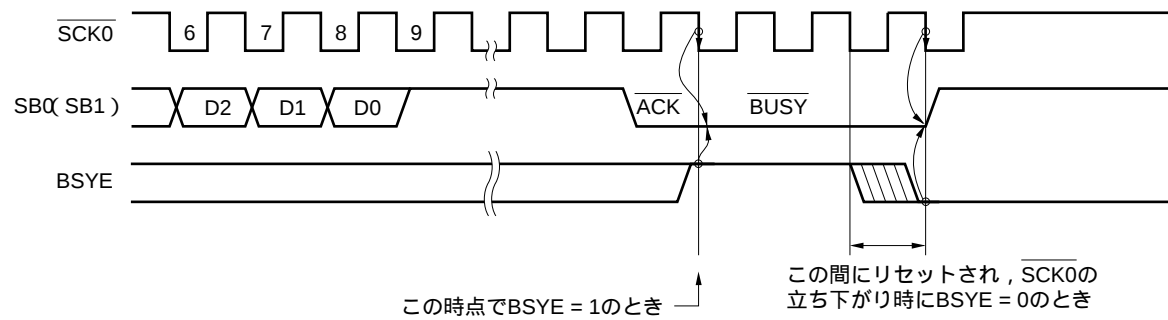
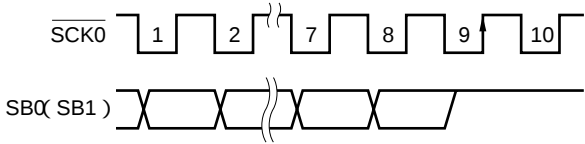
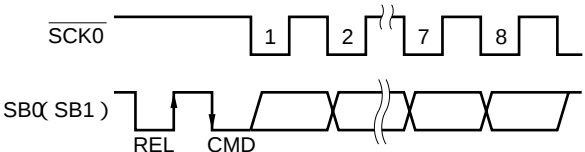
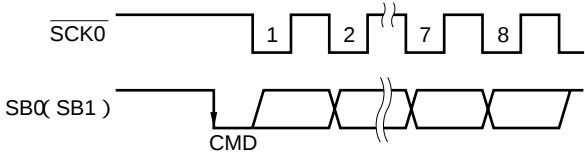
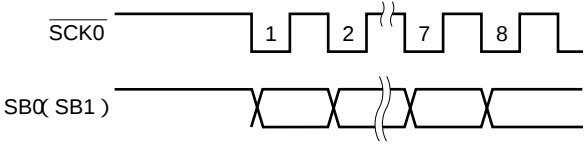


表12 - 4 SBIモードにおける各種の信号(1/2)

信号名称	出力するデバイス	定 義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
パス・リリース 信号 (REL)	マスタ	$\overline{SCK0} = 1$ のときの、 SB α (SB1)の立ち上がり エッジ		RELTのセット	・RELDをセット ・CMDDをクリア	続いてCMD信号を出 かし、送信データがアド レスであることを示 す
コマンド信号 (CMD)	マスタ	$\overline{SCK0} = 1$ のときの、 SB α (SB1)の立ち下がり エッジ		CMDTのセット	CMDDをセット	i) REL信号出力後 送信データはアドレス ii) REL信号出力なし 送信データはコマ ンド
アクノリッジ 信号 (ACK)	マスタ/ スレーブ	シリアル受信完了後、 $\overline{SCK0}$ の1クロックの期間 SB α (SB1)に出力される ロウ・レベルの信号	(同期ビジー出力) 	ACKE = 1 ACKTのセット	ACKDをセット	受信完了
ビジー信号 (BUSY)	スレーブ	(同期ビジー信号) アクノリッジ信号に続いて SB α (SB1)に出力される ロウ・レベルの信号		BSYE = 1	-	処理中のため、シリ アル受信不可能状態
レディ信号 (READY)	スレーブ	シリアル転送開始前、完了後 SB α (SB1)に出力される ハイ・レベルの信号		BSYE = 0 SIO0へのデータ 書き込み命令実行 (転送開始指示)	-	シリアル受信可能状 態

表12 - 4 SBIモードにおける各種の信号(2/2)

信号名称	出力するデバイス	定 義	タイミング・チャート	出力される条件	フラグへの影響	信号の意味
シリアル・ クロック ($\overline{\text{SCK0}}$)	マスタ	アドレス / コマンド / データ , $\overline{\text{ACK}}$ 信号 , 同期 $\overline{\text{BUSY}}$ 信号等 の出力のための同期クロック。 最初の8個でアドレス / コマ ンド / データを転送する。		CSIE0 = 1のときの , SIO0へのデータ書 き込み命令実行(シ リアル転送のスター ト指示) ^{注2}	CSIF0をセット ($\overline{\text{SCK0}}$ の9クロック 目の立ち上がり) ^{注1}	シリアル・データ・ バスへの信号出力の タイミング
アドレス (A7-A0)	マスタ	REL信号 , CMD信号出力後 に , $\overline{\text{SCK0}}$ に同期して転送さ れる8ビット・データ				シリアル・バス上の スレーブ・デバイス のアドレス値
コマンド (C7-C0)	マスタ	REL信号は出力されず , CMD 信号のみ出力された後 , $\overline{\text{SCK0}}$ に同期して転送される 8ビット・データ				スレーブ・デバイス への指示メッセージ
データ (D7-D0)	マスタ / スレーブ	REL信号 , CMD信号ともに 出力されず , $\overline{\text{SCK0}}$ に同期し て転送される8ビット・デー タ				スレーブ , またはマ スタ・デバイスが処 理する数値

注1 . WUP = 0のとき , 常に9クロック目の $\overline{\text{SCK0}}$ の立ち上がりでCSIF0をセットする。

WUP = 1のとき , アドレスを受信し , そのアドレスがスレーブ・アドレス・レジスタ(SVA)の値と一致したときのみ , CSIF0をセットする。

2 . BUSY状態のときは , READY状態になったあと , 転送スタートする。

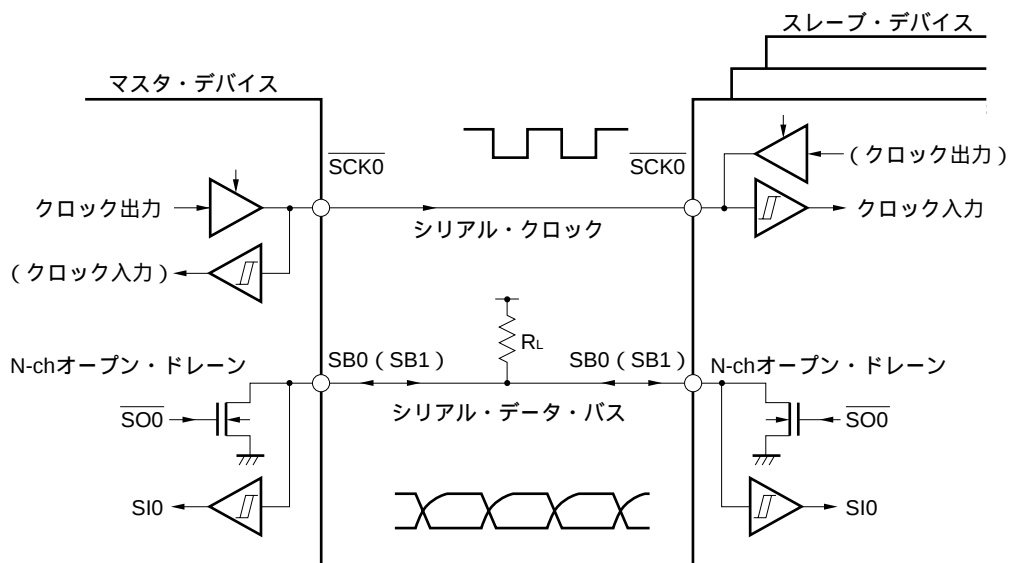
(5) 端子構成

シリアル・クロック端子($\overline{\text{SCK0}}$)と、シリアル・データ・バス端子 SB0 (SB1)の構成は、次のようになっています。

- (a) $\overline{\text{SCK0}}$ シリアル・クロックを入出力するための端子
 マスタ CMOS, プッシュプル出力
 スレーブ ... シュミット入力
- (b) SB0 (SB1) シリアル・データの入出力兼用端子
 マスタ, スレーブ共に出力はN-chオープン・ドレイン, 入力はシュミット入力

シリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図12 - 27 端子構成図



注意 データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、 SIO0 にはあらかじめFFHを書き込んでおいてください。転送中は常にハイ・インピーダンス状態にさせることができます。

ただし、ウェイク・アップ機能指定ビット(WUP)=1の場合は、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となりますので、受信前に、 SIO0 にFFHを書き込む必要はありません。

(6) アドレスの一致検出方法

SBIモードでは、マスタのアドレス通信より、特定のスレーブ・デバイスを選択し、通信がスタートされます。

アドレス一致の検出は、ハードウェアで行います。スレーブ・アドレス・レジスタ(SVA)を備え、ウェイク・アップ状態(WUP = 1)では、マスタから送信されたアドレスとSVAに設定された値が一致したときのみ、CSIF0をセットします。

注意 1 . スレーブの選択、非選択状態の検出は、バス・リリース(RELD = 1 の状態)のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、WUP = 1 の状態で発生するアドレスの一致割り込み要求(INTCSI0)を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出は、WUP = 1 の状態で行ってください。

2 . WUP = 0 で、割り込み要求を使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で行ってください。

(7) エラーの検出

SBIモードでは、送信中のシリアル・バスSBX(SB1)の状態が送信しているデバイスのシリアルI/Oシフト・レジスタ 0(SIO0)にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2 つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ(SVA)を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ 0(CSIM0)のCOIビット(アドレス・コンパレータからの一致信号)をテストし、“ 1 ”ならば正常な送信、“ 0 ”ならば送信エラーと判断します。

(8) 通信動作

SBIモードでは、マスタがシリアル・バス上に「アドレス」を出力することで複数のデバイスのうち、通信対象となるスレーブ・デバイスを通常 1 つ選択します。

通信対象デバイスを決定したのちに、マスタ・デバイスとスレーブ・デバイスとの間で、コマンド、データの送受信を行い、シリアル通信を実現します。

各データ通信のタイミング・チャートを図16 - 27から図16 - 30に示します。

シリアル・クロック($\overline{\text{SCK0}}$)の立ち下がりに同期してシリアルI/Oシフト・レジスタ 0(SIO0)のシフト動作が行われ、送信データがSO0ラッチに、SB0/P25端子または、SB1/P26端子からMSBを先頭にして出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりでSB0(またはSB1)端子に入力された受信データがSIO0にラッチされます。

図12 - 28 マスタ・デバイスからスレーブ・デバイス(WUP = 1)へのアドレス送信動作

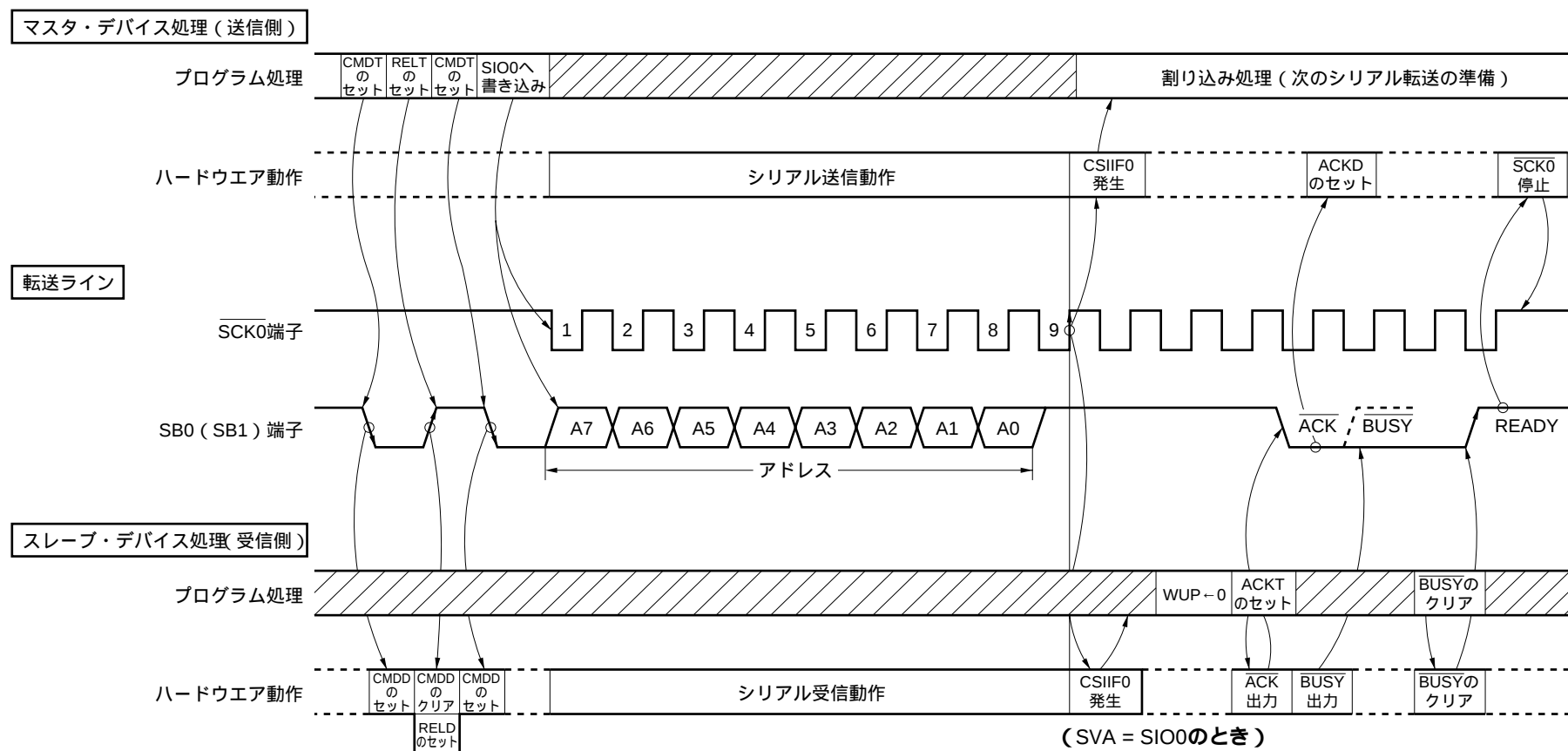


図12 - 29 マスタ・デバイスからスレーブ・デバイスへのコマンド送信動作

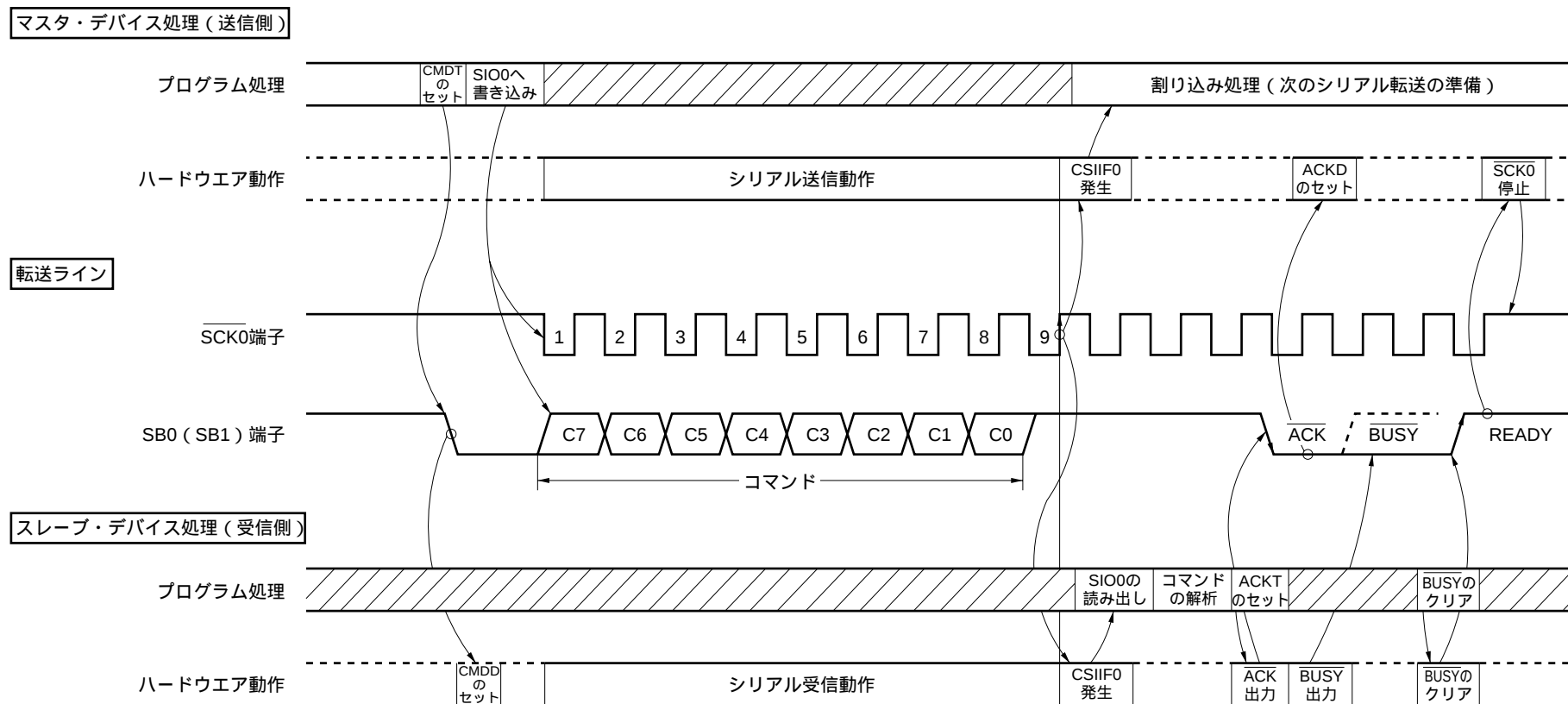


図12 - 30 マスタ・デバイスからスレーブ・デバイスへのデータ送信動作

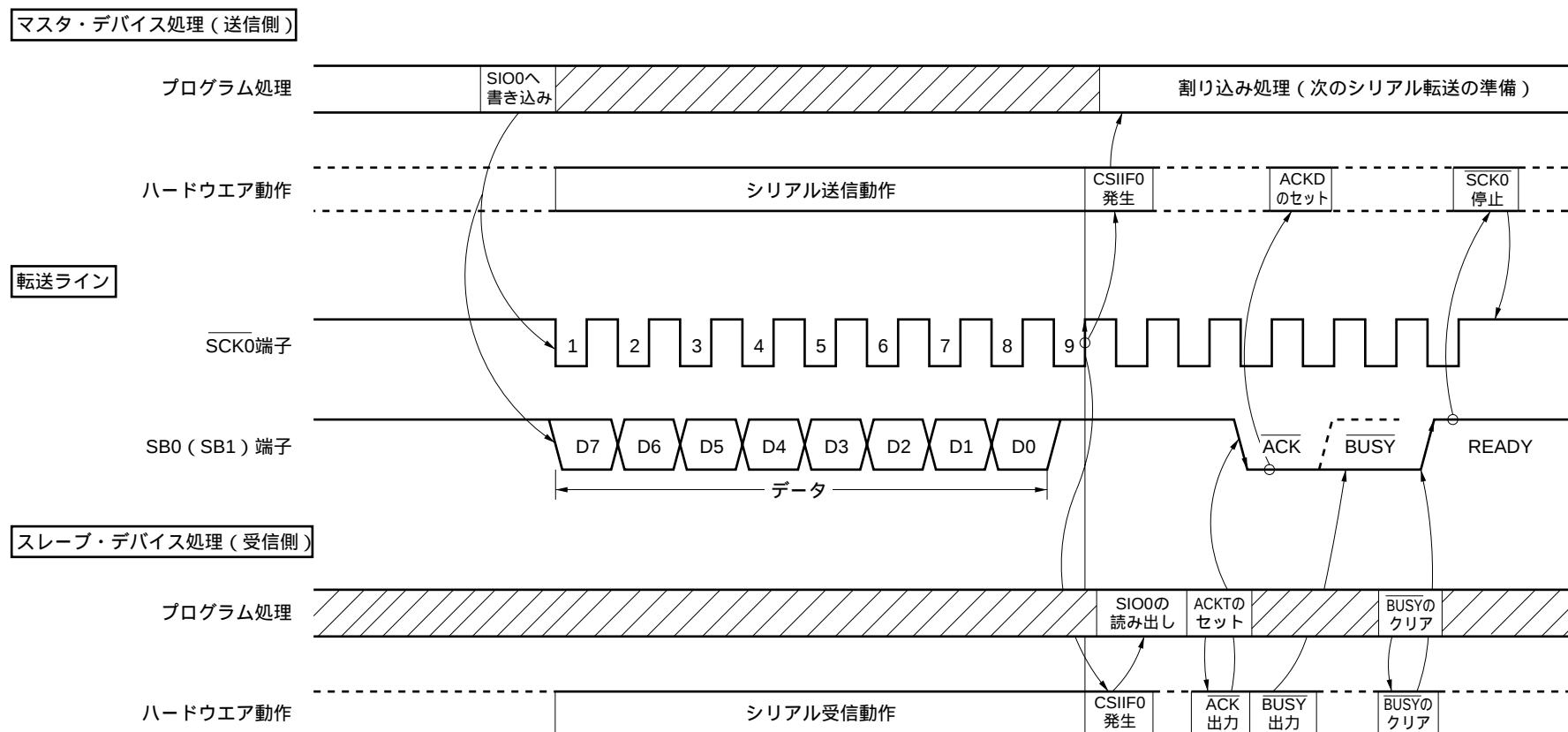
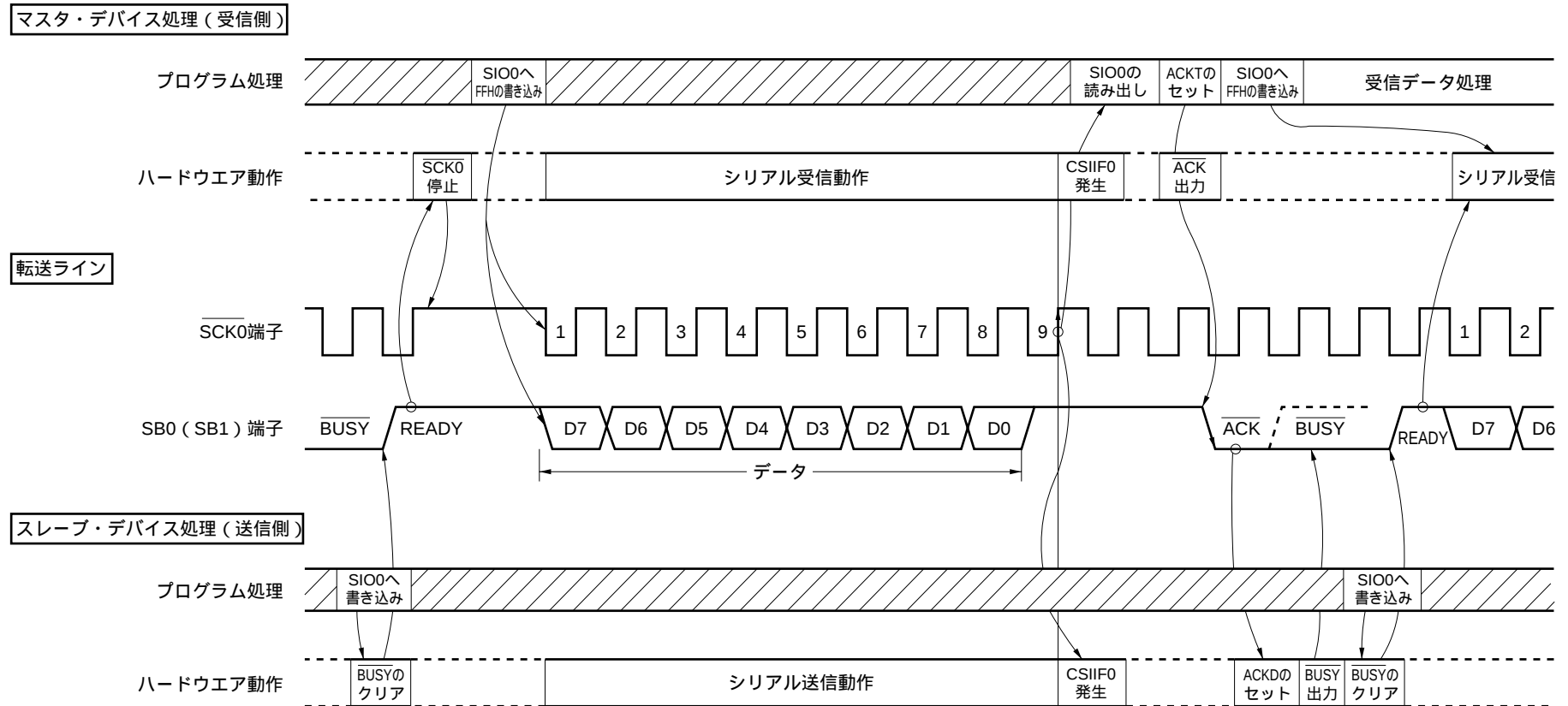


図12 - 31 スレーブ・デバイスからマスタ・デバイスへのデータ送信動作



(9) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0(SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0)= 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK0がハイ・レベルの状態

注意 1 . SIO0にデータを書き込んだあと、CSIE0を' 1 'にしてもスタートはしません。

2 . データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

ただし、ウエイク・アップ機能指定ビット(WUP)= 1の場合は、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となりますので、受信前に、SIO0にFFHを書き込む必要はありません。

3 . スレープがビジィ状態のときに、SIO0にデータを書き込んだ場合、そのデータは失われません。

ビジィ状態が解除されて、SB0(またはSB1)入力がハイ・レベル(レディ)状態になったときに転送がスタートします。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF0)をセットします。

なお、データの入出力として使用する端子(SB0またはSB1)にはリセット入力後、1バイト目のシリアル転送の前に、次の設定を必ず行ってください。

P25, P26の出力ラッチに1を設定する。

シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0(RELT)に1を設定する。

1を設定したP25, P26の出力ラッチに今度は0を設定する。

(10) スレーブのビジィ状態の判別方法

デバイスがマスタ・モードのとき、スレーブがビジィ状態かどうかを判断するには、次の手順で行ってください。

アクノリッジ信号($\overline{\text{ACK}}$)または割り込み要求信号発生を検出する。

SB0/P25(またはSB1/P26)端子のポート・モード・レジスタPM25(またはPM26)を入力モードにする。

端子の状態を読み出す(端子の状態がハイ・レベルならば、レディ状態となっています)。

レディ状態検出後は、ポート・モード・レジスタに0を設定し、出力モードに戻してください。

(11) SBIモードの注意事項

(a) スレーブの選択、非選択状態の検出は、バス・リリース($\text{RELD} = 1$ の状態)のあとに受信したスレーブ・アドレスの一致検出により行います。

この一致検出は、通常、 $\text{WUP} = 1$ の状態が発生するアドレスの一致割り込み要求(INTCSI0)を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出は、 $\text{WUP} = 1$ の状態で行ってください。

(b) $\text{WUP} = 0$ で、割り込みを使用せずに選択、非選択を検出する場合には、アドレスの一致検出による方法を使用せず、あらかじめプログラムで設定したコマンドの送受信で行ってください。

(c) SBIでは、 $\overline{\text{BUSY}}$ の解除指示後、次のシリアル・クロックの立ち下がりまで $\overline{\text{BUSY}}$ 信号が出力されます。もし、誤ってこの期間に $\text{WUP} = 1$ とすると、 $\overline{\text{BUSY}}$ が解除されなくなってしまいます。したがって、 $\text{WUP} = 1$ とするときは、 $\overline{\text{BUSY}}$ を解除したあとに、必ずSB0(SB1)端子がハイ・レベルになったことを確認してから行ってください。

(d) データの入出力として使用する端子には、リセット入力後、1バイト目のシリアル転送の前に、次の設定を必ず行ってください。

P25, P26の出力ラッチに1を設定する。

シリアル・バス・コントロール・レジスタのビット0(RELT)に1を設定する。

1を設定したP25, P26の出力ラッチに今度は0を設定する。

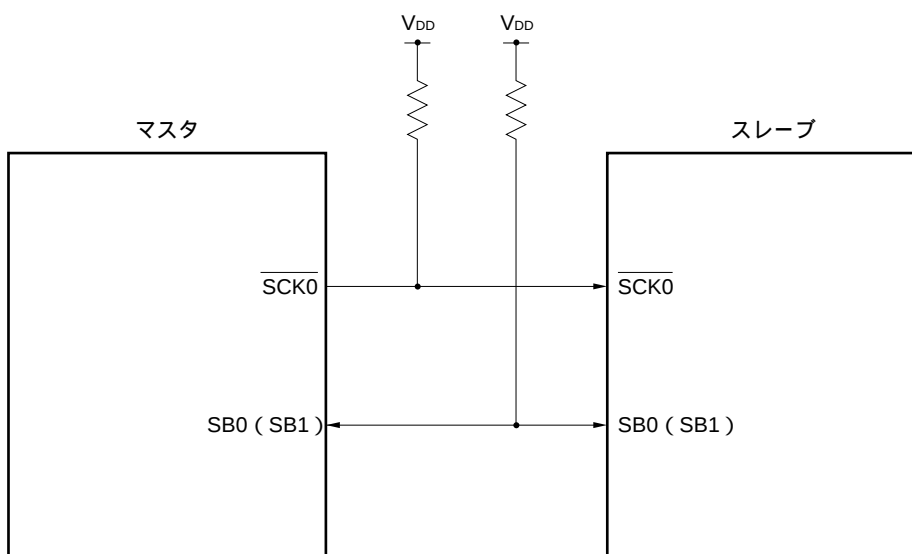
(e) $\overline{\text{SCK0}}$ ラインがハイ・レベルのときに、SB0(SB1)ラインがロウ・レベル→ハイ・レベル、あるいはハイ・レベル→ロウ・レベルに変化すると、バス・リリース信号あるいはコマンド信号と認識されます。したがって、基板容量などの影響でバスの変化タイミングにずれが生じると、データを送信しているにもかかわらず、バス・リリース信号(あるいはコマンド信号)と判断されてしまうことがあります。配線の引き回しには十分注意してください。

12.4.4 2線式シリアルI/Oモードの動作

2線式シリアルI/Oモードは、プログラムにより任意の通信フォーマットに対応できます。

基本的にはシリアル・クロック($\overline{\text{SCK0}}$)、シリアル・データ入力/出力(SB0またはSB1)の2本のラインで通信を行います。

図12 - 32 2線式シリアルI/Oによるシリアル・バス構成例



(1) レジスタの設定

2線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ0(CSIM0), シリアル・バス・インタフェース・コントロール・レジスタ(SBIC), 割り込みタイミング指定レジスタ(SINT)で行います。

(a) シリアル動作モード・レジスタ0(CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、01Hになります。

略号	43210					アドレス	リセット時	R/W			
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	1	FF60H	01H	R/W ^{注1}

R/W	CSIM01	シリアル・インタフェース・チャンネル0のクロックの選択
	0	SCK0/SCL/P27端子への外部からの入力クロック
	1	タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

R/W	CSIM	CSIM	CSIM	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/P25	SO0/SB1/SDA1/P26	SCK0/SCL/P27
	04	03	02									端子の機能	端子の機能	端子の機能
	0	×	×	3線式シリアルI/Oモード(12.4.2 3線式シリアルI/Oモードの動作参照)										
	1	0	×	SBIモード(12.4.3 SBIモードの動作参照)										
	1	1	0	注2 ×	注2 ×	0	0	0	1	2線式シリアルI/Oモード または I ² Cバス・モード (12.4.5参照)	MSB	P25 (CMOS入出力)	SB1/SDA1 [N-chオープン・ ドレイン入出力]	SCK0/SCL [N-chオープン・ ドレイン入出力]
			1	0	0	注2 ×	注2 ×	0	1			SB0/SDA0 [N-chオープン・ ドレイン入出力]	P26 (CMOS入出力)	

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	バス・リリース後(CMDD = RELD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R	COI	スレーブ・アドレス比較結果フラグ ^{注4}
	0	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
	1	スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
	0	動作停止
	1	動作許可

注1．ビット6(COI)は、Read Onlyです。

2．ポート機能として自由に使用できます。

3．2線式シリアルI/Oモード使用時は必ずWUPに0を設定してください。

4．CSIE0 = 0のとき、COIは0になります。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット時は、00Hになります。

略号

①

アドレス

リセット時

R/W

SBIC

BSYE

ACKD

ACKE

ACKT

CMDD

RELD

CMDT

RELT

FF61H

00H

R/W

R/W

RELT

RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。
また、CSIE0 = 0のときもクリア(0)される。

R/W

CMDT

CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。
また、CSIE0 = 0のときもクリア(0)される。

CSIE0：シリアル動作モード・レジスタ 0(CSIM0)のビット 7

(c) 割り込みタイミング指定レジスタ(SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット時は、00Hになります。

略号

7

3

2

1

0

アドレス

リセット時

R/W

SINT

0

CLD

SIC

SVAM

0

0

0

0

FF63H

00H

R/W^{注1}

R/W

SIC

INTCSI0の割り込み要因の選択

0

シリアル・インタフェース・チャンネル0の転送終了時にCSIIF0をセットする

1

シリアル・インタフェース・チャンネル0の転送終了時またはバス・リリース検出時にCSIIF0をセットする

R

CLD

SCK0/SCL/P27端子のレベル^{注2}

0

ロウ・レベル

1

ハイ・レベル

注意 ビット 0 - 3 には、必ず 0 を設定してください。

注 1 . ビット 6(CLD)は、Read Onlyです。
2 . CSIE0 = 0のとき、CLDは 0 になります。

備考 CSIIF0：INTCSI0に対応する割り込み要求フラグ
CSIE0：シリアル動作モード・レジスタ 0(CSIM0)のビット 7

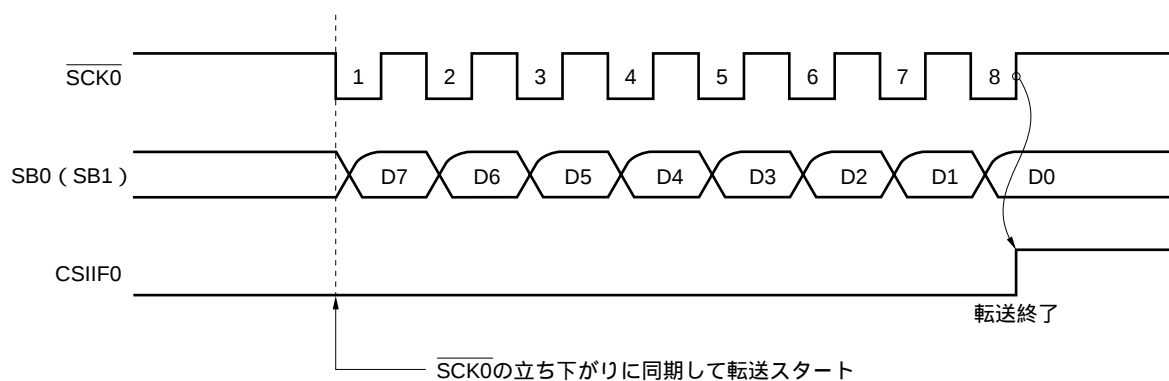
(2) 通信動作

2線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタ0(SIO0)のシフト動作は、シリアル・クロック($\overline{\text{SCK0}}$)の立ち下がりに同期して行われます。そして、送信データがSO0ラッチに保持され、SB0/P25(またはSB1/P26)端子からMSBを先頭にして出力されます。また、 $\overline{\text{SCK0}}$ の立ち上がりで、SB0(またはSB1)端子から入力された受信データがシフト・レジスタにラッチされます。

8ビット転送終了により、シフト・レジスタの動作は自動的に停止し、割り込み要求フラグ(CSIF0)がセットされます。

図12-33 2線式シリアルI/Oモードのタイミング



シリアル・データ・バスに指定されたSB0(またはSB1)端子は、N-chオープン・ドレイン入出力となりますので、外部でプルアップする必要があります。また、データの受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にさせる必要があるため、SIO0にはあらかじめFFHを書き込んでおきます。

SB0(またはSB1)端子は、SO0ラッチの状態を出力しますので、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0(RELT)、ビット1(CMDT)のセットによって、SB0(またはSB1)端子の出力状態を操作できます。

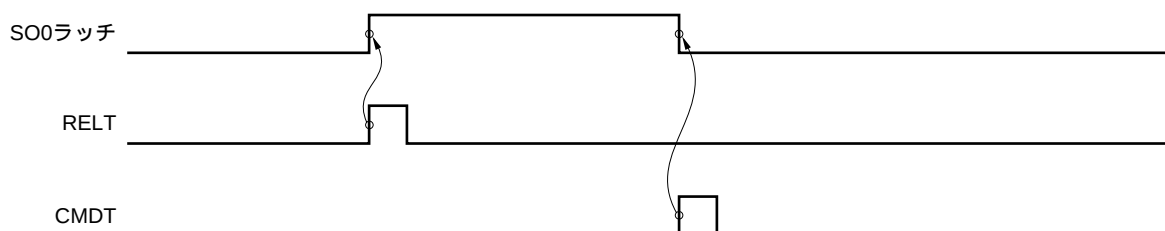
ただし、シリアル転送中にはこの操作を行わないでください。

$\overline{\text{SCK0}}$ 端子の出力レベルは、出力モード(内部システム・クロックのモード)時に、P27出力ラッチを操作して制御します(12.4.8 $\overline{\text{SCK0}}$ /SCL/P27端子出力の操作を参照)。

(3) 各種信号

図12 - 34にRELT, CMDTの動作を示します。

図12 - 34 RELT, CMDTの動作



(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0(SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、または $\overline{\text{SCK0}}$ がハイ・レベルの状態

注意1 . SIO0にデータを書き込んだあと、CSIE0を"1"にしても、転送はスタートしません。

- 2 . データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、SIO0にはあらかじめFFHを書き込んでおいてください。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF0)をセットします。

(5) エラーの検出

2線式シリアルI/Oモードでは、送信中のシリアル・バスSBQ(SB1)の状態が送信しているデバイスのシリアルI/Oシフト・レジスタ0(SIO0)にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したと判断します。

(b) スレーブ・アドレス・レジスタ(SVA)を利用する方法

送信データをSIO0とSVAにもセットし、送信を行います。送信終了後に、シリアル動作モード・レジスタ0(CSIM0)のCOIビット(アドレス・コンパレータからの一致信号)をテストし、“1”ならば正常な送信、“0”ならば送信エラーと判断します。

12.4.5 I²Cバス・モードの動作

I²Cバス・モードは、I²Cバスのシングルマスタおよびスレーブ動作を行う場合に使用します。I²Cバス・モードは、シングルマスタのシリアル・バスで、シリアル・クロック(SCL)と、シリアル・データ・バス(SDA0またはSDA1)の2本の信号線で複数のデバイス(スレーブ)との通信を行うことができるように、クロック同期式のシリアルI/O方式に、バス構成のための機能が追加されたフォーマットになっています。そのため、複数のマイコンや周辺ICでシリアル・バスを構成する場合に、使用するポート数や基板上の配線数を削減することができます。

マスタは、スレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“データ”、および“ストップ・コンディション”を出力することができます。

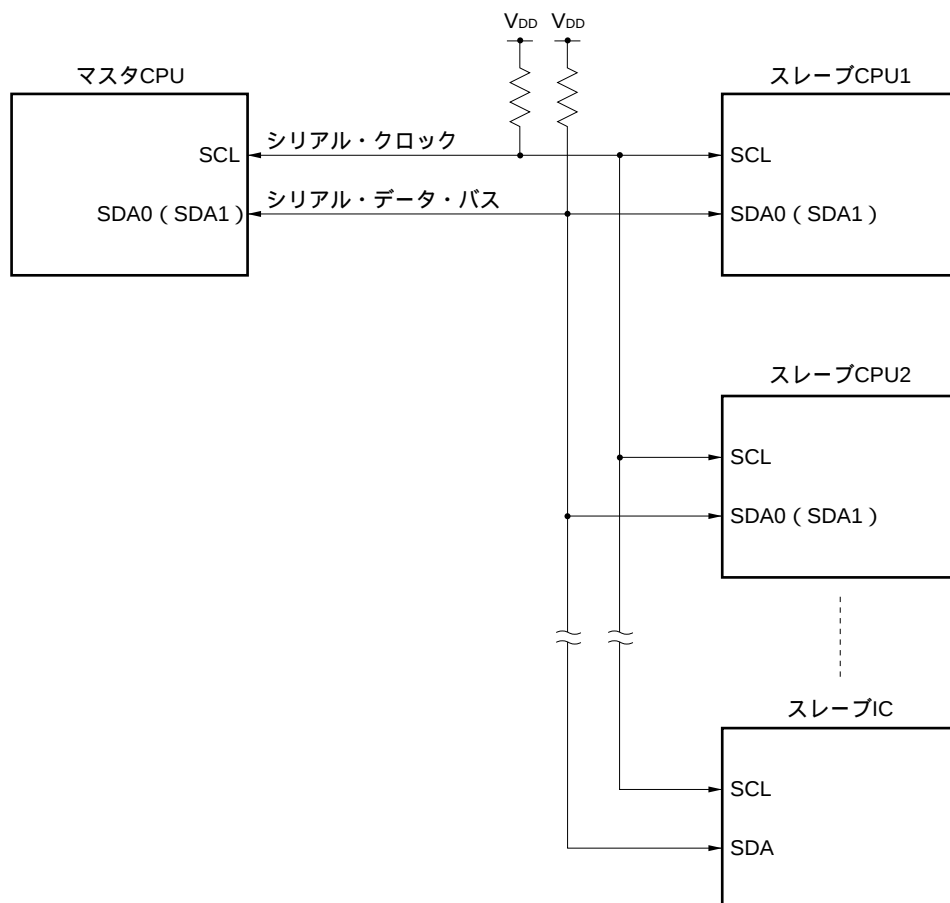
スレーブは、受信したこれらのデータをハードウェアにより自動的に検出します。この機能により、応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²Cバスに準拠するシリアル・インタフェースを持つCPUや、周辺ICを使用した場合のシリアル・バス構成例を図12 - 35に示します。

I²Cバスでは、シリアル・クロック端子(SCL)と、シリアル・データ・バス端子(SDA0またはSDA1)は、N-chオープン・ドレイン出力になっているため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

I²Cバス・モードにおける各種信号の説明の一覧が表12 - 5にありますので参照してください。

図12 - 35 I²Cバスによるシリアル・バス構成例



(1) I²Cバス・モードの機能

I²Cバス・モードの機能について次に示します。

(a) シリアル・データの自動判別機能

シリアル・データ・バス上の「スタート・コンディション」、「データ」および「ストップ・コンディション」を自動的に検出します。

(b) アドレスによるチップ・セレクト

マスタ動作時は、スレーブ・アドレスを送信することにより、I²Cバスに接続した特定のスレーブ・デバイスを選択し、通信できます。

(c) ウェイク・アップ機能

スレーブ動作時は、受信したアドレスがスレーブ・アドレス・レジスタ(SVA)の値と一致した場合に割り込みを発生します(ストップ・コンディション検出時にも割り込みが発生します)。したがって、I²Cバス上の選択されたスレーブ以外のCPUはシリアル通信に関係なく動作できます。

(d) アクノリッジ信号($\overline{\text{ACK}}$)制御機能

マスタ/スレーブ動作時に、シリアル通信が正常に実行されたことを確認するためのアクノリッジ信号を制御できます。

(e) ウェイト信号($\overline{\text{WAIT}}$)制御機能

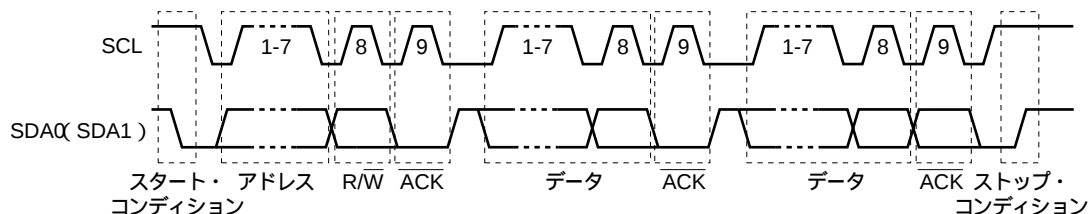
スレーブ・デバイスは、ウェイト状態を知らせるためのウェイト信号制御が行えます。

(2) I²Cバスの定義

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に出力される「スタート・コンディション」、「データ」、および「ストップ・コンディション」の各転送タイミングを図12 - 36に示します。

図12 - 36 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが出力します。

アクノリッジ信号($\overline{\text{ACK}}$)は、マスタ、スレーブのどちらでも出力できます(通常、8ビット・データの受信側が出力します)。

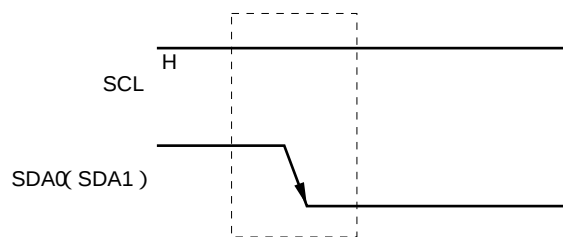
シリアル・クロック(SCL)は、マスタが出力し続けます。

(a) スタート・コンディション

SCL端子がハイ・レベルのときに、SDA α (SDA1)端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。したがって、SCL, SDA α (SDA1)端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出る信号です。スタート・コンディションの出力については12.4.6 I²Cバス・モード使用時の注意事項を参照してください。

スレーブはスタート・コンディションを検出するハードウェアを内蔵しています。

図12 - 37 スタート・コンディション



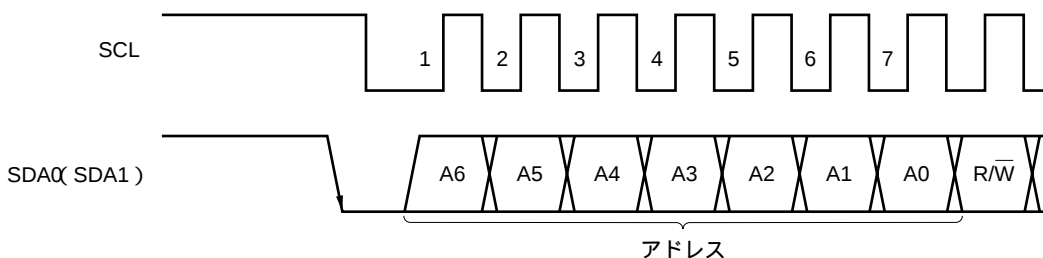
(b) アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブはすべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアによってこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ(SVA)と一致しているかを調べます。このとき、7ビット・データとスレーブ・アドレス・レジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを送信するまでマスタとの通信を行います。

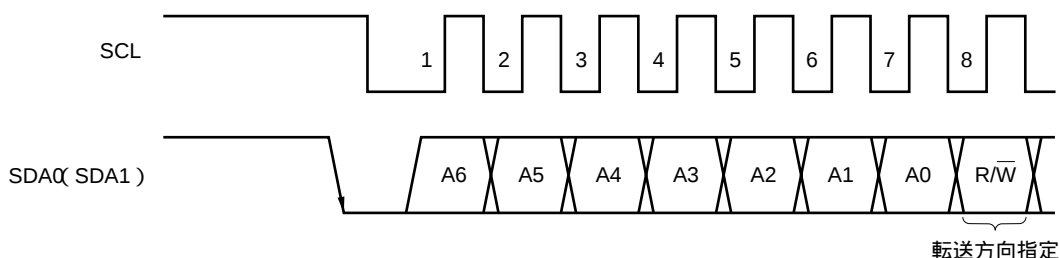
図12 - 38 アドレス

**(c) 転送方向指定**

マスタは、7ビットのアドレスに続いて、転送方向を指定するため1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図12 - 39 転送方向指定



(d) アクノリッジ信号 ($\overline{\text{ACK}}$)

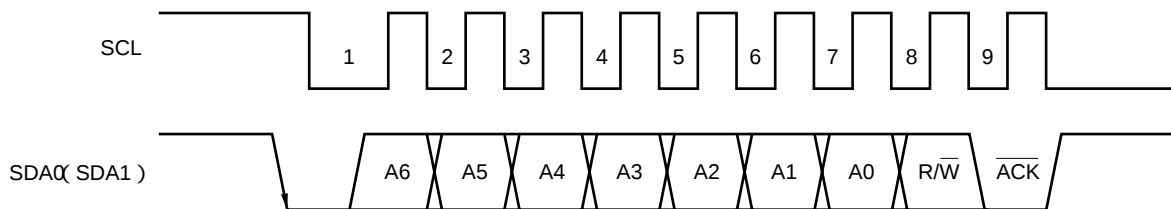
アクノリッジ信号は、送信側と受信側における、シリアル・データ受信の確認のための信号です。受信側は、8ビット・データを受信することにアクノリッジ信号を返します。

受信側は、通常、8ビット・データ受信後、アクノリッジ信号を出力します。

ただしマスタが受信の場合、最終データを受信したときはアクノリッジ信号を出力しません。

送信側は、8ビット送信後、受信側からアクノリッジ信号が返されたか検出を行います。アクノリッジ信号が返されたとき、受信が正しく行われたものとして次の処理を行います。また、スレーブからアクノリッジ信号が返らない場合は、受信が正しく行われないので、マスタは、ストップ・コンディションを出力し送信を中止します。

図12 - 40 アクノリッジ信号

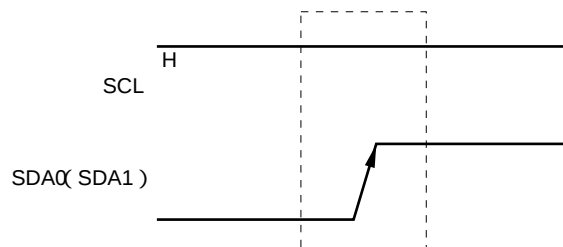
**(e) ストップ・コンディション**

SCL端子がハイ・レベルのときに、SDA(SDA1)端子がロウ・レベルからハイ・レベルに変化するとストップ・コンディションとなります。

ストップ・コンディションはマスタがスレーブに対してシリアル転送が終了したときに出力する信号です。

スレーブはストップ・コンディションを検出するハードウェアを内蔵しています。

図12 - 41 ストップ・コンディション



(f) ウェイト信号 ($\overline{\text{WAIT}}$)

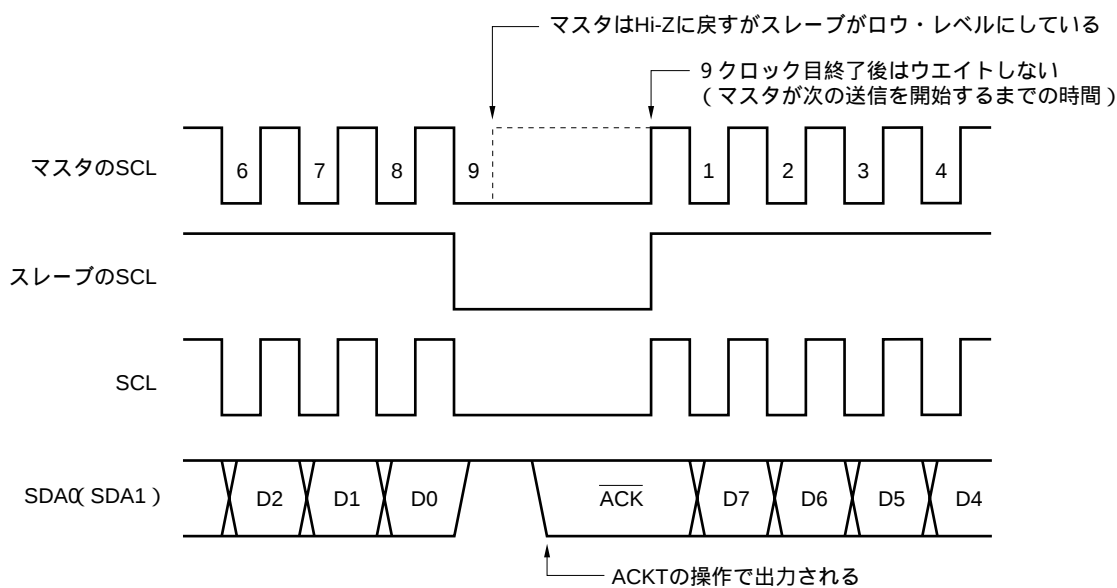
ウェイト信号は、スレーブがデータの送受信のための準備中(ウェイト状態)であることをマスタに知らせるための信号です。

スレーブは、SCL端子をロウ・レベルにすることにより、マスタにウェイト状態を知らせます。

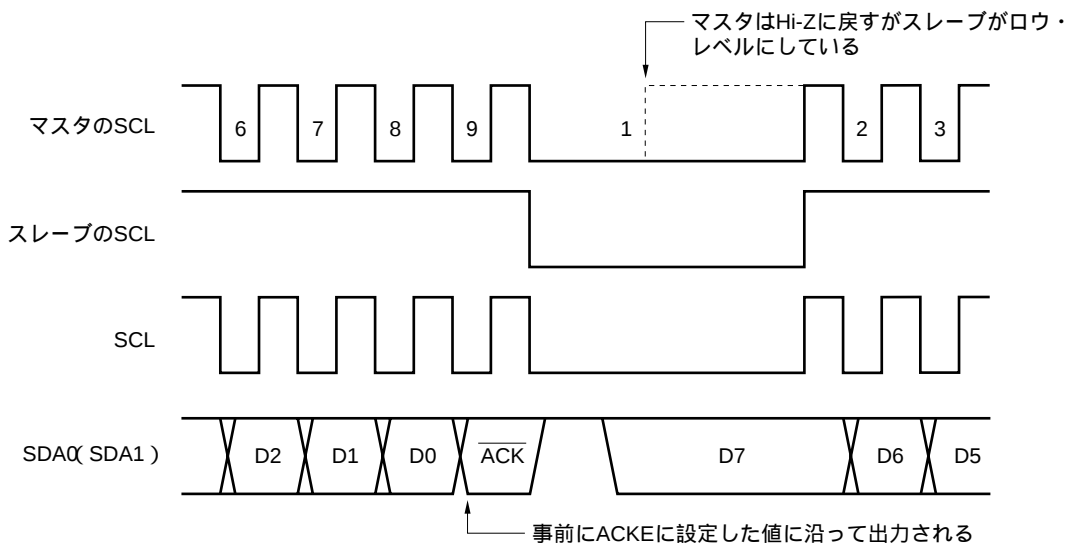
マスタは、ウェイト状態が解除されると、次の転送を開始することができます。スレーブのウェイト解除については、12.4.6 I²Cバス・モード使用時の注意事項を参照してください。

図12-42 ウェイト信号

(a) 8クロック・ウェイト時



(b) 9クロック・ウェイト時



(3) レジスタの設定

I²Cバス・モードの設定は、シリアル動作モード・レジスタ0(CSIM0)、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)、割り込みタイミング指定レジスタ(SINT)で行います。

(a) シリアル動作モード・レジスタ0 (CSIM0)

CSIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、01Hになります。

略号	43210								アドレス	リセット時	R/W
CSIM0	CSIE0	COI	WUP	CSIM04	CSIM03	CSIM02	CSIM01	1	FF60H	01H	R/W ^{注1}

R/W	CSIM01	シリアル・インタフェース・チャンネル0のクロックの選択
0		SCK0/SCL/P27端子への外部からの入力クロック
1		タイマ・クロック選択レジスタ3(TCL3)のビット0-ビット3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	PM25	PM26	PM26	PM27	PM27	動作モード	先頭ビット	SI0/SB0/SDA0/ P25端子の機能	SO0/SB1/SDA1/ P26端子の機能	SCK0/SCL/ P27端子の機能
0	×									3線式シリアルI/Oモード(12.4.2 3線式シリアルI/Oモードの動作参照)				
1	0									SBIモード(12.4.3 SBIモードの動作参照)				
1	1	0	注2 ×	注2 ×	0	0	0	0	1	2線式シリアル I/Oモード (12.4.4参照)	MSB	P25 (CMOS入出力)	SB1/SDA1 (N-chオープン・ ドレイン入出力)	SCK0/SCL (N-chオープン・ ドレイン入出力)
		1	0	0	注2 ×	注2 ×	0	0	1	または I ² Cバス・モード		SB0/SDA0 (N-chオープン・ ドレイン入出力)	P26 (CMOS入出力)	

R/W	WUP	ウェイク・アップ機能の制御 ^{注3}
0		すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
1		I ² Cバス・モード時、スタート・コンディション検出後(CMDD = 1のとき)に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき、割り込み要求信号を発生

R	COI	スレーブ・アドレス比較結果フラグ ^{注4}
0		スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致しない
1		スレーブ・アドレス・レジスタとシリアルI/Oシフト・レジスタ0のデータが一致する

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御
0		動作停止
1		動作許可

注1．ビット6(COI)は、Read Onlyです。

2．ポート機能として自由に使用できます。

3．ウェイク・アップ機能を使用(WUP = 1)するときは、割り込みタイミング指定レジスタ(SINT)のビット5(SIC)に1を設定してください。また、WUP = 1の期間にシリアルI/Oシフト・レジスタ0(SIO0)への書き込み命令を実行しないでください。

4．CSIE0 = 0のとき、COIは0になります。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

(b) シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

SBICは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

略号	①								アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W ^注

R/W	RELT	ストップ・コンディション出力のために使用する。 RELT = 1により、SOラッチがセット(1)される。SOラッチをセット後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	--

R/W	CMDT	スタート・コンディション出力のために使用する。 CMDT = 1により、SOラッチがクリア(0)される。SOラッチをクリア後、自動的にクリア(0)される。 また、CSIE0 = 0のときもクリア(0)される。
-----	------	--

R	RELD	ストップ・コンディション検出	
		クリアされる条件(RELD = 0)	セットされる条件(RELD = 1)
		・ 転送スタート命令実行時 ・ アドレス受信時にSIO0とSVAの値が一致しないとき ・ CSIE0 = 0のとき ・ リセット時	・ ストップ・コンディション検出時

R	CMDD	スタート・コンディション検出	
		クリアされる条件(CMDD = 0)	セットされる条件(CMDD = 1)
		・ 転送スタート命令実行時 ・ ストップ・コンディション検出時 ・ CSIE0 = 0のとき ・ リセット時	・ スタート・コンディション検出時

R/W	ACKT	セット(1)する命令実行直後から次のSCLの立ち下がりまでSDA $\overline{\text{X}}$ (SDA1)をロウ・レベルにする。 8クロック・ウェイト選択時に、ソフトウェアで $\overline{\text{ACK}}$ 信号を生成するために使用する。 また、シリアル・インタフェースの転送開始、CSIE0 = 0のときクリア(0)される。
-----	------	---

(続く)

注 ビット2, 3, 6(RELD, CMDD, ACKD)は、Read Onlyです。

R/W	ACKE	アクノリッジ信号の自動出力の制御 ^{注1}
	0	アクノリッジ信号の自動出力禁止(ACKTによる出力は可能) 送信時または8クロック・ウェイト選択時で受信の場合に使用する。 ^{注2}
	1	アクノリッジ信号の自動出力許可。 SCLの9クロック目の立ち下がりエッジに同期して、アクノリッジ信号を出力する(ACKE = 1により、自動出力される)。出力後、自動的にクリア(0)されない。 9クロック・ウェイト選択時で受信の場合に使用する。

R	ACKD	アクノリッジ検出
	クリアされる条件(ACKD = 0) ・転送スタート命令実行時 ・CSIE0 = 0のとき ・リセット時	
	セットされる条件(ACKD = 1) ・転送完了後のSCLのクロックの立ち上がりエッジでアクノリッジ信号検出時	

R/W	BSYE ^{注3}	I ² Cバス・モード時の送信用N-chオープン・ドレイン出力の制御 ^{注4}
	0	出力許可(送信)
	1	出力禁止(受信)

注1．転送開始前に設定してください。

2．8クロック・ウェイト選択時では、受信時のアクノリッジ信号はACKTを用いて出力してください。

3．シリアル・インタフェースの転送開始、またはアドレス信号受信によってウェイト状態を解除できません。ただし、BSYEはクリア(0)されません。

4．ウェイク・アップ機能を使用するときには、必ずBSYEに1を設定してください。

備考 CSIE0：シリアル動作モード・レジスタ0(CSIM0)のビット7

(c) 割り込みタイミング指定レジスタ (SINT)

SINTは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

略号	7							1		0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	CLC	WREL	WAT1	WAT0	FF63H	00H	R/W ^{注1}		

R/W	WAT1	WAT0	ウェイトおよび割り込みの制御 ^{注2}
	0	0	SCK0の8クロック目の立ち上がりで割り込み処理要求を発生する(クロック出力はハイ・インピーダンス)。
	0	1	設定禁止
	1	0	I ² Cバス・モード時に使用する(8クロック・ウェイト)。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、8クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、8クロック入力後、SCL端子をロウ・レベルにしてウェイト要求する)。
	1	1	I ² Cバス・モード時に使用する(9クロック・ウェイト)。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、9クロック出力後、SCL出力をロウ・レベルにしてウェイトする。スレーブの場合、9クロック入力後、SCL端子をロウ・レベルにしてウェイト要求する)。

R/W	WREL	ウェイト解除の制御
	0	ウェイト解除状態
	1	ウェイト状態を解除する。 解除後自動的にクリア(0)される(WAT0, WAT1によるウェイト状態の解除に使用する)。

R/W	CLC	クロック・レベルの制御
	0	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをロウ・レベルにする。
	1	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをハイ・インピーダンスにする(クロック・ラインはハイ・レベル)。 マスタがスタート/ストップ・コンディションを生成するために使用する。

(続く)

注1．ビット6(CLD)は、Read Onlyです。

2．I²Cバス・モード使用時は、WAT1, WAT0に1, 0または1, 1を設定してください。

R/W	SVAM	スレーブ・アドレスとして使用するSVAのビット
	0	ビット0-7
	1	ビット1-7

R/W	SIC	INTCSI0の割り込み要因の選択 ^{注1}
	0	シリアル・インタフェース・チャンネル0の転送終了時にCSIIF0をセット(1)する。
	1	シリアル・インタフェース・チャンネル0の転送終了時、またはストップ・コンディション検出時にCSIIF0をセット(1)する。

R	CLD	$\overline{\text{SCK0}}/\text{SCL}/\text{P27}$ 端子のレベル ^{注2}
	0	ロウ・レベル
	1	ハイ・レベル

注1．I²Cバス・モードでウエイク・アップ機能を使用するときは、SICに1を設定してください。

2．CSIE0 = 0のとき、CLDは0になります。

備考 SVA : スレーブ・アドレス・レジスタ

CSIIF0 : INTCSI0に対応する割り込み要求フラグ

CSIE0 : シリアル動作モード・レジスタ0(CSIM0)のビット7

(4) 各種信号

I²Cバス・モードにおける各種の信号の一覧を表12 - 5 に示します。

表12 - 5 I²Cバス・モードにおける各種の信号

信号名称	出力するデバイス	定 義	出力される条件	フラグへの影響	信号の意味
スタート・コンディション	マスタ	SCLがハイ・レベルのときのSDA $\overline{\text{Q}}$ (SDA1)の立ち下がりエッジ ^{注1}	CMDTのセット	CMDDをセット	次にアドレスを送信し、シリアル通信を開始することを示す
ストップ・コンディション	マスタ	SCLがハイ・レベルのときのSDA $\overline{\text{Q}}$ (SDA1)の立ち上がりエッジ ^{注1}	RELTのセット	・RELDをセット ・CMDDをクリア	シリアル送信の終了を示す
アクノリッジ信号($\overline{\text{ACK}}$)	マスタ/ スレーブ	シリアル受信完了後、SCLの1クロック期間に出力されるSDA $\overline{\text{Q}}$ (SDA1)のロウ・レベル信号	・ACK $\overline{\text{E}}$ = 1 ・ACKTのセット	ACKDをセット	1バイトの受信が完了したことを示す
ウェイト($\overline{\text{WAIT}}$)	スレーブ	SCLに出力されるロウ・レベル信号	WAT1, WAT0 = 1 ×	-	シリアル受信が不可能な状態を示す
シリアル・クロック(SCL)	マスタ	各種信号出力のための同期クロック	CSIE0 = 1のときの、SIO0	CSIIF0をセット ^{注3}	シリアル通信の同期信号
アドレス(A6-A0)	マスタ	スタート・コンディション出力後に、SCLに同期して出力される7ビット・データ	へのデータ書き込み命令実行(シリアル		シリアル・バス上のスレーブを指定するためのアドレス値を示す
転送方向($\overline{\text{RW}}$)	マスタ	アドレス出力後に、SCLに同期して出力される1ビット・データ	転送のスタート指示) ^{注2}		データの送信あるいは受信のどちらを行うかを示す
データ(D7-D0)	マスタ/ スレーブ	スタート・コンディション直後でない、SCLに同期して出力される8ビット・データ			実際に通信するデータを示す

注1．シリアル・クロックのレベルは、割り込みタイミング指定レジスタ(SINT)のCLCで制御することができます。

2．ウェイト状態のときは、ウェイト状態が解除されたあと、シリアル転送を開始します。

3．WUP = 0で8クロック・ウェイトを選択したとき、SCLの8クロック目の立ち上がりでCSIIF0をセットします。WUP = 0で9クロック・ウェイトを選択したとき、SCLの9クロック目の立ち上がりでCSIIF0をセットします。

WUP = 1のとき、アドレスを受信し、そのアドレスがスレーブ・アドレス・レジスタ(SVA)の値と一致したとき、およびストップ・コンディション検出時にCSIIF0をセットします。

(5) 端子構成

シリアル・クロック端子SCLと、シリアル・データ・バス端子SDA α (SDA1)の構成は次のようになっています。

(a) SCL シリアル・クロックを入出力するための端子

マスタ N-chオープン・ドレイン出力

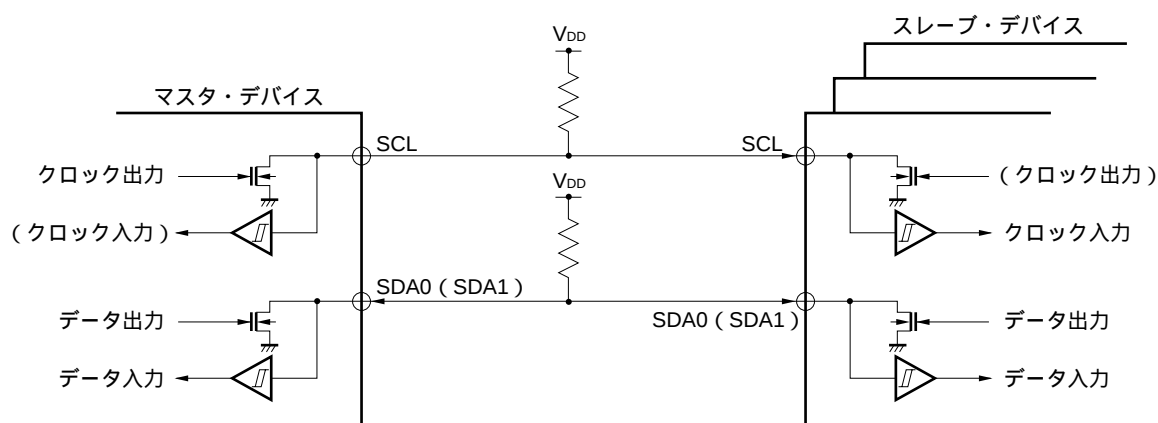
スレーブ シュミット入力

(b) SDA α (SDA1)..... シリアル・データの入出力兼用端子

マスタ、スレーブともにN-chオープン・ドレイン出力、シュミット入力

シリアル・クロックおよびシリアル・データ・バスはともにN-chオープン・ドレインで出力されるため、外部にプルアップ抵抗が必要となります。

図12 - 43 端子構成図



注意 データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、あらかじめシリアル・バス・インタフェース・コントロール・レジスタ（SBIC）のビット7（BSYE）に1を設定し、シリアルI/Oシフト・レジスタ0（SIO0）にFFHを書き込んでおいてください。

ただし、ウェイク・アップ機能使用時（シリアル動作モード・レジスタ0（CSIM0）のビット5（WUP）をセット）は、受信前にSIO0にFFHを書き込まないでください。SIO0にFFHを書き込まなくても、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となります。

(6) アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択することができます。

アドレス一致の検出は、ハードウェアで自動的に行います。スレーブ・アドレス・レジスタ(SVA)を備え、ウェイク・アップ状態(WUP = 1)では、マスタから送信されたスレーブ・アドレスとSVAに設定したアドレスが一致したときに、CSIF0をセットします(ストップ・コンディション検出時にもセットします)。

なお、ウェイク・アップ機能使用時(WUP = 1)はSICを1にセットしておいてください。

注意 スレーブの選択、非選択の状態検出は、スタート・コンディションのあとに受信したデータ(アドレス)の一致検出により行います。

この一致検出は、通常WUP = 1の状態が発生するアドレスの一致検出割り込み要求(INTCSI0)を使用します。したがって、スレーブ・アドレスによる選択、非選択の検出はWUP = 1の状態で行ってください。

(7) エラーの検出

I²Cバス・モードでは、送信中のシリアル・バスSDA(SDA1)の状態が送信しているデバイスのシリアルI/Oシフト・レジスタ0(SIO0)にも取り込まれるため、次の方法によって送信エラーを検出できます。

(a) 送信開始前と送信終了後のSIO0のデータを比較する方法

この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

(b) スレーブ・アドレス・レジスタ(SVA)を使用する方法

送信データをSIO0とSVAにセットし、送信を行います。送信終了後にシリアル動作モード・レジスタ0(CSIM0)のCOIビット(アドレス・コンパレータからの一致信号)をテストし、“1”なら正常な送信、“0”なら送信エラーと判断します。

(8) 通信動作

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次に、データの転送方向を示すR/Wビットを送信し、スレーブとのシリアル通信を開始します。

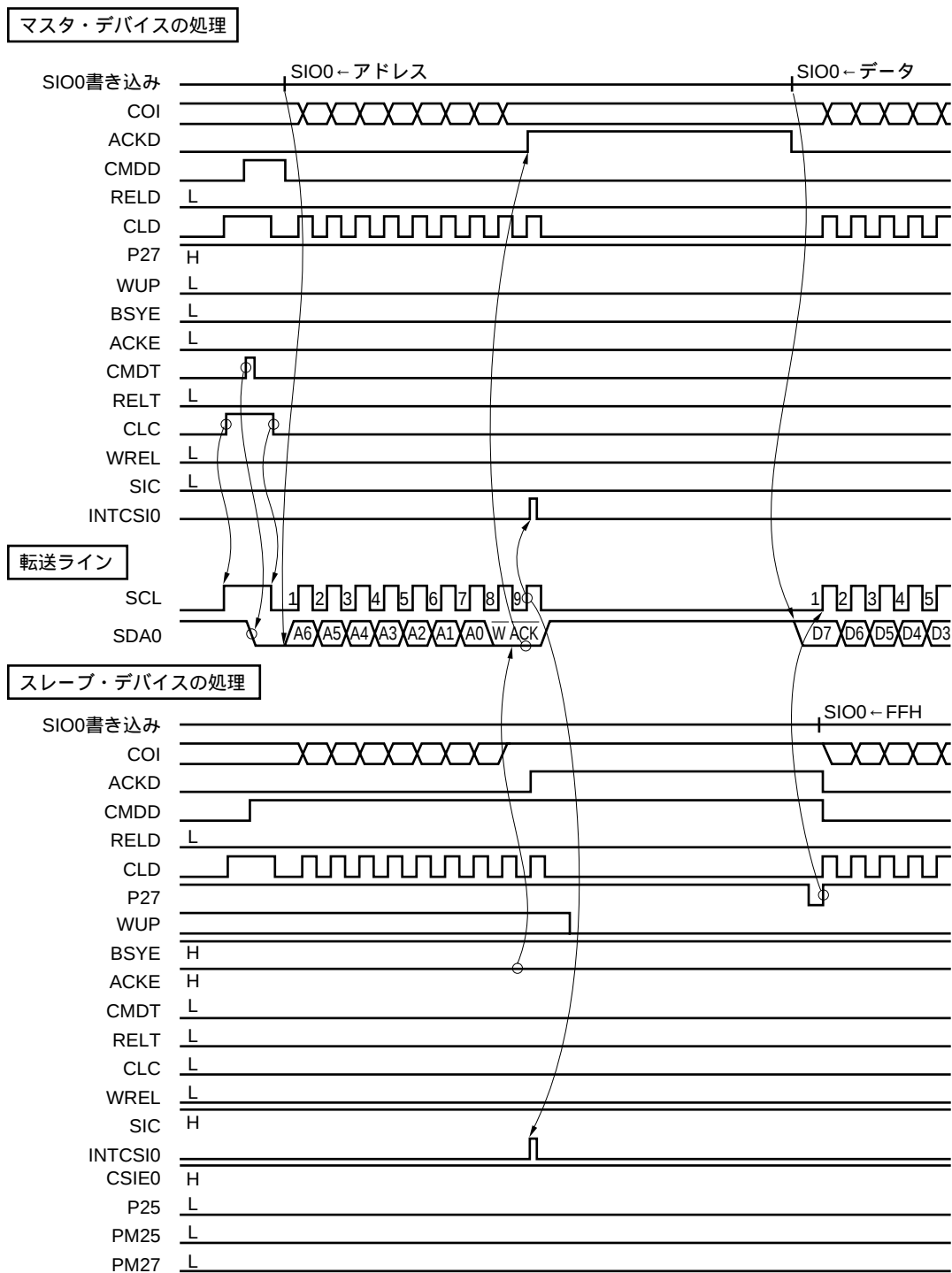
データ通信のタイミング・チャートを図12 - 44および図12 - 45に示します。

シリアル・クロック(SCL)の立ち下がりに同期してシリアルI/Oシフト・レジスタ0(SIO0)のシフト動作が行われ、送信データがSIO0ラッチに転送され、SDA0またはSDA1端子からMSBを先頭にして出力されます。

また、SCLの立ち上がりでSDA0またはSDA1端子に入力されたデータがシリアルI/Oシフト・レジスタ0(SIO0)に取り込まれます。

図12 - 44 マスタ→スレーブ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(1/3)

(a) スタート・コンディション～アドレス



(b) データ

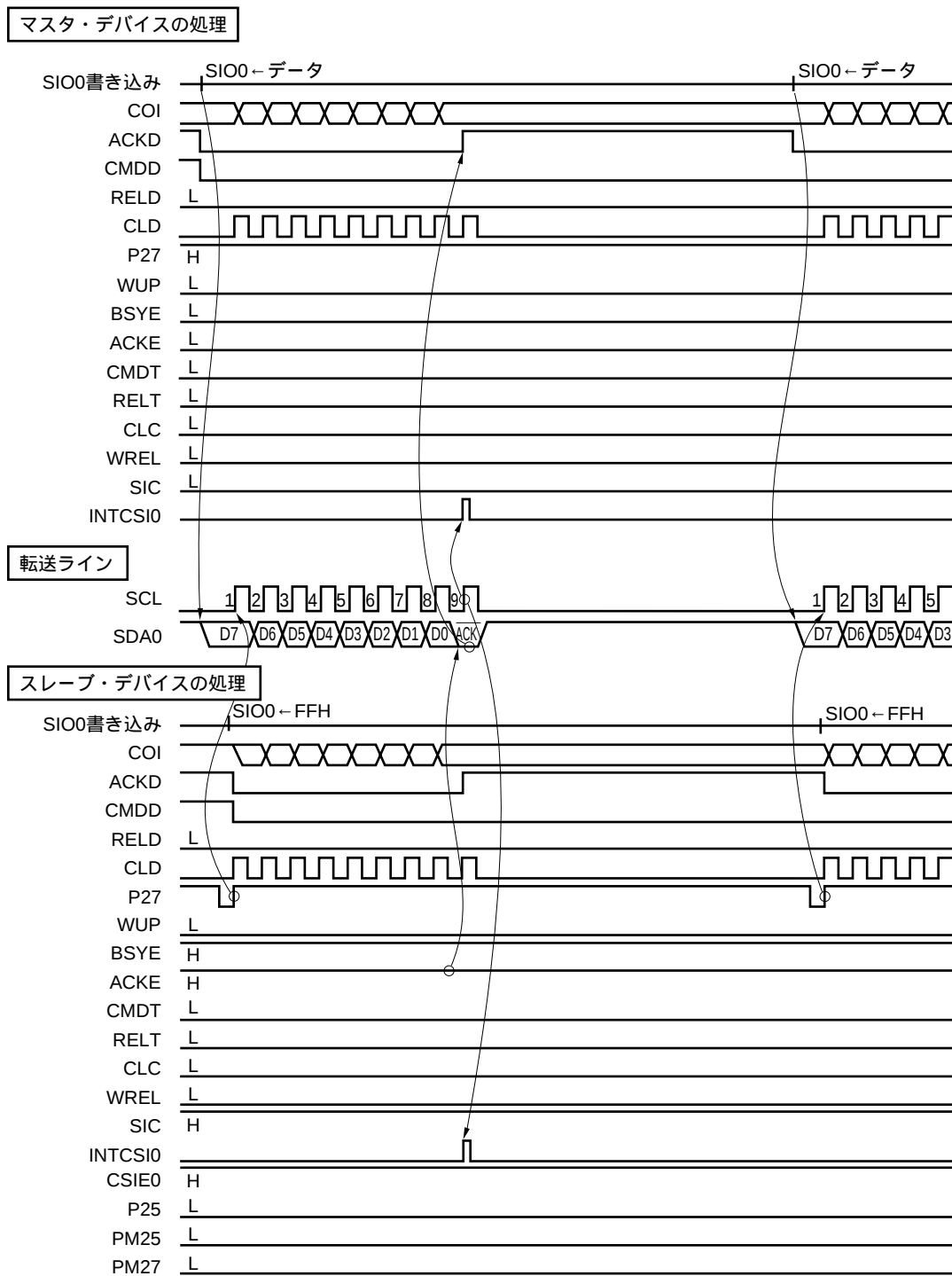


図12 - 44 マスタ→スレーブ通信例(マスタ, スレーブとも9クロック・ウエイト選択時)(3/3)

(c) ストップ・コンディション

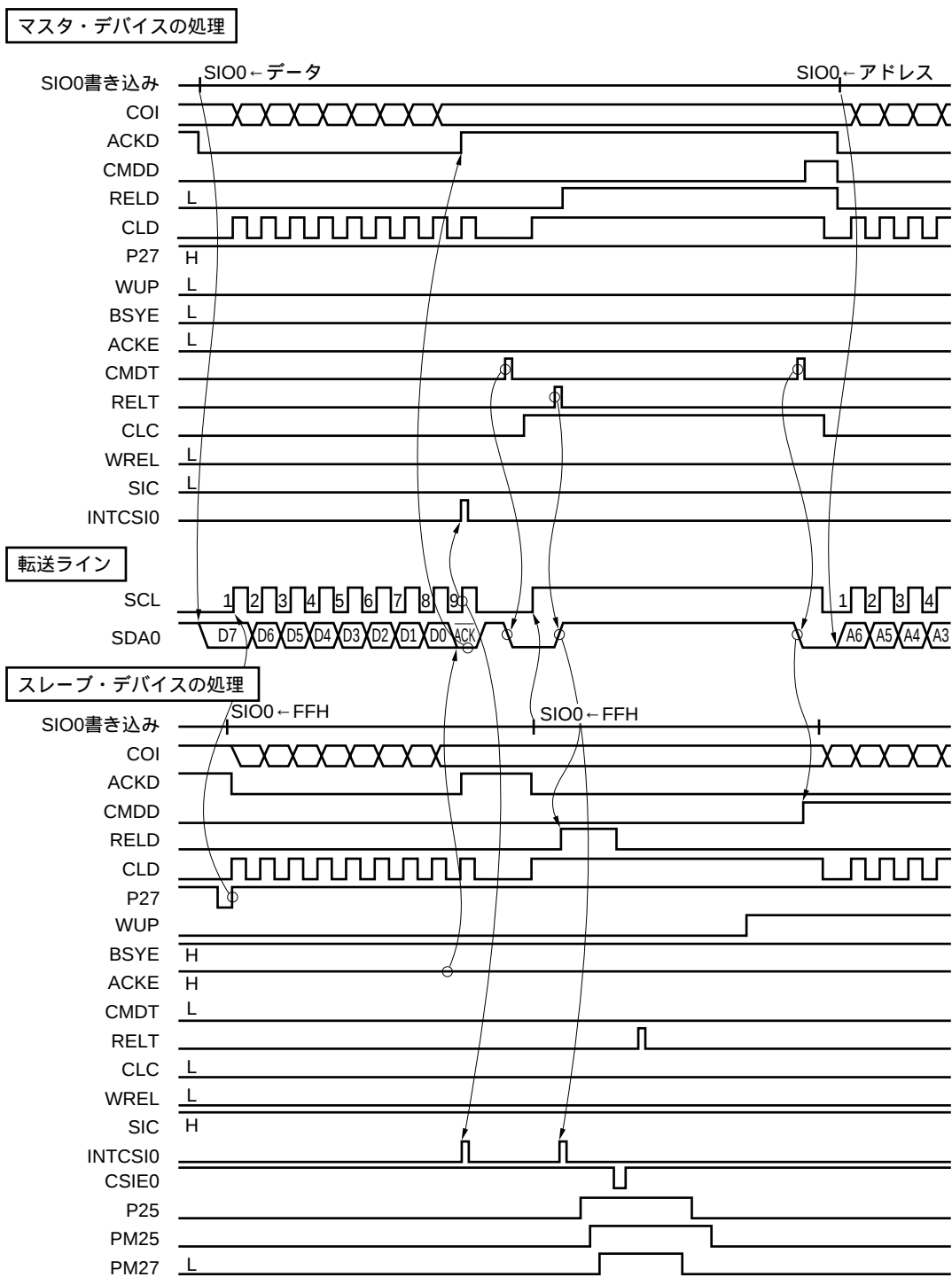


図12 - 45 スレーブ→マスタ通信例(マスタ, スレーブとも9クロック・ウェイト選択時)(1/3)

(a) スタート・コンディション～アドレス

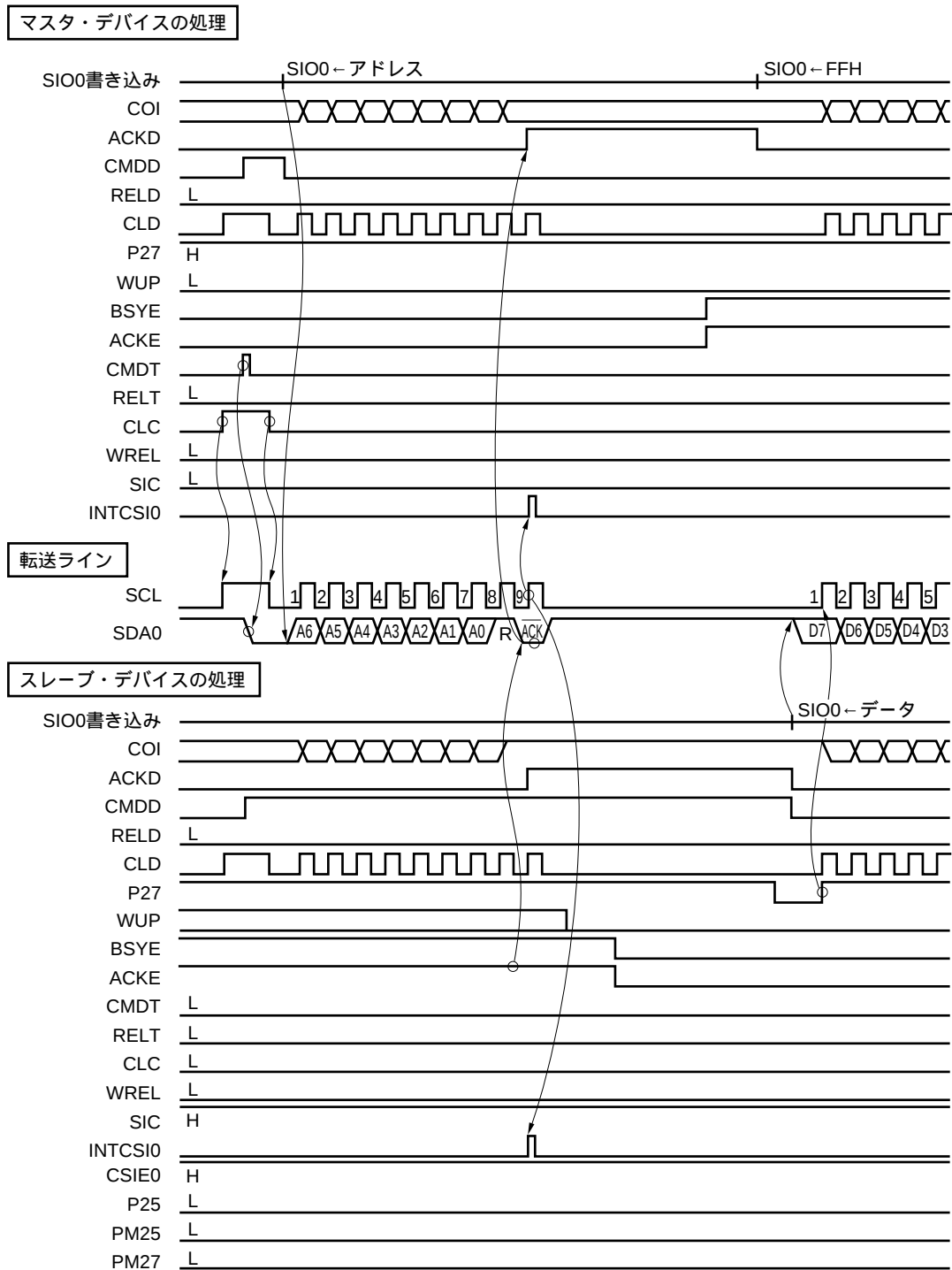


図12 - 45 スレーブ→マスタ通信例(マスタ,スレーブとも9クロック・ウェイト選択時)(2/3)

(b) データ

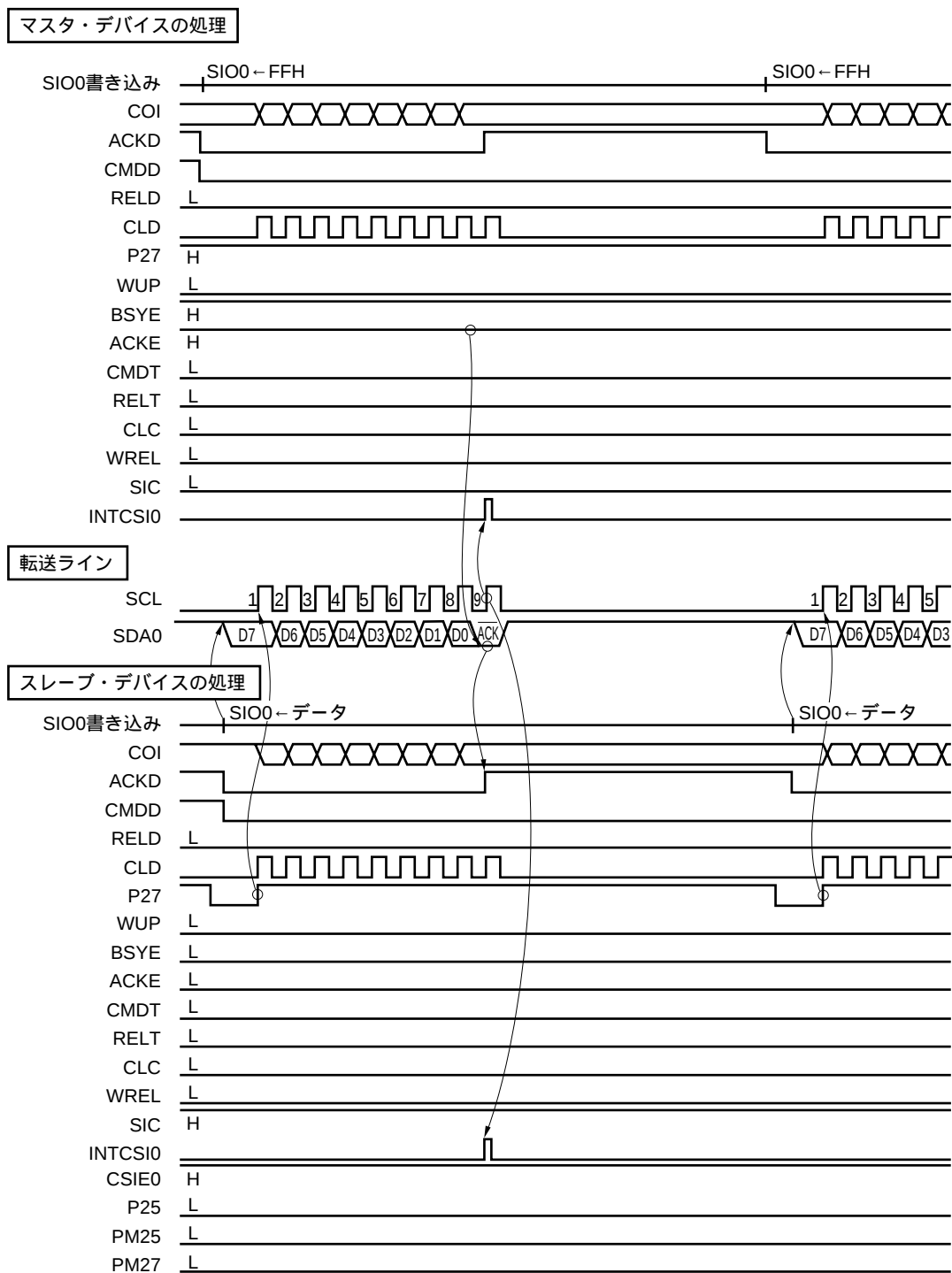
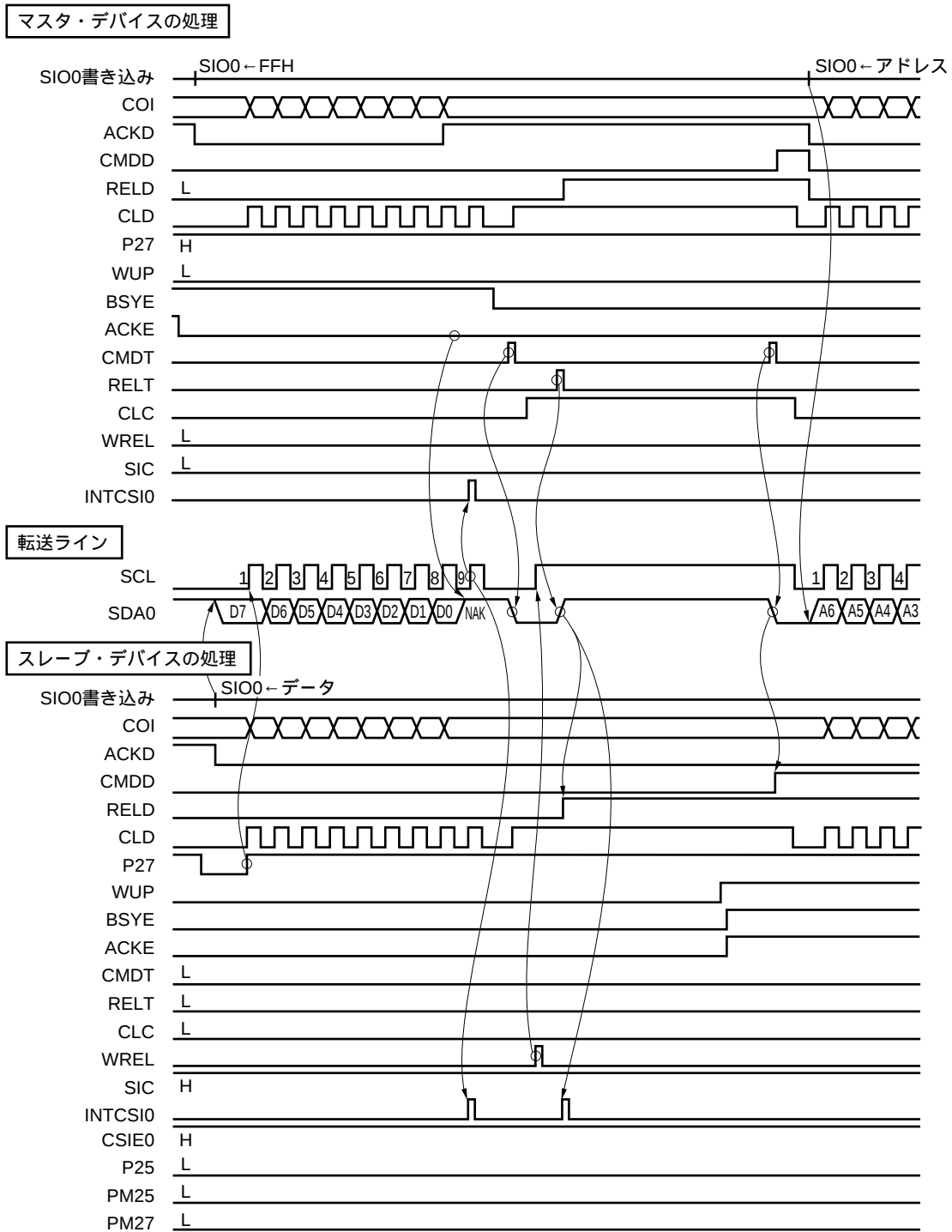


図12 - 45 スレーブ→マスタ通信例(マスタ, スレーブとも9クロック・ウェイト選択時)(3/3)

(c) ストップ・コンディション



(9) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ0(SIO0)に転送データをセットすることで開始します。

- ・シリアル・インタフェース・チャンネル0の動作の制御ビット(CSIE0)≧1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCLがロウ・レベルの状態

注意1 SIO0にデータを書き込んだあと、CSIE0を'1'にしても、転送はスタートしません。

2. データ受信時にはN-chオープン・ドレイン出力をハイ・インピーダンス状態にする必要がありますので、あらかじめ、シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット7(BSYE)に1を設定し、SIO0にFFHを書き込んでおいてください。

ただし、ウエイク・アップ機能使用時(シリアル動作モード・レジスタ0(CSIM0)のビット5(WUP)をセット)は、受信前にSIO0にFFHを書き込まないでください。SIO0にFFHを書き込まなくても、N-chオープン・ドレイン出力は常にハイ・インピーダンス状態となります。

3. スレーブがウェイト状態のときにSIO0にデータを書き込んだ場合、そのデータは失われません。ウェイト状態が解除されて、SCLが出力されたときに転送が開始します。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ(CSIF0)をセットします。

12.4.6 I²Cバス・モード使用時の注意事項

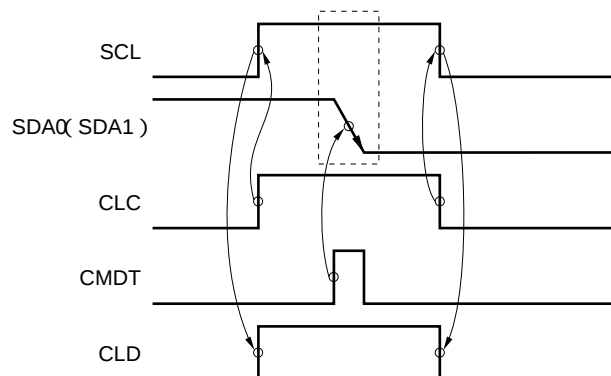
(1) スタート・コンディションの出力(マスタ)

SCL端子は、シリアル・クロックが出力されていないときには通常、ロウ・レベルを出力しています。スタート・コンディションを出力するためには一度SCL端子をハイ・レベルに変化させる必要があります。SCL端子をハイ・レベルにするには、割り込みタイミング指定レジスタ(SINT)のCLCに1を設定してください。

CLCをセットしたあとはCLCを0にクリアし、SCL端子をロウ・レベルに戻してください。CLCが1のままの場合、シリアル・クロックが出力されません。

マスタがスタート・コンディションおよびストップ・コンディションを出力する場合には、CLCに1を設定したあと、CLDが1であることを確認してから行ってください。これは、スレーブがSCLをロウ・レベル(ウェイト状態)にしている可能性があるためです。

図12 - 46 スタート・コンディションの出力



(2) スレーブのウェイト解除

スレーブのウェイト解除は、WRELフラグのセットまたは、SIO0への書き込み命令実行により行われます。

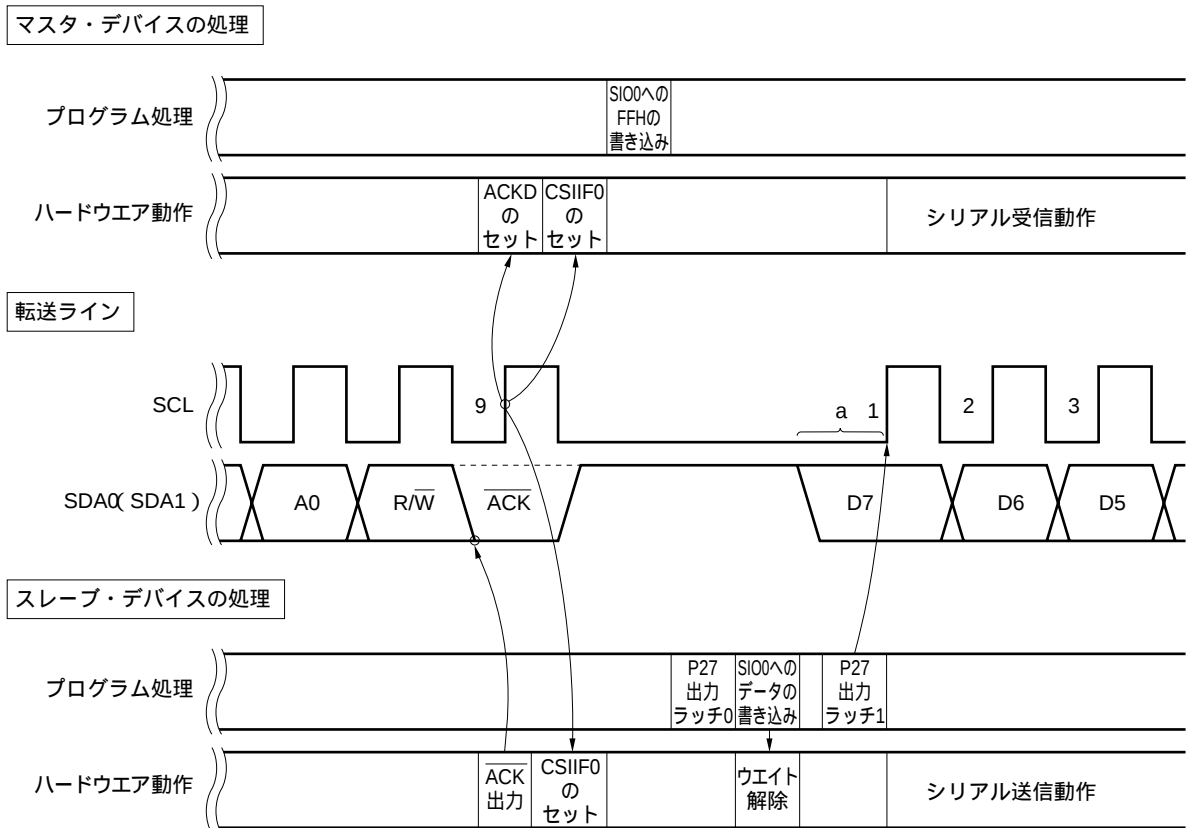
スレーブがデータ送信をする場合、SIO0への書き込み命令実行により、すぐにウェイトが解除され、データ・ラインに先頭の送信ビットが出力されないままクロックが立ち上がってしまいます。そのため、図12 - 47に示すように、P27の出力ラッチをプログラムで操作することにより、データ送信をする必要があります。このとき、1回目のシリアル・クロックのロウ・レベル幅(図12 - 47のaの部分)は、SIO0への書き込み命令実行後のP27出力ラッチを1に設定するときのタイミングで制御してください。

また、マスタからのアクノリッジ信号が出力されなかった場合(スレーブからのデータ送信が終了した場合)は、SINTのWRELフラグに1を設定し、ウェイトを解除してください。

スレーブがデータを受信する場合は、SIO0への書き込み命令実行後、ウェイトが解除されても受信するデータはすでにデータ・ライン上に出力されているので、P27の出力ラッチを操作する必要はありません。

これらのタイミングについては、図12 - 44, 12 - 45を参照してください。

図12 - 47 スレーブのウェイト解除(送信時)



(3) スレーブの受信完了処理

スレーブの受信完了処理(割り込み処理など)では、CMDDとCO(CMDD = 1のとき)を確認するようにしてください。不特定数のデータをマスタから受信する場合、スタート・コンディションとデータのどちらが次にくるのかをスレーブが判断できず、ウエイク・アップ機能が使用できなくなるのを避けるためです。

12.4.7 I²Cバス・モード使用時の制限事項

μPD178018Aサブシリーズには、次の制限事項があります。

・I²Cバス・モードのスレーブ・デバイスとして使用する場合の制限事項

対象製品：μPD178004A, 178006A, 178016A, 178018A, 178P018A
IE-178018-R-EM

内 容：シリアル転送状態^注でウエイク・アップ機能を実行(WUPフラグ(シリアル動作モード・レジスタ 0(CSIM0)のビット 5)をセット(1)することにより実行)すると、他のスレーブ・デバイスとマスタ・デバイス間のデータに対してアドレス判定を行ってしまいます。したがって、そのときのデータがμPD178018Aサブシリーズのスレーブ・アドレスと一致すると、μPD178018Aサブシリーズが通信に参加し、通信データを破壊してしまいます。

注 シリアル転送状態とは、シリアルI/Oシフト・レジスタ 0(SIO0)の書き込み後、シリアル転送終了により割り込み要求フラグ(CSIF0)がセット(1)されるまでの状態を示します。

回 避 策：この制限事項はプログラムを変更することによって回避できます。

ウエイク・アップ機能を実行する前に、次に示すシリアル転送状態を解除するプログラムを実行してください。また、ウエイク・アップ機能を実行するときは、SIO0への書き込み命令を実行しないでください。SIO0への書き込み命令を実行しなくても、ウエイク・アップ機能実行時にデータ受信は可能です。

このプログラムは、シリアル転送状態を解除するためのプログラムです。シリアル転送状態を解除するためには、一度シリアル・インタフェース・チャンネル0を動作停止状態(CSIE0フラグ(シリアル動作モード・レジスタ(CSIM0)のビット 7)をクリア(0))にする必要があります。ただし、I²Cバス・モードでシリアル・インタフェース・チャンネル0を動作停止状態にすると、SCL端子からはハイ・レベルを、SDA(SDA1)端子からはロウ・レベルを出力してしまい、I²Cバスの通信に影響を与える可能性があります。そのためこのプログラムは、I²Cバスへの影響を避けるためにSCL端子およびSDA(SDA1)端子をハイ・インピーダンス状態にしています。

また、この例ではシリアル・データ入力/出力端子をSDA(P25)として説明しています。

シリアル・データ入力／出力端子をSDA1(/P26)にしている場合は、プログラム中のP2.5, PM2.5をそれぞれP2.6, PM2.6に読み替えてください。

このプログラムを実行したときの各信号のタイミングについては、図12 - 44を参照してください。

・シリアル転送状態を解除するプログラム例

```
SET1 P2.5      ;
SET1 PM2.5     ;
SET1 PM2.7     ;
CLR1 CSIE0     ;
SET1 CSIE0     ;
SET1 RELT      ;
CLR1 PM2.7     ;
CLR1 P2.5      ;
CLR1 PM2.5     ;
```

の命令でI²Cバス・モードに復帰したときに、SDA0端子からロウ・レベルを出力しないようにします。SDA0端子の出力はハイ・インピーダンス状態になります。

の命令でポート・モードに移行したときに、SDA0ラインに影響を与えないようにするために、P25(/SDA0)端子を入力モードにします。入力モードに変化するタイミングは の命令実行時です。

の命令でポート・モードに移行したときに、SCLラインに影響を与えないようにするために、P27(/SCL)端子を入力モードにします。入力モードに変化するタイミングは の命令実行時です。I²Cバス・モードからポート・モードに移行します。

ポート・モードからI²Cバス・モードに復帰します。

の命令でSDA0端子からロウ・レベルを出力しないようにします。

I²Cバス・モードでは、P27端子を出力モードにする必要がありますので、P27端子を出力モードにします。

I²Cバス・モードでは、P25端子の出力ラッチに0を設定する必要がありますので、P25端子の出力ラッチに0を設定します。

I²Cバス・モードでは、P25端子を出力モードにする必要がありますので、P25端子を出力モードにします。

備考 RELT : シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)のビット0

12.4.8 $\overline{\text{SCK0/SCL/P27}}$ 端子出力の操作

$\overline{\text{SCK0/SCL/P27}}$ 端子には、出力ラッチが内蔵されているため、通常のシリアル・クロック以外に、ソフトウェア操作によりスタティック出力も可能です。

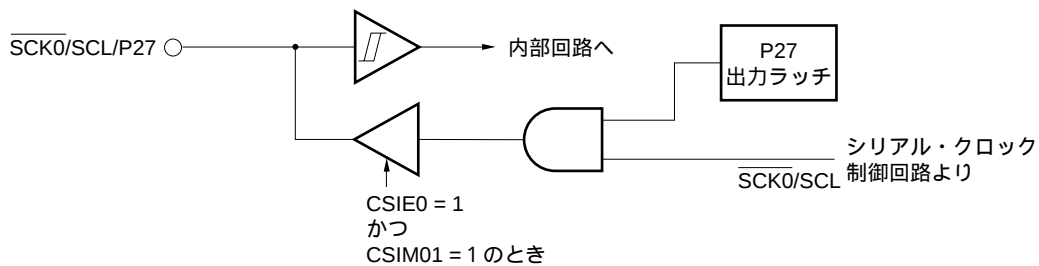
また、P27出力ラッチの操作により $\overline{\text{SCK0/SCL}}$ の値をソフトウェアで任意に設定できます(SI0/SB0/SDA0, SO0/SB1/SDA1端子の制御はSBICのRELT, CMDTビットによって行います)。

次に、 $\overline{\text{SCK0/SCL/P27}}$ 端子出力の操作方法を示します。

シリアル動作モード・レジスタ0(CSIM0)を設定します($\overline{\text{SCK0/SCL}}$ 端子：出力モード、シリアル動作：可能状態)。シリアル転送停止中では $\overline{\text{SCK0}} = 1$, $\text{SCL} = 0$ となっています。

P27出力ラッチを、ビット操作命令により操作します。

図12 - 48 $\overline{\text{SCK0/SCL/P27}}$ 端子の構成



第13章 シリアル・インタフェース・チャンネル1

13.1 シリアル・インタフェース・チャンネル1の機能

シリアル・インタフェース・チャンネル1は、次の3種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック($\overline{\text{SCK1}}$)、シリアル出力(SO1)、シリアル入力(SI1)の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

(3) 自動送受信機能付き3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

(2)3線式シリアルI/Oモードと同じ機能に、自動送受信機能を付加したモードです。

自動送受信機能は、最大32バイトのデータを送受信する機能です。この機能によって、CPUとは独立にOSD(On Screen Display)用のデバイスや表示コントローラ/ドライバを内蔵したデバイスへのデータ送受信がハードウェアで行えますので、ソフトウェアの負担を軽減できます。

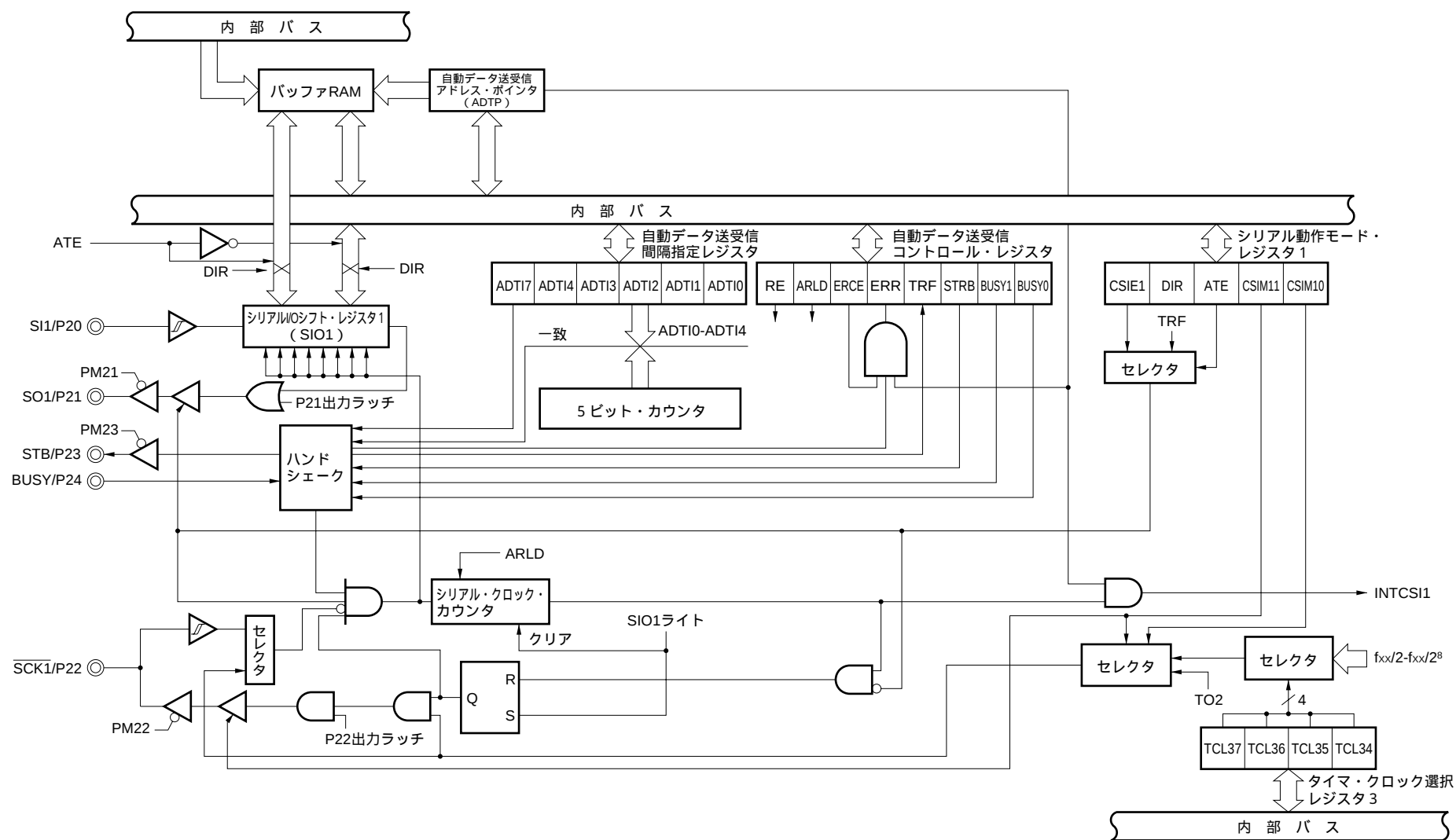
13.2 シリアル・インタフェース・チャンネル1の構成

シリアル・インタフェース・チャンネル1は、次のハードウェアで構成しています。

表13 - 1 シリアル・インタフェース・チャンネル1の構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ 1(SIO1) 自動データ送受信アドレス・ポインタ(ADTP)
制御レジスタ	タイマ・クロック選択レジスタ 3(TCL3) シリアル動作モード・レジスタ 1(CSIM1) 自動データ送受信コントロール・レジスタ(ADTC) 自動データ送受信間隔指定レジスタ(ADTI) ポート・モード・レジスタ 2(PM2)

図13 - 1 シリアル・インタフェース・チャンネル1のブロック図



(1) シリアルI/Oシフト・レジスタ 1(SIO1)

パラレル-シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信(シフト動作)を行う 8 ビット・レジスタです。

SIO1は、8 ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ 1(CSIM1)のビット 7(CSIE1)が 1 のとき、SIO1にデータを書き込むことにより開始されます。

送信時は、SIO1に書き込まれたデータが、シリアル出力(SO1)に出力されます。受信時は、データがシリアル入力(SI1)からSIO1に読み込まれます。

SIO1は、リセット時は、不定になります。

注意 自動送受信機能が動作しているとき、SIO1にデータを書き込まないでください。

(2) 自動データ送受信アドレス・ポインタ(ADTP)

自動送受信機能動作時、(送信データ・バイト数 - 1)の値を格納するレジスタです。データ送受信に伴い、自動的にデクリメントされます。

ADTPは、8 ビット・メモリ操作命令で設定します。このとき、上位 3 ビットには、0 を設定してください。

リセット時は、00Hになります。

注意 自動送受信機能が動作しているとき、ADTPにデータを書き込まないでください。

(3) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8 ビット・データの送受信が行われたことを調べます。

13.3 シリアル・インタフェース・チャンネル1を制御するレジスタ

シリアル・インタフェース・チャンネル1を制御するレジスタには、次の4種類があります。

- ・タイマ・クロック選択レジスタ3(TCL3)
- ・シリアル動作モード・レジスタ1(CSIM1)
- ・自動データ送受信コントロール・レジスタ(ADTC)
- ・自動データ送受信間隔指定レジスタ(ADTI)

(1) タイマ・クロック選択レジスタ3(TCL3)

シリアル・インタフェース・チャンネル1のシリアル・クロックを設定するレジスタです。

TCL3は、8ビット・メモリ操作命令で設定します。

リセット時は、88Hになります。

備考 TCL3は、シリアル・インタフェース・チャンネル1のシリアル・クロックの設定以外に、シリアル・インタフェース・チャンネル0のシリアル・クロックを設定する機能があります。

図13 - 2 タイマ・クロック選択レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	TCL37	TCL36	TCL35	TCL34	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL37	TCL36	TCL35	TCL34	シリアル・インタフェース・チャンネル1のシリアル・クロックの選択		
				MCS = 1		MCS = 0
0	1	1	0	$f_{xx}/2$	設定禁止	$f_x/2$ (1.13 MHz)
0	1	1	1	$f_{xx}/2^2$	$f_x/2$ (1.13 MHz)	$f_x/2$ (563 kHz)
1	0	0	0	$f_{xx}/2^3$	$f_x/2$ (563 kHz)	$f_x/2$ (281 kHz)
1	0	0	1	$f_{xx}/2^4$	$f_x/2$ (281 kHz)	$f_x/2$ (141 kHz)
1	0	1	0	$f_{xx}/2^5$	$f_x/2$ (141 kHz)	$f_x/2$ (70.3 kHz)
1	0	1	1	$f_{xx}/2^6$	$f_x/2$ (70.3 kHz)	$f_x/2$ (35.2 kHz)
1	1	0	0	$f_{xx}/2^7$	$f_x/2$ (35.2 kHz)	$f_x/2$ (17.6 kHz)
1	1	0	1	$f_{xx}/2^8$	$f_x/2$ (17.6 kHz)	$f_x/2$ (8.8 kHz)
上記以外				設定禁止		

注意 TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

備考1 . f_{xx} : システム・クロック周波数(f_x または $f_x/2$)

2 . f_x : システム・クロック発振周波数

3 . MCS : 発振モード選択レジスタのビット0

4 . ()内は、 $f_x = 4.5$ MHz動作時。

(2) シリアル動作モード・レジスタ1(CSIM1)

シリアル・インタフェース・チャンネル1のシリアル・クロック，動作モード，動作の許可/停止，自動送受信動作の許可/停止を設定するレジスタです。

CSIM1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は，01Hになります。

図13-3 シリアル動作モード・レジスタ1のフォーマット

略号	6	4	3	2	1	0	アドレス	リセット時	R/W
CSIM1	CSIE1	DIR	ATE	0	0	0	CSIM11	1	FF68H 01H R/W

CSIM11	シリアル・インタフェース・チャンネル1のクロックの選択
0	SCK1端子への外部クロック入力 ^{注1}
1	タイマ・クロック選択レジスタ3のビット4-7で指定されたクロック

ATE	シリアル・インタフェース・チャンネル1の動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

DIR	先頭ビット	SI1端子の機能	SO1端子の機能
0	MSB	SI1/P20	SO1
1	LSB	(入力)	(CMOS出力)

CSIE1	CSIM11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアル・クロックのカウンタの動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	SCK1/P22端子の機能
0	×	× ^{注2}	× ^{注2}	× ^{注2}	× ^{注2}	× ^{注2}	× ^{注2}	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	1 ^{注3}	× ^{注3}	0	0	1	×	動作許可	カウント動作	SI1 ^{注3} (入力)	SO1 (CMOS出力)	SCK1 (入力)
	1					0	1					SCK1 (CMOS出力)

注1．CSIM11を0にして外部クロック入力を選択したとき，自動データ送受信コントロール・レジスタ(ADTC)のビット1(BUSY1)，ビット2(STRB)を0，0に設定してください。

2．ポート機能として自由に使用できます。

3．送信のみ使用するときは，P20(CMOS入出力)になります(ADTCのビット7(RE)に0を設定してください)。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

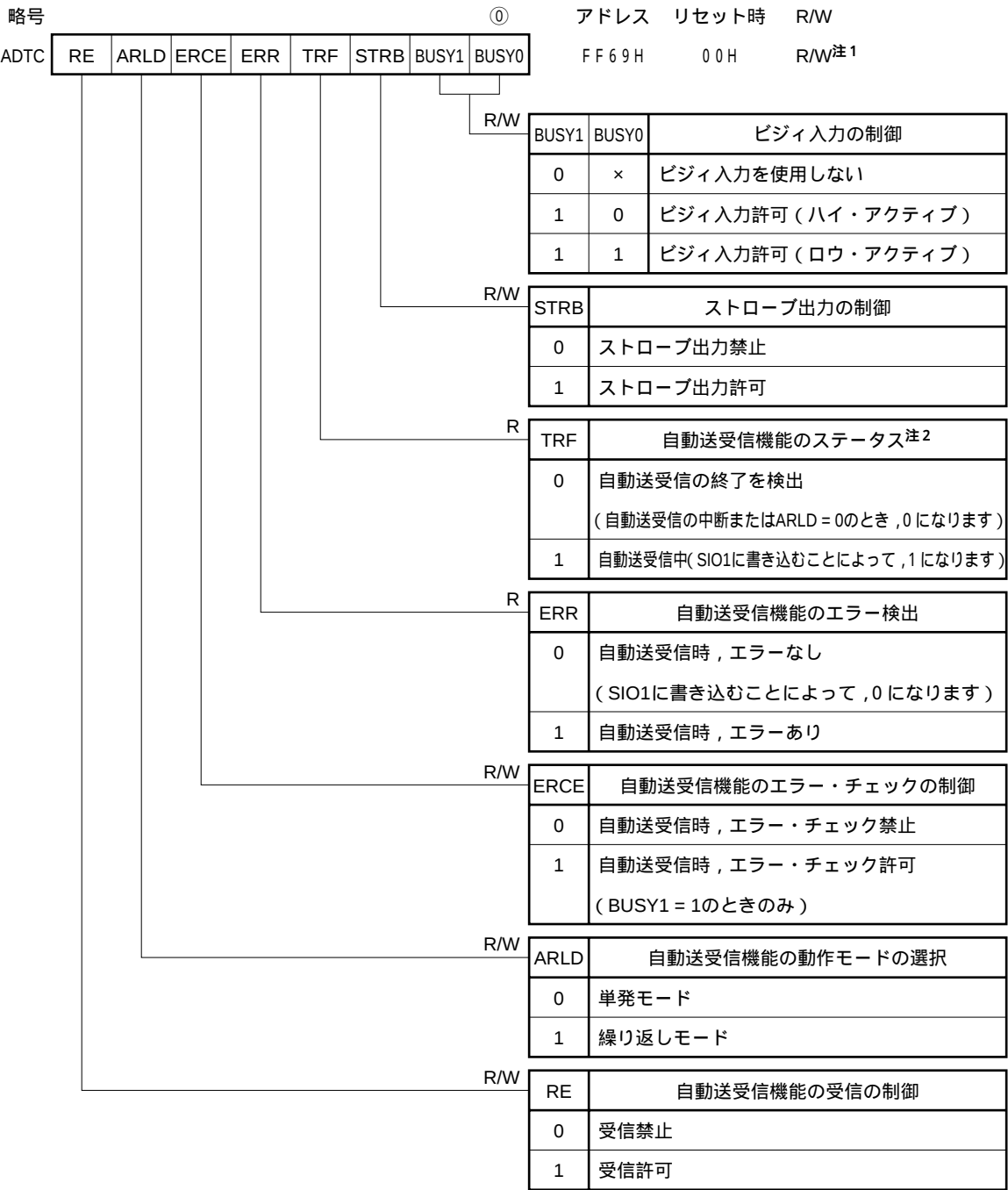
(3) 自動データ送受信コントロール・レジスタ(ADTC)

自動送受信の受信の許可 / 禁止, 動作モード, ストローブ出力の許可 / 禁止, ビジィ入力の許可 / 禁止の設定と自動送受信の実行を表示するレジスタです。

ADTCは, 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット時は, 00Hになります。

図13 - 4 自動データ送受信コントロール・レジスタのフォーマット



注 1 . ビット 3 , 4(TRF, ERR)は , Read Onlyです。

2 . 自動送受信の終了判定は割り込み要求フラグのCSIF1ではなくTRFで行ってください。

注意 シリアル動作モード・レジスタ 1 (CSIM1) のビット 1 (CSIM11) を 0 にして外部クロック入力を選択したとき , ADTCのSTRB, BUSY1を 0 , 0 に設定してください。

備考 × : don't care

(4) 自動データ送受信間隔指定レジスタ(ADTI)

自動送受信機能のデータ転送のインターバル時間を設定するレジスタです。

ADTIは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図13 - 5 自動データ送受信間隔指定レジスタのフォーマット(1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI(ADTI0-ADTI4)によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定($f_{xx} = 4.5 \text{ MHz}$ 動作時)	
					最小値 ^{注2}	最大値 ^{注2}
0	0	0	0	0	$20.4 \mu s + 0.5/f_{SCK}$	$22.2 \mu s + 1.5/f_{SCK}$
0	0	0	0	1	$34.7 \mu s + 0.5/f_{SCK}$	$36.4 \mu s + 1.5/f_{SCK}$
0	0	0	1	0	$48.9 \mu s + 0.5/f_{SCK}$	$50.7 \mu s + 1.5/f_{SCK}$
0	0	0	1	1	$63.1 \mu s + 0.5/f_{SCK}$	$64.9 \mu s + 1.5/f_{SCK}$
0	0	1	0	0	$77.3 \mu s + 0.5/f_{SCK}$	$79.1 \mu s + 1.5/f_{SCK}$
0	0	1	0	1	$91.5 \mu s + 0.5/f_{SCK}$	$93.3 \mu s + 1.5/f_{SCK}$
0	0	1	1	0	$105.8 \mu s + 0.5/f_{SCK}$	$107.5 \mu s + 1.5/f_{SCK}$
0	0	1	1	1	$120.0 \mu s + 0.5/f_{SCK}$	$121.8 \mu s + 1.5/f_{SCK}$
0	1	0	0	0	$134.2 \mu s + 0.5/f_{SCK}$	$136.0 \mu s + 1.5/f_{SCK}$
0	1	0	0	1	$148.4 \mu s + 0.5/f_{SCK}$	$150.2 \mu s + 1.5/f_{SCK}$
0	1	0	1	0	$162.6 \mu s + 0.5/f_{SCK}$	$164.4 \mu s + 1.5/f_{SCK}$
0	1	0	1	1	$176.9 \mu s + 0.5/f_{SCK}$	$178.6 \mu s + 1.5/f_{SCK}$
0	1	1	0	0	$191.1 \mu s + 0.5/f_{SCK}$	$192.9 \mu s + 1.5/f_{SCK}$
0	1	1	0	1	$205.3 \mu s + 0.5/f_{SCK}$	$207.1 \mu s + 1.5/f_{SCK}$
0	1	1	1	0	$219.5 \mu s + 0.5/f_{SCK}$	$221.3 \mu s + 1.5/f_{SCK}$
0	1	1	1	1	$233.7 \mu s + 0.5/f_{SCK}$	$235.5 \mu s + 1.5/f_{SCK}$

注1．インターバル時間は、CPU処理にのみ依存します。

2．データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます(n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が $2/f_{SCK}$ よりも小さい場合、インターバル時間の最小値は $2/f_{SCK}$ となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{XX}} + \frac{28}{f_{XX}} + \frac{0.5}{f_{SCK}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{XX}} + \frac{36}{f_{XX}} + \frac{1.5}{f_{SCK}}$$

注意1．自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2．ビット5, 6には、必ず0を設定してください。

3．ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御(13.4.3 (4) a) ビジィ制御オプション参照)は無効になります。

備考 f_{XX} : システム・クロック周波数(f_x または $f_x/2$)

f_x : システム・クロック発振周波数

f_{SCK} : シリアル・クロック周波数

図13 - 5 自動データ送受信間隔指定レジスタのフォーマット(2/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定(f _{xx} = 4.5 MHz動作時)	
					最小値 ^注	最大値 ^注
1	0	0	0	0	248.0 μs + 0.5/f _{SCK}	250.0 μs + 1.5/f _{SCK}
1	0	0	0	1	262.2 μs + 0.5/f _{SCK}	264.0 μs + 1.5/f _{SCK}
1	0	0	1	0	276.4 μs + 0.5/f _{SCK}	278.2 μs + 1.5/f _{SCK}
1	0	0	1	1	290.6 μs + 0.5/f _{SCK}	292.4 μs + 1.5/f _{SCK}
1	0	1	0	0	304.8 μs + 0.5/f _{SCK}	306.6 μs + 1.5/f _{SCK}
1	0	1	0	1	319.0 μs + 0.5/f _{SCK}	320.8 μs + 1.5/f _{SCK}
1	0	1	1	0	333.2 μs + 0.5/f _{SCK}	335.1 μs + 1.5/f _{SCK}
1	0	1	1	1	347.5 μs + 0.5/f _{SCK}	349.3 μs + 1.5/f _{SCK}
1	1	0	0	0	361.7 μs + 0.5/f _{SCK}	363.5 μs + 1.5/f _{SCK}
1	1	0	0	1	375.9 μs + 0.5/f _{SCK}	377.7 μs + 1.5/f _{SCK}
1	1	0	1	0	390.2 μs + 0.5/f _{SCK}	391.9 μs + 1.5/f _{SCK}
1	1	0	1	1	404.4 μs + 0.5/f _{SCK}	406.2 μs + 1.5/f _{SCK}
1	1	1	0	0	418.6 μs + 0.5/f _{SCK}	420.4 μs + 1.5/f _{SCK}
1	1	1	0	1	432.8 μs + 0.5/f _{SCK}	434.6 μs + 1.5/f _{SCK}
1	1	1	1	0	447.0 μs + 0.5/f _{SCK}	448.8 μs + 1.5/f _{SCK}
1	1	1	1	1	461.3 μs + 0.5/f _{SCK}	463.0 μs + 1.5/f _{SCK}

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます(n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{SCK}よりも小さい場合、インターバル時間の最小値は2/f_{SCK}となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{SCK}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{SCK}}$$

注意1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2 . ビット5, 6 には、必ず0を設定してください。

3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御(13.4.3(4)(a) ビジィ制御オプション参照)は無効になります。

備考 f_{xx} : システム・クロック周波数(f_xまたはf_x/2)

f_x : システム・クロック発振周波数

f_{SCK} : シリアル・クロック周波数

13.4 シリアル・インタフェース・チャンネル1の動作

シリアル・インタフェース・チャンネル1の動作モードには、次の3種類があります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

13.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減することができます。また、シリアルI/Oシフト・レジスタ1(SIO1)もシフト動作を行いませんので、通常の8ビット・レジスタとして使用することができます。

また、動作停止モードでは、P20/SI1, P21/SO1, P22/ $\overline{\text{SCK1}}$, P23/STB, P24/BUSY端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ1(CSIM1)で行います。

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、01Hになります。

略号	6	4	3	2	1	0	アドレス	リセット時	R/W
CSIM1	CSIE1	DIR	ATE	0	0	0	CSIM11	1	FF68H 01H R/W

CSIE1	CSIM11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアルクロックのカウンタの動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	SCK1/P22端子の機能
0	×	×	注1	×	注1	×	注1	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	1	注2	0	0	1	×	動作許可	カウント動作	SI1注2 (入力)	SO1 (CMOS出力)	SCK1 (入力)
	0					1	SCK1 (CMOS出力)					

注1．ポート機能として自由に使用できます。

2．送信のみ使用するときは、P20(CMOS入出力)になります(自動データ送受信コントロール・レジスタ(ADTC)のビット7(RE)に0を設定してください)。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

13.4.2 3線式シリアルI/Oモードの動作

3線式シリアルI/Oモードは、75X/XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック($\overline{\text{SCK1}}$)、シリアル出力(SO1)、シリアル入力(SI1)の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ1(CSIM1)で行います。

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、01Hになります。

略号	6	4	3	2	1	0	アドレス	リセット時	R/W
CSIM1	CSIE1	DIR	ATE	0	0	0	CSIM1	1	FF68H 01H R/W

CSIM11	シリアル・インタフェース・チャンネル1のクロックの選択
0	SCK1端子への外部クロック入力 ^注
1	タイマ・クロック選択レジスタ3のビット4-7で指定されたクロック

ATE	シリアル・インタフェース・チャンネル1の動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

DIR	先頭ビット	SI1端子の機能	SO1端子の機能
0	MSB	SI1/P20	SO1
1	LSB	(入力)	(CMOS出力)

(続く)

注 CSIM11を0にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタ(ADTC)のビット1(BUSY1)、ビット2(STRB)を0、0に設定してください。

備考 × : don't care

CSIE1	CSIM11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアル・クロック・カウンタの動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	$\overline{\text{SCK1}}$ /P22端子の機能
0	×	×	×	×	×	×	×	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	1	×	0	0	1	×	動作許可	カウント動作	SI1 ^{注2} (入力)	SO1 (CMOS出力)	$\overline{\text{SCK1}}$ (入力)
	1					0	1					$\overline{\text{SCK1}}$ (CMOS出力)

注1．ポート機能として自由に使用できます。

- 2．送信のみ使用するときは、P20(CMOS入出力)になります(自動データ送受信コントロール・レジスタ(ADTC)のビット7(RE)に0を設定してください)。

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

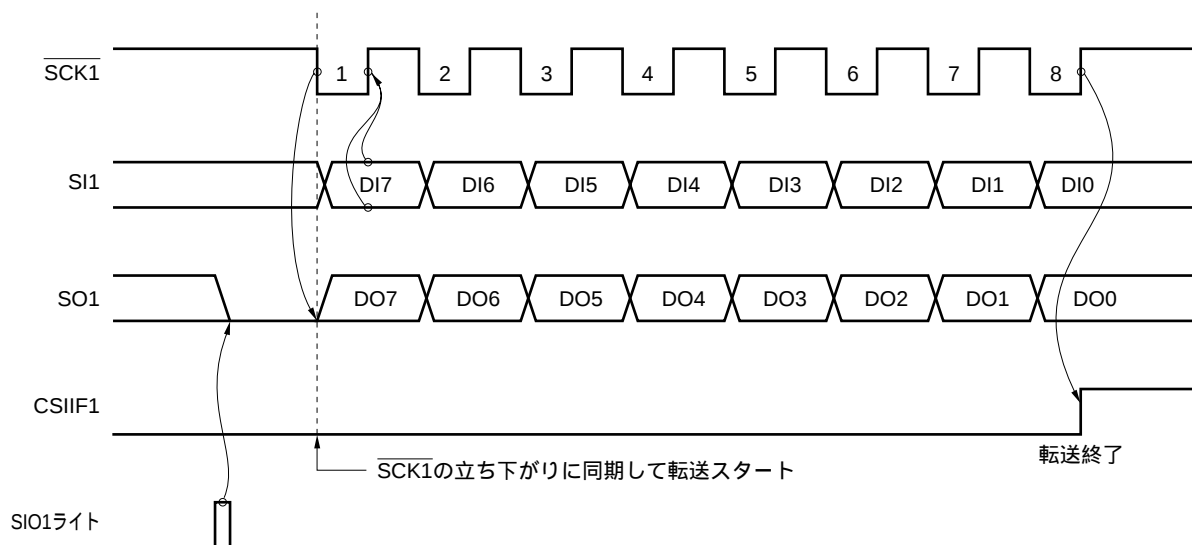
(2) 通信動作

3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信されます。

シリアルI/Oシフト・レジスタ1(SIO1)のシフト動作は、シリアル・クロック($\overline{\text{SCK1}}$)の立ち下がりに同期して行われます。そして、送信データがSO1ラッチに保持され、SO1端子から出力されます。また、 $\overline{\text{SCK1}}$ の立ち上がりで、SI1端子に入力された受信データがSIO1にラッチされます。

8ビット転送終了により、SIO1の動作は自動的に停止し、割り込み要求フラグ(CSIF1)がセットされます。

図13 - 6 3線式シリアルI/Oモードのタイミング



注意 SIO1ライトにより、SO1端子はロウ・レベルになります。

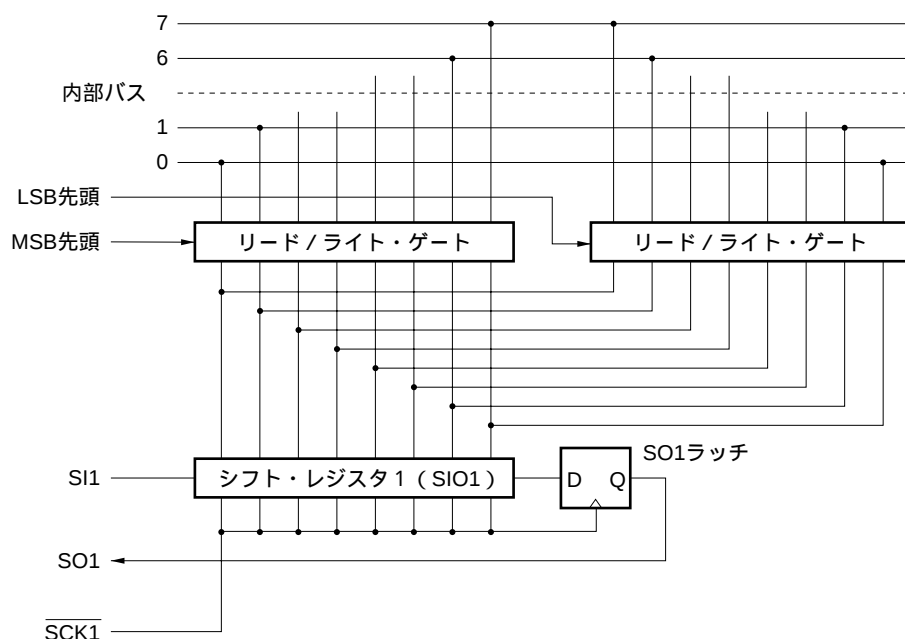
(3) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図13 - 7 にシリアルI/Oシフト・レジスタ 1(SIO1), および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し / 書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ 1(CSIM1)のビット 6(DIR)により指定できます。

図13 - 7 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO1へのデータ書き込みのビット順を切り替えることによって実現されています。SIO1のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットの切り替えは、シフト・レジスタにデータを書き込む前に行ってください。

（４）転送スタート

シリアル転送は、次の２つの条件を満たしたとき、シリアルI/Oシフト・レジスタ1 (SIO1) に転送データをセットすることで開始します。

- シリアル・インタフェース・チャンネル1の動作の制御ビット (CSIE1) = 1
- 8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK1がハイ・レベルの状態

注意 SIO1にデータを書き込んだあと、CSIE1を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求フラグ (CSIF1) をセットします。

13.4.3 自動送受信機能付き3線式シリアルI/Oモードの動作

最大32バイトのデータを、ソフトウェアの介在なしに送受信を行う3線式シリアルI/Oモードです。転送を開始させると、あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり、設定したバイト数だけデータを受信しRAMに格納させることができます。

また、連続してデータを送受信するために、ハードウェアによるハンドシェイク信号(STB, BUSY)をサポートしており、OSD(On Screen Display)用LSIやLCDコントローラ/ドライバなどの周辺LSIとの接続が容易に実現できます。

(1) レジスタの設定

自動送受信機能付き3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ1(CSIM1)と自動データ送受信コントロール・レジスタ(ADTC), 自動データ送受信間隔指定レジスタ(ADTI)で行います。

(a) シリアル動作モード・レジスタ1(CSIM1)

CSIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、01Hになります。

略号	6		4		3	2	1	0	アドレス	リセット時	R/W
CSIM1	CSIE1	DIR	ATE	0	0	0	CSIM11	1	FF68H	01H	R/W

CSIM11	シリアル・インタフェース・チャンネル1のクロックの選択
0	SCK1端子への外部クロック入力 ^{注1}
1	タイマ・クロック選択レジスタ3のビット4-ビット7で指定されたクロック

ATE	シリアル・インタフェース・チャンネル1の動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

DIR	先頭ビット	SI1端子の機能	SO1端子の機能
0	MSB	SI1/P20	SO1
1	LSB	(入力)	(CMOS出力)

CSIE1	CSIM11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアル・クロックのカウンタの動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	$\overline{\text{SCK1}}$ /P22端子の機能
0	×	×	注2	×	注2	×	注2	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	1	注3	0	0	1	×	動作許可	カウント動作	SI1注3 (入力)	SO1 (CMOS出力)	$\overline{\text{SCK1}}$ (入力)
	0					1	$\overline{\text{SCK1}}$ (CMOS出力)					

注1．CSIM11を0にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタ (ADTC)のビット1 (BUSY1)、ビット2 (STRB)を0、0に設定してください。

2．ポート機能として自由に使用できます。

3．送信のみ使用するときは、P20 (CMOS入出力)になります (ADTCのビット7 (RE)に0を設定してください)。

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

(b) 自動データ送受信コントロール・レジスタ(ADTC)

ADTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット時は、00Hになります。

略号

①

アドレス

リセット時

R/W

ADTC

RE

ARLD

ERCE

ERR

TRF

STRB

BUSY1

BUSY0

FF69H

00H

R/W^{注1}

R/W

BUSY1

BUSY0

ビジー入力の制御

0

×

ビジー入力を使用しない

1

0

ビジー入力許可(ハイ・アクティブ)

1

1

ビジー入力許可(ロウ・アクティブ)

R/W

STRB

ストローブ出力の制御

0

ストローブ出力禁止

1

ストローブ出力許可

R

TRF

自動送受信機能のステータス^{注2}

0

自動送受信の終了を検出
(自動送受信の中断またはARLD = 0のとき, 0 になります)

1

自動送受信中(SIO1に書き込むことによって, 1 になります)

R

ERR

自動送受信機能のエラー検出

0

自動送受信時, エラーなし
(SIO1に書き込むことによって, 0 になります)

1

自動送受信時, エラーあり

R/W

ERCE

自動送受信機能のエラー・チェックの制御

0

自動送受信時, エラー・チェック禁止

1

自動送受信時, エラー・チェック許可
(BUSY1 = 1のときのみ)

R/W

ARLD

自動送受信機能の動作モードの選択

0

単発モード

1

繰り返しモード

R/W

RE

自動送受信機能の受信の制御

0

受信禁止

1

受信許可

注1 . ビット 3, 4(TRF, ERR)は、Read Onlyです。

2 . 自動送受信の終了判定は割り込み要求フラグのCSIF1ではなくTRFで行ってください。

注意 シリアル動作モード・レジスタ 1(CSIM1)のビット 1(CSIM11)を 0 にして外部クロック入力を選択したとき、ADTCのSTRB, BUSY1を 0, 0 に設定してください(外部クロックを入力したとき、ハンドシェーク制御を行うことはできません)。

備考 × : don't care

(c) 自動データ送受信間隔指定レジスタ(ADTI)

自動送受信機能のデータ転送のインターバル時間を設定するレジスタです。

ADTIは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし ^{注1}
1	ADTI(ADTI0-ADTI4)によるインターバル時間の制御あり

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定($f_{xx} = 4.5 \text{ MHz}$ 動作時)	
					最小値 ^{注2}	最大値 ^{注2}
0	0	0	0	0	$20.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	$22.2 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	0	0	1	$34.7 \mu\text{s} + 0.5/f_{\text{SCK}}$	$36.4 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	0	1	0	$48.9 \mu\text{s} + 0.5/f_{\text{SCK}}$	$50.7 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	0	1	1	$63.1 \mu\text{s} + 0.5/f_{\text{SCK}}$	$64.9 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	1	0	0	$77.3 \mu\text{s} + 0.5/f_{\text{SCK}}$	$79.1 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	1	0	1	$91.5 \mu\text{s} + 0.5/f_{\text{SCK}}$	$93.3 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	1	1	0	$105.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	$107.5 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	0	1	1	1	$120.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	$121.8 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	0	0	0	$134.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	$136.0 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	0	0	1	$148.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	$150.2 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	0	1	0	$162.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	$164.4 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	0	1	1	$176.9 \mu\text{s} + 0.5/f_{\text{SCK}}$	$178.6 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	1	0	0	$191.1 \mu\text{s} + 0.5/f_{\text{SCK}}$	$192.9 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	1	0	1	$205.3 \mu\text{s} + 0.5/f_{\text{SCK}}$	$207.1 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	1	1	0	$219.5 \mu\text{s} + 0.5/f_{\text{SCK}}$	$221.3 \mu\text{s} + 1.5/f_{\text{SCK}}$
0	1	1	1	1	$233.7 \mu\text{s} + 0.5/f_{\text{SCK}}$	$235.5 \mu\text{s} + 1.5/f_{\text{SCK}}$

注1．インターバル時間は、CPU処理にのみ依存します。

2．データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます(n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が $2/f_{SCK}$ よりも小さい場合、インターバル時間の最小値は $2/f_{SCK}$ となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{XX}} + \frac{28}{f_{XX}} + \frac{0.5}{f_{SCK}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{XX}} + \frac{36}{f_{XX}} + \frac{1.5}{f_{SCK}}$$

注意1．自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2．ビット5, 6には、必ず0を設定してください。

3．ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ピジィ制御(13.4.3(4) a) ピジィ制御オプション参照)は無効になります。

備考 f_{XX} : システム・クロック周波数(f_X または $f_X/2$)

f_X : システム・クロック発振周波数

f_{SCK} : シリアル・クロック周波数

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADTI	ADTI7	0	0	ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	FF6BH	00H	R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 4.5 MHz動作時)	
					最小値 ^注	最大値 ^注
1	0	0	0	0	248.0 μs + 0.5/f _{SCK}	250.0 μs + 1.5/f _{SCK}
1	0	0	0	1	262.2 μs + 0.5/f _{SCK}	264.0 μs + 1.5/f _{SCK}
1	0	0	1	0	276.4 μs + 0.5/f _{SCK}	278.2 μs + 1.5/f _{SCK}
1	0	0	1	1	290.6 μs + 0.5/f _{SCK}	292.4 μs + 1.5/f _{SCK}
1	0	1	0	0	304.8 μs + 0.5/f _{SCK}	306.6 μs + 1.5/f _{SCK}
1	0	1	0	1	319.0 μs + 0.5/f _{SCK}	320.8 μs + 1.5/f _{SCK}
1	0	1	1	0	333.2 μs + 0.5/f _{SCK}	335.1 μs + 1.5/f _{SCK}
1	0	1	1	1	347.5 μs + 0.5/f _{SCK}	349.3 μs + 1.5/f _{SCK}
1	1	0	0	0	361.7 μs + 0.5/f _{SCK}	363.5 μs + 1.5/f _{SCK}
1	1	0	0	1	375.9 μs + 0.5/f _{SCK}	377.7 μs + 1.5/f _{SCK}
1	1	0	1	0	390.2 μs + 0.5/f _{SCK}	391.9 μs + 1.5/f _{SCK}
1	1	0	1	1	404.4 μs + 0.5/f _{SCK}	406.2 μs + 1.5/f _{SCK}
1	1	1	0	0	418.6 μs + 0.5/f _{SCK}	420.4 μs + 1.5/f _{SCK}
1	1	1	0	1	432.8 μs + 0.5/f _{SCK}	434.6 μs + 1.5/f _{SCK}
1	1	1	1	0	447.0 μs + 0.5/f _{SCK}	448.8 μs + 1.5/f _{SCK}
1	1	1	1	1	461.3 μs + 0.5/f _{SCK}	463.0 μs + 1.5/f _{SCK}

注 データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます(n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{SCK}よりも小さい場合、インターバル時間の最小値は2/f_{SCK}となります。

$$\text{最小値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{SCK}}$$

$$\text{最大値} = (n + 1) \times \frac{2^6}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{SCK}}$$

注意 1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2 . ビット5, 6には、必ず0を設定してください。

3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ビジィ制御(13.4.3(4) a) ビジィ制御オプション参照)は無効になります。

備考 f_{xx} : システム・クロック周波数(f_xまたはf_x/2)

f_x : システム・クロック発振周波数

f_{SCK} : シリアル・クロック周波数

(2) 自動送受信データの設定

(a) 送信データの設定

バッファRAMの最下位アドレスFAC0Hから送信データを書き込む(最大FADFHまで)。ただし、送信データ順は、上位アドレスから下位アドレスです。

自動データ送受信アドレス・ポインタ(ADTP)に、送信データ・バイト数から 1 を引いた値を設定する。

(b) 自動送受信モードの設定

シリアル動作モード・レジスタ 1(CSIM1)のビット 7(CSIE1)に 1 , ビット 5(ATE)に 1 を設定する。

自動データ送受信コントロール・レジスタ(ADTC)のビット 7(RE)に 1 を設定する。

自動データ送受信間隔指定レジスタ(ADTI)にデータ送受信の転送間隔を設定する。

シリアル・シフト・レジスタ 1(SIO1)の任意の値を書き込む(転送開始トリガ)。

注意 SIO1への任意の値の書き込みは、自動送受信動作の開始を指示するものであり、書き込んだ値には意味がありません。

(a) , (b) を行うことによって、次の動作が自動的に行われます。

- ・ ADTPで指定したバッファRAMのデータをSIO1に転送後、送信を行います(自動送受信動作の開始)。
- ・ 受信したデータは、ADTPで指定したバッファRAMのアドレスへ書き込まれます。
- ・ ADTPがデクリメントされ、次のデータの送受信を行います。データの送受信は、ADTPのデクリメント出力が00Hになり、FAC0H番地のデータを出力するまで行われます(自動送受信動作の終了)。
- ・ 自動送受信動作が終了するとTRFが 0 にクリアされます。

(3) 通信動作

(a) 基本送受信モード

3線式シリアルI/Oモードと同じ8ビット単位のリデータ送受信を指定回数だけ実行する送受信モードです。

シリアル転送は、シリアル動作モード・レジスタ1(CSIM1)のビット7(CSIE1)が1にセットされているとき、シリアルI/Oシフト・レジスタ1(SIO1)へ任意のリデータを書き込むことによって開始します。

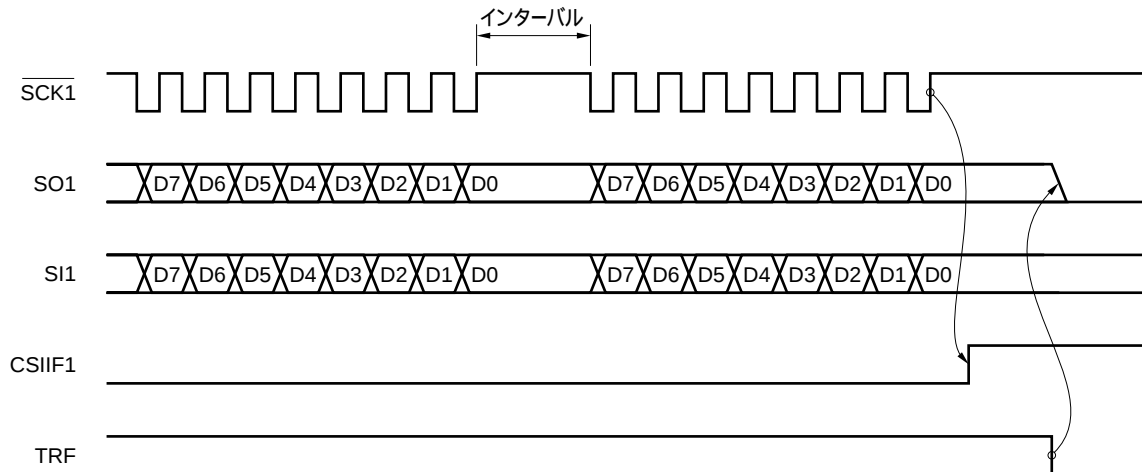
最終バイト送信完了時には割り込み要求フラグ(CSIF1)がセットされます。ただし、自動送受信の終了判定はCSIF1ではなく、自動データ送受信コントロール・レジスタ(ADTC)のビット3(TRF)で行ってください。

なお、ピジィ制御、ストローブ制御を行わない場合は、P23/STB、P24/BUSY端子を通常の入出力ポートとして使用できます。

基本送受信モードの動作タイミングを図13-8に、動作フロー・チャートを図13-9に示します。

また、6バイト送信するときのバッファRAMの動作を図13-10に示します。

図13-8 基本送受信モードの動作タイミング



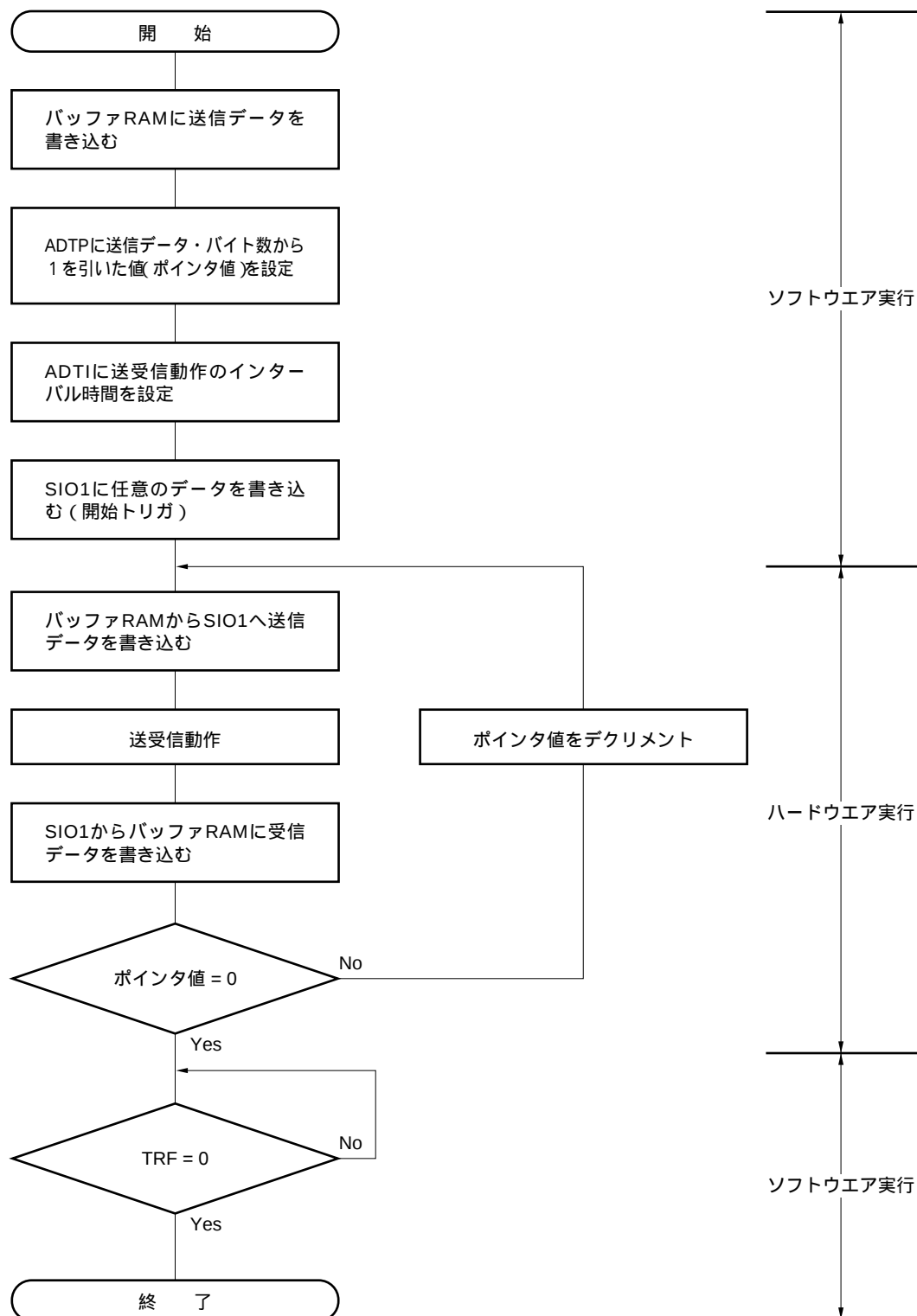
注意1．基本送受信モードでは、1バイト送受信後、バッファRAMへの書き込み/読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMへの書き込み/読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信間隔指定レジスタ(ADTI)の値に依存します(5)自動送受信のインターバル時間参照)。

2．TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIF：割り込み要求フラグ

TRF：自動データ送受信コントロール・レジスタ(ADTC)のビット3

図13 - 9 基本送受信モードのフロー・チャート



備考 ADTP : 自動データ送受信アドレス・ポインタ

ADTI : 自動データ送受信間隔指定レジスタ

SIO1 : シリアルI/Oシフト・レジスタ1

TRF : 自動データ送受信コントロール・レジスタ (ADTC) のビット3

基本送受信モードで6バイト分送受信するとき(ARLD = 0, RE = 1), バッファRAMは次のような動作をします。

(i) 送受信動作前 (図13 - 10 (a) 参照)

SIO1に任意のデータを書き込んだあと(開始トリガ: このデータは転送されません), バッファRAMから送信データ 1(T1)がSIO1へ転送されます。1バイト目の送信が完了すると, SIO1からバッファRAMへ受信データ 1(R1)が転送され, ADTPがデクリメントされます。続いてバッファRAMから送信データ 2(T2)がSIO1へ転送されます。

(ii) 4バイト目送受信動作時点 (図13 - 10 (b) 参照)

3バイト目の送受信が完了し, バッファRAMから送信データ 4(T4)がSIO1へ転送されます。4バイト目の送信が完了すると, SIO1からバッファRAMへ受信データ 4(R4)が転送され, ADTPがデクリメントされます。

(iii) 送受信完了 (図13 - 10 (c) 参照)

6バイト目の送信が完了すると, SIO1からバッファRAMへ受信データ 6(R6)が転送され, 割り込み要求フラグ(CSIF1)がセットされます(INTCSI1発生)。

図13 - 10 6バイト分送受信するときのバッファRAMの動作(基本送受信モード時)(1/2)

(a) 送受信動作前

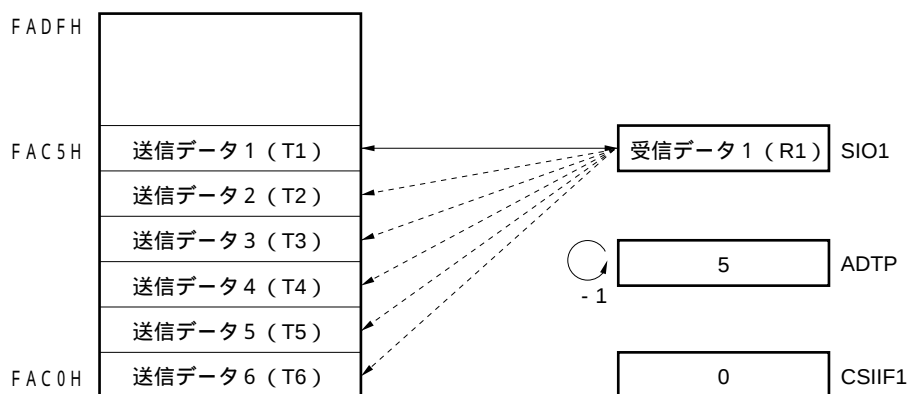
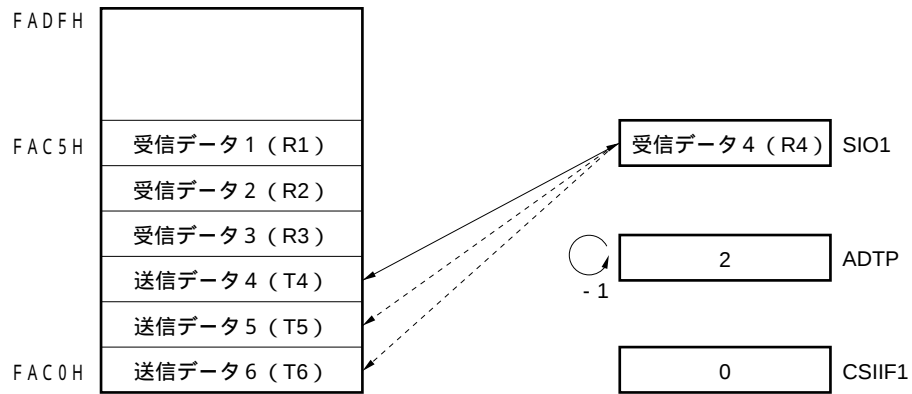
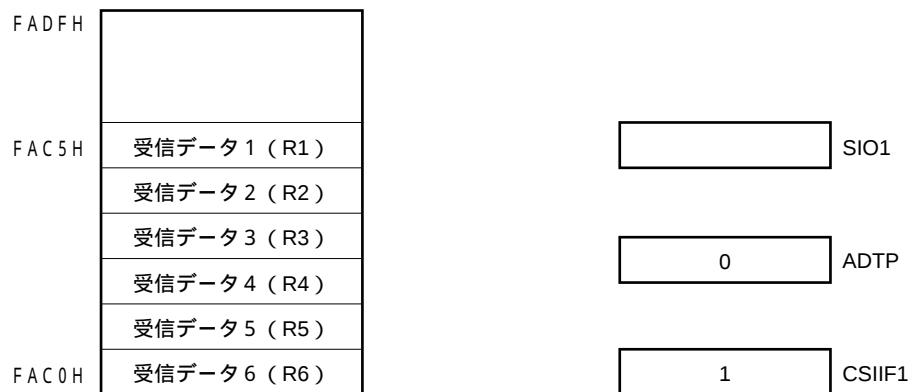


図13 - 10 6バイト分送受信するときのバッファRAMの動作(基本送受信モード時Ⅰ2/2)

(b) 4バイト目送受信動作時点



(c) 送受信完了



(b) 基本送信モード

8ビット単位のリデータ送信を指定回数だけ実行する送信モードです。

シリアル転送は、シリアル動作モード・レジスタ1(CSIM1)のビット7(CSIE1)が1にセットされているとき、シリアルI/Oシフト・レジスタ1(SIO1)へ任意のリデータを書き込むことによって開始します。

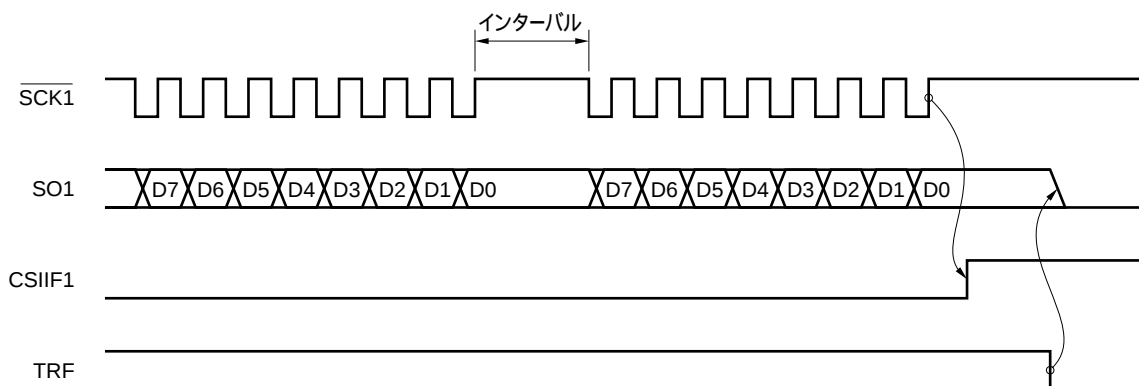
最終バイト送信完了時には割り込み要求フラグ(CSIF1)がセットされます。ただし、自動送受信の終了判断はCSIF1ではなく、自動データ送受信コントロール・レジスタ(ADTC)のビット3(TRF)で行ってください。

なお、受信動作、ピジィ制御、ストローブ制御を行わない場合は、P20/SI1、P23/STB、P24/BUSY端子を通常の入出力ポートとして使用できます。

基本送信モードの動作タイミングを図13 - 11に、動作フロー・チャートを図13 - 12に示します。

また、6バイト繰り返し送信するときのバッファRAMの動作を図13 - 13に示します。

図13 - 11 基本送信モードの動作タイミング



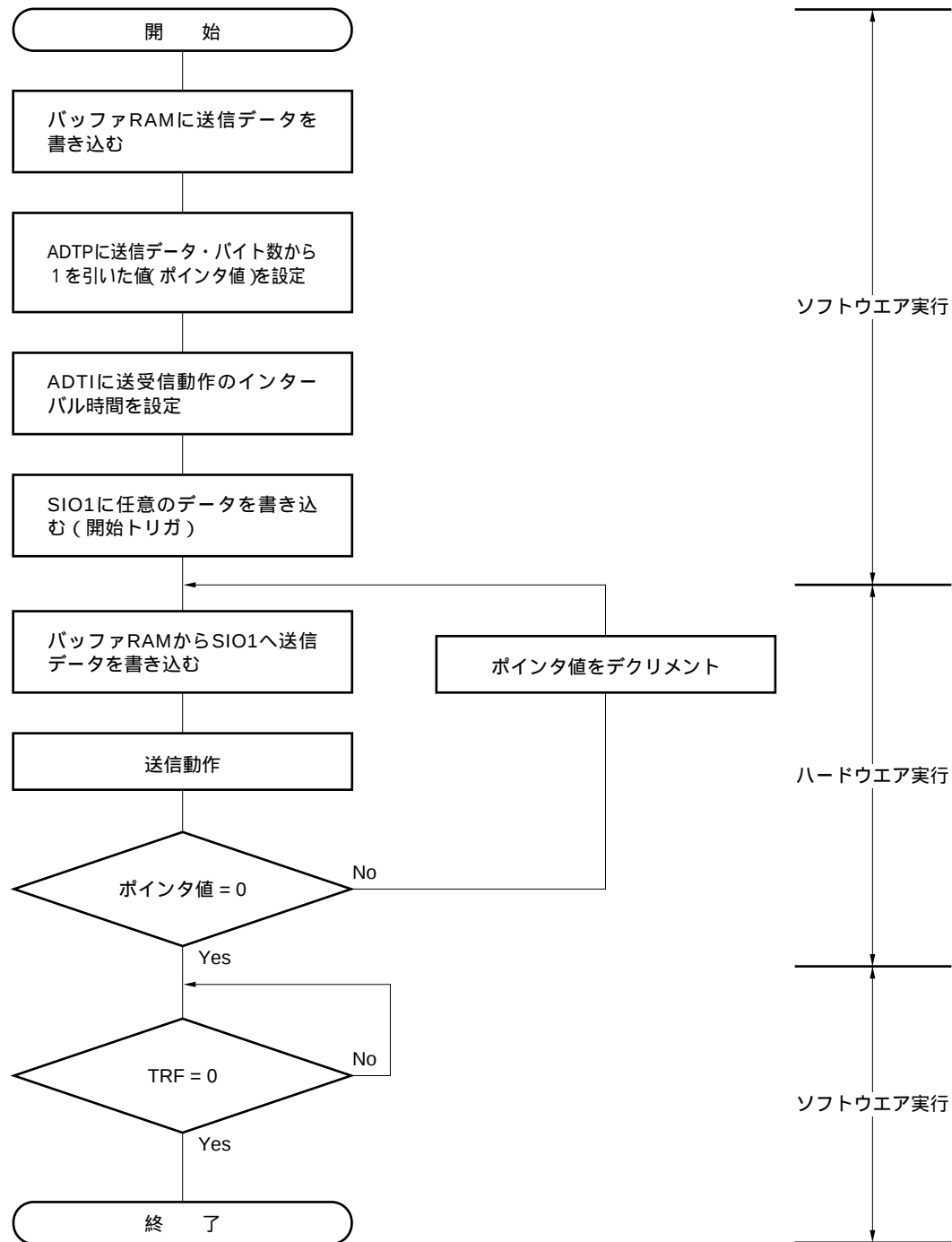
注意1．基本送信モードでは、1バイト送信後、バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信間隔指定レジスタ(ADTI)の値に依存します(5)自動送受信のインターバル時間参照)

2．TRFがクリアされると、SIO1端子はロウ・レベルになります。

備考 CSIF1：割り込み要求フラグ

TRF：自動データ送受信コントロール・レジスタ(ADTC)のビット3

図13 - 12 基本送信モードのフロー・チャート



備考 ADTP : 自動データ送受信アドレス・ポインタ

ADTI : 自動データ送受信間隔指定レジスタ

SIO1 : シリアルI/Oシフト・レジスタ1

TRF : 自動データ送受信コントロール・レジスタ (ADTC) のビット3

基本送信モードで 6 バイト分送信するとき(ARLD = 0 , RE = 0) , パッファRAMは次のような動作をします。

(i) 送信動作前 (図13 - 13 (a) 参照)

SIO1に任意のデータを書き込んだあと(開始トリガ : このデータは転送されません) , パッファRAMから送信データ 1 (T1) がSIO1へ転送されます。 1 バイト目の送信が完了すると , ADTPがデクリメントされます。続いてパッファRAMから送信データ 2 (T2) がSIO1へ転送されます。

(ii) 4 バイト目送信動作時点 (図13 - 13 (b) 参照)

3 バイト目の送信が完了し , パッファRAMから送信データ 4 (T4) がSIO1へ転送されます。 4 バイト目の送信が完了すると , ADTPがデクリメントされます。

(iii) 送受信完了 (図13 - 13 (c) 参照)

6 バイト目の送信が完了すると , 割り込み要求フラグ(CSIF1) がセットされます(INTCSI1 発生) 。

図13 - 13 6 バイト分送信するときのパッファRAMの動作(基本送信モード時)(1/2)

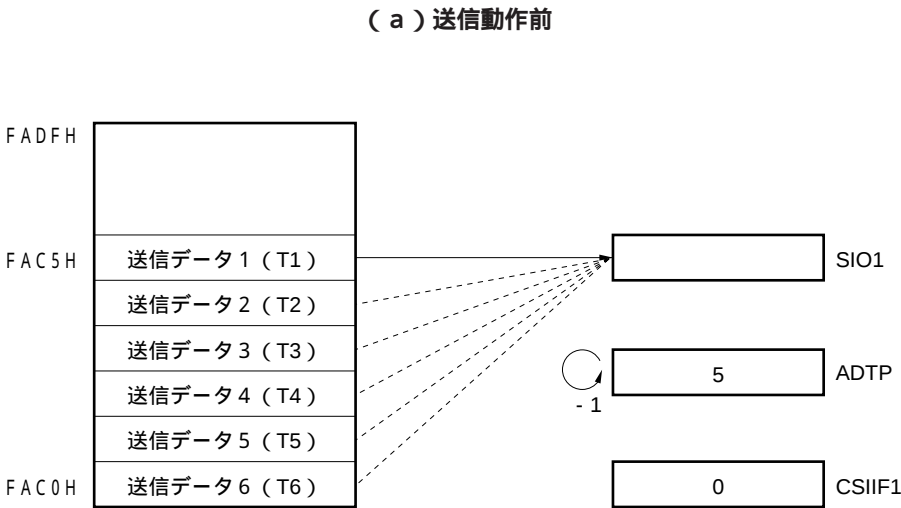
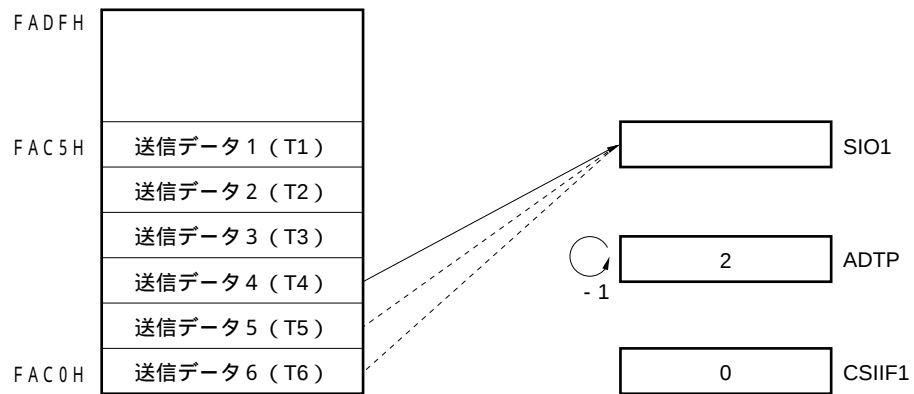
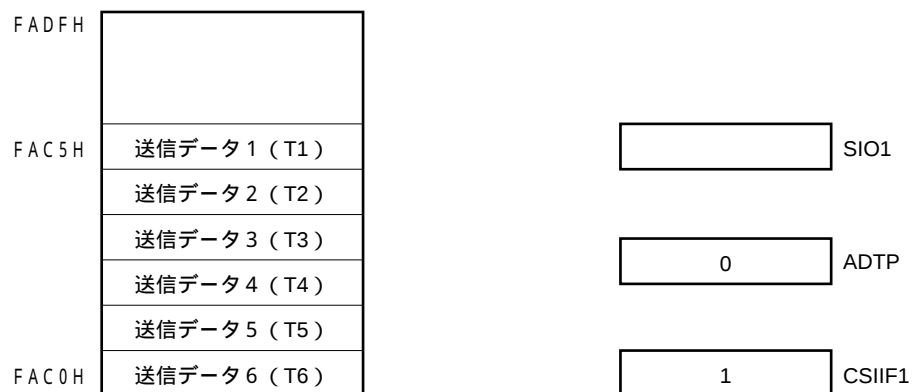


図13 - 13 6バイト分送信するときのバッファRAMの動作(基本送信モード時)(2/2)

(b) 4バイト目送信動作時点



(c) 送受信完了



(c) 繰り返し送信モード

バッファRAMに格納したデータを繰り返し送信するモードです。

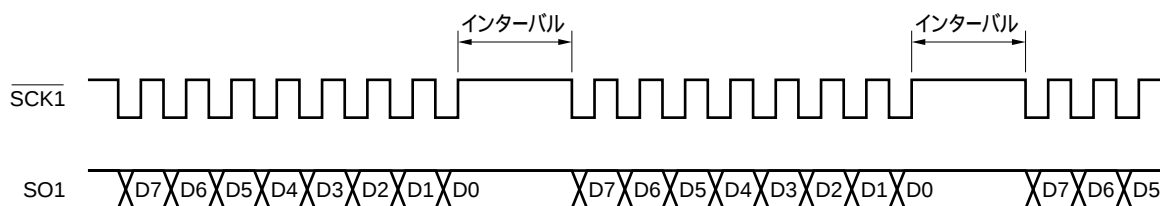
シリアル転送は、シリアル動作モード・レジスタ 1(CSIM1)のビット 7(CSIE1)が 1 にセットされているとき、シリアルI/Oシフト・レジスタ 1(SIO1)へ任意のデータを書き込むことによって開始します。

基本送信モードの場合とは異なり、最終バイト(FAC0H番地のデータ)を送信したあと、割り込み要求フラグ(CSIIF1)はセットされず、自動データ送受信アドレス・ポインタ(ADTP)に送信を開始したときの値が再設定され、バッファRAMの内容が再送信されます。

なお、受信動作、ビジー制御、ストローブ制御を行わない場合には、P20/SI1、P23/STB、P24/BUSY端子を通常の入出力ポートとして使用できます。

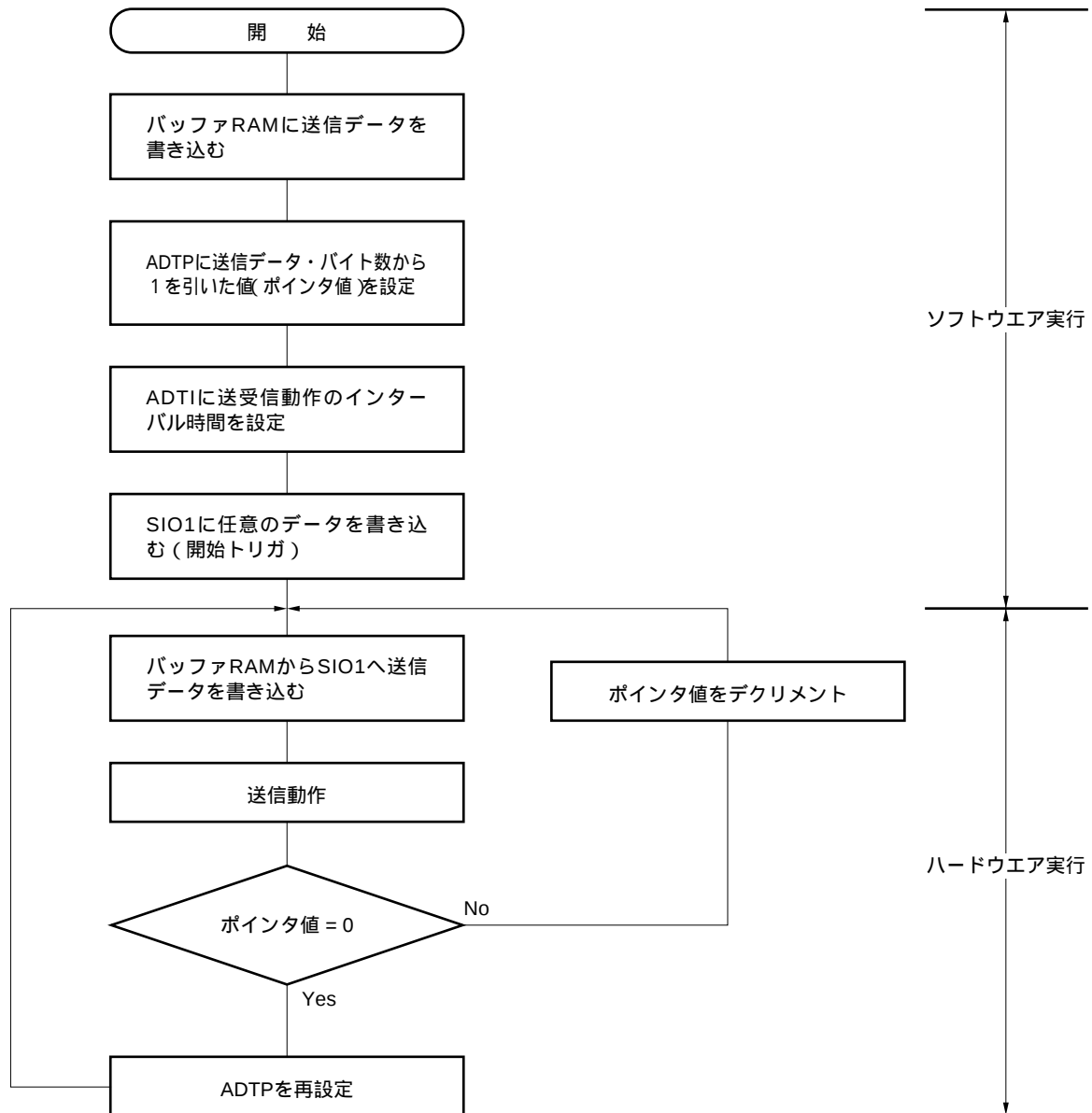
繰り返し送信モードの動作タイミングを図13 - 14に、動作フロー・チャートを図13 - 15に示します。

図13 - 14 繰り返し送信モードの動作タイミング



注意 繰り返し送信モードでは、1 バイト送信後、バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信間隔指定レジスタ(ADTI)の値に依存します(5) 自動送受信のインターバル時間参照)

図13 - 15 繰り返し送信モードのフロー・チャート



ADTP : 自動データ送受信アドレス・ポインタ

ADTI : 自動データ送受信間隔指定レジスタ

SIO1 : シリアルI/Oシフト・レジスタ1

繰り返し送信モードで 6 バイト分送信するとき(ARLD = 1 , RE = 0) , バッファRAMは次のような動作をします。

(i) 送信動作前 (図13 - 16 (a) 参照)

SIO1に任意のデータを書き込んだあと(開始トリガ : このデータは転送されません) , バッファRAMから送信データ 1 (T1) がSIO1へ転送されます。 1 バイト目の送信が完了すると , ADTPがデクリメントされます。続いてバッファRAMから送信データ 2 (T2) がSIO1へ転送されます。

(ii) 6 バイト分送信完了時点 (図13 - 16 (b) 参照)

6 バイト目の送信が完了しても , 割り込み要求フラグ(CSIF1)はセットされません。ADTPには , 再び最初のポインタ値が設定されます。

(iii) 7 バイト目送信動作時点 (図13 - 16 (c) 参照)

再びバッファRAMから送信データ 1 (T1) がSIO1へ転送されます。 1 バイト目の送信が完了すると , ADTPがデクリメントされます。続いてバッファRAMから送信データ 2 (T2) がSIO1へ転送されます。

図13 - 16 6 バイト分送信するときのバッファRAMの動作(繰り返し送信モード時)(1/2)

(a) 送信動作前

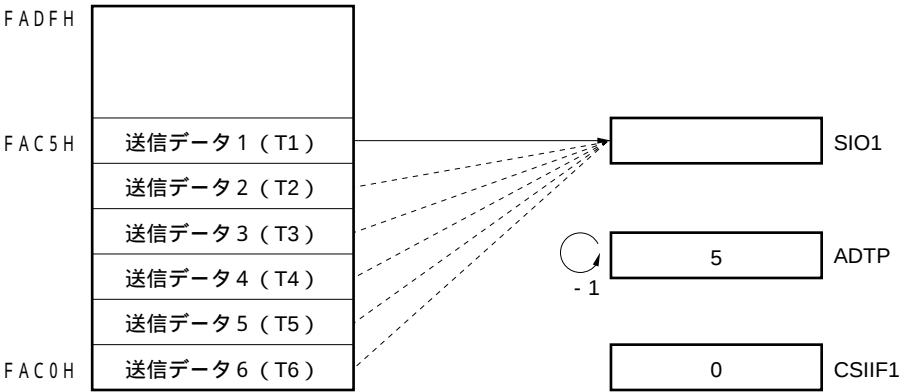
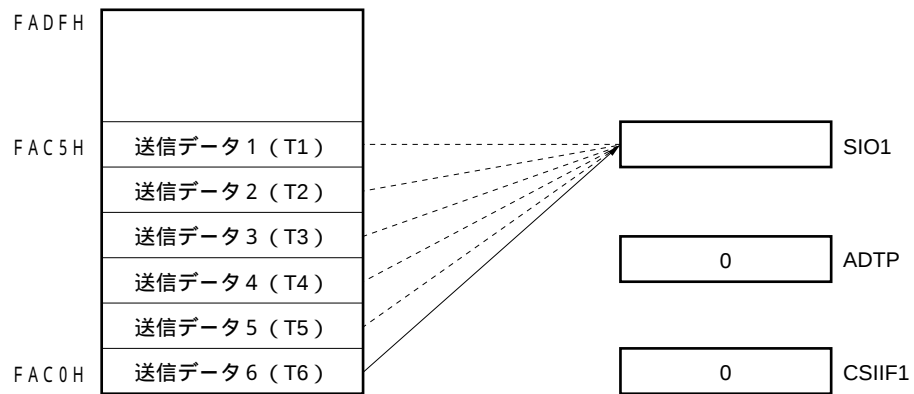
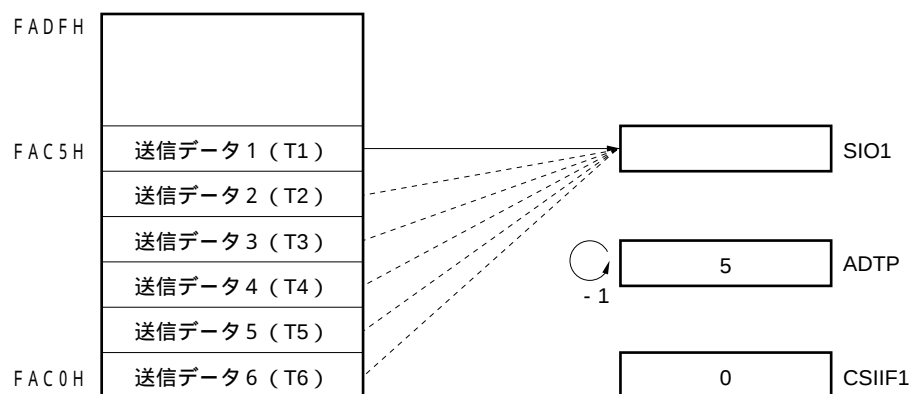


図13 - 16 6バイト分送信するときのバッファRAMの動作(繰り返し送信モード時)(2/2)

(b) 6バイト分送信完了時点



(c) 7バイト目送信動作時点



(d) 自動送受信の中断と再開

自動送受信中に送受信動作を一時的に中断したい場合、シリアル動作モード・レジスタ 1 (CSIM1) のビット 7 (CSIE1) を 0 にリセットすることにより動作の中断ができます。

このとき、8 ビット・データ転送の途中では中断せず、必ず 8 ビット・データ転送が完了した時点で中断します。

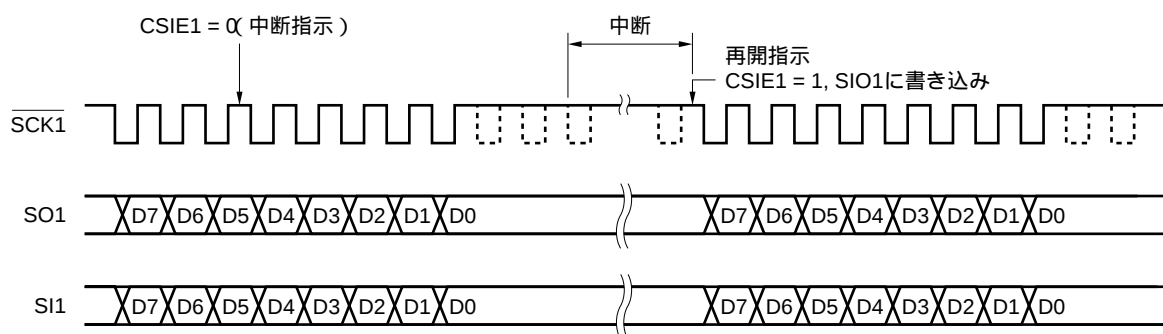
中断時には、8 ビット目のデータを転送したあと、自動データ送受信コントロール・レジスタ (ADTC) のビット 3 (TRF) が 0 になり、シリアル・インタフェース用端子と兼用しているポート端子 (P20/SI1, P21/SO1, P22/SCK1, P23/STB, P24/BUSY) がすべてポート・モードになります。

自動送受信を再開するには、CSIE1 を 1 にセットし、シリアルI/Oシフト・レジスタ 1 (SIO1) に任意の値を書き込みます。これにより、残りのデータを転送することができます。

注意 1 . 自動送受信中にHALT命令を実行すると、8 ビット・データ転送の途中で転送を中断し、HALTモードになります。また、HALTモードを解除すると、自動送受信動作を中断箇所より再開します。

2 . 自動送受信動作を中断したとき、TRF = 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。

図13 - 17 自動送受信の中断と再開



CSIE1 : シリアル動作モード・レジスタ 1 (CSIM1) のビット 7

(4) 同期制御

ビジィ制御およびストローブ制御は、マスタ・デバイスとスレーブ・デバイス間の送受信の同期をとるための機能です。

これらの機能を使用することにより、送受信中のビットずれの検出などが可能となります。

(a) ビジィ制御オプション

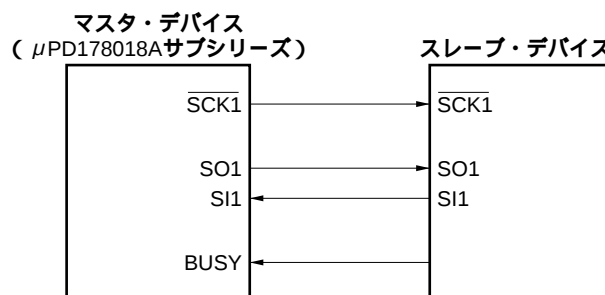
ビジィ制御は、スレーブ・デバイスがマスタ・デバイスにビジィ信号を出力することにより、そのビジィ信号がアクティブな期間、マスタ・デバイスのシリアル送受信をウエイトさせることができる機能です。

ビジィ制御オプションを使用する場合には、次に示す条件が必要です。

- ・シリアル動作モード・レジスタ 1(CSIM1)のビット 5(ATE)をセット(1)
- ・自動データ送受信コントロール・レジスタ(ADTC)のビット 1(BUSY1)をセット(1)

ビジィ制御オプションを使用した場合のマスタ・デバイスとスレーブ・デバイスとのシステム構成を図13 - 18に示します。

図13 - 18 ビジィ制御オプション使用時のシステム構成



マスタ・デバイスは、スレーブ・デバイスが出力するビジィ信号をBUSY/P24端子に入力します。マスタ・デバイスはシリアル・クロックの立ち下がりに同期して、入力したビジィ信号をサンプリングします。8ビット・データの送受信中にビジィ信号がアクティブになっても、ウエイトはかかりません。8ビット・データの送受信が終了してから2クロック後のシリアル・クロックの立ち上がり時にビジィ信号がアクティブであれば、その時点ではじめてビジィ入力が有効となり、それ以降、ビジィ信号がアクティブな期間は送受信にウエイトがかかります。

ビジィ信号のアクティブ・レベルはADTCのビット 0(BUSY0)で設定します。

BUSY0 = 0 : アクティブ・ハイ

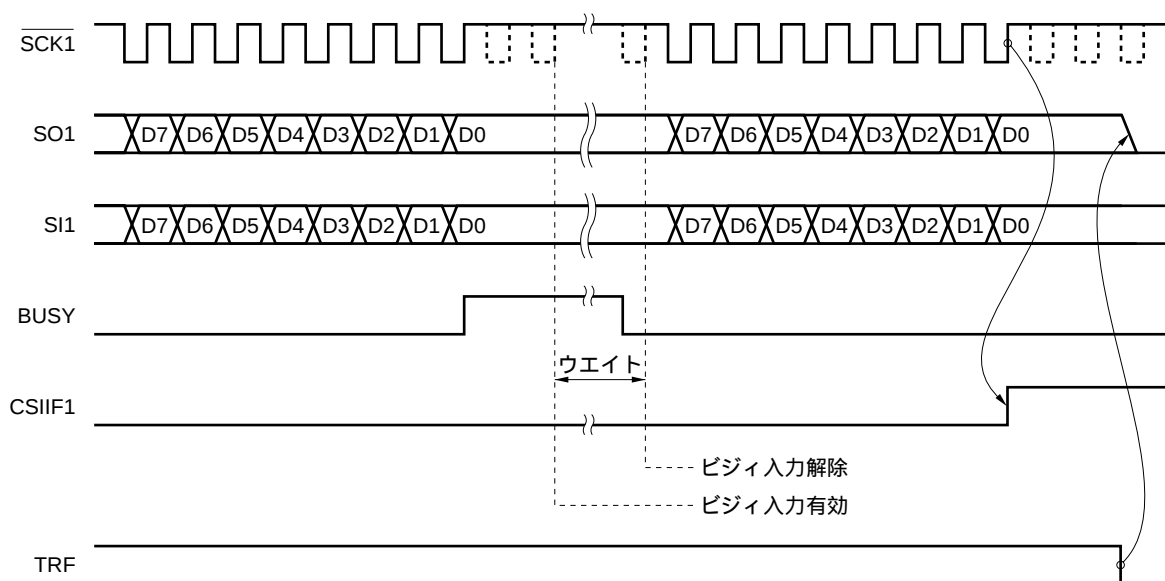
BUSY0 = 1 : アクティブ・ロウ

なお、ビジィ制御オプションを使用する場合、シリアル・クロックには内部クロックを選択してください。外部クロックでは、ビジィ信号による制御はできません。

ビジィ制御オプションを使用したときの動作タイミングを図13 - 19に示します。

注意 ビジィ制御は、自動データ送受信間隔指定レジスタ (ADTI) によるインターバル時間の制御とは同時に使用できません。同時に使用すると、ビジィ制御が無効になります。

図13 - 19 ビジィ制御オプションを使用したときの動作タイミング (BUSY0 = 0のとき)



注意 TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIF1 : 割り込み要求フラグ

TRF : 自動データ送受信コントロール・レジスタ (ADTC) のビット 3

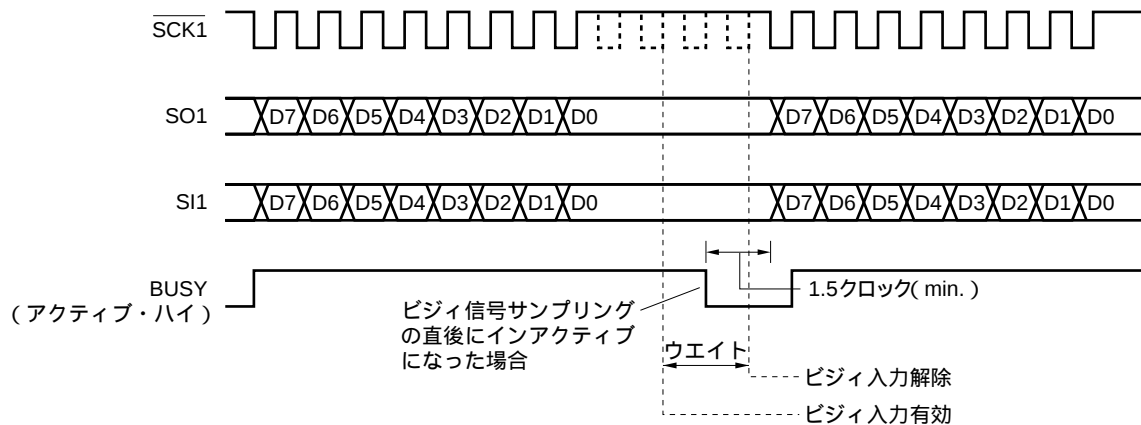
ビジィ信号がインアクティブになると、ウェイトは解除されます。サンプリングされたビジィ信号がインアクティブな場合、その次のシリアル・クロックの立ち下がりから、次の8ビット・データの送受信が開始されます。

なお、ビジィ信号はシリアル・クロックとは非同期ですので、スレーブ側がビジィ信号をインアクティブにしても、それがサンプリングされるまでには最大で1クロック近くかかります。また、サンプリングされてからデータ転送が開始されるまでには0.5クロックかかります。

したがって、ウェイトを確実に解除するためには、スレーブ側がビジィ信号を最低1.5クロック間、インアクティブに保持する必要があります。

図13 - 20にビジィ信号とウェイト解除についてのタイミングを示します。この図では、送受信の開始とともにビジィ信号をアクティブにした場合の例を示しています。

図13 - 20 ビジィ信号とウェイトの解除 (BUSY0 = 0のとき)



(b) ビジィ & ストロープ制御オプション

ストロープ制御は、マスタ・デバイスとスレーブ・デバイスとのデータ送受信の同期をとるための機能です。8ビット送受信終了時に、マスタ・デバイスがSTB/P23端子からストロープ信号を出力します。これにより、スレーブ・デバイスはマスタのデータ送信終了タイミングを知ることができます。したがって、シリアル・クロックにノイズがのってビットずれが発生した場合でも同期がとれ、ビットずれが次のバイト送信に影響しません。

ストロープ制御オプションを使用する場合には、次に示す条件が必要です。

- ・シリアル動作モード・レジスタ 1 (CSIM1) のビット 5 (ATE) をセット (1)
- ・自動データ送受信コントロール・レジスタ (ADTC) のビット 2 (STRB) をセット (1)

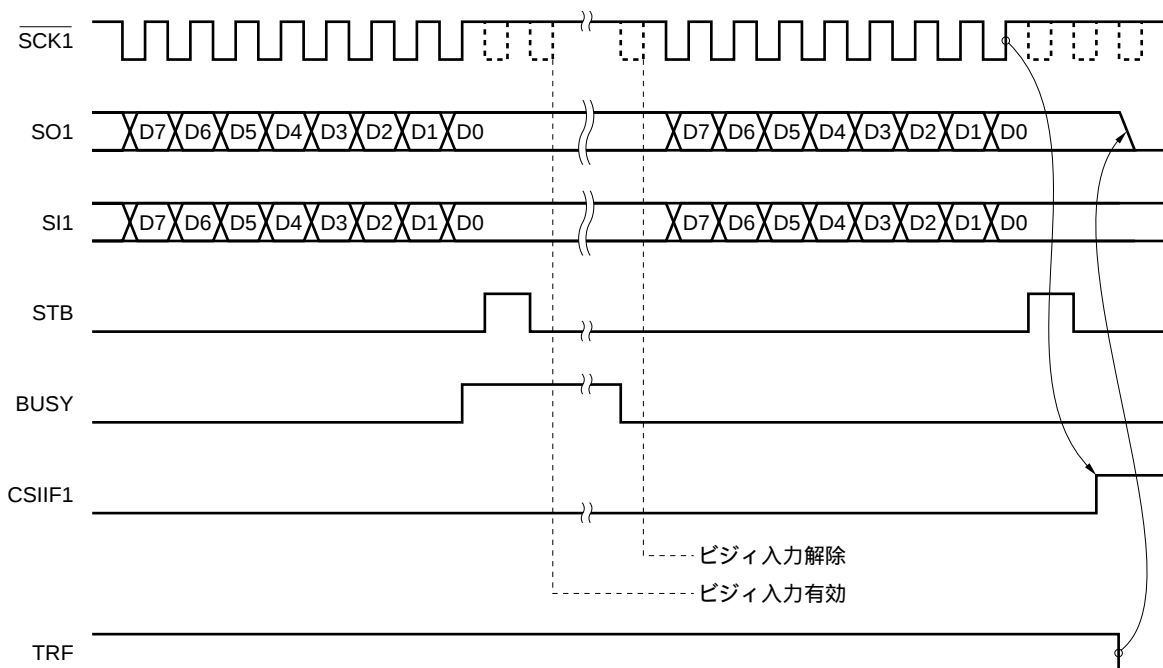
通常、ビジィ制御とストロープ制御はハンドシェイク用の信号として同時に使用します。この場合、STB/P23端子からストロープ信号を出力するとともに、BUSY/P24端子をサンプリングし、ビジィ信号が入力されている間、送受信をウェイトさせることができます。

ストロープ制御を行わない場合、P23/STB端子は通常の入出力ポートとして使用できます。

ビジィ & ストロープ制御を使用したときの動作タイミングを図13 - 21に示します。

なお、ストロープ制御を使用した場合、送受信完了時にセットされる割り込み要求フラグ (CSIF1) は、ストロープ信号の出力後にセットされます。

図13 - 21 ビジィ & ストロープ制御オプションを使用したときの動作タイミング (BUSY0 = 0 のとき)



注意 TRFがクリアされると、SO1端子はロウ・レベルになります。

備考 CSIF1：割り込み要求フラグ

TRF：自動データ送受信コントロール・レジスタ(ADTC)のビット3

(c) ビジィ信号によるビットずれ検出機能

自動送受信動作中、マスタ・デバイスの出力するシリアル・クロック信号にノイズがのり、スレーブ・デバイス側のシリアル・クロックでビットずれが発生する場合があります。このとき、ストローブ制御オプションを使用していないと、ビットずれが次のバイト送信に影響してしまいます。このような場合、マスタ側はビジィ制御オプションを使用して送信中にビジィ信号をチェックすることにより、ビットずれを検出できます。

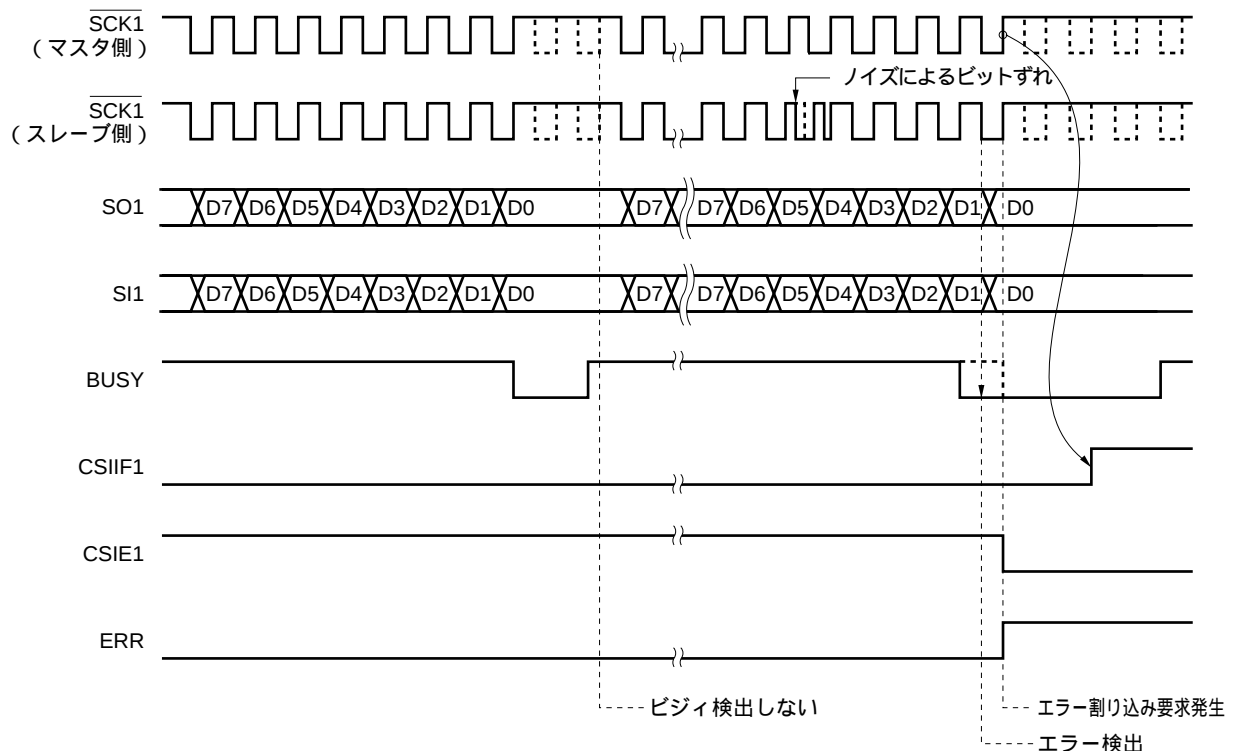
ビジィ信号によるビットずれ検出は、次のように行います。

スレーブ側は、データ送受信の8回目のシリアル・クロックの立ち上がりのあとにビジィ信号を出力します(このとき、ビジィ信号によるウェイトをかけたくない場合には、2クロック以内にビジィ信号をインアクティブにします)。

マスタ側は、シリアル・クロックの前側の立ち下がりに同期してビジィ信号をサンプリングします。ビットずれが発生していなければ、8回のサンプリングはすべてインアクティブになります。サンプリングして、アクティブであればビットずれが発生したとみなし、エラー処理(自動データ送受信コントロール・レジスタ(ADTC)のビット4(ERR)を1にセット)を行います。

ビジィ信号によるビットずれ検出機能の動作タイミングを図13 - 22に示します。

図13 - 22 ビジィ信号によるビットずれ検出機能の動作タイミング(BUSY0 = 1のとき)



CSIF1 : 割り込み要求フラグ

CSIE1 : シリアル動作モード・レジスタ 1(CSIM1)のビット 7

ERR : 自動データ送受信コントロール・レジスタ(ADTC)のビット 4

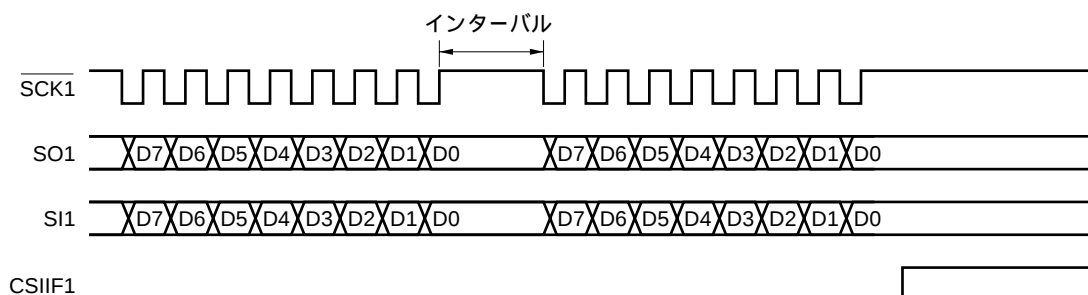
(5) 自動送受信のインターバル時間

自動送受信機能を使用する場合、1 バイト送受信後、バッファRAMからの書き込み / 読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。

自動送受信機能を内部クロックで動作させる場合、CPU処理と並行してバッファRAMとの書き込み / 読み出しを行うため、インターバル時間は、シリアル・クロックの8発目の立ち上がりタイミングにおけるCPU処理と自動データ送受信間隔指定レジスタ (ADTI) の設定値に依存します。ADTIに依存するかしないかは、ADTIのビット7 (ADTI7) の設定により、選択できます。ADTI7に0を設定したとき、インターバル時間はCPU処理にのみ依存します。ADTI7に1を設定したとき、インターバル時間は、ADTIに設定した内容で決定されるインターバル時間とCPU処理によるインターバル時間のどちらか大きい方となります。

自動送受信機能が外部クロックを動作させる場合、インターバル時間が (b) に示す時間以上になるような外部クロックを入力する必要があります。

図13 - 23 自動送受信のインターバル時間



CSIIF1 : 割り込み要求フラグ

(a) 自動送受信機能を内部クロックで動作させる場合

シリアル動作モード・レジスタ1 (CSIM1) のビット1 (CSIM11) が1にセットされていると、内部クロック動作となります。

自動送受信機能を内部クロックで動作させる場合、CPU処理によるインターバル時間は次のようになります。

自動データ送受信間隔指定レジスタ (ADTI) のビット7 (ADTI7) に0を設定したとき、インターバル時間はCPU処理によるインターバル時間となります。ADTI7に1を設定したとき、インターバル時間はADTIに設定した内容で決定されるインターバル時間とCPU処理によるインターバル時間のどちらか大きい方となります。

ADTIによるインターバル時間については、図13-5 自動データ送受信間隔指定レジスタのフォーマットを参照してください。

表13-2 CPU処理によるインターバル時間(内部クロック動作時)

CPU処理	インターバル時間
乗算命令を使用時	$\text{MAX}(2.5T_{\text{SCK}}, 13T_{\text{CPU}})$
除算命令を使用時	$\text{MAX}(2.5T_{\text{SCK}}, 20T_{\text{CPU}})$
外部アクセス1ウェイト・モード	$\text{MAX}(2.5T_{\text{SCK}}, 9T_{\text{CPU}})$
上記以外	$\text{MAX}(2.5T_{\text{SCK}}, 7T_{\text{CPU}})$

T_{SCK} : $1/f_{\text{SCK}}$

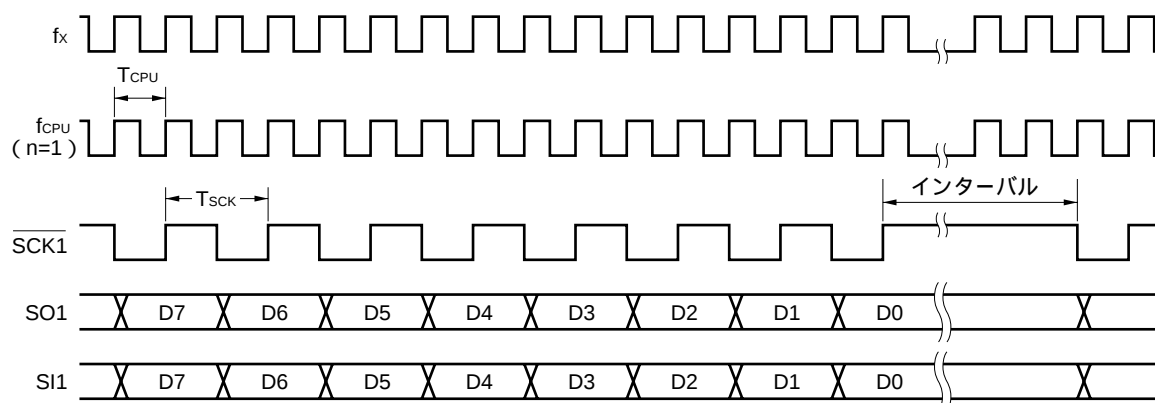
f_{SCK} : シリアル・クロック周波数

T_{CPU} : $1/f_{\text{CPU}}$

f_{CPU} : CPUクロック (プロセッサ・クロック・コントロール・レジスタ (PCC) のビット0-2 (PCC0-PCC2) で設定)

$\text{MAX.}(a, b)$: a, bどちらか大きい方の値

図13-24 自動送受信機能を内部クロックで動作させる場合の動作タイミング



f_x : システム・クロック発振周波数

f_{CPU} : CPUクロック (プロセッサ・クロック・コントロール・レジスタ (PCC) のビット 0-2 (PCC0-PCC2) で設定)

T_{CPU} : $1/f_{CPU}$

T_{SCK} : $1/f_{SCK}$

f_{SCK} : シリアル・クロック周波数

(b) 自動送受信機能を外部クロックで動作させる場合

シリアル動作モード・レジスタ 1 (CSIM1) のビット 1 (CSIM11) が 0 にクリアされていると、外部クロック動作となります。

自動送受信機能を外部クロックで動作させる場合、インターバル時間が次に示す時間以上になるような外部クロックを入力する必要があります。

表13-3 CPU処理によるインターバル時間(外部クロック動作時)

CPU処理	インターバル時間
乗算命令を使用時	13 T_{CPU} 以上
除算命令を使用時	20 T_{CPU} 以上
外部アクセス 1 ウェイト・モード	9 T_{CPU} 以上
上記以外	7 T_{CPU} 以上

T_{CPU} : $1/f_{CPU}$

f_{CPU} : CPUクロック (プロセッサ・クロック・コントロール・レジスタ (PCC) のビット 0-2 (PCC0-PCC2) で設定)

〔メ モ〕

第14章 割り込み機能とテスト機能

14.1 割り込み機能の種類

割り込み機能には、次の3種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みには、ウォッチドッグ・タイマからの割り込み要求が1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ(PR0L, PR0H)の設定により、割り込み優先順位を高い優先順位のグループと低い優先順位のグループにわけることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています(表14 - 1 参照)。

スタンバイ・リリース信号を発生します。

マスカブル割り込みには、外部割り込み要求が7要因、内部割り込み要求が15要因あります。

(3) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

14.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計17要因あります(表14 - 1 参照)。

表14 - 1 割り込み要因一覧

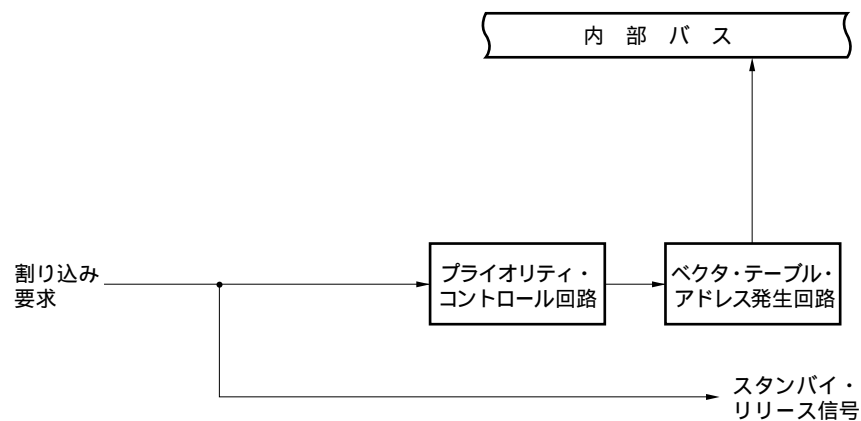
割り込み の種類	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 ^{注2} タイプ
		名 称	トリガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	A
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			B
	1	INTP0	端子入力エッジ検出	外部	0006H	C
	2	INTP1			0008H	D
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTP5			0010H	
	7	INTP6			0012H	
	8	INTCSIO	シリアル・インタフェース・チャンネル0の 転送終了	内部	0014H	B
	9	INTCSI1	シリアル・インタフェース・チャンネル1の 転送終了		0016H	
	10	INTTMC	ベーシック・タイマの一致信号発生		0018H	
	11	INTPWM	8ビット・タイマの一致信号発生		001AH	
	12	INTTM1	8ビット・タイマ/イベント・カウンタ1 の一致信号発生		001CH	
	13	INTTM2	8ビット・タイマ/イベント・カウンタ2 の一致信号発生		001EH	
	14	INTAD	A/Dコンバータの変換終了		0020H	
ソフトウェア	-	BRK	BRK命令の実行	内部	003EH	E

注1．デフォルト・プライオリティは、複数のマスカブル割り込み要求が同時に発生している場合に、優先する順位です。0が最高順位，14が最低順位です。

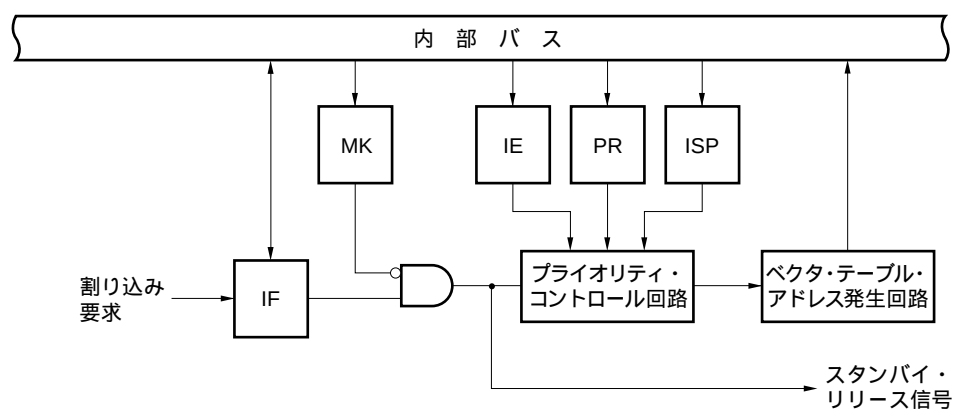
2．基本構成タイプのA-Eは，それぞれ図14 - 1の(A)(E)に対応しています。

図14 - 1 割り込み機能の基本構成(1/2)

(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み(INTP0)

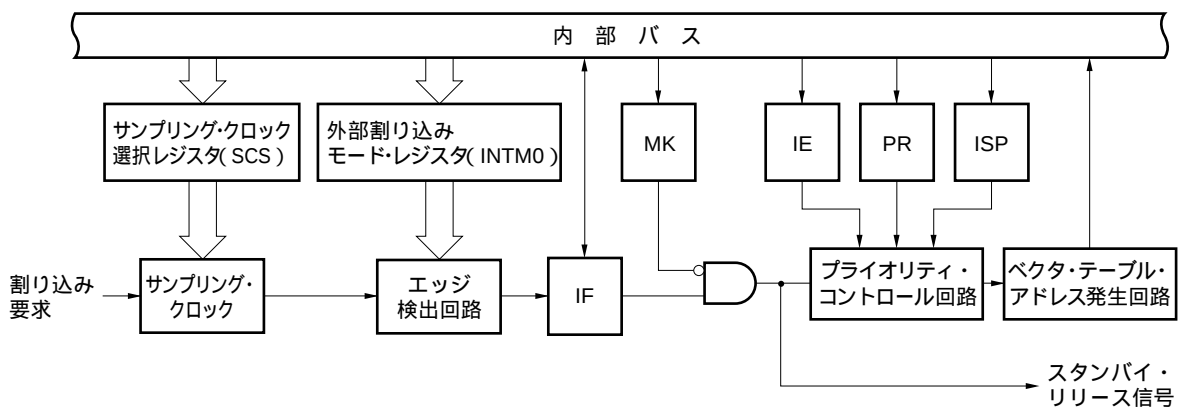
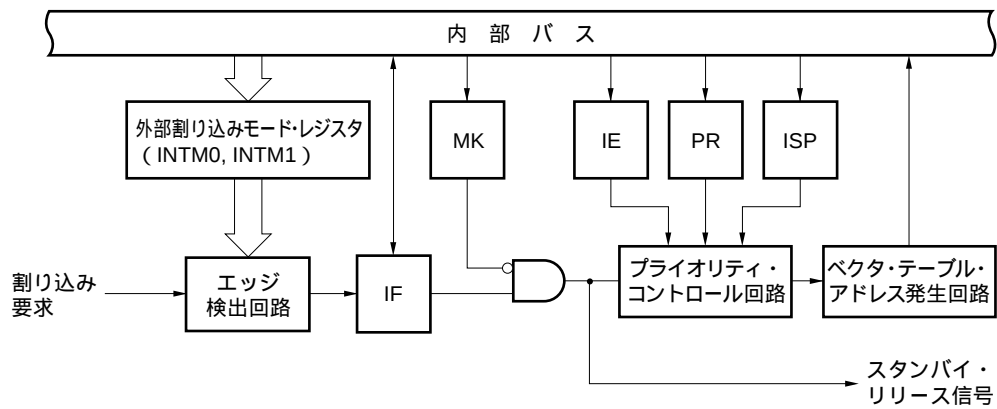
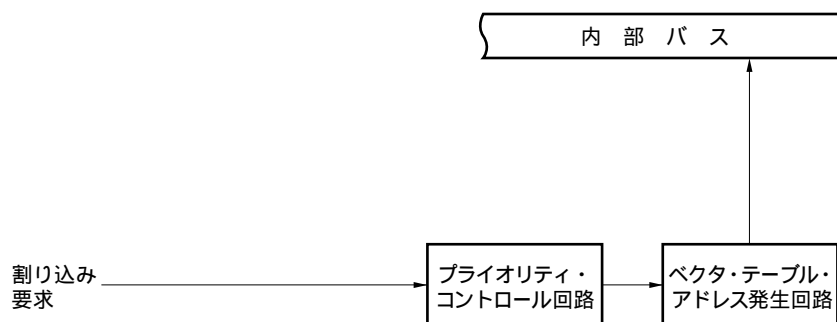


図14 - 1 割り込み機能の基本構成(2/2)

(D) 外部マスカブル割り込み(INTP0を除く)



(E) ソフトウェア割り込み



- 備考**
- IF : 割り込み要求フラグ
 - IE : 割り込み許可フラグ
 - ISP : インサース・プライオリティ・フラグ
 - MK : 割り込みマスク・フラグ
 - PR : 優先順位指定フラグ

14.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ(IF0L, IF0H)
- ・割り込みマスク・フラグ・レジスタ(MK0L, MK0H)
- ・優先順位指定フラグ・レジスタ(PR0L, PR0H)
- ・外部割り込みモード・レジスタ(INTM0, INTM1)
- ・サンプリング・クロック選択レジスタ(SCS)
- ・プログラム・ステータス・ワード(PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を、表14 - 2 に示します。

表14 - 2 割り込み要求ソースに対する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTP0	PIF0	IF0L	PMK0	MK0L	PPR0	PR0L
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTP5	PIF5		PMK5		PPR5	
INTP6	PIF6		PMK6		PPR6	
INTWDT	TMIF4		TMMK4		TMPR4	
INTTM1	TMIF1	IF0H	TMMK1	MK0H	TMPR1	PR0H
INTTM2	TMIF2		TMMK2		TMPR2	
INTCSI0	CSIIF0		CSIMK0		CSIPR0	
INTCSI1	CSIIF1		CSIMK1		CSIPR1	
INTAD	ADIF		ADMK		ADPR	
INTTMC	TMCIF		TMCMK		TMCPR	
INTPWM	PWMIF		PWMMK		PWMPR	

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、リセット時、命令の実行によりクリア(0)されるフラグです。

リセット時は、00Hになります。

略号	①								アドレス	リセット時	R/W	
IF0L	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	TMIF4	FFE0H	00H	R/W	
	7								①			
IF0H	0	ADIF	TMIF2	TMIF1	PWMIF	TMCIF	CSIF1	CSIF0	FFE1H	00H	R/W	

x x IF x	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

2. IF0Hのビット7には、必ず0を設定してください。

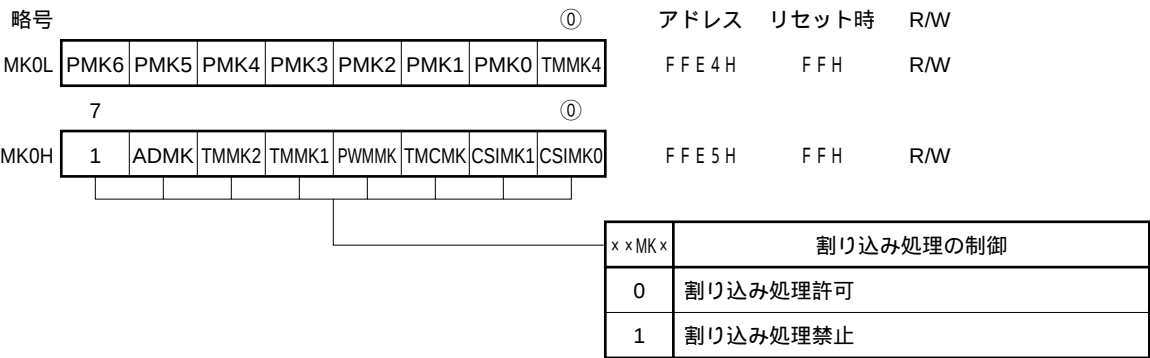
(2) 割り込みマスク・フラグ・レジスタ(MK0L, MK0H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。

MK0L, MK0Hは、1 ビット・メモリ操作命令または8 ビット・メモリ操作命令で設定します。また、MK0LとMK0Hをあわせて16ビット・レジスタMK0として使用するときは、16ビット・メモリ操作命令で設定します。

リセット時は、FFHになります。

図14 - 3 割り込みマスク・フラグ・レジスタのフォーマット



- 注意 1 . ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用しているとき、TMMK4フラグを読み出すと不定になっています。
- 2 . ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
- 3 . MK0Hのビット7には、必ず1を設定してください。

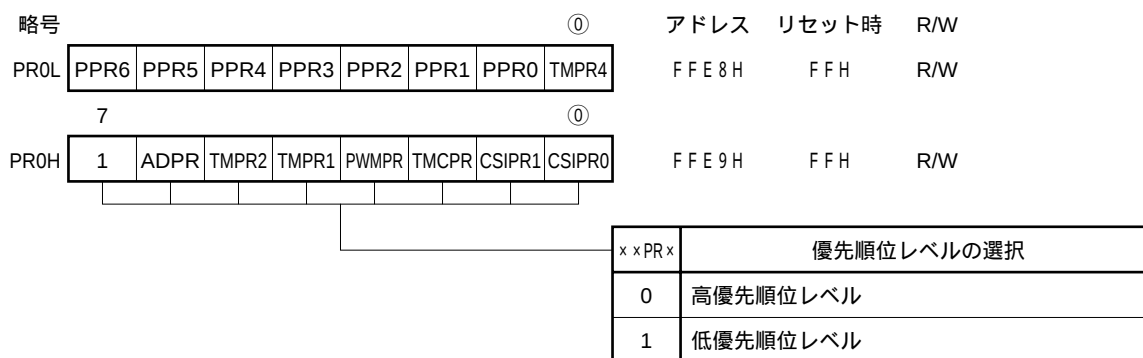
(3) 優先順位指定フラグ・レジスタ(PROL, PROH)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位を設定するフラグです。

PROL, PROHは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PROLとPROHをあわせて16ビット・レジスタPR0として使用するときには、16ビット・メモリ操作命令で設定します。

リセット時は、FFHになります。

図14 - 4 優先順位指定フラグ・レジスタのフォーマット



注意1．ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用しているとき、TMPR4フラグに1を設定してください。

2．PROHのビット7には、必ず1を設定してください。

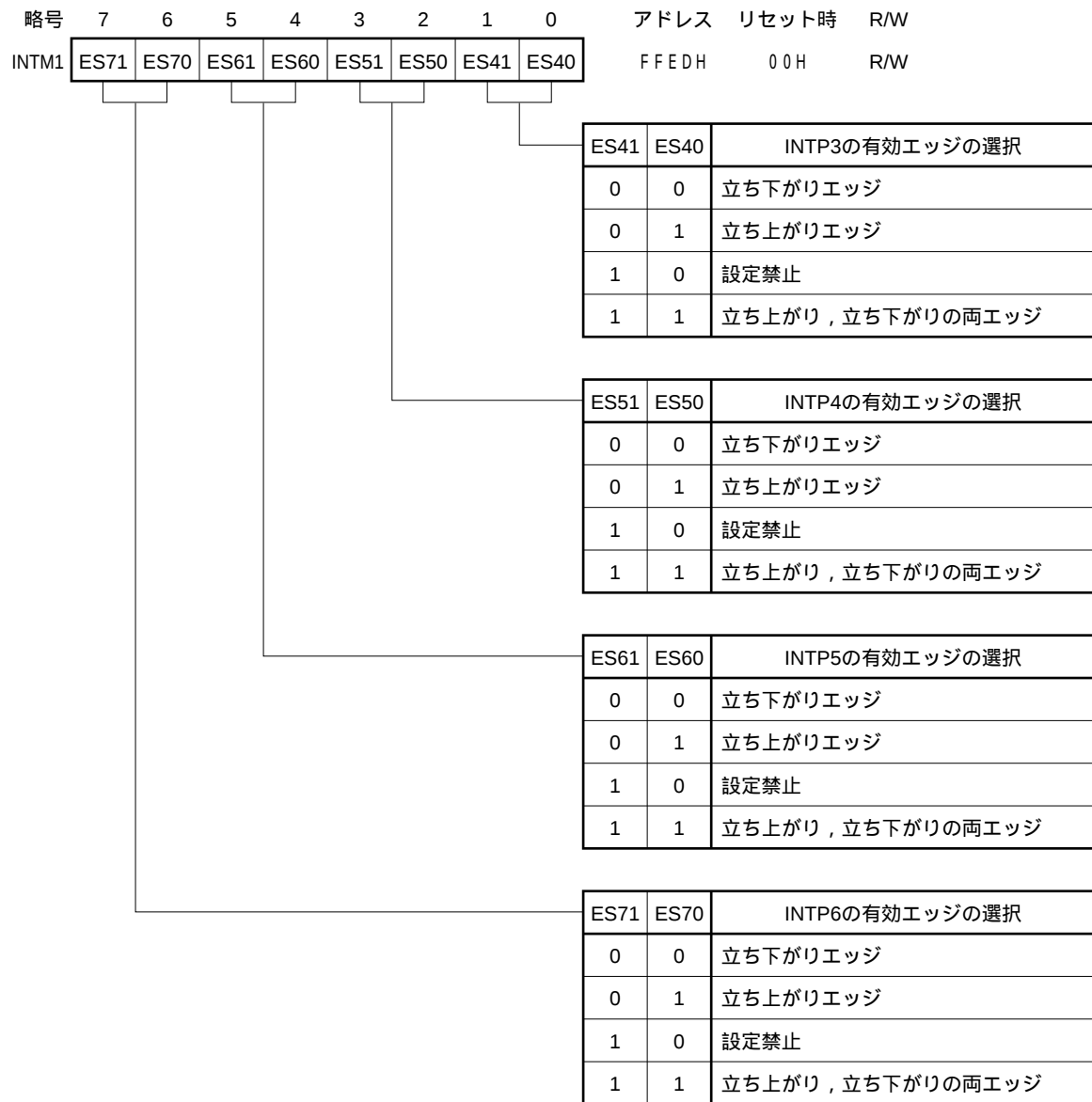
(4) 外部割り込みモード・レジスタ(INTM0, INTM1)

INTP0-INTP6の有効エッジを設定するレジスタです。
INTM0, INTM1は、それぞれ 8 ビット・メモリ操作命令で設定します。
リセット時は、00Hになります。

図14 - 5 外部割り込みモード・レジスタ 0 のフォーマット



図14 - 6 外部割り込みモード・レジスタ1のフォーマット



(5) サンプリング・クロック選択レジスタ(SCS)

INTP0に入力される有効エッジのクロック・サンプリングを行うクロックを設定するレジスタです。
INTP0を使ってリモコン受信をするとき、サンプリング・クロックによりデジタル・ノイズの除去を行います。

SCSは、8ビット・メモリ操作命令で設定します。

リセット時は、00Hになります。

図14 - 7 サンプリング・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCS	0	0	0	0	0	0	SCS1	SCS0	FF47H	00H	R/W

SCS1	SCS0	INTP0のサンプリング・クロックの選択		
		MCS = 1		MCS = 0
0	0	$f_{xx}/2^N$		
0	1	$f_{xx}/2^7$	$f_x/2^7$ (35.2 kHz)	$f_x/2^8$ (17.6 kHz)
1	0	$f_{xx}/2^5$	$f_x/2^5$ (140.6 kHz)	$f_x/2^6$ (70.3 kHz)
1	1	$f_{xx}/2^6$	$f_x/2^6$ (70.3 kHz)	$f_x/2^7$ (35.2 kHz)

注意 $f_{xx}/2^N$ はCPUへ供給されるクロック、 $f_{xx}/2^5$ 、 $f_{xx}/2^6$ 、 $f_{xx}/2^7$ は周辺ハードウェアへ供給されるクロックです。 $f_{xx}/2^N$ はHALTモード中は停止します。

備考1 . N : プロセッサ・クロック・コントロール・レジスタ(PCC)のビット0 - 2(PCC0-PCC2)に設定した値(N = 0-4)

2 . f_{xx} : システム・クロック周波数(f_x または $f_x/2$)

3 . f_x : システム・クロック発振周波数

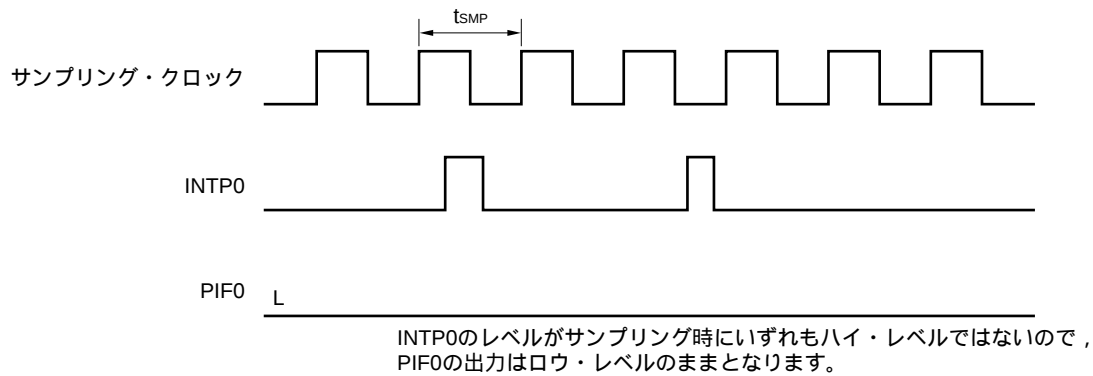
4 . MCS : 発振モード選択レジスタ(OSMS)のビット0

5 . ()内は、 $f_x = 4.5$ MHz動作時。

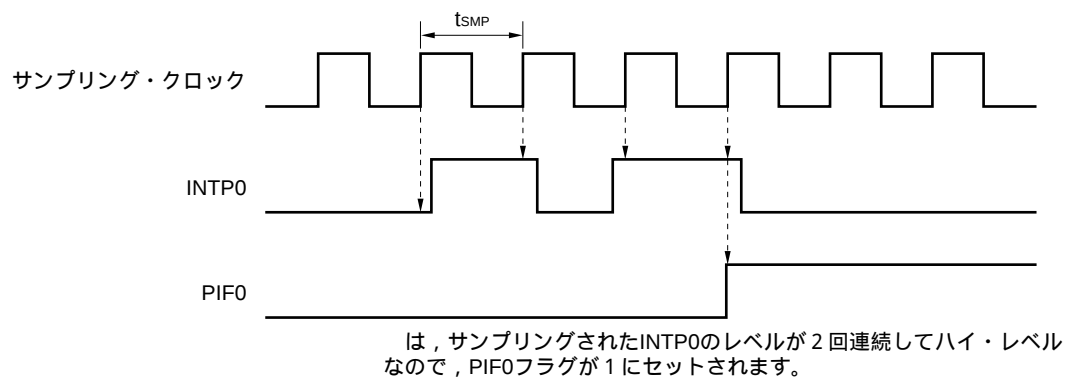
ノイズ除去回路は、サンプリングしたINTP0の入力レベルが2回連続してアクティブ・レベルであるとき、割り込み要求フラグ (PIF0) を1にセットします。

図14 - 8 ノイズ除去回路の入出力タイミング(立ち上がりエッジ検出時)

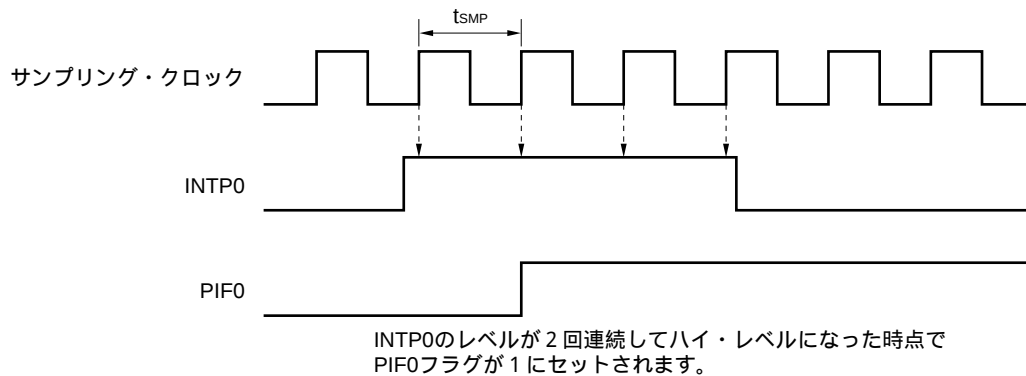
(a) 入力がサンプリング周期(t_{SMP})以下のとき



(b) 入力がサンプリング周期(t_{SMP})の1 - 2 倍のとき



(c) 入力がサンプリング周期(t_{SMP})の2倍以上のとき



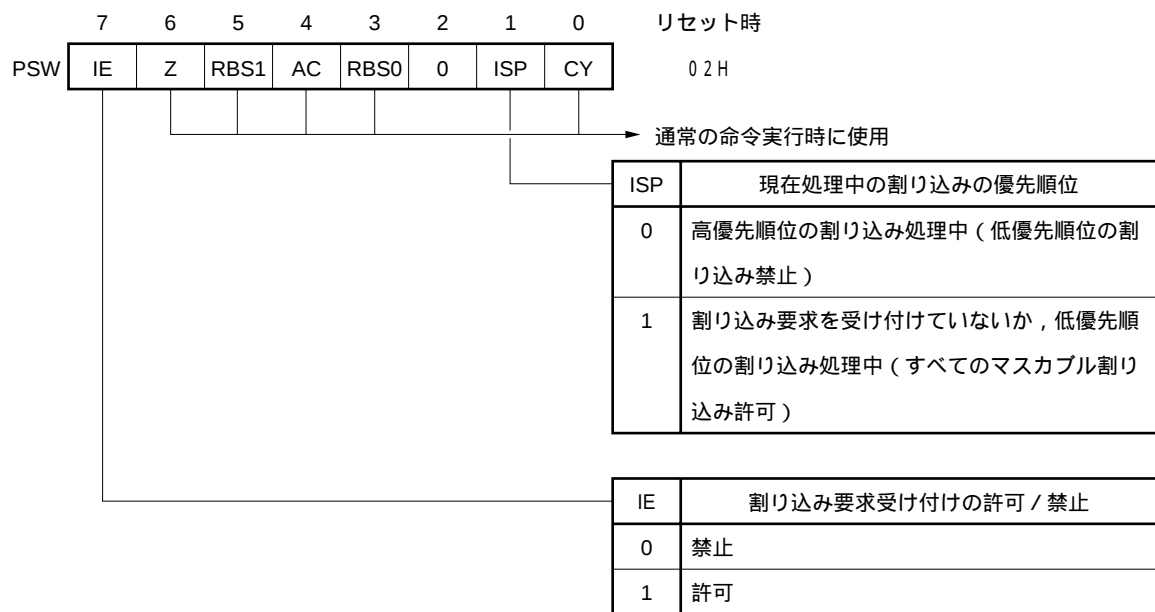
(6) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクابل割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令(EI, DI)により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスクابل割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット時は、PSWは02Hとなります。

図14 - 9 プログラム・ステータス・ワードの構成



14.4 割り込み処理動作

14.4.1 ノンマスカブル割り込み要求の受け付け動作

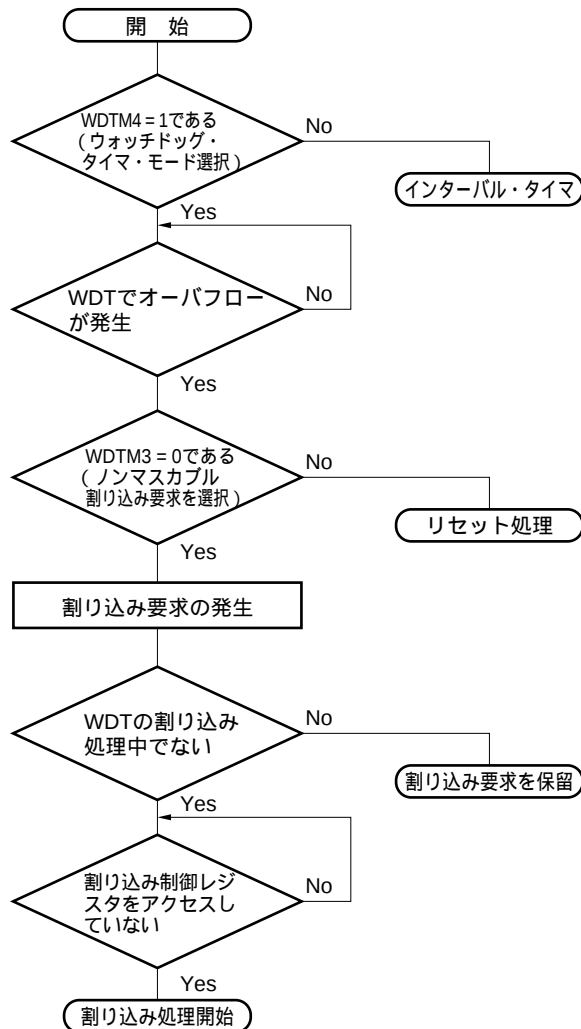
ノンマスカブル割り込み要求は、割り込み要求受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグ、ISPフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込みサービス・プログラム実行中に発生した新たなノンマスカブル割り込み要求は、現在処理中のノンマスカブル割り込みサービス・プログラムの実行が終了(RETI命令実行後)し、メイン・ルーチンを1命令実行したあと、受け付けられます。ただし、ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求が2回以上発生しても、そのノンマスカブル割り込みサービス・プログラム実行終了後に受け付けられるノンマスカブル割り込み要求は1回分だけになります。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図14 - 10に、ノンマスカブル割り込み要求の受け付けタイミングを図14 - 11に、ノンマスカブル割り込み要求が多重に発生した場合の受け付け動作を図14 - 12に示します。

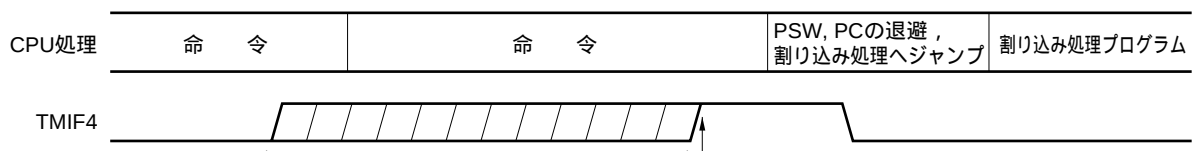
図14 - 10 ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート



WDTM : ウォッチドッグ・タイマ・モード・レジスタ

WDT : ウォッチドッグ・タイマ

図14 - 11 ノンマスカブル割り込み要求の受け付けタイミング

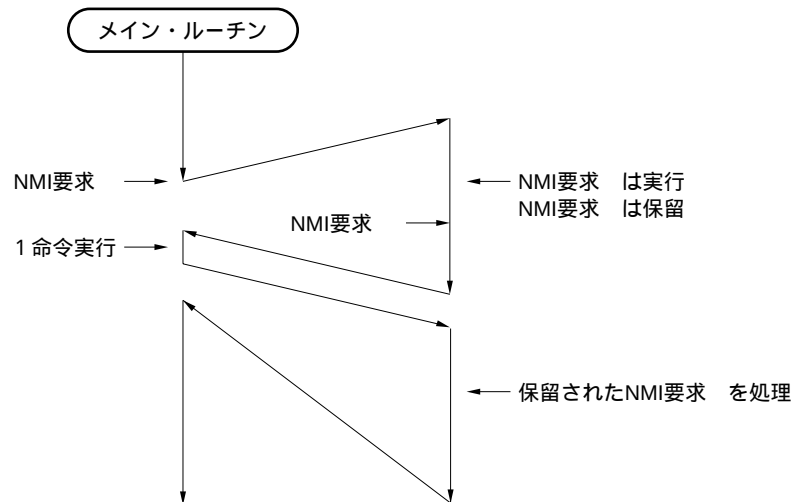


この間に発生した割り込み要求は↑のタイミングで受け付けられます。

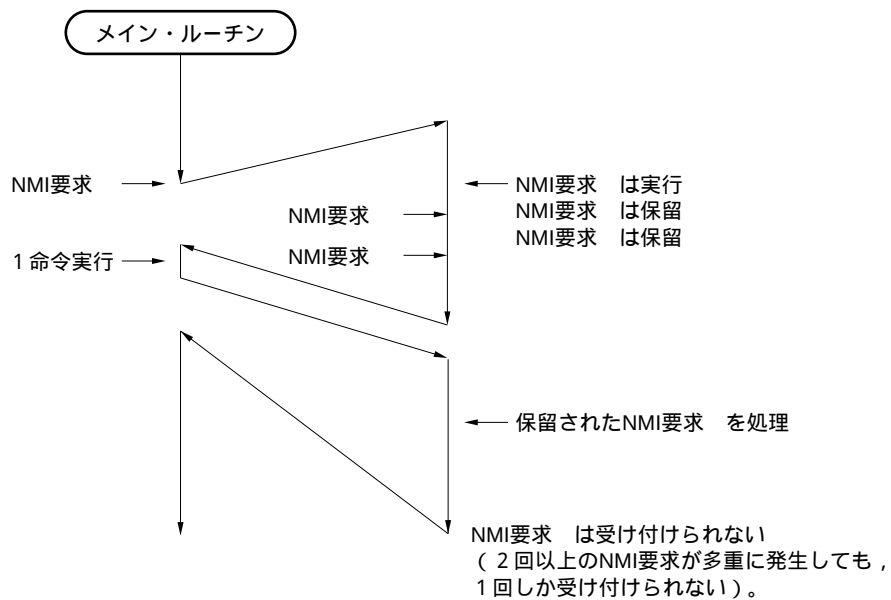
TMIF4 : ウォッチドッグ・タイマ割り込み要求フラグ

図14 - 12 ノンマスカブル割り込み要求の受け付け動作

(a) ノンマスカブル割り込みサービス・プログラム実行中に
新たなノンマスカブル割り込み要求が発生した場合



(b) ノンマスカブル割り込みサービス・プログラム実行中に
新たに2回のノンマスカブル割り込み要求が発生した場合



14.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込み要求を処理中(ISPフラグがリセット(0)されているとき)に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は次のようになります。

表14 - 3 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
× × PR = 0 のとき	7 クロック	32 クロック
× × PR = 1 のとき	8 クロック	33 クロック

注 除算命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1 クロック : $1/f_{CPU}$ (f_{CPU} : CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込み要求から受け付けられます。

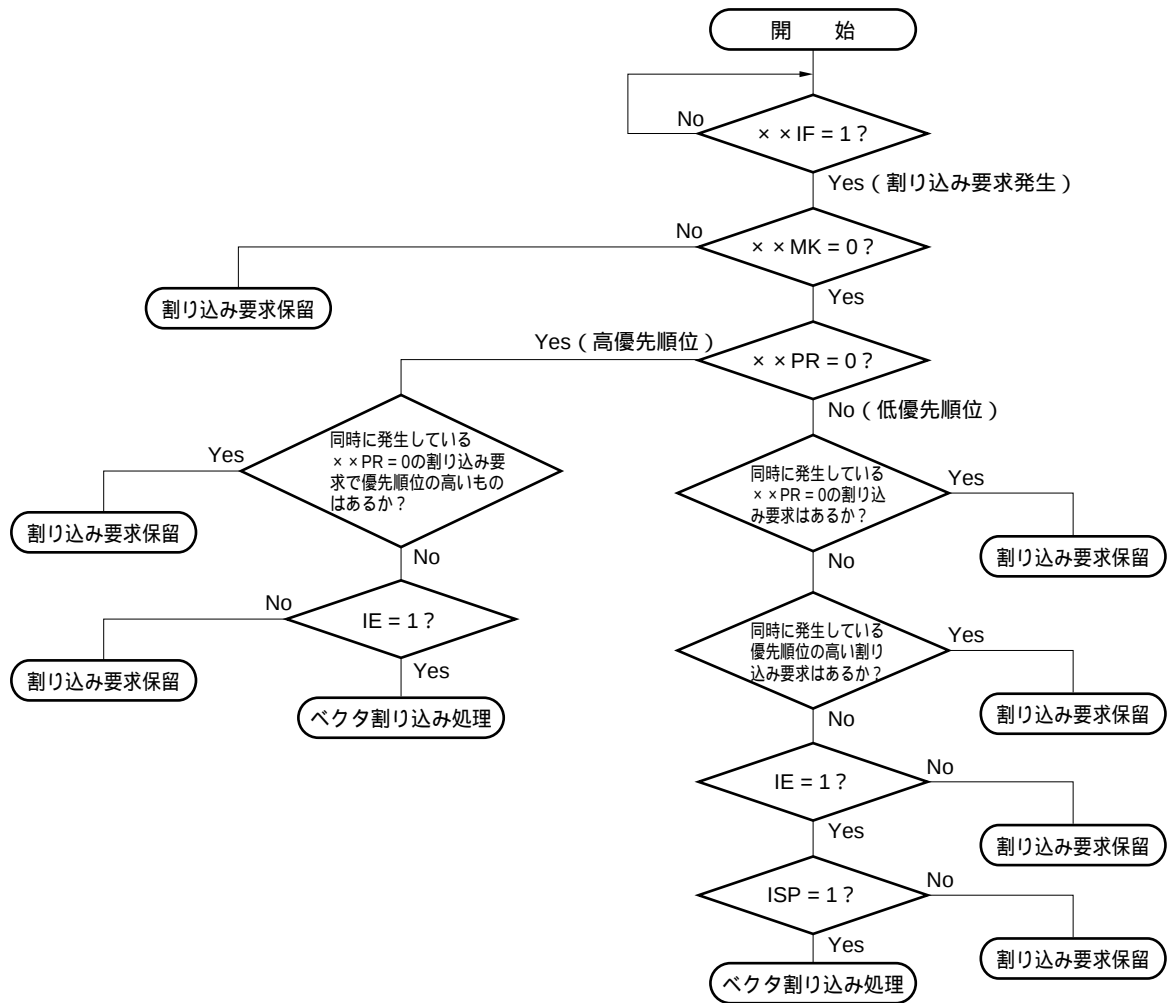
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図14 - 13に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込み要求の優先順位指定フラグの内容をISPフラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図14 - 13 割り込み要求受け付け処理アルゴリズム



× × IF : 割り込み要求フラグ

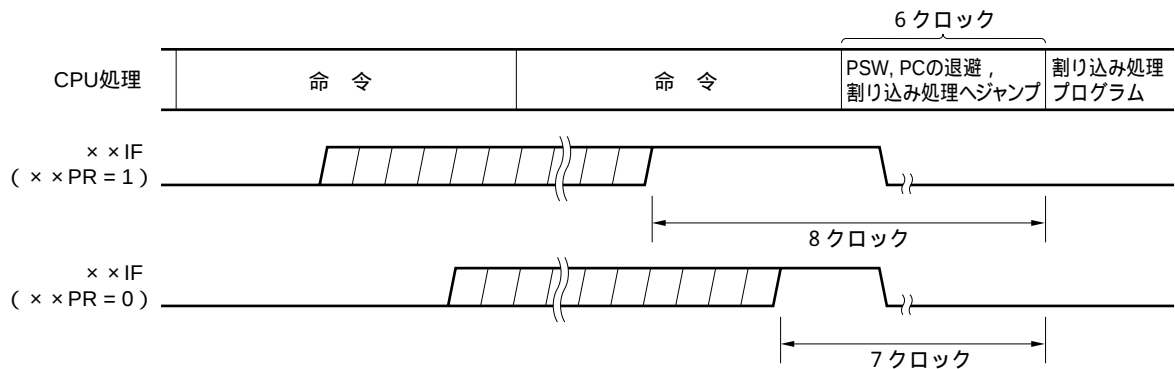
× × MK : 割り込みマスク・フラグ

× × PR : 優先順位指定フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

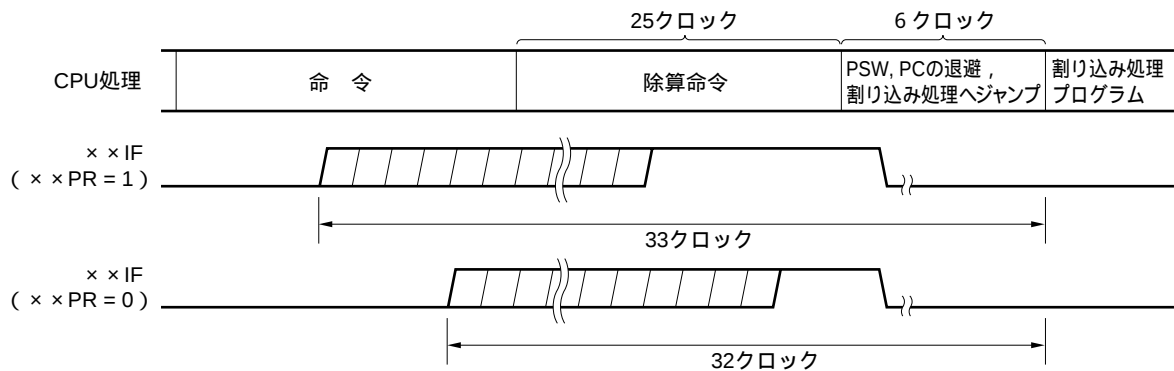
ISP : 現在処理中の割り込みの優先順位を示すフラグ(0 = 高優先順位の割り込み処理中, 1 = 割り込み要求を受け付けていない, または低優先順位の割り込み処理中)

図14 - 14 割り込み要求の受け付けタイミング(最小時間)



備考 1クロック： $1/f_{CPU}$ (f_{CPU} ：CPUクロック)

図14 - 15 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック： $1/f_{CPU}$ (f_{CPU} ：CPUクロック)

14. 4. 3 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(003EH, 003FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

14.4.4 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません (ノンマスカブル割り込みを除く)。また、割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みはプログラマブル優先順位制御により制御されます。

割り込み許可状態で、現在処理中の割り込みと同レベルか、それよりも高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を1命令実行後に受け付けられます。

なお、ノンマスカブル割り込み処理中には、多重割り込みは許可されません。

表14 - 4 に多重割り込み可能な割り込み要求を、図14 - 16に多重割り込みの例を示します。

表14 - 4 割り込み処理中に多重割り込み可能な割り込み要求

多重割り込み要求 処理中の割り込み		ノンマスカブル 割り込み要求	マスカブル割り込み要求			
			× × PR = 0		× × PR = 1	
			IE = 1	IE = 0	IE = 1	IE = 0
ノンマスカブル割り込み		×	×	×	×	×
マスカブル割り込み	ISP = 0	○	○	×	×	×
	ISP = 1	○	○	×	○	×
ソフトウェア割り込み		○	○	×	○	×

備考 1 . ○ : 多重割り込み可能

2 . × : 多重割り込み不可能

3 . ISP, IEはPSWに含まれるフラグです。

ISP = 0 : 高優先順位の割り込み処理中

ISP = 1 : 割り込み要求を受け付けていないか、低優先順位の割り込み処理中

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

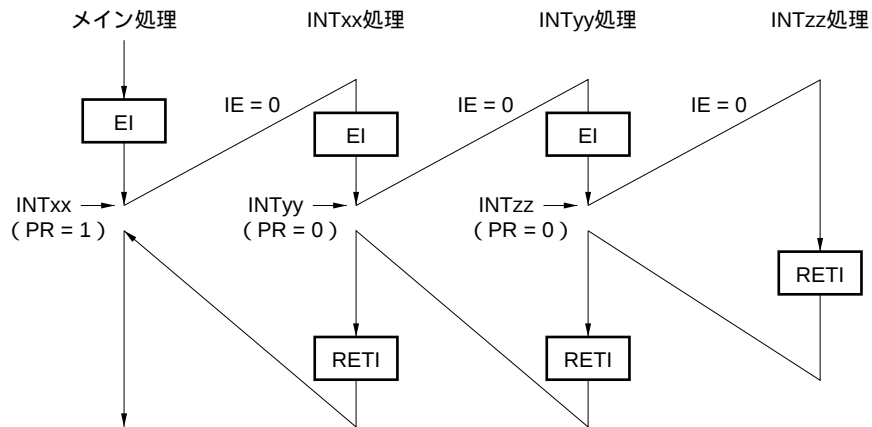
4 . × × PRはPROL, PROHに含まれるフラグです。

× × PR = 0 : 高優先順位レベル

× × PR = 1 : 低優先順位レベル

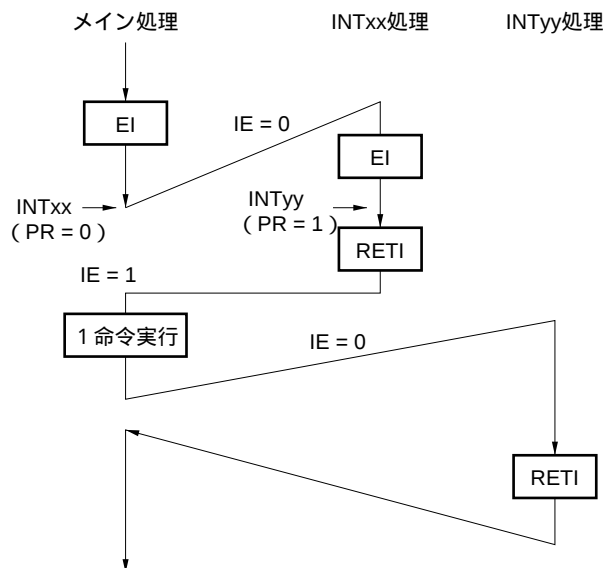
図14 - 16 多重割り込みの例(1/2)

例 1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例 2 . 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

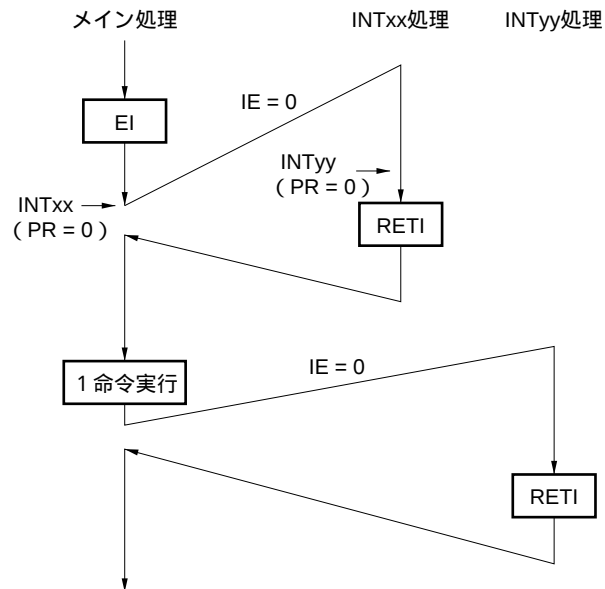
PR = 0 : 高優先順位レベル

PR = 1 : 低優先順位レベル

IE = 0 : 割り込み要求受け付け禁止

図14 - 16 多重割り込みの例(2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR=0 : 高優先順位レベル

IE=0 : 割り込み要求受け付け禁止

14.4.5 割り込み要求の保留

命令のなかには、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, # byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, \$addr16
- BF PSW. bit, \$addr16
- BTCLR PSW. bit, \$addr16
- EI
- DI
- IF0L, IF0H, MK0L, MK0H, PR0L, PR0H, INTM0, INTM1の各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。ただし、ノンマスカブル割り込み要求は受け付けます。

割り込み要求が保留されるタイミングを図14 - 17に示します。

図14 - 17 割り込み要求の保留



備考 1 . 命令 N : 割り込み要求の保留命令

2 . 命令 M : 割り込み要求の保留命令以外の命令

3 . x x IF (割り込み要求) の動作は , x x PR (優先順位レベル) の値の影響を受けません。

14.5 テスト機能

ポート4の立ち下がリエッジ検出時に、対応するテスト入力フラグをセット(1)し、スタンバイ・リリース信号を発生します。

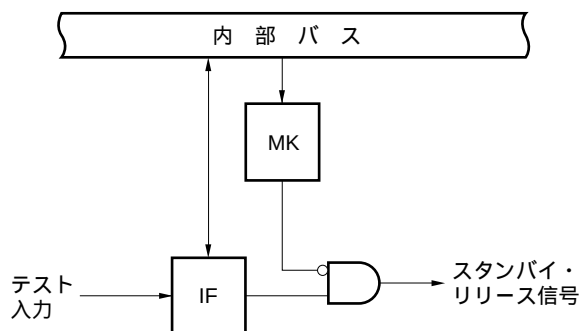
割り込み機能とは異なり、ベクタ処理は行いません。

テスト入力要因を、表14 - 5に示します。また、基本構成は図14 - 18のようになっています。

表14 - 5 テスト入力要因一覧

テスト入力要因		内部 / 外部
名 称	トリガ	
INTPT4	ポート4の立ち下がリエッジ検出	外部

図14 - 18 テスト機能の基本構成



備考 IF : テスト入力フラグ

MK : テスト・マスク・フラグ

14.5.1 テスト機能を制御するレジスタ

テスト機能は、次のレジスタで制御します。

・キー・リターン・モード・レジスタ (KRM)

テスト入力信号に対応するテスト入力フラグ、テスト・マスク・フラグの名称を表14 - 6に示します。

表14 - 6 テスト入力信号に対する各種フラグ

テスト入力信号名	テスト入力フラグ	テスト・マスク・フラグ
INTPT4	KRIF	KRMK

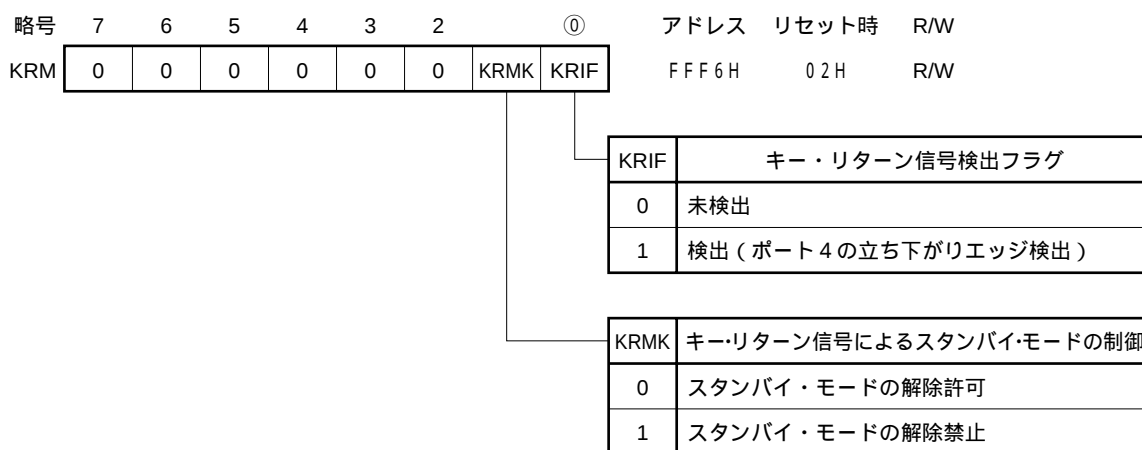
(1) キー・リターン・モード・レジスタ(KRM)

キー・リターン信号(ポート4の立ち下がりエッジ検出)によるスタンバイ・モードの解除の許可/禁止を設定するレジスタです。

KRMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時は、02Hになります。

図14 - 19 キー・リターン・モード・レジスタのフォーマット



注意 ポート4で立ち下がりエッジ検出を使用するときは、プログラムでKRIFを0にクリアしてください。ハードウェアでは自動的にクリアされません。

14.5.2 テスト入力信号の受け付け動作

● 外部テスト入力信号 (INTPT4)

外部テスト入力信号(INTPT4)は、ポート4(P40-P47)の端子に立ち下がりエッジが入力されることにより発生し、これによりKRIFフラグがセットされます。このとき、KRMKフラグによりマスクされていなければ、スタンバイ・リリース信号が発生します。ポート4をキー・マトリクスのキー・リターン信号入力として使用することにより、キー入力の有無をKRIFフラグの状態でチェックできます。

第15章 PLL周波数シンセサイザ

15.1 PLL周波数シンセサイザの機能

PLL (Phase Locked Loop) 周波数シンセサイザは、MF (Middle Frequency)、HF (High Frequency) およびVHF (Very High Frequency) 帯の周波数を位相差比較方式により一定周波数にロックさせるために使用します。

PLL周波数シンセサイザは、VCOL端子またはVCOH端子から入力された信号をプログラマブル・ディバイダで分周し、基準周波数との位相差をEO0およびEO1端子から出力します。

入力端子の状態および分周方式には次の4種類があります。

(1) 直接分周 (MFモード) 方式

VCOL端子を使用します。

VCOH端子はハイ・インピーダンスになります。

(2) パルス・スワロ (HFモード) 方式

VCOL端子を使用します。

VCOH端子はハイ・インピーダンスになります。

(3) パルス・スワロ (VHFモード) 方式

VCOH端子を使用します。

VCOL端子はハイ・インピーダンスになります。

(4) VCOL, VCOH端子ディスエーブル

VCOL端子およびVCOH端子はハイ・インピーダンスになります。

ただし、位相比較器、基準周波数発生器およびチャージ・ポンプは動作します。

したがって、後述するPLL周波数シンセサイザのディスエーブル状態とは動作が異なります。

分周方式の選択は、PLLモード・セレクト・レジスタ (PLLMD) により行います。

また、プログラマブル・ディバイダへの分周値 (N値) の設定はPLLデータ・レジスタにより行います。

プログラマブル・ディバイダに設定された分周値 (N値) により、各分周方式による分周を行います。

表15 - 1 に分周方式、使用する入力端子 (VCOL端子, VCOH端子) および設定できる分周値を示します。

表15 - 1 分周方式，入力端子および分周値

分周方式	使用する端子	設定できる分周値
直接分周 (MF)	VCOL	$32 \sim 2^{12} - 1$
パルス・スワロ (HF)	VCOL	$1024 \sim 2^{17} - 1$
パルス・スワロ (VHF)	VCOH	$1024 \sim 2^{17} - 1$

注意 実際に入力できる周波数および入力振幅は，データ・シートの電气的特性を参照してください。

表15 - 2 PLL周波数シンセサイザの構成

項 目	構 成
データ・レジスタ	PLLデータ・レジスタ L (PLLRL) PLLデータ・レジスタ H (PLLRH) PLLデータ・レジスタ 0 (PLLRO)
制御レジスタ	PLLモード・セレクト・レジスタ (PLLMD) PLLレファレンス・モード・レジスタ (PLLRF) PLLアンロックFFジャッジ・レジスタ (PLLUL) PLLデータ転送レジスタ (PLLNS) EOセレクト・レジスタ (EOCON)

注意 1 . EOCON0は必ず 0 に設定してください。

311

(1) PLLデータ・レジスタ (PLLRL), PLLデータ・レジスタH (PLLRH), PLLデータ・レジスタ0 (PLLR0)

PLL周波数シンセサイザの分周値を設定するレジスタです。PLL周波数シンセサイザの分周値は17ビットで構成されており、上位16ビットをPLLデータ・レジスタL (PLLRL) とPLLデータ・レジスタH (PLLRH) で設定します。また上位16ビットはPLLデータ・レジスタ (PLLRL) でも設定できます。下位1ビットはPLLデータ・レジスタ0 (PLLR0) のビット7 (PLLSCN) で設定します。

リセット時は、不定になります。また、STOP, HALTモード時は、直前の値を保持します。

(2) 入力切り替えブロック

入力切り替えブロックはVCOL端子、VCOH端子およびそれぞれの入力アンプから構成されています。

(3) プログラマブル・ディバイダ

プログラマブル・ディバイダは、2 モデュラス・プリスケラ、プログラマブル・カウンタ (12ビット)、スワロ・カウンタ (5ビット) および分周方式選択スイッチから構成されています。

(4) 基準周波数発生器

基準周波数発生器は、PLL周波数シンセサイザの基準周波数 f_r を発生する分周器とマルチプレクサから構成されています。

(5) 位相比較器

位相比較器 (ϕ -DET) は、プログラマブル・ディバイダの分周周波数出力 f_n と基準周波数発生器の基準周波数出力 f_r の位相を比較し、アップ要求信号 ($\overline{UP}$) およびダウン要求信号 ($\overline{DW}$) を出力します。

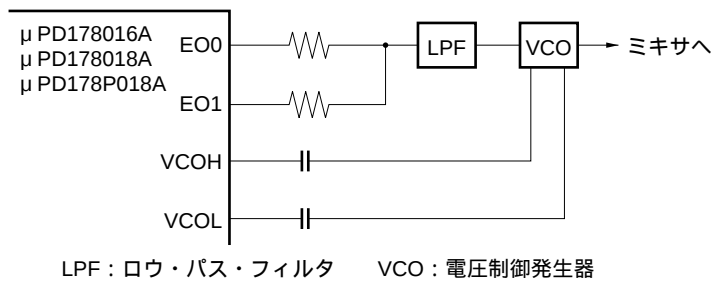
(6) アンロックFF

アンロックFFは、位相比較器 (ϕ -DET) のアップ要求信号 ($\overline{UP}$) およびダウン要求信号 ($\overline{DW}$) から、PLL周波数シンセサイザのアンロック状態を検出します。

(7) チャージ・ポンプ

チャージ・ポンプは位相比較器の出力結果により、エラー・アウト端子 (EO0端子およびEO1端子) から出力します。 μ PD178016A, 178018A, 178P018Aの場合、EOセレクト・レジスタ (EOCON) のビット1 (EOCON1) の設定により、EO1端子をハイ・インピーダンスに設定できます。

アプリケーション例を次に示します。



・ 目的周波数に高速にロックする場合

EO0, EO1端子をエラー・アウト出力に設定することで，出力電流能力を上げ，LPFの電圧制御能力を上げます。

・ 定常状態

EO0端子のみエラー・アウト出力に設定することで，LPFの安定度を保ちます。

15.3 PLL周波数シンセサイザを制御するレジスタ

PLL周波数シンセサイザは、次の5種類のレジスタで制御します。

- ・PLLモード・セレクト・レジスタ（PLLMD）
- ・PLLレファレンス・モード・レジスタ（PLLRF）
- ・PLLアンロックFFジャッジ・レジスタ（PLLUL）
- ・PLLデータ転送レジスタ（PLLNS）
- ・EOセレクト・レジスタ（EOCON）

（1）PLLモード・セレクト・レジスタ（PLLMD）

PLL周波数シンセサイザの入力端子および分周方式を設定するレジスタです。

PLLMDは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時、STOPモード時は、00Hになります。

またHALTモード時は、直前の値を保持します。

図15 - 2 PLLモード・セレクト・レジスタのフォーマット

略号	7	6	5	4	3	2	①	アドレス	リセット時	R/W
PLLMD	0	0	0	0	0	0	PLLMD1PLLMD0	FFA0H	00H	R/W

PLLMD1	PLLMD0	PLL周波数シンセサイザの分周方式とVCO入力端子の切り替えを設定する
0	0	VCOL端子、VCOH端子ディスエーブル ^注
0	1	直接分周（VCOL端子 MFモード）
1	0	パルス・スワロ（VCOH端子 VHFモード）
1	1	パルス・スワロ（VCOL端子 HFモード）

注 PLLディスエーブルとは異なります。VCOL端子、VCOH端子はハイ・インピーダンスになります。

また、EO0端子、EO1端子はロウ・レベルになります。

備考 ビット2-7はハードウェアで0固定になっています。

(2) PLLレファレンス・モード・レジスタ (PLLRF)

PLL周波数シンセサイザの基準周波数 f_r の設定およびPLL周波数シンセサイザのディスエーブル状態を設定するレジスタです。

PLLRFは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時、STOPモード時は、0FHになります。

またHALTモード時は、直前の値を保持します。

図15 - 3 PLLレファレンス・モード・レジスタのフォーマット

略号	7	6	5	4	①	アドレス	リセット時	R/W
PLLRF	0	0	0	0	PLLRF3 PLLRF2 PLLRF1 PLLRF0	FFA1H	0FH	R/W

PLLRF3	PLLRF2	PLLRF1	PLLRF0	PLL周波数シンセサイザの基準周波数 f_r を設定する
0	0	0	0	設定禁止
0	0	0	1	設定禁止
0	0	1	0	5 kHz
0	0	1	1	10 kHz
0	1	0	0	設定禁止
0	1	0	1	設定禁止
0	1	1	0	25 kHz
0	1	1	1	50 kHz
1	0	0	0	3 kHz
1	0	0	1	9 kHz
1	0	1	0	設定禁止
1	0	1	1	PLLディスエーブル ^注
1	1	0	0	1 kHz
1	1	0	1	設定禁止
1	1	1	0	設定禁止
1	1	1	1	PLLディスエーブル ^注

注 PLLディスエーブルを選択したときは、VCOL端子、VCOH端子、EO0端子、およびEO1端子はハイ・インピーダンスになります。

備考 ビット4-7はハードウェアで0固定になっています。

(3) PLLアンロックFFジャッジ・レジスタ (PLLUL)

PLL周波数シンセサイザがアンロック状態であるか検出するレジスタです。

PLLUL0は、R&RESETなので読み出し後は、リセット(0)されます。

リセット時は、 $0 \times H^{\text{注1}}$ になります。

またSTOP, HALTモード時は、直前の値を保持します。

図15 - 4 PLLアンロックFFジャッジ・レジスタのフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
PLLUL	0	0	0	0	0	0	0	PLLUL0	FFA2H	$0 \times H^{\text{注1}}$	R ^{注2}

PLLUL0	アンロックFFの状態を検出
0	アンロックFF = 0 : PLLロック状態
1	アンロックFF = 1 : PLLアンロック状態

注1 . ビット0 (PLLUL0) のリセット時の値は、リセットの種類により異なります (下表参照)。

2 . ビット0 (PLLUL0) は、R&Resetです。

		7	6	5	4	3	2	1	0
リ セ ッ ト 時	パワーオン・クリア	0	0	0	0	0	0	0	不定
	ウォッチドッグ・タイマ								保持
	RESET入力								保持
STOPモード									保持
HALTモード		↓	↓	↓	↓	↓	↓	↓	保持

備考 ビット1-7はハードウェアで0固定になっています。

(4) PLLデータ転送レジスタ (PLLNS)

PLLデータ・レジスタ (PLLRL, PLLRH, PLLR0) の値をプログラマブル・カウンタおよびスワロ・カウンタに転送するレジスタです。

リセット時, STOPモード時は, 00Hになります。

またHALTモード時は, 直前の値を保持します。

図15 - 5 PLLデータ転送レジスタのフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
PLLNS	0	0	0	0	0	0	0	PLLNS0	FFA3H	00H	W

PLLNS0	PLLデータ・レジスタの値をプログラマブル・カウンタおよびスワロ・カウンタに転送する
0	転送しない
1	転送する

備考 ビット1-7はハードウエアで0固定になっています。

(5)EOセレクト・レジスタ (EOCON)

EO1端子の定電流源回路の電流値および端子状態を設定するレジスタです。

EOCONは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時、STOPモード時は、00Hになります。

またHALTモード時は、直前の値を保持します。

図15 - 6 EOセレクト・レジスタのフォーマット

略号	7	6	5	4	3	2	①	アドレス	リセット時	R/W
EOCON	0	0	0	0	0	0	EOCON1EOCON0	FFA4H	00H	R/W

EOCON1	EO1端子状態
0	エラー・アウト出力
1	ハイ・インピーダンス (μ PD178004A, 178006Aの場合、設定禁止)

EOCON0	EO1端子の定電流電流値
0	4 mA TYP. に設定
1	設定禁止

- 注意 1 . EOCON0は必ず0に設定してください。
- 2 . μ PD178004A, 178006Aの場合、EOCON1は必ず0に設定してください。

備考 ビット2-7はハードウェアで0固定になっています。

15.4 PLL周波数シンセサイザの動作

15.4.1 PLL周波数シンセサイザの各ブロックの動作

(1) 入力切り替えブロックおよびプログラマブル・ディバイダの動作

入力切り替えブロックおよびプログラマブル・ディバイダは、PLLモード・セレクト・レジスタ (PLLMD) の設定により、PLL周波数シンセサイザの入力端子および分周方式を選択し、各分周方式による分周を行います。

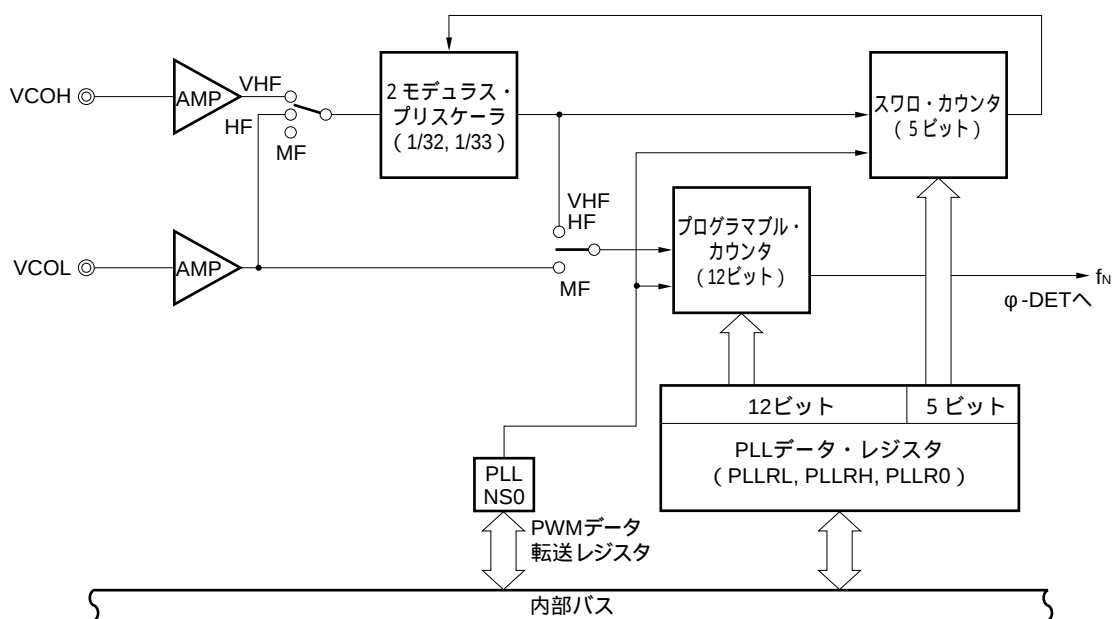
プログラマブル・カウンタ (12ビット) およびスワロ・カウンタ (5ビット) はバイナリ・ダウン・カウンタで構成されています。

プログラマブル・カウンタ (12ビット) およびスワロ・カウンタ (5ビット) への分周値 (N値) の設定は、PLLデータ・レジスタ (PLLRL, PLLRH, PLLR0) によって行います。

さらにPLLデータ転送レジスタのビット0 (PLLNS0) により、プログラマブル・カウンタおよびスワロ・カウンタにN値が転送されると、各分周方式による分周を行います。

図15 - 7 に入力切り替えブロックとプログラマブル・ディバイダの構成を示します。

図15 - 7 入力切り替えブロックおよびプログラマブル・ディバイダの構成



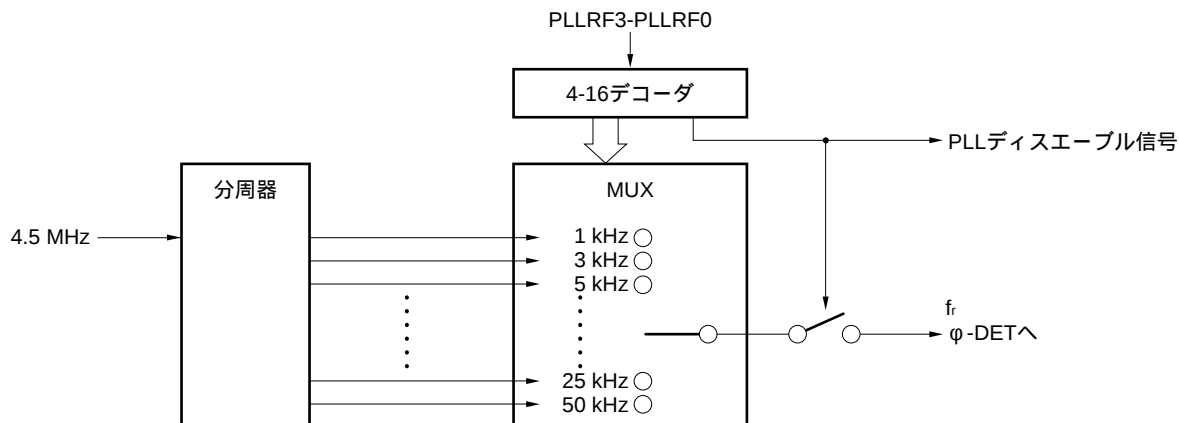
(2) 基準周波数発生器の動作

基準周波数発生器は、水晶振動子の4.5 MHzを分周して、PLL周波数シンセサイザの基準周波数 f_r を12種類発生します。

基準周波数 f_r の選択はPLLレファレンス・モード・レジスタ (PLLRF) により行います。

図15 - 8 に基準周波数発生器の構成を示します。

図15 - 8 基準周波数発生器の構成



(3) 位相比較器 (φ-DET) の動作

図15 - 9に位相比較器 (φ-DET) , チャージ・ポンプおよびアンロックFFの構成を示します。

位相比較器 (φ-DET) は、プログラマブル・ディバイダの分周周波数 f_N と基準周波数発生器の基準周波数 f_r の位相を比較し、アップ要求信号 $\overline{UP}$ およびダウン要求信号 $\overline{DW}$ を出力します。

すなわち、分周周波数 f_N が基準周波数 f_r より低い周波数であればアップ要求信号を出力し、分周周波数 f_N が基準周波数 f_r より高い周波数であればダウン要求信号を出力します。

図15 - 10に基準周波数 f_r , 分周周波数 f_N , アップ要求信号 $\overline{UP}$, およびダウン要求信号 $\overline{DW}$ の関係を示します。

PLLディスエーブル時には、アップ要求信号およびダウン要求信号ともに出力されません。

アップ要求およびダウン要求信号はそれぞれチャージ・ポンプおよびアンロックFFへ入力されます。

図15 - 9 位相比較器 , チャージ・ポンプおよびアンロックFFの構成

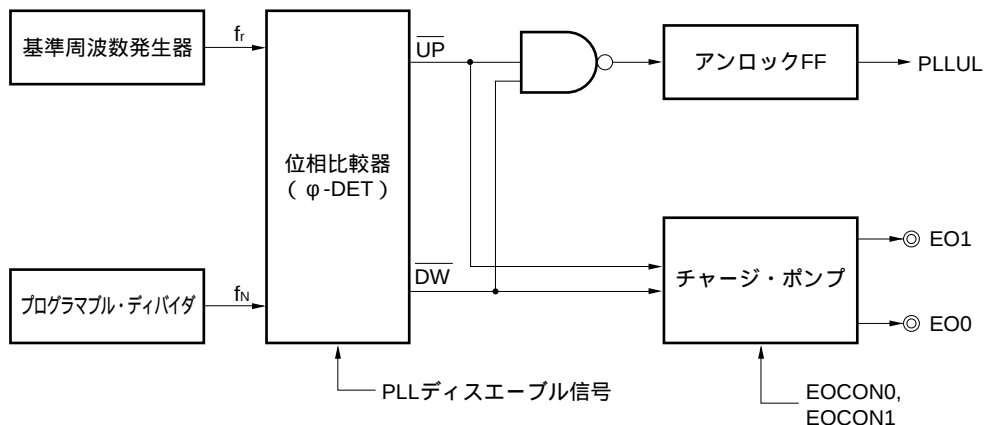
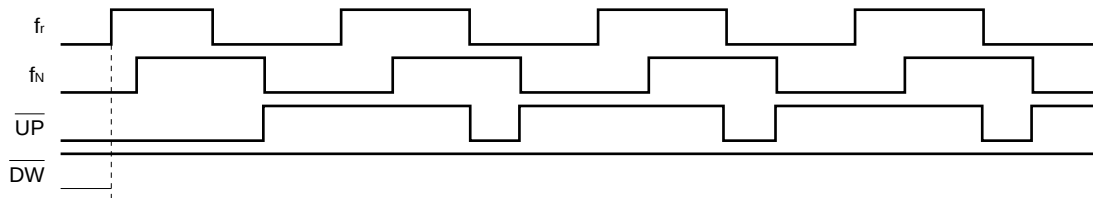
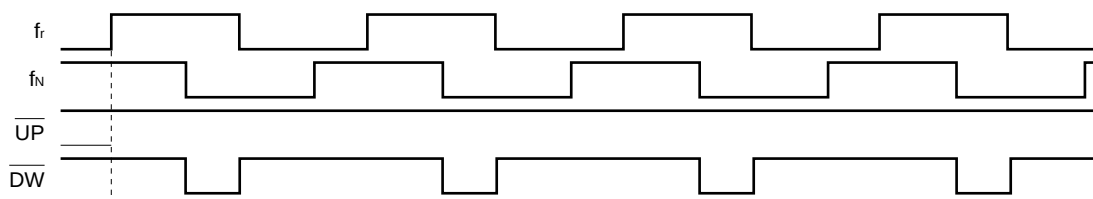
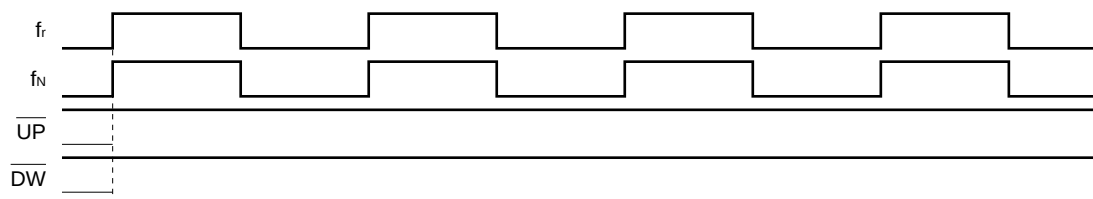
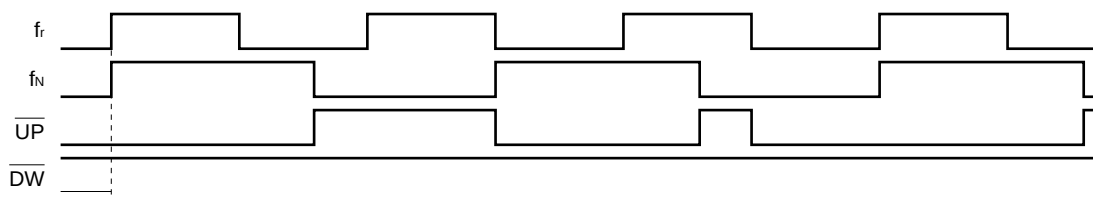


図15 - 10 f_r , f_N , $\overline{UP}$, $\overline{DW}$ 信号の関係(a) f_N が f_r より位相が遅れているとき(b) f_N が f_r より位相が進んでいるとき(c) f_N と f_r の位相が同じとき(d) f_N が f_r より周波数が低いとき

(4) チャージ・ポンプの動作

チャージ・ポンプは、位相比較器 (ϕ -DET) からのアップ要求信号 $\overline{UP}$ およびダウン要求信号 $\overline{DW}$ の結果により、エラー・アウト端子 (EO0端子およびEO1端子) から出力します。出力される信号を表15 - 3 に示します。

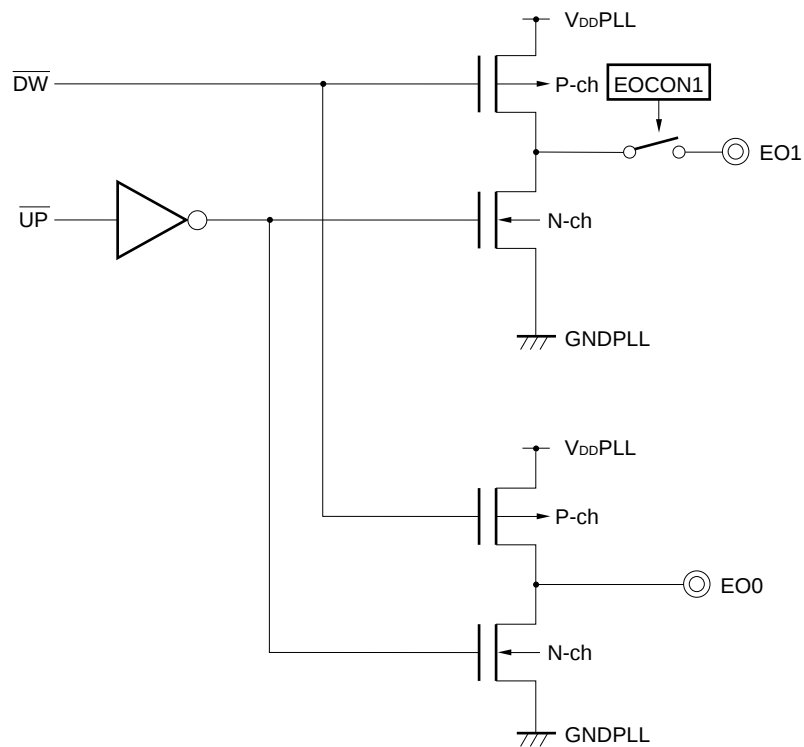
またEO0端子は電圧駆動タイプ、EO1端子は電流駆動タイプとなっています。

図15 - 11にエラー・アウト出力の構成を示します。

表15 - 3 エラー・アウト出力信号

分周周波数 f_N および基準周波数 f_r の関係	エラー・アウト出力信号
$f_r > f_N$ のとき	ロウ・レベル
$f_r < f_N$ のとき	ハイ・レベル
$f_r = f_N$ のとき	フローティング (ハイ・インピーダンス)

図15 - 11 エラー・アウト出力の構成



注意 μ PD178016A, 178018A, 178P018Aの場合, EOセレクト・レジスタ (EOCON) のビット 1 (EOCON1) の設定により, EO1端子をエラー・アウト出力状態からハイ・インピーダンス状態に変更できます。

(5) アンロックFFの動作

アンロックFFは、PLL周波数シンセサイザのアンロック状態を検出します。

位相比較器 (ϕ -DET) のアップ要求信号 $\overline{UP}$ およびダウン要求信号 $\overline{DW}$ から、PLL周波数シンセサイザのアンロック状態を検出します。

すなわち、アンロック状態中はアップ要求またはダウン要求信号のどちらか一方がロウ・レベルを出力するため、このロウ・レベル信号によりアンロック状態を検出できます。

アンロックFFの状態は、PLLアンロックFFジャッジ・レジスタ(PLLUL)のビット 0(PLLUL0)により検出します。

アンロックFFは、そのとき選択されている基準周波数 f_r の周期でセットされます。

また、PLLアンロックFFジャッジ・レジスタの内容を読み出すとリセットされます。

したがって読み出す場合は、基準周波数の周期($1/f_r$)より長い周期で読み出す必要があります。

15. 4. 2 PLL周波数シンセサイザのN値の設定動作

プログラマブル・カウンタ(12ビット)およびスワロ・カウンタ(5ビット)への分周値(N値)の設定は、PLLデータ・レジスタ(PLLRL, PLLRH, PLLR0)によって行います。

さらにPLLデータ転送レジスタ(PLLNS)のビット 0(PLLNS0)により、プログラマブル・カウンタおよびスワロ・カウンタにN値が転送されると、各分周方式による分周を行います。

次に各分周方式(MF, HF, VHF)時のN値の設定例を示します。

(1) 直接分周方式 (MF)**(a) 分周値N (PLLデータ・レジスタへの設定値) の計算方法**

$$N = \frac{f_{vcol}}{f_r}$$

f_{vcol} : VCOL端子の入力周波数

f_r : 基準周波数

(b) PLLデータ・レジスタの設定例

次に示すMWバンドの放送局を受信するためのPLLデータ・レジスタ設定方法を示します。

受信周波数 : 1422 kHz(MWバンド)

基準周波数 : 9 kHz

中間周波数 : 450 kHz

分周値Nは

$$N = \frac{f_{vcol}}{f_r} = \frac{1422 + 450}{9} = 208 \text{ (10進)} \\ = 0D0H \text{ (16進)}$$

PLLデータ・レジスタ（PLLRL, PLLR0）へのデータは次のように設定します。

PLLRL																PLLR0											
PLLRH								PLLRL								← PLLSCN											
b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0				
b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0											
プログラマブル・カウンタ値												Don't care				0 固定											
0	0	0	0	1	1	0	1	0	0	0	0																
0				D				0																			

上記PLLデータ・レジスタ（PLLRL, PLLR0）を設定後，PLLデータ転送レジスタ（PLLNS）のビット0（PLLNS0）を設定することにより，プログラマブル・カウンタに転送する必要があります。

（２）パルス・スワロ方式（HF）

（a）分周値N（PLLデータ・レジスタへの設定値）の計算方法

$$N = \frac{f_{\text{VCO}}}{f_r}$$

f_{VCO} : VCO端子の入力周波数

f_r : 基準周波数

（b）PLLデータ・レジスタの設定例

次に示すSWバンドの放送局を受信するためのPLLデータ・レジスタ設定方法を示します。

受信周波数：25.50 MHz（SWバンド）

基準周波数： 5 kHz

中間周波数： 450 kHz

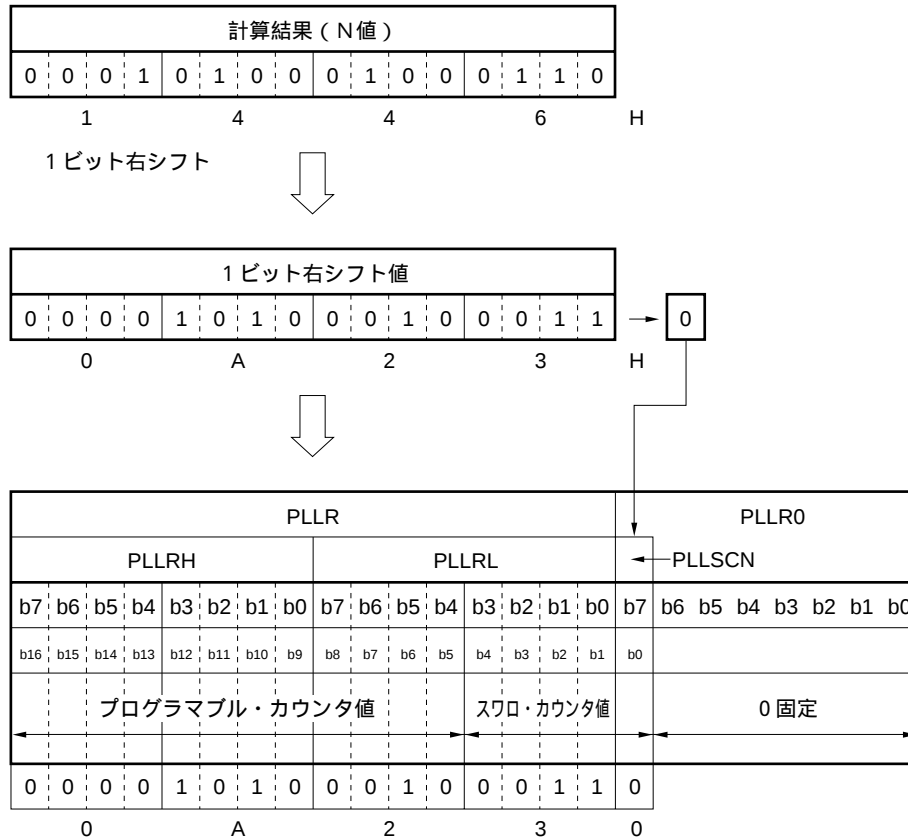
分周値Nは

$$N = \frac{f_{\text{VCO}}}{f_r} = \frac{25500 + 450}{5} = 5190 \text{ (10進)}$$

$$= 01446 \text{H (16進)}$$

分周値Nの最下位ビットはPLLデータ・レジスタ0（PLLRO）のビット7（PLLSCN）に設定しなければならないため、上記計算値を1ビット右にシフトしてからデータ設定を行う必要があります。

PLLデータ・レジスタ（PLLRL, PLLRH）へのデータは次のように設定します。



上記PLLデータ・レジスタ（PLLRL, PLLRH）を設定後、PLLデータ転送レジスタ（PLLNS）のビット0（PLLNS0）を設定することにより、プログラマブル・カウンタおよびスワロ・カウンタに転送する必要があります。

この例では計算結果のN値を、1ビット右シフトすることにより、上位16ビットのPLLデータ・レジスタ（PLLRL）には、N値の1/2の値を設定することになります。

N値の最下位ビットのPLLSCNを0に固定しておき、分周値Nの計算式を次のようにすれば、計算結果（N_{PLLRL}）をそのままPLLデータ・レジスタ（PLLRL）に設定できます。

ただしこの計算結果で設定した場合、入力周波数（f_{VCOL}）は設定値N_{PLLRL}の2 × f_r（基準周波数）倍となりますので注意してください。

$$N_{\text{PLLRL}} = \frac{f_{\text{VCOL}}}{2f_r}$$

(3) パルス・スワロ方式 (VHF)

(a) 分周値N (PLLデータ・レジスタへの設定値)の計算方法

$$N = \frac{f_{\text{VCOH}}}{f_r}$$

f_{VCOH} : VCOH端子の入力周波数

f_r : 基準周波数

(b) PLLデータ・レジスタの設定例

次に示すFMバンドの放送局を受信するためのPLLデータ・レジスタ設定方法を示します。

受信周波数: 100.0 MHz (FMバンド)

基準周波数: 25 kHz

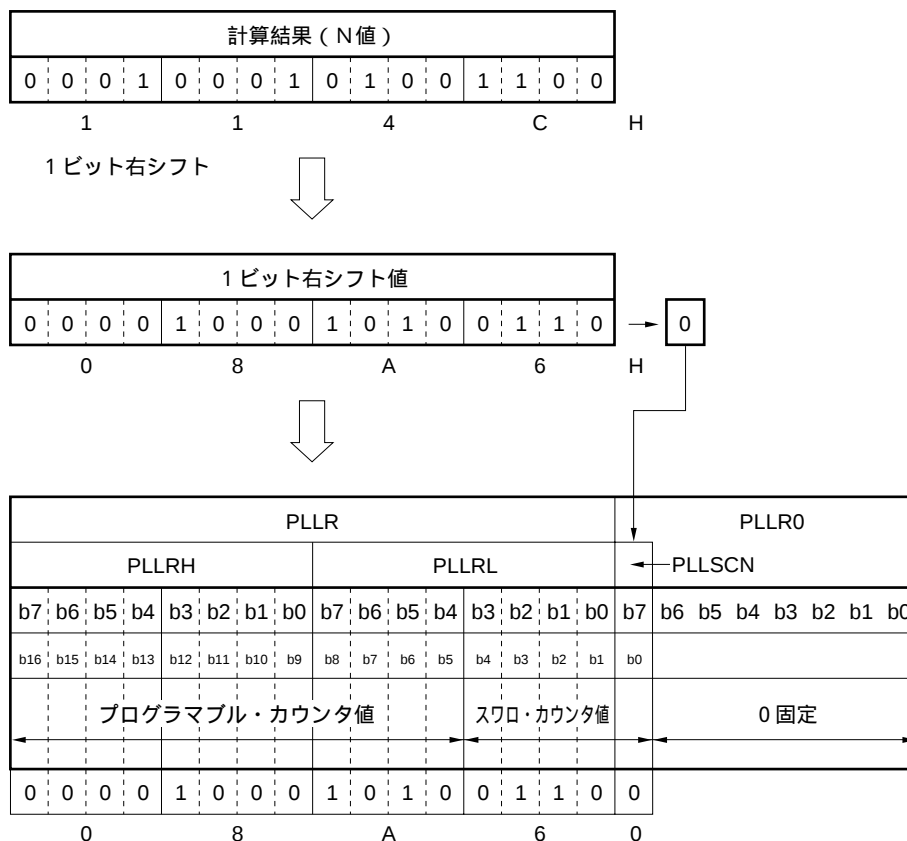
中間周波数: +10.7 MHz

分周値Nは

$$N = \frac{f_{\text{VCOH}}}{f_r} = \frac{100.0 + 10.7}{0.025} = 4428 \text{ (10進)} \\ = 0114\text{CH} \text{ (16進)}$$

分周値Nの最下位ビットはPLLデータ・レジスタ0 (PLLRO) に設定しなければならないため、上記計算値を1ビット右にシフトしてからデータ設定を行う必要があります。

PLLデータ・レジスタ (PLLRL, PLLRH) へのデータは次のように設定します。



上記PLLデータ・レジスタ (PLL_R, PLL_{R0}) を設定後, PLLデータ転送レジスタ (PLL_{NS}) のビット0 (PLL_{NS0}) を設定することにより, プログラマブル・カウンタおよびスワロ・カウンタに転送する必要があります。

この例では計算結果のN値を, 1ビット右シフトすることにより, 上位16ビットのPLLデータ・レジスタ (PLL_R) には, N値の1/2の値を設定することになります。

N値の最下位ビットのPLL_{SCN}を0に固定しておき, 分周値Nの計算式を次のようにすれば, 計算結果 (N_{PLL_R}) をそのままPLLデータ・レジスタ (PLL_R) に設定できます。

ただしこの計算結果で設定した場合, 入力周波数 (f_{VCOH}) は設定値N_{PLL_R}の2 × f_r (基準周波数) 倍となりますので注意してください。

$$N_{\text{PLL}_R} = \frac{f_{\text{VCOH}}}{2f_r}$$

15.5 PLLディスエーブル状態

PLL周波数シンセサイザの動作中に次のいずれかの設定を行うことにより，PLL周波数シンセサイザを停止（PLLディスエーブル状態）することができます。

- ・ PLLレファレンス・モード・レジスタの値を0BHまたは0FHに設定し，PLLディスエーブル状態にする。
- ・ STOP命令により，STOPモード状態にする。
- ・ リセット機能により，リセット状態にする。

次にPLLディスエーブル時の各ブロックの動作およびレジスタの状態を示します。

表15 - 4 PLLディスエーブル時の各ブロックの動作およびレジスタの状態

ブロック / レジスタ	PLLディスエーブル時の状態
VCOL端子，VCOH端子	ハイ・インピーダンス
プログラマブル・ディバイダ	分周停止
基準周波数発生器	出力停止
位相比較器	出力停止
EO0端子，EO1端子	ハイ・インピーダンス
定電流源回路	動作停止
PLLモード・セレクト・レジスタ	書き込み命令実行時の値を保持
PLLデータ・レジスタ	
PLLアンロックFFジャッジ・レジスタ	

15.6 PLL周波数シンセサイザの注意事項

・ PLL周波数シンセサイザの使用時の注意

PLL周波数シンセサイザの入力端子（VCOL端子，VCOH端子）は交流アンプを内蔵しているため，入力端子に直列にコンデンサを挿入し，入力信号の直流分をカットしてください。

選択された入力端子は中間電位（約 $1/2 V_{DD}$ ）になります。選択されていない入力端子はハイ・インピーダンスになります。

また，実際に入力できる周波数および入力振幅は，データ・シートの電気的特性を参照してください。

第16章 周波数カウンタ

16.1 周波数カウンタの機能

周波数カウンタは、チューナの中間周波数（IF：Intermediate Frequency）の計数を行います。

FMIFC端子またはAMIFC端子に入力された中間周波数を16ビットのカウンタで一定時間（1 ms, 4 ms, 8 ms, オープン）カウントします。周波数カウンタの計数値は、IFカウンタ・レジスタに格納されます。

また、FMIFC端子およびAMIFC端子に入力できる周波数範囲はデータ・シートの電気的特性を参照してください。

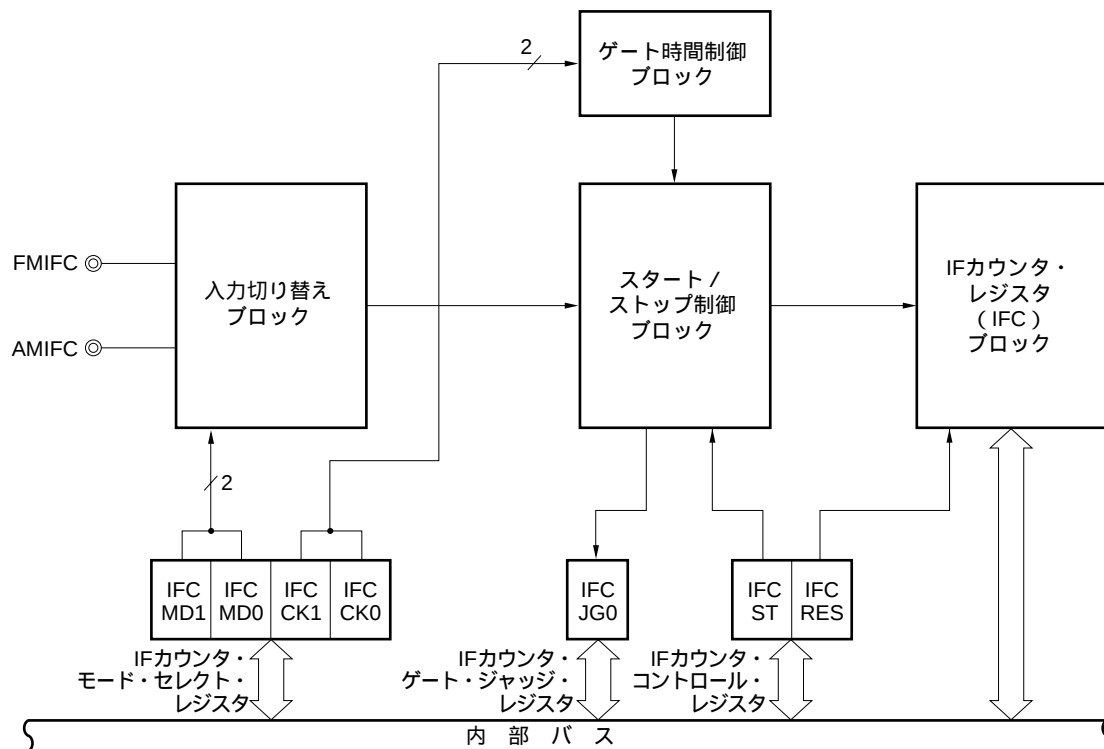
16.2 周波数カウンタの構成

周波数カウンタは、次のハードウェアで構成しています。

表16 - 1 周波数カウンタの構成

項 目	構 成
カウンタ・レジスタ	IFカウンタ・レジスタ（IFC）
制御レジスタ	IFカウンタ・モード・セレクト・レジスタ（IFCMD）
	IFカウンタ・コントロール・レジスタ（IFCR）
	IFカウンタ・ゲート・ジャッジ・レジスタ（IFCJG）

図16 - 1 周波数カウンタのブロック図



(1) IFカウンタ入力切り替えブロック

IFカウンタ入力切り替えブロックは、FMIFC端子、AMIFC端子から使用する端子およびカウント・モードを設定します。

(2) ゲート時間制御ブロック

ゲート時間制御ブロックは、ゲート時間（カウント時間）の設定を行います。

(3) スタート/ストップ制御ブロック

スタート/ストップ制御ブロックは、IFカウンタ・レジスタのカウント・スタートの設定およびカウント終了の検出を行います。

(4) IFカウンタ・レジスタ・ブロック

IFカウンタ・レジスタ・ブロックは16ビット・レジスタで、ゲート時間内に入力された周波数をアップ・カウントします。計数值は、IFカウンタ・レジスタ（IFC）に格納されます。FFFFHまで計数すると、次の入力ではFFFFHのままで、カウントを停止します。リセット時、STOPモード時は0000Hになります。HALTモード時は、計数值を保持します。

16.3 周波数カウンタを制御するレジスタ

周波数カウンタは、次の3種類のレジスタで制御します。

- ・IFカウンタ・モード・セレクト・レジスタ (IFCMD)
- ・IFカウンタ・コントロール・レジスタ (IFCR)
- ・IFカウンタ・ゲート・ジャッジ・レジスタ (IFCJG)

(1) IFカウンタ・モード・セレクト・レジスタ (IFCMD)

周波数カウンタの入力端子、モードの設定およびゲート時間（カウント時間）を設定するレジスタです。

IFCMDは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時、STOPモード時は、00Hになります。

またHALTモード時は、直前の値を保持します。

図16 - 2 IFカウンタ・モード・セレクト・レジスタのフォーマット

略号	7	6	5	4	①				アドレス	リセット時	R/W
IFCMD	0	0	0	0	IFCMD1	IFCMD0	IFCCK1	IFCCK0	FFA9H	00H	R/W

IFCMD1	IFCMD0	周波数カウンタ端子とモードを設定する
0	0	FMIFC端子，AMIFC端子ディスエーブル ^注
0	1	AMIFC端子，AMIFカウント・モード
1	0	FMIFC端子，FMIFカウント・モード
1	1	FMIFC端子，AMIFカウント・モード

注 FMIFC端子，AMIFC端子はハイ・インピーダンスになります。

IFCCK1	IFCCK0	ゲート時間を設定する
0	0	1 ms
0	1	4 ms
1	0	8 ms
1	1	オープン

備考 ビット4-7はハードウェアで0固定になっています。

(2) IFカウンタ・コントロール・レジスタ (IFCR)

IFカウンタ・レジスタのカウンタ・スタートの設定およびIFカウンタ・レジスタをクリアするレジスタです。

IFCRは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット時、STOPモード時は、00Hになります。

またHALTモード時は、直前の値を保持します。

図16 - 3 IFカウンタ・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	①		アドレス	リセット時	R/W
IFCR	0	0	0	0	0	0	IFCST	IFCRES	FFACH	00H	W

IFCST	IFカウンタ・レジスタのカウンタ・スタートを設定
0	何も変化しません
1	カウンタをスタート

IFCRES	IFカウンタ・レジスタのデータ・クリアを設定
0	何も変化しません
1	IFカウンタ・レジスタのデータをクリア

備考 ビット2-7はハードウェアで0固定になっています。

(3) IFカウンタ・ゲート・ジャッジ・レジスタ (IFCJG)

周波数カウンタのゲートの開閉を検出するレジスタです。

リセット時、STOPモード時は、00Hになります。

またHALTモード時は、直前の値を保持します。

図16 - 4 IFカウンタ・ゲート・ジャッジ・レジスタのフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
IFCJG	0	0	0	0	0	0	0	IFCJG0	FFABH	00H	R

IFCJG0	周波数カウンタのゲートの開閉を検出する
0	ゲートが閉じている状態
1	・ゲート時間をオープン以外に設定した場合 IFCSTが1にセットされてからゲートが閉まるまでの状態 ・ゲート時間をオープンに設定した場合 オープン設定と同時にゲートが開いている状態

備考 ビット1-7はハードウェアで0固定になっています。

注意 IFCJG0は、IFカウンタ・レジスタがオーバフロー・カウンタを停止しても、設定したゲート時間が終了するまでセット(1)されます。

16.4 周波数カウンタの動作

IFカウンタ・モード・セレクト・レジスタ(IFCMD)で、入力端子、モードおよびゲート時間を設定してください。

入力端子とモードの選択ブロック図を図16 - 5に示します。

IFカウンタ・コントロール・レジスタ(IFCR)のビット0(IFCRES)をセット(1)して、IFカウンタ・レジスタのデータをクリアしてください。

IFカウンタ・コントロール・レジスタ(IFCR)のビット1(IFCST)をセット(1)してください。

IFCSTをセットしたあとの内部信号1 kHzの立ち上がりから、設定したゲート時間だけゲートをオープンします。ただし、ゲート時間にオープンを設定した場合は、設定した時点でゲートがオープンします。

またIFカウンタ・ゲート・ジャッジ・レジスタ(IFCJG)のビット0(IFCJG0)は、IFCSTをセット(1)した時点で自動的にセット(1)されます。

ゲート時間が終了するとIFカウンタ・ゲート・ジャッジ・レジスタ(IFCJG)のビット0(IFCJG0)を、自動的にクリア(0)します。ただし、ゲート時間にオープンを設定している場合は、IFCJG0は自動的にクリアされませんので、オープン以外を設定し直してください。周波数カウンタのゲート・タイミングを図16 - 6に示します。

選択されたFMIFC端子またはAMIFC端子に入力されている周波数をゲートがオープンしている間、IFカウンタ・レジスタでカウントします。

ただし、FMIFC端子をFMIFカウント・モードで使用した場合は、入力された周波数は1/2分周されたあとカウントされます。

次に，カウント値 $\times$ （10進）と入力周波数（ f_{FMIFC} , f_{AMIFC} ）およびゲート時間（ T_{GATE} ）の関係を示します。

・FMIFカウント・モード（FMIFC端子）

$$f_{\text{FMIFC}} = \frac{X}{T_{\text{GATE}}} \times 2 \text{ (kHz)}$$

・AMIFカウント・モード（FMIFC端子またはAMIFC端子）

$$f_{\text{AMIFC}} = \frac{X}{T_{\text{GATE}}} \text{ (kHz)}$$

図16 - 5 入力端子，モードの選択ブロック図

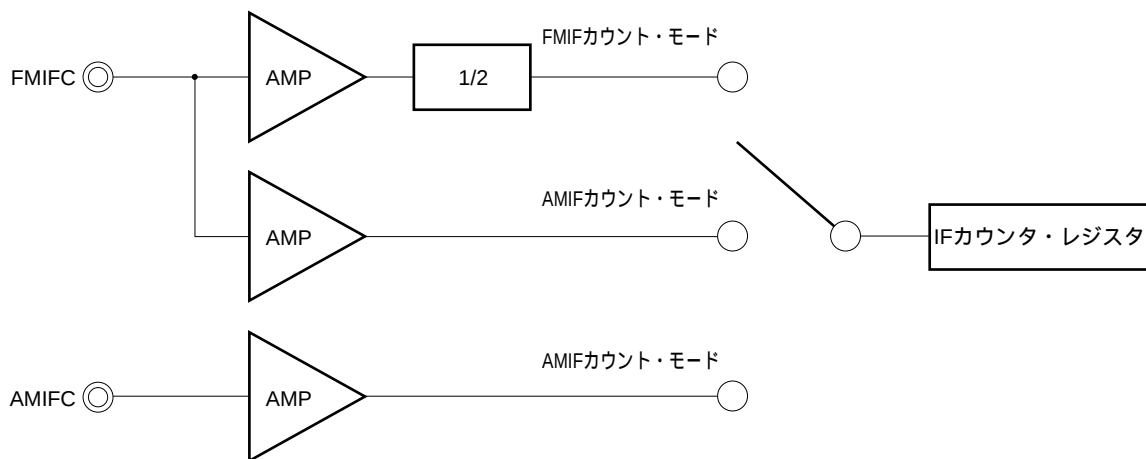
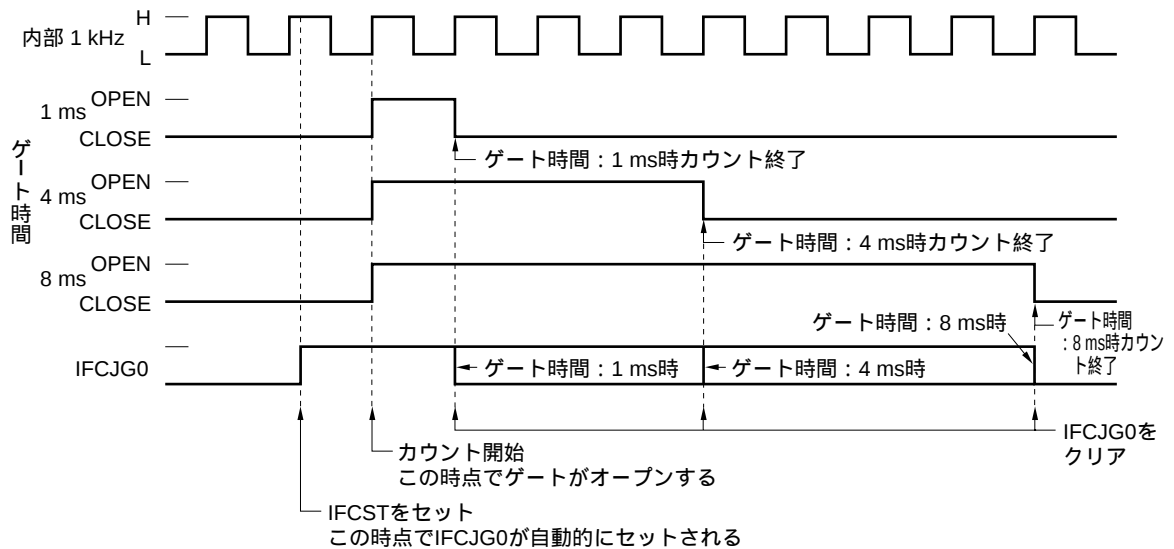


図16 - 6 周波数カウンタのゲート・タイミング

(a) ゲート時間に1, 4, 8 msを選択した場合



(b) ゲート時間にオープンを選択した場合



注意 このゲートがオープンしている間にIFCSTによりカウントのスタートを設定すると、不定時間後にゲートが閉じてしまいます。したがって、ゲート時間にオープンを使用する場合は、IFCSTをセット(1)しないでください。

備考 IFCST : IFカウンタ・コントロール・レジスタ(IFCR)のビット1
 IFCJG0 : IFカウンタ・ゲート・ジャッジ・レジスタ(IFCJG)のビット0
 IFCCK1, 0 : IFカウンタ・モード・セレクト・レジスタ(IFCMD)のビット1, 0

16.5 周波数カウンタの注意事項

(1) 周波数カウンタ使用時の注意

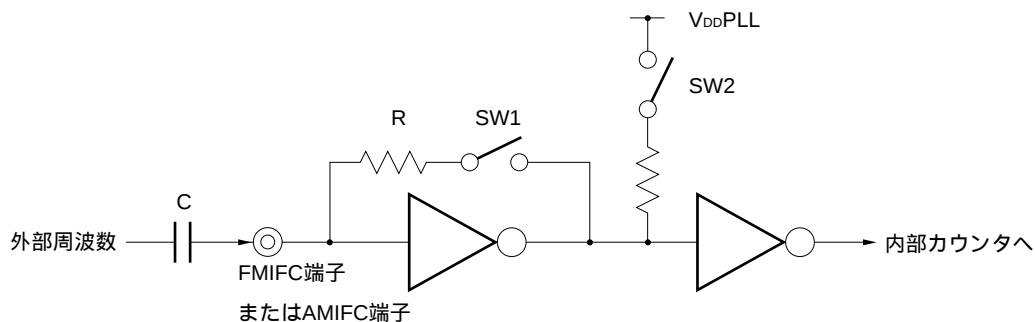
図16 - 7 に示すように、周波数カウンタは交流アンプを内蔵した入力端子（FMIFC端子 / AMIFC端子）から入力されるため、入力信号の直流分をコンデンサCでカットしてください。

FMIFC端子またはAMIFC端子がIFカウンタ・モード・セレクト・レジスタにより選択されると、スイッチSW1がONし、スイッチSW2はOFFして、端子の電圧が約 $1/2V_{DD}$ になります。

このとき、十分に中間電圧に立ち上がっていないと、交流アンプが正常動作範囲内にないため、カウントが正常に行われない場合があります。

したがって、端子を選択してからカウントをスタートする（IFCST = 1）までに十分なウエイト時間を設けてください。

図16 - 7 周波数カウンタ入力端子回路



(2) HALTモード時の注意

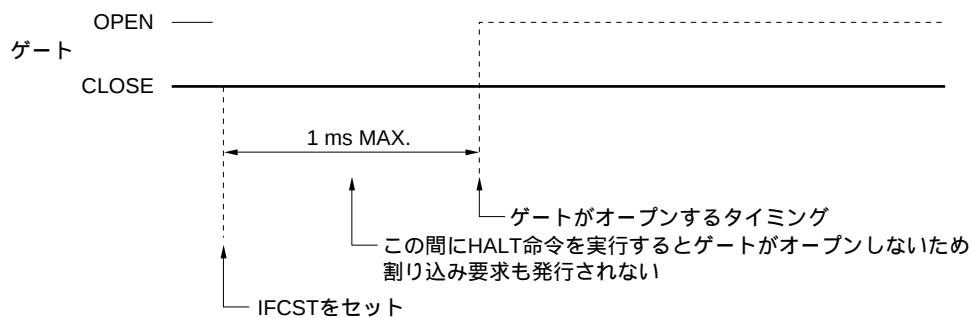
FMIFC端子およびAMIFC端子はHALTモード直前の状態を保持します。

このとき周波数カウンタの割り込みによるHALTモードの解除を使用する場合は次に示す点に注意が必要です。

すなわち、IFCSTによりカウントをスタートしてから、実際にゲートがオープンするまでの間にHALT命令を実行してしまうと、ゲートがオープンしなくなります。

したがって、1 ms以上ウエイトしたあとにHALT命令を実行する必要があります。

図16 - 8 HALT命令を実行したときのゲート状態



(3) 周波数カウンタの誤差

周波数カウンタの誤差にはゲート時間の誤差とカウント誤差があります。

(1) ゲート時間の誤差

周波数カウンタのゲート時間は、4.5 MHzを分周して作り出しています。

したがって4.5MHzが “ + x ” ppmずれていると、ゲート時間は “ - x ” ppmずれることになります。

(2) カウント誤差

周波数カウンタは入力された信号の立ち上がりエッジで周波数をカウントします。

したがって、ゲートがオープンしたときに、端子にハイ・レベルが入力されていると1パルス分余分にカウントします。ただし、ゲートが閉じるときは、端子の状態によりカウントすることはありません。

すなわちカウント誤差としては “ 最大 + 1 ” になります。

〔メ モ〕

第17章 スタンバイ機能

17.1 スタンバイ機能と構成

17.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、時計動作のような間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電流を、かなり低減できます。

また、データ・メモリの低電圧($V_{DD} = 1.8\text{ V}$ まで)保持が可能です。したがって、超低消費電流でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

ただし、STOPモードでは、8ビット・タイマ、PLL周波数シンセサイザ、周波数カウンタのレジスタ、フラグの内容は保持されません。STOPモード時のこれらの内容は、**第7章 8ビット・タイマ**、**第15章 PLL周波数シンセサイザ**、**第16章 周波数カウンタ**を参照してください。

注意1．STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

2．A/Dコンバータ部の消費電力を低減させるためには、ADMのビット7(CS)を0にクリアし、A/D変換動作を停止させてください。さらにADISのビット3(ADON)を0にクリアし抵抗ストリング用電源をオフにしたあとHALT命令またはSTOP命令を実行してください。

17.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ(OSTS)で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット時は、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、解除までの時間は $2^{18}/f_x$ ではなく、 $2^{17}/f_x$ となります。

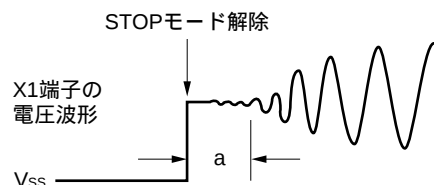
図17 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	STOPモード解除時の発振安定時間の選択		
			MCS = 1		MCS = 0
0	0	0	$2^{12}/f_{xx}$	$2^{12}/f_x$ (910 μ s)	$2^{13}/f_x$ (1.82 ms)
0	0	1	$2^{14}/f_{xx}$	$2^{14}/f_x$ (3.64 ms)	$2^{15}/f_x$ (7.28 ms)
0	1	0	$2^{15}/f_{xx}$	$2^{15}/f_x$ (7.28 ms)	$2^{16}/f_x$ (14.6 ms)
0	1	1	$2^{16}/f_{xx}$	$2^{16}/f_x$ (14.6 ms)	$2^{17}/f_x$ (29.1 ms)
1	0	0	$2^{17}/f_{xx}$	$2^{17}/f_x$ (29.1 ms)	$2^{18}/f_x$ (58.3 ms)
上記以外			設定禁止		

- 備考 1 . f_{xx} : システム・クロック周波数(f_x または $f_x/2$)
- 2 . f_x : システム・クロック発振周波数
- 3 . MCS : 発振モード選択レジスタ(OSMS)のビット 0
- 4 . ()内は、 $f_x = 4.5$ MHz動作時。

注意 STOPモード解除時のウェイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間(下図 a)は含みません。これは、 $\overline{\text{RESET}}$ 入力による場合も、割り込み要求発生による場合も同様です。



17.2 スタンバイ機能の動作

17.2.1 HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表17 - 1 HALTモード時の動作状態

項 目	状 態
クロック発生回路	システム・クロック発振可能。CPUへのクロック供給が停止。
CPU	動作停止。
ポート	HALTモード設定前の状態を保持。
8ビット・タイマ/イベント・カウンタ	HALTモード設定前の動作を保持および動作可能。
8ビット・タイマ (D/Aコンバータも含む)	
ベーシック・タイマ	
ウォッチドッグ・タイマ	
ブザー出力制御回路	
A/Dコンバータ	
シリアル・インタフェース	自動送受信機能は、動作停止。 上記以外の機能は、HALTモード設定前の動作を保持および動作可能。
外部割り込み	INTP0は、サンプリング・クロックが $f_{xx}/2^N$ の場合のみ動作停止。それ以外はHALTモード設定前の動作を保持および動作可能。 INTP1-INTP6は、HALTモード設定前の動作を保持および動作可能。
PLL周波数シンセサイザ	HALTモード設定前の動作を保持および動作可能。
周波数カウンタ	
パワーオン・クリア回路	動作可能。

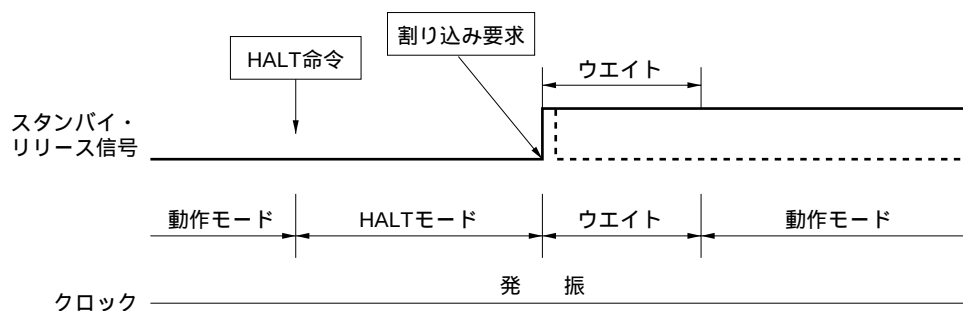
(2) HALTモードの解除

HALTモードは、次の4種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図17 - 2 HALTモードの割り込み要求発生による解除



備考1．破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2．ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 8 ~ 9 クロック
- ・ベクタ割り込み処理を行わない場合 : 2 ~ 3 クロック

(b) ノンマスカブル割り込み要求による解除

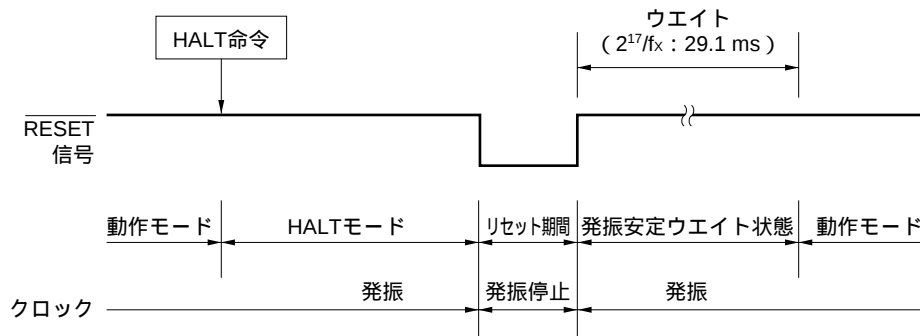
ノンマスカブル割り込み要求が発生すると、割り込み受け付け許可、禁止の状態に関係なく、HALTモードは解除され、ベクタ割り込み処理が行われます。

(c) マスクされていないテスト入力による解除

マスクされていないテスト信号の入力があると、HALTモードは解除され、HALT命令の次のアドレスの命令が実行されます。

(d) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図17 - 3 HALTモードの $\overline{\text{RESET}}$ 入力による解除

備考 1 . f_x : システム・クロック発振周波数

2 . () 内は , $f_x = 4.5 \text{ MHz}$ 動作時。

表17 - 2 HALTモードの解除後の動作

解除ソース	MK × ×	PR × ×	IE	ISP	動 作
マスカブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
ノンマスカブル 割り込み要求	-	-	×	×	割り込み処理実行
テスト入力	0	-	×	×	次アドレス命令実行
	1	-	×	×	HALTモード保持
$\overline{\text{RESET}}$ 入力	-	-	×	×	リセット処理

備考 × : don't care

17.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 1 . STOPモードに設定すると、クリスタル発振回路部のリークを抑えるためにX2端子が内部でV_{DD}にプルアップされます。

2 . スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ(OSTS)による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表17 - 3 STOPモード時の動作状態

項 目	状 態
クロック発生回路	システム・クロック発振停止。CPUへのクロック供給が停止。
CPU	動作停止。
ポート	STOPモード設定前の状態を保持。
8ビット・タイマ/イベント・カウンタ	カウント・クロックにTI1, TI2選択時のみ、動作可能およびSTOPモード設定前の状態を保持。それ以外は動作停止および動作不可能。
8ビット・タイマ (D/Aコンバータも含む)	動作停止および動作不可能。
ベーシック・タイマ	
ウォッチドッグ・タイマ	
ブザー出力制御回路	
A/Dコンバータ	
シリアル・インタフェース	自動送受信機能は、動作停止および動作不可能。 それ以外の機能は、STOPモード設定前の動作を保持および動作可能。
外部割り込み	INTP0は、動作停止および動作不可能。 INTP1-INTP6は、STOPモード設定前の動作を保持および動作可能。
PLL周波数シンセサイザ	動作停止および動作不可能。
周波数カウンタ	
パワーオン・クリア回路	動作可能。

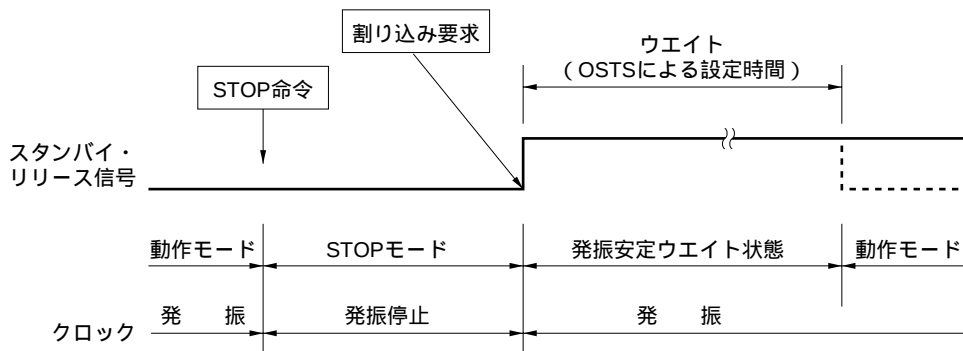
(2) STOPモードの解除

STOPモードは、次の3種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードは解除されます。発振安定時間経過後、割り込み要求受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み要求受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図17 - 4 STOPモードの割り込み要求発生による解除



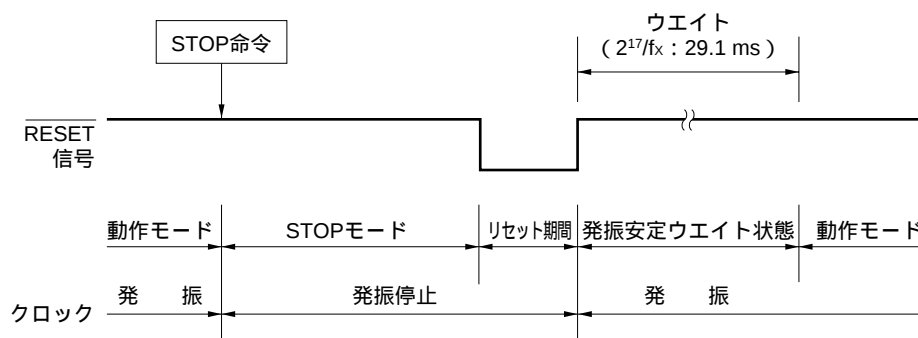
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) マスクされていないテスト入力による解除

マスクされていないテスト信号の入力があると、STOPモードは解除されます。そして、発振安定時間経過後、STOP命令の次のアドレスの命令が実行されます。

(c) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、STOPモードは解除されます。そして、発振安定時間経過後リセット動作が行われます。

図17 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除

備考1 . f_x : システム・クロック発振周波数

2 . ()内は , $f_x = 4.5 \text{ MHz}$ 動作時。

表17 - 4 STOPモードの解除後の動作

解除ソース	MK × ×	PR × ×	IE	ISP	動 作
マスカブル 割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	STOPモード保持
テスト入力	0	-	×	×	次アドレス命令実行
	1	-	×	×	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	×	×	リセット処理

備考 × : don't care

第18章 リセット機能

18.1 リセット機能

リセット信号を発生させる方法には、次の3種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
- (3) パワーオン・クリア(POC)による内部リセット

外部リセットと内部リセットは機能面での差はなく、ともに0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

(1) $\overline{\text{RESET}}$ 端子による外部リセット入力

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとリセットがかかり、各ハードウェアは表18 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンス（ただしP132-P134端子はロウ・レベル）となります。

$\overline{\text{RESET}}$ 端子によるリセットは、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると解除され、発振安定時間経過後（ $2^{17}/f_x$ ）、プログラムの実行を開始します。

(2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

ウォッチドッグ・タイマのオーバフローが発生するとリセットがかかり、各ハードウェアは表18 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンス（ただしP132-P134端子はロウ・レベル）となります。

ウォッチドッグ・タイマによるリセットは、リセットがかかってからすぐに解除され、発振安定時間経過後（ $2^{17}/f_x$ ）、プログラムの実行を開始します。

(3) パワーオン・クリア (POC) による内部リセット

次のいずれかの条件でパワーオン・クリアによるリセットがかかります。

- ・電源電圧投入時に、電源電圧が 3.5 V[※]未満である場合
- ・STOP モード時に、電源電圧が 2.5 V[※]未満になった場合
- ・CPU クロック $f_x/2$ 以下で動作中に、電源電圧が 3.5 V[※]未満になった場合 (HALT モード時も含む)、または CPU クロック f_x で動作中に、電源電圧が 4.5 V[※]未満になった場合 (HALT モード時も含む)

これらのパワーオン・クリアのリセット条件を満たした場合、リセットがかかります。各ハードウェアは表18 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンス (ただしP132-P134端子はロウ・レベル) となります。

パワーオン・クリアによるリセットは、電源電圧が一定電圧以上になると解除され、発振安定時間経過後 ($2^{17}/f_x$)、プログラムの実行を開始します。

注 これらの電圧は最大値であり、実際にはそれぞれの電圧より低い電圧でリセットがかかります。

注意1 . 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。

2 . リセット入力中は、システム・クロックの発振が停止します。

3 . $\overline{\text{RESET}}$ 入力でSTOPモードを解除するとき、リセット入力中はSTOPモード時のレジスタ内容を保持します。ただし、I/Oポート端子は、入力モードに設定されるためハイ・インピーダンスとなります。出力専用ポート端子 (P132-P134) は以前の状態にかかわらずロウ・レベルになります。

図18 - 1 リセット機能のブロック図

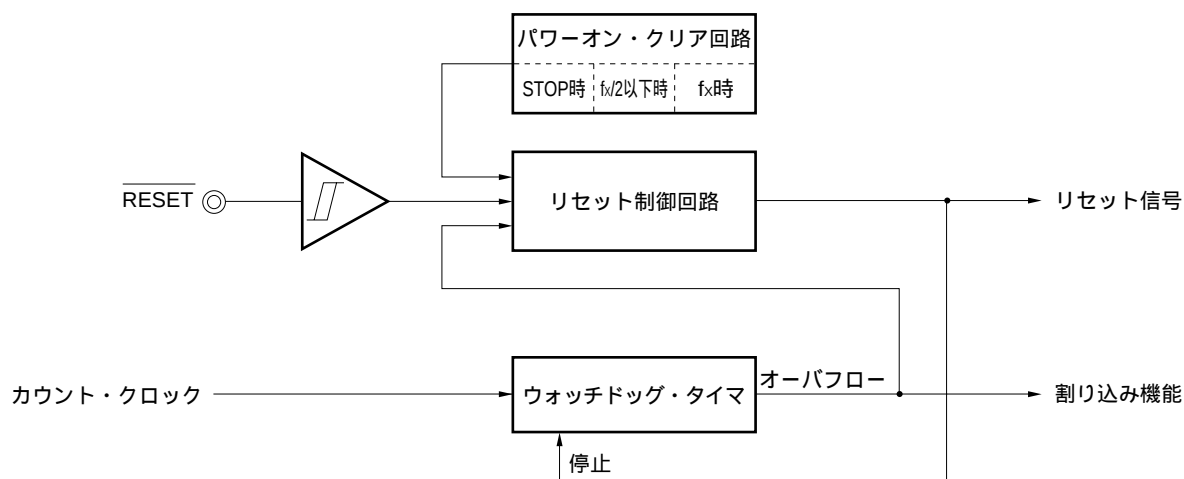
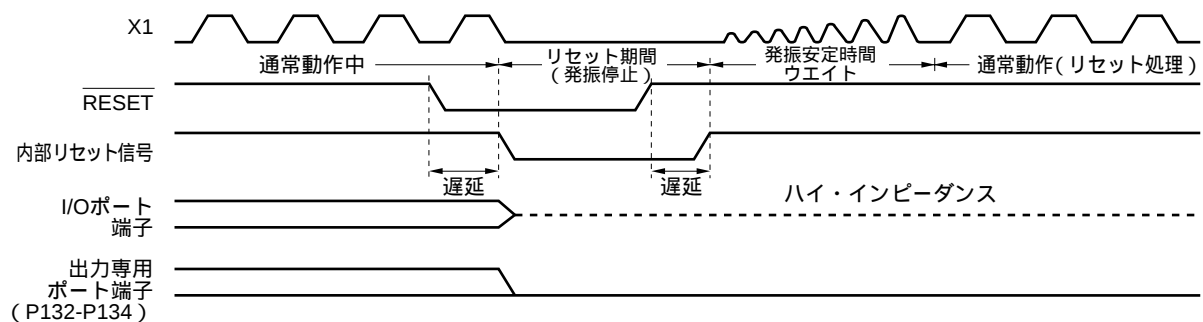


図18 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

(a) 通常動作モード時



(b) STOP モード時

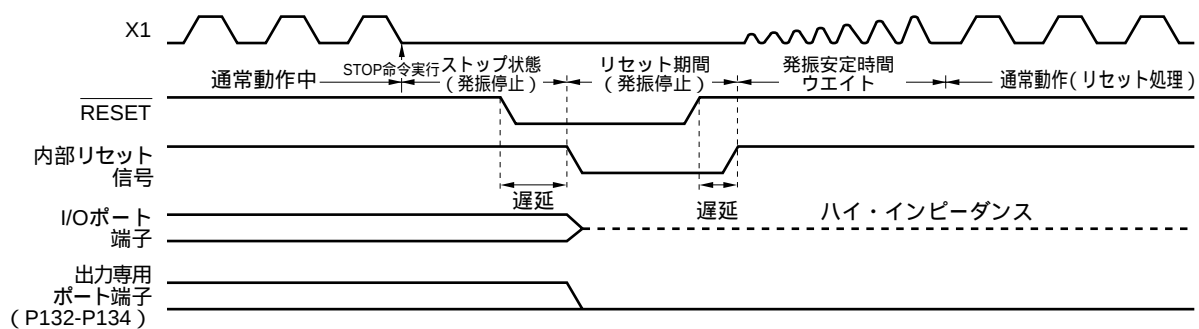


図18 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

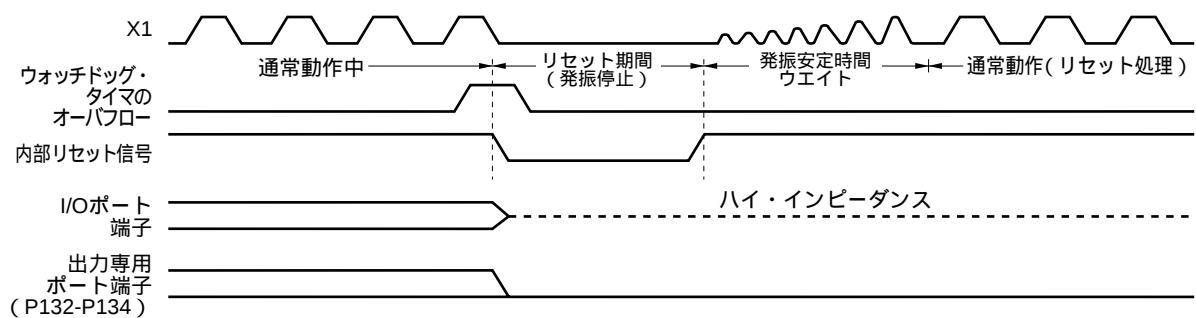
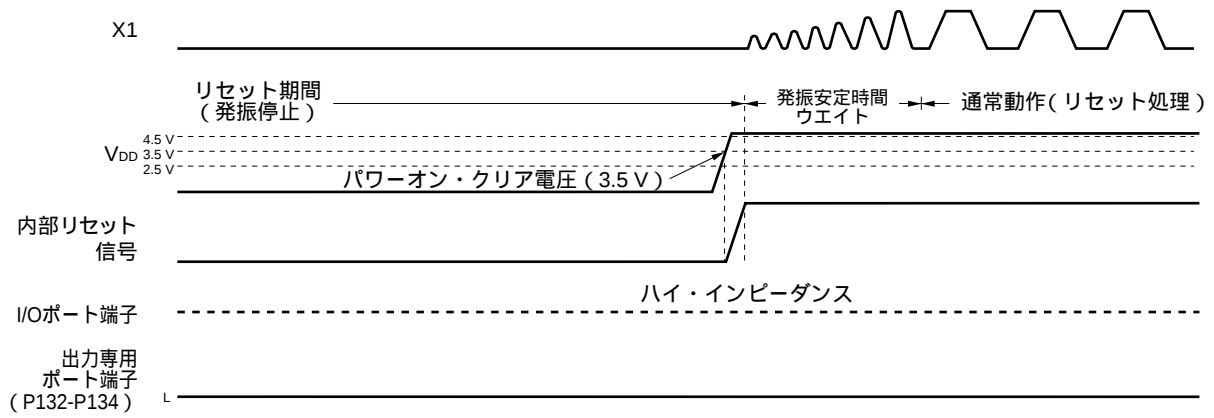


図 18 - 4 パワーオン・クリアによるリセット・タイミング (1/2)

(a) 電源電圧投入時



(b) STOP モード時

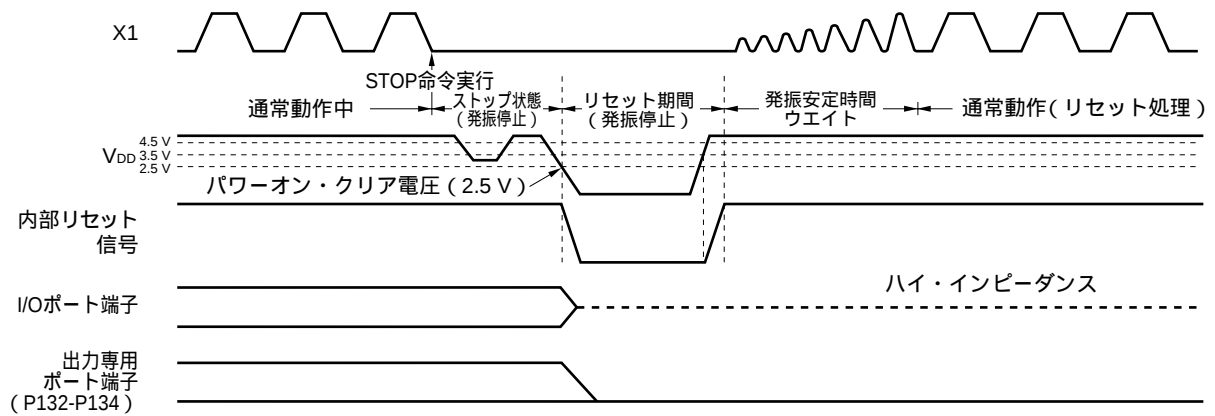


図18 - 4 パワーオン・クリアによるリセット・タイミング (2/2)

(c) 通常モード時 (HALT モード時も含む)

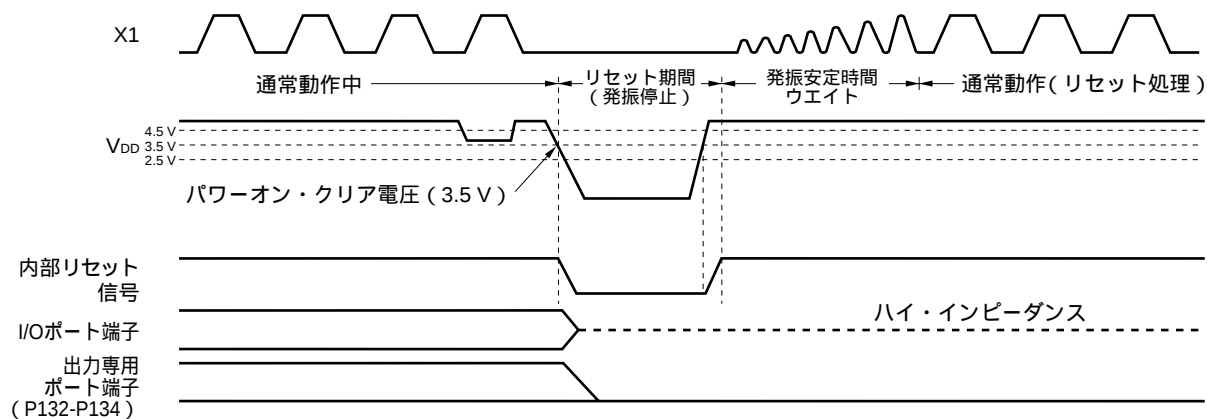
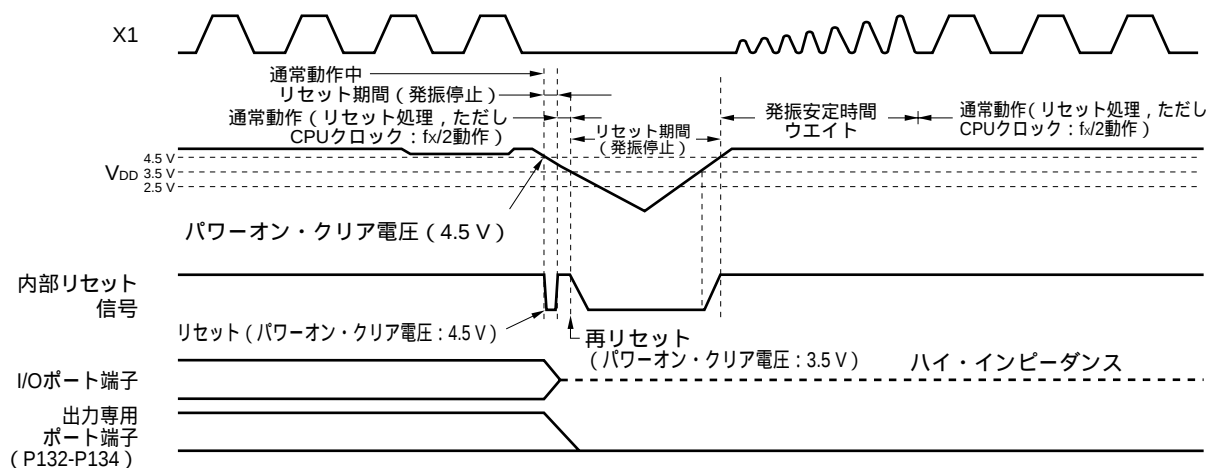
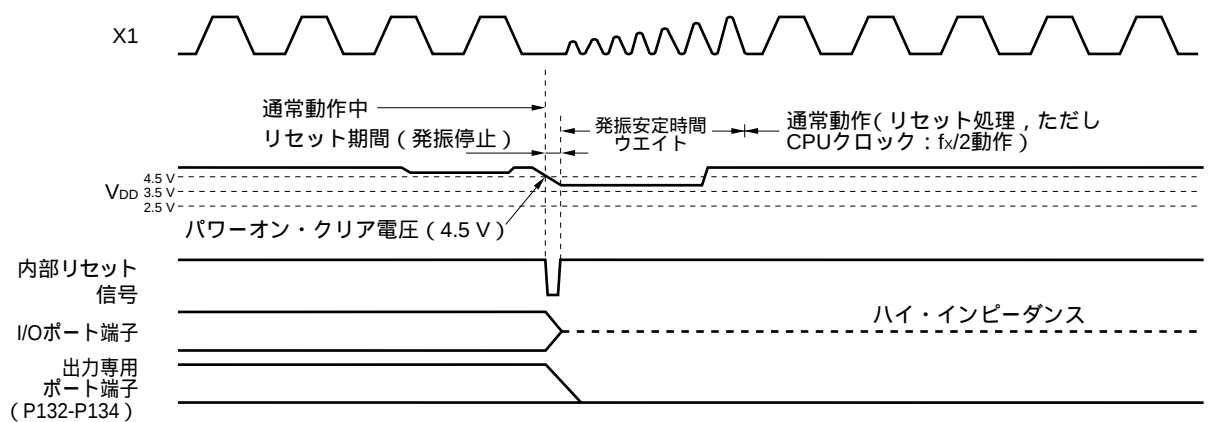
CPU クロック : $f_x/2$ 以下のときCPU クロック : f_x のとき

表18 - 1 各ハードウェアのリセット後の状態(1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ(PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H)の内容がセット される。
スタック・ポインタ(SP)		不 定
プログラム・ステータス・ワード(PSW)		02H
RAM	データ・メモリ	不 定 ^{注2}
	汎用レジスタ	不 定 ^{注2}
ポート(出力ラッチ)	ポート0-ポート3, ポート12, ポート13 (P0-P3, P12, P13)	00H
	ポート4-ポート6(P4-P6)	不 定
ポート・モード・レジスタ(PM0-PM3, PM5, PM6, PM12)		FFH
ポート・モード・レジスタ4(MM)		10H
プロセッサ・クロック・コントロール・レジスタ(PCC)		04H
発振モード選択レジスタ(OSMS)		00H
発振安定時間選択レジスタ(OSTS)		04H
8ビット・タイマ/ イベント・カウンタ	タイマ・レジスタ(TM1, TM2)	00H
	コンペア・レジスタ(CR10, CR20)	00H
	クロック選択レジスタ(TCL1)	00H
	モード・コントロール・レジスタ(TMC1)	00H
8ビット・タイマ (D/Aコンバータ)	PWMモード・セレクト・レジスタ(PWMSEL)	00H
	PWMコントロール・レジスタ(PWMCR)	00H
	PWMデータ・レジスタ(PWMR0, PWMR1, PWMR2)	01FFH
	PWMタイマ・レジスタ(PWMTMR)	FFH

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時にリセットがかかった場合には、リセット前の状態がリセット後も保持されます。

表18 - 1 各ハードウェアのリセット後の状態(2/2)

ハードウェア		リセット後の状態
ウォッチドッグ・タイマ	クロック選択レジスタ(TCL2)	00H
	モード・レジスタ(WDTM)	00H
シリアル・インタフェース	クロック選択レジスタ(TCL3)	88H
	シフト・レジスタ(SIO0 , SIO1)	不 定
	モード・レジスタ(CSIM0)	01H
	モード・レジスタ(CSIM1)	01H
	シリアル・バス・インタフェース・コントロール・レジスタ(SBIC)	00H
	スレーブ・アドレス・レジスタ(SVA)	不 定
	自動データ送受信コントロール・レジスタ(ADTC)	00H
	自動データ送受信アドレス・ポインタ(ADTP)	00H
	自動データ送受信間隔指定レジスタ(ADTI)	00H
	割り込みタイミング指定レジスタ(SINT)	00H
A/Dコンバータ	モード・レジスタ(ADM)	01H
	変換結果レジスタ(ADCR)	不 定
	入力選択レジスタ(ADIS)	00H
割り込み	要求フラグ・レジスタ(IF0L , IF0H)	00H
	マスク・フラグ・レジスタ(MK0L , MK0H)	FFH
	優先順位指定フラグ・レジスタ(PR0L , PR0H)	FFH
	外部割り込みモード・レジスタ(INTM0 , INTM1)	00H
	キー・リターン・モード・レジスタ(KRM)	02H
	サンプリング・クロック選択レジスタ(SCS)	00H
PLL周波数シンセサイザ	PLLモード・セレクト・レジスタ(PLLMD)	00H
	PLLレファレンス・モード・レジスタ(PLLRF)	0FH
	PLLアンロックFFジャッジ・レジスタ(PLLUL)	保持 ^{注1}
	PLLデータ転送レジスタ(PLLNS)	00H
	EOセレクト・レジスタ(EOCON)	00H
	PLLデータ・レジスタ(PLLRL, PLLRH, PLLR0)	不定
周波数カウンタ	IFカウンタ・モード・セレクト・レジスタ(IFCMD)	00H
	IFカウンタ・ゲート・ジャッジ・レジスタ(IFCJG)	00H
	IFカウンタ・コントロール・レジスタ(IFCR)	00H
	IFカウンタ・レジスタ(IFC)	0000H
パワーオン・クリア	POCステータス・レジスタ(POCS)	保持 ^{注2}

注1 . パワーオン・クリアによるリセットのみ不定になります。

2 . パワーオン・クリアによるリセットのみ01Hになります。

18.2 停電検出機能

パワーオン・クリアによるリセットが発生すると、POCステータス・レジスタ(POCS)のビット0(POC45)が1にセットされます。ただし、RESET端子によるリセットおよびウォッチドッグ・タイマによるリセットが発生した場合には、POC45は以前の状態を保持します。

パワーオン・クリアによるリセット解除後(0000H番地からプログラム実行開始後)、このPOC45を検出することで停電状態を検出することができます。

図18 - 5 POCステータス・レジスタのフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
POCS	0	0	0	0	0	0	0	POC45	FFBFH	保持 ^注	R&Reset

POC45	パワーオン・クリアの発生状態検出
0	パワーオン・クリア未発生
1 ^注	パワーオン・クリアによるリセット発生

注 パワーオン・クリアによるリセットのみ01Hとなります。

備考 POCS以外の特殊機能レジスタのリセット時の値は、パワーオン・クリアによるリセット時の値と同じになります。

第19章 μ PD178P018A

μ PD178018AサブシリーズのPROM製品には、 μ PD178P018Aがあります。 μ PD178P018Aは、 μ PD178004A、178006A、178016Aおよび178018Aに対応したPROM製品です。

μ PD178P018Aは、 μ PD178018Aの内蔵マスクROMを、ワン・タイムPROMまたはEPROMに置き換えた製品です。 μ PD178P018AとマスクROM製品の違いを表19 - 1 に示します。

表19 - 1 μ PD178P018AとマスクROM製品の違い

項 目	μ PD178P018A	マスクROM製品
IC端子	なし	あり
V _{PP} 端子	あり	なし
電気的特性	個別のデータ・シートを参照してください。	

注意 μ PD178P018Aの電気的特性（電源電流）とPLLのアナログ特性は、マスクROM製品と異なります。
したがって、応用セットの量産は、これらの相違点をよく確認のうえ行ってください。

19.1 PROMプログラミング

μ PD178P018Aは、プログラム・メモリとして、60 Kバイト構成のPROMを内蔵しています。プログラミングをするときは、 V_{PP} 端子、 $\overline{\text{RESET}}$ 端子でPROMプログラミング・モードに設定します。その他、使用しない端子の処理は、1.5(2)PROMプログラミング・モードを参照してください。

注意 μ PD178P018Aのプログラム書き込みは、0000H-EFFFH番地の範囲で行ってください(最終アドレスEFFFH番地を指定してください)。書き込みアドレスを指定できないPROMプログラムでは書き込みできません。

19.1.1 動作モード

V_{PP} 端子に+5 Vまたは+12.5 V、 $\overline{\text{RESET}}$ 端子にロウ・レベルを印加すると、PROMプログラミング・モードになります。このモードは $\overline{\text{CE}}$ 端子、 $\overline{\text{OE}}$ 端子、 $\overline{\text{PGM}}$ 端子の設定により、表19-2のような動作モードになります。

また、読み出しモードに設定することにより、PROMの内容を読み出すことができます。

表19-2 PROMプログラミングの動作モード

端子 動作モード	RESET	V _{PP}	V _{DD}	CE	OE	PGM	D0-D7
ページ・データ・ラッチ	L	+ 12.5 V	+ 6.5 V	H	L	H	データ入力
ページ書き込み				H	H	L	ハイ・インピーダンス
バイト書き込み				L	H	L	データ入力
プログラム・ベリファイ				L	L	H	データ出力
プログラム・インヒビット				×	H	H	ハイ・インピーダンス
				×	L	L	
読み出し		+ 5 V	+ 5 V	L	L	H	データ出力
出力ディスエーブル				L	H	×	ハイ・インピーダンス
スタンバイ				H	×	×	ハイ・インピーダンス

備考 ×：LまたはH

(1) 読み出しモード

$\overline{\text{CE}} = \text{L}$ 、 $\overline{\text{OE}} = \text{L}$ に設定することにより、読み出しモードになります。

(2) 出力ディスエーブル・モード

$\overline{\text{OE}} = \text{H}$ にすることにより、データ出力がハイ・インピーダンスになり出力ディスエーブル・モードになります。

したがって、データ・バスに複数の μ PD178P018Aを接続した場合、 $\overline{\text{OE}}$ 端子を制御することで任意の1個のデバイスよりデータを読み出すことができます。

(3) スタンバイ・モード

$\overline{CE} = H$ にすることによりスタンバイ・モードになります。

このモードでは、 $\overline{OE}$ の状態に関係なくデータ出力がハイ・インピーダンスになります。

(4) ページ・データ・ラッチ・モード

ページ書き込みモードの初期に $\overline{CE} = H$ 、 $\overline{PGM} = H$ 、 $\overline{OE} = L$ にすることにより、ページ・データ・ラッチ・モードになります。

このモードでは、1 ページ 4 バイトのデータが内部のアドレス / データ・ラッチ回路にラッチされます。

(5) ページ書き込みモード

ページ・データ・ラッチ・モードにより 1 ページ 4 バイトのアドレスとデータをラッチ後、 $\overline{CE} = H$ 、 $\overline{OE} = H$ の状態では $\overline{PGM}$ 端子に 0.1 ms のプログラム・パルス(アクティブ・ロウ)を印加することによりページ書き込みが実行されます。その後、 $\overline{CE} = L$ 、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイを行えます。

1 回のプログラム・パルスでプログラムされない場合には X 回 (X = 10) の書き込みとベリファイを繰り返し実行します。

(6) バイト書き込みモード

$\overline{CE} = L$ 、 $\overline{OE} = H$ の状態では $\overline{PGM}$ 端子に 0.1 ms のプログラム・パルス(アクティブ・ロウ)を印加することによりバイト書き込みが実行されます。その後、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイが行えます。

1 回のプログラム・パルスでプログラムされない場合には X 回 (X = 10) の書き込みとベリファイを繰り返し実行します。

(7) プログラム・ベリファイ・モード

$\overline{CE} = L$ 、 $\overline{PGM} = H$ 、 $\overline{OE} = L$ にすることにより、プログラム・ベリファイ・モードになります。

書き込みを行ったのち、正しく書き込まれたかどうかこのモードで確認してください。

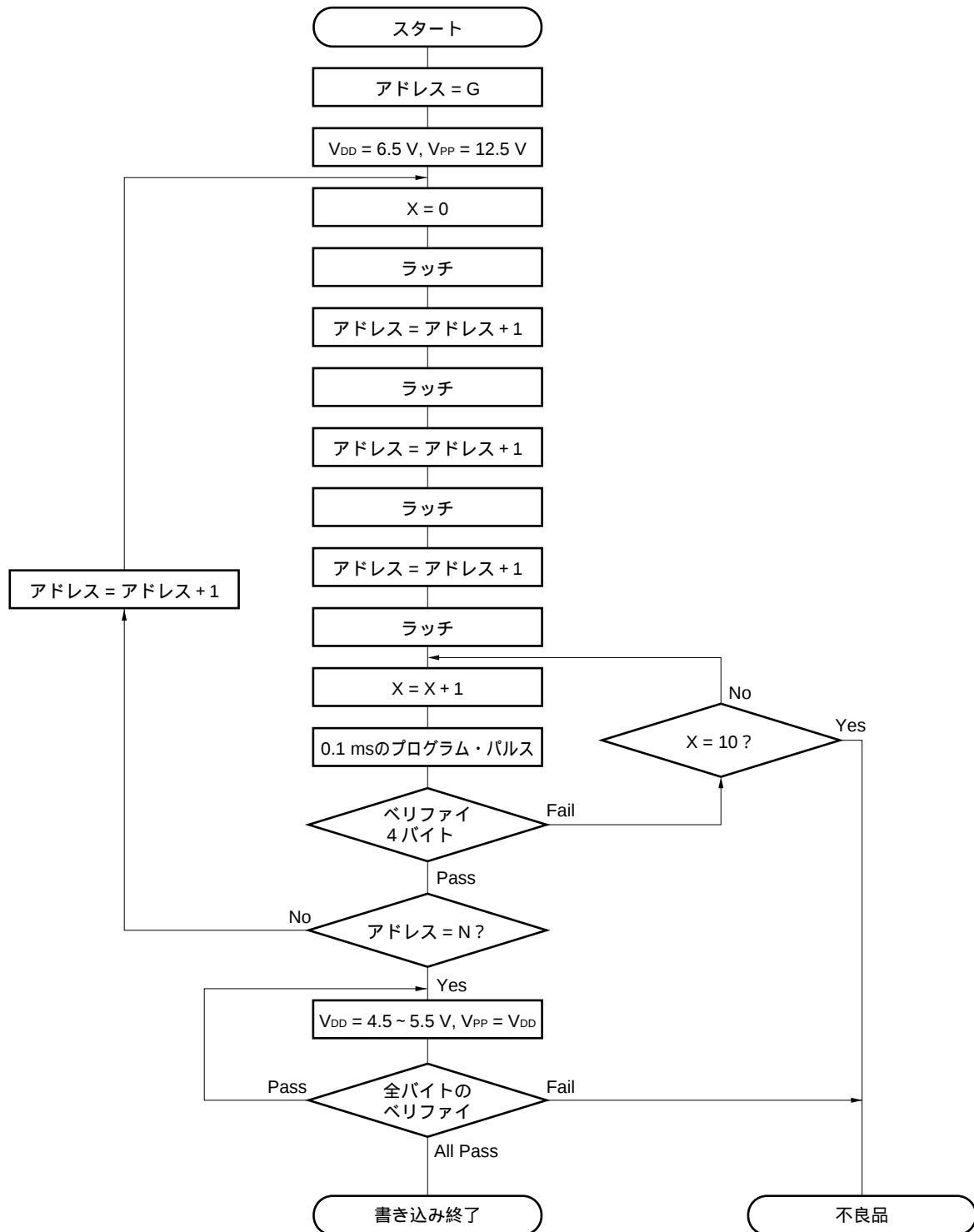
(8) プログラム・インヒビット・モード

プログラム・インヒビット・モードは、複数の μ PD178P018A の $\overline{OE}$ 端子、 V_{PP} 端子、D0-D7 端子がパラレルに接続されている状態でその中の 1 個のデバイスに書き込みを行う場合に使用します。

書き込みを行う場合に、上記ページ書き込みモードあるいはバイト書き込みモードを使用します。このとき、 $\overline{PGM}$ 端子をハイ・レベルにしたデバイスには書き込みが行われません。

19.1.2 PROM書き込みの手順

図19 - 1 ページ・プログラム・モード・フロー・チャート



G = 開始アドレス

N = プログラムの最終アドレス

図19 - 2 ページ・プログラム・モード・タイミング

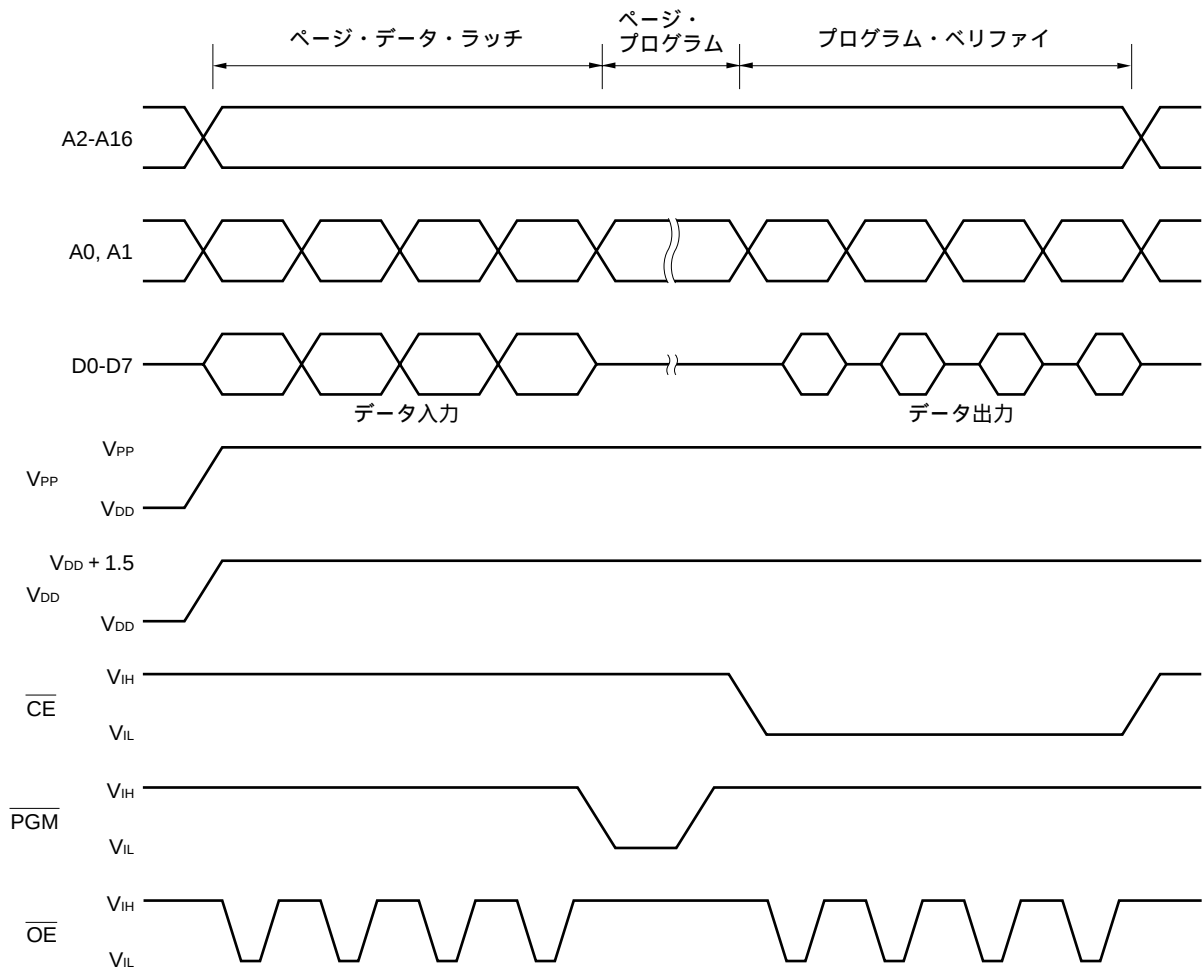
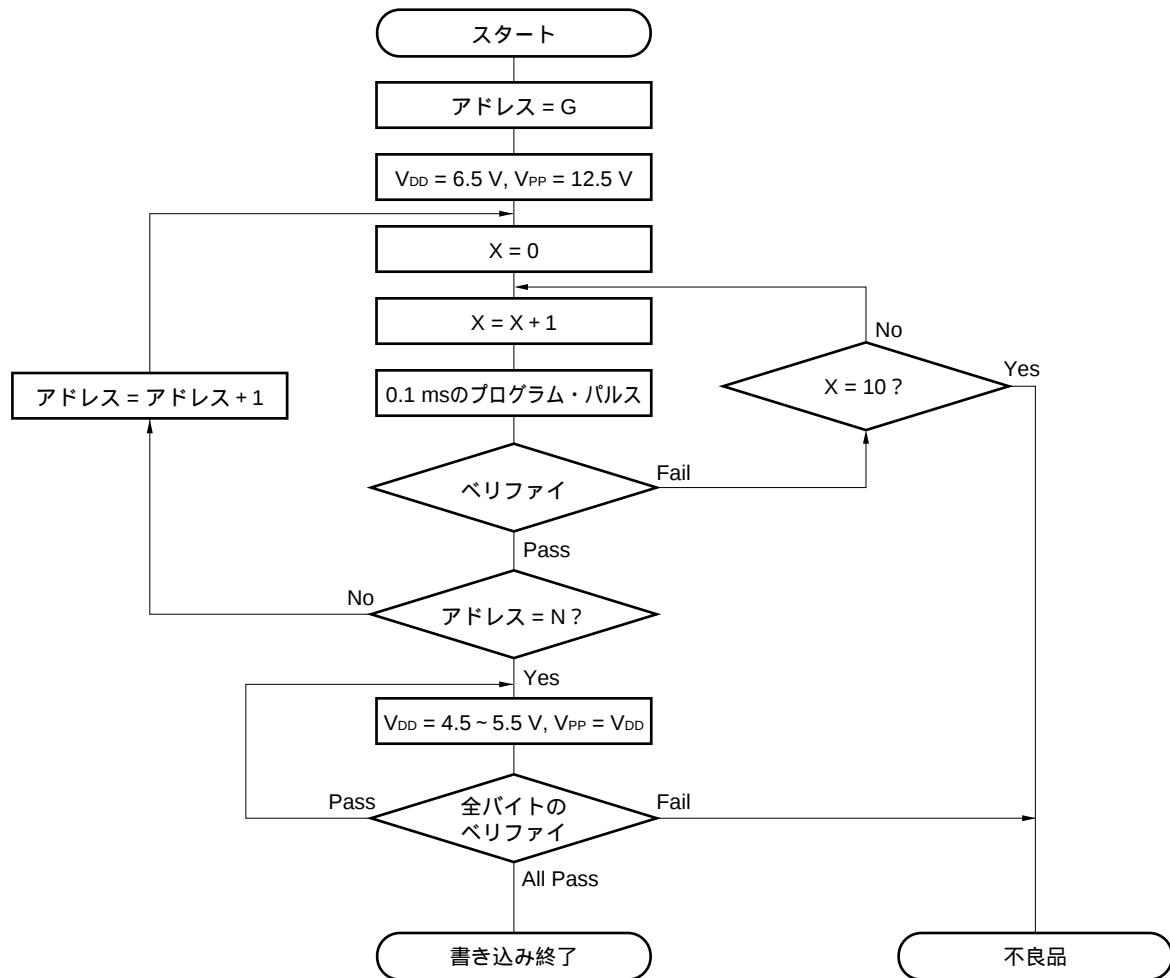


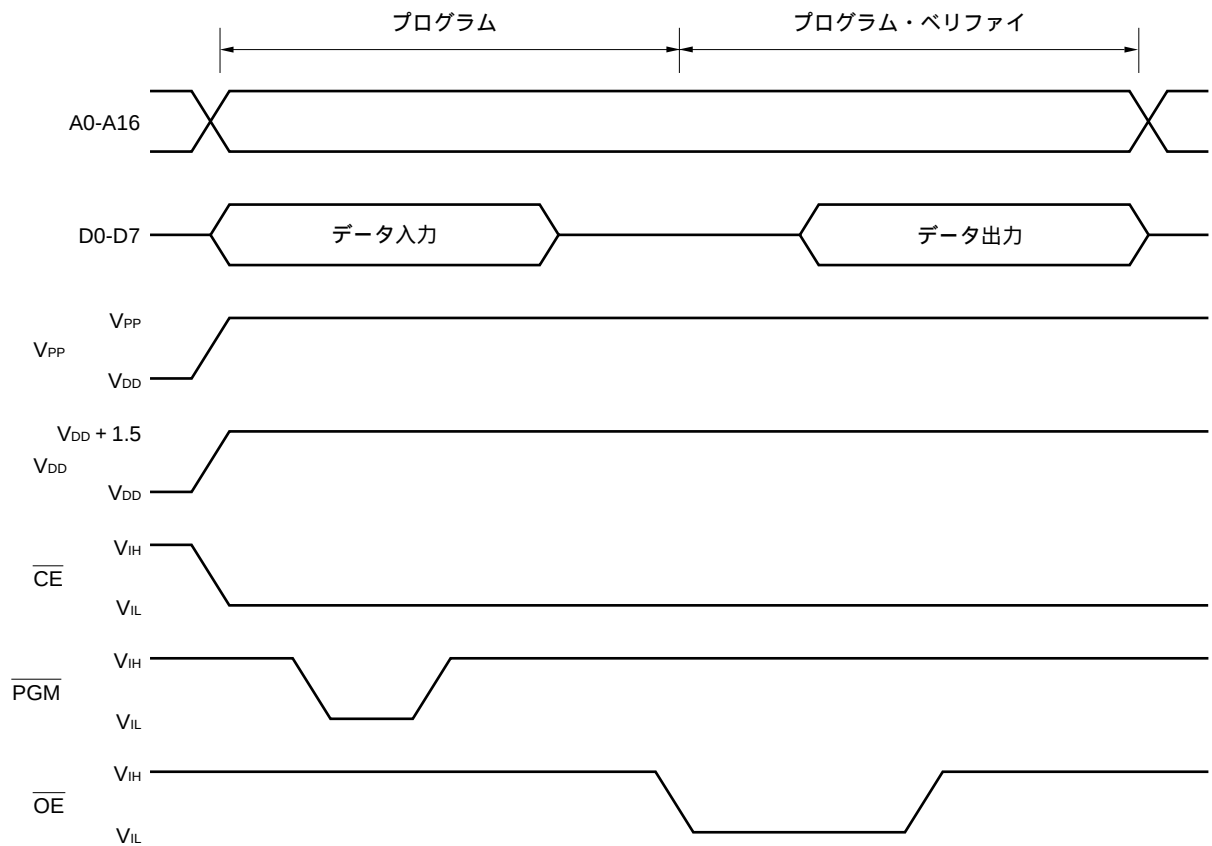
図19 - 3 バイト・プログラム・モード・フロー・チャート



G = 開始アドレス

N = プログラムの最終アドレス

図19 - 4 バイト・プログラム・モード・タイミング



注意 1 . V_{DD} は V_{PP} より前に印加し, V_{PP} のあとから切断するようにしてください。

2 . V_{PP} はオーバシュートを含めて +13.5 V以上にならないようにしてください。

3 . V_{PP} に +12.5 Vが印加されている間に抜き差しした場合、信頼性上、悪影響を受ける可能性があります。

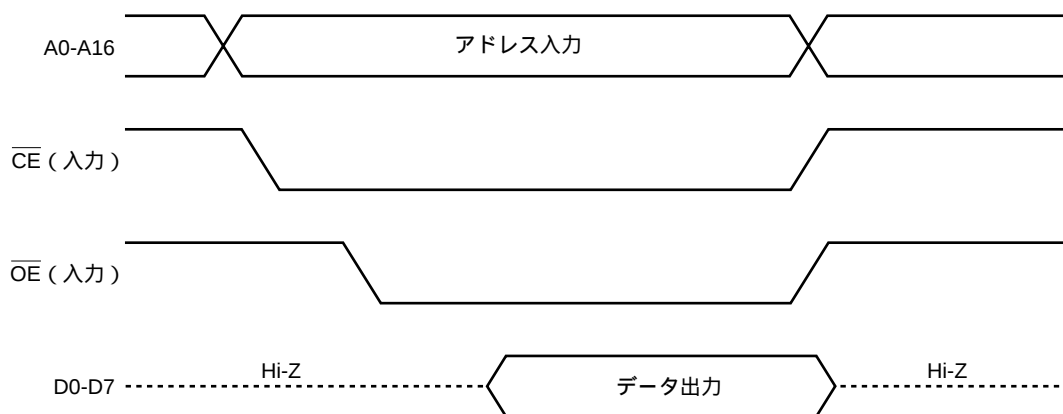
19.1.3 PROM読み出しの手順

次に示す手順によって、PROMの内容を外部データ・バス(D0-D7)に読み出すことができます。

- (1) $\overline{\text{RESET}}$ 端子をロウ・レベルに固定、 V_{PP} 端子に+5Vを供給、その他、使用しない端子は1.5 (2)
PROM **プログラミング・モード**に示すように処理する。
- (2) V_{DD} 、 V_{PP} 端子に+5Vを供給。
- (3) 読み出そうとするデータのアドレスをA0-A16端子に入力。
- (4) リード・モード。
- (5) データをD0-D7端子に出力。

上述の(2)(5)のタイミングを図19 - 5 に示します。

図19 - 5 PROMの読み出しタイミング



19.2 消去方法(μ PD178P018AKK-Tのみ)

μ PD178P018AKK-Tは、プログラム・メモリに書き込まれたデータの内容を消去(FFH)して、再書き込みをすることができます。

データの内容を消去する場合は、約400 nmより短い波長の光を消去用窓部に照射して行います。通常は、254 nmの波長の紫外線を照射します。データの内容を完全に消去するために必要な照射量は、次のとおりです。

- ・ 紫外線強度 × 消去時間：30 W・s/cm²以上
- ・ 消去時間：40分以上 (12,000 μ W/cm²の紫外線ランプ使用の場合。ただし、紫外線ランプの性能劣化、消去用窓部の汚れなどにより長くなる場合があります。)

なお、消去の場合は、紫外線ランプを消去用窓部から2.5 cm以内の位置に設置してください。また、紫外線ランプにフィルタが付いている場合は、そのフィルタを取り外してから照射を行ってください。

19.3 消去用窓のシールについて (μ PD178P018AKK-Tのみ)

EPROM内容の消去用ランプ以外の光による誤消去防止、およびEPROM以外の内部回路が光によって誤動作するのを防止するため、EPROM内容消去時以外は保護用シールを消去用窓に張っておいてください。

19.4 ワン・タイムPROM製品のスクリーニングについて

ワン・タイムPROM製品(μ PD178P018AGC-3B9)は、その構造上、当社にて完全な試験をして出荷することとはできません。必要なデータを書き込んだあと、下記の条件で高温保管後、PROMのベリファイを行うスクリーニングを実施することを推奨します。

保管温度	保管時間
125	24時間

〔メ モ〕

第20章 命令セットの概要

μPD178018Aサブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0シリーズ ユーザーズ・マニュアル 命令編(U12326J)を参照してください。

20.1 凡 例

20.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は、アセンブラ仕様による)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミディエイト・データ指定
- ・! : 絶対アドレス指定
- ・\$: 相対アドレス指定
- ・[] : 間接アドレス指定

イミディエイト・データのときは、適当な数値またはレーベルを記述します。レーベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称(X、A、Cなど)、絶対名称(下表の中のカッコ内の名称、R0、R1、R2など)のいずれの形式でも記述可能です。

表20 - 1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BX(RP1), DX(RP2), HL(RP3)
sfr	特殊機能レジスタ略号 ^注
sfrp	特殊機能レジスタ略号(16ビット操作可能なレジスタの偶数アドレスのみ) ^注
saddr	FE20H-FF1FH イミディエイト・データまたはレーベル
saddrp	FE20H-FF1FH イミディエイト・データまたはレーベル(偶数アドレスのみ)
addr16	0000H-FFFFH イミディエイト・データまたはレーベル (16ビット・データ転送命令時は偶数アドレスのみ)
addr11	0800H-0FFFFH イミディエイト・データまたはレーベル
addr5	0040H-007FH イミディエイト・データまたはレーベル(偶数アドレスのみ)
word	16ビット・イミディエイト・データまたはレーベル
byte	8ビット・イミディエイト・データまたはレーベル
bit	3ビット・イミディエイト・データまたはレーベル
RBn	RB0-RB3

注 FFD0H-FFDFHは、アドレスできません。

備考 特殊機能レジスタの略号は表3 - 2 特殊機能レジスタ一覧を参照してください。

20.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
RBS	: レジスタ・バンク選択フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
$\times_H, \times_L$	: 16ビット・レジスタの上位8ビット, 下位8ビット
	: 論理積(AND)
	: 論理和(OR)
∇	: 排他的論理和(exclusive OR)
---	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ(ディスプレースメント値)

20.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
$\times$	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

20.2 オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	4	-	r ← byte			
		saddr, #byte	3	6	7	(saddr) ← byte			
		sfr, #byte	3	-	7	sfr ← byte			
		A, r 注 3	1	2	-	A ← r			
		r, A 注 3	1	2	-	r ← A			
		A, saddr	2	4	5	A ← (saddr)			
		saddr, A	2	4	5	(saddr) ← A			
		A, sfr	2	-	5	A ← sfr			
		sfr, A	2	-	5	sfr ← A			
		A, !addr16	3	8	9	A ← (addr16)			
		!addr16, A	3	8	9	(addr16) ← A			
		PSW, #byte	3	-	7	PSW ← byte	×	×	×
		A, PSW	2	-	5	A ← PSW			
		PSW, A	2	-	5	PSW ← A	×	×	×
		A, [DE]	1	4	5	A ← (DE)			
		[DE] A	1	4	5	(DE) ← A			
		A, [HL]	1	4	5	A ← (HL)			
		[HL] A	1	4	5	(HL) ← A			
		A, [HL + byte]	2	8	9	A ← (HL + byte)			
		[HL + byte] A	2	8	9	(HL + byte) ← A			
		A, [HL + B]	1	6	7	A ← (HL + B)			
		[HL + B] A	1	6	7	(HL + B) ← A			
		A, [HL + C]	1	6	7	A ← (HL + C)			
		[HL + C] A	1	6	7	(HL + C) ← A			

注 1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考 1 . 命令の 1 クロックはPCCで選択したCPUクロック(f_{CPU})の 1 クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8ビット・データ転送	XCH	A, r ^{注 3}	1	2	-	$A \leftrightarrow r$			
		A, saddr	2	4	6	$A \leftarrow (saddr)$			
		A, sfr	2	-	6	$A \leftrightarrow sfr$			
		A, !addr16	3	8	10	$A \leftarrow (addr16)$			
		A, [DE]	1	4	6	$A \leftarrow (DE)$			
		A, [HL]	1	4	6	$A \leftarrow (HL)$			
		A, [HL + byte]	2	8	10	$A \leftarrow (HL + byte)$			
		A, [HL + B]	2	8	10	$A \leftarrow (HL + B)$			
		A, [HL + C]	2	8	10	$A \leftarrow (HL + C)$			
16ビット・データ転送	MOVW	rp, #word	3	6	-	$rp \leftarrow word$			
		saddrp, #word	4	8	10	$(saddrp) \leftarrow word$			
		sfrp, #word	4	-	10	$sfrp \leftarrow word$			
		AX, saddrp	2	6	8	$AX \leftarrow (saddrp)$			
		saddrp, AX	2	6	8	$(saddrp) \leftarrow AX$			
		AX, sfrp	2	-	8	$AX \leftarrow sfrp$			
		sfrp, AX	2	-	8	$sfrp \leftarrow AX$			
		AX, rp ^{注 4}	1	4	-	$AX \leftarrow rp$			
		rp, AX ^{注 4}	1	4	-	$rp \leftarrow AX$			
		AX, !addr16	3	10	12	$AX \leftarrow (addr16)$			
		!addr16, AX	3	10	12	$(addr16) \leftarrow AX$			
	XCHW	AX, rp ^{注 4}	1	4	-	$AX \leftrightarrow rp$			
8ビット演算	ADD	A, #byte	2	4	-	$A, CY \leftarrow A + byte$	×	×	×
		saddr, #byte	3	6	8	$(saddr), CY \leftarrow (saddr) + byte$	×	×	×
		A, r ^{注 3}	2	4	-	$A, CY \leftarrow A + r$	×	×	×
		r, A	2	4	-	$r, CY \leftarrow r + A$	×	×	×
		A, saddr	2	4	5	$A, CY \leftarrow A + (saddr)$	×	×	×
		A, !addr16	3	8	9	$A, CY \leftarrow A + (addr16)$	×	×	×
		A, [HL]	1	4	5	$A, CY \leftarrow A + (HL)$	×	×	×
		A, [HL + byte]	2	8	9	$A, CY \leftarrow A + (HL + byte)$	×	×	×
		A, [HL + B]	2	8	9	$A, CY \leftarrow A + (HL + B)$	×	×	×
		A, [HL + C]	2	8	9	$A, CY \leftarrow A + (HL + C)$	×	×	×

注 1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

4 . rp = BC, DE, HLのときのみ。

備考 1 . 命令の 1 クロックはPCCで選択したCPUクロック(f_{CPU})の 1 クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	4	-	$A, CY \leftarrow A + \text{byte} + CY$	×	×	×
		saddr, #byte	3	6	8	$(saddr), CY \leftarrow (saddr) + \text{byte} + CY$	×	×	×
		A, r 注3	2	4	-	$A, CY \leftarrow A + r + CY$	×	×	×
		r, A	2	4	-	$r, CY \leftarrow r + A + CY$	×	×	×
		A, saddr	2	4	5	$A, CY \leftarrow A + (saddr) + CY$	×	×	×
		A, !addr16	3	8	9	$A, CY \leftarrow A + (\text{addr16}) + CY$	×	×	×
		A, [HL]	1	4	5	$A, CY \leftarrow A + (HL) + CY$	×	×	×
		A, [HL + byte]	2	8	9	$A, CY \leftarrow A + (HL + \text{byte}) + CY$	×	×	×
		A, [HL + B]	2	8	9	$A, CY \leftarrow A + (HL + B) + CY$	×	×	×
		A, [HL + C]	2	8	9	$A, CY \leftarrow A + (HL + C) + CY$	×	×	×
	SUB	A, #byte	2	4	-	$A, CY \leftarrow A - \text{byte}$	×	×	×
		saddr, #byte	3	6	8	$(saddr), CY \leftarrow (saddr) - \text{byte}$	×	×	×
		A, r 注3	2	4	-	$A, CY \leftarrow A - r$	×	×	×
		r, A	2	4	-	$r, CY \leftarrow r - A$	×	×	×
		A, saddr	2	4	5	$A, CY \leftarrow A - (saddr)$	×	×	×
		A, !addr16	3	8	9	$A, CY \leftarrow A - (\text{addr16})$	×	×	×
		A, [HL]	1	4	5	$A, CY \leftarrow A - (HL)$	×	×	×
		A, [HL + byte]	2	8	9	$A, CY \leftarrow A - (HL + \text{byte})$	×	×	×
		A, [HL + B]	2	8	9	$A, CY \leftarrow A - (HL + B)$	×	×	×
		A, [HL + C]	2	8	9	$A, CY \leftarrow A - (HL + C)$	×	×	×
	SUBC	A, #byte	2	4	-	$A, CY \leftarrow A - \text{byte} - CY$	×	×	×
		saddr, #byte	3	6	8	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	×	×	×
		A, r 注3	2	4	-	$A, CY \leftarrow A - r - CY$	×	×	×
		r, A	2	4	-	$r, CY \leftarrow r - A - CY$	×	×	×
		A, saddr	2	4	5	$A, CY \leftarrow A - (saddr) - CY$	×	×	×
		A, !addr16	3	8	9	$A, CY \leftarrow A - (\text{addr16}) - CY$	×	×	×
		A, [HL]	1	4	5	$A, CY \leftarrow A - (HL) - CY$	×	×	×
		A, [HL + byte]	2	8	9	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	×	×	×
		A, [HL + B]	2	8	9	$A, CY \leftarrow A - (HL + B) - CY$	×	×	×
		A, [HL + C]	2	8	9	$A, CY \leftarrow A - (HL + C) - CY$	×	×	×

注 1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考 1 . 命令の 1 クロックはPCCで選択したCPUクロック(f_{CPU})の 1 クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8ビット演算	AND	A, #byte	2	4	-	$A \leftarrow A \text{ byte}$	×		
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \text{ byte}$	×		
		A, r 注3	2	4	-	$A \leftarrow A \text{ r}$	×		
		r, A	2	4	-	$r \leftarrow r \text{ A}$	×		
		A, saddr	2	4	5	$A \leftarrow A (\text{saddr})$	×		
		A, !addr16	3	8	9	$A \leftarrow A (\text{addr16})$	×		
		A, [HL]	1	4	5	$A \leftarrow A [\text{HL}]$	×		
		A, [HL + byte]	2	8	9	$A \leftarrow A [\text{HL} + \text{byte}]$	×		
		A, [HL + B]	2	8	9	$A \leftarrow A [\text{HL} + B]$	×		
		A, [HL + C]	2	8	9	$A \leftarrow A [\text{HL} + C]$	×		
	OR	A, #byte	2	4	-	$A \leftarrow A \text{ byte}$	×		
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \text{ byte}$	×		
		A, r 注3	2	4	-	$A \leftarrow A \text{ r}$	×		
		r, A	2	4	-	$r \leftarrow r \text{ A}$	×		
		A, saddr	2	4	5	$A \leftarrow A (\text{saddr})$	×		
		A, !addr16	3	8	9	$A \leftarrow A (\text{addr16})$	×		
		A, [HL]	1	4	5	$A \leftarrow A (\text{HL})$	×		
		A, [HL + byte]	2	8	9	$A \leftarrow A (\text{HL} + \text{byte})$	×		
		A, [HL + B]	2	8	9	$A \leftarrow A (\text{HL} + B)$	×		
		A, [HL + C]	2	8	9	$A \leftarrow A (\text{HL} + C)$	×		
	XOR	A, #byte	2	4	-	$A \leftarrow A \nabla \text{ byte}$	×		
		saddr, #byte	3	6	8	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{ byte}$	×		
		A, r 注3	2	4	-	$A \leftarrow A \nabla r$	×		
		r, A	2	4	-	$r \leftarrow r \nabla A$	×		
		A, saddr	2	4	5	$A \leftarrow A \nabla (\text{saddr})$	×		
		A, !addr16	3	8	9	$A \leftarrow A \nabla (\text{addr16})$	×		
		A, [HL]	1	4	5	$A \leftarrow A \nabla (\text{HL})$	×		
		A, [HL + byte]	2	8	9	$A \leftarrow A \nabla (\text{HL} + \text{byte})$	×		
		A, [HL + B]	2	8	9	$A \leftarrow A \nabla (\text{HL} + B)$	×		
		A, [HL + C]	2	8	9	$A \leftarrow A \nabla (\text{HL} + C)$	×		

注 1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考 1 . 命令の 1 クロックはPCCで選択したCPUクロック(f_{cpu})の 1 クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	4	-	A - byte	×	×	×
		saddr, #byte	3	6	8	(saddr) - byte	×	×	×
		A, r 注3	2	4	-	A - r	×	×	×
		r, A	2	4	-	r - A	×	×	×
		A, saddr	2	4	5	A - (saddr)	×	×	×
		A, !saddr16	3	8	9	A - (addr16)	×	×	×
		A, [HL]	1	4	5	A - (HL)	×	×	×
		A, [HL + byte]	2	8	9	A - (HL + byte)	×	×	×
		A, [HL + B]	2	8	9	A - (HL + B)	×	×	×
		A, [HL + C]	2	8	9	A - (HL + C)	×	×	×
16ビット演算	ADDW	AX, #word	3	6	-	AX, CY ← AX + word	×	×	×
	SUBW	AX, #word	3	6	-	AX, CY ← AX - word	×	×	×
	CMPW	AX, #word	3	6	-	AX - word	×	×	×
乗除算	MULU	X	2	16	-	AX ← A × X			
	DIVUW	C	2	25	-	AX(商), CY(余り) ← AX ÷ C			
増減	INC	r	1	2	-	r ← r + 1	×	×	
		saddr	2	4	6	(saddr) ← (saddr) + 1	×	×	
	DEC	r	1	2	-	r ← r - 1	×	×	
		saddr	2	4	6	(saddr) ← (saddr) - 1	×	×	
	INCW	rp	1	4	-	rp ← rp + 1			
	DECW	rp	1	4	-	rp ← rp - 1			
ローテート	ROR	A, 1	1	2	-	(CY, A7 ← A0, A _{m-1} ← A _m) × 1 回			×
	ROL	A, 1	1	2	-	(CY, A0 ← A7, A _{m+1} ← A _m) × 1 回			×
	RORC	A, 1	1	2	-	(CY ← A0, A7 ← CY, A _{m-1} ← A _m) × 1 回			×
	ROL4	A, 1	1	2	-	(CY ← A7, A0 ← CY, A _{m+1} ← A _m) × 1 回			×
	ROR4	[HL]	2	10	12	A ₃₋₀ ← (HL) ₃₋₀ , (HL) ₇₋₄ ← A ₃₋₀ , (HL) ₃₋₀ ← (HL) ₇₋₄			
	ROL4	[HL]	2	10	12	A ₃₋₀ ← (HL) ₇₋₄ , (HL) ₃₋₀ ← A ₃₋₀ , (HL) ₇₋₄ ← (HL) ₃₋₀			
BCD補正	ADJBA		2	4	-	Decimal Adjust Accumulator after Addition	×	×	×
	ADJBS		2	4	-	Decimal Adjust Accumulator after Subtract	×	×	×

注 1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

3 . r = Aを除く。

備考 1 . 命令の 1 クロックはPCCで選択したCPUクロック(f_{CPU})の 1 クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY ← (saddr.bit)			×
		CY, sfr.bit	3	-	7	CY ← sfr.bit			×
		CY, A.bit	2	4	-	CY ← A.bit			×
		CY, PSW.bit	3	-	7	CY ← PSW.bit			×
		CY, [HL]bit	2	6	7	CY ← (HL)bit			×
		saddr.bit, CY	3	6	8	(saddr.bit) ← CY			
		sfr.bit, CY	3	-	8	sfr.bit ← CY			
		A.bit, CY	2	4	-	A.bit ← CY			
		PSW.bit, CY	3	-	8	PSW.bit ← CY	×	×	
		[HL]bit, CY	2	6	8	(HL)bit ← CY			
	AND1	CY, saddr.bit	3	6	7	CY ← CY (saddr.bit)			×
		CY, sfr.bit	3	-	7	CY ← CY sfr.bit			×
		CY, A.bit	2	4	-	CY ← CY A.bit			×
		CY, PSW.bit	3	-	7	CY ← CY PSW.bit			×
		CY, [HL]bit	2	6	7	CY ← CY (HL)bit			×
	OR1	CY, saddr.bit	3	6	7	CY ← CY (saddr.bit)			×
		CY, sfr.bit	3	-	7	CY ← CY sfr.bit			×
		CY, A.bit	2	4	-	CY ← CY A.bit			×
		CY, PSW.bit	3	-	7	CY ← CY PSW.bit			×
		CY, [HL]bit	2	6	7	CY ← CY (HL)bit			×
	XOR1	CY, saddr.bit	3	6	7	CY ← CY ∨ (saddr.bit)			×
		CY, sfr.bit	3	-	7	CY ← CY ∨ sfr.bit			×
		CY, A.bit	2	4	-	CY ← CY ∨ A.bit			×
		CY, PSW.bit	3	-	7	CY ← CY ∨ PSW.bit			×
		CY, [HL]bit	2	6	7	CY ← CY ∨ (HL)bit			×
	SET1	saddr.bit	2	4	6	(saddr.bit) ← 1			
		sfr.bit	3	-	8	sfr.bit ← 1			
		A.bit	2	4	-	A.bit ← 1			
		PSW.bit	2	-	6	PSW.bit ← 1	×	×	×
		[HL]bit	2	6	8	(HL)bit ← 1			

注 1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 1 . 命令の 1 クロックはPCCで選択したCPUクロック(f_{cpu})の 1 クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
ビット操作	CLR1	saddr.bit	2	4	6	(saddr.bit)← 0			
		sfr.bit	3	-	8	sfr.bit← 0			
		A.bit	2	4	-	A.bit← 0			
		PSW.bit	2	-	6	PSW.bit← 0	×	×	×
		[HL]bit	2	6	8	(HL)bit← 0			
	SET1	CY	1	2	-	CY← 1			1
	CLR1	CY	1	2	-	CY← 0			0
	NOT1	CY	1	2	-	CY← $\overline{\text{CY}}$			×
コール・リターン	CALL	!addr16	3	7	-	(SP - 1)←(PC + 3) _H , (SP - 2)←(PC + 3) _L , PC←addr16, SP←SP - 2			
	CALLF	!addr11	2	5	-	(SP - 1)←(PC + 2) _H , (SP - 2)←(PC + 2) _L , PC ₁₅₋₁₁ ←00001, PC ₁₀₋₀ ←addr11, SP←SP - 2			
	CALLT	[addr5]	1	6	-	(SP - 1)←(PC + 1) _H , (SP - 2)←(PC + 1) _L , PC _H ←(00000000, addr5 + 1) _H , PC _L ←(00000000, addr5) _L , SP←SP - 2			
	BRK		1	6	-	(SP - 1)←PSW, (SP - 2)←(PC + 1) _H , (SP - 3)←(PC + 1) _L , PC _H ←(003FH) _H , PC _L ←(003EH) _L , SP←SP - 3, IE←0			
	RET		1	6	-	PC _H ←(SP + 1) _H , PC _L ←(SP) _L , SP←SP + 2			
	RETI		1	6	-	PC _H ←(SP + 1) _H , PC _L ←(SP) _L , PSW←(SP + 2) _L , SP←SP + 3, NMIS←0	R	R	R
	RETB		1	6	-	PC _H ←(SP + 1) _H , PC _L ←(SP) _L , PSW←(SP + 2) _L , SP←SP + 3	R	R	R
スタック操作	PUSH	PSW	1	2	-	(SP - 1)←PSW, SP←SP - 1			
		rp	1	4	-	(SP - 1)←rp _H , (SP - 2)←rp _L , SP←SP - 2			
	POP	PSW	1	2	-	PSW←(SP) _L , SP←SP + 1	R	R	R
		rp	1	4	-	rp _H ←(SP + 1) _H , rp _L ←(SP) _L , SP←SP + 2			
	MOVW	SP, #word	4	-	10	SP←word			
		SP, AX	2	-	8	SP←AX			
		AX, SP	2	-	8	AX←SP			

注 1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 1 . 命令の 1 クロックはPCCで選択したCPUクロック(f_{CPU})の 1 クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
無条件分岐	BR	!addr16	3	6	-	$PC \leftarrow \text{addr16}$			
		\$addr16	2	6	-	$PC \leftarrow PC + 2 + \text{jdisp8}$			
		AX	2	8	-	$PC_H \leftarrow A, PC_L \leftarrow X$			
条件付き分岐	BC	\$addr16	2	6	-	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 1			
	BNC	\$addr16	2	6	-	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 0			
	BZ	\$addr16	2	6	-	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 1			
	BNZ	\$addr16	2	6	-	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 0			
	BT	saddr.bit, \$addr16	3	8	9	$PC \leftarrow PC + 3 + \text{jdisp8}$ if (saddr.bit) = 1			
		sfr.bit, \$addr16	4	-	11	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 1			
		A.bit, \$addr16	3	8	-	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 1			
		PSW.bit, \$addr16	3	-	9	$PC \leftarrow PC + 3 + \text{jdisp8}$ if PSW.bit = 1			
		[HL]bit, \$addr16	3	10	11	$PC \leftarrow PC + 3 + \text{jdisp8}$ if (HL)bit = 1			
	BF	saddr.bit, \$addr16	4	10	11	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 0			
		sfr.bit, \$addr16	4	-	11	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 0			
		A.bit, \$addr16	3	8	-	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 0			
		PSW.bit, \$addr16	4	-	11	$PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 0			
		[HL]bit, \$addr16	3	10	11	$PC \leftarrow PC + 3 + \text{jdisp8}$ if (HL)bit = 0			
	BTCLR	saddr.bit, \$addr16	4	10	12	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 1 then reset(saddr.bit)			
		sfr.bit, \$addr16	4	-	12	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr16	3	8	-	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr16	4	-	12	$PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL]bit, \$addr16	3	10	12	$PC \leftarrow PC + 3 + \text{jdisp8}$ if (HL)bit = 1 then reset(HL)bit			

注 1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 1 . 命令の 1 クロックはPCCで選択したCPUクロック(f_{CPU})の 1 クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注 1	注 2		Z	AC	CY
条件付き分岐	DBNZ	B, \$addr16	2	6	-	$B \leftarrow B - 1$, then $PC \leftarrow PC + 2 + jdisp8$ if $B \neq 0$			
		C, \$addr16	2	6	-	$C \leftarrow C - 1$, then $PC \leftarrow PC + 2 + jdisp8$ if $C \neq 0$			
		saddr, \$addr16	3	8	10	$(saddr) \leftarrow (saddr) - 1$, then $PC \leftarrow PC + 3 + jdisp8$ if $(saddr) \neq 0$			
CPU制御	SEL	R _{Bn}	2	4	-	RBS1, $0 \leftarrow n$			
	NOP		1	2	-	No Operation			
	EI		2	-	6	$IE \leftarrow 1$ (Enable Interrupt)			
	DI		2	-	6	$IE \leftarrow 0$ (Disable Interrupt)			
	HALT		2	6	-	Set HALT Mode			
	STOP		2	6	-	Set STOP Mode			

注 1 . 内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2 . 内部高速RAM以外の領域をアクセスしたとき。

備考 1 . 命令の 1 クロックはPCCで選択したCPUクロック(f_{CPU})の 1 クロック分です。

2 . クロック数は内部ROM領域にプログラムがある場合です。

20.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r ^注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte] [HL + B] [HL + C]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL + byte] [HL + B] [HL + C]		MOV											
X													MULU
C													DIVUW

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW ^注						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注 rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL]bit	CY	\$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL]bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第 2 オペランド 第 1 オペランド	AX	!addr16	!addr11	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

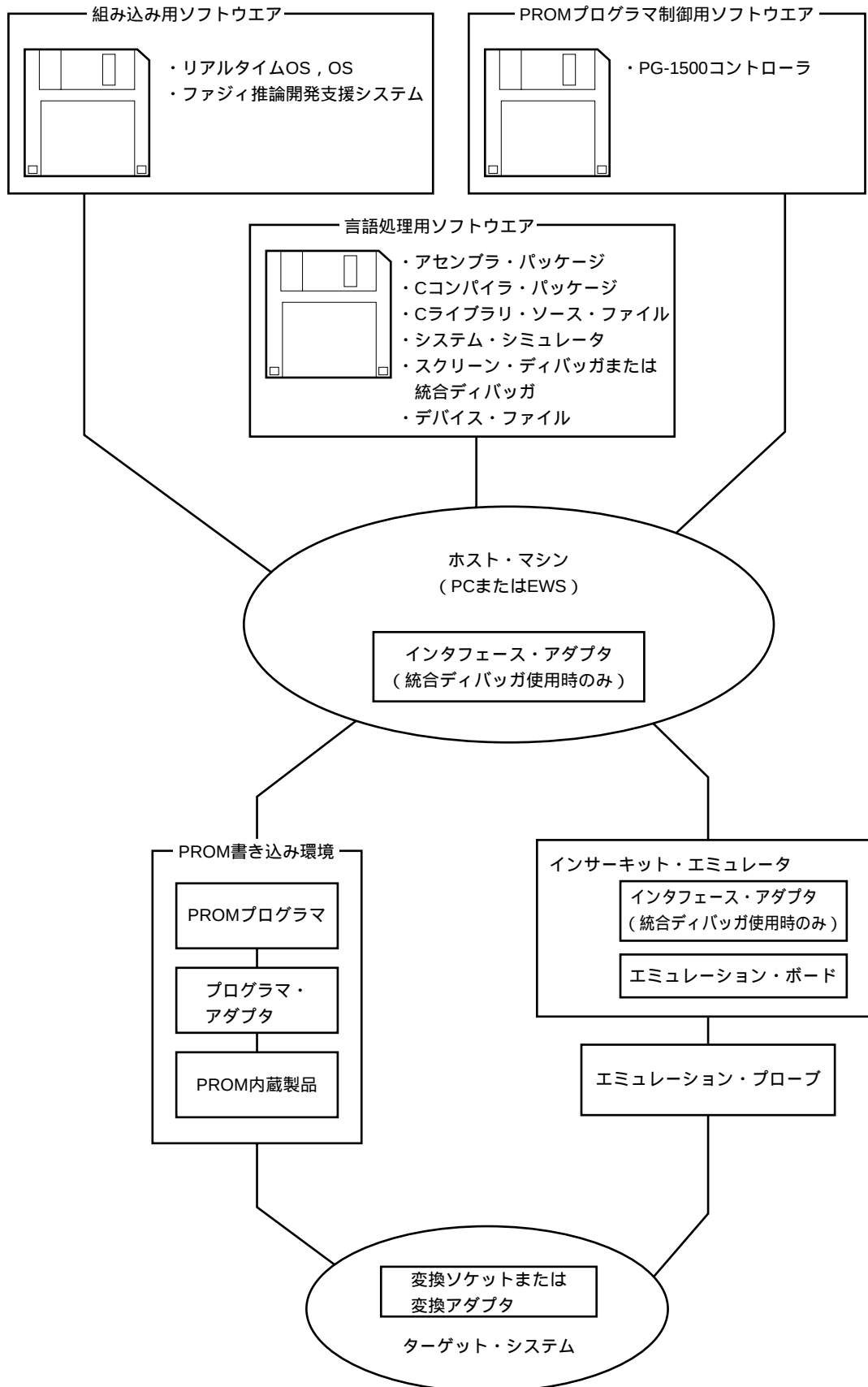
ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

付録 A 開発ツール

μPD178018Aサブシリーズを使用するシステム開発のために、次のような開発ツールを用意しております。

図 A - 1 に開発ツール構成を示します。

図A - 1 開発ツール構成



A.1 言語処理用ソフトウェア

RA78K/0 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの作成、分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル（DF178018）と組み合わせて使用します。
	オーダ名称：μS××××RA78K0
CC78K/0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ（RA78K/0）およびデバイス・ファイル（DF178018）と組み合わせて使用します。
	オーダ名称：μS××××CC78K0
DF178018 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K/0、CC78K/0、SM78K0、ID78K0、SD78K/0と組み合わせて使用します。
	オーダ名称：μS××××DF178018
CC78K/0-L Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージ（CC78K/0）に含まれているオブジェクト・ライブラリを構成する関数のソース・プログラムです。 CC78K/0に含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。
	オーダ名称：μS××××CC78K0-L

注 DF178018は、RA78K/0、CC78K/0、SM78K0、ID78K0、SD78K/0のすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0

μS××××CC78K0

μS××××DF178018

μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS (Ver.3.30～Ver.6.2 ^注)	3.5インチ2HD
5A10			5インチ2HD
7B13	IBM PC/ATおよびその互換機	A.4 参照	3.5インチ2HC
7B10			5インチ2HC
3H15	HP9000シリーズ300™	HP-UX™ (rel.7.05B)	カートリッジ・テープ (QIC-24)
3P16	HP9000シリーズ700™	HP-UX (rel.9.01)	デジタル・オーディオ・テープ (DAT)
3K15	SPARCstation™	SunOS™ (rel.4.1.1)	カートリッジ・テープ (QIC-24)
3M15	EWS4800シリーズ (RISC)	EWS-UX/V (rel.4.0)	

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

A.2 PROM書き込み用ツール

A.2.1 ハードウェア

PG-1500 PROMプログラマ	付属ボードおよび別売のPROMプログラマ・アダプタを接続することにより、PROM内蔵のシングルチップ・マイクロコンピュータを、スタンド・アロンまたはホスト・マシンからの操作によりプログラミングできるPROMプログラマです。 また、256 Kビットから4 Mビットまでの代表的なPROMをプログラミングすることもできます。
PA-178P018GC PA-178P018KK-T PROMプログラマ・アダプタ	μ PD178P018A用のPROMプログラマ・アダプタで PG-1500に接続して使用します。 PA-178P018AGC : 80ピン・プラスチックQFP (GC-3B9タイプ) 用 PA-178P018AKK-T : 80ピン・セラミックWQFN (KK-Tタイプ) 用

A.2.2 ソフトウェア

PG-1500コントローラ	PG-1500とホスト・マシンをシリアルおよびパラレル・インタフェースで接続し、ホスト・マシン上でPG-1500を制御します。
	オーダ名称：μ S × × × × PG1500

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μ S × × × × PG1500

× × × ×	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS (Ver.3.30 ~ Ver.6.2 ^注)	3.5インチ2HD
5A10			5 インチ2HD
7B13	IBM PC/ATおよび	A.4 参照	3.5インチ2HD
7B10	その互換機		5 インチ2HC

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

A.3 ディバグ用ツール

A.3.1 ハードウェア (1/2)

IE-78000-R-A インサーキット・エミュレータ (統合ディバグ対応)	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。統合ディバグ (ID78K0) に対応しています。エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-70000-98-IF-B インタフェース・アダプタ	IE-78000-R-Aのホスト・マシンとしてPC-9800シリーズ (ノート型パソコンを除く) を使用するときに必要なアダプタです。
IE-70000-98N-IF インタフェース・アダプタ	IE-78000-R-Aのホスト・マシンとしてPC-9800シリーズのノート型パソコンを使用するときに必要なアダプタとケーブルです。
IE-70000-PC-IF-B インタフェース・アダプタ	IE-78000-R-Aのホスト・マシンとしてIBM PC/ATを使用するときに必要なアダプタです。
IE-78000-R-SV3 インタフェース・アダプタ	IE-78000-R-Aのホスト・マシンとしてEWSを使用するときに必要なアダプタとケーブルです。IE-78000-R-A内のボードに接続して使用します。 なお、イーサネット™としては10Base-5をサポートしており、他の方式の場合には市販の変換アダプタが必要になります。
IE-78000-R インサーキット・エミュレータ (スクリーン・ディバグ対応)	78K/0シリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアのディバグを行うためのインサーキット・エミュレータです。スクリーン・ディバグ (SD78K/0) に対応しています。エミュレーション・プローブと組み合わせて使用します。 ホスト・マシン、PROMプログラマと接続して効率的なディバグが行えます。
IE-178018-R-EM エミュレーション・ボード	デバイスに固有な周辺ハードウェアのエミュレーションを行うためのボードです (4.5V~5.5V対応)。インサーキット・エミュレータと組み合わせて使用します。

A.3.1 ハードウェア (2/2)

EP-78230GC-R エミュレーション・プローブ		インサーキット・エミュレータとターゲット・システムを接続するためのプローブです。 80ピン・プラスチックQFP (GC-3B9タイプ) 用です。 ターゲット・システムの開発を容易にする80ピン変換ソケットEV-9200GC-80が1個添付されています。
EV-9200GC-80 変換ソケット (図A - 2 参照)		80ピン・プラスチックQFP (GC-3B9タイプ) を実装できるように作られたターゲット・システムの基板と、EP-78230GC-Rを接続するための変換ソケットです。
EV-9900		EV-9200GC-80から μ PD178P018AKK-Tを取り外す際に用いる治具です。

備考 EV-9200GC-80は5個を1組として、1組単位で販売しています。

A.3.2 ソフトウェア (1/3)

SM78K0 システム・シミュレータ	ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら，Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM78K0はWindows上で動作します。 SM78K0を使用することにより，インサーキット・エミュレータを使用しなくても，アプリケーションの論理検証，性能検証をハードウェア開発から独立して行うことができます。開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル（DF178018）と組み合わせて使用します。 オーダ名称：μS××××SM78K0
----------------------------------	---

備考 オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SM78K0

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	MS-DOS(Ver.3.30 ~ Ver.6.2 ^注) + Windows(Ver.3.0 ~ Ver.3.1)	3.5インチ2HD
AB13	IBM PC/ATおよびその互換機(日本語Windows)	A.4 参照	3.5インチ2HC
BB13	IBM PC/ATおよびその互換機(英語Windows)		

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが，上記のソフトウェアではタスク・スワップ機能は使用できません。

A.3.2 ソフトウェア (2/3)

ID78K0 統合ディバッガ	78K/0シリーズをディバグするためのコントロール・プログラムです。 グラフィカル・ユーザ・インタフェースとして、パソコン上ではWindows、EWS上ではOSF/Motif™を採用し、それらに準拠した外観と操作性を提供しています。また、C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をC言語レベルで表示させることも可能です。その他、タスク・ディバッガやシステム・パフォーマンス・アナライザなどの機能拡張モジュールを取り込むことにより、リアルタイムOSを使用したプログラムのディバグ効率を向上させることができます。 別売のデバイス・ファイル (DF178018) と組み合わせて使用します。 オーダ名称: μS××××ID78K0
------------------------------	---

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××ID78K0

××××	ホスト・マシン	OS	供給媒体
AA13	PC-9800シリーズ	MS-DOS(Ver.3.30 ~ Ver.6.2 ^注) + Windows(Ver.3.1)	3.5インチ2HD
AB13	IBM PC/ATおよびその互換機 (日本語Windows)	A. 4 参照	3.5インチ2HC
BB13	IBM PC/ATおよびその互換機 (英語Windows)		
3P16	HP9000シリーズ700	HP-UX (rel.9.01)	デジタル・オーディオ・テープ (DAT)
3K15	SPARCstation	SunOS (rel.4.1.1)	カートリッジ・テープ (QIC-24)
3K13			3.5インチ2HC
3R16	NEWS™ (RISC)	NEWS-OS™ (6.1x)	1/4インチCGMT
3R13			3.5インチ2HC
3M15	EWS4800シリーズ(RISC)	EWS-UX/IV (rel.4.0)	カートリッジ・テープ (QIC-24)

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

A.3.2 ソフトウェア (3/3)

SD78K/0 スクリーン・ディバग्ガ	IE-78000-Rとホスト・マシンをシリアル・インタフェース (RS-232-C) で接続し、ホスト・マシン上でIE-78000-Rを制御するためのプログラムです。 別売のデバイス・ファイル (DF178018) と組み合わせて使用します。
	オーダ名称: $\mu S \times \times \times SD78K0$
DF178018 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K/0, CC78K/0, SM78K0, ID78K0, SD78K/0と組み合わせて使用します。
	オーダ名称: $\mu S \times \times \times DF178018$

注 DF178018は、RA78K/0, CC78K/0, SM78K0, ID78K0, SD78K/0のすべての製品に共通に使用できます。

備考 オーダ名称の $\times \times \times$ は、使用するホスト・マシン, OSにより異なります。

$\mu S \times \times \times SD78K0$

$\mu S \times \times \times DF178018$

$\times \times \times$	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS (Ver.3.30 ~ Ver.6.2 ^注)	3.5インチ2HD
5A10			5 インチ2HD
7B13	IBM PC/ATおよびその互換機	A. 4 参照	3.5インチ2HC
7B10			5 インチ2HC

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

A.4 IBM PC用のOSについて

IBM PC用のOSとして、次のものがサポートされています。

なお、SM78K0, ID78K0, FE9200（B.2 ファジィ推論開発支援システム参照）を動作させる場合は、Windows（Ver.3.0～Ver.3.1）が必要です。

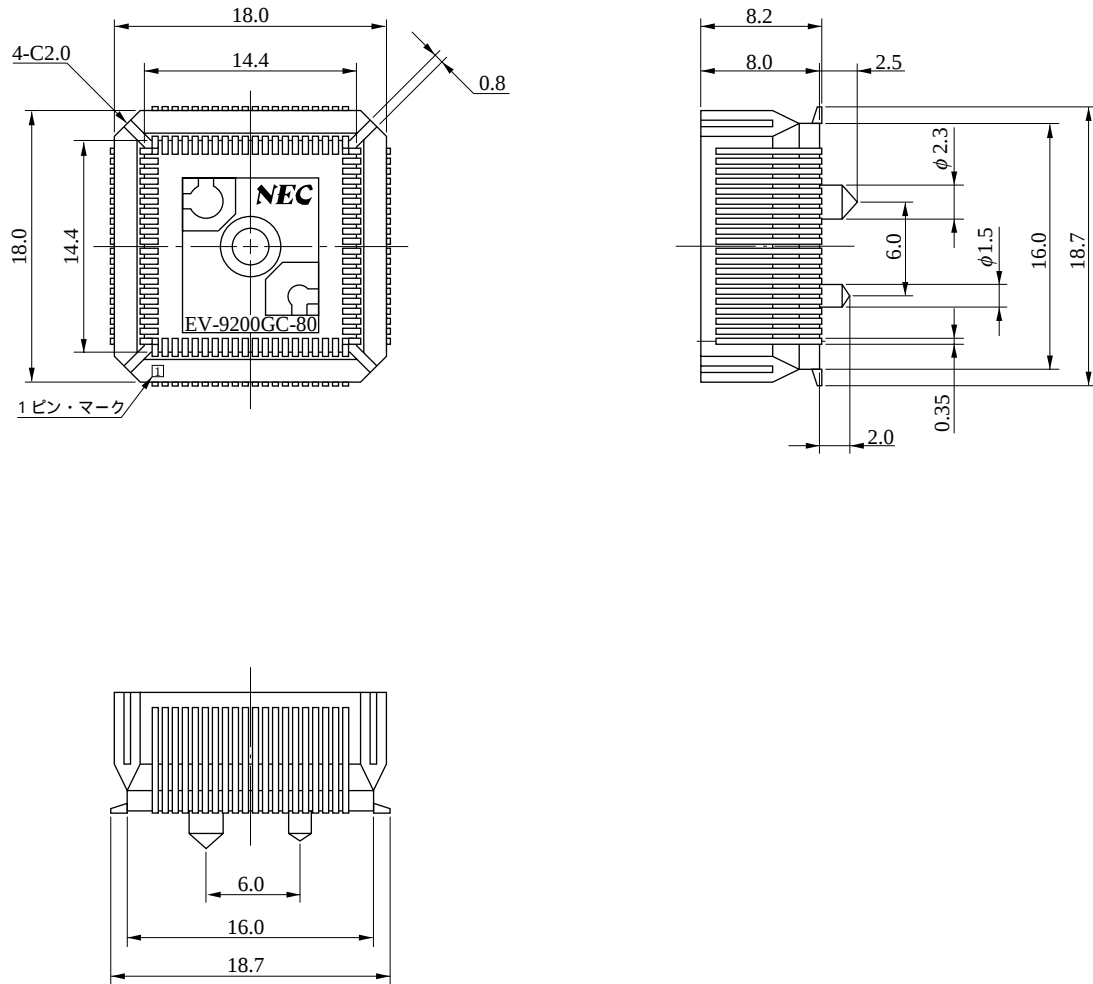
OS	バージョン
PC DOS	Ver.3.3～Ver.6.3
	J6.1/V ^注 ～J6.3/V ^注
IBM DOS™	J5.02/V ^注
MS-DOS	Ver.5.0～Ver.6.2
	5.0/V ^注 ～6.2/V ^注

注 英語モードのみサポートしています。

注意 Ver.5.0以降にはタスク・スワップ機能がありますが、このソフトウェアではタスク・スワップ機能は使用できません。

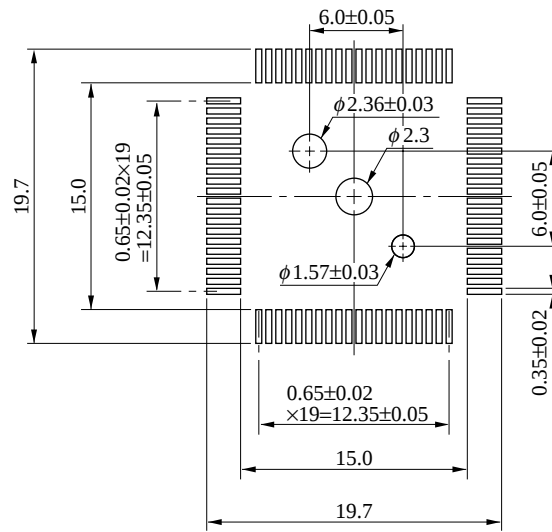
変換ソケット (EV-9200GC-80) の外形図と基板取り付け推奨パターン

図A - 2 EV-9200GC-80 外形図 (参考) (単位: mm)



EV-9200GC-80-G0

図A - 3 EV-9200GC-80 基板取り付け推奨パターン（参考）（単位：mm）



EV-9200GC-80-P1

注意 EV-9200用のマウント・パッド寸法と、対象製品のマウント・パッド寸法（QFP用）は、その一部が異なる場合があります。QFP用の推奨マウント・パッド寸法は、「半導体デバイス 実装マニュアル, C10535J」をご参照ください。

付録B 組み込み用ソフトウェア

μPD178018Aサブシリーズのプログラム開発やメンテナンスをより効率的に行うために、次の組み込み用ソフトウェアを用意しています。

B.1 リアルタイムOS (1/2)

RX78K/0 リアルタイムOS	μITRON仕様に準拠したリアルタイムOSです。 RX78K/0のニュークリアスと複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 別売のアセンブラ・パッケージ（RA78K/0）およびデバイス・ファイル（DF178018）と組み合わせて使用します。 オーダ名称：μS × × × × RX78013-
---------------------	--

注意 RX78K/0を購入する場合、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の× × × ×および は、使用するホスト・マシン，OSなどにより異なります。

μS × × × × RX78013-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

× × × ×	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS (Ver.3.30 ~ Ver.6.2 ^注)	3.5インチ2HD
5A10			5インチ2HD
7B13	IBM PC/ATおよびその互換機	A.4 参照	3.5インチ2HC
7B10			5インチ2HC
3H15	HP9000シリーズ300	HP-UX (rel.7.05B)	カートリッジ・テープ (QIC-24)
3P16	HP9000シリーズ700	HP-UX (rel.9.01)	デジタル・オーディオ・テープ (DAT)
3K15	SPARCstation	SunOS (rel.4.1.1)	カートリッジ・テープ (QIC-24)
3M15	EWS4800シリーズ (RISC)	EWS-UX/V (rel.4.0)	

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが、上記のソフトウェアではタスク・スワップ機能は使用できません。

B.1 リアルタイムOS (2/2)

MX78K0	μITRON仕様サブセットのOSです。MX78K0のニュークリアスを添付しています。
OS	タスク管理，イベント管理，時間管理を行います。タスク管理ではタスクの実行順序を制御し，次に実行するタスクへの切り替え処理を行います。
	オーダ名称：μS××××MX78K0-

備考 オーダ名称の××××および は，使用するホスト・マシン，OSなどにより異なります。

μS××××MX78K0-

	製品概要	注意事項
001	評価用オブジェクト	試作時に使用してください
XX	量産用オブジェクト	量産時に使用してください
S01	ソース・プログラム	量産用オブジェクト購入時のみ，購入可能

××××	ホスト・マシン	OS	供給媒体
5A13	PC-9800 シリーズ	MS-DOS	3.5インチ2HD
5A10		(Ver.3.30 ~ Ver.6.2 ^注)	5 インチ2HD
7B13	IBM PC/ATおよびその互換機	A. 4 参照	3.5インチ2HC
7B10			5 インチ2HC
3H15	HP9000シリーズ300	HP-UX (rel.7.05B)	カートリッジ・テープ (QIC-24)
3P16	HP9000シリーズ700	HP-UX (rel.9.01)	デジタル・オーディオ・ テープ (DAT)
3K15	SPARCstation	SunOS (rel.4.1.1)	カートリッジ・テープ (QIC-24)
3M15	EWS4800シリーズ (RISC)	EWS-UX/V (rel.4.0)	

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが，上記のソフトウェアではタスク・スワップ機能は使用できません。

B.2 ファジィ推論開発支援システム

FE9000/FE9200 ファジィ知識データ作成ツール	ファジィ知識データ（ファジィ・ルールおよびメンバシップ関数）の入力，編集（エディット），評価（シミュレーション）を支援するプログラムです。 FE9200はWindows上で動作します。
	オーダ名称：μS××××FE9000（PC-9800シリーズ） μS××××FE9200（IBM PC/ATおよびその互換機）
FT9080/FT9085 トランスレータ	ファジィ知識データ作成ツールを用いて得たファジィ知識データを，RA78K/0用のアセンブラ・ソース・プログラムに変換するプログラムです。
	オーダ名称：μS××××FT9080（PC-9800シリーズ） μS××××FT9085（IBM PC/ATおよびその互換機）
FI78K0 ファジィ推論モジュール	ファジィ推論を実行するプログラムです。トランスレータによって変換されたファジィ知識データとリンクすることで，ファジィ推論を実行します。
	オーダ名称：μS××××FI78K0（PC-9800シリーズ，IBM PC/ATおよびその互換機）
FD78K0 ファジィ推論ディバッガ	ファジィ知識データを，インサーキット・エミュレータを使用してハードウェア・レベルで評価および調整するための支援ソフトウェアです。
	オーダ名称：μS××××FD78K0（PC-9800シリーズ，IBM PC/ATおよびその互換機）

備考 オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××FE9000

μS××××FT9080

μS××××FI78K0

μS××××FD78K0

××××	ホスト・マシン	OS	供給媒体
5A13	PC-9800シリーズ	MS-DOS	3.5インチ2HD
5A10		(Ver.3.30～Ver.6.2 ^注)	5インチ2HD

注 MS-DOSのVer.5.0以降にはタスク・スワップ機能がありますが，上記のソフトウェアではタスク・スワップ機能は使用できません。

μS××××FE9200

μS××××FT9085

μS××××FI78K0

μS××××FD78K0

××××	ホスト・マシン	OS	供給媒体
7B13	IBM PC/ATおよびその互換機	A.4 参照	3.5インチ2HC
7B10			5インチ2HC

—— お問い合わせは ,最寄りのNECへ——

【営業関係お問い合わせ先】

半 導 体 第 一 販 売 事 業 部 半 導 体 第 二 販 売 事 業 部 半 導 体 第 三 販 売 事 業 部	〒108-01	東京都港区芝五丁目7番1号（NEC本社ビル）	東 京	(03)3454-1111	(大代表)			
中 部 支 社 半 導 体 第 一 販 売 部 半 導 体 第 二 販 売 部	〒460	名古屋市中区錦一丁目17番1号（NEC中部ビル）	名古屋 名古屋	(052)222-2170 (052)222-2190				
関 西 支 社 半 導 体 第 一 販 売 部 半 導 体 第 二 販 売 部 半 導 体 第 三 販 売 部	〒540	大阪市中央区城見一丁目4番24号（NEC関西ビル）	大 阪 大 阪 大 阪	(06) 945-3178 (06) 945-3200 (06) 945-3208				
北 海 道 支 社 東 北 支 社 岩 手 支 店 山 形 支 店 郡 山 支 店 い わ き 支 店 長 岡 支 店 土 浦 支 店 水 戸 支 店 神 奈 川 支 社 群 馬 支 店	札 幌 仙 台 盛 岡 山 形 郡 山 い わ き 長 岡 土 浦 水 戸 横 浜 高 崎	(011)231-0161 (022)267-8740 (019)651-4344 (0236)23-5511 (0249)23-5511 (0246)21-5511 (0258)36-2155 (0298)23-6161 (029)226-1717 (045)324-5524 (0273)26-1255	太 田 支 店 宇 都 宮 支 店 小 山 支 店 長 野 支 店 甲 府 支 店 埼 玉 支 店 立 川 支 社 千 葉 支 社 静 岡 支 社 北 陸 支 社 福 井 支 店	太 田 宮 宇 都 宮 小 山 松 本 甲 府 大 宮 立 川 千 葉 静 岡 金 沢 福 井	(0276)46-4011 (028)621-2281 (0285)24-5011 (0263)35-1662 (0552)24-4141 (048)641-1411 (0425)26-5981 (043)238-8116 (054)255-2211 (0762)23-1621 (0776)22-1866	富 山 支 店 三 重 支 店 京 都 支 社 神 戸 支 社 中 国 支 社 鳥 取 支 店 岡 山 支 店 四 国 支 社 新 居 浜 支 店 松 山 支 店 九 州 支 社	富 山 津 京 都 神 戸 広 島 鳥 取 岡 山 高 松 新 居 浜 松 山 福 岡	(0764)31-8461 (0592)25-7341 (075)344-7824 (078)333-3854 (082)242-5504 (0857)27-5311 (086)225-4455 (0878)36-1200 (0897)32-5001 (089)945-4149 (092)271-7700

【本資料に関する技術お問い合わせ先】

半 導 体 ソ リ ュ ー シ ョ ン 技 術 本 部 マ イ ク ロ コ ン プ ュ ー タ 技 術 部	〒210	川崎市幸区塚越三丁目484番地	川 崎	(044)548-7923	半 導 体 イ ン フ ォ メ ー シ ョ ン セ ン タ ー FAX(044)548-7900 (FAXにてお願い致します)
半 導 体 販 売 技 術 本 部 東 日 本 販 売 技 術 部	〒108-01	東京都港区芝五丁目7番1号（NEC本社ビル）	東 京	(03)3798-9619	
半 導 体 販 売 技 術 本 部 中 部 販 売 技 術 部	〒460	名古屋市中区錦一丁目17番1号（NEC中部ビル）	名 古 屋	(052)222-2125	
半 導 体 販 売 技 術 本 部 西 日 本 販 売 技 術 部	〒540	大阪市中央区城見一丁目4番24号（NEC関西ビル）	大 阪	(06) 945-3383	

キリトリ

[ドキュメント名] μPD178018Aサブシリーズ ユーザーズ・マニュアル
(U12742JJ1V0UM00 (第1版))

御社名（学校名，その他）（
ご住所（
お電話番号（
お仕事の内容（
お名前（

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン，字の大きさなど					
その他（ （					

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)

理由 []

[illegible]

下記あてにFAXで送信いただくか、最寄りの販売員にコピーをお渡しください。

FAX : (044) 548-7900