お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

RENESAS

μPD17134Aサブシリーズ

4ビット・シングルチップ・マイクロコンピュータ

μPD17134A
μPD17135A
μPD17136A
μPD17137A
μPD17P136A
μPD17P137A

資料番号　U11607JJ3V0UM00（第３版）
発行年月　July 1996　P

CMOSデバイスの一般的注意事項

①静電気対策（MOS全般）

注意　MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，NECが出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

②未使用入力の処理（CMOS特有）

注意　CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり，CMOSデバイスの入力に何も接続しない状態で動作させると，ノイズなどに起因する中間レベル入力が生じ，内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また，未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③初期化以前の状態（MOS全般）

注意　電源投入時，MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため，初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

本製品が外国為替および外国貿易管理法の規定による戦略物資等（または役務）に該当するか否かは，ユーザ（仕様を決定した者）が判定してください。

○本資料の内容は，後日変更する場合があります。
○文書による当社の承諾なしに本資料の転載複製を禁じます。
○本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して，当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合，当社はその責を負うものではありませんのでご了承ください。
○当社は品質，信頼性の向上に努めていますが，半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として，人身事故，火災事故，社会的な損害等を生じさせない冗長設計，延焼対策設計，誤動作防止設計等安全設計に十分ご注意願います。
○当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また，各品質水準は以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット
特別水準：輸送機器（自動車，列車，船舶等），交通用信号機器，防災／防犯装置，各種安全装置，生命維持を直接の目的としない医療機器
特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で，特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は，必ず事前に当社販売窓口までご相談頂きますようお願い致します。
○この製品は耐放射線設計をしておりません。

M7　94.11

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

本版で改訂された主な箇所

箇　所	内　容
全　般	μPD1713×Aという呼称をμPD17134Aサブシリーズに変更
p.6	１．４　端子接続図（２）プログラム・メモリ書き込み／ベリファイ・モードを修正
p.18	図３－２　命令実行後のプログラム・カウンタの値を変更 ３．２．２　分岐命令（BR）実行時を部分修正
p.19	３．２．３　サブルーチン・コール命令（CALL）実行時を部分修正
p.23	第４章　プログラム・メモリ（ROM）を変更
p.32	図５－１　データ・メモリの構成を一部修正
p.35	第６章　スタックを変更
p.43	７．２．２　アドレス・レジスタの機能を部分修正
p.48	７．５　インデクス・レジスタ（IX）とデータ・メモリ・ロウ・アドレス・ポインタ（メモリ・ポインタ：MP）を変更
p.61	７．６．２　ジェネラル・レジスタ・ポインタの機能を部分変更
p.62	７．７．１　プログラム・ステータス・ワードの構成を部分変更
p.64	７．７．４　ゼロ・フラグ（Z）とコンペア・フラグ（CMP）を変更
p.65	７．７．５　キャリー・フラグ（CY）を部分修正
p.75	９．２．３　レジスタ・ファイルの操作命令を部分修正
p.119	第13章　周辺ハードウエアを変更
p.157	第14章　割り込み機能を変更
p.177	第16章　スタンバイ機能を変更
p.187	第17章　リセットを変更
p.198	表18－２　マスクROM製品とワン・タイムPROM製品との違いを部分変更
p.205	19.３　命令セット一覧を部分変更
p.207	19.５　命令の個別説明を部分変更
p.267	第20章　アセンブラ予約語を変更
p.269	20.２　予約シンボルを部分修正
p.273	付録Ａ　μPD171××サブシリーズの展開　追加
p.274	付録Ｂ　μPD17135A, 17137Aとμ PD17145サブシリーズの機能比較　追加
p.280	付録Ｄ　システム・クロック発振回路の構成上の注意　追加

本文欄外の★印は，本版で改訂された主な箇所を示しています。

はじめに

ご利用対象者　このマニュアルは，μPD17134Aサブシリーズの各製品の機能を理解し，それを用いたアプリケーション・システムを設計するユーザのエンジニアを対象としています。

目　的　このマニュアルは，μPD17134Aサブシリーズの持つハードウエア機能をユーザに理解していただくことを目的としています。

読み方　このマニュアルの読者には，電気，論理回路，マイクロコンピュータの一般知識を必要とします。

●一通りμPD17134Aサブシリーズの機能を理解しようとするとき

→目次に従って読んでください。

●ニモニックが分かっているときの命令機能を調べるとき

→**付録E　命令索引**をご利用ください。

●ニモニックは知らないが大体の機能が分かっている命令を調べたいとき

→**19.3　命令セット一覧**でその命令のニモニックを調べ，**19.5　命令の個別説明**でその機能を調べてください。

●μPD17134Aサブシリーズの電気的特性を知りたいとき

→別冊のデータ・シートを参照してください。

●μPD17134Aサブシリーズの各種機能の応用例を知りたいとき

→別冊のアプリケーション・ノートを参照してください。

凡　例

データ表記の重み	：左が上位桁，右が下位桁
アクティブ・ロウの表記	：$\overline{\times\times\times}$（端子，信号名称に上線）
メモリ・マップのアドレス	：上部－下位，下部－上位
注	：本文中につけた注の説明
注　意	：気をつけて読んでいただきたい内容
備　考	：本文の補足説明
数の表記	：２進数…××××または××××B 10進数…×××× 16進数…××××H

関連資料　次の資料とあわせてご利用ください。

表の中の番号は資料番号です。

製品 / 資料	μPD17134A	μPD17135A	μPD17136A	μPD17137A	μPD17P136A	μPD17P137A
パンフレット	IF-319	IF-317	IF-319	IF-317	IF-318	IF-312
データ・シート	U10591J	U10592J	U10591J	U10592J	IC-8325	IC-8333
ユーザーズ・マニュアル	このマニュアル					
アプリケーション・ノート	IEA-734（基礎編） IEA-726（電子ジャー・ポット編）					
IE-17K（Ver.1.6） ユーザーズ・マニュアル	EEU-929					
IE-17K-ET（Ver.1.6） ユーザーズ・マニュアル	EEU-931					
SEボード ユーザーズ・マニュアル	EEU-791					
SIMPLEHOST® ユーザーズ・マニュアル	EEU-723（入門編） EEU-5007（レファレンス編）					
AS17Kアセンブラ ユーザーズ・マニュアル	EEU-603					
デバイス・ファイル ユーザーズ・マニュアル	U10777J					

システム・クロックの種類によって，次のように端子名，記号名を読み替えてください。

システム・クロック / 端子名，信号名	RC発振 （μPD17134A μPD17136A μPD17P136A）	セラミック発振 （μPD17135A μPD17137A μPD17P137A）
システム・クロック発振用端子	OSC_1	X_{IN}
	OSC_0	X_{OUT}
システム・クロック	f_{CC}	f_X

目　　次

図の目次（1/4）

図の目次（2/4）

図の目次（3/4）

図の目次（4/4）

表の目次（1/2）

表の目次（2/2）

第１章　概　　説

μPD17134Aサブシリーズは，17Kアーキテクチャを採用し，８ビットA/Dコンバータ（４チャネル），タイマ（３チャネル），ACゼロクロス検出回路，パワーオン・リセット回路，シリアル・インタフェースを内蔵した４ビット・シングルチップ・マイクロコントローラです。

μPD17P136A，17P137Aはワン・タイムPROM製品であり，システム開発時のプログラム評価や少量生産に適しています。

次に特徴を示します。

●17 Kアーキテクチャ　汎用レジスタ方式，命令長16ビット固定

●命令実行時間　2 μs（f_X = 8 MHz：セラミック発振）

8 μs（f_{CC} = 2 MHz：RC発振）

●プログラム・メモリ（ROM）　μPD17134A　：2 Kバイト（1024×16ビット）

μPD17135A　：2 Kバイト（1024×16ビット）

μPD17136A　：4 Kバイト（2048×16ビット）

μPD17137A　：4 Kバイト（2048×16ビット）

μPD17P136A：4 Kバイト（2048×16ビット，ワン・タイムPROM）

μPD17P137A：4 Kバイト（2048×16ビット，ワン・タイムPROM）

●データ・メモリ（RAM）　112×４ビット

●A/Dコンバータ　４チャネル（８ビット分解能，逐次比較型）

●タイマ　３チャネル（８ビット・タイマ・カウンタ×２チャネル，ベーシック・インターバル・タイマ注）

●シリアル・インタフェース　１チャネル（クロック同期３線式）

●電源電圧　V_{DD} = 4.5～5.5 V（f_X = 400 kHz～8 MHz動作時）

V_{DD} = 2.7～5.5 V（f_X = 400 kHz～4 MHz動作時）

ただしμPD17134A，17136AはV_{DD} = 2.7～5.5 V（f_{CC} = 400 kHz～2 MHz動作時）

注　ベーシック・インターバル・タイマを利用して，内部リセット信号を発生可能です（ウォッチドッグ・タイマ機能）。

μPD17134Aサブシリーズは，制御用，サブマイコン用に適した特徴を持っており，次のような応用分野に適用できます。

●電子ポット　　●バッテリ・チャージャ

●炊飯器　　●プリンタ

●オーディオ機器　　●PPC

★ 1.1 機能一覧

項　目	μPD17134A	μPD17135A	μPD17136A	μPD17137A	μPD17P136A	μPD17P137A
ROMの構成	マスクROM				ワン・タイムPROM	
ROM容量	2 Kバイト（1024×16ビット）		4 Kバイト（2048×16ビット）			
RAM容量	112×４ビット					
スタック	アドレス・スタック×５，割り込みスタック×３					
入出力ポート数	22本 { ・入出力　：20本 ・入力専用　：１本 ・センス入力注：１本					
A/Dコンバータ	８ビット分解能×４チャネル（ポート端子兼用），絶対確度　±1.5LSB以下					
タイマ	3チャネル { ・８ビット・タイマ・カウンタ　：2チャネル(16ビット･タイマ1チャネル応用可) ・7ビット･ベーシック･インターバル･タイマ：1チャネル(ウォッチドッグ･タイマ応用可)					
シリアル・インタフェース	１チャネル（３線式）					
ACゼロクロス検出機能	あり（V_{DD} = 5 V±10 %の応用回路で使用できます）					
割り込み	・ハードウエアによる多重割り込み可（最大３レベル） ・外部割り込み：１本（INT） { 立ち上がり検出 立ち下がり検出 立ち上がりと立ち下がりの両エッジ検出 } 選択可 ・内部割り込み：１本 { ・タイマ０（TM0） ・タイマ１（TM1） ・ベーシック・インターバル・タイマ（BTM） ・シリアル・インタフェース（SIO）					
システム・クロック	RC発振	セラミック発振	RC発振	セラミック発振	RC発振	セラミック発振
命令実行時間	8 μs, f_X = 2 MHz時	2 μs, f_X = 8 MHz時	8 μs, f_X = 2 MHz時	2 μs, f_X = 8 MHz時	8 μs, f_X = 2 MHz時	2 μs, f_X = 8 MHz時
スタンバイ機能	HALT，STOP					
パワーオン／パワーダウン・リセット	あり（V_{DD} = 5 V±10 %，f_X = 400 kHz～4 MHzの応用回路で使用できます）					
電源電圧	V_{DD} = 2.7～5.5 V（A/Dコンバータ使用時は5 V±10 %）					
パッケージ	28ピン・プラスチック・シュリンクDIP 28ピン・プラスチックSOP					

注　INT端子は外部割り込み機能を使用しない場合に，入力専用端子（センス入力）として使用できます。センス入力では端子の状態をポート・レジスタではなく，コントロール・レジスタのINTフラグで読みます。

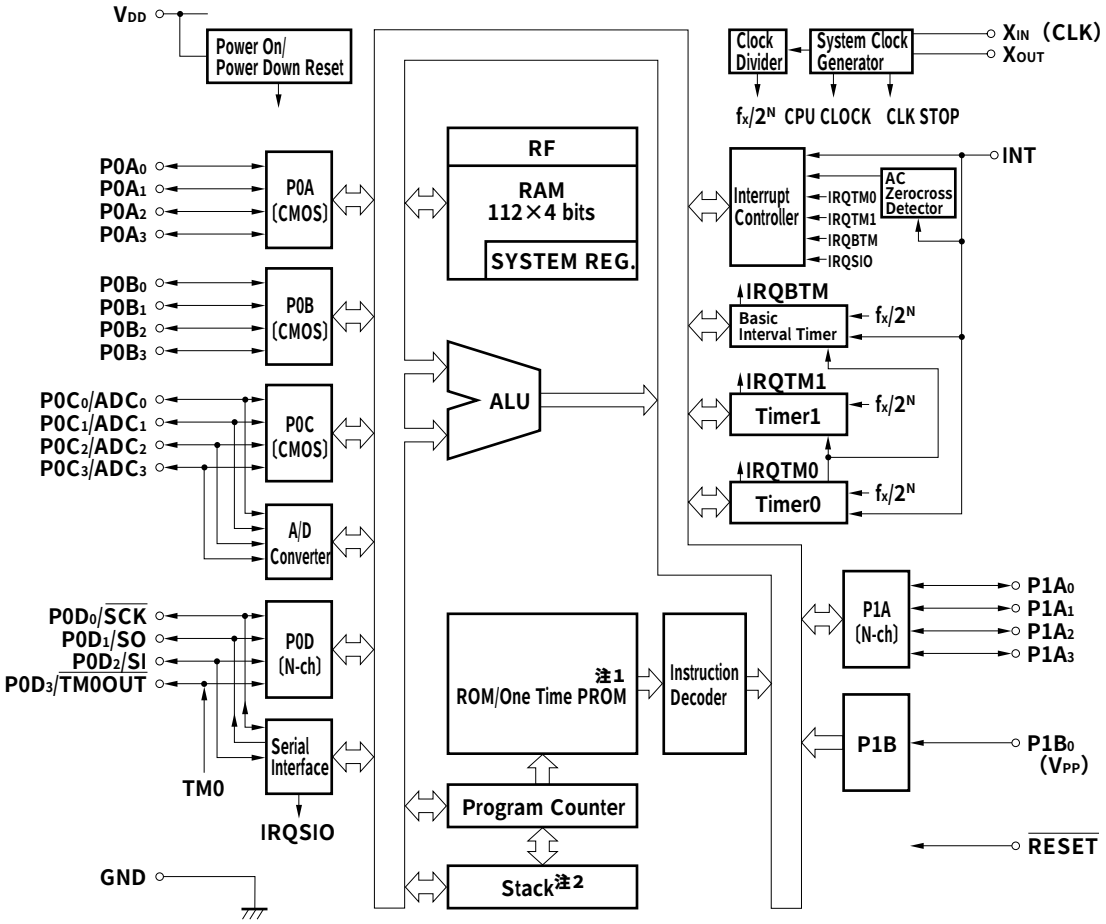
注意　PROM製品は，マスクROM製品と機能的に高い互換性がありますが，内部ROM回路や電気的特性の一部などに違いがあります。PROM製品からマスクROM製品に切り替える際には，マスクROM製品のサンプルによる応用評価を十分に行ってください。

1.2 オーダ情報

オーダ名称	パッケージ	内蔵ROM
μPD17134ACT-×××	28ピン・プラスチック・シュリンクDIP（400 mil）	マスクROM
μPD17135ACT-×××	〃	〃
μPD17136ACT-×××	〃	〃
μPD17137ACT-×××	〃	〃
μPD17P136ACT	〃	ワン・タイムPROM
μPD17P137ACT	〃	〃
μPD17134AGT-×××	28ピン・プラスチックSOP（375 mil）	マスクROM
μPD17135AGT-×××	〃	〃
μPD17136AGT-×××	〃	〃
μPD17137AGT-×××	〃	〃
μPD17P136AGT	〃	ワン・タイムPROM
μPD17P137AGT	〃	〃

備考　×××はROMコード番号です。

1.3 ブロック図



備考1. 〔 〕内のCMOS，N-chはポートの出力形式を表します。

CMOS：CMOSプッシュプル出力

N-ch　：N-chオープン・ドレーン出力（N-chオープン・ドレーンの各端子は，マスクオプションによりビット単位でプルアップ抵抗を内蔵することができます）

2. （ ）内はμPD17P136A，17P137Aのプログラム・メモリ書き込み／ベリファイ・モード時のみ有効です。

注1. 各製品のROM（またはPROM）の容量は以下のとおりです。

1024×16 bits：μPD17134A，17135A

2048×16 bits：μPD17136A，17137A，17P136A，17P137A

2. 各製品のスタックの容量は以下のとおりです。

5×10 bits：μPD17134A，17135A

5×11 bits：μPD17136A，17137A，17P136A，17P137A

1.4　端子接続図（Top View）

（1）通常動作モード

28ピン・プラスチック・シュリンクDIP（400 mil）

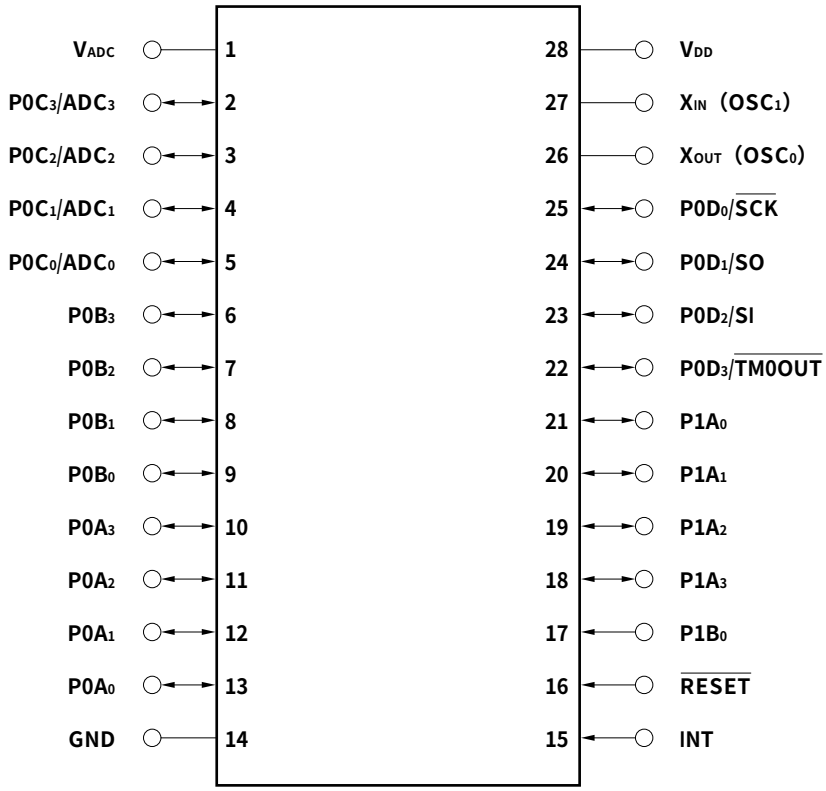
μPD17134ACT-×××，μPD17135ACT-×××，μPD17136ACT-×××，μPD17137ACT-×××

μPD17P136ACT-×××，μPD17P137ACT-×××

28ピン・プラスチックSOP（375 mil）

μPD17134AGT-×××，μPD17135AGT-×××，μPD17136AGT-×××，μPD17137AGT-×××

μPD17P136AGT-×××，μPD17P137AGT-×××



ADC0-ADC3	：A/Dコンバータのアナログ入力	P1B0	：ポート1B
GND	：グランド	$\overline{\text{RESET}}$	：リセット入力
INT	：外部割り込み入力	$\overline{\text{SCK}}$	：シリアル・クロック入出力
OSC0，OSC1	：システム・クロック発振用	SI	：シリアル・データ入力
P0A0-P0A3	：ポート0A	SO	：シリアル・アウト出力
P0B0-P0B3	：ポート0B	$\overline{\text{TM0OUT}}$	：タイマ０のキャリー出力
P0C0-P0C3	：ポート0C	VADC	：アナログ電源
P0D0-P0D3	：ポート0D	VDD	：電源
P1A0-P1A3	：ポート1A	XIN，XOUT	：システム・クロック発振用

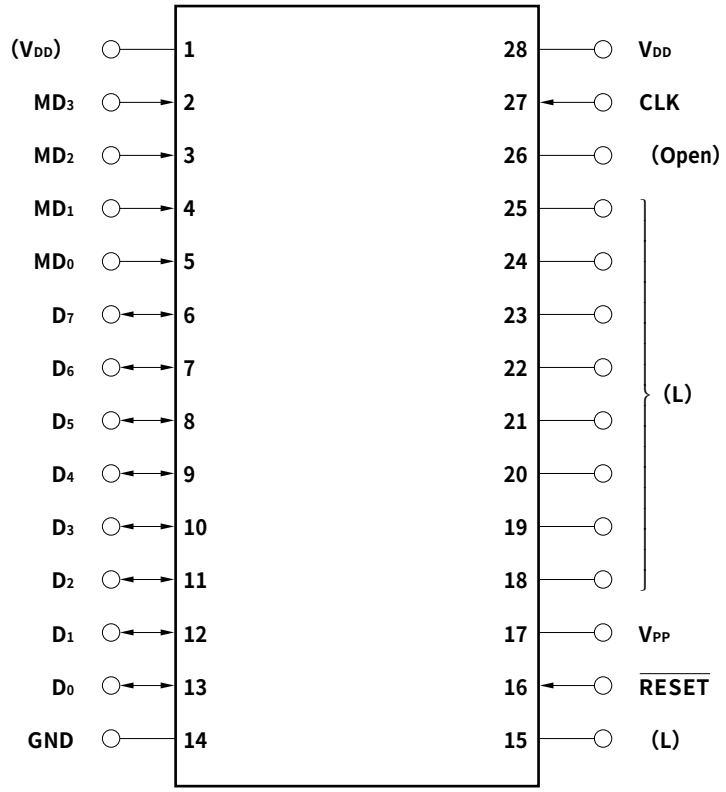
（2）プログラム・メモリ書き込み／ベリファイ・モード

28ピン・プラスチック・シュリンクDIP（400 mil）

μPD17P136ACT，μPD17P137ACT

28ピン・プラスチックSOP（375 mil）

μPD17P136AGT，μPD17P137AGT



注意　（ ）内はプログラム・メモリ書き込み／ベリファイ・モードでは使用しない端子の処理です。

L　　：個別にプルダウン抵抗を介してGNDに接続してください。

$\overline{\text{RESET}}$ ：プログラム・メモリ書き込み／ベリファイ・モード時はV_{DD}と同電位にしてください。

また，$\overline{\text{RESET}}$端子はプログラム・メモリ書き込み／ベリファイ・モードに設定する前のシステム・リセット入力としても使用します。このためV_{DD}端子よりも10 μs以上遅らせて，V_{DD}と同電位にします（詳細については，第18章　ワン・タイムPROMの書き込みとベリファイを参照してください）。

Open　：何も接続しないでください。

★　V_{DD}　　：直接V_{DD}に接続してください。

CLK　　：アドレス更新用クロック入力

D_0-D_7　：データ入出力

GND　　：グランド

MD_0-MD_3：動作モード選択

$\overline{RESET}$　：リセット入力

V_{DD}　　：電源

V_{PP}　　：プログラム電圧印加

〔メ　モ〕

第２章　端子機能

2.1　端子機能説明

端子番号	記　　号	機　　能	出力形式	リセット時
1	V_{ADC}	A/Dコンバータの電源および基準電圧発生用電源です。	－	－
2 ｜ 5	$P0C_3/ADC_3/MD_3$注 ｜ $P0C_0/ADC_0/MD_0$注	ポート0C，A/Dコンバータのアナログ入力およびプログラム・メモリ書き込み／ベリファイ・モード時の動作モード選択端子です。 ●$P0C_3$-$P0C_0$ ・４ビット入出力ポート ・１ビットごとに入力／出力設定可能 ●ADC_3-ADC_0 ・A/Dコンバータのアナログ入力 ●MD_3-MD_0 ・μPD17P136A，17P137Aのみ内蔵 ・プログラム・メモリ書き込み／ベリファイ時に動作モードを選択	CMOS プッシュプル	入　力 （P0C）
6 ｜ 9	$P0B_3/D_7$注 ｜ $P0B_0/D_4$注	ポート0Bおよびプログラム・メモリ書き込み／ベリファイ・モード時のデータ入出力端子です。 ●$P0B_3$-$P0B_0$ ・４ビット入出力ポート ・４ビット単位で入力／出力設定可能 ・ソフトウエアによるプルアップ抵抗内蔵可能 ●D_7-D_4 ・μPD17P136A，17P137Aのみ内蔵 ・プログラム・メモリ書き込み／ベリファイ時の８ビット・データ入出力	CMOS プッシュプル	入　力 （P0B）
10 ｜ 13	$P0A_3/D_3$注 ｜ $P0A_0/D_0$注	ポート0Aおよびプログラム・メモリ書き込み／ベリファイ・モード時のデータ入出力端子です。 ●$P0A_3$-$P0A_0$ ・４ビット入出力ポート ・４ビット単位で入力／出力設定可能 ・ソフトウエアによるプルアップ抵抗内蔵可能 ●D_3-D_0 ・μPD17P136A，17P137Aのみ内蔵 ・プログラム・メモリ書き込み／ベリファイ時の８ビット・データ入出力	CMOS プッシュプル	入　力 （P0A）

★

注　MD_0-MD_3およびD_0-D_7は，μPD17P136A，17P137Aのみ有効です。

端子番号	記　　号	機　　能	出力形式	リセット時
14	GND	GNDです。	－	－
15	INT	外部割り込み要求信号の入力およびセンス入力です。	－	入　力
16	$\overline{\text{RESET}}$	システム・リセット入力です。 マスク・オプションでプルアップ抵抗を内蔵可能注１	－	入　力
17	$P1B_0/V_{PP}$注２	ポート1Bおよびプログラム・メモリ書き込み／ベリファイ・モード時のプログラム電圧印加端子です。 ●$P1B_0$ ・１ビット入力ポート ・マスク・オプションでプルアップ抵抗を内蔵可能注１ ●V_{PP} ・μPD17P136A，17P137Aのみ内蔵 ・プログラム・メモリ書き込み／ベリファイ時にプログラム電圧（＋12.5 V）を印加	入　力	入　力
18 ｜ 21	$P1A_3$ ｜ $P1A_0$	ポート1Aです。 ・４ビット入出力ポート ・４ビット単位で入力／出力設定可能 ・マスク・オプションでプルアップ抵抗を内蔵可能注１	N-ch オープン・ドレーン	入　力
22	$P0D_3/\overline{\text{TM0OUT}}$	ポート0D，タイマ０出力，シリアル・データ入力，シリアル・データ出力およびシリアル・クロック入出力です。 マスク・オプションでプルアップ抵抗を内蔵可能注１ ●$P0D_3$-$P0D_0$ ・４ビット入出力ポート ・１ビットごとに入力／出力設定可能 ●$\overline{\text{TM0OUT}}$ ・タイマ０出力	N-ch オープン・ドレーン	入　力 （P0D）
23	$P0D_2$/SI	●SI ・シリアル・データ入力		
24	$P0D_1$/SO	●SO ・シリアル・データ出力		
25	$P0D_0/\overline{\text{SCK}}$	●$\overline{\text{SCK}}$ ・シリアル・クロック入出力		

注１．μPD17P136A，17P137Aは，マスク・オプションのプルアップ抵抗を内蔵していません。

２．V_{PP}はμPD17P136A，17P137Aのみ有効です。

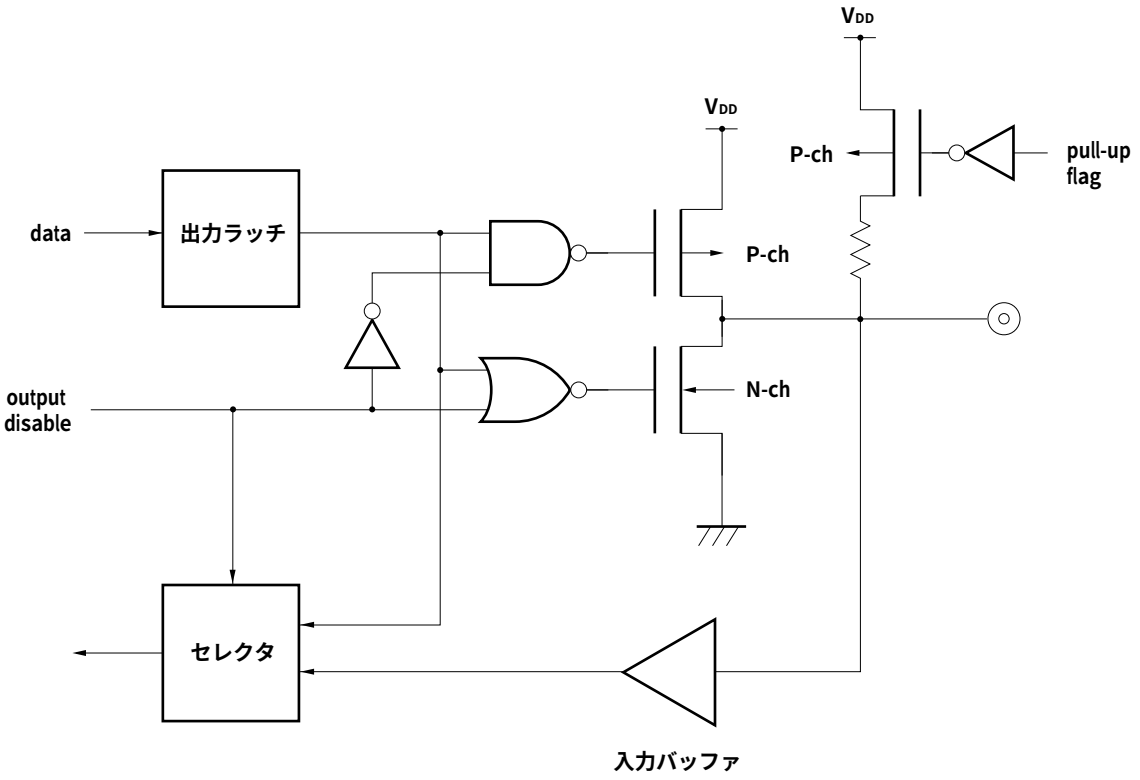
端子番号	記　　号	機　　能	出力形式	リセット時
26 27	X_{OUT} X_{IN}/CLK注	μPD17135A，17137A，17P137Aの場合 ●X_{IN}，X_{OUT} ・システム・クロック発振子接続用端子 ・セラミック発振子を接続 ●CLK ・μPD17P137Aのみ内蔵 ・プログラム・メモリ書き込み／ベリファイ時のアドレス更新用クロック入力端子	－	－
26 27	OSC_0 OSC_1/CLK注	μPD17134A，17136A，17P136Aの場合 ●OSC_0，OSC_1 ・システム・クロック発振用端子 ・OSC_0，OSC_1間に抵抗を接続 ●CLK ・μPD17P136Aのみ内蔵 ・プログラム・メモリ書き込み／ベリファイ時のアドレス更新用クロック入力端子		
28	V_{DD}	電源です。 μPD17P136A，17P137Aのプログラム・メモリ書き込み／ベリファイ・モード時には＋6 Vを印加します。	－	－

注　CLKはμPD17P136A，17P137Aのみ有効です。

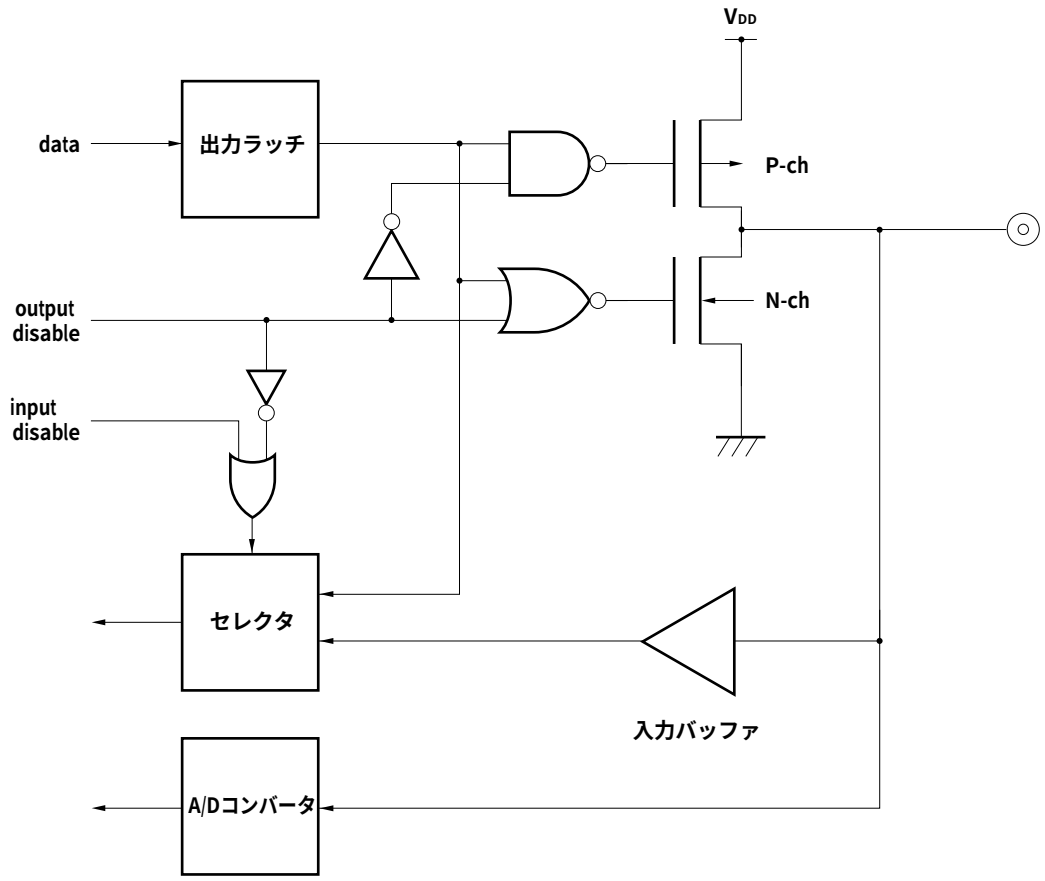
２.２　端子の入出力回路

μPD1713×Aの各端子の入出力回路を一部簡略化した形式を用いて示します。

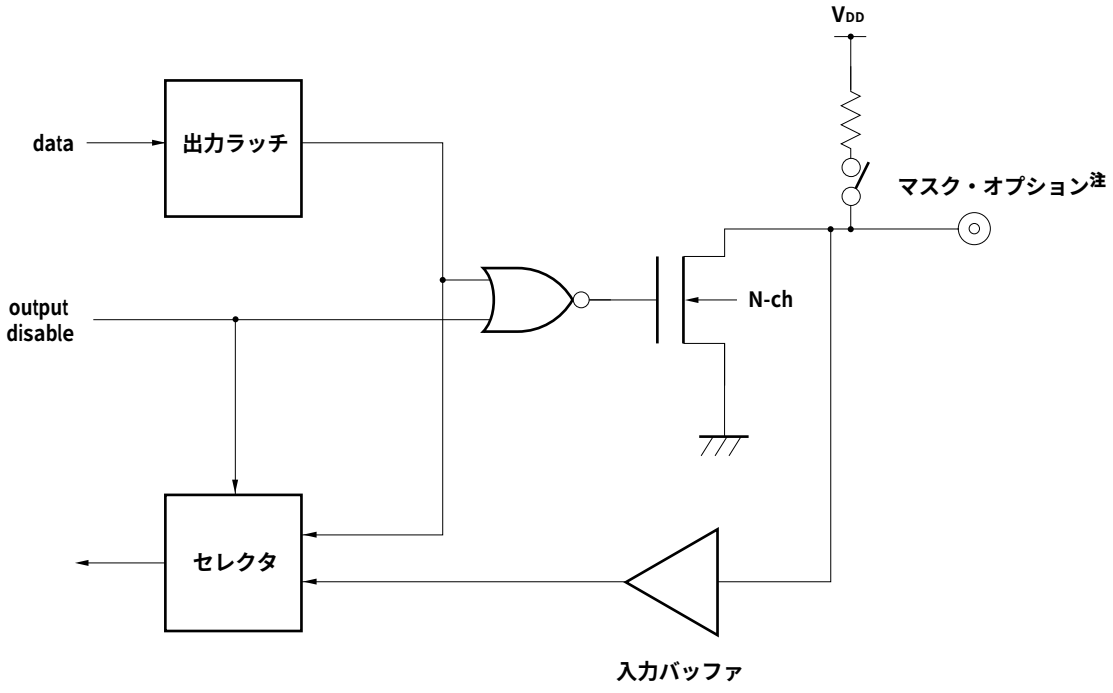
（１）$P0A_0$-$P0A_3$，$P0B_0$-$P0B_3$



（２）P0C$_0$/ADC$_0$-P0C$_3$/ADC$_3$

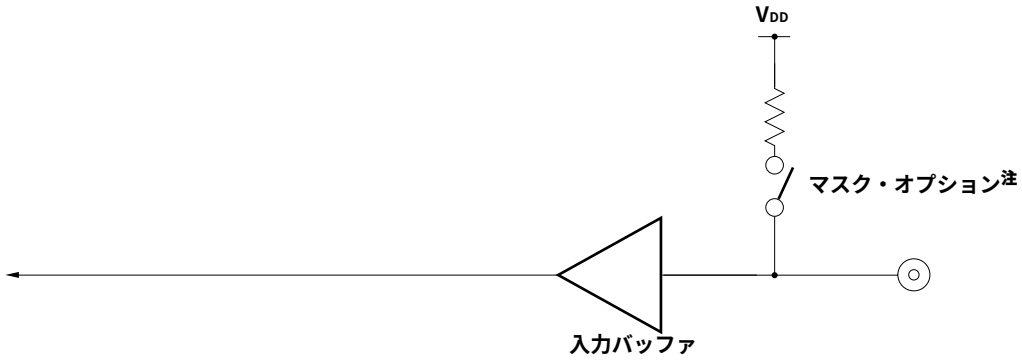


（３）P0D$_0$-P0D$_3$，P1A$_0$-P1A$_3$



注　μPD17P136A，17P137Aにはマスク・オプションによるプルアップ抵抗がありません。

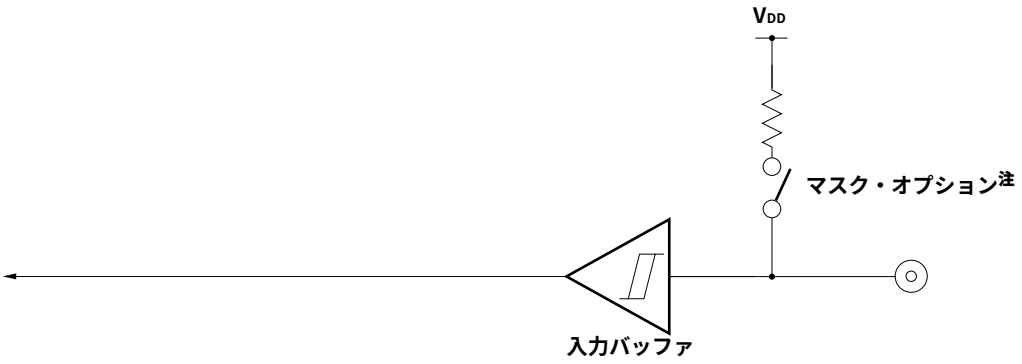
（４）P1B$_0$



注　μPD17P136A，17P137Aにはマスク・オプションによるプルアップ抵抗がありません。

（５）INT

（６）$\overline{\text{RESET}}$



注　μPD17P136A，17P137Aにはマスク・オプションによるプルアップ抵抗がありません。

２.３　未使用端子の処理

通常動作モード時，未使用端子は，次に示すような処置をしてください。

表２－１　未使用端子の処理 ★

端子名			推奨処理方法	
			マイコン内部	マイコン外部
ポート	入力モード	P0A，P0B	ソフトウエアによるプルアップ抵抗を内蔵する	オープン
		P0C	－	各端子ごとに抵抗を介してV_{DD}またはGNDに接続[注1]
		P0D，P1A	マスク・オプションによるプルアップ抵抗を内蔵しない	GNDに直接接続
			マスク・オプションによるプルアップ抵抗を内蔵する	オープン
		$P1B_0$[注2]	マスク・オプションによるプルアップ抵抗を内蔵しない	GNDに直接接続
	出力モード	P0A，P0B，P0C（CMOSポート）	－	オープン
		P0D，P1A（N-chオープン・ドレーン・ポート）	マスク・オプションによるプルアップ抵抗を内蔵しないで，ロウ・レベルを出力する	
			マスク・オプションによるプルアップ抵抗を内蔵して，ハイ・レベルを出力する	
外部割り込み（INT）			マスク・オプションによるプルアップ抵抗を内蔵しない	V_{DD}またはGNDに直接接続
			マスク・オプションによるプルアップ抵抗を内蔵する	オープン
$\overline{RESET}$[注3]（内蔵のパワーオン／パワーダウン・リセット機能だけを使用する場合）			マスク・オプションによるプルアップ抵抗を内蔵しない	V_{DD}に直接接続
			マスク・オプションによるプルアップ抵抗を内蔵する	
V_{ADC}			－	V_{DD}に直接接続

注１．外部でプルアップ（抵抗を介してV_{DD}に接続）またはプルダウン（抵抗を介してGNDに接続）する場合には，ポートのドライブ能力や消費電流に注意してください。また，高い抵抗値でプルアップまたはプルダウンする場合には，その端子にノイズが乗らないように注意してください。応用回路にもよりますが，プルアップまたはプルダウンの抵抗値は，数十kΩが一般的です。

２．$P1B_0$端子はテスト・モードの設定機能を兼用しているので，未使用の場合はマスク・オプションによるプルアップ抵抗を内蔵しないで，直接GNDに接続してください。

注３． 高い信頼性を必要とする応用回路では，必ず外部から$\overline{\text{RESET}}$信号を入力するように設計してください。
また，$\overline{\text{RESET}}$端子はテスト・モードの設定機能を兼用しているので，未使用の場合は直接V_{DD}に接続してください。

注意　入出力モード，ソフトウエアによるプルアップ抵抗，端子の出力レベルは，プログラムの各ループ内で繰り返し設定することによって固定することを推奨します。

備考　μPD17P136A，17P137Aにはマスク・オプションによるプルアップ抵抗がありません。

２．４　$\overline{\text{RESET}}$端子とP1B$_0$端子の使用上の注意

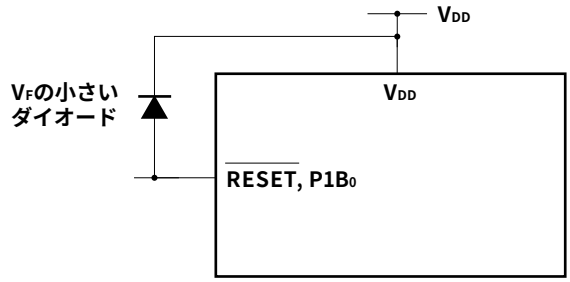
$\overline{\text{RESET}}$端子とP1B$_0$端子は，**２．１　端子機能説明**に示した機能のほかに，μPD17134Aサブシリーズの内部動作をテストするテスト・モードを設定する機能（ICテスト専用）を持っています。

これらの端子のいずれかにV_{DD}を越える電圧を印加すると，テスト・モードに設定されます。このため，通常動作時であってもV_{DD}を越えるようなノイズが加わった場合にはテスト・モードに入ってしまい，通常動作に支障をきたすことがあります。

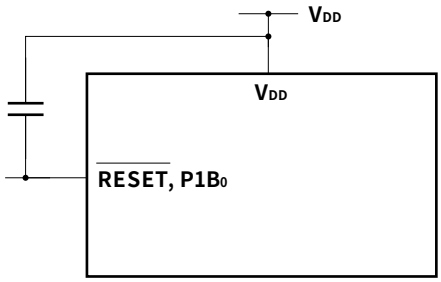
たとえば，$\overline{\text{RESET}}$端子またはP1B$_0$端子の配線の引き回しが長い場合などでは，これらの端子に布線間ノイズが加わって上記の問題を起こしてしまうことがあります。

したがって，できるだけ布線間ノイズを抑えるような配線を行ってください。どうしてもノイズが抑えられない場合は，下図のような外付け部品によるノイズ対策を実施してください。

○V_{DD}との間にV_Fの小さいダイオードを接続



○V_{DD}との間にコンデンサを接続



第３章　プログラム・カウンタ（PC）

プログラム・カウンタは，プログラム・メモリのアドレスを指定するために使用します。

３.１　プログラム・カウンタの構成

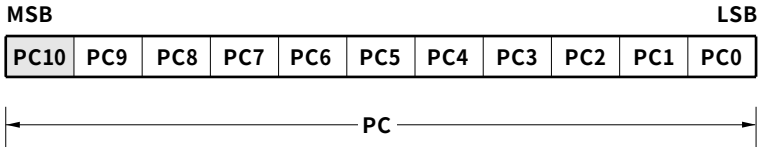
図３－１にプログラム・カウンタの構成を示します。

μPD17134A，17135Aのプログラム・カウンタは，10ビットのバイナリ・カウンタで構成されています。

μPD17136A，17137A，17P136A，17P137Aのプログラム・カウンタは，11ビットのバイナリ・カウンタで構成されています。

プログラム・カウンタは，命令を実行するたびにインクリメントされます。

図３－１　プログラム・カウンタの構成



備考　□ の部分はμPD17136A，17137A，17P136A，17P137Aのみ有効です。

３.２　プログラム・カウンタの動作

プログラム・カウンタは，通常，命令を１つ実行するたびに自動的にインクリメントされます。また，リセット時，分岐命令，サブルーチン・コール命令，リターン命令，テーブル参照命令が実行されたときおよび割り込みが受け付けられたときには，次に実行すべきプログラム・メモリのアドレスがプログラム・カウンタに設定されます。

３.２.１-３.２.７に各命令実行時のプログラム・カウンタの動作を示します。

図３－２　命令実行後のプログラム・カウンタの値

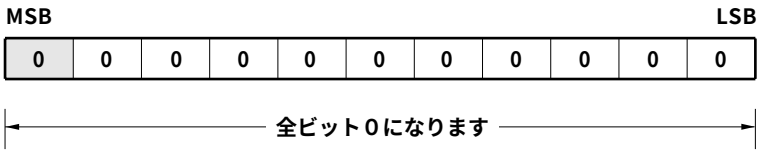
プログラム・カウンタのビット / 命　令	プログラム・カウンタの値										
	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
リセット時	0	0	0	0	0	0	0	0	0	0	0
★ BR addr	addrで設定した値										
CALL addr											
★ BR @AR CALL @AR （MOVT DBF，@AR）	アドレス・レジスタ（AR）の内容										
RET RETSK RETI	スタック・ポインタで指定されるアドレス・スタック・レジスタの内容（戻り番地）										
割り込み受け付け時	各割り込みのベクタ・アドレス										

備考　□ の部分はμPD17136A，17137A，17P136A，17P137Aのみ有効です。

3.2.1　リセット時

$\overline{\text{RESET}}$端子をロウ・レベルにすることにより，プログラム・カウンタが0000Hになります。

図３－３　リセット時のプログラム・カウンタの値



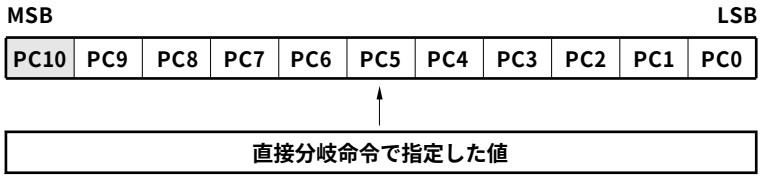
備考　□ の部分はμPD17136A，17137A，17P136A，17P137Aのみ有効です。

★ 3.2.2　分岐命令（BR）実行時

分岐命令には，分岐先を命令のオペランドに記述する直接分岐命令（BR addr）とアドレス・レジスタが示すアドレスに分岐する間接分岐命令（BR @AR）があります。

BR addr命令により指定したアドレスがプログラム・カウンタに設定されます。

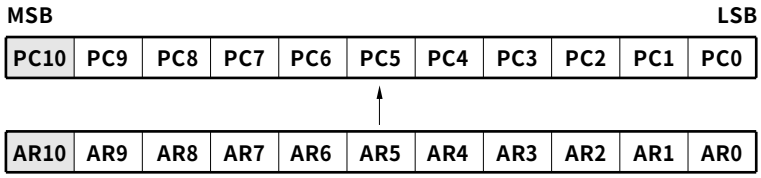
図３－４　BR addr命令実行時のプログラム・カウンタの値



備考　　の部分はμPD17136A，17137A，17P136A，17P137Aのみ有効です。

間接分岐命令によりアドレス・レジスタの値がプログラム・カウンタに設定されます。

図３－５　BR @AR命令実行時のプログラム・カウンタの値



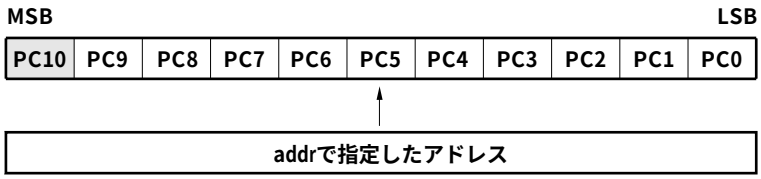
備考　　の部分はμPD17136A，17137A，17P136A，17P137Aのみ有効です。

３.２.３　サブルーチン・コール命令（CALL）実行時 ★

サブルーチン・コール命令には，分岐先を命令のオペランドに記述する直接サブルーチン・コール命令（CALL addr）とアドレス・レジスタが示すアドレスに分岐する間接サブルーチン・コール命令（CALL @AR）があります。

CALL addr命令により，プログラム・カウンタの値がアドレス・スタックに退避されたあと，オペランドに記述したアドレスがプログラム・カウンタに設定されます。CALL addr命令で指定できるアドレスの範囲はμPD17134A，17135Aの場合は0000H-03FFH，μPD17136A，17137A，17P136A，17P137Aの場合は0000H-07FFHです。

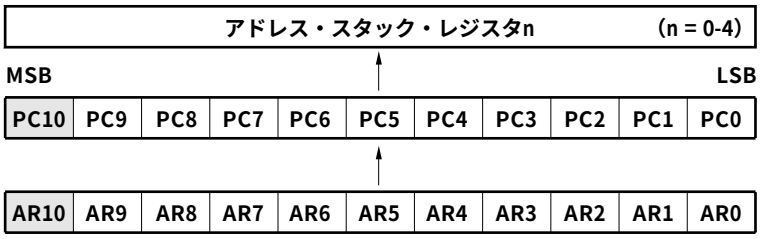
図３－６　CALL addr命令実行時のプログラム・カウンタの値



備考　　の部分はμPD17136A，17137A，17P136A，17P137Aのみ有効です。

CALL @AR命令により，プログラム・カウンタの値がアドレス・スタックに退避されたあと，アドレス・レジスタの値がプログラム・カウンタに設定されます。

図３－７　間接サブルーチン・コール命令実行時のプログラム・カウンタの値

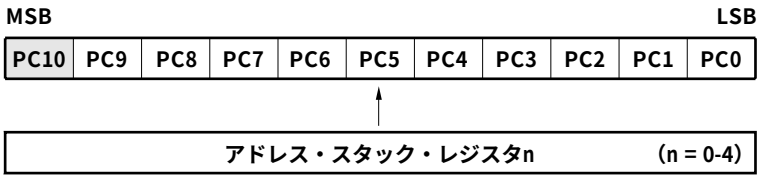


備考　　の部分はμPD17136A，17137A，17P136A，17P137Aのみ有効です。

3.2.4　リターン命令（RET，RETSK，RETI）実行時

リターン命令（RET，RETSK，RETI）により，アドレス・スタック・レジスタに退避された値が，プログラム・カウンタに復帰されます。

図３－８　リターン命令実行時のプログラム・カウンタの値



備考　　の部分はμPD17136A，17137A，17P136A，17P137Aのみ有効です。

3.2.5　テーブル参照命令（MOVT）実行時

テーブル参照命令（MOVT DBF，@AR）により，プログラム・カウンタの値がアドレス・スタック・レジスタに退避されたあと，アドレス・レジスタの値がプログラム・カウンタに設定され，そのプログラム・メモリの内容がデータ・バッファ（DBF）に読み出されます。また，プログラム・メモリの内容を読み出したあと，アドレス・スタック・レジスタに退避された値がプログラム・カウンタに復帰します。

テーブル参照を行うときは，一時的にスタックが１レベル使用されるので，スタック・レベルにご注意ください。

３.２.６　スキップ命令（SKE, SKGE, SKLT, SKNE, SKT, SKF）実行時

スキップ命令（SKE，SKGE，SKLT，SKNE，SKT，SKF）のスキップ条件が成立したとき，スキップ命令の直後の命令はノー・オペレーション命令（NOP）として実行されます。したがって，スキップ条件が成立してもしなくても，実行する命令数および命令実行時間は変わりません。

３.２.７　割り込み受け付け時

割り込みが受け付けられると，プログラム・カウンタの値がアドレス・スタックに退避されたあと，各割り込みに対するベクタ・アドレスがプログラム・カウンタに設定されます。

〔メ　モ〕

第４章　プログラム・メモリ（ROM）

★

表４－１にμPD17134Aサブシリーズのプログラム構成を示します。

表４－１　プログラム・メモリ構成

品　名	プログラム・メモリ容量	プログラム・メモリ番地
μPD17134A	2 Kバイト（1024×16ビット）	0000H-03FFH
μPD17135A		
μPD17136A	4 Kバイト（2048×16ビット）	0000H-07FFH
μPD17137A		
μPD17P136A		
μPD17P137A		

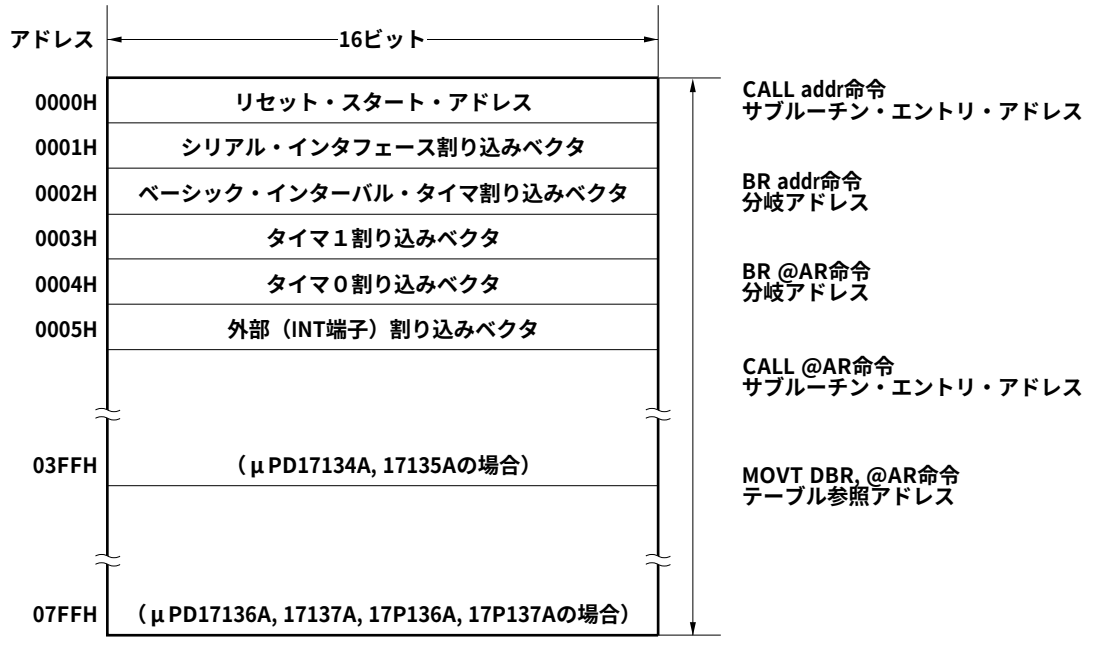
プログラム・メモリには，プログラムおよび定数データ・テーブルなどを格納します。プログラム・メモリの先頭部分は，リセット・スタート・アドレスと割り込みベクタ・アドレスに割り当てられています。

プログラム・メモリはプログラム・カウンタによってそのアドレスを指定されます。

４.１　プログラム・メモリの構成

図４－１にプログラム・メモリ・マップを示します。分岐命令，サブルーチン・コール命令，テーブル参照命令によるアドレス指定可能な範囲は，それぞれのプログラム・メモリの全範囲です。

図４－１　μPD17134Aサブシリーズのプログラム・メモリ・マップ



４.２　プログラム・メモリの使い方

プログラム・メモリは，大別して以下の２つの機能があります。

（１）プログラムを格納しておく
（２）定数データを格納しておく

プログラムとはCPU（Central Processing Unit）を動作させる“ 命令 ”の集まりです。CPUはプログラムに書かれた命令に従い，順次処理を実行していきます。すなわち，プログラム・メモリに格納されているプログラムから順次，命令を読み出していき，各命令に従って処理を実行します。

命令はすべて16ビット長の一語命令であるため，プログラム・メモリの１つの番地に１つの命令を格納することができます。

定数データとは，たとえば表示用パターンのように，あらかじめ決まっているようなデータです。MOVT命令を使用することによりプログラム・メモリ上の定数データをデータ・メモリ上のデータ・バッファ（DBF）に読み出すことができます。このようにプログラム・メモリ上の定数データを読み出すことを“ テーブル参照 ”と呼びます。

プログラム・メモリは読み出し専用メモリ（ROM：Read Only Memory）であるため，命令により書き換えることはできません。

４.２.１　プログラムの流れ

プログラム・メモリに格納されているプログラムは，通常0000H番地から，１番地ごとに順次実行されます。ところが，たとえばある条件により異なるプログラムを実行させるような場合は，プログラムの流れを変える必要があります。このような場合には，分岐命令（BR命令）を使用します。

また，同一のプログラムが何箇所にも現れる場合は，その度に同一プログラムを用いると，プログラム・メモリの使用効率が低下します。このような場合は，一箇所にプログラムをまとめておき，CALL命令で，同一のプログラムを呼び出すようにします。このプログラムのことを“ サブルーチン ”と呼びます。サブルーチンに対して通常実行しているプログラムを“ メイン・ルーチン ”と呼びます。

また，プログラムの流れとはまったく関係なく，ある条件が成立したときに実行させたいプログラムがあるときは，割り込み機能を使用します。割り込み機能を使用すると，ある条件が成立したとき現在のプログラムの流れとは関係なく，あらかじめ決められた番地（ベクタ・アドレスと呼ぶ）へ分岐することができます。

（１）-（５）に，割り込みおよび命令により，プログラムが分岐する場合について説明します。

（１）ベクタ・アドレス

リセットあるいは割り込み発生時に分岐するアドレス（ベクタ・アドレス）を，表４－２に示します。

表４－２　μPD17134Aサブシリーズのベクタ・アドレス

ベクタ・アドレス	割　り　込　み　要　因
0000H	リセット
0001H	シリアル・インタフェース割り込み
0002H	ベーシック・インターバル・タイマ割り込み
0003H	タイマ１割り込み
0004H	タイマ０割り込み
0005H	外部（INT）割り込み

（２）直接分岐

直接分岐命令（BR addr）では，オペランド（addr）の値をアドレスとして分岐します。命令のオペランド11ビットで分岐先のプログラム・メモリ・アドレスを指定します（μPD17134A，μPD17135Aの場合，最上位ビットは“０”以外指定することはできません。もしこの範囲を越えるアドレスを指定した場合，アセンブラでエラーを発生します）。したがって，BR addr命令により，すべてのプログラム・メモリ・アドレスに分岐することができます。

（３）間接分岐

間接分岐命令（BR @AR）では，アドレス・レジスタ（AR）の値をアドレスとして分岐します。したがって，BR @AR命令によりすべてのプログラム・メモリ・アドレスに分岐することができます。

７.２　アドレス・レジスタ（AR）も参照してください。

（４）サブルーチン

サブルーチンへの分岐にはサブルーチン・コール命令（CALL）を使います。

CALL命令には，オペランド（addr）の値をアドレスとして分岐する直接サブルーチン・コール命令（CALL addr）とアドレス・レジスタの内容をアドレスとして分岐する間接サブルーチン・コール命令（CALL @AR）とがあります。

サブルーチンからの復帰命令にはRET命令またはRETSK命令を使用します。RETまたはRETSK命令を実行することによりCALL命令を実行した次のプログラム・メモリ・アドレスへ復帰します。

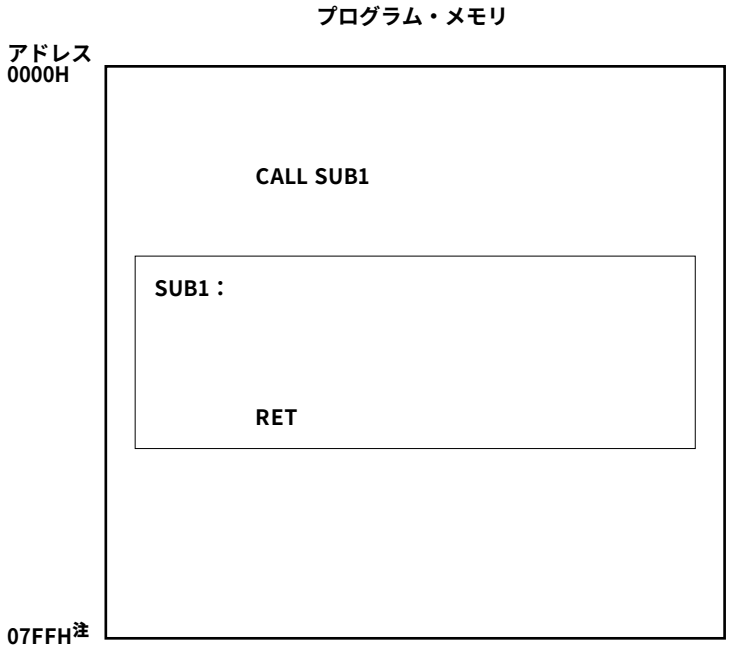
またRESTK命令の場合には復帰した最初の命令をNOP命令として実行します。

① 直接サブルーチン・コール

直接サブルーチン・コール命令（CALL addr）は，命令のオペランド11ビットで分岐先のプログラム・メモリ・アドレスを指定します（μPD17134A，μPD17135Aの場合，最上位ビットは“0”以外指定することはできません。もしこの範囲を越えるアドレスを指定した場合，アセンブラでエラーを発生します）。

例

図４－２　CALL addr命令



注　μPD17134A，17135Aのプログラム・メモリは0000H-03FFH番地です。

② 間接サブルーチン・コール

間接サブルーチン・コール（CALL @AR）命令は，アドレス・レジスタ（AR）の値をサブルーチン・コール先のアドレスとします。したがって，すべてのプログラム・メモリ・アドレスに分岐することができます。

７.２　アドレス・レジスタ（AR）も参照してください。

４.２.２　テーブル参照

テーブル参照は，プログラム・メモリ内の定数データを参照するときに使用します。

テーブル参照命令（MOVT DBF，@AR）を実行すると，アドレス・レジスタで指定されるプログラム・メモリ・アドレスの内容が，データ・バッファに格納されます。

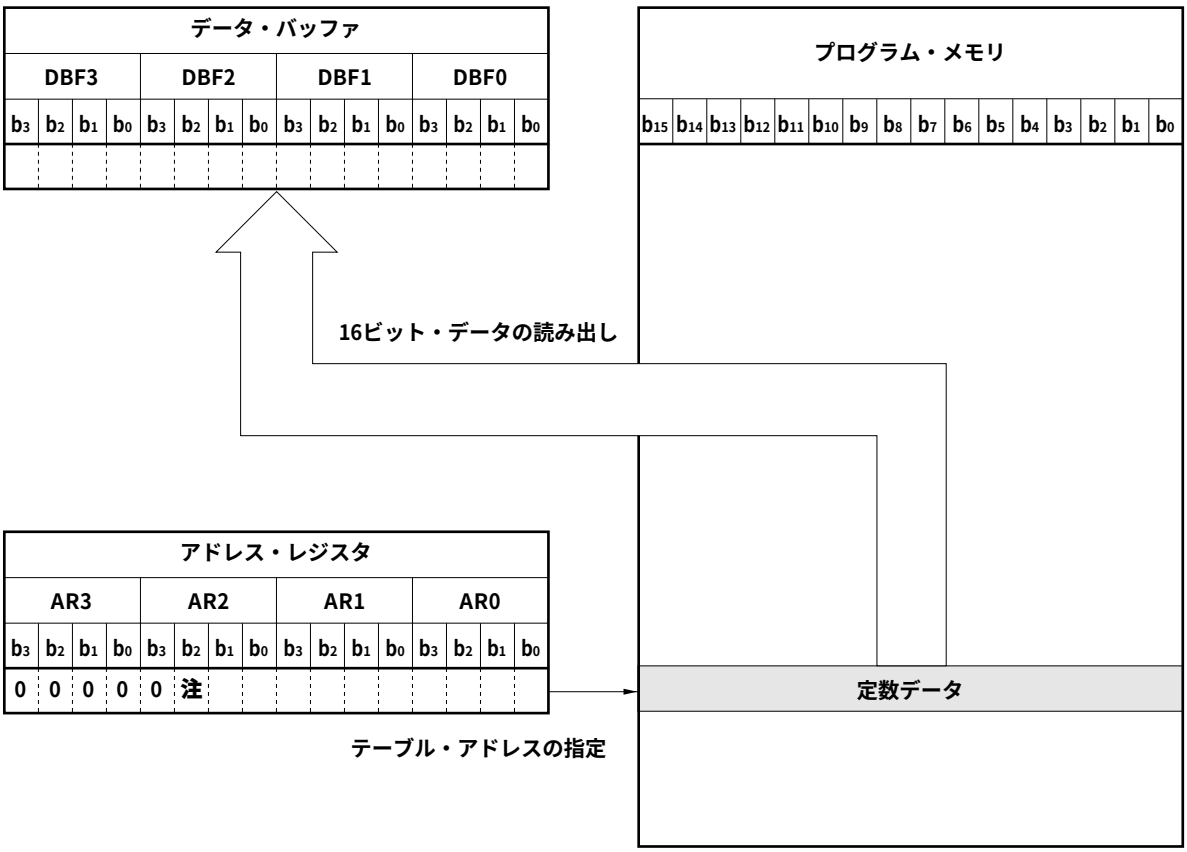
プログラム・メモリの内容は，16ビットで構成されているので，MOVT命令でデータ・バッファに格納される定数データは16ビットになります。アドレス・レジスタを使用することにより，すべてのプログラム・メモリをテーブル参照することができます。

注意　テーブル参照を行うときは，一時的にアドレス・スタックが１レベル使用されるので，使用可能なスタック・レベルを越えないように注意してください。

７.２　アドレス・レジスタ（AR）および第10章　データ・バッファ（DBF）も参照してください。

備考　テーブル参照命令の実行には，例外的に２命令サイクルを必要とします。

図４－３　テーブル参照（MOVT DBF，@AR）



注　μPD17134A，17135Aの場合０に固定されています。

（1）定数テーブル

例１に定数データ・テーブルのテーブル参照プログラム例を示します。

例１．定数データ・テーブルのデータを読み出すプログラム

```
OFFSET      MEM     0.00H           ;オフセット・アドレスの格納エリア
ROMREF：
            BANK0
                                    ;定数データ・テーブルが入っている先頭番地
                                    ;をARレジスタに格納します。
            MOV       AR3，#.DL.TABLE SHR 12 AND 0FH
            MOV       AR2，#.DL.TABLE SHR 8 AND 0FH
            MOV       AR1，#.DL.TABLE SHR 4 AND 0FH
            MOV       AR0，#.DL.TABLE AND 0FH

            MOV     RPH，#0         ;レジスタ・ポインタをロウ・アドレス７に設
            MOV     RPL，#7 SHL 1   ;定します。

            ADD       AR0，OFFSET   ;オフセット・アドレスを加算します。
            ADDC      AR1，#0
            ADDC      AR2，#0
            ADDC      AR3，#0
            MOVT      DBF，@AR      ;定数データの読み出し

TABLE：
            DW      0001H           ;OFFSET = 0Hのとき
            DW      0002H
            DW      0004H
            DW      0008H
            DW      0010H
            DW      0020H
            DW      0040H
            DW      0080H
            DW      0100H
            DW      0200H
            DW      0400H
            DW      0800H
            DW      1000H
            DW      2000H
            DW      4000H
            DW      8000H           ;OFFSET = 0FHのとき

            END
```

（２）分岐先アドレス・テーブル

例２に分岐先アドレス・テーブルのテーブル参照プログラム例を示します。

例２．分岐先アドレス・テーブルのアドレスに分岐するプログラム

```
OFFSET    MEM    0.00H            ;オフセット・アドレスの格納エリア
ROMREF：
          BANK0                   ;定数データ・テーブル先頭番地をARレジスタ
                                  ;に格納します。
          MOV      AR3，#.DL.TABLE SHR 12 AND 0FH
          MOV      AR2，#.DL.TABLE SHR 8 AND 0FH
          MOV      AR1，#.DL.TABLE SHR 4 AND 0FH
          MOV      AR0，#.DL.TABLE AND 0FH

          MOV    RPH，#0           ;レジスタ・ポインタをロウ・アドレス７に設
          MOV    RPL，#7 SHL 1     ;定します。

          ADD      AR0，OFFSET     ;オフセット・アドレスを加算します。
          ADDC     AR1，#0
          MOVT     DBF，@AR        ;分岐先アドレスの読み出し
          PUT      AR，DBF         ;AR←分岐先アドレス
          BR       @AR

TABLE：
          DW     0001H             ;OFFSET = 0Hのとき
          DW     0002H
          DW     0004H
          DW     0008H
          DW     0010H
          DW     0020H
          DW     0040H
          DW     0080H
          DW     0100H
          DW     0200H             ;OFFSET = 9Hのとき

          END
```

〔メ　モ〕

第５章　データ・メモリ（RAM）

データ・メモリとは，演算，制御などのデータを記憶するメモリです。命令により常時データの書き込みや読み出しが行えます。

５.１　データ・メモリの構成

図５－１にデータ・メモリの構成を示します。

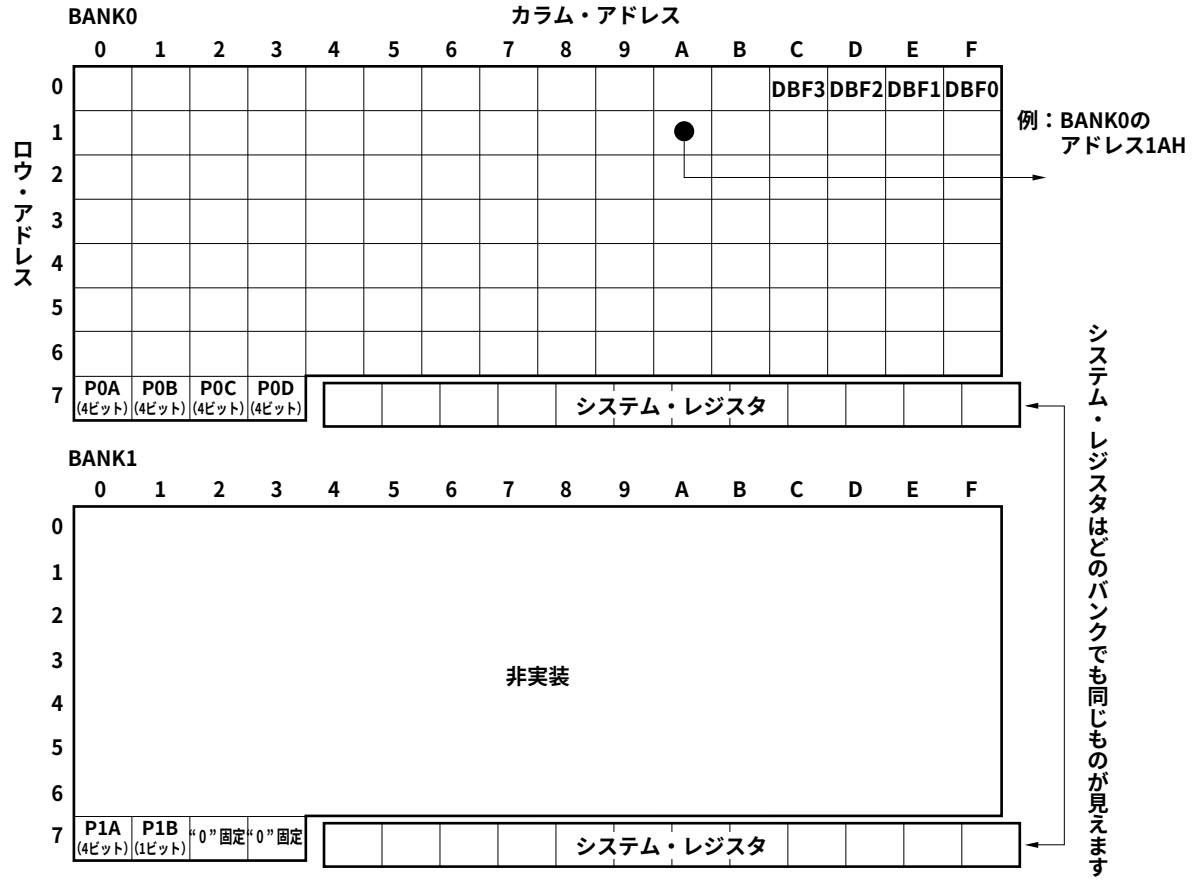
データ・メモリは“バンク”と呼ぶ単位で２つに分かれています。２つのバンクはそれぞれBANK0, BANK1と呼びます。

データ・メモリは各バンクごとにアドレス（番地）が割り付けられています。１つのアドレスには４ビットのメモリが対応しており，これを“１ニブル”と呼びます。

データ・メモリのアドレスは７ビットで表され，上位３ビットを“ロウ・アドレス”，下位４ビットを“カラム・アドレス”と呼びます。たとえば，データ・メモリのアドレスが1AH（0011010B）番地の場合，ロウ・アドレスは1H（001B），カラム・アドレスはAH（1010B）ということになります。

データ・メモリは機能別に次の５.１.１-５.１.６に示すブロックに分けられます。

★ 図５－１　データ・メモリの構成



注意　BANK1のアドレス00H-6FHにはハードウエア上は何も実装されていません。この領域は使用しないでください。この領域の内容を読み出したときは，不定の値が読み出されます。また，この領域に対するデータの書き込み命令は無効になります。

5.1.1　システム・レジスタ（SYSREG）

データ・メモリのアドレス74H-7FHに割り当てられた12ニブルで構成されています。システム・レジスタ（SYSREG）はバンクに無関係に割り当てられており，すなわちどのバンクであってもアドレス74H-7FHには同一のシステム・レジスタ（SYSREG）が存在します。

図５－２に構成を示します。

詳しくは**第７章　システム・レジスタ（SYSREG）**を参照してください。

図５－２　システム・レジスタの構成

システム・レジスタ（SYSREG）												
アドレス	74H	75H	76H	77H	78H	79H	7AH	7BH	7CH	7DH	7EH	7FH
名称（記号）	アドレス・レジスタ（AR）				ウインドウ・レジスタ（WR）	バンク・レジスタ（BANK）	インデクス・レジスタ（IX） データ・メモリ・ロウ・アドレス・ポインタ（MP）			ジェネラル・レジスタ・ポインタ（RP）		プログラム・ステータス・ワード（PSWORD）

５.１.２　データ・バッファ（DBF）

データ・メモリのBANK0のアドレス0CH-0FHに割り当てられた４ニブルで構成されています。

図５－３に構成を示します。

図５－３　データ・バッファの構成

データ・バッファ（DBF）				
アドレス	0CH	0DH	0EH	0FH
記号	DBF3	DBF2	DBF1	DBF0

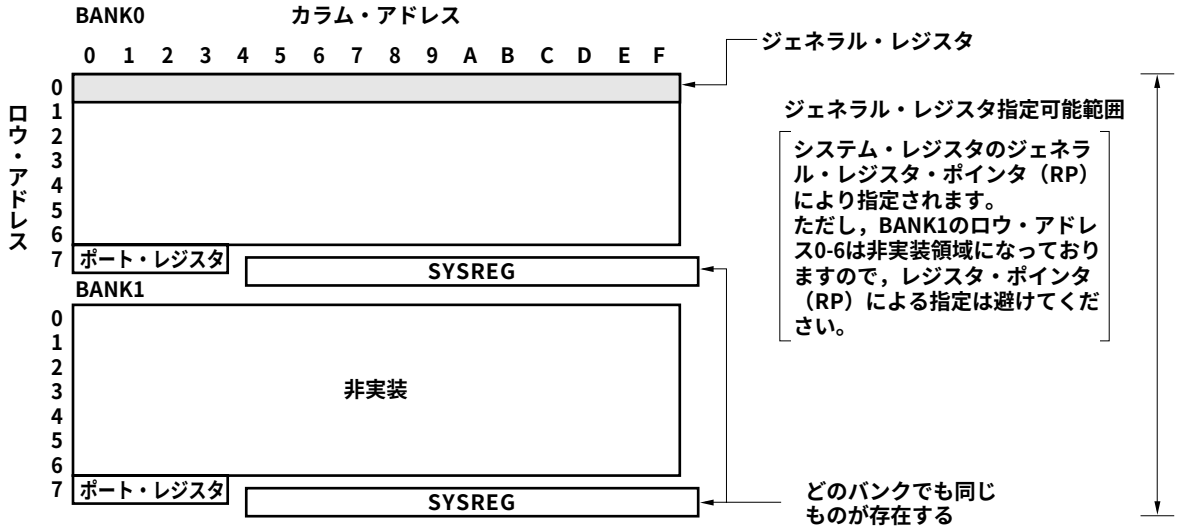
５.１.３　ジェネラル・レジスタ（GR）

データ・メモリの任意のバンクの任意のロウ・アドレスで指定される16ニブルで構成されています。

任意のバンクの任意のロウ・アドレスは，システム・レジスタ（SYSREG）の中のジェネラル・レジスタ・ポインタ（RP）により指定されます。

図５－４に構成を示します。

図５－４　ジェネラル・レジスタ（GR）の構成



５．１．４　ポート・レジスタ

データ・メモリの各バンクのアドレス70H-73Hに割り当てられた８ニブルで構成されています。

ただし，図５－５に示すようにBANK1のアドレス71Hの上位３ビットとBANK1の72H，73Hは０に固定されています。

図５－５に構成を示します。

図５－５　ポート・レジスタの構成

ポート・レジスタ																
アドレス		70H				71H				72H				73H			
記号	BANK0	P0A				P0B				P0C				P0D			
		P0A3	P0A2	P0A1	P0A0	P0B3	P0B2	P0B1	P0B0	P0C3	P0C2	P0C1	P0C0	P0D3	P0D2	P0D1	P0D0
	BANK1	P1A				P1B											
		P1A3	P1A2	P1A1	P1A0	“0”固定			P1B0	“0”固定				“0”固定			

５．１．５　汎用データ・メモリ

汎用データ・メモリは，データ・メモリからシステム・レジスタ（SYSREG）とポート・レジスタを除いた部分で，BANK0の112ニブルから構成されています。

５．１．６　実装されていないデータ・メモリ

BANK1のアドレス00H-6FHにはハードウエア上は何も実装されていません。このため，この領域の内容を読み出したときは，不定の値が読み出されます。また，この領域に対するデータの書き込み命令は無効になりますので使用しないでください。

第６章　スタック

★

スタックとはサブルーチン・コール時や割り込み受け付け時にプログラムの戻り番地や後述するシステム・レジスタの内容を退避するためのレジスタです。

６.１　スタックの構成

スタックの構成を図６－１に示します。

スタックは３ビットのバイナリ・カウンタであるスタック・ポインタ１個，10ビット（μPD17134A，17135A）／11ビット（μPD17136A，17137A，17P136A，17P137A）のアドレス・スタック・レジスタ５個および６ビットの割り込みスタック・レジスタ３個より構成されています。

図６－１　スタックの構成

スタック・ポインタ（SP）		
b_2	b_1	b_0
SPb_2	SPb_1	SPb_0

リセット時は，SP = 5Hにイニシャライズされます。

	アドレス・スタック・レジスタ										
	b_{10}	b_9	b_8	b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0
0H			アドレス・スタック・レジスタ０								
1H			アドレス・スタック・レジスタ１								
2H			アドレス・スタック・レジスタ２								
3H			アドレス・スタック・レジスタ３								
4H			アドレス・スタック・レジスタ４								

	割り込みスタック・レジスタ					
0H	BANKSK0	BCDSK0	CMPSK0	CYSK0	ZSK0	IXESK0
1H	BANKSK1	BCDSK1	CMPSK1	CYSK1	ZSK1	IXESK1
2H	BANKSK2	BCDSK2	CMPSK2	CYSK2	ZSK2	IXESK2

備考　□ は，μPD17136A，17137A，17P136A，17P137Aのみ有効です。

６.２　スタックの機能

スタックは，サブルーチン・コール命令実行時やテーブル参照命令実行時に戻り番地を退避するために使用します。また，割り込み受け付け時には，プログラムの戻り番地，バンク・レジスタ（BANK）およびプログラム・ステータス・ワード（PSWORD）が自動的に退避されます。なお，退避後PSWORDは０にクリアされます。

６.３　アドレス・スタック・レジスタ（ASR）

アドレス・スタック・レジスタ（ASR）は，図６－１に示すように５×11ビットで構成されるレジスタです。

●CALL addr 命令，CALL @AR命令の実行時，“ MOVT DBF，@AR ”命令の第１命令サイクル実行時，および割り込み受け付け時に戻り番地が格納されます。
●PUSH AR 命令実行時は，アドレス・レジスタ（AR）の内容が格納されます。データが格納されるASRは，命令実行時のスタック・ポインタ（SP）の値に－１した値で指定されます。
●RET 命令，RETSK 命令の実行時，“ MOVT DBF，@AR ”命令の第２命令サイクル実行時，RETI命令実行時はスタック・ポインタで指定されたASR の内容（戻り番地）をプログラム・カウンタに復帰して，スタック・ポインタの値を＋１します。
●POP AR命令実行時はスタック・ポインタで指定されたASR の値をアドレス・レジスタに転送して，スタック・ポインタの値を＋１します。

注意　CALL addr 命令，CALL @AR命令や割り込みを実行した結果，スタック・ポインタがアンダフローした場合には暴走したものと見なし，内部リセット信号を発生し，ハードウエアを初期状態にイニシャライズして，0000H 番地スタートします。

備考　ASRのサイズは製品ごとに異なります。μPD17134A, 17135Aは５×10ビット，μPD17136A, 17137A, 17P136A, 17P137Aは５×11ビットです。

６.４　割り込みスタック・レジスタ（INTSK）

割り込みスタック・レジスタ（INTSK）は，図６－１に示すように３×５ビットで構成されるレジスタです。

●割り込みが受け付けられると，後述するシステム・レジスタ（SYSREG）の中のプログラム・ステータス・ワード（PSWORD）の各フラグ（BCD,CMP,CY,Z,IXE），計５ビットをINTSKに退避します。なお，退避後BANKおよびPSWORDは全ビットが０にクリアされます。
●RETI命令が実行されると，INTSK の内容をPSWORDに復帰します。
●INTSK は，割り込みが受け付けられるごとにデータを退避していきます。

注意　３レベルを越えて割り込みが受け付けられると，最初のデータは失われてしまいます。

６.５　スタック・ポインタ（SP）と割り込みスタック・レジスタ

スタック・ポインタ（SP）は図６－１に示したように５個のアドレス・スタック・レジスタのアドレスを指定する３ビットのバイナリ・カウンタで，レジスタ・ファイルの01H 番地に割り当てられており，リセット時には，5Hにイニシャライズされます。

●SPは，表６－１に示すようにCALL addr 命令，CALL @AR命令の実行時，“ MOVT DBF,@AR ”命令の第１命令サイクルの実行時，PUSH AR 命令実行時および割り込み受け付け時に－１されます。
●RET 命令，RETSK 命令の実行時，“ MOVT DBF,@AR ”命令の第２命令サイクル，POP AR命令の実行時およびRETI命令の実行時に＋１されます。

なお，割り込みが受け付けられるとSPのほかに割り込みスタック・レジスタのカウンタも－１されます。割り込みスタック・レジスタのカウンタが＋１されるのはRETI命令の実行時だけです。

表６－１　スタック・ポインタの動作

命　　令	スタック・ポインタ(SP)の値	割り込みスタック･レジスタのカウンタ
CALL addr CALL @AR MOVT DBF, @AR（第１命令サイクル） PUSH AR	－１	変化しない
RET RETSK MOVT DBF, @AR（第２命令サイクル） POP AR	＋１	
割り込み受け付け	－１	－１
RETI	＋１	＋１

備考　“ MOVT DBF,@AR ”命令の実行には，例外的に２命令サイクルを必要とします。

スタック・ポインタ（SP）は前述したように３ビットのバイナリ・カウンタであるため，とり得る値は0H - 7Hまでの８通りになりますが，アドレス・スタック・レジスタは５個しかないためスタック・ポインタ（SP）の値が６以上になると**内部リセット信号が発生します**（暴走対策）。

また，スタック・ポインタ（SP）はレジスタ・ファイル上に配置されているため，POKE命令を用いてレジスタ・ファイルを操作することにより，値を直接書き込むことが可能です。このときはスタック・ポインタ（SP）の値は変わりますが，アドレス・スタック・レジスタの値には何の影響も与えません。もちろん，PEEK命令を用いてスタック・ポインタ（SP）を読み出すことも可能です。

リセット時にはスタック・ポインタ（SP）は５Hになります。

６.６　スタックの動作

６.６.１-６.６.３に命令ごとのスタック動作を示します。

６.６.１　CALL命令，RET 命令，RETSK 命令実行時

表６－２にCALL命令，RET 命令，RETSK 命令実行時のスタック・ポインタ（SP），アドレス・スタック・レジスタおよびプログラム・カウンタ（PC）の動作を示します。

表６－２　CALL命令，RET命令，RETSK命令の動作

命　　令	動　　作
CALL addr CALL @AR	①スタック・ポインタ（SP）の値を－１ ②スタック・ポインタ（SP）で指定されるアドレス・スタック・レジスタにプログラム・カウンタ（PC）の値を退避 ③命令のオペランド（addrまたは@AR）で指定される値をプログラム・カウンタに転送
RET RETSK	①スタック・ポインタ（SP）で指定されるアドレス・スタック・レジスタの値をプログラム・カウンタ（PC）に復帰 ②スタック・ポインタ（SP）の値を＋１

RETSK命令実行時は復帰後の最初の命令はNOP命令になります。

６.６.２　テーブル参照命令（MOVT DBF, @AR命令）

表６－３にテーブル参照命令実行時の動作を示します。

表６－３　“ MOVT DBF, @AR ”命令の動作

命　　令	命令サイクル	動　　作
MOVT DBF,@AR	第一	①スタック・ポインタ（SP）の値を－１ ②スタック・ポインタ（SP）で指定されるアドレス・スタック・レジスタにプログラム・カウンタ（PC）の値を退避 ③アドレス・レジスタ（AR）の値をプログラム・カウンタ（PC）へ転送
	第二	④プログラム・カウンタ（PC）で指定されるプログラム・メモリ（ROM）の内容をデータ・バッファ（DBF）へ転送 ⑤スタック・ポインタ（SP）で指定されるアドレス・スタック・レジスタの値をプログラム・カウンタ（PC）へ復帰 ⑥スタック・ポインタ（SP）の値を＋１

注意　“ MOVT DBF,@AR ”命令を実行すると，一時的にアドレス・スタックが１レベル使用されますので，使用可能なスタック・レベルを越えないように注意してください。

備考　“ MOVT DBF,@AR ”命令の実行には，例外的に２命令サイクルを必要とします。

６.６.３　割り込み受け付け時とRETI命令実行時

表６－４に割り込み受け付け時とRETI命令実行時のスタック動作を示します。

表６－４　割り込み受け付け時とRETI命令の動作

命　　令	動　　作
割り込み受け付け時	①スタック・ポインタ（SP）の値を－１ ②スタック・ポインタ（SP）で指定されるアドレス・スタック・レジスタにプログラム・カウンタ（PC）の値を退避 ③割り込みスタック・レジスタへPSWORDの各フラグ（BCD, CMP, CY, Z, IXE）の値を退避 ④ベクタ・アドレスをプログラム・カウンタ（PC）へ転送
RETI	①PSWORDの各フラグ（BCD, CMP, CY, Z, IXE）へ割り込みスタック・レジスタの値を復帰 ②スタック・ポインタ（SP）で指定されるアドレス・スタック・レジスタの値をプログラム・カウンタ（PC）へ復帰 ③スタック・ポインタ（SP）を＋１

６.７　スタックのネスティング・レベルとPUSH命令およびPOP命令

スタック・ポインタ（SP）はサブルーチン・コール命令やリターン命令などで単純に＋１，－１される３ビットのカウンタとして動作しています。またスタック・ポインタ（SP）の値が0Hのときに CALL命令やMOVT命令が実行されるか，割り込みが受け付けられるかしたため，スタック・ポインタ（SP）の値が0H→7Hになると，本製品は，プログラムが正常に動作していないと判断し，内部リセット信号を発生します。

アドレス・スタック・レジスタを多く使用する場合には，このような事態を避けるため，必要に応じてPUSH命令およびPOP命令を用いてアドレス・スタック・レジスタの内容を退避／復帰します。

表６－５にPUSH命令およびPOP命令の動作を示します。

表６－５　PUSH命令およびPOP命令の動作

命　　令	動　　作
PUSH	①スタック・ポインタ（SP）の値を－１ ②スタック・ポインタ（SP）で指定されるアドレス・スタック・レジスタにアドレス・レジスタ（AR）の値を転送
POP	①スタック・ポインタ（SP）で指定されるアドレス・スタック・レジスタの値をアドレス・レジスタ（AR）に転送 ②スタック・ポインタ（SP）の値を＋１

〔メ　モ〕

第７章　システム・レジスタ（SYSREG）

システム・レジスタ（SYSREG）は，直接CPUの制御を行うためのレジスタでデータ・メモリ上に配置されています。

７.１　システム・レジスタの構成

図７－１にシステム・レジスタのデータ・メモリ上の配置を示します。図７－１に示すようにシステム・レジスタは，データ・メモリの74H-7FH番地にバンクに無関係に配置されています。つまり，どのバンクであっても74H-7FH番地には同一のシステム・レジスタが存在しています。

また，システム・レジスタはデータ・メモリ上に配置されているので，すべてのデータ・メモリ操作命令で操作することができます。したがって，システム・レジスタをジェネラル・レジスタに指定することも可能です。

図７－１　システム・レジスタのデータ・メモリ上の配置

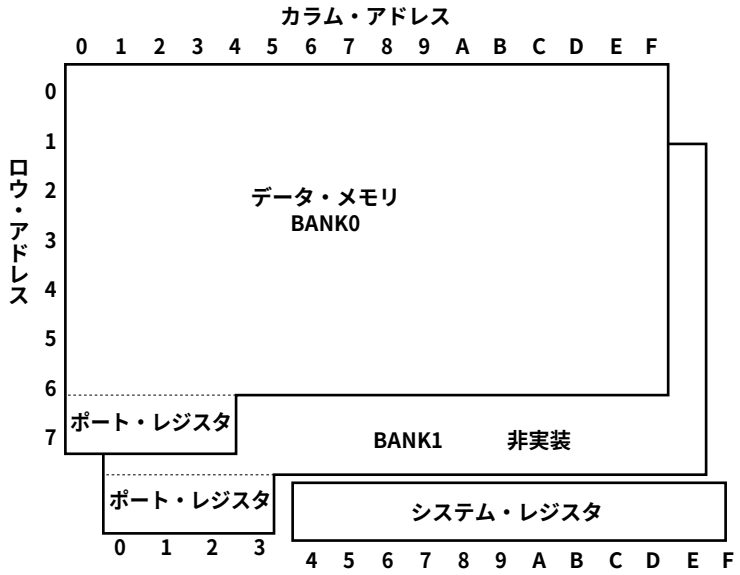


図７－２にシステム・レジスタの構成を示します。図７－２に示すようにシステム・レジスタは，次の７個のレジスタで構成されています。

- アドレス・レジスタ　（AR）
- ウインドウ・レジスタ　（WR）
- バンク・レジスタ　（BANK）
- インデクス・レジスタ　（IX）
- データ・メモリ・ロウ・アドレス・ポインタ　（MP）
- ジェネラル・レジスタ・ポインタ　（RP）
- プログラム・ステータス・ワード　（PSWORD）

図７－２　システム・レジスタの構成

アドレス	74H				75H				76H				77H				78H				79H				7AH				7BH				7CH				7DH				7EH				7FH			
名　称	アドレス・レジスタ（AR）																ウインドウ・レジスタ（WR）				バンク・レジスタ（BANK）				インデクス・レジスタ（IX） データ・メモリ・ロウ・アドレス・ポインタ（MP）												ジェネラル・レジスタ・ポインタ（RP）								プログラム・ステータス・ワード（PSWORD）					
記　号	AR3				AR2				AR1				AR0				WR				BANK				IXH MPH				IXM MPL				IXL				RPH				RPL				PSW			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ	0	0	0	0	0	注											←			→	0	0	0		MPE	0	0	0	←			→					0	0	0					BCD	CMP	CY	Z	IXE
	←															→				→				→							→								→								
																													(AR)																				
																					(BANK)																												
																													(MP)																			
リセット時の初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	不定				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

注　μPD17134A, 17135Aの場合０に固定されています。

７.２　アドレス・レジスタ（AR）

７.２.１　アドレス・レジスタの構成

図７－３にアドレス・レジスタの構成を示します。

図７－３に示すようにアドレス・レジスタはシステム・レジスタの74H-77H（AR3-AR0）の16ビットで構成されています。ただし，上位５/６ビットは常に０に固定されているために実際は11/10ビットで構成されています。リセット時は，16ビットすべてが０にリセットされます。

図７－３　アドレス・レジスタの構成

アドレス	74H				75H				76H				77H			
名　称	アドレス・レジスタ（AR）															
記　号	AR3				AR2				AR1				AR0			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ	←（AR）→															
	0	0	0	0	0	注										
リセット	0				0				0				0			

注　μPD17134A, 17135Aの場合０に固定されています。

７.２.２　アドレス・レジスタの機能

アドレス・レジスタは，間接分岐命令（BR @AR），間接サブルーチン・コール命令（CALL @AR），テーブル参照命令（MOVT DBF，@AR）実行時にプログラム・メモリ・アドレスを指定します。また，スタック操作命令（PUSH AR，POP AR）によりアドレス・レジスタの値をスタックに入れたり，出したりすることができます。

（１）-（４）に各命令時の動作を説明します。

アドレス・レジスタは専用のインクリメント命令（INC AR）を使用することにより，インクリメントすることができます。

（１）テーブル参照命令（MOVT DBF，@AR）

“ MOVT DBF，@AR ”命令を実行することにより，アドレス・レジスタの値をプログラム・メモリ・アドレスとするプログラム・メモリの値（16ビットのデータ）をデータ・バッファ（BANK0の0CH-0FH）に読み出すことができます。

（2）スタック操作命令（PUSH AR，POP AR）

PUSH AR命令はスタック・ポインタ（SP）をデクリメントしたあと，スタック・ポインタで指定されるアドレス・スタックにアドレス・レジスタの内容を格納します。

POP AR命令はスタック・ポインタで指定されるアドレス・スタックの内容をアドレス・レジスタに転送したあと，スタック・ポインタをインクリメントします。

第６章　スタックも参照してください。

（3）間接分岐命令（BR @AR）

BR @AR命令を実行することにより，アドレス・レジスタの値をプログラム・メモリ・アドレスとして分岐することができます。

（4）間接サブルーチン・コール命令（CALL @AR）

CALL @AR命令を実行することにより，アドレス・レジスタの値をプログラム・メモリ・アドレスとしてサブルーチンを呼び出すことができます。

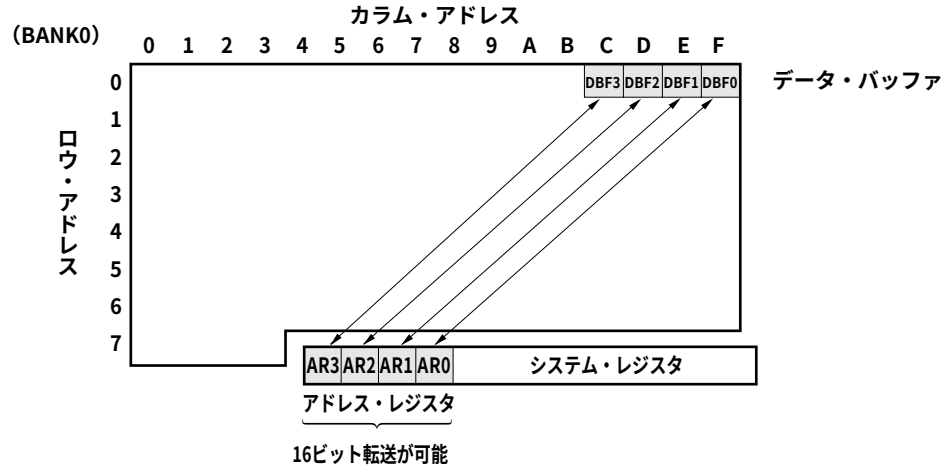
★

（5）周辺ハードウエア・レジスタとしてのアドレス・レジスタ

アドレス・レジスタは，データ・メモリ操作命令により，４ビットごとに操作することはもちろん，アドレス・レジスタを周辺ハードウエア・レジスタとして扱うことによって，データ・バッファと16ビット・データ転送をすることもできます。すなわち，“ PUT AR，DBF ”および“ GET DBF，AR ”命令を用いることにより，データ・バッファと16ビット・データ転送ができます。

なお，データ・バッファは，データ・メモリのBANK0の0CH-0FHに割り当てられています。

図７－４　周辺回路としてのアドレス・レジスタ



７.３　ウインドウ・レジスタ（WR）

７.３.１　ウインドウ・レジスタの構成

図７－５にウインドウ・レジスタの構成を示します。

図７－５に示すようにウインドウ・レジスタ（WR）はシステム・レジスタの78Hの４ビットで構成されています。リセット時は不定になります。なお，HALTモード，STOPモードからの解除に$\overline{\text{RESET}}$端子を用いたときは以前の状態を保持しています。

図７－５　ウインドウ・レジスタの構成

アドレス	78H			
名　称	ウインドウ・レジスタ			
記　号	WR			
ビット	b_3	b_2	b_1	b_0
データ	← →			
リセット	不定			

７.３.２　ウインドウ・レジスタの機能

ウインドウ・レジスタはレジスタ・ファイル（RF）とのデータ転送に使用します。

レジスタ・ファイルとのデータ転送は専用命令である“ PEEK WR，rf ”および“ POKE rf，WR ”で行います。

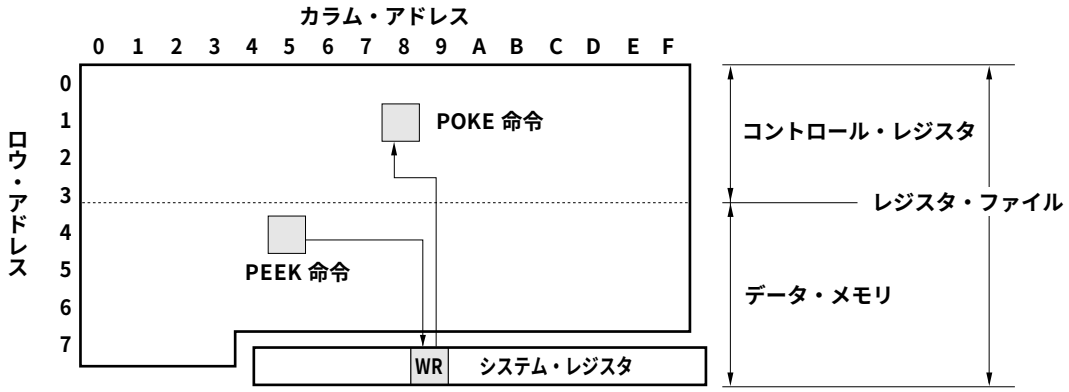
（１）PEEK WR，rf命令

図７－６に示すように，“ PEEK WR，rf ”命令により，rfで指定されたレジスタ・ファイルの内容をウインドウ・レジスタに転送します。

（２）POKE rf，WR命令

図７－６に示すように，“ POKE rf，WR ”命令により，ウインドウ・レジスタの内容をrfで指定されるレジスタ・ファイルに転送します。

図７－６　ウインドウ・レジスタの操作例



７.４　バンク・レジスタ（BANK）

７.４.１　バンク・レジスタの構成

図７－７にバンク・レジスタの構成を示します。

バンク・レジスタはシステム・レジスタの79H（BANK）の４ビットで構成されています。ただし上位３ビットは常に０に固定され，有効ビットは最下位ビットのみです。

リセット時はすべて０にリセットされます。

図７－７　バンク・レジスタの構成

アドレス	79H			
名　称	バンク・レジスタ			
記　号	BANK			
ビット	b_3	b_2	b_1	b_0
データ	0	0	0	
			(BANK)	
リセット	0			

７.４.２　バンク・レジスタの機能

バンク・レジスタはデータ・メモリのバンク切り替えを行います。バンク・レジスタの値とデータ・メモリのバンク指定は表７－１のようになります。

表７－１　データ・メモリのバンク指定

バンク・レジスタ				データ・メモリのバンク
b_3	b_2	b_1	b_0	
0	0	0	0	BANK0
0	0	0	1	BANK1

つまり，データ・メモリはバンク・レジスタにより２つのバンクに分けられており，データ・メモリ操作命令を実行すると，バンク・レジスタで指定されるバンク内のデータ・メモリを操作します。

したがって現在BANK0であるときにBANK1のデータ・メモリ（ポート・レジスタ）を操作するためにはバンク・レジスタによってバンクをBANK1に切り替えておく必要があります。

ただし，システム・レジスタはバンクを意識することなく操作することができます。

たとえば，BANK0で“MOV 78H，#0”命令を行っても，BANK1で“MOV 78H，#0”命令を行っても同一の78H番地に０を書き込むことになります。

また，割り込みスタック・レジスタに退避後，BANKは０になります。

★ ７.５　インデクス・レジスタ（IX）とデータ・メモリ・ロウ・アドレス・ポインタ（メモリ・ポインタ：MP）

７.５.１　インデクス・レジスタ（IX）

IXは，データ・メモリのアドレス修飾に使います。MPとの違いはその修飾対象がバンクおよびオペランドmで指定されるアドレスであるという点です。

図７－８に示すように，IXはシステム・レジスタの7AH（IXH），7BH（IXM），7CH（IXL）の計12ビットに割り付けられています。実際にIXとして機能するのはIXHの下位３ビットとIXM, IXLの計11ビットです。また，IXによるアドレス修飾を許可するインデクス・レジスタ・イネーブル・フラグ（IXE）がPSWの最下位ビットに割り付けられています。

IXE＝１のとき，オペランドmで指定されたデータ・メモリのアドレスはmではなく，mとIXM-IXLとの論理和で表されるアドレスになります。このとき指定バンクもBANKとIXHとの論理和で表されるバンクになります。

備考　μPD17134Aサブシリーズの IXHは“０固定”になっており，IXE＝１であってもバンクが修飾されることはありません（バンク０以外になることを防止しています）。

７.５.２　データ・メモリ・ロウ・アドレス・ポインタ（メモリ・ポインタ：MP）

MPは，データ・メモリのアドレス修飾に使用します。IXとの違いは，その修飾対象がバンクおよびオペランド@rで間接指定されたアドレスのロウ・アドレスであるという点です。

図７－８に示すように，MPHとIXH，MPLとIXMは，同じアドレス（システム・レジスタの7AH，7BH）に割り付けられています。実際にMPとして機能するのはMPHの下位３ビットとMPLの計７ビットであり，MPHの最上位ビットには，MPによるアドレス修飾を許可するメモリ・ポインタ・イネーブル・フラグ（MPE）が割り付けられています。

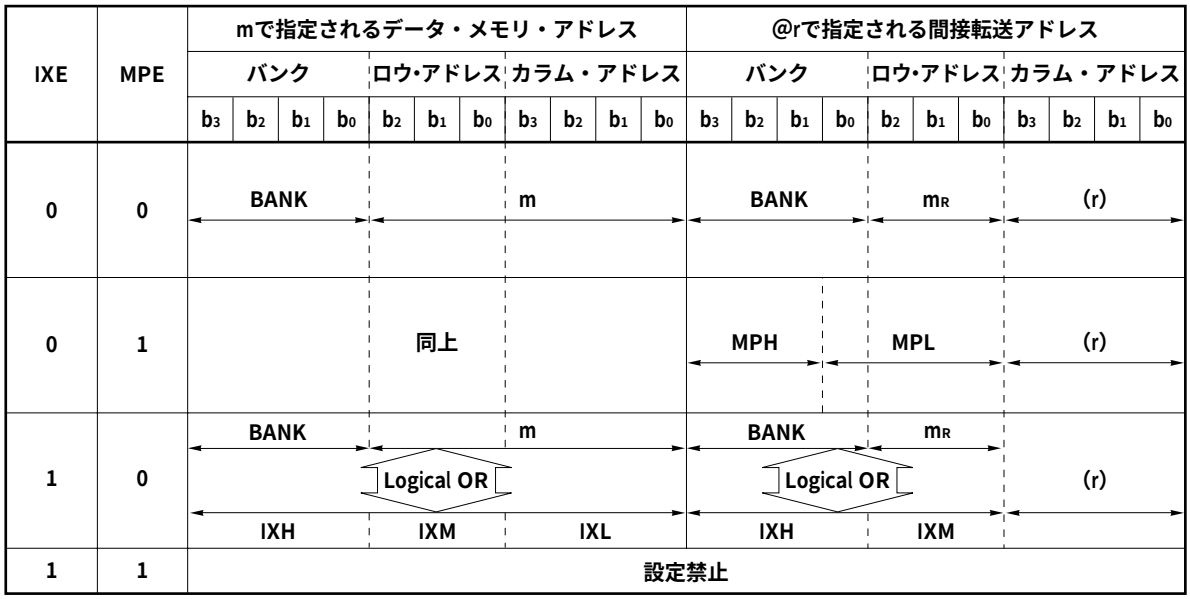
MPE＝１のとき，オペランド@rで間接指定されたデータ・メモリのバンクとロウ・アドレスは，BANKとm_Rではなく，MPで指定されたアドレスになります（カラム・アドレスは，MPEとは無関係に，rの内容で指定されます）。このとき，MPHの下位３ビットとMPLの最上位ビットの計４ビットがBANKを，MPLの下位３ビットがロウ・アドレスを指します。

備考　μPD17134Aサブシリーズの MPHの下位３ビットとMPLの最上位ビットは，“０固定”になっており，MPE＝１であっても，必ずバンク０になります（バンク０以外になることを防止しています）。

図７－８　インデクス・レジスタとメモリ・ポインタの構成

アドレス	7AH				7BH				7CH				7FH			
名　称	インデクス・レジスタ（IX） メモリ・ポインタ（MP）												プログラム・ステータス・ワード（PSWORD）の下位４ビット			
シンボル名	IXH MPH				IXM MPL				IXL				PSW			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
フラグ名	MPE															IXE
データ		←(IX)→ ←(MP)→														
		0	0	0	0											
リセット時の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

図７－９　インデクス・レジスタとメモリ・ポインタによるデータ・メモリ・アドレスの修飾



BANK ：バンク・レジスタ
IX　　：インデクス・レジスタ
　IXE ：インデクス・イネーブル・フラグ
　IXH ：インデクス・レジスタのビット10 - 8
　IXM ：インデクス・レジスタのビット7 - 4
　IXL ：インデクス・レジスタのビット3 - 0
m　　：m_R, m_Cで示されるデータ・メモリ・アドレス
　m_R ：データ・メモリ・ロウ・アドレス
　m_C ：データ・メモリ・カラム・アドレス
MP　　：メモリ・ポインタ
　MPE ：メモリ・ポインタ・イネーブル・フラグ
　MPH ：メモリ・ポインタの上位３ビット
　MPL ：メモリ・ポインタの下位４ビット
r　　：ジェネラル・レジスタ・カラム・アドレス
　RP　：ジェネラル・レジスタ・ポインタ
（×）：×でアドレスされる内容
　　×：rなどのダイレクト・アドレス

表７－２　アドレス修飾される命令群

算術演算	ADD ADDC SUB SUBC	r , m
		m, #n4
論理演算	AND OR XOR	r , m
		m, #n4
判断	SKT SKF	m, #n
比較	SKE SKGE SKLT SKNE	m, #n4
転送	LD	r , m
	ST	m , r
	MOV	m, #n4
		@r, m m, @r

７．５．３　IXE＝0, MPE＝0のとき（データ・メモリ修飾なし）

図７－９に示したようにデータ・メモリ・アドレスはインデクス・レジスタと，データ・メモリ・ロウ・アドレス・ポインタの影響を受けません。

（１）データ・メモリ操作命令

例１．ジェネラル・レジスタがロウ・アドレス０にあるときの“ADD r, m”の実行

```
R003    MEM     0.03H
M061    MEM     0.61H
        ADD     R003, M061      ；メモリ間加算　（0.03H）←（0.03H）＋（0.61H）
```

この例を実行すると，図７－10に示すようにジェネラル・レジスタR003とデータ・メモリM061の内容を加算し，結果をジェネラル・レジスタR003に格納します。

（２）ジェネラル・レジスタ間接転送（水平間接転送）

例２．ジェネラル・レジスタがロウ・アドレス０にあるときの“MOV @r, m”の実行

```
R005    MEM     0.05H
M034    MEM     0.34H
        MOV     R005, #8        ；R005 ← 8（@rのカラム・アドレス設定）
        MOV     @R005, M034     ；レジスタ間接転送　（0.38H）←（0.34H）
```

この例を実行すると図７－10に示すようにデータ・メモリM034の内容がデータ・メモリの38H番地へ転送されます。

“MOV @r, m”命令は，mで指定されるデータ・メモリの内容をmと同じロウ・アドレス上にあり，カラム・アドレスが@rで指定されるアドレスのデータ・メモリへ転送します。

したがって，上記の例では，M034のデータをM034と同じロウ・アドレス（=３）でカラム・アドレスがR005の内容（=８）で指定される38Hへ，転送します。

例３．ジェネラル・レジスタがロウ・アドレス０にあるときの“ MOV m, @r ”の実行

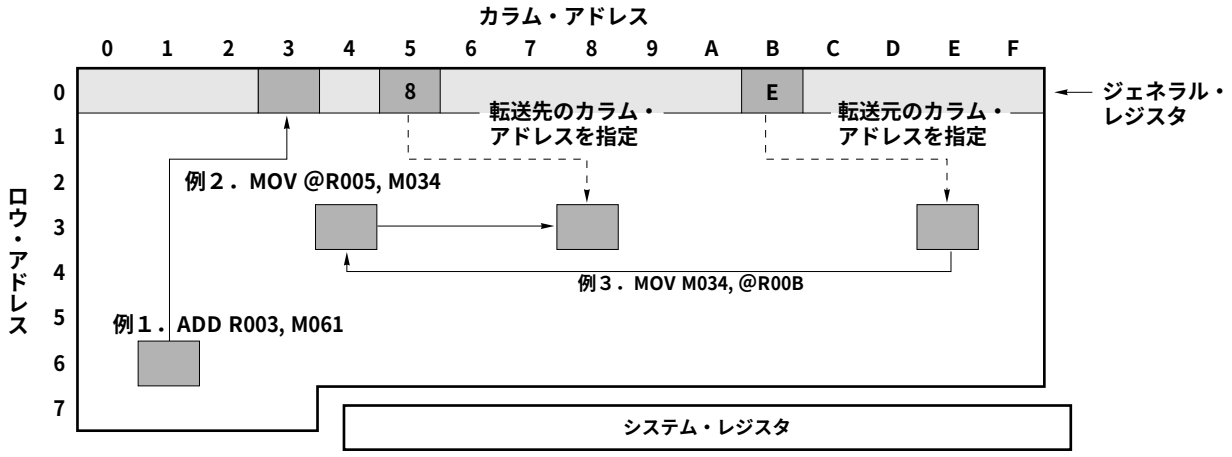
```
R00B    MEM     0.0BH
M034    MEM     0.34H
        MOV     R00B, #0EH      ; R00B ← 0EH（@rのカラム・アドレス設定）
        MOV     M034, @R00B     ; レジスタ間接転送　（0.34H）←（0.3EH）
```

この例を実行すると，図７－10に示すようにデータ・メモリM034へ，アドレス3EH番地のデータ・メモリの内容を転送します。

“ MOV m, @r ”命令は，mと同じロウ・アドレス上にあり，カラム・アドレスが@rで指定されるアドレスのデータ・メモリの内容をmで指定されるデータ・メモリへ転送します。

したがって，上記の例では，M034と同じロウ・アドレス（=３）で，カラム・アドレスがR00Bの内容（= 0EH）で指定される3EHのデータをM034へ転送します。

図７－10　IXE = ０, MPE = ０のときの動作例



例１のアドレス生成

ADD R003, M061

	バンク	ロウ・アドレス	カラム・アドレス
データ・メモリ・アドレス　M	0000	110	0001
ジェネラル・レジスタ・アドレス　R	0000	000	0011

例２のアドレス生成

MOV @R005, M034

	バンク	ロウ・アドレス	カラム・アドレス
データ・メモリ・アドレス　M	0000	011	0100
ジェネラル・レジスタ・アドレス　R	0000	000	0101
間接転送アドレス　@R	0000	011	1000
	Mと同一		Rの内容

７．５．４　IXE = 0, MPE = 1のとき（ななめ間接転送）

図７－９に示したようにジェネラル・レジスタ間接転送命令（MOV @r, mおよびMOV m, @r）を行ったときのみ，@rで指定される間接転送アドレスのバンクとロウ・アドレスがデータ・メモリ・ロウ・アドレス・ポインタの値になります。

例１．ジェネラル・レジスタがロウ・アドレス０のときの“ MOV @r, m ”の実行

```
R005    MEM     0.05H
M034    MEM     0.34H
        MOV     MPL, #0110B     ; MP ← 6（@rのロウ・アドレス設定）
        MOV     MPH, #1000B     ; MPE ← 1, バンク ← 0
        MOV     R005, #8        ; R005 ← 8（@rのカラム・アドレス設定）
        MOV     @R005, M034     ; レジスタ間接転送　（0.68H）←（0.34H）
```

この例を実行すると図７－11に示すように，データ・メモリM034の内容が，データ・メモリの68H番地に転送されます。

すなわちMPE = 1のときに“ MOV @r, m ”命令を実行すると，mで指定されるデータ・メモリの内容をメモリ・ポインタで指定したロウ・アドレスの@rで指定されるカラム・アドレスへ転送します。

このとき@rで指定される間接アドレスは，バンクとロウ・アドレスがデータ・メモリ・ロウ・アドレス・ポインタの値（上記例ではロウ・アドレス６）で，カラム・アドレスがrで指定されるジェネラル・レジスタの内容（上記例では８）になります。

すなわち上記では68Hとなります。

これは**７．５．３**例２のMPE = 0のときと比べると，@rで指定される間接アドレスのバンクとロウ・アドレスをデータ・メモリ・ロウ・アドレス・ポインタで指定する点が異なります（**７．５．３**例２では間接アドレスのバンクとロウ・アドレスはmと同じになる）。

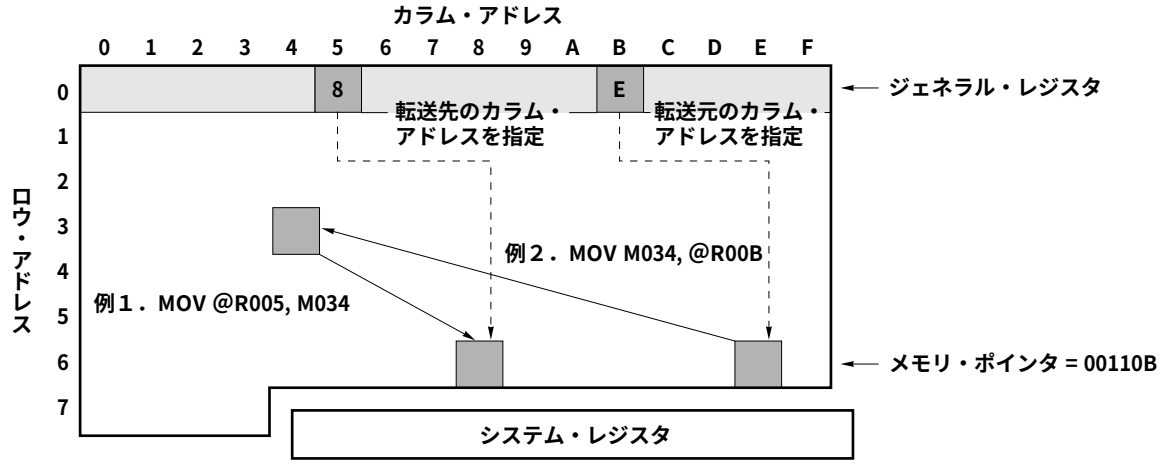
したがって，MPE = １とすることによりジェネラル・レジスタ間接転送をななめ方向に行うことが可能になります。

例２．ジェネラル・レジスタがロウ・アドレス０のときの“ MOV m, @r ”の実行

```
R00B    MEM     0.0BH
M034    MEM     0.34H
        MOV     MPL, #0110B     ; MP ← 6（@rのロウ・アドレス設定）
        MOV     MPH, #1000B     ; MPE ← 1, バンク ← 0
        MOV     R00B, #0EH      ; R00B ← 0EH（@rのカラム・アドレス設定）
        MOV     M034, @R00B     ; レジスタ間接転送　（0.34H）←（0.6EH）
```

この例を実行すると，図７－11に示すようにデータ・メモリM034へ，アドレス6EH番地のデータ・メモリの内容を転送します。

図７－11　IXE = 0, MPE = 1のときの動作例



例１のアドレス生成

MOV @R005, M034

	バンク	ロウ・アドレス	カラム・アドレス
データ・メモリ・アドレス　M	0000	011	0100
ジェネラル・レジスタ・アドレス　R	0000	000	0101
間接転送アドレス　@R	0000	110	1000
	MPの内容		Rの内容

例２のアドレス生成

MOV M034, @R00B

	バンク	ロウ・アドレス	カラム・アドレス
データ・メモリ・アドレス　M	0000	011	0100
ジェネラル・レジスタ・アドレス　R	0000	000	1011
間接転送アドレス　@R	0000	110	1110
	MPの内容		Rの内容

７．５．５　IXE = 1, MPE = 0のとき（インデクス修飾）

図７－９に示したようにデータ・メモリ操作命令を行うと，命令のオペランド“ m ”で直接指定されたすべてのデータ・メモリのバンクとアドレスが，インデクス・レジスタによりアドレス修飾されます。

また，ジェネラル・レジスタ間接転送命令（MOV @r, mおよびMOV m, @r）を行ったときは，@rで指定される間接転送アドレスのバンクとロウ・アドレスもインデクス・レジスタによりアドレス修飾されます。

アドレス修飾の方法は，データ・メモリ・アドレスとインデクス・レジスタの内容がOR演算され，その演算結果で指定されるデータ・メモリ・アドレス（実アドレスと呼ぶ）に対して命令が実行されます。

以下に例を示します。

例１．ジェネラル・レジスタがロウ・アドレス０のときの“ ADD r, m ”の実行

```
R003    MEM     0.03H
M061    MEM     0.61H
        MOV     IXL, #0010B             ; IX ← 00000010010B
        MOV     IXM, #0001B             ;
        MOV     IXH, #0000B             ; MPE ← 0
        OR      PSW, #.DF.IXE AND 0FH   ; IXE ← 1
        ADD     R003, M061              ; （0.03H）←（0.03H）＋（0.73H）
```

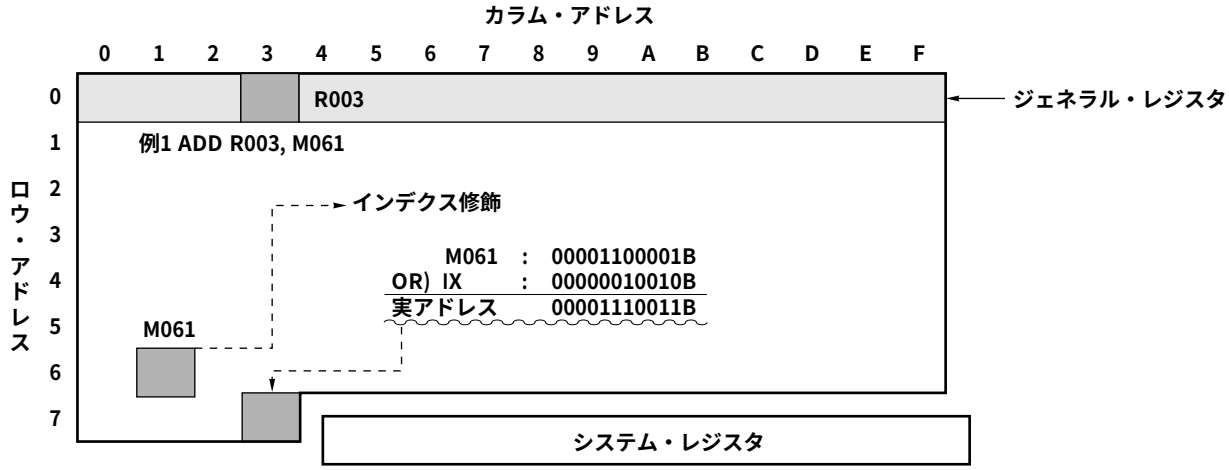
この例を実行すると，図７－12に示すようにアドレスが73H番地のデータ・メモリ（実アドレス）の内容とジェネラル・レジスタR003（アドレスの03H番地）の内容を加算し，結果をジェネラル・レジスタR003へ格納します。

すなわち，“ ADD r, m ”命令を実行すると“ m ”で指定されたデータ・メモリ・アドレス（上記では61H番地）がインデクス修飾されます。

修飾の方法はデータ・メモリM061のアドレスである61H番地（２進で00001100001B）と，インデクス・レジスタの値（上記例では00000010010B）をOR演算し，その結果の00001110011Bを実アドレス（73H番地）として，実アドレスに対して命令を実行します。

これはIXE = ０のとき（７．５．３の例）と比べると命令のオペランド“ m ”で直接指定されるデータ・メモリのアドレスがインデクス・レジスタにより修飾（OR演算）されたことになります。

図７－12　IXE = 1, MPE = 0のときの動作例



例１のアドレス生成

ADD R003, M061

		バンク	ロウ・アドレス	カラム・アドレス
データ・メモリ・アドレス　M		0000	110	0001
ジェネラル・レジスタ・アドレス　R		0000	000	0011
インデクス修飾	M061	0000	110	0001
		BANK	m	
	IX	0000	001	0010
		IXH	IXM	IXL
	実アドレス（OR演算）	0000	111	0011

このアドレスに対して命令が実行される

例２．ジェネラル・レジスタ間接転送（“ MOV @r, m ”の実行）

```
R005    MEM     0.05H
M034    MEM     0.34H
        MOV     IXL, #0001B             ;カラム・アドレス←５（４と１のOR）
        MOV     IXM, #0000B             ;ロウ・アドレス←３（３と０のOR）
        MOV     IXH, #0000B             ;MPE ← ０, バンク ←０（０と０のOR）
        OR      PSW, #.DF.IXE AND 0FH   ;IXE ← １
        MOV     R005, #8                ;R005 ← ８（@rのカラム・アドレス設定）
        MOV     @R005, M034             ;レジスタ間接転送　（0.38H）←（0.35H）
```

この例を実行すると図７－13に示すように，データ・メモリのアドレス35H番地の内容が，データ・メモリの38H番地に転送されます。

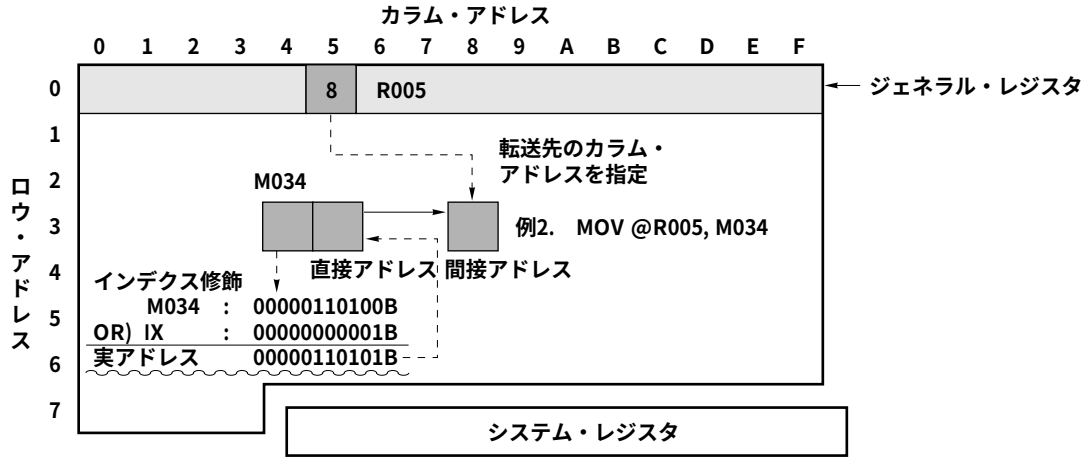
すなわち，IXE = １のときに“ MOV @r, m ”命令を実行すると，“ m ”で指定されるデータ・メモリ・アドレス（直接アドレス）をインデクス・レジスタの内容でアドレス修飾し，“ @r ”で指定される間接アドレスのバンクとロウ・アドレスもインデクス・レジスタで修飾されます。

“ m ”で指定される直接アドレスはバンク，ロウ・アドレスおよびカラム・アドレスのすべてが修飾され，@rで指定される間接アドレスは，バンクとロウ・アドレスが修飾されます。

すなわち上記では直接アドレス“ m ”が35Hとなり，間接アドレス“ @r ”が38H番地になります。

これは**7.5.3**例３のIXE = ０のときと比べると，“ m ”で指定される直接アドレスのバンク，ロウ・アドレスおよびカラム・アドレスがインデクス・レジスタでアドレス修飾され，このアドレス修飾されたデータ・メモリ・アドレスと同一ロウ・アドレスにジェネラル・レジスタ間接転送することになります（**7.5.3**例３では直接アドレスは修飾されない）。

図７－13　IXE = 1, MPE = 0のときのジェネラル・レジスタ間接転送動作例



例３．00H - 6FHのデータ・メモリの内容を０にクリアする

```
M000    MEM     0.00H
        MOV     IXL, #0                 ; IX ← 0
        MOV     IXM, #0                 ;
        MOV     IXH, #0                 ; MPE ← 0
LOOP：
        OR      PSW, #.DF.IXE AND 0FH   ; IXE ← １
        MOV     M000, #0                ; IXで指定されたデータ・メモリを０にする。
        INC     IX                      ; IX ← IX＋１
        AND     PSW, #1110B             ; IXE ← ０，IXEは7FH番地のためIXでアド
                                        ; レス修飾しても7FH番地のまま。
        SKE     IXM, #7                 ; ロウ・アドレス７になったか。
        BR      LOOP                    ; ７でなければLOOP（ロウ・アドレスはクリ
                                        ; アしない）
```

例４．配列の処理

図７－14に示すように，１つの要素が８ビットの１次元配列の要素Ａ（Ｎ）に

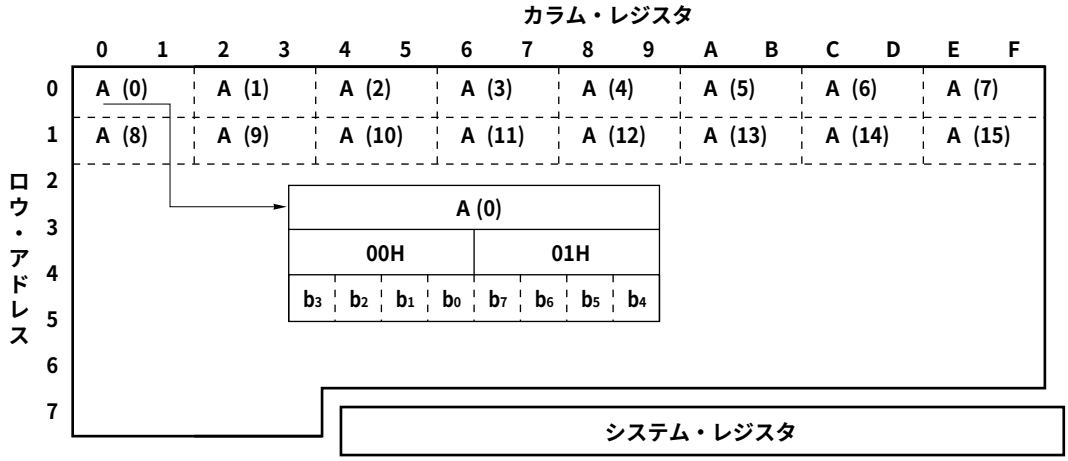
Ａ（Ｎ）＝Ａ（Ｎ）＋４　（０ ≦ Ｎ ≦ 15）

という演算を行うためには以下の命令を実行します。

```
M000    MEM     0.00H
M001    MEM     0.01H
        MOV     IXH, #0
        MOV     IXM, #N SHR 3           ;ロウ・アドレスのオフセットを設定
        MOV     IXL, #N SHL 1 AND 0FH   ;カラム・アドレスのオフセットを設定
        OR      PSW, #.DF.IXE AND 0FH   ;IXE ← 1
        ADD     M000, #4
        ADDC    M001, #0                ;A（N）←A（N）＋4
```

上記の例では，１つの要素が８ビットであるため，インデクス・レジスタにＮの値を１ビット左シフトした値（Ｎを２倍した値）を設定しています。

図７－14　IXE＝１, MPE＝０のときの動作例（配列の処理）



７.６　ジェネラル・レジスタ・ポインタ（RP）

７.６.１　ジェネラル・レジスタ・ポインタの構成

図７－15にジェネラル・レジスタ・ポインタの構成を示します。

図７－15　ジェネラル・レジスタ・ポインタの構成

アドレス	7DH				7EH			
名　称	ジェネラル・レジスタ・ポインタ（RP）							
記　号	RPH				RPL			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
フラグ								BCD
データ	0	0	0	(RP)				
リセット時	0				0			

図７－15に示すように，ジェネラル・レジスタ・ポインタはシステム・レジスタの7DH番地（RPH）の４ビットと7EH番地（RPL）の上位３ビットの計７ビットで構成されています。ただし，7DH番地の上位３ビットは常に０に固定されているため実際には7DHの最下位ビットと7EH番地の上位３ビットの計４ビットが有効になります。

リセット時はすべて０にクリアされます。

７.６.２　ジェネラル・レジスタ・ポインタの機能 ★

ジェネラル・レジスタ・ポインタはデータ・メモリ上にジェネラル・レジスタを指定するために使用します（ジェネラル・レジスタについては，**第８章　ジェネラル・レジスタ（GR）**を参照してください）。

ジェネラル・レジスタはデータ・メモリ上の同一ロウ・アドレスである16ニブルを指定できます。したがって図７－16に示すようにジェネラル・レジスタ・ポインタによってどのロウ・アドレスを使用するかを指定します。

ジェネラル・レジスタ・ポインタの有効ビットは４ビットであるため，ジェネラル・レジスタとして指定できるデータ・メモリのロウ・アドレスはBANK0とBANK1の0H-7H番地になります。すなわちすべてのデータ・メモリがジェネラル・レジスタとして指定できます。

データ・メモリがジェネラル・レジスタに指定されるとジェネラル・レジスタとデータ・メモリの演算および転送が行えます。

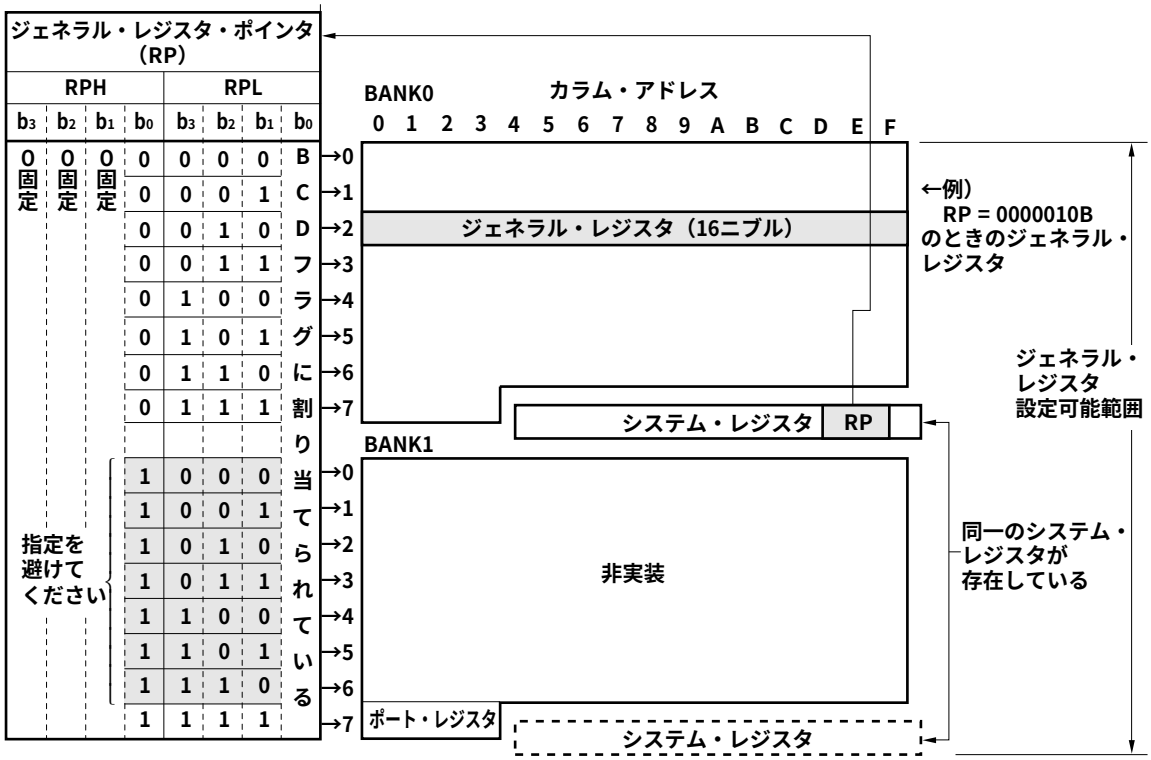
ただし，BANK1のロウ・アドレス0H-6Hは非実装領域となっていますので，指定するのを避けてください。

たとえば，

ADD　r，m　または　LD　r，m

命令等を実行すると，命令のオペランド“ r ”でアドレス指定されるジェネラル・レジスタと“ m ”でアドレス指定されるデータ・メモリ間で加算や転送が行えます。

図７－16　ジェネラル・レジスタの構成



７.７　プログラム・ステータス・ワード（PSWORD）

７.７.１　プログラム・ステータス・ワードの構成

図７－17にプログラム・ステータス・ワードの構成を示します。

図７－17　プログラム・ステータス・ワードの構成

アドレス	7EH				7FH			
名　称	（RP）			プログラム・ステータス・ワード（PSWORD）				
記　号	RPL				PSW			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ				BCD	CMP	CY	Z	IXE
リセット時	0				0			

図７－17に示すようにプログラム・ステータス・ワードはシステム・レジスタの7EH番地（RPL）の最下位ビットと7FH番地（PSW）の４ビットの計５ビットで構成されています。

プログラム・ステータス・ワードはさらに１ビットずつ機能が分かれており，それぞれバイナリ・コーデッド・デシマル・フラグ（BCD），コンペア・フラグ（CMP），キャリー・フラグ（CY），ゼロ・フラグ（Z）およびインデクス・イネーブル・フラグ（IXE）から構成されています。

★ リセット時および割り込みスタック・レジスタの退避時はすべて０にクリアされます。

７.７.２　プログラム・ステータス・ワードの機能

プログラム・ステータス・ワードの各フラグは，演算および転送命令の条件を設定したり，演算結果の状態を示すために使用します。図７－18にプログラム・ステータス・ワードの機能概要を示します。

図７－18　プログラム・ステータス・ワードの機能概要

フラグ名	機　　能
IXE	データ・メモリ操作命令実行時のデータ・メモリ・アドレスをインデクス修飾指定するときに使用します。 ０：インデクス修飾しません。 １：インデクス修飾します。
Z	算術演算結果が０になったときセットされます。 ０：算術演算結果が０以外になったことを示します。 １：算術演算結果が０になったことを示します。
CY	加算命令実行時キャリーが発生したとき，または減算命令実行時ボローが発生したときセットされます。 ０：キャリーあるいはボローが発生しなかったことを示します。 １：キャリーあるいはボローが発生したことを示します。
CMP	算術演算の結果をデータ・メモリあるいは汎用レジスタに格納せず，CY, Zフラグのみ変化させたいときに使用します。 ０：算術演算の結果を格納します。 １：算術演算の結果を格納しません。
BCD	算術演算の方法を設定します。 ０：算術演算を２進４ビット演算で行います。 １：算術演算をBCD演算で行います。

７.７.３　インデクス・イネーブル・フラグ（IXE）

IXEフラグは，データ・メモリ操作命令実行時にデータ・メモリのアドレスをインデクス修飾するために使用します。

IXEフラグをセット（１）すると，命令で指定されたデータ・メモリ・アドレスとインデクス・レジスタ（IX）の内容をOR演算し，そのOR演算結果を実アドレスとするデータ・メモリに対して命令を実行します。

詳しくは**７.５　インデクス・レジスタ（IX）とデータ・メモリ・ロウ・アドレス・ポインタ（メモリ・ポインタ：MP）**を参照してください。

７.７.４　ゼロ・フラグ（Z）とコンペア・フラグ（CMP）

Zフラグは算術演算の結果が０であることを示すフラグであり，CMPフラグは算術演算の結果をデータ・メモリやジェネラル・レジスタへ格納しないように設定するためのフラグです。

Zフラグのセットおよびリセット条件はCMPフラグの状態により表７－３のようになります。

表７－３　ゼロ・フラグ（Z）とコンペア・フラグ（CMP）

条　　件	CMP＝０のとき	CMP＝１のとき
算術演算の結果が“０”になったとき	Z←１	Zは変化しない
算術演算の結果が“０”以外になったとき	Z←０	Z←０

ZフラグおよびCMPフラグはジェネラル・レジスタの内容とデータ・メモリの内容の比較を行うときなどに使用します。Zフラグは算術演算以外，CMPフラグはビット判断以外では変化しません。

12ビット・データの比較の例

```
；M001, M002, M003に格納された12ビットのデータが，456Hに等しいか？
CMP456：
        SET2    CMP, Z
        SUB     M001, #4 ；M001, M002, M003に格納されたデータは壊れない。
        SUB     M002, #5
        SUB     M003, #6
        ；CLR1  CMP      ；CMPはビット判断命令で自動的にクリア
        SKT1    Z
        BR      DIFFER   ；≠456 H
        BR      AGREE    ；= 456 H
```

７.７.５　キャリー・フラグ（CY）

CYフラグは加算命令および減算実行後のキャリーまたはボローの発生を示すフラグです。

CYフラグは，算術演算の結果，キャリーまたはボローが発生するとセット（１）され，発生しなければリセット（０）されます。

また，“ RORC r ”命令（rでアドレス指定されるジェネラル・レジスタの内容を右に１ビット分シフトする）を実行したとき，命令を実行する直前のCYフラグの値をジェネラル・レジスタの最上位ビットにシフトし，最下位ビットをCYフラグにシフトします。

CYフラグはキャリーやボローが発生した場合に次の命令をスキップしたいときなどに使用すると便利です。

算術演算および回転処理以外では変化しません。また，CMPフラグの影響を受けません。 ★

７.７.６　バイナリ・コーデッド・デシマル・フラグ（BCD）

BCDフラグはBCD演算を行うためのフラグです。

BCDフラグをセット（１）することにより，すべての算術演算がBCD演算で行われます。リセット（０）すると，２進４ビットで行われます。

論理演算，ビット判断，比較判断，回転処理には影響を与えません。

７.７.７　算術演算時の注意

プログラム・ステータス・ワード（PSWORD）に対して算術演算（加算および減算）を行うときは以下の点に注意が必要です。

すなわち，プログラム・ステータス・ワードに対して算術演算を行うと，算術演算の“ 結果 ”が格納されるという点です。

以下に例を示します。

例

```
MOV    PSW，#0001B
ADD    PSW，#1111B
```

上記の命令を実行するとキャリーが発生するためPSWのビット２であるCYフラグがセット（１）されるように見えますが，算術演算の結果は0000Bであるため PSWには0000Bが格納されます。

７.８　システム・レジスタ使用時の注意

７.８.１　システム・レジスタの予約語

システム・レジスタはデータ・メモリ上に配置されているため，すべてのデータ・メモリ操作命令を使用できます。このとき，17Kシリーズのアセンブラ（AS17K）を使用するうえでは例１に示すように，命令のオペランドには直接データ・メモリ・アドレスを記述できないため，あらかじめデータ・メモリ・アドレスをシンボル定義しておく必要があります。

ここで，システム・レジスタはデータ・メモリでもありますが，通常の汎用データ・メモリと異なり専用の機能を持っているため，アセンブラ（AS17K）上であらかじめ“予約語”としてシンボル定義されています。

システム・レジスタの予約語はアドレス74H-7FH番地に割り当てられており，**図７－２　システム・レジスタの構成**に示した記号（AR3，AR2……PSW）で定義されています。

この予約語を使用すれば，例２に示すようにシンボル定義する必要はありません。

予約語については**第20章　アセンブラ予約語**も参照してください。

```
例１．          MOV    34H，#0101B   ；オペランドにデータ・メモリ・アドレスを34Hや76Hと記
                MOV    76H，#1010B   ；述すると，アセンブラでエラーとなる。
      M037      MEM 0.37H            ；汎用データ・メモリは，MEM疑似命令でデータ・メモリ
                MOV    M037，#0101B  ；・アドレスをシンボル定義する必要がある。

   ２．         MOV    AR1，#1010B   ；予約語であるAR1（アドレス6H）を使用すればシンボル
                                       ；定義の必要はない。
                                       ；予約語AR1は“AR1 MEM 0.76H”としてデバイス・ファ
                                       ；イルにて定義されている。
```

また，アセンブラ（AS17K）を使用する場合はアセンブラ内部にフラグ型シンボル操作命令として以下のマクロ命令が組み込まれています。

```
SETn      ：フラグに“１”をセット
CLRn      ：フラグを“０”にリセット
SKTn      ：フラグがすべて“１”であればスキップ
SKFn      ：フラグがすべて“０”であればスキップ
NOTn      ：フラグを反転
INITFLG   ：フラグをイニシャライズ
```

したがって，これらの組み込みマクロ命令を使用することにより，以下の例３に示すようにデータ・メモリをフラグとして操作することができます。

プログラム・ステータス・ワードおよびメモリ・ポインタ・イネーブル・フラグはビット単位（フラグ単位）で機能が分けられているため，それぞれのビットに予約語が定義されています。この予約語はMPE，BCD，CMP，CY，Z，IXEとなります。

したがって，このフラグ型予約語を使用すれば例４に示すようにそのまま組み込みマクロ命令を使用できます。

例３．

```
F0003   FLG   0.00.3      ; フラグ型シンボル定義
        SET1  F0003       ; 組み込みマクロ
```

マクロ展開

```
OR    .MF.F0003 SHR 4，#.DF.F0003 AND 0FH
                  ; BANK0のアドレス00Hのビット３をセットする。
```

４．

```
        SET1  BCD         ; 組み込みマクロ
```

マクロ展開

```
OR    .MF.BCD SHR 4，#.DF.BCD AND 0FH
                  ; BCDフラグをセット
                  ; BCDは“ BCD FLG 0.7EH.0 ”で定義されている。
```

```
        CLR2  Z，CY       ; 同一アドレスのフラグ
```

マクロ展開

```
AND   .MF.Z SHR 4，#.DF.（NOT（Z OR CY）AND 0FH）
```

```
        CLR2  Z，BCD      ; 異なるアドレスのフラグ
```

マクロ展開

```
AND   .MF.Z SHR 4，#.DF.（NOT Z AND 0FH）
AND   .MF.BCD SHR 4，#.DF.（NOT BCD AND 0FH）
```

７.８.２　“０”に固定されているシステム・レジスタの取り扱い

システム・レジスタの中であらかじめ“０”に固定されている領域（**図７－２　システム・レジスタの構成**参照）については，デバイス動作，エミュレータ動作およびアセンブラ動作に注意が必要です。

これを，（１），（２）および（３）に示します。

（１）デバイス動作上

“０”に固定されているデータに書き込み命令を行っても，何ら影響を受けません。また読み出し命令を行ったときは常に“０”が読み出されます。

（２）17Kシリーズのインサーキット・エミュレータ（IE-17K，IE-17K-ET）を使用するとき

“０”に固定されているデータに“１”を書き込む命令が実行されると，エラーが発生します。

すなわち以下に示すような命令が実行されると，インサーキット・エミュレータはエラーを発生します。

```
例１．MOV     BANK，#0100B   ；０に固定されているビット３に１を書き込む。

２．MOV     IXL，#1111B    ；
    MOV     IXM，#1111B    ；
    MOV     IXH，#0001B    ；０に固定されているビット０に１を書き込む。
    ADD     IXL，#1        ；
    ADDC    IXM，#0        ；
    ADDC    IXH，#0        ；演算の結果，０に固定されているビット０に１を書き込
                             む。
```

ただし，“INC AR”および“INC IX”命令については，例２のように有効ビットがすべて“１”のときに実行されても，インサーキット・エミュレータはエラーを発生しません。これは，アドレス・レジスタとインデクス・レジスタの有効ビットがすべて“１”のときに“INC”命令が実行されるとこの命令により有効ビットがすべて“０”になるためです。

また，アドレス・レジスタに限り，上記の例１，例２のように“０”で固定されているデータに“１”を書き込んでも，インサーキット・エミュレータはエラーを発生しません。

（３）17Kシリーズのアセンブラ（AS17K）を使用するとき

“０”に固定されているデータに“１”を書き込む命令があってもエラーは出力されません。すなわち，例１で示した，

```
MOV     BANK，#0100B
```

命令を用いると，アセンブラ・エラーは発生せず，インサーキット・エミュレータが命令を実行したときに初めてエラーを発生します。

アセンブラがエラーを発生しない理由は，シンボル（予約語を含む）とデータ・メモリ操作命令の対象となるデータ・メモリ・アドレスとの対応を判断していないためです。

ただし，次の場合にはアセンブラがエラーを発生します。

“BANKn”組み込みマクロ命令で“ｎ”に２以上の値を用いたとき

これは，アセンブラがμPD17134Aサブシリーズでは BANK0, 1以外の組み込みマクロ命令を使えないと判断しているためです。

〔メ　モ〕

第８章　ジェネラル・レジスタ（GR）

ジェネラル・レジスタ（GR）はデータ・メモリ上に配置されるレジスタで，データ・メモリとの直接演算や，転送を行います。

８.１　ジェネラル・レジスタの構成

ジェネラル・レジスタの構成を図８－１に示します。

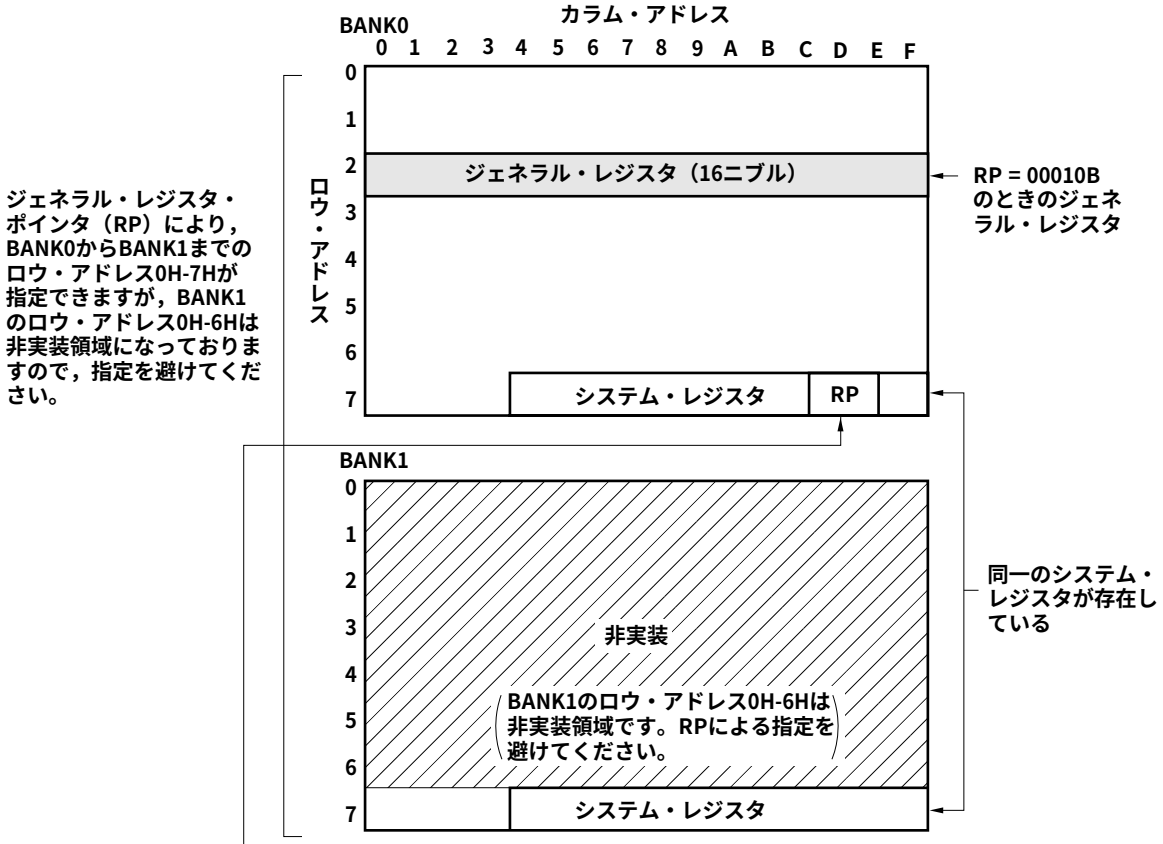
図８－１に示すように，データ・メモリ上で同一ロウ・アドレスである16ニブル（16×４ビット）をジェネラル・レジスタとして使用できます。

どのロウ・アドレスを使用するかは，システム・レジスタのレジスタ・ポインタ（RP）によって設定します。レジスタ・ポインタは４ビットが有効であるためジェネラル・レジスタとして指定できる範囲はデータ・メモリのBANK0からBANK1のロウ・アドレス0H-7Hになります。ただし，BANK1のロウ・アドレス0H-6Hは非実装領域になっていますので，指定するのは避けてください。

８.２　ジェネラル・レジスタの機能

ジェネラル・レジスタを使用することにより，データ・メモリとジェネラル・レジスタとの間で演算や転送を１命令で行うことが可能になります。ジェネラル・レジスタはすなわちデータ・メモリであるため，言い換えれば１命令でデータ・メモリ同士の演算や転送が可能になります。また，ジェネラル・レジスタは，データ・メモリ上にあるので他のデータ・メモリと同様にデータ・メモリ操作命令で操作することができます。

図８－１　ジェネラル・レジスタの構成



アドレス	7DH				7EH			
名　称	ジェネラル・レジスタ・ポインタ（RP）							
記　号	RPH				RPL			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ	0	0	0					BCD
リセット	0	0	0	0	0	0	0	

第９章　レジスタ・ファイル（RF）

レジスタ・ファイルは主として周辺ハードウエアの条件設定等を行うためのレジスタです。

９.１　レジスタ・ファイルの構成

９.１.１　レジスタ・ファイルの構成

図９－１にレジスタ・ファイルの構成を示します。

図９－１に示すように，レジスタ・ファイルは128ニブル（128×４ビット）で構成されるレジスタです。

レジスタ・ファイルはデータ・メモリと同様に４ビット単位でアドレス（番地）が割り当てられており，ロウ・アドレスが0H-7Hでカラム・アドレスが0H-0FHの計128ニブルになります。

また，アドレス00Hから3FH番地まではコントロール・レジスタと呼びます。

９.１.２　レジスタ・ファイルとデータ・メモリ

図９－２にレジスタ・ファイルとデータ・メモリの関係を示します。

図９－２に示すようにレジスタ・ファイルのアドレス40Hから7FH番地までは，データ・メモリと重なっています。

すなわちレジスタ・ファイルの40H-7FH番地は，データ・メモリのそのとき選択されているバンクのアドレス40Hから7FH番地と同じメモリが存在しています。

これは，たとえば現在選択されているバンクがBANK0のとき，レジスタ・ファイルのアドレス40H-7FH番地はデータ・メモリのBANK0のアドレス40H-7FH番地と等しく，BANK1が選択されていればレジスタ・ファイルのアドレス40H-7FH番地はデータ・メモリのBANK1のアドレス40H-7FH番地と等しいことになります。

図９－１　レジスタ・ファイルの構成

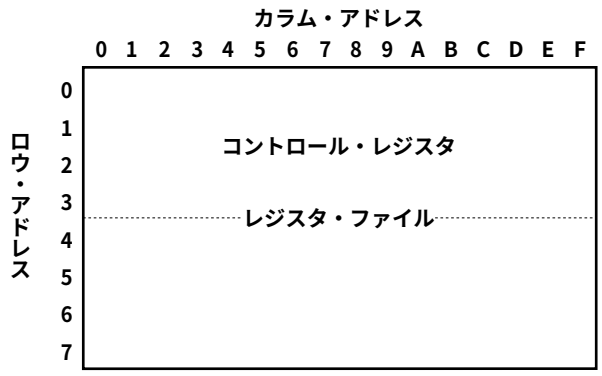
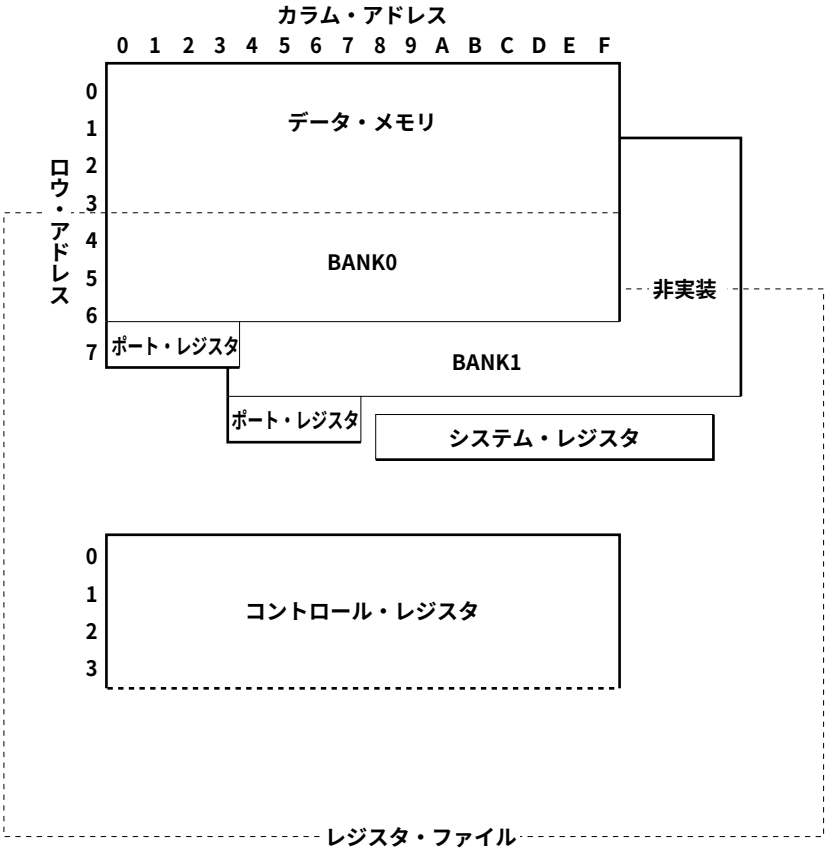


図９－２　レジスタ・ファイルとデータ・メモリの関係



９.２　レジスタ・ファイルの機能

９.２.１　レジスタ・ファイルの機能

レジスタ・ファイルは主として周辺ハードウエアの条件設定を行う制御レジスタです。

この制御レジスタはレジスタ・ファイルの中のコントロール・レジスタ（00H-3FH番地）に配置されています。

残りのレジスタ・ファイル（40H-7FH番地）はデータ・メモリと重なっているため，９.２.３に示すようにレジスタ・ファイル操作命令の“ PEEK ”および“ POKE ”命令により操作できる点を除けば通常のデータ・メモリと何ら変わりはありません。

９.２.２　コントロール・レジスタの機能

コントロール・レジスタにより条件設定を行う周辺ハードウエアを以下に示します。

周辺ハードウエアとコントロール・レジスタの詳細については各周辺ハードウエアの項を参照してください。

・スタック・ポインタ（SP）
・パワーダウン・リセット
・８ビット・タイマ・カウンタ（TM0, TM1）
・ACゼロクロス検出回路（ZCROSS）
・A/Dコンバータ
・ベーシック・インターバル・タイマ（BTM）
・ポート
・割り込み機能
・シリアル・インタフェース（SIO）

９.２.３　レジスタ・ファイルの操作命令

レジスタ・ファイルへのデータ書き込みおよびレジスタ・ファイルからのデータの読み出しは，システム・レジスタの中のウインドウ・レジスタ（WR：アドレス78H）を介して行います。

データの書き込みおよびデータ読み出しは以下の専用命令を使用します。

PEEK　WR，rf：WRにrfでアドレス指定されるレジスタ・ファイルのデータを読み出す。

POKE　rf，WR：rfでアドレス指定されるレジスタ・ファイルにWRのデータを書き込む。

以下にレジスタ・ファイルの操作例を示します。

```
例  RF02       MEM0.82H     ; シンボル定義
    RF1F       MEM0.9FH     ; レジスタ・ファイルの00H-3FH番地のシンボル定義はBANK0
    RF53       MEM0.53H     ; の80H-BFHとして定義する必要があります。
    RF6D       MEM0.6DH     ; 詳しくは９.４　レジスタ・ファイルの使用時の注意を参照してく
    RF70       MEM1.70H     ; ださい。
    RF71       MEM1.71H     ;
    BANK0
  ①PEEK        WR，RF02     ;
  ②POKE        RF1F，WR     ;
  ③PEEK        WR，RF53     ;
  ④POKE        RF6D，WR     ;
    BANK1
  ⑤PEEK        WR，RF02     ;
  ⑥POKE        RF1F，WR     ;
  ⑦PEEK        WR，RF70     ;
  ⑧POKE        RF72，WR     ;                                          ★
```

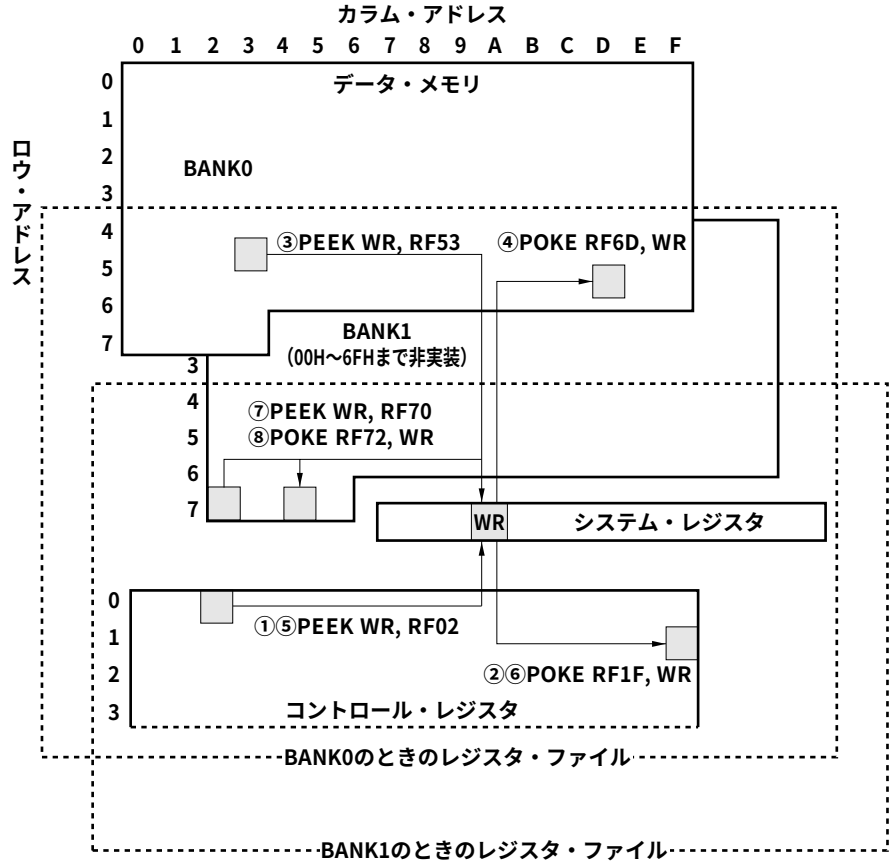
図９－３に動作例を示します。

図９－３に示すように，コントロール・レジスタ（00H-3FH番地）は“ PEEK WR，rf ”および“ POKE rf，WR ”命令が実行されると，“ rf ”でアドレス指定されるレジスタ・ファイルの内容をウインドウ・レジスタに対してのみ読み込みまたは書き込みを行います。

レジスタ・ファイルの40H-7FH番地は，データ・メモリと重なっているため，“ PEEK WR，rf ”および“ POKE rf，WR ”命令を実行すると，そのとき指定されているバンクのデータ・メモリ・アドレス“ rf ”に対して命令を実行します。

また，レジスタ・ファイルの40H-7FH番地は通常のデータ・メモリ操作命令でも操作できます。

図９－３　PEEK，POKE命令によるレジスタ・ファイルのアクセス



９.３　コントロール・レジスタ

図９－４にコントロール・レジスタの構成を示します。

図９－４に示すようにコントロール・レジスタは，レジスタ・ファイルのアドレス00H-3FH番地の計64ニブル（64×４ビット）から構成されています。

ただし，そのうち実際に使用しているのは26ニブルです。残りの38ニブルは未使用レジスタで読み出しおよび書き込みは禁止されています。

各コントロール・レジスタは１ニブルずつ属性を持っており，それぞれ読み出し書き込み可能（R/W），読み出し専用（R）の２種類があります。

ただし，読み出し書き込み可能（R/W）なフラグの中には，読み出し時，必ず“０”が読み出されるフラグがありますので，注意してください。

読み出し時，必ず“０”が読み出される読み出し書き込み可能（R/W）なフラグは，次のとおりです。

- WDTRES　（RF：03H，ビット３）
- WDTEN　（RF：03H，ビット０）
- TM0RES　（RF：11H，ビット２）
- TM1RES　（RF：12H，ビット２）
- BTMRES　（RF：13H，ビット２）
- ADCSTRT　（RF：20H，ビット０）

また，１ニブルの中の４ビット・データのうち，“０”に固定されているビットは，読み出したときは常に“０”となり，書き込みを行っても“０”を保持します。

未使用レジスタの38ニブルは，内容を読み出すと不定の値が読み出され，書き込みを行っても何も変化しません。

９.４　レジスタ・ファイル使用時の注意

９.４.１　コントロール・レジスタ(読み出し専用および未使用レジスタ)操作時の注意

コントロール・レジスタ（レジスタ・ファイルのアドレス00H-3FH番地）の読み出し専用レジスタ（R）および未使用レジスタを操作するときは以下に示すようにデバイス動作上，17Kシリーズのアセンブラ（AS17K）およびインサーキット・エミュレータ（IE-17K，IE-17K-ET）使用時に注意が必要です。

（１）デバイス動作

読み出し専用レジスタに書き込みを行っても何も変化しません。

未使用部分を読み出すと“不定な値”が読み出され，書き込みを行っても何も変化しません。

（２）アセンブラ（AS17K）使用時

読み出し専用レジスタに書き込みを行う命令にエラーが発生します。

未使用部分を読み出したり，書き込みを行う命令にエラーが発生します。

（３）インサーキット・エミュレータ（IE-17K，IE-17K-ET）使用時（パッチ処理等で操作したとき）

読み出し専用レジスタに書き込みを行っても何も変化しません。“ エラー ”は発生しません。

未使用部分を読み出すと“ 不定な値 ”が読み出され，書き込みを行っても何も変化しません。“ エラー ”は発生しません。

９.４.２　レジスタ・ファイルのシンボル定義と予約語

17Kシリーズのアセンブラ（AS17K）を使用するうえでは，“ PEEK WR，rf ”および“ POKE rf，WR ”命令のオペランド“ rf ”に直接数値でレジスタ・ファイル・アドレスを記述すると“ エラー ”が発生します。

したがって，例１に示すようにレジスタ・ファイルのアドレスをあらかじめシンボルとして定義する必要があります。

例１．エラーになる場合

```
PEEK    WR，02H    ;
POKE    21H，WR    ;
```

エラーにならない場合

```
RF71    MEM    0.71H       ;シンボル定義
        PEEK   WR，RF71    ;
```

このとき次の点に注意してください。

●コントロール・レジスタを，データ・メモリ・アドレス型としてシンボル定義する場合，BANK0のアドレス80H-BFHとして定義する必要がある。

これは，コントロール・レジスタがウインドウ・レジスタを介して操作する仕組みになっているため，“ PEEK ”および“ POKE ”以外の命令で操作した場合に，アセンブラでエラーを発生させる必要があるからです。

ただし，データ・メモリと重なっているレジスタ・ファイル（アドレス40H-7FH番地）は，そのままのアドレスでシンボル定義できます。

次にその例を示します。

```
例２．RF71    MEM          1.71H   ；データ・メモリと重なっているレジスタ・ファイル
      RF02    MEM          0.82H   ；コントロール・レジスタ

              BANK0
              PEEK   WR，RF71      ；RF71は“ BANK0の71H番地 ”のデータ・メモリに
                                     なる。
              PEEK   WR，RF02      ；RF02はコントロール・レジスタの02H番地になる。

              BANK1
              PEEK   WR，RF71      ；RF71は“ BANK1の71H番地 ”のデータ・メモリに
                                     なる。
              PEEK   WR，RF02      ；RF02はコントロール・レジスタの02H番地になる。
```

また，アセンブラ（AS17K）を使用する場合は，フラグ型シンボル操作命令として以下のマクロ命令があらかじめアセンブラに組み込まれています。

SETn	：フラグに“１”をセット
CLRn	：フラグを“０”にリセット
SKTn	：フラグがすべて“１”であればスキップ
SKFn	：フラグがすべて“０”であればスキップ
NOTn	：フラグを反転
INITFLG	：フラグをイニシャライズ

したがって，これらの組み込みマクロ命令を使用することによりレジスタ・ファイルの内容を１ビット単位で操作することができます。

ここで，コントロール・レジスタは１ビット単位で操作するフラグが多いため，アセンブラ（AS17K）であらかじめフラグ型シンボルとして“予約語”が定義されています。

ただし，コントロール・レジスタの中でもスタック・ポインタにはフラグ型の予約語はありません。スタック・ポインタの予約語は唯一データ・メモリ型として“SP”で定義されています。このため，スタック・ポインタに対して予約語を使ったフラグの操作命令は，使用できません。

図９－４　コントロール・レジスタの構成（1/2）

カラム・アドレス / ロウ・アドレス	項目	0	1	2	3	4	5	6	7
0 (8)	記　号		0 SP	SIOTS SIOHIZ SIOCK1 SIOCK0	WDTRES 0 0 WDTEN				
	リセット時		0 1 0 1	0 0 0 0	0 0 0 0				
	Read/ Write		R/W	R/W	R/W				
1 (9)	記　号	0 0 0 PDRESEN	TM0EN TM0RES TM0CK1 TM0CK0	TM1EN TM1RES TM1CK1 TM1CK0	BTMISEL BTMRES BTMCK1 BTMCK0				
	リセット時	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0				
	Read/ Write	R/W	R/W	R/W	R/W				
2 (A)	記　号	0 0 0 ADCSTRT	ADCSOFT 0 ADCCMP ADCEND	ADCCH3 ADCCH2 ADCCH1 ADCCH0					
	リセット時	0 0 0 0	0 0 0 0	0 0 0 0					
	Read/ Write	R/W	R/W R	R/W					
3 (B)	記　号								
	リセット時								
	Read/ Write								

備考　（ ）内は，アセンブラ（AS17K）を使用する際の番地です。

なお，コントロール・レジスタのフラグはすべて，アセンブラ予約語としてデバイス・ファイルに登録されていますので，プログラム作成時には予約語を使用すると便利です（**第20章　アセンブラ予約語**参照）。

図９－４　コントロール・レジスタの構成（2/2）

8	9	A	B	C	D	E	F
			TM0OSEL	0	0	0	SIOEN	0	0	P0BGPU	P0AGPU							0	0	0	INT
			0	0	0	0	0	0	0	0	0							0	0	0	**注**
			R/W					R/W								R				
			P0C3IDI	P0C2IDI	P0C1IDI	P0C0IDI	P0CBIO3	P0CBIO2	P0CBIO1	P0CBIO0	0	0	0	ZCROSS				0	0	IEGMD1	IEGMD0
			0	0	0	0	0	0	0	0	0	0	0	0				0	0	0	0
			R/W				R/W				R/W					R/W				
			P0DBIO3	P0DBIO2	P0DBIO1	P0DBIO0	0	P1AGIO	P0BGIO	P0AGIO					0	0	0	IPSIO	IPBTM	IPTM1	IPTM0	IP
			0	0	0	0	0	0	0	0					0	0	0	0	0	0	0	0
			R/W				R/W								R/W				R/W			
			0	0	0	IRQSIO	0	0	0	IRQBTM	0	0	0	IRQTM1	0	0	0	IRQTM0	0	0	0	IRQ
			0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
			R/W				R/W				R/W				R/W				R/W			

注　INTフラグは，そのときのINT端子の状態により異なります。

〔メ　モ〕

第10章　データ・バッファ（DBF）

データ・バッファは，データ・メモリのBANK0のアドレス0CH-0FHに割り当てられた４ニブルで構成されています。

この領域はGET，PUT命令によってCPUの周辺回路（アドレス・レジスタ，シリアル・インタフェース，タイマ０，タイマ１，ベーシック・インターバル・タイマ，A/Dコンバータ）とデータの受け渡しを行うデータ格納領域です。また，“ MOVT　DBF，@AR ”命令によりプログラム・メモリ上の定数データをデータ・バッファ上に読み出すことができます。

10.1　データ・バッファの構成

図10－１にデータ・バッファのデータ・メモリ上の配置を示します。

図10－１に示すように，データ・バッファは，データ・メモリのBANK0のアドレス0CH-0FHが割り当てられており，４×４ビットの計16ビットから構成されています。

図10－１　データ・バッファの配置

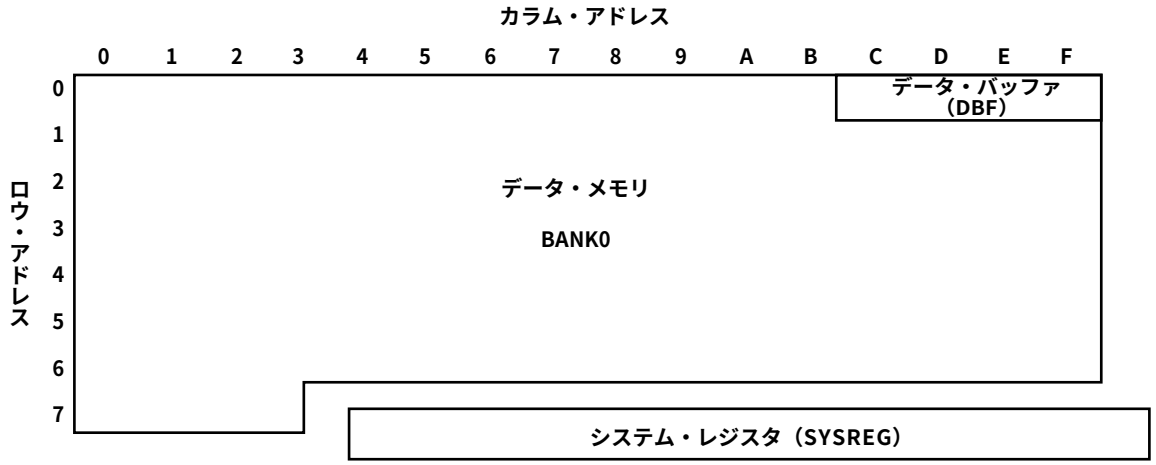


図10－２にデータ・バッファの構成を示します。図10－２に示すようにデータ・バッファはデータ・メモリの0FH番地のビット０をLSBとし，0CH番地のビット３をMSBとする16ビットで構成されています。

図10－２　データ・バッファの構成

データ・メモリ BANK0	アドレス	0CH				0DH				0EH				0FH			
	ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ・バッファ	ビット	b_{15}	b_{14}	b_{13}	b_{12}	b_{11}	b_{10}	b_9	b_8	b_7	b_6	b_5	b_4	b_3	b_2	b_1	b_0
	記　号	DBF3				DBF2				DBF1				DBF0			
	データ	∧ M S B ∨				データ											∧ L S B ∨

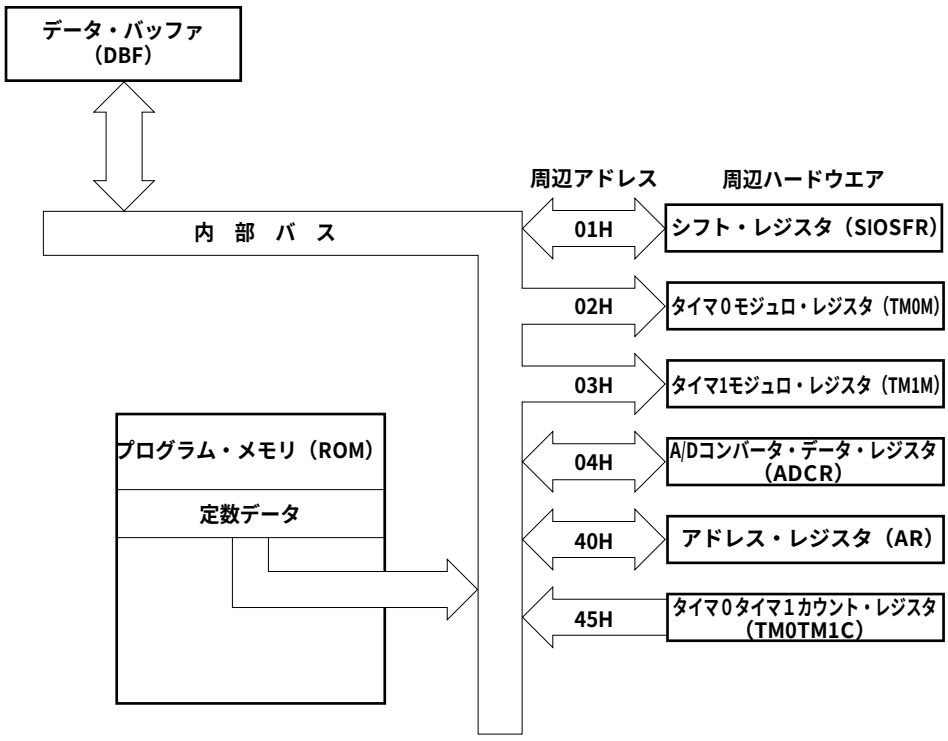
データ・バッファは，データ・メモリ上に配置されているため，すべてのデータ・メモリ操作命令で操作できます。

10.2　データ・バッファの機能

データ・バッファは，大別して２つの機能があります。

１つは周辺ハードウエアとのデータ転送機能で，もう１つはプログラム・メモリ上の定数データの読み込み（テーブル参照）機能です。図10－３にデータ・バッファと周辺ハードウエアの関係を示します。

図10－３　データ・バッファと周辺ハードウエア



10.2.1　データ・バッファと周辺ハードウエア

表10－１に，データ・バッファを介してデータ転送を行う周辺ハードウエアを示します。

これらの周辺ハードウエアには，それぞれアドレス（周辺アドレスと呼ぶ）が割り付けられています。この周辺アドレスに対して，専用命令であるGETおよびPUT命令を行うことにより，データ・バッファと各周辺ハードウエアとのデータ転送を行うことができます。

GET　　DBF，p ：データ・バッファ（DBF）にpでアドレスされる周辺ハードウエアのデータを読み込む。

PUT　　p，DBF ：pでアドレスされる周辺ハードウエアにデータ・バッファ（DBF）のデータを設定する。

周辺ハードウエアには書き込み読み出し可能（PUT/GET），書き込み専用（PUT）および読み出し専用（GET）ハードウエアがあります。

このとき，書き込み専用（PUTのみ）や，読み出し専用（GETのみ）の周辺ハードウエアに対してそれぞれGET，PUT命令を行うと，以下のようになります。

- 書き込み専用（PUTのみ）周辺ハードウエアに対して読み出し（GET）命令実行時
  不定の値が読み出されます。
- 読み出し専用（GETのみ）周辺ハードウエアに対して書き込み（PUT）命令実行時
  何ら影響を与えません（NOPと同じ）。

表10－１　周辺ハードウエア

（1）８ビット単位で入出力を行う周辺ハードウエア

周辺アドレス	名　　称	周辺ハードウエア	データ方向		実用ビット長
			PUT	GET	
01H	SIOSFR	シリアル・インタフェース	○	○	８ビット
02H	TM0M	タイマ０	○	×	８ビット
03H	TM1M	タイマ１	○	×	８ビット
04H	ADCR	A/Dコンバータ	○	○	８ビット

（2）16ビット単位で入出力を行う周辺ハードウエア

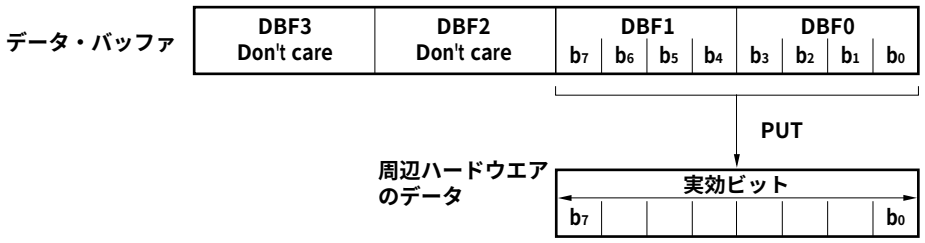
周辺アドレス	名　　称	周辺ハードウエア	データ方向		実用ビット長
			PUT	GET	
40H	AR	アドレス・レジスタ	○	○	10／11ビット[注]
45H	TM0TM1C	タイマ０タイマ１カウント・レジスタ	×	○	16ビット

注　μPD17134A，17135Aは10ビット，μPD17136A，17137Aは11ビットです。

10.2.2　周辺ハードウエアとのデータ転送

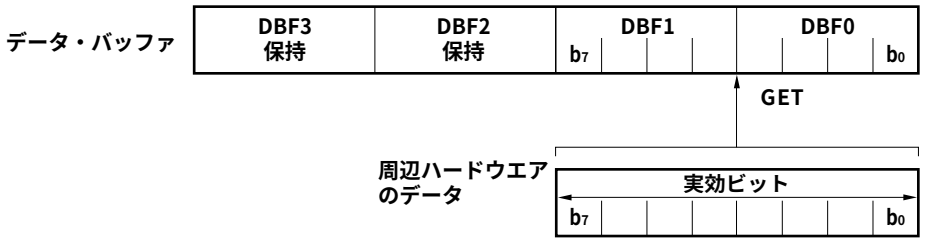
データ・バッファと各周辺ハードウエアとのデータ転送時は８ビットまたは16ビット単位で行います。このとき，PUTおよびGET命令は，データ・ビットが16ビットであっても１命令サイクルで実行できます。

例１．PUT命令時（周辺ハードウエアの実効ビットがビット７-ビット０の８ビットであるとき）



８ビット・データを書き込むときはデータ・バッファの上位８ビット（DBF3，DBF2）はDon't care（どんな値であってもよい）となります。

２．GET命令時（周辺ハードウエアの実効ビットがビット７-ビット０の８ビットであるとき）



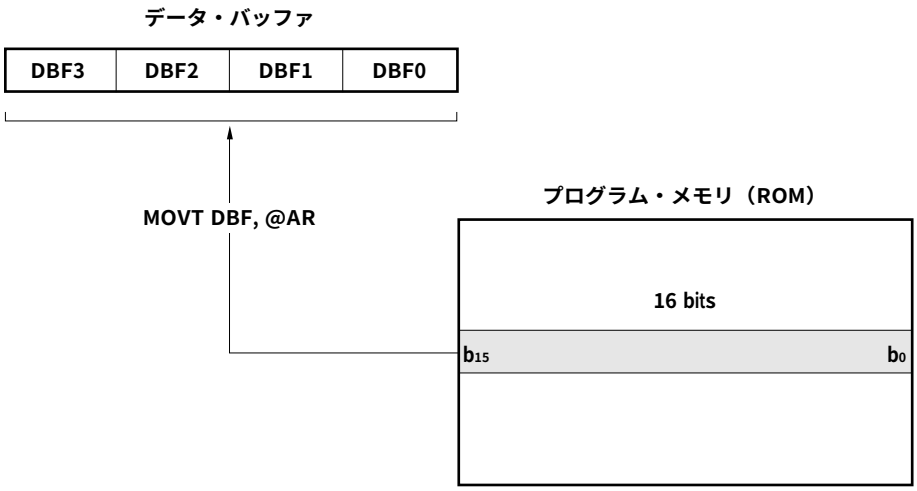
８ビット・データ読み込み時にはデータ・バッファの上位８ビット（DBF3，DBF2）の値は変化しません。

10.2.3　テーブル参照

MOVT命令を用いることにより，プログラム・メモリ（ROM）上の定数データを，データ・バッファ上に読み込むことができます。

以下にMOVT命令について説明します。

MOVT DBF，@AR　；アドレス・レジスタ（AR）の内容によって指定されるプログラム・メモリの内容を，データ・バッファ（DBF）に読み出します。



〔メ　モ〕

第11章　演算論理ユニット（ALU）

ALUは４ビット・データの算術演算，論理演算，ビット判断，比較判断および回転処理を行います。

11.1　ALUブロックの構成

図11－１にALUブロックの構成を示します。

図11－１に示すようにALUブロックは４ビットのデータ処理を行うALU本体と，ALUの周辺回路である一時記憶用レジスタA, Bと，ALUの状態を制御するステータス・フリップフロップと，BCD演算使用時の10進補正回路から構成されています。

ステータス・フリップフロップは図11－１に示すように，ゼロ・フラグ用FF，キャリー・フラグ用FF，コンペア・フラグ用FF，およびBCDフラグ用FFから構成されています。

ステータス・フリップフロップはシステム・レジスタの中のプログラム・ステータス・ワード（PSWORD：アドレス7EH, 7FH）の各フラグであるゼロ・フラグ（Z），キャリー・フラグ（CY），コンペア・フラグ（CMP）およびBCDフラグ（BCD）と１対１に対応しています。

11.2　ALUブロックの機能

ALUはプログラムに書かれた命令により，算術演算，論理演算，ビット判断，比較判断および回転処理を行います。表11－１に各演算，判断，および回転処理命令の一覧を示します。

表11－１に示した各命令を実行することにより４ビット単位の演算，判断および回転処理または１桁の10進算術演算が１命令で実行できます。

11.2.1　ALUの機能

算術演算には加算と減算があります。算術演算はジェネラル・レジスタの内容とデータ・メモリの内容との演算，またはデータ・メモリの内容とイミーディエト・データとの演算が行えます。また，算術演算は２進数による４ビットの演算と10進数による１桁の演算（BCD演算）が可能です。

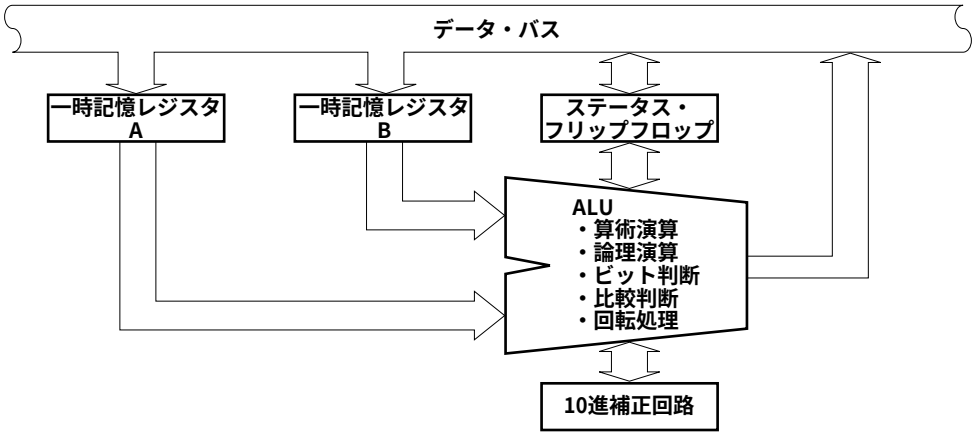
論理演算には論理積（AND），論理和（OR）および排他的論理和（XOR）があります。論理演算は，ジェネラル・レジスタの内容とデータ・メモリの内容との演算，またはデータ・メモリの内容とイミーディエト・データとの演算が行えます。

ビット判断は，データ・メモリの４ビット・データのうち“０”であるビットまたは“１”であるビットの判断を行います。

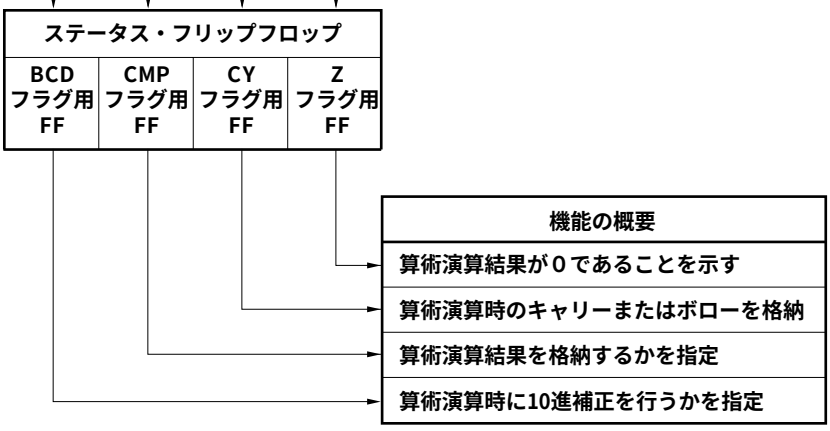
比較判断はデータ・メモリの内容とイミーディエト・データとの比較を行い，“等しい”，“等しくない”，“以上”および“未満”の判断を行います。

回転処理はジェネラル・レジスタの４ビット・データを下位ビットの方向へ１ビット，シフトします（右へ回転する）。

図11－1　ALUブロックの構成



アドレス	7EH	7FH			
名　称	プログラム・ステータス・ワード（PSWORD）				
ビット	b_0	b_3	b_2	b_1	b_0
フラグ	BCD	CMP	CY	Z	IXE



〔メ　モ〕

表11－1　ALU処理命令一覧（1/2）

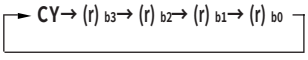
ALU機能		命　令	動　作	説　明
算術演算	加算	ADD r, m	(r) ← (r) ＋ (m)	ジェネラル・レジスタとデータ・メモリの内容を加算。結果をジェネラル・レジスタへ格納。
		ADD m, #n4	(m) ← (m) ＋n4	データ・メモリとイミーディエト・データの内容を加算。結果をデータ・メモリへ格納。
		ADDC r, m	(r) ← (r) ＋ (m) ＋CY	ジェネラル・レジスタとデータ・メモリの内容をCYフラグとともに加算。結果をジェネラル・レジスタへ格納。
		ADDC m, #n4	(m) ← (m) ＋n4＋CY	データ・メモリとイミーディエト・データの内容をCYフラグとともに加算。結果をデータ・メモリへ格納。
	減算	SUB r, m	(r) ← (r) － (m)	ジェネラル・レジスタの内容からデータ・メモリの内容を減算。結果をジェネラル・レジスタへ格納。
		SUB m, #n4	(m) ← (m) －n4	データ・メモリの内容からイミーディエト・データを減算。結果をデータ・メモリへ格納。
		SUBC r, m	(r) ← (r) － (m) －CY	ジェネラル・レジスタの内容からデータ・メモリの内容とCYフラグを減算。結果をジェネラル・レジスタへ格納。
		SUBC m, #n4	(m) ← (m) －n4－CY	データ・メモリの内容からイミーディエト・データとCYフラグを減算。結果をデータ・メモリへ格納。
論理演算	論理和	OR r, m	(r) ← (r) ∨ (m)	ジェネラル・レジスタとデータ・メモリの内容をOR。結果をジェネラル・レジスタへ格納。
		OR m, #n4	(m) ← (m) ∨n4	データ・メモリとイミーディエト・データの内容をOR。結果をデータ・メモリへ格納。
	論理積	AND r, m	(r) ← (r) ∧ (m)	ジェネラル・レジスタとデータ・メモリの内容をAND。結果をジェネラル・レジスタへ格納。
		AND m, #n4	(m) ← (m) ∧n4	データ・メモリとイミーディエト・データの内容をAND。結果をデータ・メモリへ格納。
	排他的論理和	XOR r, m	(r) ← (r) $\overline{\vee}$ (m)	ジェネラル・レジスタとデータ・メモリの内容をXOR。結果をジェネラル・レジスタへ格納。
		XOR m, #n4	(m) ← (m) $\overline{\vee}$ n4	データ・メモリとイミーディエト・データの内容をXOR。結果をデータ・メモリへ格納。
ビット判断	True	SKT m, #n	CMP←0, if (m) ∧n = n, then skip	データ・メモリの内容のうち，nで指定されたビットがすべてTrue（1）ならスキップ。結果は格納されない。
	False	SKF m, #n	CMP←0, if (m) ∧n = 0, then skip	データ・メモリの内容のうち，nで指定されたビットがすべてFalse（0）ならスキップ。結果は格納されない。
比較判断	等しい	SKE m, #n4	(m) －n4, skip if zero	データ・メモリの内容がイミーディエト・データと等しいときスキップ。結果は格納されない。
	等しくない	SKNE m, #n4	(m) －n4, skip if not zero	データ・メモリの内容がイミーディエト・データと等しくないときスキップ。結果は格納されない。
	以上	SKGE m, #n4	(m) －n4, skip if not borrow	データ・メモリの内容がイミーディエト・データより以上のときスキップ。結果は格納されない。
	未満	SKLT m, #n4	(m) －n4, skip if borrow	データ・メモリの内容がイミーディエト・データより未満のときスキップ。結果は格納されない。
回転	右回転	RORC r		ジェネラル・レジスタの内容をCYフラグとともに右へ回転。結果をジェネラル・レジスタへ格納。

表11－1　ALU処理命令一覧（2/2）

ALU機能	プログラム・ステータス・ワード（PSWORD）による動作のちがい

算術演算

BCDフラグの値	CMPフラグの値	演算動作	CYフラグ	Zフラグ	IXE = 1による修飾
0	0	２進演算 結果を格納する	キャリーボロー発生でセット，発生しなければリセット	演算結果0000Bでセット 0000B以外はリセット	あ　り
0	1	２進演算 結果を格納しない		演算結果0000Bで状態保持 0000B以外はリセット	
1	0	BCD演算 結果を格納する		演算結果0000Bでセット 0000B以外はリセット	
1	1	BCD演算 結果を格納しない		演算結果0000Bで状態保持 0000B以外はリセット	

論理演算

Don't care （保持）	Don't care （保持）	変わらない	Don't care （保持）	Don't care （保持）	あ　り

ビット判断

Don't care （保持）	リセット される	変わらない	Don't care （保持）	Don't care （保持）	あ　り

比較判断

Don't care （保持）	Don't care （保持）	変わらない	Don't care （保持）	Don't care （保持）	あ　り

回転

Don't care （保持）	Don't care （保持）	変わらない	ジェネラル・レジスタの b_0の値	Don't care （保持）	あ　り

11.2.2　一時記憶レジスタAおよびBの機能

一時記憶レジスタAおよびBは４ビット・データを一度に処理するために必要なレジスタであり，処理されるデータと，処理するデータを一時的に蓄えておくレジスタです。

11.2.3　ステータス・フリップフロップの機能

ステータス・フリップフロップはALUの動作制御および，処理されたデータの状態を格納するフリップフロップです。ステータス・フリップフロップはシステム・レジスタのプログラム・ステータス・ワード（PSWORD）の各フラグと１対１に対応しているため，システム・レジスタを操作すれば，ステータス・フリップフロップも同時に操作されます。次にプログラム・ステータス・ワードの各フラグについて説明します。

（1）Zフラグ

算術演算の結果が0000Bになるとセット（１）され，0000B以外になるとリセット（０）されます。

ただし，CMPフラグの状態により次のようにセット（１）される条件が異なります。

（ⅰ）CMPフラグ = ０のとき

演算結果が0000Bであればセット（１）され0000B以外であればリセット（０）されます。

（ⅱ）CMPフラグ = １のとき

演算結果が0000Bであれば以前の状態を保持し，0000B以外であればリセット（０）されます。

算術演算以外では変化しません。

（2）CYフラグ

算術演算の結果，キャリーまたはボローが発生するとセット（１）され，発生しなければリセット（０）されます。

算術演算がキャリーまたはボローとともに演算を行う場合はCYフラグの内容を最下位ビットに演算します。

回転処理（RORC命令）を行うときは，そのときのCYフラグの内容をジェネラル・レジスタの最上位ビット（b_3）とし，ジェネラル・レジスタの最下位ビットの内容がCYフラグの内容になります。

算術演算および回転処理以外では変化しません。

（3）CMPフラグ

CMPフラグがセット（１）されているときに実行された算術演算は，結果がジェネラル・レジスタおよびデータ・メモリに格納されません。

ビット判断命令を実行するとCMPフラグはリセット（０）されます。

比較判断，論理演算，回転処理には影響を与えません。

（4）BCDフラグ

BCDフラグがセット（1）されているときは，すべての算術演算結果が10進補正されます。
リセット（0）されているときは2進4ビットで演算されます。
論理演算，ビット判断，比較判断，回転処理には影響を与えません。

これらのフラグは，プログラム・ステータス・ワード（PSWORD）を直接操作することにより値を変化させることも可能です。このとき，変化したフラグに対応するステータス・フリップフロップも同様に変化します。

11.2.4　2進4ビット演算

BCDフラグが0のとき，算術演算は，2進数による4ビット単位の演算を行います。

11.2.5　BCD演算

BCDフラグが1のとき算術演算は，2進4ビットで行った演算に対して10進補正を行います。2進4ビット演算結果とBCD演算結果の違いを表11－2に示します。10進補正を行った場合に加算結果が20以上になったとき，あるいは10進補正を行った場合に減算結果が－10～＋9以外になったときにはデータ・メモリに1010B（0AH）以上のデータが格納されます（表11－2の網掛け部分）。

表11－2　2進4ビット演算結果とBCD演算結果

演算結果	2進4ビット加算		BCD加算	
	CY	演算結果	CY	演算結果
0	0	0000	0	0000
1	0	0001	0	0001
2	0	0010	0	0010
3	0	0011	0	0011
4	0	0100	0	0100
5	0	0101	0	0101
6	0	0110	0	0110
7	0	0111	0	0111
8	0	1000	0	1000
9	0	1001	0	1001
10	0	1010	1	0000
11	0	1011	1	0001
12	0	1100	1	0010
13	0	1101	1	0011
14	0	1110	1	0100
15	0	1111	1	0101
16	1	0000	1	0110
17	1	0001	1	0111
18	1	0010	1	1000
19	1	0011	1	1001
20	1	0100	1	1110
21	1	0101	1	1111
22	1	0110	1	1100
23	1	0111	1	1101
24	1	1000	1	1110
25	1	1001	1	1111
26	1	1010	1	1100
27	1	1011	1	1101
28	1	1100	1	1010
29	1	1101	1	1011
30	1	1110	1	1100
31	1	1111	1	1101

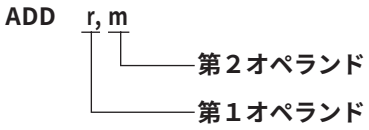
演算結果	2進4ビット減算		BCD減算	
	CY	演算結果	CY	演算結果
0	0	0000	0	0000
1	0	0001	0	0001
2	0	0010	0	0010
3	0	0011	0	0011
4	0	0100	0	0100
5	0	0101	0	0101
6	0	0110	0	0110
7	0	0111	0	0111
8	0	1000	0	1000
9	0	1001	0	1001
10	0	1010	1	1100
11	0	1011	1	1101
12	0	1100	1	1110
13	0	1101	1	1111
14	0	1110	1	1100
15	0	1111	1	1101
−16	1	0000	1	1110
−15	1	0001	1	1111
−14	1	0010	1	1100
−13	1	0011	1	1101
−12	1	0100	1	1110
−11	1	0101	1	1111
−10	1	0110	1	0000
− 9	1	0111	1	0001
− 8	1	1000	1	0010
− 7	1	1001	1	0011
− 6	1	1010	1	0100
− 5	1	1011	1	0101
− 4	1	1100	1	0110
− 3	1	1101	1	0111
− 2	1	1110	1	1000
− 1	1	1111	1	1001

11.2.6　ALUブロック処理手順

プログラム上で算術演算命令，論理演算命令，ビット判断命令，比較判断命令および回転処理命令が実行されると，演算，判断または処理されるデータおよび処理するデータがそれぞれ一時記憶レジスタAおよびBに格納されます。

処理されるデータとは，各命令の第１オペランドでアドレス指定されるジェネラル・レジスタの内容またはデータ・メモリの内容であり，４ビットのデータです。処理するデータとは各命令の第２オペランドでアドレス指定されるデータ・メモリの内容または第２オペランドで直接指定されるイミーディエト・データで４ビットのデータです。

たとえば



命令において処理されるデータはrでアドレス指定されるジェネラル・レジスタの内容であり，処理するデータはmでアドレス指定されるデータ・メモリの内容となります。また

```
ADD m, #n4
```

命令は，処理されるデータはmでアドレス指定されるデータ・メモリの内容であり，処理するデータは#n4で指定されるイミーディエト・データになります。また回転処理命令である

```
RORC r
```

命令は，処理する方法が決まっているため処理されるデータのみ必要となり，rでアドレス指定されるジェネラル・レジスタの内容になります。

次に，一時記憶レジスタAおよびBに格納されたデータは，各命令に従いALUで算術演算，論理演算，ビット判断，比較判断および回転処理を実行します。実行された命令が算術演算，論理演算および回転処理のときは，ALUで処理されたデータを，命令の第１オペランドで指定されるジェネラル・レジスタまたはデータ・メモリに格納して動作を終了します。また，実行された命令がビット判断および比較判断であるときは，ALUで処理された結果によりプログラム上の次の命令をスキップ（次の命令はNOP命令として実行）して動作を終了します。

ALUブロック動作については次の点に注意が必要です。

（1）算術演算は，プログラム・ステータス・ワードのCMPフラグおよびBCDフラグの影響を受ける。

（2）論理演算は，プログラム・ステータス・ワードのCMPフラグおよびBCDフラグの影響は受けない。またZフラグ，CYフラグには影響を与えない。

（3）ビット判断はプログラム・ステータス・ワードのCMPフラグをリセットする。

（4）算術演算，論理演算，ビット判断，比較判断および回転処理は，プログラム・ステータス・ワードのIXEフラグがセット（1）されていると，インデクス・レジスタによる修飾を受ける。

11.3　算術演算（2進4ビット加減算およびBCD加減算）

表11－3に示すように，算術演算は，加算と減算に大別され，さらにキャリーとともに加算およびボローとともに減算とに分けられます。算術演算命令はこの4種類に分けられ，“ADD”，“ADDC ”，“SUB”，“SUBC”命令を使用します。

“ADD”，“ADDC ”，“SUB”，“SUBC”命令は，さらにジェネラル・レジスタとデータ・メモリの加減算およびデータ・メモリとイミーディエト・データの加減算に分けられます。これは各命令のオペランドに記述する値により決定されます。すなわちオペランドが“r, m”であればジェネラル・レジスタとデータ・メモリの加減算になり“m, #n4”であればデータ・メモリとイミーディエト・データの加減算になります。

算術演算命令はステータス・フリップフロップすなわち，システム・レジスタのプログラム・ステータス・ワード（PSWORD）の影響を受けます。プログラム・ステータス・ワードのBCDフラグにより2進4ビット演算およびBCD演算を行い，CMPフラグにより，演算結果をどこにも格納しないことができます。

11.3.1-11.3.4に各算術演算命令とプログラム・ステータス・ワードについて説明します。

表11－3　算術演算の種類

算術演算	加算	キャリーは無視	ジェネラル・レジスタとデータ・メモリ	ADD r, m
		ADD	データ・メモリとイミーディエト・データ	ADD m, #n4
		キャリーとともに加算	ジェネラル・レジスタとデータ・メモリ	ADDC r, m
		ADDC	データ・メモリとイミーディエト・データ	ADDC m, #n4
	減算	ボローは無視	ジェネラル・レジスタとデータ・メモリ	SUB r, m
		SUB	データ・メモリとイミーディエト・データ	SUB m, #n4
		ボローとともに減算	ジェネラル・レジスタとデータ・メモリ	SUBC r, m
		SUBC	データ・メモリとイミーディエト・データ	SUBC m, #n4

11.3.1　CMPフラグ＝０，BCDフラグ＝０のときの加減算

２進４ビットの加減算を行い，結果をジェネラル・レジスタまたはデータ・メモリに格納します。

CYフラグは演算結果が1111Bを越えたとき（キャリーの発生）と，0000B未満（ボローの発生）になるとセット（１）され，それ以外ではリセット（０）されます。

演算結果が0000Bになるとキャリーおよびボローの発生に関係なくZフラグをセット（１）し，0000Bでなければリセット（０）します。

11.3.2　CMPフラグ＝１，BCDフラグ＝０のときの加減算

２進４ビットの加減算を行います。

ただしCMPフラグがセット（１）されているため，演算結果がジェネラル・レジスタまたはデータ・メモリに格納されません。

演算結果によりキャリーまたはボローが発生するとCYフラグがセット（１）され，発生しなければリセット（０）されます。

Zフラグは，演算結果が0000Bであれば以前の状態を保持し，0000Bでなければリセット（０）されます。

11.3.3　CMPフラグ＝０，BCDフラグ＝１のときの加減算

BCD演算を行います。

演算結果は，ジェネラル・レジスタまたはデータ・メモリに格納されます。CYフラグは演算結果が1001B（9D）を越えるか，0000B（0D）未満になるとセット（１）され，0000B（0D）～1001B（9D）であればリセット（０）されます。

Zフラグは，演算結果が0000B（0D）になるとセット（１）され，0000B（0D）以外になるとリセット（０）されます。

BCD演算は，一度２進で演算された結果を10進補正回路で10進に変換する方法を用いています。この２進-10進変換については**表11－２　２進４ビット演算結果とBCD演算結果**を参照してください。

したがって，BCD演算を正しく実行するためには，次のことに注意してください。

（１）加算の結果が0D～19Dであること

（２）減算の結果が0D～9Dまたは－10D～－1Dであること

0D～19Dとは，CYフラグを考慮した値であり，２進４ビットで表すと

0, 0000B～1, 0011Bのことです

CY　　CY

－10～－1Dとは同様に

1, 0110B～1, 1111Bのことです

CY　　CY

上記（１），（２）以外でBCD演算を行うとCYフラグがセット（１）され，演算結果として1010B（0AH）以上のデータが出力されます。

11.3.4　CMPフラグ＝１，BCDフラグ＝１のときの加減算

BCD演算を行います。

演算結果はジェネラル・レジスタまたはデータ・メモリへ格納されません。

すなわち，CMPフラグ＝１のときと，BCDフラグ＝１のときの動作を同時に行います。

```
例  MOV   RPL,   #0001B；BCDフラグをセット（１）
    MOV   PSW,   #1010B；CMPフラグとZフラグをセット（１），CYフラグをリセット（０）
    SUB   M1,    #0001B；①
    SUBC  M2,    #0010B；②
    SUBC  M3,    #0011B；③
```

このとき，①②③によりM3, M2, M1の12ビットの内容とイミーディエト・データの321とを，10進数で比較することが可能となります。

11.3.5　算術演算使用時の注意

プログラム・ステータス・ワード（PSWORD）に対して算術演算を行うときは，プログラム・ステータス・ワードには，算術演算の結果が格納される，という点に注意する必要があります。

すなわちプログラム・ステータス・ワードの中のCYフラグおよびZフラグは，通常，算術演算結果によりセット／リセットされますが，プログラム・ステータス・ワード自身に算術演算が行われると，算術演算結果が格納されてしまい，キャリー，ボローおよびゼロの判定ができないことになります。

ただし，CMPフラグがセット（１）されているときは，算術演算結果が格納されないため，CYフラグ，Zフラグは通常どおりセット／リセットされます。

11.4　論理演算

表11－４に示すように，論理演算は論理和（OR），論理積（AND）および排他的論理和（XOR）が使用できます。

論理演算命令はこの３種類に分けられ，それぞれ“ OR ”，“ AND ”および“ XOR ”命令を使用します。

“ OR ”，“ AND ”，“ XOR ”命令は，さらにジェネラル・レジスタとデータ・メモリの論理演算およびデータ・メモリとイミーディエト・データの論理演算に分けられます。これは算術演算と同様に命令のオペランドに記述された値“ r, m ”または“ m, #n4 ”により決定されます。

論理演算は，プログラム・ステータス・ワード（PSWORD）のBCDフラグおよびCMPフラグの影響は受けません。またCYフラグおよびZフラグには何の影響も与えません。ただし，インデクス・イネーブル・フラグ（IXEフラグ）がセット（１）されているときは，インデクス・レジスタにより修飾されます。

表11－４　論理演算

論理演算	論理和 OR	ジェネラル・レジスタとデータ・メモリ	OR r, m
		データ・メモリとイミーディエト・データ	OR m, #n4
	論理積 AND	ジェネラル・レジスタとデータ・メモリ	AND r, m
		データ・メモリとイミーディエト・データ	AND m, #n4
	排他的論理和 XOR	ジェネラル・レジスタとデータ・メモリ	XOR r, m
		データ・メモリとイミーディエト・データ	XOR m, #n4

表11－５　論理演算の真理値表

論理積 C = A AND B			論理和 C = A OR B			排他的論理和 C = A XOR B		
A	B	C	A	B	C	A	B	C
0	0	0	0	0	0	0	0	0
0	1	0	0	1	1	0	1	1
1	0	0	1	0	1	1	0	1
1	1	1	1	1	1	1	1	0

11.5　ビット判断

表11－６に示すように，ビット判断はTrueビット（１）判断およびFalseビット（０）判断に分けられます。

Trueビット（１）判断およびFalseビット（０）判断はそれぞれ“ SKT ”および“ SKF ”命令を使用します。

“ SKT ”，“ SKF ”命令はデータ・メモリに対してのみ行うことができます。

ビット判断は，プログラム・ステータス・ワード（PSWORD）のBCDフラグの影響を受けません。またCYフラグおよびZフラグには何の影響も与えません。ただし，CMPフラグは“ SKT ”および“ SKF ”命令が実行されるとリセット（０）されます。インデクス・イネーブル・フラグ（IXEフラグ）がセット（１）されているときは，インデクス・レジスタにより修飾されます。インデクス・レジスタによる修飾については**第７章　システム・レジスタ（SYSREG）**を参照してください。

11.5.1，**11.5.2**にTrueビット（１）判断およびFalseビット（０）判断について説明します。

表11－６　ビット判断命令

ビット判断	Trueビット（１）判断	SKT m, #n
	Falseビット（０）判断	SKF m, #n

11.5.1　Trueビット（1）判断

Trueビット（1）判断命令“SKT m, #n”は，データ・メモリの4ビットのうち，nで指定されたビットが“True（1）”であるかを判断します。nで指定されたビットがすべて“True（1）”であるとき，この命令の次の命令をスキップします。

```
例  MOV   M1,   #1011B
    SKT   M1,   #1011B ; ①
    BR    A
    BR    B
    SKT   M1,   #1101B ; ②
    BR    C
    BR    D
```

このとき，①ではM1のビット3，1，0を判断し，すべてTrue（1）であるからBへ分岐します。②では，M1のビット3，2，0を判断しますが，M1のビット2はFalse（0）であるため，Cへ分岐します。

11.5.2　Falseビット（0）判断

Falseビット（0）判断命令“SKF m, #n”はデータ・メモリの4ビットのうちnで指定されたビットがFalse（0）であるかを判断します。nで指定されたビットがすべて“False（0）”であるとき，この命令の次の命令をスキップします。

```
例  MOV   M1,   #1001B ;
    SKF   M1,   #0110B ; ①
    BR    A            ;
    BR    B            ;
    SKF   M1,   #1110B ; ②
    BR    C            ;
    BR    D            ;
```

このとき①では，M1のビット2，1を判断し，すべてFalse（0）であるためBへ分岐します。②ではM1のビット3，2，1を判断しますが，M1のビット3はTrue（1）であるためCへ分岐します。

11.6　比較判断

表11－7に示すように，比較判断は“等しい”，“等しくない”，“以上”および“未満”の判断に分けられます。

“等しい”，“等しくない”，“以上”および“未満”の判断はそれぞれ“SKE”，“SKNE”，“SKGE”および“SKLT”命令を使用します。

“SKE”，“SKNE”，“SKGE”，“SKLT”命令は，データ・メモリとイミーディエト・データとの比較判断のみ行うことができます。ジェネラル・レジスタとデータ・メモリとの比較判断を行うときは，プログラム・ステータス・ワード（PSWORD）のCMPフラグおよびZフラグを用いて減算命令により行えます（**11.3 算術演算（2進4ビット加減算およびBCD加減算）**参照）。

比較判断は，プログラム・ステータス・ワードのBCDフラグおよびCMPフラグの影響を受けません。またCYフラグおよびZフラグには何の影響も与えません。

11.6.1-**11.6.4**に“等しい”，“等しくない”，“以上”および“未満”の判断について説明します。

表11－7　比較判断命令

比較判断	等しい SKE m, #n4
	等しくない SKNE m, #n4
	以上 SKGE m, #n4
	未満 SKLT m, #n4

11.6.1　“等しい”の判断

“等しい”の判断命令“SKE m, #n4”はデータ・メモリとイミーディエト・データの内容が“等しい”かを判断します。

データ・メモリとイミーディエト・データの内容が“等しい”とき，この命令の次の命令をスキップします。

```
例  MOV   M1,   #1010B
    SKE   M1,   #1010B；①
    BR    A
    BR    B
    ；
    SKE   M1,   #1000B；②
    BR    C
    BR    D
```

このとき，①では，M1の内容とイミーディエト・データの1010Bが等しいためBへ分岐します。
②ではM1の内容とイミーディエト・データの1000Bが等しくないためCへ分岐します。

11.6.2　“等しくない”の判断

“等しくない”の判断命令“SKNE m, #n4”は，データ・メモリとイミーディエト・データの内容が“等しくない”かを判断します。

データ・メモリとイミーディエト・データの内容が“等しくない”とき，この命令の次の命令をスキップします。

```
例  MOV   M1,   #1010B
    SKNE  M1,   #1000B；①
    BR    A
    BR    B
    ；
    SKNE  M1,   #1010B；②
    BR    C
    BR    D
```

このとき，①では，M1の内容とイミーディエト・データの1000Bが等しくないためBへ分岐します。
②では，M1の内容とイミーディエト・データの1010Bが等しいためCへ分岐します。

11.6.3　“以上”の判断

“以上”の判断命令“SKGE m, #n4”はデータ・メモリとイミーディエト・データの内容を比較し，データ・メモリの内容が，イミーディエト・データより“大きい”か，または“等しい”ときに，この命令の次の命令をスキップします。

```
例  MOV   M1,   #1000B
    SKGE  M1,   #0111B；①
    BR    A
    BR    B
    ；
    SKGE  M1,   #1000B；②
    BR    C
    BR    D
    ；
    SKGE  M1,   #1001B；③
    BR    E
    BR    F
```

このとき，M1の内容は1000Bであるため①は“大きい”，②は“等しい”，③は“小さい”と判断され，それぞれB, D, Eに分岐します。

11.6.4　“未満”の判断

“未満”の判断命令“SKLT m, #n4”はデータ・メモリとイミーディエト・データの内容を比較し，データ・メモリの内容が，イミーディエト・データより“小さい”とき，この命令の次の命令をスキップします。

```
例  MOV   M1,   #1000B
    SKLT  M1,   #1001B；①
    BR    A
    BR    B
    ；
    SKLT  M1,   #1000B；②
    BR    C
    BR    D
    ；
    SKLT  M1,   #0111B；③
    BR    E
    BR    F
```

このとき，M1の内容は1000Bであるため，①は“小さい”，②は“等しい”，③は“大きい”と判断され，それぞれB, C, Eに分岐します。

11.7　回転処理

回転処理は，右回転処理と左回転処理に分けられます。

右回転処理には“RORC”命令を使用します。

“RORC”命令は，ジェネラル・レジスタに対してのみ行うことができます。

“RORC”命令による回転処理は，プログラム・ステータス・ワード（PSWORD）のBCDフラグおよびCMPフラグの影響を受けません。またZフラグには何の影響も与えません。

左回転処理は，加算命令である“ADDC”命令により行うことができます。

11.7.1，**11.7.2**で，回転処理について説明します。

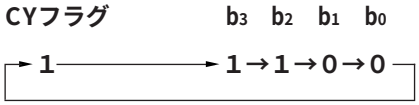
11.7.1　右回転処理

右回転処理命令“RORC r”はジェネラル・レジスタの内容を下位ビット方向に１ビット回転します。

このとき，ジェネラル・レジスタの内容の最上位ビット３にはCYフラグの内容が書き込まれ，最下位ビット０の内容をCYフラグに書き込みます。

例１.
```
MOV    PSW,    #0100B；CYフラグをセット（１）
MOV    R1,     #1100B
RORC   R1
```

このとき，次のように処理されます。



すなわち，CYフラグ→b_3, b_3→b_2, b_2→b_1, b_1→b_0, b_0→CYフラグのように右に回転を行います。

例２．
```
MOV     PSW,    #0000B；CYフラグをリセット（０）
MOV     R1,     #1000B；最上位
MOV     R2,     #0100B
MOV     R3,     #0010B；最下位
RORC    R1
RORC    R2
RORC    R3
```

このとき，上記プログラムはCY，R1, R2, R3の13ビット・データを右に回転します。

11.7.2　左回転処理

左回転処理は加算命令である“ ADDC r, m ”命令を用いることにより行えます。

例
```
MOV     PSW,    #0000B；CYフラグをリセット（０）
MOV     R1,     #1000B；最上位
MOV     R2,     #0100B
MOV     R3,     #0010B；最下位
ADDC    R3, R3
ADDC    R2, R2
ADDC    R1, R1
SKF     CY
OR      R3,     #0001B
```

このとき，上記プログラムはCY，R1, R2, R3の13ビット・データを左に回転します。

〔メ　モ〕

第12章　ポ ー ト

12.1　ポート0A（P0A0, P0A1, P0A2, P0A3）

ポート0Aは，出力ラッチ付き４ビットの入出力ポートです。データ・メモリのBANK0の70H番地にマッピングされています。出力形式はCMOSプッシュプル出力です。

４ビット単位で入力または出力の指定をすることができます。入力／出力の指定はレジスタ・ファイル上のP0AGIO（2CH番地のビット０）により行います。

P0AGIO = ０のとき，ポート0Aのすべての端子は入力ポートとなり，ポート・レジスタに対しデータの読み込み命令を実行すると，端子の状態が読み込まれます。

P0AGIO = １のとき，ポート0Aのすべての端子は出力ポートとなり，出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み込み命令を実行すると，端子の状態ではなく，出力ラッチの内容が取り込まれます。

また，ソフトウエア制御によるプルアップ抵抗を内蔵しています。プルアップ抵抗を内蔵するか，しないかの選択は，レジスタ・ファイルのP0AGPU（0CH番地のビット０）によって行います。P0AGPU = １で４ビットの端子すべてがプルアップされ，P0AGPU = ０でプルアップ抵抗は内蔵されません。

リセット時にはP0AGIOおよびP0AGPUは“ ０ ”になり，P0Aの端子はすべてプルアップ抵抗なしの入力ポートになります。また，ポートの出力ラッチの値も“ ０ ”になります。

表12－１　ポート・レジスタ（0.70H）への書き込みと読み出し

P0AGIO RF：2CH, ビット０	端子の入力／出力	BANK0 70H	
		書き込み	読み出し
0	入力	可能 P0Aラッチに書き込み	P0Aの端子の状態
1	出力		P0Aのラッチの内容

12.2　ポート0B（P0B0, P0B1, P0B2, P0B3）

ポート0Bは，出力ラッチ付き４ビットの入出力ポートです。データ・メモリのBANK0の71H番地にマッピングされています。出力形式はCMOSプッシュプル出力です。

４ビット単位で入力または出力の指定をすることができます。入力／出力の指定はレジスタ・ファイル上のP0BGIO（2CH番地のビット１）により行います。

P0BGIO = ０のとき，ポート0Bのすべての端子は入力ポートとなり，ポート・レジスタに対しデータの読み込み命令を実行すると，端子の状態が読み込まれます。

P0BGIO = １のとき，ポート0Bのすべての端子は出力ポートとなり，出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み込み命令を実行すると，端子の状態ではなく，出力ラッチの内容が取り込まれます。

また，ソフトウエア制御によるプルアップ抵抗を内蔵しています。プルアップ抵抗を内蔵するか，しないかの選択は，レジスタ・ファイルのP0BGPU（0CH番地のビット１）によって行います。P0BGPU = １で４ビットの端子すべてがプルアップされ，P0BGPU = ０でプルアップ抵抗は内蔵されません。

リセット時にはP0BGIOおよびP0BGPUは“ ０ ”になり，P0Bの端子はすべてプルアップ抵抗なしの入力ポートになります。また，ポートの出力ラッチの値も“ ０ ”になります。

表12－２　ポート・レジスタ（0.71H）への書き込みと読み出し

P0BGIO RF：2CH, ビット１	端子の入力／出力	BANK0 71H	
		書き込み	読み出し
０	入力	可能 P0Bラッチに書き込み	P0Bの端子の状態
１	出力		P0Bのラッチの内容

12.３　ポート0C（P0C0/ADC0, P0C1/ADC1, P0C2/ADC2, P0C3/ADC3）

ポート0Cは，出力ラッチ付き４ビットの入出力ポートです。データ・メモリのBANK0の72H番地にマッピングされています。出力形式はCMOSプッシュプル出力です。

１ビットごとに入力または出力を指定することができます。入力／出力の指定はレジスタ・ファイル上のP0CBIO0-P0CBIO3（1CH番地）により行います。

P0CBIOn = ０のとき（n = 0-3），P0Cn端子は入力ポートとなり，ポート・レジスタに対しデータの読み込み命令を実行すると，端子の状態が読み込まれます。また，P0CBIOn = １のとき（n = 0-3），P0Cn端子は出力ポートとなり，出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み込み命令を実行すると，端子の状態ではなく，出力ラッチの内容が取り込まれます。

リセット時にはP0CBIO0-P0CBIO3は“ ０ ”になり，P0Cの端子はすべて入力ポートになります。また，ポートの出力ラッチの内容も“ ０ ”になります。

ポート0CはA/Dコンバータのアナログ入力として使用できます。ポートまたは，アナログ入力端子としての切り替えは，レジスタ・ファイル上のP0C0IDI-P0C3IDI（1BH番地）によって行います。

P0CnIDI = ０のとき（n = 0-3），P0Cn/ADCn端子はポートとして機能し，P0CnIDI = １のとき（n = 0-3），P0Cn/ADCn端子は，A/Dコンバータのアナログ入力端子として機能します。

A/D変換を行う入力端子の選択レジスタ・ファイル上のADCCH0, ADCCH1（22H番地のビット１とビット０）で行います。

なお，A/Dコンバータの入力端子として使用する場合，端子は，P0CBIOn = ０を指定し，入力ポートに設定しなければなりません（**13.３　A/Dコンバータ**参照）。

リセット時，P0CBIO0-P0CBIO3, P0C0IDI-P0C3IDI, ADCCH0, ADCCH1は“ ０ ”に設定され，入力ポートとなります。

表12－３　ポートとA/Dコンバータの切り替え

（n = 0-3）

P0CnIDI RF：1BH	P0CBIOn RF：1CH	機　　能	BANK0 72H	
			書き込み	読み出し
0	0	入力ポート	可能 P0Cラッチ	端子の状態
	1	ポート出力	可能 P0Cラッチ	P0Cの ラッチの内容
1	0	A/Dコンバータのアナログ入力注1	可能 P0Cラッチ	P0Cの ラッチの内容
	1	出力ポートおよびA/Dコンバータのアナログ入力注2	可能 P0Cラッチ	P0Cの ラッチの内容

注１．端子をA/Dコンバータのアナログ入力として使用する場合の通常の設定です。

２．出力ポートとして機能しています。このときアナログ入力電圧は，ポートからの出力の影響を受けて変化してしまいます。端子をアナログ入力として使用する場合には，必ずP0CBIOn = 0に設定してください。

12.4　ポート0D（P0D0/$\overline{\text{SCK}}$, P0D1/SO, P0D2/SI, P0D3/$\overline{\text{TM0OUT}}$）

ポート0Dは出力ラッチ付き４ビットの入出力ポートです。データ・メモリのBANK0の73H番地にマッピングされています。出力形式はN-chオープン・ドレーン出力です。また，マスク・オプションにより１ビットごとに端子にプルアップ抵抗を内蔵することが指定できます。

１ビット単位で入力または出力を指定することができます。入力／出力の指定はレジスタ・ファイル上のP0DBIO0-P0DBIO3（2BH番地）により行います。

P0DBIOn = ０のとき（n = 0-3），P0Dn端子は入力ポートとなり，ポート・レジスタに対しデータの読み込み命令を実行すると，端子の状態が読み込まれます。また，P0DBIOn = １のとき，P0Dn端子は出力ポートとなり，出力ラッチに書かれた値が端子に出力されます。端子が出力ポートのとき，読み込み命令を実行すると，端子の状態ではなく，出力ラッチの値が取り込まれます。

リセット時には，P0DBIOnは“ ０ ”になり，P0Dの端子はすべて入力になり，ポートの出力ラッチの内容もすべて“ ０ ”になります。なお，P0DBIOnを“ １ ”から“ ０ ”に変化させても出力ラッチの内容は変わりません。

また，ポートとして使用できるほかに，シリアル・インタフェース用の入出力やタイマ０出力として使用できます。ポート（P0D0-P0D2）とシリアル・インタフェース用入出力（$\overline{\text{SCK}}$, SO, SI）の切り替えは，レジスタ・ファイル上のSIOEN（0BHのビット０）によって行います。また，ポート（P0D3）とタイマ０出力（$\overline{\text{TM0OUT}}$）の切り替えはレジスタ・ファイル上のTM0OSEL（0BHのビット３）によって行います。TM0OSEL = １を選択すると，タイマ０のリセット時には“ １ ”を出力し，タイマ０のカウント値がモジュロ・レジスタの内容と一致するごとにその出力を反転します。

表12－4　レジスタ・ファイルの内容と端子の機能

（n = 0-3）

レジスタ・ファイルの値			端子の機能			
TM0OSEL RF：0BH ビット3	SIOEN RF：0BH ビット0	P0CBIOn RF：2BH ビットn	$P0D_0/\overline{SCK}$	$P0D_1/SO$	$P0D_2/SI$	$P0D_3/\overline{TM0OUT}$
0	0	0	入力ポート			
		1	出力ポート			
	1	0	$\overline{SCK}$	SO	SI	入力ポート
		1				出力ポート
1	0	0	入力ポート			$\overline{TM0OUT}$
		1	出力ポート			
	1	0	$\overline{SCK}$	SO	SI	
		1				

表12－5　ポート・レジスタ（0.73H）を読み出したときの内容

ポートのモード		ポート・レジスタ（0.73H）を読み出したときの内容
入力ポート		端子の状態
出力ポート		出力ラッチの内容
$\overline{SCK}$	シフト・クロックに内部クロックを選択	出力ラッチの内容
	シフト・クロックに外部クロックを選択	端子の状態
SI		端子の状態
SO		不定
$\overline{TM0OUT}$		出力ラッチの内容

注意　シリアル・インタフェース使用後の$P0D_1$/SO端子の出力ラッチの内容は，SIOSFR（シフト・レジスタ）の内容に影響され不定となっています。したがって$P0D_1$/SO端子を出力ポートとして使用する場合は，出力ラッチの内容を再設定してください。

12.5　ポート1A（P1A0, P1A1, P1A2, P1A3）

ポート1Aは，出力ラッチ付き４ビットの入出力ポートです。データ・メモリのBANK1の70H番地にマッピングされています。出力形式はN-chオープン・ドレーン出力です。また，マスク・オプションにより１ビットごとに端子にプルアップ抵抗を内蔵することが指定できます。

４ビット単位で入力または出力の指定をすることができます。入力／出力の指定はレジスタ・ファイル上のP1AGIO（2CH番地のビット２）により行います。

P1AGIO = ０のとき，ポート1Aのすべての端子は入力ポートとなり，ポート・レジスタに対しデータの読み込み命令を実行すると，端子の状態が読み込まれます。または，P1AGIO = １のとき，ポート1Aのすべての端子は出力ポートとなり，出力ラッチに書かれた内容が端子に出力されます。端子が出力ポートのとき読み込み命令を実行すると，端子の状態ではなく，出力ラッチの内容が取り込まれます。

リセット時にはP1AGIOは“ ０ ”になり，ポート1Aの端子はすべて入力ポートになります。また，ポートの出力ラッチの内容も“ ０ ”になります。

表12－６　ポート・レジスタ（1.70H）への書き込みと読み出し

（n = 0-3）

P1AGIOn RF：2CH, ビット２	端子の入力／出力	BANK1 70H	
		書き込み	読み出し
0	入力	可能 P1Aラッチに書き込み	P1Aの端子の状態
1	出力		P1Aのラッチの内容

12.6　ポート1B（P1B0）

ポート1Bは１ビットの入力専用ポートです。データ・メモリのBANK1の71H番地にマッピングされています。また，マスク・オプションによりP1B0端子にプルアップ抵抗を内蔵することが指定できます。

入力専用ポートなので，読み込み時は最下位ビットの１ビットのみが有効で，値が読み込まれ，書き込み時は何も変化しません。またポート・レジスタの上位３ビットは常に“ ０ ”が読まれます。

12.7　ポート制御レジスタ

12.7.1　グループI/Oの入力／出力切り替え

４ビット単位で入力／出力を切り替えるポートをグループI/Oといいます。グループI/OとしてポートOA，ポートOB，ポート1Aがあり，これらの入力／出力切り替えは次に示すレジスタで行います。

図12－１　グループI/Oのポート制御レジスタ

RF：2CH

	ビット３	ビット２	ビット１	ビット０
	0	P1AGIO	P0BGIO	P0AGIO
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

P0AGIO	機　　能
0	ポート 0A を入力モードに設定
1	ポート 0A を出力モードに設定

P0BGIO	機　　能
0	ポート 0B を入力モードに設定
1	ポート 0B を出力モードに設定

P1AGIO	機　　能
0	ポート 1A を入力モードに設定
1	ポート 1A を出力モードに設定

12.7.2　ビットI/Oの入力／出力切り替え

１ビット単位で入力／出力を切り替えるポートをビットI/Oといいます。ビットI/OとしてポートOC，ポートODがあり，これらの入力／出力切り替えは次に示すレジスタで行います。

図12－２　ビットI/Oのポート制御レジスタ（1/2）

RF：1CH

	ビット３	ビット２	ビット１	ビット０
	P0CBIO3	P0CBIO2	P0CBIO1	P0CBIO0
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

P0CBIO0	機　　能
0	$P0C_0$ を入力モードに設定
1	$P0C_0$ を出力モードに設定

P0CBIO1	機　　能
0	$P0C_1$ を入力モードに設定
1	$P0C_1$ を出力モードに設定

P0CBIO2	機　　能
0	$P0C_2$ を入力モードに設定
1	$P0C_2$ を出力モードに設定

P0CBIO3	機　　能
0	$P0C_3$ を入力モードに設定
1	$P0C_3$ を出力モードに設定

図12－2　ビットI/Oのポート制御レジスタ（2/2）

RF：2BH

	ビット３	ビット２	ビット１	ビット０
	P0DBIO3	P0DBIO2	P0DBIO1	P0DBIO0
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

P0DBIO0	機　　能
0	$P0D_0$ を入力モードに設定
1	$P0D_0$ を出力モードに設定

P0DBIO1	機　　能
0	$P0D_1$ を入力モードに設定
1	$P0D_1$ を出力モードに設定

P0DBIO2	機　　能
0	$P0D_2$ を入力モードに設定
1	$P0D_2$ を出力モードに設定

P0DBIO3	機　　能
0	$P0D_3$ を入力モードに設定
1	$P0D_3$ を出力モードに設定

12.7.3　ソフトウエアによるプルアップ抵抗内蔵の指定

レジスタ・ファイルのP0AGPU, P0BGPU（0CH番地）により，４ビットまとめてプルアップ抵抗内蔵の指定ができます。

図12－３　ソフトウエアによるプルアップ抵抗内蔵の指定

RF：0CH

	ビット３	ビット２	ビット１	ビット０
	0	0	P0BGPU	P0AGPU
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

P0AGPU	機　　能
0	ポート0Aにプルアップ抵抗を内蔵しない
1	ポート0Aにプルアップ抵抗を内蔵する

P0BGPU	機　　能
0	ポート0Bにプルアップ抵抗を内蔵しない
1	ポート0Bにプルアップ抵抗を内蔵する

第13章　周辺ハードウエア ★

13.1　８ビット・タイマ・カウンタ（TM0, TM1）

μPD17134Aサブシリーズの８ビット・タイマ・カウンタには，タイマ０（TM0）とタイマ１（TM1）の２チャネルのタイマがあります。

タイマ０のカウント・アップ信号をタイマ１のカウント・パルスとして用いることにより，１チャネルの16ビット・タイマとして用いることも可能です。

各タイマの制御は，PUT/GET命令を使ったハードウエアの操作とPEEK/POKE命令を使ったレジスタ・ファイル上のレジスタの操作により行います。

13.1.1　８ビット・タイマ・カウンタの構成

図13－１に８ビット・タイマ・カウンタの構成を示します。８ビット・タイマ・カウンタは８ビットのカウント・レジスタ，８ビットのモジュロ・レジスタ，カウント・レジスタとモジュロ・レジスタの値を比較するコンパレータおよびカウント・パルスを選択するセレクタで構成されています。

注意１．モジュロ・レジスタは，書き込み専用レジスタです。
２．カウント・レジスタは，読み出し専用レジスタです。

★ **図13－1　8ビット・タイマ・カウンタの構成**

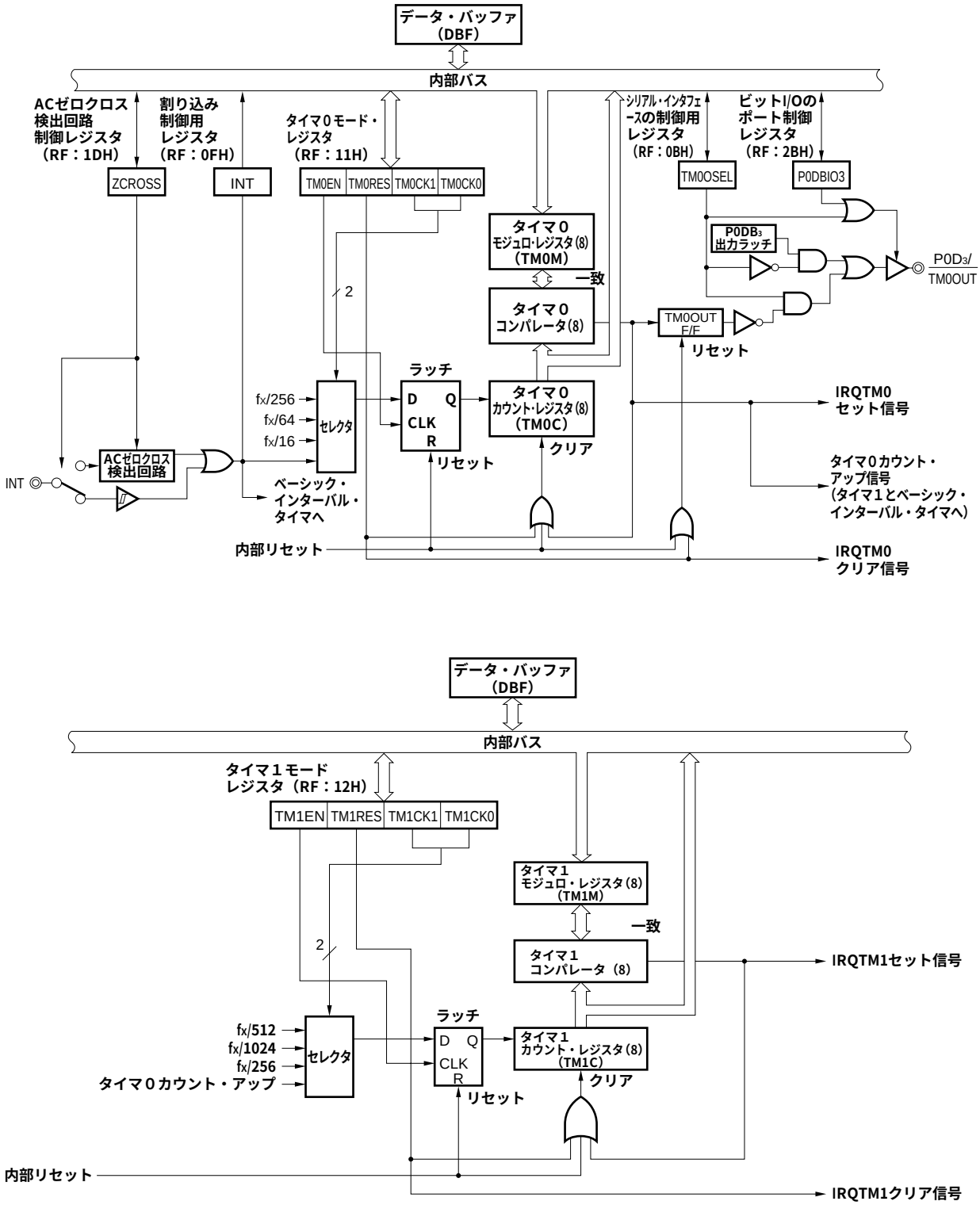


図13－２　タイマ０モード・レジスタ

RF : 11H

	ビット３	ビット２	ビット１	ビット０
	TM0EN	TM0RES	TM0CK1	TM0CK0
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R,　ライト = W

TM0CK1	TM0CK0	タイマ０のカウント・パルスの選択
0	0	fx／256
0	1	fx／64
1	0	fx／16
1	1	INT端子からの外部クロック

TM0RES	タイマ０のリセット
0	タイマ０に影響なし
1	タイマ０カウント・レジスタとIRQTM0をリセット

備考　TM0RESは，セット（１）後，自動的にクリア（０）されます。読み出し時は常に“０”が読み出されます。

TM0EN	タイマ０のスタート指示
0	タイマ０のカウントを停止する
1	タイマ０のカウントを開始する

備考　TM0ENは，タイマ０のカウント状態を検出するステータス・フラグとして使用することができます（１：カウント動作中，０：カウント停止状態）。

図13－３　タイマ１モード・レジスタ

RF : 12H

	ビット３	ビット２	ビット１	ビット０
	TM1EN	TM1RES	TM1CK1	TM1CK0
リード／ライト	R/W			
リセット時の初期値	1	0	0	0

TM1CK1	TM1CK0	タイマ１のカウント・パルスの選択
0	0	fx／512
0	1	fx／1024
1	0	fx／256
1	1	タイマ０からのカウント・アップ信号

TM1RES	タイマ１のリセット
0	タイマ１に影響なし
1	タイマ１カウント・レジスタとIRQTM1をリセット

備考　TM1RESは，セット（１）後，自動的にクリア（０）されます。読み出し時は常に“０”が読み出されます。

TM1EN	タイマ１のスタート指示
0	タイマ１のカウントを停止する
1	タイマ１のカウントを開始する

備考　TM1ENは，タイマ１のカウント状態を検出するステータス・フラグとして使用することができます（１：カウント動作中，０：カウント停止状態）。

13.1.2　８ビット・タイマ・カウンタの動作

（1）　カウント・レジスタ

タイマ０およびタイマ１のカウント・レジスタは，初期値が00Hの８ビットのアップ・カウンタで，カウント・パルスが入力されるごとにインクリメントされます。

カウント・レジスタが00Hに初期化されるのは，次のときです。

① この製品がリセットされたとき（**第17章　リセット**参照）

② ８ビット・モジュロ・レジスタの内容とカウント・レジスタの値が一致し，コンパレータが一致信号を発生したとき

③ タイマ０の場合，レジスタ・ファイルのTM0RESに“１”が書き込まれたとき
タイマ１の場合，レジスタ・ファイルのTM1RESに“１”が書き込まれたとき

（2）モジュロ・レジスタ

タイマ０およびタイマ１のモジュロ・レジスタは，カウント・レジスタのカウント値を決定するレジスタで，初期値はFFHに設定されています。

モジュロ・レジスタに対する値の設定は，PUT命令によりDBF（データ・バッファ）を介して行います。

（3）コンパレータ

タイマ０およびタイマ１のコンパレータは，カウント・レジスタとモジュロ・レジスタの値が一致した次のカウント・パルスが入力された時点で，一致信号を出力します。つまり，モジュロ・レジスタの値が初期値FFHであった場合は，256カウントしたとき，一致信号を出力します。

コンパレータからの一致信号は，カウント・レジスタの内容を０にクリアするとともに，割り込み要求フラグ（IRQTM0, IRQTM1）を自動的に“１”にセットします。このときEI命令（割り込み受け付け許可命令）が実行されていて，かつ割り込み許可フラグ（IPTM0, IPTM1）がセットされている状態であれば，割り込みを受け付けます。割り込みを受け付けた場合，割り込み要求フラグ（IRQTM0またはIRQTM1）を“０”にして，プログラムの実行を割り込み処理に移します。

13.1.3　カウント・パルスの選択

タイマ０のカウント・パルスの選択は，TM0CK0およびTM0CK1で選択します。

システム・クロック（fx）を256分周，64分周または16分周したカウント・パルス，またはINT端子から入力される外部カウント・パルスの４種類の中から１つを選択することができます。

リセット時はTM0CK0 = 0, TM0CK1 = 0になっており，fx／256が選択されています。

タイマ１のカウント・パルスの選択は，TM1CK0およびTM1CK1で選択します。

fxを1024分周，512分周または256分周したカウント・パルス，または，タイマ０からのカウント・アップ信号４種類の中から１つを選択することができます。

また，電源立ち上げ時およびリセット時，タイマ１は発振安定待ち時間の生成に用いられます。このため，初期値はTM1CK0 = 0, TM1CK1 = 0になっており，カウント・パルスにはfx／512が選択されています。そして，TM1EN = 1が初期値として設定されていますので，fx = ８MHzではリセットしてから約16.4 ms（２MHz時約65.5 ms）経過後，μPD17134Aサブシリーズは0000H番地からスタートします（**第17章　リセット**参照）。

13.1.4　モジュロ・レジスタへのカウント値の設定

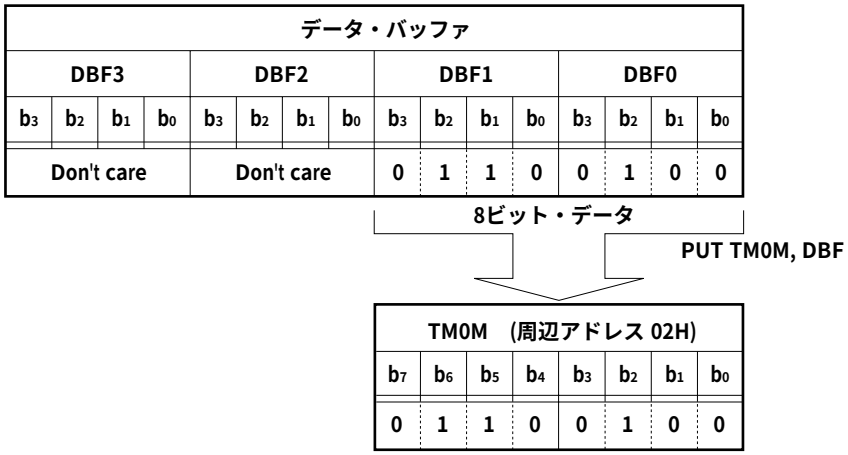
モジュロ・レジスタに対する値の設定は，PUT命令によりDBF（データ・バッファ）を介して行います。モジュロ・レジスタの周辺アドレスは，タイマ０は02H，タイマ１は03Hに割り付けられています。

PUT命令により値を転送する場合，DBFの下位８ビット（DBF1, DBF0）のデータがモジュロ・レジスタに転送されます。タイマ０の例を図13－４に示します。

図13－４　モジュロ・レジスタへのカウント値の設定

タイマ０のモジュロ・レジスタにカウント値64Hを設定した例

```
CONTDATL  DAT   4H              ；シンボル定義命令を用いCONTDATLを4Hに割り当てる
CONTDATH  DAT   6H              ；シンボル定義命令を用いCONTDATHを6Hに割り当てる
          MOV   DBF0, #CONTDATL；
          MOV   DBF1, #CONTDATH；
          PUT   TM0M, DBF       ；予約語 “ TM0M ” を用い転送。
```



注意　モジュロ・レジスタに設定できる値の範囲は，01H - FFHです。00Hを設定すると，正常なカウント動作が行われません。

モジュロ・レジスタは，書き込み専用レジスタです。モジュロ・レジスタから設定値を読み出すことはできません。また，８ビット・タイマ・カウンタが動作中に，“ PUT TM0M, DBF ” 命令または“ PUT TM1M, DBF ” 命令を実行してもカウント動作を停止することはありません。

13.1.5　カウント・レジスタの値の読み出し

カウント・レジスタの値の読み出しは，GET命令によりDBF（データ・バッファ）を介してタイマ０とタイマ１を同時に行います。

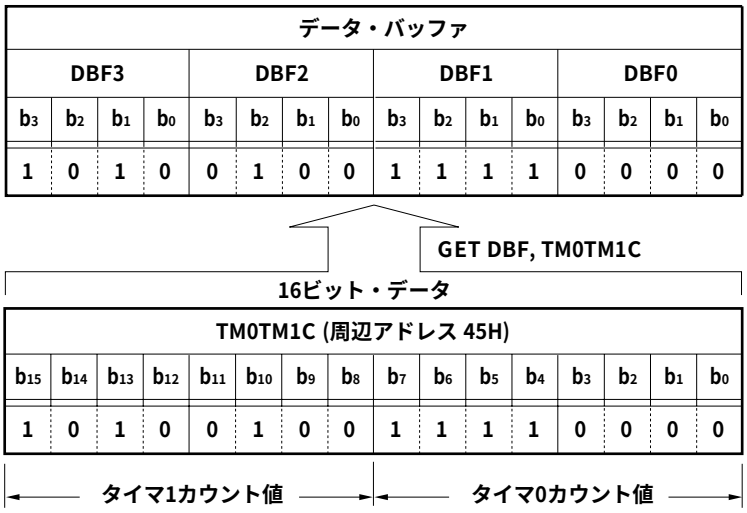
タイマ０とタイマ１のカウント・レジスタの値は，周辺アドレス45Hに割り付けられ，上位８ビットはタイマ１のカウント値，下位８ビットはタイマ０のカウント値に割り付けられています。

GET命令により，カウント・レジスタの値をDBFに読み出すことができます。なお，GET命令実行中には，カウント・レジスタはカウント動作を停止し，カウント値を保持している状態に入ります。なお，タイマが動作中でかつGET命令実行中にカウント・パルスが入力された場合，そのカウントを保留し，GET命令終了後カウント・レジスタを１つインクリメントしたのちカウント動作を続ける機能を備えています。

このため，１命令サイクル中にカウント・パルスが２つ以上入力されないかぎり，タイマの動作中にGET命令を実行しても，ミス・カウントすることはありません。

図13－５　カウント・レジスタのカウント値の読み出し

タイマ０のカウント値がF0H，タイマ１のカウント値がA4Hのとき
GET DBF, TM0TM1C；予約語DBFおよびTM0TM1Cを使用した例



13.1.6　インターバル時間の設定

コンパレータから一致信号が出力される時間間隔（インターバル時間）はモジュロ・レジスタに設定する値によって決まります。次にインターバル時間T［sec］からモジュロ・レジスタの設定値Nを求める計算方法を示します。

$$T = \frac{N+1}{f_{CP}} = (N+1) \times T_{CP}$$

$$N = T \times f_{CP} - 1 \text{ または } N = \frac{T}{T_{CP}} - 1 \text{（ただし，N = 1～255）}$$

f_{CP}　：カウント・パルスの周波数［Hz］

T_{CP}　：カウント・パルスの周期［sec］（$1/f_{CP}$ = 分解能）

●インターバル時間からカウント値を計算する場合の計算例とプログラム例

・タイマ１でインターバル時間に7 msを想定した例（システム・クロック：f_X = 8 MHz）

インターバル時間に7 msを想定した場合，8 MHzのシステム・クロックから7 msちょうどのインターバル時間を設定することは不可能です。したがって最も近いインターバル時間を設定するためには，分解能が最大になるカウント・パルス（f_X/256，分解能：32 μs）を選択し，カウント値を計算します。

（計算例）　T = 7 ms，分解能：32 μs

$$N = \frac{T}{\text{（分解能）}} - 1$$

$$= \frac{7 \times 10^{-3}}{32 \times 10^{-6}} - 1$$

= 217.75　218（= DAH）

インターバル時間が7 msに最も近くなるモジュロ・レジスタの値はDAHとなり，そのときのインターバル時間は7.008 msとなります。

（プログラム例）

```
MOV   DBF0，＃0AH    ；予約語“ DBF0 ”，“ DBF1 ”を用いてDBFにDAHを
MOV   DBF1，＃0DH    ；格納
PUT   TMM， DBF      ；予約語“ TMM ”を用いてDBFの内容を転送

INITFLG TM1EN，TM1RES，TM1CK1，NOT TM1CK0
                     ；組み込みマクロ命令“ INITFLG ”を用いてTM1EN，TM1RES
                     ；をセット，タイマ１のカウント・パルスを“ fx/256 ”に設定，
                     ；カウント・スタート
```

13.1.7　インターバル時間の誤差

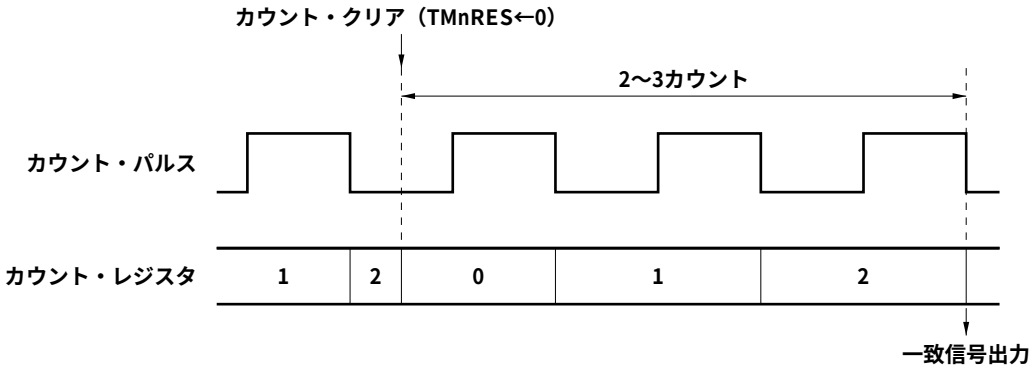
インターバル時間には，最大で－1.5カウントの誤差を生じることがあります。モジュロ・レジスタの設定値が小さい場合にはご注意ください。

（1）カウント中にカウント・レジスタを０にクリアしたときの誤差（最大誤差：－１カウント）

８ビット・タイマ・カウンタのカウント・レジスタは，TMnRESフラグをセット（1）することにより０にクリアされますが，システム・クロックからカウント・パルスを生成するための分周回路はリセットされません。

したがって，カウント中にTMnRESフラグをセット（1）してカウントを０にクリアした場合，１カウント目のタイミングにカウント・パルス１周期分の誤差が生じます。次にモジュロ・レジスタに２を設定した場合のカウント例を示します。

図13－６　カウント中にカウント・レジスタを０にクリアしたときの誤差



この例では３カウントごとに一致信号が出るはずですが，カウント・クリア後の最初の１回目だけは最小２カウントで一致信号が出力されます。

なお，TMnEN = 1←0と同時に，TMnRES←1した場合も上記の誤差が生じます。

（2）カウント停止状態からカウントを開始したときの誤差（最大誤差：－1.5カウント）

８ビット・タイマ・カウンタのカウント・レジスタは，TMnRESフラグをセット（1）することにより０にクリアされますが，システム・クロックからカウント・パルスを生成するための分周回路はリセットされません。

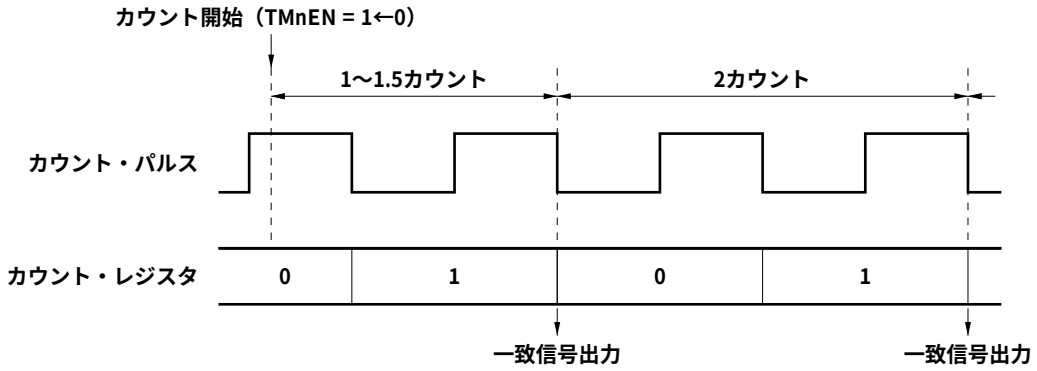
また，TMnENフラグをセット（1）してカウント停止状態からカウントを開始した場合，カウント・パルスがロウ・レベルから始まるかハイ・レベルから始まるかによって，１カウント目のタイミングが次のように異なります。

ハイ・レベルから始まる場合，次の立ち下がりが１カウント目
ロウ・レベルから始まる場合，カウント開始時点が１カウント目

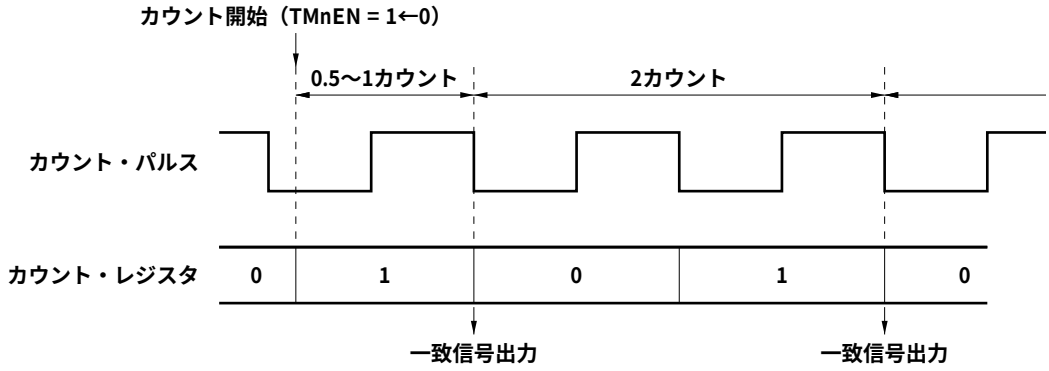
したがって，カウント開始後の最初の１回目だけは，一致信号が出るまでの時間に－0.5～－1.5カウントの誤差が生じます。次にモジュロ・レジスタに１を設定した場合のカウントの例を示します。

図13－７　カウント停止状態からカウントを開始したときの誤差

（a）カウント・パルスからハイ・レベルから始まった場合（誤差：－0.5～－1カウント）



（b）カウント・パルスがロウ・レベルから始まった場合（誤差：－1～－1.5カウント）



この例では２カウントごとに一致信号が出るはずですが，最初の１回目だけは，最長で1.5カウント，最短で0.5カウント（誤差：－0.5～－1.5カウント）で一致信号が出力されます。

なお，タイマは発振安定待ち時間の生成にも使用されているため，発振安定待ち時間にも上記の誤差が生じます。

13.1.8　タイマ０出力

TM0OSELフラグを“１”にセットすることにより，POD_3/$\overline{TM0OUT}$端子は，タイマ０出力端子として機能します。このときP0DBIO3の値は関係ありません。

タイマ０は内部に一致信号出力用のフリップフロップを持っており，コンパレータが一致信号を出力するたびに，その出力を反転させます。TM0OSELフラグを“１”にセットした場合，このフリップフロップの内容が$P0D_3$/$\overline{TM0OUT}$端子に出力されます。

また，$P0D_3$/$\overline{TM0OUT}$端子はN - chオープン・ドレーン出力端子で，マスク・オプションにより，プルアップ抵抗を内蔵することが可能です。プルアップ抵抗を内蔵しない場合，$P0D_3$/$\overline{TM0OUT}$端子の初期状態はハイ・インピーダンスとなります。

なお，内部のタイマ０出力フリップフロップは，TM0EN = 1にした時点から動作を開始していますので，タイマ０出力が必ず端子の初期状態から始まるようにするためには，TM0RESに“１”をセットし，フリップフロップをリセットしてからスタートさせることが必要です。

図13－８　タイマ０出力設定用レジスタ

RF : 0BH

	ビット３	ビット２	ビット１	ビット０
	TM0OSEL	0	0	SIOEN
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

SIOEN	機　　能
0	$P0D_0$/$\overline{SCK}$, $P0D_1$/SO, $P0D_2$/SIの各端子はポートとして機能
1	$P0D_0$/$\overline{SCK}$, $P0D_1$/SO, $P0D_2$/SIの各端子はシリアル・インタフェースとして機能

注意　タイマ０の出力設定とは直接関係ありません。

TM0OSEL	機　　能
0	$P0D_3$/$\overline{TM0OUT}$端子はポートとして機能
1	$P0D_3$/$\overline{TM0OUT}$端子はタイマ0の一致信号出力として機能

13.2　ベーシック・インターバル・タイマ（BTM）

μPD17134Aサブシリーズは，7ビットのベーシック・インターバル・タイマを内蔵しています。

ベーシック・インターバル・タイマには，次に示す機能があります。

（1）基準時間発生

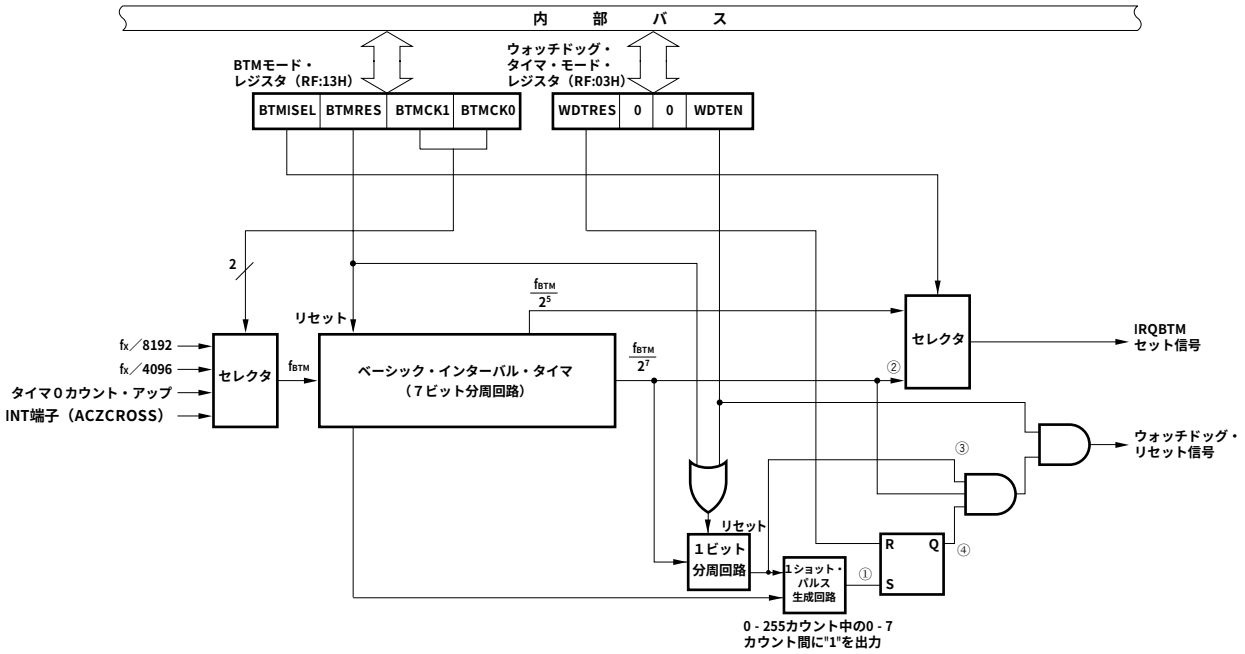
（2）スタンバイ・モード解除時のウエイト時間の選択とカウント

（3）プログラムの暴走を検出するウォッチドッグ・タイマ機能

13.2.1　ベーシック・インターバル・タイマの構成

図13－9にベーシック・インターバル・タイマの構成を示します。

図13－9　ベーシック・インターバル・タイマの構成



備考　図中の① - ④は図13－12のタイミング・チャート中の信号を示します。

13.2.2　ベーシック・インターバル・タイマを制御するレジスタ

ベーシック・インターバル・タイマは，BTMモード・レジスタおよびウォッチドッグ・タイマ・モード・レジスタによって制御します。

図13－10，13－11にそれぞれのレジスタの構成を示します。

図13－10　BTMモード・レジスタ

RF : 13H

	ビット3	ビット2	ビット1	ビット0
	BTMISEL	BTMRES	BTMCK1	BTMCK0
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

BTMCK1	BTMCK0	BTMのカウント・パルスの選択
0	0	f_X／8192 （512命令実行時間）
0	1	f_X／4096 （256命令実行時間）
1	0	タイマ0のカウント・アップ
1	1	INT端子 （ZCROSS = 1のとき，ACゼロクロス検出回路を経由したINT端子の情報）

BTMRES	BTMのリセット
0	ベーシック・インターバル・タイマ（BTM）には影響ありません。
1	ベーシック・インターバル・タイマ（BTM）のバイナリ・カウンタをリセットします。

備考　BTMRESは，セット（1）後，自動的にクリア（0）されます。読み出し時は常に“0”が読み出されます。

BTMISEL	インターバル時間の選択
0	インターバル時間をカウント・パルスの128分周に設定
1	インターバル時間をカウント・パルスの32分周に設定

図13－11　ウォッチドッグ・タイマ・モード・レジスタ

RF : 03H

	ビット３	ビット２	ビット１	ビット０
	WDTRES	0	0	WDTEN
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

WDTEN	ウォッチドッグ・タイマ機能の許可
0	ウォッチドッグ・タイマが停止の状態です。
1	ウォッチドッグ・タイマの動作を開始します。

備考１． WDTENは，プログラムではクリア（０）できません。

２． WDTENは，セット（１）後，自動的にクリア（０）されます。読み出し時は常に“０”が読み出されます。

WDTRES	ウォッチドッグ・タイマのリセット
0	ウォッチドッグ・タイマに影響はありません。
1	ウォッチドッグ・タイマに用いるBTMのオーバフロー・キャリーを保持するフリップ・フロップがリセットされます。

備考　WDTRESは，セット（１）後，自動的にクリア（０）されます。読み出し時は常に“０”が読み出されます。

13.2.3　ベーシック・インターバル・タイマの動作

ベーシック・インターバル・タイマは，BTMモード・レジスタで指定されるカウント・パルスにより常にカウント・アップされている７ビットのバイナリ・カウンタです。カウント動作を停止させることはできません。

ベーシック・インターバル・タイマは，BTMISELによりインターバル時間を切り替えることができます。BTMISEL = 0のとき，インターバル時間はカウント・パルスを128分周した時間（128/f_{BTM}）となり，BTMISEL = 1のとき，カウント・パルスを32分周した時間（32/f_{BTM}）となります。

なお，インターバル時間を切り替えてもカウンタの内容はクリア（０）されません。

13.2.4　ウォッチドッグ・タイマ機能

ベーシック・インターバル・タイマは，プログラムの暴走を検出するウォッチドッグ・タイマとしても使用できます。

（1）ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは，リセット信号を一定周期で発生するカウンタです。プログラムにより毎回このリセット信号の発生を禁止することにより，外部ノイズなどによりシステムが暴走した（ウォッチドッグ・タイマが所定の時間内にリセットされなかった）場合に，システムに対してリセット（0000H番地スタート）をかけることができます。

この機能によって，プログラムが外部ノイズなどにより意図しないルーチンに跳び，無限ループに陥った場合でも，一定時間内にリセット信号が発生するため暴走状態から脱出できます。

（2）ウォッチドッグ・タイマの動作

WDTENをセット（1）すると，1ビット分周回路が動作可能状態になり，ベーシック・インターバル・タイマは8ビットのウォッチドッグ・タイマとして動作を開始します。

ウォッチドッグ・タイマはいったん動作させると，デバイスにリセットがかかりWDTENがクリア（0）されるまで止めることはできません。

ウォッチドッグ・タイマによるリセットを禁止するには，次の2つの手段があります。

① WDTRESをセットすることをプログラム中で繰り返す。
② BTMRESをセットすることをプログラム中で繰り返す。

①の場合，図13－12に示すように，ウォッチドッグ・タイマのカウント値が8から191（192になる直前）までの期間にWDTRESをセットする必要があります。したがって，ウォッチドッグ・タイマが184カウントする周期より短いタイミングで少なくとも1回は“SET1　WDTRES”が実行されるようにプログラムします。

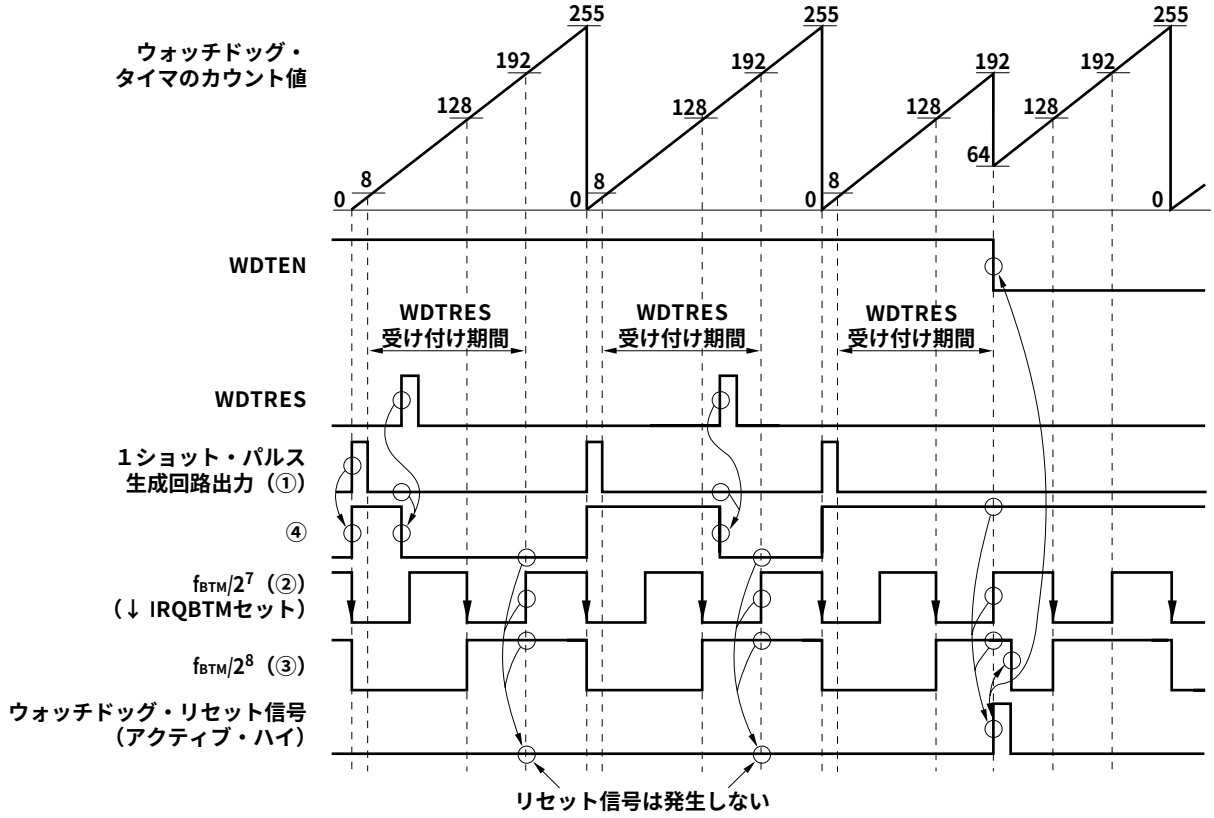
②の場合，ベーシック・インターバル・タイマ（BTM）が128カウントするまでの期間にBTMRESをセットする必要があります。したがって，BTMが128カウントする周期より短いタイミングで少なくとも1回は“SET1　BTMRES”が実行されるようにプログラムします。ただし，この方法ではBTMによる割り込み処理はできなくなります。

注意　WDTENをセットしてもBTMはリセットされません。したがって，最初にWDTENをセットする前に，必ずBTMRESをセットして，BTMをリセットするようにしてください。

例

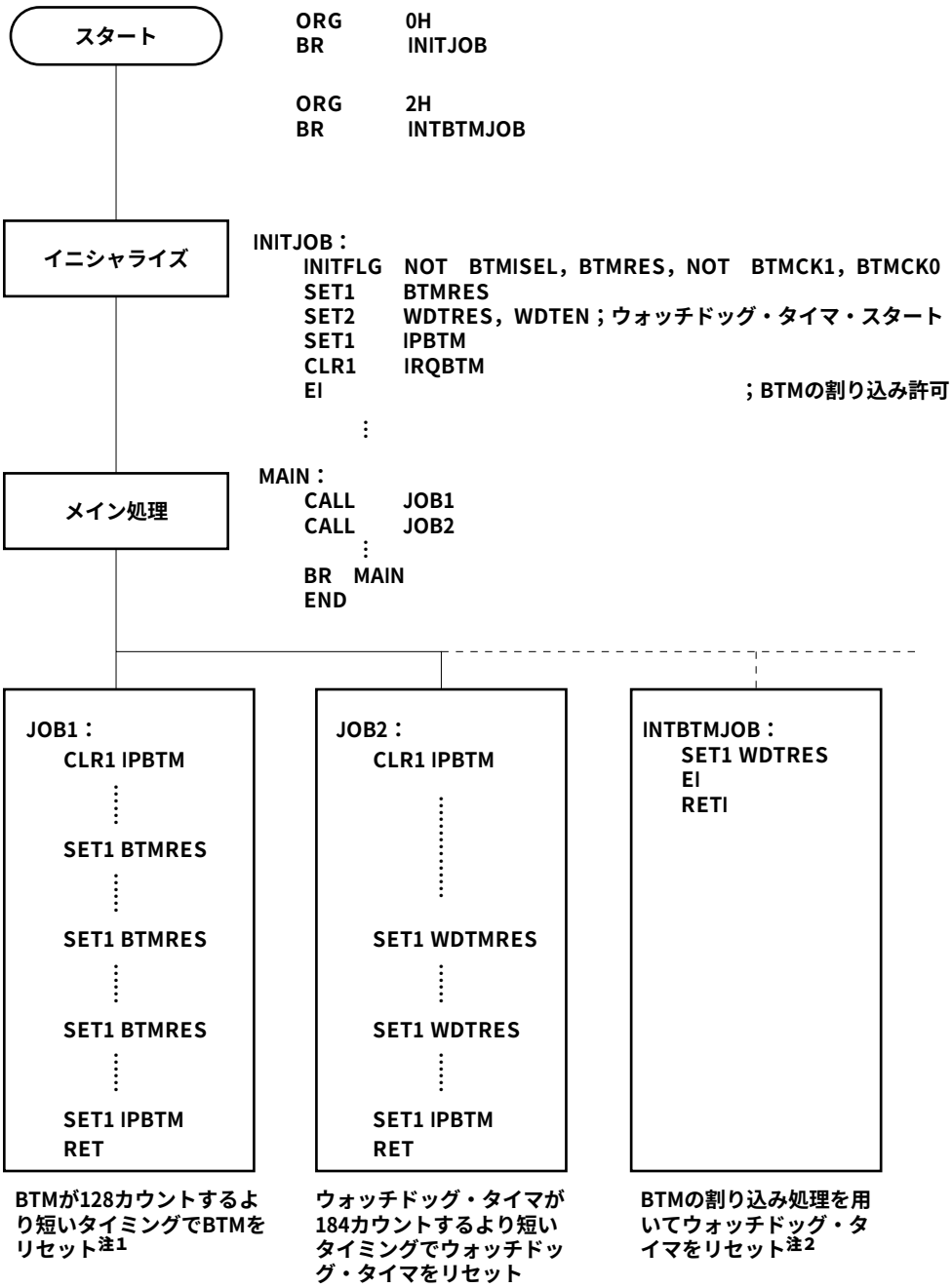
```
        ⋮
    SET1   BTMRES
    SET2   WDTEN, WDTRES
        ⋮
```

図13－12　ウォッチドッグ・タイマのタイミング・チャート（WDTRESフラグを利用した場合）



（3）ウォッチドッグ・タイマのプログラム例

（プログラム例）



注1． BTMがオーバフローする前にカウンタをリセットする方式では，BTMによる割り込み処理はできません。

2． BTMの割り込み処理を用いてウォッチドッグ・タイマをリセットする方式は，ほかの2つの方式に比べてプログラミングは容易ですが，暴走の検出率は劣ります。

13.3　A/Dコンバータ

μPD17134Aサブシリーズは，４チャネルのアナログ入力（P0C$_0$/ADC$_0$-P0C$_3$/ADC$_3$）を持つ８ビット分解能のA/Dコンバータを内蔵しています。

A/Dコンバータは逐次比較法を採用しています。動作モードは，次の２つです。

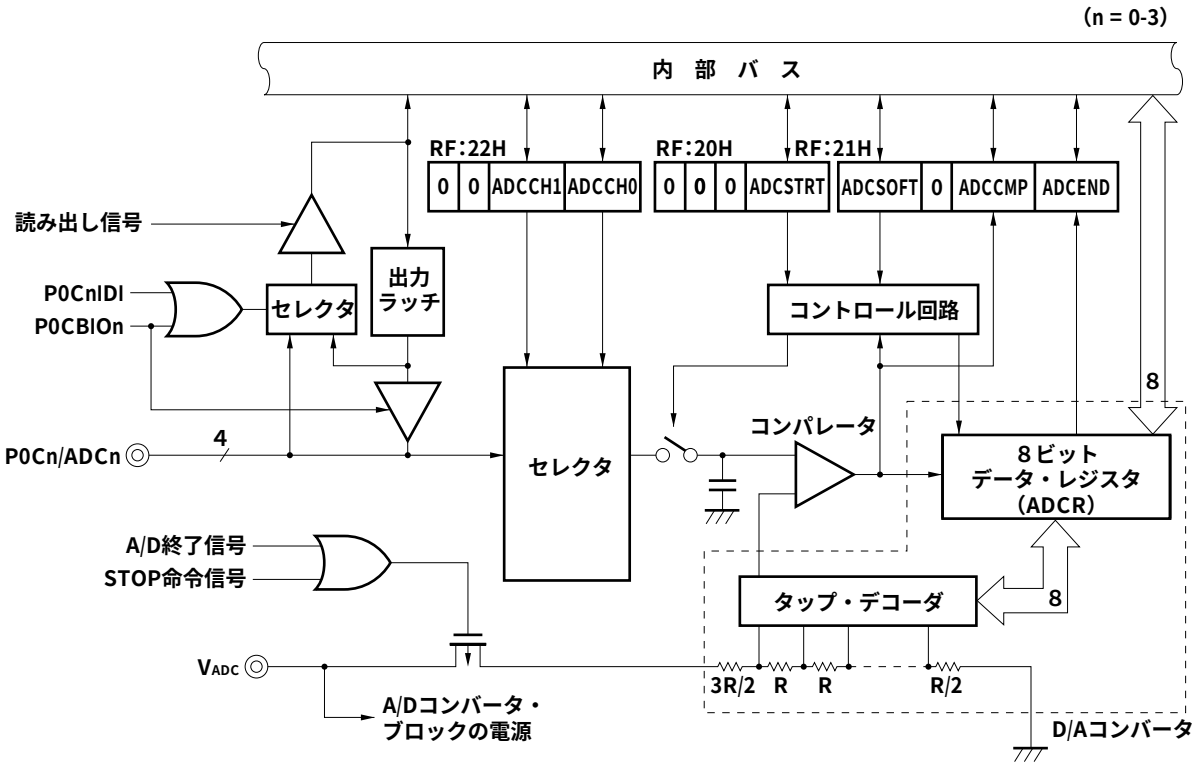
① ８ビットのA/D変換を上位ビットから順に行う連続モード

② ８ビット・データ・レジスタで設定した任意の電圧値と大小比較を行う単発モード

13.3.1　A/Dコンバータの構成

A/Dコンバータは，図13－13に示すように構成されています。

図13－13　A/Dコンバータのブロック図



注意１．STOP命令実行時，８ビット・データ・レジスタ（ADCR）は，00Hにクリアされます。

２．A/D変換中にHALT命令が実行されると，V$_{ADC}$-GND間に電流が流れたままになりますのでご注意ください。

13.3.2　A/Dコンバータの機能

（1）ADC_0-ADC_3端子

A/Dコンバータへの４チャネルのアナログ電圧の入力端子です。A/D変換するアナログ信号を入力します。A/Dコンバータ内部にはサンプル・ホールド回路が内蔵されており，A/D変換中のアナログ入力電圧は内部で保持されています。

（2）V_{ADC}端子

A/Dコンバータの基準電圧およびA/Dコンバータ・ブロックの電源電圧を入力する端子です。

V_{ADC}-GND間にかかる電圧に基づいて，ADC_0-ADC_3に入力される信号をディジタル信号に変換します。なお，μPD17134Aサブシリーズの A/Dコンバータは，消費電流を抑えるため，A/Dコンバータが動作していないときは，自動的にV_{ADC}端子に流れ込む電流を止める機能が内蔵されています。V_{ADC}端子に電流が流れるときは，次の場合です。

① 連続モード（ADCSOFT = 0）のとき

ADCSTRTフラグがセット（1）されてからADCENDフラグがセット（1）されるまでの間

② 単発モード（ADCSOFT = 1）のとき

ADCSTRTフラグがセット（1）または８ビット・データ・レジスタの値が書き込まれてからコンパレータの比較結果がADCCMPフラグに書き込まれるまでの間

注意　A/D変換中にHALT命令が実行されると変換を中断します。このときV_{ADC}端子に電流が流れたまま，HALTモードになりますのでご注意ください。なお，HALTモードが解除されると，A/D変換を再開しますが，このときADCRは不定値となり正しい変換結果は得られません。

備考　A/D変換中にSTOP命令が実行されると変換を中断します。また，A/Dコンバータは初期状態にイニシャライズされ，V_{ADC}端子の電流もカットされます。なお，STOPモードが解除されても，A/Dコンバータは停止したままです。

（3）８ビット・データ・レジスタ（ADCR）

連続モード時，逐次比較のA/D変換の結果を格納する８ビットのレジスタです。GET命令により読み出します。単発モード時，８ビット・データ・レジスタの内容が内部のD/Aコンバータでアナログ電圧に変換され，コンパレータがADCn端子から入力されたアナログ信号と大小比較を行うのに使います。PUT命令により値を書き込むことができます。

（4）コンパレータ

コンパレータは，アナログ入力電圧と，D/Aコンバータから出力された電圧を比較します。アナログ入力電圧が高ければ“１”を，低ければ“０”を出力します。比較結果は，連続モード時は８ビット・データ・レジスタ（ADCR）に，単発モード時はADCCMPフラグに格納されます。

（5）A/Dコンバータ制御レジスタ

A/Dコンバータ制御レジスタを図13－14に示します。

図13－14　A/Dコンバータ制御レジスタ（1/2）

RF : 21H

	ビット3	ビット2	ビット1	ビット0
	ADCSOFT	0	ADCCMP	ADCEND
リード／ライト	R/W		R	
リセット時の初期値	0	0	0	0

リード = R, ライト = W

ADCEND	A/D変換の終了
0	初期状態またはA/D変換中
1	連続モードでのA/D変換の終了を示します。ADCSTRTがセット（1）されると自動的にクリア（0）されます。

ADCCMP	コンペアの結果（単発モード時のみ有効）
0	アナログ入力電圧が内部のD/Aコンバータの出力電圧より低いとき。
1	アナログ入力電圧が内部のD/Aコンバータの出力電圧より高いとき。

備考1． フラグの内容は，単発モード時，ADCSTRTセット（1）実行後または，ADCRにデータをセット後，3命令目以後有効で，次のADCSTRTセット，ADCRセットまで有効です。

2． 連続モード時，A/D変換値により値は変化しますが，何ビット目の値であるかは特定できません。

3． ADCCMPは“ PUT ADCR, DBF ”命令が実行されると自動的にクリア（0）されます。

ADCSOFT	A/D動作モード選択フラグ
0	連続モード
1	単発モード

図13－14　A/Dコンバータ制御レジスタ（2/2）

RF : 20H

	ビット3	ビット2	ビット1	ビット0
	0	0	0	ADCSTRT
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

ADCSTRT	A/D動作スタート
0	初期状態またはA/D変換中
1	A/D変換（連続モード，単発モード[注]）が開始されると自動的にクリア（0）されます。

注　μPD17134Aサブシリーズでは，ADCSTRTフラグをセットすると，A/D変換モードにかかわりなくADCRは0にリセットされます。単発モードでは，ADCRへの値の書き込みによって変換をスタートさせるようにしてください。

RF : 22H

	ビット3	ビット2	ビット1	ビット0
	ADCCH3	ADCCH2	ADCCH1	ADCCH0
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

ADCCH1	ADCCH0	アナログ入力チャネル選択
0	0	ADC_0を選択
0	1	ADC_1を選択
1	0	ADC_2を選択
1	1	ADC_3を選択

“ 0 ”固定（ダミー・フラグです）

13.3.3　８ビット・データ・レジスタ（ADCR）への値の設定

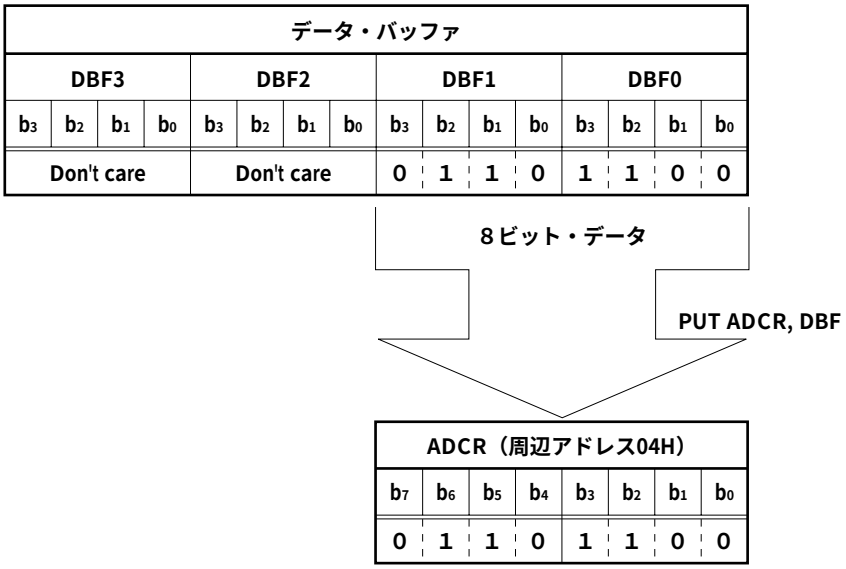
８ビット・データ・レジスタに対する値の設定は，単発モードにおける比較電圧の設定と同様に，PUT命令によりDBF（データ・バッファ）を介して行います。

A/Dコンバータの８ビット・データ・レジスタ（ADCR）の周辺アドレスは，04Hに割り付けられています。ADCRにPUT命令により値を転送する場合，DBFの下位８ビット（DBF1, DBF0）のみが有効です。DBF3およびDBF2の値はADCRには影響を与えません。

図13－15　８ビット・データ・レジスタ（ADCR）への値の設定

ADCRに6CHを設定した例

```
CONTDATL   DAT    CH          ；シンボル定義命令を用いCONTDATLをCHに割り当てる
CONTDATH   DAT    6H          ；シンボル定義命令を用いCONTDATHを6Hに割り当てる
           MOV    DBF0, #CONTDATL ；
           MOV    DBF1, #CONTDATH ；
           PUT    ADCR, DBF   ；予約語“ADCR”“DBF”を用い転送
```



13.3.4　８ビット・データ・レジスタ（ADCR）の値の読み出し

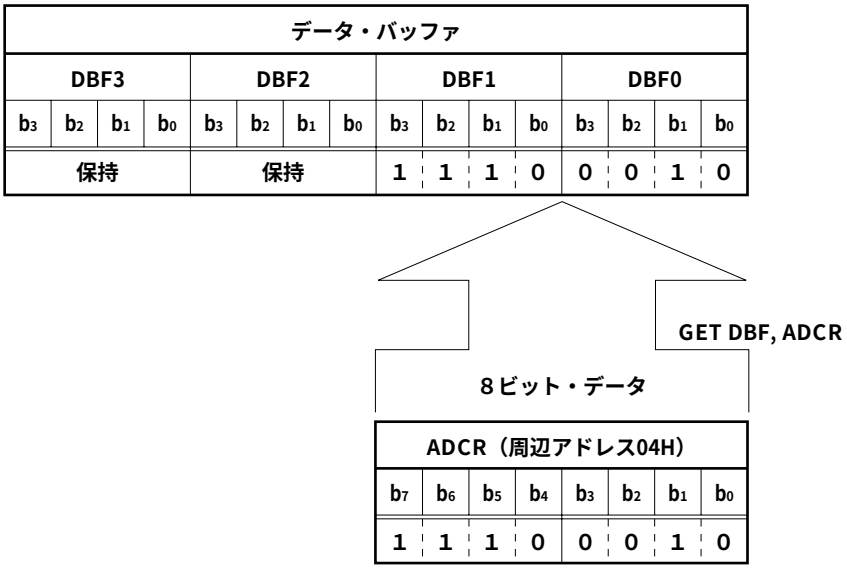
８ビット・データ・レジスタ（ADCR）の値の読み出しは，GET命令によりDBF（データ・バッファ）を介して行います。

A/Dコンバータの８ビット・データ・レジスタ（ADCR）は，周辺アドレス04Hに割り付けられ，下位８ビット（DBF1, DBF0）のみ有効です。GET命令を実行してもDBFの上位８ビットは影響を受けません。

図13－16　８ビット・データ・レジスタ（ADCR）の値の読み出し

８ビットA/D変換した結果がE2Hのとき

```
GET    DBF, ADCR    ；予約語DBFおよびADCRを使用した例
```

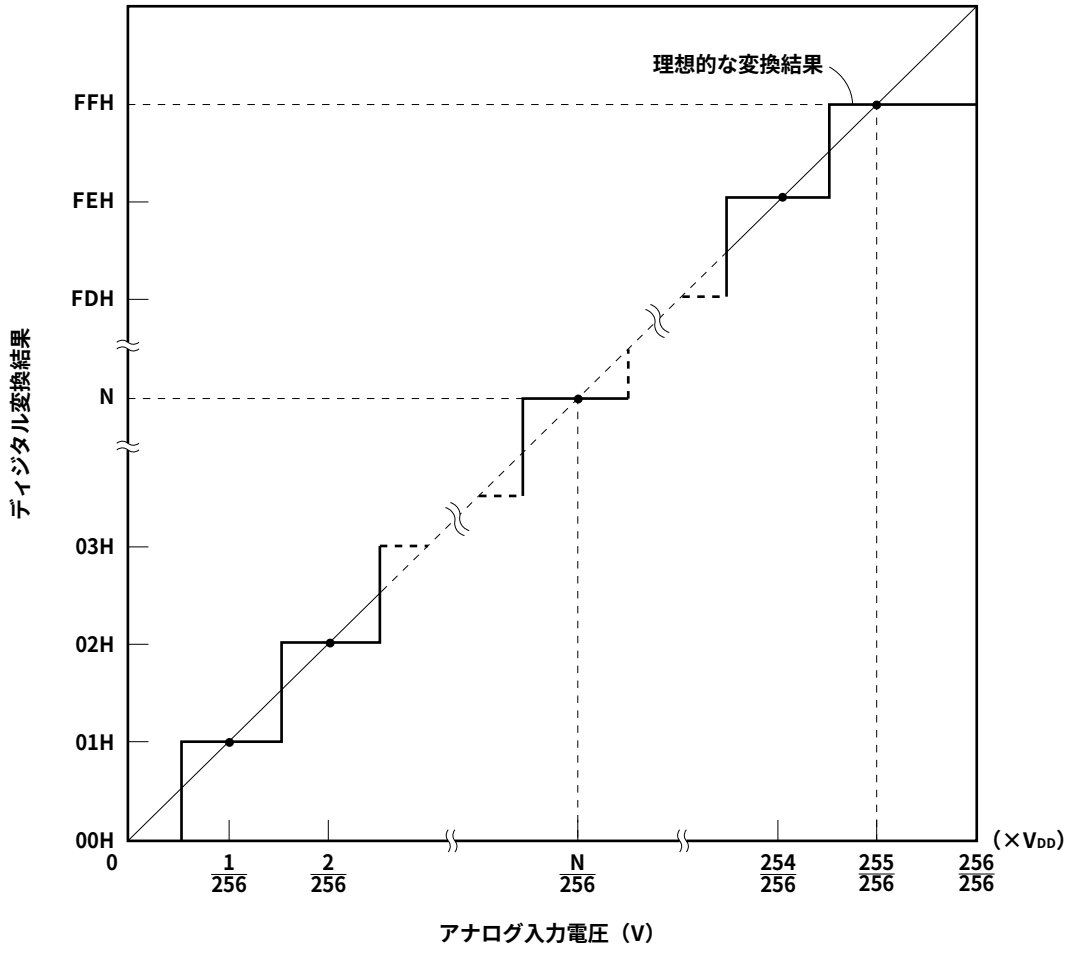


13.3.5　A/Dコンバータの動作

A/Dコンバータの動作はADCSOFTフラグの設定により，連続モードと単発モードの２種類のモードに切り替えることができます。

ADCSOFT	A/Dコンバータの動作モード
0	連続モード（A/D変換）
1	単発モード（コンペア動作）

図13－17　アナログ入力電圧とディジタル変換結果との関係



（1）連続モード

（a）連続モードの概要

逐次比較法に基づく８ビットのA/D変換を行い，その変換結果を自動的に８ビット・データ・レジスタ（ADCR）に格納するモードです。

アナログ入力電圧と内部のD/Aコンバータから出力される電圧を，内部コンパレータで比較して，８ビットの上位から順に変換データを得ています。８ビットのA/D変換の完了まで25命令分の時間を必要とします。８ビットA/D変換の完了はADCENDフラグがセット（１）されることを確認することで，判断できます。

（b）連続モードの動作説明

ADCSOFT=０のとき，A/Dコンバータは連続モードに設定されます。

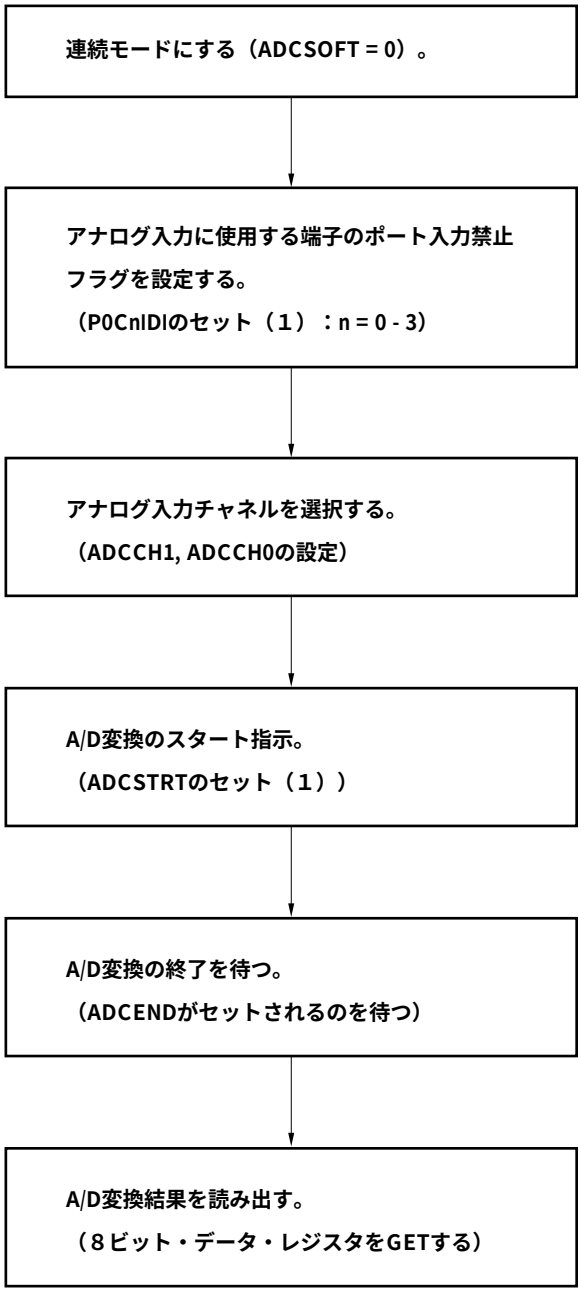
A/D変換を開始する前に，P0CnIDIをセット（１）することによりアナログ入力に使用する端子のポート入力を禁止しておきます。これは，アナログ入力に指定した端子の電圧が中間レベルになった場合，ポートの入力バッファの貫通電流の増加を防止するためです。

その後，ADCCH1，ADCCH0によりアナログ入力信号を選択します。A/D変換の開始は，ADCSTRTフラグをセット（１）することで行います。ADCSTRTフラグはA/D変換開始直後，クリア（０）されます。

A/D変換中は，内部のハードウエアによって８ビットの上位から逐次比較を行います。変換結果は８ビット・データ・レジスタに上位から１ビットずつ格納していきます。変換時間は１ビットあたり３命令分の時間を要します。このため，８ビットの分解能を必要としない場合，命令数から計算し，A/D変換途中のデータをADCENDフラグがセットされる以前に取り出すことも可能です。

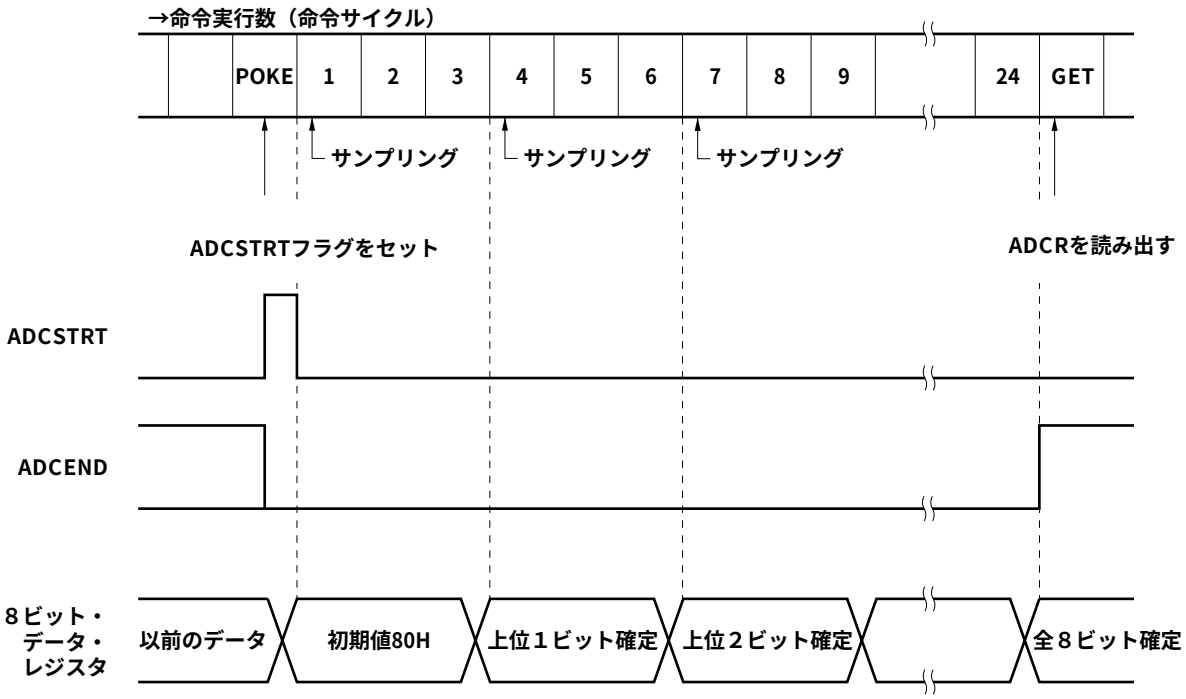
A/D変換の終了は，８ビット・データ・レジスタの最下位ビットにデータを格納したと同時に，ADCENDフラグがセット（１）されることで確認することができます。

図13－18　A/Dコンバータの連続モードの使用方法



（c）連続モード（A/D変換）のタイミング

図13－19　連続モード（A/D変換）のタイミング



注意　1回のA/D変換中に8回のサンプリングを行います。

したがって，A/D変換中にアナログ入力電圧が大きく変化すると，正確なA/D変換が行われません。正確な変換結果を得るためには，A/D変換中のアナログ入力電圧の変化ができるだけ小さくなるようにする必要があります。

1回のサンプリング時間 = 14/f_X（1.75 μs, f_X = 8 MHz[注]時）

サンプリングの繰り返し周期 = 48/f_X（6 μs, f_X = 8 MHz[注]時）

注　μPD17134A, 17136A, 17P136Aの動作保証範囲はf_{CC} = 400 kHz～2.4 MHzです。

表13－１　A/Dコンバータのデータ変換時間

ADCSTRTをセット（１）から経過した命令実行数[注]	A/D変換が完了したビット（ADCRを読み出したときの有効ビット）
４命令	上位１ビット
７命令	上位２ビット
10命令	上位３ビット
13命令	上位４ビット
16命令	上位５ビット
19命令	上位６ビット
22命令	上位７ビット
25命令	８ビットすべて

注　ADCRからデータを読み出すためのGET命令を含みます。

（2）単発モード

（a）単発モードの概要

８ビット・データ・レジスタ（ADCR）の内容をD/A変換した電圧と，アナログ入力電圧との大小比較を行うモードです。

比較結果はADCCMPフラグに現れます。

（b）単発モードの動作説明

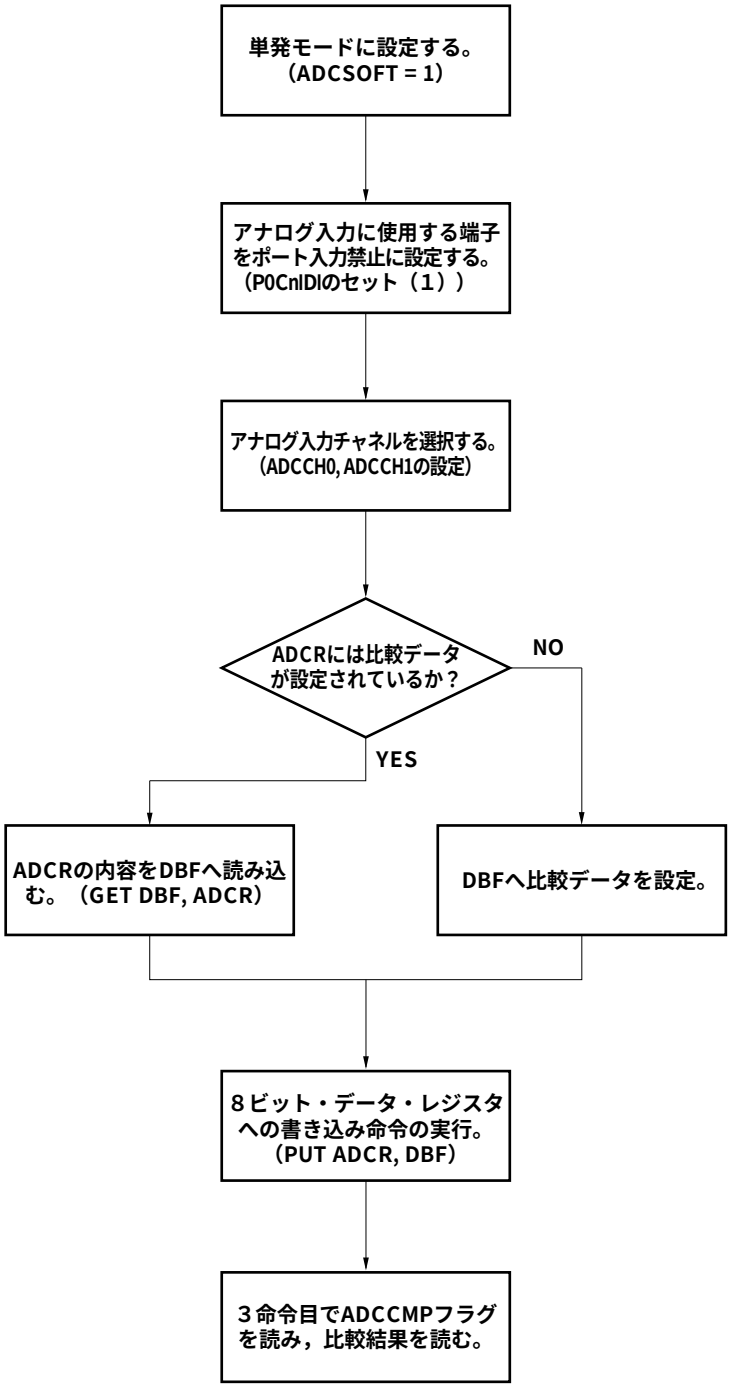
ADCSOFT = 1のとき，A/Dコンバータは単発モードに設定されます。

単発モードによる動作を開始する前にP0CnIDIをセット（１）することにより，アナログ入力に使用する端子のポート入力を禁止しておきます（連続モードの場合と同様の理由です）。その後，ADCCH1, ADCCH0によりアナログ入力信号を選択します。

単発モードの動作開始は，ADCSOFT = 1のとき８ビット・データ・レジスタ（ADCR）への書き込み命令の実行（PUT　ADCR, DBF）で行います。

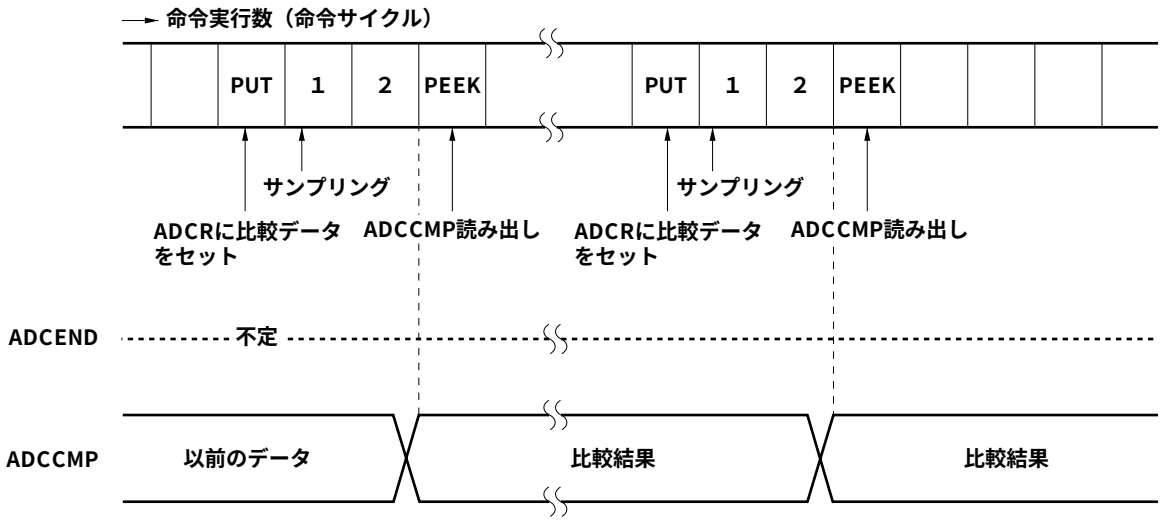
単発モードの比較結果は，PUT命令により８ビット・データ・レジスタ（ADCR）に対し，書き込み命令を実行後，３命令目で比較結果がADCCMPに現れます。なお，このときのADCENDフラグは不定となります。

図13－20　A/Dコンバータの単発モードの使用方法



（c）単発モード（コンペア動作）のタイミング

図13－21　単発モード（コンペア動作）のタイミング



単発モードではADCRに比較データをセット（PUT命令の実行）すると比較を開始し，3命令目以後にPEEK命令で比較結果を読み出すことができます。

ADCCMPフラグは，リセット，ADCRへの書き込み命令の実行でクリア（0）されます。

注意　ADCRに値を設定する前に，必ずADCSOFT = 1にしておいてください。ADCSOFT = 0の場合にはADCRに値を設定できません（“ PUT ADCR, DBF ”命令は無効になります）。

1回のサンプリング時間 = 14/fx（1.75 μs，fx = 8 MHz時）

13.4　シリアル・インタフェース（SIO）

μPD17134Aサブシリーズのシリアル・インタフェースは，８ビットのシフト・レジスタ（SIOSFR），シリアル・モード・レジスタ，シリアル・クロック・カウンタで構成され，シリアル・データの入出力に使用します。

13.4.1　シリアル・インタフェースの機能

シリアル・クロック入力端子（$\overline{SCK}$），シリアル・データ出力端子（SO），シリアル・データ入力端子（SI）の３線式で，クロック同期の８ビット送受信動作が可能なシリアル･インタフェースです。μPD7500シリーズや75Xシリーズで用いられている方式とコンパチブルなモードで各種周辺I/Oデバイスと接続が可能です。

（1）シリアル・クロック

内部クロック３種類，外部クロック１種類の合計４種類選択することができます。シリアル・クロックに内部クロックを選択した場合には，$P0D_0/\overline{SCK}$端子にそのクロックを自動的に出力します。

表13－２　シリアル・クロック一覧

SIOCK1	SIOCK0	選択されるシリアル・クロック
0	0	$\overline{SCK}$端子からの外部クロック
0	1	$f_X/16$
1	0	$f_X/128$
1	1	$f_X/1024$

f_X：システム・クロック発振周波数

（2）転送動作

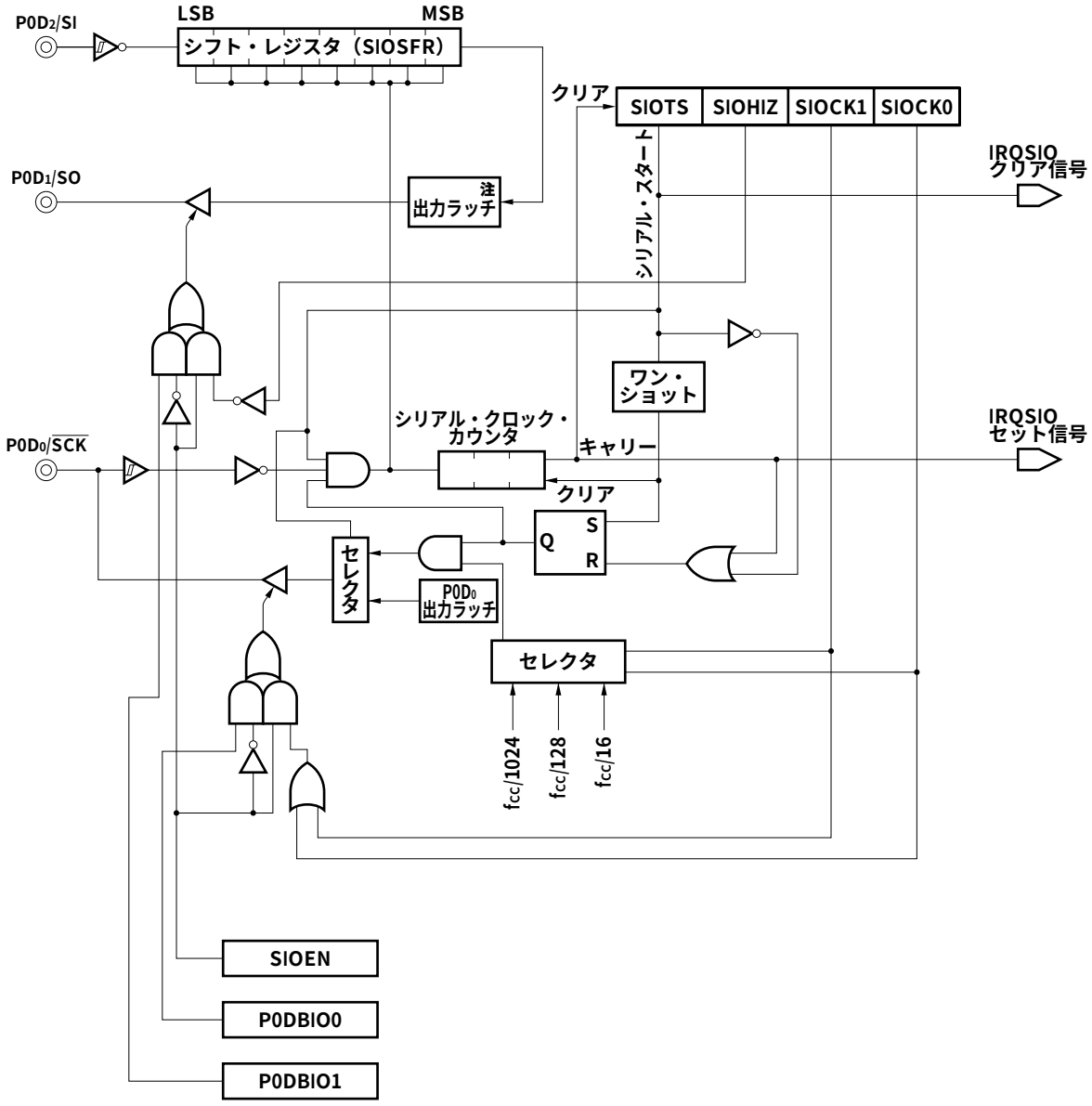
SIOEN をセット（１）することにより，ポート0D（$P0D_0/\overline{SCK}$,$P0D_1$/SO,$P0D_2$/SI）の各端子は，シリアル・インタフェース用の端子として機能します。このとき，SIOTS をセット（１）すれば，外部クロックまたは内部クロックの立ち下がりに同期して動作を開始します。なお，SIOTS をセットすると，IRQSIOは自動的にクリアされます。

シリアル・クロックの立ち下がりに同期して，シフト・レジスタの最上位ビットから転送を開始し，シリアル・クロックの立ち上がりに同期してSI端子の情報を最下位ビットからシフト・レジスタに格納します。

８ビットのデータ転送が終了すれば，自動的にSIOTS はクリアされ，IRQSIOがセットされます。

備考　シリアル転送を行う際，シフト・レジスタの内容の最上位ビットからのみ，転送を開始します。最下位ビットからの転送は行えません。SI端子の状態は，シリアル・クロックの立ち上がりに同期してシフト・レジスタに取り込まれます。

図13－22　シリアル・インタフェースのブロック図



注　シフト・レジスタの出力ラッチは，P0D1の出力ラッチと兼用になっています。そのためP0D1に対して出力命令を実行すると，シフト・レジスタの出力ラッチの状態も変化します。

13.4.2　３線式シリアル・インタフェースの動作モード

シリアル・インタフェースは，２つのモードを選択することができます。シリアル・インタフェース機能を選択した場合，シリアル・クロックに同期して，P0D2/SI端子は常にデータを取り込みます。

●８ビット送受信モード（同時送受信）

●８ビット受信モード（SO端子：ハイ・インピーダンス状態）

表13－３　シリアル・インタフェースの動作モード

SIOEN	SIOHIZ	$P0D_2$/SI 端子	$P0D_1$/SO 端子	シリアル・インタフェース動作モード
1	0	SI	SO	８ビット送受信モード
1	1	SI	$P0D_1$（入力）	８ビット受信モード
0	×	$P0D_2$（入出力）	$P0D_1$（入出力）	汎用ポート・モード

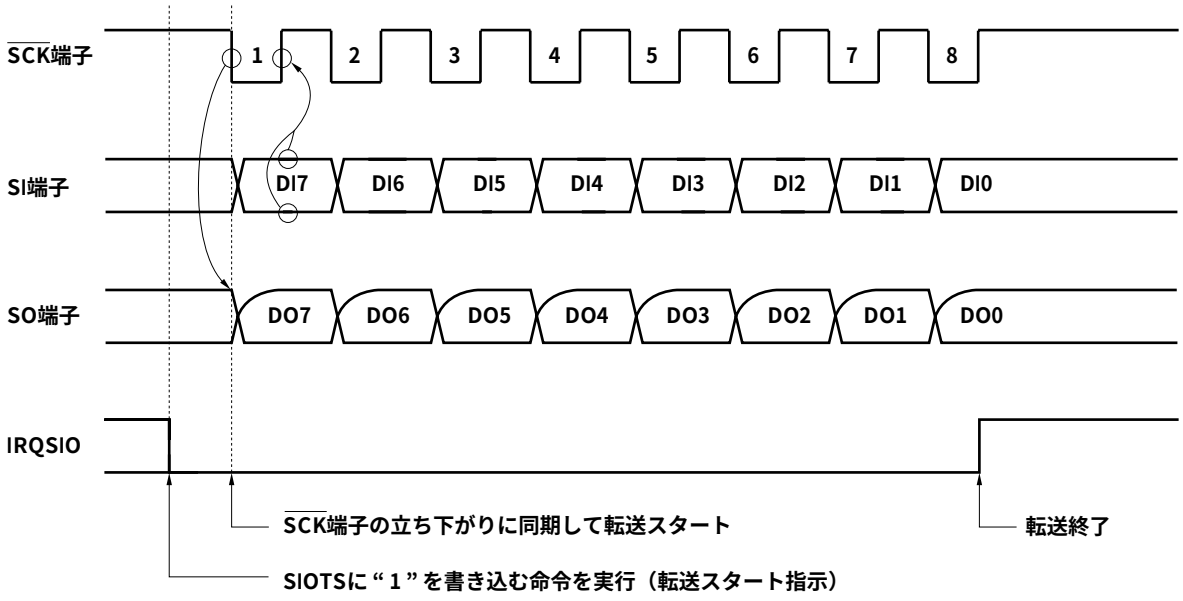
×：Don't care

（１）８ビット送受信モード（同時送受信）

シリアル・データの入出力はシリアル・クロックによって制御されます。シリアル・クロック（$\overline{SCK}$端子信号）の立ち下がりでシフト・レジスタのMSB がSOラインによって出力され，立ち上がりでシフト・レジスタの内容が１ビット・シフトされると同時に，SIライン上のデータがシフト・レジスタのLSB にロードされます。

シリアル・クロック・カウンタ（３ビット・カウンタ）はシリアル・クロックを８カウントするごとに割り込み要求フラグをセットします（IRQSIO ←１）。

図13－23　８ビット送受信モード（同時送受信）のタイミング



備考　DI：シリアル・データの入力

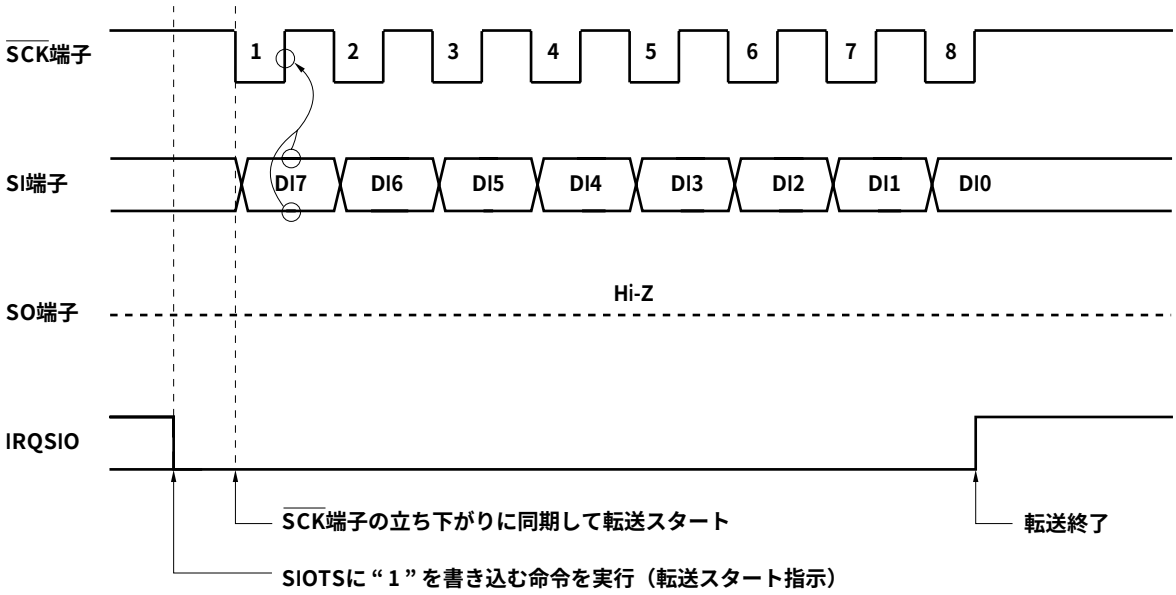
DO：シリアル・データの出力

（2）クロック同期８ビット受信モード（SO端子：ハイ・インピーダンス状態）

SIOHIZ = 1のとき，P0D1/SO端子はハイ・インピーダンス状態になります。このときSIOTSに“１”を書き込んでシリアル・クロックの供給を開始すると，シリアル・インタフェースは受信機能だけが動作します。

また，P0D1/SO端子はハイ・インピーダンス状態になっていますので，入力ポート（P0D1）として使用することができます。

図13－24　８ビット受信モードのタイミング



備考　DI：シリアル・データの入力

（3）動作停止モード

SIOTS（RF：02H番地，ビット３）の値が０のときは，シリアル・インタフェースは動作停止モードに設定されます。このモードではシリアル転送は行われません。

この動作ではシフト・レジスタはシフト動作を行いませんので，通常の８ビット・レジスタとして利用可能です。

図13－25　シリアル・インタフェースの制御用レジスタ（1/2）

RF : 02H

	ビット３	ビット２	ビット１	ビット０
	SIOTS	SIOHIZ	SIOCK1	SIOCK0
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

SIOCK1	SIOCK0	シリアル・クロックの選択
0	0	外部クロック（$\overline{SCK}$端子）
0	1	f_X／16
1	0	f_X／128
1	1	f_X／1024

SIOHIZ	$P0D_1$/SO端子の機能選択
0	シリアル・データ出力（SO端子）
1	入力ポート（$P0D_1$端子）

SIOTS	シリアル転送の開始と停止
0	シリアル転送の強制的停止（途中のビットからの再開は不可）。
1	シリアル転送の動作開始。 ・内部クロック選択時 システム・クロックの内部分周信号をシリアル・クロックとして動作開始。 ・外部クロック選択時 $\overline{SCK}$端子の立ち下がりに同期して動作開始。

備考　シリアル転送が完了するとSIOTSは自動的にクリア（0）されます。

図13－25　シリアル・インタフェースの制御用レジスタ（2/2）

RF : 0BH

	ビット３	ビット２	ビット１	ビット０
	TM0OSEL	0	0	SIOEN
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R, ライト = W

SIOEN	SIOの動作許可
0	$P0D_0/\overline{SCK}$, $P0D_1$/SO, $P0D_2$/SIの各端子はポートとして機能
1	$P0D_0/\overline{SCK}$, $P0D_1$/SO, $P0D_2$/SIの各端子はシリアル・インタフェースとして機能

備考　第12章　ポートも参照してください。

TM0OSEL	$P0D_3/\overline{TM0OUT}$端子の機能選択
0	$P0D_3/\overline{TM0OUT}$端子はポートとして機能
1	$P0D_3/\overline{TM0OUT}$端子はタイマ0の出力として機能

注意　シリアル・インタフェースとは直接関係ありません。

13.4.3　シフト・レジスタへの値の設定

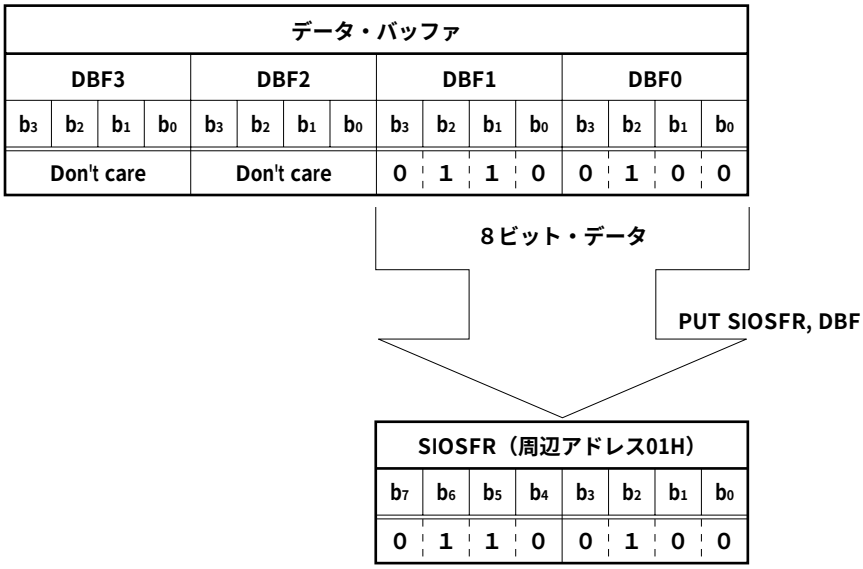
シフト・レジスタに対する値の設定は，PUT命令によりDBF（データ・バッファ）を介して行います。

シフト・レジスタの周辺アドレスは，01Hに割り付けられています。PUT命令によりシフト・レジスタに値を転送する場合，DBFの下位８ビット（DBF1, DBF0）だけが有効です。DBF3およびDBF2の値は，シフト・レジスタに影響を与えません。

図13－26　シフト・レジスタへの値の設定

シフト・レジスタに値64Hを設定した例

```
SIODATL     DAT   4H              ；シンボル定義命令を用いSIODATLを4Hに割り当てる
SIODATH     DAT   6H              ；シンボル定義命令を用いSIODATHを6Hに割り当てる
            MOV   DBF0, #SIODATL  ；
            MOV   DBF1, #SIODATH  ；
            PUT   SIOSFR, DBF     ；予約語 “ SIOSFR ” を用い転送。
```

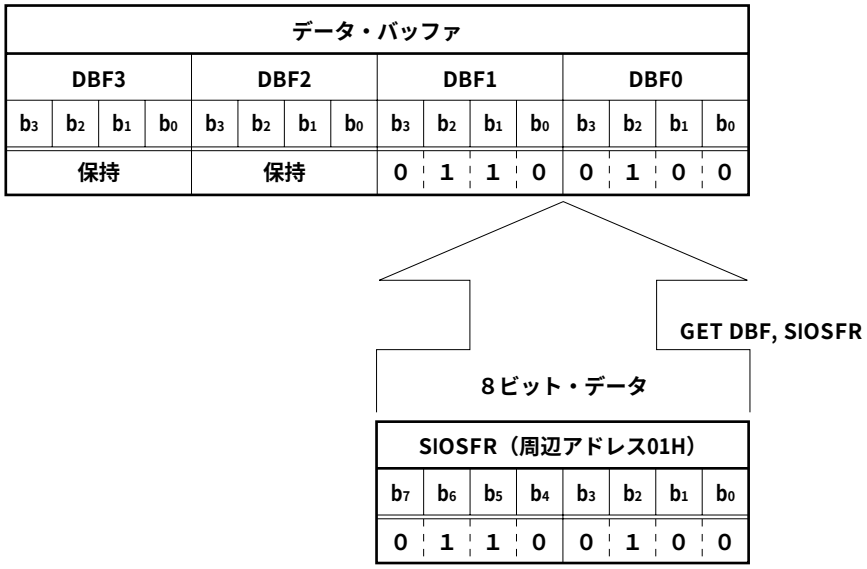


13.4.4　シフト・レジスタの値の読み出し

シフト・レジスタの値の読み出しは，GET命令によりDBF（データ・バッファ）を介して読み出します。シフト・レジスタは周辺アドレス01Hに割り付けられ，下位８ビット（DBF1, DBF0）のみ有効です。GET命令を実行してもDBFの上位８ビットには影響を与えません。

図13－27　シフト・レジスタの値の読み出し

GET DBF, SIOSFR；予約語DBFおよびSIOSFRを使用した例



第14章　割り込み機能 ★

μPD17134Aサブシリーズには，４本の内部割り込み機能と１本の外部割り込み機能があり，多彩な応用が可能です。

また，この製品の割り込み制御回路には次のような特色があり，非常に高速な割り込み処理が可能となります。

（ａ）割り込みマスタ許可フラグ（INTE）と割り込み許可フラグ（IP×××）により受け付けの可否を制御可能

（ｂ）割り込み要求フラグ（IRQ×××）のテスト&クリア可能（ソフトウエアで割り込み発生の確認可能）

（ｃ）３レベルまでの多重割り込みが可能

（ｄ）割り込み要求によるスタンバイ・モード（STOP, HALT）の解除可能（割り込み許可フラグによる解除条件の選択可能）

注意　割り込み処理において，ハードウエアにより自動的にスタックに退避されるのは，BANKレジスタおよびBCD, CMP, CY, Z, IXEの各フラグのみで，最大３レベルまでです。また，割り込み処理の内容において，周辺ハードウエア（タイマ，A/Dコンバータなど）をアクセスする場合には，DBF, WRの内容はハードウエアでは退避されません。したがって，割り込み処理の最初にDBFおよびWRをソフトウエアによりRAM上に退避し，割り込み処理終了直前に退避した内容をもとに戻すことをおすすめします。

14.1　割り込み要因とベクタ・アドレス

μPD17134Aサブシリーズの割り込みはすべて，割り込みが受け付けられると，割り込み要因に対応するベクタ・アドレスへ分岐するベクタ割り込み方式となっています。割り込み要因とベクタ・アドレスは，表14－１のようになっています。

なお，複数の割り込み要求が同時に発生した場合や，保留された複数の割り込み要求が一斉に許可された場合は，表14－１の優先順位に従い，処理します。

表14－１　割り込み要因の種類

割り込み要因	優先順位	ベクタ・アドレス	IRQフラグ	IPフラグ	IEGフラグ	内部/外部	備　　考
INT端子（RF：0FH，ビット０）	1	0005H	IRQ RF：3FH, ビット０	IP RF：2FH, ビット０	IEGMD0,1 RF：1FH	外部	立ち上がり，立ち下がり，両エッジ選択可能
タイマ０	2	0004H	IRQTM0 RF：3EH, ビット０	IPTM0 RF：2FH, ビット１	－	内部	
タイマ１	3	0003H	IRQTM1 RF：3DH, ビット０	IPTM1 RF：2FH, ビット２	－	内部	
ベーシック・インターバル・タイマ	4	0002H	IRQBTM RF：3CH, ビット０	IPBTM RF：2FH, ビット３	－	内部	
シリアル・インタフェース	5	0001H	IRQSIO RF：3BH, ビット０	IPSIO RF：2EH, ビット０	－	内部	

14.2　割り込み制御回路の各種ハードウエア

次に，割り込み制御回路の各フラグについて説明します。

（1）割り込み要求フラグ，割り込み許可フラグ

割り込み要求フラグ（IRQ×××）は，割り込み要求発生でセット（1）され，割り込み処理が実行されると自動的にクリア（0）されます。

割り込み許可フラグ（IP×××）は，各割り込み要求フラグに対応して個別に備わっており，内容が“1”のとき割り込みを許可し，“0”のとき禁止します。

（2）EI/DI命令

受け付けた割り込みを実行するかどうかは，EI/DI命令によって指定します。

EI命令を実行すると，割り込みを受け付け可能とするINTE（インタラプト・イネーブル・フラグ）がセット（1）されます（割り込みが受け付けられるとINTEはクリア（0）されます）。INTEフラグは，レジスタ・ファイル上には登録されていません。このため，命令等により，フラグの状態を確認することはできません。

DI命令はINTEフラグを“0”にクリアして，すべての割り込みを禁止します。

また，リセット時にもINTEフラグはクリア（0）され，すべての割り込みは禁止状態になります。

表14－2　割り込み要求フラグと割り込み許可フラグ

割り込み要求フラグ	割り込み要求フラグのセット信号	割り込み許可フラグ
IRQ	INT端子入力信号のエッジ検出によりセット。検出エッジはIEGMD0, IEGMD1フラグにより選択。	IP
IRQTM0	タイマ0からの一致信号でセット。	IPTM0
IRQTM1	タイマ1からの一致信号でセット。	IPTM1
IRQBTM	ベーシック・インターバル・タイマからのオーバフロー（基準時間間隔信号）でセット。	IPBTM
IRQSIO	シリアル・インタフェースのシリアル・データ転送動作終了信号によりセット。	IPSIO

図14－1　割り込み制御用レジスタ（1/7）

RF：0FH

	ビット3	ビット2	ビット1	ビット0
	0	0	0	INT
リード／ライト	R			
リセット時の初期値	0	0	0	注

リード＝R，ライト＝W

INT	INT端子の状態
0	PEEK命令実行時，ノイズ除去回路を通したINT信号の論理状態が“0”
1	PEEK命令実行時，ノイズ除去回路を通したINT信号の論理状態が“1”

注　INTフラグはラッチされていないため端子の論理状態に応じて刻々と変化します。
ただし，IRQフラグは一度セットされると割り込みが受け付けられるまでセットされたままです。
また，0FH番地へのPOKE命令は無効です。

RF：1FH

	ビット3	ビット2	ビット1	ビット0
	0	0	IEGMD1	IEGMD0
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード＝R，ライト＝W

IEGMD1	IEGMD0	INT端子の割り込み検出エッジの選択
0	0	立ち上がりエッジ割り込み
0	1	立ち下がりエッジ割り込み
1	0	両エッジ割り込み
1	1	

図14－１　割り込み制御用レジスタ（2/7）

RF：3FH

	ビット３	ビット２	ビット１	ビット０
	0	0	0	IRQ
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード＝R，ライト＝W

読み出し時

IRQ	INT端子割り込み要求
0	INT端子からの割り込み要求なし，または，INT端子による割り込み処理中
1	INT端子からの割り込み要求発生，または，INT端子からの割り込み保留中

書き込み時

IRQ	INT端子割り込み要求
0	INT端子からの割り込み要求の強制的解除
1	INT端子からの割り込み要求の強制的発生

RF：3EH

	ビット３	ビット２	ビット１	ビット０
	0	0	0	IRQTM0
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード＝R，ライト＝W

読み出し時

IRQTM0	TM0割り込み要求
0	タイマ０からの割り込み要求なし，または，タイマ０の割り込み処理中
1	タイマ０のカウント・レジスタとモジュロ・レジスタの内容が一致し割り込み要求が発生，またはタイマ０の割り込み要求を保留中

書き込み時

IRQTM0	TM0割り込み要求
0	タイマ０からの割り込み要求の強制的解除
1	タイマ０からの割り込み要求の強制的発生

備考　TM0RESをセット（１）すると，IRQTM0もクリア（０）されます。

図14－１　割り込み制御用レジスタ（3/7）

RF：3DH

	ビット３	ビット２	ビット１	ビット０
	0	0	0	IRQTM1
リード／ライト	R/W			
リセット時の初期値	0	0	0	1

リード＝R，ライト＝W

読み出し時

IRQTM1	TM1割り込み要求
0	タイマ１からの割り込み要求なし，または，タイマ１の割り込み処理中
1	タイマ１のカウント・レジスタとモジュロ・レジスタの内容が一致し割り込み要求が発生，または，タイマ１の割り込み要求を保留中

書き込み時

IRQTM1	TM1割り込み要求
0	タイマ１からの割り込み要求の強制的解除
1	タイマ１からの割り込み要求の強制的発生

備考　TM1RESをセット（１）すると，IRQTM1もクリア（０）されます。また，STOP命令を実行した直後，IRQTM1はクリア（０）されます。

図14－１　割り込み制御用レジスタ（4/7）

RF：3CH

	ビット３	ビット２	ビット１	ビット０
	0	0	0	IRQBTM
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード＝R，ライト＝W

読み出し時

IRQBTM	BTM割り込み要求
0	ベーシック・インターバル・タイマからの割り込み要求なし，または，ベーシック・インターバル・タイマの割り込みを処理中
1	ベーシック・インターバル・タイマがオーバフローし，割り込み要求が発生，または，ベーシック・インターバル・タイマからの割り込み要求を保留中

書き込み時

IRQBTM	BTM割り込み要求
0	ベーシック・インターバル・タイマからの割り込み要求を強制的解除
1	ベーシック・インターバル・タイマからの割り込み要求の強制的発生

備考　BTMRESをセット（１）するとIRQBTMもクリア（０）されます。

図14－1　割り込み制御用レジスタ（5/7）

RF：3BH

	ビット3	ビット2	ビット1	ビット0
	0	0	0	IRQSIO
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R，ライト = W

読み出し時

IRQSIO	SIO割り込み要求
0	シリアル・インタフェースからの割り込み要求なし，または，シリアル・インタフェースからの割り込みを処理中
1	シリアル・インタフェースが転送を完了し，割り込み要求が発生，またはシリアル・インタフェースの割り込み要求を保留中

書き込み時

IRQSIO	SIO割り込み要求
0	シリアル・インタフェースからの割り込み要求を強制的解除
1	シリアル・インタフェースからの割り込み要求の強制的発生

図14－1　割り込み制御用レジスタ（6/7）

RF：2FH

	ビット３	ビット２	ビット１	ビット０
	IPBTM	IPTM1	IPTM0	IP
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード = R，ライト = W

IP	INT端子割り込み許可
0	INT端子からの割り込みを禁止 IRQフラグがセット（1）されても，その割り込みを保留
1	INT端子からの割り込みを許可 EI状態でIRQフラグがセット（1）されると，その割り込み処理を実行

IPTM0	TM0割り込み許可
0	タイマ０からの割り込みを禁止 IRQTM0フラグがセット（1）されても，その割り込みを保留
1	タイマ０からの割り込みを許可 EI状態でIRQTM0フラグがセット（1）されると，その割り込み処理を実行

IPTM1	TM1割り込み許可
0	タイマ１からの割り込みを禁止 IRQTM1フラグがセット（1）されても，その割り込みを保留
1	タイマ１からの割り込みを許可 EI状態でIRQTM1フラグがセット（1）されると，その割り込み処理を実行

IPBTM	BTM割り込み許可
0	ベーシック・インターバル・タイマからの割り込みを禁止 IRQBTMフラグがセット（1）されても，その割り込みを保留
1	ベーシック・インターバル・タイマからの割り込みを許可 EI状態でIRQBTMフラグがセット（1）されると，その割り込み処理を実行

図14－１　割り込み制御用レジスタ（7/7）

RF：2EH

	ビット３	ビット２	ビット１	ビット０
	0	0	0	IPSIO
リード／ライト	R/W			
リセット時の初期値	0	0	0	0

リード＝R，ライト＝W

IPSIO	SIO割り込み許可
0	シリアル・インタフェースからの割り込みを禁止 IRQSIOフラグがセット（１）されても，その割り込みを保留
1	シリアル・インタフェースからの割り込みを許可 EI状態でIRQSIOフラグがセット（１）されると，その割り込み処理を実行

14.３　割り込みシーケンス

14.３.１　割り込みの受け付け

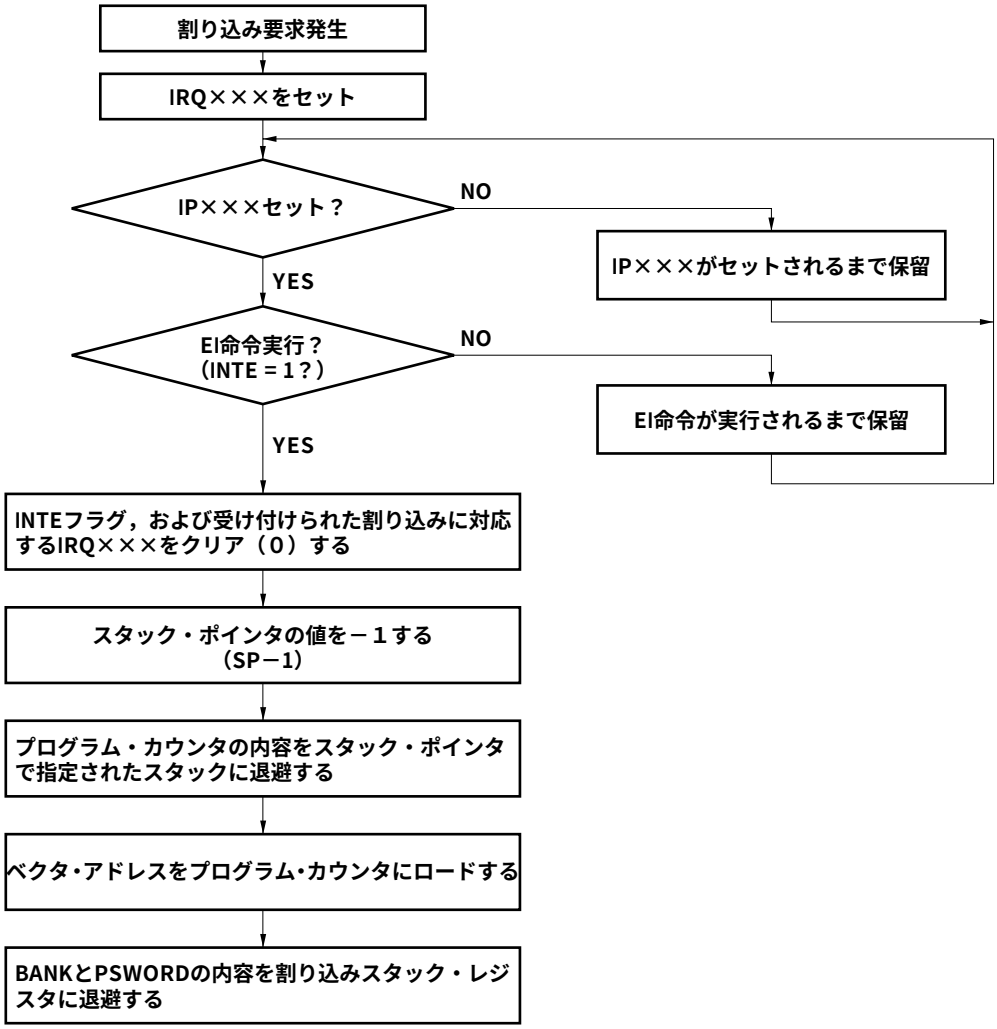
割り込みが受け付けられると，その時点で実行されていた命令の命令サイクル終了後，割り込み処理が開始され，ベクタ・アドレスにプログラムの流れが移ります。ただし，MOVT命令，EI命令およびスキップ条件を満たした命令中の割り込みは２命令サイクル終了後に処理を開始します。

割り込み処理を開始すると，プログラムの戻り番地を記憶するためアドレス・スタック・レジスタを１レベル消費し，さらにシステム・レジスタ中のBANKおよびPSWORDを退避するため割り込みスタック・レジスタを１レベル消費します。

複数の割り込みが同時に発生または許可される状態になったときは，優先順位の高い順に割り込み処理が実行されます。優先順位の高い割り込みが処理されるまで，優先順位の低い割り込みは保留されます。

なお，優先順位は**表14－１　割り込み要因の種類**を参照してください。

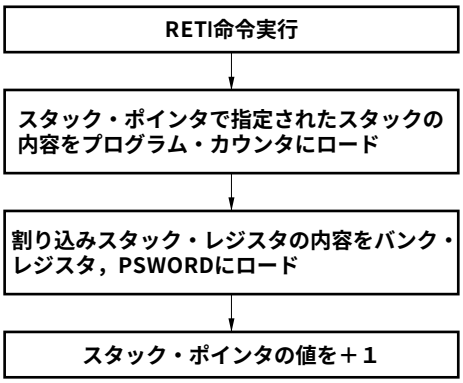
図14－2　割り込み処理手順



14.3.2　割り込みルーチンからの復帰

割り込み処理ルーチンから復帰するときは，RETI命令を実行します。このRETI命令サイクル中に以下の処理が行われます。

図14－3　割り込み処理からの復帰

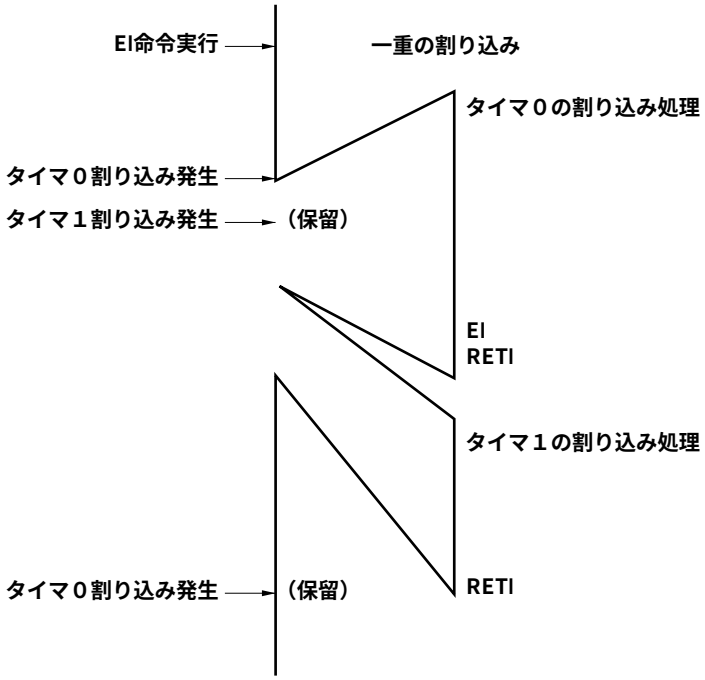


注意　RETI命令ではINTEフラグはセットされません。

ある割り込み処理を終了後，続けて保留されている割り込みを処理したい場合は，RETI命令の直前にEI命令を実行し，INTEフラグをセット（1）してください。

EI命令に続けてRETI命令を実行した場合は，EI命令とRETI命令の間で割り込みが受け付けられることはありません。これはEI命令がINTEフラグをセット（1）するタイミングは次に続く命令の実行が完了したあとになる仕組みになっているためです。

例



14.3.3　割り込み受け付けタイミング

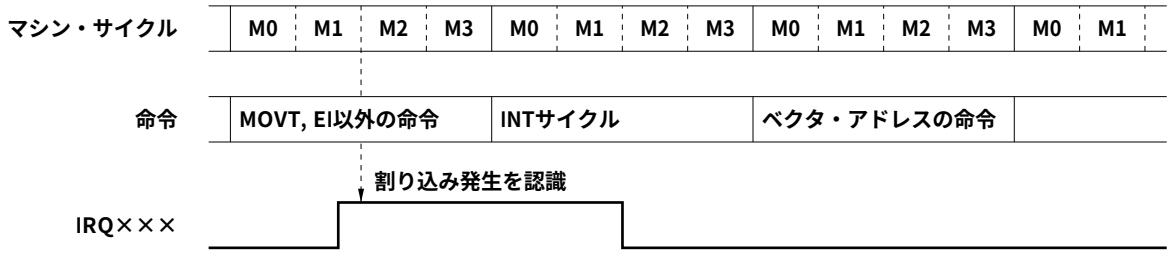
割り込み受け付けタイミング・チャートを図14－４に示します。

μPD17134Aサブシリーズは，16クロックで１命令を実行し，これを１インストラクション・サイクルとします。１インストラクション・サイクルは，４クロック単位にM0 - M3に細分化されます。

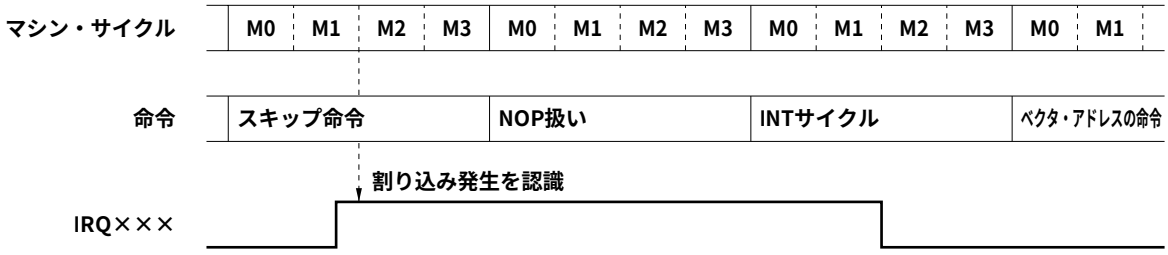
プログラムの動作とは非同期に発生する割り込みに対して，プログラムが割り込みの発生を認識するタイミングは，M2の前のエッジです。

図14－４　割り込み受け付けタイミング・チャート（INTE＝1, IP×××＝1のとき）（1/3）

①　MOVT, EI以外の命令のM2以前に割り込みが発生した場合



②　①でスキップ命令のスキップ条件が成立した場合



③　MOVT, EI以外の命令のM2以降に割り込みが発生した場合

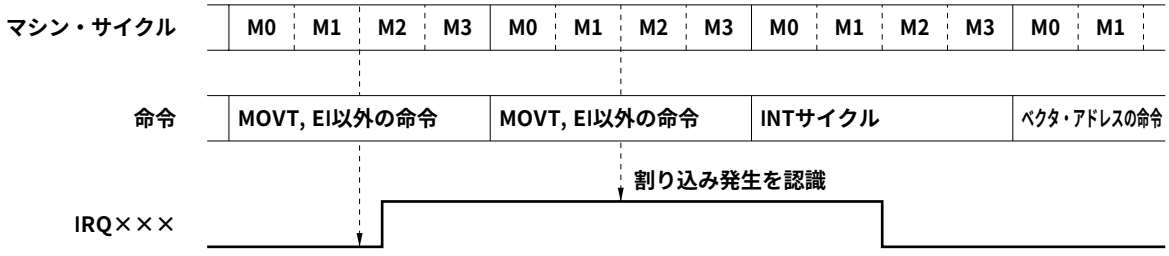
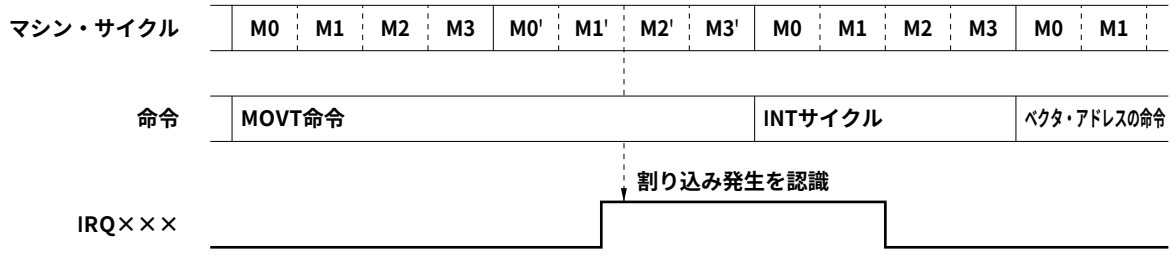


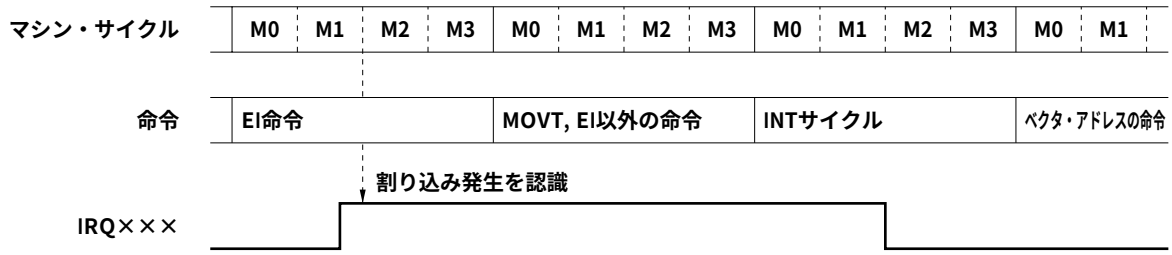
図14－4　割り込み受け付けタイミング・チャート（INTE = 1, IP×××= 1のとき）（2/3）

④　MOVT命令のM2以前に割り込みが発生した場合

⑤　MOVT命令のM2' 以前に割り込みが発生した場合



⑥　EI命令のM2以前に割り込みが発生した場合



⑦　EI命令のM2以降に割り込みが発生した場合

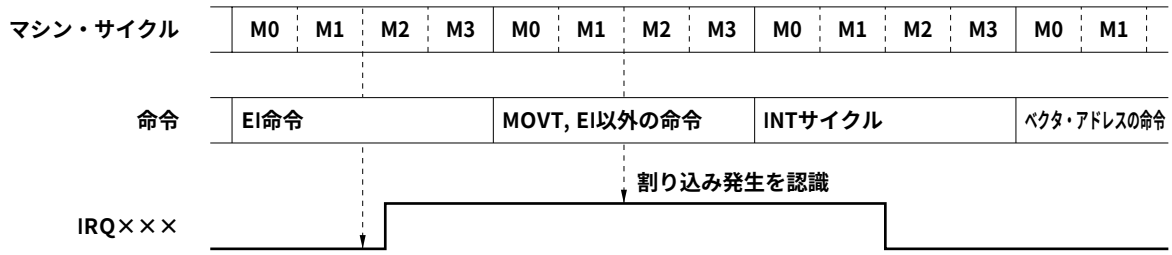
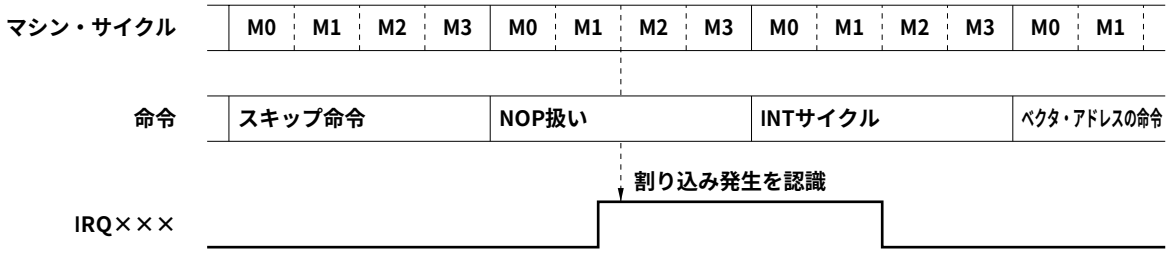


図14－４　割り込み受け付けタイミング・チャート（INTE＝1, IP×××＝1のとき）（3/3）

⑧　スキップ命令によるスキップ中（NOP扱い）に割り込みが発生した場合



備考１．INTサイクルは割り込みの準備のためのサイクルです。このサイクル中に，PCとPSWORDの退避やIRQ×××のクリアを行います。

２．MOVT命令は例外的に２インストラクション・サイクルを必要とする命令です。

３．EI命令は割り込み処理からの復帰時に多重割り込みが発生しないように考慮されています。

14.4　多重割り込み

多重割り込みとは図14－５のように，ある割り込み要因Ａに対する割り込み処理中に，別の割り込み要因であるＢやＣの割り込みを処理する方法です。

このときの割り込みの深さを割り込みレベルと呼びます。

多重割り込みを使用するときには，次の点に注意してください。

（１）割り込み要因の優先順位

（２）割り込みスタックによる割り込みレベルの制限（μPD17134Aサブシリーズでは最大３レベル）

図14－５　多重割り込み例

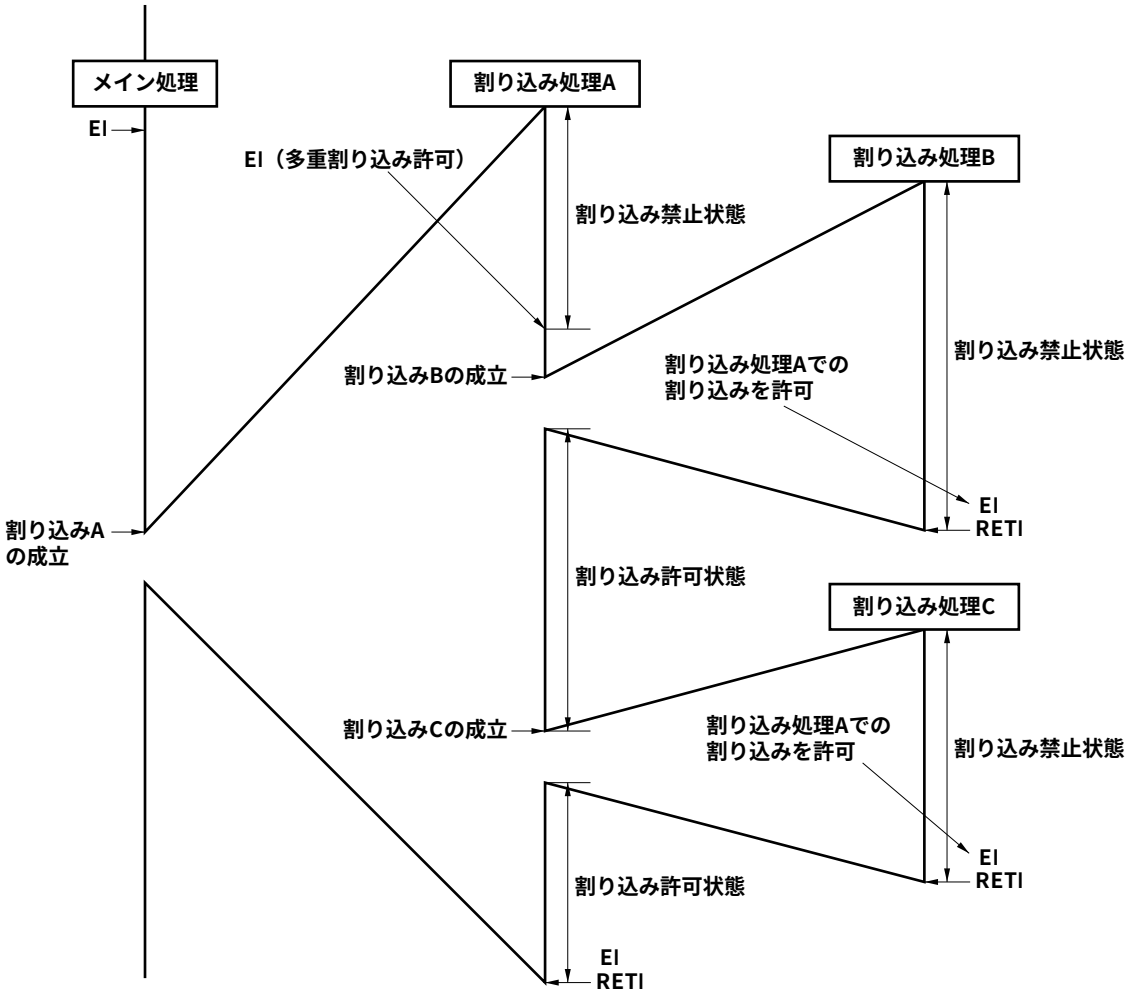


図14－５に示すように，割り込みが成立すると自動的にINTEフラグがクリアされ，割り込み禁止状態になります。したがって，多重割り込み処理を行うときは，割り込み処理中にEI命令を実行してください。

注意　割り込みレベルは最大３レベルまでです。また，割り込みが成立すると，割り込みスタック・レジスタとアドレス・スタック・レジスタが１レベル消費されます。アドレス・スタック・レジスタはCALL命令以外にもMOVT命令，PUSH命令で消費されます。アドレス・スタックのネスティング・レベルにも注意してください。

14.5　割り込みのプログラム例

●外部割り込み（INT端子）のノイズ除去対策のプログラム例

ここに示す例はINT端子をキー入力などに割り当てた場合を想定しています。

キー入力処理などのスイッチ類のデータをマイコンに取り込む場合は，キーまたはスイッチを押してから入力される電圧レベルが安定するまである程度の時間を要します。したがって，キーなどから発生するノイズを除去する対策をソフトウエアで行う必要があります。

以下のプログラム例では，外部割り込み発生後，100 μsごとに２回INT端子のレベルに変化がないことを確認してからINT端子からの信号を有効にしています。

例

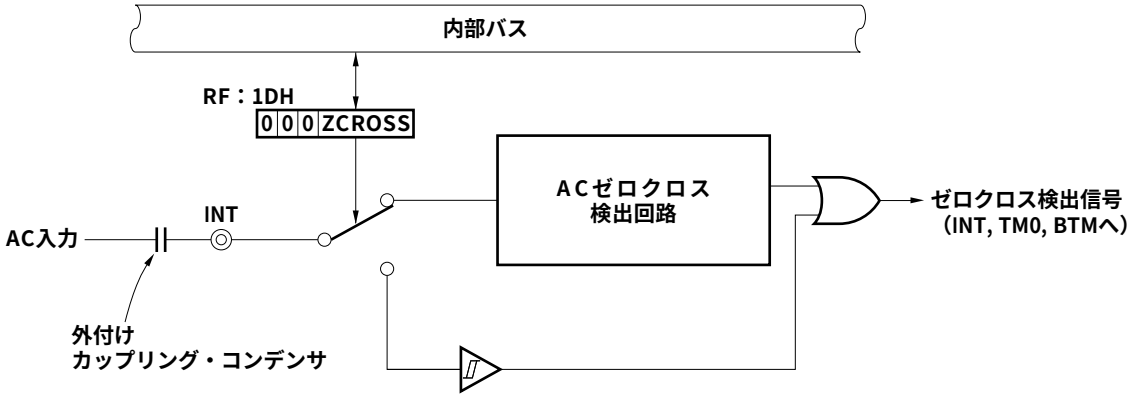
```
WAITCNT     MEM         0.00H       ; ウエイト処理のカウンタ
CHKRAM      MEM         0.01H
KEYON       FLG         0.01H.3     ; キーが１回でもONすれがKEYON = １
CHK100U     FLG         0.01H.0     ; WAITループ中100 μs経過したときのみ
                                    ; CHK100U = １
            ORG         0H
            BR          JOB_INIT
            ORG         5H
            BR          INT_JOB
            ⋮
JOB_INIT：
            MOV         WAITCNT, #0 ; RAMおよびRAM上のフラグをクリア
            MOV         CHKRAM, #0  ;
            INITFLG     NOT IEGMD1, IEGMD0
                                    ; INT端子からの割り込みは立ち上がりエッジ有効
            CLR1        IRQ
            SET1        IP
```

```
                EI
        ⋮
MAIN：
        CALL    ××JOB
        CALL    ××JOB
        ⋮
        BR      MAIN
INT_JOB：
        NOP                 ；８ MHz時に100 μsのウエイトを行うループ
        NOP                 ；２ μs（１命令）×５命令×10回（WAIT時のカウ
                            ；ント値）
        ADD     WAITCNT, #01 ；
        SKE     WAITCNT,#0A ；
        BR      INT_JOB     ；
        SKF1    INT         ；INT端子のレベル確認
        BR      KEY_NO      ；INT端子がハイ・レベルなら割り込み無効でメイン
                              処理に戻る
        SKF1    CHK100U     ；ウエイトは初めてか（CHK100U = 0?）
        BR      WAIT_END    ；初めてならCHK100Uをセットしてもう一度ウエイ
                              ト，２回目ならウエイト処理終了
        SET1    CHK100U     ；
        BR      INT_JOB
WAIT_END：
        SET1    KEY_ON      ；キー入力ありと判定
KEY_NO：
        CLR1    CHK100U     ；CHK100U←０
        EI
        RETI
```

第15章　ACゼロクロス検出機能

INT端子は，割り込み信号の入力およびタイマのカウント・クロックの入力端子であるとともに，ACゼロクロス検出回路の入力端子にもなっており，ZCROSS（RF：1DHのビット0）に“1”を書くことにより，選択することができます。

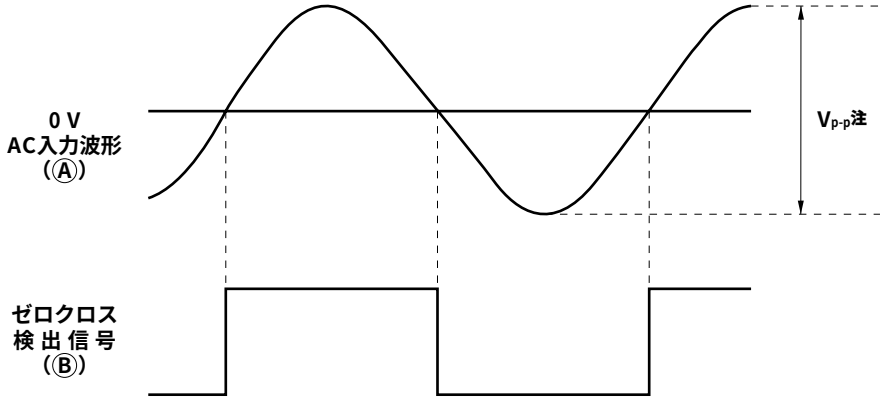
図15－1　ACゼロクロス検出回路ブロック図



注意　ACゼロクロス検出回路を使用するとスタンバイ・モード時も含めて，消費電流が若干（15 μA TYP.）増加します。消費電流を抑えるためには，ZCROSS←0としたうえで，INT端子の入力電圧を，ハイ・レベルまたはロウ・レベルに固定します。

ゼロクロス検出回路は，セルフ・バイアス方式の高利得アンプによって構成されており，その入力をスイッチング・ポイントにバイアスし，INT端子入力のわずかな変位に応答して，ディジタル変位を起こします。ゼロクロス検出回路は，外付けのカップリング・コンデンサを通して入力されるAC信号の負から正，正から負への変化をとらえ，それぞれの変位点で0→1，1→0へ変化します。

図15－２　ゼロクロス検出信号



注　INT端子をACゼロクロス検出回路の入力として使用する場合の入力電圧範囲は，1.0 $V_{p\text{-}p}$～3.0 $V_{p\text{-}p}$です。

また，ACゼロクロス検出回路にはノイズを除去する機能がないため，信号を入力するときには，あらかじめノイズを除去した信号を入力してください。

ゼロクロス検出回路で生成されたパルスは，ゼロクロス検出回路を介さない場合と同様に，タイマ０のカウント・クロック，ベーシック・インターバル・タイマのカウント・パルスに使用できるとともに，割り込み制御回路にも送られており，INT端子の割り込みが許可状態であれば，割り込み処理をスタートします。なお，割り込みを受け付けるタイミングは，IEGMD0（RF：1FHのビット０）およびIEGMD1（RF：1FHのビット１）を設定することにより，信号の立ち上がりエッジ，立ち下がりエッジ，または立ち上がり立ち下がりの両エッジのいずれかを選択することができます。

第16章　スタンバイ機能 ★

16.1　スタンバイ機能の概要

μPD17134Aサブシリーズは，スタンバイ機能を利用することにより，消費電流を低減できます。スタンバイ・モードには用途に応じて，STOPモードとHALTモードが用意されています。

STOPモードは，システム・クロックを停止させてしまうモードです。このモードではCPUの消費電流は，ほとんどリーク電流だけとなります。したがって，CPUを動作させず，データ・メモリの内容保持を行う場合に有効です。

HALTモードはシステム・クロックの発振は継続しますが，CPUに対してクロックの供給が停止されるため，CPUの動作が停止するモードです。このモードは，STOPモードに比べて消費電流は低減できませんが，システム・クロックが発振しているため，HALT解除後にすぐ動作を開始させることができます。また，STOPモード，HALTモードどちらの場合でも，スタンバイ・モードに設定される直前のデータ・メモリ，レジスタ，出力ポートの出力ラッチなどの状態が保持されます（STOP 0000Bを除く）。したがって，スタンバイ・モードにする前にシステム全体の消費電流を抑えるように，ポートの状態を設定してください。

表16－1　スタンバイ・モード中の状態

		STOPモード	HALTモード
設定命令		STOP命令	HALT命令
システム・クロック発振回路		発振停止	発振継続
動作状態	CPU	・動作停止	
	RAM	・直前の状態を維持	
	ポート	・直前の状態を維持 注	
	TM0	・カウント・パルスにINT 入力を選択した場合のみ動作可能 ・システム・クロックを選択した場合は停止（カウント値は保持）	・動作可能
	TM1	・動作停止（カウント値は“ 0 ”にリセット）（カウント・アップも禁止状態）	・動作可能
	BTM	・動作停止（カウント値は保持）	・動作可能
	SIO	・シリアル・クロックに外部クロックを選択した場合のみ動作可能 注	・動作可能
	A/D	・動作停止 注（ADCR←00H）	・動作可能
	INT	・動作可能	・動作可能

注　STOP 0000Bを実行した場合には，端子をポート以外の兼用端子機能で使用している場合も含めて，命令実行時点で入力ポートに切り替わります。

注意１．STOP命令，HALT命令の直前には，必ずNOP 命令を置いてください。

２．割り込み要求フラグと割り込み許可フラグの両方がセットされており，その割り込みがスタンバイ・モードの解除条件に指定されている場合は，スタンバイ・モードには入りません。

16.2　HALTモード

16.2.1　HALTモードの設定

HALT命令を実行することにより，HALTモードに入ります。

HALT命令のオペランド$b_3b_2b_1b_0$は，HALTモードの解除条件です。

表16－2　HALTモードの解除条件

書式：HALT　$b_3b_2b_1b_0$B

ビット	HALTモードの解除条件 注1
b_3	1のとき IRQ×××による解除を許可する。注2，4
b_2	“0固定”
b_1	1のとき IRQTM1による強制解除を許可する。注3，4
b_0	“0固定”

注1．HALT 0000Bのときは，リセット（$\overline{\text{RESET}}$入力，パワーオン／パワーダウン・リセット）だけが有効です。

2．IP×××=1である必要があります。

3．IPTM1の状態によらず，HALTモードが解除されます。

4．IRQ×××=1の状態で，HALT命令が実行されても，HALT命令は無視（NOP命令扱い）され，HALTモードには入りません。

16.2.2　HALTモード解除後のスタート番地

解除条件，割り込み許可条件によって変わります。

表16－3　HALTモード解除後のスタート番地

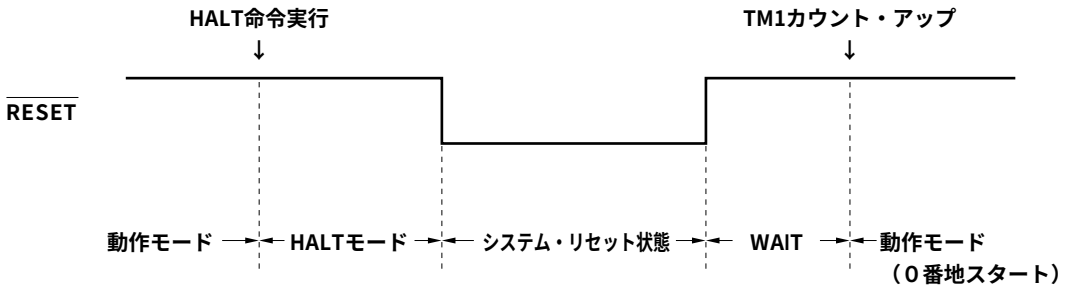
解除条件	解除後のスタート番地
リセット注1	0番地
IRQ××× 注2	DIの場合，HALT命令の次の番地
	EIの場合，割り込みベクタ （複数のIRQ ×××がセットされている場合には，優先順位の高い割り込みベクタ）

注1．リセットは$\overline{\text{RESET}}$入力，パワーオン／パワーダウン・リセットが有効です。

2．IRQTM1による強制解除の場合を除き，IP×××=1である必要があります。

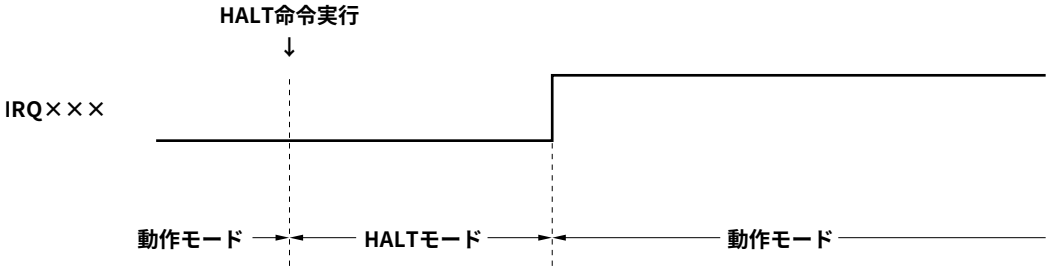
図16－1　HALTモードの解除

（a）$\overline{\text{RESET}}$入力によるHALT解除

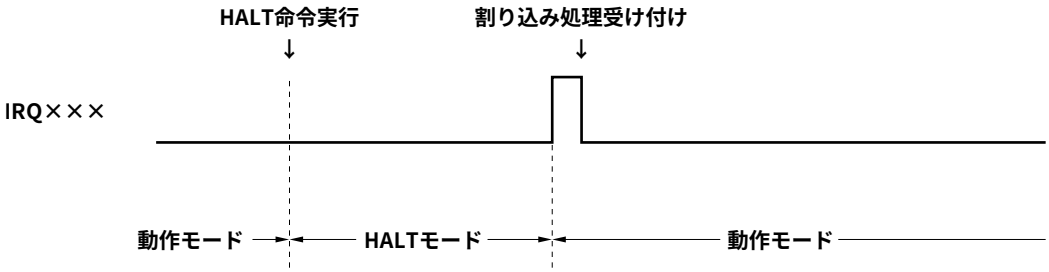


WAIT：TM1が512分周のクロックを256カウントするまでの待ち時間です。
256×512/f_{CC}＋α（約65 ms＋α，f_{CC} = 2 MHz時）
α：発振成長時間（発振子によって異なります）

（b）IRQ×××によるHALT解除（DI状態の場合）



（c）IRQ×××によるHALT解除（EI状態の場合）



16.2.3　HALT の設定条件

（1）IRQTM１による強制解除の場合

	設　定　条　件
外部クロックによる解除	●タイマ０＋タイマ１の16ビット・タイマとして設定（TM0CK1＝１，TM0CK0＝１，TM1CK1＝１，TM1CK０＝1）。 ●タイマ０およびタイマ１は動作可能状態（TM0EN＝１，TM1EN＝1） ●タイマ１の割り込みフラグをクリア（IRQTM1＝０）
内部クロックによる解除	●タイマ１は動作可能状態 ●タイマ１の割り込み要求フラグをクリア（IRQTM1＝０）

（2）割り込み要求フラグ（IRQ ×××）による解除の場合

●HALT解除に利用する周辺ハードウエアをあらかじめ動作可能状態になるように設定。

タイマ０	動作可能状態（TM0EN＝１）
タイマ１	動作可能状態（TM1EN＝１）
タイマ０＋タイマ１	タイマ１はタイマ０からのカウント・アップを選択（TM1CK1＝１，TM1CK0＝１）。 タイマ０およびタイマ１は動作可能状態（TM0EN＝１，TM1EN＝１）。
ベーシック・インターバル・タイマ	常に動作可能状態。
シリアル・インタフェース	シリアル・インタフェース回路は動作可能状態（SIOTS＝１，SIOEN＝１）
INT 端子	エッジ選択の設定

●HALT解除に利用する周辺ハードウエアの割り込み要求フラグ（IRQ ×××）をクリア（０）。

●HALT解除に利用する周辺ハードウエアの割り込み許可フラグ（IP×××）をセット（１）。

注意　HALT命令の直前には必ず，NOP命令を記述してください。
NOP命令をHALT命令の直前に記述することにより，IRQ×××操作命令とHALT命令との間に１命令分の時間が生成されるため，たとえばCLR1　IRQ×××命令の場合は，IRQ×××のクリアがHALT命令に正しく反映されます（例１）。NOP命令をHALT命令の直前に記述しないと，CLR1　IRQ×××命令はHALT命令に反映されず，HALTモードには入りません（例２）。

例１．正しいプログラム例

```
        ⋮
（IRQ×××のセット）
        ⋮

  CLR1      IRQ×××
  NOP                 ; NOP命令をHALT命令の直前に記述
                      ; （IRQ×××のクリアがHALT命令に対して正しく反映される）
  HALT      1000B     ; HALT命令を正しく実行する（HALTモードに入る）

        ⋮
        ⋮
```

２．誤ったプログラム例

```
        ⋮
（IRQ×××のセット）
        ⋮

  CLR1      IRQ×××  ; IRQ×××のクリアはHALT命令に対して反映されない
                     ; （反映されるのはHALT命令の次の命令）
  HALT      1000B    ; HALT命令は無視される（HALTモードに入らない）

        ⋮
        ⋮
```

16.3　STOPモード

16.3.1　STOPモードの設定

STOP命令を実行することにより，STOPモードに入ります。

STOP命令のオペランド$b_3b_2b_1b_0$は，STOPモードの解除条件です。

表16－4　STOPモードの解除条件

書式：STOP　$b_3b_2b_1b_0$B

ビット	STOPモードの解除条件 注1
b_3	1のとき IRQ×××による解除を許可する。注2
b_2	“ 0固定 ”
b_1	“ 0固定 ”
b_0	“ 0固定 ”

注1．STOP 0000Bのときは，リセット（$\overline{\text{RESET}}$ 入力，パワーオン／パワーダウン・リセット）だけが有効です。また，STOP 0000Bを実行した時点でマイコン内部はリセット直後の状態に初期化されます。

2．IP×××=1である必要があります。また，IRQTM1による解除はできません。
IRQ×××=1の状態で，STOP命令が実行されても，STOP命令は無視（NOP命令扱い）され，STOPモードには入りません。

16.3.2　STOPモード解除後のスタート番地

解除条件，割り込み許可条件によって変わります。

表16－5　STOPモード解除後のスタート番地

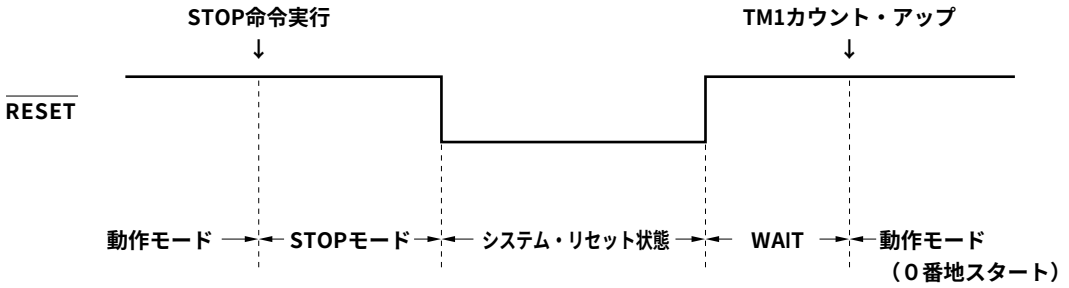
解除条件	解除後のスタート番地
リセット注1	0番地
IRQ××× 注2	DIの場合，STOP命令の次の番地
	EIの場合，割り込みベクタ （複数のIRQ ×××がセットされている場合には，優先順位の高い割り込みベクタ）

注1．リセットは$\overline{\text{RESET}}$入力，パワーオン／パワーダウン・リセットだけが有効です。

2．IP×××=1である必要があります。また，IRQTM1による解除はできません。

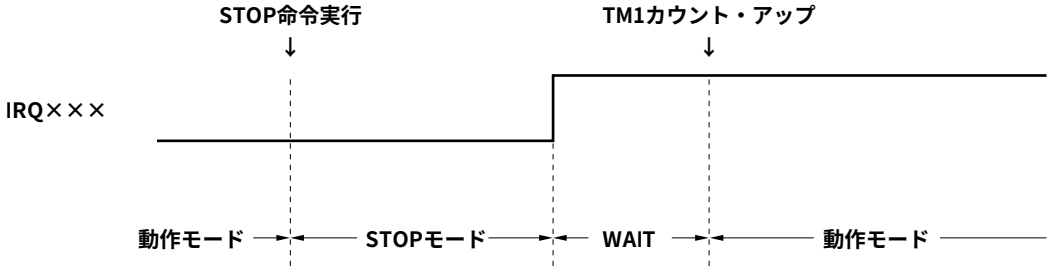
図16－2　STOPモードの解除

（a）$\overline{\text{RESET}}$入力によるSTOP解除



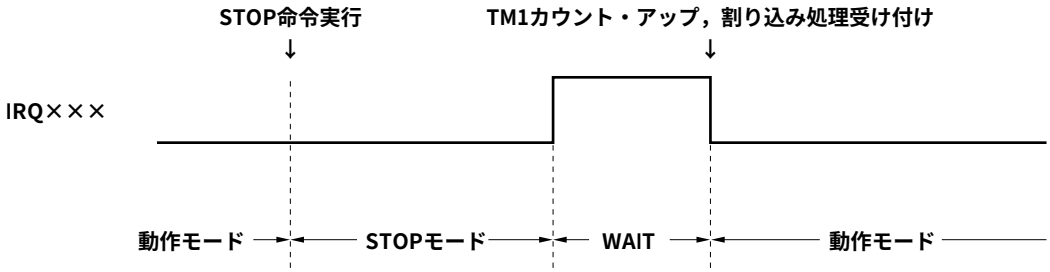
WAIT：TM1が512分周のクロックを256カウントするまでの待ち時間
256×512/f_{CC} ＋α（約65 ms＋α，f_{CC} = 2 MHz時）
α　：発振成長時間（発振子により異なります）

（b）IRQ×××によるSTOP解除（DI状態の場合）



WAIT：TM1がm分周のクロックを（n＋1）カウントするまでの待ち時間
（n＋1）×m/f_{CC} ＋α（n，mは，STOPモードに入る直前の値）
α ：発振成長時間（発振子により異なります）

（c）IRQ×××によるSTOP解除（EI状態の場合）



WAIT：TM1がm分周のクロックを（n＋1）カウントするまでの待ち時間
（n＋1）×m/f_{CC} ＋α（n，mは，STOPモードに入る直前の値）
α ：発振成長時間（発振子により異なります）

16.3.3　STOP の設定条件

IRQ ×××による解除の場合

IRQによる解除	●INT端子から入力される信号に対するエッジ選択（IEGMD1，IEGMD0）を設定。 ●タイマ１（発振安定待ち時間の生成）のモジュロ・レジスタ値の設定。 ●INT端子の割り込み要求フラグ（IRQ）をクリア（０）。 ●INT端子の割り込み許可フラグ（IP）をセット（１）。
IRQSIOによる解除	●ソース・クロックを$\overline{SCK}$端子から入力される外部クロック（SIOCK1＝0，SIOCK0＝0）に設定。 ●シリアル・インタフェースを動作可能状態（SIOTS=１）に設定。 ●タイマ１（発振安定待ち時間の生成）のモジュロ・レジスタ値の設定。 ●シリアル・インタフェースの割り込み要求フラグ（IRQSIO）をクリア（０）。 ●シリアル・インタフェースの割り込み許可フラグ（IPSIO）をセット（１）。
IRQTM0による解除	●タイマ０のソース・クロックをINT端子から入力される外部クロック（TM0CK1＝１，TM0CK0＝１）に設定。 ●タイマ０のモジュロ・レジスタ値を設定。 ●タイマ１（発振安定待ち時間の生成）のモジュロ・レジスタ値とソース・クロックを設定。 ●タイマ０を動作可能状態にする（TM0EN＝１）。 ●タイマ０の割り込み要求フラグ（IRQTM0）をクリア（０）。 ●タイマ０の割り込み許可フラグ（IPTM0）をセット（１）。

注意　STOP命令の直前には必ず，NOP命令を記述してください。

NOP命令をSTOP命令の直前に記述することにより，IRQ×××操作命令とSTOP命令との間に１命令分の時間が生成されるため，たとえばCLR1　IRQ×××命令の場合は，IRQ ×××のクリアがSTOP命令に正しく反映されます（例１）。NOP命令をSTOP命令の直前に記述しないと，CLR1 IRQ ×××命令はSTOP命令に反映されず，STOPモードには入りません（例２）。

例１．正しいプログラム例

```
        ⋮
（IRQ×××のセット）
        ⋮

  CLR1      IRQ×××
  NOP               ；NOP命令をSTOP命令の直前に記述
                    ；（IRQ×××のクリアがSTOP命令に対して正しく反映される）
  STOP      1000B   ；STOP命令を正しく実行する（STOPモードに入る）

        ⋮
```

２．誤ったプログラム例

```
        ⋮
（IRQ×××のセット）
        ⋮

  CLR1      IRQ×××  ；IRQ×××のクリアはSTOP命令に対して反映されない
                    ；（反映されるのはSTOP命令の次の命令）
  STOP      1000B   ；STOP命令は無視される（STOPモードに入らない）

        ⋮
```

第17章　リセット ★

μPD17134Aサブシリーズのリセットには，次の４種類があります。

① $\overline{\text{RESET}}$入力によるリセット
② 電源投入時および電源電圧降下時にリセットをかけるパワーオン／パワーダウン・リセット機能
③ プログラムの暴走時にリセットするためのウォッチドッグ・タイマ機能
④ アドレス・スタックのオーバフロー／アンダフローによるリセット機能

なお，パワーオン／パワーダウン・リセット機能は電源電圧を4.5 ～ 5.5 Vでご使用になる場合のみ有効な機能です。

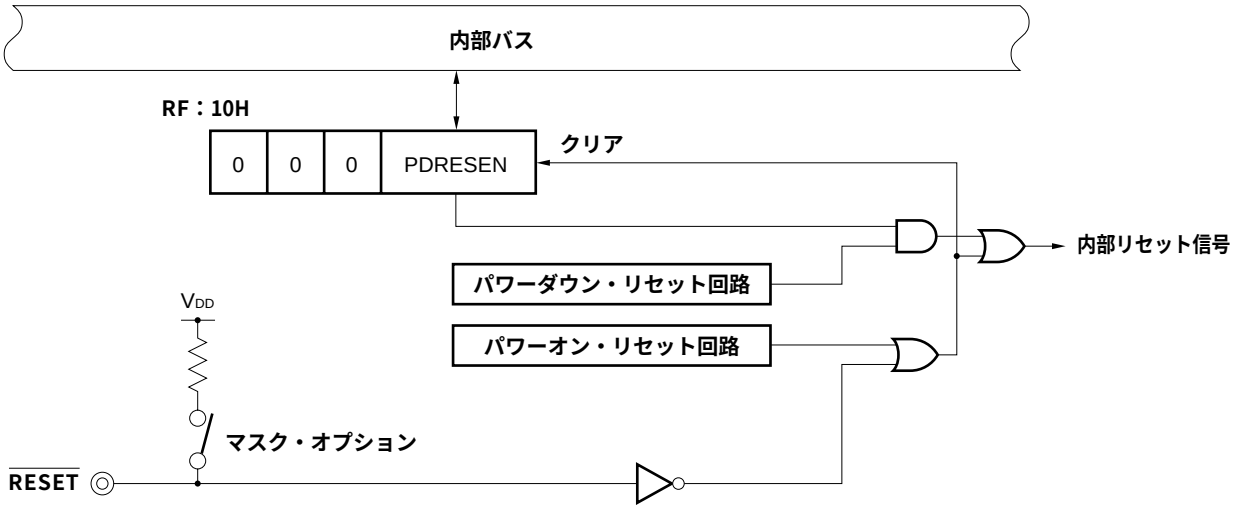
17.1　リセット機能

リセット機能は，デバイス動作の初期化を行うために使用します。なお，リセットの種類により，初期化される内容が異なります。

表17－１　リセット時の各ハードウエアの状態

リセットの種類 ／ ハードウエア		・動作中の$\overline{\text{RESET}}$入力 ・動作中の内蔵パワーオン／パワーダウン・リセット	・スタンバイ・モード中の$\overline{\text{RESET}}$入力 ・スタンバイ・モード中の内蔵パワーオン／パワーダウン・リセット	・ウォッチドッグ・タイマのオーバフロー ・スタックのオーバフローおよびアンダーフロー
プログラム・カウンタ		0000H	0000H	0000H
ポート	入出力モード	入力	入力	入力
	出力ラッチ	0	0	不定
汎用データ・メモリ	DBF以外	不定	リセット直前の状態を保持	不定
	DBF	不定	不定	不定
システム・レジスタ	WR以外	0	0	0
	WR	不定	リセット直前の状態を保持	不定
コントロール・レジスタ		SP = 5H, IRQTM1 = 1, TM1EN = 1, IRQBTM = 0, INTはそのときのINT端子の状態，それ以外はすべて０。 **第９章　レジスタ・ファイル（RF）参照。**		SP = 5H, INTはそのときのINT端子の状態,それ以外はすべてリセット直前の状態を保持。
タイマ０，およびタイマ１	カウント・レジスタ	00H	00H	タイマ０:00H,タイマ１:不定
	モジュロ・レジスタ	FFH	FFH	FFH
ベーシック・インターバル・タイマのカウンタ		不定	不定	不定 （ただし,ウォッチドッグ・タイマのオーバフローの場合は40H）
シリアル・インタフェースのシフト・レジスタ（SIOSFR）		不定	リセット直前の状態を保持	不定
A/Dコンバータのデータ・レジスタ（ADCR）		00H	00H	00H

図17－１　リセット・ブロックの構成



17.2　リセット動作

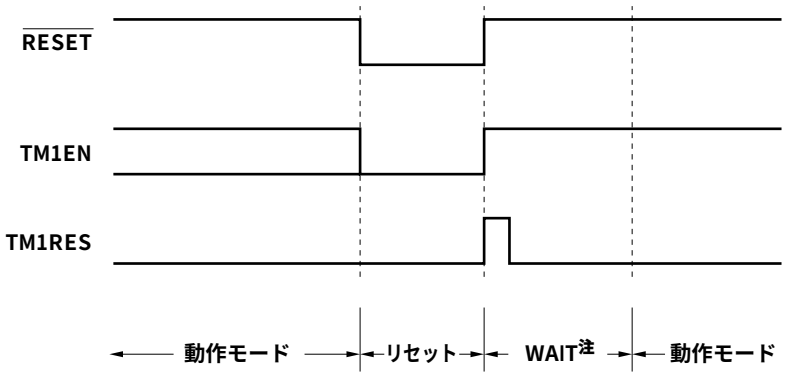
$\overline{\text{RESET}}$入力によりリセットをかけたときの動作を図17－２に示します。

$\overline{\text{RESET}}$端子をロウ・レベルからハイ・レベルに立ち上げると，システム・クロックの発振を開始し，タイマ１を用いた発振安定待ちをしたのち，0000H番地よりプログラムの実行を開始します。

パワーオン・リセット機能によるリセットの場合も，図17－２のようなリセット信号を内部で生成し，$\overline{\text{RESET}}$入力により外部からリセットをかけたときと同様の動作をします。

なお，ウォッチドッグ・タイマのオーバフローおよびスタックのオーバフローとアンダフローによるリセットでは発振安定待ち時間（WAIT）は発生せず，内部を初期状態にしたのち，0000H番地スタートとなります。

図17－２　リセット動作



注　発振安定待ち時間です。タイマ１によりシステム・クロック（fcc）を512×256カウント（約65 ms, fcc = 2 MHz時）すると動作モードになります。

17.3　パワーオン／パワーダウン・リセット機能

μPD17134Aサブシリーズには，電源の立ち上がりおよび電源電圧の低下を監視し，マイコン内部にリセットをかけるパワーオン／パワーダウン・リセット機能があり，マイコンの誤動作防止に威力を発揮します。

この機能は，通常のマイコン・ロジック部とは動作電源電圧範囲が異なる電源監視回路と，リセットがかかると発振を停止し，マイコンを一時動作停止状態にする発振回路部により構成されています。次にパワーオン／パワーダウン・リセット機能が有効に働く条件と機能について説明します。

注意　高い信頼性が要求される応用回路を設計する際には，リセットが内部のパワーオン／パワーダウン・リセット機能だけに依存した設計をしないでください。必ず外部からの$\overline{\text{RESET}}$信号を入力するように設計してください。

17.3.1　パワーオン・リセット機能が有効に働く条件

パワーオン・リセット機能は，実際に使用する環境においてはパワーダウン・リセット機能とともに使用したときに初めて有効になる機能です。

パワーオン・リセット機能は，次の条件において有効です。

① 通常動作時（スタンバイ時も含む）において，電源電圧範囲が4.5 ～ 5.5 Vであること。
② システム・クロック発振周波数が400 kHz ～ 4 MHzであること[注]。
③ 通常動作時（スタンバイ時も含む）において，パワーダウン・リセット機能を使用すること。
④ 電源が0 Vから立ち上がること。
⑤ 0～2.7 Vまでの電源の立ち上がり時間が，μPD17134Aサブシリーズのタイマ１で生成される発振安定待ち時間（システム・クロックf_{CC} = 512×256カウント，約65 ms，f_{CC} = 2 MHz時）以内であること。

注　μPD17135A, 17137A, 17P137Aのときに注意してください。
μPD17134A, 17136A, 17P136Aでは，f_{CC} = 400 kHz～2 MHzです。

注意１．上記条件が満たされない場合は，内蔵されたパワーオン・リセット回路が有効に動作しません。このため，外付けにリセット回路が必要となります。
２．スタンバイ時，パワーダウン・リセット機能が働いた場合でもV_{DD} = 2.7 Vまでは汎用データ・メモリ（DBFは除く）はデータを保持しています。なお外乱などにより，データが変化した場合のデータ保持については保証されていません。

17.3.2　パワーオン・リセット機能と動作

パワーオン・リセット機能は，内蔵されているハードウエアにより，ソフトウエアに関係なく電源を監視し，電源立ち上がり時に内部システムにリセットをかける機能です。

このパワーオン・リセット回路は，ほかの内部回路より低電圧で動作し，発振の有無に関係なくマイコン内部を初期化します。そして，リセットが解除されると，発振子からの発振パルスをタイマ１によりカウントし，発振安定待ちを行います。この発振安定待ちは，発振子の発振安定待ちはもとより，マイコンに印加される電源電圧が，マイコンの動作保証電圧範囲内（V_{DD} = 2.7 ～ 5.5 V, f_X = 400 kHz ～ 4 MHz）になるのを待つことにも使用されています。

この発振安定待ちから解除されると，マイコンは動作状態となります。その動作例について図17－３に示します。

パワーオン・リセットの機能

① V_{DD}端子に印加されている電圧レベルを常に監視。

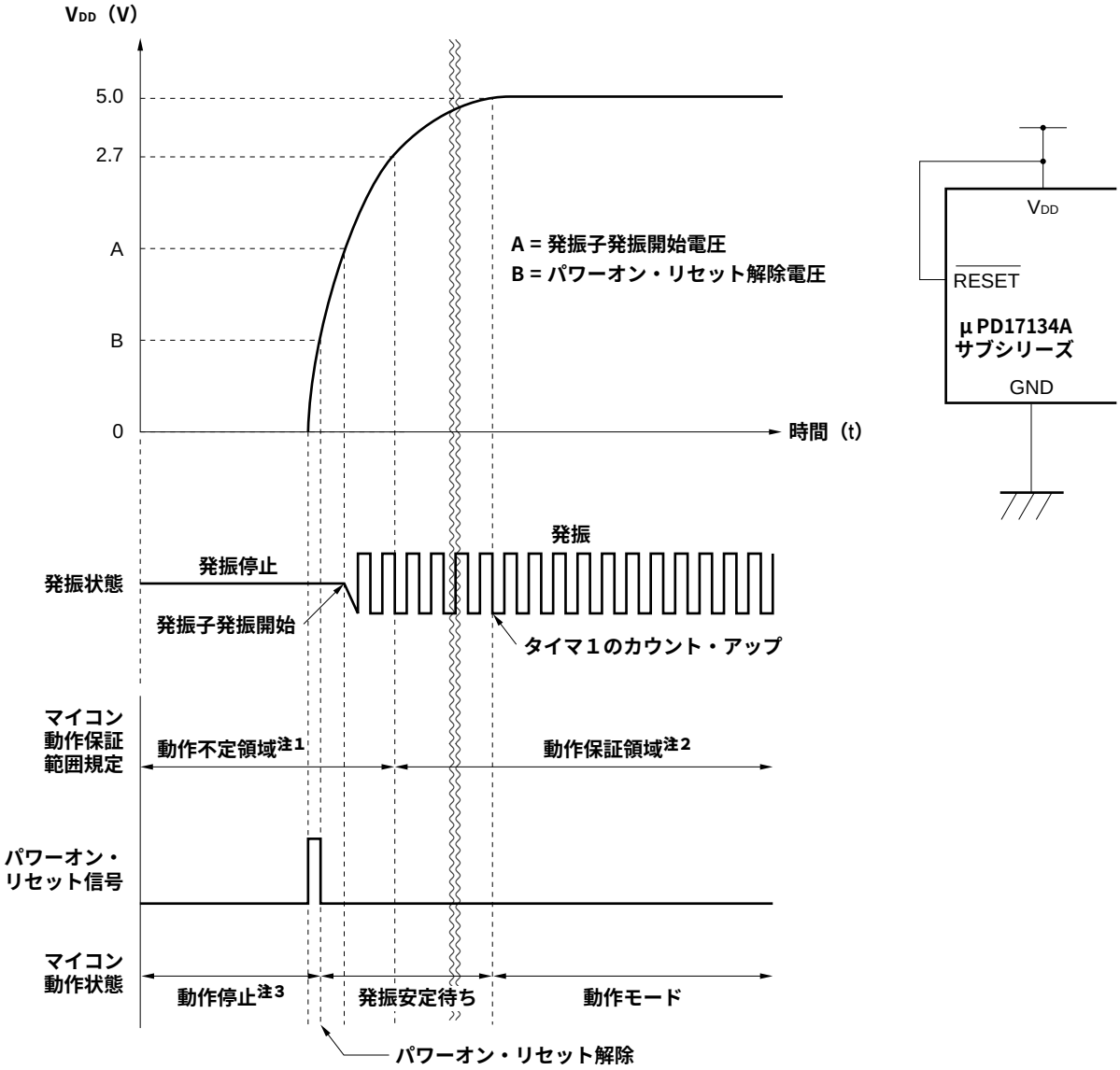
② 電源の立ち上がりにおいて，パワーオン・リセット解除電圧（V_{DD} = 1.5 V TYP.）までは，発振の有無に関係なくマイコン内部にリセットをかける。[注]

③ リセットがかかっている間は発振を停止。

④ リセットが解除されると，タイマ１により発振安定待ちおよび電源電圧がV_{DD} = 2.7 V以上になるのを待つ。

注　マイコン内部にリセットがかかるのは，内部回路が動作できる（内部リセット信号を受け付けられる）電圧に電源電圧が達した時点からです。

図17－３　内蔵パワーオン・リセット動作例



注１．動作不定領域は，μPD17134Aサブシリーズに規定されている動作が保証されていない領域です。ただし，この領域においてもパワーオン・リセット機能は動作します。

２．動作保証領域とは，μPD17134Aサブシリーズに規定されている動作のすべてが保証される領域のことです。

３．マイコンの動作状態において動作停止とは，マイコンのすべての機能が止まっている状態のことです。

17.3.3　パワーダウン・リセット機能が使用できる条件

パワーダウン・リセット機能は，ソフトウエアによりその使用の有無を選択することができます。使用できる条件は次のとおりです。

○通常動作時（スタンバイ時も含む）の電源電圧範囲が4.5 ～ 5.5 Vであること。
○システム・クロック発振周波数が400 kHz ～ 4 MHzであること。

注意　2.7 ～ 4.5 Vの範囲で通常動作を行う場合には，内蔵されたパワーダウン・リセット機能を使用せず，リセット回路を外付けしてください。2.7 ～ 4.5 Vの動作電圧範囲においてパワーダウン・リセット機能を使用すると，リセットが解除されなくなる可能性があります。

17.3.4　パワーダウン・リセット機能と動作

パワーダウン・リセット機能は，ソフトウエアによりパワーダウン・リセット・イネーブル・フラグ（PDRESEN）をセットすると機能します。

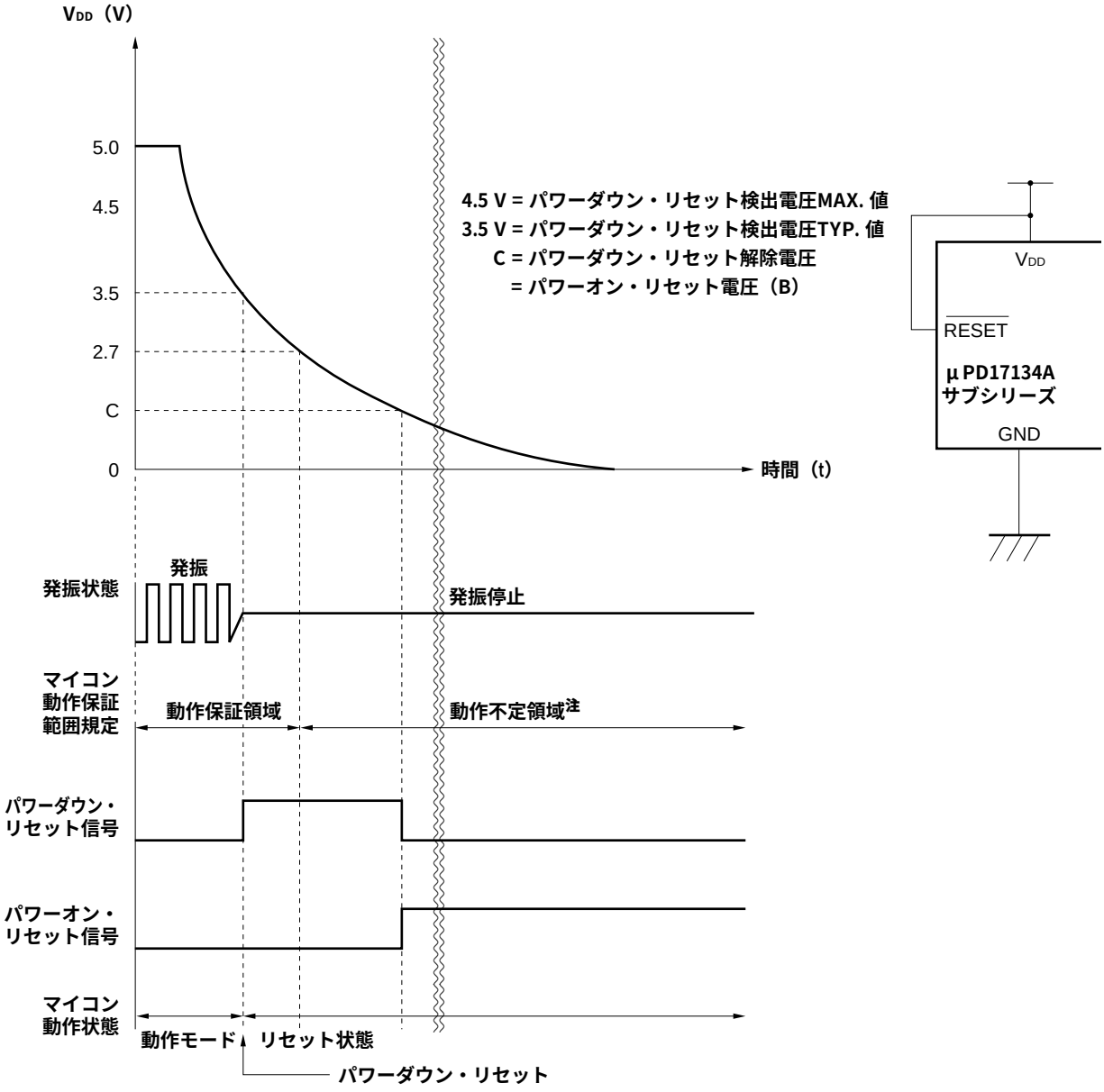
この機能が動作している間に，電源電圧の低下を検出するとマイコン内部に対しリセット信号を発生し，マイコン内部を初期化します。また，リセットがかかっている間は発振が停止しているため，マイコンが電源電圧の乱れにより暴走することを防ぐことができます。電源電圧が復帰し，パワーダウン・リセットが解除された場合は，タイマによる発振安定待ち状態を介したのち，通常の動作状態（0番地スタート）となります。

図17－4に内蔵パワーダウン・リセットの動作例，図17－5にはパワーダウン→電源復帰時のリセット動作例について示します。

パワーダウン・リセット機能

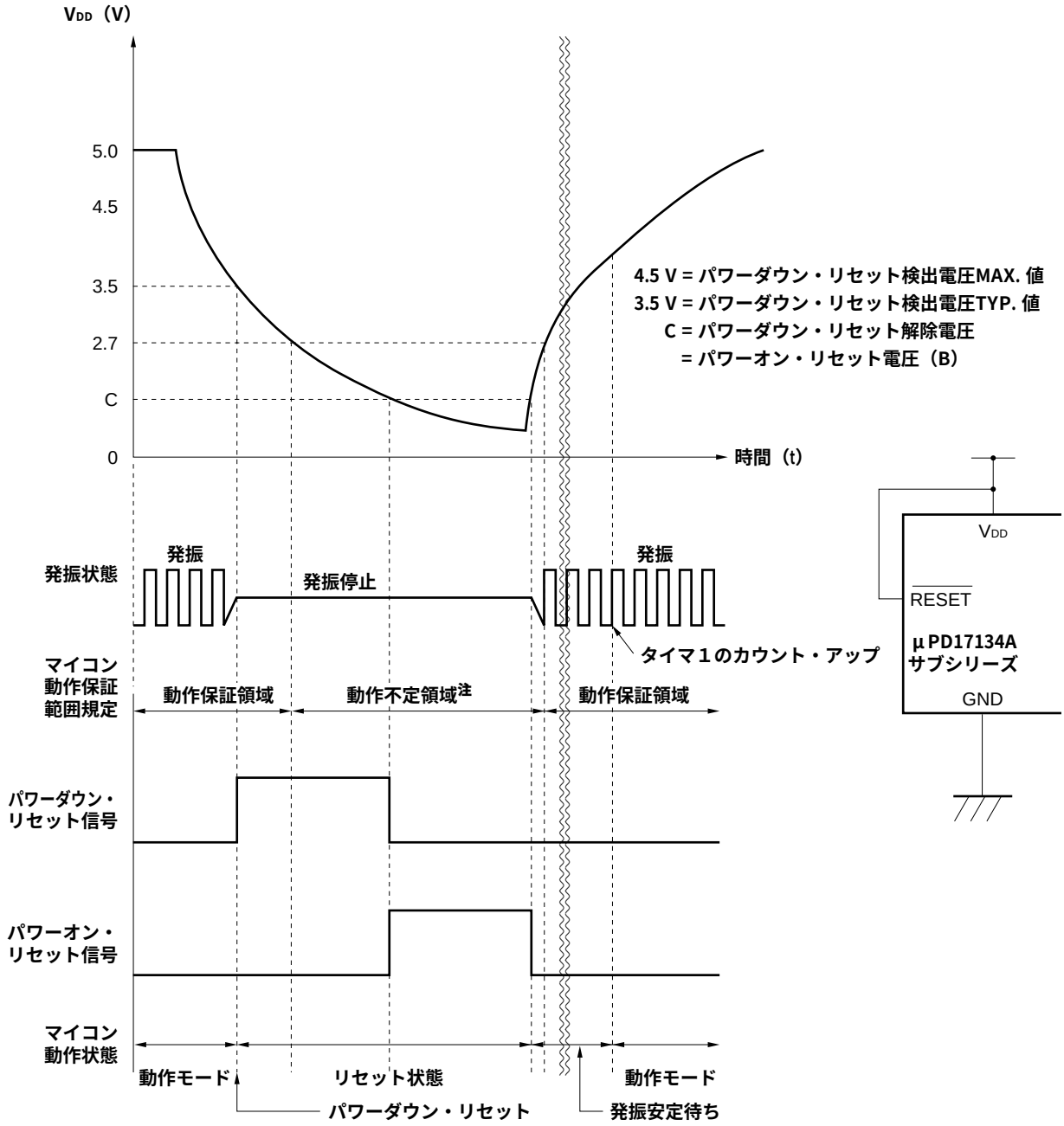
① V_{DD}端子に印加されている電圧レベルを常に監視。
② 電源電圧の低下を検出すると，リセット信号をマイコン内部に対し発生。電源電圧が復帰するか，またはマイコンのすべての機能が停止するまでリセット信号を発生し続ける。
③ リセットがかかっている間は発振を停止（暴走防止対策）。
パワーダウン・リセット機能が停止する前に電源が復帰した場合は，低電圧検出レベル（3.5 V TYP., 4.5 V MAX.）以上になったとき，タイマ1による発振安定待ちを介したのち，通常の動作モードに移る。
④ 0Vから電源電圧が復帰した場合は，その機能をパワーオン・リセット機能に譲る。
⑤ パワーダウン・リセット機能が停止したのち，電源電圧が0Vに達する前に復帰した場合は，タイマ1により発振安定待ちおよび電源電圧がV_{DD} = 2.7 V以上になるのを待ち，通常の動作モードに移る。

図17－４　内蔵パワーダウン・リセット動作例



注　動作不定領域は，μPD17134Aサブシリーズに規定されている動作が保証されていない領域です。ただし，この領域においても，パワーダウン・リセット機能は動作し，マイコン内部のそのほかの機能がすべて停止するまでリセットを発生し続けます。

図17－5　パワーダウン→電源復帰時のリセット動作例



注　動作不定領域とは，μPD17134Aサブシリーズに規定されている動作が保証されていない領域のことです。ただし，この領域においても，パワーダウン・リセット機能は動作し，マイコン内部のそのほかの機能がすべて停止するまでリセットを発生し続けます。

〔メ　モ〕

第18章　ワン・タイムPROMの書き込みとベリファイ

μPD17P136A, 17P137Aに内蔵されているプログラム・メモリは2048×16ビットのワン・タイムPROMです。

ワン・タイムPROMの書き込み／ベリファイには，表18－１に示す端子を使用します。なお，アドレス入力はなく，代わりにCLK端子からのクロック入力によりアドレスを更新する方法をとっています。

注意　$P1B_0/V_{PP}$端子は，プログラム書き込み／ベリファイ・モード時はV_{PP}端子として使用しています。このため，通常動作モード時において$P1B_0/V_{PP}$端子にV_{DD}＋0.3 V以上の高電圧が印加されると，マイコンが暴走する可能性がありますので，端子の保護には十分注意してください。

表18－１　プログラム・メモリ書き込み／ベリファイ時の使用端子

端子名	機　　能
V_{PP}	プログラム電圧印加用端子です。＋12.5 Vを印加します。
V_{DD}	正電源です。＋６ Vを印加します。
$\overline{RESET}$	システム・リセット入力です。プログラム・メモリ書き込み／ベリファイ・モードにする前にすべての状態を初期化するために使用します。
CLK	アドレス更新用クロック入力です。パルスを４回入力することにより，プログラム・メモリのアドレスを更新します。
MD_0-MD_3	動作モード選択用入力です。
D_0-D_7	８ビット・データ入出力端子です。

18.1　マスクROM製品とワン・タイムPROM製品との違い

μPD17P136A, 17P137Aは，マスクROM内蔵製品μPD17136A, 17137Aのプログラム・メモリをワン・タイムPROMに置き換えた製品です。

表18－２にマスクROM製品とワン・タイムPROM製品との違いを示します。

各製品間の違いは，プログラム・メモリ，プログラム・サイズおよびアドレス・レジスタの大きさと，マスク・オプションの指定ができるかできないかの違いのみで，CPU機能や内蔵している周辺ハードウエアは同じです。したがって，μPD17P136AはμPD17134AおよびμPD17136A, μPD17P137AはμPD17135AおよびμPD17137Aのシステム開発時のプログラム評価用として使用できます。

表18－２　マスクROM製品とワン・タイムPROM製品との違い

項　　目	μPD17134A, 17135A	μPD17136A, 17137A	μPD17P136A, 17P137A
ROM	マスクROM		ワン・タイムPROM
	1024×16ビット （0000H-03FFH）	2048×16ビット （0000H-07FFH）	
プログラム・カウンタ	10ビット	11ビット	
アドレス・レジスタ			
アドレス・スタック・レジスタ			
P0D, P1A, P1B各端子および $\overline{\text{RESET}}$端子のプルアップ抵抗	マスク・オプション		なし
V_{PP}端子，動作モード選択端子	なし		あり
★ 品質水準	標準水準 特別水準〔（A），（A1）〕		標準水準

★ **注意　PROM製品は，マスクROM製品と機能的には高い互換性がありますが，内部ROM回路や電気的特性の一部などに違いがあります。**

PROM製品からマスクROM製品に切り替える際にはマスクROM製品のサンプルによる応用評価を十分に行ってください。

18.2　プログラム・メモリ書き込み／ベリファイ時の動作モード

μPD17P136A, 17P137Aは，ある一定時間のリセット状態（V_{DD} = 5 V, $\overline{\text{RESET}}$ = 0 V）のあと，V_{DD}端子に＋6 V，V_{PP}端子に＋12.5 Vを印加すると，プログラム・メモリ書き込み／ベリファイ・モードになります。このモードはMD_0-MD_3端子設定により次のような動作モードとなります。なお，V_{ADC}は直接V_{DD}に接続してください。また残りの端子はすべてプルダウン抵抗を介してGNDに接続してください。

表18－３　動作モードの設定方法

動作モードの設定						動作モード
V_{PP}	V_{DD}	MD_0	MD_1	MD_2	MD_3	
＋12.5 V	＋6 V	H	L	H	L	プログラム・メモリ・アドレスの０クリア
		L	H	H	H	書き込みモード
		L	L	H	H	ベリファイ・モード
		H	×	H	H	プログラム・インヒビット・モード

備考　×：don't care（ＬまたはＨ）

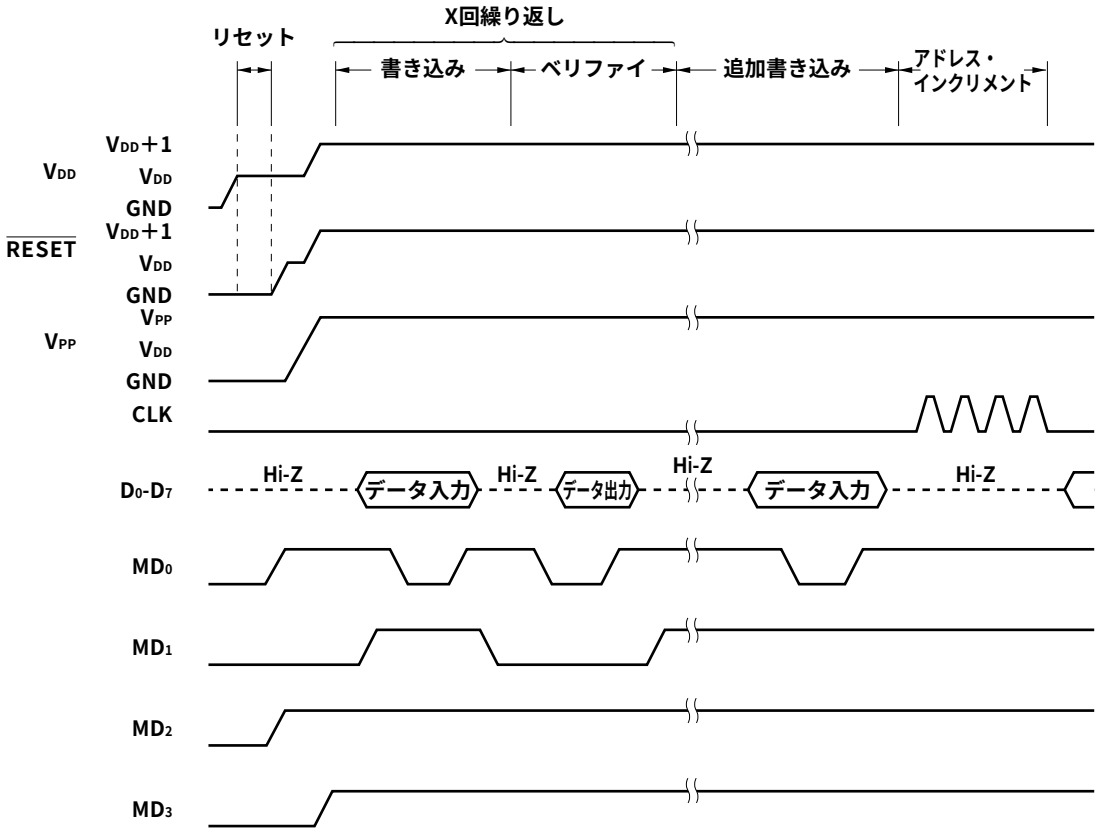
18.3　プログラム・メモリ書き込み手順

プログラム・メモリ書き込みの手順は次のようになっており，高速書き込みが可能です。

（1）使用しない端子を抵抗を介してGNDにプルダウン。CLK端子はロウ・レベル。
（2）V_{DD}端子に5 Vを供給。V_{PP}端子，$\overline{RESET}$端子はロウ・レベル。
（3）10 μsウエイト後，$\overline{RESET}$端子に5 Vを供給。
（4）モード設定端子をプログラム・メモリ・アドレスの0クリア・モードに設定。
（5）V_{DD}, $\overline{RESET}$に6 V，V_{PP}に12.5 Vを供給。
（6）プログラム・インヒビット・モード。
（7）1 msの書き込みモードでデータを書き込む。
（8）プログラム・インヒビット・モード。
（9）ベリファイ・モード。書き込めていれば（10）へ，書き込めていなければ（7）-（9）を繰り返す。
（10）（（7）-（9）で書き込んだ回数：X）×1 msの追加書き込み。
（11）プログラム・インヒビット・モード。
（12）CLK端子にパルスを4回入力することにより，プログラム・メモリのアドレスを更新（＋1）。
（13）（7）-（12）を最終アドレスまで繰り返す。
（14）プログラム・メモリ・アドレスの0クリア・モード。
（15）V_{DD}, V_{PP}端子の電圧を5 Vに変更。
（16）電源オフ。

この（2）-（12）の手順を図18－1に示します。

図18－1　プログラム・メモリ書き込み手順



18.4　プログラム・メモリ読み出し手順

（1）V_{ADC}は直接V_{DD}に接続し，残りの端子はすべてプルダウン抵抗を介してGNDに接続。CLK端子はロウ・レベル

（2）V_{DD}端子に5 Vを供給。V_{PP}端子，$\overline{\text{RESET}}$端子はロウ・レベル。

（3）10 μsウエイト後，$\overline{\text{RESET}}$端子に5 Vを供給。

（4）モード設定端子をプログラム・メモリ・アドレスの0クリア・モードに設定。

（5）V_{DD}, $\overline{\text{RESET}}$端子に6 V，V_{PP}に12.5 Vを供給。

（6）プログラム・インヒビット・モード。

（7）ベリファイ・モード。CLK端子にクロック・パルスを入力すると，4回入力するごとにデータを1アドレスずつ順次出力。

（8）プログラム・インヒビット・モード。

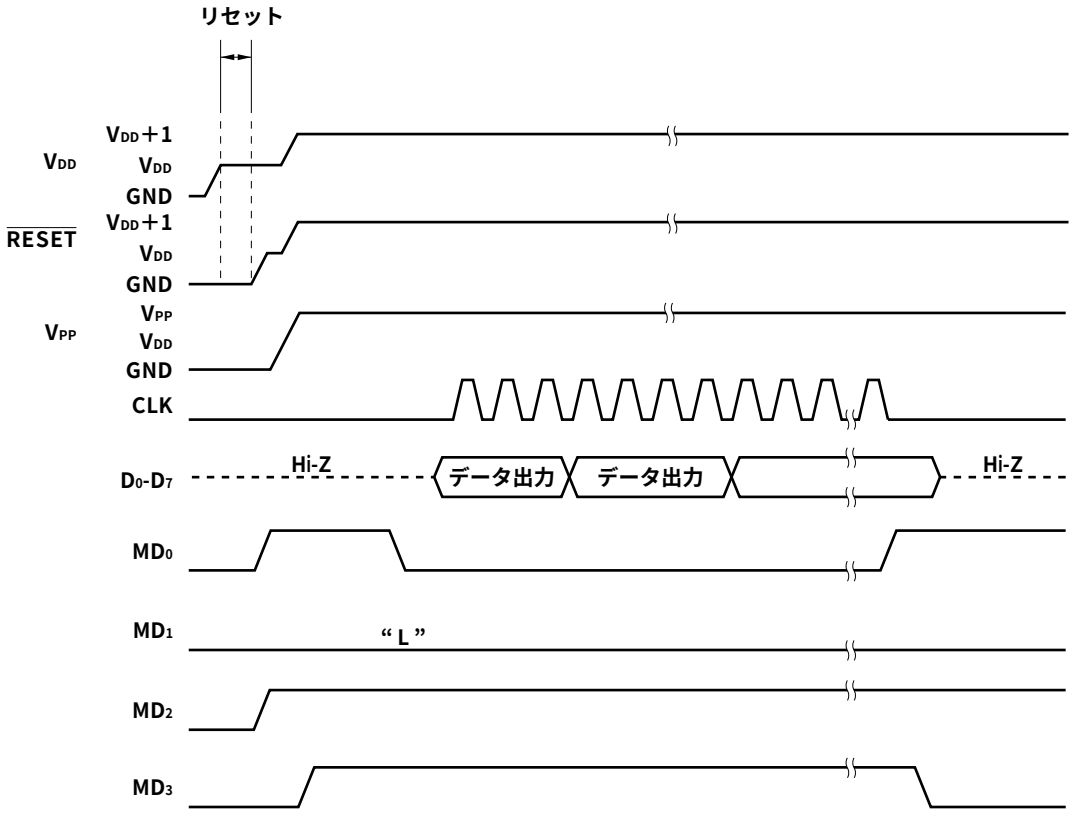
（9）プログラム・メモリ・アドレスの0クリア・モード。

（10）V_{DD}, V_{PP}端子の電圧を5 Vに変更。

（11）電源オフ。

プログラム・メモリ読み出し手順の（2）-（9）を図18－2に示します。

図18－2　プログラム・メモリ読み出し手順



〔メ　モ〕

第19章　命令セット

19.1　命令セット概要

b_{14}-b_{11} \ b_{15}		0		1	
BIN	HEX				
0000	0	ADD	r, m	ADD	m, #n4
0001	1	SUB	r, m	SUB	m, #n4
0010	2	ADDC	r, m	ADDC	m, #n4
0011	3	SUBC	r, m	SUBC	m, #n4
0100	4	AND	r, m	AND	m, #n4
0101	5	XOR	r, m	XOR	m, #n4
0110	6	OR	r, m	OR	m, #n4
0111	7	INC INC MOVT BR CALL RET RETSK EI DI RETI PUSH POP GET PUT PEEK POKE RORC STOP HALT NOP	AR IX DBF, @AR @AR @AR AR AR DBF, p p, DBF WR, rf rf, WR r s h		
1000	8	LD	r, m	ST	m, r
1001	9	SKE	m, #n4	SKGE	m, #n4
1010	A	MOV	@r, m	MOV	m, @r
1011	B	SKNE	m, #n4	SKLT	m, #n4
1100	C	BR	addr	CALL	addr
1101	D			MOV	m, #n4
1110	E			SKT	m, #n
1111	F			SKF	m, #n

19.2　凡　　例

AR　　：アドレス・レジスタ
ASR　　：スタック・ポインタで示されるアドレス・スタック・レジスタ
addr　　：プログラム・メモリ・アドレス（11ビット）
BANK　　：バンク・レジスタ
CMP　　：コンペア・フラグ
CY　　：キャリー・フラグ
DBF　　：データ・バッファ
h　　：ホールト解除条件
INTEF　　：インタラプト・イネーブル・フラグ
INTR　　：割り込み時スタックに自動退避されるレジスタ
INTSK　　：割り込みスタック・レジスタ
IX　　：インデクス・レジスタ
MP　　：データ・メモリ・ロウ・アドレス・ポインタ
　MPE　　：メモリ・ポインタ・イネーブル・フラグ
m　　：m_R，m_Cで示されるデータ・メモリ・アドレス
　m_R　　：データ・メモリ・ロウ・アドレス（上位）
　m_C　　：データ・メモリ・カラム・アドレス（下位）
n　　：ビット・ポジション（４ビット）
n4　　：イミーディエト・データ（４ビット）
PC　　：プログラム・カウンタ
p　　：周辺アドレス
　p_H　　：周辺アドレス（上位３ビット）
　p_L　　：周辺アドレス（下位４ビット）
r　　：ジェネラル・レジスタ・カラム・アドレス
rf　　：レジスタ・ファイル・アドレス
　rf_R　　：レジスタ・ファイル・ロウ・アドレス（上位３ビット）
　rf_C　　：レジスタ・ファイル・カラム・アドレス（下位４ビット）
SP　　：スタック・ポインタ
s　　：ストップ解除条件
WR　　：ウインドウ・レジスタ
（×）　　：×でアドレスされる内容

19.3　命令セット一覧

命令群	ニモニック	オペランド	オペレーション	マシン・コード			
				オペ・コード	オペランド		
加算	ADD	r, m	(r) ← (r) ＋ (m)	00000	m_R	m_C	r
		m, ＃n4	(m) ← (m) ＋n4	10000	m_R	m_C	n4
	ADDC	r, m	(r) ← (r) ＋ (m) ＋CY	00010	m_R	m_C	r
		m, ＃n4	(m) ← (m) ＋n4＋CY	10010	m_R	m_C	n4
	INC	AR	AR←AR＋1	00111	000	1001	0000
		IX	IX←IX＋1	00111	000	1000	0000
減算	SUB	r, m	(r) ← (r) － (m)	00001	m_R	m_C	r
		m, ＃n4	(m) ← (m) －n4	10001	m_R	m_C	n4
	SUBC	r, m	(r) ← (r) － (m) －CY	00011	m_R	m_C	r
		m, ＃n4	(m) ← (m) －n4－CY	10011	m_R	m_C	n4
論理演算	OR	r, m	(r) ← (r) ∨ (m)	00110	m_R	m_C	r
		m, ＃n4	(m) ← (m) ∨n4	10110	m_R	m_C	n4
	AND	r, m	(r) ← (r) ∧ (m)	00100	m_R	m_C	r
		m, ＃n4	(m) ← (m) ∧n4	10100	m_R	m_C	n4
	XOR	r, m	(r) ← (r) ⊻ (m)	00101	m_R	m_C	r
		m, ＃n4	(m) ← (m) ⊻ n4	10101	m_R	m_C	n4
判断	SKT	m, ＃n	CMP←0，if (m) ∧n = n，then skip	11110	m_R	m_C	n
	SKF	m, ＃n	CMP←0，if (m) ∧n = 0，then skip	11111	m_R	m_C	n
比較	SKE	m, ＃n4	(m) －n4，skip if zero	01001	m_R	m_C	n4
	SKNE	m, ＃n4	(m) －n4，skip if not zero	01011	m_R	m_C	n4
	SKGE	m, ＃n4	(m) －n4，skip if not borrow	11001	m_R	m_C	n4
	SKLT	m, ＃n4	(m) －n4，skip if borrow	11011	m_R	m_C	n4
回転	RORC	r	CY→$(r)_{b3}$→$(r)_{b2}$→$(r)_{b1}$→$(r)_{b0}$	00111	000	0111	r
転送	LD	r, m	(r) ← (m)	01000	m_R	m_C	r
	ST	m, r	(m) ← (r)	11000	m_R	m_C	r
	MOV	@r, m	if MPE = 1：(MP，(r)) ← (m) if MPE = 0：(BANK，m_R，(r)) ← (m)	01010	m_R	m_C	r
		m, @r	if MPE = 1：(m) ← (MP，(r)) if MPE = 0：(m) ← (BANK，m_R，(r))	11010	m_R	m_C	r
		m, ＃n4	(m) ←n4	11101	m_R	m_C	n4
	MOVT	DBF, @AR	SP←SP－1，ASR←PC，PC←AR DBF← (PC) ，PC←ASR， SP←SP＋1	00111	000	0001	0000

命令群	ニモニック	オペランド	オペレーション	マシン・コード			
				オペ・コード	オペランド		
転送	PUSH	AR	SP←SP−1，ASR←AR	00111	000	1101	0000
	POP	AR	AR←ASR，SP←SP＋1	00111	000	1100	0000
	PEEK	WR, rf	WR←（rf）	00111	rf_R	0011	rf_C
	POKE	rf, WR	（rf）←WR	00111	rf_R	0010	rf_C
	GET	DBF, p	DBF←（p）	00111	p_H	1011	p_L
	PUT	p, DBF	（p）←DBF	00111	p_H	1010	p_L
分岐	BR	addr	PC←addr	01100	addr		
		@AR	PC←AR	00111	000	0100	0000
サブルーチン	CALL	addr	SP←SP−1，ASR←PC， PC←addr	11100	addr		
		@AR	SP←SP−1，ASR←PC， PC←AR	00111	000	0101	0000
	RET		PC←ASR，SP←SP＋1	00111	000	1110	0000
	RETSK		PC←ASR，SP←SP＋1 and skip	00111	001	1110	0000
	RETI		PC←ASR，INTR←INTSK，SP←SP＋1	00111	100	1110	0000
割り込み	EI		INTEF←1	00111	000	1111	0000
	DI		INTEF←0	00111	001	1111	0000
その他	STOP	s	STOP	00111	010	1111	s
	HALT	h	HALT	00111	011	1111	h
	NOP		No operation	00111	100	1111	0000

19.4　アセンブラ（AS17K）組み込みマクロ命令

凡　例

flag n ：FLG型シンボル

〈 〉：〈 〉内は省略可能

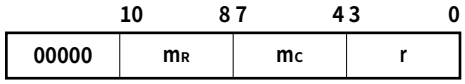
	ニモニック	オペランド	オペレーション	n
組み込みマクロ	SKTn	flag 1, …flag n	if（flag 1）～（flag n） = all “ 1 ”, then skip	1≦n≦4
	SKFn	flag 1, …flag n	if（flag 1）～（flag n） = all “ 0 ”, then skip	1≦n≦4
	SETn	flag 1, …flag n	（flag 1）～（flag n）←1	1≦n≦4
	CLRn	flag 1, …flag n	（flag 1）～（flag n）←0	1≦n≦4
	NOTn	flag 1, …flag n	if（flag n） = “ 0 ”, then（flag n）←1 if（flag n） = “ 1 ”, then（flag n）←0	1≦n≦4
	INITFLG	〈NOT〉flag 1, …〈〈NOT〉flag n〉	if description = NOT flag n, then（flag n）←0 if description = flag n, then（flag n）←1	1≦n≦4
	BANKn		BANK←n	n = 0, 1

19.5　命令の個別説明

19.5.1　加算命令

（1）ADD r, m　　**Add data memory to general register**

① 命令コード



② 機　　能

CMP = 0のとき　　（r）←（r）＋（m）

ジェネラル・レジスタの内容にデータ・メモリの内容を加算し，結果をジェネラル・レジスタへ格納します。

CMP = 1のとき　　（r）＋（m）

結果はレジスタに格納されず，キャリー・フラグCYとゼロ・フラグＺが結果によって変化します。

加算の結果，桁上げがあればキャリー・フラグCYをセットし，桁上げがなければキャリー・フラグCYをリセットします。

加算の結果がゼロ以外になったときは，コンペア・フラグCMPに関係なくゼロ・フラグＺはリセットされます。

コンペア・フラグがリセットされた状態（CMP = 0）で加算の結果がゼロになったときは，ゼロ・フラグＺがセットされます。

コンペア・フラグがセットされた状態（CMP = 1）で加算の結果がゼロになったときは，ゼロ・フラグＺは変化しません。

加算には２進４ビット演算とBCD演算の２種類があり，どちらの演算を行うかをPSWORDのBCDフラグによって指定します。

③ 例１

ジェネラル・レジスタとしてバンク０のロウ・アドレス０（0.00H-0.0FH）が指定されているとき（RPH = 0，RPL = 0）, 0.03H番地の内容に0.2FH番地の内容を加算した結果を0.03H番地に格納します。

（0.03H）←（0.03H）＋（0.2FH）

```
MEM003   MEM    0.03H
MEM02F   MEM    0.2FH
```

```
        MOV     BANK, #00H          ; データ・メモリのバンクを0
        MOV     RPH, #00H           ; ジェネラル・レジスタのバンクを0
        MOV     RPL, #00H           ; ジェネラル・レジスタのロウ・アドレスを0
        ADD     MEM003, ME02F
```

例2

ジェネラル・レジスタとしてバンク0のロウ・アドレス2（0.20H-0.2FH）が指定されているとき（RPH = 0, RPL = 4）, 0.23H番地の内容に0.2FH番地の内容を加算した結果を0.23H番地に格納します。

（0.23H）←（0.23H）＋（0.2FH）

```
MEM023  MEM     0.23H
MEM02F  MEM     0.2FH
        MOV     BANK, #00H          ; データ・メモリのバンクを0
        MOV     RPH, #00H           ; ジェネラル・レジスタのバンクを0 注
        MOV     RPL, #04H           ; ジェネラル・レジスタのロウ・アドレスを2
        ADD     MEM023, MEM02F
```

注

レジスタ	RP							
	RPH				RPL			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ	0	0	0	バンク	ロウ・アドレス			B C D

システム・レジスタ中のRP（ジェネラル・レジスタ・ポインタ）の割り当ては上の図のようになります。

したがって，ジェネラル・レジスタにバンク0とロウ・アドレス2を設定するためには，RPHに00Hを，RPLに04Hを格納しなければなりません。

この場合，BCDフラグをリセットしているので以降の算術演算は2進4ビット演算となります。

例3

0.03H番地の内容に0.6FH番地の内容を加算した結果を0.03H番地に格納します。このとき，IXE = 1, IXH = 0, IXM = 4, IXL = 0すなわちIX = 0.40Hなら，データ・メモリ・アドレスを2FHとすることでデータ・メモリの0.6FH番地を指定することができます。

（0.03H）←（0.03H）＋（0.6FH）

└ インデクス・レジスタの内容0.40Hとデータ・メモリのアドレス0.2FHをOR演算したアドレス

```
MEM003  MEM   0.03H
MEM02F  MEM   0.2FH
        MOV   RPH, #00H          ; ジェネラル・レジスタのバンクを0
        MOV   RPL, #00H          ; ジェネラル・レジスタのロウ・アドレスを0
        MOV   IXH, #00H          ; IX←00001000000B
        MOV   IXM, #04H          ;
        MOV   IXL, #00H          ;
        SET1  IXE                ; IXEフラグ←1
        ADD   MEM003, MEM02F     ; IX                    00001000000B（0.40H）
                                 ; バンク・オペランド  OR）00000101111B（0.2FH）
                                 ; 指定アドレス          00001101111B（0.6FH）
```

例4

0.03H番地の内容に0.3FH番地の内容を加算した結果を0.03H番地に格納します。このとき，IXE = 1, IXH = 0, IXM = 1, IXL = 0すなわちIX = 0.10Hなら，データ・メモリ・アドレスを2FHとすることでデータ・メモリ0.3FHを指定することができます。

（0.03H）←（0.03H）＋（0.3FH）

└インデクス・レジスタ0.10Hの内容とデータ・メモリのアドレス0.2FHをOR演算したアドレス

```
MEM003  MEM   0.03H
MEM02F  MEM   0.2FH
        MOV   BANK, #00H
        MOV   RPH, #00H          ; ジェネラル・レジスタのバンクを0
        MOV   RPL, #00H          ; ジェネラル・レジスタのロウ・アドレスを0
        MOV   IXH, #00H          ; IX←00000010000B（0.10H）注
        MOV   IXM, #01H
        MOV   IXL, #00H
        SET1  IXE                ; IXEフラグ←1
        ADD   MEM003, MEM02F     ; IX                    00000010000B（0.10H）
                                 ; バンク・オペランド  OR）00000101111B（0.2FH）
                                 ; 指定アドレス          00100111111B（0.3FH）
```

注

レジスタ	IX											
	IXH				IXM				IXL			
ビット	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0	b_3	b_2	b_1	b_0
データ	MPE	0	0	0								
	バンク											
						ロウ・アドレス						
									カラム・アドレス			

システム・レジスタ中のIX（インデクス・レジスタ）の割り当ては前頁の図のようになります。

したがって，IX = 0.10Hにするためには，IXHに00Hを，IXMに01Hを，IXLに00Hを格納しなければなりません。

この場合，MPE（メモリ・ポインタ・イネーブル）フラグをリセットしているので，ジェネラル・レジスタ間接転送のときのMP（メモリ・ポインタ）は無効になります。

④ 注　意

ADD r, m命令の第１オペランドはジェネラル・レジスタのカラム・アドレスです。したがって，次のように書いた場合，ジェネラル・レジスタのカラム・アドレスは03Hになります。

```
MEM013   MEM    0.13H
MEM02F   MEM    0.2FH
★        MOV    RPH, #00H        ; ジェネラル・レジスタのバンクを０
         MOV    RPL, #00H        ; ジェネラル・レジスタのロウ・アドレスを０
         ADD    MEM013,  MEM02F
                  └ ジェネラル・レジスタのカラム・アドレスを意味し，下位４ビット（この場合は03H）が有効となります。
```

CMPフラグ = １のときは，加算結果が格納されません。

BCDフラグ = １のときは，BCD演算した結果が格納されます。

（2）　ADD m, #n4　　Add immediate data to data memory

① 命令コード

10	8 7	4 3	0
10000	m_R	m_C	n4

② 機　能

CMP = 0のとき　　（m）←（m）＋n4

データ・メモリの内容にイミーディエト・データを加算し，結果をデータ・メモリへ格納します。

CMP = 1のとき　　（m）＋n4

結果はデータ・メモリに格納されず，キャリー・フラグCYとゼロ・フラグZが結果によって変化します。

加算の結果，桁上げがあればキャリー・フラグCYをセットし，桁上げがなければキャリー・フラグCYをリセットします。

加算の結果がゼロ以外になったときは，コンペア・フラグCMPに関係なくゼロ・フラグZはリセットされます。

コンペア・フラグがリセットされた状態（CMP = 0）で加算の結果がゼロになったときは，ゼロ・フラグZがセットされます。

コンペア・フラグがセットされた状態（CMP = 1）で加算の結果がゼロになったときは，ゼロ・フラグZは変化しません。

加算には２進４ビット演算とBCD演算の２種類があり，どちらの演算を行うかをPSWORDのBCDフラグによって指定します。

③　例１

0.2FH番地の内容に５を加算し，結果を0.2FH番地に格納します。

（0.2FH）←（0.2FH）＋5

```
MEM02F   MEM    0.2FH
         ADD    MEM02F, #05H
```

例２

0.6FH番地の内容に５を加算した結果を0.6FH番地に格納します。このとき，IXE = 1, IXH = 0, IXM = 4, IXL = 0すなわちIX = 0.40Hなら，データ・メモリ・アドレスを2FHとすることでデータ・メモリの0.6FH番地を指定することができます。

（0.6FH）←（0.6FH）＋05H

インデクス・レジスタの内容0.40Hとデータ・メモリのアドレス0.2FHをOR演算したアドレス

```
MEM02F   MEM    0.2FH
         MOV    BANK, #00H        ; データ・メモリのバンクを０
         MOV    IXH, #00H         ; IX←00001000000B（0.40H）
         MOV    IXM, #04H
         MOV    IXL, #00H
         SET1   IXE               ; IXEフラグ←１
         ADD    MEM02F, #05H      ; IX                    00001000000B（0.40H）
                                  ; バンク・オペランド　OR）00000101111B（0.2FH）
                                  ; 指定アドレス          00001101111B（0.6FH）
```

例３

0.2FH番地の内容に５を加算した結果を0.2FH番地に格納します。このとき，IXE = 1, IXH = 0, IXM = 0, IXL = 0すなわちIX = 0.00Hなら，データ・メモリ・アドレスを2FHとすることでデータ・メモリの0.2FH番地を指定することができます。

（0.2FH）←（0.2FH）＋05H　★

インデクス・レジスタの内容0.00Hとデータ・メモリのアドレス0.2FHをOR演算したアドレス

```
MEM02F  MEM   0.2FH
        MOV   BANK, #00H      ; データ・メモリのバンクを0
        MOV   IXH, #00H       ; IX←00000000000B
        MOV   IXM, #00H
        MOV   IXL, #00H
        SET1  IXE             ; IXEフラグ←1
        ADD   MEM02F, #05H    ; IX                    00000000000B（0.00H）
                              ; バンク・オペランド  OR）00000101111B（0.2FH）
                              ; 指定アドレス          00000101111B（0.2FH）
```

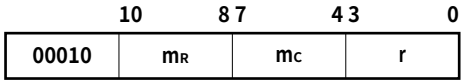
④ 注　意

CMPフラグ＝1のときは，加算結果が格納されません。

BCDフラグ＝1のときは，BCD演算した結果が格納されます。

（3）ADDC r, m　　Add data memory to general register with carry flag

① 命令コード



② 機　能

CMP＝0のとき　　(r) ← (r) ＋ (m) ＋CY

ジェネラル・レジスタの内容にデータ・メモリの内容とキャリー・フラグCYの値を加算し，結果をrで示すジェネラル・レジスタへ格納します。

CMP＝1のとき　　(r) ＋ (m) ＋CY

結果はレジスタに格納されず，キャリー・フラグCYとゼロ・フラグZが結果によって変化します。

★　このADDC命令を使うことにより１ニブルを越える加算が簡単にできます。

加算の結果，桁上げがあればキャリー・フラグCYをセットし，桁上げがなければキャリー・フラグCYをリセットします。

加算の結果がゼロ以外になったときは，コンペア・フラグCMPに関係なくゼロ・フラグZはリセットされます。

コンペア・フラグがリセットされた状態（CMP＝0）で加算の結果がゼロになったときは，ゼロ・フラグZがセットされます。

コンペア・フラグがセットされた状態（CMP＝1）で加算の結果がゼロになったときは，ゼロ・フラグZは変化しません。

加算には２進４ビット演算とBCD演算の２種類があり，どちらの演算を行うかをプログラム・ステータス・ワードPSWORDのBCDフラグによって指定します。

③ 例１

ジェネラル・レジスタとしてバンク０のロウ・アドレス０（0.00H-0.0FH）が指定されているとき，0.0DH番地から0.0FH番地の12ビットの内容に0.2DH番地から0.2FH番地の12ビットの内容を加算した結果を，0.0DH番地から0.0FH番地の12ビットに格納します。

（0.0FH）←（0.0FH）＋（0.2FH）

（0.0EH）←（0.0EH）＋（0.2EH）＋CY

（0.0DH）←（0.0DH）＋（0.2DH）＋CY

```
MEM00D  MEM   0.0DH
MEM00E  MEM   0.0EH
MEM00F  MEM   0.0FH
MEM02D  MEM   0.2DH
MEM02E  MEM   0.2EH
MEM02F  MEM   0.2FH
        MOV   BANK,     #00H      ;データ・メモリのバンクを０
        MOV   RPH,      #00H      ;ジェネラル・レジスタのバンクを０
        MOV   RPL,      #00H      ;ジェネラル・レジスタのロウ・アドレスを０
        ADD   MEM00F, MEM02F      ;下位ニブル
        ADDC  MEM00E, MEM02E
        ADDC  MEM00D, MEM02D      ;上位ニブル
```

例２

ジェネラル・レジスタとしてバンク０のロウ・アドレス２（0.20H-0.2FH）が指定されているとき，0.2DH番地から0.2FH番地の12ビットの内容をキャリー・フラグも含めて１ビット左にシフトします。


```
MEM00D  MEM   0.0DH
MEM00E  MEM   0.0EH
MEM00F  MEM   0.0FH
MEM02D  MEM   0.2DH
MEM02E  MEM   0.2EH
```

```
MEM02F  MEM   0.2FH
        MOV   RPH, #00H        ; ジェネラル・レジスタのバンクを0
        MOV   RPL, #04H        ; ジェネラル・レジスタのロウ・アドレスを2
        MOV   BANK, #00H       ; データ・メモリのバンクを0
        ADDC  MEM00F, MEM02F
        ADDC  MEM00E, MEM02E
        ADDC  MEM00D, MEM02D
```

例3

0.0FH番地の内容と0.40H番地から0.4FH番地の内容を加算し，結果を0.0FH番地へ格納します。

（0.0FH）←（0.0FH）＋（0.40H）＋（0.41H）＋…＋（0.4FH）

```
MEM00F  MEM   0.0FH
MEM000  MEM   0.00H
        MOV   BANK, #00H       ; データ・メモリのバンクを0
        MOV   RPH, #00H        ; ジェネラル・レジスタのバンクを0
        MOV   RPL, #00H        ; ジェネラル・レジスタのロウ・アドレスを0
        MOV   IXH, #00H        ; IX←00001000000B（0.40H）
        MOV   IXM, #04H
        MOV   IXL, #00H
LOOP1：
        SET1  IXE              ; IXEフラグ←1
        ADD   MEM00F, MEM000
        CLR1  IXE              ; IXEフラグ←0
        INC   IX               ; IX←IX＋1
        SKE   IXL, #0
        JMP   LOOP1
```

例4

0.0DH番地から0.0FH番地の12ビットの内容に，0.40H番地から0.42H番地の12ビットの内容を加算した結果を，0.0DH番地から0.0FH番地の12ビットに格納します。

（0.0DH）←（0.0DH）＋（0.40H）

（0.0EH）←（0.0EH）＋（0.41H）＋CY

（0.0FH）←（0.0FH）＋（0.42H）＋CY

```
MEM000  MEM   0.00H
MEM001  MEM   0.01H
MEM002  MEM   0.02H
MEM00D  MEM   0.0DH
```

```
MEM00E  MEM   0.0EH
MEM00F  MEM   0.0FH
        MOV   BANK, #00H        ; データ・メモリのバンクを0
        MOV   RPH, #00H         ; ジェネラル・レジスタのバンクを0
        MOV   RPL, #00H         ; ジェネラル・レジスタのロウ・アドレスを0
        MOV   IXH, #00H         ; IX←00001000000（0.40H）
        MOV   IXM, #04H
        MOV   IXL, #00H
        SET1  IXE               ; IXEフラグ←1
        ADD   MEM00D, MEM000 ; （0.0DH）←（0.0DH）＋（0.40H）：下位ニブル
        ADDC  MEM00E, MEM001 ; （0.0EH）←（0.0EH）＋（0.41H）
        ADDC  MEM00F, MEM002 ; （0.0FH）←（0.0FH）＋（0.42H）：上位ニブル
```

（4）ADDC m, #n4　　Add immediate data to data memory with carry flag

①　命令コード

10	8 7	4 3	0
10010	m_R	m_C	n4

②　機　　能

CMP = 0のとき　　（m）←（m）＋n4＋CY

　データ・メモリの内容にイミーディエト・データとキャリー・フラグ（CY）の値を加算し，結果をデータ・メモリへ格納します。

CMP = 1のとき　　（m）＋n4＋CY

　結果はデータ・メモリに格納されず，キャリー・フラグCYとゼロ・フラグZが結果によって変化します。

　加算の結果，桁上げがあればキャリー・フラグCYをセットし，桁上げがなければキャリー・フラグCYをリセットします。

　加算の結果がゼロ以外になったときは，コンペア・フラグCMPに関係なくゼロ・フラグZはリセットされます。

　コンペア・フラグがリセットされた状態（CMP = 0）で加算の結果がゼロになったときは，ゼロ・フラグZがセットされます。

　コンペア・フラグがセットされた状態（CMP = 1）で加算の結果がゼロになったときは，ゼロ・フラグZは変化しません。

加算には２進演算とBCD演算の２種類があり，どちらの演算を行うかをPSWORDのBCDフラグによって指定します。

③ 例１

0.0DH番地から0.0FH番地の12ビットの内容に５を加算した結果を0.0DH番地から0.0FH番地に格納します。

（0.0FH）←（0.0FH）＋05H
（0.0EH）←（0.0EH）＋CY
（0.0DH）←（0.0DH）＋CY

```
MEM00D  MEM   0.0DH
MEM00E  MEM   0.0EH
MEM00F  MEM   0.0FH
        MOV   BANK, #00H        ; データ・メモリのバンクを０
        ADD   MEM00F, #05H
        ADDC  MEM00E, #00H
        ADDC  MEM00D, #00H
```

例２

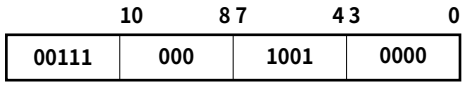
0.4DH番地から0.4FH番地の12ビットの内容に５を加算した結果を0.4DH番地から0.4FH番地に格納します。

（0.4FH）←（0.4FH）＋05H
（0.4EH）←（0.4EH）＋CY
（0.4DH）←（0.4DH）＋CY

```
MEM00D  MEM   0.0DH
MEM00E  MEM   0.0EH
MEM00F  MEM   0.0FH
        MOV   BANK, #00H        ; データ・メモリのバンクを０
        MOV   IXH, #00H         ; IX←00001000000B（0.40H）
        MOV   IXM, #04H
        MOV   IXL, #00H
        SET1  IXE               ; IXEフラグ←１
        ADD   MEM00F, #5        ; （0.4FH）←（0.4FH）＋5H
        ADDC  MEM00E, #0        ; （0.4EH）←（0.4EH）＋CY
        ADDC  MEM00D, #0        ; （0.4DH）←（0.4DH）＋CY
```

（5）INC AR　　Increment address register

①　命令コード



10	8 7	4 3	0
00111	000	1001	0000

②　機　　能

AR←AR＋1

アドレス・レジスタARの内容をインクリメントします。

③　例1

システム・レジスタ内のAR3からAR0（アドレス・レジスタ）の16ビットの内容に１を加算した結果をAR3からAR0に格納します。

```
AR0←AR0＋1
AR1←AR1＋CY
AR2←AR2＋CY
AR3←AR3＋CY
```

INC AR

また，この命令を加算命令を用いて行うと以下のようになります。

```
ADD     AR0, #01H
ADDC    AR1, #00H
ADDC    AR2, #00H
ADDC    AR3, #00H
```

例2

テーブル参照命令（詳細については，**10.2.3　テーブル参照**を参照してください）を用いてテーブル・データを16ビット（１アドレス）ごとにDBF（データ・バッファ）に転送します。

```
；アドレス              テーブル・データ
            ORG         10H                                    ★
            DW          0F3FFH
            DW          0A123H
            DW          0FFF1H
            DW          0FFF5H
            DW          0FF11H
            ⋮
            MOV         AR3, #0H            ；テーブル・データのアドレス
```

```
                MOV     AR2, #0H        ; 0010Hをアドレス・レジスタに設
                MOV     AR1, #1H        ; 定します
                MOV     AR0, #0H
        LOOP：
★              MOVT    DBF, @AR        ; テーブル・データがDBFに読み込
                ⋮                       ; まれます

                                        ; テーブル・データを参照する処理
                INC     AR              ; アドレス・レジスタを１インクリ
                BR      LOOP            ; メント
```

④ 注　　意

アドレス・レジスタAR3, AR2, AR1, AR0は，品種により使用できるビット数が異なります。

・μPD17134A, 17135A…10ビット

・μPD17136A, 17137A, 17P136A, 17P137A…11ビット

（6）INC IX　　Increment indexregister

① 命令コード

10	8 7	4 3	0
00111	000	1000	0000

② 機　　能

IX←IX＋1

インデクス・レジスタIXの内容をインクリメントします。

③ 例１

システム・レジスタ内のIXH, IXM, IXL（インデクス・レジスタ）の計12ビットの内容に１を加算した結果をIXH, IXM, IXLに格納します。

IXL←IXL＋1

IXM←IXM＋CY

IXH←IXH＋CY

INC IX

この演算を加算命令を用いて行うと以下のようになります。

```
ADD     IXL, #01H
ADDC    IXM, #00H
ADDC    IXH, #00H
```

例２

インデクス・レジスタを用いてデータ・メモリ0.00H-0.73Hの内容をすべて“０”にします。

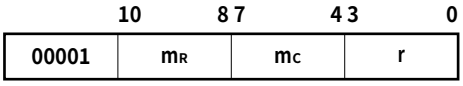
```
MEM000   MEM    0.00H                                          ★

         MOV    IXH, #00H       ; インデクス・レジスタの内容をバンク０の00Hに
                                ; 設定します。
         MOV    IXM, #00H       ;
         MOV    IXL, #00H
RAMクリア：
         SET1   IXE             ; IXEフラグ←１
         MOV    MEM000, #00H    ; インデクス・レジスタで示されるデータ・メモリに
                                ; ０を書き込みます
         CLR1   IXE             ; IXEフラグ←０
         INC    IX
         SET2   CMP, Z          ; CMPフラグ←１，Zフラグ←１
         SUB    IXL, #03H       ; インデクス・レジスタの内容がバンク０の73Hに
         SUBC   IXM, #07H       ; なったかどうかをチェックします
         SUBC   IXH, #00H       ;
         SKT1   Z               ; インデクス・レジスタの内容がバンク０の73Hにな
         BR     RAMクリア       ; るまでループします
```

19.5.2　減算命令

（1）SUB r, m　　**Subtract data memory from general register**

①　命令コード



②　機　　能

CMP = 0のとき　　（r）←（r）－（m）

ジェネラル・レジスタの内容からデータ・メモリの内容を減算し，結果をジェネラル・レジスタへ格納します。

CMP = 1のとき　　（r）－（m）

結果はレジスタに格納されず，キャリー・フラグCYとゼロ・フラグZが結果によって変化します。

減算の結果，ボローがあればキャリー・フラグCYをセットし，ボローがなければキャリー・フラグCYをリセットします。

減算の結果がゼロ以外になったときは，コンペア・フラグCMPに関係なくゼロ・フラグZはリセットされます。

コンペア・フラグがリセットされた状態（CMP = 0）で減算の結果がゼロになったときは，ゼロ・フラグZがセットされます。

コンペア・フラグがセットされた状態（CMP = 1）で減算の結果がゼロになったときは，ゼロ・フラグZは変化しません。

減算には２進４ビット演算とBCD演算の２種類があり，どちらの演算を行うかをプログラム・ステータス・ワードPSWORDのBCDフラグによって指定します。

③　例１

ジェネラル・レジスタとしてバンク０のロウ・アドレス０（0.00H-0.0FH）が指定されているとき（RPH = 0, RPL = 0），0.03H番地の内容から0.2FH番地の内容を減算した結果を0.03H番地に格納します。

（0.03H）←（0.03H）＋（0.2FH）

```
MEM003  MEM   0.03H
MEM02F  MEM   0.2FH
        SUB   MEM003, MEM02F
```

例２

ジェネラル・レジスタとしてバンク０のロウ・アドレス２（0.20H-0.2FH）が指定されているとき（RPH = 0, RPL = 4），0.23H番地の内容から0.2FH番地の内容を減算した結果を0.23H番地に格納します。

（0.23H）←（0.23H）－（0.2FH）

```
MEM023   MEM    0.23H
MEM02F   MEM    0.2FH
         MOV    BANK, #00H        ; データ・メモリのバンクを０
         MOV    RPH, #00H         ; ジェネラル・レジスタのバンクを０
         MOV    RPL, #04H         ; ジェネラル・レジスタのロウ・アドレスを２
         SUB    MEM023, MEM02F
```

例３

0.03H番地の内容から0.6FH番地の内容を減算した結果を0.03H番地に格納します。このとき，IXE = 1, IXH = 0, IXM = 4, IXL = 0すなわちIX = 0.40Hなら，データ・メモリ・アドレスを2FHとすることでデータ・メモリの0.6FH番地を指定することができます。

（0.03H）←（0.03H）＋（0.6FH）

```
MEM003   MEM    0.03H
MEM02F   MEM    0.2FH
         MOV    BANK, #00H        ; データ・メモリのバンクを０
         MOV    RPH, #00H         ; ジェネラル・レジスタのバンクを０
         MOV    RPL, #00H         ; ジェネラル・レジスタのロウ・アドレスを０
         MOV    IXH, #00H         ; IX←00001000000B（0.40H）
         MOV    IXM, #04H         ;
         MOV    IXL, #00H         ;
         SET1   IXE               ; IXEフラグ←１
         SUB    MEM003, MEM02F    ; IX                    00001000000B（0.40H）
                                  ; バンク・オペランド  OR）00000101111B（0.2FH）
                                  ; 指定アドレス          00001101111B（0.6FH）
```

例４

0.03H番地の内容から0.3FH番地の内容を減算した結果を0.03H番地に格納します。このとき，IXE = 1, IXH = 0, IXM = 1, IXL = 0すなわちIX = 0.10Hなら，データ・メモリ・アドレスを2FHとすることでデータ・メモリの0.3FH番地を指定することができます。

（0.03H）←（0.03H）＋（0.3FH）

```
MEM003   MEM    0.03H
MEM02F   MEM    0.2FH
```

```
MOV    BANK, #00H        ; データ・メモリのバンクを0
MOV    RPH, #00H         ; ジェネラル・レジスタのバンクを0
MOV    RPL, #00H         ; ジェネラル・レジスタのロウ・アドレスを0
MOV    IXH, #00H         ; IX←00000010000B（0.10H）
MOV    IXM, #01H         ;
MOV    IXL, #00H         ;
SET1   IXE               ; IXEフラグ←1
SUB    MEM003, MEM02F    ; IX                    00000010000B（0.10H）
                         ; バンク・オペランド  OR）00000101111B（0.2FH）
                         ; 指定アドレス          00000111111B（0.3FH）
```

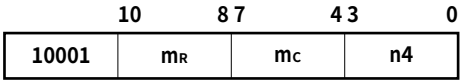
④ 注　意

SUB r, m命令の第１オペランドはジェネラル・レジスタ・アドレスでなければなりません。したがって，次のように書くと03H番地がレジスタとして指定されます。

```
MEM013  MEM   0.13H
MEM02F  MEM   0.2FH
★       MOV   RPH, #00H      ; ジェネラル・レジスタのバンクを0
        MOV   RPL, #00H      ; ジェネラル・レジスタのロウ・アドレスを0
        SUB   MEM013, MEM02F
```

（2）SUB m, #n4　　Subtract immediate data from data memory

① 命令コード



② 機　能

CMP = 0のとき　　（m）←（m）－n4

データ・メモリの内容からイミーディエト・データを減算し，結果をデータ・メモリへ格納します。

CMP = 1のとき　　（m）－n4

結果はデータ・メモリに格納されず，キャリー・フラグCYとゼロ・フラグZが結果によって変化します。

減算の結果，ボローがあればキャリー・フラグCYをセットし，ボローがなければキャリー・フラグCYをリセットします。

減算の結果がゼロ以外になったときは，コンペア・フラグCMPに関係なくゼロ・フラグZはリセットされます。

コンペア・フラグがリセットされた状態（CMP = 0）で減算の結果がゼロになったときは，ゼロ・フラグZがセットされます。

コンペア・フラグがセットされた状態（CMP = 1）で減算の結果がゼロになったときは，ゼロ・フラグZは変化しません。

減算には２進４ビット演算とBCD演算の２種類があり，どちらの演算を行うかをプログラム・ステータス・ワードPSWORDのBCDフラグによって指定します。

③ 例１

0.2FH番地の内容から５を減算し，結果を0.2FH番地に格納します。

（0.2FH）←（0.2FH）－5

```
MEM02F  MEM   0.2FH
        SUB   MEM02F, #05H
```

例２

0.6FH番地の内容から５を減算した結果を0.6FH番地に格納します。このとき，IXE = 1, IXH = 0, IXM = 4, IXL = 0すなわちIX = 0.40Hなら，データ・メモリ・アドレスを2FHとすることでデータ・メモリの0.6FH番地を指定することができます。

（0.6FH）←（0.6FH）－5

└ インデクス・レジスタの内容0.40Hとデータ・メモリのアドレス0.2FHをOR演算したアドレス

```
MEM02F  MEM   0.2FH
        MOV   BANK, #00H      ; データ・メモリのバンクを０
        MOV   IXH, #00H       ; IX←00001000000B（0.40H）
        MOV   IXM, #04H       ;
        MOV   IXL, #00H       ;
        SET1  IXE             ; IXEフラグ←１
        SUB   MEM02F, #05H    ; IX                    00001000000B（0.40H）
                              ; バンク・オペランド  OR）00000101111B（0.2FH）
                              ; 指定アドレス          00001101111B（0.6FH）
```

例３

0.2FH番地の内容から５を減算した結果を0.2FH番地に格納します。このとき，IXE = 1, IXH = 0, IXM = 0, IXL = 0すなわちIX = 0.00Hなら，データ・メモリ・アドレスを2FHとすることでデータ・メモリの0.2FH番地を指定することができます。

（0.2FH）←（0.2FH）－5

└インデクス・レジスタの内容0.00Hとデータ・メモリのアドレス0.2FHをOR演算したアドレス

```
MEM02F  MEM   0.2FH
        MOV   BANK0, #00H      ; データ・メモリのバンクを0
        MOV   IXH, #00H        ; IX←00000000000B（0.00H）
        MOV   IXM, #00H        ;
        MOV   IXL, #00H        ;
        SET1  IXE              ; IXEフラグ←1
        SUB   MEM02F, #05H     ; IX                    00000000000B（0.00H）
                               ; バンク・オペランド  OR）00000101111B（0.2FH）
                               ; 指定アドレス          00000101111B（0.2FH）
```

（3）SUBC r, m　　Subtract data memory from general register with carry flag

① 命令コード

10	8 7	4 3	0
00011	m_R	m_C	r

② 機　能

CMP＝0のとき　　（r）←（r）－（m）－CY

ジェネラル・レジスタの内容からデータ・メモリの内容とキャリー・フラグCYの値を減算し，結果をジェネラル・レジスタへ格納します。このSUBC命令を使うことにより１ニブルを越える減算が簡単にできます。

CMP＝1のとき　　（r）－（m）－CY

結果はレジスタに格納されず，キャリー・フラグCYとゼロ・フラグZが結果によって変化します。

減算の結果，ボローがあればキャリー・フラグCYをセットし，ボローがなければキャリー・フラグCYをリセットします。

減算の結果がゼロ以外になったときは，コンペア・フラグCMPに関係なくゼロ・フラグZはリセットされます。

コンペア・フラグがリセットされた状態（CMP＝0）で減算の結果がゼロになったときは，ゼロ・フラグZがセットされます。

コンペア・フラグがセットされた状態（CMP＝1）で減算の結果がゼロになったときは，ゼロ・フラグZは変化しません。

減算には２進４ビット演算とBCD演算の２種類があり，どちらの演算を行うかをプログラム・ステータス・ワードPSWORDのBCDフラグによって指定します。

③　例１

ジェネラル・レジスタとしてバンク０のロウ・アドレス０（0.00H-0.0FH）が指定されているとき，0.0DH番地から0.0FH番地の12ビットの内容から，0.2DH番地から0.2FH番地の12ビットの内容を減算し，結果を0.0DH番地から0.0FH番地の12ビットに格納します。

（0.0FH）←（0.0FH）－（0.2FH）
（0.0EH）←（0.0EH）－（0.2EH）－CY
（0.0DH）←（0.0DH）＋（0.2DH）－CY

```
MEM00D  MEM   0.0DH
MEM00E  MEM   0.0EH
MEM00F  MEM   0.0FH
MEM02D  MEM   0.2DH
MEM02E  MEM   0.2EH
MEM02F  MEM   0.2FH
        SUB   MEM00F, MEM02F  ；下位ニブル
        SUBC  MEM00E, MEM02E
        SUBC  MEM00D, MEM02D  ；上位ニブル
```

例２

0.0DH番地から0.0FH番地の12ビットの内容から，0.40H番地から0.42H番地の12ビットの内容を減算した結果を0.0DH番地から0.0FH番地の12ビットに格納します。

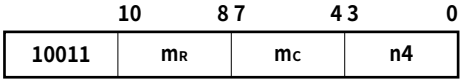
（0.0DH）←（0.0DH）－（0.40H）
（0.0EH）←（0.0EH）－（0.41H）－CY
（0.0FH）←（0.0FH）＋（0.42H）－CY

```
MEM000  MEM   0.00H
MEM001  MEM   0.01H
MEM002  MEM   0.02H
MEM00D  MEM   0.0DH
MEM00E  MEM   0.0EH
MEM00F  MEM   0.0FH
        MOV   BANK, #00H      ；データ・メモリのバンクを０
        MOV   RPH, #00H       ；ジェネラル・レジスタのバンクを０
        MOV   RPL, #00H       ；ジェネラル・レジスタのロウ・アドレスを０
        MOV   IXH, #00H       ；IX←00001000000B（0.40H）
        MOV   IXM, #04H       ；
        MOV   IXL, #00H       ；
```

```
SET1   IXE                ; IXEフラグ←１
SUB    MEM00D, MEM000 ;（0.0DH）←（0.0DH）－（0.40H）
SUBC   MEM00E, MEM001 ;（0.0EH）←（0.0EH）－（0.41H）
SUBC   MEM00F, MEM002 ;（0.0FH）←（0.0FH）－（0.42H）
```

（４）SUBC m, #n4　　Subtract immediate data from data memory with carry flag

①　命令コード



②　機　　能

CMP＝0のとき　　（m）←（m）－n4－CY

　データ・メモリの内容からイミーディエト・データとキャリー・フラグCYの値を減算し，結果をデータ・メモリへ格納します。

CMP＝1のとき　　（m）－n4－CY

　結果はデータ・メモリに格納されず，キャリー・フラグCYとゼロ・フラグZが結果によって変化します。

　減算の結果，ボローがあればキャリー・フラグCYをセットし，ボローがなければキャリー・フラグCYをリセットします。

　減算の結果がゼロ以外になったときは，コンペア・フラグCMPに関係なくゼロ・フラグZはリセットされます。

　コンペア・フラグがリセットされた状態（CMP＝0）で減算の結果がゼロになったときは，ゼロ・フラグZがセットされます。

　コンペア・フラグがセットされた状態（CMP＝1）で減算の結果がゼロになったときは，ゼロ・フラグZは変化しません。

　減算には２進演算とBCD演算の２種類があり，どちらの演算を行うかをプログラム・ステータス・ワードPSWORDのBCDフラグによって指定します。

③　例１

　0.0DH番地から0.0FH番地の12ビットの内容から５を減算した結果を，0.0DH番地から0.0FH番地に格納します。

```
                （0.0FH）←（0.0FH）－05H
                （0.0EH）←（0.0EH）－CY
                （0.0DH）←（0.0DH）－CY
  MEM00D   MEM    0.0DH
```

```
MEM00E   MEM    0.0EH
MEM00F   MEM    0.0FH
         SUB    MEM00F, #05H
         SUBC   MEM00E, #00H
         SUBC   MEM00D, #00H
```

例２

0.4DH番地から0.4FH番地の12ビットの内容から５を減算した結果を0.4DH番地から0.4FH番地に格納します。

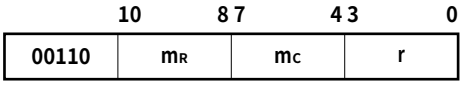
（0.4FH）←（0.4FH）－05H
（0.4EH）←（0.4EH）－CY
（0.4DH）←（0.4DH）－CY

```
MEM00D   MEM    0.0DH
MEM00E   MEM    0.0EH
MEM00F   MEM    0.0FH
         MOV    BANK, #00H        ; データ・メモリのバンクを０
         MOV    IXH, #00H         ; IX←00001000000B（0.40H）
         MOV    IXM, #04H         ;
         MOV    IXL, #00H         ;
         SET1   IXE               ; IXEフラグ←１
         SUB    MEM00F, #5        ; （0.4FH）←（0.4FH）－5
         SUBC   MEM00E, #0        ; （0.4EH）←（0.4EH）－CY
         SUBC   MEM00D, #0        ; （0.4DH）←（0.4DH）－CY
```

19.5.3　論理演算命令

（1）OR r, m　　**OR between general register and data memory**

①　命令コード



②　機　　能

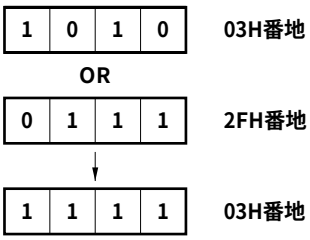
（r）←（r）∨（m）

ジェネラル・レジスタの内容とデータ・メモリの内容との論理和（OR）の結果をジェネラル・レジスタへ格納します。

③　例1

0.03H番地の内容（1010B）と0.2FH番地の内容（0111B）をOR演算した結果（1111B）を0.03H番地へ格納します。

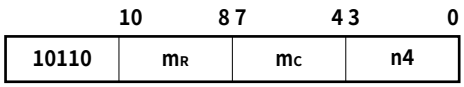
（0.03H）←（0.03H）∨（0.2FH）




```
MEM003  MEM   0.03H
MEM02F  MEM   0.2FH
        MOV   MEM003, #1010B
        MOV   MEM02F, #0111B
        OR    MEM003, MEM02F
```

（2）OR m, #n4　　**OR between data memory and immediate data**

①　命令コード



② 機　　能

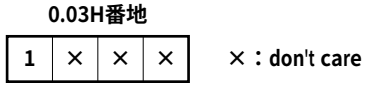
（m）←（m）∨n4

データ・メモリの内容とイミーディエト・データとの論理和（OR）の結果をデータ・メモリへ格納します。

③ 例１

0.03H番地のビット３（MSB）をセットします。

（0.03H）←（0.03H）∨1000B




```
MEM003   MEM    0.03H
         OR     MEM003, #1000B
```

例２

0.03H番地のすべてのビットをセットします。

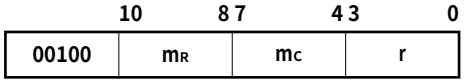
```
MEM003   MEM    0.03H
         OR     MEM003, #1111B
```

または

```
MEM003   MEM    0.03H
         MOV    MEM003, #0FH
```

（３）AND r, m　　AND between general register and data memory

① 命令コード



② 機　　能

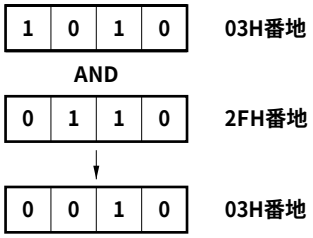
（r）←（r）∧（m）

ジェネラル・レジスタの内容とデータ・メモリの内容との論理積（AND）の結果をジェネラル・レジスタへ格納します。

③ 例１

0.03H番地の内容（1010B）と0.2FH番地の内容（0110B）をAND演算した結果（0010B）を0.03H番地へ格納します。

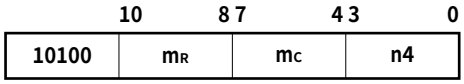
（0.03H）←（0.03H）∧（0.2FH）




```
MEM003   MEM    0.03H
MEM02F   MEM    0.2FH
         MOV    MEM003, #1010B
         MOV    MEM02F, #0110B
         AND    MEM003, MEM02F
```

（4）AND m, #n4　　AND between data memory and immediate data

① 命令コード



② 機　　能

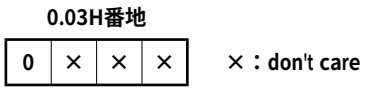
（m）←（m）∧n4

データ・メモリの内容とイミーディエト・データとの論理積（AND）の結果をデータ・メモリへ格納します。

③ 例1

0.03H番地のビット３（MSB）をリセットします。

（0.03H）←（0.03H）∧0111B




```
MEM003   MEM    0.03H
         AND    MEM003, #0111B
```

例2

0.03H番地のすべてのビットをリセットします。

```
MEM003   MEM    0.03H
```

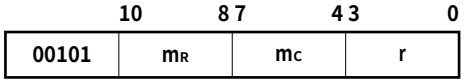
```
        AND     MEM003, #0000B
```

または

```
MEM003  MEM     0.03H
        MOV     MEM003, #00H
```

（5）XOR r, m　　Exclusive OR between general register and data memory

① 命令コード



② 機　　能

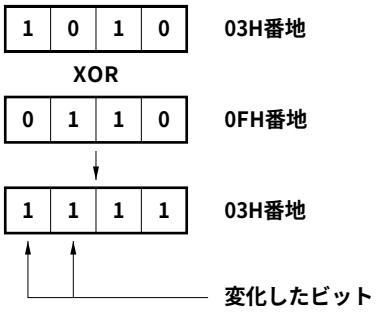
(r) ← (r) ∀ (m)

ジェネラル・レジスタの内容とデータ・メモリの内容との排他的論理和（XOR）の結果をジェネラル・レジスタへ格納します。

③ 例1

0.03H番地の内容と0.0FH番地の内容を比較した結果，異なるビットをセットして0.03H番地へ格納し，0.03H番地がすべてリセット（0.03H番地と0.0FH番地の内容が同じ）されていればLBL1へジャンプし，それ以外であればLBL2へジャンプします。

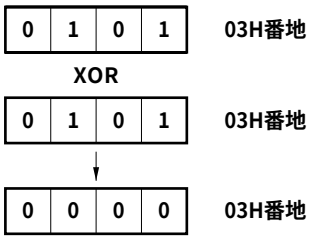
この例はオルタネート・スイッチの状態（0.03H番地の内容）と内部状態（0.0FH番地の内容）を比較し，変化したスイッチの処理へと分岐するときなどの例です。




```
MEM003  MEM     0.03H
MEM00F  MEM     0.0FH
        XOR     MEM003, MEM00F
        SKNE    MEM003, #00H
        BR      LBL1
        BR      LBL2
```

例2

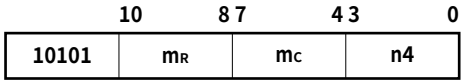
0.03H番地の内容をクリアします。




```
MEM003   MEM    0.03H
         XOR    MEM003, MEM003
```

（6）XOR m, #n4　　Exclusive OR between data memory and immediate data

① 命令コード



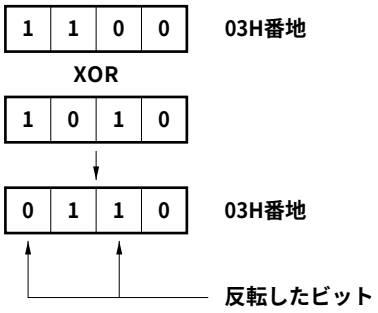
② 機　　能

（m）←（m）∀ n4

データ・メモリの内容とイミーディエト・データとの排他的論理和（XOR）の結果をデータ・メモリへ格納します。

③ 例

0.03H番地のビット１とビット３を反転して03H番地へ格納します。




```
MEM003   MEM    0.03H
         XOR    MEM003, #1010B
```

19.5.4　判断命令

（1）SKT m, #n　　Skip next instruction if data memory bits are true

① 命令コード

10	8 7	4 3	0
11110	m_R	m_C	n

② 機　　能 ★

CMP←0, if（m）∧n = n, then skip

データ・メモリの内容とイミーディエト・データｎの論理積の結果がｎと等しければ次の１命令をスキップします（NOP命令として実行します）。

③ 例１

03H番地のビット０が“１”ならばAAAへジャンプし，“０”ならばBBBへジャンプします。

```
SKT     03H, #0001B
BR      BBB
BR      AAA
```

例２

03H番地のビット０とビット１がともに“１”ならば次の命令をスキップします。

```
SKT     03H, #0011B
```

	b_3	b_2	b_1	b_0	
スキップ条件　03H	×	×	1	1	×：don't care

例３

次の２つの命令の実行結果は同じです。

```
SKT     13H, #1111B
SKE     13H, #0FH
```

（2）SKF m, #n　　Skip next instruction if data memory bits are false

① 命令コード

10	8 7	4 3	0
11111	m_R	m_C	n

★　② 機　　能

CMP←0, if（m）∧n = 0, then skip

データ・メモリの内容とイミーディエト・データｎの論理積の結果が０のとき，次の１命令をスキップします（NOP命令として実行します）。

③ 例１

13H番地のビット２が“０”ならばデータ・メモリの0FH番地の内容にイミーディエト・データの00Hを格納し，“１”ならばABCへジャンプします。

```
MEM013   MEM    0.13H
MEM00F   MEM    0.0FH
         SKF    MEM013, #0100B
         BR     ABC
         MOV    MEM00F, #00H
```

例２

29H番地のビット３とビット０がともに“０”ならば次の命令をスキップします。

```
SKF      29H, #1001B
```

		b_3	b_2	b_1	b_0	
スキップ条件	29H	0	×	×	0	×：don't care

例３

次の２つの命令の実行結果は同じです。

```
SKF      34H, #1111B
SKE      34H, #00H
```

19.5.5　比較命令

（1）SKE m, #n4　　Skip if data memory equal to immediate data

①　命令コード

10	8 7	4 3	0
01001	m_R	m_C	n4

②　機　　能

（m）－n4, skip if zero

データ・メモリの内容がイミーディエト・データの値と等しいとき，次に続く１命令をスキップします（NOP命令として実行します）。

③　例

24H番地の内容が０ならば24H番地に0FHを転送し，０でなければOPE1へジャンプします。

```
MEM024  MEM   0.24H
        SKE   MEM024, #00H
        BR    OPE1
        MOV   MEM024, #0FH
OPE1：
```

（2）SKNE m, #n4　　Skip if data memory not equal to immediate data

①　命令コード

10	8 7	4 3	0
01011	m_R	m_C	n4

②　機　　能

（m）－n4, skip if not zero

データ・メモリの内容がイミーディエト・データの値と異なるとき，次に続く１命令をスキップします（NOP命令として実行します）。

③　例

1FH番地の内容が１で，かつ1EH番地の内容が３ならばXYZへジャンプし，そうでなければABCへジャンプします。

８ビットの比較をする場合は以下のように組み合わせて使います。

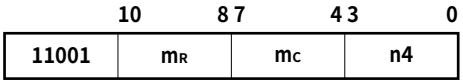

```
MEM01E  MEM   0.1EH
MEM01F  MEM   0.1FH
        SKNE  MEM01F, #01H
        SKE   MEM01E, #03H
        BR    ABC
        BR    XYZ
```

また，コンペア・フラグ，ゼロ・フラグを用いて上記の内容と同じことを行う場合は，以下のようになります。

```
MEM01E  MEM   0.1EH
MEM01F  MEM   0.1FH
        SET2  CMP, Z            ; CMPフラグ←1，Zフラグ←1
        SUB   MEM01F, #01H
        SUB   MEM01E, #03H
        SKT1  Z
        BR    ABC
        BR    XYZ
```

（3）SKGE m, #n4　　Skip if data memory greater than or equal to immediate data

① 命令コード



★

② 機　能

（m）－n4, skip if not borrow

データ・メモリの内容がイミーディエト・データの値以上のとき，次に続く１命令をスキップします（NOP命令として実行します）。

③ 例

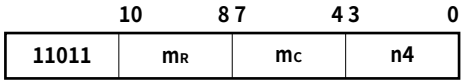
1FH番地（上位）および2FH番地（下位）に格納されている８ビット・データがイミーディエト・データ17Hより大きければRETし，そうでなければRETSKするプログラム例。

```
MEM01F  MEM   0.1FH
MEM02F  MEM   0.2FH
        SKGE  MEM01F, #1
```

```
        RETSK
        SKNE   MEM01F, #1
        SKLT   MEM02F, #8       ; 7+1
        RET
        RETSK
```

（4）SKLT m, #n4　　Skip if data memory less than immediate data

①　命令コード



②　機　　能　★

（m）－n4, skip if borrow

データ・メモリの内容がイミーディエト・データの値未満のとき，次に続く１命令をスキップします（NOP命令として実行します）。

③　例

10H番地の内容がイミーディエト・データ“６”以上であれば，0FH番地の内容に01Hを格納し，小さければ0FH番地の内容に02Hを格納するプログラムです。

```
MEM00F  MEM    0.0FH
MEM010  MEM    0.10H
        MOV    MEM00F, #02H
        SKLT   MEM010, #06H
        MOV    MEM00F, #01H
```

19.5.6　回転命令

（1）RORC r　　**Rotate right general register with carry flag**

① 命令コード

			3	0
00111	000	0111	r	

② 機　　能

CY → (r) b3 → (r) b2 → (r) b1 → (r) b0

r で示すジェネラル・レジスタの内容をキャリー・フラグも含めて１ビット右に回転します。

③ 例１

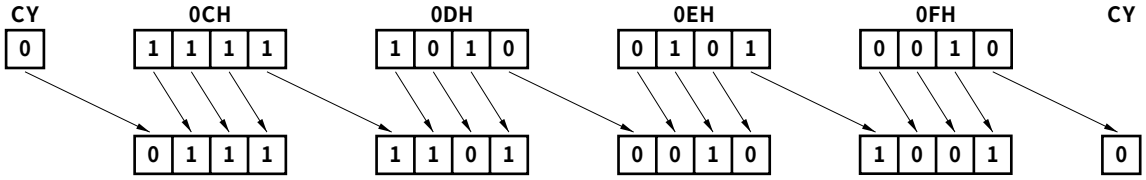
ジェネラル・レジスタとしてバンク０のロウ・アドレス０（0.00H-0.0FH）が指定されているとき（RPH = 0, RPL = 0），0.00H番地の値（1000B）を右に１ビット回転し，0100Bにします。

（0.00H）←（0.00H）÷2

```
MEM000  MEM   0.00H
        MOV   RPH, #00H      ; ジェネラル・レジスタのバンクを０
        MOV   RPL, #00H      ; ジェネラル・レジスタのロウ・アドレスを０
        CLR1  CY             ; CYフラグ←０
        RORC  MEM000
```

例２

ジェネラル・レジスタとしてバンク０のロウ・アドレス０（0.00H-0.0FH）が指定されているとき（RPH = 0, RPL = 0），データ・バッファDBFの内容0FA52Hを右に１ビット回転し，DBFの内容を7D29Hにします。



```
MEM00C  MEM   0.0CH
MEM00D  MEM   0.0DH
MEM00E  MEM   0.0EH
MEM00F  MEM   0.0FH
        MOV   RPH, #00H       ; ジェネラル・レジスタのバンクを0
        MOV   RPL, #00H       ; ジェネラル・レジスタのロウ・アドレスを0
        CLR1  CY              ; CYフラグ←0
        RORC  MEM00C
        RORC  MEM00D
        RORC  MEM00E
        RORC  MEM00F
```

19.5.7　転送命令

（1）LD r, m　　**Load data memory to general register**

① 命令コード

10	8 7	4 3	0
01000	m_R	m_C	r

② 機　　能

（r）←（m）

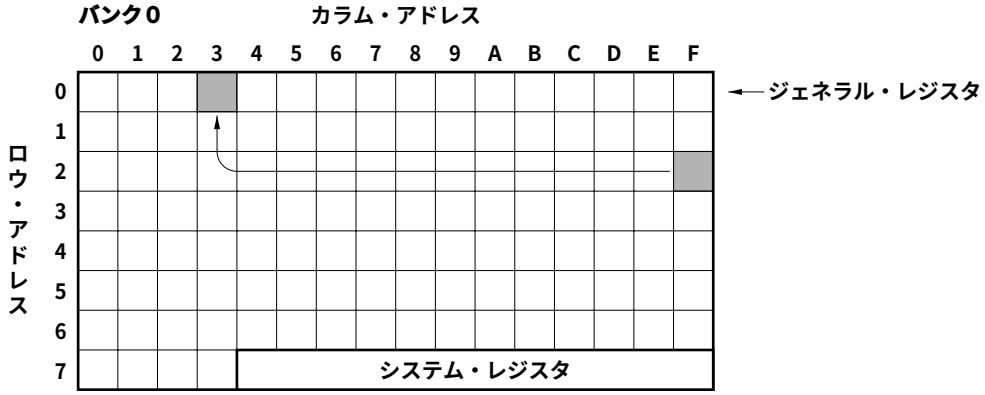
データ・メモリの内容をジェネラル・レジスタへ格納します

③ 例1

0.03H番地に0.2FH番地の内容を格納します。

（0.03H）←（0.2FH）

```
MEM003  MEM   0.03H
MEM02F  MEM   0.2FH
★       MOV   RPH, #00H        ; ジェネラル・レジスタのバンクを0
        MOV   RPL, #00H        ; ジェネラル・レジスタのロウ・アドレスを0
        LD    MEM003, MEM02F
```



例2

0.6FH番地の内容を0.03H番地に格納します。このときIXE = 1, IXH = 0, IXM = 4, IXL = 0すなわちIX = 0.40Hなら，データ・メモリ・アドレスを2FHとすることでデータ・メモリ0.6FH番地を指定することができます。

IXH←00H

IXM←04H

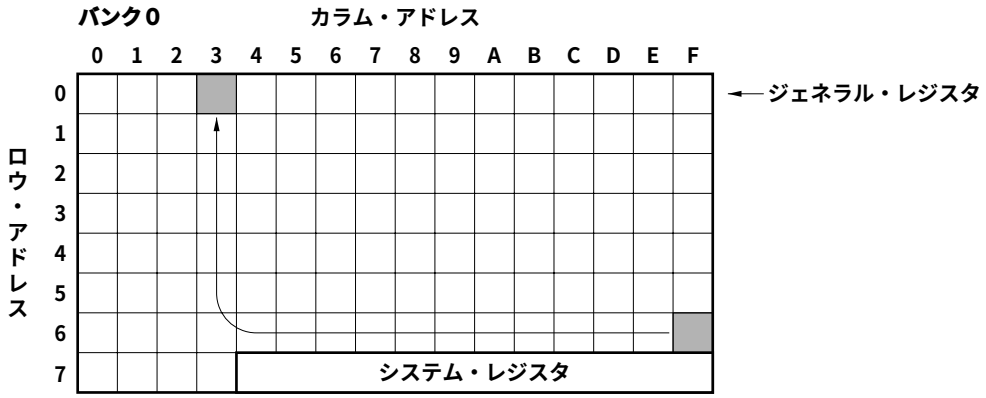
IXL←00H

IXEフラグ←1

（0.03H）←（0.6FH）

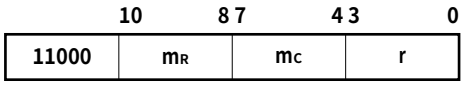
└インデクス・レジスタの内容040Hとデータ・メモリの0.2FHをOR演算したアドレス

```
MEM003   MEM    0.03H
MEM02F   MEM    0.2FH
         MOV    IXH, #00H          ; IX←00001000000B（0.40H）
         MOV    IXM, #04H
         MOV    IXL, #00H
         SET1   IXE                ; IXEフラグ←1
         LD     MEM003, MEM02F
```



（2）ST m, r　　Store general register to data memory

① 命令コード



② 機　　能

（m）←（r）

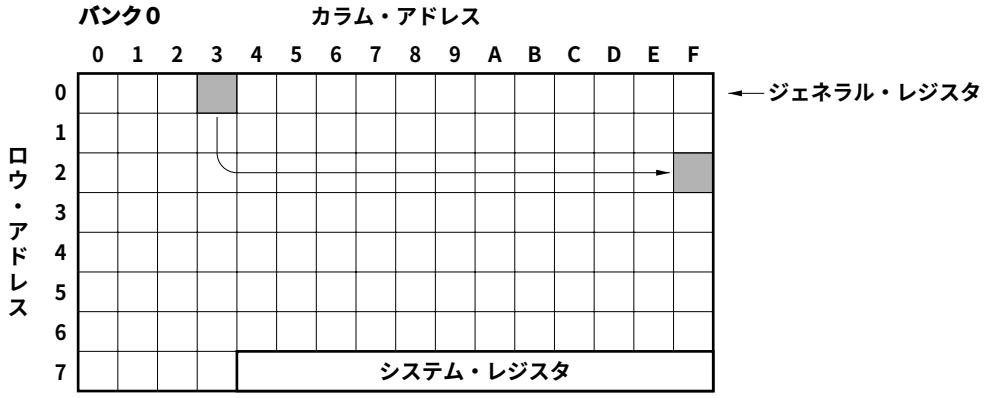
ジェネラル・レジスタの内容をデータ・メモリへ格納します。

③ 例1

0.2FH番地に0.03H番地の内容を格納します。

（0.2FH）←（0.03H）

```
★      MOV     RPH, #00H          ; ジェネラル・レジスタのバンクを0
       MOV     RPL, #00H          ; ジェネラル・レジスタのロウ・アドレスを0
       ST      2FH, 03H           ; データ・メモリにジェネラル・レジスタの内容を転送
```

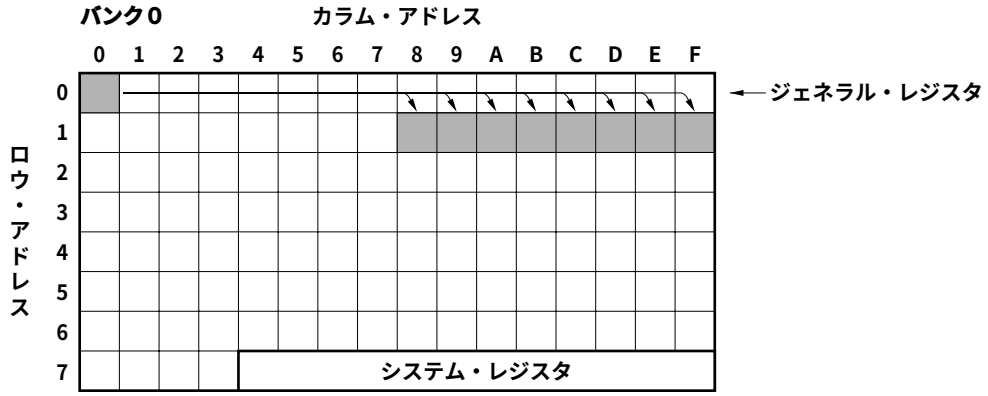


例2

0.18H番地から0.1FH番地に0.00H番地の内容を格納します。インデクス・レジスタでデータ・メモリ（18H-1FH番地）を指定します。

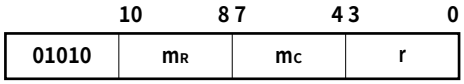
（0.18H）←（0.00H）
（0.19H）←（0.00H）
　　⋮
（0.1FH）←（0.00H）

```
              MOV   IXH, #00H      ; IX←0000000000B（0.00H）
              MOV   IXM, #00H
              MOV   IXL, #00H      ; データ・メモリに0.00H番地を指定
MEM018  MEM   0.18H
MEM000  MEM   0.00H
LOOP1：
        SET1  IXE                  ; IXEフラグ←1
        ST    MEM018, MEM000       ; （0.1×H）←（0.00H）
        CLR1  IXE                  ; IXEフラグ←0
        INC   IX                   ; IX←IX＋1
        SKGE  IXL, #08H
        BR    LOOP1
```



（3）MOV @r, m　　Move data memory to destination indirect

① 命令コード



② 機　　能

MPE = 1のとき

（MP, （r））←（m）

MPE = 0のとき

（BANK, m_R, （r））←（m）

データ・メモリの内容をジェネラル・レジスタの内容でアドレスするデータ・メモリへ格納します。

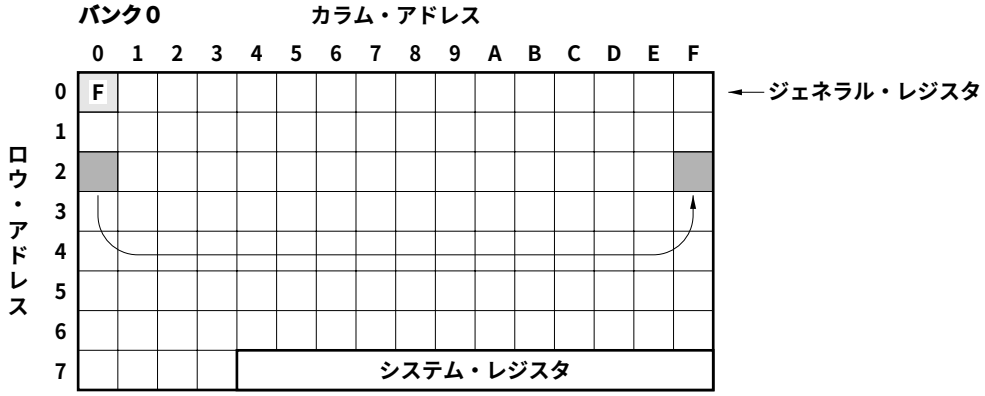
MPE = 0のときには，同一バンクの同一ロウ・アドレス内での転送となります。

③ 例1

MPEフラグを0にして，0.2FH番地に0.20H番地の内容を格納します。格納先のデータ・メモリは，転送元と同一のロウ・アドレスで，ジェネラル・レジスタの0.00H番地の内容がカラム・アドレスです。

（0.2FH）←（0.20H）

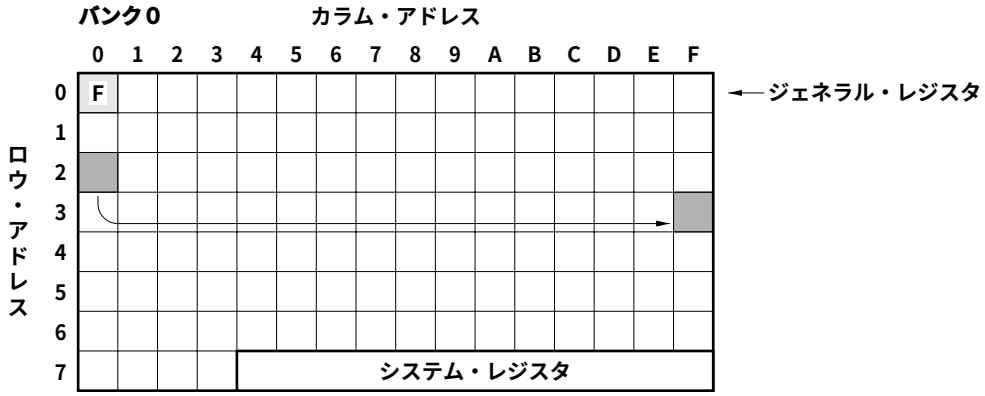
```
MEM000   MEM    0.00H
MEM020   MEM    0.20H
         CLR1   MPE                ; MPEフラグ←0
         MOV    MEM000, #0FH       ; ジェネラル・レジスタにカラム・アドレス設定
         MOV    @MEM000, MEM020    ; 格納
```



例2

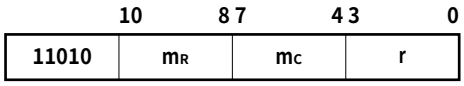
MPEフラグを１にして，0.3FH番地に0.20H番地の内容を格納します。格納先のデータ・メモリは，メモリ・ポインタMPの内容がロウ・アドレスで，ジェネラル・レジスタの0.00H番地の内容がカラム・アドレスです。

```
                （0.3FH）←（0.20H）
MEM000   MEM    0.00H
MEM020   MEM    0.20H
         MOV    RPH, #00H          ; ジェネラル・レジスタのバンクを0
         MOV    RPL, #00H          ; ジェネラル・レジスタのロウ・アドレスを0
         MOV    MEM000, #0FH       ; ジェネラル・レジスタにカラム・アドレス設定
         MOV    MPH, #00H          ; メモリ・ポインタにロウ・アドレスを設定
         MOV    MPL, #03H          ;
         SET1   MPE                ; MPEフラグ←1
         MOV    @MEM000, MEM020    ; 格納
```



（4）MOV m, @r　　Move data memory to destination indirect

①　命令コード



② 機　　能

MPE = 1のとき

（m）←（MP,（r））

MPE = 0のとき

（m）←（BANK, m_R,（r））

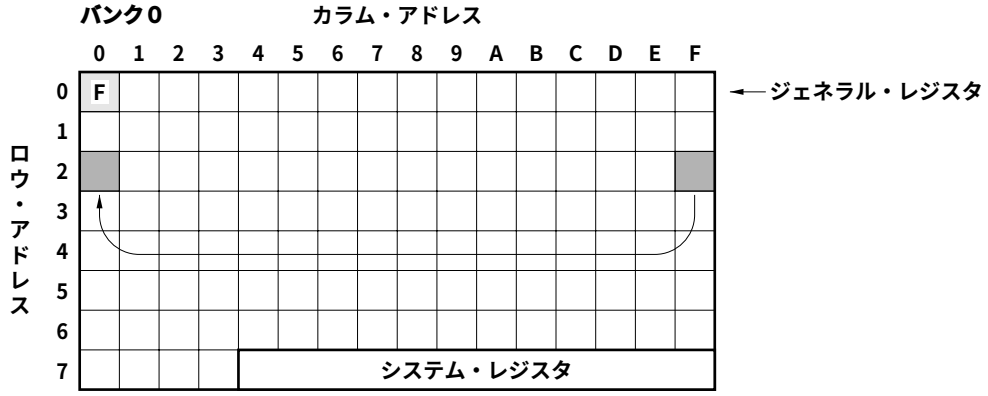
ジェネラル・レジスタの内容でアドレスするデータ・メモリの内容をデータ・メモリへ格納します。

MPE = 0のときには，同一バンクの同一ロウ・アドレス内での転送となります。

③ 例１

MPEフラグを０にして，0.20H番地に0.2FH番地の内容を格納します。転送元のデータ・メモリは，格納先と同一のロウ・アドレスで，ジェネラル・レジスタの0.00H番地の内容がカラム・アドレスです。

```
                （0.20H）←（0.2FH）
MEM000   MEM    0.00H
MEM020   MEM    0.20H
         CLR1   MPE              ; MPEフラグ←0
         MOV    MEM000, #0FH     ; ジェネラル・レジスタにカラム・アドレス設定
         MOV    MEM020, @MEM000  ; 格納
```

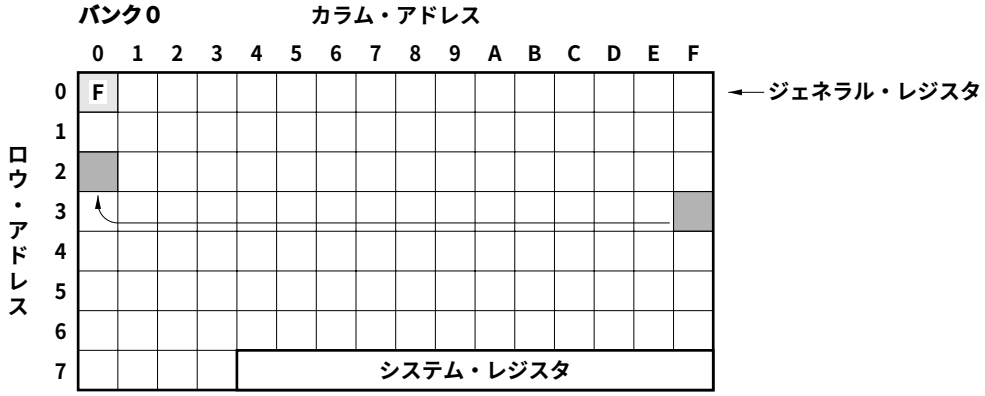


例２

MPEフラグを１にして，0.20H番地に0.3FH番地の内容を格納します。転送元のデータ・メモリは，メモリ・ポインタMPの内容がロウ・アドレスで，ジェネラル・レジスタの0.00番地の内容がカラム・アドレスです。

```
                （0.20H）←（0.3FH）
MEM000   MEM    0.00H
MEM020   MEM    0.20H
         MOV    MEM000, #0FH     ; ジェネラル・レジスタにカラム・アドレス設定
         MOV    MPH, #00H        ; メモリ・ポインタにロウ・アドレスを設定
         MOV    MPL, #03H        ;
```

```
SET1    MPE                 ; MPEフラグ←1
MOV     MEM020, @MEM000     ; 格納
```



（5）MOV m, #n4　　Move immediate data to data memory

① 命令コード

10	8 7	4 3	0
11101	m_R	m_C	n4

② 機　　能

（m）←n4

データ・メモリにイミーディエト・データを格納します。

③ 例1

データ・メモリの0.50H番地にイミーディエト・データの0AHを格納します。

```
            （0.50H）←0AH
MEM050  MEM     0.50H
            MOV     MEM050, #0AH
```

例2

データ・メモリとして0.00H番地が指定されているとき，IXH = 0, IXM = 3, IXL = 2, IXEフラグ = 1が設定されていると，0.32H番地にイミーディエト・データの07Hを格納します。

```
            （0.32H）←07H
MEM000  MEM     0.00H
            MOV     IXH, #00H           ; IX←00000110010B（0.32H）
            MOV     IXM, #03H
            MOV     IXL, #02H
```

```
SET1   IXE                ; IXEフラグ←1
MOV    MEM000, #07H
```

（6）MOVT DBF, @AR　　Move program memory data specified by AR to DBF

① 命令コード

10	8 7	4 3	0
00111	000	0001	0000

② 機　　能

SP←SP－1, ASR←PC, PC←AR,
DBF←（PC）, PC←ASR, SP←SP＋1　　★

アドレス・レジスタARでアドレスされるプログラム・メモリの内容をデータ・バッファDBFに格納します。

この命令は一時的にスタックを１レベル使用するため，サブルーチン，割り込みなどのネスティングに注意してください。

③ 例

システム・レジスタ内のアドレス・レジスタAR3, AR2, AR1, AR0の値によりテーブル・データの16ビットをデータ・バッファDBF3, DBF2, DBF1, DBF0に転送します。

```
;＊
;＊＊　テーブル・データ
;＊
ORG    0010H
DW     0000000000000000B  ;（0000H）
DW     1010101111001101B  ;（0ABCDH）
                  ⋮
;＊
;＊＊　テーブル参照プログラム
;＊
MOV    AR3, #00H          ; AR3←00H     アドレス・レジスタに
MOV    AR2, #00H          ; AR2←00H     0011Hを設定
MOV    AR1, #01H          ; AR1←01H
MOV    AR0, #01H          ; AR0←01H
MOVT   DBF, @AR           ; アドレス0011H番地のデータをDBFに転送
```

この場合，DBFには以下のようにデータが格納されます。

DBF3 = 0AH

DBF2 = 0BH

DBF1 = 0CH

DBF0 = 0DH

（7）PUSH AR　　Push address register

①　命令コード

10	8 7	4 3	0
00111	000	1101	0000

②　機　　能

SP←SP－1,

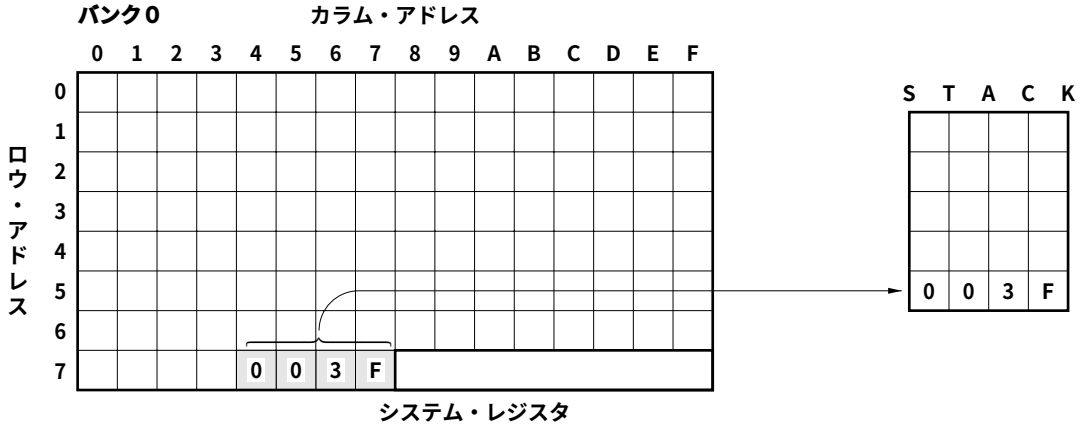
ASR←AR

スタック・ポインタSPをデクリメントしたあと，スタック・ポインタで指定されるアドレス・スタック・レジスタにアドレス・レジスタARの値を格納します。

③　例１

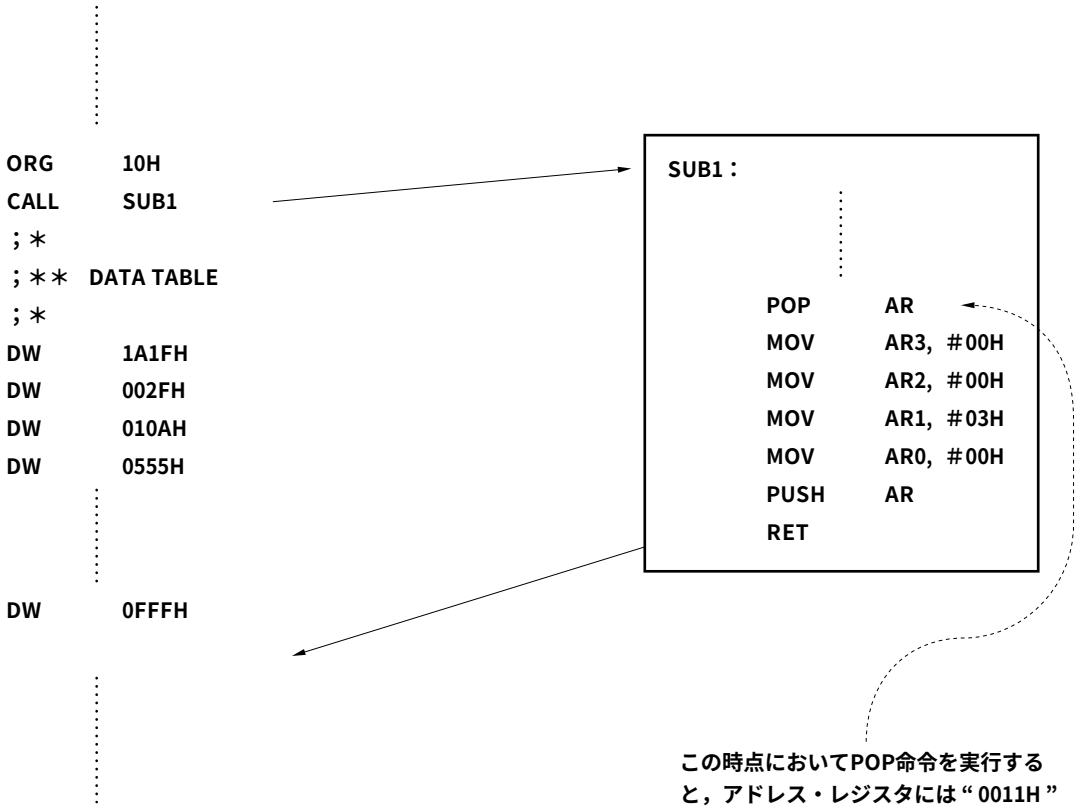
アドレス・レジスタに003FHを設定し，スタックに格納します。

```
MOV     AR3, #00H
MOV     AR2, #00H
MOV     AR1, #03H
MOV     AR0, #0FH
PUSH    AR
```



例２　★

CALL命令に続いてデータ・テーブルがある場合にサブルーチンからの戻り番地（データ・テーブルの次の番地）をアドレス・レジスタに設定しリターンします。



（８）POP AR　　Pop address register

①　命令コード

00111	000	1100	0000

②　機　　能

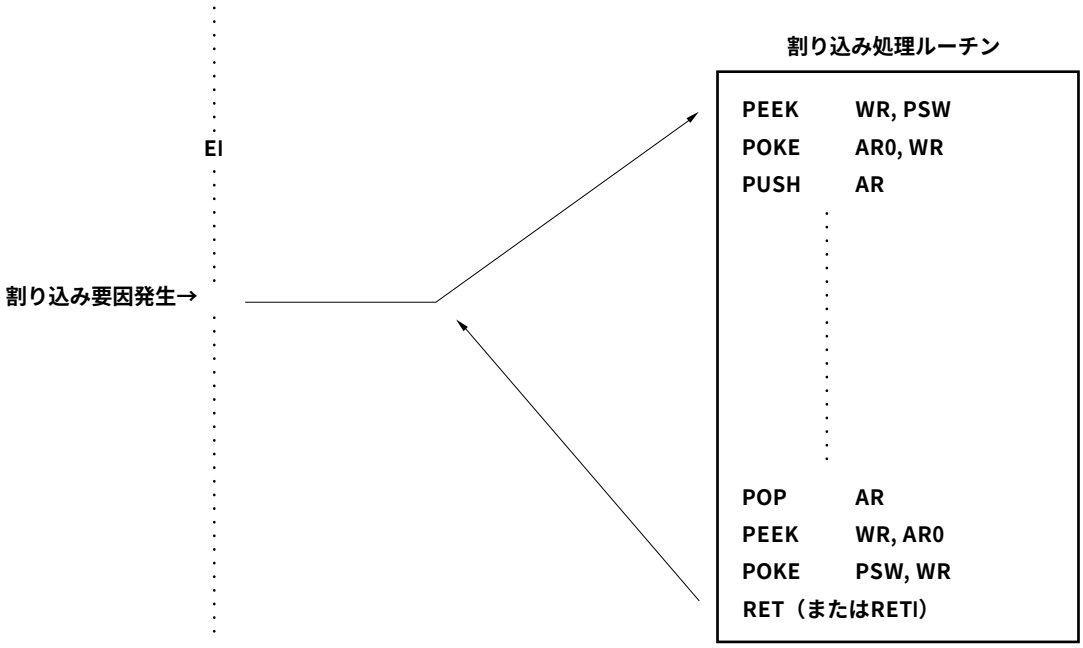
AR←ASR,

SP←SP＋１

スタック・ポインタで示されるアドレス・スタック・レジスタの内容をアドレス・レジスタARに取り出したあと，スタック・ポインタSPをインクリメントします。

③ 例

割り込み処理を行う場合，割り込み処理ルーチン内にてPSWが変化してしまう場合に，割り込み処理の始めでPSWの内容をWRを介してアドレス・レジスタに転送し，PUSH命令によりアドレス・スタック・レジスタに退避し，リターンする前にPOP命令によりアドレス・レジスタに復帰させWRを介してPSWに転送します。



（9）PEEK WR, rf　　Peek register file to window register

① 命令コード

00111	rf_R	0011	rf_C

② 機　　能

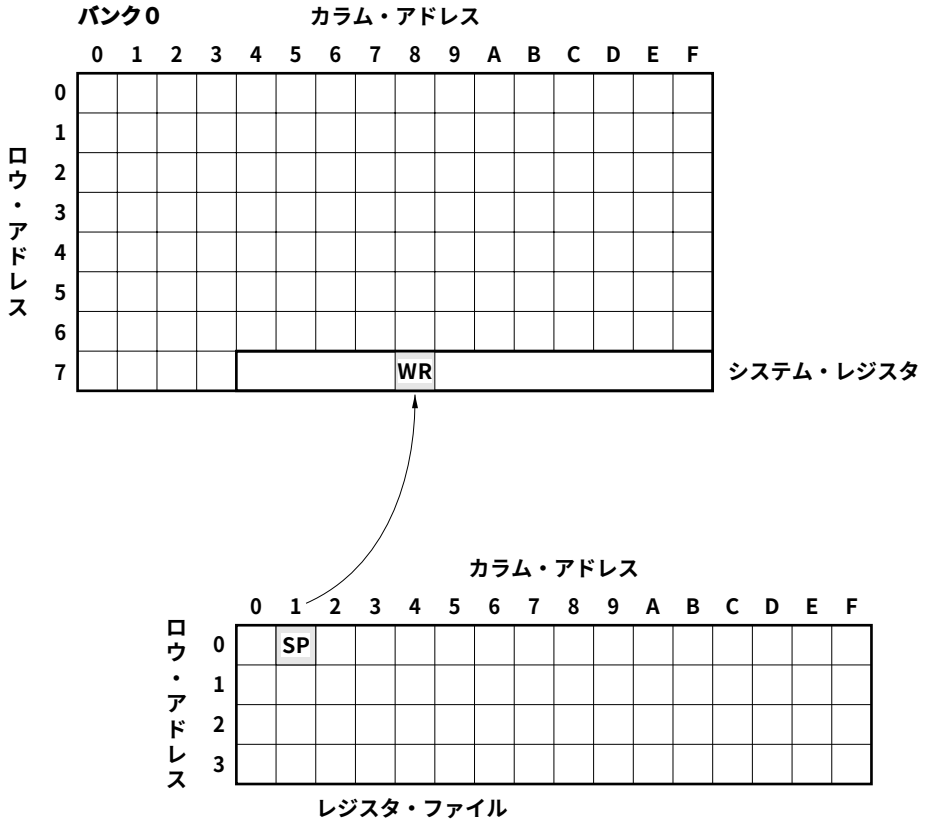
WR←（rf）

レジスタ・ファイルの内容をウインドウ・レジスタWRに格納します。

③ 例

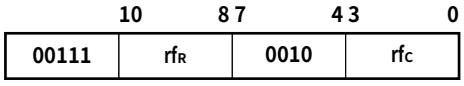
レジスタ・ファイル内の01H番地のスタック・ポインタSPの内容をウインドウ・レジスタに格納します。

```
PEEK   WR, SP
```



(10) POKE rf, WR　　Poke window register to register file

① 命令コード



② 機　　能

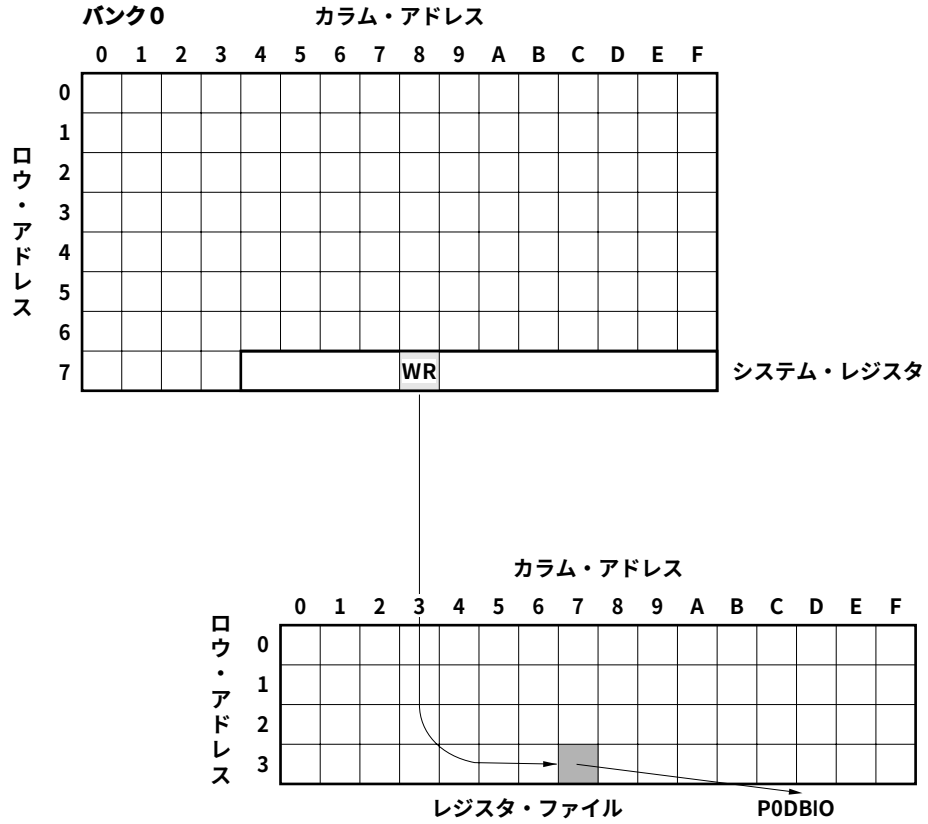
(rf) ←WR

ウインドウ・レジスタWRの内容をレジスタ・ファイルに格納します。

③ 例1

ウインドウ・レジスタを介してレジスタ・ファイルのP0DBIOにイミーディエト・データの0FHを格納します。

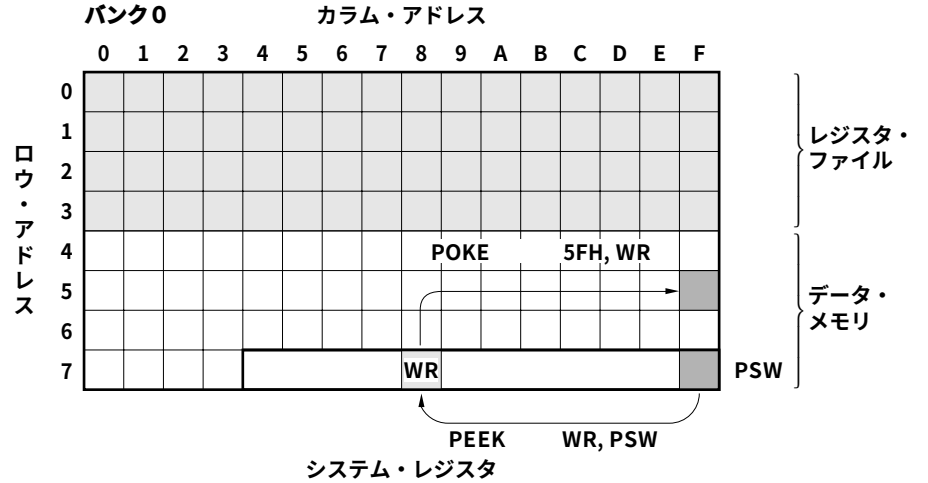
```
MOV      WR, #0FH
POKE     P0DBIO, WR          ; P0D0, P0D1, P0D2, P0D3をすべて出力モードに設定
```



★　④ 注　意

プログラム上は，レジスタ・ファイルの40Hから7FH番地に，データ・メモリのアドレス40Hから7FH番地と同じメモリがあるように見えます。したがって，PEEK, POKE命令ではレジスタ・ファイル以外にデータ・メモリの各バンクの40H番地から7FH番地までをアクセスすることができます。たとえば次のような使い方も可能です。

```
MEM05F   MEM    0.5FH
         PEEK   WR, PSW       ；システム・レジスタ内のPSW（7FH）の内容をWRに格納
         POKE   MEM05F, WR   ；WRの内容をデータ・メモリの5FH番地に格納
```



（11）GET DBF, p　　Get peripheral data to data buffer

①　命令コード

10	8 7	4 3	0
00111	p_H	1011	p_L

②　機　　能

DBF←（p）

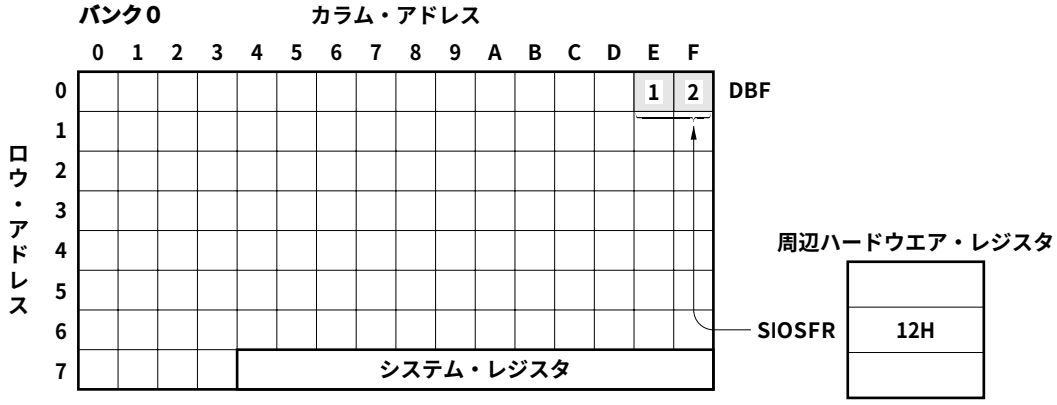
周辺レジスタの内容をデータ・バッファDBFに格納します。

DBFはバンク・レジスタの値に関係なく，データ・メモリのBANK0の0CHから0FH番地の16ビットの領域となります。

③　例

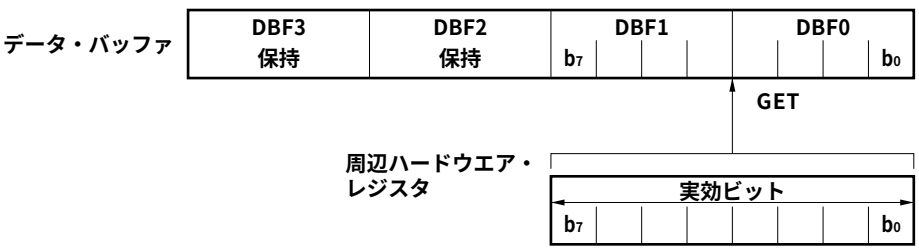
シリアル・インタフェースのシフト・レジスタSIOSFRの内容（８ビット）をデータ・バッファのDBF0, DBF1に格納します。

GET DBF, SIOSFR



④　注　意　★

データ・バッファは16ビットで構成されています。ただし，周辺ハードウエアによってアクセスされるビット数は異なります。たとえば実効ビット長が８ビットの周辺ハードウエア・レジスタに対してGET命令を実行した場合は，データ・バッファDBFの下位８ビット（DBF1, DBF0）に周辺ハードウエア・レジスタの内容が格納されます。



（12）PUT p, DBF　　Put data buffer to peripheral

①　命令コード

10	8 7	4 3	0
00111	p_H	1010	p_L

★ #### ②　機　　能

（p）←DBF

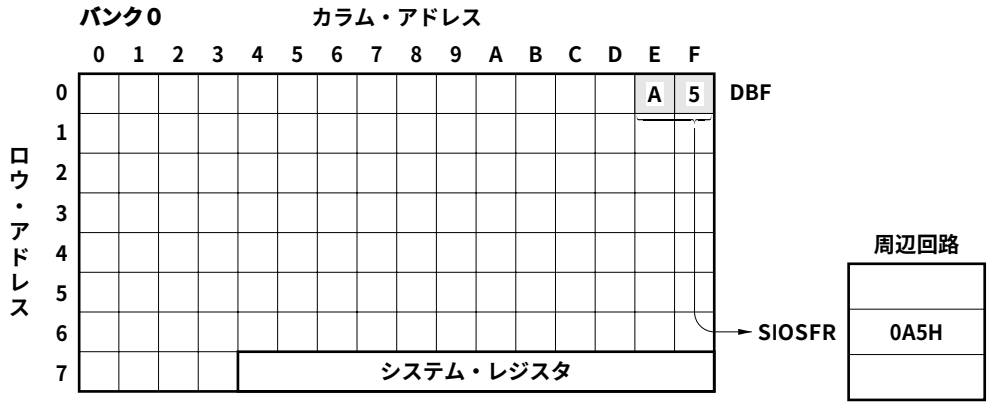
データ・バッファDBFの内容を周辺ハードウエア・レジスタに格納します。

DBFはバンク・レジスタの値に関係なく，データ・メモリのBANK0の0CHから0FH番地の番地の16ビットの領域となります。

③　例

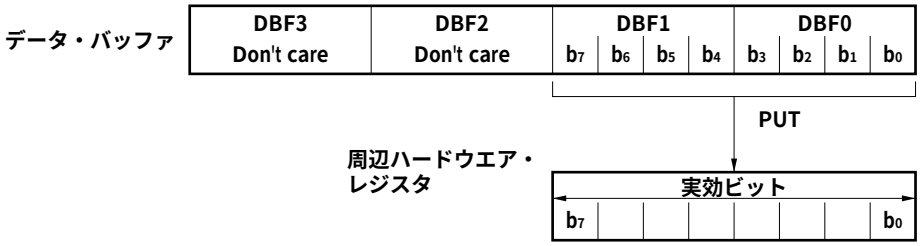
データ・バッファのDBF1とDBF0にそれぞれ0AH, 05Hを設定し，周辺レジスタの１つであるシリアル・インタフェース用のシフト・レジスタ（SIOSFR）に転送します。

```
MOV     BANK, #00H          ；データ・メモリのバンクを０
MOV     DBF0, #05H
MOV     DBF1, #0AH
PUT     SIOSFR, DBF
```



④ 注　　意 ★

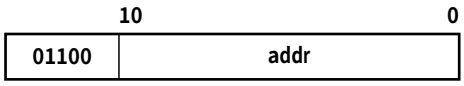
データ・バッファは，16ビットで構成されています。ただし，周辺ハードウエアによってアクセスされるビット数は異なります。たとえば実効ビット長が８ビットの周辺ハードウエア・レジスタに対してPUT命令を実行した場合は，データ・バッファDBFの下位８ビット（DBF1, DBF0）の内容を周辺ハードウエア・レジスタに格納します（DBF3, DBF2の内容は無効です）。



19.5.8　分岐命令

（1）BR addr　　Branch to the address

① 命令コード



② 機　　能

PC←addr

addrで指定するアドレスに分岐します。

③ 例

```
FLY     LAB   0FH          ; FLY = 0FHを定義
          :
        BR    FLY          ; 0F番地にジャンプします
          :
        BR    LOOP1        ; LOOP1にジャンプします
          :
        BR    $+2          ; 現在番地より２つ下の番地へジャンプします
          :
        BR    $−3          ; 現在番地より３つ上の番地へジャンプします
          :
LOOP1：
```

（2）BR @AR　　Branch to the address specified by address register

① 命令コード

00111	000	0100	0000

② 機　　能

PC←AR

アドレス・レジスタARが指定するプログラム・アドレスに分岐します。

③　例1

アドレス・レジスタAR（AR0-AR3）に003FHを設定し，BR @AR命令により003FH番地へジャンプします。

```
MOV     AR3, #00H           ; AR3←00H
MOV     AR2, #00H           ; AR2←00H
MOV     AR1, #03H           ; AR1←03H
MOV     AR0, #0FH           ; AR0←0FH
BR      @AR                 ; 003FH番地へジャンプ
```

例2　★

データ・メモリの0.10H番地の内容によって以下のように分岐先を変えます。

```
0.10Hの内容          分岐先のレーベル
  00H          →    AAA
  01H          →    BBB
  02H          →    CCC
  03H          →    DDD
  04H          →    EEE
  05H          →    FFF
  06H          →    GGG
  07H          →    HHH
08H-0FH        →    ZZZ
;＊
;＊＊ジャンプ・テーブル
;＊             〃
ORG            10H
BR             AAA
BR             BBB
BR             CCC
BR             DDD
BR             EEE
BR             FFF
BR             GGG
BR             HHH
BR             ZZZ
```

```
MEM010  MEM         0.10H
        MOV         AR3, #00H     ; AR3←00H ARを001×Hにする
        MOV         AR2, #00H     ; AR2←00H
        MOV         AR1, #01H     ; AR1←01H
        MOV         RPH, #00H     ; ジェネラル・レジスタのバンクを０
        MOV         RPL, #02H     ; ジェネラル・レジスタのロウ・アドレスを１
        ST          AR0, MEM010   ; AR0←0.10H
        SKLT        AR0, #08H
        MOV         AR0, #08H     ; AR0の内容が08Hよりも大きい場合は，AR0の内容を08Hにする
        BR          @AR
```

④ 注　意

アドレス・レジスタAR3, AR2, AR1, AR0は，製品により使用できるビット数が異なります。

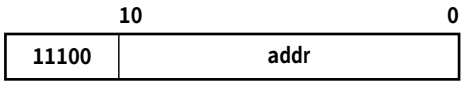
・μPD17134A, 17135A…10ビット

・μPD17136A, 17137A, 17P136A, 17P137A…11ビット

19.5.9　サブルーチン命令

（1）CALL addr　　Call subroutine

①　命令コード



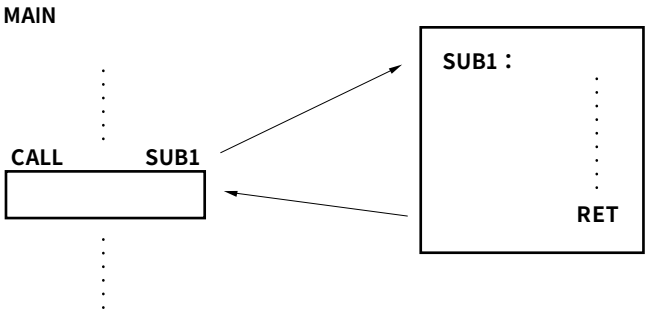
②　機　　能

SP←SP－1, ASR←PC,

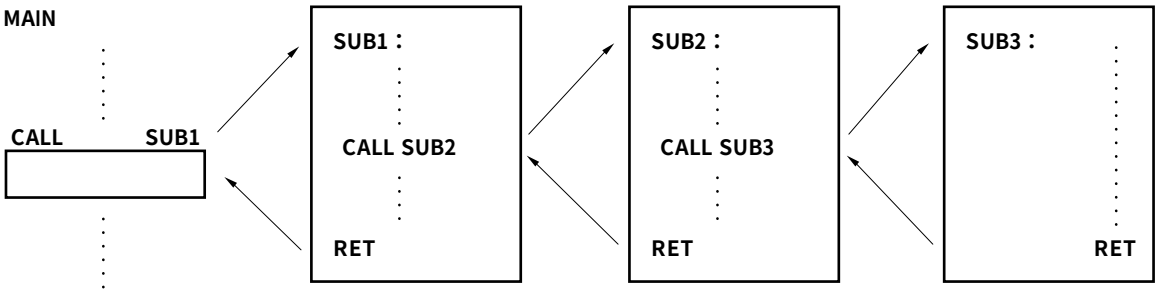
PC←addr

プログラム・カウンタPCの値をインクリメントし，スタックに格納したのち，addrで指定するサブルーチンに分岐します。 ★

③　例1



例2



（2）CALL @AR　　Call subroutine specified by address register

① 命令コード

00111	000	0101	0000

② 機　　能

SP←SP－1,

ASR←PC,

PC←AR

プログラム・カウンタPCの値をスタックに格納したのち，アドレス・レジスタARが指定するアドレスから始まるサブルーチンに分岐します。

③ 例1

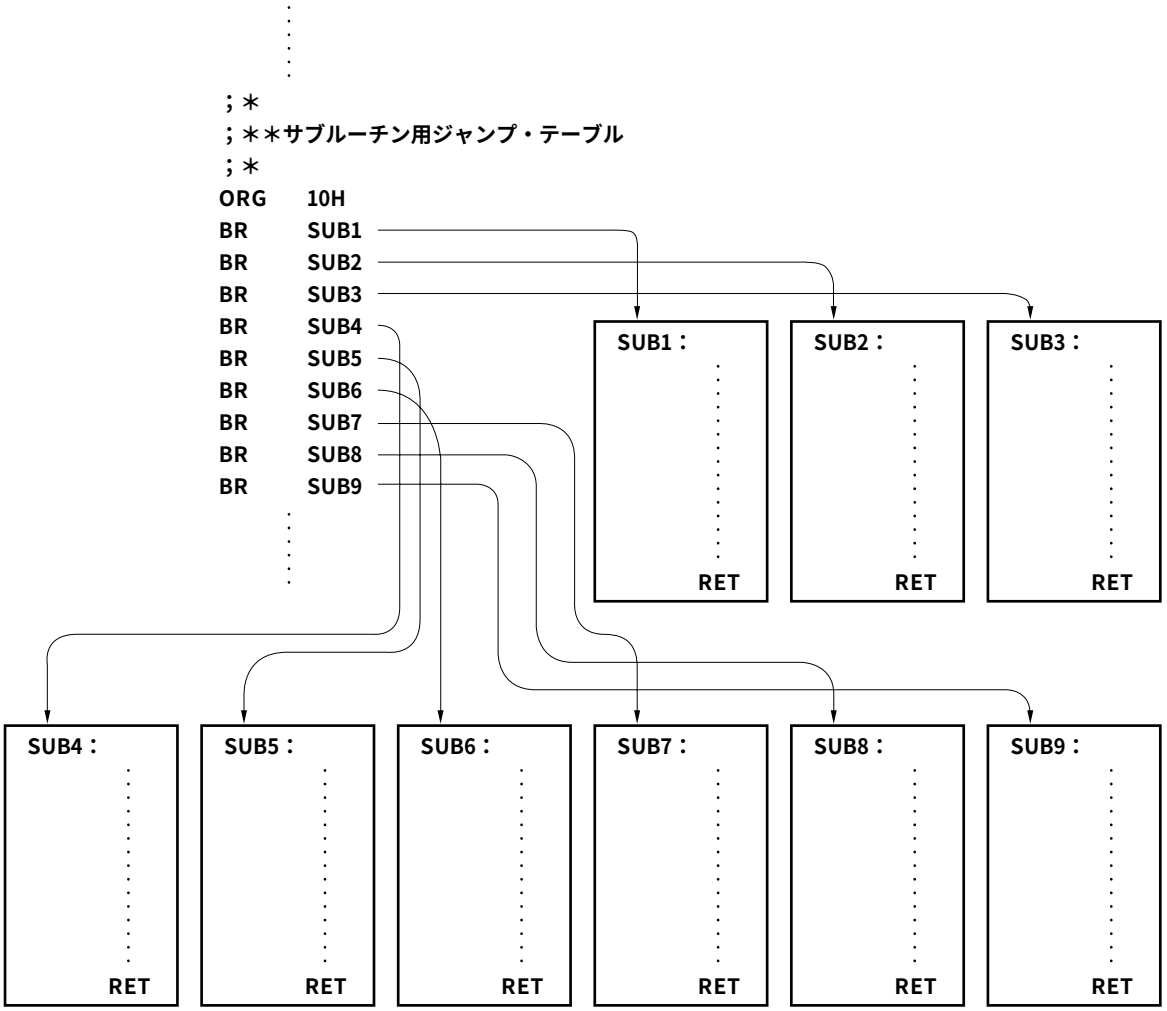
アドレス・レジスタAR（AR0-AR3）に0020Hを設定し，CALL @AR命令により0020H番地のサブルーチンをコールします。

```
MOV     AR3, #00H          ; AR3←00H
MOV     AR2, #00H          ; AR2←00H
MOV     AR1, #02H          ; AR1←02H
MOV     AR0, #00H          ; AR0←00H
CALL    @AR                ; 0020H番地のサブルーチンをコール
```

例2

データ・メモリの0.10H番地の内容によって以下のサブルーチンをコールします。

0.10Hの内容		サブルーチン名
00H	→	SUB1
01H	→	SUB2
02H	→	SUB3
03H	→	SUB4
04H	→	SUB5
05H	→	SUB6
06H	→	SUB7
07H	→	SUB8
08H-0FH	→	SUB9




```
MOV   AR3,   #00H  ; AR3←00H  アドレス・レジスタを001×H
MOV   AR2,   #00H  ; AR2←00H
MOV   AR1,   #01H  ; AR1←01H
MOV   RPH,   #00H  ; ジェネラル・レジスタのバンクを０
MOV   RPL,   #02H  ; ジェネラル・レジスタのロウ・アドレスを１
ST    AR0,   10H   ; AR0←0.10H
SKLT  AR0,   #08H  ; AR0の内容が08Hより大きい場合は，
MOV   AR0,   #08H  ; AR0の内容を08Hにする
CALL  @AR          → ジャンプ・テーブルへ
```

それぞれのサブルーチンにて
RET命令を実行するとここに
戻ります。

④ 注　意

アドレス・レジスタAR3, AR2, AR1, AR0は，品種により使用できるビット数が異なります。

・μPD17134A, 17135A…10ビット

・μPD17136A，17137A，17P136A，17P137A…11ビット

（3）RET　　Return to the main program from subroutine

①　命令コード

10	8 7	4 3	0
00111	000	1110	0000

②　機　　能

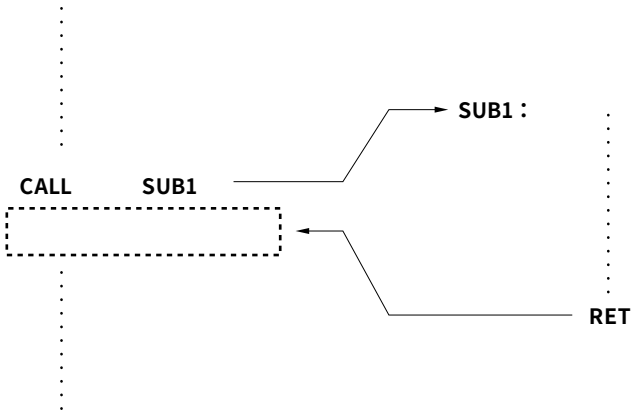
PC←ASR,

SP←SP＋１

サブルーチンからメイン・プログラムへ戻るための命令です。

CALL命令でスタックに退避した戻り番地を，プログラム・カウンタに復帰させます。

③　例



（4）RETSK　　Return to the main program then skip next instruction

①　命令コード

00111	001	1110	0000

②　機　　能

PC←ASR, SP←SP＋１and skip

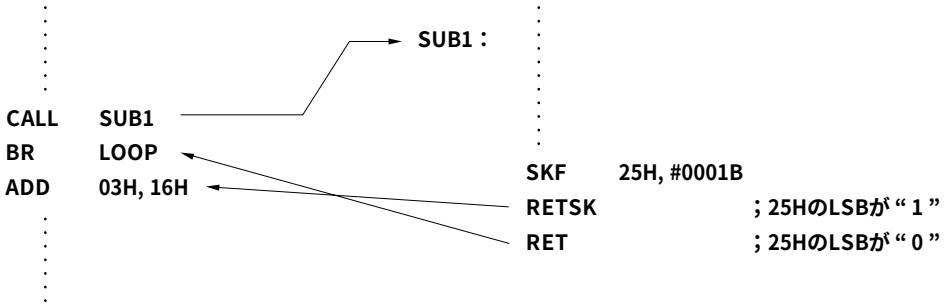
サブルーチンからメイン・プログラムへ戻るための命令です。

CALL命令の次の命令をスキップします（NOP命令として実行します）。

すなわち，CALL命令でスタックに退避した戻り番地をプログラム・カウンタPCに復帰させたのちプログラム・カウンタをインクリメントします。

③ 例

データ・メモリ（RAM）の25H番地のLSB（最下位ビット）の内容が“０”のときはRET命令を実行し，CALL命令の次の命令に戻り，“１”のときはRETSK命令を実行し，CALL命令の次の次の命令（ここではADD 03H, 16H）に戻ります。



（5）RETI　　Return to the main program from interrupt service routine

① 命令コード

00111	100	1110	0000

② 機　　能　　★

PC←ASR, INTR←INTSK, SP←SP＋１

割り込み処理プログラムからメイン・プログラムへ戻るための命令です。

ベクタ割り込みでスタックに退避した戻り番地をプログラム・カウンタに復帰させます。

また，システム・レジスタの一部（BANK, PSWORD）もベクタ割り込み発生以前の状態に戻ります。

19.5.10　割り込み命令

（1）EI　　Enable Interrupt

① 命令コード

00111	000	1111	0000

② 機　　能

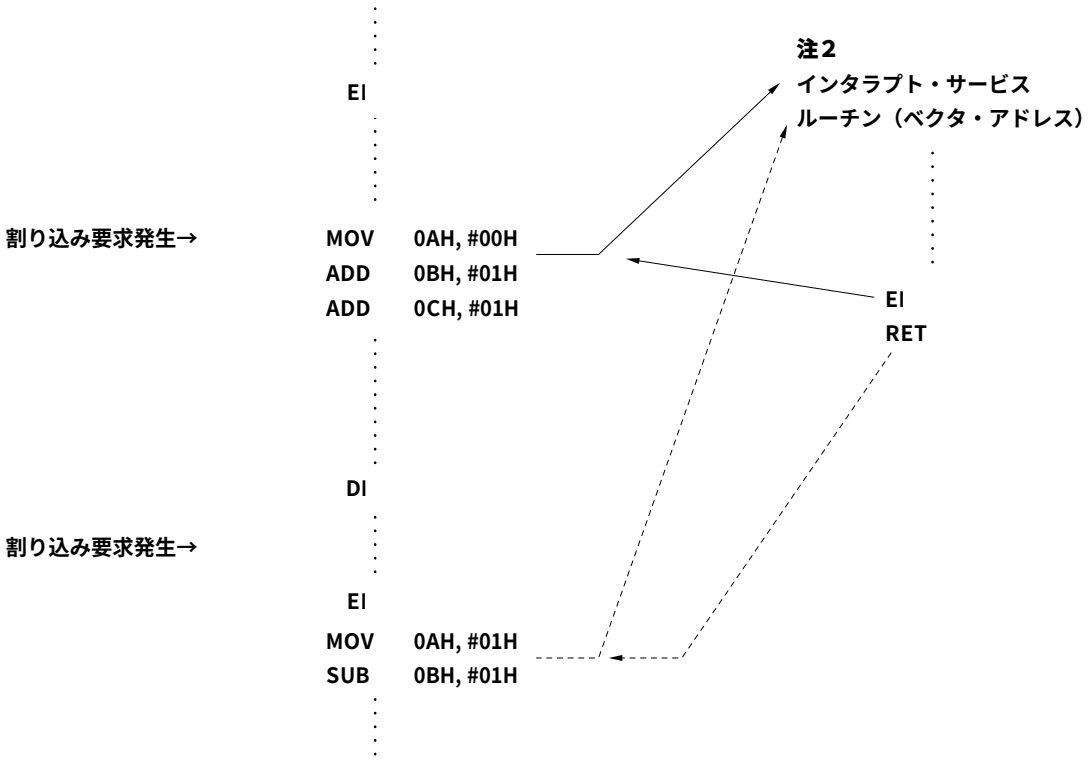
INTEF←1

ベクタ割り込みを許可する命令です。

割り込みはEI命令の次の命令を実行したあとに許可されます。

③ 例1

以下の例で分かるように割り込み要求が受け付けられると，受け付け後の次の命令（プログラム・カウンタを操作する命令を除く）の実行が完了してからベクタ・アドレスに流れが移ります。[注1]

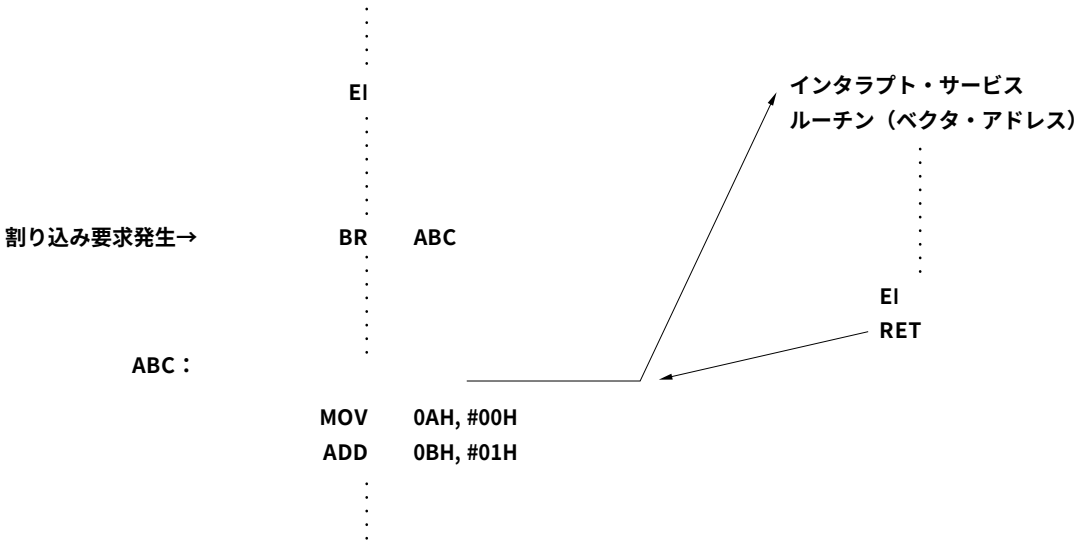


注1．ベクタ・アドレスは，受け付けられる割り込みにより異なります。**表14－1　割り込み要因の種類**を参照してください。

注2．ここで受け付けられる割り込み（EI命令実行後割り込み要求が発生しインタラプト・サービス・ルーチンに流れが移る）とはその割り込みに対する割り込み許可フラグ（IP×××）がセットされているものとします。各割り込み許可フラグがセットされていない状態で，EI命令実行後，割り込み要求が発生してもプログラムの流れは変化しません（割り込みは受け付けられません）。ただし，割り込み要求フラグ（IRQ×××）はセットされますので，割り込み許可フラグがセットされた時点で受け付けられます。

例2

プログラム・カウンタPCを操作する命令実行中に受け付けられた割り込み要求で発生する割り込みの例を以下に示します。



（2）DI　　Disable Interrupt

① 命令コード

00111	001	1111	0000

② 機　　能

INTEF←0

ベクタ割り込みを禁止する命令です。

③ 例

（1）EIの例1を参照。

19.5.11　その他の命令

（1）STOP s　　Stop CPU and release by condition s

① 命令コード

			3	0
00111	010	1111	s	

② 機　　能

システム・クロックを停止させ，デバイスをSTOPモードにします。

デバイスをSTOPモードにすることにより消費電流を最小限に抑えることができます。

STOPモードを解除する条件をオペランド（s）で指定します。

ストップ解除条件（s）については16.3　STOPモードを参照してください。

（2）HALT h　　Halt CPU and release by condition h

① 命令コード

			3	0
00111	011	1111	h	

② 機　　能

デバイスをHALTモードにします。

デバイスをHALTモードにすることにより消費電流を低減させることができます。

HALTモードを解除する条件をオペランド（h）で指定します。

ホールト解除条件（h）については16.2　HALTモードを参照してください。

（3）NOP　　No operation

① 命令コード

00111	100	1111	0000

② 機　　能

何もせず１マシン・サイクル費やす命令です。

第20章　アセンブラ予約語 ★

20.1　マスク・オプション疑似命令

μPD17134A, 17135A, 17136A, 17137Aには，次のマスク・オプションがあります。

- $\overline{\text{RESET}}$端子の内蔵プルアップ抵抗
- $P0D_3$-$P0D_0$端子の内蔵プルアップ抵抗
- $P1A_3$-$P1A_0$端子の内蔵プルアップ抵抗
- $P1B_0$端子の内蔵プルアップ抵抗

プログラムを作成する際に，マスク・オプション定義疑似命令を使って，ソース・プログラム中で上記すべてのマスク・オプションを指定する必要があります。

20.1.1　マスク・オプションの指定方法

マスク・オプションは次の疑似命令を使ってアセンブラ・ソース・プログラム中に記述します。

- OPTION疑似命令，ENDOP疑似命令
- マスク・オプション定義疑似命令

（1）OPTION疑似命令，ENDOP疑似命令

マスク・オプションを記述する範囲（マスク・オプション定義ブロック）を指定する疑似命令です。

OPTION疑似命令とENDOP疑似命令に挟まれる領域内に，マスク・オプション定義疑似命令を記述してマスク・オプションを指定します。

記述形式

シンボル欄	ニモニック欄	オペランド欄	コメント欄
[レーベル：]	OPTION		[；コメント]
	⋮		
	ENDOP		

（2）マスク・オプション定義疑似命令

表20－1　マスク・オプション定義疑似命令

オプション	定義疑似命令と書式	オペランド	定義内容
$\overline{\text{RESET}}$端子内蔵プルアップ抵抗	OPTRES　〈オペランド〉	OPEN	なし
		PULLUP	あり
$P0D_3$-$P0D_0$端子内蔵プルアップ抵抗	OPTP0D　〈オペランド1〉，…，〈オペランド4〉[注1]	OPEN	なし
		PULLUP	あり
$P1A_3$-$P1A_0$端子内蔵プルアップ抵抗	OPTP1A　〈オペランド1〉，…，〈オペランド4〉[注2]	OPEN	なし
		PULLUP	あり
$P1B_0$端子内蔵プルアップ抵抗	OPTP1B　〈オペランド〉	OPEN	使用しない
		PULLUP	使用する

注1．〈オペランド1〉は$P0D_3$端子，〈オペランド2〉は$P0D_2$端子，〈オペランド3〉は$P0D_1$端子，〈オペランド4〉は$P0D_0$端子のマスク・オプションを指定します。

2．〈オペランド1〉は$P1A_3$端子，〈オペランド2〉は$P1A_2$端子，〈オペランド3〉は$P1A_1$端子，〈オペランド4〉は$P1A_0$端子のマスク・オプションを指定します。

（3）マスク・オプションの記述例

```
；μPD17134Aサブシリーズのマスク・オプションの記述例

MASK_OPTION：

    OPTION                              ；マスク・オプション定義ブロックの始まり
    OPTRES    PULLUP                    ；RESET端子は内蔵プルアップ抵抗あり
    OPTP0D    PULLUP, PULLUP, OPEN, OPEN ；P0D3, P0D2は内蔵プルアップ抵抗あり
                                        ；P0D1, P0D0はオープン（外部でプルアップ）
    OPTP1A    PULLUP, OPEN, PULLUP, OPEN ；P1A3, P1A1は内蔵プルアップ抵抗あり
                                        ；P1A2, P1A0はオープン（外部でプルアップ）
    OPTP1A    PULLUP                    ；P1B0端子は内蔵プルアップ抵抗あり
    ENDOP                               ；マスク・オプション定義ブロックの終わり
```

20.2　予約シンボル

μPD17134A, 17135A, 17136A, 17137A用のデバイス・ファイル（AS17134）で定義されている予約シンボルの一覧表を次に示します。

システム・レジスタ（SYSREG）

シンボル名	属性	値	Read/Write	説　　明
AR3	MEM	0.74H	R	アドレス・レジスタのビット15 - ビット12
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット11 - ビット8
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット7 - ビット4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット3 - ビット0
WR	MEM	0.78H	R/W	ウインドウ・レジスタ
BANK	MEM	0.79H	R/W	バンク・レジスタ
IXH	MEM	0.7AH	R/W	インデクス・レジスタ・ハイ
MPH	MEM	0.7AH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ハイ
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデクス・レジスタ・ミドル
MPL	MEM	0.7BH	R/W	データ・メモリ・ロウ・アドレス・ポインタ・ロウ
IXL	MEM	0.7CH	R/W	インデクス・レジスタ・ロウ
RPH	MEM	0.7DH	R/W	ジェネラル・レジスタ・ポインタ・ハイ
RPL	MEM	0.7EH	R/W	ジェネラル・レジスタ・ポインタ・ロウ
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCDフラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデクス・イネーブル・フラグ

データ・バッファ（DBF）

シンボル名	属性	値	Read/Write	説　　明
DBF3	MEM	0.0CH	R/W	DBFのビット15-ビット12
DBF2	MEM	0.0DH	R/W	DBFのビット11-ビット８
DBF1	MEM	0.0EH	R/W	DBFのビット７-ビット４
DBF0	MEM	0.0FH	R/W	DBFのビット３-ビット０

ポート・レジスタ

シンボル名	属性	値	Read/Write	説　　明
P0A3	FLG	0.70H.3	R/W	ポート0Aのビット３
P0A2	FLG	0.70H.2	R/W	ポート0Aのビット２
P0A1	FLG	0.70H.1	R/W	ポート0Aのビット１
P0A0	FLG	0.70H.0	R/W	ポート0Aのビット０
P0B3	FLG	0.71H.3	R/W	ポート0Bのビット３
P0B2	FLG	0.71H.2	R/W	ポート0Bのビット２
P0B1	FLG	0.71H.1	R/W	ポート0Bのビット１
P0B0	FLG	0.71H.0	R/W	ポート0Bのビット０
P0C3	FLG	0.72H.3	R/W	ポート0Cのビット３
P0C2	FLG	0.72H.2	R/W	ポート0Cのビット２
P0C1	FLG	0.72H.1	R/W	ポート0Cのビット１
P0C0	FLG	0.72H.0	R/W	ポート0Cのビット０
P0D3	FLG	0.73H.3	R/W	ポート0Dのビット３
P0D2	FLG	0.73H.2	R/W	ポート0Dのビット２
P0D1	FLG	0.73H.1	R/W	ポート0Dのビット１
P0D0	FLG	0.73H.0	R/W	ポート0Dのビット０
P1A3	FLG	1.70H.3	R/W	ポート1Aのビット３
P1A2	FLG	1.70H.2	R/W	ポート1Aのビット２
P1A1	FLG	1.70H.1	R/W	ポート1Aのビット１
P1A0	FLG	1.70H.0	R/W	ポート1Aのビット０
P1B0	FLG	1.71H.0	R	ポート1Bのビット０

レジスタ・ファイル（コントロール・レジスタ）

シンボル名	属性	値	Read/Write	説　　明
SP	MEM	0.81H	R/W	スタック・ポインタ
SIOTS	FLG	0.82H.3	R/W	SIOスタート・フラグ
SIOHIZ	FLG	0.82H.2	R/W	SO端子の状態
SIOCK1	FLG	0.82H.1	R/W	SIOソース・クロック選択フラグ・ビット１
SIOCK0	FLG	0.82H.0	R/W	SIOソース・クロック選択フラグ・ビット０
WDTRES	FLG	0.83H.3	R/W	ウォッチドッグ・タイマ・リセット・フラグ
WDTEN	FLG	0.83H.0	R/W	ウォッチドッグ・タイマ・イネーブル・フラグ
TM0OSEL	FLG	0.8BH.3	R/W	タイマ０出力／ポート　選択フラグ
SIOEN	FLG	0.8BH.0	R/W	SIOイネーブル・フラグ
P0BGPU	FLG	0.8CH.1	R/W	P0Bグループ・プルアップ　選択フラグ（プルアップ＝１）
P0AGPU	FLG	0.8CH.0	R/W	P0Aグループ・プルアップ　選択フラグ（プルアップ＝１）

シンボル名	属性	値	Read/Write	説　　明
INT	FLG	0.8FH.0	R	INT端子ステータス・フラグ
PDRESEN	FLG	0.90H.0	R/W	パワーダウン・リセット・イネーブル・フラグ
TM0EN	FLG	0.91H.3	R/W	タイマ０イネーブル・フラグ
TM0RES	FLG	0.91H.2	R/W	タイマ０リセット・フラグ
TM0CK1	FLG	0.91H.1	R/W	タイマ０ソース・クロック選択フラグ・ビット１
TM0CK0	FLG	0.91H.0	R/W	タイマ０ソース・クロック選択フラグ・ビット０
TM1EN	FLG	0.92H.3	R/W	タイマ１イネーブル・フラグ
TM1RES	FLG	0.92H.2	R/W	タイマ１リセット・フラグ
TM1CK1	FLG	0.92H.1	R/W	タイマ１ソース・クロック選択フラグ・ビット１
TM1CK0	FLG	0.92H.0	R/W	タイマ１ソース・クロック選択フラグ・ビット０
BTMISEL	FLG	0.93H.3	R/W	BTMの割り込み要求クロック選択フラグ
BTMRES	FLG	0.93H.2	R/W	BTMリセット・フラグ
BTMCK1	FLG	0.93H.1	R/W	BTMソース・クロック選択フラグ・ビット１
BTMCK0	FLG	0.93H.0	R/W	BTMソース・クロック選択フラグ・ビット０
P0C3IDI	FLG	0.9BH.3	R/W	$P0C_3$入力ポート禁止フラグ（ADC_3/$P0C_3$選択）
P0C2IDI	FLG	0.9BH.2	R/W	$P0C_2$入力ポート禁止フラグ（ADC_2/$P0C_2$選択）
P0C1IDI	FLG	0.9BH.1	R/W	$P0C_1$入力ポート禁止フラグ（ADC_1/$P0C_1$選択）
P0C0IDI	FLG	0.9BH.0	R/W	$P0C_0$入力ポート禁止フラグ（ADC_0/$P0C_0$選択）
P0CBIO3	FLG	0.9CH.3	R/W	$P0C_3$入力／出力選択フラグ（１＝出力ポート）
P0CBIO2	FLG	0.9CH.2	R/W	$P0C_2$入力／出力選択フラグ（１＝出力ポート）
P0CBIO1	FLG	0.9CH.1	R/W	$P0C_1$入力／出力選択フラグ（１＝出力ポート）
P0CBIO0	FLG	0.9CH.0	R/W	$P0C_0$入力／出力選択フラグ（１＝出力ポート）
ZCROSS	FLG	0.9DH.0	R/W	ゼロクロス検出回路イネーブル・フラグ
IEGMD1	FLG	0.9FH.1	R/W	INT端子エッジ検出選択フラグ・ビット１
IEGMD0	FLG	0.9FH.0	R/W	INT端子エッジ検出選択フラグ・ビット０
ADCSTRT	FLG	0.0A0H.0	R/W	A/Dコンバータ・スタート・フラグ（読み出し時：常に“０”）
ADCSOFT	FLG	0.0A1H.3	R/W	A/Dコンバータ・ソフト制御フラグ（１＝単発モード）
ADCCMP	FLG	0.0A1H.1	R/W	A/Dコンバータ・コンパレータ比較結果フラグ（単発モード時のみ有効）
ADCEND	FLG	0.0A1H.0	R/W	A/Dコンバータ変換終了フラグ
ADCCH3	FLG	0.0A2H.3	R/W	ダミー・フラグ
ADCCH2	FLG	0.0A2H.2	R/W	ダミー・フラグ
ADCCH1	FLG	0.0A2H.1	R/W	A/Dコンバータ・チャネル選択フラグ　ビット１
ADCCH0	FLG	0.0A2H.0	R/W	A/Dコンバータ・チャネル選択フラグ　ビット０
P0DBIO3	FLG	0.0ABH.3	R/W	$P0D_3$入力／出力選択フラグ（１＝出力ポート）
P0DBIO2	FLG	0.0ABH.2	R/W	$P0D_2$入力／出力選択フラグ（１＝出力ポート）
P0DBIO1	FLG	0.0ABH.1	R/W	$P0D_1$入力／出力選択フラグ（１＝出力ポート）
P0DBIO0	FLG	0.0ABH.0	R/W	$P0D_0$入力／出力選択フラグ（１＝出力ポート）

シンボル名	属性	値	Read/Write	説　　明
P1AGIO	FLG	0.0ACH.2	R/W	P1Aグループ入力／出力選択フラグ（1 = P1Aすべて出力ポート）
P0BGIO	FLG	0.0ACH.1	R/W	P0Bグループ入力／出力選択フラグ（1 = P0Bすべて出力ポート）
P0AGIO	FLG	0.0ACH.0	R/W	P0Aグループ入力／出力選択フラグ（1 = P0Aすべて出力ポート）
IPSIO	FLG	0.0AEH.0	R/W	SIO割り込み許可フラグ
IPBTM	FLG	0.0AFH.3	R/W	BTM割り込み許可フラグ
IPTM1	FLG	0.0AFH.2	R/W	TM1割り込み許可フラグ
IPTM0	FLG	0.0AFH.1	R/W	TM0割り込み許可フラグ
IP	FLG	0.0AFH.0	R/W	INT端子割り込み許可フラグ
IRQSIO	FLG	0.0BBH.0	R/W	SIO割り込み要求フラグ
IRQBTM	FLG	0.0BCH.0	R/W	BTM割り込み要求フラグ
IRQTM1	FLG	0.0BDH.0	R/W	TM1割り込み要求フラグ
IRQTM0	FLG	0.0BEH.0	R/W	TM0割り込み要求フラグ
IRQ	FLG	0.0BFH.0	R/W	INT端子割り込み要求フラグ

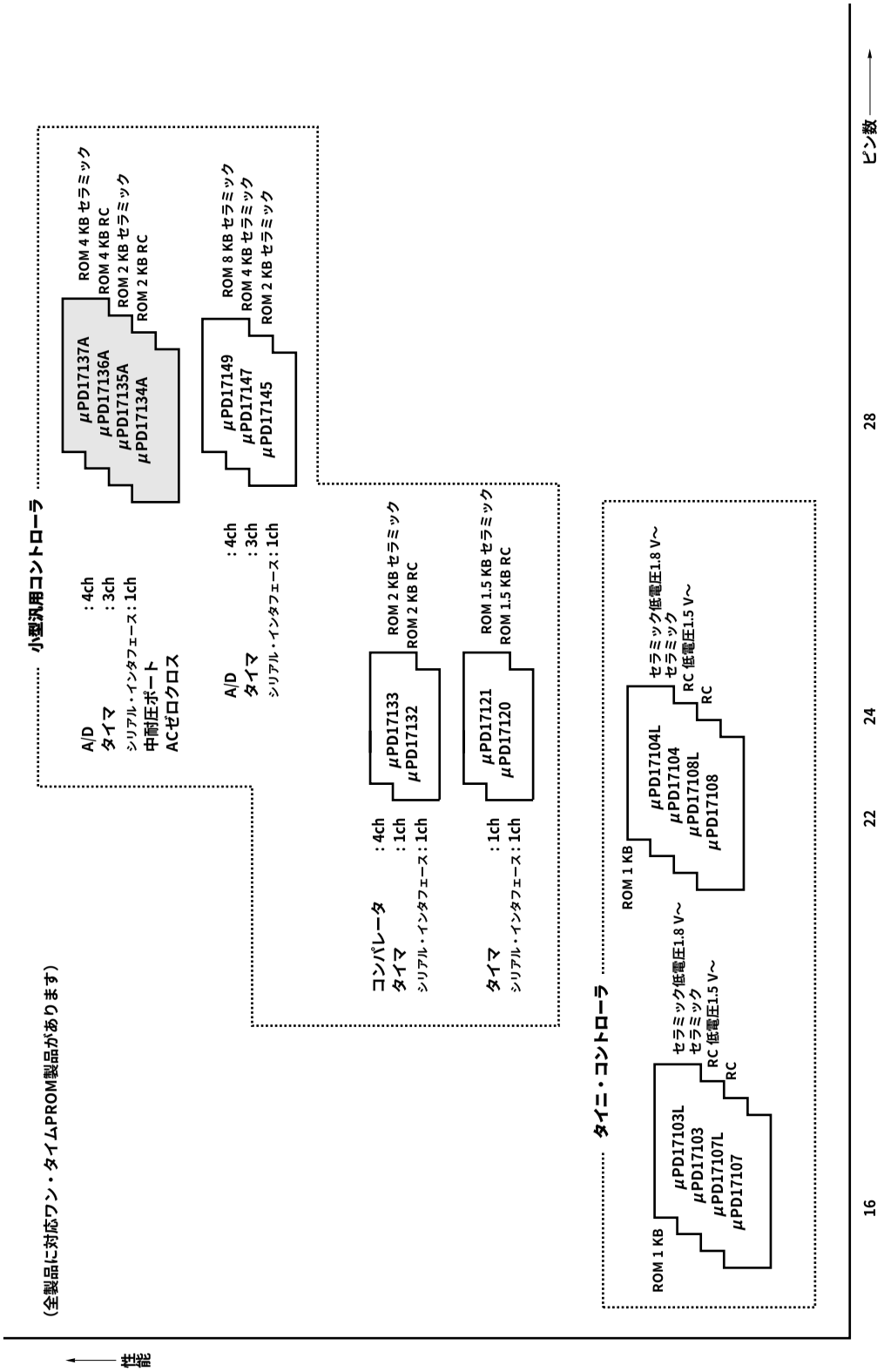
周辺レジスタ

シンボル名	属性	値	Read/Write	説　　明
SIOSFR	DAT	01H	R/W	シフト・レジスタの周辺アドレス
TM0M	DAT	02H	W	タイマ０モジュロ・レジスタの周辺アドレス
TM1M	DAT	03H	W	タイマ１モジュロ・レジスタの周辺アドレス
ADCR	DAT	04H	R/W	A/Dコンバータ・データ・レジスタの周辺アドレス
TM0TM1C	DAT	45H	R	タイマ０タイマ１カウント・レジスタの周辺アドレス
AR	DAT	40H	R/W	GET/PUT/PUSH/CALL/BR/MOVT/INC命令用のアドレス・レジスタの周辺アドレス

その他

シンボル名	属性	値	説　　明
DBF	DAT	0FH	PUT命令，GET命令，MOVT命令の固定オペランド値
IX	DAT	01H	INC命令の固定オペランド値

付録A　μPD171××サブシリーズの展開



★ 付録B　μPD17135A, 17137Aと μPD17145サブシリーズの機能比較

（1／2）

		μPD17145	μPD17147	μPD17149	μPD17135A	μPD17137A
ROM		2Kバイト	4Kバイト	8Kバイト	2Kバイト	4Kバイト
RAM		110×4ビット			112×4ビット	
スタック		アドレス・スタック×5レベル 割り込みスタック×3レベル				
命令実行時間 （クロック，電源電圧）		2μs（f_X = 8 MHz, V_{DD} = 4.5 ～ 5.5 V） 4μs（f_X = 4 MHz, V_{DD} = 3.6 ～ 5.5 V） 8μs（f_X = 2 MHz, V_{DD} = 2.7 ～ 5.5 V）			2μs（f_X = 8 MHz, V_{DD} = 4.5 ～ 5.5 V） 4μs（f_X = 4 MHz, V_{DD} = 2.7 ～ 5.5 V）	
I/O	CMOS入出力	12（P0A, P0B, P0C）				
	入力専用	2（$P0F_0$, $P0F_1$）			1（$P1B_0$）	
	センス入力	1（INT） マスク・オプション・プルアップ可			1（INT）	
	N-chオープン・ドレーン入出力	8（P0D, P0E　耐圧：V_{DD}） P0D プルアップ：ソフトウエア P0E プルアップ：ソフトウエア			8（P0D, P1A　耐圧：9V） P0Dプルアップ：マスク・オプション P1A プルアップ：マスク・オプション	
内蔵プルアップ抵抗		100 kΩ TYP.（P0D 以外） 10 kΩ TYP.（P0D）			100 kΩ TYP.	
A/Dコンバータ （電源電圧）		8ビット×4チャネル （V_{DD} = 4.0 ～ 5.5 V）			8ビット×4チャネル （V_{DD} = 4.5 ～ 5.5 V）	
	基準電圧端子	V_{REF}（V_{REF} = 2.5 V ～ V_{DD}）			なし（V_{REF} = V_{ADC} = V_{DD}）	
タイマ	8ビット （TM0, TM1）	2（タイマ出力：$\overline{TM1OUT}$） TM0クロック：f_X/512 f_X/64 f_X/16 INT TM1クロック：f_X/8192 f_X/128 f_X/16 TM0カウント・アップ			2（タイマ出力：$\overline{TM0OUT}$） TM0クロック：f_X/256 f_X/64 f_X/16 INT TM1クロック：f_X/1024 f_X/512 f_X/256 TM0カウント・アップ	
	ベーシック・インターバル （BTM）	1（ウォッチドッグ・タイマ兼用） カウント・パルス：f_X／16384 f_X／4096 f_X／512 f_X／16			1（ウォッチドッグ・タイマ兼用） カウント・パルス：f_X／8192 f_X／4096 TM0 カウント・アップ INT	

（2／2）

		μPD17145	μPD17147	μPD17149	μPD17135A	μPD17137A
割り込み	外部	1			1 （ACゼロクロス検出あり）	
	内部	4（TM0, TM1, BTM, SIO）				
SIO		1（クロック同期3線式）				
	出力ラッチ	$P0D_1$のラッチとは独立			$P0D_1$のラッチと兼用	
スタンバイ機能		HALT, STOP （解除用入力端子$\overline{RLS}$あり）			HALT, STOP	
発振安定待ち時間		128 ×256 カウント			512 ×256 カウント	
POC 機能		マスク・オプション			内蔵	
パッケージ		28ピン・プラスチックSDIP（400 mil） 28ピン・プラスチックSOP（375 mil）				
ワン・タイムPROM		μPD17P149			μPD17P137A	

注意　μPD17145 サブシリーズとμPD17135A, 17137Aとはピン互換製品ではありません。また，μPD17145 サブシリーズには，μPD17134A, 17136A（RC発振タイプ）に相当する製品はありません。
電気的特性については，それぞれの製品のデータ・シートを参照してください。

備考　f_X：システム・クロック発振周波数

〔メ　モ〕

付録C　開発ツール

μPD17134Aサブシリーズのプログラムを開発するために，以下の開発ツールを用意しています。

ハードウエア

名　　称	概　　要
インサーキット・エミュレータ （IE-17K IE-17K-ET[注1] EMU-17K[注2]）	IE-17K, IE-17K-ET, EMU-17Kは，17Kシリーズ共通のインサーキット・エミュレータです。 IE-17KおよびIE-17K-ETは，ホスト・マシンであるPC-9800シリーズまたはIBM PC/AT™とRS-232-Cを介して接続して使用します。EMU-17Kは，ホスト・マシンであるPC-9800シリーズの拡張用スロットに実装して使用します。 各品種専用のシステム・エバリュエーション・ボード（SEボード）と組み合わせて使用することにより，その品種に対応したエミュレータとして動作します。マン・マシン・インタフェース・ソフトウエアである*SIMPLEHOST*® を使用すると，さらに高度なディバグ環境を実現できます。 また，EMU-17Kは，データ・メモリの内容をリアルタイムで確認できるという機能を備えています。
SEボード （SE-17134）	SE-17134は，μPD17134Aサブシリーズ用のSEボードです。単体でシステム評価に，インサーキット・エミュレータと組み合わせてディバグに使用します。
エミュレーション・プローブ （EP-17K28CT）	EP-17K28CTは，17Kシリーズ28ピン・シュリンクDIP（400 mil）用のエミュレーション・プローブです。SEボードとターゲット・システムを接続します。
エミュレーション・プローブ （EP-17K28GT）	EP-17K28GTは，17Kシリーズ28ピンSOP（375 mil）用のエミュレーション・プローブです。EV-9500GT-28[注3]とともに使用することで，SEボードとターゲット・システムを接続します。
変換アダプタ （EV-9500GT-28[注3]）	EV-9500GT-28は，28ピンSOP（375 mil）用のアダプタです。EP-17K28GTとターゲット・システムを接続するために使用します。
PROMプログラマ （AF-9703[注4] AF-9704[注4] AF-9705[注4] AF-9706[注4]）	AF-9703, AF-9704, AF-9705およびAF-9706は，μPD17P136A, 17P137Aに対応したPROMプログラマです。プログラムアダプタAF-9808Fを接続することにより，μPD17P136A, 17P137Aをプログラミングすることができます。
プログラマアダプタ （AF-9808F[注4]）	AF-9808Fは，μPD17P136A, 17P137Aをプログラミングするためのアダプタです。 AF-9703, AF-9704またはAF-9705, AF-9706と組み合わせて使用します。

注１． 廉価版：電源外付けタイプ

２． 株式会社アイ・シーの製品です。詳細につきましては，株式会社アイ・シー（東京（03）3447-3793）までお問い合わせください。

３． EP-17K28GTをご購入になると，EV-9500GT-28が２個付属されています。また，EV-9500GT-28を５個１組で別売もしています。

注4．安藤電気株式会社の製品です。詳細につきましては，安藤電気株式会社（東京（03）3733-1151）までお問い合わせください。

ソフトウエア

名　称	概　要	ホスト・マシン	OS		供給媒体	オーダ名称
17Kシリーズ アセンブラ（AS17K）	AS17Kは17Kシリーズ共通のアセンブラです。 μPD17134A，17135A，17136A，17137Aのプログラム開発には，このAS17Kとデバイス・ファイル（AS17134）を組み合わせて使用します。	PC-9800シリーズ	MS-DOS™		5インチ2HD	μS5A10AS17K
					3.5インチ2HD	μS5A13AS17K
		IBM PC/AT	PC DOS™		5インチ2HC	μS7B10AS17K
デバイス・ファイル （AS17134）	AS17134はμPD17134A，17135A，17136A，17137A用のデバイス・ファイルが入っています。 17Kシリーズ共通のアセンブラ（AS17K）と組み合わせて使用します。	PC-9800シリーズ	MS-DOS		5インチ2HD	μS5A10AS17134
					3.5インチ2HD	μS5A13AS17134
		IBM PC/AT	PC DOS		5インチ2HC	μS7B10AS17134
サポート・ソフトウエア （*SIMPLEHOST*）	*SIMPLEHOST*はインサーキット・エミュレータとパーソナル・コンピュータを用いてプログラム開発を行うときにWindows™上でマン・マシン・インタフェースを行うソフトウエアです。	PC-9800シリーズ	MS-DOS	Windows	5インチ2HD	μS5A10IE17K
					3.5インチ2HD	μS5A13IE17K
		IBM PC/AT	PC DOS		5インチ2HC	μS7B10IE17K

備考　対応しているOSのバージョンは次のとおりです。

OS	バージョン
MS-DOS	Ver. 3.30～Ver. 5.00A[注]
PC DOS	Ver. 3.1～Ver. 5.0[注]
Windows	Ver.3.0～Ver. 3.1

注　MS-DOSのVer.5.00/5.00A, PC DOSのVer.5.0にはタスク・スワップ機能がありますが，このソフトウエアではタスク・スワップ機能は使用できません。

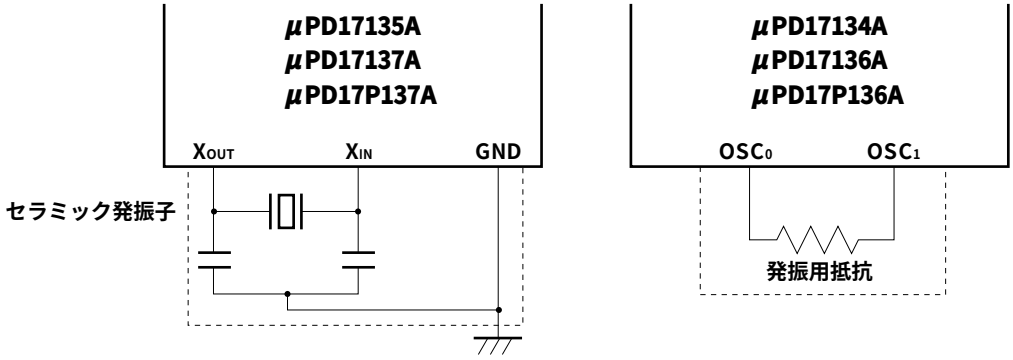
〔メ　モ〕

★ 付録Ｄ　システム・クロック発振回路の構成上の注意

システム・クロック発振回路は，X1, X2端子に接続されたセラミック発振子，またはOSC$_1$，OSC$_0$端子に接続された発振用抵抗によって発振します。

図Ｄ－２にシステム・クロック発振回路の外付け回路を示します。

図Ｄ－１　システム・クロック発振回路の外付け回路



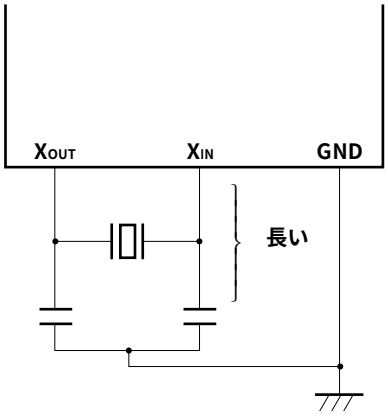
注意　システム・クロック発振回路は，グランド配線の抵抗成分やインダクタンス成分を極力小さくするように配線してください。また，配線容量などの影響を避けるために図Ｄ－１の破線の部分を次のように配線してください。

●配線は極力短くする
●他の信号線と交差させない。また，変化する大電流が流れる線と接近させない。
●発振回路のコンデンサの接地点は，常にVssと同電位になるようにする。大電流が流れるグランド配線に接地しない。
●発振回路から信号を取り出さない。

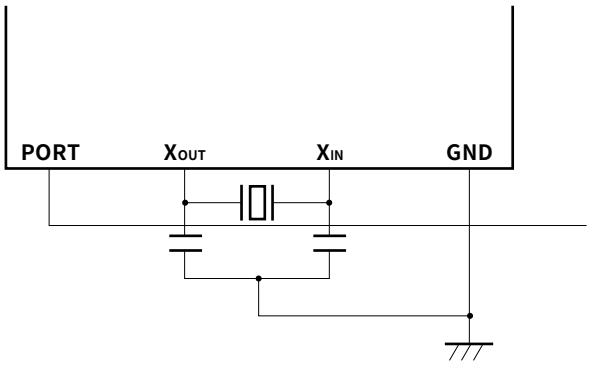
図Ｄ－２に発振回路の悪い例を示します。

図D－2　発振回路の悪い例

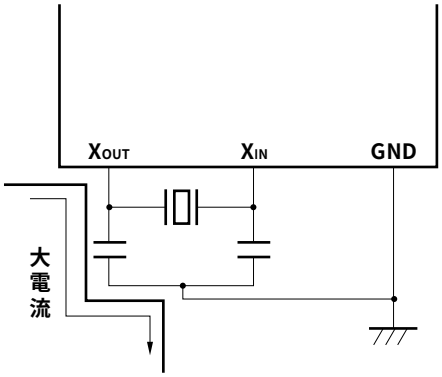
（a）接続回路の配線が長い



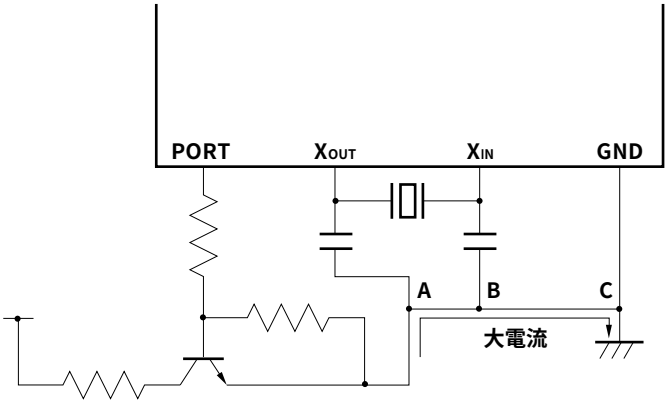
（b）信号線が交差している



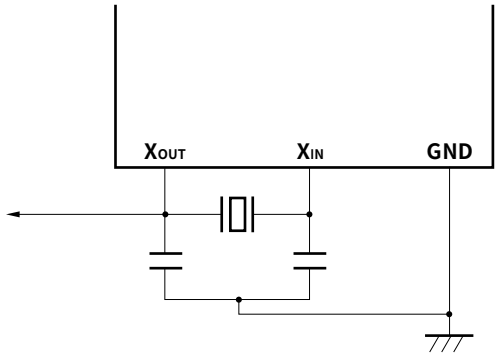
（c）変化する大電流が信号線に近接している



（d）発振回路のグランド・ライン上に電流が流れる
（C点に対してA点，B点の電位が変動する）



（e）信号を取り出している



〔メ　モ〕

付録Ｅ　命令索引

Ｅ.１　命令索引（機能別）

【その他の命令】

E.2　命令索引（アルファベット順）

【S】

【X】

〔メ　モ〕

付録Ｆ　マスクROMの発注方法

プログラム開発が完了しましたら，次の手順でマスクROM品を発注してください。

（１）マスクROM発注の予約

当社特約店あるいは当社販売部門に，マスクROM発注の予定を連絡してください。あらかじめ連絡をいただかないと納品が遅れる場合があります。

（２）発注媒体の作成

マスクROM発注用の媒体はUV-EPROMです。

まず，アセンブラ（AS17K）のアセンブル・オプションに/PROMを追加し，マスクROM発注用HEXファイル（拡張子がPROになります）を作成してください。

次に，マスクROM発注用HEXファイルをUV-EPROMに書き込んでください。

なお，UV-EPROMで発注する場合には同じ内容のUV-EPROMを３個作成してください。

（３）必要書類の作成

マスクROM発注にあたって，下記の書類を記入してください。

・マスク式ROM発注書

・マスク式ROM発注チェック・シート

（４）発　　注

（２）で作成した媒体と（３）で記入した書類とをまとめて，発注予約日までに当社特約店または当社販売部門に渡してください。

注意　詳しくはインフォメーション資料「ROMコードの発注方法」（資料番号　C10302J）をご覧ください。

〔メ　モ〕

アンケート記入のお願い

お手数ですが，このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

［ドキュメント名］μPD17134Aサブシリーズ　ユーザーズ・マニュアル
（U11607JJ3V0UM00（第３版））

［お名前など］（さしつかえのない範囲で）

御社名（学校名，その他）　（　　）
ご住所　（　　）
お電話番号　（　　）
お仕事の内容　（　　）
お名前　（　　）

１．ご評価（各欄に○をご記入ください）

項　　目	大変良い	良　い	普　通	悪　い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン，字の大きさなど					
その他（　　）					
（　　）					

２．わかりやすい所（第　章，第　章，第　章，第　章，その他　　）
理由［　　］

３．わかりにくい所（第　章，第　章，第　章，第　章，その他　　）
理由［　　］

４．ご意見，ご要望

５．このドキュメントをお届けしたのは
NEC販売員，特約店販売員，NEC半導体ソリューション技術本部員，
その他（　　）

ご協力ありがとうございました。
下記あてにFAXで送信いただくか，最寄りの販売員にコピーをお渡しください。

NEC半導体インフォメーションセンター
FAX：（044）548-7900

キリトリ

お問い合わせは，最寄りのＮＥＣへ

【営業関係お問い合わせ先】

半導体第一販売事業部 半導体第二販売事業部 半導体第三販売事業部	〒108-01　東京都港区芝五丁目７番１号（NEC本社ビル）	東　京 (03)3454−1111　(大代表)
中部支社 半導体販売部	〒460　名古屋市中区錦一丁目17番１号（NEC中部ビル）	名古屋 (052)222−2170
関西支社 半導体第一販売部 関西支社 半導体第二販売部 関西支社 半導体第三販売部	〒540　大阪市中央区城見一丁目４番24号（NEC関西ビル）	大　阪 (06) 945−3178 大　阪 (06) 945−3200 大　阪 (06) 945−3208

北海道支社 札　幌	(011)231−0161	宇都宮支店 宇都宮	(028)621−2281	富　山　支　店 富　山	(0764)31−8461
東北支社 仙　台	(022)261−5511	小　山　支　店 小　山	(0285)24−5011	三　重　支　店 津	(0592)25−7341
岩手支店 盛　岡	(0196)51−4344	長　野　支　社 長　野	(026)235−1444	京　都　支　社 京　都	(075)344−7824
山形支店 山　形	(0236)23−5511	松　本　支　店 松　本	(0263)35−1666	神　戸　支　社 神　戸	(078)333−3854
郡山支店 郡　山	(0249)23−5511	上諏訪支店 諏　訪	(0266)53−5350	中　国　支　社 広　島	(082)242−5504
いわき支店 いわき	(0246)21−5511	甲　府　支　店 甲　府	(0552)24−4141	鳥　取　支　店 鳥　取	(0857)27−5311
長岡支店 長　岡	(0258)36−2155	埼　玉　支　社 大　宮	(048)641−1411	岡　山　支　店 岡　山	(086)225−4455
土浦支店 土　浦	(0298)23−6161	立　川　支　社 立　川	(0425)26−5981	四　国　支　社 高　松	(0878)36−1200
水戸支店 水　戸	(0292)26−1717	千　葉　支　社 千　葉	(043)238−8116	新居浜支店 新居浜	(0897)32−5001
神奈川支社 横　浜	(045)324−5511	静　岡　支　社 静　岡	(054)255−2211	松　山　支　店 松　山	(089)945−4111
群馬支店 高　崎	(0273)26−1255	北　陸　支　社 金　沢	(0762)23−1621	九　州　支　社 福　岡	(092)271−7700
太田支店 太　田	(0276)46−4011	福　井　支　店 福　井	(0776)22−1866	北九州支店 北九州	(093)541−2887

【本資料に関する技術お問い合わせ先】

半導体ソリューション技術本部 マイクロコンピュータ技術部	〒210　川崎市幸区塚越三丁目484番地	川　崎	(044)548−7923
半導体販売技術本部 東日本販売技術部	〒108-01　東京都港区芝五丁目7番1号（NEC本社ビル）	東　京	(03)3798−9619
半導体販売技術本部 中部販売技術部	〒460　名古屋市中区錦一丁目17番１号（NEC中部ビル）	名古屋	(052)222−2125
半導体販売技術本部 西日本販売技術部	〒540　大阪市中央区城見一丁目４番24号（NEC関西ビル）	大　阪	(06) 945−3383

半導体
インフォメーションセンター
FAX(044)548−7900
（FAXにてお願い致します）