

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル（暫定

保守／廃止

# SolutionGear<sup>®</sup>-CPU-NU85ET

エバリュエーション・ボード

---

資料番号 U16105JJ1V0UM00（第1版）

発行年月 May 2002 NS CP(K)

© NEC Corporation 2002

[メ モ]

## 目次要約

第 1 章	概 説	...	15
第 2 章	ボードの構成	...	19
第 3 章	GBUS 個別仕様	...	57
第 4 章	GBUS 共通仕様	...	60
第 5 章	ハードウェア・レファレンス	...	74
第 6 章	$\mu$ PD703193 の端子接続	...	92
付録 A	$\mu$ PD703193 のレジスタ	...	97
付録 B	$\mu$ PD703193 の動作モード	...	99

## CMOSデバイスの一般的注意事項

**静電気対策（MOS全般）**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力の処理（CMOS特有）**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態（MOS全般）**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

- **本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。**
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。



## はじめに

- 対象者** このマニュアルは、CPU コア「NU85E」または「NU85ET」を評価するユーザを対象とします。
- 目的** このマニュアルは、SolutionGear-CPU-NU85ET のハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** このマニュアルは、次の内容で構成されています。
- 概説
  - ボードの構成
  - 各ボードの設定
  - ハードウェア・レファレンス
  - $\mu$ PD703193 の端子接続
- 読み方** このマニュアルの読者には、電気、論理回路、マイクロコンピュータに関する一般知識を必要とします。
- 凡例**
- |             |  |
|-------------|--|
| データ表記の重み    | : 左が上位桁、右が下位桁  |
| アクティブ・ロウの表記 | : xxxZ (端子, 信号名称のあとに「Z」)                               |
| 注           | : 本文中につけた注の説明  |
| 注意          | : 気をつけて読んでいただきたい内容                                     |
| 備考          | : 本文の補足説明  |
| 数の表記        | : 2進数 ...xxxx または xxxxB<br>10進数...xxxx<br>16進数...xxxxH |
- 2のべき数を示す接頭語(アドレス空間、メモリ容量):
- |       |                       |
|-------|-----------------------|
| K(キロ) | ... $2^{10} = 1024$   |
| M(メガ) | ... $2^{20} = 1024^2$ |
| G(ギガ) | ... $2^{30} = 1024^3$ |

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

- NU85E ユーザーズ・マニュアル ハードウェア編 (A14874J)
- NU85ET ユーザーズ・マニュアル ハードウェア編 (A15015J)
- V850E1 ユーザーズ・マニュアル アーキテクチャ編 (U14559J)
- メモリ・コントローラ ユーザーズ・マニュアル NU85E, NU85ET 編 (A15019J)
- 命令キャッシュ, データ・キャッシュ ユーザーズ・マニュアル NB85E, NB85ET 編 (A14247J)
- 命令キャッシュ, データ・キャッシュ ユーザーズ・マニュアル NU85E, NU85ET 編 (A15241J)

# 目 次

## 第1章 概 説 ... 15

### 1.1 特 徴 ... 17

### 1.2 基本仕様一覧 ... 18

#### 1.2.1 AP-CPU-NU85ET (CPU ボード) ... 18

#### 1.2.2 AP-GBUS-NU85ET (GBUS ボード) ... 18

## 第2章 ボードの構成 ... 19

### 2.1 電源コネクタ (JACK1) ... 20

### 2.2 スイッチ ... 21

#### 2.2.1 スイッチ 1 (SW1) ... 21

#### 2.2.2 スイッチ 2 (SW2) ... 21

#### 2.2.3 スイッチ 3 (SW3) ... 22

#### 2.2.4 スイッチ 4 (SW4) ... 23

#### 2.2.5 スイッチ 5 (SW5) ... 23

#### 2.2.6 スイッチ 6 (SW6) ... 24

#### 2.2.7 リセット・スイッチ (SW7) ... 25

#### 2.2.8 オプション・スイッチ 1 (OP\_SW1) ... 25

### 2.3 ジャンパ 1~5 (JP1~JP5) , CSSEL ... 26

#### 2.3.1 JP1 (TIC 動作モード選択) ... 26

#### 2.3.2 JP2 ... 27

#### 2.3.3 JP3 (DIP スイッチ・テスト・モード) ... 27

#### 2.3.4 JP4 ... 27

#### 2.3.5 JP5 ... 27

#### 2.3.6 CSSEL ... 27

### 2.4 LED ... 28

#### 2.4.1 POWER LED (D1) ... 28

#### 2.4.2 7SEG-LED ... 28

#### 2.4.3 CS\_LED (D2~D9) ... 28

#### 2.4.4 GOOD\_LED (D11) ... 28

### 2.5 クロック・ソケット (OSC1) ... 29

### 2.6 ROM エミュレータ用接続ピン (TP3~TP5) ... 29

### 2.7 ROM エミュレータ用コネクタ (ROM\_EMU1, ROM\_EMU2) ... 30

### 2.8 シリアル・コネクタ (RS232C\_1, RS232C\_2) ... 33

2.9	パラレル・コネクタ (JH1) ...	34
2.10	ディバグ用コネクタ (NWIRE1, NWIRE2) ...	35
2.11	CPU コネクタ 1~5 (CN1~CN5) ...	37
2.12	マザー・ボード用コネクタ (JGBUS1) ...	56

### 第3章 GBUS 個別仕様 ... 57

3.1	概要 ...	57
3.2	バス・サイクル ...	58
3.3	チップ・セレクト ...	59

### 第4章 GBUS 共通仕様 ... 60

4.1	用語 ...	60
4.2	信号 ...	60
4.3	ピン配置 ...	65
4.4	未使用端子の処理 ...	66
4.5	GCS-[7:0]の割り付け ...	67
4.6	バス・サイクル ...	68
	4.6.1 シングルサイクル ...	68
	4.6.2 バースト・サイクル ...	69
	4.6.3 GWAITI- ...	70
	4.6.4 GBTERM- ...	71
4.7	タイミング ...	72
	4.7.1 セットアップ・タイム ...	72
	4.7.2 デイレイ・タイム ...	73

### 第5章 ハードウェア・レファレンス ... 74

5.1	メモリ・マップ ...	74
5.2	割り込み一覧 ...	77
5.3	MEMC, $\mu$ PD703193 のレジスタの設定 ...	79
5.4	メモリ ...	80
	5.4.1 SDRAM (CS4 領域) ...	80
	5.4.2 SRAM (CS7 領域) ...	80
	5.4.3 フラッシュ・メモリ (CS0 領域) ...	80
	5.4.4 内蔵 ROM ...	80
5.5	I/O ...	81
	5.5.1 SW1 (SW1 読み出しポート) ...	83
	5.5.2 SW2 (SW2 読み出しポート) ...	83

5.5.3	SW3 (SW3 読み出しポート)	...	83
5.5.4	SW4 (SW4 読み出しポート)	...	84
5.5.5	SW6 (SW6 読み出しポート)	...	84
5.5.6	OP_SW1 (OP_SW1 読み出しポート)	...	84
5.5.7	7SEG-LED (7SEG-LED 表示データ出力ポート)	...	85
5.5.8	PIC (割り込みコントローラ)	...	86
5.5.9	TIC (タイマ / カウンタ)	...	88
5.5.10	RS232C_1 (RS-232-C インタフェース)	...	89
5.5.11	RS232C_2 (RS-232-C インタフェース)	...	89
5.5.12	IEEE1284 (パラレル・インタフェース)	...	90
5.5.13	RESET (ソフトウェア・リセット・ポート)	...	91
5.5.14	STAT (接続状態読み出しポート)	...	91

## 第 6 章 $\mu$ PD703193 の端子接続 ... 92

6.1	端子一覧	...	92
6.2	リセット	...	95
6.3	WAITZ 信号	...	96

## 付録 A $\mu$ PD703193 のレジスタ ... 97

A.1	ROM/RAM コンフィギュレーション・レジスタ (RSZ)	...	97
A.2	キャッシュ・サイズ・コントロール・レジスタ (CSZ)	...	98

## 付録 B $\mu$ PD703193 の動作モード ... 99

B.1	動作モード	...	99
B.1.1	ROM レス・モード	...	99
B.1.2	シングルチップ・モード 0	...	99
B.1.3	シングルチップ・モード 1	...	99
B.2	各動作モードの設定	...	100
B.2.1	動作モードの設定	...	100
B.2.2	メモリ・コントローラ (MEMC) の動作許可 / 禁止の設定	...	100
B.2.3	VFB 接続の ROM 領域として使用する RAM の選択	...	101

## 図の目次

図番号	タイトル, ページ
1 - 1	SolutionGear-CPU-NU85ET のブロック図 ... 16
2 - 1	部品配置図 (SolutionGear-CPU-NU85ET) ... 19
2 - 2	電源コネクタ (JACK1) ... 20
2 - 3	TIC の各チャンネルの接続図 ... 26
2 - 4	7SEG-LED ... 28
2 - 5	ROM エミュレータ用コネクタ (ROM_EMU1, ROM_EMU2) ... 30
2 - 6	RS-232-C コネクタ (RS232C_1, RS232C_2) ... 33
2 - 7	パラレル・コネクタ (JH1) ... 34
3 - 1	バス・サイクル ... 58
4 - 1	シングルサイクル ... 68
4 - 2	バースト・サイクル ... 69
4 - 3	GBWAITI-信号によるウエイト挿入 ... 70
4 - 4	GBTERM-信号によるバースト・サイクルの中断 ... 71
4 - 5	セットアップ・タイム ... 72
4 - 6	ディレイ・タイム ... 73
5 - 1	割り込み生成ロジック ... 78
5 - 2	TIC の各チャンネルの接続図 ... 88
6 - 1	リセット生成ロジック ... 95
6 - 2	WAITZ 信号のドライブ部分の構成 ... 96
A - 1	ROM/RAM コンフィギュレーション・レジスタ (RSZ) ... 97
A - 2	キャッシュ・サイズ・コントロール・レジスタ (CSZ) ... 98

## 表の目次 (1/2)

表番号	タイトル, ページ
1 - 1	AP-CPU-NU85ET (CPU ボード) の仕様一覧 ... 18
1 - 2	AP-GBUS-NU85ET (GBUS ボード) の仕様一覧 ... 18
2 - 1	SW1 の設定内容 ... 21
2 - 2	SW2 の設定内容 ... 21
2 - 3	SW3 の設定内容 ... 22
2 - 4	CPU のクロック・モードの設定 ... 22
2 - 5	SW4 の設定内容 ... 23
2 - 6	SW5 の設定内容 ... 23
2 - 7	SW6 の設定内容 ... 24
2 - 8	CPU の動作モードの設定 ... 25
2 - 9	OP_SW1 の設定内容 ... 25
2 - 10	JP1 ~ JP5, CSSEL の設定内容 ... 26
2 - 11	DIP スイッチ・テスト・モード時の各 LED の表示 ... 27
2 - 12	CS_LED の内容 ... 28
2 - 13	ROM エミュレータ用接続ピンの設定内容 ... 29
2 - 14	ROM エミュレータ用コネクタ (ROM_EMU1) の各ピンの信号 ... 31
2 - 15	ROM エミュレータ用コネクタ (ROM_EMU2) の各ピンの信号 ... 32
2 - 16	ディバグ用コネクタ (NWIRE1) の各ピンの信号 ... 35
2 - 17	高速版ディバグ用コネクタ (NWIRE2) の各ピンの信号 ... 36
2 - 18	CPU コネクタ 1 (CN1) ... 37
2 - 19	CPU コネクタ 2 (CN2) ... 41
2 - 20	CPU コネクタ 3 (CN3) ... 45
2 - 21	CPU コネクタ 4 (CN4) ... 49
2 - 22	CPU コネクタ 5 (CN5) ... 53
3 - 1	GBUS 信号機能一覧 ... 57
3 - 2	チップ・セレクト ... 59
4 - 1	用語説明 ... 60
4 - 2	GBUS の信号 ... 61
4 - 3	GBUS のピン配置 ... 65
4 - 4	CPU ボード未接続が可能な信号 ... 66
4 - 5	チップ・セレクト信号 (GCS-[7:0]) の割り付け ... 67
4 - 6	セットアップ・タイム (Min.) ... 72
4 - 7	ディレイ・タイム (Max.) ... 73

## 表の目次 (2/2)

表番号	タイトル, ページ
5 - 1	メモリ I/O 空間 ... 75
5 - 2	割り込み一覧 ... 77
5 - 3	MEMC, $\mu$ PD703193 のレジスタ設定 ... 79
5 - 4	I/O 一覧 ... 81
5 - 5	SW1 読み出しポート ... 83
5 - 6	SW2 読み出しポート ... 83
5 - 7	SW3 読み出しポート ... 83
5 - 8	SW4 読み出しポート ... 84
5 - 9	SW6 読み出しポート ... 84
5 - 10	OP_SW1 読み出しポート ... 84
5 - 11	7SEG-LED 表示データ出力ポート ... 85
5 - 12	PIC のレジスタ一覧 ... 86
5 - 13	INT_MASK レジスタの各ビットと対応する割り込み要因の関係 ... 86
5 - 14	TIC のレジスタ一覧 ... 88
5 - 15	TL16PIR552 (RS232C_1) のレジスタ一覧 ... 89
5 - 16	TL16PIR552 (RS232C_2) のレジスタ一覧 ... 89
5 - 17	TL16PIR552 (IEEE1284) のレジスタ一覧 ... 90
5 - 18	ソフトウェア・リセット・ポート ... 91
5 - 19	接続状態読み出しポート ... 91
6 - 1	リセット要因 ... 95
B - 1	動作モードの設定 ... 100
B - 2	メモリ・コントローラ (MEMC) の動作許可 / 禁止の設定 ... 100
B - 3	VFB 接続の ROM 領域として使用する RAM の選択 ... 101



## 第 1 章 概 説

SolutionGear-CPU-NU85ET は、NEC 製の RISC プロセッサ NB85ET(V850E コア)用の評価ボードです。  
この製品は次に示す 2 つのボードで構成されます。

- AP-CPU-NU85ET : CPU ボード
- AP-GUBS-NU85ET : GBUS ボード

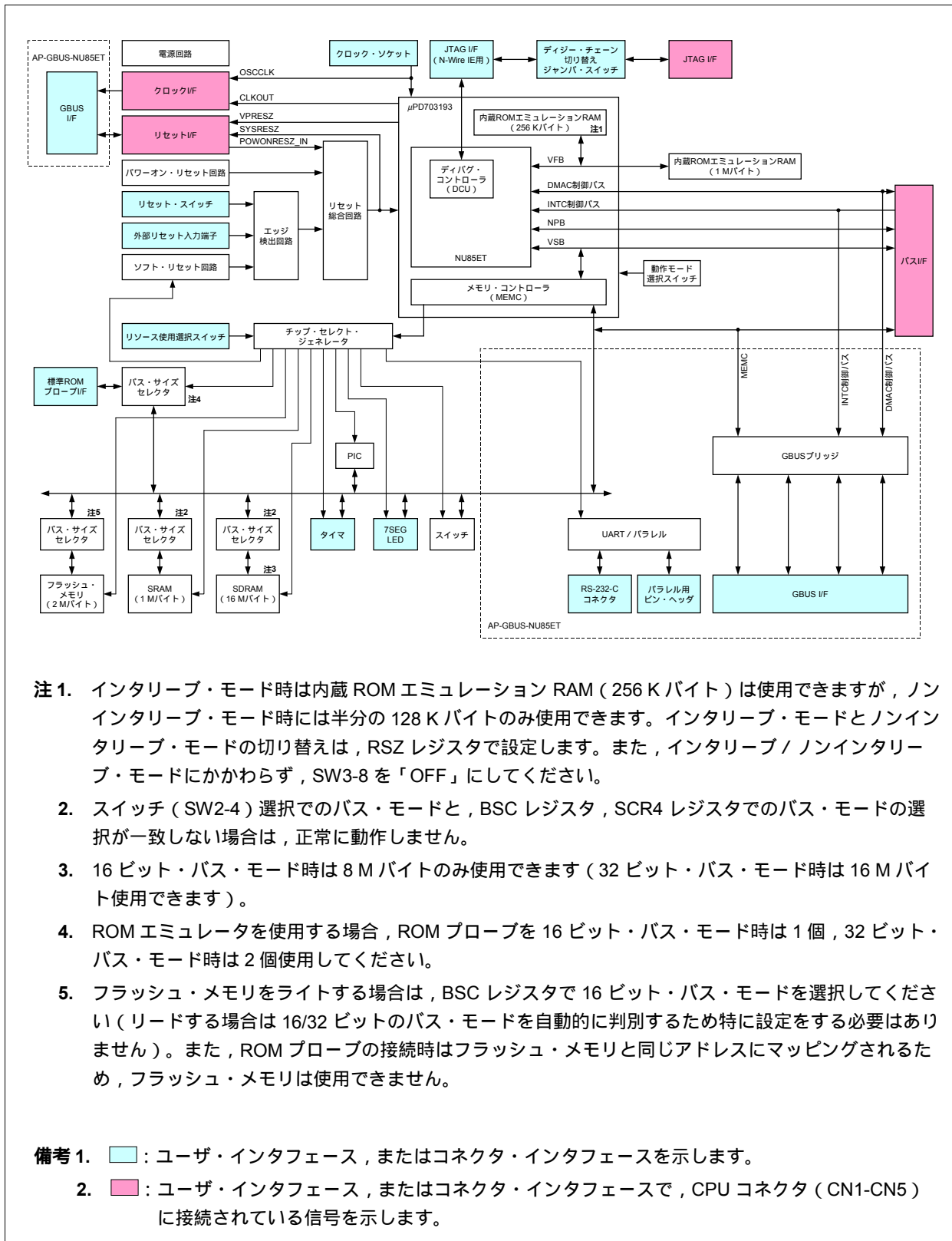
このボードは、最高 85MHz で動作する NU85E とメモリ、シリアル・インタフェース、拡張用のバス・コネクタで構成されます。メモリは、高速 SRAM と大容量 SDRAM を標準で搭載しています。SDRAM は、NB85E の内蔵メモリ・コントローラで制御します。

この製品の機能を用いて、プロセッサの性能評価やデモ、シミュレータの実行エンジン、アプリケーション・プログラムの初期段階の開発などが行えます。

この製品では、開発用のソース・レベル・ディバग्ガとして Green Hills Software™, Inc の MULTI™ と Midas 社製の PARTNER のどちらかを使用できます。なお、使用するディバग्ガによって ROM に搭載するモニタが異なります。モニタについては、ディバग्ガを同時に購入する場合は、購入時にユーザが指定したものが ROM に搭載されます。また、ディバग्ガを同時に購入されなかった場合は、それぞれ別売りされていますので、別途お問い合わせください。

図1-1にCPUボードのブロック図を示します。

図1-1 SolutionGear-CPU-NU85ETのブロック図



## 1.1 特 徴

- NU85ET を内蔵する評価チップ ( $\mu$  PD703193) を搭載
  - NU85ET とメモリ・コントローラ (MEMC : NT85E500, NT85E502) 内蔵
  - 最大動作周波数 : 85 MHz (NU85ET の動作周波数については, **NU85ET ユーザーズ・マニュアル ハードウェア編 (A15015J)** を参照してください)
  - 内蔵 ROM (NU85ET 直結の ROM (VFB に接続)) : 1 M バイト
  - 内蔵 RAM (NU85ET 直結の RAM (VDB に接続)) : 60 K バイト
  - 命令キャッシュ (NB85E213) : 8 K バイト
  - データ・キャッシュ (NB85E263) : 8 K バイト
- 各種インタフェース
  - GBUS インタフェース
  - N-Wire 型インサートキット・エミュレータ・インタフェース (ディバグ用コネクタ)
  - 高速版 N-Wire 型インサートキット・エミュレータ・インタフェース (高速版ディバグ用コネクタ)
  - ROM エミュレータ・インタフェース
- SRAM : 1 M バイト (MEMC (NT85E500) に接続)
- フラッシュ・メモリ : 2 M バイト (MEMC (NT85E500) に接続)
- SDRAM : 16 M バイト (MEMC (NT85E502) に接続)
- タイマ :  $\mu$  PD71054  $\times$  1 (3 チャンネル)
- RS-232-C インタフェース  $\times$  2
- パラレル・インタフェース  $\times$  1

## 1.2 基本仕様一覧

### 1.2.1 AP-CPU-NU85ET (CPU ボード)

表1 - 1 AP-CPU-NU85ET (CPUボード) の仕様一覧

項 目		説 明
CPU		μ PD703193 (NU85ET 内蔵)
動作クロック	CPU クロック	85 MHz
	バス・クロック	85 MHz
電源電圧	CPU ボード単体で使用する場合	+5 V (3 A)
	CPU ボードとベース・ボードを接続して使用する場合	+5 V (3 A) (+5 V を ATX 電源より供給)
メモリ	フラッシュ・メモリ	2 M バイト ( (1 M ワード × 16 ビット) × 1 )
	内蔵 ROM エミュレーション RAM <sup>注</sup>	1 M バイト ( (128 K ワード × 32 ビット) × 2 )
	SRAM	1 M バイト ( (256 K ワード × 16 ビット) × 2 )
	SDRAM	16 M バイト ( (1 M ワード × 16 ビット × 4 バンク) × 2 )
I/O	タイマ	μ PD71054 (分解能 723 ns : 1.38 MHz) (NEC 製)
	I/O ポート	7SEG-LED × 4 : 表示 / スイッチ入力
インタフェース	CPU ボード用コネクタ	各種バス, 制御信号 (CN1 ~ CN5)
	N-Wire インタフェース	ディバグ用コネクタ (NWIRE2)
	高速版 N-Wire インタフェース	高速版ディバグ用コネクタ (NWIRE1)
	ROM エミュレータ・インタフェース	標準 ROM プロブ対応 (ROM_EMU1, ROM_EMU2)

注 内蔵 ROM と同じアクセス時間でフェッチ可能なエミュレーション・メモリがマッピングされ、内蔵 ROM に配置したプログラムをそのままのアドレスで実行できます。

### 1.2.2 AP-GBUS-NU85ET (GBUS ボード)

表1 - 2 AP-GBUS-NU85ET (GBUSボード) の仕様一覧

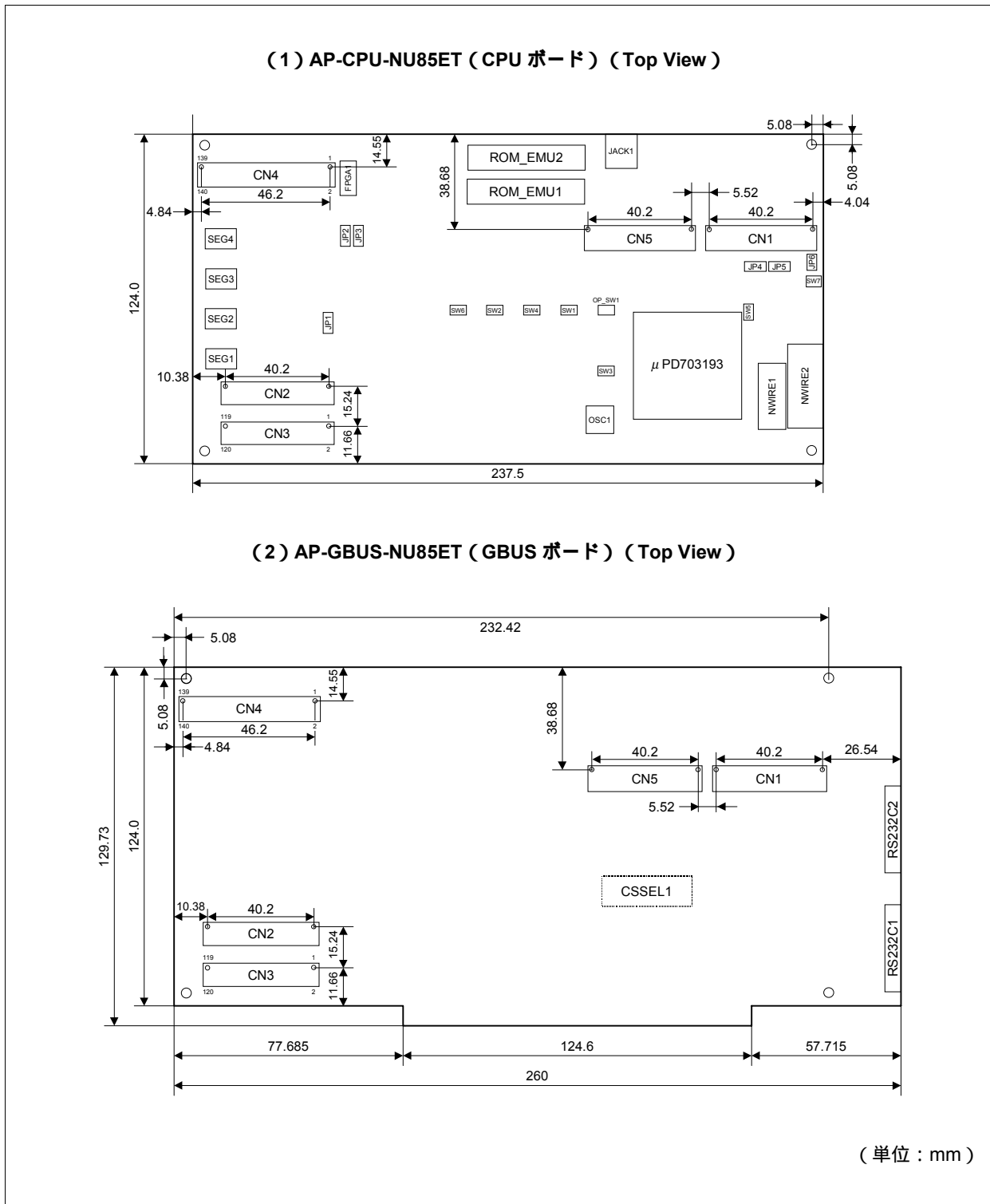
項 目		説 明	
I/O	RS-232-C インタフェース × 2	D-SUB 9 ピン・コネクタ (RS232C1, RS232C2)	TL16PIR552 (Texas Instruments 社製)
	パラレル・インタフェース × 1	26 ピン・ピンヘッダ (JH1)	
インタフェース	GBUS 用コネクタ	GBUS バス, 制御信号 (JBUS1)	
	CPU ボード用コネクタ	各種バス, 制御信号 (CN1 ~ CN5)	

## 第 2 章 ボードの構成

この章では、各部品について説明します。

図 2 - 1 に CPU ボードの主な部品の配置を示します。

図 2 - 1 部品配置図 (SolutionGear-CPU-NU85ET)

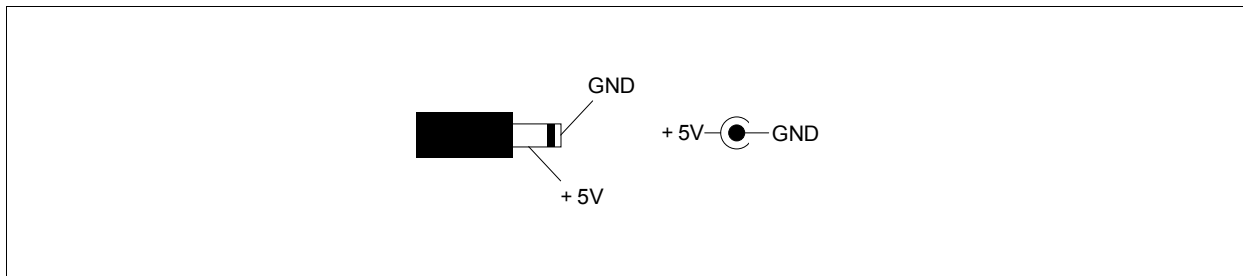


## 2.1 電源コネクタ (JACK1)

JACK1 に供給する電源について次に示します。

- 電圧 : +5 V
- 電流 : 3 A ( Max. )
- 適合コネクタ : Type A ( 5.5 )
- 極性 : 図 2 - 2 参照

図2 - 2 電源コネクタ (JACK1)



**注意** マザー・ボードに接続する場合は、CPU ボードの JACK1 に接続しないでください。

## 2.2 スイッチ

### 2.2.1 スイッチ1 (SW1)

SW1は、汎用の入力ポートです。設定状態は、入力ポートから読み出せます（5.5.1 SW1 (SW1読み出しポート)参照）。ただし、モニタROMを使用する場合は、一部を除き、割り当て済みです。モニタROMでの設定については、モニタROMのマニュアルを参照してください。なお、モニタROMは64Mモードでのみ動作します。

表2-1 SW1の設定内容

番号	信号名	出荷時の設定	機能
1	BOUDRATE0	OFF	将来の拡張用（予約）
2	BOUDRATE1	OFF	将来の拡張用（予約）
3	TIMER0	OFF	将来の拡張用（予約）
4	TIMER1	OFF	将来の拡張用（予約）
5	Reserved	OFF	将来の拡張用（予約）
6	Reserved	OFF	将来の拡張用（予約）
7	Reserved	OFF	将来の拡張用（予約）
8	7SEG	OFF	将来の拡張用（予約）

備考 ON : 0, OFF : 1

### 2.2.2 スイッチ2 (SW2)

SW2は、ボードの動作を切り替えるスイッチです。

設定内容は入力ポートから読み出せます（5.5.2 SW2 (SW2読み出しポート)参照）。

表2-2 SW2の設定内容 (1/2)

番号	信号名	出荷時の設定	機能
1	GBUSFLASHZ	OFF	CS0空間の設定 ON : GBUSのGCS1信号の割り当て空間をマッピングします。 OFF : CPUボードのフラッシュ・メモリをマッピングします。
2	Reserved	OFF	将来の拡張用（予約）
3	Reserved	OFF	将来の拡張用（予約）
4	BSIZE16Z	OFF	SRAM, SDRAMのハードウェア上のバス幅を設定します（この設定に合わせて、BSCレジスタ, SCR4レジスタの設定も必要です）。 ON : 16ビット OFF : 32ビット
5	NMI/INT0	OFF	将来の拡張用（予約）
6	CACHE	OFF	モニタROM使用時のキャッシュの初期化設定を行います。 ON : ボード上の資源をすべてCACHEで初期化します。 OFF : すべての空間をCACHEで初期化します。

備考 ON : 0, OFF : 1

表2-2 SW2の設定内容(2/2)

番号	信号名	出荷時の設定	機能
7	CACHEMODE0	OFF	モニタROM使用時にSW2-6がON(CACHE ON)のときのモードを指定します。 ON : ライト・バック・モード OFF : ライト・スルー・モード
8	CACHEMODE1	OFF	モニタROM使用時にSW2-7がON(ライト・バック・モード)のときのライト・アロケートを指定します。 ON : ライト・アロケート許可 OFF : ライト・アロケート禁止

備考 ON : 0, OFF : 1

### 2.2.3 スイッチ3(SW3)

SW3は、ボードの動作を切り替えるスイッチです。

表2-3 SW3の設定内容

番号	信号名	出荷時の設定	機能
1	CKSEL0	OFF	CPUのクロック・モード(表2-4参照)
2	CKSEL1	OFF	CPUのクロック・モード(表2-4参照)
3	PWAIT0	ON	固定
4	PWAIT1	ON	固定
5	PWAIT2	ON	固定
6	BCLK0	OFF	CPUの動作クロックにあわせたウエイト設定モード
7	BCLK1	OFF	CPUの動作クロックにあわせたウエイト設定モード
8	ROMAA2	OFF	インタリーブ設定(I/Oでのリード不可)。ただし、インタリーブ・モードはSW6-6が「OFF」(内蔵ROMエミュレーション:1Mバイト)時の設定です。SW6-6が「ON」(内蔵ROMエミュレーション:256Kバイト)時は、SW3-8を「OFF」にして使用してください(図1-1 SolutionGear-CPU-NU85ETのプロック図の注1,2を参照)。 ON : ノーマル・モード(ノンインタリーブ・モード) OFF : インタリーブ・モード

備考 ON : 0, OFF : 1

表2-4にCPUのクロック・モードの設定について示します。

表2-4 CPUのクロック・モードの設定

CKSEL1	CKSEL0	クロック・モード	入力クロック	内部システム・クロック
ON	ON	PLLモード(×1)	発振器(ソケット実装)	発振器の周波数×1
ON	OFF	PLLモード(×2)	発振器(ソケット実装)	発振器の周波数×2
OFF	ON	PLLモード(×4)	発振器(ソケット実装)	発振器の周波数×4
OFF	OFF	外部クロック・モード	発振器(ソケット実装)	発振器の周波数×1

備考1. ON : 0, OFF : 1

2. PLLを使用する場合は、内部システム・クロックの周波数が50MHz以上になるように設定してください。



### 2.2.4 スイッチ4 (SW4)

SW4は、オンボードのメモリを選択するスイッチです。

表2-5 SW4の設定内容

番号	信号名	出荷時の設定	機能
1	KILLIOZ	OFF	オンボード I/O の使用選択 (OFF で使用)
2	KILLROMZ	OFF	オンボード・フラッシュ・メモリの使用選択 (OFF で使用)
3	KILLSRAMZ	OFF	オンボード SRAM の使用選択 (OFF で使用)
4	KILLSDRAMZ	OFF	オンボード SDRAM の使用選択 (OFF で使用)
5	Reserved	OFF	将来の拡張用 (予約)
6	Reserved	OFF	将来の拡張用 (予約)
7	Reserved	OFF	将来の拡張用 (予約)
8	Reserved	OFF	将来の拡張用 (予約)

備考 ON : 0 , OFF : 1

### 2.2.5 スイッチ5 (SW5)

SW5は、オンボードの割り込みを切り替えるスイッチです。

表2-6 SW5の設定内容

番号	信号名	出荷時の設定	機能
1	INT10	ON	ON : GINT01 INT10 に入力 OFF : INT10
2	INT11	ON	ON : GINT02 INT11 に入力 OFF : INT11
3	INT12	ON	ON : GINT03 INT12 に入力 OFF : INT12
4	INT13	ON	ON : TIC_OUT1 <sup>注</sup> INT13 に入力 OFF : INT13
5	INT0	OFF	ON : PIC0 出力 INT0 に入力 OFF : INT0
6	NMI0	ON	ON : ROM エミュレータ割り込み NMI0 に入力 OFF : NMI0
7	NMI1	ON	ON : GINT00 NMI1 に入力 OFF : NMI1
8	NMI2	ON	ON : PIC0 出力 NMI2 に入力 OFF : NMI2

注 タイマ ( $\mu$ PD71054) の OUT1 端子

備考 ON : 0 , OFF : 1

## 2.2.6 スイッチ6 (SW6)

SW6は、 $\mu$ PD703193の動作モードとVSBデータ・バス・サイズを設定します。

OFFで「1」、ONで「0」です(MODE5～MODE0端子については、**B.1 動作モード**を参照してください)。出荷時は、次のように設定されています。

- シングルチップ・モード0
- VSBデータ・バス・サイズ：32ビット

表2-7 SW6の設定内容

番号	信号名	出荷時の設定	機能
1	MODE0	ON	CPUの動作モード (設定については表2-8を参照してください)
2	MODE1	ON	
3	MODE2	OFF	
4	MODE3	ON	
5	MODE4	OFF	メモリ・コントローラ(MEMC)の動作許可 ON：内蔵メモリ・コントローラ動作禁止 OFF：内蔵メモリ・コントローラ動作許可
6	MODE5	OFF	内部ROMサイズ、外部VSB使用の選択 <sup>※</sup> ON：内蔵ROMエミュレーション(256Kバイト)、外部VSB使用可能 OFF：内蔵ROMエミュレーション(1Mバイト)、外部VSB使用不可
7	IFIMAEN	OFF	ミスアライン動作の選択 ON：ミスアライン動作禁止 OFF：ミスアライン動作許可
8	Reserved	OFF	将来の拡張用(予約)

注 ROMレス・モードで使用する場合は、必ずMODE5をONにしてください。

備考 ON：0，OFF：1

表2-8 CPUの動作モードの設定

MODE3	MODE2	MODE1	MODE0	CPUの動作モード	VSB データ・バス幅
ON	ON	ON	ON	シングルチップ・モード0 (64 M バイト・モード) (ROM 領域を 0000000H から配置)	16 ビット
ON	ON	ON	OFF	シングルチップ・モード1 (64 M バイト・モード) (ROM 領域を 0100000H から配置)	16 ビット
ON	ON	OFF	ON	ROM レス・モード (64 M バイト・モード)	16 ビット
ON	OFF	ON	ON	シングルチップ・モード0 (64 M バイト・モード) (ROM 領域を 0000000H から配置)	32 ビット
ON	OFF	ON	OFF	シングルチップ・モード1 (64 M バイト・モード) (ROM 領域を 0100000H から配置)	32 ビット
ON	OFF	OFF	ON	ROM レス・モード (64 M バイト・モード)	32 ビット
OFF	ON	OFF	ON	ROM レス・モード (256 M バイト・モード)	16 ビット
OFF	OFF	OFF	ON	ROM レス・モード (256 M バイト・モード)	32 ビット
上記以外				設定禁止	

備考 ON : 0 , OFF : 1

### 2.2.7 リセット・スイッチ (SW7)

SW7 はボード全体のリセット・スイッチです。このスイッチを押すと $\mu$ PD703193 を含むすべての回路がリセットされます。

**注意** N-Wire 型インサーキット・エミュレータを使用時にブレーク中、デバッグにより $\mu$ PD703193 に対するリセットがマスクされることがあります。この場合はシステムが完全にリセットされるため、リセット・スイッチを押したあとにデバッグ上でリセット・コマンドを実行してください。

### 2.2.8 オプション・スイッチ1 (OP\_SW1)

OP\_SW1 の設定状態を I/O 空間から読み出すことができます (詳細については、5.5 I/O を参照してください)。スイッチを OFF にすると論理「1」が、ON にすると論理「0」が読み出されます。

表2-9 OP\_SW1の設定内容

番号	信号名	出荷時の設定	機能
1	OPTION0	OFF	ユーザ用
2	OPTION1	OFF	ユーザ用
3	OPTION2	OFF	ユーザ用
4	OPTION3	OFF	ユーザ用
5	OPTION4	OFF	ユーザ用
6	OPTION5	OFF	ユーザ用
7	OPTION6	OFF	ユーザ用
8	OPTION7	OFF	ユーザ用

備考 ON : 論理「0」, OFF : 論理「1」

## 2.3 ジャンパ1~5 (JP1~JP5) , CSSEL

JP1~JP5の機能(切り替え)について次に示します。

表2-10 JP1~JP5, CSSELの設定内容

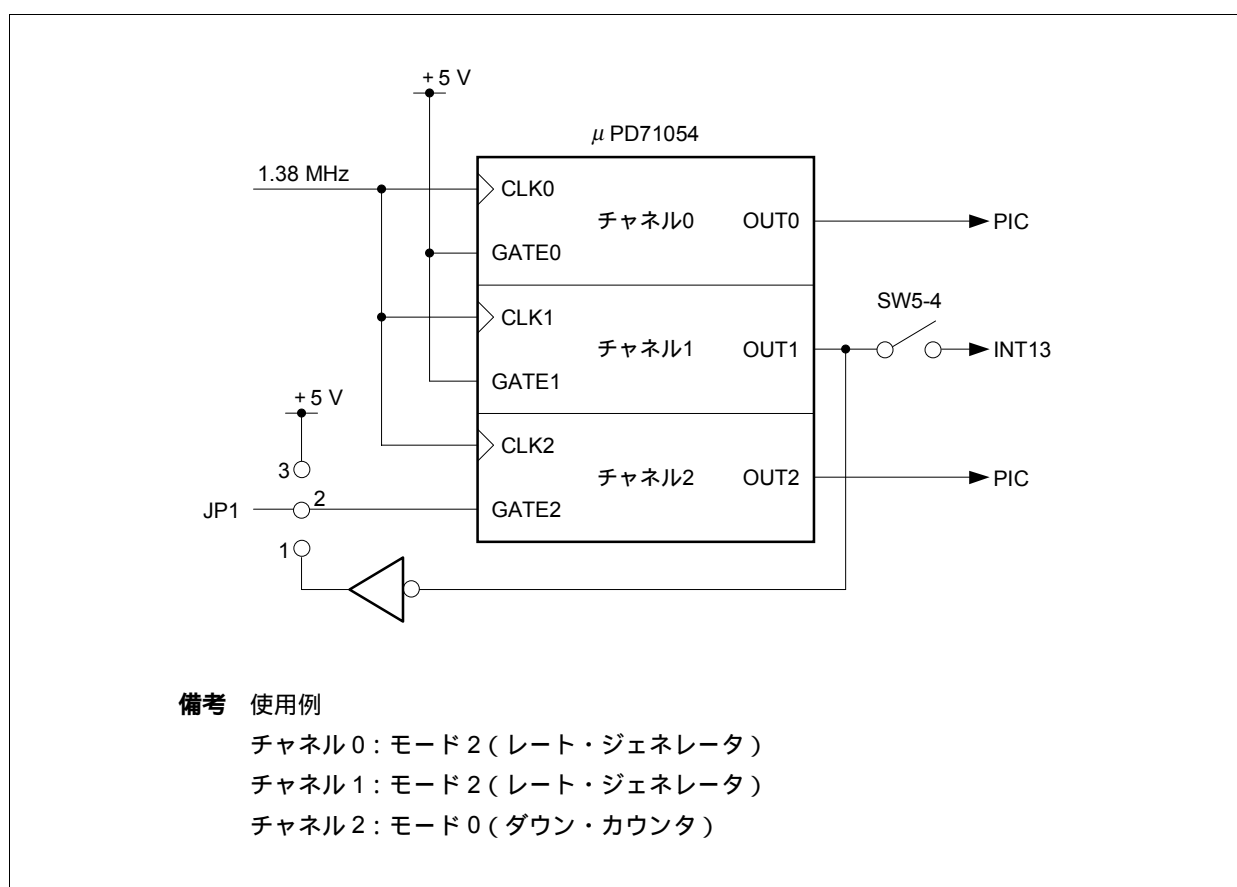
ジャンパ	出荷時の設定	1-2 ショート時	2-3 ショート時
JP1	2-3	TM2 (カスケード動作モード)	TM2 (シングル動作モード)
JP2	2-3	-	通常使用時 (デフォルト)
JP3	2-3	DIP スイッチ・テスト・モード	通常使用時 (デフォルト)
JP4	1-2	デバッグ用コネクタ (固定)	設定禁止
JP5	1-2	高速版デバッグ用コネクタ (固定)	設定禁止
CSSEL <sup>注</sup>	1-2	GBUS 空間設定 (固定)	設定禁止

注 GBUS ポート (AP-GBUS-NU85ET) にあります。

### 2.3.1 JP1 (TIC 動作モード選択) (出荷時: 2-3 ショート)

JP1はTICのチャンネル2を単独で使用するか、チャンネル1とカスケード接続するかを切り替えるためのジャンパです。

図2-3 TICの各チャンネルの接続図



### 2.3.2 JP2 (出荷時 : 2-3 ショート)

JP2 は将来の拡張用のジャンパです。出荷時の設定の状態 (デフォルト) で使用してください。

### 2.3.3 JP3 (DIP スイッチ・テスト・モード) (出荷時 : 2-3 ショート)

JP3 は DIP スイッチ・テスト・モードを実行するためのジャンパです。

DIP スイッチ・テスト・モードを実行すると、7SEG\_LED (SEG1) と CS\_LED (D2-D9) を使用して各スイッチの設定状態を約 3 秒ごとに表示して、スイッチの接触を確認することができます。

**注意** JP3 (DIP スイッチ・テスト・モード) を切り替えるときは、必ず電源を切断してから行ってください。また、DIP スイッチ・テスト・モード中はボード全体がリセットされます。

表2-11 DIPスイッチ・テスト・モード時の各LEDの表示

7SEG_LED (SEG1) の表示	CS_LED の表示							
	CS7 (D9)	CS6 (D8)	CS5 (D7)	CS4 (D6)	CS3 (D5)	CS2 (D4)	CS1 (D3)	CS0 (D2)
-	点灯	点灯	点灯	点灯	点灯	点灯	点灯	点灯
1	SW1-8	SW1-7	SW1-6	SW1-5	SW1-4	SW1-3	SW1-2	SW1-1
2	SW2-8	SW2-7	SW2-6	SW2-5	SW2-4	SW2-3	SW2-2	SW2-1
3	点灯	SW3-7	SW3-6	SW3-5	SW3-4	SW3-3	SW3-2	SW3-1
4	SW4-8	SW4-7	SW4-6	SW4-5	SW4-4	SW4-3	SW4-2	SW4-1
6	SW6-8	SW6-7	SW6-6	SW6-5	SW6-4	SW6-3	SW6-2	SW6-1
0	OP_SW1-8	OP_SW1-7	OP_SW1-6	OP_SW1-5	OP_SW1-4	OP_SW1-3	OP_SW1-2	OP_SW1-1
-	点灯	点灯	点灯	点灯	点灯	点灯	点灯	点灯

**注意** SW3-8, SW5 は DIP スイッチ・テスト・モードでは確認できません。

**備考** 各スイッチが ON になっていると点灯, OFF になっていると消灯します。

### 2.3.4 JP4 (出荷時 : 1-2 ショート)

JP4 は N-Wire 型インサーキット・エミュレータを使用するためのジャンパです。

出荷時の状態 (デフォルト) で使用してください。

### 2.3.5 JP5 (出荷時 : 1-2 ショート)

JP5 は高速版 N-Wire 型インサーキット・エミュレータを使用するためのジャンパです。

出荷時の状態 (デフォルト) で使用してください。

### 2.3.6 CSSEL (出荷時 : 1-2 ショート)

CSSEL は GBUS 空間の拡張用ジャンパです。

出荷時の状態 (デフォルト) で使用してください。

## 2.4 LED

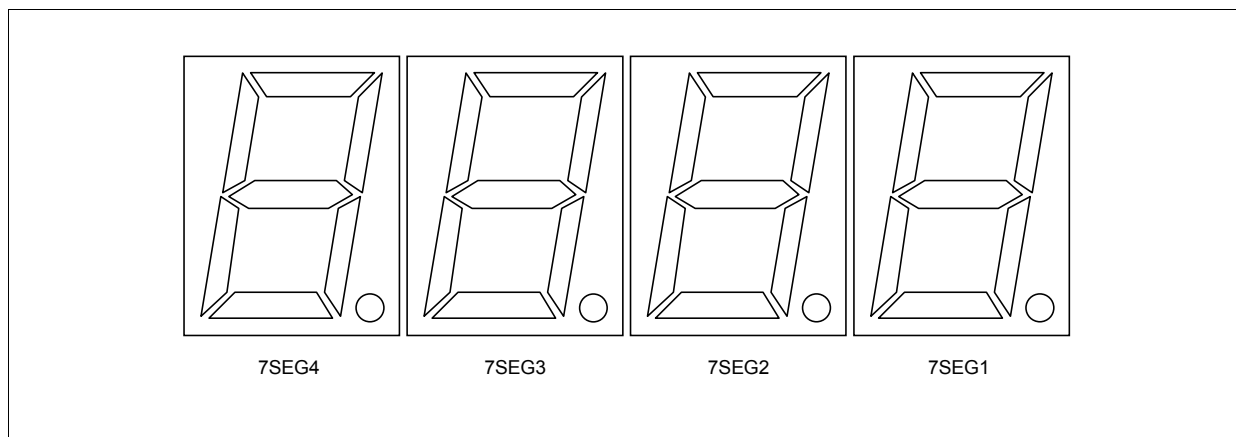
### 2.4.1 POWER LED (D1)

POWER LED (D1) は、電源が供給されていると点灯します。

### 2.4.2 7SEG-LED

7SEG1~7SEG4 の4つのLEDで構成されます。各LEDは、ユーザ・プログラムで自由に使用できます。

図2-4 7SEG-LED



### 2.4.3 CS\_LED (D2~D9)

CS\_LED は、メモリ・コントローラ (NT85E500) の CS 空間にアクセス (RDZ, WRZ3-WRZ0) しているときに点灯します。ただし、SDRAM 空間に対するアクセス、NPB, VSB に対するアクセス時は点灯しません。

表2-12 CS\_LEDの内容

CS_LED		内容
CS0_LED	D2	CS0 空間アクセス時
CS1_LED	D3	CS1 空間アクセス時
CS2_LED	D4	CS2 空間アクセス時
CS3_LED	D5	CS3 空間アクセス時
CS4_LED	D6	CS4 空間アクセス時
CS5_LED	D7	CS5 空間アクセス時
CS6_LED	D8	CS6 空間アクセス時
CS7_LED	D9	CS7 空間アクセス時

### 2.4.4 GOOD\_LED (D11)

GOOD\_LED は、CPU ボードをコントロールする FPGA に正常にデータがロードされたことを示す LED です。FPGA へのデータのロードが完了すると点灯します。

## 2.5 クロック・ソケット (OSC1)

OSC1 ソケットには、 $\mu$ PD703193 に供給するクロックのためのオシレータ (OSC) を実装します。

OSC は、DIP 8 ピン・タイプで 3.3 V 出力 (ハーフ・タイプ) のものを実装してください。

この製品の CPU ボードでは、85 MHz オシレータ (OSC) を実装しています。

## 2.6 ROM エミュレータ用接続ピン (TP3 ~ TP5)

ROM エミュレータ用接続ピン (TP3, TP4) は、ROM エミュレータを接続する際に使用する接続ピンです。次に示す制御信号を入力します。ただし、ROM エミュレータの種類により使用しないことがあります。

表2 - 13 ROMエミュレータ用接続ピンの設定内容

ピン名称	信号名	入出力	機能
TP4	ROM_RESET	入力	ROM エミュレータからのリセット要求信号を入力します。 ロウ・レベル入力により、 $\mu$ PD703193 がリセットされます。 +5 V へ 1 k $\Omega$ のプルアップ抵抗が接続されています。
TP3 <sup>※</sup>	ROM_NMI	入力	ROM エミュレータからの NMI 要求信号を入力します。 ロウ・レベル入力により、 $\mu$ PD703193 に NMI 要求を行います (4.2 割り込み一 覧を参照してください)。 +5 V へ 1 k $\Omega$ のプルアップ抵抗が接続されています。
TP5	GND	-	ROM エミュレータの GND 端子と接続します。

注 TP3 を使用する場合は、SW5-6 (NMI0) を ON にしてください。

## 2.7 ROM エミュレータ用コネクタ (ROM\_EMU1, ROM\_EMU2)

16 ビット ROM プローブを接続するコネクタです。

ROM\_EMU1 が下位 16 ビット, ROM\_EMU2 が上位 16 ビットとなっています。

### (1) 16 ビット・バスで ROM エミュレーションする場合

ROM\_EMU1 に ROM プローブを接続してください。

### (2) 32 ビット・バスで ROM エミュレーションする場合

ROM\_EMU1 に下位側, ROM\_EMU2 に上位側の ROM プローブを接続してください。

図 2 - 5 に ROM エミュレータ用コネクタ (ROM\_EMU1, ROM\_EMU2) のピン配置を示します。

図2 - 5 ROMエミュレータ用コネクタ (ROM\_EMU1, ROM\_EMU2)

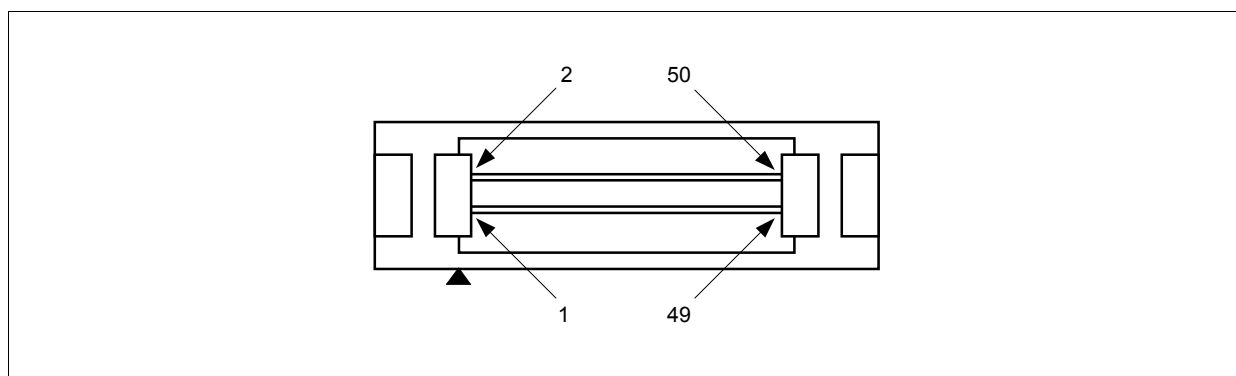


表 2 - 14 に ROM エミュレータ用コネクタ (ROM\_EMU1) , 表 2 - 15 に ROM エミュレータ用コネクタ (ROM\_EMU2) の各ピンの信号を示します。



表2 - 14 ROMエミュレータ用コネクタ (ROM\_EMU1) の各ピンの信号

ピン番号	信号名	ピン番号	信号名
1	GND	2	A2 ( A1 )
3	A3 ( A2 )	4	A4 ( A3 )
5	A5 ( A4 )	6	A6 ( A5 )
7	A7 ( A6 )	8	A8 ( A7 )
9	A9 ( A8 )	10	A10 ( A9 )
11	A11 ( A10 )	12	A12 ( A11 )
13	A13 ( A12 )	14	A14 ( A13 )
15	A15 ( A14 )	16	A16 ( A15 )
17	A17 ( A16 )	18	A18 ( A17 )
19	A19 ( A18 )	20	A20 ( A19 )
21	A21 ( A20 )	22	GND
23	GND	24	GND
25	3.3 Vへ10 k $\Omega$ の抵抗を介してプルアップ処理	26	INHZ
27	3.3 Vへ10 k $\Omega$ の抵抗を介してプルアップ処理	28	GND
29	CEZ	30	GND
31	OEZ	32	PSENSE ( 3.3 V 接続 )
33	D0	34	D1
35	D2	36	D3
37	D4	38	D5
39	D6	40	D7
41	D8	42	D9
43	D10	44	D11
45	D12	46	D13
47	D14	48	D15
49	GND	50	GND

**備考** ピン番号 2-21 のかっこ内の信号名は ROM プローブを 1 本使用して, ROM\_EMU1 のみを接続した場合の信号名です。

表2 - 15 ROMエミュレータ用コネクタ (ROM\_EMU2) の各ピンの信号

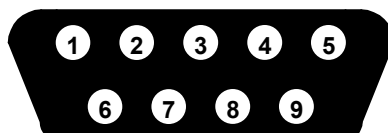
ピン番号	信号名	ピン番号	信号名
1	GND	2	A2
3	A3	4	A4
5	A5	6	A6
7	A7	8	A8
9	A9	10	A10
11	A11	12	A12
13	A13	14	A14
15	A15	16	A16
17	A17	18	A18
19	A19	20	A20
21	A21	22	GND
23	GND	24	GND
25	3.3 Vへ10 kΩの抵抗を介してプルアップ処理	26	INHZ
27	3.3 Vへ10 kΩの抵抗を介してプルアップ処理	28	GND
29	CEZ	30	GND
31	OEZ	32	PSENSE (3.3 V 接続)
33	D16	34	D17
35	D18	36	D19
37	D20	38	D21
39	D22	40	D23
41	D24	42	D25
43	D26	44	D27
45	D28	46	D29
47	D30	48	D31
49	GND	50	GND

## 2.8 シリアル・コネクタ (RS232C\_1, RS232C\_2)

RS-232-C コネクタは、ボード上の RS-232-C コネクタ (TL16PIR552) によって制御される RS-232-C インタフェース用のコネクタです。

コネクタは、PC/AT 互換機で用いられる一般的な D-SUB 9 ピン (オス) となっています。ピン番号と信号名を次に示します。

図2 - 6 RS-232-Cコネクタ (RS232C\_1, RS232C\_2)



ピン番号	信号名	入出力	ホスト接続時のホスト側ピン番号 <sup>注</sup>	
			D-SUB9 ピンの場合	D-SUB25 ピンの場合
1	DCD	入力	-	-
2	RxD (RD)	入力	3	2
3	TxD (SD)	出力	2	3
4	DTR (DR)	出力	1, 6	6, 8
5	GND	-	5	7
6	DSR (ER)	入力	4	20
7	RTS (RS)	出力	8	5
8	CTS (CS)	入力	7	4
9	RI	入力	-	-

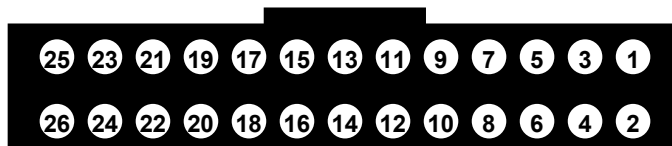
**注** ホストと接続する場合の接続信号について、ホスト側が D-SUB9 ピンの場合と D-SUB25 ピンの場合の布線をそれぞれ示してあります (一般的なクロス・ケーブルの布線です)。

## 2.9 パラレル・コネクタ (JH1)

パラレル・コネクタは、ボード上のパラレル・コントローラ (TL16PIR552) によって制御されるパラレル・インタフェース用のコネクタです。

コネクタは、2.54 mm ピッチの 26 ピン・ヘッダ型になっています。ピン番号と信号名を次に示します。

図2-7 パラレル・コネクタ (JH1)



ピン番号	信号名	ピン番号	信号名
1	STB	2	AUTO_FD
3	D0	4	ERROR
5	D1	6	INIT
7	D2	8	SELECT_IN
9	D3	10	GND
11	D4	12	GND
13	D5	14	GND
15	D6	16	GND
17	D7	18	GND
19	ACK	20	GND
21	BUSY	22	GND
23	PE	24	GND
25	SELECT	26	NC

## 2.10 ディバグ用コネクタ (NWIRE1, NWIRE2)

NWIRE1, NWIRE2 は、NU85ET のディバグ機能を利用したディバグ・ツールを接続するためのコネクタです。

表 2 - 16 にディバグ用コネクタ (NWIRE1) , 表 2 - 17 に高速版ディバグ用コネクタ (NWIRE2) の各ピンの信号を示します。

表2 - 16 ディバグ用コネクタ (NWIRE1) の各ピンの信号

ピン番号	信号名	ピン番号	信号名
A1	TRCCLK	B1	GND
A2	TRCDATA0	B2	GND
A3	TRCDATA1	B3	GND
A4	TRCDATA2	B4	GND
A5	TRCDATA3	B5	GND
A6	TRCEND	B6	GND
A7	DDI	B7	GND
A8	DCK	B8	GND
A9	DMS	B9	GND
A10	DDO	B10	GND
A11	DRSTZ	B11	EVTTRG
A12	DBINT	B12	NC
A13	NC	B13	+ 3.3 V

表2 - 17 高速版デバッグ用コネクタ (NWIRE2) の各ピンの信号

ピン番号	信号名	ピン番号	信号名
1	GND	20	TRCCE
2	GND	21	TRCDATA0
3	DCK	22	TRCDATA8
4	+ 3.3 V	23	TRCDATA1
5	DMS	24	TRCDATA9
6	DRSTZ	25	TRCDATA2
7	DDI	26	TRCDATA10
8	PORT0_OUT ( DBINT )	27	TRCDATA3
9	DDO	28	TRCDATA11
10	PORT1_OUT	29	TRCDATA4
11	NC	30	TRCDATA12
12	PORT2_OUT	31	TRCDATA5
13	NC	32	TRCDATA13
14	PORT0_IN ( EVTTRG )	33	TRCDATA6
15	NC	34	TRCDATA14
16	PORT1_IN	35	TRCDATA7
17	TRCCLK	36	TRCDATA15
18	PORT2_IN	37	GND
19	TRCEND	38	GND

## 2.11 CPU コネクタ 1~5 (CN1~CN5)

表2-18~表2-22にCPUコネクタの詳細を示します。表中で使用している表記の意味を次に示します。

- CPU コネクタ : CPU コネクタ (CN1~CN5) の番号です。
- 入出力 : CPU ボード側から見た入出力方向を示します (I: 入力, O: 出力)。

表2-18 CPUコネクタ1 (CN1) (1/4)

CPU コネクタ	信号名	入出力	備 考
CN1-001	GND	-	-
CN1-002	GND	-	-
CN1-003	GND	-	-
CN1-004	GND	-	-
CN1-005	DMARQ0	I	47 kΩプルダウン
CN1-006	DMARQ1	I	47 kΩプルダウン
CN1-007	DMARQ2	I	47 kΩプルダウン
CN1-008	DMARQ3	I	47 kΩプルダウン
CN1-009	DMTCO0	O	-
CN1-010	DMTCO1	O	-
CN1-011	DMTCO2	O	-
CN1-012	DMTCO3	O	-
CN1-013	GND	-	-
CN1-014	GND	-	-
CN1-015	DMACTV0	O	-
CN1-016	DMACTV1	O	-
CN1-017	DMACTV2	O	-
CN1-018	DMACTV3	O	-
CN1-019	IDMASTP	I	47 kΩプルダウン
CN1-020	VPD15	I/O	47 kΩプルダウン
CN1-021	VPD14	I/O	47 kΩプルダウン
CN1-022	VPD13	I/O	47 kΩプルダウン
CN1-023	GND	-	-
CN1-024	GND	-	-
CN1-025	VPD12	I/O	47 kΩプルダウン
CN1-026	VPD11	I/O	47 kΩプルダウン
CN1-027	VPD10	I/O	47 kΩプルダウン
CN1-028	VPD09	I/O	47 kΩプルダウン
CN1-029	VPD08	I/O	47 kΩプルダウン
CN1-030	VPD07	I/O	47 kΩプルダウン
CN1-031	VPD06	I/O	47 kΩプルダウン

表2-18 CPUコネクタ1 (CN1) (2/4)

CPU コネクタ	信号名	入出力	備 考
CN1-032	VPD05	I/O	47 kΩプルダウン
CN1-033	GND	-	-
CN1-034	GND	-	-
CN1-035	VPD04	I/O	47 kΩプルダウン
CN1-036	VPD03	I/O	47 kΩプルダウン
CN1-037	VPD02	I/O	47 kΩプルダウン
CN1-038	VPD01	I/O	47 kΩプルダウン
CN1-039	VPD00	I/O	47 kΩプルダウン
CN1-040	VPA13	O	-
CN1-041	VPA12	O	-
CN1-042	VPA11	O	-
CN1-043	GND	-	-
CN1-044	GND	-	-
CN1-045	VPA10	O	-
CN1-046	VPA09	O	-
CN1-047	VPA08	O	-
CN1-048	VPA07	O	-
CN1-049	VPA06	O	-
CN1-050	VPA05	O	-
CN1-051	VPA04	O	-
CN1-052	VPA03	O	-
CN1-053	GND	-	-
CN1-054	GND	-	-
CN1-055	VPA02	O	-
CN1-056	VPA01	O	-
CN1-057	VPA00	O	-
CN1-058	VPWRITE	O	-
CN1-059	VPUBENZ	O	-
CN1-060	VPSTB	O	-
CN1-061	VPRETR	I	47 kΩプルダウン
CN1-062	VPLOCK	O	-
CN1-063	VPDACT	I	10 kΩプルアップ
CN1-064	GBUSFLASH	O	予約 (オープン)
CN1-065	GND	-	-
CN1-066	GND	-	-
CN1-067	GINTO0	I	予約 (オープン)
CN1-068	GINTO1	I	予約 (オープン)
CN1-069	GINTO2	I	予約 (オープン)



表2 - 18 CPUコネクタ1 (CN1) (3/4)

CPU コネクタ	信号名	入出力	備 考
CN1-070	GINTO3	I	予約 (オープン)
CN1-071	GINTI0	O	予約 (オープン)
CN1-072	GINTI1	O	予約 (オープン)
CN1-073	MCONNECT	I	予約 (オープン)
CN1-074	GCONNECT	I	予約 (オープン)
CN1-075	VPRESZ	O	-
CN1-076	SYSRESZ	O	パワーオン・リセット (ロウ・レベル有効)
CN1-077	SYSRES	O	パワーオン・リセット (ハイ・レベル有効)
CN1-078	POWONREZ_IN	I	パワーオン・リセット (ロウ・レベル有効) 10 k $\Omega$ プルアップ (未使用時はオープン)
CN1-079	GND	-	-
CN1-080	GND	-	-
CN1-081	DCK	O	ディバグ出力
CN1-082	DDI	O	ディバグ出力
CN1-083	RMODE	O	ディバグ出力
CN1-084	DDO	I	ディバグ入力 (未使用時はオープン)
CN1-085	DRSTZ	O	ディバグ出力
CN1-086	DMS	O	ディバグ出力
CN1-087	EVTRG	O	$\mu$ PD703193 出力
CN1-088	DBINT	O	ディバグ出力
CN1-089	5 V	-	アダプタ使用時は外部からの電圧供給禁止
CN1-090	5 V	-	
CN1-091	5 V	-	
CN1-092	5 V	-	
CN1-093	5 V	-	
CN1-094	5 V	-	
CN1-095	5 V	-	
CN1-096	5 V	-	
CN1-097	5 V	-	
CN1-098	5 V	-	
CN1-099	5 V	-	
CN1-100	5 V	-	
CN1-101	5 V	-	
CN1-102	5 V	-	
CN1-103	5 V	-	
CN1-104	5 V	-	
CN1-105	5 V	-	
CN1-106	5 V	-	

表2 - 18 CPUコネクタ1 (CN1) (4/4)

CPU コネクタ	信号名	入出力	備 考
CN1-107	5 V	-	アダプタ使用時は外部からの電圧供給禁止
CN1-108	5 V	-	
CN1-109	5 V	-	
CN1-110	5 V	-	
CN1-111	5 V	-	
CN1-112	5 V	-	
CN1-113	5 V	-	アダプタ使用時は外部からの電圧供給禁止
CN1-114	5 V	-	
CN1-115	5 V	-	
CN1-116	5 V	-	
CN1-117	5 V	-	
CN1-118	5 V	-	
CN1-119	5 V	-	
CN1-120	5 V	-	

表2-19 CPUコネクタ2 (CN2) (1/4)

CPU コネクタ	信号名	入出力	備 考
CN2-001	GND	-	-
CN2-002	GND	-	-
CN2-003	GND	-	-
CN2-004	GND	-	-
CN2-005	VBDI00	I	47 kΩプルダウン
CN2-006	VBDI01	I	47 kΩプルダウン
CN2-007	VBDI02	I	47 kΩプルダウン
CN2-008	VBDI03	I	47 kΩプルダウン
CN2-009	VBDI04	I	47 kΩプルダウン
CN2-010	VBDI05	I	47 kΩプルダウン
CN2-011	VBDI06	I	47 kΩプルダウン
CN2-012	VBDI07	I	47 kΩプルダウン
CN2-013	GND	-	-
CN2-014	GND	-	-
CN2-015	VBDI08	I	47 kΩプルダウン
CN2-016	VBDI09	I	47 kΩプルダウン
CN2-017	VBDI10	I	47 kΩプルダウン
CN2-018	VBDI11	I	47 kΩプルダウン
CN2-019	VBDI12	I	47 kΩプルダウン
CN2-020	VBDI13	I	47 kΩプルダウン
CN2-021	VBDI14	I	47 kΩプルダウン
CN2-022	VBDI15	I	47 kΩプルダウン
CN2-023	GND	-	-
CN2-024	GND	-	-
CN2-025	VBDI16	I	47 kΩプルダウン
CN2-026	VBDI17	I	47 kΩプルダウン
CN2-027	VBDI18	I	47 kΩプルダウン
CN2-028	VBDI19	I	47 kΩプルダウン
CN2-029	VBDI20	I	47 kΩプルダウン
CN2-030	VBDI21	I	47 kΩプルダウン
CN2-031	VBDI22	I	47 kΩプルダウン
CN2-032	VBDI23	I	47 kΩプルダウン
CN2-033	GND	-	-
CN2-034	GND	-	-
CN2-035	VBDI24	I	47 kΩプルダウン
CN2-036	VBDI25	I	47 kΩプルダウン
CN2-037	VBDI26	I	47 kΩプルダウン
CN2-038	VBDI27	I	47 kΩプルダウン

表2-19 CPUコネクタ2 (CN2) (2/4)

CPU コネクタ	信号名	入出力	備 考
CN2-039	VBDI28	I	47 kΩプルダウン
CN2-040	VBDI29	I	47 kΩプルダウン
CN2-041	VBDI30	I	47 kΩプルダウン
CN2-042	VBDI31	I	47 kΩプルダウン
CN2-043	GND	-	-
CN2-044	GND	-	-
CN2-045	VMBENZ0	O	VSB 未使用時は 100 kΩプルダウン
CN2-046	VMBENZ1	O	VSB 未使用時は 100 kΩプルダウン
CN2-047	VMBENZ2	O	VSB 未使用時は 100 kΩプルダウン
CN2-048	VMBENZ3	O	VSB 未使用時は 100 kΩプルダウン
CN2-049	VMSTZ	O	VSB 未使用時は 100 kΩプルダウン
CN2-050	VMTTYP0	O	VSB 未使用時は 100 kΩプルダウン
CN2-051	VMTTYP1	O	VSB 未使用時は 100 kΩプルダウン
CN2-052	VMA00	O	VSB 未使用時は 100 kΩプルダウン
CN2-053	GND	-	-
CN2-054	GND	-	-
CN2-055	VMA01	O	VSB 未使用時は 100 kΩプルダウン
CN2-056	VMA02	O	VSB 未使用時は 100 kΩプルダウン
CN2-057	VMA03	O	VSB 未使用時は 100 kΩプルダウン
CN2-058	VMA04	O	VSB 未使用時は 100 kΩプルダウン
CN2-059	VMA05	O	VSB 未使用時は 100 kΩプルダウン
CN2-060	VMA06	O	VSB 未使用時は 100 kΩプルダウン
CN2-061	VMA07	O	VSB 未使用時は 100 kΩプルダウン
CN2-062	VMA08	O	VSB 未使用時は 100 kΩプルダウン
CN2-063	GND	-	-
CN2-064	GND	-	-
CN2-065	VMA09	O	VSB 未使用時は 100 kΩプルダウン
CN2-066	VMA10	O	VSB 未使用時は 100 kΩプルダウン
CN2-067	VMA11	O	VSB 未使用時は 100 kΩプルダウン
CN2-068	VMA12	O	VSB 未使用時は 100 kΩプルダウン
CN2-069	VMA13	O	VSB 未使用時は 100 kΩプルダウン
CN2-070	VMA14	O	VSB 未使用時は 100 kΩプルダウン
CN2-071	VMA15	O	VSB 未使用時は 100 kΩプルダウン
CN2-072	VMA16	O	VSB 未使用時は 100 kΩプルダウン
CN2-073	GND	-	-
CN2-074	GND	-	-
CN2-075	VMA17	O	VSB 未使用時は 100 kΩプルダウン
CN2-076	VMA18	O	VSB 未使用時は 100 kΩプルダウン
CN2-077	VMA19	O	VSB 未使用時は 100 kΩプルダウン

表2-19 CPUコネクタ2 (CN2) (3/4)

CPU コネクタ	信号名	入出力	備 考
CN2-078	VMA20	O	VSB 未使用時は 100 kΩプルダウン
CN2-079	VMA21	O	VSB 未使用時は 100 kΩプルダウン
CN2-080	VMA22	O	VSB 未使用時は 100 kΩプルダウン
CN2-081	VMA23	O	VSB 未使用時は 100 kΩプルダウン
CN2-082	VMA24	O	VSB 未使用時は 100 kΩプルダウン
CN2-083	GND	-	-
CN2-084	GND	-	-
CN2-085	VMA25	O	VSB 未使用時は 100 kΩプルダウン
CN2-086	VMA26	O	VSB 未使用時は 100 kΩプルダウン
CN2-087	VMA27	O	VSB 未使用時は 100 kΩプルダウン
CN2-088	VBDO00	O	VSB 未使用時は 100 kΩプルダウン
CN2-089	VBDO01	O	VSB 未使用時は 100 kΩプルダウン
CN2-090	VBDO02	O	VSB 未使用時は 100 kΩプルダウン
CN2-091	VBDO03	O	VSB 未使用時は 100 kΩプルダウン
CN2-092	VBDO04	O	VSB 未使用時は 100 kΩプルダウン
CN2-093	GND	-	-
CN2-094	GND	-	-
CN2-095	VBDO05	O	VSB 未使用時は 100 kΩプルダウン
CN2-096	VBDO06	O	VSB 未使用時は 100 kΩプルダウン
CN2-097	VBDO07	O	VSB 未使用時は 100 kΩプルダウン
CN2-098	VBDO08	O	VSB 未使用時は 100 kΩプルダウン
CN2-099	VBDO09	O	VSB 未使用時は 100 kΩプルダウン
CN2-100	VBDO10	O	VSB 未使用時は 100 kΩプルダウン
CN2-101	VBDO11	O	VSB 未使用時は 100 kΩプルダウン
CN2-102	VBDO12	O	VSB 未使用時は 100 kΩプルダウン
CN2-103	GND	-	-
CN2-104	GND	-	-
CN2-105	VBDO13	O	VSB 未使用時は 100 kΩプルダウン
CN2-106	VBDO14	O	VSB 未使用時は 100 kΩプルダウン
CN2-107	VBDO15	O	VSB 未使用時は 100 kΩプルダウン
CN2-108	VBDO16	O	VSB 未使用時は 100 kΩプルダウン
CN2-109	VBDO17	O	VSB 未使用時は 100 kΩプルダウン
CN2-110	VBDO18	O	VSB 未使用時は 100 kΩプルダウン
CN2-111	VBDO19	O	VSB 未使用時は 100 kΩプルダウン
CN2-112	VBDO20	O	VSB 未使用時は 100 kΩプルダウン
CN2-113	GND	-	-
CN2-114	GND	-	-
CN2-115	CS_USBZ	O	予約 (オープン)
CN2-116	CS_LANZ	O	予約 (オープン)

表2 - 19 CPUコネクタ2 (CN2) (4/4)

CPU コネクタ	信号名	入出力	備 考
CN2-117	GND	-	-
CN2-118	GND	-	-
CN2-119	GND	-	-
CN2-120	GND	-	-

表2-20 CPUコネクタ3 (CN3) (1/4)

CPU コネクタ	信号名	入出力	備 考
CN3-001	GND	-	-
CN3-002	GND	-	-
CN3-003	GND	-	-
CN3-004	GND	-	-
CN3-005	VBDO21	O	VSB 未使用時は 100 kΩプルダウン
CN3-006	VBDO22	O	VSB 未使用時は 100 kΩプルダウン
CN3-007	VBDO23	O	VSB 未使用時は 100 kΩプルダウン
CN3-008	VBDO24	O	VSB 未使用時は 100 kΩプルダウン
CN3-009	VBDO25	O	VSB 未使用時は 100 kΩプルダウン
CN3-010	VBDO26	O	VSB 未使用時は 100 kΩプルダウン
CN3-011	VBDO27	O	VSB 未使用時は 100 kΩプルダウン
CN3-012	VBDO28	O	VSB 未使用時は 100 kΩプルダウン
CN3-013	GND	-	-
CN3-014	GND	-	-
CN3-015	VBDO29	O	VSB 未使用時は 100 kΩプルダウン
CN3-016	VBDO30	O	VSB 未使用時は 100 kΩプルダウン
CN3-017	VBDO31	O	VSB 未使用時は 100 kΩプルダウン
CN3-018	VSAHLD	O	予約 (オープン)
CN3-019	VSLAST	O	予約 (オープン)
CN3-020	VSLOCK	I	予約 (オープン)
CN3-021	VSWAIT	O	予約 (オープン)
CN3-022	VBDV	O	VSB 未使用時は 100 kΩプルダウン
CN3-023	GND	-	-
CN3-024	GND	-	-
CN3-025	VBDC	O	VSB 未使用時は 100 kΩプルダウン
CN3-026	VSWRITE	I	予約 (オープン)
CN3-027	VSBENZ1	I	予約 (オープン)
CN3-028	VSSTZ	I	予約 (オープン)
CN3-029	VSA00	I	予約 (オープン)
CN3-030	VSA01	I	予約 (オープン)
CN3-031	VSA02	I	予約 (オープン)
CN3-032	VSA03	I	予約 (オープン)
CN3-033	GND	-	-
CN3-034	GND	-	-
CN3-035	VSA04	I	予約 (オープン)
CN3-036	VSA05	I	予約 (オープン)
CN3-037	VSA06	I	予約 (オープン)
CN3-038	VSA07	I	予約 (オープン)
CN3-039	VSA08	I	予約 (オープン)

表2 - 20 CPUコネクタ3 (CN3) (2/4)

CPU コネクタ	信号名	入出力	備 考
CN3-040	VSA09	I	予約 (オープン)
CN3-041	VSA10	I	予約 (オープン)
CN3-042	VSA11	I	予約 (オープン)
CN3-043	GND	-	-
CN3-044	GND	-	-
CN3-045	VSA12	I	予約 (オープン)
CN3-046	VSA13	I	予約 (オープン)
CN3-047	VDSELPZ	O	VSB 未使用時は 100 kΩプルダウン
CN3-048	VMAHLD	I	47 KΩプルダウン
CN3-049	VMLAST	I	47 KΩプルダウン
CN3-050	VMWAIT	I	47 KΩプルダウン
CN3-051	VMBSTR	O	VSB 未使用時は 100 kΩプルダウン
CN3-052	VMSEQ0	O	VSB 未使用時は 100 kΩプルダウン
CN3-053	GND	-	-
CN3-054	GND	-	-
CN3-055	VMSEQ1	O	VSB 未使用時は 100 kΩプルダウン
CN3-056	VMSEQ2	O	VSB 未使用時は 100 kΩプルダウン
CN3-057	VMCTYP0	O	VSB 未使用時は 100 kΩプルダウン
CN3-058	VMCTYP1	O	VSB 未使用時は 100 kΩプルダウン
CN3-059	VMCTYP2	O	VSB 未使用時は 100 kΩプルダウン
CN3-060	VMLOCK	O	VSB 未使用時は 100 kΩプルダウン
CN3-061	VMWRITE	O	VSB 未使用時は 100 kΩプルダウン
CN3-062	VMSIZE0	O	VSB 未使用時は 100 kΩプルダウン
CN3-063	GND	-	-
CN3-064	GND	-	-
CN3-065	VMSIZE1	O	VSB 未使用時は 100 kΩプルダウン
CN3-066	VSSELPZ	I	予約 (オープン)
CN3-067	VDCSZ0	O	-
CN3-068	VDCSZ1	O	-
CN3-069	VDCSZ2	O	-
CN3-070	VDCSZ3	O	-
CN3-071	VDCSZ4	O	-
CN3-072	VDCSZ5	O	-
CN3-073	GND	-	-
CN3-074	GND	-	-
CN3-075	VDCSZ6	O	-
CN3-076	VDCSZ7	O	-
CN3-077	VAACK	O	-
CN3-078	VAPREQ	O	-



表2 - 20 CPUコネクタ3 (CN3) (3/4)

CPU コネクタ	信号名	入出力	備 考
CN3-079	VAREQ	I	47 kΩプルダウン
CN3-080	GACONNECT	I	予約 (オープン)
CN3-081	BCONNECT	I	予約 (オープン)
CN3-082	INTLAN	I	予約 (オープン)
CN3-083	GND	-	-
CN3-084	GND	-	-
CN3-085	INTUSB	I	予約 (オープン)
CN3-086	CONNECT2_1	I	予約 (オープン)
CN3-087	CONNECT2_2	I	予約 (オープン)
CN3-088	CONNECT2_3	I	予約 (オープン)
CN3-089	CONNECT2_4	I	予約 (オープン)
CN3-090	CONNECT2_5	I	予約 (オープン)
CN3-091	CONNECT2_6	I	予約 (オープン)
CN3-092	CONNECT2_7	I	予約 (オープン)
CN3-093	GND	-	-
CN3-094	GND	-	-
CN3-095	NC	-	予約 (オープン)
CN3-096	NC	-	予約 (オープン)
CN3-097	NC	-	予約 (オープン)
CN3-098	NC	-	予約 (オープン)
CN3-099	NC	-	予約 (オープン)
CN3-100	NC	-	予約 (オープン)
CN3-101	NC	-	予約 (オープン)
CN3-102	NC	-	予約 (オープン)
CN3-103	GND	-	-
CN3-104	GND	-	-
CN3-105	PORT0	I/O	予約 (オープン)
CN3-106	PORT1	I/O	予約 (オープン)
CN3-107	PORT2	I/O	予約 (オープン)
CN3-108	PORT3	I/O	予約 (オープン)
CN3-109	NC	-	予約 (オープン)
CN3-110	NC	-	予約 (オープン)
CN3-111	NC	-	予約 (オープン)
CN3-112	NC	-	予約 (オープン)
CN3-113	NC	-	予約 (オープン)
CN3-114	NC	-	予約 (オープン)
CN3-115	NC	-	予約 (オープン)
CN3-116	NC	-	予約 (オープン)
CN3-117	GND	-	-

表2 - 20 CPUコネクタ3 (CN3) (4/4)

CPU コネクタ	信号名	入出力	備 考
CN3-118	GND	-	-
CN3-119	GND	-	-
CN3-120	GND	-	-

表2-21 CPUコネクタ4 (CN4) (1/4)

CPU コネクタ	信号名	入出力	備 考
CN4-001	GND	-	-
CN4-002	GND	-	-
CN4-003	GND	-	-
CN4-004	GND	-	-
CN4-005	OSCCLK	O	μ PD703193 入力クロックと同相 (CLKIN)
CN4-006	CLKOUT	O	μ PD703193 の出力
CN4-007	GND	-	-
CN4-008	GND	-	-
CN4-009	3 V	O	予約 (オープン)
CN4-010	2.5 V	O	予約 (オープン)
CN4-011	3 V	O	予約 (オープン)
CN4-012	2.5 V	O	予約 (オープン)
CN4-013	3 V	O	予約 (オープン)
CN4-014	NMI2	I	47 kΩプルダウン
CN4-015	NMI1	I	47 kΩプルダウン
CN4-016	NMI0	I	47 kΩプルダウン
CN4-017	GND	-	-
CN4-018	GND	-	-
CN4-019	INT63	I	47 kΩプルダウン
CN4-020	INT62	I	47 kΩプルダウン
CN4-021	INT61	I	47 kΩプルダウン
CN4-022	INT60	I	47 kΩプルダウン
CN4-023	INT59	I	47 kΩプルダウン
CN4-024	INT58	I	47 kΩプルダウン
CN4-025	INT57	I	47 kΩプルダウン
CN4-026	INT56	I	47 kΩプルダウン
CN4-027	INT55	I	47 kΩプルダウン
CN4-028	INT54	I	47 kΩプルダウン
CN4-029	INT53	I	47 kΩプルダウン
CN4-030	INT52	I	47 kΩプルダウン
CN4-031	INT51	I	47 kΩプルダウン
CN4-032	INT50	I	47 kΩプルダウン
CN4-033	INT49	I	47 kΩプルダウン
CN4-034	INT48	I	47 kΩプルダウン
CN4-035	INT47	I	47 kΩプルダウン
CN4-036	INT46	I	47 kΩプルダウン
CN4-037	INT45	I	47 kΩプルダウン
CN4-038	INT44	I	47 kΩプルダウン
CN4-039	INT43	I	47 kΩプルダウン

表2-21 CPUコネクタ4 (CN4) (2/4)

CPU コネクタ	信号名	入出力	備 考
CN4-040	INT42	I	47 kΩプルダウン
CN4-041	INT41	I	47 kΩプルダウン
CN4-042	INT40	I	47 kΩプルダウン
CN4-043	INT39	I	47 kΩプルダウン
CN4-044	INT38	I	47 kΩプルダウン
CN4-045	INT37	I	47 kΩプルダウン
CN4-046	INT36	I	47 kΩプルダウン
CN4-047	INT35	I	47 kΩプルダウン
CN4-048	INT34	I	47 kΩプルダウン
CN4-049	INT33	I	47 kΩプルダウン
CN4-050	INT32	I	47 kΩプルダウン
CN4-051	GND	-	-
CN4-052	GND	-	-
CN4-053	INT31	I	47 kΩプルダウン
CN4-054	INT30	I	47 kΩプルダウン
CN4-055	INT29	I	47 kΩプルダウン
CN4-056	INT28	I	47 kΩプルダウン
CN4-057	INT27	I	47 kΩプルダウン
CN4-058	INT26	I	47 kΩプルダウン
CN4-059	INT25	I	47 kΩプルダウン
CN4-060	INT24	I	47 kΩプルダウン
CN4-061	INT23	I	47 kΩプルダウン
CN4-062	INT22	I	47 kΩプルダウン
CN4-063	INT21	I	47 kΩプルダウン
CN4-064	INT20	I	47 kΩプルダウン
CN4-065	INT19	I	47 kΩプルダウン
CN4-066	INT18	I	47 kΩプルダウン
CN4-067	INT17	I	47 kΩプルダウン
CN4-068	INT16	I	47 kΩプルダウン
CN4-069	INT15	I	47 kΩプルダウン
CN4-070	INT14	I	47 kΩプルダウン
CN4-071	INT13	I	47 kΩプルダウン
CN4-072	INT12	I	47 kΩプルダウン
CN4-073	INT11	I	47 kΩプルダウン
CN4-074	INT10	I	47 kΩプルダウン
CN4-075	INT09	I	47 kΩプルダウン
CN4-076	INT08	I	47 kΩプルダウン
CN4-077	INT07	I	47 kΩプルダウン
CN4-078	INT06	I	47 kΩプルダウン

表2 - 21 CPUコネクタ4 (CN4) (3/4)

CPU コネクタ	信号名	入出力	備 考
CN4-079	INT05	I	47 kΩプルダウン
CN4-080	INT04	I	47 kΩプルダウン
CN4-081	INT03	I	47 kΩプルダウン
CN4-082	INT02	I	47 kΩプルダウン
CN4-083	INT01	I	47 kΩプルダウン
CN4-084	INT00	I	47 kΩプルダウン
CN4-085	GND	-	-
CN4-086	GND	-	-
CN4-087	CGREL	O	-
CN4-088	STPRQ	O	-
CN4-089	STPAK	O	-
CN4-090	HWSTOPRQ	O	-
CN4-091	SWSTOPRQ	O	-
CN4-092	EXHLT	O	-
CN4-093	PEWAITZ	I	予約 (オープン)
CN4-094	WAITB_PIO	I	予約 (オープン)
CN4-095	GND	-	-
CN4-096	GND	-	-
CN4-097	LA4	O	予約 (オープン)
CN4-098	LA5	O	予約 (オープン)
CN4-099	LA6	O	予約 (オープン)
CN4-100	LA7	O	予約 (オープン)
CN4-101	LA8	O	予約 (オープン)
CN4-102	PERDZ	O	予約 (オープン)
CN4-103	PEWRZ	O	予約 (オープン)
CN4-104	NC	-	予約 (オープン)
CN4-105	GND	-	-
CN4-106	GND	-	-
CN4-107	LD0	I/O	予約 (オープン)
CN4-108	LD1	I/O	予約 (オープン)
CN4-109	LD2	I/O	予約 (オープン)
CN4-110	LD3	I/O	予約 (オープン)
CN4-111	LD4	I/O	予約 (オープン)
CN4-112	LD5	I/O	予約 (オープン)
CN4-113	LD6	I/O	予約 (オープン)
CN4-114	LD7	I/O	予約 (オープン)
CN4-115	GND	-	-
CN4-116	GND	-	-
CN4-117	CS_UART0Z	O	予約 (オープン)

表2 - 21 CPUコネクタ4 (CN4) (4/4)

CPU コネクタ	信号名	入出力	備 考
CN4-118	CS_UART1Z	O	予約 (オープン)
CN4-119	CS_PPZ	O	予約 (オープン)
CN4-120	CS_ECPZ	O	予約 (オープン)
CN4-121	INT_UART0	I	予約 (オープン)
CN4-122	INT_UART1	I	予約 (オープン)
CN4-123	INT_PIO	I	予約 (オープン)
CN4-124	GND	-	-
CN4-125	CS_GATAZ	O	予約 (オープン)
CN4-126	TBASECLK	O	予約 (オープン)
CN4-127	GND	-	-
CN4-128	GND	-	-
CN4-129	STOPZ	I	10 k $\Omega$ プルアップ
CN4-130	HLDKZ	O	-
CN4-131	HLDRQZ	I	10 k $\Omega$ プルアップ
CN4-132	S256_16	O	予約 (オープン)
CN4-133	DC0	O	-
CN4-134	DC1	O	-
CN4-135	DC2	O	-
CN4-136	DC3	O	-
CN4-137	GND	-	-
CN4-138	GND	-	-
CN4-139	GND	-	-
CN4-140	GND	-	-

表2 - 22 CPUコネクタ5 (CN5) (1/4)

CPU コネクタ	信号名	入出力	備 考
CN5-001	GND	-	-
CN5-002	GND	-	-
CN5-003	GND	-	-
CN5-004	GND	-	-
CN5-005	A00	O	-
CN5-006	A01	O	-
CN5-007	A02	O	-
CN5-008	A03	O	-
CN5-009	A04	O	-
CN5-010	A05	O	-
CN5-011	A06	O	-
CN5-012	A07	O	-
CN5-013	GND	-	-
CN5-014	GND	-	-
CN5-015	A08	O	-
CN5-016	A09	O	-
CN5-017	A10	O	-
CN5-018	A11	O	-
CN5-019	A12	O	-
CN5-020	A13	O	-
CN5-021	A14	O	-
CN5-022	A15	O	-
CN5-023	GND	-	-
CN5-024	GND	-	-
CN5-025	A16	O	-
CN5-026	A17	O	-
CN5-027	A18	O	-
CN5-028	A19	O	-
CN5-029	A20	O	-
CN5-030	A21	O	-
CN5-031	A22	O	-
CN5-032	A23	O	-
CN5-033	GND	-	-
CN5-034	GND	-	-
CN5-035	A24	O	-
CN5-036	A25	O	-
CN5-037	D00	I/O	47 kΩプルダウン
CN5-038	D01	I/O	47 kΩプルダウン

表2 - 22 CPUコネクタ5 (CN5) (2/4)

CPU コネクタ	信号名	入出力	備考
CN5-039	D02	I/O	47 kΩプルダウン
CN5-040	D03	I/O	47 kΩプルダウン
CN5-041	D04	I/O	47 kΩプルダウン
CN5-042	D05	I/O	47 kΩプルダウン
CN5-043	GND	-	-
CN5-044	GND	-	-
CN5-045	D06	I/O	47 kΩプルダウン
CN5-046	D07	I/O	47 kΩプルダウン
CN5-047	D08	I/O	47 kΩプルダウン
CN5-048	D09	I/O	47 kΩプルダウン
CN5-049	D10	I/O	47 kΩプルダウン
CN5-050	D11	I/O	47 kΩプルダウン
CN5-051	D12	I/O	47 kΩプルダウン
CN5-052	D13	I/O	47 kΩプルダウン
CN5-053	GND	-	-
CN5-054	GND	-	-
CN5-055	D14	I/O	47 kΩプルダウン
CN5-056	D15	I/O	47 kΩプルダウン
CN5-057	D16	I/O	47 kΩプルダウン
CN5-058	D17	I/O	47 kΩプルダウン
CN5-059	D18	I/O	47 kΩプルダウン
CN5-060	D19	I/O	47 kΩプルダウン
CN5-061	D20	I/O	47 kΩプルダウン
CN5-062	D21	I/O	47 kΩプルダウン
CN5-063	GND	-	-
CN5-064	GND	-	-
CN5-065	D22	I/O	47 kΩプルダウン
CN5-066	D23	I/O	47 kΩプルダウン
CN5-067	D24	I/O	47 kΩプルダウン
CN5-068	D25	I/O	47 kΩプルダウン
CN5-069	D26	I/O	47 kΩプルダウン
CN5-070	D27	I/O	47 kΩプルダウン
CN5-071	D28	I/O	47 kΩプルダウン
CN5-072	D29	I/O	47 kΩプルダウン
CN5-073	GND	-	-
CN5-074	GND	-	-
CN5-075	D30	I/O	47 kΩプルダウン
CN5-076	D31	I/O	47 kΩプルダウン
CN5-077	CSZO	O	47 kΩプルアップ



表2 - 22 CPUコネクタ5 (CN5) (3/4)

CPU コネクタ	信号名	入出力	備 考
CN5-078	CSZ1	O	47 kΩプルアップ
CN5-079	CSZ2	O	47 kΩプルアップ
CN5-080	CSZ3	O	47 kΩプルアップ
CN5-081	CSZ4	O	47 kΩプルアップ
CN5-082	CSZ5	O	47 kΩプルアップ
CN5-083	CSZ6	O	47 kΩプルアップ
CN5-084	CSZ7	O	47 kΩプルアップ
CN5-085	GND	-	-
CN5-086	GND	-	-
CN5-087	WAITZ	I	10 kΩプルアップ
CN5-088	RDZ	O	10 kΩプルアップ
CN5-089	WRZ0	O	-
CN5-090	WRZ1	O	-
CN5-091	WRZ2	O	-
CN5-092	WRZ3	O	-
CN5-093	IORDZ	O	-
CN5-094	IOWRZ	O	-
CN5-095	NC	-	予約 (オープン)
CN5-096	BCYSTZ	O	-
CN5-097	GND	-	-
CN5-098	GND	-	-
CN5-099	BENZ0	O	-
CN5-100	BENZ1	O	-
CN5-101	BENZ2	O	-
CN5-102	BENZ3	O	-
CN5-103	DQMZ0	O	-
CN5-104	DQMZ1	O	-
CN5-105	DQMZ2	O	-
CN5-106	DQMZ3	O	-
CN5-107	GND	-	-
CN5-108	GND	-	-
CN5-109	SDCLK	O	-
CN5-110	CKE	O	-
CN5-111	GND	-	-
CN5-112	SELFREF	I	47 kΩプルダウン
CN5-113	REFRQZ	O	-
CN5-114	SDCASZ	O	-
CN5-115	SDRASZ	O	-
CN5-116	SDWEZ	O	-

表2 - 22 CPUコネクタ5 (CN5) (4/4)

CPU コネクタ	信号名	入出力	備 考
CN5-117	GND	-	-
CN5-118	GND	-	-
CN5-119	GND	-	-
CN5-120	GND	-	-

## 2.12 マザー・ボード用コネクタ (JGBUS1)

JGBUS1 は、マザー・ボード接続用 32 ビット・データ幅のバス・コネクタです。詳細は第3章 GBUS 個別仕様、第4章 GBUS 共通仕様を参照してください。

## 第 3 章 GBUS 個別仕様

この章では、SolutionGear-CPU-NU85ET における GBUS の使用状況を説明します。GBUS の一般的な仕様については、第 4 章 GBUS 共通仕様を参照してください。

### 3.1 概要

SolutionGear-CPU-NU85ET での GBUS の信号線使用状況の概要を表 3 - 1 に示します。

**表 3 - 1 GBUS信号機能一覧**

GBUS 信号名	機 能
GADDR[31:2]	アドレス線として使用します。GADDR[26:31]は未接続です。
GDATA[31:0]	データ線として使用します。リード・サイクル時は、VBCLK の立ち上がりでラッチされたものが CPU に供給されます。
GCS-[6:0]	チップ・セレクト線として使用します。
GCLK	CPU クロック非同期の 33MHz 固定のクロックを接続します。
GRESETI-	本ボード上で発生したリセット要求を出力します。
GRESETO-	未接続
GADS-, GREADY-, GBLAST-, GWR-	バス制御信号として使用します。
GWAITI-	未接続
GBTERM-	未接続
GRD-, GWR-	GBUS の制御信号から生成した RD-, WR-信号を接続します。
GHOLD-, GHLDA-	未接続
GBREQ-	未接続
GDMARQ-[3:0]	DMA リクエスト信号として使用します。GBUS からの DMARQ 要求の論理を反転して CPU に接続します。 GDMARQ-[3:0] DMARQ[3:0]
GDMAAK-[3:0]	DMA アクノリッジ信号として使用します。CPU の出力した信号の論理を反転して GBUS に接続します。 GDMAAK-[3:0] DMACTV[3:0]
GINTO-[3:0]	割り込み要求信号として使用します。
GINTI-[1:0]	GINTI0-と GINTI1-へは、それぞれ TIC(μPD71054)の OUT0 と OUT1 を接続します。
GETC[7:0]	未接続
GAHI_EN-	未接続
GMOTHER_DETECT-	マザー・ボード検出信号です。
GUSE_DIRECT_ACC-	未接続
GCLK_LOW-	未接続
GLOCK-[1:0]	未接続

### 3.2 バス・サイクル

GBUS の GCLK へは、CPU クロック非同期の 33MHz クロックを接続しています。また、GAHI\_EN-を未接続にしているため、GADDR[26:31]は未接続になっています。また、GADDR[24:25]は常に[0,0]です。

GBUS からのリード・サイクルは、GBUS 上で 0 Wait 動作が可能です。

バス・サイクルの様子を図 3 - 1 に示します。

図 3 - 1 において、CPU\_xxx 信号は CPU の信号を示しています。また、Gxxx 信号は GBUS の信号を示しています。

図3 - 1 バス・サイクル (1/2)

(a) リード・サイクル

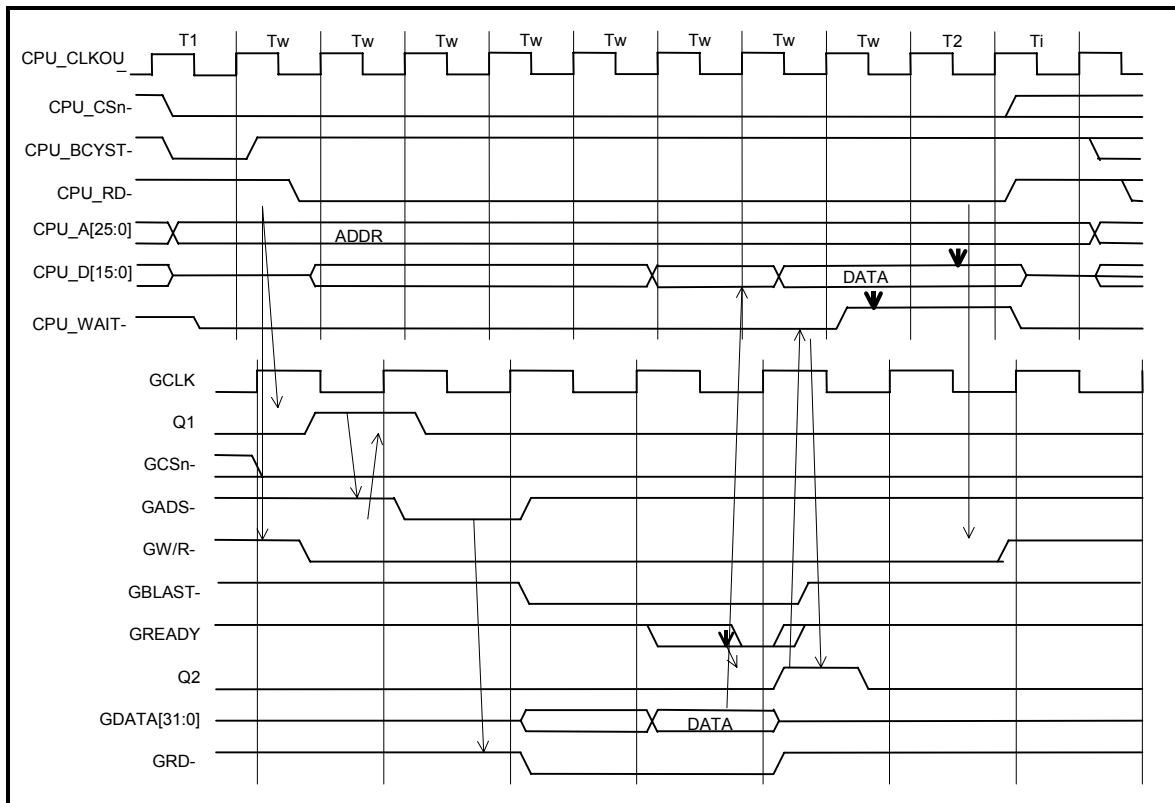
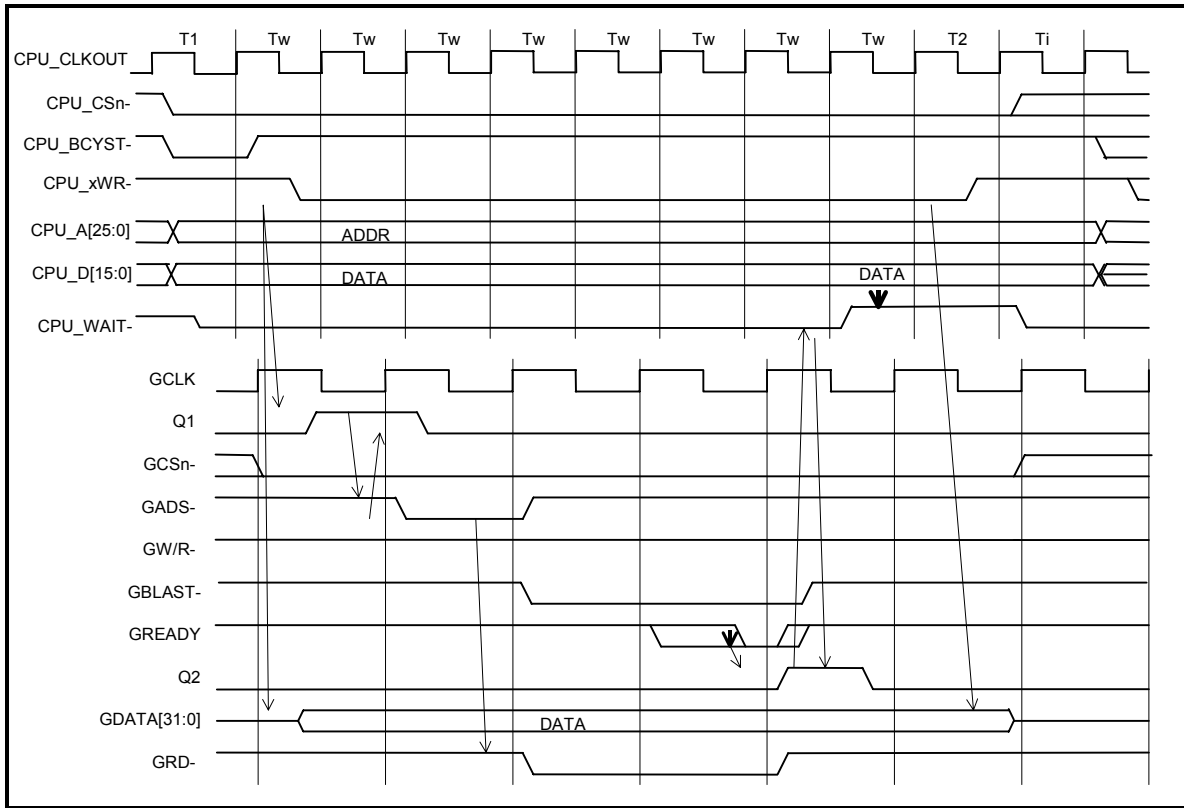


図3 - 1 バス・サイクル (2/2)

(b) ライト・サイクル



### 3.3 チップ・セレクト

このボードでは、GBUS の各チップ・セレクト信号に表 3 - 2 に示した空間を割り当てています。

表 3 - 2 に示したすべての空間において、CPU 内蔵のバス・コンフィグレーション・レジスタの設定については、5.3 MEMC,  $\mu$ PD703193 のレジスタの設定を参照してください。

表3 - 2 チップ・セレクト

GBUS 信号名	CPU アドレス空間	物理アドレス範囲	RTE-MB-A の資源
GCS0-	CS2 空間	0400000H - 05FFFFFFH	共有 SRAM(2M)
GCS1-	CS4 空間と SW2-1(FBOOT)が ON の時は、CS0 空間	1000000H - 17FFFFFFH 0000000H - 03FFFFFFH	フラッシュ ROM(8M)
GCS2-	CS6 空間	3100000H - 317FFFFFFH	IO レジスタ
GCS3-	CS3 空間	1800000H - 1FFFFFFFH	EXT-bus:メモリ空間
GCS4-	CS6 空間	3600000H - 37FFFFFFH	EXT-Bus:IO 空間
GCS5-	CS1 空間	0800000H - 0FFFFFFFH	PCI バス空間
GCS6-	CS6 空間	3180000H - 318FFFFFFH	PCI-Cont レジスタ
GCS7-	CS6 空間	3000000H - 300FFFFFFH	PCI バス空間

## 第 4 章 GBUS 共通仕様

この章では、ボードの品種に依存しない GBUS の仕様について説明します。

### 4.1 用語

この章で用いる用語について説明します。

表4 - 1 用語説明

用語	意味
CPU ボード, マザー・ボード	RTE-CB シリーズのボードを CPU ボード, CPU ボードの GBUS に接続する NEC 製のボードをマザー・ボードと呼ぶことにします。
バス・サイクル, マイクロ・サイクル	<p>GBUS は、バースト・アクセス可能な一般的なバスです。</p> <p>バス・サイクルとは、アクセスがバーストした場合も含み、一連のサイクルが終了するまでの区切り (1 回の GADS-のアサートが必要とされる区切り) のことを示すものとします。</p> <p>また、バースト・サイクルのデータ転送 1 回ごとのサイクルをマイクロ・サイクルと呼ぶことにします。</p> <p>なお、バス・サイクルには、シングルサイクルとバースト・サイクルがあります。シングルサイクルとは、1 回のデータ転送しか発生しないバス・サイクルのことを示します。バースト・サイクルとは、複数回のデータの転送が発生するバス・サイクルのことを示します。</p>

### 4.2 信号

GBUS の信号の機能を表 4 - 2 に示します。GBUS の各信号の入出力方向は、マザー・ボード側を基準にして記述します。そのため、表 4 - 2 の入出力欄の意味は次のようになります。

「入力」とある場合、CPU ボードから出力されマザー・ボードへ入力される信号を示します (信号名にもこの基準が適用されています)。

「双方向」と記載されている信号はバス・サイクルの状態で信号の向きが切り替わることを示します。

「入力 / 出力」と記載されている信号はバス・マスタが CPU ボードなのかマザー・ボードなのかによって信号の向きが切り替わる事を示します。ここでは、マザー・ボード側を基準にしているため、バス・マスタが CPU ボードのときが“入力”, バス・マスタがマザー・ボードのときが“出力”ということになります。

なお、GBUS の信号は、+5V の TTL レベルです。また、マザー・ボードは常にリトル・エンディアンです。

表4-2 GBUSの信号(1/4)

信号名	入出力	機能
GCLK	入力	<ul style="list-style-type: none"> <li>GBUS の同期クロック。最高周波数は 33.33 MHz。最低周波数は 10.0 MHz。GBUS はこのクロックの立ち上がり同期して動作します。</li> <li>マザー・ボード上では、+5V と GND に対してそれぞれ 330 Ω でターミネーションされるので、CPU ボードの回路はこれをドライブできるようにしてください。</li> <li>GCLK が 16.67MHz より周波数が低い場合、GCLK_LOW-を Low にすることでマザー・ボードからウエイト数を調整できます。</li> <li>この信号は、PLL (Phase Locked Loop) によるゼロ・ディレイ・バッファが使用される場合があるので、GCLK の周波数を変更した場合は、PLL のロックのために周波数変更後、最低でも 1 ms の間はマザー・ボードにアクセスしないでください。</li> </ul>
GRESETI-	入力	<ul style="list-style-type: none"> <li>GBUS のリセット信号。CPU ボード上でリセットが発生したときに、この信号を Low にします。マザー・ボードはこの信号によってリセットされます(マザー・ボード上の他の要因によってマザー・ボードがリセットされる場合もあります)。</li> </ul>
GRESETO-	出力	<ul style="list-style-type: none"> <li>マザー・ボードのリセットが発生した場合、Low になる信号。</li> <li>マザー・ボードでは、マザー・ボード上で発生したリセットと GRESETI-の論理和 (OR) を GRESETO-とします。したがって CPU ボードでは、GRESETI-と GRESETO-の論理和 (OR) で、CPU ボード上の回路をリセットします (GRESETI-と GRESETO-の論理和 (OR) でリセットするのは、マザー・ボードが接続されていないときのためです)。</li> </ul>
GADDR[31:2]	入力 / 出力	<ul style="list-style-type: none"> <li>GBUS のアドレス信号。サイクル中は常に有効な値でドライブされます。</li> <li>GADDR[31]は、CPU がバス・マスタの場合、マザー・ボード上で無視されます。</li> <li>下位アドレスの A1,A0 は、バイト・イネーブル信号を用います。</li> <li>GAHI_EN-信号により、CPU ボードからの GADDR[31:26]を 0 として扱うようにできます。</li> <li>バス・マスタがマザー・ボードの場合、GADDR[25]が 0 のとき、マザー・ボード上の資源が選択されていることを示し、GADDR[25]が 1 のとき CPU ボード上の資源が選択されていることを示します。</li> </ul>
GBEN-[3:0]	入力 / 出力	<ul style="list-style-type: none"> <li>GBUS のバイト・イネーブル信号。サイクル中は常に有効な値でドライブされます。</li> <li>GBEN0-が GDATA[7:0]、GBEN1-が GDATA[15:8]、GBEN2-が GDATA[23:16]、GBEN3-が GDATA[31:24]の各バイト・レーンにそれぞれ対応します。GBENx-が Low のときに対応するバイト・レーンが有効となります。</li> </ul>
GDATA[31:0]	双方向	<ul style="list-style-type: none"> <li>GBUS のバス・データ信号。</li> <li>マザー・ボード上で 10KΩでプルアップされます。</li> <li>この信号の方向は、GW/R-により決まります。</li> </ul>
GADS-	入力 / 出力	<ul style="list-style-type: none"> <li>GBUS のアドレス・ストロブ信号。GCLK の立ち上がりでこの信号が Low にサンプルされると、バス・サイクルの開始を示します。</li> <li>マザー・ボードは、いずれのチップ・セレクト信号 (GCS-[7:0]) もアクティブでない場合 GADS-を無視します。</li> </ul>

表4-2 GBUSの信号(2/4)

信号名	入出力	機能
GREADY-	出力/入力	<ul style="list-style-type: none"> <li>GBUS のレディー信号。マイクロ・サイクル中に GCLK の立ち上がりでこの信号が Low, GWAITI が High でサンプルされると、マイクロ・サイクルの終了を示します。</li> <li>CPU ボードからマザー・ボードへのアクセス時のタイムオーバ・レディは、マザー・ボードが生成します。これは、GREADY-信号がぶつかってしまうのを回避するためです。</li> </ul>
GWAITI-	入力	<ul style="list-style-type: none"> <li>ウェイト要求信号。GCLK の立ち上がりでサンプルされます。</li> <li>CPU ボード側の都合で、少ないウェイト数のサイクルに対応できない場合、CPU ボードは GREADY-のサンプル・タイミングで、GWAITI-を Low にサンプルされるようにします。これによって、仮にそのタイミングで GREADY-が Low であったとしても、それをマザー・ボードにレディーとして扱わせないことができます。通常、CPU ボードがゼロ・ウェイト・バーストに対応できない場合などに使用します(4.6.3 GWAITI-参照)。</li> <li>この信号は、CPU ボードがバス・マスタのサイクルのみ有効です。</li> </ul>
GBLAST-	入力/出力	<ul style="list-style-type: none"> <li>バス・サイクル終了通知信号。GCLK の立ち上がりでサンプルされます。</li> <li>バス・サイクルを終了するマイクロ・サイクルの開始時から、バス・マスタがこの信号を Low にアサートします。</li> <li>GBLAST- (Low 時), GREADY- (Low 時), GWAITI- (High 時) が GCLK の立ち上がりでサンプルされると、バス・サイクルが終了します。</li> </ul>
GBTERM-	出力/入力	<ul style="list-style-type: none"> <li>バス・サイクル終了要求信号。GCLK の立ち上がりでサンプルされます。</li> <li>アクセスされている側が、バス・サイクルの終了を要求する場合、GREADY-信号とともに GBTERM-信号を Low にします。GBTERM-のアサートは GREADY-のアサートと同時になければなりません。バス・マスタが Low をサンプルするタイミングが GREADY-と GBTERM-でずれていると、GBLAST-をアサートしていなくても、バス・サイクルをいったん終了させ、改めて GADS-をアサートしてバス・サイクルを開始してください。</li> <li>この信号は、アクセスされている側が、バースト・サイクルに対応していなかったり、対応しているバースト回数を越えるバースト・サイクルを要求された場合に、バス・サイクルを終了させるために使用します。</li> </ul>
GW/R-	入力/出力	<ul style="list-style-type: none"> <li>Write/Read 信号。データ・バスの方向を示します。バス・サイクル中、常に有効な値でドライブされます。</li> <li>この信号はバス・マスタにとってのデータ・バスの方向を示します。</li> </ul>
GCS-[7:0]	入力	<ul style="list-style-type: none"> <li>チップ・セレクト信号。バス・サイクル中、常に有効な値がドライブされます。</li> <li>CPU ボードがバス・マスタのときに、マザー・ボード上の資源を指定するために該当するチップ・セレクト信号をアクティブにします。</li> <li>各チップ・セレクト信号は、メモリ空間、I/O 空間ごとに空間の広さなどの規定があります(4.5 GCS-[7:0]の割り付け参照)。</li> </ul>
GRD-	入力	<ul style="list-style-type: none"> <li>リード・タイミング信号。CPU ボードがバス・マスタ時にアサートされます。</li> <li>この信号はマザー・ボードでは使用しません。</li> <li>通常、CPU の RD-コマンド信号がある場合は、その信号が接続されます。</li> </ul>
GWR-	入力	<ul style="list-style-type: none"> <li>ライト・タイミング信号。CPU ボードがバス・マスタ時にアサートされます。</li> <li>この信号はマザー・ボードでは使用しません。</li> <li>通常、CPU の WR-コマンド信号がある場合は、その信号が接続されます。</li> </ul>



表4-2 GBUSの信号(3/4)

信号名	入出力	機能
GHOLD-	出力	<ul style="list-style-type: none"> <li>・バス・ホールド要求信号。</li> <li>・マザー・ボードが CPU ボード上の資源にアクセスする場合、Low にアサートしてバス権を要求します。</li> <li>・GUSE_DIRECT_ACC-信号が High の場合、CPU ボード側にマザー・ボードからアクセス可能な資源がないことを示します。この場合、CPU ボードは GHOLD-に対応する必要はありません。</li> </ul>
GHLDA-	入力	<ul style="list-style-type: none"> <li>・バス・ホールド応答信号。</li> <li>・CPU ボードがマザー・ボードに GBUS のバス権を渡したことを示す信号。CPU ボードがマザー・ボードに GBUS のバス権を渡すとき、Low にアサートされます。</li> <li>・GUSE_DIRECT_ACC-信号を High にしている CPU ボードは、この信号を未接続にできます。</li> </ul>
GBREQ-	入力	<ul style="list-style-type: none"> <li>・バス権返還要求信号。</li> <li>・GHLDA-が Low にアサートし、マザー・ボードにバス権を渡している間に、再び、CPU ボードがバス権を必要とした場合、GBREQ-を Low にアサートします。</li> <li>・マザー・ボードがバス・サイクル中のときに、GBREQ-が Low にアサートされた場合、その次のマイクロ・サイクル以降で GBLAST-をアサートして、バス・サイクルを終了し、GHOLD-をディアサートしてください。</li> <li>・バス・マスタがマザー・ボードで、バス・サイクルのバースト回数が多い場合やリフレッシュ・サイクルなどの優先順位の高いバス・サイクルが CPU ボード上で保留されている場合など、いったんバス権を CPU ボードに返させたい場合にこの信号を使用してください。</li> </ul>
GDMARQ-[3:0]	出力	<ul style="list-style-type: none"> <li>・DMA 要求信号。サポートされる DMA は、2 サイクル DMA のみで、フライバイ DMA はサポートされません。</li> <li>・マザー・ボード上で DMA 要求が発生した場合、Low にアサートします。</li> <li>・CPU ボードは 4 本すべての DMA をサポートしなければならないが、同時に起動できる DMA のおよび GDMAAK-信号が対応できる本数については、CPU ボードに依存します。</li> <li>・CPU ボードは、4 本すべての GDMARQ-に対して GDMAAK-の対応が取れない場合は、DMAAK-[3:2]に優先して DMAAK 信号を割り当てます。</li> </ul>
GDMAAK-[3:0]	入力	<ul style="list-style-type: none"> <li>・DMA 応答信号。</li> <li>・マザー・ボードからの DMA 要求に応答する場合に Low にアサートします。</li> <li>・CPU ボードは、4 本全ての GDMARQ-に対して GDMAAK-の対応が取れない場合は、DMAAK-[3:2]に優先して DMAAK 信号を割り当てます。</li> <li>・マザー・ボードは、GDMAAK-信号がなくても動作します。</li> </ul>
GINTO-[3:0]	出力	<ul style="list-style-type: none"> <li>・割り込み要求信号。</li> <li>・GINTO0-は、レベル・センシティブとして使用可能です。</li> <li>・GINTO-[3:1]は、レベル・センシティブとエッジ・センシティブのどちらで使用可能かは、CPU ボードに依存します (CPU に直結される場合があるため)。マザー・ボードはどちらにでも対応可能です。</li> <li>・Low レベル時、または立ち下がりエッジで割り込み発生を示します。</li> </ul>

表4-2 GBUSの信号(4/4)

信号名	入出力	機能
GINTI-[1:0]	入力	<ul style="list-style-type: none"> <li>・ 割り込み要求信号</li> <li>・ CPU ボード上の割り込みを、他のマザー・ボード上の割り込みと合成して GINTO-[3:0]に戻すために設けられた割り込み信号です。</li> <li>・ 通常は CPU ボード上の TIC ( <math>\mu</math>PD71054 ) の OUT0 と OUT1 が接続されます。マザー・ボードは、この割り込み信号のセンシティブの種類やポラリティについてプログラマブルです。</li> </ul>
GETC[7:0]		<ul style="list-style-type: none"> <li>・ CPU ボード依存信号。</li> <li>・ 信号の方向や信号の内容まで含めて、GETC[7:0]の内容については CPU ボードが決定します。CPU ボードは特別な目的の信号をマザー・ボードとやり取りする場合は、この信号を用います。</li> </ul>
GAHI_EN-	入力	<ul style="list-style-type: none"> <li>・ アドレス上位有効信号。</li> <li>・ バス・マスタが CPU ボードのとき、この信号が Low だと、CPU ボードが GADDR[31:26]に有効な値をドライブしていることを示します。逆にこの信号が High の場合、CPU ボードが GADDR[31:26]に有効な値をドライブしていないことを示します。なお、マザー・ボード上の回路は、GADDR[31:26]のすべてが Low として処理されます。</li> </ul>
GMOTHER_DETECT-	出力	<ul style="list-style-type: none"> <li>・ マザー・ボード検出信号。</li> <li>・ この信号は、CPU ボード上でプルアップされ、マザー・ボード上で GND に接続されます。マザー・ボードが接続されていることを CPU ボード側で判断しなければならない場合にこの信号を使用します。</li> </ul>
GUSE_DIRECT_ACC-	入力	<ul style="list-style-type: none"> <li>・ この信号が Low のとき、CPU ボード側にマザー・ボードからアクセス可能な資源が存在することを示します。</li> </ul>
GCLK_LOW-	入力	<ul style="list-style-type: none"> <li>・ この信号が Low のとき、GCLK の周波数が 16.67MHz 以下であることを示します。High の場合は、GCLK の周波数が 16.67MHz ~ 33.33MHz であることを示します。</li> <li>・ マザー・ボード上の回路は、この信号を使用して、マザー・ボード上の資源へのアクセス時のウェイト数を決定します。</li> </ul>
GBLOCK-[1:0]	入力	<ul style="list-style-type: none"> <li>・ バス・ロック信号。バス・サイクル中およびロックするバス・サイクル間で有効となります。</li> <li>・ CPU からバス・ロック信号が出力されている場合、この端子を使用してバス・ロック信号をマザー・ボードに接続します。</li> <li>・ GBLOCK0-信号は、GCS0-の空間に有効です。GBLOCK1-信号は、GCS5-と GCS7-の空間に有効です。</li> </ul>
+5V	出力	<ul style="list-style-type: none"> <li>・ 電源。+5V <math>\pm</math> 5%をマザー・ボードから CPU ボードへ供給します。</li> </ul>
+12V	出力	<ul style="list-style-type: none"> <li>・ 電源。+12V <math>\pm</math> 10%をマザー・ボードから CPU ボードへ供給します。ただし、CPU ボードが+12V を必要としていなければマザー・ボードは+12V を供給しなくてもかまいません。</li> </ul>

## 4.3 ピン配置

次の表に GBUS のピン配置を示します。Reserve は予約済みのピンを、N/C は未接続のピンを示します。

表4-3 GBUSのピン配置(1/2)

番号	信号名	番号	信号名	番号	信号名	番号	信号名
1	+12V	2	+12V	3	GND	4	+5V
5	GADDR2	6	GADDR3	7	GADDR4	8	GADDR5
9	GADDR6	10	GADDR7	11	GND	12	+5V
13	GADDR8	14	GADDR9	15	GADDR10	16	GADDR11
17	GADDR12	18	GADDR13	19	GADDR14	20	GADDR15
21	GND	22	+5V	23	GADDR16	24	GADDR17
25	GADDR18	26	GADDR19	27	GADDR20	28	GADDR21
29	GADDR22	30	GADDR23	31	GND	32	+5V
33	GADDR24	34	GADDR25	35	GADDR26	36	GADDR27
37	GADDR28	38	GADDR29	39	GADDR30	40	GADDR31
41	GND	42	+5V	43	GBEN3-	44	GBEN2-
45	GBEN1-	46	GBEN0-	47	GND	48	+5V
49	GDATA31	50	GDATA30	51	GDATA29	52	GDATA28
53	GDATA27	54	GDATA26	55	GDATA25	56	GDATA24
57	GND	58	+5V	59	GDATA23	60	GDATA22
61	GDATA21	62	GDATA20	63	GDATA19	64	GDATA18
65	GDATA17	66	GDATA16	67	GND	68	+5V
69	GDATA15	70	GDATA14	71	GDATA13	72	GDATA12
73	GDATA11	74	GDATA10	75	GDATA9	76	GDATA8
77	GND	78	+5V	79	GDATA7	80	GDATA6
81	GDATA5	82	GDATA4	83	GDATA3	84	GDATA2
85	GDATA1	86	GDATA0	87	GND	88	+5V
89	GND	90	GW/R-	91	GBTERM-	92	GREADY-
93	GRESETI-	94	GADS-	95	GBLAST-	96	GWAITI-
97	GND	98	GCLK	99	GND	100	+5V
101	GCS0-	102	GCS1-	103	GCS2-	104	GCS3-
105	GCS4-	106	GCS5-	107	GCS6-	108	GCS7-
109	Reserve	110	Reserve	111	Reserve	112	Reserve
113	GRD-	114	GWR-	115	GND	116	+5V
117	GHOLD-	118	GHLDA-	119	GBREQ-	120	N/C
121	GDMARQ0-	122	GDMARQ1-	123	GDMARQ2-	124	GDMARQ3-
125	GDMAAK0-	126	GDMAAK1-	127	GDMAAK2-	128	GDMAAK3-
129	Reserve	130	Reserve	131	Reserve	132	Reserve
133	GND	134	+5V	135	GINTO0-	136	GINTO1-
137	GINTO2-	138	GINTO3-	139	GINTI0-	140	GINTI1-
141	GETC0	142	GETC1	143	GETC2	144	GETC3
145	GETC4	146	GETC5	147	GETC6	148	GETC7

表4-3 GBUSのピン配置(2/2)

番号	信号名	番号	信号名	番号	信号名	番号	信号名
149	Reserve	150	Reserve	151	GAHI_EN-	152	GMOTHER_DETECT-
153	GND	154	+5V	155	GUSE_DIRECT_ACC-	156	GCLK_LOW-
157	GRESETO-	158	GBLOCK0-	159	GBLOCK1-	160	N/C
161	N/C	162	N/C	163	N/C	164	N/C
165	N/C	166	N/C	167	N/C	168	N/C
169	N/C	170	N/C	171	N/C	172	N/C
173	N/C	174	N/C	175	N/C	176	N/C
177	GND	178	+5V	179	+12V	180	+12V

**備考** コネクタは次のものを使用してください。

CPU ボード側コネクタ ケル株式会社製 8817-180-170L

マザー・ボード側コネクタ(ストレート) ケル株式会社製 8807-180-170S

マザー・ボード側コネクタ(Lアングル) ケル株式会社製 8807-180-170L

## 4.4 未使用端子の処理

GBUS のマザー・ボード上でプルアップ/プルダウン処理が行われているので、マザー・ボードに対する入力信号のうち使用しない信号は、CPU ボード上で未接続にできます。未接続にできる信号と未接続時にマザー・ボード上で行われている処理を表4-4に示します。

表4-4 CPUボード未接続が可能な信号

信号名	処理内容
GADDR[31:26]	GADDR[31:26]を使用しない場合は、GAHI_EN-信号を High もしくは未接続にすることで GADDR[31:26]を未接続にできます。この場合、CPU がバス・マスタのときマザー・ボード上では GADDR[31:26]は全ビットが0として扱われます。
GWAITI-	プルアップ処理が行われています。
GBLAST-	プルアップ処理が行われています。
GBTERM-	プルアップ処理が行われています。
GCS-[7:0]	プルアップ処理が行われています。
GHLDA-	プルアップ処理が行われています。
GBREQ-	プルアップ処理が行われています。
GDMAAK-[3:0]	プルアップ処理が行われています。
GINTI-[1:0]	プルアップ処理が行われています。
GAHI_EN-	プルアップ処理が行われています。
GUSE_DIRECT_ACC-	プルアップ処理が行われています。
GCLK_LOW-	プルアップ処理が行われています。
GBLOCK-[1:0]	プルアップ処理が行われています。

## 4.5 GCS-[7:0]の割り付け

チップ・セレクト信号 (GCS-[7:0]) の割り付けを表 4 - 5 に示します。記載された空間は、すべてバースト・サイクルによるアクセスが可能です。表 4 - 5 の記載内容の意味は次のとおりです。

推奨空間欄に記載されている I/O とは、CPU に I/O 空間がある場合、I/O 空間に割り付けることを推奨していることを示します。また最小範囲欄の数値は、CPU ボードが該当チップ・セレクトの空間に割り当てなければならない最小範囲を示しています。なお、最大範囲欄に数値に記載がある信号については、CPU ボードのアドレス範囲に余裕がある場合、最大範囲が示す領域まで割り当てることが可能なことを示します。

表4 - 5 チップ・セレクト信号 (GCS-[7:0]) の割り付け

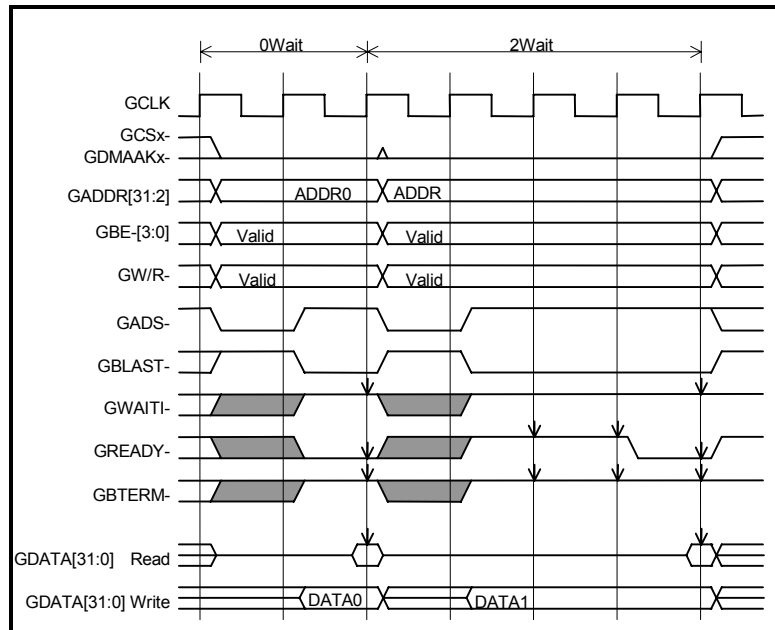
信号名	推奨空間	最小範囲	最大範囲	備考
GCS0-	メモリ	1 M バイト	-	GLOCK0-によりバス・ロック可能
GCS1-	メモリ	2 M バイト	-	マザー・ボードでは、この空間にフラッシュ ROM を配置するので、スイッチの切替えなどで CPU ボード上の UV-EPR0M の代わりにこの空間からも Boot できるようにしてください。
GCS2-	I/O	64 K バイト	-	-
GCS3-	メモリ	64 K バイト	16 M バイト	-
GCS4-	I/O	64 K バイト	16 M バイト	-
GCS5-	メモリ	1 M バイト	2 G バイト	GLOCK1-によりバス・ロック可能
GCS6-	I/O	512 バイト		-
GCS7-	I/O	64 K バイト	2 G バイト	GLOCK1-によりバス・ロック可能

## 4.6 バス・サイクル

### 4.6.1 シングルサイクル

GBWAITIおよびGBTERM-が常にインアクティブな状態で、CPU ボードがバス・マスタの場合のシングルサイクルを次の図に示します。なお、マザー・ボードがバス・マスタの場合は、GCSx-、GDMAAK-、GWAITI-の各信号がなくなります。

図4-1 シングルサイクル



### 4.6.2 バースト・サイクル

バースト・サイクルでは、次のルールがあります。

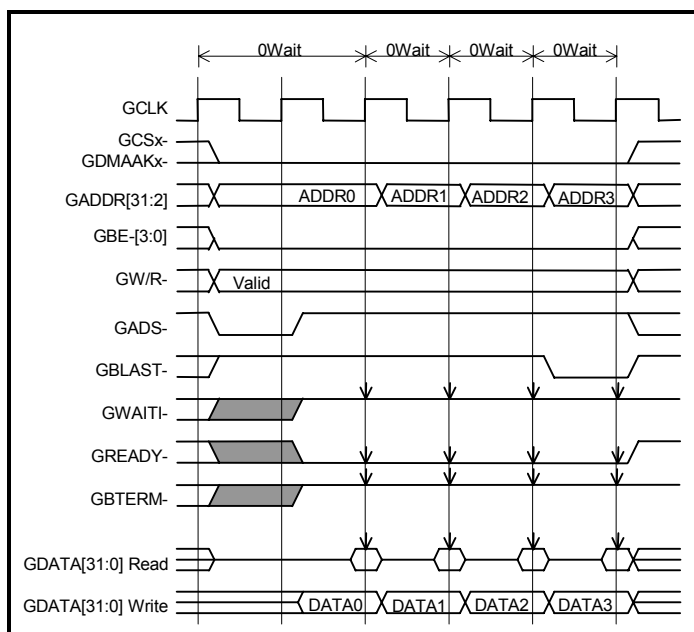
GBUS のスペックとしては、バースト・サイクル中のアドレスの順番は問いません。ただし、アクセス対象によっては、アドレス順が規定されてしまうことがあります。

バースト・サイクル中は GBE-[3:0]はすべてアクティブでなければなりません。

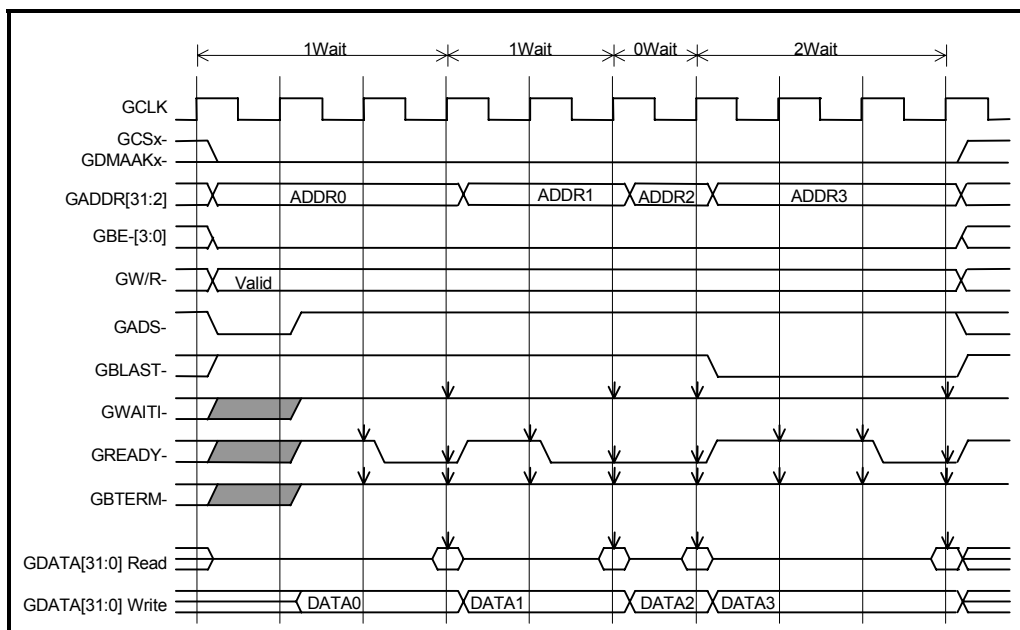
バースト回数（マイクロ・サイクルの数）に制限はありません。アクセス対象側でバースト回数の制限がある場合は、GBTERM-信号を用いてバーストの中断を要求します（4.6.4 GBTERM-参照）。

GBWAITI-および GBTERM-が常にインアクティブな状態で、CPU ボードがバス・マスタの場合のバースト・サイクルの様子を次の図に示します。マザー・ボードがバス・マスタの場合、GCSx-、GDMAAKx-、GWAITI-の各信号がなくなります。

図4-2 バースト・サイクル  
(a) 0 Waitの場合



(b) 1 Wait/2 Waitの場合



### 4.6.3 GWAITI-

GBWAITI-信号は、CPU ボードがバス・マスタのサイクルで次のような場合に使用できます。

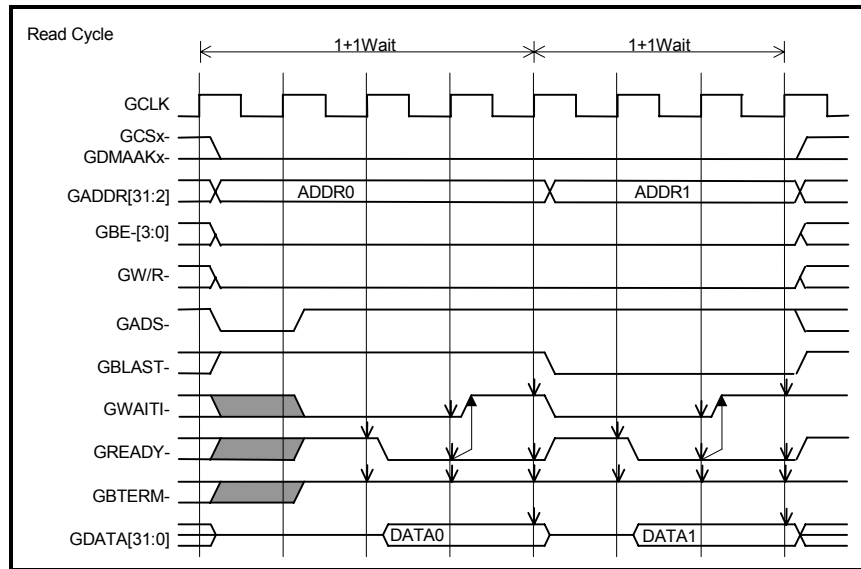
- ・リード・サイクル時にタイミング的な問題でデータのサンプルができないため、特定クロック数分のデータ・サンプリングを遅らせたい場合。
- ・ライト・サイクルのバースト・サイクルにおいて、マイクロ・サイクル終了後、次のマイクロ・サイクルのためのデータの準備ができず、特定クロック数分、アクセス対象を待たせたい場合。

言い換えると、リード・サイクルとライト・サイクルで役割は入れ代わりますが、GREADY-と GWAITI-はデータ送信レディとデータ受信レディの働きをします。

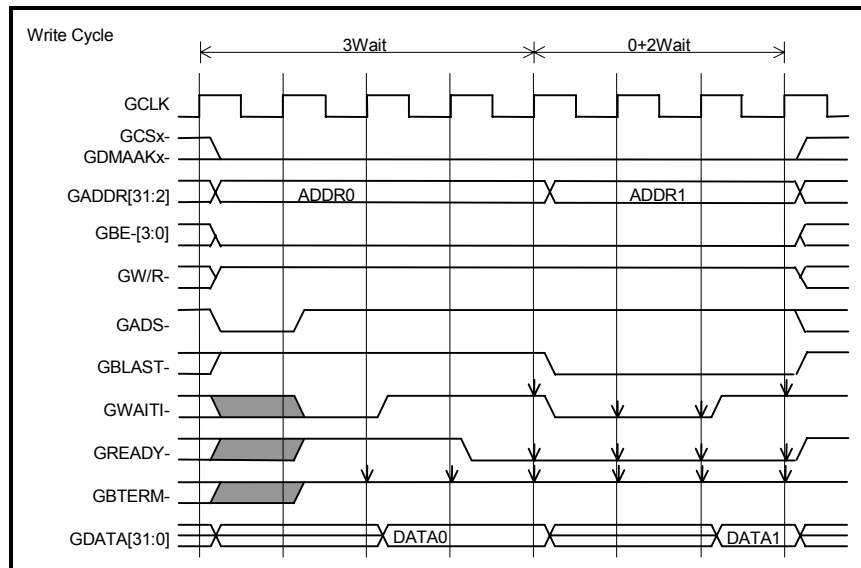
GWAITI-信号によってウエイトが入る様子を次の図に示します。

図4 - 3 GBWAITI-信号によるウエイト挿入

(a) リード・サイクル



(b) ライト・サイクル





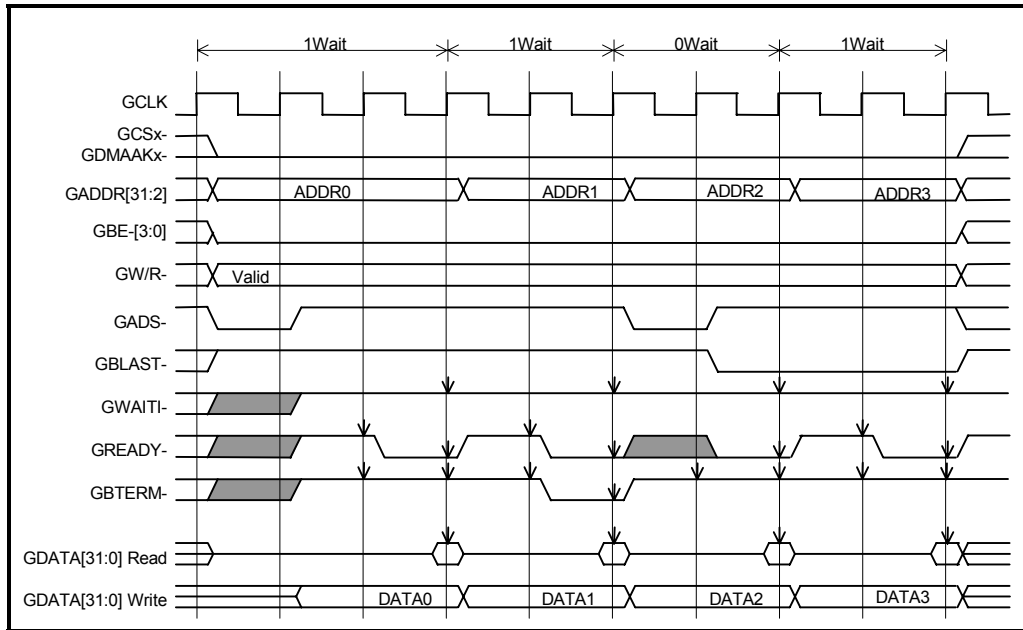
### 4.6.4 GBTERM-

GBTERM-信号が GREADY-信号とともにアクティブになると、バス・マスタは現在のマイクロ・サイクルを最後にバス・サイクルを終了させ、バースト・サイクルの続きは改めて GADS-をアクティブにしてサイクルを始めます。

GBTERM-信号は、アクセス対象がバースト・サイクルに対応していない場合や対応バースト回数を越えてアクセスされた場合などにアクティブにします。また、GREADY-信号をアクティブにせず GBTERM-信号のみをアクティブにすることは禁止されています。

GBTERM-信号によりバースト・サイクルが中断される様子を次の図に示します。

図4-4 GBTERM-信号によるバースト・サイクルの中断



## 4.7 タイミング

ここでは、NECのマザー・ボードにおけるタイミングについて説明します。CPUボードはこのタイミングを満たすように設計されています。

### 4.7.1 セットアップ・タイム

図4-5 セットアップ・タイム

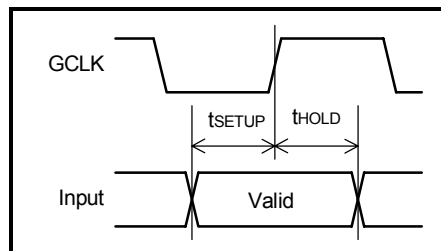


表4-6 セットアップ・タイム (Min.)

信号名	tSETUP (ns)	tHOLD(ns)
GADDR[31:2]	12	0
GBEN-[3:0]	8	0
GDATA[31:0]	7	0
GADS-	14	0
GREADY-	9	1
GWAITI-	14	0
GBLAST-	8	0
GBTERM-	8	1
GW/R-	10	0
GCS-[7:0]	14	0
GBREQ-	15	0
GDMAAK-[3:0]	6	0
GLOCK-[1:0]	12	0

## 4.7.2 デイレイ・タイム

図4-6 デイレイ・タイム

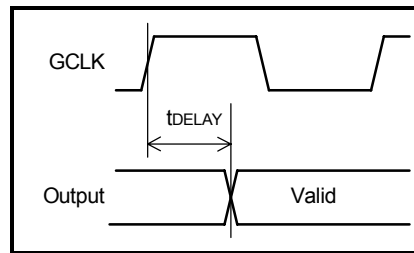


表4-7 デイレイ・タイム (Max.)

信号名	$t_{DELAY}(ns)$
GADDR[31:2]	21
GBEN-[3:0]	17
GDATA[31:0]	21
GADS-	15
GREADY-	15
GBLAST-	17
GBTERM-	16
GW/R-	15

## 第5章 ハードウェア・レファレンス

この章では、CPU ボードのハードウェアについて説明します。

### 5.1 メモリ・マップ

各 CS<sub>n</sub> 領域について次に示します (n = 7-0)。

また、表 5 - 1 にメモリ空間を示します。なお、GBUS 空間は、64M モードのみサポートしています。

#### (1) CS7

SRAM が割り付けられています。SW2-4 (BSIZE16Z) の指定により、16 ビットと 32 ビット両方のバス・サイズに設定可能です。

#### (2) CS6

GBUS 空間 (GCS2, 4, 6, 7) で使用します。

#### (3) CS5

I/O 空間として使用します。CPU ボード内の I/O 用の予約空間があります。I/O マップについては、5.5 I/O を参照してください。

#### (4) CS4

SDRAM が割り付けられています。SW2-4 (BSIZE16Z) の指定により、16 ビットと 32 ビット両方のバス・サイズに設定可能です。ただし、16 ビット・バスの場合は 8 M バイトの容量となり、アドレスの低位側から 8 M バイトの領域だけ使用できます。

#### (5) CS3

GBUS 空間 (GCS1, 3) で使用します。

#### (6) CS2

GBUS 空間 (GCS0) で使用します。

#### (7) CS1

GBUS 空間 (GCS5) で使用します。

#### (8) CS0

シングルチップ・モード 0/1 時の内蔵 ROM 空間以外は、フラッシュ・メモリが割り付けられます。

なお、シングルチップ・モード 0/1 に設定した場合は、内蔵 ROM 空間 (000000H ~ 0FFFFFFH, または 100000H ~ 1FFFFFFH) にはエミュレーション・メモリが優先的に割り付けられます。

また、SW2-1 を ON にすると CPU ボードのフラッシュ・メモリから GBUS 空間 (GCS1) のフラッシュ・メモリに切り替えます。

表5 - 1 メモリ/I/O空間 (1/2)

バンク/領域 256 M モード	アドレス 256M モード	CPU ボード・リソース	バンク/領域 64M モード	アドレス 64M モード	CS	GCS	GBUS リソース	
バンク 15 2MB	FFFFFFFH	未使用	バンク 15 2MB	3FFFFFFFH	CS6			
	FE00000H			3E00000H				
バンク 14 2MB	FDFFFFFFH	アクセス禁止	バンク 14 2MB	3DFFFFFFH	CS7			
	FD00000H	SRAM ( 1MB )		3D00000H				
	FCFFFFFFH			3CFFFFFFH				
FC00000H		3C00000H						
バンク 13 2MB	FBFFFFFFH	未使用	バンク 13 2MB	3BFFFFFFH	CS5			
	FA00000H		3A00000H					
バンク 12 2MB	F9FFFFFFH	オンボード I/O	バンク 12 2MB	39FFFFFFH				
	F900000H			3900000H				
	F8FFFFFFH			38FFFFFFH				
F800000H		3800000H						
領域 3 56MB	F7FFFFFFH	GBUS 使用領域	バンク 1 1 4MB	37FFFFFFH	CS6	GCS4	EXT-bus : IO 空間 2MB	
	F600000H			3600000H				
	F5FFFFFFH			35FFFFFFH				
	F190000H		3400000H	バンク 10 4MB		33FFFFFFH		
	F18FFFFFFH		3190000H					
	F17FFFFFFH		318FFFFFFH					
	F100000H		3180000H			GCS6	PCI-Cont レジスタ 64KB	
	F0FFFFFFH		317FFFFFFH			GCS2	IO レジスタ 512KB	
	F010000H		3100000H					
F00FFFFFFH	30FFFFFFH	GCS7	PCI バス 空間 64KB					
F000000H	3010000H							
EFFFFFFFH	300FFFFFFH							
C000000H	3000000H							
領域 2 64MB	BFFFFFFFH	アクセス禁止	バンク 9 8MB	2FFFFFFFH	CS4			
	9000000H	SDRAM ( 16M バイト )	バンク 8 8MB	2800000H				
8FFFFFFFH				27FFFFFFH				
8000000H		2000000H						

表5-1 メモリ/I/O空間 (2/2)

バンク/領域 256 M モード	アドレス 256M モード	CPU ボード・リソース	バンク/領域 64M モード	アドレス 64M モード	CS	GCS	GBUS リソース
領域 1 64MB	7FFFFFFFH  4000000H	GBUS 使用領域	バンク 7 8MB	1FFFFFFFH  1800000H	CS3	GCS3	EXT-bus : メモリ空間 8MB
領域 0 56MB	3FFFFFFFH  1800000H		バンク 6 8MB	17FFFFFFFH  1000000H			GCS1
	17FFFFFFFH 1000000H		バンク 5 4MB	0FFFFFFFH 0C00000H	CS1	GCS5	PCI バス 空間 8MB
	0FFFFFFFH 0800000H		バンク 4 4MB	0BFFFFFFFH 0800000H			
バンク 3 2MB	07FFFFFFFH 0600000H		バンク 3 2MB	07FFFFFFFH 0600000H	CS2		
バンク 1 2MB	05FFFFFFFH 0400000H		バンク 2 2MB	05FFFFFFFH 0400000H			GCS0
バンク 1 2MB	03FFFFFFFH  0200000H	予約	バンク 1 2MB	03FFFFFFFH  0200000H	CS0	GCS1	フラッシュ メモリ 4MB
バンク 0 2MB	01FFFFFFFH	シングルチップ・モード 1 : 内蔵 ROM ( 1MB )	バンク 0 2MB	01FFFFFFFH			
	0100000H	シングルチップ・モード 0 および ROM レスモード : フラッシュ・メモリ ( 1MB )		0100000H			
	00FFFFFFFH	シングルチップ・モード 0 <sup>※</sup> : 内蔵 ROM ( 1MB )		00FFFFFFFH			
	0000000H	シングルチップモード 1 および ROM レスモード : フラッシュ・メモリ ( 1MB )		0000000H			

注 シングルチップ・モード 0 時は、内蔵 ROM エミュレーション RAM の最後の 4 バイトが使用できません。  
また、内蔵 ROM > GBUS フラッシュメモリ > CPU ボードフラッシュ・メモリの優先順位でマップされま  
す。

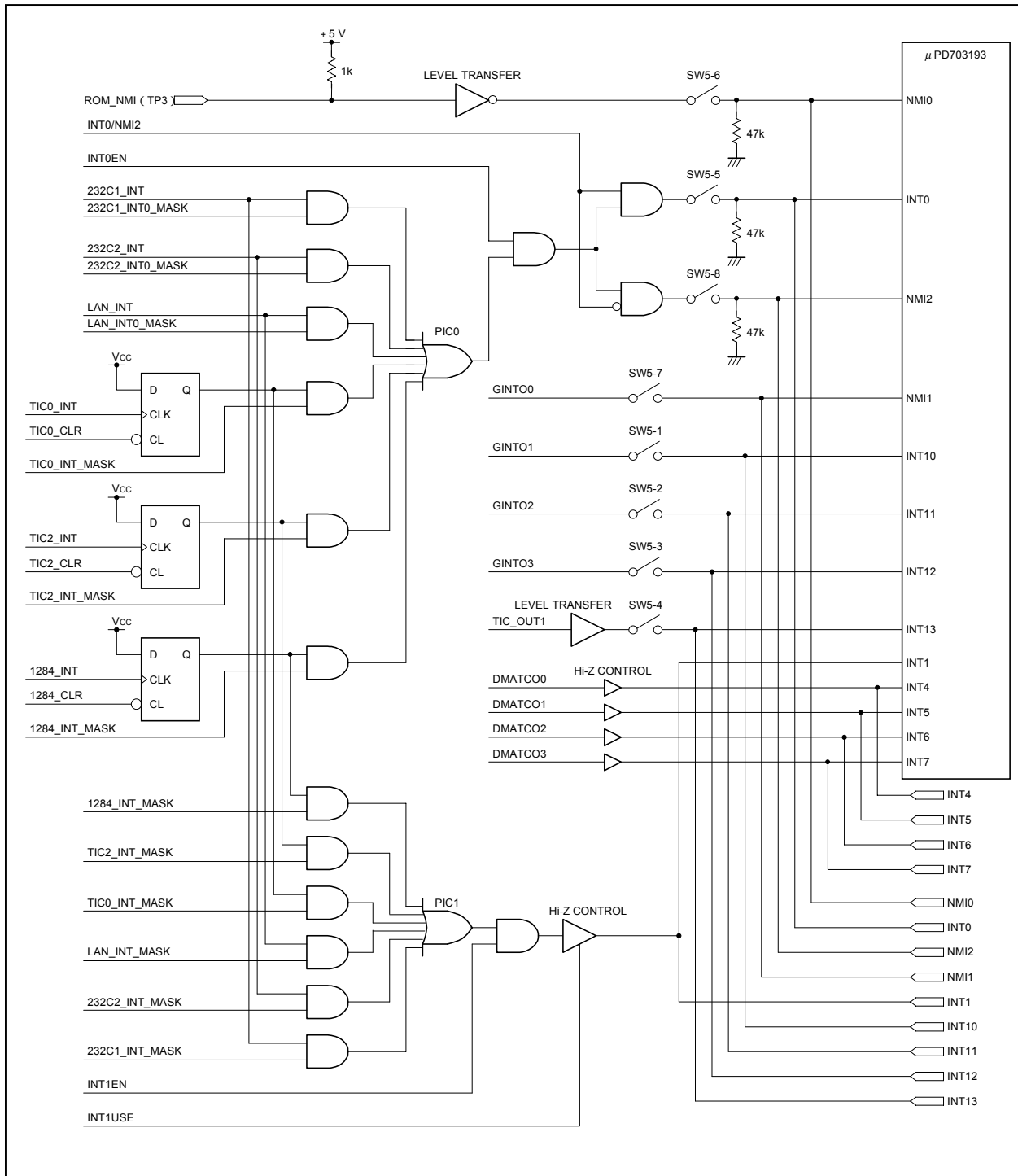
## 5.2 割り込み一覧

システムが使用する割り込みと割り込み発生要因（信号名）の一覧を次に示します。

表5-2 割り込み一覧

割り込みの種類	割り込み発生要因
NMI0	ROM エミュレータからの割り込み要求
NMI1	GINTO0 からの割り込み要求
NMI2	PIC0 からの割り込み要求
INT0	PIC0 からの割り込み要求
INT1	PIC1 からの割り込み要求
INT4	DMATCO0 からの割り込み要求
INT5	DMATCO1 からの割り込み要求
INT6	DMATCO2 からの割り込み要求
INT7	DMATCO3 からの割り込み要求
INT10	GINTO1 からの割り込み要求
INT11	GINTO2 からの割り込み要求
INT12	GINTO3 からの割り込み要求
INT13	タイマ 1 出力

図5 - 1 割り込み生成ロジック





### 5.3 MEMC, $\mu$ PD703193 のレジスタの設定

この節では、メモリと I/O の資源アクセスに関する各レジスタの推奨設定値を示します。

システム・バスに関する設定は、表 5-3 に示すように設定してください（一部の設定は、 $\mu$  PD703193 の動作モードや動作クロック、SW2-4 (BSIZE16Z) の設定状態により異なるのでご注意ください）。

表5-3 MEMC,  $\mu$  PD703193のレジスタ設定

レジスタ		アドレス	設定値	備考
BCT0		FFFF480H	8888H	CS0-3:SRAM,I/O
BCT1		FFFF482H	888BH	CS4:SDRAM CS5-7:SRAM,I/O
DWC0	86-100 MHz	FFFF484H	1116H	CS0:6WAIT CS1-3:1WAIT
	50-85 MHz		1115H	CS0:5WAIT CS1-3:1WAIT
	50 MHz 未満		1114H	CS0:4WAIT CS1-3:1WAIT
DWC1	86-100 MHz	FFFF486H	1161H	CS5:6WAIT CS4,6,7:1WAIT
	50-85 MHz		1151H	CS5:5WAIT CS4,6,7:1WAIT
	50 MHz 未満		0141H	CS5:6WAIT CS4, 6:1WAIT CS7:0WAIT
VSWC		FFFF06EH	77H	-
BCC		FFFF488H	4401H	CS0, 5, 7:1WAIT CS1-4, 6:0WAIT
ASC		FFFF48AH	5D57H	CS0, 5:3WAIT CS1-4, 6, 7:1WAIT
BCP		FFFF48CH	00H	通常バス・サイクル
CSC0		FFFF060H	CCC3H	-
CSC1		FFFF062H	CCD2H	-
BSC VSB データ・バス幅 =32bit	BSIZE16Z=OFF	FFFF066H	AAAAH	CS0-7:32 ビット
	BSIZE16Z=ON		69AAH	CS0-3,5,6:32 ビット CS4,7:16 ビット
BSC VSB データ・バス幅 =16bit	BSIZE16Z=OFF	FFFF066H	9A55H	CS4,5,7:32 ビット CS0-3,6:16 ビット
	BSIZE16Z=ON		5955H	CS5:32 ビット CS0-4, 6, 7:16 ビット
BEC		FFFF068H	0000H	CS0-7:リトル・エンディアン
SCR4	BSIZE16=OFF	FFFF4B0H	20A4H	SDRAM(LTM=2,BCW=2,SS0=2 ビット, RAW=12 ビット,SAW=8 ビット)
	BSIZE16=ON		2094H	SDRAM(LTM=2,BCW=2,SS0=1 ビット, RAW=12 ビット,SAW=8 ビット)
RFS4	100-50MHz	FFFF4B2H	8018H	50 MHz(リフレッシュ間隔:15.36 $\mu$ s)
	49-25MHz		800CH	25 MHz(リフレッシュ間隔:15.36 $\mu$ s)
	25MHz 未満		8000H	2.5 MHz(リフレッシュ間隔:12.8 ms)
RSZ		FFFF7FCH	40H	内蔵 RAM=60 K バイト, 内蔵 ROM インタリーブ・モード
DCC <sup>注</sup>		FFFF078H	0000H	データ・キャッシュ禁止
CSZ		FFFF7FEH	00H	8K バイト 2 ウェイ・セット・アソシアティブ
BHC <sup>注</sup>		FFFF06AH	0000H	キャッシュ禁止

注 内蔵 RAM とデータ・キャッシュは同時に使用できません。

## 5.4 メモリ

CPU ボードには、ボード上のメモリ資源として、SDRAM，SRAM，フラッシュ・メモリ，内蔵 ROM があります。この節では、これらのメモリについて説明します。

### 5.4.1 SDRAM (CS4 領域)

1 Mワード×16 ビット×4 バンクの SDRAM を 2 つ実装し、16 Mバイトの容量を搭載しています。

データ・バス幅は、SW2-4 (BSIZE16Z) の設定値に従い、16 ビットと 32 ビットで使用可能です。ただし、16 ビットのバス幅で使用する場合、メモリの容量は半分の下位 8 Mバイトになります。

### 5.4.2 SRAM (CS7 領域)

256Kワード×16 ビットの SRAM を 2 つ実装し、1 Mバイトの容量を搭載しています。

バス・クロックが 33 MHz を越えるときは 1 ウェイト、それ以下では 0 ウェイトでアクセスできます。

データ・バス幅は、SW2-4 (BSIZE16Z) の設定値に従い、16 ビットと 32 ビットで使用可能です。16 ビットと 32 ビットのバス幅で使用する場合のメモリの容量は同じになります。

### 5.4.3 フラッシュ・メモリ (CS0 領域)

MBM29LV160T (富士通社製フラッシュ・メモリ (1 Mワード×16 ビット、トップ・ブート・タイプ)) または相当品を 1 つ実装し、2 Mバイトの容量を搭載しています。

フラッシュ・メモリの書き換えを行う場合は、BSC レジスタで CS0 空間を 16 ビット・バス・モードに設定してください (使用するフラッシュ・メモリの資料を参照してください)。

搭載されているフラッシュ・メモリは、 $\mu$ PD703193 が 16 ビット・バス・モード、32 ビット・バス・モードにかかわらずリードできます。32 ビット・バス・モード時では、16 ビットのフラッシュ・メモリを 2 回読み出します。

フラッシュ・メモリにアクセスすると、自動的に約 150 ns のウェイトが挿入されます。ただし、32 ビット・バス・モード時では、2 回読み出すためにウェイト時間が 2 倍になります。

また、ROM エミュレータ使用時はフラッシュ・メモリと同じアドレスにマッピングされるため、フラッシュ・メモリは使用できません。

### 5.4.4 内蔵 ROM

内蔵 ROM 領域には、内蔵 ROM と同じアクセス・タイムでフェッチ可能なエミュレーション・メモリがマッピングされ、内蔵 ROM に配置したプログラムをそのままのアドレスで実行することができます。

エミュレーション・メモリの容量は 1Mバイトで、通常はリード・オンリーです。ディバグガからのダウンロードでのみ書き込み可能です。ただし、ディバグガに内蔵 ROM ダウンロード機能がある場合に使用できません (使用するディバグガのユーザーズ・マニュアルを参照してください)。

## 5.5 I/O

CPU ボードにはボード上の I/O デバイスとして、シリアル/パラレル・コントローラ (TL16PIR552)、タイマ ( $\mu$ PD71054)、LED、スイッチなどがあります。この節では、各 I/O デバイスについて説明します。

I/O の一覧を表 5 - 4 に示します (アドレスは 64 M バイト・モード時の場合のアドレスです。256M モード・バイト時の場合は、「38xxxxH」を「F8xxxxH」に読み替えてください)。

I/O へアクセスがあると、ウェイト (約 140 ns) が自動的に挿入されます。

表5 - 4 I/O一覧 (1/2)

アドレス	I/O		ビット幅	リード/ライト	
				リード	ライト
3800000H	SW1		8 ビット		-
3801000H	SW2		8 ビット		-
3802000H	7SEG-LED		32 ビット	-	
3804000H	PIC	INT_MASK	8 ビット		
3804010H		INT_STATUS	8 ビット		
3804020H		INT_ENABLE	8 ビット		
3807000H	RS232C_1	RBR/DLL	8 ビット		
		THR/DLL	8 ビット		
3807010H		IER/DLM	8 ビット		
3807020H		IIR	8 ビット		
		FCR	8 ビット		
3807030H		LCR	8 ビット		
3807040H		MCR	8 ビット		
3807050H		LSR	8 ビット		
3807060H		MSR	8 ビット		
3807070H		SCR	8 ビット		
3808000H	TIC	カウンタ#0	8 ビット		
3808010H		カウンタ#1	8 ビット		
3808020H		カウンタ#2	8 ビット		
3808030H		コントロール・ワード・レジスタ	8 ビット	-	
3809000H	SW6		8 ビット		-
380A000H	OP_SW1		8 ビット		-
380B000H	RS232C_2	RBR/DLL	8 ビット		
		THR/DLL	8 ビット		
380B010H		IER/DLM	8 ビット		
380B020H		IIR	8 ビット		
		FCR	8 ビット		
380B030H		LCR	8 ビット		
380B040H		MCR	8 ビット		
380B050H		LSR	8 ビット		

表5-4 I/O一覧(2/2)

アドレス	I/O		ビット幅	リード/ライト	
				リード	ライト
380B060H	RS232C_2	MSR	8ビット		
380B070H		SCR	8ビット		
380C000H	IEEE1284 EPP (PPCS)	DATA	8ビット		
380C010H		ECPAFIFO	8ビット		
380C020H		DSR	8ビット		
380C030H		DCR	8ビット		
380C040H		EPPADDR	8ビット		
380C050H		EPPDATA	8ビット		
380C100H		IEEE1284 ECP (ECPCS)	ECPDFIFO	8ビット	
	PP DATA FIFO		8ビット		
	TEST FIFO		8ビット		
	CNFGA		8ビット		
380C110H	CNFGB		8ビット		
380C120H	ECR		8ビット		
380F000H	SW3		8ビット		-
3810000H	SW4		8ビット		-
3811000H	RESET		8ビット	-	
3812000H	STAT		8ビット		-

**5.5.1 SW1 (SW1 読み出しポート) ... 3800000H (リード・オンリー)**

SW1 の状態を読み出すためのポートです。データ・フォーマットを次に示します。

表5 - 5 SW1読み出しポート

アドレス	データ・バス								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
3800000H	SW1-8	SW1-7	SW1-6	SW1-5	SW1-4	SW1-3	SW1-2	SW1-1	0 = ON 1 = OFF

SW1-n が SW1 の「n」のスイッチに対応しています (n = 1-8)。

該当するビットのスイッチが ON で「0」が、OFF で「1」が読み出されます。

なお、モニタ ROM を使用する場合は、一部を除き、割り当て済みです。モニタ ROM の設定についてはモニタ ROM のマニュアルを参照してください。

**5.5.2 SW2 (SW2 読み出しポート) ... 3801000H (リード・オンリー)**

SW2 の状態を読み出すためのポートです。データ・フォーマットを次に示します。

表5 - 6 SW2読み出しポート

アドレス	データ・バス								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
3801000H	SW2-8	SW2-7	SW2-6	SW2-5	SW2-4	SW2-3	SW2-2	SW2-1	0 = ON 1 = OFF

SW2 は、ハードウェアの動作を切り替えます (詳細は、2.2.2 スイッチ 2 (SW2) を参照してください)。

SW2-n が SW2 の「n」のスイッチに対応しています (n = 1-8)。

該当するビットのスイッチが ON で「0」が、OFF で「1」が読み出されます。

**5.5.3 SW3 (SW3 読み出しポート) ... 380F000H (リード・オンリー)**

SW3 の状態を読み出すためのポートです。データ・フォーマットを次に示します。

表5 - 7 SW3読み出しポート

アドレス	データ・バス								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
380F000H	0	SW3-7	SW3-6	SW3-5	SW3-4	SW3-3	SW3-2	SW3-1	0 = ON 1 = OFF

SW3 は、ボードの動作を切り替えます (詳細は、2.2.3 スイッチ 3 (SW3) を参照してください)。

SW3-n が SW3 の「n」のスイッチに対応しています (n = 1-7)。

該当するビットのスイッチが ON で「0」が、OFF で「1」が読み出されます。

**5.5.4 SW4 (SW4 読み出しポート) ... 3810000H (リード・オンリー)**

SW4 の状態を読み出すためのポートです。データ・フォーマットを次に示します。

表5 - 8 SW4読み出しポート

アドレス	データ・バス								内 容
	D7	D6	D5	D4	D3	D2	D1	D0	
3810000H	SW4-8	SW4-7	SW4-6	SW4-5	SW4-4	SW4-3	SW4-2	SW4-1	0 = ON 1 = OFF

SW4 は、ボードの動作を切り替えます (詳細は、2.2.4 スイッチ 4 (SW4) を参照してください)。

SW4-n が SW3 の「n」のスイッチに対応しています (n = 1-8)。

該当するビットのスイッチが ON で「0」が、OFF で「1」が読み出されます。

**5.5.5 SW6 (SW6 読み出しポート) ... 3809000H (リード・オンリー)**

SW6 の状態を読み出すためのポートです。データ・フォーマットを次に示します。

表5 - 9 SW6読み出しポート

アドレス	データ・バス								内 容
	D7	D6	D5	D4	D3	D2	D1	D0	
3809000H	SW6-8	SW6-7	SW6-6	SW6-5	SW6-4	SW6-3	SW6-2	SW6-1	0 = ON 1 = OFF

SW6 は、 $\mu$ PD703193 の動作モードと VSB データ・バス・サイズを切り替えます (詳細は、2.2.6 スイッチ 6 (SW6) を参照してください)。

SW6-n が SW6 の「n」のスイッチに対応しています (n = 1-8)。

該当するビットのスイッチが ON で「0」が、OFF で「1」が読み出されます。

**5.5.6 OP\_SW1 (OP\_SW1 読み出しポート) ... 380A000H (リード・オンリー)**

OP\_SW1 の状態を読み出すためのポートです。データ・フォーマットを次に示します。

表5 - 10 OP\_SW1読み出しポート

アドレス	データ・バス								内 容
	D7	D6	D5	D4	D3	D2	D1	D0	
380A000H	OP_SW1-8	OP_SW1-7	OP_SW1-6	OP_SW1-5	OP_SW1-4	OP_SW1-3	OP_SW1-2	OP_SW1-1	0 = ON 1 = OFF

**5.5.7 7SEG-LED (7SEG-LED 表示データ出力ポート) ... 3802000H (ライト・オンリー)**

4つの7SEG-LEDに表示するデータを設定します。データ・フォーマットを表5-11に示します。

該当するビットに0を設定すると対応するセグメントが点灯します。

各セグメント(7SEGN-Aから7SEGN-G, および7SEGN-DP)は, 次のように配置されています(n = 1-4)。

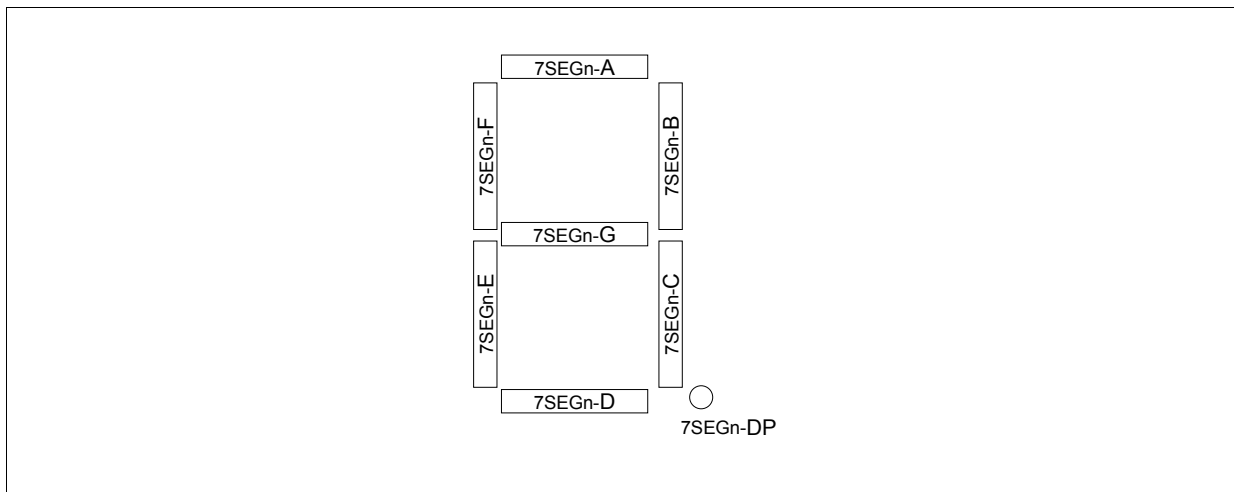


表5 - 11 7SEG-LED表示データ出力ポート

(a) 7SEG1

アドレス	データ								内容
	D7	D6	D5	D4	D3	D2	D1	D0	
3802000H	7SEG1-DP	7SEG1-G	7SEG1-F	7SEG1-E	7SEG1-D	7SEG1-C	7SEG1-B	7SEG1-A	0 = 点灯 1 = 消灯

(b) 7SEG2

アドレス	データ								内容
	D15 (D7)	D14 (D6)	D13 (D5)	D12 (D4)	D11 (D3)	D10 (D2)	D9 (D1)	D8 (D0)	
3802000H (3802001H)	7SEG2-DP	7SEG2-G	7SEG2-F	7SEG2-E	7SEG2-D	7SEG2-C	7SEG2-B	7SEG2-A	0 = 点灯 1 = 消灯

(c) 7SEG3

アドレス	データ								内容
	D23 (D7)	D22 (D6)	D21 (D5)	D20 (D4)	D19 (D3)	D18 (D2)	D17 (D1)	D16 (D0)	
3802000H (3802002H)	7SEG3-DP	7SEG3-G	7SEG3-F	7SEG3-E	7SEG3-D	7SEG3-C	7SEG3-B	7SEG3-A	0 = 点灯 1 = 消灯

(d) 7SEG4

アドレス	データ								内容
	D31 (D7)	D30 (D6)	D29 (D5)	D28 (D4)	D27 (D3)	D26 (D2)	D25 (D1)	D24 (D0)	
3802000H (3802003H)	7SEG4-DP	7SEG4-G	7SEG4-F	7SEG4-E	7SEG4-D	7SEG4-C	7SEG4-B	7SEG4-A	0 = 点灯 1 = 消灯

### 5.5.8 PIC (割り込みコントローラ) ... 3804000H-3804028H (リード/ライト可)

PIC は、モニタ・プログラムの動作に必要な割り込みをサポートします。接続可能な割り込みは、次のとおりです。

- (1) TIC ( $\mu$  PD71054) の OUT0 によるタイマ割り込み
- (2) RS-232-C, パラレル (TL16C552C) の通信割り込み
- (3) LAN (RTL8019AS) の割り込み

表5 - 12 PICのレジスタ一覧

アドレス	レジスタ名	ビット							
		7	6	5	4	3	2	1	0
3804000H	INT0_MASK	x	x	x	IM04	IM03	IM02	IM01	IM00
3804008H	INT1_MASK	x	x	x	IM14	IM13	IM12	IM11	IM10
3804010H	INT_STATUS	x	x	x	IR4	IR3	IR2	IR1	IR0
3804020H	INT0_ENABLE	x	x	x	x	x	x	INT0/NMI2	INT0EN
3804028H	INT1_ENABLE	x	x	x	x	x	x	INT1USE	INT1EN

備考 x: リード時は不定, ライト時は0をライトしてください。

#### (1) INTm\_MASK

入力する割り込みをマスクします。IMn ビットが「1」のときにイネーブルとなり、複数ビットを選択した場合にはそれぞれの論理和 (OR) で割り込みがアクティブとなります (n=5-0)。初期値は不定です。各ビットに割り付けられている割り込み要因を次に示します。

表5 - 13 INT\_MASKレジスタの各ビットと対応する割り込み要因の関係

ビット名	割り込み要因	要求レベル
IMm0	TIC ( $\mu$ PD71054) の OUT0 によるタイマ割り込み	エッジ
IMm1	TIC ( $\mu$ PD71054) の OUT2 によるタイマ割り込み	エッジ
IMm2	RS232C1 (TL16PIR) の通信割り込み	レベル
IMm3	RS232C2 (TL16PIR) の通信割り込み	レベル
IMm4	1284 (TL16PIR) の通信割り込み	エッジ

#### (2) INT\_STATUS

割り込みステータス・レジスタで、INTm\_MASK レジスタの各ビットに対応します。INTm\_MASK レジスタのマスク状態に関係なく、割り込み要求がある場合に「1」が読み出せます。また、エッジ割り込み要求の解除 (クリア) には、このレジスタの対応ビットに「1」を書き込みます (m=1-0)。初期値は不定です。

レベル割り込み要求の解除 (クリア) は、要求元のデバイスで行ってください。



**(3) INT0\_ENABLE**

割り込み全体の許可/禁止などを制御します。

ボードをリセットすると、INT0\_ENABLE はクリア (0) されます。

**(a) INT0EN**

割り込みをハードウェア的に禁止できます。このとき、割り込み端子の状態はロウ・レベルとなります。

0 : INT0/NMI2 をマスクする (初期値)。

1 : INT0/NMI2 をマスクしない。

複数の割り込み要因が発生しているときに、1つの割り込み処理が終了した時点で、 $\mu$  PD703193 への割り込み信号にエッジを生成するために使用します。 $\mu$  PD703193 の割り込み入力がエッジ検出の場合、割り込みハンドラの最後のステップでは、このビットをいったん「1」に設定後、「0」にする処理を実行してください。これによって、保留中の割り込みが受け付けられます。

**(b) INT0/NMI2**

モニタで使用する割り込みを選択します。

0 : NMI2 を使用 (初期値)。

1 : INT0 を使用。

**(4) INT1\_ENABLE**

割り込み全体の許可/禁止などを制御します。

ボードをリセットすると、INT0\_ENABLE はクリア (0) されます。

**(a) INT1EN**

割り込みをハードウェア的に禁止できます。このとき、割り込み端子の状態はロウ・レベルとなります。

0 : INT0/NMI2 をマスクする (初期値)。

1 : INT0/NMI2 をマスクしない。

複数の割り込み要因が発生しているときに、1つの割り込み処理が終了した時点で、 $\mu$  PD703193 への割り込み信号にエッジを生成するために使用します。 $\mu$  PD703193 の割り込み入力がエッジ検出の場合、割り込みハンドラの最後のステップでは、このビットをいったん「1」に設定後、「0」にする処理を実行してください。これによって、保留中の割り込みが受け付けられます。

**(b) INT1USE**

INT1 に対するの出力を許可します。

0 : INT1 に対する出力を HI-Z にする (初期値)

1 : INT1 を使用

5.5.9 TIC (タイマ/カウンタ) ... 3808000H-3808030FH

TICは $\mu$ PD71054を使用しています。 $\mu$ PD71054は、3チャンネルのタイマ/カウンタを持ち、これらのタイマ/カウンタにより、割り込みの生成を行っています。

TICの各レジスタは、次に示すように割り付けられています。

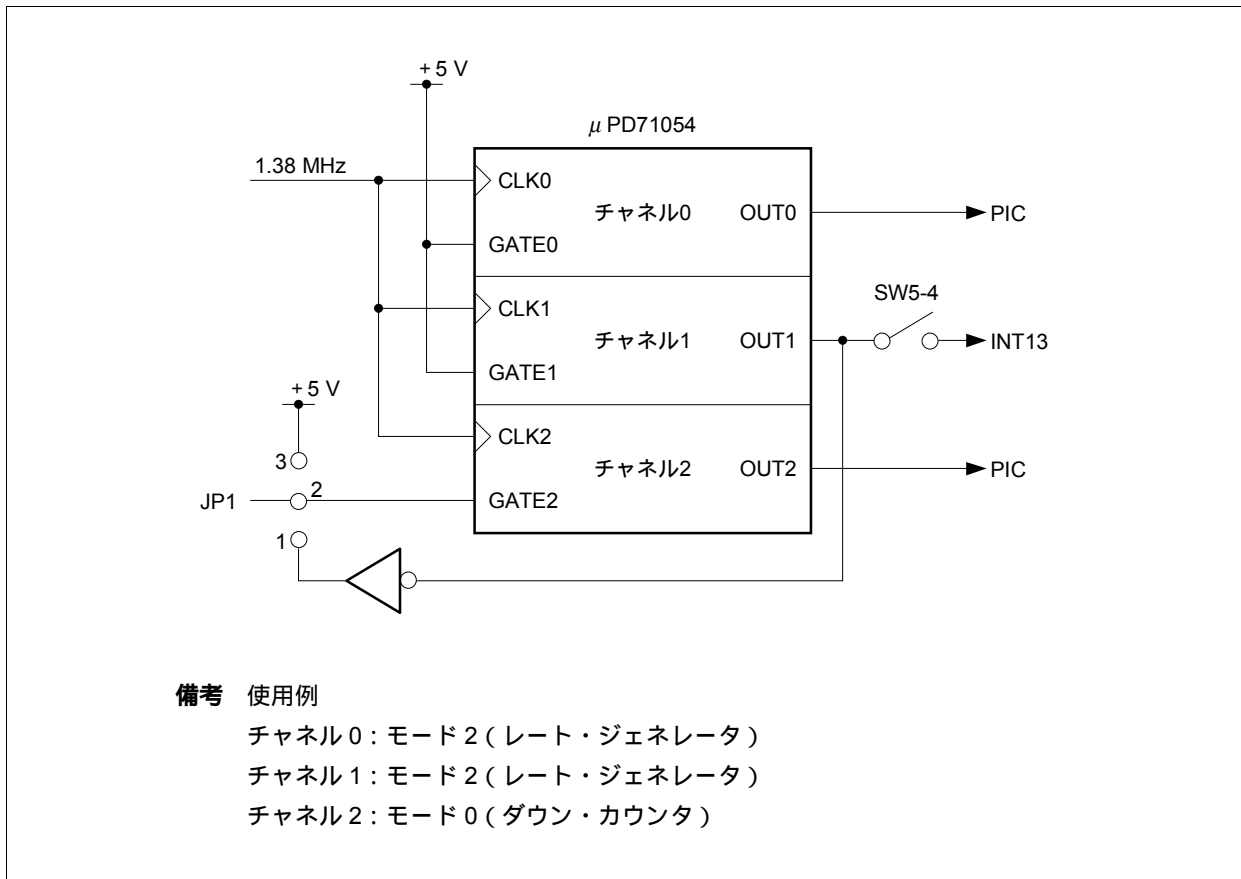
表5-14 TICのレジスタ一覧

アドレス	リード時	ライト時
3808000H	カウンタ#0	カウンタ#0
3808010H	カウンタ#1	カウンタ#1
3808020H	カウンタ#2	カウンタ#2
3808030H	-	コントロール・ワード・レジスタ

TICの各チャンネルは、図5-2に示すように接続されています。

チャンネル0-2は、ユーザのプログラムで自由に使用できます(チャンネル2は、チャンネル1とカスケード接続ができます)。

図5-2 TICの各チャンネルの接続図



**5.5.10 RS232C\_1 (RS-232-C インタフェース) ... 3807000H-3807070H**

RS232C\_1 インタフェースとして TL16PIR552 を使用しています。TL16PIR552 は、RS-232-C を 1 チャンネル備えており、RS232C\_1 の送受信部には 16 キャラクター分の FIFO バッファを持ち、RTS/CTS フローを自動的に制御する機能を備えているため、最小限の割り込みで通信のオーバーラン・エラーを抑えられます。

TL16PIR552 の各レジスタは、次に示すように割り付けられています（各レジスタの機能については、TL16PIR552 の資料を参照してください）。

表5 - 15 TL16PIR552 (RS232C\_1) のレジスタ一覧

アドレス	リード時	ライト時
3807000H	RBR/DLL	THR/DLL
3807010H	IER/DLM	IER/DLM
3807020H	IIR	FCR
3807030H	LCR	LCR
3807040H	MCR	MCR
3807050H	LSR	LSR
3807060H	MSR	MSR
3807070H	SCR	SCR

TL16PIR552 の XIN 入力には、22.118 MHz のクロックが接続されています。

RS232C\_1 は RS-232-C1 コネクタに接続しています。

TL16PIR552 は、システム・リセットによってリセットされます。

**5.5.11 RS232C\_2 (RS-232-C インタフェース) ... 380B000H-380B070H**

RS232C\_2 インタフェースとして TL16PIR552 を使用しています。TL16PIR552 は、RS-232-C を 1 チャンネル備えており、RS232C\_2 の送受信部には 16 キャラクター分の FIFO バッファを持ち、RTS/CTS フローを自動的に制御する機能を備えているため、最小限の割り込みで通信のオーバーラン・エラーを抑えられます。

TL16PIR552 の各レジスタは、次に示すように割り付けられています（各レジスタの機能については、TL16PIR552 の資料を参照してください）。

表5 - 16 TL16PIR552 (RS232C\_2) のレジスタ一覧

アドレス	リード時	ライト時
380B000H	RBR/DLL	THR/DLL
380B010H	IER/DLM	IER/DLM
380B020H	IIR	FCR
380B030H	LCR	LCR
380B040H	MCR	MCR
380B050H	LSR	LSR
380B060H	MSR	MSR
380B070H	SCR	SCR

TL16PIR552 の XIN 入力には、22.118 MHz のクロックが接続されています。

RS232C\_2 は RS-232-C2 コネクタに接続しています。

TL16PIR552 は、システム・リセットによってリセットされます。

### 5.5.12 IEEE1284 (パラレル・インタフェース) ... 380C000H-380C120H

TL16PIR552 の XIN 入力に、22.118 MHz のクロックを接続します。

詳細については、TL16PIR552 の資料を参照してください。

表5 - 17 TL16PIR552 (IEEE1284) のレジスタ一覧

#### (a) PPCSアクセス

アドレス	レジスタ名
380C000H	DATA
380C010H	ECPAFIFO
380C020H	DSR
380C030H	DCR
380C040H	EPPADDR
380C050H	EPPDATA

#### (b) ECPCSアクセス

アドレス	レジスタ名
380C100H	ECPDFIFO/PP DATA FIFO/TEST FIFO/CNFGA
380C110H	CNFGB
380C120H	ECR

### 5.5.13 RESET (ソフトウェア・リセット・ポート) ... 3811000H (ライト・オンリー)

3811000H に A9 をライトすると、ソフトウェア・リセットされます。

表5-18 ソフトウェア・リセット・ポート

アドレス	データ・バス							
	D7	D6	D5	D4	D3	D2	D1	D0
3811000H	1	0	1	0	1	0	0	1

### 5.5.14 STAT (接続状態読み出しポート) ... 3812000H (リード・オンリー)

ベース・ボード、ADP ボードの接続状態とフラッシュ・メモリの READY 端子の状態を読み出すためのポートです。データ・フォーマットを次に示します。

表5-19 接続状態読み出しポート

アドレス	データ・バス							
	D7	D6	D5	D4	D3	D2	D1	D0
3812000H	0	0	ON MOTHER BOARD	ON GBUS BOARD	x	x	x	USER FLASH READY

D5：マザー・ボード接続時「0」、ベース・ボード未接続時「1」

D4：GBUS ボード接続時「0」、ADP ボード未接続時「1」

D0：フラッシュ・メモリの READY 端子の状態がリードできます (READY 端子にはプルアップ抵抗が接続されています)。

## 第 6 章 $\mu$ PD703193 の端子接続

### 6.1 端子一覧

( 1/3 )

端子名	使用状態
VPD15-VPD0	47 k $\Omega$ プルダウン
VPRETR	47 k $\Omega$ プルダウン
VPDACT	10 k $\Omega$ プルアップ
VAREQ	47 k $\Omega$ プルダウン
VBDI31-VBDI0	47 k $\Omega$ プルダウン
VMWAIT	47 k $\Omega$ プルダウン
VMLAST	47 k $\Omega$ プルダウン
VMAHLD	47 k $\Omega$ プルダウン
STOPZ	10 k $\Omega$ プルアップ
HLDRQZ	10 k $\Omega$ プルアップ
SELFREF	47 k $\Omega$ プルダウン
A25-A0	システム・バスとして使用
D31-D0	システム・バスとして使用 ( 47 k $\Omega$ プルダウン )
CSZ7, CSZ5, CSZ4, CSZ0	システム・バスとして使用 ( 47 k $\Omega$ プルアップ )
WR3-WR0	システム・バスとして使用
RDZ	システム・バスとして使用 ( 10 k $\Omega$ プルアップ )
WAITZ	システム・バスとして使用 ( 10 k $\Omega$ プルアップ ) , CSZ5, CSZ0 アクセス時のみ
BENZ3-BENZ0	システム・バスとして使用
SDCLK	システム・バスとして使用
SDRASZ	システム・バスとして使用
SDCASZ	システム・バスとして使用
SDWEZ	システム・バスとして使用
CKE	システム・バスとして使用
DQMZ3-DQMZ0	システム・バスとして使用
NMI2-NMI0	システムで使用 ( 47 k $\Omega$ プルダウン ) , SW で切断可能
INT13, INT0	システムで使用 ( 47 k $\Omega$ プルダウン ) , SW で切断可能
INT1	システムで使用 ( 47 k $\Omega$ プルダウン ) , システム未使用時はハイ・インピーダンス出力
INT63-INT14, INT12-INT2	47 k $\Omega$ プルダウン
RESETZ	システムで使用 ( リセット統合回路を経由して $\mu$ PD703193 へ入力 )
CLKIN	クロック・ソケットよりクロック供給
EXCLKIN	クロック・ソケットよりクロック供給
CKSEL1, CKSEL0	SW で選択可能
IFIMAEN	SW で選択可能

端子名	使用状態
MODE5-MODE0	SW で選択可能
PWAIT2-PWAIT0	SW で選択可能
IDMASTP	47 kΩプルダウン
DMARQ3-DMARQ0	47 kΩプルダウン
IROMAA19-IROMAA2	内蔵 ROM エミュレーション用 SRAM 接続 (MODE5 によりチップ・セレクト有効)
IROMAB19-IROMAB3	内蔵 ROM エミュレーション用 SRAM 接続 (MODE5 によりチップ・セレクト有効)
IROMAZ31-IROMAZ0	内蔵 ROM エミュレーション用 SRAM 接続 (MODE5 によりチップ・セレクト有効)
IROMBZ31-IROMBZ0	内蔵 ROM エミュレーション用 SRAM 接続 (MODE5 によりチップ・セレクト有効)
IROMWEA	内蔵 ROM エミュレーション用 SRAM 接続 (MODE5 によりチップ・セレクト有効)
IROMWEB	内蔵 ROM エミュレーション用 SRAM 接続 (MODE5 によりチップ・セレクト有効)
IROMOEA	内蔵 ROM エミュレーション用 SRAM 接続 (MODE5 によりチップ・セレクト有効)
IROMOEB	内蔵 ROM エミュレーション用 SRAM 接続 (MODE5 によりチップ・セレクト有効)
IROMCLKA	内蔵 ROM エミュレーション用 SRAM 接続 (MODE5 によりチップ・セレクト有効)
IROMCLKB	内蔵 ROM エミュレーション用 SRAM 接続 (MODE5 によりチップ・セレクト有効)
DCK	N-Wire 型インサーキット・エミュレータ用インタフェースで使用
DMS	N-Wire 型インサーキット・エミュレータ用インタフェースで使用
DDI	N-Wire 型インサーキット・エミュレータ用インタフェースで使用
DDO	N-Wire 型インサーキット・エミュレータ用インタフェースで使用
DRSTZ	N-Wire 型インサーキット・エミュレータ用インタフェースで使用
TRCCLK	N-Wire 型インサーキット・エミュレータ用インタフェースで使用
TRCDATA3-TRCDATA0	N-Wire 型インサーキット・エミュレータ用インタフェースで使用
TRCEND	N-Wire 型インサーキット・エミュレータ用インタフェースで使用
EVTTRG	N-Wire 型インサーキット・エミュレータ用インタフェースで使用
DBINT	N-Wire 型インサーキット・エミュレータ用インタフェースで使用
ECCENB	ハイ・レベルに固定
BISTTEB	未使用 (使用不可)
BISTTIN	未使用 (使用不可)
BISTTOUT2, BISTTOUT1	未使用 (使用不可)
PORT3-PORT0	未使用 (使用不可)
TRG1, TRG0	未使用 (使用不可)
IDBR2-IDBR0	未使用 (使用不可)
EVASTB	未使用 (使用不可)
EVDSTB	未使用 (使用不可)
EVAD15-EVAD0	未使用 (使用不可)
EVLKRT	未使用 (使用不可)
EVIREL	未使用 (使用不可)
EVCLRIP	未使用 (使用不可)
EVINTAK	未使用 (使用不可)

( 3/3 )

端子名	使用状態
EVINTRQ	未使用 (使用不可)
EVINTLV6-EVINTLV0	未使用 (使用不可)
ICACHEHIT	未使用 (使用不可)
ICACHEACK	未使用 (使用不可)
DCACHEHIT	未使用 (使用不可)
DCACHEACK	未使用 (使用不可)
TEST	未使用 (使用不可)
BUNRI	未使用 (使用不可)
TBI39-TBI0	未使用 (使用不可)
TBO34-TBO0	未使用 (使用不可)
VSA13-VSA0	未使用 (使用不可)
VSSTZ	未使用 (使用不可)
VSSENZ1	未使用 (使用不可)
VSWRITE	未使用 (使用不可)
VSLOCK	未使用 (使用不可)
VSWAIT	未使用 (使用不可)
VSLAST	未使用 (使用不可)
VSAHLD	未使用 (使用不可)
VSELPLZ	未使用 (使用不可)
上記以外の端子	未処理



## 6.2 リセット

μ PD703193 へのリセットは表 6 - 1 に示す要因で発生します。

これらのリセットは、μ PD703193 のリセットとともに、CPU ボード全体のシステム・リセットとなります。

リセット生成ロジックの概要を図 6 - 1 に示します。

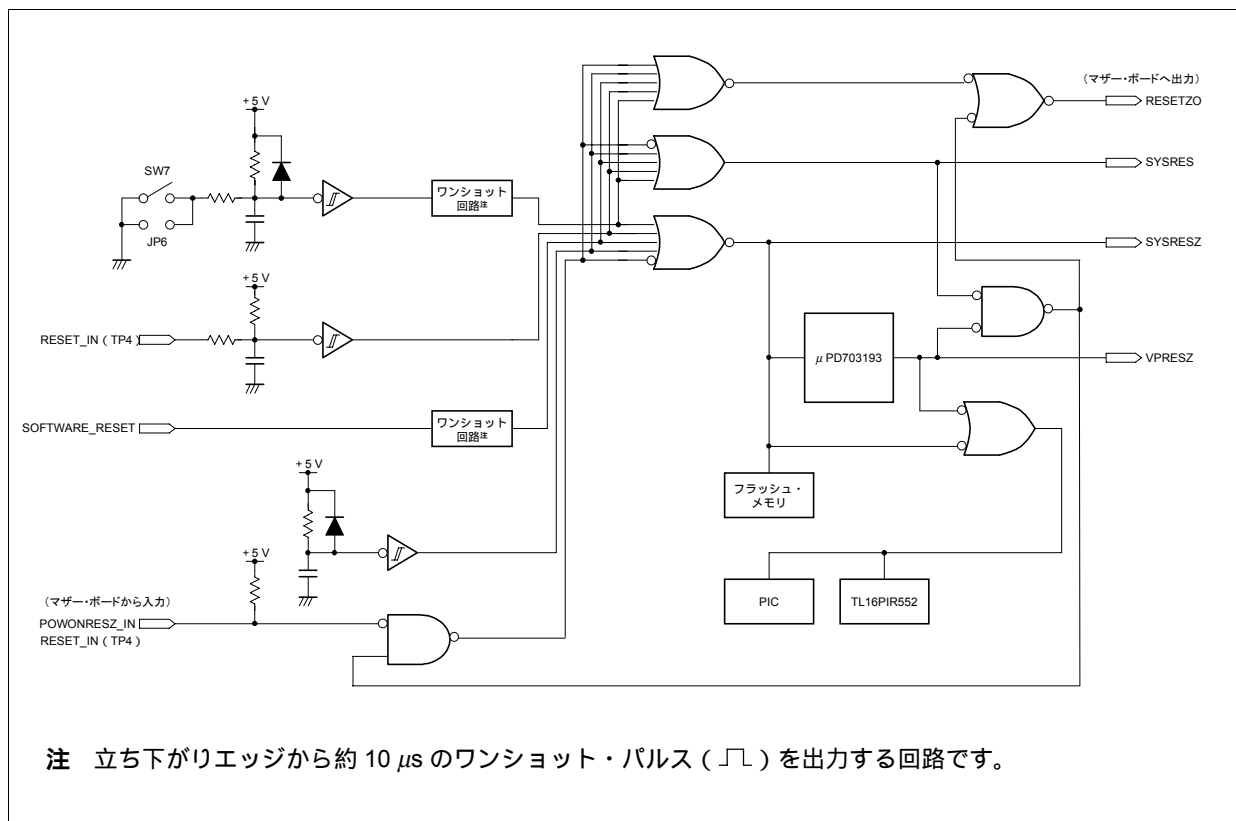
表6 - 1 リセット要因

リセット要因	リセット信号		オンボード・デバイス		
	SYSRESZ, SYSRES	VPRESZ	フラッシュ・ メモリ	TL16552	PIC
パワーオン・リセット (電源投入時)	リセット	リセット <sup>※1</sup>	リセット	リセット	リセット
リセット・スイッチ (SW7, JP6)	リセット	リセット <sup>※1</sup>	リセット	リセット	リセット
ソフトウェア・リセット (I/O 3811000H)	リセット	リセット <sup>※1</sup>	リセット	リセット	リセット
チェック・ピン・リセット入力 (TP4)	リセット	リセット <sup>※1</sup>	リセット	リセット	リセット
外部リセット入力 (POWONRESZ_IN 端子)	リセット	リセット <sup>※1</sup>	リセット	リセット	リセット
N-Wire 型インサーキット・エミュレータ によるリセット・コマンド	リセット <sup>※2</sup>	リセット	リセット <sup>※2</sup>	リセット	リセット

注 1. N-Wire 型インサーキット・エミュレータ使用時は、ディバッガでのブレーク中にμ PD703193 に対するリセットがマスクされることがあります。この場合はシステムが完全にリセットされるため、リセット・スイッチを押したあとにディバッガ上でリセット・コマンドを実行してください。

2. マザーボード未接続時はリセットされません。

図6 - 1 リセット生成ロジック



注 立ち下がりエッジから約 10 μs のワンショット・パルス (「L」) を出力する回路です。

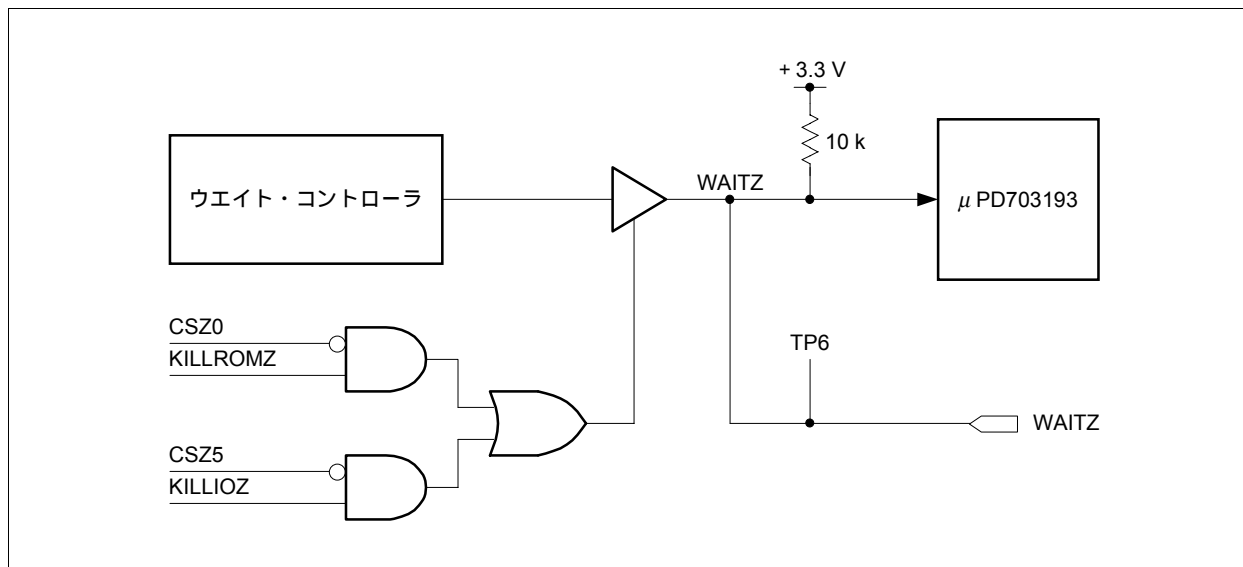
## 6.3 WAITZ 信号

CPU ボード上の FPGA は、CPU ボードのフラッシュ・メモリ、オンボード I/O へのアクセス時に WAITZ 信号をドライブします。ただし、RDZ, WRZ3-WRZ0 がロウ・レベルにアサートされてから WAITZ 信号が出力されるため、WAITZ 信号が出力されるまでメモリ・コントローラ (MEMC) のプログラマブル機能によりウエイトの設定が必要になります。

メモリ・コントローラ (MEMC) のレジスタの設定については、5.3 MEMC, μPD703193 のレジスタの設定を参照してください。

WAITZ 信号のドライブ部分の構成を図 6 - 2 に示します。

図6 - 2 WAITZ信号のドライブ部分の構成



## 付録 A μPD703193 のレジスタ

### A.1 ROM/RAM コンフィギュレーション・レジスタ (RSZ)

RAM サイズと VFB のインタフェース・モードを設定する 8 ビット・レジスタです。  
8/1 ビット単位でリード/ライト可能です。

図A-1 ROM/RAMコンフィギュレーション・レジスタ (RSZ)

	7	6	5	4	3	2	1	0		
RSZ	0	IRAMS 2	IRAMS 1	IRAMS 0	0	0	0	ITLV	アドレス	初期値
									FFFFFF7FCH	00H

ビット位置	ビット名	意味																																						
6-4	IRAMS2- IRAMS0	RAM のサイズを設定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th rowspan="2">IRAMS2</th> <th rowspan="2">IRAMS1</th> <th rowspan="2">IRAMS0</th> <th rowspan="2">RAM サイズ</th> <th colspan="2">マッピング</th> </tr> <tr> <th>64 M バイト・モード</th> <th>256 M バイト・モード</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>4 K バイト</td> <td style="text-align: center;">3FFE000H- 3FFF000H</td> <td style="text-align: center;">FFFE000H- FFFF000H</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>12 K バイト</td> <td style="text-align: center;">3FFC000H- 3FFF000H</td> <td style="text-align: center;">FFFC000H- FFFF000H</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>28 K バイト</td> <td style="text-align: center;">3FF8000H- 3FFF000H</td> <td style="text-align: center;">FFF8000H- FFFF000H</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>60 K バイト</td> <td style="text-align: center;">3FF0000H- 3FFF000H</td> <td style="text-align: center;">FFF0000H- FFFF000H</td> </tr> <tr> <td colspan="3" style="text-align: left;">上記以外</td> <td colspan="3" style="text-align: center;">将来の機能拡張のための予約</td> </tr> </tbody> </table>	IRAMS2	IRAMS1	IRAMS0	RAM サイズ	マッピング		64 M バイト・モード	256 M バイト・モード	0	0	0	4 K バイト	3FFE000H- 3FFF000H	FFFE000H- FFFF000H	0	0	1	12 K バイト	3FFC000H- 3FFF000H	FFFC000H- FFFF000H	0	1	0	28 K バイト	3FF8000H- 3FFF000H	FFF8000H- FFFF000H	1	0	0	60 K バイト	3FF0000H- 3FFF000H	FFF0000H- FFFF000H	上記以外			将来の機能拡張のための予約		
IRAMS2	IRAMS1	IRAMS0					RAM サイズ	マッピング																																
			64 M バイト・モード	256 M バイト・モード																																				
0	0	0	4 K バイト	3FFE000H- 3FFF000H	FFFE000H- FFFF000H																																			
0	0	1	12 K バイト	3FFC000H- 3FFF000H	FFFC000H- FFFF000H																																			
0	1	0	28 K バイト	3FF8000H- 3FFF000H	FFF8000H- FFFF000H																																			
1	0	0	60 K バイト	3FF0000H- 3FFF000H	FFF0000H- FFFF000H																																			
上記以外			将来の機能拡張のための予約																																					
0	ITLV	VFB (内蔵の ROM エミュレーション用 RAM / ROM エミュレーション拡張用端子) のインタフェース・モードを設定します。 0: インタリーブ・モード (内蔵 ROM エミュレーション RAM を使用する場合: 256 K バイト使用可能) 1: ノンインタリーブ・モード (内蔵 ROM エミュレーション RAM を使用する場合: 128 K バイト使用可能)																																						

## A.2 キャッシュ・サイズ・コントロール・レジスタ (CSZ)

命令キャッシュとデータ・キャッシュのサイズを設定する 8 ビット・レジスタです。

8/1 ビット単位でリード/ライト可能です。

図A-2 キャッシュ・サイズ・コントロール・レジスタ (CSZ)

	7	6	5	4	3	2	1	0		
CSZ	0	0	DSZ	DTYP	0	0	ISZ1	ISZ0	アドレス	初期値
									FFFFFF7FEH	00H

ビット位置	ビット名	意味															
5	DSZ	データ・キャッシュのサイズを設定します。 0: 8 K バイト 2 ウエイ・セット・アソシアティブ 1: 4 K バイト・ダイレクト・マップ															
4	DTYP	データ・キャッシュのリフィル・モードを選択します。 0: クリティカル・ファースト・モード 1: シーケンシャル・モード															
1, 0	ISZ1, ISZ0	命令キャッシュのサイズを設定します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ISZ1</th> <th>ISZ0</th> <th>命令キャッシュのサイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8 K バイト 2 ウエイ・セット・アソシアティブ</td> </tr> <tr> <td>0</td> <td>1</td> <td>4 K バイト 2 ウエイ・セット・アソシアティブ</td> </tr> <tr> <td>1</td> <td>0</td> <td>4 K バイト・ダイレクト・マップ<sup>注</sup></td> </tr> <tr> <td>1</td> <td>1</td> <td>2 K バイト・ダイレクト・マップ<sup>注</sup></td> </tr> </tbody> </table>	ISZ1	ISZ0	命令キャッシュのサイズ	0	0	8 K バイト 2 ウエイ・セット・アソシアティブ	0	1	4 K バイト 2 ウエイ・セット・アソシアティブ	1	0	4 K バイト・ダイレクト・マップ <sup>注</sup>	1	1	2 K バイト・ダイレクト・マップ <sup>注</sup>
ISZ1	ISZ0	命令キャッシュのサイズ															
0	0	8 K バイト 2 ウエイ・セット・アソシアティブ															
0	1	4 K バイト 2 ウエイ・セット・アソシアティブ															
1	0	4 K バイト・ダイレクト・マップ <sup>注</sup>															
1	1	2 K バイト・ダイレクト・マップ <sup>注</sup>															

**注** 現在リリース中のマクロ (NB85E212, NB85E213) では対応していません。

## 付録 B $\mu$ PD703193 の動作モード

### B.1 動作モード

$\mu$  PD703193 には次に示す 3 つの動作モードがあります。それぞれ VSB データ・バス幅の初期値を設定できます (ただし,  $\mu$  PD703193 では 32/16 ビット幅のみ)。モードの指定は, MODE3-MODE0 端子により行います。

- ROM レス・モード
- シングルチップ・モード 0
- シングルチップ・モード 1

また, MODE4, MODE5 端子の入力レベルにより, 次に示す機能の動作許可/禁止を設定できます。

- メモリ・コントローラ (MEMC)
- ROM エミュレーション拡張用端子 (VFB 接続の ROM 領域として使用する RAM の選択)

#### B.1.1 ROM レス・モード

外部メモリの 0000000H 番地からプログラム ROM 領域がマッピングされます。VFB 接続の ROM 領域への命令フェッチ, データ・アクセスはできません。

64 M バイト・モードと 256 M バイト・モードがあります。

#### B.1.2 シングルチップ・モード 0

VFB 接続の ROM 領域へのアクセスが可能になります。

ROM 領域は 0000000H 番地からマッピングされます。

#### B.1.3 シングルチップ・モード 1

VFB 接続の ROM 領域へのアクセスが可能になります。

ROM 領域は 0100000H 番地からマッピングされます。

## B.2 各動作モードの設定

### B.2.1 動作モードの設定

動作モードは、MODE3-MODE0 端子の入力レベルにより設定をします。

表B-1 動作モードの設定

MODE 3	MODE 2	MODE 1	MODE 0	モード	VSB データ・バス幅
L	L	L	L	シングルチップ・モード0 (64 M バイト・モード) (ROM 領域を 0000000H から配置)	16 ビット
L	L	L	H	シングルチップ・モード1 (64 M バイト・モード) (ROM 領域を 0100000H から配置)	16 ビット
L	L	H	L	ROM レス・モード (64 M バイト・モード)	16 ビット
L	L	H	H	設定禁止	
L	H	L	L	シングルチップ・モード0 (64 M バイト・モード) (ROM 領域を 0000000H から配置)	32 ビット
L	H	L	H	シングルチップ・モード1 (64 M バイト・モード) (ROM 領域を 0100000H から配置)	32 ビット
L	H	H	L	ROM レス・モード (64 M バイト・モード)	32 ビット
L	H	H	H	設定禁止	
H	L	H	L	ROM レス・モード (256 M バイト・モード)	16 ビット
H	H	H	L	ROM レス・モード (256 M バイト・モード)	32 ビット
上記以外				(将来の機能拡張のための予約)	

備考 L: ロウ・レベル入力 H: ハイ・レベル入力

### B.2.2 メモリ・コントローラ (MEMC) の動作許可 / 禁止の設定

メモリ・コントローラ (MEMC) の動作許可 / 禁止は、MODE4 端子の入力レベルにより設定します。

表B-2 メモリ・コントローラ (MEMC) の動作許可 / 禁止の設定

MODE4	メモリ・コントローラ (MEMC)
ハイ・レベル入力	動作許可
ロウ・レベル入力	動作禁止

### B. 2.3 VFB 接続の ROM 領域として使用する RAM の選択

VFB 接続の ROM 領域として使用する RAM は、MODE5 端子の入力レベルにより選択します。また、MODE5 端子の入力レベルにより、VSB/ROM エミュレーション拡張用端子の機能が切り替わります。

表B - 3 VFB接続のROM領域として使用するRAMの選択

MODE5	機 能	シングルチップ・ モード 0	シングルチップ・ モード 1	VSB/ROM エミュレ ーション拡張用 端子機能	ROM レス・ モード <sup>注</sup>
ハイ・レベル入力	ROM エミュレーシ ョン拡張用端子に接続の 外部メモリ有効	0000000H - 1 M バイト	0100000H - 1 M バイト	ROM エミュレーシ ョン拡張	-
ロウ・レベル入力	μ PD703193 内蔵の ROM エミュレーシ ョン用 RAM 有効	0000000H - 256 K バイト	0100000H - 256 K バイト	VSB	VFB 使用不可 外部メモリ有 効

注 ROM レス・モード時は MODE5 端子にロウ・レベルを入力してください。

— お問い合わせ先 —

**【技術的なお問い合わせ先】**

NEC半導体テクニカルホットライン  
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494  
FAX : 044-435-9608  
E-mail : info@lsi.nec.co.jp

**【営業関係お問い合わせ先】**

〔システムLSI〕

システムLSI第一営業事業部

東京 (03)3798-6106, 6107, 6108, 6155  
大阪 (06)6945-3178, 3200, 3208  
名古屋 (052)222-2375  
仙台 (022)267-8740  
水戸 (029)226-1702  
広島 (082)242-5504  
鳥取 (0857)27-5313  
松山 (089)945-4149

システムLSI第二営業事業部

東京 (03)3798-6110, 6111, 6112, 6151, 6156  
名古屋 (052)222-2170, 2190  
松本 (0263)35-1662  
前橋 (027)243-6060  
立川 (042)526-5981  
静岡 (054)254-4794  
金沢 (076)232-7303  
福岡 (092)261-2806

〔汎用デバイス〕

汎用デバイス営業事業部

東京 (03)3798-6671, 6801  
大阪 (06)6945-3202  
名古屋 (052)222-2375, 2170, 2175  
仙台 (022)267-8740

長野 (0263)35-1662  
群馬 (027)243-6060  
水戸 (029)226-1702  
静岡 (054)254-4794

北陸 (076)232-7303  
鳥取 (0857)27-5313  
九州 (092)261-2806

**【資料の請求先】**

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

**【NECエレクトロニクス デバイス ホームページ】**

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>



**アンケート記入のお願い**

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] SolutionGear-CPU-NU85ET ユーザーズ・マニュアル(暫定)  
(U16105JJ1V0UM00(第1版))

[お名前など] (さしつかえのない範囲で)  
御社名(学校名, その他) ( )  
ご住所 ( )  
お電話番号 ( )  
お仕事の内容 ( )  
お名前 ( )

1. ご評価 (各欄に をご記入ください)

項目	大変良い	良い	普通	悪い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ( )					
( )					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他 )  
理由 [ ]

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他 )  
理由 [ ]

4. ご意見, ご要望

5. このドキュメントをお届けしたのは  
NEC 販売員, 特約店販売員, その他 ( )

ご協力ありがとうございました。  
下記あてに FAX で送信いただくか, 最寄りの販売員にコピーをお渡しください。