

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

SH7724

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ

SuperH™ RISC engine ファミリ

R8A7724

【NDA 削除版】

ビデオプロセッシングユニット (VPU)、2D グラフィックアクセラレータ (2DG) およびサウンドプロセッシングユニット 2 (SPU2) の章は秘守契約を結んでいただいたうえで公開いたします。
詳細は、弊社の営業担当にご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事業の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 索引

はじめに

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。本 LSI は、SH4A 拡張機能を備えており、SH4A に対して機能的に上位互換です。

対象者 本マニュアルは、本 LSI を用いた応用システムを設計するユーザを対象としています。
本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。

読み方

- 機能全体を理解しようとするとき

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- SH4A 拡張機能の各命令の詳細を理解したいとき

別冊の「SH4A 拡張機能 ソフトウェアマニュアル」を参照してください。

【凡例】

レジスタ表記： シリアルコミュニケーションなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記： 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記： 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX で表します。

記号の表記： ローアクティブの信号にはオーバーバー ($\overline{\text{XXXX}}$) を付けます。

【略語の説明】

ALU	Arithmetic Logic Unit 演算論理回路
ASID	Address Space Identifier アドレス空間識別子
ATAPI	AT Attachment Packet Interface AT アタッチメントパケットインタフェース
BEU	Blend Engine Unit ブレンドエンジンユニット
BSC	Bus State Controller バスステートコントローラ
CEU	Capture Engine Unit キャプチャエンジンユニット
CMT	Compare Match Timer コンペアマッチタイマ
CPG	Clock Pulse Generator クロックパルス発生器
CPU	Central Processing Unit 中央制御装置
DBSC	DDR-SDRAM Bus State Controller DDR 用バスコントローラ
DMA	Direct Memory Access ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ
ETU	Elementary Time Unit 1 ビットの転送時間
FIFO	First-In First-Out 先入れ先出し
FPU	Floating point number Processing Unit 浮動小数点演算ユニット
FSI	Fifo-attached Serial Interface FIFO 内蔵シリアルインタフェース
H-UDI	User Debugging Interface ユーザデバッグインタフェース
IIC	Inter IC bus I ² C バス

INTC	Interrupt Controller 割り込みコントローラ
IrDA	Infrared Data Association 赤外線通信の規格名称
JPU	JPEG Processing Unit JPEG プロセッシングユニット
JPEG	Joint Photographic Experts Group カラー静止画像の圧縮伸張方式の規格
JTAG	Joint Test Action Group バウンダリスキャン規格化 Gr
KEYSC	Keyscan Interface キースキャンインタフェース
LCDC	LCD Controller LCD コントローラ
LRU	Least Recently Used (仮想記憶ページ置き換えアルゴリズムの名前)
LSB	Least Significant Bit 最下位ビット
MMC	Multi Media Card マルチメディアカード
MMU	Memory Management Unit メモリマネジメントユニット
MPEG	Motion Picture Experts Group デジタル動画と音声圧縮伸張に関する規格
MSB	Most Significant Bit 最上位ビット
MSIOF	Clock-Synchronized Serial Interface with FIFO FIFO 付きクロック同期シリアル I/O
PC	Program Counter プログラムカウンタ
PFC	Pin Function Controller ピンファンクションコントローラ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
RTC	Realtime Clock リアルタイムクロック
RWDT	RCLK Watch Dog Timer RCLK ウォッチドッグタイマ

SCIF	Serial Communication Interface with FIFO FIFO 内蔵シリアルコミュニケーションインタフェース
SPU	Sound Processing Unit サウンドプロセッシングユニット
TAP	Test Access Port テスト端子
TLB	Translation Lookaside Buffer 変換ルックアサイドバッファ
TMU	Timer Unit タイマユニット
TPU	Timer Pulse Unit タイマパルスユニット
TSIF	Transport Stream Interface トランスポートストリームインタフェース
UART	Universal Asynchronous Receiver/Transmitter 調歩同期インタフェース
UBC	User Break Controller ユーザブレイクコントローラ
USB	Universal Serial Bus ユニバーサルシリアルバス
VEU	Video Engine Unit ビデオエンジンユニット
VOU	Video Output Unit ビデオ出力ユニット
VPU	Video Processing Unit ビデオプロセッシングユニット

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																
1.3 モジュール仕様概要 表 1.2 モジュール仕様概要	1-3	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>メモリ マネジメント ユニット (MMU)</td> <td>4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID8 ビット)</td> </tr> </tbody> </table>	項目	説明	メモリ マネジメント ユニット (MMU)	4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID8 ビット)																																																												
	項目	説明																																																																
	メモリ マネジメント ユニット (MMU)	4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID8 ビット)																																																																
1-8	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>USB2.0 ホスト& ファンクション モジュール (USB)</td> <td> 最大 10 本のパイプを選択可能 (デフォルトコントロールパイプを含む) パイプ 1-9 は任意のエンドポイント番号を割り付け可能 各パイプの設定可能な転送方式 パイプ 0: コントロール転送 パイプ 1, 2: バルク転送またはアイソクロナス転送 パイプ 3-5: バルク転送 パイプ 6-9: インタラプト転送 EXTERNALUSB 入力ロック: 48MHz </td> </tr> </tbody> </table>	項目	説明	USB2.0 ホスト& ファンクション モジュール (USB)	最大 10 本のパイプを選択可能 (デフォルトコントロールパイプを含む) パイプ 1-9 は任意のエンドポイント番号を割り付け可能 各パイプの設定可能な転送方式 パイプ 0: コントロール転送 パイプ 1, 2: バルク転送またはアイソクロナス転送 パイプ 3-5: バルク転送 パイプ 6-9: インタラプト転送 EXTERNALUSB 入力ロック: 48MHz																																																													
項目	説明																																																																	
USB2.0 ホスト& ファンクション モジュール (USB)	最大 10 本のパイプを選択可能 (デフォルトコントロールパイプを含む) パイプ 1-9 は任意のエンドポイント番号を割り付け可能 各パイプの設定可能な転送方式 パイプ 0: コントロール転送 パイプ 1, 2: バルク転送またはアイソクロナス転送 パイプ 3-5: バルク転送 パイプ 6-9: インタラプト転送 EXTERNALUSB 入力ロック: 48MHz																																																																	
1-10	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>LCD コントローラ (LCDC)</td> <td>対応液晶パネル: TFT カラー液晶、最大 XGA、HD (1280×720) クラスまで対応可能</td> </tr> </tbody> </table>	項目	説明	LCD コントローラ (LCDC)	対応液晶パネル: TFT カラー液晶、最大 XGA、HD (1280×720) クラスまで対応可能																																																													
項目	説明																																																																	
LCD コントローラ (LCDC)	対応液晶パネル: TFT カラー液晶、最大 XGA、HD (1280×720) クラスまで対応可能																																																																	
1.4 端子配置図 (BGA449) 図 1.3 BGA449 端子配置図	1-14	図を修正 																																																																
1.5 端子配置表 (BGA449) 表 1.3 端子配置表	1-16	表を修正 <table border="1"> <thead> <tr> <th>No.</th> <th>ボール配置</th> <th>端子名</th> <th>マルチプレクス機能</th> <th>I/O</th> <th>I/O バッファタイプ</th> <th>I/O バッファ電源</th> <th>未使用時処理</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>A6</td> <td>AV33_0</td> <td>AV33</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>28</td> <td>B3</td> <td>AG33_1</td> <td>AG33</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>29</td> <td>B4</td> <td>AV33_1</td> <td>AV33</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>30</td> <td>B5</td> <td>DG33_1</td> <td>DG33</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>31</td> <td>B6</td> <td>AG33_0</td> <td>AG33</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>32</td> <td>B7</td> <td>DV33_0</td> <td>DV33</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>33</td> <td>B8</td> <td>DG33_0</td> <td>DG33</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> </tbody> </table>	No.	ボール配置	端子名	マルチプレクス機能	I/O	I/O バッファタイプ	I/O バッファ電源	未使用時処理	6	A6	AV33_0	AV33	-	-	-	open	28	B3	AG33_1	AG33	-	-	-	open	29	B4	AV33_1	AV33	-	-	-	open	30	B5	DG33_1	DG33	-	-	-	open	31	B6	AG33_0	AG33	-	-	-	open	32	B7	DV33_0	DV33	-	-	-	open	33	B8	DG33_0	DG33	-	-	-	open
No.	ボール配置	端子名	マルチプレクス機能	I/O	I/O バッファタイプ	I/O バッファ電源	未使用時処理																																																											
6	A6	AV33_0	AV33	-	-	-	open																																																											
28	B3	AG33_1	AG33	-	-	-	open																																																											
29	B4	AV33_1	AV33	-	-	-	open																																																											
30	B5	DG33_1	DG33	-	-	-	open																																																											
31	B6	AG33_0	AG33	-	-	-	open																																																											
32	B7	DV33_0	DV33	-	-	-	open																																																											
33	B8	DG33_0	DG33	-	-	-	open																																																											

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																								
1.5 端子配置表 (BGA449) 表 1.3 端子配置表	1-17	<p>表を修正</p> <table border="1"> <thead> <tr> <th>No.</th> <th>ボール配置</th> <th>端子名</th> <th>マルチプレクス機能</th> <th>I/O</th> <th>I/Oバッファ TYPE</th> <th>I/Oバッファ 電源</th> <th>未使用時処理</th> </tr> </thead> <tbody> <tr> <td>54</td> <td>C4</td> <td>AV12_1</td> <td>AV12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>55</td> <td>C5</td> <td>DV33_1</td> <td>DV33</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>56</td> <td>C6</td> <td>VBUS1</td> <td>VBUS1</td> <td>I</td> <td></td> <td>DV33_1</td> <td>pull-down</td> </tr> <tr> <td>57</td> <td>C7</td> <td>AG12_0</td> <td>AG12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>58</td> <td>C8</td> <td>AV12_0</td> <td>AV12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> </tbody> </table>	No.	ボール配置	端子名	マルチプレクス機能	I/O	I/Oバッファ TYPE	I/Oバッファ 電源	未使用時処理	54	C4	AV12_1	AV12	-	-	-	open	55	C5	DV33_1	DV33	-	-	-	open	56	C6	VBUS1	VBUS1	I		DV33_1	pull-down	57	C7	AG12_0	AG12	-	-	-	open	58	C8	AV12_0	AV12	-	-	-	open								
No.	ボール配置	端子名	マルチプレクス機能	I/O	I/Oバッファ TYPE	I/Oバッファ 電源	未使用時処理																																																			
54	C4	AV12_1	AV12	-	-	-	open																																																			
55	C5	DV33_1	DV33	-	-	-	open																																																			
56	C6	VBUS1	VBUS1	I		DV33_1	pull-down																																																			
57	C7	AG12_0	AG12	-	-	-	open																																																			
58	C8	AV12_0	AV12	-	-	-	open																																																			
	1-18	<p>表を修正</p> <table border="1"> <thead> <tr> <th>No.</th> <th>ボール配置</th> <th>端子名</th> <th>マルチプレクス機能</th> <th>I/O</th> <th>I/Oバッファ TYPE</th> <th>I/Oバッファ 電源</th> <th>未使用時処理</th> </tr> </thead> <tbody> <tr> <td>77</td> <td>D2</td> <td>RTC_CLK</td> <td>RTC_CLK</td> <td>I</td> <td>schmitt</td> <td>VccO</td> <td>pull up/pull-down or Vss 固定</td> </tr> <tr> <td>80</td> <td>D5</td> <td>AG12_1</td> <td>AG12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>81</td> <td>D6</td> <td>UG12_1</td> <td>UG12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>82</td> <td>D7</td> <td>DG12_1</td> <td>DG12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>83</td> <td>D8</td> <td>UG12_0</td> <td>UG12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>84</td> <td>D9</td> <td>DG12_0</td> <td>DG12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> </tbody> </table>	No.	ボール配置	端子名	マルチプレクス機能	I/O	I/Oバッファ TYPE	I/Oバッファ 電源	未使用時処理	77	D2	RTC_CLK	RTC_CLK	I	schmitt	VccO	pull up/pull-down or Vss 固定	80	D5	AG12_1	AG12	-	-	-	open	81	D6	UG12_1	UG12	-	-	-	open	82	D7	DG12_1	DG12	-	-	-	open	83	D8	UG12_0	UG12	-	-	-	open	84	D9	DG12_0	DG12	-	-	-	open
No.	ボール配置	端子名	マルチプレクス機能	I/O	I/Oバッファ TYPE	I/Oバッファ 電源	未使用時処理																																																			
77	D2	RTC_CLK	RTC_CLK	I	schmitt	VccO	pull up/pull-down or Vss 固定																																																			
80	D5	AG12_1	AG12	-	-	-	open																																																			
81	D6	UG12_1	UG12	-	-	-	open																																																			
82	D7	DG12_1	DG12	-	-	-	open																																																			
83	D8	UG12_0	UG12	-	-	-	open																																																			
84	D9	DG12_0	DG12	-	-	-	open																																																			
	1-19	<p>表を修正</p> <table border="1"> <thead> <tr> <th>No.</th> <th>ボール配置</th> <th>端子名</th> <th>マルチプレクス機能</th> <th>I/O</th> <th>I/Oバッファ TYPE</th> <th>I/Oバッファ 電源</th> <th>未使用時処理</th> </tr> </thead> <tbody> <tr> <td>106</td> <td>E6</td> <td>UV12_1</td> <td>UV12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>107</td> <td>E7</td> <td>DV12_1</td> <td>DV12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>108</td> <td>E8</td> <td>UV12_0</td> <td>UV12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> <tr> <td>109</td> <td>E9</td> <td>DV12_0</td> <td>DV12</td> <td>-</td> <td>-</td> <td>-</td> <td>open</td> </tr> </tbody> </table>	No.	ボール配置	端子名	マルチプレクス機能	I/O	I/Oバッファ TYPE	I/Oバッファ 電源	未使用時処理	106	E6	UV12_1	UV12	-	-	-	open	107	E7	DV12_1	DV12	-	-	-	open	108	E8	UV12_0	UV12	-	-	-	open	109	E9	DV12_0	DV12	-	-	-	open																
No.	ボール配置	端子名	マルチプレクス機能	I/O	I/Oバッファ TYPE	I/Oバッファ 電源	未使用時処理																																																			
106	E6	UV12_1	UV12	-	-	-	open																																																			
107	E7	DV12_1	DV12	-	-	-	open																																																			
108	E8	UV12_0	UV12	-	-	-	open																																																			
109	E9	DV12_0	DV12	-	-	-	open																																																			
1.6 端子の機能 表 1.4 端子の機能	1-30	<p>表を修正</p> <table border="1"> <thead> <tr> <th>分類</th> <th>端子名</th> <th>入出力</th> <th>機能</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>クロック</td> <td>RTC_CLK</td> <td>入力</td> <td>RTC クロック</td> <td>32.768kHz の RTC クロックを入力。未使用時はプルアップ、もしくは、Vss に接続してください。</td> </tr> </tbody> </table>	分類	端子名	入出力	機能	説明	クロック	RTC_CLK	入力	RTC クロック	32.768kHz の RTC クロックを入力。未使用時はプルアップ、もしくは、Vss に接続してください。																																														
分類	端子名	入出力	機能	説明																																																						
クロック	RTC_CLK	入力	RTC クロック	32.768kHz の RTC クロックを入力。未使用時はプルアップ、もしくは、Vss に接続してください。																																																						
14.4.1 メモリアドレスマップ選択レジスタ (MMSELR)	14-9	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31-1</td> <td>-</td> <td>すべて 0</td> <td>R</td> <td>リザーブビット 読み出すと常に 0 が読み出されます。書き込むときは、上位バイトを HA5A5 にして行ってください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31-1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込むときは、上位バイトを HA5A5 にして行ってください。																																														
ビット	ビット名	初期値	R/W	説明																																																						
31-1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込むときは、上位バイトを HA5A5 にして行ってください。																																																						
15. DDR 用バスコントローラ (DBSC)	15-4、 15-27、 15-51 ~ 15-63	<p>端子名を修正</p> <p>MDM3 ~ MDM0 MDQM3 ~ MDQM0</p>																																																								
15.3.4 SDRAM コマンド制御レジスタ (DBCMDCNT)	15-8	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2-0</td> <td>CMD[2:0]</td> <td>000</td> <td>R/W</td> <td>SDRAM コマンド発行 本ビットにより SDRAM の初期化シーケンス、セルフリフレッシュ移行 / 解除を実行するために必要なコマンド発行を行います。このビットに書き込みを行うと書き込み値に応じたコマンドが 1 回発行されます。たとえばリフレッシュコマンドを 2 回発行するためには、このビットに 2 回 B'100 を書き込む必要があります。プリチャージ期間、リフレッシュと次コマンドの最小間隔などは後述の SDRAM タイミングレジスタで設定された値が用いられます。読み出すと常に 0 が読み出されます。 000: 通常動作時 (パワーオンリセット時) 001: 設定禁止 010: プリチャージオール (PALL) コマンド発行 011: 設定禁止 100: リフレッシュ (REF) コマンド発行 101 - 111: 設定禁止</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2-0	CMD[2:0]	000	R/W	SDRAM コマンド発行 本ビットにより SDRAM の初期化シーケンス、セルフリフレッシュ移行 / 解除を実行するために必要なコマンド発行を行います。このビットに書き込みを行うと書き込み値に応じたコマンドが 1 回発行されます。たとえばリフレッシュコマンドを 2 回発行するためには、このビットに 2 回 B'100 を書き込む必要があります。プリチャージ期間、リフレッシュと次コマンドの最小間隔などは後述の SDRAM タイミングレジスタで設定された値が用いられます。読み出すと常に 0 が読み出されます。 000: 通常動作時 (パワーオンリセット時) 001: 設定禁止 010: プリチャージオール (PALL) コマンド発行 011: 設定禁止 100: リフレッシュ (REF) コマンド発行 101 - 111: 設定禁止																																														
ビット	ビット名	初期値	R/W	説明																																																						
2-0	CMD[2:0]	000	R/W	SDRAM コマンド発行 本ビットにより SDRAM の初期化シーケンス、セルフリフレッシュ移行 / 解除を実行するために必要なコマンド発行を行います。このビットに書き込みを行うと書き込み値に応じたコマンドが 1 回発行されます。たとえばリフレッシュコマンドを 2 回発行するためには、このビットに 2 回 B'100 を書き込む必要があります。プリチャージ期間、リフレッシュと次コマンドの最小間隔などは後述の SDRAM タイミングレジスタで設定された値が用いられます。読み出すと常に 0 が読み出されます。 000: 通常動作時 (パワーオンリセット時) 001: 設定禁止 010: プリチャージオール (PALL) コマンド発行 011: 設定禁止 100: リフレッシュ (REF) コマンド発行 101 - 111: 設定禁止																																																						

修正項目	ページ	修正内容（詳細はマニュアル参照）										
15.3.15 SDRAM モード設定レジスタ (DBMRCNT)	15-24	説明を修正 本レジスタへの書き込みを行うと、SDRAM にモードレジスタ設定 (MRS) コマンド / 拡張モードレジスタ設定 (EMRS) コマンドを出力するとともに、アドレスピン、バンクピンを指定の状態に制御します。										
15.3.16 DDR-PHY 部制御レジスタ 0 (DBPDCNT0)	15-25	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>PLUP</td> <td>0</td> <td>R/W</td> <td>プルアップ設定ビット このビットにより、DDR-PHY 部の初期化シーケンスでのプルアップを設定します。設定方法は「15.5.3 初期化シーケンス」を参照ください。 0: プルアップなし 1: プルアップあり</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	0	PLUP	0	R/W	プルアップ設定ビット このビットにより、DDR-PHY 部の初期化シーケンスでのプルアップを設定します。設定方法は「15.5.3 初期化シーケンス」を参照ください。 0: プルアップなし 1: プルアップあり
ビット	ビット名	初期値	R/W	説明								
0	PLUP	0	R/W	プルアップ設定ビット このビットにより、DDR-PHY 部の初期化シーケンスでのプルアップを設定します。設定方法は「15.5.3 初期化シーケンス」を参照ください。 0: プルアップなし 1: プルアップあり								
15.5.3 初期化シーケンス	15-37	説明を修正 初期化シーケンスは以下の手順に従って実行してください。SDRAM へ の設定内容、手順については一例ですので、各メモリベンダのデータシートに記載された手順に従ってください。										
16.5 使用上の注意事項 (6) TE ビットのセットと TEND 割り込みのタイミング	16-39	説明を追加										
17.5.2 周波数制御レジスタ (FRQCRB)	17-11	説明を修正 5. S : M1 : B 整数クロック比 S : M1 : B = 2 : 1 : 1、2 : 2 : 1、1 : 1 : 1 2DG をご使用の場合は、以下の制約も守ってください。 S : B : P = 4 : 2 : 1										
31.4 レジスタの説明 表 31.4 USB1 レジスタ構成	31-9	表を修正 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>略称</th> <th>R/W</th> <th>アドレス</th> <th>アクセス サイズ</th> </tr> </thead> <tbody> <tr> <td>デバイスアドレス 2 コンフィグレーションレジスタ_1</td> <td>DEVADD2_1</td> <td>R/W</td> <td>H'A4D9 00D4</td> <td>16</td> </tr> </tbody> </table>	レジスタ名	略称	R/W	アドレス	アクセス サイズ	デバイスアドレス 2 コンフィグレーションレジスタ_1	DEVADD2_1	R/W	H'A4D9 00D4	16
レジスタ名	略称	R/W	アドレス	アクセス サイズ								
デバイスアドレス 2 コンフィグレーションレジスタ_1	DEVADD2_1	R/W	H'A4D9 00D4	16								
31.4.15 割り込みステータスレジスタ 0 (INTSTS0)	31-48	注を修正 *6 RESM ビット、DVST ビット、CTRT ビットのステータス変化は、ファンクションコントロール機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを禁止(0)にしてください。										
31.5.1 システム制御 (1) USB 電源投入後の設定	31-107	注を修正 【注】 USB 機能を使用しない場合は、USB 電源はオープンとし、UPONCR レジスタは初期値のままとしてください。 USB 電源に電圧供給を行う場合は、USB 機能の使用にかかわらず、UPON[1:0]ビットに 11 を設定してください。										

修正項目	ページ	修正内容（詳細はマニュアル参照）
32.4.8 ウェイト動作 図 32.16 ウェイト使用時の送信ソフトフロー例	32-29	図を修正 <pre> graph TD Start(()) --> WaitClear[WAIT割り込み WAIT割り込み要因のクリア] WaitClear --> Decision{ICSR.BUSY = 0? ICSR.SCLM = 1? ICSR.SDAM = 1?} Decision -- No --> WaitClear Decision -- Yes --> SetIC[ICIC = H'00 ICSR = H'00] SetIC --> SetICE[ICCR.ICE = 0] SetICE --> End([END]) </pre>
図 32.17 ウェイト使用時の1バイトリードソフトフロー例	32-30	図を修正 <pre> graph TD Start(()) --> DTEWait[DTE割り込み DTE割り込みを禁止 ICDR = スレープアドレス (R)] DTEWait --> Wait1[割り込み待ち] Wait1 --> WaitClear[WAIT割り込み ICCR = H'81 WAIT割り込み要因のクリア] WaitClear --> Wait2[割り込み待ち] Wait2 --> WaitClear2[WAIT割り込み ICCR = H'C0 DTE割り込み許可 WAIT割り込み要因のクリア] WaitClear2 --> Wait3[割り込み待ち] Wait3 --> DTERead[DTE割り込み ICDRデータリード] DTERead --> Decision{ICSR.BUSY = 0? ICSR.SCLM = 1? ICSR.SDAM = 1?} Decision -- No --> Wait1 Decision -- Yes --> SetIC[ICIC = H'00 ICSR = H'00] SetIC --> SetICE[ICCR.ICE = 0] SetICE --> End([END]) </pre>

修正項目	ページ	修正内容（詳細はマニュアル参照）
32.4.8 ウェイト動作 図 32.17 ウェイト使用時の1バイト リードソフトフロー例	32-30	図タイトル修正
図 32.18 ウェイト使用時のnバイト ライト/nバイトリードソフトフ ロー例	32-31	図を修正
図 32.19 送信のソフトフロー例 (WAIT = 0)	32-32	図を修正

修正項目	ページ	修正内容（詳細はマニュアル参照）																									
35.2 機能概要 図 35.1 VEU のブロック図	35-4	<p>図を修正</p>																									
38.1 2D グラフィックアクセラレータ (2DG)	38-1	<p>説明を追加</p> <p>2DG は、2D グラフィックスの描画を行うモジュールです。</p> <p>本機能をご使用の場合は S 、 B 、 P のクロック比を下記に設定してください。</p> <p style="text-align: center;">S : B : P = 4 : 2 : 1</p>																									
38.2.1 システムコントロールレジスタ (SCLR)	38-6	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>SRES</td> <td>1</td> <td>R/W</td> <td>ソフトウェアリセット 2DG をリセットします。 0 : コマンド処理の実行を許可 1 : リセット状態 ハードウェアリセットを行うと SRES = 1 になります。 初期化時に 0 に設定して使用してください。ソフトウェアで本ビットを 1 に設定すると、描画動作のリセットを行います。2DG のレジスタ値も初期化されます。SRES = 1 の間は、本レジスタ以外のレジスタは書き込みできません。 【注】描画期間中（レンダリングスタートをかけたから TRAP までの期間）にソフトウェアリセットをかける場合は、以下の手順に従って解除してください。 (1) SRES=1 にする (2) 1vsync 期間待つ (3) HRES=1 にする（CLKP で 4 サイクル以上） (4) HRES=0 にする (5) SRES=0 にする</td> </tr> <tr> <td>30</td> <td>HRES</td> <td>0</td> <td>R/W</td> <td>2DG にリセットをかけます（ハードリセット相当）。ソフトウェアリセットの解除時のみ使用してください。2DG 動作中に使用した場合の動作は保証されません。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31	SRES	1	R/W	ソフトウェアリセット 2DG をリセットします。 0 : コマンド処理の実行を許可 1 : リセット状態 ハードウェアリセットを行うと SRES = 1 になります。 初期化時に 0 に設定して使用してください。ソフトウェアで本ビットを 1 に設定すると、描画動作のリセットを行います。2DG のレジスタ値も初期化されます。SRES = 1 の間は、本レジスタ以外のレジスタは書き込みできません。 【注】描画期間中（レンダリングスタートをかけたから TRAP までの期間）にソフトウェアリセットをかける場合は、以下の手順に従って解除してください。 (1) SRES=1 にする (2) 1vsync 期間待つ (3) HRES=1 にする（CLKP で 4 サイクル以上） (4) HRES=0 にする (5) SRES=0 にする	30	HRES	0	R/W	2DG にリセットをかけます（ハードリセット相当）。ソフトウェアリセットの解除時のみ使用してください。2DG 動作中に使用した場合の動作は保証されません。										
ビット	ビット名	初期値	R/W	説明																							
31	SRES	1	R/W	ソフトウェアリセット 2DG をリセットします。 0 : コマンド処理の実行を許可 1 : リセット状態 ハードウェアリセットを行うと SRES = 1 になります。 初期化時に 0 に設定して使用してください。ソフトウェアで本ビットを 1 に設定すると、描画動作のリセットを行います。2DG のレジスタ値も初期化されます。SRES = 1 の間は、本レジスタ以外のレジスタは書き込みできません。 【注】描画期間中（レンダリングスタートをかけたから TRAP までの期間）にソフトウェアリセットをかける場合は、以下の手順に従って解除してください。 (1) SRES=1 にする (2) 1vsync 期間待つ (3) HRES=1 にする（CLKP で 4 サイクル以上） (4) HRES=0 にする (5) SRES=0 にする																							
30	HRES	0	R/W	2DG にリセットをかけます（ハードリセット相当）。ソフトウェアリセットの解除時のみ使用してください。2DG 動作中に使用した場合の動作は保証されません。																							
39.3.7 LCD モジュールタイプレジスタ 2 (MLDMT2R)	39-16	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>28 - 26</td> <td>CSUP[2:0]</td> <td>001</td> <td>R/W</td> <td>チップセレクトセットアップ期間設定 本ビットは、SYS IF の表示データ転送時、表示データを転送する際のチップセレクトのセットアップ期間（LCDCS - LCDWR の期間）を設定します。</td> </tr> <tr> <td>23 - 16</td> <td>WCSC[7:0]</td> <td>H00</td> <td>R/W</td> <td>セットアップ期間設定 SYS IF のコマンド転送時、ライトストロープ（LCDWR）のセットアップ期間（LCDCS - LCDWR の期間）をバスクロック単位で設定します。</td> </tr> <tr> <td>15 - 8</td> <td>WCEC[7:0]</td> <td>H00</td> <td>R/W</td> <td>ライトサイクル期間設定 SYS IF のコマンド転送時、チップセレクト（LCDCS）のサイクル期間をバスクロック単位で設定します。</td> </tr> <tr> <td>7 - 0</td> <td>WCLW[7:0]</td> <td>H00</td> <td>R/W</td> <td>ロー期間設定 SYS IF のコマンド転送時、ライトストロープのロー期間をバスクロック単位で設定します。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	28 - 26	CSUP[2:0]	001	R/W	チップセレクトセットアップ期間設定 本ビットは、SYS IF の表示データ転送時、表示データを転送する際のチップセレクトのセットアップ期間（LCDCS - LCDWR の期間）を設定します。	23 - 16	WCSC[7:0]	H00	R/W	セットアップ期間設定 SYS IF のコマンド転送時、ライトストロープ（LCDWR）のセットアップ期間（LCDCS - LCDWR の期間）をバスクロック単位で設定します。	15 - 8	WCEC[7:0]	H00	R/W	ライトサイクル期間設定 SYS IF のコマンド転送時、チップセレクト（LCDCS）のサイクル期間をバスクロック単位で設定します。	7 - 0	WCLW[7:0]	H00	R/W	ロー期間設定 SYS IF のコマンド転送時、ライトストロープのロー期間をバスクロック単位で設定します。
ビット	ビット名	初期値	R/W	説明																							
28 - 26	CSUP[2:0]	001	R/W	チップセレクトセットアップ期間設定 本ビットは、SYS IF の表示データ転送時、表示データを転送する際のチップセレクトのセットアップ期間（LCDCS - LCDWR の期間）を設定します。																							
23 - 16	WCSC[7:0]	H00	R/W	セットアップ期間設定 SYS IF のコマンド転送時、ライトストロープ（LCDWR）のセットアップ期間（LCDCS - LCDWR の期間）をバスクロック単位で設定します。																							
15 - 8	WCEC[7:0]	H00	R/W	ライトサイクル期間設定 SYS IF のコマンド転送時、チップセレクト（LCDCS）のサイクル期間をバスクロック単位で設定します。																							
7 - 0	WCLW[7:0]	H00	R/W	ロー期間設定 SYS IF のコマンド転送時、ライトストロープのロー期間をバスクロック単位で設定します。																							

修正項目	ページ	修正内容 (詳細はマニュアル参照)																														
39.3.8 LCD モジュールタイプレジスタ3 (MLDMT3R)	39-17	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31, 30</td> <td>-</td> <td>すべて0</td> <td>R</td> <td>リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。</td> </tr> <tr> <td>29-24</td> <td>RDLC[5:0]</td> <td>00000</td> <td>R/W</td> <td>リードデータラッチ設定 SYS インタフェースのコマンド転送時、リードデータをラッチするタイミングをバスクロック単位で設定します。</td> </tr> <tr> <td>23-16</td> <td>RCSC[7:0]</td> <td>H00</td> <td>R/W</td> <td>セットアップ期間設定 SYS インタフェースのコマンド転送時、リードストロブのセットアップ期間をバスクロック単位で設定します。</td> </tr> <tr> <td>15-8</td> <td>RCEC[7:0]</td> <td>H00</td> <td>R/W</td> <td>リードサイクル期間設定 SYS インタフェースのコマンド転送時、チップセレクト (LCDCS) のサイクル期間をバスクロック単位で設定します。</td> </tr> <tr> <td>7-0</td> <td>RCLW[7:0]</td> <td>H00</td> <td>R/W</td> <td>ロー期間設定 SYS インタフェースのコマンド転送時、リードストロブのロー期間をバスクロック単位で設定します。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31, 30	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。	29-24	RDLC[5:0]	00000	R/W	リードデータラッチ設定 SYS インタフェースのコマンド転送時、リードデータをラッチするタイミングをバスクロック単位で設定します。	23-16	RCSC[7:0]	H00	R/W	セットアップ期間設定 SYS インタフェースのコマンド転送時、リードストロブのセットアップ期間をバスクロック単位で設定します。	15-8	RCEC[7:0]	H00	R/W	リードサイクル期間設定 SYS インタフェースのコマンド転送時、チップセレクト (LCDCS) のサイクル期間をバスクロック単位で設定します。	7-0	RCLW[7:0]	H00	R/W	ロー期間設定 SYS インタフェースのコマンド転送時、リードストロブのロー期間をバスクロック単位で設定します。
ビット	ビット名	初期値	R/W	説明																												
31, 30	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。																												
29-24	RDLC[5:0]	00000	R/W	リードデータラッチ設定 SYS インタフェースのコマンド転送時、リードデータをラッチするタイミングをバスクロック単位で設定します。																												
23-16	RCSC[7:0]	H00	R/W	セットアップ期間設定 SYS インタフェースのコマンド転送時、リードストロブのセットアップ期間をバスクロック単位で設定します。																												
15-8	RCEC[7:0]	H00	R/W	リードサイクル期間設定 SYS インタフェースのコマンド転送時、チップセレクト (LCDCS) のサイクル期間をバスクロック単位で設定します。																												
7-0	RCLW[7:0]	H00	R/W	ロー期間設定 SYS インタフェースのコマンド転送時、リードストロブのロー期間をバスクロック単位で設定します。																												
39.4.1 LCDC 表示性能	39-46	<p>説明を修正</p> <ul style="list-style-type: none"> 表示解像度 最大 WXGA、HD (1280 × 720) クラスまで対応可能 																														
39.4.7 ドットクロック設定例	39-49	<p>説明を追加</p> <p>SYS インタフェース時、出力されるライトストロブ信号パターンは設定したドットクロックパターンの反転したパターンになります。</p>																														
39.6 クロックと液晶データ信号例 (3) 16 ビットデータバス、1 サイクル 1 回転送、TFT 液晶モジュール 240 × 320Pixel (SYS インタフェース接続、コマンド転送時)	39-58	<p>図を修正</p>																														
40.3.8 VOU 表示サイズレジスタ (VOUDSR)	40-14	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>25-17</td> <td>HDS[9:1]</td> <td>H2D0</td> <td>R/W</td> <td>水平方向画像サイズ</td> </tr> <tr> <td>16</td> <td>HDS[0]</td> <td></td> <td>R</td> <td>水平方向の画像サイズを指定します。画面の調整用にご使用ください VOU は本ビットで指定されたサイズ分のデータを出力します。水平方向の画像サイズは 2n に制限されますので、最下位ビットは必ず0に設定してください。初期値は 720 です。 本ビット (VOUDSR.HDS) は以下の制約に従い設定してください。 表示サイズ (VOUDSR.HDS) 表示位置 (VOUDPR.HP) + 入力画像サイズ (VOUISR.HSZ)</td> </tr> <tr> <td>8-0</td> <td>VDS[8:0]</td> <td>H0F0</td> <td>R/W</td> <td>垂直方向画像サイズ 垂直方向の画像サイズを指定します。VOU は本ビットで指定されたサイズのラインを出力します。初期値は 240 です。 本ビット (VOUDSR.VDS) は以下の制約に従い設定してください。 表示サイズ (VOUDSR.VDS) 表示位置 (VOUDPR.VP) + 入力画像サイズ (VOUISR.VSZ)</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	25-17	HDS[9:1]	H2D0	R/W	水平方向画像サイズ	16	HDS[0]		R	水平方向の画像サイズを指定します。画面の調整用にご使用ください VOU は本ビットで指定されたサイズ分のデータを出力します。水平方向の画像サイズは 2n に制限されますので、最下位ビットは必ず0に設定してください。初期値は 720 です。 本ビット (VOUDSR.HDS) は以下の制約に従い設定してください。 表示サイズ (VOUDSR.HDS) 表示位置 (VOUDPR.HP) + 入力画像サイズ (VOUISR.HSZ)	8-0	VDS[8:0]	H0F0	R/W	垂直方向画像サイズ 垂直方向の画像サイズを指定します。VOU は本ビットで指定されたサイズのラインを出力します。初期値は 240 です。 本ビット (VOUDSR.VDS) は以下の制約に従い設定してください。 表示サイズ (VOUDSR.VDS) 表示位置 (VOUDPR.VP) + 入力画像サイズ (VOUISR.VSZ)										
ビット	ビット名	初期値	R/W	説明																												
25-17	HDS[9:1]	H2D0	R/W	水平方向画像サイズ																												
16	HDS[0]		R	水平方向の画像サイズを指定します。画面の調整用にご使用ください VOU は本ビットで指定されたサイズ分のデータを出力します。水平方向の画像サイズは 2n に制限されますので、最下位ビットは必ず0に設定してください。初期値は 720 です。 本ビット (VOUDSR.HDS) は以下の制約に従い設定してください。 表示サイズ (VOUDSR.HDS) 表示位置 (VOUDPR.HP) + 入力画像サイズ (VOUISR.HSZ)																												
8-0	VDS[8:0]	H0F0	R/W	垂直方向画像サイズ 垂直方向の画像サイズを指定します。VOU は本ビットで指定されたサイズのラインを出力します。初期値は 240 です。 本ビット (VOUDSR.VDS) は以下の制約に従い設定してください。 表示サイズ (VOUDSR.VDS) 表示位置 (VOUDPR.VP) + 入力画像サイズ (VOUISR.VSZ)																												
40.3.9 VOU 有効画素開始位置レジスタ (VOUVP)	40-15	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>23-17</td> <td>HVP[7:1]</td> <td>H78</td> <td>R/W</td> <td>水平方向有効画素開始位置</td> </tr> <tr> <td>16</td> <td>HVP[0]</td> <td></td> <td>R</td> <td>水平方向の有効となる出力データの位置をピクセルクロックで指定します。本ビットの設定値と VOUDSR の HDS ビットの設定値の和は、BT.601 インタフェース使用時は 858 以下 (NTSC)、864 以下 (PAL)、BT.656 インタフェース使用時は 856 以下 (NTSC) になるようにしてください。また、水平方向の有効画素位置は 2n に制限されますので、最下位ビットは必ず0としてください。初期値は 120 です。 【注】 水平拡大処理時は VOUVP.HVP + VOUDPR.HP は 9 以下に設定しないでください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	23-17	HVP[7:1]	H78	R/W	水平方向有効画素開始位置	16	HVP[0]		R	水平方向の有効となる出力データの位置をピクセルクロックで指定します。本ビットの設定値と VOUDSR の HDS ビットの設定値の和は、BT.601 インタフェース使用時は 858 以下 (NTSC)、864 以下 (PAL)、BT.656 インタフェース使用時は 856 以下 (NTSC) になるようにしてください。また、水平方向の有効画素位置は 2n に制限されますので、最下位ビットは必ず0としてください。初期値は 120 です。 【注】 水平拡大処理時は VOUVP.HVP + VOUDPR.HP は 9 以下に設定しないでください。															
ビット	ビット名	初期値	R/W	説明																												
23-17	HVP[7:1]	H78	R/W	水平方向有効画素開始位置																												
16	HVP[0]		R	水平方向の有効となる出力データの位置をピクセルクロックで指定します。本ビットの設定値と VOUDSR の HDS ビットの設定値の和は、BT.601 インタフェース使用時は 858 以下 (NTSC)、864 以下 (PAL)、BT.656 インタフェース使用時は 856 以下 (NTSC) になるようにしてください。また、水平方向の有効画素位置は 2n に制限されますので、最下位ビットは必ず0としてください。初期値は 120 です。 【注】 水平拡大処理時は VOUVP.HVP + VOUDPR.HP は 9 以下に設定しないでください。																												

修正項目	ページ	修正内容（詳細はマニュアル参照）										
40.3.12 VOUMSRモード設定レジスタ (VOUMSR)	40-19	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>31</td> <td>LMD</td> <td>0</td> <td>R/W</td> <td> LCDC コンパチブルモード VOUMSRのモードをLCDC コンパチブルモードに設定するビットです。LCDC コンパチブルモード使用時は入力クロックを24.5454MHzとしてください。また、VOUMSRのHDSビットを必ず640に設定してください。 0：通常動作モード 1：LCDC コンパチブルモード </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	31	LMD	0	R/W	LCDC コンパチブルモード VOUMSRのモードをLCDC コンパチブルモードに設定するビットです。LCDC コンパチブルモード使用時は入力クロックを24.5454MHzとしてください。また、VOUMSRのHDSビットを必ず640に設定してください。 0：通常動作モード 1：LCDC コンパチブルモード
ビット	ビット名	初期値	R/W	説明								
31	LMD	0	R/W	LCDC コンパチブルモード VOUMSRのモードをLCDC コンパチブルモードに設定するビットです。LCDC コンパチブルモード使用時は入力クロックを24.5454MHzとしてください。また、VOUMSRのHDSビットを必ず640に設定してください。 0：通常動作モード 1：LCDC コンパチブルモード								
41.2.1 ICBnn コントロールレジスタ (MEnnCTRL)	41-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>24-16</td> <td>MSAR[8:0]</td> <td>H'000</td> <td>R/W</td> <td> MERAM上に確保するメモリ領域の使用開始アドレスをKバイト単位で指定します(0-127)。(MEnnBSIZE.XSZM1[15:0]+1)を2^n KBに切り上げた数(1KBも含まず)の倍数で指定してください。 MERAM上で使用されるメモリ領域の量に関しては、「41.2.3 ICBnnMERAM設定レジスタ(MEnnMCNF)」を参照してください。 </td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	24-16	MSAR[8:0]	H'000	R/W	MERAM上に確保するメモリ領域の使用開始アドレスをKバイト単位で指定します(0-127)。(MEnnBSIZE.XSZM1[15:0]+1)を2^n KBに切り上げた数(1KBも含まず)の倍数で指定してください。 MERAM上で使用されるメモリ領域の量に関しては、「41.2.3 ICBnnMERAM設定レジスタ(MEnnMCNF)」を参照してください。
ビット	ビット名	初期値	R/W	説明								
24-16	MSAR[8:0]	H'000	R/W	MERAM上に確保するメモリ領域の使用開始アドレスをKバイト単位で指定します(0-127)。(MEnnBSIZE.XSZM1[15:0]+1)を2^n KBに切り上げた数(1KBも含まず)の倍数で指定してください。 MERAM上で使用されるメモリ領域の量に関しては、「41.2.3 ICBnnMERAM設定レジスタ(MEnnMCNF)」を参照してください。								
41.3.4 ライン番号・オフセットアドレスに関する補足	41-26	<p>説明を修正</p> <p>(b)画像モジュールのストライド長を外部メモリ上の値と合わせた使用方法</p> <ul style="list-style-type: none"> • MEnnMCNF.BNM = 確保したいバッファライン数を1KB単位で指定します。 • MEnnMCNF.KRBNM/MEnnMCNF.KWBNMには、「41.5 対応モジュール個別の設定」で記述される各IPの必要保持ライン数をnとして、次のように算出した値を設定してください。 										
41.5.5 VPUの画像出力	41-37	<p>説明を修正</p> <p>(b)保持ライン数の条件</p> <ul style="list-style-type: none"> • VPU.VP4_DWY_ADDRに対応するバッファ：20以上 • VPU.VP4_DWC_ADDRに対応するバッファ：12以上 										
42.1 特長 図 42.1 2D-DMAC ブロック図	42-2	図を差し替え										
42.5 使用上の注意事項 42.5.1 切り出し画像サイズに対する制約	42-25	項目を追加										

修正項目	ページ	修正内容（詳細はマニュアル参照）																		
46.1 特長 図 46.1 ATAPI ブロック図	46-1	<p>図を修正</p> <p>The diagram shows a central ATAPI interface control register connected to two buses. On the left, the HPB bus is connected to the HPB bus interface, with a clock of 83 MHz and a data bus width of 32 bits. On the right, the SHwy bus is connected to the SHwy bus interface, with a clock of 166 MHz and a data bus width of 64 bits. The ATAPI interface control register is connected to both interfaces via bidirectional arrows.</p>																		
50.4.2 H-UDI リセット	50-8	<p>説明を修正</p> <p>SDIR コマンドによりシステムリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることによりリセットをかけます（図 50.3 参照）。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、システムリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。</p>																		
51.1 レジスタアドレス一覧	51-2	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>略称</th> <th>R/W</th> <th>アドレス</th> <th>モジュール</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td>PRI コントロールレジスタ 4(ICB)</td> <td>PRPRICR4</td> <td>R/W</td> <td>HFFB0 0048</td> <td>SuperHyway</td> <td>32</td> </tr> <tr> <td>PRI コントロールレジスタ 5</td> <td>予約</td> <td>R/W</td> <td>HFFB0 0050</td> <td></td> <td>32</td> </tr> </tbody> </table>	レジスタ名称	略称	R/W	アドレス	モジュール	アクセスサイズ	PRI コントロールレジスタ 4(ICB)	PRPRICR4	R/W	HFFB0 0048	SuperHyway	32	PRI コントロールレジスタ 5	予約	R/W	HFFB0 0050		32
レジスタ名称	略称	R/W	アドレス	モジュール	アクセスサイズ															
PRI コントロールレジスタ 4(ICB)	PRPRICR4	R/W	HFFB0 0048	SuperHyway	32															
PRI コントロールレジスタ 5	予約	R/W	HFFB0 0050		32															
	51-4	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>略称</th> <th>R/W</th> <th>アドレス</th> <th>モジュール</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td>DBSC2 ステータスレジスタ</td> <td>DBSTATE</td> <td>R</td> <td>HFD00 000C</td> <td>DBSC</td> <td>32</td> </tr> </tbody> </table>	レジスタ名称	略称	R/W	アドレス	モジュール	アクセスサイズ	DBSC2 ステータスレジスタ	DBSTATE	R	HFD00 000C	DBSC	32						
レジスタ名称	略称	R/W	アドレス	モジュール	アクセスサイズ															
DBSC2 ステータスレジスタ	DBSTATE	R	HFD00 000C	DBSC	32															
	51-5	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>略称</th> <th>R/W</th> <th>アドレス</th> <th>モジュール</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td>SDRAM モード設定レジスタ</td> <td>DBMRCNT</td> <td>W</td> <td>HFD00 0060</td> <td>DBSC</td> <td>32</td> </tr> </tbody> </table>	レジスタ名称	略称	R/W	アドレス	モジュール	アクセスサイズ	SDRAM モード設定レジスタ	DBMRCNT	W	HFD00 0060	DBSC	32						
レジスタ名称	略称	R/W	アドレス	モジュール	アクセスサイズ															
SDRAM モード設定レジスタ	DBMRCNT	W	HFD00 0060	DBSC	32															
	51-17	<p>表を修正</p> <table border="1"> <thead> <tr> <th>レジスタ名称</th> <th>略称</th> <th>R/W</th> <th>アドレス</th> <th>モジュール</th> <th>アクセスサイズ</th> </tr> </thead> <tbody> <tr> <td>デバイスアドレス 2 コンフィグレーションレジスタ 1</td> <td>DEVADD2_1</td> <td>R/W</td> <td>HA4D9 0004</td> <td>USB</td> <td>16</td> </tr> </tbody> </table>	レジスタ名称	略称	R/W	アドレス	モジュール	アクセスサイズ	デバイスアドレス 2 コンフィグレーションレジスタ 1	DEVADD2_1	R/W	HA4D9 0004	USB	16						
レジスタ名称	略称	R/W	アドレス	モジュール	アクセスサイズ															
デバイスアドレス 2 コンフィグレーションレジスタ 1	DEVADD2_1	R/W	HA4D9 0004	USB	16															

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																																																																																							
51.2 各動作モードにおけるレジスタの状態	51-58	<p>表を削除</p> <table border="1"> <thead> <tr> <th>名称</th> <th>パワーオンリセット</th> <th>マニュアルリセット</th> <th>ソフトウェアスタンバイ</th> <th>モジュールスタンバイ</th> <th>ホスタンバイ</th> <th>U-スタンバイ</th> <th>スリープ</th> <th>モジュール</th> </tr> </thead> <tbody> <tr> <td>SYSCFG_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>USB</td> </tr> <tr> <td>BUSWAIT_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>SYSTS_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>DVSTCTR_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>TESTMODE_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>CFIFO_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>DDIFIFO_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>D1FIFO_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>CFIFOSEL_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>CFIFOCTR_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>DDIFIFOSEL_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>DDIFIFOCTR_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>D1FIFOSEL_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> <tr> <td>D1FIFOCTR_0/1</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td>保持</td> <td>初期化</td> <td>初期化</td> <td>保持</td> <td></td> </tr> </tbody> </table>	名称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	ホスタンバイ	U-スタンバイ	スリープ	モジュール	SYSCFG_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	USB	BUSWAIT_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		SYSTS_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		DVSTCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		TESTMODE_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		CFIFO_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		DDIFIFO_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		D1FIFO_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		CFIFOSEL_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		CFIFOCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		DDIFIFOSEL_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		DDIFIFOCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		D1FIFOSEL_0/1	初期化	初期化	保持	保持	初期化	初期化	保持		D1FIFOCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
名称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	ホスタンバイ	U-スタンバイ	スリープ	モジュール																																																																																																																																	
SYSCFG_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	USB																																																																																																																																	
BUSWAIT_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
SYSTS_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
DVSTCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
TESTMODE_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
CFIFO_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
DDIFIFO_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
D1FIFO_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
CFIFOSEL_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
CFIFOCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
DDIFIFOSEL_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
DDIFIFOCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
D1FIFOSEL_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
D1FIFOCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持																																																																																																																																		
52.2 推奨動作条件 表 52.2 推奨動作条件	52-2	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td rowspan="2">電源電圧</td> <td>PLL 用電源</td> <td>Vcc_PLL</td> <td>1.15</td> <td>-</td> <td>1.3</td> <td>V M1 125MHz</td> </tr> <tr> <td>FLL 用電源</td> <td>Vcc_FLL</td> <td>1.15</td> <td>-</td> <td>1.3</td> <td>V M1 166MHz</td> </tr> <tr> <td rowspan="2"></td> <td></td> <td></td> <td>1.25</td> <td>-</td> <td>1.35</td> <td>V M1 166MHz</td> </tr> <tr> <td>DDR 用電源</td> <td>VccQ_DDR</td> <td>1.7</td> <td>1.8</td> <td>1.9</td> <td>V</td> </tr> <tr> <td>USB アナログ 1.2V 電源</td> <td>AV12</td> <td>1.15</td> <td>-</td> <td>1.35</td> <td>V</td> </tr> <tr> <td>USB デジタル 1.2V 電源</td> <td>UV12</td> <td>1.15</td> <td>-</td> <td>1.35</td> <td>V</td> </tr> <tr> <td>USB デジタル 1.2V 電源</td> <td>DV12</td> <td>1.15</td> <td>-</td> <td>1.35</td> <td>V</td> </tr> <tr> <td>USB アナログ 3.3V 電源</td> <td>AV33</td> <td>3.0</td> <td>3.3</td> <td>3.6</td> <td>V</td> </tr> <tr> <td>USB デジタル 3.3V 電源</td> <td>DV33</td> <td>3.0</td> <td>3.3</td> <td>3.6</td> <td>V</td> </tr> <tr> <td>DDR2 参照電圧 (MVREF 端子) *</td> <td>Vref</td> <td>0.49 x VccQ_DDR</td> <td>0.50 x VccQ_DDR</td> <td>0.51 x VccQ_DDR</td> <td>V</td> </tr> </tbody> </table>	項目	記号	Min.	Typ.	Max.	単位	備考	電源電圧	PLL 用電源	Vcc_PLL	1.15	-	1.3	V M1 125MHz	FLL 用電源	Vcc_FLL	1.15	-	1.3	V M1 166MHz				1.25	-	1.35	V M1 166MHz	DDR 用電源	VccQ_DDR	1.7	1.8	1.9	V	USB アナログ 1.2V 電源	AV12	1.15	-	1.35	V	USB デジタル 1.2V 電源	UV12	1.15	-	1.35	V	USB デジタル 1.2V 電源	DV12	1.15	-	1.35	V	USB アナログ 3.3V 電源	AV33	3.0	3.3	3.6	V	USB デジタル 3.3V 電源	DV33	3.0	3.3	3.6	V	DDR2 参照電圧 (MVREF 端子) *	Vref	0.49 x VccQ_DDR	0.50 x VccQ_DDR	0.51 x VccQ_DDR	V																																																																		
項目	記号	Min.	Typ.	Max.	単位	備考																																																																																																																																			
電源電圧	PLL 用電源	Vcc_PLL	1.15	-	1.3	V M1 125MHz																																																																																																																																			
	FLL 用電源	Vcc_FLL	1.15	-	1.3	V M1 166MHz																																																																																																																																			
			1.25	-	1.35	V M1 166MHz																																																																																																																																			
	DDR 用電源	VccQ_DDR	1.7	1.8	1.9	V																																																																																																																																			
USB アナログ 1.2V 電源	AV12	1.15	-	1.35	V																																																																																																																																				
USB デジタル 1.2V 電源	UV12	1.15	-	1.35	V																																																																																																																																				
USB デジタル 1.2V 電源	DV12	1.15	-	1.35	V																																																																																																																																				
USB アナログ 3.3V 電源	AV33	3.0	3.3	3.6	V																																																																																																																																				
USB デジタル 3.3V 電源	DV33	3.0	3.3	3.6	V																																																																																																																																				
DDR2 参照電圧 (MVREF 端子) *	Vref	0.49 x VccQ_DDR	0.50 x VccQ_DDR	0.51 x VccQ_DDR	V																																																																																																																																				
52.3.1 電源の投入順序について	52-3	<p>説明を修正</p> <p>クロックモード 3~7 を使用する場合は、RTC_CLK の供給が必要です。VCCQ 電源を投入した後、1.2V 系電源を投入するまでに RTC_CLK を入力してください。</p>																																																																																																																																							
52.4 DC 特性 表 52.5 DC 電圧特性	52-8	<p>測定条件を修正</p> <p>IOH = 2mA IOI = 2mA</p>																																																																																																																																							
52.5.4 BSC バスタイミング仕様 表 52.11 BSC バスタイミング	52-17	<p>注を追加</p> <p>【注】表中の t_{cy} は CKO クロック出力サイクル時間 t_{ckOcy} を示します。</p> <p>CS アサート開始 (H->L) 時 通常空間、非同期バースト ROM、バイト選択付き SRAM、PCMCIA の初回ライトアクセス時は min 側スペックは無効です。</p> <p>CS ネゲート (L->H) 時 通常空間、バイト選択付き SRAM、PCMCIA のリードアクセス時で連続した後続アクセスが無いとき、CS 信号ネゲートの 1 サイクル後にアドレス信号が変化します。 この場合は max 側スペックは無効になります。 また、PCMCIA (IO カード) のライトアクセス時は、連続アクセス時も CS 信号ネゲートの 1 サイクル後にアドレス信号が変化しますので、max 側スペックは無効です。</p>																																																																																																																																							
52.5.5 DBSC バスタイミング 表 52.12 DDR2-SDRAM インタフェースタイミング	52-33	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td>CK 周期</td> <td>t_{ck}</td> <td>6.0</td> <td>∅</td> <td>ns</td> <td>52.25</td> </tr> <tr> <td>CK high 期間</td> <td>t_{CH (abs)}</td> <td>0.45</td> <td>0.55</td> <td>t_{ck}</td> <td></td> </tr> <tr> <td>CK low 期間</td> <td>t_{CL (abs)}</td> <td>0.45</td> <td>0.55</td> <td>t_{ck}</td> <td></td> </tr> </tbody> </table>	項目	記号	Min.	Max.	単位	参照図	CK 周期	t _{ck}	6.0	∅	ns	52.25	CK high 期間	t _{CH (abs)}	0.45	0.55	t _{ck}		CK low 期間	t _{CL (abs)}	0.45	0.55	t _{ck}																																																																																																																
項目	記号	Min.	Max.	単位	参照図																																																																																																																																				
CK 周期	t _{ck}	6.0	∅	ns	52.25																																																																																																																																				
CK high 期間	t _{CH (abs)}	0.45	0.55	t _{ck}																																																																																																																																					
CK low 期間	t _{CL (abs)}	0.45	0.55	t _{ck}																																																																																																																																					

修正項目	ページ	修正内容（詳細はマニュアル参照）
52.5.13 LCDC モジュール信号タイ ミング 図 52.49 LCDC AC 特性 SYS インタ フェース、コマンドライトバスサイク ル	52-51	図タイトルを修正 (MLDMT2R.WCEC = 5、MLDMT2R.WCLW = 3)
図 52.50 LCDC AC 特性 SYS インタ フェース、コマンドリードバスサイク ル	52-52	図タイトルを修正 (MLDMT3R.RDLC = 4、MLDMT3R.RCEC = 5、MLDMT3R.RCLW = 3)

【登録商標・商標】

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要	1-1
1.1 SH7724の特長	1-1
1.2 ブロック図	1-2
1.3 モジュール仕様概要	1-3
1.4 端子配置図 (BGA449)	1-13
1.5 端子配置表 (BGA449)	1-15
1.6 端子の機能	1-29
1.7 内部バス構成	1-38
1.8 メモリアドレスマップ	1-39
1.9 クロック一覧	1-41
1.10 動作モード	1-42
1.10.1 リセット	1-42
1.10.2 低消費電力モード	1-42
1.11 電源シーケンス	1-43
1.12 ボード設計上の注意事項	1-43
2. プログラミングモデル	2-1
2.1 データフォーマット	2-1
2.2 レジスタの構成	2-2
2.2.1 特権モードとバンク	2-2
2.2.2 汎用レジスタ	2-5
2.2.3 浮動小数点レジスタ	2-6
2.2.4 コントロールレジスタ	2-9
2.2.5 システムレジスタ	2-11
2.3 メモリ割り付けレジスタ	2-14
2.4 レジスタのデータ形式	2-14
2.5 メモリ上でのデータ形式	2-15
2.6 処理状態	2-16
2.7 使用上の注意事項	2-17
2.7.1 自己書き換えコードに対する注意事項	2-17
3. 命令セット	3-1
3.1 実行環境	3-1
3.2 アドレッシングモード	3-3

3.3	命令セット	3-6
4.	パイプライン動作	4-1
4.1	パイプライン	4-1
4.2	並列実行性	4-12
4.3	発行レートと実行ステート	4-15
5.	例外処理	5-1
5.1	概要	5-1
5.2	レジスタの説明	5-1
5.2.1	TRAPA 例外レジスタ (TRA)	5-2
5.2.2	例外事象レジスタ (EXPEVT)	5-2
5.2.3	割り込み事象レジスタ (INTEVT)	5-3
5.2.4	非サポート検出例外レジスタ (EXPMASK)	5-4
5.3	例外処理の機能	5-6
5.3.1	例外処理の流れ	5-6
5.3.2	例外処理ベクタアドレス	5-6
5.4	例外の種類と優先順位	5-7
5.5	例外フロー	5-8
5.5.1	例外フロー	5-8
5.5.2	例外要因の受け付け	5-9
5.5.3	例外要求と BL ビット	5-10
5.5.4	例外処理からの復帰	5-10
5.6	各例外の説明	5-11
5.6.1	リセット	5-11
5.6.2	一般例外	5-12
5.6.3	割り込み	5-23
5.6.4	複数回の例外が発生する場合の優先順位	5-25
5.7	注意事項	5-26
6.	浮動小数点ユニット (FPU)	6-1
6.1	概要	6-1
6.2	データフォーマット	6-2
6.2.1	浮動小数点フォーマット	6-2
6.2.2	非数 (NaN)	6-4
6.2.3	非正規化数	6-5
6.3	レジスタ	6-6
6.3.1	浮動小数点レジスタ	6-6
6.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR)	6-8
6.3.3	浮動小数点通信レジスタ (FPUL)	6-10

6.4	丸め	6-10
6.5	浮動小数点例外	6-11
6.6	グラフィックサポート機能	6-13
6.6.1	ジオメトリック演算命令	6-13
6.6.2	ヘア単精度データ転送	6-14
7.	メモリマネジメントユニット (MMU)	7-1
7.1	MMUの概要	7-2
7.1.1	アドレス空間	7-4
7.2	レジスタの説明	7-10
7.2.1	ページテーブルエントリ上位レジスタ (PTEH)	7-11
7.2.2	ページテーブルエントリ下位レジスタ (PTEL)	7-12
7.2.3	変換テーブルベースレジスタ (TTB)	7-13
7.2.4	TLB 例外アドレスレジスタ (TEA)	7-13
7.2.5	MMU 制御レジスタ (MMUCR)	7-13
7.2.6	ページテーブルエントリアシスタンスレジスタ (PTEA)	7-16
7.2.7	物理アドレス空間制御レジスタ (PASCRCR)	7-17
7.2.8	命令再フェッチ抑止制御レジスタ (IRMCR)	7-18
7.3	TLBの機能 (TLB互換モード)	7-20
7.3.1	共用 TLB (UTLB) の構成	7-20
7.3.2	命令 TLB (ITLB) の構成	7-22
7.3.3	アドレス変換方式	7-23
7.4	TLBの機能 (TLB拡張モード)	7-25
7.4.1	共用 TLB (UTLB) の構成	7-25
7.4.2	命令 TLB (ITLB) の構成	7-28
7.4.3	アドレス変換方式	7-29
7.5	MMUの機能	7-31
7.5.1	MMU のハードウェア管理	7-31
7.5.2	MMU のソフトウェア管理	7-31
7.5.3	MMU の命令 (LDTLB)	7-32
7.5.4	ハードウェア ITLB ミスハンドリング	7-34
7.5.5	シノニム問題の回避	7-34
7.6	MMU例外	7-35
7.6.1	命令 TLB 多重ヒット例外	7-35
7.6.2	命令 TLB ミス例外	7-35
7.6.3	命令 TLB 保護違反例外	7-36
7.6.4	データ TLB 多重ヒット例外	7-37
7.6.5	データ TLB ミス例外	7-38
7.6.6	データ TLB 保護違反例外	7-39
7.6.7	初期ページ書き込み例外	7-40

7.7	メモリ割り付けTLBの構成	7-41
7.7.1	ITLB アドレスアレイ	7-41
7.7.2	ITLB データアレイ (TLB 互換モード)	7-42
7.7.3	ITLB データアレイ (TLB 拡張モード)	7-43
7.7.4	UTLB アドレスアレイ	7-45
7.7.5	UTLB データアレイ (TLB 互換モード)	7-46
7.7.6	UTLB データアレイ (TLB 拡張モード)	7-47
7.8	32ビットアドレス拡張モード	7-49
7.8.1	32ビットアドレス拡張モード概要	7-49
7.8.2	32ビットアドレス拡張モードへの切り替え	7-50
7.8.3	特権空間マッピングバッファ (PMB) 構成	7-50
7.8.4	PMB の機能	7-52
7.8.5	メモリ割り付け PMB の構成	7-53
7.8.6	32ビットアドレス拡張モード使用時の注意事項	7-54
8.	キャッシュ	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-5
8.2.1	キャッシュ制御レジスタ (CCR)	8-6
8.2.2	キューアドレス制御レジスタ 0 (QACR0)	8-8
8.2.3	キューアドレス制御レジスタ 1 (QACR1)	8-8
8.2.4	内蔵メモリ制御レジスタ (RAMCR)	8-9
8.3	オペランドキャッシュの動作説明	8-11
8.3.1	読み出し動作	8-11
8.3.2	プリフェッチ動作	8-12
8.3.3	書き込み動作	8-13
8.3.4	ライトバックバッファ	8-14
8.3.5	ライトスルーバッファ	8-14
8.3.6	OC2 ウェイモード	8-14
8.4	命令キャッシュの動作説明	8-15
8.4.1	読み出し動作	8-15
8.4.2	プリフェッチ動作	8-15
8.4.3	IC2 ウェイモード	8-16
8.4.4	命令キャッシュウェイ予測	8-16
8.5	キャッシュ操作命令	8-17
8.5.1	キャッシュと外部メモリとのコヒーレンシ	8-17
8.5.2	プリフェッチ動作	8-18
8.6	メモリ割り付けキャッシュの構成	8-19
8.6.1	IC アドレスアレイ	8-19
8.6.2	IC データアレイ	8-20

8.6.3	OC アドレスアレイ	8-21
8.6.4	OC データアレイ	8-22
8.6.5	メモリ割り付け連想ライトの動作	8-23
8.7	ストアキュー	8-24
8.7.1	SQ の構成	8-24
8.7.2	SQ への書き込み	8-24
8.7.3	外部メモリへの転送	8-24
8.7.4	SQ アクセスの例外判定	8-26
8.7.5	SQ からの読み出し	8-26
8.8	32ビットアドレス拡張モード使用時の注意事項	8-26
9.	2次キャッシュ	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-1
9.2.1	内蔵メモリ制御レジスタ (RAMCR)	9-2
9.3	2次キャッシュの構成と動作	9-3
9.3.1	構成	9-3
9.3.2	2次キャッシュの動作	9-4
9.4	メモリ割り付け2次キャッシュの構成	9-8
9.4.1	2次キャッシュアドレスアレイ	9-8
9.4.2	2次キャッシュデータアレイ	9-9
9.5	使用上の注意事項	9-10
9.5.1	コヒーレンシ制御	9-10
9.5.2	32ビットアドレス拡張モード	9-10
10.	内蔵メモリ	10-1
10.1	特長	10-1
10.2	レジスタの説明	10-2
10.2.1	内蔵メモリ制御レジスタ (RAMCR)	10-3
10.3	動作説明	10-4
10.3.1	CPU からの命令フェッチアクセス	10-4
10.3.2	CPU からのオペランドアクセスおよび FPU からのアクセス	10-4
10.3.3	SuperHyway バスマスタモジュールからのアクセス	10-4
10.4	ILメモリの保護機能	10-5
10.5	使用上の注意事項	10-6
11.	RSメモリ	11-1
11.1	特長	11-1
11.2	動作説明	11-1
11.2.1	CPU からのアクセス	11-1

11.2.2	DMAC からのアクセス.....	11-1
12.	SuperHyway パケットルータ.....	12-1
12.1	SuperHywayバス接続.....	12-1
12.2	アービトレーション方式.....	12-1
12.2.1	リクエストリソースのアービトレーション	12-2
12.2.2	レスポンスリソースのアービトレーション	12-3
12.3	レジスタの説明.....	12-3
12.3.1	PRI コントロールレジスタ (PRPRICR0 ~ PRPRICR10)	12-4
12.3.2	LCK コントロールレジスタ (PRLCKCR)	12-5
13.	割り込みコントローラ (INTC)	13-1
13.1	特長.....	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明.....	13-3
13.3.1	割り込みコントロールレジスタ 0 (ICR0)	13-6
13.3.2	割り込みコントロールレジスタ 1 (ICR1)	13-8
13.3.3	割り込み優先レベル設定レジスタ (INTPRI00)	13-9
13.3.4	割り込み優先レベル設定レジスタ A ~ L (IPRA ~ IPLR)	13-10
13.3.5	割り込み要因レジスタ 00 (INTREQ00)	13-11
13.3.6	割り込みマスクレジスタ 00 (INTMSK00)	13-12
13.3.7	割り込みマスククリアレジスタ 00 (INTMSKCLR00)	13-13
13.3.8	割り込みマスクレジスタ 0 ~ 12 (IMR0 ~ IMR12)	13-14
13.3.9	割り込みマスククリアレジスタ 0 ~ 12 (IMCR0 ~ IMCR12)	13-15
13.3.10	ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)	13-17
13.3.11	NMI フラグコントロールレジスタ (NMIFCR)	13-18
13.4	割り込み要因.....	13-19
13.4.1	NMI 割り込み	13-19
13.4.2	IRQ 割り込み	13-19
13.4.3	周辺モジュール割り込み.....	13-20
13.4.4	割り込み例外処理と優先順位.....	13-20
13.5	動作説明.....	13-24
13.5.1	割り込み動作の流れ	13-24
13.5.2	多重割り込み	13-27
13.5.3	MAI ビットによる割り込みマスク	13-27
13.5.4	ユーザモードでの割り込み禁止機能	13-28
13.6	割り込み応答時間	13-29
14.	バスステートコントローラ (BSC)	14-1
14.1	特長.....	14-1

14.2	入出力端子	14-3
14.3	エリアの概要	14-4
14.3.1	空間分割	14-4
14.3.2	アドレスマップ	14-5
14.3.3	メモリバス幅の設定	14-6
14.3.4	データアライメント	14-7
14.4	レジスタの説明	14-7
14.4.1	メモリアドレスマップ選択レジスタ (MMSELR)	14-9
14.4.2	共通コントロールレジスタ (CMNCR)	14-10
14.4.3	CSn 空間バスコントロールレジスタ (CSnBCR)	14-11
14.4.4	CSn 空間ウェイトコントロールレジスタ (CSnWCR)	14-15
14.4.5	リセットバスウェイトカウンタ (RBWTCNT)	14-28
14.5	動作説明	14-29
14.5.1	エンディアン / アクセスサイズとデータアライメント	14-29
14.5.2	通常空間インタフェース	14-34
14.5.3	アクセスウェイト制御	14-39
14.5.4	$\overline{\text{CSn}}$ アサート期間拡張	14-41
14.5.5	バースト ROM インタフェース	14-42
14.5.6	バイト選択付き SRAM インタフェース	14-43
14.5.7	PCMCIA インタフェース	14-48
14.5.8	アクセスサイクル間ウェイト	14-54
14.6	使用上の注意事項	14-55
15.	DDR 用バスコントローラ (DBSC)	15-1
15.1	特長	15-1
15.2	入出力端子	15-4
15.3	レジスタの説明	15-5
15.3.1	SDRAM 種類設定レジスタ (DBKIND)	15-6
15.3.2	DBSC ステータスレジスタ (DBSTATE)	15-7
15.3.3	SDRAM 動作許可レジスタ (DBEN)	15-7
15.3.4	SDRAM コマンド制御レジスタ (DBCMDCNT)	15-8
15.3.5	SDRAM CKE 設定レジスタ (DBCKECNT)	15-9
15.3.6	SDRAM 構成設定レジスタ (DBCCONF)	15-10
15.3.7	SDRAM タイミングレジスタ 0 (DBTR0)	15-13
15.3.8	SDRAM タイミングレジスタ 1 (DBTR1)	15-15
15.3.9	SDRAM タイミングレジスタ 2 (DBTR2)	15-17
15.3.10	SDRAM タイミングレジスタ 3 (DBTR3)	15-19
15.3.11	SDRAM リフレッシュ / パワーダウン制御レジスタ 0 (DBRFDPN0)	15-20
15.3.12	SDRAM リフレッシュ / パワーダウン制御レジスタ 1 (DBRFDPN1)	15-21
15.3.13	SDRAM リフレッシュ / パワーダウン制御レジスタ 2 (DBRFDPN2)	15-22

15.3.14	SDRAM リフレッシュステータスレジスタ (DBRFSTS)	15-23
15.3.15	SDRAM モード設定レジスタ (DBMRCNT)	15-24
15.3.16	DDR-PHY 部制御レジスタ 0 (DBPDCNT0)	15-25
15.4	データアライメント	15-26
15.5	動作説明	15-34
15.5.1	サポートする SDRAM コマンド	15-34
15.5.2	SDRAM コマンド発行詳細	15-35
15.5.3	初期化シーケンス	15-37
15.5.4	セルフリフレッシュ	15-39
15.5.5	オートリフレッシュ	15-42
15.5.6	パーシャルセルフリフレッシュ	15-43
15.5.7	パワーダウン	15-43
15.5.8	ディープパワーダウン	15-45
15.5.9	SDRAM の外部ピンと物理アドレスの関係	15-46
15.5.10	バンクアドレスの位置調整	15-48
15.5.11	SDRAM アクセスとタイミング制約について	15-51
15.5.12	初期化およびセルフリフレッシュ解除時などでの時間確保方法	15-64
15.5.13	MCKE 信号の動作について	15-64
15.6	使用上の注意事項	15-65
15.6.1	8 バンク品 DDR2-SDRAM 使用上の注意事項	15-65
15.6.2	SDRAM に対する ODT 制御信号出力に関する注意事項	15-65
15.6.3	低消費電力モードとクロック周波数変更時の注意事項	15-66
16.	ダイレクトメモリアクセスコントローラ (DMAC)	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-3
16.3.1	DMA ソースアドレスレジスタ _{0~5} (DMA0_SAR_0~DMA0_SAR_5、DMA1_SAR_0~DMA1_SAR_5)	16-7
16.3.2	DMA ソースアドレスレジスタ _{B_0~3} (DMA0_SARB_0~DMA0_SARB_3、DMA1_SARB_0~DMA1_SARB_3)	16-7
16.3.3	DMA デスティネーションアドレスレジスタ _{0~5} (DMA0_DAR_0~DMA0_DAR_5、DMA1_DAR_0~DMA0_DAR_5)	16-8
16.3.4	DMA デスティネーションアドレスレジスタ _{B_0~3} (DMA0_DARB_0~DMA0_DARB_3、DMA1_DARB_0~DMA1_DARB_3)	16-8
16.3.5	DMA トランスファカウントレジスタ _{0~5} (DMA0_TCR_0~DMA0_TCR_5、DMA1_TCR_0~DMA1_TCR_5)	16-9
16.3.6	DMA トランスファカウントレジスタ _{B_0~3} (DMA0_TCRB_0~DMA0_TCRB_3、DMA1_TCRB_0~DMA1_TCRB_3)	16-9
16.3.7	DMA チャネルコントロールレジスタ _{0~5} (DMA0_CHCR_0~DMA0_CHCR_5、DMA1_CHCR_0~DMA1_CHCR_5)	16-10

16.3.8	DMA オペレーションレジスタ (DMA0_DMAOR、DMA1_DMAOR)	16-16
16.3.9	DMA 拡張リソースセクタ_0~2 (DMA0_DMARS_0~DMA0_DMARS_2、DMA1_DMARS_0~DMA1_DMARS_2)	16-18
16.4	動作説明	16-20
16.4.1	DMA 転送要求	16-20
16.4.2	チャンネルの優先順位	16-23
16.4.3	DMA 転送の種類	16-26
16.4.4	転送フロー	16-32
16.4.5	リピートモード転送	16-34
16.4.6	リロードモード転送	16-35
16.4.7	DREQ 端子のサンプリングタイミング	16-36
16.5	使用上の注意事項	16-39
17.	クロックパルス発振器 (CPG)	17-1
17.1	特長	17-1
17.2	ブロック図	17-2
17.3	入出力端子	17-4
17.4	クロック動作モード	17-5
17.5	レジスタの説明	17-6
17.5.1	周波数制御レジスタ (FRQCRA)	17-7
17.5.2	周波数制御レジスタ (FRQCRB)	17-10
17.5.3	PLL 制御レジスタ (PLLCR)	17-12
17.5.4	ビデオクロック周波数制御レジスタ (VCLKCR)	17-13
17.5.5	FSI クロック A 周波数制御レジスタ (FCLKACR)	17-14
17.5.6	FSI クロック B 周波数制御レジスタ (FCLKBCR)	17-15
17.5.7	IRDA クロック周波数制御レジスタ (IRDACLKCR)	17-16
17.5.8	SPU クロック周波数制御レジスタ (SPUCLKCR)	17-17
17.5.9	FLL 逡倍レジスタ (FLLFRQ)	17-18
17.5.10	周波数変更ステータスレジスタ (LSTATS)	17-19
17.6	周波数変更方法	17-20
17.6.1	PLL 回路逡倍率の変更	17-20
17.6.2	分周率の変更	17-20
17.6.3	クロック動作モードの変更	17-21
17.6.4	PLL 回路の ON / OFF 切り替え	17-21
17.6.5	FLL 逡倍率の変更	17-21
17.7	ボード設計上の注意事項	17-21
18.	リセット、低消費電力モード	18-1
18.1	特長	18-1
18.1.1	電源領域の分離	18-1

18.1.2	リセット、低消費電力モードの種類	18-2
18.2	入出力端子	18-3
18.3	レジスタの説明	18-3
18.3.1	スタンバイコントロールレジスタ (STBCR)	18-4
18.3.2	モジュールストップレジスタ 0 (MSTPCR0)	18-5
18.3.3	モジュールストップレジスタ 1 (MSTPCR1)	18-10
18.3.4	モジュールストップレジスタ 2 (MSTPCR2)	18-11
18.3.5	ブートアドレスレジスタ (BAR)	18-15
18.4	動作説明	18-16
18.4.1	リセット	18-16
18.4.2	スリープモード	18-16
18.4.3	ソフトウェアスタンバイモード	18-17
18.4.4	モジュールスタンバイ機能	18-18
18.4.5	U-スタンバイモード	18-18
18.4.6	R-スタンバイモード	18-19
18.4.7	各種モード間の状態遷移	18-22
18.4.8	パワーオンシーケンス	18-23
18.4.9	出力端子の変化タイミング	18-24
19.	RCLK ウォッチドッグタイマ (RWDT)	19-1
19.1	特長	19-1
19.2	RWDTの入出力端子	19-2
19.3	レジスタの説明	19-2
19.3.1	RCLK ウォッチドッグタイマカウンタ (RWTCNT)	19-3
19.3.2	RCLK ウォッチドッグタイマコントロール/ステータスレジスタ (RWTC SR)	19-3
19.3.3	レジスタアクセス時の注意	19-5
19.4	RWDTの使用方法	19-6
19.4.1	暴走制御	19-6
20.	タイマユニット (TMU)	20-1
20.1	特長	20-1
20.2	レジスタの説明	20-3
20.2.1	タイマスタートレジスタ 0、1 (TSTR0、TSTR1)	20-5
20.2.2	タイマコントロールレジスタ 0、1 (TCR0、TCR1)	20-6
20.2.3	タイマコンスタントレジスタ 0、1 (TCOR0、TCOR1)	20-7
20.2.4	タイマカウンタ 0、1 (TCNT0、TCNT1)	20-7
20.3	動作説明	20-8
20.3.1	カウンタの動作	20-8
20.4	割り込み	20-10
20.4.1	ステータスフラグのセットタイミング	20-10

20.4.2	ステータスフラグのクリアタイミング	20-10
20.4.3	割り込み要因と優先順位	20-11
20.5	使用上の注意事項	20-11
21.	16 ビットタイマパルスユニット (TPU)	21-1
21.1	特長	21-1
21.2	ブロック図	21-3
21.3	端子構成	21-4
21.4	レジスタの説明	21-4
21.4.1	タイマコントロールレジスタ (TPU_TCR)	21-8
21.4.2	タイマモードレジスタ (TPU_TMDR)	21-10
21.4.3	タイマ I/O コントロールレジスタ (TPU_TIOR)	21-11
21.4.4	タイマインタラプトイネーブルレジスタ (TPU_TIER)	21-12
21.4.5	タイマステータスレジスタ (TPU_TSR)	21-13
21.4.6	タイマカウンタ (TPU_TCNT)	21-14
21.4.7	タイマジェネラルレジスタ (TPU_TGR)	21-14
21.4.8	タイマスタートレジスタ (TPU_TSTR)	21-14
21.5	動作説明	21-15
21.5.1	概要	21-15
21.5.2	基本機能	21-16
21.5.3	バッファ動作	21-20
21.5.4	PWM モード	21-22
22.	コンペアマッチタイマ (CMT)	22-1
22.1	特長	22-1
22.2	レジスタの説明	22-2
22.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	22-2
22.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	22-3
22.2.3	コンペアマッチタイマカウンタ (CMCNT)	22-5
22.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	22-5
22.3	動作説明	22-6
22.3.1	カウンタ動作	22-6
22.3.2	カウンタサイズ	22-7
22.3.3	CMCNT カウントタイミング	22-7
22.3.4	CPU への内部割り込み要求	22-8
22.3.5	CMT の動作	22-8
22.3.6	コンペアマッチフラグのセットタイミング	22-9
23.	マルチメディアカードインタフェース (MMCIF)	23-1
23.1	特長	23-1

23.2	入出力端子	23-2
23.3	レジスタの説明	23-3
23.3.1	コマンド設定レジスタ (CE_CMD_SET)	23-5
23.3.2	アーギュメントレジスタ (CE_ARG)	23-7
23.3.3	自動 CMD12 アーギュメントレジスタ (CE_ARG_CMD12)	23-8
23.3.4	コマンド制御レジスタ (CE_CMD_CTRL)	23-8
23.3.5	転送ブロック設定レジスタ (CE_BLOCK_SET)	23-9
23.3.6	クロックコントロールレジスタ (CE_CLK_CTRL)	23-10
23.3.7	バッファアクセス設定レジスタ (CE_BUF_ACC)	23-11
23.3.8	レスポンスレジスタ 3~0 (CE_RESP3~0)	23-13
23.3.9	自動 CMD12 レスポンスレジスタ (CE_RESP_CMD12)	23-14
23.3.10	データレジスタ (CE_DATA)	23-14
23.3.11	割り込みフラグレジスタ (CE_INT)	23-15
23.3.12	割り込みマスクレジスタ (CE_INT_MASK)	23-20
23.3.13	ステータスレジスタ 1 (CE_HOST_STS1)	23-23
23.3.14	ステータスレジスタ 2 (CE_HOST_STS2)	23-23
23.3.15	バージョンレジスタ (CE_VERSION)	23-25
23.4	割り込み要求の説明	23-26
23.5	DMA仕様	23-27
23.5.1	バッファライト DMA の説明	23-27
23.5.2	バッファリード DMA の説明	23-27
23.6	動作説明	23-28
23.6.1	コマンド/レスポンスのフォーマットについて	23-28
23.6.2	自動 CMD12 発行について	23-29
23.6.3	バッファの構造について	23-30
23.6.4	CE_DATA アクセス時のバッファアクセス選択機能について	23-31
23.6.5	データのフォーマットについて	23-32
23.6.6	エラー、タイムアウト発生時の動作について	23-33
23.7	設定例	23-34
23.7.1	凡例の説明	23-34
23.7.2	コマンド送信設定例	23-35
23.7.3	コマンド送信 レスポンス受信設定例	23-36
23.7.4	コマンド送信 レスポンス受信 (レスポンスビジーあり) 設定例	23-37
23.7.5	シングルブロックリード設定例	23-38
23.7.6	マルチブロックリード (自動 CMD12 あり) 設定例	23-39
23.7.7	シングルブロックライト設定例	23-40
23.7.8	マルチブロックライト (自動 CMD12 あり) 設定例	23-41
23.7.9	強制終了設定例	23-42
23.7.10	コマンド送信 レスポンス受信 (レスポンスビジー、CCS 受信あり) 設定例	23-43
23.7.11	マルチブロックリード (CCS 受信あり) 設定例	23-44
23.7.12	マルチブロックライト (レスポンスビジー、CCS 受信あり) 設定例	23-45

23.7.13	強制終了 CCSD 発行設定例	23-46
23.7.14	CE_CMD_SET 設定値	23-47
23.8	使用上の注意事項	23-49
23.8.1	強制終了について	23-49
24.	フラッシュメモリブート ROM (FBR)	24-1
24.1	特長	24-1
24.2	入出力端子	24-2
24.3	ブートプログラムの概要	24-2
25.	FIFO 付きクロック同期シリアル I/O (MSIOF)	25-1
25.1	特長	25-1
25.2	入出力端子	25-3
25.3	レジスタの説明	25-4
25.3.1	MSIOF 送信モードレジスタ 1 (MSIOF0_SITMDR1、MSIOF1_SITMDR1)	25-6
25.3.2	MSIOF 送信モードレジスタ 2 (MSIOF0_SITMDR2、MSIOF1_SITMDR2)	25-10
25.3.3	MSIOF 送信モードレジスタ 3 (MSIOF0_SITMDR3、MSIOF1_SITMDR3)	25-12
25.3.4	MSIOF 受信モードレジスタ 1 (MSIOF0_SIRMDR1、MSIOF1_SIRMDR1)	25-13
25.3.5	MSIOF 受信モードレジスタ 2 (MSIOF0_SIRMDR2、MSIOF1_SIRMDR2)	25-16
25.3.6	MSIOF 受信モードレジスタ 3 (MSIOF0_SIRMDR3、MSIOF1_SIRMDR3)	25-17
25.3.7	MSIOF コントロールレジスタ (MSIOF0_SICTR、MSIOF1_SICTR)	25-18
25.3.8	MSIOF 送信クロックセレクトレジスタ (MSIOF0_SITSCR、MSIOF1_SITSCR)	25-24
25.3.9	MSIOF 受信クロックセレクトレジスタ (MSIOF0_SIRSCR、MSIOF1_SIRSCR)	25-25
25.3.10	MSIOF 送信制御データレジスタ 1 (MSIOF0_SITDR1、MSIOF1_SITDR1)	25-26
25.3.11	MSIOF 送信制御データレジスタ 2 (MSIOF0_SITDR2、MSIOF1_SITDR2)	25-26
25.3.12	MSIOF 送信 FIFO データレジスタ (MSIOF0_SITFDR、MSIOF1_SITFDR)	25-28
25.3.13	MSIOF 受信制御データレジスタ 1 (MSIOF0_SIRDR1、MSIOF1_SIRDR1)	25-28
25.3.14	MSIOF 受信制御データレジスタ 2 (MSIOF0_SIRDR2、MSIOF1_SIRDR2)	25-29
25.3.15	MSIOF 受信 FIFO データレジスタ (MSIOF0_SIRFDR、MSIOF1_SIRFDR)	25-29
25.3.16	MSIOF ステータスレジスタ (MSIOF0_SISTR、MSIOF1_SISTR)	25-30
25.3.17	MSIOF 割り込み許可レジスタ (MSIOF0_SIER、MSIOF1_SIER)	25-35
25.3.18	MSIOF FIFO コントロールレジスタ (MSIOF0_SIFCTR、MSIOF1_SIFCTR)	25-37
25.4	動作説明	25-39
25.4.1	動作モード	25-39
25.4.2	シリアルクロック	25-39
25.4.3	シリアルタイミング	25-40
25.4.4	制御データインタフェース	25-43
25.4.5	転送データのレジスタ割り付け	25-43
25.4.6	FIFO	25-45
25.4.7	送受信手順	25-47

25.4.8	割り込み	25-52
25.4.9	送受信タイミング	25-54
25.4.10	SPI	25-57
25.4.11	SPI モード使用時の注意事項	25-59
26.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	26-1
26.1	特長	26-1
26.2	入出力端子	26-3
26.3	レジスタの説明	26-4
26.3.1	レシーブシフトレジスタ (SCRSR)	26-6
26.3.2	レシーブ FIFO データレジスタ (SCFRDR)	26-6
26.3.3	トランスミットシフトレジスタ (SCTSR)	26-6
26.3.4	トランスミット FIFO データレジスタ (SCFTDR)	26-6
26.3.5	シリアルモードレジスタ (SCSMR)	26-7
26.3.6	シリアルコントロールレジスタ (SCSCR)	26-9
26.3.7	シリアルステータスレジスタ (SCFSR)	26-11
26.3.8	ビットレートレジスタ (SCBRR)	26-16
26.3.9	FIFO コントロールレジスタ (SCFCR)	26-17
26.3.10	FIFO データ数レジスタ (SCFDR)	26-19
26.3.11	ラインステータスレジスタ (SCLSR)	26-20
26.4	動作説明	26-21
26.4.1	概要	26-21
26.4.2	調歩同期式モードの動作	26-22
26.4.3	クロック同期式モードの動作	26-32
26.5	SCIF割り込み要因とDMAC	26-40
26.6	使用上の注意事項	26-41
27.	FIFO 内蔵シリアルコミュニケーションインタフェース A (SCIFA)	27-1
27.1	特長	27-1
27.2	入出力端子	27-4
27.3	レジスタの説明	27-5
27.3.1	レシーブシフトレジスタ (SCARSR)	27-7
27.3.2	レシーブ FIFO データレジスタ (SCAFRDR)	27-7
27.3.3	トランスミットシフトレジスタ (SCATSR)	27-7
27.3.4	トランスミット FIFO データレジスタ (SCAFTDR)	27-8
27.3.5	シリアルモードレジスタ (SCASMR)	27-8
27.3.6	シリアルコントロールレジスタ (SCASCR)	27-10
27.3.7	FIFO エラー数レジスタ (SCAFER)	27-13
27.3.8	シリアルステータスレジスタ (SCASSR)	27-14
27.3.9	ビットレートレジスタ (SCABRR)	27-19

27.3.10	FIFO コントロールレジスタ (SCAFCR)	27-20
27.3.11	FIFO データ数レジスタ (SCAFDR)	27-23
27.3.12	トランスミットデータストップレジスタ (SCATDSR)	27-23
27.4	動作説明	27-24
27.4.1	概要	27-24
27.4.2	調歩同期式モード	27-24
27.4.3	調歩同期式モードのシリアル動作	27-25
27.4.4	クロック同期式モード	27-34
27.4.5	クロック同期式モードのシリアル動作	27-35
27.5	割り込み要因とDMAC	27-45
27.6	使用上の注意事項	27-46
28.	リアルタイムクロック (RTC)	28-1
28.1	特長	28-1
28.2	入出力端子	28-3
28.3	レジスタの説明	28-3
28.3.1	64Hz カウンタ (R64CNT)	28-4
28.3.2	秒カウンタ (RSECNT)	28-5
28.3.3	分カウンタ (RMINCNT)	28-6
28.3.4	時カウンタ (RHRCNT)	28-6
28.3.5	曜日カウンタ (RWKCNT)	28-7
28.3.6	日カウンタ (RDAYCNT)	28-8
28.3.7	月カウンタ (RMONCNT)	28-8
28.3.8	年カウンタ (RYRCNT)	28-9
28.3.9	秒アラームレジスタ (RSECAR)	28-10
28.3.10	分アラームレジスタ (RMINAR)	28-10
28.3.11	時アラームレジスタ (RHRAR)	28-11
28.3.12	曜日アラームレジスタ (RWKAR)	28-11
28.3.13	日アラームレジスタ (RDAYAR)	28-12
28.3.14	月アラームレジスタ (RMONAR)	28-13
28.3.15	年アラームレジスタ (RYRAR)	28-13
28.3.16	RTC コントロールレジスタ 1 (RCR1)	28-14
28.3.17	RTC コントロールレジスタ 2 (RCR2)	28-15
28.3.18	RTC コントロールレジスタ (RCR3)	28-17
28.4	動作説明	28-17
28.4.1	電源投入後のレジスタの初期設定	28-17
28.4.2	時刻設定手順	28-17
28.4.3	時刻読み出し手順	28-18
28.4.4	アラーム機能	28-19
28.5	使用上の注意事項	28-20

29.	IrDA インタフェース (IrDA)	29-1
29.1	特長	29-1
29.2	入出力端子	29-2
29.3	レジスタの説明	29-3
29.3.1	DMA 受信割り込み要因クリアレジスタ (IRIF_RINTCLR)	29-5
29.3.2	DMA 送信割り込み要因クリアレジスタ (IRIF_TINTCLR)	29-5
29.3.3	IrDA-SIR10 コントロールレジスタ (IRIF_SIR0)	29-5
29.3.4	IrDA-SIR10 ボーレート誤差補正レジスタ (IRIF_SIR1)	29-6
29.3.5	IrDA-SIR10 ボーレートカウント設定レジスタ (IRIF_SIR2)	29-7
29.3.6	IrDA-SIR10 ステータスレジスタ (IRIF_SIR3)	29-7
29.3.7	ハードウェアフレーム処理設定レジスタ (IRIF_SIR_FRM)	29-8
29.3.8	EOF 値設定レジスタ (IRIF_SIR_EOF)	29-8
29.3.9	フラグクリアレジスタ (IRIF_SIR_FLG)	29-9
29.3.10	UART ステータスレジスタ 2 (IRIF_UART_STS2)	29-9
29.3.11	UART コントロールレジスタ (IRIF_UART0)	29-10
29.3.12	UART ステータスレジスタ (IRIF_UART1)	29-11
29.3.13	UART モードレジスタ (IRIF_UART2)	29-13
29.3.14	UART 送信データレジスタ (IRIF_UART3)	29-14
29.3.15	UART 受信データレジスタ (IRIF_UART4)	29-14
29.3.16	UART 割り込みマスクレジスタ (IRIF_UART5)	29-15
29.3.17	UART ボーレート誤差補正レジスタ (IRIF_UART6)	29-16
29.3.18	UART ボーレートカウントレジスタ (IRIF_UART7)	29-16
29.3.19	CRC エンジンコントロールレジスタ (IRIF_CRC0)	29-17
29.3.20	CRC エンジン入力データレジスタ (IRIF_CRC1)	29-17
29.3.21	CRC エンジン演算レジスタ (IRIF_CRC2)	29-18
29.3.22	CRC エンジン出力データレジスタ 1 (IRIF_CRC3)	29-18
29.3.23	CRC エンジン出力データレジスタ 2 (IRIF_CRC4)	29-18
29.4	機能説明	29-19
29.4.1	UART	29-19
29.4.2	発受光パルス変復調動作	29-22
29.4.3	CRC エンジン	29-25
29.4.4	送受信フロー	29-26
29.5	データ送受信における注意事項	29-30
30.	キースキャンインタフェース (KEYSC)	30-1
30.1	特長	30-1
30.2	入出力端子	30-3
30.3	レジスタの説明	30-4
30.3.1	キースキャンコントロールレジスタ 1 (KYCR1)	30-5
30.3.2	キースキャンコントロールレジスタ 2 (KYCR2)	30-6

30.3.3	キースキャンインデータレジスタ (KYINDR)	30-7
30.3.4	キースキャンアウトデータレジスタ (KYOUTDR)	30-8
30.4	動作説明	30-9
30.4.1	チャタリング除去	30-9
30.4.2	キーの多重押し検出	30-9
30.4.3	レジスタアクセス	30-9
30.5	使用例	30-10
30.5.1	レベル割り込み (KYCPU_IE1、KYCPU_IE0 = B'01)	30-10
30.5.2	エッジ割り込み (KYCPU_IE1、KYCPU_IE0 = B'1x)	30-11
31.	USB2.0 ホスト/ファンクションモジュール (USB0、USB1)	31-1
31.1	特長	31-1
31.2	入出力端子	31-4
31.3	USBブロック図	31-5
31.4	レジスタの説明	31-6
31.4.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG)	31-12
31.4.2	CPU バスウェイトレジスタ (BUSWAIT)	31-15
31.4.3	システムコンフィギュレーションステータスレジスタ (SYSSTS)	31-16
31.4.4	デバイスステートコントロールレジスタ (DVSTCTR)	31-17
31.4.5	テストモードレジスタ (TESTMODE)	31-20
31.4.6	FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)	31-23
31.4.7	FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)	31-25
31.4.8	FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)	31-31
31.4.9	割り込み許可レジスタ 0 (INTENB0)	31-34
31.4.10	割り込み許可レジスタ 1 (INTENB1)	31-36
31.4.11	BRDY 割り込み許可レジスタ (BRDYENB)	31-38
31.4.12	NRDY 割り込み許可レジスタ (NRDYENB)	31-40
31.4.13	BEMP 割り込み許可レジスタ (BEMPENB)	31-42
31.4.14	SOF 制御レジスタ (SOFCFG)	31-44
31.4.15	割り込みステータスレジスタ 0 (INTSTS0)	31-45
31.4.16	割り込みステータスレジスタ 1 (INTSTS1)	31-49
31.4.17	BRDY 割り込みステータスレジスタ (BRDYSTS)	31-53
31.4.18	NRDY 割り込みステータスレジスタ (NRDYSTS)	31-55
31.4.19	BEMP 割り込みステータスレジスタ (BEMPSTS)	31-57
31.4.20	フレームナンバーレジスタ (FRMNUM)	31-59
31.4.21	μフレームナンバーレジスタ (UFRMNUM)	31-60
31.4.22	USB アドレスレジスタ (USBADDR)	31-61
31.4.23	USB リクエストタイプレジスタ (USBREQ)	31-62
31.4.24	USB リクエストバリュージスタ (USBVAL)	31-63
31.4.25	USB リクエストインデックスレジスタ (USBINDX)	31-64

31.4.26	USB リクエストレンゲスレジスタ (USBLENG)	31-65
31.4.27	DCP コンフィギュレーションレジスタ (DCPCFG)	31-66
31.4.28	DCP マックスパケットサイズレジスタ (DCPMAXP)	31-67
31.4.29	DCP コントロールレジスタ (DCPCTR)	31-69
31.4.30	パイプウィンドウ選択レジスタ (PIPESEL)	31-76
31.4.31	パイプコンフィギュレーションレジスタ (PIPECFG)	31-77
31.4.32	パイプバッファ指定レジスタ (PIPEBUF)	31-82
31.4.33	パイプマックスパケットサイズレジスタ (PEPEMAXP)	31-84
31.4.34	パイプ周期制御レジスタ (PEPEPERI)	31-86
31.4.35	パイプ n コントロールレジスタ (PEPECTR) (n = 1 ~ 9)	31-88
31.4.36	パイプ n トランザクションカウンタインエーブルレジスタ (PEPEnTRE) (n = 1 ~ 5)	31-101
31.4.37	パイプ n トランザクションカウンタレジスタ (PEPEnTRN) (n = 1 ~ 5)	31-103
31.4.38	デバイスアドレス n コンフィギュレーションレジスタ (DEVADDn) (n = 0 ~ A)	31-105
31.4.39	USB 電源制御レジスタ (UPONCRn)	31-106
31.5	動作説明	31-107
31.5.1	システム制御	31-107
31.5.2	割り込み機能	31-110
31.5.3	パイプコントロール	31-130
31.5.4	FIFO バッファメモリ	31-138
31.5.5	コントロール転送 (DCP)	31-147
31.5.6	バルク転送 (パイプ 1 ~ 5)	31-150
31.5.7	インタラプト転送 (パイプ 6 ~ 9)	31-152
31.5.8	アイソクロナス転送 (パイプ 1, 2)	31-153
31.5.9	SOF 補間機能	31-163
31.5.10	パイプスケジュール	31-164
31.6	使用上の注意事項	31-166
31.6.1	USB 外部回路について	31-166
32.	I ² C バスインタフェース (IIC)	32-1
32.1	特長	32-1
32.2	入出力端子	32-3
32.3	レジスタの説明	32-3
32.3.1	I ² C バスデータレジスタ (ICDR)	32-4
32.3.2	I ² C バスコントロールレジスタ (ICCR)	32-5
32.3.3	I ² C バスステータスレジスタ (ICSR)	32-7
32.3.4	I ² C 割り込みコントロールレジスタ (ICIC)	32-10
32.3.5	I ² C クロックコントロールレジスタロー (ICCL)	32-11
32.3.6	I ² C クロックコントロールレジスタハイ (ICCH)	32-11
32.3.7	転送レート	32-12
32.4	動作説明	32-14

32.4.1	I ² C バスデータフォーマット.....	32-14
32.4.2	マスタ送信動作.....	32-17
32.4.3	マスタ受信動作.....	32-18
32.4.4	SCL ラインの同期化.....	32-24
32.4.5	ノイズ除去回路.....	32-25
32.4.6	アービトレーションロスト動作.....	32-25
32.4.7	非アクノリッジ動作.....	32-27
32.4.8	ウェイト動作.....	32-28
32.5	使用上の注意事項.....	32-33
33.	ビデオプロセッシングユニット (VPU).....	33-1
33.1	特長.....	33-1
34.	キャプチャエンジンユニット (CEU).....	34-1
34.1	特長.....	34-1
34.2	CEUの機能概要.....	34-2
34.3	CEUの端子構成.....	34-4
34.4	CEUレジスタの説明.....	34-5
34.4.1	キャプチャ開始レジスタ (CAPSR).....	34-9
34.4.2	キャプチャ制御レジスタ (CAPCR).....	34-14
34.4.3	キャプチャインタフェース制御レジスタ (CAMCR).....	34-17
34.4.4	キャプチャインタフェースサイクルレジスタ (CMCYR).....	34-21
34.4.5	キャプチャインタフェースオフセットレジスタ (CAMOR).....	34-22
34.4.6	キャプチャインタフェース幅レジスタ (CAPWR).....	34-24
34.4.7	キャプチャインタフェース入力方式レジスタ (CAIFR).....	34-27
34.4.8	CEU レジスタ制御レジスタ (CRCNTR).....	34-33
34.4.9	CEU レジスタ強制制御レジスタ (CRCMPR).....	34-34
34.4.10	キャプチャフィルタ制御レジスタ (CFLCR).....	34-35
34.4.11	キャプチャフィルタサイズクリップレジスタ (CFSZR).....	34-37
34.4.12	キャプチャデスティネーション幅レジスタ (CDWDR).....	34-39
34.4.13	キャプチャデータアドレス Y レジスタ (CDAYR).....	34-41
34.4.14	キャプチャデータアドレス C レジスタ (CDACR).....	34-43
34.4.15	キャプチャデータボトムフィールドアドレス Y レジスタ (CDBYR).....	34-45
34.4.16	キャプチャデータボトムフィールドアドレス C レジスタ (CDBCR).....	34-46
34.4.17	キャプチャバンドルデスティネーションサイズレジスタ (CBDSR).....	34-47
34.4.18	キャプチャローパスフィルタ制御レジスタ (CLFCR).....	34-48
34.4.19	ファイアウォール動作制御レジスタ (CFWCR).....	34-49
34.4.20	キャプチャデータ出力制御レジスタ (CDOCR).....	34-49
34.4.21	キャプチャデータ複雑度レジスタ (CDDCR).....	34-55
34.4.22	キャプチャデータ複雑度アドレスレジスタ (CDDAR).....	34-56

34.4.23	キャプチャイベント割り込み許可レジスタ (CEIER)	34-57
34.4.24	キャプチャイベントフラグクリアレジスタ (CETCR)	34-59
34.4.25	キャプチャステータスレジスタ (CSTSR)	34-65
34.4.26	キャプチャソフトウェアリセットレジスタ (CSRTR)	34-66
34.4.27	キャプチャデータ容量レジスタ (CDSSR)	34-67
34.4.28	キャプチャデータアドレス Y レジスタ 2 (CDAYR2)	34-68
34.4.29	キャプチャデータアドレス C レジスタ 2 (CDACR2)	34-71
34.4.30	キャプチャデータボトムフィールドアドレス Y レジスタ 2 (CDBYR2)	34-73
34.4.31	キャプチャデータボトムフィールドアドレス C レジスタ 2 (CDBCR2)	34-74
34.5	CEUの使用上の注意事項.....	34-75
34.5.1	外部モジュールの接続条件.....	34-75
34.5.2	入出力機能制限事項	34-76
35.	ビデオエンジンユニット (VEU)	35-1
35.1	特長.....	35-1
35.2	機能概要.....	35-2
35.3	レジスタの説明.....	35-6
35.3.1	VEU 起動レジスタ (VESTR)	35-10
35.3.2	VEU ソースメモリ幅レジスタ (VESWR)	35-12
35.3.3	VEU ソースサイズレジスタ (VESSR)	35-13
35.3.4	VEU ソースアドレス Y レジスタ (VSAYR)	35-16
35.3.5	VEU ソースアドレス C レジスタ (VSACR)	35-17
35.3.6	VEU バンドルソースサイズレジスタ (VBSSR)	35-18
35.3.7	VEU デスティネーションメモリ幅レジスタ (VEDWR)	35-19
35.3.8	VEU デスティネーションアドレス Y レジスタ (VDAYR)	35-20
35.3.9	VEU デスティネーションアドレス C レジスタ (VDACR)	35-25
35.3.10	VEU 変換制御レジスタ (VTRCR)	35-26
35.3.11	VEU リサイズフィルタ制御レジスタ (VRFCR)	35-30
35.3.12	VEU リサイズフィルタサイズクリップレジスタ (VRFSR)	35-33
35.3.13	VEU エンハンスレジスタ (VENHR)	35-35
35.3.14	VEU リサイズフィルタサブ制御レジスタ (VRSCR)	35-36
35.3.15	VEU リサイズフィルタサイズクリップオフセットレジスタ (VRSOR)	35-37
35.3.16	VEU フィルタモード制御レジスタ (VFMCR)	35-38
35.3.17	VEU 垂直タップ係数レジスタ (VVTCT)	35-43
35.3.18	VEU 水平タップ係数レジスタ (VHTCT)	35-46
35.3.19	VEU 指定色レジスタ (VAPCR)	35-48
35.3.20	VEU 変換色レジスタ (VECCR)	35-49
35.3.21	VEU フィル色指定レジスタ (VFLCR)	35-49
35.3.22	VEU アドレス固定レジスタ (VAFXR)	35-50
35.3.23	VEU スワッピングレジスタ (VSWPR)	35-51

35.3.24	VEU イベント割り込みイネーブルレジスタ (VEIER)	35-53
35.3.25	VEU イベントレジスタ (VEVTR)	35-54
35.3.26	VEU ステータスレジスタ (VSTAR)	35-55
35.3.27	VEU モジュールリセットレジスタ (VBSRR)	35-57
35.3.28	VEU リサイズ通過帯域設定レジスタ (VRPBR)	35-57
35.4	使用上の注意事項	35-59
36.	ブレンドエンジンユニット (BEU)	36-1
36.1	特長	36-1
36.2	BEUの機能概要	36-1
36.3	レジスタの説明	36-4
36.3.1	BEU 起動レジスタ (BESTR)	36-12
36.3.2	BEU ソースメモリ幅指定レジスタ 1~3 (BSMWR1 ~ BSMWR3)	36-13
36.3.3	BEU ソースサイズ指定レジスタ 1~3 (BSSZR1 ~ BSSZR3)	36-14
36.3.4	BEU ソースアドレス Y レジスタ 1~3 (BSAYR1 ~ BSAYR3)	36-16
36.3.5	BEU ソースアドレス C レジスタ 1~3 (BSACR1 ~ BSACR3)	36-16
36.3.6	BEU ソースアドレス レジスタ 1~3 (BSAAR1 ~ BSAAR3)	36-17
36.3.7	BEU ソース画像フォーマットレジスタ 1~3 (BSIFR1 ~ BSIFR3)	36-18
36.3.8	BEU タイルパターンサイズレジスタ (BTPSR)	36-24
36.3.9	BEU マルチ画面ソースメモリ幅レジスタ 1~4 (BMSMWR1 ~ BMSMWR4)	36-24
36.3.10	BEU マルチ画面ソースサイズレジスタ 1~4 (BMSSZR1 ~ BMSSZR4)	36-25
36.3.11	BEU マルチ画面ソースアドレス Y レジスタ 1~4 (BMSAYR1 ~ BMSAYR4)	36-26
36.3.12	BEU マルチ画面ソースアドレス C レジスタ 1~4 (BMSACR1 ~ BMSACR4)	36-26
36.3.13	BEU マルチ画面ソース画像フォーマットレジスタ (BMSIFR)	36-27
36.3.14	BEU ブレンドコントロールレジスタ 0 (BBLCR0)	36-28
36.3.15	BEU ブレンドコントロールレジスタ 1 (BBLCR1)	36-31
36.3.16	BEU プロセス制御レジスタ (BPROC)	36-34
36.3.17	BEU マルチウィンドウ制御レジスタ 0 (BMWCR0)	36-36
36.3.18	ブレンドロケーション設定レジスタ 1~3 (BLOC1 ~ BLOC3)	36-37
36.3.19	BEU マルチ画面ロケーションレジスタ 1~4 (BMLOC1 ~ BMLOC4)	36-40
36.3.20	BEU マルチ画面透過色制御レジスタ 1, 2 (BMPCCR1, BMPCCR2)	36-42
36.3.21	ブレンドバックフォームレジスタ (BPKFR)	36-43
36.3.22	BEU 透過色制御レジスタ 0 (BPCCR0)	36-45
36.3.23	BEU 透過色制御レジスタ 11, 12, 21, 22, 31, 32 (BPCCR11, BPCCR12, BPCCR21, BPCCR22, BPCCR31, BPCCR32)	36-48
36.3.24	BEU デスティネーションメモリ幅レジスタ (BDMWR)	36-49
36.3.25	BEU デスティネーションアドレス Y レジスタ (BDAYR)	36-49
36.3.26	BEU デスティネーションアドレス C レジスタ (BDACR)	36-51
36.3.27	BEU アドレス固定レジスタ (BAFXR)	36-52
36.3.28	BEU スワッピングレジスタ (BSWPR)	36-53
36.3.29	BEU イベント割り込みイネーブルレジスタ (BEIER)	36-58

36.3.30	BEU イベントレジスタ (BEVTR)	36-58
36.3.31	BEU レジスタ制御レジスタ (BRCNTR)	36-61
36.3.32	BEU ステータスレジスタ (BSTAR)	36-62
36.3.33	BEU モジュールリセットレジスタ (BBRSTR)	36-63
36.3.34	BEU レジスタ面強制指定レジスタ (BRCHR)	36-64
36.4	連動動作	36-65
36.4.1	連動動作でのレジスタ切り替え	36-65
36.4.2	連動動作でのマルチウィンドウ	36-66
36.4.3	連動動作でのデータフォーマット選択	36-67
37.	JPEG プロセッシングユニット (JPU)	37-1
37.1	特長	37-1
37.2	レジスタの説明	37-3
37.2.1	JPEG コードモードレジスタ (JCMOD)	37-7
37.2.2	JPEG コードコマンドレジスタ (JCCMD)	37-8
37.2.3	JPEG コードステータスレジスタ (JCSTS)	37-10
37.2.4	JPEG コード量子化テーブル番号レジスタ (JCQTN)	37-10
37.2.5	JPEG コードハフマンテーブル番号レジスタ (JCHTN)	37-11
37.2.6	JPEG コード DRI 上位レジスタ (JCDRIU)	37-12
37.2.7	JPEG コード DRI 下位レジスタ (JCDRID)	37-12
37.2.8	JPEG コード垂直方向サイズ上位レジスタ (JCVSZU)	37-13
37.2.9	JPEG コード垂直方向サイズ下位レジスタ (JCVSZD)	37-13
37.2.10	JPEG コード水平方向サイズ上位レジスタ (JCHSZU)	37-14
37.2.11	JPEG コード水平方向サイズ下位レジスタ (JCHSZD)	37-14
37.2.12	JPEG コードデータカウント上位レジスタ (JCDTCU)	37-15
37.2.13	JPEG コードデータカウント中位レジスタ (JCDTCM)	37-15
37.2.14	JPEG コードデータカウント下位レジスタ (JCDTCD)	37-16
37.2.15	JPEG 割り込みイネーブルレジスタ (JINTE)	37-16
37.2.16	JPEG 割り込みステータスレジスタ (JINTS)	37-18
37.2.17	JPEG コードデコードエラーレジスタ (JCDERR)	37-19
37.2.18	JPEG コード再起動レジスタ (JCRST)	37-19
37.2.19	JPEG インタフェース圧縮制御レジスタ (JIFECNT)	37-20
37.2.20	JPEG インタフェース圧縮ソース Y アドレスレジスタ 1 (JIFESYA1)	37-21
37.2.21	JPEG インタフェース圧縮ソース C アドレスレジスタ 1 (JIFESCA1)	37-22
37.2.22	JPEG インタフェース圧縮ソース Y アドレスレジスタ 2 (JIFESYA2)	37-22
37.2.23	JPEG インタフェース圧縮ソース C アドレスレジスタ 2 (JIFESCA2)	37-23
37.2.24	JPEG インタフェース圧縮ソースメモリ幅レジスタ (JIFESMW)	37-23
37.2.25	JPEG インタフェース圧縮ソース垂直方向サイズレジスタ (JIFESVSZ)	37-24
37.2.26	JPEG インタフェース圧縮ソース水平方向サイズレジスタ (JIFESHSZ)	37-24
37.2.27	JPEG インタフェース圧縮デスティネーションアドレスレジスタ 1 (JIFEDA1)	37-25

37.2.28	JPEG インタフェース圧縮デスティネーションアドレスレジスタ 2 (JIFEDA2)	37-25
37.2.29	JPEG インタフェース圧縮データリロードサイズレジスタ (JIFEDRSZ)	37-26
37.2.30	JPEG インタフェース伸長制御レジスタ (JIFDCNT)	37-27
37.2.31	JPEG インタフェース伸長ソースアドレスレジスタ 1 (JIFDSA1)	37-28
37.2.32	JPEG インタフェース伸長ソースアドレスレジスタ 2 (JIFDSA2)	37-28
37.2.33	JPEG インタフェース伸長データリロードサイズレジスタ (JIFDDRSZ)	37-29
37.2.34	JPEG インタフェース伸長デスティネーションメモリ幅レジスタ (JIFDDMW)	37-29
37.2.35	JPEG インタフェース伸長デスティネーション垂直方向サイズレジスタ (JIFDDVSZ)	37-30
37.2.36	JPEG インタフェース伸長デスティネーション水平方向サイズレジスタ (JIFDDHSZ)	37-30
37.2.37	JPEG インタフェース伸長デスティネーション Y アドレスレジスタ 1 (JIFDDYA1)	37-31
37.2.38	JPEG インタフェース伸長デスティネーション C アドレスレジスタ 1 (JIFDDCA1)	37-31
37.2.39	JPEG インタフェース伸長デスティネーション Y アドレスレジスタ 2 (JIFDDYA2)	37-32
37.2.40	JPEG インタフェース伸長デスティネーション C アドレスレジスタ 2 (JIFDDCA2)	37-32
37.3	動作説明	37-33
37.3.1	圧縮	37-33
37.3.2	伸長	37-44
37.3.3	画像データ格納	37-55
37.3.4	符号データ格納	37-59
37.3.5	端数データ処理	37-61
37.4	割り込み処理フロー	37-62
37.4.1	圧縮 / 伸長処理割り込み	37-62
37.4.2	データ転送処理割り込み	37-63
37.5	バスリセット処理	37-64
37.6	ソフトウェアリセット処理	37-65
38.	2D グラフィックアクセラレータ (2DG)	38-1
38.1	特長	38-1
39.	LCD コントローラ (LCDC)	39-1
39.1	特長	39-1
39.2	端子構成	39-5
39.3	レジスタの説明	39-6
39.3.1	LCDC パレットデータレジスタ 00 ~ FF (LDPR00 ~ LDPRFF)	39-9
39.3.2	LCD ドットクロックパターンレジスタ 1 (MLDDCKPAT1R)	39-10
39.3.3	LCD ドットクロックパターンレジスタ 2 (MLDDCKPAT2R)	39-10
39.3.4	LCDC ドットクロックレジスタ (LDDCKR)	39-11
39.3.5	ドットクロックストップレジスタ (LDDCKSTPR)	39-12
39.3.6	LCD モジュールタイプレジスタ 1 (MLDMT1R)	39-13
39.3.7	LCD モジュールタイプレジスタ 2 (MLDMT2R)	39-16
39.3.8	LCD モジュールタイプレジスタ 3 (MLDMT3R)	39-17

39.3.9	LCD データフォーマットレジスタ (MLDDFR)	39-18
39.3.10	LCD スキャンモードレジスタ 1 (MLDSM1R)	39-20
39.3.11	LCD スキャンモードレジスタ 2 (MLDSM2R)	39-21
39.3.12	LCD 表示データ取り込み開始アドレスレジスタ 1 (MLDSA1R)	39-21
39.3.13	LCD 表示データ取り込み開始アドレスレジスタ 2 (MLDSA2R)	39-22
39.3.14	LCD 表示データ格納メモリラインサイズレジスタ (MLDMLSR)	39-22
39.3.15	LCD 水平キャラクタナンバーレジスタ (MLDHCNR)	39-23
39.3.16	LCD 水平同期信号レジスタ (MLDHSYNR)	39-24
39.3.17	LCD 垂直ラインナンバーレジスタ (MLDVLR)	39-24
39.3.18	LCD 垂直同期信号レジスタ (MLDVSYNR)	39-25
39.3.19	LCD 水平パーシャル画面レジスタ (MLDHPDR)	39-26
39.3.20	LCD 垂直パーシャル画面レジスタ (MLDVPDR)	39-27
39.3.21	LCD パワーマネジメントレジスタ (MLDPMR)	39-28
39.3.22	LCDC パレット制御レジスタ (LDPALCR)	39-30
39.3.23	LCDC 割り込みレジスタ (LDINTR)	39-31
39.3.24	LCDC ステータスレジスタ (LDSR)	39-34
39.3.25	LCDC 制御レジスタ 1 (LDCNT1R)	39-35
39.3.26	LCDC 制御レジスタ 2 (LDCNT2R)	39-36
39.3.27	LCDC レジスタ面切り替え制御レジスタ (LDRCNTR)	39-38
39.3.28	LCDC 入力画像データスワップレジスタ (LDDDSR)	39-39
39.3.29	LCDC レジスタ面強制指定レジスタ (LDRCR)	39-41
39.3.30	LCDC ドライバライトデータレジスタ 0 ~ F (LDDWD0R ~ LDDWDFR)	39-42
39.3.31	LCDC ドライバリードデータレジスタ (LDDRDR)	39-43
39.3.32	LCDC ドライバライトアクセスレジスタ (LDDWAR)	39-44
39.3.33	LCDC ドライバリードアクセスレジスタ (LDDRAR)	39-45
39.4	動作説明	39-46
39.4.1	LCDC 表示性能	39-46
39.4.2	カラーパレット仕様について	39-46
39.4.3	表示タイミングコントロール	39-47
39.4.4	ワンショットモード	39-47
39.4.5	パーシャル画面モード	39-48
39.4.6	パワーマネジメント	39-48
39.4.7	ドットクロック設定例	39-49
39.4.8	BEU との連動動作	39-50
39.4.9	YCbCr 出力動作	39-52
39.5	レジスタ設定方法	39-55
39.5.1	2 面レジスタの切り替えタイミング	39-55
39.6	クロックと液晶データ信号例	39-56
39.7	データフォーマット	39-59
39.7.1	LCD 出力データフォーマット	39-59
39.8	使用上の注意事項	39-60

39.8.1	ユーザ指定割り込みについての注意事項	39-60
40.	ビデオ出力ユニット (VOU)	40-1
40.1	特長	40-1
40.2	端子構成	40-2
40.3	レジスタの説明	40-3
40.3.1	VOU 起動レジスタ (VOUER)	40-5
40.3.2	VOU 制御レジスタ (VOUCR)	40-6
40.3.3	VOU ステータスレジスタ (VOUSTR)	40-8
40.3.4	VOU ビデオ制御レジスタ (VOUVCR)	40-9
40.3.5	VOU 入力画像サイズレジスタ (VOUISR)	40-11
40.3.6	VOU バックカラーレジスタ (VOUBCR)	40-12
40.3.7	VOU 表示位置レジスタ (VOUDPR)	40-13
40.3.8	VOU 表示サイズレジスタ (VOUDSR)	40-14
40.3.9	VOU 有効画素開始位置レジスタ (VOUVPR)	40-15
40.3.10	VOU 割り込みレジスタ (VOUIR)	40-17
40.3.11	VOU リセットレジスタ (VOUSRR)	40-18
40.3.12	VOU モード設定レジスタ (VOUMSR)	40-19
40.3.13	VOU 水平同期間隔レジスタ (VOUHIR)	40-20
40.3.14	VOU 入力画像データフォーマットレジスタ (VOUDFR)	40-21
40.3.15	VOU 入力画像データ格納先頭アドレスレジスタ 1 (VOUAD1R)	40-22
40.3.16	VOU 入力画像データ格納先頭アドレスレジスタ 2 (VOUAD2R)	40-23
40.3.17	VOU 入力画像データアドレスインクリメントレジスタ (VOUAIR)	40-23
40.3.18	VOU 入力画像データスワップレジスタ (VOUSWR)	40-24
40.3.19	VOU レジスタ面切り替えレジスタ (VOURCR)	40-26
40.3.20	VOU レジスタ面強制指定レジスタ (VOURPR)	40-27
40.4	動作説明	40-29
40.4.1	SYNC 信号の生成	40-29
40.4.2	VOU の起動 / 停止	40-29
40.4.3	BEU とのハンドシェーク	40-29
40.4.4	VOU 起動中のレジスタの書き換え	40-29
40.5	VOU 設定手順	40-30
40.6	タイミング	40-31
40.6.1	同期タイミング	40-31
40.6.2	フィールド終了割り込み発生タイミング	40-32
40.6.3	2 面レジスタの切り替えタイミング	40-32
41.	メディア RAM (MERAM)	41-1
41.1	特長	41-1
41.2	レジスタの説明	41-3

41.2.1	ICBnn コントロールレジスタ (MEnnCTRL)	41-5
41.2.2	ICBnn フレームサイズレジスタ (MEnnBSIZE)	41-9
41.2.3	ICBnnMARAM 設定レジスタ (MEnnMCNF)	41-10
41.2.4	ICBnn 外部メモリスタートアドレスレジスタ A (MEnnSSARA)	41-11
41.2.5	ICBnn 外部メモリスタートアドレス B (MEnnSSARB)	41-12
41.2.6	ICBnn 外部メモリバッファサイズレジスタ (MEnnSBSIZE)	41-12
41.2.7	ICB 制御レジスタ 0 (MEVCR0)	41-13
41.2.8	ICB 制御レジスタ 1 (MEVCR1)	41-13
41.2.9	ICB 転送終了割り込み設定レジスタ (METEIE)	41-14
41.2.10	ICB トランザクションエラー割り込み設定レジスタ (MEILIE)	41-15
41.2.11	ICB アクティブステータスレジスタ (MEACTST)	41-15
41.2.12	ICB 転送終了ステータスレジスタ (METEST)	41-18
41.2.13	ICB ライトトランザクションエラーステータスレジスタ (MEILWST)	41-19
41.2.14	ICB リードトランザクションエラーステータスレジスタ (MEILRST)	41-20
41.3	MARAMのアクセス法	41-22
41.3.1	SuperHywy イニシエータからの直接アクセス	41-22
41.3.2	対象画像モジュールからの直接アクセス	41-22
41.3.3	対象画像モジュールからの ICB アクセス	41-22
41.3.4	ライン番号・オフセットアドレスに関する補足	41-26
41.4	ICBの設定方法	41-28
41.4.1	リードフィルバッファとしての設定	41-28
41.4.2	ライトバックバッファとしての設定	41-29
41.4.3	インターコネクトバッファとしての設定	41-31
41.4.4	フレームバッファキャッシュとしての設定	41-33
41.5	対応モジュール個別の設定	41-35
41.5.1	VEU の画像出力	41-35
41.5.2	VEU の画像入力	41-35
41.5.3	BEU の画像出力	41-36
41.5.4	BEU の画像入力	41-36
41.5.5	VPU の画像出力	41-37
41.5.6	VPU の画像入力	41-38
41.5.7	CEU の画像出力	41-39
41.5.8	JPU の画像出力	41-39
41.5.9	JPU の画像入力	41-40
41.6	LCDCの画像入力	41-40
41.7	外部メモリへのアクセスの処理順	41-41
42.	画像切り出しダイレクトメモリアクセスコントローラ (2D-DMAC)	42-1
42.1	特長	42-1
42.2	レジスタの説明	42-3

42.2.1	コントロールレジスタ (CHnCTRL)	42-6
42.2.2	入出力スワップレジスタ (CHnSWAP)	42-9
42.2.3	ソースフォーマットレジスタ (CHnSFMT)	42-11
42.2.4	ソースアドレスレジスタ (CHnSAR)	42-12
42.2.5	デスティネーションフォーマットレジスタ (CHnDFMT)	42-12
42.2.6	デスティネーションピクセルレジスタ (CHnDPXL)	42-13
42.2.7	デスティネーションアドレスレジスタ (CHnDAR)	42-14
42.2.8	ソースラインアドレスレジスタ (CHnSARE)	42-14
42.2.9	デスティネーションラインアドレスレジスタ (CHnDARE)	42-15
42.2.10	デスティネーションピクセル処理レジスタ (CHnDPXLE)	42-15
42.2.11	割り込みステータスクリアレジスタ (CHSTCLR)	42-16
42.2.12	チャンネル優先度切替レジスタ (CHPRI)	42-17
42.3	動作説明	42-18
42.3.1	画像切り出し	42-18
42.3.2	画像回転 / 反転	42-20
42.3.3	RGB / YCbCr フォーマット変換	42-23
42.3.4	単純拡大出力	42-23
42.4	転送フロー	42-24
42.5	使用上の注意事項	42-25
42.5.1	切り出し画像サイズに対する制約	42-25
43.	TS インタフェース (TSIF)	43-1
43.1	特長	43-1
43.2	端子構成	43-3
43.3	レジスタの説明	43-4
43.3.1	TSIF コントロールレジスタ (TSCTLR)	43-5
43.3.2	TSIF PID データレジスタ (TSPIDR)	43-8
43.3.3	TSIF コマンドレジスタ (TSCMDR)	43-8
43.3.4	TSIF 割り込みステータスレジスタ (TSSSTR)	43-11
43.3.5	TSIF TS データレジスタ (TSTSDR)	43-14
43.3.6	TSIF バッファクリアレジスタ (TSBUFCLRR)	43-15
43.3.7	TSIF 割り込みイネーブルレジスタ (TSINTER)	43-16
43.3.8	TSIF PSCALE レジスタ (TSPSCALER)	43-18
43.3.9	TSIF PSCALE_R レジスタ (TSPSCALERR)	43-18
43.3.10	TSIF PCRADC モードレジスタ (TSPCRADCMDR)	43-20
43.3.11	TSIF PCRADC レジスタ (TSPCRADCR)	43-21
43.3.12	TSIF TR_PCRADC レジスタ (TSTRPCRADC)	43-21
43.3.13	TSIF D_PCRADC レジスタ (TSDPCRADC)	43-22
43.3.14	TSIF フリーランカウンタ (TSFRC)	43-22
43.4	動作説明	43-23

43.4.1	TS データプロトコル.....	43-23
43.4.2	同期処理部.....	43-25
43.4.3	PID フィルタ処理部.....	43-26
43.4.4	ビットストリーム検索部.....	43-27
43.4.5	処理フロー.....	43-29
44.	サウンドプロセッシングユニット 2 (SPU2)	44-1
44.1	特長.....	44-2
45.	FIFO 内蔵シリアルインタフェース (FSI)	45-1
45.1	特長.....	45-1
45.2	入出力端子.....	45-6
45.3	レジスタの説明.....	45-7
45.3.1	ポート A/B 出力シリアルフォーマットレジスタ (A_DO_FMT/B_DO_FMT)	45-9
45.3.2	ポート A/B 出力 FIFO 制御レジスタ (A_DOFF_CTL/B_DOFFCTL)	45-10
45.3.3	ポート A/B 出力 FIFO ステータスレジスタ (A_DOFF_ST/B_DOFF_ST)	45-11
45.3.4	ポート A/B 入力シリアルフォーマットレジスタ (A_DI_FMT/B_DI_FMT)	45-13
45.3.5	ポート A/B 入力 FIFO 制御レジスタ (A_DIFF_CTL/B_DIFF_CTL)	45-14
45.3.6	ポート A/B 入力 FIFO ステータスレジスタ (A_DIFF_ST/B_DIFF_ST)	45-15
45.3.7	ポート A/B クロック設定 1 レジスタ (A_CKG1/B_CKG1)	45-17
45.3.8	ポート A/B クロック設定 2 レジスタ (A_CKG2/B_CKG2)	45-20
45.3.9	ポート A/B リードデータレジスタ (A_DIDT/B_DIDT)	45-22
45.3.10	ポート A/B ライトデータレジスタ (A_DODT/B_DODT)	45-22
45.3.11	ポート A/B MUTE ステート (A_MUTE_ST/B_MUTE_ST)	45-23
45.3.12	割り込みステートレジスタ (INT_ST)	45-25
45.3.13	割り込み要因マスク設定レジスタ (IEMSK)	45-26
45.3.14	割り込み信号マスク設定レジスタ (IMSK)	45-27
45.3.15	MUTE 設定レジスタ (MUTE)	45-29
45.3.16	クロックリセット設定レジスタ (CLK_RST)	45-31
45.3.17	ソフトウェアリセット設定レジスタ (SOFT_RST)	45-32
45.3.18	FIFO サイズレジスタ (FIFO_SZ)	45-34
45.4	インタフェース仕様.....	45-36
45.4.1	FSI、SPU2 接続インタフェース仕様.....	45-36
45.4.2	クロックインタフェース仕様.....	45-37
45.4.3	リセットインタフェース仕様.....	45-38
45.5	MUTE仕様.....	45-42
45.6	FIFOオーバーフロー、アンダーフロー仕様.....	45-44
45.7	FIFOクリア.....	45-47
45.8	シリアルデータフォーマット.....	45-48
45.9	動作フロー.....	45-52

45.9.1	FSI 起動手順	45-53
45.9.2	FSI 再起動手順.....	45-54
45.9.3	初期割り込み設定手順.....	45-55
45.9.4	FSI 割り込み発生時の SPU2-DSP 動作フロー例.....	45-56
45.9.5	クロック停止、再開手順.....	45-57
45.10	制限事項.....	45-58
46.	ATAPI インタフェース (ATAPI)	46-1
46.1	特長.....	46-1
46.2	入出力端子.....	46-2
46.3	レジスタの説明.....	46-3
46.3.1	ATAPI コントロールレジスタ (ATAPI_CONTROL1)	46-4
46.3.2	ATAPI ステータスレジスタ (ATAPI_STATUS)	46-6
46.3.3	割り込みイネーブルレジスタ (ATAPI_INT_ENABLE)	46-8
46.3.4	PIO タイミング 1 レジスタ (ATAPI_PIO_TIMING1)	46-9
46.3.5	PIO タイミング 2 レジスタ (ATAPI_PIO_TIMING2)	46-9
46.3.6	マルチワード DMA タイミングレジスタ (ATAPI_MULTI_TIMING)	46-11
46.3.7	ウルトラ DMA タイミングレジスタ (ATAPI_ULTRA_TIMING)	46-12
46.3.8	ディスクリプタテーブルベースアドレスレジスタ (ATAPI_DTB_ADR)	46-13
46.3.9	DMA スタートアドレスレジスタ (ATAPI_DMA_START_ADR)	46-16
46.3.10	DMA 転送カウントレジスタ (ATAPI_DMA_TRANS_CNT)	46-17
46.3.11	ATAPI コントロール 2 レジスタ (ATAPI_CONTROL2)	46-17
46.3.12	ATAPI 信号ステータスレジスタ (ATAPI_SIG_ST)	46-18
46.3.13	バイトスワップレジスタ (ATAPI_BYTE_SWAP)	46-19
46.4	ATAPIのデータバスアライメント	46-20
46.5	機能説明.....	46-23
46.5.1	ATAPI インタフェースレジスタマップ	46-23
46.5.2	データ転送モード	46-25
46.5.3	ディスクリプタ機能	46-25
46.5.4	外部レベルシフタ制御機能.....	46-25
46.6	動作手順.....	46-29
46.6.1	初期化.....	46-29
46.6.2	PIO 転送モード手順.....	46-29
46.6.3	マルチワード DMA 転送モード手順.....	46-30
46.6.4	ウルトラ DMA 転送モード手順.....	46-32
46.6.5	ATAPI デバイスのハードウェアリセット手順.....	46-33
46.6.6	参考文献	46-33
47.	イーサネット MAC コントローラ (EtherMAC)	47-1
47.1	特長.....	47-1

47.1.1	ブロック図	47-2
47.2	入出力端子	47-4
47.3	アドレスマップ	47-4
47.4	レジスタの説明	47-5
47.4.1	E-DMAC モードレジスタ (EDMR)	47-7
47.4.2	E-DMAC 送信要求レジスタ (EDTRR)	47-8
47.4.3	E-DMAC 受信要求レジスタ (EDRRR)	47-9
47.4.4	送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)	47-10
47.4.5	受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)	47-11
47.4.6	EtherC/E-DMAC ステータスレジスタ (EESR)	47-12
47.4.7	EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)	47-16
47.4.8	送受信ステータスコピー指示レジスタ (TRSCER)	47-19
47.4.9	ミスドフレームカウンタレジスタ (RMFCR)	47-21
47.4.10	送信 FIFO しきい値指定レジスタ (TFTR)	47-22
47.4.11	FIFO 容量指定レジスタ (FDR)	47-23
47.4.12	受信方式制御レジスタ (RMCR)	47-25
47.4.13	送信 FIFO アンダランカウントレジスタ (TFUCR)	47-26
47.4.14	受信 FIFO オーバフローカウントレジスタ (RFOCR)	47-26
47.4.15	フロー制御開始 FIFO しきい値設定レジスタ (FCFTR)	47-27
47.4.16	送信割り込み設定レジスタ (TRIMD)	47-29
47.4.17	EtherC モードレジスタ (ECMR)	47-30
47.4.18	受信フレーム長上限レジスタ (RFLR)	47-32
47.4.19	EtherC ステータスレジスタ (ECSR)	47-33
47.4.20	EtherC 割り込み許可レジスタ (ECSIPR)	47-34
47.4.21	PHY 部インタフェースレジスタ (PIR)	47-35
47.4.22	PHY 部ステータスレジスタ (PSR)	47-36
47.4.23	乱数生成カウンタ上限値設定レジスタ (RDMLR)	47-36
47.4.24	IPG 設定レジスタ (IPGR)	47-37
47.4.25	自動 PAUSE フレーム設定レジスタ (APR)	47-37
47.4.26	手動 PAUSE フレーム設定レジスタ (MPR)	47-38
47.4.27	受信 PAUSE フレームカウンタレジスタ (RFCF)	47-39
47.4.28	自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)	47-39
47.4.29	PAUSE フレーム再送回数カウンタレジスタ (TPAUSECR)	47-40
47.4.30	MAC アドレス上位設定レジスタ (MAHR)	47-40
47.4.31	MAC アドレス下位設定レジスタ (MALR)	47-41
47.4.32	送信リトライオーバカウンタレジスタ (TROCR)	47-42
47.4.33	遅延衝突検出カウンタレジスタ (CDCR)	47-42
47.4.34	キャリア消失カウンタレジスタ (LCCR)	47-43
47.4.35	キャリア未検出カウンタレジスタ (CNDCR)	47-43
47.4.36	CRC エラーフレーム受信カウンタレジスタ (CEFCR)	47-44
47.4.37	フレーム受信エラーカウンタレジスタ (FRECR)	47-44

47.4.38	64 バイト未満フレーム受信カウンタレジスタ (TSFRCCR)	47-45
47.4.39	指定バイト超フレーム受信カウンタレジスタ (TLFRCCR)	47-45
47.4.40	端数ビットフレーム受信カウンタレジスタ (RFCR)	47-46
47.4.41	マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)	47-46
47.5	E-DMAC動作説明.....	47-47
47.5.1	ディスクリプタリストとデータバッファ	47-47
47.5.2	送信機能	47-52
47.5.3	受信機能	47-54
47.5.4	マルチバッファフレームの受信処理について	47-56
47.6	EtherC動作説明.....	47-57
47.6.1	送信動作	47-57
47.6.2	受信動作	47-58
47.6.3	MII フレームタイミング	47-59
47.6.4	MII レジスタのアクセス方法.....	47-61
47.6.5	IPG 設定による動作.....	47-63
47.6.6	フロー制御.....	47-64
47.7	PHY-LSIとの接続.....	47-65
47.7.1	RMII フレームタイミング.....	47-65
47.7.2	MII-RMII インタフェース変換.....	47-66
47.8	使用上の注意事項	47-68
48.	ピンファンクションコントローラ (PFC)	48-1
48.1	概要.....	48-1
48.2	レジスタの説明	48-7
48.2.1	ポート A 制御レジスタ (PACR)	48-11
48.2.2	ポート B 制御レジスタ (PBCR)	48-13
48.2.3	ポート C 制御レジスタ (PCCR)	48-15
48.2.4	ポート D 制御レジスタ (PDCR)	48-17
48.2.5	ポート E 制御レジスタ (PECR)	48-19
48.2.6	ポート F 制御レジスタ (PFCR)	48-21
48.2.7	ポート G 制御レジスタ (PGCR)	48-23
48.2.8	ポート H 制御レジスタ (PHCR)	48-24
48.2.9	ポート J 制御レジスタ (PJCR)	48-26
48.2.10	ポート K 制御レジスタ (PKCR)	48-28
48.2.11	ポート L 制御レジスタ (PLCR)	48-30
48.2.12	ポート M 制御レジスタ (PMCR)	48-32
48.2.13	ポート N 制御レジスタ (PNCR)	48-34
48.2.14	ポート Q 制御レジスタ (PQCR)	48-36
48.2.15	ポート R 制御レジスタ (PRCR)	48-38
48.2.16	ポート S 制御レジスタ (PSCR)	48-40

48.2.17	ポート T 制御レジスタ (PTCR)	48-42
48.2.18	ポート U 制御レジスタ (PUCR)	48-44
48.2.19	ポート V 制御レジスタ (PVCR)	48-46
48.2.20	ポート W 制御レジスタ (PWCR)	48-48
48.2.21	ポート X 制御レジスタ (PXCR)	48-50
48.2.22	ポート Y 制御レジスタ (PYCR)	48-52
48.2.23	ポート Z 制御レジスタ (PZCR)	48-54
48.2.24	ポート A データレジスタ (PADR)	48-56
48.2.25	ポート B データレジスタ (PBDR)	48-56
48.2.26	ポート C データレジスタ (PCDR)	48-57
48.2.27	ポート D データレジスタ (PDDR)	48-57
48.2.28	ポート E データレジスタ (PEDR)	48-58
48.2.29	ポート F データレジスタ (PFDR)	48-58
48.2.30	ポート G データレジスタ (PGDR)	48-59
48.2.31	ポート H データレジスタ (PHDR)	48-59
48.2.32	ポート J データレジスタ (PJDR)	48-60
48.2.33	ポート K データレジスタ (PKDR)	48-60
48.2.34	ポート L データレジスタ (PLDR)	48-61
48.2.35	ポート M データレジスタ (PMDR)	48-61
48.2.36	ポート N データレジスタ (PNDR)	48-62
48.2.37	ポート Q データレジスタ (PQDR)	48-62
48.2.38	ポート R データレジスタ (PRDR)	48-63
48.2.39	ポート S データレジスタ (PSDR)	48-63
48.2.40	ポート T データレジスタ (PTDR)	48-64
48.2.41	ポート U データレジスタ (PUDR)	48-64
48.2.42	ポート V データレジスタ (PVDR)	48-65
48.2.43	ポート W データレジスタ (PWDR)	48-65
48.2.44	ポート X データレジスタ (PXDR)	48-66
48.2.45	ポート Y データレジスタ (PYDR)	48-66
48.2.46	ポート Z データレジスタ (PZDR)	48-67
48.2.47	ピンセレクトレジスタ A (PSELA)	48-68
48.2.48	ピンセレクトレジスタ B (PSELB)	48-70
48.2.49	ピンセレクトレジスタ C (PSELC)	48-72
48.2.50	ピンセレクトレジスタ D (PSEL D)	48-74
48.2.51	ピンセレクトレジスタ E (PSELE)	48-76
48.2.52	I/O バッファ Hi-Z 制御レジスタ A (HIZCRA)	48-78
48.2.53	I/O バッファ Hi-Z 制御レジスタ B (HIZCRB)	48-80
48.2.54	I/O バッファ Hi-Z 制御レジスタ C (HIZCRC)	48-82
48.2.55	I/O バッファ Hi-Z 制御レジスタ D (HIZCRD)	48-84
48.2.56	モジュール機能選択レジスタ A (MSELCRA)	48-85
48.2.57	モジュール機能選択レジスタ B (MSELCRB)	48-86

48.2.58	プルアップ制御レジスタ (PULCR)	48-87
48.2.59	I/O バッファ Drive 制御レジスタ A (DRVCRA)	48-88
48.2.60	I/O バッファ Drive 制御レジスタ B (DRVCRB)	48-90
48.2.61	I/O バッファ Drive 制御レジスタ C (DRVCRC)	48-91
48.3	端子毎設定一覧表	48-93
49.	ユーザブレークコントローラ (UBC)	49-1
49.1	特長	49-1
49.2	レジスタの説明	49-3
49.2.1	マッチ条件設定レジスタ 0、1 (CBR0、CBR1)	49-4
49.2.2	マッチ動作設定レジスタ 0、1 (CRR0、CRR1)	49-10
49.2.3	マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)	49-12
49.2.4	マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)	49-13
49.2.5	マッチデータ設定レジスタ 1 (CDR1)	49-14
49.2.6	マッチデータマスク設定レジスタ 1 (CDMR1)	49-15
49.2.7	実行回数ブレークレジスタ 1 (CETR1)	49-15
49.2.8	チャンネルマッチフラグレジスタ (CCMFR)	49-16
49.2.9	ブレークコントロールレジスタ (CBCR)	49-17
49.3	動作説明	49-18
49.3.1	アクセスに関する用語の説明	49-18
49.3.2	ユーザブレーク動作の流れ	49-18
49.3.3	命令フェッチサイクルブレーク	49-20
49.3.4	オペランドアクセスサイクルブレーク	49-21
49.3.5	シーケンシャルブレーク	49-22
49.3.6	退避されるプログラムカウンタの値	49-23
49.4	ユーザブレークデバッグサポート機能	49-24
49.5	ユーザブレーク使用例	49-25
49.6	使用上の注意事項	49-30
50.	ユーザデバッグインタフェース (H-UDI)	50-1
50.1	特長	50-1
50.2	入出力端子	50-3
50.3	レジスタの説明	50-4
50.3.1	インストラクションレジスタ (SDIR)	50-5
50.3.2	データレジスタ H、L (SDDRH、SDDRL)	50-5
50.3.3	割り込み要因レジスタ (SDINT)	50-6
50.4	動作説明	50-7
50.4.1	TAP 制御	50-7
50.4.2	H-UDI リセット	50-8
50.4.3	H-UDI 割り込み	50-8

50.5	使用上の注意事項	50-8
51.	レジスタ一覧	51-1
51.1	レジスタアドレス一覧	51-2
51.2	各動作モードにおけるレジスタの状態	51-51
52.	電気的特性	52-1
52.1	絶対最大定格	52-1
52.2	推奨動作条件	52-2
52.3	電源投入および切断順序	52-3
52.3.1	電源の投入順序について	52-3
52.3.2	電源の切断順序について	52-4
52.4	DC特性	52-5
52.5	AC特性	52-11
52.5.1	動作周波数	52-11
52.5.2	クロックタイミング	52-12
52.5.3	割り込み信号タイミング	52-15
52.5.4	BSC バスタイミング仕様	52-16
52.5.5	DBSC バスタイミング	52-33
52.5.6	I/O ポート信号タイミング	52-41
52.5.7	DMAC モジュール信号タイミング	52-41
52.5.8	TPU モジュール信号タイミング	52-42
52.5.9	MSIOF モジュール信号タイミング	52-43
52.5.10	SCIF/SCIFA モジュール信号タイミング	52-45
52.5.11	I ² C モジュール信号タイミング	52-47
52.5.12	CEU モジュール信号タイミング	52-49
52.5.13	LCDC モジュール信号タイミング	52-50
52.5.14	VOU モジュール信号タイミング	52-53
52.5.15	TSIF モジュール信号タイミング	52-54
52.5.16	KEYSC モジュール信号タイミング	52-56
52.5.17	ATAPI インタフェースモジュール信号タイミング	52-57
52.5.18	イーサネットコントローラタイミング (RMII)	52-84
52.5.19	SDHI モジュール信号タイミング	52-86
52.5.20	MMCIF モジュール信号タイミング	52-87
52.5.21	FSI モジュール信号タイミング	52-88
52.5.22	H-UDI モジュール信号タイミング	52-90
52.6	USB電気的特性	52-91
52.7	AC特性測定条件	52-92

付録	付録-1
A. CPU動作モードレジスタ (CPUOPM)	付録-1
B. 命令プリフェッチとその副作用について	付録-3
C. サブルーチン復帰投機実行.....	付録-4
D. リセット、低消費電力状態での端子状態.....	付録-5
E. 外形寸法図 (BGA449)	付録-13
索引	索引-1

1. 概要

1.1 SH7724 の特長

SH7724 (SH-MobileR2R) は、ルネサスオリジナルの SH-4A プロセッサをコアとして、モバイル、カーナビゲーション、デジタル民生機器などのマルチメディアアプリケーションに適した周辺機能を集積したシステム LSI です。SH7724 の特長を表 1.1 に示します。

表 1.1 本 LSI の特長

項目	特長
最大動作周波数	• CPU コア : 500MHz、内部バス : 166.7MHz、周辺バス : 41.7MHz
CPU 性能	• 900MIPS、3.5GFLOPS (500MHz 動作時)
キャッシュ	• 一次キャッシュ : 命令 32K バイト / データ 32K バイト • 二次キャッシュ : 256K バイト (命令、データ混在)
外部メモリ インタフェース	• DDR2-SDRAM/Mobile DDR-SDRAM 兼用インタフェース : DDR333、バス幅 32 ビット、最大 512M バイト接続可能 • SRAM、NOR フラッシュメモリ、PCMCIA インタフェース : バス幅 32 ビット、最大 83.3MHz
内蔵周辺機能	• 各種動画フォーマット (H.264、MPEG-4、VC-1) に対応したマルチコーデック「VPU5F」を搭載し、HD (High Definition 1280 x 720 画素) サイズ 30fps の録画 / 再生を実現可能 • 高速、高品質な地図描画を実現する 2D グラフィクスアクセラレータ • 24 ビット TFT カラー液晶パネル対応 LCD コントローラに加え、ITU-R BT.601/656 準拠のデジタルビデオ出力機能を搭載し、2 画面の同時出力に対応 • 24 ビットオーディオ専用 DSP を搭載し、各種オーディオ処理を低消費電力で実現可能 • USB2.0 ハイスピード対応ホスト & ファンクションを 2 チャンネル搭載 • MMC4.2 インタフェースにより NAND フラッシュメモリを接続可能。NAND フラッシュメモリからのブートに対応 • イーサネット MAC を搭載 (10M/100Mbps)
低消費電力機能	• 電源領域の分離、各種スタンバイモードのサポート
パッケージ	• 449 ピン BGA (0.8mm ピッチ、21mm x 21mm) • 441 ピン POP (0.5mm ピッチ、14mm x 14mm) 【注】POP のパッケージ情報については別冊資料を参照ください。
電源電圧	• コア : 1.15V ~ 1.30V (VPU 125MHz 以下)。1.25V ~ 1.35V (VPU 125MHz ~ 166.7MHz の場合) • I/O : 1.65V ~ 1.95V/2.7V ~ 3.6V 選択可能
動作周囲温度	• -40 ~ 85 (449 ピン BGA) • -20 ~ 70 (441 ピン POP)
製造プロセス	• 65nm CMOS プロセス

1.2 ブロック図

図 1.1 に SH7724 のブロック図を示します。() 内に各モジュールの主要な動作クロックを示します。

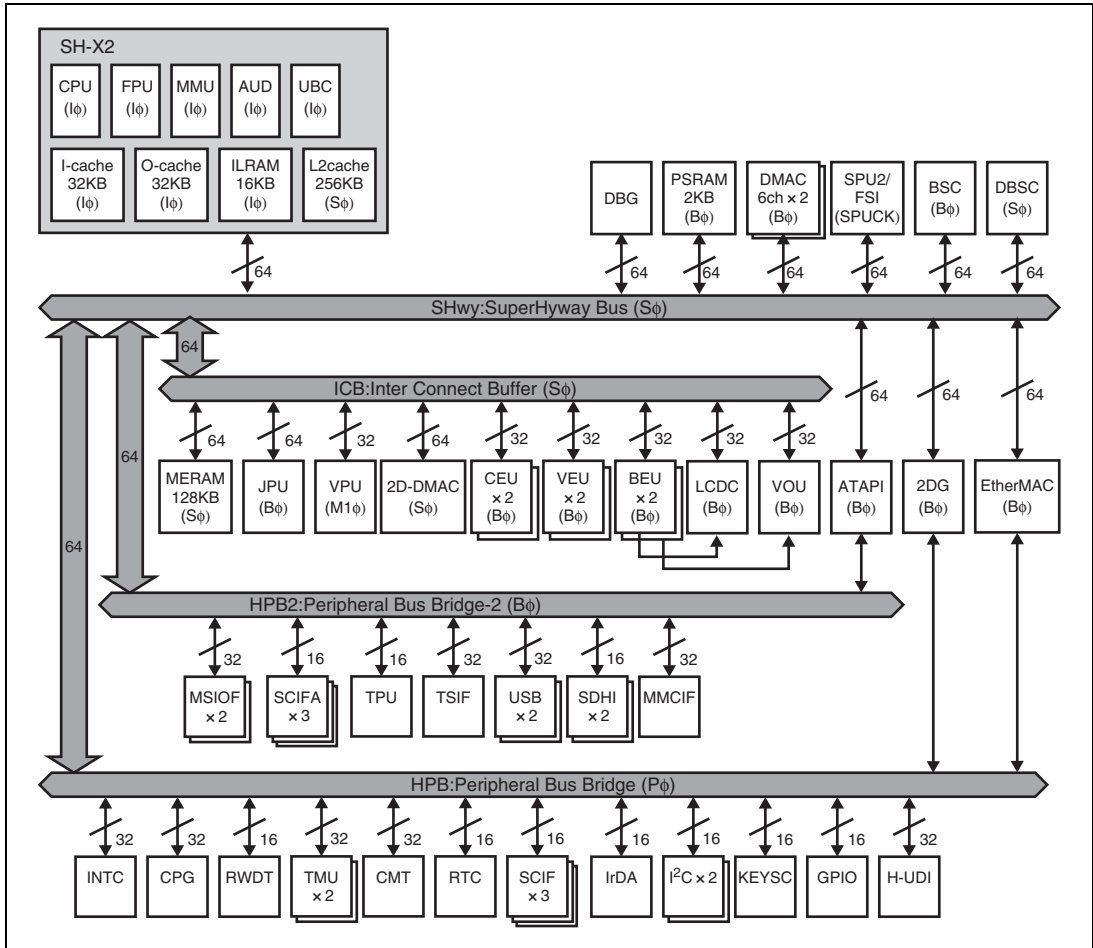


図 1.1 ブロック図

1.3 モジュール仕様概要

各モジュールの仕様概要を表 1.2 に示します。詳細は各モジュールの章を参照してください。

表 1.2 モジュール仕様概要

項目	説明
CPU	<ul style="list-style-type: none"> • ルネサスオリジナルアーキテクチャ (SH-4A) • 32 ビット内部データバス • 汎用レジスタファイル • RISC タイプ命令セット (SH-1、SH-2、SH-3、SH-4 と上位互換性あり) • FPU を含む 2 命令同時実行型スーパースカラ • 命令実行時間：最大 2 命令 / サイクル • 仮想アドレス空間：4G バイト • 空間識別子 ASID：8 ビット、256 仮想アドレス空間 • 乗算器内蔵 • 8 段パイプライン
浮動小数点 ユニット (FPU)	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 規格に準拠したデータタイプおよび例外をサポート • 丸めモード：近傍および 0 方向への丸め • 非正規化数の扱い：0 への切り捨て、または IEEE754 に準拠のための割り込み発生 • 浮動小数点レジスタ：32 ビット × 16 ワード × 2 バンク (単精度 × 16 レジスタまたは倍精度 × 8 レジスタ) × 2 バンク • 32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL) • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算)、FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート • 3D グラフィック命令 (単精度のみ) • 10 段パイプライン
メモリ マネジメント ユニット (MMU)	<ul style="list-style-type: none"> • 4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID8 ビット) • 単一仮想記憶モードと多重仮想記憶モード • 複数のページサイズをサポート：1K、4K、8K、64K、256K、1M、4M、64M バイト • 命令に対する 4 エントリのフルアソシアティブ TLB • 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB • ソフトウェアによる入換方法およびランダムカウンタ方式入換アルゴリズムをサポート • TLB の内容はアドレスマッピングにより直接アクセス可能 • 32 ビット物理アドレス拡張モードをサポート <p>【注】初期状態は 29 ビット物理アドレスモードです。</p>

項目	説明
キャッシュメモリ	<ul style="list-style-type: none"> 命令キャッシュ (IC) <ul style="list-style-type: none"> - 32K バイト、4 ウェイセットアソシアティブ - 32 バイトブロック長 オペランドキャッシュ (OC) <ul style="list-style-type: none"> - 32K バイト、4 ウェイセットアソシアティブ - 32 バイトブロック長 - 選択可能な書き込み方式 (コピーバック / ライトスルー) ストアキュー (32 バイト × 2 エントリ)
2 次キャッシュ (L2C)	<ul style="list-style-type: none"> 命令・データ共用型 256K バイトキャッシュ 32 バイトブロック長 ライトスルー
IL メモリ (ILRAM)	<ul style="list-style-type: none"> 3 本の独立した読み出し / 書き込みポート <ul style="list-style-type: none"> - CPU からの命令フェッチアクセス - CPU からの 8/16/32 ビットオペランドアクセス - SuperHyway バスマスタからの 8/16/32/64 ビットおよび 16/32 バイトアクセス 容量 : 16K バイト
SuperHyway バス (SHwy)	<ul style="list-style-type: none"> アドレス 32 ビット、データ幅 64 ビットの高性能オンチップシステムバス パケットルータ (GPR) によりイニシエータ / ターゲット間の転送制御 イニシエータとなるモジュール : SH-X2、DBG、DMAC、ICB、2DG、ATAPI、EtherMAC、SPU 各イニシエータ間の優先度を動的に設定可能 通常転送時 : 完全 LRU 方式 緊急転送時 : 特定のイニシエータの優先度設定可能
RS メモリ (RSRAM)	<ul style="list-style-type: none"> CPU および SuperHyway バスマスタからアクセス可能な内蔵 RAM R-スタンバイモード時にデータを保持 容量 2K バイト R-スタンバイモードから復帰用のプログラム格納用に使用可能
割り込みコントローラ (INTC)	<ul style="list-style-type: none"> 9 本の外部割り込み端子 (NMI、IRQ7 ~ IRQ0) <ul style="list-style-type: none"> - NMI : 立ち下がり / 立ち上がり選択可能 - IRQ : 立ち下がり / 立ち上がり / ハイレベル / ローレベル選択可能 周辺モジュール割り込み : モジュールごとに優先順位を設定。以下のモジュールが割り込みを発行。 DMAC、ATAPI、TPU、TMU、CMT、MSIOF、SCIF、SCIFA、RTC、IrDA、KEYSC、USB、IIC、MMCIF、VPU、VIO5 (CEU、VEU、BEU)、2DG、LCDC、VOU、JPU、ICB、2D-DMAC、TSIF、FSI、SPU2、EtherMAC、SDHI

項目	説明
バスステート コントローラ (BSC)	<ul style="list-style-type: none"> • SRAM、バーストROM、PCMCIA インタフェース機能をサポート • 合計で最大 256MB までの外部アドレス空間をサポート。空間分割数は以下の 2 通りから選択可能。 <ul style="list-style-type: none"> - アドレスマップ 1: エリア 0、4、5A、5B、6A、6B の 6 空間 - アドレスマップ 2: エリア 0、4、5、6 の 4 空間 • 各エリアには独立に以下の設定が可能 <ul style="list-style-type: none"> - メモリ種類: SRAM、NOR-フラッシュメモリ、バーストROM、PCMCIA - データバス幅: 8 ビット / 16 ビット / 32 ビット切り替え可能 (エリア 0 は 16 ビット / 32 ビット) - ウェイトサイクル数
DDR SDRAM 用 バスステート コントローラ (DBSC)	<ul style="list-style-type: none"> • DDR2-SDRAM / Mobile DDR-SDRAM を直結可能 • 物理アドレス空間: 最大 512M バイトをサポート • データバス幅: 32 / 16 ビット • オートリフレッシュ / セルフリフレッシュをサポート • サポートバンク数: 4、8 バンク (DDR2-SDRAM)、4 バンク (Mobile DDR-SDRAM) ただし、8 バンク設定時、同時にオープンとなるのは 4 バンクまで • バースト長: 4 固定 • バーストタイプ: シーケンシャル • CAS レイテンシ: 3 固定 • パワーダウン • ディープパワーダウン (Mobile DDR-SDRAM のみ) • パーシャルセルフリフレッシュ (Mobile DDR-SDRAM のみ) • オートプリチャージモード / バンクアクティブモード
ダイレクトメモリ アクセス コントローラ (DMAC)	<ul style="list-style-type: none"> • 12 チャンネル内蔵、内 2 チャンネルは外部リクエスト受け付け可能 • アドレス空間: アーキテクチャ上は 4G バイト • データ転送長: バイト、ワード (2 バイト)、ロングワード (4 バイト)、16 バイト、32 バイト • 最大転送回数: 16,777,216 回 • アドレスモード: デュアルアドレスモード 転送要求: 外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの 3 種類から選択可能。 • 内蔵周辺モジュールリクエストを発行するモジュール SCIF、SCIFA、MSIOF、SDHI、TSIF、IrDA、USB、MMCIF • バスモード: サイクルスチールモード (通常モードとインターミットモード) とバーストモードから選択可能 • 優先順位: チャンネル優先順位固定モードとラウンドロビンモードから選択可能 • 割り込み要求: データ転送終了時に CPU へ割り込み要求可能を発生可能 • リピート機能: DMA 転送終了時に、転送元、転送先、転送回数を自動で再設定する機能 • リロード機能: 指定回数分の DMA 転送終了時に、転送元、転送先を自動で再設定する機能

項目	説明
クロックパルス発振器 (CPG)	<ul style="list-style-type: none"> ● 3種類のクロックソースを選択可能 <ul style="list-style-type: none"> - EXTAL 端子入力：10MHz ~ 66.7MHz - RTC_CLK 端子入力：32.768KHz。RTC の動作クロック FLL 回路により MHz 帯まで逡倍しシステムクロックのソースとして使用可能 - 水晶振動子：EXTAL 端子、XTAL 端子に接続 ● 4種類のシステムクロックを生成 <ul style="list-style-type: none"> - CPU クロック (I)：最大 500MHz - SuperHyway/DDR クロック (S)：最大 166.7MHz (DDR333 対応) - バスクロック (B)：最大 83.4MHz - 周辺クロック (P)：最大 41.7MHz ● 周辺モジュールの専用クロックを生成 <ul style="list-style-type: none"> - M1 : VPU の動作クロック。最大 166.7MHz - RCLK : RWDT、CMT の動作クロック - FSICK : FSI のインタフェース用クロック ● ソフトウェアによる PLL 逡倍率 / 分周率制御によりシステムクロック周波数を動的に変更可能 ● 低消費電力機能 <ul style="list-style-type: none"> - モジュールスタンバイ機能 (モジュール単位でクロックを停止) - スリープモード (CPU コアのクロックを停止) - ソフトウェアスタンバイモード (I/O 部と RCLK 動作領域を除いて、LSI 内部のクロックを停止) - R-スタンバイモード (RCLK 動作領域、RS メモリ、一部レジスタを除き、LSI 内部の電源を切断) - U-スタンバイモード (I/O 部と RCLK 動作領域を除いて LSI 内部の電源を切断)
R ウォッチドッグタイマ (RWDT)	<ul style="list-style-type: none"> ● 1 チャンルの RCLK 動作のウォッチドッグタイマ ● 各種パワーダウンモード時に動作可能 ● カウンタオーバーフローによりシステムリセットを発生
タイマユニット (TMU)	<ul style="list-style-type: none"> ● 32 ビットタイマ、6 チャンネル内蔵 ● オートリロード方式の 32 ビットダウンカウンタ ● P でのプリスケアラ内蔵
タイマパルスユニット (TPU)	<ul style="list-style-type: none"> ● 16 ビットタイマ 4 チャンネル内蔵 ● 4 本のパルス出力が可能 ● 最大 4 相の PWM 出力が可能
コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> ● 32 ビットタイマ 1 チャンネル内蔵 (16 ビット / 32 ビット切り替え可) ● 源クロック : RCLK ● コンペアマッチ機能内蔵
リアルタイムクロック (RTC)	<ul style="list-style-type: none"> ● RTC_CLK 動作のタイマで、時計・カレンダー機能を搭載 ● アラーム割り込み、周期割り込みを発生

項 目	説 明
シリアル I/O FIFO 付 (MSIOF)	<ul style="list-style-type: none"> • 2 チャンネル内蔵 • 送受信 FIFO おのおの 64 バイト内蔵 • クロック同期シリアルマスタ/スレーブモード。全二重通信対応 <ul style="list-style-type: none"> - 8 ビット / 16 ビット / 16 ビットステレオ音声入出力対応 - 24 ビットステレオ音声入出力対応 - B および外部端子からのサンプリングレートクロックを入力選択可 - B でのプリスケラ内蔵 • SPI マスタ/スレーブモードサポート。全二重通信対応 <ul style="list-style-type: none"> - データサンプリングとしてシリアルクロック (SCK) の立ち下がりエッジ / 立ち上がりエッジを選択 - 送信タイミングとして SCK のクロックフェーズを選択 3 つのスレーブデバイスを選択 - 送受信データ長は 8 ビット / 16 ビット / 32 ビットを選択可能
FIFO 内蔵 シリアルコミュニ ケーション インタフェース (SCIF)	<ul style="list-style-type: none"> • 3 チャンネル内蔵 (SCIF0 ~ SCIF2) • 送受信 FIFO おのおの 16 バイト (8 ビット × 16 段) 内蔵 • 調歩同期式モードおよびクロック同期式モード (マスタ/スレーブ) をサポート • Bluetooth 対応の高速 UART • P でのプリスケラ内蔵
FIFO 内蔵 シリアルコミュニ ケーション インタフェース (SCIFA)	<ul style="list-style-type: none"> • 3 チャンネル内蔵 (SCIFA3 ~ SCIFA5) • 送受信 FIFO おのおの 64 バイト (8 ビット × 64 段) 内蔵 • 調歩同期式モードおよびクロック同期式モード (マスタ/スレーブ) をサポート • モデムコントロール機能 (RTS、CTS) 内蔵 (SCIFA3 のみ) • Bluetooth 対応の高速 UART • B でのプリスケラ内蔵
IrDA インタフェース (IrDA)	<ul style="list-style-type: none"> • バージョン 1.2a 対応 • CRC 生成機能あり
キースキャン インタフェース (KEYSC)	<ul style="list-style-type: none"> • キースキャン対応: キー入力割り込み検出にチャタリング防止機能付 • 入力 / 出力本数切り替え可能 (入力 5 本 / 出力 6 本、入力 6 本 / 出力 5 本、入力 7 本 / 出力 4 本) • ソフトウェアスタンバイ、R-スタンバイ、U-スタンバイからキー入力で復帰可能
ATAPI インタフェース (ATAPI)	<ul style="list-style-type: none"> • プライマリーチャンネル機能 • マスタ/スレーブ機能 • PIO モード 0 ~ 4、マルチワード DMA モード 0 ~ 2、ウルトラ DMA モード 0 ~ 4 をサポート • ディスクリプタモードをサポート • 3.3V I/O インタフェース

項目	説明
USB2.0 ホスト& ファンクション モジュール (USB)	<ul style="list-style-type: none"> • USB2.0 のホストコントローラとファンクションコントローラを内蔵 • USB ホスト機能 2 チャンネルとファンクション機能 2 チャンネルをレジスタ設定により切り替え可能 • Hi-Speed 転送 (480Mbps)、Full-Speed 転送 (12Mbps)、Low-Speed 転送 (1.5Mbps) に対応 • USB トランシーバ内蔵 • USB の全転送タイプに対応 コントロール転送、バルク転送、インタラプト転送 (High Bandwidth は非対応) アイソクロナス転送 (High Bandwidth は非対応) • 最大 10 本のパイプを選択可能 (デフォルトコントロールパイプを含む) • パイプ 1~9 は任意のエンドポイント番号を割り付け可能 • 各パイプの設定可能な転送方式 パイプ 0: コントロール転送 パイプ 1、2: バルク転送またはアイソクロナス転送 パイプ 3~5: バルク転送 パイプ 6~9: インタラプト転送 • EXTALUSB 入力クロック: 48MHz
I ² C バス インタフェース (IIC)	<ul style="list-style-type: none"> • 2 チャンネル内蔵 (IIC0、IIC1) • シングルマスタ送受信対応 • 標準モード (100kHz) および高速モード (400kHz) に対応
ビデオ プロセッシング ユニット (VPU)	<ul style="list-style-type: none"> • 各種動画フォーマットに対応したマルチコーデック「VPU5F」を搭載 • MPEG-4 単一 VOP (Video Object Plane) 符号化 / 復号処理実行 • 対応規格: <ul style="list-style-type: none"> MPEG-4 Simple Profile MPEG-4 H.264 (Baseline) *¹ JPEG Baseline (VLC はソフトウェア処理要) WMV Simple Profile MainProfile*² 【注】*¹ Baseline の一部 TOOL は非サポート *² 一部 TOOL (Dynamic Resolution Change、B-Frame、Range Reduction) は非サポート • 対応画像サイズ: Sub-QCIF ~ XGA、HD (1280 x 720) 対応 • 対応ビットレート: 最大 8Mbps • 動き検出方式: 階層探索 (ルネサスオリジナル方式) • Rate 制御方式: 符号量予測制御 (ルネサスオリジナル方式)、VOP/MB 双方対応

項 目	説 明
キャプチャ エンジンユニット (CEU)	<ul style="list-style-type: none"> • カメラモジュールからの画像取り込み機能 • 2チャンネル内蔵(2カメラ対応) • カメラモジュールインタフェース YCbCr データ(8/16ビット: YCbCr4:2:2) 水平同期信号(HD) 垂直同期信号(VD) バイナリデータ(RGB565等) • 取込画像サイズ: 5M画素、3M画素、2M画素、UXGA、SXGA、XGA、SVGA、VGA、CIF、QVGA、QCIF、QQVGA、Sub-QCIF等 • 出力画像フォーマット: YCbCr(4:2:2/4:2:0) • 画像フォーマット変換機能: 縮小画像生成プレフィルタ機能 YCbCr 4:2:2 YCbCr 4:2:2、YCbCr 4:2:0 YCbCr フォーマット(Y: 8ビット/CbCr: 16ビット)
ビデオ エンジンユニット (VEU)	<ul style="list-style-type: none"> • メモリ内の画像処理機能 • 2チャンネル内蔵 • ビデオ画像処理機能 入力画像フォーマット: YCbCr 画像(Y/CbCr プレーン画像)、RGB 画像(RGB パック画像) 出力画像フォーマット: YCbCr 画像(Y/CbCr プレーン画像)、RGB 画像(RGB パック画像) • 画像処理機能: 縮小・拡大画像生成フィルタ機能 YCbCr RGB/RGB YCbCr 変換機能 デザ処理機能(RGB 減色時) • フィルタ処理機能 ミラー、上下反転、点对称、±90°画像変換機能 デブロッキングフィルタ メディアンフィルタ • ビデオ画像処理機能とフィルタ処理の複合動作機能
ブレンド エンジンユニット (BEU)	<ul style="list-style-type: none"> • 画像ブレンド機能 • 2チャンネル内蔵(2画面同時出力対応) • PinP 機能 入力画像フォーマット: YCbCr 画像(Y/CbCr プレーン画像)、RGB 画像(RGB パック画像) 出力画像フォーマット: YCbCr 画像(Y/CbCr プレーン画像)、RGB 画像(RGB パック画像) • グラフィック処理機能 入力グラフィックフォーマット: YCbCr / RGB 画像 出力グラフィックフォーマット: YCbCr / RGB 画像 • PinP とグラフィックの複合動作 PinP の2画面とグラフィックの1画面を同時にブレンド処理 • 処理結果のメモリへの書き戻し機能 • フレーム間引き機能(1/2、1/3、1/4、1/5、1/6間引き)

項目	説明
2D グラフィック アクセラレータ (2DG)	<ul style="list-style-type: none"> ● 描画機能 <ul style="list-style-type: none"> 4 頂点面描画、多角形描画、線描画、高機能太線描画、アンチエイリアス処理、ラスタオベレーション / ブレンド付き BitBLT ● 色表現 <ul style="list-style-type: none"> - ソース : 1、8、16 ビット / 画素 - 描画 : 8、16 ビット / 画素 - ワーク : 2 値 ● スクリーン座標 <ul style="list-style-type: none"> - X 方向 0 ~ 4095 - Y 方向 0 ~ 4095
LCD コントローラ (LCDC)	<ul style="list-style-type: none"> ● 対応液晶パネル : TFT カラー液晶、最大 XGA、HD (1280 x 720) クラスまで対応可能 ● 入力データ形式 : 12/16/18/24bpp ● LCD ドライバインタフェース : <ul style="list-style-type: none"> - メモリバスとは独立した LCD 専用バス - RGB インタフェースと 80 系 CPU バスインタフェースから選択可能 - ビット幅は 8 / 9 / 12 / 16 / 18 / 24 をサポート - 1 ピクセル 1 回 / 2 回 / 3 回転送モードをサポート - RGB インタフェース時、各信号の極性、SYNC の出力位置、幅をプログラマブルに設定可能 - 80 系 CPU バスインタフェース時、アクセスサイクルをプログラマブルに設定可能 ● ドットクロック : ソースクロックにバスクロック、周辺クロックまたは外部クロックから選択可能 ● 表示データ取得 : パネルのリフレッシュレートに応じた連続モードと動画のフレームレートに応じた 1 ショットモードをサポート、または書き換え部分のみのデータ取得可能 ● カラーパレット : 256 エントリ / 24 ビット入出力のカラーパレットを搭載 ● 割り込み : フレーム単位やユーザ指定ライン位置での割り込み発生可能
ビデオ出力 ユニット (VOU)	<ul style="list-style-type: none"> ● 出力形式 : ITU-R BT.601 準拠、ITU-R BT.656 準拠 ● 出力インタフェース : Y/C 分離 16 ビットインタフェース、Y/C 多重 8 ビットインタフェースをサポート ● ピクセル周波数 : 13.5MHz (16 ビットインタフェース時)、27MHz (8 ビットインタフェース時) ● パーシャル画像表示 : 任意背景色 (レジスタ設定可能) + 表示画像 ● 対応画像サイズ : Sub-QCIF、QVGA、VGA など
JPEG プロセッシング ユニット (JPU)	<ul style="list-style-type: none"> ● 対応規格 : JPEG ベースライン ● 演算精度 : JPEG Part2、ISO-IEC10918-2 準拠 ● カラーフォーマット : YCbCr (4:2:2 / 4:2:0) ● 量子化テーブル : 4 テーブル内蔵 ● ハフマンテーブル : 4 テーブル内蔵 (AC 係数 2 テーブル、DC 係数 2 テーブル) ● 対象マーカ : SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、EOI

項目	説明
メディア RAM (MERAM)	<ul style="list-style-type: none"> • 128K バイト搭載 • 最大 32 面のラインバッファ管理機能搭載 • 対応 IP のリードフィルバッファ、ライトバックバッファとして使用可能 • 対応 IP 間の中間バッファとして使用可能。 • LCDC 向けフレームバッファデータの一部をキャッシュ可能
画像切り出し ダイレクトメモリ アクセス コントローラ (2D-DMAC)	<ul style="list-style-type: none"> • YcbCr 2 面、RGB 4 面の処理可能 • RGB 時 1 画素、YCbCr 時 2 画素単位で画像の切り出しが可能 • 各種 RGB フォーマット間でフォーマット変換をサポート • X 方向、Y 方向にそれぞれ 2 倍に拡大出力が可能 • 上下 / 左右反転および 90° / 270° 回転機能
TS インタフェース (TSIF)	<ul style="list-style-type: none"> • シリアル TS データ入力 • 合計 38 種の PID フィルタリング可能 (ただし、PAT/CAT パケットは固定、PCR/Video/Audio パケットは専用の PID 値)
FIFO 内蔵シリアル インタフェース (FSI)	<ul style="list-style-type: none"> • 24 ビットステレオ • PCM、I2S フォーマット対応 • サウンド入力、出力各 2 系統 • シリアル入出力は、外部の A/D、D/A コンバータに直結可能 • SPU と直結可能
サウンド プロセッシング ユニット (SPU2)	<ul style="list-style-type: none"> • オーディオ DSP (24bit Dual MAC) を 2 個内蔵 • DMA 機能内蔵 • プログラム用 RAM 160K バイト、データ用 RAM 264K バイトを内蔵
イーサネット MAC コントローラ (EtherMAC)	<ul style="list-style-type: none"> • イーサネットの MAC (Media Access Control) 層規格に準拠したイーサネットコントローラ <ul style="list-style-type: none"> - イーサネット / IEEE802.3 フレームの送受信 - 10Mbps および 100Mbps 転送への対応 - 全二重モードおよび半二重モード対応 - RMII (Reduced Media Independent Interface) 対応 - IEEE802.3x 規格のフロー制御準拠 • 専用 DMA コントローラを搭載 <ul style="list-style-type: none"> - ディスクリプタ管理方式のデータ転送による CPU 負荷の軽減 - 送受信フレームステータスのディスクリプタへの反映 - ブロック転送 (32 バイト単位) によるシステムバスの効率使用 - シングルフレーム・マルチバッファ方式対応可能 - 受信データへのパディング挿入によるソフトウェアの処理能力の向上
マルチメディア カード インタフェース (MMCIF)	<ul style="list-style-type: none"> • Multi Media Card (MMC)、CE-ATA デバイスとのインタフェース • データバス: 1 ビット / 4 ビット / 8 ビット MMC モードに対応 (SPI モード非対応) • ブロック転送に対応 (ストリーム転送非対応) • マルチブロック転送時のブロックサイズ: 512 バイト • Command Completion Signal に対応 (CE-ATA) • MMC4.2 対応 NAND ブート機能

項目	説明
SD カードホスト インタフェース (SDHI)	<ul style="list-style-type: none">• 2 チャンネル内蔵• SD メモリ / SDIO インタフェースに対応• カード検出機能• 最大動作周波数 : 50MHz (High Speed 対応)
I/O ポート	<ul style="list-style-type: none">• 入出力兼用ポートはビットごとに入出力切り替え可能
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none">• ユーザブレイク割り込みによるデバッグをサポート• 2本のブレイクチャンネル• アドレス、データ値、アクセスタイプ、データサイズはすべてブレイク条件として設定可能• シーケンシャルブレイク機能をサポート
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none">• E10A エミュレータのサポート• リアルタイム分岐トレース

1.4 端子配置図 (BGA449)

BGA449 の端子配置図を図 1.2、図 1.3 に示します。

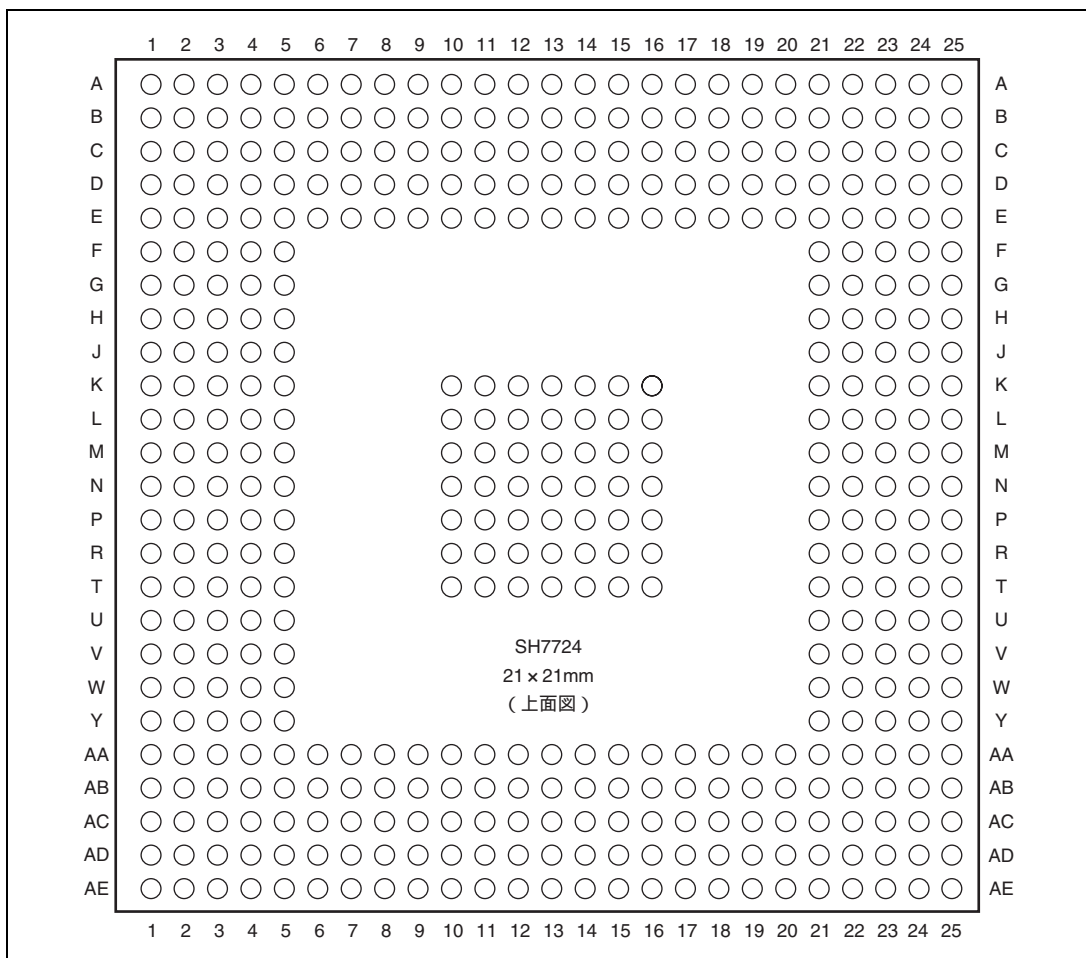


図 1.2 BGA449 端子配置図

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	AA	AB	AC	AD	AE		
25	Vss	PTN0	PTL3	PTL0	PTM4	PTZ0	CKO	IOIST6	CS5A	WE1	A24	A20	A15	A13	A12	A8	A6	A1	A0	D29	D25	D22	D18	D14	Vss	25	
24	PTN5	PTL7	PTL5	PTM7	PTM5	PTZ1	PTU6	CS6A	CS4	RD	A25	A23	A19	A14	A9	A7	A2	D30	D28	D26	D19	D17	D13	D9	D4	24	
23	PTX2	PTN3	PTN1	PTL2	PTM6	PTM3	PTU7	WAIT	CS6B	CS0	WE0	A21	A16	A10	A5	A4	WE2	D27	D24	D20	D16	D12	D10	D6	D2	23	
22	PTX6	PTX5	PTX3	PTN2	PTL1	PTN4	PTL6	PTL4	PTM2	CS5B	RDWR	A22	A17	A18	A3	D31	D21	D15	D23	D7	D11	D8	D5	MDO21	VccQ_DDR	22	
21	PTZ5	PTX7	SDA0	SCL0	VccQ_SR	Vss	Vss	VccQ1	VccQ1	VccQ1	Vss	VccQ1	VccQ1	A11	WE3	Vss	VccQ1	VccQ1	VccQ1	Vss	Vss	D3	D1	MDO26	MDO29	21	
20	PTU0	PTZ7	PTZ3	PTX4	VccQ_SR																Vss	D0	MDO18	MDO24	MDO31	20	
19	PTU4	PTU3	PTZ6	PTZ4	VccQ_SR																VccQ_DDR	MDO16	MDO23	MDQS3	MDQS3	19	
18	PTV1	PTZ7	PTU2	PTU5	PTU1																VccQ_DDR	MDQS2	MDQS2	MDO25	MDQM3	18	
17	PTV5	PTV3	PTV4	PTV2	PTZ6																MV_REF1	MDO22	MDQM2	MDO27	MDO30	17	
16	Vcc_PLL	Vss_PLL	PTV7	PTV6	PTV0																Vss	MDO17	MDO20	MDO19	MDO28	16	
15	Vcc_FLL	Vss_FLL	PTH1	PTN6	PTN7																VccQ_DDR	MCLK	MCLK	MA6	MA11	15	
14	PTH0	PTH3	PTH6	PTH4	PTH2																VccQ_DDR	MA8	MA12	MCS	MA2	14	
13	PTH5	PTH7	PTK1	PTK2	PTK0																Vss	MCAS	MA0	MRAS	MODT	13	
12	PTK3	PTK4	PTK5	PTK6	VccQ_VIO																VccQ_DDR	MA4	MA5	MBA1	MWE	12	
11	PTK7	PTS0	PTS6	PTS1	VccQ_VIO																VccQ_DDR	MCKE	MA1	MBA2	MBA0	11	
10	PTS2	PTS4	SDA1	PTS3	Vss																Vss	MA9	MA7	MA3	MA10	10	
9	SCL1	PTZ5	VBUS0	DG12_0	DV12_0																VccQ_DDR	MDO2	MDO0	MDO5	MA13	9	
8	DM0	DG33_0	AV12_0	UG12_0	UV12_0																VccQ_DDR	MDQS0	MDQS0	MDO13	MDO7	8	
7	DP0	DV33_0	AG12_0	DG12_1	DV12_1																MV_REF0	MDQM0	MDO6	MDO15	MDO10	7	
6	AV33_0	AG33_0	VBUS1	UG12_1	UV12_1																Vss	MDO1	MDO3	MDQS1	MDO8	6	
5	REFR_IN0	DG33_1	DV33_1	AG12_1	Vss	Vss	VccQ	VccQ	Vss	Vss	Vss	VccQ_MMC	VccQ_MMC	VccQ_SDC	VccQ_SDC	Vss	VccQ_LCD	VccQ_LCD	VccQ_LCD	Vss	Vss	Vss	MSLD	MDO4	MDQM1	MDQS1	5
4	DM1	AV33_1	AV12_1	MD5	MD8	MD0	RESET_P	STAT_US0	TRST	PTG5	NMI	PTW3	PTX1	PTY6	PTY3	PTC6	PTD4	PTE0	PTE4	PTF7	PTF3	PTM0	Vss	MDO14	MDO11	4	
3	DP1	AG33_1	MD2	TSTMD	STAT_US2	BOOT	TMS	PTG0	PTG3	MPMD	PTW0	PTW4	PTX0	PTY4	PTZ2	PTC3	PTD0	PTD3	PTD6	PTZ1	PTF0	PTF4	PTM1	MDO12	MDO9	3	
2	REFR_IN1	XTAL_USB	MD1	RTC_CLK	RESET_OUT	TST	TDI	PTG1	PTG4	ASE_BRK	PTW1	PTW6	PTY0	PTY2	PTY7	PTC1	PTC4	PTC7	PTD2	PTD7	PTZ3	PTF2	PTF5	Vss	VccQ_DDR	2	
1	Vss	EXTAL_USB	MD3	RESET_A	PDSTATUS	TCK	TDO	PTG2	EXTAL	XTAL	PTW2	PTW5	PTW7	PTY1	PTY5	PTC0	PTC2	PTC5	PTD1	PTD5	PTZ2	PTZ5	PTF1	PTF6	Vss	1	

Vdd	Vdd	Vdd	Vdd	Vdd	Vdd	Vdd	Vdd
Vdd	Vss	Vss	Vss	Vss	Vss	Vss	Vdd
Vss	Vss	Vss	Vss	Vss	Vss	Vss	Vss
Vss	Vss	Vss	Vss	Vss	Vss	Vss	Vss
Vdd	Vdd	Vdd	Vdd	Vdd	Vdd	Vdd	Vdd

(上面図)

図 1.3 BGA449 端子配置図

1.5 端子配置表 (BGA449)

表 1.3 に BGA449 の端子配置、各端子のマルチプレクス機能および I/O バッファの仕様を示します。端子機能の詳細については、「1.6 端子の機能」および関連するモジュールの章を参照してください。マルチプレクス機能の設定方法は「第 48 章 ピンファンクションコントローラ (PFC)」を参照してください。各動作モードにおける端子の状態については「付録 D. リセット、低消費電力状態での端子状態」を参照してください。

表 1.3 の記載内容について以下に説明します。

- No.
端子の通し番号
- ボール配置
BGA449パッケージ上のボール配置。図1.4に対応します。
- 端子名
- マルチプレクス機能
各端子にマルチプレクスされている機能を示します。
- I/O
IO : 入出力 (双方向)、I : 入力、O : 出力
- I/OバッファTYPE
analog : アナログ、schmitt : シュミットトリガ入力、open-drain : オープンドレイン出力、
pull-up : プルアップ付き、pull-down : プルダウン付き
- I/Oバッファ電源
本製品は複数のI/O電源を使用します。各ピンのI/Oバッファを駆動する電源を示します。
- 未使用時処理
端子を使用しない場合の処理方法を示します。"-“の端子は必ず使用します。
使用しない端子に関連するPFC (ピンファンクションコントローラ) のレジスタ設定は行わないでください。

表 1.3 端子配置表

No.	ボール配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
1	A1	Vss	Vss	-	-	-	-
2	A2	REFRIN1	REFRIN1	I	analog	AV33_1	pull-down
3	A3	DP1	DP1	IO	analog	DV33_1	open
4	A4	DM1	DM1	IO	analog	DV33_1	open
5	A5	REFRIN0	REFRIN0	I	analog	AV33_0	pull-down
6	A6	AV33_0	AV33	-	-	-	open
7	A7	DP0	DP0	IO	analog	DV33_0	open
8	A8	DM0	DM0	IO	analog	DV33_0	open
9	A9	SCL1	SCL1	IO	open-drain	VccQ_VIO	open
10	A10	PTS2	PTS2/VIO1_CLK/SCIF5_TXD	IO/I/O	pull-up	VccQ_VIO	open
11	A11	PTK7	PTK7/VIO1_D5/VIO0_D13/IDED5	IO/I/I/O	pull-up	VccQ_VIO	open
12	A12	PTK3	PTK3/VIO1_D1/VIO0_D9/IDED1	IO/I/I/O	pull-up	VccQ_VIO	open
13	A13	PTH5	PTH5/VIO0_D7	IO/I	pull-up	VccQ_VIO	open
14	A14	PTH0	PTH0/VIO0_D2	IO/I	pull-up	VccQ_VIO	open
15	A15	Vdd_FLL	Vdd_FLL	-	-	-	-
16	A16	Vdd_PLL	Vdd_PLL	-	-	-	-
17	A17	PTV5	PTV5/FSIIBCK/MSIOF1_RXD	IO/I/I	pull-up	VccQ_SR	open
18	A18	PTV1	PTV1/CLKAUDIOBO/MSIOF1_MCK	IO/O/I	pull-up	VccQ_SR	open
19	A19	PTU4	PTU4/FSIIABCK	IO/I	pull-up	VccQ_SR	open
20	A20	PTU0	PTU0/CLKAUDIOAO	IO/O	pull-up	VccQ_SR	open
21	A21	PTZ5	PTZ5/IRQ5/SCIF3_SCK	IO/I/O	pull-up	VccQ_SR	open
22	A22	PTX6	PTX6/DREQ1/IRDA_IN	IO/I/I	pull-up	VccQ_SR	open
23	A23	PTX2	PTX2/TS_SPSYNC	IO/I	pull-down	VccQ_SR	open
24	A24	PTN5	PTN5/DV_CLKI	IO/I	pull-down	VccQ_SR	open
25	A25	Vss	Vss	-	-	-	-
26	B1	EXTALUSB	EXTALUSB	I		VccQ	pull-down
27	B2	XTALUSB	XTALUSB	O		VccQ	open
28	B3	AG33_1	AG33	-	-	-	open
29	B4	AV33_1	AV33	-	-	-	open
30	B5	DG33_1	DG33	-	-	-	open
31	B6	AG33_0	AG33	-	-	-	open
32	B7	DV33_0	DV33	-	-	-	open
33	B8	DG33_0	DG33	-	-	-	open
34	B9	PTS5	PTS5/VIO1_FLD/TPUT12/IDEIORDY	IO/I/I	pull-up	VccQ_VIO	open
35	B10	PTS4	PTS4/VIO1_HD/SCIF5_SCK	IO/I/O	pull-up	VccQ_VIO	open
36	B11	PTS0	PTS0/VIO1_D6/VIO0_D14/IDED6	IO/I/I/O	pull-up	VccQ_VIO	open

No.	ボール配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
37	B12	PTK4	PTK4/VIO1_D2/VIO0_D10/DED2	IO/I/O	pull-up	VccQ_VIO	open
38	B13	PTH7	PTH7/VIO0_VD	IO/I	pull-up	VccQ_VIO	open
39	B14	PTH3	PTH3/VIO0_D5	IO/I	pull-up	VccQ_VIO	open
40	B15	Vss_FLL	Vss_FLL	-	-	-	-
41	B16	Vss_PLL	Vss_PLL	-	-	-	-
42	B17	PTV3	PTV3/FSIOBCK/MSIOF1_TSCK	IO/O/O	pull-up	VccQ_SR	open
43	B18	PTE7	PTE7/FSIMCKB	IO/I	pull-up	VccQ_SR	open
44	B19	PTU3	PTU3/FSIILRCK	IO/I	pull-up	VccQ_SR	open
45	B20	PTZ7	PTZ7/IRQ7/SCIF3_CTS	IO/I/I	pull-up	VccQ_SR	open
46	B21	PTX7	PTX7/DACK1/IRDA_OUT	IO/O/O	pull-up	VccQ_SR	open
47	B22	PTX5	PTX5/TS_SDAT/LNKSTA	IO/I/I	pull-down	VccQ_SR	open
48	B23	PTN3	PTN3/DV_VSYNC/SCIF2_RXD	IO/O/I	pull-up	VccQ_SR	open
49	B24	PTL7	PTL7/DV_D5/SCIF3_SCK/ RMIL_RXD0	IO/O/O/I	pull-up	VccQ_SR	open
50	B25	PTN0	PTN0/DV_D6/SCIF3_RTS/ RMIL_CRS_DV	IO/O/O/I	pull-up	VccQ_SR	open
51	C1	MD3	MD3	I	schmitt	VccQ	-
52	C2	MD1	MD1	I	schmitt	VccQ	-
53	C3	MD2	MD2	I	schmitt	VccQ	-
54	C4	AV12_1	AV12	-	-	-	open
55	C5	DV33_1	DV33	-	-	-	open
56	C6	VBUS1	VBUS1	I		DV33_1	pull-down
57	C7	AG12_0	AG12	-	-	-	open
58	C8	AV12_0	AV12	-	-	-	open
59	C9	VBUS0	VBUS0	I		DV33_0	pull-down
60	C10	SDA1	SDA1	IO	open-drain	VccQ_VIO	open
61	C11	PTS6	PTS6/VIO_CKO	IO/O	pull-up	VccQ_VIO	open
62	C12	PTK5	PTK5/VIO1_D3/VIO0_D11/DED3	IO/I/O	pull-up	VccQ_VIO	open
63	C13	PTK1	PTK1/VIO0_FLD	IO/I	pull-up	VccQ_VIO	open
64	C14	PTH6	PTH6/VIO0_CLK	IO/I	pull-up	VccQ_VIO	open
65	C15	PTH1	PTH1/VIO0_D3	IO/I	pull-up	VccQ_VIO	open
66	C16	PTV7	PTV7/FSIIBSD/MSIOF1_SS2/ MSIOF1_RSYNC	IO/I/O	pull-up	VccQ_SR	open
67	C17	PTV4	PTV4/FSIILRCK/MSIOF1_TSYNC	IO/I/O	pull-up	VccQ_SR	open
68	C18	PTU2	PTU2/FSIOABCK	IO/O	pull-up	VccQ_SR	open
69	C19	PTZ6	PTZ6/IRQ6/SCIF3_RTS	IO/I/O	pull-up	VccQ_SR	open
70	C20	PTZ3	PTZ3/IRQ3/SCIF3_TXD	IO/I/O	pull-up	VccQ_SR	open
71	C21	SDA0	SDA0	IO	open-drain	VccQ_SR	open

No.	ボール配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
72	C22	PTX3	PTX3/TS_SDEN/MDC	IO//O	pull-down	VccQ_SR	open
73	C23	PTN1	PTN1/DV_D7/SCIF3_CTS/ RMIL_RX_ER	IO/O//I	pull-up	VccQ_SR	open
74	C24	PTL5	PTL5/DV_D3/SCIF3_TXD/ RMIL_REF_CLK	IO/O/O/I	pull-up	VccQ_SR	open
75	C25	PTL3	PTL3/DV_D1/SCIF1_RXD/ RMIL_TXD0	IO/O//O	pull-up	VccQ_SR	open
76	D1	RESETA	RESETA	I	schmitt	VccQ	pull up
77	D2	RTC_CLK	RTC_CLK	I	schmitt	VccQ	pull up/pull-down or Vss 固定
78	D3	TSTMD	TSTMD	I	schmitt	VccQ	pull up
79	D4	MD5	MD5	I	schmitt	VccQ	-
80	D5	AG12_1	AG12	-	-	-	open
81	D6	UG12_1	UG12	-	-	-	open
82	D7	DG12_1	DG12	-	-	-	open
83	D8	UG12_0	UG12	-	-	-	open
84	D9	DG12_0	DG12	-	-	-	open
85	D10	PTS3	PTS3/VIO1_VD/SCIF5_RXD	IO//I	pull-up	VccQ_VIO	open
86	D11	PTS1	PTS1/VIO1_D7/VIO0_D15/IDED7	IO//I/O	pull-up	VccQ_VIO	open
87	D12	PTK6	PTK6/VIO1_D4/VIO0_D12/IDED4	IO//I/O	pull-up	VccQ_VIO	open
88	D13	PTK2	PTK2/VIO1_D0/VIO0_D8/IDED0	IO//I/O	pull-up	VccQ_VIO	open
89	D14	PTH4	PTH4/VIO0_D6	IO/I	pull-up	VccQ_VIO	open
90	D15	PTN6	PTN6/VIO0_D0	IO/I	pull-up	VccQ_VIO	open
91	D16	PTV6	PTV6/FSIOBSD/MSIOF1_SST/ MSIOF1_RSCK	IO/O/O	pull-up	VccQ_SR	open
92	D17	PTV2	PTV2/FSIOBLRCK/MSIOF1_TXD	IO/O/O	pull-up	VccQ_SR	open
93	D18	PTU5	PTU5/FSIOASD	IO/O	pull-up	VccQ_SR	open
94	D19	PTZ4	PTZ4/IRQ4/SCIF3_RXD	IO//I	pull-up	VccQ_SR	open
95	D20	PTX4	PTX4/TS_SCK/MDIO	IO//I/O	schmitt, pull-down	VccQ_SR	open
96	D21	SCL0	SCL0	IO	open-drain	VccQ_SR	open
97	D22	PTN2	PTN2/DV_HSYNC/SCIF2_TXD	IO/O/O	pull-up	VccQ_SR	open
98	D23	PTL2	PTL2/DV_D0/SCIF1_TXD/ RMIL_TXD1	IO/O/O/O	pull-up	VccQ_SR	open
99	D24	PTM7	PTM7/DV_D13/MSIOF0_TSCK	IO/O/O	pull-up	VccQ_SR	open
100	D25	PTL0	PTL0/DV_D14/MSIOF0_MCK	IO/O/O	pull-up	VccQ_SR	open
101	E1	PDSTATUS	PTJ7/PDSTATUS	O/O		VccQ	open
102	E2	RESETOUT	RESETOUT	O		VccQ	open
103	E3	STATUS2	PTJ6/STATUS2	O/O		VccQ	open

No.	ボール 配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
104	E4	MD8	MD8	I	schmitt	VccQ	-
105	E5	Vss	Vss	-	-	-	-
106	E6	UV12_1	UV12	-	-	-	open
107	E7	DV12_1	DV12	-	-	-	open
108	E8	UV12_0	UV12	-	-	-	open
109	E9	DV12_0	DV12	-	-	-	open
110	E10	Vss	Vss	-	-	-	-
111	E11	VccQ_VIO	VccQ_VIO	-	-	-	-
112	E12	VccQ_VIO	VccQ_VIO	-	-	-	-
113	E13	PTK0	PTK0/VIO0_HD	IO/I	pull-up	VccQ_VIO	open
114	E14	PTH2	PTH2/VIO0_D4	IO/I	pull-up	VccQ_VIO	open
115	E15	PTN7	PTN7/VIO0_D1	IO/I	pull-up	VccQ_VIO	open
116	E16	PTV0	PTV0/FSIIASD	IO/I	pull-up	VccQ_SR	open
117	E17	PTE6	PTE6/FSIMCKA	IO/I	pull-up	VccQ_SR	open
118	E18	PTU1	PTU1/FSIOALRCK	IO/O	pull-up	VccQ_SR	open
119	E19	VccQ_SR	VccQ_SR	-	-	-	-
120	E20	VccQ_SR	VccQ_SR	-	-	-	-
121	E21	VccQ_SR	VccQ_SR	-	-	-	-
122	E22	PTL1	PTL1/DV_D15	IO/O	pull-up	VccQ_SR	open
123	E23	PTM6	PTM6/DV_D12/MSIOF0_RXD	IO/O/I	pull-up	VccQ_SR	open
124	E24	PTM5	PTM5/DV_D11/MSIOF0_TXD	IO/O/O	pull-up	VccQ_SR	open
125	E25	PTM4	PTM4/DV_D10/MSIOF0_TSYNC	IO/O/O	pull-up	VccQ_SR	open
126	F1	TCK	TCK	I	pull-up	VccQ	open
127	F2	TST	TST	I		VccQ	pull-up
128	F3	BOOT	BOOT	I	schmitt	VccQ	-
129	F4	MD0	MD0	I	schmitt	VccQ	-
130	F5	Vss	Vss	-	-	-	-
131	F21	Vss	Vss	-	-	-	-
132	F22	PTN4	PTN4/DV_CLK/SCIF2_SCK	IO/O/O	pull-up	VccQ_SR	open
133	F23	PTM3	PTM3/DV_D9/MSIOF0_SS1/ MSIOF0_RSCK	IO/O/O	pull-up	VccQ_SR	open
134	F24	PTZ1	PTZ1/IRQ1	IO/I	pull-up	VccQ1	open
135	F25	PTZ0	PTZ0/IRQ0	IO/I	pull-up	VccQ1	open
136	G1	TDO	TDO	O		VccQ	open
137	G2	TDI	TDI	I	pull-up	VccQ	open
138	G3	TMS	TMS	I	pull-up	VccQ	open
139	G4	RESETP	RESETP	I	schmitt	VccQ	-

No.	ボール 配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
140	G5	VccQ	VccQ	-	-	-	-
141	G21	Vss	Vss	-	-	-	-
142	G22	PTL6	PTL6/DV_D4/SCIF3_RXD/ RMIL_RXD1	IO/O/I/I	pull-up	VccQ_SR	open
143	G23	PTU7	PTU7/DACK0	IO/O	pull-up	VccQ1	open
144	G24	PTU6	PTU6/DREQ0	IO/I	pull-up	VccQ1	open
145	G25	CKO	CKO	O		VccQ1	open
146	H1	PTG2	PTG2/AUDATA2	O/O		VccQ	open
147	H2	PTG1	PTG1/AUDATA1	O/O		VccQ	open
148	H3	PTG0	PTG0/AUDATA0	O/O		VccQ	open
149	H4	STATUS0	PTJ5/STATUS0	O/O		VccQ	open
150	H5	VccQ	VccQ	-	-	-	-
151	H21	VccQ1	VccQ1	-	-	-	-
152	H22	PTL4	PTL4/DV_D2/SCIF1_SCK/ RMIL_TX_EN	IO/O/IO/O	pull-up	VccQ_SR	open
153	H23	WAIT	PTR2/WAIT	I/I	pull-up	VccQ1	open
154	H24	CS6A	PTR6/CS6A/CE2B	IO/O	pull-up	VccQ1	open
155	H25	IOIS16	PTR3/IOIS16/LCDCLK	I/I/I	-	VccQ1	open
156	J1	EXTAL	EXTAL	I		VccQ	pull-down
157	J2	PTG4	PTG4/AUDSYNC	O/O		VccQ	open
158	J3	PTG3	PTG3/AUDATA3	O/O		VccQ	open
159	J4	TRST	TRST	I	schmitt	VccQ	pull-down
160	J5	Vss	Vss	-	-	-	-
161	J21	VccQ1	VccQ1	-	-	-	-
162	J22	PTM2	PTM2/DV_D8/MSIOF0_SS2/ MSIOF0_RSYN	IO/O/IO	pull-up	VccQ_SR	open
163	J23	CS6B	PTR7/CS6B/CE1B	IO/O	pull-up	VccQ1	open
164	J24	CS4	CS4	O		VccQ1	open
165	J25	CS5A	PTR4/CS5A/CE2A	IO/O	pull-up	VccQ1	open
166	K1	XTAL	XTAL	O		VccQ	open
167	K2	ASEBRKBRKAK	ASEBRK/BRKAK	IO		VccQ	open
168	K3	MPMD	MPMD	I	schmitt	VccQ	-
169	K4	PTG5	PTG5/AUDCK	O/O		VccQ	open
170	K5	Vss	Vss	-	-	-	-
171	K10	VDD	VDD	-	-	-	-
172	K11	VDD	VDD	-	-	-	-
173	K12	Vss	Vss	-	-	-	-
174	K13	Vss	Vss	-	-	-	-

No.	ボール配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
175	K14	Vss	Vss	-	-	-	-
176	K15	VDD	VDD	-	-	-	-
177	K16	VDD	VDD	-	-	-	-
178	K21	VccQ1	VccQ1	-	-	-	-
179	K22	$\overline{CS5B}$	PTR5/CS5B/CE1A	IO/O	pull-up	VccQ1	open
180	K23	$\overline{CS0}$	$\overline{CS0}$	O		VccQ1	open
181	K24	\overline{RD}	\overline{RD}	O		VccQ1	open
182	K25	$\overline{WE1}$	$\overline{WE1}$	O		VccQ1	open
183	L1	PTW2	PTW2/MMC_D2/SDHI1D0	IO/IO/IO	pull-up	VccQ_MMC	open
184	L2	PTW1	PTW1/MMC_D1/SDHI1CMD	IO/IO/IO	pull-up	VccQ_MMC	open
185	L3	PTW0	PTW0/MMC_D0/SDHI1CLK	IO/IO/O	pull-up	VccQ_MMC	open
186	L4	NMI	NMI	I	schmitt	VccQ	pull-up
187	L5	Vss	Vss	-	-	-	-
188	L10	VDD	VDD	-	-	-	-
189	L11	Vss	Vss	-	-	-	-
190	L12	Vss	Vss	-	-	-	-
191	L13	Vss	Vss	-	-	-	-
192	L14	Vss	Vss	-	-	-	-
193	L15	Vss	Vss	-	-	-	-
194	L16	VDD	VDD	-	-	-	-
195	L21	Vss	Vss	-	-	-	-
196	L22	RDWR	RDWR	O		VccQ1	open
197	L23	$\overline{WE0}$	$\overline{WE0}$	O		VccQ1	open
198	L24	A25	PTJ3/A25/ \overline{BS}	IO/O/O	pull-up	VccQ1	open
199	L25	A24	PTJ2/A24	IO/O	pull-up	VccQ1	open
200	M1	PTW5	PTW5/MMC_D5/SDHI1D3/ EXBUF_ENB	IO/IO/IO/O	pull-up	VccQ_MMC	open
201	M2	PTW6	PTW6/MMC_D6/SDHI1WP/ \overline{IDERST}	IO/IO/I/O	pull-up	VccQ_MMC	open
202	M3	PTW4	PTW4/MMC_D4/SDHI1D2/ DIRECTION	IO/IO/IO/O	pull-up	VccQ_MMC	open
203	M4	PTW3	PTW3/MMC_D3/SDHI1D1	IO/IO/IO	pull-up	VccQ_MMC	open
204	M5	VccQ_MMC	VccQ_MMC	-	-	-	-
205	M10	VDD	VDD	-	-	-	-
206	M11	Vss	Vss	-	-	-	-
207	M12	Vss	Vss	-	-	-	-
208	M13	Vss	Vss	-	-	-	-
209	M14	Vss	Vss	-	-	-	-
210	M15	Vss	Vss	-	-	-	-

No.	ボール 配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
211	M16	VDD	VDD	-	-	-	-
212	M21	VccQ1	VccQ1	-	-	-	-
213	M22	A22	PTJ0/A22	IO/O	pull-up	VccQ1	open
214	M23	A21	A21	O		VccQ1	open
215	M24	A23	PTJ1/A23	IO/O	pull-up	VccQ1	open
216	M25	A20	A20	O		VccQ1	open
217	N1	PTW7	PTW7/MMC_D7/SDHI1CD/IODACK	IO/IO/I/O	pull-up	VccQ_MMC	open
218	N2	PTY0	PTY0/SDHI0CLK	IO/O	pull-up	VccQ_SDC	open
219	N3	PTX0	PTX0/MMC_CMD	IO/IO	pull-up	VccQ_MMC	open
220	N4	PTX1	PTX1/MMC_CLK	IO/O	pull-up	VccQ_MMC	open
221	N5	VccQ_MMC	VccQ_MMC	-	-	-	-
222	N10	VDD	VDD	-	-	-	-
223	N11	VSS	VSS	-	-	-	-
224	N12	VSS	VSS	-	-	-	-
225	N13	VSS	VSS	-	-	-	-
226	N14	VSS	VSS	-	-	-	-
227	N15	VSS	VSS	-	-	-	-
228	N16	VDD	VDD	-	-	-	-
229	N21	VccQ1	VccQ1	-	-	-	-
230	N22	A17	A17	O		VccQ1	open
231	N23	A16	A16	O		VccQ1	open
232	N24	A19	A19	O		VccQ1	open
233	N25	A15	A15	O		VccQ1	open
234	P1	PTY1	PTY1/SDHI0CMD	IO/IO	pull-up	VccQ_SDC	open
235	P2	PTY2	PTY2/SDHI0D0	IO/IO	pull-up	VccQ_SDC	open
236	P3	PTY4	PTY4/SDHI0D2	IO/IO	pull-up	VccQ_SDC	open
237	P4	PTY6	PTY6/SDHI0WP	IO/I	pull-up	VccQ_SDC	open
238	P5	VccQ_SDC	VccQ_SDC	-	-	-	-
239	P10	VDD	VDD	-	-	-	-
240	P11	VSS	VSS	-	-	-	-
241	P12	VSS	VSS	-	-	-	-
242	P13	VSS	VSS	-	-	-	-
243	P14	VSS	VSS	-	-	-	-
244	P15	VSS	VSS	-	-	-	-
245	P16	VDD	VDD	-	-	-	-
246	P21	A11	A11	O		VccQ1	open
247	P22	A18	A18	O		VccQ1	open

No.	ボール 配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
248	P23	A10	A10	O		VccQ1	open
249	P24	A14	A14	O		VccQ1	open
250	P25	A13	A13	O		VccQ1	open
251	R1	PTY5	PTY5/SDHI0D3	IO/IO	pull-up	VccQ_SDC	open
252	R2	PTY7	PTY7/SDHI0CD	IO/I	pull-up	VccQ_SDC	open
253	R3	PTZ2	PTZ2/IRQ2	IO/I	pull-up	VccQ_SDC	open
254	R4	PTY3	PTY3/SDHI0D1	IO/IO	pull-up	VccQ_SDC	open
255	R5	VccQ_SDC	VccQ_SDC	-	-	-	-
256	R10	VDD	VDD	-	-	-	-
257	R11	VSS	VSS	-	-	-	-
258	R12	VSS	VSS	-	-	-	-
259	R13	VSS	VSS	-	-	-	-
260	R14	VSS	VSS	-	-	-	-
261	R15	VSS	VSS	-	-	-	-
262	R16	VDD	VDD	-	-	-	-
263	R21	$\overline{WE3}$	PTR1/ $\overline{WE3}$ /ICLOWR/TPUTO3/ TPUTI3	IO/O/O/I	pull-up	VccQ1	open
264	R22	A3	A3	O		VccQ1	open
265	R23	A5	A5	O		VccQ1	open
266	R24	A9	A9	O		VccQ1	open
267	R25	A12	A12	O		VccQ1	open
268	T1	PTC0	PTC0/LCDD0	IO/IO	pull-up	VccQ_LCD	open
269	T2	PTC1	PTC1/LCDD1	IO/IO	pull-up	VccQ_LCD	open
270	T3	PTC3	PTC3/LCDD3	IO/IO	pull-up	VccQ_LCD	open
271	T4	PTC6	PTC6/LCDD6	IO/IO	pull-up	VccQ_LCD	open
272	T5	VSS	VSS	-	-	-	-
273	T10	VDD	VDD	-	-	-	-
274	T11	VDD	VDD	-	-	-	-
275	T12	VSS	VSS	-	-	-	-
276	T13	VSS	VSS	-	-	-	-
277	T14	VSS	VSS	-	-	-	-
278	T15	VDD	VDD	-	-	-	-
279	T16	VDD	VDD	-	-	-	-
280	T21	VSS	VSS	-	-	-	-
281	T22	D31	PTB7/D31/TPUTO1/IDEA1	IO/IO/O/O	pull-up	VccQ1	open
282	T23	A4	A4	O		VccQ1	open
283	T24	A7	A7	O		VccQ1	open
284	T25	A8	A8	O		VccQ1	open

No.	ボール 配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
285	U1	PTC2	PTC2/LCDD2	IO/IO	pull-up	VccQ_LCD	open
286	U2	PTC4	PTC4/LCDD4	IO/IO	pull-up	VccQ_LCD	open
287	U3	PTD0	PTD0/LCDD8	IO/IO	pull-up	VccQ_LCD	open
288	U4	PTD4	PTD4/LCDD12	IO/IO	pull-up	VccQ_LCD	open
289	U5	VccQ_LCD	VccQ_LCD	-	-	-	-
290	U21	VccQ1	VccQ1	-	-	-	-
291	U22	D21	PTA5/D21/KEYOUT0/IDED13	IO/IO/O/IO	pull-up	VccQ1	open
292	U23	WE2	PTR0/WE2/ICORD/TPUTO2/IDEA2	IO/O/O/O	pull-up	VccQ1	open
293	U24	A2	A2	O		VccQ1	open
294	U25	A6	A6	O		VccQ1	open
295	V1	PTC5	PTC5/LCDD5	IO/IO	pull-up	VccQ_LCD	open
296	V2	PTC7	PTC7/LCDD7	IO/IO	pull-up	VccQ_LCD	open
297	V3	PTD3	PTD3/LCDD11	IO/IO	pull-up	VccQ_LCD	open
298	V4	PTE0	PTE0/LCDD16	IO/IO	pull-up	VccQ_LCD	open
299	V5	VccQ_LCD	VccQ_LCD	-	-	-	-
300	V21	VccQ1	VccQ1	-	-	-	-
301	V22	D15	PTT7/D15	IO/IO	pull-down	VccQ1	open
302	V23	D27	PTB3/D27/IDECST	IO/IO/O	pull-up	VccQ1	open
303	V24	D30	PTB6/D30/TPUTO0/IDEA0	IO/IO/O/O	pull-up	VccQ1	open
304	V25	A1	A1	O		VccQ1	open
305	W1	PTD1	PTD1/LCDD9	IO/IO	pull-up	VccQ_LCD	open
306	W2	PTD2	PTD2/LCDD10	IO/IO	pull-up	VccQ_LCD	open
307	W3	PTD6	PTD6/LCDD14	IO/IO	pull-up	VccQ_LCD	open
308	W4	PTE4	PTE4/LCDD20/SCIF4_SCK	IO/IO/IO	pull-down	VccQ_LCD	open
309	W5	VccQ_LCD	VccQ_LCD	-	-	-	-
310	W21	VccQ1	VccQ1	-	-	-	-
311	W22	D23	PTA7/D23/KEYOUT2/IDED15	IO/IO/O/IO	pull-up	VccQ1	open
312	W23	D24	PTB0/D24/KEYOUT3/IDEINT	IO/IO/O/I	pull-up	VccQ1	open
313	W24	D28	PTB4/D28/IDECST0	IO/IO/O	pull-up	VccQ1	open
314	W25	A0	A0	O		VccQ1	open
315	Y1	PTD5	PTD5/LCDD13	IO/IO	pull-up	VccQ_LCD	open
316	Y2	PTD7	PTD7/LCDD15	IO/IO	pull-up	VccQ_LCD	open
317	Y3	PTE1	PTE1/LCDD17	IO/IO	pull-up	VccQ_LCD	open
318	Y4	PTF7	PTF7/LCDVSYN	IO/IO	pull-up	VccQ_LCD	open
319	Y5	Vss	Vss	-	-	-	-
320	Y21	Vss	Vss	-	-	-	-
321	Y22	D7	PTQ7/D7	IO/IO	pull-down	VccQ1	open

No.	ボール 配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
322	Y23	D20	PTA4/D20/KEYIN4/IDED12	IO/IO/I/O	pull-up	VccQ1	open
323	Y24	D26	PTB2/D26/KEYOUT5/IN5/IDEIORD	IO/IO/IO/O	pull-up	VccQ1	open
324	Y25	D29	PTB5/D29/IODREQ	IO/IO/I	pull-up	VccQ1	open
325	AA1	PTE2	PTE2/LCDD18 /SCIF4_TXD	IO/IO/O	pull-down	VccQ_LCD	open
326	AA2	PTE3	PTE3/LCDD19/SCIF4_RXD	IO/IO/I	pull-down	VccQ_LCD	open
327	AA3	PTF0	PTF0/LCDD22/SCIF2_RXD	IO/IO/I	pull-down	VccQ_LCD	open
328	AA4	PTF3	PTF3/LCDDCK/LCDWR	IO/O/O	pull-up	VccQ_LCD	open
329	AA5	Vss	Vss	-	-	-	-
330	AA6	Vss	Vss	-	-	-	-
331	AA7	MVREF0	MVREF0	I	analog	VccQ_DDR	open
332	AA8	VccQ_DDR	VccQ_DDR	-	-	-	-
333	AA9	VccQ_DDR	VccQ_DDR	-	-	-	-
334	AA10	Vss	Vss	-	-	-	-
335	AA11	VccQ_DDR	VccQ_DDR	-	-	-	-
336	AA12	VccQ_DDR	VccQ_DDR	-	-	-	-
337	AA13	Vss	Vss	-	-	-	-
338	AA14	VccQ_DDR	VccQ_DDR	-	-	-	-
339	AA15	VccQ_DDR	VccQ_DDR	-	-	-	-
340	AA16	Vss	Vss	-	-	-	-
341	AA17	MVREF1	MVREF1	I	analog	VccQ_DDR	open
342	AA18	VccQ_DDR	VccQ_DDR	-	-	-	-
343	AA19	VccQ_DDR	VccQ_DDR	-	-	-	-
344	AA20	Vss	Vss	-	-	-	-
345	AA21	Vss	Vss	-	-	-	-
346	AA22	D11	PTT3/D11	IO/IO	pull-down	VccQ1	open
347	AA23	D16	PTA0/D16/KEYIN0/IDED8	IO/IO/I/O	pull-up	VccQ1	open
348	AA24	D19	PTA3/D19/KEYIN3/IDED11	IO/IO/I/O	pull-up	VccQ1	open
349	AA25	D25	PTB1/D25/KEYOUT4/IN6/IDEIOWR	IO/IO/IO/O	pull-up	VccQ1	open
350	AB1	PTE5	PTE5/LCDD21/SCIF2_TXD	IO/IO/O	pull-down	VccQ_LCD	open
351	AB2	PTF2	PTF2/LCDVEPWC/SCIF0_TXD	IO/O/O	pull-up	VccQ_LCD	open
352	AB3	PTF4	PTF4/LCDDON	IO/O	pull-up	VccQ_LCD	open
353	AB4	PTM0	PTM0/LCDDR0/SCIF0_SCK	IO/O/IO	pull-up	VccQ_LCD	open
354	AB5	MSLD	MSLD	I		VccQ_DDR	-
355	AB6	MDQ1	MDQ1	IO		VccQ_DDR	open
356	AB7	MDQM0	MDQM0	O		VccQ_DDR	open
357	AB8	MDQS0	MDQS0	IO		VccQ_DDR	open
358	AB9	MDQ2	MDQ2	IO		VccQ_DDR	open

No.	ボール 配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
359	AB10	MA9	MA9	O		VccQ_DDR	open
360	AB11	MCKE	MCKE	O		VccQ_DDR	open
361	AB12	MA4	MA4	O		VccQ_DDR	open
362	AB13	$\overline{\text{MCAS}}$	$\overline{\text{MCAS}}$	O		VccQ_DDR	open
363	AB14	MA8	MA8	O		VccQ_DDR	open
364	AB15	MCLK	MCLK	O		VccQ_DDR	open
365	AB16	MDQ17	MDQ17	IO		VccQ_DDR	open
366	AB17	MDQ22	MDQ22	IO		VccQ_DDR	open
367	AB18	$\overline{\text{MDQS2}}$	$\overline{\text{MDQS2}}$	IO		VccQ_DDR	open
368	AB19	MDQ16	MDQ16	IO		VccQ_DDR	open
369	AB20	D0	PTQ0/D0	IO/IO	pull-down	VccQ1	open
370	AB21	D3	PTQ3/D3	IO/IO	pull-down	VccQ1	open
371	AB22	D8	PTT0/D8	IO/IO	pull-down	VccQ1	open
372	AB23	D12	PTT4/D12	IO/IO	pull-down	VccQ1	open
373	AB24	D17	PTA1/D17/KEYIN1/IDED9	IO/IO/IO	pull-up	VccQ1	open
374	AB25	D22	PTA6/D22/KEYOUT1/IDED14	IO/IO/O/IO	pull-up	VccQ1	open
375	AC1	PTF1	PTF1/LCDD23/SCIF2_SCK	IO/IO/IO	pull-down	VccQ_LCD	open
376	AC2	PTF5	PTF5/LCDHSYN/LCDCS	IO/O/O	pull-up	VccQ_LCD	open
377	AC3	PTM1	PTM1/LCDVCPWC/SCIF0_RXD	IO/O/I	pull-up	VccQ_LCD	open
378	AC4	Vss	Vss	-	-	-	-
379	AC5	MDQ4	MDQ4	IO		VccQ_DDR	open
380	AC6	MDQ3	MDQ3	IO		VccQ_DDR	open
381	AC7	MDQ6	MDQ6	IO		VccQ_DDR	open
382	AC8	$\overline{\text{MDQS0}}$	$\overline{\text{MDQS0}}$	IO		VccQ_DDR	open
383	AC9	MDQ0	MDQ0	IO		VccQ_DDR	open
384	AC10	MA7	MA7	O		VccQ_DDR	open
385	AC11	MA1	MA1	O		VccQ_DDR	open
386	AC12	MA5	MA5	O		VccQ_DDR	open
387	AC13	MA0	MA0	O		VccQ_DDR	open
388	AC14	MA12	MA12	O		VccQ_DDR	open
389	AC15	$\overline{\text{MCLK}}$	$\overline{\text{MCLK}}$	O		VccQ_DDR	open
390	AC16	MDQ20	MDQ20	IO		VccQ_DDR	open
391	AC17	MDQM2	MDQM2	O		VccQ_DDR	open
392	AC18	MDQS2	MDQS2	IO		VccQ_DDR	open
393	AC19	MDQ23	MDQ23	IO		VccQ_DDR	open
394	AC20	MDQ18	MDQ18	IO		VccQ_DDR	open
395	AC21	D1	PTQ1/D1	IO/IO	pull-down	VccQ1	open

No.	ボール配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
396	AC22	D5	PTQ5/D5	IO/IO	pull-down	VccQ1	open
397	AC23	D10	PTT2/D10	IO/IO	pull-down	VccQ1	open
398	AC24	D13	PTT5/D13	IO/IO	pull-down	VccQ1	open
399	AC25	D18	PTA2/D18/KEYIN2/IDED10	IO/IO//IO	pull-up	VccQ1	open
400	AD1	PTF6	PTF6/LCDDISP/LCDRS	IO/O/O	pull-up	VccQ_LCD	open
401	AD2	Vss	Vss	-	-	-	-
402	AD3	MDQ12	MDQ12	IO		VccQ_DDR	open
403	AD4	MDQ14	MDQ14	IO		VccQ_DDR	open
404	AD5	MDQM1	MDQM1	O		VccQ_DDR	open
405	AD6	MDQST	MDQST	IO		VccQ_DDR	open
406	AD7	MDQ15	MDQ15	IO		VccQ_DDR	open
407	AD8	MDQ13	MDQ13	IO		VccQ_DDR	open
408	AD9	MDQ5	MDQ5	IO		VccQ_DDR	open
409	AD10	MA3	MA3	O		VccQ_DDR	open
410	AD11	MBA2	MBA2	O		VccQ_DDR	open
411	AD12	MBA1	MBA1	O		VccQ_DDR	open
412	AD13	MRAS	MRAS	O		VccQ_DDR	open
413	AD14	MCS	MCS	O		VccQ_DDR	open
414	AD15	MA6	MA6	O		VccQ_DDR	open
415	AD16	MDQ19	MDQ19	IO		VccQ_DDR	open
416	AD17	MDQ27	MDQ27	IO		VccQ_DDR	open
417	AD18	MDQ25	MDQ25	IO		VccQ_DDR	open
418	AD19	MDQS3	MDQS3	IO		VccQ_DDR	open
419	AD20	MDQ24	MDQ24	IO		VccQ_DDR	open
420	AD21	MDQ26	MDQ26	IO		VccQ_DDR	open
421	AD22	MDQ21	MDQ21	IO		VccQ_DDR	open
422	AD23	D6	PTQ6/D6	IO/IO	pull-down	VccQ1	open
423	AD24	D9	PTT1/D9	IO/IO	pull-down	VccQ1	open
424	AD25	D14	PTT6/D14	IO/IO	pull-down	VccQ1	open
425	AE1	Vss	Vss	-	-	-	-
426	AE2	VccQ_DDR	VccQ_DDR	-	-	-	-
427	AE3	MDQ9	MDQ9	IO		VccQ_DDR	open
428	AE4	MDQ11	MDQ11	IO		VccQ_DDR	open
429	AE5	MDQS1	MDQS1	IO		VccQ_DDR	open
430	AE6	MDQ8	MDQ8	IO		VccQ_DDR	open
431	AE7	MDQ10	MDQ10	IO		VccQ_DDR	open
432	AE8	MDQ7	MDQ7	IO		VccQ_DDR	open

No.	ボール配置	端子名	マルチプレクス機能	I/O	I/O バッファ TYPE	I/O バッファ 電源	未使用時処理
433	AE9	MA13	MA13	O		VccQ_DDR	open
434	AE10	MA10	MA10	O		VccQ_DDR	open
435	AE11	MBA0	MBA0	O		VccQ_DDR	open
436	AE12	$\overline{\text{MWE}}$	$\overline{\text{MWE}}$	O		VccQ_DDR	open
437	AE13	MODT	MODT	O		VccQ_DDR	open
438	AE14	MA2	MA2	O		VccQ_DDR	open
439	AE15	MA11	MA11	O		VccQ_DDR	open
440	AE16	MDQ28	MDQ28	IO		VccQ_DDR	open
441	AE17	MDQ30	MDQ30	IO		VccQ_DDR	open
442	AE18	MDQM3	MDQM3	O		VccQ_DDR	open
443	AE19	$\overline{\text{MDQS3}}$	$\overline{\text{MDQS3}}$	IO		VccQ_DDR	open
444	AE20	MDQ31	MDQ31	IO		VccQ_DDR	open
445	AE21	MDQ29	MDQ29	IO		VccQ_DDR	open
446	AE22	VccQ_DDR	VccQ_DDR	-	-	-	-
447	AE23	D2	PTQ2/D2	IO/IO	pull-down	VccQ1	open
448	AE24	D4	PTQ4/D4	IO/IO	pull-down	VccQ1	open
449	AE25	Vss	Vss	-	-	-	-

【注】 * DDR2-SDRAM 使用時は基準電圧を入力してください。

1.6 端子の機能

端子の機能を表 1.4 に示します。ピンマルチプレクスの詳細は「第 48 章 ピンファンクションコントローラ (PFC)」を参照してください。端子の状態と未使用端子の処理方法については「付録 D. リセット、低消費電力状態での端子状態」を参照してください。

表 1.4 端子の機能

分類	端子名	入出力	機能	説明
電源	V _{DD}	入力	コア電源	コア電源 1.15V ~ 1.3V
	V _{SS}	入力	グラウンド	グラウンド端子 0V
	V _{CCQ}	入力	I/O 電源	入出力端子用電源 2.7V ~ 3.6V
	V _{CCQ1}	入力	I/O 電源	BSC、DMAC0 の入出力端子用電源。 1.8V/3.3V 選択可能
	V _{CCQ_LCD}	入力	I/O 電源	LCDC の入出力端子用電源。1.8V/3.3V 選択可能
	V _{CCQ_MMC}	入力	I/O 電源	MMC の入出力端子用電源。1.8V/3.3V 選択可能
	V _{CCQ_SDC}	入力	I/O 電源	SDHI0 の入出力端子用電源。3.3V
	V _{CCQ_SR}	入力	I/O 電源	シリアル入出力端子用電源。1.8V/3.3V 選択可能
	V _{CCQ_VIO}	入力	I/O 電源	VIO、I ² C_1 の入出力端子用電源。 1.8V/3.3V 選択可能
	DV33、DV12、 AV33、AV12、UV12	入力	USB 用電源	DV33 USB デジタル 3.3V 電源 DV12 USB デジタル 1.2V 電源 AV33 USB アナログ 3.3V 電源 AV12 USB アナログ 1.2V 電源 UV12 USB デジタル 1.2V 電源
	DG33、DG12、 AG33、AG12、UG12	入力	USB 用グラウンド	DG33 DV33 用グラウンド DG12 DV12 用グラウンド AG33 AV33 用グラウンド AG12 AV12 用グラウンド UG12 DV12 用グラウンド
	V _{CCQ_DDR}	入力	DDR 用 IO 電源	DDR-IO 用 1.8V 電源
	V _{DD_PLL}	入力	PLL 用電源	内蔵 PLL 用の 1.2V 電源端子
	V _{SS_PLL}	入力	PLL 用グラウンド	内蔵 PLL 用のグラウンド端子
	V _{DD_FLL}	入力	FLL 用電源	内蔵 FLL 用の 1.2V 電源端子
V _{SS_FLL}	入力	FLL 用グラウンド	内蔵 FLL 用のグラウンド端子	

分類	端子名	入出力	機能	説明
クロック	EXTAL	入力	外部クロック	外部クロック入力または水晶振動子を接続。未使用時は Vss に接続してください。
	XTAL	出力	クロック出力	水晶振動子を接続。水晶振動子を使用しないときは何も接続しないでください。
	RTC_CLK	入力	RTC クロック	32.768kHz の RTC クロックを入力。未使用時はプルアップ、もしくは、Vss に接続してください。
	FSIMCKA FSIMCKB	入力	FSI 用外部クロック	FSI モジュールのインタフェース用外部入力クロック
	EXTALUSB	入力	USB 用クロック	USB 用の 48MHz クロック端子。EXTALUSB、
	XTALUSB	出力	USB 用クロック	XTALUSB の間に水晶振動子を接続してください。外部クロックを入力する場合は、EXTALUSB に外部クロック信号を接続し、XTALUSB はオープンとしてください。
動作モード コントロール	MD8、MD5、 TSTMD、MD3、MD2、 MD1、MD0	入力	モード設定	動作モードの設定。MD2～MD0 はクロックモード設定用、MD3 はバス幅選択用、MD5 はエンディアン設定用。設定方法は BSC および CPG の章を参照してください。MD8 と TSTMD はテスト用です。MD8 は VccQ または GND に固定、TSTMD は VccQ に固定してください。これらの端子は動作中には変化させないでください。
システム制御	RESETP	入力	パワーオンリセット	パワーオンリセット端子
	RESETOUT	出力	リセット出力	パワーオンリセットまたはシステムリセットの間中ローレベルになります。
	RESETA	入力	リセット入力	システムリセット端子
	STATUS0	出力	ステータス出力	ソフトウェアスタンバイ期間中ハイレベルになります。
	STATUS2	出力	ステータス出力	R-スタンバイ期間中ハイレベルになります。
	PDSTATUS	出力	パワーダウンステータス出力	ソフトウェアスタンバイまたは R-スタンバイで内部電源スイッチをオフしている期間ハイレベルになります。
	BOOT	入力	ブートモード入力	MMCIF 接続の NAND フラッシュメモリブートを指定。 NAND フラッシュメモリブートを行う場合はハイレベル、エリア 0 からブートを行う場合はローレベルに固定してください。
	TST	入力	テスト端子	LSI の出荷検査用。VccQ に固定してください。
割り込み	NMI	入力	ノンマスクابل 割り込み	NMI 要求端子 使用しない場合はハイレベルに固定してください。
	IRQ7～IRQ0	入力	割り込み要求 7～0	IRQ 要求端子 レベル入力またはエッジ入力の選択が可能

分類	端子名	入出力	機能	説明
BSC (外部メモリ用バス)	A25 ~ A0	出力	アドレスバス	アドレス出力
	D31 ~ D0	入出力	データバス	双方向データバス
	$\overline{CS0}$ 、 $\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$ 、 $\overline{CS6A}$ 、 $\overline{CS6B}$	出力	チップセレクト	チップセレクト
	CKO	出力	システムクロック	システムクロック出力
	\overline{RD}	出力	リードストロープ	リードストロープ
	RDWR	出力	リード/ライト	リード/ライト
	$\overline{WE3}$ ~ $\overline{WE0}$	出力	ライトイネーブル 3 ~ 0	ライトイネーブル
	WAIT	入力	ウェイト	外部からのウェイトサイクル要求入力
	\overline{BS}	出力	バス開始	バスサイクルの開始を示す信号 通常空間、バースト ROM、および PCMCIA アクセス時にアサートされます。
	$\overline{CE1A}$ 、 $\overline{CE2A}$ $\overline{CE1B}$ 、 $\overline{CE2B}$	出力	PCMCIA カードセレクト	PCMCIA カードセレクト信号
	\overline{ICIORW}	出力	PCMCIA IO ライト	I/O ライトを示すストロープ信号
	\overline{ICIOR}	出力	PCMCIA IO リード	I/O リードを示すストロープ信号
	WE	出力	PCMCIA メモリ ライト	メモリライトサイクルを示すストロープ信号
$\overline{IOIS16}$	入力	PCMCIA 16 ビット I/O	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効で、ビッグエンディアン時はローレベルにしてください。	
DBSC (DDR 用バス)	MA13 ~ MA0	出力	アドレスバス	アドレス出力
	MBA2 ~ MBA0	出力	バンクアドレス	バンクアドレス出力
	MDQ31 ~ MDQ0	入出力	データバス	双方向データバス
	MCS	出力	チップセレクト	チップセレクト出力信号
	MCLK、 \overline{MCLK}	出力	同期クロック	DDR-SDRAM 用クロック出力
	MWE	出力	ライトイネーブル	ライトイネーブル出力信号
	MDQM3 ~ MDQM0	出力	データマスク 3 ~ 0	データマスク出力信号
	MDQS3 ~ MDQS0	入出力	データストロープ	データストロープ入出力信号
	$\overline{MDQS3}$ ~ $\overline{MDQS0}$	入出力	データストロープ	データストロープ入出力信号
	\overline{MCAS}	出力	カラムアドレス ストロープ	カラムアドレスストロープ出力信号
	\overline{MRAS}	出力	ロウアドレス ストロープ	ロウアドレスストロープ出力信号
	MCKE	出力	クロックイネーブル	クロックイネーブル出力信号

分類	端子名	入出力	機能	説明
DBSC (DDR用バス)	MSLD	入力	メモリ選択	メモリ種別選択入力信号 DDR2-SDRAM 使用時はローレベル固定、 Mobile DDR-SDRAM 使用時はハイレベル固定に してください
	MODT	出力	ODT イネーブル	DDR2-SDRAM 内の ODT のイネーブル出力信号
	MVREF1、MVREF0	入力	リファレンス電圧 入力	基準電圧入力 Mobile DDR-SDRAM 使用時はオープンとして ください。
ダイレクト メモリアクセス コントローラ (DMAC)	DREQ0、DREQ1	入力	DMA 転送要求	外部からの DMA 転送要求入力
	DACK0、DACK1	出力	DMA 転送要求受け 付け	DREQ に対する要求受付出力
クロック同期 シリアル I/O FIFO 付 (MSIOF0/ MSIOF1)	MSIOF0_MCK、 MSIOF1_MCK	入力	マスタクロック入 力	マスタクロック入力端子
	MSIOF0_TXD、 MSIOF1_TXD	出力	送信データ	送信データ端子
	MSIOF0_RXD、 MSIOF1_RXD	入力	受信データ	受信データ端子
	MSIOF0_TSCK、 MSIOF1_TSCK	入出力	送信シリアルクロ ック	送信シリアルクロック端子 送受信共通クロック使用時、SCK として使用。
	MSIOF0_TSYNC、 MSIOF1_TSYNC	入出力	送信フレーム同期 信号	送信フレーム同期信号チャンネル 0 入出力端子 送受信共通同期信号使用時、SYNC として使用。
	MSIOF0_SS1、 MSIOF1_SS1	出力	送信フレーム同期 信号	送信フレーム同期信号チャンネル 1 出力端子 スレーブデバイスのみ選択可能。
	MSIOF0_SS2、 MSIOF1_SS2	出力	送信フレーム同期 信号	送信フレーム同期信号チャンネル 2 出力端子 スレーブデバイスのみ選択可能。
	MSIOF0_RSCK、 MSIOF1_RSCK	入出力	受信シリアルクロ ック	受信シリアルクロック
	MSIOF0_RSYNC、 MSIOF1_RSYNC	入出力	受信フレーム同期 信号	受信フレーム同期信号
16 段 FIFO 内蔵 シリアルコミュ ニケーションイン タフェース (SCIF)	SCIF0_TXD、 SCIF1_TXD、 SCIF2_TXD	出力	送信データ	送信データ用の端子
	SCIF0_RXD、 SCIF1_RXD、 SCIF2_RXD	入力	受信データ	受信データ用の端子
	SCIF0_SCK、 SCIF1_SCK、 SCIF2_SCK	入出力	シリアルクロック	クロック入出力端子

分類	端子名	入出力	機能	説明
64 段 FIFO 内蔵 シリアルコミュニ ケーションイン タフェース (SCIFA)	SCIF3_TXD、 SCIF4_TXD、 SCIF5_TXD	出力	送信データ	送信データ用の端子
	SCIF3_RXD、 SCIF4_RXD、 SCIF5_RXD	入力	受信データ	受信データ用の端子
	SCIF3_SCK、 SCIF4_SCK、 SCIF5_SCK	入出力	シリアルクロック	クロック入出力端子
	SCIF3_RTS	出力	RTS 信号	RTS 出力端子
	SCIF3_CTS	入力	CTS 信号	CTS 入力端子
タイマパルス ユニット(TPU)	TPUTO4~0	出力	出力信号	TPU からのパルス出力
	TPUTI2~3	入力	外部クロック入力 信号	外部からの計数クロックの入力端子
IrDA インタフェ ース (IrDA)	IrDA_IN	入力	受信データ入力	受信データ入力
	IrDA_OUT	出力	送信データ出力	送信データ出力
I ² C バス インタフェース (IIC)	SCL1、SCL0	入出力	I ² C クロック入出力	I ² C バスのクロック入出力端子 バス駆動機能を持っています。出力形式は NMOS オープンドレインです。
	SDA1、SDA0	入出力	I ² C データ入出力	I ² C バスのデータ入出力端子 バス駆動機能を持っています。出力形式は NMOS オープンドレインです。
イーサネット MAC コントローラ (EtherMAC)	LNKSTA	入力	リンクステータス	PHY 出力の LINK 信号入力端子
	MDC	出力	管理用データクロ ック	RMII 管理データ用クロック出力
	MDIO	入出力	管理用データ入出 力	RMII 管理データ入出力
	RMII_CRSDV	入力	RMII キャリア検出	RMII キャリア検出入力信号
	RMII_REF_CLK	入力	RMII リファレンス クロック	RMII リファレンスクロック (50MHz)
	RMII_RX_ER	入力	RMII 受信エラー	RMII 受信エラー入力
	RMII_RXD0	入力	RMII 受信データ	RMII の 2 ビットの受信データ
	RMII_RXD1	入力	RMII 受信データ	RMII の 2 ビットの受信データ
	RMII_TX_EN	出力	RMII 送信イネー ブル	RMII 送信イネーブル出力
	RMII_TXD0	出力	RMII 送信データ	RMII の 2 ビットの送信データ
	RMII_TXD1	出力	RMII 送信データ	RMII の 2 ビットの送信データ

分類	端子名	入出力	機能	説明
マルチメディア カード インタフェース (MMCIF)	MMC_CLK	出力	クロック出力	クロック出力端子
	MMC_CMD	入出力	コマンド出力/レスポンス入力	コマンド出力/レスポンス入力端子(MMCモード)
	MMC_D7~0	入出力	データ出力/レスポンス入力	データ出力/レスポンス入力端子(MMCモード)
キャプチャエン ジンユニット (CEU)	VIO0_D15~ VIO0_D0、 VIO1_D7~VIO1_D0	入力	VIO用データバス	VIOへのカメラ画像データ入力
	VIO0_CLK、 VIO1_CLK、	入力	VIO用クロック	VIOへのカメラクロック入力
	VIO0_VD、VIO1_VD	入力	VIO用垂直同期	VIOへのカメラ垂直同期信号入力
	VIO0_HD、VIO1_HD	入力	VIO用水平同期	VIOへのカメラ水平同期信号入力
	VIO0_FLD、 VIO1_FLD	入力	フィールド信号	フィールド識別信号
	VIO_CKO	出力	カメラ用クロック 出力	カメラへのクロック出力
LCD コントローラ (RGBインタ フェース)	LCDD23~LCDD0	出力	LCDデータバス	24ビットの液晶パネル用データ
	LCDDON	出力	表示ON/OFF信号	表示ON/OFF信号
	LCDH SYN	出力	水平同期信号	水平同期信号
	LCDDISP	出力	表示イネーブル信 号	表示イネーブル信号
	LCDVSYN	出力	垂直同期信号	垂直同期信号
	LCDVCPWC	出力	電源制御	液晶モジュール電源制御信号
	LCDVEPWC	出力	電源制御	液晶モジュール電源制御信号
	LCDDCK	出力	ドットクロック信 号	データ同期信号
LCDLCLK	入力	入力クロック	入力クロック信号	
LCD コントローラ (SYSインタ フェース)	LCDD23~LCDD0	入出力	データ	データ入出力
	LCDDON	出力	表示ON/OFF信号	表示ON/OFF信号
	LCDCS	出力	チップセレクト	チップセレクト信号
	LCDRD	出力	リードストロープ	リードストロープ信号
	LCDRS	出力	レジスタセレクト	レジスタセレクト信号
	LCDVSYN	入出力	垂直同期信号	垂直同期信号
	LCDVCPWC	出力	電源制御	液晶モジュール電源制御信号
	LCDVEPWC	出力	電源制御	液晶モジュール電源制御信号
	LCDWR	出力	ライトストロープ	ライトストロープ信号
	LCDLCLK	入力	入力クロック	入力クロック信号

分類	端子名	入出力	機能	説明
ビデオ出力ユニット (VOU)	DV_D15 - 0	出力	データ出力	データ出力
	DV_CLK	出力	クロック出力	ビクセルクロック出力
	DV_VSYNC	出力	垂直同期信号出力	VOU が出力する垂直同期信号
	DV_HSYNC	出力	水平同期信号出力	VOU が出力する水平同期信号
	DV_CLKI	入力	ビデオクロック入力	ビデオクロック入力端子
TS インタフェース (TSIF)	TS_SCK	入力	クロック	TS 入力クロック
	TS_SDAT	入力	受信データ	TS シリアルデータ
	TS_SDEN	入力	データイネーブル	TS データイネーブル信号
	TS_SPSYNC	入力	データ同期信号	TS データ同期信号
USB2.0 ホスト&ファンクションモジュール (USB)	VBUS1、VBUS0	入力	USB 電源検知	USB ケーブル接続モニタ端子
	DP1、DP0	入出力	D+ 入出力	USB 内蔵トランシーバ D+入出力
	DM1、DM0	入出力	D- 入出力	USB 内蔵トランシーバ D-入出力
	REFRIN1、REFRIN0	入力	リファレンス入力	定電流回路用の基準抵抗接続端子 AG33 にプルダウン接続してください。
FIFO 内蔵 シリアルインタフェース (FSI)	FSIOALRCK、 FSIOBLRCK	入出力	サウンド出力 L/R クロック	サウンド出力 L/R クロック端子 (マスタまたはスレーブ)
	FSIOABCK、 FSIOBBCK	入出力	サウンド出力ビットクロック	サウンド出力ビットクロック端子 (マスタまたはスレーブ)
	FSIOASD、FSIOBSD	出力	サウンド出力シリアルデータ	サウンド出力シリアルデータ端子
	FSIILRCK、 FSIIBLRCK	入出力	サウンド入力 L/R クロック	サウンド入力 L/R クロック端子 (マスタまたはスレーブ)
	FSIIBACK、 FSIIBBCK	入出力	サウンド入力ビットクロック	サウンド入力ビットクロック端子 (マスタまたはスレーブ)
	FSIIASD、FSIIBSD	入力	サウンド入力	サウンド入力シリアルデータ端子
	CLKAUDIOAO、 CLKAUDIOBO	出力	オーディオクロック	FSI 基本動作クロック

分類	端子名	入出力	機能	説明
ATAPI インタフェース (ATAPI)	IDED15~0	入出力	データバス	16ビット幅の双方向バス
	IDEA2~0	出力	アドレスバス	アドレスバス
	IDEINT	入力	割り込み要求	プライマリチャネル割り込み要求
	IDEIOWR	出力	WR イネーブル	プライマリチャネル書き込み
	IDEIORD	出力	RD イネーブル	プライマリチャネル読み出し
	IDECS0、IDECS1	出力	チップセレクト	プライマリチャネルチップセレクト
	IODACK	出力	DMA アクノレッジ	プライマリチャネル DMA アクノレッジ
	IODREQ	入力	DMA リクエスト	プライマリチャネル DMA リクエスト
	IDEIORDY	入力	レディ信号	プライマリチャネルレディ信号
	IDERST	出力	リセット	プライマリチャネルATAPI デバイスリセット
	EXBUF_ENB	出力	外部データイネーブル	外部レベルシフトイネーブル信号
	DIRECTION	出力	外部データディレクション	外部レベルシフトディレクション信号
キースキャン インタフェース (KEYSC)	KEYIN6~0	入力	キー入力	キー入力
	KEYOUT5~0	出力	キー出力	キー出力
I/O ポート	PTA~PTZ	入出力 入力 出力	汎用ポート	汎用ポート端子
SD ホスト インタフェース (SDHI0/ SDHI1)	SDHI0CD、SDHI1CD	入力	カード検出	SD カード検出信号
	SDHI0WP、 SDHI1WP	入力	ライトプロテクト	SD ライトプロテクト信号
	SDHI0D3~0、 SDHI1D3~0	入出力	データバス	SD データバス信号
	SDHI0CMD、 SDHI1CMD	入出力	コマンド出力、レスポンス入力	SD コマンド出力、レスポンス入力信号
	SDHI0CLK、 SDHI1CLK	出力	クロック	SD クロック出力端子

分類	端子名	入出力	機能	説明
ユーザデバッグ インタフェース (H-UDI)*	TCK	入力	テストクロック	テストクロック入力端子
	TMS	入力	テストモードセレクト	テストモードセレクト信号入力端子
	TDI	入力	テストデータ入力	インストラクションとデータのシリアル入力端子
	TDO	出力	テストデータ出力	インストラクションとデータのシリアル出力端子
	TRST	入力	テストリセット	H-UDIのリセット端子 エミュレータを使用しないときはローレベルに固定してください。
	ASEBRK/BRKACK	入出力	ブレーク入力/ア クノリッジ	エミュレータからのブレーク信号入力/ブレーク アクノリッジ出力信号
	MPMD	入力	ASE モード	ASE モード (エミュレーションサポートモード) 設定端子
アドバンスト ユーザデバッグ (AUD)	AUDATA3~ AUDATA0	出力	AUD データ	ブランチトレースモード時の分岐先アドレス出力 端子
	AUDCK	出力	AUD クロック	ブランチトレースモード時の同期クロック出力端 子
	AUDSYNC	出力	AUD 同期信号	ブランチトレースモード時のデータ先頭位置認識 信号出力端子

【注】 * エミュレータ使用時は、各エミュレータのユーザーズマニュアルを参照してください。

1.7 内部バス構成

本 LSI は、内部システムバスに SuperHyway バス（以下 SHwy）を採用しています。SHwy バスは、アドレス 32 ビット、データ 64 ビット、バスクロック（S）最大 166.7MHz のシステムバスで、SHwy バスに接続された各モジュール間のデータ転送を高速に行うことができます。転送制御は、SuperHyway パケットルータにより行います。SHwy バスと各モジュールは、以下のバスブリッジにより接続されています。

- ICB（Inter Connect Buffer）

SHwyバスと画像モジュール群を接続するブリッジです。128KバイトのSRAM（MERAM：メディアRAM）を搭載し、外部メモリアクセスのバッファとして使用することにより外部メモリアクセスの低減や効率化が可能です。MERAMの詳細については「第41章 メディアRAM（MERAM）」を参照してください。

- HPB（Peripheral Bus Bridge）

SHwyバスとP で動作する周辺モジュール群を接続するブリッジです。

- HPB2（Peripheral Bus Bridge-2）

SHwyバスとB で動作する周辺モジュール群を接続するブリッジです。

各モジュールはデータ転送において、リクエストを出すイニシエータ（SHwy バスマスタ）またはレスポンスを返すターゲットとして動作します。イニシエータとして動作可能なモジュールは、SH-X2、DBG、DMAC、ICB、2DG、ATAPI、EtherMAC、SPU で、リクエストの優先順位判定は、レジスタ設定値およびLRU（Least Recently Used）により行われます。使用するモジュールや使用方法によって優先順位の設定を変更する必要があります。詳細は「第 12 章 SuperHyway パケットルータ」を参照してください。

1.8 メモリアドレスマップ

本 LSI に搭載されている CPU は、32 ビット仮想アドレス空間をサポートします。仮想アドレスは、MMU により任意の物理アドレスに割り付けることができます。詳細は「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

図 1.5 に本 LSI の物理アドレス空間を示します。物理アドレス空間は、29 ビットアドレス (通常モード) および 32 ビットアドレス (拡張モード) をサポートしています。

リセット後の初期状態は 29 ビットアドレスモードとなります。32 ビットアドレスモードへの切り替えは、PASCР レジスタの SE ビットで行います。設定方法は「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。32 ビットアドレスモードで使用する場合は、TLB のモジュールストップビット MSTP031 は (TLB は動作) としてください。

物理アドレス空間のうち、エリア 2、エリア 3 は DBSC 専用の空間です。エリア 4、エリア 5 は、MMSELR レジスタの AREASEL ビットにより DBSC と BSC から選択可能です。図 1.6 に AREASEL ビットとアドレスマップの対応を示します。設定の詳細は「第 14 章 バスステートコントローラ (BSC)」を参照してください。物理アドレス H'4000 0000 ~ H'5FFF FFFF の拡張 DRAM 空間は、32 ビットアドレスモードでのみ使用可能です。

なお、CPU 以外からのアクセスは MMU を経由しない物理アドレスでのアクセスとなります。特に記載の無い限り各モジュールのアドレスレジスタには物理アドレスを設定してください。29 ビットアドレスモード時には 29 ビット物理アドレスを指定してください。

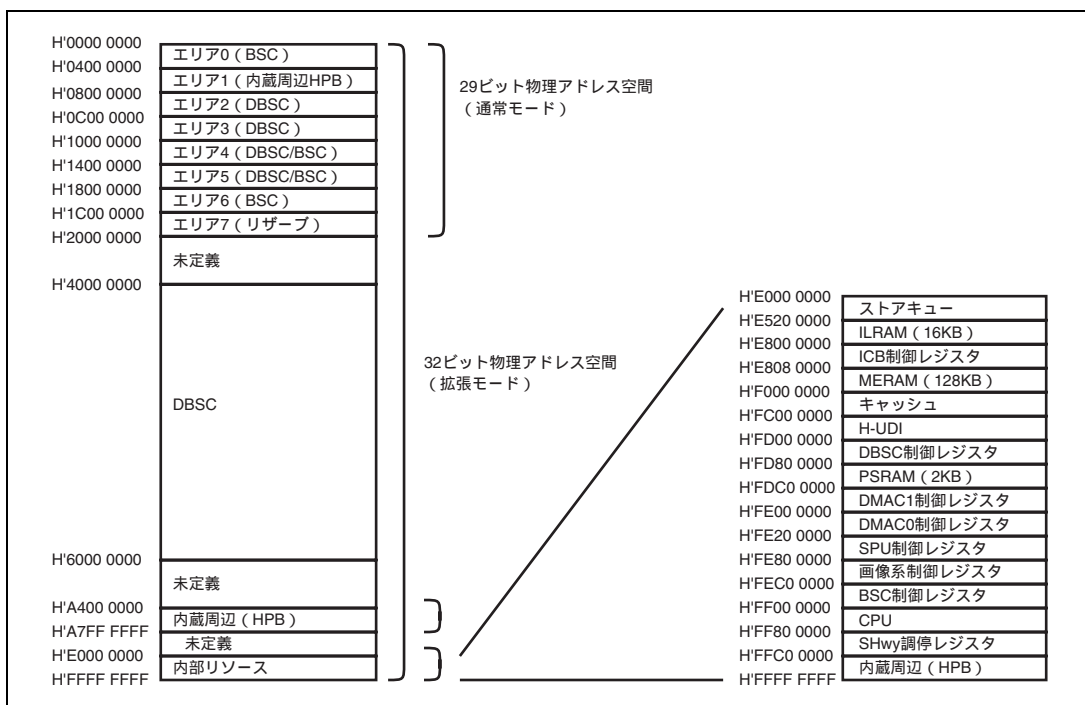


図 1.4 物理アドレス空間

MMSEL.R.AREASELビット		0	1
H'0000 0000~H'03FF FFFF	エリア0	BSC	BSC
H'0400 0000~H'07FF FFFF	エリア1 (HPB、内蔵周辺モジュール)	HPB	HPB
H'0800 0000~H'0BFF FFFF	エリア2 (DBSC)	DBSC-2	DBSC-2
H'0C00 0000~H'0FFF FFFF	エリア3 (DBSC)	DBSC-3	DBSC-3
H'1000 0000~H'13FF FFFF	エリア4 (DBSC/BSC)	DBSC-4	BSC
H'1400 0000~H'17FF FFFF	エリア5 (DBSC/BSC)	DBSC-5	BSC
H'1800 0000~H'1BFF FFFF	エリア6 (BSC)	BSC	BSC
H'1C00 0000~H'1FFF FFFF	エリア7 (リザーブ)		
H'2000 0000~H'3FFF FFFF	未定義		
H'4000 0000~H'43FF FFFF	DBSC (DDR2-SDRAM/Mobile-DDR-SDRAM)	DBSC-0	DBSC-0
H'4400 0000~H'47FF FFFF		DBSC-1	DBSC-1
H'4800 0000~H'4BFF FFFF		DBSC-2	DBSC-2
H'4C00 0000~H'4FFF FFFF		DBSC-3	DBSC-3
H'5000 0000~H'53FF FFFF		DBSC-4	DBSC-4
H'5400 0000~H'57FF FFFF		DBSC-5	DBSC-5
H'5800 0000~H'5BFF FFFF		DBSC-6	DBSC-6
H'5C00 0000~H'5FFF FFFF		DBSC-7	DBSC-7
H'6000 0000~H'7FFF FFFF	未定義		
H'8000 0000~H'A3FF FFFF	未定義		
H'A400 0000~H'A7FF FFFF	HPB (内蔵周辺モジュール)	HPB	HPB
H'A800 0000~H'BF FF FFFF	未定義		
H'C000 0000~H'DFFF FFFF	未定義		
H'E000 0000~H'FFFF FFFF	内部リソース		

シャドウ空間

29ビット物理アドレス空間 (通常モード)
 32ビット物理アドレス空間 (拡張モード)

図 1.5 AREASEL ビットによるメモリアドレスマップの選択

1.9 クロック一覧

表 1.5 クロック一覧

分類	Clock name	使用範囲	生成元	クロックソース
システム クロック	I	SH-X2	CPG(PLL)	外部入力 (EXTAL)、 水晶振動子 (EXTAL、XTAL)、 外部入力 (RTC_CLK) 【注】RTC_CLK からシステムクロックを生成するためには FLL による通信が必要です。
	S	L2cache、SHwy、DBSC	CPG(PLL)	
	B	BSC、SHwy 接続モジュール、HPB2、HPB2 接続モジュール	CPG(PLL)	
	P	HPB、HPB 接続モジュール	CPG(PLL)	
個別 モジュール クロック	M1	VPU	CPG(PLL)	
	SPUCK	SPU	CPG(PLL)	
	CKO	BSC インタフェース用クロック出力	CPG(PLL)	
	MCLK	DBSC インタフェース用クロック出力	CPG(PLL)	
	VIO_CKO	カメラ用クロック出力	CPG(PLL)	
	IrDACK	IrDA インタフェース用クロック	CPG(PLL)	
	RCLK	RWDT、CMT カウントクロック	CPG	
	FSICKA、 FSICKB	FSI インタフェース用クロック	CPG(PLL)	上記 3 クロックソース、 外部入力 (FSIMCKA、FSIMCKB)
	RTC_CLK	RTC カウントクロック	外部入力	外部入力 (RTC_CLK)
	LCDDCK	LCDC ドットクロック出力	LCDC	外部入力 (LCDLCLK)、B、P
	DV_CLK	VOU インタフェース用クロック出力	VOU	外部入力 (DV_CLKI)
	FSIOABCK、 FSIOALRCK、 FSIOBBCK、 FSIOBLRCK	FSI インタフェース用クロック出力	FSI	FSICKA、FSICKB
	CLKAUDIOAO、 CLKAUDIOBO	FSI 基本動作クロック出力	FSI	FSICKA、FSICKB
	MSIOF0_TSCK MSIOF1_TSCK	MSIOF 送信用シリアルクロック出力	MSIOF	B、外部入力 (MSIOF0_MCK、 MSIOF1_MCK)
	SCIF0_SCK、 SCIF1_SCK、 SCIF2_SCK	SCIF シリアルクロック出力	SCIF	P
	SCIF3_SCK、 SCIF4_SCK、 SCIF5_SCK	SCIFA シリアルクロック出力	SCIFA	B
	MMC_CLK	MMC インタフェース用クロック出力	MMCIF	B
	SDHI0CLK、 SDHI1CLK	SDHI インタフェース用クロック出力	SDHI	B
USB_CLK	USB 動作クロック	USB (PLL)	外部入力 (EXTAL_USB)、 水晶振動子 (EXTAL_USB、 XTAL_USB)	

1.10 動作モード

本 LSI の動作状態には、リセット状態、プログラム実行状態、低消費電力状態の 3 種類があります。以下にリセット状態と低消費電力状態の概要を示します。

1.10.1 リセット

本 LSI のリセットには、パワーオンリセット、システムリセット、マニュアルリセット、ソフトウェアリセットがあります。

(1) パワーオンリセット

$\overline{\text{RESETP}}$ 端子にローレベルを入力することで、すべての実行中の処理を中止してパワーオンシーケンスから起動します。電源投入時のリセットは、パワーオンリセットを使用してください。

(2) システムリセット

$\overline{\text{RESETA}}$ 端子にローレベルを入力した場合、または RWD $\overline{\text{T}}$ がオーバフローした場合に発生します。

(3) マニュアルリセット

SR レジスタの BL ビット=1 のときに、ユーザブ레이크を除く例外が発生した場合に発生します。詳細は「第 5 章 例外処理」を参照してください。

(4) ソフトウェアリセット

一部のモジュールで、レジスタ書き込みによるモジュール単位のリセットをサポートしています。詳細は各モジュールの章を参照してください。

1.10.2 低消費電力モード

低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、R-スタンバイモード、U-スタンバイモード、およびモジュールスタンバイがあります。詳細は「第 18 章 リセット、低消費電力モード」を参照してください。

(1) スリープモード

SH-X2 コアに供給するクロックを停止するモードです。SH $\overline{\text{wy}}$ バス以下の各モジュールや外部メモリアクセスは動作可能です。割り込みによりプログラム実行状態に復帰します。

(2) ソフトウェアスタンバイモード

RCLK 以外のクロックを停止するモードです。割り込みによりプログラム実行状態に復帰します。

(3) R スタンバイモード

RCLK 以外のクロック停止に加え、I/O 部以外の領域の大部分に対して電源供給を遮断するモードです。一部のレジスタやメモリ (RS メモリ) の内容を保持します。RS メモリに割り込み処理プログラムを格納しておき、割り込みによりプログラム実行状態に復帰することが可能です。

(4) U スタンバイモード

RCLK で動作するモジュールと I/O 部以外の領域に対する電源供給を遮断するモードです。最も消費電流を低減できるモードです。端子状態は保持されますが、内部状態は保持されないため、リセットから再起動となります。

(5) モジュールスタンバイ

CPU は動作状態のままで、モジュール個別にクロック供給を停止できる機能です。使用しないモジュールのクロックを停止することにより消費電流を低減できます。

1.11 電源シーケンス

I/O 電源 (V_{CCQ} 、 V_{CCQ1} 、 V_{CCQ_LCD} 、 V_{CCQ_MMC} 、 V_{CCQ_SDC} 、 V_{CCQ_SR} 、 V_{CCQ_VIO} 、DV33、AV33、 V_{CCQ_DDR}) と 1.2V 系電源 (V_{DD} 、 V_{DD_PLL} 、 V_{DD_FLL} 、DV12、AV12、UV12) の投入および切断順序について説明します。詳細については「第 52 章 電気的特性」を参照してください。

(1) 電源の投入順序

V_{CCQ} に供給する電源電圧は、以下の条件を満たすように設定してください。

$V_{CCQ+0.3V}$ V_{CCQ1} 、 V_{CCQ_LCD} 、 V_{CCQ_MMC} 、 V_{CCQ_SDC} 、 V_{CCQ_SR} 、 V_{CCQ_VIO} 、DV33、AV33
本 LSI を起動するには、次の電源投入シーケンスに従ってください。

1. V_{CCQ} 電源を最初に投入してください。電源投入の際には、 \overline{RESETP} を V_{IL} 以下のローレベルにしてください。
2. V_{CCQ} の電圧が「第52章 電気的特性」で規定するMin値以上になるまで待ちます。
3. V_{CCQ} 以外のI/O電源を投入してください。投入順序は任意（順不同）です。
4. 1.2V系電源を投入してください。
5. すべての電源投入が完了後、 \overline{RESETP} を解除してください。

(2) 電源の切断順序

電源切断は以下のシーケンスに従ってください。

1. 1.2V系電源を切断してください。
2. V_{CCQ} 以外のI/O電源を切断してください。切断順序は任意（順不同）です。
3. 最後に、 V_{CCQ} 電源を切断してください。

1.12 ボード設計上の注意事項

(1) バイパスコンデンサについての注意

電源とグラウンドのペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。

バイパスコンデンサは、LSI の電源端子の近くに実装してください。容量値だけでなく周波数特性が LSI の動作周波数に合った特性を持つものを使用してください。

(2) PLL、FLL の電源配線の注意事項

PLL、FLL の電源はノイズ等に敏感であるため、「第 17 章 クロックパルス発振器 (CPG)」の注意事項に従って配線パターン設計を行ってください。

(3) DDR2 インタフェースの基板設計上の注意事項

DDR インタフェース実装ガイドを用意しています。基板設計の際の参考資料として利用ください。

2. プログラミングモデル

本章では、本 LSI のプログラミングモデルについて記述します。本 LSI では以下に示すレジスタとデータ形式を持っています。

2.1 データフォーマット

本 LSI でサポートしているデータフォーマットを図 2.1 に示します。

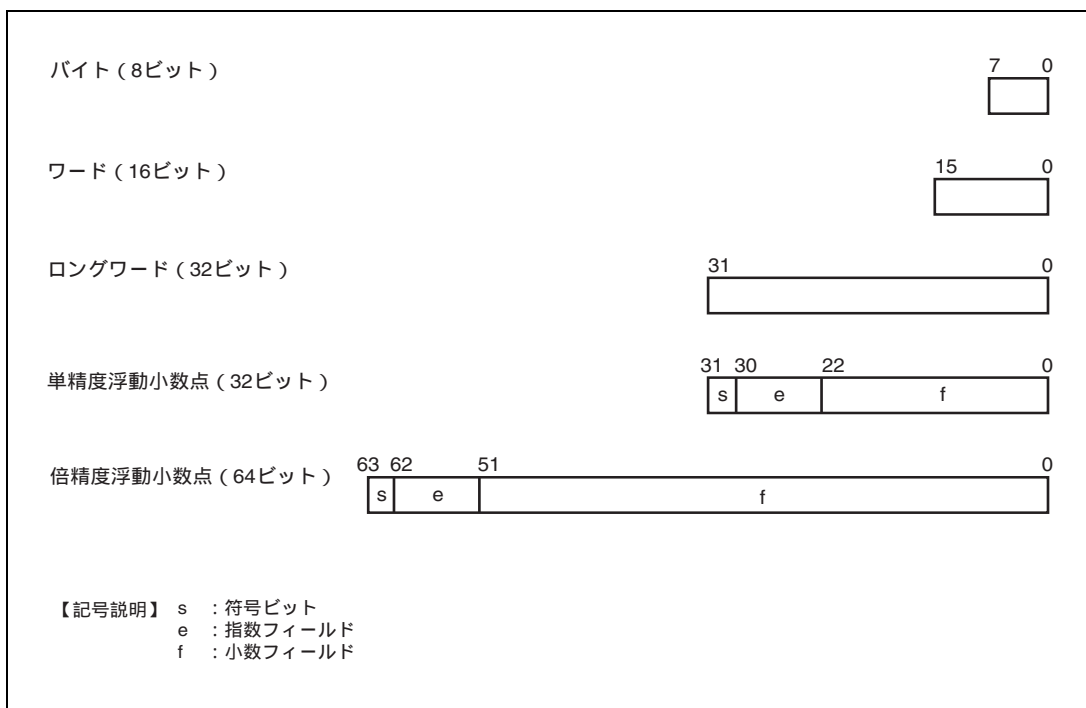


図 2.1 データフォーマット

2.2 レジスタの構成

2.2.1 特権モードとバンク

(1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

(2) 汎用レジスタ

汎用レジスタにはR0からR15までの16本のレジスタがあります。汎用レジスタR0からR7は、バンクレジスタで、処理モードで切り替えることができます。

- 特権モードの場合

ステータスレジスタ(SR)のレジスタバンクビット(RB)により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決まります。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令(LDC)とストア命令(STC)でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0_BANK1からR7_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク0の汎用レジスタR0_BANK0からR7_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

- ユーザモードの場合

バンク0の汎用レジスタR0_BANK0からR7_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0_BANK1からR7_BANK1の8本のレジスタはアクセスできません。

(3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ(GBR)とステータスレジスタ(SR)があり、特権モードでのみアクセスできる退避ステータスレジスタ(SSR)、退避プログラムカウンタ(SPC)、ベクタベースレジスタ(VBR)、退避ジェネラルレジスタ15(SGR)、デバッグベースレジスタ(DBR)があります。ステータスレジスタには、特権モードでのみアクセスできるビット(例えばRBビット)があります。

(4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) があり、処理モードに関係しません。

(5) 浮動小数点レジスタと FPU に関するシステムレジスタ

浮動小数点レジスタには、FR0~FR15、XF0~XF15 の 32 本のレジスタがあります。FR0~FR15、XF0~XF15 をおのこの FPR0_BANK0~FPR15_BANK0、FPR0_BANK1~FPR15_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0~FR15 は、DR0/2/4/6/8/10/12/14(倍精度浮動小数点レジスタ、またはレジスタペア)の 8 本、FV0/4/8/12(レジスタベクタ)の 4 本として使用でき、XF0~XF15 は、XD0/2/4/6/8/10/12/14(レジスタペア)の 8 本、XMTRX(レジスタ行列)の 1 本として使用できます。

FPU に関するシステムレジスタには、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス/コントロールレジスタ (FPSCR) があり、FPU-CPU 間の通信や例外処理の設定を行います。

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0~R7_BANK0、 R0_BANK1~R7_BANK1、 R8~R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、 FD ビットは 0、IMASK は B'1111、リザーブビットは 0、その他は不定
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
浮動小数点レジスタ	FR0~FR15、XF0~XF15、FPUL	不定
	FPSCR	H'00040001

【注】 * パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。

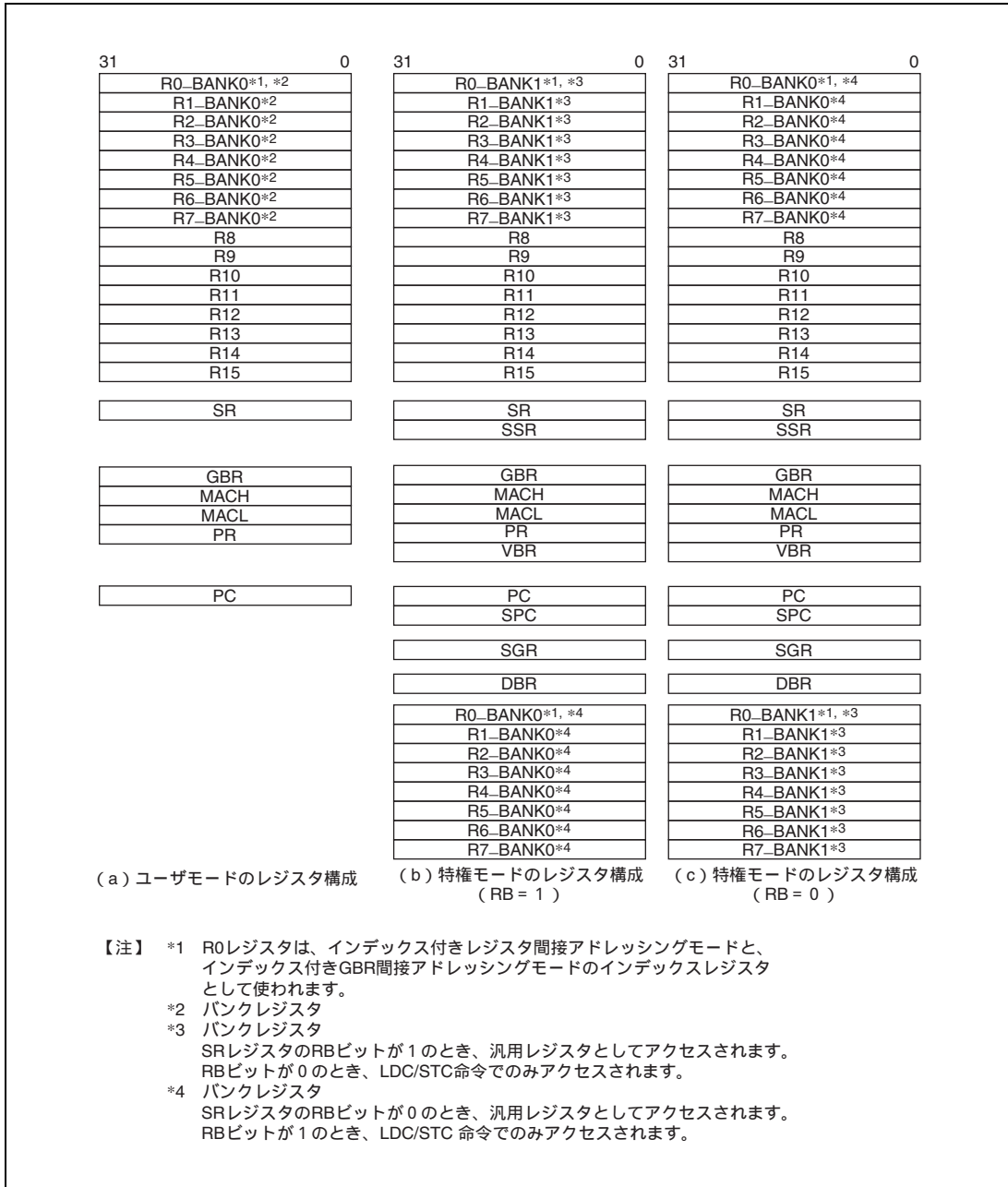


図 2.2 処理モード別の CPU レジスタ構成

2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。本 LSI には 24 本の 32 ビット汎用レジスタ(R0_BANK0 ~ R7_BANK0、R0_BANK1 ~ R7_BANK1、R8 ~ R15) があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0 ~ R15 としてアクセスできます。本 LSI には特権モードとユーザモードの 2 つの処理モードがあります。R0 ~ R7 はその 2 つのモードにより次のように割り当てられます。

- R0_BANK0 ~ R7_BANK0

ユーザモード (SR.MD=0) では、常に R0 ~ R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0 ~ R7 に割り当てられます。

- R0_BANK1 ~ R7_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0 ~ R7 に割り当てられます。

SR.MD=0 または (SR.MD=1, SR.RB=0)		(SR.MD=1, SR.RB=1)	
R0	R0_BANK0	R0	R0-BANK0
R1	R1_BANK0	R1	R1-BANK0
R2	R2_BANK0	R2	R2-BANK0
R3	R3_BANK0	R3	R3-BANK0
R4	R4_BANK0	R4	R4-BANK0
R5	R5_BANK0	R5	R5-BANK0
R6	R6_BANK0	R6	R6-BANK0
R7	R7_BANK0	R7	R7-BANK0
R0-BANK1	R0_BANK1	R0	
R1-BANK1	R1_BANK1	R1	
R2-BANK1	R2_BANK1	R2	
R3-BANK1	R3_BANK1	R3	
R4-BANK1	R4_BANK1	R4	
R5-BANK1	R5_BANK1	R5	
R6-BANK1	R6_BANK1	R6	
R7-BANK1	R7_BANK1	R7	
R8	R8	R8	
R9	R9	R9	
R10	R10	R10	
R11	R11	R11	
R12	R12	R12	
R13	R13	R13	
R14	R14	R14	
R15	R15	R15	

図 2.3 汎用レジスタ

【プログラミング上の注意】

ユーザモードの R0～R7 は R0_BANK0～R7_BANK0 に、例外・割り込み後の R0～R7 は R0_BANK1～R7_BANK1 に割り当てられるので、割り込みハンドラはユーザモードの R0～R7 (R0_BANK0～R7_BANK0) を回避または復帰する必要はありません。

2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0～FPR15_BANK0、FPR0_BANK1～FPR15_BANK1 があります。また、この 32 本レジスタは FR0～FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0～XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0、FPR1_BANK0、FPR2_BANK0、FPR3_BANK0、
FPR4_BANK0、FPR5_BANK0、FPR6_BANK0、FPR7_BANK0、
FPR8_BANK0、FPR9_BANK0、FPR10_BANK0、FPR11_BANK0、
FPR12_BANK0、FPR13_BANK0、FPR14_BANK0、FPR15_BANK0
FPR0_BANK1、FPR1_BANK1、FPR2_BANK1、FPR3_BANK1、
FPR4_BANK1、FPR5_BANK1、FPR6_BANK1、FPR7_BANK1、
FPR8_BANK1、FPR9_BANK1、FPR10_BANK1、FPR11_BANK1、
FPR12_BANK1、FPR13_BANK1、FPR14_BANK1、FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0～FR15 は FPR0_BANK0～FPR15_BANK0 に割り当てられます。
FPSCR.FR = 1 のとき、FR0～FR15 は FPR0_BANK1～FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、
DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、
DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、
FV4 = {FR4, FR5, FR6, FR7}、
FV8 = {FR8, FR9, FR10, FR11}、
FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD_i (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}, XD2 = {XF2, XF3},

XD4 = {XF4, XF5}, XD6 = {XF6, XF7},

XD8 = {XF8, XF9}, XD10 = {XF10, XF11},

XD12 = {XF12, XF13}, XD14 = {XF14, XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

$$\text{XMTRX} = \begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$$

FPSCR.FR=0			FPSCR.FR=1			
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX
		FR1	FPR1_BANK0	XF1		
FV4	DR2	FR2	FPR2_BANK0	XF2	XD2	
		FR3	FPR3_BANK0	XF3		
		FR4	FPR4_BANK0	XF4		
FV8	DR4	FR5	FPR5_BANK0	XF5	XD6	
		FR6	FPR6_BANK0	XF6		
		FR7	FPR7_BANK0	XF7		
FV12	DR6	FR8	FPR8_BANK0	XF8	XD8	
		FR9	FPR9_BANK0	XF9		
		FR10	FPR10_BANK0	XF10		
FV12	DR8	FR11	FPR11_BANK0	XF11	XD12	
		FR12	FPR12_BANK0	XF12		
		FR13	FPR13_BANK0	XF13		
XMTRX	DR10	FR14	FPR14_BANK0	XF14	XD14	
		FR15	FPR15_BANK0	XF15		
		FR0	FPR0_BANK1	FR0		
XMTRX	XD0	XF1	FPR1_BANK1	FR1	DR2	
		XF2	FPR2_BANK1	FR2		
		XF3	FPR3_BANK1	FR3		
XMTRX	XD2	XF4	FPR4_BANK1	FR4	DR4	FV4
		XF5	FPR5_BANK1	FR5		
		XF6	FPR6_BANK1	FR6		
XMTRX	XD4	XF7	FPR7_BANK1	FR7	DR8	FV8
		XF8	FPR8_BANK1	FR8		
		XF9	FPR9_BANK1	FR9		
XMTRX	XD6	XF10	FPR10_BANK1	FR10	DR10	
		XF11	FPR11_BANK1	FR11		
		XF12	FPR12_BANK1	FR12		
XMTRX	XD8	XF13	FPR13_BANK1	FR13	DR14	
		XF14	FPR14_BANK1	FR14		
		XF15	FPR15_BANK1	FR15		

図 2.4 浮動小数点レジスタ

2.2.4 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
		MD	RB	BL												
初期値:	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FD						M	Q	IMASK					S	T	
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
30	MD	1	R/W	処理モード 処理モードを選択します。 0: ユーザモード (命令の中には実行できない命令があります。また、リソースの中にはアクセスできないリソースがあります。) 1: 特権モード 例外または割り込みにより 1 にセットされます。
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット 0: R0_BANK0 ~ R7_BANK0 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK1 ~ R7_BANK1 は LDC/STC 命令でアクセスできます。 1: R0_BANK1 ~ R7_BANK1 は汎用レジスタ R0 ~ R7 としてアクセスでき、R0_BANK0 ~ R7_BANK0 は LDC/STC 命令でアクセスできます。 例外または割り込みにより 1 にセットされます。
28	BL	1	R/W	例外 / 割り込みブロックビット このビットが 1 のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。 例外または割り込みにより 1 にセットされます。
27 ~ 16	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
15	FD	0	R/W	FPU ディスエーブルビット このビットが 1 のとき、FPU 命令は一般 FPU 抑止例外を発生させ、FPU 命令が遅延スロットにある場合、スロット FPU 抑止例外が発生します (FPU 命令: H'F***命令、FPUL/FPSCR に対する LDS(L)/STS(L)命令)。
14 ~ 10	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

ビット	ビット名	初期値	R/W	説明
9	M	0	R/W	M ビット DIV0S、DIV0U、DIV1 命令で使用します。
8	Q	0	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	IMASK	すべて 1	R/W	割り込みマスクレベル IMASK 以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASK が割り込み受け付けレベルに変化する動作と変化しない動作を、CPU 動作モードレジスタ (CPUOPM) を用いて切り替えることができます。CPUOPM の動作は、「付録 A. CPU 動作モードレジスタ (CPUOPM)」を参照してください。
3, 2	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
1	S	0	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	0	R/W	T ビット 真 / 偽条件、キャリ、ポロー、オーバフローまたはアンダフローなどを表します。 詳細は、「第 3 章 命令セット」を参照してください。

(2) 退避ステータスレジスタ (SSR) (32 ビット、特権保護、初期値 = 不定)

SR の内容は例外または割り込みの発生時、SSR に退避されます。

(3) 退避プログラムカウンタ (SPC) (32 ビット、特権保護、初期値 = 不定)

例外または割り込みの発生した命令のアドレスは SPC に退避されます。

(4) グローバルベースレジスタ (GBR) (32 ビット、初期値 = 不定)

GBR は @(disp,GBR)、@(R0,GBR) アドレッシングのベースアドレスとして参照されます。

(5) ベクタベースレジスタ (VBR) (32 ビット、特権保護、初期値 = H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第 5 章 例外処理」を参照してください。

(6) 退避ジェネラルレジスタ 15 (SGR) (32 ビット、特権保護、初期値 = 不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

(7) デバッグベースレジスタ (DBR) (32 ビット、特権保護、初期値 = 不定)

ユーザブレイクデバッグ機能を有効にする場合 (CBCR.UBDE = 1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

2.2.5 システムレジスタ

- (1) 積和上位レジスタ (MACH) (32 ビット、初期値 = 不定)、
積和下位レジスタ (MACL) (32 ビット、初期値 = 不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

- (2) プロシージャレジスタ (PR) (32 ビット、初期値 = 不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

- (3) プログラムカウンタ (PC) (32 ビット、初期値 = H'A000 0000)

PC は実行中の命令アドレスを示します。

- (4) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
											FR	SZ	PR	DN	Cause	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)				Flag				RM			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
21	FR	0	R/W	浮動小数点レジスタバンク 0 : FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1 : FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0 : FMOV 命令のデータサイズは 32 ビットです。 1 : FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 2.5 を参照してください。

ビット	ビット名	初期値	R/W	説明
19	PR	0	R/W	<p>精度モード</p> <p>0:浮動小数点命令を単精度演算として実行します。</p> <p>1:浮動小数点命令を倍精度演算として実行します(グラフィックサポート命令は未定義です)。</p> <p>PR ビットおよび SZ ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
18	DN	1	R/W	<p>非正規化モード</p> <p>0:非正規化数を非正規化数として扱います。</p> <p>1:非正規化数を0として扱います。</p>
17~12	Cause	すべて0	R/W	FPU 例外要因フィールド
11~7	Enable(EN)	すべて0	R/W	FPU 例外イネーブルフィールド
6~2	Flag	すべて0	R/W	<p>FPU 例外フラグフィールド</p> <p>FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に0に設定されます。次にFPU 例外が発生すると、FPU 例外要因フィールドとFPU 例外フラグフィールドの該当ビットが1にセットされます。</p> <p>FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。</p> <p>各フィールドのビットの割り付けについては表 2.2 を参照してください。</p>
1、0	RM	01	R/W	<p>丸めモード</p> <p>丸めの方法を選択します。</p> <p>00:近傍への丸め</p> <p>01:0方向への丸め</p> <p>10:リザーブ(設定禁止)</p> <p>11:リザーブ(設定禁止)</p>

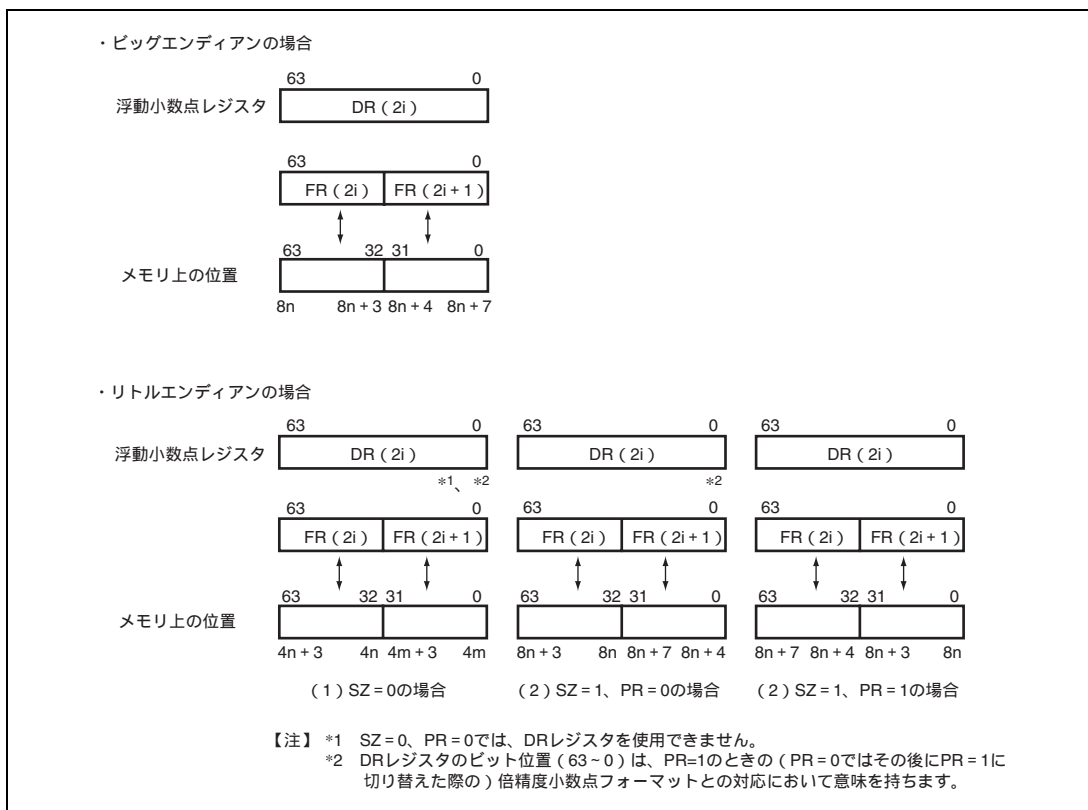


図 2.5 SZ ビットとエンディアンの関係

表 2.2 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

(5) 浮動小数点通信レジスタ (FPUL) (32 ビット、初期値 = 不定)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

2.3 メモリ割り付けレジスタ

制御レジスタのうち、以下のメモリ領域にマッピングされているものがあります。これらのメモリ領域に割り付けられたレジスタには、2つのアドレスがあります。

H'1C00 0000 ~ H'1FFF FFFF

H'FC00 0000 ~ H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000 ~ H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000 ~ H'FFFF FFFF

ユーザモードで領域H'FC00 0000 ~ H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

【注】 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード(32ビット)です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト(8ビット)、もしくはワード(16ビット)の場合は、ロングワードに符号拡張し、レジスタに格納します。

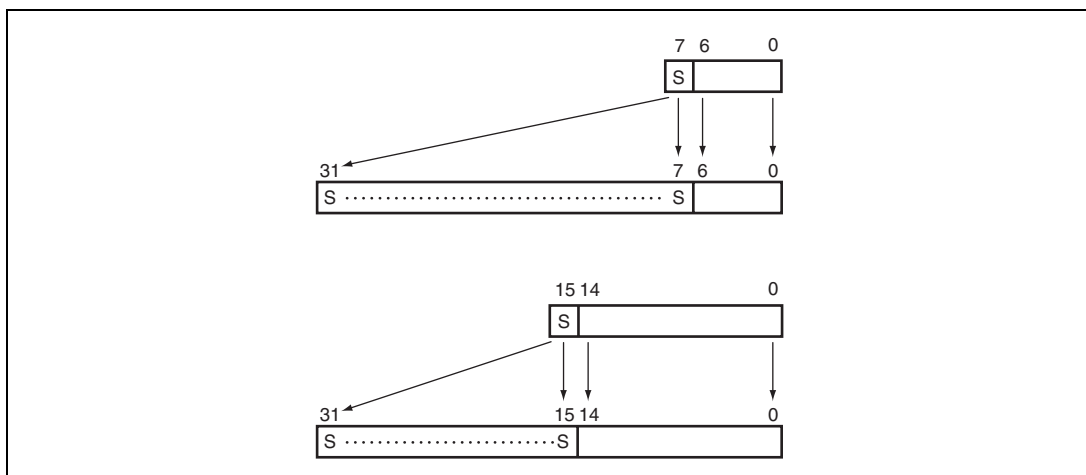


図 2.6 バイトデータ、ワードデータのレジスタ中のデータ形式

2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは8ビットのバイト、16ビットのワード、32ビットのロングワードいずれの形でもアクセスすることができます。32ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2バイト刻みの偶数番地：2n番地）から、ロングワードオペランドはロングワード境界（4バイト刻みの偶数番地：4n番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピンで設定してください。エンディアンは動的には変更できません。ただしビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち32ビットのロングワードでは、一番左のビット、ビット31が最上位ビットで、一番右のビット、ビット0が最下位ビットです。

メモリ上のデータ形式を図2.7に示します。

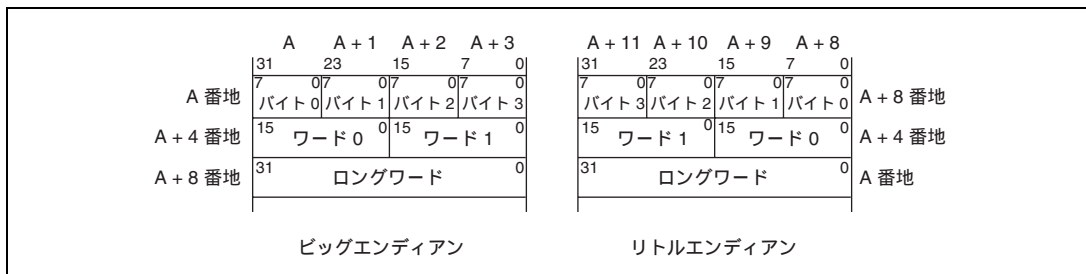


図 2.7 メモリ上のデータ形式

64ビットのデータ形式については図2.5を参照してください。

2.6 処理状態

処理状態には、大きく分けてリセット状態、命令実行状態、低消費電力状態の3種類があります。

(1) リセット状態

CPU がリセットされている状態です。リセット状態は、パワーオンリセット状態とマニュアルリセット状態に分類されます。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、一部の内蔵周辺モジュールのレジスタとCPU の内部状態とが初期化されます。詳細は、製品ハードウェアマニュアルの各章のレジスタ構成を参照してください。

(2) 命令実行状態

CPU が順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

(3) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモード、およびスタンバイモードの2つのモードがあります。低消費電力状態の詳細は、「第18章 リセット、低消費電力モード」を参照してください。

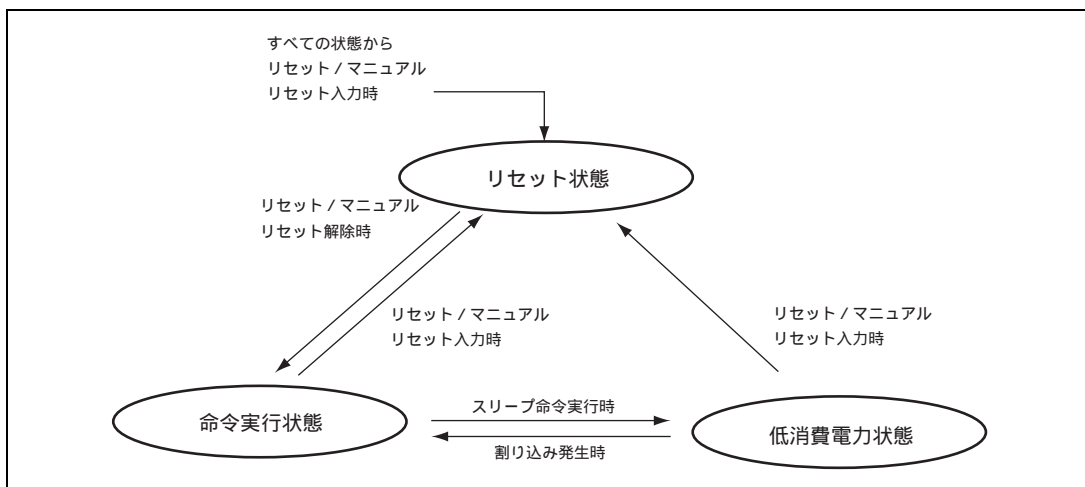


図 2.8 処理状態遷移図

2.7 使用上の注意事項

2.7.1 自己書き換えコードに対する注意事項

本 LSI は、処理を高速に行うために命令の先読みを行っています。このためメモリ上の命令列の書き換えを行った直後に当該命令を実行しようとする、すでに先読みされた更新前の命令が実行される可能性が高くなります。確実に更新された命令を実行するためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

(1) 書き換える命令がキャッシング不可能領域にある場合

```
SYNCO
```

```
ICBI @Rn
```

ICBI 命令の Rn で指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスで構いません。

(2) 書き換える命令列がキャッシング可能領域にある場合 (ライトスルーモード時)

```
SYNCO
```

```
ICBI @Rn
```

書き換えた命令列に対応する命令キャッシュの領域すべてを ICBI 命令で無効化してください。ICBI はライン単位で行います。1 ラインは 32 バイトです。

(3) 書き換える命令列がキャッシング可能領域にある場合 (コピーバックモード時)

```
OCBP @Rm または OCBWB @Rm
```

```
SYNCO
```

```
ICBI @Rn
```

書き換えた命令列に対応するオペランドキャッシュの領域すべてを OCBP 命令または OCBWB 命令で主記憶に書き戻しを行い、その後 ICBI 命令で対応する命令キャッシュ領域の無効化を行ってください。ICBI/OCBP/OCBWB はライン単位で行います。1 ラインは 32 バイトです。

【注】 自己書き換え：動的にメモリ上の命令列を書き換えながら実行する処理

3. 命令セット

本 LSI の命令セットは固定長 16 ビット命令で実現されます。本 LSI はバイト(8 ビット)、ワード(16 ビット)、ロングワード(32 ビット)、クワッドワード(64 ビット)のデータサイズでメモリにアクセスします。単精度浮動小数点データ(32 ビット)は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ(64 ビット)は、クワッドワードサイズでメモリとのやりとりが可能です。本 LSI がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

3.1 実行環境

(1) PC

PC はその命令自身の命令アドレスを示します。

(2) ロード/ストアアーキテクチャ

本 LSI は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアクセスを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

本 LSI の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

(4) 遅延スロット

遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

表 3.1 遅延分岐命令の実行順序

命令列			実行順序
BRA	TARGET	(遅延分岐命令)	BRA
ADD		(遅延スロット)	
:			ADD
:			
TARGET	target-inst	(分岐先命令)	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外を発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

(5) T ビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

```
ADD    #1, R0        ; T ビットは ADD 演算で変更されません。
CMP/EQ R1, R0        ; R0=R1 のとき T ビットは 1 にセットされる。
BT     TARGET        ; T ビット=1 (R0=R1) のとき TARGET に分岐する。
```

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

(6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。


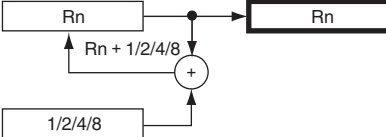
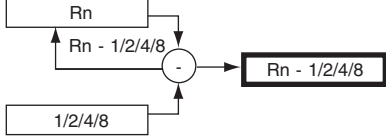
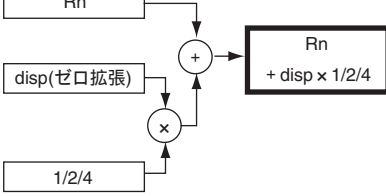
```
MOV.W   @(disp, PC), Rn
MOV.L   @(disp, PC), Rn
```

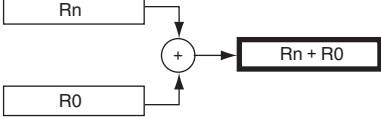
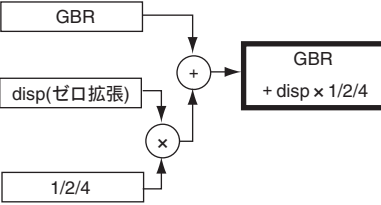
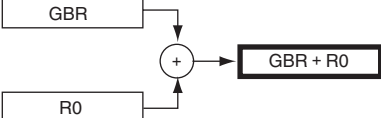
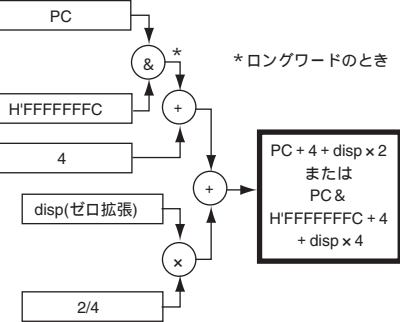
浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

3.2 アドレッシングモード

表 3.2 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

表 3.2 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	-
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn EA (EA: 実効アドレス)
ポストインクリメント レジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn EA 命令実行後 バイト: Rn + 1 Rn ワード: Rn + 2 Rn ロングワード: Rn + 4 Rn クワッドワード: Rn + 8 Rn
プリデクリメント レジスタ間接	@ - Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト: Rn - 1 Rn ワード: Rn - 2 Rn ロングワード: Rn - 4 Rn クワッドワード: Rn - 8 Rn Rn EA (計算後の Rn で命令実行)
ディスプレースメント 付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト: Rn + disp EA ワード: Rn + disp × 2 EA ロングワード: Rn + disp × 4 EA

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
インデックス付き レジスタ間接	@(R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$ EA
ディスプレースメント 付き GBR 間接	@(disp:8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ EA ワード : $GBR + disp \times 2$ EA ロングワード : $GBR + disp \times 4$ EA
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$ EA
ディスプレースメント 付き PC 相対	@(disp:8, PC)	<p>実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + 4 + disp \times 2$ EA ロングワード : $PC \& H'FFFFFFFC + 4 + disp \times EA$

アドレッシング モード	命令 フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
	disp:12	<p>実効アドレスは PC + 4 に 12 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	PC + 4 + disp × 2 Branch-Target
PC 相対	Rn	<p>実効アドレスは PC + 4 に Rn を加算した内容です。</p>	PC + 4 + Rn Branch-Target
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	-
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	-
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	-

【注】 下記のディスプレースメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

- @ (disp:4, Rn) ;ディスプレースメント付きレジスタ間接
- @ (disp:8, GBR) ;ディスプレースメント付き GBR 間接
- @ (disp:8, PC) ;ディスプレースメント付き PC 相対
- disp: 8, disp:12 ;PC 相対

3.3 命令セット

表 3.4 ~ 表 3.13 に示す SuperH 命令の説明に使用する表記を表 3.3 に示します。

表 3.3 命令リストの表記

項目	フォーマット	説明
命令二ーモニク	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント
演算の要約		、 : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積 : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n,>>n : n ビットシフト
命令コード	MSB LSB	mmmm : レジスタ番号 (Rm, FRm) nnnn : レジスタ番号 (Rn, FRn) 0000 : R0, FR0 0001 : R1, FR1 : 1111 : R15, FR15 mmm : レジスタ番号 (DRm, XDm, Rm_BANK) nnn : レジスタ番号 (DRn, XDn, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK mm : レジスタ番号(FVm) nn : レジスタ番号(FVn)

項目	フォーマット	説明
命令コード	MSB LSB	00 : FV0 01 : FV4 10 : FV8 11 : FV12 iii : イミディエイト値 dddd : ディスプレースメント
特権モード	-	「特権」と記載してある場合、特権モードでのみ実行可能です。
T ビット	命令実行後の T ビットの値	- : 変更なし
新規	-	「新規」と記載してある場合は、プロセッサバージョンレジスタ(PVR)の VER ビットの値が H'20 の SH-4A で新規に追加された命令です。

【注】 スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

表 3.4 固定小数点転送命令

命令	動作	命令コード	特権	T ビット	新規
MOV #imm,Rn	imm 符号拡張 Rn	1110nnnniiiiiiii	-	-	-
MOV.W @(disp*,PC),Rn	(disp × 2+PC+4) 符号拡張 Rn	1001nnnndddddddd	-	-	-
MOV.L @(disp*,PC),Rn	(disp × 4+PC&H'FFFFFFC+4) Rn	1101nnnndddddddd	-	-	-
MOV Rm,Rn	Rm Rn	0110nnnnmmmm0011	-	-	-
MOV.B Rm,@Rn	Rm (Rn)	0010nnnnmmmm0000	-	-	-
MOV.W Rm,@Rn	Rm (Rn)	0010nnnnmmmm0001	-	-	-
MOV.L Rm,@Rn	Rm (Rn)	0010nnnnmmmm0010	-	-	-
MOV.B @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0000	-	-	-
MOV.W @Rm,Rn	(Rm) 符号拡張 Rn	0110nnnnmmmm0001	-	-	-
MOV.L @Rm,Rn	(Rm) Rn	0110nnnnmmmm0010	-	-	-
MOV.B Rm,@-Rn	Rn-1 Rn, Rm (Rn)	0010nnnnmmmm0100	-	-	-
MOV.W Rm,@-Rn	Rn-2 Rn, Rm (Rn)	0010nnnnmmmm0101	-	-	-
MOV.L Rm,@-Rn	Rn-4 Rn, Rm (Rn)	0010nnnnmmmm0110	-	-	-
MOV.B @Rm+,Rn	(Rm) 符号拡張 Rn, Rm+1 Rm	0110nnnnmmmm0100	-	-	-
MOV.W @Rm+,Rn	(Rm) 符号拡張 Rn, Rm+2 Rm	0110nnnnmmmm0101	-	-	-
MOV.L @Rm+,Rn	(Rm) Rn, Rm+4 Rm	0110nnnnmmmm0110	-	-	-
MOV.B R0,@(disp*,Rn)	R0 (disp+Rn)	10000000nnnndddd	-	-	-
MOV.W R0,@(disp*,Rn)	R0 (disp × 2+Rn)	10000001nnnndddd	-	-	-
MOV.L Rm,@(disp*,Rn)	Rm (disp × 4+Rn)	0001nnnnmmmmddd	-	-	-
MOV.B @(disp*,Rm),R0	(disp+Rm) 符号拡張 R0	10000100mmmmddd	-	-	-
MOV.W @(disp*,Rm),R0	(disp × 2+Rm) 符号拡張 R0	10000101mmmmddd	-	-	-
MOV.L @(disp*,Rm),Rn	(disp × 4+Rm) Rn	0101nnnnmmmmddd	-	-	-
MOV.B Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0100	-	-	-
MOV.W Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0101	-	-	-
MOV.L Rm,@(R0,Rn)	Rm (R0+Rn)	0000nnnnmmmm0110	-	-	-
MOV.B @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1100	-	-	-
MOV.W @(R0,Rm),Rn	(R0+Rm) 符号拡張 Rn	0000nnnnmmmm1101	-	-	-
MOV.L @(R0,Rm),Rn	(R0+Rm) Rn	0000nnnnmmmm1110	-	-	-
MOV.B R0,@(disp*,GBR)	R0 (disp+GBR)	11000000ddddddd	-	-	-
MOV.W R0,@(disp*,GBR)	R0 (disp × 2+GBR)	11000001ddddddd	-	-	-
MOV.L R0,@(disp*,GBR)	R0 (disp × 4+GBR)	11000010ddddddd	-	-	-
MOV.B @(disp*,GBR),R0	(disp+GBR) 符号拡張 R0	11000100ddddddd	-	-	-
MOV.W @(disp*,GBR),R0	(disp × 2+GBR) 符号拡張 R0	11000101ddddddd	-	-	-
MOV.L @(disp*,GBR),R0	(disp × 4+GBR) R0	11000110ddddddd	-	-	-
MOVA @(disp*,PC),R0	disp × 4+PC&H'FFFFFFC+4 R0	11000111ddddddd	-	-	-

命令	動作	命令コード	特権	T ビット	新規
MOVCO.L R0,@Rn	LDST T if(T==1)R0 (Rn) 0 LDST	0000nnnn01110011	-	LDST	新規
MOVL.L @Rm,R0	1 LDST (Rm) R0 ただし、割り込み/例外発生時 0 LDST	0000mmmm01100011	-	-	新規
MOVUA.L @Rm,R0	(Rm) R0 非境界調整データのロード	0100mmmm10101001	-	-	新規
MOVUA.L @Rm+,R0	(Rm) R0,Rm+4 Rm 非境界調整データのロード	0100mmmm11101001	-	-	新規
MOVT Rn	T Rn	0000nnnn00101001	-	-	-
SWAP.B Rm,Rn	Rm 下位 2 バイトの 上下バイト交換 Rn	0110nnnnmmmm1000	-	-	-
SWAP.W Rm,Rn	Rm 上下ワード交換 Rn	0110nnnnmmmm1001	-	-	-
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット Rn	0010nnnnmmmm1101	-	-	-

【注】 * ルネサスのアセンブラでは、disp にスケールリング後 (× 1、× 2、× 4) の値を設定します。

表 3.5 算術演算命令

命令	動作	命令コード	特権	T ビット	新規
ADD Rm,Rn	Rn+Rm Rn	0011nnnnmmmm1100	-	-	-
ADD #imm,Rn	Rn+imm Rn	0111nnnniiiiiiii	-	-	-
ADDC Rm,Rn	Rn+Rm+T Rn,キャリ T	0011nnnnmmmm1110	-	キャリ	-
ADDV Rm,Rn	Rn+Rm Rn,オーバフロー T	0011nnnnmmmm1111	-	オ - バ フロ -	-
CMP/EQ #imm,R0	R0=imm のとき 1 T それ以外のとき 0 T	10001000iiiiiiii	-	比較 結果	-
CMP/EQ Rm,Rn	Rn=Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0000	-	比較 結果	-
CMP/HS Rm,Rn	無符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0010	-	比較 結果	-
CMP/GE Rm,Rn	有符号で Rn Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0011	-	比較 結果	-
CMP/HI Rm,Rn	無符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0110	-	比較 結果	-
CMP/GT Rm,Rn	有符号で Rn>Rm のとき 1 T それ以外のとき 0 T	0011nnnnmmmm0111	-	比較 結果	-
CMP/PZ Rn	Rn 0 のとき 1 T それ以外のとき 0 T	0100nnnn00010001	-	比較 結果	-

命令	動作	命令コード	特権	T ビット	新規
CMP/PL Rn	Rn>0 のとき 1 T それ以外るとき 0 T	0100nnnn00010101	-	比較 結果	-
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1 T それ以外るとき 0 T	0010nnnnmmmm1100	-	比較 結果	-
DIV1 Rm,Rn	1 ステップ除算(Rn ÷ Rm)	0011nnnnmmmm0100	-	計算 結果	-
DIV0S Rm,Rn	Rn の MSB Q, Rm の MSB M, M^Q T	0010nnnnmmmm0111	-	計算 結果	-
DIV0U	0 M/Q/T	000000000011001	-	0	-
DMULS.L Rm,Rn	符号付きで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm1101	-	-	-
DMULU.L Rm,Rn	符号なしで Rn × Rm MAC, 32 × 32 64 ビット	0011nnnnmmmm0101	-	-	-
DT Rn	Rn-1 Rn, Rn が 0 のとき 1 T Rn が 0 以外るとき 0 T	0100nnnn00010000	-	比較 結果	-
EXTS.B Rm,Rn	Rm をバイトから符号拡張 Rn	0110nnnnmmmm1110	-	-	-
EXTS.W Rm,Rn	Rm をワードから符号拡張 Rn	0110nnnnmmmm1111	-	-	-
EXTU.B Rm,Rn	Rm をバイトからゼロ拡張 Rn	0110nnnnmmmm1100	-	-	-
EXTU.W Rm,Rn	Rm をワードからゼロ拡張 Rn	0110nnnnmmmm1101	-	-	-
MAC.L @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+4 Rn, Rm+4 Rm 32 × 32 + 64 64 ビット	0000nnnnmmmm1111	-	-	-
MAC.W @Rm+,@Rn+	符号付きで (Rn) × (Rm)+MAC MAC Rn+2 Rn, Rm+2 Rm 16 × 16 + 64 64 ビット	0100nnnnmmmm1111	-	-	-
MUL.L Rm,Rn	Rn × Rm MACL 32 × 32 32 ビット	0000nnnnmmmm0111	-	-	-
MULS.W Rm,Rn	符号付きで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1111	-	-	-
MULU.W Rm,Rn	符号なしで Rn × Rm MACL 16 × 16 32 ビット	0010nnnnmmmm1110	-	-	-
NEG Rm,Rn	0-Rm Rn	0110nnnnmmmm1011	-	-	-
NEGC Rm,Rn	0-Rm-T Rn, ボロー T	0110nnnnmmmm1010	-	ボロー	-
SUB Rm,Rn	Rn-Rm Rn	0011nnnnmmmm1000	-	-	-
SUBC Rm,Rn	Rn-Rm-T Rn,ボロー T	0011nnnnmmmm1010	-	ボロー	-
SUBV Rm,Rn	Rn-Rm Rn,アンダフロー T	0011nnnnmmmm1011	-	アンダ フロー	-

表 3.6 論理演算命令

命令	動作	命令コード	特権	T ビット	新規
AND Rm,Rn	$Rn \& Rm$ Rn	0010nnnnmmmm1001	-	-	-
AND #imm,R0	$R0 \& imm$ R0	11001001iiiiiii	-	-	-
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$ (R0+GBR)	11001101iiiiiii	-	-	-
NOT Rm,Rn	$\sim Rm$ Rn	0110nnnnmmmm0111	-	-	-
OR Rm,Rn	$Rn Rm$ Rn	0010nnnnmmmm1011	-	-	-
OR #imm,R0	$R0 imm$ R0	11001011iiiiiii	-	-	-
OR.B #imm,@(R0,GBR)	$(R0+GBR) imm$ (R0+GBR)	11001111iiiiiii	-	-	-
TAS.B @Rn	(Rn)が0のとき 1 T それ以外とき 0 T 両方に対して 1 (Rn)のMSB	0100nnnn00011011	-	テスト 結果	-
TST Rm,Rn	$Rn \& Rm$,結果が0のとき 1 T それ以外のとき 0 T	0010nnnnmmmm1000	-	テスト 結果	-
TST #imm,R0	$R0 \& imm$,結果が0のとき 1 T それ以外のとき 0 T	11001000iiiiiii	-	テスト 結果	-
TST.B #imm,@(R0,GBR)	$(R0+GBR) \& imm$, 結果が0のとき 1 T それ以外のとき 0 T	11001100iiiiiii	-	テスト 結果	-
XOR Rm,Rn	$Rn \wedge Rm$ Rn	0010nnnnmmmm1010	-	-	-
XOR #imm,R0	$R0 \wedge imm$ R0	11001010iiiiiii	-	-	-
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm$ (R0+GBR)	11001110iiiiiii	-	-	-

表 3.7 シフト命令

命令		動作	命令コード	特権	T ビット	新規
ROTL	Rn	T Rn MSB	0100nnnn00000100	-	MSB	-
ROTR	Rn	LSB Rn T	0100nnnn00000101	-	LSB	-
ROTCL	Rn	T Rn T	0100nnnn00100100	-	MSB	-
ROTCR	Rn	T Rn T	0100nnnn00100101	-	LSB	-
SHAD	Rm, Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [MSB Rn]	0100nnnnmmmm1100	-	-	-
SHAL	Rn	T Rn 0	0100nnnn00100000	-	MSB	-
SHAR	Rn	MSB Rn T	0100nnnn00100001	-	LSB	-
SHLD	Rm, Rn	Rm 0 のとき Rn<<Rm Rn, Rm<0 のとき Rn>>Rm [0 Rn]	0100nnnnmmmm1101	-	-	-
SHLL	Rn	T Rn 0	0100nnnn00000000	-	MSB	-
SHLR	Rn	0 Rn T	0100nnnn00000001	-	LSB	-
SHLL2	Rn	Rn<<2 Rn	0100nnnn00001000	-	-	-
SHLR2	Rn	Rn>>2 Rn	0100nnnn00001001	-	-	-
SHLL8	Rn	Rn<<8 Rn	0100nnnn00011000	-	-	-
SHLR8	Rn	Rn>>8 Rn	0100nnnn00011001	-	-	-
SHLL16	Rn	Rn<<16 Rn	0100nnnn00101000	-	-	-
SHLR16	Rn	Rn>>16 Rn	0100nnnn00101001	-	-	-

表 3.8 分岐命令

命令	動作	命令コード	特権	T ビット	新規
BF label	T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	1000101111111111	-	-	-
BF/S label	遅延分岐,T=0 のとき disp × 2+PC+4 PC, T=1 のとき nop	1000111111111111	-	-	-
BT label	T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	1000100111111111	-	-	-
BT/S label	遅延分岐,T=1 のとき disp × 2+PC+4 PC, T=0 のとき nop	1000110111111111	-	-	-
BRA label	遅延分岐,disp × 2+PC+4 PC	1010111111111111	-	-	-
BRAF Rn	遅延分岐,Rn+PC+4 PC	0000nnnn00100011	-	-	-
BSR label	遅延分岐,PC+4 PR, disp × 2+PC+4 PC	1011111111111111	-	-	-
BSRF Rn	遅延分岐,PC+4 PR, Rn+PC+4 PC	0000nnnn00000011	-	-	-
JMP @Rn	遅延分岐,Rn PC	0100nnnn00101011	-	-	-
JSR @Rn	遅延分岐,PC+4 PR,Rn PC	0100nnnn00001011	-	-	-
RTS	遅延分岐,PR PC	0000000000001011	-	-	-

表 3.9 システム制御命令

命令	動作	命令コード	特権	T ビット	新規
CLRMAC	0 MACH,MACL	0000000000101000	-	-	-
CLRS	0 S	000000001001000	-	-	-
CLRT	0 T	0000000000001000	-	0	-
ICBI @Rn	論理アドレス Rn で示される命令 キャッシュを無効化	0000nnnn11100011	-	-	新規
LDC Rm,SR	Rm SR	0100mmmm00001110	特権	LSB	-
LDC Rm,GBR	Rm GBR	0100mmmm00011110	-	-	-
LDC Rm,VBR	Rm VBR	0100mmmm00101110	特権	-	-
LDC Rm,SGR	Rm SGR	0100mmmm00111010	特権	-	新規
LDC Rm,SSR	Rm SSR	0100mmmm00111110	特権	-	-
LDC Rm,SPC	Rm SPC	0100mmmm01001110	特権	-	-
LDC Rm,DBR	Rm DBR	0100mmmm11111010	特権	-	-
LDC Rm,Rn_BANK	Rm Rn_BANK(n=0~7)	0100mmmm1nnn1110	特権	-	-
LDC.L @Rm+,SR	(Rm) SR,Rm+4 Rm	0100mmmm00000111	特権	LSB	-
LDC.L @Rm+,GBR	(Rm) GBR,Rm+4 Rm	0100mmmm00010111	-	-	-

命令	動作	命令コード	特権	T ビット	新規
LDC.L @Rm+,VBR	(Rm) VBR,Rm+4 Rm	0100mmmm00100111	特権	-	-
LDC.L @Rm+,SGR	(Rm) SGR,Rm+4 Rm	0100mmmm00110110	特権	-	新規
LDC.L @Rm+,SSR	(Rm) SSR,Rm+4 Rm	0100mmmm00110111	特権	-	-
LDC.L @Rm+,SPC	(Rm) SPC,Rm+4 Rm	0100mmmm01000111	特権	-	-
LDC.L @Rm+,DBR	(Rm) DBR,Rm+4 Rm	0100mmmm11110110	特権	-	-
LDC.L @Rm+,Rn_BANK	(Rm) Rn_BANK,Rm+4 Rm	0100mmmm1nnn0111	特権	-	-
LDS Rm,MACH	Rm MACH	0100mmmm00001010	-	-	-
LDS Rm,MACL	Rm MACL	0100mmmm00011010	-	-	-
LDS Rm,PR	Rm PR	0100mmmm00101010	-	-	-
LDS.L @Rm+,MACH	(Rm) MACH,Rm+4 Rm	0100mmmm00000110	-	-	-
LDS.L @Rm+,MACL	(Rm) MACL,Rm+4 Rm	0100mmmm00010110	-	-	-
LDS.L @Rm+,PR	(Rm) PR,Rm+4 Rm	0100mmmm00100110	-	-	-
LDTLB	PTEH/PTEL TLB	000000000111000	特権	-	-
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせずに)R0 (Rn)	0000nnnn11000011	-	-	-
NOP	無操作	000000000001001	-	-	-
OCBI @Rn	オペランドキャッシュブロックを無効にする	0000nnnn10010011	-	-	-
OCBP @Rn	オペランドキャッシュブロックをライトバックし無効にする	0000nnnn10100011	-	-	-
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnnn10110011	-	-	-
PREF @Rn	(Rn) オペランドキャッシュ	0000nnnn10000011	-	-	-
PREFI @Rn	32 バイトの命令ブロックを命令キャッシュに読み込む	0000nnnn11010011	-	-	新規
RTE	遅延分岐,SSR/SPC SR/PC	000000000101011	特権	-	-
SETS	1 S	0000000001011000	-	-	-
SETT	1 T	0000000000011000	-	1	-
SLEEP	スリープもしくはスタンバイ	0000000000011011	特権	-	-
STC SR,Rn	SR Rn	0000nnnn00000010	特権	-	-
STC GBR,Rn	GBR Rn	0000nnnn00010010	-	-	-
STC VBR,Rn	VBR Rn	0000nnnn00100010	特権	-	-
STC SSR,Rn	SSR Rn	0000nnnn00110010	特権	-	-
STC SPC,Rn	SPC Rn	0000nnnn01000010	特権	-	-
STC SGR,Rn	SGR Rn	0000nnnn00111010	特権	-	-
STC DBR,Rn	DBR Rn	0000nnnn11111010	特権	-	-
STC Rm_BANK,Rn	Rm_BANK Rn(m=0 ~ 7)	0000nnnn1mmmm0010	特権	-	-

命令	動作	命令コード	特権	T ビット	新規
STC.L SR,@-Rn	Rn-4 Rn,SR (Rn)	0100nnnn00000011	特権	-	-
STC.L GBR,@-Rn	Rn-4 Rn,GBR (Rn)	0100nnnn00010011	-	-	-
STC.L VBR,@-Rn	Rn-4 Rn,VBR (Rn)	0100nnnn00100011	特権	-	-
STC.L SSR,@-Rn	Rn-4 Rn,SSR (Rn)	0100nnnn00110011	特権	-	-
STC.L SPC,@-Rn	Rn-4 Rn,SPC (Rn)	0100nnnn01000011	特権	-	-
STC.L SGR,@-Rn	Rn-4 Rn,SGR (Rn)	0100nnnn00110010	特権	-	-
STC.L DBR,@-Rn	Rn-4 Rn,DBR (Rn)	0100nnnn11110010	特権	-	-
STC.L Rm_BANK,@-Rn	Rn-4 Rn,Rm_BANK (Rn) (m=0~7)	0100nnnn1mmm0011	特権	-	-
STS MACH,Rn	MACH Rn	0000nnnn00001010	-	-	-
STS MACL,Rn	MACL Rn	0000nnnn00011010	-	-	-
STS PR,Rn	PR Rn	0000nnnn00101010	-	-	-
STS.L MACH,@-Rn	Rn-4 Rn,MACH (Rn)	0100nnnn00000010	-	-	-
STS.L MACL,@-Rn	Rn-4 Rn,MACL (Rn)	0100nnnn00010010	-	-	-
STS.L PR,@-Rn	Rn-4 Rn,PR (Rn)	0100nnnn00100010	-	-	-
SYNCO	本命令以前のデータ操作を完了する まで、本命令以降の命令を開始しない	0000000010101011	-	-	新規
TRAPA #imm	imm<<2 TRA,PC+2 SPC, SR SSR,R15 SGR, 1 SR.MD/BL/RB,H'160 EXPEVT, VBR+H'0100 PC	11000011iiiiiiii	-	-	-

表 3.10 浮動小数点単精度命令

命令	動作	命令コード	特権	T ビット	新規	
FLDI0	FRn	H'00000000 FRn	1111nnnn10001101	-	-	-
FLDI1	FRn	H'3F800000 FRn	1111nnnn10011101	-	-	-
FMOV	FRm,FRn	FRm FRn	1111nnnnmmmm1100	-	-	-
FMOV.S	@Rm,FRn	(Rm) FRn	1111nnnnmmmm1000	-	-	-
FMOV.S	@(R0,Rm),FRn	(R0+Rm) FRn	1111nnnnmmmm0110	-	-	-
FMOV.S	@Rm+,FRn	(Rm) FRn,Rm+4 Rm	1111nnnnmmmm1001	-	-	-
FMOV.S	FRm,@Rn	FRm (Rn)	1111nnnnmmmm1010	-	-	-
FMOV.S	FRm,@-Rn	Rn-4 Rn,FRm (Rn)	1111nnnnmmmm1011	-	-	-
FMOV.S	FRm,@(R0,Rn)	FRm (R0+Rn)	1111nnnnmmmm0111	-	-	-
FMOV	DRm,DRn	DRm DRn	1111nnnn0mmmm01100	-	-	-
FMOV	@Rm,DRn	(Rm) DRn	1111nnnn0mmmm1000	-	-	-
FMOV	@(R0,Rm),DRn	(R0+Rm) DRn	1111nnnn0mmmm0110	-	-	-
FMOV	@Rm+,DRn	(Rm) DRn,Rm+8 Rm	1111nnnn0mmmm1001	-	-	-
FMOV	DRm,@Rn	DRm (Rn)	1111nnnnmmmm01010	-	-	-
FMOV	DRm,@-Rn	Rn-8 Rn,DRm (Rn)	1111nnnnmmmm01011	-	-	-
FMOV	DRm,@(R0,Rn)	DRm (R0+Rn)	1111nnnnmmmm00111	-	-	-
FLDS	FRm,FPUL	FRm FPUL	1111mmmm00011101	-	-	-
FSTS	FPUL,FRn	FPUL FRn	1111nnnn00001101	-	-	-
FABS	FRn	FRn & H'7FFF FFFF FRn	1111nnnn01011101	-	-	-
FADD	FRm,FRn	FRn+FRm FRn	1111nnnnmmmm0000	-	-	-
FCMP/EQ	FRm,FRn	FRn=FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0100	-	比較 結果	-
FCMP/GT	FRm,FRn	FRn>FRm のとき 1 T それ以外のとき 0 T	1111nnnnmmmm0101	-	比較 結果	-
FDIV	FRm,FRn	FRn/FRm FRn	1111nnnnmmmm0011	-	-	-
FLOAT	FPUL,FRn	(float)FPUL FRn	1111nnnn00101101	-	-	-
FMAC	FR0,FRm,FRn	FR0 x FRm+FRn FRn	1111nnnnmmmm1110	-	-	-
FMUL	FRm,FRn	FRn x FRm FRn	1111nnnnmmmm0010	-	-	-
FNEG	FRn	FRn ^ H'80000000 FRn	1111nnnn01001101	-	-	-
FSQRT	FRn	sqrt(FRn) FRn*	1111nnnn01101101	-	-	-
FSUB	FRm,FRn	FRn - FRm FRn	1111nnnnmmmm0001	-	-	-
FTRC	FRm,FPUL	(long)FRm FPUL	1111mmmm00111101	-	-	-

【注】 * sqrt(FRn)はFRnの平方根を表します。

表 3.11 浮動小数点倍精度命令

命令	動作	命令コード	特権	T ビット	新規
FABS DRn	DRn&H'7FFF FFFF FFFF FFFF DRn	1111nnn001011101	-	-	-
FADD DRm,DRn	DRn+DRm DRn	1111nnn0mmm00000	-	-	-
FCMP/EQ DRm,DRn	DRn=DRm のとき 1 T それ以外のとき 0 T	1111nnn0mmm00100	-	比較 結果	-
FCMP/GT DRm,DRn	DRn>DRm のとき 1 T それ以外のとき 0 T	1111nnn0mmm00101	-	比較 結果	-
FDIV DRm,DRn	DRn/DRm DRn	1111nnn0mmm00011	-	-	-
FCNVDS DRm,FPUL	double_to_float(DRm) FPUL	1111mmm010111101	-	-	-
FCNVSD FPUL,DRn	float_to_double(FPUL) DRn	1111nnn010101101	-	-	-
FLOAT FPUL,DRn	(float)FPUL DRn	1111nnn000101101	-	-	-
FMUL DRm,DRn	DRn × DRm DRn	1111nnn0mmm00010	-	-	-
FNEG DRn	DRn ^ H'8000 0000 0000 0000 DRn	1111nnn001001101	-	-	-
FSQRT DRn	sqrt(DRn) DRn*	1111nnn001101101	-	-	-
FSUB DRm,DRn	DRn - DRm DRn	1111nnn0mmm00001	-	-	-
FTRC DRm,FPUL	(long)DRm FPUL	1111mmm000111101	-	-	-

【注】 * sqrt(DRn)は DRn の平方根を表します。

表 3.12 浮動小数点制御命令

命令	動作	命令コード	特権	T ビット	新規
LDS Rm,FPSCR	Rm FPSCR	0100mmmm01101010	-	-	-
LDS Rm,FPUL	Rm FPUL	0100mmmm01011010	-	-	-
LDS.L @Rm+,FPSCR	(Rm) FPSCR,Rm+4 Rm	0100mmmm01100110	-	-	-
LDS.L @Rm+,FPUL	(Rm) FPUL,Rm+4 Rm	0100mmmm01010110	-	-	-
STS FPSCR,Rn	FPSCR Rn	0000nnnn01101010	-	-	-
STS FPUL,Rn	FPUL Rn	0000nnnn01011010	-	-	-
STS.L FPSCR,@-Rn	Rn-4 Rn,FPSCR (Rn)	0100nnnn01100010	-	-	-
STS.L FPUL,@-Rn	Rn-4 Rn,FPUL (Rn)	0100nnnn01010010	-	-	-

表 3.13 浮動小数点グラフィック強化命令

命令	動作	命令コード	特権	T ビット	新規
FMOV DRm, XDn	DRm XDn	1111nnn1mmm01100	-	-	-
FMOV XDm, DRn	XDm DRn	1111nnn0mmm11100	-	-	-
FMOV XDm, XDn	XDm XDn	1111nnn1mmm11100	-	-	-
FMOV @Rm, XDn	(Rm) XDn	1111nnn1mmmm1000	-	-	-
FMOV @Rm+, XDn	(Rm) XDn, Rm+8 Rm	1111nnn1mmmm1001	-	-	-
FMOV @(R0, Rm), XDn	(R0+Rm) XDn	1111nnn1mmmm0110	-	-	-
FMOV XDm, @Rn	XDm (Rn)	1111nnnnmmmm11010	-	-	-
FMOV XDm, @-Rn	Rn-8 Rn, XDm (Rn)	1111nnnnmmmm11011	-	-	-
FMOV XDm, @(R0, Rn)	XDm (R0+Rn)	1111nnnnmmmm10111	-	-	-
FIPR FVm, FVn	inner_product(FVm, FVn) FR[n+3]	1111nnmm11101101	-	-	-
FTRV XMTRX, FVn	transform_vector(XMTRX, FVn) FVn	1111nn0111111101	-	-	-
FRCHG	~ FRSCR.FR FRSCR.FR	1111101111111101	-	-	-
FSCHG	~ FPSCR.SZ FPSCR.SZ	1111001111111101	-	-	-
FPCHG	~ FPSCR.PR FPSCR.PR	1111011111111101	-	-	新規
FSRRA FRn	1/sqrt(FRn) FRn*	1111nnnn01111101	-	-	新規
FSCA FPUL, DRn	sin(FPUL) FRn cos(FPUL) FR[n+1]	1111nnn011111101	-	-	新規

【注】 * sqrt(FRn)は FRn の平方根を表します。

4. パイプライン動作

本 LSI は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。

4.1 パイプライン

図 4.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I1、I2、I3)、デコード・レジスタリード (ID)、実行 (E1、E2、E3)、ライトバック (WB) の 8 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。

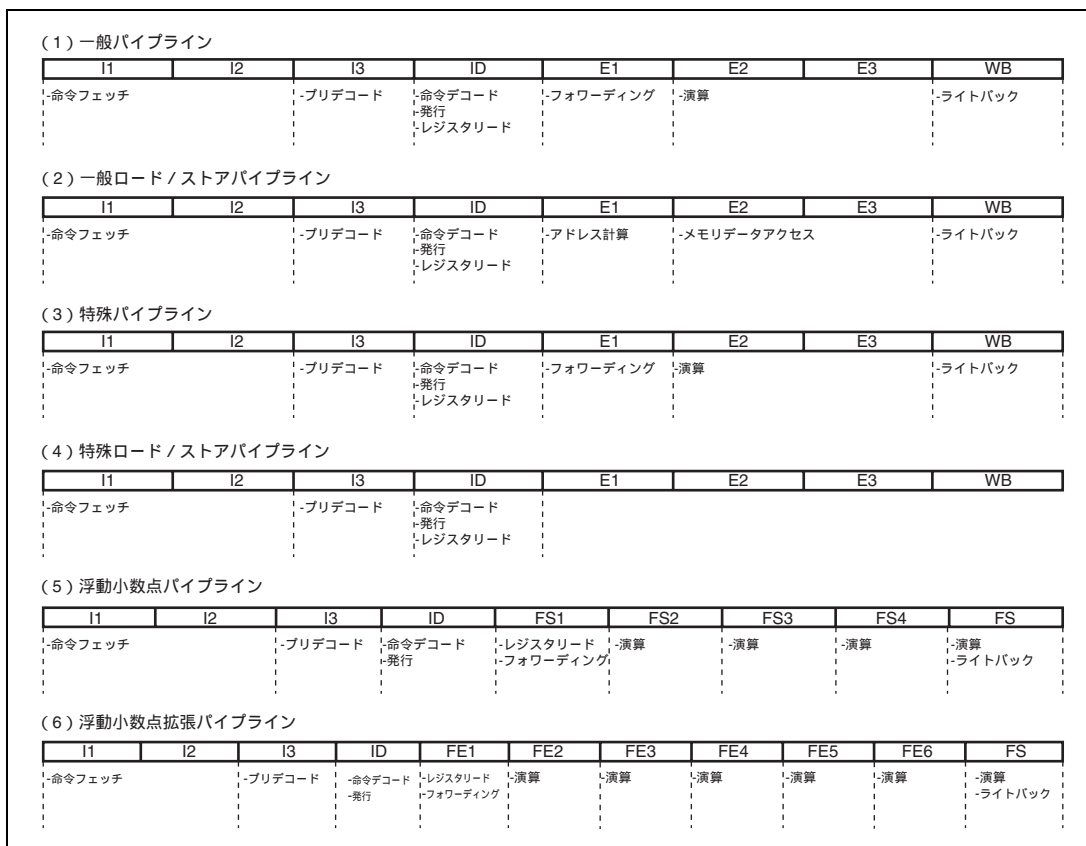


図 4.1 基本パイプライン

図 4.2 に命令実行パターンを示します。図 4.2 で使用する表記とその意味を以下に示します。

表 4.1 命令実行パターン表記説明

表 記	意 味							
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1</td><td>E2</td><td>E3</td><td>WB</td></tr></table>	E1	E2	E3	WB	CPU EX パイプ占有			
E1	E2	E3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>S1</td><td>S2</td><td>S3</td><td>WB</td></tr></table>	S1	S2	S3	WB	CPU LS パイプ占有 (メモリアクセスを伴う場合)			
S1	S2	S3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>s1</td><td>s2</td><td>s3</td><td>WB</td></tr></table>	s1	s2	s3	WB	CPU LS パイプ占有 (メモリアクセスを伴わない場合)			
s1	s2	s3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1/S1</td></tr></table>	E1/S1	CPU EX か LS の いずれか一方を占有						
E1/S1								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1S1</td><td>E1s1</td></tr></table>	E1S1	E1s1	CPU EX と LS の 両方を占有					
E1S1	E1s1							
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>M2</td><td>M3</td><td>MS</td></tr></table>	M2	M3	MS	CPU MULT 演算器占有				
M2	M3	MS						
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FE1</td><td>FE2</td><td>FE3</td><td>FE4</td><td>FE5</td><td>FE6</td><td>FS</td></tr></table>	FE1	FE2	FE3	FE4	FE5	FE6	FS	FPU-EX パイプ占有
FE1	FE2	FE3	FE4	FE5	FE6	FS		
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FS1</td><td>FS2</td><td>FS3</td><td>FS4</td><td>FS</td></tr></table>	FS1	FS2	FS3	FS4	FS	FPU-LS パイプ占有		
FS1	FS2	FS3	FS4	FS				
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>ID</td></tr></table>	ID	ID ステージをロック						
ID								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>└─</td></tr></table>	└─	CPU と FPU 両方のパイプを占有						
└─								

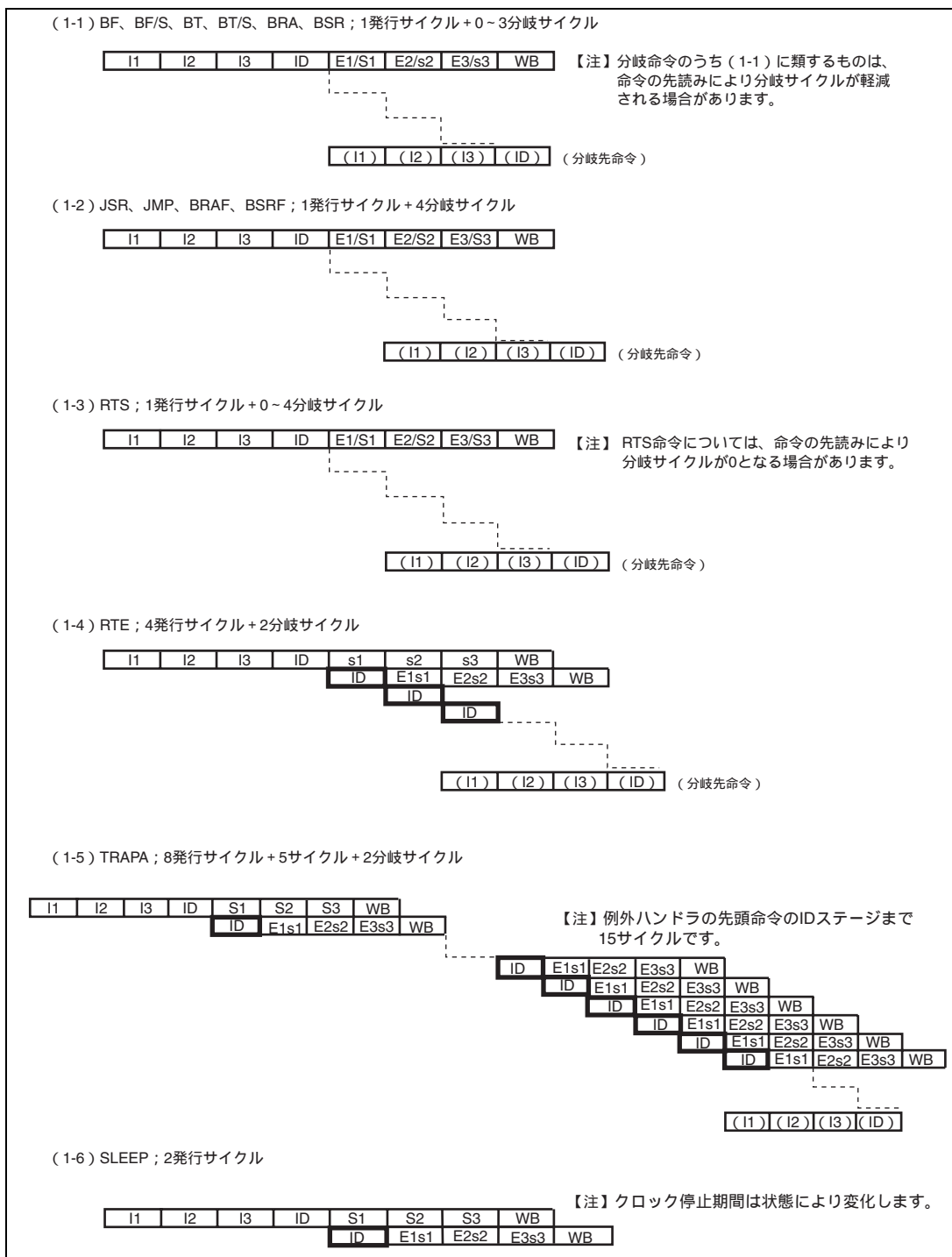


図 4.2 命令実行パターン(1)

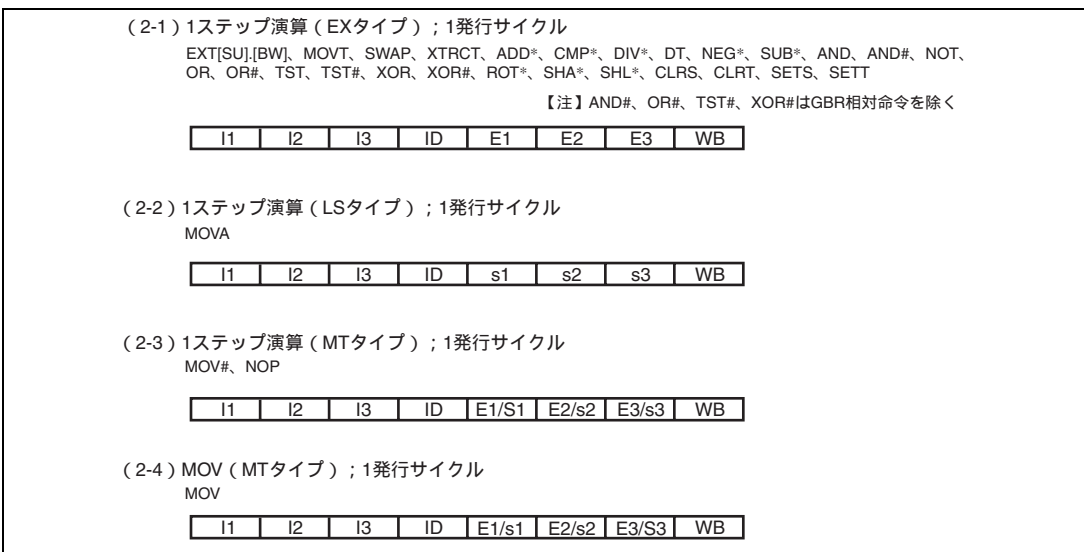


図 4.2 命令実行パターン (2)

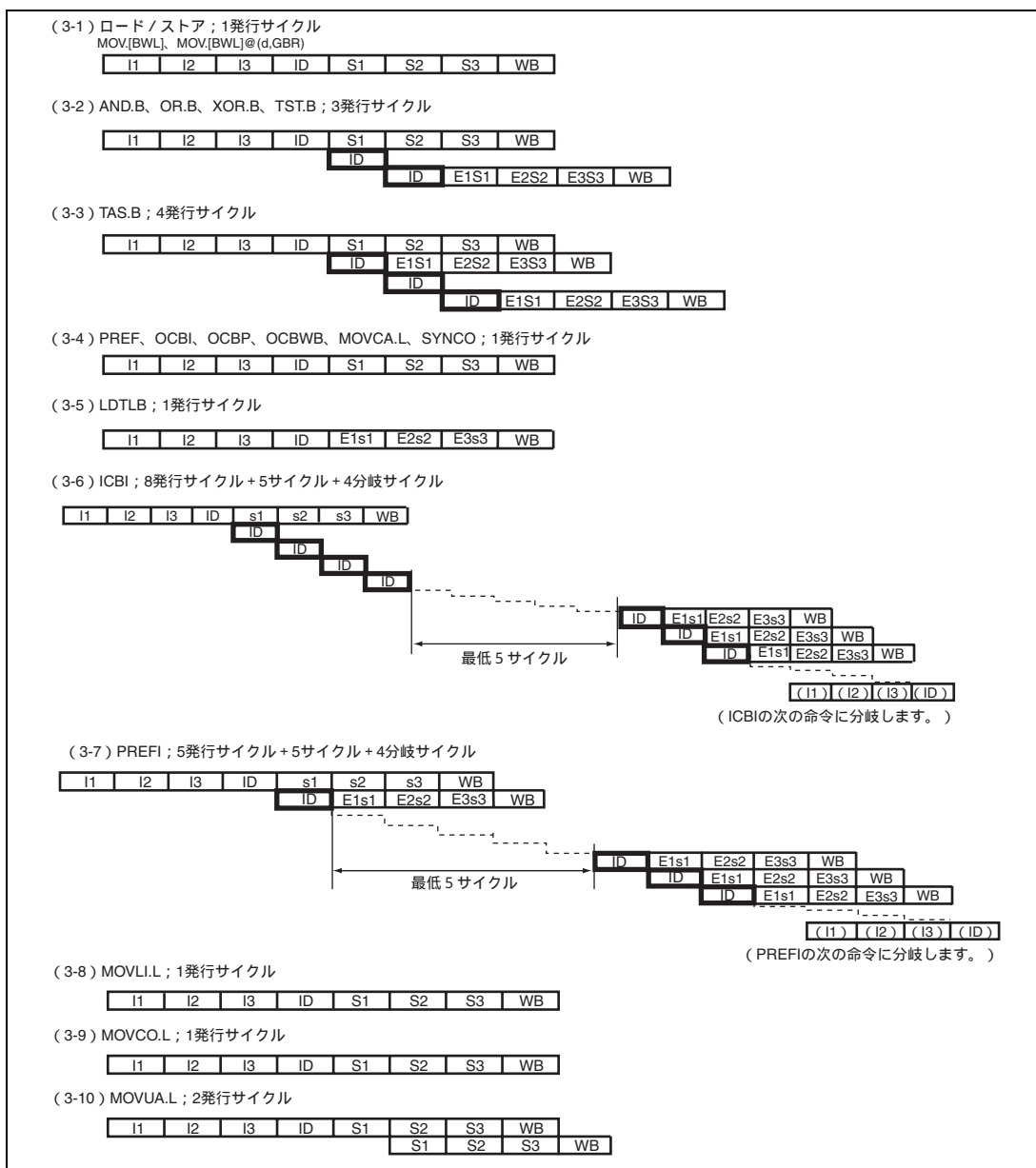


図 4.2 命令実行パターン (3)

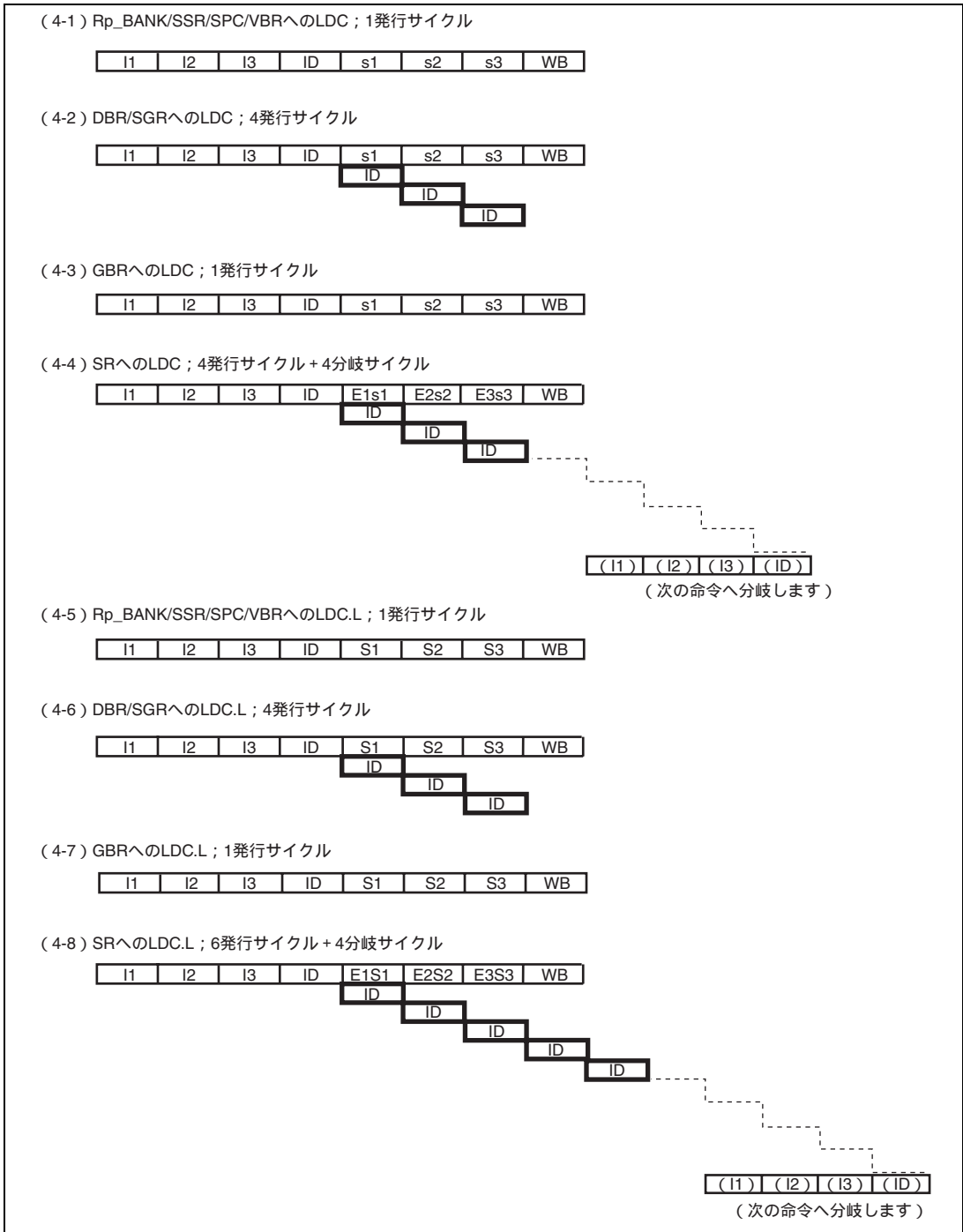


図 4.2 命令実行パターン (4)

(4-9) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-10) SRからのSTC ; 1発行サイクル

I1	I2	I3	ID	E1s1	E2s2	E3s3	WB
----	----	----	----	------	------	------	----

(4-11) DBR/GBR/Rp_BANK/SSR/SPC/VBR/SGRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-12) SRからのSTC.L ; 1発行サイクル

I1	I2	I3	ID	E1S1	E2S2	E3S3	WB
----	----	----	----	------	------	------	----

(4-13) PRへのLDS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-14) PRへのLDS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-15) PRからのSTS ; 1発行サイクル

I1	I2	I3	ID	s1	s2	s3	WB
----	----	----	----	----	----	----	----

(4-16) PRからのSTS.L ; 1発行サイクル

I1	I2	I3	ID	S1	S2	S3	WB
----	----	----	----	----	----	----	----

(4-17) BSRF、BSR、JSRの遅延スロット命令 (PRセット) ; 0発行サイクル

(I1)	(I2)	(I3)	(ID)	(??1)	(??2)	(??3)	(WB)
------	------	------	------	-------	-------	-------	------

【注】遅延スロット命令のE3ステージでPRの値が更新されます。
遅延スロットにPRからのSTS、STS.L命令が使用されている場合、更新されたPRの値が使用されます。

図 4.2 命令実行パターン (5)

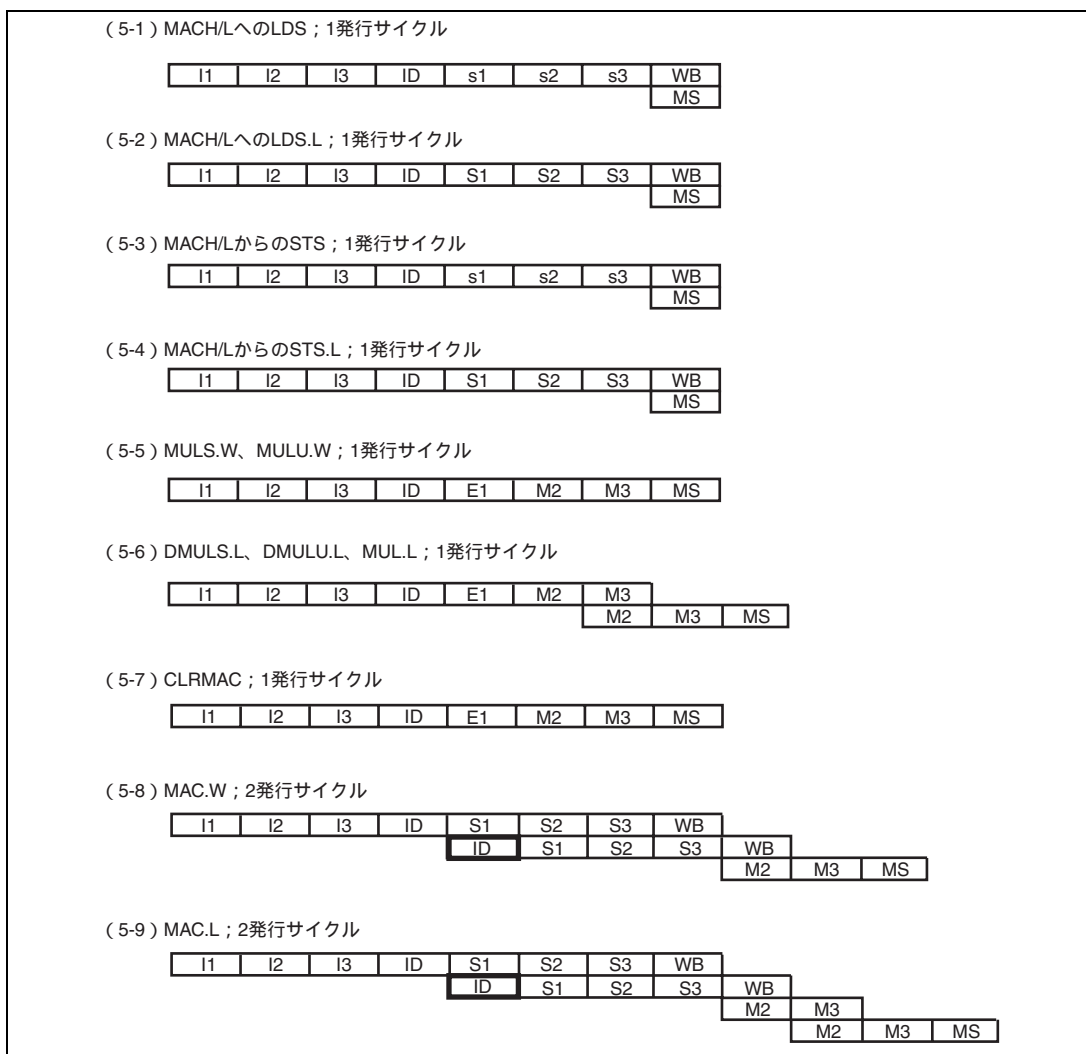


図 4.2 命令実行パターン (6)

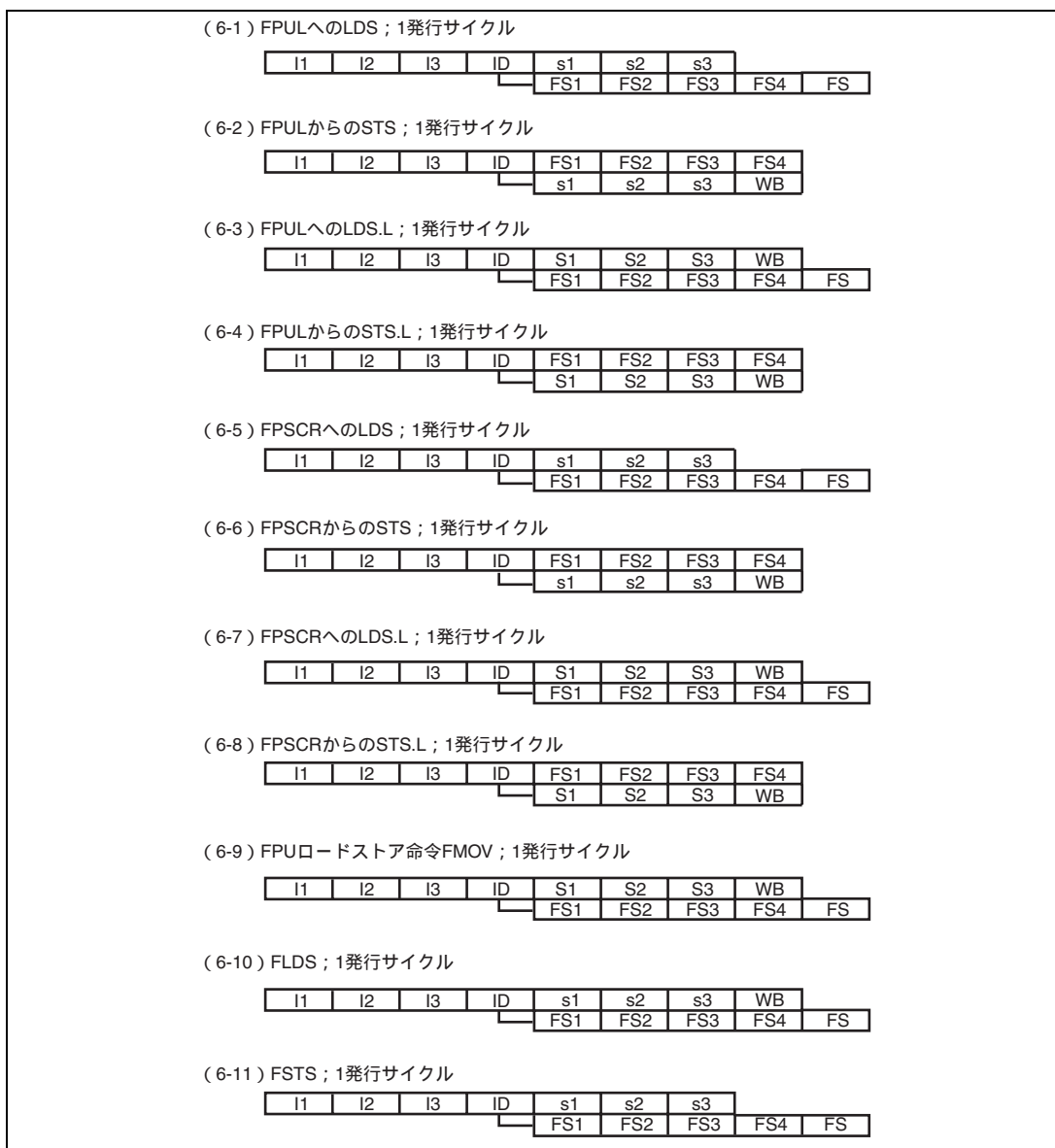


図 4.2 命令実行パターン (7)

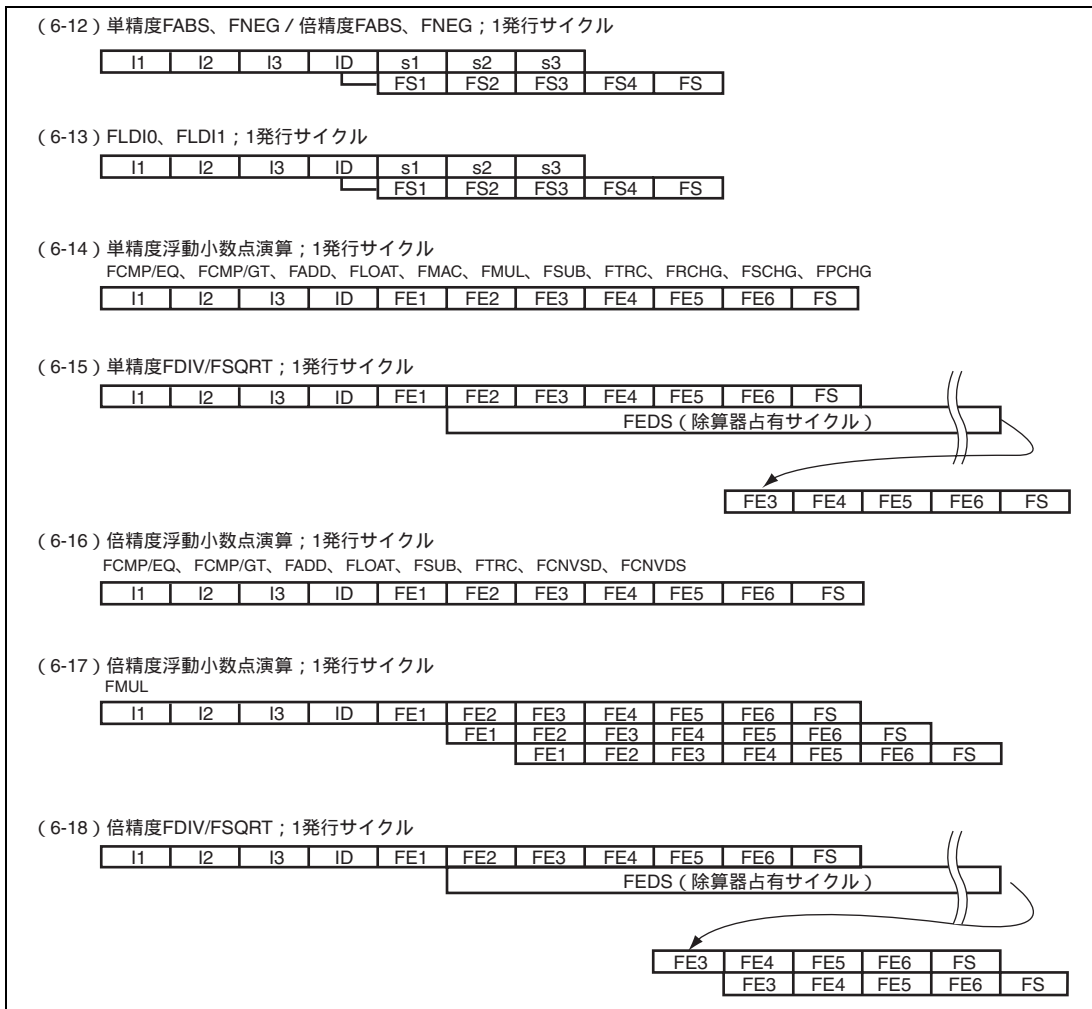


図 4.2 命令実行パターン (8)



図 4.2 命令実行パターン (9)

4.2 並列実行性

命令は利用する内部機能ブロックにより、表 4.2 に示すようなグループに分類されます。表 4.3 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 4.2 命令グループ

命令グループ	命 令			
EX	ADD	DT	ROTL	SHLR8
	ADDC	EXTS	ROTR	SHLR16
	ADDV	EXTU	SETS	SUB
	AND #imm,R0	MOVT	SETT	SUBC
	AND Rm,Rn	MUL.L	SHAD	SUBV
	CLRMAC	MULS.W	SHAL	SWAP
	CLRS	MULU.W	SHAR	TST #imm,R0
	CLRT	NEG	SHLD	TST Rm,Rn
	CMP	NEGC	SHLL	XOR #imm,R0
	DIV0S	NOT	SHLL2	XOR Rm,Rn
	DIV0U	OR #imm,R0	SHLL8	XTRCT
	DIV1	OR Rm,Rn	SHLL16	
	DMUS.L	ROTCL	SHLR	
	DMULU.L	ROTCR	SHLR2	
MT	MOV #imm,Rn	MOV Rm,Rn	NOP	
BR	BF	BRAF	BT	JSR
	BF/S	BSR	BT/S	RTS
	BRA	BSRF	JMP	
LS	FABS	FMOV.S FR,@adr	MOV.[BWL] @adr,R	STC CR2,Rn
	FNEG	FSTS	MOV.[BWL] R,@adr	STC.L CR2,@-Rn
	FLDI0	LDC Rm,CR1	MOVA	STS SR2,Rn
	FLDI1	LDC.L @Rm+,CR1	MOVCA.L	STS.L SR2,@-Rn
	FLDS	LDS Rm,SR1	MOVUA	STS SR1,Rn
	FMOV @adr,FR	LDS Rm,SR2	OCBI	STS.L SR1,@-Rn
	FMOV FR,@adr	LDS.L @adr,SR2	OCBP	
	FMOV FR,FR	LDS.L @Rm+,SR1	OCBWB	
	FMOV.S @adr,FR	LDS.L @Rm+,SR2	PREF	

命令 グループ	命 令			
FE	FADD	FDIV	FRCHG	FSCA
	FSUB	FIPR	FSCHG	FSRRA
	FCMP (S/D)	FLOAT	FSQRT	FPCHG
	FCNVDS	FMAC	FTRC	
	FCNVSD	FMUL	FTRV	
CO	AND.B #imm,@(R0,GBR)	LDC.L @Rm+,SR	PREFI	TRAPA
	ICBI	LDTLB	RTE	TST.B #imm,@(R0,GBR)
	LDC Rm,DBR	MAC.L	SLEEP	XOR.B #imm,@(R0,GBR)
	LDC Rm,SGR	MAC.W	STC SR,Rn	
	LDC Rm,SR	MOVCO	STC.L SR,@-Rn	
	LDC.L @Rm+,DBR	MOVLI	SYNCO	
	LDC.L @Rm+,SGR	OR.B #imm,@(R0,GBR)	TAS.B	

【記号説明】 R : Rm/Rn
 @adr : アドレス
 SR1 : MACH/MACL/PR
 SR2 : FPUL/FPSCR
 CR1 : GBR/Rp_BANK/SPC/SSR/VBR
 CR2 : CR1/DBR/SGR
 FR : FRm/FRn/DRm/DRn/XDm/XDn

2 命令の同時実行は次の場合に限りです。

1. addr (先行) と addr+2 (後行) の 2 命令で 1K バイト (最小のページサイズ) をまたがないこと
2. 表 4.3 (先行・後行掛け合わせ表) で同時実行可能である (となっている) こと
3. addr にある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2 にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2 命令とも有効であること

表 4.3 先行・後行掛け合わせ表

		先行命令 (addr)					
		EX	MT	BR	LS	FE	CO
後行命令 (addr+2)	EX	x					x
	MT						
	BR			x			
	LS				x		
	FE					x	
	CO						

4.3 発行レートと実行ステート

命令の発行レートと実行ステートを表 4.4 に示します。表 4.4 中の命令グループは表 4.2 における分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

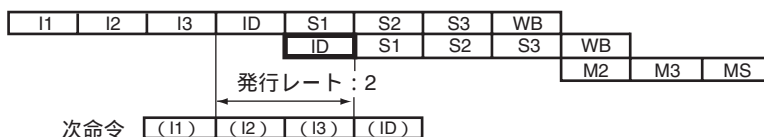
(1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。

(例) AND.B命令



(例) MAC.W命令

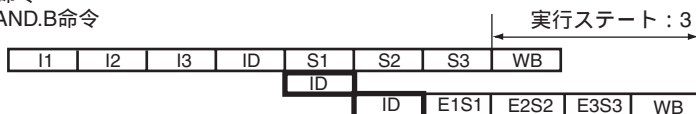


(2) 実行ステート

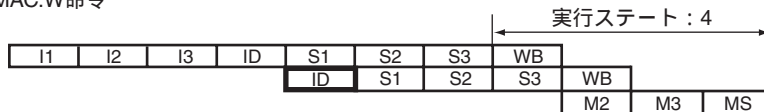
実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

・ CPU命令

(例) AND.B命令

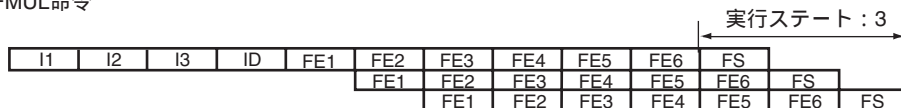


(例) MAC.W命令



・ FPU命令

(例) FMUL命令



(例) FDIV命令



表 4.4 発行レートと実行ステート

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp,GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp,GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
データ転送命令	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9
	42	MOVL.L	@Rm,R0	CO	1	1	3-8
	43	MOVUA.L	@Rm,R0	LS	2	2	3-10
	44	MOVUA.L	@Rm+,R0	LS	2	2	3-10
	45	MOVT	Rn	EX	1	1	2-1
	46	OCBI	@Rn	LS	1	1	3-4
	47	OCBP	@Rn	LS	1	1	3-4
	48	OCBWB	@Rn	LS	1	1	3-4
	49	PREF	@Rn	LS	1	1	3-4
	50	SWAP.B	Rm,Rn	EX	1	1	2-1
	51	SWAP.W	Rm,Rn	EX	1	1	2-1
	52	XTRCT	Rm,Rn	EX	1	1	2-1
	固定小数点算術命令	53	ADD	Rm,Rn	EX	1	1
54		ADD	#imm,Rn	EX	1	1	2-1
55		ADDC	Rm,Rn	EX	1	1	2-1
56		ADDV	Rm,Rn	EX	1	1	2-1
57		CMP/EQ	#imm,R0	EX	1	1	2-1
58		CMP/EQ	Rm,Rn	EX	1	1	2-1
59		CMP/GE	Rm,Rn	EX	1	1	2-1
60		CMP/GT	Rm,Rn	EX	1	1	2-1
61		CMP/HI	Rm,Rn	EX	1	1	2-1
62		CMP/HS	Rm,Rn	EX	1	1	2-1
63		CMP/PL	Rn	EX	1	1	2-1
64		CMP/PZ	Rn	EX	1	1	2-1
65		CMP/STR	Rm,Rn	EX	1	1	2-1
66		DIV0S	Rm,Rn	EX	1	1	2-1
67		DIV0U		EX	1	1	2-1
68		DIV1	Rm,Rn	EX	1	1	2-1
69		DMULS.L	Rm,Rn	EX	1	2	5-6
70		DMULU.L	Rm,Rn	EX	1	2	5-6
71		DT	Rn	EX	1	1	2-1
72		MAC.L	@Rm+,@Rn+	CO	2	5	5-9

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
固定小数点 算術命令	73	MAC.W	@Rm+, @Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6
	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
	81	SUBV	Rm,Rn	EX	1	1	2-1
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
シフト命令	96	ROTL	Rn	EX	1	1	2-1
	97	ROTR	Rn	EX	1	1	2-1
	98	ROTCL	Rn	EX	1	1	2-1
	99	ROTCR	Rn	EX	1	1	2-1
	100	SHAD	Rm,Rn	EX	1	1	2-1
	101	SHAL	Rn	EX	1	1	2-1
	102	SHAR	Rn	EX	1	1	2-1
	103	SHLD	Rm,Rn	EX	1	1	2-1
	104	SHLL	Rn	EX	1	1	2-1
	105	SHLL2	Rn	EX	1	1	2-1
	106	SHLL8	Rn	EX	1	1	2-1
	107	SHLL16	Rn	EX	1	1	2-1
	108	SHLR	Rn	EX	1	1	2-1
	109	SHLR2	Rn	EX	1	1	2-1

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
シフト命令	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1
分岐命令	112	BF	disp	BR	1+0~2	1	1-1
	113	BF/S	disp	BR	1+0~2	1	1-1
	114	BT	disp	BR	1+0~2	1	1-1
	115	BT/S	disp	BR	1+0~2	1	1-1
	116	BRA	disp	BR	1+0~2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0~2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
	122	RTS		BR	1+0~3	1	1-3
システム制御命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI	@Rn	CO	5+5+3	10	3-7
	131	SYNCO		CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
	139	LDC	Rm,Rp_BANK	LS	1	1	4-1
	140	LDC	Rm,SR	CO	4+3	4	4-4
	141	LDC	Rm,SSR	LS	1	1	4-1
	142	LDC	Rm,SPC	LS	1	1	4-1
143	LDC	Rm,VBR	LS	1	1	4-1	
144	LDC.L	@Rm+,DBR	CO	4	4	4-6	
145	LDC.L	@Rm+,SGR	CO	4	4	4-6	

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
システム制御命令	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	149	LDC.L	@Rm+,SSR	LS	1	1	4-5
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-13
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-14
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-10
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-11
	167	STC.L	SGR,@-Rn	LS	1	1	4-11
	168	STC.L	GBR,@-Rn	LS	1	1	4-11
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-11
	170	STC.L	SR,@-Rn	CO	1	1	4-12
	171	STC.L	SSR,@-Rn	LS	1	1	4-11
	172	STC.L	SPC,@-Rn	LS	1	1	4-11
	173	STC.L	VBR,@-Rn	LS	1	1	4-11
	174	STS	MACH,Rn	LS	1	1	5-3
	175	STS	MACL,Rn	LS	1	1	5-3
176	STS	PR,Rn	LS	1	1	4-15	
177	STS.L	MACH,@-Rn	LS	1	1	5-4	
178	STS.L	MACL,@-Rn	LS	1	1	5-4	
179	STS.L	PR,@-Rn	LS	1	1	4-16	
単精度浮動小数点命令	180	FLDI0	FRn	LS	1	1	6-13
	181	FLDI1	FRn	LS	1	1	6-13
	182	FMOV	FRm,FRn	LS	1	1	6-9

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン	
単精度 浮動小数点 命令	183	FMOV.S	@Rm,FRn	LS	1	1	6-9	
	184	FMOV.S	@Rm+,FRn	LS	1	1	6-9	
	185	FMOV.S	@(R0,Rm),FRn	LS	1	1	6-9	
	186	FMOV.S	FRm,@Rn	LS	1	1	6-9	
	187	FMOV.S	FRm,@-Rn	LS	1	1	6-9	
	188	FMOV.S	FRm,@(R0,Rn)	LS	1	1	6-9	
	189	FLDS	FRm,FPUL	LS	1	1	6-10	
	190	FSTS	FPUL,FRn	LS	1	1	6-11	
	191	FABS	FRn	LS	1	1	6-12	
	192	FADD	FRm,FRn	FE	1	1	6-14	
	193	FCMP/EQ	FRm,FRn	FE	1	1	6-14	
	194	FCMP/GT	FRm,FRn	FE	1	1	6-14	
	195	FDIV	FRm,FRn	FE	1	14	6-15	
	196	FLOAT	FPUL,FRn	FE	1	1	6-14	
	197	FMAC	FR0,FRm,FRn	FE	1	1	6-14	
	198	FMUL	FRm,FRn	FE	1	1	6-14	
	199	FNEG	FRn	LS	1	1	6-12	
	200	FSQRT	FRn	FE	1	14	6-15	
	201	FSUB	FRm,FRn	FE	1	1	6-14	
	202	FTRC	FRm,FPUL	FE	1	1	6-14	
	203	FMOV	DRm,DRn	LS	1	1	6-9	
	204	FMOV	@Rm,DRn	LS	1	1	6-9	
	205	FMOV	@Rm+,DRn	LS	1	1	6-9	
	206	FMOV	@(R0,Rm),DRn	LS	1	1	6-9	
	207	FMOV	DRm,@Rn	LS	1	1	6-9	
	208	FMOV	DRm,@-Rn	LS	1	1	6-9	
	209	FMOV	DRm,@(R0,Rn)	LS	1	1	6-9	
	倍精度 浮動小数点 命令	210	FABS	DRn	LS	1	1	6-12
		211	FADD	DRm,DRn	FE	1	1	6-16
212		FCMP/EQ	DRm,DRn	FE	1	1	6-16	
213		FCMP/GT	DRm,DRn	FE	1	1	6-16	
214		FCNVDS	DRm,FPUL	FE	1	1	6-16	
215		FCNVSD	FPUL,DRn	FE	1	1	6-16	
216		FDIV	DRm,DRn	FE	1	30	6-18	
217		FLOAT	FPUL,DRn	FE	1	1	6-16	

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
倍精度 浮動小数点 命令	218	FMUL	DRm,DRn	FE	1	3	6-17
	219	FNEG	DRn	LS	1	1	6-12
	220	FSQRT	DRn	FE	1	30	6-18
	221	FSUB	DRm,DRn	FE	1	1	6-16
	222	FTRC	DRm,FPUL	FE	1	1	6-16
FPU システム制御 命令	223	LDS	Rm,FPUL	LS	1	1	6-1
	224	LDS	Rm,FPSCR	LS	1	1	6-5
	225	LDS.L	@Rm+,FPUL	LS	1	1	6-3
	226	LDS.L	@Rm+,FPSCR	LS	1	1	6-7
	227	STS	FPUL,Rn	LS	1	1	6-2
	228	STS	FPSCR,Rn	LS	1	1	6-6
	229	STS.L	FPUL,@-Rn	LS	1	1	6-4
グラフィクス 強化命令	230	STS.L	FPSCR,@-Rn	LS	1	1	6-8
	231	FMOV	DRm,XDn	LS	1	1	6-9
	232	FMOV	XDm,DRn	LS	1	1	6-9
	233	FMOV	XDm,XDn	LS	1	1	6-9
	234	FMOV	@Rm,XDn	LS	1	1	6-9
	235	FMOV	@Rm+,XDn	LS	1	1	6-9
	236	FMOV	@(R0,Rm),XDn	LS	1	1	6-9
	237	FMOV	XDm,@Rn	LS	1	1	6-9
	238	FMOV	XDm,@-Rn	LS	1	1	6-9
	239	FMOV	XDm,@(R0,Rn)	LS	1	1	6-9
	240	FIPR	FVm,FVn	FE	1	1	6-19
	241	FRCHG		FE	1	1	6-14
	242	FSCHG		FE	1	1	6-14
	243	FPCHG		FE	1	1	6-14
244	FSRRA	FRn	FE	1	1	6-21	
245	FSCA	FPUL,DRn	FE	1	3	6-22	
246	FTRV	XMTRX,FVn	FE	1	4	6-20	

5. 例外処理

5.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。たとえば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

本 LSI の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

5.2 レジスタの説明

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32
非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004	H'1F2F 0004	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 5.2 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
TRA	不定	不定	保持	-	不定	不定	保持
EXPEVT	H'0000 0000	H'0000 0020	保持	-	H'0000 0000	H'0000 0000	保持
INTEVT	不定	不定	保持	-	不定	不定	保持
EXPMASK	H'0000 001F	H'0000 001F	保持	-	H'0000 001F	H'0000 001F	保持

5.2.1 TRAPA 例外レジスタ (TRA)

TRAPA 例外レジスタ (TRA) は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) が設定されるレジスタです。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
							TRACODE										
初期値 :	0	0	0	0	0	0										0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9~2	TRACODE	不定	R/W	TRAPA コード TRAPA 命令の 8 ビットイミディエイトデータが設定されます。
1、0	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

5.2.2 例外事象レジスタ (EXPEVT)

例外事象レジスタ (EXPEVT) には、12 ビットのリセットと一般例外事象による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					EXPCODE											
初期値 :	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
11~0	EXPCODE	H'000 または H'020	R/W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.3 割り込み事象レジスタ (INTEVT)

割り込み事象レジスタ (INTEVT) には、14 ビットの割り込み要求による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			INTCODE													
初期値 :	0	0														
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~0	INTCODE	不定	R/W	例外コード 割り込みの例外コードが設定されます。詳細は表 5.3 を参照してください。

5.2.4 非サポート検出例外レジスタ (EXPMASK)

EXPMASK レジスタは、下記 1.~3.に該当する機能が使用された場合に例外を発生および抑止することができます。この 1.~3.に該当する機能は、今後の SuperH シリーズでサポートされなくなる可能性があります。あらかじめ EXPMASK レジスタの例外発生機能を用いることで、ソフトウェアがこれらの機能を用いているかを調べることが可能となり、今後の SuperH シリーズで本機能が未サポートになった場合に容易にソフトウェアの移行を行うことが可能となります。

1. RTE命令、RTB命令の遅延スロットがNOP命令以外である場合
2. 分岐命令の遅延スロットがSLEEP命令である場合
3. IC/OCメモリ割り付け連想書き込みを実行した場合

非サポート検出例外レジスタ (EXPMASK) の値により、1.~2.はスロット不当命令例外、3.はデータアドレスエラー例外をそれぞれ発生させることができます。

EXPMASK レジスタの該当ビットに 1 を書き込むことにより例外の発生を抑止できますが、今後の互換性を維持するため、上記機能を使用しないプログラムを作成することを強く推奨します。

EXPMASK レジスタの更新は CPU のストア命令で行ってください。更新後一度レジスタを読み出した後、以下の操作のどちらかを実行してください。この操作をすることによって、更新後のレジスタ値で動作することが保証されます。

- RTE命令を実行
- 任意アドレス (キャッシング不可領域でも良い) に対するICBI命令を実行

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	MM CAW	-	-	BRDS SLP	RTE DS	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
4	MMCAW	1	R/W	メモリ割り付けキャッシュ連想ライト 0: メモリ割り付け連想書き込みを禁止します。(データアドレスエラー例外発生) 1: メモリ割り付け連想書き込みを許可します。
3, 2	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	BRDSSLP	1	R/W	遅延スロット SLEEP 命令 0: 遅延スロットにある SLEEP 命令を禁止します。 (SLEEP 命令をスロット不当命令とします) 1: 遅延スロットにある SLEEP 命令を許可します。
0	RTEDS	1	R/W	RTE 遅延スロット 0: RTE 命令の遅延スロットにある NOP 命令以外を禁止します。 (NOP 命令以外をスロット不当命令とします) 1: RTE 命令の遅延スロットにある NOP 命令以外を許可します。

5.3 例外処理の機能

5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、R15 の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「第 2 章 プログラミングモデル」を参照してください。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット (RB) が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ (EXPEVT) のビット11~0、または割り込み事象レジスタ (INTEVT) のビット13~0に書き込まれます。
7. CPUOPMのINTMUビットが1のとき、SRのIMASKが割り込み受付レベルに変化されます。
8. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。たとえば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておくで、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、ベクタアドレスはアドレス変換の対象とならない P1、P2 領域のアドレスを指定してください。

5.4 例外の種類と優先順位

表 5.3 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 5.3 例外一覧

例外区分	実行形態	例外	優先レベル	優先順位	例外遷移先		例外コード	
					ベクタベース	オフセット		
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	-	H'000	
		マニュアルリセット	1	2	H'A000 0000	-	H'020	
		H-UDI リセット	1	1	H'A000 0000	-	H'000	
		命令 TLB 多重ヒット例外	1	3	H'A000 0000	-	H'140	
		データ TLB 多重ヒット例外	1	4	H'A000 0000	-	H'140	
一般例外	再実行型	命令実行前ユーザブ레이크*	2	0	(VBR/DBR)	H'100/ -	H'1E0	
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0	
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040	
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0	
		一般不当命令例外	2	4	(VBR)	H'100	H'180	
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0	
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800	
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820	
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0	
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100	
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040	
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060	
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0	
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0	
		FPU 例外	2	8	(VBR)	H'100	H'120	
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080	
		完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
			命令実行後ユーザブ레이크*	2	10	(VBR/DBR)	H'100/ -	H'1E0
	割り込み	完了型	ノンマスカブル割り込み	3	-	(VBR)	H'600	H'1C0
一般割り込み要求			4	-	(VBR)	H'600	-	

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします (より小さい数値が、優先度が高くなります)。

例外遷移先 : リセットでは H'A000 0000、その他では (VBR + オフセット) へ制御が移ります。

例外コード : リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

【注】 * CBCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

5.5 例外フロー

5.5.1 例外フロー

図 5.1 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.1 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこの他にもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数回の例外が発生する場合の優先順位」を参照してください。

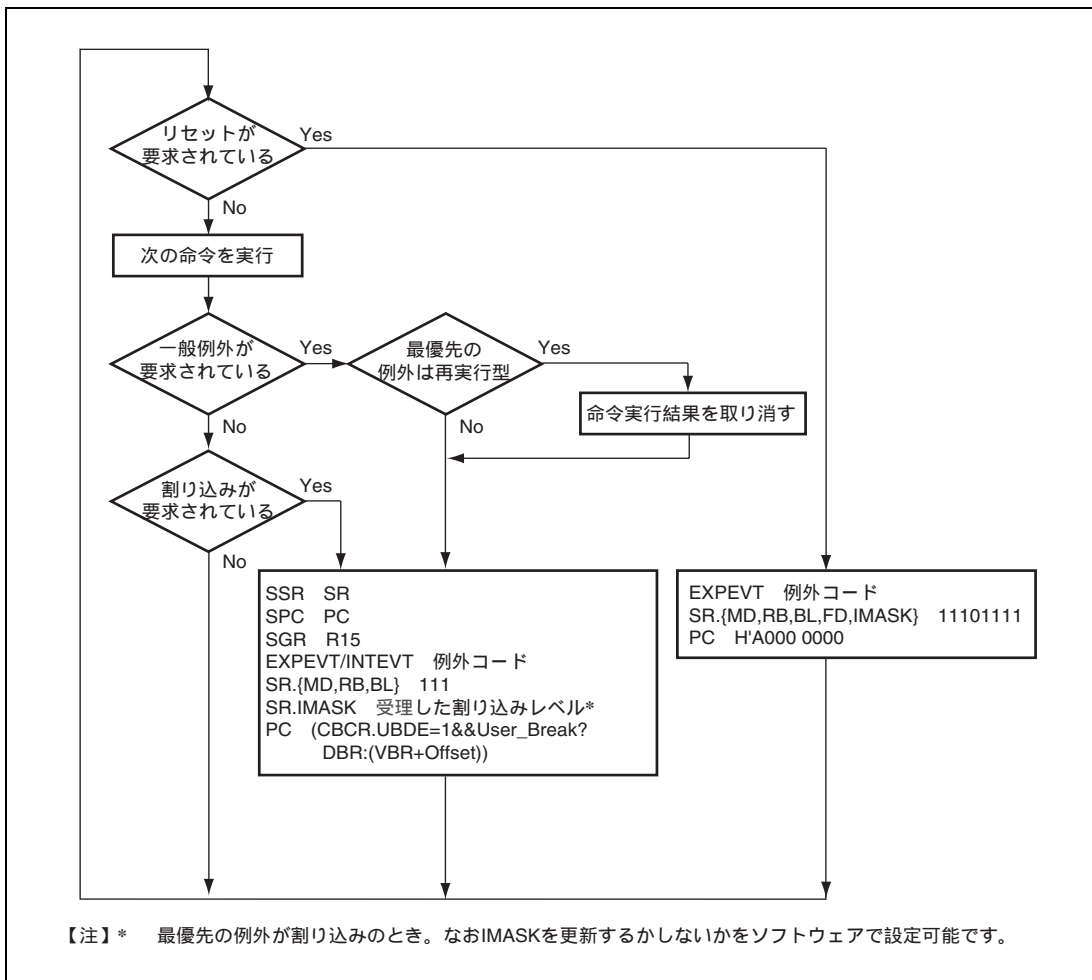


図 5.1 命令実行と例外処理

5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図5.2に示します。

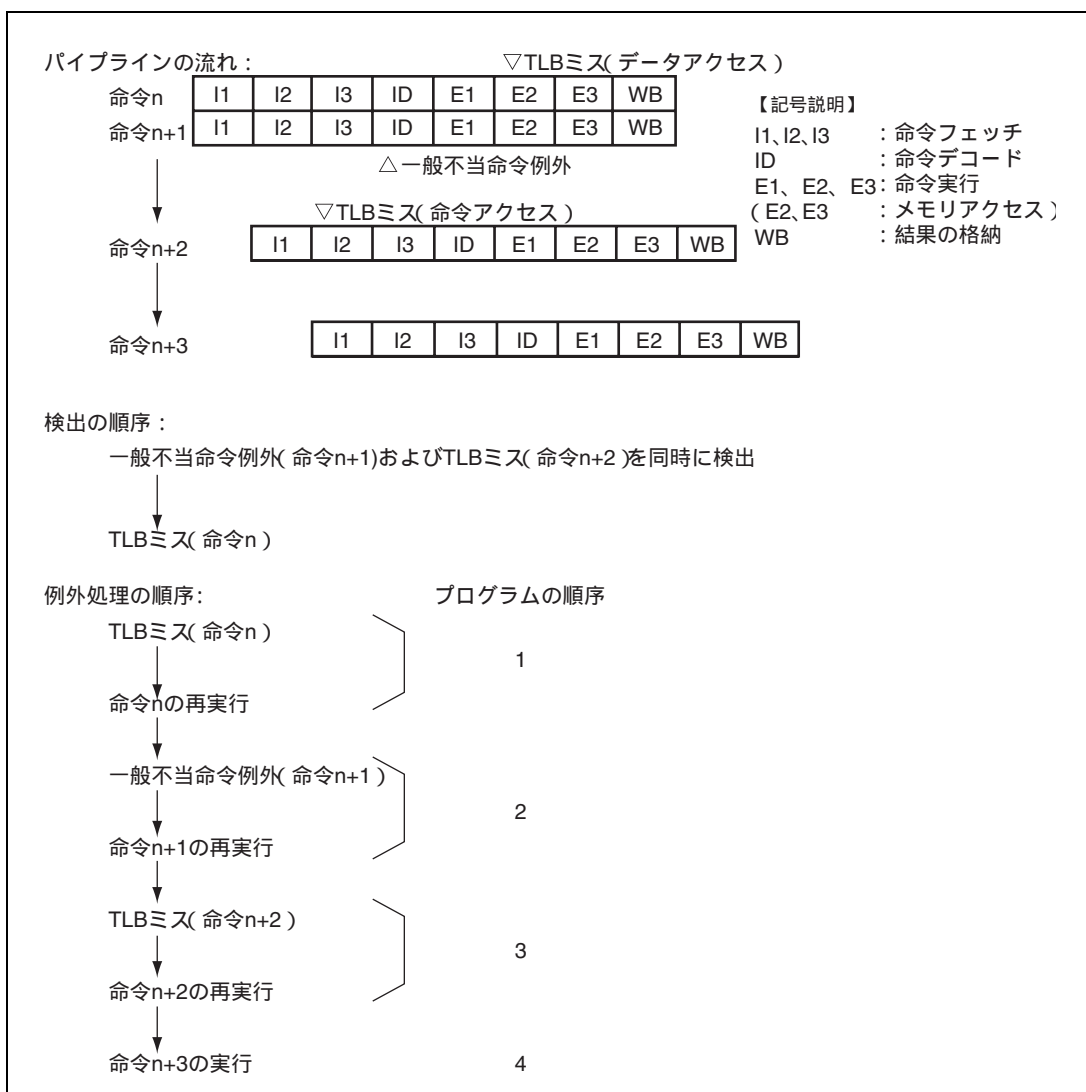


図 5.2 一般例外の受け付け順序の例

5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 49 章 ユーザブレイクコントローラ (UBC)」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスクابل割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

5.6.1 リセット

(1) パワーオンリセット

- 条件：
パワーオンリセット要求
- 動作：
EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

(2) マニュアルリセット

- 条件：
マニュアルリセット要求
- 動作：
EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ(H'A0000000)に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

(3) H-UDI リセット

- 要因：SDIR.TI[7:4]がB'0110（ネゲート）、またはB'0111（アサート）
- 遷移先アドレス：H'A000 0000
- 遷移時動作：
例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

(4) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：
本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31：10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。
例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。
CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

(5) データ TLB 多重ヒット例外

- 要因 : UTLBのアドレスが多重に一致
- 遷移先アドレス : H'A000 0000
- 遷移時動作 :

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

5.6.2 一般例外

(1) データ TLB ミス例外

- 要因 : UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス : VBR + H'0000 0400
- 遷移時動作 :

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = read_access ? H'00000040 : H'00000060;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000400;  
}
```


(2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

(3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD = 0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

Initial_write_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000080;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(4) データ TLB 保護違反例外

- 要因：アクセスが表5.4、表5.5に示すUTLBのプロテクション情報（PRビットあるいはEPRビット）に反する。

表 5.4 UTLB プロテクション情報（TLB 互換モードの場合）

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し / 書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し / 書き込み可	読み出し / 書き込み可

表 5.5 UTLB プロテクション情報（TLB 拡張モードの場合）

EPR[5]	特権モードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[4]	特権モードでの書き込みの可否
1	書き込み可
0	書き込み不可

EPR[2]	ユーザモードでの読み出しの可否
1	読み出し可
0	読み出し不可

EPR[1]	ユーザモードでの書き込みの可否
1	書き込み可
0	書き込み不可

- 遷移先アドレス : VBR + H'0000 0100
- 遷移時動作 :

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(5) 命令 TLB 保護違反例外

- 要因 : アクセスが表5.6、表5.7に示すITLBのプロテクション情報 (PRビット) に反する。

表 5.6 ITLB プロテクション情報 (TLB 互換モードの場合)

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

表 5.7 ITLB プロテクション情報 (TLB 拡張モードの場合)

EPR[5], EPR[3]	特権モードでの実行の可否
11, 01	実行可
10	命令フェッチは実行不可、ICBI の Rn アクセスは実行可
00	実行不可

EPR[2], EPR[0]	ユーザモードでの実行の可否
11, 01	実行可
10	命令フェッチは実行不可、ICBI の Rn アクセスは実行可
00	実行不可

- 遷移先アドレス : VBR + H'0000 0100
- 遷移時動作 :

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
ITLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(6) データアドレスエラー

• 要因 :

- ワードデータをワード境界以外 ($2n+1$) からアクセス
- ロングワードデータをロングワードデータ境界以外 ($4n+1$, $4n+2$, $4n+3$) からアクセス
- クワッドワードをクワッドワードデータ境界以外 ($8n+1$, $8n+2$, $8n+3$, $8n+4$, $8n+5$, $8n+6$, $8n+7$) からアクセス
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFへのアクセス
ただし、H'E500 0000 ~ H'E5FF FFFFは、ユーザモードからアクセスする設定が可能です。詳しくは「第7章 メモリマネジメントユニット (MMU)」および「第10章 内蔵メモリ」を参照してください。
- EXPMASKレジスタのMMCAWビットが0で、IC/OCメモリ割り付け連想書き込み

• 遷移先アドレス : VBR + H'0000 0100

• 遷移時動作 :

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```
Data_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

(7) 命令アドレスエラー

- 要因：

- ワード境界以外 ($2n + 1$) から命令フェッチ
- ユーザモードでの領域H'8000 0000 ~ H'FFFF FFFFから命令フェッチ

ただし、H'E500 0000 ~ H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「第10章 内蔵メモリ」を参照してください。

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス(32ビット)をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット(MMU)」を参照してください。

```
Instruction_address_error()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = H'000000E0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

(8) 無条件トラップ

- 要因：TRAPA命令の実行

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(9) 一般不当命令例外

- 要因：

- 遅延スロット以外にある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット以外にある特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP、

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```

General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(10) スロット不当命令例外

• 要因：

- 遅延スロットにある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、

LDC Rm,SR、LDC.L @Rm+,SR、ICBI、PREFI

- 遅延スロット内の特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

- EXPMASKレジスタのBRDSSLPビットが0で、遅延スロットにあるSLEEP命令を実行

- EXPMASKレジスタのRTEDSビットが0で、遅延スロットにあるNOP以外の命令を実行

• 遷移先アドレス：VBR + H'0000 0100

• 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```


(11) 一般 FPU 抑止例外

- 要因：遅延スロット以外にあるFPU命令*をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
General_fpu_disable_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000800;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

【注】 * FPU命令とは命令コードの最初の4ビットがFである命令(ただし、未定義命令H'FFFDを除く)と、FPUL、FPSCRに対するLDS、STS、LDS.L、STS.L命令です。

(12) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

(13) 命令実行前ユーザブレーク / 命令実行後ユーザブレーク

- 要因：ユーザブレークポイントコントローラに設定したブレーク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

命令実行後ブレークの場合、ブレークポイントを設定した命令の直後の命令のPCをSPCに退避します。命令実行前ブレークの場合、ブレークポイントを設定した命令のPCをSPCに退避します。

ブレーク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレークを設定した場合のPCについてなど、詳細は「第49章 ユーザブレークコントローラ(UBC)」を参照してください。

```

User_break_exception()
{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = (CBCR.UBDE==1 ? DBR : VBR + H'00000100);
}

```

(14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000120;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

5.6.3 割り込み

(1) NMI (ノンマスクابل割り込み)

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。詳細は「第13章 割り込みコントローラ (INTC)」を参照してください。

```
NMI ()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    If(cond)SR.IMASK = B'1111;
    PC = VBR + H'00000600;
}
```

(2) 一般割り込み要求

- 要因:

SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが0(命令の切れ目で受け付けます。)

- 遷移先アドレス: VBR + H'0000 0600

- 遷移時動作:

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。詳細は「第13章 割り込みコントローラ (INTC)」を参照してください。

```
Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000400 ~ H'00003FE0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = level_of_accepted_interrupt();
    PC = VBR + H'00000600;
}
```

5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

(1) メモリを2回アクセスする命令

MAC 命令やメモリ メモリ間論理演算命令、TAS 命令、MOVUA 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

(2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1)のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

5.7 注意事項

(1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

(2) SR.BL = 1 のときに例外または割り込みが発生した場合

1. 例外

ユーザブレイクを除く例外が発生した場合には例外が発生した命令のPCがSPCにセットされ、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SSRは不定値となります。

2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープまたはスタンバイ状態では、SRのBLビットが1であっても、割り込みを受け付けます。

(3) 例外発生時の SPC

1. 再実行型の例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

2. 完了型の例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

(4) RTE 命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレイクの受け付けは行われません。

(5) SRレジスタ値変更と例外の受け付け

1. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します*。完了型例外では次命令の実行後に例外が受け付けられませんが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

【注】 * SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

6. 浮動小数点ユニット (FPU)

6.1 概要

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 2つの非正規化数処理モード：0へのフラッシュと非正規化数の扱い
- 6つの例外要因：
FPUエラー、無効演算、0による除算、オーバーフロー、アンダフロー、不正確
- 包括命令：
単精度、倍精度、グラフィックサポート、システム制御

SR の FD ビットを 1 にセットすると、浮動小数点ユニット (FPU) は使用できなくなり、FPU 命令を実行しようとするとき FPU 抑止例外 (一般 FPU 抑止例外またはスロット FPU 抑止例外) が発生します。

6.2 データフォーマット

6.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号ビット (s)
- 指数フィールド (e)
- 小数フィールド (f)

本 LSI は図 6.1 と図 6.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

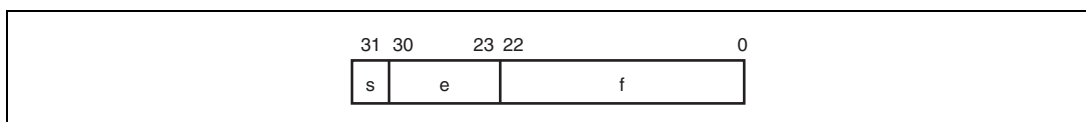


図 6.1 単精度浮動小数点フォーマット

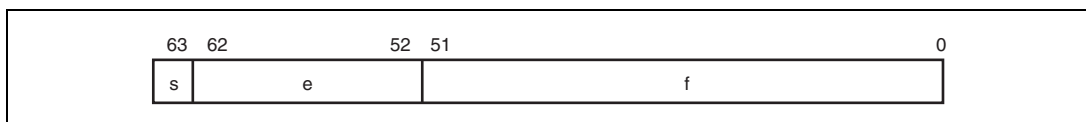


図 6.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{バイアス}$$

バイアスのない指数 E の範囲は、 $E_{\min} - 1$ から $E_{\max} + 1$ までです。 $E_{\min} - 1$ と $E_{\max} + 1$ の2つの値は次のように区別します。 $E_{\min} - 1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max} + 1$ は正または負の無限大または非数 (NaN) を表します。表 6.1 に浮動小数点のフォーマットとパラメータを示します。

表 6.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット (s)	1 ビット	1 ビット
指数フィールド (e)	8 ビット	11 ビット
小数フィールド (f)	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{max}	+127	+1023
E_{min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

- $E = E_{max} + 1$ かつ $f = 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。
- $E = E_{max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。
- $E_{min} \leq E \leq E_{max}$ の場合、 v は $(-1)^s 2^{E-E_{max}} (1.f)$ 「正規化数」です。
- $E = E_{min} - 1$ かつ $f \neq 0$ の場合、 v は $(-1)^s 2^{E_{min}-E} (0.f)$ 「非正規化数」です。
- $E = E_{min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の0」です。

表 6.2 に 16 進数による各タイプの範囲を示します。シグナリング非数とクワイアット非数については、「6.2.2 非数 (NaN)」を、非正規化数については「6.2.3 非正規化数」を参照してください。

表 6.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFFFFFF ~ H'FC00000	H'7FFFFFFF FFFFFFFF ~ H'FF80000 00000000
クワイアット非数	H'7FBFFFFF ~ H'7F800001	H'7FF7FFFF FFFFFFFF ~ H'7FF00000 00000001
正の無限大	H'7F800000	H'7FF00000 00000000
正の正規化数	H'7F7FFFFF ~ H'00800000	H'7FEFFFFF FFFFFFFF ~ H'00100000 00000000
正の非正規化数	H'007FFFFF ~ H'00000001	H'000FFFFF FFFFFFFF ~ H'00000000 00000001
正のゼロ	H'00000000	H'00000000 00000000
負のゼロ	H'80000000	H'80000000 00000000
負の非正規化数	H'80000001 ~ H'807FFFFF	H'80000000 00000001 ~ H'800FFFFF FFFFFFFF
負の正規化数	H'80800000 ~ H'FF7FFFFF	H'80100000 00000000 ~ H'FFEFFFFF FFFFFFFF
負の無限大	H'FF800000	H'FFF00000 00000000
クワイアット非数	H'FF800001 ~ H'FFBFFFFF	H'FFF00000 00000001 ~ H'FFF7FFFF FFFFFFFF
シグナリング非数	H'FFC00000 ~ H'FFFFFFF	H'FFF80000 00000000 ~ H'FFFFFFF FFFFFFFF

6.2.2 非数 (NaN)

図 6.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : don't care
- 指数フィールド: すべてのビットが1
- 小数フィールド: 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイエット非数 (qNaN) です。

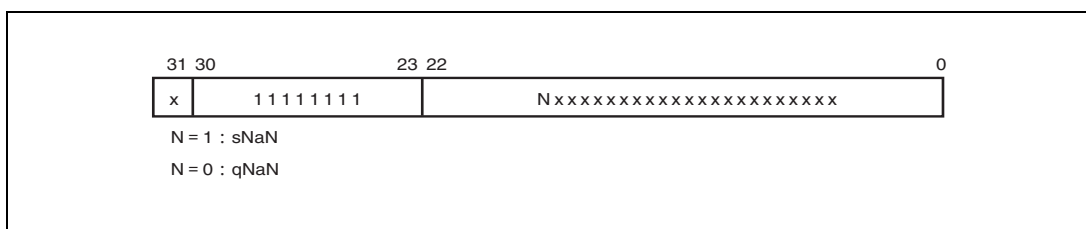


図 6.3 単精度の NaN ビットパターン

sNaN をレジスタ・レジスタ間の転送命令 FABS または FNEG 以外の浮動小数点値を生成する演算の入力データとすると、

- FPSCR レジスタの EN.V ビットが 0 の場合、演算結果 (出力) は qNaN になります。
- FPSCR レジスタの EN.V ビットが 1 の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

レジスタ・レジスタ間の転送命令には、下記の 3 命令があります。

- FMOV FRm,FRn
- FLDS FRm,FPUL
- FSTS FPUL,FRn

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタの EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として本 LSI が生成する qNaN の値は、常に次のような値になります。

- 単精度 qNaN : H'7FBFFFFF
- 倍精度 qNaN : H'7FF7FFFF FFFFFFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細については「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

6.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは0として、小数フィールドは0以外の値として表現します。

FPUのステータスレジスタFPSCRのDNビットが1の場合、非正規化数(ソースオペランドまたは演算結果)は、(レジスタ・レジスタ間の転送命令、FNEG、FABS以外の演算の)値を生成する浮動小数点演算で正のゼロまたは負のゼロになります。

FPSCRのDNビットが0の場合、非正規化数(ソースオペランドまたは演算結果)はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第11章 各命令の説明」を参照してください。

6.3 レジスタ

6.3.1 浮動小数点レジスタ

図 6.4 に浮動小数点レジスタの構成を示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0_BANK0 ~ FPR15_BANK0、FPR0_BANK1 ~ FPR15_BANK1 があります。また、この 32 本レジスタは FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。

(1) 浮動小数点レジスタ FPRn_BANKi (32 レジスタ)

FPR0_BANK0 ~ FPR15_BANK0

FPR0_BANK1 ~ FPR15_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0 ~ FR15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

FPSCR.FR = 1 のとき、FR0 ~ FR15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、

DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、

DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、

DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0 = {FR0, FR1, FR2, FR3}、

FV4 = {FR4, FR5, FR6, FR7}、

FV8 = {FR8, FR9, FR10, FR11}、

FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0_BANK1 ~ FPR15_BANK1 に割り当てられます。

FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0_BANK0 ~ FPR15_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XDi (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。

XD0 = {XF0, XF1}、XD2 = {XF2, XF3}、

XD4 = {XF4, XF5}、XD6 = {XF6, XF7}、

XD8 = {XF8, XF9}, XD10 = {XF10, XF11},
 XD12 = {XF12, XF13}, XD14 = {XF14, XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX = $\left[\begin{array}{cccc} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{array} \right]$

FPSCR.FR = 0				FPSCR.FR = 1												
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX										
		FR1	FPR1 BANK0													
	DR2	FR2	FPR2 BANK0		XF1		XD2									
		FR3	FPR3 BANK0													
	FV4	DR4	FR4				FPR4 BANK0	XF2	XD4							
			FR5				FPR5 BANK0									
	DR6	FR6	FPR6 BANK0				XF3		XD6							
		FR7	FPR7 BANK0													
	FV8	DR8	FR8						FPR8 BANK0	XF4	XD8					
			FR9						FPR9 BANK0							
	DR10	FR10	FPR10 BANK0						XF5		XD10					
		FR11	FPR11 BANK0													
	FV12	DR12	FR12								FPR12 BANK0	XF6	XD12			
			FR13								FPR13 BANK0					
	DR14	FR14	FPR14 BANK0								XF7		XD14			
		FR15	FPR15 BANK0													
XMTRX	XD0	XF0	FPR0 BANK1	FR0		DR0							FV0			
		XF1	FPR1 BANK1													
	XD2	XF2	FPR2 BANK1		FR1	DR2										
		XF3	FPR3 BANK1													
	XD4	XF4	FPR4 BANK1			FR2		DR4						FV4		
		XF5	FPR5 BANK1													
	XD6	XF6	FPR6 BANK1				FR3	DR6								
		XF7	FPR7 BANK1													
	XD8	XF8	FPR8 BANK1					FR4		DR8					FV8	
		XF9	FPR9 BANK1													
	XD10	XF10	FPR10 BANK1						FR5	DR10						
		XF11	FPR11 BANK1													
	XD12	XF12	FPR12 BANK1							FR6		DR12				FV12
		XF13	FPR13 BANK1													
	XD14	XF14	FPR14 BANK1								FR7	DR14				
		XF15	FPR15 BANK1													

図 6.4 浮動小数点レジスタ

6.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	FR	SZ	PR	DN	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	Cause				Enable (EN)				Flag				RM			
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
21	FR	0	R/W	浮動小数点レジスタバンク 0 : FPR0_BANK0 ~ FPR15_BANK0 は FR0 ~ FR15 に、FPR0_BANK1 ~ FPR15_BANK1 は XF0 ~ XF15 に割り当てられます。 1 : FPR0_BANK0 ~ FPR15_BANK0 は XF0 ~ XF15 に、FPR0_BANK1 ~ FPR15_BANK1 は FR0 ~ FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0 : FMOV 命令のデータサイズは 32 ビットです。 1 : FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 6.5 を参照してください。
19	PR	0	R/W	精度モード 0 : 浮動小数点命令を単精度演算として実行します。 1 : 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。 PR ビットおよび SZ ビットとエンディアンとの関係については、図 6.5 を参照してください。
18	DN	1	R/W	非正規化モード 0 : 非正規化数を非正規化数として扱います。 1 : 非正規化数を 0 として扱います。

ビット	ビット名	初期値	R/W	説明
17~12	Cause	000000	R/W	FPU 例外要因フィールド
11~7	Enable (EN)	00000	R/W	FPU 例外イネーブルフィールド
6~2	Flag	00000	R/W	FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 6.3 を参照してください。
1、0	R	01	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ (設定禁止) 11 : リザーブ (設定禁止)

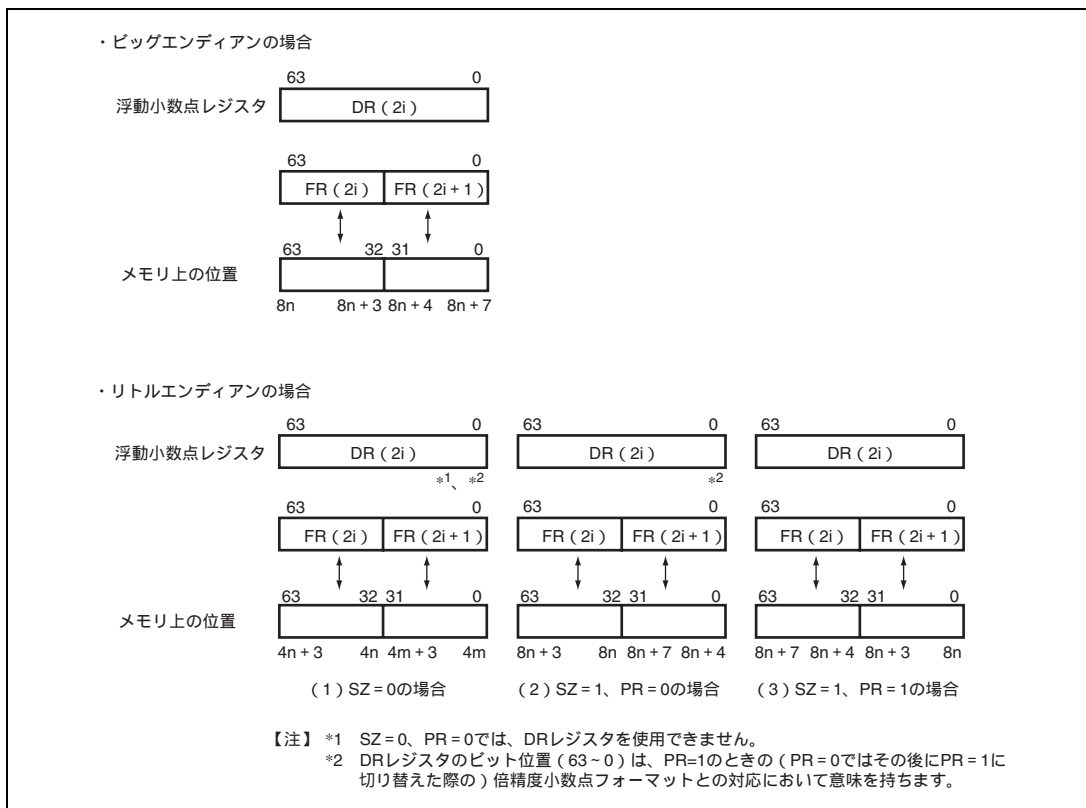


図 6.5 SZ ビットとエンディアンの関係

表 6.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー (O)	アンダ フロー (U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

6.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。FPUL レジスタは 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 (LDS 命令) FPUL (単精度 FLOAT 命令) FR1

6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

RM=00 : 近傍への丸め

RM=01 : 0 方向への丸め

(1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}} (2 \cdot 2^{-p})$ 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも絶対値が大きい場合、丸め前と同じ符号の表現可能な最大絶対値の数になります。

6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

(1) 一般 FPU 抑止 / スロット FPU 抑止例外

SR.FD = 1 のときに FPU 命令を実行すると発生します。FPU 命令が遅延スロット以外にある場合は一般 FPU 抑止例外が、FPU 命令が遅延スロットにある場合はスロット FPU 抑止例外が発生します。

(2) FPU 例外

例外要因は次のとおりです。

- FPUエラー (E) :
FPSCR.DN = 0かつ非正規化数の入力時
- 無効演算 (V) :
NaN入力のような無効な演算の場合
- 0による除算 (Z) :
除数0による除算
- オーバフロー (O) :
演算結果がオーバーフローする場合
- アンダフロー (U) :
演算結果がアンダフローする場合
- 不正確例外 (I) :
丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

(3) FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) :
FPSCR.DN = 0かつ非正規化数を扱えない命令への非正規化数の入力時
- 無効演算 (V)
: FPSCR.EN.V = 1かつ (命令=FTRVまたは無効演算) の場合
- 0による除算 (Z)
: FPSCR.EN.Z = 1かつ除数0による除算またはFSRRAの入力が0の場合
- オーバフロー (O)
: FPSCR.EN.O = 1かつ演算結果がオーバフローする可能性のある場合
- アンダフロー (U)
: FPSCR.EN.U = 1かつ演算結果がアンダフローする可能性のある場合
- 不正確例外 (I)
: FPSCR.EN.I = 1かつ演算結果が不正確になる可能性のある命令

FPU 例外が発生する場合の詳細については、「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外で FPU 例外要因が発生すると、V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) :
結果としてqNaNを生成します。
- 0による除算 (Z) :
丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :
0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) :
FPSCR.DN = 0のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き0を生成します。
FPSCR.DN = 1のとき、丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) :
不正確な結果を生成します。

6.6 グラフィックサポート機能

本 LSI は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

6.6.1 ジオメトリック演算命令

ジオメトリック演算命令は最小のハードウェアで高速演算を可能とするため、本 LSI は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\text{最大誤差} = \text{MAX} (\text{各乗算結果} \times 2^{-\text{MIN} (\text{乗数の有効数字桁数} - 1, \text{被乗数の有効数字桁数} - 1) }) + \text{MAX} (\text{結果値} \times 2^{-23}, 2^{-149})$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23 (小数部のリーディングゼロの桁数) となります。将来の SuperH シリーズでの演算誤差は保証しますが、異なるプロセッサコア間の同一の演算結果は保証しません。

(1) FIPR FVm, FVn (m, n : 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 内積 (m n) :
一般的に、この演算はポリゴン表面の輝度や表面 / 裏面を判定するために使用されます。
- 各要素の平方和 (m=n) :
一般的に、この演算はベクトルの長さを得るために使用されます。

FIPR 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。

(2) FTRV XMTRX, FVn (n : 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4) :
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度 + 平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、本 LSI は 4次元演算をサポートしています。
- 行列 (4×4) × 行列 (4×4) :
この演算を行うためには、FTRV命令を4回実行する必要があります。

FIRV 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべての

データタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。

(3) FRCHG

この命令はバンクレジスタを変更します。例えば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用する方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4~5 サイクルを費やします。FRCHG 命令では FPSCR.FR ビットの変更を 1 サイクルで行うことができます。

6.6.2 ペア単精度データ転送

強力なジオメトリック演算命令に加えて、本 LSI は高速データ転送命令をサポートしています。

FPSCR.SZ=1 のとき、ペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn (m, n : 0, 2, 4, 6, 8, 10, 12, 14)
- FMOV DRm/XDm, @Rn (m : 0, 2, 4, 6, 8, 10, 12, 14, n : 0~15)

これらの命令により、2つの単精度 (2×32ビット) データを転送することができます。つまり、これらの命令の転送性能が2倍となります。

- FSCHG

この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うが行わないかを高速に切り換えることができます。

7. メモリマネジメントユニット (MMU)

本 LSI は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットあるいは 32 ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、本 LSI に内蔵されたメモリマネジメントユニット (MMU : Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB : Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

本 LSI は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式です。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

本 LSI の MMU ではいくつかの動作モードがあります。物理アドレスのマッピング範囲に関して、29 ビットアドレスモードと 32 ビットアドレス拡張モードがあります。MMU のフラグ機能に関して、TLB 互換モード (ページサイズ 4 種類、保護ビット 4 ビット) と TLB 拡張モード (ページサイズ 8 種類、保護ビット 6 ビット) があります。

29 ビットアドレスモードと 32 ビットアドレス拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (PASCR レジスタの SE ビット) で行います。

TLB 互換モードと TLB 拡張モードの選択は、ソフトウェアからの制御レジスタ設定 (MMUCR レジスタの ME ビット) で行います。物理アドレスのマッピング範囲に関しては、「7.1 MMU の概要」～「7.7 メモリ割り付け TLB の構成」を通じて、29 ビットアドレスモードで説明しその後「7.8 32 ビットアドレス拡張モード」で、32 ビットアドレス拡張モードでの差分機能をまとめて説明します。

MMU のフラグ機能に関しては、TLB 互換モード、TLB 拡張モードの両方を並列して説明します。

7.1 MMU の概要

MMU とは物理メモリを有効に利用するために考え出された機能です。図 7.1 (0) に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 7.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行している場合は、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 7.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていけばよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは 2 次記憶などの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 7.1 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 7.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていないか、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、本 LSI では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

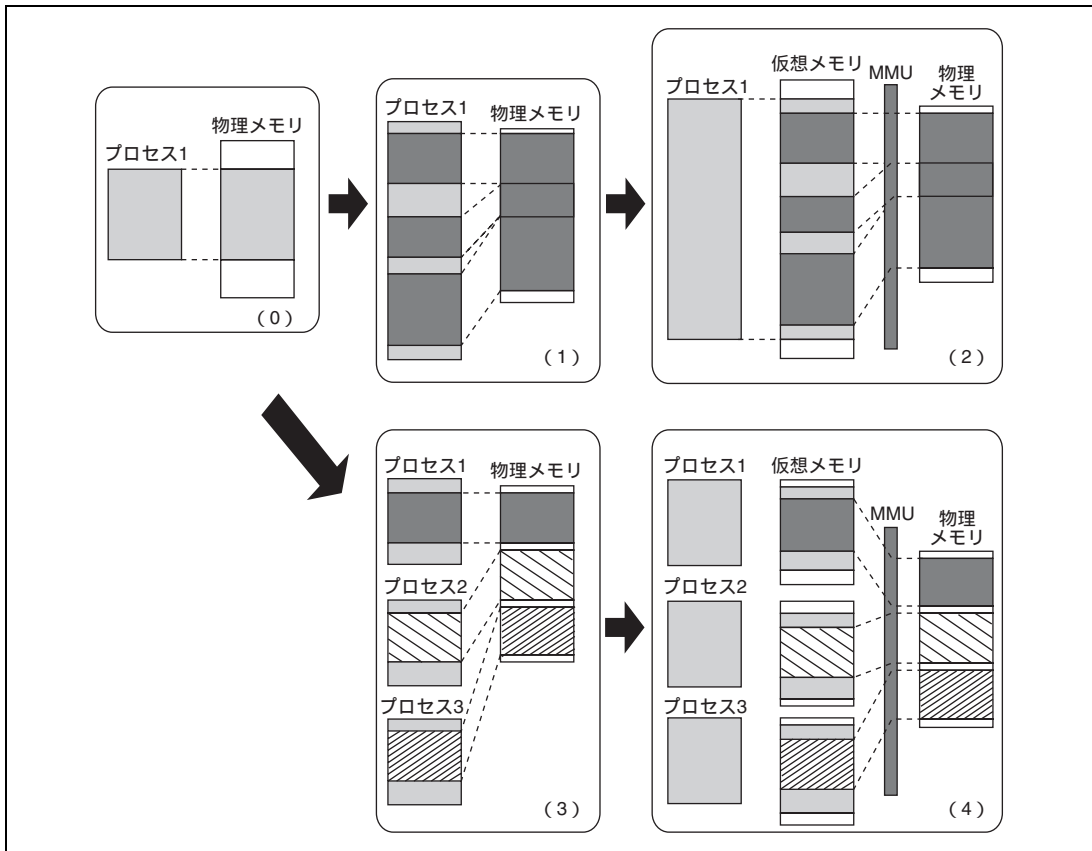


図 7.1 MMU の役割

7.1.1 アドレス空間

(1) 仮想アドレス空間

本 LSI は 32 ビットの仮想アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。仮想アドレス空間は図 7.2、図 7.3 に示すとおり、いくつかの領域に分かれています。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセス可能です。また MMU 制御レジスタ (MMUCR) の SQMD ビットが 0 の場合、ストアキュー領域の 64M バイトの空間もアクセス可能になり、内蔵メモリ制御レジスタ (RAMCR) の RMD ビットが 1 の場合、内蔵メモリ領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域、ストアキュー領域、内蔵メモリ領域以外をアクセスした場合、アドレスエラーとなります。

MMUCR の AT ビットを 1 にし、MMU をイネーブルにしたとき、これらの領域のうち、P0、P3、U0 領域は、任意の物理アドレス空間へ 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) でマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより、P0、P3、U0 領域を 256 個まで増やすことが可能です。仮想アドレス空間から 29 ビットの物理アドレス空間へのマッピングには TLB を用います。

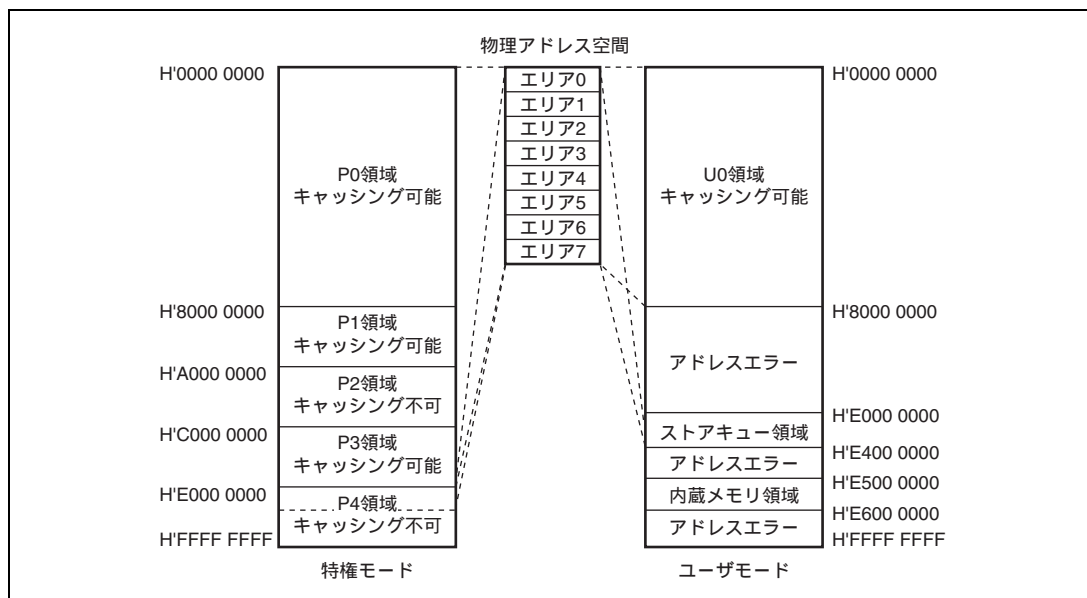


図 7.2 仮想アドレス空間 (MMUCR.AT = 0)

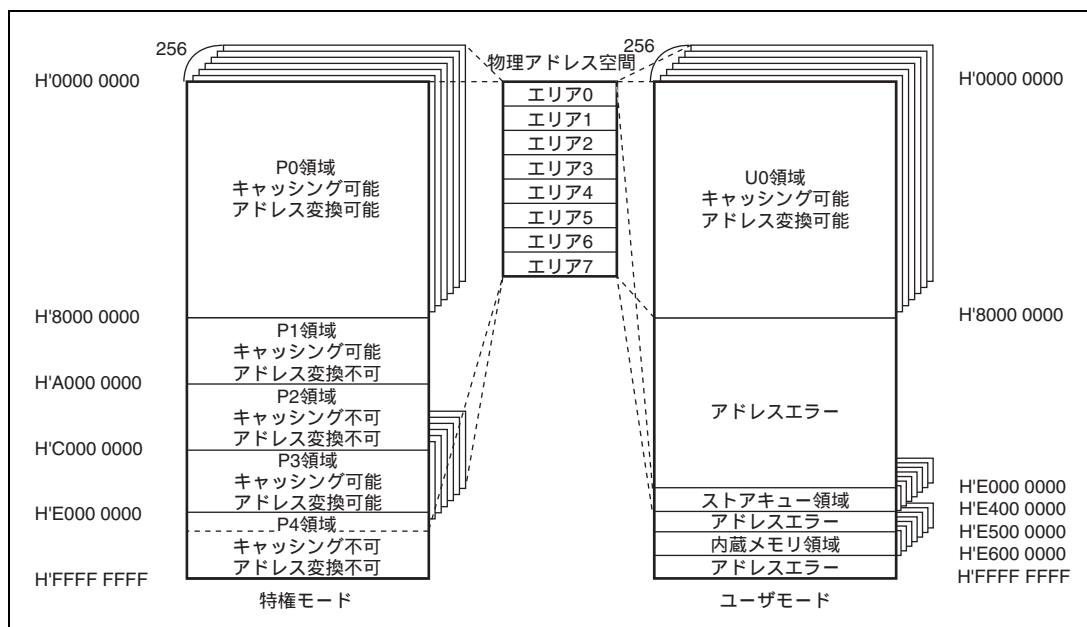


図 7.3 仮想アドレス空間 (MMUCR.AT=1)

(a) P0、P3、U0 領域

P0、P3、U0 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がディスエーブルの場合、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の WT ビットに従います。

MMU がイネーブルの場合、これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位 (TLB 互換モード時)、あるいは 1K/4K/8K/64K/256K/1M/4M/64M バイトページ単位 (TLB 拡張モード時) に任意の物理アドレス空間へマッピングできます。CCR がキャッシュイネーブル状態であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従います。

これらの領域を、TLB により物理アドレス空間のエリア 7 に存在する制御レジスタ領域にマッピングする場合、当該ページの C ビットは 0 にしてください。

(b) P1 領域

P1 領域は TLB を用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは CCR に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の CB ビットに従います。

(c) P2 領域

P2 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

(d) P4 領域

P4 領域は本 LSI の内部リソースにマッピングされる領域です。この領域は、ストアキューと内蔵メモリ領域を除いて TLB を用いたアドレス変換ができません。また、この領域はキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 7.4 に示します。

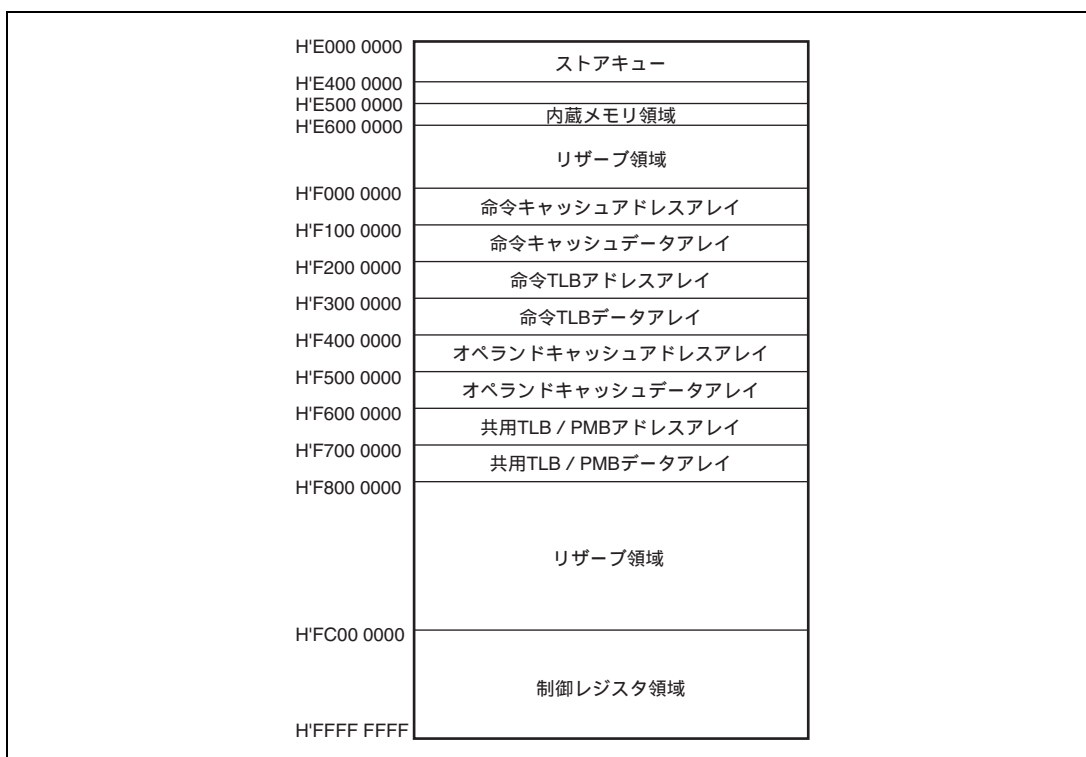


図 7.4 P4 領域

H'E000 0000 ~ H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするための領域です。ユーザモードでのアクセス権は MMUCR の SQMD ビットで指定します。詳細は「8.7 ストアキュー」を参照してください。

H'E500 0000 ~ H'E5FF FFFF までは、内蔵メモリをアクセスするための領域です。ユーザモードでのアクセス権は RAMCR レジスタの RMD ビットで指定します。詳細は「第 10 章 内蔵メモリ」を参照してください。

H'F000 0000 ~ H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.2 IC データアレイ」を参照してください。

HF200 0000 ~ HF2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.1 ITLB アドレスアレイ」を参照してください。

HF300 0000 ~ HF37F FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。詳細は「7.7.2 ITLB データアレイ (TLB 互換モード)」および「7.7.3 ITLB データアレイ (TLB 拡張モード)」を参照してください。

HF400 0000 ~ HF4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.3 OC アドレスアレイ」を参照してください。

HF500 0000 ~ HF5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.4 OC データアレイ」を参照してください。

HF600 0000 ~ HF60F FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.4 UTLB アドレスアレイ」を参照してください。

HF610 0000 ~ HF61F FFFF までは、PMB のアドレスアレイを直接アクセスするための領域です。詳細は、「7.8.5 メモリ割り付け PMB の構成」を参照してください。

HF700 0000 ~ HF70F FFFF までは、共用 TLB のデータアレイを直接アクセスするための領域です。詳細は、「7.7.5 UTLB データアレイ (TLB 互換モード)」および「7.7.6 UTLB データアレイ (TLB 拡張モード)」を参照してください。

HF710 0000 ~ HF71F FFFF までは、PMB のデータアレイを直接アクセスするための領域です。詳細は、「7.8.5 メモリ割り付け PMB の構成」を参照してください。

HFC00 0000 ~ HFFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は製品ハードウェアマニュアルの各章のレジスタ説明の項を参照してください。

(2) 物理アドレス空間

本 LSI は 29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図 7.5 に示すとおり 8 つの領域に分かれています。エリア 7 はリザーブ領域です。詳細は「第 14 章 バスステートコントローラ (BSC)」の章を参照してください。

TLB を用いて物理アドレス空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000 ~ H'1FFF FFFF までの領域がリザーブ領域ではなくなり、仮想アドレス空間の P4 領域に含まれる制御レジスタ領域と等価になります。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000	エリア7 (リザーブ領域)
H'1FFF FFFF	

図 7.5 物理アドレス空間

(3) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。本 LSI では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

(4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式(「7.3.3 アドレス変換方式」参照)のみです。

(5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

【注】 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

7.2 レジスタの説明

MMU 処理に関するレジスタを以下に示します。

表 7.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ下位レジスタ	PTL	R/W	H'FF00 0004	H'1F00 0004	32
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
ページテーブルエントリアシスタンスレジスタ	PTEA	R/W	H'FF00 0034	H'1F00 0034	32
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のもので、エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 7.2 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
PTEH	不定	不定	保持	保持	不定	不定	保持
PTL	不定	不定	保持	保持	不定	不定	保持
TTB	不定	不定	保持	保持	不定	不定	保持
TEA	不定	保持	保持	保持	保持	不定	保持
MMUCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持
PTEA	H'0000 xxx0	H'0000 xxx0	保持	保持	H'0000 xxx0	H'0000 xxx0	保持
PASCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持
IRMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持

7.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを更新後、更新後の ASID 値を使用する P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のいずれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. PTEH 更新の前にあらかじめ ILMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令の実行は不要です。しかしこの方法では、PTEH 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VPN															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VPN						-	-	ASID							
初期値 :	-	-	-	-	-	-	0	0	-	-	-	-	-	-	-	-
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 10	VPN	不定	R/W	仮想ページ番号
9、8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
7 ~ 0	ASID	不定	R/W	アドレス空間識別子

7.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PPN															
初期値:	0	0	0													
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPN							V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
初期値:							0									
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
28~10	PPN	不定	R/W	物理ページ番号
9	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
8	V	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.3 TLB の機能 (TLB 互換モード)」および「7.4 TLB の機能 (TLB 拡張モード)」を参照してください。 【注】SZ1、PR1、SZ0、PR0 は TLB 互換モード時のみ有効です。
7	SZ1	不定	R/W	
6	PR1	不定	R/W	
5	PR0	不定	R/W	
4	SZ0	不定	R/W	
3	C	不定	R/W	
2	D	不定	R/W	
1	SH	不定	R/W	
0	WT	不定	R/W	

7.2.3 変換テーブルベースレジスタ (TTB)

TTB は、現在使用しているページテーブルのベースアドレスの格納用などの用途に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.4 TLB 例外アドレスレジスタ (TEA)

TEA は、MMU 例外またはアドレスエラー例外発生後に、例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA MMU例外 / アドレスエラーを発生させた仮想アドレス															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA MMU例外 / アドレスエラーを発生させた仮想アドレス															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.2.5 MMU 制御レジスタ (MMUCR)

MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先は P0、P3、U0 領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI 命令を実行してください。
3. MMUCR 更新の前にあらかじめ IRMCR.R2 = 0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						-	-	URB						-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	ME	-	-	-	-	TI	-	AT
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 26	LRUI	000000	R/W	<p>入れ換えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ換える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx : ITLB のエントリ 0 を用いたとき 1xx00x : ITLB のエントリ 1 を用いたとき x1x1x0 : ITLB のエントリ 2 を用いたとき xx1x11 : ITLB のエントリ 3 を用いたとき xxxxxx : 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx : ITLB のエントリ 0 が更新される 0xx11x : ITLB のエントリ 1 が更新される x0x0x1 : ITLB のエントリ 2 が更新される xx0x00 : ITLB のエントリ 3 が更新される 上記以外 : 設定禁止</p>
25, 24	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>
23 ~ 18	URB	000000	R/W	<p>入れ換えを行う UTLB エントリの境界を示すビット</p> <p>URB 0 のときに有効となります。</p>
17, 16	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
15~10	URC	000000	R/W	LDTLB 命令により入れ換えを行う UTLB エントリを示すためのランダムカウンタ UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB > 0 の場合、URC = URB の条件が成立すると URC は 0 にクリアされます。またソフトウェアにより URC > URB となる値が URC に書き込まれた場合、最初は URC = H'3F になるまで URB を超えてインクリメントされますので注意してください。なお URC は、LDTLB 命令によってカウントアップされません。
9	SQMD	0	R/W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0 : ユーザ / 特権アクセスが可能 1 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
8	SV	0	R/W	単一仮想記憶モード / 多重仮想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも 1 を書き込んでください。 0 : 多重仮想記憶モード 1 : 単一仮想記憶モード
7	ME	0	R/W	TLB 拡張モード切り替えビット 0 : TLB 互換モード 1 : TLB 拡張モード ME ビットの値を変更する場合には、必ず TI ビットに 1 を指定して、ITLB、UTLB の内容を無効化してください。また、ME ビットによる TLB 動作モード選択は、PMB の機能や動作には影響を与えません。
6~3	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
2	TI	0	R/W	TLB 無効化ビット このビットに 1 を書き込むと、UTLB/ITLB の有効ビットをすべて 0 にクリアします。読み出すと常に 0 が読み出されます。
1	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0 : MMU ディスエーブルにする 1 : MMU イネーブルにする AT ビットが 0 の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを 0 の状態で使用してください。

7.2.6 ページテーブルエントリアシスタンスレジスタ (PTEA)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	EPR					ESZ					-	-	-	-
初期値:	0	0	-	-	-	-	-	-	-	-	-	-	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13~8	EPR	不定	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.4 TLB の機能 (TLB 拡張モード)」を参照してください。
7~4	ESZ	不定	R/W	
3~0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。

7.2.7 物理アドレス空間制御レジスタ (PASCR)

PASCR は物理アドレス空間の動作を制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
7~0	UB	H'00	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかをエリアごとに指定します。 0 : CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います 1 : CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います UB[7] : 制御レジスタ領域に対応 UB[6] : エリア 6 に対応 UB[5] : エリア 5 に対応 UB[4] : エリア 4 に対応 UB[3] : エリア 3 に対応 UB[2] : エリア 2 に対応 UB[1] : エリア 1 に対応 UB[0] : エリア 0 に対応

7.2.8 命令再フェッチ抑止制御レジスタ (IRMCR)

IRMCR は特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。

初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかしこの状態では、リソースの変更を一回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのため IRMCR の各ビットを 1 に設定し、必要なリソースの変更をまとめて行ったうえで、特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようにすることを推奨します。

特定のシーケンスに関しては、各リソースの説明を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												R2	R1	LT	MT	MC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4	R2	0	R/W	レジスタ変更後再フェッチ抑止 2 MMUCR、PASCR、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
3	R1	0	R/W	レジスタ変更後再フェッチ抑止 1 アドレス H'FF200000 ~ H'FF2FFFFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
2	LT	0	R/W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません
1	MT	0	R/W	メモリ割り付け TLB ライト後再フェッチ抑止 MMUCR.AT = 1 の状態で、メモリ割り付け ITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

ビット	ビット名	初期値	R/W	説明
0	MC	0	R/W	メモリ割り付け IC ライト後再フェッチ抑止 CCN.ICE = 1 の状態で、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0 : 再フェッチを行います 1 : 再フェッチを行いません

7.3 TLB の機能 (TLB 互換モード)

7.3.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令 TLB ミスのとき、ITLB へ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 7.6 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 7.7 にページサイズとアドレスの関係を示します。

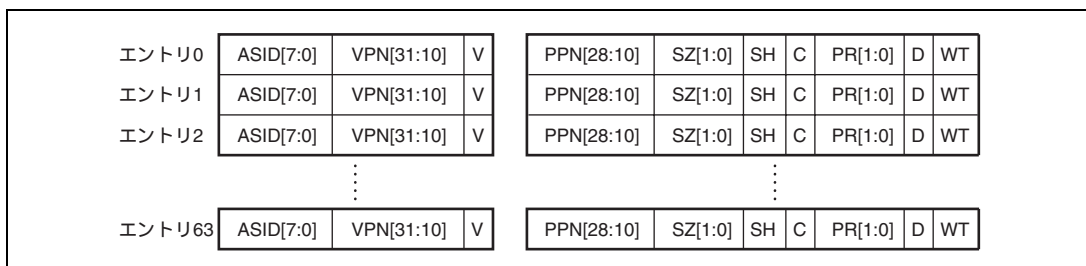


図 7.6 UTLB の構成 (TLB 互換モード)

【記号説明】

- VPN : 仮想ページ番号 1K バイトページのとき、仮想アドレスの上位 22 ビット
 4K バイトページのとき、仮想アドレスの上位 20 ビット
 64K バイトページのとき、仮想アドレスの上位 16 ビット
 1M バイトページのとき、仮想アドレスの上位 12 ビット
- ASID : アドレス空間識別子 仮想ページをアクセスできるプロセスを示します。
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、
 SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
- SH : 共有状態ビット 0 : 複数のプロセスでページを共有しません。
 1 : 複数のプロセスでページを共有します。
- SZ[1:0] : ページサイズビット ページサイズを指定します。
 00 : 1K バイトページ
 01 : 4K バイトページ
 10 : 64K バイトページ
 11 : 1M バイトページ

V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 22 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「7.5.5 シノニム問題の回避」参照)。
PR[1:0] : 保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ 00 : 特権モードで読み出しのみ可能 01 : 特権モードで読み出し / 書き込み可能 10 : 特権 / ユーザモードで読み出しのみ可能 11 : 特権 / ユーザモードで読み出し / 書き込み可能
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能。 1 : キャッシング可能。 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない。 1 : 書き込みが行われた。
WT : ライトスルービット	キャッシュへの書き込みモードを指定します。 0 : コピーバックモード 1 : ライトスルーモード

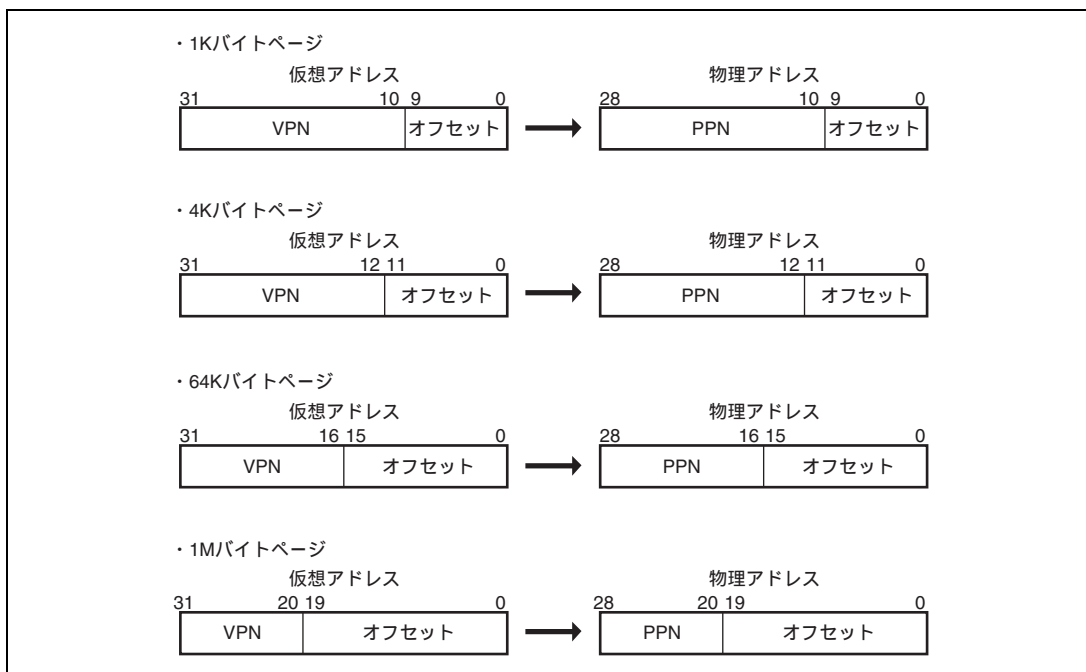


図 7.7 ページサイズとアドレスの関係 (TLB 互換モード)

7.3.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 7.8 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。

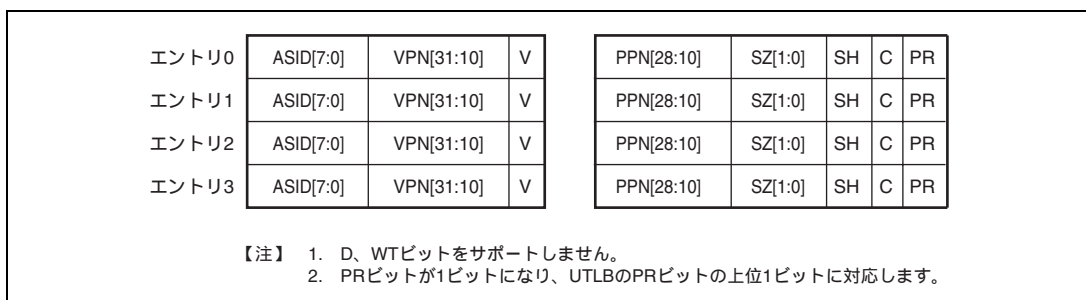


図 7.8 ITLB の構成 (TLB 互換モード)

7.3.3 アドレス変換方式

図 7.9 に、UTLB を用いたメモリアクセスのフローを示します。

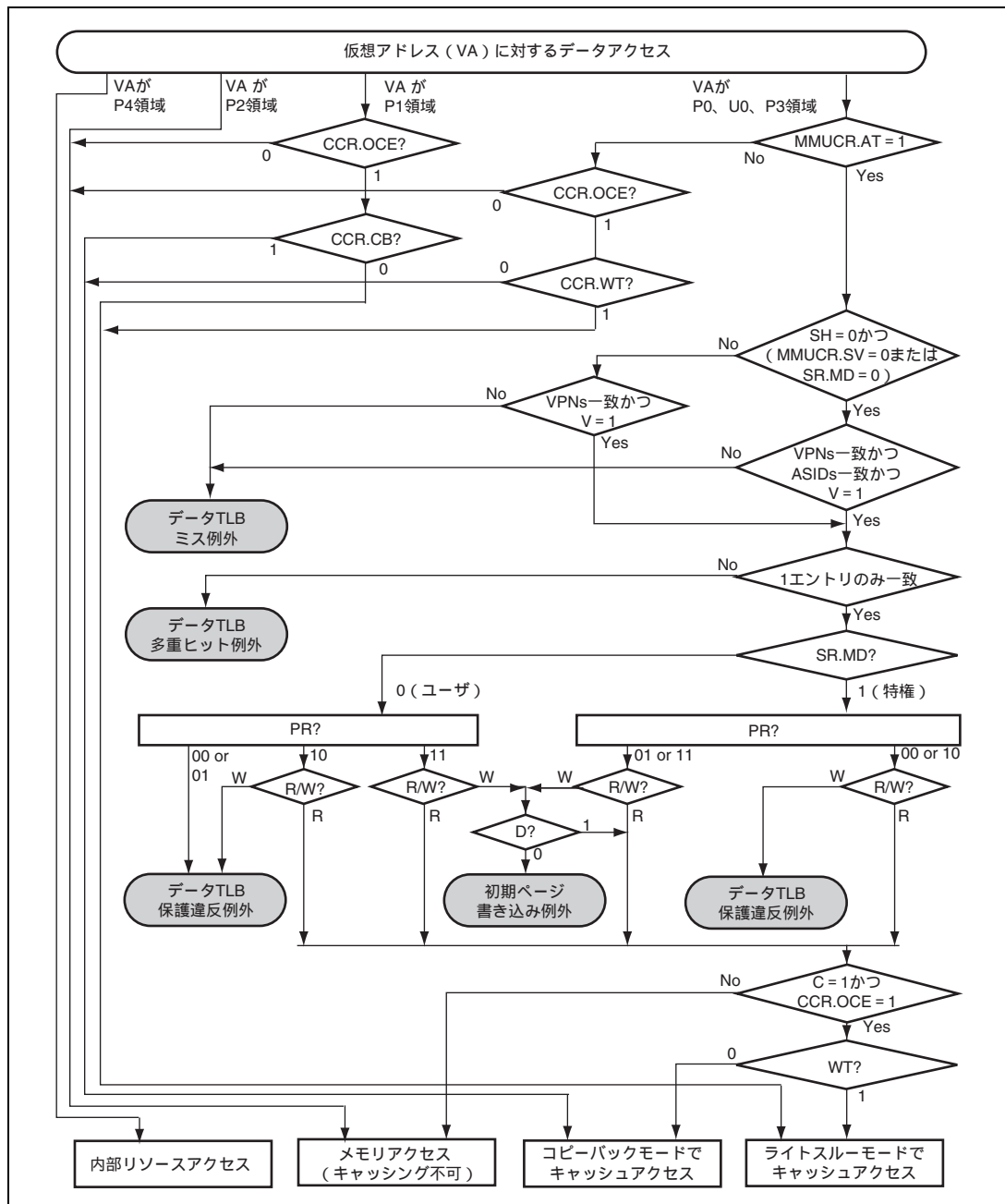


図 7.9 UTLB を用いたメモリアクセスフロー (TLB 互換モード)

図 7.10 に ITLB を用いたメモリアクセスのフローを示します。

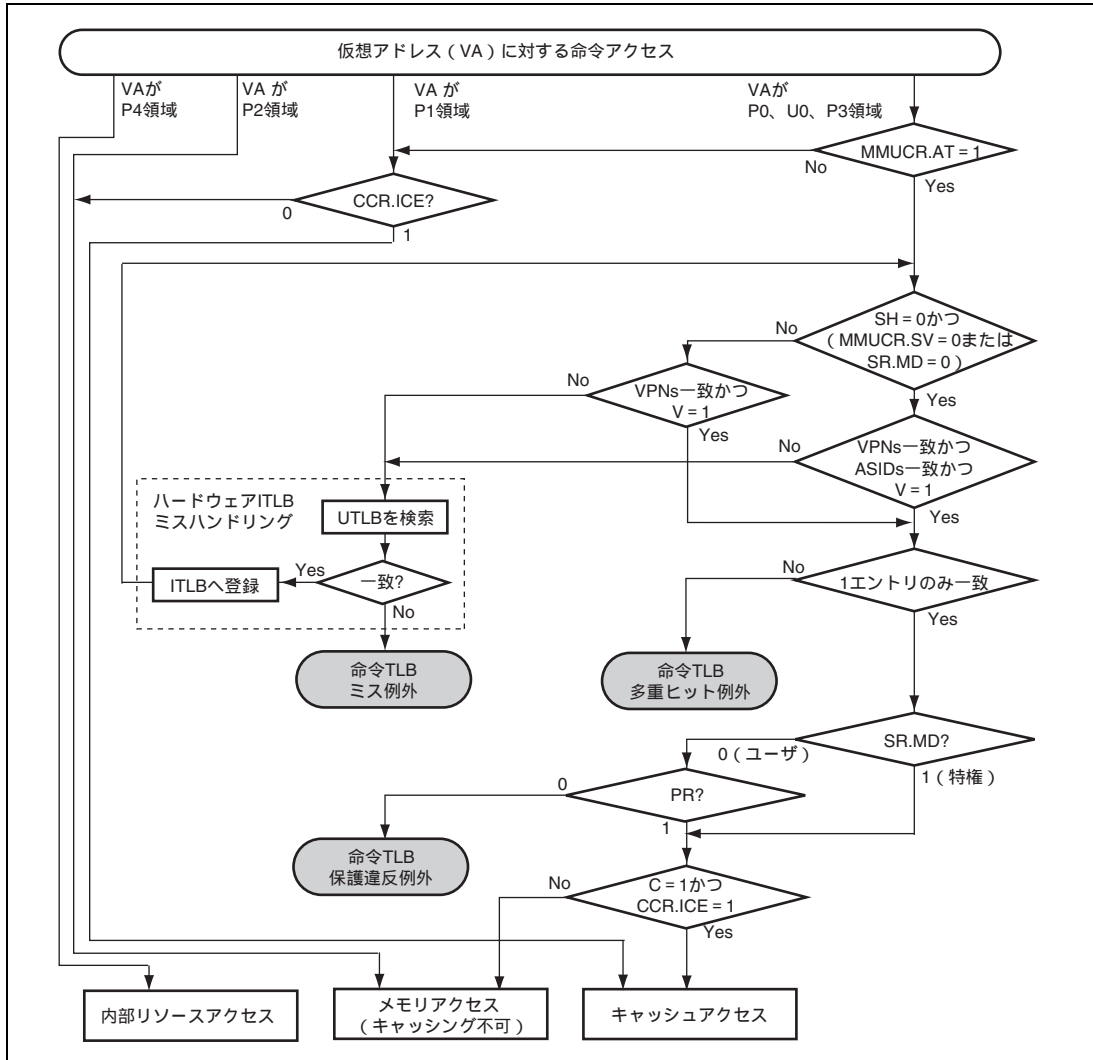


図 7.10 ITLB を用いたメモリアクセスフロー (TLB 互換モード)

7.4 TLB の機能 (TLB 拡張モード)

7.4.1 共用 TLB (UTLB) の構成

図 7.11 に TLB 拡張モード時の UTLB の構成を示します。図 7.12 にページサイズとアドレスの関係を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT
		⋮				⋮				
エントリ63	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5:0]	D	WT

図 7.11 UTLB の構成 (TLB 拡張モード)

【記号説明】

- VPN : 仮想ページ番号
- 1K バイトページの時、仮想アドレスの上位 22 ビット
 4K バイトページの時、仮想アドレスの上位 20 ビット
 8K バイトページの時、仮想アドレスの上位 19 ビット
 64K バイトページの時、仮想アドレスの上位 16 ビット
 256K バイトページの時、仮想アドレスの上位 14 ビット
 1M バイトページの時、仮想アドレスの上位 12 ビット
 4M バイトページの時、仮想アドレスの上位 10 ビット
 64M バイトページの時、仮想アドレスの上位 6 ビット
- ASID : アドレス空間識別子
- 仮想ページをアクセスできるプロセスを示します。
 単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
- SH : 共有状態ビット
- 0 : 複数のプロセスでページを共有しません。
 1 : 複数のプロセスでページを共有します。
- ESZ : ページサイズビット
- ページサイズを指定します。
- 0000 : 1K バイトページ
 0001 : 4K バイトページ
 0010 : 8K バイトページ
 0100 : 64K バイトページ
 0101 : 256K バイトページ
 0111 : 1M バイトページ
 1000 : 4M バイトページ
 1100 : 64M バイトページ

【注】 上記以外の値を登録した場合の動作は保証しません。

- V : 有効ビット エントリが有効かどうかを示します。
0 : 無効
1 : 有効
パワーオンリセット時に 0 にクリアされます。
マニュアルリセット時には変化しません。
- PPN : 物理ページ番号 物理アドレスの上位 19 ビット
1K バイトページのときは PPN[28:10]が有効です。
4K バイトページのときは PPN[28:12]が有効です。
8K バイトページのときは PPN[28:13]が有効です。
64K バイトページのときは PPN[28:16]が有効です。
256K バイトページのときは PPN[28:18]が有効です。
1M バイトページのときは PPN[28:20]が有効です。
4M バイトページのときは PPN[28:22]が有効です。
64M バイトページのときは PPN[28:26]が有効です。
また PPN の設定においてはシノニム問題に注意してください
(「7.5.5 シノニム問題の回避」参照)。
- EPR : 保護キーデータ ページのアクセス権をコードで表した 6 ビットデータ
特権モードでの読み出し / 書き込み / 実行 (命令フェッチ) およびユーザモードでの読み出し / 書き込み / 実行 (命令フェッチ) に対する許可を独立に設定可能です。各ビットそれぞれ 0 で不許可、1 で許可を示します。
EPR[5] : 特権モードでの読み出し
EPR[4] : 特権モードでの書き込み
EPR[3] : 特権モードでの実行 (命令フェッチ)
EPR[2] : ユーザモードでの読み出し
EPR[1] : ユーザモードでの書き込み
EPR[0] : ユーザモードでの実行 (命令フェッチ)
- C : キャッシング可能ビット ページがキャッシング可能かどうか示します。
0 : キャッシング不可能
1 : キャッシング可能
制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
- D : ダーティビット ページに書き込みが行われたかどうかを示します。
0 : 書き込みが行われていない
1 : 書き込みが行われた

WT : ライトスルービット キャッシュへの書き込みモードを指定します。
 0 : コピーバックモード
 1 : ライトスルーモード

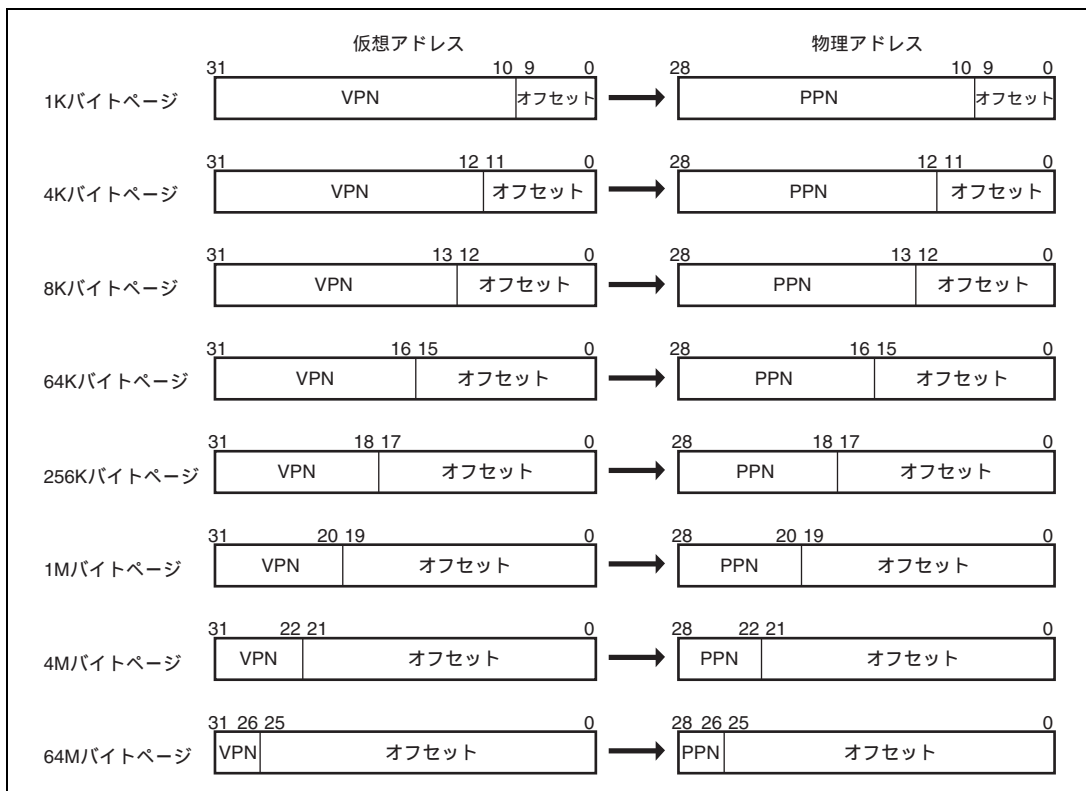


図 7.12 ページサイズとアドレスの関係 (TLB 拡張モード)

7.4.2 命令 TLB (ITLB) の構成

図 7.13 に TLB 拡張モード時の ITLB の構成を示します。

エントリ0	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ1	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ2	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]
エントリ3	ASID[7:0]	VPN[31:10]	V	PPN[28:10]	ESZ[3:0]	SH	C	EPR[5]	EPR[3]	EPR[2]	EPR[0]

【注】 EPR[4]、EPR[1]、D、WTビットをサポートしません。

図 7.13 ITLB の構成 (TLB 拡張モード)

7.4.3 アドレス変換方式

図 7.14 に TLB 拡張モード時の UTLB を用いたメモリアクセスのフローを示します。

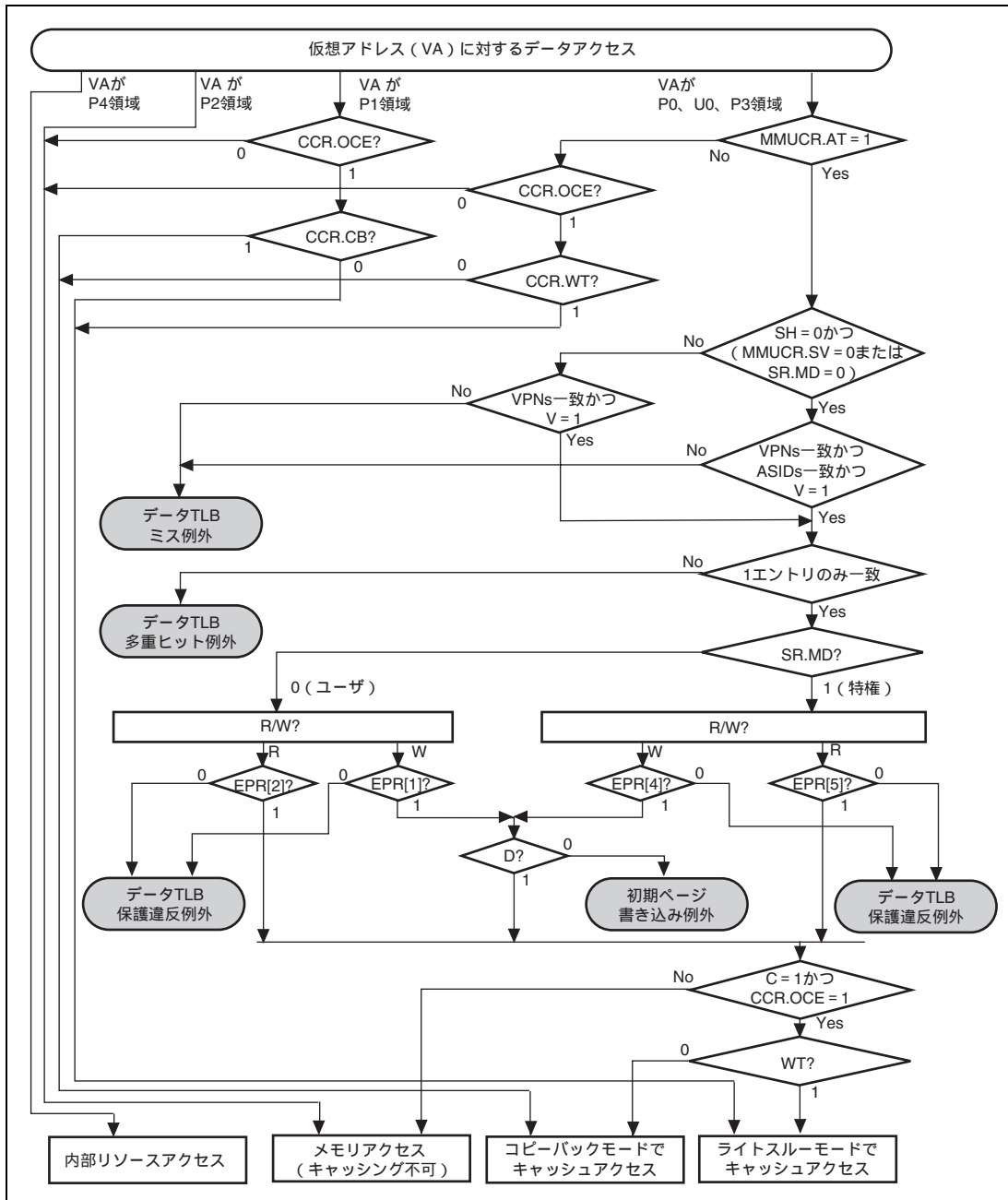


図 7.14 UTLB を用いたメモリアクセスフロー (TLB 拡張モード)

図 7.15 に TLB 拡張モード時の ITLB を用いたメモリアクセスのフローを示します。

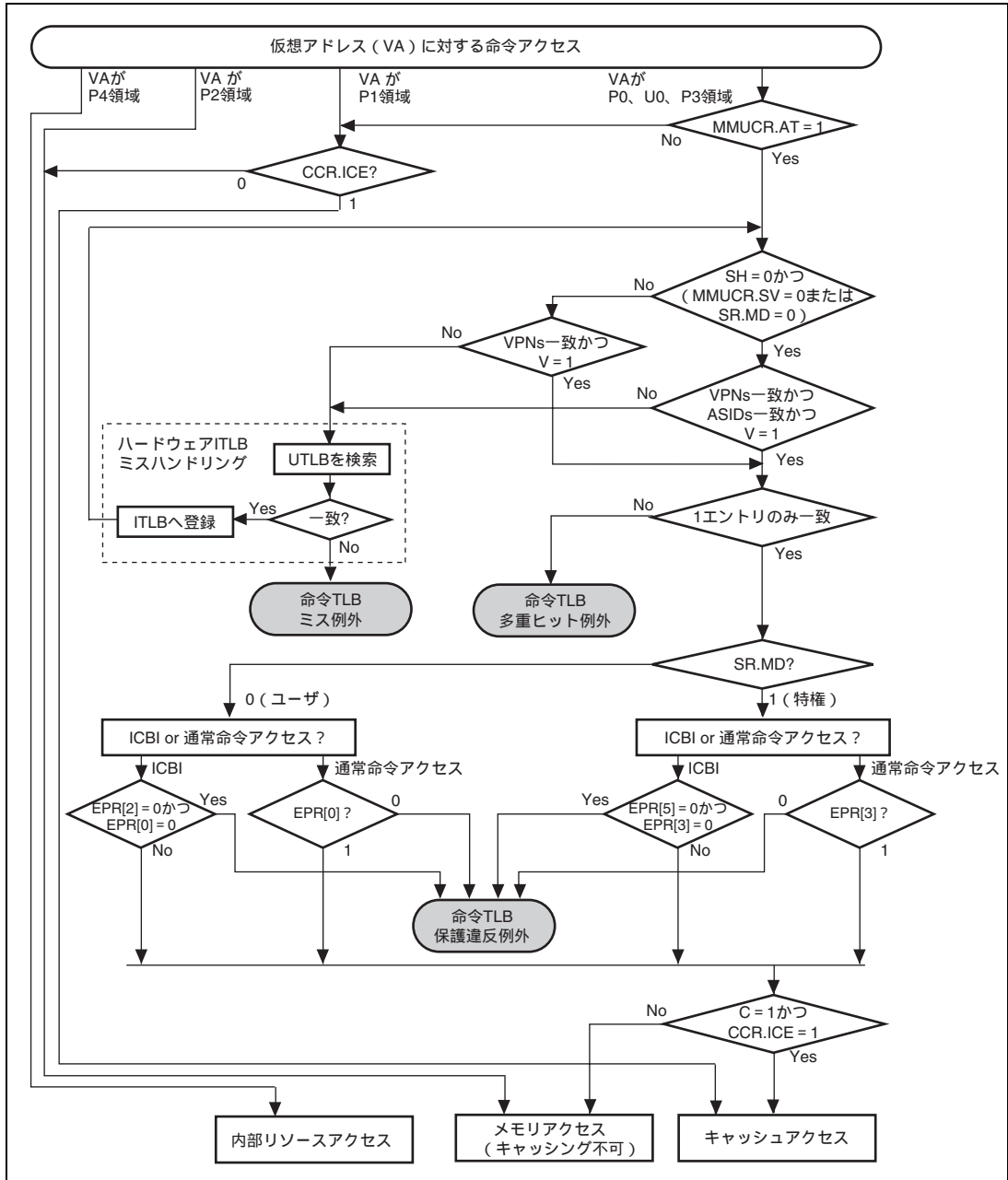


図 7.15 ITLB を用いたメモリアクセスフロー (TLB 拡張モード)

7.5 MMU の機能

7.5.1 MMU のハードウェア管理

本 LSI がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WTビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

7.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

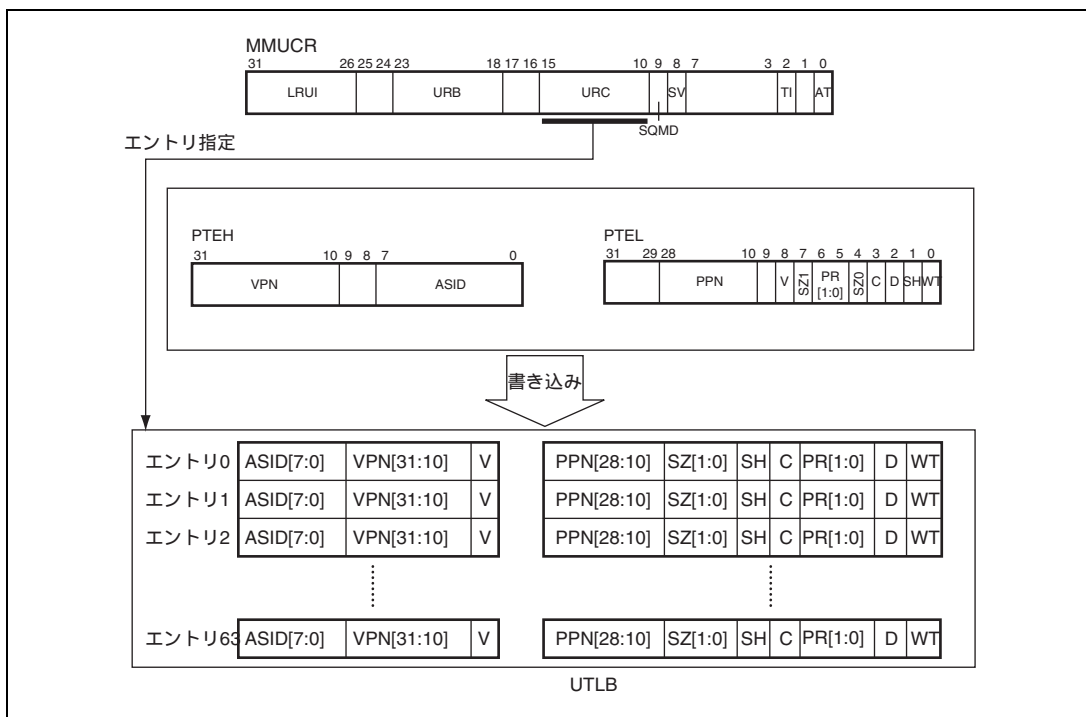
7.5.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、本 LSI は PTEH と PTEL の内容を (加えて TLB 拡張モードの場合には PTEA の内容を) URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1.~3.のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域で構いません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. LDTLB命令実行前にあらかじめIRMCR.LT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3.は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1.または 2.を用いることを推奨します。

図 7.16、図 7.17 に LDTLB 命令の動作を示します。



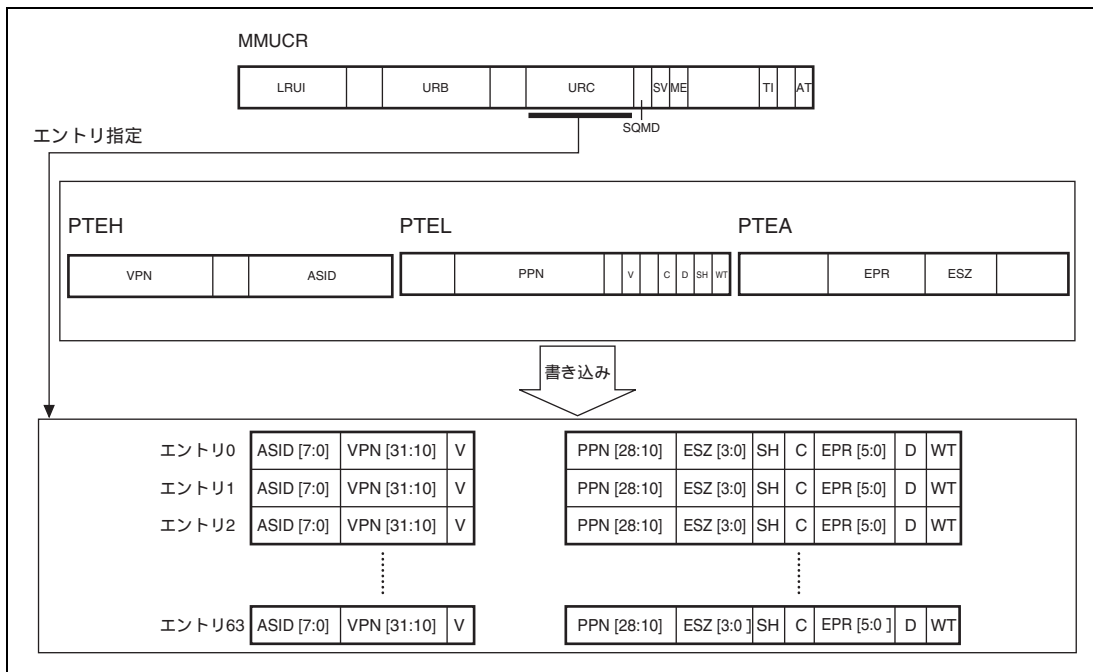


図 7.17 LDTLB 命令の動作 (TLB 拡張モード)

7.5.4 ハードウェア ITLB ミスハンドリング

本 LSI は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

7.5.5 シノニム問題の回避

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。本 LSI ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5]を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります。このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

1. 複数の 1K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
2. 複数の 4K バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN[12]は必ず等しくなるようにしてください。
3. 1K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。
4. 4K バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

7.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 7.9、図 7.10、図 7.14 および図 7.15 を参照してください。

7.6.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合も、命令 TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットが発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'040 を、EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。

6. SRのMDビットを1に設定し、特権モードに切り替えます。
 7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
 8. SRのRBビットを1に設定します。
 9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、命令TLBミス例外処理ルーチンを開始します。
- ソフトウェア処理 (命令TLBミス例外処理ルーチン)
外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。
 1. TLB互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。
TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
 2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
 3. LDTLB命令を実行させ、TLB互換モードの場合、PTEH、PTELの内容をTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
 4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理
命令TLB保護違反例外のとき、ハードウェアは次の処理を行います。
 1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
 2. 例外の発生した仮想アドレスをTEAに設定します。
 3. 例外コードH'0A0をEXPEVTに設定します。
 4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
 5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。

6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、命令TLB保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (命令TLB保護違反例外処理ルーチン)

命令TLB保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただしLDTLB命令の次の命令以降にRTE命令を発行してください。

7.6.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理

データTLB多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスをTEAに設定します。
2. 例外コードH'140をEXPEVTに設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- ソフトウェア処理 (リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させたUTLBエントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

7.6.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 読み出しのとき例外コード H'040 を、書き込みのとき例外コード H'060 を、EXPEVT に設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、データ TLB ミス例外処理ルーチンを開始します。

- ソフトウェア処理 (データ TLB ミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. TLB 互換モードの場合、外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V、WT の各ビットの値を、PTEL に書き込みます。TLB 拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページエントリの PPN、EPR、ESZ、C、D、SH、V、WT の各ビットの値を PTEL、PTEA に書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値を MMUCR の URC に書き込みます。このとき URC が URB を超えるような場合、LDTLB 命令発行後に適切な値に変更してください。
3. LDTLB 命令を実行させ、TLB 互換モードの場合 PTEH、PTEL の内容を UTLB に書き込みます。TLB 拡張モードの場合は、PTEH、PTEL および PTEA の内容を UTLB に書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB 命令の次の命令以降に RTE 命令を発行してください。

7.6.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 読み出しのとき例外コード H'0A0 を、書き込みのとき例外コード H'0C0 を、EXPEVT に設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、データ TLB 保護違反例外処理ルーチンを開始します。

- ソフトウェア処理 (データ TLB 保護違反例外処理ルーチン)

データ TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

7.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. TLB互換モードの場合、外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。TLB拡張モードの場合、外部メモリのアドレス変換テーブルに記録されているページエントリのPPN、EPR、ESZ、C、D、SH、V、WTの各ビットの値をPTEL、PTEAに書き込みます。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、TLB互換モードの場合PTEH、PTELの内容をUTLBに書き込みます。TLB拡張モードの場合は、PTEH、PTELおよびPTEAの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

7.7 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P2 領域以外へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP2領域以外でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. メモリ割り付けTLBアクセスの前にあらかじめIRMCR.MT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ITLB および UTLB は仮想アドレス空間の P4 領域に割り付けられています。

TLB 互換モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 拡張モードの場合、ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、SH をデータアレイとしてアクセス可能です。UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、ESZ、EPR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D は、アドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。

TLB 互換モード、TLB 拡張モードどちらの場合もアクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

7.7.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24]が ITLB アドレスアレイを示す H'F2 になっており、[9:8]でエントリを選択するようになっています。アドレス部[1:0]はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10]が VPN を、[8]が V を、[7:0]が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へVPN、V、ASIDを読み出します。

2. ITLBアドレスアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたVPN、V、ASIDを書き込みます。

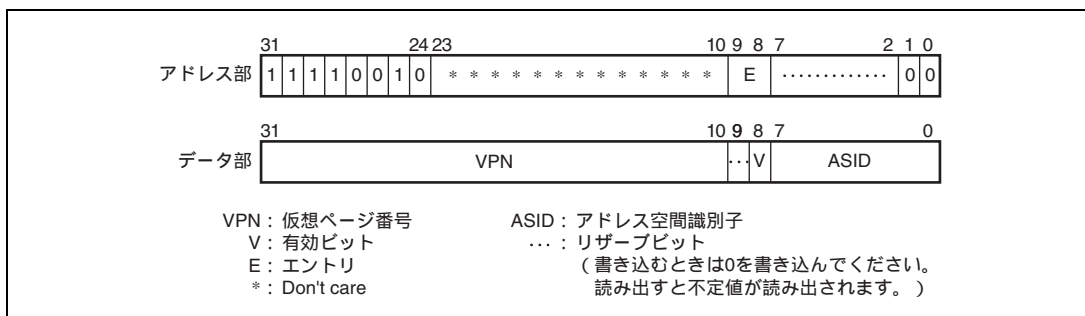


図 7.18 メモリ割り付け ITLB アドレスアレイ

7.7.2 ITLB データアレイ (TLB 互換モード)

ITLB のデータアレイは P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31:23]が ITLB データアレイを示す H'F30 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6]が PR を、[3]が C を、[1]が SH を示します。

ITLB データアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBデータアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へPPN、V、SZ、PR、C、SHを読み出します。

2. ITLBデータアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたPPN、V、SZ、PR、C、SHを書き込みます。

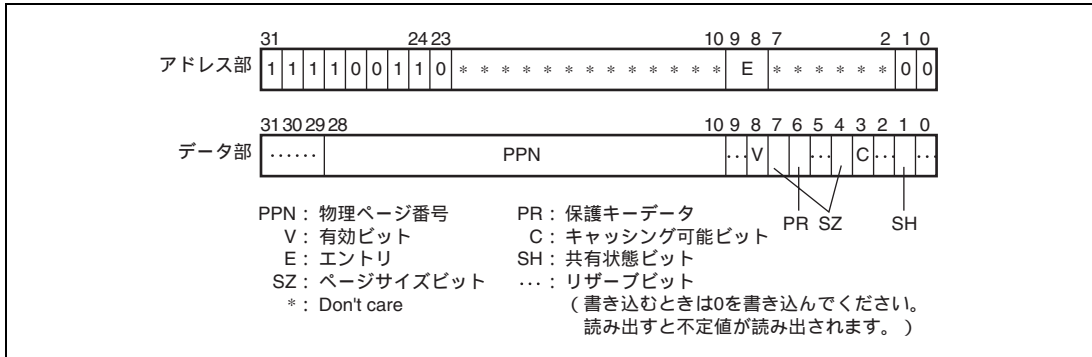


図 7.19 メモリ割り付け ITLB データアレイ (TLB 互換モード)

7.7.3 ITLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、ITLB データアレイは ITLB データアレイ 1 に名称が変更になります。また、ITLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、ITLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、ITLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの ITLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、ITLB データアレイ 2、のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) ITLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7、6、4 がリザーブビットになります。書き込み時には 0 を指定してください。

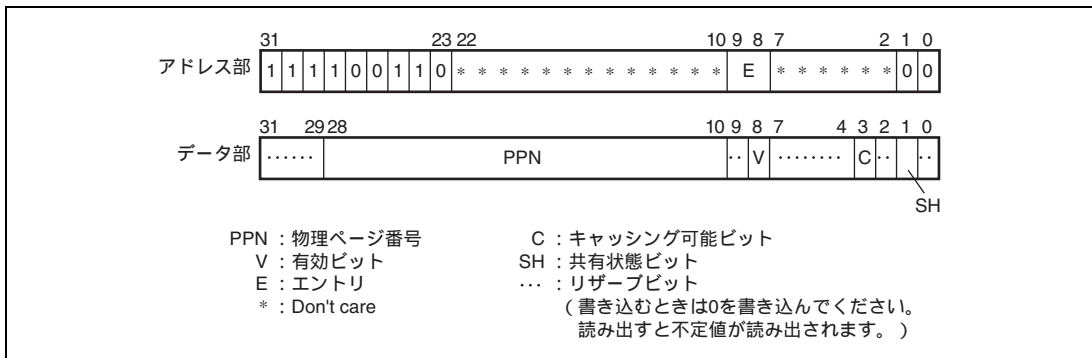


図 7.20 メモリ割り付け ITLB データアレイ 1 (TLB 拡張モード)

(2) ITLB データアレイ 2

ITLB のデータアレイは P4 領域の H'F380 0000 ~ H'F3FF FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。

アドレス部は、[31:23]が ITLB データアレイ 2 を示す H'F38 になっており、[9:8]でエントリを選択するようになっています。

データ部は、[13][11][10][8]がそれぞれ EPR[5][3][2][0]を、[7:4]が ESZ を示します。ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. TLBデータアレイ2 読み出し

アドレス部に指定されたエントリに対応するITLBエントリから、データ部へEPR、ESZを読み出します。

2. ITLBデータアレイ2 書き込み

アドレス部に指定されたエントリに対応するITLBエントリに対して、データ部で指定されたEPR、ESZを書き込みます。

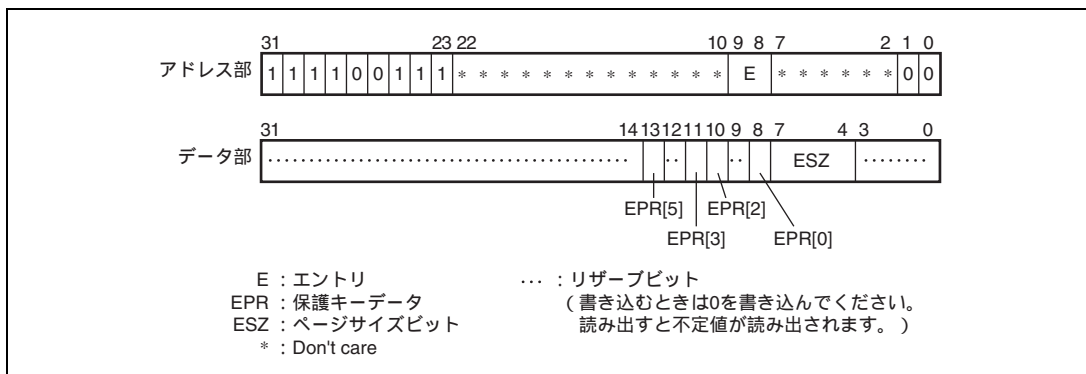


図 7.21 メモリ割り付け ITLB データアレイ 2 (TLB 拡張モード)

7.7.4 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の HF600 0000 ~ HF60F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20] が UTLB アドレスアレイを示す HF60 になっており、[13:8] でエントリを選択するようになっています。アドレス部[7]の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10] が VPN を、[9] が D を、[8] が V を、[7:0] が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

1. UTLB アドレスアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ VPN、D、V、ASID を読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

2. UTLB アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された VPN、D、V、ASID を書き込みます。アドレス部の A ビットは 0 にしてください。

3. UTLB アドレスアレイ 書き込み (連想あり)

アドレス部の A ビットが 1 で書き込みのとき、データ部で指定された VPN と PTEH.ASID を用い、UTLB の全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLB にミスした場合、例外は発生せずノーオペレーションとなります。比較によりデータ部で指定した VPN に対応する UTLB エントリが存在した場合、そのエントリに対してデータ部で指定した D と V を書き込みます。この連想動作は ITLB に対しても同時に行われ、ITLB 内に一致するエントリが存在した場合はそのエントリに対して V を書き込みます。UTLB での比較でノーオペレーションとなっても ITLB で一致していれば ITLB 側のみ書き込みは行います。また UTLB と ITLB の両方で一致した場合、UTLB の情報が ITLB へも書き込まれます。

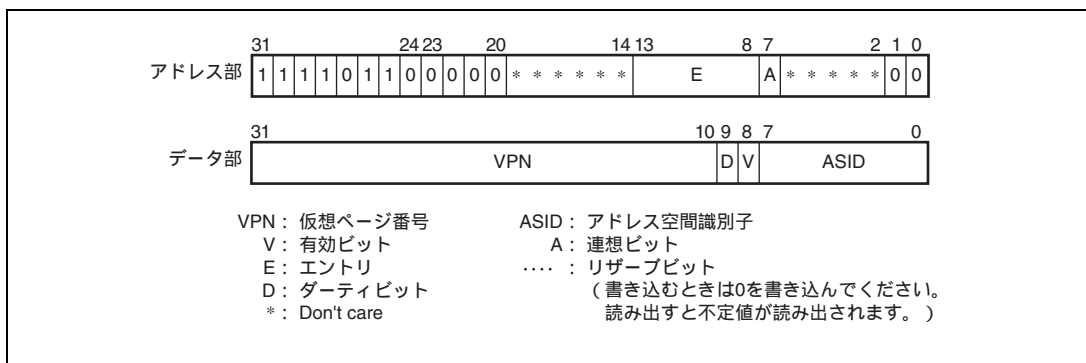


図 7.22 メモリ割り付け UTLB アドレスアレイ

7.7.5 UTLB データアレイ (TLB 互換モード)

UTLB のデータアレイは P4 領域の HF700 0000 ~ HF70F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:20]が UTLB データアレイを示す HF70 になっており、[13:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6:5]が PR を、[3]が C を、[2]が D を、[1]が SH を、[0]が WT を示します。

UTLB データアレイに対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

2. UTLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。

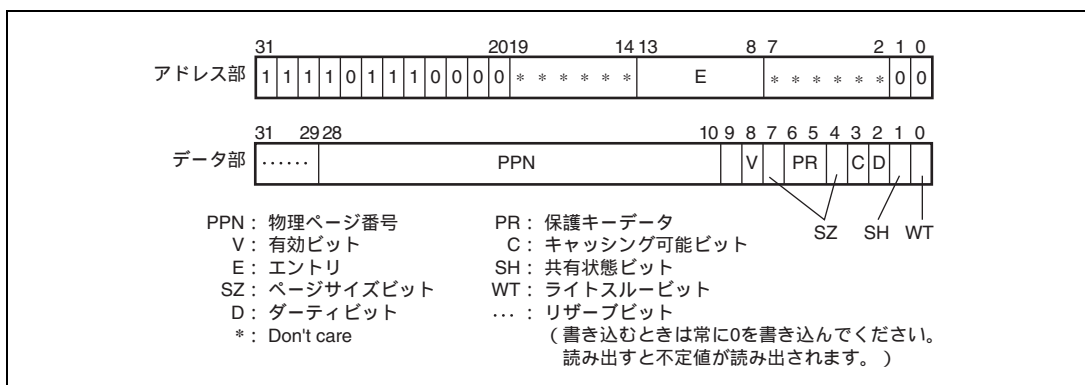


図 7.23 メモリ割り付け UTLB データアレイ (TLB 互換モード)

7.7.6 UTLB データアレイ (TLB 拡張モード)

TLB 拡張モードのとき、UTLB データアレイは UTLB データアレイ 1 に名称が変更になります。また、UTLB データアレイ 2 が追加となり、EPR、ESZ をアクセス可能になります。TLB 拡張モードでは、UTLB データアレイ 1 の PR、SZ ビットはリザーブビットとなり、書き込み値は 0 を指定してください。また、UTLB データアレイ 1 への書き込みを行った場合には、その後必ず同一エントリの UTLB データアレイ 2 の書き込みを行ってください。

TLB 互換モード (MMUCR.ME=0) のときには、UTLB データアレイ 2 のアクセスは行えません。アクセスした場合の動作は保証しません。

(1) UTLB データアレイ 1

TLB 拡張モードでは、互換モードの PR、SZ ビットに対応するデータ部のビット 7~4 がリザーブビットになります。書き込み時には 0 を指定してください。

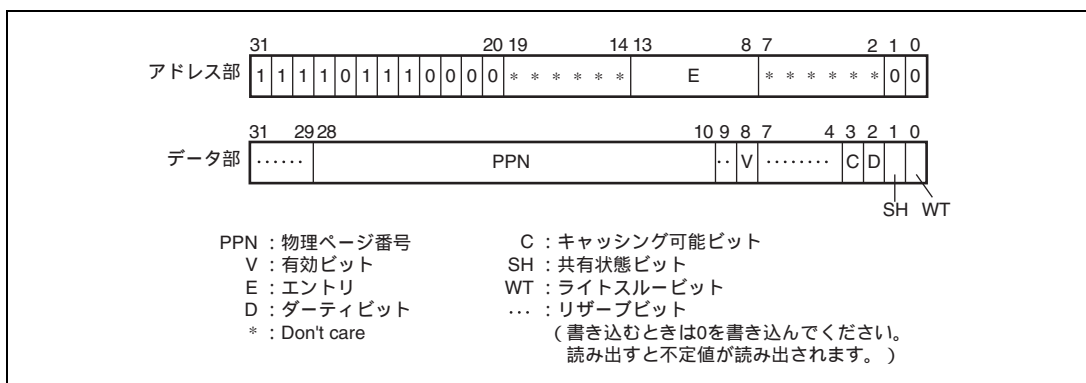


図 7.24 メモリ割り付け UTLB データアレイ 1 (TLB 拡張モード)

(2) UTLB データアレイ 2

UTLB のデータアレイは P4 領域の HF780 0000 ~ HF78F FFFF に割り付けられています。データアレイ 2 のアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部にはアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む EPR、ESZ を指定します。アドレス部は [31:20] が UTLB データアレイ 2 を示す HF78 になっており、[13:8] でエントリを選択するようになっています。

データ部は、[13:8] が EPR を、[7:4] が ESZ を示します。UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

1. UTLB データアレイ 2 読み出し

アドレス部に指定されたエントリに対応する UTLB エントリから、データ部へ EPR、ESZ を読み出します。

2. UTLBデータアレイ2 書き込み

アドレス部に指定されたエンタリに対応するUTLBエンタリに対して、データ部で指定されたEPR、ESZを書き込みます。

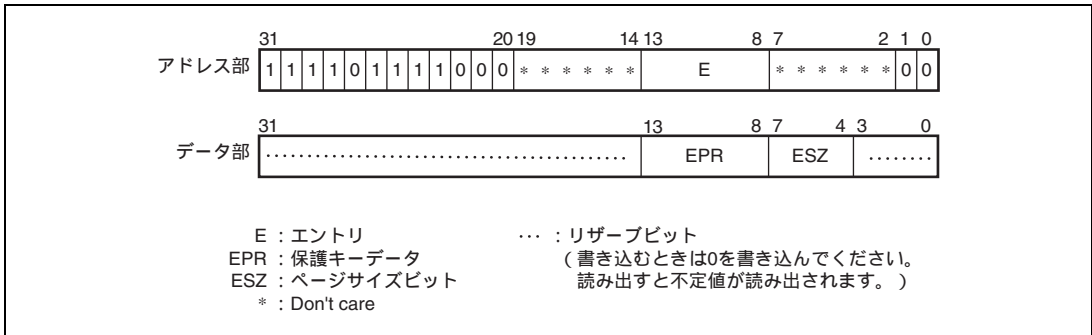


図 7.25 メモリ割り付け UTLB データアレイ 2 (TLB 拡張モード)

7.8 32 ビットアドレス拡張モード

本 LSI は PASCRC レジスタの SE ビットを 1 に設定することで、29 ビットの物理アドレス空間を扱う 29 ビットアドレスモードから、32 ビットの物理アドレス空間を扱う 32 ビットアドレス拡張モードに変更することができます。

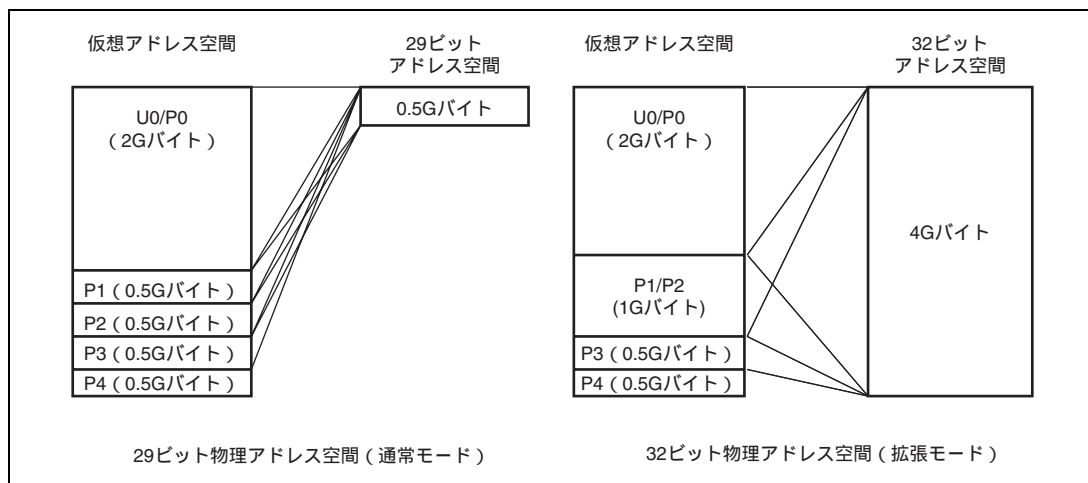


図 7.26 物理アドレス空間 (32 ビットアドレス拡張モード)

7.8.1 32 ビットアドレス拡張モード概要

32 ビットアドレス拡張モードでは、29 ビットアドレスモードではアドレス変換対象外である P1/P2 領域の仮想アドレスを、32 ビットの物理アドレス空間にマッピングする特権空間マッピングバッファ (PMB) を導入します。また、既存の TLB (UTLB/ITLB) のアドレス変換対象領域についても、UTLB/ITLB の PPN フィールドの上位 3 ビットを拡張して、TLB 変換後のアドレスが 32 ビットの物理アドレスを扱えるようになります。

また、キャッシュの動作は、29 ビットアドレスモードでは固定的に P1 領域はキャッシング可能、P2 領域はキャッシング不可ですが、32 ビットアドレス拡張モードでは P1、P2 領域とも PMB の C ビットおよび WT ビットに従うようになります。

7.8.2 32 ビットアドレス拡張モードへの切り替え

本 LSI は、パワーオンリセット後は 29 ビットアドレスモードです。PASCR レジスタの SE ビットに 1 を書き込むことで、32 ビットアドレス拡張モードへと遷移します。32 ビットアドレス拡張モードでは MMU の動作は次のようになります。

1. MMUCR.AT=0 のとき、U0/P0/P3 領域の仮想アドレスはそのまま 32 ビット物理アドレスとなります。P1/P2 領域のアドレスは PMB マッピング情報に従いアドレス変換されます。PMB の仮想ページ番号の上位 2 ビット (VPN[31:30]) には、P1/P2 領域を指し示すように B'10 を必ず設定してください。B'10 以外の値を設定した場合の動作は保証しません。
2. MMUCR.AT=1 のとき、U0/P0/P3 領域の仮想アドレスは TLB 変換情報に従い 32 ビット物理アドレスに変換されます。P1/P2 領域のアドレスは PMB マッピングの情報に従いアドレス変換されます。PMB の仮想ページ番号の上位 2 ビット (VPN[31:30]) には、P1/P2 領域を指し示すように B'10 を必ず設定してください。B'10 以外の値を設定した場合の動作は保証しません。
3. 制御レジスタ領域 (H'FC00 0000 ~ H'FFFF FFFF) は、MMUCR.AT にかかわらず、物理アドレスの [31:29] が B'111 となります。制御レジスタ領域を UTLB に登録してアクセスする場合には、PPN[31:29] には B'111 を設定してください。

7.8.3 特権空間マッピングバッファ (PMB) 構成

32 ビットアドレス拡張モードでは、P1/P2 領域の仮想アドレスは PMB マッピング情報に従いアドレス変換されます。PMB は 16 エントリで各エントリは以下の構成です。

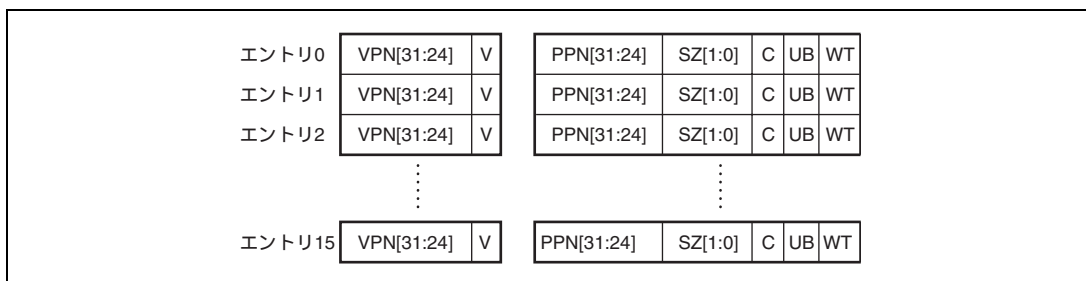


図 7.27 PMB の構成

【記号説明】

VPN : 仮想ページ番号

16M バイトページ のとき、仮想アドレスの上位 8 ビット

64M バイトページ のとき、仮想アドレスの上位 6 ビット

128M バイトページ のとき、仮想アドレスの上位 5 ビット

512M バイトページ のとき、仮想アドレスの上位 3 ビット

【注】 VPN の上位 2 ビットは、P1/P2 領域を指し示すように必ず B'10 を設定してください。

SZ : ページサイズビット

ページサイズを指定します。

00 : 16M バイトページ

01 : 64M バイトページ

10 : 128M バイトページ

11 : 512M バイトページ

V : 有効ビット

エントリが有効かどうかを示します。

0 : 無効

1 : 有効

パワーオンリセット時に 0 にクリアされます。

マニュアルリセット時に変化しません。

PPN : 物理ページ番号

物理アドレスの上位 8 ビット

16M バイトページのと看、PPN[31:24]が有効

64M バイトページのと看、PPN[31:26]が有効

128M バイトページのと看、PPN[31:27]が有効

512M バイトページのと看、PPN[31:29]が有効

C : キャッシング可能ビット

ページがキャッシング可能かどうかを示します。

0 : キャッシング不可能

1 : キャッシング可能

WT : ライトスルービット

キャッシュへの書き込みモードを指定します。

0 : コピーバックモード

1 : ライトスルーモード

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続命令のデータアクセスを開始する)

1 : アンバッファドライト (ライト完了を待ち後続命令のデータアクセスを開始する)

7.8.4 PMB の機能

本 LSI がサポートする PMB の機能を以下に示します。

1. PMBへの書き込みはメモリ割り付けライトでのみ行えます。LDTLBでの登録はできません。
2. PMBマッピング対象であるP1/P2領域のアクセスするアドレスは必ずPMB登録されていることをソフトウェアで保証してください。PMBに変換情報がないP1/P2領域のアドレスにアクセスがあった場合、本LSIはTLBリセットとなります。このとき、TEAにはTLBリセットの原因となったP1/P2領域へのアクセスアドレスが、EXPEVTにはコードH'140が格納されます。
3. 本LSIはPMBが多重ヒットを起こした場合の動作を保証しません。ソフトウェアは十分注意してPMBマッピング情報を登録してください。
4. PMBには連想ライトの機能はありません。
5. PMBにはPRフィールドは存在せず、リード/ライトのプロテクションを施すことはできません。PMBのアドレス変換対象はP1/P2アドレスなので、ユーザモードでのアクセスではアドレスエラー例外が発生します。
6. ITLBにはハードウェアITLBミスハンドリングによりUTLBとPMBの両方のエントリが混在して登録されます。ただしVPN[31:30]が10か否かで、UTLBから登録されたものかPMBから登録されたものか識別できます。PMBのエントリがITLBに登録される際に、PMBに存在しないフィールドであるASIDにはH'00、PRには01、SHには1が登録されます。

7.8.5 メモリ割り付け PMB の構成

PMB をソフトウェアで管理するために、特権モードのとき、MOV.L 命令によって PMB の内容の読み出し、書き込みが可能です。PMB のアドレスアレイは P4 領域の H'F610 0000 ~ H'F61F FFFF に、PMB のデータアレイは P4 領域の H'F710 0000 ~ H'F71F FFFF に割り付けられています。PMB では VPN、V をアドレスアレイとして、PPN、V、SZ、C、WT、UB をデータアレイとしてアクセス可能です。V はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。PMB メモリ割り付けアクセスを実行するプログラムは、PMB.C = 0 に設定したページの領域に配置してください。

1. PMBアドレスアレイリード

アドレスとして[31:20]にPMBアドレスアレイを示すH'F61、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にVPN、[8]にVが読み出されます。

2. PMBアドレスアレイライト

アドレスとして[31:20]にPMBアドレスアレイを示すH'F61、[11:8]にエントリを指定し、データとして[31:24]にVPN、[8]にVを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

3. PMBデータアレイリード

アドレスとして[31:20]にPMBデータアレイを示すH'F71、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTが読み出されます。

4. PMBデータアレイライト

アドレスとして[31:20]にPMBデータアレイを示すH'F71、[11:8]にエントリを指定し、データとして[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

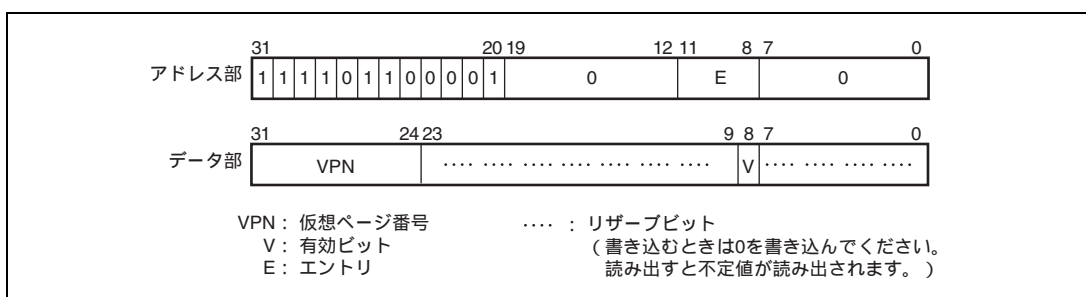


図 7.28 メモリ割り付け PMB アドレスアレイ

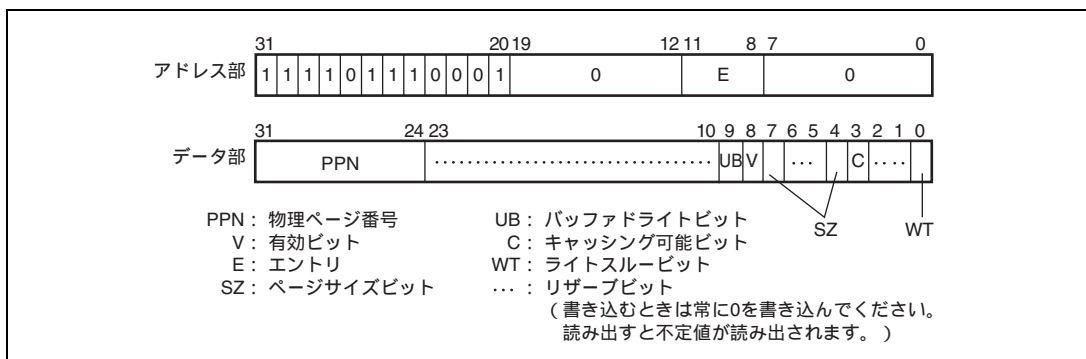


図 7.29 メモリ割り付け PMB データアレイ

7.8.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードを使用する場合、本章ですでに述べた事項が以下のように拡張または変更されますので、注意してください。

(1) PASC.R.SE

制御レジスタ PASC.R[31]に SE ビットが追加になります。また、UB[6:0]は無効になります (UB[7]は 32 ビットアドレス拡張モードでも有効です)。

バッファドライトになるか否かは、P1/P2 領域に対するライトでは PMB の UB ビットにより制御されます。P0/P3/U0 領域に対するライトでは、MMU がイネーブルの場合 TLB の UB ビットにより制御され、MMU がディスエーブルの場合、常にバッファドライトになります。

ビット	ビット名	初期値	R/W	説明
31	SE	0	R/W	アドレスモード 0: 29 ビットアドレスモード 1: 32 ビットアドレス拡張モード
30~8	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
7~0	UB	すべて 0	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかどうかをエリアごとに指定します。 0: CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います。 1: CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います。 UB [7]: 制御レジスタ領域のバッファドライト制御 UB [6:0]: エリア (64M バイト) ごとのバッファドライト制御 (32 ビットアドレス拡張モードでは無効)

(2) ITLB

ITLB の PPN フィールドが[31:10]へ拡張されます。

(3) UTLB

UTLB の各エントリに PMB の UB ビットと同じ意味の UB ビットが追加になります。

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続命令のデータアクセスを開始する)

1 : アンバッファドライト (ライト完了を待ち後続命令のデータアクセスを開始する)

UB ビットはメモリ割り付け TLB アクセスではデータアレイのビット[9]でリード/ライトが行えます。

(4) PTEL

UTLB と同様に PTEL レジスタのビット[9]に PMB の UB ビットと同じ意味の UB ビットが追加になります。

この UB ビットは LDTLB 命令によって UTLB の UB ビットへ書き込まれます。また PPN フィールドが[31:10]に拡張されます。

(5) CCR.CB

CCR レジスタの CB ビットは無効になります。PI 領域に対するキャッシュブレイクライトがコピーバックモードになるか、ライトスルーモードになるかは、PMB の WT ビットに従います。

(6) IRMCR.MT

IRMCR の MT ビットが、メモリ割り付け PMB ライトに対しても有効になります。

(7) QACR0、QACR1

QACR0、QACR1 レジスタの AREA0[4:2]、AREA[4:2]がそれぞれ AREA0[7:2]、AREA1[7:2]に拡張され、物理アドレス 31 ~ 26 に対応します。

(8) LSA0、LSA1、LDA0、LDA1

LOSADR、L1SADR、L0DADR、L1DADR がそれぞれ[31:0]に拡張されます。

また、32 ビットアドレスモード使用時にはソフトウェアは以下の点に注意してください。

1. SEビットの切り替えはパワーオンリセットまたはマニュアルリセット後のキャッシュとTLBがオフのブートルーチンで0から1への切り替えのみサポートされています。
2. SEビット切り替え後、そのプログラムの配置されている領域自体がPMBアドレス変換対象となりますので、SEビットの切り替えに先立ってPMBへの登録が必要です。例外ハンドラなど、P1/P2領域へのアクセスされる可能性のあるアドレスについても必ずPMBへの登録を行ってください。
3. SEビットを切り替えるMOV.L命令の前にあるオペランドメモリアccessが外部メモリアccessを起こす場合、両アドレスモードでアクセスされる外部メモリ空間アドレスが異なるようにしてください。

4. PMBの登録時にVビットがアドレスレイとデータレイの両方にマッピングされていることに注意してください。すなわち、1回目的一方への書き込みではV = 0を、2回目の他方への書き込みではV = 1を選んでください。

8. キャッシュ

本 LSI は命令用に 32K バイトの命令キャッシュ(IC)を、データ用に 32K バイトのオペランドキャッシュ(OC)を内蔵しています。

8.1 特長

キャッシュの特長を表 8.1 に示します。

本 LSI では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SQ の特長を表 8.2 に示します。

表 8.1 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス / 物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ / ウェイ	256 エントリ / ウェイ
書き込み方式	-	コピーバック / ライトスルー 選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 8.2 ストアキューの特長

項目	ストアキュー
容量	2×32 バイト
アドレス	H'E000 0000 ~ H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU ディスエーブル時: MMU 制御レジスタ (MMUCR) の SQMD ビットによる MMU イネーブル時: 個々のページ PR による

本 LSI のオペランドキャッシュは 4 ウェイセットアソシアティブ方式で、おのこのウェイは 256 本のキャッシュラインから構成されます。図 8.1 にオペランドキャッシュの構成を示します。

命令キャッシュは 4 ウェイセットアソシアティブ方式で、おのこのウェイは 256 本のキャッシュラインから構成されます。図 8.2 に命令キャッシュの構成を示します。

本 LSI は消費電力を低減するために IC ウェイ予測機構を搭載しています。また、非サポート検出例外レジスタ (EXPMASK) を用いて、メモリ割り付け連想ライト機能を例外として検出することが可能です。詳細は、「第 5 章 例外処理」を参照してください。

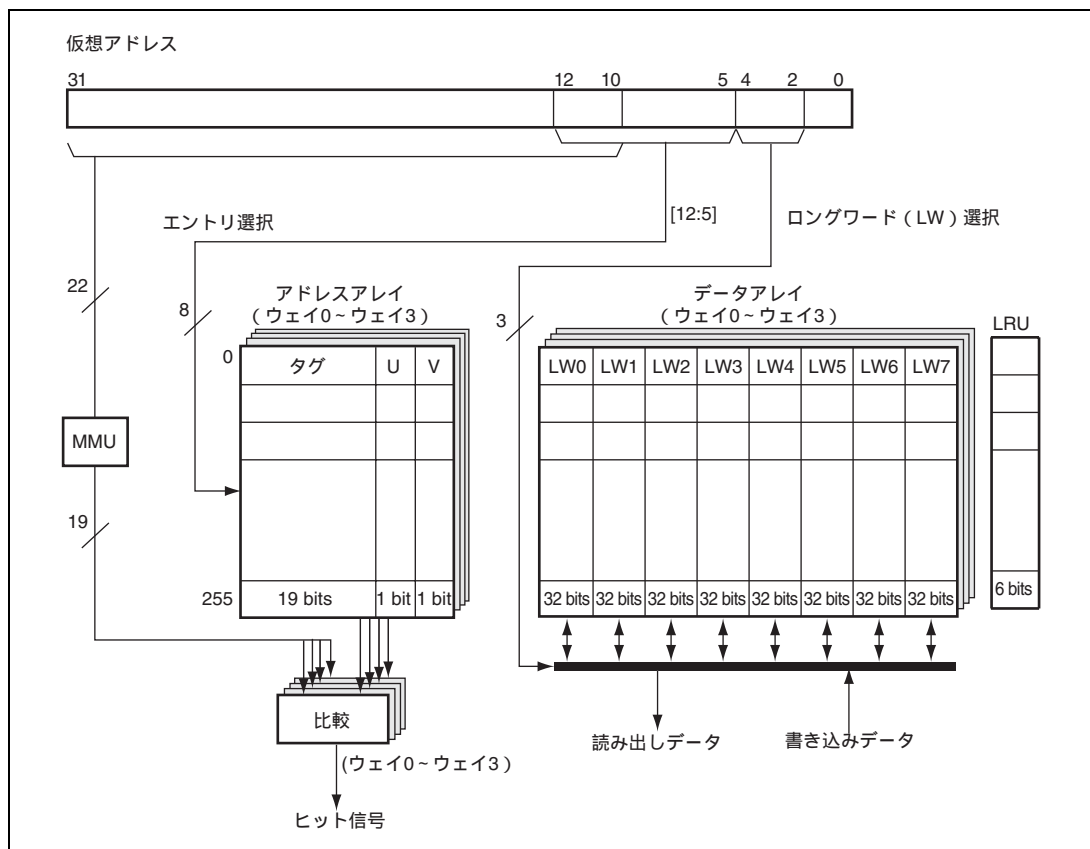


図 8.1 オペランドキャッシュの構成

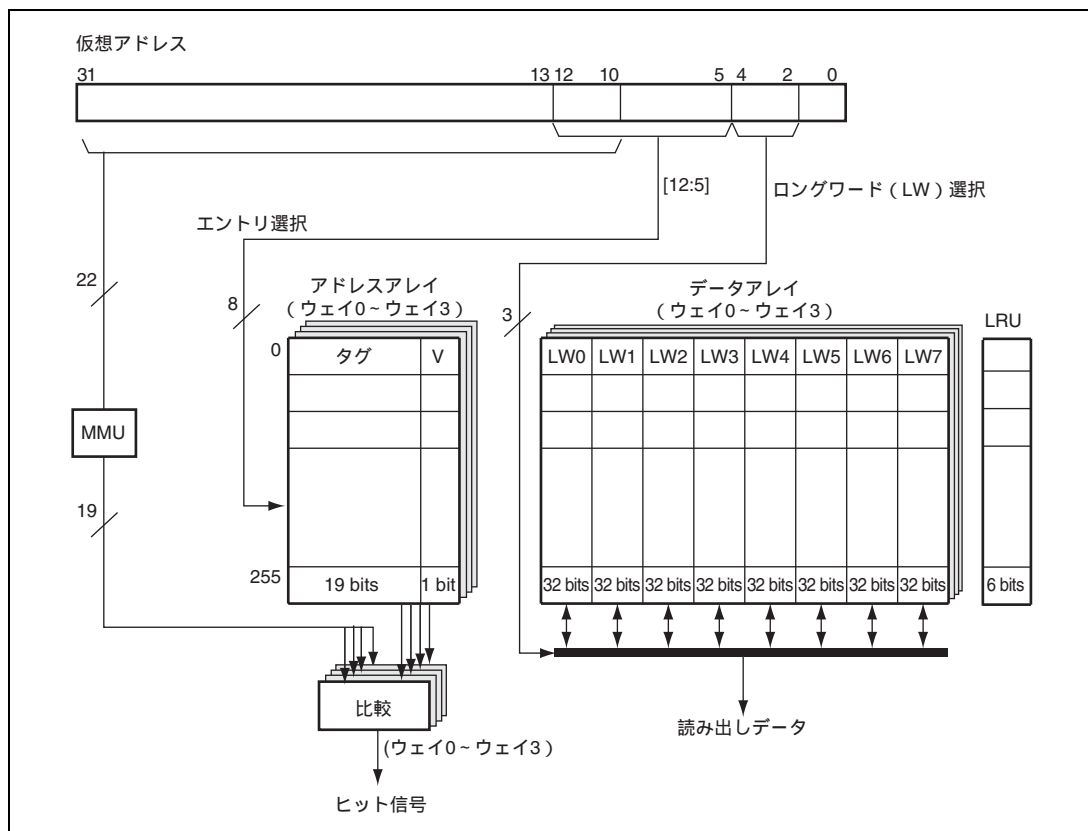


図 8.2 命令キャッシュの構成

(1) タグ

キャッシュされるデータラインの物理アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

(2) Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(3) Uビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインへデータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ(「8.6 メモリ割り付けキャッシュの構成」参照)をアクセスすることによりUビットを書き換えない限り、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。Uビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

(4) データ部

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

(5) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU（Least Recently Used）アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

8.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。

表 8.3 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
キューアドレス制御レジスタ 0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
キューアドレス制御レジスタ 1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 8.4 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
CCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持
QACR0	不定	不定	保持	保持	不定	不定	保持
QACR1	不定	不定	保持	保持	不定	不定	保持
RAMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持

8.2.1 キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR の書き換えは、キャッシング不可の P2 領域のプログラムまたは IL メモリ上のプログラムで行わなければなりません。CCR 更新後、キャッシング可能領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICI	-	-	ICE	-	-	-	-	OCI	CB	WT	OCE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
11	ICI	0	R/W	IC 無効化ビット このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読み出されます。
10、9	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
8	ICE	0	R/W	IC 有効ビット IC の使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報の C ビットも 1 でなければ IC を使用できません。 0 : IC を使用しない 1 : IC を使用する
7~4	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

ビット	ビット名	初期値	R/W	説明
3	OCI	0	R/W	OC無効化ビット このビットに1を書き込むとOCの全エントリのV、Uビットを0にします。読み出すと常に0が読み出されます。
2	CB	0	R/W	コピーバックビット P1領域のキャッシュへの書き込みモードを示します。 0:ライトスルーモード 1:コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報のWTビットの値を優先します。 0:コピーバックモード 1:ライトスルーモード
0	OCE	0	R/W	OC有効ビット OCの使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報のCビットも1でなければOCを使用できません。 0:OCを使用しない 1:OCを使用する

8.2.2 キューアドレス制御レジスタ 0 (QACR0)

QACR0 は、MMU がディスエーブルのとき、ストアキュー0 (SQ0) がマップされているエリアを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA0			-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4~2	AREA0	不定	R/W	MMU がディスエーブルのとき、SQ0 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

8.2.3 キューアドレス制御レジスタ 1 (QACR1)

QACR1 は、MMU がディスエーブルのとき、ストアキュー1 (SQ1) がマップされているエリアを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	AREA1			-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	-	-	-	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
4~2	AREA1	不定	R/W	MMU がディスエーブルのとき、SQ1 に対する物理アドレス 28~26 を生成します。
1、0	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。

8.2.4 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数と IC ウェイ予測の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域または IL メモリへのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域またはILメモリ領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. RAMCR更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、1または2を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RMD	RP	IC2W	OC2W	ICWPD	-	-	-	L2FC	L2E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「10.4 ILメモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「10.4 ILメモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 0: IC は 4 ウェイ動作 1: IC は 2 ウェイ動作 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 0: OC は 4 ウェイ動作 1: OC は 2 ウェイ動作 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。

ビット	ビット名	初期値	R/W	説明
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット IC ウェイ予測の使用を選択します。 0 : 命令キャッシュはウェイ予測を行う 1 : 命令キャッシュはウェイ予測を行わない
4~2	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	L2FC	0	R/W	2次キャッシュ強制コヒーレンシモードビット 詳細は「9.3.2 2次キャッシュの動作」を参照してください。
0	L2E	0	R/W	2次キャッシュ有効ビット 詳細は「9.3.2 2次キャッシュの動作」を参照してください。

8.3 オペランドキャッシュの動作説明

8.3.1 読み出し動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 5.
3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.2 プリフェッチ動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを OC にプリフェッチする場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 4.
 - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 5.

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

8.3.3 書き込み動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、および対象となる領域の属性から、

コピーバック ライトスルー

- | | | |
|--|----|----|
| • タグが一致かつVビットが1のウェイが存在する場合 | 3. | 4. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 | 5. | 7. |
| • タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 | 6. | 7. |
3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

5. キャッシュミス(コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。

データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

7. キャッシュミス(ライトスルー)

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、LRUビットも更新されません。

8.3.4 ライトバックバッファ

本LSIは、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

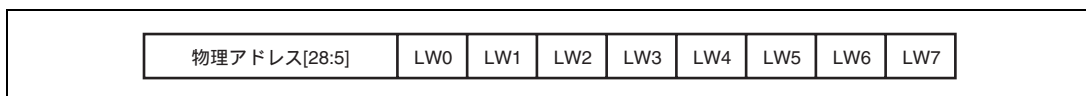


図 8.3 ライトバックバッファの構成

8.3.5 ライトスルーバッファ

本LSIは、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

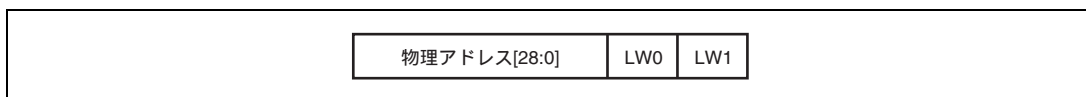


図 8.4 ライトスルーバッファの構成

8.3.6 OC 2 ウェイモード

RAMCR レジスタのOC2W ビットを1にセットすると、OCのウェイ0とウェイ1のみを使用するOC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けOCアクセスも含め、ウェイ0とウェイ1のみが使用されます。

OC2W ビットの書き換えはP2領域のプログラムで行ってください。また、書き換える時点ですでにOCに有効なラインが登録されている場合には、OC2W ビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、CCR レジスタのOCI ビットに1を書き込み、OCの全エントリを無効にしてください。

8.4 命令キャッシュの動作説明

8.4.1 読み出し動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から命令フェッチを行う場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.
3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:3]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8 バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.2 プリフェッチ動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から、命令を IC にプリフェッチする場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
 - タグが一致かつVビットが1のウェイが存在する場合 3.
 - タグが一致かつVビットが1のウェイが存在しない場合 4.

3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

8.4.3 IC 2 ウェイモード

RAMCR レジスタの IC2W ビットを1にセットすると、ICのウェイ0とウェイ1のみを使用するIC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けICアクセスも含め、ウェイ0とウェイ1のみが使用されます。

IC2W ビットの書き換えはP2領域のプログラムで行うようにしてください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、IC2W ビットを書き換える前に、CCR レジスタのICI ビットに1を書き込み、ICの全エントリを無効化してください。

8.4.4 命令キャッシュウェイ予測

本LSIは消費電力を低減するために命令キャッシュ(IC)ウェイ予測機構を内蔵し、予測したウェイのデータアレイのみを起動します。ウェイ予測ミスが発生した場合には正しいウェイのデータを再読み出しするため、命令フェッチ性能が低下することがあります。ICWPD ビットを1にセットすると、ICウェイ予測機構を停止させることができます。本モードではウェイ予測ミスは発生しないため、命令フェッチ性能の低下はありませんがICの消費電力が増加します。また、ICWPD ビットの切り換えはキャッシング不可のP2領域を走行するプログラムで行ってください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、ICWPD ビットを書き換える前に、CCR レジスタのICI ビットに1を書き込み、ICの全エントリを無効化してください。

8.5 キャッシュ操作命令

8.5.1 キャッシュと外部メモリとのコヒーレンシ

(1) キャッシュ操作命令一覧

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本 LSI ではキャッシュを操作する命令として次の 6 命令をサポートしています。各命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

- オペランドキャッシュインバリデイト命令：OCBI @Rn
オペランドキャッシュの無効化（書き戻しなし）
- オペランドキャッシュパーズ命令：OCBP @Rn
オペランドキャッシュの無効化（書き戻しあり）
- オペランドキャッシュライトバック命令：OCBWB @Rn
オペランドキャッシュの書き戻し
- オペランドキャッシュアロケート命令：MOVCA.L R0,@Rn
オペランドキャッシュの確保
- 命令キャッシュインバリデイト命令：ICBI @Rn
命令キャッシュの無効化
- オペランドアクセス同期命令：SYNCO
データ転送の完了待ち

(2) コヒーレンシ制御

オペランドキャッシュのコヒーレンシ制御のために、SuperHyway バスからの PURGE および FLUSH トランザクションを受け付けることが可能です。PURGE/FLUSH トランザクションで与えられるアドレスは物理アドレスです。そのため MMU がイネーブルの場合、キャッシュシノニム問題を回避するため、1K バイトのページサイズを使用しないでください。

- PURGE トランザクション

オペランドキャッシュがイネーブルの時、オペランドキャッシュを検索し、ヒットしたエントリを無効化します。無効化されるラインがダーティであれば外部メモリへ書き戻しを行います。ミスした場合にはノーオペレーションです。

- FLUSH トランザクション

オペランドキャッシュがイネーブルの時、オペランドキャッシュを検索し、ヒットしたエントリがあり、かつダーティであれば外部メモリへ書き戻しを行います。ヒットしたエントリの無効化は行いません。ミスした場合またはヒットしたエントリがダーティでなかった場合にはノーオペレーションです。

8.5.2 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、本 LSI ではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュへデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスが発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外が発生させません。プリフェッチ命令の詳細は「SH-4A 拡張機能ソフトウェアマニュアル」の「第 11 章 各命令の説明」を参照してください。

- プリフェッチ命令 (OC) : PREF @Rn
- プリフェッチ命令 (IC) : PREFI @Rn

8.6 メモリ割り付けキャッシュの構成

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってICデータアレイの内容の読み出し/書き込みが可能です。また特権モードのときP2領域のプログラムあるいはILメモリ領域のプログラムからMOV命令によってICアドレスアレイの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3領域への分岐は、以下の1~3のどれかの方法で行ってください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行した後、P0、U0、P1、P3領域への分岐を行ってください。
3. メモリ割り付けICへのアクセスの前に、あらかじめIRMCR.MC=0(初期値)と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付けICアクセス命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、1または2を用いることを推奨します。

また、特権モードのとき、P1、P2領域のプログラムからMOV命令によってOCの内容の読み出し/書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OCは仮想アドレス空間のP4領域に割り付けられています。ICのアドレスアレイ/データアレイ、OCのアドレスアレイ/データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには0を設定するようにしてください。予約ビットの読み出し値は不定です。

8.6.1 IC アドレスアレイ

ICのアドレスアレイはP4領域のH'F000 0000~H'F0FF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定(読み出し/書き込み時)と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すH'F0になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット(Aビット)はICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。

(1) IC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリから、データ部へタグとVビットを読み出

します。読み出す場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

(2) IC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

(3) IC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。アドレス部[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリングや命令 TLB ミス例外の通知を行い、確実に IC の操作が可能な ICBI 命令の使用を推奨します。

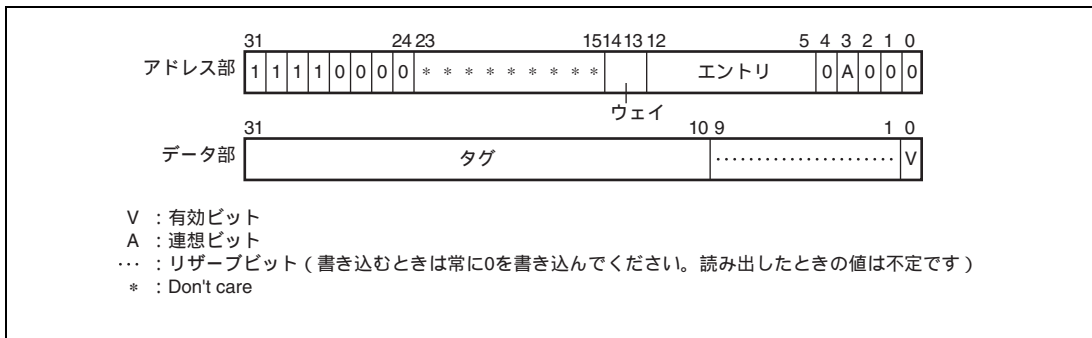


図 8.5 メモリ割り付け IC アドレスアレイ

8.6.2 IC データアレイ

IC のデータアレイは P4 領域の HF100 0000 ~ HF1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す HF1 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

(1) IC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) IC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

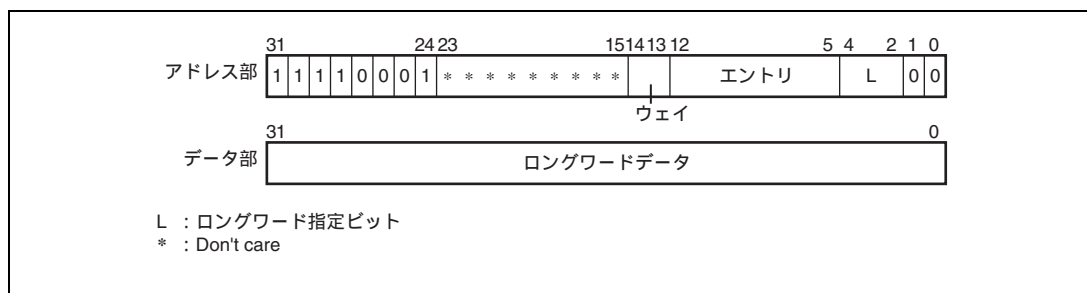


図 8.6 メモリ割り付け IC データアレイ

8.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の HF400 0000 ~ HF4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は [31:24] が OC アドレスアレイを示す HF4 になっており、[14:13] でウェイ、[12:5] でエントリを指定するようになっています。アドレス部 [3] の連想ビット (A ビット) は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部 [1:0] は 0 を指定してください。

データ部は [31:10] がタグを、[1] が U ビットを、[0] が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部 [31:29] は連想を行わない書き込みのときには使用されません。データ部 [31:29] は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

(2) OC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応する OC エントリに対して、データ部で指定されたタグと U ビットと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みをUビットが1、Vビットが1のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとUビットとVビットを書き込みます。

(3) OC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCBI/OCBP/OCBWB 命令の使用を推奨します。

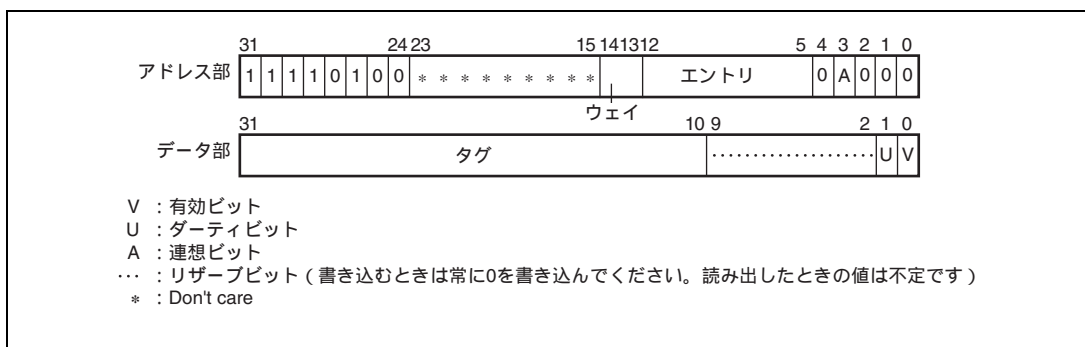


図 8.7 メモリ割り付け OC アドレスアレイ

8.6.4 OC データアレイ

OC のデータアレイは P4 領域の HF500 0000 ~ HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す HF5 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

(1) OC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) OC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側のUビットは1になりません。

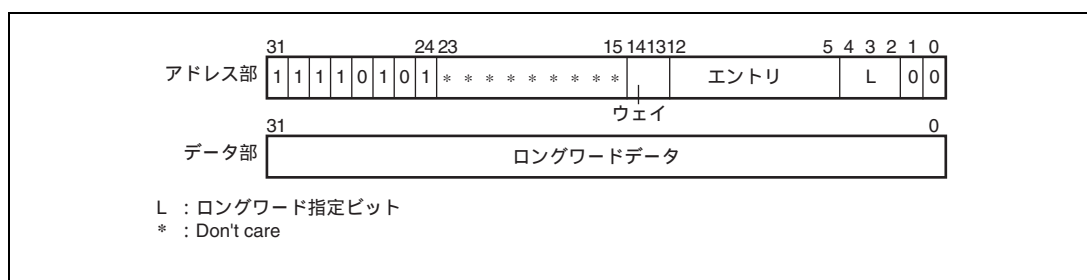


図 8.8 メモリ割り付け OC データアレイ

8.6.5 メモリ割り付け連想ライトの動作

IC アドレスアレイ、OC アドレスアレイへの連想あり書き込みは、今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリング、命令 TLB ミス例外の通知やデータ TLB ミス例外の通知を行い、確実に IC または OC の操作が可能な ICBI、OCBI、OCBP、OCBWB 命令の使用を推奨します。本 LSI では過渡的な措置として本機能を利用した場合にアドレスエラーを発生します。従来製品との互換性を重視する場合には EXPMASK レジスタ (HFF2F 0004) の MMCAW ビットを 1 とすることで本機能を利用することが可能ですが、今後の SuperH シリーズでの互換性を保証するためには、ICBI、OCBI、OCBP、OCBWB 命令を使用してください。

8.7 ストアキュー

本 LSI では、外部メモリへ的高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。

8.7.1 SQ の構成

SQ は図 8.9 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

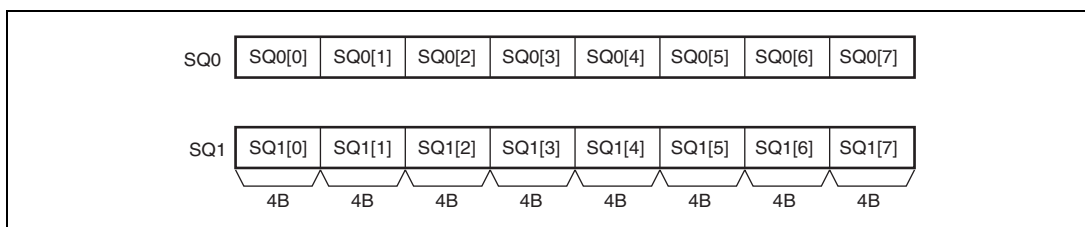


図 8.9 ストアキューの構成

8.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000 ~ H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

(1) MMU イネーブル (MMUCR.AT = 1) の場合

UTLBのVPNにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を、PPNに転送先の物理アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い物理アドレス [28:10] を生成します。物理アドレスの [9:5] についてはMMUディスエーブルと同様にアドレス変換前のアドレスから生成します。物理アドレスの [4:0] は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

(2) MMU ディスエーブル (MMUCR.AT = 0) の場合

PREF命令を発行するアドレスにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を指定します。このアドレス [31:0] は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 転送先物理アドレス [25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 転送先物理アドレス [5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない物理アドレス [28:26] は、QACR0、QACR1 から生成します。

QACR0 [4:2] : SQ0 に対する物理アドレス [28:26]

QACR1 [4:2] : SQ1 に対する物理アドレス [28:26]

物理アドレスの [4:0] は、バースト転送の開始が32バイト境界のため常に0固定となります。

8.7.4 SQ アクセスの例外判定

SQ への書き込み、および外部メモリへの転送 (PREF 命令) の例外判定は MMU イネーブル/ディスエーブルにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されます。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

(1) MMU イネーブル (MMUCR.AT=1) の場合

UTLBに登録されたアドレス変換情報とSQMDビットに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 (PREF命令) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外が発生します。ただし、SQMDビットによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

(2) MMU ディスエーブル (MMUCR.AT=0) の場合

SQMDビットに従います。

0 : 特権 / ユーザアクセス可能

1 : 特権アクセス可能

SQMDビットが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

8.7.5 SQ からの読み出し

本 LSI では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF00 1000 ~ H'FF00 103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0 : SQ0 指定、1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

8.8 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、本章ですでに述べた事項が以下のように拡張されます。

1. IC および OC のタグが [28:10] の 19 ビットから、[31:10] の 22 ビットに拡張されます。
2. IC を操作する命令 (メモリ割り付け IC アクセスおよび CCR.ICI 書き込み) を配置する領域は、P1 または P2 領域とし、PMB の当該エントリのキャッシング可能ビット (C ビット) を 0 にしてください。
3. QACR0 レジスタの AREA0 ビットおよび QACR1 レジスタの AREA1 ビットがそれぞれ [4:2] の 3 ビットから [7:2] の 6 ビットに拡張されます。

9. 2次キャッシュ

本 LSI は命令 / データ混在の 256K バイトの 2 次キャッシュを内蔵しています。

9.1 特長

2 次キャッシュの特長を表 9.1 に示します。

表 9.1 2 次キャッシュの特長

項目	2 次キャッシュ
容量	256K バイト
方式	4 ウェイセットアソシアティブ、物理アドレスインデックス / 物理アドレスタグ
ラインサイズ	32 バイト
エントリ数	2048 エントリ / ウェイ
ライト方式	ライトスルー
置換方式	LRU (Least Recently Used) アルゴリズム
動作クロック	SH クロック

9.2 レジスタの説明

2 次キャッシュ制御に関するレジスタの構成を表 9.2 に示します。

表 9.2 レジスタの構成

名称	略称	R/W	P4 アドレス*	エリア 7 アドレス*	アクセス サイズ
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 アドレスは仮想アドレス空間の P4 領域を用いた場合のもので、エリア 7 アドレスは TLB を用いて物理アドレス空間のエリア 7 からアクセスする場合のもので、

表 9.3 各処理モードにおけるレジスタの状態

略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	R-スタンバイ	U-スタンバイ	スリープ
RAMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持

9.2.1 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は 2 次キャッシュの制御を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RMD	RP	IC2W	OC2W	ICWPD	-	-	-	L2FC	L2E
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「10.4 IL メモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「10.4 IL メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット 詳細は「8.4.4 命令キャッシュウェイ予測」を参照してください。
4~2	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	L2FC	0	R/W	2 次キャッシュ強制コヒーレンシモードビット メモリ割り付け OC アドレスアレイライト (連想なし) を行ったときに、メモリ割り付け 2 次キャッシュアドレスアレイにも書き込みを行うかどうかを制御します。 0 : 2 次キャッシュアドレスアレイには書き込まない。 1 : 2 次キャッシュアドレスアレイにも書き込む。
0	L2E	0	R/W	2 次キャッシュ有効ビット 0 : 2 次キャッシュを使用しない。 1 : 2 次キャッシュを使用する。

9.3 2次キャッシュの構成と動作

9.3.1 構成

図 9.1 に 2 次キャッシュの構成を示します。

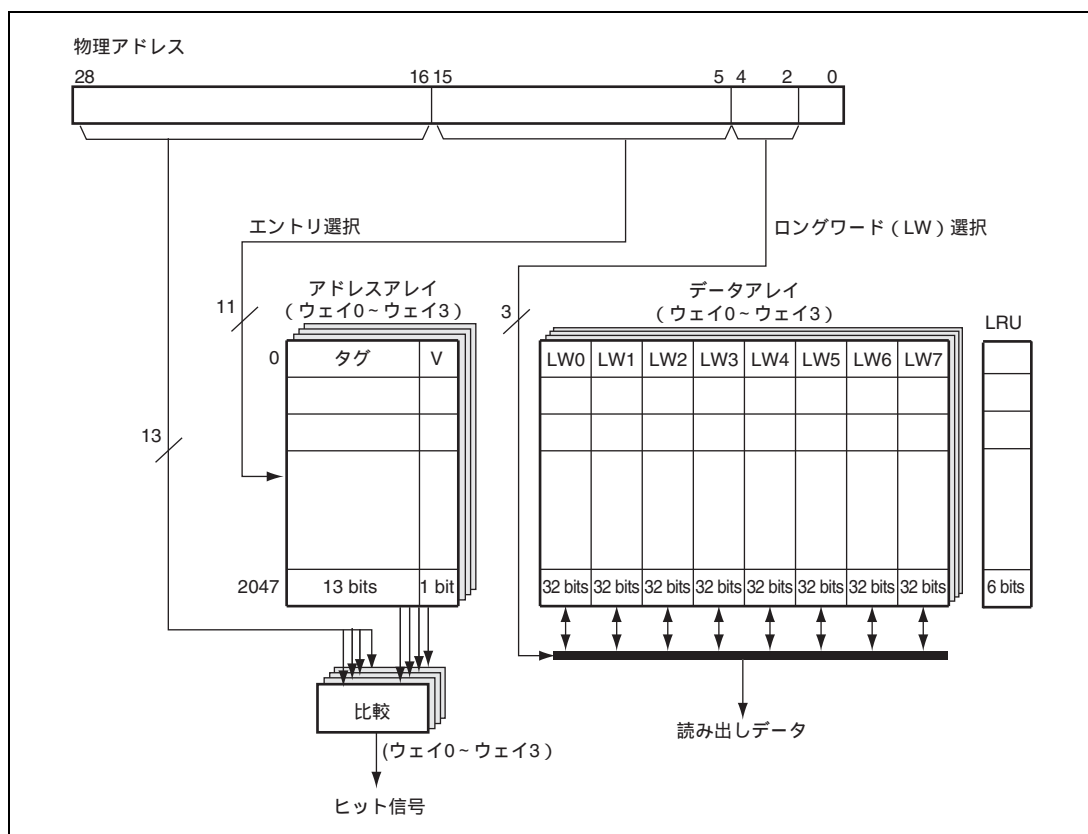


図 9.1 2次キャッシュの構成

2次キャッシュは 2048 本のキャッシュラインから構成され、それぞれのラインは 13 ビットのタグ、V ビット、6 ビットの LRU ビットおよび 32 バイトのデータから成ります。

(1) タグ

キャッシュされるデータラインの物理アドレス 29 ビットの上位 13 ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

(2) V ビット (有効ビット)

キャッシュラインに有効なデータが格納されているかを示します。このビットが 1 のとき、そのキャッシュラインのデータは有効となります。V ビットはパワーオンリセットで 0 に初期化されますが、マニュアルリセットでは値を保持します。

(3) LRU ビット

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリアドレスを登録するとき、4つのウェイのうちどのウェイに登録するかをLRUビットが示します。LRUビットは各エントリアドレス6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、もっとも以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。LRUビットはパワーオンリセットですべて0に初期化されますが、マニュアルリセットでは値を保持します。

(4) データ部

データ部には1キャッシュラインあたり32バイト (256ビット) のデータが格納されます。データ部はパワーオンリセット、マニュアルリセットで初期化されません。

9.3.2 2次キャッシュの動作

本 LSI では 2 次キャッシュを使用するためには、必ず 1 次キャッシュである命令キャッシュ (IC) とオペランドキャッシュ (OC) を共にイネーブルにする必要があります。2 次キャッシュの V ビットと LRU ビットの初期化は、パワーオンリセット、CCR.ICI = 1 の書き込みによる IC インバリデート、CCR.OCI = 1 の書き込みによる OC インバリデートのいずれかの場合にハードウェアで行います。この動作はエントリアドレス数の 2 次キャッシュ動作クロックサイクルを要し、その間の CPU からのメモリアクセスで 1 次キャッシュにミスした場合は、2 次キャッシュは使用されず、外部メモリへのアクセスとなります。

2 次キャッシュへのアクセスは、

- CPUからの命令フェッチとオペランドアクセスによる1次キャッシュを介した動作 (1)
- CPUからのキャッシュ操作命令による動作 (2)
- Super Hywayからのコヒーレンシアクセス (3)
- メモリ割り付け1次キャッシュ (IC/OC) アドレスアレイ書き込みによるアクセス (4)
- メモリ割り付け2次キャッシュアクセス (「9.4 メモリ割り付け2次キャッシュの構成」参照)

があります。

(1) CPUからの命令フェッチとオペランドアクセスによる1次キャッシュを介した動作
CPUからの命令フェッチとオペランドアクセスによる1次キャッシュを介した動作には、

- 1次キャッシュからのリード
- 1次キャッシュからのライトスルーライト
- 1次キャッシュからのコピーバックライト

があります。

(a) 1次キャッシュからのリード

1次キャッシュでキャッシュミスを起こした場合のブロックリードで、常に1ライン分(32バイト)のデータ転送となります。1次キャッシュから送られた1次キャッシュミスアドレスである物理アドレスのビット[15:5]でインデックスされる各ウェイの2次キャッシュラインからタグとVビットを読み出します。

物理アドレスのビット[28:16]とタグを比較し、

- タグが一致かつVビットが1の場合 1.
- それ以外の場合 2.

1. 2次キャッシュヒット

物理アドレスのビット[15:5]でインデックスされ、ヒットしたウェイの2次キャッシュラインのデータ部から、32バイトデータを読み出し、1次キャッシュにフィルします。

2. 2次キャッシュミス

物理アドレスに対応する外部メモリから、2次キャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスした物理アドレスに対応するデータから順にラップアラウンド方式で行い、先頭のデータが2次キャッシュへ到着した時点で、1次キャッシュにも読み出しデータを返します。2次キャッシュは1ライン分のデータの書き込みとともに、物理アドレスに対応するタグを登録し、Vビットに1を書き込みます。

(b) 1次キャッシュからのライトスルーライト

1次キャッシュでライトスルーライトが起きた場合のシングルライト(クワッドワード/ロングワード/ワード/バイト)です。1次キャッシュから送られた物理アドレスのビット[15:5]でインデックスされる各ウェイからキャッシュラインからタグとVビットを読み出します。

物理アドレスのビット[28:16]とタグを比較し、

- タグが一致かつVビットが1の場合 1.
- それ以外の場合 2.

1. 2次キャッシュヒット

物理アドレスのビット[15:5]でインデックスされ、ヒットしたウェイのキャッシュラインのデータ部の、物理アドレスのビット[4:0]で指定されるデータ位置に対し、指定されたアクセスサイズ(クワッドワード/ロングワード/ワード/バイト)によりデータの書き込みを行います。書き込みは指定されたアクセスサイズで

外部メモリにも行います。

2. 2次キャッシュミス

物理アドレスに対応した外部メモリへ、指定されたアクセスサイズのライトを行います。この場合、2次キャッシュへの書き込みは行われません。

(c) 1次キャッシュからのコピーバックライト

1次キャッシュで書き戻しが発生した場合のブロックライトで常に1ライン分(32バイト)のデータ転送です。1次キャッシュから送られた物理アドレスのビット[15:5]でインデックスされる各ウェイからキャッシュラインからタグとVビットを読み出します。

物理アドレスのビット[28:16]とタグを比較し、

- タグが一致かつVビットが1の場合 1.
- それ以外の場合 2.

1. 2次キャッシュヒット

物理アドレスのビット[15:5]でインデックスされるキャッシュラインのヒットしたウェイのデータに対し、32バイトデータの書き込みを行います。32バイトの書き込みを外部メモリにも行います。

2. 2次キャッシュミス

物理アドレスに対応した外部メモリへ、32バイトの書き込みを行います。この場合、2次キャッシュへの書き込みは行われません。

(2) CPUからのキャッシュ操作命令による動作

CPUからのキャッシュ操作命令による動作には、

- ICBI @Rn、OCBI @Rn命令およびOCBP @Rn命令による場合
- OCBWB @Rn命令による場合

があります。

(a) ICBI @Rn、OCBI @Rn命令およびOCBP @Rn命令

Rnで指示される仮想アドレスに対応する物理アドレスを含む2次キャッシュラインを無効化します。2次キャッシュはライトスルーであり、ダーティになることはないため、書き戻しは発生しません。

(b) OCBWB @Rn命令

2次キャッシュはライトスルーであり、ダーティになることはないため、ノーオペレーションです。

(3) SuperHyway バスからのコヒーレンシアクセス

SuperHyway バスからのコヒーレンシアクセスには、

- PURGEトランザクションを受けた場合
- FLUSHトランザクションを受けた場合

があります。

(a) PURGE トランザクションを受けた場合

指示された物理アドレスを含む2次キャッシュラインを無効化します

(b) FLUSH トランザクションを受けた場合

2次キャッシュはライトスルーであり、ダーティになることはないため、ノーオペレーションです。

(4) メモリ割り付け 1 次キャッシュ (IC/OC) アクセス

メモリ割り付け 1 次キャッシュ (IC/OC) アクセスには

- メモリ割り付けOCアドレスアレイ書き込み (連想なし) の場合
- メモリ割り付けICアドレスアレイ書き込み (連想あり) の場合
- メモリ割り付けOCアドレスアレイ書き込み (連想あり) の場合

があります。

(a) メモリ割り付け OC アドレスアレイ書き込み (連想なし)

2次キャッシュがイネーブル (RAMCR.L2E=1) かつRAMCRレジスタのL2FCビットが1の場合、OCアドレスアレイへの動作に加えて、アドレス部の[15:5]で指定される2次キャッシュエントリに、データ部で指定されるタグとVビットを書き込みます。LRUビットにはすべて0が書き込まれます。

RAMCRレジスタのL2FCビットが0の場合、2次キャッシュへのアクセスは起こりません。

(b) メモリ割り付け IC アドレスアレイ書き込み (連想あり)

2次キャッシュがイネーブル (RAMCR.L2E=1) でVビットに0を書き込んだ場合、ICアドレスアレイへの動作に加えて、データ部で指定された仮想アドレスに対応する物理アドレスを含む2次キャッシュラインを無効化します。Vビットに1を書き込んだ場合はノーオペレーションです。

(c) メモリ割り付け OC アドレスアレイ書き込み (連想あり)

2次キャッシュがイネーブル (RAMCR.L2E=1) でVビットに0を書き込んだ場合、OCアドレスアレイへの動作に加えて、データ部で指定された仮想アドレスに対応する物理アドレスを含む2次キャッシュラインを無効化します。Vビットに1を書き込んだ場合はノーオペレーションです。

9.4 メモリ割り付け2次キャッシュの構成

2次キャッシュをソフトウェアで管理するために、特権モードのとき、MOV 命令によって2次キャッシュの内容の読み出し/書き込みが可能です。2次キャッシュは仮想アドレス空間のP4領域に割り付けられています。2次キャッシュのアドレスアレイ/データアレイともにデータアクセスのみ可能で、アクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには0を設定するようにしてください。予約ビットの読み出し値は不定です。

9.4.1 2次キャッシュアドレスアレイ

2次キャッシュのアドレスアレイはP4領域のH'F800 0000 ~ H'F8FF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定(読み出し/書き込み時)と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込みタグとVビットとLRUビットを指定します。

アドレス部は[31:24]が2次キャッシュアドレスアレイを示すH'F8になっており、[17:16]でウェイ、[15:5]でエントリを指定するようになっています。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部は[29:16]がタグを、[9:4]がLRUビットを、[0]がVビットを示します。

2次キャッシュアドレスアレイに対しては次の2種類の操作が可能です。

1. 2次キャッシュアドレスアレイリード

アドレス部に設定されたエントリに対応する2次キャッシュエントリから、データ部へタグとLRUビットとVビットを読み出します。

2. 2次キャッシュアドレスアレイライト

アドレス部に設定されたエントリに対応する2次キャッシュエントリに対して、データ部で指定されたタグとLRUビットとVビットを書き込みます。

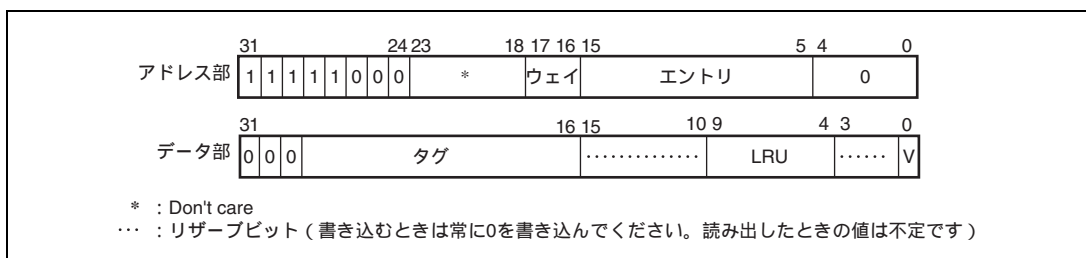


図 9.2 メモリ割り付け2次キャッシュアドレスアレイ

9.4.2 2次キャッシュデータアレイ

2次キャッシュのデータアレイはP4領域のH'F900 0000～H'F9FF FFFFに割り付けられています。データアレイのアクセスには32ビットのアドレス部の指定（読み出し／書き込み時）と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が2次キャッシュデータアレイを示すH'F9になっており、[17:16]でウェイ、[15:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部はロングワードデータの指定に用います。

2次キャッシュデータアレイに対しては次の2種類の操作が可能です。

1. 2次キャッシュデータアレイリード

アドレス部に設定されたエントリに対応する2次キャッシュエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

2. 2次キャッシュデータアレイライト

アドレス部に設定されたエントリに対応する2次キャッシュエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

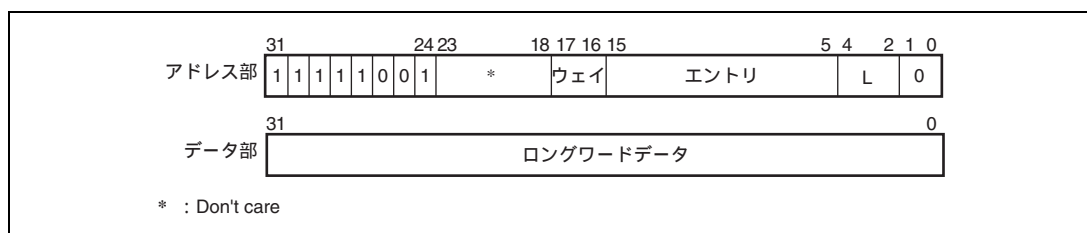


図 9.3 メモリ割り付け 2次キャッシュデータアレイ

9.5 使用上の注意事項

9.5.1 コヒーレンシ制御

2次キャッシュを直接制御しないオペレーティングシステムで、2次キャッシュをイネーブルにする場合には、RAMCRレジスタのL2Eビットと合わせて、L2FCビットも1にしてください。さらにOCの全エントリをパーージするルーチンに与えるエントリ数を、2次キャッシュのエントリ数としてください。こうすることで、「9.3.2 2次キャッシュの動作」の(3)で説明した動作により、OCと合わせて2次キャッシュも全エントリがパーージ(無効化)されます。

9.5.2 32ビットアドレス拡張モード

32ビットアドレス拡張モードでは、2次キャッシュのタグも[31:16]に拡張されます。

10. 内蔵メモリ

本 LSI は、16K バイトの IL メモリを内蔵しています。IL メモリは命令の格納に適しています。

10.1 特長

(1) IL メモリ

- 容量：
16K バイト
- ページ：
IL メモリは4ページ（ページ0～ページ3）に分かれています。
- メモリマップ：
IL メモリは、仮想アドレス空間、物理アドレス空間ともに、表10.1に示されるアドレスに配置されています。

表 10.1 IL メモリアドレス

ページ	メモリサイズ
	16K バイト
ページ 0	H'E520 0000 ~ H'E520 0FFF
ページ 1	H'E520 1000 ~ H'E520 1FFF
ページ 2	H'E520 2000 ~ H'E520 2FFF
ページ 3	H'E520 3000 ~ H'E520 3FFF

- ポート：
3本の独立した読み出し / 書き込みポートを持ち、SuperHywayバス、キャッシュ・RAM内蔵バス、および命令バスと接続されています。命令フェッチには命令バスが、オペランドアクセスにはキャッシュ・RAM内蔵バスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- 優先順位：
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、キャッシュ・RAM内蔵バス、命令バスとなります。

10.2 レジスタの説明

II メモリに関するレジスタは、以下のとおりです。

表 10.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	サイズ
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 * P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLBを用いて物理アドレス空間のエリア7からアクセスするものです。

表 10.3 各処理状態におけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
RAMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持

10.2.1 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は、IL メモリの保護機能の制御を行います。

ビット名:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット名:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	ICWPD	—	—	—	L2FC	L2E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
9	RMD	0	R/W	IL メモリアクセスモードビット 仮想アドレス空間からの IL メモリへのアクセス権を指定します。 0: 特権アクセスが可能(ユーザアクセスの場合はアドレスエラー例外) 1: ユーザ / 特権アクセスが可能
8	RP	0	R/W	IL メモリ保護有効ビット 仮想アドレス空間からの IL メモリへのアクセスに対して、ITLB、UTLB を用いた保護機能の使用を選択します。 0: 保護機能を使用しない 1: 保護機能を使用する 詳細は「10.4 IL メモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2 ウェイモードビット 詳細は「8.4.3 IC 2 ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2 ウェイモードビット 詳細は「8.3.6 OC 2 ウェイモード」を参照してください。
5	ICWPD	0	R/W	IC ウェイ予測抑止ビット 詳細は「8.4.4 命令キャッシュウェイ予測」を参照してください。
4~2	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
1	L2FC	0	R/W	2 次キャッシュ強制コヒーレンシモードビット 詳細は「9.3.2 2 次キャッシュの動作」を参照してください。
0	L2E	0	R/W	2 次キャッシュ有効ビット 詳細は「9.3.2 2 次キャッシュの動作」を参照してください。

10.3 動作説明

10.3.1 CPU からの命令フェッチアクセス

CPU からの命令フェッチアクセスは、仮想アドレスにより命令バスから直接アクセスを行います。命令バスからのアクセスは、IL メモリの同じページに連続してアクセスする場合、かつ競合が発生しない場合に 1 サイクルアクセスになります。

10.3.2 CPU からのオペランドアクセスおよび FPU からのアクセス

CPU からのオペランドアクセスおよび FPU からのアクセスは、キャッシュ・RAM 内蔵バスからアクセスを行います。キャッシュ・RAM 内蔵バスからのアクセスは複数サイクルかかります。

10.3.3 SuperHyway バスマスタモジュールからのアクセス

DMAC などの SuperHyway バスマスタモジュールからの本メモリへのアクセスは、物理アドレスバスである SuperHyway バスからのアクセスとなりますが、仮想アドレスと同じアドレスを使用してください。

10.4 ILメモリの保護機能

本 LSI では、IL メモリに対して、内蔵メモリ制御レジスタ RAMCR の IL メモリアクセスモードビット (RMD) と IL メモリ保護有効ビット (RP) を使用して以下の保護機能を実現します。

- CPUおよびFPUからのアクセスに対する保護機能

RAMCR.RMD=0のとき、ユーザモードでのILメモリ領域へのアクセスをアドレスエラー例外と判定します。

また、MMUCR.AT=1かつRAMCR.RP=1のときは、アドレスエラー例外の判定に加えて、P4領域の一部であるILメモリ領域もP0/P3/U0領域と同じようにMMU例外の判定を行います。

以上を表10.4にまとめます。

表 10.4 ILメモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.MD	RAMCR.RMD	必ず発生する例外	起こり得る例外	
0	x	0	0	アドレスエラー例外	-	
			1	-	-	
		1	x	-	-	
1	0	0	0	アドレスエラー例外	-	
			1	-	-	
		1	x	-	-	
	1	1	0	0	アドレスエラー例外	-
				1	-	MMU 例外
			1	x	-	MMU 例外

【記号説明】 x : Don't care

10.5 使用上の注意事項

(1) ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアccessの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、各バスごとに異なるページをアクセスすると競合は発生しません。

(2) ページの切り替わり

命令バスからのアクセスでは、連続して同じページをアクセスする場合は1サイクルアクセスになりますが、ページをまたぐ場合およびアクセスがILメモリ以外からILメモリに切り替わる場合には複数サイクル(最大2サイクルウェイト)かかります。したがって、性能最適化の観点からは、命令バスからのアクセスはページが頻繁に切り替わることを避けるようにソフトウェアが配慮することを推奨します。たとえば、ページごとに独立したプログラムを配置すると効率がよくなります。

(3) ILメモリのコヒーレンシ

ILメモリに命令を配置する場合、ILメモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

- SYNCO
- ICBI @Rn

この場合、ICBI命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく(ILメモリのアドレスでもよい)、キャッシュヒット/ミスどちらでも構いません。

(4) スリープモード

スリープモード中は、DMACなどのSuperHywayバスマスタモジュールからILメモリへのアクセスは行えません。

11. RS メモリ

本 LSI は RS メモリモジュールを内蔵しており、命令やデータを格納することができます。

11.1 特長

- 容量：
本 LSI は、2K バイトの RS メモリを搭載しています。
- メモリマップ：
RS メモリは、P4 領域の H'FD80 0000 ~ H'FD80 07FF に割り付けられています。
- ポート：
RS メモリは SuperHyway バスと接続されています。
- バックアップエリア：
RS メモリは、バックアップエリアに配置され、R-スタンバイ復帰後のプログラムを格納することが可能です。

11.2 動作説明

11.2.1 CPU からのアクセス

CPU からの本メモリへのアクセスは、常に仮想アドレスでアクセスしてください。

11.2.2 DMAC からのアクセス

DMAC からの本メモリへのアクセスは、常に仮想アドレスでアクセスしてください。

12. SuperHyway パケットルータ

12.1 SuperHyway バス接続

図 12.1 に、SuperHyway バスのイニシエータ、ターゲット、およびそれらを接続するパケットルータ (GPR) の接続図を示します。接続されるモジュール数は、以下となっています。

イニシエータ数 : 10

ターゲット数 : 12 (ただし、GPR 内蔵ターゲットを含む)

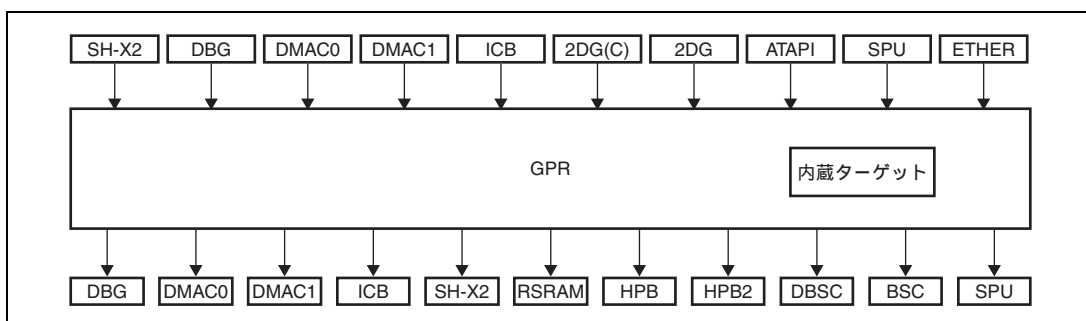


図12.1 SuperHyway パケットルータ (GPR) 接続図

12.2 アービトレーション方式

SuperHyway パケットルータ (GPR) のアービトレーション方式は、表 12.1 のようになります。

表12.1 アービトレーション方式

リソース	リソース番号	対象	アービトレーション方式
リクエスト	0	DBSC ターゲット	完全 LRU + pri 値による優先判定
	1	その他ターゲット	完全 LRU + pri 値による優先判定
レスポンス	0	SH-X2 イニシエータ	固定優先順位
	1	その他イニシエータ	固定優先順位

【注】 LRU (Least Recently Used)

12.2.1 リクエストリソースのアービトレーション

(1) アービトレーション方式

イニシエータごとに pri 値によりリクエストの優先順位を設定することができます。同一リソース内で複数のイニシエータから同時にリクエストが発生した場合、まず pri 値による優先判定を行い、pri 値の最も高いイニシエータからのリクエストを受け付けます。pri 値が等しい場合は、完全 LRU 方式で優先度判定を行います。完全 LRU 方式は、最も過去にリクエストを受け付けられたイニシエータを最優先とします。

(2) pri による優先転送機能

pri 値は、GPR に内蔵する PRI コントロールレジスタによって、下記から選択可能です。

- (a) 固定値 (H'0)
- (b) 各イニシエータが出力する pri 値 (デフォルト)
- (c) PRI コントロールレジスタに設定された pri 値 (H'0 ~ H'F)

pri 値を出力するイニシエータは、SH-X2、DBG、ICB、2DG のみです。表 12.2 に各イニシエータの出力する pri 値と出力する条件を示します。

表12.2 イニシエータ出力の pri 値

イニシエータ	イニシエータ出力 pri 値*	出力条件
ICB	H'F	-
SH-X2	H'8 or H'C	SR.BL=0 のとき : H'8 SR.BL=1 のとき : H'C
2DG (コマンド)	H'8 ~ H'9	先頭バケット転送 : H'8
2DG (コマンド以外)	H'8 ~ H'9	先頭以外のバケット転送 : H'9
DBG	H'8	-
DMAC0	-	-
DMAC1	-	-
SPU	-	-
ETHER	-	-
ATAPI	-	-

【注】 * pri 値を出力しないイニシエータでは、H'0 に固定されています。

(a) ロック転送

一部のイニシエータは、ロック転送を要求する機能があります。ロック転送の実行中は、他のイニシエータからのリクエストを遮断することができます。

本 LSI では、ロック転送を要求するイニシエータは、SH-XX (TAS 命令におけるメモリアクセス) および DMAC0、DMAC1 のみです。イニシエータが出力するロック要求を GPR が受け付けるかどうかを LCK コントロールレジスタで設定します。

- ロック時動作

優先順位判定で、一番優先度が高いと判断されたイニシエータに転送許可が与えられ、転送されたリクエストパケットがロック転送の場合、転送許可が与えられたイニシエータ以外からのリクエストをマスクします。

リセット時は、ロックを強制的に解除します。

- 非ロック時動作

転送されたリクエストパケットが非ロック転送の場合、ロック転送によるリクエストマスクを解除します。

12.2.2 レスponsリソースのアービトレーション

レスponsリソースのアービトレーションは、リソースに関係なく、下記のとおり固定優先順位です。

DBG > DMAC0 > DMAC1 > ICB > SH-X > RSRAM > HPB > HPB2 > DBSC > BSC > SPU > 内蔵ターゲット

12.3 レジスタの説明

SuperHyway パケットルータ (GPR) のレジスタ構成を、表 12.3 に示します。また、各処理モードにおけるレジスタの状態を表 12.4 に示します

表12.3 レジスタ構成

名称	対象 イニシエータ	略称	アドレス	R/W	アクセス サイズ	初期値
PRI コントロールレジスタ 0	SH-X	PRPRICR 0	H'FF80 0028	R/W	32bit	H'0000 0018
PRI コントロールレジスタ 1	DBG	PRPRICR 1	H'FF80 0030	R/W	32bit	H'0000 0018
PRI コントロールレジスタ 2	DMAC0	PRPRICR 2	H'FF80 0038	R/W	32bit	H'0000 0018
PRI コントロールレジスタ 3	DMAC1	PRPRICR 3	H'FF80 0040	R/W	32bit	H'0000 0018
PRI コントロールレジスタ 4	ICB	PRPRICR 4	H'FF80 0048	R/W	32bit	H'0000 0018
PRI コントロールレジスタ 5	予約	-	H'FF80 0050	R	32bit	H'0000 0018
PRI コントロールレジスタ 6	2DG (コマンド)	PRPRICR 6	H'FF80 0058	R/W	32bit	H'0000 0018
PRI コントロールレジスタ 7	2DG	PRPRICR 7	H'FF80 0060	R/W	32bit	H'0000 0018
PRI コントロールレジスタ 8	ATAPI	PRPRICR 8	H'FF80 0068	R/W	32bit	H'0000 0018
PRI コントロールレジスタ 9	SPU	PRPRICR 9	H'FF80 0070	R/W	32bit	H'0000 0018
PRI コントロールレジスタ 10	ETHER	PRPRICR 10	H'FF80 0078	R/W	32bit	H'0000 0018
LCK コントロールレジスタ	-	PRLCKCR	H'FF80 0018	R/W	32bit	H'0000 07FF

表12.4 各処理モードにおけるレジスタの状態

略 称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
PRPRICR n	初期化	初期化	保持	保持	初期化	初期化	保持
PRLCKCR	初期化	初期化	保持	保持	初期化	初期化	保持

【注】 n=0~10

12.3.1 PRI コントロールレジスタ (PRPRICR0 ~ PRPRICR10)

PRPRICR0 ~ 10 は 32 ビットのレジスタで、pri 値の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	PRIEN[1:0]		PRI[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて 0	R	リザーブビット
5、4	PRIEN[1:0]	01	R/W	本ビットで、緊急転送時に使用する pri 値を選択します。 00: 通常転送 (B'0000) 01: 各イニシエータが出力する pri 値 (デフォルト) で動作 (表 12.2 参照) 10: PRI[3:0] で設定したレジスタ設定 pri 値で動作 11: 設定禁止
3~0	PRI[3:0]	1000	R/W	レジスタ設定 pri 値 PRIEN[1:0] = B'10 としたときに使用する pri 値を設定します。

12.3.2 LCK コントロールレジスタ (PRLCKCR)

PRLCKCR は 32 ビットのレジスタで、各イニシエータからのロック転送要求の許可 / 禁止を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	LCKC[10:0]										
初期値:	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	LCKC[10:0]	7FF	R/W	LCKC [10:4]: 設定無効 LCKC [3]: イニシエータ DMAC1 のロック機能の有効 (= 1) / 無効 (= 0) LCKC [2]: イニシエータ DMAC0 のロック機能の有効 (= 1) / 無効 (= 0) LCKC [1]: 設定無効 LCKC [0]: イニシエータ SH-X2 のロック機能の有効 (= 1) / 無効 (= 0)

13. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求を処理します。

13.1 特長

INTC には次のような特長があります。

- 割り込み優先順位を15レベル設定可能

割り込み優先レベル設定レジスタにより、周辺モジュール割り込みの優先順位を要求別に15レベルまで設定することができます。

- NMIノイズキャンセラ機能

NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外処理ルーチンでこのビットを読み出すことにより端子状態を確認でき、ノイズキャンセラとして使用できます。

- ステータスレジスタ (SR) のブロックビット (BL) が1にセットされたときのNMI要求のマスク
SRレジスタのBLビットを1にセットしたとき、NMI要求をマスクするかどうかを選択できます。

- ユーザモード割り込み禁止機能

ユーザモードで動作中、ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。

図 13.1 に INTC のブロック図を示します。

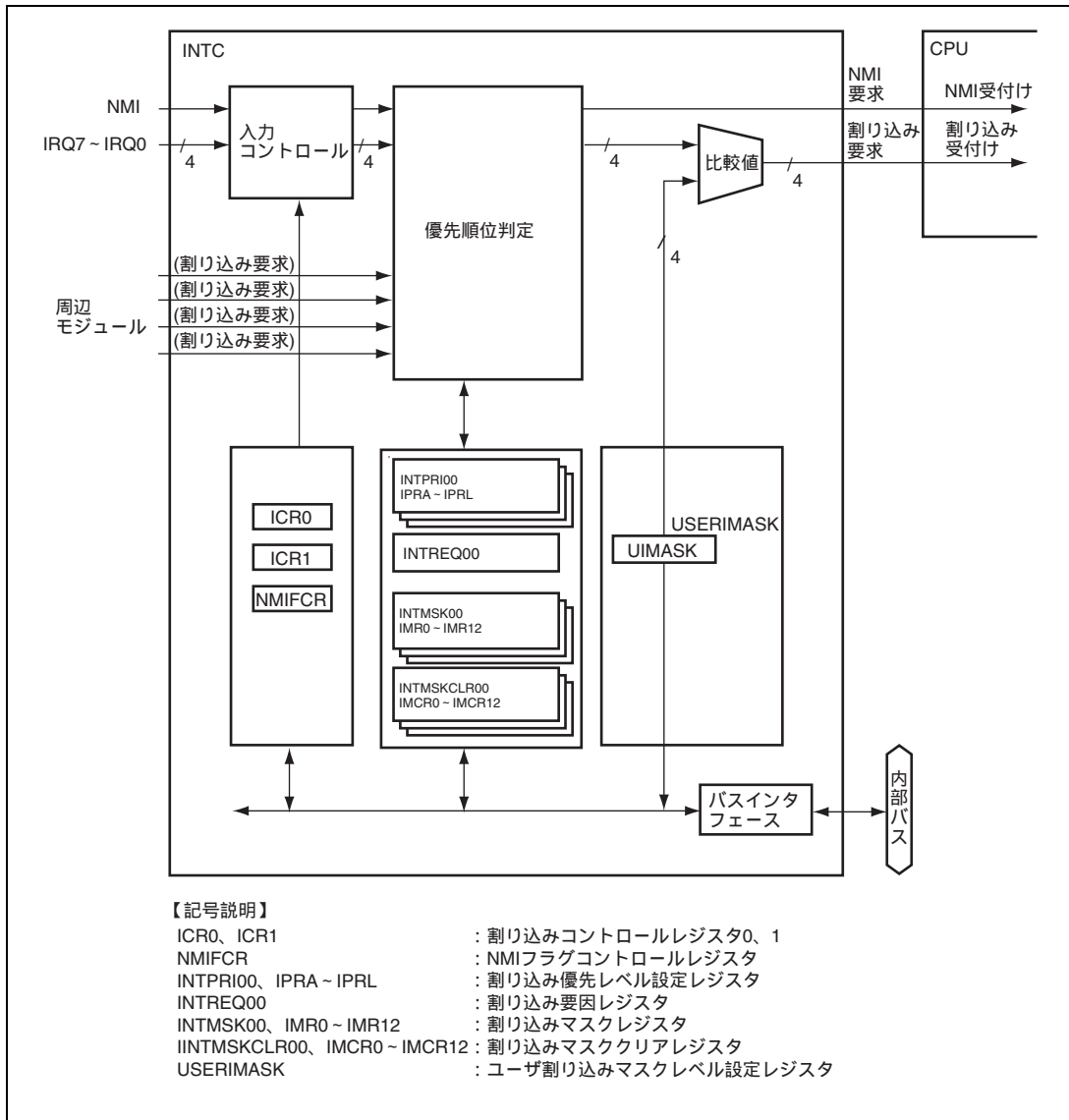


図 13.1 INTC のブロック図

13.2 入出力端子

INTC の端子構成を表 13.1 に示します。

表 13.1 端子構成

端子名	機能	入出力	説明
NMI	ノンマスクブル割り込み入力端子	入力	マスク不可能な割り込み要求信号を入力
IRQ7 ~ IRQ0	IRQ7 ~ IRQ0 割り込み入力端子	入力	IRQ7 ~ IRQ0 割り込み要求信号を入力 (SR レジスタの IMASK ビットでマスク可能)

13.3 レジスタの説明

INTC のレジスタ構成を表 13.2 に示します。また、各処理モードにおけるレジスタの状態を表 13.3 に示します。

表 13.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
割り込みコントロールレジスタ 0	ICR0	R/W	H'A414 0000	16
割り込みコントロールレジスタ 1	ICR1	R/W	H'A414 001C	16
割り込み優先レベル設定レジスタ 00	INTPRI00	R/W	H'A414 0010	32
割り込み要因レジスタ 00	INTREQ00	R/W	H'A414 0024	8
割り込みマスクレジスタ 00	INTMSK00	R/W	H'A414 0044	8
割り込みマスククリアレジスタ 00	INTMSKCLR00	W	H'A414 0064	8
NMI フラグコントロールレジスタ	NMIFCR	R/W	H'A414 00C0	16
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'A470 0000	32
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'A408 0000	16
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'A408 0004	16
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'A408 0008	16
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'A408 000C	16
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'A408 0010	16
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'A408 0014	16
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'A408 0018	16
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'A408 001C	16
割り込み優先レベル設定レジスタ I	IPRI	R/W	H'A408 0020	16
割り込み優先レベル設定レジスタ J	IPRJ	R/W	H'A408 0024	16
割り込み優先レベル設定レジスタ K	IPRK	R/W	H'A408 0028	16
割り込み優先レベル設定レジスタ L	IPRL	R/W	H'A408 002C	16
割り込みマスクレジスタ 0	IMR0	R/W	H'A408 0080	8
割り込みマスクレジスタ 1	IMR1	R/W	H'A408 0084	8

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
割り込みマスクレジスタ 2	IMR2	R/W	H'A408 0088	8
割り込みマスクレジスタ 3	IMR3	R/W	H'A408 008C	8
割り込みマスクレジスタ 4	IMR4	R/W	H'A408 0090	8
割り込みマスクレジスタ 5	IMR5	R/W	H'A408 0094	8
割り込みマスクレジスタ 6	IMR6	R/W	H'A408 0098	8
割り込みマスクレジスタ 7	IMR7	R/W	H'A408 009C	8
割り込みマスクレジスタ 8	IMR8	R/W	H'A408 00A0	8
割り込みマスクレジスタ 9	IMR9	R/W	H'A408 00A4	8
割り込みマスクレジスタ 10	IMR10	R/W	H'A408 00A8	8
割り込みマスクレジスタ 11	IMR11	R/W	H'A408 00AC	8
割り込みマスクレジスタ 12	IMR12	R/W	H'A408 00B0	8
割り込みマスククリアレジスタ 0	IMCR0	W	H'A408 00C0	8
割り込みマスククリアレジスタ 1	IMCR1	W	H'A408 00C4	8
割り込みマスククリアレジスタ 2	IMCR2	W	H'A408 00C8	8
割り込みマスククリアレジスタ 3	IMCR3	W	H'A408 00CC	8
割り込みマスククリアレジスタ 4	IMCR4	W	H'A408 00D0	8
割り込みマスククリアレジスタ 5	IMCR5	W	H'A408 00D4	8
割り込みマスククリアレジスタ 6	IMCR6	W	H'A408 00D8	8
割り込みマスククリアレジスタ 7	IMCR7	W	H'A408 00DC	8
割り込みマスククリアレジスタ 8	IMCR8	W	H'A408 00E0	8
割り込みマスククリアレジスタ 9	IMCR9	W	H'A408 00E4	8
割り込みマスククリアレジスタ 10	IMCR10	W	H'A408 00E8	8
割り込みマスククリアレジスタ 11	IMCR11	W	H'A408 00EC	8
割り込みマスククリアレジスタ 12	IMCR12	W	H'A408 00F0	8

表 13.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
ICR0	初期化	初期化	保持	保持	保持	初期化	保持
ICR1	初期化	初期化	保持	保持	保持	初期化	保持
INTPRI00	初期化	初期化	保持	保持	保持	初期化	保持
INTREQ00	初期化	初期化	保持	保持	保持	初期化	保持
INTMSK00	初期化	初期化	保持	保持	保持	初期化	保持
INTMSKCLR00	初期化	初期化	保持	保持	初期化	初期化	保持
NMIFCR	初期化	初期化	保持	保持	保持	初期化	保持
USERIMASK	初期化	初期化	保持	保持	保持	初期化	保持
IPRA	初期化	初期化	保持	保持	初期化	初期化	保持
IPRB	初期化	初期化	保持	保持	初期化	初期化	保持
IPRC	初期化	初期化	保持	保持	初期化	初期化	保持
IPRD	初期化	初期化	保持	保持	初期化	初期化	保持
IPRE	初期化	初期化	保持	保持	初期化	初期化	保持
IPRF	初期化	初期化	保持	保持	初期化	初期化	保持
IPRG	初期化	初期化	保持	保持	初期化	初期化	保持
IPRH	初期化	初期化	保持	保持	初期化	初期化	保持
IPRI	初期化	初期化	保持	保持	初期化	初期化	保持
IPRJ	初期化	初期化	保持	保持	初期化	初期化	保持
IPRK	初期化	初期化	保持	保持	初期化	初期化	保持
IPRL	初期化	初期化	保持	保持	初期化	初期化	保持
IMR0	初期化	初期化	保持	保持	初期化	初期化	保持
IMR1	初期化	初期化	保持	保持	初期化	初期化	保持
IMR2	初期化	初期化	保持	保持	初期化	初期化	保持
IMR3	初期化	初期化	保持	保持	初期化	初期化	保持
IMR4	初期化	初期化	保持	保持	初期化	初期化	保持
IMR5	初期化	初期化	保持	保持	初期化	初期化	保持
IMR6	初期化	初期化	保持	保持	初期化	初期化	保持
IMR7	初期化	初期化	保持	保持	初期化	初期化	保持
IMR8	初期化	初期化	保持	保持	初期化	初期化	保持
IMR9	初期化	初期化	保持	保持	初期化	初期化	保持
IMR10	初期化	初期化	保持	保持	初期化	初期化	保持
IMR11	初期化	初期化	保持	保持	初期化	初期化	保持
IMR12	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR0	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR1	初期化	初期化	保持	保持	初期化	初期化	保持

略 称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
IMCR2	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR3	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR4	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR5	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR6	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR7	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR8	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR9	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR10	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR11	初期化	初期化	保持	保持	初期化	初期化	保持
IMCR12	初期化	初期化	保持	保持	初期化	初期化	保持

13.3.1 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、外部割り込み端子 (IRQ、NMI) の入力信号検出モードを設定し、NMI 端子に入力されている信号レベルを示す 16 ビットのレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	MAI	—	—	—	—	NMIB	NMIE	—	—	LVL MODE	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R	R/W	R/W	R	R	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	NMIL	0	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読み出すことによって、NMI 端子のレベルを知ることができます。 書き込みは無効です。 0 : NMI 端子にローレベルが入力されています 1 : NMI 端子にハイレベルが入力されています
14	MAI	0	R/W	NMI 割り込みマスク SR レジスタの BL ビットにかかわらず、NMI 端子の入力レベルがローの間、すべての割り込みをマスクするかどうかを指定します。 0 : NMI 端子がローレベルでも、割り込み許可 1 : NMI 端子がローレベルの間、割り込み禁止
13~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	NMIB	0	R/W	NMI ブロックモード SR レジスタの BL ビットが 1 のとき、NMI 割り込みを BL ビットが 0 になるまで保留するか、即時検出するかを選択します。 0 : SR の BL ビットが 1 の間、NMI 割り込み要求を保留します 1 : SR の BL ビットが 1 の間、NMI 割り込み要求を検出します
8	NMIE	0	R/W	NMI エッジセレクト NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。 0 : NMI 入力の立ち下がりエッジで割り込み要求を検出 1 : NMI 入力の立ち上がりエッジで割り込み要求を検出
7、6	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	LVLMODE	0	R/W	IRQ レベル検出時の要因保持モード レベル検出 IRQ の割り込み要求を INTC で保持するかどうかを選択します。 0 : 保持します 1 : 保持しません IRQ をレベル検出で使用する場合は、本ビットを 1 に設定することを推奨します。0 に設定した場合、IRQ 端子による割り込み要求を取り下げた後に INTREQ00 のレジスタをクリアする必要があります。
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

13.3.2 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ7～IRQ0 に対して、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出モードを個別に設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明										
15、14	IRQ0S	00	R/W	IRQn センスセレクト IRQ0～IRQ7 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジまたはローレベル、ハイレベルのどれで検出するかを設定します。 <table border="1" style="margin: 5px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">IRQnS</th> <th style="width: 80%;">検出方法</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>割り込み要求を IRQn 入力の立ち下がりエッジで検出</td> </tr> <tr> <td>01</td> <td>割り込み要求を IRQn 入力の立ち上がりエッジで検出</td> </tr> <tr> <td>10</td> <td>割り込み要求を IRQn 入力のローレベルで検出</td> </tr> <tr> <td>11</td> <td>割り込み要求を IRQn 入力のハイレベルで検出</td> </tr> </tbody> </table>	IRQnS	検出方法	00	割り込み要求を IRQn 入力の立ち下がりエッジで検出	01	割り込み要求を IRQn 入力の立ち上がりエッジで検出	10	割り込み要求を IRQn 入力のローレベルで検出	11	割り込み要求を IRQn 入力のハイレベルで検出
IRQnS	検出方法													
00	割り込み要求を IRQn 入力の立ち下がりエッジで検出													
01	割り込み要求を IRQn 入力の立ち上がりエッジで検出													
10	割り込み要求を IRQn 入力のローレベルで検出													
11	割り込み要求を IRQn 入力のハイレベルで検出													
13、12	IRQ1S	00	R/W											
11、10	IRQ2S	00	R/W											
9、8	IRQ3S	00	R/W											
7、6	IRQ4S	00	R/W											
5、4	IRQ5S	00	R/W											
3、2	IRQ6S	00	R/W											
1、0	IRQ7S	00	R/W	【記号説明】 n=0～7										

13.3.3 割り込み優先レベル設定レジスタ (INTPRI00)

INTPRI00 は、外部割り込み入力端子 IRQ7 ~ IRQ0 の優先順位 (レベル 15 ~ 0) を設定する 32 ビットのレジスタです。

各 4 ビットに HF (1111) から H'0 (0000) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は HF を設定すると優先レベル 15 (最高レベル) に、H'0 を設定すると優先レベル 0 (要求マスク) になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0				IRQ1				IRQ2				IRQ3			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ4				IRQ5				IRQ6				IRQ7			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 28	IRQ0	H'0	R/W	4 ビット単位で割り込み優先順位を設定します。
27 ~ 24	IRQ1	H'0	R/W	
23 ~ 20	IRQ2	H'0	R/W	
19 ~ 16	IRQ3	H'0	R/W	
15 ~ 12	IRQ4	H'0	R/W	
11 ~ 8	IRQ5	H'0	R/W	
7 ~ 4	IRQ6	H'0	R/W	
3 ~ 0	IRQ7	H'0	R/W	

13.3.4 割り込み優先レベル設定レジスタ A~L (IPRA~IPRL)

IPRA~IPRL は、周辺モジュールからの割り込み優先順位 (レベル 15~0) を設定する 16 ビットのレジスタです。

1本のレジスタに4つのモジュールが割り当てられます。各4ビットにH'F(1111)からH'0(0000)の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位はH'Fを設定すると優先レベル15(最高レベル)に、H'0を設定すると優先レベル0(要求マスク)になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IPR0n				IPR1n				IPR2n				IPR3n			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	IPR0n	H'0	R/W	4ビット単位で割り込み優先レベルを指定します。 詳細は表 13.4 を参照してください。
11~8	IPR1n	H'0	R/W	
7~4	IPR2n	H'0	R/W	
3~0	IPR3n	H'0	R/W	

表 13.4 割り込み要求元と IPRA~IPRL

レジスタ名	IPR0n	IPR1n	IPR2n	IPR3n
IPRA	TMU0_0	TMU0_1	TMU0_2	IrDA
IPRB	JPU	LCDC	DMAC1(1)	BEU1
IPRC	TMU1_0	TMU1_1	TMU1_2	SPU
IPRD	-	MMCIF	-	ATAPI
IPRE	DMAC0(1)	CEU0/VEU1/BEU0/VOU	SCIFA3	VPU
IPRF	KEYSC	DMAC0(2)	USB0/USB1	CMT
IPRG	SCIF0	SCIF1	SCIF2	VEU0
IPRH	MSIOF0	MSIOF1	I ² C1	I ² C0
IPRI	SCIFA4	ICB	TSIF	2DG
IPRJ	CEU1	EtherMAC	FSI	SDHI1
IPRK	RTC	DMAC1(2)	-	SDHI0
IPRL	SCIFA5	-	TPU	2DDMAC

【注】 - : リザーブビットです。読み出し値は保証しません。書き込み値は0にしてください。

13.3.5 割り込み要因レジスタ 00 (INTREQ00)

INTREQ00 は、IRQ 端子のどの割り込みが要求されているかを示す 8 ビットのレジスタです。INTPRI00、または INTMSK00 によって該当する割り込みがマスクされても本レジスタのビットは影響を受けません。

該当する IRQ 端子がエッジ検出に設定されているとき (ICR1.IRQnS=B'00 または B'01)、該当するビットが 1 であることを読み出した後に 0 を書き込むことで、割り込み要因をクリアすることができます。

1 の書き込みは無視されます。クリアするビット以外のビットには 1 を書き込んでください。

該当する IRQ 端子がレベル検出に設定されているとき (ICR1.IRQnS = B'10 または B'11)、IRQ 端子状態を変更して要求を取り下げた後、INTMSK00 レジスタの該当するビットに 1 を書き込んでください。その後、INTREQ00 レジスタを読み出してクリアされていることを確認してください。

ビット :	7	6	5	4	3	2	1	0
	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	IRQ0	0	R/W	IRQn 割り込み要求 IRQn 端子に割り込み要求が入力されているかを示します。 【エッジ検出時 (ICR1.IRQnS = B'00 または B'01)】 • 読み込み時 0 : 対応する割り込みを検出していません 1 : 対応する割り込みを検出しました • 書き込み時 0 : 1 読み出し後の 0 書き込みで 0 クリアできます 1 : 1 の書き込みは無視されます。クリアするビット以外のビットには 1 を書き込んでください 【レベル検出時 (ICR1.IRQnS = B'10 または B'11)】 • 読み込み時 (ICR0.LVLMODE = 0) 0 : 対応する割り込みを検出していません 1 : 対応する割り込みを検出しました 【注】 IRQ 端子からの割り込み要求を取り下げた後、CPU が何らかの割り込みを受け付けるか、INTMSK00 レジスタの該当するビットに 1 をセットするまで 1 を保持します。 • 読み込み時 (ICR0.LVLMODE = 1) 0 : 割り込み要求が入力されていません 1 : 割り込み要求が入力されています • 書き込み時 書き込みは無視されます
6	IRQ1	0	R/W	
5	IRQ2	0	R/W	
4	IRQ3	0	R/W	
3	IRQ4	0	R/W	
2	IRQ5	0	R/W	
1	IRQ6	0	R/W	
0	IRQ7	0	R/W	

【記号説明】 n = 0 ~ 7

エッジ検出または ICR0.LVLMODE=0 時のレベル検出の場合、本レジスタのビットは以下の方法でクリアできます。

(1) エッジ検出の場合

該当するビットが1であることを読み出した後に0を書き込むことで、割り込み要因をクリアすることができます。このとき、クリアしたくないビットには1を書き込んでください。

(2) レベル検出の場合

IRQ端子状態を変更して要求を取り下げた後、INTMSK00レジスタの該当するビットに1を書き込んでください。その後、INTREQ00を読み出してクリアされていることを確認してください。

ICR0.LVLMODE=1 時のレベル検出の場合、本レジスタのビットは有効な IRQ 割り込み要求が入力されている状態を示し、IRQ 端子レベルを変更して割り込み要求を取り下げることによりクリアされます。ソフトウェアによるクリアは不要です。

13.3.6 割り込みマスクレジスタ 00 (INTMSK00)

INTMSK00 は、外部割り込み入力端子 IRQ7 ~ IRQ0 の割り込み要求をマスクするかどうかを設定する 8 ビットのレジスタです。

割り込みマスクを解除するには、INTMSKCLR00 の対応するビットに 1 を書き込みます。INTMSK00 の各ビットに 0 を書き込んで、値は変化しません。

ビット:	7	6	5	4	3	2	1	0
	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	IRQ0	0	R/W	IRQn 割り込みマスク 0 : 対応する割り込みがマスクされていません 1 : 対応する割り込みがマスクされています
6	IRQ1	0	R/W	
5	IRQ2	0	R/W	
4	IRQ3	0	R/W	
3	IRQ4	0	R/W	
2	IRQ5	0	R/W	
1	IRQ6	0	R/W	
0	IRQ7	0	R/W	

【記号説明】 n = 0 ~ 7

13.3.7 割り込みマスククリアレジスタ 00 (INTMSKCLR00)

INTMSKCLR00 は、外部割り込み入力端子 IRQ7 ~ IRQ0 の各割り込み要求マスクをクリアする 8 ビットのレジスタです。

INTMSKCLR00 は、書き込み専用のレジスタです。

ビット :	7	6	5	4	3	2	1	0
	IRQ0	IRQ1	IRQ2	IRQ3	IRQ4	IRQ5	IRQ6	IRQ7
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
7	IRQ0	0	W	IRQn 割り込みマスクのクリア 0 : 0 書き込みは無視されます 1 : 対応する割り込み要求のマスクを解除します
6	IRQ1	0	W	
5	IRQ2	0	W	
4	IRQ3	0	W	
3	IRQ4	0	W	
2	IRQ5	0	W	
1	IRQ6	0	W	
0	IRQ7	0	W	

【記号説明】 n = 0 ~ 7

13.3.8 割り込みマスクレジスタ 0 ~ 12 (IMR0 ~ IMR12)

IMR0 ~ IMR12 は、周辺モジュールからの各割り込み要求をマスクするかどうかを設定する 8 ビットのレジスタです。IMR0 ~ IMR12 の対応するビットに 1 を書き込むことで、割り込み要求をマスクすることができます。

割り込みマスクを解除するには、IMCR0 ~ IMCR12 の対応するビットに 1 を書き込みます。割り込みマスクレジスタの各ビットに 0 を書き込んで、値は変化しません。

IMR0 ~ IMR12 の各ビットと割り込み要求の関係は表 13.5 を参照してください。

ビット :	7	6	5	4	3	2	1	0
	IMRn0	IMRn1	IMRn2	IMRn3	IMRn4	IMRn5	IMRn6	IMRn7
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	IMRn0	0	R/W	各ビットに対応する割り込み要求をマスクするかどうかを設定します。各割り込み要因と本レジスタとの関係は、表 13.5 を参照してください。 書き込み時 0 : 0 書き込みは無視されます 1 : 対応する割り込み要求をマスクします 読み込み時 0 : 対応する割り込みを受け付けます 1 : 対応する割り込み要求はマスクされています
6	IMRn1	0	R/W	
5	IMRn2	0	R/W	
4	IMRn3	0	R/W	
3	IMRn4	0	R/W	
2	IMRn5	0	R/W	
1	IMRn6	0	R/W	
0	IMRn7	0	R/W	

【記号説明】 n = 0 ~ 12

13.3.9 割り込みマスククリアレジスタ 0 ~ 12 (IMCR0 ~ IMCR12)

IMCR0 ~ IMCR12 は書き込み専用のレジスタで、周辺モジュールの各割り込み要求マスクをクリアする 8 ビットのレジスタです。IMCR0 ~ IMCR12 の各ビットと割り込み要求の関係は表 13.5 を参照してください。

ビット :	7	6	5	4	3	2	1	0
	IMCRn0	IMCRn1	IMCRn2	IMCRn3	IMCRn4	IMCRn5	IMCRn6	IMCRn7
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説 明
7	IMCRn0	0	W	各ビットに対応する割り込み要求をマスクするかどうかを設定します。各割り込み要因と本レジスタとの関係は、表 13.5 を参照してください。 書き込み時： 0 : 0 書き込みは無視されます 1 : 対応する割り込み要求のマスクを解除します 読み込み時： 読み出した値は保証しません
6	IMCRn1	0	W	
5	IMCRn2	0	W	
4	IMCRn3	0	W	
3	IMCRn4	0	W	
2	IMCRn5	0	W	
1	IMCRn6	0	W	
0	IMCRn7	0	W	

【記号説明】 n = 0 ~ 12

表 13.5 周辺モジュールからの割り込み要因と IMR0～IMR12、IMCR0～IMCR12 の対応

レジスタ名	ビット							
	【ビット名】							
	7	6	5	4	3	2	1	0
	【IMR/CR n0】	【IMR/CR n1】	【IMR/CR n2】	【IMR/CR n3】	【IMR/CR n4】	【IMR/CR n5】	【IMR/CR n6】	【IMR/CR n7】
IMR0/IMCR0	-	TUNI2	TUNI1	TUNI0	-	SDHII2	SDHII1	SDHII0
	(TMU1)				(SDH1)			
IMR1/IMCR1	VOUI	VEU11	BEU01	CEU01	DEI3	DEI2	DEI1	DEI0
	(VIO)				(DMAC0(1))			
IMR2/IMCR2	-	-	-	VPUI	ATAPI	ETHI	-	SCIFA3
	(VPU)				(ATAPI)	(EtherMAC)	(SCIFA3)	
IMR3/IMCR3	DEI3	DEI2	DEI1	DEI0	SPUI1	SPUI0	BEU11	IrDAI
	(DMAC1(1))				(SPU)		(BEU1)	(IrDA)
IMR4/IMCR4	-	TUNI2	TUNI1	TUNI0	JPU1	-	-	LCDCI
	(TMU0)				(JPU)	-	-	(LCDC)
IMR5/IMCR5	KEYI	DADERR	DEI5	DEI4	VEU01	SCIF2	SCIF1	SCIF0
	(KEYSC)	(DMAC0(2))			(VEU0)	(SCIF)		
IMR6/IMCR6	-	-	ICBI	SCIFA4	CEU11	-	MSIOF1	MSIOF0
	-	-	(ICB)	(SCIFA4)	(CEU1)	-	(MSIOF)	
IMR7/IMCR7	DTE01	WAIT01	TACK01	AL01	DTE11	WAIT11	TACK11	AL11
	(I ² C0)				(I ² C1)			
IMR8/IMCR8	SDHII3	SDHII2	SDHII1	SDHII0	-	-	SCIFA5	FSI
	(SDHI0)				-	-	(SCIFA5)	(FSI)
IMR9/IMCR9	-	-	-	CMT1	-	USI1	USI0	-
	-			(CMT)	-	(USB1)	(USB0)	-
IMR10/IMCR10	-	DADERR	DEI5	DEI4	-	CUI	PRI	ATI
	(DMAC1(2))				(RTC)			
IMR11/IMCR11	-	CEI	INI	TRI	-	TPUI	-	TSIFI
	(2DG)				-	(TPU)	-	(TSIF)
IMR12/IMCR12	-	-	MMC31	MMC21	-	-	-	2DDMAC
	-	-	(MMCIF)		-	-	-	(2DDMAC)

【注】 - : リザーブビットです。読み出し値は保証しません。書き込む値は0にしてください。

下段の()内は、対象モジュール名です。

【記号説明】 n = 0 ~ 12

13.3.10 ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)

USERIMASK は、受け付け可能な割り込みレベルを設定します。INTC のその他のレジスタとは異なる 64K バイトページに配置されているので、MMU を使用してエリア 7 アドレスにアドレス変換することにより、本レジスタのみユーザモードでアクセス可能に設定できます。

UIMASK 設定値以下の割り込みレベルに設定された割り込みはマスクされます。HF を設定すると NMI 以外のすべての割り込みがマスクされます。UIMASK 設定値より高い割り込みレベルに設定された割り込みは受け付けられますが、割り込みマスクレジスタが対応する割り込みの割り込みマスクビットが 0 (割り込み許可) であること、また SR レジスタの IMASK ビットがその割り込みレベルより低く設定されている場合のみ受け付けられます。また、割り込みが受け付けられても UIMASK ビットの値は変化しません。

パワーオンリセット、マニュアルリセット時は、H'0000 0000 (全割り込み許可) に初期化されます。

誤まった書き込みを防止するため、本レジスタへの書き込みは、ビット 31~24 が、H'A5 の時のみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIMASK				—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。UIMASK ビットに値を書き込むときは、H'A5 を書き込んでください。
23~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~4	UIMASK	0000	R/W	ユーザ割り込みマスクレベル UIMASK 設定値以下のレベルの割り込みはマスクされます。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

13.3.11 NMI フラグコントロールレジスタ (NMIFCR)

NMIFCR は、ソフトウェアにより読み出し、クリアが可能な NMI フラグ (NMIFL ビット) を持つレジスタです。NMIFL ビットは、INTC により NMI が検出されるとハードウェアにより自動的に 1 になります。NMIFL ビットは、ソフトウェアにより 0 を書き込むことでクリアされます。

NMIFL ビットの値は、CPU の NMI 受理には影響を与えません。つまり、INTC により検出された NMI 要求は、CPU に受け付けられることによりクリアされますが、NMIFL ビットは自動的にクリアされません。また、NMI 要求が CPU に受け付けられるより前に NMIFL ビットに 0 を書き込んだ場合でも、NMI 要求はキャンセルされません。

NMIL ビットの動作は ICR0 の NMIL ビットの動作と同一です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMIFL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	NMIL	0	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読み出すことによって、NMI 端子の入力レベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されています 1 : NMI 端子にハイレベルが入力されています
14~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	NMIFL	0	R/W	NMI 割り込み要求信号検出 NMI 割り込み要求信号を検出したかどうかを示します。INTC で割り込み要求検出した場合、自動的に 1 に設定されます。本ビットをクリアする場合は、0 を書き込んでください。1 を書き込んだ場合は無視されます。 0 : NMI 割り込み要求信号が検出されていないことを示します 1 : NMI 割り込み要求信号が検出されたことを示します

13.4 割り込み要因

割り込み要因は、NMI、IRQ、周辺モジュールの3つに分類されます。各割り込みの優先順位は割り込み優先レベル値(16~0)で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

13.4.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。CPU内のSRレジスタのBLビットが1にセットされていないかぎりいつでも受け付けられます。ただし、スリープモードまたはスタンバイモード中はBLビットが1でも受け付けられません。

また、ICR0のNMIBビットをセットすることによりBLビットが1でもNMIを受け付けることができます。

NMI端子からの入力はエッジで検出されます。検出エッジはICR0のNMIEビットの設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR0のNMIEビットを書き換えた場合、書き換えてから最大6バスロック期間、NMI割り込みを検出しません。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル(SR.IMASK)は、レベル15に自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

13.4.2 IRQ 割り込み

IRQ 割り込みは、IRQ7~IRQ0端子から入力する割り込みです。ICR1のIRQnSビット(n=0~7)の設定により、エッジ検出、レベル検出の選択が可能です。

レベル検出の場合、ICR0.LVLMODEビットの設定値により動作が異なります。

(1) ICR0.LVLMODE = 1 の場合

割り込み要求はINTC内部で保持されません。CPUが割り込みを受け付けて割り込み処理を開始するまでIRQ端子の状態を保持してください。

(2) ICR0.LVLMODE = 0 の場合

IRQ割り込みをレベルで検出する場合、CPUが割り込みを受け付けて割り込み処理を開始するまでIRQ端子の状態を保持してください。ただし、CPUが受け付ける前にIRQ割り込み要求が取り下げられた場合にも、INTREQ00レジスタで要因を保持しています。CPUが何らかの割り込み(IRQ割り込みとはかぎりません)を受け付けるか、INTMSK00レジスタの該当するビットに1をセットするまで要因を保持します。

INTREQ00レジスタで保持されたレベル割り込み要因をクリアするには、割り込み処理ルーチンでIRQ割り込み端子状態を変更して要求を取り下げた後、INTMSK00レジスタの該当するビットに1をセットしてください。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル(SR.IMASK)は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

13.4.3 周辺モジュール割り込み

周辺モジュール割り込みは、周辺モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタは割り当てられてはませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT の値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、IPRA ~ IPRL によってモジュールごとに優先レベル 15 ~ 0 の範囲で設定できます。

CPU 動作モードレジスタの INTMU ビットが 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。

周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、SR レジスタの BL ビットが 1 のとき、もしくは SR レジスタの IMASK ビット、IMR、USERIMASK のいずれかの割り込みマスク設定により該当する割り込み要求をマスクした状態で行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺レジスタを読み出し、その後、表 13.8 で示される周辺モジュールの優先順位判定時間待ってから (たとえば、周辺モジュールクロックで動作する INTC のレジスタを 1 回読み出す)、BL ビットを 0 にするか、割り込みマスクの設定を更新して該当する割り込み要求のマスクを解除してください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグの更新の後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが 0 のときにフラグの更新を行うと、INTEVT の値が 0 で割り込み処理ルーチンにジャンプすることがあります。これは、フラグの更新と本 LSI 内部での割り込み要求の認識のタイミングの関係で割り込み処理が起動したためです。この場合は、RTE 命令を実行することにより、問題なく処理を続けることができます。

13.4.4 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 13.6 と表 13.7 に示します。

各割り込み要因は、それぞれ異なる INTEVT のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT の値を使って分岐させます。たとえば INTEVT の値をオフセットにして分岐させます。

周辺モジュールの優先順位は、IPRA ~ IPRL によって、優先レベル 15 ~ 0 の範囲で任意に設定できます。リセットによって、周辺モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 13.6 と表 13.7 に示すデフォルト優先順位に従って処理されます。


割り込み優先レベル設定レジスタおよび割り込みマスクレジスタの更新は、SR の BL ビットが 1 のときに行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にしてください。これにより内部的に必要なタイミングが確保されます。

表 13.6 外部端子からの割り込み要因と優先順位

割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	設定範囲内の 優先順位	デフォルト 優先順位
NMI		H'1C0	16	-	-	高 ↑ ↓ 低
IRQ	IRQ0	H'600	15 ~ 0(0)	INTPRI00 (31 ~ 28)	-	
	IRQ1	H'620	15 ~ 0(0)	INTPRI00 (27 ~ 24)	-	
	IRQ2	H'640	15 ~ 0(0)	INTPRI00 (23 ~ 20)	-	
	IRQ3	H'660	15 ~ 0(0)	INTPRI00 (19 ~ 16)	-	
	IRQ4	H'680	15 ~ 0(0)	INTPRI00 (15 ~ 12)	-	
	IRQ5	H'6A0	15 ~ 0(0)	INTPRI00 (11 ~ 8)	-	
	IRQ6	H'6C0	15 ~ 0(0)	INTPRI00 (7 ~ 4)	-	
IRQ7	H'6E0	15 ~ 0(0)	INTPRI00 (3 ~ 0)	-		

表 13.7 周辺モジュールからの割り込み要因と優先順位

割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	設定範囲内の 優先順位	デフォルト優 先順位
HUDI		H'5E0	15	-	-	高 ↑ ↓ 低
DMAC1(1)	DEI0	H'700	15 ~ 0(0)	IPRB (7 ~ 4)	高	
	DEI1	H'720			↓	
	DEI2	H'740			↓	
	DEI3	H'760			低	
2DG	TRI	H'780	15 ~ 0(0)	IPRI (3 ~ 0)	高	
	INI	H'7A0			↓	
	CEI	H'7C0			低	
DMAC0(1)	DEI0	H'800	15 ~ 0(0)	IPRE (15 ~ 12)	高	
	DEI1	H'820			↓	
	DEI2	H'840			↓	
	DEI3	H'860			低	
VIO	CEU0I	H'880	15 ~ 0(0)	IPRE (11 ~ 8)	高	
	BEU0I	H'8A0			↓	
	VEU1I	H'8C0			↓	
	VOU1I	H'8E0			低	
SCIFA3	SCIFA3	H'900	15 ~ 0(0)	IPRE (7 ~ 4)	-	
VPU	VPUI	H'980	15 ~ 0(0)	IPRE (3 ~ 0)	-	
TPU	TPUI	H'9A0	15 ~ 0(0)	IPRL (7 ~ 4)	-	
CEU1	CEU1I	H'9E0	15 ~ 0(0)	IPRJ (15 ~ 12)	-	
BEU1	BEU1I	H'A00	15 ~ 0(0)	IPRB (3 ~ 0)	-	
USB0	USI0	H'A20	15 ~ 0(0)	IPRF (7 ~ 4)	-	
USB1	USI1	H'A40	15 ~ 0(0)	IPRF (7 ~ 4)	-	

割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	設定範囲内の 優先順位	デフォルト優先順位
ATAPI	ATAPI	H'A60	15 ~ 0(0)	IPRD (3 ~ 0)	-	
RTC	ATI	H'A80	15 ~ 0(0)	IPRK (15 ~ 12)	高	
	PRI	H'AA0			↓	
	CUI	H'AC0			低	
DMAC1(2)	DEI4	H'B00	15 ~ 0(0)	IPRK (11 ~ 8)	高	
	DEI5	H'B20			↓	
	DADERR	H'B40			低	
DMAC0(2)	DEI4	H'B80	15 ~ 0(0)	IPRF (11 ~ 8)	高	
	DEI5	H'BA0			↓	
	DADERR	H'BC0			低	
KEYSC	KEYI	H'BE0	15 ~ 0(0)	IPRF (15 ~ 12)	-	
SCIF	SCIF0	H'C00	15 ~ 0(0)	IPRG (15 ~ 12)	-	
	SCIF1	H'C20	15 ~ 0(0)	IPRG (11 ~ 8)	-	
	SCIF2	H'C40	15 ~ 0(0)	IPRG (7 ~ 4)	-	
VEU0	VEU0I	H'C60	15 ~ 0(0)	IPRG (3 ~ 0)	-	
MSIOF	MSIOF0	H'C80	15 ~ 0(0)	IPRH (15 ~ 12)	-	
	MSIOF1	H'CA0	15 ~ 0(0)	IPRH (11 ~ 8)	-	
SPU	SPUI0	H'CC0	15 ~ 0(0)	IPRC (3 ~ 0)	高	
	SPUI1	H'CE0			低	
SCIFA4	SCIFA4	H'D00	15 ~ 0(0)	IPRI (15 ~ 12)	-	
ICB	ICBI	H'D20	15 ~ 0(0)	IPRI (11 ~ 8)	-	
EtherMAC	ETHI	H'D60	15 ~ 0(0)	IPRJ (11 ~ 8)	-	
I ² C1	AL1I	H'D80	15 ~ 0(0)	IPRH (7 ~ 4)	高	
	TACK1I	H'DA0			↑	
	WAIT1I	H'DC0			↓	
	DTE1I	H'DE0			低	
I ² C0	AL0I	H'E00	15 ~ 0(0)	IPRH (3 ~ 0)	高	
	TACK0I	H'E20			↑	
	WAIT0I	H'E40			↓	
	DTE0I	H'E60			低	
SDHI0	SDHII0	H'E80	15 ~ 0(0)	IPRK (3 ~ 0)	高	
	SDHII1	H'EA0			↑	
	SDHII2	H'EC0			↓	
	SDHII3	H'EE0			低	
CMT	CMTI	H'F00	15 ~ 0(0)	IPRF (3 ~ 0)	-	
TSIF	TSIFI	H'F20	15 ~ 0(0)	IPRI (7 ~ 4)	-	

割り込み要因		INTEVT コード	割り込み優先順位 (初期値)	対応する IPR (ビット番号)	設定範囲内の 優先順位	デフォルト優 先順位
FSI	FSI	H'F80	15~0(0)	IPRJ (7~4)	-	高  低
SCIFA5	SCIFA5	H'FA0	15~0(0)	IPRL (15~12)	-	
TMU0	TUNI0	H'400	15~0(0)	IPRA (15~12)	-	
	TUNI1	H'420	15~0(0)	IPRA (11~8)	-	
	TUNI2	H'440	15~0(0)	IPRA (7~4)	-	
IrDA	IrDAI	H'480	15~0(0)	IPRA (3~0)	-	
SDHI1	SDHI10	H'4E0	15~0(0)	IPRJ (3~0)	高	
	SDHI11	H'500			↓	
	SDHI12	H'520			低	
JPU	JPUI	H'560	15~0(0)	IPRB (15~12)	-	
2DDMAC	2DDMAC	H'4A0	15~0(0)	IPRL (3~0)	-	
MMCIF	MMC2I	H'5A0	15~0(0)	IPRD (11~8)	高	
	MMC3I	H'5C0			低	
LCDC	LCDCI	H'F40	15~0(0)	IPRB (11~8)	-	
TMU1	TUNI0	H'920	15~0(0)	IPRC (15~12)	-	
	TUNI1	H'940	15~0(0)	IPRC (11~8)	-	
	TUNI2	H'960	15~0(0)	IPRC (7~4)	-	

13.5 動作説明

13.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 13.2 と図 13.3 に割り込み動作フローを示します。

1. INTCに対して、各割り込み要求元から割り込み要求信号が送られます。
2. INTCでは、送られた割り込み要求の中から割り込み優先レベル設定レジスタに従って、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表13.6と表13.7に従って最も優先順位の高い割り込みが選択されます。
3. INTCで選択された割り込みの優先レベルとCPUのSRレジスタの割り込みマスクレベル (IMASK) が比較されます。IMASKビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT) に割り込み要因コードがセットされます。
6. SRとプログラムカウンタ (PC) が、それぞれSSRとSPCに退避されます。そのときのR15をSGRに退避します。
7. SRのBLビット、MDビット、RBビットが1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値とH'0000 0600の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば、INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。
 2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表 13.8 で示される周辺モジュールの優先順位判定時間待ってから (たとえば、周辺モジュールクロックで動作する INTC のレジスタを 1 回読み出す) BL ビットをクリアするか、RTE 命令を実行します。

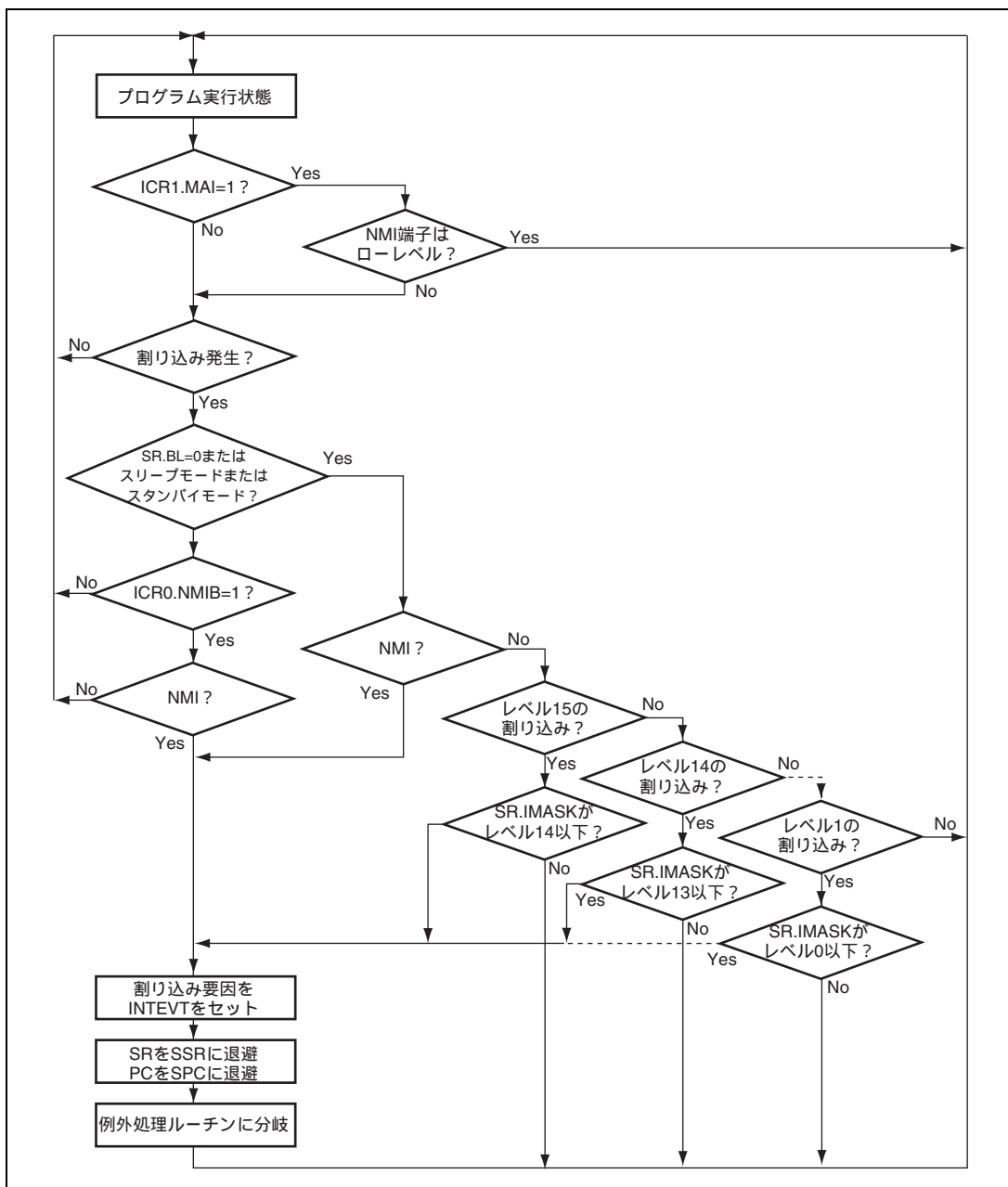


図 13.2 割り込み動作フロー (CPUOPM.INTMU = 0 のとき)

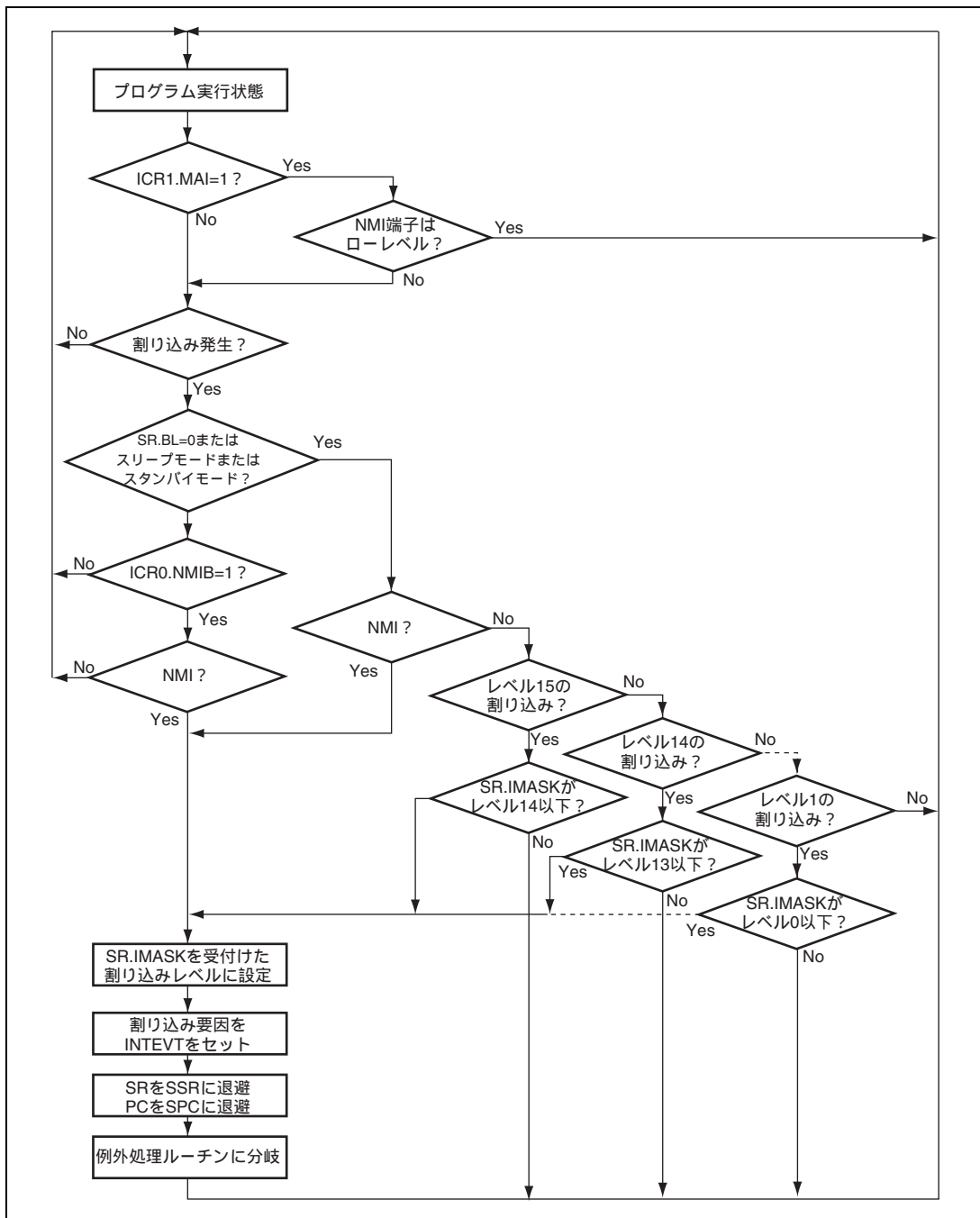


図 13.3 割り込み動作フロー (CPUOPM.INTMU = 1 のとき)

13.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。CPUOPM.INTMU = 1のときは、SRの割り込みマスクレベル (IMASK) は受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU = 0のときは、SRの割り込みマスクレベル (IMASK) をソフトウェアにより受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

13.5.3 MAI ビットによる割り込みマスク

ICR0のMAIビットを1に設定することにより、NMI端子がローレベルの間、SRのBL、IMASKビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時

NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

- スタンバイ時

NMI端子がローレベルの間、すべての割り込みをマスクします。また、NMI端子の変化によるNMI割り込みも発生しません。このため、MAIビットを1に設定した状態では、NMI割り込みでスタンバイの解除を行えません。

13.5.4 ユーザモードでの割り込み禁止機能

USERIMASK に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。本機能を用いることにより、ユーザモードで動作するデバイスドライバ等のタスク中で緊急度の高い処理を行う際に、より緊急度の低い割り込みを禁止することで完了までの時間を短縮できます。

USERIMASK は、INTC その他のレジスタとは異なる 64K バイト空間に配置されています。ユーザモードにより本レジスタをアクセスする場合は、MMU によるアドレス変換によりアクセスします。マルチタスク OS では、USERIMASK にアクセスできるプロセスは MMU の記憶保護により管理してください。また、そのタスクを終了する場合や、他のタスクに切り替える場合は、必ず本レジスタを 0 クリアしてからそのタスクを抜けてください。UIMASK ビットが誤って 0 以外の値が設定されたままになると、その割り込みレベル以下の割り込みが禁止されたままとなり、OS のタスク切り替えが行われなくなるなどの不具合を起こすことがありますのでご注意ください。

以下に使用手順の例を示します。

1. 準備として、割り込みを以下のように (a) と (b) に分類し、(b) より (a) の割り込みレベルを高くします。
 - (a) : デバイスドライバ中で割り込み受け付けられるべき割り込み
(OS で使用する割り込み : タイマ割り込みなど)
 - (b) : デバイスドライバ中で割り込み禁止されるべき割り込み
2. MMU の設定により、USERIMASK の存在するアドレス空間を割り込みを禁止したいデバイスドライバにのみアクセス可能に設定します。
3. デバイスドライバに分岐します。
4. ユーザモードで動作するデバイスドライバ中で (b) の割り込みがマスクされるように UIMASK ビットを設定します。
5. デバイスドライバ中で緊急度の高い処理を行います。
6. UIMASK ビットを 0 にクリアし、デバイスドライバの処理から復帰します。

13.6 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 13.8 に示します。

表 13.8 割り込み応答時間

項目	ステート数			備考	
	NMI	IRQ	周辺モジュール		
優先順位判定時間	5Bcyc+2Pcyc	4Bcyc+2Pcyc	5Pcyc		
CPU が実行中のシーケンス終了までの待ち時間	S-1 (0) ×lcyc				
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチンの先頭命令のフェッチの SuperHyway バスリクエストを発行するまでの期間	11lcyc+1Scyc				
応答時間	合計	(S+10)lcyc+1Scyc+5Bcyc+2Pcyc	(S+10)lcyc+1Scyc+4Bcyc+2Pcyc	(S+10)lcyc+1Scyc+5Pcyc	
	最小時	18lcyc+S×lcyc	17lcyc+S×lcyc	16lcyc+S×lcyc	lcyc:Scyc:Bcyc:Pcyc = 1:1:1:1 のとき

【記号説明】

- lcyc : CPU クロックの 1 サイクル期間
- Scyc : SH クロックの 1 サイクル期間
- Bcyc : バスクロックの 1 サイクル期間
- Pcyc : 周辺クロックの 1 サイクル期間
- S : 命令実行ステート数

14. バスステートコントローラ (BSC)

バスステートコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、バースト ROM などの各種メモリおよび外部デバイスを直接接続することができます。DDR-SDRAM は、DDR-SDRAM 用バスステートコントローラ (DBSC) で制御します。

14.1 特長

BSC には、次の特長があります。

(1) 外部アドレス空間

- エリア0、エリア6の2空間、もしくは、エリア0、エリア4、エリア5、エリア6の4空間を管理
- 合計で最大256Mまでの外部アドレス空間をサポート。
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、バーストROM、およびPCMCIAの各種インタフェースを指定可能
- 空間ごとに、データバス幅 (8ビット、16ビット、または32ビット) を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード - ライト (同一空間または別空間)、リード - リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能

(2) 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

(3) バースト ROM (クロック同期 / 非同期) インタフェース

- ページモード機能を有するROMを高速にアクセス可能
- クロック同期タイプのROMを直結可能

(4) バイト選択付き SRAM インタフェース

- バイト選択付きSRAMとの直結が可能なインタフェースをサポート

(5) PCMCIA 直結インタフェース

- JEIDA仕様Ver4.2 (PCMCIA2.1) で定める「ICメモリカードおよびI/Oカードインタフェース」をサポート
- ウェイトステート挿入をプログラムで制御可能
- I/Oバス幅のバスサイジング機能をサポート (リトルエンディアンモード時のみ)

【注】 BSC によりサポートされる PCMCIA 直結インタフェースは、表 14.1 に示された信号とバスプロトコルのサポートのみとなります。その他の制御信号については、外部回路を使用してください。

BSC のブロック図を図 14.1 に示します。

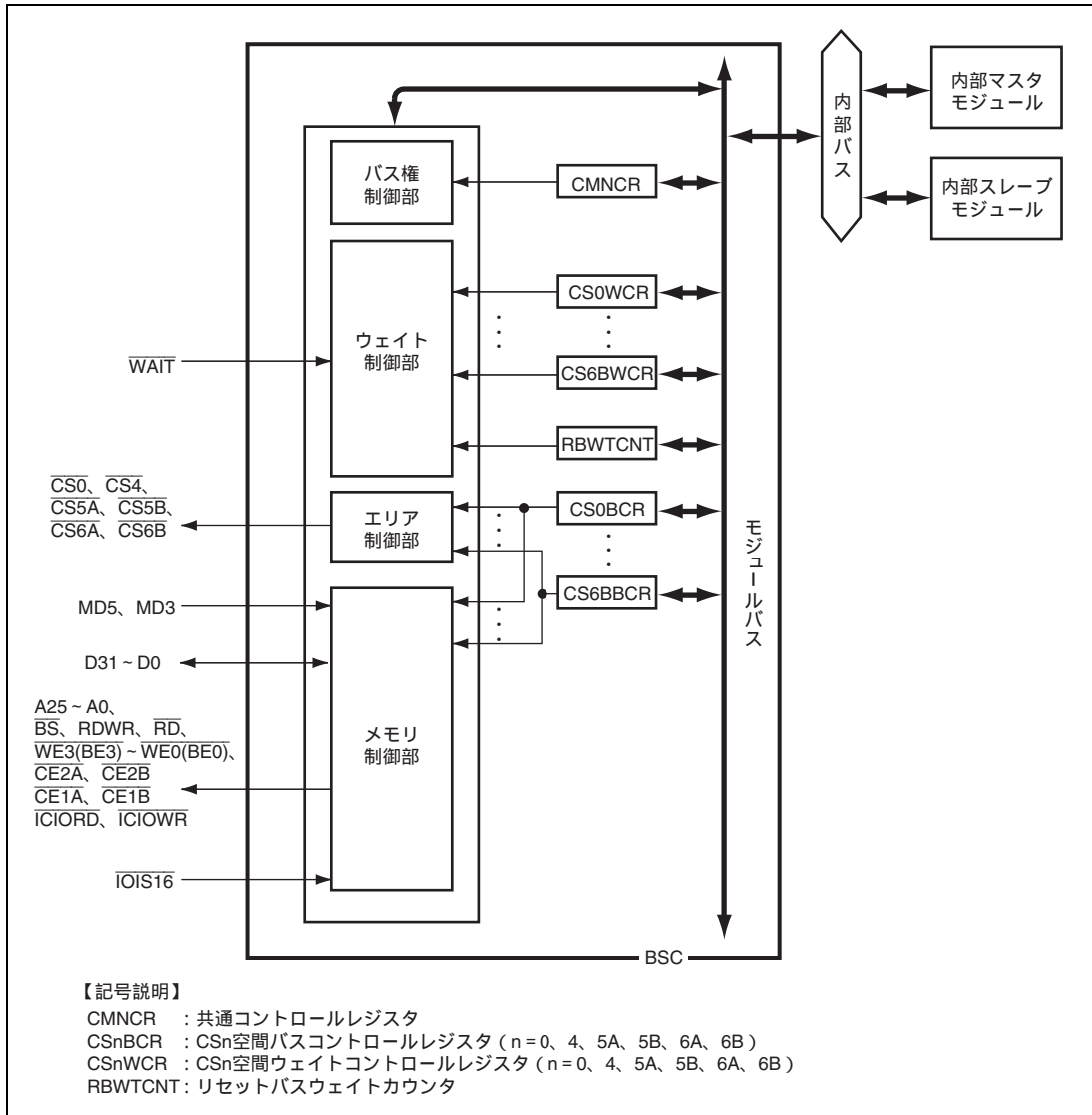


図 14.1 バスステートコントローラのブロック図

14.2 入出力端子

BSC の端子構成を表 14.1 に示します。

表 14.1 端子構成

端子名	入出力	機能
A25 ~ A0	出力	アドレスバス
D31 ~ D0	入出力	データバス
\overline{BS}	出力	バスサイクルの開始を示す信号 バスサイクルの先頭で 1 サイクルアサートします。 SyncBurst 機能付きメモリのアドレスバリッド端子に接続します。 本 LSI では A25 端子とマルチプレクスされています。 通常空間、バースト ROM (クロック同期 / 非同期)、および、PCMCIA アクセス時にアサートされます。
CS0	出力	チップセレクト
$\overline{CS4}$	出力	チップセレクト エリア 4、5 を BSC 側エリアに選択時のみアクティブ
CS5A/CE2A	出力	チップセレクト エリア 4、5 を BSC 側エリアに選択時でアドレスマップ 1 のときのみアクティブ PCMCIA 使用時は、PCMCIA カードセレクト信号 D15 ~ D8 対応
CS5B/CE1A	出力	チップセレクト エリア 4、5 を BSC 側エリアに選択時のみアクティブ PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
CS6A/CE2B	出力	チップセレクト アドレスマップ 1 のときのみアクティブ PCMCIA 使用時は、PCMCIA カードセレクト信号 D15 ~ D8 対応
CS6B/CE1B	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7 ~ D0 対応
RDWR	出力	リードまたはライト信号 バイト選択付き SRAM 接続時は、 \overline{WE} 端子に接続
\overline{RD}	出力	リードパルス信号 (リードデータ出力許可信号) PCMCIA 使用時は、メモリリードサイクルを示すストロープ信号
WE3(BE3)/ \overline{CIOWR}	出力	D31 ~ D24 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 PCMCIA 使用時は、I/O ライトを示すストロープ信号
WE2(BE2)/ \overline{CIORD}	出力	D23 ~ D16 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 PCMCIA 使用時は、I/O リードを示すストロープ信号

端子名	入出力	機能
WE1(BE1)/WE	出力	D15～D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 PCMCIA 使用時は、メモリアイトサイクルを示すストロープ信号
WE0(BE0)	出力	D7～D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続
IOIS16	入力	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効 ビッグエンディアン時は、ローレベルにしてください。
WAIT	入力	外部ウェイト入力
MD5、MD3	入力	MD5：データアライメント（ビッグまたはリトルエンディアンの選択） MD3：エリア 0 のバス幅（16/32 ビット）の選択

14.3 エリアの概要

14.3.1 空間分割

本 LSI に搭載されている CPU は、アーキテクチャとして 32 ビットの仮想アドレス空間を有しています。物理アドレス空間は 29 ビット、もしくは、32 ビットのアドレス空間を選択できます。

仮想アドレスは、アドレス変換機構 (MMU) により任意の物理アドレスに割り付けることができます。詳細は「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

BSC では、29 ビットの物理アドレス空間を CMNCR レジスタの MAP ビットにより、10 空間 (アドレスマップ 1) あるいは 8 空間 (アドレスマップ 2) に分割しています。

表 14.2、表 14.3 に示すように 29 ビットの物理空間の 8 空間あるいは 6 空間にそれぞれ各種メモリを接続でき、おののに対応してチップセレクト信号 ($\overline{CS0}$ 、 \overline{MCS} 、 $\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$ 、 $\overline{CS6A}$ 、および $\overline{CS6B}$) を出力します。このうち \overline{MCS} は DDR-SDRAM 専用のチップセレクト信号であり、DRAM エリア (エリア 2、3、4、5、もしくは、エリア 2、3)、および 32 ビットアドレスモード時の拡張 DRAM エリア含め最大 512M バイトの空間を 1 本のチップセレクトで制御します。

14.3.2 アドレスマップ

外部アドレス空間は合計 384M バイトあり、これを 8 空間 (アドレスマップ 1) または 6 空間 (アドレスマップ 2) の部分空間に分割して使用します。接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 14.2 アドレスマップ 1 (CMNCR.MAP[1:0]=B'00)

アドレス	空間	チップセレクト	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	$\overline{CS0}$	通常空間 バースト ROM (同期 / 非同期) バイト選択付き SRAM	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	-	内蔵 I/O レジスタ空間*1	64M バイト
H'08000000 ~ H'0BFFFFFF	エリア 2	\overline{MCS}	DRAM エリア*2	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	\overline{MCS}	DRAM エリア*2	64M バイト
H'10000000 ~ H'13FFFFFF	エリア 4*3	\overline{MCS}	DRAM エリア*2	64M バイト
		$\overline{CS4}$	通常空間 バイト選択付き SRAM バースト ROM (同期 / 非同期)	
H'14000000 ~ H'15FFFFFF	エリア 5A*3	\overline{MCS}	DRAM エリア*2	32M バイト
		$\overline{CS5A}$	通常空間	
H'16000000 ~ H'17FFFFFF	エリア 5B*3	\overline{MCS}	DRAM エリア*2	32M バイト
		$\overline{CS5B}$	通常空間 バイト選択付き SRAM	
H'18000000 ~ H'19FFFFFF	エリア 6A	$\overline{CS6A}$	通常空間	32M バイト
H'1A000000 ~ H'1BFFFFFF	エリア 6B	$\overline{CS6B}$	通常空間 バイト選択付き SRAM	32M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	-	予約エリア*4	64M バイト

【注】 *1 内部 I/O レジスタは、アドレスの先頭 3 ビットを B'101 として P2 領域に配置してください。

*2 DRAM エリアは、DDR-SDRAM 用バスステートコントローラ (DBSC) により制御されます。

*3 エリア 4、5A、5B は、MMSELR の設定により DRAM エリアと通常空間を選択できます。

*4 予約エリアは、アクセスしないでください。アクセスした場合の動作は、保証できません。

表 14.3 アドレスマップ 2 (CMNCR.MAP[1:0]=B'01)

アドレス	空間	チップセレクト	メモリ種類	サイズ
H'00000000 ~ H'03FFFFFF	エリア 0	$\overline{CS0}$	通常空間 バースト ROM (同期 / 非同期)	64M バイト
H'04000000 ~ H'07FFFFFF	エリア 1	-	内蔵 I/O レジスタ空間* ¹	64M バイト
H'08000000 ~ H'0BFFFFFF	エリア 2	\overline{MCS}	DRAM エリア* ²	64M バイト
H'0C000000 ~ H'0FFFFFFF	エリア 3	\overline{MCS}	DRAM エリア* ²	64M バイト
H'10000000 ~ H'13FFFFFF	エリア 4* ⁴	\overline{MCS}	DRAM エリア* ²	64M バイト
		$\overline{CS4}$	通常空間 バイト選択付き SRAM バースト ROM (同期 / 非同期)	
H'14000000 ~ H'17FFFFFF	エリア 5* ⁴	\overline{MCS}	DRAM エリア* ²	64M バイト
		$\overline{CS5B}$ * ³	通常空間 バイト選択付き SRAM PCMCIA	
H'18000000 ~ H'1BFFFFFF	エリア 6	$\overline{CS6B}$ * ³	通常空間 バイト選択付き SRAM PCMCIA	64M バイト
H'1C000000 ~ H'1FFFFFFF	エリア 7	-	予約エリア* ⁴	64M バイト

- 【注】 *1 内部 I/O レジスタは、アドレスの先頭 3 ビットを B'101 として P2 領域に配置してください。
- *2 DRAM エリアは、DDR-SDRAM 用バスステートコントローラ (DBSC) により制御されます。
- *3 エリア 5 空間は、CS5BBCR および CS5BWCR レジスタが有効になります。
エリア 6 空間は、CS6BBCR および CS6BWCR レジスタが有効になります。
- *4 エリア 4、5 は、MMSELR の設定により DRAM エリアと通常空間を選択できます。
- *5 予約エリアは、アクセスしないでください。アクセスした場合の動作は、保証できません。

14.3.3 メモリバス幅の設定

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部端子 (MD3) を用いてバスサイズを 16 ビット、32 ビットから選択できます。エリア 0 と DRAM エリア以外のエリアは、レジスタで設定します。パワーオンリセット時のエリア 0 メモリタイプは、通常空間となります。

表 14.4 外部端子 (MD3) とバス幅の対応

MD3	エリア 0 バス幅
0	16 ビット
1	32 ビット

14.3.4 データアライメント

本 LSI では、データアライメントとしてビッグエンディアンとリトルエンディアンをサポートします。データアライメントは、パワーオンリセット時の外部端子 (MD5) で決まります。

表 14.5 外部端子 (MD5) とエンディアン対応

MD5	データアライメント
0	ビッグエンディアン
1	リトルエンディアン

14.4 レジスタの説明

BSC のレジスタ構成を表 14.6 に示します。また、各処理モードにおけるレジスタの状態を表 14.7 に示します。メモリとのインタフェースの設定が終了するまでは、CS0 空間以外はアクセスしないでください。

表 14.6 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
メモリアドレスマップ選択レジスタ	MMSELR	R/W	H'FF80 0020	32
共通コントロールレジスタ	CMNCR	R/W	H'FEC1 0000	32
CS0 空間バスコントロールレジスタ	CS0BCR	R/W	H'FEC1 0004	32
CS4 空間バスコントロールレジスタ	CS4BCR	R/W	H'FEC1 0010	32
CS5A 空間バスコントロールレジスタ	CS5ABCR	R/W	H'FEC1 0014	32
CS5B 空間バスコントロールレジスタ	CS5BBCR	R/W	H'FEC1 0018	32
CS6A 空間バスコントロールレジスタ	CS6ABCR	R/W	H'FEC1 001C	32
CS6B 空間バスコントロールレジスタ	CS6BBCR	R/W	H'FEC1 0020	32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'FEC1 0024	32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'FEC1 0030	32
CS5A 空間ウェイトコントロールレジスタ	CS5AWCR	R/W	H'FEC1 0034	32
CS5B 空間ウェイトコントロールレジスタ	CS5BWCR	R/W	H'FEC1 0038	32
CS6A 空間ウェイトコントロールレジスタ	CS6AWCR	R/W	H'FEC1 003C	32
CS6B 空間ウェイトコントロールレジスタ	CS6BWCR	R/W	H'FEC1 0040	32
リセットバスウェイトカウンタ	RBWTCNT	-	H'FEC1 0054	32

表 14.7 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
MMSELR	初期化	初期化	保持	-	初期化	初期化	保持
CMNCR	初期化	保持	保持	-	保持	初期化	保持
CS0BCR	初期化	保持	保持	-	保持*	初期化	保持
CS4BCR	初期化	保持	保持	-	初期化	初期化	保持
CS5ABCR	初期化	保持	保持	-	初期化	初期化	保持
CS5BBCR	初期化	保持	保持	-	初期化	初期化	保持
CS6ABCR	初期化	保持	保持	-	初期化	初期化	保持
CS6BBCR	初期化	保持	保持	-	初期化	初期化	保持
CS0WCR	初期化	保持	保持	-	保持	初期化	保持
CS4WCR	初期化	保持	保持	-	初期化	初期化	保持
CS5AWCR	初期化	保持	保持	-	初期化	初期化	保持
CS5BWCR	初期化	保持	保持	-	初期化	初期化	保持
CS6AWCR	初期化	保持	保持	-	初期化	初期化	保持
CS6BWCR	初期化	保持	保持	-	初期化	初期化	保持
RBWTCNT	初期化	保持	保持	-	初期化	初期化	保持

【注】 * CS0BCR の TYP[3:0]ビットは保持されません。

14.4.1 メモリアドレスマップ選択レジスタ (MMSELR)

メモリアドレスマップ選択レジスタ (MMSELR) は 32 ビット幅のレジスタで、エリア 4 とエリア 5 の空間について、メモリアドレスマップの選択を行います。本レジスタへのアクセスは、アドレス H'FF80 0020 に対して行ってください。また、書き込み、読み出しとも、ロングワードで行ってください。書き込みは、誤書き込みを防ぐため、上位ワードが H'A5A5 の場合のみ受け付けられます。読み出しする場合、上位 29 ビットは 0 が読み出されます。本レジスタは、パワーオンリセット、およびマニュアルリセットで H'0000 0000 に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AREA SEL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込むときは、上位バイトを H'A5A5 にして行ってください。
0	AREASEL	0	R/W	エリア 4、5 メモリ空間選択 0: エリア 4、5 (H'1000 0000 ~ H'17FF FFFF) を DBSC 制御 (DRAM エリア) とする。 1: エリア 4、5 (H'1000 0000 ~ H'17FF FFFF) を BSC 制御 ($\overline{CS4}$ 、 $\overline{CS5A}$ 、 $\overline{CS5B}$) とする。

本レジスタへの書き込みは必ず CPU により行ってください。

本レジスタに書き込みを行う命令は、キャッシング不可の P2 領域で、かつ本レジスタ書き換えによる影響のない領域に配置してください。

また、本レジスタへの書き込みは、命令キャッシュ、オペランドキャッシュおよび MMU によるアドレス変換を有効にする前に、それ以降はパワーオンリセットまたはマニュアルリセットを行うまで書き換えしないでください。

14.4.2 共通コントロールレジスタ (CMNCR)

本レジスタは、各エリアに共通の制御を行う32ビットのレジスタです。レジスタの初期設定が終了するまでは、エリア0以外の外部メモリをアクセスしないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	BROMMD1	BROMMD0	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MAP[1:0]		—	—	—	—	—	—	—	—	END IAN	—	HIZ MEM	HIZ CNT
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0/1*	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
22	BROMMD1	0	R/W	クロック同期バースト ROM 用データ取りこみタイミング設定 クロック同期バースト ROM 使用時は、CSnBCR の PH1RD ビットおよび本ビットを1に設定してください。 0: BSCの動作クロック B で D31 ~ D0 端子をサンプリング 1: CKO クロックの立ち上がりで D31 ~ D0 端子をサンプリング
21	BROMMD0	0	R/W	クロック同期バースト ROM 用 CKO クロック出力反転設定 1をセットすることにより CKO の位相が反転し、出力する制御信号の CKO に対するホールド時間を確保します。クロック同期バースト ROM 使用時は本ビットを1に設定してください。 0: CKO 出力は B と同相 1: CKO 出力は B と逆相
20~14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
13, 12	MAP[1:0]	00	R/W	空間設定 本ビットにより、外部アドレス空間のアドレスマップを選択します。選択できるアドレスマップについては、表 14.2、表 14.3 を参照してください。 00: アドレスマップ1を選択 01: アドレスマップ2を選択 1*: リザーブ(設定禁止)
11~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込み時も常に1にしてください。

ビット	ビット名	初期値	R/W	説明
3	ENDIAN	0/1*	R	エンディアンフラグ 本ビットは、パワーオンリセット時にエンディアン設定の外部端子 (MD5) の値をサンプリングします。全空間のエンディアンは、このビットで決定されます。本ビットは、読み出し専用です。 0: パワーオンリセット時にエンディアン設定の外部端子 (MD5) がローレベルであり、本 LSI がビッグエンディアンとして動作 1: パワーオンリセット時にエンディアン設定の外部端子 (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして動作
2	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む時も常に 0 にしてください。
1	HIZMEM	0	R/W	High-Z メモリコントロール 本ビットは、A25~0、 \overline{BS} 、 \overline{CSn} 、RDWR、 \overline{WEn} ($\overline{BE_n}$)、および \overline{RD} のスタンバイモード時の端子状態を指定します。 0: スタンバイモード時にハイインピーダンス 1: スタンバイモード時にドライブ
0	HIZCNT	0	R/W	High-Z コントロール 本ビットは、CKO のスタンバイモード時の状態を指定します。 0: CKO は、スタンバイモード時にハイインピーダンス 1: CKO は、スタンバイモード時にドライブ

【注】 * エンディアンを指定する外部端子 (MD5) の値をパワーオンリセット時にサンプリングします。
ビッグエンディアンのときは 0、リトルエンディアンのときは 1 となります。

14.4.3 CSn 空間バスコントロールレジスタ (CSnBCR)

本レジスタは、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください (n=0、4、5A、5B、6A、6B)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	IWW[2:0]				IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]			IWRRS[2:0]		
初期値:	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1	
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TYPE[3:0]				—	BSZ[1:0]		—	—	—	—	—	—	—	PH1 RD	—	
初期値:	0	0	0	0	0	1*	1*	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R/W	R	

ビット	ビット名	初期値	R/W	説明
31		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
30~28	IWW[2:0]	011	R/W	<p>ライト - リード / ライト - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト - リードサイクルとライト - ライトサイクルの場合です。</p> <p>000 : リザーブビット 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
27~25	IWRWD [2:0]	011	R/W	<p>別空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
24~22	IWRWS [2:0]	011	R/W	<p>同一空間リード - ライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - ライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>

ビット	ビット名	初期値	R/W	説明
21 ~ 19	IWRRD [2:0]	011	R/W	別空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード - リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
18 ~ 16	IWRRS [2:0]	011	R/W	同一空間リード - リードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード - リードサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入
15 ~ 12	TYPE [3:0]	0000	R/W	メモリ種類指定 本ビットは、空間に接続するメモリの種類を設定します。 0000 : 通常空間 0001 : パースト ROM (クロック非同期) 0010 : 予約 (設定不可) 0011 : バイト選択付き SRAM 0100 : 予約 (設定不可) 0101 : PCMCIA 0110 : 予約 (設定不可) 0111 : パースト ROM (クロック同期) 1000 ~ 1111 : 予約 (設定不可) 【注】 エリア 0 のリセット直後のメモリタイプは、通常空間となります。本ビットで通常空間、パースト ROM (クロック非同期)、パースト ROM (クロック同期) から選択可能です。 エリアごとのメモリタイプは表 14.2、表 14.3 を参照ください。

ビット	ビット名	初期値	R/W	説明
11		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10、9	BSZ[1:0]	11*	R/W	データバス幅指定 本ビットは、空間のデータバス幅を指定します。 00：予約（設定不可） 01：8ビット 10：16ビット 11：32ビット 【注】1. エリア0のデータバス幅は、外部入力端子で設定します。 CS0BCRのBSZ[1:0]ビットの設定は無視されます。 2. エリア5またはエリア6をPCMCIA空間に設定した場合のバス幅は、8または16ビットから設定が可能です。
8~2		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	PH1RD	0	R/W	クロック同期バーストROM用データサンプリングタイミング設定 クロック同期バーストROM使用時は、本ビットを1に設定してください。 0：BSCの動作クロックBの立ち下がりデータサンプリングします。 RD出力タイミングはBの立ち下がりです。 1：BSCの動作クロックBの立ち上がりデータサンプリングします。 RD出力タイミングはBの立ち上がりです。
0		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

【注】 * CS0BCRは、バス幅を指定する外部端子 (MD3) の値をパワーオンリセット時にサンプリングします。

14.4.4 CSn 空間ウェイトコントロールレジスタ (CSnWCR)

本レジスタは、メモリアクセスに関する各種ウェイトサイクルの設定を行います。本レジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE3、2、1、0) により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR は、CSnBCR を設定後に設定してください (n=0、4、5A、5B、6A、6B)。

(1) 通常空間、バイト選択付き SRAM

- CS0WCR、CS6AWCR、CS6BWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR SFIx	—	—	SW[1:0]		WR[3:0]			WM	—	—	—	—	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および RDWR 信号のタイミングを設定します。 0: $\overline{WE}n$ は、リードライトタイミングでアサート RDWR は、ライトアクセスサイクル中アサート 1: $\overline{WE}n$ は、リードライトアクセスサイクル中アサート RDWR は、ライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定(リードアクセスウェイト)と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル

ビット	ビット名	初期値	R/W	説明
15	ADRSFIX	0	R/W	アドレス更新抑止 ($\overline{CS6A}$ のみ有効) 0: アドレス通常出力 1: バーストアクセスの2回目以降のアドレス更新を抑止
14, 13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 \overline{CSn} アサート \overline{RD} 、 \overline{WEn} アサート遅延サイクル数 本ビットは、アドレス、 \overline{CSn} アサートから \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル
10~7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000: 0 サイクル 0001: 1 サイクル 0010: 2 サイクル 0011: 3 サイクル 0100: 4 サイクル 0101: 5 サイクル 0110: 6 サイクル 0111: 8 サイクル 1000: 10 サイクル 1001: 12 サイクル 1010: 14 サイクル 1011: 18 サイクル 1100: 24 サイクル 1101: 設定禁止 1110: 設定禁止 1111: 設定禁止
6	WM	0/1*	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0: 外部ウェイト有効 1: 外部ウェイト無視
5~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
1, 0	HW[1:0]	00	R/W	\overline{RD} 、 $\overline{WE_n}$ ネゲート アドレス、 $\overline{CS_n}$ ネゲート遅延サイクル数 本ビットは、 \overline{RD} 、 $\overline{WE_n}$ ネゲートから、アドレス、 $\overline{CS_n}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

【注】 * CS0WCR の初期値は 0、CS6AWCR、CS6BWCR の初期値は 1 です。

• CS4WCR、CS5AWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]		WR[3:0]			WM	—	—	—	—	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および RDWR 信号のタイミングを設定します。 0: $\overline{WE}n$ は、リードライトタイミングでアサート RDWR は、ライトアクセスサイクル中アサート 1: $\overline{WE}n$ は、リードライトアクセスサイクル中アサート RDWR は、ライトタイミングでアサート
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト) と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS}n$ アサート RD、 $\overline{WE}n$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS}n$ アサートから RD、 $\overline{WE}n$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リード/ライトアクセスに必要なサイクル数を指定します。</p> <p>0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p>
6	WM	1	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>\overline{RD}、$\overline{WE_n}$ ネゲート アドレス、$\overline{CS_n}$ ネゲート 遅延サイクル数</p> <p>本ビットは、\overline{RD}、$\overline{WE_n}$ ネゲートから、アドレス、$\overline{CS_n}$ ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

• CS5BWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	BAS	—	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]		WR[3:0]			WM	—	—	—	—	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE}n$ および RDWR 信号のタイミングを設定します。 0: $\overline{WE}n$ は、リードライトタイミングでアサート RDWR は、ライトアクセスサイクル中アサート 1: $\overline{WE}n$ は、リードライトアクセスサイクル中アサート RDWR は、ライトタイミングでアサート
19		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットは、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト) と同じサイクル 001: 0 サイクル 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS}n$ アサート \overline{RD} 、 $\overline{WE}n$ アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS}n$ アサートから \overline{RD} 、 $\overline{WE}n$ アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リード/ライトアクセスに必要なサイクル数を指定します。</p> <p>0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p>
6	WM	1	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2		すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>\overline{RD}、$\overline{WE_n}$ ネゲート アドレス、$\overline{CS_n}$ ネゲート 遅延サイクル数</p> <p>本ビットは、\overline{RD}、$\overline{WE_n}$ ネゲート から、アドレス、$\overline{CS_n}$ ネゲート までの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

(2) パースト ROM

• CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]	W[3:0]			WM	—	—	—	—	—	—	—	HW[1:0]
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
17, 16	BW[1:0]	00	R/W	パーストウェイトサイクル数 本ビットは、パーストリードアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: 0 サイクル 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、CSn アサート RD、WEn アサート遅延サイクル数 本ビットは、アドレス、CSn アサートから RD、WEn アサートまでの遅延サイクル数を指定します。 WEn、または、CSnBCR.PH1RD=0 の場合の RD 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル CSnBCR.PH1RD=1 の場合の RD 00: 1 サイクル 01: 2 サイクル 10: 3 サイクル 11: 4 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、ライトサイクルおよび1回目のリードアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WEn} ネゲート アドレス、\overline{CSn} ネゲート 遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WEn} ネゲート から、アドレス、\overline{CSn} ネゲート までの遅延サイクル数を指定します。</p> <p>\overline{WEn}、または、$CSnBCR.PH1RD=0$ の場合の \overline{RD}</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p> <p>$CSnBCR.PH1RD=1$ の場合の \overline{RD}</p> <p>00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル</p>

- CS4WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SW[1:0]	W[3:0]			WM	—	—	—	—	—	—	—	HW[1:0]
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
17, 16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストリードアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00: 0サイクル 01: 1サイクル 10: 2サイクル 11: 3サイクル
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 \overline{CSn} アサート \overline{RD} 、 \overline{WEn} アサート遅延サイクル数 本ビットは、アドレス、 \overline{CSn} アサートから、 \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 \overline{WEn} 、または、 $CSnBCR.PH1RD=0$ の場合の \overline{RD} 00: 0.5サイクル 01: 1.5サイクル 10: 2.5サイクル 11: 3.5サイクル $CSnBCR.PH1RD=1$ の場合の \overline{RD} 00: 1サイクル 01: 2サイクル 10: 3サイクル 11: 4サイクル

ビット	ビット名	初期値	R/W	説明
10~7	W[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、ライトサイクルおよび1回目のリードアクセスサイクルに挿入するウェイトサイクル数を指定します。</p> <p>0000 : 0 サイクル 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 設定禁止 1110 : 設定禁止 1111 : 設定禁止</p>
6	WM	1	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
1, 0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WEn} ネゲート アドレス、\overline{CSn} ネゲート 遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WEn} ネゲート から、アドレス、\overline{CSn} ネゲート までの遅延サイクル数を指定します。</p> <p>\overline{WEn}、または、$CSnBCR.PH1RD=0$ の場合の \overline{RD}</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p> <p>$CSnBCR.PH1RD=1$ の場合の \overline{RD}</p> <p>00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル</p>

(3) PCMCIA

- CS5BWCR、CS6BWCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	SA1	SA0	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TED[3:0]			PCW[3:0]			WM	—	—	TEH[3:0]					
初期値:	0	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
21 20	SA1 SA0	0 0	R/W R/W	空間属性指定 PCMCIA インタフェース設定時は、本ビットによりメモリカードインタフェースおよび I/O カードインタフェースのいずれかを指定します。 <ul style="list-style-type: none"> SA1 <ul style="list-style-type: none"> 0: A25=1 の空間をメモリカードインタフェース指定 1: A25=1 の空間を I/O カードインタフェース指定 SA0 <ul style="list-style-type: none"> 0: A25=0 の空間をメモリカードインタフェース指定 1: A25=0 の空間を I/O カードインタフェース指定
19~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説 明
14~11	TED[3:0]	0000	R/W	<p>アドレス - \overline{RD}、\overline{WE} アサート遅延</p> <p>本ビットは、PCMCIA インタフェースにおけるアドレス出力から \overline{RD} と \overline{WE} アサートまでの遅延時間を設定します。</p> <p>0000 : 0.5 サイクル 0001 : 1.5 サイクル 0010 : 2.5 サイクル 0011 : 3.5 サイクル 0100 : 4.5 サイクル 0101 : 5.5 サイクル 0110 : 6.5 サイクル 0111 : 7.5 サイクル 1000 : 8.5 サイクル 1001 : 9.5 サイクル 1010 : 10.5 サイクル 1011 : 11.5 サイクル 1100 : 12.5 サイクル 1101 : 13.5 サイクル 1110 : 14.5 サイクル 1111 : 15.5 サイクル</p>
10~7	PCW[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、挿入ウェイトステート数を設定します。</p> <p>0000 : 3 サイクル 0001 : 6 サイクル 0010 : 9 サイクル 0011 : 12 サイクル 0100 : 15 サイクル 0101 : 18 サイクル 0110 : 22 サイクル 0111 : 26 サイクル 1000 : 30 サイクル 1001 : 33 サイクル 1010 : 36 サイクル 1011 : 38 サイクル 1100 : 52 サイクル 1101 : 60 サイクル 1110 : 64 サイクル 1111 : 80 サイクル</p>

ビット	ビット名	初期値	R/W	説 明
6	WM	1	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5, 4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3~0	THE[3:0]	0000	R/W	\overline{RD} 、 \overline{WE} ネゲート - アドレス遅延 本ビットは、PCMCIA インタフェースにおける \overline{RD} と \overline{WE} ネゲートからのアドレスホールド時間を設定します。 0000 : 0.5 サイクル 0001 : 1.5 サイクル 0010 : 2.5 サイクル 0011 : 3.5 サイクル 0100 : 4.5 サイクル 0101 : 5.5 サイクル 0110 : 6.5 サイクル 0111 : 7.5 サイクル 1000 : 8.5 サイクル 1001 : 9.5 サイクル 1010 : 10.5 サイクル 1011 : 11.5 サイクル 1100 : 12.5 サイクル 1101 : 13.5 サイクル 1110 : 14.5 サイクル 1111 : 15.5 サイクル

14.4.5 リセットバスウェイトカウンタ (RBWTCNT)

RBWTCNT は、7 ビットのカウンタです。パワーオンリセット解除後、CKO に同期してカウントアップを開始し、レジスタの値が H'7F になるとカウントアップを停止します。本レジスタがカウントアップを行っている間は、外部バスへのアクセスが待たされます。フラッシュメモリ等のリセット解除から最初のアクセスまでの最小時間を確保するために、本レジスタは存在します。本レジスタへの読み出し、書き込みは行えません。

14.5 動作説明

14.5.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子 (MD5) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビット、16 ビット、および 32 ビット幅の 3 種類から選べます。PCMCIA インタフェースの場合は、8 ビットおよび 16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンにあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 14.8 ~ 表 14.13 に示します。

表 14.8 32 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション	データバス ストローブ信号							
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0 番地バイトアクセス	データ 7~0	-	-	-	アサート	-	-	-
1 番地バイトアクセス	-	データ 7~0	-	-	-	アサート	-	-
2 番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
3 番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
0 番地ワードアクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
2 番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 14.9 16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
1 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2 番地バイトアクセス		-	-	データ 7~0	-	-	-	アサート	-
3 番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2 番地ワードアクセス		-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	-	-	データ 31~24	データ 23~16	-	-	アサート	アサート
	2 回目 (2 番地)	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート

表 14.10 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31~D24	D23~D16	D15~D8	D7~D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
1番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
3番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0番地 ワード アクセス	1回目 (0番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 7~0	-	-	-	アサート
2番地 ワード アクセス	1回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	2回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	-	-	-	データ 31~24	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 23~16	-	-	-	アサート
	3回目 (2番地)	-	-	-	データ 15~8	-	-	-	アサート
	4回目 (3番地)	-	-	-	データ 7~0	-	-	-	アサート

表 14.11 32 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0番地バイトアクセス	-	-	-	データ 7~0	-	-	-	アサート
1番地バイトアクセス	-	-	データ 7~0	-	-	-	アサート	-
2番地バイトアクセス	-	データ 7~0	-	-	-	アサート	-	-
3番地バイトアクセス	データ 7~0	-	-	-	アサート	-	-	-
0番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2番地ワードアクセス	データ 15~8	データ 7~0	-	-	アサート	アサート	-	-
0番地ロングワード アクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 14.12 16 ビット外部デバイス / リトルエンディアンへのアクセスとデータアライメント

オペレーション	データバス				ストロープ信号			
	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0番地バイトアクセス	-	-		データ 7~0	-	-	-	アサート
1番地バイトアクセス	-	-	データ 7~0		-	-	アサート	-
2番地バイトアクセス	-	-		データ 7~0	-	-	-	アサート
3番地バイトアクセス	-	-	データ 7~0		-	-	アサート	-
0番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
2番地ワードアクセス	-	-	データ 15~8	データ 7~0	-	-	アサート	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	-	データ 15~8	データ 7~0	-		アサート	アサート
	2回目 (2番地)	-	データ 31~24	データ 23~16	-		アサート	アサート

表 14.13 8ビット外部デバイス/リトルエンディアンへのアクセスとデータアライメント

オペレーション		データバス				ストロープ信号			
		D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0	WE3(BE3)	WE2(BE2)	WE1(BE1)	WE0(BE0)
0番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
1番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
2番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
3番地バイトアクセス		-	-	-	データ 7~0	-	-	-	アサート
0番地 ワード アクセス	1回目 (0番地)	-	-	-	データ 7~0	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 15~8	-	-	-	アサート
2番地 ワード アクセス	1回目 (2番地)	-	-	-	データ 7~0	-	-	-	アサート
	2回目 (3番地)	-	-	-	データ 15~8	-	-	-	アサート
0番地 ロング ワード アクセス	1回目 (0番地)	-	-	-	データ 7~0	-	-	-	アサート
	2回目 (1番地)	-	-	-	データ 15~8	-	-	-	アサート
	3回目 (2番地)	-	-	-	データ 23~16	-	-	-	アサート
	4回目 (3番地)	-	-	-	データ 31~24	-	-	-	アサート

14.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、主にバイト選択端子のない SRAM の直結を考慮してストロブ信号を出力します。バイト選択付き端子のある SRAM を使用する場合は、「14.5.6 バイト選択付き SRAM インタフェース」を参照ください。図 14.2 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表し、1 サイクルアサートされます。

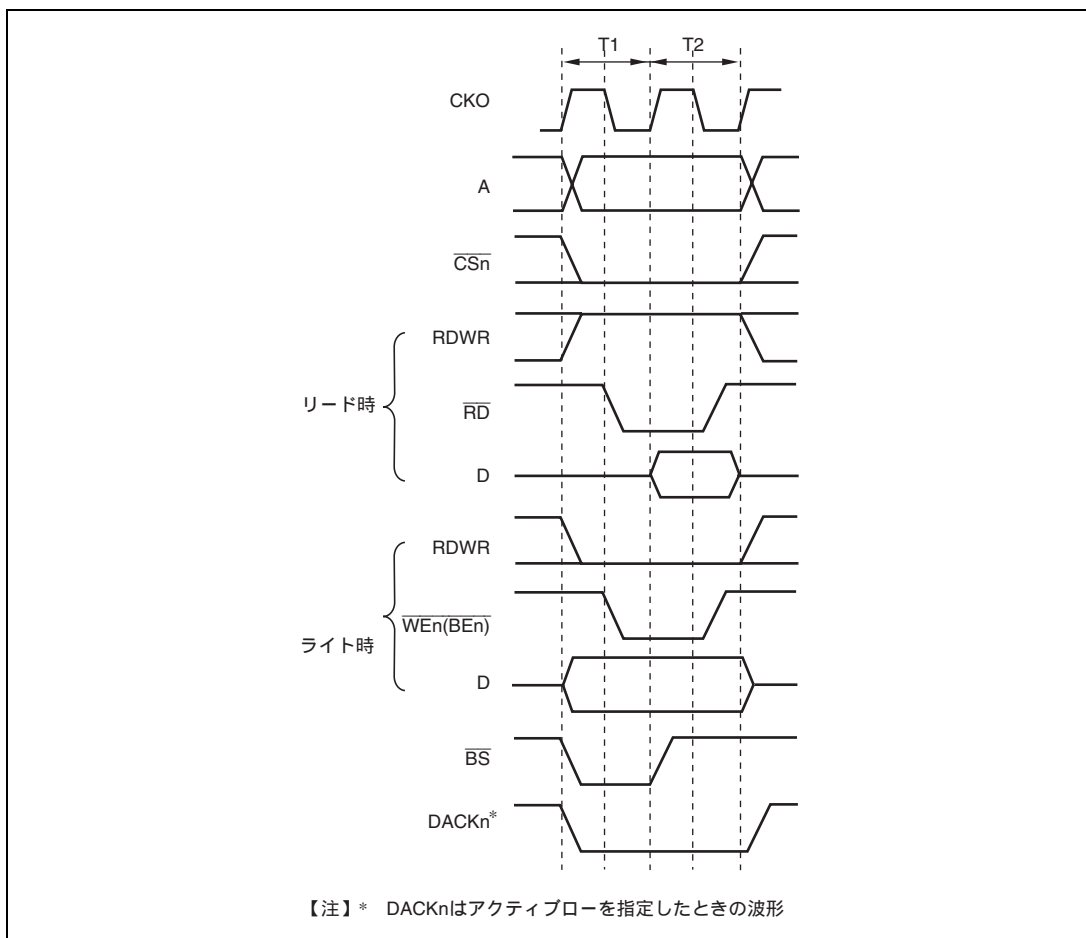


図 14.2 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、32 ビットデバイスでは 32 ビットを、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの \overline{WEn} (\overline{BEn}) 信号のみがアサートされます。

データバスにバッファを設ける場合には、 \overline{RD} を用いてリードデータの出力制御を行う必要があります。RDWR 信号は、アクセスを行っていないときはリード状態 (ハイレベル出力) となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 14.3、図 14.4 に通常空間連続アクセスの例を示します。CSnWCR.WM ビットを 0 に設定すると、外部ウェイトを評価するために 1 サイクル T_{nop} が挿入されます (図 14.3)。しかし、CSnWCR.WM ビットを 1 に設定すると、外部ウェイトが無視され T_{nop} サイクルの挿入を抑止することができます (図 14.4)。

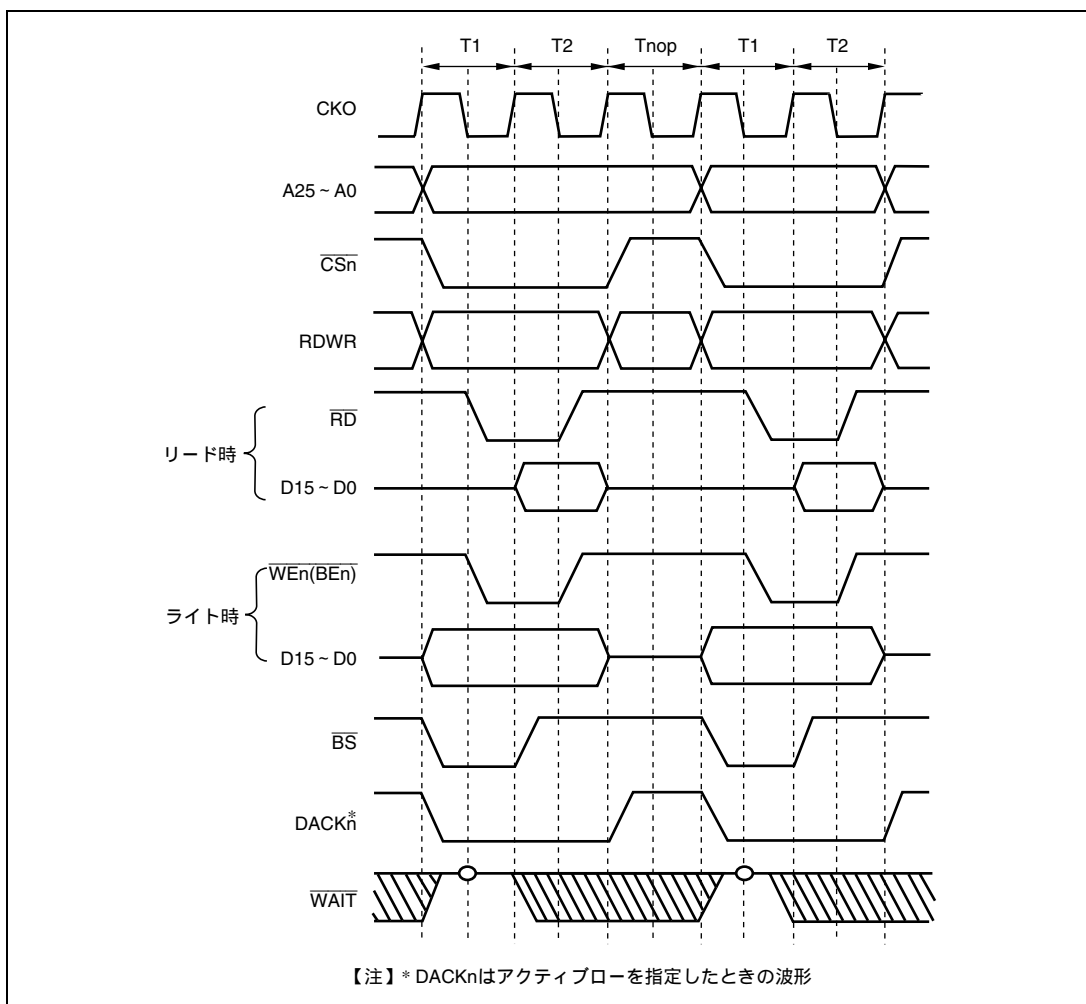


図 14.3 通常空間連続アクセス例 1
バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 0
(アクセスウェイト 0、サイクル間ウェイト 0)

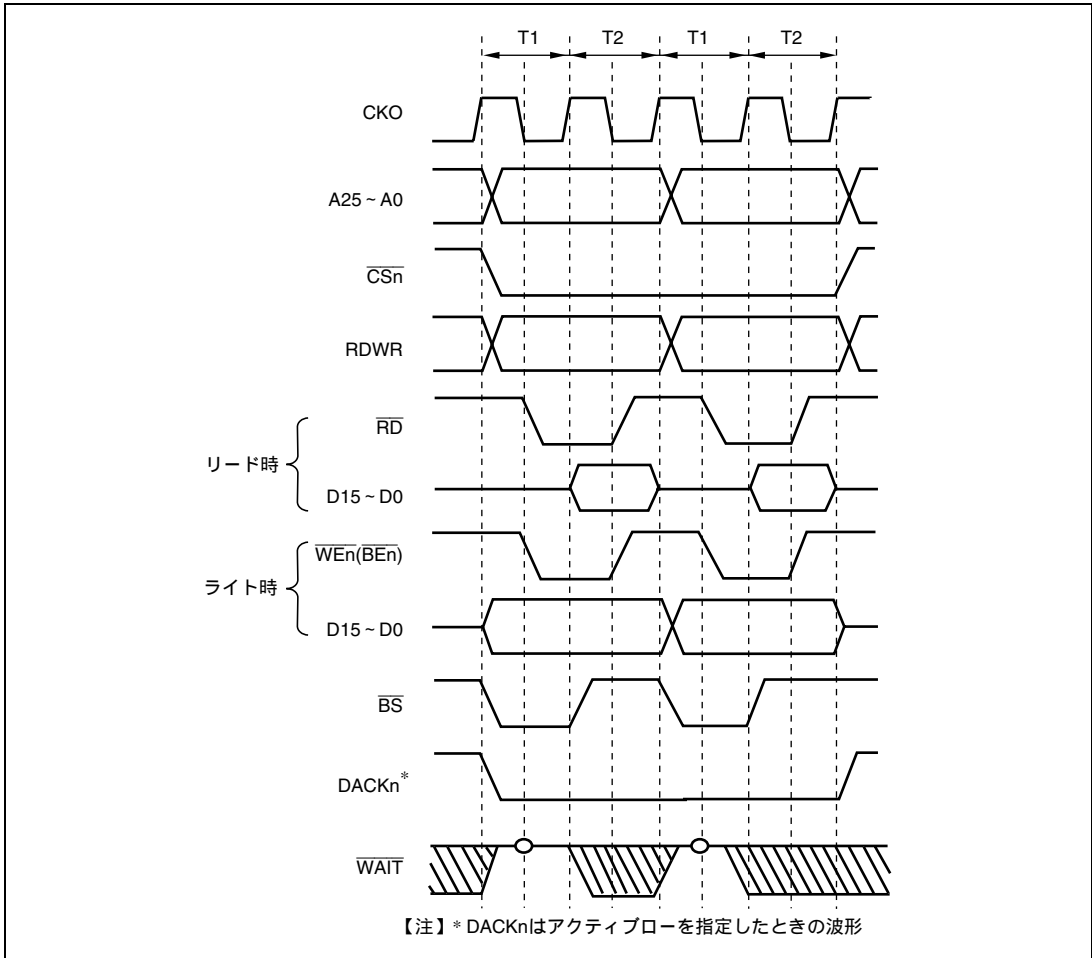


図 14.4 通常空間連続アクセス例 2
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット = 1
 (アクセスウェイト 0、サイクル間ウェイト 0)

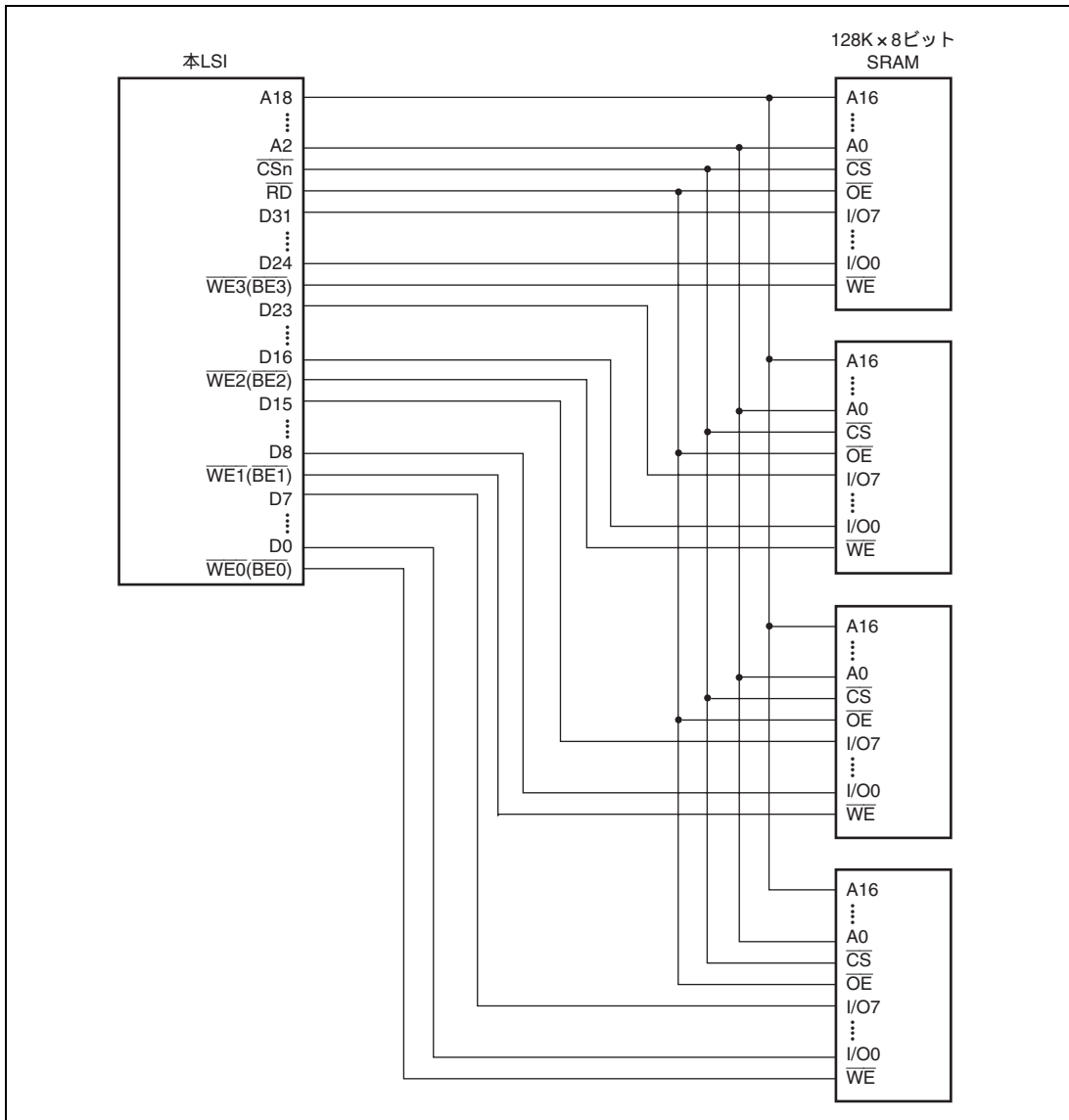


図 14.5 32 ビットデータ幅 SRAM 接続例

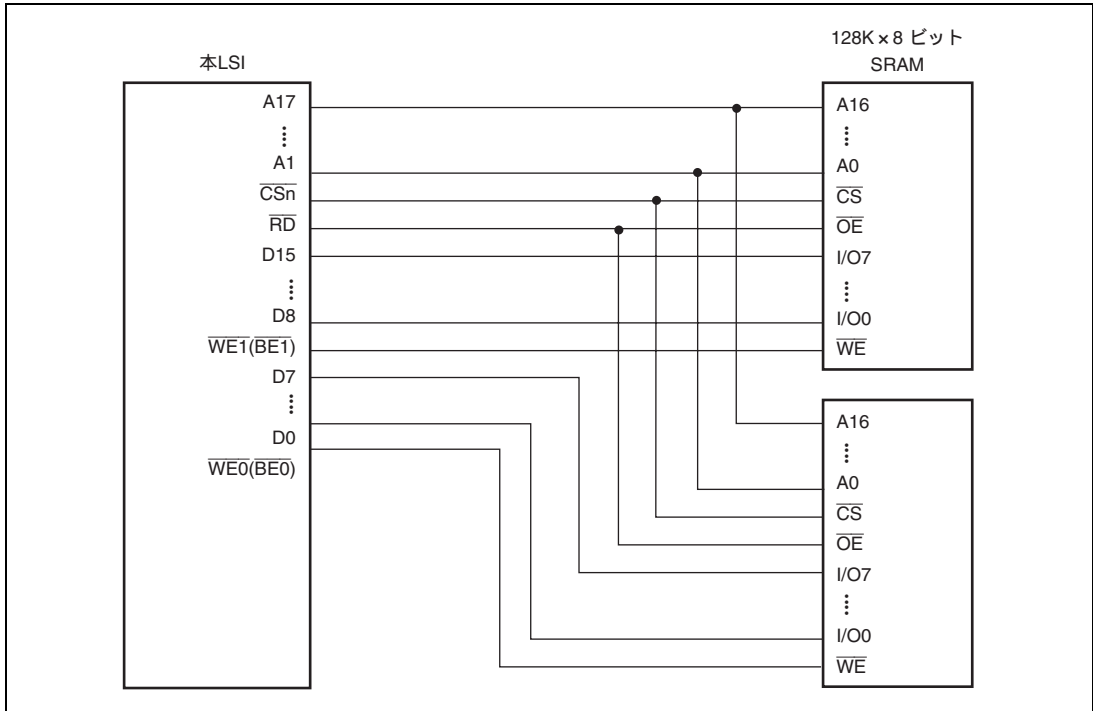


図 14.6 16 ビットデータ幅 SRAM 接続例

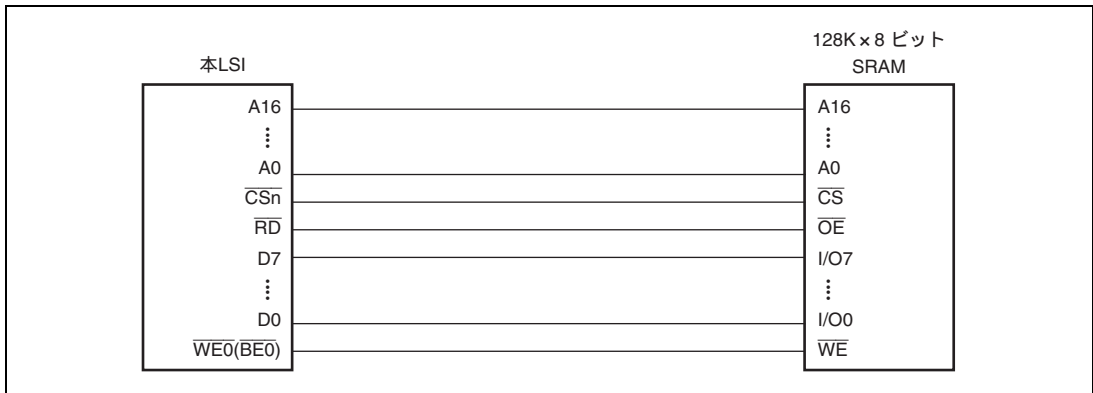


図 14.7 8 ビットデータ幅 SRAM 接続例

14.5.3 アクセスウェイト制御

CSnWCR の WR[3:0]ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。WW[2:0]ビットを設定することにより、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。その他のエリアのアクセスウェイトは、リードおよびライトサイクル共通となります。図 14.8 に示す通常空間のアクセスでは、 T_w のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

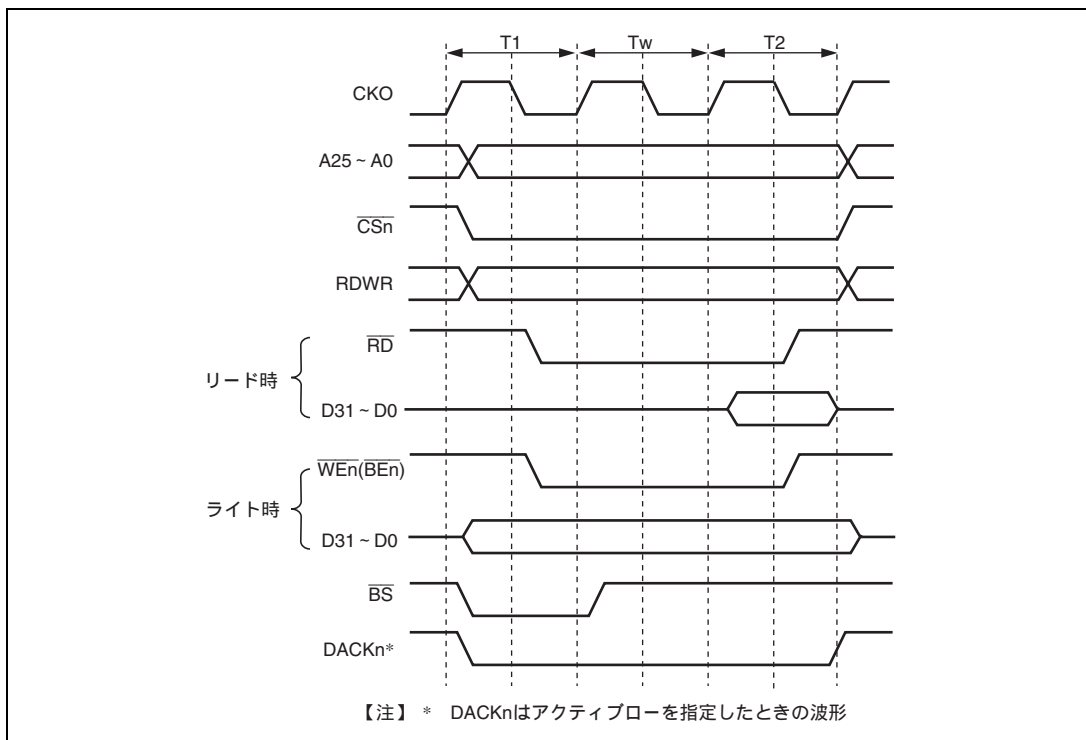


図 14.8 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 14.9 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CKO の立ち下がりでサンプリングされます。

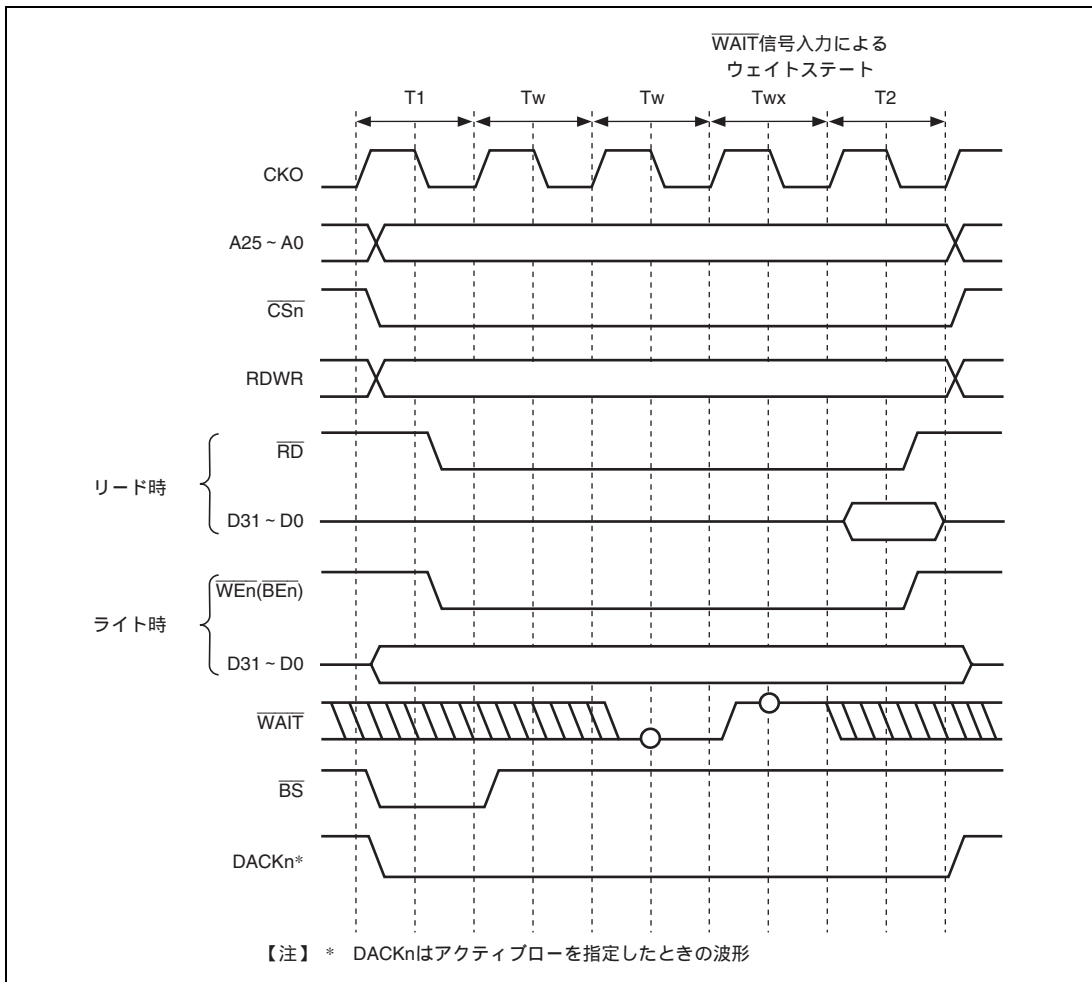


図 14.9 通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入)

14.5.4 \overline{CSn} アサート期間拡張

$CSnWCR$ の $SW[1:0]$ ビットの設定により、 \overline{CSn} アサートから \overline{RD} と \overline{WEn} (\overline{BEn}) アサートまでのサイクル数を指定できます。また、 $HW[1:0]$ ビットの設定により、 \overline{RD} と \overline{WEn} (\overline{BEn}) ネゲートから \overline{CSn} ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 14.10 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 \overline{RD} と \overline{WEn} (\overline{BEn}) 以外はアサートされますが、 \overline{RD} と \overline{WEn} (\overline{BEn}) はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

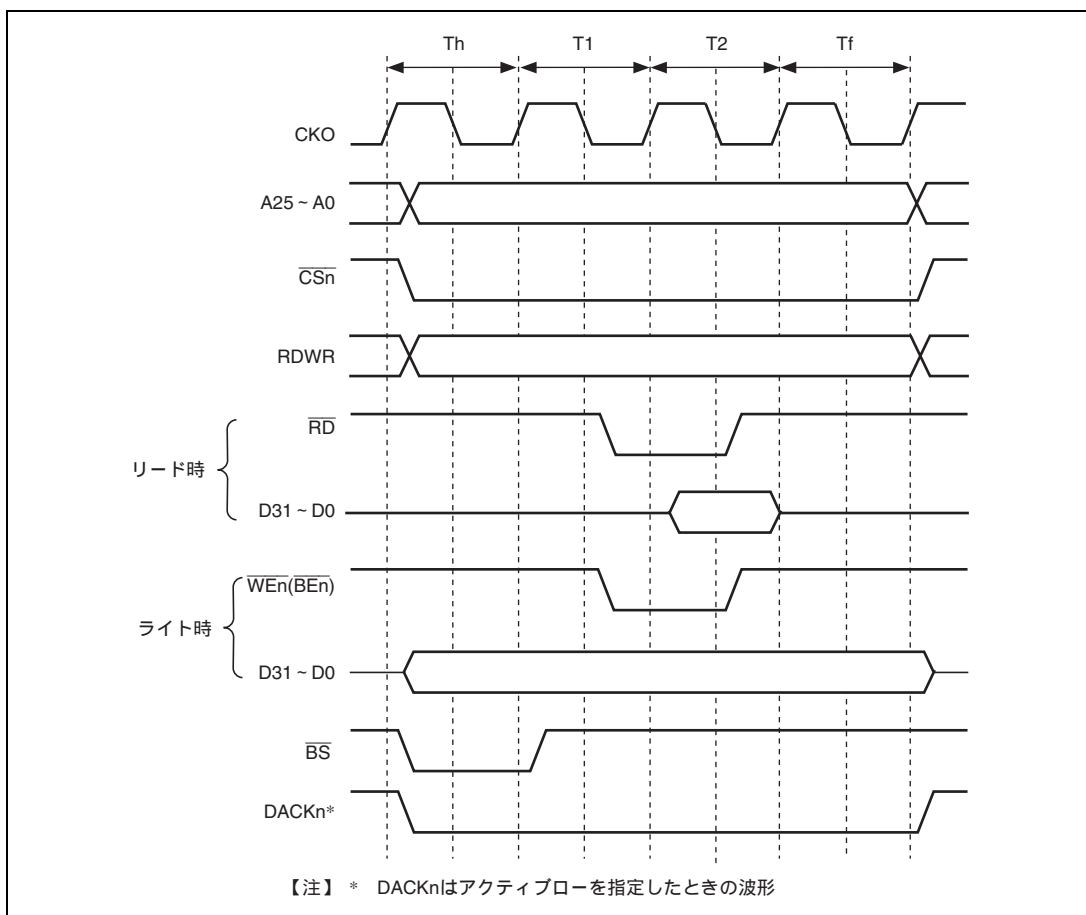


図 14.10 \overline{CSn} アサート期間拡張

14.5.5 バースト ROM インタフェース

CS0 空間をバースト ROM として使用する場合は、CS0WCR を正しく設定した後にバーストアクセスが発生するようにしてください。

(1) バースト ROM (クロック非同期) インタフェース

バースト ROM (クロック非同期) インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。

基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際に \overline{RD} 信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKO の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM (クロック非同期) アクセス時は、 \overline{BS} 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM (クロック非同期) インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 14.14 にバス幅およびアクセスサイズとバースト数の関係を、図 14.11 にタイムチャートを示します。

表 14.14 バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数	アクセス回数
8 ビット	8 ビット	1	1
	16 ビット	2	1
	32 ビット	4	1
	16 バイト	16	1
	32 バイト	16	2
16 ビット	8 ビット	1	1
	16 ビット	1	1
	32 ビット	2	1
	16 バイト	8	1
	32 バイト	8	2
32 ビット	8 ビット	1	1
	16 ビット	1	1
	32 ビット	1	1
	16 バイト	4	1
	32 バイト	4	2

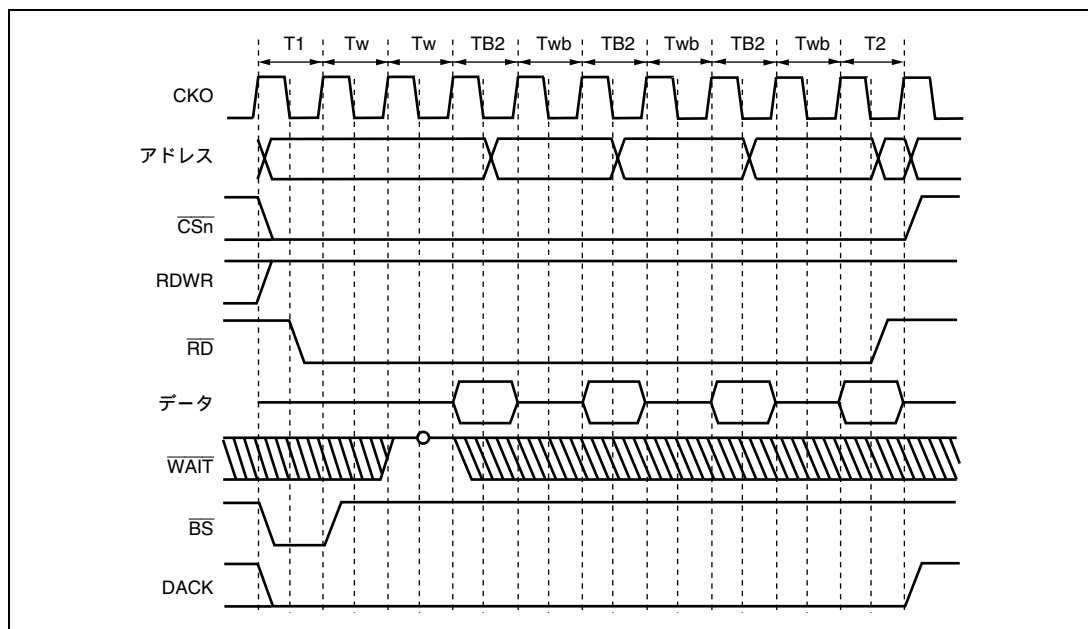


図 14.11 バースト ROM (クロック非同期) アクセス

(バス幅 32 ビット 16 バイト転送 (バースト数 4)、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1)

(2) クロック同期バーストモード

本インタフェースは、クロック同期のバーストモードを有するメモリとも接続可能です。クロック同期のバーストモードを有するメモリと接続する場合は、メモリのアドレスバリッド端子に、本 LSI の BS を接続してください。

メモリへ供給するクロックに対するホールドを確保するため、CMNCR レジスタの BROMMD0 ビットを 1 に設定してください。また、本 LSI へのリードデータセットアップ確保のため、CSnBCR レジスタの PHIRD ビットを 1 に設定してください。メモリの設定は、バースト長 8 のラップラウンド設定としてください。

14.5.6 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 ($\overline{WE_n}$ ($\overline{BE_n}$)) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

CSnWCR レジスタの BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 $\overline{WE_n}$ ($\overline{BE_n}$) 端子のタイミングが通常空間インタフェースと異なり、 $\overline{WE_n}$ ($\overline{BE_n}$) 端子からバイト選択信号を出力します。図 14.12 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 ($\overline{WE_n}$ ($\overline{BE_n}$)) のタイミングでメモリに書き込まれます。使用するメモリのデータシートを確認ください。

CSnWCR レジスタの BAS ビットが 1 のとき、 $\overline{WE_n}$ ($\overline{BE_n}$) 端子と RDWR 端子のタイミングが変化します。図 14.13 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 (RDWR) のタイミングで

メモリに書き込まれます。RDWR 端子のネゲートタイミングからのライトデータのホールドタイミングは、CSnWCR の HW[1:0]ビットを設定することにより確保してください。図 14.14 にソフトウェア設定時のアクセスタイミングを示します。

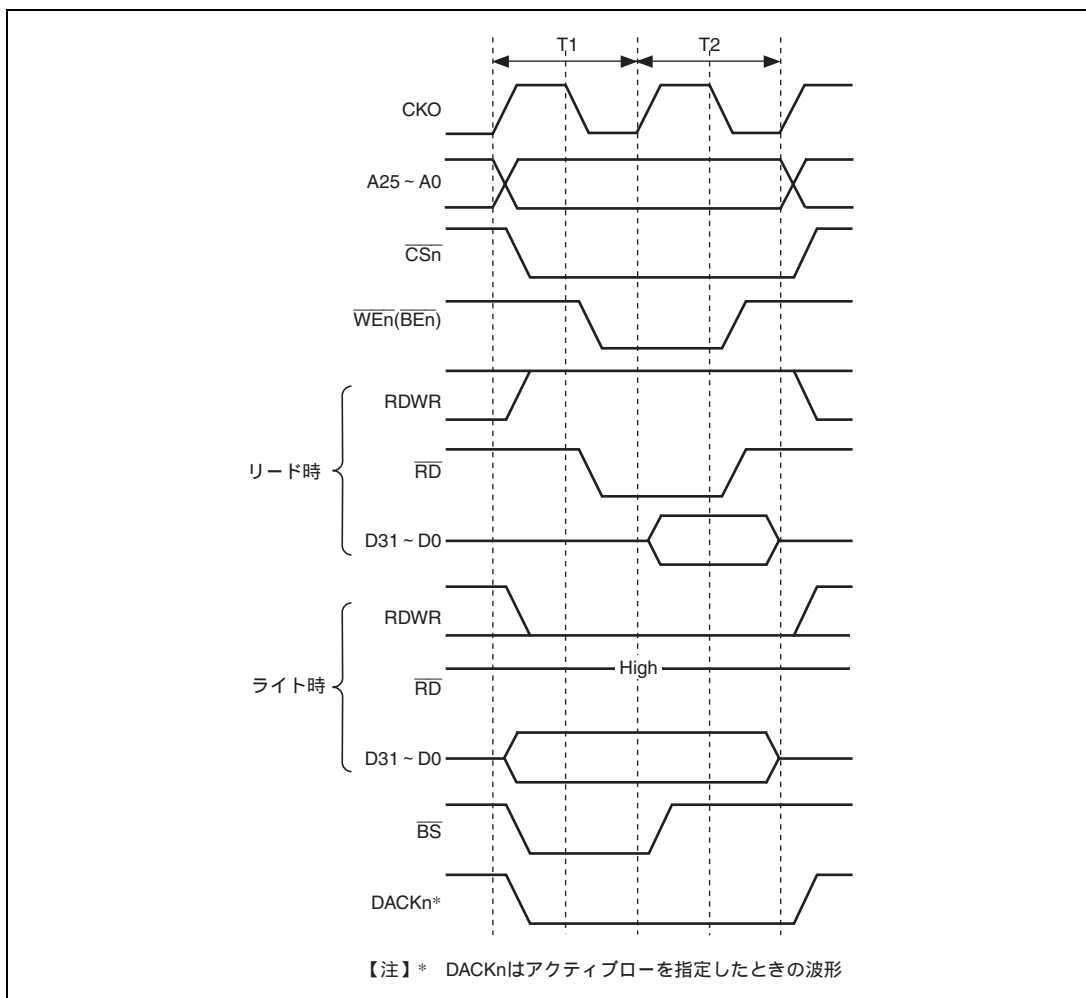


図 14.12 BAS = 0 バイト選択付き SRAM 基本アクセスタイミング

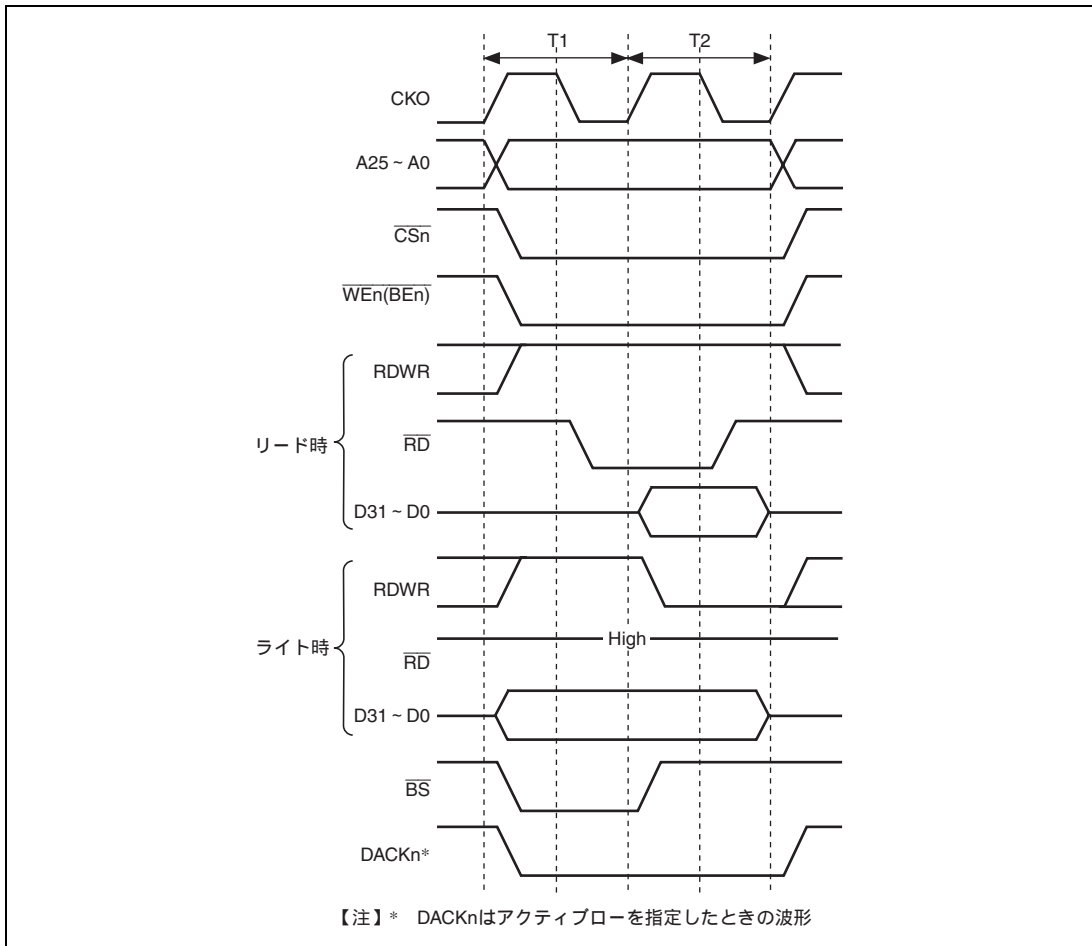


図 14.13 BAS = 1 バイト選択付き SRAM 基本アクセスタイミング

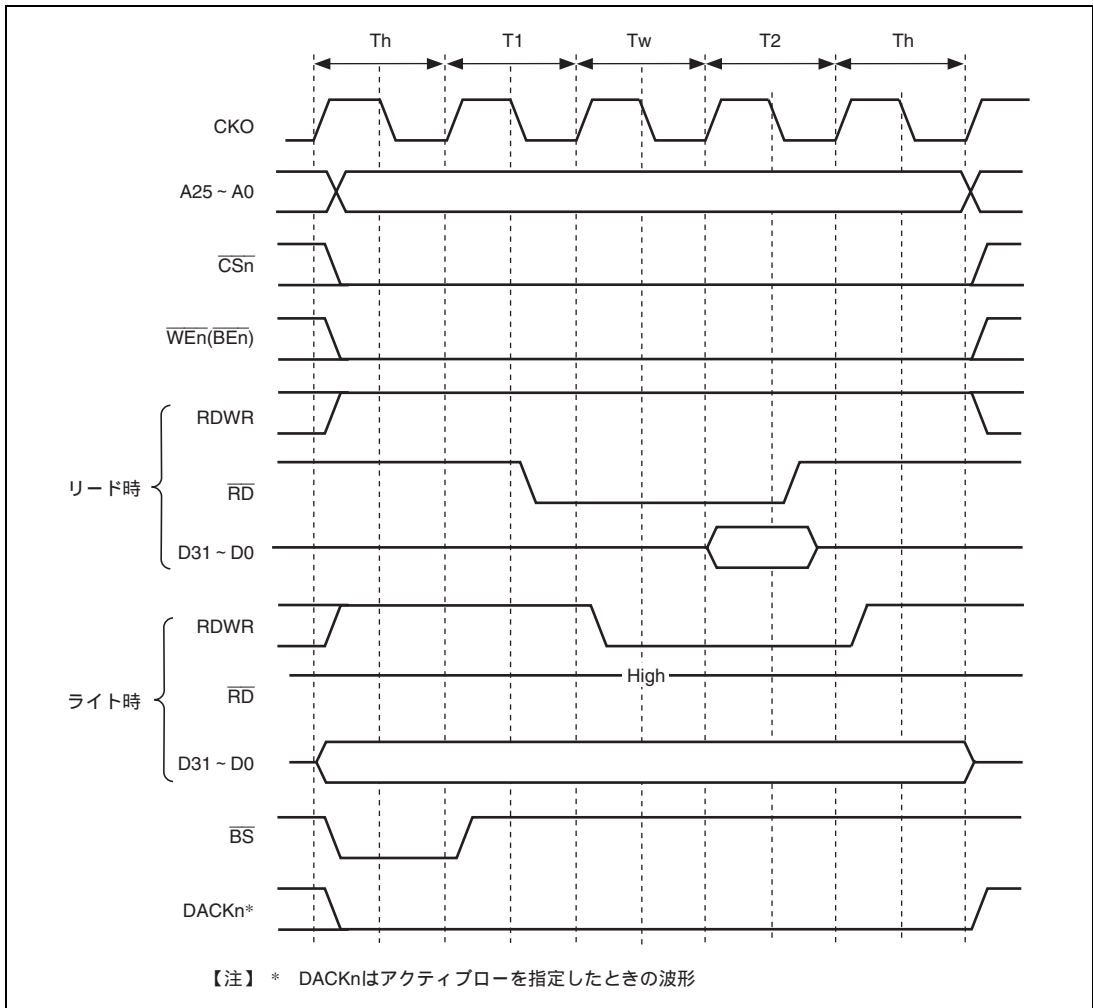


図 14.14 BAS = 1 バイト選択付き SRAM ウェイトタイミング (ソフトウェアのみ)

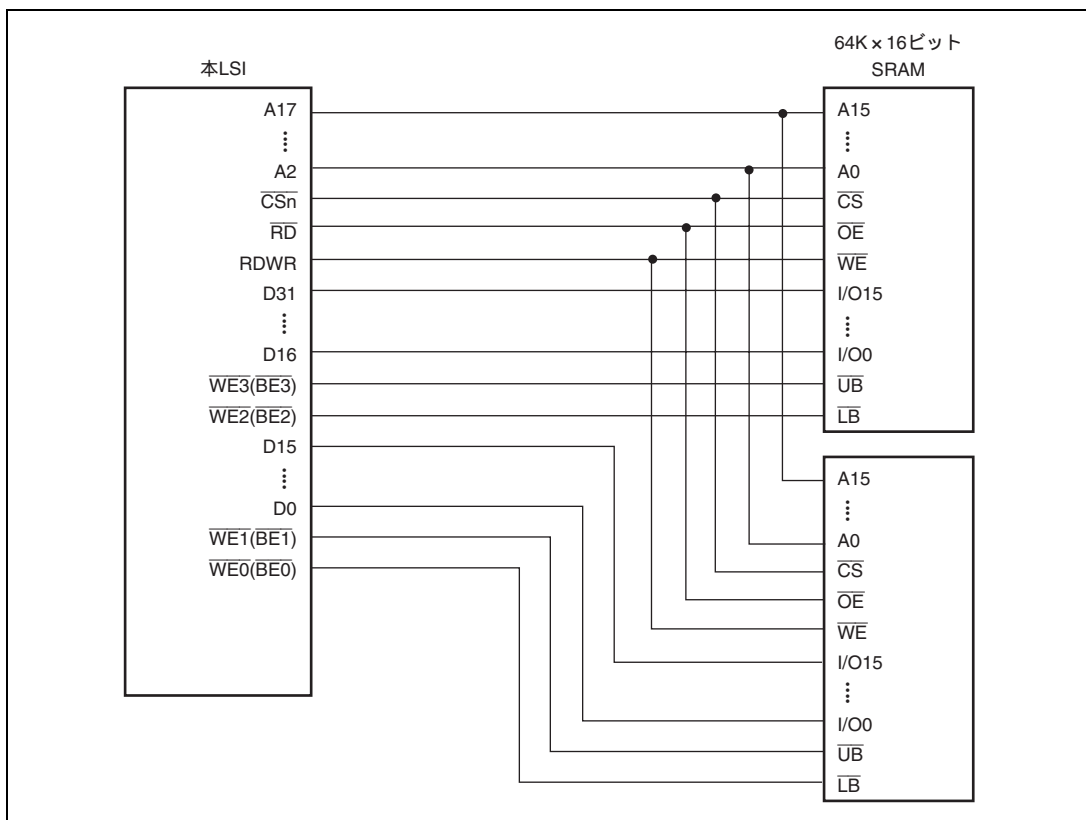


図 14.15 32 ビットデータ幅バイト選択付き SRAM 接続例

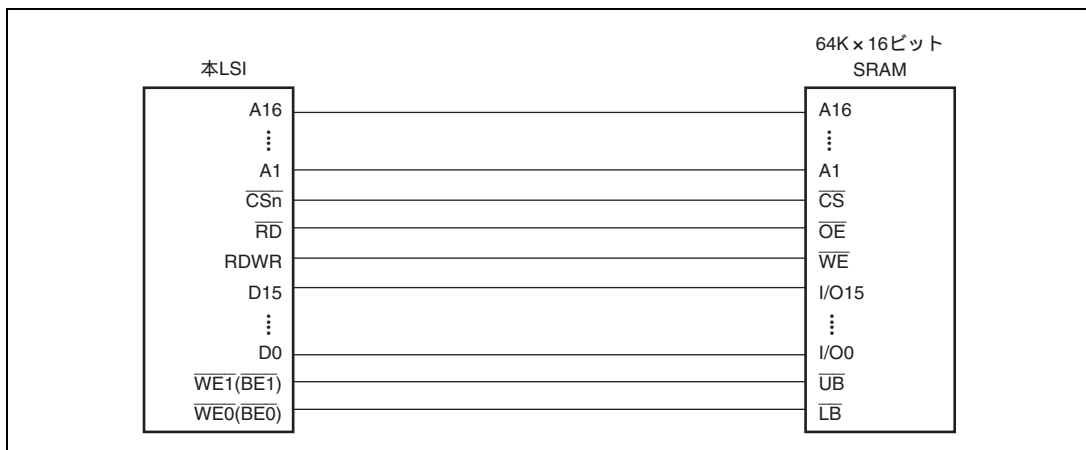


図 14.16 16 ビットデータ幅バイト選択付き SRAM 接続例

14.5.7 PCMCIA インタフェース

本 LSI では、CMNCR の MAP ビットにてアドレスマップ 2 を選択した場合、エリア 5、エリア 6 で PCMCIA インタフェースの設定が可能です。物理空間のエリア 5 およびエリア 6 は CSnBCR (n = 5B、6B) の TYPE[3:0] ビットを B'0101 に設定することで、JEIDA 仕様 Ver4.2 (PCMCIA2.1) で定める「IC メモリカードおよび I/O カードインタフェース」になります。また、CSnWCR (n = 5B、6B) の SA[1:0] ビットにより各エリアの前半 32M バイトと後半の 32M バイトに対して IC メモリカードあるいは I/O カードインタフェースに設定できます。たとえば、CS5BWCR の SA1 ビットを 1 に、また CS5BWCR の SA0 ビットを 0 に設定すると前半の 32MB が IC メモリカードインタフェースおよび後半の 32M バイトが I/O カードインタフェースとなります。

PCMCIA インタフェースを使用する場合は、CS5BBCR の BSZ[1:0] ビットまたは CS6BBCR の BSZ[1:0] ビットによって、バスサイズは 8 ビットまたは 16 ビットに設定してください。

図 14.17 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするため、本 LSI のバスインタフェースと PCMCIA カードの間に 3-State バッファを接続する必要があります。

JEIDA および PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

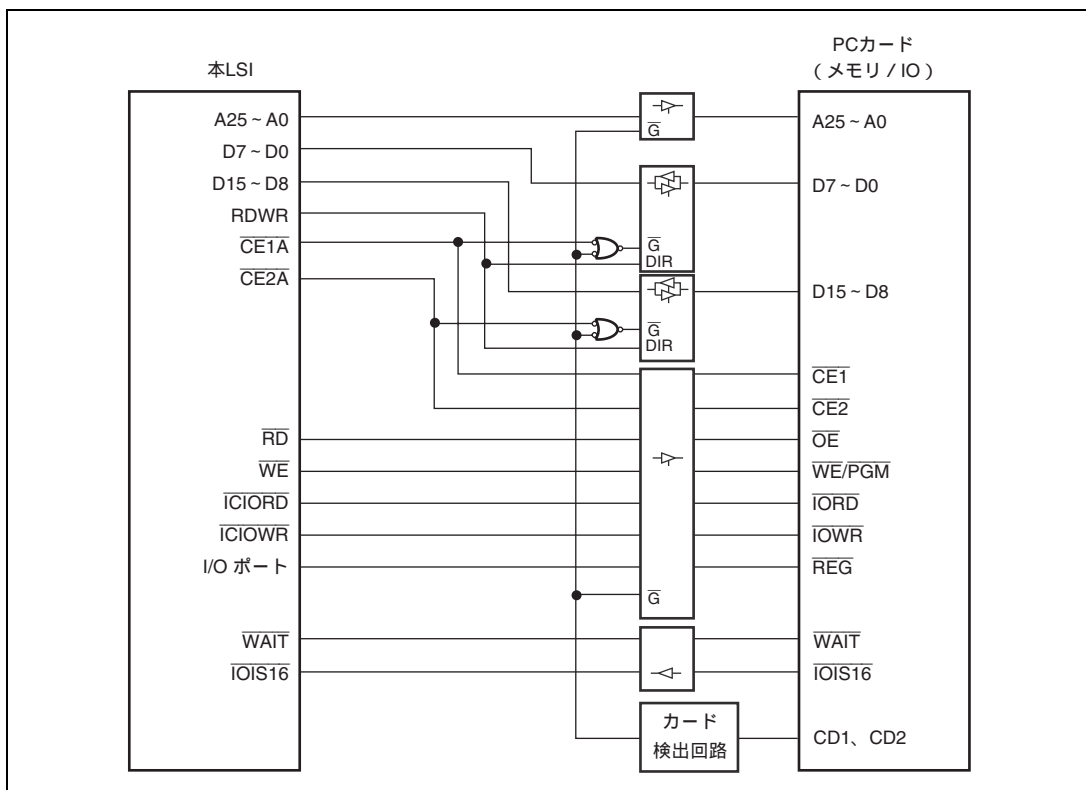


図 14.17 PCMCIA インタフェース接続例

(1) メモリカードインタフェース基本タイミング

図 14.18 に PCMCIA の「IC メモリカードインタフェース」の基本タイミングを示します。物理空間のエリア 5 およびエリア 6 を PCMCIA インタフェースに設定した場合は、各エリアの共通メモリ空間をアクセスすると自動的に「IC メモリカードインタフェース」としてバスアクセスが行われます。外部バス周波数 (CKO) が高くなると、 \overline{RD} や \overline{WE} に対してアドレス (A25 ~ A0)、カードイネーブル ($\overline{CE1A}$ 、 $\overline{CE2A}$ 、 $\overline{CE1B}$ 、 $\overline{CE2B}$)、書き込みサイクル時の書き込みデータ (D15 ~ D0) のセットアップ時間、およびホールド時間が足りなくなります。これに対して、本 LSI では CS5BWCR または CS6BWCR レジスタによって物理空間のエリア 5 およびエリア 6 の各エリアに対して、それぞれセットアップ時間およびホールド時間を設定することができます。また、通常空間インタフェースと同じようにソフトウェアウェイトおよび \overline{WAIT} 端子によるハードウェアウェイトを行うことができます。図 14.19 に PCMCIA メモリバスウェイトタイミングを示します。

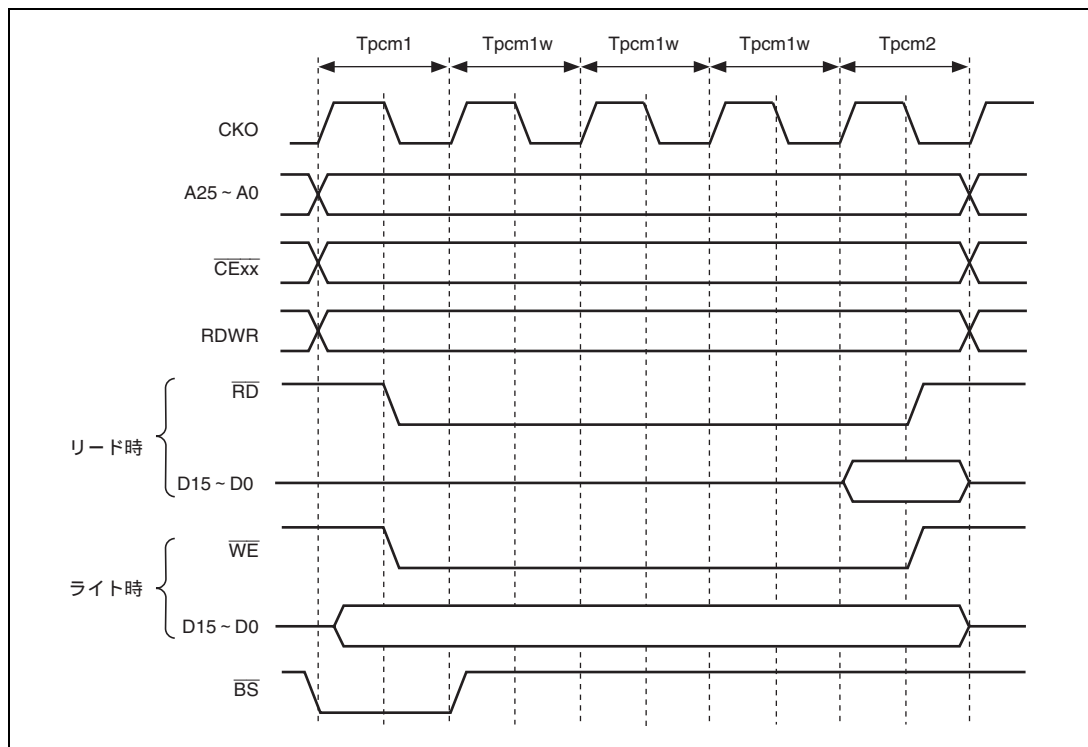


図 14.18 PCMCIA メモリカードインタフェース基本タイミング

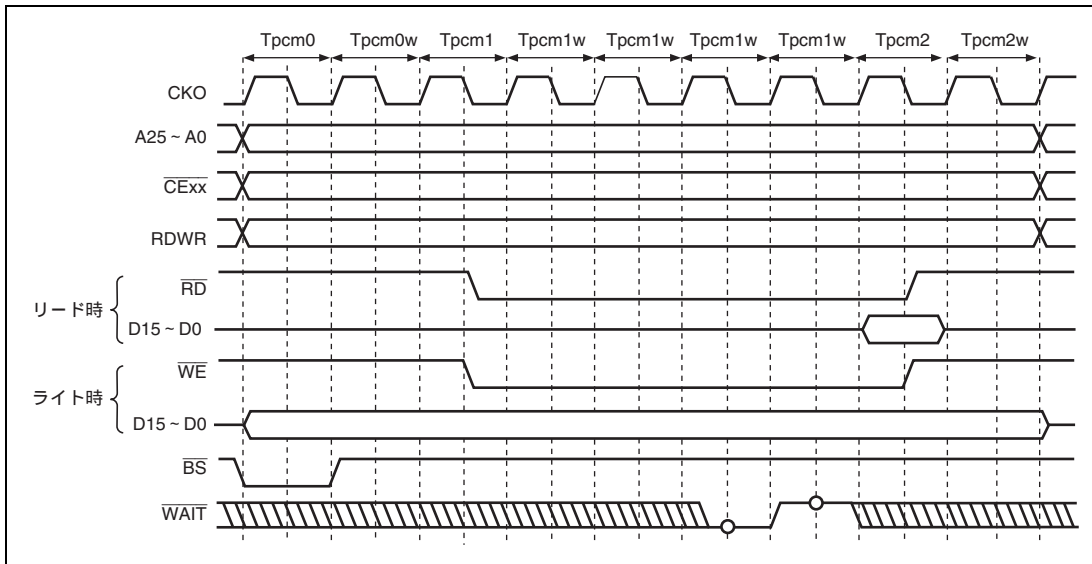


図 14.19 PCMCIA メモリカードインタフェースウェイトタイミング
 (TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェアウェイト1、ハードウェアウェイト1)

IC メモリカードインタフェースとしてメモリ空間を 32M バイトすべてを使用する場合は、COMMONメモリとアトリビュートメモリの切り替え信号 $\overline{\text{REG}}$ は、ポート等を利用して生成します。また、メモリ空間が 16M バイト以下で足りる場合は、メモリ空間を 16M バイトずつCOMMONメモリ空間とアトリビュートメモリ空間として使うことにより、A24 端子を $\overline{\text{REG}}$ 信号として利用することができます。

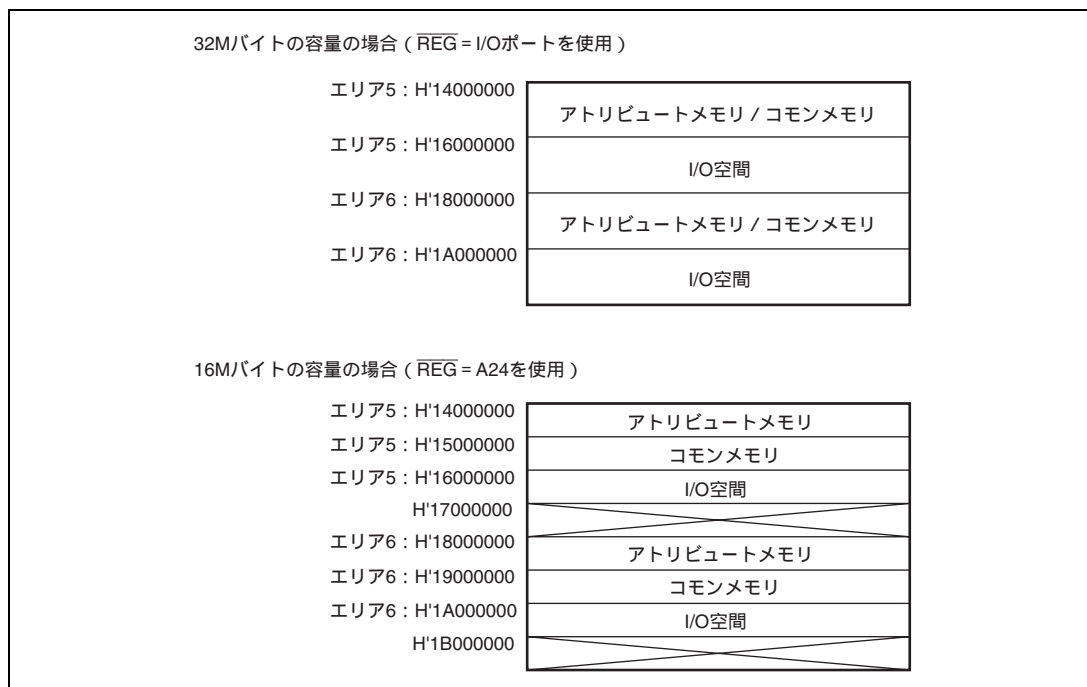


図 14.20 PCMCIA 空間割り付け例 (CS5BWCR.SA[1:0] = B'10、CS6BWCR.SA[1:0] = B'10)

(2) I/O カードインタフェース基本タイミング

図 14.21 および図 14.22 に PCMCIA の「I/O カードインタフェース」のタイミングを示します。

I/O カードインタフェースと IC メモリカードインタフェースの切り替えは、アクセスするアドレスによって行います。物理空間のエリア 5 を PCMCIA に設定した場合は、物理アドレスの H'16000000 ~ H'17FFFFFF をアクセスすると自動的に「I/O カードインタフェース」としてバスアクセスが行われます。また、物理空間のエリア 6 を PCMCIA に設定した場合は、物理アドレスの H'1A000000 ~ H'1BFFFFFF をアクセスすると自動的に「I/O カードインタフェース」としてバスアクセスが行われます。

PCMCIA の I/O カードをアクセスする場合は、論理空間のキャッシュ非対象領域 (P2 か P3 空間) が、MMU によってキャッシュ非対象領域と指定した領域で行ってください。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとしてアクセスする場合は、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 6 のバス幅を 16 ビットに設定しているときに、ワードサイズの I/O バスサイクル中に $\overline{\text{IOIS16}}$ 信号がハイレベルの場合は、8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

$\overline{\text{IOIS16}}$ 信号は、TED[3:0]ビットの設定を 1.5 サイクル以上に設定したときの Tpci0、Tpci0w、および Tpci1 サイクルにおける CKO の立ち下がりでのサンプリングされ、サンプリングポイントから CKO の 1.5 サイクル後に $\overline{\text{CE2}}$ 信号に反映されます。使用する PC カードの $\overline{\text{ICIOR}}\overline{\text{D}}$ と $\overline{\text{ICIOR}}\overline{\text{WR}}$ から $\overline{\text{CEn}}$ のセットアップの規格を満たすように、TED[3:0]ビットを設定してください。

ダイナミックバスサイジングの基本タイミングを図 14.23 に示します。

なお、ビッグエンディアンモードでは、 $\overline{\text{IOIS16}}$ 信号をサポートしません。ビッグエンディアンモード時には、 $\overline{\text{IOIS16}}$ 信号をローレベルに固定してください。

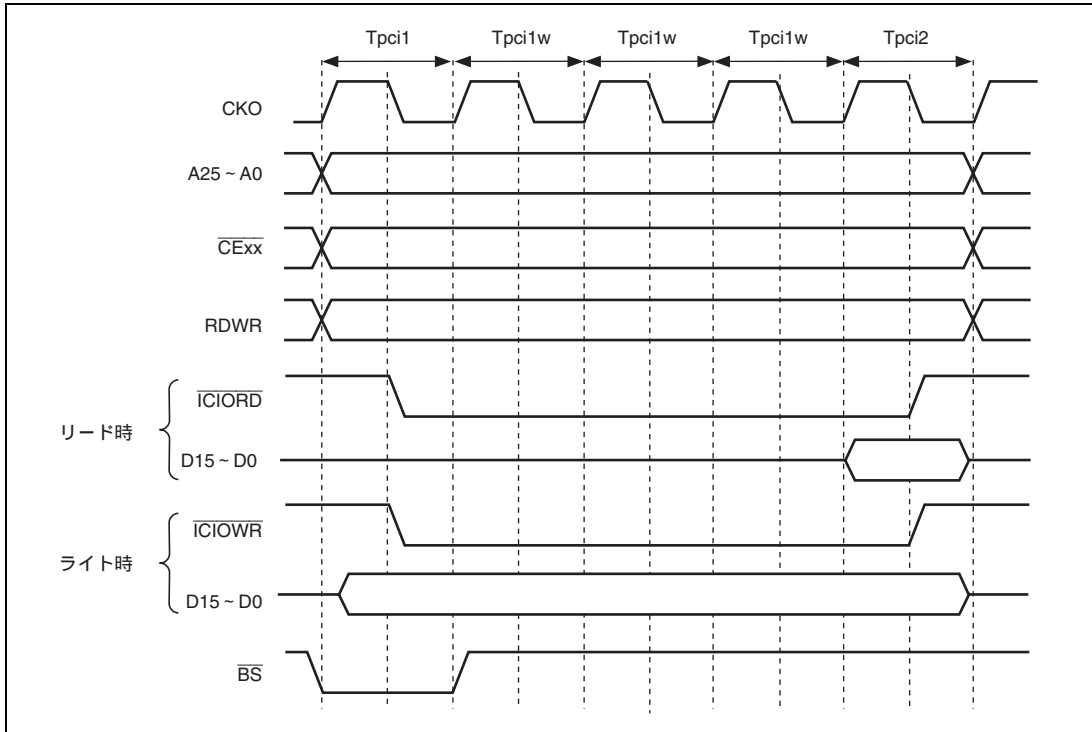


図 14.21 PCMCIA I/O カードインタフェース基本タイミング

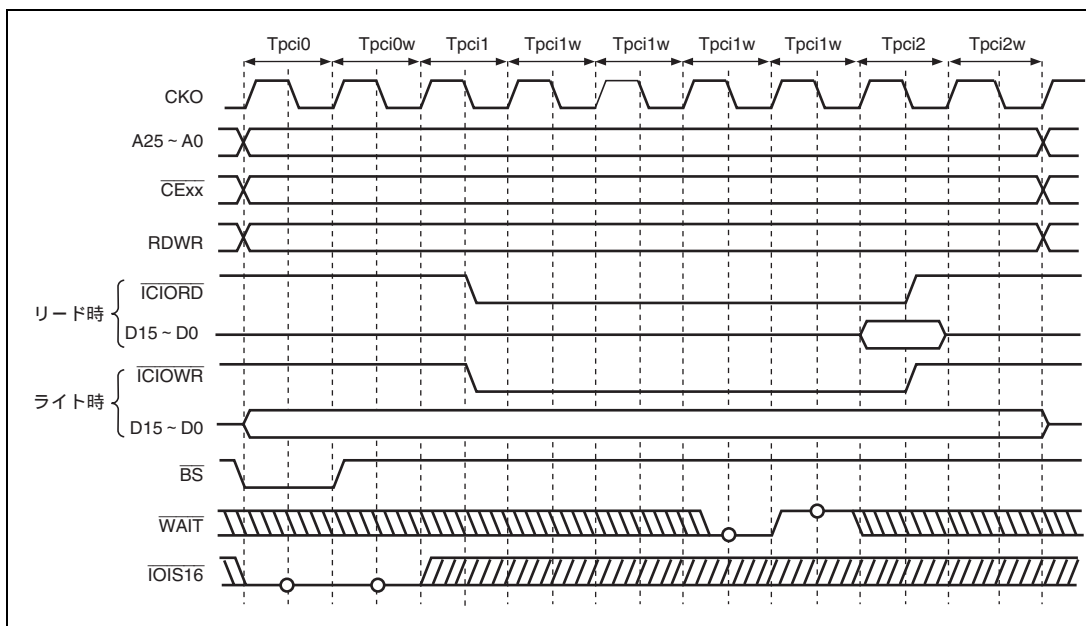


図 14.22 PCMCIA I/O カードインタフェースウェイトタイミング
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェアウェイト 1、ハードウェアウェイト 1)

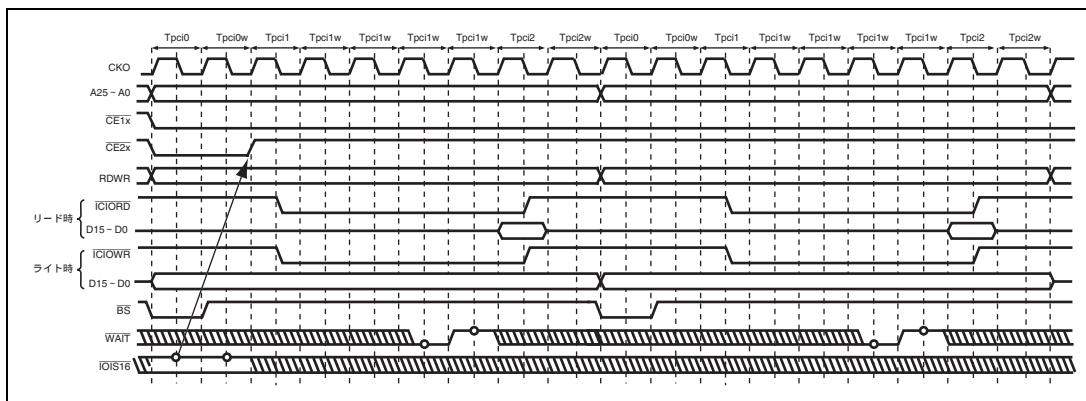


図 14.23 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング
(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェアウェイト 3)

14.5.8 アクセスサイクル間ウェイト

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にウェイトを挿入して、データの衝突を回避する機能を有しています。

アクセスサイクル間ウェイトのサイクル数は、CSnBCR の IWW[2:0]ビット、IWRWD[2:0]ビット、IWRWS[2:0]ビット、IWRRD[2:0]ビット、IWRRS[2:0]ビットで指定します。アクセスサイクル間ウェイト (アイドルサイクル) は、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライト - リード、ライト - ライトの場合
2. 連続するアクセスが別空間でかつリード - ライトの場合
3. 連続するアクセスが同一空間でかつリード - ライトの場合
4. 連続するアクセスが別空間でかつリード - リードの場合
5. 連続するアクセスが同一空間でかつリード - リードの場合

14.6 使用上の注意事項

バスステートコントローラは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時には、バスサイクルの途中であるなしにかかわらず直ちにすべての信号をネゲートし、出力バッファをオフまたは固定値出力にします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープでは、バスステートコントローラの制御レジスタの初期化は一切行われません。

フラッシュメモリには、リセット解除後から最初のアクセスまでの最小時間を規定しているものがあります。バスステートコントローラは、この最小時間を確保するために、7ビットのカウンタ (RBWTCNT) を用意しています。パワーオンリセットによりこのカウンタは、0 クリアされます。パワーオンリセット解除後はCKOに同期してカウントアップされ、カウンタの値がH'007Fになるまで外部アクセスを発生しません。マニュアルリセットでは、カウンタの値はクリアされません。

15. DDR 用バスコントローラ (DBSC)

DDR 用バスコントローラ (DBSC) は、DDR2-SDRAM (以下 DDR2) または Mobile-DDR-SDRAM (以下 Mobile-DDR) をサポートする SDRAM コントローラです。DBSC は SDRAM へのリード/ライトアクセス、およびリフレッシュ動作を行います。

15.1 特長

DBSC は、以下のような機能により、SDRAM のバス帯域の最大限の活用を可能にします。

- マルチバンクオペレーション活用によるページヒット率の向上
- バースト長4にてSDRAMを動作させることにより、リード/ライトコマンドの空きサイクルにプリチャージ・アクティベートコマンドを先行発行可能
- SDRAMメモリバス幅は、16または32ビット選択可能

表 15.1、表 15.2 に DBSC の主な機能を示します。

表 15.1 DBSC 機能 (SDRAM 共通の機能)

項目	機能
マルチバンク対応	4バンクのマルチバンクオペレーションに対応。 8バンク設定時、同時にバンクオープンとなるバンクは4つまで
外部バス幅	16bit、32bit をサポート
先行プリチャージ・アクティベート機能	リクエストキュー中の後続リクエスト内容を判定し、ページミス時に、空きコマンドサイクルを見つけて、アクセス対象バンクの先行プリチャージ・アクティベート処理を実施。
タイミング設定	以下のタイミングを設定可能 ACT-PRE 最小期間、REF-ACT/REF 最小期間、ACT-READ/WRITE 最小期間、PRE 期間、ACT(A)-ACT(B)最小期間、ライトリカバリ期間、ACT-ACT/REF 最小期間、READ-WRITE 最小期間、WRITE-READ 最小期間、READ-PRE 最小期間、CKEH-Command 最小期間 アディティブレイテンシ (AL) は 0 のみをサポートします。 CAS レイテンシ (CL) は 3 のみをサポートします。
アドレス並び	Row アドレス、Bank アドレス、Column アドレスの順 レジスタにて Bank アドレスの位置を変更可能
対応可能な SDRAM の規格	以下に示すバージョンの JEDEC に対応 • JESD79-2A (DDR2 仕様) • JESD209 (LPDDR 仕様)
オートリフレッシュ動作	平均間隔をレジスタ設定。リクエストの空きサイクルがあれば、先行リフレッシュ動作を実施

【注】 SDRAM の仕様により DBSC のレジスタの設定値が異なります。SDRAM のデータシートを参照のうえ、DBSC を使用してください。

表 15.2 DBSC 機能 (DDR2 / Mobile-DDR-SDRAM 個別機能)

大項目	小項目		DDR2	Mobile-DDR ^{*1}
バースト	バースト長		4	4
	バーストタイプ		シーケンシャル	シーケンシャル
	バーストキャンセル		×	* ²
CL	CAS レイテンシ		3	3
バンク数	サポートバンク数		4、8 バンク ^{*3}	4 バンク
パワーダウン	パワーダウン			
	ディープパワーダウン		×	
セルフリフレッシュ	セルフリフレッシュ			
	パーシャルセルフリフレッシュ		×	
接続対象メモリ	32bit バス	64M × 32bit 品 (1 個)	×	
		32M × 32bit 品 (1 個)	×	
		16M × 32bit 品 (1 個)		
		8M × 32bit 品 (1 個)	×	
		4M × 32bit 品 (1 個)	×	
		128M × 16bit 品 (2 個)		×
		64M × 16bit 品 (2 個)		
		32M × 16bit 品 (2 個)		
		16M × 16bit 品 (2 個)		
		8M × 16bit 品 (2 個)	×	
	16bit バス	128M × 16bit 品 (1 個)		
		64M × 16bit 品 (1 個)		
		32M × 16bit 品 (1 個)		
		16M × 16bit 品 (1 個)		
		8M × 16bit 品 (1 個)	×	
		128M × 8bit 品 (2 個)		×
		64M × 8bit 品 (2 個)		×
		32M × 8bit 品 (2 個)		×

【注】 コントローラとしては複数個の SDRAM 接続をサポートしますが、チップによっては電気特性により複数個の接続ができない場合があります。サポートするランクは、1 ランクのみサポートします。2 ランク以上には、対応していません。

*1 ELPIDA、SAMSUNG、Micron の Mobile-DDR-SDRAM 互換品をサポートします。

*2 Read-Read、Write-Write コマンド間でのバーストキャンセルをサポートします。Read-Write、Write-Read コマンド間でのバーストキャンセルはサポートしません。バーストストップはサポートしません。

*3 8 バンク設定時の動作仕様は DDR2 JEDEC (JESD79-2A) に準拠します。

DBSC のブロック図を図 15.1 に示します。

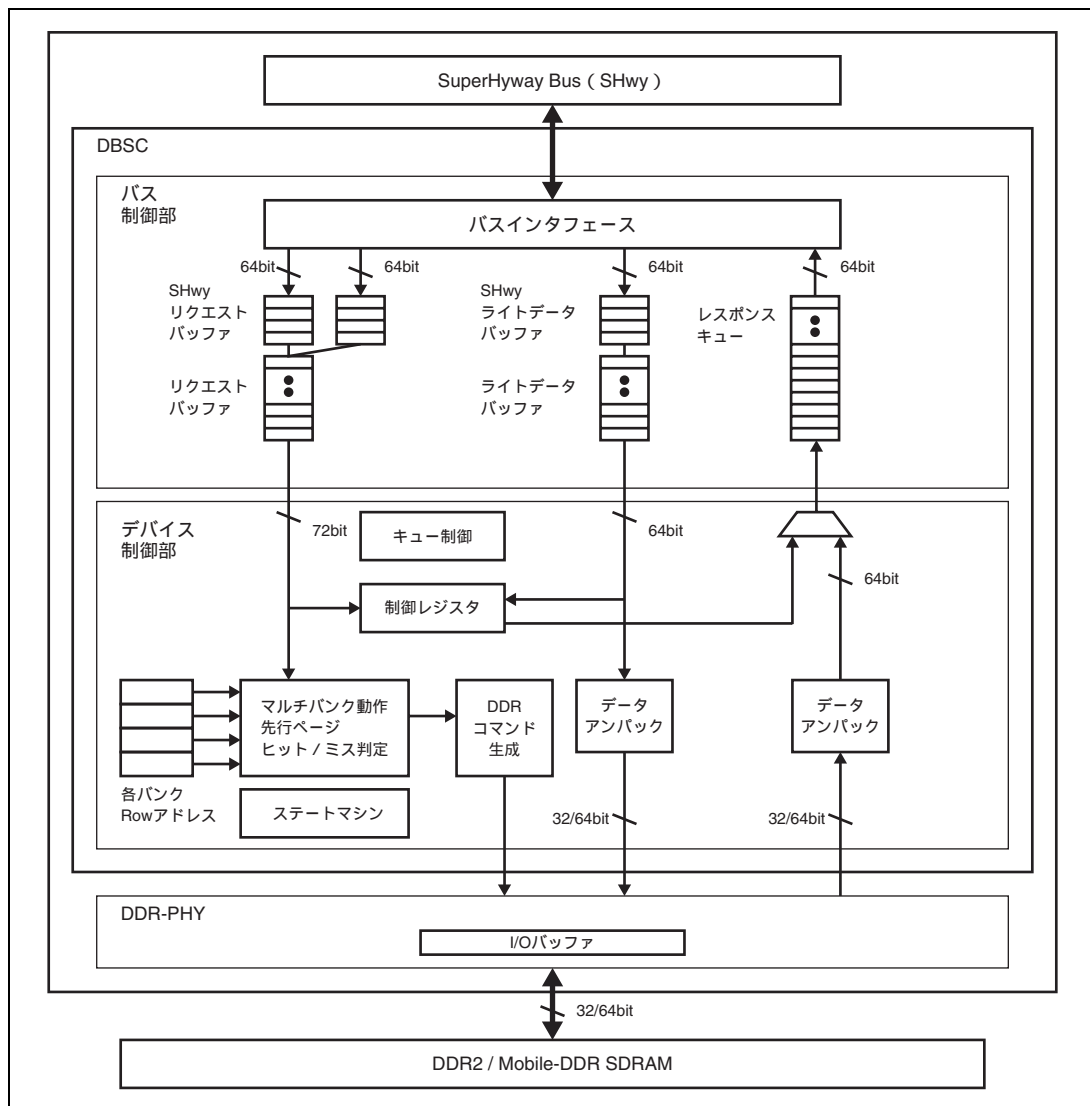


図 15.1 DBSC のブロック図

15.2 入出力端子

表 15.3 に DBSC の端子構成を記載します。

表 15.3 DBSC 端子構成

端子名	機能	入出力	説明
MCLK	DDR クロック	出力	DDR2 / Mobile-DDR-SDRAM 用クロック出力
MCLK	DDR クロック	出力	DDR2 / Mobile-DDR-SDRAM 用クロック出力 MCLK の反転クロック出力
MCKE	クロックイネーブル	出力	CKE 出力信号
MCS	チップセレクト	出力	チップセレクト出力信号
MRAS	ロウアドレスストロープ	出力	ロウアドレスストロープ出力信号
MCAS	カラムアドレスストロープ	出力	カラムアドレスストロープ出力信号
MWE	ライトイネーブル	出力	ライトイネーブル出力信号
MA13 ~ MA0	アドレス	出力	アドレス出力信号
MBA2, MBA1, MBA0	バンクアクティブ	出力	バンクアドレス出力信号
MDQ31 ~ MDQ0	データ	入出力	データ入出力信号
MDQS3 ~ MDQS0	入力 / 出力データストロープ	入出力	データストロープ入出力信号
MDQS3 ~ MDQS0	入力 / 出力データストロープ	入出力	データストロープ入出力信号 MDQS3 ~ MDQS0 の反転
MDQM3 ~ MDQM0	データマスク	出力	データマスク出力信号
MSLD	メモリ選択	入力	メモリ種別選択 DDR2-SDRAM 使用時はローレベル固定、 Mobile-DDR-SDRAM 使用時はハイレベル固定にしてください。
MODT	ODT イネーブル	出力	DDR2-SDRAM 内 ODT のイネーブル用出力信号 DDR2-SDRAM 専用
MVREF1, MVREF0	リファレンス電圧入力	入力	DDR2-SDRAM の基準電圧 Mobile-DDR-SDRAM 使用時はオープンとしてください。

15.3 レジスタの説明

DBSC のレジスタ構成を表 15.4 に、各処理モードにおけるレジスタの状態を表 15.5 に示します。

レジスタのビット幅は 32 ビットで、ロングワードサイズ (32 ビット) でアクセスしてください。ロングワードサイズ以外でレジスタアクセスを行った場合の動作は保証しません。

表 15.4 DBSC レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセス サイズ
DBSC SDRAM 種類設定レジスタ	DBKIND	R/W	H'FD00 0008	32
DBSC ステータスレジスタ	DBSTATE	R	H'FD00 000C	32
SDRAM 動作許可レジスタ	DBEN	R/W	H'FD00 0010	32
SDRAM コマンド制御レジスタ	DBCMDCNT	R/W	H'FD00 0014	32
SDRAM CKE 制御レジスタ	DBCKECNT	R/W	H'FD00 0018	32
SDRAM 構成設定レジスタ	DBCONF	R/W	H'FD00 0020	32
SDRAM タイミングレジスタ 0	DBTR0	R/W	H'FD00 0030	32
SDRAM タイミングレジスタ 1	DBTR1	R/W	H'FD00 0034	32
SDRAM タイミングレジスタ 2	DBTR2	R/W	H'FD00 0038	32
SDRAM タイミングレジスタ 3	DBTR3	R/W	H'FD00 003C	32
SDRAM リフレッシュ / パワーダウン制御レジスタ 0	DBRFPDN0	R/W	H'FD00 0040	32
SDRAM リフレッシュ / パワーダウン制御レジスタ 1	DBRFPDN1	R/W	H'FD00 0044	32
SDRAM リフレッシュ / パワーダウン制御レジスタ 2	DBRFPDN2	R/W	H'FD00 0048	32
SDRAM リフレッシュステータスレジスタ	DBRFSTS	R/W	H'FD00 004C	32
SDRAM モード設定レジスタ	DBMRCNT	W	H'FD00 0060	32
DDR-PHY 部制御レジスタ 0	DBPDCNT0	R/W	H'FD00 0108	32

表 15.5 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
DBKIND	初期化	初期化	保持	-	初期化	初期化	保持
DBSTATE	初期化	初期化	保持	-	初期化	初期化	保持
DBEN	初期化	初期化	保持	-	初期化	初期化	保持
DBCMDCNT	初期化	初期化	保持	-	初期化	初期化	保持
DBCKECNT	初期化	初期化	保持	-	保持	初期化	保持
DBCONF	初期化	初期化	保持	-	初期化	初期化	保持
DBTR0	初期化	初期化	保持	-	初期化	初期化	保持
DBTR1	初期化	初期化	保持	-	初期化	初期化	保持
DBTR2	初期化	初期化	保持	-	初期化	初期化	保持
DBTR3	初期化	初期化	保持	-	初期化	初期化	保持
DBRFPDN0	初期化	初期化	保持	-	初期化	初期化	保持
DBRFPDN1	初期化	初期化	保持	-	初期化	初期化	保持
DBRFPDN2	初期化	初期化	保持	-	初期化	初期化	保持
DBRFSTS	初期化	初期化	保持	-	初期化	初期化	保持
DBMRCNT	初期化	初期化	保持	-	初期化	初期化	保持
DBPDCNT0	初期化	初期化	保持	-	初期化	初期化	保持

15.3.1 SDRAM 種類設定レジスタ (DBKIND)

SDRAM の種類を設定することができます。品種ごとに決められた値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DDCG[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
2~0	DDCG[2:0]	000	R/W	SDRAM 種類 000~011: 設定禁止 100: Mobile-DDR-SDRAM 101: DDR2-SDRAM 110~111: 設定禁止

15.3.2 DBSC ステータスレジスタ (DBSTATE)

DBSTATE は、読み出し専用レジスタです。書き込みは無効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ENDN	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	ENDN	0	R	エンディアン表示 現在のエンディアンをモニタすることができます。品種ごとに決められた値が設定されます。 0: ビッグエンディアン 1: リトルエンディアン
7~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

15.3.3 SDRAM 動作許可レジスタ (DBEN)

DBEN は、リード/ライト可能なレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ACEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
0	ACEN	0	R/W	<p>SDRAM アクセスイネーブル</p> <p>本ビットの設定により SDRAM へのデータアクセスを許可します。SDRAM へのデータアクセスは、本ビットを 1 にして実行してください。本ビットが 0 の状態で SDRAM 領域にアクセス要求があると、DBSC はエラーレスポンスを返します。</p> <p>0 : SDRAM アクセス不許可 1 : SDRAM アクセス許可</p>

15.3.4 SDRAM コマンド制御レジスタ (DBCMDCNT)

DBCMDCNT は、リード/ライト可能なレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CMD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	CMD[2:0]	000	R/W	<p>SDRAM コマンド発行</p> <p>本ビットにより SDRAM の初期化シーケンス、セルフリフレッシュ移行/解除を実行するために必要なコマンド発行を行います。このビットに書き込みを行うと書き込み値に応じたコマンドが 1 回発行されます。たとえばリフレッシュコマンドを 2 回発行するためには、このビットに 2 回 B*100 を書き込む必要があります。プリチャージ期間、リフレッシュと次コマンドの最小間隔などは後述の SDRAM タイミングレジスタで設定された値が用いられます。読み出すと常に 0 が読み出されます。</p> <p>000 : 通常動作時 (パワーオンリセット時) 001 : 設定禁止 010 : プリチャージオール (PALL) コマンド発行 011 : 設定禁止 100 : リフレッシュ (REF) コマンド発行 101~111 : 設定禁止</p>

【注】 このレジスタはオートリフレッシュの自動発行不許可 (DBRFPDN0 レジスタの ARFEN が 0) のときのみ書き込みを行ってください。

15.3.5 SDRAM CKE 設定レジスタ (DBCKECNT)

DBCKECNT は、リード/ライト可能なレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CKE EN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CKEEN	0	R/W	CKE 設定ビット 本ビットにより MCKE 端子の値を設定します。DDR2-SDRAM と Mobile-DDR-SDRAM とで MCKE の初期値が異なるため、本ビットにて設定を行います。DBSC の初期化シーケンスにて本ビットを設定してください。 このビットが 0 のとき (パワーオンリセット時) は、MSLD 端子から入力される値が MCKE 端子に出力されます。 このビットを 1 に設定すると、DBSC 内部で生成する CKE の値が MCKE 端子に出力されます。DBSC 内部で生成する CKE のパワーオンリセット時の値は High で、SDRAM セルフリフレッシュや SDRAM パワーダウン、SDRAM ディープパワーダウンにより値が変化します。 0 : MSLD 端子の入力値を MCKE 端子に出力 1 : DBSC が MCKE 端子を制御

【注】 このレジスタは、以下の条件を満たす場合のみ書き込みを行ってください。

- ・ SDRAM のアクセス不許可中 (DBEN レジスタの ACEN が 0 のとき)
- ・ オートリフレッシュの自動発行不許可 (DBRFDPN0 レジスタの ARFEN が 0 のとき)

15.3.6 SDRAM 構成設定レジスタ (DBCONF)

DBCONF は、リード/ライト可能なレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	SPLIT[8:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	BKADM[1:0]		BKADP[5:0]					BKADB5:0]					BWIDT[1:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24~16	SPLIT[8:0]	H'000	R/W	メモリ構成選択 使用するメモリ構成を選択します。SDRAM のアドレス端子と本 LSI の物理アドレスとの関係については「15.5.9 SDRAM の外部ピンと物理アドレスの関係」を参照ください。 SPLIT ビットを xx_y_ppp_qqq とした場合に、それぞれの数値の意味と計算式を示します。 "x"はメモリのビット幅を示す。xx=B'10 : メモリのビット幅 32bit "y"は 4 or 8 バンクを示す。y=0 : 4 バンク品対応、y=1 : 8 バンク品対応 "p"は Row アドレス幅を示す。Row アドレス幅= B'1010 + B'0ppp "q"は Column アドレス幅を示す。Column アドレス幅= B'0111 + B'0qqq xx_y_ppp_qqq : ビット、バンク (bit)、ロウ (bit)、カラム (bit) を設定
15、14	BKADM[1:0]	00	R/W	バンクアドレスの使用方法 バンクアドレスを連続したアドレスとして扱う方法と、連続していないアドレスとして扱う方法のいずれかを設定します。 バンクアドレスを連続したアドレスとして扱う場合には、バンクアドレスのアドレス位置を BKADP に設定します。 バンクアドレスを連続していないアドレスとして扱う場合には、BA0 と BA1 を別のアドレスとして扱うことができます。BA0 を BKADP に設定し、BA1 を BKADB に設定します。8 バンク品の場合、BA2 は BA1 と連続したアドレスとして BA1 の上位アドレスとして扱います。 00 : 連続アドレス (BA0、BA1、BA2 を BKADP で指定) 01 : 非連続アドレス (下位 1 ビット) (BA0 を BKADP で指定、BA1、BA2 を BKADB で指定) 10 : 設定禁止 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
13~8	BKADP[5:0]	000000	R/W	<p>バンクアドレスのアドレス位置</p> <p>バンクアドレスのアドレス位置は、使用するメモリ構成にあわせてカラムアドレスの上位をバンクアドレスとして扱う場合と、アドレス位置を指定する場合の設定が可能です。</p> <p>カラムアドレスの上位をバンクアドレスとして扱う場合の関係については「15.5.9 SDRAM の外部ピンと物理アドレスの関係」を参照ください。</p> <p>ただし、BKADM=B'00 (連続アドレス) の場合のみ BKADP による CAS の指定が可能です。</p> <p>000000 : カラムアドレス (CAS) の上位 001010 : 1K バイト (アドレス 10 を BA0 に設定) 001011 : 2K バイト (アドレス 11 を BA0 に設定) 001100 : 4K バイト (アドレス 12 を BA0 に設定) 上記以外 : 設定禁止</p>
7~2	BKADB[5:0]	000000	R/W	<p>上位のバンクアドレスのアドレス位置 (BKADM が B'01 の場合の有効)</p> <p>上位のバンクアドレスのアドレス位置を指定します。BKADM にバンクアドレスを連続していないアドレスとして扱う場合に設定したとき有効になります。上位のバンクアドレスとして BA1 のアドレス位置を設定します。</p> <p>なお、8 バンク品の場合は、BA2 は BA1 の上位アドレスとして扱われます。</p> <p>ただし、BKADP=B'000000 の場合、このビットは BA0 の上位アドレスとして扱いますので設定は行えません。</p> <p>000000 : 指定無し 001101 : アドレス 13 を BA1 に設定 (アドレス 14 を BA2 に設定) 001110 : アドレス 14 を BA1 に設定 (アドレス 15 を BA2 に設定) 001111 : アドレス 15 を BA1 に設定 (アドレス 16 を BA2 に設定) 010000 : アドレス 16 を BA1 に設定 (アドレス 17 を BA2 に設定) 上記以外 : 設定禁止</p>
1、0	BWIDTH[1:0]	00	R/W	<p>SDRAM バス幅設定ビット</p> <p>外部データバス幅の設定を行います。</p> <p>00 : 設定禁止 01 : 16 ビット 10 : 32 ビット 11 : 設定禁止</p>

【注】 1. サポートメモリ個数

(1) DDR2

- ・ 1 個の 16bit 幅 SDRAM あるいは 2 個の 8bit 幅 SDRAM を並列に接続した 16bit バス構成
- ・ 1 個の 32bit 幅 SDRAM あるいは 2 個の 16bit 幅 SDRAM を並列に接続した 32bit バス構成

(2) Mobile-DDR

- ・ 1 個の 16bit 幅 SDRAM を接続した 16bit バス構成
- ・ 1 個の 32bit 幅 SDRAM あるいは 2 個の 16bit 幅 SDRAM を並列に接続した 32bit バス構成

2. このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。
 - ・ SDRAM のアクセス不許可中 (DBEN レジスタの ACEN が 0 のとき)
 - ・ オートリフレッシュの自動発行不許可 (DBRFPDNO レジスタの ARFEN が 0 のとき)
3. 品種ごとに決められた値を設定してください。

表 15.6 SDRAM 構成レジスタ設定方法 (DDR2-SDRAM)

SPLIT ビット	メモリ構成	外部バス[bit]	バンク[bit]	ロウ[bit]	コラム[bit]
10_0_011_010	16M×16bit、256Mbit (2 個)	32	2	13	9
10_0_011_011	32M×16bit、512Mbit (2 個)	32	2	13	10
10_1_011_011	64M×16bit、1Gbit (2 個)	32	3	13	10
10_1_100_011	128M×16bit、2Gbit (2 個)	32	3	14	10
01_0_011_010	16M×16bit、256Mbit (1 個)	16	2	13	9
01_0_011_011	32M×16bit、512Mbit (1 個)	16	2	13	10
01_0_011_011	32M×8bit、512Mbit (2 個)	16	2	13	10
01_1_011_011	64M×16bit、1Gbit (1 個)	16	3	13	10
01_0_100_011	64M×8bit、1Gbit (2 個)	16	2	14	10
01_1_100_011	128M×16bit、2Gbit (1 個)	16	3	14	10
01_1_100_011	128M×8bit、2Gbit (2 個)	16	3	14	10
01_1_101_011	256M×8bit、4Gbit (2 個)	16	3	15	10

表 15.7 SDRAM 構成レジスタ設定方法 (Mobile-DDR-SDRAM)

SPLIT ビット	メモリ構成	外部バス[bit]	バンク[bit]	ロウ[bit]	コラム[bit]
10_0_010_001	4M×32bit、128Mbit	32	2	12	8
10_0_010_010	8M×32bit、256Mbit	32	2	12	9
10_0_100_001	16M×32bit、512Mbit	32	2	14	8
10_0_011_010	16M×32bit、512Mbit	32	2	13	9
10_0_011_011	32M×32bit、1Gbit	32	2	13	10
10_0_100_010	32M×32bit、1Gbit	32	2	14	9
10_0_100_011	64M×32bit、2Gbit	32	2	14	10
10_0_100_011	64M×32bit、2Gbit	32	2	14	10
01_0_010_010	8M×16bit、128Mbit	16	2	12	9
01_0_011_001	8M×16bit、128Mbit	16	2	13	8
01_0_011_010	16M×16bit、256Mbit	16	2	13	9
01_0_011_011	32M×16bit、512Mbit	16	2	13	10
01_0_100_011	64M×16bit、1Gbit	16	2	14	10
01_0_100_100	128M×16bit、2Gbit	16	2	14	11

15.3.7 SDRAM タイミングレジスタ 0 (DBTR0)

DBTR0 は、リード/ライト可能なレジスタで、SDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CL[2:0]			—	—	—	TRAS[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TRFC[6:0]						—	—	—	—	—	TRCD[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~24	CL[2:0]	000	R/W	CAS レイテンシ設定ビット SDRAM の CAS レイテンシを設定します。 設定値は SDRAM の MRS に設定した CL と同じ値を設定してください。 (CAS レイテンシは、3 のみをサポートします。)
23~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~16	TRAS[4:0]	00000	R/W	ACT-PRE 期間設定ビット 行活性化 (ACT) コマンドから、プリチャージ (PRE) コマンドまでの最小間隔を設定します。 00000 : 1 サイクル 00001 : 2 サイクル : 10001 : 18 サイクル 10010 ~ 11111 : 設定禁止
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~8	TRFC[6:0]	000 0000	R/W	REF-ACT/REF 期間設定ビット リフレッシュ (REF) コマンドから、ACT/REF コマンドまでの最小間隔を設定します。 000 0000 : 設定禁止 000 0001 : 2 サイクル 000 0010 : 3 サイクル : 110 1100 : 109 サイクル 110 1101 ~ 111 1111 : 設定禁止

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	TRCD	000[2:0]	R/W	ACT-READ/WRITE 期間設定ビット ACT コマンドから、リード/ライトコマンドまでの最小間隔を設定します。 000 : 1 サイクル 001 : 2 サイクル : 101 : 6 サイクル 110 : 設定禁止 111 : 設定禁止

- 【注】
1. サイクル数は SDRAM の動作クロックにて設定します。
 2. SDRAM 品種ごとで決められたパラメータ制約値を設定してください。
 3. このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。
 - ・ SDRAM のアクセス不許可中 (DBEN レジスタの ACEN が 0 のとき)
 - ・ オートリフレッシュの自動発行不許可 (DBRFPDN0 レジスタの ARFEN が 0 のとき)

15.3.8 SDRAM タイミングレジスタ 1 (DBTR1)

DBTR1 は、リード/ライト可能なレジスタで、SDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CKEH[2:0]			—	—	—	—	—	TRP[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TRRD[2:0]			—	—	—	—	—	TWR[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26~24	CKEH[2:0]	000	R/W	CKEH 期間設定ビット CKE を H にしてから次のコマンドが発行されるまでの期間を設定します。 000 : 1 サイクル 001 : 2 サイクル : 111 : 8 サイクル
23~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	TRP[2:0]	000	R/W	PRE 期間設定ビット PRE コマンドから ACT/REF コマンドまでの最小間隔を設定します。 000 : 1 サイクル 001 : 2 サイクル : 101 : 6 サイクル 110 : 設定禁止 111 : 設定禁止
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	TRRD[2:0]	000	R/W	ACT(A)-ACT(B)期間設定ビット 異なるバンク間の ACT-ACT 最小期間制約を設定します。 000 : 1 サイクル 001 : 2 サイクル 010 : 3 サイクル 011 : 4 サイクル 100~111 : 設定禁止

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	TWR[2:0]	000	R/W	ライトリカバリ期間設定ビット ライトリカバリ期間を設定します。 000 : 1 サイクル 001 : 2 サイクル : 101 : 6 サイクル 110 : 設定禁止 111 : 設定禁止

- 【注】
1. サイクル数は SDRAM の動作クロックにて設定します。
 2. SDRAM 品種ごとに決められたパラメータ制約値を設定してください。
 3. このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。
 - ・ SDRAM のアクセス不許可中 (DBEN レジスタの ACEN が 0 のとき)
 - ・ オートリフレッシュの自動発行不許可 (DBRFPDN0 レジスタの ARFEN が 0 のとき)

15.3.9 SDRAM タイミングレジスタ 2 (DBTR2)

DBTR2 は、リード/ライト可能なレジスタで、SDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	TRTP[1:0]		—	—	—	TRC[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RDWR[3:0]			—	—	—	—	WRRD[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25、24	TRTP[1:0]	00	R/W	READ-PRE 期間設定ビット READ コマンドから PRE コマンドまでの最小間隔を設定します。 00 : 設定禁止 01 : 2 サイクル 10 : 3 サイクル 11 : 設定禁止
23~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20~16	TRC[4:0]	00000	R/W	ACT-ACT/REF 期間設定ビット ACT コマンドから ACT コマンド (同一バンク) / REF コマンドまでの最小間隔を設定します。 00000 : 1 サイクル 00001 : 2 サイクル : 10110 : 23 サイクル 10111 ~ 11111 : 設定禁止
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	RDWR[3:0]	0000	R/W	READ-WRITE 期間設定ビット リードコマンドからライトコマンド発行までの最小間隔を設定します。 0000 ~ 0010 : 設定禁止 0011 : 4 サイクル 0100 : 5 サイクル : 1000 : 9 サイクル 1001 ~ 1111 : 設定禁止

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	WRRD[3:0]	0000	R/W	WRITE-READ コマンド期間設定ビット ライトコマンドからリードコマンド発行までの最小間隔を設定します。 0000 : 設定禁止 0001 : 2 サイクル 0010 : 3 サイクル : 1100 : 13 サイクル 1101 ~ 1111 : 設定禁止

- 【注】
1. サイクル数は SDRAM の動作クロックにて設定します。
 2. SDRAM 品種ごとで決められたパラメータ制約値を設定してください。
 3. このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。
 - ・ SDRAM のアクセス不許可中 (DBEN レジスタの ACEN が 0 のとき)
 - ・ オートリフレッシュの自動発行不許可 (DBRFPDN0 レジスタの ARFEN が 0 のとき)

15.3.10 SDRAM タイミングレジスタ 3 (DBTR3)

DBTR2 は、リード/ライト可能なレジスタで、SDRAM のタイミングパラメータの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ODTL[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	ODTL[2:0]	000	R/W	MODT 信号アサート期間設定ビット MODT 信号のアサート期間を設定します。1 回のライトコマンドに対して MODT 信号を何サイクルアサートするかを設定します。 000 : MODT 信号をアサートしない 001 : MODT 信号を 1 サイクルアサートする 010 : MODT 信号を 2 サイクルアサートする : 111 : MODT 信号を 7 サイクルアサートする

- 【注】
1. SDRAM 品種ごとで決められたパラメータ制約値を設定してください。
 2. このレジスタは以下の条件を満たす場合のみ書き込みを行ってください。
 - ・ SDRAM のアクセス不許可中 (DBEN レジスタの ACEN が 0 のとき)
 - ・ オートリフレッシュの自動発行不許可 (DBRFPDN0 レジスタの ARFEN が 0 のとき)

15.3.11 SDRAM リフレッシュ / パワーダウン制御レジスタ 0 (DBRFPDN0)

DBRFPDN0 は、リード / ライト可能なレジスタで、リフレッシュおよびパワーダウン動作の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARFEN	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PDN	DPDN	SRFEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	ARFEN	0	R/W	オートリフレッシュ許可ビット このビットでオートリフレッシュを許可します。1 を設定すると、SDRAM リフレッシュ / パワーダウン制御レジスタ 1 (DBRFPDN1)、SDRAM リフレッシュ / パワーダウン制御レジスタ 2 (DBRFPDN2) の設定値に従って定期的にオートリフレッシュコマンドを発行します。オートリフレッシュコマンド発行タイミングについての詳細は、「15.5.5 オートリフレッシュ」を参照ください。 0: オートリフレッシュ自動発行不許可 1: オートリフレッシュ自動発行許可
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PDN	0	R/W	パワーダウン許可ビット このビットでパワーダウンモードへの移行 / 解除を行います。1 を書き込むことでパワーダウンへの移行を行います。0 を書き込むことで、パワーダウンの解除を行います。パワーダウンへの移行 / 解除は「15.5.7 パワーダウン」に記載の手順に従ってください。 0: パワーダウン解除 1: パワーダウン移行
1	DPDN	0	R/W	ディープパワーダウン許可ビット このビットでディープパワーダウンモードへの移行 / 解除を行います。1 を書き込むことでディープパワーダウンへの移行を行います。0 を書き込むことで、ディープパワーダウンの解除を行います。ディープパワーダウンへの移行 / 解除は「15.5.8 ディープパワーダウン」に記載の手順に従ってください。 0: ディープパワーダウン解除 1: ディープパワーダウン移行

ビット	ビット名	初期値	R/W	説明
0	SRFEN	0	R/W	<p>セルフリフレッシュ許可ビット</p> <p>このビットでセルフリフレッシュモードへの移行 / 解除を行います。1 を書き込むことで、セルフリフレッシュへの移行を行います。0 を書き込むことでセルフリフレッシュの解除 (オートリフレッシュモードへの移行) を行います。ピンマルチの設定にて DDR セルフリフレッシュ通知端子 (SDSELF) 側を選択している場合、SDSELF 端子は DDR セルフリフレッシュモードへの移行 / 解除を外部に通知します。セルフリフレッシュ移行時は 1 出力、解除時は 0 出力します。セルフリフレッシュへの移行 / 解除の詳細は、「15.5.4 セルフリフレッシュ」に記載の手順に従ってください。</p> <p>0 : セルフリフレッシュ解除 1 : セルフリフレッシュ移行</p>

15.3.12 SDRAM リフレッシュ / パワーダウン制御レジスタ 1 (DBRFPDN1)

DBRFPDN1 は、リード / ライト可能なレジスタで、リフレッシュ制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TREFI[12:0]												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 13	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
12 ~ 0	TREFI[12:0]	H'0000	R/W	<p>平均リフレッシュ間隔設定ビット</p> <p>オートリフレッシュ動作の平均間隔を設定します。リフレッシュ間隔は、SDRAM のクロックサイクル数で設定します。リフレッシュ実行時に、オートリフレッシュの説明で述べているリフレッシュカウンタにこの値が加算されます。リフレッシュカウンタは、ユーザが直接見ることはできません。</p> <p>H'0000 ~ H'003F : 設定禁止</p> <p>H'0040 : 65 サイクル</p> <p>H'0041 : 66 サイクル</p> <p>⋮</p> <p>H'1FFF : 8192 サイクル</p>

- 【注】
1. メモリベンダのデータシートに記載されている平均リフレッシュ間隔 (TREFI) を設定ください。
 2. サイクル数は、SDRAM の動作クロックにて設定します。
 3. DBRFPDN1 レジスタへの書き込みは、ARFEN が 0 のときに行ってください。

15.3.13 SDRAM リフレッシュ / パワーダウン制御レジスタ 2 (DBRFPDN2)

DBRFPDN2 は、リード / ライト可能なレジスタで、リフレッシュ制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LV1TH[14:0]														
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	LV0TH[9:0]									
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30 ~ 16	LV1TH[14:0]	H'0000	R/W	レベル 1 しきい値設定ビット 空きバスリクエスト時にリフレッシュを実施するしきい値サイクルを設定します。サイクル数は、SDRAM の動作クロック数を示します <ul style="list-style-type: none"> DBRFPDN1 レジスタの TREFI ビット値と LV1TH ビット値を加算したものが、オートリフレッシュカウンタの最大値となり、すなわちオートリフレッシュを定期的に発行する際のリフレッシュコマンドの最大間隔になります。この値が各メモリベンダのデータシートに記載された ACT-PRE コマンド間隔の範囲内におさまるように LV1TH ビット値を設定してください。 SDRAM は 8 個目のリフレッシュを投入(ポスト)後に、tREFI 以上、tREFI × 9 以内に REF コマンドを発行する必要があるため、LV1TH は tREFI × 7 を設定してください。
15 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9 ~ 0	LV0TH[9:0]	H'000	R/W	レベル 0 しきい値設定ビット バスリクエストの切れ目でリフレッシュを実施するしきい値サイクルを設定します。サイクル数は、SDRAM の動作クロック数を示します。 リフレッシュカウンタのアンダフローを防ぐため、LV0TH ビットはバンクヒットページミス時の WRITE-WRITE コマンド間隔 (tRP + tRCD + tWR + CL - 1) × 5 サイクルを設定してください。 ただし、WRITE-WRITE コマンド期間はデータシートに記載された値に設定してください。

【注】 DBRFPDN2 レジスタへの書き込みは、ARFEN が 0 のときに行ってください。

15.3.14 SDRAM リフレッシュステータスレジスタ (DBRFSTS)

DBRFSTS は、リード/ライト可能なレジスタで、リフレッシュのステータスを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFUDF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	RFUDF	0	R/W	リフレッシュカウンタアンダフロービット リフレッシュカウンタが 1 から 0 に遷移した場合にカウンタのアンダフローとして 1 がセットされます。アンダフローが発生した場合、最大のコマンド実行サイクル数に比べて LV0TH ビットの値が小さいため、カウンタ値が 0 になるまでにリフレッシュが発行できないことが原因として考えられます。その場合は LV0TH ビットの値を変更してください。このビットに 0 を書き込むことにより 0 にクリアできます。リフレッシュカウンタについては「15.5.5 オートリフレッシュ」を参照してください。 0: アンダフローなし 1: アンダフローあり

15.3.15 SDRAM モード設定レジスタ (DBMRCNT)

DBMRCNT は、SDRAM のアドレスピン、バンクアドレスピンを直接操作してモードレジスタ、拡張モードレジスタの設定を行うレジスタです。本レジスタへの書き込みを行うと、SDRAM にモードレジスタ設定 (MRS) コマンド / 拡張モードレジスタ設定 (EMRS) コマンドを出力するとともに、アドレスピン、バンクピンを指定の状態に制御します。バースト長は 4、CAS レイテンシは SDRAM タイミングレジスタ 0 (DBTR0) の CL ビットの設定と合わせてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	BA[2:0]		
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	MA[14:0]														
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~19	-	不定	W	リザーブビット 書き込む値は常に 0 にしてください。読み出し値は無効です。
18~16	BA[2:0]	不定	W	バンクアドレス出力設定ビット モードレジスタ設定時に、バンクアドレスピン (BA) から出力される値を設定します。設定値の読み出しはできません。 bit18、bit17、bit16 がバンクアドレス端子 BA2、BA1、BA0 に対応しています。
15	-	不定	W	リザーブビット 書き込む値は常に 0 にしてください。読み出し値は無効です。
14~0	MA[14:0]	不定	W	アドレス出力設定ビット モードレジスタ設定時に、アドレスピン (MA) から出力される値を設定します。設定値の読み出しはできません。 bit14、bit13、…、bit0 がアドレス端子 MA14、MA13、…、MA0 に対応しています。

15.3.16 DDR-PHY 部制御レジスタ 0 (DBPDCNT0)

DBPDCNT0 はリード/ライト可能なレジスタで、DDR-PHY 部の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OFFSET[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DQS	ODTEN	ODT	—	—	—	—	—	—	PLUP
初期値:	—	—	—	—	—	—	0	0	0	—	—	—	—	—	—	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	OFFSET[1:0]	00	R/W	リードレイテンシの OFFSET 値設定ビット DDR2-SDRAM では B'00、Mobile-DDR-SDRAM では B'01 を設定してください。
29~10	-	不定	R	リザーブビット 書き込みは無効です。
9	DQS	0	R/W	シングルモード切り替えビット このビットにより、DQS が差動モードかシングルモード (非差動) を切り替えることができます。シングルモードの場合、DDR2-SDRAM に内蔵された EMRS(1)の/DQS enable ビットを Disable にする必要があります。 0: DQS 差動モード 1: DQS シングルモード
8	ODTEN	0	R/W	ODT ディスエーブルビット このビットを 1 に設定することにより ODT 制御がディスエーブルとなります。Mobile-DDR-SDRAM 使用時は 0 のままにしてください。 0: ODT 制御をイネーブル 1: ODT 制御をディスエーブル
7	ODT	0	R/W	ODT 抵抗値設定ビット 本 LSI 内蔵 ODT の抵抗値を設定します。Mobile-DDR-SDRAM 使用時は無効です。 0: 150 1: 75
6~1	-	不定	R	リザーブビット 書き込みは無効です。
0	PLUP	0	R/W	プルアップ設定ビット このビットにより、DDR-PHY 部の初期化シーケンスでのプルアップを設定します。設定方法は「15.5.3 初期化シーケンス」を参照ください。 0: プルアップなし 1: プルアップあり

【注】 本レジスタのビットの設定を行う場合、32bit のリードを行って初期値を調べた後、ライト可能なビット以外は初期値を設定してください。

15.4 データアライメント

本 LSI では、データアライメントとしてビッグエンディアンとリトルエンディアンをサポートします。データアライメントは、パワーオンリセット時の外部端子 (MD5) の設定で決まります。

表 15.8 外部端子 (MD5) とエンディアン対応

MD5	データアライメント
0	ビッグエンディアン
1	リトルエンディアン

本メモリコントローラは、SDRAM をバースト長 4 でアクセスするため、表 15.9、表 15.10 にあるようにアクセスサイズに応じて、不要なリードデータは読み捨て、ライト時にはデータマスク信号を使いデータをマスクしています。表 15.9、表 15.10 の回数は図 15.2 に示すライト/リード時のバースト回数に対応しています。たとえば、リトルエンディアンで外部バス幅 32 ビット設定時、アドレス $8n+0$ 、1、2、3 のバイトアクセスが生じた場合には、2 回目 (DQS の fall edge に対応) に有効データが存在することになります。

表 15.11 ~ 15.14 に、外部バス上のデータの対応関係をアクセスサイズに応じて示します。

なお、16 バイト、32 バイトアクセス時には、図 15.3 にあるように、クワッドワード (8 バイト) アクセスを組み合わせて、サイズに応じて必要回 SDRAM コマンドを発行しアクセスします。SDRAM の規格上、コマンドとして与えたアドレスに対してシーケンシャル (0 1 2 3、1 2 3 0、2 3 0 1、3 0 1 2) なアドレス変化をするため、リード時とライト時にコマンドとして与えるアドレスが異なります。

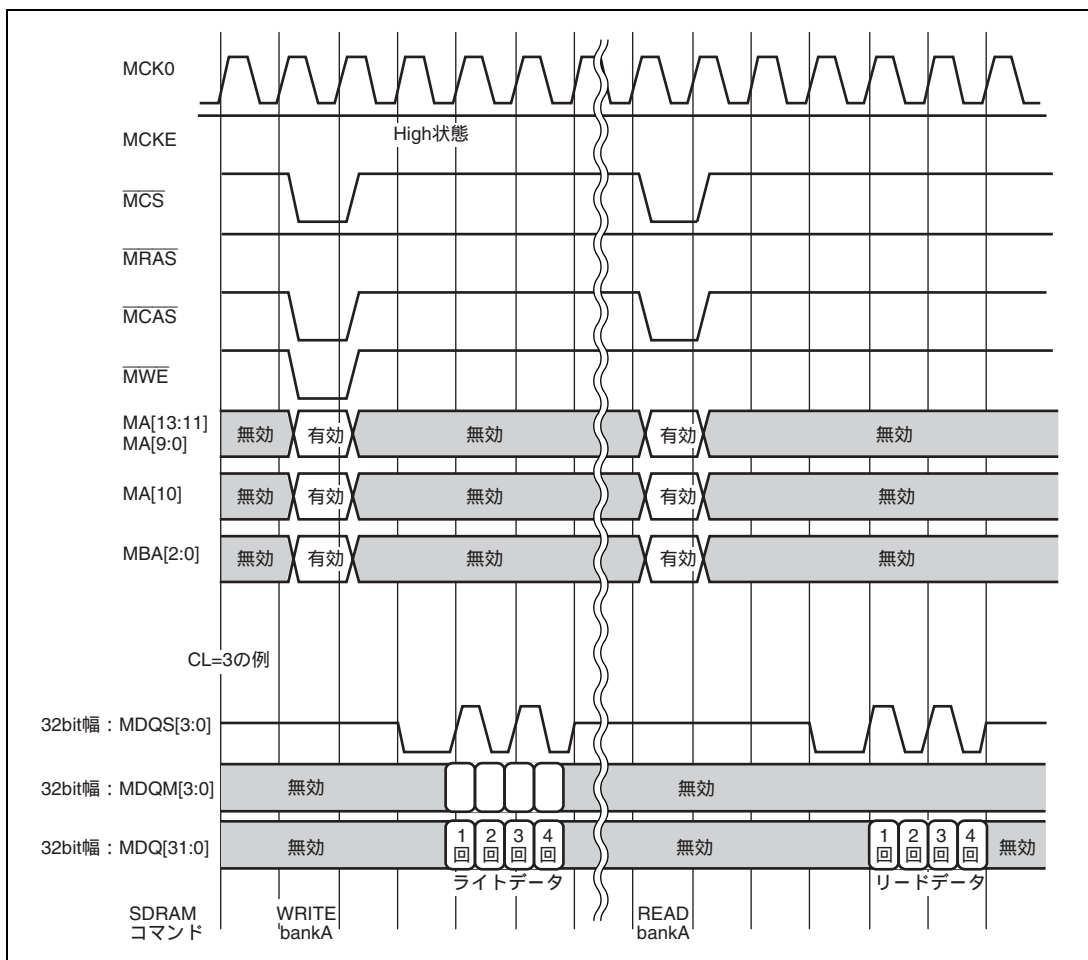


図 15.2 バーストアクセス動作

表 15.9 外部バス幅 32 ビット設定時、バースト長 4 のアクセス内で有効なデータが存在する位置

- リトルエンディアン時

アクセスサイズ	1 回目	2 回目	3 回目	4 回目
バイトアクセス (アドレス $8n+0,1,2,3$)	無効	有効	無効	無効
バイトアクセス (アドレス $8n+4,5,6,7$)	有効	無効	無効	無効
ワードアクセス (アドレス $8n+0,2$)	無効	有効	無効	無効
ワードアクセス (アドレス $8n+4,6$)	有効	無効	無効	無効
ロングワードアクセス (アドレス $8n+0$)	無効	有効	無効	無効
ロングワードアクセス (アドレス $8n+4$)	有効	無効	無効	無効
クワッドワードアクセス (アドレス $8n+0$)	有効	有効	無効	無効

- ビッグエンディアン時

アクセスサイズ	1 回目	2 回目	3 回目	4 回目
バイトアクセス (アドレス $8n+0,1,2,3$)	有効	無効	無効	無効
バイトアクセス (アドレス $8n+4,5,6,7$)	無効	有効	無効	無効
ワードアクセス (アドレス $8n+0,2$)	有効	無効	無効	無効
ワードアクセス (アドレス $8n+4,6$)	無効	有効	無効	無効
ロングワードアクセス (アドレス $8n+0$)	有効	無効	無効	無効
ロングワードアクセス (アドレス $8n+4$)	無効	有効	無効	無効
クワッドワードアクセス (アドレス $8n+0$)	有効	有効	無効	無効

表 15.10 外部バス幅 16 ビット設定時、バースト長 4 のアクセス内で有効なデータが存在する位置

- リトルエンディアン時

アクセスサイズ	1 回目	2 回目	3 回目	4 回目
バイトアクセス (アドレス $8n+0,1$)	無効	無効	無効	有効
バイトアクセス (アドレス $8n+2,3$)	無効	無効	有効	無効
バイトアクセス (アドレス $8n+4,5$)	無効	有効	無効	無効
バイトアクセス (アドレス $8n+6,7$)	有効	無効	無効	無効
ワードアクセス (アドレス $8n+0$)	無効	無効	無効	有効
ワードアクセス (アドレス $8n+2$)	無効	無効	有効	無効
ワードアクセス (アドレス $8n+4$)	無効	有効	無効	無効
ワードアクセス (アドレス $8n+6$)	有効	無効	無効	無効
ロングワードアクセス (アドレス $8n+0$)	無効	無効	有効	有効
ロングワードアクセス (アドレス $8n+4$)	有効	有効	無効	無効
クワッドワードアクセス (アドレス $8n+0$)	有効	有効	有効	有効

- ビッグエンディアン時

アクセスサイズ	1 回目	2 回目	3 回目	4 回目
バイトアクセス (アドレス $8n+0,1$)	有効	無効	無効	無効
バイトアクセス (アドレス $8n+2,3$)	無効	有効	無効	無効
バイトアクセス (アドレス $8n+4,5$)	無効	無効	有効	無効
バイトアクセス (アドレス $8n+6,7$)	無効	無効	無効	有効
ワードアクセス (アドレス $8n+0$)	有効	無効	無効	無効
ワードアクセス (アドレス $8n+2$)	無効	有効	無効	無効
ワードアクセス (アドレス $8n+4$)	無効	無効	有効	無効
ワードアクセス (アドレス $8n+6$)	無効	無効	無効	有効
ロングワードアクセス (アドレス $8n+0$)	有効	有効	無効	無効
ロングワードアクセス (アドレス $8n+4$)	無効	無効	有効	有効
クワッドワードアクセス (アドレス $8n+0$)	有効	有効	有効	有効

表 15.11 外部バス幅 32 ビット/リトルエンディアンのアクセスとデータアライメント

アクセスサイズ	アドレス	MDQ31~24	MDQ23~16	MDQ15~8	MDQ7~0
バイト	0 番地	-	-	-	データ 7~0
	1 番地	-	-	データ 7~0	-
	2 番地	-	データ 7~0	-	-
	3 番地	データ 7~0	-	-	-
	4 番地	-	-	-	データ 7~0
	5 番地	-	-	データ 7~0	-
	6 番地	-	データ 7~0	-	-
	7 番地	データ 7~0	-	-	-
ワード	0 番地	-	-	データ 15~8	データ 7~0
	2 番地	データ 15~8	データ 7~0	-	-
	4 番地	-	-	データ 15~8	データ 7~0
	6 番地	データ 15~8	データ 7~0	-	-
ロングワード	0 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
	4 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
クワッドワード	0 番地 (1 回目:4 番地)	データ 63~56	データ 55~48	データ 47~40	データ 39~32
	0 番地 (2 回目:0 番地)	データ 31~24	データ 23~16	データ 15~8	データ 7~0

表 15.12 外部バス幅 32 ビット/ビッグエンディアンのアクセスとデータアライメント

アクセスサイズ	アドレス	MDQ31~24	MDQ23~16	MDQ15~8	MDQ7~0
バイト	0 番地	データ 7~0	-	-	-
	1 番地	-	データ 7~0	-	-
	2 番地	-	-	データ 7~0	-
	3 番地	-	-	-	データ 7~0
	4 番地	データ 7~0	-	-	-
	5 番地	-	データ 7~0	-	-
	6 番地	-	-	データ 7~0	-
	7 番地	-	-	-	データ 7~0
ワード	0 番地	データ 15~8	データ 7~0	-	-
	2 番地	-	-	データ 15~8	データ 7~0
	4 番地	データ 15~8	データ 7~0	-	-
	6 番地	-	-	データ 15~8	データ 7~0
ロングワード	0 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
	4 番地	データ 31~24	データ 23~16	データ 15~8	データ 7~0
クワッドワード	0 番地 (1 回目:0 番地)	データ 63~56	データ 55~48	データ 47~40	データ 39~32
	0 番地 (2 回目:4 番地)	データ 31~24	データ 23~16	データ 15~8	データ 7~0

表 15.13 外部バス幅 16 ビット/リトルエンディアンのアクセスとデータアライメント

アクセスサイズ	アドレス	MDQ15~8	MDQ7~0
バイト	0 番地	-	データ 7~0
	1 番地	データ 7~0	-
	2 番地	-	データ 7~0
	3 番地	データ 7~0	-
	4 番地	-	データ 7~0
	5 番地	データ 7~0	-
	6 番地	-	データ 7~0
	7 番地	データ 7~0	-
ワード	0 番地	データ 15~8	データ 7~0
	2 番地	データ 15~8	データ 7~0
	4 番地	データ 15~8	データ 7~0
	6 番地	データ 15~8	データ 7~0
ロングワード	0 番地 (1 回目:2 番地)	データ 31~24	データ 23~16
	0 番地 (2 回目:0 番地)	データ 15~8	データ 7~0
	4 番地 (1 回目:6 番地)	データ 31~24	データ 23~16
	4 番地 (2 回目:4 番地)	データ 15~8	データ 7~0
クワッドワード	0 番地 (1 回目:6 番地)	データ 63~56	データ 55~48
	0 番地 (2 回目:4 番地)	データ 47~40	データ 39~32
	0 番地 (3 回目:2 番地)	データ 31~24	データ 23~16
	0 番地 (4 回目:0 番地)	データ 15~8	データ 7~0

表 15.14 外部バス幅 16 ビット/ビッグエンディアンのアクセスとデータアライメント

アクセスサイズ	アドレス	MDQ15~8	MDQ7~0
バイト	0 番地	データ 7~0	-
	1 番地	-	データ 7~0
	2 番地	データ 7~0	-
	3 番地	-	データ 7~0
	4 番地	データ 7~0	-
	5 番地	-	データ 7~0
	6 番地	データ 7~0	-
	7 番地	-	データ 7~0
ワード	0 番地	データ 15~8	データ 7~0
	2 番地	データ 15~8	データ 7~0
	4 番地	データ 15~8	データ 7~0
	6 番地	データ 15~8	データ 7~0
ロングワード	0 番地 (1 回目:0 番地)	データ 31~24	データ 23~16
	0 番地 (2 回目:2 番地)	データ 15~8	データ 7~0
	4 番地 (1 回目:4 番地)	データ 31~24	データ 23~16
	4 番地 (2 回目:6 番地)	データ 15~8	データ 7~0
クワッドワード	0 番地 (1 回目:0 番地)	データ 63~56	データ 55~48
	0 番地 (2 回目:2 番地)	データ 47~40	データ 39~32
	0 番地 (3 回目:4 番地)	データ 31~24	データ 23~16
	0 番地 (4 回目:6 番地)	データ 15~8	データ 7~0

外部バス幅32ビット設定時

16バイトリード/ライトアクセス(合計2回コマンド発行)

	1回目
16n+0番地	16n+0
16n+8番地	16n+8

32バイトリードアクセス(合計4回コマンド発行)

	1回目	2回目
32n+0番地	32n+0	32n+16
32n+8番地	32n+0	32n+16
32n+16番地	32n+16	32n+0
32n+24番地	32n+16	32n+0

32バイトライトアクセス(合計4回コマンド発行)

	1回目	2回目
32n+0番地	32n+0	32n+16
32n+8番地	32n+16	32n+0
32n+16番地	32n+16	32n+0
32n+24番地	32n+0	32n+16

図 15.3 外部バス幅 32 ビット時、16/32 バイトアクセス時に発生させるアドレス

15.5 動作説明

15.5.1 サポートする SDRAM コマンド

DBSC が発行する SDRAM コマンドを表 15.15 に示します。コマンドは $\overline{\text{MCK0}}$ 、 $\overline{\text{MCK0}}$ に同期して SDRAM へ与えられます。「n-1」はコマンドを発行する 1 サイクル前に SDRAM に与えた信号の状態、「n」はコマンド発行時の信号の状態を示しています。

表 15.15 発行する SDRAM コマンド

機能	シンボル	MCKE		$\overline{\text{MCS}}$	$\overline{\text{MRAS}}$	$\overline{\text{MCAS}}$	MWE	MA [13:11]	MA10/ AP	MBA [2:0]	MA [9:0]
		n-1	n								
Device deslect	DSEL	H	H	H	X	X	X	X	X	X	X
Read	READ	H	H	L	H	L	H	V	L	V	V
Write	WRITE	H	H	L	H	L	L	V	L	V	V
Bank Activate	ACT	H	H	L	L	H	H	V	V	V	V
Precharge select bank	PRE	H	H	L	L	H	L	X	L	V	X
Precharge all banks	PALL	H	H	L	L	H	L	X	H	X	X
Auto refresh	REF	H	H	L	L	L	H	X	X	X	X
Self refresh entry from IDLE	SLFRSH	H	L	L	L	L	H	X	X	X	X
Self refresh exit	SLFRSHX	L	H	H	X	X	X	X	X	X	X
Mode register set	MRS/EMRS	H	H	L	L	L	L	V	V	V	V
Power down mode entry	PDEN	H	L	L	H	H	X	X	X	X	X
Deep power down mode entry	DPDEN	H	L	L	H	H	L	X	X	X	X
Power down mode exit	PDEX	L	H	H	X	X	X	X	X	X	X

【注】 H : ハイレベル

L : ローレベル

X : ハイレベルまたはローレベル (don't care)

V : 有効データ

上記の DSEL コマンドは、SDRAM に対しアクセスを行わないときに発行するので、ユーザが明示的に発行することはできません。

15.5.2 SDRAM コマンド発行詳細

(1) 基本アクセス

DBSC は、SHwy から与えられたリクエストをキューに格納した後、処理の開始は後で説明する「(2) 先行プリチャージ/アクティベート処理」により前後しますが、完了はキューの受け付け順になります。

初めに、リード/ライトリクエストが与えられると、SDRAM の初期化が完了した時点では、すべてのバンクはクローズ状態でページミスとなるため、DBSC は最初にアクティベート (ACT) コマンドを発行して対応するバンクを開きます。バンクを開いた後、リード/ライトリクエストに対応した SDRAM に対するリード/ライトコマンドを発行します。このとき、発行するリード/ライトコマンドの回数は、図 15.4 に示すようにバス幅やリクエストサイズ (1、2、4、8、16、32 バイト) によって異なります。たとえば、外部バス幅 32 ビットで SHwy から 32 バイトリードを行った場合には、2 回のリードコマンド発行が必要です。1 サイクル目のリードコマンド発行でデータが 4 パースト長分 (DDR クロックで 2 サイクル分) 読み出されるため、リードコマンド発行は 3 サイクル目まで待たされることとなります。

アクセスが終了した時点で、DBSC はプリチャージ (PRE) コマンドを発行することなくバンクを開いたままにしておきます。

バンクを閉じるのは、以下の場合です。

1. 後続のリクエストが同じバンクでロウアドレスが異なる場合
2. オートリフレッシュ要求が発生した場合
3. セルフリフレッシュの処理のためユーザが SDRAM コマンド制御レジスタでプリチャージオール (PALL) コマンドを発行した場合

このように、セルフリフレッシュを除いた通常のアクセス時では、DBSC がバンクの管理をハードウェアで行うため、ユーザ側での考慮は初期化時のレジスタ設定を除き不要です。

また、本コントローラは 4 バンクのマルチバンクオペレーションを行います。したがって、同時に開かれているバンクの最大数は 4 個です。SHwy からのアクセスアドレスと SDRAM のバンク/ロウアドレスの対応は「15.5.9 SDRAM の外部ピンと物理アドレスの関係」を参照してください。

なお、1G ビット品以上のサイズの SDRAM を使用する場合、使用上の注意点があります。「15.6.1 8 バンク品 DDR2-SDRAM 使用上の注意事項」を参照してください。

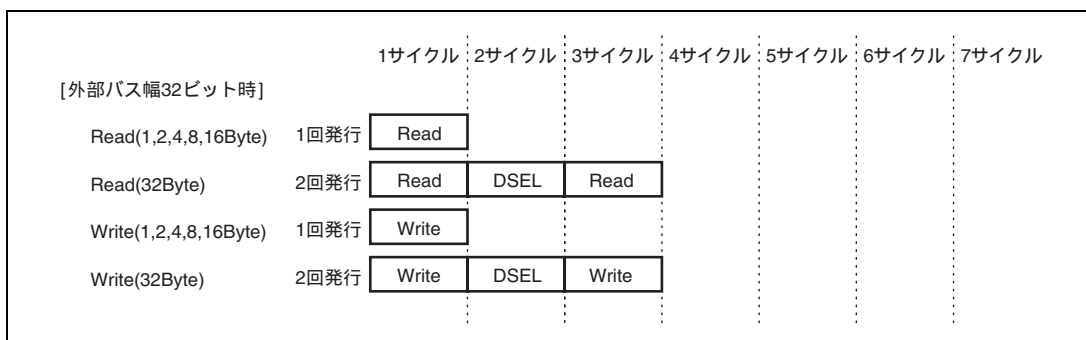


図 15.4 SHwy からのリクエストに応じ SDRAM に対して発行するリード/ライトコマンド

(2) 先行プリチャージ/アクティベート処理

DBSC は、SDRAM のマルチバンク機能を生かし、SDRAM コマンドの空きサイクルをできるだけなくしバスの利用効率を上げるため、後続のリクエストキューのページミス処理に対応する PRE/ACT コマンドを先行して発行します。先行するのは PRE/ACT コマンドのみですので、リードライトの順番が崩れることはありません。先行 PRE/ACT コマンドを発行するのは、後続リクエストが (1) ページミスかつ (2) 現在処理中のリクエストと異なったバンクへのアクセスの場合に限られます。先行プリチャージ/アクティベート処理の実行例を図 15.5 に示します。この例では、外部バス幅が 32 ビットで、PRE-ACT 最小時間制約が 3 サイクル、ACT-READ/WRITE 最小時間制約が 3 サイクル、ACT(A) - ACT(B)最小時間制約が 2 サイクルのとき、SDRAM に対するコマンド発行がどのように行われているかを示しています。この例では、1 番目から 4 番目までリクエストが積まれており 1 番目が最初にキューに与えられたリクエストです。

まず、DBSC は Time1 で 1 番目の Read (16Byte) のリクエスト処理に対する PRE コマンドを SDRAM へ発行します。その後、時刻 Time2 で発行するコマンドを決定する際、優先順位の高い 1 番目の Read (16Byte) のリクエスト処理として必要な ACT コマンドの発行は、タイミング制約のために Time2 では発行することができず、そのため、DBSC は Time2 で発行するコマンドを後続のリクエストキューから検索します。検索の結果、3 番目の Read (8Byte) と 4 番目の Read (16Byte) のリクエストが、先行プリチャージ処理可能であることがわかります。DBSC は先行したリクエストを優先するため、3 番目の Read (8Byte) に対する先行プリチャージ処理を行うことを決定し、SDRAM へ PRE コマンドを発行します。

時刻が Time3 に進んだ際、Time3 でも 1 番目の Read (16Byte) のリクエスト処理に対する ACT コマンド発行が行えないため、後続のリクエストキューから発行できるコマンドを検索します。ここでも 3 番目の Read (8Byte) に対するリクエスト処理の ACT コマンド発行はタイミング制約のために行うことができず、結果として 4 番目の Read (16Byte) のリクエスト処理に対応した PRE コマンド発行を選択します。

Time4 になって、1 番目の Read (16Byte) のリクエスト処理を実行することができるようになり、SDRAM へ ACT コマンドを発行します。

その後は、上記で示した処理を繰り返します。

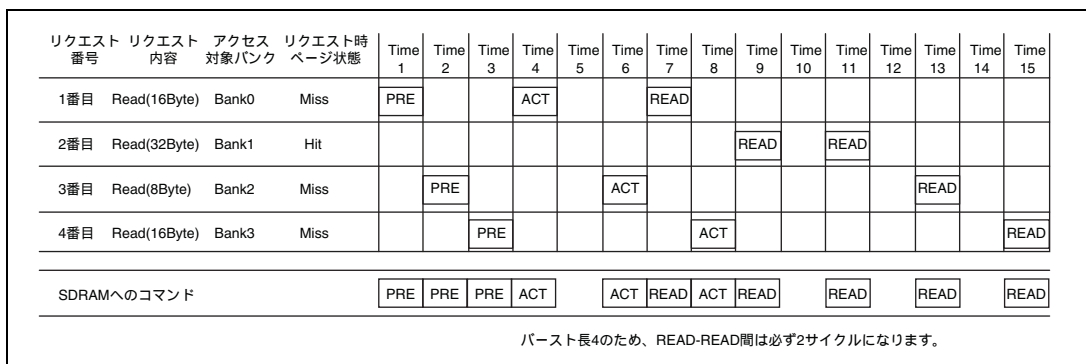


図 15.5 先行プリチャージ/アクティベート処理の例

15.5.3 初期化シーケンス

リセット後、SDRAM へのアクセスを許可する前に、SDRAM を初期化するために初期化シーケンスを実施する必要があります。初期化シーケンスは以下の手順に従って実行してください。SDRAM への設定内容、手順については一例ですので、各メモリベンダのデータシートに記載された手順に従ってください。

(1) DDR2-SDRAM の初期化シーケンス

1. 電源やリファレンス電圧、SDRAMに供給されるクロックが安定した後、最低でも200 μ s待ってください。
2. DDR-PHY部制御レジスタ0 (DBPDCNT0) の設定を行ってください。このとき、PLUPビットを1にしてください。
3. SDRAM構成設定レジスタ (DBCONF)、SDRAMタイミングレジスタ0 (DBTR0)、SDRAMタイミングレジスタ1 (DBTR1)、SDRAMタイミングレジスタ2 (DBTR2)、SDRAMタイミングレジスタ3 (DBTR3) の設定を行ってください。
4. SDRAM種類設定レジスタ (DBKIND) のDDCGビットによりメモリ種をDDR2-SDRAMに設定してください。
5. SDRAM CKE設定レジスタ (DBCCKCNT) のCKEEN設定ビットを1に設定してください。
6. 400ns待ってください。
7. コマンド制御レジスタ (DBCMDCNT) に書き込みを行うことにより、PALLコマンドを発行してください。
8. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにEMRS(2)コマンドを発行し、その後、EMRS(3)コマンドを発行してください。
9. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにEMRSコマンドを発行し、各種パラメータを設定し、DLLをイネーブルに設定してください。
10. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにMRSコマンドを発行し、各種パラメータを設定してください。このとき、動作モードは通常モード、DLLリセットはリセット、バースト長は4、バーストタイプはシーケンシャルに設定してください。なお、Additive Latencyは0、CASレイテンシはSDRAMタイミングレジスタ0 (DBTR0) のCLビットの設定と合わせて設定してください。
11. コマンド制御レジスタ (DBCMDCNT) に書き込みを行うことにより、PALLコマンドを発行し、続いてREF コマンドを2回以上発行してください。
12. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにMRSコマンドを発行し、各種パラメータを設定してください。この時、DLLリセット無しに設定してください。
13. 11で発行したMRSコマンドからSDRAMクロック単位で最低でも200サイクル待ってください。たとえば、DBSCのDBSCステータスレジスタ (DBSTATE) に対して40回のダミーのリードを行ってください。
14. SDRAM動作許可レジスタ (DBEN) のACENビットを1 (アクセス許可) に設定してください。
15. SDRAMリフレッシュ / パワーダウン制御レジスタ1 (DBRFPDN1)、SDRAMリフレッシュ / パワーダウン制御レジスタ2 (DBRFPDN2) の設定を行います。
16. SDRAMへリードを行ってください。SDRAM空間であれば、どのアドレスへのリードでも構いません。
17. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンドを発行し、続いてREF (リフレッシュ) コマンドを発行してください。

18. DDR-PHY部制御レジスタ0 (DBPDCNT0) の設定を行ってください。このとき、PLUPビットを0にしてください。
19. SDRAMリフレッシュ/パワーダウン制御レジスタ0 (DBRFPDN0) のARFENビットを1 (オートリフレッシュ自動発行許可) に設定してください。これ以降、通常アクセスが可能となります。

(2) Mobile-DDR-SDRAMの初期化シーケンス

1. 電源やSDRAMに供給されるクロックが安定するまで待ってください。
2. DDR-PHY部制御レジスタ0 (DBPDCNT0) の設定を行います。このとき、PLUPビットを1にしてください。
3. SDRAM構成設定レジスタ (DBCNF)、SDRAMタイミングレジスタ0 (DBTR0)、SDRAMタイミングレジスタ1 (DBTR1)、SDRAMタイミングレジスタ2 (DBTR2) の値を設定してください。
4. SDRAM種類設定レジスタ (DBKIND) のDDCGビットによりメモリ種をMobile-DDR-SDRAMに設定してください。
5. SDRAM CKE設定レジスタ (DBCKECNT) のCKEEN設定ビットを1に設定してください。
6. 200 μ s待ってください。
7. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンドを発行してください。
8. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにMRSコマンドを発行し、各種パラメータを設定します。このとき、バースト長は4、バーストタイプはシーケンシャルに設定し、CASレイテンシはSDRAMタイミングレジスタ0 (DBTR0) のCLビットの設定と合わせてください。
9. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにEMRSコマンドを発行し、各種パラメータを設定してください。
パーシャルセルフリフレッシュを使用する場合は、ここで設定を行ってください。
10. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットに2回書き込みを行うことによりREF (リフレッシュ) コマンドを2回発行してください。
11. SDRAM動作許可レジスタ (DBEN) のACENビットを1 (アクセス許可) に設定してください。
12. SDRAMリフレッシュ/パワーダウン制御レジスタ1 (DBRFPDN1)、SDRAMリフレッシュ/パワーダウン制御レジスタ2 (DBRFPDN2) の設定を行ってください。
13. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンドを発行してください。
14. SDRAMヘリードを行ってください。SDRAM空間であれば、どのアドレスへのリードでも構いません。
15. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンドを発行し、続いてREF (リフレッシュ) コマンドを発行してください。
16. DDR-PHY部制御レジスタ0 (DBPDCNT0) の設定を行ってください。このとき、PLUPビットを0にしてください。
17. SDRAMリフレッシュ/パワーダウン制御レジスタ0 (DBRFPDN0) のARFENビットを1 (オートリフレッシュ自動発行許可) に設定してください。これ以降、通常アクセスが可能となります。

15.5.4 セルフリフレッシュ

SDRAM にアクセスする必要が無い場合、セルフリフレッシュモードに移行することで、SDRAM 中のデータ内容を保持したまま消費電力を抑えることが可能です。また、本 LSI の低消費電力モードやクロック周波数変更時にはセルフリフレッシュモードに移行させる必要があります。

セルフリフレッシュモードへの移行は、SDRAM リフレッシュ / パワーダウン制御レジスタ 0 (DBRFPDN0) のセルフリフレッシュ許可ビット (SRFEN) に 1 を書き込むことで行います。また、セルフリフレッシュの解除 (オートリフレッシュモードへ移行) は、セルフリフレッシュ許可ビット (SRFEN) に 0 を書き込むことで行います。

以下にセルフリフレッシュへの移行 / 解除の手順を示します。ここに示すシーケンスは例ですので、詳細は各メモリベンダのデータシートに従って設定してください。

(1) DDR2-SDRAM のセルフリフレッシュ

• セルフリフレッシュへの移行

1. SDRAM へのデータアクセスはすべて停止してください。割り込み処理により CPU から SDRAM へのデータアクセスを発生させないようにするため、CPU を割り込み禁止に設定してください。
2. SDRAM 動作許可レジスタ (DBEN) の ACEN ビットを 0 (アクセス不許可) に設定します。
3. SDRAM リフレッシュ / パワーダウン制御レジスタ 0 (DBRFPDN0) の ARFEN ビットを 0 (オートリフレッシュ自動発行不許可) に設定します。
4. SDRAM コマンド制御レジスタ (DBCMDCNT) の CMD ビットにより PALL (プリチャージオール) コマンドを発行します。
5. SDRAM コマンド制御レジスタ (DBCMDCNT) の CMD ビットにより REF (リフレッシュ) コマンドを発行します。
6. SDRAM リフレッシュ / パワーダウン制御レジスタ 0 (DBRFPDN0) の SRFEN ビットを 1 に設定することにより、セルフリフレッシュに移行します。
7. CPU を割り込み許可に設定します。

• セルフリフレッシュの解除

1. DDR-PHY 部制御レジスタ 0 (DBPDCNT0) の設定を行ってください。このとき、PLUP ビットを 1 にしてください。
2. SDRAM 構成設定レジスタ (DBCONF)、SDRAM タイミングレジスタ 0 (DBTR0)、SDRAM タイミングレジスタ 1 (DBTR1)、SDRAM タイミングレジスタ 2 (DBTR2)、SDRAM タイミングレジスタ 3 (DBTR3) の設定を行ってください。
3. SDRAM 種類設定レジスタ (DBKIND) の DDCG ビットによりメモリ種を DDR2-SDRAM に設定してください。
4. SDRAM リフレッシュ / パワーダウン制御レジスタ 0 (DBRFPDN0) の SRFEN ビットを 1 に設定してください。
5. SDRAM リフレッシュ / パワーダウン制御レジスタ 0 (DBRFPDN0) の SRFEN ビットを 0 に設定することにより、セルフリフレッシュを解除してください。

6. SDRAM CKE設定レジスタ (DBCCKCNT) のCKEEN設定ビットを1に設定してください。
7. 400ns待ってください。
8. コマンド制御レジスタ (DBCMDCNT) に書き込みを行うことにより、PALLコマンドを発行してください。
9. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにEMRS(2)コマンドを発行し、その後、EMRS(3)コマンドを発行してください。
10. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにEMRSコマンドを発行し、各種パラメータを設定し、DLLをイネーブルに設定してください。
11. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにMRSコマンドを発行し、各種パラメータを設定してください。このとき、動作モードは通常モード、DLLリセットはリセット、パースト長は4、パーストタイプはシーケンシャルに設定してください。なお、Additive Latencyは0、CASレイテンシはSDRAMタイミングレジスタ0 (DBTR0) のCLビットの設定と合わせて設定してください。
12. コマンド制御レジスタ (DBCMDCNT) に書き込みを行うことにより、PALLコマンドを発行し、続いてREFコマンドを2回以上発行してください。
13. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにMRSコマンドを発行し、各種パラメータを設定してください。このとき、DLLリセット無しに設定してください。
14. 11で発行したMRSコマンドからSDRAMクロック単位で最低でも200サイクル待ってください。たとえば、DBSCのDBSCステータスレジスタ (DBSTATE) に対して40回のダミーのリードを行ってください。
15. SDRAM動作許可レジスタ (DBEN) のACENビットを1 (アクセス許可) に設定してください。
16. SDRAMリフレッシュ / パワーダウン制御レジスタ1 (DBRFPDN1)、SDRAMリフレッシュ / パワーダウン制御レジスタ2 (DBRFPDN2) の設定を行います。
17. SDRAMヘリードを行ってください。SDRAM空間であれば、どのアドレスへのリードでも構いません。
18. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンドを発行し、続いてREF (リフレッシュ) コマンドを発行してください。
19. DDR-PHY部制御レジスタ0 (DBPDCNT0) の設定を行ってください。このとき、PLUPビットを0にしてください。
20. SDRAMリフレッシュ / パワーダウン制御レジスタ0 (DBRFPDN0) のARFENビットを1 (オートリフレッシュ自動発行許可) に設定してください。

(2) Mobile-DDR-SDRAMのセルフリフレッシュ

• セルフリフレッシュへの移行

1. SDRAMへのアクセスを停止してください。
2. SDRAM動作許可レジスタ (DBEN) のACENビットを0 (アクセス不許可) に設定してください。
3. SDRAMリフレッシュ / パワーダウン制御レジスタ0 (DBRFPDN0) のARFENビットを0 (オートリフレッシュ自動発行不許可) に設定してください。
4. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンド

を発行してください。

5. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりREF (リフレッシュ) コマンドを発行してください。
6. SDRAMリフレッシュ / パワーダウン制御レジスタ0 (DBRFPDN0) のSRFENビットを1に設定することにより、セルフリフレッシュに移行します。

- セルフリフレッシュの解除

1. DDR-PHY部制御レジスタ0 (DBPDCNT0) のPLUPビットを1に設定してください。
2. SDRAM構成設定レジスタ (DBCONF)、SDRAMタイミングレジスタ0 (DBTR0)、SDRAMタイミングレジスタ1 (DBTR1)、SDRAMタイミングレジスタ2 (DBTR2) にてレジスタセットの値を設定してください。
3. SDRAM種類設定レジスタ (DBKIND) のDDCGビットによりメモリ種をMobile-DDR-SDRAMに設定してください。
4. SDRAMリフレッシュ / パワーダウン制御レジスタ0 (DBRFPDN0) のSRFENビットを1に設定してください。
5. SDRAMリフレッシュ / パワーダウン制御レジスタ0 (DBRFPDN0) のSRFENビットを0に設定することにより、セルフリフレッシュを解除してください。
6. SDRAM CKE設定レジスタ (DBCKECNT) のCKEEN設定ビットを1に設定してください。
7. 200 μ s待ってください。
8. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンドを発行してください。
9. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにMRSコマンドを発行し、各種パラメータを設定します。このとき、バースト長は4、バーストタイプはシーケンシャルに設定し、CASレイテンシはSDRAMタイミングレジスタ0 (DBTR0) のCLビットの設定と合わせてください。
10. SDRAMモード設定レジスタ (DBMRCNT) に書き込みを行うことにより、SDRAMにEMRSコマンドを発行し、各種パラメータを設定します。このとき、パーシャルリフレッシュの設定を行ってください。
11. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットに2回書き込みを行うことによりREF (リフレッシュ) コマンドを2回発行します。
12. SDRAM動作許可レジスタ (DBEN) のACENビットを1 (アクセス許可) に設定してください。
13. SDRAMリフレッシュ / パワーダウン制御レジスタ1 (DBRFPDN1)、SDRAMリフレッシュ / パワーダウン制御レジスタ2 (DBRFPDN2) の設定を行ってください。
14. リードを1回行ってください。その際、読み出されるデータは無効です。SDRAMエリアのどの番地でも構いません (メモリの仕様に従って必要に応じ、READコマンド発行前にACTコマンド等を発行してください)。
15. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンドを発行してください。
16. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットにREF (リフレッシュ) コマンドを発行します。
17. DDR-PHY部制御レジスタ0 (DBPDCNT0) のPLUPビットを0に設定してください。

18. SDRAMリフレッシュ/パワーダウン制御レジスタ0 (DBRFPDN0) のARFENビットを1 (オートリフレッシュ自動発行許可) に設定してください。

15.5.5 オートリフレッシュ

SDRAM リフレッシュ/パワーダウン制御レジスタ0 (DBRFPDN0) のオートリフレッシュ許可ビット (ARFEN) が1 のとき、オートリフレッシュが定期的に発行されます。SDRAM へのデータアクセスを行う場合には、このモードを用います。平均リフレッシュ間隔は、SDRAM リフレッシュ/パワーダウン制御レジスタ1 (DBRFPDN1) のTREFI ビットで設定します。

オートリフレッシュによるデータ転送能力の低下を最小限にするために、オートリフレッシュの実施タイミングを

- Level0 : トランザクションの1回のコマンド終了時にリフレッシュ発行
- Level1 : リクエストの空きサイクルにリフレッシュを発行
- Level2 : リフレッシュを発行しない

の3レベルに分けて制御可能です。Level0 と Level1 のしきい値は SDRAM リフレッシュ/パワーダウン制御レジスタ2 (DBRFPDN2) のLV0TH ビット、Level1 と Level2 のしきい値はLV1TH ビットで設定します。

リフレッシュタイミングは、14ビットのリフレッシュカウンタにより制御されます。リフレッシュカウンタは、リフレッシュが行われるまで、SDRAM クロックサイクルでダウンカウントされます。リフレッシュが行われると、SDRAM リフレッシュ/パワーダウン制御レジスタ1 (DBRFPDN1) のTREFI ビットで設定した平均リフレッシュ間隔分、カウンタ値が加算されます。図15.6にリフレッシュ動作とリフレッシュカウンタの更新の1例を示します。

リフレッシュは、PALL (プリチャージオール) コマンドを用いて全バンクのプリチャージを実施してから、REF (オートリフレッシュ) コマンドを発行します。したがって、リフレッシュ後は、すべてのバンクに対するデータアクセスは、ページミス状態になります。

【注】 リフレッシュカウンタがLevel0になっても、リフレッシュが行われるのは16byte転送単位の切れ目です。この切れ目でカウンタ値がLevel0以下であれば、オートリフレッシュが入ります。16byteデータアクセスを処理するクロックサイクル (Pre-Act-Wr-Wr コマンド間隔) も考慮して、Level0の値を設定ください。また、Lock中でもリフレッシュは行われます。

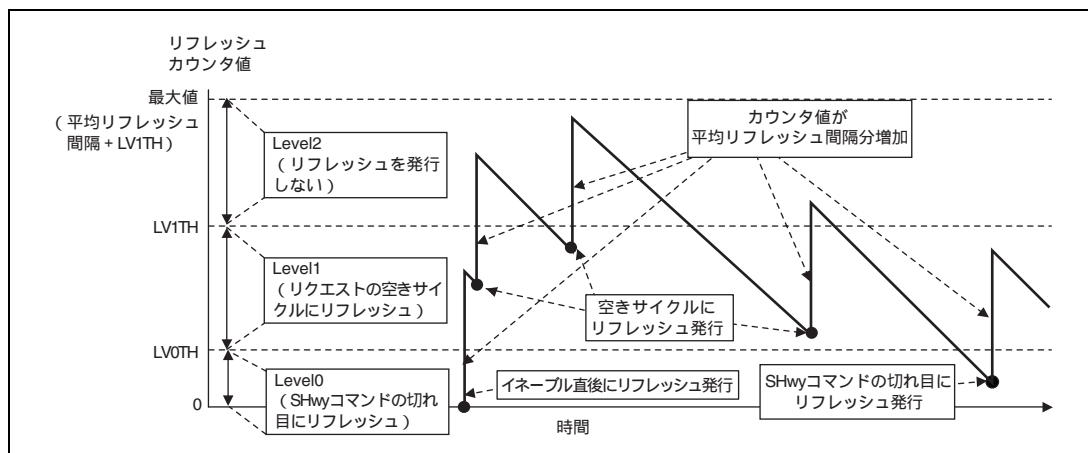


図 15.6 リフレッシュ動作とリフレッシュカウンタの更新例

15.5.6 パーシャルセルフリフレッシュ

SDRAM にアクセスする必要が無い場合、パーシャルセルフリフレッシュモードに移行することで、SDRAM 中のデータ内容を保持したまま消費電力を抑えることが可能です。

パーシャルリフレッシュでは、バンクの数の 1/2 あるいは 1/4 のみをセルフリフレッシュに移行することが可能です。SDRAM モードレジスタ (DBMRCNT) に書き込みを行うことにより、SDRAM に EMRS コマンドを発行し、パーシャルリフレッシュの設定を行います。

15.5.7 パワーダウン

SDRAM にアクセスする必要が無い場合、パワーダウンモードに移行することで、SDRAM の内部クロックを非活性にして、デバイスの消費電力を低く抑えることが可能です。

パワーダウンモードへの移行は、SDRAM リフレッシュ / パワーダウン制御レジスタ 0 (DBRFPDN0) のパワーダウンビット (PDN) に 1 を書き込むことで行います。また、パワーダウンの終了は SDRAM リフレッシュ / パワーダウン制御レジスタ 0 (DBRFPDN0) のパワーダウンビット (PDN) に 0 を書き込むことで行います。

パワーダウン中はオートリフレッシュを発行することにより、SDRAM のデータを保持することができます。

パワーダウンへの移行時は、以下の手順に従ってください。

ここに示すシーケンスは例ですので、各メモリベンダのデータシートに従って設定してください。

1. SDRAM動作許可レジスタ (DBEN) のACENビットを0 (アクセス不許可) に設定します。
2. SDRAMコマンド制御レジスタ (DBCMDCNT) のCMDビットによりPALL (プリチャージオール) コマンドを発行します。
3. SDRAMリフレッシュ / パワーダウン制御レジスタ 0 (DBRFPDN0) のPDNビットを1に設定することにより、パワーダウンを開始します。

パワーダウンを終了するときには、以下の手順に従ってください。

1. SDRAMリフレッシュ/パワーダウン制御レジスタ0 (DBRFPDN0) のPDNビットを0に設定することにより、パワーダウンを終了します。
2. SDRAM動作許可レジスタ (DBEN) のACENビットを1 (アクセス許可) に設定します。

15.5.8 ディープパワーダウン

SDRAM にアクセスする必要が無い場合、ディープパワーダウンモードに移行することで、SDRAM の内部クロックを非活性にして、デバイスの消費電力を低く抑えることが可能です。

ディープパワーダウンモードへの移行は、SDRAM リフレッシュ / パワーダウン制御レジスタ (DBRFPDN) のディープパワーダウンビット (DPDN) に 1 を書き込むことで行います。また、ディープパワーダウンの終了は SDRAM リフレッシュ / パワーダウン制御レジスタ (DBRFPDN) のディープパワーダウンビット (DPDN) に 0 を書き込むことで行います。

ここに示すシーケンスは例ですので、各メモリベンダのデータシートに従って設定してください。

ディープパワーダウンへの移行時は、以下の手順に従ってください。

1. SDRAM へのアクセスを停止します。
2. SDRAM 動作許可レジスタ (DBEN) の ACEN ビットを 0 (アクセス不許可) に設定します。
3. SDRAM リフレッシュ / パワーダウン制御レジスタ 0 (DBRFPDN0) の ARFEN ビットを 0 (オートリフレッシュ自動発行不許可) に設定します。
4. SDRAM コマンド制御レジスタ (DBCMDCNT) の CMD ビットにより PALL (プリチャージオール) コマンドを発行します。
5. SDRAM リフレッシュ / パワーダウン制御レジスタ (DBRFPDN0) の DPDN ビットを 1 に設定することにより、ディープパワーダウンを開始します。この間でクロックの停止、開始を行えます。

ディープパワーダウンを終了するときには、以下の手順に従ってください。

1. SDRAM リフレッシュ / パワーダウン制御レジスタ (DBCMDCNT) の DPDN ビットを 0 に設定することにより、ディープパワーダウンを終了します。
2. SDRAM へのアクセスが可能になるまでの時間として 200 μ s 待ちます。
3. SDRAM コマンド制御レジスタ (DBCMDCNT) の CMD ビットにより PALL (プリチャージオール) コマンドを発行します。
4. SDRAM モード設定レジスタ (DBMRCNT) に書き込みを行う事により、MRS コマンド、EMRS コマンドを発行し、各種パラメータを設定します。
5. SDRAM コマンド制御レジスタ (DBCMDCNT) の CMD ビットに 2 回書き込みを行うことにより REF (リフレッシュ) コマンドを 2 回発行します。
6. SDRAM 動作許可レジスタ (DBEN) の ACEN ビットを 1 (アクセス許可) に設定します。
7. SDRAM リフレッシュ / パワーダウン制御レジスタ 0 (DBRFPDN0) の ARFEN ビットを 1 (オートリフレッシュ自動発行許可) に設定します。
8. SDRAM アクセス可能となります。

15.5.9 SDRAM の外部ピンと物理アドレスの関係

SDRAM の外部ピンと、SHwy トランザクション上の物理アドレスの関係を示します。

(1) DDR2-SDRAM

表 15.16 SDRAM のアドレス端子と物理アドレスの関係 (外部バス幅 32bit (BWIDTH=B'10) 時)

種類		BA2	BA1	BA0	MA14	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
16M×16b	ROW	-	A12	A11	-	-	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	-	A12	A11	-	-	-	-	AP	-	A10	A9	A8	A7	A6	A5	A4	A3	A2
32M×16b	ROW	-	A13	A12	-	-	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	-	A13	A12	-	-	-	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2
64M×16b	ROW	A14	A13	A12	-	-	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A14	A13	A12	-	-	-	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2
128M×16b	ROW	A14	A13	A12	-	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A14	A13	A12	-	-	-	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2

- 【注】 1. A31～A0 はバイト単位の物理アドレスビットであり、A31 が MSB 側、A0 が LSB 側を示します。
2. AP はオートプリチャージオプションを示します。

表 15.17 SDRAM のアドレス端子と物理アドレスの関係 (外部バス幅 16bit (BWIDTH=B'01) 時)

種類		BA2	BA1	BA0	MA14	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
16M×16b	ROW	-	A11	A10	-	-	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL	-	A11	A10	-	-	-	-	AP	-	A9	A8	A7	A6	A5	A4	A3	A2	A1
32M×16b	ROW	-	A12	A11	-	-	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	-	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
32M×8b	ROW	-	A12	A11	-	-	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	-	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
64M×16b	ROW	A13	A12	A11	-	-	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
64M×8b	ROW	-	A12	A11	-	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	-	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
128M×16b	ROW	A13	A12	A11	-	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1
128M×8b	ROW	A13	A12	A11	-	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	A13	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1

- 【注】 1. A31～A0 はバイト単位の物理アドレスビットであり、A31 が MSB 側、A0 が LSB 側を示します。
2. AP はオートプリチャージオプションを示します。

(2) Mobile-DDR-SDRAM

表 15.18 SDRAM のアドレス端子と物理アドレスの関係 (外部バス幅 32bit (BWIDTH=B'10) 時)

種類		BA2	BA1	BA0	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
4Mx32b	ROW	-	A11	A10	-	-	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL	-	A11	A10	-	-	-	AP	-	-	A9	A8	A7	A6	A5	A4	A3	A2
8Mx32b	ROW	-	A12	A11	-	-	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	-	A12	A11	-	-	-	AP	-	A10	A9	A8	A7	A6	A5	A4	A3	A2
16Mx32b	ROW	-	A11	A10	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL	-	A11	A10	-	-	-	AP	-	-	A9	A8	A7	A6	A5	A4	A3	A2
16Mx32b	ROW	-	A12	A11	-	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	-	A12	A11	-	-	-	AP	-	A10	A9	A8	A7	A6	A5	A4	A3	A2
32Mx32b	ROW	-	A13	A12	-	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	-	A13	A12	-	-	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2
32Mx32b	ROW	-	A12	A11	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	-	A12	A11	-	-	-	AP	-	A10	A9	A8	A7	A6	A5	A4	A3	A2
64Mx32b	ROW	-	A13	A12	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	-	A13	A12	-	-	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2
8Mx16b	ROW	-	A12	A11	-	-	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	-	A12	A11	-	-	-	AP	-	A10	A9	A8	A7	A6	A5	A4	A3	A2
8Mx16b	ROW	-	A11	A10	-	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL	-	A11	A10	-	-	-	AP	-	-	A9	A8	A7	A6	A5	A4	A3	A2
16Mx16b	ROW	-	A12	A11	-	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	-	A12	A11	-	-	-	AP	-	A10	A9	A8	A7	A6	A5	A4	A3	A2
32Mx16b	ROW	-	A13	A12	-	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	-	A13	A12	-	-	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2
64Mx16b	ROW	-	A13	A12	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	-	A13	A12	-	-	-	AP	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2

- 【注】 1. A31～A0 はバイト単位の物理アドレスビットであり、A31 が MSB 側、A0 が LSB 側を示します。
 2. AP はオートプリチャージオプションを示します。

表 15.19 SDRAM のアドレス端子と物理アドレスの関係 (外部バス幅 16bit (BWIDTH=B'01) 時)

種類		BA2	BA1	BA0	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
16Mx16b	ROW	-	A11	A10	-	-	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13
	COL	-	A11	A10	-	-	-	-	AP	-	A9	A8	A7	A6	A5	A4	A3	A2
32Mx16b	ROW	-	A12	A11	-	-	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	-	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2
32Mx8b	ROW	-	A12	A11	-	-	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	-	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2
64Mx16b	ROW	A13	A12	A11	-	-	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A13	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2
64Mx8b	ROW	-	A12	A11	-	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14
	COL	-	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2
128Mx16b	ROW	A13	A12	A11	-	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A13	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2
128Mx8b	ROW	A13	A12	A11	-	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15
	COL	A13	A12	A11	-	-	-	-	AP	A10	A9	A8	A7	A6	A5	A4	A3	A2

- 【注】 1. A31～A0 はバイト単位の物理アドレスビットであり、A31 が MSB 側、A0 が LSB 側を示します。
 2. AP はオートプリチャージオプションを示します。

15.5.10 バンクアドレスの位置調整

SDRAM 構成レジスタの設定によって、SDRAM のデータ幅やカラム数に依存せずに、物理アドレスにおけるバンクアドレス端子の位置を固定することが可能です。また、バンクアドレスの各ビットを、非連続の位置に設定することも可能です。

(1) バンクアドレスを連続アドレスとして使用する場合

連続アドレスとして使用する場合は、BKADM に B'00 を設定します。この場合のバンクアドレスの位置は BKADP にて指定します。バンクアドレスの位置は、カラムアドレスの上位に設定する場合とアドレス位置を指定する場合があります。アドレス位置を指定する場合は、バンクアドレスの下位ビット (BA0) の位置を指定します。

以下では、DDR2-SDRAM で外部バス幅 16bit 時に、16bit 幅 32M × 16bit の SDRAM1 個つないだ例で説明します。

表 15.20 BKADM=B'00、BKADP=B'000000 の場合

種類		BA2	BA1	BA0	MA14	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
16M x 16b	ROW	-	A11	A10	-	-	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL	-	A11	A10	-	-	-	-	AP	-	A9	A8	A7	A6	A5	A4	A3	A2	A1

表 15.21 BKADM=B'00、BKADP=B'001010 の場合

種類		BA2	BA1	BA0	MA14	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
16M×16b	ROW	-	A11	A10	-	-	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL	-	A11	A10	-	-	-	-	AP	-	A9	A8	A7	A6	A5	A4	A3	A2	A1

表 15.22 BKADM=B'00、BKADP=B'001100 の場合

種類		BA2	BA1	BA0	MA14	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
16M×16b	ROW	-	A13	A12	-	-	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A11	A10
	COL	-	A13	A12	-	-	-	-	AP	-	A9	A8	A7	A6	A5	A4	A3	A2	A1

(2) バンクアドレスを非連続アドレスとして使用する場合

非連続アドレスとして使用する場合には、BKADM に B'01 を設定します。この場合の下位のバンクアドレスの位置は BKADP にて、上位のバンクアドレスは BKADB にて指定します。下位のバンクアドレスの位置は、コラムアドレスの上位に設定する場合とアドレス位置を指定する場合があります。アドレス位置を指定する場合は、バンクアドレスの下位ビット (BA0) の位置を指定します。上位のバンクアドレスの位置はアドレス位置を設定できます。アドレス位置を指定する場合は、バンクアドレスの上位ビット (BA1) の位置を指定します。8 バンク品の場合、BA2 は BA1 の上位に位置します。

以下では、DDR2-SDRAM で外部バス幅 16bit 時に、16bit 幅 64M×16bit の SDRAM1 個つないだ例で説明します。

表 15.23 BKADM=B'00、BKADP= B'000000、BKADB= B'000000 の場合

種類		BA2	BA1	BA0	MA14	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
16M×16b	ROW	-	A11	A10	-	-	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12
	COL	-	A11	A10	-	-	-	-	AP	-	A9	A8	A7	A6	A5	A4	A3	A2	A1

表 15.24 BKADM= B'01、BKADP= B'000000、BKADB= B'001101 の場合

種類		BA2	BA1	BA0	MA14	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
16M×16b	ROW	-	A13	A10	-	-	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A12	A11
	COL	-	A13	A10	-	-	-	-	AP	-	A9	A8	A7	A6	A5	A4	A3	A2	A1

表 15.25 BKADM= B'01、BKADP= B'001100、BKADB= B'010000 の場合

種類		BA2	BA1	BA0	MA14	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0
16M×16b	ROW	-	A16	A12	-	-	A24	A23	A22	A21	A20	A19	A18	A17	A15	A14	A13	A11	A10
	COL	-	A16	A12	-	-	-	-	AP	-	A9	A8	A7	A6	A5	A4	A3	A2	A1

(3) バンクアドレス設定組み合わせ

SDRAM 構成設定レジスタのバンクアドレス位置設定に関するビットには、以下の組み合わせ設定が可能です。以下で示された設定以外の設定をしないでください。

表 15.26 バンクアドレス設定組み合わせ

BKADM	BKADP	BKADE
00	000000	000000
00	001010	000000
00	001011	000000
00	001100	000000
01	001010	001101
01	001010	001110
01	001010	001111
01	001010	010000
01	001011	001101
01	001011	001110
01	001011	001111
01	001011	010000
01	001100	001101
01	001100	001110
01	001100	001111
01	001100	010000

15.5.11 SDRAM アクセスとタイミング制約について

本節では、SDRAM の基本アクセスと観測される波形の関係を示した後、SDRAM アクセスと SDRAM タイミングレジスタ 0~2 (DBTR0~DBTR2) の設定による CAS レイテンシ (CL)、tRAS、tRFC、tRCD、tRP、tRRD、tWR、tRTP、tRC、READ-WRITE 間最小間隔、WRITE-READ 間最小間隔の制約の対応を示します。

(1) SDRAM 基本アクセス

本節では基本的な SDRAM アクセスであるリード、ライト、オートリフレッシュ、セルフリフレッシュ動作時に外部バスで観測される波形について説明します。

例として、DDR2-SDRAM の 32 ビットバス幅設定時、1/2/4/8/16 バイトリードを行った場合の波形を図 15.7 に示します。READ コマンドを 1 回だけ発行するシングルリードとなります。この図の例では、バンク A に対するリードアクセス処理が ACT コマンド発行から開始されていますが、もし、ページヒットしている場合には READ コマンド発行からアクセスが開始されます。

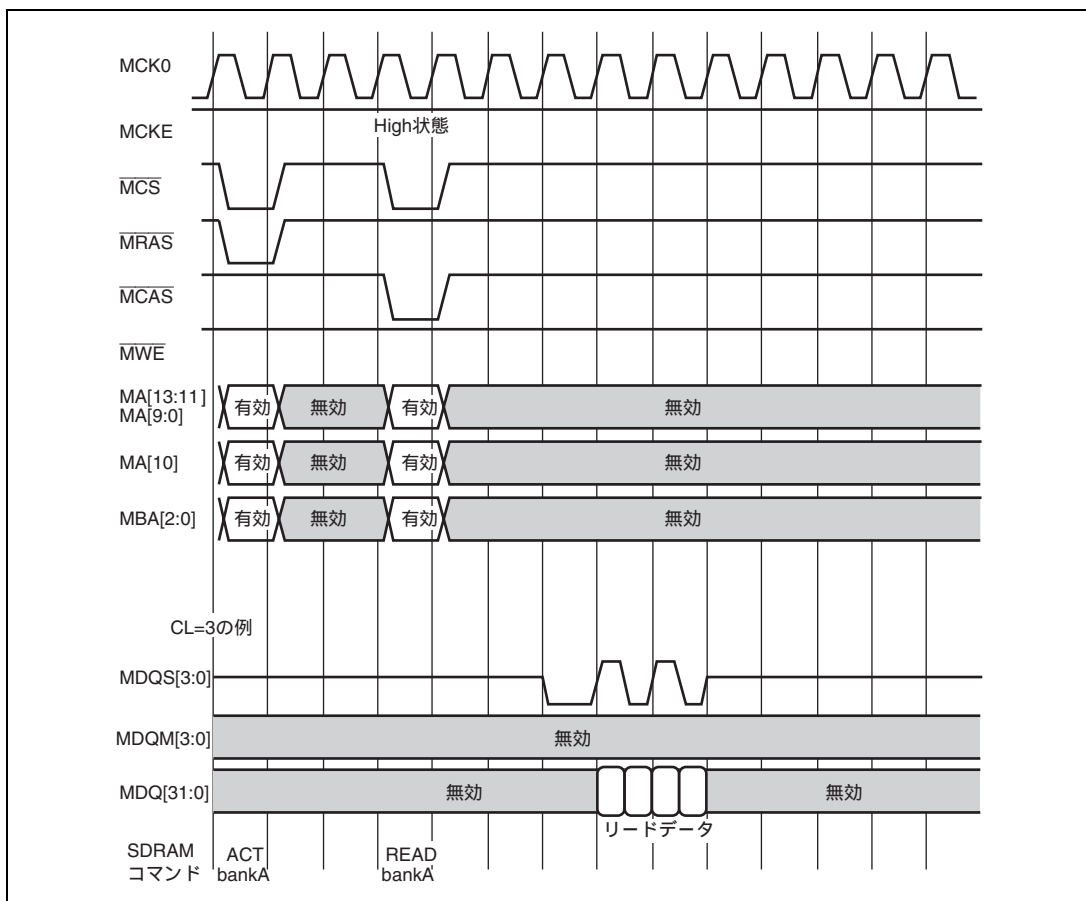


図 15.7 1/2/4/8/16 バイトリード (32 ビットバス幅設定)

DDR2-SDRAM の 32 ビットバス幅設定時、32 バイトリードを行った場合の波形を、図 15.8 に示します。32 バイトリードアクセスを行うため、READ コマンドを 2 回発行しています。この図の例では、バンク A に対するリードアクセス処理が ACT コマンド発行から開始されていますが、もし、ページヒットしている場合には、READ コマンド発行からアクセスが開始されます。

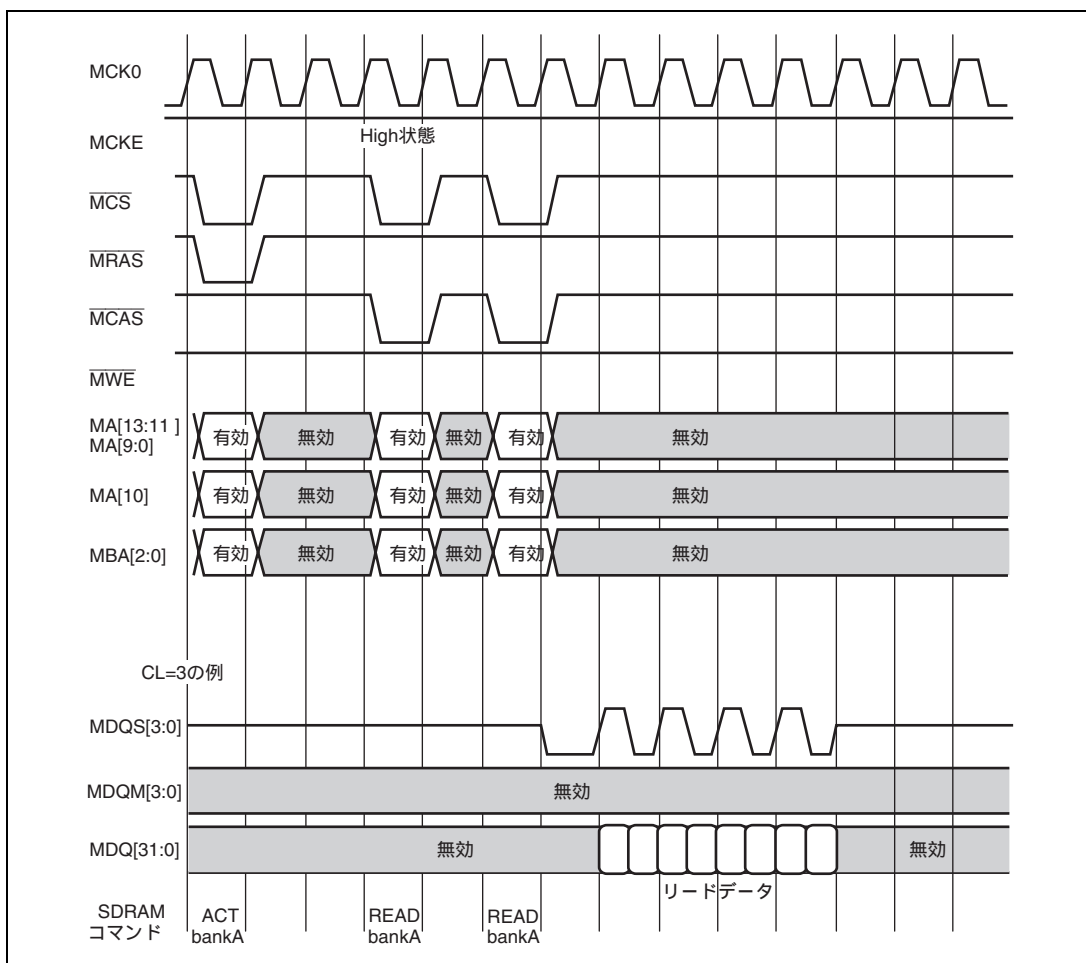


図 15.8 32 バイトリード (32 ビットバス幅設定)

DDR2-SDRAM の 32 ビットバス幅設定時、1/2/4/8/16 バイトライトを行った場合の波形を図 15.9 に示します。WRITE コマンドを 1 回だけ発行するシングルライトとなります。この図の例では、バンク A に対するライトアクセス処理が ACT コマンド発行から開始されていますが、もし、ページヒットしている場合には WRITE コマンド発行からアクセスが開始されます。

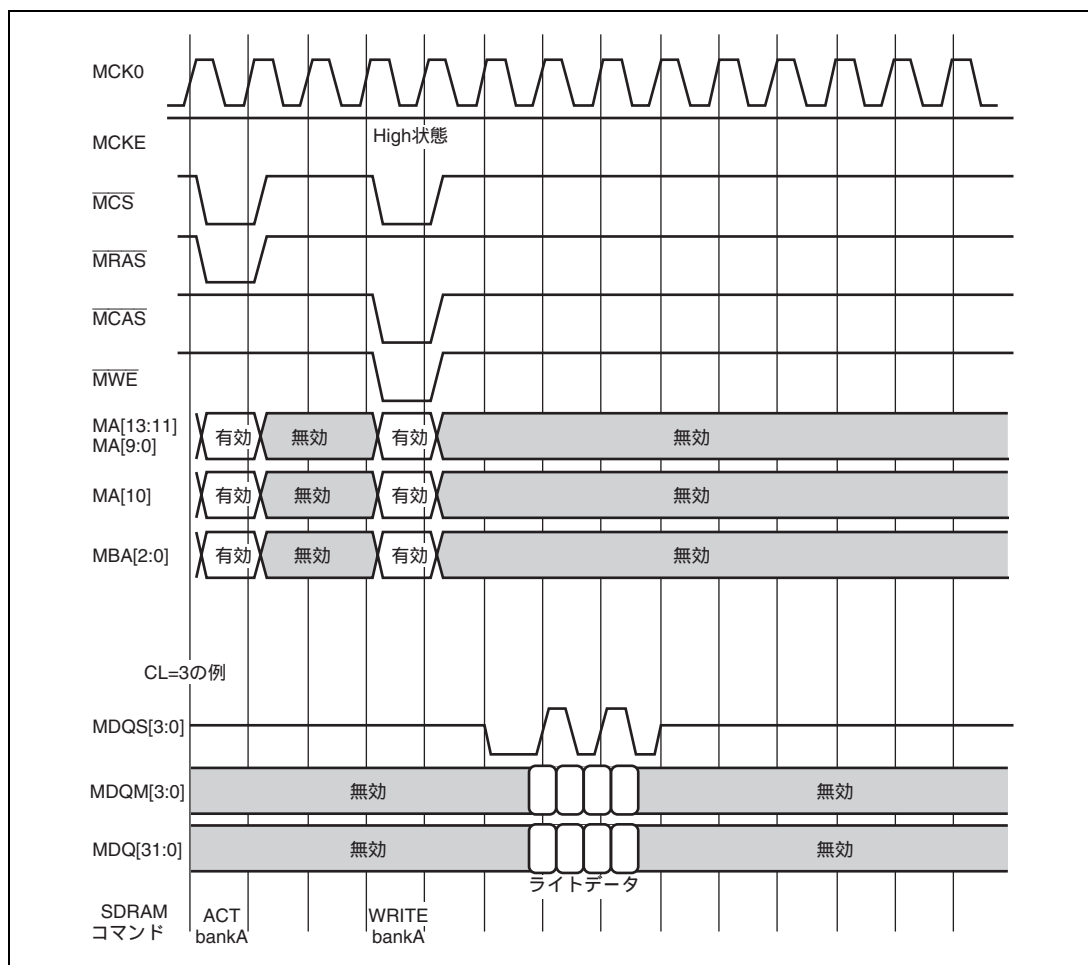


図 15.9 1/2/4/8/16 バイトライト (32 ビットバス幅設定)

DDR2-SDRAM の 32 ビットバス幅設定時、32 バイトライトを行った場合の波形を、図 15.10 に示します。

32 バイトライトアクセスを行うため、WRITE コマンドを 2 回発行しています。この図の例では、バンク A に対するライトアクセス処理が ACT コマンド発行から開始されていますが、もし、ページヒットしている場合には、WRITE コマンド発行からアクセスが開始されます。

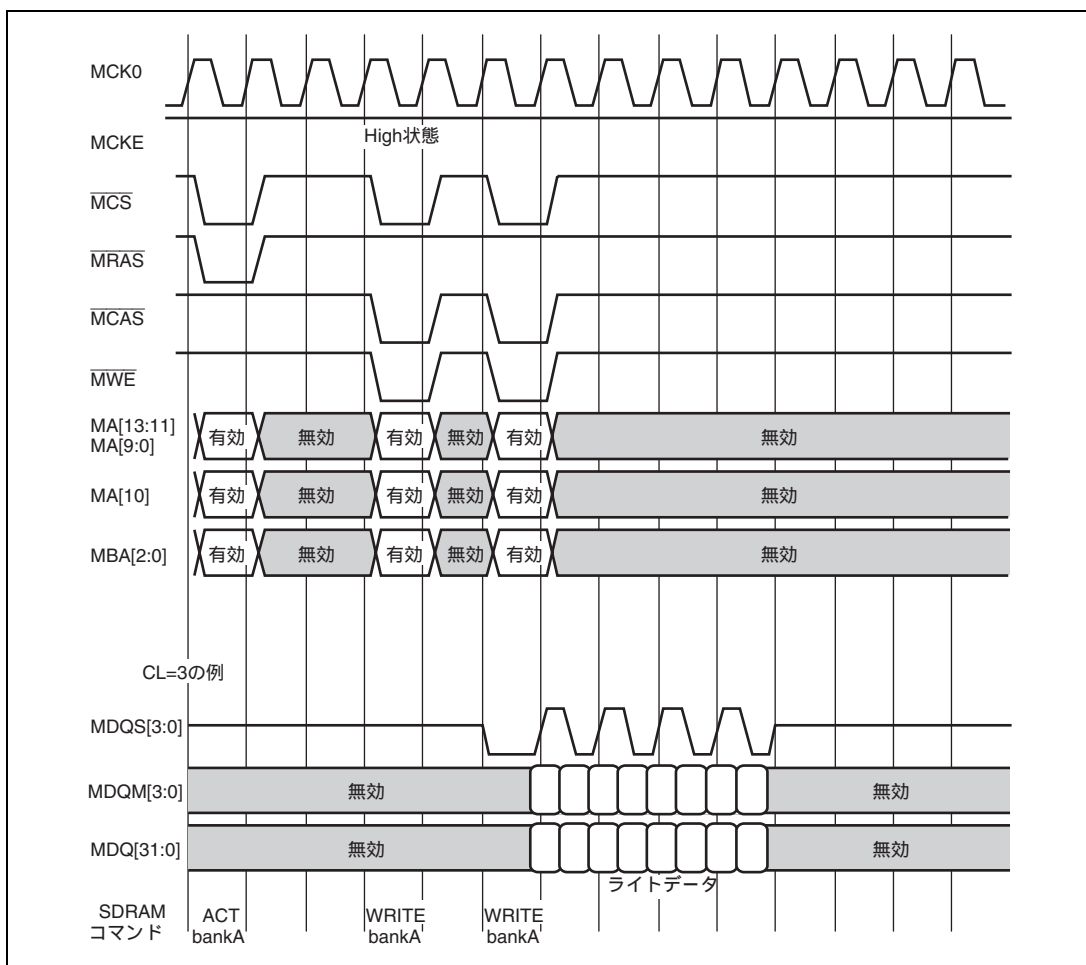


図 15.10 32 バイトライト (32 ビットバス幅設定)

図 15.11 に SDRAM リフレッシュ / パワーダウン制御レジスタ 0、1、2 の設定により発生したオートリフレッシュ動作時の波形を示します。

本メモリコントローラは、REF コマンド発行前に SDRAM のバンクが一つでもアクティベートされている場合、PALL コマンドを発行してから REF コマンド発行を自動的に行います。そのため、オートリフレッシュ動作のために、バンクがすべてプリチャージされていることをソフトウェアで管理する必要はありません。

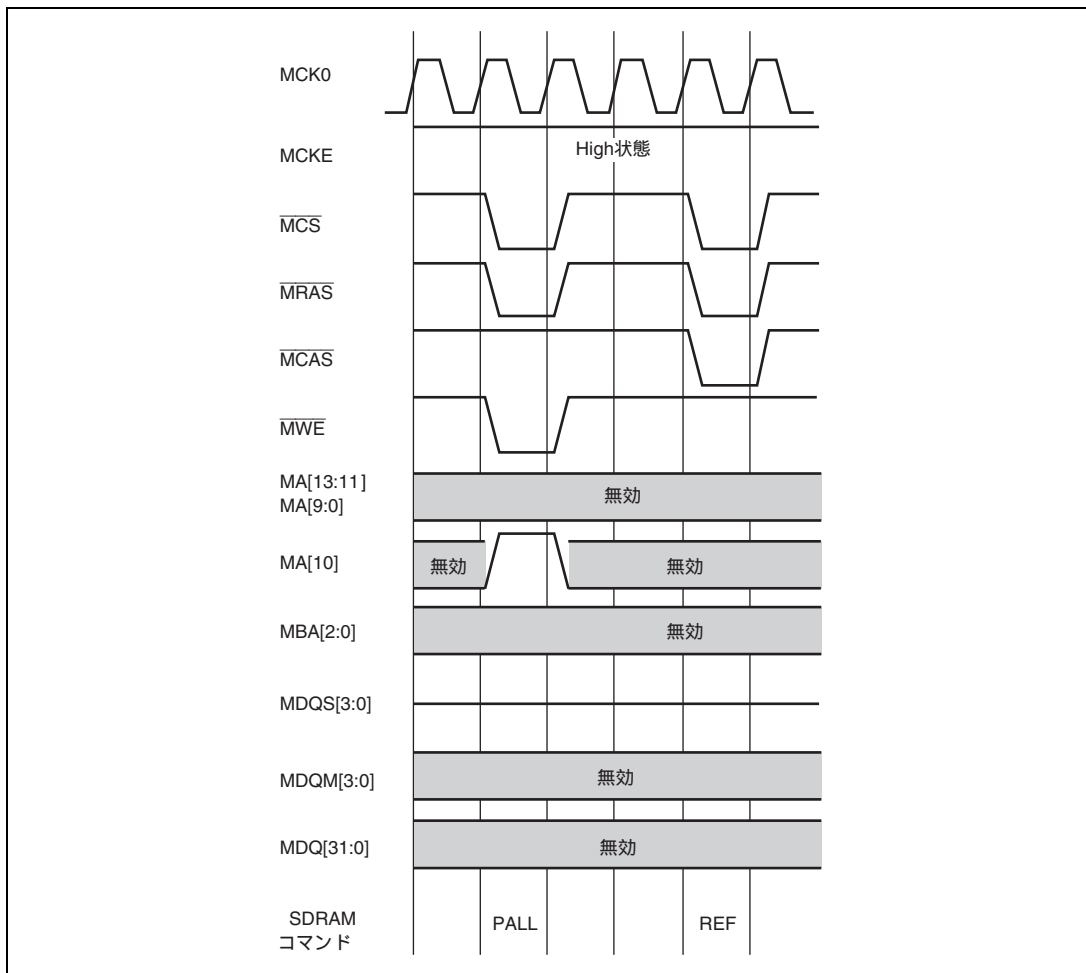


図 15.11 オートリフレッシュ動作

図 15.12 にセルフリフレッシュ動作を示します。セルフリフレッシュ動作を行うためには、シーケンスを守る必要があり、詳細は「15.5.4 セルフリフレッシュ」に記載がありますので参照してください。

「15.5.4 セルフリフレッシュ」のシーケンスとおりに処理を行うと、SDRAM に対して与えるコマンドは図 15.12 のようになります。セルフリフレッシュへ遷移させる前に、PALL コマンドをソフトウェアにて発行します。その後、ソフトウェアで REF コマンドを発行し、ソフトウェアで SLFRSH (セルフリフレッシュ) コマンドを発行します。ソフトウェアでセルフリフレッシュ解除を行うまで SDRAM はセルフリフレッシュ状態になります。ソフトウェアでの SLFRSHX (セルフリフレッシュ解除) コマンド発行後、REF コマンド発行までの時間には SDRAM が要求する制約があり、時間 t_{XSNR} だけ待つ必要があります。

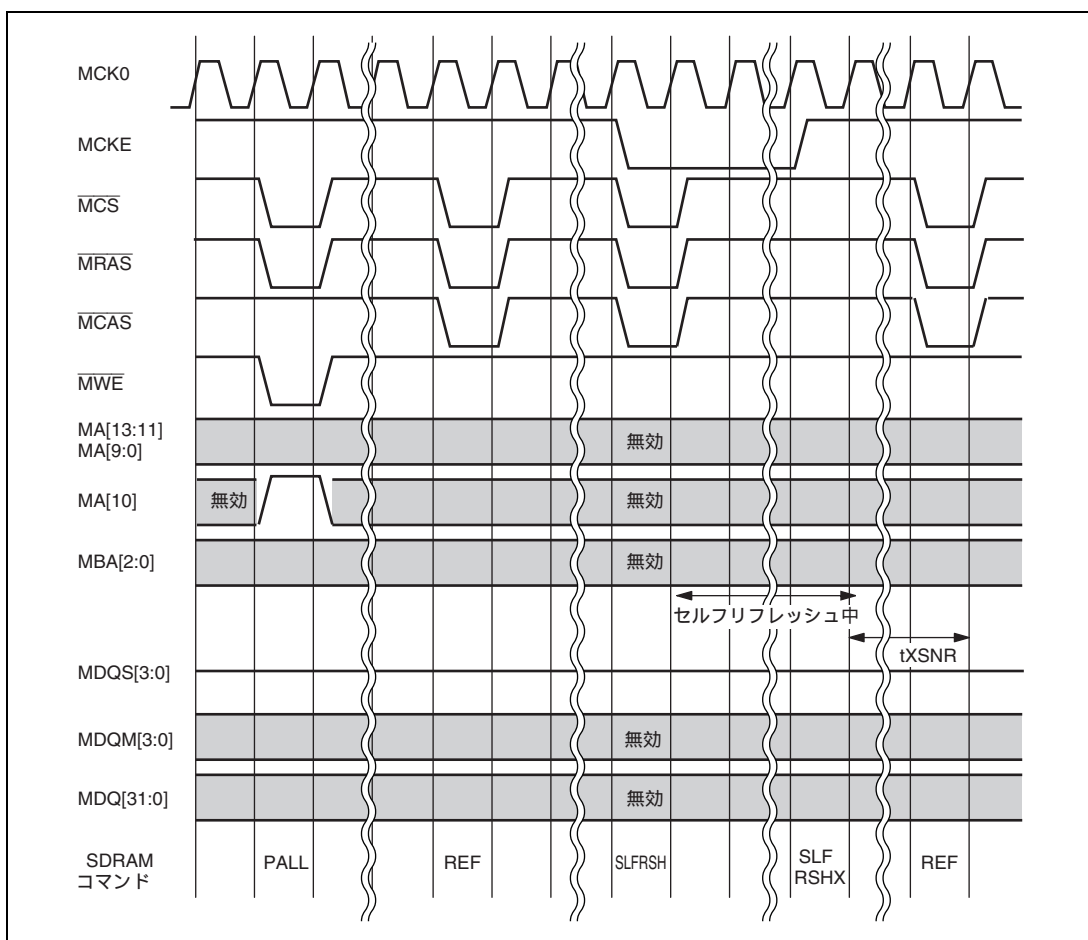


図 15.12 セルフリフレッシュ動作

(2) タイミング制約について

図 15.13 に CL、tRAS、tRCD、tRP の設定値とコマンド発行の関係を示します。図 15.14 には tRRD、tRTP の関係、図 15.15 には tWR の関係、図 15.16 には tRC の関係、図 15.17 には READ-WRITE 間の関係、図 15.18 には WRITE-READ 間の関係、図 15.19 には tRFC の関係を示しています。

図 15.13 は、バンク A が開かれている状態で同じバンク A に対するリードアクセスがありページミスが発生した場合の動作に対応しています。PRE コマンドと ACT コマンド間の制約 tRP、ACT コマンドと READ コマンド間の制約 tRCD、ACT コマンドと PRE コマンド間の制約 tRAS が関係します。本メモリコントローラは各制約を満たすまでコマンドの発行を延期します。

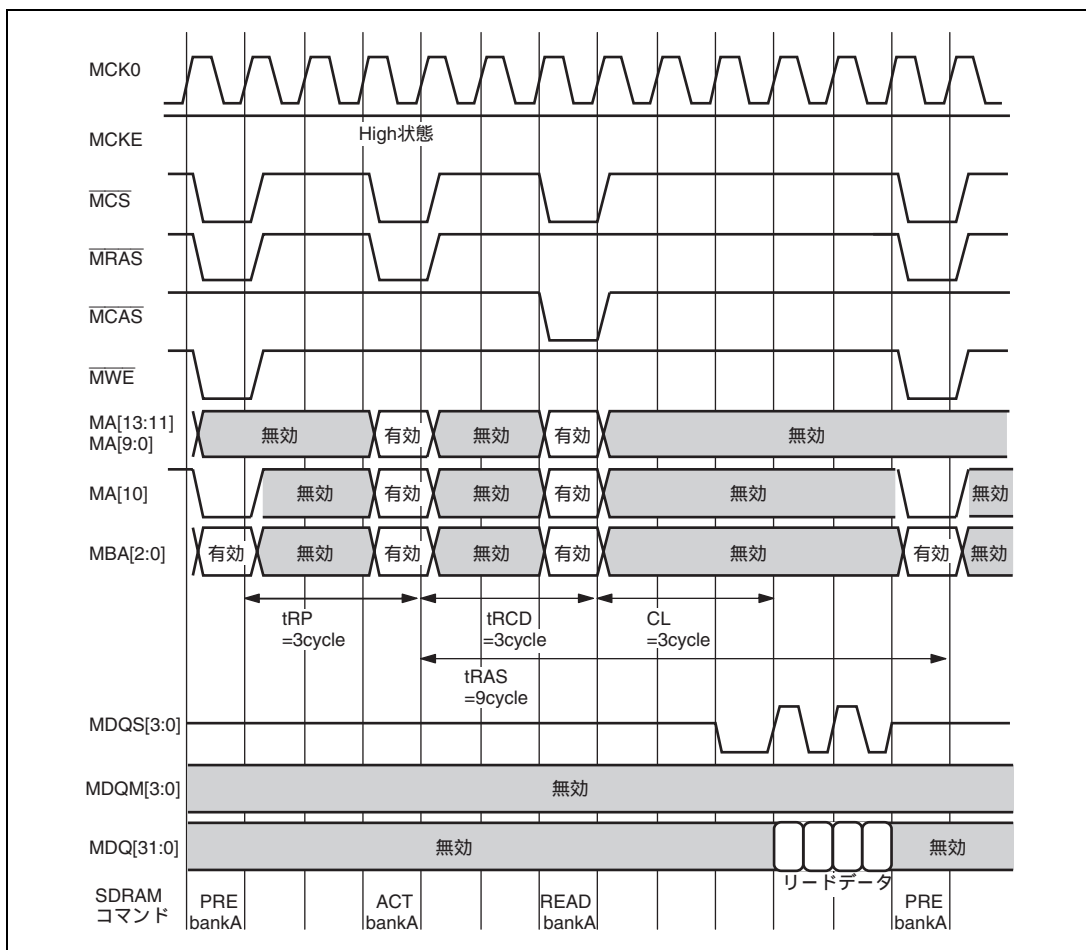


図 15.13 tRP、tRCD、CL、tRAS について

図 15.14 は、バンク A、B のページが共に閉じており、バンク C のページが開かれてページヒットしている場合を示しています。まずバンク A の ACT コマンド発行から開始し、 t_{RRD} 時間制約を満たした後、バンク B の ACT コマンドを発行します。バンク A の ACT コマンド発行から t_{RCD} 時間経過したため、READ コマンド発行が可能になります。READ コマンドはバースト長 4 なので 2 サイクル後に、バンク B に対する READ コマンドを発行することが可能になります。さらに 2 サイクル後、バンク C に対する READ コマンドを発行します。ただし、次のリクエストはバンク C を閉じる必要のあるアクセスなので、 t_{RTP} 時間経過後に PRE コマンドを発行しています。

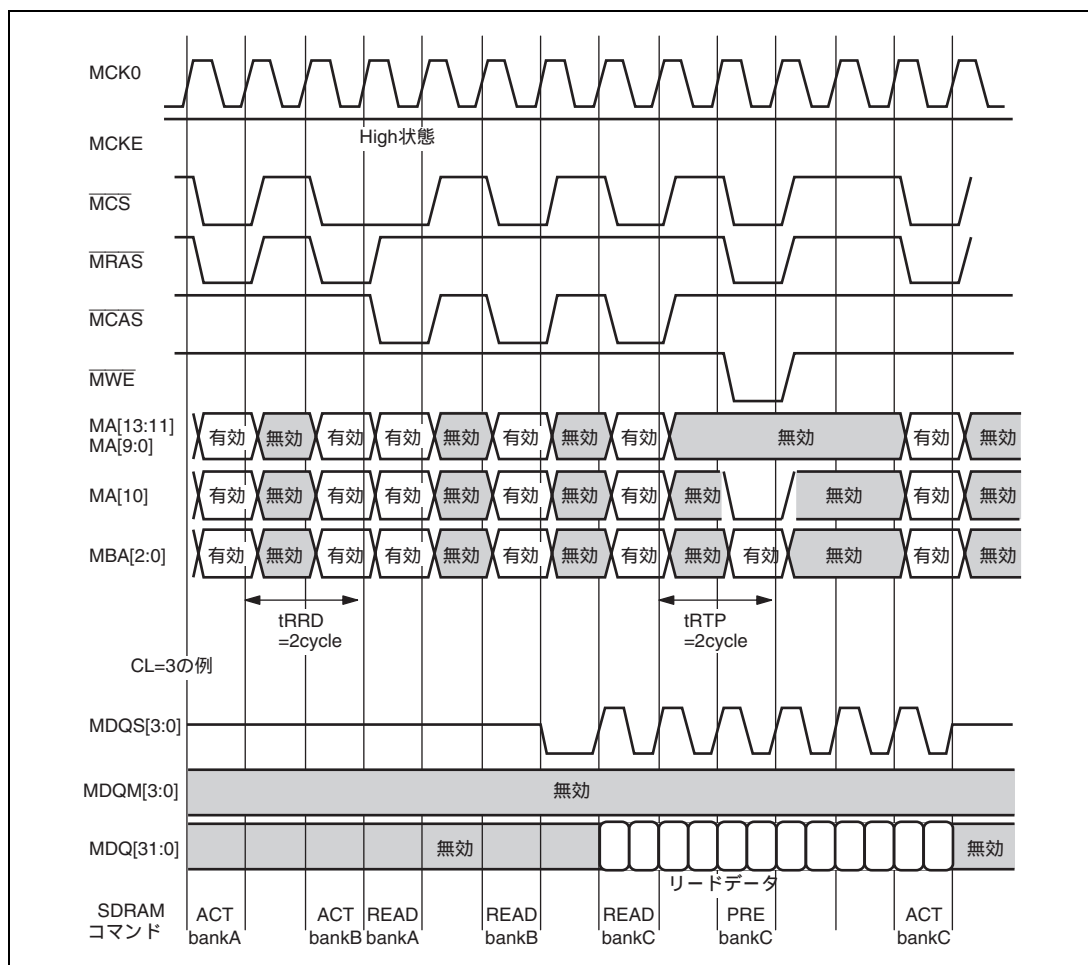


図 15.14 t_{RRD} 、 t_{RTP} について

図 15.15 は、ライトリクエスト後にバンク B を閉じる必要のあるアクセスが生じた場合を示しています。WRITE コマンド発行後に、PRE コマンド発行のためには、ライトデータが出力されてから t_{WR} 時間以上経過を待つ必要があります。

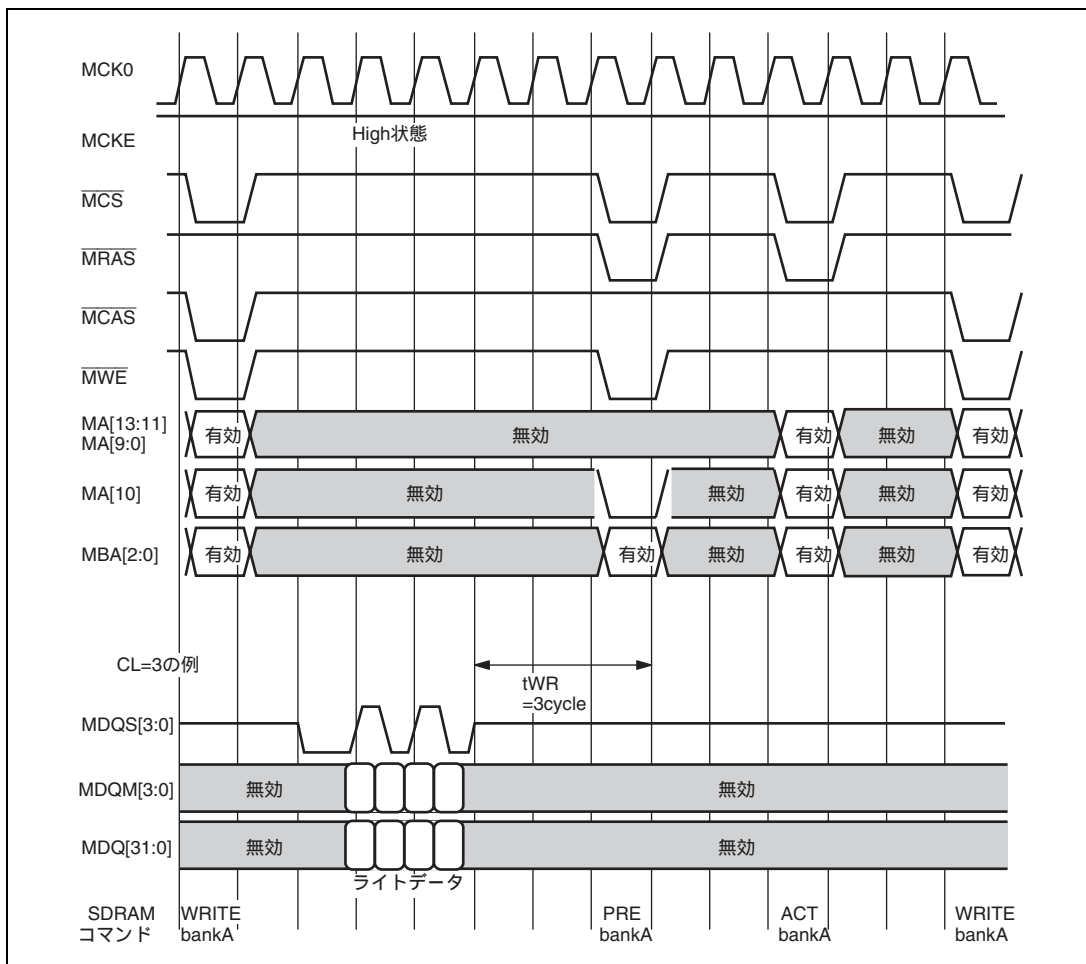


図 15.15 t_{WR} について

図 15.16 は、ページが閉じられていたバンク A のリードアクセスの後、オートリフレッシュを行う場合の例です。バンク A に対して ACT コマンドと READ コマンドを発行してデータリードを行った後、オートリフレッシュを行うため、PALL コマンドを使いすべてのバンクを閉じる必要があります。PALL コマンド発行のためには、 t_{RAS} 時間制約を満たす必要があり、それまで PALL コマンド発行が延期されます。その後、REF コマンドを発行する際、 t_{RP} と t_{RC} 時間を同時に満たす必要があります。それらの制約がすべて満たされた際に、REF コマンドが発行されオートリフレッシュが行われます。

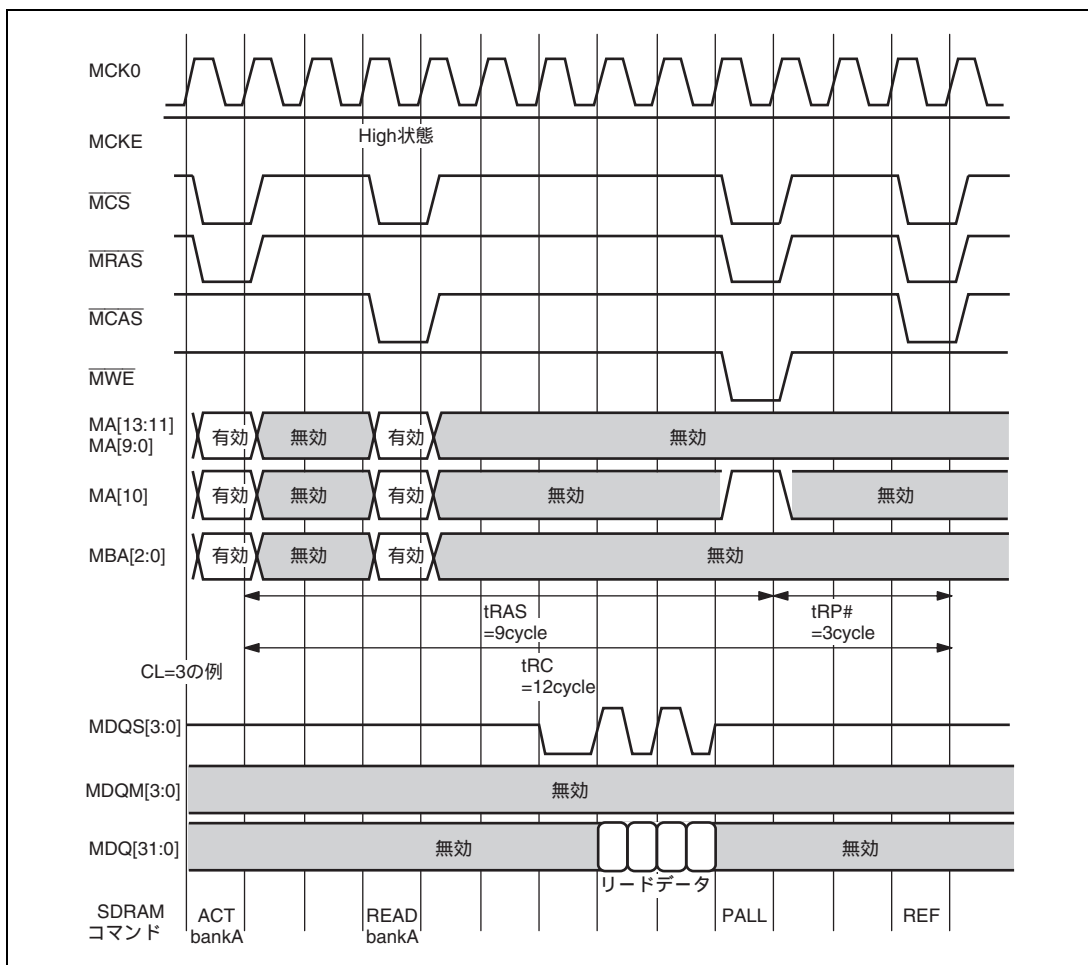
図 15.16 t_{RC} について

図 15.17 は READ コマンド発行後、WRITE コマンドを発行した場合の例です。本メモリコントローラは、READ コマンド発行後、WRITE コマンド発行のために、最低 RDWR で規定した時間分経過するのを待ちます。

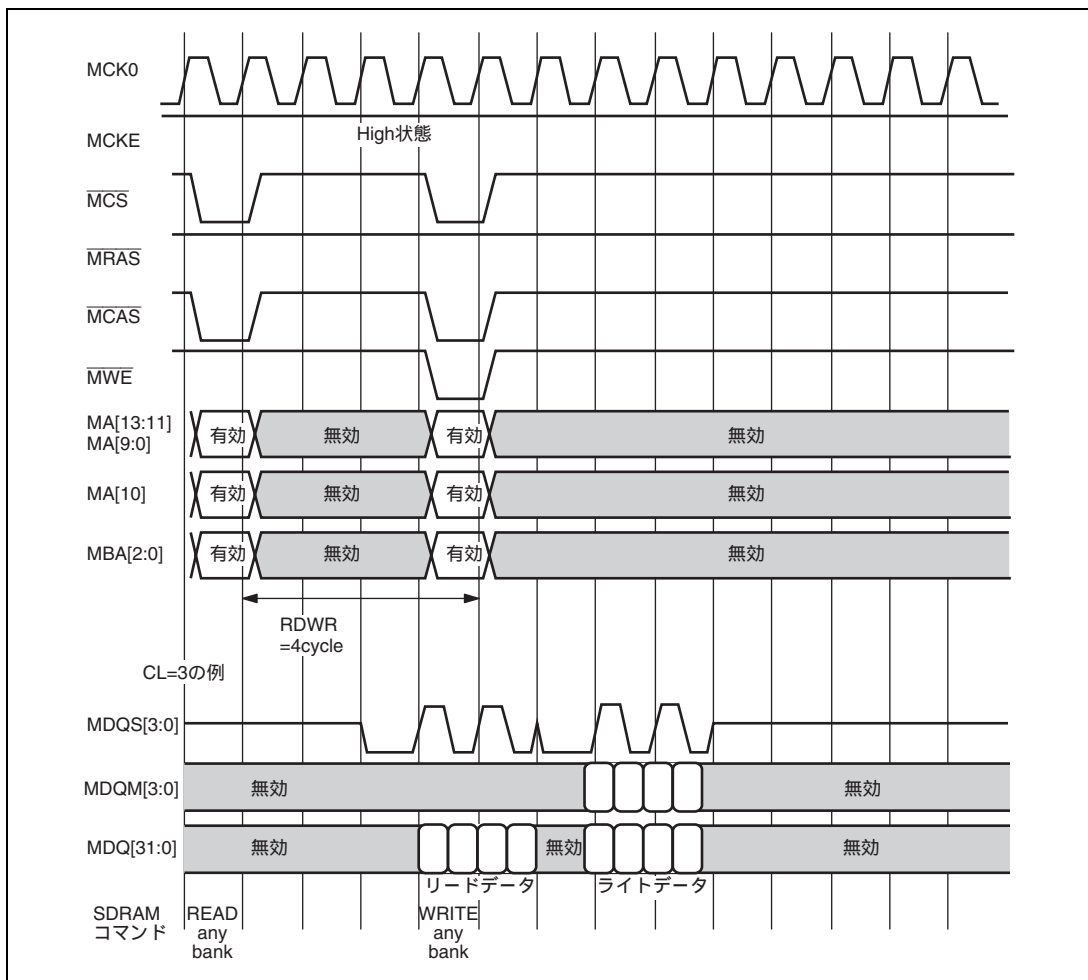


図 15.17 READ-WRITE 間最小間隔について

図 15.18 は WRITE コマンド発行後、READ コマンドを発行した場合の例です。本メモリコントローラは、WRITE コマンド発行後、READ コマンド発行のために、最低 WRRD で規定した時間分経過するのを待ちます。

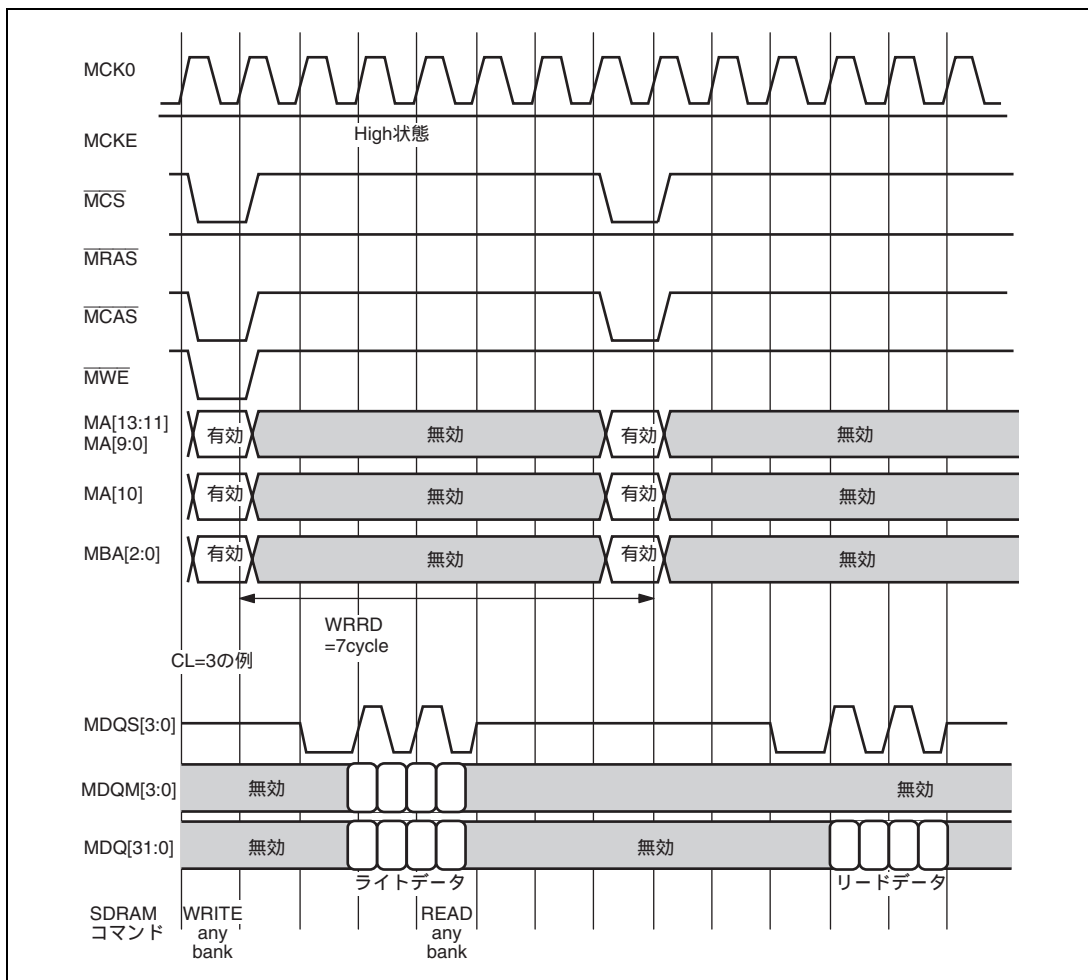


図 15.18 WRITE-READ 間最小間隔について

図 15.19 は REF コマンド発行後、READ リクエストが発生した場合の動作例です。本コントローラは REF コマンド発行後、tRFC で規定した時間分、ACT コマンド発行を待ちます。

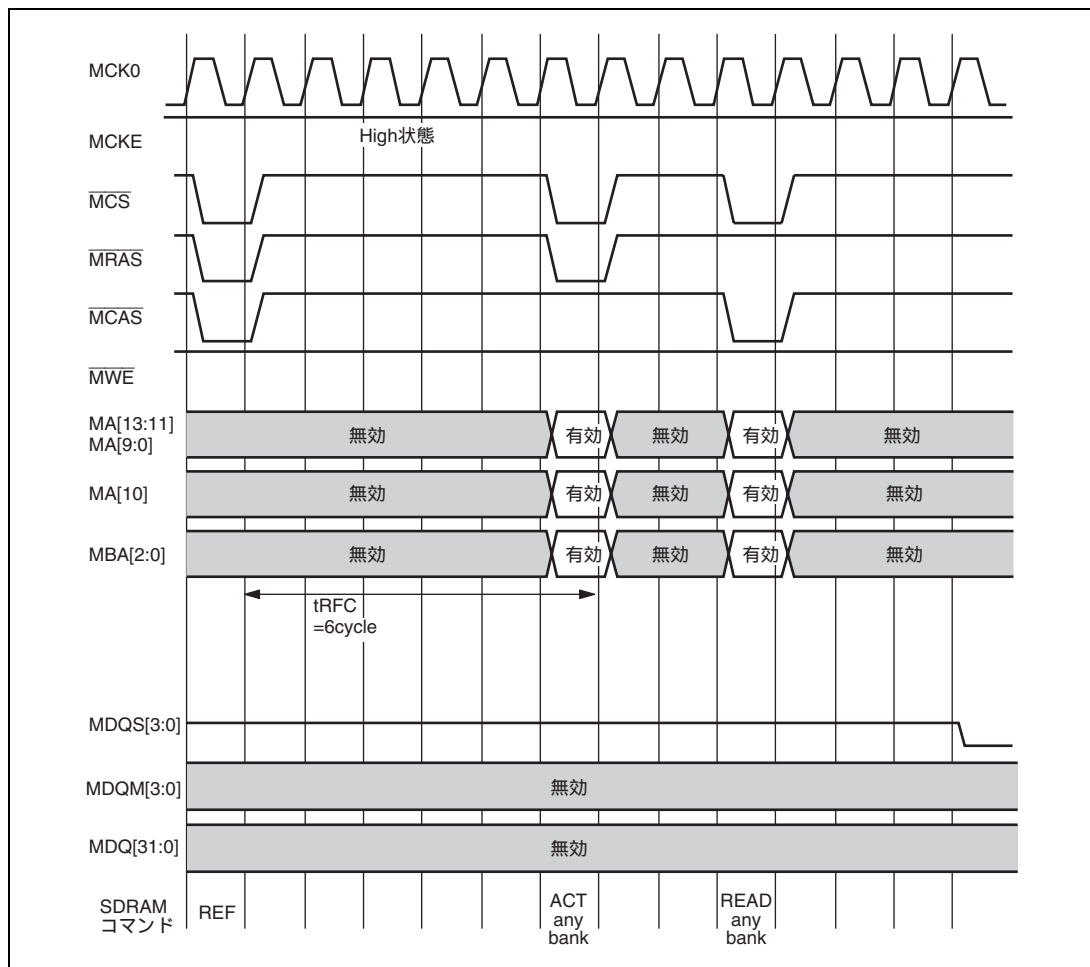


図 15.19 tRFC について

15.5.12 初期化およびセルフリフレッシュ解除時などでの時間確保方法

DBSC のレジスタ設定により初期化設定を行ったり、セルフリフレッシュ解除を行う際に、SDRAM の仕様から規定時間の経過を待つ必要があります。その待ち方の一例として DBSC ステータスレジスタ (DBSTATE) のリードを行う方法があります。DBSC ステータスレジスタ (DBSTATE) のリードを実行すると、メモリクロックで最低 8 サイクル分時間が経過します。166MHz 動作であれば、1 回の DBSTATE の読み出しで 48ns 程度時間が経過します。これを利用して、リードアクセスを必要回数繰り返すことにより時間の確保が可能です。

15.5.13 MCKE 信号の動作について

MCKE 信号の動作を図 15.20 を用いて説明します。

DDR2-SDRAM 使用時は MSLD 端子をローレベル、Mobile-DDR-SDRAM 使用時は MSLD 端子をハイレベルに固定することにより、各 SDRAM の要求する MCKE 端子のレベルが出力されます。

パワーオンリセット解除後、CKE 設定レジスタ (DBCCKCNT) の CKEEN ビットに B'1 を書き込むことにより、MCKE 信号はイネーブル状態であるハイレベル出力になります。この後、DBSC の状態遷移に従って MCKE 端子は変化し、セルフリフレッシュやパワーダウン、ディープパワーダウンの際にローレベル出力となります。

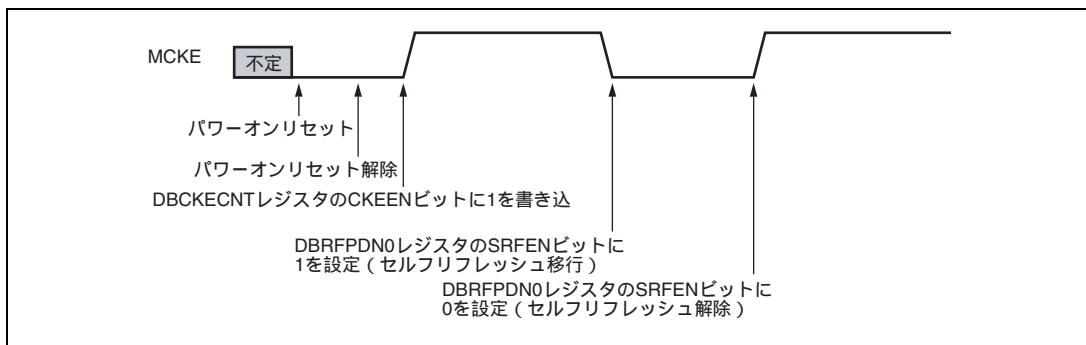


図 15.20 MCKE 信号動作 (MSLD がローレベルのとき)

15.6 使用上の注意事項

15.6.1 8バンク品 DDR2-SDRAM 使用上の注意事項

DDR2-SDRAM の規格から、8バンク品には同時にアクティベートできるバンク数に制約があります。

この制約は、アクティベートしておくバンク数が常に4バンクを超えなければ守ることができます。この制約を守るため、本メモリコントローラは、 $(BA2,BA1,BA0)=(1,X,Y)$ と $(0,X,Y)$ は同じバンクに対するアクセスとして取り扱います。この扱いにより同時にアクティベートされるバンク数は4までとなります。動作例として、 $(BA2,BA1,BA0)=(0,0,0)$ のバンクに対応するページが開かれており、次に $(BA2,BA1,BA0)=(1,0,0)$ のアクセスが生じた場合を考えます。本メモリコントローラは $(BA2,BA1,BA0)=(0,0,0)$ に対応するバンクのページをPREコマンドにより閉じてから、 $(BA2,BA1,BA0)=(1,0,0)$ に対応するバンクに対しACTコマンドを与えてページを開き、アクセスを行います。

本コントローラは上記の制御を行うため、同時に動作するプログラムを $(BA2,BA1,BA0)=(1,X,Y)$ と $(0,X,Y)$ になるアドレス領域に配置すると、ページミスが多く発生する場合があります。

15.6.2 SDRAM に対する ODT 制御信号出力に関する注意事項

本コントローラから SDRAM に対して ODT 制御信号を出力する場合には、下記の注意点があります。

- SDRAMへODT制御信号を出力する場合、CASレイテンシはDDRクロックで最低3サイクル、かつ、SDRAM タイミングレジスタ3のMODT信号アサート期間設定ビット (ODTL) を2サイクルに設定してください。図 15.21に示すように、MODT信号をアサートします。

なお、本コントローラは t_{AOND} が 2 サイクル、 t_{AOFD} が 2.5 サイクルのメモリのみサポートしています。

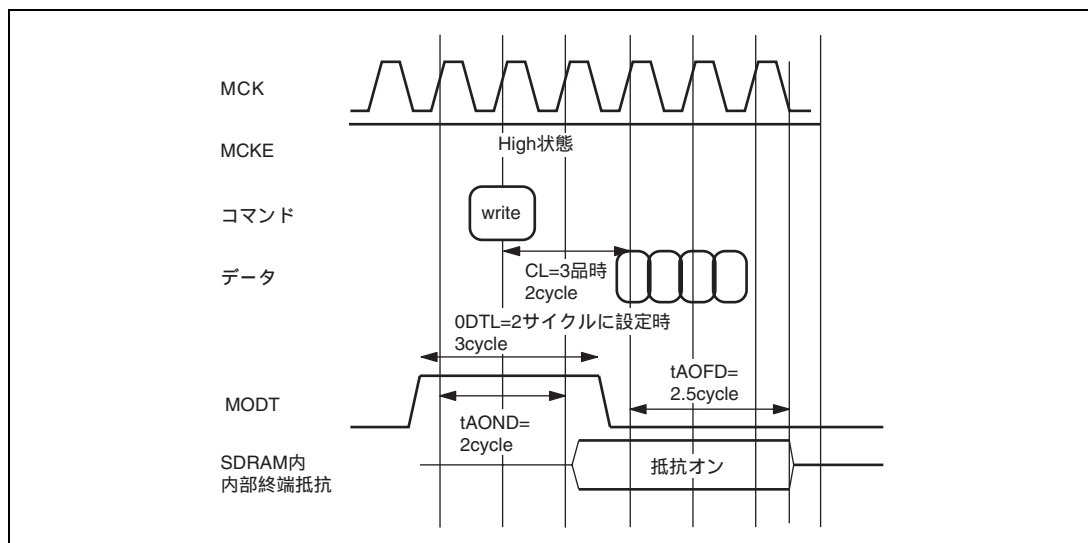


図 15.21 CL=3 のときの ODT 制御信号

15.6.3 低消費電力モードとクロック周波数変更時の注意事項

DBSCのクロック停止または周波数変更時には、事前にSDRAMをセルフリフレッシュモードに移行させてください。この場合、セルフリフレッシュを解除する際にDDR-PHY部の初期化が必要です。「15.5.4 セルフリフレッシュ」の手順に従ってセルフリフレッシュモードへの移行、解除を行ってください。

上記の手順が必要になるのは以下の場合です。

- ソフトウェアスタンバイ、R-スタンバイ、U-スタンバイの各モード。詳細は「第18章 リセット、低消費電力モード」を参照してください。
- PLL通倍率やS クロック分周率を変更する場合。詳細は「第17章 クロックパルス発振器 (CPG)」を参照してください。

16. ダイレクトメモリアクセスコントローラ (DMAC)

本 LSI は、ダイレクトメモリアクセスコントローラを 2 モジュール (DMAC0/1) 内蔵しています。

DMAC0/1 は、独立したバスマスタとして動作し、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップド外部デバイス、内蔵周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。

16.1 特長

DMAC0/1 は、それぞれ下記の特長があります。

- チャンネル数：各モジュールごとに6チャンネル (合計12チャンネル)
- アドレス空間：アーキテクチャ上は4Gバイト
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、8バイト、16バイト、32バイト
- 最大転送回数：16,777,216回
- アドレスモード：デュアルアドレスモード
- 転送要求：
 - 外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの3種類から選択可能。
 - 内蔵周辺モジュールリクエストを発行できるものは、以下のモジュールです。
SCIF0~SCIF2、SCIFA3~SCIFA5、MSIOF0/1、SDHI0/1、MMCIF、TSIF、IrDA、USB0/1
- バスモード：
 - サイクルスチールモード (通常モードとインタミットモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送ハーフエンド時およびデータ転送終了時、また、アドレスエラー発生時にCPUへ割り込み要求を発生可能
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能 (DMAC0のチャンネル0およびチャンネル1)
- 転送要求受け付け信号：DACKは独立にアクティブレベルを設定可能 (DMAC0のチャンネル0およびチャンネル1)

DMAC のブロック図を図 16.1 に示します。

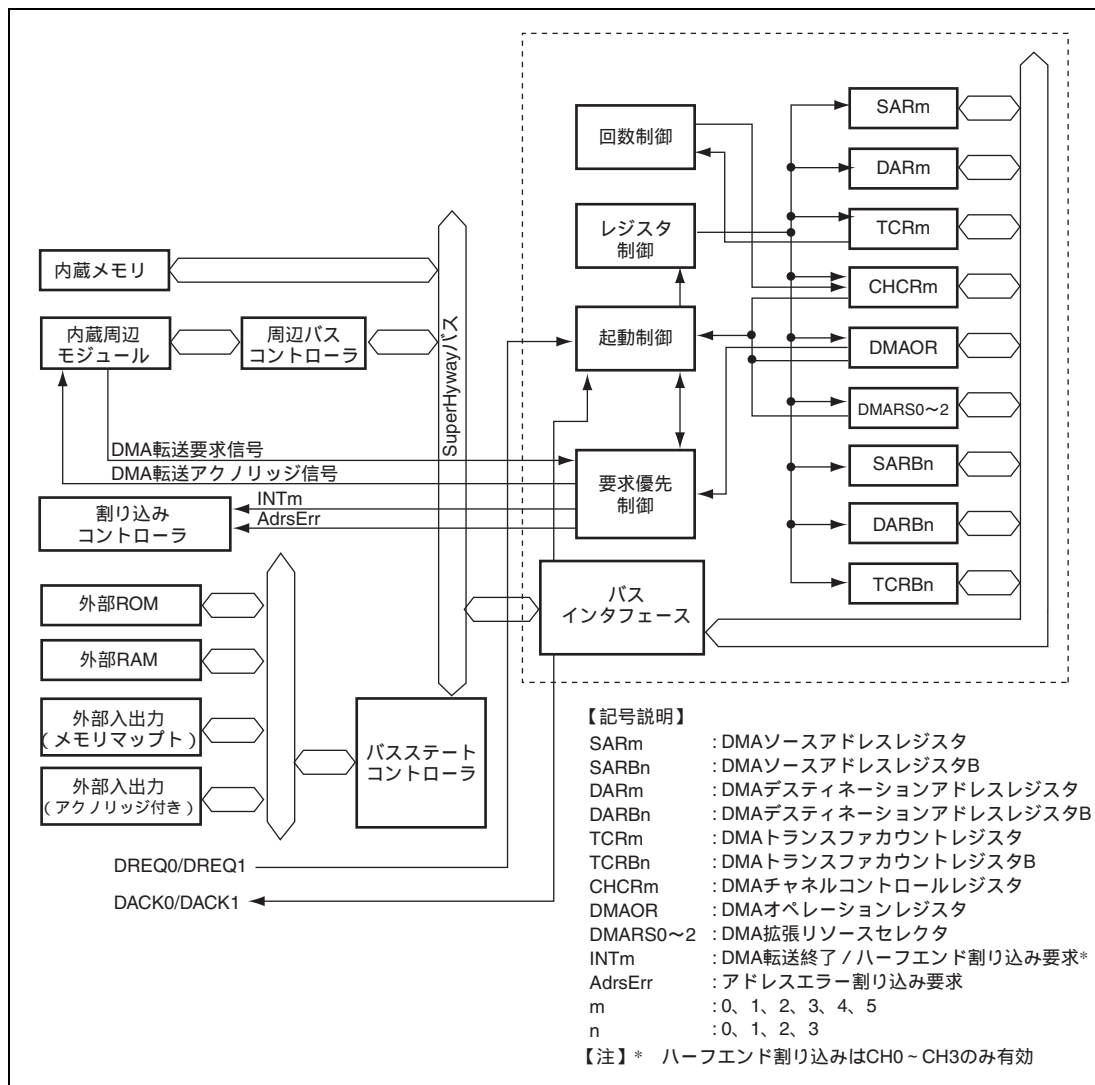


図 16.1 DMAC のブロック図

16.2 入出力端子

DMAC0 は、外部バス用に 2 チャンネル分の端子 (チャンネル 0 およびチャンネル 1) を持ちます。外部バスに接続する端子の構成を表 16.1 に示します。なお、DMAC1 は、外部バス用の端子を持ちません。

表 16.1 外部バスに対する端子構成

端子名	機能	入出力	説明
DREQ0	DMA 転送要求	入力	外部デバイスから DMAC0 のチャンネル 0 への DMA 転送要求入力
DACK0	DMA 転送要求受け付け	出力	DMAC0 のチャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力
DREQ1	DMA 転送要求	入力	外部デバイスから DMAC0 のチャンネル 1 への DMA 転送要求入力
DACK1	DMA 転送要求受け付け	出力	DMAC0 のチャンネル 1 から外部デバイスへの DMA 転送要求受け付け出力

16.3 レジスタの説明

DMAC0/1 のレジスタ構成を表 16.2 に示します。また、各処理モードにおけるレジスタの状態を表 16.3 に示します。各チャンネルのレジスタについては、チャンネル 0 の SAR は SAR_0 のように表記しています。

表 16.2 DMAC レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
DMA0 ソースアドレスレジスタ_0	DMA0_SAR_0	R/W	H'FE00 8020	32
DMA0 デスティネーションアドレスレジスタ_0	DMA0_DAR_0	R/W	H'FE00 8024	32
DMA0 トランスファカウントレジスタ_0	DMA0_TCR_0	R/W	H'FE00 8028	32
DMA0 チャンネルコントロールレジスタ_0	DMA0_CHCR_0	R/W	H'FE00 802C	32
DMA0 ソースアドレスレジスタ_1	DMA0_SAR_1	R/W	H'FE00 8030	32
DMA0 デスティネーションアドレスレジスタ_1	DMA0_DAR_1	R/W	H'FE00 8034	32
DMA0 トランスファカウントレジスタ_1	DMA0_TCR_1	R/W	H'FE00 8038	32
DMA0 チャンネルコントロールレジスタ_1	DMA0_CHCR_1	R/W	H'FE00 803C	32
DMA0 ソースアドレスレジスタ_2	DMA0_SAR_2	R/W	H'FE00 8040	32
DMA0 デスティネーションアドレスレジスタ_2	DMA0_DAR_2	R/W	H'FE00 8044	32
DMA0 トランスファカウントレジスタ_2	DMA0_TCR_2	R/W	H'FE00 8048	32
DMA0 チャンネルコントロールレジスタ_2	DMA0_CHCR_2	R/W	H'FE00 804C	32
DMA0 ソースアドレスレジスタ_3	DMA0_SAR_3	R/W	H'FE00 8050	32
DMA0 デスティネーションアドレスレジスタ_3	DMA0_DAR_3	R/W	H'FE00 8054	32
DMA0 トランスファカウントレジスタ_3	DMA0_TCR_3	R/W	H'FE00 8058	32
DMA0 チャンネルコントロールレジスタ_3	DMA0_CHCR_3	R/W	H'FE00 805C	32
DMA0 オペレーションレジスタ	DMA0_DMAOR	R/W	H'FE00 8060	16

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
DMA0 ソースアドレスレジスタ_4	DMA0_SAR_4	R/W	H'FE00 8070	32
DMA0 デスティネーションアドレスレジスタ_4	DMA0_DAR_4	R/W	H'FE00 8074	32
DMA0 トランスファカウントレジスタ_4	DMA0_TCR_4	R/W	H'FE00 8078	32
DMA0 チャンネルコントロールレジスタ_4	DMA0_CHCR_4	R/W	H'FE00 807C	32
DMA0 ソースアドレスレジスタ_5	DMA0_SAR_5	R/W	H'FE00 8080	32
DMA0 デスティネーションアドレスレジスタ_5	DMA0_DAR_5	R/W	H'FE00 8084	32
DMA0 トランスファカウントレジスタ_5	DMA0_TCR_5	R/W	H'FE00 8088	32
DMA0 チャンネルコントロールレジスタ_5	DMA0_CHCR_5	R/W	H'FE00 808C	32
DMA0 ソースアドレスレジスタ_B_0	DMA0_SARB_0	R/W	H'FE00 8120	32
DMA0 デスティネーションアドレスレジスタ_B_0	DMA0_DARB_0	R/W	H'FE00 8124	32
DMA0 トランスファカウントレジスタ_B_0	DMA0_TCRB_0	R/W	H'FE00 8128	32
DMA0 ソースアドレスレジスタ_B_1	DMA0_SARB_1	R/W	H'FE00 8130	32
DMA0 デスティネーションアドレスレジスタ_B_1	DMA0_DARB_1	R/W	H'FE00 8134	32
DMA0 トランスファカウントレジスタ_B_1	DMA0_TCRB_1	R/W	H'FE00 8138	32
DMA0 ソースアドレスレジスタ_B_2	DMA0_SARB_2	R/W	H'FE00 8140	32
DMA0 デスティネーションアドレスレジスタ_B_2	DMA0_DARB_2	R/W	H'FE00 8144	32
DMA0 トランスファカウントレジスタ_B_2	DMA0_TCRB_2	R/W	H'FE00 8148	32
DMA0 ソースアドレスレジスタ_B_3	DMA0_SARB_3	R/W	H'FE00 8150	32
DMA0 デスティネーションアドレスレジスタ_B_3	DMA0_DARB_3	R/W	H'FE00 8154	32
DMA0 トランスファカウントレジスタ_B_3	DMA0_TCRB_3	R/W	H'FE00 8158	32
DMA0 拡張リソースセクタ_0	DMA0_DMARS_0	R/W	H'FE00 9000	16
DMA0 拡張リソースセクタ_1	DMA0_DMARS_1	R/W	H'FE00 9004	16
DMA0 拡張リソースセクタ_2	DMA0_DMARS_2	R/W	H'FE00 9008	16
DMA1 ソースアドレスレジスタ_0	DMA1_SAR_0	R/W	H'FDC0 8020	32
DMA1 デスティネーションアドレスレジスタ_0	DMA1_DAR_0	R/W	H'FDC0 8024	32
DMA1 トランスファカウントレジスタ_0	DMA1_TCR_0	R/W	H'FDC0 8028	32
DMA1 チャンネルコントロールレジスタ_0	DMA1_CHCR_0	R/W	H'FDC0 802C	32
DMA1 ソースアドレスレジスタ_1	DMA1_SAR_1	R/W	H'FDC0 8030	32
DMA1 デスティネーションアドレスレジスタ_1	DMA1_DAR_1	R/W	H'FDC0 8034	32
DMA1 トランスファカウントレジスタ_1	DMA1_TCR_1	R/W	H'FDC0 8038	32
DMA1 チャンネルコントロールレジスタ_1	DMA1_CHCR_1	R/W	H'FDC0 803C	32
DMA1 ソースアドレスレジスタ_2	DMA1_SAR_2	R/W	H'FDC0 8040	32
DMA1 デスティネーションアドレスレジスタ_2	DMA1_DAR_2	R/W	H'FDC0 8044	32
DMA1 トランスファカウントレジスタ_2	DMA1_TCR_2	R/W	H'FDC0 8048	32
DMA1 チャンネルコントロールレジスタ_2	DMA1_CHCR_2	R/W	H'FDC0 804C	32
DMA1 ソースアドレスレジスタ_3	DMA1_SAR_3	R/W	H'FDC0 8050	32
DMA1 デスティネーションアドレスレジスタ_3	DMA1_DAR_3	R/W	H'FDC0 8054	32

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
DMA1 トランスファカウントレジスタ_3	DMA1_TCR_3	R/W	H'FDC0 8058	32
DMA1 チャネルコントロールレジスタ_3	DMA1_CHCR_3	R/W	H'FDC0 805C	32
DMA1 オペレーションレジスタ	DMA1_DMAOR	R/W	H'FDC0 8060	16
DMA1 ソースアドレスレジスタ_4	DMA1_SAR_4	R/W	H'FDC0 8070	32
DMA1 デスティネーションアドレスレジスタ_4	DMA1_DAR_4	R/W	H'FDC0 8074	32
DMA1 トランスファカウントレジスタ_4	DMA1_TCR_4	R/W	H'FDC0 8078	32
DMA1 チャネルコントロールレジスタ_4	DMA1_CHCR_4	R/W	H'FDC0 807C	32
DMA1 ソースアドレスレジスタ_5	DMA1_SAR_5	R/W	H'FDC0 8080	32
DMA1 デスティネーションアドレスレジスタ_5	DMA1_DAR_5	R/W	H'FDC0 8084	32
DMA1 トランスファカウントレジスタ_5	DMA1_TCR_5	R/W	H'FDC0 8088	32
DMA1 チャネルコントロールレジスタ_5	DMA1_CHCR_5	R/W	H'FDC0 808C	32
DMA1 ソースアドレスレジスタ B_0	DMA1_SARB_0	R/W	H'FDC0 8120	32
DMA1 デスティネーションアドレスレジスタ B_0	DMA1_DARB_0	R/W	H'FDC0 8124	32
DMA1 トランスファカウントレジスタ B_0	DMA1_TCRB_0	R/W	H'FDC0 8128	32
DMA1 ソースアドレスレジスタ B_1	DMA1_SARB_1	R/W	H'FDC0 8130	32
DMA1 デスティネーションアドレスレジスタ B_1	DMA1_DARB_1	R/W	H'FDC0 8134	32
DMA1 トランスファカウントレジスタ B_1	DMA1_TCRB_1	R/W	H'FDC0 8138	32
DMA1 ソースアドレスレジスタ B_2	DMA1_SARB_2	R/W	H'FDC0 8140	32
DMA1 デスティネーションアドレスレジスタ B_2	DMA1_DARB_2	R/W	H'FDC0 8144	32
DMA1 トランスファカウントレジスタ B_2	DMA1_TCRB_2	R/W	H'FDC0 8148	32
DMA1 ソースアドレスレジスタ B_3	DMA1_SARB_3	R/W	H'FDC0 8150	32
DMA1 デスティネーションアドレスレジスタ B_3	DMA1_DARB_3	R/W	H'FDC0 8154	32
DMA1 トランスファカウントレジスタ B_3	DMA1_TCRB_3	R/W	H'FDC0 8158	32
DMA1 拡張リソースセクタ_0	DMA1_DMARS_0	R/W	H'FDC0 9000	16
DMA1 拡張リソースセクタ_1	DMA1_DMARS_1	R/W	H'FDC0 9004	16
DMA1 拡張リソースセクタ_2	DMA1_DMARS_2	R/W	H'FDC0 9008	16

表 16.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
DMA0_SAR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持
DMA0_DAR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持
DMA0_TCR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持
DMA0_CHCR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持
DMA0_DMAOR	初期化	初期化	保持	保持	初期化	初期化	保持
DMA0_SARB_0~3	初期化	初期化	保持	保持	初期化	初期化	保持
DMA1_DARB_0~3	初期化	初期化	保持	保持	初期化	初期化	保持
DMA0_TCRB_0~3	初期化	初期化	保持	保持	初期化	初期化	保持
DMA0_DMARS_0~2	初期化	初期化	保持	保持	初期化	初期化	保持
DMA1_SAR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持
DMA1_DAR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持
DMA1_TCR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持
DMA1_CHCR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持
DMA1_DMAOR	初期化	初期化	保持	保持	初期化	初期化	保持
DMA1_SARB_0~3	初期化	初期化	保持	保持	初期化	初期化	保持
DMA1_DARB_0~3	初期化	初期化	保持	保持	初期化	初期化	保持
DMA1_TCRB_0~3	初期化	初期化	保持	保持	初期化	初期化	保持
DMA1_DMARS_0~2	初期化	初期化	保持	保持	初期化	初期化	保持

16.3.1 DMA ソースアドレスレジスタ_0~5 (DMA0_SAR_0~DMA0_SAR_5、DMA1_SAR_0~DMA1_SAR_5)

SAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.2 DMA ソースアドレスレジスタ B_0~3 (DMA0_SARB_0~DMA0_SARB_3、DMA1_SARB_0~DMA1_SARB_3)

SARB は、読み出し / 書き込み可能な 32 ビットのレジスタで、リピート / リロードモードで SAR に再設定する DMA 転送元のアドレスを指定します。CPU からの SAR への書き込みデータが SARB にも書き込まれます。SAR と異なるアドレスを設定したい場合は、SAR 書き込み後に SARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SARB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SARB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.3 DMA デスティネーションアドレスレジスタ_0~5 (DMA0_DAR_0~DMA0_DAR_5、DMA1_DAR_0~DMA0_DAR_5)

DAR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.4 DMA デスティネーションアドレスレジスタ B_0~3 (DMA0_DARB_0~DMA0_DARB_3、DMA1_DARB_0~DMA1_DARB_3)

DARB は、読み出し / 書き込み可能な 32 ビットのレジスタで、リピート / リロードモードで DAR に再設定する DMA 転送先のアドレスを指定します。CPU からの DAR への書き込みデータが DARB にも書き込まれます。DAR と異なるアドレスを設定したい場合は、DAR 書き込み後に DARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。8 バイト、16 バイト、32 バイトで転送を行う場合は、8 バイト、16 バイト、32 バイト境界に値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DARB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DARB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.5 DMA トランスファカウントレジスタ_0~5 (DMA0_TCR_0~DMA0_TCR_5、DMA1_TCR_0~DMA1_TCR_5)

TCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。

転送回数は、設定値が H'0000 0001 のときは 1 回、H'00FF FFFF のときは 16,777,215 回で、H'0000 0000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

TCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.6 DMA トランスファカウントレジスタ B_0~3 (DMA0_TCRB_0~DMA0_TCRB_3、DMA1_TCRB_0~DMA1_TCRB_3)

TCRB は、読み出し / 書き込み可能な 32 ビットのレジスタで、CPU からの TCR への書き込みデータが TCRB にも書き込まれます。ハーフエンド機能使用時は、ハーフエンド検出に使用する初期値保持レジスタとして用いられます。また、本レジスタは、リピートモードで TCR に再設定する DMA 転送回数を指定します。リロードモードでは、DMA 転送回数の設定および転送回数カウンタとして用いられます。

リロードモードにおいて、下位 16 ビットは転送回数カウンタとして動作し、値が 0 になると SAR / DAR が更新され、TCRB の上位 16 ビットが下位 16 ビットにロードされます。上位 16 ビットは、リロードするまでの転送回数を設定してください。リロードモード使用時、下位側へは上位側と同じ値を設定してください。また、リロードモード使用時は、CHCR の HIE ビットを 0 とし、ハーフエンド機能を使用しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCRB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCRB															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.7 DMA チャンネルコントロールレジスタ_0~5 (DMA0_CHCR_0~DMA0_CHCR_5、DMA1_CHCR_0~DMA1_CHCR_5)

DMA_n_CHCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LCKN	—	—	RPT[2:0]			DA	DO	—	TS[3:2]		HE	HIE	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/(W)*	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]			DL	DS	TB	TS[1:0]		IE	TE	DE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	LCKN	0	R/W	サイクルスチールモードのバス権解放許可ビット サイクルスチールモードの読み出しと書き込みの間に、DMAC 以外のバスマスタにバス権を解放するかどうかを設定します。初期状態では、DMAC がバス権を保持します。このビットを 1 に設定することにより、DMAC 以外のバスマスタのバス要求が受け付けられ、システム全体のバス使用率を上げることが可能です。 本ビットは、サイクルスチールモード時に設定できます。バーストモード時には 1 を設定しないでください。 0: 読み出しと書き込みの間にバス権を解放抑止 1: 読み出しと書き込みの間にバス権を解放許可
29, 28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
27~25	RPT[2:0]	000	R/W	DMA 設定更新指定ビット 本ビットは CHCR_0~3 でのみ有効となります。 000: 通常モード (従来 DMAC 動作) 001: リピートモード: SAR / DAR をリピート領域として使用 010: リピートモード: DAR をリピート領域として使用 011: リピートモード: SAR をリピート領域として使用 100: リザーブ (設定禁止) 101: リロードモード: SAR / DAR をリロード領域として使用 110: リロードモード: DAR をリロード領域として使用 111: リロードモード: SAR をリロード領域として使用

ビット	ビット名	初期値	R/W	説明
24	DA	0	R/W	<p>DREQ 同期入力指定ビット</p> <p>DREQ を非同期信号としてサンプリングするか、同期信号としてサンプリングするかを選択します。本ビットは、DMAC0 の CHCR_0/CHCR_1 でのみ有効となります。</p> <p>0 : DREQ を非同期信号としてサンプリング 1 : DREQ を同期信号としてサンプリング</p>
23	DO	0	R/W	<p>DMA オーバラン</p> <p>DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。本ビットは、DMAC0 の CHCR_0/CHCR_1 でのみ有効です。</p> <p>0 : DREQ をオーバラン 0 で検出 1 : DREQ をオーバラン 1 で検出</p>
22	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
21、20	TS[3:2]	00	R/W	<p>DMA 転送サイズ指定ビット</p> <p>TS[1:0]と合わせて DMA 転送サイズの設定を行います。</p> <p>転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。</p> <p>2 分割転送は、16/32 バイト転送を 1/2 サイズ 2 回に分割して転送するモードです。周辺モジュールで 16 バイト転送する場合は、16 バイト 2 分割を選択してください。</p> <p>転送元または転送先として SAR または DAR に設定するアドレスは、転送サイズとアドレス境界を必ず一致させてください。</p> <p>TS[3:0]</p> <p>0000 : バイト単位 0001 : ワード (2 バイト) 単位 0010 : ロングワード (4 バイト) 単位 0011 : 16 バイト単位転送 0100 : 32 バイト単位転送 0111 : 8 バイト単位転送 1011 : 16 バイト 2 分割 (8 バイト単位 × 2) 1100 : 32 バイト 2 分割 (16 バイト単位 × 2) 上記以外 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
19	HE	0	R/(W)*	<p>ハーフエンドフラグビット</p> <p>HIE (ビット 18) に 1 を設定し、転送回数が転送開始前に設定した TCR の値の 1/2 (右に 1 ビットシフトした値) になると、HE は 1 になります。転送回数が転送開始前に設定した値の 1/2 になる前に、NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットに 1 がセットされてから NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMAOR の DME ビットをクリアして転送を終了させた場合、HE ビットはセットされたままとなります。HE ビットのクリアは、HE ビットの 1 を読み出ししてから 0 を書き込む必要があります。本ビットは CHCR_0~3 でのみ有効となります。HE ビットのクリアを行わない時は常に 1 を書き込んでください。1 の書き込みはフラグの値に影響しません。</p> <p>0 : DMA 転送中または DMA 転送中断で、 TCR > (転送前にセットした TCR) / 2 [クリア条件] HE ビットの 1 読み出し後、0 書き込み</p> <p>1 : TCR (転送前にセットした TCR) / 2</p>
18	HIE	0	R/W	<p>ハーフエンドインタラプトイネーブルビット</p> <p>転送回数が、転送開始前にセットした TCR の値が 1/2 になった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると CPU に対し割り込みを要求します。リロードモード設定時は本ビットを 0 に設定してください。</p> <p>本ビットは CHCR_0~3 でのみ有効となります。</p> <p>0 : TCR = (転送前にセットした TCR) / 2 で割り込み要求禁止 1 : TCR = (転送前にセットした TCR) / 2 で割り込み要求許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。</p> <p>本ビットは、DMAC0 の CHCR_0/CHCR_1 でのみ有効となります。</p> <p>0 : 読み出しサイクルで DACK を出力 (デュアルアドレスモード) 1 : 書き込みサイクルで DACK を出力 (デュアルアドレスモード)</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは、DMAC0 の CHCR_0/CHCR_1 でのみ有効となります。</p> <p>0 : DACK をローアクティブ出力 1 : DACK をハイアクティブ出力</p>

ビット	ビット名	初期値	R/W	説明
15, 14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します。</p> <p>00 : デスティネーションアドレスは固定 16/32 バイト分割転送モード時、1 つ目の転送と 2 つ目の転送でアドレスがインクリメントされます。DAR に設定したアドレスは書き換わらないため、2 回目以降も同じアドレスが出力されます。</p> <p>01 : デスティネーションアドレスは増加 バイト単位転送時は + 1 ワード単位転送時は + 2 ロングワード単位転送時は + 4 8 バイト単位転送時は + 8 16 バイト単位転送時は + 16 32 バイト単位転送時は + 32</p> <p>10 : デスティネーションアドレスは減少 バイト単位転送時は - 1 ワード単位転送時は - 2 ロングワード単位転送時は - 4 8/16/32 バイト単位転送時は設定禁止</p> <p>11 : デスティネーションアドレスは固定 対象モジュール内でのアドレス変化を抑止したい場合に設定します。16/32 バイト分割転送モード時も、アドレスは変化しません。 例) 外部デバイスや周辺モジュールが持つ FIFO を指定するとき</p>
13, 12	SM[1:0]	00	R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します。</p> <p>00 : ソースアドレスは固定 16/32 バイト分割転送モード時、1 つ目の命令と 2 つ目の命令でアドレスがインクリメントされます。SAR に設定したアドレスは書き換わらないため、2 回目以降も同じアドレスが出力されます。</p> <p>01 : ソースアドレスは増加 バイト単位転送時は + 1 ワード単位転送時は + 2 ロングワード単位転送時は + 4 8 バイト単位転送時は + 8 16 バイト単位転送時は + 16 32 バイト単位転送時は + 32</p> <p>10 : ソースアドレスは減少 バイト単位転送時は - 1 ワード単位転送時は - 2 ロングワード単位転送時は - 4 8/16/32 バイト単位転送時は設定禁止</p> <p>11 : ソースアドレスは固定 対象モジュール内でのアドレス変化を抑止したい場合に設定します。16/32 バイト分割転送モード時も、アドレスは変化しません。 例) 外部デバイスや周辺モジュールが持つ FIFO を指定するとき</p>

ビット	ビット名	初期値	R/W	説明
11~8	RS[3:0]	0000	R/W	リソースセレクト 転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。 0000 : 外部リクエスト、デュアルアドレスモード 0100 : オートリクエスト 1000 : DMA 拡張リソースセクタで選択 上記以外 : 設定禁止 【注】外部リクエストの指定は、DMAC0 の CHCR_0/CHCR_1 のみ有効です。その他のチャンネルでは外部リクエストの設定禁止となります。
7 6	DL DS	0 0	R/W R/W	DREQ レベル、DREQ エッジセレクト DREQ 入力の検出方法と、検出レベルを選択します。本ビットは、DMAC0 の CHCR_0/CHCR_1 でのみ有効となります。また、その他のチャンネルおよび DMAC0 の CHCR_0/CHCR_1 でも、転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効となります。 00 : ローレベル検出 01 : 立ち下がりエッジ検出 10 : ハイレベル検出 11 : 立ち上がりエッジ検出
5	TB	0	R/W	トランスファバスモード DMA 転送のバスモードを選択します。 0 : サイクルスチールモード 1 : バーストモード
4、3	TS[1:0]	00	R/W	DMA 転送サイズ指定ビット TS[3:2] (ビット 21、20) の説明を参照してください。
2	IE	0	R/W	インタラプトイネーブル DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>TCR の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。TCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。TE ビットのクリアを行わない時は常に 1 を書き込んでください。1 の書き込みはフラグの値に影響しません。</p> <p>0 : DMA 転送中または DMA 転送の転送中断 [クリア条件] TE ビットの 1 読み出し後、0 書き込み</p> <p>1 : (TCR = 0 により) DMA 転送終了</p>
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。</p> <p>オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 である必要があります。</p> <p>外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 である必要があります。</p> <p>DE ビットを 0 にクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

16.3.8 DMA オペレーションレジスタ (DMA0_DMAOR、DMA1_DMAOR)

DMAOR は、読み出し / 書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMS[3:0]			—	—	PR[1:0]	—	—	—	—	—	—	AE	NMIF	DME	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R/(W)*R/(W)*	R/W

ビット	ビット名	初期値	R/W	説明
15~12	CMS[3:0]	0000	R/W	<p>サイクルスチールモードセレクト</p> <p>サイクルスチールモード時に通常モードとインタミットモードを選択します。インタミットモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードであることが必要です。</p> <p>0000 : 通常モード</p> <p>0010 : インタミットモード 16 外部バスクロック 16 クロックに 1 回 DMA 転送を実行</p> <p>0011 : インタミットモード 64 外部バスクロック 64 クロックに 1 回 DMA 転送を実行</p> <p>0100 : インタミットモード 256 外部バスクロック 256 クロックに 1 回 DMA 転送を実行</p> <p>上記以外 : 設定禁止</p>
11, 10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
9, 8	PR[1:0]	00	R/W	<p>プライオリティモード</p> <p>同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。</p> <p>00 : CH0 > CH1 > CH2 > CH3 > CH4 > CH5</p> <p>01 : CH0 > CH2 > CH3 > CH1 > CH4 > CH5</p> <p>10 : 設定禁止</p> <p>11 : ラウンドロビンモード</p>
7~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	AE	0	R/(W)*	<p>アドレスエラーフラグ</p> <p>DMA 転送中にアドレスエラー割り込みが発生したことを示すフラグです。本ビットは、以下の条件でセットされます。</p> <ul style="list-style-type: none"> • SAR または DAR に設定された値が転送サイズ境界と不一致の場合 • 転送元または転送先が無効空間の場合 • 転送元または転送先がモジュールストップ中の場合 <p>AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットのクリアを行わない時は常に 1 を書き込んでください。1 の書き込みはフラグの値に影響しません。</p> <p>0 : DMAC によるアドレスエラー割り込みなし [クリア条件] AE ビットの 1 読み出し後、0 書き込み</p> <p>1 : DMA 転送中にアドレスエラー割り込み発生</p>
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示すフラグです。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。</p> <p>NMI が入力されたとき、少なくとも実行中の DMA 転送の 1 転送単位までは行われます。DMAC が動作していないときに NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。NMIF ビットのクリアを行わない時は常に 1 を書き込んでください。1 の書き込みはフラグの値に影響しません。</p> <p>0 : NMI 割り込みなし [クリア条件] NMIF ビットの 1 読み出し後、0 書き込み</p> <p>1 : NMI 割り込み発生</p>
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。</p> <p>DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし、転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアするとすべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止</p> <p>1 : 全チャンネルの DMA 転送を許可</p>

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

16.3.9 DMA 拡張リソースセクタ_0~2 (DMA0_DMARS_0~DMA0_DMARS_2、DMA1_DMARS_0~DMA1_DMARS_2)

DMARS は、読み出し / 書き込み可能な 16 ビットレジスタです。DMARS_0 はチャンネル 0 および 1、DMARS_1 はチャンネル 2 および 3、DMARS_2 はチャンネル 4 および 5 の周辺モジュールからの DMA 転送要求元を設定します

表 16.4 以外の MID / RID を設定したときの動作は、保証できません。DMARS からの転送要求は、CHCR_0~5 のリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

• DMARS_0の設定

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C1MID[5:0]					C1RID[1:0]		C0MID[5:0]					C0RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	C1MID[5:0]	000000	R/W	DMA チャンネル 1 転送要求元モジュール ID5~0 (MID) 表 16.4 参照
9、8	C1RID[1:0]	00	R/W	DMA チャンネル 1 転送要求元レジスタ ID1、0 (RID) 表 16.4 参照
7~2	C0MID[5:0]	000000	R/W	DMA チャンネル 0 転送要求元モジュール ID5~0 (MID) 表 16.4 参照
1、0	C0RID[1:0]	00	R/W	DMA チャンネル 0 転送要求元レジスタ ID1、0 (RID) 表 16.4 参照

• DMARS_1の設定

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C3MID[5:0]					C3RID[1:0]		C2MID[5:0]					C2RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	C3MID[5:0]	000000	R/W	DMA チャンネル 3 転送要求元モジュール ID5~0 (MID) 表 16.4 参照
9、8	C3RID[1:0]	00	R/W	DMA チャンネル 3 転送要求元レジスタ ID1、0 (RID) 表 16.4 参照
7~2	C2MID[5:0]	000000	R/W	DMA チャンネル 2 転送要求元モジュール ID5~0 (MID) 表 16.4 参照
1、0	C2RID[1:0]	00	R/W	DMA チャンネル 2 転送要求元レジスタ ID1、0 (RID) 表 16.4 参照

- DMARS_2の設定

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C5MID[5:0]					C5RID[1:0]		C4MID[5:0]					C4RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~10	C5MID[5:0]	000000	R/W	DMA チャンネル 5 転送要求元モジュール ID5~0 (MID) 表 16.4 参照
9、8	C5RID[1:0]	00	R/W	DMA チャンネル 5 転送要求元レジスタ ID1、0 (RID) 表 16.4 参照
7~2	C4MID[5:0]	000000	R/W	DMA チャンネル 4 転送要求元モジュール ID5~0 (MID) 表 16.4 参照
1、0	C4RID[1:0]	00	R/W	DMA チャンネル 4 転送要求元レジスタ ID1、0 (RID) 表 16.4 参照

16.4 動作説明

DMAC は、DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求には、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。バスモードは、バーストモードとサイクルスチールモードを選択することができます。

16.4.1 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方でもできます。

転送要求には、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は、DMA チャネルごとに CHCR の RS[3:0]ビットおよび DMARS0、DMARS1、DMARS2 によって行います。

(1) オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。DMA チャネルごとに、CHCR の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし、CHCR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 (DREQ) によって転送を開始させるモードです。DMAC0 のチャンネル 0 / チャンネル 1 のみ有効です。DMA 転送が許可されているとき (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) に DREQ が入力されると DMA 転送が開始されます。

DREQ をエッジで検出するかレベルで検出するかは、CHCR_0 の DREQ レベル (DL) ビットと DREQ エッジセレクト (DS) ビットで選択します (チャンネル 0 の場合)。転送要求元は、必ずしもデータの転送元か転送先である必要はありません。

DREQ が受け付けられると、DREQ 端子は要求受け付け不可能状態となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使うとき、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合 (オーバラン 0) と、リクエストより 1 つ多い回数の転送を実行して中断する場合 (オーバラン 1) があります。オーバランを 0 にするか 1 にするかは、CHCR_0 の DO ビットで選択します (チャンネル 0 の場合)。

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。DMA 転送要求信号には、表 16.4 に示す転送要求元があります。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE = 1、DME = 1、TE = 0、AE = 0、NMIF = 0) であると、転送要求信号によって転送が実行されます。

転送要求を SCIF の送信データエンプティ転送要求に設定した場合、転送先を当該 SCIF のトランスミットデー

タレジスタとする必要があります。同様に、転送要求を SCIF の受信データフル転送要求に設定した場合、転送元を当該 SCIF のレシーブデータレジスタとする必要があります。これらは表 16.4 に記載の他のモジュールも同様です。

また、内蔵周辺モジュールによっては、受信 FIFO トリガ数を転送要求に設定できます。受信 FIFO トリガ条件が満たされない場合は、受信 FIFO にデータが残ることがありますので、DMA 転送終了後にデータを読み出す必要があります。

なお、内蔵周辺モジュールリクエストに対応するバスモードは、サイクルスチールモードのみです。

表 16.4 内蔵周辺モジュールリクエストの選択

DMARS			DMA 転送要求元	DMA 転送要求信号	転送元	転送先
MID	RID	設定値*				
001000	01	H'21	SCIF0 送信部	TXI (送信 FIFO データエンブティ)	任意	SCFTDR0
	10	H'22	SCIF0 受信部	RXI (受信 FIFO データフル)	SCFRDR0	任意
001001	01	H'25	SCIF1 送信部	TXI (送信 FIFO データエンブティ)	任意	SCFTDR1
	10	H'26	SCIF1 受信部	RXI (受信 FIFO データフル)	SCFRDR1	任意
001010	01	H'29	SCIF2 送信部	TXI (送信 FIFO データエンブティ)	任意	SCFTDR2
	10	H'2A	SCIF2 受信部	RXI (受信 FIFO データフル)	SCFRDR2	任意
001011	01	H'2D	SCIFA3 送信部	TXI (送信 FIFO データエンブティ)	任意	SCAFTDR0
	10	H'2E	SCIFA3 受信部	RXI (受信 FIFO データフル)	SCAFRDR0	任意
001100	01	H'31	SCIFA4 送信部	TXI (送信 FIFO データエンブティ)	任意	SCAFTDR1
	10	H'32	SCIFA4 受信部	RXI (受信 FIFO データフル)	SCAFRDR1	任意
001101	01	H'35	SCIFA5 送信部	TXI (送信 FIFO データエンブティ)	任意	SCAFTDR2
	10	H'36	SCIFA5 受信部	RXI (受信 FIFO データフル)	SCAFRDR2	任意
001110	01	H'39	IrDA 送信部	TBEI (送信バッファエンブティ)	任意	IRIF_UART3
	10	H'3A	IrDA 受信部	RBEI (受信バッファフル)	IRIF_UART4	任意

DMARS			DMA 転送要求元	DMA 転送要求信号	転送元	転送先
MID	RID	設定値*				
010100	01	H'51	MSIOF0 送信部	TXI (送信 FIFO データエンブティ)	任意	SITFDR0
	10	H'52	MSIOF0 受信部	RXI (受信 FIFO データフル)	SIRFDR0	任意
010101	01	H'55	MSIOF1 送信部	TXI (送信 FIFO データエンブティ)	任意	SITFDR1
	10	H'56	MSIOF1 受信部	RXI (受信 FIFO データフル)	SIRFDR1	任意
011100	11	H'73	USB0	USB0 送信部 0	任意	D0FIFO
		H'73		USB0 受信部 0	D0FIFO	任意
011101	11	H'77		USB0 送信部 1	任意	D1FIFO
		H'77		USB0 受信部 1	D1FIFO	任意
101010	11	H'AB	USB1	USB1 送信部 0	任意	D0FIFO
		H'AB		USB1 受信部 0	D0FIFO	任意
101011	11	H'AF		USB1 送信部 1	任意	D1FIFO
		H'AF		USB1 受信部 1	D1FIFO	任意
110000	01	H'C1	SDHI0 チャンネル 1	送信エンブティ転送要求	任意	データレジスタ
	10	H'C2	SDHI0 チャンネル 0	受信フル転送要求	データレジスタ	任意
110001	01	H'C9	SDHI1 チャンネル 1	送信エンブティ転送要求	任意	データレジスタ
	10	H'CA	SDHI1 チャンネル 0	受信フル転送要求	データレジスタ	任意
110011	01	H'CD	MMCIF 送信部	送信エンブティ転送要求	任意	データレジスタ
	10	H'CE	MMCIF 受信部	受信フル転送要求	データレジスタ	任意
111010	10	H'EA	TSIF	受信フル転送要求	TSTSDR	任意

【注】 * DMA 転送要求元を示す設定値 (MID+RID)

16.4.2 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの2種類のモードから選択できます。モードの選択は、DMAOR の PR[1:0]ビットにより行います。

(1) 固定モード

固定モードでは、チャンネルの優先順位は変化しません。

固定モードには、以下に示す2種類があります。

- CH0 > CH1 > CH2 > CH3 > CH4 > CH5
- CH0 > CH2 > CH3 > CH1 > CH4 > CH5

これらの選択は、DMAOR の PR[1:0]ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで、1転送単位(バイト、ワード、ロングワード、8バイト、16バイト単位、または32バイト単位)の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図16.2に示します。なお、リセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 > CH4 > CH5です。

ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

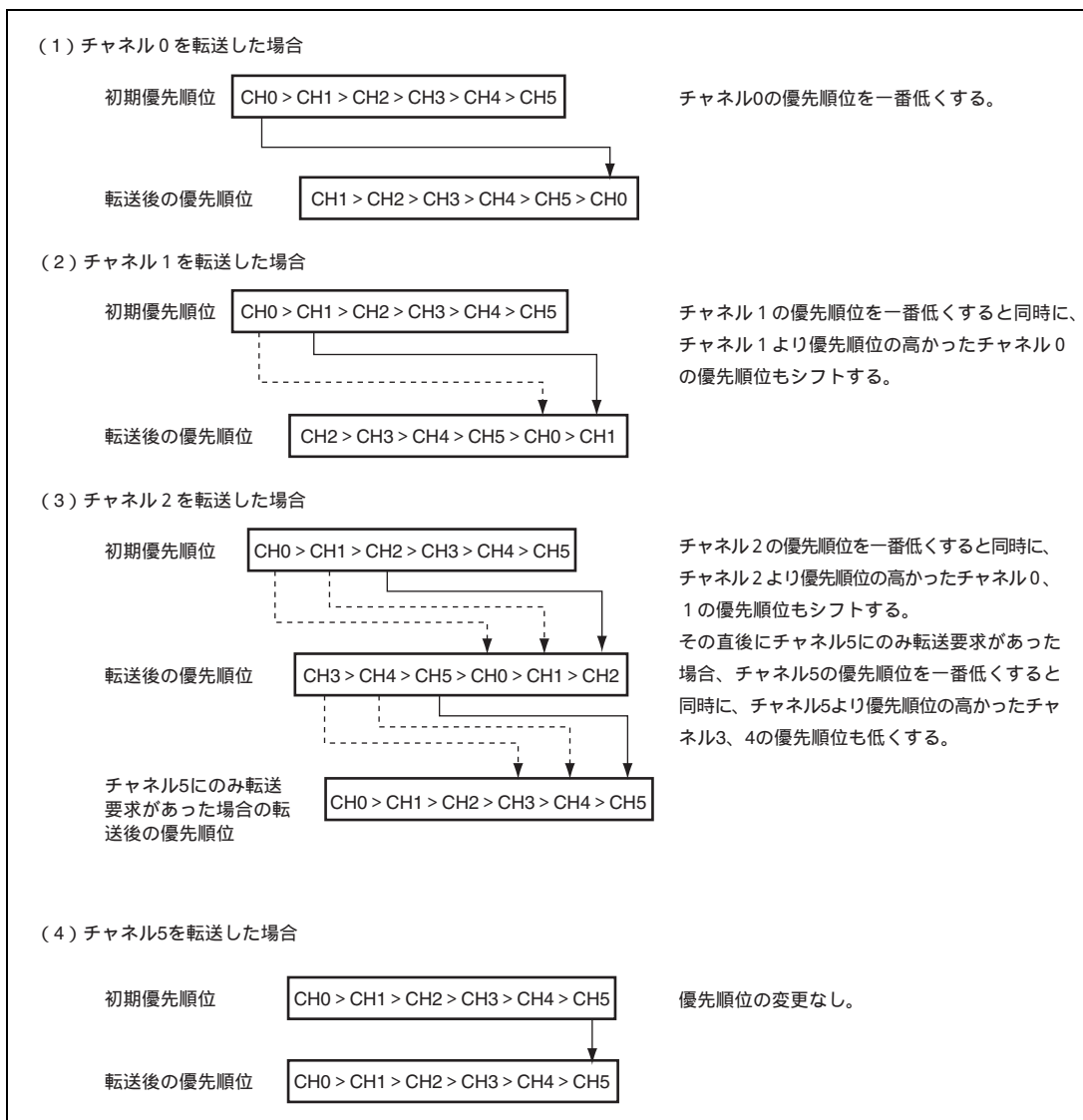


図 16.2 ラウンドロビンモード

図 16.3 に、チャンネル0 とチャンネル3 に同時に転送要求が発生し、チャンネル0 の転送中にチャンネル1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は、以下ようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

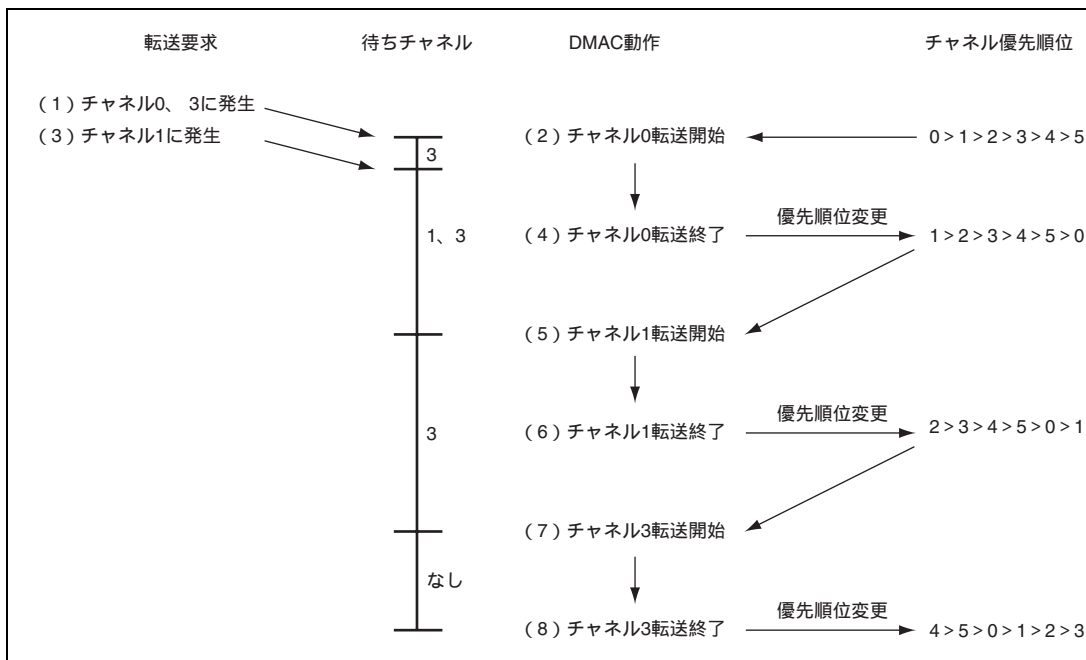


図 16.3 ラウンドロビンモードでのチャンネル優先順位

16.4.3 DMA 転送の種類

DMA 転送は、デュアルアドレスモード転送になります。具体的な転送動作タイミングは、バスモードによって違います。

バスモードには、サイクルスチールモードとバーストモードがあります。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMAC に格納されます。たとえば、図 16.4 のような内蔵周辺モジュール同士の転送では、読み出しサイクルで転送元モジュールからデータがDMAC に読み出され、続く書き込みサイクルでそのデータが転送先モジュールに書き込まれます。

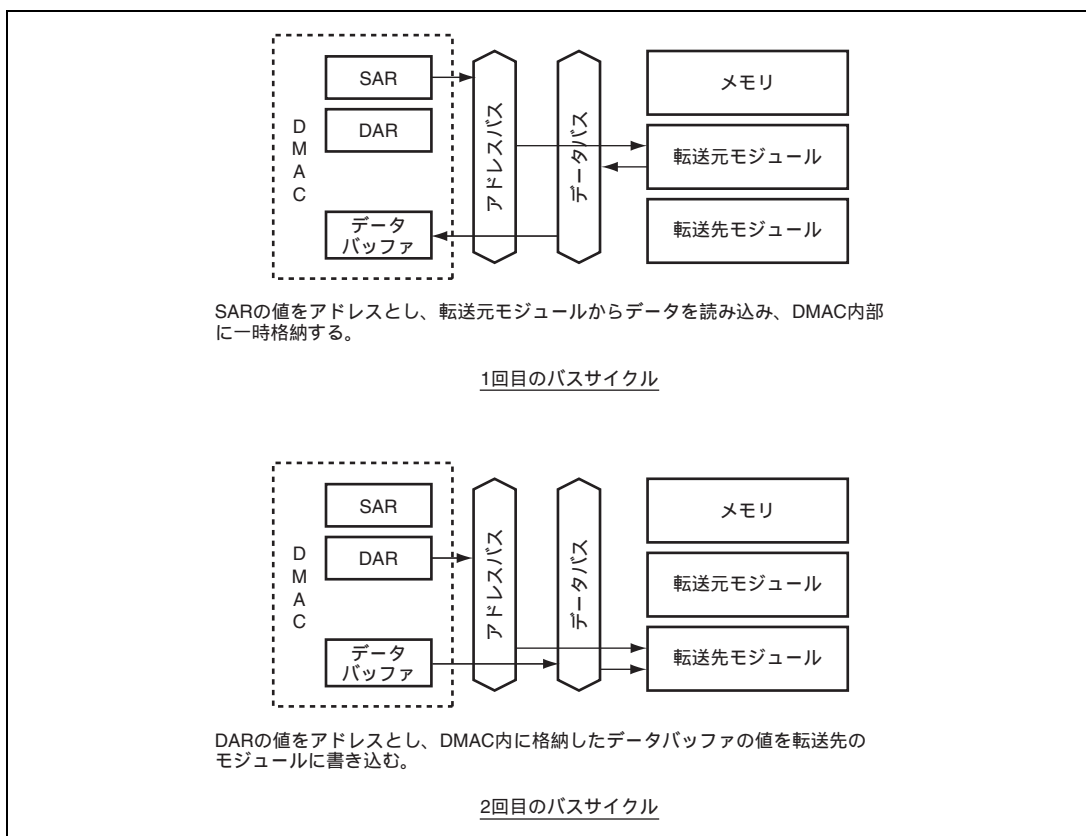


図 16.4 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。
デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかは CHCR によって設定可能です。

図 16.5 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

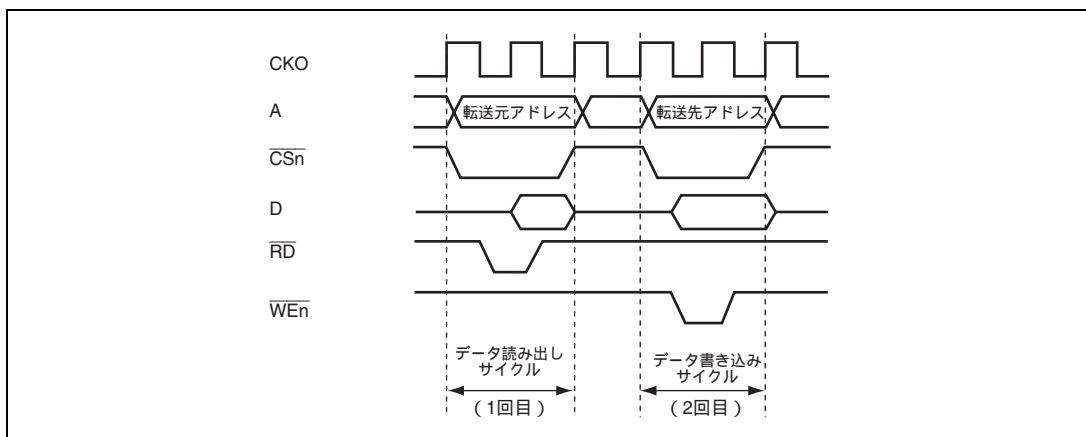


図 16.5 デュアルモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ)

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR の TB ビットによって行います。

(a) サイクルスチールモード

• 通常モード

サイクルスチールの通常モードでは、DMAC は一回の転送単位 (バイト、ワード、ロングワード、8 バイト単位、16 バイト単位、または 32 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後、転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。この動作を転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらず、すべての転送区間で使えます。

図 16.6 にサイクルスチール通常モードでの DMA 転送タイミング例を示します。

図の例での転送条件は、以下のとおりです。

— デュアルアドレスモード

— DREQ ローレベル検出

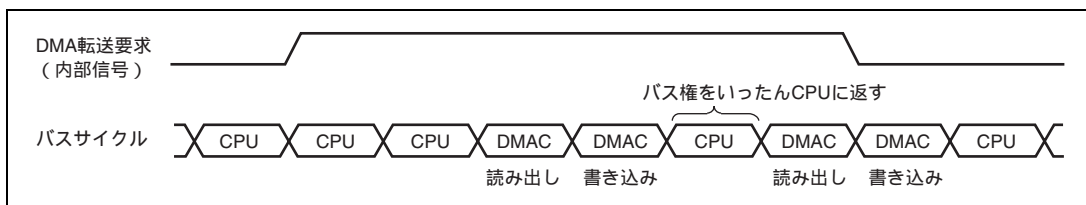


図 16.6 サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

• インタミットモード16、インタミットモード64

サイクルスチールのインタミットモードでは、DMAC は一回の転送単位 (バイト、ワード、ロングワード、8 バイト単位、16 バイト単位、または 32 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後、転送要求があれば、B カウントで 16 クロックまたは 64 クロック待った後に、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。この動作を転送終了条件が満たされるまで繰り返します。このため、DMA 転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

DMAC が再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA 転送がさらに待たされる場合があります。

インタミットモードは、転送要求元、転送元、転送先にかかわらず、すべての転送区間で使えますが、すべてのチャンネルのバスモードが、サイクルスチールモードである必要があります。

図 16.7 にサイクルスチールインタミットモードでの DMA 転送タイミング例を示します。

図の例での転送条件は、以下のとおりです。

- デュアルアドレスモード
- DREQ ローレベル検出

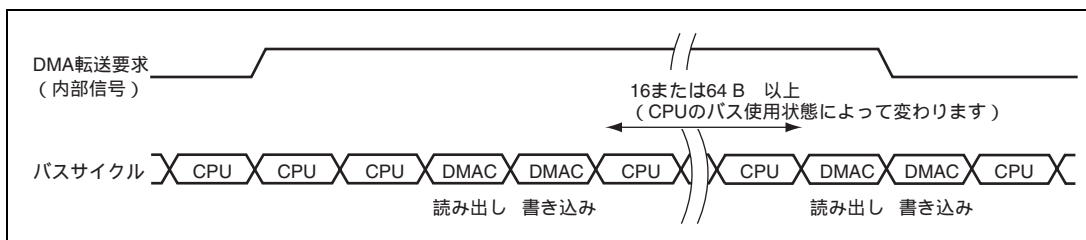


図 16.7 サイクルスチールインタミットモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

(b) バーストモード

バーストモードでは、DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていない場合でも、すでに要求を受け付けた DMA 転送要求を終了後に他のバスマスタにバス権を渡します。

バーストモードは、内蔵周辺モジュールが転送要求元となっている場合には使用できません。

図 16.8 にバーストモードでの DMA 転送タイミングを示します。

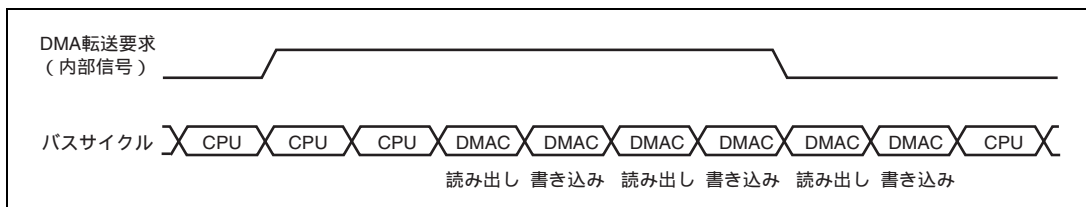


図 16.8 バーストモードでの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 16.5 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 16.5 DMA 転送区間とリクエストモード、バスモードとの関連一覧

(4) オートリクエストでの DMA 転送区間

転送元	転送先			
	BSC 空間	DBSC 空間	周辺モジュール*	IL メモリ
BSC 空間				
DBSC 空間				
周辺モジュール*				
IL メモリ				

【記号説明】○：転送可能

【注】 * 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ。

(5) 外部リクエストでの DMA 転送区間 (DMAC0、チャンネル 0/1 のみ)

転送元	転送先			
	BSC 空間	DBSC 空間	周辺モジュール*1	IL メモリ
BSC 空間		○*2		
DBSC 空間	○*3	×	○*3	○*3
周辺モジュール*1		○*2		
IL メモリ		○*2		

【記号説明】○：転送可能、×：転送不可

【注】 *1 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ。

*2 CHCR の AM ビットを 0 に設定した場合は転送可能です。

*3 CHCR の AM ビットを 1 に設定した場合は転送可能です。

(6) 周辺モジュールリクエストでの DMA 転送区間

転送元	転送先			
	BSC 空間	DBSC 空間	周辺モジュール*	IL メモリ
BSC 空間	×	×		×
DBSC 空間	×	×		×
周辺モジュール*				
IL メモリ	×	×		×

【記号説明】○：転送可能、×：転送不可

【注】 * 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ。

転送元または転送先は周辺リクエストの要求元レジスタである必要があります。また、内蔵周辺モジュールリクエストに対応するバスモードは、サイクルスチールモードのみです。

(7) バスモードとチャンネルの優先順位

優先順位固定モード (CH0 > CH1) において、チャンネル 1 がバーストモード転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、直ちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 もバーストモードの場合は、優先順位の高いチャンネル 0 の転送がすべて終了してから、チャンネル 1 の転送を継続します。

また、チャンネル 0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル 0 が 1 転送単位の転送を行った後、バス権を解放せずに連続してチャンネル 1 が転送されます。その後も、チャンネル 0 チャンネル 1 チャンネル 0 チャンネル 1 というように交互に転送が行われます。つまり、バス状態は、サイクルスチールモード転送終了後の CPU サイクルがバーストモード転送に置き換わった形になります (以後、バーストモードの優先実行と呼びます)。

バーストモードの優先実行例を図 16.9 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまで、バス権はバスマスタに解放しません。

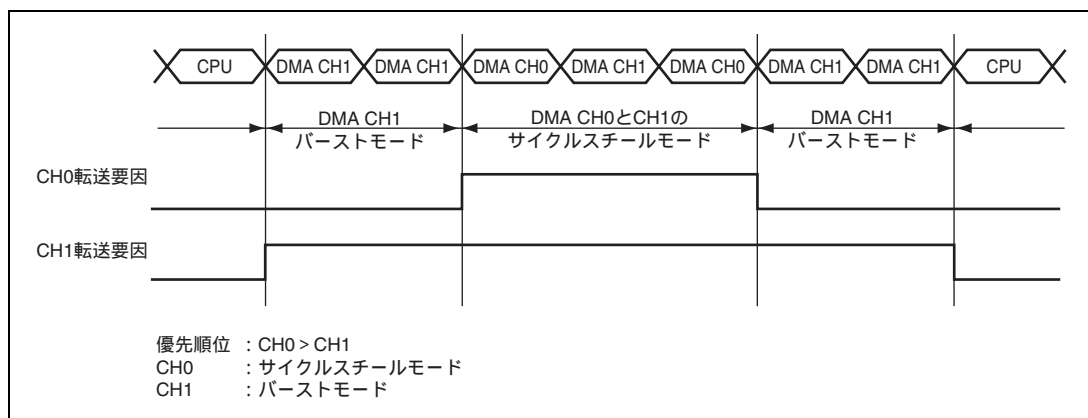


図 16.9 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図 16.2 に示した仕様で優先順位が変化します。ただし、バスモードがサイクルスチールモードのチャンネルとバーストモードのチャンネルを混在することはできません。

16.4.4 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (TCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセレクタ (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。

転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS[3:0]の設定により決定) を転送します。オートリクエストモードの場合は DE ビットおよび DME ビットが 1 にセットされると自動的に転送を開始します。1 回の転送を行うごとに TCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。

指定された回数の転送を終える (TCR の値が 0 になる) と、転送を正常に終了します。このとき、CHCR の IE ビットに 1 がセットしてあれば、CPU に DEI 割り込みを発生します。

DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また、CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。

図 16.10 に DMA 転送のフローチャートを示します。

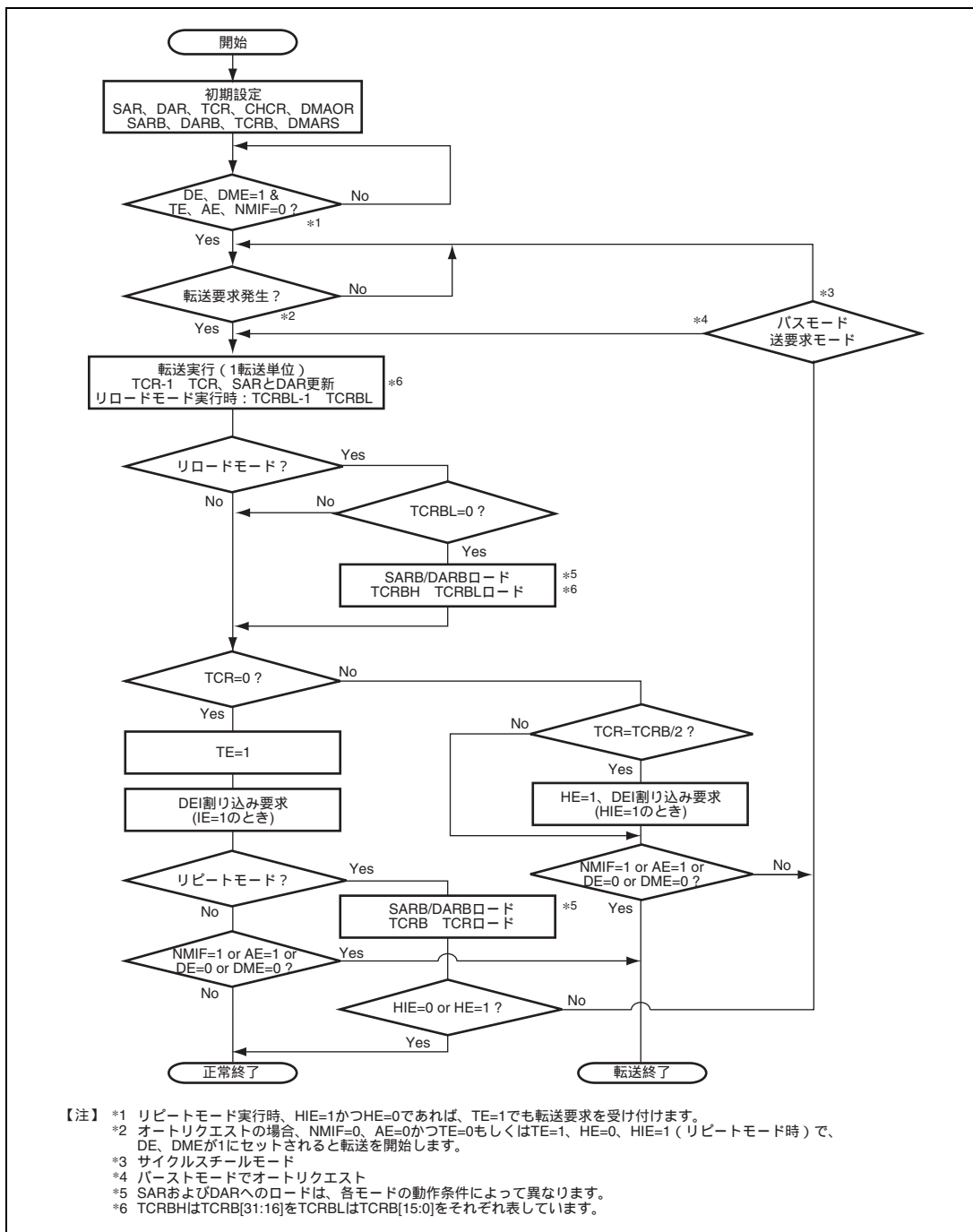


図 16.10 DMA 転送フローチャート

16.4.5 リピートモード転送

DMAC のリピートモード転送を使用すると、DMA 転送を再設定することなく繰り返し実行することが可能となります。

本機能をハーフエンド機能とセットで使用することで、二重バッファ転送を仮想的に行うことが可能となります。本機能により以下の処理を効率的に行うことが可能となります。例として、VOICE CODEC から音声データを受け取り、圧縮処理を行う場合の動作を説明します。

ここでは 40 ワードの音声データを受け取りごとに順次圧縮処理を行うことを仮定し、その際の処理を説明します。ここで音声データは MSIOF により受け取ることと仮定します。

1. DMACの設定

- SARにMSIOFの受信データレジスタのアドレスを設定
- DARに内部メモリのデータ格納領域のアドレスを設定
- TCRに80 (H'50) を設定
- CHCRに以下を設定

RPT[2:0]ビット= B'010 : リピートモード (DARをリピート領域として使用)

HIEビット= B'1 : TCR/2の割り込み発生

DM[1:0]ビット= B'01 : DARは増加

SM[1:0] ビット= B'00 : SARは固定

IEビット= B'1 : 割り込み許可

DEビット= B'1 : DMA転送許可

- この他、TB、TS[2:0]ビットなど使用条件に合わせて設定
 - DMAORのCMS[1:0]、PR[1:0]ビットを使用条件に合わせて設定し、DMEビットにB'1を設定
2. 音声データの受信転送をSIOF/DMACが実行
 3. TCRが初期設定値の1/2になり割り込み発生

割り込み処理にて、CHCRを読み出しHEビットに1がセットされていることを確認し、DARに設定したアドレスから40ワード分のデータを用いた音声圧縮を実行します。

4. TCRが0になり割り込み発生

割り込み処理にて、CHCRを読み出しTEビットに1がセットされていることを確認し、DARに設定したアドレスから40を足したアドレスから40ワード分のデータを用いた音声圧縮を実行します。この際、DMACではDARにDARBの値がコピーされ初期化されるとともに、TCRにもTCRBの値がコピーされ、初期値80に戻ります。

5. 以後、2~3の処理が、DME = B'0もしくはDE = B'0が設定されるか、NMI割り込みが発生するまで繰り返し実行されます。

つまり、本機能を使用することで、順次受け取るデータの格納バッファと信号処理用のデータバッファとを交互に切り替えながら、逐次音声圧縮が可能となります。

16.4.6 リロードモード転送

DMAC のリロードモード転送を使用すると、CHCR の RPT[2:0]ビットの設定により、TCRB[15:0]ビットに設定した回数の転送ごとに SARB/DARB に設定された値を SAR/DAR に、TCRB[31:16]ビットに設定された値を TCRB[15:0]ビットに再設定し、TCR が 0 になるまで転送を再設定することなく繰り返し実行することが可能となります。本機能は、特定エリアを使ったデータ転送を繰り返し行う際に有効です。この動作を図 16.11 に示します。

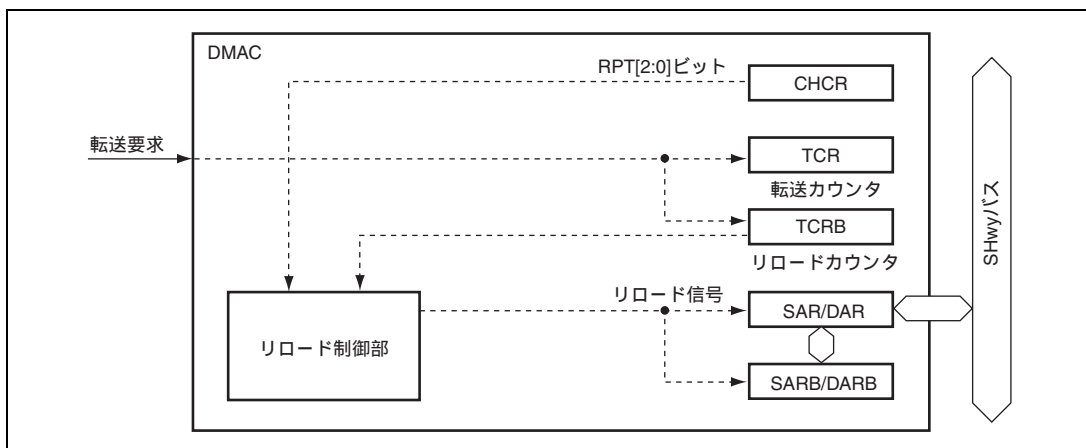


図 16.11 リロード機能図

リロードモード実行時は、TCRB をリロードカウンタとして使用します。「16.3.6 DMA トランスファカウントレジスタ B_0~3 (DMA0_TCRB_0~DMA0_TCRB_3、DMA1_TCRB_0~DMA1_TCRB_3)」を参照し、TCRB を設定してください。

16.4.7 DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 16.12 ~ 図 16.15 に示します。

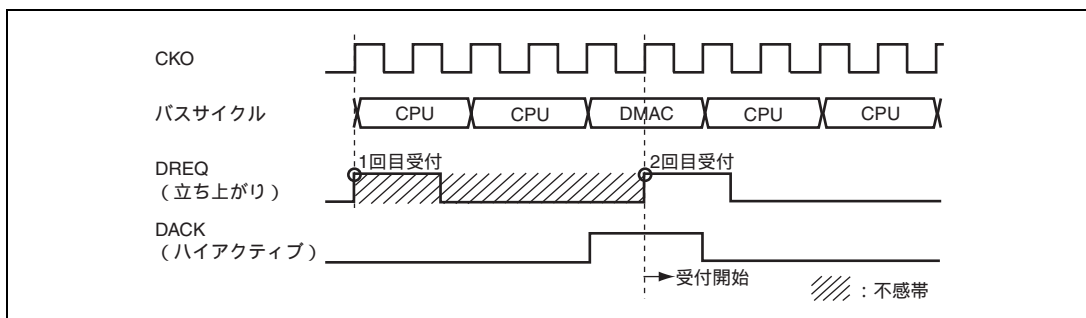


図 16.12 サイクルスチールモード、エッジ検出時の DREQ 入力検出タイミング例

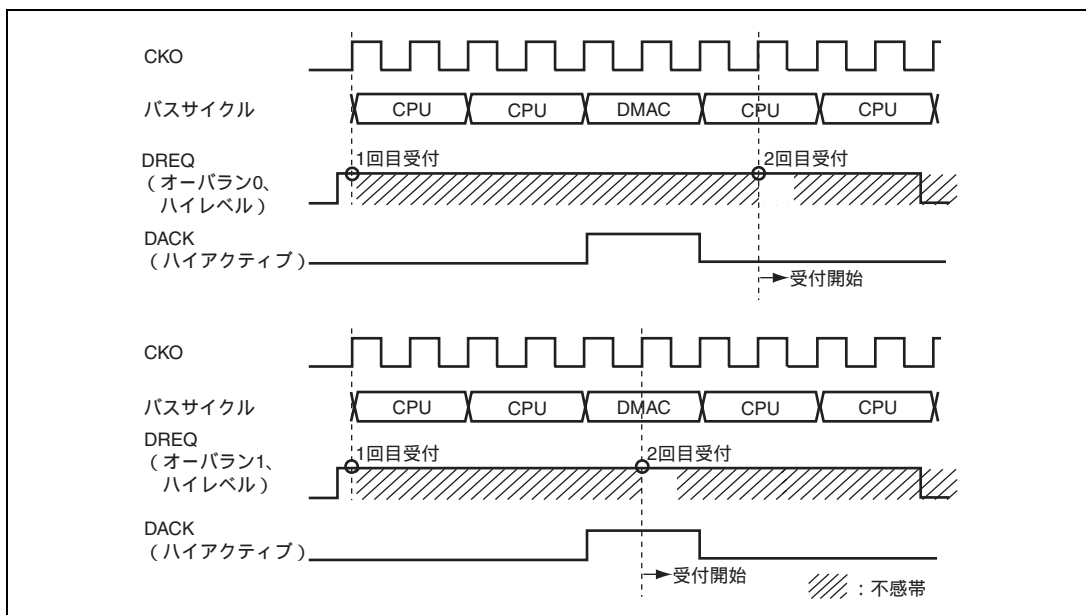


図 16.13 サイクルスチールモード、レベル検出時の DREQ 入力検出タイミング例

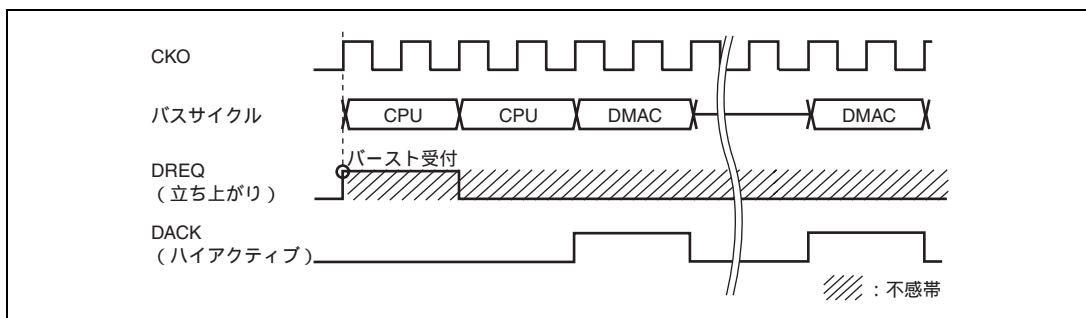


図 16.14 バーストモード、エッジ検出時の DREQ 入力検出タイミング例

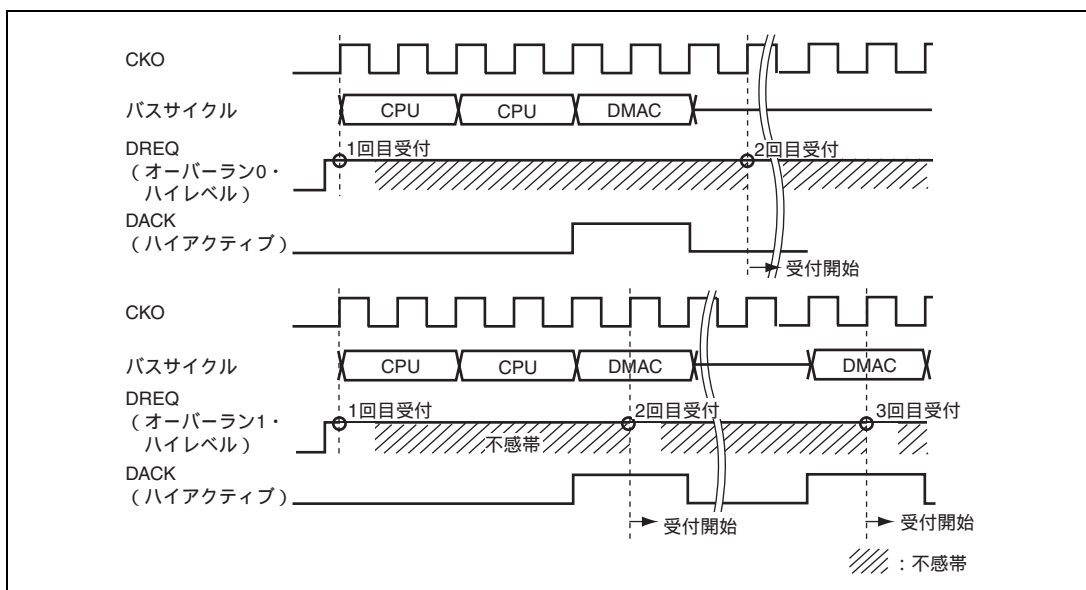


図 16.15 バーストモード、レベル検出時の DREQ 入力検出タイミング例

16 ビット外部デバイスにロングワードアクセスする場合、データをアライメントするため DACK 出力が分割されるので注意してください。この例を図 16.16 に示します。

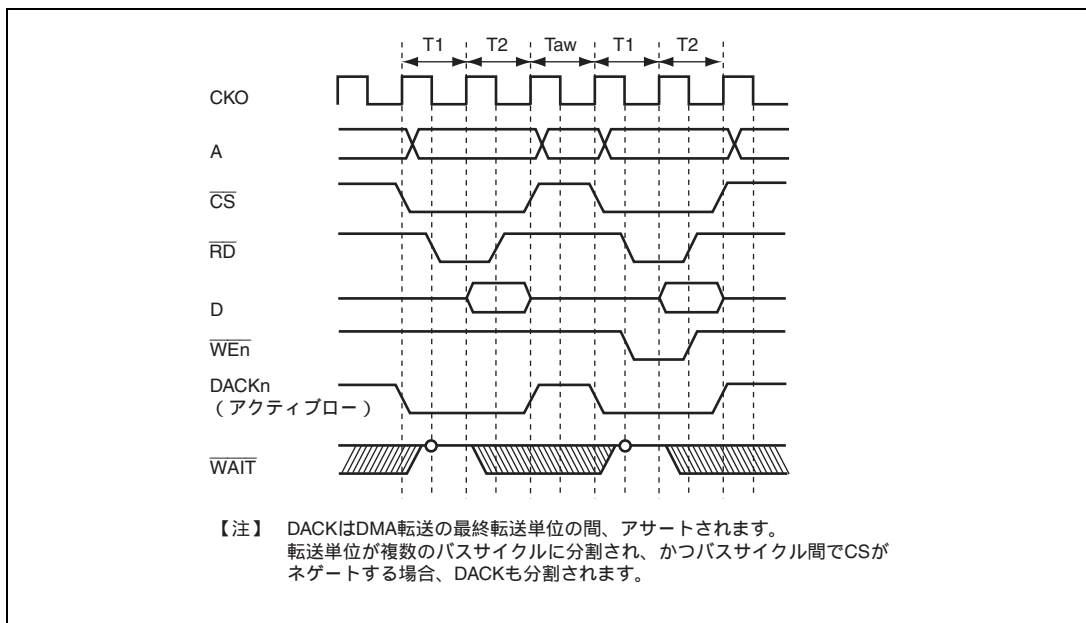


図 16.16 BSC 通常メモリアクセス
(ノーウェイト、アイドルサイクル1、16ビットデバイスへのロングワードアクセス)

16.5 使用上の注意事項

本 DMAC を使用する際は、以下のことに注意してください。

(1) 周辺モジュールの DMA 転送について

周辺モジュールの 16 バイト DMA 転送を行う場合、CHCR の TS[3:0]ビットを B'1011 にセットし、16 バイト 2 分割転送モードで実行してください。ただし、転送元または転送先として SAR または DAR に 16 バイト境界のアドレスを設定できる場合に限りです。転送元または転送先のアドレスが 16 バイト境界ではない場合、正しくデータを転送することができません。

(2) モジュールストップについて

本 DMAC 動作中に、モジュールストップレジスタ (MSTPCR0) のレジスタ設定によるモジュールストップを行わないでください。また、周辺モジュールの DMAC 動作中に、転送の強制中断を行わないでください。モジュールストップさせた場合、動作中の転送内容は保証できません。

(3) アドレスエラーについて

DMA アドレスエラーが発生した場合、全チャンネルのレジスタを再設定した後、転送を開始してください。

(4) パーストモード転送時の注意

パーストモード転送中は、そのチャンネルの転送が完了するまで以下の操作を行わないでください。

1. 周波数を変更しないでください。
2. スリープモードに遷移させないでください。
3. 各種スタンバイモードに遷移させないでください。

(5) DMA 拡張リソースセクタの設定について

DMAC0 および DMAC1 の DMA 拡張リソースセクタ_0~2 (DMA0_DMARS_0~DMA0_DMARS_2/DMA1_DMARS_0~DMA1_DMARS_2) に同一の DMA 転送要求を設定しないでください。

同一の DMA 転送要求を設定した場合、動作ならびに転送内容を保証できません。

(6) TE ビットのセットと TEND 割り込みのタイミング

SHwy に対する最後のリードリクエストを出すのと同時に、TE ビットがセットされます。

一方、SHwy に対する最後のライトリクエストを出すのと同時に、TEND 割り込み要求が出されます。

17. クロックパルス発振器 (CPG)

クロックパルス発振器は、PLL 回路、FLL 回路、分周回路、およびこれらの制御回路で構成され、本 LSI で使用する各種クロックを生成します。

17.1 特長

- LSI内部動作用の各種クロックを生成

CPUクロック (I)	: CPUコアの動作クロック
Sクロック (S)	: SuperHywayバスの動作クロック。DBSCの動作クロック
バスクロック (B)	: BSCの動作クロック。SuperHywayバス上の周辺モジュールの動作クロック
VPU用クロック (MI)	: VPUバス動作クロック
周辺クロック (P)	: HPB (周辺バス) 上の周辺モジュールの動作クロック
RCLKクロック (RCLK)	: 周辺モジュール専用の動作クロック、FLLのクロックソース
SPUクロック (SPUCK)	: SPU動作クロック
IrDAクロック (IrDACK)	: IrDA動作クロック
FSIクロックA (FSICKA)	: FSIポートA動作クロック
FSIクロックB (FSICKB)	: FSIポートB動作クロック

- 外部インタフェース用の各種クロックを生成

バスクロック (CKO)	: BSCバスインタフェース用クロック (B と同じ)
SDRAM用クロック (MCLK)	: SDRAMインタフェース用クロック (S と同じ)
ビデオクロック (VIO_CKO)	: カメラ用クロック出力

- 周波数変更機能

CPG内部のPLL回路、FLL回路、分周回路により、各種クロックの周波数を独立に変更できます。周波数変更は、レジスタの設定によりソフトウェアで行います。

- クロックモード

クロックモード端子設定により、クロックソースをEXTAL入力、RTC_CLK入力、水晶振動子から選択できます。

また、パワーオンリセット後のPLL回路、FLL回路のON/OFFをクロックモード端子により設定可能です。

- 低消費電力モードの制御

スリープモード、ソフトウェアスタンバイモード、R-スタンバイモード、U-スタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。詳細に関しては、「第18章 リセット、低消費電力モード」を参照してください。

17.2 ブロック図

CPGのブロック図を図 17.1 に示します。

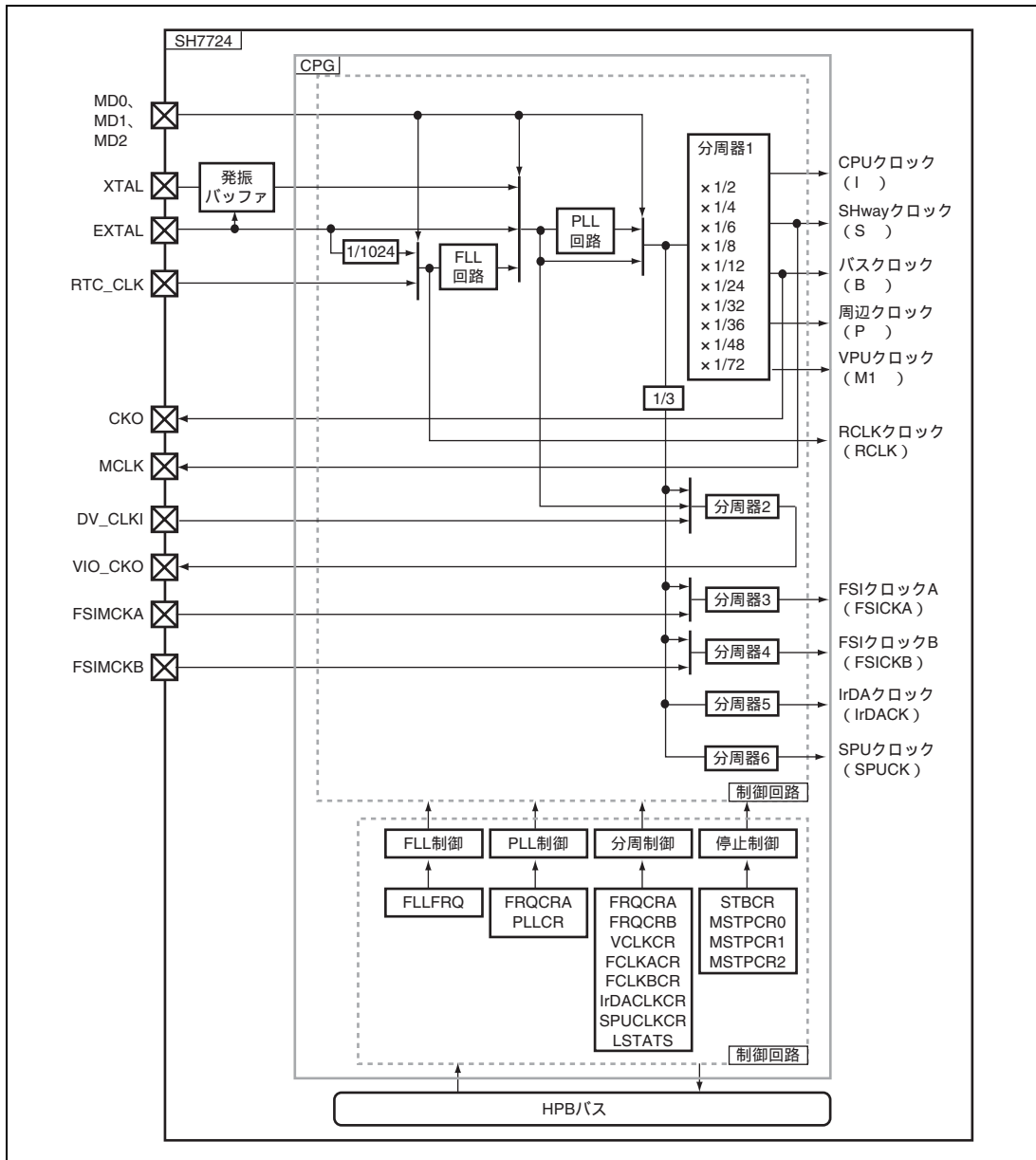


図 17.1 CPGのブロック図

CPG の各ブロックは次のように機能します。

(1) FLL 回路

FLL 回路は、RTC_CLK 端子からの入力クロック周波数 (32.768kHz) を逡倍する機能を持ちます。クロックモード 3 でのみ有効です。逡倍率は FLL 逡倍レジスタ (FLLFRQ) で設定します。逡倍率の初期値は 1017 倍で、 $32.768\text{kHz} \times 1017 = 33.3\text{MHz}$ のクロックを生成します。

FLL 回路の出力クロックの周波数範囲は 20MHz ~ 33.3MHz です。

(2) PLL 回路

PLL 回路は、EXTAL 端子からの入力クロック、水晶振動子からの入力クロック、または FLL により逡倍されたクロック周波数を 12 倍 ~ 48 倍に逡倍する機能を持ちます。逡倍率は、周波数制御レジスタ (FRQCRA) で設定します。PLL 回路の ON/OFF は、クロックモード端子、または PLL 制御レジスタ (PLLCR) で設定します。

PLL 回路の入力クロックの周波数範囲は 10MHz ~ 66.7MHz、出力クロックの周波数範囲は 500MHz ~ 1014MHz です。

(3) 分周器 1

分周器 1 は、PLL 回路の出力クロック、または PLL 回路の入力クロックである、EXTAL 端子からの入力クロック、水晶振動子からの入力クロック、FLL により逡倍されたクロックを分周し、内部システムクロックとして使用します。

(4) 分周器 2~6

分周器 2~6 は、PLL 回路出力クロックの 1/3 分周クロック、または、外部クロックを分周し、各種クロックを生成します。分周率は、各周波数制御レジスタで設定します。

(5) 制御回路

制御回路は、MD0、MD1、MD2 端子、および周波数制御レジスタの設定に従って、クロック周波数の制御を行います。また、各種低消費電力モードの制御を行います。

17.3 入出力端子

CPG の端子構成を表 17.1 に示します。

表 17.1 CPG の端子構成と機能

端子名	機能	入出力	説明
MD0	クロックモード制御端子	入力	クロック動作モードを設定します。
MD1		入力	
MD2		入力	
EXTAL	システムクロック端子	入力	外部クロック入力端子として使用します。または、水晶発振子を接続します。
XTAL		出力	水晶発振子を接続します。
RTC_CLK	RTC クロック入力	入力	RTC_CLK クロック (32.768kHz) を入力します。*
FSIMCKA	FSI 用クロック入力	入力	FSI ポート A のクロック入力として使用します。
FSIMCKB		入力	FSI ポート B のクロック入力として使用します。
DV_CLKI	VOU ビデオクロック入力	入力	VOU ビデオクロック入力 (27MHz) として使用します。
CKO	バスクロック出力	出力	BSC インタフェースクロック出力端子として使用します。B と同じクロックです。
MCLK	SDRAM 用クロック出力	出力	SDRAM インタフェースクロック出力端子として使用します。S と同じクロックです。
VIO_CKO	ビデオクロック出力	出力	カメラへのクロック出力として使用します。

【注】 * RTC_CLK は、クロックモード 3~7 を使用する場合、必ず本 LSI に入力してください。また、クロックモード 0~2 を使用する場合でも RTC モジュールを使用する場合は、RTC_CLK を入力してください。

17.4 クロック動作モード

モード制御端子 (MD2、MD1、MD0) の組み合わせと、パワーオンリセット後の初期クロック設定の関係を表 17.2 に示します。PLL 出力の周波数を 1 としたときの周波数比で示します。

表 17.2 クロック動作モード

クロック モード	端子設定			RCLK クロック ソース	レジスタ初期値		PLL 回路入力 クロック	PLL	FLL	I	S	B	M1	P
	MD2	MD1	MD0		FRQCR	PLLCR								
0	0	0	0	EXTAL × 1/1024	H'1155 5558	H'0000 4000	EXTAL	ON (×36)	OFF	1/12	1/12	1/12	1/12	1/24
1	0	0	1	EXTAL × 1/1024	H'0E55 5558	H'0000 4000	EXTAL	ON (×30)	OFF	1/12	1/12	1/12	1/12	1/24
2	0	1	0	EXTAL × 1/1024	H'0E55 5558	H'0000 4000	EXTAL (水晶)	ON (×30)	OFF	1/12	1/12	1/12	1/12	1/24
3	0	1	1	RTC_CLK	H'0E55 5558	H'0000 5000	FLL 回路出力 クロック	ON (×30)	ON (×1017)	1/12	1/12	1/12	1/12	1/24
4	1	0	0	RTC_CLK	H'1155 5558	H'0000 4000	EXTAL	ON (×36)	OFF	1/12	1/12	1/12	1/12	1/24
5	1	0	1	RTC_CLK	H'0E55 5558	H'0000 4000	EXTAL	ON (×30)	OFF	1/12	1/12	1/12	1/12	1/24
6	1	1	0	RTC_CLK	H'0E55 5558	H'0000 4000	EXTAL (水晶)	ON (×30)	OFF	1/12	1/12	1/12	1/12	1/24
7	1	1	1	RTC_CLK	H'0E22 2222	H'0000 0000	EXTAL	OFF	OFF	1/4	1/4	1/4	1/4	1/4

17.5 レジスタの説明

CPG のレジスタ構成を表 17.3 に示します。また、各処理モードにおけるレジスタの状態を表 17.4 に示します。

表 17.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
周波数制御レジスタ A	FRQCRA	R/W	H'A415 0000	32
周波数制御レジスタ B	FRQCRB	R/W	H'A415 0004	32
ビデオクロック周波数制御レジスタ	VCLKCR	R/W	H'A415 0048	32
FSI クロック A 周波数制御レジスタ	FCLKACR	R/W	H'A415 0008	32
FSI クロック B 周波数制御レジスタ	FCLKBCR	R/W	H'A415 000C	32
IRDA クロック周波数制御レジスタ	IRDACLKCR	R/W	H'A415 0018	32
SPU クロック周波数制御レジスタ	SPUCLKCR	R/W	H'A415 003C	32
PLL 制御レジスタ	PLLCR	R/W	H'A415 0024	32
FLL 連倍レジスタ	FLLFRQ	R/W	H'A415 0050	32
周波数変更ステータスレジスタ	LSTATS	R	H'A415 0060	32

表 17.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
FRQCRA	初期化	保持	保持	-	保持	初期化	保持
FRQCRB	初期化	保持	保持	-	保持	初期化	保持
VCLKCR	初期化	保持	保持	-	保持	初期化	保持
FCLKACR	初期化	保持	保持	-	保持	初期化	保持
FCLKBCR	初期化	保持	保持	-	保持	初期化	保持
IRDACLKCR	初期化	保持	保持	-	初期化	初期化	保持
SPUCLKCR	初期化	保持	保持	-	初期化	初期化	保持
PLLCR	初期化	保持	保持	-	保持	初期化	保持
FLLFRQ	初期化	保持	保持	-	保持	初期化	保持
LSTATS	初期化	保持	保持	-	初期化	初期化	保持

17.5.1 周波数制御レジスタ (FRQCRA)

FRQCRA は、読み出し/書き込み可能な 32 ビットのレジスタで、PLL 回路の周波数逡倍率、CPU クロック、S クロック、バスクロック、SDRAM クロック、周辺クロックの周波数分周率の指定ができます。FRQCRA はロングワードサイズでのみアクセス可能です。逡倍率、分周率の初期値は、クロックモードにより決まります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	KICK	—	STC[5:0]						IFC[3:0]				—	—	—	—
初期値:	0	0	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SFC[3:0]				BFC[3:0]				—	—	—	—	P1FC[3:0]			
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	KICK	0	R/W	FRQCRA、FRQCRB レジスタの KICK ビット 0: 1 を書き込んだ後、0 クリアされます。 1: FRQCRA、FRQCRB の設定値を有効にする。
30	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
29~24	STC[5:0]	表 17.2 参照	R/W	PLL 回路の逡倍率設定 000101: ×12 倍 000111: ×16 倍 001011: ×24 倍 001110: ×30 倍 001111: ×32 倍 010001: ×36 倍 010111: ×48 倍 上記以外: 設定禁止 【注】 PLL OFF 時には本ビットの設定は無効です。

ビット	ビット名	初期値	R/W	説明
23~20	IFC[3:0]	表 17.2 参照	R/W	CPU クロック周波数 (I) の分周率 0000 : × 1/2 倍 0001 : × 1/3 倍 0010 : × 1/4 倍 0011 : × 1/6 倍 0100 : × 1/8 倍 0101 : × 1/12 倍 0110 : × 1/16 倍 1000 : × 1/24 倍 1001 : × 1/32 倍 1010 : × 1/36 倍 1011 : × 1/48 倍 1101 : × 1/72 倍 上記以外 : 設定禁止
19~16	-	表 17.2 参照	R	リザーブビット 読み出すと表 17.2 の初期値が読み出されます。 読み出した値を書き込んでください。
15~12	SFC[3:0]	表 17.2 参照	R/W	S クロック (S) 周波数の分周率 0010 : × 1/4 倍 0011 : × 1/6 倍 0100 : × 1/8 倍 0101 : × 1/12 倍 0110 : × 1/16 倍 1000 : × 1/24 倍 1001 : × 1/32 倍 1010 : × 1/36 倍 1011 : × 1/48 倍 1101 : × 1/72 倍 上記以外 : 設定禁止

ビット	ビット名	初期値	R/W	説明
11~8	BFC[3:0]	表 17.2 参照	R/W	バスクロック (B) 周波数の分周率 0010 : × 1/4 倍 0011 : × 1/6 倍 0100 : × 1/8 倍 0101 : × 1/12 倍 0110 : × 1/16 倍 1000 : × 1/24 倍 1001 : × 1/32 倍 1010 : × 1/36 倍 1011 : × 1/48 倍 1101 : × 1/72 倍 上記以外 : 設定禁止
7~4	-	表 17.2 参照	R	リザーブビット 読み出すと S と同じ値が読み出されます。書き込みは無効です。
3~0	P1FC[3:0]	表 17.2 参照	R/W	周辺クロック (P) 周波数の分周率 0010 : × 1/4 倍 0011 : × 1/6 倍 0100 : × 1/8 倍 0101 : × 1/12 倍 0110 : × 1/16 倍 1000 : × 1/24 倍 1001 : × 1/32 倍 1010 : × 1/36 倍 1011 : × 1/48 倍 1101 : × 1/72 倍 上記以外 : 設定禁止

【注】 FRQCRA の初期値は、クロックモードに依存します。

17.5.2 周波数制御レジスタ (FRQCRB)

FRQCRB は、読み出し / 書き込み可能な 32 ビットのレジスタで、M1 クロックの周波数分周率の指定ができます。FRQCRB は、ロングワードサイズでのみアクセス可能です。分周率の初期値は、クロックモードにより決まります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	M1FC[3:0]				—	—	—	—
初期値:	0	0	0	0	0	0	0	0	*	*	*	*	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
7~4	M1FC[3:0]	表 17.2 参照	R/W	VPU クロック (M1) 周波数の分周率 0010 : × 1/4 倍 0011 : × 1/6 倍 0100 : × 1/8 倍 0101 : × 1/12 倍 0110 : × 1/16 倍 1000 : × 1/24 倍 1001 : × 1/32 倍 1010 : × 1/36 倍 1011 : × 1/48 倍 1101 : × 1/72 倍 上記以外 : 設定禁止
3~0	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 FRQCRB の初期値は、クロックモードに依存します。

FRQCRA、FRQCRB レジスタの設定値は、以下の制約を守ってください (N は整数)。

1. I : S

整数クロック比 I : S = N : 1

2. S : B

整数クロック比 S : B = N : 1

3. B : P

整数クロック比 B : P = N : 1

4. I : P

整数クロック比 I : P = N : 1

5. S : M1 : B

整数クロック比 S : M1 : B = 2 : 1 : 1、2 : 2 : 1、1 : 1 : 1

2DGをご使用の場合は、以下の制約も守ってください。

S : B : P = 4 : 2 : 1

17.5.3 PLL 制御レジスタ (PLLCR)

PLLCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、PLL 回路、FLL 回路の ON / OFF、CKO 端子からのクロック出力の有無の指定ができます。PLLCR はロングワードサイズでのみアクセス可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PLLE	—	FLLE	—	—	—	—	—	—	—	—	—	—	CKOFF	—
初期値:	0	*	0	*	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PLLE	表 17.2 参照	R/W	PLL イネーブル PLL 回路の ON/OFF を設定します。 0 : PLL 回路を OFF 1 : PLL 回路を ON
13	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
12	FLLE	表 17.2 参照	R/W	FLL イネーブル FLL 回路の ON/OFF を設定します。 0 : FLL 回路を OFF 1 : FLL 回路を ON 【注】 本ビットは、初期値から変更しないでください。
11~2	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CKOFF	0	R/W	CKO 出力停止 CKO の出力を制御します。 0 : CKO 端子からクロックを出力します。 1 : CKO 端子からクロックを出力しません。(ローレベル固定)
0	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 ビット 14、ビット 12 の初期値は、クロックモードに依存します。

17.5.4 ビデオクロック周波数制御レジスタ (VCLKCR)

VCLKCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、ビデオクロック周波数を制御します。VCLKCR はロングワードサイズでのみアクセス可能です。

VCLKCR のビット 5~0 (DIV[5:0]) の設定値は、83.4MHz を超えない範囲で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	SRC[2:0]			—	—	—	CKSTP	—	—	DIV[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W:	R	R/W	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	SRC[2:0]	000	R/W	クロックソースセレクト 000 : PLL 回路出力 × 1/3 010 : 外部入力クロック (端子名 : DV_CLKI) 100 : EXTAL 入力 (クロックモード 0、1、4、5、7)、水晶振動子 (クロックモード 2、6)、FLL 出力 (クロックモード 3) 上記以外 : 設定禁止
11~9	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
8	CKSTP	0	R/W	クロックストップ 0 : ビデオクロックを供給します 1 : ビデオクロックを停止します
7、6	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	DIV[5:0]	111111	R/W	分周率設定ビット SRC[2:0] で設定したクロックソースに対して、1/(設定値 + 1) 倍の分周率に設定されます。

17.5.5 FSI クロック A 周波数制御レジスタ (FCLKACR)

FCLKACR は、読み出し/書き込み可能な 32 ビットのレジスタで、FSI クロック A の周波数を制御します。FCLKACR はロングワードサイズでのみアクセス可能です。

FCLKACR のビット 5~0 (DIV[5:0]) の設定値は、41.7MHz を超えない範囲で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CKSTP	SRC[1:0]		DIV[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
8	CKSTP	0	R/W	クロックストップ 0: FSI クロック A を供給します 1: FSI クロック A を停止します
7、6	SRC[1:0]	00	R/W	クロックソースセレクト FSI クロック A ソースを選択します。 00: PLL 回路出力 × 1/3 10: 外部入力クロック (端子名: FSIMCKA) 上記以外: 設定禁止
5~0	DIV[5:0]	111111	R/W	分周率設定ビット SRC[1:0] で設定したクロックソースに対して、1/(設定値 + 1) 倍の分周率に設定されます。

17.5.6 FSI クロック B 周波数制御レジスタ (FCLKBCR)

FCLKBCR は、読み出し/書き込み可能な 32 ビットのレジスタで、FSI クロック B の周波数を制御します。FCLKBCR はロングワードサイズでのみアクセス可能です。

FCLKBCR のビット 5~0 (DIV[5:0]) の設定値は、41.7MHz を超えない範囲で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CKSTP	SRC[1:0]		DIV[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
8	CKSTP	0	R/W	クロックストップ 0: FSI クロック B を供給します 1: FSI クロック B を停止します
7, 6	SRC[1:0]	00	R/W	クロックソースセレクト FSI クロック B ソースを選択します。 00: PLL 回路出力 × 1/3 10: 外部入力クロック (端子名: FSIMCKB) 上記以外: 設定禁止
5~0	DIV[5:0]	111111	R/W	分周率設定ビット SRC[1:0] で設定したクロックソースに対して、1/(設定値 + 1) 倍の分周率に設定されます。

17.5.7 IRDA クロック周波数制御レジスタ (IRDACLKCR)

IRDACLKCR は、読み出し/書き込み可能な 32 ビットのレジスタで、IrDA クロックの周波数を制御します。IRDACLKCR はロングワードサイズでのみアクセス可能です。

IRDACLKCR のビット 5~0 (DIV[5:0]) の設定値は、41.7MHz を超えない範囲で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CKSTP	—	—	DIV[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
8	CKSTP	0	R/W	クロックストップ 0: IrDA クロックを供給します 1: IrDA クロックを停止します
7、6	-	すべて 0	R	リザーブビット読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	DIV[5:0]	111111	R/W	分周率設定ビット PLL 回路出力 × 1/3 に対して、1/(設定値 + 1) 倍の分周率に設定されます。

17.5.8 SPU クロック周波数制御レジスタ (SPUCLKCR)

SPUCLKCR は、読み出し/書き込み可能な 32 ビットのレジスタで、SPU クロック周波数を制御します。
SPUCLKCR はロングワードサイズでのみアクセス可能です。

SPUCLKCR のビット 5~0 (DIV[5:0]) の設定値は、83.4MHz を超えない範囲で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CKSTP	—	—	DIV[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
8	CKSTP	0	R/W	クロックストップ 0: SPU クロックを供給します 1: SPU クロックを停止します
7、6	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	DIV[5:0]	111111	R/W	分周率設定ビット PLL 回路出力 × 1/3 に対して、1/(設定値 + 1) 倍の分周率に設定されます。

17.5.9 FLL 通倍レジスタ (FLLFRQ)

FLLFRQ は、読み出し/書き込み可能な 32 ビットのレジスタで、FLL 回路の通倍率を設定します。FLLFRQ はロングワードサイズでのみアクセス可能です。

FLLFRQ のビット 10~0 (FLF[10:0]) の設定値は、20MHz ~ 33.3MHz の範囲で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SELXM[1:0]			—	—	—	FLF[10:0]									
初期値:	0	0	0	0	0	0	1	1	1	1	1	1	1	0	0	1
R/W:	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
15, 14	SELXM[1:0]	00	R/W	FLL 出力分周 00: FLL 出力 × 1 01: FLL 出力 × 1/2 上記以外: 設定禁止
13~11	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
10~0	FLF[10:0]	H'3F9	R/W	FLL 通倍率設定 FLL 回路の通倍率を設定します。通倍率は設定値になります。 H'262: 約 20MHz* H'2DC: 約 24MHz* H'2FB: 約 25MHz* H'338: 約 27MHz* H'3F9: 約 33MHz* 上記以外: 設定禁止 【注】 * RCLK=32.768kHz 時

17.5.10 周波数変更ステータスレジスタ (LSTATS)

LSTATS は、読み出し専用の 32 ビットのレジスタで、周波数変更ステータスを表示するレジスタです。LSTATS はロングワードサイズでのみアクセス可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FRQF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込みは無効です。
0	FRQF	0	R	周波数変更フラグ 0: 周波数変更状態でないことを示します 1: 周波数変更状態であることを示します

17.6 周波数変更方法

周波数制御レジスタで制御される各クロックの周波数を変更するには、PLL 回路の通倍率を変える方法と、分周器の分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

17.6.1 PLL 回路通倍率の変更

PLL 回路の通倍率を変更する場合、PLL 発振安定時間は内部で自動的に検出するので、FRQCRA の STC[5:0] ビットを書き換え、FRQCRA の KICK ビットに 1 を書き込むだけで通倍率の変更を行うことができます。PLL 回路の発振が安定するまでの間、LSI 内部へのクロック供給、CKO 端子のクロック出力は停止します。

CKO 端子のクロック出力停止時および開始時には、CKO 端子には不当なクロックが出力される場合があります。

PLL 通倍率変更の前に、すべての周辺モジュールの動作を完了させアイドル状態にして、外部端子からの起動要因もありえない状態にしてください。

FRQCRA の KICK ビットに 1 を書き込むと、CPG は SuperHyway バスの全イニシエータ、および全ターゲットに停止要求を出し、これらすべてが停止した後、PLL 回路通倍率を変更します。

【設定手順】

1. FRQCRA.STC[5:0]ビットに通倍設定を行ってください。
2. FRQCRA.KICKビットに1を書き込んでください。
3. LSTATS.FRQFビットをリードし、0クリアされるまで待ってください。

17.6.2 分周率の変更

分周率変更は、FRQCRA、FRQCRB の各分周設定ビットを書き換え、FRQCRA.KICK ビットを 1 に設定することで分周設定を行うことができます。

FRQCRA の KICK ビットに 1 を書き込むと、CPU クロック (I) のみ分周率を変更する場合は、CPG は CPU にのみ停止要求を出し、CPU が停止した後、CPU クロック (I) の分周率を変更します。S クロック (S)、バスクロック (B)、VPU 用クロック (M1)、周辺クロック (P) の分周率を変更する場合は、CPG は全イニシエータ、および全ターゲットに停止要求を出し、これらすべてが停止した後、分周率を変更します。

CPU クロック (I) のみ分周率を変更する場合以外は、PLL 通倍率変更の前に、すべての周辺モジュールの動作を完了させアイドル状態にして、外部端子からの起動要因もありえない状態にしてください。

バスクロック (B) を変更した場合、CKO 端子のクロック出力停止時、および開始時、CKO 端子には不当なクロックが出力される場合があります。

【設定手順】

1. FRQCRA、FRQCRBの分周設定を行ってください。
2. FRQCRA.KICKビットに1を書き込んでください。
3. LSTATS.FRQFビットをリードし、0クリアされるまで待ってください。

17.6.3 クロック動作モードの変更

クロック動作モードを決めるモード制御端子 (MD2、MD1、MD0) はパワーオンリセット時にその値が取り込まれます。動作中に MD2、MD1、MD0 端子の設定変更は行わないでください。

17.6.4 PLL 回路の ON / OFF 切り替え

PLLCR の PLLE ビットを書き換えることで、PLL 回路の ON / OFF を制御できます。

PLL 回路の通倍率変更時と同様に、PLL 回路の発振安定時間は内部で自動的に検出します。

17.6.5 FLL 通倍率の変更

FLL 回路の通倍率を変更する場合、FLL の発振安定時間、および PLL 回路の発振安定時間は内部で自動的に検出しますので、FLLFRQ の FLF[10:0]ビット、FLLFRQ.SELXM[1:0]ビットを書き換えるだけで FLL 通倍率を変更することができます。RWDТ の設定は必要ありません。

17.7 ボード設計上の注意事項

(1) バイパスコンデンサについての注意

VSS と VCC のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。

バイパスコンデンサは、LSI の電源端子の近くに実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

(2) PLL 発振回路使用時の注意

PLL 用 VDD と VSS の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤作動を生じさせる可能性があります。このため、本アナログ電源系と VDD、VCCQ のデジタル電源系は、極力、基板上で同一リソースを供給しないでください。

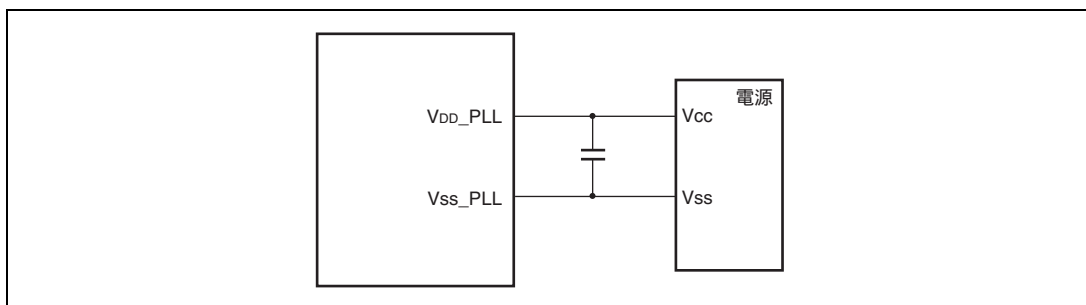


図 17.2 PLL 発振回路使用時の注意

(3) FLL 使用時の注意事項

FLL 用 V_{DD} と V_{SS} の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

FLL 電源は、ノイズ除去のためバイパスコンデンサと CR フィルタ設置を推奨します。バイパスコンデンサは $0.1 \mu\text{F}$ 程度とし、FLL 電源端子の間近に接続してください。CR フィルタの遮断周波数は $RCLK$ の $1/20$ 程度を推奨します。

FLL 電源はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本電源と V_{DD} 、 V_{CCQ} のデジタル電源系は、極力基板上で同一リソースを供給しないでください。

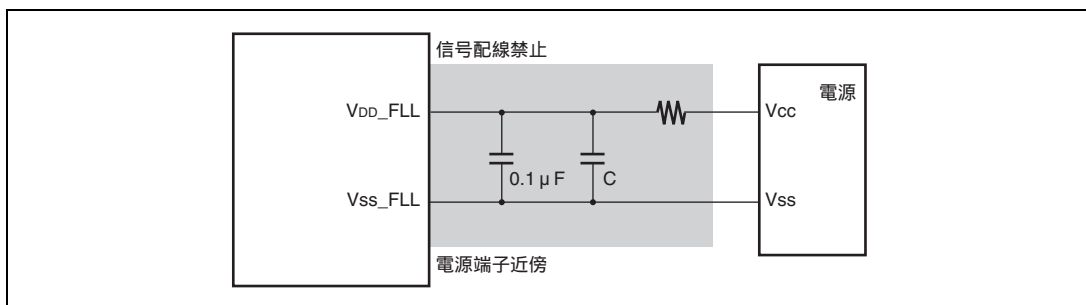


図 17.3 FLL 発振回路使用時の注意

18. リセット、低消費電力モード

本 LSI は、LSI 内部へのクロック供給をきめ細かく制御するスリープモード、ソフトウェアスタンバイモード、モジュールスタンバイ機能に加えて、LSI 内部への電源供給を一部遮断する U-スタンバイモードや R-スタンバイモードを内蔵し、低電力化を可能としています。

18.1 特長

- 各種低消費電力モードのサポート
スリープ / ソフトウェアスタンバイ / モジュールスタンバイ / R-スタンバイ / U-スタンバイモード
- U-スタンバイ、R-スタンバイ中には、RCLK、および RTC_CLK で動作する RWDT、CMT、KEYSC、RTC が動作可能

18.1.1 電源領域の分離

各種低消費電力モードを実現するために、本 LSI は以下の 4 つの電源領域に分離されています。

- コアエリア
 V_{DD} 電源で動作する領域です。下記 3 エリア以外のモジュールがすべて含まれます。
U-スタンバイモード、R-スタンバイモードでは、本領域の電源をオフにすることで、待機時の消費電力を大幅に削減することが可能です。
- バックアップエリア
 V_{DD} 電源で動作する領域です。RSメモリ、および一部モジュールのレジスタバックアップ領域が含まれます。
R-スタンバイモードからの復帰時には、本領域にバックアップされているレジスタ内容が自動的に該当レジスタに再設定されます。
- サブエリア
 V_{DD} 電源で動作する領域です。RWDT、CMT、KEYSC、RTCが含まれます。
- I/Oエリア
 V_{CC} 系電源で動作する領域です。入出力バッファが含まれます。

18.1.2 リセット、低消費電力モードの種類

リセット、低消費電力モードには以下の種類があります。各モードの状態、遷移方法、解除方法を表 18.1 に示します

- スリープモード：CPUコアのクロックを停止
- ソフトウェアスタンバイモード：LSI全体のクロックを停止
- モジュールスタンバイ機能：使用しないモジュールのクロックをソフトウェアにより停止
- U-スタンバイモード：I/Oエリア、サブエリア以外の電源をオフ
- R-スタンバイモード：I/Oエリア、サブエリア、バックアップエリア以外の電源をオフ

表18.1 リセット、低消費電力モードの状態

低消費電力モード	遷移条件	状態						解除方法
		CPG	CPUコア	CPUレジスタ	内蔵メモリ	内蔵周辺モジュール ^{*1}	SDRAM	
スリープモード	STBCRのSTBY=0、RSTBY=0、USTBY=0でSLEEP命令を実行	動作	停止	保持	RSメモリは動作。その他は停止(内容は保持)	動作	オートリフレッシュされます	<ul style="list-style-type: none"> • 割り込み • パワーオンリセット • システムリセット
ソフトウェアスタンバイモード	STBCRのSTBY=1、RSTBY=0、USTBY=0でSLEEP命令を実行	停止	停止	保持	停止(内容は保持)	停止 ^{*2}	セルフリフレッシュにしてください	<ul style="list-style-type: none"> • IRQ、NMI、CMT、KEYSC、RTC • パワーオンリセット • システムリセット
モジュールスタンバイ機能	MSTPCRの該当モジュールのMSTPビットを1とする	動作	動作または停止	保持	指定モジュールが停止(内容は保持)	指定モジュールが停止	オートリフレッシュされます	<ul style="list-style-type: none"> • MSTPビットを0にクリア
R-スタンバイモード	STBCRのRSTBY=1、STBY=0、USTBY=0でSLEEP命令を実行	停止	停止	非保持	RSメモリは保持。その他は非保持	停止 ^{*2}	セルフリフレッシュにしてください	<ul style="list-style-type: none"> • IRQ、NMI、CMT、KEYSC、RTC • パワーオンリセット • システムリセット
U-スタンバイモード	STBCRのUSTBY=1、STBY=0、RSTBY=0でSLEEP命令を実行	停止	停止	非保持	非保持	停止 ^{*2}	セルフリフレッシュにしてください	<ul style="list-style-type: none"> • CMT、KEYSC、RTC^{*4} • パワーオンリセット • システムリセット
パワーオンリセット	RESETP端子をLowにする	初期状態	初期状態	初期状態	初期状態	初期状態	初期状態	
システムリセット	RESETA端子をLowにする RWDTにオーバフロー発生 H-UDIリセット発生	初期状態	初期状態	初期状態	初期状態	初期状態	初期状態	
マニュアルリセット	SR.BL=1のときにユーザブ레이크を除く例外が発生	保持	初期状態	初期状態	初期状態/保持 ^{*3}	初期状態/保持 ^{*3}	オートリフレッシュされます	

【注】 *1 内蔵周辺モジュールとは、Super-Hywayバスおよび周辺バスに直結したモジュールを指します。

*2 RCLK動作のRWDT、CMT、KEYSC、および、RTC_CLK動作のRTCは動作します。

*3 モジュールにより異なります。各モジュールの章を参照してください。

*4 クロックモード3(FLL使用)の場合は、CMT、KEYSC、RTCによるU-スタンバイモード解除を禁止します。

18.2 入出力端子

リセット、低消費電力モード関連の端子構成を表 18.2 に示します。

表18.2 端子構成

端子名	機能	入出力	説明
STATUS0	処理状態 0	出力	各種スタンバイ（ソフトウェアスタンバイ、R-スタンバイ、U-スタンバイ）状態でハイレベルになります。
STATUS2	処理状態 2	出力	R-スタンバイ状態でハイレベルになります。
RESETP	リセット入力端子	入力	ローレベルでパワーオンリセット状態になります。
RESETA	リセット入力端子	入力	ローレベルでシステムリセット状態になります。
RESETOUT	リセット出力信号	出力	本 LSI がリセット中にローレベルになります。
PDSTATUS	パワーダウン状態信号	出力	電源分離領域の電源がオフになっているときにハイレベルになります。本信号を使用してレギュレータの供給電流を制御することができます。

18.3 レジスタの説明

リセット、消費電力モードのレジスタ構成を表 18.3 に示します。また、各処理モードにおけるレジスタの状態を表 18.4 に示します。

表18.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'A415 0020	32
モジュールストップレジスタ 0	MSTPCR0	R/W	H'A415 0030	32
モジュールストップレジスタ 1	MSTPCR1	R/W	H'A415 0034	32
モジュールストップレジスタ 2	MSTPCR2	R/W	H'A415 0038	32
ブートアドレスレジスタ	BAR	R/W	H'A415 0040	32

表18.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	R-スタンバイ	U-スタンバイ	スリープ
STBCR	初期化	保持	保持	-	保持	保持	保持
MSTPCR0	初期化	保持	保持	-	保持	初期化	保持
MSTPCR1	初期化	保持	保持	-	保持	初期化	保持
MSTPCR2	初期化	保持	保持	-	保持	初期化	保持
BAR	初期化	保持	保持	-	保持	初期化	保持

18.3.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し / 書き込み可能な 32 ビットのレジスタで、スリープ、スタンバイ、R-スタンバイ、U-スタンバイの指定ができます。

STBCR はロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	STBY	—	RSTBY	USTBY	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。
7	STBY	0	R/W	スタンバイビット 本ビットを1にセット後、SLEEP 命令を実行することによりスタンバイモードへ遷移します。
6	-	0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。
5	RSTBY	0	R/W	R-スタンバイビット 本ビットを1にセット後、SLEEP 命令を実行することによりR-スタンバイモードへ遷移します。
4	USTBY	0	R/W	U-スタンバイビット 本ビットを1にセット後、SLEEP 命令を実行することによりU-スタンバイモードへ遷移します。
3~0	-	すべて0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。

低消費電力モードの設定ビット (STBY、RSTBY、USTBY) のうち複数のビットに1をセットした場合の動作は保証しません。すべてのビットが0の場合、SLEEP 命令によってスリープモードに遷移します。

なお、RSTBY ビットはR-スタンバイ開始前にセットし、R-スタンバイを割り込みで解除した場合には、復帰後にRSTBY ビットを0に戻してください。同様にUSTBY ビットはU-スタンバイ開始前にセットし、U-スタンバイをCMT、KEYSC、RTC による要求で解除した場合には、復帰後にUSTBY ビットを0に戻してください。

RSTBY ビットが1にセットされている場合の起動アドレスはBAR の値となります。

18.3.2 モジュールストップレジスタ 0 (MSTPCR0)

MSTPCR0 は、読み出し/書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR0 は、ロングワードアクセスのみ可能です。

命令キャッシュ (IC)、オペランドキャッシュ (OC)、TLB、および RS メモリに対するモジュールストップを解除した後、それらのモジュールにアクセスするときは、以下のいずれかの前処理を行ってください。なお、モジュールのアクセスには、該当モジュールからの命令フェッチ、および該当モジュールを利用した命令フェッチを含みます。

- 書き換えた MSTPn ビットを一度読み出した後、RTE 命令を実行してください。
- 書き換えた MSTPn ビットを一度読み出した後、任意のアドレスに対して ICBI 命令を実行してください。このとき、任意のアドレスはキャッシング不可領域でも構いません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MSTP 031	MSTP 030	MSTP 029	MSTP 028	MSTP 027	MSTP 026	—	MSTP 024	—	MSTP 022	MSTP 021	MSTP 020	MSTP 019	MSTP 018	MSTP 017	MSTP 016
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSTP 015	MSTP 014	MSTP 013	MSTP 012	—	MSTP 010	MSTP 009	MSTP 008	MSTP 007	MSTP 006	MSTP 005	MSTP 004	—	MSTP 002	MSTP 001	—
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	RW	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31	MSTP031	0	R/W	モジュールストップビット 031 MSTP031 ビットを 1 にセットすると、TLB へのクロックの供給を停止します。CPU コアを 32 ビットアドレスモードで使用する場合、本ビットは常に 0 (動作) に設定してください。 0: TLB は動作 1: TLB へのクロック供給を停止
30	MSTP030	0	R/W	モジュールストップビット 030 MSTP030 ビットを 1 にセットすると、命令キャッシュ (IC) へのクロックの供給を停止します。 0: IC は動作 1: IC へのクロック供給を停止
29	MSTP029	0	R/W	モジュールストップビット 029 MSTP029 ビットを 1 にセットすると、オペランドキャッシュ (OC) へのクロックの供給を停止します。 0: OC は動作 1: OC へのクロック供給を停止

ビット	ビット名	初期値	R/W	説明
28	MSTP028	0	R/W	モジュールストップビット 028 MSTP028 ビットを 1 にセットすると、RS メモリへのクロックの供給を停止します。 0 : RS メモリは動作 1 : RS メモリへのクロック供給を停止
27	MSTP027	0	R/W	モジュールストップビット 027 MSTP027 ビットを 1 にセットすると、ILRAM メモリへのクロックの供給を停止します。 0 : ILRAM は動作 1 : ILRAM へのクロック供給を停止
26	MSTP026	0	R/W	モジュールストップビット 026 MSTP026 ビットを 1 にセットすると、2 次キャッシュへのクロックの供給を停止します。 0 : 2 次キャッシュは動作 1 : 2 次キャッシュへのクロック供給を停止
25	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
24	MSTP024	0	R/W	モジュールストップビット 024 MSTP024 ビットを 1 にセットすると、FPU へのクロックの供給を停止します。 0 : FPU は動作 1 : FPU へのクロック供給を停止
23	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
22	MSTP022	0	R/W	モジュールストップビット 022 MSTP022 ビットを 1 にセットすると、INTC へのクロックの供給を停止します。 0 : INTC は動作 1 : INTC へのクロック供給を停止
21	MSTP021	0	R/W	モジュールストップビット 021 MSTP021 ビットを 1 にセットすると、DMAC0 へのクロックの供給を停止します。 0 : DMAC0 は動作 1 : DMAC0 へのクロック供給を停止
20	MSTP020	0	R/W	モジュールストップビット 020 MSTP020 ビットを 1 にセットすると、SuperHyway バスへのクロックの供給を停止します。 0 : SuperHyway バスは動作 1 : SuperHyway バスへのクロック供給を停止

ビット	ビット名	初期値	R/W	説明
19	MSTP019	0	R/W	モジュールストップビット 019 MSTP019 ビットを 1 にセットすると、H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロック供給を停止
18	MSTP018	0	R/W	モジュールストップビット 018 MSTP018 ビットを 1 にセットすると、LSI 内のデバッグ機能 (DBG) へのクロック供給を停止します。H-UDI、UBC、AUD を使用する場合は、本ビットは 0 にしてください。 0 : DBG は動作 1 : DBG へのクロック供給を停止
17	MSTP017	0	R/W	モジュールストップビット 017 MSTP017 ビットを 1 にセットすると、UBC へのクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロック供給を停止
16	MSTP016	0	R/W	モジュールストップビット 016 MSTP016 ビットはデバッグ用リザーブビットです。初期化ルーチンで 1 をセットしてください。通常は直前に読み出した値を書き込むようにしてください。
15	MSTP015	0	R/W	モジュールストップビット 015 MSTP015 ビットを 1 にセットすると、TMU0 へのクロックの供給を停止します。 0 : TMU0 は動作 1 : TMU0 へのクロック供給を停止
14	MSTP014	0	R/W	モジュールストップビット 014 MSTP014 ビットを 1 にセットすると、CMT へのクロックの供給を停止します。 0 : CMT は動作 1 : CMT へのクロック供給を停止
13	MSTP013	0	R/W	モジュールストップビット 013 MSTP013 ビットを 1 にセットすると、RWDT へのクロックの供給を停止します。 0 : RWDT は動作 1 : RWDT へのクロック供給を停止
12	MSTP012	1	R/W	モジュールストップビット 012 MSTP012 ビットを 1 にセットすると、DMAC1 へのクロックの供給を停止します。 0 : DMAC1 は動作 1 : DMAC1 へのクロック供給を停止

ビット	ビット名	初期値	R/W	説明
11	-	0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。
10	MSTP010	0	R/W	モジュールストップビット 010 MSTP010 ビットを1にセットすると、TMU1 へのクロックの供給を停止します。 0 : TMU1 は動作 1 : TMU1 へのクロック供給を停止
9	MSTP009	0	R/W	モジュールストップビット 009 MSTP009 ビットを1にセットすると、SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロック供給を停止
8	MSTP008	0	R/W	モジュールストップビット 008 MSTP008 ビットを1にセットすると、SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロック供給を停止
7	MSTP007	0	R/W	モジュールストップビット 007 MSTP007 ビットを1にセットすると、SCIF2 へのクロックの供給を停止します。 0 : SCIF2 は動作 1 : SCIF2 へのクロック供給を停止
6	MSTP006	0	R/W	モジュールストップビット 006 MSTP006 ビットを1にセットすると、SCIFA3 へのクロックの供給を停止します。 0 : SCIFA3 は動作 1 : SCIFA3 へのクロック供給を停止
5	MSTP005	0	R/W	モジュールストップビット 005 MSTP005 ビットを1にセットすると、SCIFA4 へのクロックの供給を停止します。 0 : SCIFA4 は動作 1 : SCIFA4 へのクロック供給を停止
4	MSTP004	0	R/W	モジュールストップビット 004 MSTP004 ビットを1にセットすると、SCIFA5 へのクロックの供給を停止します。 0 : SCIFA5 は動作 1 : SCIFA5 へのクロック供給を停止
3	-	0	R	リザーブビット 読み出すと0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2	MSTP002	0	R/W	モジュールストップビット 002 MSTP002 ビットを 1 にセットすると、MSIOF0 へのクロックの供給を停止します。 0 : MSIOF0 は動作 1 : MSIOF0 へのクロック供給を停止
1	MSTP001	0	R/W	モジュールストップビット 001 MSTP001 ビットを 1 にセットすると、MSIOF1 へのクロックの供給を停止します。 0 : MSIOF1 は動作 1 : MSIOF1 へのクロック供給を停止
0	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 MSTPCR0 に書き込む際、特定ビットに対してのみ書き込みを行いたい場合は、MSTPCR0 の値を読み出し、特定ビットの値のみ変更した値を MSTPCR0 に書き戻してください。

18.3.3 モジュールストップレジスタ 1 (MSTPCR1)

MSTPCR1 は、読み出し/書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR1 は、ロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MSTP 112	MSTP 111	—	MSTP 109	MSTP 108	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
12	MSTP112	0	R/W	モジュールストップビット 112 MSTP112 ビットを 1 にセットすると、KEYSC へのクロックの供給を停止します。 0: KEYSC は動作 1: KEYSC へのクロック供給を停止
11	MSTP111	0	R/W	モジュールストップビット 111 MSTP111 ビットを 1 にセットすると、RTC へのクロック供給を停止します。 0: RTC は動作 1: RTC へのクロック供給を停止
10	-	0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
9	MSTP109	0	R/W	モジュールストップビット 109 MSTP109 ビットを 1 にセットすると、 μ C (チャンネル 0) へのクロックの供給を停止します。 0: μ C (チャンネル 0) は動作 1: μ C (チャンネル 0) へのクロック供給を停止
8	MSTP108	0	R/W	モジュールストップビット 108 MSTP108 ビットをセットすると、 μ C (チャンネル 1) へのクロック供給を停止します。 0: μ C (チャンネル 1) は動作 2: μ C (チャンネル 1) へのクロック供給を停止
7~0	-	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 MSTPCR1 に書き込む際、特定ビットに対してのみ書き込みを行いたい場合は、MSTPCR1 の値を読み出し、特定ビットの値のみ変更した値を MSTPCR1 に書き戻してください。

18.3.4 モジュールストップレジスタ 2 (MSTPCR2)

MSTPCR2 は、読み出し/書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR2 は、ロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MSTP 229	MSTP 228	—	MSTP 226	MSTP 225	MSTP 224	—	MSTP 222	MSTP 221	MSTP 220	MSTP 219	MSTP 218	MSTP 217	—
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSTP 215	—	MSTP 213	MSTP 212	—	MSTP 210	MSTP 209	—	—	MSTP 206	MSTP 205	MSTP 204	MSTP 203	MSTP 202	MSTP 201	MSTP 200
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	-	すべて 1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
29	MSTP229	1	R/W	モジュールストップビット 229 MSTP229 ビットを 0 にセットすると、MMCIF へのクロックの供給を開始します。 0: MMCIF は動作 1: MMCIF へのクロック供給を停止
28	MSTP228	1	R/W	モジュールストップビット 228 MSTP228 ビットを 0 にセットすると、EtherMAC へのクロックの供給を開始します。 0: EtherMAC は動作 1: EtherMAC へのクロック供給を停止
27	-	1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
26	MSTP226	1	R/W	モジュールストップビット 226 MSTP226 ビットを 0 にセットすると、ATAPI へのクロックの供給を開始します。 0: ATAPI は動作 1: ATAPI へのクロック供給を停止
25	MSTP225	1	R/W	モジュールストップビット 225 MSTP225 ビットを 0 にセットすると、TPU へのクロックの供給を開始します。 0: TPU は動作 1: TPU へのクロック供給を停止

ビット	ビット名	初期値	R/W	説明
24	MSTP224	1	R/W	モジュールストップビット 224 MSTP224 ビットを 0 にセットすると、IrDA へのクロックの供給を開始します。 0 : IrDA は動作 1 : IrDA へのクロック供給を停止
23	-	1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
22	MSTP222	1	R/W	モジュールストップビット 222 MSTP222 ビットを 0 にセットすると、TSIF へのクロックの供給を開始します。 0 : TSIF は動作 1 : TSIF へのクロック供給を停止
21	MSTP221	1	R/W	モジュールストップビット 221 MSTP221 ビットを 0 にセットすると、USB1 へのクロックの供給を開始します。 0 : USB1 は動作 1 : USB1 へのクロック供給を停止
20	MSTP220	1	R/W	モジュールストップビット 220 MSTP220 ビットを 0 にセットすると、USB0 へのクロックの供給を開始します。 0 : USB0 は動作 1 : USB0 へのクロック供給を停止
19	MSTP219	1	R/W	モジュールストップビット 219 MSTP219 ビットを 0 にセットすると、2DG へのクロックの供給を開始します。 0 : 2DG は動作 1 : 2DG へのクロック供給を停止
18	MSTP218	1	R/W	モジュールストップビット 218 MSTP218 ビットを 0 にセットすると、SDHI0 へのクロックの供給を開始します。 0 : SDHI0 は動作 1 : SDHI0 へのクロック供給を停止
17	MSTP217	1	R/W	モジュールストップビット 217 MSTP217 ビットを 0 にセットすると、SDHI1 へのクロックの供給を開始します。 0 : SDHI1 は動作 1 : SDHI1 へのクロック供給を停止
16	-	1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説明
15	MSTP215	1	R/W	モジュールストップビット 215 MSTP215 ビットを 0 にセットすると、VEU1 へのクロックの供給を開始します。 0 : VEU1 は動作 1 : VEU1 へのクロック供給を停止
14	-	1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
13	MSTP213	1	R/W	モジュールストップビット 213 MSTP213 ビットを 0 にセットすると、CEU1 へのクロックの供給を開始します。 0 : CEU1 は動作 1 : CEU1 へのクロック供給を停止
12	MSTP212	1	R/W	モジュールストップビット 212 MSTP212 ビットを 0 にセットすると、BEU1 へのクロックの供給を開始します。 0 : BEU1 は動作 1 : BEU1 へのクロック供給を停止
11	-	1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
10	MSTP210	1	R/W	モジュールストップビット 210 MSTP210 ビットを 0 にセットすると、2DDMAC へのクロックの供給を開始します。 0 : 2DDMAC は動作 1 : 2DDMAC へのクロック供給を停止
9	MSTP209	1	R/W	モジュールストップビット 209 MSTP209 ビットを 0 にセットすると、SPU へのクロックの供給を開始します。 0 : SPU は動作 1 : SPU へのクロック供給を停止
8、7	-	すべて 1	R	リザーブビット 読み出すと 1 が読み出されます。書き込む値も常に 1 にしてください。
6	MSTP206	1	R/W	モジュールストップビット 206 MSTP206 ビットを 0 にセットすると、JPU へのクロックの供給を開始します。 0 : JPU は動作 1 : JPU へのクロック供給を停止

ビット	ビット名	初期値	R/W	説明
5	MSTP205	1	R/W	モジュールストップビット 205 MSTP205 ビットを 0 にセットすると、VOU へのクロックの供給を開始します。 0 : VOU は動作 1 : VOU へのクロック供給を停止
4	MSTP204	1	R/W	モジュールストップビット 204 MSTP204 ビットを 0 にセットすると、BEU0 へのクロックの供給を開始します。 0 : BEU0 は動作 1 : BEU0 へのクロック供給を停止
3	MSTP203	1	R/W	モジュールストップビット 203 MSTP203 ビットを 0 にセットすると、CEU0 へのクロックの供給を開始します。 0 : CEU0 は動作 1 : CEU0 へのクロック供給を停止
2	MSTP202	1	R/W	モジュールストップビット 202 MSTP202 ビットを 0 にセットすると、VEU0 へのクロックの供給を開始します。 0 : VEU0 は動作 1 : VEU0 へのクロック供給を停止
1	MSTP201	1	R/W	モジュールストップビット 201 MSTP201 ビットを 0 にセットすると、VPU へのクロックの供給を開始します。 0 : VPU は動作 1 : VPU へのクロック供給を停止
0	MSTP200	1	R/W	モジュールストップビット 200 MSTP200 ビットを 0 にセットすると、LCDC へのクロックの供給を開始します。 0 : LCDC は動作 1 : LCDC へのクロック供給を停止

【注】 MSTPCR2 に書き込む際、特定ビットに対してのみ書き込みを行いたい場合は、MSTPCR2 の値を読み出し、特定ビットの値のみ変更した値を MSTPCR2 に書き戻してください。

18.3.5 ブートアドレスレジスタ (BAR)

BAR は、読み出し/書き込み可能な 32 ビットのレジスタで、R-スタンバイから復帰後の開始アドレスを指定します。アドレスには RS メモリ上のアドレス、またはエリア 0 のアドレスが指定できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	BAR[31:0]	H'0000 0000	R/W	R-スタンバイ時のブートアドレスをセットしてください

18.4 動作説明

18.4.1 リセット

リセットには、パワーオンリセット、システムリセット、マニュアルリセットの3種類があります。

(1) パワーオンリセット

パワーオンリセットは、電源投入時に必ず使用してください。パワーオンリセットに使用する端子は $\overline{\text{RESETP}}$ です。パワーオンリセットは、すべての実行中の処理を中断し、いかなる未処理の事象も取り消して、リセット処理を直ちに実行します。パワーオンリセット時のタイミングシーケンスについては、「第52章 電気的特性」を参照してください。

パワーオンリセットでのみ初期化されるレジスタを以下に示します。これらのレジスタはシステムリセットでは初期化されません。

1. RWTCSRレジスタ (WDT) のビット7、4
2. CMCSRレジスタ (CMT) のビット15、14

(2) システムリセット

システムリセットは、いわゆる初期化状態から再実行したいときに使用します。システムリセットに使用する端子は $\overline{\text{RESETA}}$ です。システムリセットはすべての実行中の処理を中断し、いかなる未処理の事象も取り消して、リセット処理を直ちに実行します。システムリセットが発生する条件を以下に示します。

1. $\overline{\text{RESETA}}$ 端子にローレベルを入力する。
2. RWDTのカウントを開始し、カウンタがオーバーフローしたとき。
3. H-UDIリセットが発生したとき (H-UDIリセットについては、「第50章 ユーザデバッグインタフェース (H-UDI)」を参照してください)。

システムリセット発生時のCPUの例外処理は、パワーオンリセットと同じになります。

(3) マニュアルリセット

マニュアルリセットは、ソフトウェアにより発生するリセットです。マニュアルリセットについては、「第5章 例外処理」を参照してください。

18.4.2 スリープモード

(1) スリープモードへの遷移

STBCRのSTBY、RSTBY、USTBYビットが0の状態ではSLEEP命令を実行すると、プログラム実行状態からスリープモードに遷移します。スリープモードでは、CPUコアに対するクロック供給を停止します。CPUはSLEEP命令実行後に停止しますが、CPUコアのレジスタやメモリ内容は保持されます。また、内蔵周辺モジュールは動作を続けます。CKO端子、MCLK端子にはクロックが出力され続けます。

スリープモードへ遷移する手順を以下に示します。

1. STBCRのSTBY、RSTBY、USTBYビットを0に設定します。
2. SLEEP命令を実行します。

(2) スリープモードの解除

スリープモードは、割り込み (NMI、IRQ、内蔵周辺モジュール) およびリセットにより解除されます。

スリープモード中は、ステータスレジスタ (SR) のBL ビットが1でも割り込みを受け付けますので、必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

(a) 割り込みによる解除

NMI、IRQ、内蔵周辺モジュールの各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。割り込み事象レジスタ (INTEVT) には、割り込み要因に対応したコードがセットされます。内蔵周辺モジュールの割り込みの種類については、「第 13 章 割り込みコントローラ (INTC)」を参照してください。

(b) リセットによる解除

パワーオンリセットおよびシステムリセットにより、スリープモードは解除されます。

18.4.3 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

STBCR の STBY ビットが 1、RSTBY、USTBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは CPG が停止するため、RCLK、および RTC_CLK で動作するモジュール (RWDT、CMT、KEYSC、RTC) 以外は停止します。ただし、クロックを必要としない I/O エリアの機能 (NMI、IRQ 割り込み検出) は動作します。

CPU コアのレジスタやメモリ、RS メモリの内容は保持されます。内蔵周辺モジュールのレジスタの状態については、各章のレジスタの説明を参照してください。

ソフトウェアスタンバイモード時は、RWDT、CMT、KEYSC、RTC を動作させるため、RCLK および RTC_CLK を入力してください。クロックモード 0~2 の場合は RCLK のソースである EXTAL を入力し、RTC を使用している場合は RTC_CLK も入力してください。クロックモード 3~7 の場合は、RCLK のソースである RTC_CLK を入力してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. STBCRのSTBYビットを1に、RSTBY、USTBYビットを0に設定します。
2. SLEEP命令を実行します。
3. ソフトウェアスタンバイモードに入り、LSI内部のクロックが停止すると、STATUS0端子からハイレベルが出力されます。

(2) ソフトウェアスタンバイモードの解除

割り込み (NMI、IRQ、CMT、KEYSC、RTC)、パワーオンリセット、システムリセットにより、ソフトウェアスタンバイモードは解除されます。

(a) 割り込みによる解除

NMI、IRQ、CMT、KEYSC、RTC 割り込みが発生すると、CPG が起動し、動作すべき PLL、FLL のすべての発振が安定した後に、LSI 全体にクロックが供給されます。このとき、PLL、FLL の発振安定化時間は自動的に LSI 側で確保されます。ソフトウェアスタンバイモードが解除されると、STATUS0 端子がローレベルになります。この後、CPU により割り込み例外処理が実行されます。ソフトウェアスタンバイモード中は、ステータスレジスタ (SR) の BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

ソフトウェアスタンバイモードが解除されるまでの間、CKO、MCLK 端子のクロック出力は停止します。

(b) リセットによる解除

パワーオンリセットおよびシステムリセットにより、ソフトウェアスタンバイモードは解除されます。

復帰後の開始アドレスはリセットベクタアドレス (H'A000 0000) になります。

18.4.4 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

モジュールスタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、CPU 通常動作時の消費電力を低減させることができます。

モジュールスタンバイ状態にある各モジュールは、モジュールスタンバイ状態に遷移する直前の状態が保持され続けます。レジスタ設定値も停止前の状態を保持します。また、外部端子も停止前の状態を保持します。モジュールスタンバイ状態から復帰すると、停止前の状態から動作を開始します。

【注】 モジュールの動作が完了してアイドル状態にあり、外部端子や他のモジュールからの起動要因もありえない状態で MSTP ビットに 1 をセットしてください。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアすることにより行います。

各 MSTP ビットを変更してモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して変更されたことを確認してください。

18.4.5 U-スタンバイモード

(1) U-スタンバイモードへの遷移

STBCR の USTBY ビットが 1、STBY、RSTBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態から U-スタンバイモードに遷移します。U-スタンバイモードでは、電源分離領域のうち、I/O エリアとサブエリアの電源がオン、コアエリアとバックアップエリアの電源がオフになります。これにより、ソフトウェアスタンバイモードに比べてリーク電流を極めて小さくできます。

U-スタンバイモードでは、RCLK、および RTC_CLK で動作する RWDT、CMT、KEYSC、RTC は動作を続け、I/O エリアの機能も動作可能です。NMI、IRQ 割り込み検出は動作しません。

なお、U-スタンバイモードでは、電源オフとなるコアエリア、バックアップエリアにある各モジュールのレジスタおよびメモリの内容はすべて失われるため、U-スタンバイモードから復帰後に再設定が必要です。

U-スタンバイモード時は、RWDT、CMT、KEYSC、RTC を動作させるため、RCLK および RTC_CLK を入力してください。クロックモード 0~2 の場合は RCLK のソースである EXTAL を入力し、RTC を使用してれば RTC_CLK も入力してください。クロックモード 3~7 の場合は、RCLK のソースである RTC_CLK を入力してください。

U-スタンバイへ遷移する手順を以下に示します。

1. STBCRのUSTBYビットを1に、STBY、RSTBYビットを0に設定します。
2. SLEEP命令を実行します。
3. U-スタンバイモードに入り、LSI内部のクロックが停止してSTATUS0端子からハイレベルが出力されます。コアエリア、バックアップエリアの電源がオフになると、PDSTATUS端子からハイレベルが出力されます。

(2) U-スタンバイモードの解除

U-スタンバイモードは、パワーオンリセット、システムリセット、CMT、KEYSC、RTC により解除され、コアエリア、バックアップエリアの電源がオンになります。復帰後の開始アドレスはリセットベクタアドレス(H'A000 0000)になります。なお、クロックモード 3 の場合は、CMT、KEYSC、RTC での U-スタンバイモード解除を禁止します。クロックモード 3 の U-スタンバイモード解除は、パワーオンリセットまたはシステムリセットを使用してください。

18.4.6 R-スタンバイモード

(1) R-スタンバイモードへの遷移

STBCRのRSTBYビットが1、STBY、USTBYビットが0の状態ではSLEEP命令を実行すると、プログラム実行状態からR-スタンバイモードに遷移します。R-スタンバイモードでは、電源分離領域のうち、I/Oエリア、バックアップエリアとサブエリアの電源がオン、コアエリアの電源がオフになります。コアエリアの電源オフにより、ソフトウェアスタンバイモードに比べてリーク電流を小さくできます。また、バックアップエリアにレジスタや復帰先アドレスの保持ができるため、割り込みによる高速な復帰が可能です。

R-スタンバイモードでは、RCLK、および RTC_CLK で動作するモジュール (RWDT、CMT、KEYSC、RTC) は動作を続け、I/O エリアの機能 (NMI、IRQ 割り込み検出) も動作可能です。

R-スタンバイモード時は、RWDT、CMT、KEYSC、RTC を動作させるため、RCLK および RTC_CLK を入力してください。クロックモード 0~2 の場合は RCLK のソースである EXTAL を入力し、RTC を使用してれば RTC_CLK も入力してください。クロックモード 3~7 の場合は、RCLK のソースである RTC_CLK を入力してください。

なお、R-スタンバイモードでは、コアエリアにある各モジュールのレジスタおよびメモリの内容のうち、バックアップエリアに退避され保持されるものと初期化されるものがあります。R-スタンバイモード時の各レジスタ、メモリの状態は、「18.4.6 (3) R-スタンバイモードで保持されるレジスタおよびメモリ」を参照してください。初期化されるモジュールは、レジスタおよびメモリの内容がすべて失われますので、ソフトウェアによる動作保証を行ってください。

R-スタンバイモードへ遷移する手順を以下に示します。

1. STBCRのRSTBYビットを1に、STBY、USTBYビットを0に設定します。
2. BARにR-スタンバイモードからプログラム実行状態へ遷移した場合の最初の分岐先アドレスを指定します。
3. SLEEP命令を実行します。
4. R-スタンバイモードに入り、LSI内部のクロックが停止してSTATUS0端子およびSTATUS2端子からハイレベルが出力されます。コアエリアの電源がオフになると、PDSTATUS端子からハイレベルが出力されます。

(2) R-スタンバイモードの解除

割り込み (NMI、IRQ、CMT、KEYSC、RTC)、パワーオンリセット、システムリセットにより、R-スタンバイモードは解除されます。

(a) 割り込みによる解除

NMI、IRQ、CMT、KEYSC、RTC 割り込みが検出されると、コアエリアの電源がオンになります。コアエリアのみにリセットがアサートされ*、動作すべき PLL、FLL のすべての発振が安定した後に、LSI 全体にクロックが供給されます。このとき、PLL、FLL の発振安定化時間は自動的に LSI 側で確保されます。R-スタンバイモードが解除されると、STATUS0 端子および STATUS2 端子がローレベルになります。復帰後の開始アドレスは BAR に設定したアドレスになります。この後、CPU による割り込み例外処理が実行されます。R-スタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR を退避してください。

R-スタンバイモードが解除されるまでの間、CKO、MCLK 端子のクロック出力は停止します。

【注】 * RESETOUT 端子はアサートされません。

(b) パワーオンリセットによる解除

パワーオンリセットおよびシステムリセットにより、R-スタンバイモードは解除され、コアエリアの電源がオンになります。復帰後の開始アドレスはリセットベクタアドレス (H'A000 0000) になります。

(3) R-スタンバイモードで保持されるレジスタおよびメモリ

R-スタンバイモード時には、バックアップエリアで保持されているレジスタおよび RS メモリが保持されます。割り込みによる解除の場合は、R-スタンバイへの遷移前と同じレジスタ値で動作を開始します。この回復処理は R-スタンバイ解除後、BAR レジスタに示された命令が実行される前に自動で行われます。保持されるレジスタに関しては、各章のレジスタの説明を参照してください。

(4) R-スタンバイモードの使用例

本モードでは動作再開に必要な一部のデータのみ保存されます。保存されないデータについてはソフトウェアによる保証が必要です。また、動作中のモジュールに対する停止のための手続きについても、ソフトウェアで処理します。

(a) 遷移前の処理

1. SR.MD = 1、SR.BL = 1、SR.RB = 1にセットする。
2. 各周辺モジュールの停止処理を行います。FIFOバッファ内容は保存されませんのでFIFOバッファが空であることを確認し停止処理を行います。
3. 設定値などのデータを退避。退避先としては内容が保持できる外部メモリ、および内蔵のRSメモリを使用できます。
4. キャッシュを使用している場合、キャッシュパージ（メインメモリへの書き戻し処理）、リセット、ディスエーブル化を行います。TLBを使用している場合、再開のための必要な処理を行った後にリセット・ディスエーブルを行います。
5. STBCR.STBY = 0、STBCR.RSTBY = 1、STBCR.USTBY = 0をセットします。
6. 本モードからプログラム実行状態に復帰したときに、最初に行われる命令のアドレスをBARにセットします。
7. SLEEP命令を実行します。
8. R-スタンバイモードへ遷移します。

(b) 復帰後の処理

1. 復帰時に保存されている内容は、BSC、DBSC、INTC、CPG、PFC、I/Oポートの設定内容、およびRSメモリの内容です。その他の内容については、動作保証のためソフトウェアによる再設定が必要です。
2. BARで指定されたアドレスからの命令実行を開始します。このとき、SRはリセットされSR.BL = 1となっていますので、復帰のきっかけとなった割り込みは保留されます。
3. SR、R15レジスタを設定します。このとき、SR.BLは1のままとしてください。
4. 各周辺モジュールの再開手続きをソフトウェアにより行います。制御レジスタなどの再設定後、モジュールイネーブルビットをセットします。
5. VBR、TLB、キャッシュの設定を行います。
6. SR.BL = 0をセットします。その他のビットについても適宜設定します。
7. 保留されていた割り込みが受け付けられ、割り込みハンドラへ分岐し、通常の割り込み処理が実行されます。

18.4.7 各種モード間の状態遷移

図 18.1 に各種低消費電力モードの状態遷移を示します。

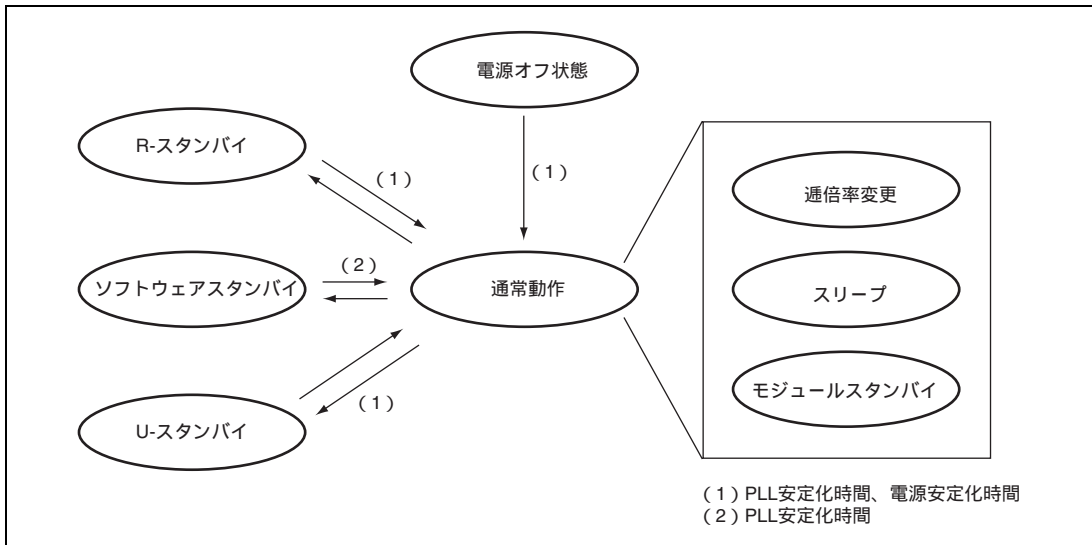


図18.1 各モード間の状態遷移図

18.4.8 パワーオンシーケンス

パワーオンシーケンスを図 18.2 に示します。

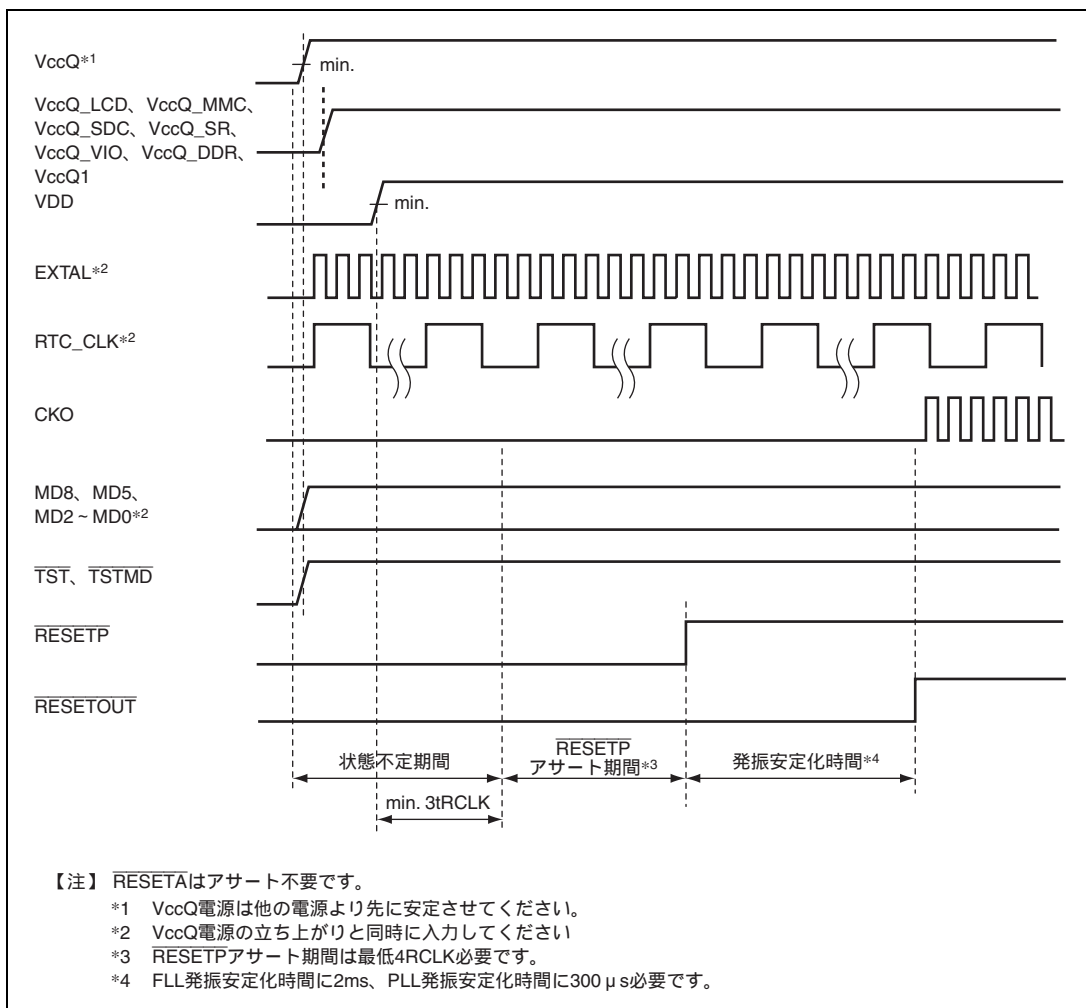


図18.2 パワーオンシーケンス

18.4.9 出力端子の変化タイミング

パワーオンリセット時における各端子の出力状態を図 18.3 に示します。

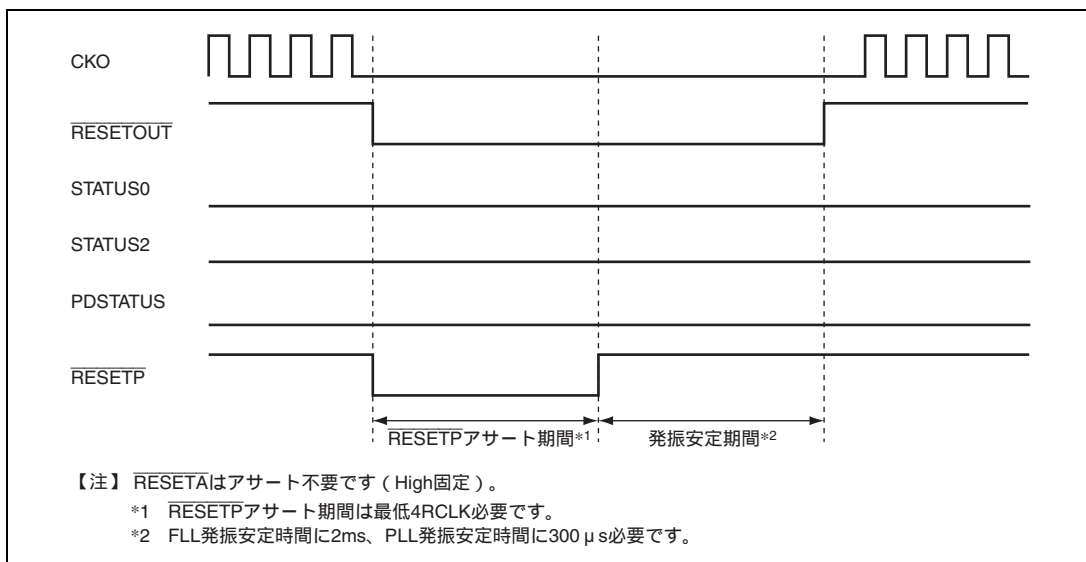


図18.3 パワーオンリセット時の各端子の出力状態

R-スタンバイの場合、各端子の出力状態を図 18.4 に示します。

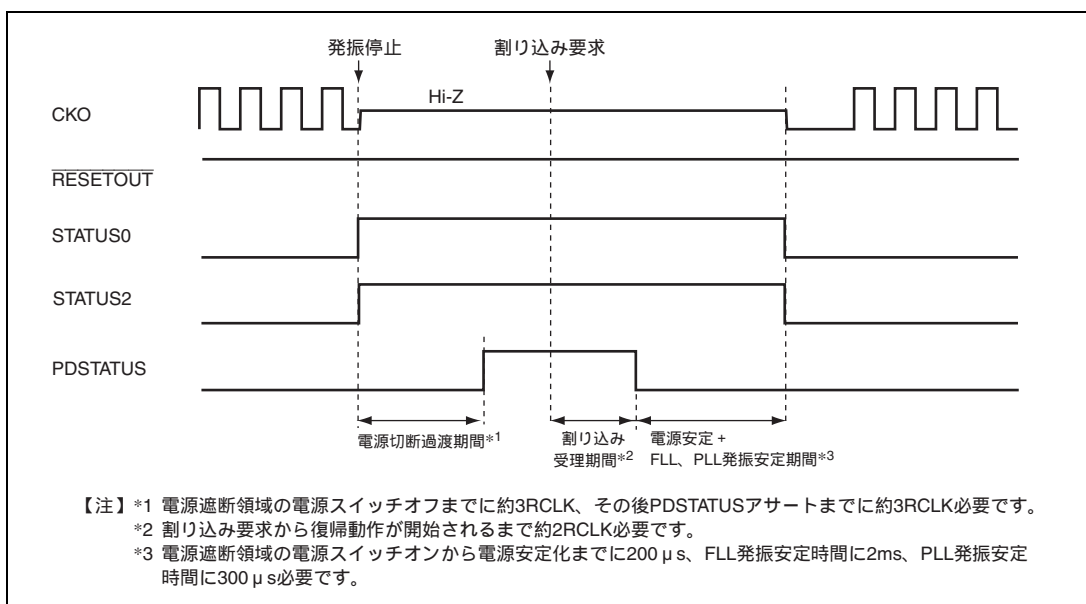


図18.4 R-スタンバイ 割り込み復帰時の各端子の出力状態

ソフトウェアスタンバイの場合、各端子の出力状態を図 18.5 に示します。

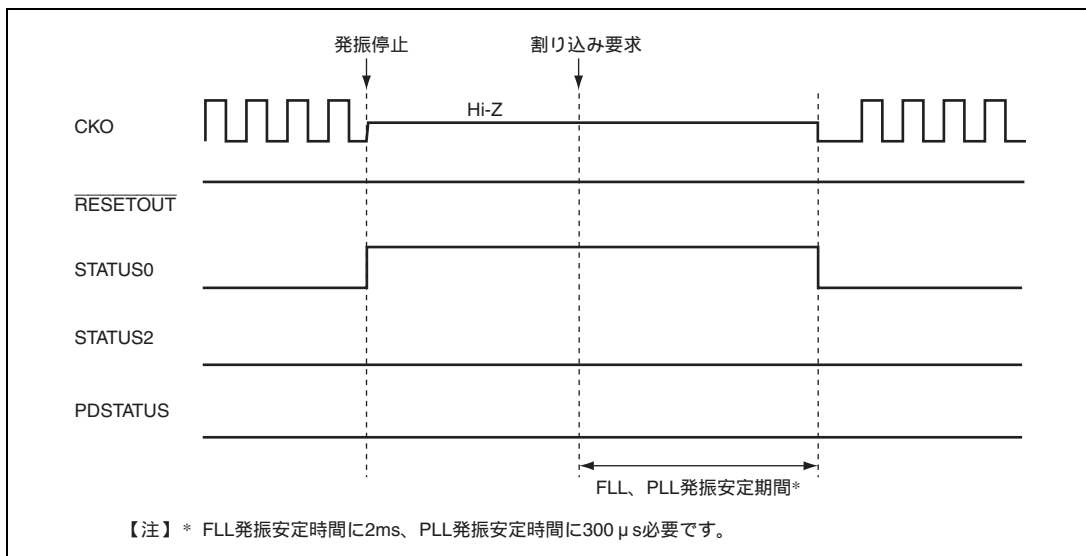


図18.5 ソフトウェアスタンバイ 割り込み復帰時の各端子の出力状態

U-スタンバイの場合、各端子の出力状態を図 18.6 に示します。

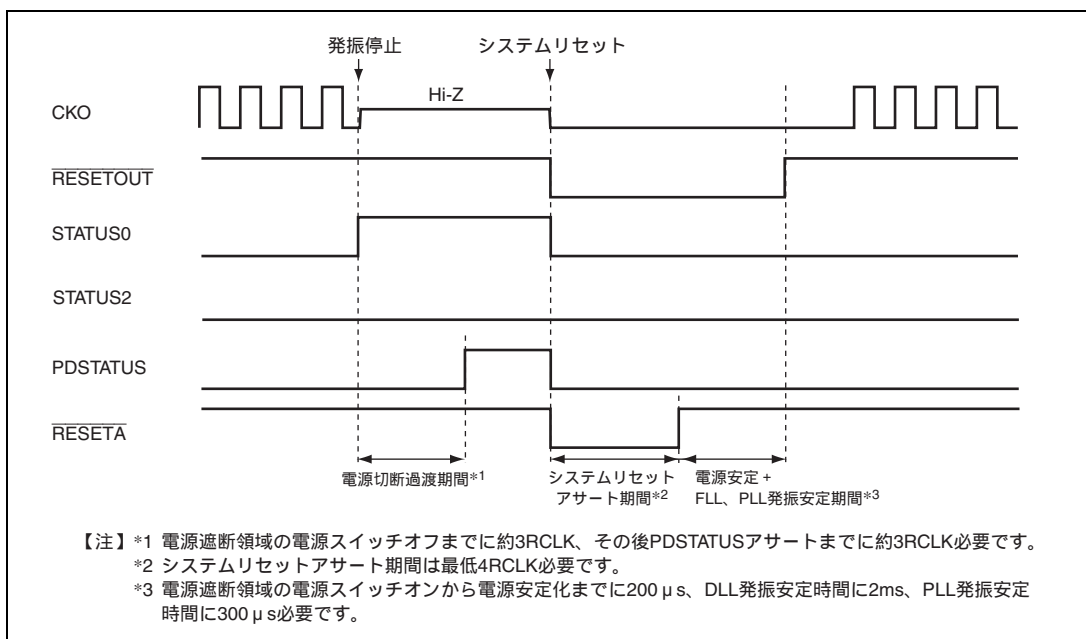


図18.6 U-スタンバイ リセット復帰時の各端子の出力状態

19. RCLK ウォッチドッグタイマ (RWDT)

本 LSI は、RCLK ウォッチドッグタイマ (RWDT) を内蔵しており、システムの暴走などにより、カウンタの値が書き換えられずにオーバフローすると本 LSI 内部をリセットすることができます。

RWDT は 1 チャンネルのタイマであり、RTC クロックを入力としウォッチドッグタイマとして使用可能です。

19.1 特長

- ウォッチドッグタイマとして使用でき、カウンタオーバフローによりシステムリセットが発生します。
- 8種類のカウント入力クロックを選択可能

RCLKを分周した8種類のクロック (RCLK/1 ~ RCLK/4096) から選択できます。

ブロック図を図 19.1 に示します。

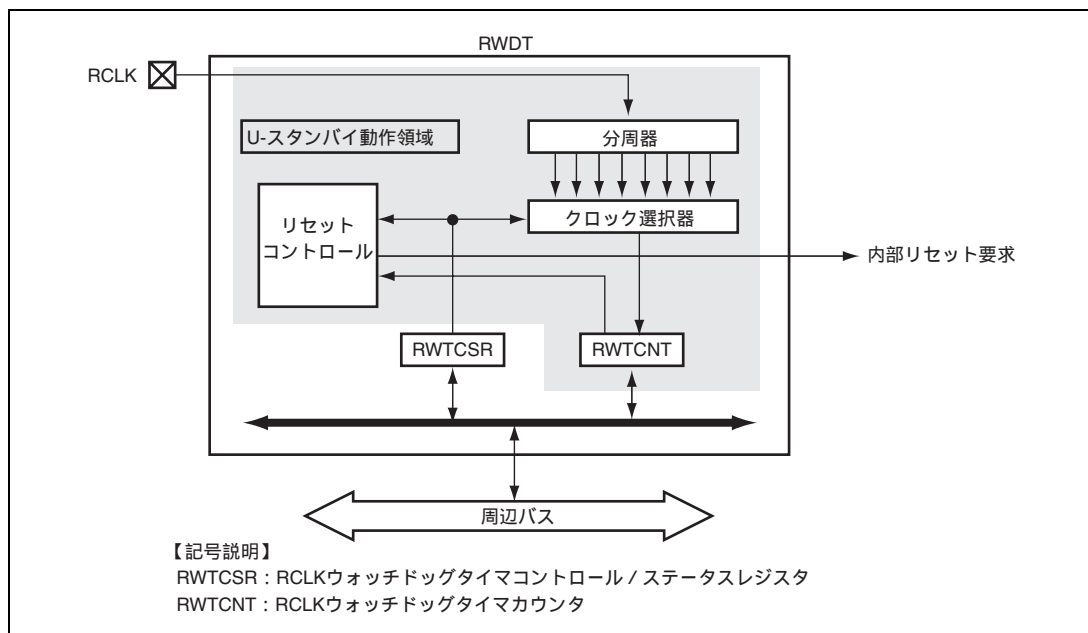


図 19.1 RWDT のブロック図

19.2 RWDT の入出力端子

RWDT の端子構成と機能を表 19.1 に示します。

表 19.1 RWDT の端子構成

端子名	機能	入出力	説明
RCLK	RTC クロック	入力	外部 RTC からのクロック入力 (32.768kHz)

19.3 レジスタの説明

RWDT のレジスタ構成を表 19.2 に示します。また、各処理モードにおけるレジスタの状態を表 19.3 に示します。

表 19.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
RCLK ウォッチドッグタイマカウンタ	RWTCNT	R/W	H'A452 0000	8/16*
RCLK ウォッチドッグタイマコントロール / ステータスレジスタ	RWTCSR	R/W	H'A452 0004	8/16*

【注】 * 書き込みは 16 ビット、読み出しは 8 ビットです。

表 19.3 各処理モードにおけるレジスタの状態

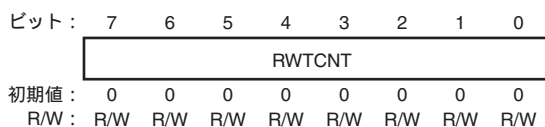
レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
RWTCNT	初期化	保持	保持	保持	保持	初期化	保持
RWTCSR	初期化	保持	保持	保持	初期化*	初期化*	保持

【注】 * WOVF/SRSTF ビットは動作内容によって変化します。

19.3.1 RCLK ウォッチドッグタイマカウンタ (RWTCNT)

RWTCNT は、読み出し / 書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、システムリセットが発生します。RWTCNT カウンタは、パワーオンリセットおよびシステムリセット時、H'00 に初期化されます。

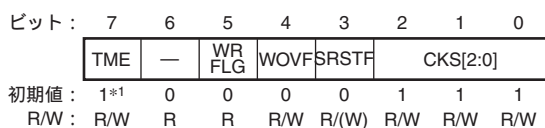
RWTCNT カウンタへの書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。



19.3.2 RCLK ウォッチドッグタイマコントロール / ステータスレジスタ (RWTCR)

RWTCR は、読み出し / 書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバフローフラグおよびイネーブルビットから成ります。

RWTCR は、パワーオンリセット時、H'87 に初期化されます。RWTCR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。



ビット	ビット名	初期値	R/W	説明
7	TME	1*1	R/W	タイマ動作の開始または停止を設定します。 0 : タイマディスエーブル。カウントアップを停止、RWTCNT の値は保持する 1 : タイマイネーブル
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	WRFLG	0	R	書き込み状態フラグ 本ビットが 1 の間、RWTCNT への書き込みが行えません。RWTCNT への書き込みを行った後、同期化のために一定期間 RWTCNT への書き込みがマスクされる期間を示します。連続して RWTCNT へ書き込む場合は、必ず本フラグが 0 になっていることを確認してください。
4	WOVF	0	R/W	RWTCNT がオーバフローしたことを示します。RWDT を使用する前に必ず 0 を書いてください。 0 : オーバフローなし 1 : RWTCNT がオーバフローした

ビット	ビット名	初期値	R/W	説明
3	SRSTF	0	R/(W)*2	システムリセット入力フラグ システムリセットが入力されると1にセットされます。0を書き込むことでクリアされます。 R/U-スタンバイに遷移させる前に必ず0クリアしてください。 0 : システムリセット入力なし 1 : システムリセットが入力された
2~0	CKS[2:0]	111	R/W	RTC クロックセレクト RTC クロックを分周して得られる8種類のクロックから、RWTCNT のカウントに使用するクロックを選択します。() 内のオーバフロー周期は、RTC クロック = 32.768kHz の場合の値です。 000 : RCLK (7.8 ms) 001 : RCLK/4 (31.3 ms) 010 : RCLK/16 (125.0 ms) 011 : RCLK/32 (250.0 ms) 100 : RCLK/64 (500.0 ms) 101 : RCLK/128 (1.0 s) 110 : RCLK/1024 (8.0 s) 111 : RCLK/4096 (32.0 s)

【注】 *1 RWDT の動作中に CKS[2:0] ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0] ビットを書き換える場合は、必ず RWDT を停止させてください。

*2 フラグをクリアするための0書き込みのみ可能です。

19.3.3 レジスタアクセス時の注意

RWTCNT、RWTCR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。次の方法で書き込みを行ってください。

- RWTCNT、RWTCRへ書き込む時は、必ずワード転送命令を使用してください。バイト転送、ロングワード転送では、書き込みません。
- RWTCNTへ書き込むときは、上位バイトをH'5Aにし下位バイトを書き込むデータにして転送してください。RWTCRへ書き込むときは、上位バイトをH'A5にし下位バイトを書き込むデータにして転送してください。

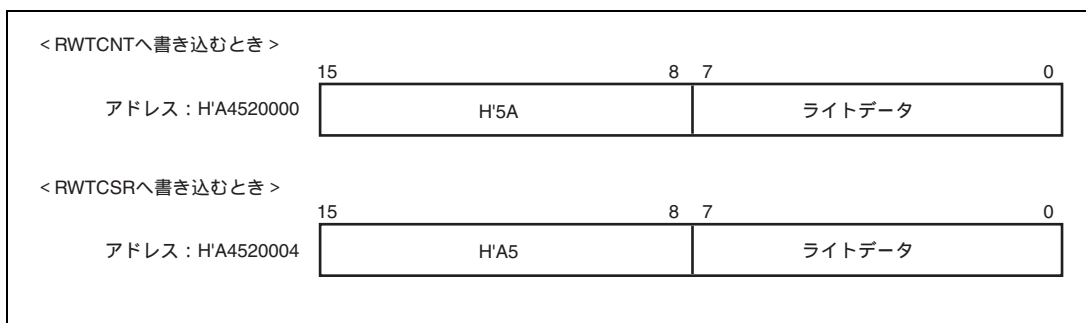


図 19.2 RWTCNT、RWTCR への書き込み

19.4 RWDT の使用方法

19.4.1 暴走制御

パワーオンリセットにより RWDT は動作状態となり、RCLK でカウントが始まります。カウントオーバーフローすると再度システムリセットが発生します。この機能により本 LSI が暴走した場合にも自動的にシステムリセットを発生させることが可能となります。

1. パワーオンリセット後、RWTCNTがオーバーフローする前にブートルーチン内でRWTCNTのTMEビットを0としてRWDTを停止してください。
2. RWTCNTのWOVFビットを0クリアしてください。
3. RWTCNTのCKS[2:0]ビットにカウントクロックの種類を設定してください。
4. RWTCNTのTMEビットを1にセットしてカウントを開始してください。
5. RWTCNTがオーバーフローしないように定期的にRWTCNTをH'00に書き換えてください。
6. RWTCNTがオーバーフローすると、RWDTはRWTCNTのWOVFフラグを1にセットし、システムリセットを発生します。このとき、RWTCNTおよびRWTCNTは初期化されます。

20. タイマユニット (TMU)

本 LSI は、3 チャンネルの 32 ビットタイマにより構成されるタイマユニット (TMU) を 2 ユニット内蔵しています。

20.1 特長

- オートリロード方式の32ビットダウンカウンタを搭載
- 任意の時点で書き込み / 読み出し可能な、オートリロード用の32ビットコンスタントレジスタおよび32ビットダウンカウンタを搭載
- 32ビットダウンカウンタのアンダフロー (H'0000 0000 H'FFFF FFFF) の発生で割り込み要求を発生
- 各チャンネルとも、5種類のカウンタ入力クロックを選択可能
P /4、P /16、P /64、P /256、P /1024

TMU のブロック図を図 20.1 に示します。

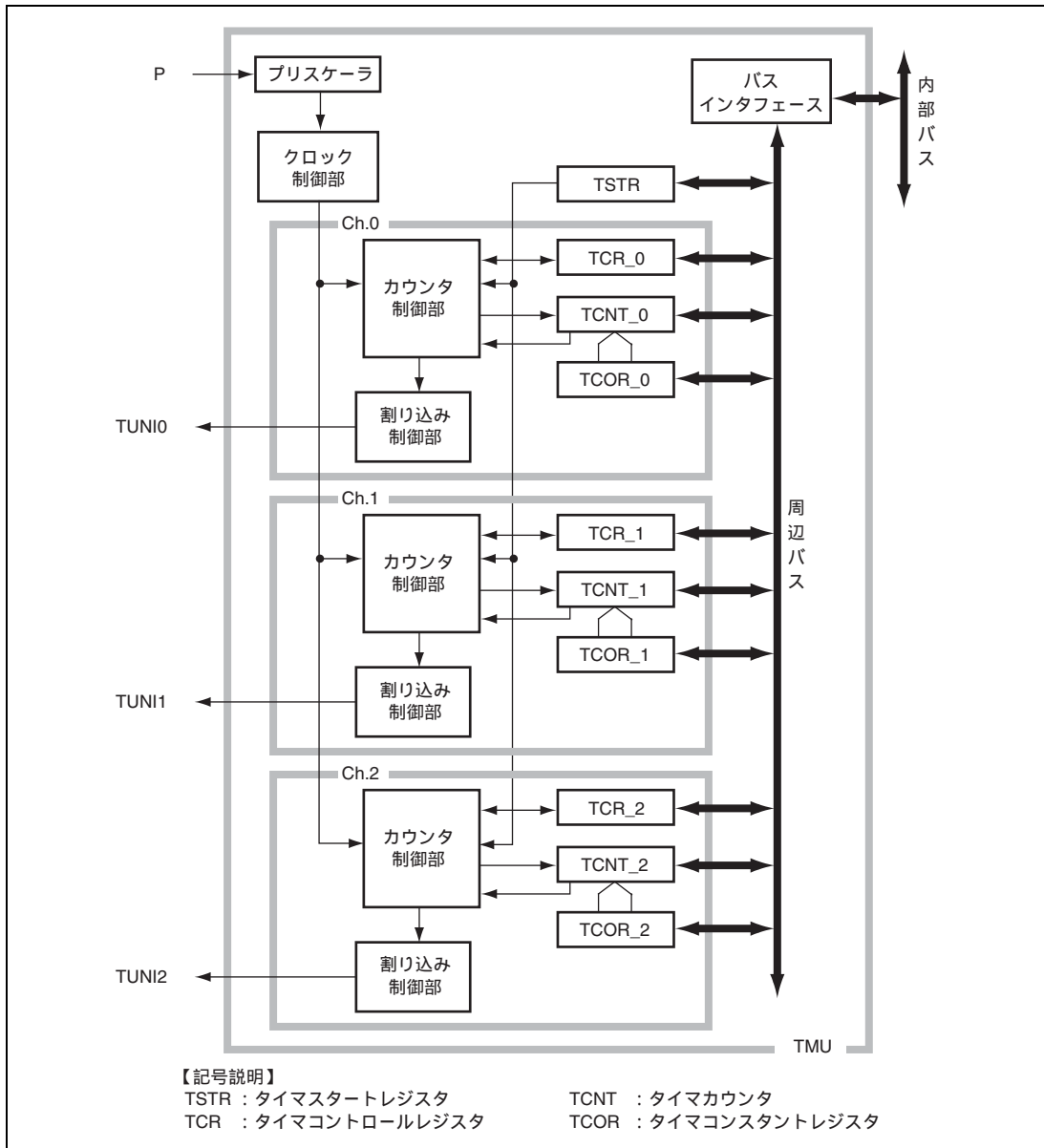


図 20.1 TMU のブロック図

20.2 レジスタの説明

TMU のレジスタ構成を表 20.1 に示します。また、各処理モードにおけるレジスタの状態を表 20.2 に示します。
各チャンネルのレジスタ名については、ユニット 1、チャンネル 0 の TCOR は TCOR1_0 のように表記しています。

表 20.1 TMU レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
タイマスタートレジスタ 0	TSTR0	R/W	H'FFD8 0004	8
タイマコンスタントレジスタ 0_0	TCOR0_0	R/W	H'FFD8 0008	32
タイマカウンタ 0_0	TCNT0_0	R/W	H'FFD8 000C	32
タイマコントロールレジスタ 0_0	TCR0_0	R/W	H'FFD8 0010	16
タイマコンスタントレジスタ 0_1	TCOR0_1	R/W	H'FFD8 0014	32
タイマカウンタ 0_1	TCNT0_1	R/W	H'FFD8 0018	32
タイマコントロールレジスタ 0_1	TCR0_1	R/W	H'FFD8 001C	16
タイマコンスタントレジスタ 0_2	TCOR0_2	R/W	H'FFD8 0020	32
タイマカウンタ 0_2	TCNT0_2	R/W	H'FFD8 0024	32
タイマコントロールレジスタ 0_2	TCR0_2	R/W	H'FFD8 0028	16
タイマスタートレジスタ 1	TSTR1	R/W	H'FFD9 0004	8
タイマコンスタントレジスタ 1_0	TCOR1_0	R/W	H'FFD9 0008	32
タイマカウンタ 1_0	TCNT1_0	R/W	H'FFD9 000C	32
タイマコントロールレジスタ 1_0	TCR1_0	R/W	H'FFD9 0010	16
タイマコンスタントレジスタ 1_1	TCOR1_1	R/W	H'FFD9 0014	32
タイマカウンタ 1_1	TCNT1_1	R/W	H'FFD9 0018	32
タイマコントロールレジスタ 1_1	TCR1_1	R/W	H'FFD9 001C	16
タイマコンスタントレジスタ 1_2	TCOR1_2	R/W	H'FFD9 0020	32
タイマカウンタ 1_2	TCNT1_2	R/W	H'FFD9 0024	32
タイマコントロールレジスタ 1_2	TCR1_2	R/W	H'FFD9 0028	16

表 20.2 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
TSTR0	初期化	初期化	保持	保持	初期化	初期化	保持
TCOR0_0	初期化	初期化	保持	保持	初期化	初期化	保持
TCNT0_0	初期化	初期化	保持	保持	初期化	初期化	保持
TCR0_0	初期化	初期化	保持	保持	初期化	初期化	保持
TCOR0_1	初期化	初期化	保持	保持	初期化	初期化	保持
TCNT0_1	初期化	初期化	保持	保持	初期化	初期化	保持
TCR0_1	初期化	初期化	保持	保持	初期化	初期化	保持
TCOR0_2	初期化	初期化	保持	保持	初期化	初期化	保持
TCNT0_2	初期化	初期化	保持	保持	初期化	初期化	保持
TCR0_2	初期化	初期化	保持	保持	初期化	初期化	保持
TSTR1	初期化	初期化	保持	保持	初期化	初期化	保持
TCOR1_0	初期化	初期化	保持	保持	初期化	初期化	保持
TCNT1_0	初期化	初期化	保持	保持	初期化	初期化	保持
TCR1_0	初期化	初期化	保持	保持	初期化	初期化	保持
TCOR1_1	初期化	初期化	保持	保持	初期化	初期化	保持
TCNT1_1	初期化	初期化	保持	保持	初期化	初期化	保持
TCR1_1	初期化	初期化	保持	保持	初期化	初期化	保持
TCOR1_2	初期化	初期化	保持	保持	初期化	初期化	保持
TCNT1_2	初期化	初期化	保持	保持	初期化	初期化	保持
TCR1_2	初期化	初期化	保持	保持	初期化	初期化	保持

20.2.1 タイマスタートレジスタ 0、1 (TSTR0、TSTR1)

TSTR は、タイマカウンタ (TCNT) の動作 / 停止を選択する読み出し / 書き込み可能な 8 ビットのレジスタです。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR2	STR1	STR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 タイマカウンタ 2 (TCNT_2) を動作させるか、停止させるかを選択します。 0 : TCNT_2 のカウント動作は停止 1 : TCNT_2 はカウント動作
1	STR1	0	R/W	カウンタスタート 1 タイマカウンタ 1 (TCNT_1) を動作させるか、停止させるかを選択します。 0 : TCNT_1 のカウント動作は停止 1 : TCNT_1 はカウント動作
0	STR0	0	R/W	カウンタスタート 0 タイマカウンタ 0 (TCNT_0) を動作させるか、停止させるかを選択します。 0 : TCNT_0 のカウント動作は停止 1 : TCNT_0 はカウント動作

20.2.2 タイマコントロールレジスタ 0、1 (TCR0、TCR1)

TCR は TCNT カウンタの制御および割り込みの制御を行うレジスタで、読み出し / 書き込み可能な 16 ビットレジスタです。TCR は、タイマカウンタ (TCNT) のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生制御、カウンタクロック選択を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	UNF	—	—	UNIE	—	—	TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*	R	R	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	UNF	0	R/(W)*	アンダフローフラグ TCNT のアンダフローを示すフラグです。 0 : TCNT がアンダフローを起こしていない 【クリア条件】 UNF に 0 を書き込んだとき 1 : TCNT がアンダフローを起こした 【セット条件】 TCNT がアンダフローを起こした
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	UNIE	0	R/W	アンダフロー割り込み制御 TCNT のアンダフローの発生を示すステータスフラグ UNF が 1 にセットされたときに割り込み発生を許可するかどうかを制御します。 0 : UNF による割り込み (TUNI) を禁止 1 : UNF による割り込み (TUNI) を許可
4、3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	TPSC[2:0]	000	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。 000 : P /4 でカウント 001 : P /16 でカウント 010 : P /64 でカウント 011 : P /256 でカウント 100 : P /1024 でカウント 101、110、111 : 設定禁止

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

20.2.3 タイムコンスタントレジスタ 0、1 (TCOR0、TCOR1)

TCOR は、読み出し / 書き込み可能な 32 ビットレジスタで、TCNT カウンタのアンダフローが発生したとき、TCNT カウンタにセットする値を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCOR															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCOR															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.2.4 タイムカウンタ 0、1 (TCNT0、TCNT1)

TCNT は、入力したクロックにより、カウントダウン動作を行います。入力するクロックは、TCR の TPSC[2:0] ビットにより選択します。

TCNT のカウントダウン動作の結果、アンダフロー (H'0000 0000 H'FFFF FFFF) が発生すると、対応するチャネルの TCR のアンダフローフラグ (UNF) がセットされます。また、同時に TCNT カウンタ自体には、TCOR の値がセットされ、セットされた値からカウントダウン動作を続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCNT															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNT															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

20.3 動作説明

各チャンネルには、32ビットのTCNTとTCORがあります。TCNTは、ダウンカウント動作を行います。オートリロード機能によって、周期カウント動作が可能です。

20.3.1 カウンタの動作

TSTRのSTR[2:0]ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。TCNTがアンダフローすると対応するTCRのUNFフラグがセットされます。このとき、TCRのUNIEビットが1ならば、CPUに割り込みを要求します。また、このときTCNTにはTCORから値がコピーされ、ダウンカウント動作を継続します。

(1) カウント動作の設定手順例

カウント動作の設定手順例を図20.2に示します。

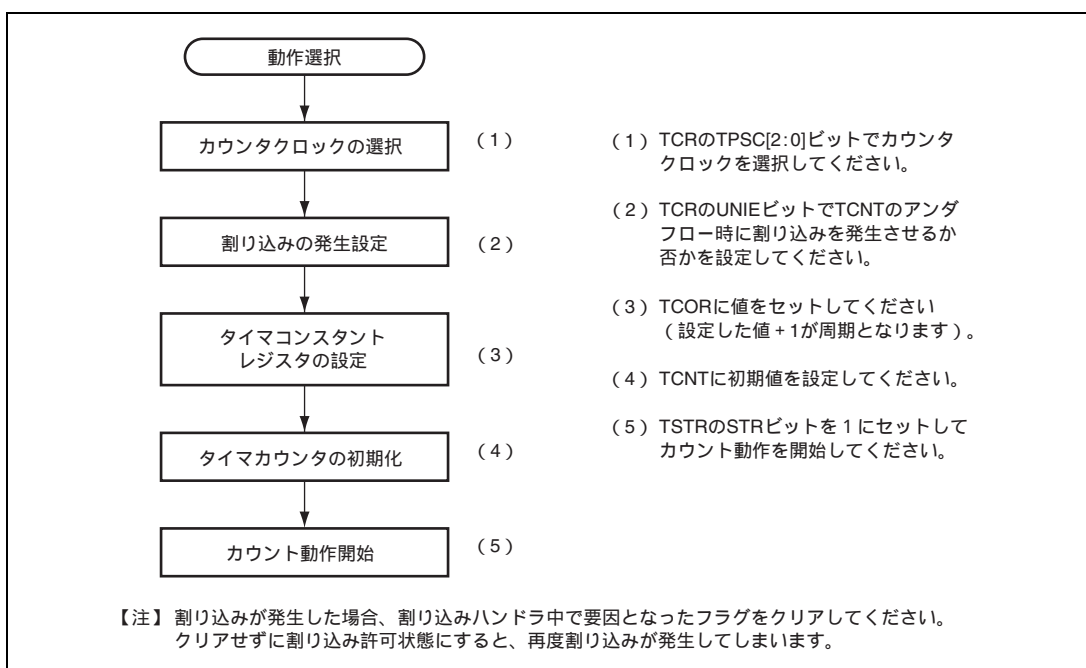


図 20.2 カウント動作設定手順例

(2) オートリロードカウント動作

TCNT のオートリロード動作を、図 20.3 に示します。

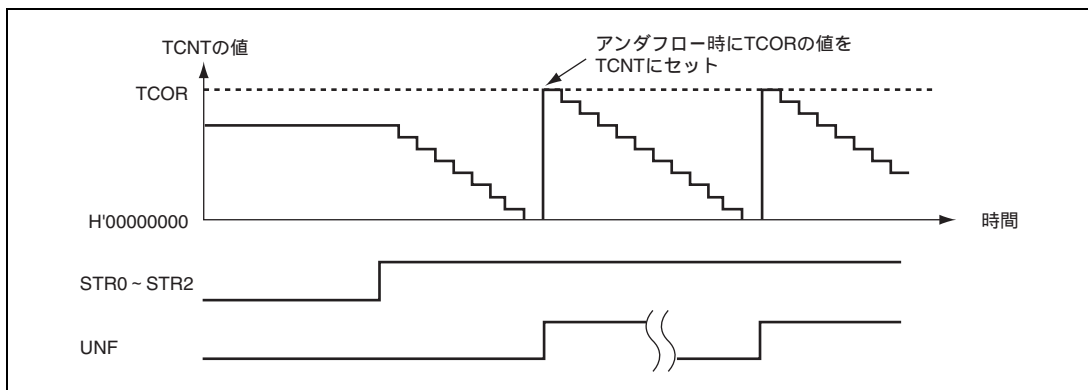


図 20.3 オートリロードカウンタの動作

(3) TCNT のカウントタイミング

TCR の TPSC[2:0]ビットにより、周辺モジュール用クロックを分周した 5 種類のクロック (P /4、P /16、P /64、P /256、P /1024) が選択できます。このときのタイミングを図 20.4 に示します。

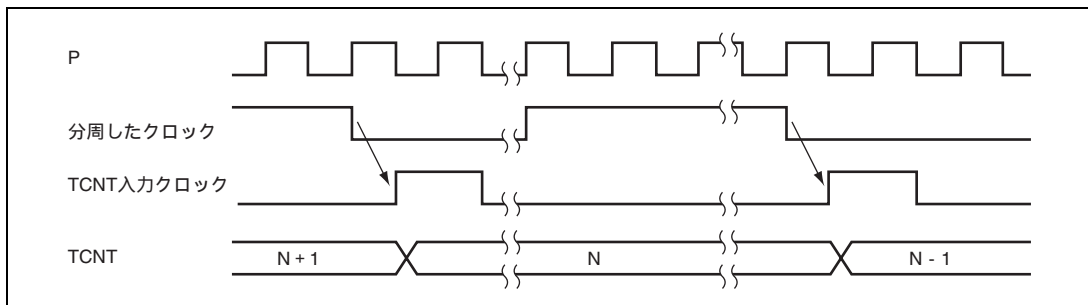


図 20.4 内部クロック動作時のカウントタイミング

20.4 割り込み

TMUの割り込み要因は、アンダフロー割り込み (TUNI) です。

20.4.1 ステータスフラグのセットタイミング

UNFビットは、TCNTカウンタがアンダフローしたときに1にセットされます。このときのタイミングを図20.5に示します。

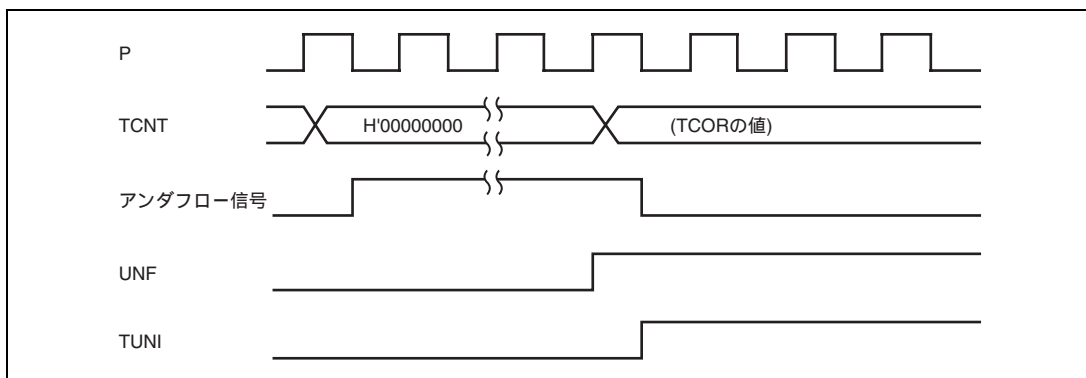


図 20.5 UNF のセットタイミング

20.4.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUから0を書き込むとクリアされます。このときのタイミングを図20.6に示します。

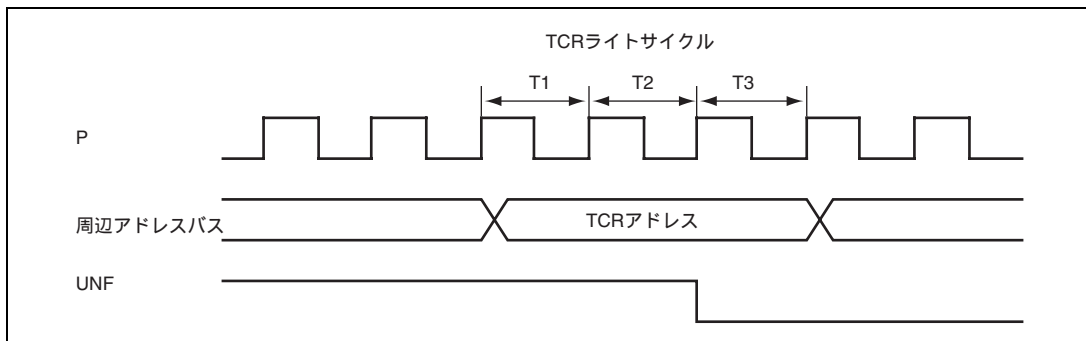


図 20.6 ステータスフラグのクリアタイミング

20.4.3 割り込み要因と優先順位

TMU は各ユニットの各チャンネルごとにアンダフロー割り込みを発生します。割り込み要求フラグが 1 にセットされ、かつ割り込み許可ビットが 1 にセットされているとき、当該割り込みが要求されます。これらの割り込みは、割り込み事象レジスタ (INTEVT) にコードがセットされますので、そのコードに従って割り込み処理を行ってください。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。詳細は「第 5 章 例外処理」、「第 13 章 割り込みコントローラ (INTC)」を参照してください。

TMU の割り込み要因を表 20.3 に示します。

表 20.3 TMU の割り込み要因 (一つのユニット)

チャンネル	割り込み要因	内 容	優先順位
0	TUNI0	アンダフロー割り込み 0	高 ↑ ↓ 低
1	TUNI1	アンダフロー割り込み 1	
2	TUNI2	アンダフロー割り込み 2	

20.5 使用上の注意事項

(1) レジスタの書き込みについて

レジスタの書き込み時に、タイマのカウンタ動作の同期処理は行っていません。レジスタの書き込みの際には、必ず TSTR の該当チャンネルのスタートビット STR2~0 をクリアして、タイマのカウンタ動作を停止させてください。

(2) レジスタの読み出しについて

レジスタの読み出し時に、タイマのカウンタ動作との同期処理を行っています。タイマカウンタ動作とレジスタの読み込み処理が同時に行われた場合は、同期処理により TCNT カウンタのカウンタダウン動作前の値が読み出されます。

21. 16ビットタイマパルスユニット (TPU)

本 LSI は、4 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。

21.1 特長

TPU には次の特長があります。

- タイマジェネラルレジスタ豊富

TPU は、それぞれ各チャンネルに 4 本 (TPU_TGRA、TPU_TGRB、TPU_TGRC、TPU_TGRD)、合計 16 本のタイマジェネラルレジスタを持ち、TPU_TGRA はアウトプットコンペアの設定が可能

各チャンネルの TPU_TGRB、TPU_TGRC、TPU_TGRD は、タイマカウンタクリア用レジスタとして使用可能。また、TPU_TGRC、TPU_TGRD は、バッファレジスタとして使用可能

- チャンネル 0、1 は 4 種類、チャンネル 2、3 は外部クロック含む 5 種類のカウンタ入力クロックを選択可能

- 各チャンネルに次の動作を設定可能

カウンタクリア動作 : コンペアマッチによるカウンタクリアが可能

- 各チャンネルはバッファ動作を設定可能

アウトプットコンペアレジスタの自動書き換えが可能

- 1 本の割り込み要求

コンペアマッチ / オーバフロー割り込み要求の許可 / 禁止を要因ごとに独立に設定可能

- 各チャンネルは以下の出力が可能

コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能

PWM モード : 任意デューティの PWM 出力が可能

表 21.1 に TPU の機能一覧を示します。

表 21.1 TPU 機能一覧

項 目	TPU : チャネル 0	TPU : チャネル 1	TPU : チャネル 2	TPU : チャネル 3
カウントクロック	B /1 B /4 B /16 B /64	B /1 B /4 B /16 B /64	B /1 B /4 B /16 B /64 TPUTI2	B /1 B /4 B /16 B /64 TPUTI3
ジェネラルレジスタ	TPU_TGR0A TPU_TGR0B	TPU_TGR1A TPU_TGR1B	TPU_TGR2A TPU_TGR2B	TPU_TGR3A TPU_TGR3B
ジェネラルレジスタ / バッファレジスタ	TPU_TGR0C TPU_TGR0D	TPU_TGR1C TPU_TGR1D	TPU_TGR2C TPU_TGR2D	TPU_TGR3C TPU_TGR3D
出力端子	TPUTO0	TPUTO1	TPUTO2	TPUTO3
カウンタクリア機能	TPU_TGR の コンペアマッチ	TPU_TGR の コンペアマッチ	TPU_TGR の コンペアマッチ	TPU_TGR の コンペアマッチ
コンペア マッチ 出力	0 出力			
	1 出力			
	トグル出力			
PWM モード				
バッファ動作				
割り込み要因	5 要因 コンペアマッチ / オーバフロー兼用	5 要因 コンペアマッチ / オーバフロー兼用	5 要因 コンペアマッチ / オーバフロー兼用	5 要因 コンペアマッチ / オーバフロー兼用

21.2 ブロック図

TPUのブロック図を図21.1に示します。

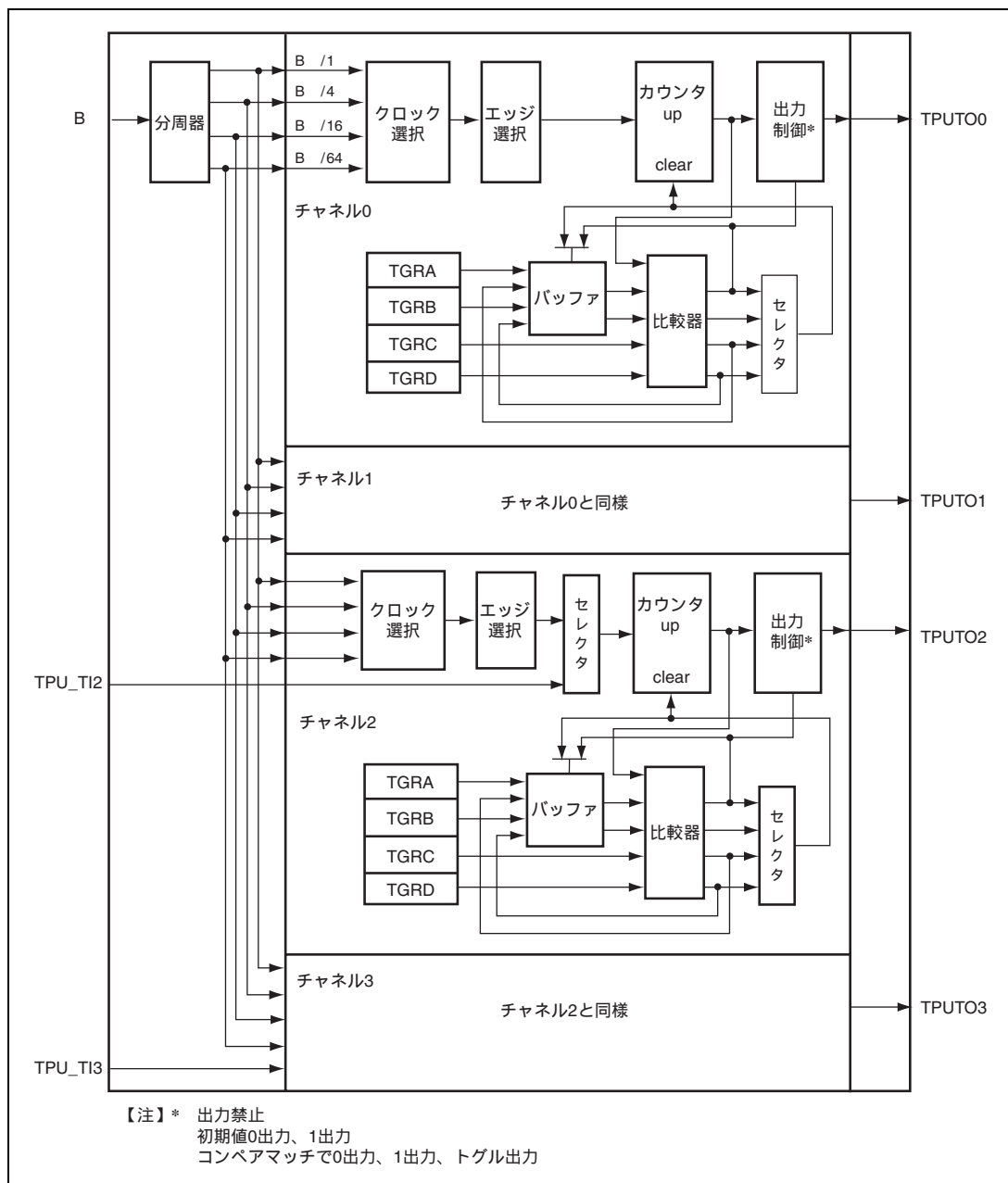


図 21.1 TPUのブロック図

21.3 端子構成

TPU の端子構成を表 21.2 に示します。

表 21.2 TPU の端子構成

チャンネル	端子名	機能	入出力	説明
0	TPUTO0	TPU アウトプット コンペアマッチ 0	出力	TPU_TGR0A のアウトプットコンペア出力 / PWM 出力 端子
1	TPUTO1	TPU アウトプット コンペアマッチ 1	出力	TPU_TGR1A のアウトプットコンペア出力 / PWM 出力 端子
2	TPUTO2	TPU アウトプット コンペアマッチ 2	出力	TPU_TGR2A のアウトプットコンペア出力 / PWM 出力 端子
	TPUTI2	クロック入力 2	入力	外部クロックチャンネル 2 入力端子
3	TPUTO3	TPU アウトプット コンペアマッチ 3	出力	TPU_TGR3A のアウトプットコンペア出力 / PWM 出力 端子
	TPUTI3	クロック入力 3	入力	外部クロックチャンネル 3 入力端子

21.4 レジスタの説明

TPU のレジスタ構成を表 21.3 に示します。また、各処理モードにおけるレジスタの状態を表 21.4 に示します。

表 21.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
タイムスタートレジスタ	TPU_TSTR	R/W	H'A4C9 0000	16
タイムコントロールレジスタ 0	TPU_TCR0	R/W	H'A4C9 0010	16
タイムモードレジスタ 0	TPU_TMDR0	R/W	H'A4C9 0014	16
タイム I/O コントロールレジスタ 0	TPU_TIOR0	R/W	H'A4C9 0018	16
タイムインタラプティネーブルレジスタ 0	TPU_TIER0	R/W	H'A4C9 001C	16
タイムステータスレジスタ 0	TPU_TSR0	R/W	H'A4C9 0020	16
タイムカウンタ 0	TPU_TCNT0	R/W	H'A4C9 0024	16
タイムジェネラルレジスタ 0A	TPU_TGR0A	R/W	H'A4C9 0028	16
タイムジェネラルレジスタ 0B	TPU_TGR0B	R/W	H'A4C9 002C	16
タイムジェネラルレジスタ 0C	TPU_TGR0C	R/W	H'A4C9 0030	16
タイムジェネラルレジスタ 0D	TPU_TGR0D	R/W	H'A4C9 0034	16
タイムコントロールレジスタ 1	TPU_TCR1	R/W	H'A4C9 0050	16
タイムモードレジスタ 1	TPU_TMDR1	R/W	H'A4C9 0054	16
タイム I/O コントロールレジスタ 1	TPU_TIOR1	R/W	H'A4C9 0058	16
タイムインタラプティネーブルレジスタ 1	TPU_TIER1	R/W	H'A4C9 005C	16
タイムステータスレジスタ 1	TPU_TSR1	R/W	H'A4C9 0060	16

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
タイマカウンタ 1	TPU_TCNT1	R/W	H'A4C9 0064	16
タイマジェネラルレジスタ 1A	TPU_TGR1A	R/W	H'A4C9 0068	16
タイマジェネラルレジスタ 1B	TPU_TGR1B	R/W	H'A4C9 006C	16
タイマジェネラルレジスタ 1C	TPU_TGR1C	R/W	H'A4C9 0070	16
タイマジェネラルレジスタ 1D	TPU_TGR1D	R/W	H'A4C9 0074	16
タイマコントロールレジスタ 2	TPU_TCR2	R/W	H'A4C9 0090	16
タイマモードレジスタ 2	TPU_TMDR2	R/W	H'A4C9 0094	16
タイマ I/O コントロールレジスタ 2	TPU_TIOR2	R/W	H'A4C9 0098	16
タイマインタラプトイネーブルレジスタ 2	TPU_TIER2	R/W	H'A4C9 009C	16
タイマステータスレジスタ 2	TPU_TSR2	R/W	H'A4C9 00A0	16
タイマカウンタ 2	TPU_TCNT2	R/W	H'A4C9 00A4	16
タイマジェネラルレジスタ 2A	TPU_TGR2A	R/W	H'A4C9 00A8	16
タイマジェネラルレジスタ 2B	TPU_TGR2B	R/W	H'A4C9 00AC	16
タイマジェネラルレジスタ 2C	TPU_TGR2C	R/W	H'A4C9 00B0	16
タイマジェネラルレジスタ 2D	TPU_TGR2D	R/W	H'A4C9 00B4	16
タイマコントロールレジスタ 3	TPU_TCR3	R/W	H'A4C9 00D0	16
タイマモードレジスタ 3	TPU_TMDR3	R/W	H'A4C9 00D4	16
タイマ I/O コントロールレジスタ 3	TPU_TIOR3	R/W	H'A4C9 00D8	16
タイマインタラプトイネーブルレジスタ 3	TPU_TIER3	R/W	H'A4C9 00DC	16
タイマステータスレジスタ 3	TPU_TSR3	R/W	H'A4C9 00E0	16
タイマカウンタ 3	TPU_TCNT3	R/W	H'A4C9 00E4	16
タイマジェネラルレジスタ 3A	TPU_TGR3A	R/W	H'A4C9 00E8	16
タイマジェネラルレジスタ 3B	TPU_TGR3B	R/W	H'A4C9 00EC	16
タイマジェネラルレジスタ 3C	TPU_TGR3C	R/W	H'A4C9 00F0	16
タイマジェネラルレジスタ 3D	TPU_TGR3D	R/W	H'A4C9 00F4	16

表 21.4 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
TPU_TSTR	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TCR0	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TMDR0	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TIOR0	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TIER0	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TSR0	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TCNT0	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR0A	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR0B	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR0C	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR0D	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TCR1	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TMDR1	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TIOR1	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TIER1	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TSR1	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TCNT1	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR1A	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR1B	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR1C	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR1D	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TCR2	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TMDR2	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TIOR2	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TIER2	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TSR2	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TCNT2	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR2A	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR2B	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR2C	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR2D	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TCR3	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TMDR3	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TIOR3	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TIER3	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TSR3	初期化	初期化	保持	保持	初期化	初期化	保持

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
TPU_TCNT3	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR3A	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR3B	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR3C	初期化	初期化	保持	保持	初期化	初期化	保持
TPU_TGR3D	初期化	初期化	保持	保持	初期化	初期化	保持

21.4.1 タイマコントロールレジスタ (TPU_TCR)

TPU_TCR は、各チャンネルの TPU_TCNT を制御するレジスタで、各チャンネルごとに 1 本の TPU_TCR があります。TPU_TCR は、リセット時に H'0000 に初期化されます。

TPU_TCR の設定は、TPU_TCNT の動作が停止した状態で行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
7~5	CCLR[2:0]	000	R/W	カウンタクリア TPU_TCNT のクリア要因を選択します。 000: TPU_TCNT のクリア禁止 001: TPU_TGRA のコンペアマッチで TPU_TCNT クリア 010: TPU_TGRB のコンペアマッチで TPU_TCNT クリア 011: 設定禁止 100: TPU_TCNT のクリア禁止 101: TPU_TGRC のコンペアマッチで TPU_TCNT クリア 110: TPU_TGRD のコンペアマッチで TPU_TCNT クリア 111: 設定禁止
4, 3	CKEG[1:0]	00	R/W	クロックエッジ 入力クロックのエッジを選択します。 内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります。(例: B /4 の両エッジ = B /2 の立ち上がりエッジ)。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント* 1x: 両エッジでカウント* 【記号説明】x: Don't care 【注】* 入力クロックに B /1、外部クロック (チャンネル 2、3) を選択した場合は動作しません。
2~0	TPSC[2:0]	000	R/W	タイムプリスケール TPU_TCNT のカウントクロックを選択します。 各チャンネル独立にクロックソースを選択することができます。表 21.5 に各チャンネルごとに設定可能なクロックソース一覧を示します。また、カウントクロック選択の詳細は、表 21.6 を参照してください。

表 21.5 TPU のクロックソース一覧

チャンネル	内部クロック				外部クロック	
	B /1	B /4	B /16	B /64	TPU_TI2	TPU_TI3
0						
1						
2						
3						

【注】 : 設定あり、空欄 : 設定なし

表 21.6 TPSC[2:0]ビットによるカウントクロックの選択

チャンネル	TPSC[2]	TPSC[1]	TPSC[0]	説明
0, 1	0	0	0	内部クロック : B /1 でカウント
			1	内部クロック : B /4 でカウント
		1	0	内部クロック : B /16 でカウント
			1	内部クロック : B /64 でカウント
	1	*	*	設定禁止
2	0	0	0	内部クロック : B /1 でカウント
			1	内部クロック : B /4 でカウント
		1	0	内部クロック : B /16 でカウント
			1	内部クロック : B /64 でカウント
	1	0	0	外部クロック : TPU_TI2 端子入力でカウント
			1	設定禁止
1	*	*	設定禁止	
3	0	0	0	内部クロック : B /1 でカウント
			1	内部クロック : B /4 でカウント
		1	0	内部クロック : B /16 でカウント
			1	内部クロック : B /64 でカウント
	1	0	0	外部クロック : TPU_TI3 端子入力でカウント
			1	設定禁止
1	*	*	設定禁止	

【注】 * Don't care

21.4.2 タイマモードレジスタ (TPU_TMDR)

TPU_TMDR は、各チャンネルの動作モードを設定するレジスタで、各チャンネルごとに 1 本の TPU_TMDR があります。TPU_TMDR は、リセット時に H'0000 に初期化されます。

TPU_TMDR の設定は、TPU_TCNT の動作が停止した状態で行ってください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	BFWT	BFB	BFA	—	MD[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
6	BFWT	0	R/W	バッファライトタイミング TPU_TGRC、TPU_TGRD をコンペアマッチバッファ動作させた場合、TPU_TGRA、TPU_TGRB の更新タイミングを設定します。TPU_TGRC、TPU_TGRD をコンペアマッチバッファレジスタとして使わない場合、本ビットは機能しません。 0 : TPU_TGRA、TPU_TGRB は、各レジスタのコンペアマッチ時に書き換え 1 : TPU_TGRA、TPU_TGRB は、カウンタクリア時に書き換え
5	BFB	0	R/W	バッファ動作 B TPU_TGRB を通常動作させるか、TPU_TGRB と TPU_TGRD を組み合わせてバッファ動作させるかを設定します。 0 : TPU_TGRB 通常動作 1 : TPU_TGRB と TPU_TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TPU_TGRA を通常動作させるか、TPU_TGRA と TPU_TGRC を組み合わせてバッファ動作させるかを設定します 0 : TPU_TGRA は通常動作 1 : TPU_TGRA と TPU_TGRC はバッファ動作
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2~0	MD[2:0]	000	R/W	動作モード タイマの動作モードを設定します。 000 : 通常動作 010 : PWM モード 上記以外 : 設定禁止

21.4.3 タイマ I/O コントロールレジスタ (TPU_TIOR)

TPU_TIOR は、TPUTO0～TPUTO3 端子を制御するレジスタです。各チャンネルごとに 1 本の TPU_TIOR があります。TPU_TIOR はリセット時に H'0000 に初期化されます。

TPU_TIOR の設定は、TPU_TCNT の動作が停止した状態で行ってください。また、TPU_TIOR は、TPU_TMDR の設定により影響を受けるので注意してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	IOA[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15～3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
2～0	IOA[2:0]	000	R/W	I/O コントロール TPUTO 端子と TPU_TGRA の機能を設定します。詳細は表 21.7 を参照してください。

表 21.7 IOA[2:0]ビットによる TPUTO 端子と TPU_TGRA の設定

チャンネル	IOA[2]	IOA[1]	IOA[0]	説明
0～3	0	0	0	常に 0 出力 (初期値)
			1	TPUTO 端子の初期出力は 0 出力
		1	0	TPU_TGRA のコンペアマッチで 0 出力*
			1	TPU_TGRA のコンペアマッチで 1 出力
	1	0	0	常に 1 出力
			1	TPUTO 端子の初期出力は 1 出力
		1	0	TPU_TGRA のコンペアマッチで 0 出力
			1	TPU_TGRA のコンペアマッチで 1 出力*
			1	TPU_TGRA のコンペアマッチでトグル出力*

【注】 * WM モード時、本設定にしないでください。

21.4.4 タイマインタラプトイネーブルレジスタ (TPU_TIER)

TPU_TIER は、各チャンネルの割り込み要求の許可、禁止を制御するレジスタで、各チャンネルごとに1本のTPU_TIERがあります。TPU_TIERは、リセット時にH'0000に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TC1EV	TG1ED	TG1EC	TG1EB	TG1EA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
4	TC1EV	0	R/W	オーバフローインタラプトイネーブル TPU_TSRのTCFVフラグが1にセットされたとき(TCNTのオーバフロー発生)、TCFVフラグによる割り込み要求を許可または禁止します。 0: TCFVフラグによる割り込み要求を禁止 1: TCFVフラグによる割り込み要求を許可
3	TG1ED	0	R/W	TPU_TGRインタラプトイネーブルD TPU_TSRのTGFDビットが1にセットされたとき(TPU_TCNTとTPU_TGRDのコンペアマッチ発生)、TGFDビットによる割り込み要求を許可または禁止します。 0: TGFDビットによる割り込み要求を禁止 1: TGFDビットによる割り込み要求を許可
2	TG1EC	0	R/W	TPU_TGRインタラプトイネーブルC TPU_TSRのTGFCビットが1にセットされたとき(TPU_TCNTとTPU_TGRCのコンペアマッチ発生)、TGFCビットによる割り込み要求を許可または禁止します。 0: TGFCビットによる割り込み要求を禁止 1: TGFCビットによる割り込み要求を許可
1	TG1EB	0	R/W	TPU_TGRインタラプトイネーブルB TPU_TSRのTGFBビットが1にセットされたとき(TPU_TCNTとTPU_TGRBのコンペアマッチ発生)、TGFBビットによる割り込み要求を許可または禁止します。 0: TGFBビットによる割り込み要求を禁止 1: TGFBビットによる割り込み要求を許可
0	TG1EA	0	R/W	TPU_TGRインタラプトイネーブルA TPU_TSRのTGFAビットが1にセットされたとき(TPU_TCNTとTPU_TGRAのコンペアマッチ発生)、TGFAビットによる割り込み要求を許可または禁止します。 0: TGFAビットによる割り込み要求を禁止 1: TGFAビットによる割り込み要求を許可

21.4.5 タイマステータスレジスタ (TPU_TSR)

TPU_TSR は、各チャンネルのステータス情報を表示するレジスタで、各チャンネルごとに 1 本の TPU_TSR があります。TPU_TSR は、リセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
4	TCFV	0	R/(W)*	オーバフローフラグ TPU_TCNT のオーバフローの発生を示すステータスフラグです。 [クリア条件] TCFV = 1 の状態で TCFV ビットを読み出し後、TCFV ビットに 0 を書き込んだとき [セット条件] TPU_TCNT の値がオーバフロー (H'FFFF H'0000) したとき
3	TGFD	0	R/(W)*	コンペアフラグ D TPU_TGRD のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFD = 1 の状態で TGFD ビットを読み出し後、TGFD ビットに 0 を書き込んだとき [セット条件] TPU_TCNT = TPU_TGRD になったとき
2	TGFC	0	R/(W)*	コンペアフラグ C TPU_TGRC のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFC = 1 の状態で TGFC ビットを読み出し後、TGFC ビットに 0 を書き込んだとき [セット条件] TPU_TCNT = TPU_TGRC になったとき
1	TGFB	0	R/(W)*	コンペアフラグ B TPU_TGRB のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFB = 1 の状態で TGFB ビットを読み出し後、TGFB ビットに 0 を書き込んだとき [セット条件] TPU_TCNT = TPU_TGRB になったとき

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*	アウトプットコンペアフラグ A TPU_TGRA のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] TGFA = 1 の状態で TGFA ビットを読み出し後、TGFA ビットに 0 を書き込んだとき [セット条件] TPU_TCNT = TPU_TGRA になったとき

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

21.4.6 タイマカウンタ (TPU_TCNT)

TPU_TCNT は 16 ビットのカウンタで、各チャンネルごとに 1 本の TPU_TCNT があります。

TPU_TCNT は、リセット時に H'0000 に初期化されます。

21.4.7 タイマジェネラルレジスタ (TPU_TGR)

TPU_TGR は 16 ビットのレジスタです。各チャンネルごとに 4 本 (TPU_TGRA、TPU_TGRB、TPU_TGRC、TPU_TGRD) のジェネラルレジスタがあります。TPU_TGRC と TPU_TGRD は、バッファレジスタとして動作設定することができます*。TPU_TGR はリセット時に H'FFFF に初期化されます。

【注】 * TPU_TGR とバッファレジスタの組み合わせは、TPU_TGRA - TPU_TGRC、TPU_TGRB - TPU_TGRD になります。

21.4.8 タイマスタートレジスタ (TPU_TSTR)

TPU_TSTR は、チャンネル 0~3 の TCNT の動作 / 停止を選択するレジスタです。

TPU_TSTR はリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CST3	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
3	CST3	0	R/W	カウンタスタート
2	CST2	0	R/W	TPU_TCNT の動作または停止を選択します。
1	CST1	0	R/W	0 : TPU_TCNTm のカウント動作は停止
0	CST0	0	R/W	1 : TPU_TCNTm はカウント動作
				【記号説明】 m = 3 ~ 0

21.5 動作説明

21.5.1 概要

各モードの動作概要を以下に示します。

(1) 通常動作

各チャンネルには、TPU_TCNT と TPU_TGR があります。TPU_TCNT はアップカウント動作を行い、フリーランニング動作、周期カウント動作が可能です。

(2) バッファ動作

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TPU_TGR に転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

(3) PWM モード

PWM 波形を出力するモードです。出力レベルは TPU_TIOR により設定できます。

TPU_TGRA、TPU_TGRB の設定により、デューティ 0~100% の PWM 波形が出力できます。

21.5.2 基本機能

(1) カウンタの動作

TPU_TSTR の CST[3:0]ビットを 1 にセットすると、対応するチャンネルの TPU_TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 21.2 に示します。

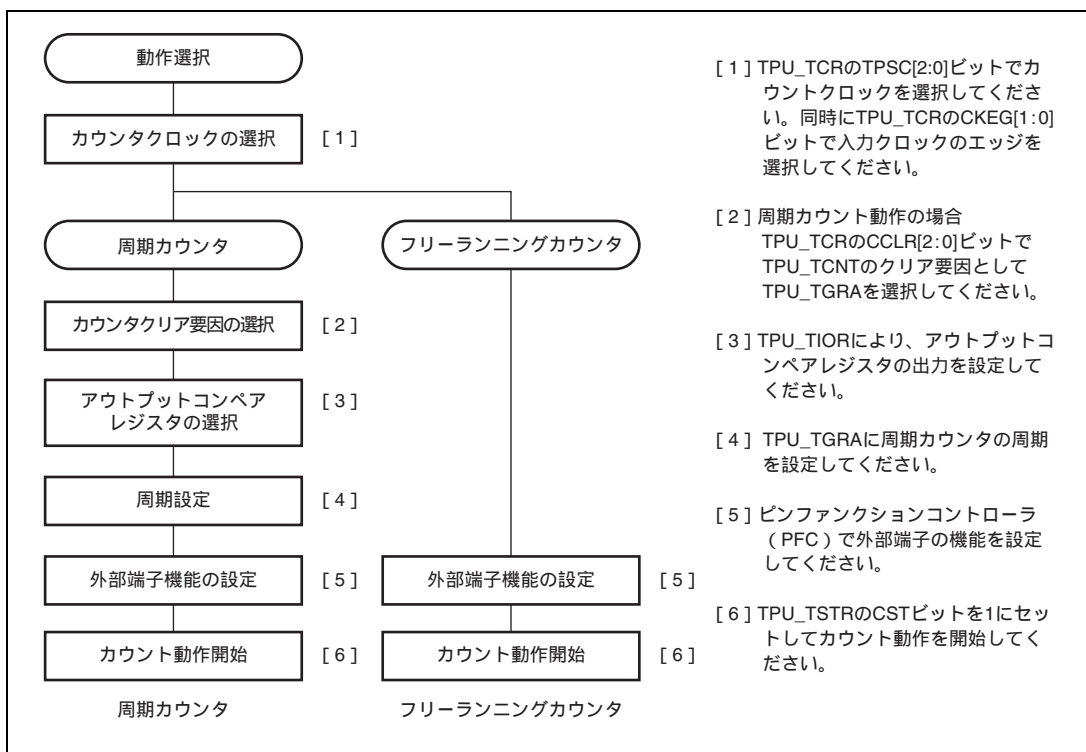


図 21.2 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU_TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TPU_TSTR の対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TPU_TCNT がオーバーフロー (H'FFFF H'0000) すると、TPU_TSR の TCFV ビットが1にセットされます。TPU_TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 21.3 に示します。

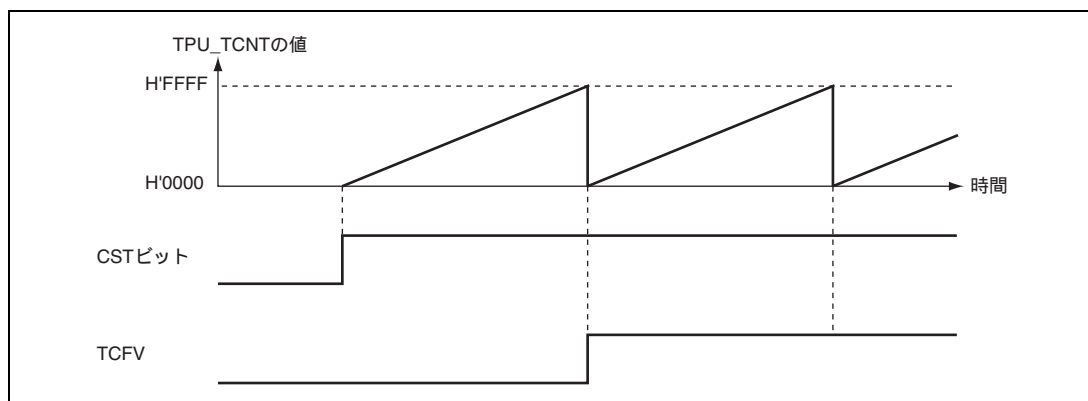


図 21.3 フリーランニングカウンタの動作

TPU_TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TPU_TCNT は周期カウンタ動作を行います。周期設定用の TPU_TGR をアウトプットコンペアレジスタに設定し、TPU_TCR の CCLR[2:0] ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TPU_TSTR の対応するビットを1にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TPU_TGR の値と一致すると、TPU_TSR の TGF ビットが1にセットされ、TPU_TCNT は H'0000 にクリアされます。

TPU_TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 21.4 に示します。

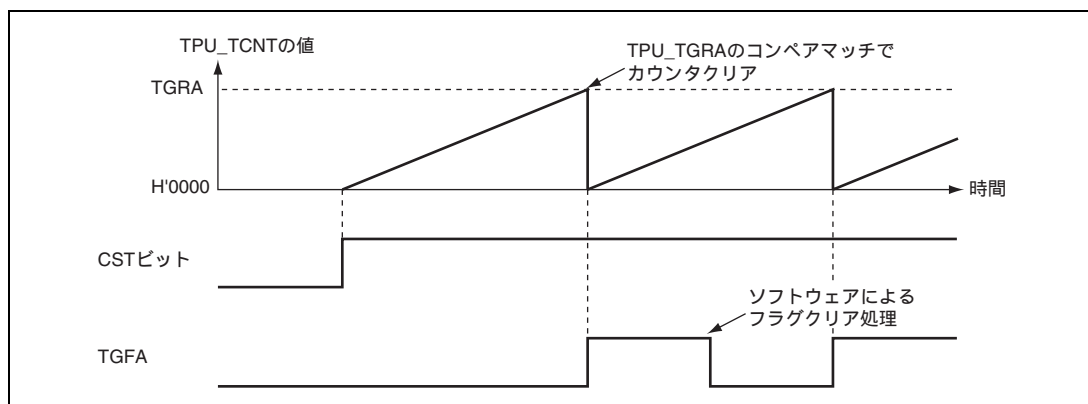


図 21.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、TPU_TGRA のコンペアマッチにより出力端子 (TPUTO 端子) から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 21.5 に示します。

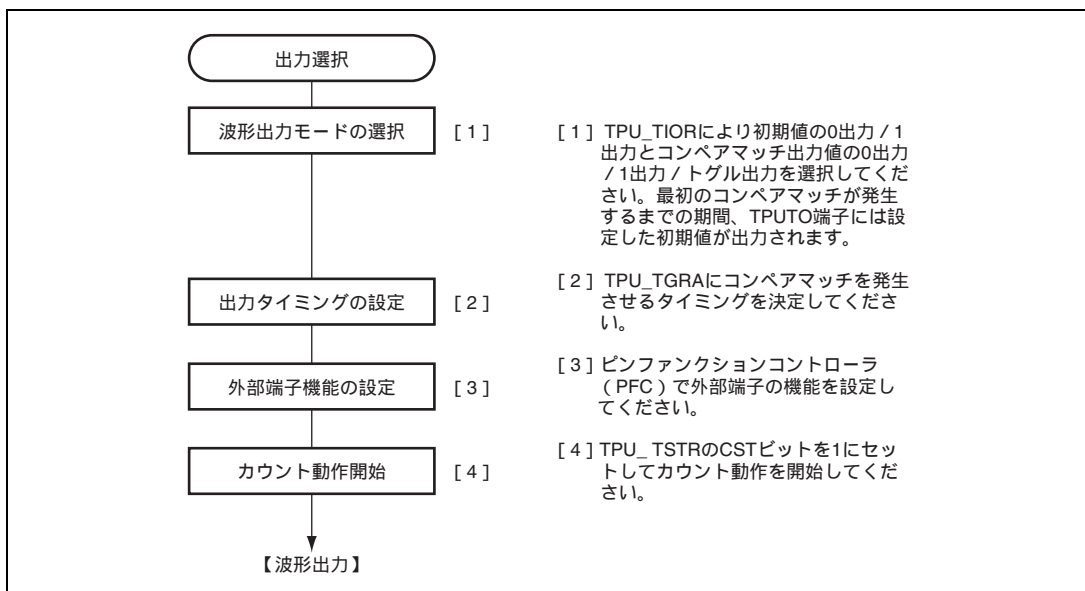


図 21.5 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力を図 21.6 に示します。

TPU_TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力となるように設定した場合と、0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

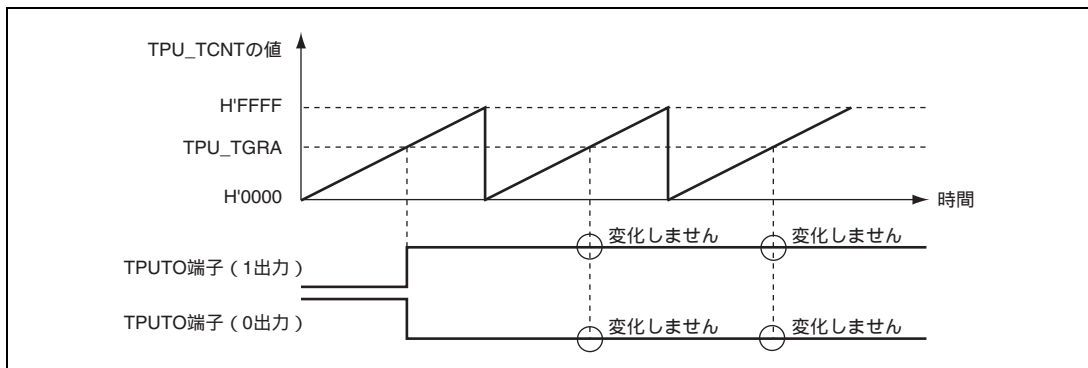


図 21.6 0 出力 / 1 出力の動作例

トグル出力の例を図 21.7 に示します。

TPU_TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A によりトグル出力となるように設定した場合の例です。

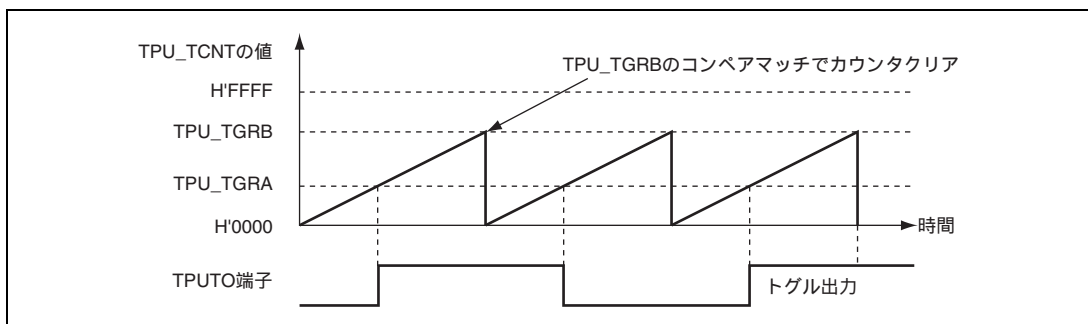


図 21.7 トグル出力の動作例

21.5.3 バッファ動作

TPU_TGRC と TPU_TGRD をバッファレジスタとして使用することができます。

表 21.8 にバッファ動作時のレジスタの組み合わせを示します。

表 21.8 レジスタの組み合わせ

タイムジェネラルレジスタ	バッファレジスタ
TPU_TGRA	TPU_TGRC
TPU_TGRB	TPU_TGRD

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。バッファレジスタからの更新タイミングは、コンペアマッチ発生時に書き換え、カウンタクリア時に書き換えを選択可能です。

この動作を図 21.8 に示します。

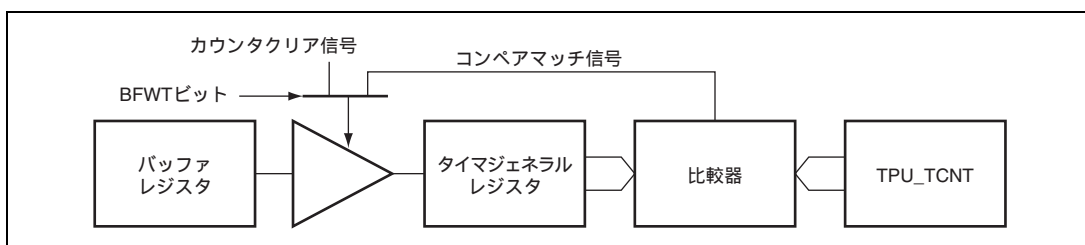


図 21.8 コンペアマッチバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 21.9 に示します。

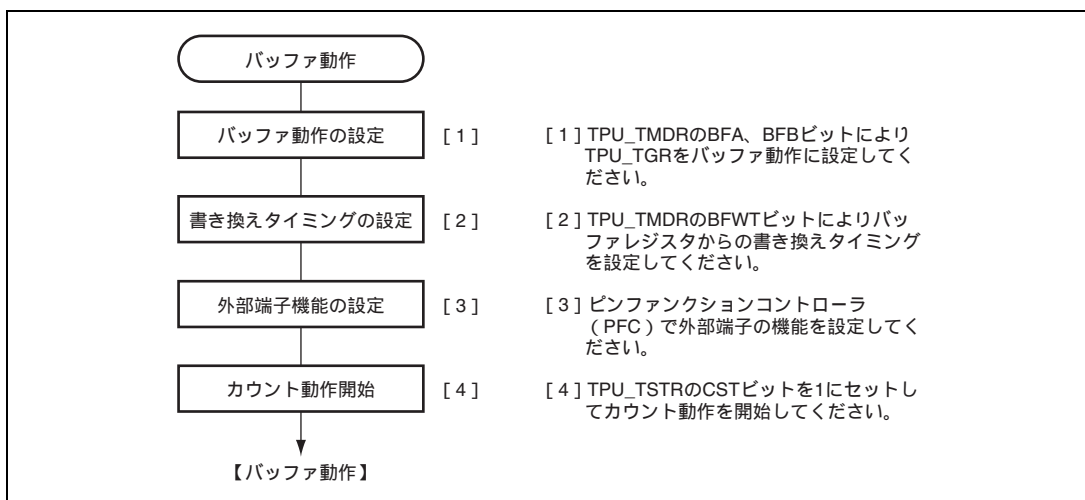


図 21.9 バッファ動作の設定手順例

(2) バッファ動作例

PWM モードに設定し、TPU_TGRA と TPU_TGRC をバッファ動作に設定した場合の動作例を図 21.10 に示します。TPU_TCNT はコンペアマッチ B によりクリア、出力 (TPUTO 端子) はコンペアマッチ A で 1 出力、カウンタクリアで初期値 0 出力、バッファレジスタからの書き換えタイミングはカウンタクリア時に設定した例です。

コンペアマッチ A が発生すると出力を変化させます。TPU_TGRB によってカウンタクリアが発生すると出力を変化させると同時に、バッファレジスタ TPU_TGRC の値がタイマジェネラルレジスタ TPU_TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「21.5.4 PWM モード」を参照してください。

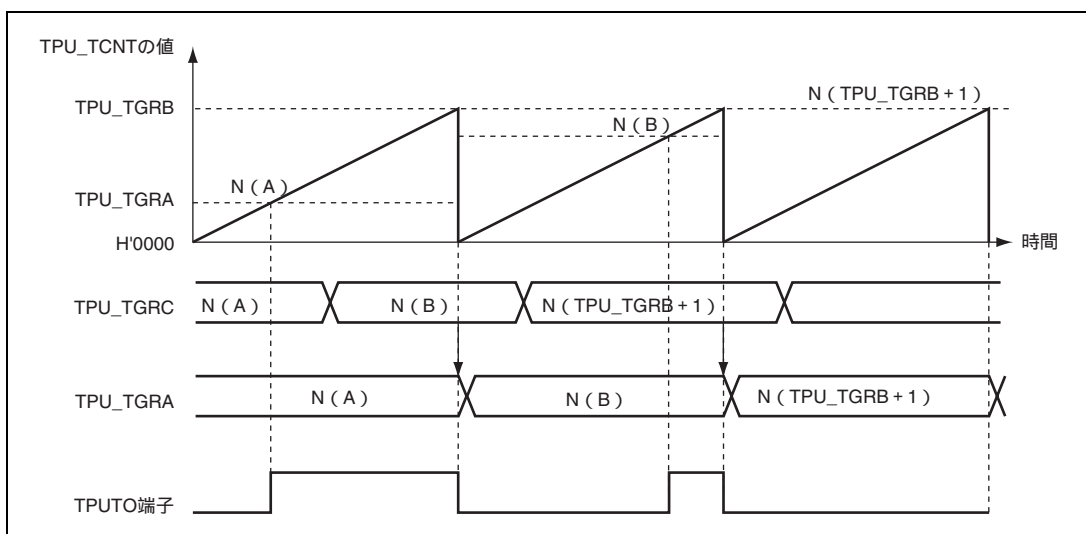


図 21.10 バッファ動作例

21.5.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。TPU_TGRA のコンペアマッチによる出力レベルは 0 出力 / 1 出力の中から選択可能です。

TPU_TGRB のコンペアマッチをカウンタクリア要因とすることにより、周期を設定することができます。全チャネル独立に PWM モードに設定できます。

TPU_TGRA をデューティレジスタ、TPU_TGRB を周期レジスタに使用して、TPUTO 端子から PWM 出力を生成します。周期レジスタのコンペアマッチによるカウンタクリアで TPUTO 端子の出力値は TPU_TIOR で設定した初期出力が出力されます。必ず TPU_TIOR の設定は、初期出力とコンペアマッチによる出力値が異なった出力となるように設定してください。同じレベルやトグル出力を選択した場合、動作しません。

デューティ 0% と 100% の条件を以下に示します。

- デューティ 0% : 周期レジスタ (TPU_TGRB) に対してデューティレジスタ (TPU_TGRA) の設定値を TGRB + 1 にした場合
- デューティ 100% : デューティレジスタ (TPU_TGRA) の設定値が 0 の場合

PWM モードでは、最大 4 相の PWM 出力が可能です。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 21.11 に示します。

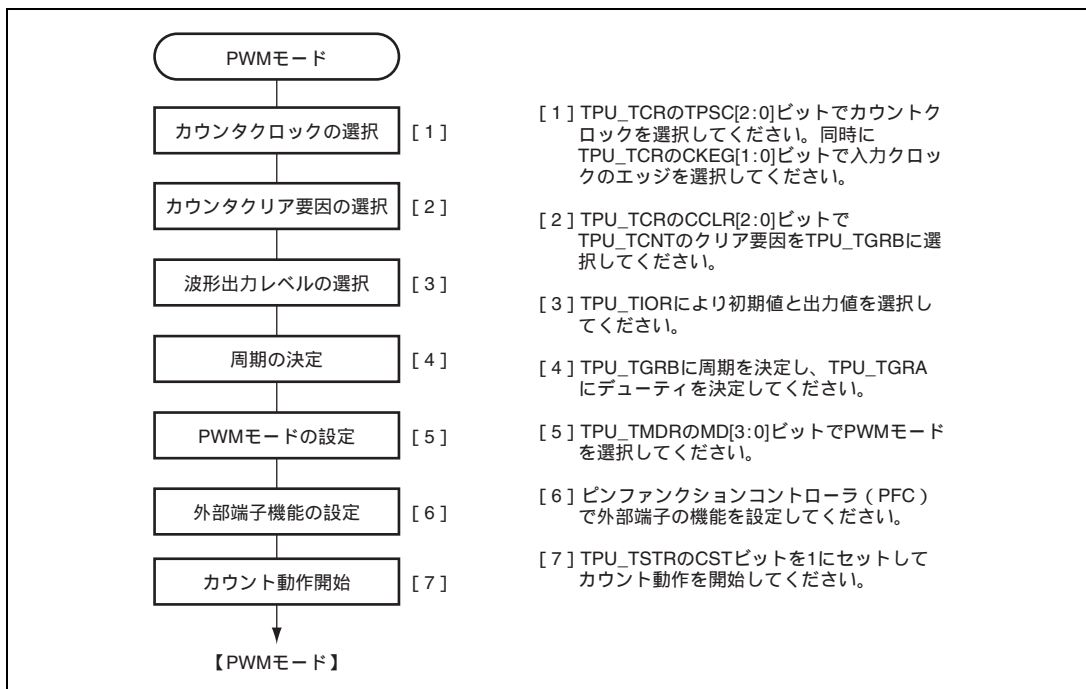


図 21.11 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モードの動作例を図 21.12 に示します。

図 21.12 は、TPU_TCNT のクリア要因を TPU_TGRB のコンペアマッチとし、TPU_TGRA の初期出力値を 0、出力値を 1 に設定した場合の例です。

TPU_TGRB に設定した値が周期となり、TPU_TGRA に設定した値がデューティになります。

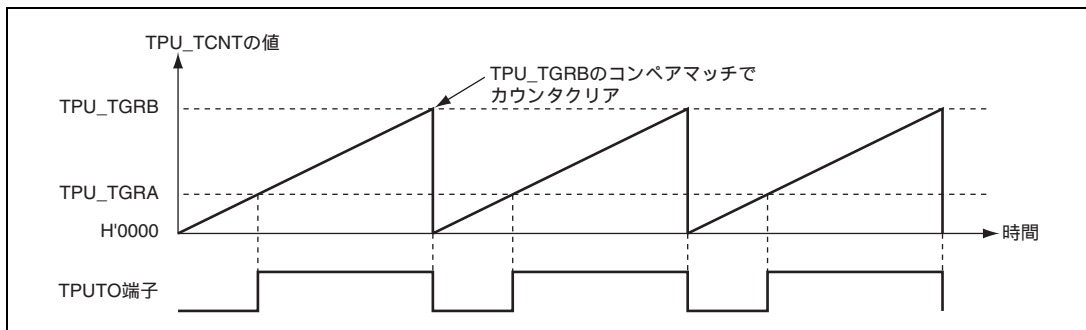


図 21.12 PWM モードの動作例 (1)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 21.13 に示します。

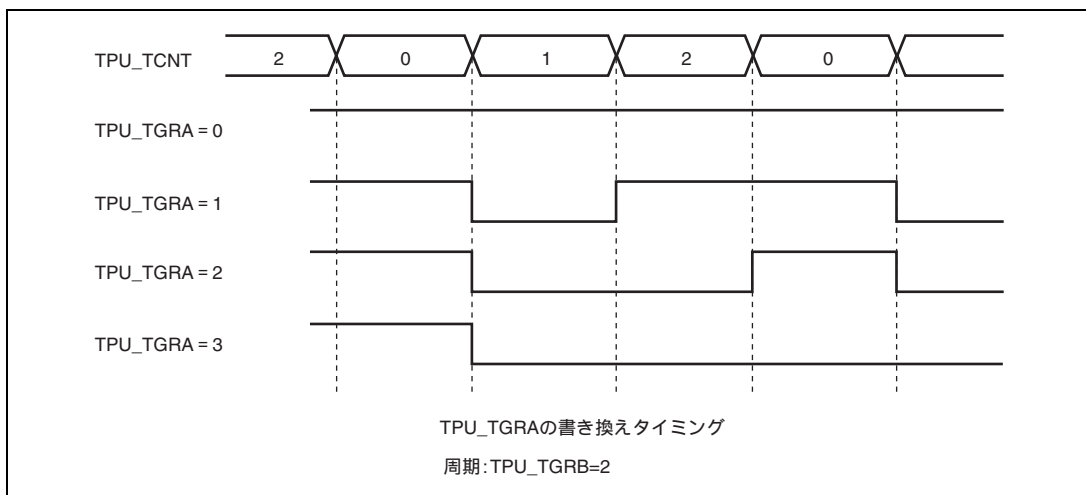


図 21.13 PWM モードの動作例 (2)

22. コンペアマッチタイマ (CMT)

本 LSI は、1 チャンネルの 32 ビット構成のコンペアマッチタイマ (CMT) を内蔵しています。

22.1 特長

- 16ビット / 32ビット切り換え可能なタイマ
- オートリロード方式のアップカウンタを搭載
- 任意の時点で書き込み / 読み出し可能なオートリロード用32ビットコンスタントレジスタおよび32ビットアップカウンタを搭載
- 本LSIがR/U-スタンバイモード時でもカウント動作可能
- 3種類のカウンタ入力クロックを選択可能
外部クロック (RCLK) 入力 : 1/8、1/32、1/128
- ワンショット動作およびフリーラン動作を選択可能
- 割り込み要因にコンペアマッチまたはオーバフローを選択可能
- R/U-スタンバイモード動作時にスタンバイ解除可能
- モジュールスタンバイモードの設定可能

図 22.1 に CMT のブロック図を示します。

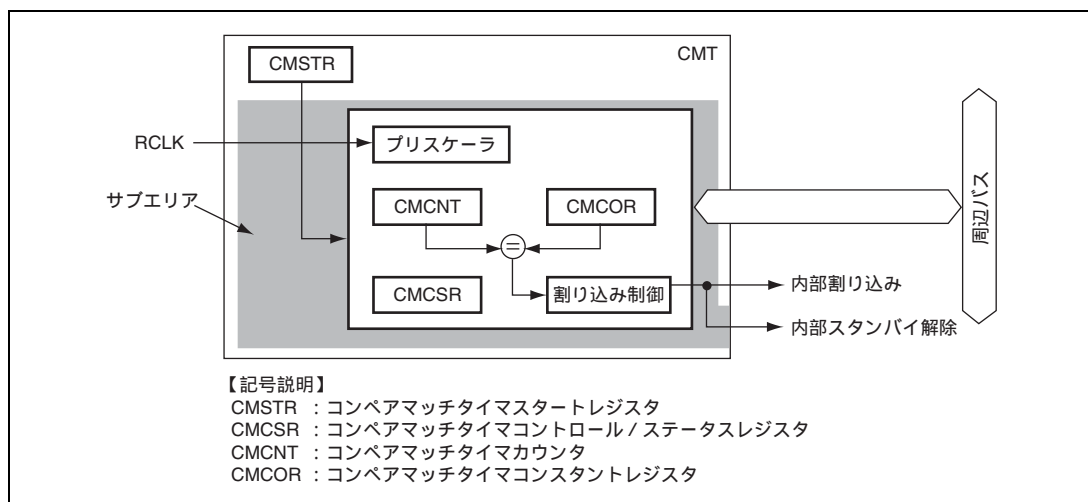


図 22.1 CMT のブロック図

22.2 レジスタの説明

CMT のレジスタ構成を表 22.1 に示します。また、各処理モードにおけるレジスタの状態を表 22.2 に示します。

表 22.1 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'A44A 0000	16
コンペアマッチタイマコントロール/ステータスレジスタ	CMCSR	R/W	H'A44A 0060	16
コンペアマッチタイマカウンタ	CMCNT	R/W	H'A44A 0064	32
コンペアマッチタイマコンスタントレジスタ	CMCOR	R/W	H'A44A 0068	32

表 22.2 各処理モードにおけるレジスタの状態

略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	R-スタンバイ	U-スタンバイ	スリープ
CMSTR	初期化	初期化	保持	保持	初期化	初期化	保持
CMCSR	初期化	初期化*	保持	保持	初期化*	初期化*	保持
CMCNT	初期化	初期化	保持	保持	初期化	初期化	保持
CMCOR	初期化	初期化	保持	保持	初期化	初期化	保持

【注】 * CMF ビット、OVF ビットはリセット前の値を保持します。

22.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチタイマカウンタ (CMCNT) の動作 / 停止を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	STR5	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15-6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	STR5	0	R/W	カウントスタート コンペアマッチタイマカウンタ (CMCNT) の動作 / 停止を選択します。 0 : CMCNT はカウントを停止 1 : CMCNT はカウントを開始
4-0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

22.2.2 コンペアマッチタイマコントロール / ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込みの許可、およびカウンタ入力クロックの設定を行います。

コンペアマッチタイマカウンタ (CMCNT) 動作中に CMF ビット、OVF ビット以外の変更はしないでください。

CMF ビット、OVF ビットは初期化されません。両方のビットに必ず 0 を書いてから使用してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	CMF	OVF	WR FLG	—	—	—	CMS	CMM	CMTOUT IE	—	CMR[1:0]	—	CKS[2:0]				
初期値:	—	—	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
15	CMF	不定	R/(W)*	コンペアマッチフラグ コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したか否かを示すフラグです。 ソフトウェアによる 1 書き込みはできません。 カウンタの動作にワンショット動作を選択した場合、本ビットをクリアするとカウント動作を再開します。 0 : CMCNT と CMCOR の値は不一致 [クリア条件] CMF に 0 を書き込んだとき 1 : CMCNT と CMCOR の値が一致
14	OVF	不定	R/(W)*	オーバーフローフラグ コンペアマッチタイマカウンタ (CMCNT) がオーバーフローし 0 クリアしたかを示すフラグです。ソフトウェアによる 1 書き込みはできません。 0 : CMCNT はオーバーフローしていない [クリア条件] OVF に 0 を書き込んだとき 1 : CMCNT はオーバーフロー発生
13	WRFLG	0	R	書き込み状態フラグ 本ビットが 1 の間、CMCNT への書き込みが行えません。CMCNT への書き込みを行った後、同期化のために一定期間 CMCNT への書き込みがマスクされる期間を示します。連続して CMCNT へ書き込む場合は必ず本フラグが 0 になっていることを確認してください。
12~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
9	CMS	0	R/W	コンペアマッチタイムカウンタサイズ コンペアマッチタイムカウンタ (CMCNT) を 16 ビットカウンタか 32 ビットカウンタとして使うかを選択します。 本レジスタの設定がコンペアマッチタイムコンスタントレジスタ (CMCOR) の有効ビットサイズになります。 0 : 32 ビットカウンタ動作 1 : 16 ビットカウンタ動作
8	CMM	0	R/W	コンペアマッチモード カウンタのワンショット動作とフリーラン動作を選択します。 0 : ワンショット動作 1 : フリーラン動作
7	CMTOUT_IE	0	R/W	コンペアマッチスタンバイモード解除イネーブル 各種スタンバイモード解除の許可 / 禁止を選択します。 0 : 本 CMT による各種スタンバイモード解除を禁止 1 : 本 CMT による各種スタンバイモード解除を許可
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	CMR[1:0]	00	R/W	コンペアマッチリクエスト コンペアマッチ時、内部割り込み要求の許可 / 禁止を選択します。 00 : 内部割り込み要求の禁止 01 : 設定禁止 10 : 内部割り込み要求を許可 11 : 設定禁止 【注】各種スタンバイモードを CMT で解除する場合、本ビットを B'10 に設定してください。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	CKS[2:0]	100	R/W	クロックセレクト コンペアマッチタイムカウンタ (CMCNT) に入力するクロックを選択します。カウントスタート (STR5 ビット) が 1 にセットされると、CMCNT は本ビットで選択されたクロックでカウントを開始します。 100 : RCLK/8 101 : RCLK/32 110 : RCLK/128 上記以外 : 設定禁止

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

22.2.3 コンペアマッチタイマカウンタ (CMCNT)

CMCNT は 32 ビットのレジスタで、アップカウンタとして使用されます。

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) でカウンタ動作を設定します。このため、コンペアマッチタイマスタートレジスタ (CMSTR) で対応するチャンネルの動作を開始する前に、CMCSR の設定を完了してください。CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。CMCNT の初期値は、H'00000000 です。

CMT は、周辺クロック停止時もカウンタ動作可能です。また R/U-スタンバイ期間中にコアエリア電源をオフにした状態でもカウンタ動作可能です。

カウンタ動作中の CMCNT からの読み出しは、非同期クロック動作のため値を間違える可能性があります。ソフトウェアにて複数回の読み出し、値の比較を行ってください。

22.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

CMCOR は 32 ビットのレジスタで、コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチするまでの期間を設定します。

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) の CMS ビットで 16 ビットカウンタ動作とした場合、本レジスタのビット 15~0 ビットが有効となります。書き込む際には、上位に H'0000 を加えた 32 ビットで書き込みを行ってください。オーバフロー検出は本レジスタが H'FFFFFFFF で CMCNT が 0 クリアされたときに検出されます。CMCOR の初期値は、H'FFFFFFFF です。

22.3 動作説明

22.3.1 カウンタ動作

CMT は、各レジスタ設定後に CMSTR の STR5 ビットに B'1 を書き込むことによってカウンタ動作を開始します。動作開始前にすべての設定を完了してください。フラグビットのクリア以外のレジスタ変更はしないでください。

カウンタ動作は 2 種類に分類することが可能です。

- ワンショット動作

CMCSR の CMM ビットを B'0 にセットした場合、ワンショット動作となります。CMCNT の値が CMCOR の値に一致すると、CMCNT は H'00000000 にクリアされ、CMCSR の CMF ビットが B'1 にセットされます。CMCNT はクリア後、動作を停止します。

オーバフロー割り込み検出を行いたい場合は、CMCOR の値を H'FFFFFFF としてください。CMCNT の値が CMCOR の値に一致すると、CMCNT は H'00000000 にクリアされ、CMCSR の CMF ビットと OVF ビットが B'1 にセットされます。

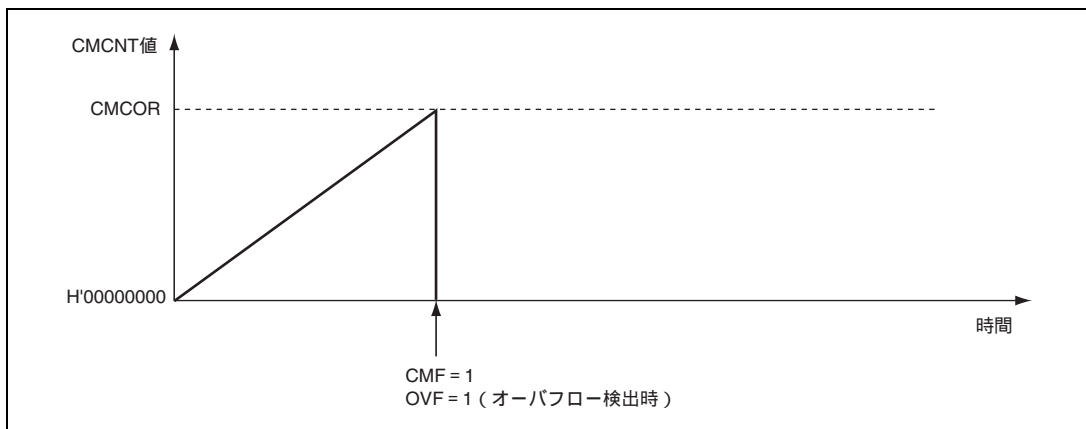


図 22.2 カウンタ動作 (ワンショット動作時)

- フリーラン動作

CMCSRのCMMビットをB'1にセットした場合、フリーラン動作となります。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットがB'1にセットされます。CMCNTはクリア後、カウントアップを再開します。

オーバーフロー割り込み検出を行いたい場合は、CMCORの値をH'FFFFFFFとしてください。CMCNTの値がCMCORの値に一致すると、CMCNTはH'00000000にクリアされ、CMCSRのCMFビットとOVFビットがB'1にセットされます。

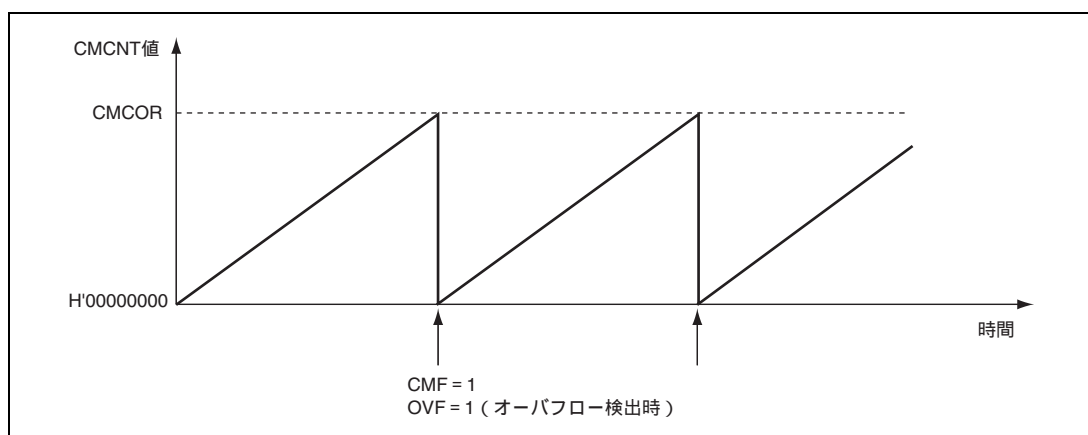


図 22.3 カウンタ動作 (フリーラン動作時)

22.3.2 カウンタサイズ

本モジュールはカウンタサイズを 16 ビットカウンタと 32 ビットカウンタで選択可能です。カウンタサイズの選択は CMCSR の CMS ビットで行います。

16 ビットカウンタとして使う場合、CMCOR の値は上位に H'0000 を加えた 32 ビットでセットしてください。オーバーフロー割り込み検出を行うときは、H'0000FFFF とします。

22.3.3 CMCNT カウントタイミング

本モジュールは CMCNT のカウンタ用クロックに以下を設定することが可能です。

外部クロック (RCLK) : 1/8、1/32、1/128

カウンタ用クロックは、CMCSR の CKS ビットにより選択します。

CMCNT は CKS ビットにより選択されたクロックの立ち上がりエッジにてインクリメントします。

22.3.4 CPU への内部割り込み要求

CMCSR の CMR ビットにより、コンペアマッチ時に CPU への内部割り込み発生を選択することができます。

CPU への内部割り込み要求をクリアするためには、CMF ビットに B'0 をセットする必要があります。CMT による割り込みルーチン中に CMF = 0 とする動作を行ってください。

22.3.5 CMT の動作

CMCNT は、RCLK のみでの動作が可能のため、動作に必要なレジスタ設定を行い、CMSTR の STR5 ビットに B'1 を書き込んだ後に、本 LSI が R/U-スタンバイモードへ遷移し、コアエリア電源をオフにした場合でもカウンタ動作を続けます。

- レジスタアクセス

CMTのカウンタはR/U-スタンバイモード時にもカウント動作するために、サブエリアに存在しますが、カウント動作に必要なレジスタ設定は、コアエリアより行います。このためレジスタを更新した場合、以下の制限があります。

下記レジスタを更新した場合、実際の動作に反映するまでの間は R/U-スタンバイに遷移しないでください。遷移した場合、レジスタ設定が反映されない場合があります。

1. CMCSR レジスタ : CKS、CMM、CMS、CMTOUT_IE ビット、

CMCOR レジスタ : ビット 31~0

CMSTR レジスタ : STR5 ビット

レジスタ書き込み後、直後に読み出せるが、実際の動作に反映するまでに RCLK で 2 サイクルが必要です。

2. CMCNT レジスタ : ビット 31~0

レジスタ書き込み後、読み出し、および実際の動作に反映するまでに RCLK で 2 サイクルが必要です。また一度書き込むと、その書き込み動作が完了するまで書き込みがプロテクトされます。

- 各種スタンバイモード解除

スタンバイもしくは、R/U-スタンバイ期間中に割り込みが発生した場合、CMCSRのCMTOUT_IEビットをB'1に、CMRビットをB'10にセットしておくことにより、各種スタンバイを解除することができます。

各種スタンバイモード解除後、CMCSRのCMFビットをB'0にセットしてください。

22.3.6 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致するとコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。コンペアマッチ信号は、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) で発生します。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 22.4 に CMF ビットのセットタイミングを示します。

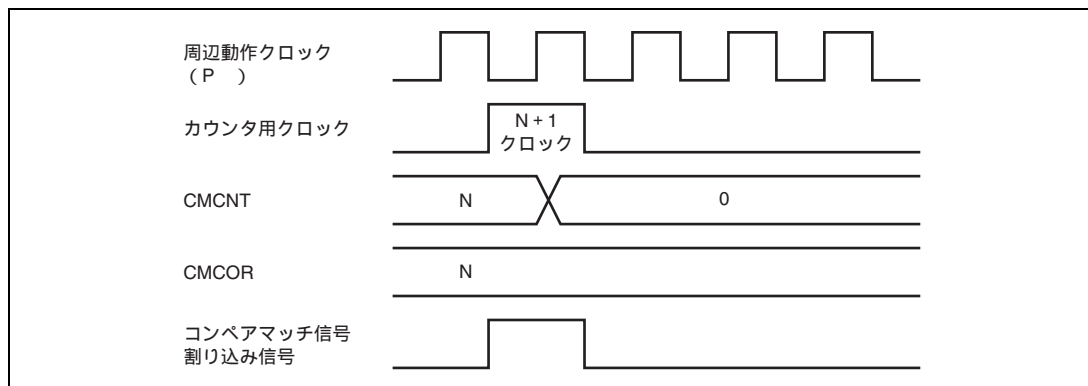


図 22.4 CMF セットタイミング

23. マルチメディアカードインタフェース (MMCIF)

本モジュールは、フラッシュメモリーカードである Multi Media Card (以下 MMC) もしくは MMC 規格の応用規格である CE-ATA (Consumer Electronics AT Attachment) 規格に対応した HDD と接続するためのホストインタフェースです。

23.1 特長

(1) MMC インタフェースとしての機能

- The MultiMediaCard System Specification に対応
- 1/4/8ビットのMMCに対応
- MMCクロック周波数 1/2バスクロック (B)
- エラーチェック機能 (CRC7、CRC16)
- 割り込み要求: 通常動作、エラー/タイムアウト
- DMA転送要求: バッファライト、バッファリード
- MMCモードに対応 (SPIモード非対応)

(2) CE-ATA インタフェースとしての機能

- CE-ATA Digital Protocolに対応
- 1/4/8ビットのCE-ATAデバイスに対応
- MMCクロック周波数 1/2バスクロック (B)
- エラーチェック機能 (CRC7、CRC16)
- 割り込み要求: 2本 (通常動作、エラー/タイムアウト)
- DMA転送要求: バッファライト、バッファリード
- CCS (Command Completion Signal)、CCSD (Command Completion Signal Disable) に対応

ブロック図を図 23.1 に示します。

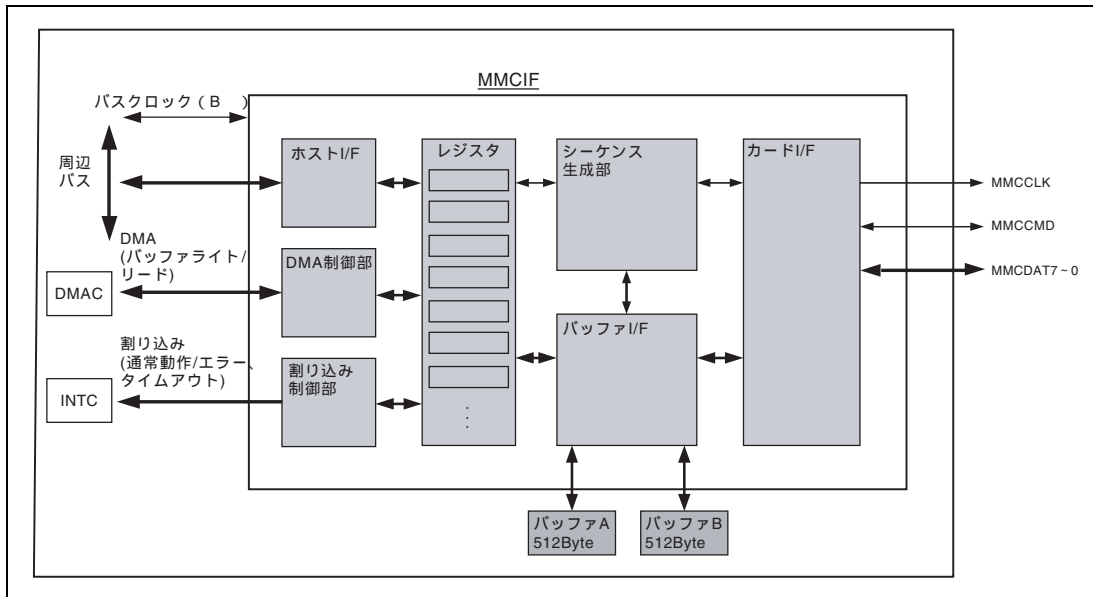


図23.1 MMCIFのブロック図

23.2 入出力端子

本モジュールの端子構成を表 23.1 に示します。

表23.1 端子構成

端子名	入出力	機能
MMCCLK	出力	MMC クロック
MMCCMD	入出力	コマンド / レスポンス
MMCDAT7~0	入出力	送信データ / 受信データ

23.3 レジスタの説明

本モジュールのレジスタ構成を表 23.2 に示します。また、各処理モードにおけるレジスタの状態を表 23.3 に示します。

表23.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
コマンド設定レジスタ	CE_CMD_SET	R/W	H'A4CA 0000	16/32
アークメントレジスタ	CE_ARG	R/W	H'A4CA 0008	16/32
自動 CMD12 アークメントレジスタ	CE_ARG_CMD12	R/W	H'A4CA 000C	16/32
コマンド制御レジスタ	CE_CMD_CTRL	R/W	H'A4CA 0010	16/32
転送ブロック設定レジスタ	CE_BLOCK_SET	R/W	H'A4CA 0014	16/32
クロックコントロールレジスタ	CE_CLK_CTRL	R/W	H'A4CA 0018	16/32
バッファアクセス設定レジスタ	CE_BUF_ACC	R/W	H'A4CA 001C	16/32
レスポンスレジスタ 3	CE_RESP3	R/W	H'A4CA 0020	16/32
レスポンスレジスタ 2	CE_RESP2	R/W	H'A4CA 0024	16/32
レスポンスレジスタ 1	CE_RESP1	R/W	H'A4CA 0028	16/32
レスポンスレジスタ 0	CE_RESP0	R/W	H'A4CA 002C	16/32
自動 CMD12 レスポンスレジスタ	CE_RESP_CMD12	R/W	H'A4CA 0030	16/32
データレジスタ	CE_DATA	R/W	H'A4CA 0034	16*/32
割り込みフラグレジスタ	CE_INT	R/W	H'A4CA 0040	16/32
割り込みマスクレジスタ	CE_INT_MASK	R/W	H'A4CA 0044	16/32
ステータスレジスタ 1	CE_HOST_STS1	R/W	H'A4CA 0048	16/32
ステータスレジスタ 2	CE_HOST_STS2	R/W	H'A4CA 004C	16/32
バージョンレジスタ	CE_VERSION	R/W	H'A4CA 007C	16/32

【注】 上記以外のレジスタには、アクセスしないでください。

* 16ビットアクセス時は、H'A4CA 0034のみアクセス可能です。

表23.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
CE_CMD_SET	初期化	初期化	保持	保持	初期化	初期化	保持
CE_ARG	初期化	初期化	保持	保持	初期化	初期化	保持
CE_ARG_CMD12	初期化	初期化	保持	保持	初期化	初期化	保持
CE_CMD_CTRL	初期化	初期化	保持	保持	初期化	初期化	保持
CE_BLOCK_SET	初期化	初期化	保持	保持	初期化	初期化	保持
CE_CLK_CTRL	初期化	初期化	保持	保持	初期化	初期化	保持
CE_BUF_ACC	初期化	初期化	保持	保持	初期化	初期化	保持
CE_RESP3	初期化	初期化	保持	保持	初期化	初期化	保持
CE_RESP2	初期化	初期化	保持	保持	初期化	初期化	保持
CE_RESP1	初期化	初期化	保持	保持	初期化	初期化	保持
CE_RESP0	初期化	初期化	保持	保持	初期化	初期化	保持
CE_RESP_CMD12	初期化	初期化	保持	保持	初期化	初期化	保持
CE_DATA	初期化	初期化	保持	保持	初期化	初期化	保持
CE_INT	初期化	初期化	保持	保持	初期化	初期化	保持
CE_INT_MASK	初期化	初期化	保持	保持	初期化	初期化	保持
CE_HOST_STS1	初期化	初期化	保持	保持	初期化	初期化	保持
CE_HOST_STS2	初期化	初期化	保持	保持	初期化	初期化	保持
CE_VERSION	初期化	初期化	保持	保持	初期化	初期化	保持

23.3.1 コマンド設定レジスタ (CE_CMD_SET)

CE_CMD_SET は、コマンドシーケンスを設定するレジスタです。

各種設定と共にコマンドインデックスを設定すると、コマンドシーケンスがスタートします。16 ビットアクセスの場合は、ビット 31～16 を設定するとコマンドシーケンスがスタートします。なお、コマンドシーケンス中 (CE_HOST_STS1 の CMDSEQ ビットが 1 のとき) は、CE_CMD_SET にライトできない仕様となっています。CE_CMD_SET に設定する値については、「23.7.14 CE_CMD_SET 設定値」に従い設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CMD[5:0]					RTYP[1:0]		RBSY	CCSEN	WDAT	DWEN	CMLTE	CMD12 EN	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RIDXC[1:0]		RCRC7C[1:0]		—	CRC 16C	—	CRC STE	TBIT	OPDM	CCSH	—	—	—	DATW[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29～24	CMD[5:0]	H'00	R/W	コマンドインデックス 【注】コマンドインデックスを設定すると、コマンドシーケンスがスタートします。
23, 22	RTYP[1:0]	00	R/W	レスポンスタイプ 00: レスポンス無し 01: 6 バイトのレスポンス (R1, R1b, R3, R4, R5) 10: 17 バイトのレスポンス (R2) 11: 設定禁止
21	RBSY	0	R/W	レスポンスビジーあり/なし レスポンス受信時のビジーの有無を選択します。 0: レスポンスビジーなし 1: レスポンスビジーあり (R1b)
20	CCSEN	0	R/W	CCS 受け付け 0: CCS の受け付けを禁止 1: CCS の受け付けを許可
19	WDAT	0	R/W	データあり/なし 0: データなし 1: データあり
18	DWEN	0	R/W	リード/ライト 0: カードからリード 1: カードヘライト

ビット	ビット名	初期値	R/W	説明
17	CMLTE	0	R/W	シングルブロック転送/マルチブロック転送選択 0: シングルブロック転送 1: マルチブロック転送
16	CMD12EN	0	R/W	自動CMD12発行設定 (マルチブロック転送時有効) 0: CMD12を自動発行しない 1: CMD12を自動発行する 【注】転送ブロックサイズ=512バイトに設定してください。
15、14	RIDXC[1:0]	00	R/W	レスポンスインデックスチェック 00: インデックスチェック 01: check bits チェック 10: チェック無し 11: 設定禁止
13、12	RCRC7C[1:0]	00	R/W	レスポンスCRC7チェック 00: CRC7チェック (レスポンスタイプを01に設定してください) 01: check bits チェック (レスポンスタイプを01に設定してください) 10: internal CRC7チェック (R2専用) (レスポンスタイプを10に設定してください) 11: チェック無し
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	CRC16C	0	R/W	受信時CRC16チェック 0: CRC16をチェックする 1: CRC16をチェックしない (CMD14時に使用)
9	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	CRCSTE	0	R/W	CRC status 受信 0: CRC statusを受信する 1: CRC statusを受信しない (CMD19時に使用)
7	TBIT	0	R/W	トランスミッションビット設定 0: トランスミッションビットをHにする 1: トランスミッションビットをLにする
6	OPDM	0	R/W	オープンドレイン出力モード設定 0: 通常出力 1: オープンドレイン出力 【注】MMCCMD線のみ有効となります。

ビット	ビット名	初期値	R/W	説明
5	CCSH	0	R/W	CCS 受信後 H 出力設定 0 : CCS 受信後 3 サイクル目に H を出力する 1 : CCS 受信後に H を出力しない
4~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	DATW[1:0]	00	R/W	データバス幅設定 00 : 1 ビット 01 : 4 ビット 10 : 8 ビット 11 : 設定禁止

23.3.2 アーギュメントレジスタ (CE_ARG)

CE_ARG は、送信するコマンドのアーギュメントを設定するレジスタです。CE_CMD_SET の CMD[5:0] ビットを設定する前に設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ARG[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ARG[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	ARG[31:0]	H0000 0000	R/W	アーギュメント 31~0 を設定

23.3.3 自動CMD12 アーギュメントレジスタ (CE_ARG_CMD12)

CE_ARG_CMD12 は、マルチブロック転送における CMD12 を自動発行する際に、送信する自動 CMD12 のアーギュメントを設定するレジスタです。CE_CMD_SET の CMD[5:0] ビットを設定する前に設定してください。

自動 CMD12 については、「23.6.2 自動 CMD12 発行について」を参照ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C12ARG[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C12ARG[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	C12ARG [31:0]	H0000 0000	R/W	アーギュメント 31~0 を設定

23.3.4 コマンド制御レジスタ (CE_CMD_CTRL)

CE_CMD_CTRL は、強制終了を行う際に設定するレジスタです。また、CCSD の発行は、CE-ATA デバイスを接続している場合に有効です。MMC と接続している際は、CCSD を発行しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CCSD	BREAK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CCSD	0	R/W	CCSD 発行 0 の状態から 1 をライトすると、CCSD を発行します。 CE_INT の CCSDE が 1 になってから、CCSD を 0 ライトし戻してください。 【注】 CCSD を発行する前に、CE_HOST_STS1 の CMDSEQ ビットが 0 であることを確認してください。

ビット	ビット名	初期値	R/W	説明
0	BREAK	0	R/W	<p>コマンドシーケンス強制終了</p> <p>0の状態から1をライトし、その後、0をライトするとコマンドシーケンスを中断します。</p> <p>上記設定後、CE_HOST_STS1のCMDSEQビットが0になることを確認してください。その後次の処理が可能となります。</p> <p>【注】「23.8 使用上の注意事項」を参照してください。</p>

23.3.5 転送ブロック設定レジスタ (CE_BLOCK_SET)

CE_BLOCK_SETは、転送するデータのブロックサイズとブロック数を設定するレジスタです。CE_CMD_SETのCMD[5:0]ビットを設定する前に設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BLKCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BLKSIZ[15:0]															
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	BLKCNT [15:0]	H'0000	R/W	<p>転送ブロック数</p> <p>【注】マルチブロック転送のとき、有効となります。</p>
15~0	BLKSIZ[15:0]	H'0200	R/W	<p>転送ブロックサイズ</p> <p>【注】転送ブロックサイズは、</p> <ul style="list-style-type: none"> • シングルブロック転送設定時：1~512バイト • マルチブロック転送設定時：512バイト <p>に設定してください。</p>

23.3.6 クロックコントロールレジスタ (CE_CLK_CTRL)

CE_CLK_CTRL は、MMC クロックの制御とタイムアウト値を設定するレジスタです。なお、コマンドシーケンス中は再設定しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CLKEN	—	—	—	—	CLKDIV[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SRSPTO[1:0]		SRBSYTO[3:0]			SRWDTO[3:0]			SCCSTO[3:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	CLKEN	0	R/W	MMC クロック出力制御 0 : MMC クロックを出力しない (L 固定) 1 : MMC クロックを出力する
23~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~16	CLKDIV[3:0]	0000	R/W	MMC クロック周波数設定 0000 : バスクロック/2 ¹ 0001 : バスクロック/2 ² : 0111 : バスクロック/2 ⁸ 1000 : バスクロック/2 ⁹ 1001~1111 : 設定禁止
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	SRSPTO[1:0]	00	R/W	レスポンスタイムアウト設定 CE_INT の RSPTO の期間を設定します。 00 : 64 × MMC クロック周期 01 : 128 × MMC クロック周期 10 : 256 × MMC クロック周期 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
11~8	SRBSYTO [3:0]	0000	R/W	レスポンスビジータイムアウト設定 CE_INT の RBSYTO の期間を設定します。 0000 : 2 ¹⁴ × MMC クロック周期 0001 : 2 ¹⁵ × MMC クロック周期 : 1110 : 2 ²⁸ × MMC クロック周期 1111 : 2 ²⁹ × MMC クロック周期
7~4	SRWDTO[3:0]	0000	R/W	ライトデータタイムアウト / リードデータタイムアウト設定 CE_INT の WDATTO、RDATTO の期間を設定します。 0000 : 2 ¹⁴ × MMC クロック周期 0001 : 2 ¹⁵ × MMC クロック周期 : 1110 : 2 ²⁸ × MMC クロック周期 1111 : 2 ²⁹ × MMC クロック周期
3~0	SCCSTO[3:0]	0000	R/W	CCS タイムアウト設定 CE_INT の CCSTO の期間を設定します。 0000 : 2 ¹⁴ × MMC クロック周期 0001 : 2 ¹⁵ × MMC クロック周期 : 1110 : 2 ²⁸ × MMC クロック周期 1111 : 2 ²⁹ × MMC クロック周期

23.3.7 バッファアクセス設定レジスタ (CE_BUF_ACC)

CE_BUF_ACC は、データレジスタのアクセス方法と DMA の転送方法を設定するレジスタです。

CE_CMD_SET の CMD[5:0] ビットを設定する前に設定してください。バッファの説明については「23.6.3 バッファの構造について」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	DMAW EN	DMAR EN	—	—	—	—	—	—	BUSW	ATYP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
25	DMAWEN	0	R/W	バッファライト DMA 転送要求イネーブル 0: バッファライト DMA 転送要求を禁止 1: バッファライト DMA 転送要求を許可
24	DMAREN	0	R/W	バッファリード DMA 転送要求イネーブル 0: バッファリード DMA 転送要求を禁止 1: バッファリード DMA 転送要求を許可
23~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	BUSW	0	R/W	データレジスタアクセス幅選択 0: CE_DATA に 32 ビットでアクセスする場合 1: CE_DATA に 16 ビットでアクセスする場合
16	ATYP	0	R/W	バッファアクセス選択 0: バイト単位差し替えなし 1: バイト単位差し替えあり 【注】バッファへのアクセスについては「23.6.4 CE_DATA アクセス時のバッファアクセス選択機能について」を参照してください。
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

23.3.8 レスポンスレジスタ 3~0 (CE_RESP3~0)

CE_RESP3~0は、受信したレスポンス値が格納されるレジスタです。

レスポンス値のフォーマットについては、「23.6.1 コマンド/レスポンスのフォーマットについて」を参照してください。

- CE_RESP3

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[127:112]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[111:96]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[127:96]	H'0000 0000	R	R2 レスポンス[127:96]

- CE_RESP2

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[95:80]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[79:64]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[95:64]	H'0000 0000	R	R2 レスポンス[95:64]

- CE_RESP1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RSP[63:48]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RSP[47:32]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[63:32]	H'0000 0000	R	R2 レスポンス[63:32]

- CE_RESP0

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

RSP[31:16]

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RSP[15:0]

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ビット	ビット名	初期値	R/W	説明
31~0	RSP[31:0]	H'0000 0000	R	レスポンス[31:0]もしくは R2 レスポンス[31:0]

23.3.9 自動 CMD12 レスポンスレジスタ (CE_RESP_CMD12)

CE_RESP_CMD12 は、CMD12 を自動発行した際に、CMD12 に対するレスポンス値が格納されるレジスタです。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

RSP12[31:16]

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RSP12[15:0]

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R R R R R R R R R R R R R R R R

ビット	ビット名	初期値	R/W	説明
31~0	RSP12[31:0]	H'0000 0000	R	CMD12 レスポンス[31:0]

23.3.10 データレジスタ (CE_DATA)

CE_DATA は、バッファにアクセスするためのレジスタです。

16 ビットアクセス時は、DATA[31:16]ビットのみアクセス可能です。ライトデータ/リードデータのフォーマットについては、「23.6.5 データのフォーマットについて」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DATA[31:0]	H'0000 0000	R/W	バッファライト/リード[31:0]

23.3.11 割り込みフラグレジスタ (CE_INT)

CE_INT は、コマンドシーケンス中の各種ステータスを表すレジスタです。各ビットは、セット条件を満たすと 1 にセットされます。フラグをクリアする際はクリアするビットのみ 0 を設定し、それ以外のビットは 1 を設定してください。

エラー、タイムアウト発生時の動作については、「23.6 エラー、タイムアウト発生時の動作について」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CCSDE	—	—	CMD12 DRE	CMD12 RBE	CMD12 CRE	DTRAN E	BUFR E	BUFR EN	BUFR EN	CCS RCV	—	RBSY E	CRSP E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD VIO	BUF VIO	—	—	WDAT ERR	RDAT ERR	RIDX ERR	RSP ERR	—	—	CCS TO	CRCS TO	WDAT TO	RDAT TO	RBSY TO	RSP TO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	CCSDE	0	R/W*	CCSD 発行完 セット条件: CCSD 発行完 クリア条件: 0 ライト
28, 27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	CMD12DRE	0	R/W*	自動 CMD12 & バッファリード完 セット条件: 自動 CMD12 のレスポンスビジーとバッファリードが完了したとき クリア条件: 0 ライト 【注】 CMD12DRE がセットされた際は、CMD12RBE、CMD12CRE、BUFRE もセットされているので、クリアしてください。

ビット	ビット名	初期値	R/W	説明
25	CMD12RBE	0	R/W*	自動 CMD12 レスポンスビジー完 セット条件：自動 CMD12 のレスポンス受信とレスポンスビジーが完了したとき クリア条件：0 ライト 【注】CMD12RBE がセットされた際は、CMD12CRE もセットされているので、クリアしてください。
24	CMD12CRE	0	R/W*	自動 CMD12 コマンドレスポンス完 セット条件：自動 CMD12 のレスポンスを受信したとき クリア条件：0 ライト
23	DTRANE	0	R/W*	データ送信完 セット条件：全ブロックの全データの送信が完了したとき <ul style="list-style-type: none"> • CRC status を受信する設定の場合： CRC status 後のビジー（データビジー）が完了したとき • CRC status を受信しない設定の場合： データの送信が完了したとき クリア条件：0 ライト
22	BUFRE	0	R/W*	バッファリード完 セット条件：全ブロックの全データの受信が完了しバッファからリードし終わったとき クリア条件：0 ライト
21	BUFWEN	0	R/W*	バッファライト可 セット条件：バッファが空でライト可能になったとき クリア条件：0 ライト 【注】バッファライト DMA 転送要求を許可している場合は、セットされません
20	BUFREN	0	R/W*	バッファリード可 セット条件：バッファに転送ブロックサイズ分のデータが格納されリード可能になったとき クリア条件：0 ライト 【注】バッファリード DMA 転送要求を許可している場合は、セットされません
19	CCSRCV	0	R/W*	CCS 受信完 セット条件：CCS を受信したとき クリア条件：0 ライト
18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
17	RBSYE	0	R/W*	レスポンスビジー完 セット条件：レスポンスの受信とレスポンスビジーの受信が完了したとき クリア条件：0 ライト 【注】RBSYE がセットされた際は、CRSPE もセットされているので、クリアしてください。また、自動 CMD12 のレスポンスとレスポンスビジーについては、CMD12RBE に反映されます。
16	CRSPE	0	R/W*	コマンドレスポンス完 セット条件：コマンドの送信またはレスポンスの受信が完了したとき <ul style="list-style-type: none"> • レスポンス無し設定の場合： コマンドの送信が完了したとき • 6 バイトレスポンス、17 バイトレスポンス設定の場合： レスポンスを受信したとき クリア条件：0 ライト 【注】自動 CMD12 のレスポンスについては、CMD12CRE に反映されます。
15	CMDVIO	0	R/W*	コマンド発行エラー セット条件：CE_CMD_SET、CE_BLOCK_SET への設定に不正があったとき <ul style="list-style-type: none"> • コマンドシーケンス中の場合： CE_CMD_SET の CMD[5:0] ビットヘライトしたとき • コマンドシーケンス開始時の場合： レジスタの設定が、下記のいずれかの組み合わせの状態 CE_CMD_SET の CMD[5:0] ビットヘライトしたとき レスポンス無し + レスポンスビジーあり レスポンス無し + データあり レスポンス無し + CCS の受け付けを許可 データ無し + CMD12 を自動発行する データあり + シングル + CMD12 を自動発行する データあり + CMD12 を自動発行する + CCS の受け付けを許可 データあり + 転送ブロックサイズ=0 データあり + 転送ブロックサイズ 513 データあり + マルチブロック転送 + 転送ブロック数=0 クリア条件：0 ライト 【注】CMDVIO がセットされた際は、コマンドシーケンスは自動停止しません。

ビット	ビット名	初期値	R/W	説明
14	BUFVIO	0	R/W*	<p>バッファアクセスエラー</p> <p>セット条件：バッファアクセスに不正があったとき</p> <ul style="list-style-type: none"> CE_BLOCK_SET の BLKSIZ[15:0]ビットに設定したブロックサイズより多く CE_DATA へアクセスしたとき カードからデータをリード中の場合： BUFREN がセットされていない (DMA 時は、バッファリード DMA 転送要求が出ていない) にもかかわらず、CE_DATA へアクセスしたとき カードヘデータをライト中の場合： BUFREN がセットされていない (DMA 時は、バッファライト DMA 転送要求が出ていない) にもかかわらず、CE_DATA へアクセスしたとき <p>クリア条件：0 ライト</p> <p>【注】 BUFVIO がセットされた際は、コマンドシーケンスは自動停止しません。</p>
13, 12	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
11	WDATERR	0	R/W*	<p>ライトデータエラー</p> <p>セット条件：</p> <ul style="list-style-type: none"> ライトデータにエラーがあったとき CRC status のステータスにエラーがあるとき CRC status のエンドビットにエラーがあるとき <p>クリア条件：0 ライト</p> <p>【注】 WDATERR がセットされた際は、コマンドシーケンスが自動停止します。</p>
10	RDATERR	0	R/W*	<p>リードデータエラー</p> <p>セット条件：リードデータにエラーがあったとき</p> <ul style="list-style-type: none"> リードデータの CRC16 にエラーがあるとき リードデータのエンドビットにエラーがあるとき <p>クリア条件：0 ライト</p> <p>【注】 RDATERR がセットされた際は、コマンドシーケンスが自動停止します。</p>

ビット	ビット名	初期値	R/W	説明
9	RIDXERR	0	R/W*	レスポンスインデックスエラー セット条件：レスポンスのインデックス値にエラーがあったとき <ul style="list-style-type: none"> CE_CMD_SET の RIDXC[1:0]ビットが 00 の場合： 受信したレスポンスのインデックス値が送信したコマンドのインデックス値と異なるとき CE_CMD_SET の RIDXC[1:0]ビットが 01 の場合： check bits が All 1 でないとき クリア条件：0 ライト 【注】RIDXERR がセットされた際は、コマンドシーケンスが自動停止します。
8	RSPERR	0	R/W*	レスポンスエラー セット条件：レスポンスのレスポンス値にエラーがあったとき <ul style="list-style-type: none"> レスポンスのトランスミッションビットが H のとき レスポンスのエンドビットにエラーがあるとき CE_CMD_SET の RCRC7C[1:0]ビットが 00 の場合： レスポンスの CRC7 にエラーがあるとき CE_CMD_SET の RCRC7C[1:0] ビットが 01 の場合： check bits が All 1 でないとき CE_CMD_SET の RCRC7C[1:0] ビットが 10 の場合： レスポンスの internal CRC7 にエラーがあるとき クリア条件：0 ライト 【注】RSPERR がセットされた際は、コマンドシーケンスが自動停止します。
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	CCSTO	0	R/W*	CCS タイムアウト セット条件：CCS を受信できなかったとき クリア条件：0 ライト 【注】タイムアウト期間は、CE_CLK_CTRL の SCCSTO[3:0]ビットにて設定します。なお、CCSTO がセットされても、コマンドシーケンスは停止しません。
4	CRCSTO	0	R/W*	CRC status タイムアウト セット条件：CRC status を受信できなかったとき クリア条件：0 ライト 【注】CRCSTO がセットされても、コマンドシーケンスは停止しません。
3	WDATTO	0	R/W*	ライトデータタイムアウト セット条件：CRC status 後のデータビジーが終了しなかったとき クリア条件：0 ライト 【注】タイムアウト期間は、CE_CLK_CTRL の SRWDTO[3:0]ビットにて設定します。なお、WDATTO がセットされても、コマンドシーケンスは停止しません。

ビット	ビット名	初期値	R/W	説明
2	RDATTO	0	R/W*	リードデータタイムアウト セット条件：リードデータを受信できなかったとき クリア条件：0 ライト 【注】タイムアウト期間は、CE_CLK_CTRL の SRWDTO[3:0] ビットにて設定します。なお、RDATTO がセットされても、コマンドシーケンスは停止しません。
1	RBSYTO	0	R/W*	レスポンスビジータイムアウト セット条件：レスポンスビジーが終了しなかったとき クリア条件：0 ライト 【注】タイムアウト期間は、CE_CLK_CTRL の SRBSYTO[3:0] ビットにて設定します。なお、RBSYTO がセットされても、コマンドシーケンスは停止しません。
0	RSPTO	0	R/W*	レスポンスタイムアウト セット条件：レスポンスを受信できなかったとき クリア条件：0 ライト 【注】タイムアウト期間は、CE_CLK_CTRL の SRSPTO[1:0] ビットにて設定します。なお、RSPTO がセットされても、コマンドシーケンスは停止しません。

【注】 * 0 ライトのみ有効となり、1 をライトしても反映されません。

23.3.12 割り込みマスクレジスタ (CE_INT_MASK)

CE_INT_MASK は、CE_INT の割り込み出力を制御するレジスタです。1 に設定したビットに対応する CE_INT のフラグが 1 となっていた場合に、割り込みを出力します。割り込み要求の詳細については、「23.4 割り込み要求の説明」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	MC CSDE	—	—	MCMD 12DRE	MCMD 12RBE	MCMD 12CRE	MDT RANE	MBUF RE	MBUF WEN	MBUF REN	MCCS RCV	—	MRBSY E	MCRSP E
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCMD VIO	MBUF VIO	—	—	MWDAT ERR	MRDAT ERR	MRIX ERR	MRSP ERR	—	—	MCCS TO	MCRC STO	MWDA TTO	MRDA TTO	MRBS YTO	MRSP TO
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	MCCSDE	0	R/W	CCSDE 割り込みマスクフラグ 0 : CCSDE フラグによる割り込み出力を禁止 1 : CCSDE フラグにより割り込み出力を許可

ビット	ビット名	初期値	R/W	説明
28、27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26	MCMD12DRE	0	R/W	CMD12DRE 割り込みマスクフラグ 0 : CMD12DRE フラグによる割り込み出力を禁止 1 : CMD12DRE フラグにより割り込み出力を許可
25	MCMD12RBE	0	R/W	CMD12RBE 割り込みマスクフラグ 0 : CMD12RBE フラグによる割り込み出力を禁止 1 : CMD12RBE フラグにより割り込み出力を許可
24	MCMD12CRE	0	R/W	CMD12CRE 割り込みマスクフラグ 0 : CMD12CRE フラグによる割り込み出力を禁止 1 : CMD12CRE フラグにより割り込み出力を許可
23	MDTRANE	0	R/W	DTRANE 割り込みマスクフラグ 0 : DTRANE フラグによる割り込み出力を禁止 1 : DTRANE フラグにより割り込み出力を許可
22	MBUFRE	0	R/W	BUFRE 割り込みマスクフラグ 0 : BUFRE フラグによる割り込み出力を禁止 1 : BUFRE フラグにより割り込み出力を許可
21	MBUFWEN	0	R/W	BUFWEN 割り込みマスクフラグ 0 : BUFWEN フラグによる割り込み出力を禁止 1 : BUFWEN フラグにより割り込み出力を許可
20	MBUFREN	0	R/W	BUFREN 割り込みマスクフラグ 0 : BUFREN フラグによる割り込み出力を禁止 1 : BUFREN フラグにより割り込み出力を許可
19	MCCSRCV	0	R/W	CCSRCV 割り込みマスクフラグ 0 : CCSRCV フラグによる割り込み出力を禁止 1 : CCSRCV フラグにより割り込み出力を許可
18	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17	MRBSYE	0	R/W	RBSYE 割り込みマスクフラグ 0 : RBSYE フラグによる割り込み出力を禁止 1 : RBSYE フラグにより割り込み出力を許可
16	MCRSPE	0	R/W	CRSPE 割り込みマスクフラグ 0 : CRSPE フラグによる割り込み出力を禁止 1 : CRSPE フラグにより割り込み出力を許可
15	MCMDVIO	0	R/W	CMDVIO 割り込みマスクフラグ 0 : CMDVIO フラグによる割り込み出力を禁止 1 : CMDVIO フラグにより割り込み出力を許可

ビット	ビット名	初期値	R/W	説明
14	MBUFVIO	0	R/W	BUFVIO 割り込みマスクフラグ 0 : BUFVIO フラグによる割り込み出力を禁止 1 : BUFVIO フラグにより割り込み出力を許可
13、12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	MWDATERR	0	R/W	WDATERR 割り込みマスクフラグ 0 : WDATERR フラグによる割り込み出力を禁止 1 : WDATERR フラグにより割り込み出力を許可
10	MRDATERR	0	R/W	RDATERR 割り込みマスクフラグ 0 : RDATERR フラグによる割り込み出力を禁止 1 : RDATERR フラグにより割り込み出力を許可
9	MRIDXERR	0	R/W	RIDXERR 割り込みマスクフラグ 0 : RIDXERR フラグによる割り込み出力を禁止 1 : RIDXERR フラグにより割り込み出力を許可
8	MRSPEERR	0	R/W	RSPERR 割り込みマスクフラグ 0 : RSPERR フラグによる割り込み出力を禁止 1 : RSPERR フラグにより割り込み出力を許可
7、6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	MCCSTO	0	R/W	CCSTO 割り込みマスクフラグ 0 : CCSTO フラグによる割り込み出力を禁止 1 : CCSTO フラグにより割り込み出力を許可
4	MCRCSTO	0	R/W	CRCSTO 割り込みマスクフラグ 0 : CRCSTO フラグによる割り込み出力を禁止 1 : CRCSTO フラグにより割り込み出力を許可
3	MWDATTO	0	R/W	WDATTO 割り込みマスクフラグ 0 : WDATTO フラグによる割り込み出力を禁止 1 : WDATTO フラグにより割り込み出力を許可
2	MRDATTO	0	R/W	RDATTO 割り込みマスクフラグ 0 : RDATTO フラグによる割り込み出力を禁止 1 : RDATTO フラグにより割り込み出力を許可
1	MRBSYTO	0	R/W	RBSYTO 割り込みマスクフラグ 0 : RBSYTO フラグによる割り込み出力を禁止 1 : RBSYTO フラグにより割り込み出力を許可
0	MRSPTO	0	R/W	RSPTO 割り込みマスクフラグ 0 : RSPTO フラグによる割り込み出力を禁止 1 : RSPTO フラグにより割り込み出力を許可

23.3.13 ステータスレジスタ 1 (CE_HOST_STS1)

CE_HOST_STS1 は、転送完了したブロック数、CMD 線と DAT 線の状態、受信したレスポンスのインデックス、コマンドシーケンス中の状態を表すレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMD SEQ	CMD SIG	RSPIDX[5:0]						DATSIG[7:0]							
初期値:	0	-	0	0	0	0	0	0	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCVBLK[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CMDSEQ	0	R	コマンドシーケンス中表示 0 : コマンドシーケンスが初期状態にあるとき 1 : コマンドシーケンスが実行中であるとき
30	CMDSIG	不定	R	CMD 状態表示 CMD 線の状態を表示します。
29~24	RSPIDX[5:0]	H'00	R	レスポンスインデックス表示 受信したレスポンスのインデックスを表示します。
23~16	DATSIG[7:0]	不定	R	DAT[7:0]状態表示 DAT 線の状態を表示します。
15~0	RCVBLK [15:0]	H'0000	R	転送完了ブロック数表示 転送完了したブロック数を表示します。 CE_CMD_SET の DWEN が 0 のとき : カードからリードしたブロック数 CE_CMD_SET の DWEN が 1 のとき : カードヘライトしたブロック数

23.3.14 ステータスレジスタ 2 (CE_HOST_STS2)

CE_HOST_STS2 は、各種タイムアウト、各種エラーの状態を表すレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRC STE	CRC 16E	AC12 CRCE	RSP CRC7E	CRC STE8E	RDAT EBE	AC12R EBE	RSP EBE	AC12 IDXE	RSP IDXE	—	—	—	CRCST[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CCS TO	RDAT TO	DATBS YTO	CRCST TO	AC12 BSYTO	RSPBS YTO	AC12 RSPTO	RSP TO	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CRCSTE	0	R	CRC status エラー CRC status 値にエラーがあった場合、1 になります。
30	CRC16E	0	R	リードデータ CRC16 エラー リードデータの CRC16 にエラーがあった場合、1 になります。
29	AC12CRCE	0	R	自動 CMD12 レスポンス CRC7 エラー 自動 CMD12 に対するレスポンスの CRC7 にエラーがあった場合、1 になります。
28	RSPCRC7E	0	R	コマンドレスポンス CRC7 エラー レスポンスの CRC7 にエラーがあった場合、1 になります。
27	CRCSTEBE	0	R	CRC status エンドビットエラー CRC status のエンドビットにエラーがあった場合、1 になります。
26	RDATEBE	0	R	リードデータエンドビットエラー リードデータのエンドビットにエラーがあった場合、1 になります。
25	AC12REBE	0	R	自動 CMD12 レスポンスエンドビットエラー 自動 CMD12 レスポンスのエンドビットにエラーがあった場合、1 になります。
24	RSPEBE	0	R	コマンドレスポンスエンドビットエラー レスポンスのエンドビットにエラーがあった場合、1 になります。
23	AC12IDXE	0	R	自動 CMD12 レスポンスインデックスエラー 自動 CMD12 レスポンスのインデックスにエラーがあった場合、1 になります。
22	RSPIDXE	0	R	コマンドレスポンスインデックスエラー レスポンスのインデックスにエラーがあった場合、1 になります。
21~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	CRCST[2:0]	000	R	CRC status 表示 受信した CRC status のステータス値を表示します
15	CCSTO	0	R	CCS タイムアウト CE_CLK_CTRL の SCCSTO の期間を超え CCS を受信できなかった場合、1 になります。
14	RDATTO	0	R	リードデータタイムアウト CE_CLK_CTRL の SRWDTO の期間を超えリードデータが受信できなかった場合、1 になります。
13	DATBSYTO	0	R	データビジータイムアウト CE_CLK_CTRL の SRWDTO の期間を超えデータビジーが続いた場合、1 になります。
12	CRCSTTO	0	R	CRC status タイムアウト CRC status が受信できなかった場合、1 になります。

ビット	ビット名	初期値	R/W	説明
11	AC12BSYTO	0	R	自動 CMD12 レスポンスビジータイムアウト CE_CLK_CTRL の SRBSYTO の期間を超え自動 CMD12 のレスポンスビジーが続いた場合、1 になります。
10	RSPBSYTO	0	R	レスポンスビジータイムアウト CE_CLK_CTRL の SRBSYTO の期間を超えレスポンスビジーが続いた場合、1 になります。
9	AC12RSPTO	0	R	自動 CMD12 レスポンスタイムアウト CE_CLK_CTRL の SRSPTO の期間を超え自動 CMD12 のレスポンスが受信できなかった場合、1 になります。
8	RSPTO	0	R	レスポンスタイムアウト CE_CLK_CTRL の SRSPTO の期間を超えレスポンスが受信できなかった場合、1 になります。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

23.3.15 バージョンレジスタ (CE_VERSION)

CE_VERSION は、本モジュールのバージョン値の表示とソフトウェアリセットを制御するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SW RST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VERSION[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	SWRST	0	R/W	ソフトウェアリセット 0: ソフトウェアリセット解除 (通常動作) 1: ソフトウェアリセット中
30~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	VERSION [15:0]	H'0000	R	バージョン表示 本モジュールのバージョン値を表示します。

23.4 割り込み要求の説明

本モジュールには通常動作割り込み要求とエラー/タイムアウト割り込み要求があります。

割り込みフラグは、CE_INT に表示されます。フラグレジスタのビットが1かつマスクレジスタのビットが1であるとき割り込み要求に反映されます。各割り込み要求の仕様を表 23.4 に示します。

表23.4 割り込み要求の仕様

フラグレジスタ	ビット	マスクレジスタ	ビット	割り込み要求	
CE_INT	CCSDE	CE_INT_MASK	MCCSDE	通常動作割り込み MMC3I	
	CMD12DRE		MCMD12DRE		
	CMD12RBE		MCMD12RBE		
	CMD12CRE		MCMD12CRE		
	DTRANE		MDTRANE		
	BUFRE		MBUFRE		
	BUFWEN		MBUFWEN		
	BUFREN		MBUFREN		
	CCSRCV		MCCSRCV		
	RBSYE		MRBSYE		
	CRSPE		MCRSPE		
	CMDVIO		MCMDVIO		エラー/タイムアウト 割り込み MMC2I
	BUFVIO		MBUFVIO		
	WDATERR		MWDATERR		
	RDATERR		MRDATERR		
	RIDXERR		MRIDXERR		
	RSPERR		MRSPELL		
	CCSTO		MCCSTO		
	CRCSTO		MCRCSTO		
	WDATTO		MWDATTO		
	RDATTO		MRDATTO		
	RBSYTO		MRBSYTO		
	RSPTO		MRSPTO		

23.5 DMA 仕様

本モジュールは、バッファリード用とバッファライト用 2 チャンネルの DMA 転送要求を持っています。

23.5.1 バッファライト DMA の説明

CE_BUF_ACC の DMAWEN ビットを 1 に設定し、バッファが空であるとき、バッファライト DMA 転送要求がアサートされます。

DMA 転送要求は、 $BLKSIZ$ (CE_BLOCK_SET に設定したブロックサイズ) \times $BLKCNT$ (CE_BLOCK_SET に設定した転送ブロック数) 分アサートされ、最終ブロックの転送が終わるとネゲートされます。この際、CE_INT の BUFWEN ビットはアサートされませんので、注意してください。

DMA 転送中にエラーが発生するか強制終了を実行すると、コマンドシーケンスが自動停止するため、DMA 転送要求はネゲートされます。

23.5.2 バッファリード DMA の説明

CE_BUF_ACC の DMAREN ビットを 1 に設定し、CE_BLOCK_SET に設定した転送ブロックサイズ分のデータがたまっているとき、バッファリード DMA 転送要求がアサートされます。

DMA 転送要求は、 $BLKSIZ$ (CE_BLOCK_SET に設定したブロックサイズ) \times $BLKCNT$ (CE_BLOCK_SET に設定した転送ブロック数) 分アサートされ、最終ブロックの転送が終わるとネゲートされます。この際、CE_INT の BUFREN はアサートされませんので、注意してください。

DMA 転送中にエラーが発生するか強制終了を実行すると、コマンドシーケンスが自動停止するため、DMA 転送要求はネゲートされます。

23.6 動作説明

コマンド/レスポンスのフォーマット、自動CMD12発行のタイミング、バッファの構造、バッファアクセス選択機能、エラー発生時の動作について説明します。

23.6.1 コマンド/レスポンスのフォーマットについて

送信するコマンドのフォーマットを図 23.2 に示します。CE_CMD_SET の CMD[5:0] ビットに設定したコマンドインデックスと CE_ARG の ARG[31:0] ビットに設定したアークギュメントが反映されます。

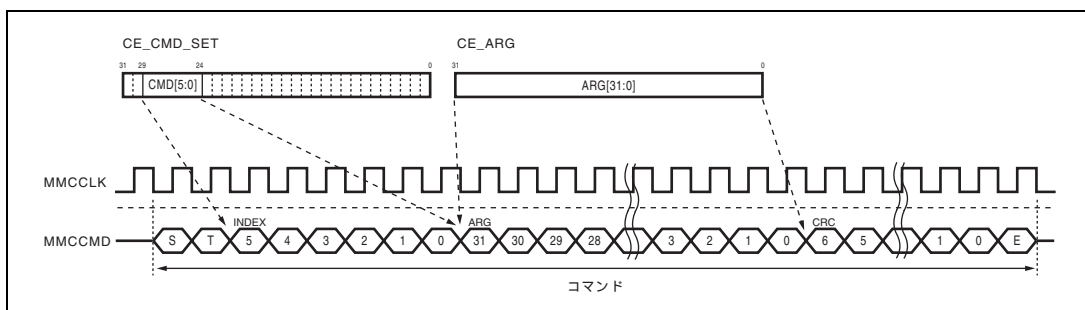


図23.2 コマンドのフォーマット

6 バイトレスポンス受信時のフォーマットを図 23.3 に、17 バイトレスポンス (R2) 受信時のフォーマットを図 23.4 に示します。CE_HOST_STS1 の RSPIDX[5:0] ビットにレスポンスインデックスが格納され、CE_RESP0 もしくは CE_RESP3 ~ 0 にレスポンスのステータス値が格納されます。

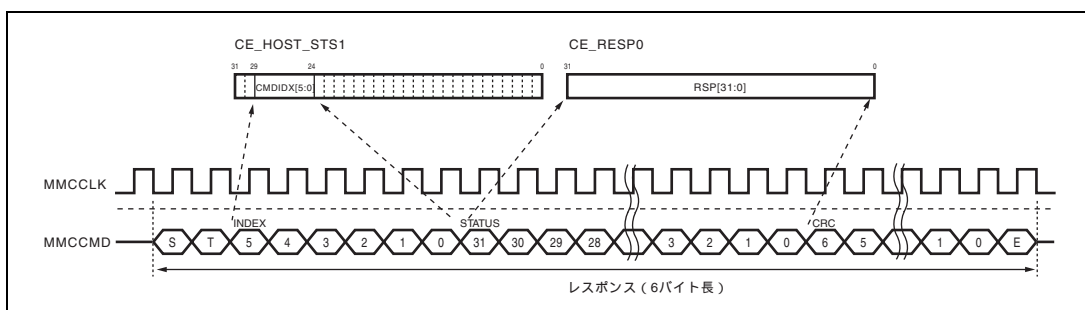


図23.3 6 バイトレスポンスのフォーマット

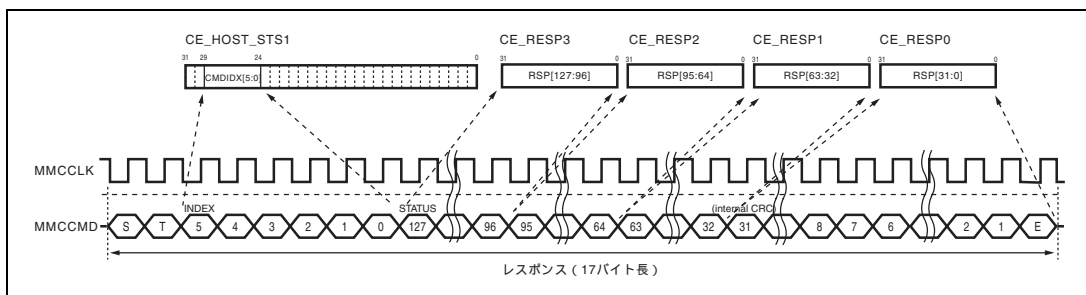


図23.4 17バイトレスポンスのフォーマット (R2)

23.6.2 自動 CMD12 発行について

本モジュールは、CE_CMD_SETのCMD12ENをセットしマルチブロック転送を行うと、MD12を自動発行する機能を持っています。マルチブロックリード時とマルチブロックライト時にCMD12を自動発行するタイミングについて説明します。

図 23.5 に、マルチブロックリード時の自動 CMD12 発行タイミングを示します。CMD12は、最終ブロック受信中に、データのエンドビットから2ビット前にコマンドのエンドビットが来るように発行されます。

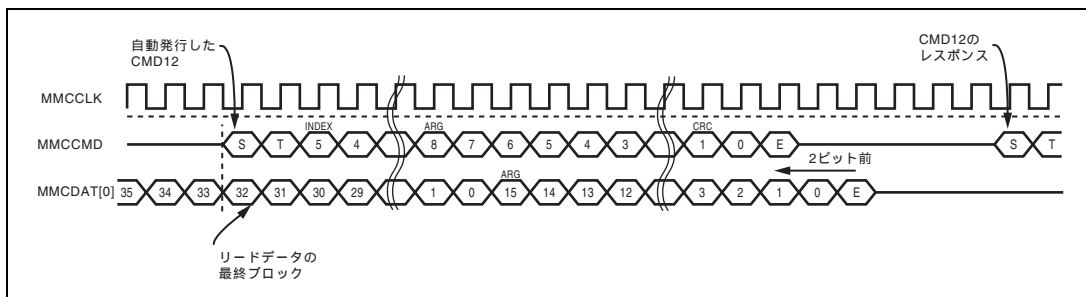


図23.5 マルチブロックリード時の自動 CMD12 発行タイミング (1ビットモード時)

図 23.6 に、マルチブロックライト時の自動 CMD12 発行タイミングを示します。CMD12は、最終ブロックの送信後のデータビジーが終了した後に発行されます。

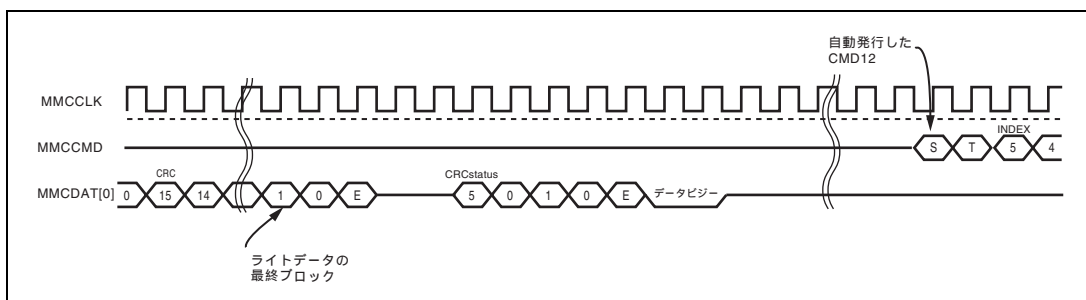


図23.6 マルチブロックライト時の自動 CMD12 発行タイミング (1ビットモード時)

23.6.3 バッファの構造について

本モジュールは図 23.7 に示すように、512 バイトの RAM を 2 つ持っており、ダブルバッファとして用いています。転送ブロックサイズを $4 \times n+1$ もしくは $4 \times n+3$ と設定した場合、16 ビットアクセス時は $4 \times n+2$ バイトもしくは $4 \times (n+1)$ バイト分、32 ビットアクセス時は $4 \times (n+1)$ バイト分アクセスしてください ($n=0, 1, 2, 3, \dots, 127$)。

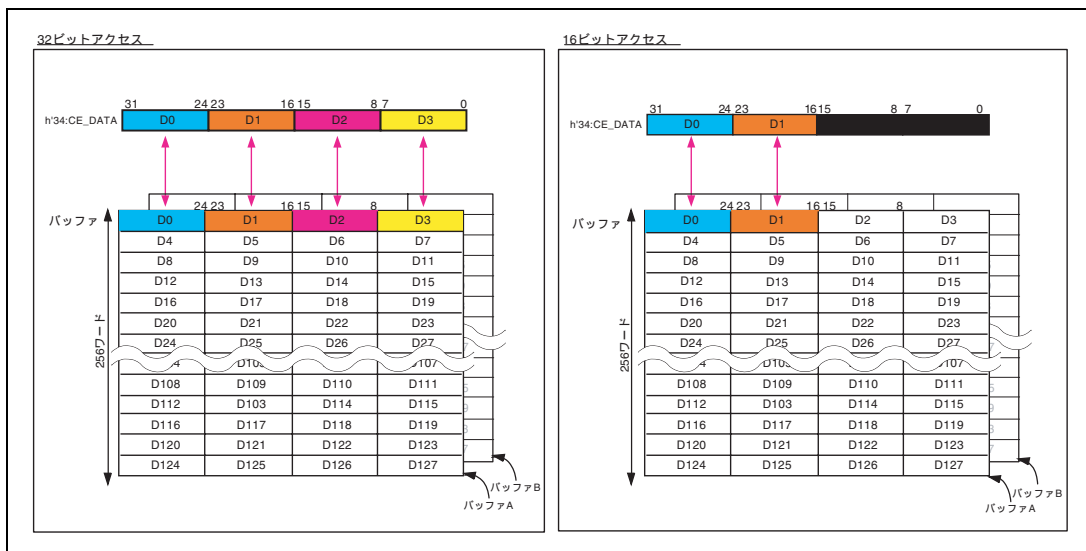


図23.7 ダブルバッファの構造

23.6.4 CE_DATA アクセス時のバッファアクセス選択機能について

本モジュールは、CE_BUF_ACCのバッファアクセス選択機能により、CE_DATAにライト、リードするデータを1バイト単位で差し替え、バッファにアクセスすることができます。

図23.8に、32ビット/16ビットアクセス時の仕様を示します。

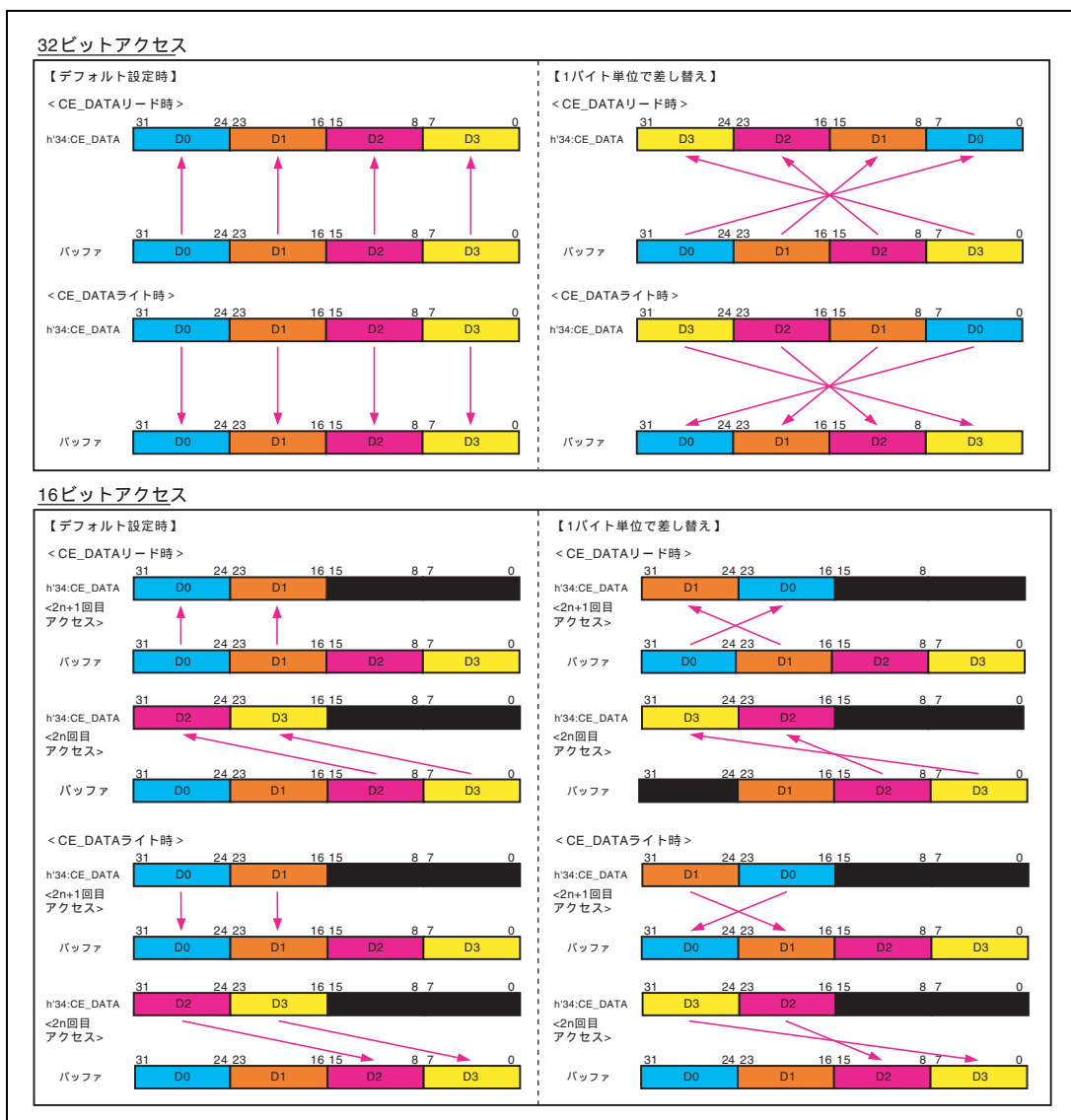


図23.8 32ビット/16ビットアクセス時の1バイト単位差し替えの仕様

23.6.5 データのフォーマットについて

データのフォーマットを図 23.9～図 23.11 に示します。データを送信する場合は、バッファに書き込んだ値が反映され、データを受信する場合は、バッファに値が格納されます。

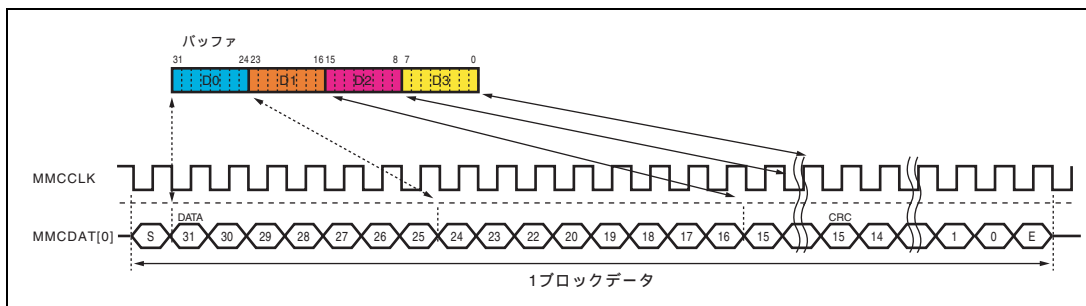


図23.9 データのフォーマット (1ビットモード)

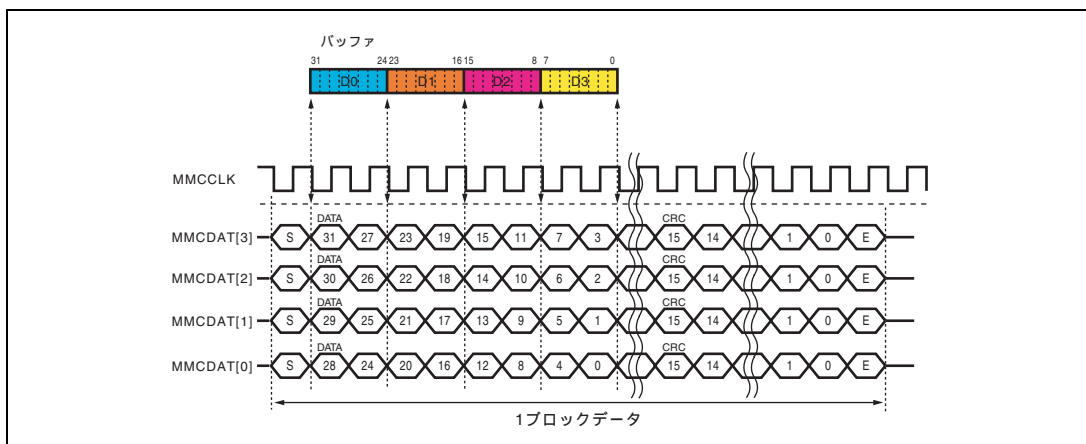


図23.10 データのフォーマット (4ビットモード)

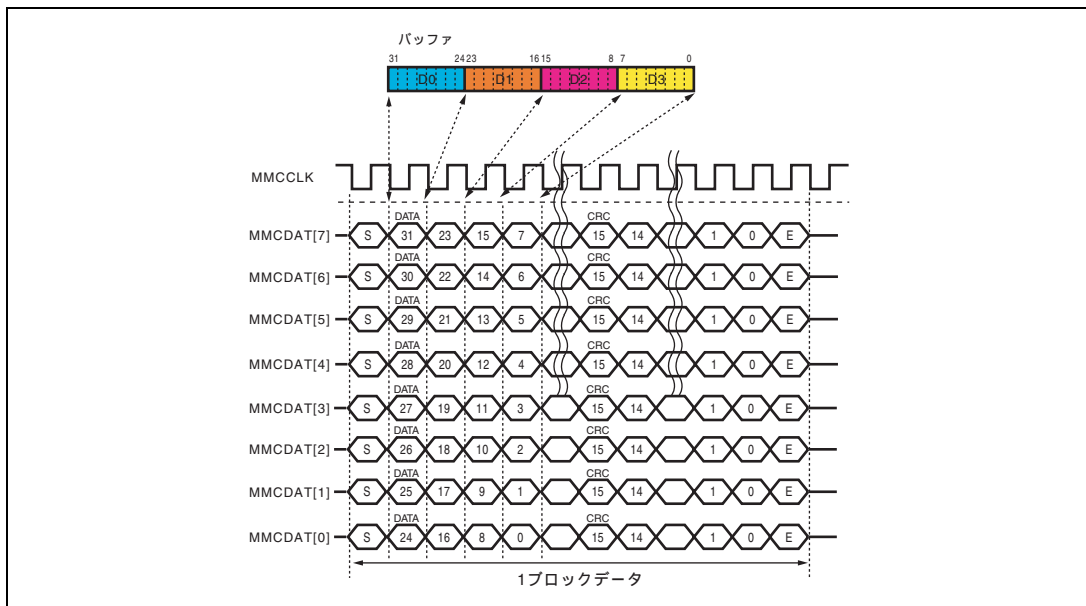


図23.11 データのフォーマット (8ビットモード)

23.6.6 エラー、タイムアウト発生時の動作について

エラー発生時にバッファに格納されていた送信データ、受信データは保証されません。

また、エラー確認後の動作は、ステータスレジスタ1を確認し、コマンドシーケンス中であれば強制終了を行ってください。その後、本モジュールを初期化し、コマンドシーケンスをやり直してください。

タイムアウト発生時に、本モジュールは停止しません。タイムアウト発生時にコマンドシーケンスが正常に終了せず、ステータスレジスタ1を確認し、コマンドシーケンス中のままとなってしまった場合は、強制終了を行い、本モジュールを初期化してください。

強制終了に関しては、「23.8 使用上の注意事項」を参照してください。

23.7 設定例

代表的なコマンドシーケンスを実行する手順について説明します。

23.7.1 凡例の説明

図中記載の記号についての凡例を、図 23.12 に示します。

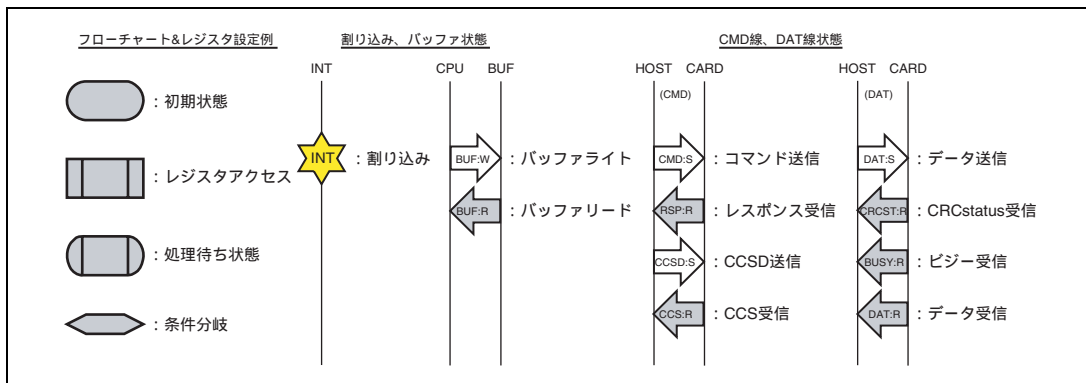


図23.12 図中記載記号の凡例

23.7.2 コマンド送信設定例

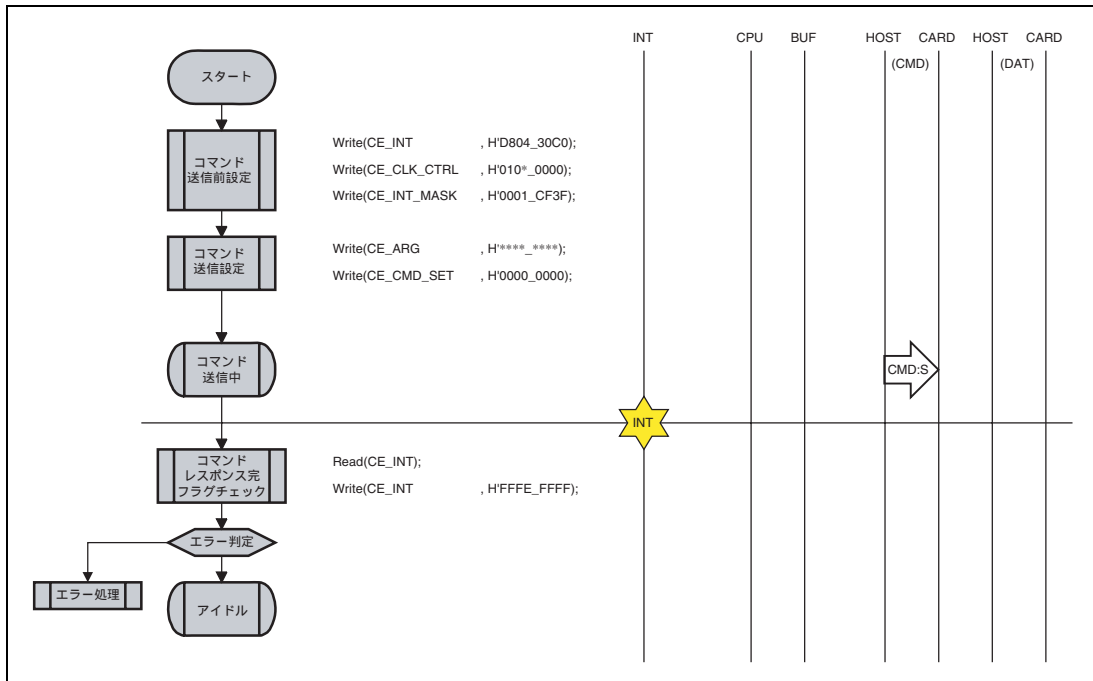


図23.13 コマンド送信設定例 (CMD0)

23.7.3 コマンド送信 レスポンス受信設定例

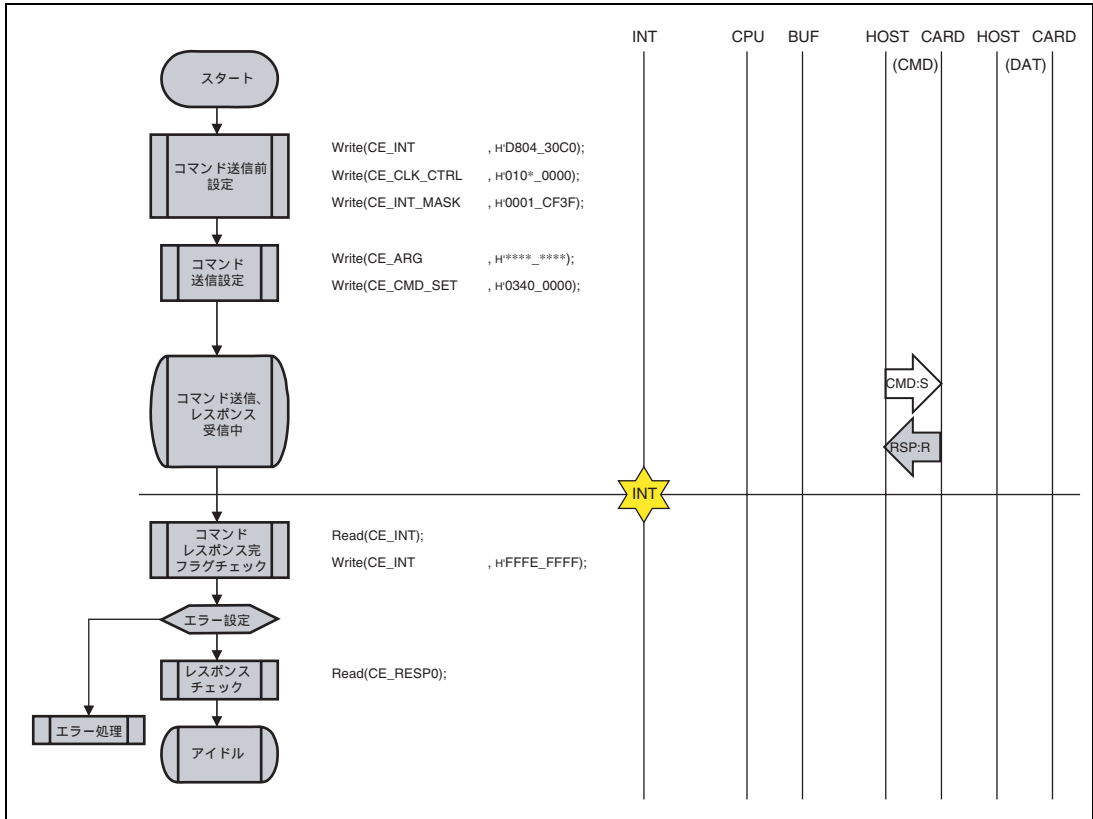


図23.14 コマンド送信 レスポンス受信設定例 (CMD3)

23.7.4 コマンド送信 レスポンス受信 (レスポンスビジーあり) 設定例

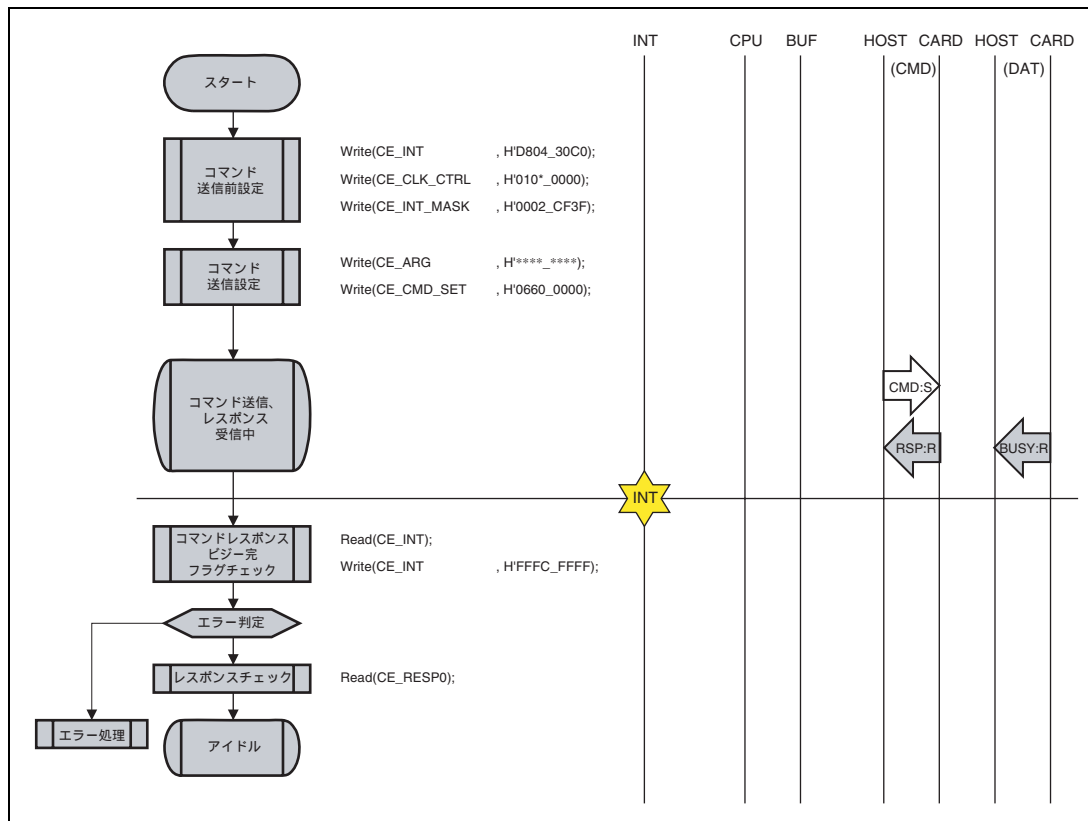


図23.15 コマンド送信 レスポンス受信 (レスポンスビジーあり) 設定例 (CMD6)

23.7.5 シングルブロックリード設定例

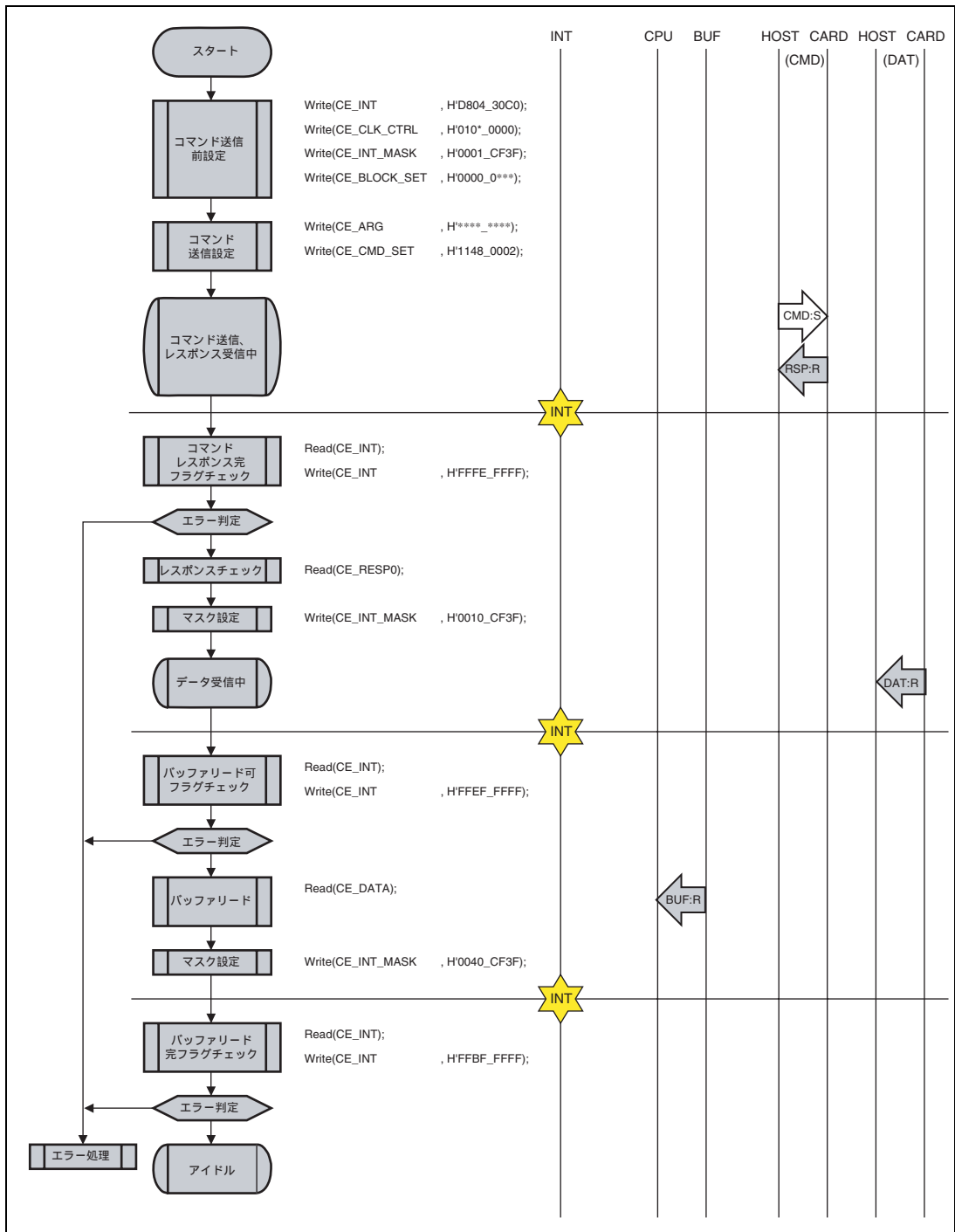


図23.16 シングルブロックリード設定例 (CMD17)

23.7.6 マルチブロックリード (自動 CMD12 あり) 設定例

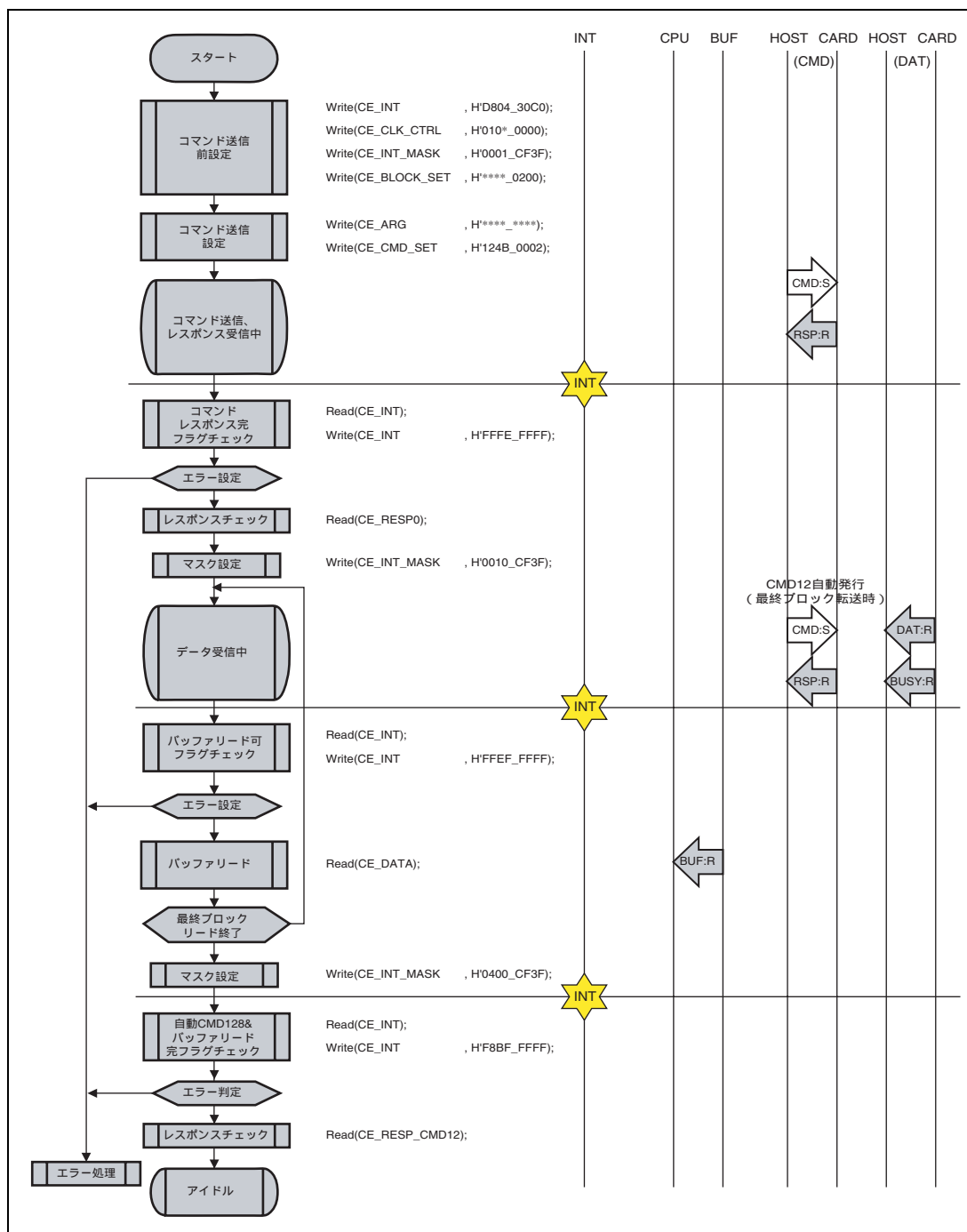


図23.17 マルチブロックリード (自動 CMD12 あり) 設定例 (CMD18)

23.7.7 シングルブロックライト設定例

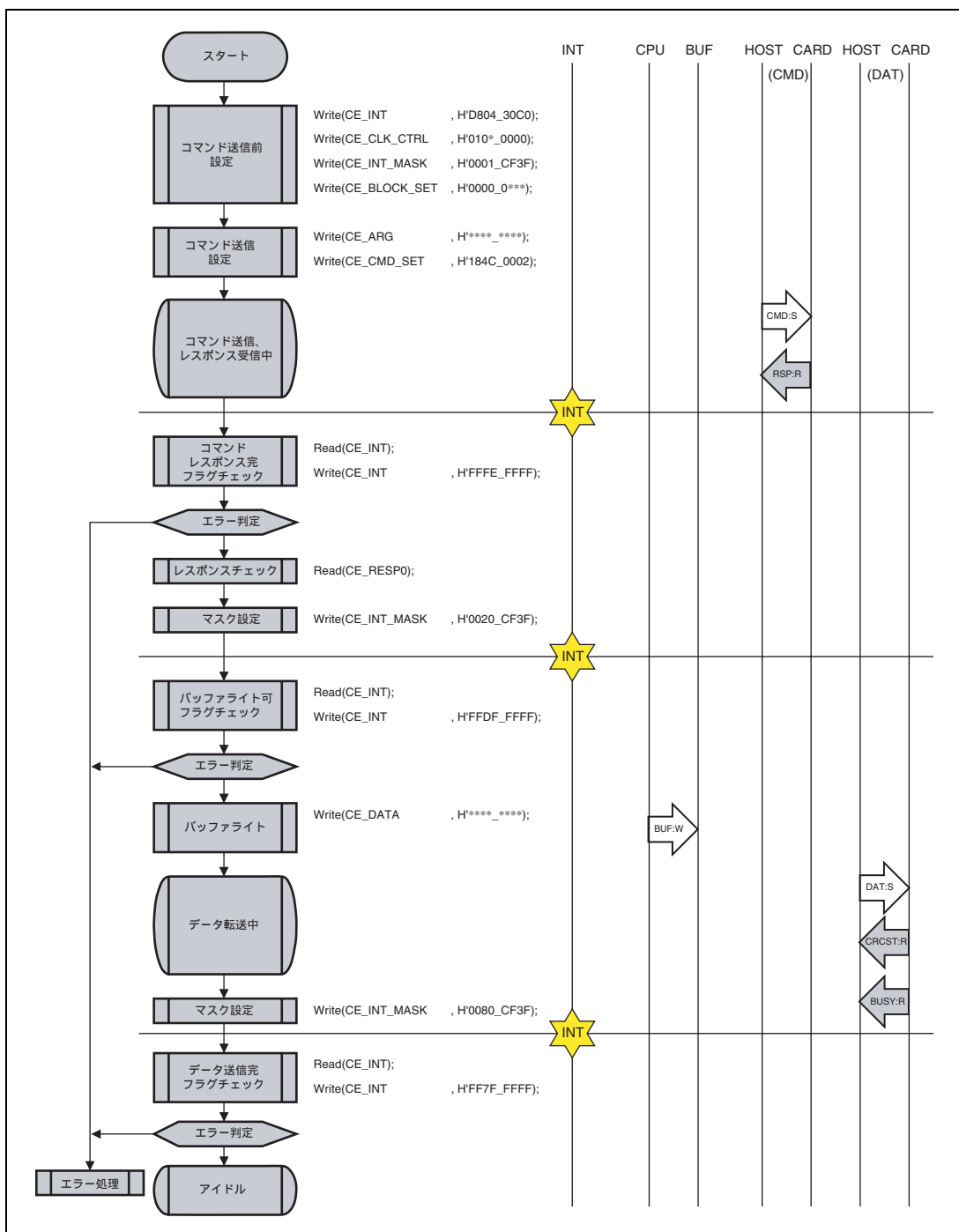


図23.18 シングルブロックライト設定例 (CMD24)

23.7.8 マルチブロックライト (自動 CMD12 あり) 設定例

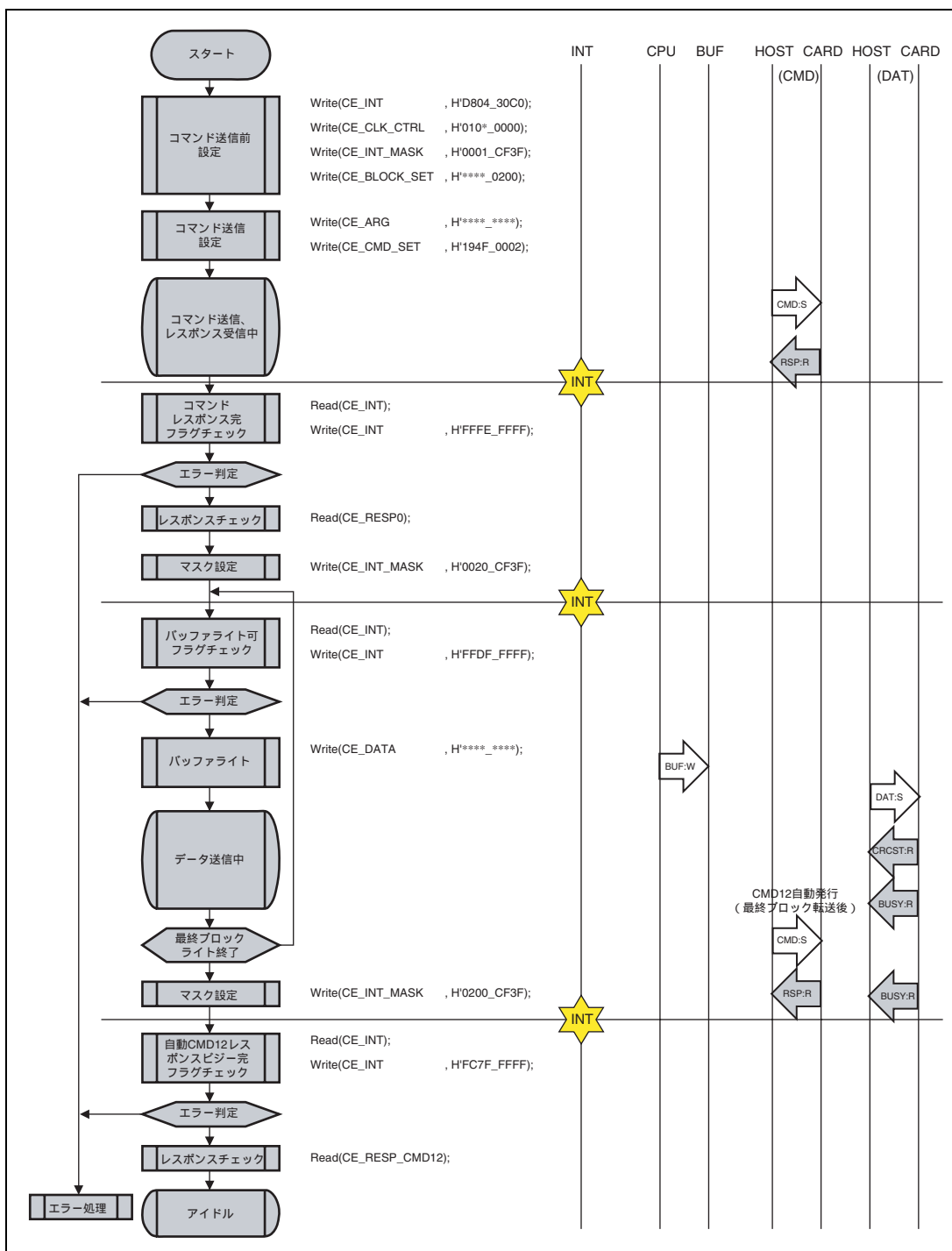


図23.19 マルチブロックライト (自動 CMD12 あり) 設定例 (CMD25)

23.7.9 強制終了設定例

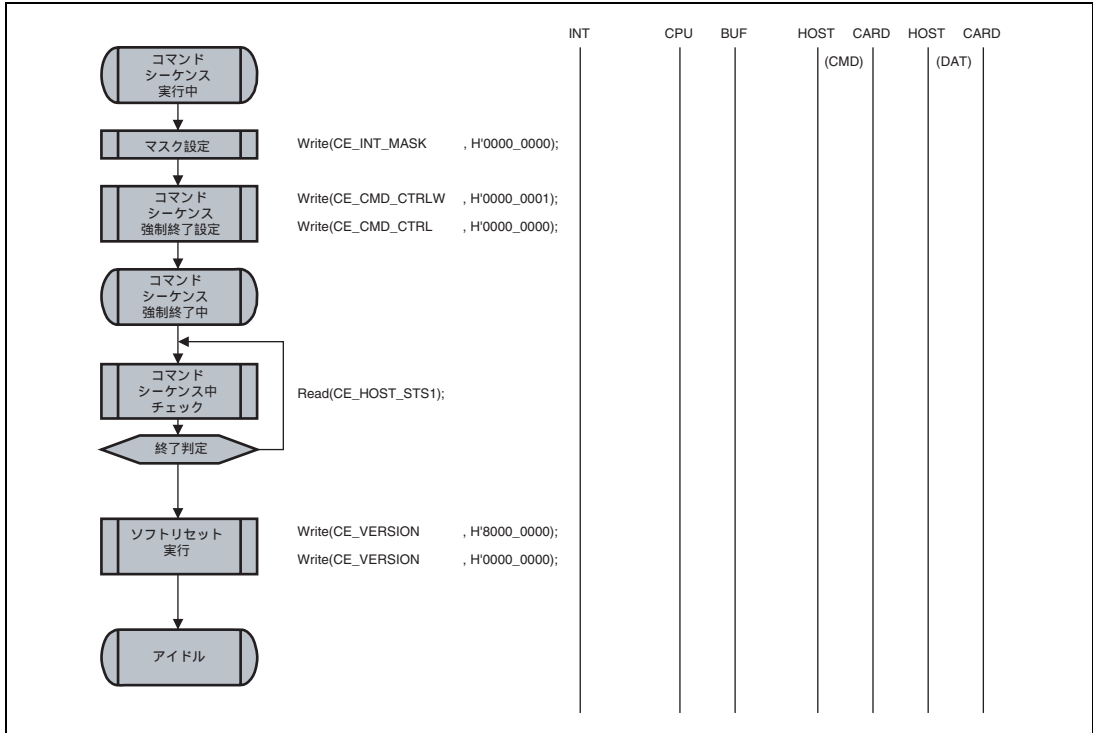


図23.20 強制終了設定例

23.7.10 コマンド送信 レスポンス受信 (レスポンスビジー、CCS 受信あり) 設定例

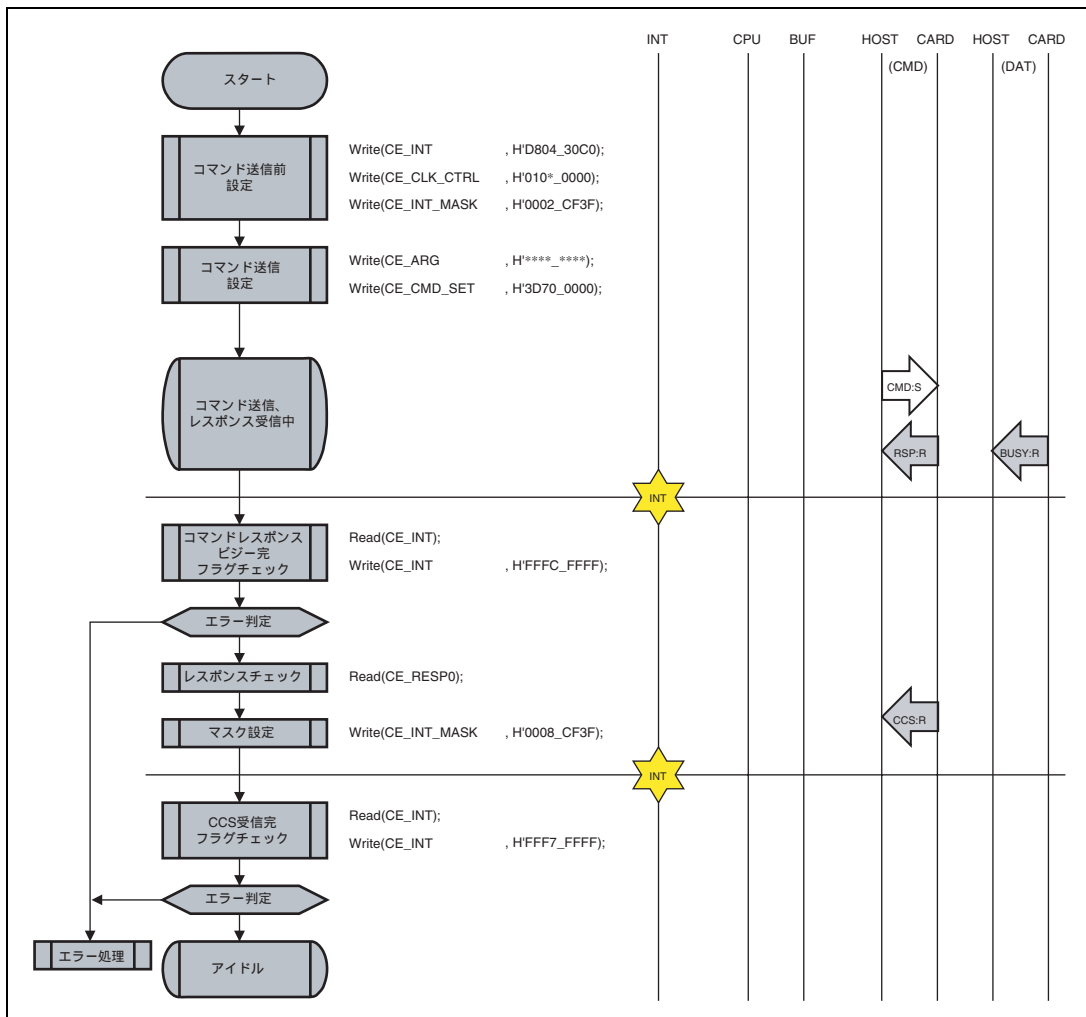


図23.21 コマンド送信 レスポンス受信 (レスポンスビジー、CCS 受信あり) 設定例 (CMD61)

23.7.11 マルチブロックリード (CCS 受信あり) 設定例

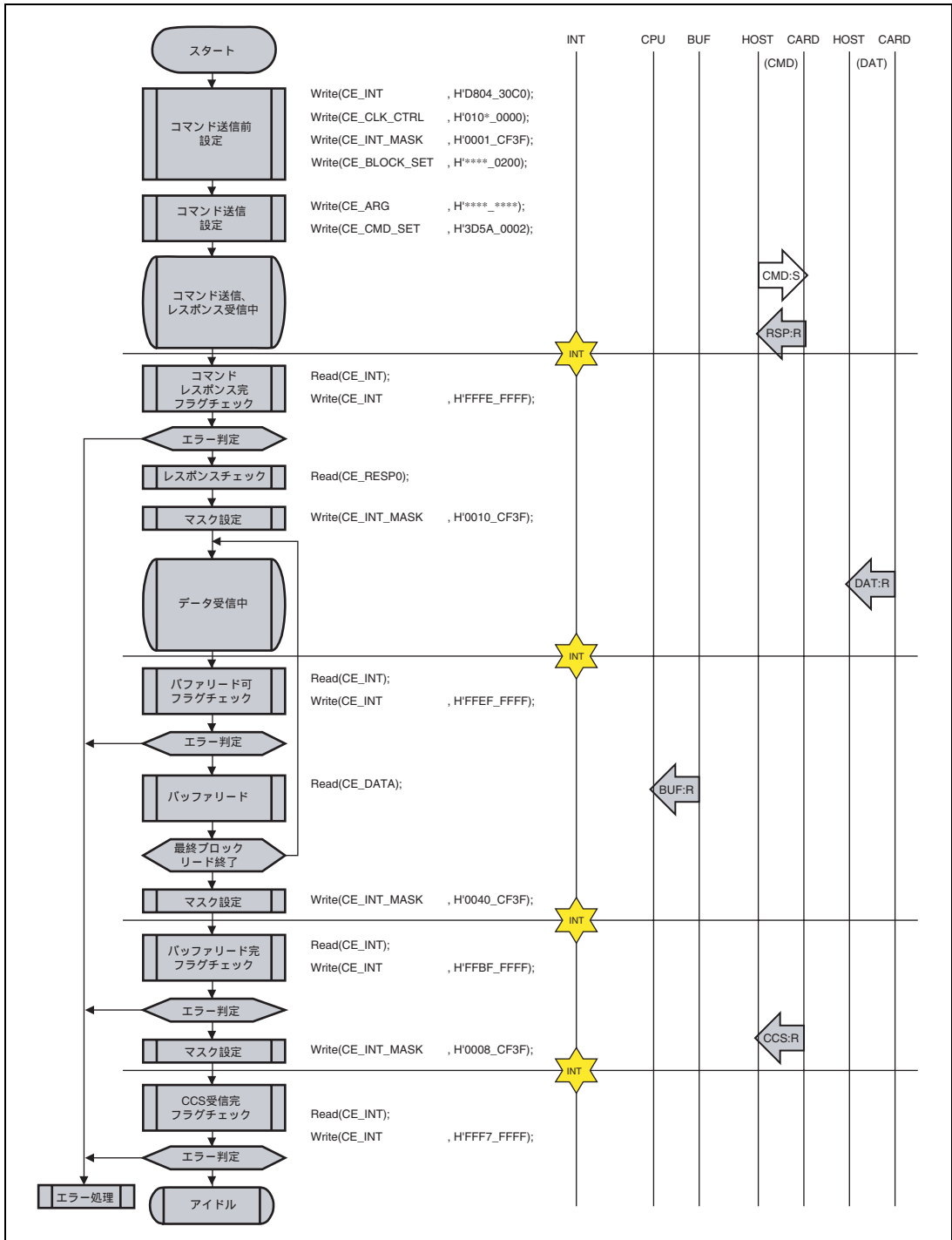


図23.22 マルチブロックリード (CCS 受信あり) 設定例 (CMD61)

23.7.12 マルチブロックライト (レスポンスビジー、CCS 受信あり) 設定例

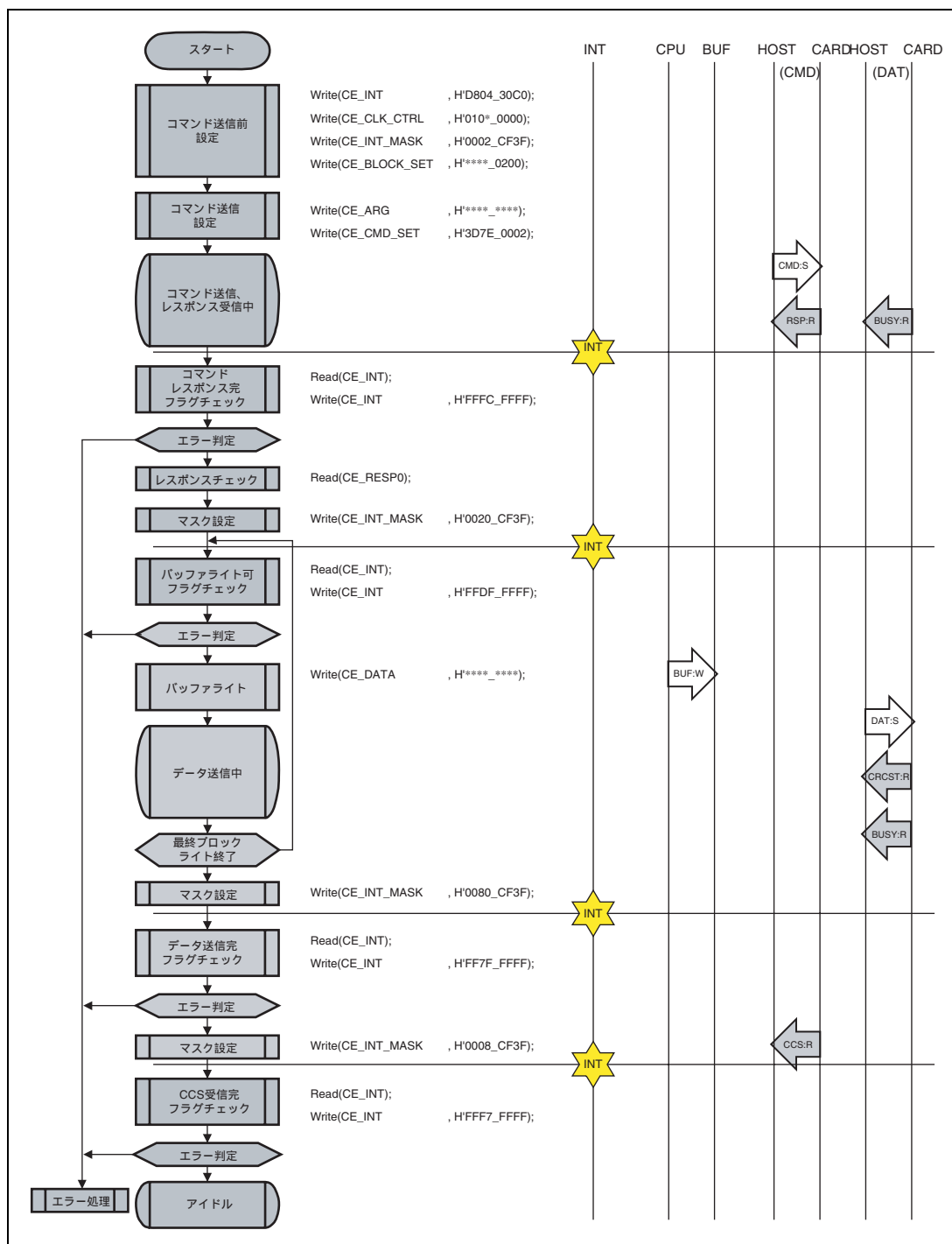


図23.23 マルチブロックライト (レスポンスビジー、CCS 受信あり) 設定例 (CMD61)

23.7.13 強制終了 CCSD 発行設定例

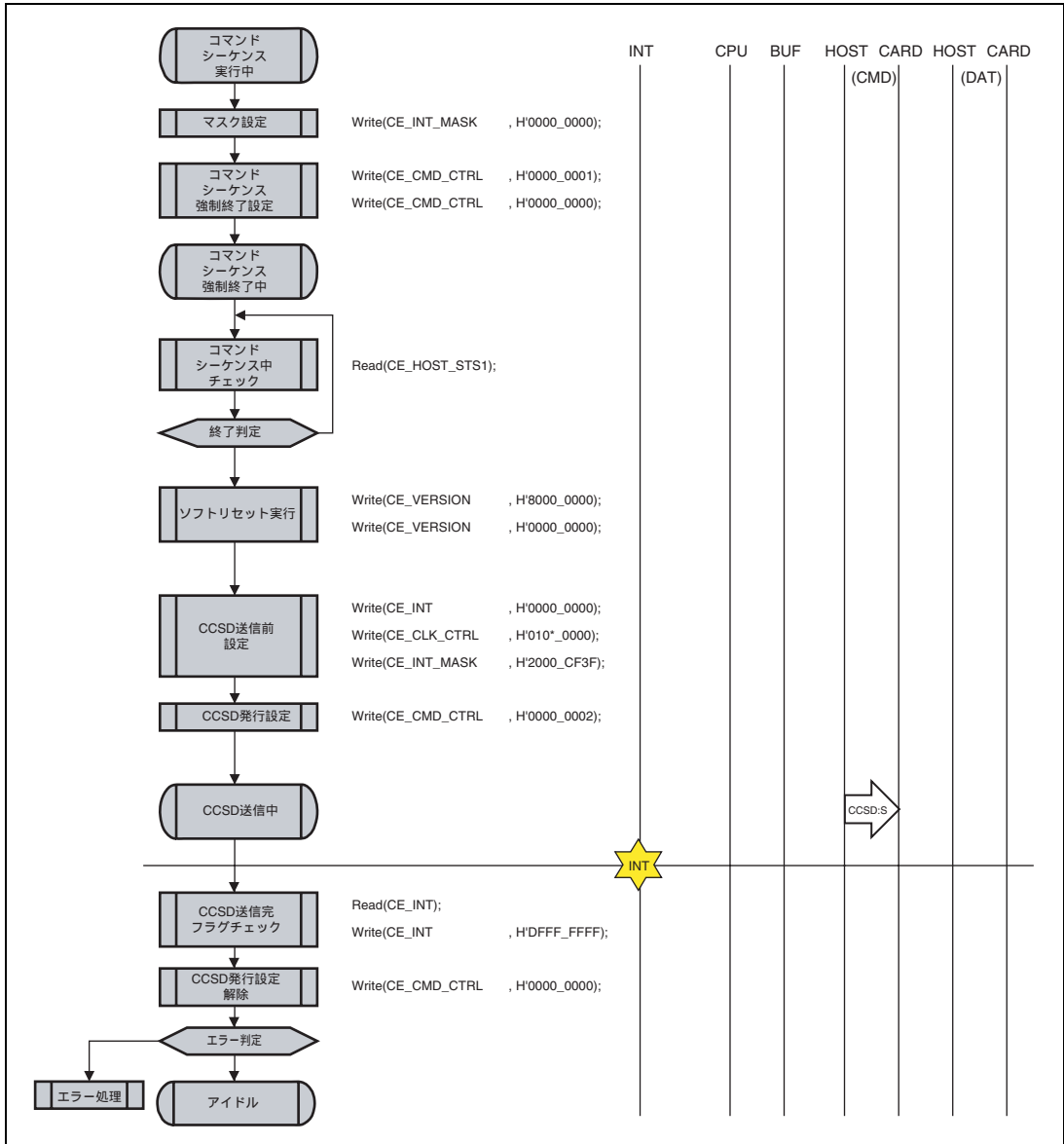


図23.24 強制終了 CCSD 発行設定例

23.7.14 CE_CMD_SET 設定値

コマンドを発行する際の設定値一覧を、表 23.5 に示します。

表23.5 CE_CMD_SET 設定値

MMC/ CE-ATA	CMD	略称	RSP	CE_CMD_SET															
				CMD[5:0]	RTYP[1:0]	RBSY	CCSEN	WDAT	DWEN	CMLTE	CMD12EN	RIDX[1:0]	RCRC7C[1:0]	CRC16C	CRCSTE	TBIT	OPDM	CCSH	DATW
MMC	CMD0	GO_IDLE_STATE	-	H'00	00	0	0	0	0	0	0	0	00	00	0	0	0	0	00
	CMD1	SEND_OP_COND	R3	H'01	01	0	0	0	0	0	0	0	01	01	0	0	0	0	00
	CMD2	ALL_SEND_CID	R2	H'02	10	0	0	0	0	0	0	0	01	10	0	0	0	0	00
	CMD3	SET_RELATIVE_ADDR	R1	H'03	01	0	0	0	0	0	0	0	00	00	0	0	0	0	00
	CMD4	SET_DSR	-	H'04	00	0	0	0	0	0	0	0	00	00	0	0	0	0	00
	CMD6	SWITCH	R1b	H'06	01	1	0	0	0	0	0	0	00	00	0	0	0	0	00
	CMD7	SELECT/DESELECT_CARD (dis->prg)	R1	H'07	01	0	0	0	0	0	0	0	00	00	0	0	0	0	00
			R1b	H'07	01	1	0	0	0	0	0	0	00	00	0	0	0	0	00
	CMD8	SEND_EXT_CSD	R1	H'08	01	0	0	1	0	0	0	0	00	00	0	0	0	0	**
	CMD9	SEND_CSD	R2	H'09	10	0	0	0	0	0	0	0	01	10	0	0	0	0	00
	CMD10	SEND_CID	R2	H'0A	10	0	0	0	0	0	0	0	01	10	0	0	0	0	00
	CMD12	STOP_TRANSMISSION	R1b	H'0C	01	1	0	0	0	0	0	0	00	00	0	0	0	0	00
	CMD13	SEND_STATUS	R1	H'0D	01	0	0	0	0	0	0	0	00	00	0	0	0	0	00
	CMD14	BUSTEST_R	R1	H'0E	01	0	0	1	0	0	0	0	00	00	1	0	0	0	**
	CMD15	GO_INACTIVE_STATE	-	H'0F	00	0	0	0	0	0	0	0	00	00	0	0	0	0	00
	CMD16	SET_BLOCKLEN	R1	H'10	01	0	0	0	0	0	0	0	00	00	0	0	0	0	00
	CMD17	READ_SINGLE_BLOCK	R1	H'11	01	0	0	1	0	0	0	0	00	00	0	0	0	0	**
	CMD18	READ_MULTIPLE_BLOCK (Open-ended)	R1	H'12	01	0	0	1	0	1	0	00	00	0	0	0	0	0	**
			R1	H'12	01	0	0	1	0	1	1	00	00	0	0	0	0	0	**
	CMD19	BUSTEST_W	R1	H'13	01	0	0	1	1	0	0	00	00	0	1	0	0	0	**
	CMD23	SET_BLOCK_COUNT	R1	H'17	01	0	0	0	0	0	0	00	00	0	0	0	0	0	00
	CMD24	WRITE_BLOCK	R1	H'18	01	0	0	1	1	0	0	00	00	0	0	0	0	0	**
	CMD25	WRITE_MULTIPLE_BLOCK (Open-ended)	R1	H'19	01	0	0	1	1	1	0	00	00	0	0	0	0	0	**
			R1	H'19	01	0	0	1	1	1	1	00	00	0	0	0	0	0	**
	CMD26	PROGRAM_CID	R1	H'1A	01	0	0	1	1	0	0	00	00	0	0	0	0	0	**
	CMD27	PROGRAM_CSD	R1	H'1B	01	0	0	1	1	0	0	00	00	0	0	0	0	0	**
	CMD28	SET_WRITE_PROT	R1b	H'1C	01	1	0	0	0	0	0	00	00	0	0	0	0	0	00
	CMD29	CLR_WRITE_PROT	R1b	H'1D	01	1	0	0	0	0	0	00	00	0	0	0	0	0	00
	CMD30	SEND_WRITE_PROT	R1	H'1E	01	0	0	1	0	0	0	00	00	0	0	0	0	0	**

MMC/ CE-ATA	CMD	略称	RSP	CE_CMD_SET																
				CMD[5:0]	RTYP[1:0]	RBSY	CCSEN	WDAT	DWEN	CMLTE	CMD12EN	RIDXC[1:0]	RCRC7C[1:0]	CRC16C	CRCSTE	TBIT	OPDM	CCSH	DATW	
MMC	CMD35	ERASE_GROUP_START	R1	H'23	01	0	0	0	0	0	0	0	00	00	0	0	0	0	00	
	CMD36	ERASE_GROUP_END	R1	H'24	01	0	0	0	0	0	0	0	00	00	0	0	0	0	00	
	CMD38	ERASE	R1b	H'26	01	1	0	0	0	0	0	0	00	00	0	0	0	0	00	
	CMD39	FAST_IO	R4	H'27	01	0	0	0	0	0	0	0	00	00	0	0	0	0	00	
	CMD40	GO_IRQ_STATE (send CMD) (send RSP)	R5	H'28	01	0	0	0	0	0	0	0	00	00	0	0	0	0	00	
			R5	H'28	01	0	0	0	0	0	0	0	0	00	00	0	0	1	1	00
	CMD42	LOCK_UNLOCK	R1	H'2A	01	0	0	1	1	0	0	0	00	00	0	0	0	0	0	**
	CMD55	APP_CMD	R1	H'37	01	0	0	0	0	0	0	0	00	00	0	0	0	0	00	
CMD56	GEN_CMD (R) (W)	R1b	未対応																	
		R1b	H'38	01	1	0	1	1	0	0	00	00	0	0	0	0	0	0	**	
CE-ATA	CMD60	RW_MULTIPLE_REGISTER (R) (W)	R1	H'3C	01	0	0	1	0	0	0	00	00	0	0	0	0	0	**	
			R1b	H'3C	01	1	0	1	1	0	0	00	00	0	0	0	0	0	**	
	CMD61	RW_MULTIPLE_BLOCK (no dat) (R) (W)	R1b	H'3D	01	1	1	0	0	0	0	00	00	0	0	0	0	1	**	
			R1	H'3D	01	0	1	1	0	1	0	00	00	0	0	0	0	1	**	
			R1b	H'3D	01	1	1	1	1	1	0	00	00	0	0	0	0	1	**	

【注】 本モジュールは、CMD11 と CMD20 には対応していません。

23.8 使用上の注意事項

23.8.1 強制終了について

MMC/CE-ATA ホストインタフェースにおいて、コマンドシーケンスを強制終了する場合、CE_CMD_CTRL レジスタの BREAK ビットの設定タイミングによってはコマンドシーケンスが終了しない場合があります。このため、コマンドシーケンスを強制終了する場合、以下の 2 つの方法のいずれかで処理をしてください。

1. コマンドシーケンスを強制終了するときは、CE_CMD_CTRL レジスタの BREAK ビットを使用しないで、ソフトウェアリセットする。
2. R1b レスポンスのコマンドを発行した後に、下記の状態でコマンドシーケンスを強制終了する場合のみ、CE_CMD_CTRL レジスタの BREAK ビットを使用しないで、ソフトウェアリセットする。

レスポンスビジーのタイムアウト

レスポンス値の異常

24. フラッシュメモリブート ROM (FBR)

本 LSI は、ブート ROM を内蔵しており、BOOT 端子をハイ状態でリセット解除することで MMC コントローラ内蔵 NAND フラッシュメモリからブートします。

24.1 特長

ブート ROM には MMCIF を制御するプログラムが書き込まれています。

ブート ROM は MMCIF モジュール経由であらかじめ MMC コントローラ内蔵 NAND フラッシュメモリに書き込まれたローダプログラムを ILRAM へ転送します。

ブート ROM による ILRAM への転送が終了した後、ローダプログラムの先頭に自動的にジャンプします。

図 24.1 に NAND フラッシュメモリブートの概要を示します。

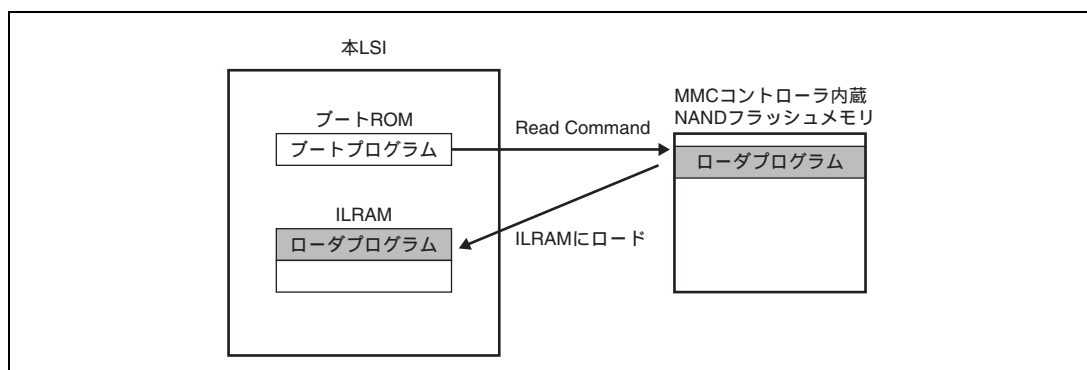


図 24.1 NAND フラッシュメモリブート概要

24.2 入出力端子

本モジュールの端子構成を表 24.1 に示します。

表 24.1 端子構成

端子名	略称	入出力	説明
BOOT	-	入力	ブート ROM からブートします。 H : MMCIF 経由 NAND フラッシュメモリブート L : 通常ブート

【注】 MMCIF の端子については「第 23 章 マルチメディアカードインタフェース (MMCIF)」を参照してください。

24.3 ブートプログラムの概要

図 24.2 にブートプログラムの概要を示します。

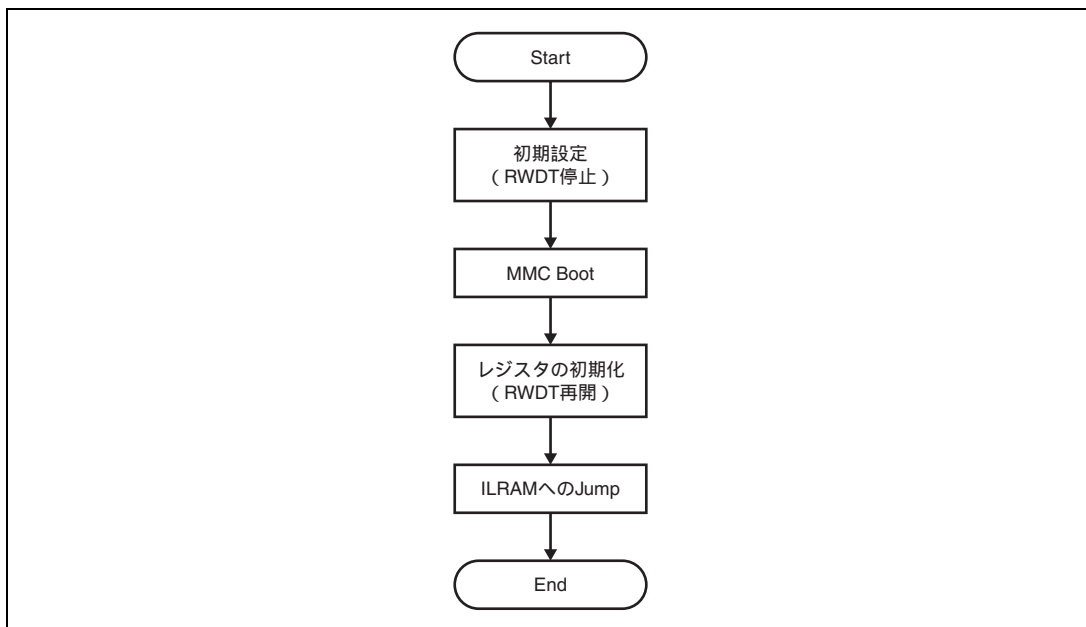


図 24.2 ブートプログラムの概要

25. FIFO 付きクロック同期シリアル I/O (MSIOF)

本 LSI は、2 チャンネルの FIFO 付きクロック同期シリアル I/O モジュール (MSIOF0、MSIOF1) を内蔵していません。

25.1 特長

- FIFO容量：送信32ビット×64段、受信32ビット×64段
- データの送受信にMSBファースト/LSBファーストが選択可能
- 同期方法はフレーム同期パルス/レベル/左右チャンネル切り替えに対応
- マスタ/スレーブ両モードに対応
- 送受信独立クロック/同期信号 (送受信共通クロック/同期信号も選択可能)
- マルチチャンネル対応
 - 1フレームで複数のグループ/ワードデータが送受信可能
 - 各グループのワードデータは、8ビットから32ビットの範囲で設定可能
 - グループ数1、2のときは、各グループにつき最大256ワードまで、グループ数3、4のときは、各グループにつき最大16ワードまで送受信可能
- 割り込み：各チャンネルに1種類
- シリアルクロック
 - クロックソースとして、各チャンネルに内部クロック (B) と外部端子入力 (MSIOFMCK) から選択が可能
- DMA転送
 - 送受信の転送要求による、DMA転送を用いた送受信動作に対応
- シリアルフォーマット
 - IIS、SPI (マスタ/スレーブ両モード)、μWIREなどのシリアルフォーマットに対応

図 25.1 に MSIOF のブロック図を示します。

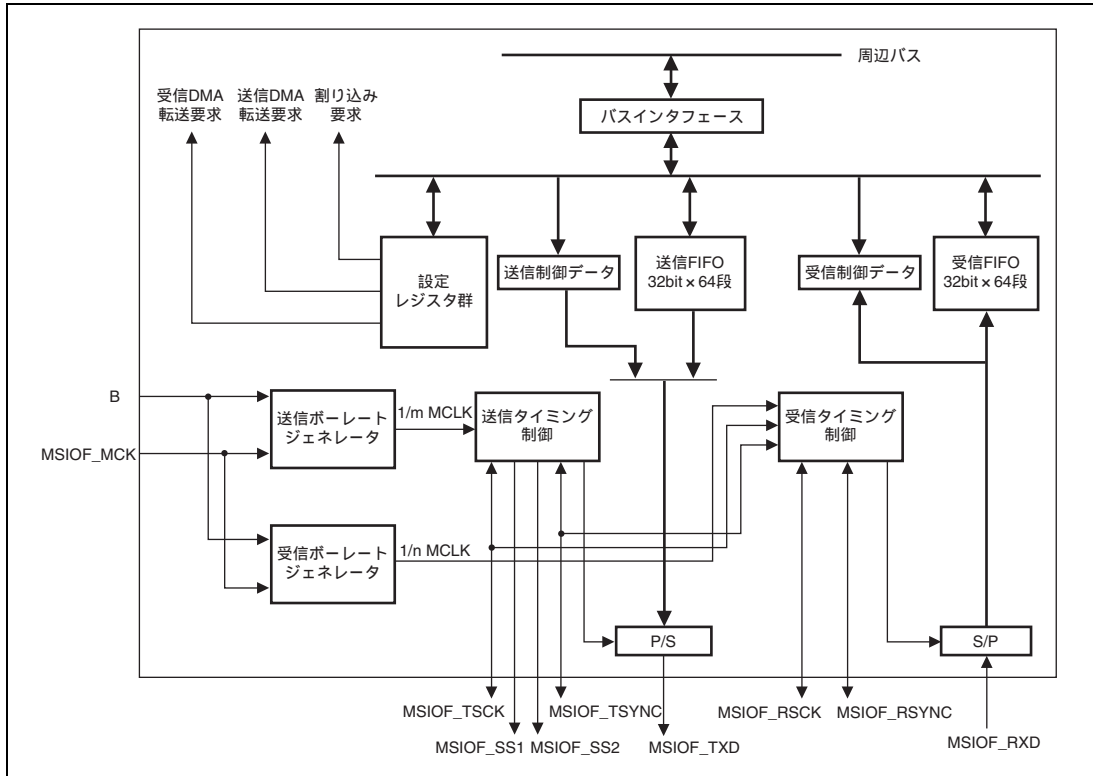


図 25.1 MSIOF のブロック図

25.2 入出力端子

本モジュールの端子構成を表 25.1 に示します。

表 25.1 端子構成

端子名	略称*	入出力	説明
MSIOF0_MCK	MCK	入力	MSIOF0 マスタクロック入力
MSIOF0_TSCK (MSIOF0_SCK)	SCK	入出力	MSIOF0 送信シリアルクロック入出力 送受信共通クロック使用時、SCK として使用可能
MSIOF0_TSYNC (MSIOF0_SYNC/SS0)	SS0	入出力	MSIOF0 送信フレーム同期信号チャンネル 0 入出力 送受信共通同期信号使用時、SYNC として使用可能 SPI モード時、SS0 として使用可能
MSIOF0_SS1 (SS1)	SS1	出力	MSIOF0 送信フレーム同期信号チャンネル 1 出力 スレーブデバイスのみ選択可能
MSIOF0_SS2 (SS2)	SS2	出力	MSIOF0 送信フレーム同期信号チャンネル 2 出力 スレーブデバイスのみ選択可能
MSIOF0_RSCK		入出力	MSIOF0 受信シリアルクロック
MSIOF0_RSYNC		入出力	MSIOF0 受信フレーム同期信号
MSIOF0_TXD (MOSI/MISO)	MOSI/MISO	出力	MSIOF0 送信データ出力
MSIOF0_RXD (MISO/MOSI)	MISO/MOSI	入力	MSIOF0 受信データ入力
MSIOF1_MCK	MCK	入力	MSIOF1 マスタクロック入力
MSIOF1_TSCK (MSIOF1_SCK)	SCK	入出力	MSIOF1 シリアルクロック入出力 送受信共通クロック使用時、SCK として使用可能
MSIOF1_TSYNC (MSIOF0_SYNC/SS0)	SS0	入出力	MSIOF1 フレーム同期信号チャンネル 0 入出力 送受信共通同期信号使用時、SYNC として使用可能 SPI モード時、SS0 として使用可能
MSIOF1_SS1 (SS1)	SS1	出力	MSIOF1 送信フレーム同期信号チャンネル 1 出力 スレーブデバイスのみ選択可能
MSIOF1_SS2 (SS2)	SS2	出力	MSIOF1 送信フレーム同期信号チャンネル 2 出力 スレーブデバイスのみ選択可能
MSIOF1_RSCK		入出力	MSIOF1 受信シリアルクロック
MSIOF1_RSYNC		入出力	MSIOF1 受信フレーム同期信号
MSIOF1_TXD (MOSI/MISO)	MOSI/MISO	出力	MSIOF1 送信データ出力
MSIOF1_RXD (MISO/MOSI)	MISO/MOSI	入力	MSIOF1 受信データ入力

【注】 * SPI モードでは、SCK、 $\overline{SS0}$ 、 $\overline{SS1}$ 、 $\overline{SS2}$ 、MOSI、MISO の名称を使用します。

25.3 レジスタの説明

MSIOF のレジスタ構成を表 25.2 に示します。また、各処理モードにおけるレジスタの状態を表 25.3 に示します。

表 25.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
MSIOF0 送信モードレジスタ 1	MSIOF0_SITMDR1	R/W	H'A4C4 0000	32
MSIOF0 送信モードレジスタ 2	MSIOF0_SITMDR2	R/W	H'A4C4 0004	32
MSIOF0 送信モードレジスタ 3	MSIOF0_SITMDR3	R/W	H'A4C4 0008	32
MSIOF0 受信モードレジスタ 1	MSIOF0_SIRMDR1	R/W	H'A4C4 0010	32
MSIOF0 受信モードレジスタ 2	MSIOF0_SIRMDR2	R/W	H'A4C4 0014	32
MSIOF0 受信モードレジスタ 3	MSIOF0_SIRMDR3	R/W	H'A4C4 0018	32
MSIOF0 送信クロックセレクトレジスタ	MSIOF0_SITSCR	R/W	H'A4C4 0020	16
MSIOF0 受信クロックセレクトレジスタ	MSIOF0_SIRSCR	R/W	H'A4C4 0022	16
MSIOF0 コントロールレジスタ	MSIOF0_SICTR	R/W	H'A4C4 0028	32
MSIOF0 FIFO コントロールレジスタ	MSIOF0_SIFCTR	R/W	H'A4C4 0030	32
MSIOF0 ステータスレジスタ	MSIOF0_SISTR	R/W	H'A4C4 0040	32
MSIOF0 割り込み許可レジスタ	MSIOF0_SIER	R/W	H'A4C4 0044	32
MSIOF0 送信制御データレジスタ 1	MSIOF0_SITDR1	W	H'A4C4 0048	32
MSIOF0 送信制御データレジスタ 2	MSIOF0_SITDR2	W	H'A4C4 004C	32
MSIOF0 送信 FIFO データレジスタ	MSIOF0_SITFDR	W	H'A4C4 0050	32
MSIOF0 受信制御データレジスタ 1	MSIOF0_SIRDR1	R	H'A4C4 0058	32
MSIOF0 受信制御データレジスタ 2	MSIOF0_SIRDR2	R	H'A4C4 005C	32
MSIOF0 受信 FIFO データレジスタ	MSIOF0_SIRFDR	R	H'A4C4 0060	32
MSIOF1 送信モードレジスタ 1	MSIOF1_SITMDR1	R/W	H'A4C5 0000	32
MSIOF1 送信モードレジスタ 2	MSIOF1_SITMDR2	R/W	H'A4C5 0004	32
MSIOF1 送信モードレジスタ 3	MSIOF1_SITMDR3	R/W	H'A4C5 0008	32
MSIOF1 受信モードレジスタ 1	MSIOF1_SIRMDR1	R/W	H'A4C5 0010	32
MSIOF1 受信モードレジスタ 2	MSIOF1_SIRMDR2	R/W	H'A4C5 0014	32
MSIOF1 受信モードレジスタ 3	MSIOF1_SIRMDR3	R/W	H'A4C5 0018	32
MSIOF1 送信クロックセレクトレジスタ	MSIOF1_SITSCR	R/W	H'A4C5 0020	16
MSIOF1 受信クロックセレクトレジスタ	MSIOF1_SIRSCR	R/W	H'A4C5 0022	16
MSIOF1 コントロールレジスタ	MSIOF1_SICTR	R/W	H'A4C5 0028	32
MSIOF1 FIFO コントロールレジスタ	MSIOF1_SIFCTR	R/W	H'A4C5 0030	32
MSIOF1 ステータスレジスタ	MSIOF1_SISTR	R/W	H'A4C5 0040	32
MSIOF1 割り込み許可レジスタ	MSIOF1_SIER	R/W	H'A4C5 0044	32
MSIOF1 送信制御データレジスタ 1	MSIOF1_SITDR1	W	H'A4C5 0048	32
MSIOF1 送信制御データレジスタ 2	MSIOF1_SITDR2	W	H'A4C5 004C	32

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
MSIOF1 送信 FIFO データレジスタ	MSIOF1_SITFDR	W	H'A4C5 0050	32
MSIOF1 受信制御データレジスタ 1	MSIOF1_SIRDR1	R	H'A4C5 0058	32
MSIOF1 受信制御データレジスタ 2	MSIOF1_SIRDR2	R	H'A4C5 005C	32
MSIOF1 受信 FIFO データレジスタ	MSIOF1_SIRFDR	R	H'A4C5 0060	32

表 25.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
MSIOF0_SITMDR1	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SITMDR2	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SITMDR3	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SIRMDR1	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SIRMDR2	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SIRMDR3	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SITSCR	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SIRSCR	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SICTR	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SIFCTR	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SISTR	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SIIER	初期化	初期化	保持	保持	初期化	初期化	保持
MSIOF0_SITDR1	初期化	初期化	保持	初期化	初期化	初期化	保持
MSIOF0_SITDR2	初期化	初期化	保持	初期化	初期化	初期化	保持
MSIOF0_SITFDR	初期化	初期化	保持	初期化	初期化	初期化	保持
MSIOF0_SIRDR1	初期化	初期化	保持	初期化	初期化	初期化	保持
MSIOF0_SIRDR2	初期化	初期化	保持	初期化	初期化	初期化	保持
MSIOF0_SIRFDR	不定	不定	保持	初期化	初期化	初期化	保持
MSIO1_SITMDR1	初期化	初期化	保持	保持	初期化	初期化	保持
MSIO1_SITMDR2	初期化	初期化	保持	保持	初期化	初期化	保持
MSIO1_SITMDR3	初期化	初期化	保持	保持	初期化	初期化	保持
MSIO1_SIRMDR1	初期化	初期化	保持	保持	初期化	初期化	保持
MSIO1_SIRMDR2	初期化	初期化	保持	保持	初期化	初期化	保持
MSIO1_SIRMDR3	初期化	初期化	保持	保持	初期化	初期化	保持
MSIO1_SITSCR	初期化	初期化	保持	保持	初期化	初期化	保持
MSIO1_SIRSCR	初期化	初期化	保持	保持	初期化	初期化	保持
MSIO1_SICTR	初期化	初期化	保持	保持	初期化	初期化	保持
MSIO1_SIFCTR	初期化	初期化	保持	保持	初期化	初期化	保持
MSIO1_SISTR	初期化	初期化	保持	保持	初期化	初期化	保持
MSIO1_SIIER	初期化	初期化	保持	保持	初期化	初期化	保持

略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	R-スタンバイ	U-スタンバイ	スリープ
MSIO1_SITDR1	初期化	初期化	保持	初期化	初期化	初期化	保持
MSIO1_SITDR2	初期化	初期化	保持	初期化	初期化	初期化	保持
MSIO1_SITFDR	初期化	初期化	保持	初期化	初期化	初期化	保持
MSIO1_SIRDR1	初期化	初期化	保持	初期化	初期化	初期化	保持
MSIO1_SIRDR2	初期化	初期化	保持	初期化	初期化	初期化	保持
MSIO1_SIRFDR	不定	不定	保持	初期化	初期化	初期化	保持

25.3.1 MSIOF 送信モードレジスタ 1 (MSIOF0_SITMDR1、MSIOF1_SITMDR1)

SITMDR1 は、読み出し / 書き込み可能な 32 ビットのレジスタで、MSIOF の送信動作モードを設定します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TRMD	PCON	SYN CMD[1:0]	SYN CCH[1:0]	SYN CAC	BIT LSB	—	—	—	DTDL[2:0]	—	—	—	—	SYN CDL[2:0]	—
初期値:	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	WDP SE	PSFL[1:0]	—	—	DIV[3:0]	—	—	—	—	—	—	FLD[1:0]	CONT	TXS TP	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	TRMD	1	R/W	転送モード 転送モードを選択します。 0: スレープモード 1: マスタモード
30	PCON	0	R/W	送受信接続 PCON = 1 のとき TXRST ビットを有効にすると、同時に RXRST ビットが有効になります。 PCON = 1 のとき、受信側はスレープモードに設定してください。 0: MSIOF_TSCK、MSIOF_TSYNC を送受信独立で使用する 1: MSIOF_TSCK、MSIOF_TSYNC を送受信共通 (MSIOF_SCK、MSIOF_SYNC) で使用する
29, 28	SYN CMD[1:0]	00	R/W	SYNC モード MSIOF_TSYNC 信号のモードを指定します。 00: フレーム先頭同期パルス 01: スロット最終データ 1 ビット長同期パルス 10: レベル方式/SPI 11: L/R 方式

ビット	ビット名	初期値	R/W	説明
27、26	SYNCCH[1:0]	00	R/W	同期信号チャネル選択 マスタモード時のみ有効です。 00 : MSIOF_TSYNC からフレーム同期信号を出力 01 : MSIOF_SS1 からフレーム同期信号を出力 10 : MSIOF_SS2 からフレーム同期信号を出力 11 : 設定禁止
25	SYNCAC	0	R/W	MSIOF_TSYNC の極性を選択します。 0 : 同期パルス方式 / レベル方式時ハイアクティブ、L/R 方式時 H L 1 : 同期パルス方式 / レベル方式時ローアクティブ、L/R 方式時 L H
24	BITLSB	0	R/W	MSB/LSB ファースト 0 : MSB ファースト 1 : LSB ファースト
23	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22~20	DTDLD[2:0]	001	R/W	MSIOF_TSYNC 端子に対するデータ端子ビットの遅延 送信時は TXDIZ ビットで設定した値を出力します。 B'1xx は SPI のみ有効です。その際、DTDLD ビットと SYNCDDL ビットの和が整数値になるように設定してください。 000 : ビット遅延なし 001 : 1 クロック遅延 010 : 2 クロック遅延 101 : 0.5 クロック遅延 110 : 1.5 クロック遅延 上記以外 : 設定禁止
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	SYNCDDL[2:0]	000	R/W	フレーム同期信号タイミング遅延 送信フレーム同期信号を延長します。送信時は TXDIZ ビットで設定した値を出力します。 SYNCMD[1:0] = B'01 の場合は無効となります。また、B'1xx は SPI のみ有効です。その際、DTDLD ビットと SYNCDDL ビットの和が整数値になるように設定してください。 000 : ビット遅延なし 001 : 1 クロック遅延 010 : 2 クロック遅延 011 : 3 クロック遅延 101 : 0.5 クロック遅延 110 : 1.5 クロック遅延 上記以外 : 設定禁止

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	WDPSE	0	R/W	ワード有効位置指定イネーブル 本ビットを有効にした場合、各グループの最終ワードのみが有効データとして出力されます。それ以外のワードは TXDIZ ビットで設定された値が出力されます。 0 : SITMDR2/3 の設定が有効になります。 1 : 各グループにおける最終ワードのみ有効データとして送信され、各 BITLEN = 16 ビット以下になります。
13, 12	PSFL[1:0]	00	R/W	フレーム長指定 B'00 以外の値を設定する場合、SITMDR2/3 で設定したワード長の合計がフレーム長未満になるように設定してください。 00 : フレーム長は SITMDR2/3 で設定した各グループ/ワード/ワードビット長の合計になります。 01 : 8 ワード長固定 10 : 16 ワード長固定 11 : 32 ワード長固定
11 ~ 8	DIV[3:0]	0000	R/W	ワード分割 送信 FIFO に 32 ビットで格納したデータを、16 ビット長ワード×2 グループに分割して送信します。分割データを送信する 2 つのグループのワード数は、それぞれ 1 にしてください。その際、ワード分割対象グループ以外は、制御データとしてください。 0000 : 分割しない 0001 : 上位側グループ 1 下位側グループ 2 0010 : 上位側グループ 1 下位側グループ 3 0011 : 上位側グループ 1 下位側グループ 4 0100 : 上位側グループ 2 下位側グループ 1 0101 : 上位側グループ 2 下位側グループ 3 0110 : 上位側グループ 2 下位側グループ 4 0111 : 上位側グループ 3 下位側グループ 1 1000 : 上位側グループ 3 下位側グループ 2 1001 : 上位側グループ 3 下位側グループ 4 1010 : 上位側グループ 4 下位側グループ 1 1011 : 上位側グループ 4 下位側グループ 2 1100 : 上位側グループ 4 下位側グループ 3 上記以外 : 設定禁止
7 ~ 4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
3、2	FLD[1:0]	00	R/W	<p>フレーム同期信号送信間隔</p> <p>フレーム間隔のアイドル状態の最小時間を、シリアルクロック数で指定します。マスタモード時のみ有効です。</p> <p>00 : 0 クロック遅延 01 : 1 クロック遅延 10 : 2 クロック遅延 11 : 3 クロック遅延</p>
1	CONT	0	R/W	<p>フレーム連続送信</p> <p>複数フレームのデータを1フレーム内に連続して送信します。SYNCMD[1:0] = B'00、B'10 のとき有効になります。</p> <p>なお、マスタモード時に SICTR レジスタの TFSE ビットを 0 に設定すると 1 フレーム送信終了後に送信を停止します。</p> <p>0 : 連続送信を行わない 1 : 連続送信を行う</p>
0	TXSTP	0	R/W	<p>送信 FIFO エンプティ時送信ストップ</p> <p>送信 FIFO エンプティ時に、制御データ指定が無い場合の処理を指定します。マスタモード時のみ有効です。送信継続時は、TXDIZ ビットで設定した値を送信データとして出力します。</p> <p>TXSTP = 1 のとき送信 FIFO エンプティを検出した場合は、TFSE = 0 に戻した後に送信データを格納し、TFSE = 1 に再設定することで送信が再開されます。</p> <p>0 : 送信 FIFO エンプティ時も送信を継続する (フレーム同期信号を出力する) 1 : 送信 FIFO エンプティ時は送信を終了する (フレーム同期信号を出力しない)</p>

25.3.2 MSIOF 送信モードレジスタ 2 (MSIOF0_SITMDR2、MSIOF1_SITMDR2)

SITMDR2 は、読み出し / 書き込み可能な 32 ビットのレジスタで、MSIOF の送信動作モードを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRP[1:0]		—	BITLEN1[4:0]				WDLEN1[7:0]								
初期値 :	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRPDL1[1:0]		GRPDL3[1:0]		CRDE 4	CRDE 3	CRDE 2	CRDE 1	CRDN UM4	CRDN UM3	CRDN UM2	CRDN UM1	GRPM ASK4	GRPM ASK3	GRPM ASK2	GRPM ASK1
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	GRP[1:0]	00	R/W	ワードグループ数 グループ数 = GRP + 1 に設定します。 グループ数 3 以上のときは、各 BITLEN = 16 ビット以下となります。
29	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~24	BITLEN1[4:0] (BITLEN3)	01111	R/W	ビット長 8~32 ビット グループ 1、3 のワードビット長を BITLEN + 1 として設定します (BITLEN1 = BITLEN3)。8 ビット以上に設定してください。 グループ数が 3 以上のときは設定可能な最大値は 16 ビットとなります (上位 1 ビットを無視)。
23~16	WDLEN1[7:0] (WDLEN1[3:0] WDLEN3[3:0])	H'00	R/W	ワード数 1~256 グループ 1、3 のワード数をそれぞれ WDLEN1 + 1、WDLEN3 + 1 として設定します。グループ数が 2 以下のときは 8 ビットすべてが WDLEN1、グループ数が 3 以上のときは上位 4 ビットの値が WDLEN1、下位 4 ビットの値が WDLEN3 に設定されます。
15、14	GRPDL1[1:0]	00	R/W	グループ 1 データ送信遅延 グループ 1 のデータ送信の前に、本ビットで設定された値の空白ビットを挿入します。送信時は TXDIZ ビットで設定した値を出力します。 00 : 0 クロック遅延 01 : 1 クロック遅延 10 : 2 クロック遅延 11 : 3 クロック遅延
13、12	GRPDL3[1:0]	00	R/W	グループ 3 データ送信遅延 グループ 3 のデータ送信の前に、本ビットで設定された値の空白ビットを挿入します。送信時は TXDIZ ビットで設定した値を出力します。 00 : 0 クロック遅延 01 : 1 クロック遅延 10 : 2 クロック遅延 11 : 3 クロック遅延

ビット	ビット名	初期値	R/W	説明
11	CRDE4	0	R/W	制御データイネーブル CRDE x の x がグループを表します。各グループのデータを FIFO データ/制御データのどちらにするか設定します。 0 : 指定されたグループは FIFO データを送信する 1 : 指定されたグループは制御データを送信する
10	CRDE3	0	R/W	
9	CRDE2	0	R/W	
8	CRDE1	0	R/W	
7	CRDNUM4	0	R/W	制御データ送信回数 CRDNUM x の x がグループを表します。制御データグループに複数ワードが設定されている場合、制御データを送信する回数を設定します。各 CRDE x が1のときのみ有効になります。CRDNUM x = 1 の場合、先頭のワードのみ制御データを送信し、残りのワードは TXDIZ ビットで設定された値を出力します。 0 : 制御データを連続して送信する 1 : 1 回のみ送信する
6	CRDNUM3	0	R/W	
5	CRDNUM2	0	R/W	
4	CRDNUM1	0	R/W	
3	GRPMASK4	0	R/W	グループ出力マスク GRPMASK x の x がグループを表します。GRPMASK x = 1 の場合、そのグループの出力は TXDIZ ビットで設定された値を出力します。
2	GRPMASK3	0	R/W	
1	GRPMASK2	0	R/W	
0	GRPMASK1	0	R/W	

25.3.3 MSIOF 送信モードレジスタ 3 (MSIOF0_SITMDR3、MSIOF1_SITMDR3)

SITMDR3 は、読み出し / 書き込み可能な 32 ビットのレジスタで、MSIOF の送信動作モードを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—			BITLEN2[4:0]				WDLEN2[7:0]								
初期値 :	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRPDL2[1:0]		GRPDL4[1:0]		—											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
28~24	BITLEN2[4:0] (BITLEN4)	01111	R/W	ワードビット長 1~32 ビット ビット長 = BITLEN + 1 に設定します。 グループ数 3、4 のときは 16 ビット以下となります(上位 1 ビットを無視)。 8 ビット以上に設定してください。
23~16	WDLEN2[7:0] (WDLEN2[3:0] WDLEN4[3:0])	H'00	R/W	ワード数 1~256 グループ 2、4 のワード数をそれぞれ WDLEN2 + 1、WDLEN4 + 1 として設定します。グループ数が 2 以下のときは 8 ビットすべてが WDLEN2、グループ数が 3 以上のときは上位 4 ビットの値が WDLEN2、下位 4 ビットの値が WDLEN4 に設定されます。
15、14	GRPDL2[1:0]	00	R/W	グループ 2 データ送信遅延 グループ 2 のデータ送信の前に、本ビットで設定された値の空白ビットを挿入します。送信時は TXDIZ ビットで設定した値を出力します。 00 : 0 クロック遅延 01 : 1 クロック遅延 10 : 2 クロック遅延 11 : 3 クロック遅延
13、12	GRPDL4[1:0]	00	R/W	グループ 4 データ送信遅延 グループ 4 のデータ送信の前に、本ビットで設定された値の空白ビットを挿入します。送信時は TXDIZ ビットで設定した値を出力します。 00 : 0 クロック遅延 01 : 1 クロック遅延 10 : 2 クロック遅延 11 : 3 クロック遅延
11~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.3.4 MSIOF 受信モードレジスタ 1 (MSIOF0_SIRMDR1、MSIOF1_SIRMDR1)

SIRMDR1 は、読み出し / 書き込み可能な 32 ビットのレジスタで、MSIOF の受信動作モードを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TRMD	—	SYNCMD[1:0]	—	—	SYN CAC	BIT LSB	—	—	DTDL[2:0]	—	—	—	—	—	—
初期値:	1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	WDP SE	PSFL[1:0]	—	—	MRG[3:0]	—	—	—	—	—	—	—	FLD[1:0]	CONT	RXS TP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	TRMD	1	R/W	転送モード 転送モードを選択します。SITMDR1 の PCON ビットを 1 にする場合はスレーブモードに設定してください。 0: スレーブモード 1: マスタモード
30	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29, 28	SYNCMD[1:0]	00	R/W	SYNC モード MSIOF_RSINC 信号のモードを指定します。 00: フレーム先頭同期パルス 01: スロット最終データ 1 ビット長同期パルス 10: レベル方式 / SPI 11: L/R 方式
27, 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	SYNCAC	0	R/W	MSIOF_RSINC の極性を選択します。 0: 同期パルス方式 / レベル方式時、ハイアクティブ、L/R 方式時 H L 1: 同期パルス方式 / レベル方式時、ローアクティブ、L/R 方式時 L H
24	BITLSB	0	R/W	MSB/LSB ファースト 0: MSB ファースト 1: LSB ファースト
23	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
22~20	DTDL[2:0]	001	R/W	MSIOF_RS SYNC 端子に対するデータ端子ビットの遅延 B'1xx は SPI のみ有効です。その際、DTDL ビットと SYNC DL ビットの和が整数値になるように設定してください。 000 : ビット遅延なし 001 : 1 クロック遅延 010 : 2 クロック遅延 101 : 0.5 クロック遅延 110 : 1.5 クロック遅延 上記以外 : 設定禁止
19	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18~16	SYNCDL[2:0]	000	R/W	MSIOF_RS SYNC タイミング遅延 同期信号を SYNCDL クロック分延長します。 SYNCDL[1:0] = B'01 のとき無効です。B'1xx は SPI のみ有効です。その際、DTDL ビットと SYNCDL ビットの和が整数値になるように設定してください。 000 : ビット遅延なし 001 : 1 クロック遅延 010 : 2 クロック遅延 011 : 3 クロック遅延 101 : 0.5 クロック遅延 110 : 1.5 クロック遅延 上記以外 : 設定禁止
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	WDPSE	0	R/W	ワード有効位置指定イネーブル 本ビットを有効にした場合、各グループの最終ワードのみが有効データとして受信されます。それ以外のワードは無効データとして破棄されます。 0 : SIRM DR2/3 の設定が有効になります。 1 : 各グループにおける最終ワードのみ有効データとして受信され、各 BITLEN = 16 ビット以下になります。
13, 12	PSFL[1:0]	00	R/W	フレーム長指定 B'00 以外の値を設定する場合、SIRM DR2/3 で設定したワード長の合計がフレーム長未満になるように設定してください。 00 : SIRM DR2/3 で設定したフレーム長で受信する 01 : 8 ワード長固定 10 : 16 ワード長固定 11 : 32 ワード長固定

ビット	ビット名	初期値	R/W	説明
11~8	MRG[3:0]	0000	R/W	<p>ワード結合</p> <p>16ビット長ワード×2グループで受信したデータを一つの32ビットデータとして受信FIFOに格納します。結合する2つのグループのワード数は、それぞれ1にしてください。その際、ワード結合対象グループ以外は、制御データとしてください。</p> <p>0000：結合しない</p> <p>0001：上位側グループ1下位側グループ2</p> <p>0010：上位側グループ1下位側グループ3</p> <p>0011：上位側グループ1下位側グループ4</p> <p>0100：上位側グループ2下位側グループ1</p> <p>0101：上位側グループ2下位側グループ3</p> <p>0110：上位側グループ2下位側グループ4</p> <p>0111：上位側グループ3下位側グループ1</p> <p>1000：上位側グループ3下位側グループ2</p> <p>1001：上位側グループ3下位側グループ4</p> <p>1010：上位側グループ4下位側グループ1</p> <p>1011：上位側グループ4下位側グループ2</p> <p>1100：上位側グループ4下位側グループ3</p> <p>上記以外：設定禁止</p>
7~4	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
3, 2	FLD[1:0]	00	R/W	<p>フレーム同期信号受信間隔</p> <p>フレーム間隔のアイドルリング状態の最小時間をシリアルクロック数で指定します。マスタモード時のみ有効です。</p> <p>00：0クロック遅延</p> <p>01：1クロック遅延</p> <p>10：2クロック遅延</p> <p>11：3クロック遅延</p>
1	CONT	0	R/W	<p>フレーム連続受信</p> <p>複数フレームのデータを1フレーム内に連続して受信します。SYNCMD[1:0]=B'00、B'10のとき有効になります。</p> <p>なお、マスタモード時にSICTRレジスタのRFSEビットを0に設定すると1フレーム受信終了後に受信を停止します。</p> <p>0：連続受信を行わない</p> <p>1：連続受信を行う</p>
0	RXSTP	0	R/W	<p>受信FIFOフル時受信ストップ</p> <p>受信FIFOフル時の受信処理を指定します。マスタモード時のみ有効です。</p> <p>0：受信フル時も受信を継続する（受信フレーム同期信号を出力する）</p> <p>1：受信フル時受信を終了する（受信フレーム同期信号を出力しない）</p>

25.3.5 MSIOF 受信モードレジスタ 2 (MSIOF0_SIRMDR2、MSIOF1_SIRMDR2)

SIRMDR2 は、読み出し / 書き込み可能な 32 ビットのレジスタで、MSIOF の受信動作モードを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GRP[1:0]		—	BITLEN1[4:0]				WDLEN1[7:0]								
初期値 :	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRPD1[1:0]		GRPD3[1:0]		CRDE	CRDE	CRDE	CRDE	CRDN	CRDN	CRDN	CRDN	GRPM	GRPM	GRPM	GRPM
					4	3	2	1	UM4	UM3	UM2	UM1	ASK4	ASK3	ASK2	ASK1
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	GRP[1:0]	00	R/W	ワードグループ数 グループ数 = GRP + 1 に設定します。 グループ数 3 以上のときは、各 BITLEN = 16 ビット以下となります。
29	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~24	BITLEN1[4:0] (BITLEN3)	01111	R/W	ワードビット長 8~32 ビット グループ 1、3 のワードビット長を BITLEN + 1 として設定します (BITLEN1 = BITLEN3)。8 ビット以上に設定してください。 グループ数が 3 以上のときは設定可能な最大値は 16 ビットとなります(上位 1 ビットを無視)。
23~16	WDLEN1[7:0] (WDLEN1[3:0] WDLEN3[3:0])	H'00	R/W	ワード数 1~256 グループ 1、3 のワード数をそれぞれ WDLEN1 + 1、WDLEN3 + 1 として設定します。グループ数が 2 以下のときは 8 ビットすべてが WDLEN1、グループ数が 3 以上のときは上位 4 ビットの値が WDLEN1、下位 4 ビットの値が WDLEN3 に設定されます。
15、14	GRPD1[1:0]	00	R/W	グループ 1 データ受信遅延 グループ 1 のデータ受信を本ビットで設定された値だけ遅延させます。 00 : 0 クロック遅延 01 : 1 クロック遅延 10 : 2 クロック遅延 11 : 3 クロック遅延
13、12	GRPD3[1:0]	00	R/W	グループ 3 データ受信遅延 グループ 3 のデータ受信を本ビットで設定された値だけ遅延させます。 00 : 0 クロック遅延 01 : 1 クロック遅延 10 : 2 クロック遅延 11 : 3 クロック遅延

ビット	ビット名	初期値	R/W	説明
11	CRDE4	0	R/W	制御データイネーブル CRDE x の x がグループを表します。各グループのデータを FIFO データ / 制御データのどちらにするか設定します。 0: 指定されたグループは FIFO データとして受信する 1: 指定されたグループは制御データとして受信する
10	CRDE3	0	R/W	
9	CRDE2	0	R/W	
8	CRDE1	0	R/W	
7	CRDNUM4	0	R/W	制御データ受信回数 CRDNUM x の x がグループを表します。制御データグループに複数ワードが設定されている場合、制御データを受信する回数を設定します。各 CRDE x が1のときのみ有効になります。CRDNUM x =1の場合、先頭のワードのみ制御データとして受信し、残りのワードは無効データとして破棄されます。 0: 制御データを連続して受信する 1: 1フレームで1回のみ受信する
6	CRDNUM3	0	R/W	
5	CRDNUM2	0	R/W	
4	CRDNUM1	0	R/W	
3	GRPMASK4	0	R/W	グループ入力マスク GRPMASK x の x がグループを表します。GRPMASK x =1の場合、そのグループの入力はマスクされ無効データとして破棄されます。
2	GRPMASK3	0	R/W	
1	GRPMASK2	0	R/W	
0	GRPMASK1	0	R/W	

25.3.6 MSIOF 受信モードレジスタ 3 (MSIOF0_SIRMDR3、MSIOF1_SIRMDR3)

SIRMDR3 は、読み出し / 書き込み可能な 32 ビットのレジスタで、MSIOF の受信動作モードを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	BITLEN2[4:0]				WDLEN2[7:0]								
初期値:	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GRPDL2[1:0]		GRPDL4[1:0]		—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28 ~ 24	BITLEN2[4:0] (BITLEN4)	01111	R/W	ワードビット長 1 ~ 32 ビット ビット長 = BITLEN + 1 に設定します。 グループ数 3、4 のときは 16 ビット以下となります(上位 1 ビットを無視)。 8 ビット以上に設定してください。

ビット	ビット名	初期値	R/W	説明
23~16	WDLEN2[7:0] (WDLEN4)	H'00	R/W	ワード数 1~256 グループ 2、4 のワード数をそれぞれ WDLEN2+1、WDLEN4+1 として設定します。グループ数が 2 以下のときは 8 ビットすべてが WDLEN2、グループ数が 3 以上のときは上位 4 ビットの値が WDLEN2、下位 4 ビットの値が WDLEN4 に設定されます。
15、14	GRPD2[1:0]	00	R/W	グループ 2 データ受信遅延 グループ 2 のデータ受信を本ビットで設定された値だけ遅延させます。 00 : 0 クロック遅延 01 : 1 クロック遅延 10 : 2 クロック遅延 11 : 3 クロック遅延
13、12	GRPD4[1:0]	00	R/W	グループ 4 データ受信遅延 グループ 4 のデータ受信を本ビットで設定された値だけ遅延させます。 00 : 0 クロック遅延 01 : 1 クロック遅延 10 : 2 クロック遅延 11 : 3 クロック遅延
11~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

25.3.7 MSIOF コントロールレジスタ (MSIOF0_SICTR、MSIOF1_SICTR)

SICTR は、読み出し / 書き込み可能な 32 ビットのレジスタで、MSIOF の動作状態を設定します。

TXE/RXE、TFSE/RFSE、TSCKE/RSCKE ビットは、書き込み時の値が読み出し時の値に反映されるまでに数サイクル要します。各ビットは同時に設定せず、書き込み時の値が読み出し時の値に反映された後に、次のビットの設定を行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSCKIZ[1:0]		RSCKIZ[1:0]		TEDG	REDG	—	—	TXDIZ[1:0]		—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSC	TFSE	RSC	RFSE	—	—	TXE	RXE	—	—	—	—	—	—	TXR	RXR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	TSCKIZ[1:0]	00	R/W	送信無効時 SPI 送信クロック入出力極性選択 SPI モード以外で使用する場合は必ず B'00 を設定してください。 [マスタモード時] 00 : 無効時も MSIOF_TSCK を出力 01 : 設定禁止 10 : 0 を出力 11 : 1 を出力 [スレーブモード時] 00 : 無効時も MSIOF_TSCK が入力される 01 : 設定禁止 10 : 無効時は MSIOF_TSCK に 0 が入力される 11 : 無効時は MSIOF_TSCK に 1 が入力される
29、28	RSCKIZ[1:0]	00	R/W	SPI 受信クロック入出力極性選択 SPI モード時は TSCKIZ ビットと同じ値を設定してください。 [マスタモード時] 00 : 無効時も MSIOF_RSCK を出力 01 : 設定禁止 10 : 0 を出力 11 : 1 を出力 [スレーブモード時] 00 : 無効時も MSIOF_RSCK が入力される 01 : 設定禁止 10 : 無効時は MSIOF_RSCK に 0 が入力される 11 : 無効時は MSIOF_RSCK に 1 が入力される
27	TEDG	0	R/W	送信タイミング 0 : クロック立ち上がりで送信データを出力する 1 : クロック立ち下がりで送信データを出力する
26	REDG	0	R/W	受信タイミング 0 : クロック立ち下がりで受信データをサンプリングする 1 : クロック立ち上がりで受信データをサンプリングする
25、24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23、22	TXDIZ[1:0]	00	R/W	送信無効時端子出力 送信無効時の MSIOF_TXD 端子の出力状態を設定します。 00 : 0 を出力 01 : 1 を出力 10 : ハイインピーダンスを出力 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
21~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	TSCKE	0	R/W	送信用シリアルクロック出力イネーブル 本ビットはマスタモード時に有効となります。 本ビットに 1 を設定すると、MSIOF はポーレートジェネレータを初期化し、動作を開始すると同時に MSIOF_TSCK にポーレートジェネレータで生成したクロックを出力します。クロック出力後、1 を読み出し可能です。 データ送信時は、TFSE/TXE ビット設定の前に、本ビットを 1 に設定してください。また、データ送信終了時は、TFSE/TXE ビットを 0 にした後に、本ビットを 0 に設定してください。 [ライトデータ] 0: MSIOF_TSCK の出力を禁止(TSCKIZ ビットで設定した値を出力する) 1: MSIOF_TSCK の出力を許可 [リードデータ] 0: MSIOF_TSCK を出力していない(TSCKIZ ビットで設定した値を出力) 1: MSIOF_TSCK を出力している
14	TFSE	0	R/W	送信用フレーム同期信号出力イネーブル 本ビットはマスタモード時に有効となります。 本ビットに 1 を設定すると、MSIOF はフレームカウンタを初期化し、動作を開始します。送信フレーム同期信号出力後、1 を読み出し可能です。本ビットに 0 を設定すると、フレーム送信完了後に 0 をセットします。 [ライトデータ] 0: MSIOF_TSYNC の出力を禁止 (SYNCAC ビットで設定した値を出力する) 1: MSIOF_TSYNC の出力を許可 [リードデータ] 0: MSIOF_TSYNC を出力していない (SYNCAC ビットで設定した値を出力) 1: MSIOF_TSYNC を出力している

ビット	ビット名	初期値	R/W	説明
13	RSCKE	0	R/W	<p>受信用シリアルクロック出力イネーブル</p> <p>本ビットはマスタモード時に有効となります。</p> <p>本ビットに 1 を設定すると、MSIOF はボーレートジェネレータを初期化し、動作を開始すると同時に MSIOF_RSCK にボーレートジェネレータで生成したクロックを出力します。クロック出力後、1 を読み出し可能です。</p> <p>データ受信時は、RFSE/RXE ビット設定の前に、本ビットを 1 に設定してください。また、データ受信終了時は、RFSE/RXE ビットを 0 にした後、本ビットを 0 に設定してください。</p> <p>[ライトデータ]</p> <p>0 : MSIOF_RSCK の出力を禁止 (RCKIZ ビットで設定した値を出力する)</p> <p>1 : MSIOF_RSCK の出力を許可</p> <p>[リードデータ]</p> <p>0 : MSIOF_RSCK を出力していない (RCKIZ ビットで設定した値を出力する)</p> <p>1 : MSIOF_RSCK を出力している</p>
12	RFSE	0	R/W	<p>受信用フレーム同期信号出力イネーブル</p> <p>本ビットはマスタモード時に有効となります。</p> <p>本ビットに 1 を設定すると、MSIOF はフレームカウンタを初期化し、動作を開始します。受信フレーム同期信号出力後、1 を読み出し可能です。本ビットに 0 を設定すると、フレーム受信完了後に 0 をセットします。</p> <p>[ライトデータ]</p> <p>0 : MSIOF_RSYNC の出力を禁止 (SYNCAC ビットで設定した値を出力する)</p> <p>1 : MSIOF_RSYNC の出力を許可</p> <p>[リードデータ]</p> <p>0 : MSIOF_RSYNC を出力していない (SYNCAC ビットで設定した値を出力)</p> <p>1 : MSIOF_RSYNC を出力している</p>
11, 10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
9	TXE	0	R/W	<p>送信イネーブル</p> <p>本ビットに 1 を設定すると、次のフレーム先頭(フレーム同期信号の立ち上がり)からデータ送信を開始します。有効データ出力後、1 を読み出し可能です。本ビットへの 1 設定が有効になると、MSIOF は SIFCTR の TFWM ビットの設定に従い、送信転送要求を発行します。送信 FIFO にデータが格納されると、MSIOF_TXD から送信データの送出を開始します。本ビットに 0 を設定すると、フレーム送信完了後に 0 をセットします。</p> <p>送信リセット時に初期化されます。</p> <p>[ライトデータ]</p> <p>0 : MSIOF_TXD の出力を禁止 (TXDIZ ビットで設定した値を出力する)</p> <p>1 : MSIOF_TXD の出力を許可</p> <p>[リードデータ]</p> <p>0 : MSIOF_TXD を出力していない (TXDIZ ビットで設定した値を出力)</p> <p>1 : MSIOF_TXD を出力している</p>
8	RXE	0	R/W	<p>受信イネーブル</p> <p>本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時分からデータ受信を開始します。</p> <p>本ビットへの 1 設定が有効になると、MSIOF は MSIOF_RXD からの受信データの取り込みを開始します。受信 FIFO にデータが格納されると、SIFCTR の RFWM ビットの設定に従い、受信転送要求を発行します。</p> <p>受信リセット時に初期化されます。</p> <p>[ライトデータ]</p> <p>0 : MSIOF_RXD からのデータ受信を禁止</p> <p>1 : MSIOF_RXD からのデータ受信を許可</p> <p>[リードデータ]</p> <p>0 : MSIOF_RXD からのデータ受信をしない</p> <p>1 : MSIOF_RXD からのデータ受信が可能</p>
7~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1	TXRST	0	R/W	<p>送信リセット</p> <p>本ビットへの 1 設定が有効になると、MSIOF は直ちに MSIOF_TXD からの送信データを 0 とし、送信データ系のレジスタ、送信関連のステータスを初期化します。また、PCON=1 のとき本ビットへの 1 設定が有効になると、同時に RXRST ビットが有効になります。初期化の対象は下記のレジスタとビットです。</p> <ul style="list-style-type: none"> • SITDR1、SITDR2 • SITFDR • 送信 FIFO ライトポインタ • SISTR の TCRDY、TFEMP、TDREQ ビット • TXE ビット <p>本ビットはリセット動作を完了するまで 1 が読み出されます。リセットが終了するまで B 20 サイクル程度要します。その期間中に、SICTR レジスタおよび送信 FIFO の書き込みを行わないでください。</p> <p>[ライトデータ]</p> <p>0 : 送信動作をリセットしない 1 : 送信動作をリセットする</p> <p>[リードデータ]</p> <p>0 : 送信動作のリセット完了 1 : 送信動作をリセット中</p>
0	RXRST	0	R/W	<p>受信リセット</p> <p>本ビットへの 1 設定が有効になると、MSIOF は MSIOF_RXD からの受信を停止し、受信データ系のレジスタ、受信関連のステータスを初期化します。初期化の対象は下記のレジスタとビットです。</p> <ul style="list-style-type: none"> • SIRDR1、SIRDR2 • SIRFDR • 受信 FIFO リードポインタ • SISTR の RCRDY、RFFUL、RDREQ ビット • RXE ビット <p>本ビットはリセット動作を完了するまで 1 が読み出されます。リセットが終了するまで B 20 サイクル程度要します。その期間中に、SICTR レジスタの書き込みおよび受信 FIFO の読み出しを行わないでください。</p> <p>[ライトデータ]</p> <p>0 : 受信動作をリセットしない 1 : 受信動作をリセットする</p> <p>[リードデータ]</p> <p>0 : 受信動作のリセット完了 1 : 受信動作をリセット中</p>

25.3.8 MSIOF 送信クロックセレクトレジスタ (MSIOF0_SITSCR、MSIOF1_SITSCR)

SITSCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、マスタ時の送信用シリアルクロックの生成条件を設定します。本レジスタの設定は、SITMDR1 の TRMD ビットに B'1 が設定されているときに有効です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSSEL[1:0]		MSIMM	BRPS[4:0]				—	—	—	—	—	BRDV[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	MSSEL[1:0]	00	R/W	マスタクロックソース選択 マスタクロックとは、ポーレートジェネレータに入力するクロックを指します。 00: マスタクロックとして B を使用 01: マスタクロックとして MSIOF_MCK 端子入力信号を使用 10: 設定禁止 11: 設定禁止
13	MSIMM	0	R/W	マスタクロック直接選択 MSIMM = 1 とする場合は、マスタクロックソースを 33MHz 以下としてください。 0: シリアルクロックとしてポーレートジェネレータ出力クロックを使用 1: シリアルクロックとしてマスタクロックをそのまま使用
12~8	BRPS[4:0]	00000	R/W	プリスケアラ設定 ポーレートジェネレータのプリスケアラのカウント値によりマスタクロックの分周比を設定します。 設定の範囲は B'00000 (× 1/1) ~ B'11111 (× 1/32) となります。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	BRDV[2:0]	000	R/W	ポーレートジェネレータ分周比 ポーレートジェネレータにおける出力段の分周比を設定します。 ポーレートジェネレータの最終分周比は、BRPS×BRDV で決定します (最大 1/1024)。 000: プリスケアラ出力 × 1/2 001: プリスケアラ出力 × 1/4 010: プリスケアラ出力 × 1/8 011: プリスケアラ出力 × 1/16 100: プリスケアラ出力 × 1/32 101: 設定禁止 110: 設定禁止 111: 設定禁止

25.3.9 MSIOF 受信クロックセレクトレジスタ(MSIOF0_SIRSCR、MSIOF1_SIRSCR)

SIRSCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、マスタ時の受信用シリアルクロックの生成条件を設定します。本レジスタへの設定は、SIRMDR1 の TRMD ビットに B'1 が設定されているときに有効です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSSEL[1:0]		MSIMM	BRPS[4:0]				—	—	—	—	—	BRDV[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	MSSEL[1:0]	00	R/W	マスタクロックソース選択 マスタクロックとは、ポーレートジェネレータに入力するクロックを指します。 00: マスタクロックとして B を使用 01: マスタクロックとして MSIOF_MCK 端子入力信号を使用 10: 設定禁止 11: 設定禁止
13	MSIMM	0	R/W	マスタクロック直接選択 MSIMM = 1 とする場合は、マスタクロックソースを 33MHz 以下としてください。 0: シリアルクロックとしてポーレートジェネレータ出力クロックを使用 1: シリアルクロックとしてマスタクロックをそのまま使用
12~8	BRPS[4:0]	00000	R/W	プリスケアラ設定 ポーレートジェネレータのプリスケアラのカウント値によりマスタクロックの分周比を設定します。 設定の範囲は B'00000 (× 1/1) ~ B'11111 (× 1/32) となります。
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	BRDV[2:0]	000	R/W	ポーレートジェネレータ分周比 ポーレートジェネレータにおける出力段の分周比を設定します。 ポーレートジェネレータの最終分周比は、BRPS×BRDV で決定します (最大 1/1024)。 000: プリスケアラ出力 × 1/2 001: プリスケアラ出力 × 1/4 010: プリスケアラ出力 × 1/8 011: プリスケアラ出力 × 1/16 100: プリスケアラ出力 × 1/32 101: 設定禁止 110: 設定禁止 111: プリスケアラ出力 × 1/1 【注】 B'111 は、BRPS[4:0] ビットが B'00000 または B'00001 の場合のみ、設定可能です。

25.3.10 MSIOF 送信制御データレジスタ 1 (MSIOF0_SITDR1、MSIOF1_SITDR1)

SITDR1 は書き込み専用の 32 ビットのレジスタで、MSIOF の送信制御データの書き込みを行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCRD1[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCRD2[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31 ~ 16	TCRD1[15:0]	H'0000	W	<ul style="list-style-type: none"> グループ数 1、2 のとき グループ 1 のワード上位 16 ビットの送信制御データを設定します。 グループ数 3、4 のとき グループ 1 のワードの送信制御データを設定します。
15 ~ 0	TCRD2[15:0]	H'0000	W	<ul style="list-style-type: none"> グループ数 1、2 のとき グループ 1 のワードが 16 ビット以上の場合の下位 16 ビットの送信制御データを設定します。 グループ数 3、4 のとき グループ 3 のワードの送信制御データを設定します。

25.3.11 MSIOF 送信制御データレジスタ 2 (MSIOF0_SITDR2、MSIOF1_SITDR2)

SITDR2 は、書き込み専用の 32 ビットのレジスタで、MSIOF の送信制御データの書き込みを行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCRD3[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCRD4[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31 ~ 16	TCRD3[15:0]	H'0000	W	<ul style="list-style-type: none"> グループ数 1、2 のとき グループ 2 のワード上位 16 ビットの送信制御データを設定します。 グループ数 3、4 のとき グループ 2 のワードの送信制御データを設定します。

ビット	ビット名	初期値	R/W	説 明
15~0	TCRD4[15:0]	H'0000	W	<ul style="list-style-type: none">• グループ数 1、2 のとき グループ 2 のワードが 16 ビット以上の場合の下位 16 ビットの送信制御データを設定します。• グループ数 3、4 のとき グループ 4 のワードの送信制御データを設定します。

25.3.12 MSIOF 送信 FIFO データレジスタ (MSIOF0_SITFDR、MSIOF1_SITFDR)

SITFDR は、書き込み専用の 32 ビットのレジスタで、MSIOF の送信 FIFO データの書き込みを行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITFD1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITFD2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~16	SITFD1[15:0]	H'0000	W	MSIOF_TXD から送信する FIFO データの上位 16 ビットを設定します。
15~0	SITFD2[15:0]	H'0000	W	MSIOF_TXD から送信する FIFO データの下部 16 ビットを設定します。

25.3.13 MSIOF 受信制御データレジスタ 1 (MSIOF0_SIRDR1、MSIOF1_SIRDR1)

SIRDR1 は、読み出し専用の 32 ビットのレジスタで、MSIOF の受信制御データの読み出しを行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RCRD1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCRD2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	RCRD1[15:0]	H'00	R	<ul style="list-style-type: none"> グループ数 1、2 のとき グループ 1 のワード上位 16 ビットの受信制御データを格納します。 グループ数 3、4 のとき グループ 1 のワードの受信制御データを格納します。
15~0	RCRD2[15:0]	H'00	R	<ul style="list-style-type: none"> グループ数 1、2 のとき グループ 1 のワードが 16 ビット以上の場合の下位 16 ビットの受信制御データを格納します。 グループ数 3、4 のとき グループ 3 のワードの受信制御データを格納します。

25.3.14 MSIOF 受信制御データレジスタ 2 (MSIOF0_SIRDR2、MSIOF1_SIRDR2)

SIRDR2 は、読み出し専用の 32 ビットのレジスタで、MSIOF の受信制御データの読み出しを行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RCRD3[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCRD4[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	RCRD3[15:0]	H'00	R	<ul style="list-style-type: none"> グループ数 1、2 のとき グループ 2 のワード上位 16 ビットの受信制御データを格納します。 グループ数 3、4 のとき グループ 2 の受信制御データを格納します。
15~0	RCRD4[15:0]	H'00	R	<ul style="list-style-type: none"> グループ数 1、2 のとき グループ 2 のワードが 16 ビット以上の場合の下位 16 ビットの受信制御データを格納します。 グループ数 3、4 のとき グループ 4 のワードの受信制御データを格納します。

25.3.15 MSIOF 受信 FIFO データレジスタ (MSIOF0_SIRFDR、MSIOF1_SIRFDR)

SIRFDR は、読み出し専用の 32 ビットのレジスタで、MSIOF の受信 FIFO データの読み出しを行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRFD1[15:0]															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRFD2[15:0]															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	SIRFD1[15:0]	不定	R	MSIOF_RXD から受信した FIFO データの上位 16 ビットを格納します。
15~0	SIRFD2[15:0]	不定	R	MSIOF_RXD から受信した FIFO データの下位 16 ビットを格納します。

25.3.16 MSIOF ステータスレジスタ (MSIOF0_SISTR、MSIOF1_SISTR)

各ビットは、SIIER の対応するビットに 1 を設定した場合に、MSIOF の割り込み要因となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	TCR DY	TFE MP	TDR EQ	—	—	—	—	TEOF	—	TFS ERR	TFO VF	TFU DF	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	RCR DY	RFF UL	RDR EQ	—	—	—	—	REOF	—	RFS ERR	RFU DF	RFO VF	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R	R	R	R	R/W	R	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30	TCRDY	0	R/W	送信制御データレディ 本ビットが 0 時に、SITDR1、SITDR2 への書き込みを行うと、SICTR は上書きされ、以前の内容は MSIOF_TXD から送出されません。 本ビットは、SICTR の TXE ビットが 1 のときに有効となります。 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。 0 : SITDR1、SITDR2 への書き込みが可能でない 1 : SITDR1、SITDR2 への書き込みが可能である
29	TFEMP	0	R/W	送信 FIFO エンプティ 本ビットは、SICTR の TXE ビットが 1 のときに有効となります。 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。 本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。 0 : 送信 FIFO が空でない 1 : 送信 FIFO が空である

ビット	ビット名	初期値	R/W	説明
28	TDREQ	0	R	<p>送信データ転送リクエスト</p> <p>送信データ転送リクエストは、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えたときに発行します。</p> <p>DMAC による送信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、MSIOF は再び本ビットに 1 を表示します。</p> <p>本ビットは SICTR の TXE ビットが 1 のときに有効となります。</p> <p>本ビットは状態を表示するビットであり、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値よりも少なくなると MSIOF がクリアします。</p> <p>本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。ただし、TDMAE ビットが 1 のときは DMAC 転送要求のみが発行されます。</p> <p>0: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えていない 1: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値を超えた</p>
27~24	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
23	TEOF	0	R/W	<p>フレーム送信終了</p> <p>送信フレーム終了は、1 フレーム長のデータ送信終了時に発行します。</p> <p>本ビットは SICTR の TXE ビットが 1 のときに有効となります。</p> <p>本ビットに 1 を書き込むと内容がクリアされます。0 書き込みは無効です。</p> <p>本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。</p> <p>0: 1 フレーム送信終了を未検出 1: 1 フレーム送信終了を検出</p>
22	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
21	TFSERR	0	R/W	<p>送信フレーム同期エラー</p> <p>送信フレーム同期エラーとは、転送データ、制御データの送信完了前に、次の送信フレーム同期タイミングとなったことを表します。送信フレーム同期エラー発生時、MSIOF は転送可能なスロットに対してのみ送信を行います。</p> <p>本ビットは SICTR の TXE ビットが 1 のときに有効となります。</p> <p>本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</p> <p>本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。</p> <p>0: 送信フレーム同期エラー未発生 1: 送信フレーム同期エラー発生</p>

ビット	ビット名	初期値	R/W	説明
20	TFOVF	0	R/W	<p>送信 FIFO オーバフロー</p> <p>送信 FIFO オーバフローとは、送信 FIFO が満杯時に SITFDR への書き込みが発生したことを表します。送信 FIFO オーバフロー時、MSIOF はオーバーフローとなった書き込みを無効とします。</p> <p>本ビットは SICTR の TXE ビットが 1 のときに有効となります。</p> <p>本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</p> <p>本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。</p> <p>0 : 送信 FIFO オーバフロー未発生 1 : 送信 FIFO オーバフロー発生</p>
19	TFUDF	0	R/W	<p>送信 FIFO アンダフロー</p> <p>送信 FIFO アンダフローとは、送信 FIFO がエンpty時に送信動作によるロードが発生したことを表します。送信 FIFO アンダフロー時、MSIOF は前回送出データを繰り返して送出します。</p> <p>本ビットは SICTR の TXE ビットが 1 のときに有効となります。</p> <p>本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</p> <p>本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。</p> <p>0 : 送信 FIFO アンダフロー未発生 1 : 送信 FIFO アンダフロー発生</p>
18~15	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
14	RCRDY	0	R/W	<p>受信制御データレディ</p> <p>制御データ受信時に、前回と異なるデータが格納された場合に有効データの書き込みが発生したものと本ビットが 1 になります。初回時のデータは、0 以外が格納された場合に 1 になります。</p> <p>本ビットが 1 のときに、再び SIRDR1、SIRDR2 への有効データの書き込みが発生した場合、SIRDR1、SIRDR2 には最新のデータが上書きされます。</p> <p>本ビットは SICTR の RXE ビットが 1 のときに有効となります。</p> <p>本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</p> <p>本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。</p> <p>0 : SIRDR1、SIRDR2 に有効データが格納されていない 1 : SIRDR1、SIRDR2 に有効データが格納されている</p>
13	RFFUL	0	R/W	<p>受信 FIFO フル</p> <p>本ビットは SICTR の RXE ビットが 1 のときに有効となります。</p> <p>本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</p> <p>本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。</p> <p>0 : 受信 FIFO が満杯でない 1 : 受信 FIFO が満杯である</p>

ビット	ビット名	初期値	R/W	説明
12	RDREQ	0	R	<p>受信データ転送リクエスト</p> <p>受信データ転送リクエストは、受信 FIFO の有効データ領域が SIFCTR の RFWM ビットによる設定値を超えたときに発行します。</p> <p>DMAC による送信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、MSIOF は再び本ビットに 1 を表示します。</p> <p>本ビットは SICTR の RXE ビットが 1 のときに有効となります。</p> <p>本ビットは状態を表示するビットであり、受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値よりも少なくなると MSIOF がクリアします。</p> <p>本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。ただし、RDMAE ビットが 1 のときは DMAC 転送要求のみが発行されます。</p> <p>0: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値を超えていない 1: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値を超えた</p>
11~8	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
7	REOF	0	R/W	<p>フレーム受信終了</p> <p>フレーム受信終了は、1 フレーム分のデータ受信終了時に発行します。</p> <p>本ビットは SICTR の RXE ビットが 1 のときに有効となります。</p> <p>本ビットに 1 を書き込むと内容がクリアされます。0 書き込みは無効です。</p> <p>本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。</p> <p>0: 1 フレーム受信終了を未検出 1: 1 フレーム受信終了を検出</p>
6	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5	RFSERR	0	R/W	<p>受信フレーム同期エラー</p> <p>受信フレーム同期エラーとは、転送データ、制御データの受信完了前に、次の受信フレーム同期タイミングとなったことを表します。受信フレーム同期エラー発生時、MSIOF は転送可能なスロットに対してのみ受信を行います。</p> <p>本ビットは SICTR の RXE ビットが 1 のときに有効となります。</p> <p>本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</p> <p>本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。</p> <p>0: 受信フレーム同期エラー未発生 1: 受信フレーム同期エラー発生</p>

ビット	ビット名	初期値	R/W	説明
4	RFUDF	0	R/W	<p>受信 FIFO アンダフロー</p> <p>受信 FIFO アンダフローとは、受信 FIFO が空時に SIRFDR の読み出しが発生したことを表します。受信 FIFO アンダフロー時、SIRFDR から読み出したデータの値は保証しません。</p> <p>本ビットは SICTR の RXE ビットが 1 のときに有効となります。</p> <p>本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。</p> <p>0 : 受信 FIFO アンダフロー未発生 1 : 受信 FIFO アンダフロー発生</p>
3	RFOVF	0	R/W	<p>受信 FIFO オーバフロー</p> <p>受信 FIFO オーバフローとは、受信 FIFO がフル時に受信動作による書き込みが発生したことを表します。受信 FIFO オーバフロー時、オーバフローとなった受信データは消失します。</p> <p>本ビットは SICTR の RXE ビットが 1 のときに有効となります。</p> <p>本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。本ビットによる割り込み発行が許可されている場合、MSIOF 割り込みを発行します。</p> <p>0 : 受信 FIFO オーバフロー未発生 1 : 受信 FIFO オーバフロー発生</p>
2~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

25.3.17 MSIOF 割り込み許可レジスタ (MSIOF0_SIIER、MSIOF1_SIIER)

SIIER は、読み出し / 書き込み可能な 32 ビットのレジスタで、MSIOF 割り込みの発行を許可します。本レジスタの各ビットに 1 を設定した場合に、SISTR の対応するビットに 1 がセットされると、MSIOF は割り込みを発行します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDM AE	TCR DYE	TFE MPE	TDR EQE	—	—	—	—	TEO FE	—	TFSE RRE	TFO VFE	TFU DFE	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W	R/W	R/W	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDM AE	RCR DYE	RFF ULE	RDR EQE	—	—	—	—	REO FE	—	RFSE RRE	RFU DFE	RFO VFE	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31	TDMAE	0	R/W	送信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み / DMA 転送要求として伝えます。要因としては、TDREQE が設定できます。 0 : CPU への割り込みとして使用 1 : DMAC への DMA 転送要求として使用
30	TCRDYE	0	R/W	送信制御データレディイネーブル 0 : 送信制御データレディによる割り込みを禁止 1 : 送信制御データレディによる割り込みを許可
29	TFEMPE	0	R/W	送信 FIFO エンプティイネーブル 0 : 送信エンプティによる割り込みを禁止 1 : 送信エンプティによる割り込みを許可
28	TDREQE	0	R/W	送信データ転送リクエストイネーブル 0 : 送信データ転送リクエストによる割り込みを禁止 1 : 送信データ転送リクエストによる割り込みを許可
27~24		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23	TEOFE	0	R/W	フレーム送信終了イネーブル 0 : フレーム送信終了による割り込みを禁止 1 : フレーム送信終了による割り込みを許可
22		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	TFSERRE	0	R/W	送信フレーム同期エラーイネーブル 0 : 送信フレーム同期エラーによる割り込みを禁止 1 : 送信フレーム同期エラーによる割り込みを許可

ビット	ビット名	初期値	R/W	説明
20	TFOVFE	0	R/W	送信 FIFO オーバフローイネーブル 0: 送信 FIFO オーバフローによる割り込みを禁止 1: 送信 FIFO オーバフローによる割り込みを許可
19	TFUDFE	0	R/W	送信 FIFO アンダフローイネーブル 0: 送信 FIFO アンダフローによる割り込みを禁止 1: 送信 FIFO アンダフローによる割り込みを許可
18~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	RDMAE	0	R/W	受信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み / DMA 転送要求として伝えます。要因としては、RDREQE が設定できます。 0: CPU への割り込みとして使用 1: DMAC への DMA 転送要求として使用
14	RCRDYE	0	R/W	受信制御データレディイネーブル 0: 受信制御データレディによる割り込みを禁止 1: 受信制御データレディによる割り込みを許可
13	RFFULE	0	R/W	受信 FIFO フルイネーブル 0: 受信 FIFO フルによる割り込みを禁止 1: 受信 FIFO フルによる割り込みを許可
12	RDREQE	0	R/W	受信データ転送リクエストイネーブル 0: 受信データ転送リクエストによる割り込みを禁止 1: 受信データ転送リクエストによる割り込みを許可
11~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	REOFE	0	R/W	フレーム受信終了イネーブル 0: フレーム受信終了による割り込みを禁止 1: フレーム受信終了による割り込みを許可
6		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	RFSERRE	0	R/W	受信フレーム同期エラーイネーブル 0: 受信フレーム同期エラーによる割り込みを禁止 1: 受信フレーム同期エラーによる割り込みを許可
4	RFUDFE	0	R/W	受信 FIFO アンダフローイネーブル 0: 受信 FIFO アンダフローによる割り込みを禁止 1: 受信 FIFO アンダフローによる割り込みを許可
3	RFOVFE	0	R/W	受信 FIFO オーバフローイネーブル 0: 受信 FIFO オーバフローによる割り込みを禁止 1: 受信 FIFO オーバフローによる割り込みを許可

ビット	ビット名	初期値	R/W	説明
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

25.3.18 MSIOF FIFO コントロールレジスタ (MSIOF0_SIFCTR、MSIOF1_SIFCTR)

SIFCTR は、読み出し / 書き込み可能な 32 ビットのレジスタで、送受信 FIFO の転送が可能なエリアを表示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TFWM[2:0]			—	—	TFUA[6:0]						—	—	—	—	
初期値 :	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFWM[2:0]			—	—	RFUA[6:0]						—	—	—	—	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	TFWM[2:0]	0	R/W	送信 FIFO ウォータマーク 送信 FIFO の転送要求は、SIIER の TDREQE ビットで行います。 本ビットへの設定にかかわらず、送信 FIFO は常に 64 段の FIFO として動作を行います。 000 : 送信 FIFO の空き領域が 64 段のときに転送要求を発行する 001 : 送信 FIFO の空き領域が 32 段以上のときに転送要求を発行する 010 : 送信 FIFO の空き領域が 24 段以上のときに転送要求を発行する 011 : 送信 FIFO の空き領域が 16 段以上のときに転送要求を発行する 100 : 送信 FIFO の空き領域が 12 段以上のときに転送要求を発行する 101 : 送信 FIFO の空き領域が 8 段以上のときに転送要求を発行する 110 : 送信 FIFO の空き領域が 4 段以上のときに転送要求を発行する 111 : 送信 FIFO の空き領域が 1 段以上のときに転送要求を発行する
28~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26~20	TFUA[6:0]	H'40	R	送信 FIFO 使用可能エリア CPU または DMAC が転送可能な語数を B'000 0000 (満杯) ~ B'1000 000 (空) で表示します。
19~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
15~13	RFWM[2:0]	000	R/W	<p>受信 FIFO ウォータマーク</p> <p>受信 FIFO の転送要求は、SIER の RDREQE ビットで行います。</p> <p>本ビットへの設定にかかわらず、受信 FIFO は常に 64 段の FIFO として動作を行います。</p> <p>000: 受信 FIFO の有効データ領域が 1 段以上のときに転送要求を発行する</p> <p>001: 受信 FIFO の有効データ領域が 4 段以上のときに転送要求を発行する</p> <p>010: 受信 FIFO の有効データ領域が 8 段以上のときに転送要求を発行する</p> <p>011: 受信 FIFO の有効データ領域が 16 段以上のときに転送要求を発行する</p> <p>100: 受信 FIFO の有効データ領域が 24 段以上のときに転送要求を発行する</p> <p>101: 受信 FIFO の有効データ領域が 32 段以上のときに転送要求を発行する</p> <p>110: 受信 FIFO の有効データ領域が 48 段以上のときに転送要求を発行する</p> <p>111: 受信 FIFO の有効データ領域が 64 段のときに転送要求を発行する</p>
12、11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~4	RFUA[6:0]	H'00	R	<p>受信 FIFO 使用可能エリア</p> <p>CPU または DMAC が転送可能な語数を B'000 0000 (空) ~ B'100 0000 (満杯) で表示します。</p>
3~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

25.4 動作説明

25.4.1 動作モード

(1) 送受信独立モード

送受信のクロックおよびフレーム同期信号をそれぞれ独立に設定可能です。

マスタモード：MSIOF_TSCK、MSIOF_TSYNC (MSIOF_RSCK、MSIOF_RSYNC) は出力

スレーブモード：MSIOF_TSCK、MSIOF_TSYNC (MSIOF_RSCK、MSIOF_RSYNC) は入力

(2) 送受信共通モード

送信、受信が共通のクロックおよびフレーム同期信号を使用します。

マスタモード：MSIOF_TSCK (MSIOF_SCK)、MSIOF_TSYNC (MSIOF_SYNC) は出力

スレーブモード：MSIOF_TSCK (MSIOF_SCK) は、MSIOF_TSYNC (MSIOF_SYNC) は入力

25.4.2 シリアルクロック

(1) マスタモードクロック出力

マスタ時には、ポーレートジェネレータを用いてシリアルクロックを生成します。ポーレートジェネレータの分周比は 1/1 ~ 1/1024 です。

(2) スレーブモードクロック入力

スレーブ時には、送受信の各入力クロックがシリアルクロックとなります。

(3) マルチチャネル機能

本モジュールは、図 25.2 のようなマルチチャネル機能をサポートします。

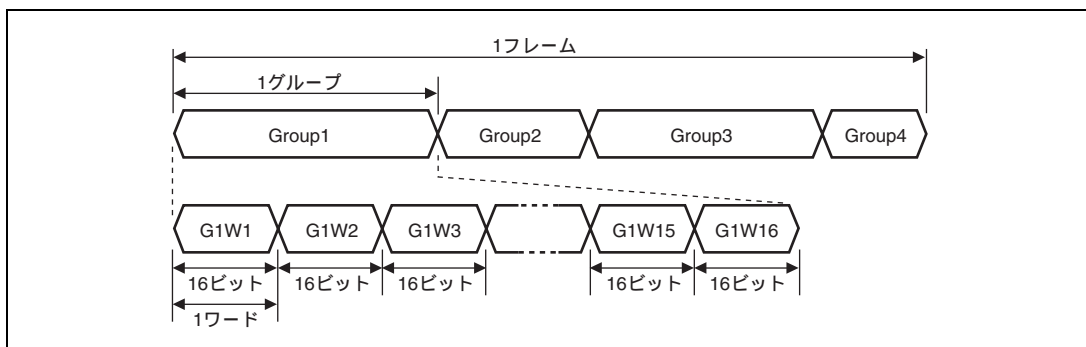


図 25.2 マルチチャネルの構成

マルチチャネル機能では、以下のような設定が可能です。

- 1フレーム内に4つのグループ

- 1グループ内に最大256ワード
- 1ワードに対して8ビット以上最大32ビット
- 各グループ間には最大3ビット分の空白ビットを挿入可能

ただし、グループ数によって以下の制限があります。

表 25.4 グループ数と最大ビット長、ワード長の制限

グループ数	最大ビット長	最大ワード長
1、2	32 ビット	256 ワード
3、4	16 ビット	16 ワード

25.4.3 シリアルタイミング

(1) MSIOF_TSYNC、MSIOF_RSYNC

MSIOF_TSYNC、MSIOF_RSYNC はフレーム同期信号です。転送モードによって次の4通りがそれぞれ設定可能です。

- フレーム先頭同期パルス：フレーム先頭を表す1ビット幅のパルス
- ワード最終ビット同期パルス：ワード最終を表す1ビット幅のパルス
- レベル/SPI：フレーム送信中にアサートされるレベル信号
- L/R：前半グループをハイレベル、後半グループをローレベルで表す1/2フレーム幅のパルス

図 25.3～図 25.6 に MSIOF_TSYNC、MSIOF_RSYNC によるそれぞれの同期タイミングを示します。

(a) フレーム先頭同期パルス

フレームの先頭で立ち上がる同期パルス信号です。

フレーム同期信号の立ち上がりからデータ送受信開始までのビット遅延を DTDL で設定することが可能です。また、同期パルス幅を SYNCDEL で延長することが可能です。

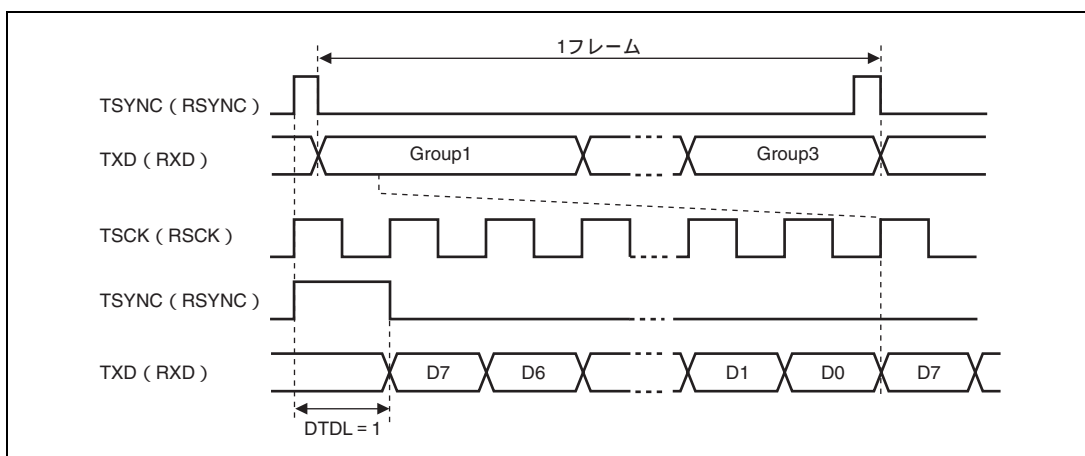


図 25.3 フレーム先頭同期パルスの同期タイミング

(b) ワード最終ビット同期パルス

各ワードの最終ビットで立ち上がる同期パルス方式です。ワードの最終ビットから同期パルスまでのビット遅延を DTDL で設定することが可能です。

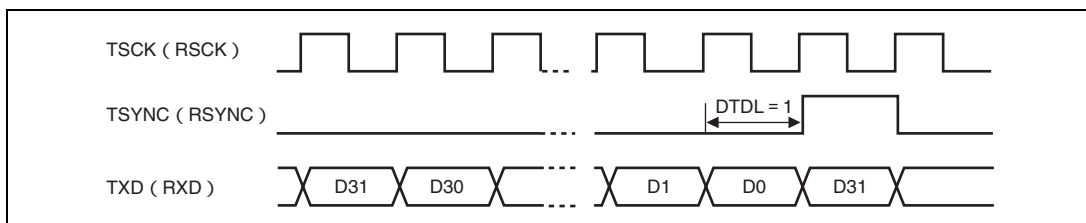


図 25.4 ワード最終ビット同期パルスの同期タイミング

(c) レベル同期

フレーム幅だけ立ち上がるパルス方式です。

同期信号の立ち上がりからデータ送受信開始までのビット遅延を DTDL、送受信終了から同期信号の立ち下がりまでのビット遅延を SYNCDL で設定することが可能です (DTDL = 0~2, SYNCDL = 0~3)。また、SPI のマスタ/スレーブに対応します。

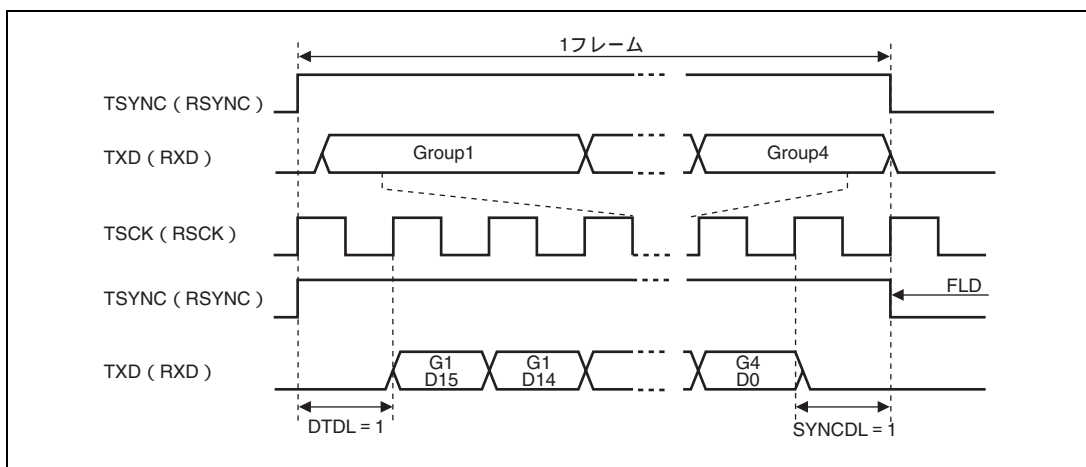


図 25.5 レベル同期の同期タイミング

(d) L/R 同期

前半グループをハイレベル、後半グループをローレベルで表すパルス信号です。

同期信号の立ち上がり/立ち下がりからデータ送受信開始までのビット遅延を DTDL、送受信終了から同期信号の立ち上がり/立ち下がりまでのビット遅延を SYNCDDL で設定することが可能です (DTDL = 0~2、SYNCDDL = 0~3)。

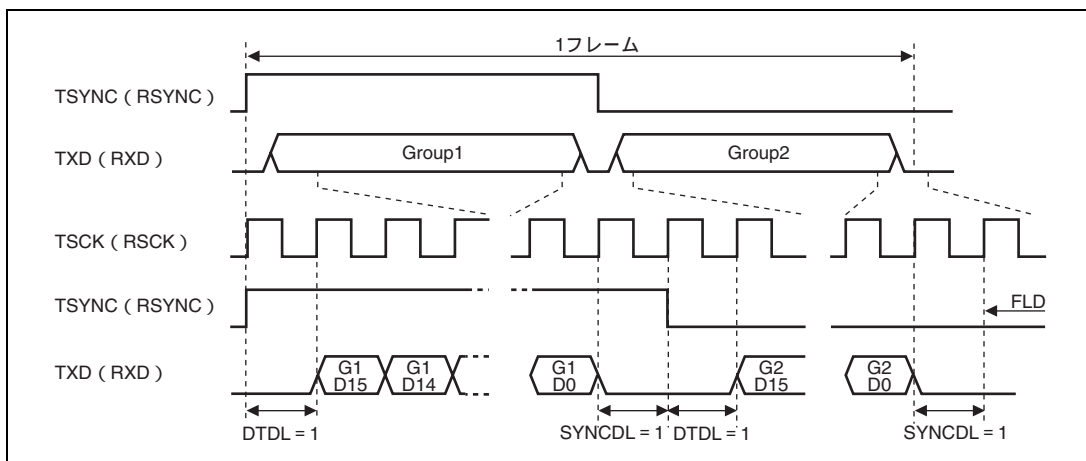


図 25.6 L/R 同期の同期タイミング

(2) 送受信タイミング

MSIOF_TSCK (MSIOF_RSCK) に対する MSIOF_TXD (MSIOF_RXD) の送信 (受信) タイミングは、サンプリングタイミングとしてそれぞれ下記の 2 通りの設定が可能です。送受信タイミングの設定は SICTR の TEDG、REDG ビットで行います。

- 立ち上がりサンプリング
- 立ち下がりサンプリング

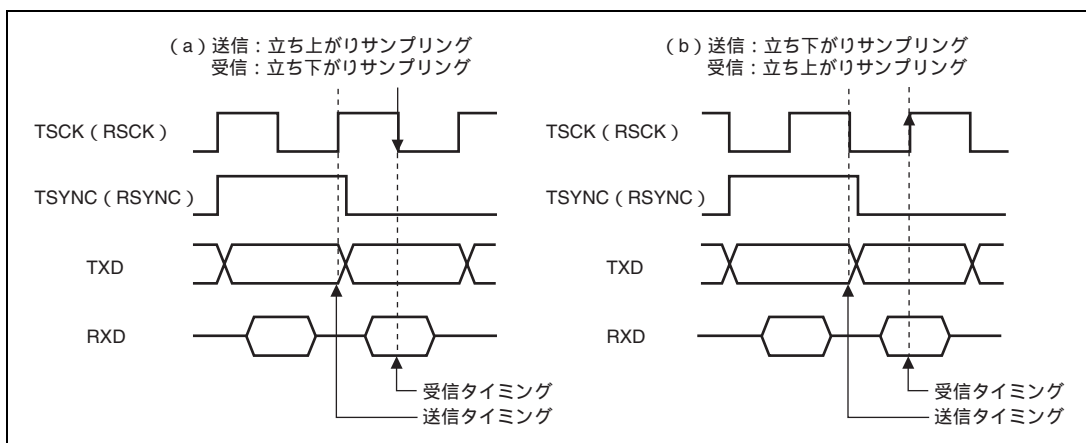


図 25.7 送受信タイミング

25.4.4 制御データインタフェース

SITMDR2 および SIRMDR2 の各 CRDE ビットで設定されたグループは、FIFO には入力されず SITDR1/SITDR2、SIRDR1/SIRDR2 レジスタに入力されるデータとして扱います。

送受信方式として下記 2 方式があります。これらは SITMDR2、SIRMDR2 の各 CRDNUM ビットで設定可能です。それぞれ図 25.8 のように割り当てられます。

- グループ先頭ワードのみ有効データとして送受信
- グループ内のワードすべてを有効データとして送受信

送信無効データ部分は TXDIZ ビットで設定した値が出力されます。受信無効データは SIRDR1/SIRDR2 には反映されません。

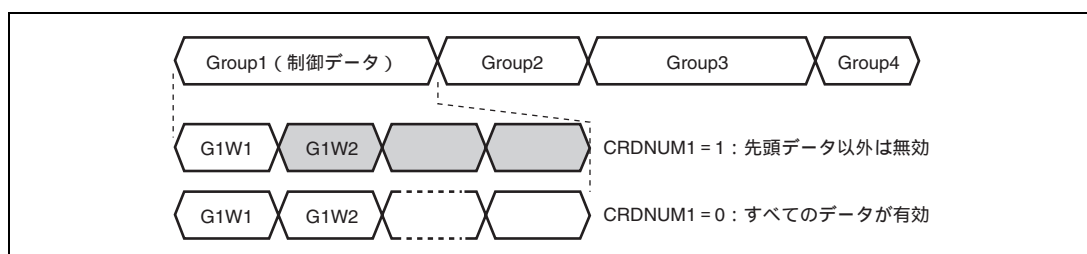


図 25.8 制御データの割り当て

25.4.5 転送データのレジスタ割り付け

(1) 送受信データ

送受信データ (FIFO、制御データ) の書き込み / 読み出しは下記のレジスタに対して行います。

- 送信FIFOデータ書き込み: SITFDR (32ビット / 16ビットアクセス)
- 送信制御データ書き込み: SITDR1、SITDR2 (32ビット / 16ビットアクセス)
- 受信FIFOデータ読み出し: SIRFDR (32ビット / 16ビットアクセス)
- 受信制御データ読み出し: SIRDR1、SIRDR2 (32ビット / 16ビットアクセス)

16 ビットアクセスを行う場合、FIFO データについては上位 16 ビットアクセスのみ可能です。制御データについては、上位および下位 16 ビットごとのアクセスが可能です。

送信 FIFO データアクセス幅に対してワードビット長が短い場合、上位側のビットが有効データとして送信されます。たとえば、32 ビットアクセスで送信 FIFO に書き込み、16 ビット長ワードを送信する場合、上位 16 ビットが送信されて下位 16 ビットは無効データとして破棄されます。

同様に、受信 FIFO データアクセス幅に対してワードビット長が長い場合、上位側のビットが有効データとして受信されます。たとえば、32 ビット長データが受信 FIFO に書き込まれ、16 ビットアクセスを行った場合、下位 16 ビットは無効データとして破棄されます。

図 25.9 に上記レジスタのビットアライメントを示します。

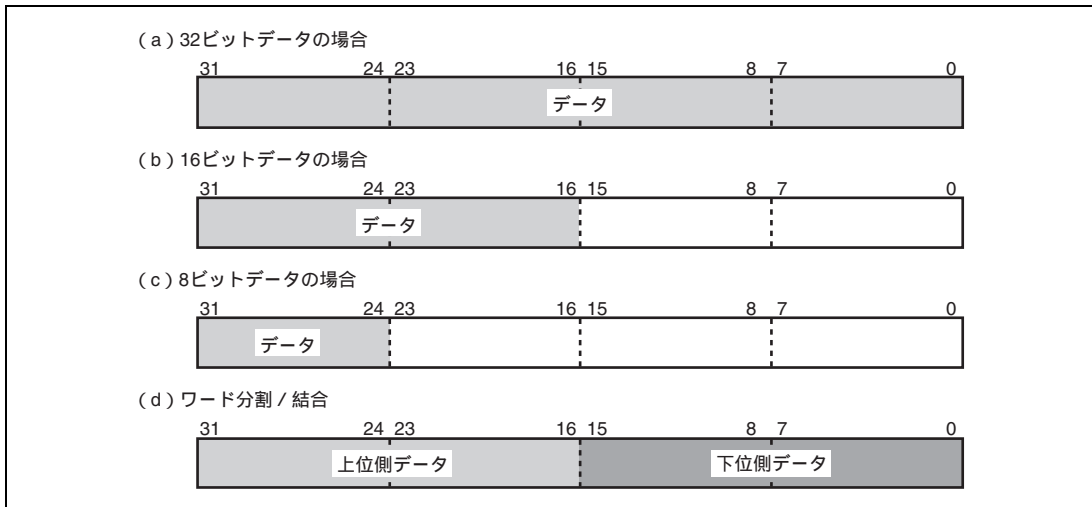


図 25.9 送受信データビットアライメント

25.4.6 FIFO

(1) 概要

MSIOF 送受信 FIFO の特長を以下に示します。

- 送信32ビット×64段、受信32ビット×64段の容量
- CPU、DMACのアクセスサイズにかかわらず、1回の読み出し / 書き込みサイクルでポインタは更新されます。
(1回のアクセスを複数回に分割することは不可能です。)

(2) 転送要求

FIFO の転送要求は、以下に記す割り込み要因として CPU および DMAC に出力することが可能です。

- 送信要求：TDREQ (送信用割り込み要因)
- 受信要求：RDREQ (受信用割り込み要因)

送受信 FIFO 送信要求を発行する条件は、それぞれ個別に設定が可能です。送信要求の条件は SIFCTR の TFWM[2:0]ビットに、受信 FIFO の転送要求は RFWM[2:0]ビットに設定します。

表 25.5 送信要求発行条件

TFWM[2:0]	リクエスト段数	送信要求発行	使用領域
000	1	空き領域が 64 段	小  大
001	32	空き領域が 32 段以上	
010	40	空き領域が 24 段以上	
011	48	空き領域が 16 段以上	
100	52	空き領域が 12 段以上	
101	56	空き領域が 8 段以上	
110	60	空き領域が 4 段以上	
111	64	空き領域が 1 段以上	

表 25.6 受信要求発行条件

RFWM[2:0]	リクエスト段数	受信要求発行	使用領域
000	1	有効データが 1 段以上	小  大
001	4	有効データが 4 段以上	
010	8	有効データが 8 段以上	
011	16	有効データが 16 段以上	
100	24	有効データが 24 段以上	
101	32	有効データが 32 段以上	
110	48	有効データが 48 段以上	
111	64	有効データが 64 段	

データ領域または空き領域が上記の段数を超えた場合でも、FIFO の段数は常に最大段数まで使用可能です。したがって、オーバーフローまたはアンダフローエラーは、データ領域または空き領域が最大段数を超えた場合に発行されます。

また、転送要求は FIFO が空または満杯にならなくても、上記の条件を満たさなくなった時点で解除します。

(a) 段数表示

送受信 FIFO の使用状況を下記の内容でレジスタに表示します。

- 送信FIFO : SIFCTRのTFUA[6:0]ビットに空き領域の段数を表示
- 受信FIFO : SIFCTRのRFUA[6:0]ビットに有効データの段数を表示

上記の内容は、CPU または DMAC が転送可能なデータ数を表します。

25.4.7 送受信手順

(1) マスタ時送信

図 25.10 にマスタ時送信の設定例および動作を示します。

No.	タイムチャート	設定内容	動作
1	SITMDRレジスタ、SITSCRレジスタ、SIFCTRレジスタ、SIHERレジスタの設定	動作モード、シリアルクロック、FIFO要求しきい値、割り込み許可の設定	
2	SICTRレジスタの設定、TSCKEビットに1を設定	出力サンプリング設定、ポーレートジェネレータ動作開始	シリアルクロック出力
3	TSCKEビットから1を読み出し		
4	SITFDRレジスタ、SITDR1/2レジスタの設定	送信データを設定	
5	SICTRレジスタのTXEビットに1を設定	送信イネーブルを設定	
6	TXEビットから1を読み出し		
7	SICTRレジスタのTFSEビットに1を設定	フレーム同期信号の出力開始を設定	フレーム同期信号出力
8	TFSEビットから1を読み出し		
9	MSIOFTSYNCに同期してSITFDR、SITDR1/2の内容をTXDから送出		送信
10			送信FIFOしきい値に従い送信転送要求を発行
11	SITFDRレジスタの設定	送信データを設定	
12		送信ディスエーブル、フレーム同期信号出力ディスエーブルに設定	送信終了

図 25.10 マスタ時送信動作例

(2) マスタ時受信

図 25.11 にマスタ時受信の設定例および動作を示します。

No.	タイムチャート	設定内容	動作
1		動作モード、シリアルクロック、SIRSCRレジスタ、SIFCTRレジスタ、SIERレジスタの設定	
2		SICTRレジスタの設定、RSCKEビットに1を設定	シリアルクロック出力
3		RSCKEビットから1を読み出し	
4		SICTRレジスタのRXEビットに1を設定	送信イネーブル設定
5		RXEビットから1を読み出し	
6		SICTRレジスタのRFSEビットに1を設定	フレーム同期信号の出力開始を設定
7		RFSEビットから1を読み出し	フレーム同期信号出力
8		MSIOFRSYNCに同期してRXDからの受信データをSIRFDR、SIRDR1/2に格納	受信
9			受信FIFOしきい値に従い受信転送要求を発行
10		SIRFDRレジスタの設定	受信データ読み出し
11		受信データ読み出し	受信データ読み出し
		RXEビット、RFSEビットに0を設定	受信データ読み出し
		受信ディスエーブル、フレーム同期信号出力ディスエーブルに設定	受信終了

図 25.11 マスタ時受信動作例

(3) スレープ送信

図 25.12 にスレープ時送信の設定例および動作を示します。

No.	タイムチャート	設定内容	動作
1	SITMDRレジスタ、SIFCTRレジスタ、SIHERレジスタの設定	動作モード、FIFO要求しきい値、割り込み許可の設定	
2	SITFDRレジスタ、SITDR1/2レジスタの設定	送信データを設定	
3	SICTRレジスタのTXEビットに1を設定	送信イネーブルを設定	
4	TXEビットから0を読み出し		
5	MSIOFTSYNCに同期してSITFDR、SITDR1/2の内容をTXDから送出		送信
6			送信FIFOしきい値に従い送信転送要求を発行
7	SITFDRレジスタの設定	送信データを設定	
8		送信ディスエーブルを設定	送信終了

図 25.12 スレープ時送信動作例

(4) スレープ時受信

図 25.13 にスレープ時受信の設定例および動作を示します。

No.	タイムチャート	設定内容	動作
1		動作モード、 FIFO要求しきい値、 割り込み許可の設定	
2		出力サンプリング設定、 受信イネーブルを設定	
3		MSIOFRSYNCに同期して RXDからの受信データをSIRFDR、 SIRD1/2へ格納	受信
4			受信FIFOしきい値に従い 受信転送要求を発行
5		SIRFDRレジスタの読み出し	
6		受信ディスエーブル、 フレーム同期信号出力ディスエーブルに設定	受信終了

図 25.13 スレープ時受信動作例

(5) リセット

パワーオンリセット終了後、モジュールストップ解除後および SICTR の TXRST/RXRST アサート後から、モジュール内部のリセットが終了するまで B 20 サイクル程度要します。リセット開始から TXRST/RXRST の値として 0 が読み出されるまで、コントロールレジスタ設定の書き込み、FIFO の書き込みおよび読み出しを行わないでください。

MSIOF は、下記ビットに 1 を設定することにより、送信部と受信部を個別にリセットすることが可能です。

- 送信リセット：SICTRのTXRSTビット
- 受信リセット：SICTRのRXRSTビット

表 25.7 送受信リセット

種類	初期化対象
送信リセット	SITDR1、SITDR2、SITFDR レジスタ 送信 FIFO ライトポインタ SISTR の TCRDY ビット、TFEMP ビット、TDREQ ビット SICTR の TXE ビット
受信リセット	SIRDR1、SIRDR2、SIRFDR レジスタ 受信 FIFO リードポインタ SISTR の RCRDY ビット、RFFUL ビット、RDREQ ビット SICTR の RXE ビット

(6) 動作モード初期値

パワーオンリセット時、送受信ともにマスタ側に設定されます (CLK、SYNC ともに 0 出力)。スレーブモード使用時は、動作モードの設定を行うまで接続先デバイスの出力を 0 としてください。

25.4.8 割り込み

MSIOF は 1 種類の割り込みを持っています。

(1) 割り込み要因

割り込みはそれぞれ複数の要因によって発行することができます。各要因は SISTR に MSIOF ステータスとして表示します。表 25.8 に MSIOF 割り込み要因一覧を示します。

表 25.8 MSIOF 割り込み要因

No.	区分	ビット名	機能名称	内 容
1	送信	TDREQ	送信 FIFO 転送要求	送信 FIFO の空き領域が設定値以上になった
2		TFEMP	送信 FIFO エンプティ	送信 FIFO が空である
3	受信	RDREQ	受信 FIFO 転送要求	受信 FIFO に設定値以上のデータが格納された
4		RFFUL	受信 FIFO フル	受信 FIFO が満杯である
5	制御	TCRDY	送信制御データレディ	送信制御データレジスタに書き込みが可能である
6		RCRDY	受信制御データレディ	受信制御データレジスタに有効な値が格納された
7	エラー	TFUDF	送信 FIFO アンダフロー	送信 FIFO が空時にシリアル送出タイミングが来た
8		TFOVF	送信 FIFO オーバフロー	送信 FIFO が満杯時に送信 FIFO に書き込みを行った
9		RFOVF	受信 FIFO オーバフロー	受信 FIFO が満杯時にシリアルデータを受信した
10		RFUDF	受信 FIFO アンダフロー	受信 FIFO が空時に受信 FIFO 読み出しを行った
11		TFSEERR	送信 FS エラー	設定ビット数以前に送信フレーム同期信号が入力された (スレープ時)
12		RFSERR	受信 FS エラー	設定ビット数以前に受信フレーム同期信号が入力された (スレープ時)

割り込み要因によって割り込みを発行するかどうかは、SIHER への設定によって決定します。SIHER の対応するビットに 1 が設定してある割り込み要因が 1 にセットされたときに MSIOF 割り込みを発行します。

(2) TDREQ / RDREQ について

送信 FIFO 転送要求(TDREQ)、受信 FIFO 転送要求(RDREQ)は状態を表す信号であり、いったんセットされてもその後状態が変化すると MSIOF が自動的にクリアします。ただし、DMA 転送を用いた場合には、DMA 転送が終了した時点で、DMA 転送要求は必ず 1 サイクル期間ローレベルとなります。

(3) エラー発生時の処理

- 送信FIFOアンダフロー (TFUDF)

SICTRのTXDIZで指定された値を出力します。

- 送信FIFOオーバフロー (TFOVF)

送信FIFOの内容は保護され、オーバフローとなった書き込みは無視します。

- 受信FIFOオーバフロー (RFOVF)

オーバフローとなったデータが廃棄され、消失します。

- 受信FIFOアンダフロー (RFUDF)
不定値がバス上に出力されます。
- 送信FSエラー (TFSERR)
エラーとなった同期信号に従い、内部カウンタはリセットされます。
- 受信FSエラー (RFSERR)
エラーとなった同期信号に従い、内部カウンタはリセットされます。

25.4.9 送受信タイミング

MSIOF のシリアル送受信の例を図 25.14、図 25.15 に示します。

(1) 16 ビット同期パルス

同期パルス方式、グループ数 1、ワード数 1、ワード長 16 ビット、ビット遅延 0

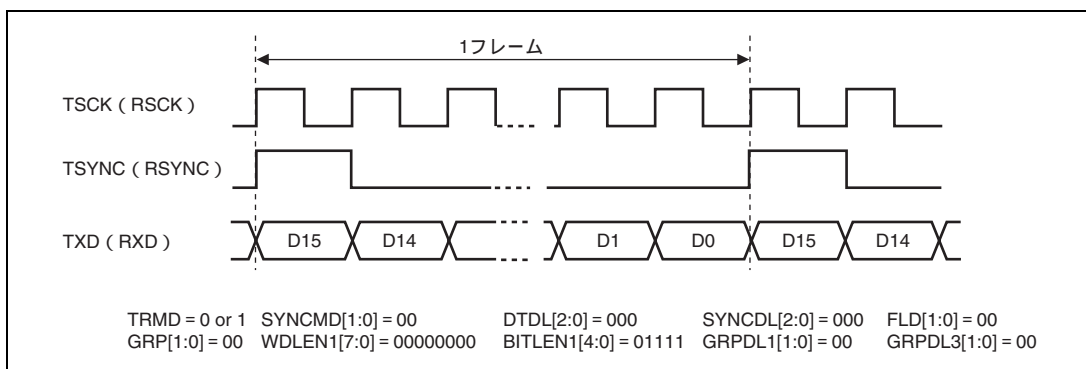


図 25.14 送受信タイミング (16 ビット)

(2) 32 ビット同期パルス

同期パルス方式、グループ数 1、ワード数 32、ワード長 32 ビット、ビット遅延 1 ビット

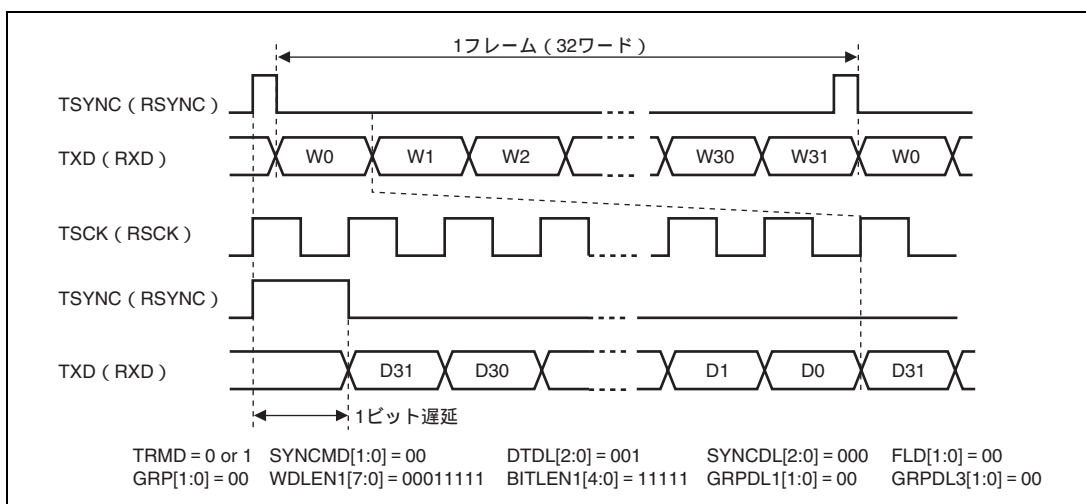


図 25.15 送受信タイミング (32 ビット)

(3) 24 ビット IIS 送信

L/R 方式、グループ数 2、ワード数各 1、ワード長各 24 ビット、ビット遅延 1 ビット

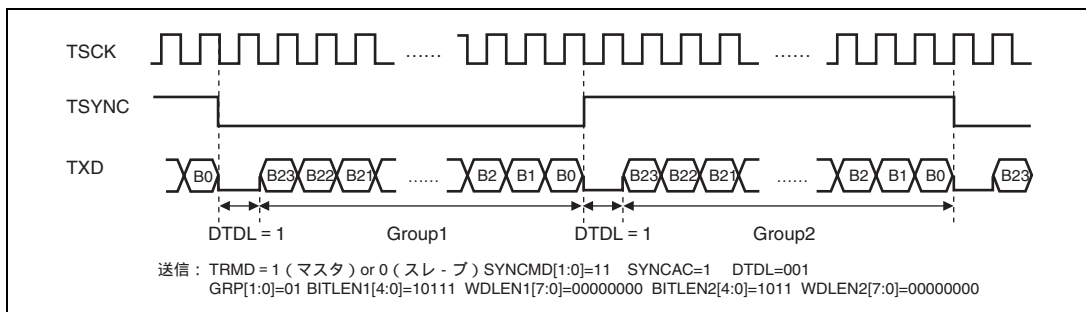
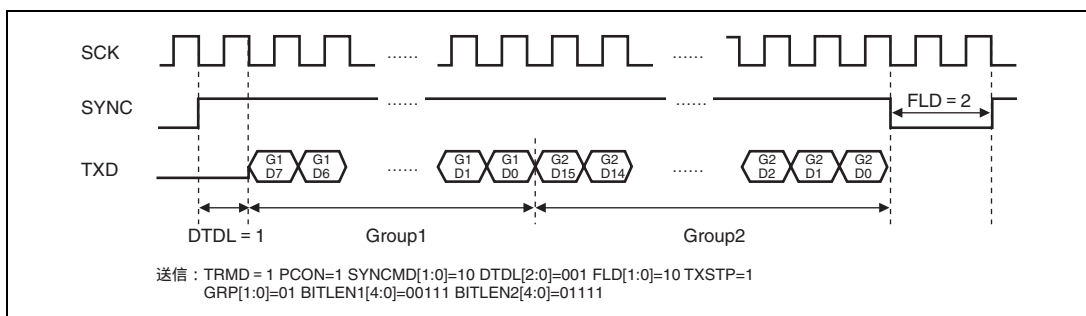


図 25.16 送信タイミング (24 ビット IIS)

(4) μ -WIRE (送信のみ)

レベル方式、グループ数 2、ワード数各 1、ワード長 8/16 ビット、ビット遅延 1 ビット

図 25.17 送信タイミング (μ -WIRE 送信)

(5) μ -WIRE (送受信切り替え)

レベル方式、グループ数 2、ワード数各 1、ワード長 16/32 ビット、ビット遅延 1 ビット、
送信グループ 1 出カマスク、受信グループ 2 入カマスク

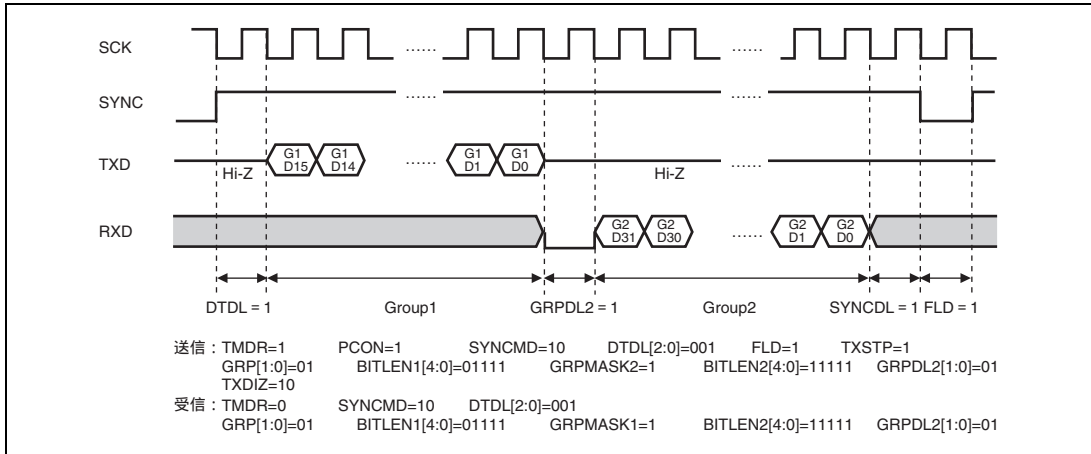


図 25.18 送受信タイミング (μ -WIRE)

25.4.10 SPI

レジスタ設定により、SPI デバイスとして動作させることが可能です。

(1) SPI デバイス接続例

図 25.19 に SPI デバイスとの接続例を示します。

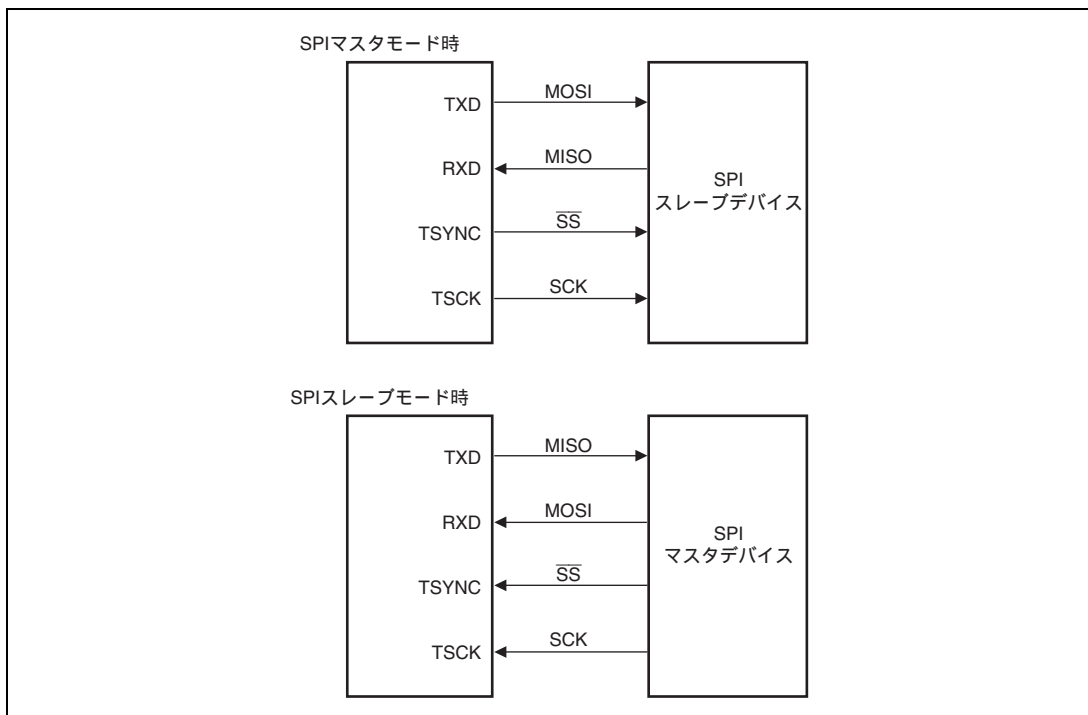


図 25.19 SPI デバイスとの接続例

(2) SPI シリアルクロックタイミング

図 25.20、図 25.21 に SPI 動作時のデータ/クロックのタイミングを示します。図に示すように 4 通りのシリアル転送フォーマットを選択できます。

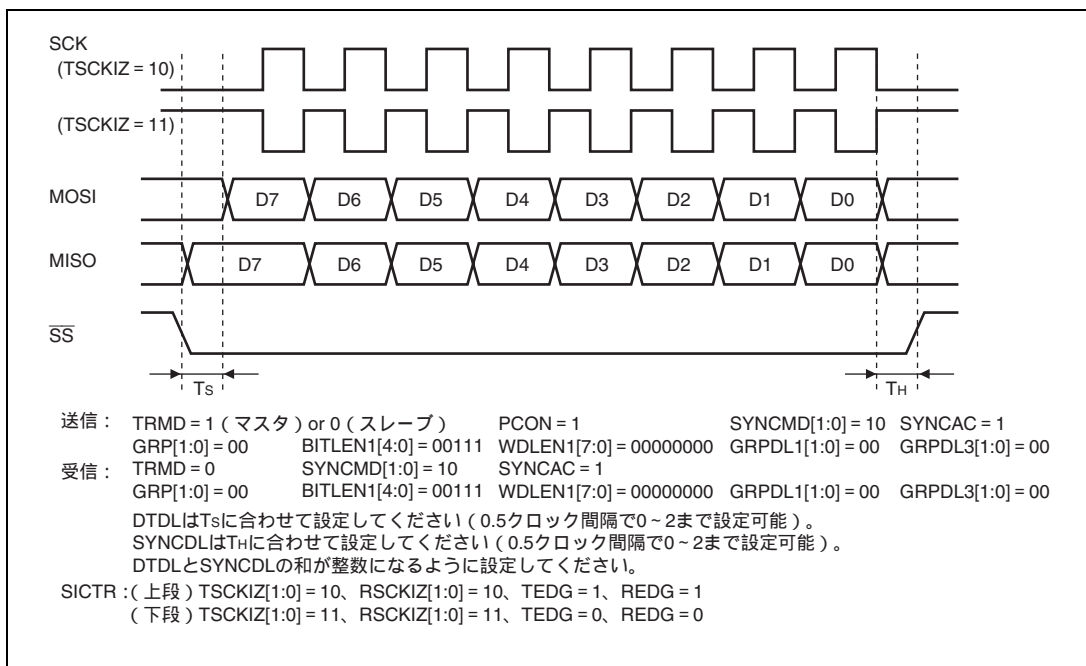


図 25.20 SPI クロック / データのタイミング 1

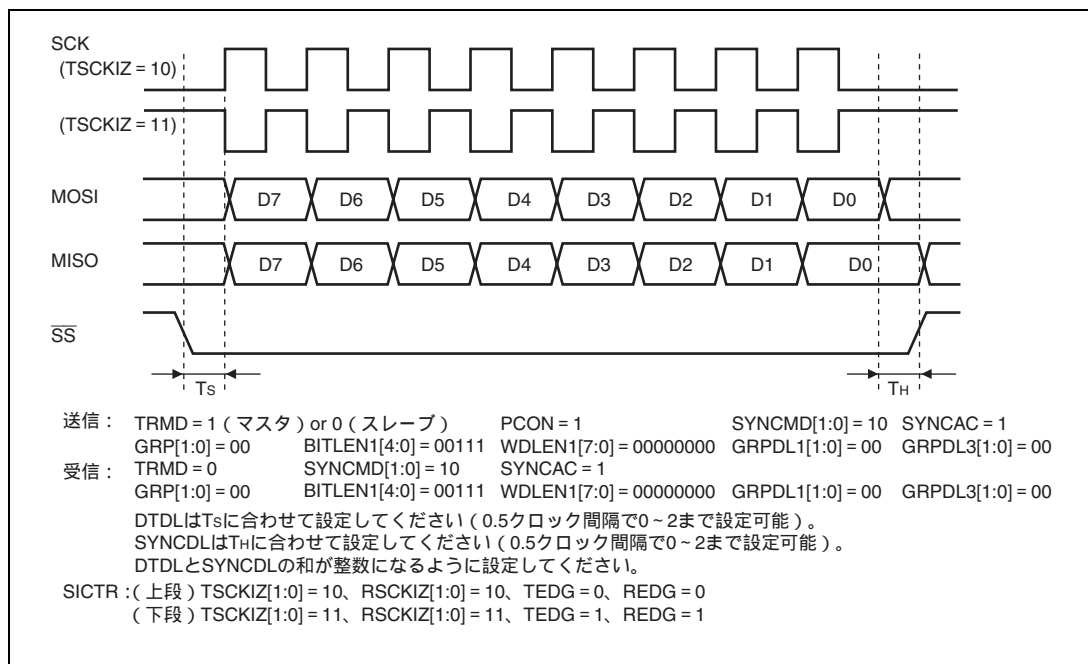


図 25.21 SPI クロック / データのタイミング 2

25.4.11 SPI モード使用時の注意事項

- SPIマスタモード使用時は、SITMDR1レジスタのFLDビットをB 4サイクル分以上になるように設定してください。
- SPIスレーブモード使用時は、フレーム同期信号の間隔をB 4サイクル分以上になるように設定してください。
- SPIモード使用時は、モジュールストップ解除または送信 / 受信リセットを行った場合、SICTRレジスタの受信系設定ビット (RSCKIZ、REDG) をそれぞれ0にしてから再設定してください。

26. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

本 LSI は、FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を 3 チャンネル (チャンネル 0 ~ チャンネル 2) 内蔵しています。SCIF は、調歩同期式とクロック同期式の 2 方式でシリアル通信ができます。

送受信 FIFO バッファおのおのに 16 段のバッファを内蔵しており、効率の良い高速連続通信が可能です。

26.1 特長

SCIF には次のような特長があります。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

- データ長 : 7 ビット、または 8 ビット
- ストップビット長 : 1 ビット、または 2 ビット
- パリティ : 偶数パリティ、奇数パリティ、またはパリティなし
- 受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出
- ブレークの検出 : フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信ができます。シリアルデータ通信フォーマットは 1 種類です。

- データ長 : 8 ビット
- 受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また送信部および受信部ともに 16 段の FIFO バッファ構造になっているのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- クロックソース：ポーレートジェネレータからの内部クロック、あるいはSCK端子からの外部クロックから選択可能
- 4種類の割り込み要因
送信FIFOデータエンプティ、ブレイク、受信FIFOデータフル、受信エラーの4種類の割り込みチャンネルごとに要因があり、チャンネルごと独立に要求することができます。
- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 調歩同期式モードにおいて、受信時、タイムアウトエラー (DR) を検出できます。

図 26.1 に SCIF のブロック図を示します。

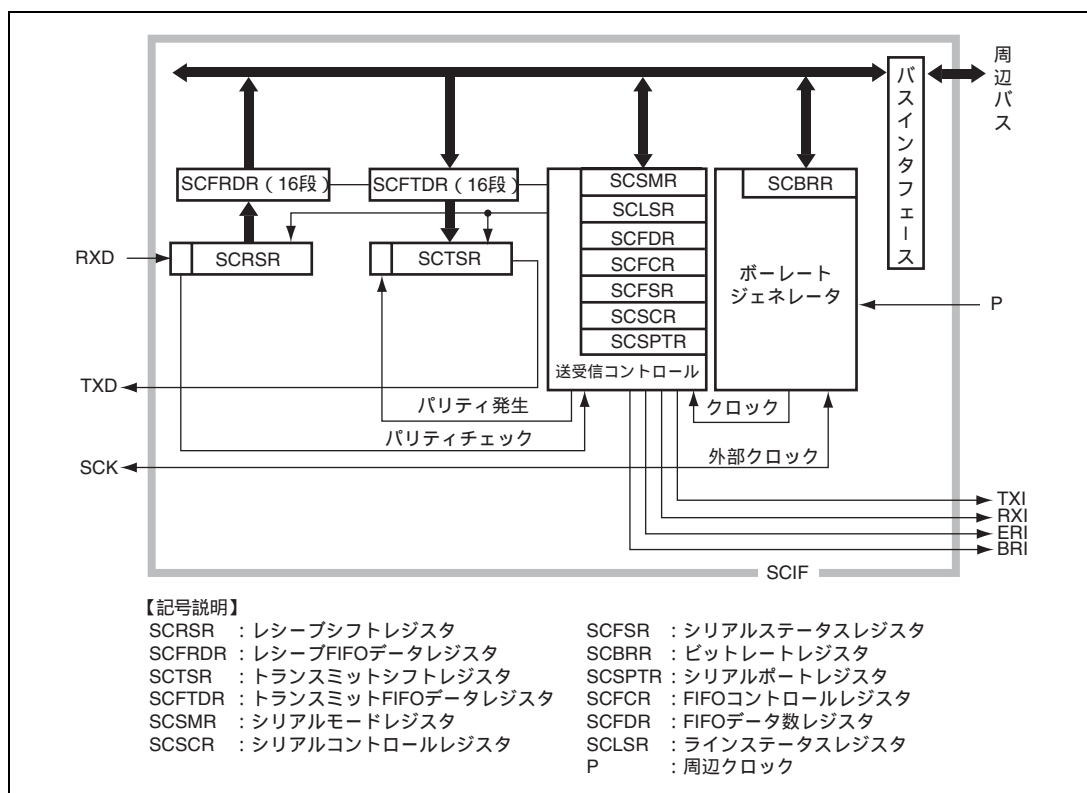


図26.1 SCIFのブロック図

26.2 入出力端子

SCIF の端子構成を表 26.1 に示します。

表26.1 端子構成

チャンネル	端子名	機能	入出力	説明
0	SCIF0_TXD	送信データ	出力	送信データ用の端子です。
	SCIF0_RXD	受信データ	入力	受信データ用の端子です。
	SCIF0_SCK	シリアルクロック	入出力	クロック入出力端子です。
1	SCIF1_TXD	送信データ	出力	送信データ用の端子です。
	SCIF1_RXD	受信データ	入力	受信データ用の端子です。
	SCIF1_SCK	シリアルクロック	入出力	クロック入出力端子です。
2	SCIF2_TXD	送信データ	出力	送信データ用の端子です。
	SCIF2_RXD	受信データ	入力	受信データ用の端子です。
	SCIF2_SCK	シリアルクロック	入出力	クロック入出力端子です。

【注】 本文中では、チャンネルを省略し、総合の名称として TXD、RXD、SCK を使用します。

26.3 レジスタの説明

SCIF のレジスタ構成を表 26.2 に示します。また、各処理モードにおけるレジスタの状態を表 26.3 に示します。

表26.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
シリアルモードレジスタ 0	SCSMR0	R/W	H'FFE0 0000	16
ビットレートレジスタ 0	SCBRR0	R/W	H'FFE0 0004	8
シリアルコントロールレジスタ 0	SCSCR0	R/W	H'FFE0 0008	16
トランスミット FIFO データレジスタ 0	SCFTDR0	W	H'FFE0 000C	8
シリアルステータスレジスタ 0	SCFSR0	R/W	H'FFE0 0010	16
レシーブ FIFO レジスタ 0	SCFRDR0	R	H'FFE0 0014	8
FIFO コントロールレジスタ 0	SCFCR0	R/W	H'FFE0 0018	16
FIFO データ数レジスタ 0	SCFDR0	R	H'FFE0 001C	16
ラインステータスレジスタ 0	SCLSR0	R/W	H'FFE0 0024	16
シリアルモードレジスタ 1	SCSMR1	R/W	H'FFE1 0000	16
ビットレートレジスタ 1	SCBRR1	R/W	H'FFE1 0004	8
シリアルコントロールレジスタ 1	SCSCR1	R/W	H'FFE1 0008	16
トランスミット FIFO データレジスタ 1	SCFTDR1	W	H'FFE1 000C	8
シリアルステータスレジスタ 1	SCFSR1	R/W	H'FFE1 0010	16
レシーブ FIFO レジスタ 1	SCFRDR1	R	H'FFE1 0014	8
FIFO コントロールレジスタ 1	SCFCR1	R/W	H'FFE1 0018	16
FIFO データ数レジスタ 1	SCFDR1	R	H'FFE1 001C	16
ラインステータスレジスタ 1	SCLSR1	R/W	H'FFE1 0024	16
シリアルモードレジスタ 2	SCSMR2	R/W	H'FFE2 0000	16
ビットレートレジスタ 2	SCBRR2	R/W	H'FFE2 0004	8
シリアルコントロールレジスタ 2	SCSCR2	R/W	H'FFE2 0008	16
トランスミット FIFO データレジスタ 2	SCFTDR2	W	H'FFE2 000C	8
シリアルステータスレジスタ 2	SCFSR2	R/W	H'FFE2 0010	16
レシーブ FIFO レジスタ 2	SCFRDR2	R	H'FFE2 0014	8
FIFO コントロールレジスタ 2	SCFCR2	R/W	H'FFE2 0018	16
FIFO データ数レジスタ 2	SCFDR2	R	H'FFE2 001C	16
ラインステータスレジスタ 2	SCLSR2	R/W	H'FFE2 0024	16

表26.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
SCSMR0	初期化	初期化	保持	保持	初期化	初期化	保持
SCBRR0	初期化	初期化	保持	保持	初期化	初期化	保持
SCSCR0	初期化	初期化	保持	保持	初期化	初期化	保持
SCFTDR0	初期化	初期化	保持	保持	初期化	初期化	保持
SCFSR0	初期化	初期化	保持	保持	初期化	初期化	保持
SCFRDR0	初期化	初期化	保持	保持	初期化	初期化	保持
SCFCR0	初期化	初期化	保持	保持	初期化	初期化	保持
SCFDR0	初期化	初期化	保持	保持	初期化	初期化	保持
SCLSR0	初期化	初期化	保持	保持	初期化	初期化	保持
SCSMR1	初期化	初期化	保持	保持	初期化	初期化	保持
SCBRR1	初期化	初期化	保持	保持	初期化	初期化	保持
SCSCR1	初期化	初期化	保持	保持	初期化	初期化	保持
SCFTDR1	初期化	初期化	保持	保持	初期化	初期化	保持
SCFSR1	初期化	初期化	保持	保持	初期化	初期化	保持
SCFRDR1	初期化	初期化	保持	保持	初期化	初期化	保持
SCFCR1	初期化	初期化	保持	保持	初期化	初期化	保持
SCFDR1	初期化	初期化	保持	保持	初期化	初期化	保持
SCLSR1	初期化	初期化	保持	保持	初期化	初期化	保持
SCSMR2	初期化	初期化	保持	保持	初期化	初期化	保持
SCBRR2	初期化	初期化	保持	保持	初期化	初期化	保持
SCSCR2	初期化	初期化	保持	保持	初期化	初期化	保持
SCFTDR2	初期化	初期化	保持	保持	初期化	初期化	保持
SCFSR2	初期化	初期化	保持	保持	初期化	初期化	保持
SCFRDR2	初期化	初期化	保持	保持	初期化	初期化	保持
SCFCR2	初期化	初期化	保持	保持	初期化	初期化	保持
SCFDR2	初期化	初期化	保持	保持	初期化	初期化	保持
SCLSR2	初期化	初期化	保持	保持	初期化	初期化	保持

26.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCFRDR へ転送されます。

SCRSR は、CPU から直接読み出し / 書き込みできません。

26.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 16 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので、CPU から書き込むことはできません。

また、SCFRDR に受信データがない状態で読み出した値は不定値になります。SCFRDR 内の受信データがいっぱいになると、以降の受信したシリアルデータは失われます。

ビット	ビット名	初期値	R/W	説明
7~0	SCFRD[7:0]	不定	R	シリアル受信データ用 FIFO

26.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると、自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

SCTSR は、CPU から直接読み出し / 書き込みできません。

26.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、SCTSR が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

SCFTDR は、書き込み専用レジスタですので、CPU から読み出すことはできません。SCFTDR 内の送信データが 16 バイトでいっぱいときは、次のデータを書き込むことはできません。書き込んだデータは無視されます。

ビット	ビット名	初期値	R/W	説明
7~0	SCFTD[7:0]	不定	W	シリアル送信データ用 FIFO

26.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CA	CHR	PE	OE	STOP	—	—	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	CA	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードまたはクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。7 ビットデータを選択した場合、SCFTDR の MSB (ビット 7) は送信されません。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0: 8 ビットデータ 1: 7 ビットデータ
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。 クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。 0: パリティビットの付加、およびチェックを禁止 1: パリティビットの付加、およびチェックを許可* 【注】* PE ビットに 1 をセットすると、送信時には、OE ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが OE ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット	ビット名	初期値	R/W	説明
4	OE	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。</p> <p>OE ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。</p> <p>クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、OE ビットの指定は無効です。</p> <p>0 : 偶数パリティ*¹</p> <p>1 : 奇数パリティ*²</p> <p>【注】*1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを 1 ビット/2 ビットのいずれかから選択します。</p> <p>受信時には、STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>ストップビットの設定は調歩同期式モードでのみ有効です。</p> <p>クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0 : 1 ストップビット*¹</p> <p>1 : 2 ストップビット*²</p> <p>【注】*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。</p> <p>*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1, 0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00 : P クロック</p> <p>01 : P /4 クロック</p> <p>10 : P /16 クロック</p> <p>11 : P /64 クロック</p> <p>【注】P : 周辺クロック</p>

26.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	—	—	CKE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル SCFTDR から SCTSR ヘシリアル送信データが転送され、SCFTDR 内のデータ数が送信トリガ設定数以下になり、SCFSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。 TXI 割り込み要求の解除は、TDFE フラグの 1 を読み出した後で SCFTDR に送信トリガ設定数より多い送信データを書き込み、TDFE を 0 にクリアするか、TIE を 0 にクリアすることで行うことができます。 0: 送信 FIFO データエンプティ割り込み要求を禁止 1: 送信 FIFO データエンプティ割り込み要求を許可
6	RIE	0	R/W	レシーブインタラプトイネーブル SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブレーク割り込み (BRI) 要求の発生を許可 / 禁止します。 RXI 割り込み要求の解除は、RDF または DR フラグの 1 を読み出した後で 0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。 0: 受信データフル割り込み要求、受信エラー割り込み要求、およびブレーク割り込み要求を禁止 1: 受信データフル割り込み要求、受信エラー割り込み要求、およびブレーク割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可 / 禁止します。</p> <p>TE ビットが 1 のときに、SCFTDR に送信データを書き込むとシリアル送信を開始します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* TE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可 / 禁止します。</p> <p>RE ビットが 1 のときに調歩同期モードの場合はスタートビットを、クロック同期モードでは同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>0 : 受信動作を禁止*¹</p> <p>1 : 受信動作を許可*²</p> <p>【注】*1 RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*2 RE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>ERI 割り込み要求、BRI 割り込み要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後で 0 にクリアするか、RIE と REIE ビットを 0 にクリアすることで行えます。</p> <p>RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p> <p>0 : 受信エラー割り込み要求、ブ레이크割り込み要求を禁止</p> <p>1 : 受信エラー割り込み要求、ブ레이크割り込み要求を許可</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>SCIFのクロックソースの選択、およびSCK端子からのクロック出力の許可/禁止を設定します。CKE[1:0]ビットによってSCK端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。SCSMRでSCIFの動作モードを決定する前に、必ずCKE[1:0]ビットの設定をしてください。</p> <ul style="list-style-type: none"> 調歩同期式 <ul style="list-style-type: none"> 00: 内部クロック / SCK端子は入力端子 (入力信号は無視) 01: 設定禁止 10: 外部クロック / SCK端子はクロック入力* 11: 設定禁止 クロック同期式 <ul style="list-style-type: none"> 00: 設定禁止 01: 内部クロック / SCK端子は同期クロック出力** 10: 外部クロック / SCK端子は同期クロック入力 11: 設定禁止 <p>【注】 *1 入力クロックの周波数はビットレートの16倍。 *2 出力クロックの周波数はビットレートと同じです。</p>

26.3.7 シリアルステータスレジスタ (SCFSR)

SCFSRは16ビット長のレジスタです。上位8ビットはSCFRDR内のデータの受信エラー数を、下位8ビットはSCIFの動作状態を示します。

SCFSRの上位8ビットは常にCPUから読み出すことができます。SCFSRの下位8ビットは常にCPUから読み出し/書き込みできます。ただし、ER、TEND、TDFE、BRK、RDF、DRの各フラグへ1を書き込むことはできません。また、これらを0にクリアするためには、あらかじめ1を読み出ししておく必要があります。なお、FERフラグ、およびPERフラグは読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PERC[3:0]				FERC[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R	R	R/W*	R/W*

【注】 * フラグをクリアするために0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~12	PERC[3:0]	0000	R	<p>パリティエラー数</p> <p>SCFRDRに格納されている受信データで、パリティエラーの発生しているデータ数を示します。SCFSRのERビットがセットされた後、PERCビットで示される値がパリティエラー発生データ数を示します。SCFRDRの16ビットの受信データのすべてがパリティエラーを伴う場合、PERCビットは0を表示します。</p>

ビット	ビット名	初期値	R/W	説明
11~8	FERC[3:0]	0000	R	<p>フレーミングエラー数</p> <p>SCFRDR に格納されている受信データで、フレーミングエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、FERC ビットで示される値がフレーミングエラー発生データ数を示します。SCFRDR の 16 ビットの受信データのすべてがフレーミングエラーを伴う場合、FERC ビットは 0 を表示します。</p>
7	ER	0	R/W*	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、パリティエラーが発生したことを示します。SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出すデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ER=1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき • 2 ストップモードのときは 1 ビット目のストップビットが 1 であるかどうかのみを判定し 2 ストップビット目のストップビットはチェックしません。 • 受信時の受信データとパリティビットを合わせた 1 の数が SCSMR の OE ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/W*	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCFTDR に送信データを書き込み、TEND = 1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき DMAC で SCFTDR ヘデータを書き込んだとき <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR に送信データがないとき
5	TDFE	1	R/W*	<p>トランスミット FIFO データエンpty</p> <p>SCFTDR から SCTSR にデータ転送が行われ、SCFTDR 内のデータ数が SCFCR の TTRG ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDFE = 1 の状態を読み出した後、SCFTDR に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき DMAC で SCFTDR に送信トリガ設定数を超えるデータを書き込んだとき <p>1: SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき <p>【注】 SCFTDR は 16 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、16 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCFCR の上位ビットに示されます。</p>

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/W*	<p>ブレイク検出</p> <p>受信データのブレイク信号を検出して示します。</p> <p>0: ブレイク信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • BRK = 1 の状態を読み出した後、0 を書き込んだとき <p>1: ブレイク信号を受信したことを表示</p> <p>ブレイク検出すると検出後の受信データ (H'00) の SCFRDR 転送は停止します。ブレイクが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、次に SCFRDR から読み出すデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/W*	<p>レシーブ FIFO データフル 受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0 : SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • RDF = 1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数以上の受信データが格納されたとき <p>【注】 SCFRDR は 16 バイトの FIFO レジスタです。RDF が 1 のとき少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCFCR の下位ビットに示されます。</p>
0	DR	0	R/W*	<p>レシーブデータレディ 調歩同期モードで、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上、次のデータが来ないことを示します。クロック同期モードに設定した場合はセットされません。</p> <p>0 : 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • DR = 1 を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき • DMAC で SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上次のデータが来ないとき <p>【注】 15ETU 時間は 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。</p>

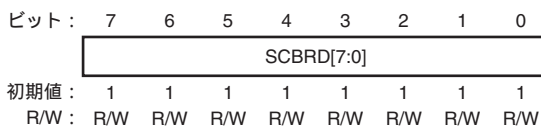
【記号説明】 ETU (Elementary Time Unit : 1 ビットの転送期間の略)

【注】 * フラグをクリアするために 0 を書き込むことのみ可能です。

26.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、SCSMR の CKS[1:0] ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し / 書き込みが可能です。



ビット	ビット名	初期値	R/W	説明
7~0	SCBRD[7:0]	H'FF	R/W	ビットレート設定

SCBRR の設定値は以下の計算式で求められます。

[調歩同期式モード]

$$N = \{ P / (64 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

[クロック同期式モード]

$$N = \{ P / (8 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 (0 N 255)

(電気的特性を満足する設定値としてください)

P : 周辺クロック周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は、表 26.4 を参照してください)

表26.4 SCSMR の設定値

n	クロックソース	SCSMR の設定値
		CKS[1:0]
0	P	00
1	P /4	01
2	P /16	10
3	P /64	11

【注】 調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \{ \{ P / ((N+1) \times 64 \times 2^{2n-1} \times B) \} \times 10^6 - 1 \} \times 100$$

26.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は送信 / 受信各 FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し / 書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RTRG[1:0]	TTRG[1:0]	—	TFRST	RFRST	LOOP		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7, 6	RTRG[1:0]	00	R/W	レシーブ FIFO データ数トリガ SCFSR の RDF フラグをセットする受信データ数を設定するビットです。 SCFRDR 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき RDF フラグをセットします。 [調歩同期式モード] [クロック同期式モード] 00 : 1 00 : 1 01 : 4 01 : 2 10 : 8 10 : 8 11 : 14 11 : 14
5, 4	TTRG[1:0]	00	R/W	トランスミット FIFO データ数トリガ SCFSR の TDFE フラグをセットする残りの送信データ数を設定するビットです。 送信動作により SCFTDR 内の送信データ数が、下表に示すトリガ設定数以下になったとき TDFE フラグをセットします。 00 : 8 (8) * 01 : 4 (12) * 10 : 2 (14) * 11 : 0 (16) * 【注】* () 内の値は TDFE フラグがセットされるとき SCFTDR レジスタの空きバイト数を示します。
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TFRST	0	R/W	トランスミット FIFO データレジスタリセット SCFTDR 内の送信データを無効とし、空の状態にリセットします。 0 : リセット動作を禁止* 1 : リセット動作を許可 【注】* パワーオンリセット、マニュアルリセット、スタンバイ時にはリセット動作が行われず。

ビット	ビット名	初期値	R/W	説明
1	RFRST	0	R/W	レシーブ FIFO データレジスタリセット SCFTDR 内の受信データを無効とし、空の状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】* パワーオンリセット、マニュアルリセット、スタンバイ時にはリセット動作が行われます。
0	LOOP	0	R/W	ループバックテスト 送信出力端子 (TXD) と受信入力端子 (RXD) を内部で接続し、ループバックテストを可能にします。 0: ループバックテストを禁止 1: ループバックテストを許可

26.3.10 FIFO データ数レジスタ (SCFDR)

SCFDR は、SCFTDR および SCFRDR 内に格納されているデータ数を示す 16 ビット長のレジスタです。上位 8 ビットで SCFTDR 内の送信データ数を、下位 8 ビットで SCFRDR 内の受信データ数を示します。SCFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TFDC[4:0]				—	—	—	RFDC[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12~8	TFDC[4:0]	00000	R	トランスミット FIFO データ数 SCFTDR 内に格納されている未送信データ数を示します。H'00 は送信データがないことを、H'10 は SCFTDR に 16 バイトの送信データが格納されていることを示します。
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	RFDC[4:0]	00000	R	レシーブ FIFO データ数 SCFRDR 内に格納されている受信データ数を示します。H'00 は受信データがないことを、H'10 は SCFRDR に 16 バイトの受信データが格納されていることを示します。

26.3.11 ラインステータスレジスタ (SCLSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W*

【注】 * フラグをクリアするために 0 を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ORER	0	R/W*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示^{*1}</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ORER = 1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にオーバランエラーが発生したことを表示^{*2}</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCFRDR がいっぱいになる 16 バイトのデータを受信した状態で次のシリアル受信を完了したとき <p>【注】*1 SCSCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。</p> <p>*2 SCFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません</p>

【注】 * フラグをクリアするために 0 を書き込むことのみ可能です。

26.4 動作説明

26.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送受信おののに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。

送受信フォーマットの選択は、SCSMR で行います。これを表 26.5 に示します。また、SCK の端子機能は、SCSMR の CA ビットおよび SCSCR の CKE[1:0] ビットの組み合わせで決まります。

1. 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、レシーブFIFOデータフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタおののの格納データ数を表示
- クロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：
ボーレートジェネレータのクロックで動作
外部クロックを選択した場合：
ビットレートの16倍の周波数のクロックを入力してください(内蔵ボーレートジェネレータを使用しない)。

2. クロック同期式モード

- データ長：8ビットに固定
- 受信時にオーバランエラーの検出が可能
- クロックソース：内部クロック/外部クロックから選択可能
内部クロックを使用した場合：
SCIFはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
外部クロックを選択した場合：
SCK端子から入力された外部周期クロックで動作

表26.5 SCSMR の設定値とシリアル送信 / 受信フォーマット

SCSMR の設定値				モード	SCIF の送信 / 受信フォーマット		
ビット7	ビット6	ビット5	ビット3		データ長	パリティビット	ストップビット長
CA	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8ビットデータ	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
	1	0	0		7ビットデータ	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
1	*	*	*	クロック同期式モード	8ビットデータ	なし	なし

【注】 * Don't care

26.4.2 調歩同期式モードの動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていて、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 26.2 に示します。

調歩同期式シリアル通信では、通常、通信回線はマーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

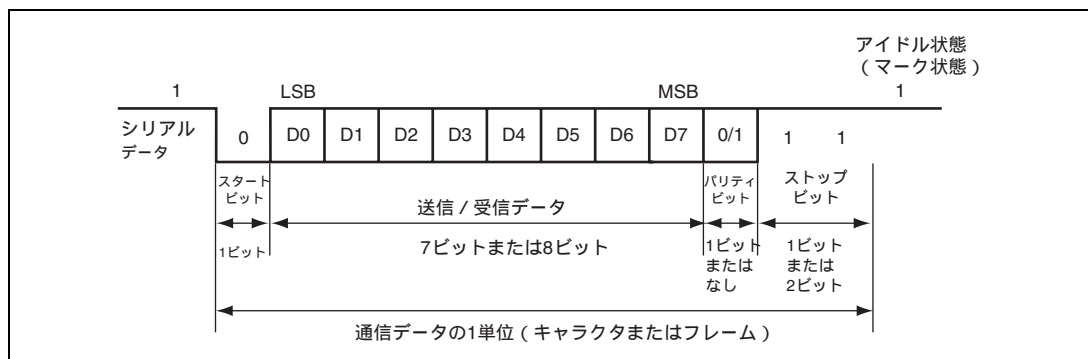


図26.2 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

(a) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 26.6 に示します。

送信 / 受信フォーマットは 8 種類あり、SCSMR の設定により選択できます。

表26.6 シリアル送信 / 受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	S	8ビットデータ								STOP			
0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	S	8ビットデータ								P	STOP		
0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	S	7ビットデータ							STOP				
1	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	S	7ビットデータ							P	STOP			
1	1	1	S	7ビットデータ							P	STOP	STOP		

【記号説明】

S : スタートビット

STOP: ストップビット

P : パリティビット

(b) クロック

SCIF の送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックあるいは SCK 端子からの外部クロックを使用します。

(c) SCIF の初期化 (調歩同期式)

データの送信 / 受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。

1. TE ビットを 0 にクリアすると、SCTSR が初期化されます。TE、RE ビットを 0 にクリアしても、SCFSR、SCFTDR および、SCFRDR の内容は保持されますので注意してください。
2. TE ビットの 0 クリアは、送信データをすべて送信し SCFSR の TEND フラグがセットされた後に行ってください。送信中でも 0 クリア可能ですが、送信中のデータは 0 クリア後、マーク状態になります。また再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットをいったん 1 にセットして SCFTDR をリセットしてください。

図 26.3 に SCIF の初期化フローチャートの例を示します。

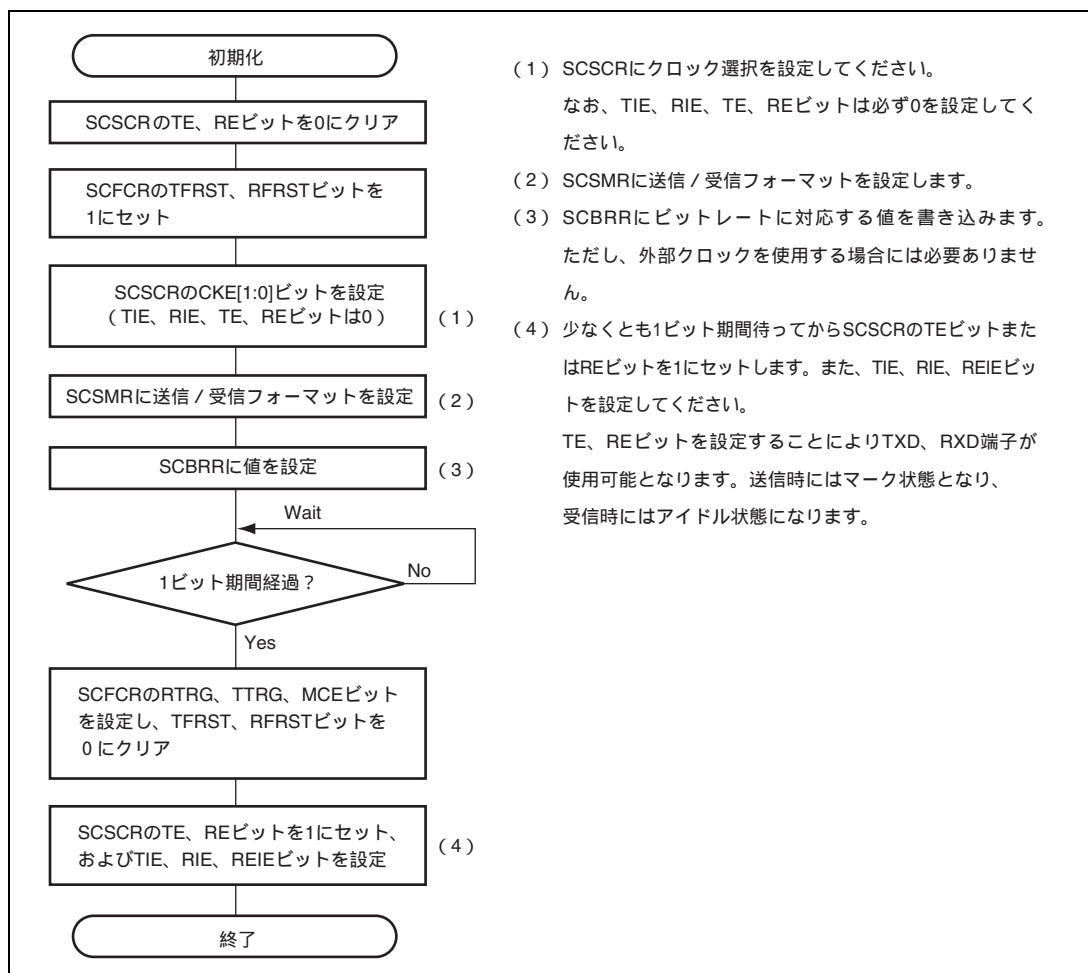


図26.3 SCIF の初期化フローチャートの例

(d) シリアルデータ送信 (調歩同期式)

図 26.4 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

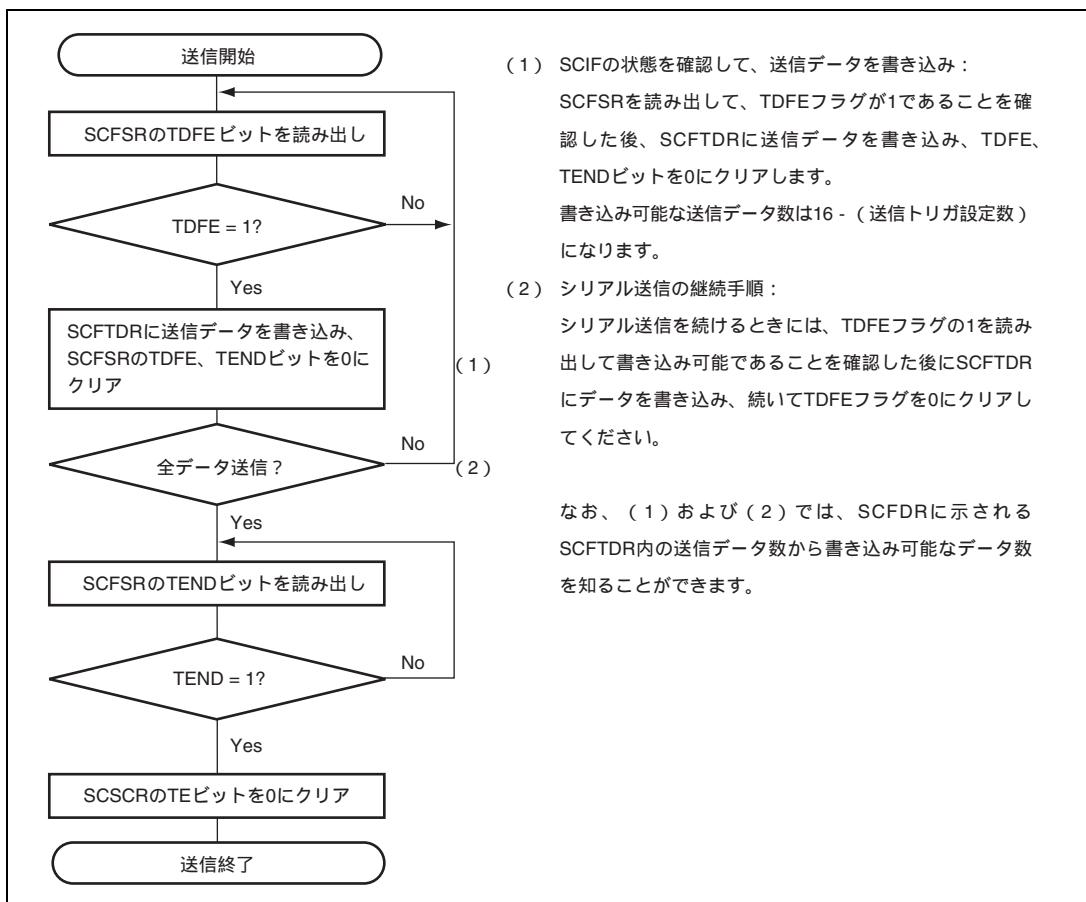


図26.4 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TXD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
 - (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。
なお、パリティビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。
データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
ストップビットを送り出した後、送信データがないとSCFSRのTENDフラグに1をセットし、TXD端子から1を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 26.5 に示します。

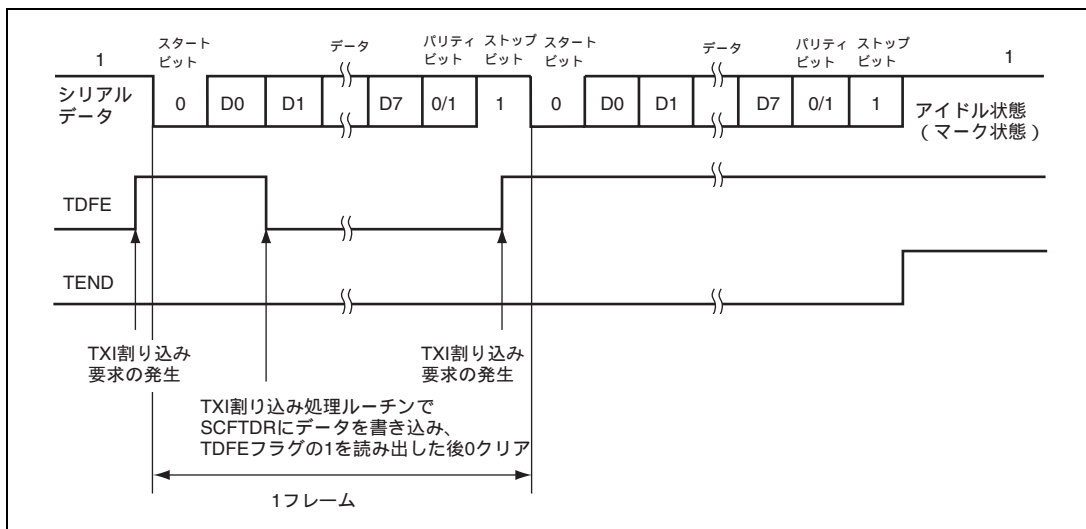


図26.5 送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

(e) シリアルデータ受信 (調歩同期式)

図 26.6、図 26.7 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

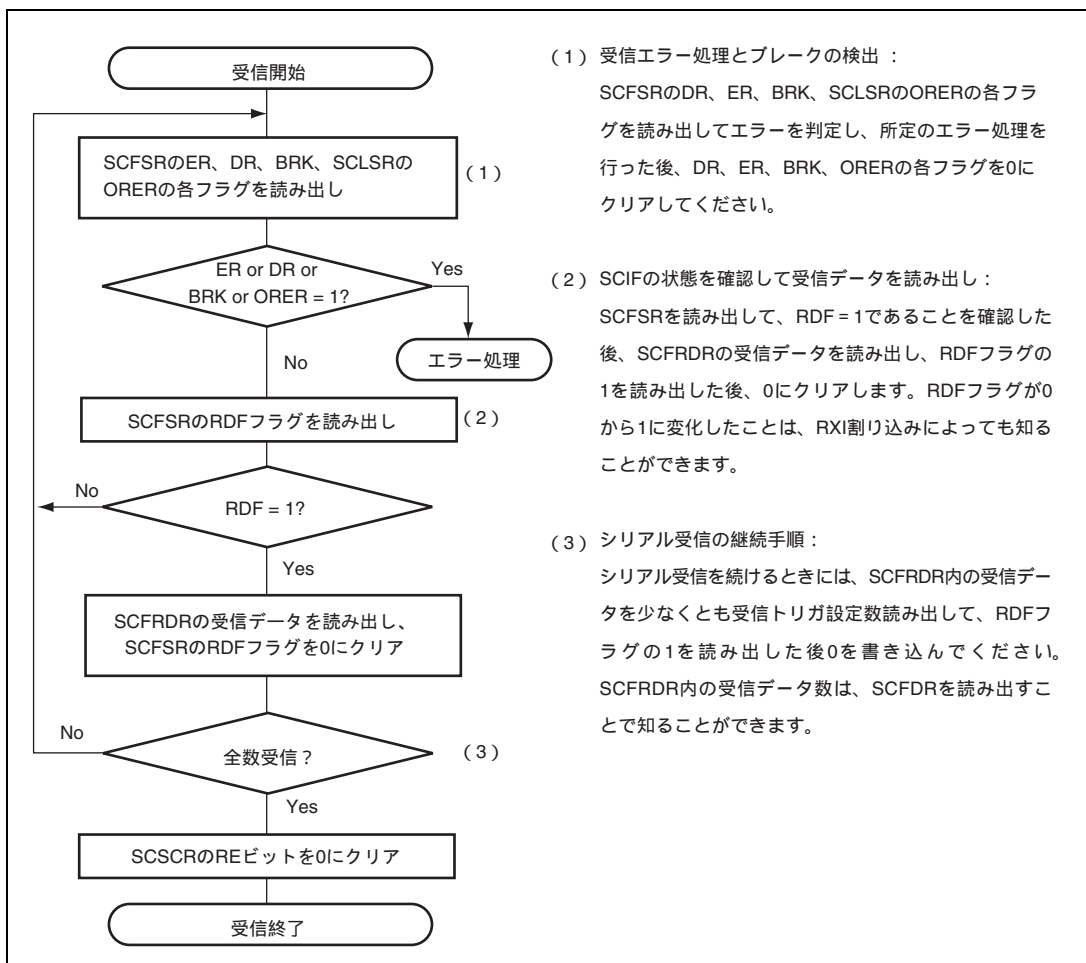


図26.6 シリアル受信のフローチャートの例 (1)

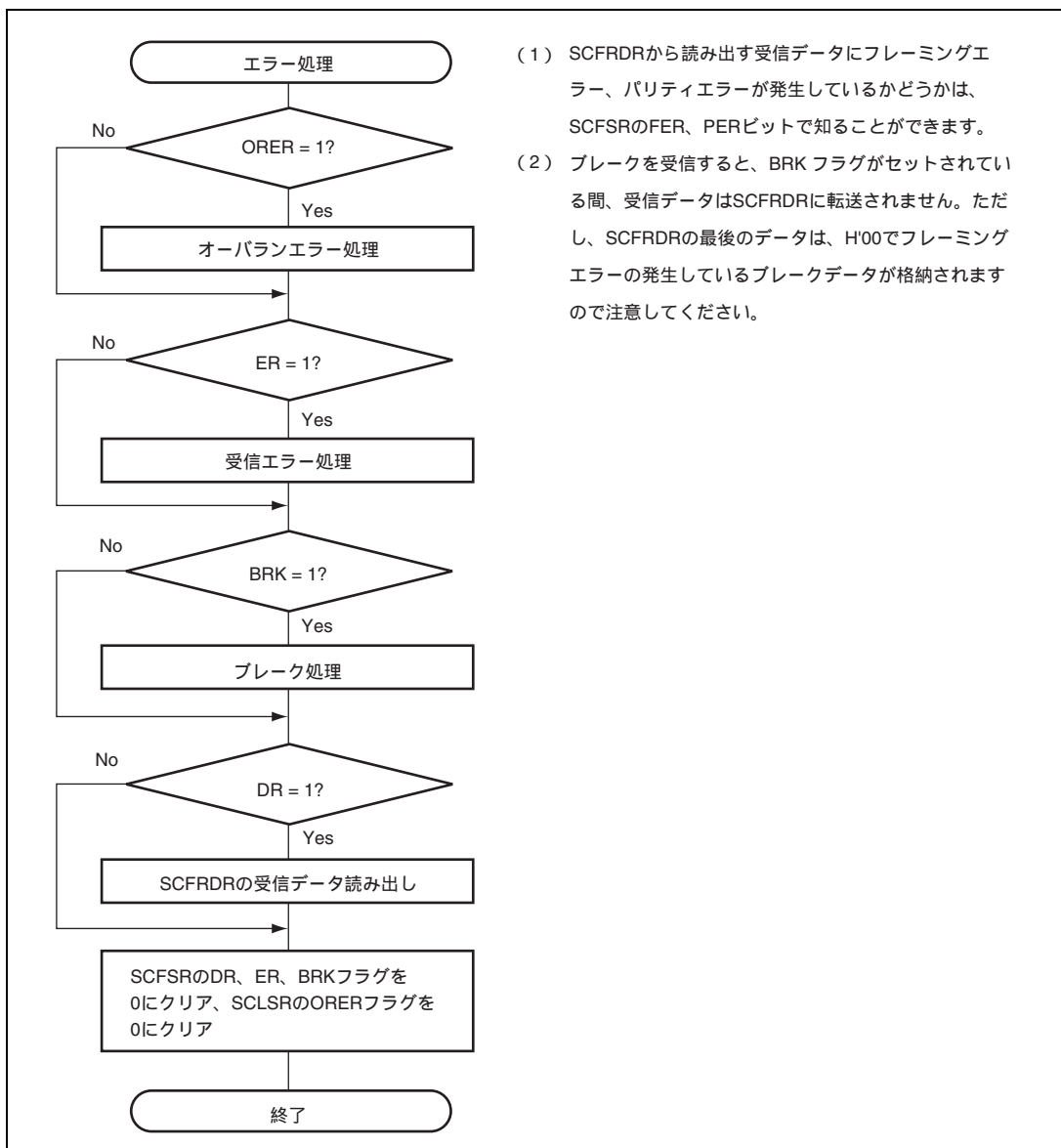


図26.7 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。*
- (c) オーバランエラーチェック：ORERフラグが0であり、オーバランエラーが発生していないことをチェックします。*
- (d) ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。*

(b)、(c)、(d)のチェックがパスしたとき、SCFRDR に受信データが格納されます。

【注】 * パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求を発生します。

調歩同期式モード受信時の動作例を図 26.8 に示します。

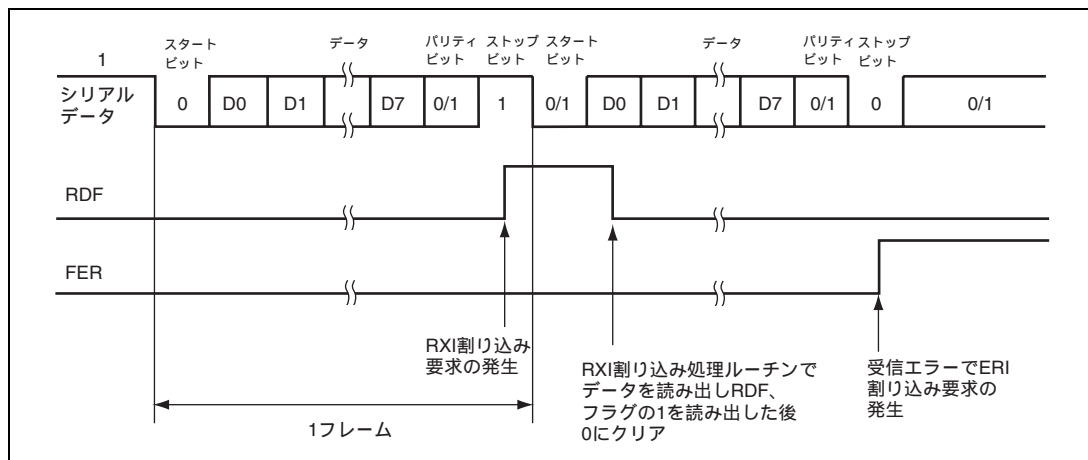


図26.8 SCIF の受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

26.4.3 クロック同期式モードの動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 26.9 に示します。

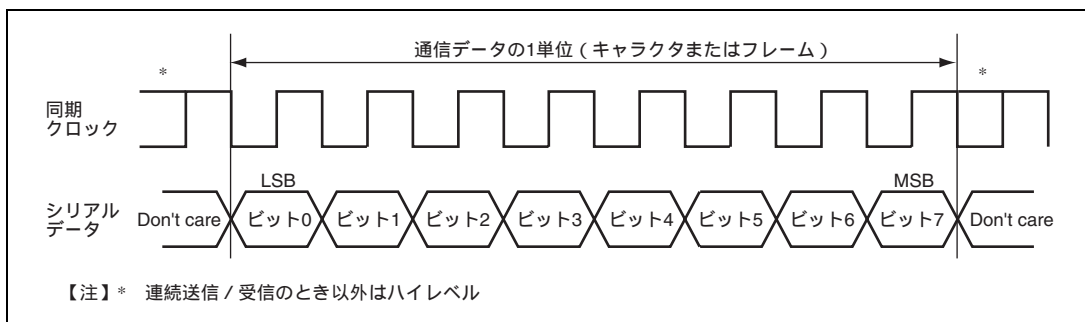


図26.9 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロック立ち下がりから次の立ち下がりまで出力されます。また、クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、LSB から始まり最後に MSB が出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(a) 送信 / 受信フォーマット

8 ビット固定です。

パリティビットの付加はできません。

(b) クロック

SCIF の送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックあるいは SCK 端子からの外部クロックを使用します。

(c) SCIF の初期化 (クロック同期式)

データの送信 / 受信前に SCSCR の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると SCTSR が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および SCFRDR の内容は保持されますので注意してください。

図 26.10 に SCIF の初期化フローチャートの例を示します。

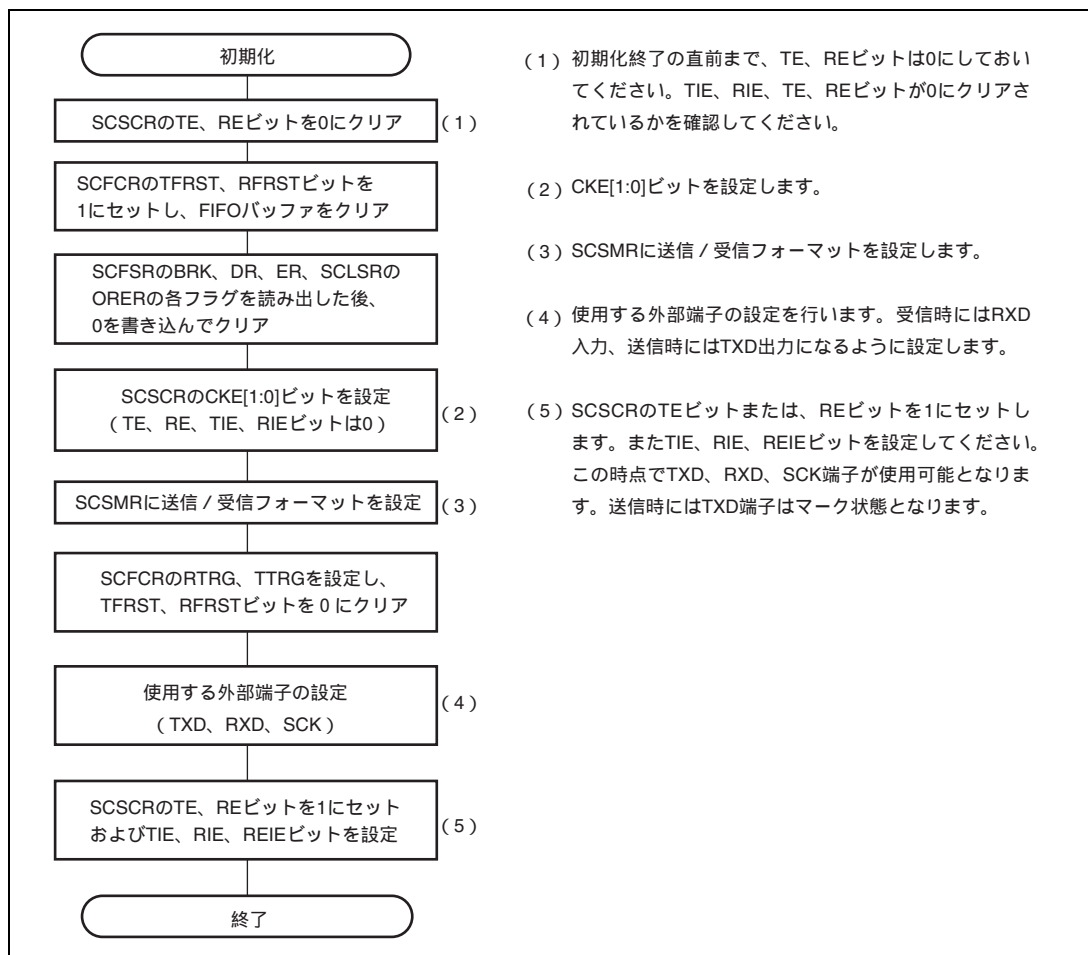


図26.10 SCIF の初期化フローチャートの例

(d) シリアルデータ送信 (クロック同期式)

図 26.11 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

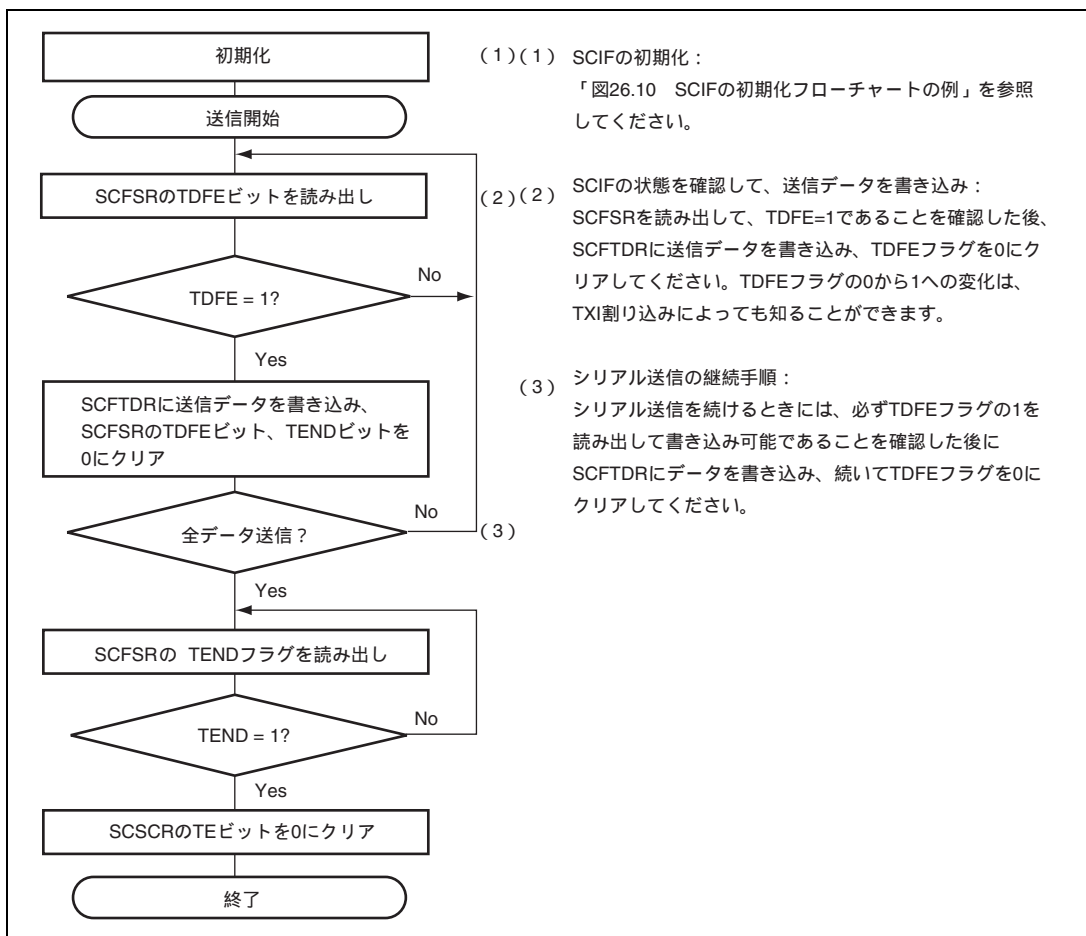


図26.11 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも16 - (送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、TDFEフラグをセットします。このときSCSCRのTIEビットが1にセットされていると送信FIFOデータエンブティ割り込み (TXI) 要求を発生します。SCIFは、入力クロックに同期してデータを出力します。シリアル送信データは、LSBから順にTXD端子から送り出されます。
3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、最終ビットを送り出した後、SCFSRのTENDフラグを1にセットし、トランスミットデータ端子 (TXD端子) は状態を保持します。

図 26.12 に SCIF の送信時の動作例を示します。

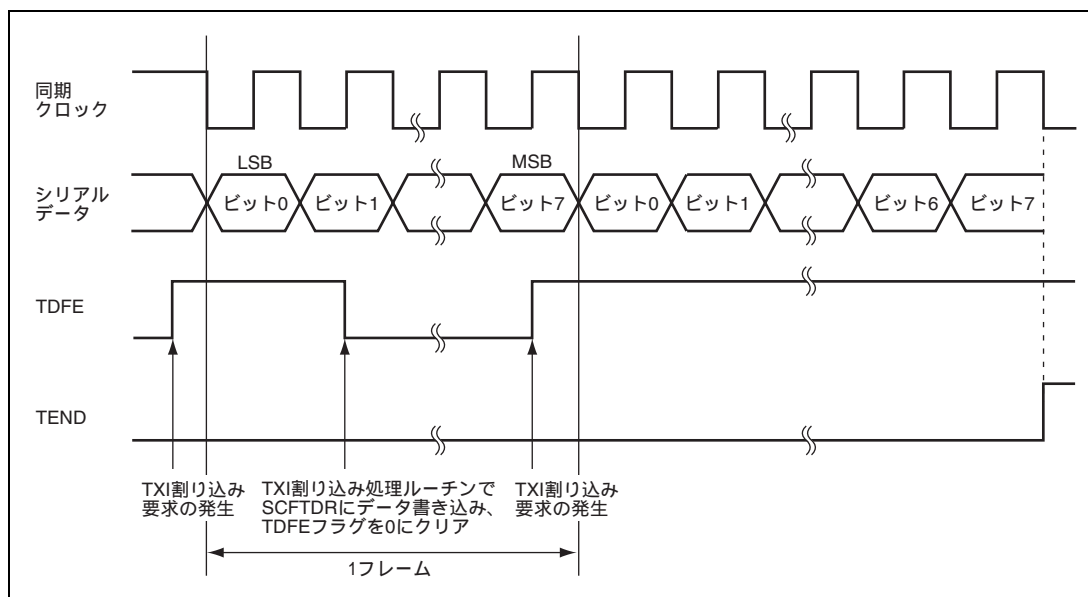


図26.12 SCIF の送信時の動作例

(e) シリアルデータ受信 (クロック同期式)

図 26.13、図 26.14 にシリアル受信のフローチャート例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、SCLSR の ORER ビット、SCFCR の PERC、FERC の各ビットが 0 にクリアされていることを確認してください。

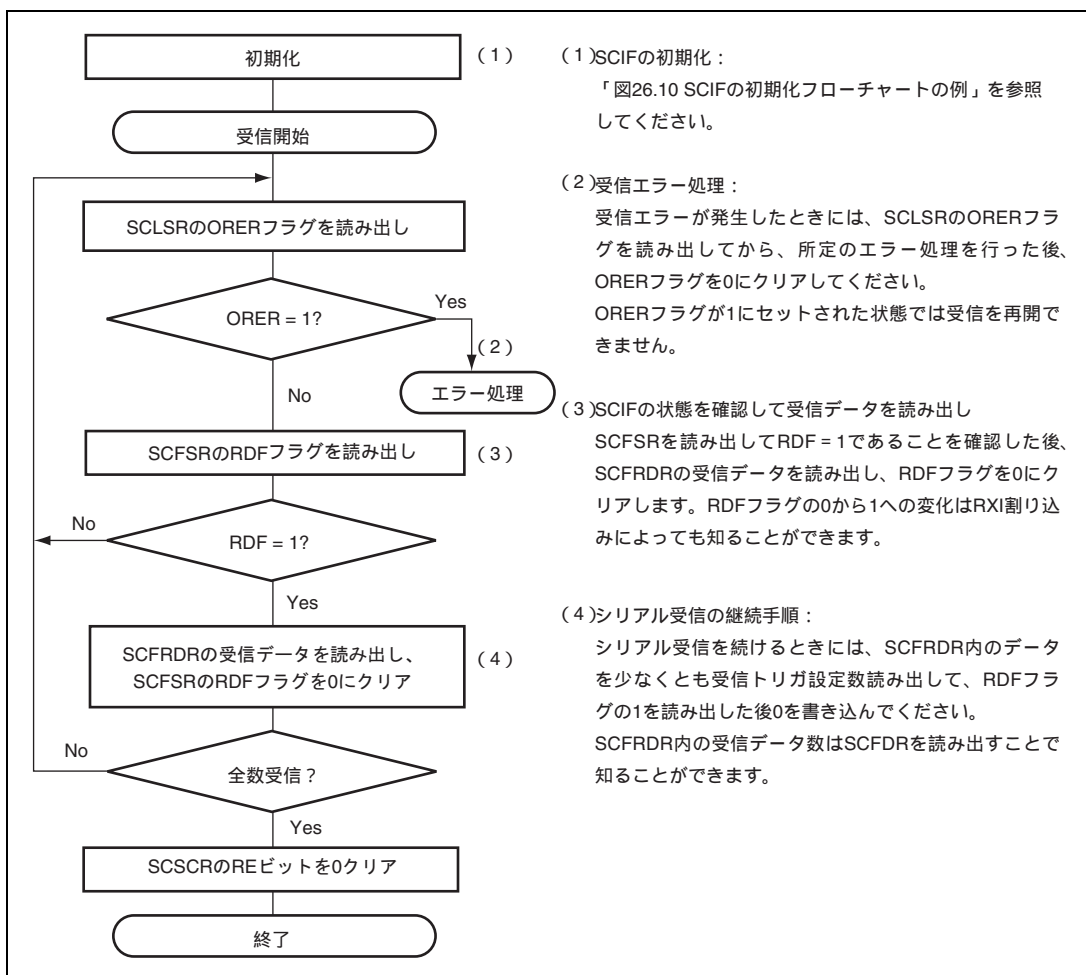


図26.13 シリアル受信のフローチャートの例 (1)

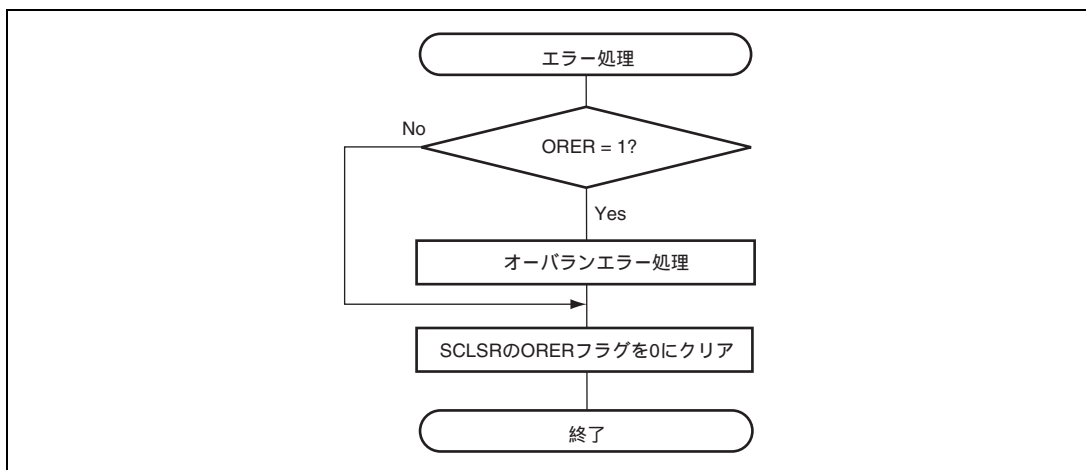


図26.14 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの出力に同期して受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。

受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。

エラーチェックでオーバランエラーを検出すると以後の受信動作ができません。

3. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ORERフラグが1になったとき、SCSCRのRIEビット、またはREIEビットが1にセットされているとブレーク割り込み (BRI) 要求を発生します。

図 26.15 に SCIF の受信時の動作例を示します。

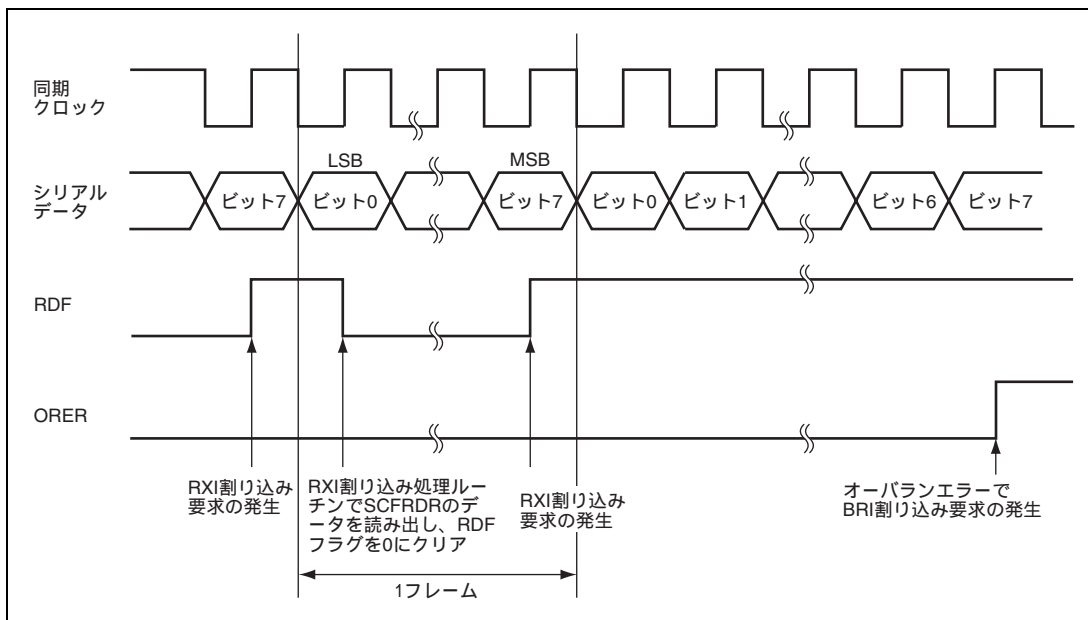


図26.15 SCIF の受信時の動作例

(f) シリアルデータ送受信同時動作 (クロック同期式)

図 26.16 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

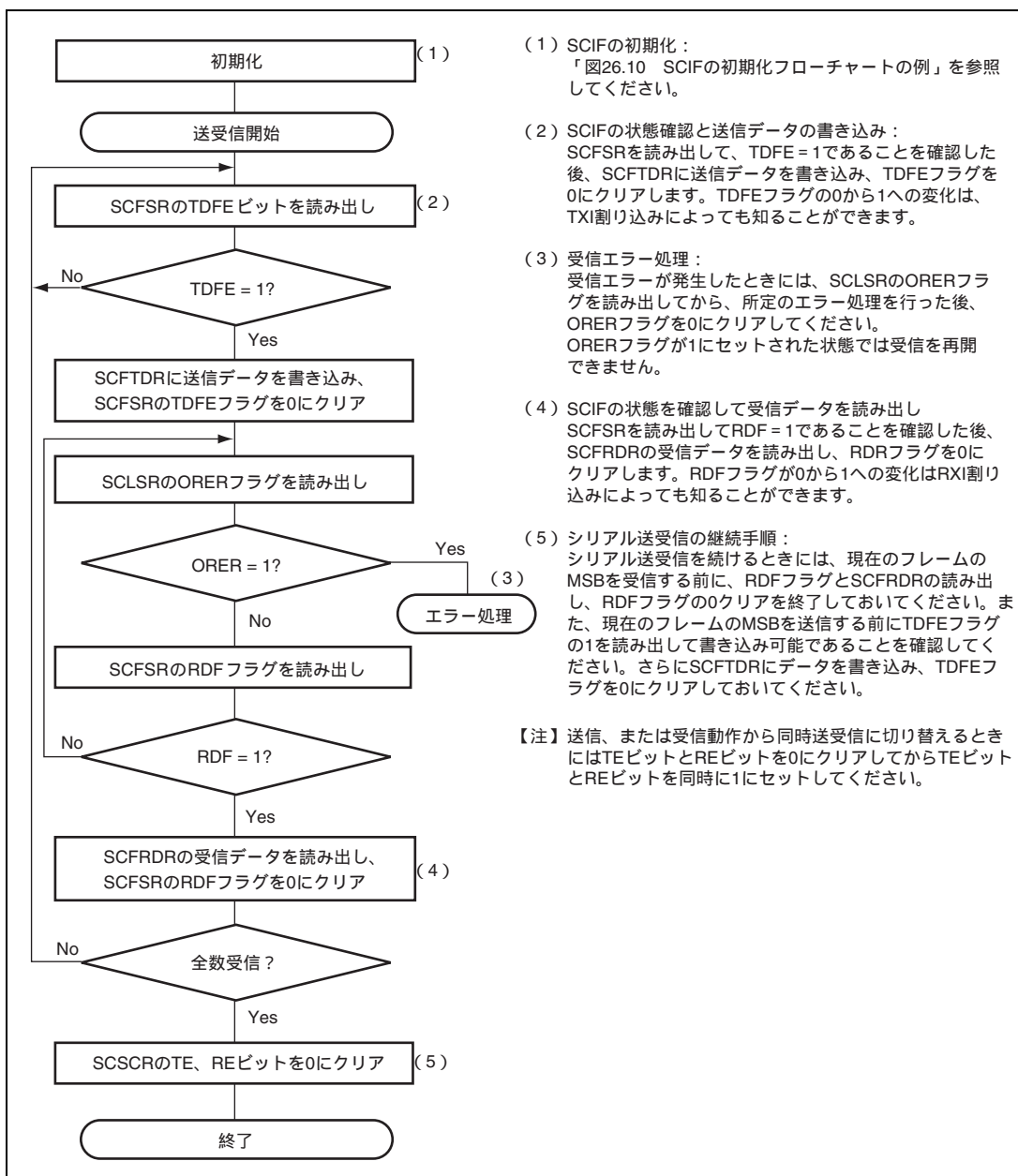


図26.16 シリアル送受信のフローチャートの例

26.5 SCIF 割り込み要因と DMAC

SCIF はチャンネルごとに、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレイク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。しかし、INTEVT のコードは 1 チャンネルに 1 つしか割り当てられていないため、割り込み要因の判定はソフトウェアで行う必要があります。

各割り込み要因は、チャンネルごと独立に、SCSCR の TIE、RIE、REIE ビットで、許可または禁止設定できます。

TIE ビットにより TXI が許可されている場合、SCFSR の TDFE フラグが 1 にセットされると、TXI 割り込み要求と送信 FIFO データエンプティ DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ DMA 転送要求のみが発生します。送信 FIFO データエンプティ DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグまたは DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが 1 にセットされたことによる RXI 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期式モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

26.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

(a) SCFTDR への書き込みと TDFE フラグについて

SCFSR の TDFE フラグは、SCFTDR 内に書き込んだ送信データ数が SCFCR の TTRG[1:0]ビットで設定した送信トリガ数以下になったとき、セットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし、TDFE フラグは、SCFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは、送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は、SCFDR で知ることができます。

(b) SCFRDR の読み出しと RDF フラグについて

SCFSR の RDF フラグは、SCFRDR 内の受信データ数が SCFCR の RTRG[1:0]ビットで設定した受信トリガ数以上になったとき、セットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は、SCFDR で知ることができます。

(c) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下りを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 26.17 に示します。

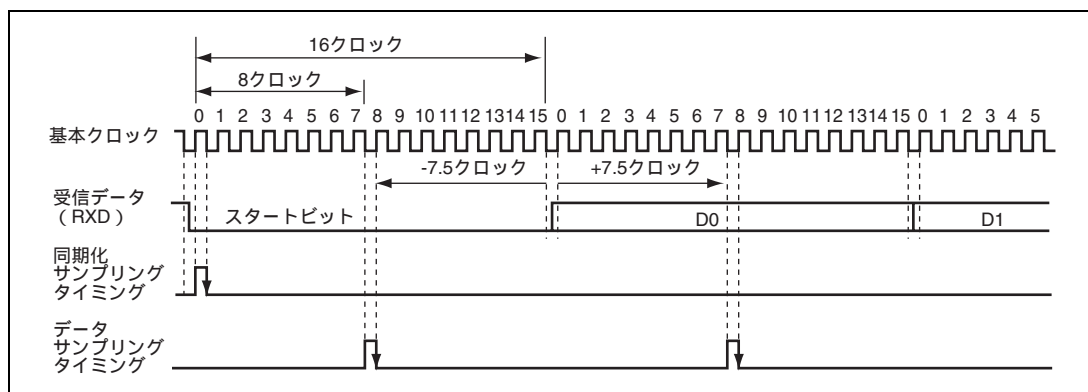


図26.17 受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F=0 のとき

$$\begin{aligned} M &= (0.5 - 1/(2 \times 16)) \times 100\% \\ &= 46.875\% \end{aligned} \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(d) DMAC 使用時

DMAC を使って送受信を行う場合は、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合でも、割り込みコントローラへの割り込み要求は、割り込み処理プログラムとは無関係に DMAC によってクリアされます。

(e) 割り込み

割り込み要因はチャンネルごとに 4 要因ずつありますが、INTEVT のコードは 1 チャンネルに 1 つしかありません。したがって、割り込み要因の特定は、ソフトウェアで行う必要があります。

27. FIFO 内蔵シリアルコミュニケーションインタフェース A (SCIFA)

本 LSI は、FIFO バッファ内蔵のシリアルコミュニケーションインタフェース A (SCIFA : Serial Communication Interface with FIFO) を 3 チャンネル (チャンネル 3 ~ チャンネル 5) 内蔵しています。

SCIFA は、調歩同期式とクロック同期式のシリアル通信ができます。

送受信 FIFO レジスタおのおのに 64 段のバッファを内蔵しており、効率の良い高速連続通信が可能です。

27.1 特長

- シリアル通信モードを調歩同期式モードまたはクロック同期式モードから選択可能
- 内蔵ポーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソース : ポーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能
- 6 種類の割り込み要因 (調歩同期式モード時)
送信データストップ割り込み、送信 FIFO データエンpty、受信 FIFO データフル、受信エラー (フレーミングエラー / パリティエラー) 割り込み、ブレーク受信割り込み、レシーブデータレディ割り込みの 6 種類の割り込み要因があります。各割り込み要因による割り込みのベクタは共通です。
- 2 種類の割り込み要因 (クロック同期式モード時)
- 送信 FIFO データエンpty 時と送信データストップ時、受信 FIFO データフル時に DMA コントローラ (DMAC) を起動させてデータの転送を行うことができます。ただし、送信 FIFO データエンpty と送信データストップの DMAC 要求は共通です。
- チャンネル 3 のみモデムコントロール機能 ($\overline{\text{CTS}}$ 、 $\overline{\text{RTS}}$) を内蔵しています。
- 送信データストップ機能を内蔵しています。
- SCIFA を使用しないときは、消費電力低減のため、SCIFA に対してクロックの供給を止めて動作を停止させることができます。
- 送受信 FIFO レジスタ内のデータ数および受信 FIFO レジスタ内の受信データの受信エラー数を知ることができます。
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部とともに 64 段階の FIFO バッファ構造になっていますのでシリアルデータの高速連続通信、連続受信ができます。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用LSIとのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットを8種類のフォーマットから選択できます。

- データ長：7ビット、または8ビット

- ストップビット長：1ビット、または2ビット

- パリティ：偶数パリティ、奇数パリティ、またはパリティなし

- LSBファースト

- 受信エラーの検出：パリティエラー、フレーミングエラー、オーバランエラーを検出

- ブレークの検出：フレーミングエラーが発生し、引き続き1フレーム長以上スペース0（ローレベル）の場合、ブレークを検出します。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他のLSIとシリアルデータ通信が可能です。

- データ長：8ビット

- LSBファースト

図 27.1 に SCIFA のブロック図を示します。

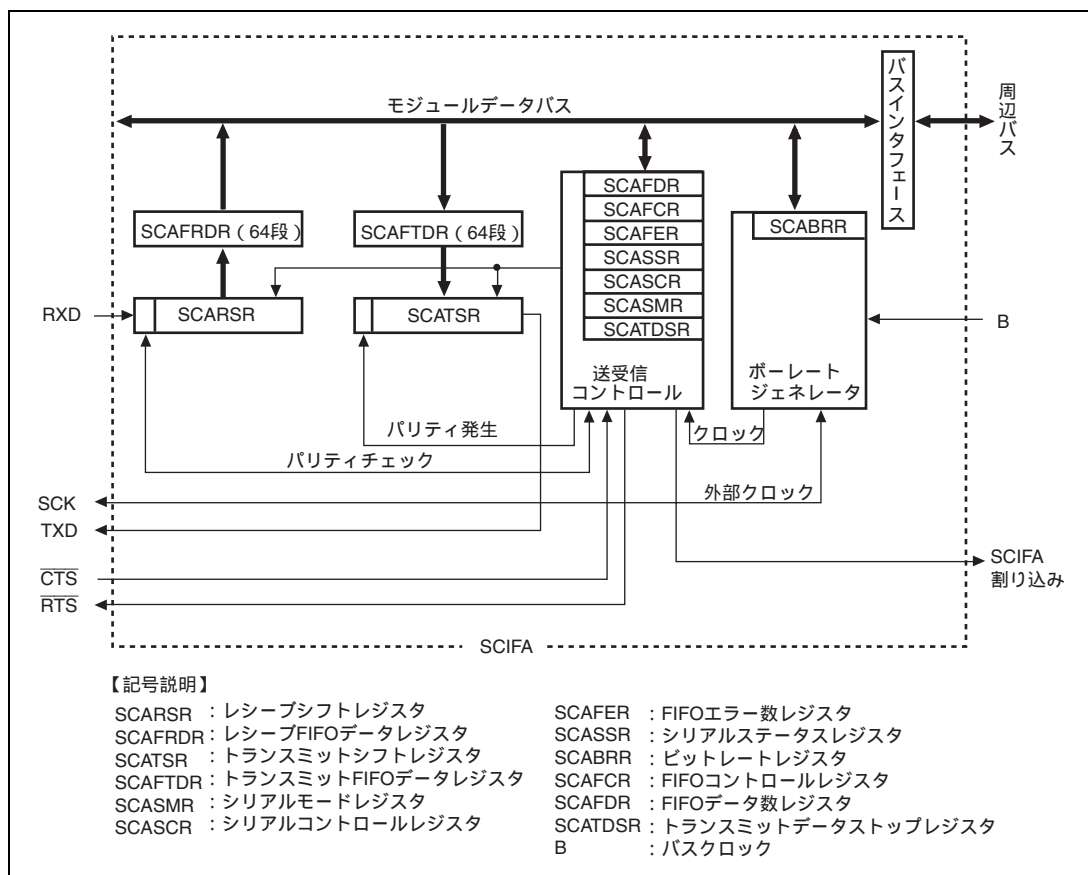


図 27.1 SCIFA のブロック図

27.2 入出力端子

SCIFA の端子構成を表 27.1 に示します。

表 27.1 端子構成

チャンネル	端子名	入出力	機能
3	SCIF3_SCK	入出力	クロック入出力
	SCIF3_RXD	入力	受信データ入力
	SCIF3_TXD	出力	送信データ出力
	SCIF3_CTS	入力	送信可
	SCIF3_RTS	出力	送信要求
4	SCIF4_SCK	入出力	クロック入出力
	SCIF4_RXD	入力	受信データ入力
	SCIF4_TXD	出力	送信データ出力
5	SCIF5_SCK	入出力	クロック入出力
	SCIF5_RXD	入力	受信データ入力
	SCIF5_TXD	出力	送信データ出力

【注】本文中では、チャンネルを省略し、総合の略称として SCK、RxD、TxD、CTS、RTS を使用します。

27.3 レジスタの説明

SCIFA のレジスタ構成を表 27.2 に示します。また、各処理モードにおけるレジスタの状態を表 27.3 に示します。

表 27.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
シリアルモードレジスタ A3	SCASMR3	R/W	H'A4E3 0000	16
ビットレートレジスタ A3	SCABRR3	R/W	H'A4E3 0004	8
シリアルコントロールレジスタ A3	SCASCR3	R/W	H'A4E3 0008	16
トランスミットデータストップレジスタ A3	SCATDSR3	R/W	H'A4E3 000C	8
FIFO エラー数レジスタ A3	SCAFER3	R	H'A4E3 0010	16
シリアルステータスレジスタ A3	SCASSR3	R/W*	H'A4E3 0014	16
FIFO コントロールレジスタ A3	SCAFCR3	R/W	H'A4E3 0018	16
FIFO データ数レジスタ A3	SCAFDR3	R	H'A4E3 001C	16
トランスミット FIFO データレジスタ A3	SCAFTDR3	W	H'A4E3 0020	8
レシーブ FIFO データレジスタ A3	SCAFRDR3	R	H'A4E3 0024	8
シリアルモードレジスタ A4	SCASMR4	R/W	H'A4E4 0000	16
ビットレートレジスタ A4	SCABRR4	R/W	H'A4E4 0004	8
シリアルコントロールレジスタ A4	SCASCR4	R/W	H'A4E4 0008	16
トランスミットデータストップレジスタ A4	SCATDSR4	R/W	H'A4E4 000C	8
FIFO エラー数レジスタ A4	SCAFER4	R	H'A4E4 0010	16
シリアルステータスレジスタ A4	SCASSR4	R/W*	H'A4E4 0014	16
FIFO コントロールレジスタ A4	SCAFCR4	R/W	H'A4E4 0018	16
FIFO データ数レジスタ A4	SCAFDR4	R	H'A4E4 001C	16
トランスミット FIFO データレジスタ A4	SCAFTDR4	W	H'A4E4 0020	8
レシーブ FIFO データレジスタ A4	SCAFRDR4	R	H'A4E4 0024	8
シリアルモードレジスタ A5	SCASMR5	R/W	H'A4E5 0000	16
ビットレートレジスタ A5	SCABRR5	R/W	H'A4E5 0004	8
シリアルコントロールレジスタ A5	SCASCR5	R/W	H'A4E5 0008	16
トランスミットデータストップレジスタ A5	SCATDSR5	R/W	H'A4E5 000C	8
FIFO エラー数レジスタ A5	SCAFER5	R	H'A4E5 0010	16
シリアルステータスレジスタ A5	SCASSR5	R/W*	H'A4E5 0014	16
FIFO コントロールレジスタ A5	SCAFCR5	R/W	H'A4E5 0018	16
FIFO データ数レジスタ A5	SCAFDR5	R	H'A4E5 001C	16
トランスミット FIFO データレジスタ A5	SCAFTDR5	W	H'A4E5 0020	8
レシーブ FIFO データレジスタ A5	SCAFRDR5	R	H'A4E5 0024	8

【注】 * ビット 9~7、5、4、1、0 は、フラグをクリアするための 0 書き込みのみ可能です。

表 27.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
SCASMR3	初期化	初期化	保持	保持	初期化	初期化	保持
SCABRR3	初期化	初期化	保持	保持	初期化	初期化	保持
SCASCR3	初期化	初期化	保持	保持	初期化	初期化	保持
SCATDSR3	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFER3	初期化	初期化	保持	保持	初期化	初期化	保持
SCASSR3	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFCR3	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFDR3	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFTDR3	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFRDR3	初期化	初期化	保持	保持	初期化	初期化	保持
SCASMR4	初期化	初期化	保持	保持	初期化	初期化	保持
SCABRR4	初期化	初期化	保持	保持	初期化	初期化	保持
SCASCR4	初期化	初期化	保持	保持	初期化	初期化	保持
SCATDSR4	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFER4	初期化	初期化	保持	保持	初期化	初期化	保持
SCASSR4	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFCR4	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFDR4	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFTDR4	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFRDR4	初期化	初期化	保持	保持	初期化	初期化	保持
SCASMR5	初期化	初期化	保持	保持	初期化	初期化	保持
SCABRR5	初期化	初期化	保持	保持	初期化	初期化	保持
SCASCR5	初期化	初期化	保持	保持	初期化	初期化	保持
SCATDSR5	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFER5	初期化	初期化	保持	保持	初期化	初期化	保持
SCASSR5	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFCR5	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFDR5	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFTDR5	初期化	初期化	保持	保持	初期化	初期化	保持
SCAFRDR5	初期化	初期化	保持	保持	初期化	初期化	保持

27.3.1 レシーブシフトレジスタ (SCARSR)

SCARSR は、シリアルデータを受信するためのレジスタです。

SCIFA は、SCARSR に RxD 端子から入力されたシリアルデータを LSB(ビット 0)から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCAFRDR へ転送されます。

CPU から直接 SCARSR の読み出し / 書き込みをすることはできません。

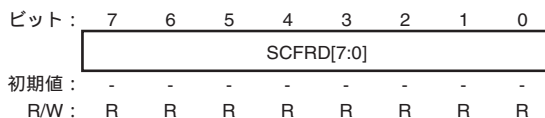
27.3.2 レシーブ FIFO データレジスタ (SCAFRDR)

SCAFRDR は、受信したシリアルデータを格納する 64 段の FIFO レジスタです。

SCIFA は、1 バイトのシリアルデータの受信が終了すると、SCARSR から SCAFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCARSR は受信可能になり、SCAFRDR がいっぱいになる 64 バイトデータまで連続した受信動作が可能です。

SCAFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、SCAFRDR に受信データがない状態で読み出した値は不定値になります。SCAFRDR 内の受信データがいっぱいになると、以降のシリアルデータは失われます。



ビット	ビット名	初期値	R/W	説 明
7~0	SCFRD[7:0]	不定	R	シリアル受信データ用 FIFO

27.3.3 トランスミットシフトレジスタ (SCATSR)

SCATSR は、シリアルデータを送信するためのレジスタです。

SCIFA は、SCAFTDR から送信データをいったん SCATSR に転送し、LSB (ビット) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCAFTDR から SCATSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCATSR の読み出し / 書き込みをすることはできません。

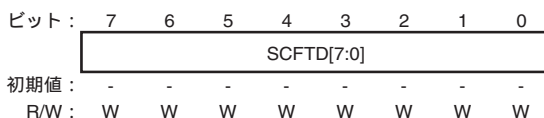
27.3.4 トランスミット FIFO データレジスタ (SCAFTDR)

SCAFTDR は、シリアル送信するデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIFA は、送信データが SCAFTDR に書き込まれたとき、SCATSR が空ならば、SCAFTDR に書き込まれた送信データを SCATSR に転送してシリアル送信を開始します。

SCAFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。

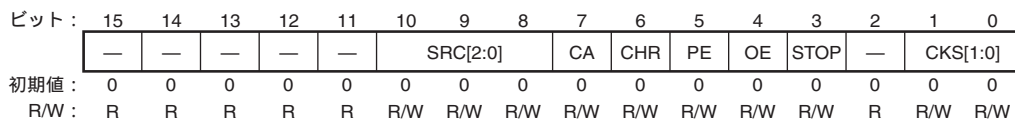
SCAFTDR 内の送信データが 64 バイトでいっぱいになるときは、次のデータを書き込むことはできません。書き込んだデータは無視されます。



ビット	ビット名	初期値	R/W	説明
7~0	SCAFTD[7:0]	不定	W	シリアル送信データ用 FIFO

27.3.5 シリアルモードレジスタ (SCASMR)

SCASMR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SCIFA のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソース、サンプリングレートを選択します。



ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	SRC[2:0]	000	R/W	サンプリングコントロール サンプリングレートを選択します。 000 : サンプリングレート 1/16 001 : サンプリングレート 1/5 010 : サンプリングレート 1/7 011 : サンプリングレート 1/11 100 : サンプリングレート 1/13 101 : サンプリングレート 1/17 110 : サンプリングレート 1/19 111 : サンプリングレート 1/27

ビット	ビット名	初期値	R/W	説明
7	CA	0	R/W	<p>コミュニケーションモード</p> <p>SCIFA の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。</p> <p>0 : 調歩同期式モード 1 : クロック同期式モード</p>
6	CHR	0	R/W	<p>キャラクターングス</p> <p>データ長を 7 ビット / 8 ビットデータのいずれかから選択します。</p> <p>本ビットは調歩同期式モード時のみ有効です。クロック同期式モードでは、CHR ビットの設定にかかわらず、データ長は 8 ビットデータ固定です。</p> <p>0 : 8 ビットデータ 1 : 7 ビットデータ*</p> <p>【注】* 7 ビットデータを選択した場合、SCAFTDR の MSB (ビット 7) は送信されません。</p>
5	PE	0	R/W	<p>パリティイネーブル</p> <p>送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。本設定は、調歩同期式モード時のみ有効です。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0 : パリティビットの付加、およびチェックを禁止 1 : パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに 1 をセットすると送信時には、OE ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが OE ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p>
4	OE	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。OE ビットの設定は、PE ビットに 1 を設定しパリティビットの付加やチェックを許可した時のみ有効になります。パリティの付加やチェックを禁止している場合には、OE ビットの指定は無効です。</p> <p>0 : 偶数パリティ*¹ 1 : 奇数パリティ*²</p> <p>【注】*¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>ストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。</p> <p>なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。本設定は調歩同期式モード時のみ有効です。クロック同期式モードでは、ストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0 : 1 ストップビット*1 1 : 2 ストップビット*2</p> <p>【注】*1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。 *2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。</p>
2	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1、0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00 : B 01 : B /4 10 : B /16 11 : B /64</p> <p>【注】 B : バスクロック</p>

【注】 クロック同期式モード時では、CKS1、0 ビット以外は 0 に固定されます。

27.3.6 シリアルコントロールレジスタ (SCASCR)

SCASCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、SCIFA の送信 / 受信動作、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行います。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDR QE	RDR QE	—	—	TSIE	ERIE	BRIE	DRIE	TIE	RIE	TE	RE	—	—	CKE[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDRQE	0	R/W	<p>トランスミットデータ転送要求イネーブル</p> <p>送信時の TIE = 1 かつ送信 FIFO エンプティ発生時に、送信 FIFO エンプティ割り込み / DMA 転送要求とするかを切り替えます。</p> <p>0 : CPU へ割り込み要求を発行します 1 : DMAC へ送信データ転送要求を発行します</p>

ビット	ビット名	初期値	R/W	説明
14	RDRQE	0	R/W	レシーブデータ転送要求イネーブル 受信時の RIE = 1 かつ受信 FIFO データフル発生時に、受信 FIFO データフル割り込み / DMA 転送要求とするかを切り替えます。 0 : CPU へ割り込み要求を発行します 1 : DMAC へ受信データ転送要求を発行します
13、12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	TSIE	0	R/W	トランスミットデータストップインタラプトイネーブル SCAFCR の TSE ビットがイネーブルでかつ SCASSR の TSF フラグが 1 にセットされたとき、トランスミットデータストップ要因による割り込みの発生を許可 / 禁止します。 0 : 送信データストップ割り込みを禁止* 1 : 送信データストップ割り込みを許可 【注】* 割り込み要求の解除は、TSF フラグの 1 を読み出した後、0 にクリアするかまたは TSIE を 0 にクリアすることで行うことができます。
10	ERIE	0	R/W	受信エラーインタラプトイネーブル SCASSR の ER フラグが 1 にセットされたとき、受信エラー（フレーミングエラー / パリティエラー）要因による割り込みの発生を許可 / 禁止します。 0 : 受信エラー割り込みを禁止* 1 : 受信エラー割り込みを許可 【注】* 割り込み要求の解除は、ER フラグの 1 を読み出した後、0 にクリアするか、ERIE ビットを 0 にクリアすることで行えます。
9	BRIE	0	R/W	ブ레이크インタラプトイネーブル SCASSR の BRK フラグが 1 にセットされたとき、ブ레이크受信要因による割り込みの発生を許可 / 禁止します。 0 : ブ레이크受信割り込みを禁止* 1 : ブ레이크受信割り込みを許可 【注】* 割り込み要求の解除は、BRK フラグの 1 を読み出した後、0 にクリアするか、BRIE ビットを 0 にクリアすることで行えます。
8	DRIE	0	R/W	レシーブデータレディインタラプトイネーブル SCASSR の DR フラグが 1 にセットされたとき、レシーブデータレディ要因による割り込みの発生を許可 / 禁止します。 0 : レシーブデータレディ割り込みを禁止* 1 : レシーブデータレディ割り込みを許可 【注】* 割り込み要求の解除は、DR フラグの 1 を読み出した後、0 にクリアするか、DRIE ビットを 0 にクリアすることで行えます。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>SCASSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ要因による割り込み要求の発生を許可 / 禁止します。</p> <p>0 : 送信 FIFO データエンプティ割り込み要求を禁止*</p> <p>1 : 送信 FIFO データエンプティ割り込み要求を許可</p> <p>【注】* 割り込み要求の解除は、SCAFTDR に送信トリガ設定数より多い送信データを書き込み、TDFE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>SCASSR の RDF フラグが 1 にセットされたときの受信 FIFO データフル要因による割り込み要求の発生を許可 / 禁止します。</p> <p>0 : 受信 FIFO データフル割り込み要求を禁止*</p> <p>1 : 受信 FIFO データフル割り込み要求を許可</p> <p>【注】* 割り込み要求の解除は、RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>シリアル送信動作の開始を許可 / 禁止します。</p> <p>0 : 送信動作を禁止</p> <p>1 : 送信動作を許可*</p> <p>【注】* TE ビットを 1 にセットする前に必ず SCASMR、SCAFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>シリアル受信動作の開始を許可 / 禁止します。</p> <p>0 : 受信動作を禁止*¹</p> <p>1 : 受信動作を許可*²</p> <p>【注】*¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>*² RE ビットを 1 にセットする前に必ず SCASMR、SCAFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3、2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1、0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>クロックソースを設定します。SCASMR で SCIFA の動作モードを決定する前に、必ず CKE[1:0] ビットの設定をしてください。</p> <ul style="list-style-type: none"> 調歩同期式 <ul style="list-style-type: none"> 00：内部クロック / SCK 端子は入力端子（入力信号は無視）*1 01：設定禁止 10：外部クロック / SCK 端子はクロック入力*3 11：設定禁止 クロック同期式 <ul style="list-style-type: none"> 00：設定禁止 01：内部クロック / SCK 端子は同期クロック出力*2 10：外部クロック / SCK 端子は同期クロック入力 11：設定禁止 <p>【注】 *1 内蔵ポーレートジェネレータでデータサンプリングする場合は、CKE[1:0]を 00 に設定してください。</p> <p>*2 出力クロックの周波数はビットレートと同じ</p> <p>*3 サンプリングレートに合わせたクロックを入力してください。たとえば、サンプリングレートが 1/16 の場合、ビットレートの 8 倍の周波数のクロックを入力してください。外部クロックを入力しない場合は、CKE[1:0]を 00 に設定してください。</p>

27.3.7 FIFO エラー数レジスタ (SCAFER)

SCAFER は、読み出し専用の 16 ビットのレジスタで、データの受信エラー（フレーミングエラー / パリティエラー）数を示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PER[5:0]					—	—	FER[5:0]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
13～8	PER[5:0]	000000	R	<p>パリティエラー数</p> <p>調歩同期モード時に、SCAFDR に格納されている受信データでパリティエラーの発生しているデータ数を示します。</p> <p>SCASSR の ER ビットがセットされた後、PER[5:0] ビットで示される値がパリティエラー発生データ数を表示します。</p> <p>SCAFDR の 64 バイトの受信データすべてがパリティエラーを伴う場合、PER[5:0] ビットは 0 を表示します。</p>

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5~0	FER[5:0]	000000	R	フレーミングエラー数 調歩同期式モード時に、SCAFRDR に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCASSR の ER ビットがセットされた後、FER[5:0]ビットで示される値がフレーミングエラーの発生しているデータ数を表示します。 SCAFRDR の 64 バイトの受信データすべてがフレーミングエラーを伴う場合、FER[5:0]ビットは 0 を表示します。

27.3.8 シリアルステータスレジスタ (SCASSR)

SCASSR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ステータスを示します。

ただし、ORER、TSF、ER、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。また、TEND フラグ、FER フラグおよび PER フラグは読み出し専用であり、書き込むことはできません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ORER	TSF	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値 :	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R(W)*R(W)*R(W)*	R	R(W)*R(W)*	R	R(W)*R(W)*	R	R	R	R(W)*R(W)*	R

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	ORER	0	R(W)*	オーバランエラーフラグ 受信時にオーバランエラーが発生したことを示します。 本ビットは調歩同期式モード時のみ有効となります。 0 : 受信中、または正常に受信を完了したことを表示* ¹ [クリア条件] <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ORER = 1 の状態を読み出した後、0 を書き込んだとき 1 : 受信時にオーバランエラーが発生したことを表示* ² [セット条件] <ul style="list-style-type: none"> • 受信 FIFO フルの状態で次のシリアル受信を完了したとき 【注】* ¹ SCASCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。 * ² SCAFRDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。

ビット	ビット名	初期値	R/W	説明
8	TSF	0	R/(W)*	<p>トランスミットデータストップフラグ</p> <p>送信データ数が、SCATDSR の設定値と一致したことを示します。</p> <p>0 : 送信データ数が SCATDSR の値と一致していない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • TSF = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : 送信データ数が SCATDSR の値と一致</p>
7	ER	0	R/(W)*	<p>レシーブエラー</p> <p>調歩同期モード時、受信時にフレーミングエラー、パリティエラーが発生したことを示します。*1</p> <p>0 : 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット、マニュアルリセット時 • ER = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*2 • 受信時の受信データとパリティビットを合わせた 1 の数が SCASMR の OE ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき <p>【注】*1 SCASCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCAFRDR に転送され、受信動作を続けます。SCAFRDR から読み出したデータに受信エラーがあるかどうかは、SCASSR の FER、PER ビットで判定できます。</p> <p>*2 ストップレングスが 2 ビットのときは 1 ビット目のストップビットが 1 であるかどうかのみを判定し 2 ビット目のストップビットはチェックしません。</p>
6	TEND	1	R	<p>トランスミットエンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCAFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0 : 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • SCAFTDR ヘデータを書き込んだとき <p>1 : 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1 バイトのシリアル送信キャラクタの送信時に SCAFTDR に送信データがないとき

ビット	ビット名	初期値	R/W	説明
5	TDFE	1	R/(W)*	<p>トランスミット FIFO データエンプティ</p> <p>SCAFTDR から SCATSR にデータ転送が行われ、SCAFTDR 内のデータ数が SCAFCR の TTRG[1:0]ビットで設定した送信トリガデータ数以下になり、SCAFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0 : SCAFTDR に送信トリガ設定数より多い送信データが書き込まれていることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCAFTDR に送信トリガ設定数を超える送信データを書き込み、TDFE = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : SCAFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット時 SCAFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき* <p>【注】* SCAFTDR は 64 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、64 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されません。また、SCAFTDR 内のデータ数は SCAFCR に示されます。</p>
4	BRK	0	R/(W)*	<p>ブレーク検出</p> <p>調歩同期モード時、受信データのブレーク信号を検出して示します。</p> <p>0 : ブレーク信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> パワーオンリセット、マニュアルリセット時 BRK = 1 の状態を読み出した後、0 を書き込んだとき <p>1 : ブレーク信号を受信したことを表示*</p> <p>[セット条件]</p> <ul style="list-style-type: none"> フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】* ブレーク検出すると検出後の受信データ (H'00) の SCAFCR 転送は停止します。ブレークが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。</p>

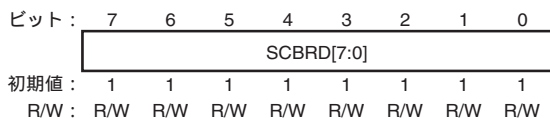
ビット	ビット名	初期値	R/W	説明
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期モード時、SCAFRDR から読み出したデータのフレーミングエラーを表示します。</p> <p>0 : SCAFRDR から読み出した受信データにフレーミングエラーがないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット時 • SCAFRDR 読み出しデータにフレーミングエラーなし <p>1 : SCAFRDR から読み出した受信データにフレーミングエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCAFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期モード時、SCAFRDR から読み出したデータのパリティエラーを表示します。</p> <p>0 : SCAFRDR から読み出した受信データにパリティエラーがないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット時 • SCAFRDR 読み出しデータにパリティエラーなし <p>1 : SCAFRDR から読み出した受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCAFRDR 読み出しデータにパリティエラーあり

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>レシーブ FIFO データフル</p> <p>受信したデータが SCARSR から SCAFRDR に転送され、SCAFDR 内の受信データ数が、SCAFDR の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0 : SCAFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット時 • SCAFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCAFRDR を読み出し、RDF = 1 を読み出した後、0 を書き込んだとき <p>1 : SCAFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCAFRDR に受信トリガ設定数以上の受信データが格納されたとき* <p>【注】* SCAFRDR は 64 バイトの FIFO レジスタです。RDF = 1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCAFDR が空の状態ではデータを読み出すと不定値が読み出されます。なお、SCAFDR 内の受信データ数は SCAFRDR の下位ビットに示されます。</p>
0	DR	0	R/(W)*	<p>レシーブデータレディ</p> <p>調歩同期モード時、SCAFDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上、次のデータが来ないことを示します。</p> <p>0 : 受信中または正常に受信完了して SCAFRDR に受信データが残っていないことを表示</p> <p>[クリア条件] (初期値)</p> <ul style="list-style-type: none"> • パワーオンリセット時 • SCAFRDR 内の受信データをすべて読み出し、DR = 1 を読み出した後、0 を書き込んだとき <p>1 : 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCAFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき* <p>【注】* 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。 etu (Elementary Time Unit : 1 ビットの転送期間の略)</p>

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

27.3.9 ビットレートレジスタ (SCABRR)

SCABRR は、読み出し / 書き込み可能な 8 ビットのレジスタで、SCASMR の CKS[1:0] ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信/受信のビットレートを設定します。



ビット	ビット名	初期値	R/W	説明
7~0	SCBRD[7:0]	H'FF	R/W	ビットレート設定

SCABRR の設定値は以下の計算式で求められます。

- 調歩同期式モードのとき

(サンプリングレート1/16の場合)

$$N = \{ B / (32 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

(サンプリングレート1/5の場合)

$$N = \{ B / (10 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

(サンプリングレート1/11の場合)

$$N = \{ B / (22 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

(サンプリングレート1/13の場合)

$$N = \{ B / (26 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

(サンプリングレート1/27の場合)

$$N = \{ B / (54 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

- クロック同期式モードのとき

$$N = \{ B / (4 \times 2^{2n-1} \times B) \} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータのSCABRRの設定値

調歩同期式モード (0 N 255)

クロック同期式モード (1 N 255)

B : 周辺クロック周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(nとクロックの関係は、次表を参照してください)

表 27.4 SCASMR の設定値

n	クロック	SCASMR の設定値
		CKS[1:0]
0	B	00
1	B /4	01
2	B /16	10
3	B /64	11

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

(サンプルングレート 1/16 の場合)

$$\text{誤差 (\%)} = \left\{ \left\{ \frac{B}{(N+1) \times 32 \times 2^{2n-1} \times B} \right\} \times 10^6 - 1 \right\} \times 100$$

(サンプルングレート 1/5 の場合)

$$\text{誤差 (\%)} = \left\{ \left\{ \frac{B}{(N+1) \times 10 \times 2^{2n-1} \times B} \right\} \times 10^6 - 1 \right\} \times 100$$

(サンプルングレート 1/11 の場合)

$$\text{誤差 (\%)} = \left\{ \left\{ \frac{B}{(N+1) \times 22 \times 2^{2n-1} \times B} \right\} \times 10^6 - 1 \right\} \times 100$$

(サンプルングレート 1/13 の場合)

$$\text{誤差 (\%)} = \left\{ \left\{ \frac{B}{(N+1) \times 26 \times 2^{2n-1} \times B} \right\} \times 10^6 - 1 \right\} \times 100$$

(サンプルングレート 1/27 の場合)

$$\text{誤差 (\%)} = \left\{ \left\{ \frac{B}{(N+1) \times 54 \times 2^{2n-1} \times B} \right\} \times 10^6 - 1 \right\} \times 100$$

27.3.10 FIFO コントロールレジスタ (SCAFCR)

SCAFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、送信、受信おのこの FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行います。またループバックテストの許可ビットを含んでいます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSE	TCR ST	—	—	—	RSTRG[2:0]	RTRG[1:0]	TTRG[1:0]	MCE	TFR ST	RFER ST	LOOP				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TSE	0	R/W	トランスミットデータストップイネーブル 送信データストップ機能を許可 / 禁止します。本機能は、調歩同期式でのみ設定可能です。クロック同期式では本機能はサポートしていないので、本ビットは 0 に設定してください。 0 : 送信データストップ機能を禁止 1 : 送信データストップ機能を許可

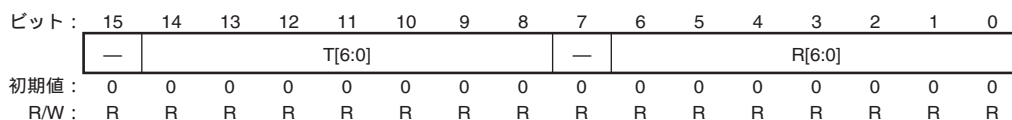
ビット	ビット名	初期値	R/W	説明
14	TCRST	0	R/W	<p>トランスミットカウントリセット</p> <p>送信カウンタを 0 にクリアします。本ビットは、送信データストップ機能使用時のみ有効となります。</p> <p>0 : 送信カウントリセットを禁止*</p> <p>1 : 送信カウントリセットを許可 (0 にクリア)</p> <p>【注】* パワーオンリセット時には送信カウントリセット (0 にクリア) が行われます。</p>
13~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~8	RSTRG[2:0]	000	R/W	<p>RTS 出力アクティブトリガ</p> <p>SCAFRDR 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。</p> <p>000 : 63</p> <p>001 : 1</p> <p>010 : 8</p> <p>011 : 16</p> <p>100 : 32</p> <p>101 : 48</p> <p>110 : 54</p> <p>111 : 60</p> <p>【注】 本機能はチャンネル 0 のみサポートします。</p>
7、6	RTRG[1:0]	00	R/W	<p>レシーブ FIFO データ数トリガ</p> <p>SCASSR のレシーブデータフル (RDF) フラグをセットする受信データ数を設定するビットです。</p> <p>SCAFRDR 内に格納された受信データ数が下表に示す受信トリガ設定数以上になったとき RDF フラグをセットします。</p> <p>00 : 1</p> <p>01 : 16</p> <p>10 : 32</p> <p>11 : 48</p>
5、4	TTRG[1:0]	00	R/W	<p>トランスミット FIFO データ数トリガ</p> <p>SCASSR のトランスミット FIFO データレジスタエンプティ (TDFE) フラグをセットする残りの送信データ数を設定するビットです。</p> <p>送信動作により SCAFTDR 内の送信データ数が、下表に示す送信トリガ設定数以下になったとき TDFE フラグをセットします。</p> <p>00 : 32 (32)</p> <p>01 : 16 (49)</p> <p>10 : 2 (62)</p> <p>11 : 0 (64)</p> <p>【注】 () 内の値はフラグ発生時の SCAFTDR の空き数を示します。</p>

ビット	ビット名	初期値	R/W	説明
3	MCE	0	R/W	<p>モデムコントロールラインブル</p> <p>モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を有効にします。</p> <p>0 : モデム信号を無効*</p> <p>1 : モデム信号を有効</p> <p>【注】 本機能はチャンネル 0 のみサポートします。</p> <p>* $\overline{\text{CTS}}$ は入力値にかかわらず 0 アクティブに、$\overline{\text{RTS0}}$ は 0 に固定します。</p>
2	TFRST	0	R/W	<p>トランスミット FIFO データレジスタリセット</p> <p>SCAFTDR 内の送信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
1	RFRST	0	R/W	<p>レシーブ FIFO データレジスタリセット</p> <p>SCAFTDR 内の受信データを無効とし、空の状態にリセットします。</p> <p>0 : リセット動作を禁止*</p> <p>1 : リセット動作を許可</p> <p>【注】* パワーオンリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (TxD) と受信入力端子 (RxD)、$\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続し、ループバックテストを可能にします。</p> <p>0 : ループバックテストを禁止</p> <p>1 : ループバックテストを許可</p>

27.3.11 FIFO データ数レジスタ (SCAFDR)

SCAFDR は、読み出し専用の 16 ビットのレジスタで、SCAFTDR および SCAFRDR 内に格納されているデータ数を示します。

T[6:0]ビットで SCAFTDR 内の送信データ数を、R[6:0]ビットで SCAFRDR 内の受信データ数を示します。

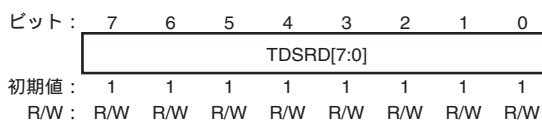


ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~8	T[6:0]	H'00	R	SCAFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'40 は SCAFTDR にいっぱいの送信データが格納されていることを示します。
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	R[6:0]	H'00	R	SCAFDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'40 は SCAFRDR にいっぱいの受信データが格納されていることを示します。

27.3.12 トランスミットデータストップレジスタ (SCATDSR)

SCATDSR は、読み出し / 書き込み可能な 8 ビットレジスタで、送信データ数を設定します。本レジスタは、SCAFCR の TSE ビットがイネーブル時のみ有効となります。送信動作は、本レジスタで設定したデータ数を送信すると停止します。設定可能な値は、H'00 (1 バイト) ~ H'FF (256 バイト) です。

本レジスタの初期値は H'FF です。



ビット	ビット名	初期値	R/W	説明
7~0	TDSRD[7:0]	H'FF	R/W	送信データストップ設定

27.4 動作説明

27.4.1 概要

SCIFA は、キャラクタ単位で同期を取りながら通信する調歩同期モードと、クロックに同期してシリアル通信を行うクロック同期式モードをサポートしています。

送受信おののに 64 段のバッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。

27.4.2 調歩同期式モード

以下に調歩同期式モードについて説明します。

送受信フォーマットの選択は、SCASMR で行います。これを表 27.5 に示します。

- データ長：7ビット/8ビットから選択可能
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、レシーブFIFOデータフル、レシーブデータレディ、およびブレイクの検出が可能
- 送受信FIFOレジスタおののの格納データ数を表示
- クロックソース：内部クロック/外部クロックから選択可能
- 内部クロックを選択した場合：
ボーレートジェネレータのクロックで動作します。
- 外部クロックを選択した場合：
サンプリングレートに合わせたクロックを入力することが必要。たとえば、サンプリングレートが1/16の場合、ビットレートの8倍の周波数のクロックを入力することが必要
(内蔵ボーレートジェネレータを使用しない)

表 27.5 SCASMR の設定値とシリアル送信/受信フォーマット

SCASMR の設定値			モード	SCIF の送信/受信フォーマット				
ビット6	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長	
CHR	PE	STOP						
0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット	
		1					2ビット	
	1	0				あり	1ビット	
		1				2ビット		
1	0	0		7ビット データ		なし	なし	1ビット
		1						2ビット
	1	0					あり	1ビット
		1					2ビット	

27.4.3 調歩同期式モードのシリアル動作

(1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 27.6 に示します。

送信 / 受信フォーマットは 8 種類あり、SCASMR の設定により選択できます。

表 27.6 シリアル送信 / 受信フォーマット

SCASMRの設定			シリアル送信 / 受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	START 8ビットデータ STOP											
		1	START 8ビットデータ STOP								STOP	STOP		
	1	0	START 8ビットデータ P								STOP			
		1	START 8ビットデータ P								STOP	STOP		
1	0	0	START 7ビットデータ STOP											
		1	START 7ビットデータ STOP							STOP	STOP			
	1	0	START 7ビットデータ P							STOP				
		1	START 7ビットデータ P							STOP	STOP			

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIF の送受信クロックは、SCASCR の CKE ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。

外部クロックを SCK 端子に入力する場合には、サンプリングレートに合わせたクロックを入力してください。たとえば、サンプリングレートが 1/16 の場合、ビットレートの 8 倍の周波数のクロックを入力してください。

(3) データの送信 / 受信動作

(a) SCIFA の初期化

データの送信 / 受信前には、まず SCASCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIFA を初期化してください。

通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると、SCASSR が初期化されます。TE、RE ビットを 0 にクリアしても、SCASSR、SCAFTDR および、SCAFRDR の内容は保持されますので注意してください。

TE ビットの 0 クリアは、送信データをすべて送信し SCASSR の TEND ビットが 1 にセットされた後に行ってください。送信中でも 0 クリア可能ですが、送信中のデータは 0 クリア後、ハイインピーダンス状態になります。また、再度 TE ビットを 1 にセットして送信開始する前に、SCAFCR の TFRST ビットをいったん 1 にセットして SCAFTDR をリセットしてください。

図 27.2 に SCIFA の初期化フローチャートの例を示します。

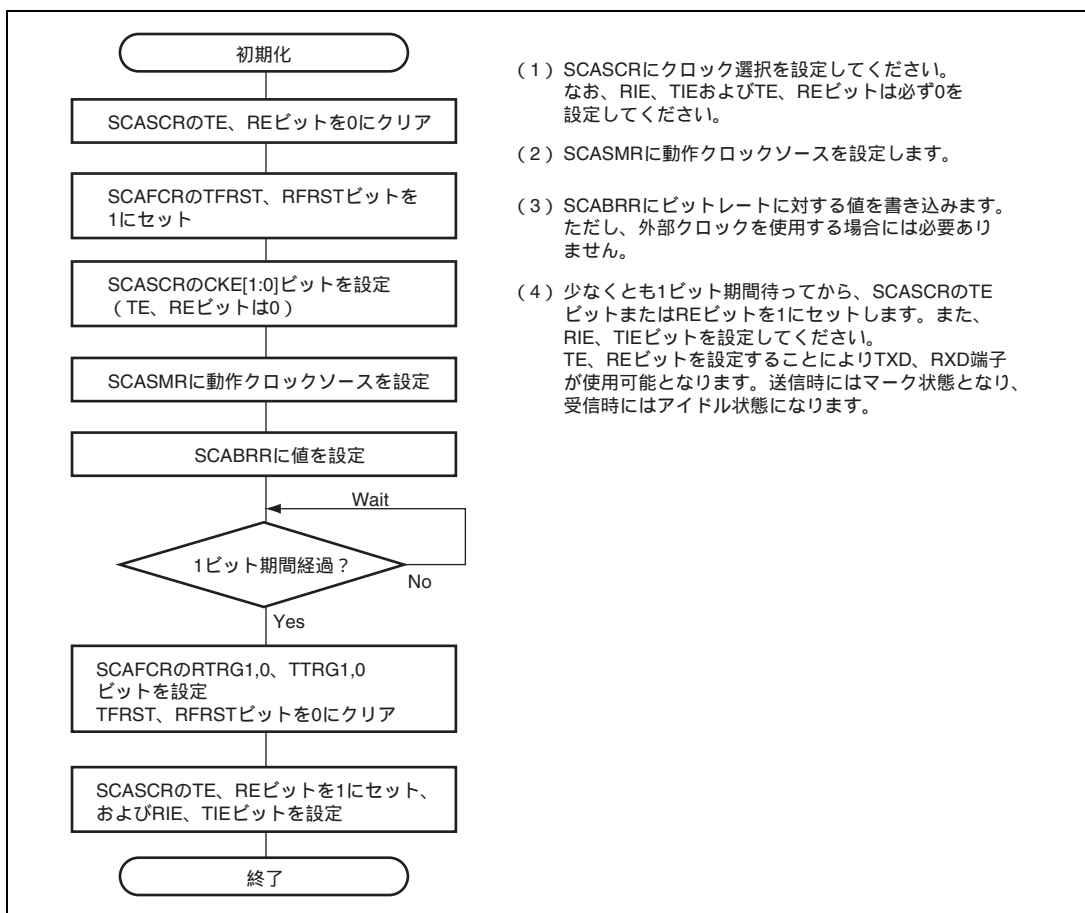


図 27.2 SCIFA の初期化フローチャートの例

(b) シリアルデータ送信

図 27.3 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFA を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

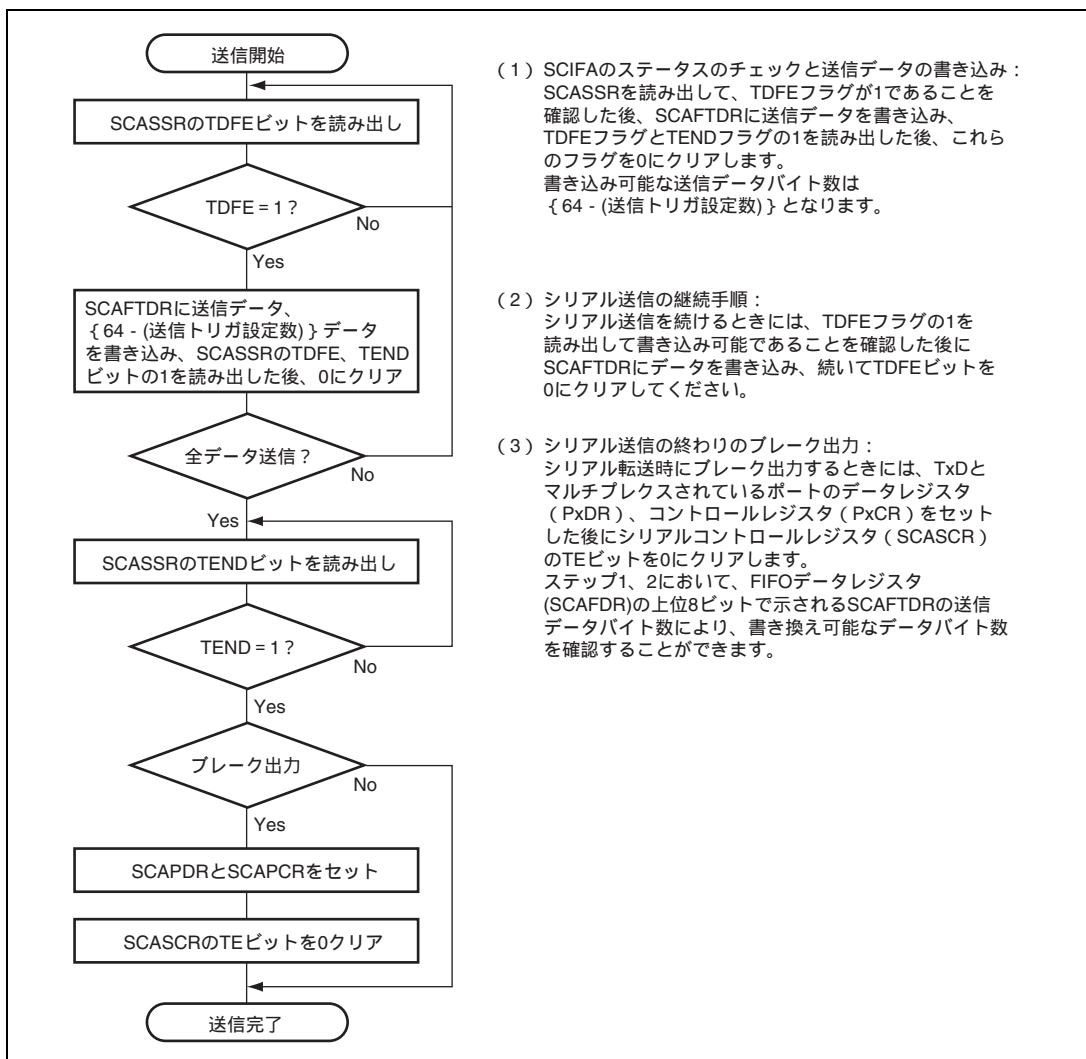


図 27.3 シリアル送信のフローチャートの例

SCIFA はシリアル送信時に以下のように動作します。

1. SCIFAは、SCAFTDRにデータが書き込まれると、SCAFTDRからSCATSRにデータを転送し、送信を開始します。SCAFTDRにはSCASSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも $\{64 - (\text{送信トリガ設定})\}$ 数です。
2. SCAFTDRからSCATSRへデータが転送され、送信を開始すると、SCAFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCAFTDR内の送信データ数がSCAFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。

このとき、SCASCRのTIEビットが1にセットされていると、送信FIFOデータエンプティ要因による割り込み要求を発生します。

送信データストップ機能使用時、SCATDSRに設定したデータ数と一致すると、送信動作を停止し、SCASSRのTSFフラグをセットします。このとき、SCASCRのTSIEビットが1にセットされていると、送信データストップ要因による割り込み要求を発生します。ただし、送信FIFOデータエンプティ割り込みと送信データストップ割り込みのベクタは共通です。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- a. スタートビット：1ビットの0が出力されます。
 - b. 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - c. パリティビット（偶数パリティ、または奇数パリティ）が出力されます。
 - d. なお、パリティビットを出力しないフォーマットも選択できます。
 - e. ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
 - f. マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFAは、ストップビットを送出するタイミングでSCAFTDRの送信データをチェックします。

データがある場合は、SCAFTDRからSCATSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

送信データがない場合は、SCASSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。

調歩同期式モードの送信時の動作例を図 27.4 に示します。

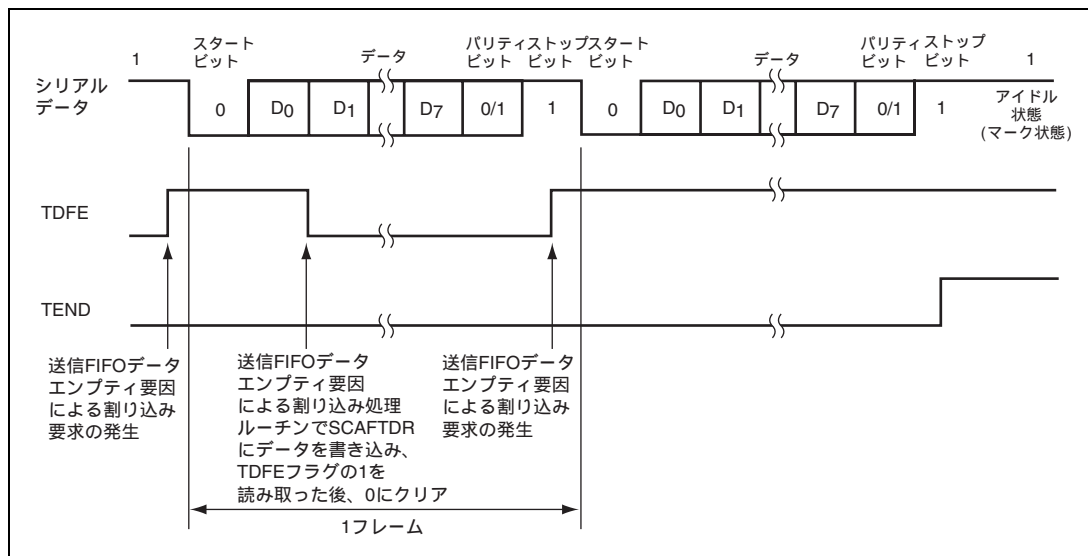


図 27.4 送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

(c) 送信データストップ機能

送信データストップ機能とは、SCATDSR レジスタの値と送信データ数が一致すると、送信動作を停止する機能です。TSiE ビット（割り込みイネーブルビット）をセットしておくことで、割り込みの発生および DMAC の起動を行うことができます。

送信データストップ機能の動作例を図 27.5 に示します。

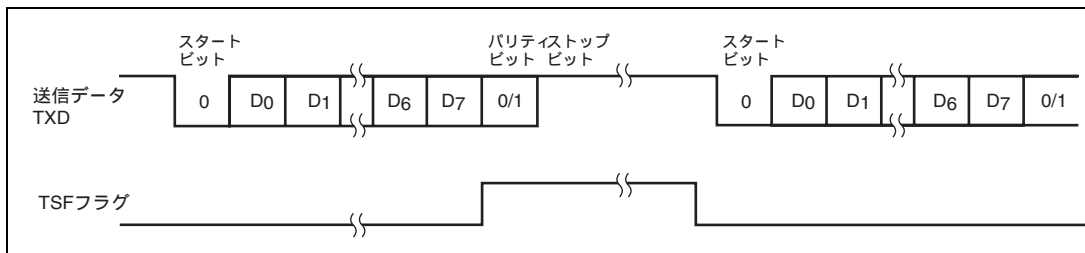


図 27.5 送信データストップ機能の動作例

次に、送信データストップ機能のフローチャートを図 27.6 に示します。

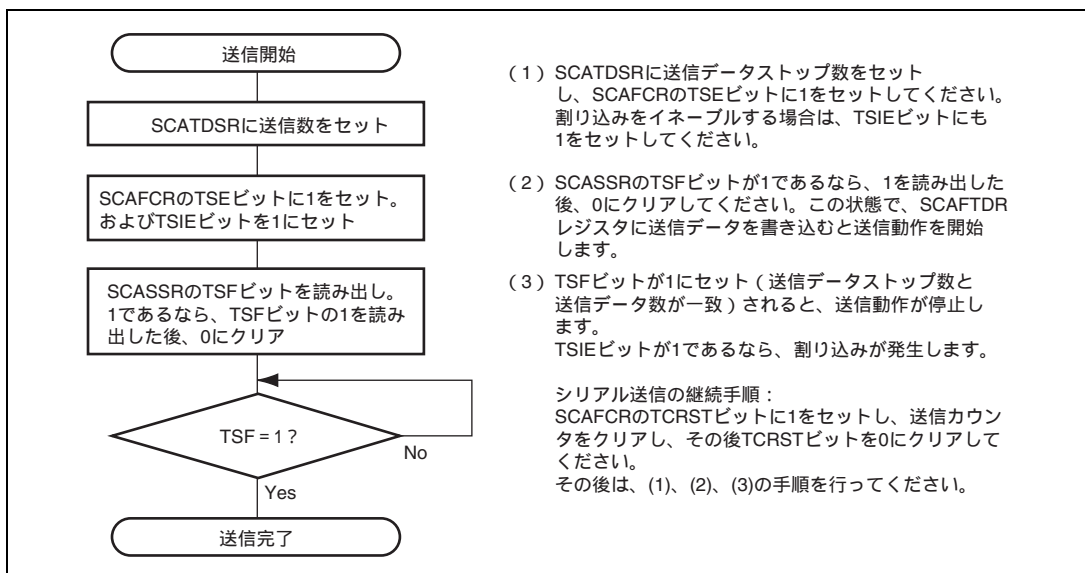


図 27.6 送信データストップ機能のフローチャート

(d) シリアルデータ受信

図 27.7、図 27.8 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIFA を受信動作可能状態に設定した後、以下の手順に従って行ってください。

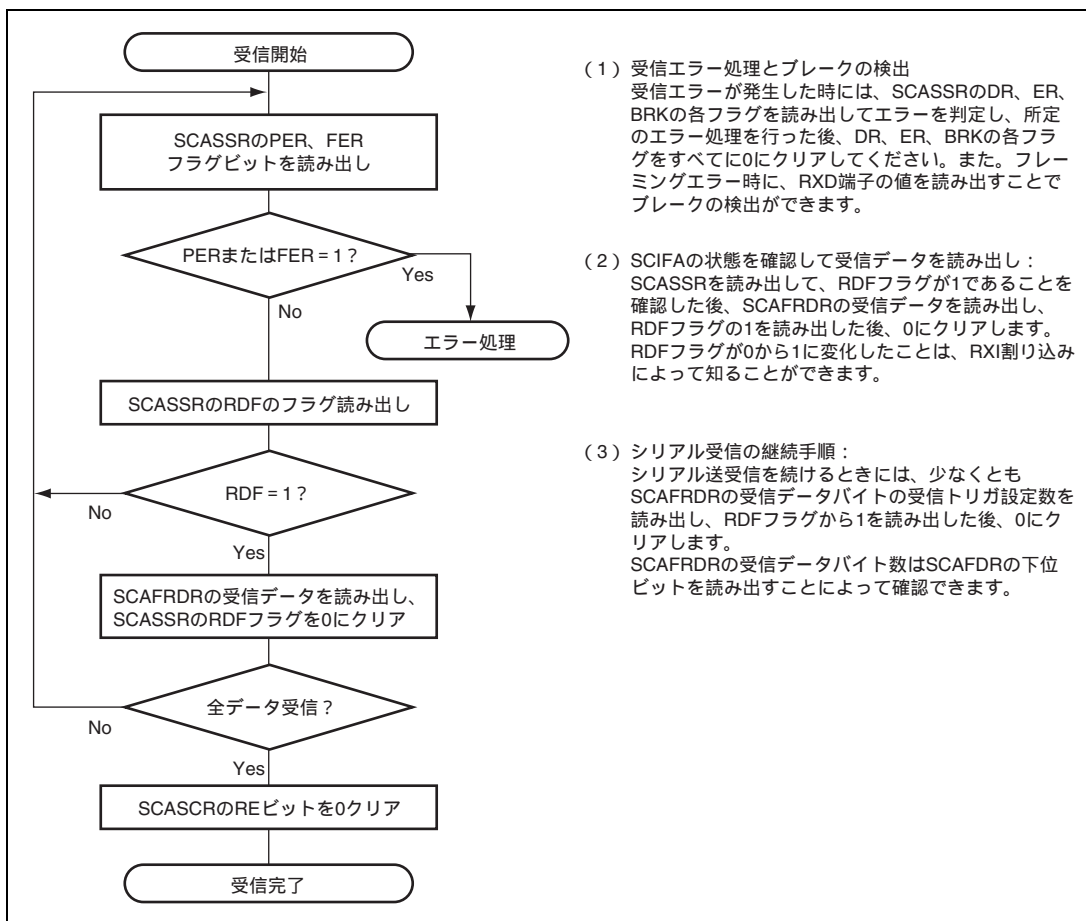


図 27.7 シリアル受信のフローチャートの例 (1)

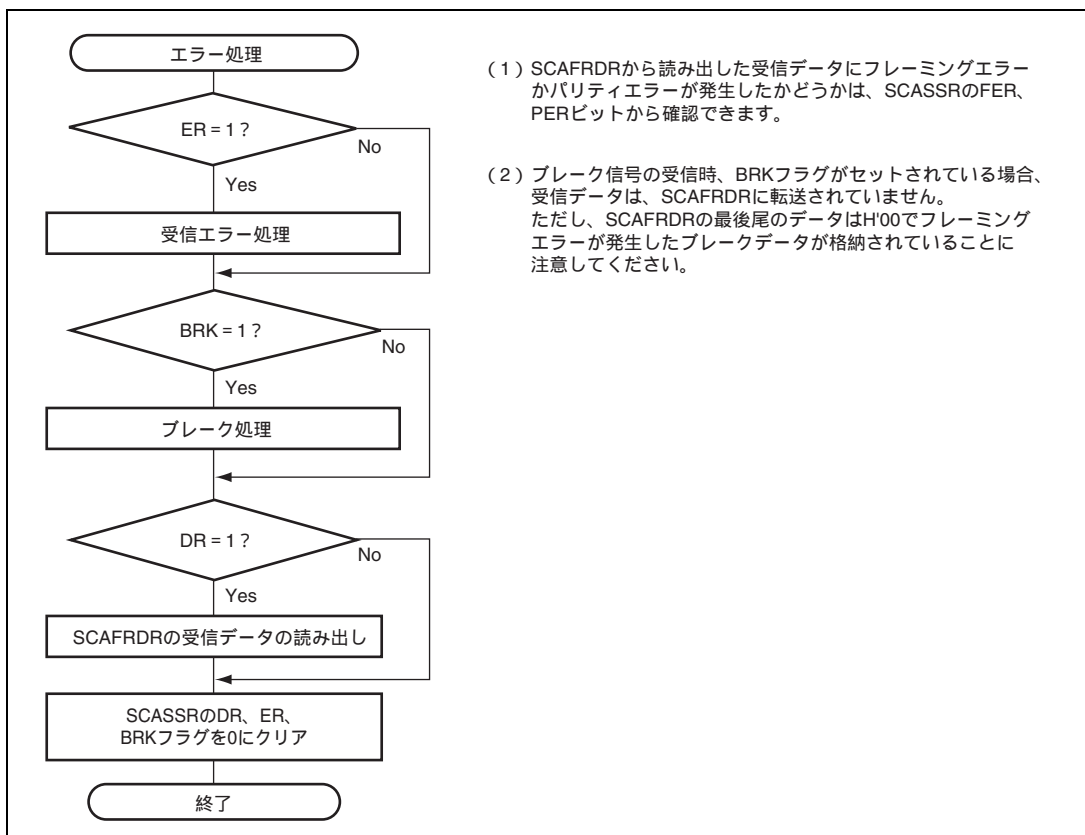


図 27.8 シリアル受信のフローチャートの例 (2)

SCIFA は受信時に以下のように動作します。

1. SCIFAは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCASSRのLSBからMSBの順に格納します。
3. パリティビット、およびストップビットを受信します。

受信後、SCIFA は以下のチェックを行います。

- a. ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- b. 受信データをSCASSRからSCAFRDRに転送できる状態であるかをチェックします。
- c. ブレークチェック：BRKフラグが0であり、ブレーク状態でないことをチェックします。

以上のチェックがパスしたとき、SCAFRDR に受信データが格納されます。

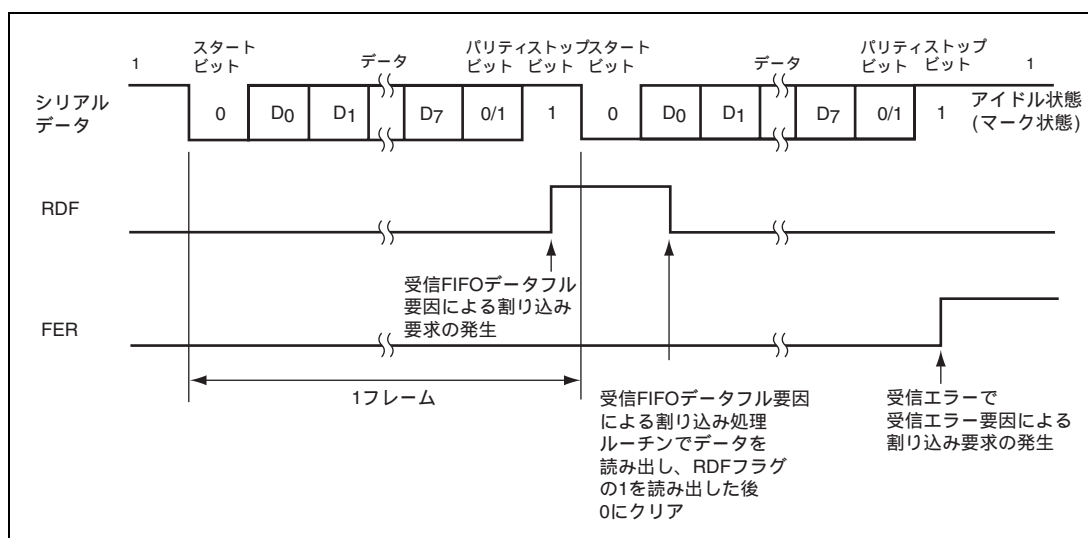
【注】 受信エラー（フレーミングエラー／パリティエラー）が発生しても受信動作を続けます。

4. RDFフラグが1になったとき、SCASCのRIEビットが1にセットされていると受信FIFOデータフル要因による割り込み要求を発生します。また、ERフラグが1になったとき、SCASCのERIEビットが1にセットされていると受信エラー要因による割り込み要求を発生します。

BRKフラグが1になったとき、SCASCのBRIEビットが1にセットされていると、ブレイク受信要因による割り込み要求を発生します。

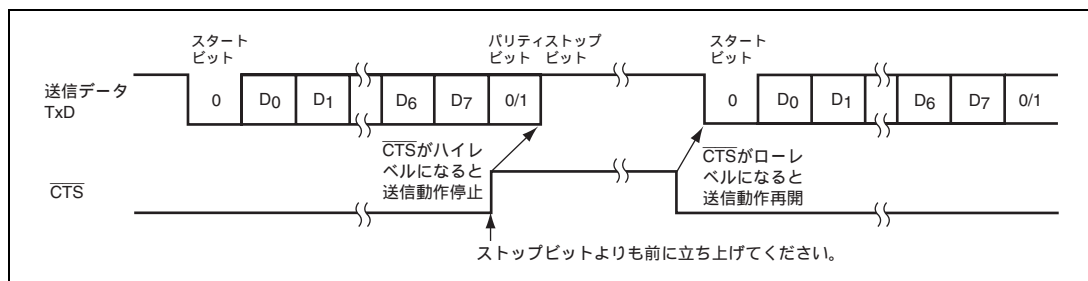
DRフラグが1になったとき、SCASCのDRIEビットが1にセットされていると、レシーブデータレディ要因による割り込み要求を発生します。ただし、各要因で発生する割り込みのベクタは共通です。

受信時の動作例を図 27.9 に示します。



SCIFA は、モデム機能を持っています。モデム機能を使用した場合、 $\overline{\text{CTS}}$ 入力値に応じて送信を停止、再開することができます。 $\overline{\text{CTS}}$ が 1 にセットされると、送信中である場合、1 フレームの送信後マーク状態になります。 $\overline{\text{CTS}}$ が 0 にセットされると、次の送信データをスタートビットを先頭に出力します。

$\overline{\text{CTS}}$ 制御の動作例を図 27.10 に示します。



また、モデム機能を使用した場合、受信 FIFO (SCAFRDR) が $\overline{\text{RTS}}$ 出力トリガ数以上になったとき、 $\overline{\text{RTS}}$ 信号はハイレベルになります。

次に $\overline{\text{RTS}}$ 制御の動作例を図 27.11 に示します。

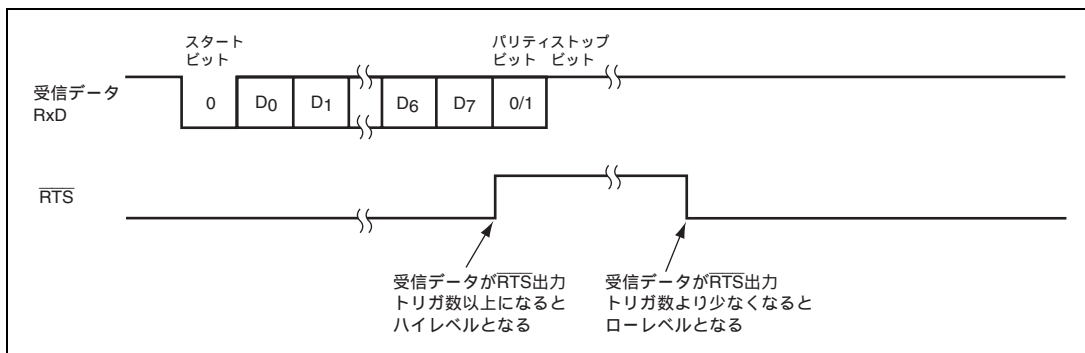


図 27.11 $\overline{\text{RTS}}$ 制御の動作例

27.4.4 クロック同期式モード

以下にクロック同期式モードについて説明します。

送受信おののに 64 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。

動作クロックソースの選択は SCASMR で行います。また、SCIFA のクロックソースは SCASCR の CKE[1:0] で決まります。

- 送受信フォーマット：8ビットデータ固定
- 送受信FIFOレジスタおののの格納データ数を表示
- SCIFAのクロックソース：内部クロック / 外部クロックから選択可能

内部クロックを使用した場合：

SCIFAはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力

外部クロックを選択した場合：

SCK端子から入力された外部周期クロックで動作

27.4.5 クロック同期式モードのシリアル動作

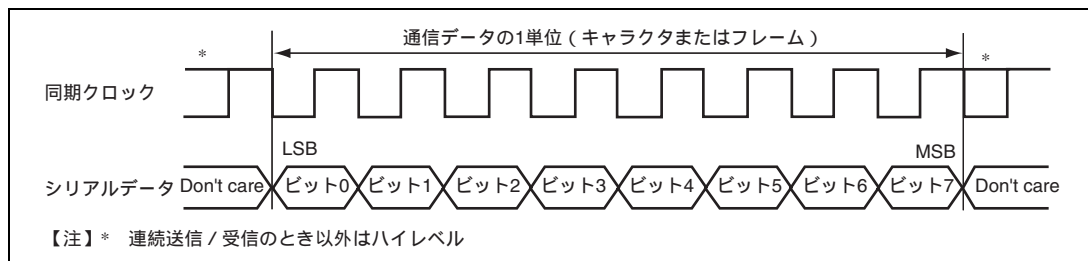


図 27.12 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCIFA は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8 ビットデータ固定です。

パリティビットやマルチプロセスビットの付加はできません。

(2) クロック

SCASCRのCKE[1:0]ビットの設定により内蔵ポーレートジェネレータの生成した内部クロックまたはSCK端子から入力された外部周期クロックの2種類から選択できます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、RE ビットが1にセットされている間、同期クロックは出力し続けます。

1キャラクタ単位で同期クロックをハイレベルに固定したいときは、受信するデータ数と同じ数のデータをSCAFTDRへ書き込み、同時にTE、RE ビットを1にセットして送信データをダミーで送信してください。送信データ数が送信されると同期クロックはハイレベルに固定されます。

(3) データの送信 / 受信動作

(a) SCIFA の初期化

データの送信 / 受信前には、まずSCASCRのTE ビット、およびRE ビットを0にクリアしたあと、以下の順でSCIFAを初期化してください。

クロックソースの変更などの場合には必ず、TE ビットおよびRE ビットを0にクリアしてから次の手順で変更を行ってください。TE ビットを0にクリアするとSCATSRが初期化されます。

TE、RE ビットを 0 にクリアしても、SCASSR、SCAFTDR、および SCAFRDR の内容は保持されますので注意してください。TE ビットの 0 クリアは、送信データをすべて送信し SCASSR の TEND ビットが 1 にセットされたあとに行ってください。送信途中には TE ビットを 0 にクリアしないでください。TE ビットを 0 にクリアすると、TxD 端子はハイインピーダンス状態となります。また再度 TE ビットを 1 にセットして送信開始する前に SCFCR の TFRST ビットをいったん 1 にセットして SCAFTDR をリセットしてください。

図 27.13 ~ 図 27.15 に SCIFA の初期化フローチャートの例を示します。

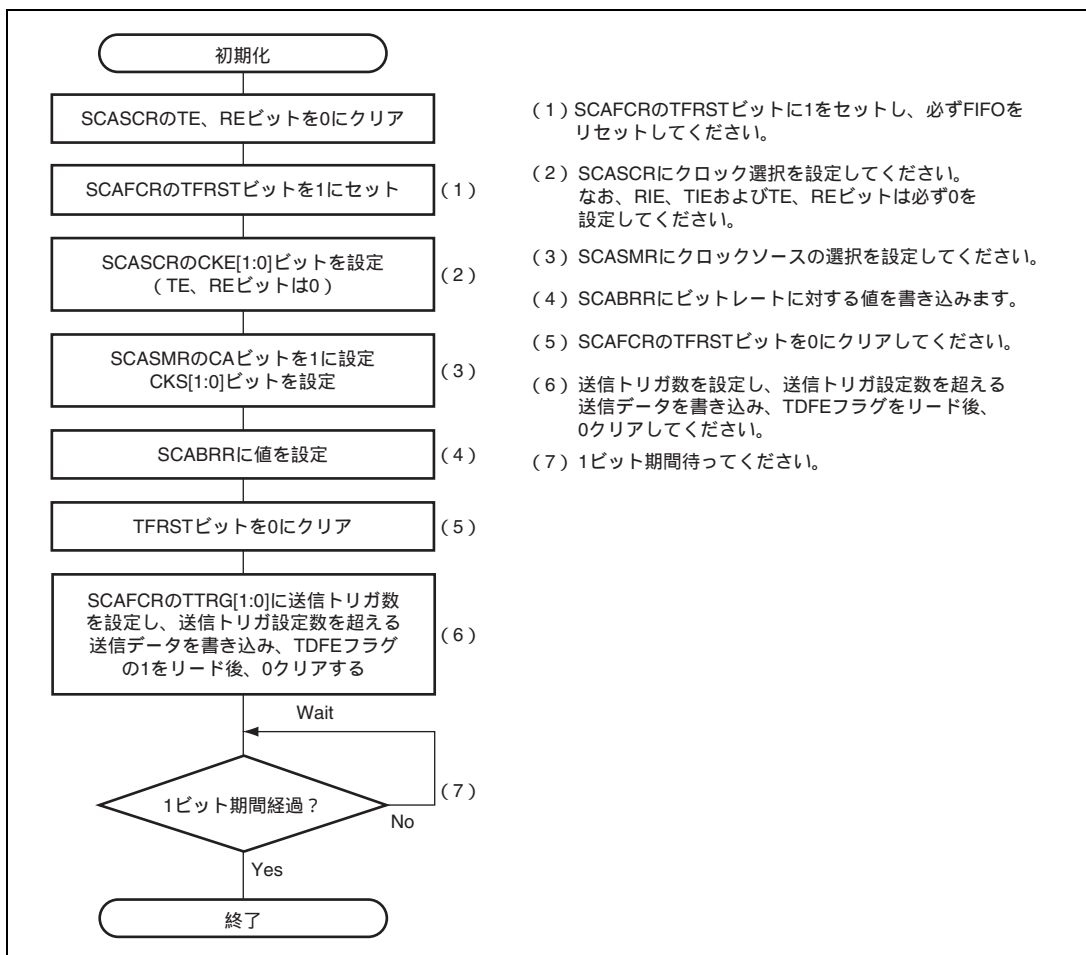


図 27.13 送信動作時の初期化フローチャートの例 (1)

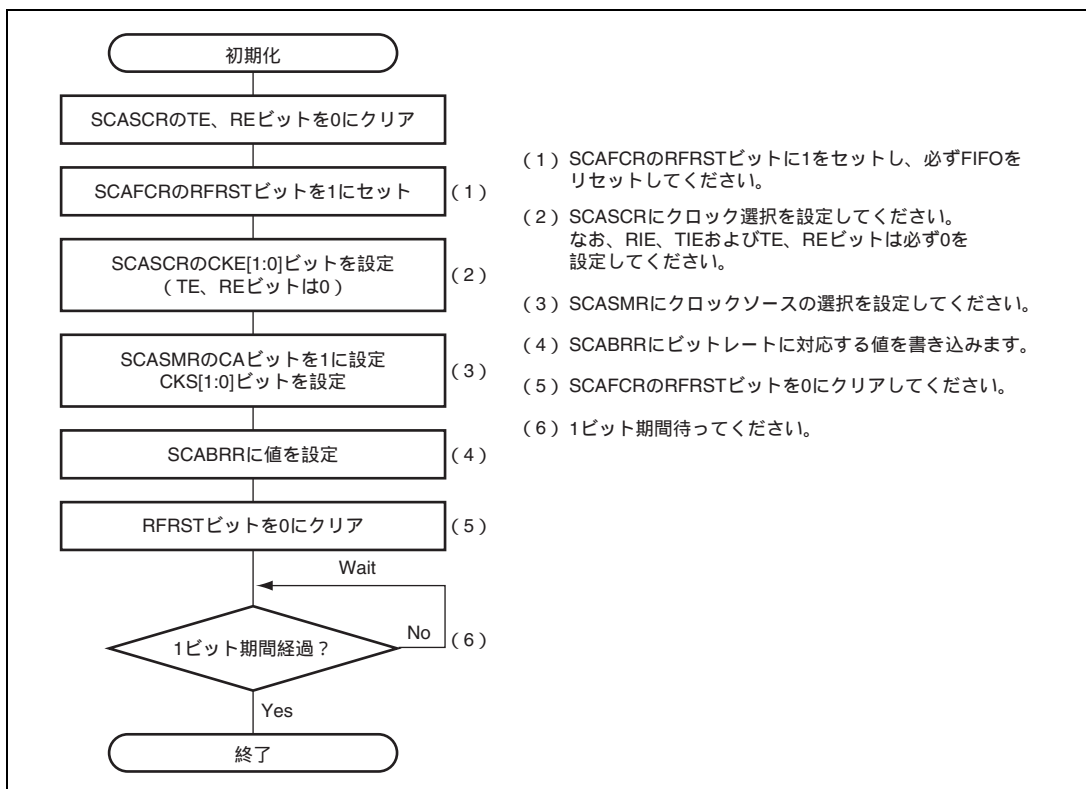


図 27.14 受信動作時の初期化フローチャートの例 (2)

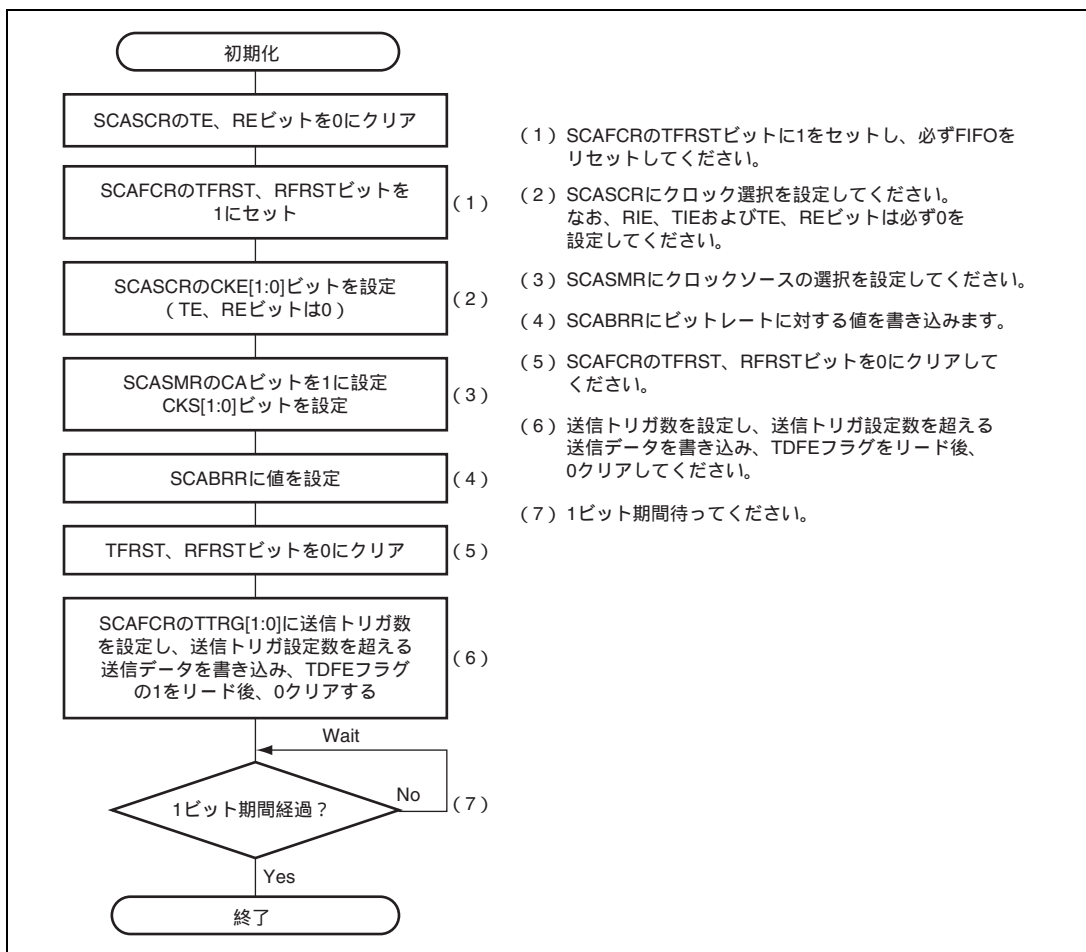


図 27.15 同時送受信時の初期化フローチャートの例 (3)

(b) シリアルデータ送信

図 27.16、図 27.17 にシリアル送信のフローチャートの例を示します。

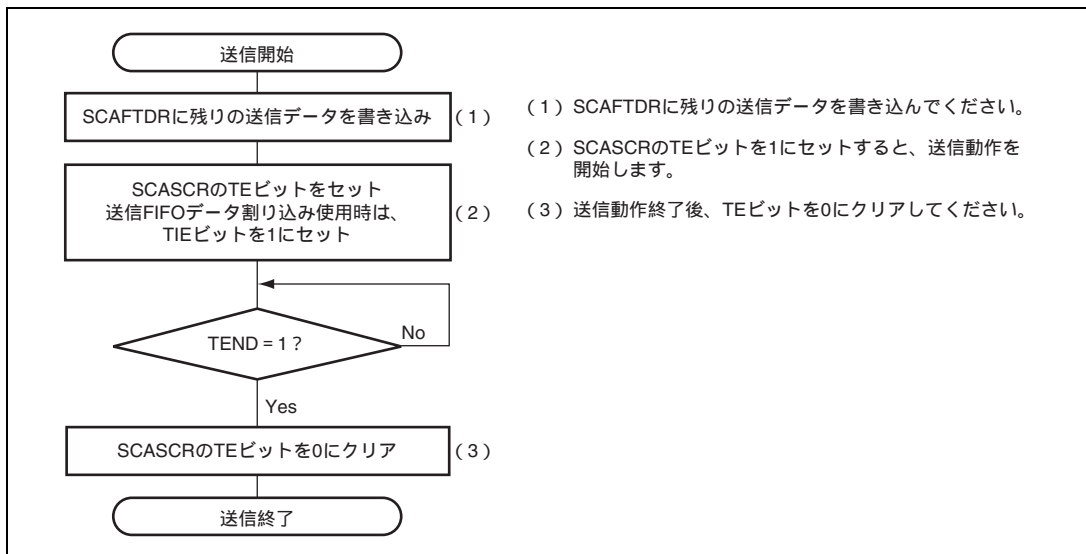


図 27.16 送信動作時のフローチャートの例 (初期化後 1 回目の送信動作) (1)

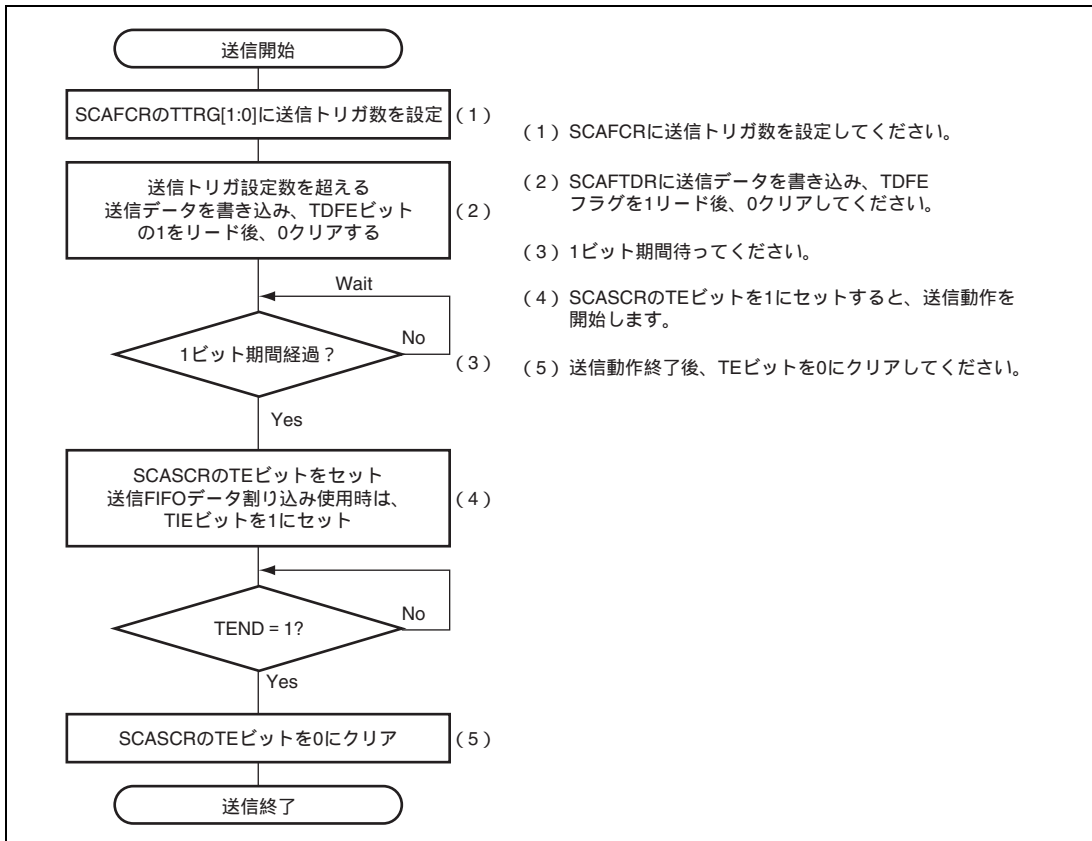


図 27.17 送信動作時のフローチャートの例 (2 回目以降の送信動作) (2)

(c) シリアルデータ受信

図 27.18、図 27.19 にシリアル受信フローチャートの例を示します。

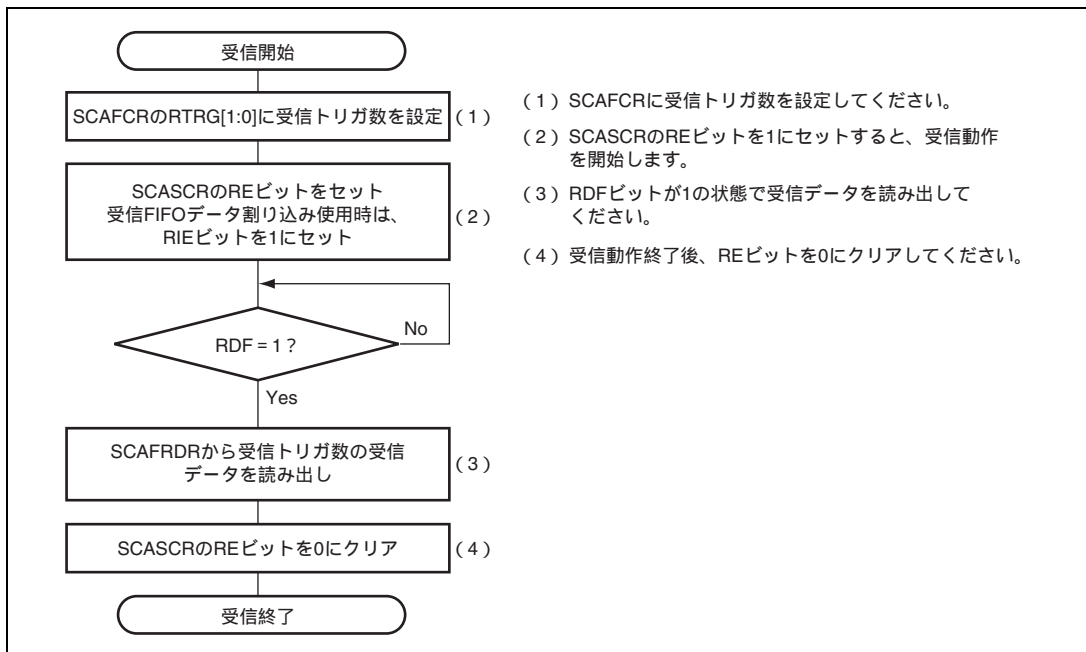


図 27.18 受信動作時のフローチャートの例 (初期化後 1 回目の受信動作) (1)

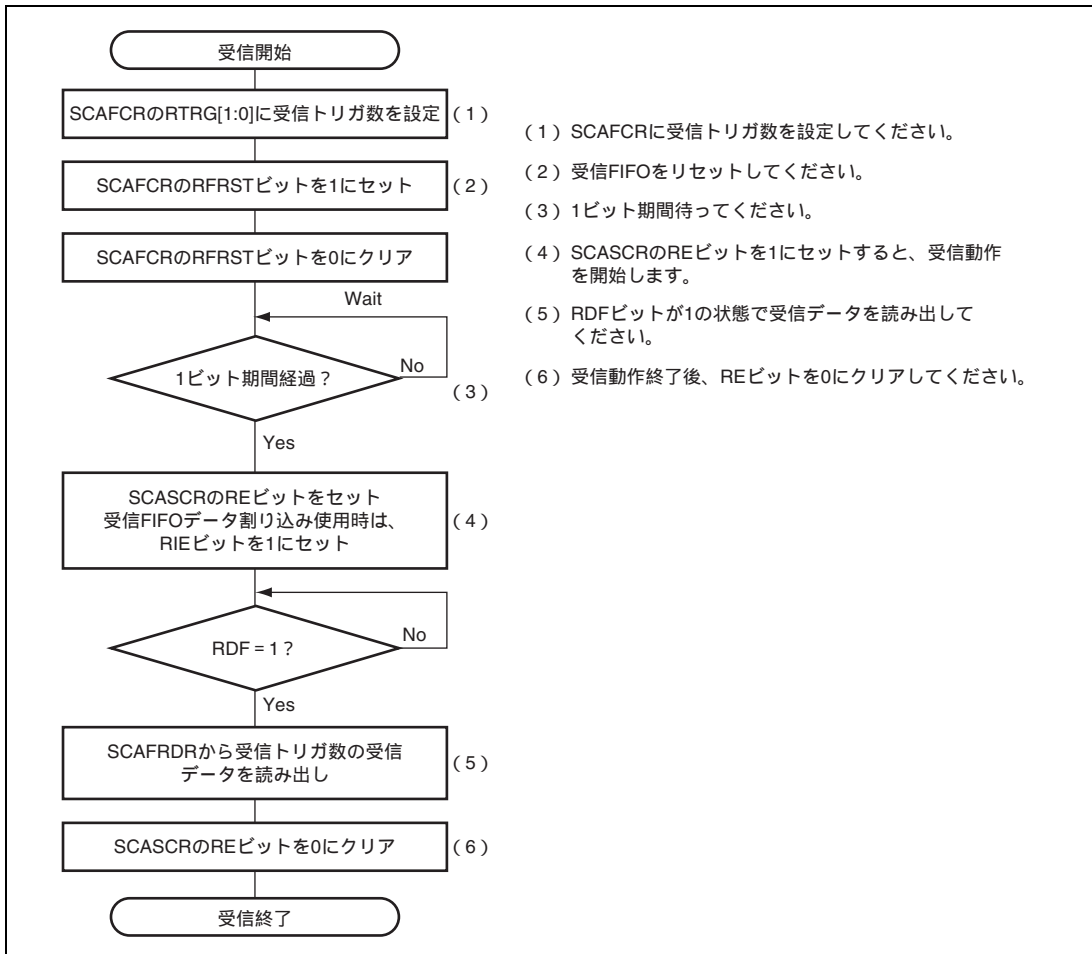


図 27.19 受信動作時のフローチャートの例 (2回目以降の受信動作) (2)

(d) シリアルデータ送受信同時動作

図 27.20、図 27.21 にシリアル送受信同時動作のフローチャートの例を示します。

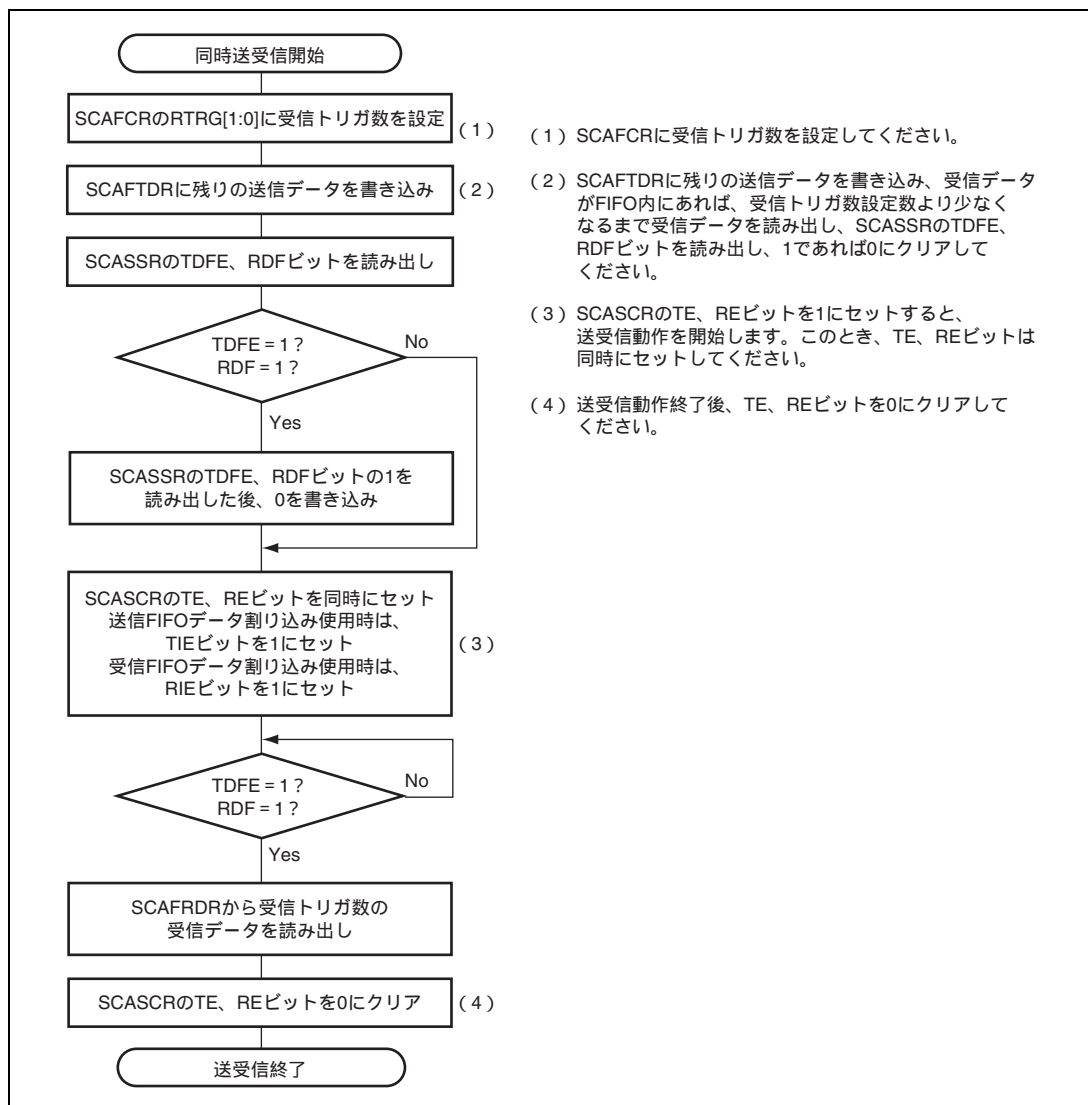


図 27.20 同時送受信動作時のフローチャートの例 (初期化後 1 回目の送受信動作) (1)

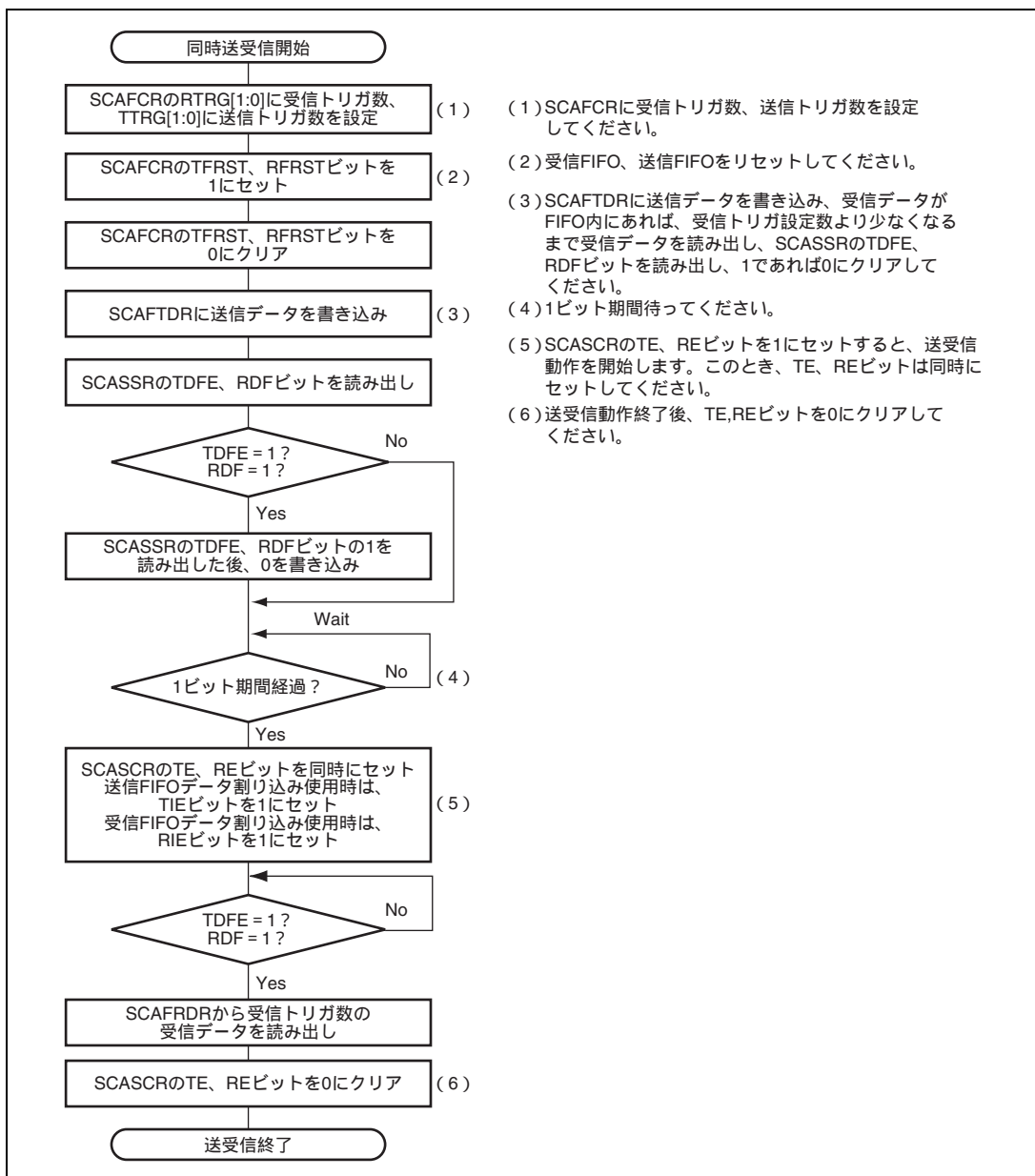


図 27.21 同時送受信動作時のフローチャートの例 (2回目以降の送受信動作) (2)

27.5 割り込み要因と DMAC

SCIFA は、送信 FIFO データエンpty 要因による割り込み要求、送信データストップ要因による割り込み要求、受信エラー要因による割り込み要求、受信 FIFO データフル要因による割り込み要求、ブレイク受信要因による割り込み要求、レシーブデータレディ要因による割り込み要求の 6 種類の割り込み要因をサポートしています。ただし、各要因による割り込みのベクタは共通です。

クロック同期モード時には、送信 FIFO データエンpty 割り込み要求、受信 FIFO データフル割り込み要求の 2 種類の割り込みをサポートしています。

表 27.7 に各割り込み要因を示します。各割り込み要因は、SCASSR の TIE、RIE、ERIE、BRIE、DRIE、TSIE ビットで、許可または禁止ができます。

SCASSR の TDFE フラグが 1 にセットされると、送信 FIFO データエンpty 要因による割り込み要求が発生します。SCASSR の TSF フラグが 1 にセットされると、送信データストップ要因による割り込み要求が発生します。送信 FIFO データエンpty 要因による割り込み要求と送信データストップ要因による割り込み要求で DMAC を起動してデータ転送を行うことができます。DMAC 転送要求は、DMAC で SCAFTDR に送信トリガ設定数を超えるデータが書き込まれると自動的にクリアされます。ただし、送信 FIFO データエンpty 要因と送信データストップ要因による DMAC 要求は共通です。

SCASSR の RDF フラグが 1 にセットされると、受信 FIFO データフル要因による割り込み要求が発生します。受信 FIFO データフル要因による割り込み要求で DMAC を起動してデータ転送を行うことができます。DMAC 転送要求は、DMAC で SCAFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで読み出されると自動的にクリアされます。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIFA の設定を行ってください。また、DMA 転送の終了にて送受信の完了となります。

SCASSR の ER フラグが 1 にセットされた場合、または、SCASSR の BRK フラグが 1 にセットされた場合、または、SCASSR の DR フラグが 1 にセットされた場合、または、SCASSR の TSF フラグが 1 にセットされた場合には、割り込み要求が発生します。

ただし、各要因による割り込みのベクタは共通となります。また、同一要因により、DMAC 起動と割り込みを同時に発生させることはできません。DMAC 起動を使用する場合は、以下の手順を取ってください。

1. 発生要因に対応する割り込みイネーブルビット (TIE、RIE、TDIE) を 1 にセットしてください。
2. 割り込みコントローラの割り込みマスクレジスタにより、対応する割り込み要求をマスクしてください。

表 27.7 SCIFA の割り込み要因

割り込み要因の内容	DMAC の起動
受信エラー (ER) またはブレイク (BRK) による割り込み	不可
受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可*1
送信 FIFO データエンpty (TDFE) または送信データストップ (TSF) による割り込み	可*2

【注】 *1 受信 FIFO データフル要因による割り込み要求でのみ DMAC の起動が行えます。

*2 送信 FIFO データエンpty 要因による割り込み要求でのみ DMAC の起動が行えます。

27.6 使用上の注意事項

SCIFA を使用する際は、以下のことに注意してください。

(1) SCAFTDR への書き込みと TDFE フラグについて

SCASSR の TDFE フラグは、SCAFTDR 内に書き込んだ送信データ数が SCAFCR の TTRG[1:0]ビットで設定した送信トリガ数以下になったとき、セットされます。TDFE がセットされた後、SCAFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし、TDFE フラグは、SCAFTDR に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは、送信トリガ数より多い送信データが SCAFTDR に格納されたときに行ってください。

SCAFTDR 内の送信データ数は、SCAFCR の T[6:0]ビットで知ることができます。

(2) SCAFRDR の読み出しと RDF フラグについて

SCASSR の RDF フラグは、SCAFRDR 内の受信データ数が SCAFCR の RTRG[1:0]ビットで設定した受信トリガ数以上になったとき、セットされます。RDF がセットされた後、SCAFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCAFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、すべての受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCAFRDR 内の受信データ数は、SCAFCR の R[6:0]ビットで知ることができます。

(3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に、RxD 端子の値を直接読み出すことによってもブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIFA は、ブレークを受信した後は SCAFRDR への受信データの転送は停止しますが、受信動作は続けています。

(4) 受信データサンプリングタイミングと受信マージン

サンプリングレートを 1/16 とした場合を例に挙げて説明します。SCIFA は、転送レートの 8 倍の周波数の基本クロックで動作します。

受信時に SCIFA は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 27.22 に示します。

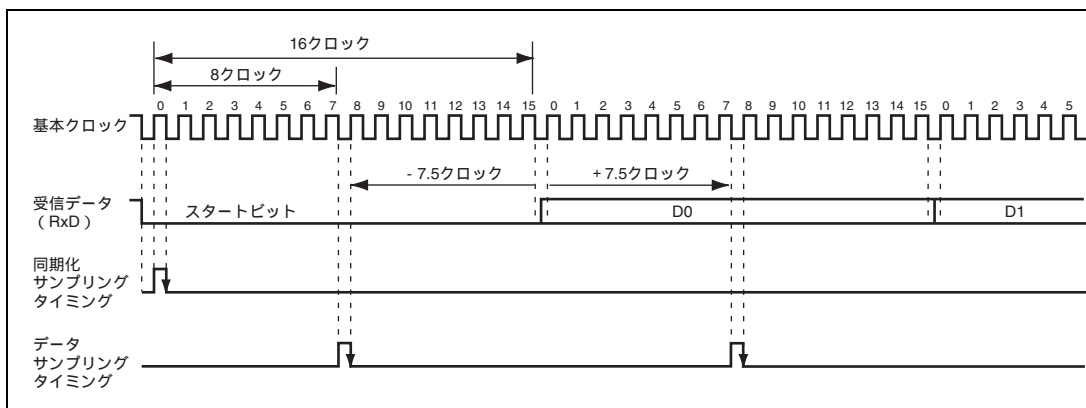


図 27.22 受信データサンプリングタイミング

したがって、受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \dots \text{式(1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\%$$

$$= 46.875\% \dots \dots \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(5) クロック同期モードでの同時送受信時の制約事項

同時送受信動作において、送信動作が完了し TXD および SCK の出力が停止しても、受信動作は受信 FIFO がフルになるまで受信動作を継続します。

たとえば、送信 FIFO がエンプティになり、TXD および SCK の出力が停止しても、受信側は、受信 FIFO がフルになるまで受信動作を継続します。

送受信を同時に停止する場合は、送受信イネーブル前に、有効な受信データ数分の送信データを送信 FIFO に書き込み、送受信終了後に、有効な受信データを読み出し、残りの受信データを破棄してください。

28. リアルタイムクロック (RTC)

本 LSI は、リアルタイムクロック (RTC : Real Time Clock) を内蔵しています。

28.1 特長

- 時計・カレンダー機能 (BCD表示) を搭載
秒、分、時、曜日、日、月、年をカウント
- 1~64Hzタイマ (バイナリ表示) を搭載
64Hzカウンタが、RTCの分周回路のうち64Hz~1Hzの状態を示します。
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み
秒カウンタ桁上げ、または64Hzカウンタの読み出し時に64Hzカウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

図 28.1 に RTC のブロック図を示します。

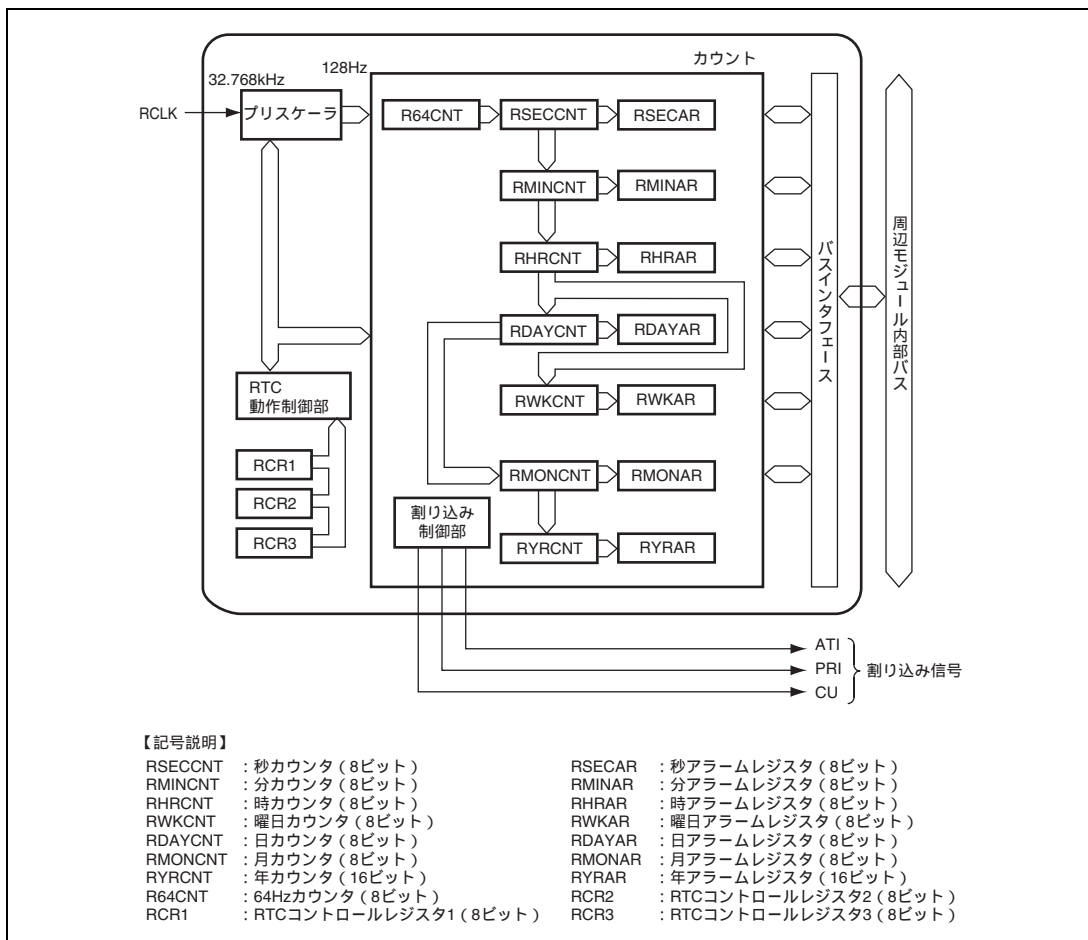


図 28.1 RTC のブロック図

28.2 入出力端子

RTC の端子構成を表 28.1 に示します。

表 28.1 端子構成

名称	信号名	入出力	機能
RTC 用外部クロック	RCLK	入力	RTC 用外部クロックを入力します。

28.3 レジスタの説明

RTC のレジスタ構成を表 28.2 に示します。また、各処理モードにおけるレジスタの状態を表 28.3 に示します。

表 28.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
64Hz カウンタ	R64CNT	R	H'A465 FEC0	8
秒カウンタ	RSECCNT	R/W	H'A465 FEC2	8
分カウンタ	RMINCNT	R/W	H'A465 FEC4	8
時カウンタ	RHRCNT	R/W	H'A465 FEC6	8
曜日カウンタ	RWKCNT	R/W	H'A465 FEC8	8
日カウンタ	RDAYCNT	R/W	H'A465 FECA	8
月カウンタ	RMONCNT	R/W	H'A465 FECC	8
年カウンタ	RYRCNT	R/W	H'A465 FECE	16
秒アラームレジスタ	RSECAR	R/W	H'A465 FED0	8
分アラームレジスタ	RMINAR	R/W	H'A465 FED2	8
時アラームレジスタ	RHRAR	R/W	H'A465 FED4	8
曜日アラームレジスタ	RWKAR	R/W	H'A465 FED6	8
日アラームレジスタ	RDAYAR	R/W	H'A465 FED8	8
月アラームレジスタ	RMONAR	R/W	H'A465 FEDA	8
RTC コントロールレジスタ 1	RCR1	R/W	H'A465 FEDC	8
RTC コントロールレジスタ 2	RCR2	R/W	H'A465 FEDE	8
年アラームレジスタ	RYRAR	R/W	H'A465 FEE0	16
RTC コントロールレジスタ 3	RCR3	R/W	H'A465 FEE4	8

表 28.3 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
R64CNT	不定	保持	保持	保持	保持	保持	保持
RSECCNT	不定	保持	保持	保持	保持	保持	保持
RMINCNT	不定	保持	保持	保持	保持	保持	保持
RHRCNT	不定	保持	保持	保持	保持	保持	保持
RWKCNT	不定	保持	保持	保持	保持	保持	保持
RDAYCNT	不定	保持	保持	保持	保持	保持	保持
RMONCNT	不定	保持	保持	保持	保持	保持	保持
RYRCNT	不定	保持	保持	保持	保持	保持	保持
RSECAR	初期化 / 不定	保持	保持	保持	保持	保持	保持
RMINAR	初期化 / 不定	保持	保持	保持	保持	保持	保持
RHRAR	初期化 / 不定	保持	保持	保持	保持	保持	保持
RWKAR	初期化 / 不定	保持	保持	保持	保持	保持	保持
RDAYAR	初期化 / 不定	保持	保持	保持	保持	保持	保持
RMONAR	初期化 / 不定	保持	保持	保持	保持	保持	保持
RCR1	初期化 / 不定	初期化	保持	保持	保持	保持	保持
RCR2	初期化	初期化 / 不定	保持	保持	保持	保持	保持
RYRAR	不定	保持	保持	保持	保持	保持	保持
RCR3	初期化	初期化	保持	保持	保持	保持	保持

28.3.1 64Hz カウンタ (R64CNT)

R64CNT は、RTC の分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) の CF ビットが 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は H'00 に初期化されます。

R64CNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	—	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値:	0	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R

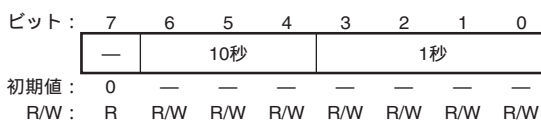
ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
6	1Hz	不定	R	RTCの分周回路のうち、1Hz～64Hzの状態を示します。
5	2Hz	不定	R	
4	4Hz	不定	R	
3	8Hz	不定	R	
2	16Hz	不定	R	
1	32Hz	不定	R	
0	64Hz	不定	R	

28.3.2 秒カウンタ (RSECCNT)

RSECCNTは、RTCのBCDコード化された秒部分の設定/カウント用のカウンタであり、64Hzカウンタの1秒ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で00～59です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RSECCNTは、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。



ビット	ビット名	初期値	R/W	説明
7		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
6～4		不定	R/W	秒十位カウンタ 秒十位は0から5をカウントして、60秒のカウントを行います。
3～0		不定	R/W	秒一位カウンタ 秒一位は1秒ごとに0から9をカウントします。桁上がりが発生すると、秒十位が+1されます。

28.3.3 分カウンタ (RMINCNT)

RMINCNT は、RTC の BCD コード化された部分の設定 / カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMINCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	—	10分			1分			
初期値 :	0	—	—	—	—	—	—	—
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
6~4		不定	R/W	分十位カウント 分十位は 0 から 5 をカウントして、60 分のカウントを行います。
3~0		不定	R/W	分一位カウント 分一位は 1 分ごとに 0 から 9 をカウントします。桁上がりが発生すると、分十位が +1 されます。

28.3.4 時カウンタ (RHRCNT)

RHRCNT は、RTC の BCD コード化された時部分の設定 / カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RHRCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。

ビット :	7	6	5	4	3	2	1	0
	—	—	10時間		1時間			
初期値 :	0	0	—	—	—	—	—	—
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7, 6		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5、4		不定	R/W	時十位カウント 時十位は0から2をカウントします。
3~0		不定	R/W	時一位カウント 時一位は1時間ごとに0から9をカウントします。桁上がりを発生すると、時十位が+1されます。

28.3.5 曜日カウンタ (RWKCNT)

RWKCNTは、RTCのBCDコード化された曜日部分の設定/カウント用のカウンタであり、時カウンタの1日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10進で0~6です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RWKCNTは、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	曜日		
初期値:	0	0	0	0	0	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
2~0		不定	R/W	曜日カウント バイナリコードで曜日を表します。 000:日 001:月 010:火 011:水 100:木 101:金 110:土 111:予約(設定禁止)

28.3.6 日カウンタ (RDAYCNT)

RDAYCNT は、RTC の BCD コード化された日部分の設定 / カウント用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01 ~ 31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RDAYCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

RDAYCNT の設定範囲は、月ごとおよびうるう年によって変化しますので。確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット :	7	6	5	4	3	2	1	0
	—	—	10日		1日			
初期値 :	0	0	—	—	—	—	—	—
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
5、4		不定	R/W	日十位カウンタ
3~0		不定	R/W	日一位カウンタ 日一位は 1 日ごとに 0~9 をカウントします。桁上がりを発生すると日十位が +1 されます。

28.3.7 月カウンタ (RMONCNT)

RMONCNT は、RTC の BCD コード化された月部分の設定 / カウント用のカウンタであり、日カウンタの月ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMONCNT は、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	10月		1月		
初期値 :	0	0	0	—	—	—	—	—
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5		すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効ですが、書き込む値も常に0にしてください。
4		不定	R/W	月十位カウント
3~0		不定	R/W	月一位カウント 月一位は1月ごとに0~9をカウントします。桁上がりが発生すると月十位が+1されます。

28.3.8 年カウンタ (RYRCNT)

RYRCNTは、RTCのBCDコード化された年部分の設定/カウント用のカウンタであり、月カウンタの1年ごとのキャリによって、カウント動作を行います。

設定可能範囲は、10進で0000~9999です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2のSTARTビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RYRCNTは、パワーオンリセット、マニュアルリセット、およびスタンバイモード時のいずれでも初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12		不定	R/W	年千位カウント
11~8		不定	R/W	年百位カウント
7~4		不定	R/W	年十位カウント
3~0		不定	R/W	年一位カウント

28.3.9 秒アラームレジスタ (RSECAR)

RSECAR は、RTC の BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RSECAR の ENB ビットは、パワーオンリセットで 0 に初期化されます。RSECAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値 :	0	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RSECCNT の値と比較を行います。
6~4		不定	R/W	秒十位の設定値
3~0		不定	R/W	秒一位の設定値

28.3.10 分アラームレジスタ (RMINAR)

RMINAR は、RTC の BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR の ENB ビットは、パワーオンリセットで初期化されます。RMINAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RMINCNT の値と比較を行います。
6~4		不定	R/W	分十位の設定値
3~0		不定	R/W	分一位の設定値

28.3.11 時アラームレジスタ (RHRAR)

RHRAR は、RTC の BCD コード化された時部分のカウンタ RHCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RHRAR の ENB ビットは、パワーオンリセットで初期化されます。RHRAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	10時間		1時間			
初期値 :	0	0	—	—	—	—	—	—
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RHCNT の値と比較を行います。
6		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
5, 4		不定	R/W	時十位の設定値
3~0		不定	R/W	時一位の設定値

28.3.12 曜日アラームレジスタ (RWKAR)

RWKAR は、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 0 ~ 6 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RWKAR の ENB ビットは、パワーオンリセット時は初期化されます。RWKAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	—	—	—	曜日		
初期値 :	0	0	0	0	0	—	—	—
R/W :	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RWKCNT の値と比較を行います。
6~3		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
2~0		不定	R/W	曜日の設定値

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

28.3.13 日アラームレジスタ (RDAYAR)

RDAYAR は、RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RDAYAR の ENB ビットは、パワーオンリセットで初期化されます。RDAYAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	10日				1日	
初期値 :	0	0	—	—	—	—	—	—
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RDAYCNT の値と比較を行います。
6		0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
5, 4		不定	R/W	日十位の設定値
3~0		不定	R/W	日一位の設定値

28.3.14 月アラームレジスタ (RMONAR)

RMONAR は、RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMONAR は、ENB ビットは、パワーオンリセットで初期化されます。RMONAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	—	10月	1月			
初期値 :	0	0	0	—	—	—	—	—
R/W :	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	ENB	0	R/W	1 にセットされていると、RMONCNT の値と比較を行います。
6、5		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。
4		不定	R/W	月十位の設定値
3~0		不定	R/W	月一位の設定値

28.3.15 年アラームレジスタ (RYRAR)

RYRAR は、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。

設定可能範囲は、10 進で 0000 ~ 9999 であり、それ以外の値が設定されると、正常に動作しません。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~12		不定	R/W	年千位の設定値
11~8		不定	R/W	年百位の設定値
7~4		不定	R/W	年十位の設定値
3~0		不定	R/W	年一位の設定値

28.3.16 RTC コントロールレジスタ 1 (RCR1)

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのこのフラグについて、割り込みを発生するかどうか選択できます。

パワーオンリセットおよびマニュアルリセット時は、H'00 に初期化されます。ただし、CF フラグは、分周回路がリセット (RCR2 の RESET と ADJ を 1 にセット) されるまでは不定になります。CF フラグを使用する場合は、使用前に必ず分周回路をリセットしてください。スタンバイモード時には、初期化されません。

ビット:	7	6	5	4	3	2	1	0
	CF	—	—	CIE	AIE	—	—	AF
初期値:	—	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	<p>桁上げフラグ</p> <p>このフラグが 1 にセットされた場合、秒カウンタ桁上げ、または 64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。</p> <p>0: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし</p> <p>[クリア条件] CF に 0 を書き込んだとき</p> <p>1: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり</p> <p>[セット条件] 秒カウンタ桁上げまたは 64Hz カウンタ桁上げ時の読み出し時の 64Hz カウンタ桁上げあり、または CF に 1 を書き込んだとき</p>
6, 5		すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値は常に 0 にしてください。</p>
4	CIE	0	R/W	<p>桁上げ割り込みイネーブルフラグ</p> <p>桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。</p> <p>0: CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない</p> <p>1: CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる</p>
3	AIE	0	R/W	<p>アラーム割り込みイネーブルフラグ</p> <p>アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。</p> <p>0: AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない</p> <p>1: AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる</p>

ビット	ビット名	初期値	R/W	説明
2, 1		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値は常に 0 にしてください。
0	AF	0	R/W	アラームフラグ アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR) で設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 1 にセットされるフラグです。 0 : アラームレジスタとカウンタは不一致 [クリア条件] AF に 0 を書き込んだとき 1 : アラームレジスタとカウンタは一致* [セット条件] アラームレジスタ (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 【注】* 1 を書き込むと、元の値が保持されます。

28.3.17 RTC コントロールレジスタ 2 (RCR2)

RCR2 は、周期割り込み制御、30 秒調整、分周回路リセット、RTC カウント制御に関するレジスタです。

パワーオンリセット時は H'09 に初期化されます。マニュアルリセット時は、START ビット以外が初期化されます。スタンバイモード時は初期化されず、それまでの値が保持されます。

ビット:	7	6	5	4	3	2	1	0
	PEF	PES[2:0]			—	ADJ	RESET	START
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PEF	0	R/W	周期割り込みフラグ PES[2:0] ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。 0 : PES[2:0] ビットで設定された周期で割り込み発生なし [クリア条件] PEF に 0 を書き込んだとき 1 : PES2 ~ PES0 ビットで設定された周期で割り込み発生あり [セット条件] PES[2:0] ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき

ビット	ビット名	初期値	R/W	説 明
6~4	PES[2:0]	000	R/W	<p>割り込みイネーブルフラグ</p> <p>周期割り込みの周期を設定します。</p> <p>000：周期割り込み発生なし</p> <p>001：周期割り込み発生の周期を 1/256 秒ごとにする</p> <p>010：周期割り込み発生の周期を 1/64 秒ごとにする</p> <p>011：周期割り込み発生の周期を 1/16 秒ごとにする</p> <p>100：周期割り込み発生の周期を 1/4 秒ごとにする</p> <p>101：周期割り込み発生の周期を 1/2 秒ごとにする</p> <p>110：周期割り込み発生の周期を 1 秒ごとにする</p> <p>111：周期割り込み発生の周期を 2 秒ごとにする</p>
3		1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込みは無効ですが、書き込む値は常に 1 にしてください。</p>
2	ADJ	0	R/W	<p>30 秒調整</p> <p>30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。自動的にこの ADJ ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。</p> <p>0：通常の時計動作</p> <p>1：30 秒の調整を行う</p>
1	RESET	0	R/W	<p>リセット</p> <p>1 を書き込むことによって、分周回路が初期化されます。なお、1 が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) はリセットされます。自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。</p> <p>0：通常の時計動作</p> <p>1：分周回路をリセット</p>
0	START	1	R/W	<p>START ビット</p> <p>カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。</p> <p>0：秒、分、時、日、曜日、月、年カウンタは停止</p> <p>1：秒、分、時、日、曜日、月、年カウンタは通常動作</p>

28.3.18 RTC コントロールレジスタ (RCR3)

RCR3 は、ENB ビットが 1 にセットされていると、RYRAR と RYRCNT の値の比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

RYRAR の ENB ビットは、パワーオンリセットで初期化されます。RCR3 の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	ENB	0	R/W	1 にセットされていると、RYRAR と RYRCNT の値と比較を行います。
6~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

28.4 動作説明

RTC の使用例を示します。

28.4.1 電源投入後のレジスタの初期設定

電源投入後すべてのレジスタを初期設定してください。

28.4.2 時刻設定手順

時刻設定手順例を図 28.2 に示します。

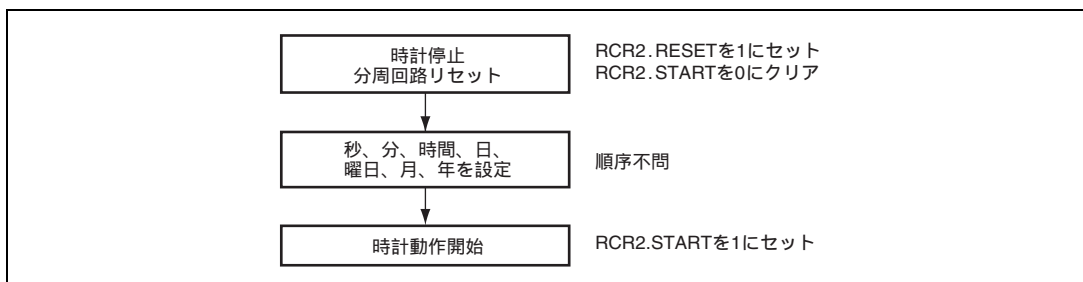


図 28.2 時刻設定手順

28.4.3 時刻読み出し手順

時刻読み出し手順を図 28.3 に示します。

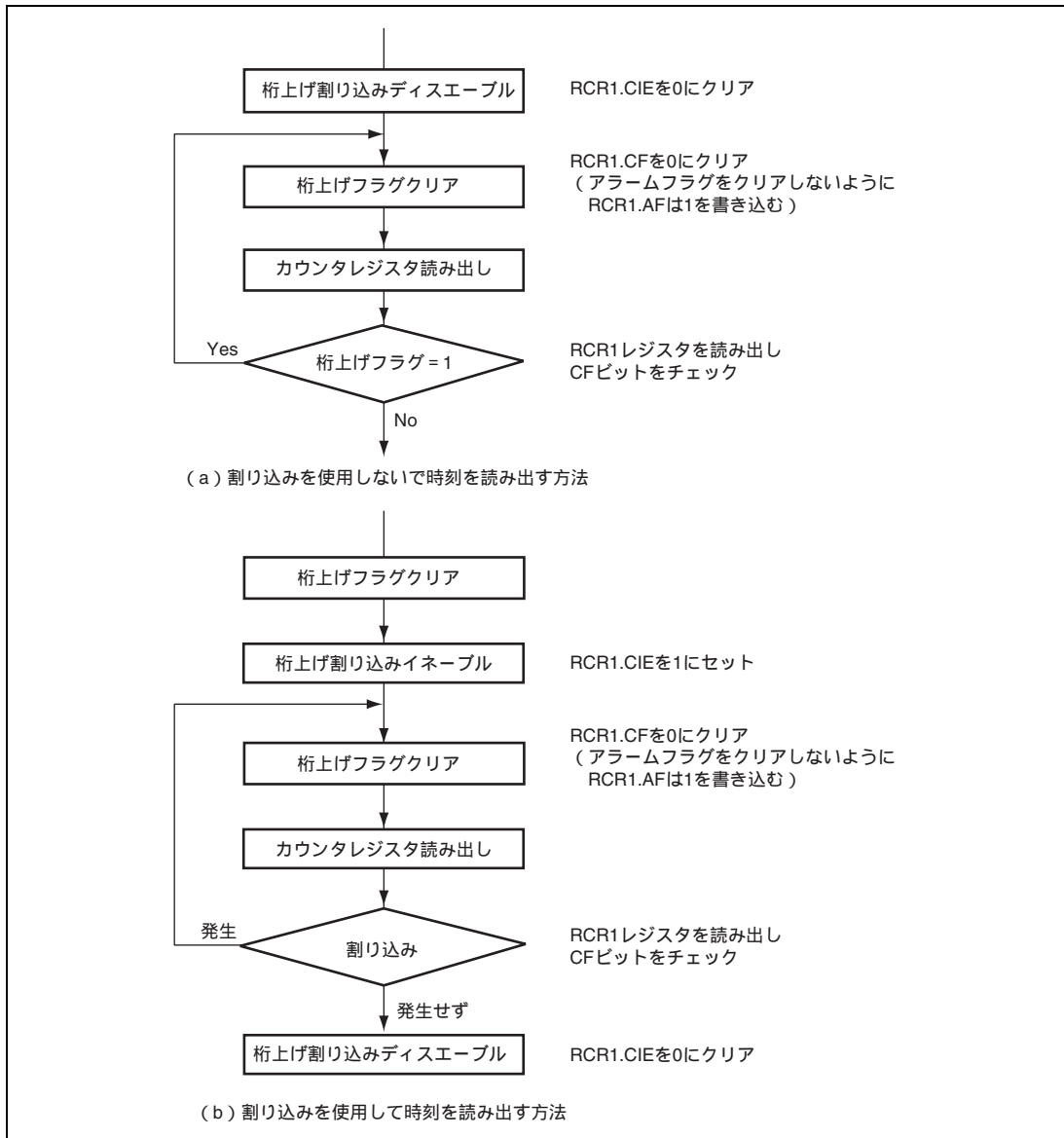


図 28.3 時刻読み出し手順

時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 28.3 の (a) に、桁上げ割り込みを使用する方法を図 28.3 の (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

28.4.4 アラーム機能

アラーム機能の使用例を図 28.4 に示します。

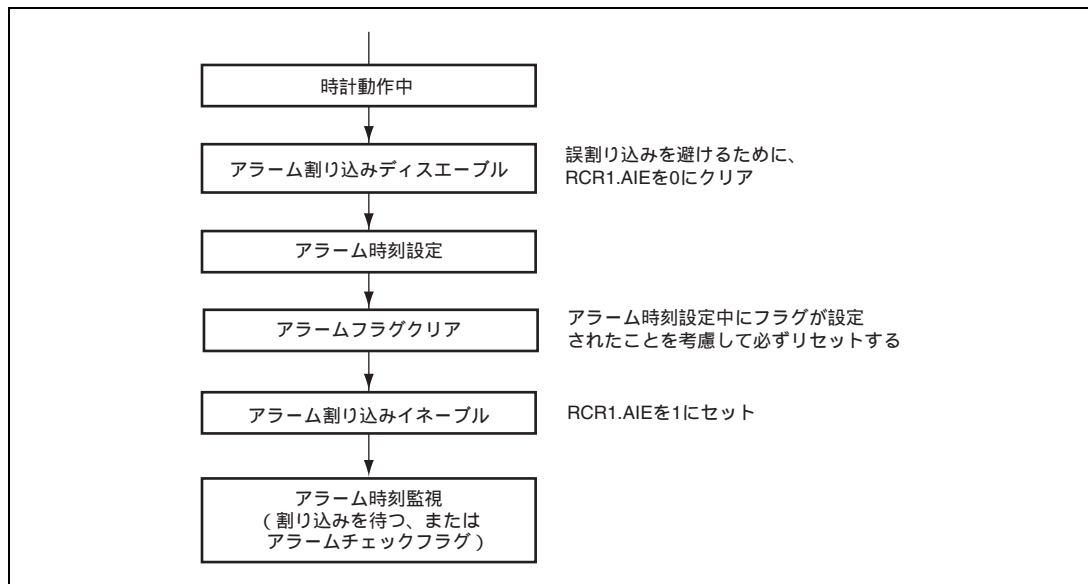


図 28.4 アラーム機能の使用方法

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタのENB ビットに1を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに0を書き込みます。

カウンタとアラーム時刻が一致した場合は、RCR1.AFに1がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1.AIEに1が書き込まれている場合、アラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致しているとセットされます。しかし、アラームフラグに0を書き込むとクリアされます。

28.5 使用上の注意事項

(1) RTC カウント動作時のレジスタ書き込みについて

RTC カウント動作時 (RCR2 のビット 0 = 1 のとき) は、以下の RTC レジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCNT

上記のレジスタへ書き込みを行う場合は、一度 RTC のカウント動作を停止してから書き込んでください。

(2) リアルタイムクロック (RTC) の周期割り込みの使用について

周期割り込みの使用方法を図 28.5 に示します。

周期割り込みは、RCR2 の PES[2:0] で設定した周期で定期的に割り込みを発生させることができます。PES[2:0] で設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES[2:0] 設定時および周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

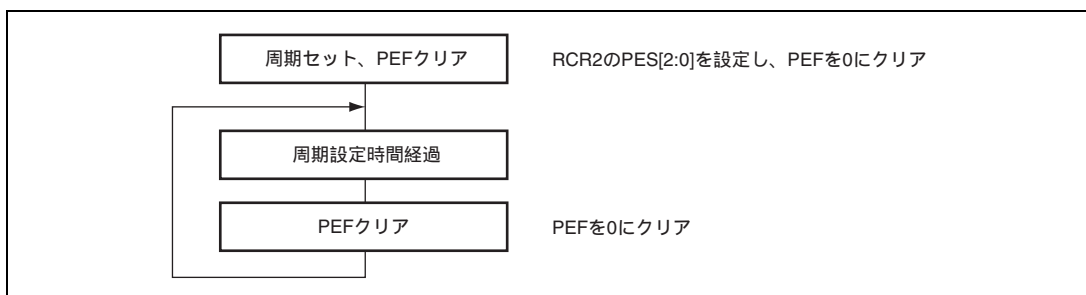


図 28.5 周期割り込み機能の使用方法

(3) レジスタ設定後のスタンバイ遷移について

RTC 内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、2RTC クロック以上待ってからスタンバイ状態に遷移してください。

(4) 30 秒アジャスト機能の使用について

30 秒アジャスト機能を使用する場合は、次の手順に従ってください。

1. 時計動作を停止する (RCR2.STARTをクリアする)。
2. 各カウンタ (年、月、曜日、日、時間、分) を読み出し後、読み出し値を各々のカウンタに書き込みする。
3. アジャストセット (RCR2.ADJをセットする)。
4. 時計動作を開始する (RCR2.STARTをセットする)。

29. IrDA インタフェース (IrDA)

IrDA インタフェース (IrDA) は、本 LSI 外付けの赤外線受発光素子との間で、IrDA 標準規格 1.2a に準拠した赤外線データ通信を行います。

IrDA は、データ送受信コントロールとして UART を使用し、その後段に接続した赤外線受発光パルス変復調ブロックと CRC エンジンブロックから構成されています。UART ブロックは、調歩同期式モードの手順に従ってシリアルデータ送受信を制御します。赤外線受発光パルス変復調ブロックは、IrDA 標準規格 1.2a に準拠した赤外線ベースバンド変調/復調による通信パルス制御、受信パルスチェック機能を持っています。CRC エンジンブロックは、8 ビット入力データを読み込み、16 ビットの CRC 演算結果を出力します。

29.1 特長

UART 機能として以下の特長があります。

- 調歩同期式モードのシリアル送受信
(データ長：8ビット、ストップビット長：1ビット、パリティ：なし)
- 受信エラーの検出：オーバランエラー、フレーミングエラー
- ボーレート誤差補正：小数点以下16段階で設定可能
- ボーレートカウンタ：65536カウンタまで設定可能

赤外線受発光パルス変復調機能として以下の特長があります。

- 赤外線発光 (送信) パルス幅：1ビット幅 × 3 / 16あるいは1.63 μs選択可能
- パルス幅チェック：規定外 (未満、オーバ) を検出可能
- 1.8432MHzクロック生成回路：ボーレートカウンタ整数部16カウンタ設定可能
ボーレートカウンタ小数部16段階設定可能

CRC演算機能としては以下の特長があります。

- 生成多項式： $X^{16}+X^{12}+X^5+1$
- データ入力：バイト書き込み、下位ビットから8ビット単位でCRC演算
- CRC出力：16ビットCRC生成出力
- 最大データ長：4096バイト

IrDA のブロック図を図 29.1 に示します。

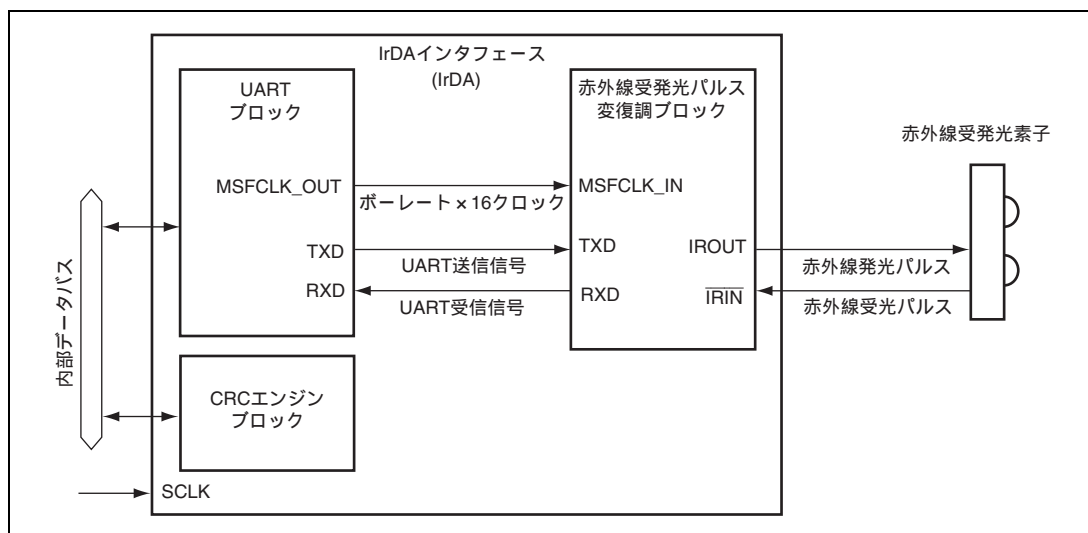


図 29.1 IrDA のブロック図

29.2 入出力端子

IrDA には、表 29.1 に示す入出力端子があります。

表 29.1 端子構成

名称	略称	入出力	機能
IrDA_IN	IRIN	入力	赤外線受光 (受信) パルス入力 (負論理)
IrDA_OUT	IROUT	出力	赤外線発光 (送信) パルス出力 (正論理)

29.3 レジスタの説明

IrDA のレジスタ構成を表 29.2 に示します。また、各処理モードにおけるレジスタの状態を表 29.3 に示します。

表 29.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
DMA 受信割り込み要因クリアレジスタ	IRIF_RINTCLR	W	H'A45D 0016	16
DMA 送信割り込み要因クリアレジスタ	IRIF_TINTCLR	W	H'A45D 0018	16/8
IrDA-SIR10 コントロールレジスタ	IRIF_SIR0	R/W	H'A45D 0020	16/8
IrDA-SIR10 ボーレート誤差補正レジスタ	IRIF_SIR1	R/W	H'A45D 0022	16/8
IrDA-SIR10 ボーレートカウント設定レジスタ	IRIF_SIR2	R/W	H'A45D 0024	16/8
IrDA-SIR10 ステータスレジスタ	IRIF_SIR3	R	H'A45D 0026	16/8
ハードウェアフレーム処理設定レジスタ	IRIF_SIR_FRM	R/W	H'A45D 0028	16/8
EOF 値設定レジスタ	IRIF_SIR_EOF	R/W	H'A45D 002A	16/8
フラグクリアレジスタ	IRIF_SIR_FLG	W	H'A45D 002C	16/8
UART ステータスレジスタ 2	IRIF_SIR_STS2	R/W	H'A45D 002E	16/8
UART コントロールレジスタ	IRIF_UART0	R/W	H'A45D 0030	16/8
UART ステータスレジスタ	IRIF_UART1	R	H'A45D 0032	16/8
UART モードレジスタ	IRIF_UART2	R/W	H'A45D 0034	16/8
UART 送信データレジスタ	IRIF_UART3	W	H'A45D 0036	16/8
UART 受信データレジスタ	IRIF_UART4	R	H'A45D 0038	16/8
UART 割り込みマスクレジスタ	IRIF_UART5	R/W	H'A45D 003A	16/8
UART ボーレート誤差補正レジスタ	IRIF_UART6	R/W	H'A45D 003C	16/8
UART ボーレートカウントレジスタ	IRIF_UART7	R/W	H'A45D 003E	16/8
CRC エンジンコントロールレジスタ	IRIF_CRC0	R/W	H'A45D 0040	16/8
CRC エンジン入力データレジスタ	IRIF_CRC1	W	H'A45D 0042	16/8
CRC エンジン演算レジスタ	IRIF_CRC2	W	H'A45D 0044	16/8
CRC エンジン出力データレジスタ 1	IRIF_CRC3	R	H'A45D 0046	16/8
CRC エンジン出力データレジスタ 2	IRIF_CRC4	R	H'A45D 0048	16/8

表 29.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
IRIF_RINTCLR	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_TINTCLR	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_SIR0	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_SIR1	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_SIR2	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_SIR3	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_SIR_FRM	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_SIR_EOF	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_SIR_FLG	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_UART_STS2	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_UART0	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_UART1	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_UART2	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_UART3	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_UART4	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_UART5	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_UART6	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_UART7	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_CRC0	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_CRC1	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_CRC2	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_CRC3	初期化	初期化	保持	保持	初期化	初期化	保持
IRIF_CRC4	初期化	初期化	保持	保持	初期化	初期化	保持

29.3.1 DMA 受信割り込み要因クリアレジスタ (IRIF_RINTCLR)

IRIF_RINTCLR は、受信データ DMA 転送要求をクリアするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDMAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~0	RDMAC[15:0]	H'0000	W	受信データ DMA 転送用要求クリア クリアする場合は、ワードデータを書き込んでください。書き込む値は任意です。

29.3.2 DMA 送信割り込み要因クリアレジスタ (IRIF_TINTCLR)

IRIF_TINTCLR は、送信データ DMA 転送要求をクリアするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDMAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~0	TDMAC[15:0]	H'0000	W	送信データ DMA 転送用要求クリア クリアする場合は、ワードデータを書き込んでください。書き込む値は任意です。

29.3.3 IrDA-SIR10 コントロールレジスタ (IRIF_SIR0)

IRIF_SIR0 は、赤外線受発光パルス変復調の制御を行うレジスタです

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IR TPW	IR ERRC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	IRTPW	0	R/W	赤外線発光 (送信) パルス幅選択 赤外線発光 (送信) パルス幅を選択します。 0: MSFCLK_IN より入力されるクロックの 3 サイクル分を出力 1: IRIF_SIR1 と IRIF_SIR2 で設定した 1.8432MHz クロックの 3 サイクル分を出力

ビット	ビット名	初期値	R/W	説明
0	IRERRC	0	R/W	赤外線受光 (受信) パルス幅エラーフラグクリアビット 赤外線受光 (受信) パルス幅のエラーフラグをクリアします。 0 : クリアしない 1 : クリアする 【注】本ビットに 1 を設定した場合、直ちに 0 に復帰します。0 を書き込む必要はありません。

29.3.4 IrDA-SIR10 ボーレート誤差補正レジスタ (IRIF_SIR1)

IRIF_SIR1 は、赤外線受発光パルス変復調ブロックで使用するボーレートの誤差補正 (ボーレートカウント値の小数部) の設定を行うレジスタです。IRIF_SIR2 で指定する値とあわせて 1.8432MHz クロックの生成を行います。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	IRBCA[3:0]			—	—	—	—	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明																
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																
7~4	IRBCA[3:0]	0000	R/W	赤外線変復調ボーレート誤差補正設定ビット 赤外線受発光パルス変復調ブロックで使用するボーレートの誤差補正 (ボーレートカウント値の小数部) の設定を行います。下記の設定値の右に示された値は、IRIF_SIR2 で指定するボーレートカウント値の小数部を表していません。動作仕様に一番近い小数部を選択してください。																
				<table> <tr> <td>0000 : 0.0000</td> <td>1000 : 0.5000</td> </tr> <tr> <td>0001 : 0.0625</td> <td>1001 : 0.5625</td> </tr> <tr> <td>0010 : 0.1250</td> <td>1010 : 0.6250</td> </tr> <tr> <td>0011 : 0.1875</td> <td>1011 : 0.6875</td> </tr> <tr> <td>0100 : 0.2500</td> <td>1100 : 0.7500</td> </tr> <tr> <td>0101 : 0.3125</td> <td>1101 : 0.8125</td> </tr> <tr> <td>0110 : 0.3750</td> <td>1110 : 0.8750</td> </tr> <tr> <td>0111 : 0.4375</td> <td>1111 : 0.9375</td> </tr> </table>	0000 : 0.0000	1000 : 0.5000	0001 : 0.0625	1001 : 0.5625	0010 : 0.1250	1010 : 0.6250	0011 : 0.1875	1011 : 0.6875	0100 : 0.2500	1100 : 0.7500	0101 : 0.3125	1101 : 0.8125	0110 : 0.3750	1110 : 0.8750	0111 : 0.4375	1111 : 0.9375
0000 : 0.0000	1000 : 0.5000																			
0001 : 0.0625	1001 : 0.5625																			
0010 : 0.1250	1010 : 0.6250																			
0011 : 0.1875	1011 : 0.6875																			
0100 : 0.2500	1100 : 0.7500																			
0101 : 0.3125	1101 : 0.8125																			
0110 : 0.3750	1110 : 0.8750																			
0111 : 0.4375	1111 : 0.9375																			
				【注】本ビットの設定は送受信中には行わないでください。送受信中の設定による動作は保証されません。																
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。																

29.3.5 IrDA-SIR10 ボーレートカウント設定レジスタ (IRIF_SIR2)

IRIF_SIR2 は、赤外線受発光パルス変復調ブロックで使用するボーレートカウント値の整数部の設定を行うレジスタです。IRIF_SIR1 で指定した誤差補正值とあわせて 1.8432MHz クロックを生成します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	IRBC[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	IRBC[3:0]	0000	R/W	赤外線変復調ボーレートカウント設定 赤外線受発光パルス変復調ブロックで使用するクロックを生成する分周カウント値の整数部の設定を行います。 【注】本ビットの設定は送受信中には行わないでください。送受信中の設定による動作は保証されません。

29.3.6 IrDA-SIR10 ステータスレジスタ (IRIF_SIR3)

IRIF_SIR3 は、赤外線受発光パルス変復調時の赤外線受光 (受信) パルス幅エラーの有無を示すレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IRERR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	IRERR	0	R	赤外線受光 (受信) パルス幅エラーフラグビット 赤外線パルス変復調時の受信パルス幅にエラーがあったことを示します。 0: エラーなし 1: エラーあり

29.3.7 ハードウェアフレーム処理設定レジスタ (IRIF_SIR_FRM)

IRIF_SIR_FRM は、受信データのフレーム処理を設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	EOFD	FRER	—	—	—	—	—	—	—	FRP
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	EOFD	1	R	EOF 検出フラグ 0: EOF を検出した 1: EOF を検出していない
8	FRER	0	R	フレームエラービット 0: フレームエラーが発生していない 1: フレームエラーが発生した
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	FRP	0	R/W	フレーム処理設定 0: EOF の検出を無効にする 1: EOF の検出を有効にする

29.3.8 EOF 値設定レジスタ (IRIF_SIR_EOF)

IRIF_SIR_EOF は、EOF の値を設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	EOF[7:0]							
初期値:	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	EOF[7:0]	H'C1	R/W	EOF 設定 検出する EOF の値を設定します。

29.3.9 フラグクリアレジスタ (IRIF_SIR_FLG)

IRIF_SIR_FLG は、フレームエラーフラグ、EOF フラグをクリアするレジスタです。本レジスタの上位 8 ビットあるいは下位 8 ビットに任意のデータを書き込むことによって対応するフラグをクリアすることができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRERC[7:0]								EOFC[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~8	FRERC[7:0]	H'00	W	フレームエラーフラグクリア 本ビット (本レジスタの上位 8 ビット) にバイトデータを書き込むことによって、フレームエラーフラグがクリアされます。書き込む値は任意です。
7~0	EOFC[7:0]	H'00	W	EOF フラグクリア 本ビット (本レジスタの下位 8 ビット) にバイトデータを書き込むことによって、EOF フラグがクリアされます。書き込む値は任意です。

29.3.10 UART ステータスレジスタ 2 (IRIF_UART_STS2)

IRIF_UART_STS2 は、データ受信時の動作状態を示すレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	IRSME	IROVE	IRFRE	IRPRE	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	IRSME	0	R/W	受信サムエラーフラグ 0: 受信サムエラーなし 1: 受信サムエラーあり
5	IROVE	0	R/W	受信オーバランエラーフラグ 0: 受信オーバランエラーなし 1: 受信オーバランエラーあり
4	IRFRE	0	R/W	受信フレーミングエラーフラグ 0: 受信フレーミングエラーなし 1: 受信フレーミングエラーあり
3	IRPRE	0	R/W	受信パリティエラーフラグ 0: 受信パリティエラーなし 1: 受信パリティエラーあり
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 本レジスタへの書き込み動作ですべてのエラーフラグがクリアされます。

29.3.11 UART コントロールレジスタ (IRIF_UART0)

IRIF_UART0 は、データ送受信を制御するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TBEC	RIE	TIE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TBEC	0	W	送信データクリア UARTの送信バッファエンプティフラグのクリアを行うビットです。1を書き込むとクリアされますが、送信データレジスタの内容はクリアされません。本ビットに1を書き込んでも読み出し時には0が読み出されます。 0: クリアしません 1: クリアする
1	RIE	0	R/W	受信イネーブル UARTの受信の起動/停止を行うビットです。受信中に停止を行うと、1データ受信の後、受信が中断されます。 0: 停止 1: 起動
0	TIE	0	R/W	送信イネーブル UARTの送信の起動/停止を行うビットです。送信中に停止を行うと、1データ送信の後、送信が中断されます。 0: 停止 1: 起動

29.3.12 UART ステータスレジスタ (IRIF_UART1)

IRIF_UART1 は、UART 機能の動作状態を示すフラグが設定されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	UR SME	UR OVE	UR FRE	UR PRE	RBF	TSBE	TBE
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	-	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
8, 7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	URSME	0	R	受信サムエラーフラグ UART の各エラーフラグ (受信パリティエラーフラグ、受信フレーミングエラーフラグ、受信オーバーランエラーフラグ) のいずれかのフラグが1にセットされると1がセットされ、セットされていない場合は0がセットされます。エラーフラグは受信データレジスタがシステムにより読み出されるとクリアされ、受信データがシステムにより読み出される前に次の受信データが受信されると、最新の受信データに対応したエラーフラグがセットされます (古い受信データに対するエラーに上書きされていきます)。 0: エラーなし 1: エラーあり
5	UROVE	0	R	受信オーバーランエラーフラグ UART の受信データレジスタがシステムにより読み出される前に次の受信データが格納されると1がセットされ、受信データレジスタがシステムにより読み出しが行われると0がセットされます。このときの受信データは、最新のデータが格納されます (古い受信データの上に上書きされます)。 0: エラーなし 1: エラーあり
4	URFRE	0	R	受信フレーミングエラーフラグ UART の受信データの後続に付加されるストップビットが、UART モードレジスタで指定した、ストップビット長と一致すると0がセットされ、一致しない場合に1がセットされる。エラーフラグは受信データレジスタがシステムにより読み出されるとクリアされ、受信データがシステムにより読み出される前に次の受信データが受信されると、最新の受信データに対応したエラーフラグがセットされます (古い受信データに対するエラーに上書きされます)。 0: エラーなし 1: エラーあり

ビット	ビット名	初期値	R/W	説明
3	URPRE	0	R	<p>受信パリティエラーフラグ</p> <p>UART の受信したデータのパリティが、UART モードレジスタで指定したパリティと一致すると 0 がセットされ、一致せず、かつ、パリティを有効と設定している場合に 1 がセットされます。エラーフラグは受信データレジスタがシステムにより読み出されるとクリアされ、受信データがシステムにより読み出される前に次の受信データが受信されると、最新の受信データに対応したエラーフラグがセットされます(古い受信データに対するエラーに上書きされていきます)。</p> <p>0 : エラーなし 1 : エラーあり</p>
2	RBF	0	R	<p>受信バッファフルフラグ</p> <p>UART の受信データレジスタに受信データが格納されると、1 がセット (受信パリティエラー、受信フレーミングエラー、受信オーバランエラーのいずれかが発生していても 1 がセット) され、受信データレジスタがシステムにより読み出されると 0 がセットされます。</p> <p>0 : 受信データなし 1 : 受信データあり</p>
1	TSBE	1	R	<p>送信シフトバッファエンプティフラグ</p> <p>UART の送信が完了すると (UART 送信シフトバッファが空になると) 1 がセットされ、UART の送信中は 0 がセットされます。</p> <p>0 : 送信中 1 : 送信完了</p>
0	TBE	1	R	<p>送信バッファエンプティフラグ</p> <p>UART の送信データレジスタのデータが送信シフトバッファに格納 (送信データレジスタが空) されるか、またはコントロールレジスタの送信データクリアビットに 1 を書き込むと 1 がセットされ、送信データレジスタに送信データが書き込まれると 0 がセットされます。</p> <p>0 : 送信データあり 1 : 送信データなし</p>

29.3.13 UART モードレジスタ (IRIF_UART2)

IRIF_UART2 は、シリアルデータ送受信データフォーマットや伝送モードを指定するレジスタです。常に、初期値の状態で使用してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BCT	CHR	STOP	PE	O/E	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	BCT	0	R/W	ブレークキャラクタ送出力ビット UARTのブレークキャラクタ送出力を設定するビットで、0で通常動作、1でブレークキャラクタ (UART 送信信号=L) が送出されます。 0: 通常動作 1: ブレークキャラクタ送出力
6	CHR	0	R/W	キャラクタ長選択 UARTの送受信データのキャラクタ長を選択します。 0: 8ビット 1: 7ビット
5	STOP	0	R/W	ストップビット長選択 UARTの送受信データの后续に付加されるストップビットのビット長を選択するビットで、1で2ビット長、0で1ビット長が選択されます。 0: 1ビット 1: 2ビット
4	PE	0	R/W	パリティ有無選択 UARTの送受信データに対してパリティビットの有効、無効を選択します。 0: パリティなし 1: パリティあり
3	O/E	0	R/W	パリティ偶奇選択 UARTの送受信データパリティの偶数、奇数の選択を行うビットです。 0: 偶数パリティ 1: 奇数パリティ
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

29.3.14 UART 送信データレジスタ (IRIF_UART3)

IRIF_UART3 は、送信データを格納するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	W	リザーブビット 書き込む値は常に0にしてください。
7~0	TD[7:0]	H'00	W	UART 送信データ 送信するデータを設定します

【注】 UART ステータスレジスタの送信バッファエンプティフラグが1のときに本レジスタに書き込みを行います。0のときに書き込みを行うと、タイミングによっては不定のデータが送信される場合があります。

29.3.15 UART 受信データレジスタ (IRIF_UART4)

IRIF_UART4 は、受信データが格納されるレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~0	RD[7:0]	H'00	R	UART 受信データ 受信されたデータが設定されます

【注】 UART ステータスレジスタの受信バッファフルフラグが1のときに本レジスタから読み出しを行います。0のときに読み出しを行うと、タイミングによっては不定のデータが読み出される場合があります。

29.3.16 UART 割り込みマスクレジスタ (IRIF_UART5)

IRIF_UART5 は、UART の割り込みを有効または無効にするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RS EIM	—	—	—	RB FIM	TSB EIM	TB EIM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	RSEIM	0	R/W	受信サムエラーフラグ割り込みマスク 受信サムエラーフラグにより割り込みの有効、無効を選択します。 0: 割り込み禁止 1: 割り込み許可
5~3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	RBFIM	0	R/W	受信バッファフルフラグ割り込みマスク 受信バッファフルフラグにより割り込みの有効、無効を選択します。 0: 割り込み禁止 1: 割り込み許可
1	TSBEIM	0	R/W	送信シフトバッファエンプティフラグ割り込みマスク 送信シフトバッファエンプティフラグにより割り込みの有効、無効を選択します。フラグに1がセットされると割り込みとして処理を行います。 0: 割り込み禁止 1: 割り込み許可
0	TBEIM	0	R/W	送信バッファエンプティフラグ割り込みマスク 送信バッファエンプティフラグにより割り込みの有効、無効を選択します。フラグに1がセットされると割り込みとして処理を行います。 0: 割り込み禁止 1: 割り込み許可

【注】 送信シフトバッファエンプティフラグ割り込みマスクビットと送信バッファエンプティ割り込みマスクビットを同時に割り込み許可にしないでください。

29.3.17 UART ボーレート誤差補正レジスタ (IRIF_UART6)

IRIF_UART6 は、データ送受信時のボーレート誤差補正を設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UABCA[3:0]			—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7~4	UABCA[3:0]	0000	R/W	ボーレート誤差補正ビット UARTのボーレート誤差補正(ボーレートカウント値の小数部)の設定を行うビットで、UARTボーレートカウントレジスタで指定した値とあわせてボーレート値の設定をします。下記の設定値の右に示された値は、ボーレートカウント値の小数部を表しています。動作仕様に一番近い小数部を選択し、ボーレート誤差補正レジスタへ設定してください。 0000 : 0.0000 1000 : 0.5000 0001 : 0.0625 1001 : 0.5625 0010 : 0.1250 1010 : 0.6250 0011 : 0.1875 1011 : 0.6875 0100 : 0.2500 1100 : 0.7500 0101 : 0.3125 1101 : 0.8125 0110 : 0.3750 1110 : 0.8750 0111 : 0.4375 1111 : 0.9375
3~0	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

29.3.18 UART ボーレートカウントレジスタ (IRIF_UART7)

IRIF_UART7 は、データ送信用のボーレートを設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UABC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	UABC[15:0]	H'0000	R/W	ボーレートカウント設定 ボーレートカウント値の整数部の設定を行うビットで、UARTボーレート誤差補正レジスタで指定した値とあわせてボーレート値の設定を行います。ボーレート値の設定は、「29.4.1(4) データ送受信におけるボーレート設定」を参照してください。

29.3.19 CRC エンジンコントロールレジスタ (IRIF_CRC0)

IRIF_CRC0 は、CRC エンジンの起動と入力データ数をカウントするレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_RST	—	—	—	CRC_CT[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	CRC_RST	0	W	CRC エンジンリセット CRC 演算に関連するレジスタをクリアします。 リセット後、本ビットを 0 に書き戻す必要はありません。 0 : 通常の CRC 演算 1 : CRC エンジンリセット
14~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	CRC_CT [11:0]	H'000	R	CRC エンジン入力データ数 CRC エンジンに入力されたデータ数が読み出されます。 データ数が 4096 になった場合、0 にラップアラウンドします。

29.3.20 CRC エンジン入力データレジスタ (IRIF_CRC1)

IRIF_CRC1 は、CRC エンジンへの入力データを設定するレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CRC_IN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	W	リザーブビット 書き込む値は常に 0 にしてください。
7~0	CRC_IN[7:0]	H'00	W	CRC エンジン入力データ CRC エンジンに入力するデータを設定します。設定されたデータは LSB (CRC_IN0) から CRC 演算レジスタの MSB (CRC_REG15) へ順に転送されます。詳細は図 29.7 を参照してください。

29.3.21 CRC エンジン演算レジスタ (IRIF_CRC2)

IRIF_CRC2 は、CRC の演算用レジスタです。通常 CRC 演算の初期値を書き込むときのみアクセスしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_REG[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
15~0	CRC_REG [15:0]	H'0000	W	CRC エンジン演算データ CRC 演算レジスタの初期値を設定します。

29.3.22 CRC エンジン出力データレジスタ 1 (IRIF_CRC3)

IRIF_CRC3 は、CRC エンジンの演算結果を示すレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_OUT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	CRC_OUT [15:0]	H'0000	R	CRC エンジン出力データ CRC エンジンの演算結果を読み出すことができます。

29.3.23 CRC エンジン出力データレジスタ 2 (IRIF_CRC4)

IRIF_CRC4 は、CRC エンジンの演算結果を示すレジスタです。IRIF_CRC3 の LSB-MSB を反転した値が設定されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRC_OUT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	CRC_OUT [15:0]	H'0000	R	CRC エンジン出力データ CRC エンジンの演算結果を読み出すことができます。 ビット 15 が LSB、ビット 0 が MSB になります。

29.4 機能説明

29.4.1 UART

UART は、調歩同期式モードの手順に従って、シリアル送信 / 受信を制御します。

(1) データフォーマット

UART で取り扱うデータのフォーマットを図 29.2 に示します。

- STビット (スタートビット)

データの送受信開始を示すビットで、キャラクタ1ビット分のロー信号がデータビットの直前に付加されます。

- Bit0 ~ Bit7 (データビット)

IRIF_UART3に書きこまれた送信データ、IRIF_UART4に格納された受信データを示します。データビットのキャラクタ長は8ビットで、送受信データビットの通信配列はLSBファーストで行います。

- SPビット (ストップビット)

データ送受信終了を示すビットで、データビットの直後に付加されます。ストップビットとしてキャラクタ1ビット分のハイ信号が出力されます。

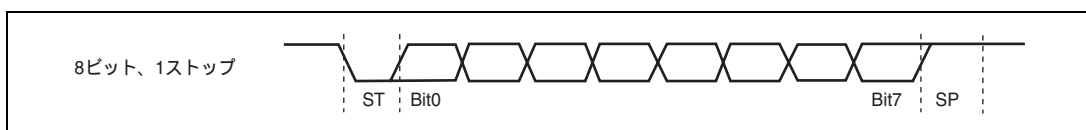


図 29.2 送受信データフォーマット

(2) データ送信タイミング

データ送受信コントロールで取り扱うデータの送信タイミングを図 29.3 に示します。

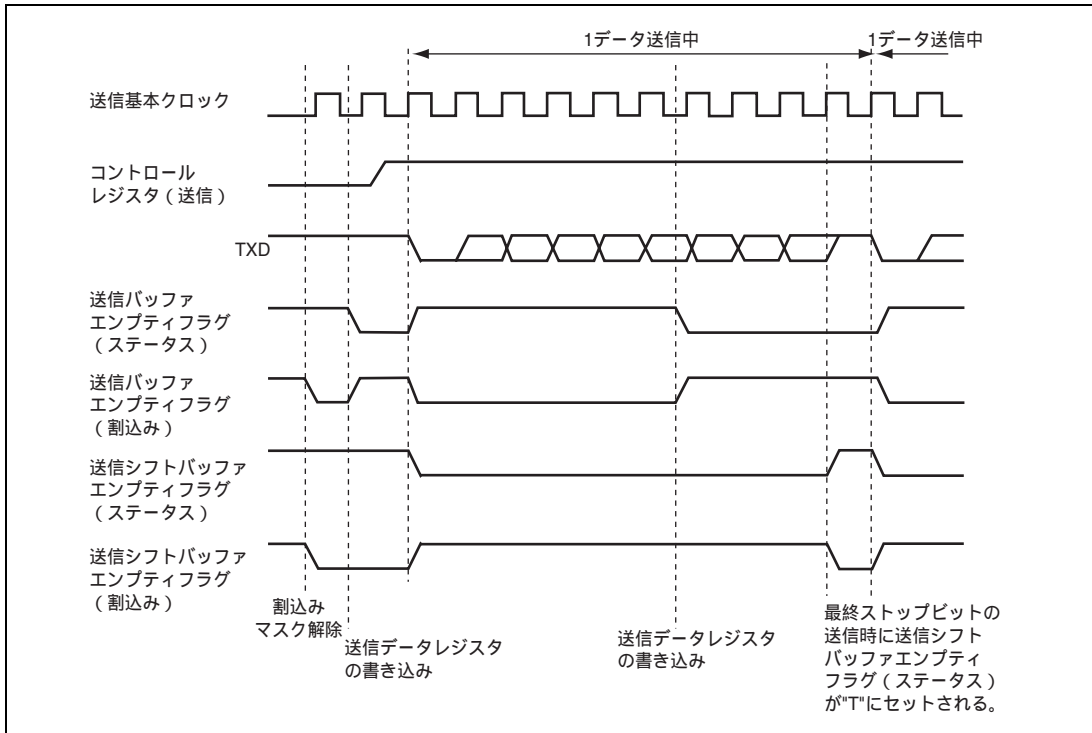


図 29.3 データ送信タイミング

(3) データ受信タイミング

UART で取り扱うデータの受信タイミングを図 29.4 に示します。

受信データの最終ストップビット検出時に、受信データの格納や各受信フラグのセットおよびクリアが制御されます。

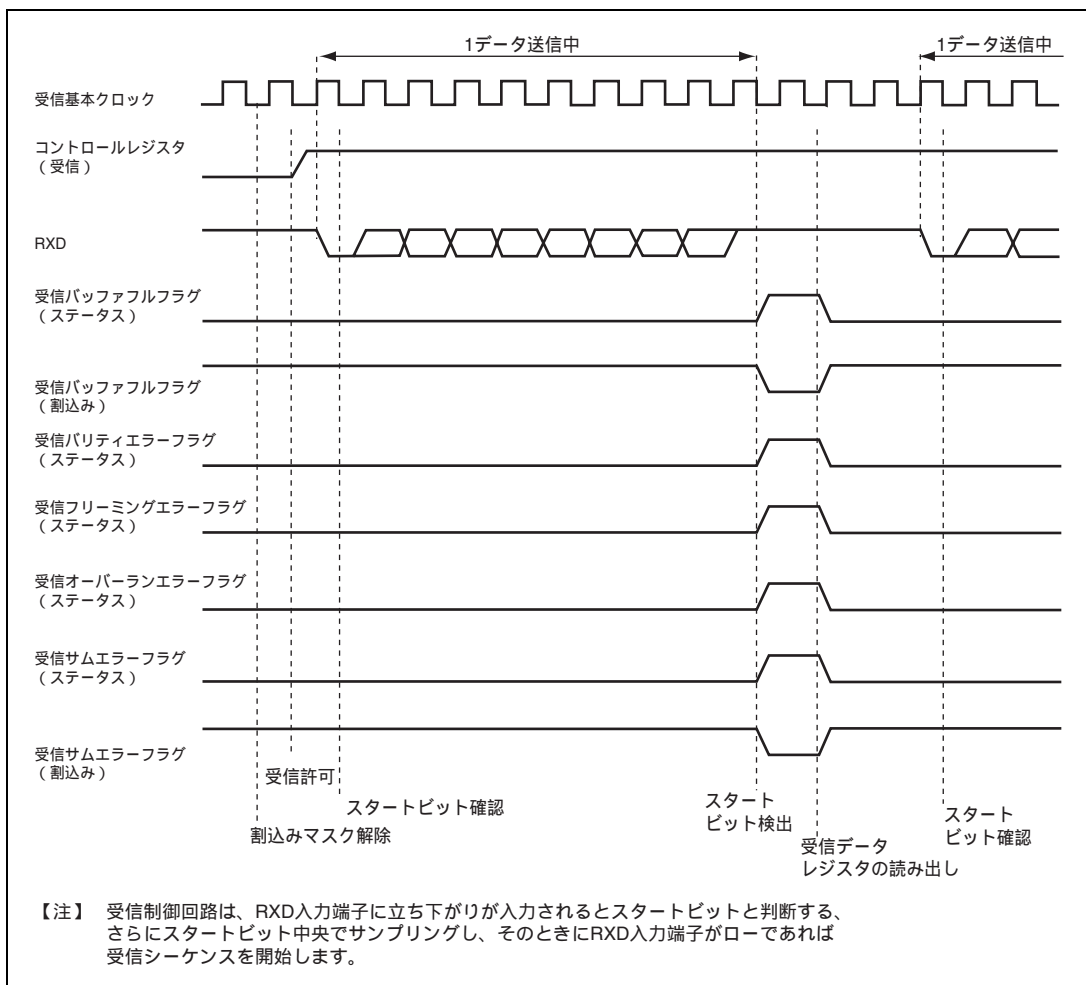


図 29.4 データ受信タイミング

(4) データ送受信におけるボーレート設定

UART データ送受信に使用するボーレートの計算式を以下に示します。

$$\text{ボーレート値[bps]} = \frac{\text{システムクロック(SCLK)[Hz]}}{\text{UABCA} + (\text{UABC} + 1) \times 16}$$

UABC : データ送信用ボーレートカウンタ値 (IRIF_UART7.UABC[15:0]の設定値)

UABCA : データ送信用ボーレートカウンタ値 (IRIF_UART6.UABCA[3:0]の設定値)

上記に示す計算式のクロックはコントローラに入力されたクロックです。ボーレートカウンタ値の整数部をリロードするときにボーレート誤差補正レジスタの小数部を累積加算し、累積加算にオーバーフローがある場合は整数部に 1 を加えた値をリロードに使用します。すなわち、小数部の累積誤差が 1 に達したとき、ボーレートカウンタ値に 1 を加え誤差を解消するようになっています。

29.4.2 発受光パルス変復調動作

(1) 赤外線発光パルスデータ送信

UART からの送信データを、IrDA 標準規格 1.0 に準拠した波形にエンコードし赤外線受発光素子に対して赤外線発光パルスデータを送信します。エンコードのタイミングを図 29.5 に示します。

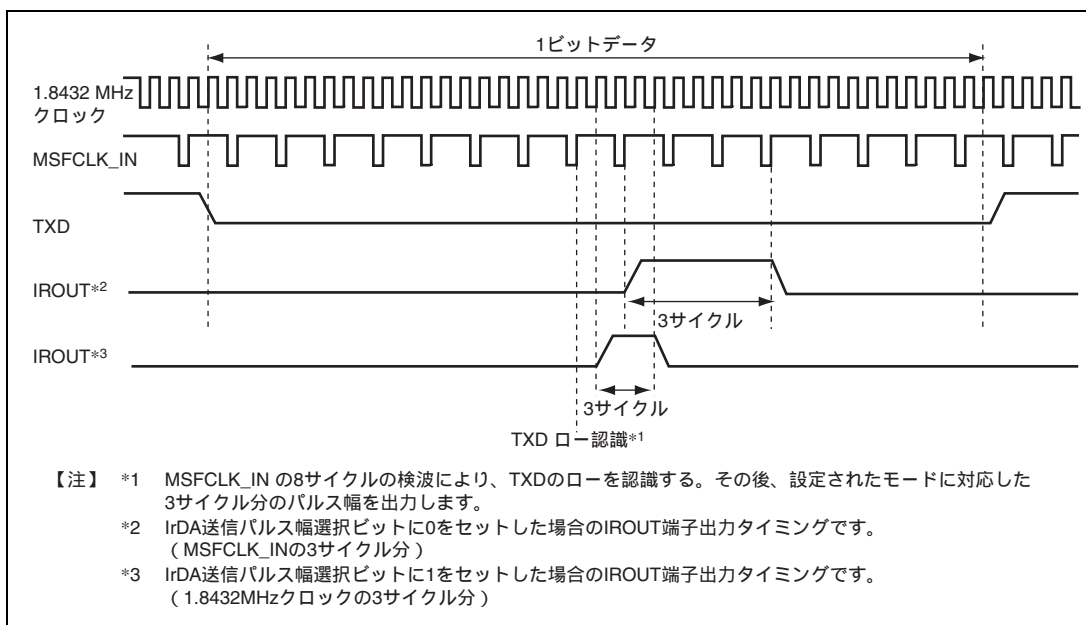


図 29.5 赤外線発光 (送信) パルスデータエンコードタイミング

(2) 赤外線受光パルスデータ受信

赤外線受発光素子からの赤外線受光パルス（受信）データを、IrDA 標準規格 1.0 に準拠した波形からデコードし UART に対して送信します。デコードのタイミングを図 29.6 に示します。

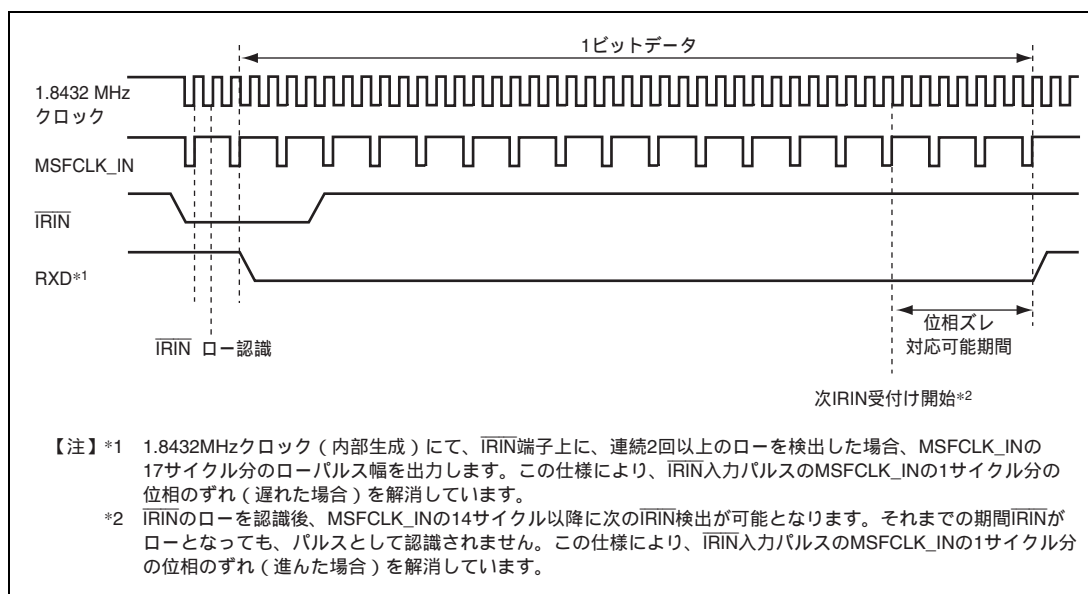


図 29.6 赤外線受光パルス（受信）データデコードタイミング

(3) 受発光パルス変復調時の内部クロック生成

受発光パルス変復調ブロックで使用される 1.8432MHz クロックは以下の計算式で生成されます。

$$1.8432\text{MHzクロック} = \frac{\text{システムクロックSCLK [Hz]}}{\text{IRBCA} + (\text{IRBC} + 1)}$$

IRBC : 赤外線受発光パルス変復調用ポーレートカウント値 (IRIF_SIR2.IRBC[3:0]の設定値)

IRBCA : 赤外線受発光パルス変復調用ポーレート誤差補正值 (IRIF_SIR1.IRBCA[3:0]の設定値)

1.8432MHz クロックは、1.63 μs の時間測定を行うためのクロックであり以下の動作時に必要になります。

- 1.63 μs の赤外線発光（送信）パルス幅生成
- 赤外線受光（受信）パルスの認識
- 規格未満となる赤外線受光（受信）パルス幅の検出

上記に示す計算式のクロックはコントローラに入力されたクロックです。ポーレートカウント値の整数部をリロードするときにポーレート誤差補正レジスタの小数部を累積加算し、累積加算にオーバフローがある場合は整数部に 1 を加えた値をリロードに使用します。すなわち、小数部の累積誤差が 1 に達したとき、ポーレートカウント値に 1 を加え誤差を解消するようになっています。

(4) 赤外線受発光パルス変復調時の注意事項

(a) 赤外線受光 (受信) パルス幅エラーについて

赤外線受光 (受信) パルス幅エラーフラグ (IRERR) は、赤外線受光 (受信) パルス幅が規格外と判定された場合に 1 にセットされます。受信パルスが規格外と判定されるのは、以下の場合です。

- 赤外線受光 (受信) パルス幅を、1.8432MHz クロックにて検波し 1 回のみのローを検出した場合 (規格値未満)
- 赤外線受光 (受信) パルス幅を、MSFCLK_IN のクロック周波数にて検波し連続 5 回以上のローを検出した場合 (規格値オーバ)
- 赤外線受光 (受信) パルス幅を、1.8432MHz クロックにて検波し、1 回のみのハイを検出した場合 (パルス幅欠落)

ただし、以下の場合については、規格外のパルス幅であってもエラーとしません。

- 1.8432MHz クロック周波数 1 サイクル未満のパルス幅が入力された場合

【注】 赤外線受光 (受信) パルス幅が規格値を超えた場合、エラーフラグは 1 に設定されますが、パルス自体は認識され本制御回路は通常動作を行います (RXD からローを出力する)。

赤外線受光 (受信) パルス幅を認識した後の受信動作中においても、上記規格外のパルス幅を検出することができます。

(b) 赤外線受発光素子とのインタフェース

以下のように赤外線受発光素子とのインタフェースは、入力と出力とで極性が反転しています。

赤外線データ送信端子 (IROUT) : 正論理出力

赤外線データ受信端子 (IRIN) : 負論理入力

(c) レジスタの読み込み / 書き出し

IRIF_SIR0、IRIF_SIR1、IRIF_SIR2 各レジスタの設定は、データの送受信時に行わないでください。動作中に設定を行うと正常にデータが送受信されない場合があります。

(d) 赤外線発光 (送信) パルス幅選択ビット

MSFCLK_IN に、1.8432MHz のクロックが入力される場合 (データ送受信機能は 115.2kbps で動作) は、赤外線発光 (送信) パルス幅選択ビットの設定を 1 にしないでください。1 に設定すると正常に送信パルス幅が出力されないことがあります。

(e) パルス幅

赤外線受発光パルス変復調用ポーレートカウンタ設定レジスタ (IRIF_SIR2) の値を H'0000 にしないでください。送信パルス幅が規格 (infrared data association serial infrared physical layer specification version 1.3) の下限値 (pulse duration minimum: 1.41 μ s) 未満になる場合があります。

29.4.3 CRC エンジン

(1) CRC エンジンの構成

CRC エンジンは、入力データレジスタ、バイトカウンタ、CRC 演算レジスタ、CRC 出力レジスタから構成されます。図 29.7 に CRC エンジンの構成を示します。

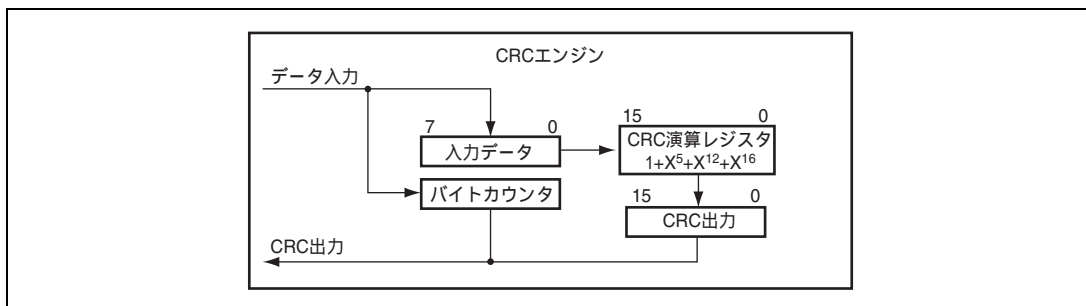


図 29.7 CRC エンジンの構成

(2) CRC エンジンの動作

CRC エンジンは、8 ビットの入力データを書き込むと下位ビットから 8 ビット単位で CRC 演算を行い 16 ビットの演算結果を出力します。図 29.8 に CRC 演算の概要を示します。

CRC の生成多項式は、「 $1 + X^5 + X^{12} + X^{16}$ 」で、データの最大長は 4096 バイトです。

また、CRC 演算の例を以下に示します。レジスタをリセットした後、入力データとして、H'CC、H'F5、H'F1、H'A7 を順に書き込めば、バイトカウンタは 4、CRC 演算結果出力は H'51DF になります。

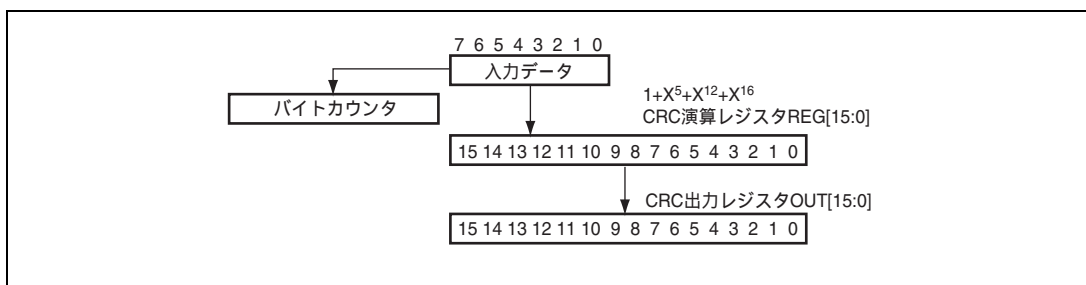


図 29.8 CRC エンジンの動作

29.4.4 送受信フロー

(1) IrDA 送信フロー

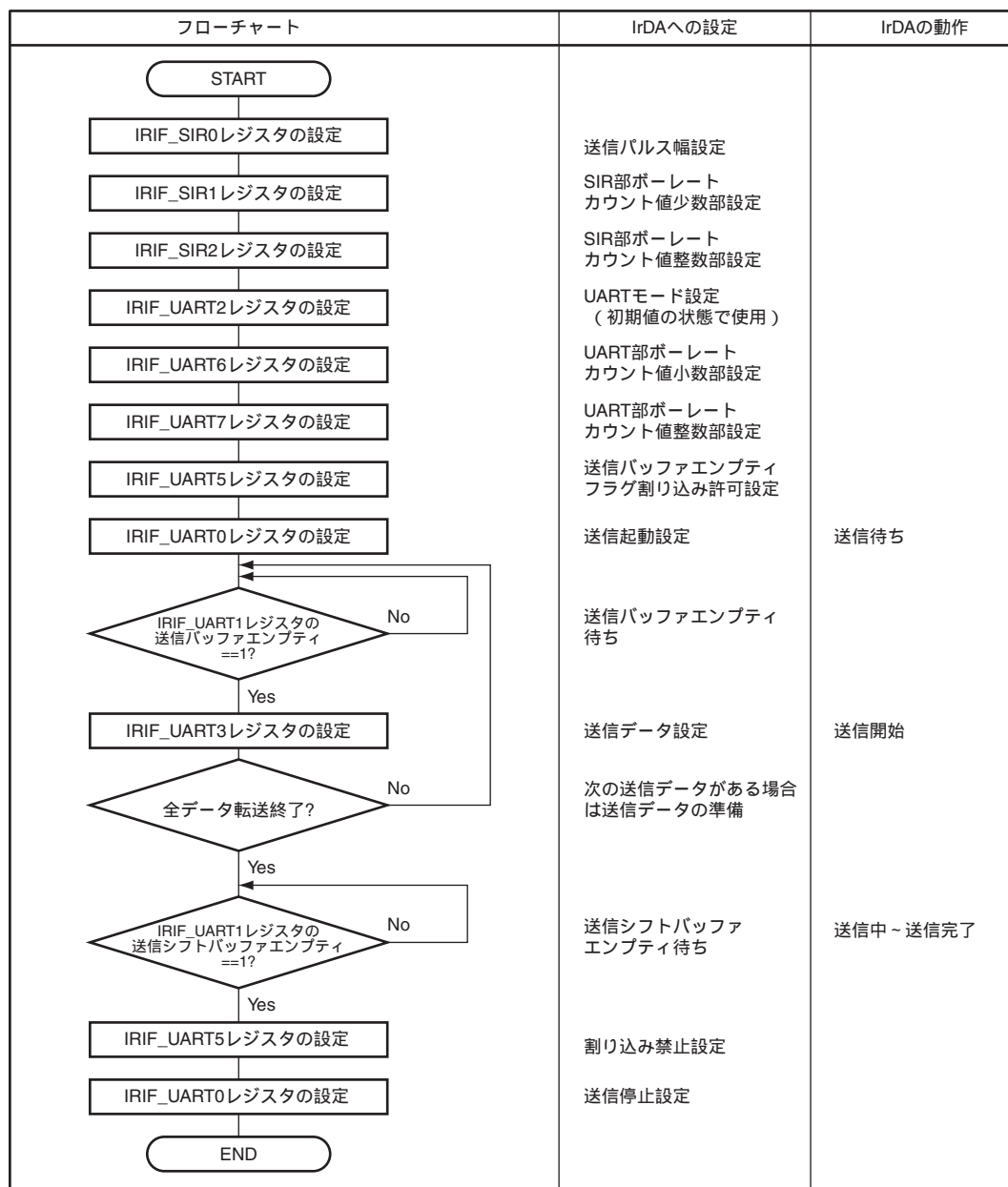


図 29.9 送信フロー

(2) IrDA 送信 (CRC 演算) フロー

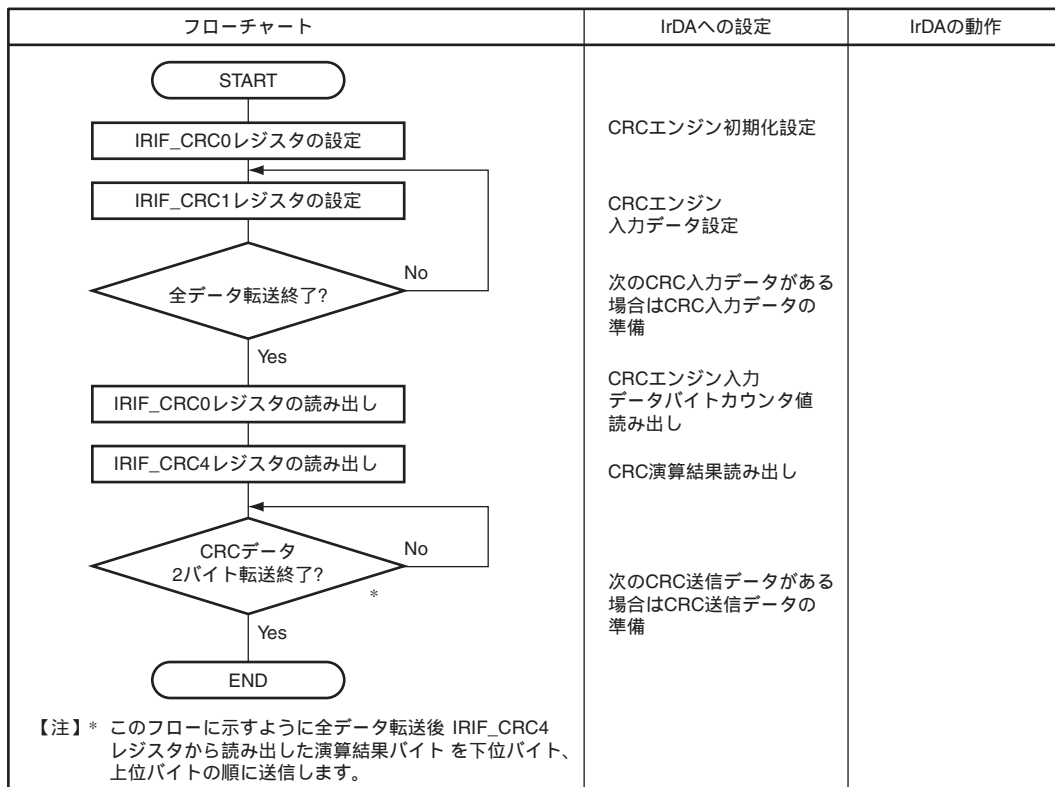


図 29.10 IrDA 送信 (CRC 演算) フロー

(3) IrDA 受信フロー

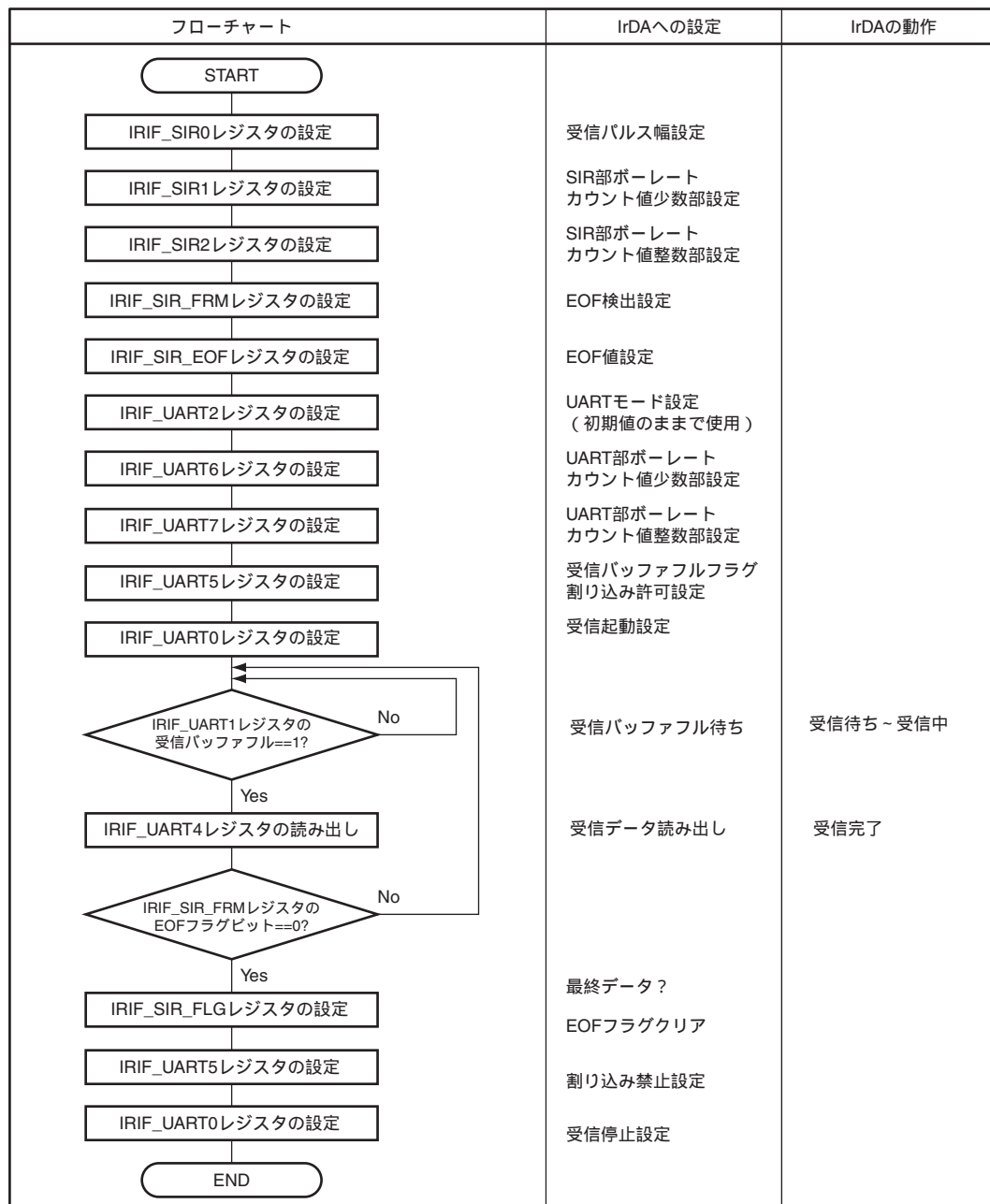


図 29.11 受信フロー

(4) IrDA 受信 (CRC 演算) フロー

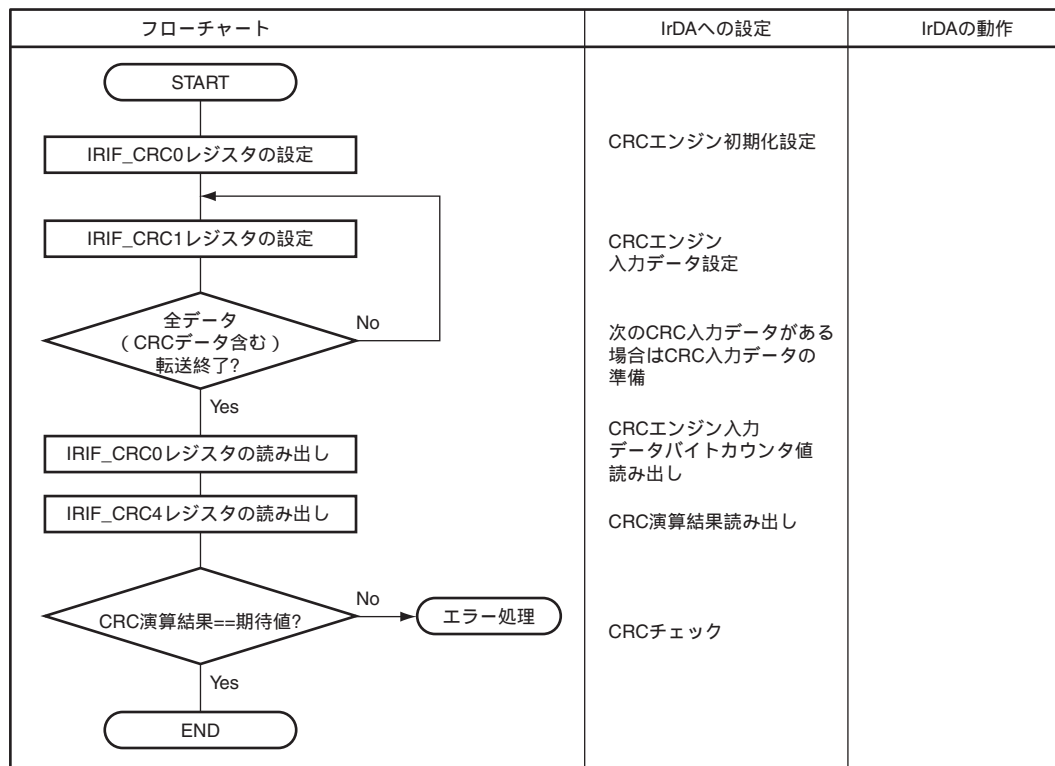


図 29.12 IrDA 受信 (CRC 演算) フロー

29.5 データ送受信における注意事項

(1) データ受信バッファへのアクセス

データ受信完了後（受信バッファフル状態）、受信バッファレジスタへの読み出し動作が遅れ、次のデータの受信完了と受信バッファレジスタの読み出しとがまったく同じタイミングで発生した場合、データを取りこぼし、かつ、エラー割り込みが発生しない場合があります。

本来、データ受信完了後、受信バッファレジスタへの読み出しをせずに、次のデータを受信完了した場合、受信オーバーランエラー割り込みが発生します。ただし、次のデータ受信完了と受信バッファレジスタへの読み出し動作がまったく同じタイミングで発生した場合、1回の読み出し動作を2回の読み出し動作と誤認識してしまう場合があります。この場合、読み出したデータ値は不正な値となり、かつ、受信オーバーランエラー割り込みも発生しません。

受信バッファオーバーランエラー割り込みが発生する可能性がある条件で使用しないことによって回避してください。

(2) 送信ジッタ

IrDA 送信パルス幅の設定が $1.63 \mu\text{s}$ パルス幅であり、かつ、ボーレート設定値が $57.6\text{kbps} \sim 19.2\text{kbps}$ のときに、IrDA パルスの送信ジッタが IrDA 規格（infrared data association serial infrared physical layer specification version 1.3）の上限値（周波数精度が $\pm 0.87\%$ ）を超える場合があります。

(3) 115kbps ボーレート時の IRIF_SIR0 レジスタ設定禁止値（H'0001）

115kbps ボーレート時、IRIF_SIR0 レジスタに、H'0001 を設定しないでください。送信パルス幅が規格（infrared data association serial infrared physical layer specification version 1.3）の下限値（pulse duration minimum: $1.41 \mu\text{s}$ ）未満になる場合があります。

30. キースキャンインタフェース (KEYSC)

本 LSI は、入力と出力のビット数をプログラマブルに設定可能なキースキャンインタフェース (KEYSC) を内蔵しています。

30.1 特長

- チャタリング除去回路を内蔵
- チャタリング除去時間はプログラマブルに設定可能
- キーの多重押しに対応可能
- レベル/エッジ内部割り込み選択可能
- KEY入力 (レベル) 割り込みによるソフトウェアスタンバイおよびR/U-スタンバイモードの解除
- 入力と出力のビット数をプログラマブルに選択可能

図 30.1 にキースキャンインタフェースのブロック図を示します。

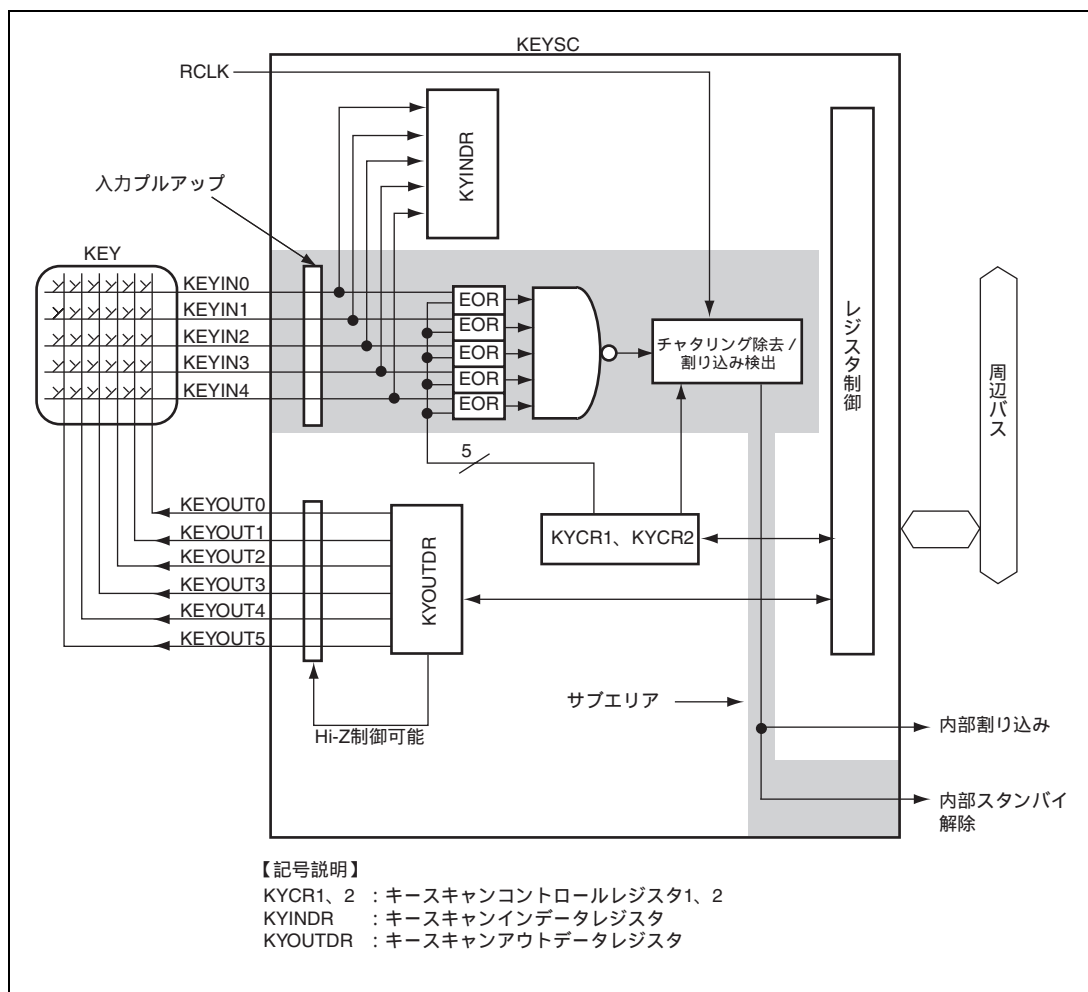


図 30.1 キースキャンインタフェースのブロック図 (KEY 端子モード 1)

30.2 入出力端子

キースキャンインタフェースの端子構成を表 30.1 に示します。

表 30.1 端子構成

端子名	機能	入出力	説明
KEYIN6 ~ KEYIN0	入力用キースキャンインタフェース 6~0	入力	入力用キースキャンインタフェース
KEYOUT5 ~ KEYOUT0	出力用キースキャンインタフェース 5~0	出力	出力用キースキャンインタフェース

KEYOUT5 端子は KEYIN5 端子、KEYOUT4 端子は KEYIN6 端子とそれぞれマルチプレクスされています。キースキャンコントロールレジスタ 1 (KYCR1) の KYMD1、KYMD0 の設定により、どちらかの機能が選択されます。表 30.2 に選択できる KEYIN 端子 / KEYOUT 端子の組み合わせを示します。

表 30.2 マルチプレクス端子の設定

名称	KYMD1	KYMD0	KEYOUT5/KEYIN5 端子	KEYOUT4/KEYIN6 端子
KEY 端子モード 1	0	0	KEYOUT5 を選択	KEYOUT4 を選択
KEY 端子モード 2	0	1	KEYIN5 を選択	KEYOUT4 を選択
KEY 端子モード 3	1	0	KEYIN5 を選択	KEYIN6 を選択

30.3 レジスタの説明

KEYSC のレジスタ構成を表 30.3 に示します。また、各処理モードにおけるレジスタの状態を表 30.4 に示します。

表 30.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
キースキャンコントロールレジスタ 1	KYCR1	R/W	H'A44B 0000	16
キースキャンコントロールレジスタ 2	KYCR2	R/W	H'A44B 0004	16
キースキャンインデータレジスタ	KYINDR	R	H'A44B 0008	16
キースキャンアウトデータレジスタ	KYOUTDR	R/W	H'A44B 000C	16

表 30.4 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
KYCR1	初期化	初期化	保持	保持	初期化*2	初期化	保持
KYCR2	初期化*1	初期化*1	保持	保持	初期化*3	初期化*1	保持
KYINDR	初期化	初期化	保持	保持	初期化	初期化	保持
KYOUTDR	初期化	初期化	保持	保持	初期化	初期化	保持

【注】 *1 KEYIF ビットのみリセット前の値を保持します。

*2 KYOUT_IE ビットのみ値を保持します。

*3 KYCPU_IE[1:0]ビットのみ値を保持します。

30.3.1 キースキャンコントロールレジスタ 1 (KYCR1)

KYCR1 は、読み出し / 書き込み可能な 16 ビットのレジスタで、キースキャンインタフェースの機能を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
							KYMD[1:0]	KYOUT_	IE					SCN[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	KYMD[1:0]	00	R/W	KEY 端子モード 使用する KEYIN 端子 / KEYOUT 端子を設定します。 00 : KEY 端子モード 1 を使用する (KEYIN4~0、KEYOUT5~0 が使用可能) 01 : KEY 端子モード 2 を使用する (KEYIN5~0、KEYOUT4~0 が使用可能) 10 : KEY 端子モード 3 を使用する (KEYIN6~0、KEYOUT3~0 が使用可能) 11 : 設定禁止
7	KYOUT_IE	0	R/W	キースキャンスタンバイモード解除イネーブル 各種スタンバイモードを KEY 入力で解除する場合、本ビットを 1 に設定します。 0 : KEY 入力による各種スタンバイモード解除禁止 1 : KEY 入力による各種スタンバイモード解除許可
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	SCN[2:0]	000	R/W	スキャンタイミング キースキャンインタフェース割り込み検出のチャタリング除去時間を指定します。 000 : RCLK/16 (0.49ms) 001 : RCLK/32 (0.98ms) 010 : RCLK/64 (1.95ms) 011 : RCLK/128 (3.91ms) 100 : RCLK/256 (7.81ms) 101 : RCLK/512 (15.63ms) 110 : RCLK/1024 (31.25ms) 111 : チャタリング除去回路は無効

30.3.2 キースキャンコントロールレジスタ 2 (KYCR2)

KYCR2 は、読み出し / 書き込み可能な 16 ビットのレジスタで、キースキャンインタフェースの機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	KYDIR6	KYDIR5	KYDIR4	KYDIR3	KYDIR2	KYDIR1	KYDIR0	—	—	KYCPU_IE[1:0]	—	—	—	—	KEYIF	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	KYDIR6	0	R/W	KEY ディレクション 6 KEYIN6 端子と本ビットを EOR した値を使って KEYIN6 の割り込みを検出します。 【注】KEY 端子モード 1 および 2 設定時に書き込んだ値は無視されます。
13	KYDIR5	0	R/W	KEY ディレクション 5 KEYIN5 端子と本ビットを EOR した値を使って KEYIN5 の割り込みを検出します。 【注】KEY 端子モード 1 設定時に書き込んだ値は無視されます。
12	KYDIR4	0	R/W	KEY ディレクション 4 KEYIN4 端子と本ビットの EOR した値を使って KEYIN4 の割り込みを検出します。
11	KYDIR3	0	R/W	KEY ディレクション 3 KEYIN3 端子と本ビットの EOR した値を使って KEYIN3 の割り込みを検出します。
10	KYDIR2	0	R/W	KEY ディレクション 2 KEYIN2 端子と本ビットの EOR した値を使って KEYIN2 の割り込みを検出します。
9	KYDIR1	0	R/W	KEY ディレクション 1 KEYIN1 端子と本ビットの EOR した値を使って KEYIN1 の割り込みを検出します。
8	KYDIR0	0	R/W	KEY ディレクション 0 KEYIN0 端子と本ビットの EOR した値を使って KEYIN0 の割り込みを検出します。
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5、4	KYCPU_IE[1:0]	00	R/W	KEY 内部割り込みイネーブル KEY が入力されたときの CPU への内部割り込み要求の許可 / 禁止を選択します。 00 : KEY 割り込み要求の禁止 01 : KEY 割り込み要求の許可 (レベル) 10 : KEY 割り込み要求の許可 (立ち上がりエッジ) 11 : KEY 割り込み要求の許可 (立ち下がりエッジ) 【注】各種スタンバイモードを KEY 入力で解除する場合、本ビットを 01 に設定してください。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	KEYIF	不定 (リセット前の値を保持)	R/W	KEY インタラプトフラグ KEY 内部割り込みが発生した時にセットされるフラグ 本フラグが 1 の間、CPU に対して内部割り込み要求が発生します。(0 を書き込むまで 1 を保持します) 0 : KEY 割り込みが発生していない 1 : KEY 割り込みが発生している*

【注】 * レベル割り込みの場合 : KEYIN6 ~ KEYIN0 と KYDIR6 ~ KYDIR0 のそれぞれの排他的論理和 (EOR) の結果が 1 つでも 0 がある状態

エッジ割り込みの場合 : KEYIN6 ~ KEYIN0 と KYDIR6 ~ KYDIR0 のそれぞれの排他的論理和 (EOR) の結果が 1 つでも 0 がある状態とすべて 1 の状態の変化エッジ

30.3.3 キースキャンインデータレジスタ (KYINDR)

KYINDR は、読み出し専用の 16 ビットのレジスタで、端子 KEYIN6 ~ KEYIN0 のデータを格納します。KYI6DT ~ KYI0DT ビットは KEYIN6 ~ KEYIN0 端子に対応しています。

キースキャンインタフェース機能を使うためには、ピンファンクションコントローラにて端子機能設定をキースキャンインタフェース端子側にしてください。KEYIN6 ~ KEYIN0 端子は LSI 内部でプルアップしています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	KYI6DT	KYI5DT	KYI4DT	KYI3DT	KYI2DT	KYI1DT	KYI0DT
初期値:	0	0	0	0	0	0	0	0	0	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6	KYI6DT	不定*	R	端子 KEYIN6 の状態 (ハイレベルのとき 1、ローレベルのとき 0) 【注】KEY 端子モード 1 および 2 設定時は常に 0 が読み出されます。
5	KYI5DT	不定*	R	端子 KEYIN5 の状態 (ハイレベルのとき 1、ローレベルのとき 0) 【注】KEY 端子モード 1 設定時は常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説明
4	KYI4DT	不定*	R	端子 KEYIN4 の状態 (ハイレベルのとき 1、ローレベルのとき 0)
3	KYI3DT	不定*	R	端子 KEYIN3 の状態 (ハイレベルのとき 1、ローレベルのとき 0)
2	KYI2DT	不定*	R	端子 KEYIN2 の状態 (ハイレベルのとき 1、ローレベルのとき 0)
1	KYI1DT	不定*	R	端子 KEYIN1 の状態 (ハイレベルのとき 1、ローレベルのとき 0)
0	KYI0DT	不定*	R	端子 KEYIN0 の状態 (ハイレベルのとき 1、ローレベルのとき 0)

【注】 * リセット直後は、BSC のデータバス機能が有効になっているため、読み出し値は不定となります。

30.3.4 キースキャンアウトデータレジスタ (KYOUTDR)

KYOUTDR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子 KEYOUT5 ~ KEYOUT0 の出力データを格納します。KYO5DT ~ KYO0DT ビットは KEYOUT5 ~ KEYOUT0 端子に対応しています。

キースキャンインタフェース機能を使うためには、ピンファンクションコントローラにて端子機能設定をキースキャンインタフェース端子側にしてください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	KYO5DT[1:0]	KYO4DT[1:0]	KYO3DT[1:0]	KYO2DT[1:0]	KYO1DT[1:0]	KYO0DT[1:0]						
初期値:	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11、10	KYO5DT[1:0]	11	R/W	KYOnDT : KEYOUTn の出力データを制御します。(n=0~5) 00 : ローレベル出力 01 : ハイレベル出力 10 : ハイインピーダンス状態 11 : ハイインピーダンス状態
9、8	KYO4DT[1:0]	11	R/W	
7、6	KYO3DT[1:0]	11	R/W	
5、4	KYO2DT[1:0]	11	R/W	
3、2	KYO1DT[1:0]	11	R/W	
1、0	KYO0DT[1:0]	11	R/W	【注】 KYO5DT : KEY 端子モード 2 および 3 設定時に書き込んだ値は無視されます。 KYO4DT : KEY 端子モード 3 設定時に書き込んだ値は無視されます。

30.4 動作説明

30.4.1 チャタリング除去

KYCR1 の SCN ビットを設定することによりキー割り込み検出のチャタリング除去を行うことができます。本チャタリング除去により SCN ビットで設定した時間間隔以上キーが押され続けた時にキーが押されたと認識します。その後、SCN ビットで設定した時間間隔以上キーが離された状態が続いた場合にキーが離されたと認識します。

30.4.2 キーの多重押し検出

KYOUTDR の設定により、KEYOUT5 ~ KEYOUT0 端子を 1 本ずつ順番にローレベル出力にし、残りの 5 本をハイインピーダンスにした状態で KYINDR レジスタを読み出すことで、キーの多重押しを検出することができます。

30.4.3 レジスタアクセス

キースキャンインタフェースのチャタリング除去部と各種スタンバイモード解除通知部は U-スタンバイモード時にも動作するために、サブエリアに存在しますが、動作に必要なレジスタ設定は、コアエリアより行います。このためレジスタを更新した場合、以下の制限があります。

下記レジスタを更新した場合、実際の動作に反映するまでの間は U-スタンバイモードに遷移しないでください。遷移した場合、レジスタ設定が反映されない場合があります。

- KYCR1レジスタ : KYOUT_IE、SCNビット
- KYCR2レジスタ : KYDIR4 ~ KYDIR0ビット

レジスタ書き込み後、直後に読み出せませんが、実際の動作に反映するまでに RCLK で 2 サイクルが必要です。

30.5 使用例

30.5.1 レベル割り込み (KYCPU_IE1、KYCPU_IE0 = B'01)

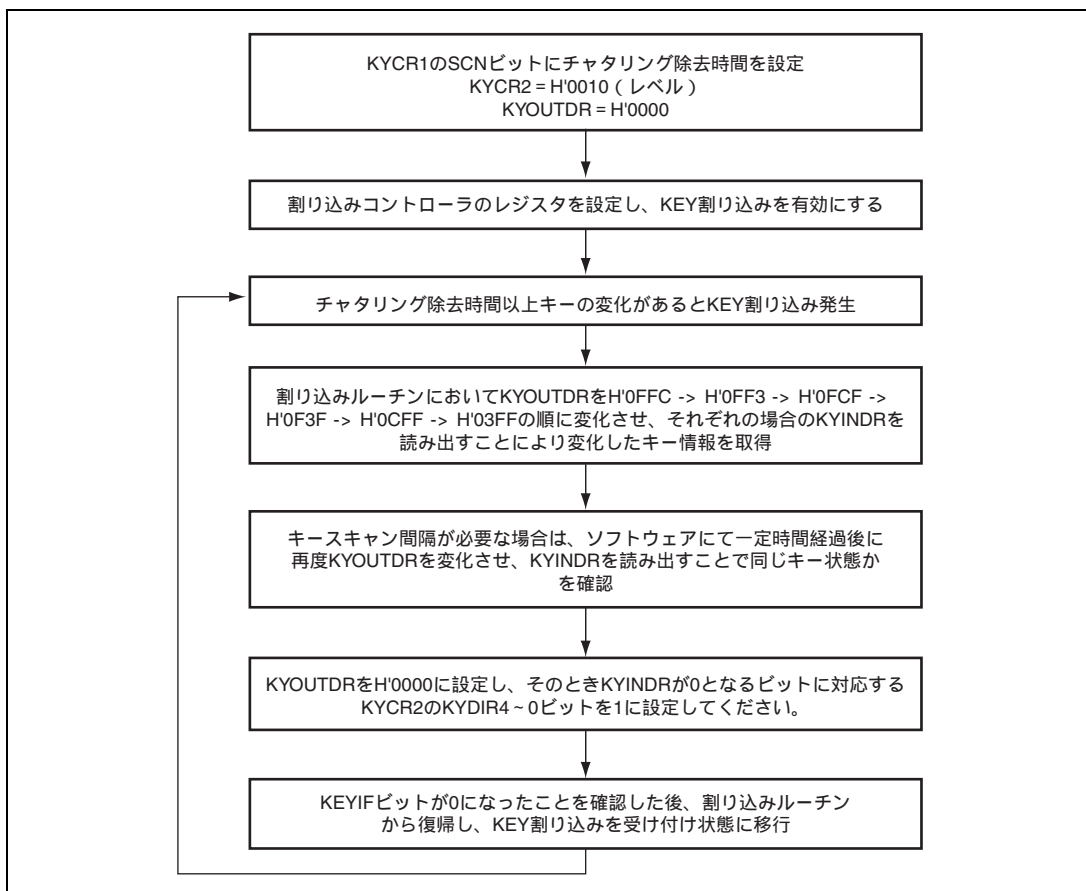


図 30.2 レベル割り込みを用いたキースキャン例 (KEY 端子モード 1)

30.5.2 エッジ割り込み (KYCPU_IE1、KYCPU_IE0 = B'1x)

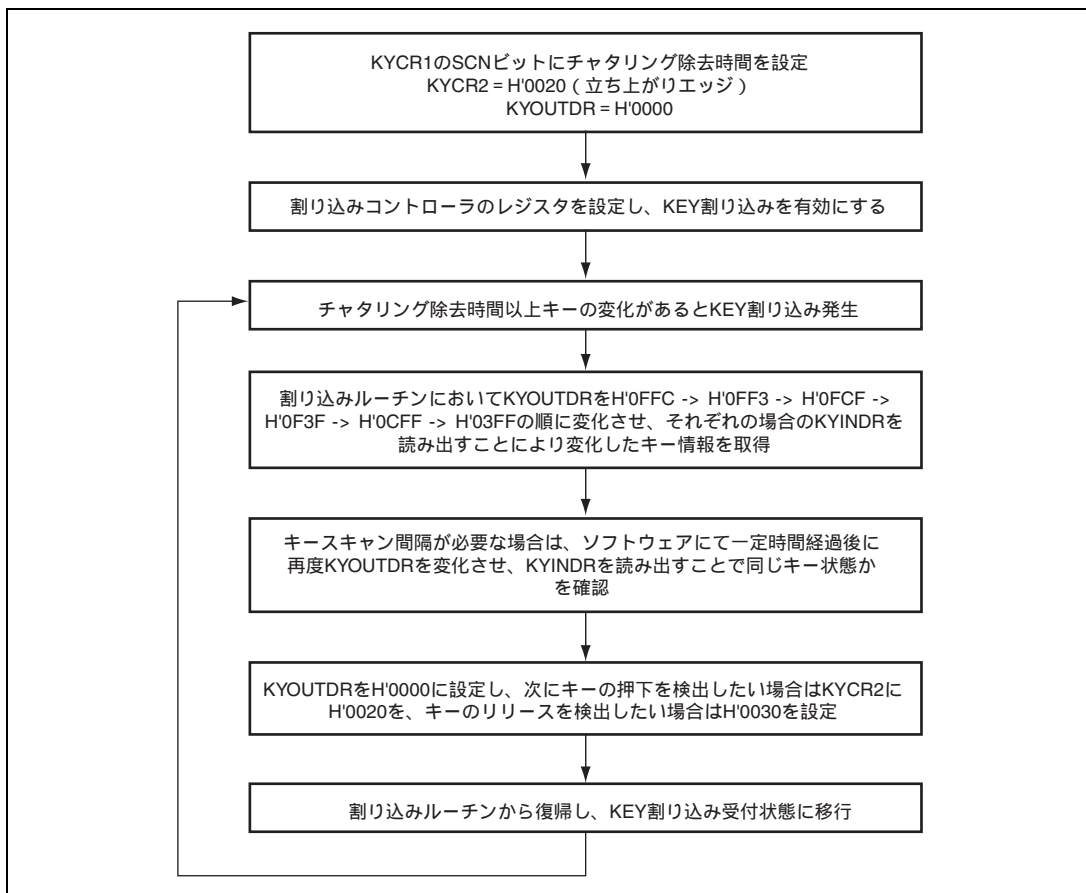


図 30.3 エッジ割り込みを用いたキースキャン例 (KEY 端子モード 1)

31. USB2.0 ホスト / ファンクションモジュール(USB 0、USB1)

本 LSI は、USB ホストコントロール機能とファンクションコントロール機能を備えた USB コントローラを 2 個 (USB0 と USB1) 搭載しています。ホストコントローラ機能選択時は、USB (Universal Serial Bus) 規格 2.0 のハイスピード転送、フルスピード転送、ロースピード転送に対応します。ファンクションコントローラ機能選択時は、ハイスピード転送、フルスピード転送に対応します。また、本モジュールは、USB トランシーバを内蔵し、USB 規格で定義されている全転送タイプに対応しています。

USB0 と USB1 でそれぞれデータ転送用に 16K バイトのバッファメモリを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1~9 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

31.1 特長

- (1) USB ハイスピード対応のホストコントロール機能とファンクションコントロール機能を備えた USB コントローラを 2 個搭載
 - USBホストコントロール機能とファンクションコントロール機能を備えたUSBコントローラを2個搭載 (USB0とUSB1)
 - USBホストコントローラ機能とファンクションコントローラ機能をレジスタ設定により切り替え可能
 - USBトランシーバ内蔵
- (2) 少ない外付け素子かつ省スペース実装が可能
 - VBUS信号を本モジュールの入力端子に直接接続可能
 - D+プルアップ抵抗内蔵 (ファンクション動作時)
 - D+、D-のプルダウン抵抗内蔵 (ホスト動作時)
 - D+、D-終端抵抗内蔵 (ハイスピード動作時)
 - D+、D-出力抵抗内蔵 (フルスピード動作時)
- (3) USB 通信の全種類のデータ転送タイプに対応
 - コントロール転送
 - バルク転送
 - インタラプト転送 (High Bandwidthは非対応)
 - アイソクロナス転送 (High Bandwidthは非対応)

(4) 内部バスインタフェース

- DMAインタフェースをUSB0とUSB1でそれぞれ2チャンネル内蔵

(5) パイプコンフィギュレーション

以下の機能を USB0 と USB1 でそれぞれ持っています。

- USB通信用バッファメモリを16Kバイトまで対応可能
- 最大10本のパイプを選択可能 (デフォルトコントロールパイプを含む)
- プログラマブルなパイプ構成
- パイプ1~9は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件は以下のとおりです。

パイプ0: コントロール転送専用のパイプ (デフォルトコントロールパイプ: DCP)、64バイト固定シングルバッファ

パイプ1、2: バルク転送またはアイソクロナス転送を選択可能なパイプ、連続転送モード、バッファサイズはプログラマブル (最大2Kバイトでダブルバッファ指定可能)

パイプ3~5: バルク転送専用のパイプ、連続転送モード、バッファサイズはプログラマブル (最大2Kバイトでダブルバッファ指定可能)

パイプ6~9: インタラプト転送専用のパイプ、64バイト固定シングルバッファ

(6) ホストコントロール機能選択時の特長

- ハイスピード転送 (480Mbps)、フルスピード転送 (12Mbps) およびロースピード転送 (1.5Mbps) に対応
- ハブを1段経由し、複数の周辺デバイスと接続し通信が可能
- リセットハンドシェイク自動応答
- SOF、パケット送信のスケジュールを自動化
- アイソクロナス転送、インタラプト転送の転送インターバル設定機能

(7) ファンクションコントロール機能選択時の特長

- ハイスピード転送 (480Mbps) およびフルスピード転送 (12Mbps) に対応
- リセットハンドシェイク自動応答による、ハイスピード動作もしくはフルスピード動作の自動認識
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能 (NRDY)
- SOF補間機能

(8) その他の機能

- トランザクションカウントによるトランスファ終了機能
- BRDY割り込みイベント通知タイミング変更機能 (BFRE)
- DnFIFO (n=0、1) ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM)
- トランスファ終了による応答PIDのNAK設定機能 (SHTNAK)

31.2 入出力端子

USB0 の端子構成を表 31.1 に USB1 の端子構成を表 31.2 に示します。

表 31.1 USB0 の端子構成

端子名	名称	入出力	機能
DP0	USB0 D+データ	入出力	USB0 内蔵トランシーバ D+入出力です。 USB バスの D+端子に接続してください。
DM0	USB0 D-データ	入出力	USB0 内蔵トランシーバ D-入出力です。 USB バスの D-端子に接続してください。
VBUS0	VBUS0 入力	入力	USB ケーブル接続モニタ端子です。 USB バスの VBUS に接続してください。VBUS の接続 / 切断を検出することができます。USB バスの VBUS と接続しない場合は、5V に固定してください。ホストコントローラ機能選択時にも 5V を供給してください。 ただし、接続される周辺デバイスへの VBUS 供給はできません。
REFRIN0	リファレンス入力	入力	基準抵抗接続用端子です。 5.6k \pm 1%抵抗を介してトランシーバ部アナログ端子グランド (AG33) に接続してください。
XTAL_USB	クリスタル入出力端子	出力	水晶発振子を接続します。
EXTAL_USB	(クロック入力端子)	入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。

表 31.2 USB1 の端子構成

端子名	名称	入出力	機能
DP1	USB1 D+データ	入出力	USB1 内蔵トランシーバ D+入出力です。 USB バスの D+端子に接続してください。
DM1	USB1 D-データ	入出力	USB1 内蔵トランシーバ D-入出力です。 USB バスの D-端子に接続してください。
VBUS1	VBUS1 入力	入力	USB ケーブル接続モニタ端子です。 USB バスの VBUS に接続してください。VBUS の接続 / 切断を検出することができます。USB バスの VBUS と接続しない場合は、5V に固定してください。ホストコントローラ機能選択時にも 5V を供給してください。 ただし、接続される周辺デバイスへの VBUS 供給はできません。
REFRIN1	リファレンス入力	入力	基準抵抗接続用端子です。 5.6k \pm 1%抵抗を介してトランシーバ部アナログ端子グランド (AG33) に接続してください。
XTAL_USB	クリスタル入出力端子	出力	水晶発振子を接続します。
EXTAL_USB	(クロック入力端子) (USB0 と共通)	入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。

31.3 USB ブロック図

USB ブロック図を図 31.1 に示します。USB0 と USB1 は同じ構成です。

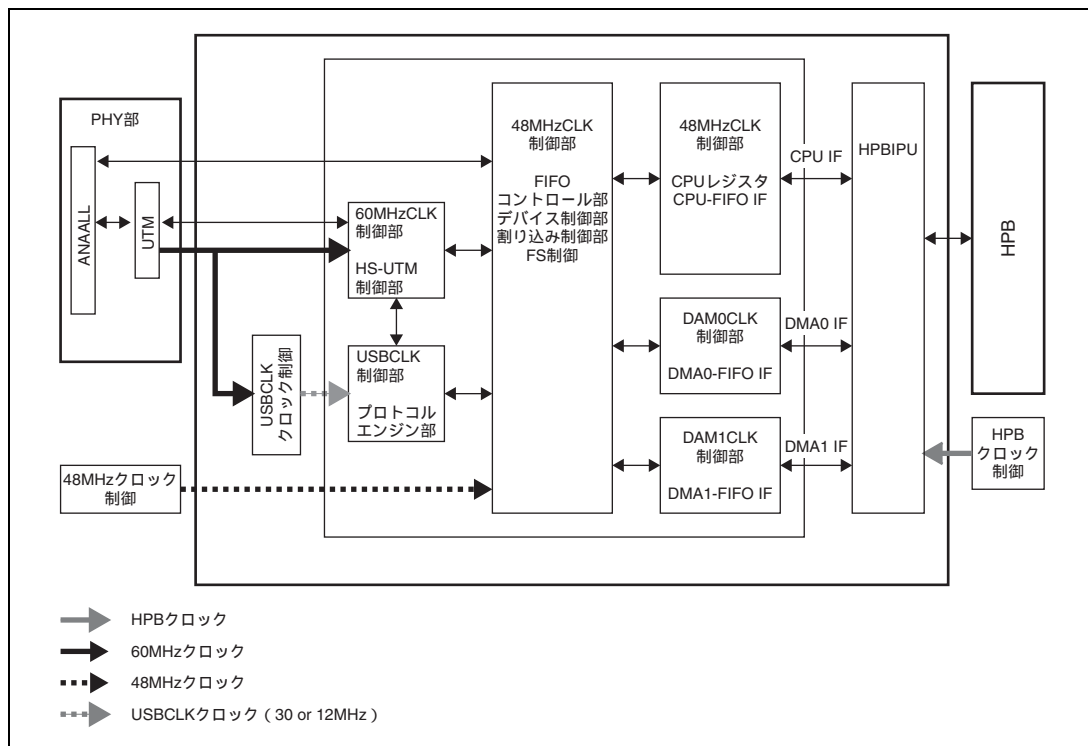


図 31.1 USB ブロック

31.4 レジスタの説明

USB0 のレジスタ構成を表 31.3 に USB1 のレジスタ構成を表 31.4 に示します。USB0 と USB1 の違いはアドレスのみでそれ以外は同じです。また、各処理モードにおけるレジスタの状態を表 31.5 に示します。

表 31.3 USB0 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセス サイズ
システムコンフィギュレーションコントロールレジスタ_0	SYSCFG_0	R/W	H'A4D8 0000	16
CPU バスウェイト設定レジスタ_0	BUSWAIT_0	R/W	H'A4D8 0002	16
システムコンフィギュレーションステータスレジスタ_0	SYSSTS_0	R	H'A4D8 0004	16
デバイスステートコントロールレジスタ_0	DVSTCTR_0	R/W	H'A4D8 0008	16
テストモードレジスタ_0	TESTMODE_0	R/W	H'A4D8 000C	16
CFIFO ポートレジスタ_0	CFIFO_0	R/W	H'A4D8 0014	8、16、32
D0FIFO ポートレジスタ_0	D0FIFO_0	R/W	H'A4D8 0100	8、16、32
D1FIFO ポートレジスタ_0	D1FIFO_0	R/W	H'A4D8 0120	8、16、32
CFIFO ポート選択レジスタ_0	CFIFOSEL_0	R/W	H'A4D8 0020	16
CFIFO ポートコントロールレジスタ_0	CFIFOCTR_0	R/W	H'A4D8 0022	16
D0FIFO ポート選択レジスタ_0	D0FIFOSEL_0	R/W	H'A4D8 0028	16
D0FIFO ポートコントロールレジスタ_0	D0FIFOCTR_0	R/W	H'A4D8 002A	16
D1FIFO ポート選択レジスタ_0	D1FIFOSEL_0	R/W	H'A4D8 002C	16
D1FIFO ポートコントロールレジスタ_0	D1FIFOCTR_0	R/W	H'A4D8 002E	16
割り込み許可レジスタ 0_0	INTENB0_0	R/W	H'A4D8 0030	16
割り込み許可レジスタ 1_0	INTENB1_0	R/W	H'A4D8 0032	16
BRDY 割り込み許可レジスタ_0	BRDYENB_0	R/W	H'A4D8 0036	16
NRDY 割り込み許可レジスタ_0	NRDYENB_0	R/W	H'A4D8 0038	16
BEMP 割り込み許可レジスタ_0	BEMPENB_0	R/W	H'A4D8 003A	16
SOF 出力コンフィグレーションレジスタ_0	SOFCFG_0	R/W	H'A4D8 003C	16
割り込みステータスレジスタ 0_0	INTSTS0_0	R/W	H'A4D8 0040	16
割り込みステータスレジスタ 1_0	INTSTS1_0	R/W	H'A4D8 0042	16
BRDY 割り込みステータスレジスタ_0	BRDYSTS_0	R/W	H'A4D8 0046	16
NRDY 割り込みステータスレジスタ_0	NRDYSTS_0	R/W	H'A4D8 0048	16
BEMP 割り込みステータスレジスタ_0	BEMPSTS_0	R/W	H'A4D8 004A	16
フレームナンバーレジスタ_0	FRMNUM_0	R/W	H'A4D8 004C	16
μフレームナンバーレジスタ_0	UFRMNUM_0	R/W	H'A4D8 004E	16
USB アドレスレジスタ_0	USBADDR_0	R	H'A4D8 0050	16
USB リクエストタイプレジスタ_0	USBREQ_0	R/W	H'A4D8 0054	16
USB リクエストバリューレジスタ_0	USBVAL_0	R/W	H'A4D8 0056	16
USB リクエストインデックスレジスタ_0	USBINDX_0	R/W	H'A4D8 0058	16

レジスタ名	略称	R/W	アドレス	アクセス サイズ
USB リクエストレンゲスレジスタ_0	USBLENG_0	R/W	H'A4D8 005A	16
DCP コンフィギュレーションレジスタ_0	DCPCFG_0	R/W	H'A4D8 005C	16
DCP マックスパケットサイズレジスタ_0	DCPMAXP_0	R/W	H'A4D8 005E	16
DCP コントロールレジスタ_0	DCPCTR_0	R/W	H'A4D8 0060	16
パイプウィンドウ選択レジスタ_0	PIPESEL_0	R/W	H'A4D8 0064	16
パイプコンフィギュレーションレジスタ_0	PIPECFG_0	R/W	H'A4D8 0068	16
パイプバッファ指定レジスタ_0	PIPEBUF_0	R/W	H'A4D8 006A	16
パイプマックスパケットサイズレジスタ_0	PIPEMAXP_0	R/W	H'A4D8 006C	16
パイプ周期制御レジスタ_0	PIPEPERI_0	R/W	H'A4D8 006E	16
パイプ1 コントロールレジスタ_0	PIPE1CTR_0	R/W	H'A4D8 0070	16
パイプ2 コントロールレジスタ_0	PIPE2CTR_0	R/W	H'A4D8 0072	16
パイプ3 コントロールレジスタ_0	PIPE3CTR_0	R/W	H'A4D8 0074	16
パイプ4 コントロールレジスタ_0	PIPE4CTR_0	R/W	H'A4D8 0076	16
パイプ5 コントロールレジスタ_0	PIPE5CTR_0	R/W	H'A4D8 0078	16
パイプ6 コントロールレジスタ_0	PIPE6CTR_0	R/W	H'A4D8 007A	16
パイプ7 コントロールレジスタ_0	PIPE7CTR_0	R/W	H'A4D8 007C	16
パイプ8 コントロールレジスタ_0	PIPE8CTR_0	R/W	H'A4D8 007E	16
パイプ9 コントロールレジスタ_0	PIPE9CTR_0	R/W	H'A4D8 0080	16
パイプ1 トランザクションカウンタインーブルレジスタ_0	PIPE1TRE_0	R/W	H'A4D8 0090	16
パイプ1 トランザクションカウンタレジスタ_0	PIPE1TRN_0	R/W	H'A4D8 0092	16
パイプ2 トランザクションカウンタインーブルレジスタ_0	PIPE2TRE_0	R/W	H'A4D8 0094	16
パイプ2 トランザクションカウンタレジスタ_0	PIPE2TRN_0	R/W	H'A4D8 0096	16
パイプ3 トランザクションカウンタインーブルレジスタ_0	PIPE3TRE_0	R/W	H'A4D8 0098	16
パイプ3 トランザクションカウンタレジスタ_0	PIPE3TRN_0	R/W	H'A4D8 009A	16
パイプ4 トランザクションカウンタインーブルレジスタ_0	PIPE4TRE_0	R/W	H'A4D8 009C	16
パイプ4 トランザクションカウンタレジスタ_0	PIPE4TRN_0	R/W	H'A4D8 009E	16
パイプ5 トランザクションカウンタインーブルレジスタ_0	PIPE5TRE_0	R/W	H'A4D8 00A0	16
パイプ5 トランザクションカウンタレジスタ_0	PIPE5TRN_0	R/W	H'A4D8 00A2	16
デバイスアドレス0 コンフィギュレーションレジスタ_0	DEVADD0_0	R/W	H'A4D8 00D0	16
デバイスアドレス1 コンフィギュレーションレジスタ_0	DEVADD1_0	R/W	H'A4D8 00D2	16
デバイスアドレス2 コンフィギュレーションレジスタ_0	DEVADD2_0	R/W	H'A4D8 00D4	16
デバイスアドレス3 コンフィギュレーションレジスタ_0	DEVADD3_0	R/W	H'A4D8 00D6	16
デバイスアドレス4 コンフィギュレーションレジスタ_0	DEVADD4_0	R/W	H'A4D8 00D8	16
デバイスアドレス5 コンフィギュレーションレジスタ_0	DEVADD5_0	R/W	H'A4D8 00DA	16
デバイスアドレス6 コンフィギュレーションレジスタ_0	DEVADD6_0	R/W	H'A4D8 00DC	16
デバイスアドレス7 コンフィギュレーションレジスタ_0	DEVADD7_0	R/W	H'A4D8 00DE	16
デバイスアドレス8 コンフィギュレーションレジスタ_0	DEVADD8_0	R/W	H'A4D8 00E0	16

レジスタ名	略称	R/W	アドレス	アクセス サイズ
デバイスアドレス9 コンフィグレーションレジスタ_0	DEVADD9_0	R/W	H'A4D8 00E2	16
デバイスアドレスA コンフィグレーションレジスタ_0	DEVADDA_0	R/W	H'A4D8 00E4	16
USB 電源制御レジスタ 0	UPONCR0	R/W	H'A405 01D4	16

表 31.4 USB1 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセス サイズ
システムコンフィギュレーションコントロールレジスタ_1	SYSCFG_1	R/W	H'A4D9 0000	16
CPU バスウェイト設定レジスタ_1	BUSWAIT_1	R/W	H'A4D9 0002	16
システムコンフィギュレーションステータスレジスタ_1	SYSSTS_1	R	H'A4D9 0004	16
デバイスステートコントロールレジスタ_1	DVSTCTR_1	R/W	H'A4D9 0008	16
テストモードレジスタ_1	TESTMODE_1	R/W	H'A4D9 000C	16
CFIFO ポートレジスタ_1	CFIFO_1	R/W	H'A4D9 0014	8、16、32
D0FIFO ポートレジスタ_1	D0FIFO_1	R/W	H'A4D9 0100	8、16、32
D1FIFO ポートレジスタ_1	D1FIFO_1	R/W	H'A4D9 0120	8、16、32
CFIFO ポート選択レジスタ_1	CFIFOSEL_1	R/W	H'A4D9 0020	16
CFIFO ポートコントロールレジスタ_1	CFIFOCTR_1	R/W	H'A4D9 0022	16
D0FIFO ポート選択レジスタ_1	D0FIFOSEL_1	R/W	H'A4D9 0028	16
D0FIFO ポートコントロールレジスタ_1	D0FIFOCTR_1	R/W	H'A4D9 002A	16
D1FIFO ポート選択レジスタ_1	D1FIFOSEL_1	R/W	H'A4D9 002C	16
D1FIFO ポートコントロールレジスタ_1	D1FIFOCTR_1	R/W	H'A4D9 002E	16
割り込み許可レジスタ 0_1	INTENB0_1	R/W	H'A4D9 0030	16
割り込み許可レジスタ 1_1	INTENB1_1	R/W	H'A4D9 0032	16
BRDY 割り込み許可レジスタ_1	BRDYENB_1	R/W	H'A4D9 0036	16
NRDY 割り込み許可レジスタ_1	NRDYENB_1	R/W	H'A4D9 0038	16
BEMP 割り込み許可レジスタ_1	BEMPENB_1	R/W	H'A4D9 003A	16
SOF 出力コンフィギュレーションレジスタ_1	SOFCFG_1	R/W	H'A4D9 003C	16
割り込みステータスレジスタ 0_1	INTSTS0_1	R/W	H'A4D9 0040	16
割り込みステータスレジスタ 1_1	INTSTS1_1	R/W	H'A4D9 0042	16
BRDY 割り込みステータスレジスタ_1	BRDYSTS_1	R/W	H'A4D9 0046	16
NRDY 割り込みステータスレジスタ_1	NRDYSTS_1	R/W	H'A4D9 0048	16
BEMP 割り込みステータスレジスタ_1	BEMPSTS_1	R/W	H'A4D9 004A	16
フレームナンバーレジスタ_1	FRMNUM_1	R/W	H'A4D9 004C	16
μフレームナンバーレジスタ_1	UFRMNUM_1	R/W	H'A4D9 004E	16
USB アドレスレジスタ_1	USBADDR_1	R	H'A4D9 0050	16
USB リクエストタイプレジスタ_1	USBREQ_1	R/W	H'A4D9 0054	16
USB リクエストバリュージスタ_1	USBVAL_1	R/W	H'A4D9 0056	16

レジスタ名	略称	R/W	アドレス	アクセス サイズ
USB リクエストインデックスレジスタ_1	USBINDX_1	R/W	H'A4D9 0058	16
USB リクエストレンゲスレジスタ_1	USBLENG_1	R/W	H'A4D9 005A	16
DCP コンフィギュレーションレジスタ_1	DCPCFG_1	R/W	H'A4D9 005C	16
DCP マックスパケットサイズレジスタ_1	DCPMAXP_1	R/W	H'A4D9 005E	16
DCP コントロールレジスタ_1	DCPCTR_1	R/W	H'A4D9 0060	16
パイプウィンドウ選択レジスタ_1	PIPESEL_1	R/W	H'A4D9 0064	16
パイプコンフィギュレーションレジスタ_1	PIPECFG_1	R/W	H'A4D9 0068	16
パイプバッファ指定レジスタ_1	PIPEBUF_1	R/W	H'A4D9 006A	16
パイプマックスパケットサイズレジスタ_1	PIPEMAXP_1	R/W	H'A4D9 006C	16
パイプ周期制御レジスタ_1	PIPEPERI_1	R/W	H'A4D9 006E	16
パイプ1 コントロールレジスタ_1	PIPE1CTR_1	R/W	H'A4D9 0070	16
パイプ2 コントロールレジスタ_1	PIPE2CTR_1	R/W	H'A4D9 0072	16
パイプ3 コントロールレジスタ_1	PIPE3CTR_1	R/W	H'A4D9 0074	16
パイプ4 コントロールレジスタ_1	PIPE4CTR_1	R/W	H'A4D9 0076	16
パイプ5 コントロールレジスタ_1	PIPE5CTR_1	R/W	H'A4D9 0078	16
パイプ6 コントロールレジスタ_1	PIPE6CTR_1	R/W	H'A4D9 007A	16
パイプ7 コントロールレジスタ_1	PIPE7CTR_1	R/W	H'A4D9 007C	16
パイプ8 コントロールレジスタ_1	PIPE8CTR_1	R/W	H'A4D9 007E	16
パイプ9 コントロールレジスタ_1	PIPE9CTR_1	R/W	H'A4D9 0080	16
パイプ1 トランザクションカウンタイネーブルレジスタ_1	PIPE1TRE_1	R/W	H'A4D9 0090	16
パイプ1 トランザクションカウンタレジスタ_1	PIPE1TRN_1	R/W	H'A4D9 0092	16
パイプ2 トランザクションカウンタイネーブルレジスタ_1	PIPE2TRE_1	R/W	H'A4D9 0094	16
パイプ2 トランザクションカウンタレジスタ_1	PIPE2TRN_1	R/W	H'A4D9 0096	16
パイプ3 トランザクションカウンタイネーブルレジスタ_1	PIPE3TRE_1	R/W	H'A4D9 0098	16
パイプ3 トランザクションカウンタレジスタ_1	PIPE3TRN_1	R/W	H'A4D9 009A	16
パイプ4 トランザクションカウンタイネーブルレジスタ_1	PIPE4TRE_1	R/W	H'A4D9 009C	16
パイプ4 トランザクションカウンタレジスタ_1	PIPE4TRN_1	R/W	H'A4D9 009E	16
パイプ5 トランザクションカウンタイネーブルレジスタ_1	PIPE5TRE_1	R/W	H'A4D9 00A0	16
パイプ5 トランザクションカウンタレジスタ_1	PIPE5TRN_1	R/W	H'A4D9 00A2	16
デバイスアドレス0 コンフィギュレーションレジスタ_1	DEVADD0_1	R/W	H'A4D9 00D0	16
デバイスアドレス1 コンフィギュレーションレジスタ_1	DEVADD1_1	R/W	H'A4D9 00D2	16
デバイスアドレス2 コンフィギュレーションレジスタ_1	DEVADD2_1	R/W	H'A4D9 00D4	16
デバイスアドレス3 コンフィギュレーションレジスタ_1	DEVADD3_1	R/W	H'A4D9 00D6	16
デバイスアドレス4 コンフィギュレーションレジスタ_1	DEVADD4_1	R/W	H'A4D9 00D8	16
デバイスアドレス5 コンフィギュレーションレジスタ_1	DEVADD5_1	R/W	H'A4D9 00DA	16
デバイスアドレス6 コンフィギュレーションレジスタ_1	DEVADD6_1	R/W	H'A4D9 00DC	16
デバイスアドレス7 コンフィギュレーションレジスタ_1	DEVADD7_1	R/W	H'A4D9 00DE	16

レジスタ名	略称	R/W	アドレス	アクセス サイズ
デバイスアドレス 8 コンフィグレーションレジスタ_1	DEVADD8_1	R/W	H'A4D9 00E0	16
デバイスアドレス 9 コンフィグレーションレジスタ_1	DEVADD9_1	R/W	H'A4D9 00E2	16
デバイスアドレス A コンフィグレーションレジスタ_1	DEVADDA_1	R/W	H'A4D9 00E4	16
USB 電源制御レジスタ 1	UPONCR1	R/W	H'A405 0192	16

表 31.5 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	R-スタンバイ	スリープ
SYSCFG_n	初期化	初期化	保持	保持	初期化	初期化	保持
BUSWAIT_n	初期化	初期化	保持	保持	初期化	初期化	保持
SYSSTS_n	初期化	初期化	保持	保持	初期化	初期化	保持
DVSTCTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
TESTMODE_n	初期化	初期化	保持	保持	初期化	初期化	保持
CFIFO_n	初期化	初期化	保持	保持	初期化	初期化	保持
D0FIFO_n	初期化	初期化	保持	保持	初期化	初期化	保持
D1FIFO_n	初期化	初期化	保持	保持	初期化	初期化	保持
CFIFOSEL_n	初期化	初期化	保持	保持	初期化	初期化	保持
CFIFOCTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
D0FIFOSEL_n	初期化	初期化	保持	保持	初期化	初期化	保持
D0FIFOCTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
D1FIFOSEL_n	初期化	初期化	保持	保持	初期化	初期化	保持
D1FIFOCTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
INTENB0_n	初期化	初期化	保持	保持	初期化	初期化	保持
INTENB1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BRDYENB_n	初期化	初期化	保持	保持	初期化	初期化	保持
NRDYENB_n	初期化	初期化	保持	保持	初期化	初期化	保持
BEMPENB_n	初期化	初期化	保持	保持	初期化	初期化	保持
SOFCFG_n	初期化	初期化	保持	保持	初期化	初期化	保持
INTSTS0_n	初期化	初期化	保持	保持	初期化	初期化	保持
INTSTS1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BRDYSTS_n	初期化	初期化	保持	保持	初期化	初期化	保持
NRDYSTS_n	初期化	初期化	保持	保持	初期化	初期化	保持
BEMPSTS_n	初期化	初期化	保持	保持	初期化	初期化	保持
FRMNUM_n	初期化	初期化	保持	保持	初期化	初期化	保持
UFRMNUM_n	初期化	初期化	保持	保持	初期化	初期化	保持
USBADDR_n	初期化	初期化	保持	保持	初期化	初期化	保持
USBREQ_n	初期化	初期化	保持	保持	初期化	初期化	保持

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	U-スタンバイ	R-スタンバイ	スリープ
USBVAL_n	初期化	初期化	保持	保持	初期化	初期化	保持
USBINDX_n	初期化	初期化	保持	保持	初期化	初期化	保持
USBLENG_n	初期化	初期化	保持	保持	初期化	初期化	保持
DCPCFG_n	初期化	初期化	保持	保持	初期化	初期化	保持
DCPMAXP_n	初期化	初期化	保持	保持	初期化	初期化	保持
DCPCTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
PIPESEL_n	初期化	初期化	保持	保持	初期化	初期化	保持
PIPECFG_n	初期化	初期化	保持	保持	初期化	初期化	保持
PIPEBUF_n	初期化	初期化	保持	保持	初期化	初期化	保持
PIPEMAXP_n	初期化	初期化	保持	保持	初期化	初期化	保持
PIPEPERI_n	初期化	初期化	保持	保持	初期化	初期化	保持
PIPE1CTR_n ~ PIPE9CTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
PIPE1TRE_n ~ PIPE5TRE_n	初期化	初期化	保持	保持	初期化	初期化	保持
PIPE1TRN ~ PIPE5TRN_n	初期化	初期化	保持	保持	初期化	初期化	保持
DEVADD0_n	初期化	初期化	保持	保持	初期化	初期化	保持
DEVADD1_n ~ A_n	初期化	初期化	保持	保持	初期化	初期化	保持
UPONCR0	初期化	保持	保持	保持	初期化	保持	保持
UPONCR1	初期化	保持	保持	保持	初期化	保持	保持

【注】 n=0、1

31.4.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

SYSCFG は、ハイスピード動作の許可、ホストコントローラ機能またはファンクションコントローラ機能の選択、DP、DM 端子の制御および本モジュールの動作許可制御を行うレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCKE	—	—	HSE	DCFM	DRPD	DPRPU	—	—	—	USBE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	SCKE	0	R/W	USB モジュールクロック許可 本モジュールへの 48MHz クロック供給の停止 / 許可を指定します。 0 : USB モジュールへのクロック供給停止 1 : USB モジュールへのクロック供給許可 本ビットが0の場合、本レジスタおよび BUSWAIT レジスタのみ、読み出し / 書き込みができます。 USB モジュール内の他のレジスタは、読み出しはできますが、書き込みはできません。
9、8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	HSE	0	R/W	ハイスピード動作許可 0 : ハイスピード動作禁止 ファンクションコントローラ機能選択時 : フルスピード動作のみ ホストコントローラ機能選択時 : フルスピードまたはロースピード動作 1 : ハイスピード動作許可 (本モジュールが通信スピードを検出します) (1) ホストコントローラ機能選択時 HSE = 0 を設定した場合、USB ポートはロースピード動作またはフルスピード動作を行います。 USB ポートにロースピードの周辺デバイスがアタッチされたことを検出した場合には、必ず HSE = 0 を設定してください。 HSE = 1 を設定した場合、本モジュールはリセットハンドシェイクプロトコルを実行し、その結果に従い自動的に USB ポートをハイスピードまたはフルスピード動作を行います。 本ビットの変更は、アタッチ検出 (ATTCH 割り込み検出) 後から USB バスリセット実行前 (USBRESET = 1 設定前) の間に行ってください。 (2) ファンクションコントローラ機能選択時 HSE = 0 を設定した場合、本モジュールはフルスピード動作を行います。 HSE = 1 を設定した場合、本モジュールはリセットハンドシェイクプロトコルを実行し、その結果に従い自動的にハイスピードまたはフルスピード動作を行います。 本ビットの書き換えは、DPRPU = 0 のときに行ってください。

ビット	ビット名	初期値	R/W	説明
6	DCFM	0	R/W	<p>コントローラ機能選択</p> <p>本モジュールの機能を選択します。</p> <p>0 : ファンクションコントローラ機能を選択</p> <p>1 : ホストコントローラ機能を選択</p> <p>本ビットの変更は、DPRPU = 0 かつ DRPD = 0 のときに行ってください。</p>
5	DRPD	0	R/W	<p>D+ / D-ライン抵抗制御</p> <p>ホストコントローラ機能選択時、D+ / D-ラインのプルダウンの禁止 / 許可を指定します。</p> <p>0 : プルダウン禁止</p> <p>1 : プルダウン許可</p> <p>本ビットの 1 への設定は、ホストコントロール機能選択時に行ってください。</p> <p>ファンクションコントロール機能選択時は、0 を設定してください。</p>
4	DPRPU	0	R/W	<p>D+ライン抵抗制御</p> <p>ファンクションコントローラ機能選択時、D+ラインのプルアップの禁止 / 許可を指定します。</p> <p>0 : プルアップ禁止</p> <p>1 : プルアップ許可</p> <p>ファンクションコントローラ機能選択時に本ビットを 1 に設定すると、本モジュールは D+ラインを 3.3V にプルアップし、USB ホストに対してアタッチを通知することができます。また、本ビットを 1 から 0 に変更することにより、本モジュールは D+ラインのプルアップを解消しますので、USB ホストに対してデタッチしたと見せることができます。</p> <p>本ビットへの 1 設定は、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、0 を設定してください。</p>
3~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	USBE	0	R/W	<p>USB モジュール動作許可</p> <p>本モジュールの動作禁止 / 許可を指定します。</p> <p>0 : USB モジュール動作禁止</p> <p>1 : USB モジュール動作許可</p> <p>本ビットを 1 から 0 に変更したときに初期化されるレジスタとビットを表 31.6 と表 31.7 に示します。</p> <p>本ビットの変更は、SCKE = 1 のときに行ってください。</p> <p>ホストコントローラ機能選択時は、DRPD = 1 設定後、LNST ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USB E = 1 設定を行ってください。</p>

表 31.6 USBE = 0 書き込みにより初期化されるレジスタ (ファンクションコントローラ機能選択時)

レジスタ名	ビット名	備考
SYSSTS	LNST	ホストコントローラ機能選択時は値保持
DVSTCTR	RHST	
INTSTS0	DVSQ	ホストコントローラ機能選択時は値保持
USBADDR	USBADDR	ホストコントローラ機能選択時は値保持
USBREQ	BRequest、bmRequestType	ホストコントローラ機能選択時は値保持
USBVAL	wValue	ホストコントローラ機能選択時は値保持
USBINDX	wIndex	ホストコントローラ機能選択時は値保持
USBLENG	wLength	ホストコントローラ機能選択時は値保持

表 31.7 USBE = 0 書き込みにより初期化されるレジスタ (ホストコントローラ機能選択時)

レジスタ名	ビット名	備考
DVSTCTR	RHST	
FRMNUM	FRNM	ファンクションコントローラ機能選択時は値保持
UFRMNUM	UFRNM	ファンクションコントローラ機能選択時は値保持

31.4.2 CPU バスウェイトレジスタ (BUSWAIT)

BUSWAIT は、CPU から本モジュールに対するアクセスウェイト数を指定します。初期値は H'000F ですが、初期化ルーチンで H'0005 以上 (5 ウェイト以上) に設定し、本モジュールの動作中は、H'0005 以上になるようにしてください。

SYSCFG レジスタの SCKE ビットが 0 の場合であっても、本レジスタへの書き込みは可能です。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	BWAIT[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15-4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3-0	BWAIT [3:0]	1111	R/W	<p>CPU バスウェイト</p> <p>本モジュールに対するアクセスウェイト数を設定します。</p> <p>0000 : 0 ウェイト (アクセスサイクル 2 クロック)</p> <p style="text-align: center;">:</p> <p>0010 : 2 ウェイト (アクセスサイクル 4 クロック)</p> <p style="text-align: center;">:</p> <p>0101 : 5 ウェイト (アクセスサイクル 7 クロック)</p> <p style="text-align: center;">:</p> <p>1111 : 15 ウェイト (アクセスサイクル 17)</p> <p>【注】本モジュールの初期化ルーチンで本ビットを必ず、B'0101 以上に設定してください。B'0101 未満の値 (B'0000 ~ B'0100) は設定しないでください。</p>

31.4.3 システムコンフィギュレーションステータスレジスタ (SYSSTS)

SYSSTS は、USB データバスのラインステータス (D+および D-ライン) をモニタします。

本レジスタは、パワーオンリセットおよび USB リセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	-	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
9~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	LNST[1:0]	不定*	R	USB データラインステータスマニタ USB データバスライン (D+ライン、D-ライン) のステータスが表示されます。USB データバスラインステータスを表 31.8 に示します。 本ビットの参照は、ファンクションコントローラ機能選択時にはアタッチ処理 (DPRPU = 1 設定) 以後、ホストコントローラ機能選択時には、プルダウン許可 (DRPD = 1 設定) 以後に行ってください。

【注】 * DP、DM 端子の状態に依存します。

表 31.8 USB データバスラインステータス表

LNST[1]	LNST[0]	ロースピード動作時 (ホストコントローラ 機能選択時のみ)	フルスピード動作時	ハイスピード動作時	Chirp 動作時
0	0	SE0	SE0	Squelch	Squelch
0	1	K-State	J-State	UnSquelch	Chirp J
1	0	J-State	K-State	Invalid	Chirp K
1	1	SE1	SE1	Invalid	Invalid

【記号説明】

Chirp : ハイスピード動作許可の状態 (SYSCFG.HSE = 1) でリセットハンドシェイクプロトコル (RHSP) 実行中

Squelch : SE0 またはアイドル状態

UnSquelch : ハイスピード J-State またはハイスピード K-State

Chirp J : Chirp J-State

Chirp K : Chirp K-State

Invalid : 無効

31.4.4 デバイスステートコントロールレジスタ (DVSTCTR)

DVSTCTR は、USB データバスの状態制御および確認をします。

本レジスタは、パワーオンリセットで初期化されます。USB バスリセットでは、WKUP ビットは初期化され、RESUME ビットは不定になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W*	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	WKUP	0	R/W*	<p>ウェイクアップ出力</p> <p>ファンクションコントロール機能選択時に、USB バス上へのリモートウェイクアップ (レジャーム信号出力) 禁止 / 許可を指定します。</p> <p>0: リモートウェイクアップ信号非出力 1: リモートウェイクアップ信号出力</p> <p>本モジュールは、リモートウェイクアップ信号の出力時間を管理しています。本ビットに 1 を設定すると、本モジュールは 10ms の K-State を出力した後、本ビットを 0 にします。</p> <p>USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、本モジュールは、サスペンド状態を検出した直後に本ビットに 1 を書き込んでも、2ms 待ってから K-State を出力します。</p> <p>本ビットへの 1 書き込みは、デバイスステートがサスペンド (INTSTS0.DVSSQ = B'1xx) であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。本ビットを 1 に設定する場合は、サスペンド中であっても内部クロックを停止しないでください (SCKE = 1 の状態で WKUP = 1 を書き込んでください)。</p> <p>ホストコントロール機能選択時は、0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
7	RWUPE	0	R/W	<p>ウェイクアップ検出許可</p> <p>ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ（レジューム信号出力）の禁止 / 許可を指定します。</p> <p>0 : ダウンポートリモートウェイクアップ出力禁止</p> <p>1 : ダウンポートリモートウェイクアップ許可</p> <p>本ビットを 1 に設定すると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号（2.5μs 間の K-State）を検出し、レジューム処理（K-State のドライブ）を行います。</p> <p>本ビットを 0 に設定した場合、本モジュールが USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号（K-State）を検出しても無視します。</p> <p>本ビットを 1 に設定したときには、サスペンド中であっても内部クロックを停止しないでください（SCKE = 1 の状態にしてください）。また、サスペンド状態からの USB バスリセット実行（USBRST = 1 設定）は行わないでください。USB Specification2.0 で禁止されています。</p> <p>ファンクションコントローラ機能選択時は、0 を設定してください。</p>
6	USBRST	0	R/W	<p>バスリセット出力</p> <p>ホストコントローラ機能選択時に、USB バスリセット信号の出力制御を行います。</p> <p>0 : USB バスリセット信号非出力</p> <p>1 : USB バスリセット信号出力</p> <p>ホストコントローラ機能選択時、本ビットを 1 に設定すると、本モジュールは USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。このとき、HSE ビットが 1 の場合、Reset Handshake Protocol を実行します。</p> <p>本モジュールは、USBRST = 1 の期間（ソフトウェアが USBRST = 0 を書き込むまで）SE0 出力を継続します。USBRST = 1 の期間（USB バスリセット期間）は USB Specification2.0 に準拠した時間を確保してください。</p> <p>通信中（UACT = 1）またはレジューム中（RESUME = 1）に本ビットに 1 を書き込んだ場合、本モジュールは UACT = 0 かつ RESUME = 0 の状態になるまで USB バスリセットを開始しません。</p> <p>USB バスリセット終了（USBRST = 0 書き込み）と同時に UACT ビットに 1 を書き込んでください。</p> <p>ファンクションコントローラ機能選択時は、0 を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
5	RESUME	0	R/W	<p>レジューム出力</p> <p>ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。</p> <p>0: レジューム信号非出力</p> <p>1: レジューム信号出力</p> <p>本ビットを 1 に設定すると、本モジュールはポートを K-State ドライブし、レジューム出力を行います。</p> <p>本モジュールは、RESUME = 1 の期間 (ソフトウェアが RESUME = 0 を書き込むまで) K-State 出力を継続します。RESUME = 1 の期間 (レジューム期間) は USB Specification2.0 に準拠した時間を確保してください。</p> <p>本ビットへの 1 書き込みは、サスペンド中の中のみ行ってください。</p> <p>レジューム終了 (RESUME = 0 書き込み) と同時に UACT ビットに 1 を書き込んでください。</p> <p>ファンクションコントローラ機能選択時は、0 を設定してください。</p>
4	UACT	0	R/W	<p>USB バス許可</p> <p>ホストコントローラ機能選択時に、USB バス動作許可 (USB バス上への SOF または μSOF パケットの送出制御) を行います。</p> <p>0: ダウンポート動作禁止 (SOF / μSOF 送出禁止)</p> <p>1: ダウンポート動作許可 (SOF / μSOF 送出許可)</p> <p>本ビットを 1 に設定すると、本モジュールは USB ポートを USB バス許可状態にし、SOF 出力およびデータ送受信を行います。</p> <p>ソフトウェアが UACT = 1 を書き込んだから、1 (マイクロ) フレーム時間以内に SOF / μSOF 出力を開始します。</p> <p>本ビットを 0 に設定した場合、本モジュールは SOF / μSOF 出力後アイドル状態に移ります。</p> <p>以下の場合に、本モジュールは本ビットを 0 に設定します。</p> <ul style="list-style-type: none"> • 通信中 (UACT = 1 設定時) に DTCH 割り込みを検出した場合 • 通信中 (UACT = 1 設定時) に EOFERR 割り込みを検出した場合 <p>本ビットへの 1 書き込みは、USB リセット処理終了時 (USB RST = 0 書き込み) または、サスペンドからのレジューム処理終了時 (RESUME = 0 書き込み) のいずれかのタイミングで行ってください。</p> <p>ファンクションコントローラ機能選択時は、0 を設定してください。</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2~0	RHST[2:0]	000	R	<p>リセットハンドシェイク</p> <p>リセットハンドシェイクの状態を表示します。</p> <p>(1) ホストコントローラ機能選択時</p> <p>000 : 通信速度不定 (パワード時あるいは非接続時)</p> <p>1xx : リセットハンドシェイク処理中</p> <p>001 : ロースピード接続時</p> <p>010 : フルスピード接続時</p> <p>011 : ハイスピード接続時</p> <p>ソフトウェアで USBRST = 1 書き込み後、本ビットは B'100 を示します。</p> <p>ポートに対して HSE = 1 を設定している場合、本モジュールが周辺デバイスからの ChirpK を検出した時点で、本ビットは B'111 を示します。</p> <p>ソフトウェアが USBRST = 0 を書き込み、本モジュールが SE0 ドライブを終了した時点で、本モジュールは RHST ビットの値を確定します。</p> <p>(2) ファンクションコントロール機能選択時</p> <p>000 : 通信速度不定</p> <p>100 : リセットハンドシェイク処理中</p> <p>010 : フルスピード接続時</p> <p>011 : ハイスピード接続時</p> <p>HSE = 1 を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは B'100 を示します。その後、本モジュールが ChirpK を出力し、USB ホストからの ChirpJK を 3 回検出した時点で本ビットは B'011 を示します。</p> <p>ChirpK 出力後、2.5ms 以内にハイスピードに確定しなければ、本ビットは B'010 を示します。</p> <p>HSE = 0 を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは B'010 を示します。</p> <p>本モジュールが USB バスリセットを検出後、RHST ビットが B'010 または B'011 に確定した時点で、DVST 割り込みが発生します。</p>

【注】 * 1 書き込みのみ有効です。

31.4.5 テストモードレジスタ (TESTMODE)

TESTMODE は、ハイスピード動作時の USB テスト信号出力を制御します。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3~0	UTST[3:0]	0000	R/W	<p>テストモード</p> <p>本ビットに値を書き込むことにより、本モジュールは、ハイスピード動作時の USB テスト信号を出力します。</p> <p>表 31.9 に本モジュールのテストモード動作表を示します。</p> <p>(1) ホストコントローラ機能選択時</p> <p>DRPD = 1 書き込み後に本ビットの設定が可能です。DPRD = 1 かつ UACT = 1 を設定した USB ポートに対して、本モジュールは波形出力を行います。また、USB ポートに対してハイスピード終端を行います。</p> <ul style="list-style-type: none"> • UTST ビット設定手順は以下のとおりです。 <ol style="list-style-type: none"> 1. パワーオンリセット 2. クロック起動(水晶発振および USB PLL 安定後 SCKE ビットに 1 を設定) 3. DCFM = 1、DPRD = 1 (HSE = 1 の設定は必要ありません。) 4. USBE = 1 5. UTST ビットにテスト内容に応じた値を設定 6. UACT ビットに 1 を設定 • UTST ビット変更手順は以下のとおりです。 <ol style="list-style-type: none"> 1. (上記 6.の状態) UACT = 0、USBE = 0 2. USBE = 1 3. UTST ビットにテスト内容に応じた値を設定 4. UACT ビットに 1 を設定 <p>Test_SE0_NAK (B'1011) 設定時は、UACT = 1 を設定したポートに対しても本モジュールは SOF パケットを出力しません。</p> <p>Test_Force_Enable (B'1101) 設定時は、UACT = 1 を設定したポートに対して、本モジュールは SOF パケットを出力します。また、本モード設定時には、本モジュールがハイスピードディスコネクトを検出 (DTCH 割り込みを検出) しても本モジュールは検出に付随するハードウェア制御を行いません。</p> <p>UTST ビットを設定する場合は、すべてのパイプの PID ビットに NAK を設定にしてください。</p> <p>テストモード設定後、通常の USB 通信を行う場合は、パワーオンリセットを実施してください。</p> <p>(2) ファンクションコントローラ機能選択時</p> <p>ハイスピード通信時の USB ホストからの SetFeature リクエストに従って本ビットを書き込んでください。</p> <p>本ビットに B'0001 ~ B'0100 を設定しているときには、本モジュールはサスペンド状態へ遷移しません。</p>

表 31.9 テストモード動作表

テストモード	UTST ビット設定	
	ファンクションコントローラ機能選択時	ホストコントローラ機能選択時
通常動作	B'0000	B'0000
Test_J	B'0001	B'1001
Test_K	B'0010	B'1010
Test_SE0_NAK	B'0011	B'1011
Test_Packet	B'0100	B'1100
Test_Force_Enable	-	B'1101
Reserved	B'0101 ~ B'0111	B'1110 ~ B'1111

31.4.6 FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)

CFIFO、D0FIFO、D1FIFO は、FIFO バッファメモリへのデータ読み出し / 書き込みを行うポートレジスタです。

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の 3 つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータリード / ライトを行う本ポートレジスタ (CFIFO、D0FIFO、D1FIFO) 以外に、FIFO ポートに割り当てられるパイプを選択する選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)、コントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR) で構成されています。

各 FIFO ポートには、下記に示す特長があります。

- DCP用FIFOバッファへのアクセスは、CFIFOポートを通して行ってください。
- DMA転送によるFIFOバッファアクセスはD0FIFOあるいはD1FIFOポートを通して行ってください。
- CPUによるD0FIFOあるいはD1FIFOポートアクセスも可能です。
- FIFOポート固有の機能を使用する場合は、CURPIPEビットに設定するパイプ番号 (選択パイプ) を変更できません (DMA転送機能使用時など)。
- FIFOポートを構成するレジスタ群は、他のFIFOポートに影響を与えることはありません。
- 同一パイプを別々のFIFOポートに割り当てないでください。
- FIFOバッファの状況には、アクセス権がCPU側にある場合とSIE側にある場合の2種類があります。FIFOバッファのアクセス権がSIE側にある場合は、CPUからアクセスができません。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIFOPORT[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFOPORT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FIFOPORT [31:0]	すべて0	R/W	<p>FIFO ポート</p> <p>本ビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。</p> <p>本レジスタへのアクセスは、各コントロールレジスタ (CFIFOCTR、D0FIFOCTR または D1FIFOCTR) の FRDY ビットが 1 を示しているときのみ可能です。</p> <p>本レジスタの有効ビットは、MBW ビットの設定値および BIGEND ビットの設定値により異なります。有効ビットを、表 31.10 ~ 表 31.12 に示します。</p>

表 31.10 32 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス

表 31.11 16 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	書き込み：無効、読み出し：禁止*		N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	書き込み：無効、読み出し：禁止*	

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

表 31.12 8 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	書き込み：無効、読み出し：禁止*			N+0 アドレス
1	N+0 アドレス	書き込み：無効、読み出し：禁止*		

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

ただし、本モジュール自体がビッグエンディアンにてレジスタマッピングされているため、リトルエンディアンで使用するときは、FIFO へアクセス（書き込みまたは読み出し）時に下記のようにアドレスをずらしてアクセスする必要があります。

FPA = FIFO ポートアドレスとすると

【32 ビットアクセスの場合】

アクセスビット D31 ~ D0

アクセスアドレス FPA + 0

ただし、アクセスバイト数が4の倍数でないときには、以下ようになります。

- 4の倍数 + 1 のとき、最後の1バイトのアクセスは、
FPA + 3 へのバイト（8ビット）アクセス
- 4の倍数 + 2 のとき、最後の2バイトのアクセスは
FPA + 2 へのワード（16ビット）アクセス
- 4の倍数 + 3 のとき、残りの3バイトのアクセスは
FPA + 2 へのワード（16ビット）アクセス
+
FPA + 1 へのバイト（8ビット）アクセス

【16 ビットアクセスの場合】

アクセスビット D31 ~ D16 D15 ~ D0
 アクセスアドレス 書き込み：無効、読み出し：禁止 FPA+2

ただし、アクセスバイト数が奇数バイトのとき、最後の1バイトのアクセスは以下のようになります。

FPA + 3へのバイト (8ビット) アクセス

【8 ビットアクセスの場合】

アクセスビット D31 ~ D24、D23 ~ D16、D15 ~ D8 D7 ~ D0
 アクセスアドレス 書き込み：無効、読み出し：禁止 FPA+3

31.4.7 FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)

CFIFOSEL、D0FIFOSEL、D1FIFOSEL は、FIFO ポートに割り当てるパイプの選択、各 FIFO ポートへのアクセスの制御をします。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL の CURPIPE ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE ビットの設定が B'000 の場合には、パイプ指定なしとなります。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

本レジスタは、パワーオンリセットで初期化されます。

(1) CFIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	—	—	MBW[1:0]	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W*	R	R	R/W	R/W	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	リードカウントモード CFIFOCTR レジスタの DTLN ビットの読み出しモードを指定します。 0: CFIFO の全受信データ読み出し終了時に DTLN ビットを 0 クリア (ダブルバッファの場合は一面のみ読み出し終了時) 1: CFIFO 受信データ読み出しごとに DTLN ビットをカウントダウン

ビット	ビット名	初期値	R/W	説明
14	REW	0	R/W*	<p>バッファポインタリワインド</p> <p>バッファポインタのリワインドをする / しないを指定します。</p> <p>0 : バッファポインタリワインドしない</p> <p>1 : バッファポインタリワインドする</p> <p>選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。</p> <p>REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。</p> <p>REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。</p> <p>送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。</p>
13, 12	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
11, 10	MBW[1:0]	00	R/W	<p>CFIFO ポートアクセスビット幅</p> <p>CFIFO ポートへのアクセスビット幅を指定します。</p> <p>00 : 8 ビット幅</p> <p>01 : 16 ビット幅</p> <p>10 : 32 ビット幅</p> <p>11 : 設定禁止</p> <p>選択パイプが受信方向の場合、本ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。</p> <p>また選択パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。</p> <p>選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p> <p>8 ビット / 16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。</p>
9	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	BIGEND	0	R/W	<p>CFIFO ポートエンディアン制御</p> <p>CFIFO ポートのバイトエンディアンを指定します。</p> <p>0 : リトルエンディアン</p> <p>1 : ビッグエンディアン</p>
7, 6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
5	ISEL	0	R/W	<p>DCP 選択時の CFIFO ポートアクセス方向</p> <p>0 : バッファメモリ読み出し選択</p> <p>1 : バッファメモリ書き込み選択</p> <p>選択パイプが DCP のときに、本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスすることができます。</p> <p>本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。</p>
4	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
3~0	CURPIPE [3:0]	0000	R/W	<p>CFIFO ポートアクセスパイプ指定</p> <p>CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。</p> <p>0000 : DCP</p> <p>0001 : パイプ 1</p> <p>0010 : パイプ 2</p> <p>0011 : パイプ 3</p> <p>0100 : パイプ 4</p> <p>0101 : パイプ 5</p> <p>0110 : パイプ 6</p> <p>0111 : パイプ 7</p> <p>1000 : パイプ 8</p> <p>1001 : パイプ 9</p> <p>上記以外 : 設定禁止</p> <p>本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。</p>

【注】 * 0 読み出しのみ有効です。

(2) D0FIFOSEL、D1FIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	DCLRM	DREQE	MBW[1:0]	—	BIG END	—	—	—	—	CURPIPE[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W*	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	<p>リードカウントモード</p> <p>DnFIFOCTR レジスタの DTLN ビットの読み出しモードを指定します。</p> <p>0: DnFIFO の全受信データ読み出し終了時に DTLN ビットを 0 クリア (ダブルバッファの場合は一面分の読み出し終了時)</p> <p>1: DnFIFO 受信データ読み出しごとに DTLN ビットカウントダウン</p> <p>BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、本ビットに 0 を設定してください。</p>
14	REW	0	R/W*	<p>バッファポインタリワインド</p> <p>バッファポインタのリワインドをする / しないを指定します。</p> <p>0: バッファポインタリワインドしない</p> <p>1: バッファポインタリワインドする</p> <p>選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができません (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。</p> <p>REW = 1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW = 1 の設定は、必ず FRDY = 1 であることを確認してから行ってください。</p> <p>BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、ショートパケットデータを読み出し終えた状態で本ビットに 1 を設定しないでください。</p> <p>送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。</p>
13	DCLRM	0	R/W	<p>選択パイプのデータ読み出し後の自動バッファメモリクリアモード</p> <p>選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止 / 許可を指定します。</p> <p>0: 自動バッファクリアモード禁止</p> <p>1: 自動バッファクリアモード許可</p> <p>本ビットに 1 を設定した場合、選択パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または BFRE = 1 設定時にショートパケット受信しデータ読み出しを完了時に、FIFO バッファへの BCLR = 1 処理を本モジュールが行います。</p> <p>BRDYM = 1 に設定して本モジュールを使用するときには、必ず本ビットに 0 を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
12	DREQE	0	R/W	<p>DMA 転送要求許可</p> <p>DMA 転送要求発行の禁止 / 許可を指定します。</p> <p>0 : DMA 転送要求禁止</p> <p>1 : DMA 転送要求許可</p> <p>DMA 転送要求発行を許可する場合、CURPIPE ビット設定後に本ビットに 1 を設定してください。</p> <p>CURPIPE ビット設定を変更するときには、本ビットに 0 を設定した後で変更を行ってください。</p>
11、10	MBW[1:0]	00	R/W	<p>FIFO ポートアクセスビット幅</p> <p>DnFIFO ポートアクセスビット幅を指定します。</p> <p>00 : 8 ビット幅</p> <p>01 : 16 ビット幅</p> <p>10 : 32 ビット幅</p> <p>11 : 設定禁止</p> <p>選択パイプが受信方向の場合、本ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。</p> <p>また選択パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。</p> <p>指定パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅 / 32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p> <p>8 ビット / 16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。</p>
9	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	BIGEND	0	R/W	<p>FIFO ポートエンディアン制御</p> <p>DnFIFO ポートのバイトエンディアンを指定します。</p> <p>0 : リトルエンディアン</p> <p>1 : ビッグエンディアン</p>
7~4	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3~0	CURPIPE [3:0]	0000	R/W	<p>FIFO ポートアクセスパイプ指定</p> <p>D0FIFO / D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。</p> <p>0000 : 指定なし 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9</p> <p>上記以外 : 設定禁止</p> <p>本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。</p>

【注】 * 0読み出しのみ有効です。

31.4.8 FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)

CFIFOCTR、D0FIFOCTR、D1FIFOCTR は、バッファメモリの書き込み終了、CPU 側バッファクリア、および FIFO ポートアクセス可能かどうかを設定するレジスタです。本レジスタには、各 FIFO ポートに対応しています。本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BVAL	BCLR	FRDY	—	DTLN[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*2	R/W*1	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BVAL	0	R/W*2	<p>バッファメモリ有効フラグ</p> <p>CURPIPE に指定したパイプ (選択パイプ) の CPU 側の FIFO バッファの書き込み終了時に 1 を指定します。</p> <p>0: 無効</p> <p>1: 書き込み終了</p> <p>選択パイプが送信方向のとき、以下の場合に本ビットに 1 を設定してください。本モジュールは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <ul style="list-style-type: none"> • ショートパケットの送信を行いたいとき、データ書き込み終了時に本ビットに 1 を設定 • Zero-Length パケットの送信を行いたいとき、FIFO バッファヘータを書き込む前に本ビットに 1 を設定 • 連続転送モードのパイプに対して、MaxPacketSize の自然数倍かつ BufferSize 未満のデータ書き込み後に本ビットに 1 を設定 <p>連続転送モードのパイプに対して MaxPacketSize 分のデータを書き込むと、本モジュールが本ビットを 1 にし、CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <p>本ビットへの 1 書き込みは、本モジュールが FRDY = 1 を示しているときに実施してください。</p> <p>選択パイプが受信方向のときには、本ビットへの 1 書き込みを行わないでください。</p>

ビット	ビット名	初期値	R/W	説明
14	BCLR	0	R/W ^{*1}	<p>CPU バッファクリア</p> <p>選択パイプの CPU 側の FIFO バッファをクリアする場合に 1 を指定します。</p> <p>0 : 無効</p> <p>1 : CPU 側バッファメモリクリア</p> <p>選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面共に読み出し可能状態である場合でも、本モジュールは片面の FIFO バッファのみをクリアします。</p> <p>選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR=1 設定により本モジュールは FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の PID ビットを必ず NAK に設定した後で BCLR=1 を行ってください。</p> <p>選択パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に 1 を書き込んだ場合には、本モジュールはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。</p> <p>選択パイプが DCP 以外の場合、本ビットへの 1 書き込みは、本モジュールが FRDY=1 を示しているときに実施してください。</p>
13	FRDY	0	R	<p>FIFO ポートレディ</p> <p>CPU (DMAC) から FIFO ポートにアクセス可能かどうかが表示されます。</p> <p>0 : FIFO ポートアクセス不可</p> <p>1 : FIFO ポートアクセス可能</p> <p>以下の場合には、本モジュールは FRDY=1 を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR=1 を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。</p> <ul style="list-style-type: none"> 選択パイプにアサインされている FIFO バッファが空の状態でも Zero-Length パケット受信した場合。 BFRE=1 設定時に、ショートパケットを受信し、データ読み出しを完了した場合。
12	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
11~0	DTLN [11:0]	H'000	R	<p>受信データ長 受信データ長が表示されます。</p> <p>FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> • RCNT = 0 設定時 : CPU (DMAC) が FIFO バッファ 1 面分の受信データを読み出し完了するまで、本モジュールは受信データ長を本ビットに表示します。 BFRE = 1 設定時には、読み出しが完了しても BCLR = 1 を行うまでは本モジュールは受信データ長を保持します。 • RCNT = 1 設定時 : 読み出しごとに本モジュールは DTLN ビットの表示をダウンカウントします (MBW = 0 設定時は-1、MBW = 1 設定時は-2 ずつダウンカウント)。 1 面分の FIFO バッファ読み出し完了時に、本モジュールは DTLN = 0 を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を DTLN ビットに表示します。 RCNT = 1 設定時に、FIFO バッファ読み出し途中で本ビットの値を読み出すときには、FIFO ポートへのリードサイクル後 150ns 後までに本モジュールは本ビットの更新値を表示します。

【注】 *1 0 読み出し、1 書き込みのみ有効です。

*2 1 書き込みのみ有効です。

31.4.9 割り込み許可レジスタ 0 (INTENB0)

INTENB0 は、各割り込みマスクの指定を行います。ソフトウェアが本レジスタに 1 を設定したビットに対応する割り込みを本モジュールが検出した場合に、本モジュールは USB 割り込みを発生します。

本モジュールは、本レジスタの設定値 (割り込み通知の禁止 / 許可) にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットに 1 を表示します。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは USB 割り込み発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBSE	0	R/W	VBUS 割り込み許可 VBINT 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
14	RSME	0	R/W	レジューム割り込み許可* RESM 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
13	SOFE	0	R/W	フレーム番号更新割り込み許可 SOFR 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
12	DVSE	0	R/W	デバイスステート遷移割り込み許可* DVST 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	CTRE	0	R/W	コントロール転送ステージ遷移割り込み許可* CTRT 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10	BEMPE	0	R/W	バッファエンプティ割り込み許可 BEMP 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説明
9	NRDYE	0	R/W	バッファノットレディ応答割り込み許可 NRDY 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
8	BRDYE	0	R/W	バッファレディ割り込み許可 BRDY 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * RSME ビット、DVSE ビットおよび CTRE ビットは、ファンクションコントロール機能選択時のみ設定ができます。ホストコントローラ機能選択時は、許可を行わないでください。

31.4.10 割り込み許可レジスタ 1 (INTENB1)

INTENB1 は、ホストコントローラ機能選択時の割り込みマスクの設定を行います。

ソフトウェアが本レジスタに 1 を設定したビットに対応する割り込みを本モジュールが検出した場合に、本モジュールは USB 割り込みを発生します。

本モジュールは、本レジスタの設定値 (割り込み通知の禁止 / 許可) にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS1 レジスタの対応するステータスビットに 1 を表示します。

各割り込み要因に対応する INTSTS1 レジスタのステータスビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは USB 割り込み発生します。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHGE	—	DTCHE	ATT CHE	—	—	—	—	EOF ERRE	SIGNE	SACKE	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHGE	0	R/W	USB バス変化割り込み許可 BCHG 割り込み検出時の USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	DTCHE	0	R/W	切断検出割り込み許可 DTCH 割り込み検出時の USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
11	ATTCHE	0	R/W	接続検出割り込み許可 ATTCHE 割り込み検出時の USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
10~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	EOFERRE	0	R/W	EOF エラー検出割り込み許可 EOFERR 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可

ビット	ビット名	初期値	R/W	説明
5	SIGNE	0	R/W	セットアップトランザクションエラー割り込み許可 SIGN 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
4	SACKE	0	R/W	セットアップトランザクション正常応答割り込み許可 SACK 割り込み検出時、USB 割り込み出力の禁止 / 許可を指定します。 0 : 割り込み出力禁止 1 : 割り込み出力許可
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 INTENB1 レジスタによる割り込み許可は、ホストコントロール機能選択時のみ設定ができます。ファンクションコントローラ機能選択時は、許可を行わないでください。

31.4.11 BRDY 割り込み許可レジスタ (BRDYENB)

BRDYENB は、各パイプの BRDY 割り込み検出時に、INTSTS0 レジスタの BRDY ビットを 1 に設定することを禁止するか / 許可するかを指定します。

ソフトウェアが本レジスタに 1 を設定したパイプに対して、本モジュールが BRDY 割り込みを検出した場合に、本モジュールは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの BRDY ビットに 1 を表示し、BRDY 割り込みを発生します。

BRDYSTS レジスタの PIPEBRDY ビットの少なくとも一つのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは BRDY 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDYE	PIPE8 BRDYE	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BRDYE	0	R/W	パイプ 9 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8BRDYE	0	R/W	パイプ 8 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7BRDYE	0	R/W	パイプ 7 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BRDYE	0	R/W	パイプ 6 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BRDYE	0	R/W	パイプ 5 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BRDYE	0	R/W	パイプ 4 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
3	PIPE3BRDYE	0	R/W	パイプ 3 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
2	PIPE2BRDYE	0	R/W	パイプ 2 の BRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1BRDYE	0	R/W	パイプ 1 の BRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0BRDYE	0	R/W	パイプ 0 の BRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

31.4.12 NRDY 割り込み許可レジスタ (NRDYENB)

NRDYENB は、各パイプの NRDY 割り込み検出時に INTSTS0 レジスタの NRDY ビットを 1 に設定することを禁止する / 許可するかを指定します。

ソフトウェアが本レジスタに 1 を設定したパイプに対して、本モジュールが NRDY 割り込み要因を検出した場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの NRDY ビットに 1 を表示し、NRDY 割り込みを発生します。

NRDYSTS レジスタの PIPENRDY ビットの少なくとも一つのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは NRDY 割り込みを発生しません。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDYE	PIPE8 NRDYE	PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	PIPE3 NRDYE	PIPE2 NRDYE	PIPE1 NRDYE	PIPE0 NRDYE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9NRDYE	0	R/W	パイプ 9 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8NRDYE	0	R/W	パイプ 8 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7NRDYE	0	R/W	パイプ 7 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6NRDYE	0	R/W	パイプ 6 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5NRDYE	0	R/W	パイプ 5 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4NRDYE	0	R/W	パイプ 4 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
3	PIPE3NRDYE	0	R/W	パイプ 3 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
2	PIPE2NRDYE	0	R/W	パイプ 2 の NRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1NRDYE	0	R/W	パイプ 1 の NRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0NRDYE	0	R/W	パイプ 0 の NRDY 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

31.4.13 BEMP 割り込み許可レジスタ (BEMPENB)

BEMPENB は、各パイプの BEMP 割り込み検出時に INTSTS0 レジスタの BEMP ビットを 1 に設定することを禁止する / 許可するかを指定します。

ソフトウェアが本レジスタに 1 を設定したパイプに対して、本モジュールが BEMP 割り込み要因を検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの BEMP ビットに 1 を表示し、BEMP 割り込みを発生します。

BEMPSTS レジスタの PIPEBEMP ビットの少なくとも一つのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは BEMP 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMPE	PIPE8 BEMPE	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BEMPE	0	R/W	パイプ 9 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8BEMPE	0	R/W	パイプ 8 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7BEMPE	0	R/W	パイプ 7 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BEMPE	0	R/W	パイプ 6 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BEMPE	0	R/W	パイプ 5 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BEMPE	0	R/W	パイプ 4 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
3	PIPE3BEMPE	0	R/W	パイプ 3 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
2	PIPE2BEMPE	0	R/W	パイプ 2 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
1	PIPE1BEMPE	0	R/W	パイプ 1 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可
0	PIPE0BEMPE	0	R/W	パイプ 0 の BEMP 割り込み許可 0 : 割り込み出力禁止 1 : 割り込み出力許可

31.4.14 SOF 制御レジスタ (SOFCFG)

SOFCFG は、トランザクションの有効期間や BRDY 割り込みステータスクリアタイミングなどを指定します。本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TRNEN SEL	—	BRDYM	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0*	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	TRNENSEL	0	R/W	トランザクション有効期間切り替えビット フルスピードまたはロースピード通信中のポートにおいて、1 フレーム中に本モジュールがトークン発行を行う期間 (トランザクション有効期間) を指定します。 0: ロースピード未対応 1: ロースピード対応 本ビットは、ホストコントロール機能選択時のみ有効です。また、ホストコントロール機能選択時であってもハイスピードのトランザクション有効期間には影響しません。 ファンクションコントローラ機能選択時は、0 を設定してください。
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BRDYM	0	R/W	各パイプの BRDY 割り込みステータスクリアタイミング設定 各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。 0: ソフトウェアがステータスをクリア 1: FIFO バッファの読み出しまたは FIFO バッファへの書き込み動作により本モジュールがステータスをクリア
5	-	0*	R	リザーブビット 本ビットはリザーブビットです。直前に読み出した値を書き込むようにしてください。 【注】パワーオンリセット直後の初期値は 0 ですが、本モジュールの初期化ルーチンで必ず 1 に設定してください。
4~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * パワーオンリセット直後の初期値は 0 ですが、本モジュールの初期化ルーチンで必ず 1 に設定してください。

31.4.15 割り込みステータスレジスタ 0 (INTSTS0)

INTSTS0 は、各検出された割り込みのステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで DVSQ[2:0] ビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
初期値:	0	0	0	0	0	0	0	0	*3	*2	*2	*2	0	0	0	0
R/W:	R/W*7	R/W*7	R/W*7	R/W*7	R/W*7	R	R	R	R	R	R	R	R/W*7	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBINT	0	R/W*7	VBUS 割り込みステータス*4*5 0: VBUS 割り込み非発生 1: VBUS 割り込み発生 本モジュールが VBUS 端子入力値の変化(ハイレベルからローレベルへの変化あるいはローレベルからハイレベルへの変化)を検出したときに、本ビットに 1 を表示します。本モジュールは VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS ビット読み出しの回数一致を行い、チャタリング除去を実施してください。
14	RESM	0	R/W*7	レジューム割り込みステータス*4*5*6 0: レジューム割り込み非発生 1: レジューム割り込み発生 ファンクションコントローラ機能設定時、本モジュールがサスペンド状態 (DVSQ = B'1xx) であり、かつ、DP 端子の立ち下りを検出したときに、本ビットに 1 を表示します。 ホストコントローラ機能選択時、読み出し値は無効です。
13	SOFR	0	R/W*7	フレーム番号更新割り込みステータス*4 0: SOF 割り込み非発生 1: SOF 割り込み発生 (1) ホストコントローラ機能設定時 ソフトウェアが UACT ビットを 1 に設定しているとき、フレームナンバーの更新タイミングで本ビットに 1 を表示します。(本割り込みは、1ms ごとに検出します。) (2) ファンクションコントローラ機能設定時 フレームナンバーの更新時に本モジュールは本ビットに 1 を表示します。(本割り込みは、1ms ごとに検出します。) USB ホストからの SOF パケットが破損したときでも、内部補間により、本モジュールは SOFR 割り込みを検出します。

ビット	ビット名	初期値	R/W	説明
12	DVST	0/1 ^{*1}	R/W ^{*7}	<p>デバイスステート遷移割り込みステータス^{*4*6}</p> <p>0: デバイスステート遷移割り込み非発生 1: デバイスステート遷移割り込み発生</p> <p>ファンクションコントローラ機能設定時、本モジュールがデバイスステートの变化を検出したときに、本モジュールは DVSQ の値を更新し、本ビットに 1 を表示します。</p> <p>本割り込みが発生したときには、本モジュールが次のデバイスステート遷移を検出する前に、ステータスクリアを実施してください。</p> <p>ホストコントローラ機能選択時、読み出し値は無効です。</p>
11	CTRT	0	R/W ^{*7}	<p>コントロール転送ステージ遷移割り込みステータス^{*4*6}</p> <p>0: コントロール転送ステージ遷移割り込み非発生 1: コントロール転送ステージ遷移割り込み発生</p> <p>ファンクションコントローラ機能設定時、本モジュールがコントロール転送のステージ遷移を検出したときに、本モジュールは CTSQ の値を更新し、本ビットに 1 を表示します。</p> <p>本割り込みが発生したときには、本モジュールがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。</p> <p>ホストコントローラ機能選択時、読み出し値は無効です。</p>
10	BEMP	0	R	<p>バッファEMPTY割り込みステータス</p> <p>0: BEMP 割り込み非発生 1: BEMP 割り込み発生</p> <p>BEMPENB レジスタの PIPEBEMPE ビットに 1 を設定したパイプに対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくとも一つが 1 の状態になったとき (ソフトウェアが BEMP 割り込み通知を許可したパイプのうち少なくとも一つに対し本モジュールが BEMP 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPEBEMP ステータスのアサート条件は、「31.5.2 (3) BEMP 割り込み」を参照ください。</p> <p>ソフトウェアが、PIPEBEMPE ビットで許可を設定しているパイプに対応する PIPEBEMP ビットすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。</p> <p>ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>

ビット	ビット名	初期値	R/W	説明
9	NRDY	0	R	<p>バッファノットレディ割り込みステータス</p> <p>0 : NRDY 割り込み非発生 1 : NRDY 割り込み発生</p> <p>NRDYENB レジスタの PIPENRDYE ビットに 1 を設定したパイプに対応する NRDYSTS レジスタの PIPENRDY ビットのうち、少なくとも一つが 1 の状態になったとき (ソフトウェアが NRDY 割り込み通知を許可したパイプのうち少なくとも一つに対し本モジュールが NRDY 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPENRDY ステータスのアサート条件は、「31.5.2(2) NRDY 割り込み」を参照ください。</p> <p>ソフトウェアが、PIPENRDYE ビットで許可を設定しているパイプに対応する PIPENRDY ビットのすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。</p> <p>ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>
8	BRDY	0	R	<p>バッファレディ割り込みステータス</p> <p>BRDY 割り込みステータスが表示されます。</p> <p>0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生</p> <p>BRDYENB レジスタの PIPEBRDYE ビットに 1 を設定したパイプに対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくとも一つが 1 の状態になったとき (ソフトウェアが BRDY 割り込み通知を許可したパイプのうち少なくとも一つに対し本モジュールが BRDY 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPEBRDY ステータスのアサート条件は、「31.5.2(1) BRDY 割り込み」を参照ください。</p> <p>ソフトウェアが、PIPEBRDYE ビットで許可を設定しているパイプに対応する PIPEBRDY ビットのすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。</p> <p>ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>
7	VBSTS	0/1* ³	R	<p>VBUS 入力ステータス</p> <p>0 : VBUS 端子がローレベル 1 : VBUS 端子がハイレベル</p>
6~4	DVSQ[2:0]	000/001* ²	R	<p>デバイスステート</p> <p>000 : パワードステート 001 : デフォルトステート 010 : アドレスステート 011 : コンフィギュレーションステート 1xx : サスペンドステート</p> <p>ホストコントローラ機能選択時、読み出し値は無効です。</p>

ビット	ビット名	初期値	R/W	説明
3	VALID	0	R/W ^{*7}	USB リクエスト受信 0: 未検出 1: セットアップパケット受信 ホストコントローラ機能選択時、読み出し値は無効です。
2~0	CTSQ[2:0]	000	R	コントロール転送ステージ 000: アイドルまたはセットアップステージ 001: コントロールリードデータステージ 010: コントロールリードステータスステージ 011: コントロールライトデータステージ 100: コントロールライトステータスステージ 101: コントロールライト (NoData) ステータスステージ 110: コントロール転送シーケンスエラー 111: 設定禁止 ホストコントローラ機能選択時、読み出し値は無効です。

- 【注】
- *1 パワーオンリセットのとき B'0、USB バスリセットのとき B'1 です。
 - *2 パワーオンリセットのとき B'000、USB バスリセットのとき B'001 です。
 - *3 VBUS 端子がハイレベルのとき 1、ローレベルのとき 0 です。
 - *4 VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、または CTRT ビットをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。0 を示しているステータスビットへの 0 の書き込みを行わないでください。
 - *5 VBINT ビット、RESM ビットが示すステータス変化をクロック停止中 (SCKE=0) でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。
 - *6 RESM ビット、DVST ビット、CTRT ビットのステータス変化は、ファンクションコントロール機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを禁止 (0) にしてください。
 - *7 0 書き込みのみ有効です。

31.4.16 割り込みステータスレジスタ 1 (INTSTS1)

INTSTS1 は、各割り込みのステータスを確認するレジスタです。

なお、ファンクションコントローラ機能選択時は INTSTS0 レジスタ、ホストコントローラ機能選択時は INTSTS1 レジスタを利用することにより、どちらか片方のレジスタのみを参照することで割り込みの発生を知ることができます。

本レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHG	—	DTCH	ATTCH	—	—	—	—	EOF ERR	SIGN	SACK	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W*1	R	R/W*1	R/W*1	R	R	R	R	R/W*1	R/W*1	R/W*1	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHG	0	R/W*1	USB バス変化割り込みステータス USB バス変化割り込みステータスが表示されます。 0 : BCHG 割り込み非発生 1 : BCHG 割り込み発生 USB ポートでフルスピード / ローススピード信号レベルでの状態変化が発生した (J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した) ときに、本モジュールは BCHG 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生を発生させます。 USB ポートの現在の入力状態を、SYSSTS0 レジスタの LNST ビットに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST ビット読み出しの回数一致を行い、チャタリング除去を実施してください。 USB バス変化は、内部クロック停止状態でも検出します。 ファンクションコントロール機能選択時、読み出し値は無効です。
13	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12	DTCH	0	R/W*1	<p>USB 切断検出割り込みステータス</p> <p>ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。</p> <p>0 : DTCH 割り込み非発生 1 : DTCH 割り込み発生</p> <p>USB バスディスコネクト検出時に、本モジュールは DTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生します。</p> <p>本モジュールは、USB 2.0 仕様に準じた基準でバスディスコネクトを検出します。</p> <p>本モジュールは、DTCH 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ (ATTCH 割り込み発生) 待ちの状態に遷移してください。</p> <ul style="list-style-type: none"> • DTCH 割り込みを検出したポートの UACT ビットを 0 に変更し表示。 • DTCH 割り込みが発生したポートをアイドル状態に遷移させる。 <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>
11	ATTCH	0	R/W*1	<p>ATTCH 割り込みステータス</p> <p>ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されます。</p> <p>0 : ATTCH 割り込み非発生 1 : ATTCH 割り込み発生</p> <p>本モジュールがポートにフルスピード / ロースピード信号レベルの J-State または K-State を 2.5 μs 間検出したとき、本モジュールは ATTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生をします。</p> <p>本モジュールの ATTCH 割り込み検出条件は、具体的には以下のとおりです。</p> <ul style="list-style-type: none"> • K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μs 間継続したとき • J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μs 間継続したとき <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>
10~7	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
6	EOFERR	0	R/W*1	<p>EOF エラー検出割り込みステータス</p> <p>ホストコントロール機能選択時、EOFERR 割り込みステータスが表示されます。</p> <p>0 : EOFERR 割り込み非発生 1 : EOFERR 割り込み発生</p> <p>USB 2.0 仕様に定められている EOF2 タイミング時点で通信が終了しないことを本モジュールが検出したときに、本モジュールは EOFERR 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは EOFERR 割り込みを発生します。</p> <p>本モジュールは、EOFERR 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへの再 Enumeration を行ってください。</p> <ul style="list-style-type: none"> • EOFERR 割り込みを検出したポートの UACT ビットを 0 に変更し表示 • EOFERR 割り込みが発生したポートをアイドル状態に遷移させる。 <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>
5	SIGN	0	R/W*1	<p>セットアップトランザクションエラー割り込みステータス</p> <p>ホストコントロール機能選択時、セットアップトランザクションエラー割り込みステータスが表示されます。</p> <p>0 : SIGN 割り込み非発生 1 : SIGN 割り込み発生</p> <p>本モジュールが発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない状態が連続 3 回発生したときに、本モジュールは SIGN 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは SIGN 割り込み発生をします。</p> <p>本モジュールの SIGN 割り込み検出条件は、具体的には 3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答が発生したときです。</p> <ul style="list-style-type: none"> • 周辺デバイスが何も応答しない状態で本モジュールがタイムアウトを検出したとき • ACK パケットが破損したとき • ACK 以外のハンドシェイク (NAK、NYET、または STALL) を受信したとき <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>

ビット	ビット名	初期値	R/W	説明
4	SACK	0	R/W*1	<p>セットアップトランザクション正常応答割り込みステータス</p> <p>ホストコントロール機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。</p> <p>0 : SACK 割り込み非発生 1 : SACK 割り込み発生</p> <p>本モジュールが発行した SETUP トランザクションにおいて、周辺デバイスからの ACK 応答を受信したときに、本モジュールは SACK 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは SACK 割り込みを発生します。</p>
3~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 *1 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。

*2 BCHG ビットが示すステータス変化をクロック停止中 (SCKE = 0) でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。BCHG ビット以外の割り込みは、クロック停止中 (SCKE = 0) は検出しません。

31.4.17 BRDY 割り込みステータスレジスタ (BRDYSTS)

BRDYSTS は、各パイプの BRDY 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDY	PIPE8 BRDY	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	PIPE9BRDY	0	R/W*1	パイプ9の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
8	PIPE8BRDY	0	R/W*1	パイプ8の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
7	PIPE7BRDY	0	R/W*1	パイプ7の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BRDY	0	R/W*1	パイプ6の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BRDY	0	R/W*1	パイプ5の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BRDY	0	R/W*1	パイプ4の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BRDY	0	R/W*1	パイプ3の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BRDY	0	R/W*1	パイプ2の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BRDY	0	R/W*1	パイプ1の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説明
0	PIPE0BRDY	0	R/W*1	パイプ 0 の BRDY 割り込みステータス*2 0 : 割り込み非発生 1 : 割り込み発生

【注】 *1 BRDYM = 0 設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。

*2 BRDYM = 0 設定の場合、本割り込みのクリアは、必ず FIFO アクセスを行う前に実施してください。

31.4.18 NRDY 割り込みステータスレジスタ (NRDYSTS)

NRDYSTS は、各パイプの NRDY 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDY	PIPE8 NRDY	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	PIPE9NRDY	0	R/W*	パイプ9のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
8	PIPE8NRDY	0	R/W*	パイプ8のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
7	PIPE7NRDY	0	R/W*	パイプ7のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6NRDY	0	R/W*	パイプ6のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5NRDY	0	R/W*	パイプ5のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4NRDY	0	R/W*	パイプ4のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3NRDY	0	R/W*	パイプ3のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2NRDY	0	R/W*	パイプ2のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1NRDY	0	R/W*	パイプ1のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説 明
0	PIPE0NRDY	0	R/W*	パイプ 0 の NRDY 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生

【注】 * 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。

31.4.19 BEMP 割り込みステータスレジスタ (BEMPSTS)

BEMPSTS は、各パイプの BEMP 割り込みステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMP	PIPE8 BEMP	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	PIPE3 BEMP	PIPE2 BEMP	PIPE1 BEMP	PIPE0 BEMP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	PIPE9BEMP	0	R/W*	パイプ9のBEMP割り込みステータス 0: 割り込み非発生 1: 割り込み発生
8	PIPE8BEMP	0	R/W*	パイプ8のBEMP割り込みステータス 0: 割り込み非発生 1: 割り込み発生
7	PIPE7BEMP	0	R/W*	パイプ7のBEMP割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BEMP	0	R/W*	パイプ6のBEMP割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BEMP	0	R/W*	パイプ5のBEMP割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BEMP	0	R/W*	パイプ4のBEMP割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BEMP	0	R/W*	パイプ3のBEMP割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BEMP	0	R/W*	パイプ2のBEMP割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BEMP	0	R/W*	パイプ1のBEMP割り込みステータス 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説 明
0	PIPE0BEMP	0	R/W*	パイプ 0 の BEMP 割り込みステータス 0 : 割り込み非発生 1 : 割り込み発生

【注】 * 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに 0 を、他のビットには 1 を書き込んでください。

31.4.20 フレームナンバーレジスタ (FRMNUM)

FRMNUM は、アイソクロナスエラー通知の要因判別およびフレーム番号等の表示をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	OVRN	0	R/W*	<p>オーバラン / アンダーラン検出ステータス</p> <p>アイソクロナス転送を行っているパイプに対するオーバラン / アンダーランエラー検出の有無が表示されます。</p> <p>0 : エラーなし 1 : エラー発生</p> <p>ソフトウェアは、本ビットに 0 を書き込むことにより、本ビットを 0 にクリアすることができます。このとき、本レジスタの他のビットには 1 を書き込んでください。</p> <p>(1) ホストコントローラ機能選択時</p> <p>以下のいずれかの場合に、本モジュールが本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき。 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき。 <p>(2) ファンクションコントローラ機能選択時</p> <p>以下のいずれかの場合に、本モジュールが本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN Token を受信したとき。 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき。

ビット	ビット名	初期値	R/W	説明
14	CRCE	0	R/W*	<p>受信データエラー</p> <p>アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。</p> <p>0 : エラーなし 1 : エラー発生</p> <p>ソフトウェアは、本ビットに 0 を書き込むことにより本ビットを 0 にクリアすることができます。</p> <p>このとき本レジスタの他のビットには 1 を書き込んでください。</p> <p>(1) ホストコントローラ機能選択時 CRC エラーの検出時には、本モジュールは内部 NRDY 割り込み要求を発生させます。</p> <p>(2) ファンクションコントローラ機能選択時 CRC エラーの検出時には、本モジュールは内部 NRDY 割り込み要求を発生させません。</p>
13~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~0	FRNM [10:0]	H'000	R	<p>フレーム番号</p> <p>本モジュールは、1ms に 1 回の SOF 発行タイミングまたは SOF 受信時に本ビットを書き換え、最新のフレーム番号を表示します。</p> <p>本ビットを読み出すときは、2 度一致で読み出してください。</p>

【注】 * 0 書き込みのみ有効です。

31.4.21 μフレームナンバーレジスタ (UFRMNUM)

UFRMNUM は、μフレーム番号を表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	UFRNM[2:0]	000	R	<p>μフレーム</p> <p>μフレーム番号が確認できます。</p> <p>ハイスピード動作時は、本モジュールは、本ビットに μフレーム番号を表示します。</p> <p>ハイスピード以外での動作時には、本ビットに B'000 を表示します。</p> <p>本ビットを読み出すときは、2 度一致で読み出してください。</p>

31.4.22 USB アドレスレジスタ (USBADDR)

USBADDR は、USB アドレスを表示します。

本レジスタは、ファンクションコントローラ機能選択時のみ有効です。ホストコントローラ機能選択時の周辺デバイスアドレスの設定は、PIPEMAXP レジスタの DEVSEL ビットを使用してください。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	USBADDR[6:0]						
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	USBADDR[6:0]	H'00	R	USB アドレス ファンクションコントロール機能選択時に、SET_ADDRESS リクエストを正常に処理したときに、ホストから割り付けられた USB アドレスを表示します。 本モジュールが USB リセットを検出したとき、本ビットに H'00 を表示します。 ホストコントローラ機能選択時、本ビットは無効です。

31.4.23 USB リクエストタイプレジスタ (USBREQ)

USBREQ は、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ は、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

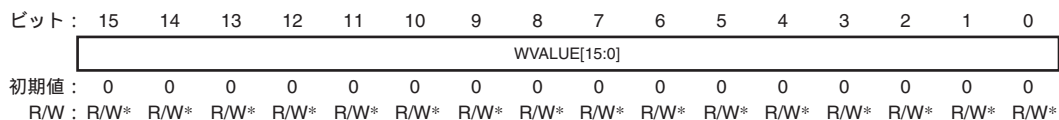
ビット	ビット名	初期値	R/W	説明
15~8	BREQUEST[7:0]	H'00	R/W*	リクエスト USB リクエスト bRequest の値を格納します。 (1) ホストコントローラ機能選択時 送信する SETUP トランザクションの USB リクエストデータ値を設定してください。SUREQ = 1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ機能選択時 SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。
7~0	BMREQUESTTYPE[7:0]	H'00	R/W*	リクエストタイプ USB リクエスト bmRequestType の値を格納します。 (1) ホストコントローラ機能選択時 送信する SETUP トランザクションの USB リクエストデータ値を設定してください。SUREQ = 1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ機能選択時 SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し / 書き込み可能です。

31.4.24 USB リクエストバリュeregスタ (USBVAL)

USBVAL は、ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。



ビット	ビット名	初期値	R/W	説明
15~0	WVALUE[15:0]	H'0000	R/W*	バリュー USB リクエスト wValue の値を格納します。 (1) ホストコントローラ機能を選択時 送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。SUREQ = 1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 SETUP トランザクションで受信した USB リクエスト wValue の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し / 書き込み可能です。

31.4.25 USB リクエストインデックスレジスタ (USBINDEX)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBINDEX は、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WINDEX[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WINDEX[15:0]	H'0000	R/W*	インデックス USB リクエスト wIndex の値を格納します。 (1) ホストコントローラ機能を選択時 送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。SUREQ = 1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 SETUP トランザクションで受信した USB リクエスト wIndex の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し / 書き込み可能です。

31.4.26 USB リクエストレングスレジスタ (USBLENG)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG は、ファンクションコントローラ機能選択時、受信した wLength の値が格納されます。ホストコントローラ機能選択時、送信する wLength の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WLENGTH[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15 ~ 0	WLENGTH[15:0]	H'0000	R/W*	<p>レングス</p> <p>USB リクエスト wLength の値を格納します。</p> <p>(1) ホストコントローラ機能を選択時</p> <p>送信する SETUP トランザクションの USB リクエスト wLength の値を設定してください。SUREQ = 1 の状態でビットの書き換えは行わないでください。</p> <p>(2) ファンクションコントローラ選択時</p> <p>SETUP トランザクションで受信した USB リクエスト wLength の値を表示します。本ビットへの書き込みは無効です。</p>

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し / 書き込み可能です。

31.4.27 DCP コンフィギュレーションレジスタ (DCPCFG)

DCPCFG は、デフォルトコントロールパイプ (DCP) に対して、データの転送方向を指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DIR	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	DIR	0	R/W	転送方向 ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。 0: データ受信方向 1: データ送信方向 ファンクションコントロール機能選択時には、本ビットへは 0 を設定してください。
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

31.4.28 DCP マックスパケットサイズレジスタ (DCPMAXP)

DCPMAXP は、DCP に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	DEVSEL[3:0]	0000	R/W	<p>デバイス選択</p> <p>ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。</p> <p>0000 : アドレス 0000 0001 : アドレス 0001 : : 1001 : アドレス 1001 1010 : アドレス 1010</p> <p>上記以外 : 設定禁止</p> <p>本ビットの設定値に対応する DEVADDn レジスタの設定を行ったあとで、本ビットを設定してください。</p> <p>たとえば、DEVSEL = B'0010 を設定する場合、DEVADD2 レジスタにアドレスの設定を行ってください。</p> <p>本ビットの設定は、CSSTS = 0、PID = NAK および SUREQ = 0 の期間に実施してください。</p> <p>DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>ファンクションコントローラ機能選択時は、本ビットの値を B'0000 に設定してください。</p>
11~7	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
6~0	MXPS[6:0]	H'40	R/W	<p>マックスパケットサイズ</p> <p>DCP の最大データペイロード (マックスパケットサイズ) を本ビットに設定してください。</p> <p>初期値は、H'40 (64 バイト) です。</p> <p>MXPS ビットの設定は、USB 規格に準拠した値を設定してください。</p> <p>MXPS ビットの設定は、CSSTS = 0、PID = NAK および CURPIPE ビットに未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>MXPS = 0 の設定での FIFO バッファへの書き込み、または PID = BUF の設定は行わないでください。</p>

31.4.29 DCP コントロールレジスタ (DCPCTR)

DCPCTR は、DCP に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、および応答 PID の設定を行います。

本レジスタは、パワーオンリセットで初期化されます。また、USB パスリセットで CCPL、PID[2:0]ビットは初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	SUREQ	CSCLR	CSCTS	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	PINGE	—	CCPL	PID[1:0]	
初期値 :	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W :	R	R/W*2	R/W*1	R	R/W*1	R	R	R/W*1	R/W*1	R	R	R/W	R	R/W*1	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	<p>バッファステータス</p> <p>DCP FIFO バッファへのアクセス可否ステータスが表示されます。</p> <p>0 : バッファアクセス不可</p> <p>1 : バッファアクセス可</p> <p>本ビットの意味は、ISEL ビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> • ISEL = 0 のとき、受信データの読み出しが可能かどうかを表示します。 • ISEL = 1 のとき、送信データの書き込みが可能かどうかを表示します。
14	SUREQ	0	R/W*2	<p>SETUP トークン送出</p> <p>ホストコントローラ機能選択時、本ビットを 1 にセットすることにより、セットアップパケットを送信します。</p> <p>0 : 無効</p> <p>1 : セットアップパケット送出</p> <p>SETUP トランザクション処理終了後、本モジュールは SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、本ビットを 0 にクリアします。</p> <p>また、SUREQCLR ビットをソフトウェアで 1 にセットする事により、本モジュールは本ビットを 0 にクリアします。</p> <p>DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、本ビットに 1 を設定してください。</p> <p>SUREQ = 1 を設定する前に、DCP の PID ビットを NAK に設定していることを確認してください。また、本ビットへの 1 設定後、SETUP トランザクションが終了するまで (SUREQ = 1) の期間は DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。</p> <p>SETUP トークンを出すときのみ本ビットを 1 にセットしてください。その他のときには、必ず 0 を書き込んでください。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
13	CSCLR	0	R/W*1	<p>スプリットトランザクションの C-SPLIT ステータスクリア</p> <p>ホストコントローラ機能選択時に、スプリットトランザクションを使用する転送について、本ビットを 1 にすることにより CSSTS ビットを 0 にクリアすることができます。このとき、DCP の次の転送は S-SPLIT から再開されます。</p> <p>0 : 無効</p> <p>1 : CSSTS ビットの 0 クリア実行</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは CSSTS ビットを 0 にクリアします。</p> <p>スプリットトランザクションを使用する転送において、強制的に次の転送を S-SPLIT から再開させたいときに、ソフトウェアで本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。</p> <p>本ビットによる CSSTS ビットの制御は、UACT = 0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>CSSTS = 0 のときに本ビットに 1 を設定しても、CSSTS = 0 ままです。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
12	CSSTS	0	R	<p>スプリットトランザクションの COMPLETE SPLIT (C-SPLIT) ステータス</p> <p>ホストコントローラ機能選択時に、スプリットトランザクションの C-SPLIT ステータスが表示されます。</p> <p>0 : START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用デバイスの処理中</p> <p>1 : C-SPLIT トランザクション処理中</p> <p>本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検知したときに本ビットの 0 を表示します。</p> <p>ファンクションコントローラ機能選択時、本ビットの読み出し値は無効です。</p>

ビット	ビット名	初期値	R/W	説明
11	SUREQCLR	0	R/W* ¹	<p>SUREQ ビットクリア</p> <p>ホストコントローラ機能選択時に、本ビットを 1 にすることにより SUREQ ビットをクリアすることができます。</p> <p>0 : 無効</p> <p>1 : SUREQ ビットの 0 クリア実行</p> <p>本ビットは常に 0 を表示します。</p> <p>SETUP トランザクションにおいて、SUREQ = 1 のまま通信が停止したときに、ソフトウェアで本ビットに 1 を設定してください。正常な SETUP トランザクションでは、トランザクション終了時に本モジュールが自動的に SUREQ ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。</p> <p>本ビットによる SUREQ ビットの制御は、UACT = 0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
10、9	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	SQCLR	0	R/W* ¹	<p>トグルビットクリア</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定する事ができます。</p> <p>0 : 無効</p> <p>1 : DATA0 指定</p> <p>本ビットは常に 0 を表示します。</p> <p>SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p> <p>本ビットへの 1 設定は、CSCTS = 0、PID = NAK および CURPIPE が未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W*1	<p>トグルビットセット</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定することができます。</p> <p>0 : 無効</p> <p>1 : DATA1 指定</p> <p>SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p> <p>本ビットへの 1 設定は、CSCTS = 0、PID = NAK および CURPIPE が未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
6	SQMON	1	R	<p>シーケンストグルビットモニタ</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0</p> <p>1 : DATA1</p> <p>トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p> <p>ファンクションコントローラ機能選択時、SETUP パケット正常受信時に、本モジュールは本ビットを 1 にセット (期待値を DATA1 に設定) します。</p> <p>また、ファンクションコントローラ機能選択時、本モジュールはステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また正常終了してもトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>DCP が PID ビットを BUF から NAK に変更した場合に、DCP のトランザクションで使用されなくなったかを表示します。</p> <p>0 : DCP はトランザクションで未使用</p> <p>1 : DCP はトランザクションで使用</p> <p>本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。一つのトランザクションが終了したときに本ビットを 1 から 0 に変更します。</p> <p>ソフトウェアが PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p> <p>詳細は「31.5.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
4	PINGE	0	R/W	<p>PING トークン発行許可</p> <p>ホストコントローラ機能選択時に、本ビットに 1 を設定すると、送信方向の転送において本モジュールは PING トークンの発行を行います。送信方向の転送を PING トランザクションから開始します。</p> <p>0 : PING トークン発行禁止</p> <p>1 : 通常 PING 動作</p> <p>PING トランザクションにおいて ACK ハンドシェイクを検出した場合、次のトランザクションで OUT トランザクションを実行します。</p> <p>OUT トランザクションにおいて NAK ハンドシェイクを検出した場合、次のトランザクションで PING トランザクションを実行します。</p> <p>ホストコントローラ機能選択時にソフトウェアが本ビットに 0 を設定すると、送信方向の転送において本モジュールは PING トークンの発行を行いません。送信方向の転送はすべて OUT トランザクションで実行します。</p> <p>本ビットの変更は、CSSTS = 0 かつ PID = NAK のときに実施してください。対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	CCPL	0	R/W*1	<p>コントロール転送終了許可</p> <p>ファンクションコントローラ機能選択時に、本ビットを 1 にすることによりコントロール転送のステータスステージの終了許可を設定します。</p> <p>0 : 無効</p> <p>1 : コントロール転送終了許可</p> <p>対応する PID ビットが BUF のとき、ソフトウェアが本ビットに 1 を設定すると、本モジュールはコントロール転送のステージを完了させます。</p> <p>すなわち、コントロールリード転送時では USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時では USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、本ビットの設定値に関係なく本モジュールは SETUP ステージからステータスステージ完了まで自動応答を行います。</p> <p>新たな SETUP パケットを受信したときに、本モジュールは本ビットを 1 から 0 に変更します。</p> <p>VALID=1 のとき、ソフトウェアは本ビットへの 1 書き込みを行うことができません。</p> <p>ホストコントロール機能選択時には、本ビットへは必ず 0 を書き込んでください。</p>
1, 0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>本ビットでコントロール転送における本モジュールの応答を制御します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>(1)ホストコントローラ機能選択時</p> <p>以下の手順で本ビットを NAK から BUF に変更してください。</p> <ul style="list-style-type: none"> 送信方向設定時 <p>UACT = 1 かつ PID = NAK の状態で FIFO バッファに送信データを書き込み完了し、PID = BUF を書き込んでください。PID = BUF の書き込み後、本モジュールは OUT トランザクション(または PING トランザクション)を実行します。</p> 受信方向設定時 <p>UACT = 1 かつ PID = NAK の状態で FIFO バッファが空の状態であることを確認し(空の状態にし)、PID = BUF を書き込んでください。PID = BUF の書き込み後、本モジュールは IN トランザクションを実行します。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> ソフトウェアが本ビットに BUF を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは PID = STALL (B'11) を表示します。 CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID = NAK を表示します。 STALL ハンドシェイクを受信した場合、本モジュールは PID = STALL (B'11) を表示します。 <p>本モジュールが選択パイプにおいてスプリットトランザクションの S-SPLIT 発行後 (CSSTS = 1 表示中) にソフトウェアが本ビットを NAK に変更しても、C-SPLIT 終了までトランザクションを実行します。C-SPLIT 終了時に本モジュールは PID = NAK を表示します。</p> <p>(2) ファンクションコントローラ機能選択時</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> 本モジュールが SETUP パケットを受信したときに、本モジュールは本ビットを PID = NAK に変更します。このとき、本モジュールは VALID = 1 を表示し、ソフトウェアで VALID = 0 を設定するまではソフトウェアは本ビットの変更を行うことはできません。 ソフトウェアが本ビットに BUF を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは PID = STALL (B'11) を表示します。 本モジュールがコントロール転送シーケンスエラーを検出した場合、PID = STALL (B'1x) を表示します。 本モジュールが USB バスリセットを検出した場合、PID = NAK を表示します。 <p>SET_ADDRESS リクエスト処理 (自動処理) 時には、本モジュールは本ビットの設定値を参照しません。</p>

【注】 *1 読み出すと常に 0 が読み出されます。書き込みは 1 のみ有効です。

*2 書き込みは 1 のみ有効です。

31.4.30 パイプウィンドウ選択レジスタ (PIPESEL)

パイプ1~9の設定は、PIPESEL、PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI、PIPEnCTR、PIPEnTRE および PIPEnTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプを選択した後、PIPECFG、PIPEBUF、PIPEMAXP および PIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

パワーオンリセットおよびUSBバスリセット時は、選択されているパイプだけではなく、すべてのパイプのレジスタの該当ビットが初期化されます。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	PIPESEL [3:0]	0000	R/W	パイプウィンドウ選択 書き込み / 読み出しの対象とする PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタに対応するパイプ番号を指定します。 0000 : 未選択 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9 上記以外 : 設定禁止 本ビットで指定したパイプ番号に対応する PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタの読み出し / 書き込みができます。 本ビットに B'0000 を設定したときは、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、および PIPEnCTR レジスタの各ビットに、すべて0が読み出されます。書き込みは無効です。

31.4.31 パイプコンフィギュレーションレジスタ (PIPECFG)

パイプ1~9に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、また連続転送モードか非連続転送モードか、シングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をします。

本レジスタは、パワーオンリセットで初期化されます。また、USBバスリセットでTYPE[1:0]は初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE[1:0]	—	—	—	BFRE	DBLB	CNTMD	SHT NAK	—	—	DIR	EPNUM[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	TYPE[1:0]	00	R/W	<p>転送タイプ</p> <p>PIPESEL ビットに指定したパイプ (選択パイプ) の転送タイプを指定します。</p> <ul style="list-style-type: none"> パイプ1、2の場合 <ul style="list-style-type: none"> 00: パイプ不使用 01: バルク転送 10: 設定禁止 11: アイソクロナス転送 パイプ3~5の場合 <ul style="list-style-type: none"> 00: パイプ不使用 01: バルク転送 10: 設定禁止 11: 設定禁止 パイプ6~9の場合 <ul style="list-style-type: none"> 00: パイプ不使用 01: 設定禁止 10: インタラプト転送 11: 設定禁止 <p>選択パイプを PID = BUF に設定する (選択したパイプを使用した USB 通信を開始する) 前に、必ず本ビットを B'00 以外の値に設定してください。</p> <p>本ビットの変更は、選択パイプの PID ビットが NAK 状態のときに行ってください。選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
13~11	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	BFRE	0	R/W	<p>BRDY 割り込み動作指定</p> <p>本モジュールから CPU への選択パイプ に関する BRDY 割り込みの発行タイミングを指定します</p> <p>0 : データ送受信で BRDY 割り込み</p> <p>1 : データ読み出し完了時に BRDY 割り込み</p> <p>ソフトウェアが本ビットに 1 を設定し、かつ選択パイプを受信方向で使用している場合、本モジュールは、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。</p> <p>この設定で BRDY 割り込みが発生したときには、ソフトウェアは BCLR = 1 の書き込み処理を行う必要があります。BCLR = 1 を行うまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。</p> <p>ソフトウェアが本ビットに 1 を設定し、かつ、選択パイプを送信方向で使用している場合、本モジュールは BRDY 割り込みを発生させません。</p> <p>詳細は、「31.5.2 (1) BRDY 割り込み」を参照してください。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
9	DBLB	0	R/W	<p>ダブルバッファモード</p> <p>選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。</p> <p>0: シングルバッファ</p> <p>1: ダブルバッファ</p> <p>本ビットはパイプ 1-5 選択時に有効です。</p> <p>ソフトウェアが本ビットに 1 を設定している場合、本モジュールは選択パイプに対し、PIPEBUF レジスタの BUFSIZE ビットで指定した FIFO バッファサイズを 2 面分割り当てます。</p> <p>すなわち、本モジュールが選択パイプに対して割り当てる FIFO バッファの容量は以下のとおりです。</p> <p>(BUFSIZE+1)・64・(DBLB+1) [バイト]</p> <p>ソフトウェアが本ビットに 1 を設定し、かつ選択パイプを送信方向で使用している場合、本モジュールは BRDY 割り込みを発生させません。</p> <p>詳細は、PIPEBRDY 割り込みレジスタを参照してください。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK、および CURPIPE ビットにパイプ番号未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
8	CNTMD	0	R/W	<p>連続転送モード</p> <p>選択パイプを連続転送モードで通信させるかどうかを指定します。</p> <p>0: 非連続転送モード</p> <p>1: 連続転送モード</p> <p>本ビットは、PIPESEL ビットでパイプ 1-5 を選択し、かつバルク転送選択時 (TYPE = B'01) に有効です。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK、および CURPIPE ビットにパイプ番号未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SHTNAK	0	R/W	<p>トランスファ終了時のパイプ禁止</p> <p>選択パイプが受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。</p> <p>0 : トランスファ終了時にパイプ継続 1 : トランスファ終了時にパイプ禁止</p> <p>本ビットは、選択パイプがパイプ 1 ~ パイプ 5 であり、かつ、受信方向である場合に有効なビットです。</p> <p>受信方向パイプに対してソフトウェアが本ビットに 1 を設定している場合、本モジュールは、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PID ビットを NAK に変更します。本モジュールは、以下条件が満たされたときにトランスファ終了と判定します。</p> <ul style="list-style-type: none"> • ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき。 • トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき。 <p>本ビットの変更は、CSSTS = 0 および PID = NAK の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>送信方向パイプに対しては、本ビットを 0 に設定してください。</p>
6, 5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4	DIR	0	R/W	<p>転送方向</p> <p>選択パイプの転送方向を指定します。</p> <p>0 : 受信方向 1 : 送信方向</p> <p>ソフトウェアが本ビットに 0 を設定している場合、本モジュールは選択パイプを受信方向に、本ビットに 1 を設定している場合、本モジュールは選択パイプを送信方向に使用します。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM = 1、ACLRM = 0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
3~0	EPNUM[3:0]	0000	R/W	<p>エンドポイント番号</p> <p>選択パイプのエンドポイント番号を指定します。</p> <p>B'0000 の設定は、未使用パイプを意味します。</p> <p>本ビットの変更は、CSSTS = 0 および PID = NAK の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>DIR ビットと EPNUM ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください (EPNUM = B'0000 の設定は重複可能です)。</p>

31.4.32 パイプバッファ指定レジスタ (PIPEBUF)

PIPEBUF は、パイプ 1~9 に対して、バッファサイズおよびバッファ番号を指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BUFSIZE[4:0]						—	—	BUFNUMB[7:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~10	BUFSIZE [4:0]	H'00	R/W	<p>バッファサイズ</p> <p>PIPESEL ビットに指定したパイプ (選択パイプ) のバッファサイズを指定します。単位はブロック数であり、1 ブロックは 64 バイトです。</p> <p>00000 (H'00) : 64 バイト 00001 (H'01) : 128 バイト : : 11111 (H'1F) : 2K バイト</p> <p>ソフトウェアが DBLB = 1 を設定している場合、本モジュールは選択パイプに対し、本ビットで指定した FIFO バッファサイズを 2 面分割り当てます。本モジュールが選択パイプに対して割り当てる FIFO バッファの容量は以下のとおりです。</p> <p>$(BUFSIZE+1) * 64 * (DBLB+1)$ [バイト]</p> <p>選択パイプに応じて、本ビットに設定可能な値が異なります。</p> <p>パイプ 1~5 の場合 : BUFSIZE = H'00 ~ H'1F を設定してください。 パイプ 6~9 の場合 : BUFSIZE = H'00 を設定してください。</p> <p>CNTMD = 1 で使用する場合は、本ビットに、MaxPacketSize の整数倍の値を設定してください。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
9, 8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7~0	BUFNMB [7:0]	H'00	R/W	<p>バッファ番号</p> <p>選択パイプの FIFO バッファ番号を H'04 ~ H'7F で指定します。</p> <p>選択パイプとしてパイプ 1~5 を設定している場合、本ビットにはユーザシステムに合わせた値を設定することができます。</p> <p>BUFNMB = 0~3 は DCP 専用です。</p> <p>BUFNMB = 4 はパイプ 6 専用です。</p> <p>ただしパイプ 6 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 6 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 4 を自動的に割り付けます。</p> <p>BUFNMB = 5 はパイプ 7 専用です。</p> <p>ただしパイプ 7 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 7 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 5 を自動的に割り付けます。</p> <p>BUFNMB = 6 はパイプ 8 専用です。</p> <p>ただしパイプ 8 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 8 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 6 を自動的に割り付けます。</p> <p>BUFNMB = 7 はパイプ 9 専用です。</p> <p>ただしパイプ 9 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 9 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB = 7 を自動的に割り付けます。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

31.4.33 パイプマックスパケットサイズレジスタ (PIPEMAXP)

PIPEMAXP は、パイプ 1~9 に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	MXPS[10:0]										
初期値:	0	0	0	0	0	*	*	*	*	*	*	*	*	*	*	*
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	DEVSEL[3:0]	0000	R/W	<p>デバイス選択</p> <p>ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。</p> <p>0000 : アドレス 0000 0001 : アドレス 0001 0010 : アドレス 0010 : 1010 : アドレス 1010 上記以外 : 設定禁止</p> <p>本ビットの設定値に対応する DEVADDn (n=0~A) レジスタの設定を行ったあとで、本ビットを設定してください。</p> <p>たとえば、DEVSEL = B'0010 を設定する場合、DEVADD2 アドレスの設定を行ってください。</p> <p>本ビットの設定を、PID を BUF から NAK へ変更した後で変更する場合は、選択パイプの CSSTS = 0 および PBUSY = 0 を確認してから行ってください。本モジュールにより PID が NAK に変更された場合には、PBUSY ビットの確認は必要ありません</p> <p>ファンクションコントローラ機能を選択したときは、本ビットの値を B'0000 に設定してください。</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10~0	MXPS[10:0]	*	R/W	<p>マックスパケットサイズ</p> <p>選択パイプの最大データペイロード (マックスパケットサイズ) を指定します。パイプごとに設定可能な値の範囲を以下に示します。</p> <p>パイプ 1、2 : 1 バイト (H'001) ~ 1024 バイト (H'400)</p> <p>パイプ 3~5 : 8 バイト (H'008)、16 バイト (H'010)、32 バイト (H'020)、64 バイト (H'040)、512 バイト (H'200)</p> <p>([2:0]のビットはありません。)</p> <p>パイプ 6~9 : 1 バイト (H'001) ~ 64 バイト (H'040)</p> <p>MXPS ビットの設定は、転送タイプごとに USB 規格に準拠した値を設定してください。</p> <p>アイソクロナスパイプをスプリットトランザクションで通信する場合には、MXPS ビットには 188 バイト以下の値を設定してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>MXPS=0 の設定での FIFO バッファへの書き込み、または PID=BUF の設定は行わないでください。</p>

【注】 * PIPESEL レジスタの PIPESEL ビットでパイプを選択していないとき H'000、選択しているとき H'040 です。

31.4.34 パイプ周期制御レジスタ (PIPEPERI)

パイプ1~9に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	—	IITV[2:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	IFIS	0	R/W	アイソクロナス IN バッファフラッシュ PIPESEL ビットに指定したパイプ (選択パイプ) がアイソクロナス IN 転送の場合に、バッファフラッシュ有無を指定します。 0: バッファフラッシュしない 1: バッファフラッシュする ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV ビットに設定したインターバルごとの (マイクロ) フレーム中に USB ホストから IN-Token を本モジュールが受信しなかった場合に、本モジュールが自動的に FIFO バッファをクリアする機能です。 ダブルバッファ設定時 (DBLB = 1 設定時) は、本モジュールがクリアするのは古い方の 1 面分データのみです。 FIFO バッファクリアのタイミングは、IN-Token を受信するはずの (マイクロ) フレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングにクリアを行います。 ホストコントローラ機能選択時には、本ビットへは 0 を設定してください。 選択パイプの転送タイプがアイソクロナス以外の場合は、本ビットへは 0 を設定してください。
11~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	IITV[2:0]	000	R/W	<p>インターバルエラー検出間隔</p> <p>選択パイプのインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。</p> <p>詳細機能は、後述のようにホストコントローラ機能選択時とファンクションコントローラ機能選択時で異なります。</p> <p>本ビットの設定は、CSSTS = 0、PID = NAK、および CURPIPE ビットに未設定時に実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、PID = NAK 設定後 ACLRM = 1 をセットし、インターバルタイマの初期化を行ってください。</p> <p>パイプ 3~5 に対しては、本ビットは存在しません。パイプ 3~5 に対応する本ビットの位置には B'000 を設定してください。</p>

31.4.35 パイプ n コントロールレジスタ (PIPEnCTR) (n = 1 ~ 9)

パイプ 1~9 に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、自動応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、および応答 PID の設定を行います。本設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで PID[1:0] ビットは初期化されます。

(1) PIPEnCTR (n = 1 ~ 5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	INBUFM	CSCLR	CSSTS	—	AT REPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	—	PID[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W*2	R	R	R/W	R/W	R/W*1	R/W*1	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	<p>バッファステータス</p> <p>当該パイプの FIFO バッファステータスが表示されます。</p> <p>0: CPU からのバッファアクセス不可</p> <p>1: CPU からのバッファアクセス可</p> <p>本ビットの意味は、DIR、BFRE および DCLRM ビットの設定値により表 31.13 に示すように異なります。</p>
14	INBUFM	0	R	<p>送信バッファモニタ</p> <p>当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。</p> <p>0: バッファメモリに送信可能データなし</p> <p>1: バッファメモリに送信可能データあり</p> <p>当該パイプを送信方向 (DIR = 1) に設定している場合に、ソフトウェア (または DMAC) が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、本モジュールは本ビットに 1 を表示します。</p> <p>書き込みが完了している面の FIFO バッファ上のデータを本モジュールがすべて送信完了したときに、本モジュールは本ビットに 0 を表示します。</p> <p>ダブルバッファ使用時 (DBLB = 1 設定時) には、本モジュールが 2 面分のデータを送信完了しかつソフトウェア (または DMAC) が 1 面分のデータ書き込みを完了していないときに、本ビットに 0 を表示します。</p> <p>当該パイプを受信方向 (DIR = 0) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。</p>

ビット	ビット名	初期値	R/W	説明
13	CSCLR	0	R/W*2	<p>CSPLIT ステータスクリアビット</p> <p>ホストコントローラ機能選択時に、ソフトウェアが本ビットに 1 を設定すると本モジュールは CSSTS ビットを 0 にクリアします。</p> <p>0 : 書き込み無効</p> <p>1 : CSSTS ビットをクリア</p> <p>スプリットトランザクションを使用する転送において、強制的に次回の転送を S-SPLIT から再開させたいときに、ソフトウェアで本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。</p> <p>本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 ままです。</p> <p>ファンクションコントロール機能選択時には、本ビットへは必ず 0 を書き込んでください。</p>
12	CSSTS	0	R	<p>CSSTS ステータスビット</p> <p>ホストコントローラ機能選択時に、本モジュールはスプリットトランザクションの C-SPLIT のステータスを本ビットに表示します。</p> <p>0 : START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用転送である</p> <p>1 : C-SPLIT トランザクション処理中</p> <p>本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検出したときに本ビットに 0 を表示します。</p> <p>本ビットの表示は、ホストコントローラ機能選択時のみ有効な値を示します。</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	ATREPM	0	R/W	<p>自動応答モード</p> <p>当該パイプの自動応答禁止 / 許可を指定します。</p> <p>0 : 自動応答禁止 1 : 自動応答許可</p> <p>ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、本ビットへの 1 設定が可能です。</p> <p>本ビットに 1 を設定した場合、USB ホストからのトークンに対し本モジュールは以下のように応答します。</p> <p>(1) 当該パイプが Bulk-IN 転送 (TYPE = B'01 かつ DIR = 1 を設定) の場合 ATREPM = 1 かつ PID = BUF を設定している場合、IN-Token に対して本モジュールは Zero-Length パケットを送信します。</p> <p>USB ホストからの ACK 受信の度に (1 トランザクションは IN-Token 受信 Zero Length パケット送信 ACK 受信)、本モジュールはシーケンスグルビット (DATA-PID) の更新 (トグル) を行います。</p> <p>BRDY 割り込み、BEMP 割り込みは発生させません。</p> <p>(2) 当該パイプが Bulk-OUT 転送 (TYPE = B'01 かつ DIR = 0 を設定) の場合</p> <p>ATREPM = 1 かつ PID = BUF を設定している場合、OUT-Token (または PING-Token) に対して本モジュールは NAK 応答を行い、NRDY 割り込みを発生させます。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>本ビットを 1 に設定して USB 通信を行う場合、FIFO バッファは必ず空の状態で行ってください。本ビットを 1 に設定して USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。</p> <p>当該パイプの転送タイプがアイソクロナス転送の場合、本ビットには必ず 0 を設定してください。</p> <p>ホストコントローラ機能選択時には、本ビットへは必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
9	ACLRM	0	R/W	<p>自動バッファクリアモード</p> <p>当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。</p> <p>0 : 禁止</p> <p>1 : 許可 (全バッファ初期化)</p> <p>当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。</p> <p>本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容と、当該項目のクリアが必要なケースについて表 31.14 に示します。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
8	SQCLR	0	R/W*1	<p>トグルビットクリア</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするとき 1 を指定します。</p> <p>0 : 無効</p> <p>1 : DATA0 指定</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>ホストコントローラ機能選択時、Bulk-Out 転送パイプに対して本ビットに 1 を設定すると、本モジュールは当該パイプの次回転送を PING-token から開始します。</p> <p>SQCLR ビットへの 1 設定は、CSCTS = 0 かつ PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W*1	<p>トグルビットセット</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに 1 を指定します。</p> <p>0 : 無効 1 : DATA1 指定</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>SQSET ビットへの 1 設定は、CSSTS = 0 かつ PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
6	SQMON	0	R	<p>トグルビット確認</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0 1 : DATA1</p> <p>当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>当該パイプを現在トランザクションで使用中心かどうかが表示されます。</p> <p>0 : 当該パイプはトランザクションで未使用 1 : 当該パイプはトランザクションで使用</p> <p>本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。一つのトランザクションが終了したときに本ビットを 1 から 0 に変更します。</p> <p>ソフトウェアが PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p> <p>詳細は「31.5.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。</p>
4~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>当該パイプの次回トランザクションにおける応答方法を指定します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本モジュールの基本動作 (通信パケットにエラーがない場合の動作) は表 31.15 および表 31.16 のとおりです。</p> <p>当該パイプが USB 通信中であるときに、ソフトウェアで本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY=1 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 当該パイプが受信方向の場合、かつソフトウェアが選択パイプの SHTNAK ビットに 1 を設定している場合、本モジュールがトランスファー終了を認識したときに、PID = NAK を表示します。 • 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本モジュールは PID = STALL (B'11) を表示します。 • ファンクションコントロール機能選択時に、USB パスリセットを検出した場合、本モジュールは PID = NAK を表示します。 • ホストコントロール機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID = NAK を表示します。 • ホストコントロール機能選択時に、STALL ハンドシェイクを受信した場合、本モジュールは PID = STALL (B'11) を表示します。 <p>本ビットの設定は以下の手順で行ってください。</p> <ul style="list-style-type: none"> • NAK (B'00) 状態から STALL 状態にする場合には、B'10 を書き込んでください。 • BUF (B'01) 状態から STALL 状態にする場合には、B'11 を書き込んでください。 • STALL (B'11) から NAK 状態にする場合には、一度 B'10 を書き込んでから B'00 を書き込んでください。 • STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

【注】 *1 0 読み出し、1 書き込みのみ有効です。

*2 1 書き込みのみ有効です。

表 31.13 BSTS ビットの動作

DIR ビット	BFRE ビット	DCLRM ビット	BSTS ビットの意味
0	0	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了した後でソフトウェアが BCLR=1 を書き込んだときに 0 を表示します。
		1	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
1	0	0	FIFO バッファへの送信データの書き込みが可能になったときに 1 を表示し、データの書き込みが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

表 31.14 ACLRM = 1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けた FIFO バッファのすべての内容 (ダブルバッファ設定時は FIFO バッファを 2 面ともクリア)	
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
4	FIFO バッファトグル制御	DBLB ビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表 31.15 PID ビットによる本モジュールの動作一覧 (ホストコントローラ機能選択時)

PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作
B'00 (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
B'01 (BUF)	バルク または インタラプト	設定値に依存しない	UACT=1 が設定されて、かつ当該パイプに対応する FIFO バッファが送受信可能な状態ならばトークンを発行する。 UACT=0 が設定される、または送受信可能でなければトークンを発行しない。
	アイソクロナス	設定値に依存しない	当該パイプに対応する FIFO バッファの状態にかかわらずトークンを発行する。
B'10 (STALL) または B'11 (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 31.16 PID ビットによる本モジュールの動作一覧 (ファンクションコントローラ機能選択時)

PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作
B'00 (NAK)	バルク、または インタラプト	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う ただし、ATREPM = 1 設定時の動作は ATREPM ビットの説明を 参照してください。
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う
B'01 (BUF)	バルク	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対し、当該パイプに対応す る FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答を行う。受信可能な状態でなければ NAK 応答を行う。 USB ホストからの PING トークンに対し、当該パイプに対応す る FIFO バッファが受信可能な状態ならば ACK 応答を行う。受 信可能な状態でなければ NYET 応答を行う
		インタラプト	受信方向 (DIR = 0)
	バルク、または インタラプト	送信方向 (DIR = 1)	対応する FIFO バッファが送信可能な状態ならば USB ホストか らのトークンに対しデータを送信する。送信可能でなければ NAK 応答を行う。
		アイソクロナス	受信方向 (DIR = 0)
送信方向 (DIR = 1)	対応する FIFO バッファが送信可能な状態ならば USB ホストか らのトークンに対しデータを送信する。送信可能でなければ Zero-Length パケットを送信する		
B'10 (STALL) または B'11 (STALL)	バルク、または インタラプト	設定値に依存しない	USB ホストからのトークンに STALL 応答を行う。
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う。

(2) PIPEnCTR (n=6~9)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	—	CSCLR	CSSTS	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W*1	R/W	R	R	R/W	R/W*1	R/W*1	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	バッファステータス 当該パイプの FIFO バッファステータスが表示されます。 0: バッファアクセス不可 1: バッファアクセス可 本ビットの意味は、DIR、BFRE および DCLRМ ビットの設定値により表 31.13 に示すように異なります
14	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	CSCLR	0	R/W*1	CSPLIT ステータスクリアビット 本ビットを 1 にセットすることにより、当該パイプの CSSTS ビットをクリアします。 0: 書き込み無効 1: CSSTS ビットをクリア スプリットトランザクションを使用する転送において、強制的に次回の転送を S-SPLIT から再開させたいときに、ソフトウェアで本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。 本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。 CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 ままです。 ファンクションコントロール機能選択時には、本ビットへは必ず 0 を書き込んでください。
12	CSSTS	0	R/W	CSSTS ステータスビット ホストコントローラ機能選択時に、本モジュールはスプリットトランザクションの C-SPLIT のステータスを本ビットに表示します。 0: START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用転送である 1: C-SPLIT トランザクション処理中 本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検出したときに本ビットに 0 を表示します。 本ビットの表示は、ホストコントローラ機能選択時のみ有効な値を示します。

ビット	ビット名	初期値	R/W	説明
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	ACLRM	0	R/W	自動バッファクリアモード ^{*3*4} 当該パイプの自動バッファクリアモードの禁止 / 許可を指定します。 0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可 (全バッファ初期化) 当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。 本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容と、当該項目のクリアが必要なケースについて表 31.17 に示します。 本ビットの変更は、CSSTS = 0、PID = NAK および当該パイプを CURPIPE ビットに未設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
8	SQCLR	0	R/W ^{*1}	トグルビットクリア ^{*3*4} 当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。 0: 無効 1: DATA0 指定 ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに 0 を表示します。 ホストコントローラ機能選択時、Bulk-Out 転送パイプに対して本ビットに 1 を設定すると、本モジュールは当該パイプの次回転送を PING-token から開始します。 SQCLR ビットへの 1 設定は、CSCTS = 0 かつ PID = NAK 設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W*1	<p>トグルビットセット*3*4</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときに 1 を指定します。</p> <p>0 : 無効</p> <p>1 : DATA1 指定</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>SQSET ビットへの 1 設定は、CSSTS = 0 かつ PID = NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
6	SQMON	0	R	<p>トグルビット確認</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0</p> <p>1 : DATA1</p> <p>当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>当該パイプを現在 USB バスで使用しているかが表示されます。</p> <p>0 : 当該パイプを USB バスにて未使用</p> <p>1 : 当該パイプを USB バスにて使用</p> <p>本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。一つのトランザクションが終了したときに本ビットを 1 から 0 に変更します。</p> <p>ソフトウェアが PID = NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p>
4~2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>当該パイプの次回トランザクションにおける応答方法を指定します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本モジュールの基本動作 (通信パケットにエラーがない場合の動作) は表 31.15 および表 31.16 のとおりです。</p> <p>当該パイプが USB 通信中であるときに、ソフトウェアで本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY = 1 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 当該パイプが受信方向の場合、かつソフトウェアが選択パイプの SHTNAK ビットに 1 を設定している場合、本モジュールがトランスファー終了を認識したときに、PID = NAK を表示します。 • 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本モジュールは PID = STALL (B'11) を表示します。 • ファンクションコントロール機能選択時に、USB パスリセットを検出した場合、本モジュールは PID = NAK を表示します。 • ホストコントロール機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID = NAK を表示します。 • ホストコントロール機能選択時に、STALL ハンドシェイクを受信した場合、本モジュールは PID = STALL (B'11) を表示します。 <p>本ビットの設定は以下の手順で行ってください。</p> <ul style="list-style-type: none"> • NAK (B'00) 状態から STALL 状態にする場合には、B'10 を書き込んでください。 • BUF (B'01) 状態から STALL 状態にする場合には、B'11 を書き込んでください。 • STALL (B'11) から NAK 状態にする場合には、一度 B'10 を書き込んでから B'00 を書き込んでください。 • STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

【注】 *1 0 読み出し、1 書き込みのみ有効です。

*2 1 書き込みのみ有効です。

*3 ACLRM ビット、SQCLR ビット、または SQSET ビットの設定は、以下の条件を守って行ってください。
CSSTS = 0 および PID = NAK 時および選択パイプを CURPIPE に設定していないときに設定してください。

*4 ACLRM ビット、SQCLR ビット、または SQSET ビットの設定を、PID = BUF から NAK へ変更した後で変更する場合は、選択パイプの CSSTS = 0 および PBUSY = 0 を確認してから行ってください。HW 制御にて PID が NAK

に変更された場合には、PBUSY ビットの確認は必要ありません。

表 31.17 ACLRM = 1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けた FIFO バッファのすべての内容	
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

31.4.36 パイプ n トランザクションカウンタイネーブルレジスタ (PIPE_nTRE) (n = 1 ~ 5)

PIPE_nTRE は、パイプ 1 ~ 5 に対応するトランザクションカウンタの無効 / 有効の指定や、カウンタクリアの指定を行います。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15 ~ 10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TRENB	0	R/W	トランザクションカウンタ許可 トランザクションカウンタ無効 / 有効を指定します。 0 : トランザクションカウンタ機能無効 1 : トランザクションカウンタ機能有効 受信パイプに対して、ソフトウェアで TRNCNT ビットに総パケット数を設定した後で本ビットに 1 を設定すると、本モジュールは TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。 <ul style="list-style-type: none"> 連続送受信モード使用 (CNTMD = 1 設定) 時、受信完了時に FIFO バッファがフルの状態でも、CPU 側にトグルさせます。 SHTNAK = 1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点で対応するパイプの PID ビットを NAK に変更します。 BFRE = 1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします。 送信パイプについては、本ビットに 0 を設定してください。 トランザクションカウンタ機能を使用しない場合は、本ビットに 0 を設定してください。 トランザクションカウンタ機能を使用する場合、本ビットに 1 を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前に本ビットに 1 を設定してください。
8	TRCLR	0	R/W	トランザクションカウンタクリア 当該パイプに対応するトランザクションカウンタの現在のカウンタ値をクリアし、本ビットに 0 を表示します。 0 : 無効 1 : カレントカウンタクリア
7 ~ 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

- 【注】 本レジスタの各ビットの変更は、CSSTS = 0、PID = NAK 時に実施してください。
- 対応するパイプの PID ビットを BUF から NAK へ変更したあとで各ビットの設定値を変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから各ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

31.4.37 パイプ n トランザクションカウンタレジスタ (PIPE_nTRN) (n = 1 ~ 5)

PIPE_nTRN は、パイプ 1~5 に対応するトランザクションカウンタです。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで設定値が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRNCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT [15:0]	すべて 0	R/W	<p>トランザクションカウンタ</p> <p>ライト時:</p> <p>DMA 転送のトランザクション回数を設定します。</p> <p>リード時:</p> <p>TRENB = 0 の場合は設定したトランザクション回数が表示されます。</p> <p>TRENB = 1 の場合はカウント中のトランザクション回数が表示されます。</p> <p>本モジュールは、受信時の状態が以下のすべてを満たしたときに本ビットを 1 インクリメントします。</p> <ul style="list-style-type: none"> • TRENB = 1 である • パケット受信時に (TRNCNT 設定値 現在のカウント値+1) である • 受信したパケットのペイロードが MXPS ビットへの設定値と一致した <p>本モジュールは、以下のいずれかの条件が満たされたときに本ビットの表示を 0 にクリアします。</p> <ul style="list-style-type: none"> • 以下の条件がすべて満たされたとき <ul style="list-style-type: none"> TRENB = 1 である パケット受信時に (TRNCNT 設定値 = 現在のカウント値+1) である 受信したパケットのペイロードが MXPS ビットへの設定値と一致した • 以下条件がすべて満たされたとき <ul style="list-style-type: none"> TRENB = 1 である ショートパケットを受信した • 以下の条件がすべて満たされたとき <ul style="list-style-type: none"> TRENB = 1 である ソフトウェアが TRCLR ビットに 1 を設定した

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT [15:0]	すべて 0	R/W	<p>送信パイプについては、本ビットに 0 を設定してください。</p> <p>トランザクションカウント機能を使用しない場合は、本ビットに 0 を設定してください。</p> <p>本ビットの変更は、CSSTS = 0、PID = NAK、かつ TRENB = 0 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS = 0 および PBUSY = 0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>本ビットの値を変更する場合は、TRENB = 1 を設定する前に TRCLR = 1 を実施してください。</p>

31.4.38 デバイスアドレス n コンフィグレーションレジスタ (DEVADDn) (n=0~A)

DEVADDn は、パイプ 0~9 に対して、通信対象の周辺デバイスが接続されている HUB のアドレスやポート番号、および通信速度を指定します。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、必ず本レジスタの各ビットを設定してください。

本レジスタの各ビットの変更は、本ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下の 1.と 2.の両方条件を満たしているパイプです。

1. DEVSELビットの設定が、本レジスタを指定しているとき
2. 選択パイプのPIDビットにBUFを設定しているとき、または選択パイプがDCPでありSUREQ=1を設定しているとき

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	UPPHUB[3:0]				HUBPORT[2:0]			USBSPD[1:0]		—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~11	UPPHUB [3:0]	0000	R/W	通信対象接続 HUB レジスタ 通信対象の周辺デバイスが接続されている HUB の USB アドレスを設定します。 0000: 周辺デバイスが本 LSI のポートに直接接続されている 0001~1010: HUB の USB アドレス 1011~1111: 設定禁止 ホストコントローラ機能選択時、本モジュールは、スプリットトランザクションを実行するときに本ビットの設定値を参照してバケットを生成しません。 ファンクションコントロール機能選択時、B'0000 を設定してください。
10~8	HUBPORT [2:0]	000	R/W	通信対象接続 HUB ポート 通信対象の周辺デバイスが接続されている HUB のポート番号を設定します。 000: 周辺デバイスが本 LSI のポートに直接接続されている 001~111: HUB のポート番号 ホストコントローラ機能選択時、本モジュールは、スプリットトランザクションを実行するときに本ビットの設定値を参照してバケットを生成しません。 ファンクションコントロール機能選択時、B'000 を設定してください。

ビット	ビット名	初期値	R/W	説明
7、6	USBSPD [1:0]	00	R/W	通信対象デバイスの転送速度 通信対象の周辺デバイスの USB 転送速度を設定します。 00 : DEVADDn レジスタ未使用 01 : ロースピード 10 : フルスピード 11 : ハイスピード ホストコントローラ機能選択時、本モジュールは、本ビットの設定値を参照してパケットを生成します。 ファンクションコントロール機能選択時、B'00 を設定してください。
5~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

31.4.39 USB 電源制御レジスタ (UPONCRn)

UPONCRn は USB0 または USB1 の電源制御するために設定するレジスタです。これによって USB0 または USB1 を使用しないときは USB0 または USB1 の電源のみ OFF することができます。設定手順は「31.5.1 (1) USB 電源投入後の設定」を参照してください。

【注】 USB0 は n=0、USB1 は n=1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	UPONn[1:0]	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10、9	UPONn[1:0]	00	R/W	USB 電源制御 (n=0 または 1) 00 : USB 電源 OFF 可能 01 : 予約 10 : 予約 11 : USB 動作可能
8~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

31.5 動作説明

31.5.1 システム制御

本節では、本モジュール (USB0 と USB1) の初期設定に必要なレジスタ操作について説明します。

(1) USB 電源投入後の設定

USB 電源 (USB0 または USB1) 投入後、USB0 または USB1 を使用する前に下記のレジスタ設定が必要です。

< USB0 の場合 >

UPONCR0 レジスタ (アドレス : H'A405 01D4) の UPONn[1:0] ビットに 1 を設定してください。

上記以外のビット (15 ~ 11、8 ~ 0) はリザーブビットで初期値 0 です。書き込む値も常に 0 にしてください。

USB0 を使用后、USB0 の電源 OFF する場合は、電源 OFF する前に UPONn[1:0] ビットに 0 を書き込んでください。

【注】 USB 機能を使用しない場合は、USB 電源はオープンとし、UPONCR レジスタは初期値のままとしてください。

USB 電源に電圧供給を行う場合は、USB 機能の使用にかかわらず、UPON[1:0] ビットに 11 を設定してください。

< USB1 の場合 >

UPONCR1 レジスタ (アドレス : H'A405 0192) の UPONn[1:0] ビットに 1 を設定してください。

上記以外のビット (15 ~ 11、8 ~ 0) はリザーブビットで初期値 0 です。書き込む値も常に 0 にしてください。

USB1 を使用后、USB1 の電源 OFF する場合は、電源 OFF する前に UPONn[1:0] ビットに 0 を書き込んでください。

【注】 USB1 を使用しない場合も USB1 の電源供給を行う場合は、電源投入後、UPONn[1:0] ビットに 1 を設定してください。

(2) リセット

表 31.18 に本モジュールのリセット種別の一覧を示します。なお、各リセット動作後のレジスタ初期化状態については、「31.4 レジスタの説明」を参照してください。

表 31.18 リセット種別一覧表

名称	操 作
パワーオンリセット	RESETP 端子からのローレベル入力 【注】 本章内の説明で使用されているパワーオンリセットは、RESETP 端子によるリセットです。
USB バスリセット	ファンクションコントローラ機能選択時に、本モジュールが D+、D- ラインから自動検出

(3) コントローラ機能の選択設定

本モジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG レジスタの DCFM ビットで行ってください。DCFM ビットの設定は、パワーオンリセット直後の初期設定または D+ のプルアップ禁止状態 (DPRPU = 0) で D+ / D- のプルダウン禁止状態 (DRPD = 0) ときに行ってください。

(4) ハイスピード動作の許可

本モジュールは、ソフトウェアにて、USB 通信速度 (通信ビットレート) を設定することができます。

ホストコントロール機能選択時、ハイスピード動作またはフルスピード / ロースピード動作のどちらかに設定できます。ファンクションコントロール機能選択時、ハイスピード動作またはフルスピード動作のどちらかを選択することができます。本モジュールでハイスピード動作を許可する場合は、SYSCFG レジスタの HSE ビットを 1 に設定してください。ハイスピード動作が許可されている場合は、本モジュールがリセットハンドシェイクプロトコルを実行し、USB 通信速度を自動的に設定します。リセットハンドシェイクの結果は、DVSTCTR レジスタの RHST ビットで確認できます。

ハイスピード動作が禁止されている場合は、本モジュールは、ホストコントローラ機能が選択時は、フルスピードまたはロースピードで動作し、ファンクションコントローラ機能選択時は、フルスピードでのみ動作します。

HSE ビットの変更は、ホストコントローラ機能が選択時は、アタッチ検出からバスリセットの実行前に、ファンクションコントローラ機能が選択時は、D+のプルアップ禁止状態 (DPRPU = 0) のときに行ってください。

(5) USB データバス抵抗制御

図 31.2 に本モジュールと USB コネクタの接続図を示します。

本モジュールは、D+信号のプルアップ抵抗と D+、D-信号のプルダウン抵抗を内蔵しています。SYSCFG レジスタの DPRPU、DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

また、本モジュールは D+、D-信号のハイスピード動作時の終端抵抗とフルスピード動作時の出力抵抗の制御を行います。ホストコントローラまたは周辺機器との接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム検出により本モジュールが自動的に行います。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に SYSCFG レジスタの DPRPU ビットに 0 を設定した場合は、USB データラインのプルアップ抵抗（または終端抵抗）をディスエーブルにしますので、USB ホストにデバイスの切断を通知することができます。

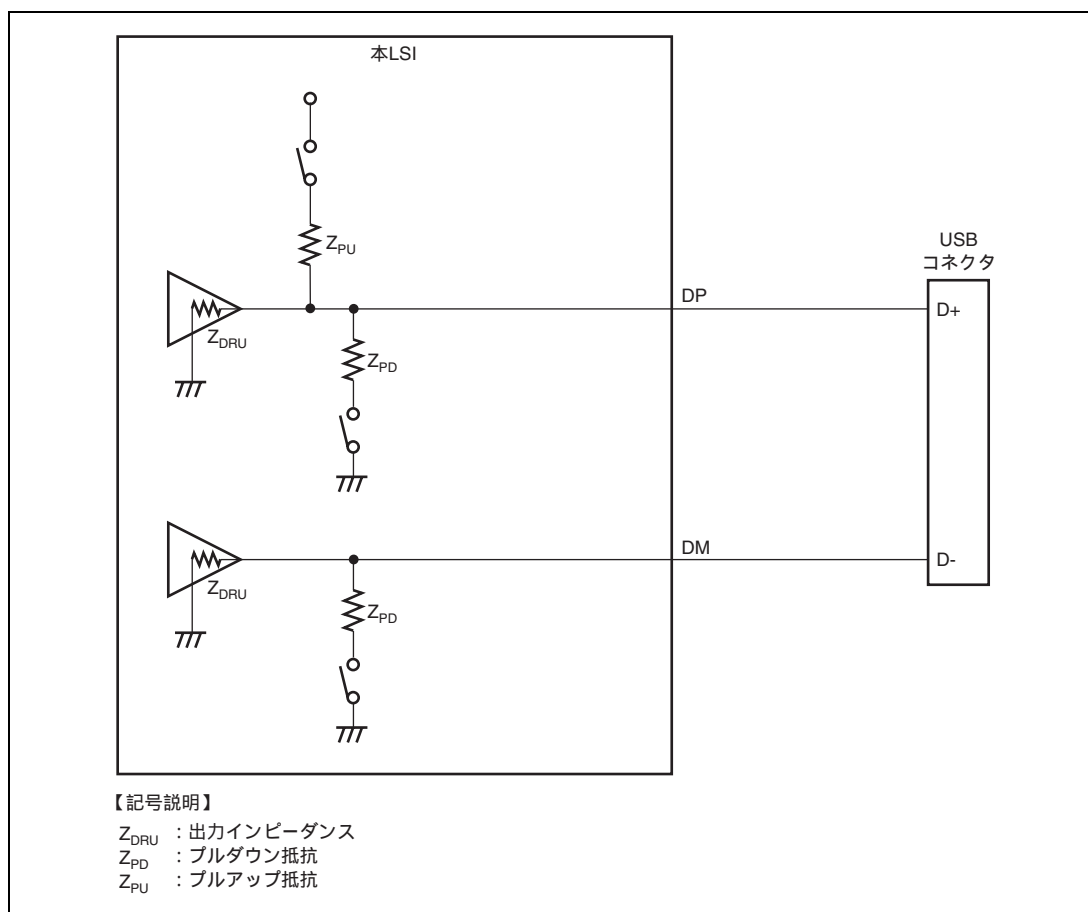


図 31.2 USB コネクタ接続図

31.5.2 割り込み機能

表 31.19 に本モジュールの割り込み発生条件一覧表を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、本モジュールは割り込みコントローラ (INTC) へ USB 割り込み要求を発行します。

表 31.19 割り込み発生条件一覧表

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
VBINT	VBUS 割り込み	<ul style="list-style-type: none"> VBUS 入力端子の状態変化を検出したとき (L H、H L の両方の変化) 	ホスト、ファンクション	VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> サスペンド状態において USB バスの状態変化を検出したとき (J-State K-State または J-State SE0) 	ファンクション	-
SOFR	フレーム番号更新割り込み	<ul style="list-style-type: none"> [ホストコントローラ機能選択時] フレーム番号の異なる SOF パケットを送信したとき [ファンクションコントローラ機能選択時] SOFRM = 0: フレーム番号の異なる SOF パケットを受信したとき SOFRM = 1: μ フレーム番号が 0 のときの SOF をパケット破損などで受信できなかったとき 	ホスト、ファンクション	-
DVST	デバイス状態遷移割り込み	<ul style="list-style-type: none"> デバイス状態の遷移を検出したとき USB バスリセット検出 サスペンド状態検出 SET_ADDRESS リクエストの受信 SET_CONFIGURATION リクエストの受信 	ファンクション	DVSQ
CTRTR	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> コントロール転送のステージ遷移を検出したとき セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生 	ファンクション	CTSQ
BEMP	バッファエンプティ割り込み	<ul style="list-style-type: none"> バッファメモリ中の全データを送信してバッファが空になったとき マックスパケットサイズを超えたパケットを受信したとき 	ホスト、ファンクション	BEMPSTS、PIPEBEMP

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
NRDY	バッファ ノットレディ 割り込み	<p>[ホストコントローラ機能選択時]</p> <ul style="list-style-type: none"> 発行したトークンに対して周辺デバイス側からの STALL を受信したとき 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき。(無応答が3回連続、またはパケット受信エラーが3回連続) アイソクロナス転送時にオーバラン / アンダーランが発生したとき <p>[ファンクションコントローラ機能選択時]</p> <ul style="list-style-type: none"> IN トークン / OUT トークン / PING トークンに対して NAK を応答したとき。 アイソクロナス転送でデータ受信時に CRC エラー、ビットスタッフエラーが発生したとき アイソクロナス転送でデータ受信時にオーバラン / アンダーランが発生したとき 	ホスト、 ファンクション	NRDYSTS. PIPENRDY
BRDY	バッファレディ 割り込み	<ul style="list-style-type: none"> バッファがレディ (リードまたはライト可能状態) になったとき 	ホスト、 ファンクション	BRDYSTS. PIPEBRDY
BCHG	バス変化割り込み	<ul style="list-style-type: none"> USB バスステートの変化を検出したとき 	ホスト、 ファンクション	-
DTCH	デバイス切断 検出	<ul style="list-style-type: none"> 周辺デバイスの切断を検出したとき 	ホスト	-
ATTCH	デバイス接続検出	<ul style="list-style-type: none"> USB バスステートが 2.5 μs 連続した J-STATE、または 2.5 μs 連続した K-STATE を検出したとき。周辺デバイスの接続検出に使用可能。 	ホスト	-
EOFERR	EOF エラー検出	<ul style="list-style-type: none"> 周辺デバイスの EOF エラーを検出 	ホスト	-
SACK	SETUP 正常	<ul style="list-style-type: none"> セットアップトランザクションの正常応答 (ACK) を受信したとき 	ホスト	-
SIGN	SETUP エラー	<ul style="list-style-type: none"> セットアップトランザクションのエラー (無応答または ACK パケット破損) を 3 回連続で検出したとき 	ホスト	-

【注】 レジスタ名が示されていないビットのレジスタはすべて INTSTS0 です。

図 31.3 に本モジュールの割り込み関連図を示します。

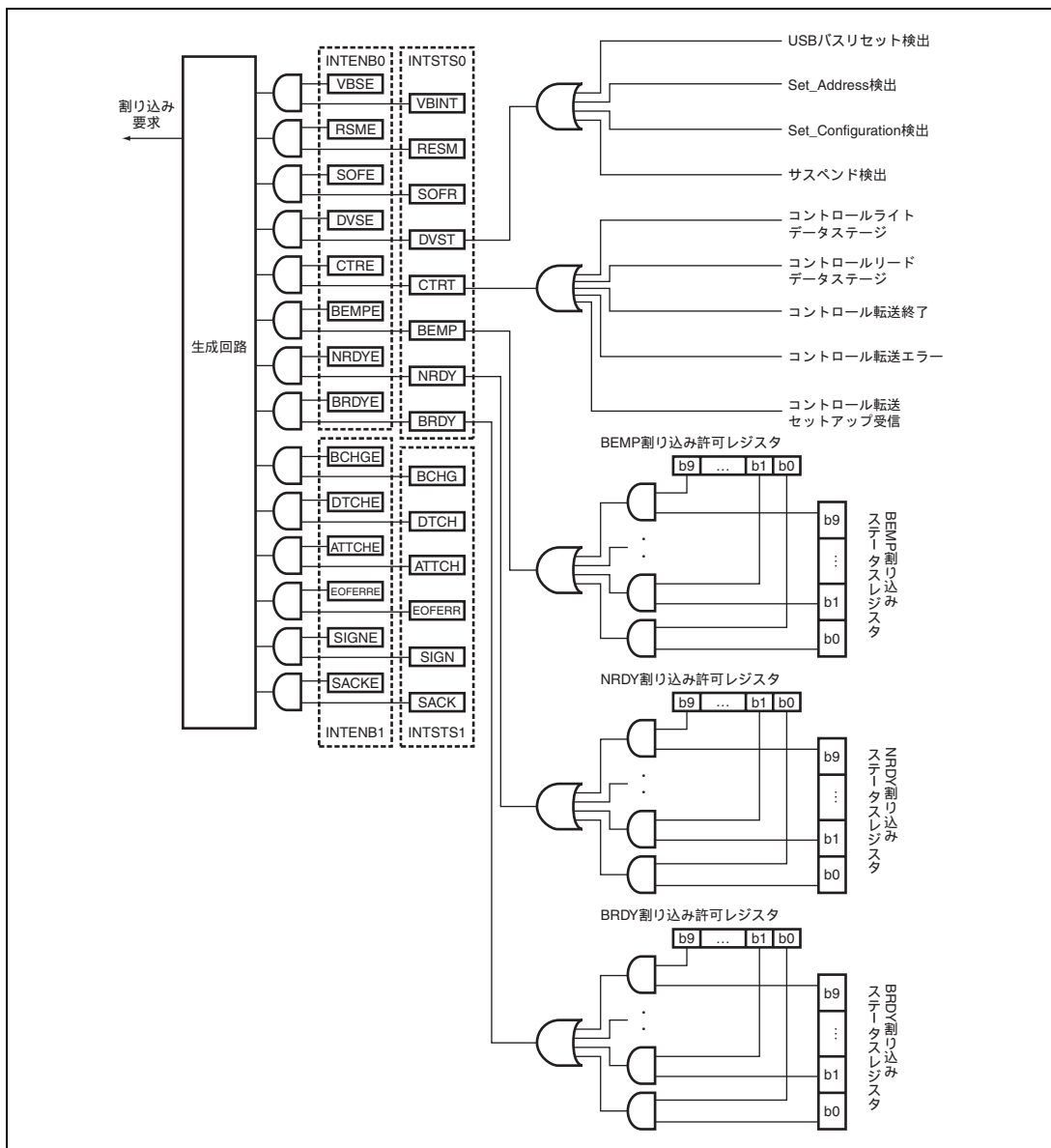


図 31.3 割り込みの関連図

(1) BRDY 割り込み

BRDY 割り込みは、ホストコントロール、ファンクションコントロールのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、本モジュールは BRDYSTS レジスタの該当ビットを 1 にセットします。このとき、ソフトウェアが当該パイプに対応する BRDYENB レジスタの PIPEBRDYE ビットを 1 に設定し、かつ、INTENB0 レジスタの BRDYE ビットを 1 に設定していれば、本モジュールは BRDY 割り込みを発生させます。

BRDY 割り込みは、BRDYM ビットおよび各パイプの BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(a) BRDYM = 0 かつ BFRE = 0 設定時

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

本モジュールは、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する PIPEBRDY ビットに 1 を表示します。

1. 送信方向に設定したパイプの場合

- ソフトウェアが DIR ビットを 0 から 1 に変更したとき。
- 当該パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、本モジュールが当該パイプのパケット送信を完了したとき。

連続送受信モードに設定した場合には、FIFO バッファ一面分のデータの送信完了時に要求トリガが発生しません。

- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき。

FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。

- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき。
- ACLRM ビットに 1 を書き込むことより、FIFO バッファが書き込み不可状態から書き込み可能状態になったとき。

DCP に対しては (すなわち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

2. 受信方向に設定したパイプの場合

- 当該パイプに割り付けた FIFO バッファへの CPU からの読み出しが不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき。

データ PID ミスマッチのトランザクションに対しては要求トリガは発生しません。

連続送受信モードの場合には、MaxPacketSize のデータサイズで、かつまだバッファに空きがある場合には要求トリガは発生しません。

ショートパケットを受信した場合には、FIFO バッファに空きがあっても要求トリガは発生します。

トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガは発生します。このとき、FIFOバッファにまだ空きがあっても要求トリガは発生します。

- FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき

読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントロール機能選択時のコントロール転送のステータスステージでの通信では本割り込みは発生しません。

ソフトウェアは、当該パイプに対応する BRDYSTS レジスタの PIPEBRDY ビットに 0 を書き込むことにより、当該パイプの PIPEBRDY 割り込みステータスを 0 にクリアすることができます。このとき、他のパイプに対応するビットには 1 を書き込んでください。

本割り込みステータスのクリアは、必ず FIFO バッファへのアクセスを行う前に実施してください。

(b) BRDYM=0 かつ BFRE=1 設定時

この設定の場合、本モジュールは、受信パイプにおいて 1 トランスファー分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、本レジスタの当該パイプに対応するビットに 1 を表示します。

本モジュールは、以下のいずれかのときに 1 トランスファーにおける最後のデータを受信したと判定します。

- Zero-Lengthパケットを含むショートパケットを受信したとき
- トランザクションカウンタ (TRNCNTビット) を使用し、TRNCNTビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、本モジュールは 1 トランスファ分の全データ読み出し完了と判断します。

FIFO バッファが空の状態 Zero-Length パケット受信した場合は、Zero-Length パケットデータが CPU 側へトグルされた時点で、本モジュールは 1 トランスファー分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応する FIFOTR レジスタの BCLR ビットにソフトウェアで 1 を書き込んでください。

本設定の場合には、本モジュールは送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアは、当該パイプに対応する PIPEBRDY ビットに 0 を書き込むことにより、当該パイプの PIPEBRDY 割り込みステータスを 0 にクリアすることができます。このとき他のパイプに対応するビットには 1 を書き込んでください。

本モードを使用するときには、トランスファ分の処理を終了するまで BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(c) BRDYM = 1 かつ BFRE = 0 設定時

この設定の場合、PIPEBRDY ビットの値は各パイプの BSTS ビットに連動します。すなわち、BRDY 割り込みステータスは FIFO バッファの状態によって本モジュールが 1、0 を表示します。

1. 送信方向に設定したパイプの場合

FIFOポートにデータが書き込み可能な状態であれば1を表示し、書き込み不可の状態になれば0を表示します。

ただしDCPの送信パイプが書き込み可能であっても、BRDY割り込みは発生しません。

2. 受信方向に設定したパイプの場合

FIFOポートにデータが読み出し可能な状態であれば1を表示し、すべてのデータを読み出したら（読み出し不可の状態になったら）0を表示します。

FIFOバッファが空でZero-Lengthパケットを受信した場合、ソフトウェアがBCLR = 1を書き込むまで該当ビットには1が表示されBRDY割り込みは発生し続けます。

本設定時、ソフトウェアは、PIPEBRDYビットの0クリアを行うことはできません。

BRDYM = 1設定時は、BFREビットは必ずすべて（全パイプ）0に設定してください。

図 31.4 に、BRDY 割り込み発生タイミング図を示します。

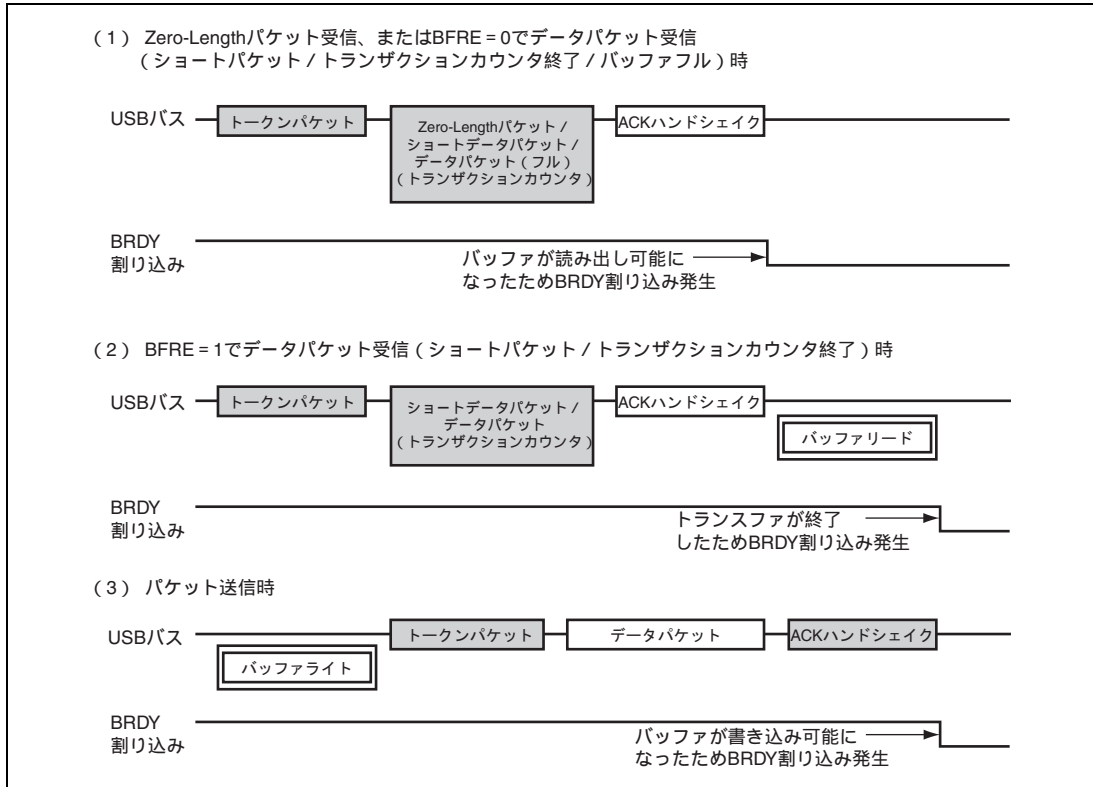


図 31.4 BRDY 割り込み発生タイミング図

(2) NRDY 割り込み

ソフトウェアが PID = BUF に設定したパイプに対して、本モジュールが内部 NRDY 割り込み要求を発生させた場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに 1 を表示します。このとき、ソフトウェアによって NRDYENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS0 レジスタの NRDY ビットに 1 を表示し、USB 割り込みを発生します。

本モジュールが、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時の SETUP トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントロール機能選択時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

また、ファンクションコントロール機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(a) ホストコントローラ機能選択時でかつスプリットトランザクションが発生しない接続の場合

1. 送信方向パイプの場合

本モジュールは、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに送信データがない状態でOUTトークン発行タイミングに達したとき。

このとき、本モジュールはOUTトークンに続けてZero-Lengthパケットを送信し、PIPENRDYビットの対応するビットに1を表示し、OVRNビットにも1を表示します。

- 転送タイプがアイソクロナス以外のパイプ、かつSETUPトランザクション以外の通信において、周辺デバイスが無応答 (周辺デバイスからのHandshakeパケットを検出しないままタイムアウトを検出) した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき

このとき、本モジュールは、PIPENRDYビットの対応するビットに1を表示し、対応するパイプのPIDビットをNAKに変更します。

- SETUPトランザクション以外の通信において、周辺デバイスからSTALL Handshakeを受信したとき (OUTに対するSTALLだけではなく、PINGに対するSTALLも該当します)。

このとき本モジュールは、PIPENRDYビットの対応するビットに1を表示し、対応するパイプのPIDビットをSTALL (11) に変更します。

2. 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに空きがない状態でIN Token発行タイミングに達したとき。

このとき本モジュールは、IN Tokenに対する受信データを破棄し、当該パイプに対応するPIPENRDYビットに1を表示し、OVRNビットにも1を表示します。

さらに、IN Tokenに対する受信データにパケットエラーを検出した場合には、CRCEビットにも1を表示します。

- 転送タイプがアイソクロナス転送以外のパイプで、本モジュールが発行したIN Tokenに対して周辺デバイスが無応答（周辺デバイスからのDATAパケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをNAKに変更します。
- 転送タイプがアイソクロナスのパイプにおいて、IN Tokenに対して周辺デバイスが無応答（周辺デバイスからのDATAパケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示します（対応するパイプのPIDビットの変更は行いません）。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットにCRCエラーまたはビットスタッフィングエラーを検出したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、CRCEビットに1を表示します。
- STALL Handshakeを受信したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをSTALLに変更します。

(b) ホストコントローラ機能選択時でかつスプリットトランザクションが発生するの接続の場合

1. 送信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに送信データがない状態でOUTトークン発行タイミングに達したとき。
このとき本モジュールは、Start-Splitトランザクション（S-SPLIT）発行時点で当該パイプに対応するPIPENRDYビットに1を表示し、OVRNビットに1を表示します。また、OUTトークンに続けてZero-Lengthパケットを送信します。
- 転送タイプがアイソクロナス以外のパイプにおいて、S-SPLITまたはComplete-Splitトランザクション（C-SPLIT）に対して、HUBが無応答（HUBからのHandshakeパケットを検出しないままタイムアウトを検出）またはHUBからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットNAKに変更します。
C-SPLIT発行時にNRDY割り込みを検出した場合には、本モジュールはCSSTSビットをクリアし0を表示します。
- C-SPLITに対し、STALL Handshakeを受信したとき。
このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをSTALL（11）に変更し、CSSTSビットをクリアし0を表示します。
ただしSETUPトランザクションにおいては、本割り込みを検出しません。

- 転送タイプがインタラプトのパイプにおいて、microFrame番号 = 4のときのC-SPLITに対して、NYETを受信したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、CSSTSビットをクリアし0を表示します (対応するパイプのPIDビットは変更しません) 。

2. 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに空きがない状態でIN Token発行タイミングに達したとき。

このとき本モジュールは、S-SPLIT発行時点で当該パイプに対応するPIPENRDYビットに1を表示し、OVRNビットに1を表示します。また、IN Tokenに対する受信データを破棄します。

- 転送タイプがバルクのパイプの転送、またはDCPのSETUPトランザクション以外の転送において、S-SPLITまたはC-SPLIT発行時に、本モジュールが発行したIN Tokenに対してHUBが無応答 (HUBからのDATAパケットを検出しないままタイムアウトを検出) した場合、またはHUBからのパケットにエラーを検出した場合が任意の組み合わせで3回連続して発生したとき。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをNAKに変更します。C-SPLITにおいて本条件が発生した場合には、本モジュールはCSSTSビットをクリアし0を表示します。

- 転送タイプがアイソクロナスまたはインタラプトのパイプのC-SPLITにおいて、本モジュールが発行したIN Tokenに対してHUBが無応答 (HUBからのDATAパケットを検出しないままタイムアウトを検出) した場合、またはHUBからのパケットにエラーを検出した場合が任意の組み合わせで3回連続して発生したとき。

転送タイプがインタラプトのパイプにおいて、本条件が発生した場合、本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをNAKに変更し、CSSTSビットをクリアし0を表示します。

転送タイプがアイソクロナスのパイプにおいて、本条件が発生した場合、本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、CRCEビットに1を表示し、CSSTSビットをクリアし0を表示します。(パイプのPIDビットの変更は行いません) 。

- 転送タイプがアイソクロナス以外のパイプのC-SPLITにおいて、STALL Handshakeを受信した場合。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、対応するパイプのPIDビットをSTALL (11) に変更し、CSSTSビットをクリアし0を表示します。

- 転送タイプがアイソクロナス / インタラプトのパイプのC-SPLITにおいて、microFrame = 4のときにNYET Handshakeを受信した場合。

このとき本モジュールは、当該パイプに対応するPIPENRDYビットに1を表示し、CRCEビットに1を表示し、CSSTSビットをクリアし0を表示します (パイプのPIDビットの変更は行いません) 。

(c) ファンクションコントロール機能選択時

1. 送信方向パイプの場合

- FIFOバッファに送信データがない状態でIN Tokenを受信したとき

IN Token受信時に本モジュールはNRDY割り込み要求を発生させPIPENRDYビットに1を表示します。

割り込み発生パイプの転送タイプがアイソクロナスの場合、本モジュールはZero-Length/パケットを送信し、OVRNビットに1を表示します。

2. 受信方向パイプの場合

- FIFOバッファに空きがない状態でOUTトークンを受信したとき

割り込み発生パイプの転送タイプがアイソクロナスの場合、OUTトークン受信時に本モジュールはNRDY割り込み要求を発生させ、PIPENRDYビットに1を表示し、OVRNビットに1を表示します。

割り込み発生パイプの転送タイプがアイソクロナス以外の場合、本モジュールは、OUTトークンに続くデータ受信後NAK Handshakeを送信するときにNRDY割り込み要求を発生させ、PIPENRDYビットに1を表示します。

ただし、再送時 (DATA-PIDミスマッチ発生時)には、NRDY割り込み要求を発生させません。また、DATAパケットにエラーがある場合にも、発生させません。

- FIFOバッファに空きがない状態でPINGトークンを受信したとき

PINGトークン受信時に本モジュールはNRDY割り込み要求を発生させPIPENRDYビットに1を表示します。

- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき
SOF受信のタイミングで本モジュールは、NRDY割り込み要求を発生させ、PIPENRDYビットに1を表示します。

図 31.5 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

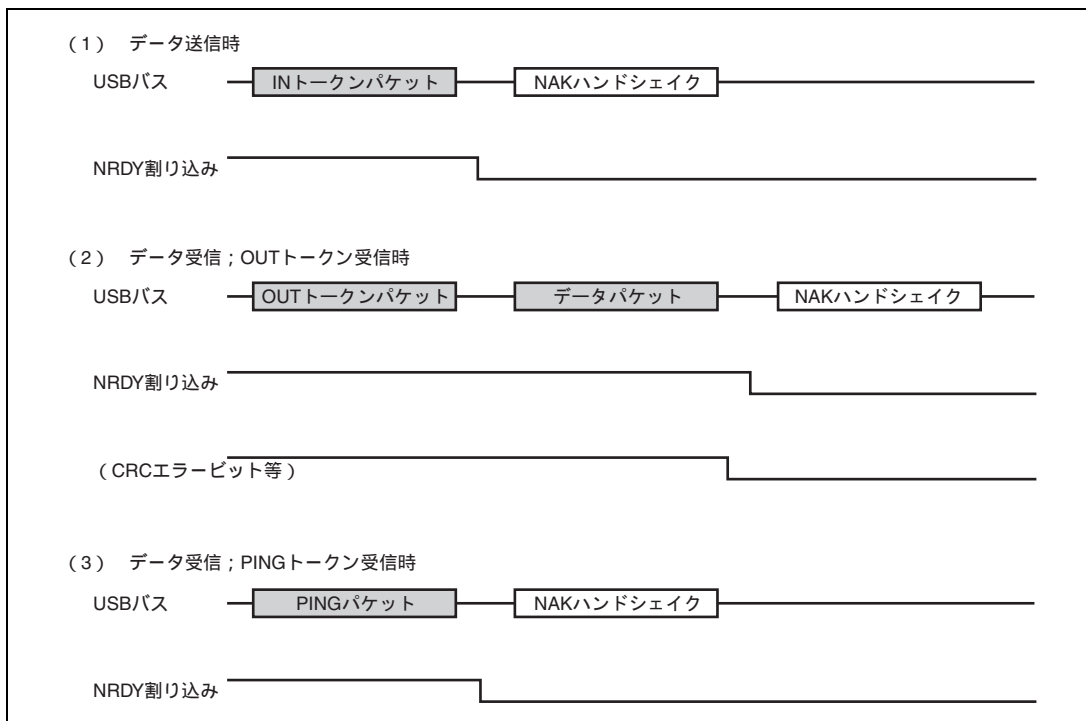


図 31.5 ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図

(3) BEMP 割り込み

ソフトウェアが PID = BUF に設定したパイプに対して、本モジュールが、BEMP 割り込みを検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに 1 を表示します。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS0 レジスタの BEMP ビットに 1 を表示し、USB 割り込みを発生します。

以下の場合に、本モジュールは内部 BEMP 割り込み要求を発生させます。

1. 送信方向パイプにおいて、送信完了時 (Zero-Lengthパケットの送信時を含む) に、対応するパイプのFIFOバッファが空のとき。

シングルバッファ設定時は、DCP以外のパイプに対してはBRDY割り込みと同時に内部BEMP割り込み要求を発生させます。

ただし、以下の場合には内部BEMP割り込み要求を発生させません。

- ダブルバッファ設定時に、1面分のデータ送信完了時にソフトウェア (DMAC) がCPU側のFIFOバッファに対する書き込みを開始している場合
- また、ACLRMビットまたはBCLRビットに1を書き込むことによるバッファクリア (エンプティ)。
- ファンクションコントローラ機能設定時、コントロール転送StatusステージのIN転送 (Zero-Lengthパケット送信) 時

2. 受信方向パイプの場合

MaxPacketSizeの設定値より大きなデータサイズを正常受信したとき。

この場合、本モジュールは、BEMP割り込み要求を発生させ、PIPEBEMPビットの対応するビットに1を表示し、受信データを破棄し、対応するパイプのPIDビットをSTALL (11) に変更します。

このとき本モジュールは、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時にはSTALL応答を行います。

ただし、以下の場合には内部BEMP割り込み要求を発生させません。

- 受信データにCRCエラー、またはビットスタッフィングエラー等を検出したとき
- SETUPトランザクション実行時

PIPEBEMPビットに0を書き込むことにより、ステータスをクリアすることができます。

PIPEBEMPビットに1を書き込んで、何もしません。

図 31.6 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

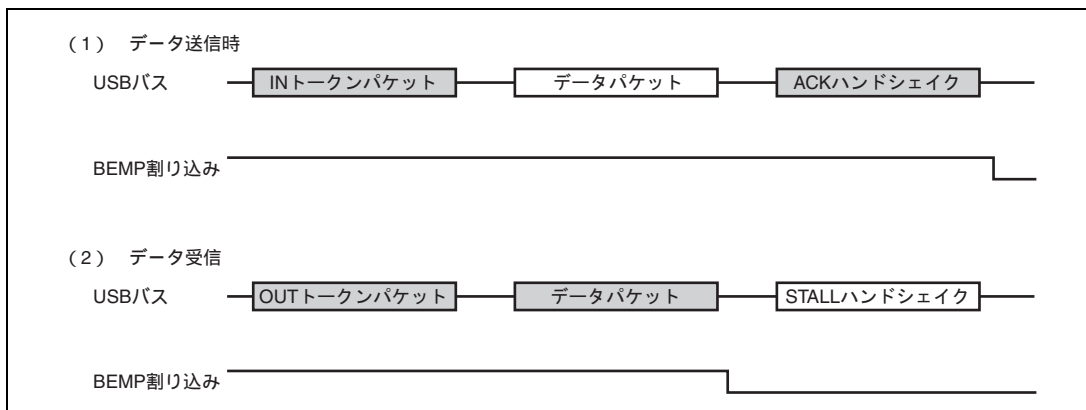


図 31.6 ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

(4) デバイスステート遷移割り込み

図 31.7 に本モジュールのデバイスステート遷移図を示します。本モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

デフォルトステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

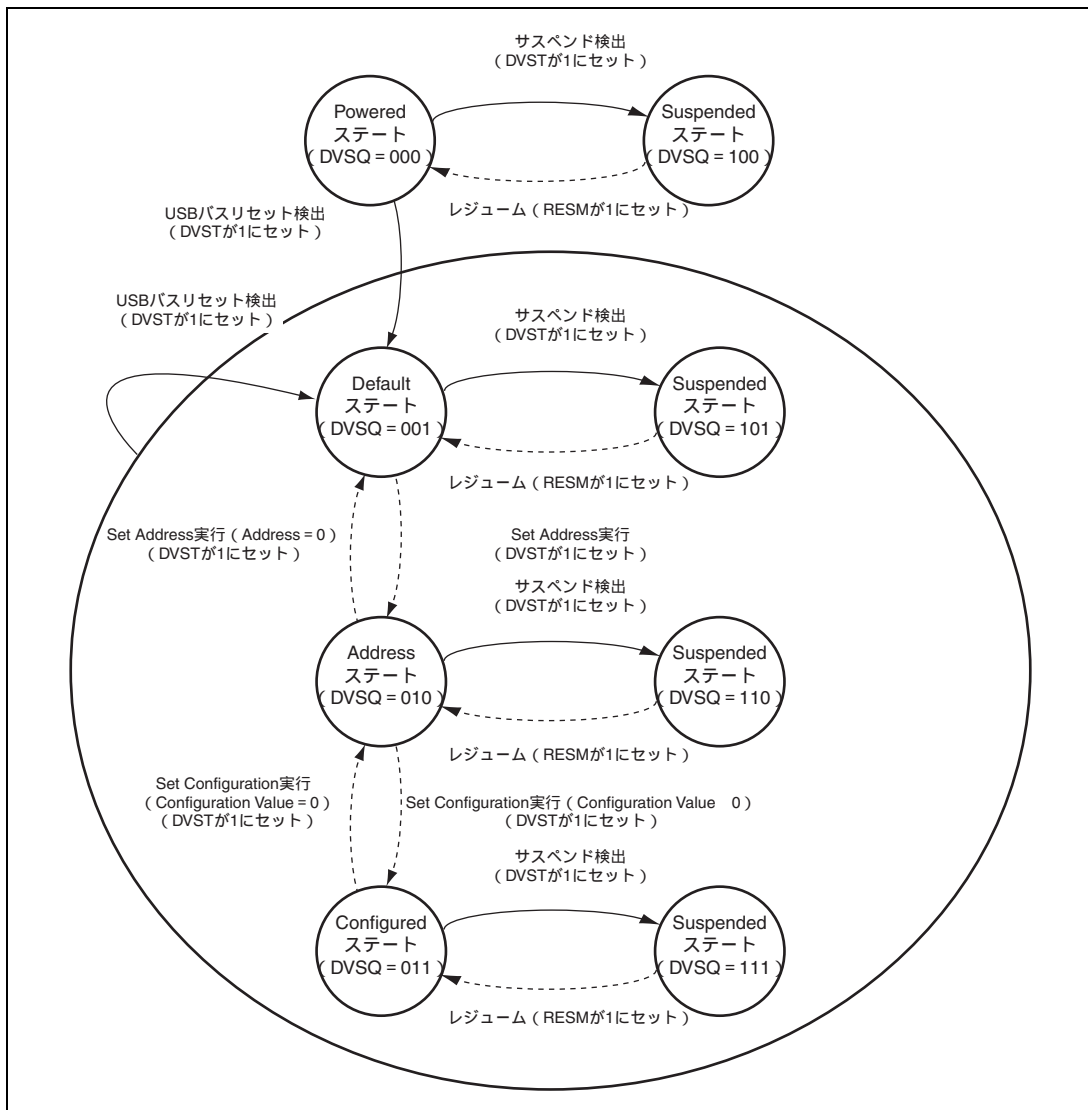


図 31.7 デバイス状態遷移図

(5) コントロール転送ステージ遷移割り込み

図 31.8 に本モジュールのコントロール転送ステージ遷移図を示します。本モジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントロール機能を選択した場合のみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが B'1x (STALL 応答) になります。

1. コントロールリード転送時

- データステージのINトークンに対して、一度もデータ転送していない状態でOUTまたはPINGトークンを受信
- ステータスステージでINトークン受信
- ステータスステージでデータパケットがDATA PID = DATA0のパケットを受信

2. コントロールライト転送時

- データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
- データステージで最初のデータパケットがDATA PID = DATA0のパケットを受信
- ステータスステージでOUTまたはPINGトークン受信

3. コントロールライトノーデータコントロール転送時

- ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (SERR = 1 設定) は、CTSQ = 110 の値がシステムから CTRT = 0 書き込み (割り込みステータスクリア) するまで保持されます。このため、CTSQ = 110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、本モジュールで保持されており、ソフトウェアによる割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します)。

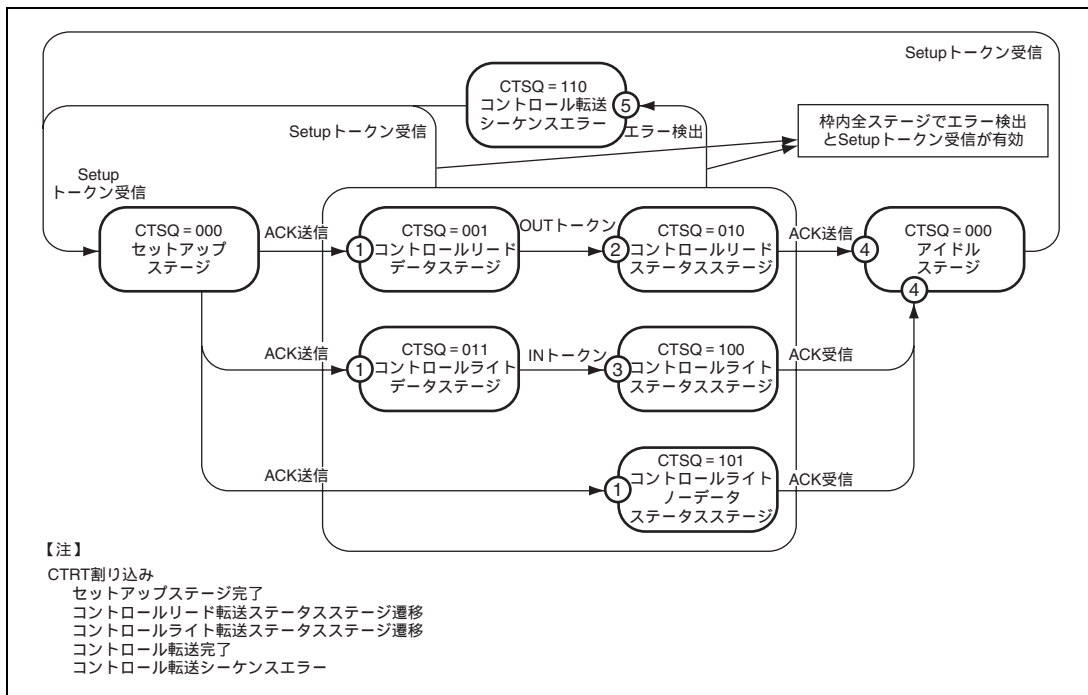


図 31.8 コントロール転送ステージ遷移図

(6) フレーム更新割り込み

図 31.9 に本モジュールの SOFR 割り込み出力タイミング例を示します。

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときに SOFR 割り込みが発生します。

ファンクションコントローラ機能を選択した場合、本モジュールは、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生します。しかし、ハイスピード動作中は μ SOF ロック状態にならないと、フレーム番号を更新せず SOFR 割り込みも発生しません。また、SOF の補間機能も動作しません。 μ SOF ロック状態とは、エラーなしでフレーム番号の異なる μ SOF パケットを 2 回連続受信することです。

なお、 μ SOF ロック監視開始条件および μ SOF ロック監視停止条件は下記 1、2.のとおりです。

1. μ SOF ロック監視開始条件

USBE = 1

2. μ SOF ロック監視停止条件

USBE = 0、USB パスリセット受信、またはサスペンド検出

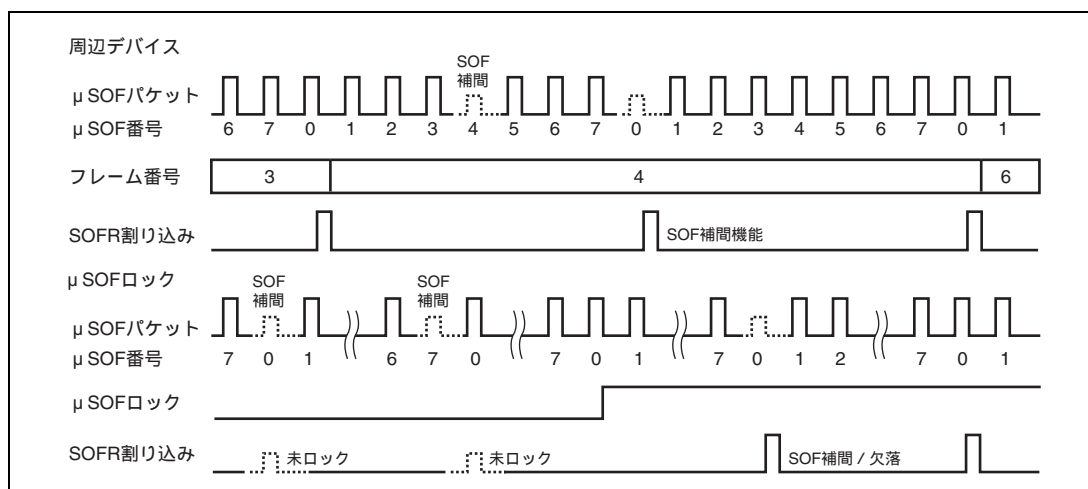


図 31.9 SOFR 割り込み出力タイミングの例

(7) VBUS 割り込み

VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0 レジスタの VBSTS ビットにて VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

(8) レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB パス状態が変化 (J-State

K-State または J-State (SE0) したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

(9) BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

(10) DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。本モジュールは、USB Specification2.0 に準じた基準でバスディスコネクトを検出します。

本モジュールは、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。

- DTCH割り込みを検出したポートのUACTビットを0に変更し表示する。
- DTCH割り込みが発生したポートをアイドル状態に遷移させる。

【注】 ケーブルを抜いてから DTCH 割り込み発生まで、最大で 5ms かかる場合があります。その間に NRDY 割り込みが先に入る可能性があります。

(11) SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

(12) SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合（無応答）や、ACK パケットの破損を検出することができます。

(13) ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード / ロースピード信号レベルの J-State または K-State を 2.5 μ s 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μ s 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μ s 間継続したとき

(14) EOFERR 割り込み

USB 2.0 仕様書に定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みが発生します。

本モジュールは、EOFERR 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下のハードウェア制御を行います。ソフトウェアは、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR割り込みを検出したポートのUACTビットを0に変更し表示する。
- EOFERR割り込みが発生したポートをアイドル状態に遷移させる。

31.5.3 パイプコントロール

表 31.20 に本モジュールのパイプ設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。本モジュールにはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 31.20 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備 考
DCPCFG	TYPE	転送タイプを指定	パイプ 1~9：設定可
PIPECFG	BFRE	BRDY 割り込みモードを選択	パイプ 1~5：設定可
	DBLB	ダブルバッファを選択	パイプ 1~5：設定可
	CNTMD	連続転送または非連続転送を選択	パイプ 1、2：設定可（バルク転送選択時のみ設定可能） パイプ 3~5：設定可
	DIR	転送方向を選択	IN または OUT 設定可
	EPNUM	エンドポイント番号	パイプ 1~9：設定可 パイプ使用時は 0000 以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ 1、2：設定可（バルク転送選択時のみ設定可能） パイプ 3~5：設定可
	PIPEBUF	BUFSIZE	バッファメモリサイズ
BUFNMB		バッファメモリ番号	DCP：設定不可（領域 H'0~H'3 固定） パイプ 1~5：設定可（領域 H'8~H'7F で指定可） パイプ 6~9：設定不可（領域 H'4~H'7 固定）
DCPMAXP	DEVSEL	デバイス選択	ホストコントロール機能選択時のみ参照
PIPEMAXP	MXPS	マックスパケットサイズ	USB 規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1、2：設定可（アイソクロナス転送選択時のみ） パイプ 3~5：設定不可 パイプ 6~9：ホストコントロール機能選択時のみ設定可
	IITV	インターバルカウンタ	パイプ 1、2：設定可（アイソクロナス転送選択時のみ） パイプ 3~5：設定不可 パイプ 6~9：ホストコントロール機能選択時のみ設定可

レジスタ名	ビット名	設定内容	備 考
DCPCTR	BSTS	バッファステータス	DCP は ISEL ビットにより、受信 / 送信バッファ状態の切り替え
PIPEnCTR	INBUFM	IN バッファモニタ	パイプ 3-5 のみ搭載
	SUREQ	SETUP リクエスト	DCP のみ設定可能 ホストコントロール機能選択時のみ制御可能
	SUREQCLR	SUREQ クリア	DCP のみ設定可能 ホストコントロール機能選択時のみ制御可能
	CSCLR	CSSTS クリア	ホストコントロール機能選択時のみ制御可能
	CSSTS	SPLIT ステータス表示	ホストコントロール機能選択時のみ参照可能
	ATREPM	自動応答モード	パイプ 1-5 : 設定可 ファンクションコントロール機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ 1-9 : 設定可
	SQCLR	シーケンスクリア	データグルビットのクリア
	SQSET	シーケンスセット	データグルビットのセット
	SQMON	シーケンス確認	データグルビットの確認
	PBUSY	パイプビジュー確認	
	PID	応答 PID	「31.5.3 (6) 応答 PID」を参照してください。
	PIPEnTRE	TRENB	トランザクションカウン ト許可
TRCLR		カレントトランザクシ ョンカウンタのクリア	パイプ 1-5 : 設定可
PIPEnTRN	TRNCNT	トランザクションカウン タ	パイプ 1-5 : 設定可

(1) パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可 (PID = NAK) であるときのみ書き換えが可能です。

USB 通信許可 (PID = BUF) 状態では設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- DCPCTRレジスタのSQCLRビット、SQSETビット
- PIPECFGレジスタ、PIPEBUFレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット
- PIPExCTRレジスタのATREPMビット、ACLRMビット、SQCLRビット、SQSETビット
- PIPExTREレジスタ、PIPExTRNレジスタの各ビット

USB 通信許可 (PID = BUF) 状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求発生。
2. 当該パイプのPIDをNAKに変更。
3. 当該パイプのCSSTSビットが0になるまで待つ。(ホストコントローラ機能選択時のみ)
4. 当該パイプのPBUSYビットが0になるまで待つ。
5. パイプコントロールレジスタのビット変更開始。

また、パイプコントロールレジスタの以下のビットは、CFIFOSEL、DOFIFOSEL、D1FIFOSEL レジスタのいずれの CURPIPE ビットにも設定されていないパイプ情報のみ書き換えが可能です。

FIFO-PORT の CURPIPE に設定中に設定禁止であるレジスタ

- DCPCFGレジスタ、DCPMAXPレジスタの各ビット
- PIPECFGレジスタ、PIPEBUFレジスタ、PIPEMAXPレジスタ、PIPEPERIレジスタの各ビット

パイプ情報を変更する場合には、CURPIPE ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、BCLR にてバッファのクリア処理をしてください。

(2) 転送タイプ

PIPECFG レジスタの TYPE ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP：設定不要（コントロール転送固定）です。
- パイプ1、2：バルク転送またはアイソクロナス転送を設定してください。
- パイプ3～5：バルク転送を設定してください。
- パイプ6～9：インタラプト転送を設定してください。

(3) エンドポイント番号

PIPECFG レジスタの EPNUM ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント0に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP：設定不要（エンドポイント0固定）です。
- パイプ1～9：1から15までを選択して設定してください。

ただし、DIRビットとEPNUMビットの組み合わせが重複しないように設定してください。

(4) マックスパケットサイズ設定

DCPMAXP レジスタおよびPIPEMAXP レジスタのMXPS ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ 1~5 は USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ 6~9 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前 (PID=BUF) に設定してください。

- DCP : ハイスピード動作時は64を設定してください。
- DCP : フルスピード動作時は、8、16、32、64から選択して設定してください。
- パイプ1~5 : ハイスピードバルク転送時は、512を設定してください。
- パイプ1~5 : フルスピードバルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2 : ハイスピードアイソクロナス転送時は、1から1024の値を設定してください。
- パイプ1、2 : フルスピードアイソクロナス転送時は、1から1023の値を設定してください。
- パイプ6~9 : 1から64の値を設定してください。

インタラプト転送およびアイソクロナス転送の High Bandwidth は未対応です。

(5) トランザクションカウンタ (パイプ 1~5 読み出し方向)

本モジュールは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタは、D0FIFO/D1FIFO ポートにて選択されているパイプが、バッファメモリからデータ読み出し方向で設定されている場合に動作する機能です。トランザクションカウンタには、トランザクション回数を指定する TRNCNT レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、カレントカウンタが指定回数に一致すると、バッファメモリが読み出し可能状態となります。TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。TRENB ビットの設定により、TRNCNT レジスタ読み出し時の情報が異なります。

- TRENB = 0 : 設定したトランザクションカウンタ値が読み出せませす。
- TRENB = 1 : 内部でカウントしたカレントカウンタ値が読み出せませす。

TRCLRビットの操作条件は、下記のとおりです。

- トランザクションカウント中、かつ、PID=BUFの場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

(6) 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID ビットにて各パイプの応答 PID を設定します。

各設定における本モジュールの動作は、下記のとおりです。

1. ホストコントローラ機能選択時の応答PID設定

応答PIDは、トランザクションの実施を指定します。

- NAK設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF設定：バッファメモリの状況に応じてトランザクションが実施されます。
 - OUT方向の場合、バッファメモリに送信データがある場合、OUTトークンを発行します。
 - IN方向の場合、バッファメモリに空きがあり受信可能な場合、INトークンを発行します。
- STALL設定：パイプ禁止状態です。トランザクションは実施されません。
【注】DCP のセットアップトランザクションは、SUREQ ビットで設定します。

2. ファンクションコントローラ機能選択時の応答PID設定

応答PIDは、ホストからのトランザクションに対する応答を指定します。

- NAK設定：発生したトランザクションに対して常にNAK応答します。
- BUF設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL設定：発生したトランザクションに対して常にSTALL応答します。
【注】セットアップトランザクションに対しては、PID の設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

PID ビットは、トランザクション結果により本モジュールによる書き込みが発生する場合があります。本モジュールにより PID ビットへの書き込みが発生するのは以下の場合です。

1. ホストコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID = NAKとなり、トークンの発行を自動的に停止します。
 - アイソクロナス以外の転送で、NRDY割り込みが発生したとき
(詳細は、NRDY割り込みを参照してください。)
 - バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定した場合でショートパケットを受信したとき
 - バルク転送時にSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき
- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID = STALLとなり、トークンの発行を自動的に停止します。
 - 送信したトークンに対してSTALLを受信したとき
 - 受信したデータパケットがマックスパケットサイズを超えたとき

2. ファンクションコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID = NAKとなり、トランザクションに対して常にNAK応答します。

SETUPトークンを正常に受信したとき (DCPのみ)

バルク転送時にPIPECFGレジスタのSHTNAKビットを1に設定し、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき

- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID = STALLとなり、トランザクションに対して常にSTALL応答します。

受信データパケットでマックスパケットサイズオーバーエラーを検出したとき

コントロール転送シーケンスエラーを検出したとき (DCPのみ)

(7) データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本モジュールによりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に本モジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA0 になり、ステータスステージでは DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、ソフトウェアでデータ PID シーケンスビットを設定する必要がありますので注意してください。

なお、アイソクロナス転送設定パイプは、SQSET ビットによるシーケンスビット操作を行うことはできません。

(8) 応答 PID = NAK 機能

本モジュールには、PIPECFG レジスタの SHTNAK ビットに 1 を設定することで、トランスファの最後 (ショートパケット受信またはトランザクションカウンタでモジュールが自動識別) のデータパケット受信タイミングで、パイプ動作を禁止 (応答 PID = NAK) する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可 (応答 PID = BUF) 設定を行う必要があります。

なお、本機能はバルク転送時のみ動作することが可能です。

(9) オート応答モード

バルク転送のパイプ (パイプ 1~5) において、PIPE_{EN}CTR レジスタの ATREPM ビットに 1 をセットすると、オート応答モードとなります。OUT 転送時 (DIR = 0) には OUT-NAK モードとなり、IN 転送時 (DIR = 1) には Null 自動応答モードとなります。

(a) OUT-NAK モード

バルクOUT転送のパイプにおいて、ATREPMビットに1をセットすると、OUTトークンまたはPINGトークンに対してNAK応答し、NRDY割り込みを出力します。通常モードからOUT-NAKモードへ設定するためには、パイプ動作禁止状態 (応答PID = NAK) でOUT-NAKモードに設定して、パイプ動作許可 (応答PID = BUF) を行ってください。パイプ動作許可後に、OUT-NAKモードが有効になります。ただし、パイプ動作禁止にする直前でOUTトークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへACK応答されます。

OUT-NAKモードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答PID = NAK) でOUT-NAKモードを解除して、パイプ動作許可 (応答PID = BUF) を行ってください。通常モードでは、OUTデータ受信が可能となり、PINGトークンに対しては、バッファが受信可能であればACKを返します。

(b) Null 自動応答モード

バルクIN転送のパイプにおいて、ATREPMビットに1をセットすると、Zero-Lengthパケットを送信し続けます。

通常モードからNull自動応答モードへ設定するためには、パイプ動作禁止状態 (応答PID = NAK) で、Null自動応答モードに設定して、パイプ動作許可 (応答PID = BUF) を行ってください。パイプ動作許可後に、Null自動応答モードが有効になります。ただし、Null自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。INBUFMビットが0であることで確認してください。INBUFMビットが1の場合には、バッファ内にデータが存在しているため、ACLRMビットにより空にしてください。また、Null自動応答モードへの設定中には、FIFOポートからのデータ書き込みは行わないでください。

Null自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答PID = NAK) をZero-Lengthパケット送信分ウェイト (フルスピード時: 10 μ s、ハイスピード時: 3 μ s) した後、Null自動応答モードを解除してください。通常モードでは、FIFOポートからの書き込みが可能となり、パイプ動作許可 (応答PID = BUF) を行うことにより、ホストへのパケット送信が可能となります。

31.5.4 FIFO バッファメモリ

(1) FIFO バッファメモリ割り当て

図 31.10 に本モジュールの FIFO バッファメモリマップ例を示します。FIFO バッファメモリは CPU と本モジュールが共用する領域です。FIFO バッファメモリの状況には、アクセス権がシステム (CPU 側) にある場合と本モジュール (SIE 側) にある場合があります。

FIFO バッファメモリは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数 (PIPEBUF レジスタの BUFNMB および BUFSIZE ビット) で設定します。

PIPEnCFG レジスタの CNTMD ビットにて連続転送モードを選択した場合には、BUFSIZE ビットの設定は、必ず最大パケットサイズの整数倍になるように設定してください。また PIPEnCFG レジスタの DBLB ビットにてダブルバッファを選択した場合には、同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てられます。

また、バッファメモリへのアクセス (データ読み書き) は 3 本の FIFO ポートを使用します。FIFO ポートに割り当てるパイプは、C/DnFIFOSEL レジスタの CURPIPE ビットにてパイプ番号を指定します。

各パイプのバッファステータスは、DCPCTR レジスタおよび PIPEnCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、CFIFOCTR レジスタおよび DnFIFOCTR レジスタの FRDY ビットで確認できます。

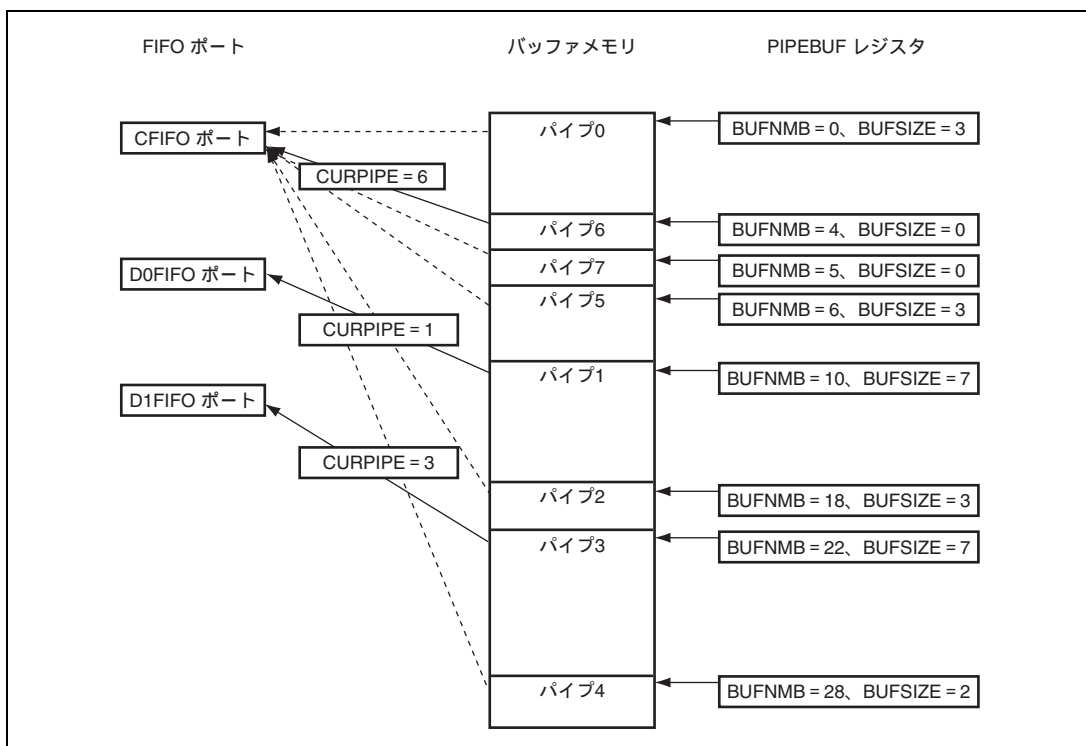


図 31.10 バッファメモリマップ例

(a) バッファステータス

表 31.21 および表 31.22 に本モジュールのバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットにて確認できます。バッファメモリのアクセス方向は、PIPEnCFG レジスタの DIR ビットまたは CFIFOSEL レジスタの ISEL ビット (DCP 選択時) で、バッファメモリのアクセス方向を指定します。

なお、INBUFM ビットは送信方向のパイプ 1~5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS ビットは CPU 側のバッファの状態を、INBUFM ビットは SIE 側のバッファの状態を判断するために使用します。CPU (DMAC) による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM ビットで送信完了を確認できます。

表 31.21 BSTS ビットによるバッファステータス表

ISEL または DIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信中 FIFO ポートからの読み出し不可
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFO ポートへの書き込み不可
1 (送信方向)	1	送信完了 CPU は書き込み可能

表 31.22 INBUFM ビットによるバッファステータス表

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データが FIFO ポートから書き込まれた 送信可能データあり

(b) FIFO バッファクリア

表 31.23 に本モジュールによる FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、BCLR、DCLRM、ACLRM ビットにてクリアできます。

表 31.23 バッファクリア一覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
機能	CPU 側バッファメモリをクリアします。	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	1 ライトでクリア	1 : モード有効 0 : モード無効	1 : モード有効 0 : モード無効

(c) バッファ領域

表 31.24 に本モジュールのバッファメモリマップを示します。バッファメモリには、あらかじめパイプに割り当てられている専用固定領域およびユーザ設定が可能なユーザ領域があります。

DCP 用バッファは、コントロールリード転送およびコントロールライト転送で、同一領域を使用する専用固定領域です。

パイプ 6~9 領域は、あらかじめ領域を割り当ててありますが、パイプ 6~9 を使用しない場合はユーザ領域としてパイプ 1~5 に割り当てて使用可能です。

各パイプで領域が重ならないように設定してください。特にダブルバッファ設定時は領域が設定値の倍になりますので注意してください。

また、マックスパケットサイズ未満の設定値でバッファサイズ指定は行わないでください。

表 31.24 バッファメモリマップ

バッファメモリ番号	バッファサイズ	パイプ設定	備考
H'0	64 バイト	DCP 専用固定領域	シングルバッファ
H'1 ~ H'3	-	使用禁止	-
H'4	64 バイト	パイプ 6 用固定領域	シングルバッファ
H'5	64 バイト	パイプ 7 用固定領域	シングルバッファ
H'6	64 バイト	パイプ 8 用固定領域	シングルバッファ
H'7	64 バイト	パイプ 9 用固定領域	シングルバッファ
H'8 ~ H'FF	最大 15872 バイト	パイプ 1~5 ユーザ領域	ダブルバッファ設定可能、連続転送可能

(d) 自動バッファクリアモード機能

本モジュールには、PIPE_nCTR レジスタの ACLRM ビットに 1 を設定することで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、本機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットに 1 を設定し、続けて 0 を設定することで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

(e) バッファメモリ仕様 (シングル/ダブル設定)

パイプ 1~5 は、PIPE_nCFG レジスタの DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。ダブルバッファは同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てる機能です。図 31.11 に本モジュールのバッファメモリ設定例を示します。

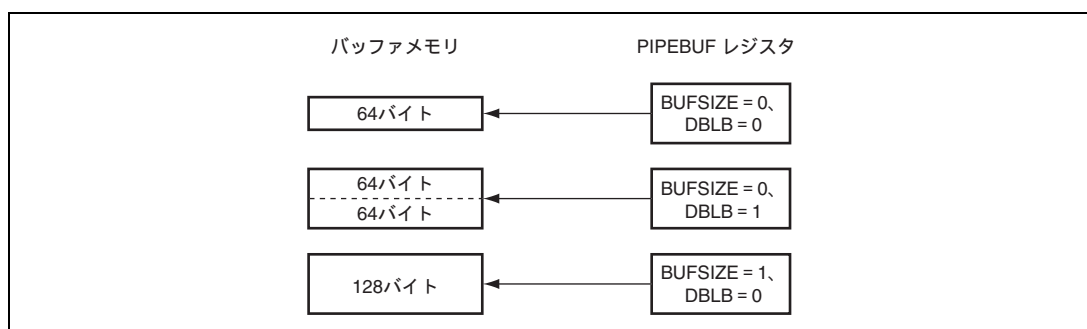


図 31.11 バッファメモリ設定例

(f) バッファメモリ動作 (連続転送設定)

PIPE_nCFG レジスタの CNTMD ビットにて連続転送モード、または非連続転送モードを選択できます。この選択は、パイプ 1~5 に対して有効です。

連続転送モード機能は、複数のトランザクションを連続して送受信する機能です。連続転送モード設定時は、各パイプに割り当てられたバッファサイズまで CPU へ割り込みを発生させずにデータ転送ができます。

連続送信モードでは、書き込みデータをマックスパケットサイズで分割して送信します。バッファサイズ未満のデータ送信 (ショートパケットまたはマックスパケットサイズの整数倍でバッファサイズ未満) の場合には、送信データの書き込み後 BVAL = 1 を設定する必要があります。

連続受信モードでは、バッファサイズまでのパケット受信、トランザクションカウントの終了、またはショートパケットを受信するまで割り込みは発生しません。

表 31.25 に CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係を示します。

表 31.25 CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

連続転送モード	読み出し可能状態、送信可能判定方法
非連続転送 (CNTMD = 0)	<p>受信方向設定時 (DIR = 0) FIFO バッファ読み出し可能状態になる条件 :</p> <ul style="list-style-type: none"> • 本モジュールが 1 パケット受信したとき <p>送信方向設定時 (DIR = 1) FIFO バッファ送信可能状態になる条件 :</p> <p>以下のいずれかを満たしたとき</p> <ul style="list-style-type: none"> • ソフトウェア (または DMAC) がマックスパケットサイズ分のデータを FIFO バッファに書き込んだ。 • ソフトウェア (または DMAC) がショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL = 1 を書き込んだ。
連続転送 (CNTMD = 1)	<p>受信方向設定時 (DIR = 0) FIFO バッファ読み出し可能状態になる条件 :</p> <ul style="list-style-type: none"> • 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 ($(\text{BUFSIZE}+1) \times 64$) が等しくなったとき • 本モジュールが Zero-Length パケット以外のショートパケットを受信したとき • 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本モジュールが Zero-Length パケットを受信したとき。 • ソフトウェアが選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき <p>送信方向設定時 (DIR = 1) FIFO バッファ送信可能状態になる条件 :</p> <p>以下のいずれかを満たしたとき</p> <ul style="list-style-type: none"> • ソフトウェア (または DMAC) が書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき。 • ソフトウェア (または DMAC) が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL = 1 を書き込んだとき。

図 31.12 に本モジュールのバッファメモリ動作例を示します。

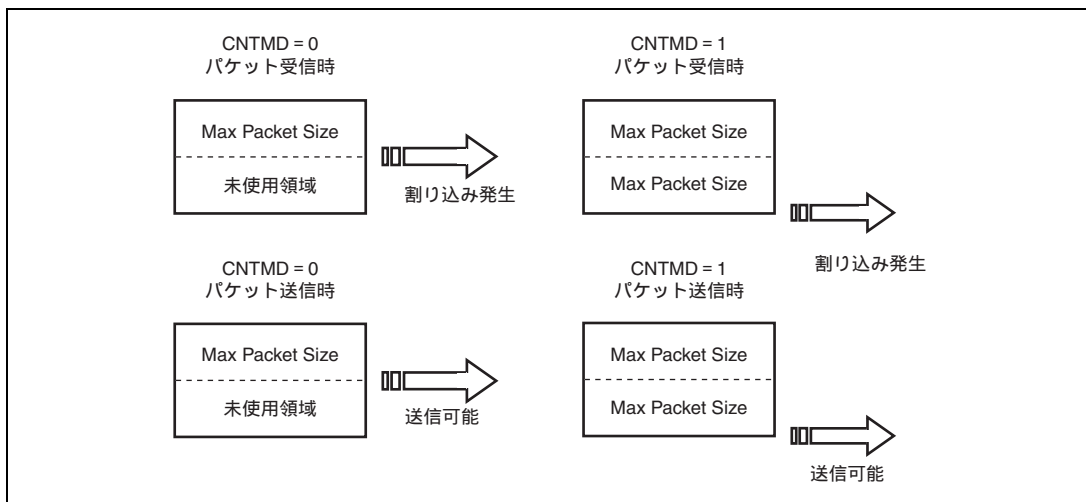


図 31.12 バッファメモリ動作例

(2) FIFO ポートの機能

表 31.26 に本モジュールの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、バッファフル(非連続転送時はマックスケットサイズ数)まで書き込みを行うと、自動的に送信可能状態となります。バッファフル(非連続転送時はマックスケットサイズ数)未満のデータを送信可能状態にするには、C/DnFIFOCTR レジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時 (DTLN = 0) は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DnFIFOCTR レジスタの DTLN ビットにて確認します。

表 31.26 FIFO ポート機能設定表

レジスタ名	ビット名	機 能	備考
C/DnFIFOSEL	RCNT	DTLN 読み出しモード選択	
	REW	バッファメモリリワインド(再読み出し、再書き込み)	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	DnFIFO 専用
	DREQE	DMA 転送許可	DnFIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	BIGEND	FIFO ポートエンディアン選択	
	ISEL	FIFO ポートアクセス方向	DCP 専用
	CURPIPE	カレントパイプ選択	
C/DnFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU 側バッファメモリクリア	
	DTLN	受信データ長確認	

(a) FIFO ポート選択

表 31.27 に各 FIFO ポートで選択可能なパイプ表を示します。C/DnFIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE 値が正しく読み出せたのを確認してから (前回のパイプ番号が読み出された場合には、本コントローラがパイプ変更処理中である事を示します) FRDY = 1 を確認し FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPE_nCFG レジスタの DIR ビットに従います。ただし、DCP のみ ISEL ビットにより決定します。

表 31.27 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1~9	CPU アクセス	CFIFO ポートレジスタ D0FIFO/D1FIFO ポートレジスタ
	DMA アクセス	D0FIFO/D1FIFO ポートレジスタ

(b) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、C/DnFIFOSEL レジスタの REW ビットを使用します。

C/DnFIFOSEL レジスタの CURPIPE ビット設定と同時に REW ビットを 1 に設定してパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、0 に設定しパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、FRDY = 1 を確認する必要があります。

(3) DMA 転送 (D0FIFO/D1FIFO ポート)

(a) DMA 転送概要

パイプ 1~9 に対して、DMAC による FIFO ポートアクセスが可能です。DMA に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL レジスタの MBW ビットにて FIFO ポートへの転送単位を、CURPIPE ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(b) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

本モジュールは、DnFIFOSEL レジスタの DCLRM ビットに 1 を設定することで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 31.28 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。表 31.28 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要なような状態においても、DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 31.28 パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

レジスタ設定	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
パケット受信時のバッファ状態				
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

31.5.5 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 256 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

(1) ホストコントローラ機能選択時のコントロール転送

(a) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR レジスタの SUREQ ビットに 1 を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、0 にクリアされます。SUREQ=1 中は上記 USB リクエストレジスタを操作しないでください。セットアップトランザクションのデバイスアドレスは、DCPMAXP レジスタの DEVSEL ビットで指定します。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットおよび SACK ビット)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR レジスタの SQMON ビットの内容にかかわらず、常に DATA0 のデータパケット (USB リクエスト) が送信されます。

(b) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。また、DCPCFG レジスタの DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みおよび BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

(c) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

データステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR レジスタの DTLN ビットで受信データ長を確認のうえ、BCLR ビットでバッファメモリクリアを行ってください。

(2) ファンクションコントローラ機能選択時のコントロール転送

(a) セットアップステージ

本モジュールは、本モジュールに対する正常なセットアップパケットに対して必ず ACK 応答します。セットアップステージの本モジュールの動作を以下に示します。

1. 新しいセットアップパケットを受信すると、本モジュールは以下のビットをセットします。
 - INTSTS0レジスタのVALIDビットを1にセット
 - DCPCTRレジスタのPIDビットをNAKにセット
 - DCPCTRレジスタのCCPLビットを0にセット
2. セットアップパケットに引き続きデータパケット受信すると、本モジュールは、USBリクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、必ず VALID = 0 を設定後に行ってください。VALID = 1 状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本モジュールは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本モジュールは、受信した USB リクエストの方向ビット (bmRequestType のビット 8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本モジュールのステージ管理については図 31.8 を参照してください。

(b) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

転送データが DCP バッファメモリのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

ハイスピード動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

(c) ステータスステージ

DCPCTR レジスタの PID ビットが PID = BUF の状態で、CCPL ビットに 1 を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本モジュールが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合

本モジュールはZero-Lengthパケットの送信を行い、USBホストからのACK応答を受信します。

- コントロールライト転送、ノーデータコントロール転送の場合
USBホストからのZero-Lengthパケットを受信し、ACK応答を送信します。

(d) コントロール転送自動応答機能

本モジュールは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- コントロールリード転送以外の場合 : bmRequestType H'00
- リクエストエラーの場合 : wIndex H'00
- ノーデータコントロール転送以外の場合 : wLength H'00
- リクエストエラーの場合 : wValue > H'7F
- デバイスステートエラーのコントロール転送 : DVSQ = 011 (Configured)

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

31.5.6 バルク転送 (パイプ 1~5)

バルク転送は、バッファメモリ使用方法 (シングル/ダブルバッファ設定、または連続/非連続転送モード設定) の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態は本モジュールが管理し、PING パケット/NYET ハンドシェイクには自動応答します。

(1) ホストコントローラ機能選択時の PING パケット制御

OUT 方向の PING パケットの送信は、本モジュールにより自動的に送出されます。

以下に示すとおり初期状態が PING パケット送出状態で ACK ハンドシェイクを受信することにより OUT パケットを送出します。NAK または NYET を受信すると PING 送出状態に戻ります。また、この制御はコントロール転送のデータステージ、ステータスステージも同様です。

1. OUTデータ送信設定
2. PINGパケット送信
3. ACKハンドシェイク受信
4. OUTデータパケット送信
5. ACKハンドシェイク受信
(4.と5.を繰り返します。)
6. OUTデータパケット送信
7. NAK/NYETハンドシェイク受信
8. PINGパケット送信

また、本モジュールが PING パケットの送信に戻る要因は、パワーオンリセット、NYET/NAK ハンドシェイク受信、シーケンストグルビットのセット、クリア (SQSET、SQCLR)、バッファクリア (ACLRM) 設定です。

(2) ファンクションコントローラ機能選択時の NYET ハンドシェイク制御

表 31.29 に本モジュールの NYET ハンドシェイク応答表を示します。本モジュールの NYET 応答は、下記の条件に従います。ただし、ショートパケット受信時は、NYET パケット応答をせずに ACK 応答となります。また、コントロールライト転送のデータステージも同様です。

表 31.29 NYET ハンドシェイク応答表

DCPCTR.PID ビット設定値	バッファメモリ の状態	トークン	応答	備 考
NAK/STALL	-	SETUP	ACK	-
	-	IN/OUT/PING	NAK/STALL	-
BUF	-	SETUP	ACK	-
	RCV-BRDY1	OUT/PING	ACK	OUT トークン受信時はデータパケットを受信
	RCV-BRDY2	OUT	NYET	データパケット受信、受信不能通知
	RCV-BRDY2	OUT (Short)	ACK	データパケット受信、受信可能通知
	RCV-BRDY2	PING	ACK	受信可能通知
	RCV-NRDY	OUT/PING	NAK	受信不能通知
	TRN-BRDY	IN	DATA0/1	データパケット送信
TRN-NRDY	IN	NAK	TRN-NRDY	

【記号説明】

RCV-BRDY1 : OUT/PING トークン受信時にバッファメモリに 2 パケット分以上の空き領域がある

RCV-BRDY2 : OUT トークン受信時にバッファメモリに 1 パケット分の空き領域しかない

RCV-NRDY : PING トークン受信時にバッファメモリに空き領域がない

TRN-BRDY : IN トークン受信時にバッファメモリに送信データがある

TRN-NRDY : IN トークン受信時にバッファメモリに送信データがない

31.5.7 インタラプト転送 (パイプ 6~9)

ファンクションコントローラ機能選択時、本モジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PING パケットは無視 (無応答になる) します。また、NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。OUT 方向の転送であっても、PING トークンは発行せずに OUT トークンを発行します。

なお、本モジュールは、インタラプト転送の High-Bandwidth 転送には対応していません。

(1) ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI レジスタの IITV ビットに、トランザクションのインターバルを設定します。本コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(a) カウンタの初期化

本コントローラがインターバルカウンタを初期化する条件は以下のとおりです。

- パワーオンリセット :

IITV ビットが初期化されます。

- ACLRM によるバッファメモリ初期化

IITV ビットは初期化されませんがカウントは初期化されます。ACLRM ビットを 0 にすることにより、IITV の設定値を最初からカウントします。

なお、以下の場合にはインターバルカウンタは初期化されませんので、注意してください。

- USBバスリセット、USBサスペンド

IITV ビットは初期化されません。UACT ビットを 1 にすることにより、USBバスリセット、USBサスペンド状態とする前の値からカウントを開始します。

(b) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PIDをNAKまたはSTALLに設定した場合
- IN方向 (受信) の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT方向 (送信) の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

31.5.8 アイソクロナス転送 (パイプ 1、2)

本モジュールは、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ (IITVビット指定)
- アイソクロナスIN転送データセットアップコントロール (IDLY機能)
- アイソクロナスIN転送バッファフラッシュ機能 (IFISビット指定)

本モジュールは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

(1) アイソクロナス転送のエラー検出

本モジュールは、アイソクロナス転送のエラー発生を、ソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。表 31.30 および表 31.31 に本モジュールがエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

1. PIDエラー

- 受信パケットのPIDが不正な場合

2. CRCエラー、ビットスタッフィングエラー

- 受信パケットのCRCにエラーがあった場合またはビットスタッフィングが不正な場合

3. マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた場合

4. オーバラン、アンダーランエラー

- ホストコントローラ機能選択時

IN方向 (受信) の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合

OUT方向 (送信) の転送時にトークンの送信タイミングにバッファメモリにデータがない場合

- ファンクションコントローラ機能選択時

IN方向 (送信) の転送時にINトークン受信時にバッファメモリにデータがない場合

OUT方向 (受信) の転送時にOUTトークン受信したがバッファメモリに空き領域がない場合

5. インターバルエラー

ファンクションコントローラ機能選択時に、以下の場合にインターバルエラーとします。

- アイソクロナスIN転送でインターバルフレームにINトークンを受信できなかった場合
- アイソクロナスOUT転送でインターバルフレーム以外にOUTトークンを受信した場合

表 31.30 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	ホスト / ファンクションのどちらの機能を選択した場合にも、割り込み発生せず (破損パケットとして無視)。
2	CRC エラー、ビットスタッフィングエラー	ホスト / ファンクションのどちらの機能を選択した場合にも、割り込み発生せず (破損パケットとして無視)。
3	オーバーラン、アンダーランエラー	ホスト / ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させ、OVRN ビットをセットします。ホストコントローラ機能選択時は、トークンを送信しません。ファンクションコントローラ機能選択時は、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY 割り込みを発生させます。ホストコントローラ機能選択時は発生しません。

表 31.31 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	割り込み発生せず (破損パケットとして無視)。
2	CRC エラー、ビットスタッフィングエラー	ホスト / ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させて、CRCE ビットをセットします。
3	マックスパケットサイズオーバーエラー	ホスト / ファンクションのどちらの機能を選択した場合にも、BEMP 割り込みを発生させて、PID を STALL にセットします。

(2) DATA-PID

本モジュールは、High-Bandwidth 転送には対応していません。ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

1. IN方向

- DATA0：データパケットのPIDとして送信します。
- DATA1：送信しません。
- DATA2：送信しません。
- mData：送信しません。

2. OUT方向（フルスピード動作時）

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：パケットを無視します。
- mData：パケットを無視します。

3. OUT方向（ハイスピード動作時）

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：データパケットのPIDとして正常受信します。
- mData：データパケットのPIDとして正常受信します。

(3) インターバルカウンタ

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 31.32 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表 31.32 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナス IN 転送でインターバルフレームに IN トークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレームに OUT トークンを正常受信できない。

インターバルのカウンタは、SOF の受信または補間された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームまたは $2^{IITV} \mu$ フレームです。

(a) ファンクションコントローラ機能選択時でのカウンタの初期化

本モジュールは、下記の条件でインターバルカウンタを初期化します。

- パワーオンリセット

IITVビットが初期化されます。

- ACLRMによるバッファメモリ初期化

IITVビットは初期化されませんがカウントは初期化されます。ACLRMビットを0にすることにより、IITVの設定値からカウントを開始します。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記 1.または 2.の条件でインターバルのカウントを開始します。

1. PID = BUF状態でINトークンに対して、データを送信後のSOF受信
2. PID = BUF状態でOUTトークンのデータを受信後のSOF受信

なお、下記の条件ではインターバルカウンタは初期化されません。

1. PIDビットをNAKまたはSTALLに設定した場合

インターバルタイムは停止しません。次のインターバルにトランザクションの実行を試みます。

2. USBバスリセットおよびUSBサスペンド

IITVビットは初期化されません。SOFを受信すると、受信前の値からカウントを開始します。

(b) ホストコントローラ機能選択時のインターバルカウントと転送制御

IITVビットの設定値に従って本モジュールはトークン発行間隔を制御します。本モジュールは $2^{\wedge}IITV$ 回の (マイクロ) フレームに 1 回の間隔で選択パイプに対するトークンを発行します。

本モジュールは、ハイスピード HUB に接続されたフルスピード / ロースピードの周辺デバイスとの通信に使用するパイプに対しては、1ms フレームでインターバルをカウントします。

本モジュールは、ソフトウェアがPIDビットをBUFに設定した次の (マイクロ) フレームからトークン発行間隔のカウントを開始します。

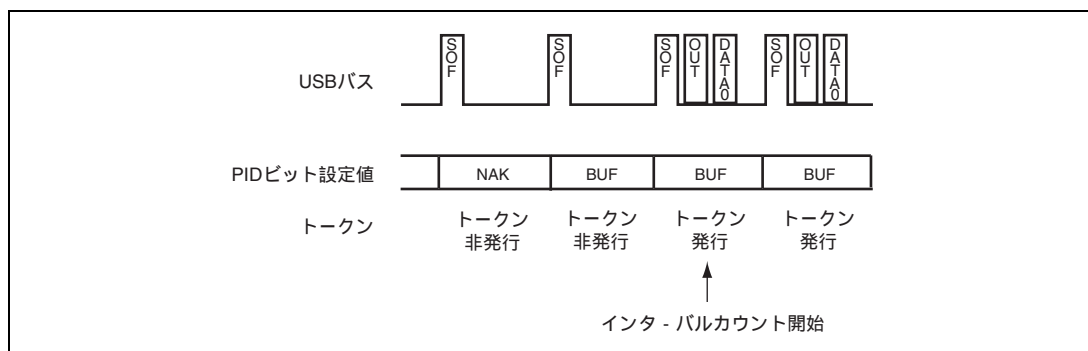


図 31.13 IITV = 0 の場合の Token 発行有無

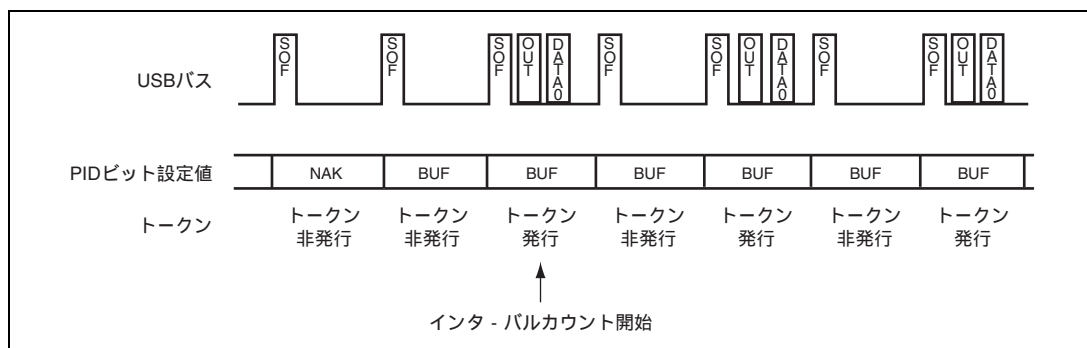


図 31.14 IITV = 1 の場合の場合の Token 発行有無

選択パイプの転送タイプがアイソクロナスの場合には、本モジュールはトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも、本モジュールはトークンを発行します。

1. 選択パイプがIsochronous-IN転送パイプの場合

In-Tokenを発行し、周辺デバイスから正常にバケットを受信しなかった場合（無応答やバケットエラー等の場合）に、NRDY割り込みを発生させます。

（ソフトウェア（DMAC）がFIFOバッファからデータを読み出すのが遅いなどの原因で）FIFOバッファがフルのために、本モジュールがデータを受信できない状態で、IN-Token発行タイミングに至った場合、本モジュールはOVRNビットに1を表示し、NRDY割り込みを発生させます。

2. 選択パイプがIsochronous-OUT転送パイプの場合

（ソフトウェア（DMAC）がFIFOバッファにデータを書き込むのが遅いなどの原因で）送信可能なデータがFIFOバッファに無い状態でOUT-TOKEN発行タイミングに至った場合、本モジュールはOVRNビットに1を表示し、NRDY割り込みを発生させ、Zero-Lengthパケットを送信します。

トークン発行間隔のリセット条件は以下の場合です。

- 本モジュールがハードウェアリセットされた場合（このとき、IITVビットへの設定値も0にクリアされます。）
- ソフトウェアがACLRM = 1を設定した場合。

(c) ファンクションコントローラ機能選択時のインターバルカウントと転送制御

1. 選択パイプがIsochronous-OUT転送パイプの場合

IITVビットに設定したインターバルごとの（マイクロ）フレーム中にDATAパケットを受信しなかったとき、本コントローラはNRDY割り込みを発生させます。

DATAパケットにCRCエラー等のエラーが発生したために受信できなかったとき、またはFIFOバッファがフルのために本モジュールがデータを受信できなかったときにもNRDY割り込みを発生させます。

NRDY割り込みの発生のタイミングは、SOFパケット受信時です。また、SOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングに割り込みを発生させます。

ただし、IITV = 0以外のときには、インターバルカウント開始後のインターバルごとのSOFパケット受信時に

NRDY割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアでPIDビットにNAKを設定した場合、本モジュールはSOFパケットを受信してもNRDY割り込みを発生させません。

インターバルのカウンタ開始条件は、IITVビットの設定値により異なります。

- IITV = 0 のとき：選択パイプのPIDビットをBUFに変更した次の（マイクロ）フレームからインターバルのカウンタを開始します。

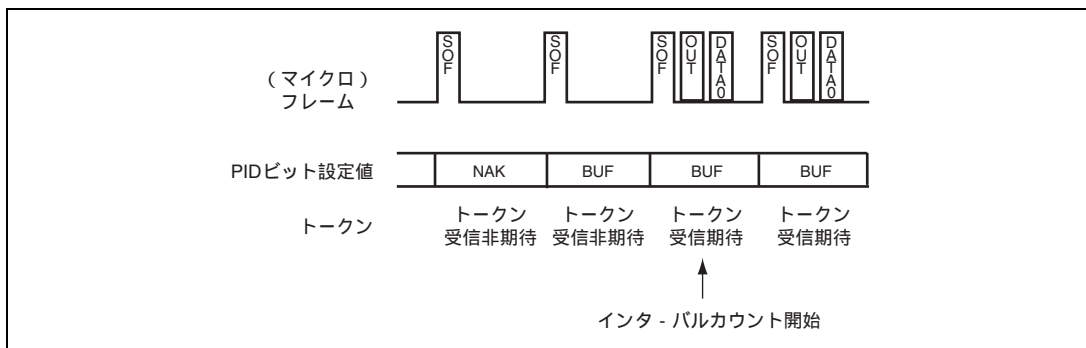


図 31.15 IITV = 0 の場合の（マイクロ）フレームと Token 受信期待有無の関係

- IITV = 0 以外の場合：選択パイプのPIDビットをBUFに変更した後最初のDATAパケット正常受信完了時点からインターバルのカウンタを開始します。

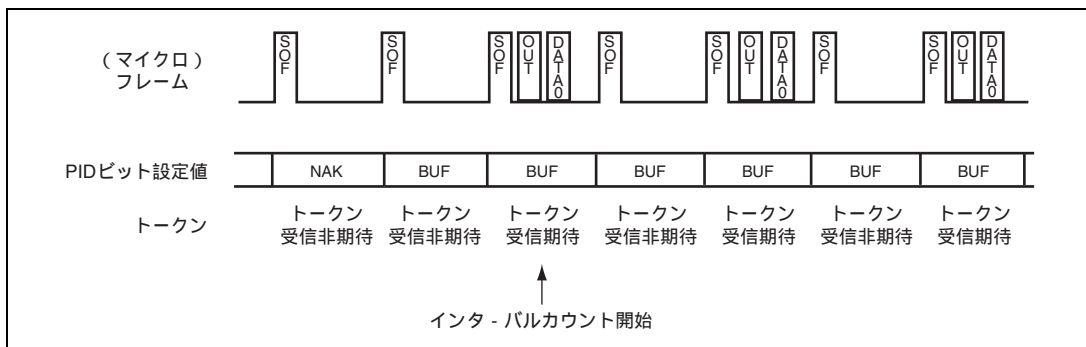


図 31.16 IITV = 0 以外の場合の（マイクロ）フレームと Token 受信期待有無の関係

2. 選択パイプがIsochronous-IN転送パイプの場合

IFIS = 1 と組み合わせて使用します。IFIS = 0 の場合にはIITVビットへの設定値とは関係なく、受信したトークンに回答してデータパケットを送信します。

IFIS = 1 を設定している場合、FIFOバッファに送信可能なデータが存在している状態で、IITVビットに設定したインターバルごとの（マイクロ）フレーム中にIN-Tokenを受信しなかったとき、本モジュールはFIFOバッファをクリアします。

IN-TokenにCRCエラー等のバスエラーが発生したために本モジュールが正常受信できなかった場合にもクリアを行います。

FIFOバッファクリアのタイミングは、SOFパケット受信時です。またSOFパケットが破損した場合でも内部補間機能によりSOFを受信すべきタイミングにFIFOバッファクリアを行います

インターバルのカウンタ開始条件は、IITVビットの設定値により異なります。(OUT時と同様です)

ファンクションコントローラ機能選択時のインターバルカウンタ条件は以下のいずれかの場合です。

- 本モジュールがハードウェアリセットされた場合(このとき、IITVビットへの設定値も0にクリアされます。)
- ソフトウェアがACLRM = 1を設定した場合
- 本モジュールがUSBリセットを検出した場合

(4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、本モジュールのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOFパケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数のINトークンを受信しても、送出されるバッファメモリはただ1パケット分となります。

INトークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Lengthパケットを送出しアンダーランエラーとなります。

図 31.17 に本モジュールで、IITV = 0 (毎フレーム) を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。Zero-Lengthパケット送出は図中で網掛け Null と表示しています。

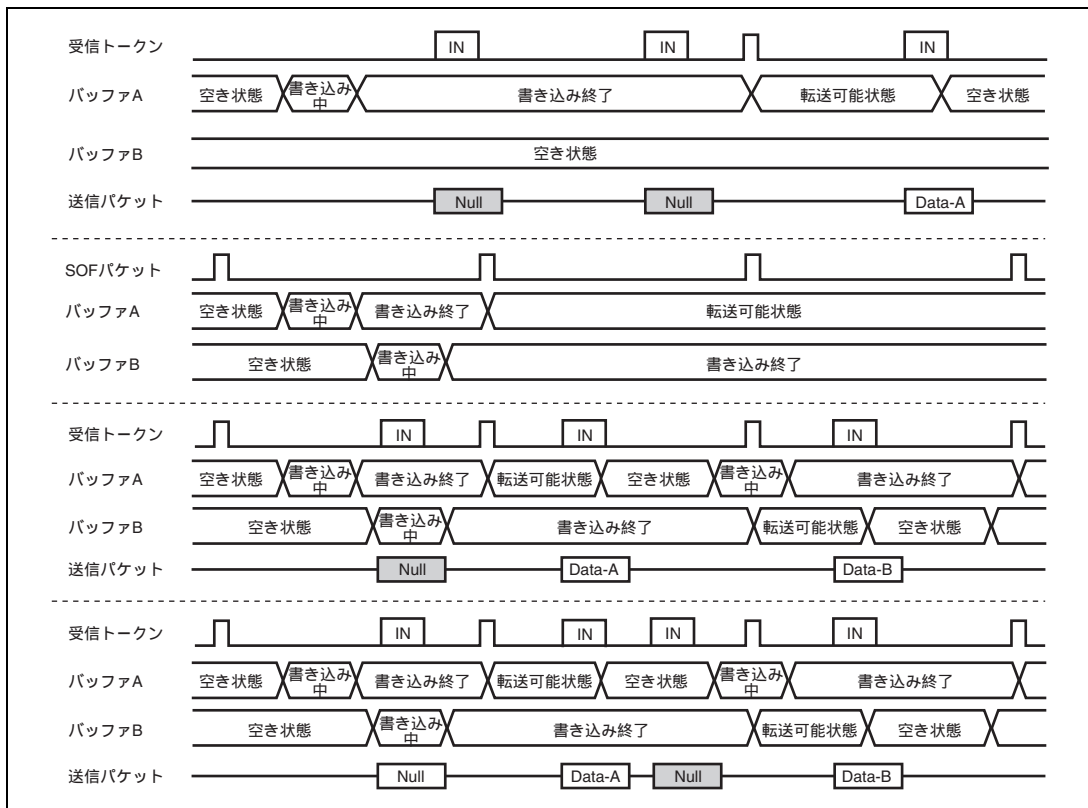


図 31.17 データセットアップ機能動作例

(5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、本モジュールは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの SOF または μ SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF または μ SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

- IITV = 0 の場合

パイプが有効となった次のフレームからバッファフラッシュ動作します。

- IITV = 0 以外の場合

最初の正常なトランザクション以降バッファフラッシュ動作します。

図 31.18 に本モジュールのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外 (インターバルフレーム前のトークン) に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダーランエラーとして Zero-Length パケットを送出します。

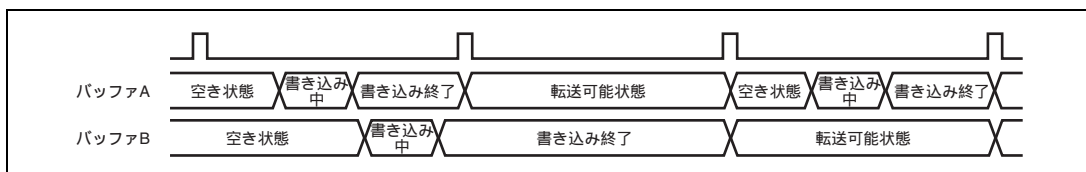


図 31.18 バッファフラッシュ機能動作例

図 31.19 に本モジュールのインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバーランエラーとの区別は OVRN ビットで判定してください。図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

1. IN方向

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であればZero-Lengthパケット送信しアンダーランエラー

2. OUT方向

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバーランエラー

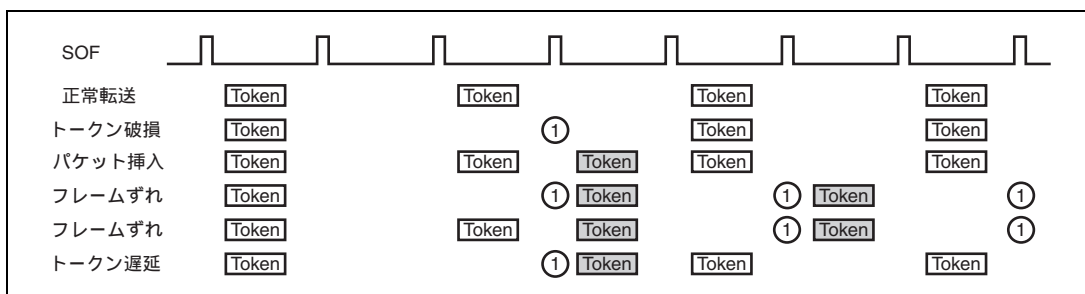


図 31.19 IITV = 1 のときのインターバルエラー発生例

31.5.9 SOF 補間機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1ms (フルスピード動作時) または 125 μ s (ハイスピード動作時) 間隔で SOF パケットを受信できなかった場合に、本モジュールは SOF を補間します。SOF 補間動作の開始は SYSCFG.USB0 = 1、SYSCFG.SCKE = 1 かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオンリセット
- USBバスリセット
- サスペンド検出

また、SOF 補間は次の仕様で動作します。

- フレーム間隔 (125 μ s または 1ms) はリセットハンドシェイクプロトコルの結果に従う。
- SOF パケット受信までは補間機能は動作しない。
- 最初の SOF パケット受信後は内部クロック 48MHz で 125 μ s または 1ms をカウントし補間する。
- 2回目以降の SOF パケットを受信後は前回の受信間隔を用いて補間する。
- サスペンド時および USBバスリセット受信中は補間しない。

(ハイスピード時のサスペンド移行では最終パケットから 3ms の間は補間を継続します)

本モジュールは、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補間を行うため、正常動作を継続させることができます。

- フレーム番号およびマイクロフレーム番号の更新
- SOFR 割り込みタイミングおよび μ SOF ロック
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。ハイスピード動作時に μ SOF パケットが欠落した場合には、UFRMNUM レジスタの UFRNM ビットが更新されます。ただし、UFRNM = 000 の μ SOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する UFRNM = 000 以外の μ SOF パケットが正常に受信されても FRNM ビットは更新されません。

31.5.10 パイプスケジュール

(1) トランザクション発行条件

本モジュールは、ホストコントローラ機能選択時、UACT=1 を設定したあと、表 31.33 に示す条件でトランザクションを発行します。

表 31.33 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファの状態	SUREQ
セットアップ	- * ¹	- * ¹	- * ¹	- * ¹	1 設定
コントロール転送のデータステージ、 ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	- * ¹
	OUT	BUF	無効	送信データあり	- * ¹
インタラプト転送	IN	BUF	有効	受信領域あり	- * ¹
	OUT	BUF	有効	送信データあり	- * ¹
アイソクロナス転送	IN	BUF	有効	* ²	- * ¹
	OUT	BUF	有効	* ³	- * ¹

【注】 *¹ 表中の「 - 」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタにかかわらず発行されることを示します。

*² 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

*³ 送信データの有無にかかわらずトランザクションを発行します。ただし、送信データがなかった場合は、Zero-Length パケットを送信します。

(2) 転送スケジュール

本モジュールのフレーム内の転送スケジューリング方法について説明します。本モジュールは、SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行

パイプ1 パイプ2 パイプ6 パイプ7 パイプ8 パイプ9の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。

2. コントロール転送のセットアップトランザクション

DCPを確認してセットアップトランザクションが可能であれば送信します。

3. バルク、コントロール転送データステージ、ステータスステージの実行

DCP パイプ1 パイプ2 パイプ3 パイプ4 パイプ5の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。

トランザクションを発行したとき、周辺デバイスからの応答がACKであってもNAKであっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3.を繰り返します。

(3) USB 通信許可

DVSTCTR レジスタの UACT ビットを 1 に設定することにより、SOF または μ SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを 0 に設定すると、SOF または μ SOF の送信を停止しサスペンドとなります。UACT ビットを 1 に設定する場合、次の SOF または μ SOF を送信してから停止します。

31.6 使用上の注意事項

31.6.1 USB 外部回路について

USB ファンクションとして使用する場合の USB 外部回路例を図 31.20 に示します。

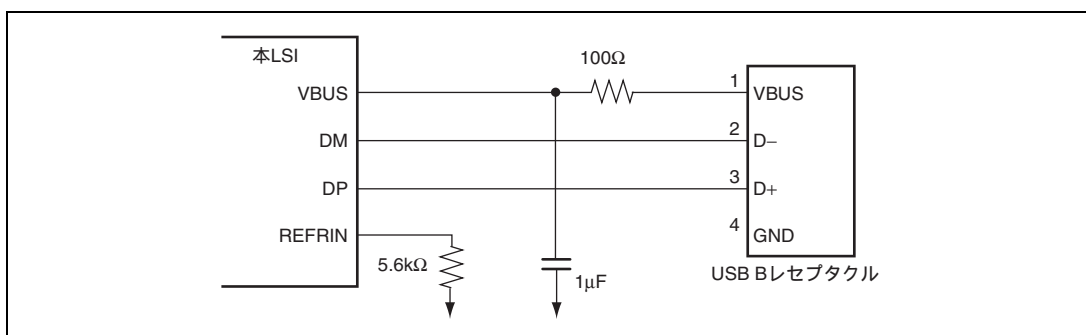


図 31.20 USB 外部回路例

USB ホストとして使用する場合の USB 周辺回路例を、図 31.21 に示します。USB ホストの場合、VBUS 接続 / 切断の検出は不要ですが、ポートなどを使用して 5V 供給を制御する必要があります。

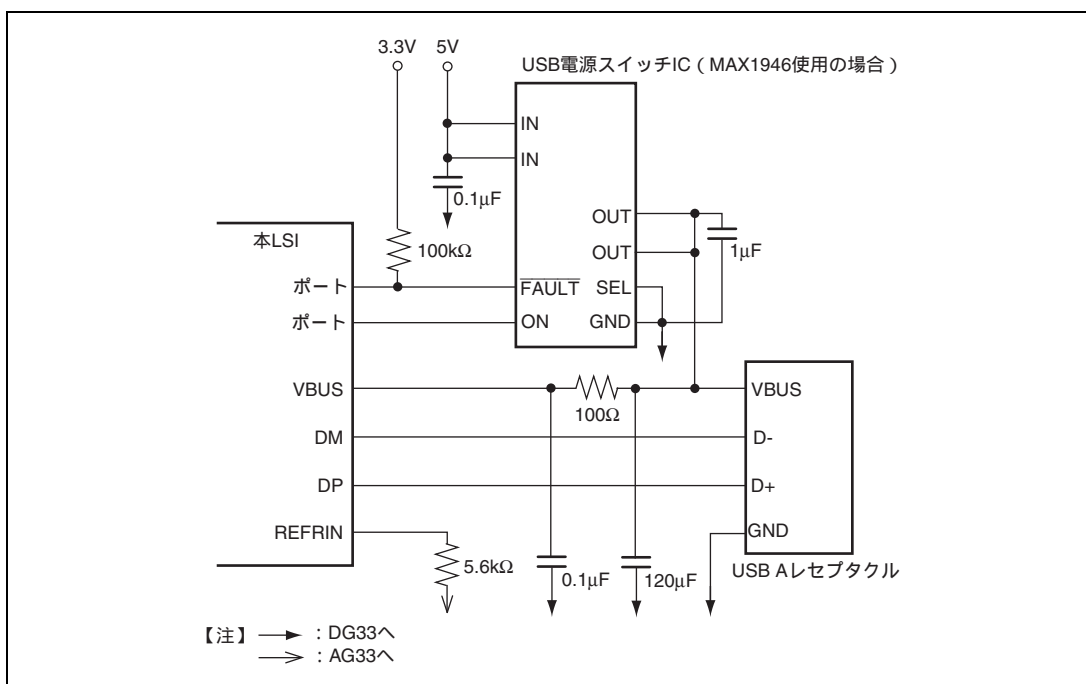


図 31.21 USB をホストとして使用する場合の USB 外部回路例

【注】上記の外部回路例は USB 規格をもとにした参考例であり、システムでの動作を保証するものではありません。

お客様にてシステム全体で十分検討評価してシステムにあった基板設計、実装を行ってください。

32. I²C バスインタフェース (IIC)

本 LSI は、2 チャンネルの I²C バスインタフェースを内蔵しています。

I²C バスインタフェースを用いたデータ転送は、データライン (SDA) 1 本、クロックライン (SCL) 1 本で構成され、コネクタやプリント基板の面積等を経済的に使用できます。

32.1 特長

- 開始条件、停止条件を自動生成します。
- 受信時、アクノリッジの出力レベルを選択可能です。
- 送信時、アクノリッジビットを自動ロードします。
- I²C フォーマットに準拠してデータ転送を行います。
- ウェイト機能
アクノリッジを除くデータ転送後、SCL をローレベルにしてウェイト状態にすることが可能です。
割り込みフラグをクリアすることでウェイト状態からの解除が可能です。
- I²C モジュールはシングルマスタバスにのみ対応します。
本モジュールは常にマスタとなります。スレーブ機能はありません。このため、データ転送中のアービトレーションロスト時はバスを解放して停止します。
- 4 種類の割り込み要因
データ転送イネーブル
ウェイト状態
非アクノリッジ検出
アービトレーションロスト (バス競合を検出すると、バスを解放して停止します。)
- データ転送速度
標準モード (100kHz) および高速モード (400kHz) に対応します。
クロックコントロールレジスタの設定により SCL クロックを任意に設定可能です。
- SCL ラインのクロック同期処理が可能です。
SCL がハイカウント期間に発生するハザード (スパイクノイズ) は、アービトレーションロストとして検出されます。

I²C バスインタフェースのブロック図を図 32.1 に示します。

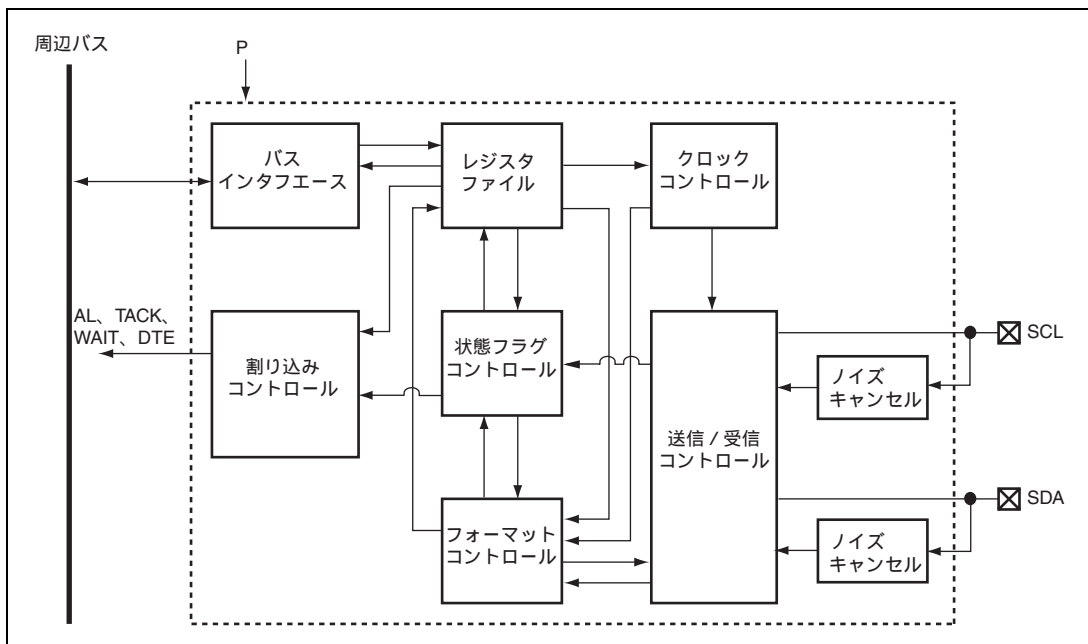


図 32.1 I²C バスインタフェースのブロック図

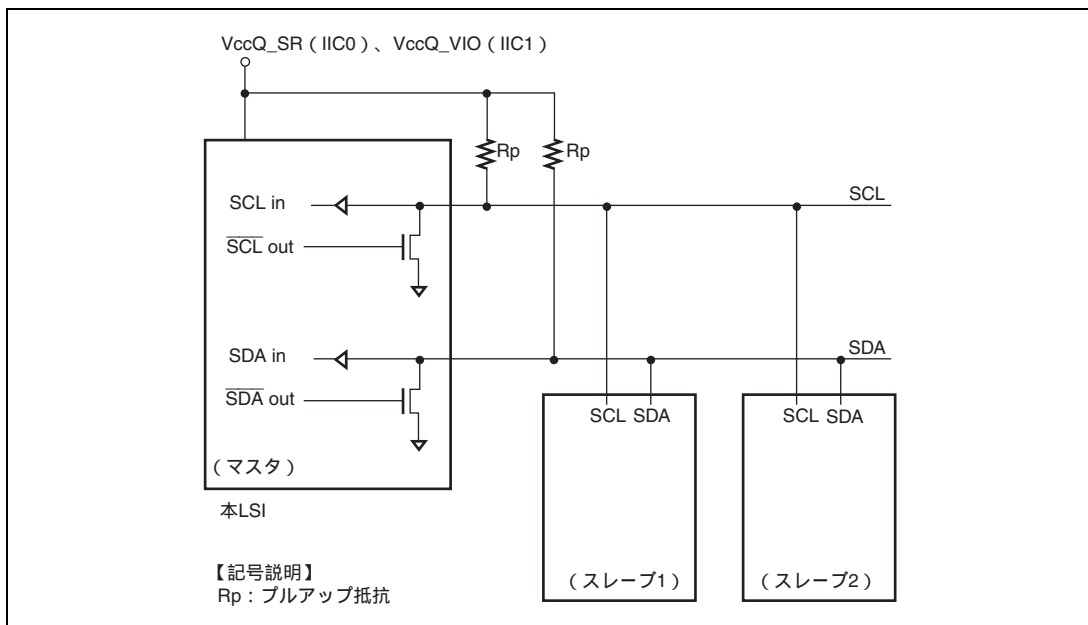


図 32.2 I²C バスインタフェース接続例

32.2 入出力端子

I²C バスインタフェースで使用する端子を表 32.1 に示します。

表 32.1 端子構成

端子名	機能	入出力	説明
SCL0 (O/D)	I ² C クロック入出力 0	入出力	I ² C バスのクロック入出力端子です。(チャンネル 0) バス駆動機能を持っています。出力形式は NMOS オープンドレインです。
SDA0 (O/D)	I ² C データ入出力 0	入出力	I ² C バスのデータ入出力端子です。(チャンネル 0) バス駆動機能を持っています。出力形式は NMOS オープンドレインです。
SCL1 (O/D)	I ² C クロック入出力 1	入出力	I ² C バスのクロック入出力端子です。(チャンネル 1) バス駆動機能を持っています。出力形式は NMOS オープンドレインです。
SDA1 (O/D)	I ² C データ入出力 1	入出力	I ² C バスのデータ入出力端子です。(チャンネル 1) バス駆動機能を持っています。出力形式は NMOS オープンドレインです。

32.3 レジスタの説明

I²C バスインタフェースのレジスタ構成を表 32.2 に示します。また、各処理モードにおけるレジスタの状態を表 32.3 に示します。

表 32.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
I ² C バスデータレジスタ	ICDR0	R/W	H'A447 0000	8
I ² C バスコントロールレジスタ	ICCR0	R/W	H'A447 0004	8
I ² C バスステータスレジスタ	ICSR0	R/W	H'A447 0008	8
I ² C 割り込みコントロールレジスタ	ICIC0	R/W	H'A447 000C	8
I ² C クロックコントロールレジスタロー	ICCL0	R/W	H'A447 0010	8
I ² C クロックコントロールレジスタハイ	ICCH0	R/W	H'A447 0014	8
I ² C バスデータレジスタ	ICDR1	R/W	H'A475 0000	8
I ² C バスコントロールレジスタ	ICCR1	R/W	H'A475 0004	8
I ² C バスステータスレジスタ	ICSR1	R/W	H'A475 0008	8
I ² C 割り込みコントロールレジスタ	ICIC1	R/W	H'A475 000C	8
I ² C クロックコントロールレジスタロー	ICCL1	R/W	H'A475 0010	8
I ² C クロックコントロールレジスタハイ	ICCH1	R/W	H'A475 0014	8

表 32.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
ICDR0	初期化	初期化	保持	保持	初期化	初期化	保持
ICCR0	初期化	初期化	保持	保持	初期化	初期化	保持
ICSR0	初期化	初期化	保持	保持	初期化	初期化	保持
ICIC0	初期化	初期化	保持	保持	初期化	初期化	保持
ICCL0	初期化	初期化	保持	保持	初期化	初期化	保持
ICCH0	初期化	初期化	保持	保持	初期化	初期化	保持
ICDR1	初期化	初期化	保持	保持	初期化	初期化	保持
ICCR1	初期化	初期化	保持	保持	初期化	初期化	保持
ICSR1	初期化	初期化	保持	保持	初期化	初期化	保持
ICIC1	初期化	初期化	保持	保持	初期化	初期化	保持
ICCL1	初期化	初期化	保持	保持	初期化	初期化	保持
ICCH1	初期化	初期化	保持	保持	初期化	初期化	保持

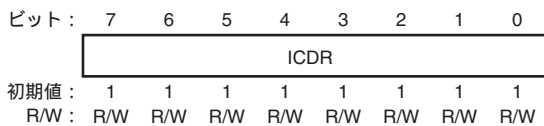
32.3.1 I²C バスデータレジスタ (ICDR)

ICDR は、8 ビットの読み出し / 書き込み可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして使用します。

送信時は、I²C バスステータスレジスタ (ICSR) の DTE ビットが 1 のとき書き込み可能となります。

受信時は、I²C バスステータスレジスタ (ICSR) の DTE ビットが 1 のとき ICDR の受信データが有効となります。

ICDR のリセット直後の読み出し値は HFF となります。



32.3.2 I²C バスコントロールレジスタ (ICCR)

ICCR は、8 ビットの読み出し / 書き込み可能なレジスタで、I²C バスインタフェースの動作 / 非動作、送信 / 受信、I²C バスインタフェースのバス状態の確認、開始 / 停止条件の発行を行います。

表 32.4 ICCR レジスタ設定値

発行条件	送信時	受信時
開始条件	H'94	-
再送条件	H'94	H'D4 受信から送信に変更
停止条件	H'90	H'C0
送信から受信に変更	H'81	-

ビット : 7 6 5 4 3 2 1 0

ICE	RACK	—	TRS	—	BBSY	—	SCP
初期値 : 0	0	0	0	0	0	0	1
R/W : R/W	R/W	R	R/W	R	R/W	R	(R/W)*

ビット	ビット名	初期値	R/W	説 明
7	ICE	0	R/W	<p>I²C バスインタフェースイネーブル</p> <p>I²C バスインタフェースを使用する / 使用しないを選択します。ICE ビットを 1 にセットすると、本モジュールは転送動作可能状態となり各レジスタへのアクセスが可能となります。データ転送中に ICE ビットへ 0 を書き込むとバスを解放して強制終了し、I²C モジュール内のレジスタはすべて初期化されます (「32.5 使用上の注意事項」を参照してください)。また、データ転送終了後に ICE ビットへ 0 を書き込むと I²C モジュール内のレジスタはすべて初期化されます。</p> <p>本モジュール動作中に ICCR を更新する場合は、ICE ビットに必ず 1 をセットしてください。</p> <p>0 : 本モジュールは非動作状態 データ転送中、0 を書き込むと強制終了 I²C モジュール内のレジスタはすべて初期化</p> <p>1 : 本モジュールは転送動作可能状態</p>
6	RACK	0	R/W	<p>受信アクノリッジ</p> <p>本 I²C モジュールが受信時、送信デバイスに対して出力するアクノリッジデータを格納するビットです。</p> <p>送信デバイスからデータを受信した後、あらかじめ本ビットに設定されたアクノリッジデータを送り出します。</p> <p>0 : 受信時、アクノリッジ出力タイミングで SDA に 0 出力 1 : 受信時、アクノリッジ出力タイミングで SDA に 1 出力</p>
5	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
4	TRS	0	R/W	<p>送信 / 受信選択</p> <p>I²C バスインタフェースをマスタ受信モードで使用するか、マスタ送信モードで使用するかを選択するビットです。データ転送中に TRS ビットの変更が可能ですが、アクノリッジを含めたフレーム転送完了まで動作モードの変更は保留され 1 フレーム転送完了後に動作モードが切り替わります。</p> <p>0 : マスタ受信モード</p> <p>0 を書き込んだとき (データ転送中は 1 フレーム転送完了後に動作モードが切り替わります。)</p> <p>1 : マスタ送信モード</p> <p>1 を書き込んだとき (再送 / 停止条件と合わせて書き込みます。このとき、データ転送完了後に再送 / 停止条件を生成すると同時に動作モードが切り替わります。)</p>
3	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2	BBSY	0	R/W	<p>バスビジー</p> <p>BBSY ビットは開始条件、停止条件を発行する際に使用します。</p> <p>開始条件を発行する場合、BBSY = 1 かつ SCP = 0 を書き込みます。開始条件の再送信時と同様に行います。また、停止条件の発行は BBSY = 0 かつ SCP = 0 を書き込むことで行います。</p> <p>本モジュールは常にマスタ動作を行うため BBSY ビットによるバス状態の検出は行いません。他マスタ等により開始条件が発行された場合、アービトラージョンロストを検出して停止します。</p> <p>0 : 停止条件を発行 (SCP ビットと合わせて使用します)</p> <p>1 : 開始条件、再送条件を発行 (SCP ビットと合わせて使用します)</p>
1	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	SCP	1	(R/W)*	<p>開始条件 / 停止条件発行禁止ビット</p> <p>SCP ビットは、開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY = 1 かつ SCP = 0 を書き込みます。開始条件の再送信時と同様に行います。また、停止条件の発行は BBSY = 0 かつ SCP = 0 を書き込むことで行います。本ビットは、読み出すと常に 1 が読み出されます。また、1 を書き込んでデータは格納されません。</p> <p>0 : 書き込み時、BBSY ビットと組み合わせて開始条件、停止条件を発行</p> <p>1 : 読み出し時、常に 1 を読み出す / 書き込み時、無効</p>

【注】 * SCP ビットは 0 書き込みのみ有効、読み出しは常に 1 となります。

32.3.3 I²C バスステータスレジスタ (ICSR)

ICSR は 8 ビットのレジスタで、割り込み要求を行います。

ビット:	7	6	5	4	3	2	1	0
	SCLM	SDAM	—	BUSY	AL	TACK	WAIT	DTE
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*R/(W)*R/(W)*	R/(W)*R/(W)*	R	R

ビット	ビット名	初期値	R/W	説明
7	SCLM	1	R	SCL モニタ SCL の状態を P でサンプリングしたデータを格納します。 0: SCL が 0 であることを示す 1: SCL が 1 であることを示す
6	SDAM	1	R	SDA モニタ SDA の状態を P でサンプリングしたデータを格納します。 0: SDA が 0 であることを示す 1: SDA が 1 であることを示す
5	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	BUSY	0	R	I ² C 転送状態ビット I ² C の状態を示すビットです。開始条件生成後、I ² C は転送状態となり BUSY ビットは 1 にセットされます。また、停止条件生成後、I ² C は非転送状態となり BUSY ビットは 0 クリアされます。 アービトレーションロストが発生すると SDA ラインは直ちに解放します。SCL クロックラインはそのフレームのアクノリッジ終了までクロックを出力した後バスを解放します。このとき BUSY フラグはアクノリッジ終了まで 1 セットされたままです。アクノリッジ終了とともに BUSY は 0 クリアされます。 0: (1) 停止条件生成後、I ² C 非転送状態のとき (2) アービトレーションロスト後のアクノリッジ終了のとき 1: 開始条件生成後、I ² C 転送状態のとき

ビット	ビット名	初期値	R/W	説明
3	AL	0	R/(W)*	<p>アービトレーションロスト</p> <p>バス競合負けをしたことを示します。</p> <p>I²C バスインタフェースは SDA をモニタし、本モジュールが出したデータと異なった場合、AL ビットを 1 にセットしてバスが競合していることを示します。AL ビットは 0 を書き込むか DTE が 1 のとき ICDR を書き込み (送信時) または読み出し (受信時) するとリセットされます。</p> <p>データ転送中にアービトレーションロストを検出すると SDA ラインは直ちに解放します。SCL クロックラインはそのフレームのアクノリッジ終了までクロックを出力した後バスを解放します。AL ビットは ICIC の ALE ビットに依存せず、常に更新されます。ICIC の ALE ビットが 0 のとき、割り込みコントローラにアービトレーションロスト割り込み要求は発行されません。また、他マスタ等により開始条件が発行された場合も、アービトレーションロストを検出して停止します。</p> <p>0: バスを確保</p> <p>(1) ICDR にデータを書き込み (送信時)、データを読み出し (受信時) したとき</p> <p>(2) 0 を書き込んだとき</p> <p>1: バス競合負け (アービトレーションロスト)</p> <p>(1) マスタ受信モードで SCL クロックがハイカウント中に受信データが変化したとき</p> <p>(2) SCL クロックがハイカウント中に SCL ラインがローレベルになったとき</p> <p>(3) 本モジュールが開始条件を発行する前に開始条件を検出したとき</p> <p>(4) モニタした SDA (外部) と本モジュールが出力したデータが不一致であったとき</p>
2	TACK	0	R/(W)*	<p>送信アクノリッジ</p> <p>送信時に受信デバイスから発行されたアクノリッジを格納するビットです。非アクノリッジ割り込み状態は TACK ビットを 0 クリアすることで解除できます。</p> <p>受信デバイスにデータを送信後、受信デバイスから出力されるアクノリッジデータを TACK ビットにロードします。ICIC の TACKE ビットが 0 のときは常に 0 となります。</p> <p>0: (1) 送信時、受信デバイスからアクノリッジがあった (0 だった) ことを示す</p> <p>(2) 0 を書き込んだとき、受信デバイスからアクノリッジがあった (0 だった) ことを示す</p> <p>1: 送信時、受信デバイスからアクノリッジがなかった (1 だった) ことを示す</p>

ビット	ビット名	初期値	R/W	説明
1	WAIT	0	R/(W)*	<p>ウェイト</p> <p>アクノリッジビットを除いたデータ転送後のウェイト状態を示しています。ICIC の WAITE ビットが 1 のときアクノリッジを除くデータ転送後、SCL をローレベルにしてウェイト状態になります。このとき WAIT ビットは自動的に 1 セットされ WAIT 割り込みが発生します。ウェイト状態は WAIT ビットを 0 クリアすることで解除できます。</p> <p>ICIC の WAITE ビットが 0 のときは常に 0 となります。</p> <p>0 : 通常状態 1 : ウェイト時</p>
0	DTE	0	R	<p>データ転送イネーブル</p> <p>ICDR レジスタ、内部送受信バッファ間の転送状態を示します。本ビットは読み出し専用でセット、クリアは自動的に行われます。</p> <p>0 : (1) リセットされたとき (2) 送信時 (TRS = 1) ICDR にデータが書き込まれたとき (3) 受信時 (TRS = 0) ICDR からデータが読み出されたとき (4) TRS ビットが切り替わったとき (5) ICCR の BBSY、SCP ビットに再送条件 / 停止条件を書き込んだとき</p> <p>1 : (1) 開始条件 / 再送条件が生成されたとき (2) 送信時 (TRS = 1) ICDR から送信データが送信バッファに送られたとき (3) 受信時 (TRS = 0) 受信データが ICDR に送られたとき</p>

【注】 * フラグをクリアするための 0 書き込みのみ可能です。

32.3.4 I²C 割り込みコントロールレジスタ (ICIC)

ICIC は 8 ビットのレジスタで、割り込み要求の禁止 / 許可を選択します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	ALE	TACKE	WAITE	DTEE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	ALE	0	R/W	アービトレーションロスト割り込み アービトレーションロスト割り込み要求の禁止 / 許可を選択します。 ALE が 1 のときアービトレーションロストが発生するとアービトレーションロスト割り込みが発生します。 このとき ICSR の AL ビットに 1 がセットされます。 0 : 割り込み禁止 1 : アービトレーションロスト割り込み
2	TACKE	0	R/W	非アクノリッジ検出割り込み 非アクノリッジ検出割り込み要求の禁止 / 許可を選択します。 TACKE が 1 のとき非アクノリッジを受信すると非アクノリッジ割り込みが発生します。 このとき ICSR の TACK ビットに 1 がセットされます。 0 : 割り込み禁止 1 : 非アクノリッジ検出割り込み
1	WAITE	0	R/W	ウェイト割り込み ウェイト割り込み要求の禁止 / 許可を選択します。 WAITE が 1 のときアクノリッジを除くデータ転送後、SCL をローレベルにしてウェイト状態になります。 このとき WAIT 割り込みが発生し、ICSR の WAIT ビットに 1 がセットされます。 0 : 割り込み禁止 1 : ウェイト割り込み
0	DTEE	0	R/W	データ転送イネーブル割り込み データ転送イネーブル割り込み要求の禁止 / 許可を選択します。 DTEE = 1 のとき ICSR の DTE ビットに 1 がセットされると割り込み要求を発行します。 0 : 割り込み禁止 1 : データ転送イネーブル割り込み

32.3.5 I²C クロックコントロールレジスタロー (ICCL)

ICCL は 8 ビットの読み出しまたは書き込み可能なレジスタです。SCL のローレベル時間を設定することができます。

ICCL はリセット時に H'00 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	ICCL							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 H'01 ~ H'09 の設定は禁止です。

ICCL = H'00 および H'FF、ICCH = H'00 および H'FF は SCL クロックを生成しません。

32.3.6 I²C クロックコントロールレジスタハイ (ICCH)

ICCH は 8 ビットの読み出しまたは書き込み可能なレジスタです。SCL のハイレベル時間を設定することができます。

ICCH はリセット時に H'00 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	ICCH							
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 H'01 ~ H'09 の設定は禁止です。

ICCL = H'00 および H'FF、ICCH = H'00 および H'FF は SCL クロックを生成しません。

32.3.7 転送レート

I²C の転送レートは ICCL、ICCH、P より設定できます。

表 32.5 に転送レートの設定例を、図 32.3 に SCL の波形を示します。

表 32.5 転送レート設定例

	P	ICCL	ICCH	転送レート* ²
標準	12MHz	H'42	H'36	100kHz
	13.5MHz	H'4A	H'3D	100kHz
	24MHz	H'82	H'6E	100kHz
	27MHz	H'96	H'78	100kHz
	33MHz	H'AF	H'9B	100kHz
高速* ¹	12MHz	H'12	H'0C	400kHz
	13.5MHz	H'16	H'0C	397.1kHz
	24MHz	H'26	H'16	400kHz
	27MHz	H'2C	H'18	397.1kHz
	33MHz	H'33	H'20	397.6kHz

【注】 *1 ICCL/ICCH の設定値を最小の H'0A としたとき、転送レートを 400kHz とする場合は P に 8MHz が必要となります。P が 8MHz 以下となる場合は 400kHz の転送レートは確保できません。

*2 設定例に記載している転送レートは理論値です。実測値ではプルアップ抵抗 (Rp)、静電容量 (Cp) により本転送レートが低くなりますが、I²C バス規格内であるため通信に影響はありません。
(ICCL、ICCH を下げることにより実測値の転送レートを上げることは可能ですが、その場合 t_{LOW}、t_{HIGH} が規格範囲内に収まるように設定してください。)

(1) 転送レートについて

設定例に記載している転送レートは理論値です。実測値ではブルアップ抵抗 (R_p)、静電容量 (C_p) により本転送レートが低くなりますが、I²C バス規格内であるため通信に影響はありません。ICCL、ICCH を下げることでより実測値の転送レートを上げることは可能ですが、その場合 t_{LOW}、t_{HIGH} が規格値に収まるように設定してください。

[ICCL、ICCH の計算例] *¹

• 計算条件

P : 33MHz

I²C 転送レート : 100kHzSCL の L/H 比較*² : L/H = 5/4

• 計算結果

$$ICCL = (P \div I^2C \text{ 転送レート}) \times (L \div (L + H))$$

$$= ((33 \times 10^6) \div (100 \times 10^3)) \times (5 \div (5 + 4)) = 183 = (B7)_{16}$$

$$ICCH = (P \div I^2C \text{ 転送レート}) \times (H \div (L + H))$$

$$= ((33 \times 10^6) \div (100 \times 10^3)) \times (4 \div (5 + 4)) = 146 = (92)_{16}$$

【注】 *¹ 割り切れない値は計算結果をふまえてトータルカウント数が目標転送レートに近づくように修正しています。

*² SCL の L/H 比較は t_{LOW}、t_{HIGH} を満たす範囲であれば任意です。計算例では L/H = 5/4 としています。

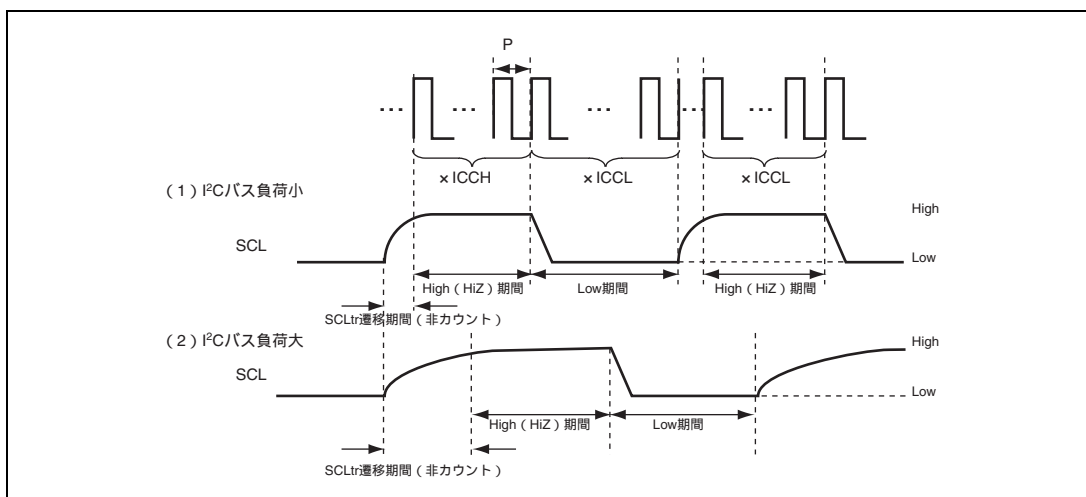


図 32.3 SCL の波形

32.4 動作説明

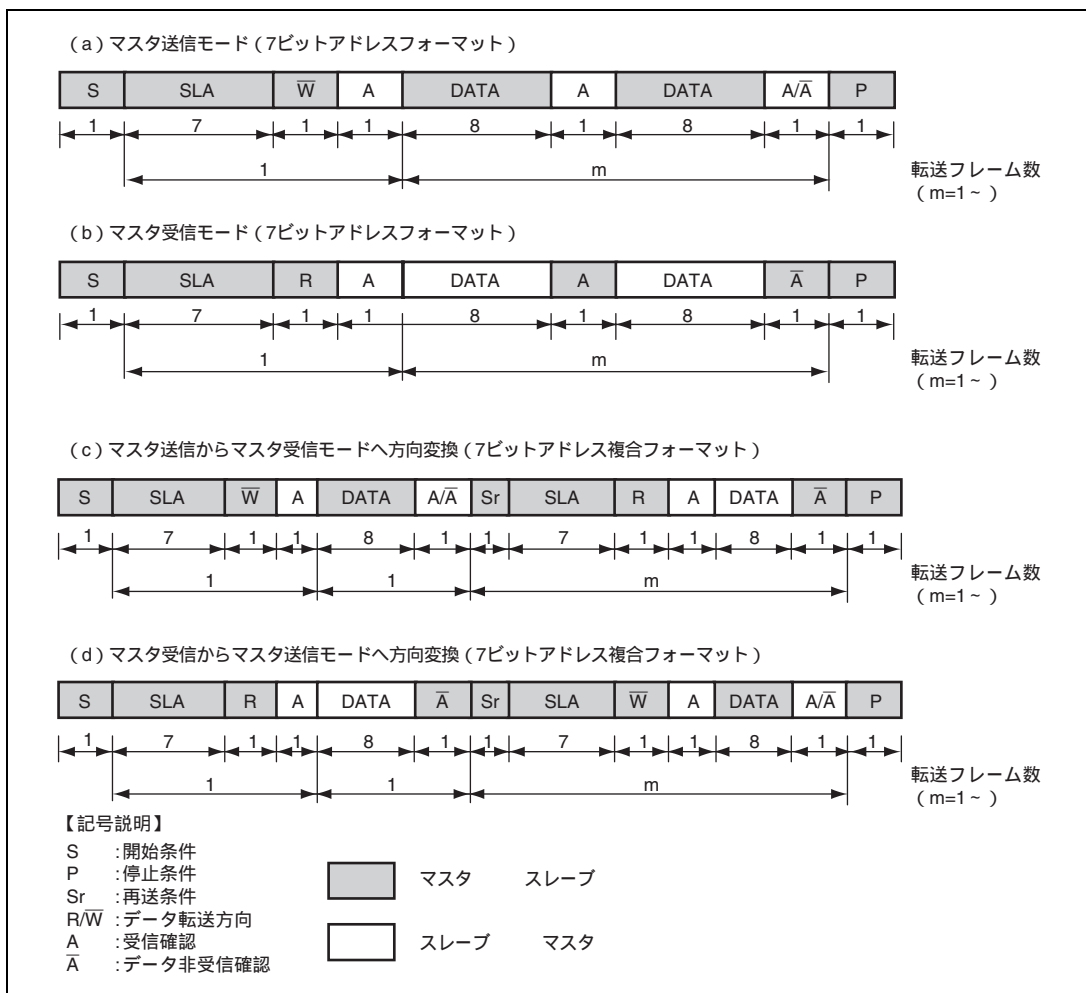
32.4.1 I²C バスデータフォーマット

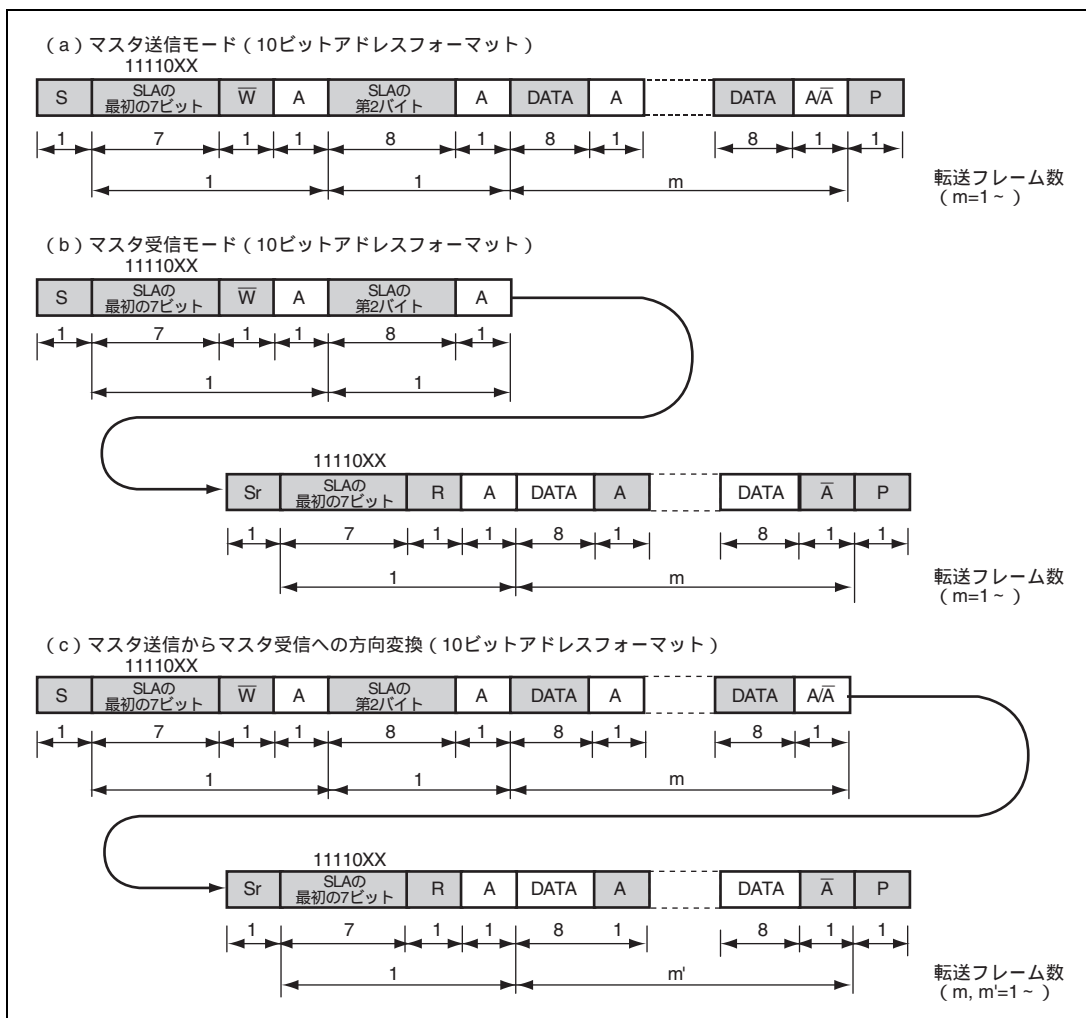
I²C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 32.4、図 32.5 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

図 32.4、図 32.5 の記号説明を表 32.6 に示します。

表 32.6 I²C バスデータフォーマット記号説明

記号	説明
S	開始条件を示します。マスタデバイスが SCL = ハイレベルの状態 で SDA をハイレベルからローレベルに変化させます。
Sr	再送条件を示します。マスタデバイスが SCL = ハイレベルの状態 で SDA をハイレベルからローレベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信 / 受信の方向を示します。R/W ビットが 1 の場合、スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アクノリッジを示します。受信デバイスが SDA をローレベルにします (マスタ送信モード時は受信デバイスが、マスタ受信モード時はマスタがアクノリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は 8 ビットです。
P	停止条件を示します。マスタデバイスが SCL = ハイレベルの状態 で SDA をローレベルからハイレベルに変化させます。

図 32.4 I²C バスデータフォーマット (7ビットアドレスフォーマット)

図 32.5 I²C バスデータフォーマット (10ビットアドレスフォーマット)

32.4.2 マスタ送信動作

I²C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、受信デバイスがデータ受信後、アクノリッジを返します。以下に送信手順と動作を示します。

1. ICCL、ICCHおよびICICを動作モードにあわせて設定します。
2. レジスタにH'94を書き込み、開始条件を発行します。開始条件が生成されるとDTEビットが1にセットされます。
3. 送信を行う場合は、ICDRにデータを書き込みます。ICDRにデータを書き込むとDTEビットは自動的にクリアされ、内部送信バッファまでデータが送られるとデータ送信を開始します。内部送信バッファまでデータが送られるとDTEビットは再び1にセットされます。
4. 停止条件を発行、生成する場合は、ICDRに最終データを書き込み後、ICCRにH'90を書き込みます。停止条件を発行後、停止条件生成までの間、DTEは1にセットされません。最終データを送信後に停止条件を生成して停止します。

ICDR書き込みとICCR書き込みが遅延し、ACKビットをまたいで処理した場合、停止条件生成前にDTE割り込みが発生します。そのため、ICCRレジスタにH'90を書き込み後にDTE割り込みを禁止設定するか、ACKビット生成前にICDR書き込みとICCR書き込みを行ってください。

なお、WAIT割り込みが発生してから、WAIT割り込みの要因をクリアするまでにICDR書き込みとICCR書き込みを行うことで、ACKビット生成前にICDR書き込みとICCR書き込みを行うことが可能です。

5. 再送条件を発行、生成する場合は、ICDRに最終データを書き込み後、ICCRにH'94を書き込みます。再送条件を発行後、再送条件生成までの間、DTEは1にセットされません。最終データを送信後に再送条件を生成します。

ICDR書き込みとICCR書き込みが遅延し、ACKビットをまたいで処理した場合、再送条件生成前にDTE割り込みが発生し、ソフト側で正常に通信するための制御ができなくなります。そのため、ACKビット生成前にICDR書き込みとICCR書き込みを行ってください。

なお、WAIT割り込みが発生してから、WAIT割り込みの要因をクリアするまでにICDR書き込みとICCR書き込みを行うことで、ACKビット生成前にICDR書き込みとICCR書き込みを行うことが可能です。

6. 送信から受信に変更する場合は、ICDRに最終データを書き込み後、ICCRにH'81を書き込みます。最終データを送信後に送信から受信に自動変更し受信動作を開始します。

3.を繰り返し行うことにより、データを順次送信することができます。

非アクノリッジ検出時には受信したアクノリッジビットが1のとき (TACK=1 のとき)、非アクノリッジ割り込みが発生します。非アクノリッジを検出せずにデータを連続転送する場合は、ICICのTACKビットを0に設定して3.および4.~6.を行います。このとき非アクノリッジ検出は行いませんので連続的にデータを送信することができます。

また、送信から受信に変更する場合は、最終データ送信完了までにICCRへH'81を書き込んでください。このときICCRへの書き込みが遅れる場合は、WAIT割り込みを使用して最終データ送信完了までにICCRに書き込むようにしてください。

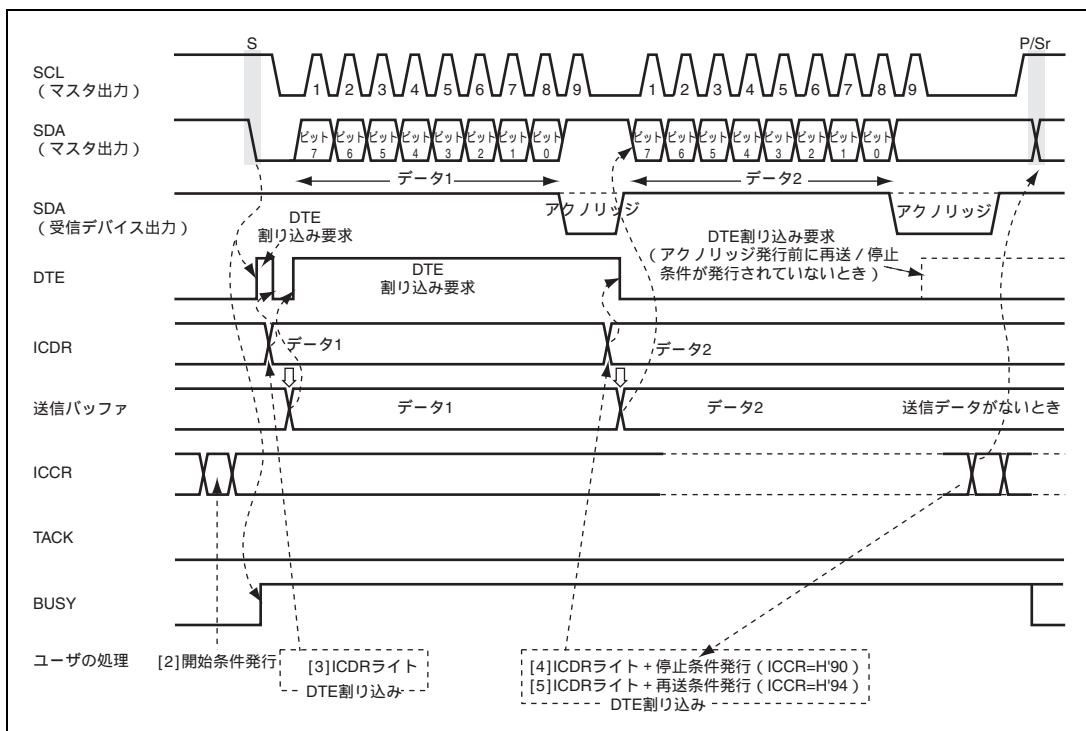


図 32.6 マスタ送信モード動作タイミング例 (WAIT = 0 のとき)

32.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、送信デバイスがデータを送信した後マスタデバイスがアクノリッジを返します。以下にマスタ受信モードの受信手順と動作を示します。

(1) 2 バイト以上の連続データを受信する場合

1. 送信から受信に自動変更し受信を開始します。
2. 受信バッファにデータを受信後、ICDRにデータを転送しDTEビットが1にセットされます。このとき、次のデータ受信を開始します。
3. 続けてデータを受信する場合は、ICDRからデータを読み出します。ICDRからデータを読み出すとDTEビットは自動的にクリアされます。
4. 停止条件を発行、生成する場合は、ICDRからデータ読み出し後、ICCRにH'90を書き込みます。そして停止条件を発行後に最終データを受信完了し、ICDRからデータ読み出し後に停止条件を生成して停止します。
5. 再送条件を発行、生成する場合は、ICDRからデータ読み出し後、ICCRにH'D4を書き込みます。そして再送条件を発行後に最終データを受信完了し、ICDRからデータ読み出し後に再送条件を生成します。再送条件を生成すると受信から送信に自動変更し送信より開始します。

「2.」、「3.」を繰り返し行うことにより、連続的に2バイト以上のデータを受信することができます。

2バイト以上の連続データを受信する場合、受信中再送、停止条件生成のためにICDRレジスタから最終データ1つ前のデータ読み出しとICCRレジスタにH'D4、H'C0の書き込みを行います。

最終データ1つ前のICDR読み出しとICCR書き込みが遅延し、最終データ受信時のNACKビット生成までにICDR読み出しとICCR書き込み処理が終わらない場合、最終データ受信時にACKビットを生成してしまうため、IICの通信プロトコルが守れなくなります。そのため、最終データ受信時のNACKビット生成までにICDR読み出しとICCR書き込みを行ってください。

なお、WAIT割り込みが発生してから、WAIT割り込みの要因をクリアするまでに最終データ一つ前のICDR読み出しとICCR書き込みを行うことで、最終データ受信時にNACKビットが生成されます。

(2) 1バイトのみデータを受信する場合

1バイトのみデータを受信する場合は、WAIT割り込みを使用してICCRに停止条件/再送条件を発行してください。

1. 送信から受信に自動変更し受信を開始します。
2. WAIT割り込みが1にセットされます。このとき、停止条件を発行、生成する場合はICCRにH'C0を書き込みます。再送条件を発行、生成する場合はICCRにH'D4を書き込みます。
3. WAIT割り込みを0にクリアします。
4. 受信バッファにデータを受信後、ICDRにデータを転送しDTEビットが1にセットされます。
5. ICDRからデータ読み出し後、ICCRに停止条件を発行していた場合は、停止条件を生成して停止します。ICCRに再送条件を発行していた場合は、再送条件を生成します。再送条件を生成すると受信から送信に自動変更し送信より開始します。

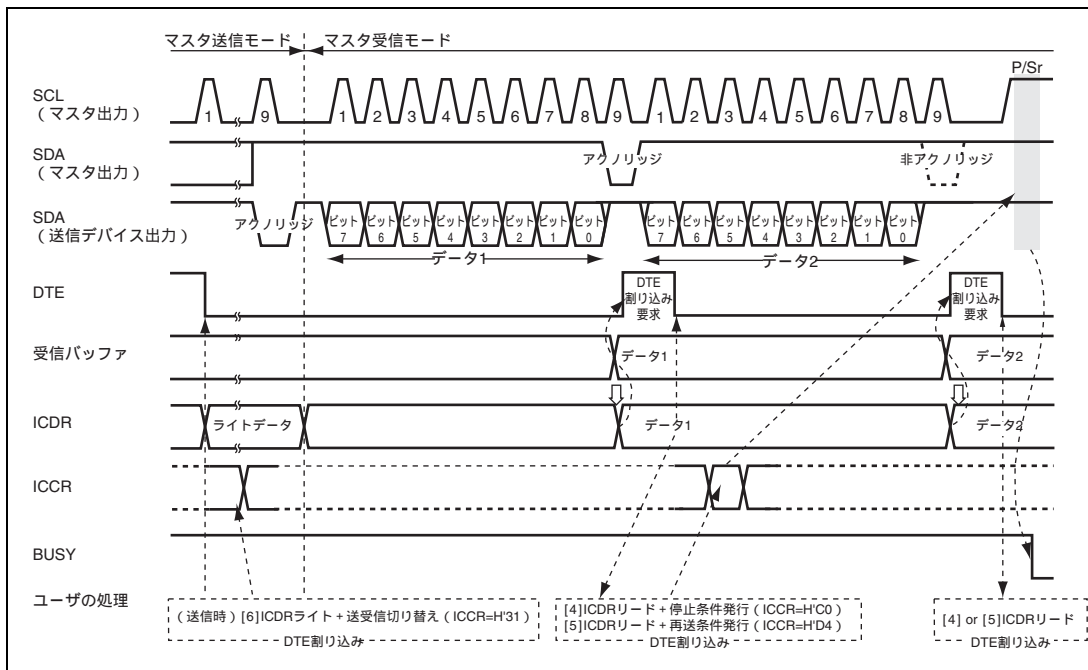
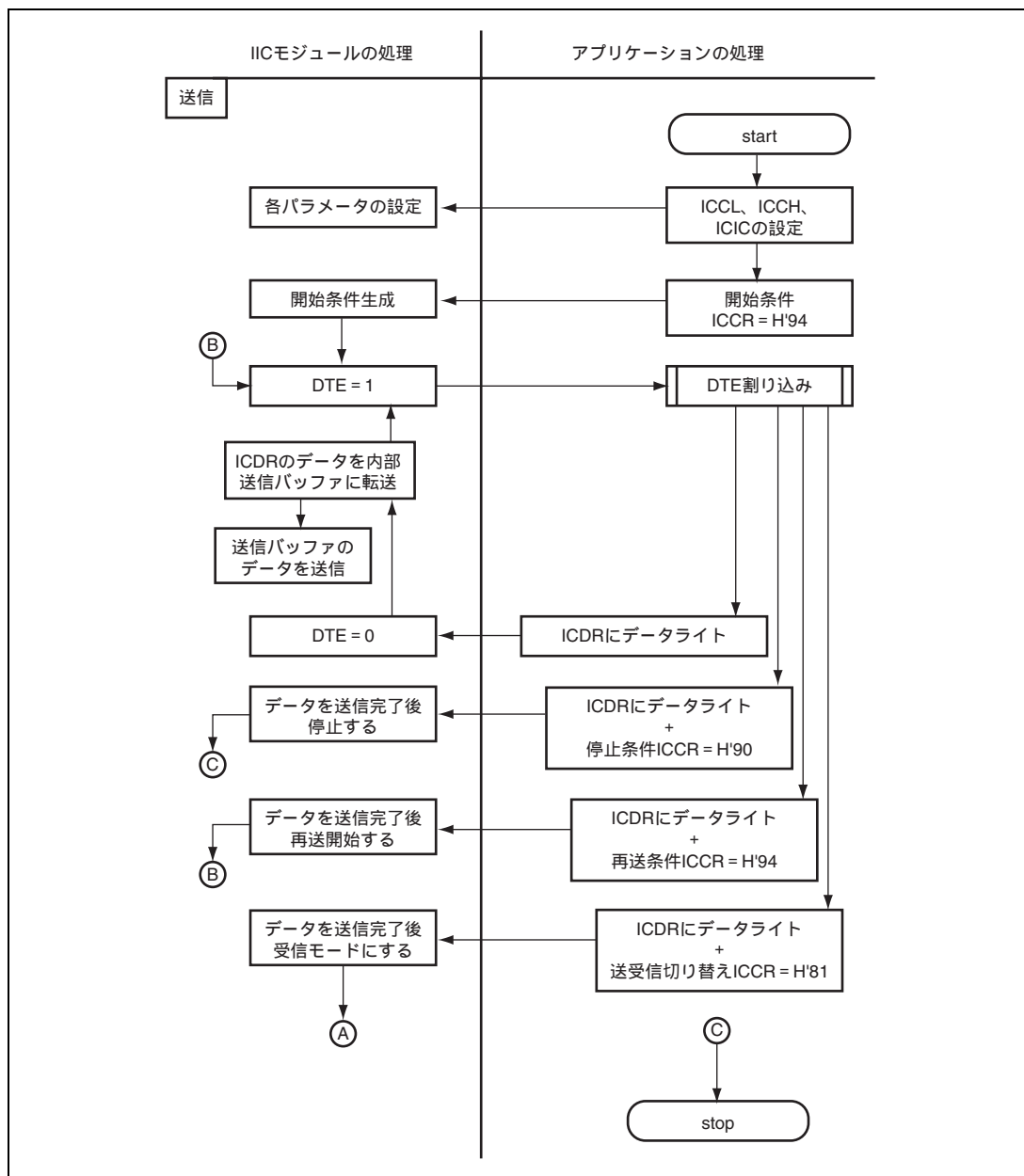
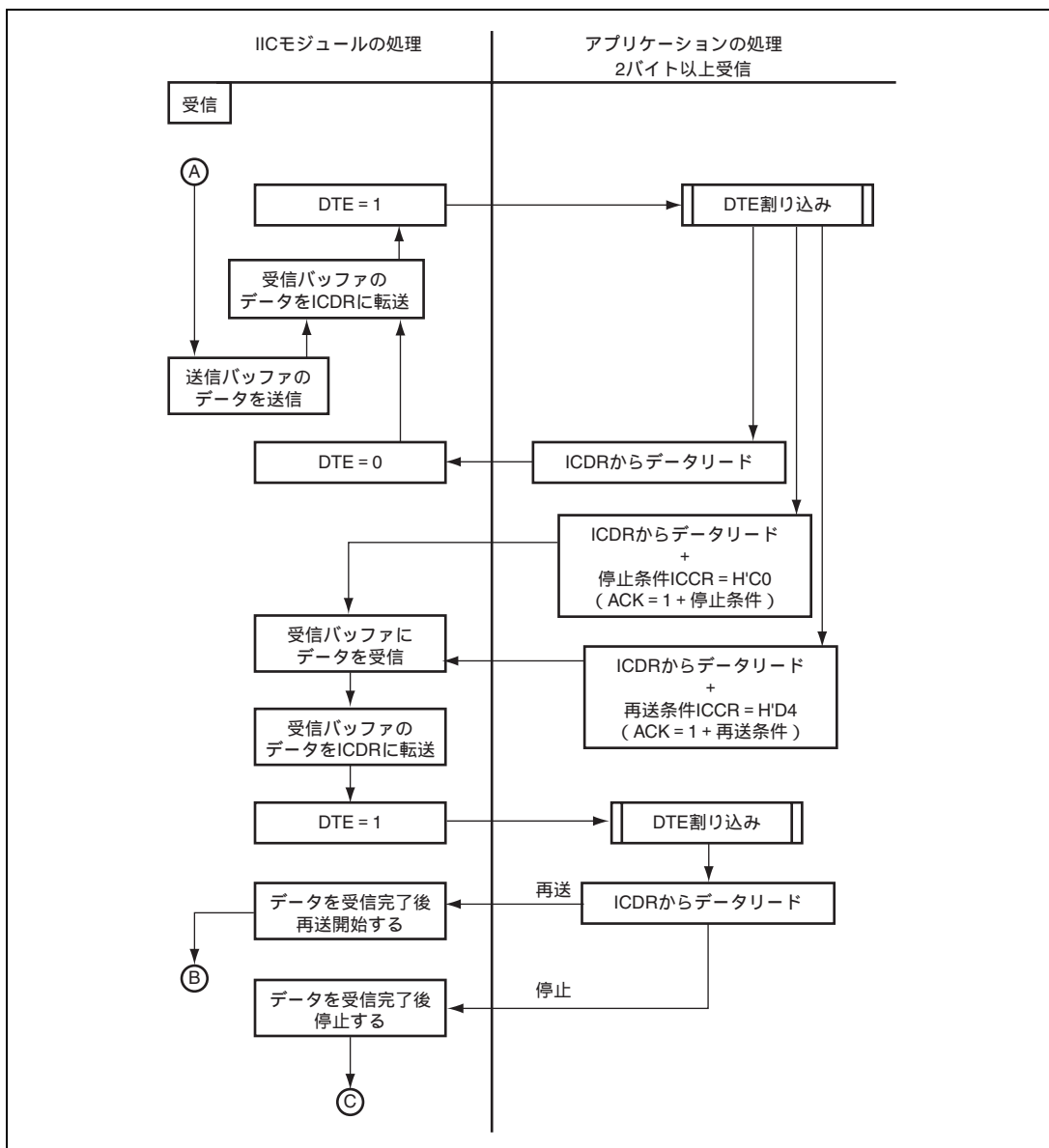
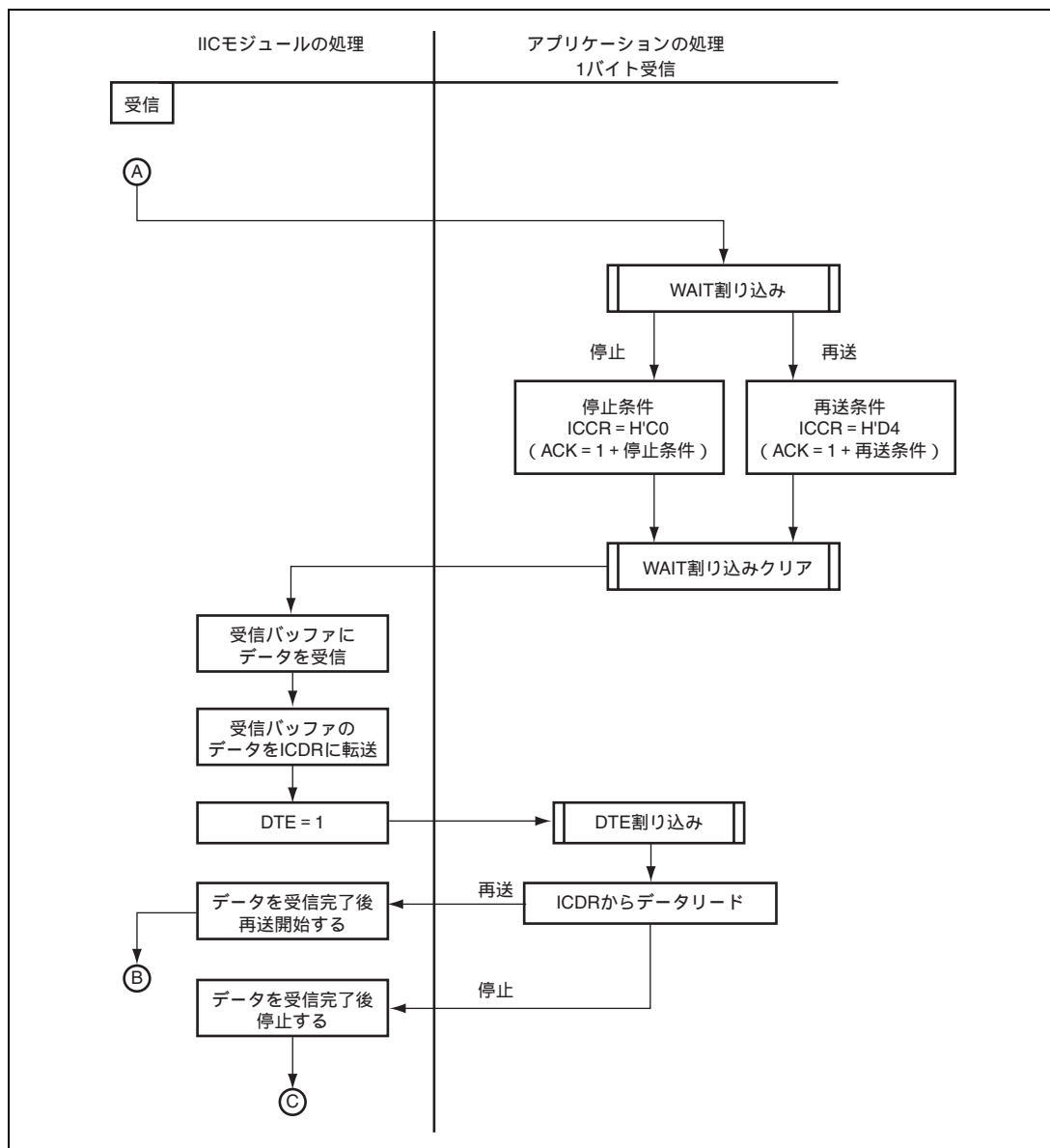


図 32.7 マスタ受信モード動作タイミング例 (WAIT = 0 のとき)

図 32.8 I²C 転送シーケンス (送信時)

図 32.9 I²C 転送シーケンス (2 バイト以上受信時)

図 32.10 I²C 転送シーケンス (1バイト受信時)

32.4.4 SCL ラインの同期化

SCL ラインがハイからローの状態に変化すると、関連するデバイスはロー期間のカウントを開始します。あるデバイスのクロックがローになると、そのデバイスは自分のクロックがハイの状態になるまで SCL ラインをローに保持します (図 32.11 を参照)。しかし、このデバイスのクロックがローからハイに変化しても他のデバイスのクロックがまだロー期間内にある場合、SCL ラインの状態は変化しません。したがって、SCL ラインのロー期間は、ロー期間の最も長いデバイスによって決定されることになります。この間、ロー期間の短いデバイスは、ハイのまま待ち状態になります。

すべてのデバイスがロー期間を終了すると、クロックラインが解放されて、ハイ状態になります。これでデバイスのクロックと SCL ラインが同じ状態になり、どちらもハイ期間のカウントを開始します。SCL ラインは、ハイ期間を最初に終了したデバイスによって再びロー状態にされます。

このように、ロー期間の最も長いデバイスによってロー期間が、ハイ期間の最も短いデバイスによってハイ期間がそれぞれ決定され、SCL ラインの同期がとられます。

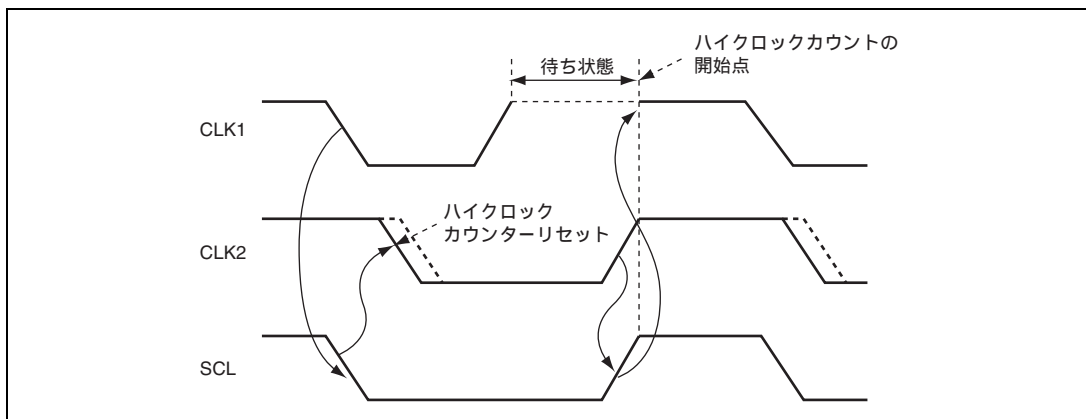


図 32.11 SCL ラインの同期化

32.4.5 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 32.12 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 3 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が P でサンプリングされ、(A)、(B) の出力が一致したとき、はじめて後段へのレベルを伝えます。一致しない場合は前のレベルを保持します。

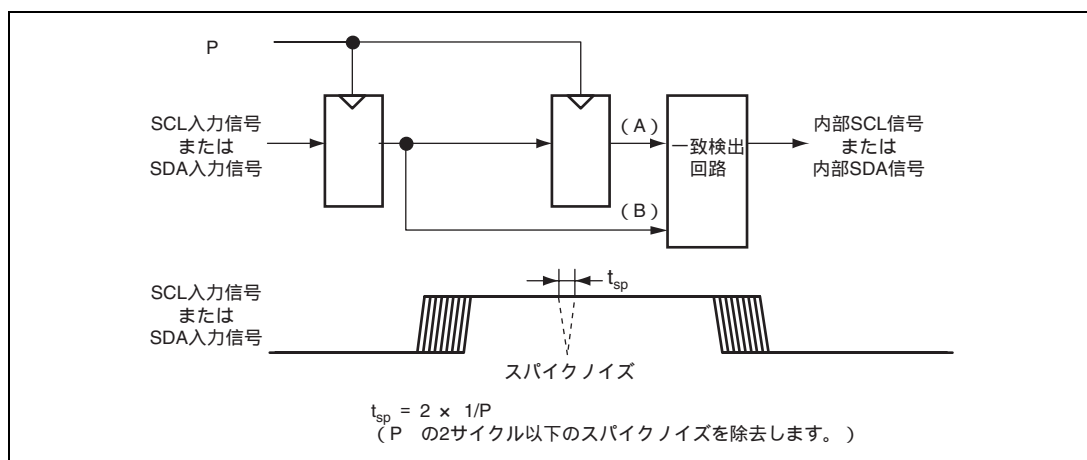


図 32.12 ノイズ除去回路のブロック図

32.4.6 アービトレーションロスト動作

本モジュールは、バス競合負けした場合、アービトレーションロスト割り込み要求を発行できます。割り込み発生条件は以下の 4 項目です。

- マスタ送受信モードで、SCL クロックがハイカウント中に受信データが変化したとき
- SCL クロックがハイカウント中に SCL ラインがローレベルになったとき
- 本モジュールが開始条件を発行する前に開始条件を検出したとき
- モニタした SDA (外部) と本モジュールが出力したデータが不一致であったとき

上記の条件で ICSR の AL ビットが 1 にセットされ、アービトレーションロスト割り込みが発生します。

データ転送中にアービトレーションロストを検出すると SDA ラインは直ちに解放します。SCL クロックラインはそのフレームのアクノリッジ終了までクロックを出力した後、バスを解放します。図 32.13 にアービトレーションロスト割り込み動作タイミング例を示します。

また、割り込みを解除する場合は、ICSR の AL ビットを 0 クリアします。

0 クリアするための条件は以下の 2 項目です。

- DTE = 1 のとき ICDR にデータを書き込み (送信時)、データを読み出し (受信時) したとき
- 0 を書き込んだとき

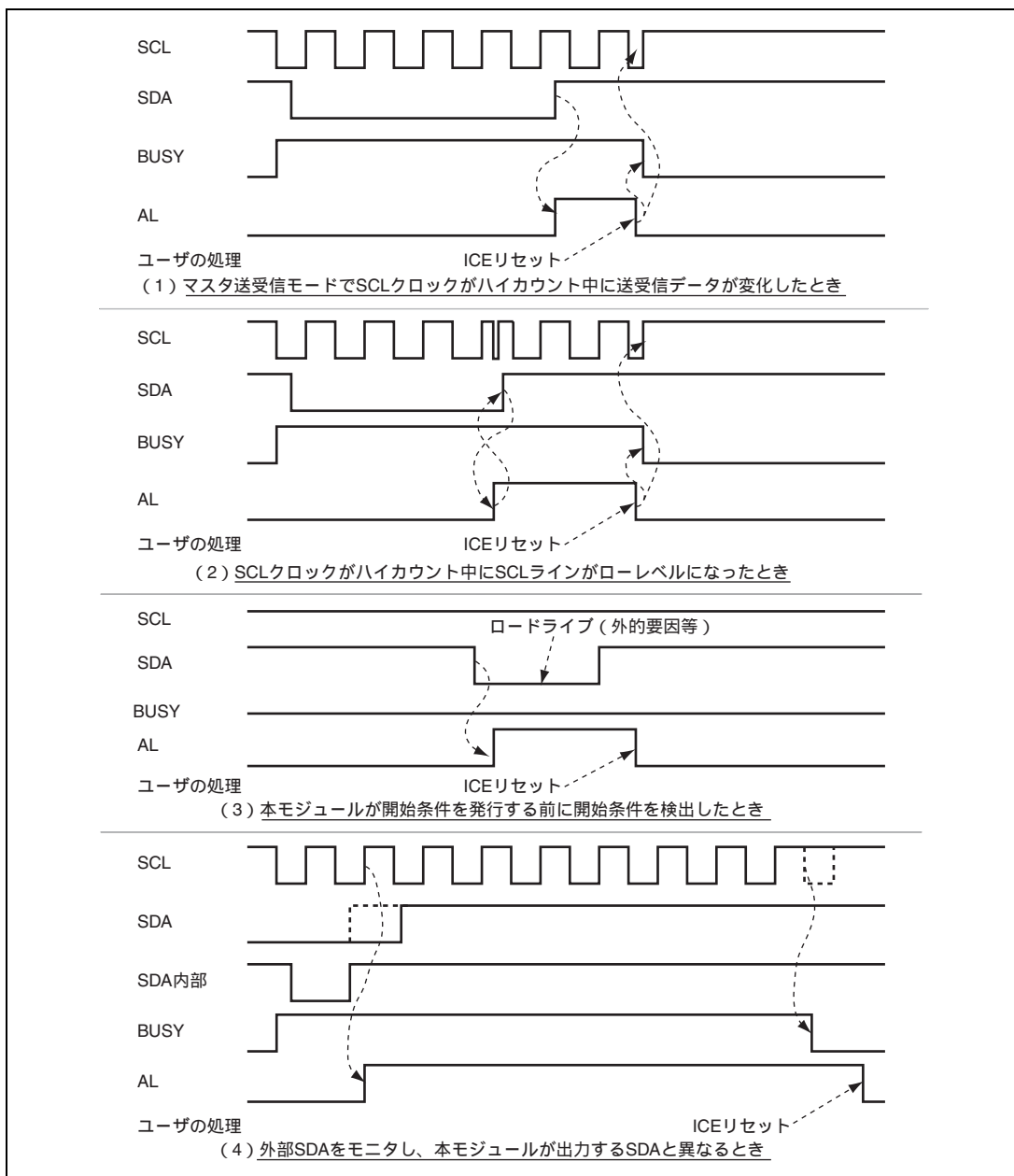


図 32.13 アービトレーションロスト割り込み動作タイミング例

32.4.7 非アクノリッジ動作

本モジュールは送信時、受信デバイスからアクノリッジがなかった（非アクノリッジ）場合に非アクノリッジ割り込みを発行できます。受信デバイスからのアクノリッジビットは ICSR の TACK ビットに格納され、ICIC の TACKE = 1 のときに TACK ビットが 1 にセットされると非アクノリッジ割り込みが発行されます。

また、この非アクノリッジ割り込みを解除する場合は TACK ビットを 0 クリアします。

図 32.14 に非アクノリッジ動作タイミング例を示します。

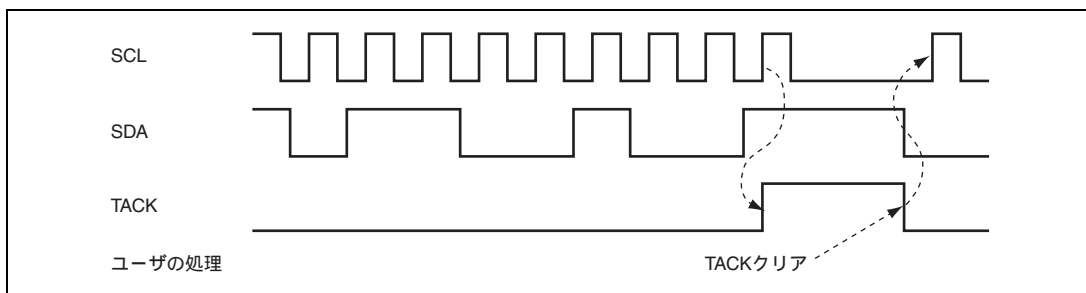


図 32.14 非アクノリッジ動作タイミング例

32.4.8 ウェイト動作

本モジュールは、ICSR の WAIT により動作モードをウェイト状態にすることができます。

マスタデバイスで送信クロックの 8 クロック目で立ち下がり時、WAIT = 1 にセットされます。

その後、送信クロックは WAIT が 0 クリアされるまでローレベルに固定します。

WAIT が 0 クリアされると送信クロックは 9 クロック目を生成し、ウェイト状態から復帰します。

WAIT 割り込みを使用して IIC の通信処理を行う場合、WAIT 状態をハード的に検知してからソフト処理によって WAIT 割り込みの要因がクリアされるまで IIC の信号は WAIT 状態で停滞します。DTE 割り込みのみで通信処理を行った場合は WAIT 状態で停滞することはないので、WAIT 割り込みを使用した場合は IIC の信号が WAIT 状態で停滞している分だけ通信が遅れます。

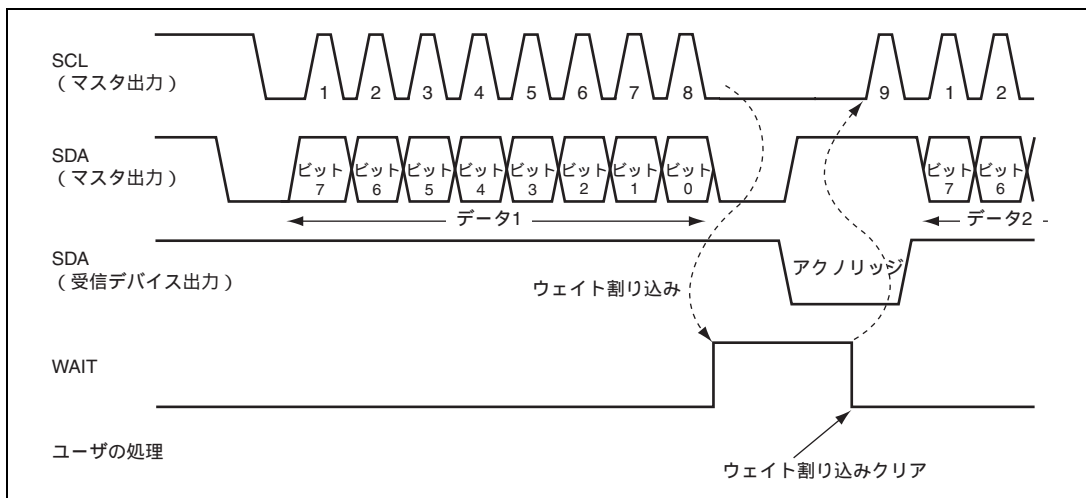


図 32.15 ウェイト動作タイミング例

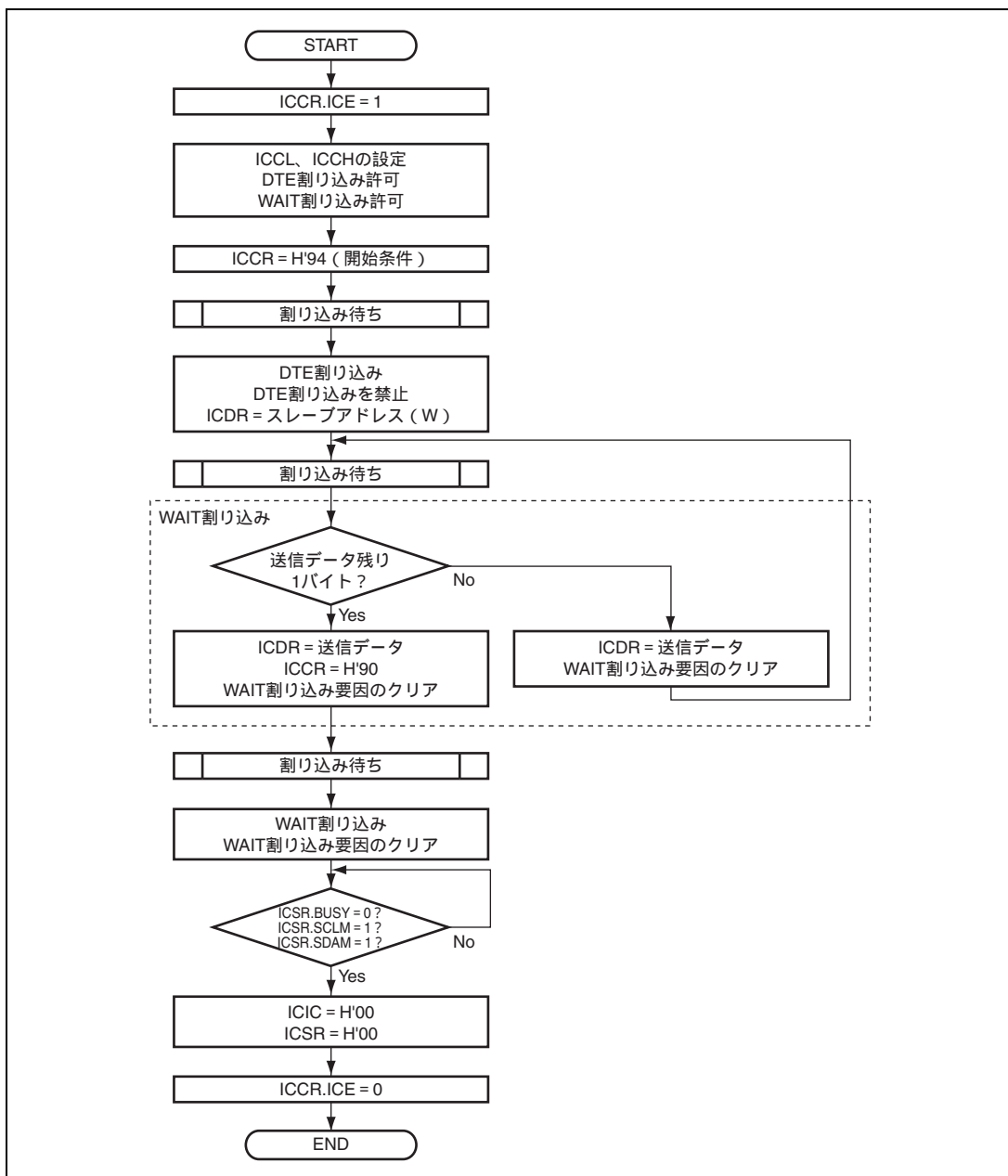


図 32.16 ウェイト使用時の送信ソフトフロー例

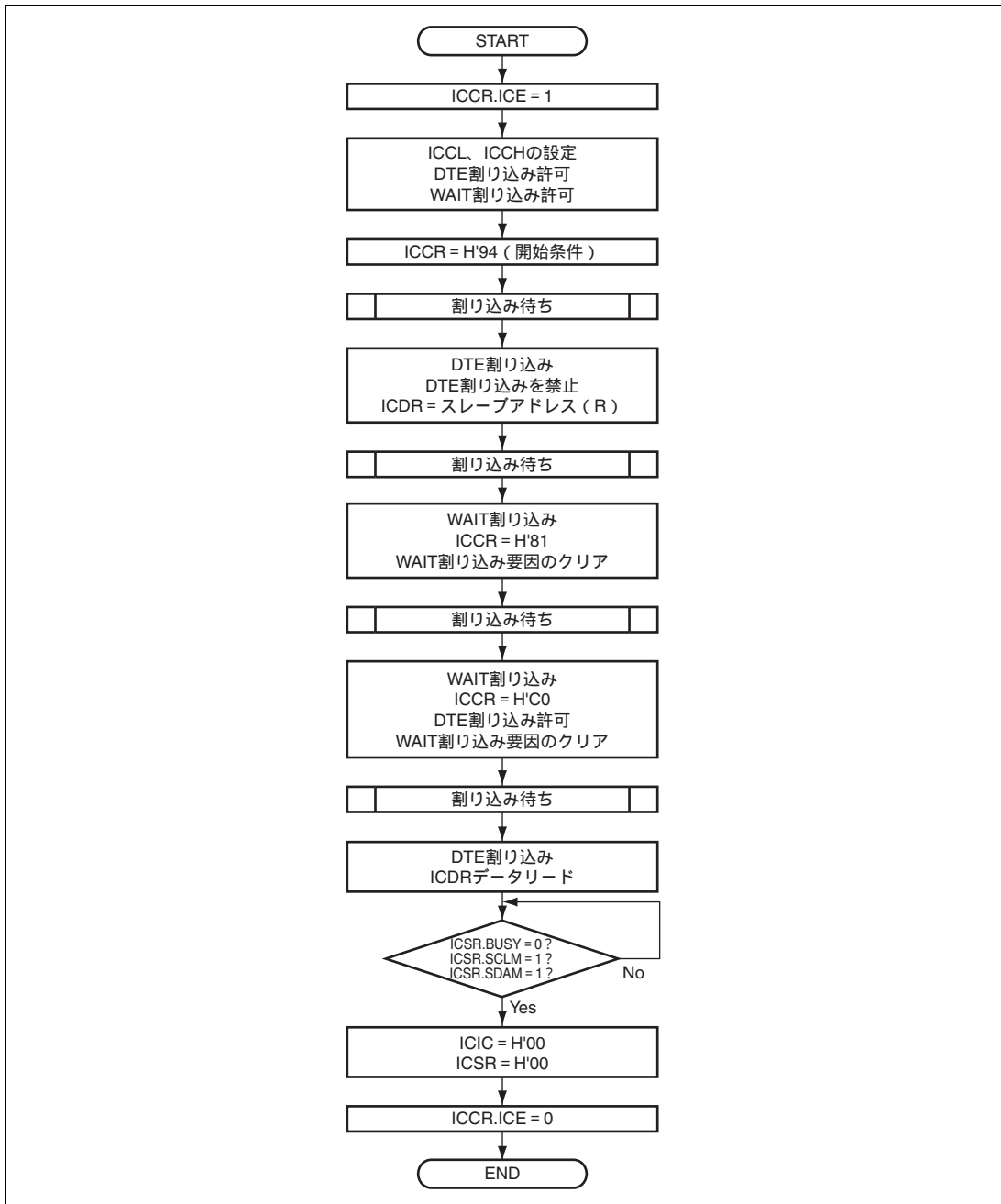


図 32.17 ウェイト使用時の 1 バイトリードソフトフロー例

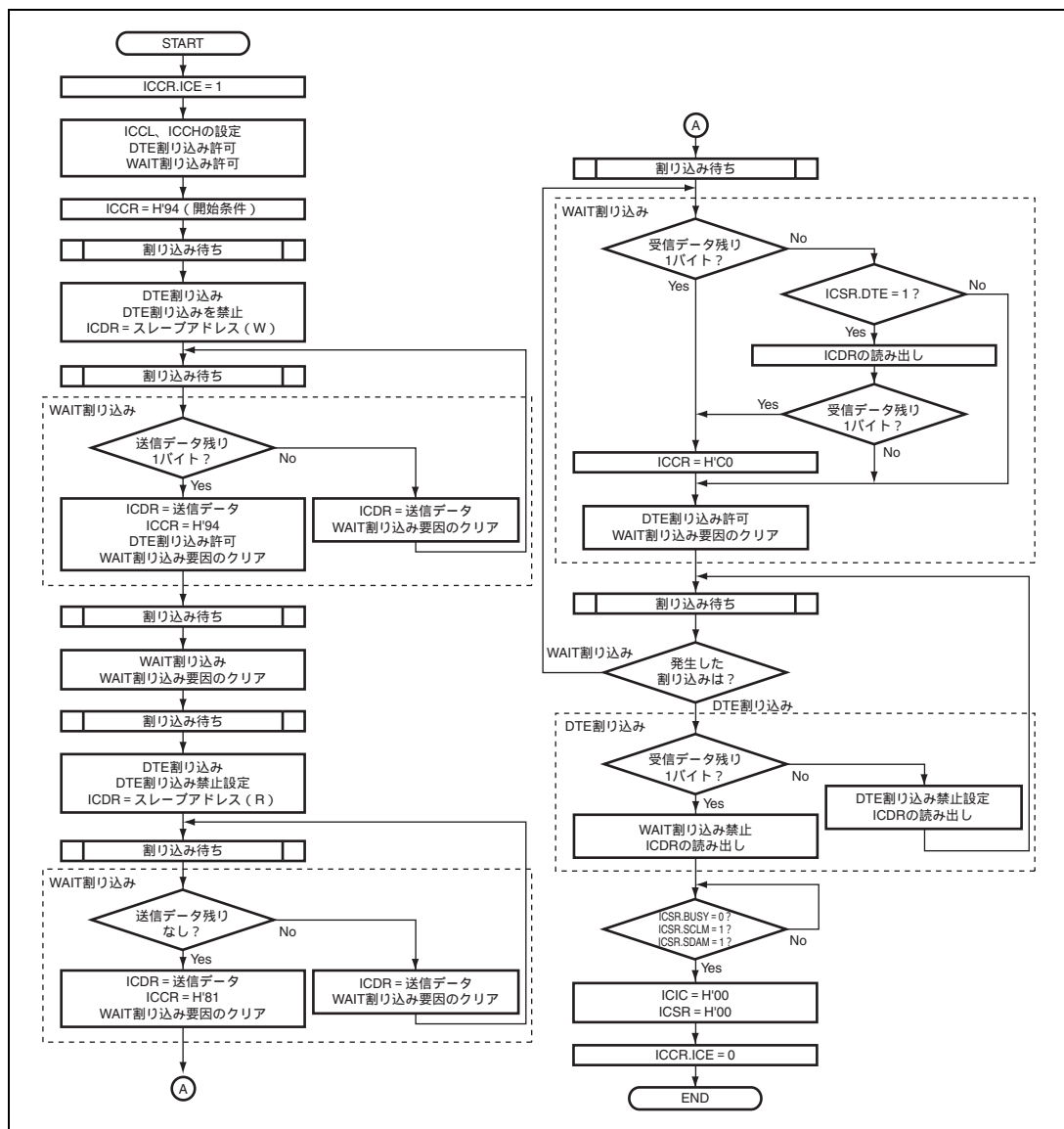


図 32.18 ウェイト使用時の n バイトライト / n バイトリードソフトフロー例

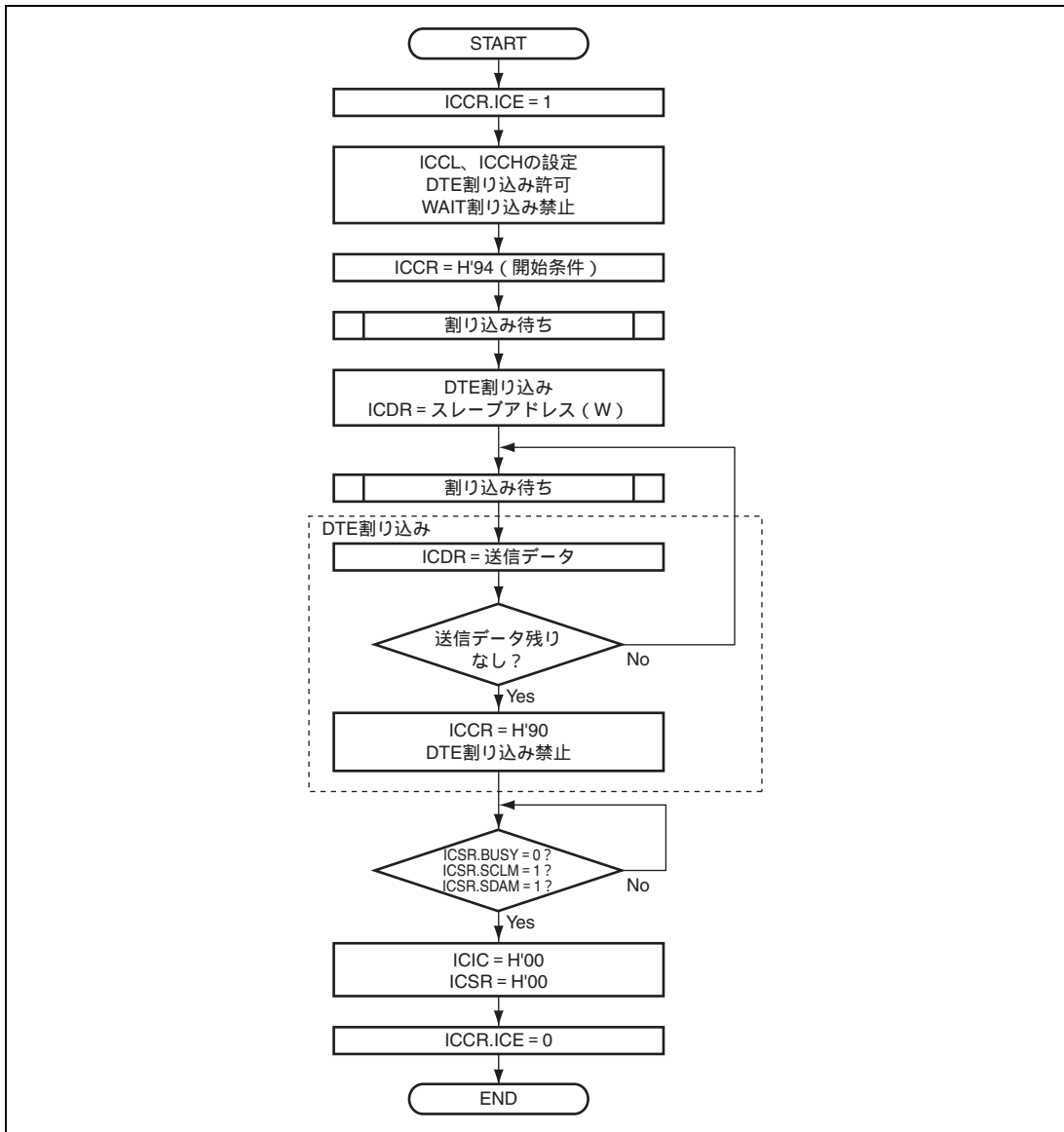


図 32.19 送信のソフトフロー例 (WAIT = 0)

32.5 使用上の注意事項

(1) アービトレーションロスト

アービトレーションロストを検出したときに、スレーブデバイスの状態によってはバスが解放できない場合があります。

アービトレーションロストから復帰し再度通信を行う場合は、完全に内部を初期化するために、ICCR の ICE ビットによる初期化を行う必要があります。

(2) ICE リセット

データ転送中に ICE リセットを行ったとき、即時に SCL クロックが停止するためスレーブデバイスの状態によってはバスが解放できない場合があります。

(3) 停止条件生成時の処理

停止条件を発行、生成後に送受信を行うと、停止条件を生成できなくなる場合がありますので、停止条件生成後もしくは同条件での次送受信開始設定前に ICCR の ICE ビットによる初期化を行ってください。

(4) I²C 未使用時の処理

I²C バスインタフェースを使用していない場合、使用しないチャンネルは ICCR の ICE ビットを 0 にしてディセーブルにしてください。

本章は、守秘契約を結んでいただいたうえで公開致します。
詳細は、弊社の営業担当にご確認ください。

33. ビデオプロセッシングユニット (VPU)

ビデオプロセッシングユニット (VPU) は、

- VC-1 (SMPTE 412M-2006) 規格に準拠したビットストリームの復号 (デコード)
- MPEG-4 (ISO/IEC 14496) 規格に準拠したビットストリームの符号化 (エンコード) および復号 (デコード) を実現します。

VPU は、MPEG-4 ビデオ規格のうち、シンプルプロファイル (MPEG-4SP)、アドバンストシンプルプロファイル (MPEG-4ASP)、ショートヘッダ、AVC ベースラインプロファイル、および VC-1 シンプルプロファイル、メインプロファイル (VC-1) をサポートします。

本章では、シンプルプロファイル、アドバンストシンプルプロファイル、およびショートヘッダを MPEG-4、AVC ベースラインプロファイルを AVC、VC-1 シンプルプロファイル、メインプロファイルを VC-1 で表します。

33.1 特長

VPU には、以下の特長があります。

- DTME (Dynamic Timeslot Method)

バス状態に応じて動的に処理パイプラインのスロットの長さを変化させます。たとえば、バストラフィックが大きい場合にもスロットの処理時間を最適に保つことが可能です。

- MPEG-4、AVCのVOPエンコード

メモリ上にある画像を、MPEG-4ではVOP (Video Object Plane) 単位、AVCではスライス単位でエンコード処理を行い、ビットストリームを生成します。MPEG-4ではB-VOPエンコード (両方向探索)、AVCではマルチリファレンスエンコード (2面) をサポートします。AVCエンコードの場合、最小8×8ブロック単位で1/4画素精度の探索をサポートします。

ARME (Adaptive Realtime Motion Estimation) : 探索範囲、探索回数を増やし、動き予測の品質を上げることができます (MPEG-4、AVC共通)。

POI (Predict from Original Image) : 実時間探索可能なイントラ予測モードをサポートします (AVC)。

ASP (Active Skip Prediction) : スキップマクロブロックの発生量を増やすよう探索を制御することで、低ビットレート時の画質を向上させます (AVC)。

CWQ (Custom Weighted Quantization) : 符号対象画像面内の発生符号量をマクロブロック (MB) 単位で調整可能です。たとえば、肖像画のような画像の符号化の場合、画像の中心部に符号を多く割り当てることにより詳細な表現が可能となります。

- MPEG-4、AVC、VC-1のデコード
メモリ上にあるビットストリームを読み出し、MPEG-4ではVOP単位、AVCではスライス単位、VC-1ではピクチャ単位のデコード処理を行います。
エラー発生時に、エラー部分およびエラーブロック境界を目立たなくさせるため、複数のコンシールモードをサポートします。
- デブロッキングフィルタ
デコード画像あるいはエンコードのローカルデコード画像に対し、デブロッキングフィルタをかけた画像を別に出力可能です。
- MPEG-4におけるビデオヘッダサーチ
メモリ上にあるビットストリームを読み出し、次のスタートコードを検出します。

34. キャプチャエンジンユニット (CEU)

キャプチャエンジンユニット (CEU) は、外部から入力される画像データを取り込み、メモリに転送するキャプチャモジュールです。CEU は、バスブリッジモジュールを経由してシステムバスに接続します。

本 LSI は、CEU を 2 セット内蔵しており、それぞれ CEU0、CEU1 と表記します。

34.1 特長

CEU は、以下の機能を持ちます。

(1) 画像データ取り込み

- 外部モジュールからの画像をキャプチャし、YCbCrデータをYデータとCbCrデータに分けてメモリに書き込みます。
- カメラモジュール等の外部接続モジュールからJPEGデータ、RGB565等のYCbCrデータ以外の画像データを取り込み、順次メモリに書き込みます。
- インターレース入力画像を、両フィールド単位もしくは片フィールド単位で取り込み、メモリに書き込みます。
両フィールド単位のキャプチャでは、フレームイメージでメモリに格納できます。

(2) フィルタ処理

- 内蔵しているフィルタによって、画像の縮小処理および高周波成分除去処理（水平方向のみ）を行います。なお、縮小後の画像サイズはVGA以下に対応します。また、フィルタ処理はYCbCr入力のみに対応します。

(3) 画像情報抽出

- キャプチャ画面の複雑度を抽出し、メモリに書き込みます。MPEG-4のエンコード時に出力された本情報を、シーンチェンジを判定する情報として利用できます。

(4) フォーマット変換

- YCbCr 4:2:2フォーマットで入力された画像データをYCbCr 4:2:0フォーマットに変換して、メモリに書き込みます。なお、変換アルゴリズムは、偶数ラインの色差成分 (CbCr) を間引くのみのも単純間引きです。

34.2 CEU の機能概要

CEU の機能概要を表 34.1 に、主機能とその詳細を表 34.2 に示します。

表 34.1 CEU の機能概要

分類	項目	実現機能	説明	特記事項
接続可能 カメラ	サイズ	5M 画素	2560 pixel x 1920 line	水平方向 : 4 画素単位 垂直方向 : 4 ライン単位
		3M 画素	2048 pixel x 1536 line	
		2M 画素	1632 pixel x 1224 line	
		UXGA	1600 pixel x 1200 line	
		SXGA(1)	1280 pixel x 1024 line	
		SXGA(2)	1280 pixel x 960 line	
		XGA	1024 pixel x 768 line	
		SVGA	800 pixel x 600 line	
		VGA	640 pixel x 480 line	
		CIF	352 pixel x 288 line	
		QVGA	320 pixel x 240 line	
		QCIF	176 pixel x 144 line	
		QQVGA	160 pixel x 120 line	
		Sub-QCIF	128 pixel x 96 line	
入力 フォーマット	YCbCr 4:2:2 8 ビット	Y ₀ 、Y ₀ 、Cr ₀ 、Y ₁ ...	クロック比 1:1 に対応	
		Cr ₀ 、Y ₀ 、Cb ₀ 、Y ₁ ...		
		Y ₀ 、Cb ₀ 、Y ₁ 、Cr ₀ ...		
		Y ₀ 、Cr ₀ 、Y ₁ 、Cb ₀ ...		
	YCbCr 4:2:2 16 ビット	{Y ₀ 、Cb ₀ }、{Y ₁ 、Cr ₀ }...		
		{Y ₀ 、Cr ₀ }、{Y ₁ 、Cb ₀ }...		
バイナリデータ	同期信号のエッジから指定された 容量を取り込み 水平同期信号をイネーブルとして 取り込み	同期信号のエッジから指定された 容量を取り込み 水平同期信号をイネーブルとして 取り込み	順次書き込み	
水平・垂直 同期信号極性	任意	アクティブハイ/アクティブロー		
キャプチャ 開始位置	任意	カメラ入力クロック単位で指定可	水平方向 : 1 サイクル単位 垂直方向 : 1HD (水平同期信号) 単位	
キャプチャ 画素数	任意	水平 4 画素単位、垂直 4 ライン単位 で指定可		

分類	項目	実現機能	説明	特記事項
接続可能 カメラ	インターレース	両フィールド キャプチャ	フィールドイメージで格納 フレームイメージで格納	キャプチャ：2VD (垂直同期 信号) 単位
		片フィールド キャプチャ	トップフィールド / ボトムフィール ド指定可	
メモリ 書き込み	出力 フォーマット	YCbCr 4:2:2 YCbCr 4:2:0	YCbCr 4:2:0 は単純間引き	
フィルタ機能	等倍、縮小	キャプチャ画面 の縮小	1/16 ~ 1 の任意倍率 (縮小後の画面 は VGA 以下)	
	ローパスフィルタ		高周波成分の除去	水平方向のみ適応可
画面情報抽出	複雑度	キャプチャ画面 の複雑度を抽出	画素値のパラツキの程度を表す	MPEG-4 に利用 16 ライン単位 / 8 ライン単位 / 1 画面単位選択可

表 34.2 CEU の主機能とその詳細

主機能	詳細
画像データ取り込み	<ul style="list-style-type: none"> 外部モジュールからの画像をキャプチャし、YCbCr データを Y データと CbCr データに分けてメモリに書き込みます。 カメラモジュール等の外部接続モジュールから JPEG データ等の YCbCr データ以外の画像データを取り込み、順次メモリに書き込みます。 インターレース入力画像を、両フィールド単位もしくは片フィールド単位で取り込み、メモリに書き込みます。両フィールド単位のキャプチャでは、フレームイメージでメモリに格納できます。
フィルタ処理	<p>内蔵しているフィルタによって、画像の縮小処理および高周波成分除去処理 (水平方向のみ) を行います。</p> <p>なお、縮小後の画像サイズは VGA 以下に対応します。また、フィルタ処理は YCbCr 入力のみに対応します。</p>
画像情報抽出	<p>キャプチャ画面の複雑度を抽出し、メモリに書き込みます。MPEG-4 のエンコード時に出力された本情報を、シーンチェンジを判定する情報として利用できます。</p>
フォーマット変換	<p>YCbCr 4:2:2 フォーマットで入力された画像データを YCbCr 4:2:0 フォーマットに変換して、メモリに書き込みます。</p> <p>なお、変換アルゴリズムは、偶数ラインの色差成分 (CbCr) を間引くのみの単純間引きです。</p>

CEU のブロック図を図 34.1 に示します。

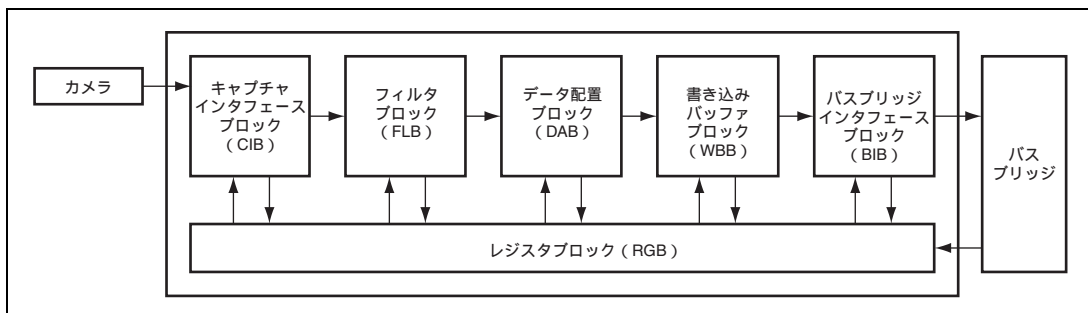


図 34.1 CEU のブロック図

34.3 CEU の端子構成

CEU の端子構成を表 34.3 に示します。

表 34.3 CEU の端子構成

端子名	機能	入出力	説明
VIO0_D7 ~ VIO0_D0	CEU0 用データバス	入力	CEU0 へのカメラ画像データ入力です。
VIO1_D7 ~ VIO1_D0/ VIO0_D15 ~ VIO0_D8*	CEU1 用データバス /CEU0 用上位データバス	入力	CEU1/CEU0 へのカメラ画像データ入力です。
VIO0_CLK、VIO1_CLK	CEU 用クロック	入力	CEU へのカメラクロック入力です。
VIO0_VD、VIO1_VD	CEU 用垂直同期	入力	CEU へのカメラ垂直同期信号入力です。
VIO0_HD、VIO1_HD	CEU 用水平同期	入力	CEU へのカメラ水平同期信号入力です。
VIO0_FLD、VIO1_FLD	フィールド信号	入力	CEU へのフィールド識別信号入力です。
VIO_CKO	カメラ用クロック出力	出力	カメラへのクロック出力です。

【注】 * VIO1_D7 ~ VIO1_D0/VIO0_D15 ~ VIO0_D8 は、いずれか一方を使用できます。
 CEU0 のみ 16 ビットインタフェースをサポートします。CEU0 の上位データバスが CEU1 のデータバスと共用端子のため、16 ビットインタフェース使用時 CEU1 は使用できません。
 端子の切り替え方法は、「第 48 章 ピンファンクションコントローラ (PFC)」を参照してください。
 本文中の記述は、VIO_CLK、VIO_VD、VIO_HD で表します。データバスについて、バス幅による区別が不要な場合は VIO_D と表します。

34.4 CEU レジスタの説明

CEU レジスタ構成を表 34.4 に示します。また、各処理モードにおけるレジスタの状態を表 34.5 に示します。

CEU レジスタは一部を除いて 2 面構成 (A 面、B 面) となっています。CEU は、この 2 面のレジスタを切り替えて使用します。また、2 面あるレジスタの場合、ミラーアドレスとして、常に使用していない面のレジスタにアクセスできるアドレスも用意してあります。レジスタ面切り替えタイミングを図 34.2 に示します。CEU は、VD 割り込みがアサートされると同時にレジスタ面を切り替えます。

レジスタ説明において、「動作中」とは、キャプチャ開始レジスタ (CAPSR) の CE ビットによる起動から、キャプチャイベントクリアレジスタ (CETCR) のキャプチャ終了割り込み CPE ビットが発生するまでの期間を意味します。また、各レジスタにおいて、読み出し専用指定のビットには、絶対に 0 以外の値を書き込まないでください。0 以外を書き込んだ場合の動作は保証しません。

表 34.4 CEU のレジスタ構成

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラー アドレス	
CEU0 キャプチャ開始レジスタ	CAPSR_0	R/W	H'FE91 0000	-	-	32
CEU0 キャプチャ制御レジスタ	CAPCR_0	R/W	H'FE91 0004	-	-	32
CEU0 キャプチャインタフェース制御レジスタ*	CAMCR_0	R/W	H'FE91 0008	-	-	32
CEU0 キャプチャインタフェースサイクル レジスタ*	CMCYR_0	R/W	H'FE91 000C	-	-	32
CEU0 キャプチャインタフェースオフセットレジ スタ	CAMOR_0	R/W	H'FE91 0010	H'FE91 1010	H'FE91 2010	32
CEU0 キャプチャインタフェース幅レジスタ	CAPWR_0	R/W	H'FE91 0014	H'FE91 1014	H'FE91 2014	32
CEU0 キャプチャインタフェース入力方式 レジスタ	CAIFR_0	R/W	H'FE91 0018	-	-	32
CEU0 レジスタ制御レジスタ	CRCNTR_0	R/W	H'FE91 0028	-	-	32
CEU0 レジスタ強制制御レジスタ	CRCMPR_ 0	R/W	H'FE91 002C	-	-	32
CEU0 キャプチャフィルタ制御レジスタ	CFLCR_0	R/W	H'FE91 0030	H'FE91 1030	H'FE91 2030	32
CEU0 キャプチャフィルタサイズクリップ レジスタ	CFSZR_0	R/W	H'FE91 0034	H'FE91 1034	H'FE91 2034	32
CEU0 キャプチャデステーション幅レジスタ	CDWDR_0	R/W	H'FE91 0038	H'FE91 1038	H'FE91 2038	32
CEU0 キャプチャデータアドレス Y レジスタ	CDAYR_0	R/W	H'FE91 003C	H'FE91 103C	H'FE91 203C	32
CEU0 キャプチャデータアドレス C レジスタ	CDACR_0	R/W	H'FE91 0040	H'FE91 1040	H'FE91 2040	32
CEU0 キャプチャデータボトムフィールド アドレス Y レジスタ	CDBYR_0	R/W	H'FE91 0044	H'FE91 1044	H'FE91 2044	32
CEU0 キャプチャデータボトムフィールド アドレス C レジスタ	CDBCR_0	R/W	H'FE91 0048	H'FE91 1048	H'FE91 2048	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A面)	アドレス (B面)	ミラー アドレス	
CEU0 キャプチャバンドルデスティネーションサイズレジスタ	CBDSR_0	R/W	H'FE91 004C	H'FE91 104C	H'FE91 204C	32
CEU0 ファイアウォール動作制御レジスタ	CFWCR_0	R/W	H'FE91 005C	-	-	32
CEU0 キャプチャローパスフィルタ制御レジスタ	CLFCR_0	R/W	H'FE91 0060	H'FE91 1060	H'FE91 2060	32
CEU0 キャプチャデータ出力制御レジスタ	CDOCR_0	R/W	H'FE91 0064	H'FE91 1064	H'FE91 2064	32
CEU0 キャプチャデータ複雑度レジスタ	CDDCR_0	R/W	H'FE91 0068	H'FE91 1068	H'FE91 2068	32
CEU0 キャプチャデータ複雑度アドレスレジスタ	CDDAR_0	R/W	H'FE91 006C	H'FE91 106C	H'FE91 206C	32
CEU0 キャプチャイベント割り込み許可レジスタ	CEIER_0	R/W	H'FE91 0070	-	-	32
CEU0 キャプチャイベントフラグクリアレジスタ	CETCR_0	R/W	H'FE91 0074	-	-	32
CEU0 キャプチャステータスレジスタ	CSTSR_0	R	H'FE91 007C	-	-	32
CEU0 キャプチャソフトウェアリセットレジスタ	CSRTR_0	R/W	H'FE91 0080	-	-	32
CEU0 キャプチャデータ容量レジスタ	CDSSR_0	R/W	H'FE91 0084	-	-	32
CEU0 キャプチャデータアドレス Y レジスタ 2	CDAYR2_0	R/W	H'FE91 0090	H'FE91 1090	H'FE91 2090	32
CEU0 キャプチャデータアドレス C レジスタ 2	CDACR2_0	R/W	H'FE91 0094	H'FE91 1094	H'FE91 2094	32
CEU0 キャプチャデータボトムフィールド アドレス Y レジスタ 2	CDBYR2_0	R/W	H'FE91 0098	H'FE91 1098	H'FE91 2098	32
CEU0 キャプチャデータボトムフィールド アドレス C レジスタ 2	CDBCR2_0	R/W	H'FE91 009C	H'FE91 109C	H'FE91 209C	32
CEU1 キャプチャ開始レジスタ	CAPSR_1	R/W	H'FE91 4000	-	-	32
CEU1 キャプチャ制御レジスタ	CAPCR_1	R/W	H'FE91 4004	-	-	32
CEU1 キャプチャインタフェース制御レジスタ*	CAMCR_1	R/W	H'FE91 4008	-	-	32
CEU1 キャプチャインタフェースサイクル レジスタ*	CMCYR_1	R/W	H'FE91 400C	-	-	32
CEU1 キャプチャインタフェースオフセットレ ジスタ	CAMOR_1	R/W	H'FE91 4010	H'FE91 5010	H'FE91 6010	32
CEU1 キャプチャインタフェース幅レジスタ	CAPWR_1	R/W	H'FE91 4014	H'FE91 5014	H'FE91 6014	32
CEU1 キャプチャインタフェース入力方式 レジスタ	CAIFR_1	R/W	H'FE91 4018	-	-	32
CEU1 レジスタ制御レジスタ	CRCNTR_1	R/W	H'FE91 4028	-	-	32
CEU1 レジスタ強制制御レジスタ	CRCMPR_1	R/W	H'FE91 402C	-	-	32
CEU1 キャプチャフィルタ制御レジスタ	CFLCR_1	R/W	H'FE91 4030	H'FE91 5030	H'FE91 6030	32
CEU1 キャプチャフィルタサイズクリップ レジスタ	CFSZR_1	R/W	H'FE91 4034	H'FE91 5034	H'FE91 6034	32
CEU1 キャプチャデスティネーション幅レジスタ	CDWDR_1	R/W	H'FE91 4038	H'FE91 5038	H'FE91 6038	32
CEU1 キャプチャデータアドレス Y レジスタ	CDAYR_1	R/W	H'FE91 403C	H'FE91 503C	H'FE91 603C	32
CEU1 キャプチャデータアドレス C レジスタ	CDACR_1	R/W	H'FE91 4040	H'FE91 5040	H'FE91 6040	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A面)	アドレス (B面)	ミラー アドレス	
CEU1 キャプチャデータボトムフィールド アドレス Y レジスタ	CDBYR_1	R/W	H'FE91 4044	H'FE91 5044	H'FE91 6044	32
CEU1 キャプチャデータボトムフィールド アドレス C レジスタ	CDBCR_1	R/W	H'FE91 4048	H'FE91 5048	H'FE91 6048	32
CEU1 キャプチャバンドルデスティネーションサ イズレジスタ	CBDSR_1	R/W	H'FE91 404C	H'FE91 504C	H'FE91 604C	32
CEU1 ファイアウォール動作制御レジスタ	CFWCR_1	R/W	H'FE91 405C	-	-	32
CEU1 キャプチャローパスフィルタ制御レジスタ	CLFCR_1	R/W	H'FE91 4060	H'FE91 5060	H'FE91 6060	32
CEU1 キャプチャデータ出力制御レジスタ	CDOCR_1	R/W	H'FE91 4064	H'FE91 5064	H'FE91 6064	32
CEU1 キャプチャデータ複雑度レジスタ	CDDCR_1	R/W	H'FE91 4068	H'FE91 5068	H'FE91 6068	32
CEU1 キャプチャデータ複雑度アドレスレジスタ	CDDAR_1	R/W	H'FE91 406C	H'FE91 506C	H'FE91 606C	32
CEU1 キャプチャイベント割り込み許可レジスタ	CEIER_1	R/W	H'FE91 4070	-	-	32
CEU1 キャプチャイベントフラグクリアレジスタ	CETCR_1	R/W	H'FE91 4074	-	-	32
CEU1 キャプチャステータスレジスタ	CSTSR_1	R	H'FE91 407C	-	-	32
CEU1 キャプチャソフトウェアリセットレジスタ	CSRTR_1	R/W	H'FE91 4080	-	-	32
CEU1 キャプチャデータ容量レジスタ	CDSR_1	R/W	H'FE91 4084	-	-	32
CEU1 キャプチャデータアドレス Y レジスタ 2	CDAYR2_1	R/W	H'FE91 4090	H'FE91 5090	H'FE91 6090	32
CEU1 キャプチャデータアドレス C レジスタ 2	CDACR2_1	R/W	H'FE91 4094	H'FE91 5094	H'FE91 6094	32
CEU1 キャプチャデータボトムフィールド アドレス Y レジスタ 2	CDBYR2_1	R/W	H'FE91 4098	H'FE91 5098	H'FE91 6098	32
CEU1 キャプチャデータボトムフィールド アドレス C レジスタ 2	CDBCR2_1	R/W	H'FE91 409C	H'FE91 509C	H'FE91 609C	32

【注】 * 外部モジュールの特性により決まるレジスタ (CAMCR、CMCYR) の設定変更後、外部入力クロックで 10 サイクル以上はキャプチャ起動をかけないでください。

表 34.5 CEU の各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
CAPSR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CAPCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CAMCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CMCYR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CAMOR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CAPWR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CAIFR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CRCNTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CRCMPR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CFLCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CFSZR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDWDR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDAYR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDACR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDBYR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDBCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CBDSR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CFWCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CLFCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDOCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDDCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDDAR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CEIER_n	初期化	初期化	保持	保持	初期化	初期化	保持
CETCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CSTSR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CSRTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDSSR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDAYR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDACR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDBYR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
CDBCR2_n	初期化	初期化	保持	保持	初期化	初期化	保持

【注】 nはチャンネル番号(0、1)。以下本文中の記述は、チャンネル番号を省略した形で表します。

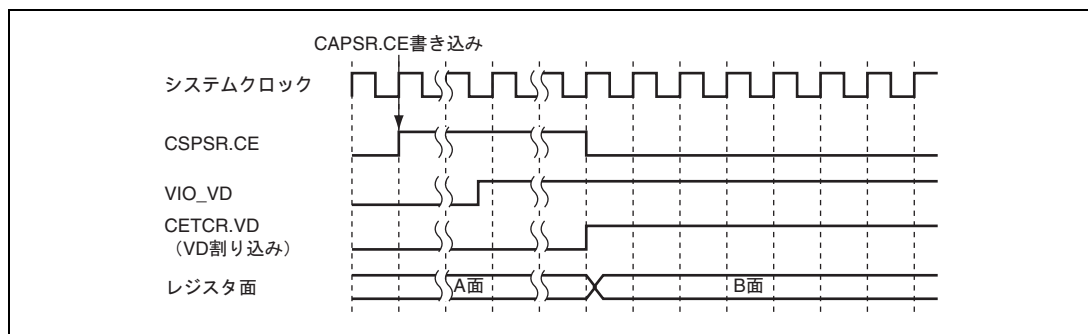


図 34.2 レジスタ面切り替えタイミング (VD 正極性の場合)

34.4.1 キャプチャ開始レジスタ (CAPSR)

CAPSR は、外部モジュールから CEU に入力されるデータのキャプチャを実行させるレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPKIL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
16	CPKIL	0	R/W	<p>キャプチャをソフトウェアリセットする場合は、本ビットに 1 を書き込んでください。フレームの終了までキャプチャ動作を行わないで、即座に終了します。本ビットに 1 を書き込む場合には、CE ビットには必ず 0 を書き込んでください。</p> <p>キャプチャのソフトウェアリセット処理中は、本ビットは 1 を表示します。本ビットが 1 のときは、リセット処理を行っていますので、キャプチャ開始をかけないようにしてください。再度、キャプチャを開始する場合は、CSTSR の CPTON ビットを参照し、CEU が停止 (アイドル) 状態になっていることを確認してください。その後、本ビットが 0 になるのを待ってからキャプチャを開始してください。キャプチャ再起動のタイミングを図 34.6 に示します。</p> <p>本ビットでソフトウェアリセットを行った場合、ソフトウェアリセット直後にキャプチャ終了割り込み (CETCR の CPE ビット) を出力する場合がありますが、この割り込みは無視してください。また、キャプチャ終了割り込みが出力されなくても、次フレームのキャプチャ前には、割り込み要因 (CPE ビット) は必ずクリアしてください。</p> <p>0: 通常状態 1: キャプチャのソフトウェアリセット</p>

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	CE	0	R/W	<p>(1) シングルキャプチャの場合</p> <p>本ビットは、次フレームのキャプチャ予約ビットです。1を書き込むと、次のVD入力から1フレームのキャプチャを行い、1フレームキャプチャ終了割り込み (CETCR の CPE ビット) がアサートされ停止状態となります (図 34.7)。再びキャプチャを行う場合は、本ビットに1を書き込んでください。また、VD 極性、HD 極性の変更後は、次のVD 割り込みがアサートするまで本ビットに1を書き込まないでください。</p> <p>本ビットはキャプチャ予約状態を表しているため、読み出し時には1をセットしてからVDが入力されるまで1が読み出され、VDが入力されると、本ビットは0に戻るため、0が読み出されます。</p> <p>キャプチャ終了は、1フレームキャプチャ終了割り込み (CPE ビット) により判定してください。データ取り込みモードでも同様です。</p> <p>レジスタの設定は、キャプチャ開始フレームのVD 割り込みまでに行ってください。レジスタに書き込まれた設定は、次のVD 入力に反映されます。動作中に書き込みを行った場合、レジスタ設定は、次のVD 入力以降のキャプチャ動作に反映されます。動作中の書き込みを禁止している設定レジスタに、動作中に書き込みを行った場合、割り込み要因 (CETCR の IGRW ビット) が発生します。割り込み要因の詳細は CETCR レジスタの説明を参照してください。</p> <p>(2) 連続キャプチャ</p> <p>CAPCR の CTNCP ビットに1をセットした状態で、本ビットに1をセットすると、次フレームから連続でキャプチャを行います (図 34.8)。このとき、本ビットは0クリアされずに常に1を保持します。キャプチャを停止する場合は、本ビットを0クリアすれば、そのときのフレームをキャプチャして終了します。</p> <p>連続キャプチャ動作は、画像取り込みモード時のみとなります。</p> <p>なお、キャプチャデータを書き込むメモリの先頭アドレスは、フレームごとに設定してください。</p> <p>0 : キャプチャの停止 1 : キャプチャの実行</p>

VD (垂直同期信号)、HD (水平同期信号) の極性がともに正の場合、1 フレームは VD の立ち上がりエッジから次の VD の立ち上がりエッジまでの期間、1 ラインは HD の立ち上がりエッジから次の立ち上がりエッジまでの期間と定義しています。1 フレームのタイミングを図 34.3 に示します (VD 極性、HD 極性ともに正の場合)。



図 34.3 フレームタイミング

VD、HD の極性がともに正の場合、1 フィールドは 1 フレームと同様に、以下のように定義します。

- VD の立ち上がりエッジから次の VD の立ち上がりエッジまでの期間
- 1 ラインは、HD の立ち上がりエッジから次の立ち上がりエッジまでの期間

フィールド識別信号 FLD は、VD の入力から 1HD 以上の期間確定させてください。1 フィールドのタイミングを図 34.4 に示します (VD 極性、HD 極性ともに正の場合)。

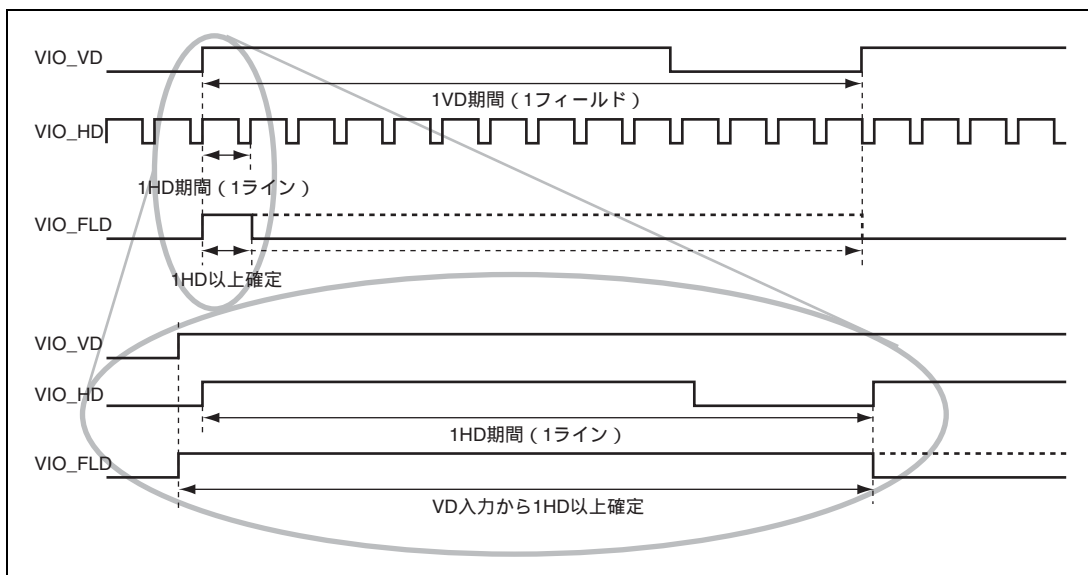


図 34.4 1 フィールドのタイミング

データイネーブル取り込みでは、1 フレームを VD の立ち上がりエッジから VD の立ち下りエッジまでの期間と定義しています。HD をイネーブル信号（正極性）として、VD が HIGH の期間に HD がアサートされたサイクルのデータを取り込みます。データイネーブル取り込みの場合の、1 フレームのタイミング図を図 34.5 に示します。

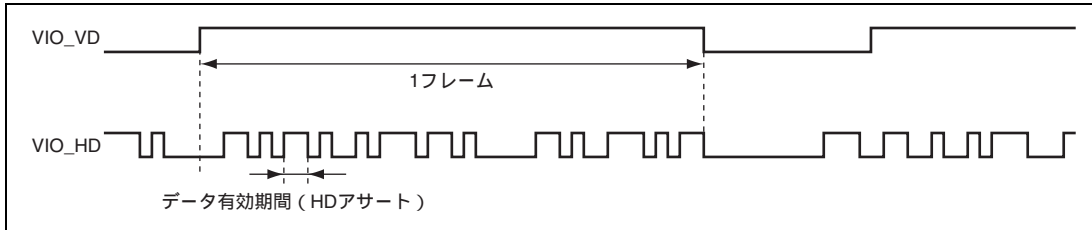


図 34.5 フレームのタイミング（データイネーブル取り込みの場合）

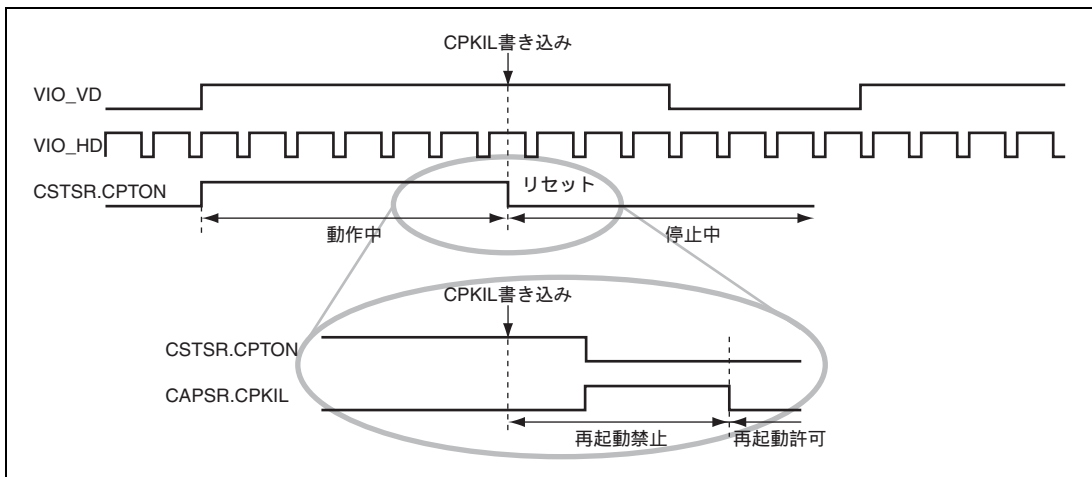


図 34.6 キャプチャのソフトウェアリセットおよび再起動のタイミング

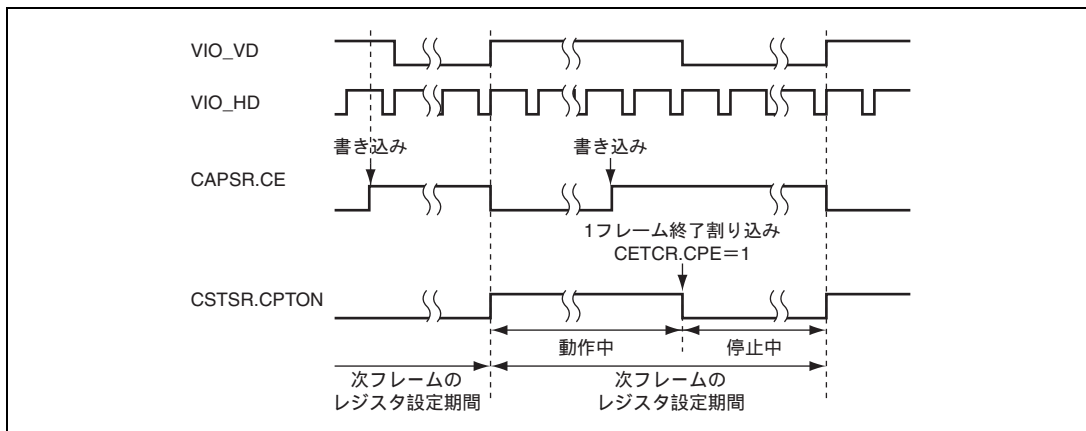


図 34.7 1 フレームキャプチャの CE ビット書き込みタイミングとレジスタ設定

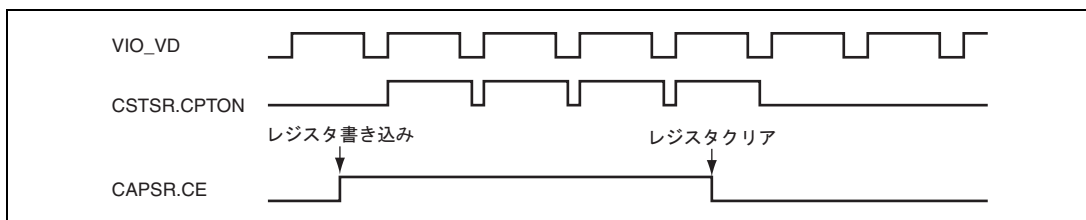


図 34.8 連続フレームキャプチャ

34.4.2 キャプチャ制御レジスタ (CAPCR)

CAPCR は、連続フレームキャプチャの設定、フレームドロップの間隔の設定を行います。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FDRP[7:0]								—	—	MTCM[1:0]		—	—	—	CTNCP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	FDRP[7:0]	H'00	R/W	<p>連続フレームキャプチャ時のフレームドロップ間隔設定</p> <p>本ビットに 0 を設定するとフレームドロップは行わずに、すべてのフレームをキャプチャします。</p> <p>FDRP ビットに設定した値と、キャプチャするフレームのタイミングを図 34.9 に示します。</p> <p>フレームドロップ間隔の単位は、キャプチャ設定によって異なります。キャプチャ設定とフレームドロップ間隔の単位との関係を表 34.6 に示します。FDRP ビットが 2 の場合の各設定におけるフレームドロップのタイミングイメージを図 34.10 に示します。</p> <p>両フィールドキャプチャ時は、2nd フィールドのトップ/ボトムにかかわらず、連続で 2VD キャプチャします。また、両フィールドキャプチャ時は、2nd フィールドのトップ/ボトムにかかわらず、1st フィールドのトップ/ボトムの判定で、フレームドロップ数カウンタをカウントアップします。</p> <p>CAPSR の CE ビットに 0 を書き込んだ場合には、キャプチャフレームであれば、現在のフレームをキャプチャして終了しますが、ドロップフレームのときは内部的に強制終了動作となりますので、終了割り込み (CETCR の CPE ビット) は出力されません。</p> <p>CE ビットが 1 の間は本ビットの設定を変更しないでください。</p> <p>【注】連続キャプチャを実行中は本設定値を変更しないでください。本設定値を変更する場合は、連続キャプチャをいったん終了し (CE ビット = 0)、連続キャプチャ実行レジスタ (CAPCR) の CTNCP ビットに 0 を設定し、その後再び連続キャプチャを実行してください。連続キャプチャ中とは図 34.9 に示す CE ビットが 1 の期間をいいます。</p>
23, 22	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
21, 20	MTCM[1:0]	00	R/W	<p>バスブリッジへのデータの転送単位を指定</p> <p>画像データ書き込み先の SDRAM では、アドレスをより連続的にアクセスすることによりアクセス効率を高めることができます。書き込み効率を上げたいときは、本ビットの設定値を 11 としてください。外部から見て、本ビットの設定値による変化はありません。</p> <p>00 : 4 バースト 1 転送 (4QW×1) 単位でバスへ転送 01 : 4 バースト 2 転送 (4QW×2) 単位でバスへ転送 10 : 4 バースト 4 転送 (4QW×4) 単位でバスへ転送 11 : 4 バースト 8 転送 (4QW×8) 単位でバスへ転送</p> <p>(1) 画像データ取り込みの場合 00 : Y データの転送および C データの転送を 4QW ごとに行う 01 : Y データの転送および C データの転送を 4QW×2 ごとに行う 10 : Y データの転送および C データの転送を 4QW×4 ごとに行う 11 : Y データの転送および C データの転送を 4QW×8 ごとに行う</p> <p>(2) データ取り込みの場合 00 : データの転送を 4QW ごとに行う 01 : データの転送を 4QW×2 ごとに行う 10 : データの転送を 4QW×4 ごとに行う 11 : データの転送を 4QW×8 ごとに行う</p>
19~17	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
16	CTNCP	0	R/W	<p>本ビットを 1 にセットしキャプチャを行うと、CAPSR の CE ビットが 0 クリアされるか、CAPSR の CPKIL ビットによるソフトウェアリセットまで、連続でキャプチャを行います (図 34.8 参照)。連続キャプチャの設定は、キャプチャを開始する前に設定してください。</p> <p>本ビットを書き換える場合は、一度 CE ビットに 0 を書き込み、キャプチャ動作を停止させた後、実行してください。キャプチャ中に本ビットが書き換えられた場合、動作は保証されません。</p> <p>データ取り込みモード時は、本ビットを 0 に設定してください。</p> <p>0 : CE ビットが 1 のとき、1 フレームのみキャプチャを実行 1 : CE ビットが 0 になるまで、連続的にキャプチャを実行</p>
15~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>

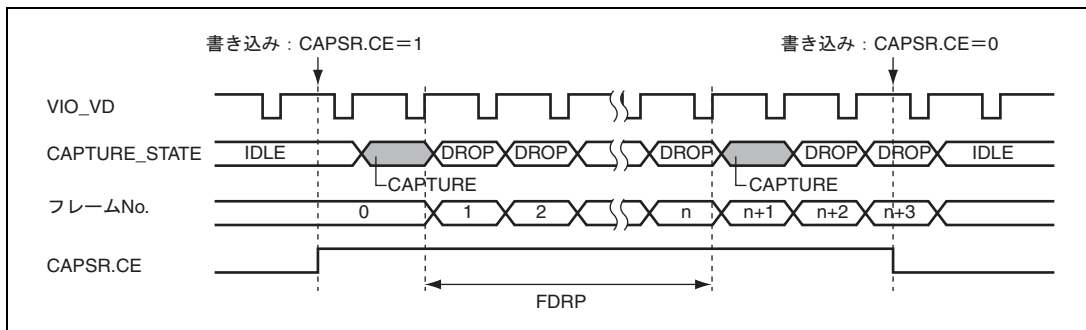


図 34.9 FDRP ビットの設定値とフレームドロップタイミング

表 34.6 キャプチャ設定とフレームドロップ間隔単位の関係

入力方式	キャプチャ画像	1st キャプチャ画像	フレームドロップ間隔単位	キャプチャ設定
プログレッシブ	フレーム	起動直後のフレーム	フレーム	A
インターレース	両フィールド (2VD キャプチャ)	起動直後のフィールド	2 フィールド (1st キャプチャフィールドカウント)	B
		トップフィールド	2 フィールド (トップフィールドカウント)	D
		ボトムフィールド	2 フィールド (ボトムフィールドカウント)	E
	片フィールド (1VD キャプチャ)	起動直後のフィールド	1st キャプチャフィールド	F
		トップフィールド	トップフィールド	H
		ボトムフィールド	ボトムフィールド	I

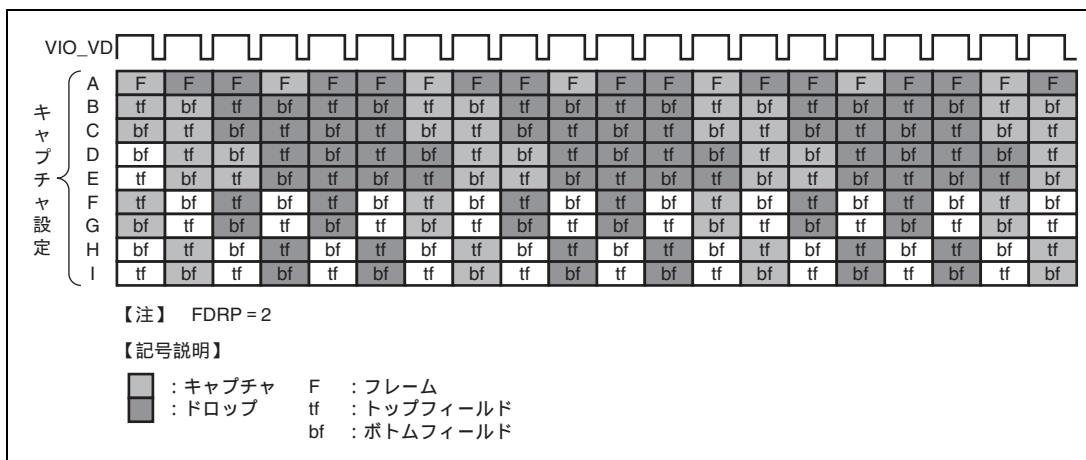


図 34.10 各設定におけるフレームドロップのタイミングイメージ (FDRP = 2)

34.4.3 キャプチャインタフェース制御レジスタ (CAMCR)

CAMCR は、キャプチャインタフェースを設定するレジスタです。

本レジスタで設定できる項目は、以下のとおりです。

- 画像取り込みまたはデータ取り込み動作を選択
- 垂直、水平同期信号の極性の選択
- 画像データの、各成分 (Y、Cb、Cr) の入力順序の選択 (画像取り込みモード時のみ)
- デジタル画像入力端子の選択 (8ビット / 16ビット)
- フィールド識別信号の極性の選択

本レジスタは、接続するモジュールに合わせて設定してください。データ取り込みモードの際は、DTARY ビットを B'0 に設定してください。本レジスタは、動作中は書き換えしないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

【注】 本レジスタの設定変更後は、外部入力クロックで 10 サイクル以上待ってから起動をかけてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FLDPOL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	DTIF	—	—	DTARY[1:0]	—	—	JPG[1:0]	—	—	—	—	VDPOL	HDPOL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	FLDPOL	0	R/W	外部モジュールからのフィールド識別信号 (FLD) の極性設定 0: FLD 信号がハイのときトップフィールド、ローのときボトムフィールドとして検出 1: FLD 信号がローのときトップフィールド、ハイのときボトムフィールドとして検出
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
12	DTIF	0	R/W	キャプチャ対象となるデジタル画像入力端子を設定 0: 8ビットデジタル画像入力端子に入力されたデータをキャプチャ 1: 16ビットデジタル画像入力端子に入力されたデータをキャプチャ
11, 10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
9、8	DTARY[1:0]	00	R/W	<p>輝度成分と色差成分の入力順序設定</p> <p>外部モジュールから入力される、輝度成分 (Y) と色差成分 (Cb、Cr) の入力順序は、モジュールにより異なります。CEU は、図 34.11 に示す入力順序に対応しています。対応する値を、本ビットにセットしてください。データ取り込みモードでは 00 を設定してください。</p> <ul style="list-style-type: none"> 8 ビットインタフェース時 <ul style="list-style-type: none"> 00: 画像入力データを Cb₀、Y₀、Cr₀、Y₁ の順序で取り込み 01: 画像入力データを Cr₀、Y₀、Cb₀、Y₁ の順序で取り込み 10: 画像入力データを Y₀、Cb₀、Y₁、Cr₀ の順序で取り込み 11: 画像入力データを Y₀、Cr₀、Y₁、Cb₀ の順序で取り込み 16 ビットインタフェース時 <ul style="list-style-type: none"> 00: 画像入力データを {Cb₀、Y₀}、{Cr₀、Y₁} の順序で取り込み 01: 画像入力データを {Cr₀、Y₀}、{Cb₀、Y₁} の順序で取り込み 10: 画像入力データを {Y₀、Cb₀}、{Y₁、Cr₀} の順序で取り込み 11: 画像入力データを {Y₀、Cr₀}、{Y₀、Cb₀} 順序で取り込み
7、6	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
5、4	JPG[1:0]	00	R/W	<p>取り込みデータの選択</p> <ul style="list-style-type: none"> 00: 画像取り込みモード (入力データを Y と CbCr に分けてメモリに出力) 01: データ同期取り込みモード (同期信号に同期して指定された容量の入力データを入力順にメモリ指定アドレスに出力) 10: データイネーブル取り込みモード (HD をイネーブルとして入力データを取り込み、入力順にメモリ指定アドレスに出力)
3、2	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
1	VDPOL	0	R/W	<p>外部モジュールからの垂直同期信号検出の極性設定</p> <p>正極性の場合の VD と VD 割り込みの関係を図 34.14 に示します。</p> <p>なお、設定変更時に VD 割り込みが立つ場合がありますので、本ビットの設定を変更した場合には、必ずイベントレジスタ (CETCR) の VD ビットをクリアしてください。データイネーブル取り込みモードでは使用しません。</p> <ul style="list-style-type: none"> 0: 外部モジュールからの垂直同期信号 (VD) を正極性として検出 1: 外部モジュールからの垂直同期信号 (VD) を負極性として検出

ビット	ビット名	初期値	R/W	説明
0	HDPOL	0	R/W	<p>外部モジュールからの水平同期信号検出の極性設定</p> <p>正極性の場合の HD と HD 割り込みの関係を図 34.15 に示します。</p> <p>なお、設定変更時に HD 割り込みが立つ場合がありますので、本ビットの設定を変更した場合には、必ずイベントレジスタ (CETCR) の HD ビットをクリアしてください。データイネーブル取り込みモードでは 0 を設定してください。</p> <p>0 : 外部モジュールからの水平同期信号 (HD) を正極性として検出 1 : 外部モジュールからの水平同期信号 (HD) を負極性として検出</p>

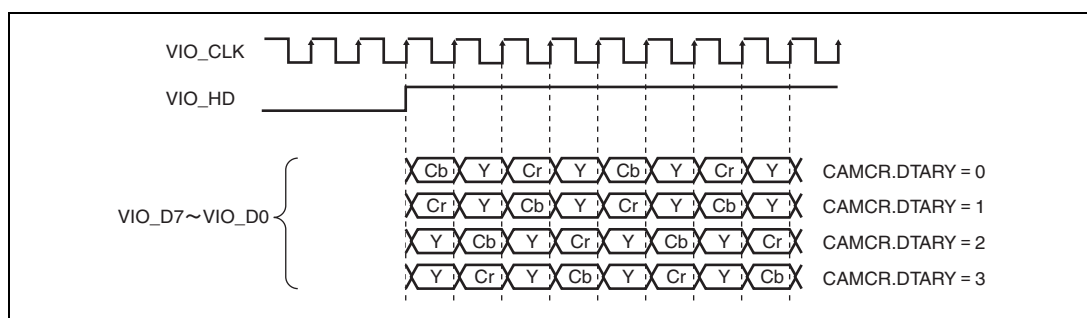


図 34.11 画像データの入力順序

CAMCR の JPG ビットは、デジタル画像データを取り込むのか、JPEG 等のデータを取り込むのかを選択します。また、JPEG 等のデータを取り込む場合は、同期信号に同期して、指定された容量のデータを連続して取り込むのか、水平同期信号をイネーブルとしてデータを取り込むのかを選択します。

データイネーブル取り込みモードでは、垂直同期信号 (VD) の立ち上がりから立ち下がりまでを 1 フレームとしてデータを取り込みます。水平同期信号 (HD) は、VD が HIGH の期間にのみ有効で、イネーブル信号として扱われます。HD がアサート (HIGH) されているサイクルに入力されたデータを取り込み。順次メモリに出力します。

データイネーブル取り込みモードのインタフェースタイミング図を図 34.12、図 34.13 に示します。

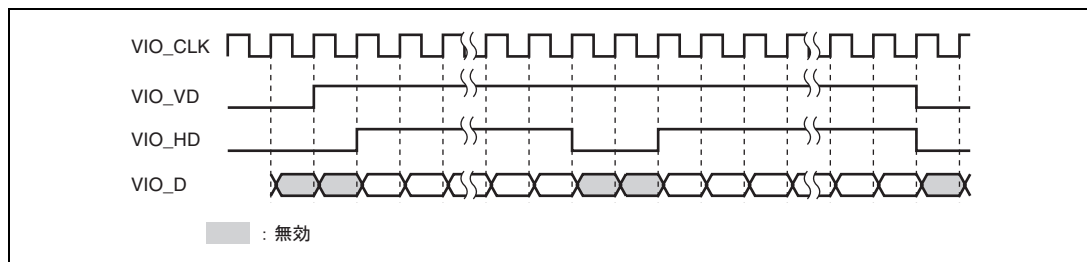


図 34.12 データイネーブル取り込みタイミング (VD が HIGH の期間内に HD がアサート (HIGH))

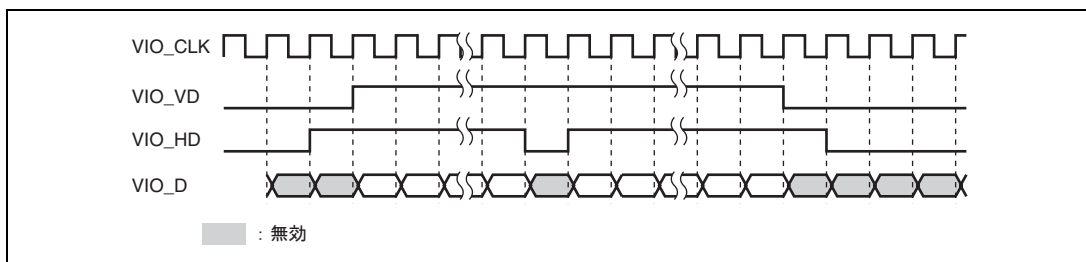


図 34.13 データストrobe取り込みタイミング (VD が HIGH の期間外に HD がアサート (HIGH))

本モジュールは、データストrobe取り込みモードでは、VD の立ち上がりエッジで取り込みを開始し、VD の立ち下がりエッジで取り込みを終了します。したがって、VD が HIGH のまま LOW にならなかった場合、終了処理に移行しません。また、VD が HIGH のままで、HD もアサートしたままの場合、データを取り込み続けます。

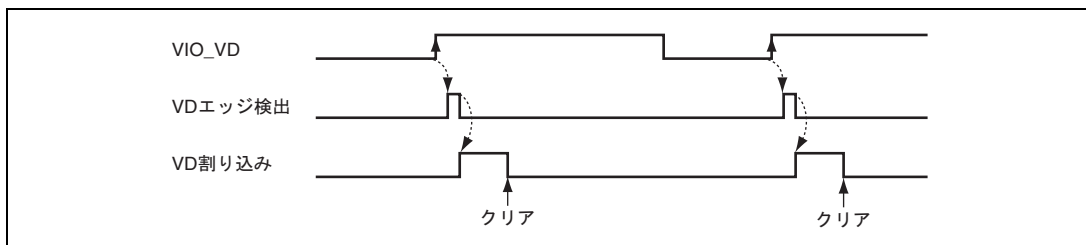


図 34.14 VD が正極性の場合の VIO_VD と VD 割り込みの関係

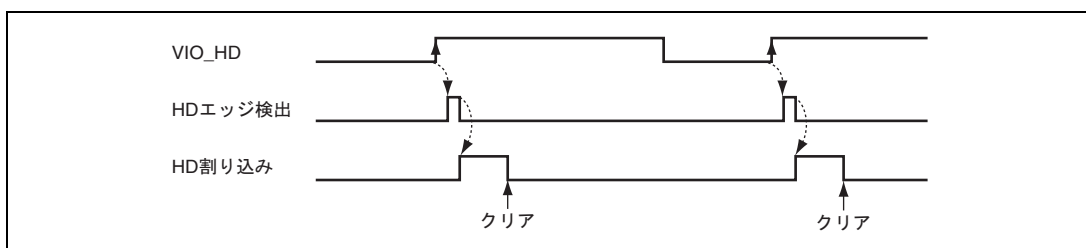


図 34.15 HD が正極性の場合の VIO_HD と HD 割り込みの関係

34.4.4 キャプチャインタフェースサイクルレジスタ (CMCYR)

CMCYR は、イリーガル VD、およびイリーガル HD の検出に使用します。HD に関しては、HD の立ち上がりから次の HD の立ち上がりまでのサイクル数 (HD が負極性の場合は立ち下がり)、VD に関しては VD の立ち上がりから次の VD までの HD の数 (VD が負極性の場合は立ち下がり) を設定します。

本レジスタは、動作中は書き換えしないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

データイネーブル取り込みモード時は、本レジスタにすべて 0 を設定してください。

【注】 本レジスタの設定変更後は、外部入力クロックで 10 サイクル以上待つってから起動をかけてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	VCYL[13:0]													
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	HCYL[13:0]													
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
29 ~ 16	VCYL[13:0]	H'0000	R/W	外部モジュールの縦方向の HD 数 外部モジュールの VD サイクル数を HD 数で設定します。外部モジュールから入力された VD のサイクル数がこの設定値と違う場合に、割り込み要因 CETCR.IGVS が発生します。イリーガル VD を検出したい場合に設定してください。 本ビットを 0 に設定した場合、割り込み要因 CETCR.IGVS は発生しません。また、CAMCR の VDPOL ビット (VD 極性) を変更した際、割り込み要因 CETCR.IGVS が発生する場合がありますが、これは無視してください。
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
13 ~ 0	HCYL[13:0]	H'0000	R/W	外部モジュールの横方向のサイクル数 外部モジュールの HD サイクル数を設定します。外部モジュールから入力された HD のサイクル数がこの設定値と違う場合に、割り込み要因 CETCR.IIGHS が発生します。イリーガル HD を検出したい場合に設定してください。 本ビットを 0 に設定した場合、割り込み要因 CETCR.IIGHS は発生しません。また、CAMCR の HDPOL ビット (HD 極性) を変更した際、割り込み要因 CETCR.IIGHS が発生する場合がありますが、これは無視してください。

34.4.5 キャプチャインタフェースオフセットレジスタ (CAMOR)

CAMOR は、キャプチャを行う際のキャプチャ開始位置の設定を行います。

外部モジュールによって、VD (垂直同期信号) から有効画像期間開始位置までの HD (水平同期信号) 数や、HD から有効画像期間開始位置までのクロックサイクル数が異なりますので、本レジスタの設定で対応してください。また、設定値を有効画像領域よりも多く設定することで、画像の切り出しキャプチャにも対応しています。データ同期取り込みの場合は、有効データ期間開始位置までのサイクル数 (HD 数) の設定となります。

データイネーブル取り込みモード時は、本レジスタは使用しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VOFST[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	HOFST[12:0]												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
27~16	VOFST[11:0]	H'000	R/W	キャプチャ位置を垂直同期信号からの HD 数指定 (1HD 単位) 垂直同期信号からのブランク期間は、外部モジュールにより異なります。これに対応するため、本ビットに、垂直方向のキャプチャ開始位置を、垂直同期信号からの HD 数で指定することで、画像有効領域からキャプチャすることが可能です (図 34.16 参照)。また、外部モジュールによっては、データイネーブルとして垂直同期信号を出力するものがあります。この場合、ブランク期間は存在しませんので、本ビットには 0 を設定してください (図 34.17 参照)。
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
12~0	HOFST[12:0]	H'0000	R/W	キャプチャ位置を水平同期信号からのサイクル数指定 (1 サイクル単位) 水平同期信号からのブランク期間は、外部モジュールにより異なります。これに対応するため、本ビットに、水平方向のキャプチャ開始位置を、水平同期信号からの外部入力クロックサイクル数で指定することで、画像有効領域からキャプチャすることが可能です。データ同期取り込みの際も同様です (図 34.18 参照)。また、外部モジュールによっては、データイネーブルとして水平同期信号を出力するものがあります。この場合、ブランク期間は存在しませんので、本ビットには 0 をセットしてください (図 34.19 参照)。 【注】CEU は、最初の HD (水平同期信号) が必ず最初の VD (垂直同期信号) と同時または後に入力されることが動作条件となります。ここでの「入力」とは、極性 (CAMCR の VDPOL および HDPOL ビット) に依存します。

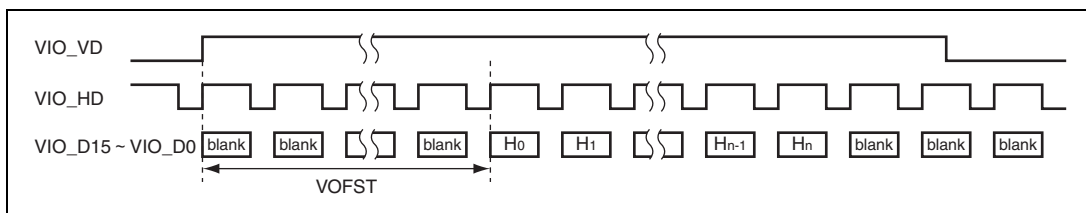


図 34.16 垂直オフセット

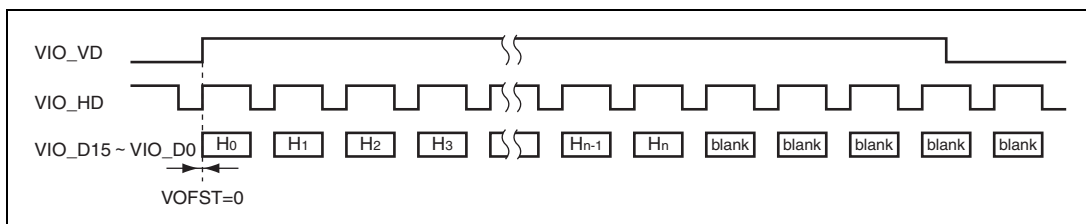


図 34.17 VD がデータラインブルの場合のタイミング

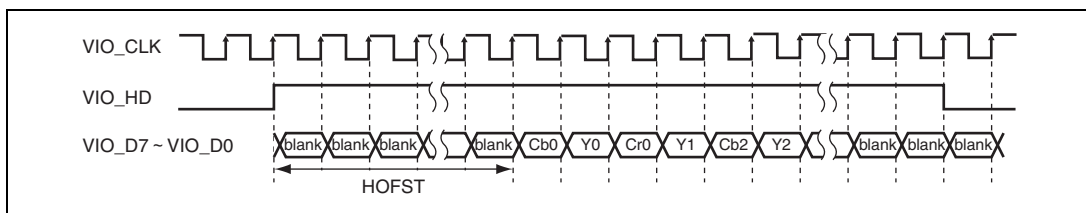


図 34.18 水平オフセット

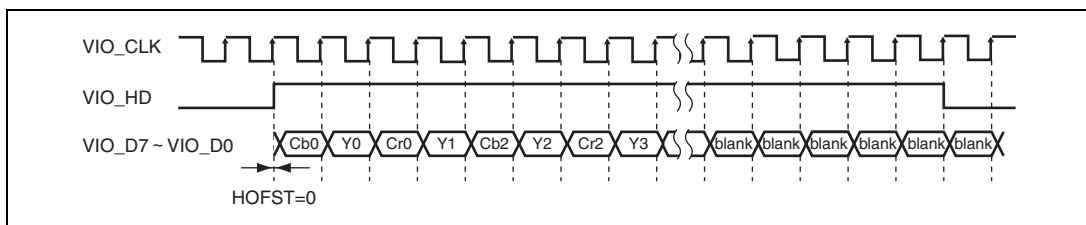


図 34.19 HD がデータラインブルの場合のタイミング (8 ビットインタフェース)

34.4.6 キャプチャインタフェース幅レジスタ (CAPWR)

CAPWR は、画像取り込みを行う際の取り込み (キャプチャ) サイクル幅を設定します。

データ入力端子のビット幅および取り込むデータによって、設定単位が異なります。それぞれの設定単位は表 34.7 を参照してください。データイネーブル取り込みモード時は、本レジスタは使用しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VWDTH[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	HWDTH[12:0]												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
27~18 17、16	VWDTH[11:2] VWDTH[1:0]	H'000	R/W R	垂直方向のキャプチャ期間指定 (4HD 単位) 本ビットには、VOFST ビットで指定した位置からのキャプチャライン数 (HD 数) を指定します。図 34.20 に垂直ブランク期間が 0 の場合のタイミングを示します。CEU は、垂直方向に本ビットで指定したライン数 (HD 数) のみをキャプチャします。 データ同期取り込みの際も同様に設定してください。 最大設定値は、1,920HD (5M 画素) となります。
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12~1	HWDTH[12:1]	H'0000	R/W	水平方向のキャプチャ期間指定 本ビットには、HOFST ビットで指定した位置からのキャプチャサイクル数を指定します。図 34.21 に水平ブランク期間が 0 の場合のタイミングを示します。CEU は、水平方向に本ビットで指定したサイクル数のみをキャプチャします。データ同期取り込みの際も同様に設定してください。 最大設定値は以下のとおりです。
0	HWDTH[0]		R	

• 8 ビットインタフェースの場合
 画像キャプチャ時 (8 サイクル単位) : 5,120 サイクル (2,560 画素)
 データ同期取り込みモード時 (4 サイクル単位) : 2,560 サイクル (2,560 バイト)

• 16 ビットインタフェースの場合
 画像キャプチャ時 (4 サイクル単位) : 2,560 サイクル (2,560 画素)
 データ同期取り込みモード時 (2 サイクル単位) : 1,280 サイクル (2,560 バイト)

【注】データ同期取り込みの際は CFSZR、CDWDR の値は CAPWR に設定した値をもとに設定してください。詳細は、CFSZR、CDWDR を参照してください。

表 34.7 取り込み (キャプチャ) サイクル幅設定単位

インタフェース	垂直方向		水平方向	
	画像キャプチャ	データ同期取り込み	画像キャプチャ	データ同期取り込み
8 ビットインタフェース	4HD	4HD	8 サイクル	4 サイクル
16 ビットインタフェース	4HD	4HD	4 サイクル	2 サイクル

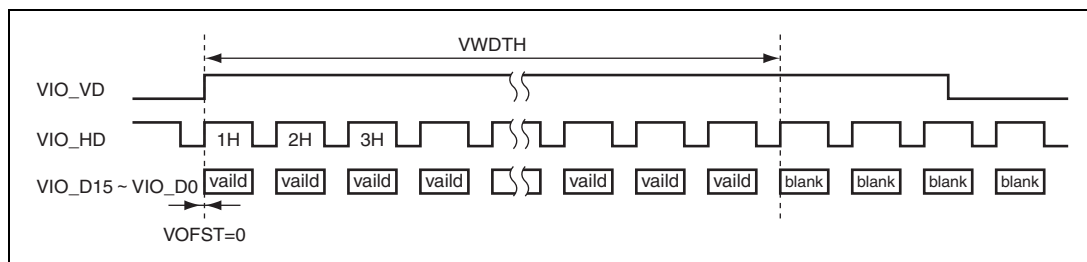


図 34.20 垂直キャプチャタイミング

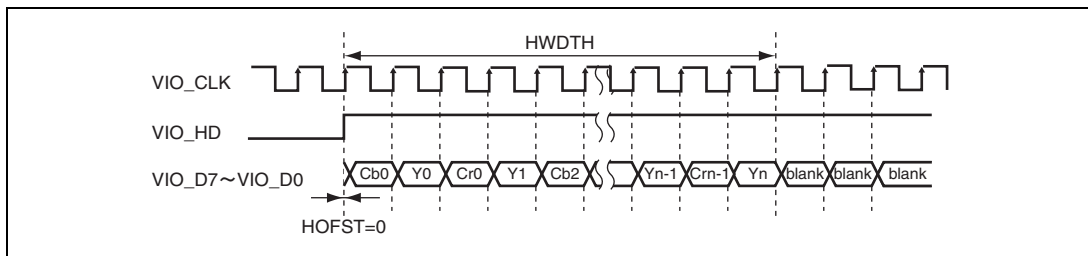


図 34.21 水平キャプチャタイミング (画像キャプチャ 8 ビットインタフェース)

34.4.7 キャプチャインタフェース入力方式レジスタ (CAIFR)

CAIFR は、キャプチャ画像の入力方式 (プログレッシブ / インターレース)、キャプチャ画像 (フレーム / 両フィールド / 片フィールド)、キャプチャを開始する画像 (トップフィールド / ボトムフィールド等) を設定します。本レジスタは、データ取り込みの際は使用しません。

本レジスタは、動作中は書き換えしないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

本レジスタで設定する項目を表 34.8 に示します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	IFS	—	—	—	CIM	—	—	—	FCI[1:0]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
8	IFS	0	R/W	キャプチャ画像の入力方式設定 0 : プログレッシブ 1 : インターレース
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
4	CIM	0	R/W	キャプチャ画像設定 キャプチャ画像の入力方式がプログレッシブ (フレーム画像) の場合、およびキャプチャ画像の入力方式がインターレースでかつ、トップ / ボトム両フィールドを連続してキャプチャする場合は 0 を設定してください。キャプチャ画像の入力方式がインターレースでかつ、片フィールド画像のみをキャプチャする場合は 1 を設定してください。 0 : フレーム画像 (1VD) もしくは両フィールド画像 (2VD) をキャプチャ 1 : 片フィールド画像 (1VD) をキャプチャ
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1, 0	FCI[1:0]	00	R/W	<p>キャプチャ開始タイミング設定</p> <p>キャプチャを開始するタイミングを、最初にキャプチャする画像を指定することで設定します。</p> <p>入力方式がプログレッシブの場合は、00 を設定してください。</p> <p>00: トップ/ボトムフィールドにかかわらず、キャプチャ起動直後のVD 入力からキャプチャを開始</p> <p>01: キャプチャ起動後、トップフィールド画像の入力まで待って、トップフィールドからキャプチャを開始</p> <p>10: キャプチャ起動後、ボトムフィールド画像の入力まで待って、ボトムフィールドからキャプチャを開始</p> <p>11: 設定禁止</p>

表 34.8 CAIFR 設定項目

入力方式	IFS ビット	キャプチャ画像	CIM ビット	キャプチャを開始する画像	FCI ビット
プログレッシブ	0	フレーム	0	起動直後のフレーム	B'00
インターレース	1	両フィールド (2VD キャプチャ)	0	起動直後のフィールド	B'00
				トップフィールド	B'01
				ボトムフィールド	B'10
				設定禁止	B'11
	片フィールド (1VD キャプチャ)	1	起動直後のフィールド	B'00	
			トップフィールド	B'01	
ボトムフィールド			B'10		
設定禁止			B'11		

フレーム画像キャプチャおよび片フィールド画像キャプチャでは、1VDのキャプチャを終了した時点で、1フレームキャプチャ終了割り込みが発生します。一方、両フィールド画像キャプチャでは、1VDのキャプチャを終了した時点で、1フィールドキャプチャ終了割り込みが発生し、2VDのキャプチャを終了した時点で、1フレームキャプチャ終了割り込みが発生します。このとき、1フィールドキャプチャ終了割り込みと1フレームキャプチャ終了割り込みは、同時に発生します。両フィールド画像キャプチャの1フレームキャプチャ終了割り込みおよびフィールドキャプチャ終了割り込みのタイミングを図 34.22 に示します。

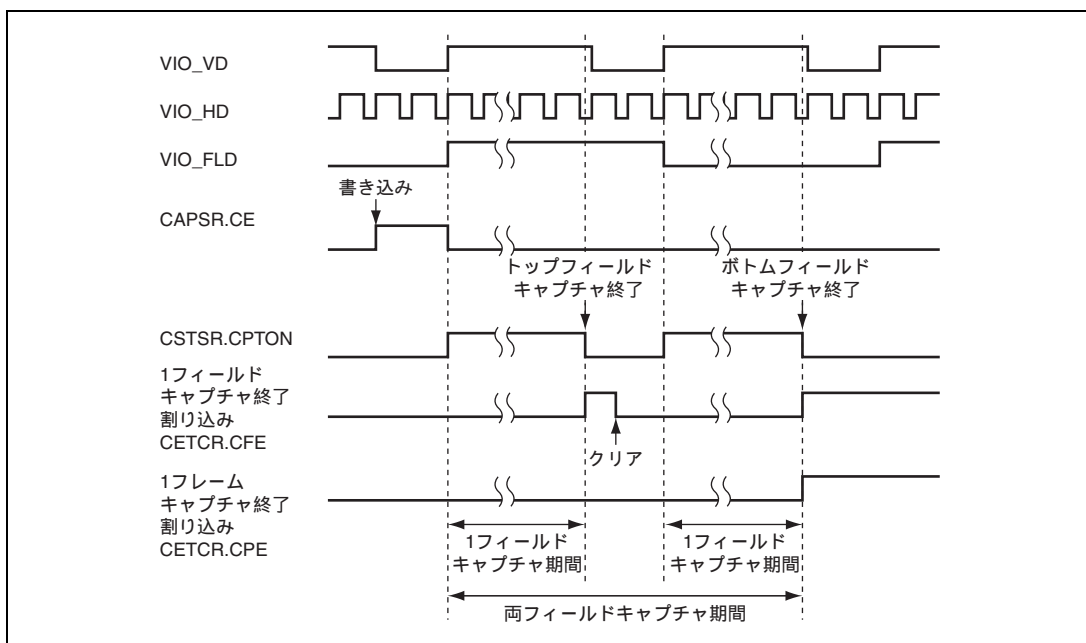


図 34.22 両フィールド画像キャプチャの1フレームキャプチャ終了割り込みおよびフィールドキャプチャ終了割り込みタイミング

フレームキャプチャ画像および片フィールドキャプチャ画像は、CDAYR、CDACR に設定されているアドレスを先頭に、メモリに格納されます (図 34.23)。両フィールドキャプチャ画像は、トップフィールドとボトムフィールドで格納されるメモリ領域が異なります。トップフィールドは、CDAYR、CDACR に設定されているアドレスを先頭に、ボトムフィールドは、CDBYR、CDBCR に設定されているアドレスを先頭に、メモリに格納されず (図 34.24)。

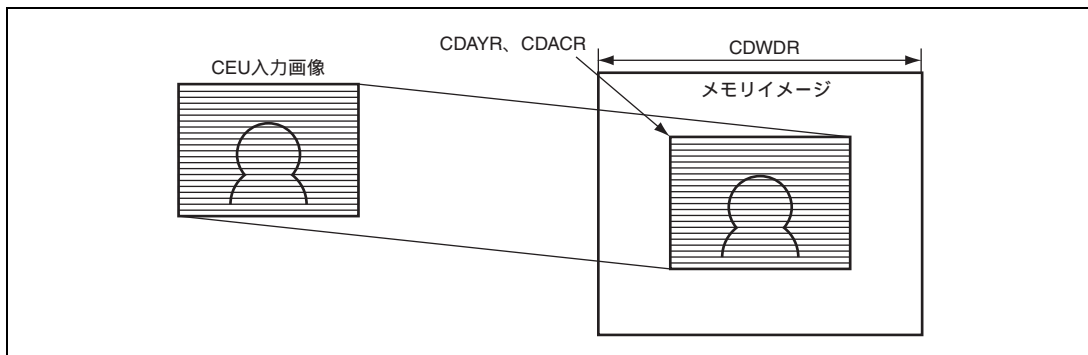


図 34.23 フレームキャプチャ画像および片フィールドキャプチャ画像のメモリ格納イメージ

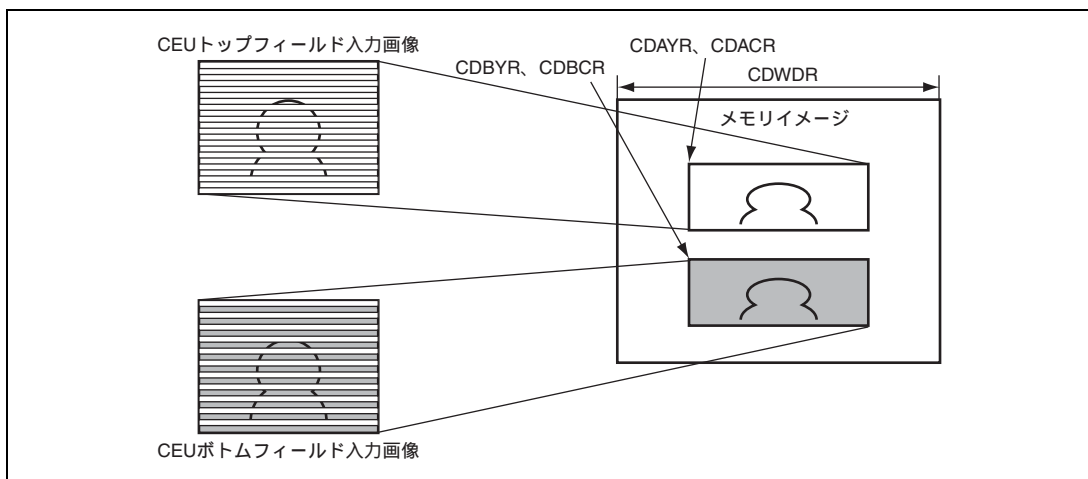


図 34.24 両フィールドキャプチャ画像のメモリ格納イメージ

インターレース入力方式の連続キャプチャで、FCI ビットを B'00 に設定した場合、両フィールド画像キャプチャでは、最初に取り込んだフィールドを基準にして、2VD を連続してキャプチャします (図 34.25)。片フィールド画像キャプチャでは、最初に取り込んだフィールドのみ 1VD を連続してキャプチャします (図 34.26)。

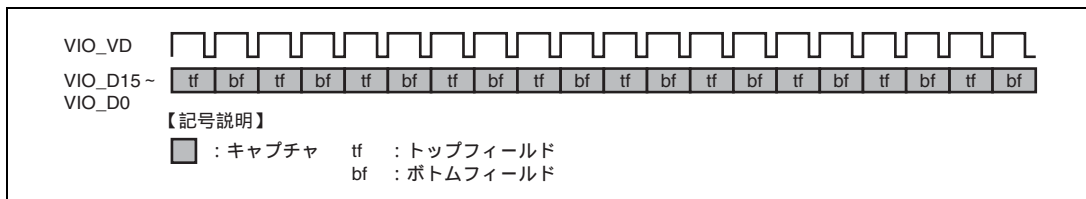


図 34.25 インターレース両フィールド連続キャプチャ
(起動直後の画像がトップフィールドの場合 (FCI = B'00))

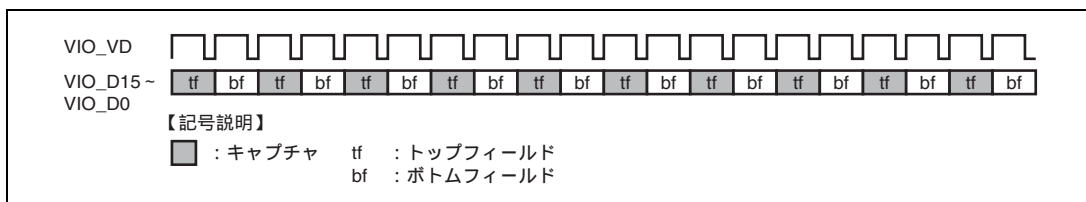


図 34.26 インターレース片フィールド連続キャプチャ
(起動直後の画像がトップフィールドの場合 (FCI = B'00))

(1) インターレース入力のフレームイメージ格納

CEU では、インターレース入力画像をフレームイメージでメモリに格納できます。インターレース入力画像をフレームイメージで格納する場合、本レジスタの各ビットを以下のように設定してください。

- 入力方式 : インターレース (IFS ビット = B'1)
- キャプチャ画像 : 両フィールド (CIM ビット = B'0)
- キャプチャを開始する画像 : 禁止設定を除く任意 (FCI ビット = 任意)

インターレース入力を両フィールドキャプチャし、フレームイメージでメモリに格納した場合のメモリイメージを図 34.27 に示します。CDAYR、CDACR にはトップフィールドキャプチャ画像のメモリ格納先頭アドレスを、CDBYR、CDBCR にはボトムフィールドキャプチャ画像のメモリ格納先頭アドレスを設定してください。インターレース画像をフレームイメージでメモリに格納する場合、CDWDR には図 34.27 のように、トップフィールドとボトムフィールドを横に並べるイメージで、メモリ領域の画像の横サイズを設定してください。また、CAPWR の VWDTH ビットには、フィールド画像のキャプチャライン数を設定してください。

図 34.27 のメモリ領域の画像の横サイズを $CDWDR/2$ で折り返したメモリイメージを、図 34.28 に示します。
 図 34.27 のイメージでレジスタを設定することによって、図 34.28 のようにインターレース画像がフレームイメージでメモリに格納されます。

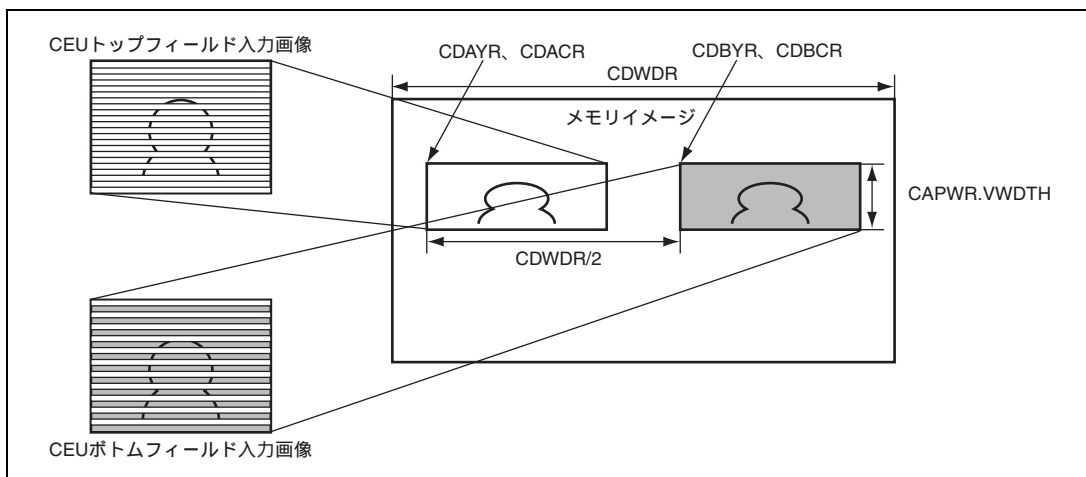


図 34.27 インターレース入力両フィールドキャプチャのメモリ格納イメージ

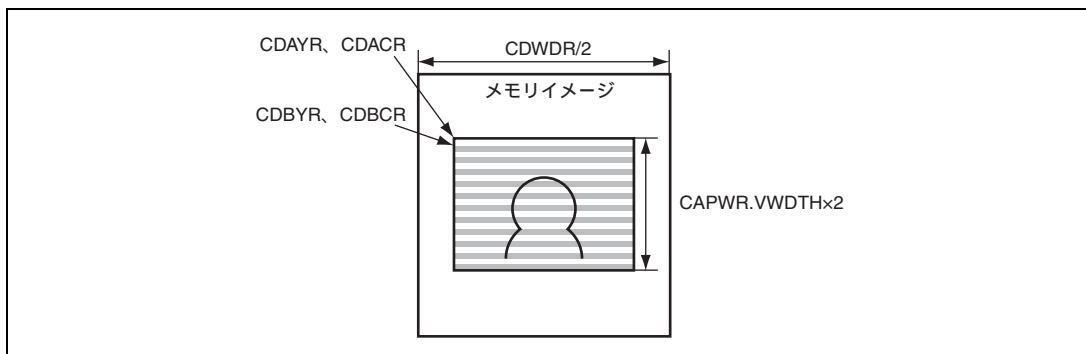


図 34.28 インターレース入力のフレームイメージメモリ格納イメージ

34.4.8 CEU レジスタ制御レジスタ (CRCNTR)

CRCNTR は、2面構成となっているレジスタの面の切り替えを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RVS	—	—	RS	RC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4	RVS	0	R/W	両フィールドキャプチャ時のレジスタ面切り替えタイミング設定 本ビットは、両フィールドキャプチャでかつRCビットが1のときのみ有効です。 0: 2VD ごとにレジスタ面を切り替え 1: 1VD ごとにレジスタ面を切り替え
3、2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	RS	0	R/W	VD に同期して CEU が使用するレジスタ面を指定 本ビットは、RC ビットが0のときのみ有効です。 0: A面のレジスタを使用する 1: B面のレジスタを使用する
0	RC	0	R/W	VD に同期して CEU が使用するレジスタ面の切り替え指定 レジスタ面を切り替えない場合は、RS ビットで指定されたレジスタ面を使用します。 0: VD に同期して指定されたレジスタ面を使用する 1: VD に同期してレジスタ面を切り替える

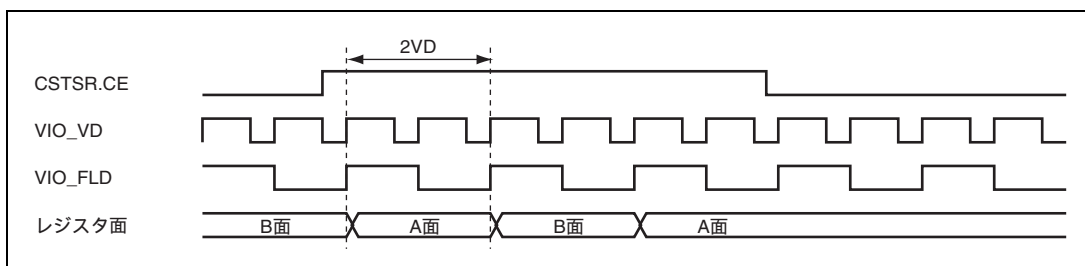


図 34.29 RVS ビットが B'0 のときのレジスタ面切り替えタイミング

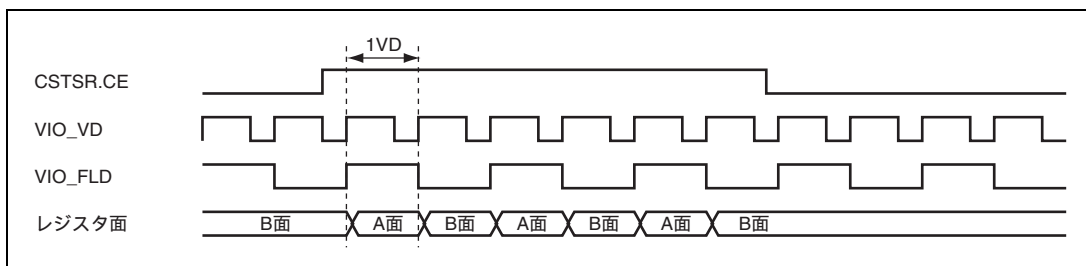


図 34.30 RVS ビットが B'1 のときのレジスタ面切り替えタイミング

34.4.9 CEU レジスタ強制制御レジスタ (CRCMPR)

CRCMPR は、2 面構成となっているレジスタ面の切り替えを強制的に制御します。本レジスタを設定することにより、直接レジスタ面の切り替えを制御できます。

本レジスタは、動作中は書き換えしないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
0	RA	0	R/W	現在指定しているレジスタ面を表しています。本レジスタ値は、キャプチャを開始する VD に同期して自動的に切り替わります。 VD に同期してレジスタ面を切り替える設定 (CRCNTR の RC ビットが 1) で、A 面のレジスタ設定からキャプチャを開始したい場合は、本ビットで B 面を指定してください。 0: A 面のレジスタを指定する 1: B 面のレジスタを指定する

34.4.10 キャプチャフィルタ制御レジスタ (CFLCR)

CFLCR は、画像縮小フィルタの縮小率を設定します。

CEU には画像縮小フィルタが実装されており、キャプチャした画像を縮小してメモリへ格納することができます。縮小処理を行わない場合 (等倍) は、本レジスタに 0 を設定してください。本レジスタに 0 以外を設定した場合、縮小処理を実行します。データ取り込みの際は、本レジスタはすべて 0 を指定してください。

インターレース入力画像をフレーム画像として扱うときは、本レジスタには 0 を設定し、フィルタをかけないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VMANT[3:0]						VFRAC[11:0]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HMANT[3:0]						HFRAC[11:0]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	VMANT[3:0]	H'0	R/W	垂直方向の縮小率の倍数部 VMANT の設定範囲は、H'0 ~ H'F です。VMANT を H'0、VFRAC を H'000 に設定した場合には、縮小フィルタを使用しません。
27~19 18~16	VFRAC[11:3] VFRAC[2:0]	H'000	R/W R	垂直方向の縮小率の仮数部 VFRAC の設定範囲は、H'000 ~ H'FF8 です。VMANT のみでは設定できない端数を含む縮小率を設定してください。
15~12	HMANT[3:0]	H'0	R/W	水平方向の縮小率の倍数部 HMANT の設定範囲は、H'0 ~ H'F です。HMANT を H'0、HFRAC を H'000 に設定した場合には、縮小フィルタを使用しません。
11~3 2~0	HFRAC[11:3] HFRAC[2:0]	H'000	R/W R	水平方向の縮小率の仮数部 HFRAC の設定範囲は、H'000 ~ H'FF8 です。HMANT のみでは設定できない端数を含む縮小率を設定してください。

CEU には、画像縮小フィルタが実装されており、キャプチャした画像を縮小してメモリへ格納することができます。

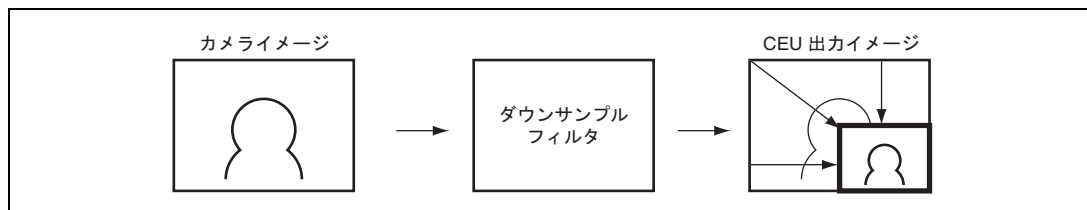


図 34.31 キャプチャ画像の縮小

以下に、フィルタの入力画素数と出力画素数から MANT (VMANT または HMANT) と FRAC (VFRAC または HFRAC) を求める計算式を示します。この説明から、CEU の入力画素に対して要求する出力画素を得られるように MANT および FRAC を設定してください。

まず、仮の MANT 値および FRAC 値を求めます。計算に必要なパラメータを、

$$\alpha = MANT \times 4096 + FRAC \quad \dots \text{ 数式1}$$

$$SCL \text{ (倍率)} = \frac{4096}{\alpha} \quad \dots \text{ 数式2}$$

と定義します。整数 x の小数点以下を切り捨てる演算子を x として表現すると、数式 1 および数式 2 より

$$MANT = \left\lfloor \frac{1}{SCL} \right\rfloor, \quad FRAC = \left\lfloor 512 \times \left(\frac{1}{SCL} - MANT \right) \right\rfloor \times 8$$

として MANT および FRAC を仮に設定できます。ここで、縮小時のフィルタ出力サイズ ($SIZE_D$) は入力画像サイズを Sin (8 ビットインタフェースの場合 : CAPWR 設定値の 1/2、16 ビットインタフェースの場合 : CAPWR 設定値) として、

$$SIZE_D = \left\lfloor 1 + \left(\frac{1}{2} + \frac{S_{in} - 1}{MANT_{pre}} \right) \cdot 1 \right\rfloor \times \frac{MANT_{pre} \times 4096}{\alpha} \quad \dots \text{ 数式3}$$

$$\left[\begin{array}{l} MANT_{pre} = 1 \rightarrow (0 \leq MANT < 2) \\ MANT_{pre} = 2 \rightarrow (2 \leq MANT < 4) \\ MANT_{pre} = 4 \rightarrow (4 \leq MANT < 8) \\ MANT_{pre} = 8 \rightarrow (8 \leq MANT) \end{array} \right]$$

として計算できます。

これらの式に仮で求めた MANT、FRAC、および入力画像サイズを代入すると出力画素を求めることができます。求めた出力画素数が MANT、FRAC を仮で求める際に使用した出力画素より小さくなった場合は、FRAC () の値を少し小さくして再計算を行い、要求する出力画素より大きい画素値が得られる MANT および FRAC を本レジスタに設定してください。

(例) 640 画素を 480 画素に縮小する

$SCL = 480/640 = 3/4$ となり $MANT = 1$ 、 $MANT_{pre} = 1$ 、 $FRAC = H'550$ を仮で設定します。これを

$$SIZE_D = \left\lfloor 1 + \left(\frac{1}{2} + \frac{S_{in} - 1}{MANT_{pre}} \right) \cdot 1 \right\rfloor \times \frac{MANT_{pre} \times 4096}{\alpha} \quad \dots \text{ 数式3}$$

へ代入すると出力画素数 = 479 を得ることが出来ます。この出力画素数は、要求する出力画素数 480 よりも小さいため、FRAC を 8 小さい H'548 にして再計算すると、出力画素数 = 480 を得ることができ、要求する出力画素数 480 に等しいので、レジスタへは $MANT = 1$ 、 $FRAC = H'548$ を設定します。

表 34.9 縮小フィルタの各倍率設定例

倍率	FRAC		MANT	入力画素数	出力画素数	サイズクリップ (CFSZR)
	10進数	16進数				
7/8	576	H'240	1	640	560	560
3/4	1352	H'548	1	640	480	480
5/8	2448	H'990	1	640	400	400
1/2	0	H'0	2	640	320	320
3/8	2728	H'AA8	2	640	240	240
1/3	0.0	H'0	3	640	213	212
1/4	0.0	H'0	4	640	160	160
1/5	0.0	H'0	5	640	128	128
1/6	0.0	H'0	6	640	107	104
1/7	0.0	H'0	7	640	91	88
1/8	0.0	H'0	8	640	80	80
1/16	4088	H'FF8	15	640	40	40

【注】 本縮小フィルタではVGAサイズのラインメモリを用いて縮小を行うために、VGAよりも大きいサイズの画像を入力して縮小を行う場合、出力後の画像サイズがSubQCIFサイズ以上VGAサイズ以下になるように設定してください。縮小を行わない場合（等倍）は、本制約は関係ありません。

34.4.11 キャプチャフィルタサイズクリップレジスタ (CFSZR)

CFSZRは、フィルタの出力サイズ微調整用のクリップサイズ設定用レジスタです。CFLCRと合わせて使用してください。フィルタの出力サイズをクリップする際、そのサイズを画素数で設定してください。設定単位は4画素単位です。等倍出力の場合も設定してください。データネイブル取り込みモード時は、本レジスタは使用しません。

データ同期取り込みの際は、本レジスタはCAPWRの設定をもとに設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VFCLP[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	HFCLP[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27~18	VFCLP[11:2]	H'000	R/W	垂直方向のフィルタ出力サイズのクリップ値（4画素単位）
17、16	VFCLP[1:0]		R	

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
11~1 0	HFCLP[11:1] HFCLP[0]	H'000	R/W R	水平方向のフィルタ出力サイズのクリップ値 (4 画素単位)

CEU 部に搭載している縮小フィルタは、設定によっては、奇数画素 / 奇数ラインを出力する場合があります。このため、フィルタは出力サイズを整えるために、図 34.32 に示すように、本レジスタに設定した画素数で出力画像をクリッピングします。クリップサイズ指定は、縦横 4 画素単位で指定可能です。

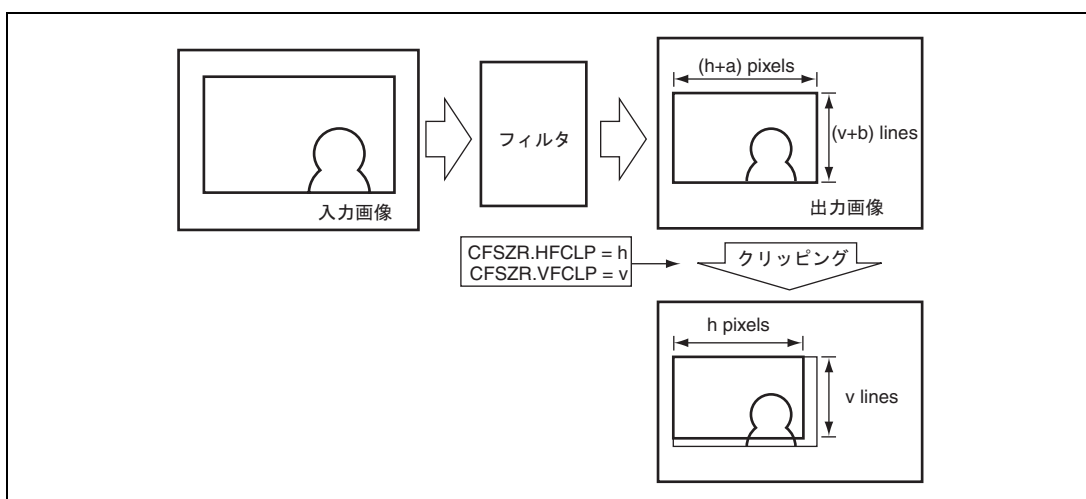


図 34.32 フィルタ出力画像のクリッピング

クリップの画素数は、画面の左上からのカウントになります。設定した画素数よりも右側、設定したライン数よりも下側にある画素については、クリップ機能により切り捨てられます。本レジスタに設定した画素数が、実際のフィルタ出力画素数よりも大きい場合、動作保証できませんので、必ずフィルタの出力画素数以下の値を設定してください。

【注】 データ同期取り込みモードの際は以下の設定が必要となります。以下の設定を行わないと、データを正しく取り込むことができません。

・ 8 ビットインタフェースの場合 :

VFCLP = CAPWR.VWDTH

HFCLP = CAPWR.HWDTH/2

・ 16 ビットインタフェースの場合 :

VFCLP = CAPWR.VWDTH

HFCLP = CAPWR.HWDTH

34.4.12 キャプチャデスティネーション幅レジスタ (CDWDR)

CDWDR は、キャプチャした画像を出力するメモリ領域の画像の横サイズを 4 バイト単位 (4 画素単位) で設定します。

データ同期取り込みの際は、CAPWR の設定をもとに、本レジスタを設定してください。データイネーブル取り込みモード時は、本レジスタは使用しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CHDW[12:0]												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
12~2 1、0	CHDW[12:2] CHDW[1:0]	H'0000	R/W R	キャプチャ画像を書き込むメモリ領域の画像の横サイズをバイト数で指定 (4 バイト単位) CEU でキャプチャした画像データは、メモリへ格納されます。このとき、図 34.33 に示すように、キャプチャした画像における水平右端の折り返しが、メモリ領域にある画像イメージの横サイズと異なる場合、キャプチャイメージ格納の際に、画像右端でアドレスをジャンプさせる必要があります。このため、本ビットには、メモリにキャプチャした画像を書き込む際の、メモリ空間にある画像イメージの横サイズを設定してください。 最大設定値は 8,188 バイト (8,188 画素) です。 データ同期取り込みの際は以下のように設定してください。 8 ビットインタフェースの場合： CHDW = CAPWR.HWDTH 16 ビットインタフェースの場合： CHDW = CAPWR.HWDTH × 2

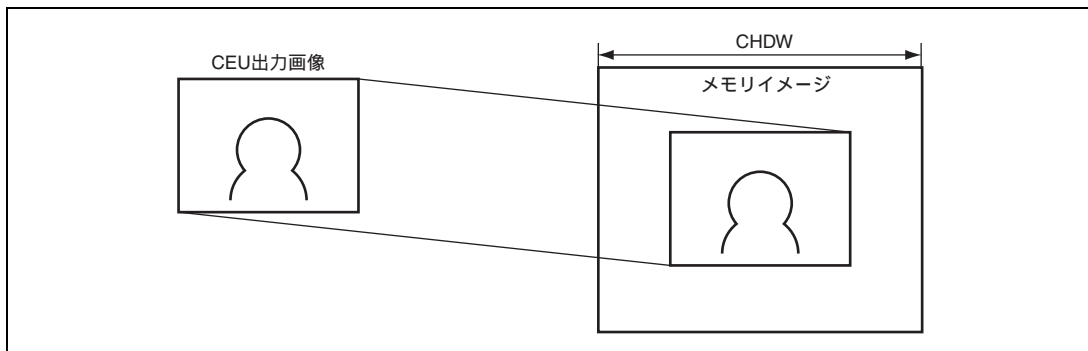
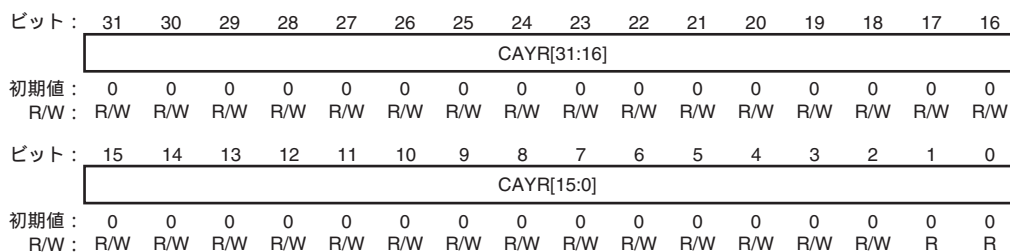


図 34.33 キャプチャ画像とメモリ領域画像

34.4.13 キャプチャデータアドレス Y レジスタ (CDAYR)

CDAYR は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの輝度 (Y) 成分のデータ格納先アドレス指定、両フィールド画像キャプチャの際のトップフィールドの輝度 (Y) 成分格納先アドレス指定、およびデータ取り込みの際のデータ格納先アドレス指定を行います。CEU は、キャプチャした画像データをバスを經由し輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際には、キャプチャデータの Y (輝度) 成分のデータ格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際には、トップフィールドキャプチャ画像の Y (輝度) 成分の格納先アドレスを設定してください。データ取り込みの際は、データ格納に使用するメモリ領域の先頭アドレスを設定してください。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位は、ロングワード単位です。画像キャプチャの際は 4 画素単位、データ取り込みの際は 4 バイト単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。



ビット	ビット名	初期値	R/W	説明
31~2 1, 0	CAYR[31:2] CAYR[1:0]	H'0000 0000	R/W R	<ul style="list-style-type: none"> • フレーム画像キャプチャ時: キャプチャデータの Y (輝度) 成分データ格納先アドレス (4 画素単位) • 片フィールド画像キャプチャ時: キャプチャデータの Y (輝度) 成分データ格納先アドレス (4 画素単位) • 両フィールド画像キャプチャ時: トップフィールドキャプチャデータの Y (輝度) 成分データ格納先アドレス (4 画素単位) • データ取り込み時: データ格納先アドレス (4 バイト単位) • データイネーブル取り込みバンドル書き込み時: データ格納先アドレス (32 バイト単位)

本レジスタには、図 34.34 に示すように、取り込んだデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像のY成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像のY成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像のY成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データ取り込み時：キャプチャしたデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。データ取り込みモードでは先頭アドレスから単純にデータを詰めていくため、終端アドレスは以下のようになります。
(終端アドレス) = CDAYR + (取り込みバイト数)
- データイネーブル取り込みバンドル書き込み時は、32バイト単位でアドレスを設定してください。

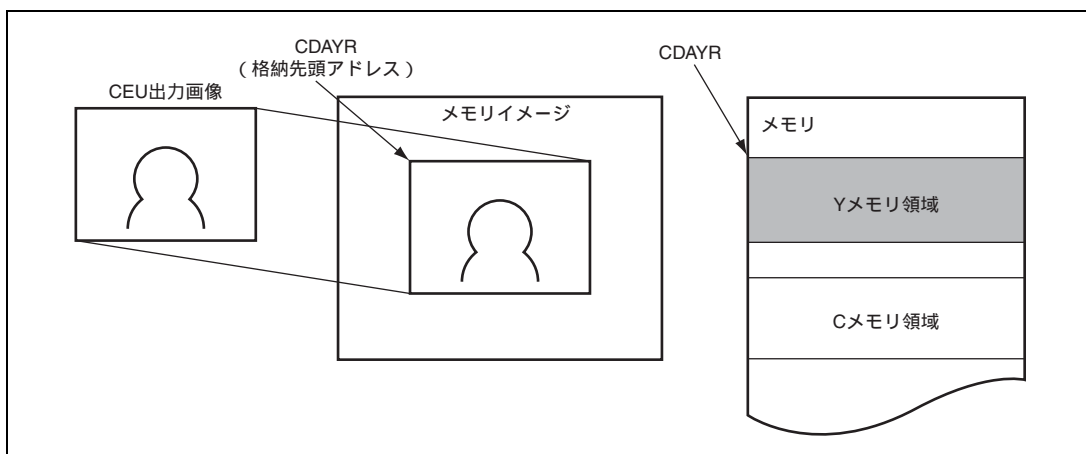


図 34.34 キャプチャ画像と Y 成分メモリ領域の関係

34.4.14 キャプチャデータアドレス C レジスタ (CDACR)

CDACR は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの色差 (C) 成分の格納先アドレス指定および両フィールド画像キャプチャの際のトップフィールドの色差 (C) 成分格納先アドレス指定を行います。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールドキャプチャの際は、キャプチャデータの C (色差) 成分を格納するメモリ領域の先頭アドレスを設定してください。両フィールドキャプチャの際は、トップフィールドキャプチャ画像の C (色差) 成分の格納先アドレスを設定してください。データ取り込みの際は、本レジスタは使用しません。

本レジスタで設定するアドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位は、ロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CACR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CACR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	CACR[31:2]	H'0000 0000	R/W	<ul style="list-style-type: none"> フレーム画像キャプチャ時：キャプチャデータの C (色差) 成分データ格納先アドレス (4 画素単位) 片フィールド画像キャプチャ時：キャプチャデータの C (色差) 成分データ格納先アドレス (4 画素単位) 両フィールド画像キャプチャ時：トップフィールドキャプチャデータの C (色差) 成分データ格納先アドレス (4 画素単位)
1, 0	CACR[1:0]		R	

本レジスタには、図 34.35 に示すように、キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、C 成分の出力データ形式は図 34.36 のようになっており、この形式でメモリに格納します。

- フレーム画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

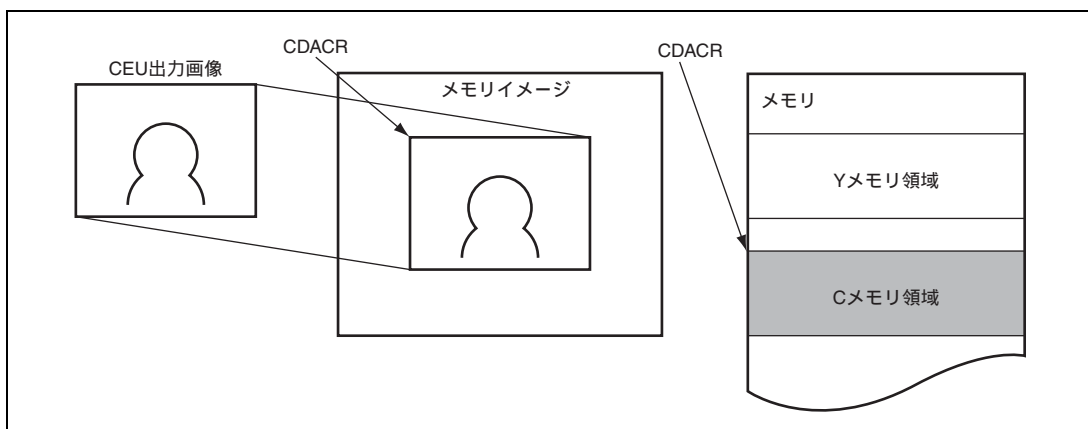


図 34.35 キャプチャ画像と C 成分メモリ領域の関係

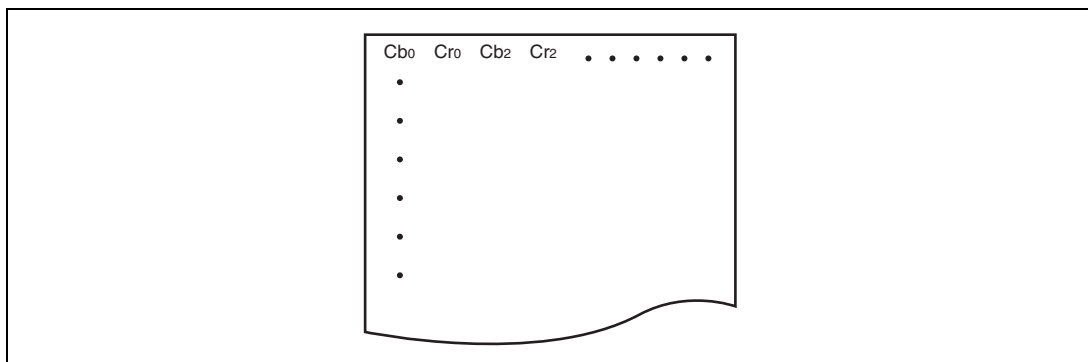


図 34.36 C 成分のメモリ出力イメージ

34.4.15 キャプチャデータボトムフィールドアドレス Y レジスタ (CDBYR)

CDBYR は、両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの輝度 (Y) 成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを經由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの、Y (輝度) 成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位はロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDBYR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDBYR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	CDBYR[31:2]	H'0000 0000	R/W	ボトムフィールドキャプチャデータの Y (輝度) 成分データ格納先アドレス (4 画素単位)
1, 0	CDBYR[1:0]		R	

本レジスタには、図 34.37 に示すように、ボトムフィールドキャプチャ画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

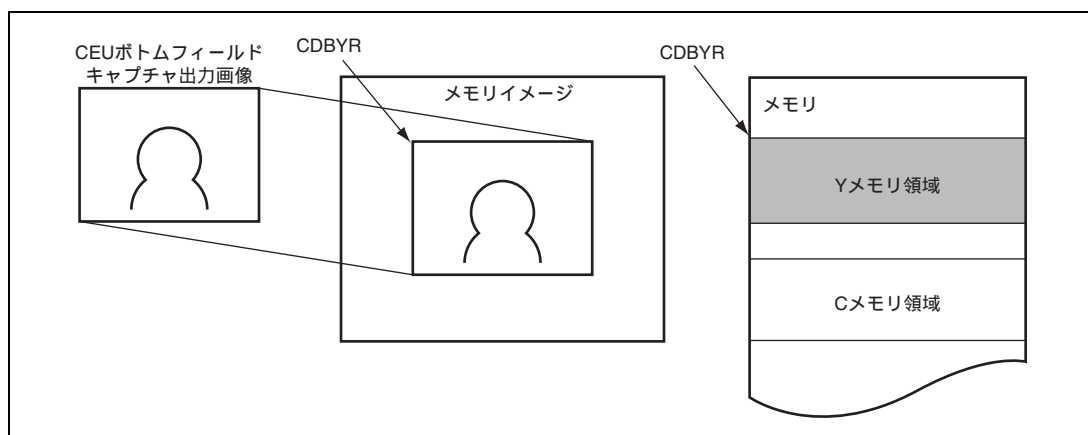


図 34.37 ボトムフィールドキャプチャ画像と Y 成分メモリ領域の関係

34.4.16 キャプチャデータボトムフィールドアドレス C レジスタ (CDBCR)

CDBCR は、両フィールド画像キャプチャの際の、ボトムフィールドキャプチャデータの色差 (C) 成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの C (色差) 成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールドキャプチャの場合と、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位はロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CBCR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBCR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	CBCR[31:2]	H'0000 0000	R/W	ボトムフィールドキャプチャデータの C (色差) 成分データ格納先アドレス (4 画素単位)
1, 0	CBCR[1:0]		R	

本レジスタには、図 34.38 に示すように、ボトムフィールドキャプチャ画像の C 成分を格納するメモリ領域の、先頭ポイントのアドレスを設定してください。また、C 成分の出力データ形式は図 34.39 のようになっており、この形式でメモリに格納します。

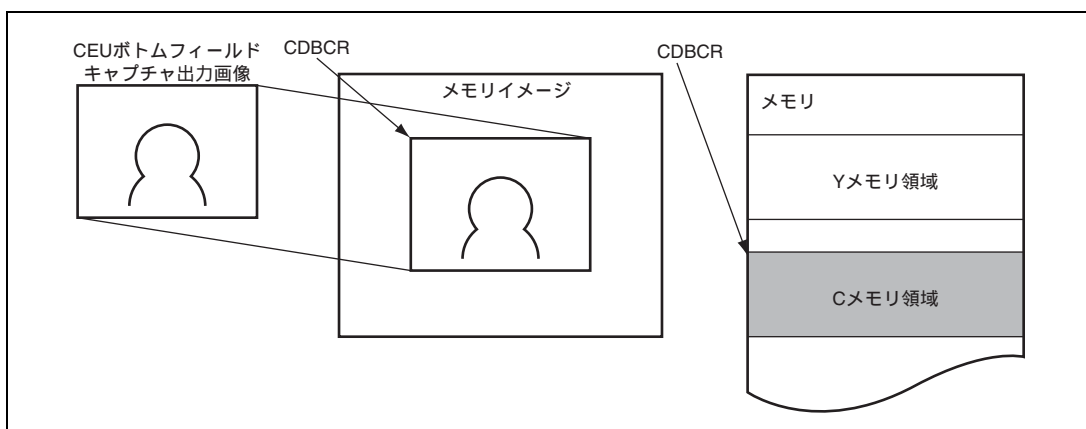


図 34.38 ボトムフィールドキャプチャ画像と C 成分メモリ領域の関係

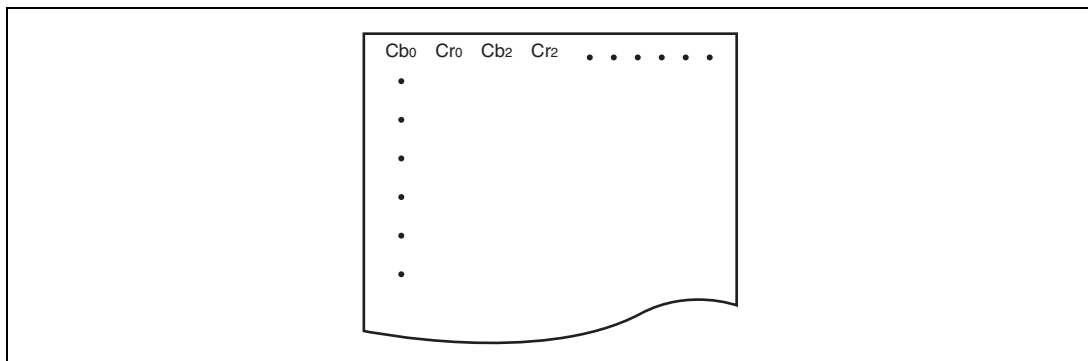


図 34.39 C 成分のメモリ出力イメージ

34.4.17 キャプチャバンドルデスティネーションサイズレジスタ (CBDSR)

CBDSR は、バンドル書き込みの際の、メモリ出力サイズを設定します。画像キャプチャ、およびデータ同期取り込みの際は、メモリ出力ライン数を設定します。データイネーブル取り込みの際は、メモリ出力バイト数を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CBVS[22:16]						
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBVS[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
22~0	CBVS[22:3] CBVS[2:0]	H'000	R/W R	バンドル書き込みの際のメモリ出力ライン数またはメモリ出力バイト数 画像キャプチャおよびデータ同期取り込み時：バンドル書き込みの際のメモリ出力ライン数 単位：8 ライン、最小：8 ライン、最大 4,088 ライン (H'FF8) データイネーブル取り込み時：バンドル書き込みの際のメモリ出力バイト数 単位：32 バイト、最小：512 バイト、最大 6,291,456 バイト (H'600000)

(a) 画像キャプチャ、およびデータ同期取り込み時

バンドル書き込みでメモリに書き込むキャプチャデータのライン数を、8の倍数で設定してください。本レジスタは CDOCR.CBE=1 のときのみ有効です。CDOCR.CBE=1 で、本レジスタが H'0 の場合、本モジュールはメモリ書き込むキャプチャデータのライン数を、H'8 として動作します。最大設定ライン数は、4,088 (H'FF8) ラインです。CBVS[11:3]までが有効です。

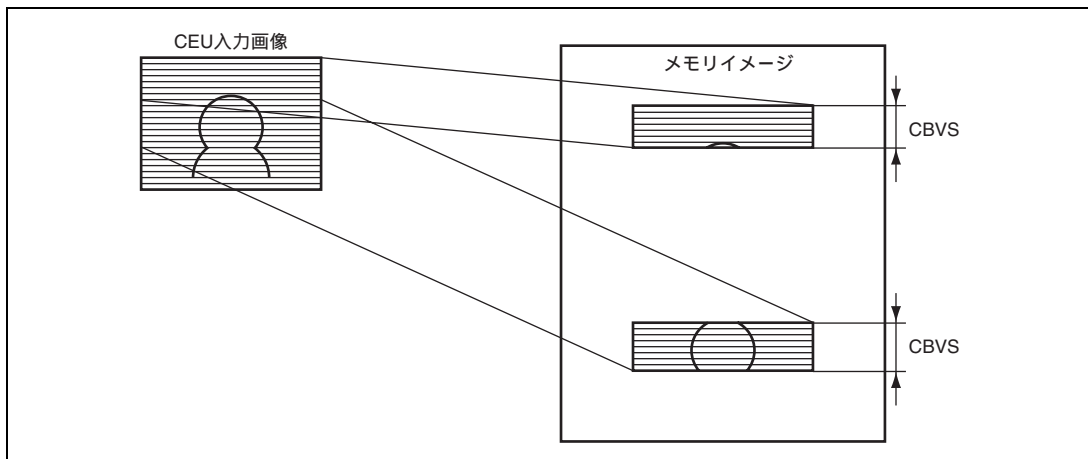


図 34.40 バンドル書き込みキャプチャ画像のメモリ格納イメージ

(b) データイネーブル取り込み時

バンドル書き込みでメモリに書き込むキャプチャデータのバイト数を、32の倍数で設定してください。本レジスタは CDOCR.CBE=1 のときのみ有効です。最小設定サイズは 512 バイトです。512 バイト未満に設定した場合の動作は保証しません。

34.4.18 キャプチャローパスフィルタ制御レジスタ (CLFCR)

CLFCR は、ローパスフィルタを動作させるか否かを設定します。データ取り込みモードの際は、LPF ビットを B'0 に設定してください。

CEU が実装するローパスフィルタの特性上、ローパスフィルタ処理後の画像は、原画像に比べて位相位置が 1 画素右にずれて見えます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LPF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	LPF	0	R/W	ローパスフィルタの動作有無を設定 ローパスフィルタは、出力画像の水平方向の高周波成分を除去します。データ取り込みモードでは0を設定してください。 0: ローパスフィルタなし 1: ローパスフィルタあり (水平方向のみ)

34.4.19 ファイアウォール動作制御レジスタ (CFWCR)

CFWCR は、データイネーブル取り込みの際の書き込みアドレスの上限を設定します。外部モジュールからのVD 入力立ち下がらず、終了が通知されなかった場合にメモリへの書き込み暴走を抑止することができます。本レジスタは、データイネーブル取り込み時のみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FWV[26:11]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FWV[10:0]											—	—	—	—	FWE
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	FWV[26:0]	H'0000008	R/W	書き込みアドレスの上限を指定 32 ビット中の上位 27 ビットを指定します。 FWV[26:0]<<5 + H'1F が上限アドレスです。
4~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	FWE	0	R/W	FWE ビット=1 のとき、アドレスが FWV 設定値以上になった場合、アドレスを保持し、割り込み要因 FWF をセットします。それ以降、アドレスはインクリメントされず、データは上限のアドレスに上書きされます。 0: ファイアウォールを起動しない 1: ファイアウォールを起動する

34.4.20 キャプチャデータ出力制御レジスタ (CDOCR)

CDOCR は、キャプチャデータのメモリへの出力方式を設定します。データ取り込みモードの際は、CDS ビットを B'1、CBE ビットを B'0 の設定にしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CBE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CFXAD	—	—	—	CDS	—	COLS	COWS	COBS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31 ~ 17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
16	CBE	0	R/W	<p>メモリに書き込むキャプチャデータのライン数を制御</p> <ul style="list-style-type: none"> • 画像キャプチャ時 メモリに書き込むキャプチャデータのライン数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタに設定されたライン単位で、CDAYR、CDACR と CDAYR2、CDACR2 (両フィールドキャプチャ時のボトムフィールドは、CDBYR、CDBCR と CDBYR2、CDBCR2) で指定されたアドレスに、交互にキャプチャデータを書き込みます (図 34.41)。CBDSR レジスタに設定されたライン数分のキャプチャデータの書き込みが終了した時点で、各アドレス指定レジスタに対応した書き込み終了割り込みを発生します。なお、1 フレーム (1 フィールド) キャプチャ終了時は、バンドル書き込み終了時でも、バンドル書き込み終了割り込みは発生しません。 • データ同期取り込み時 メモリに書き込むキャプチャデータのライン数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタに設定されたライン単位で、CDAYR と CDAYR2 で指定されたアドレスに、交互にキャプチャデータを書き込みます。CBDSR レジスタに設定されたライン数分のキャプチャデータの書き込みが終了した時点で、各アドレス指定レジスタに対応した書き込み終了割り込みを発生します。なお、1 フレームキャプチャ終了時は、バンドル書き込み終了時でも、バンドル書き込み終了割り込みは発生しません。 • データイネーブル取り込み時 メモリに書き込むキャプチャデータのバイト数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタに設定されたバイト単位で、CDAYR と CDAYR2 で指定されたアドレスに、交互にキャプチャデータを書き込みます。CBDSR レジスタに設定されたバイト数分のキャプチャデータの書き込みが終了した時点で、各アドレス指定レジスタに対応した書き込み終了割り込みを発生します。なお、データイネーブル取り込み時のみ、1 フレームキャプチャ終了時も、バンドル書き込み終了時は、バンドル書き込み終了割り込みを発生します。 <p>各アドレス指定レジスタと書き込み終了割り込み要因の対応を表 34.10 に、画像キャプチャおよびデータ同期取り込み時の書き込み終了割り込みタイミングを図 34.42 に、データイネーブル取り込み時の書き込み終了割り込みタイミングを図 34.43 に示します。</p> <p>0 : 通常書き込み 1 : バンドル書き込み</p>

ビット	ビット名	初期値	R/W	説明
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
8	CFXAD	0	R/W	CEU が処理した画像およびデータをメモリ出力する際のアドレス固定モードを設定します。アドレス固定モードを設定した場合、CEU が画像出力する書き込みアドレスは、インクリメントせずに常に一定となります。 アドレス固定モードを使用する際には、CDAYR、CDACR、CDBYR、CDBCR の出力アドレスレジスタには、必ず下位 5 ビットが 0 であるアドレスを設定してください。 0 : 出力部の出力アドレスをインクリメント (通常動作) 1 : 出力部の出力アドレスを固定 (固定モード)
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4	CDS	0	R/W	YCbCr 4:2:2 フォーマットで取り込んだ画像データをメモリ出力する際の画像フォーマットを指定 本ビットに 0 を書き込んだ場合、奇数ラインは、輝度成分 (Y) のみを出力し色差成分 (Cb,Cr) は出力しません。インターレース入力画像も同様に、フィールドの奇数ラインは、輝度成分 (Y) のみを出力し色差成分 (Cb,Cr) は出力しません。データ取り込みモードでは 1 を設定してください。 0 : YCbCr 4:2:2 から YCbCr 4:2:0 に変換してメモリに出力 1 : YCbCr 4:2:2 のままメモリに出力
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2	COLS	0	R/W	CEU から出力するデータのロングワード単位の入れ替えを制御 0 : ロングワード単位の入れ替えしない 1 : ロングワード単位の入れ替えする
1	COWS	0	R/W	CEU から出力するデータのワード単位の入れ替えを制御 0 : ワード単位の入れ替えしない 1 : ワード単位の入れ替えする
0	COBS	0	R/W	CEU から出力するデータのバイト単位の入れ替えを制御 0 : バイト単位の入れ替えしない 1 : バイト単位の入れ替えする

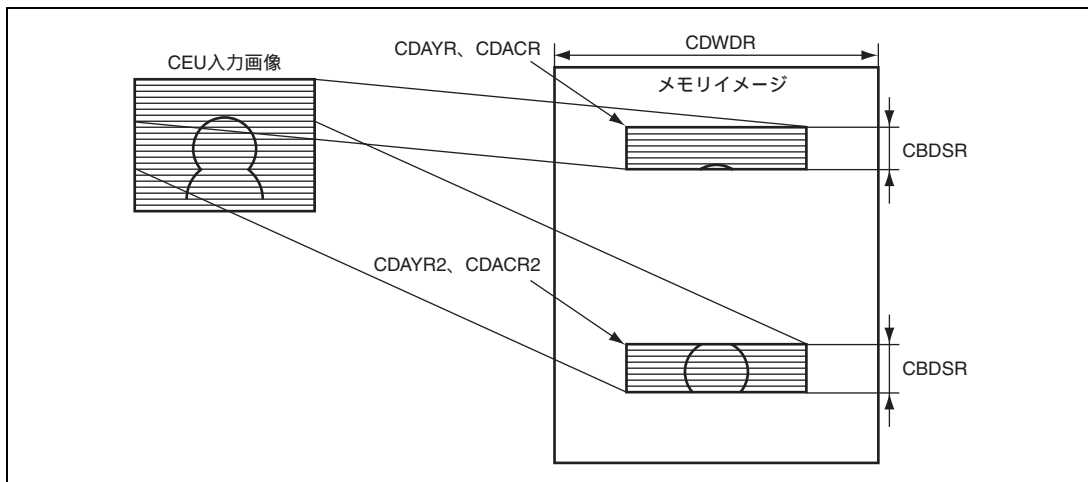


図 34.41 バンドル書き込みメモリ格納イメージ

表 34.10 アドレス指定レジスタと書き込み終了割り込み要因の対応

アドレス指定レジスタ	バンドル書き込み終了割り込み要因
CDAYR, CDACR	CETCR.CPBE1
CDAYR2, CDACR2	CETCR.CPBE2
CDBYR, CDBCR	CETCR.CPBE3
CDBYR2, CDBCR2	CETCR.CPBE4

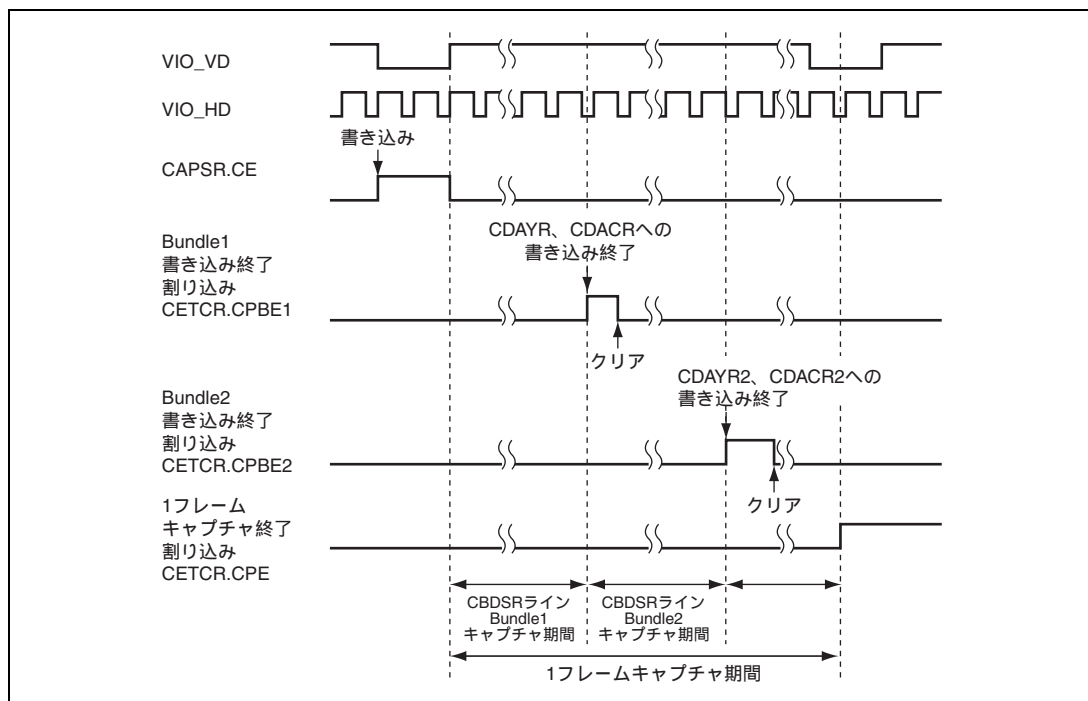


図 34.42 書き込み終了割り込みのタイミング (画像キャプチャ時、データ同期取り込み時)

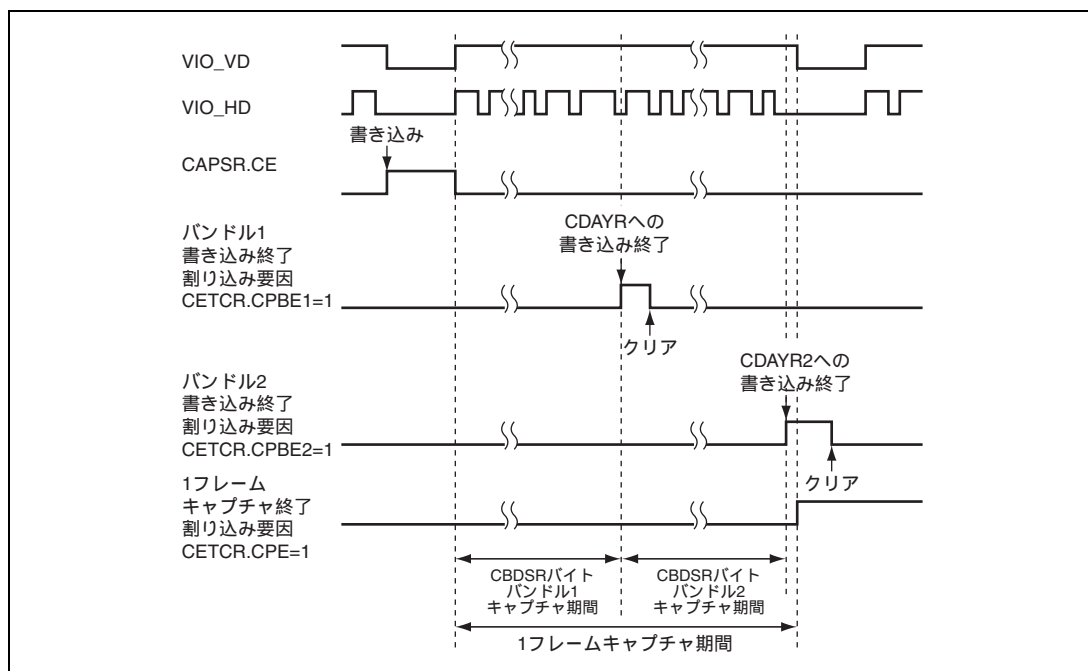


図 34.43 書き込み終了割り込みのタイミング (データニブル取り込み時)

COLS、COWS、COBS ビットは、CEU から出力するデータのロングワード単位、ワード単位、バイト単位の入れ替えを制御するビットです。エンディアンによるデータの並びの問題が生じた場合に設定してください。データ入れ替えレジスタのビットを以下に示します。データ取り込みの際も同様に設定できます。

入れ替え機能としては、図 34.44 のように、バイト単位、ワード単位、ロングワード単位、バイト - ワード - ロングワード入れ替えが可能です。入れ替えを行う場合には、各制御ビットを B'1 に設定してください。

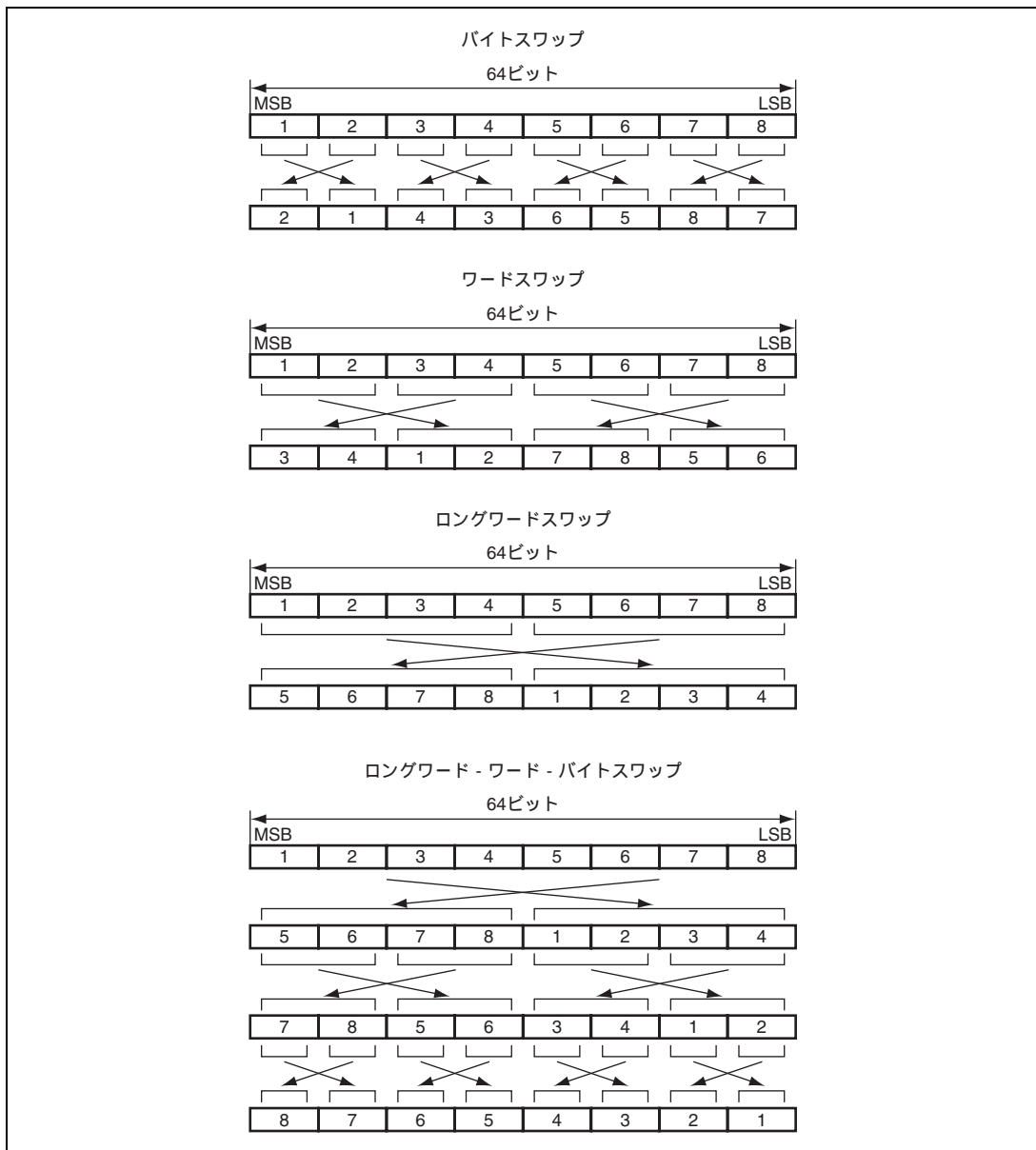


図 34.44 データ入れ替え機能

34.4.21 キャプチャデータ複雑度レジスタ (CDDCR)

CDDCR は、キャプチャ画像の複雑度抽出の設定を行います。CEU は、キャプチャ画像の輝度成分の値から画像の複雑度を算出します。連続する画像の複雑度の比較結果を、シーンチェンジを検出する際の情報として利用できます。データ取り込みモードでは使用しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DCOE	—	—	—	DCSL[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4	DCOE	0	R/W	キャプチャ画像の複雑度をメモリに出力するか否かを設定 本ビットに1を書き込む場合は必ず、複雑度のメモリ書き込み先アドレスを設定してください。アドレスを設定しないままキャプチャを起動させた場合、メモリ上のデータを壊す可能性があります。 データ取り込みモードでは0を設定してください。 0: キャプチャ画像の複雑度をメモリに出力しない 1: キャプチャ画像の複雑度をメモリに出力する
3, 2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1, 0	DCSL[1:0]	00	R/W	画像の複雑度を算出する際の演算画素範囲を選択 00: キャプチャ画像の16ライン分の輝度成分の複雑度を算出 01: キャプチャ画像の8ライン分の輝度成分の複雑度を算出 10: キャプチャ画像の1画面分の輝度成分の複雑度を算出 11: 設定禁止

34.4.22 キャプチャデータ複雑度アドレスレジスタ (CDDAR)

CDDAR は、キャプチャ画像の複雑度の格納先アドレスを指定します。CEU は、CDDCR の DCOE ビットが B'1 のとき、キャプチャした画像の複雑度をメモリに書き込みます。本レジスタには、複雑度の格納に使用するメモリ領域の先頭アドレスを設定してください。データ取り込みの際は、本レジスタは使用しません。

なお、連続キャプチャの際も、格納先アドレスは毎フレーム (フィールド) 設定してください。

キャプチャ画像の複雑度は、DCOE ビットで抽出するか否かを、CDDCR の DCSL ビットで抽出範囲 (16 ライン / 8 ライン / 1 画面) を設定します。アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位は、ロングワード単位です。また、ロングワード単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCAR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCAR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	DCAR[31:2]	H'0000 0000	R/W	キャプチャ画像の複雑度の格納先アドレス (4 バイト単位)
1, 0	DCAR[1:0]		R	

本レジスタには、図 34.45 に示すように、キャプチャした画像の複雑度を格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、複雑度の出力データ形式は図 34.46 のようにロングワード単位になっており、この形式でメモリに格納します。

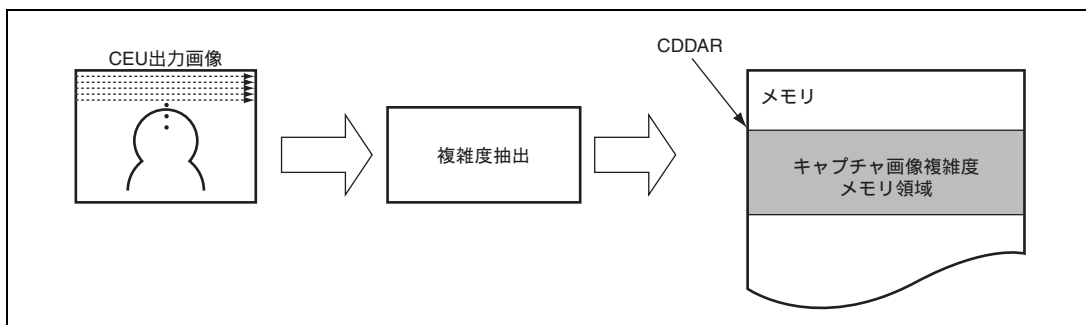


図 34.45 キャプチャ画像の複雑度のメモリ領域

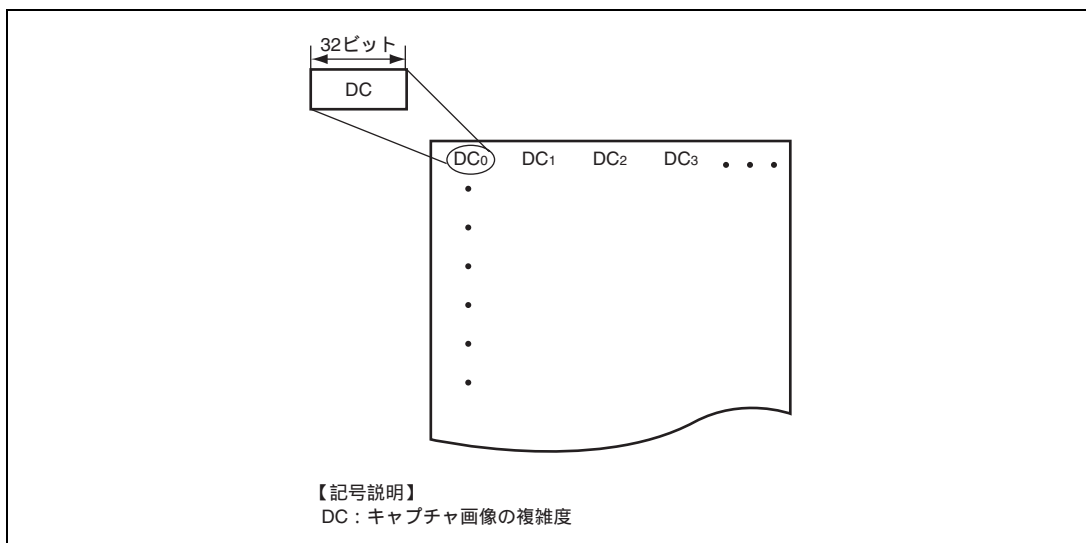


図 34.46 キャプチャ画像の複雑度のメモリ出力イメージ

34.4.23 キャプチャイベント割り込み許可レジスタ (CEIER)

CEIER は、CEU の割り込みを発生するイベントフラグレジスタに割り込み許可を設定するレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	NV DIE	NH DIE	FWFIE	DCO FIE	—	VB PIE	—	IGV SIE	IGH SIE	CDT OFIE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPBE 4IE	CPBE 3IE	CPBE 2IE	CPBE 1IE	—	—	VDIE	HDIE	—	—	—	IGR WIE	—	—	CF EIE	CP EIE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
25	NVDIE	0	R/W	非 VD 割り込み許可。データイネーブル取り込み時は、本割り込みは禁止に設定してください。 0 : 非 VD 割り込み禁止 1 : 非 VD 割り込み許可
24	NHDIE	0	R/W	非 HD 割り込み許可。データイネーブル取り込み時は、本割り込みは禁止に設定してください。 0 : 非 HD 割り込み禁止 1 : 非 HD 割り込み許可

ビット	ビット名	初期値	R/W	説明
23	FWFIE	0	R/W	FWF 割り込み許可 0 : FWF 割り込み禁止 1 : FWF 割り込み許可
22	DCOFIE	0	R/W	DCOF 割り込み許可 0 : DCOF 割り込み禁止 1 : DCOF 割り込み許可
21	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
20	VBPIE	0	R/W	VBP 割り込み許可 0 : VBP 割り込み禁止 1 : VBP 割り込み許可
19	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
18	IGVSIE	0	R/W	IGVS 割り込み許可 0 : IGVS 割り込み禁止 1 : IGVS 割り込み許可
17	IGHSIE	0	R/W	IGHS 割り込み許可 0 : IGHS 割り込み禁止 1 : IGHS 割り込み許可
16	CDTOFIE	0	R/W	CDTOF 割り込み許可 0 : CDTOF 割り込み禁止 1 : CDTOF 割り込み許可
15	CPBE4IE	0	R/W	CPBE4 割り込み許可 0 : CPBE4 割り込み禁止 1 : CPBE4 割り込み許可
14	CPBE3IE	0	R/W	CPBE3 割り込み許可 0 : CPBE3 割り込み禁止 1 : CPBE3 割り込み許可
13	CPBE2IE	0	R/W	CPBE2 割り込み許可 0 : CPBE2 割り込み禁止 1 : CPBE2 割り込み許可
12	CPBE1IE	0	R/W	CPBE1 割り込み許可 0 : CPBE1 割り込み禁止 1 : CPBE1 割り込み許可
11、10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
9	VDIE	0	R/W	VD 割り込み許可 0 : VD 割り込み禁止 1 : VD 割り込み許可

ビット	ビット名	初期値	R/W	説明
8	HDIE	0	R/W	HD 割り込み許可 0 : HD 割り込み禁止 1 : HD 割り込み許可
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
4	IGRWIE	0	R/W	キャプチャ中レジスタアクセス割り込み許可 0 : キャプチャ中レジスタアクセス割り込み禁止 1 : キャプチャ中レジスタアクセス割り込み許可
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
1	CFEIE	0	R/W	CFE 割り込み許可 0 : CFE 割り込み禁止 1 : CFE 割り込み許可
0	CPEIE	0	R/W	1 フレームキャプチャ終了割り込み許可 0 : 1 フレームキャプチャ終了割り込み禁止 1 : 1 フレームキャプチャ終了割り込み許可

34.4.24 キャプチャイベントフラグクリアレジスタ (CETCR)

CETCR は、CEU 内部で CPU に対して割り込みが起こった場合に、その要因を表すレジスタです。本レジスタに立っているフラグは、そのまま割り込み信号になっていますので、対応する割り込みが許可 (イネーブル) になっていると、割り込みが発生します。割り込みを消す場合には、割り込み要因に対応するビットを 0 クリアすることで、書き込み後、数サイクルでクリアされます。

消去したい割り込み要因のビットに 0 をセットし、そのままの状態に保持したい場合には、1 をセットして書き込みを行ってください。たとえば、CPE ビットのみクリアしたい場合は、H'FFFF FFFE の書き込みを行ってください。

本レジスタへの書き込み時に 0 を書き込んだビットは、クリアされます。1 を書き込んだ場合には、そのビットの値は現在の値が保持されます。割り込み要因のクリア時には、クリアしたい要因のビットにのみ 0 を書き込み、それ以外のビットには 1 を書き込んでください。

【注】 以下の場合、本レジスタは不定値となりますので、必ず本レジスタの全ビットを 0 クリアしてください。

- ・リセット直後の VD、HD ビット
- ・クロックストップ後の全ビット
- ・キャプチャインタフェースの同期信号極性設定を変化させた時の VD、HD ビット

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	NVD	NHD	FWF	DCOF	—	VBP	—	IGVS	IGHS	CDTOF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPBE4	CPBE3	CPBE2	CPBE1	—	—	VD	HD	—	—	—	IGRW	—	—	CFE	CPE
初期値:	0	0	0	0	0	0	—	—	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
25	NVD	0	R/W	VDが入力されなかったことを表す割り込み 非VD割り込みが発生するタイミングは、14ビットの内部カウンタがフルのときです。したがって、NVDフラグはVDが入力されてから16384ライン以上次のVDが入力されないと1になります。
24	NHD	0	R/W	HDが入力されなかったことを表す割り込み 非HD割り込みが発生するタイミングは、デジタル画像入力端子のビット幅によって異なります。 8ビットデジタル画像入力端子の場合、8サイクルごとにインクリメントする11ビットの内部カウンタがフルのときです。したがって、NHDフラグはHDが入力されてから16,376サイクル以上次のHDが入力されないと1となります。 16ビットデジタル画像入力端子の場合、4サイクルごとにインクリメントする12ビットの内部カウンタがフルのときです。したがって、NHDフラグはHDが入力されてから16,380サイクル以上次のHDが入力されないと1となります。 VDがローの期間中HDもローに固定されているカメラを接続した場合等には、NHDフラグが立つ可能性があります。 データインネーブル取り込み時は、本割り込みは無視してください。
23	FWF	0	R/W	CFWCR.FMVで指定される数値を超えるアドレスにデータを書き込もうとしたときに生じる割り込み CFWCR.FWE=1のとき、CFWCR.FMVで指定された数値を超えるアドレスにデータを書き込もうとした場合に1になります。
22	DCOF	0	R/W	画像の複雑度抽出において、転送要求中のデータが継続のデータに上書きされたことを表す割り込み 画像の複雑度抽出ではデータを蓄積するバッファを実装していないため、バスへの転送が後続の複雑度が算出されるまでに完成していなければ、バスへの転送を待っていたデータを後読のデータで上書きします。DCOFビットは、バスへの転送を待っている画像の複雑度を、後読の画像の複雑度が上書きした場合に1となります。
21	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
20	VBP	0	R/W	<p>CEU がデータを保持している状態で、VD が入力されたことを表す (V.B.P が不足している) 割り込み</p> <p>VBP 割り込みの発生条件は以下のとおりです。</p> <p>【発生条件 1】</p> <p>CEU 内部にキャプチャデータを抱えた状態で VD が入力された</p> <p>【発生条件 2】</p> <p>ライトバッファのオーバーフローまたはイリーガル HD により、最後の転送データを内部により検知できなくなり、終了タイミングが次の VD まで分からない (VD のタイミングで VBP 割り込みを発生させることによりキャプチャ Fail を知らせることができる)</p> <p>本割り込みが発生した場合は、終了割り込み (CETCR の CPE ビット) は発生せず、そのフレームの画像は正しくキャプチャされません。キャプチャ終了割り込み (CPE ビット) が発生する場合は希にありますが、この場合の終了割り込みは無視してください。また、次の VD までキャプチャはできません (キャプチャ予約信号 CAPSR の CE ビットが 1 でもキャプチャは開始しません)。</p> <p>発生条件 2 の場合は、本割り込みを待つことなく、ソフトウェアリセット (CAPSR の CPKIL ビット) によりキャプチャを終了し、その後再起動をするようにしてください。この場合は VD まで待たずに動作が終了するため、VBP 割り込みは発生せず、次の VD から取り込みが可能となります。</p>
19	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
18	IGVS	0	R/W	<p>CMCYR に設定した VD サイクルと外部モジュールからの VD サイクルが異なる時に発生する割り込み</p> <p>外部モジュールから VD の入力不正に入った時に 1 が立ちます。CEU への VD の HD サイクル数が CMCYR の VCYL ビットに設定した値と異なるときに、1 が立ちます。ただし、VCYL ビットが 0 の設定のときは、割り込みを発生しません。</p>
17	IGHS	0	R/W	<p>CMCYR に設定した HD サイクルと外部モジュールからの HD サイクルが異なる時に発生する割り込み</p> <p>外部モジュールから HD の入力不正に入った時に 1 が立ちます。CEU への HD のクロックサイクル数が CMCYR の HCYL ビットに設定した値と異なるときに、1 が立ちます。ただし、HCYL ビットが 0 の設定のときは、割り込みを発生しません。</p>
16	CDTOF	0	R/W	<p>ライトバッファの CRAM において、データのオーバーフローがあったことを表す割り込み</p> <p>キャプチャ動作は、外部モジュールからリアルタイムでデータが入力されます。このため、ある一定以上の転送レートで、CEU の内部バッファからメモリへキャプチャしたデータを転送しなければ、フレームイメージが壊れます。本ビットは、CEU 内部にあるライトバッファ CRAM 内データのバスへの書き出しが間に合わず、データがオーバーフローした場合に 1 となります。</p>

ビット	ビット名	初期値	R/W	説明
15	CPBE4	0	R/W	<p>バンドル書き込みで、CDBYR2、CDBCR2 への書き込みが終了したことを表す割り込み</p> <p>この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。</p> <p>CBDSR で設定したライン数をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに 1 が立ちます。</p> <p>なお、バンドル書き込みの最後のキャプチャデータが、1 フレーム (フィールド) の最後のキャプチャデータの場合、本割り込みは発生しません。</p>
14	CPBE3	0	R/W	<p>バンドル書き込みで、CDBYR、CDBCR への書き込みが終了したことを表す割り込み</p> <p>この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。</p> <p>CBDSR で設定したライン数をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに 1 が立ちます。</p> <p>なお、バンドル書き込みの最後のキャプチャデータが、1 フレーム (フィールド) の最後のキャプチャデータの場合、本割り込みは発生しません。</p>
13	CPBE2	0	R/W	<p>バンドル書き込みで、CDAYR2、CDACR2 への書き込みが終了したことを表す割り込み</p> <p>この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。</p> <p>CBDSR で設定したライン数 (データイネーブル取り込み時はバイト数) をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに 1 が立ちます。</p> <p>なお、画像キャプチャまたはデータ同期取り込み時、バンドル書き込みの最後のキャプチャデータが、1 フレーム (フィールド) の最後のキャプチャデータの場合、本割り込みは発生しません。</p>
12	CPBE1	0	R/W	<p>バンドル書き込みで、CDAYR、CDACR への書き込みが終了したことを表す割り込み</p> <p>この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の HD 入力とは関係なく出力されます。</p> <p>CBDSR で設定したライン数 (データイネーブル取り込み時はバイト数) をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに 1 が立ちます。</p> <p>なお、画像キャプチャまたはデータ同期取り込み時、バンドル書き込みの最後のキャプチャデータが、1 フレーム (フィールド) の最後のキャプチャデータの場合、本割り込みは発生しません。</p>
11、10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
9	VD	不定	R/W	外部モジュールから VD (垂直同期信号) が入力されたことを表す 割り込み 外部モジュールからの VD を検出した時点で 1 になります。CAMCR の VDPOL ビットを変化させた直後は擬似 VD が入り本ビットが 1 となるので、VDPOL ビット変化後の VD 割り込みは無視してください。
8	HD	不定	R/W	外部モジュールから HD (水平同期信号) が入力されたことを表す 割り込み 外部モジュールからの HD を検出した時点で 1 になります。CAMCR の HDPOL ビットを変化させた直後は擬似 HD が入り本ビットが 1 となるので、HDPOL ビット変化後の HD 割り込みは無視してください。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
4	IGRW	0	R/W	動作中の書き込みが禁止されているレジスタに、キャプチャ中にアクセスが行われたことを表す割り込み CEU のレジスタは、キャプチャ実行中に書き換えが禁止されているものと、書き込みが許可されているものがあります。各レジスタへの書き込みの許可と禁止を表 34.11 に示します。本ビットは、キャプチャ中に書き込みが禁止されているレジスタにキャプチャ実行中に書き込みがあったときに、1 が立ちます。
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
1	CFE	0	R/W	外部モジュールからの 1 フィールドのキャプチャが終了したことを表す 割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の VD 入力とは関係なく出力されます (図 34.47 参照)。両フィールドキャプチャ時のみ発生します。
0	CPE	0	R/W	外部モジュールからの 1 フレームのキャプチャが終了したことを表す 割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次の VD 入力とは関係なく出力されます。 1 フレームのキャプチャが終了したことを表します。CAPWR で設定した画像をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに 1 が立ちます (図 34.48 参照)。

表 34.11 キャプチャ中のレジスタ書き込みの許可と禁止

名称	キャプチャ中の書き込み	名称	キャプチャ中の書き込み
CAPSR		CDBCR	
CAPCR	x	CBDSR	
CAMCR	x	CFWCR	
CMCYR	x	CLFCR	
CAMOR		CDOCR	
CAPWR		CDDCR	
CAIFR	x	CDDAR	
CRCNTR		CEIER	
CRCMPR	x	CETCR	
CFLCR		CSTSR	x
CFSZR		CSRTR	
CDWDR		CDSSR	x
CDAYR		CDAYR2	
CDACR		CDACR2	
CDBYR		CDBYR2	
		CDBCR2	

【記号説明】 : 許可、x : 禁止

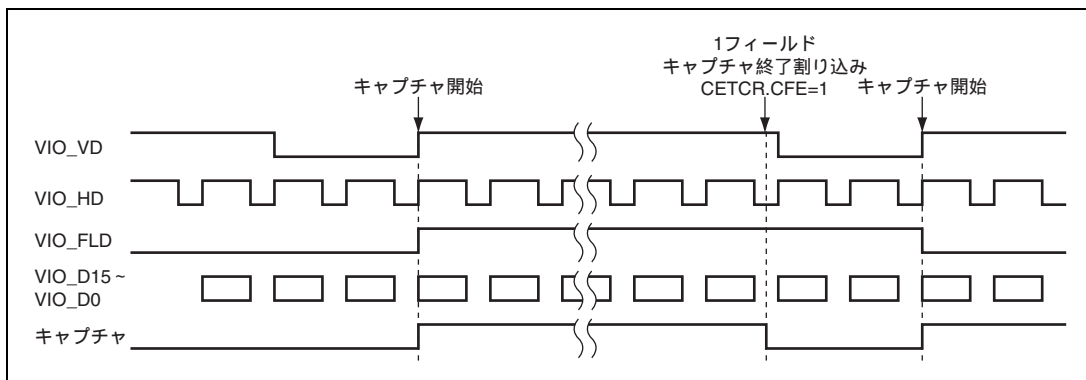


図 34.47 CFE 発生タイミング

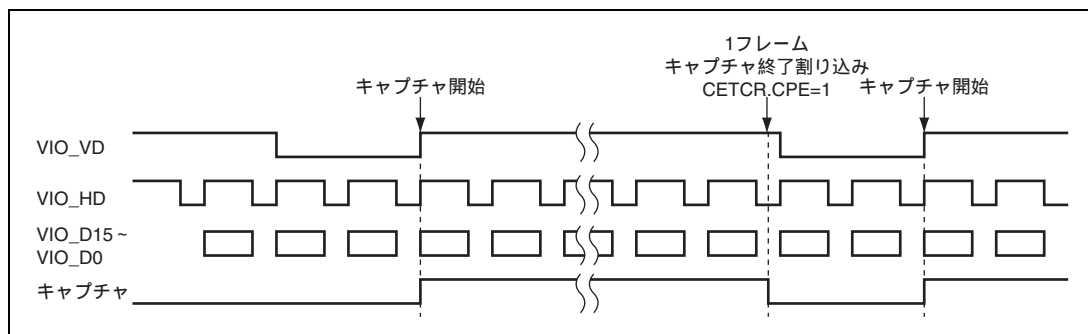


図 34.48 CPE 発生タイミング

34.4.25 キャプチャステータスレジスタ (CSTSR)

CSTSR は、CEU 内部のステータスを表すレジスタです。CETCR とは異なり、本レジスタの要因については割り込みを発生しません。

CEU の動作 / 停止状態の判定は、本レジスタで行います。停止状態を確認するためには、すべての ON 状態を示すステータスビット (ビット 9、8、0) が、完全に 0 になっていることを確認してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CRST	—	—	—	—	—	—	—	CP FLD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CP REQ	CP ACK	—	—	—	—	—	—	—	CP TON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
24	CRST	0	R	現在使用しているレジスタ面を表しています。 0: A 面のレジスタを使用している 1: B 面のレジスタを使用している
23~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
16	CPFLD	0	R	キャプチャ中のフィールドを表しています。 0: ボトムフィールドをキャプチャしている 1: トップフィールドをキャプチャしている
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
9	CPREQ	0	R	ブリッジインタフェースのリクエスト出力ポートのレベルを表していません。

ビット	ビット名	初期値	R/W	説明
8	CPACK	0	R	ブリッジインタフェースのアクノリッジ入力ポートのレベルを表しています。
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	CPTON	0	R	CEU が動作中であることを表します。 本ビットはキャプチャ開始時の内部 VD から 1 フレームキャプチャ終了割り込みの発生まで 1 を保持します。CEU の動作中期間を図 34.49 に示します。

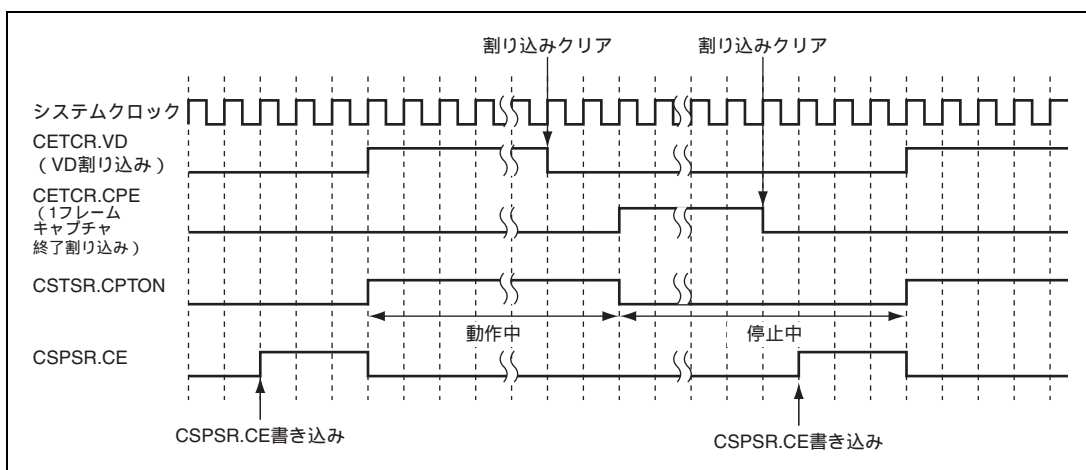


図 34.49 キャプチャ時の動作ステータス

34.4.26 キャプチャソフトウェアリセットレジスタ (CSRTR)

CSRTR は、CEU の内部回路に対して、モジュールリセットを行うレジスタです。本リセット処理は、バスの状態を考慮しないリセットなので、通常状態時ではかけないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ALL RST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
0	ALLRST	0	R/W	CEU 全体にリセットをかけ、またバスへのリクエスト信号にもリセットをかけます。 0 : 通常状態 1 : CEU の同期系回路全体にモジュールリセットをかける

注意 ALLRST ビットへの書き込みは、システム全体がフリーズした場合などの特別な場合を除いては行わないでください。動作中に ALLRST ビットへの書き込みを行うと、暴走や指定外メモリ領域の破壊等、致命的な破綻につながる可能性があります。

34.4.27 キャプチャデータ容量レジスタ (CDSSR)

CDSSR は、データインテーク取り込み時にメモリに書き込んだデータの容量を表します。本レジスタは、キャプチャ終了時に正しい値を表示するので、キャプチャ終了時に参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDSS[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDSS[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	CDSS[31:0]	H'0000 0000	R	データインテーク取り込み時にメモリに書き込んだデータ容量をバイト単位で表します。 バンドル書き込みの場合は、1 フレームキャプチャ終了時に選択されているアドレスに書き込んだデータ容量を表します。バンドル書き込みでは、CBDSR レジスタで指定されたバイト数をバスに転送し次第、データ書き込み先のアドレスを切り替えます。 したがって、バンドル書き込みの終了と同時に、1 フレームのキャプチャが終了した場合、本レジスタには H'0000 0000 が表示されます。 バンドル書き込み時の CDSSR 動作タイミングイメージを図 34.50 および図 34.51 に示します。

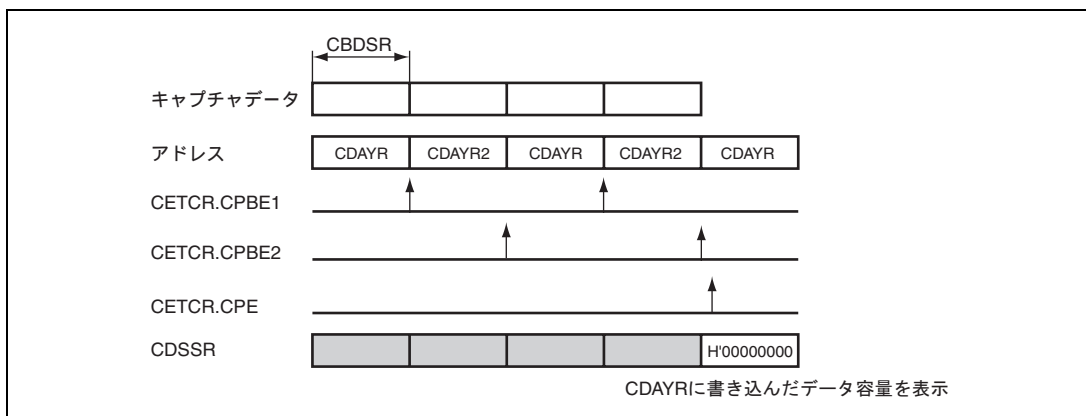


図 34.50 バンドル書き込み時の CDSSR 動作タイミングイメージ図
(バンドル書き込み終了とキャプチャ終了が同時の場合)

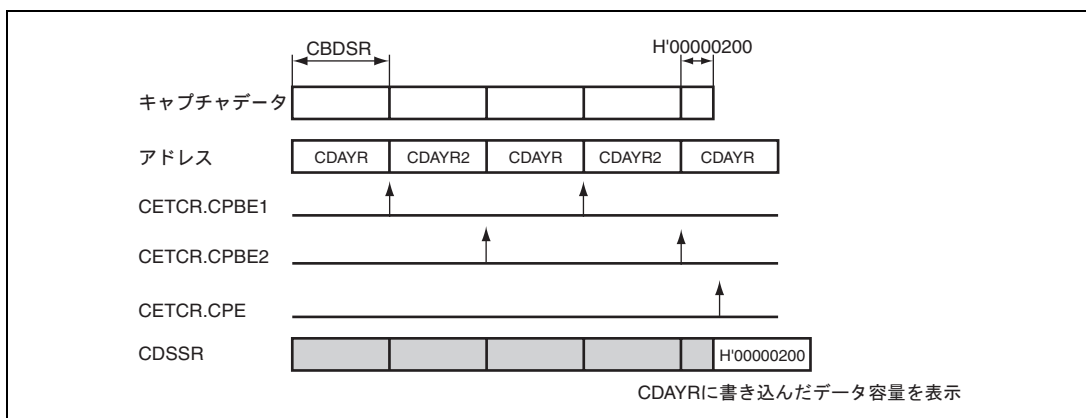


図 34.51 バンドル書き込み時の CDSSR 動作タイミングイメージ図
(バンドル書き込み終了とキャプチャ終了が異なる場合)

34.4.28 キャプチャデータアドレス Y レジスタ 2 (CDAYR2)

CDAYR2 は、バンドル書き込みで使用する輝度 (Y) 成分用のアドレス指定、およびデータ取り込みの際のバンドル書き込みで使用するデータ格納先アドレス指定レジスタです。バンドル書き込みでのみ使用します。

フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの Y 成分のデータ格納先アドレス指定、両フィールド画像キャプチャの際のトップフィールドの Y 成分格納先アドレス指定、およびデータ取り込みの際の、データ格納先アドレス指定を行います。CEU は、キャプチャした画像データを、バスを經由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際には、キャプチャデータの Y 成分のデータ格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際には、トップフィールドキャプチャ画像の Y 成分の格納先アドレスを設定してください。データ取り込みの際には、データ格納に使用するメモリ領域の先頭アドレスを設

定してください。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位は、ロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAYR2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAYR2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	CAYR2[31:2]	H'0000 0000	R/W	<ul style="list-style-type: none"> フレーム画像キャプチャ時：キャプチャデータの Y 成分データ格納先アドレス (4 画素単位) 片フィールド画像キャプチャ時：キャプチャデータの Y 成分データ格納先アドレス (4 画素単位) 両フィールド画像キャプチャ時：トップフィールドキャプチャデータの Y 成分データ格納先アドレス (4 画素単位) データ同期取り込み時：データ格納先アドレス (4 バイト単位) データイネーブル取り込み時：データ格納先アドレス (32 バイト単位)
1、0	CAYR2[1:0]		R	

本レジスタには、図 34.52 に示すように、取り込んだデータをバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データ同期取り込み時：キャプチャしたデータを格納するメモリ領域の、先頭ポイントのアドレスを設定してください。
- データイネーブル取り込み時：キャプチャしたデータを格納するメモリ領域の、先頭ポイントのアドレスを 32 バイト単位で設定してください。

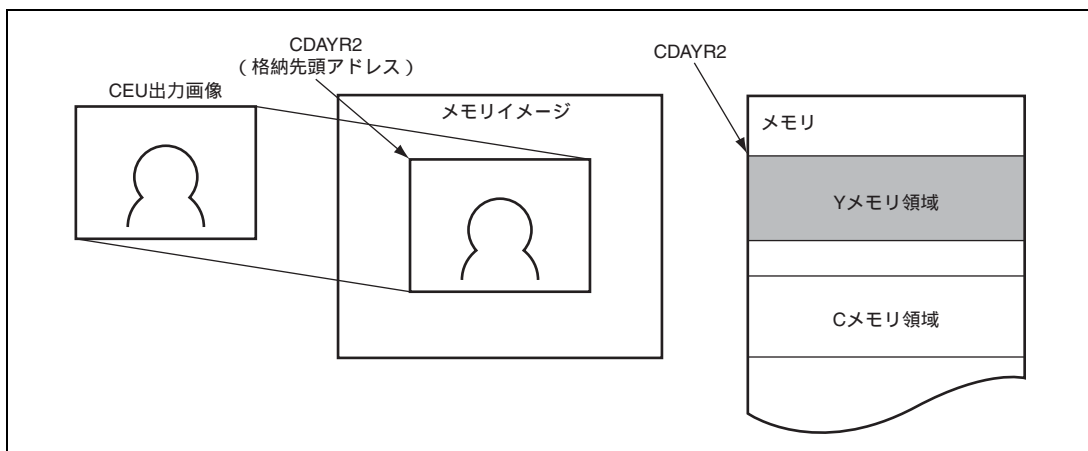


図 34.52 キャプチャ画像と Y 成分メモリ領域の関係

34.4.29 キャプチャデータアドレス C レジスタ 2 (CDACR2)

CDACR2 は、バンドル書き込みで使用される色差 (C) 成分用のアドレス指定レジスタです。バンドル書き込みでのみ使用します。

フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの C 成分の格納先アドレス指定、および両フィールド画像キャプチャの際のトップフィールドの C 成分格納先アドレス指定を行います。CEU はキャプチャした画像データを、バスを経由し輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールドキャプチャの際は、キャプチャデータの C 成分を格納するメモリ領域の先頭アドレスを設定してください。両フィールドキャプチャの際は、トップフィールドキャプチャ画像の C 成分の格納先先頭アドレスを設定してください。データ取り込みの際は、本レジスタは使用しません。

本レジスタで設定するアドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位は、ロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CACR2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CACR2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	CACR2[31:2]	H'0000 0000	R/W	<ul style="list-style-type: none"> フレーム画像キャプチャ時: キャプチャデータの C 成分データ格納先アドレス (4 画素単位) 片フィールド画像キャプチャ時: キャプチャデータの C 成分データ格納先アドレス (4 画素単位) 両フィールド画像キャプチャ時: トップフィールドキャプチャデータの C 成分データ格納先アドレス (4 画素単位)
1, 0	CACR2[1:0]		R	

本レジスタには、図 34.53 に示すように、キャプチャした画像の C 成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

また、C 成分の出力データ形式は図 34.54 のようになっており、この形式でメモリに格納します。

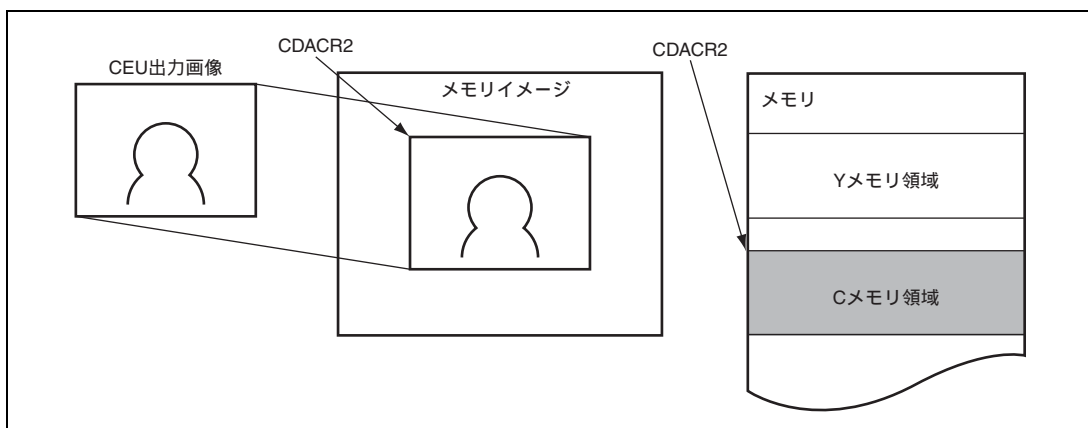


図 34.53 キャプチャ画像と C 成分メモリ領域の関係

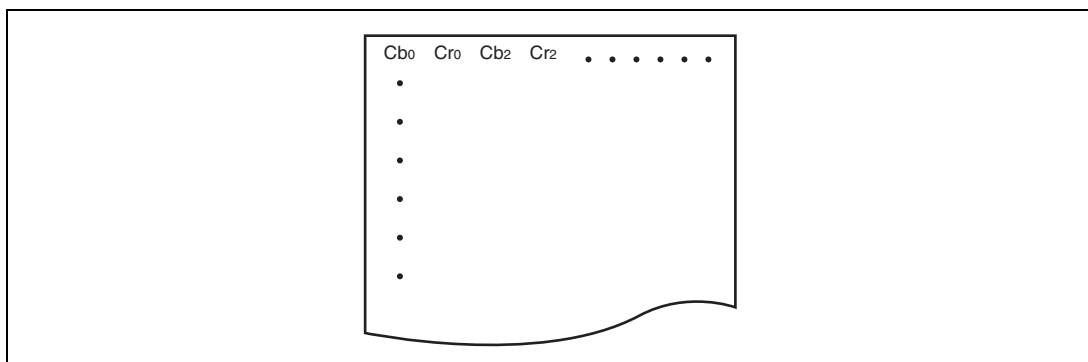


図 34.54 C 成分のメモリ出力イメージ

34.4.30 キャプチャデータボトムフィールドアドレス Y レジスタ 2 (CDBYR2)

CDBYR2 は、バンドル書き込みで使用するボトムフィールド輝度 (Y) 成分用のアドレス指定レジスタです。バンドル書き込みでのみ使用します。

両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの Y 成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを經由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの Y 成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位はロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDBYR2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDBYR2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	CDBYR2[31:2]	H'0000 0000	R/W	ボトムフィールドキャプチャデータの Y 成分データ格納先アドレス (4 画素単位)
1, 0	CDBYR2[1:0]		R	

本レジスタには、図 34.55 に示すように、ボトムフィールドキャプチャ画像の Y 成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

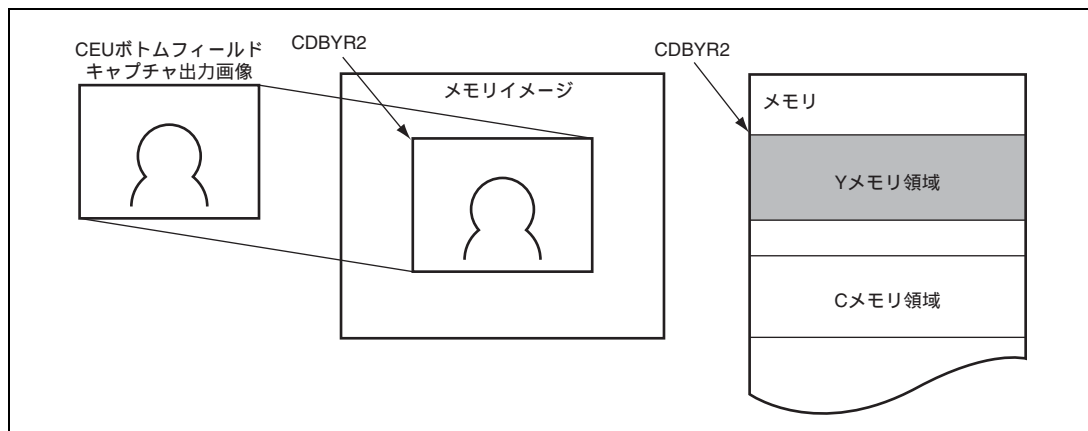


図 34.55 ボトムフィールドキャプチャ画像と Y 成分メモリ領域の関係

34.4.31 キャプチャデータボトムフィールドアドレス C レジスタ 2 (CDBCR2)

CDBCR2 は、バンドル書き込みで使用されるボトムフィールド色差 (C) 成分用のアドレス指定レジスタです。バンドル書き込みでのみ使用します。

両フィールド画像キャプチャの際の、ボトムフィールドキャプチャデータの C 成分格納先のアドレスを指定します。CEU はキャプチャした画像データを、バスを經由し、輝度成分データ (Y) と色差成分データ (C) に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの C 成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールドキャプチャの場合、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位はロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDBCR2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDBCR2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	CBCR2[31:2]	H'0000 0000	R/W	ボトムフィールドキャプチャデータの C 成分データ格納先アドレス (4 画素単位)
1, 0	CBCR2[1:0]		R	

本レジスタには、図 34.56 に示すように、ボトムフィールドキャプチャ画像の C 成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、C 成分の出力データ形式は図 34.57 のようになっており、この形式でメモリに格納します。

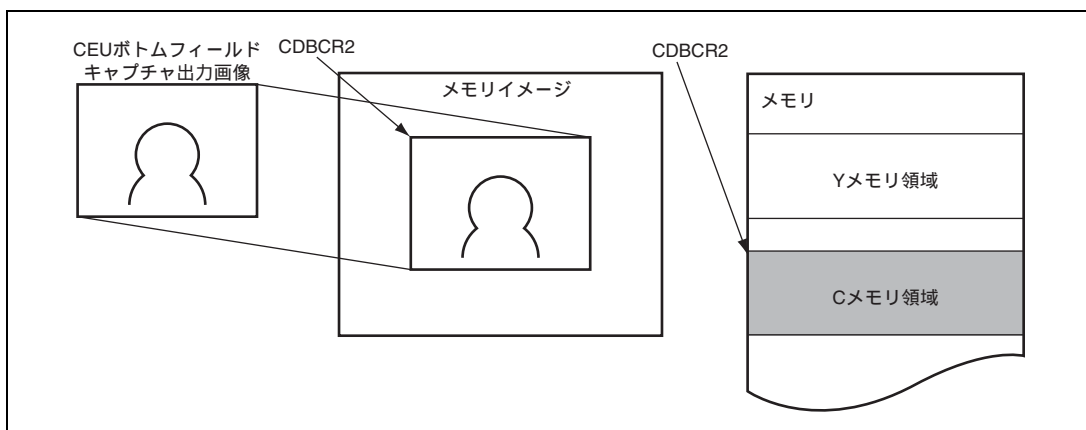


図 34.56 ボトムフィールドキャプチャ画像と C 成分メモリ領域の関係

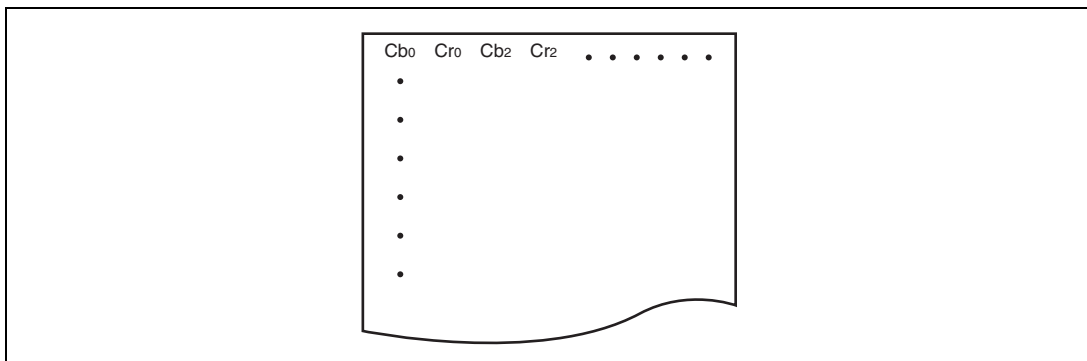


図 34.57 C 成分のメモリ出力イメージ

34.5 CEU の使用上の注意事項

34.5.1 外部モジュールの接続条件

(1) クロック周波数

外部から入力するクロックは、CEU の動作クロック周波数に対し、両方のジッタを含んだ状態で等倍以下の周波数で動作させてください。

CEU動作クロック周波数 外部入力クロック周波数

(2) ブランク期間

各ラインの最終有効画素から次の水平同期信号 HD までの期間は、20 サイクル以上空けてください。

(3) フィールド識別信号確定期間

フィールド識別信号 FLD は、VD の入力から 1HD 以上の期間確定させてください。

34.5.2 入出力機能制限事項

表 34.12 に、CEU の入出力機能の制限事項を示します。

表 34.12 CEU の入出力機能の制限事項

項目	制限事項
外部モジュール インタフェース	外部モジュール動作クロックと CEU 動作クロックの両方のジッタを含んだ状態で、外部モジュール動作クロックの周波数は、常に CEU 動作クロック周波数以下であること。
	インタフェースの選択、外部モジュールの動作クロック周波数、および HD/VD の極性等の変更は、キャプチャ動作を完全に停止した状態で行うこと。
	画像取り込み時のキャプチャ水平幅は、 8 ビットインタフェースの場合：8 サイクル単位 16 ビットインタフェースの場合：4 サイクル単位 で指定すること。
	データ取り込み時のキャプチャ水平幅は、 8 ビットインタフェースの場合：4 サイクル単位 16 ビットインタフェースの場合：2 サイクル単位 で指定すること。
	キャプチャ垂直幅は、4 ライン単位で指定すること。
	水平同期信号間のサイクル数は、外部入力クロックで、最大 16,383 サイクル以下にすること。
	垂直同期信号間のライン (HD) 数は、最大 16,383 ライン以下にすること。
	最小キャプチャ画素数は、sub-QCIF (128 × 96) である。
	最大キャプチャ画素数は、5M (2,560 × 1,920) 画素である。
	データイネーブル取り込み時のキャプチャ容量 (4 バイト単位で指定すること) 最大：6M (2,048 × 1,536 × 2) バイト 最小：16 バイト
メモリ出力	出力アドレスは、ロングワード単位で指定すること。
	出力先画像 (メモリ) の横幅は、4 画素単位で指定すること。
	水平出力画素数 (横クリップサイズ) は、4 画素単位で指定すること。
	垂直出力ライン (HD) 数 (縦クリップサイズ) は、4 ライン (HD) 単位で指定すること。
	アドレス固定モードでは、出力アドレスの下位 5 ビットを 0 とし、出力サイズは、8 画素 (8 バイト) 単位で指定すること。
データイネーブル取り込みバンドル書き込み時は、出力アドレスを 32 バイト単位で指定すること。	
内部処理	フィルタのクリップサイズ設定は、フィルタの実出力サイズ以下の値に設定すること。

35. ビデオエンジンユニット (VEU)

ビデオエンジンユニット (VEU) は、メモリから読み込んだ画像に対して、YCbCr / RGB 変換、拡大 / 縮小、減色処理などの各種画像処理を行うモジュールです。

本 LSI は、VEU を 2 セット内蔵しており、それぞれ VEU0、VEU1 と表記します。

35.1 特長

VEU は、以下の機能を持ちます。

- RGB YCbCr変換機能によるフォーマット変換
- フィルタ機能による画像の拡大縮小
- 減色処理 (量子化) を行い、RGBを32ビット単位にパック
- RGBの減色時にディザ処理を実行
- ローパスフィルタ機能による高周波成分の除去
- ローパスフィルタをブロック境界のみに適用するデブロッキングフィルタ機能を実現
- メディアンフィルタ機能を実現
- 画像のエッジ強調 (エンハンサ機能)

35.2 機能概要

表 35.1 に VEU の機能概要を示します。また、VEU では、1 回の起動で同時に実現ができる機能とできない機能があります。これを表 35.2 に示します。

なお、本文中の機能説明と表 35.1 の機能説明との間に相違があった場合は、「35.4 使用上の注意事項」を優先します。

表 35.1 機能概要

項目	実現機能	説明	特記事項
入力フォーマット	YCbCr (4:4:4 / 4:2:2 / 4:2:0) RGB バック		
出力フォーマット	YCbCr (4:4:4 / 4:2:2 / 4:2:0) RGB バック		
読み出しモード	通常読み出し バンドル読み出し	バンドル読み出しライン数 8 ライン ~ 960 ライン設定可	
ローパスフィルタ	高周波成分の除去		
デブロッキングフィルタ	ブロック境界のみの高周波成分の除去		
エンハンサ	画像強調		
メディアンフィルタ	砂状ノイズ除去		
画像回転 / 反転	上下 / 左右反転	独立に指定可	組み合わせにより、180° 回転を実現可能
	90° / 270° 回転	時計回りに回転	
拡大縮小等倍	メモリ画面の拡大縮小	× 1/16 ~ × 16 の任意倍率	
フォーマット変換	YCbCr RGB 変換	YCbCr 形式と RGB 形式の双方向変換	
ディザ処理 (減色処理)	24 bpp	Full Color (1,677 万色)	ディザ処理不可
	18 bpp	26 万色	ディザ処理不可
	16 bpp	High Color (65,536 色)	
	12 bpp	4,096 色	
	8 bpp	256 色	
最大画像サイズ	16M 画素	4,092 pixel × 4,092 line	
最小画像サイズ	16 × 16 画素	16pixel × 16line	

【注】 フィルタの拡大倍率は、1/16 倍 ~ 16 倍の間で設定できます。詳細は、「35.3.11 VEU リサイズフィルタ制御レジスタ (VRFCR)」、「35.3.12 VEU リサイズフィルタサイズクリップレジスタ (VRFSR)」を参照してください。

表 35.2 1 回の起動内の同時実現機能一覧

	バンドル モード	色変換	ローパス フィルタ	デブロッキング フィルタ	メディア ンフィルタ	エンハンサ	上下/ 左右反転	90° / 270° 回転	拡大縮小
バンドル モード	-		x	x	x			x	
色変換		-							
ローパス フィルタ	x		-	x	x	x			x
デブロッキング フィルタ	x		x	-	*	x			x
メディア ンフィルタ	x		x	x*	-	x			x
エンハンサ			x	x	x	-		x	
上下 / 左右反転							-		
90° / 270° 回転	x					x		-	x
拡大縮小			x	x	x			x	-

【記号説明】 : 可能、x : 不可

【注】 本表の各項目に対応するレジスタ値を下記に示します。

バンドルモード : VESTR.VBE

色変換 : VTRCR.TE

ローパスフィルタ : VFMCR.LPHV

デブロッキングフィルタ : VFMCR.LPHV && VFMCR.DBLK

メディアンフィルタ : VFMCR.MED

エンハンサ : VENHR.ENHH || VENHR.ENHV

上下 / 左右反転 : VFMCR.VMRR / VFMCR.HMRR

90度 / 270度回転 : VFMCR.ROTR / VFMCR.ROTL

拡大 / 縮小 : VRFCR != 0

* デブロッキングフィルタ メディアンフィルタの順は可、逆は不可

VEU のブロック図を図 35.1 に示します。

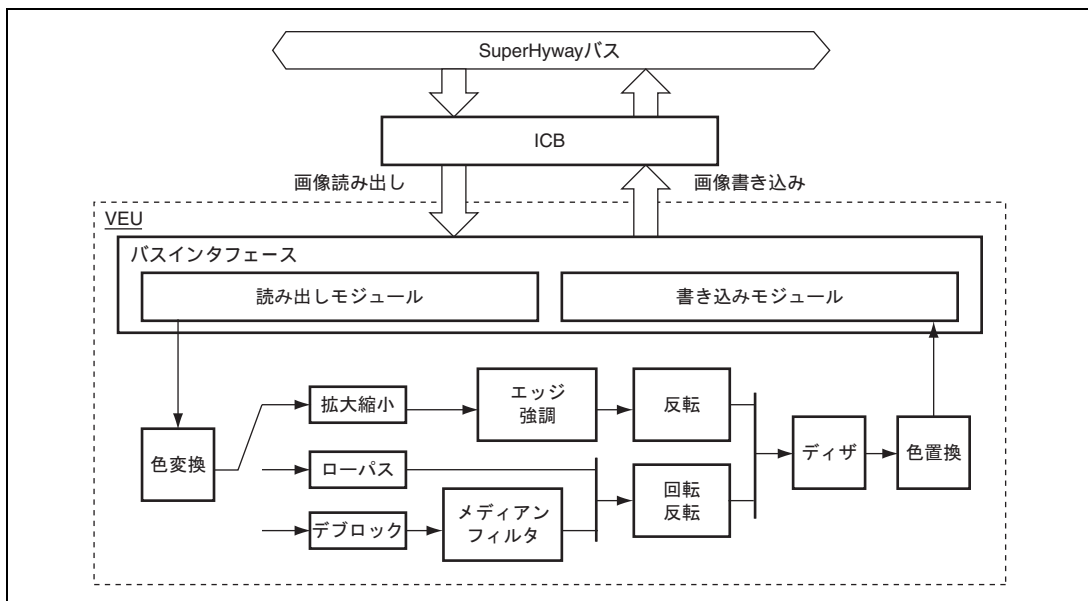


図 35.1 VEU のブロック図

- 【注】 図 35.1 において、反転とは左右反転および上下反転を表し、回転とは 90 度回転または 270 度回転を表します。拡大縮小後の反転回路では左右反転、上下反転、およびこの 2 つの反転の複合である 180 度回転を実行することができます。
- メディアンフィルタ後の回転、反転回路では拡大縮小後の反転回路で可能な動作に加え 90 度回転、270 度回転および 90 度回転 + 左右反転の複合、90 度回転 + 上下反転の複合が可能です。

- 動作説明

VEU の演算処理順序を図 35.2 に示します。VEU はさまざまな機能を有していますが、表 35.14 に示すように一回の起動で同時に行うことができない機能が存在します。図 35.2 に示す経路 1、経路 2 のいずれかの経路となりますので別の経路にある処理は実行できません。

1. $VESTR.VBE \parallel (VENHR.ENHH \parallel VENHR.ENHV) \parallel (VRFCR \neq 0)$ の条件を満たし、かつ $VFMCR.FLTPI = 0$ の場合は経路 2 となります。
2. 1. 以外の場合は経路 1 となります。

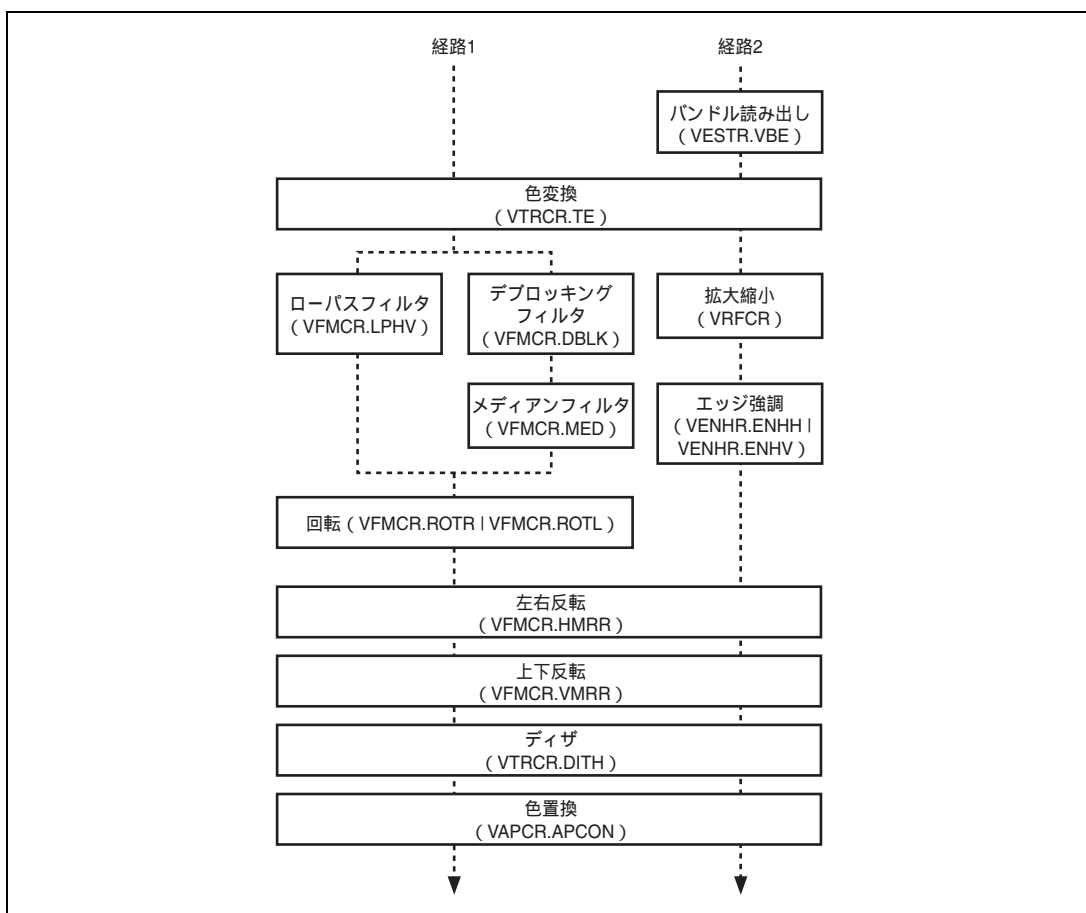


図 35.2 VEU のレジスタ設定と処理フロー、同時実現機能

35.3 レジスタの説明

(1) レジスタの R/W 制限

レジスタの R/W 制限について示します。以下のレジスタ操作が保証されない場合、動作破綻する可能性があります。

1. すべてのレジスタの読み出し専用ビットおよびリザーブ領域に対しては、1書き込みを禁止します。指定されている設定値以外の値を設定しないでください。
2. 読み出し専用ビットは、0以外の値が読み出されることがありますが、この値は書き変えないでください。
3. 動作中のレジスタ書き込み禁止を規定しているレジスタ (ビット) に関しては、動作中のレジスタ書き込みを禁止します (読み出しは可)。VEUの動作状態は、VEU起動レジスタ (VESTR) のVEビットを読み出すことで判定可能です。レジスタの書き換えは、このビットが0を示しているときに書き換えてください。

(2) 本文中で使用されている語句、略語

本文中で使用されている語句について説明します。

1. 「ソフトウェアリセット」とは、VEUの処理動作の処理中断を表し、現在の処理を中止します。ソフトウェアリセットを行ったフレームの画像処理結果は、保証されません。
2. 「モジュールリセット」は、VEU内部回路への強制リセットを示します。動作としては、モジュールリセットは、ハードウェアの状態を一切考慮せずにリセット動作を行います。このため、VEUが正常動作中にモジュールリセットを適用すると、VEU周辺のハードウェアが動作不能状態になる可能性があります。
3. 本文中の「動作中」とは、VEU起動レジスタ (VESTR) のVEビットが1となっている状態を示します。
4. 本文中のレジスタのビット名を参照する場合、レジスタ名.ビット名の形式で表します。

(例) VESTR.VE

(3) レジスタ一覧

VEU のレジスタ構成を表 35.3 に示します。また、各処理モードにおけるレジスタの状態を表 35.4 に示します。

表 35.3 VEU のレジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
VEU0 起動レジスタ	VESTR_0	R/W	H'FE92 0000	32
VEU0 ソースメモリ幅レジスタ	VESWR_0	R/W	H'FE92 0010	32
VEU0 ソースサイズレジスタ	VESSR_0	R/W	H'FE92 0014	32
VEU0 ソースアドレス Y レジスタ	VSAYR_0	R/W	H'FE92 0018	32
VEU0 ソースアドレス C レジスタ	VSACR_0	R/W	H'FE92 001C	32
VEU0 バンドルソースサイズレジスタ	VBSSR_0	R/W	H'FE92 0020	32
VEU0 デスティネーションメモリ幅レジスタ	VEDWR_0	R/W	H'FE92 0030	32
VEU0 デスティネーションアドレス Y レジスタ	VDAYR_0	R/W	H'FE92 0034	32
VEU0 デスティネーションアドレス C レジスタ	VDACR_0	R/W	H'FE92 0038	32
VEU0 変換制御レジスタ	VTRCR_0	R/W	H'FE92 0050	32
VEU0 リサイズフィルタ制御レジスタ	VRFCR_0	R/W	H'FE92 0054	32
VEU0 リサイズフィルタサイズクリップレジスタ	VRFSR_0	R/W	H'FE92 0058	32
VEU0 エンハンスレジスタ	VENHR_0	R/W	H'FE92 005C	32
VEU0 リサイズフィルタサブ制御レジスタ	VRSCR_0	R/W	H'FE92 0064	32
VEU0 リサイズフィルタサイズクリップオフセットレジスタ	VRSOR_0	R/W	H'FE92 0068	32
VEU0 フィルタモード制御レジスタ	VFMCR_0	R/W	H'FE92 0070	32
VEU0 垂直タップ係数レジスタ	VVTCR_0	R/W	H'FE92 0074	32
VEU0 水平タップ係数レジスタ	VHTCR_0	R/W	H'FE92 0078	32
VEU0 指定色レジスタ	VAPCR_0	R/W	H'FE92 0080	32
VEU0 変換色レジスタ	VECCR_0	R/W	H'FE92 0084	32
VEU0 フィル色指定レジスタ	VFLCR_0	R/W	H'FE92 0088	32
VEU0 アドレス固定レジスタ	VAFXR_0	R/W	H'FE92 0090	32
VEU0 スワッピングレジスタ	VSWPR_0	R/W	H'FE92 0094	32
VEU0 イベント割り込みイネーブルレジスタ	VEIER_0	R/W	H'FE92 00A0	32
VEU0 イベントレジスタ	VEVTR_0	R/W	H'FE92 00A4	32
VEU0 ステータスレジスタ	VSTAR_0	R	H'FE92 00B0	32
VEU0 モジュールリセットレジスタ	VBSRR_0	R/W	H'FE92 00B4	32
VEU0 リサイズ通過帯域設定レジスタ	VRPBR_0	R/W	H'FE92 00C8	32
VEU1 起動レジスタ	VESTR_1	R/W	H'FE92 4000	32
VEU1 ソースメモリ幅レジスタ	VESWR_1	R/W	H'FE92 4010	32
VEU1 ソースサイズレジスタ	VESSR_1	R/W	H'FE92 4014	32
VEU1 ソースアドレス Y レジスタ	VSAYR_1	R/W	H'FE92 4018	32
VEU1 ソースアドレス C レジスタ	VSACR_1	R/W	H'FE92 401C	32

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
VEU1 バンドルソースサイズレジスタ	VBSSR_1	R/W	H'FE92 4020	32
VEU1 デスティネーションメモリ幅レジスタ	VEDWR_1	R/W	H'FE92 4030	32
VEU1 デスティネーションアドレス Y レジスタ	VDAYR_1	R/W	H'FE92 4034	32
VEU1 デスティネーションアドレス C レジスタ	VDACR_1	R/W	H'FE92 4038	32
VEU1 変換制御レジスタ	VTRCR_1	R/W	H'FE92 4050	32
VEU1 リサイズフィルタ制御レジスタ	VRFCR_1	R/W	H'FE92 4054	32
VEU1 リサイズフィルタサイズクリップレジスタ	VRFSR_1	R/W	H'FE92 4058	32
VEU1 エンハンスレジスタ	VENHR_1	R/W	H'FE92 405C	32
VEU1 リサイズフィルタサブ制御レジスタ	VRSCR_1	R/W	H'FE92 4064	32
VEU1 リサイズフィルタサイズクリップオフセットレジスタ	VRSOR_1	R/W	H'FE92 4068	32
VEU1 フィルタモード制御レジスタ	VMCR_1	R/W	H'FE92 4070	32
VEU1 垂直タップ係数レジスタ	VVTCR_1	R/W	H'FE92 4074	32
VEU1 水平タップ係数レジスタ	VHTCR_1	R/W	H'FE92 4078	32
VEU1 指定色レジスタ	VAPCR_1	R/W	H'FE92 4080	32
VEU1 変換色レジスタ	VECCR_1	R/W	H'FE92 4084	32
VEU1 フィル色指定レジスタ	VFLCR_1	R/W	H'FE92 4088	32
VEU1 アドレス固定レジスタ	VAFXR_1	R/W	H'FE92 4090	32
VEU1 スワッピングレジスタ	VSWPR_1	R/W	H'FE92 4094	32
VEU1 イベント割り込みイネーブルレジスタ	VEIER_1	R/W	H'FE92 40A0	32
VEU1 イベントレジスタ	VEVTR_1	R/W	H'FE92 40A4	32
VEU1 ステータスレジスタ	VSTAR_1	R	H'FE92 40B0	32
VEU1 モジュールリセットレジスタ	VBSRR_1	R/W	H'FE92 40B4	32
VEU1 リサイズ通過帯域設定レジスタ	VRPBR_1	R/W	H'FE92 40C8	32

表 35.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
VESTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VESWR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VESSR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VSAYR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VSACR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VBSSR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VEDWR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VDAYR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VDACR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VTRCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VRFCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VRFSR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VENHR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VFMCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VVTCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VHTCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VAPCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VECCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VFLCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VAFXR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VSWPR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VEIER_n	初期化	初期化	保持	保持	初期化	初期化	保持
VEVTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VSTAR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VBSRR_n	初期化	初期化	保持	保持	初期化	初期化	保持
VRPBR_n	初期化	初期化	保持	保持	初期化	初期化	保持

【注】 n はモジュール番号 (0、1)。以下、本文中の記述はモジュール番号を省略した形で表します。

35.3.1 VEU 起動レジスタ (VESTR)

VESTR は、VEU の起動、処理のソフトウェアリセットを制御するレジスタです。VESTR による処理の起動前には、VEU に関するすべてのレジスタが設定されていなければなりません。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	VBE	—	—	—	—	—	—	—	VE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
8	VBE	0	R/W	バンドル読み出しモード (N ライン読み出しモード) 設定 VEU では、1 フレームの画像を VBSSR で設定したライン数で分けて読み出し処理を行うモードとして、バンドル読み出しモード (N ライン読み出しモード) があります。バンドル読み出し (N ライン読み出し) モードでの起動時は、回転処理、デブロッキングフィルタ処理、ローパスフィルタ処理、メディアアンフィルタ処理は実行できません (左右反転、上下反転、左右上下反転は可)。 0: 通常読み出しモード 1: バンドル読み出し (N ライン読み出し) モードの設定
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	VE	0	R/W	VEU 処理開始および処理のソフトウェアリセット (処理動作の中断) 制御 VEU が停止状態で本ビットを 1 とすると、VEU はレジスタ設定値に従ってメモリ上の画像処理を開始し、本ビットは 1 となります。また、本ビットが 1 の状態で 0 を書き込んだ場合、現在処理中の VEU 処理を即座に中止することができます。 ソフトウェアリセット処理の終了は、ソフトウェアリセットを VEU に対して発行した後、本ビットが 0 になることで確認可能です。ソフトウェアリセット処理後に再起動する場合は、VE ビット = 0 を確認後に行ってください。 0: NOP (本ビットが 1 のときに 0 を書き込むとソフトウェアリセット動作) 1: VEU の処理開始

VEU の起動の際に、VBE ビットが B'1 の状態で VE ビットに B'1 を書き込むとバンドル読み出しモード (N ライン読み出しモード) となります。バンドル読み出しモードでは、2 つのメモリ領域から、VBSSR の VBSS ビットで設定したライン数を交互に読み込みます。VEU が VBSSR で設定したライン数の読み込みを完了した時点で、1 フレームすべての読み出しを終えていなければバンドル終了割り込み (VEVTR.VBEND) が発生し、読み出し再起動待ち状態となります。読み出しの再起動をかけるときは、バンドル終了割り込みの要因をクリア後に、再び VE ビットに B'1 書き込みを行ってください (VBE ビットが B'1 のまま書き込む)。これを繰り返し、1 フレームすべてを終えた時点で 1 フレーム終了割り込み (VEVTR.VEEND) を発生します。バンドル読み出し処理の処理イメージを図 35.5 に示します。通常画像処理、バンドル読み出しモードでの読み出し処理、およびバンドル読み出しモードでの読み出し再起動待ちの状態は、VESTAR で確認可能です。

【ソフトウェアリセット時の注意】

1. VEU ソフトウェアリセット発行のタイミングによっては、VEU 終了割り込みフラグ (VEVTR.VEEND) が B'1 となる場合がありますが、ソフトウェアリセットを発行したフレームの処理画像は保証されません。
2. VEU ソフトウェアリセット後、VEEND フラグが B'1 とならない場合でも、VEEND フラグは必ず B'0 クリアしてください。
3. バンドル読み出しモードにおいてソフトウェアリセットをかける際は、バンドル終了割り込み後の再起動をかける前までに行ってください。

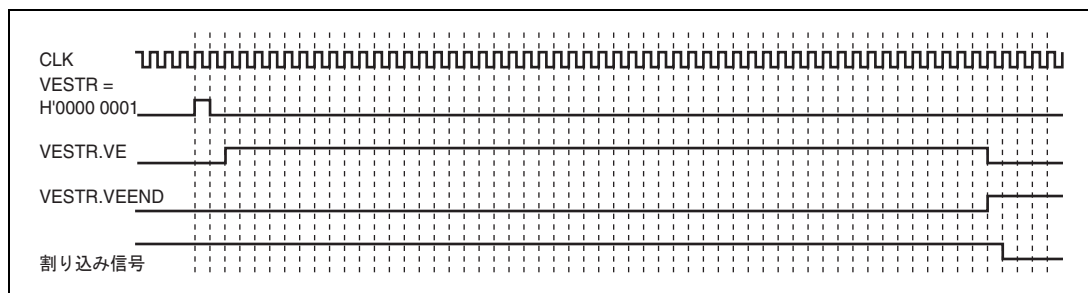


図 35.3 VE ビットと各ステータスの動作タイミング

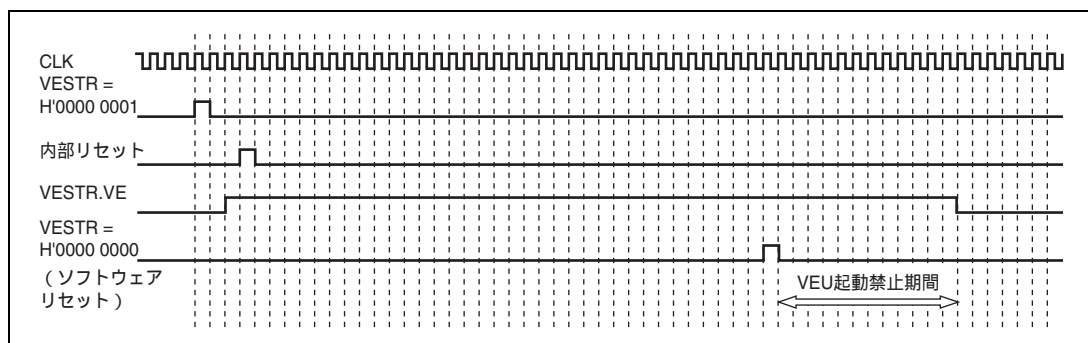


図 35.4 ソフトウェアリセットと各ステータスの動作タイミング

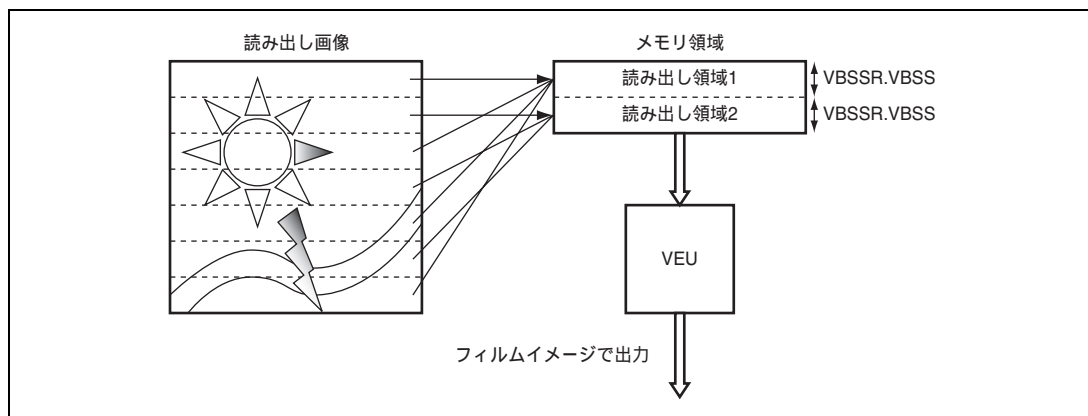


図 35.5 バンドル読み出しモードの処理イメージ図

35.3.2 VEU ソースメモリ幅レジスタ (VESWR)

VESWR は、VEU のソースメモリ領域のメモリ幅を設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSW[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
15~2	VSW[15:2]	H'0000	R/W	VEU のソースメモリ領域の幅を設定 (4 画素単位)
1、0	VSW[1:0]		R	VTRCR の RPKF=0、1、3、7、13 のときは、2 画素単位となります。

VSW ビットには、VEU の処理において、ソース画像が配置されているソースメモリ領域の横幅をバイト数で指定してください。設定はソース画像 4 画素に相当するバイト数単位で設定してください。読み込み画像が YCbCr のときは、Y 成分に合わせた設定にしてください。YCbCr 4:2:0、YCbCr 4:2:2、および YCbCr 4:4:4 読み込みにおける C 成分のソースメモリ領域の横幅は、それぞれ VSW、VSW、および VSW × 2 の値が適用されます。VTRCR の RPKF = 0、1、3、7、13 (RGB 2byte/pixel または RGB 4byte/pixel) のときは、ソース画像 2 画素に相当するバイト数単位で設定することが可能です。図 35.6(A) に示すように、画像をメモリ領域から切り出す場合は、あるラインの画像の右端アドレスとその次のライン画像左端アドレスは不連続となります。これに対して、図 35.6(B) は VEU に入力する画像の水平サイズがメモリの水平アドレス長と同じ場合を表しており、この場合は画像の右端アドレスと次のラインの左端アドレスが連続値になります。

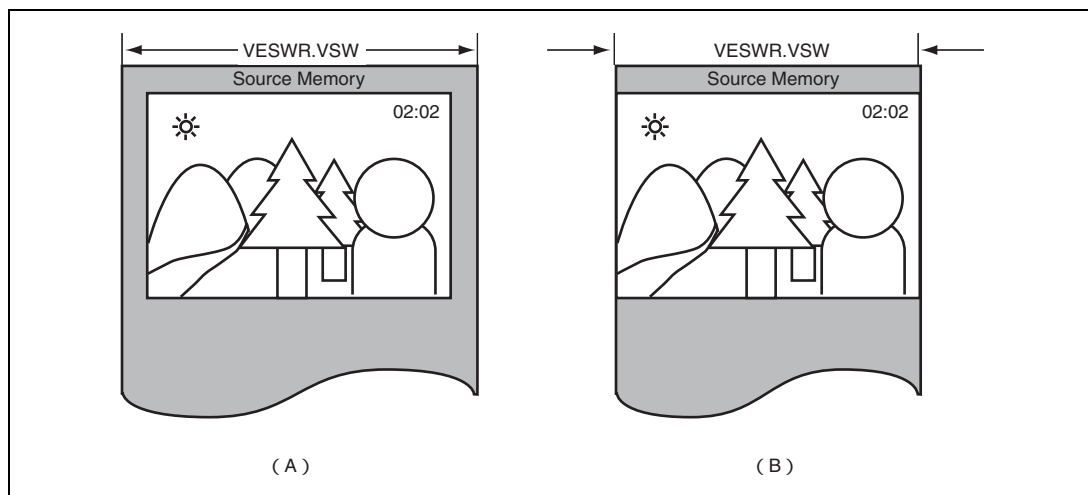


図 35.6 画像の切り出し幅と VESWR の関係

35.3.3 VEU ソースサイズレジスタ (VESSR)

VESSR は、VEU が読み込む画像の縦横サイズ (画素数) を設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VVSS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VHSS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
27~16	VVSS[11:0]	H'000	R/W	VEU の垂直方向の読み込み画素数を設定 本ビットには、VEU が読み込むソース画像の垂直方向の読み込み画素数を設定してください (図 35.7 参照)。 <ul style="list-style-type: none"> • 拡大縮小、エンハンサ、およびバンドル読み出しなしの場合 (図 35.7 参照) 読み込みフォーマット、書き込みフォーマットともに RGB で、かつ VTRCR.RPKF が 3 (RGB 2byte/pixel)、0、1、7、13 (RGB 4byte/pixel)、いずれかでかつ VTRCR.WPKF が 1、2、6 (RGB 2byte/pixel)、14、19、20、22、23 (RGB 4byte/pixel) のいずれかの場合は、2 画素単位の指定が可能です。それ以外では、4 画素単位の指定してください。 • 拡大縮小、エンハンサ、およびバンドル読み出しありの場合 (図 35.7 参照) 1 画素単位の指定が可能です。 ただし、YCbCr 4:2:0 フォーマットの場合には、2 画素単位の切り上げた範囲までのデータがメモリ上に配置されている必要があります。 最大設定値は 4,092 画素となります。
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11~0	VHSS[11:0]	H'000	R/W	VEU の水平方向の読み込み画素数を設定 本ビットには、VEU が読み込むソース画像の水平方向の読み込み画素数を設定してください (図 35.7 参照)。 <ul style="list-style-type: none"> • 拡大縮小、エンハンサ、およびバンドル読み出しなしの場合 (図 35.7 参照) 読み込みフォーマット、書き込みフォーマットともに RGB で、かつ VTRCR.RPKF が 3 (RGB 2byte/pixel)、0、1、7、13 (RGB 4byte/pixel)、いずれかでかつ VTRCR.WPKF が 1、2、6 (RGB 2byte/pixel)、14、19、20、22、23 (RGB 4byte/pixel) のいずれかの場合は、2 画素単位の指定が可能です。それ以外では、4 画素単位の指定してください。 • 拡大縮小、エンハンサ、およびバンドル読み出しありの場合 (図 35.7 参照) 1 画素単位の指定が可能です。 ただし、VESWR.VSW[15:0]には、(VHSS[11:0]を 4 画素単位の切り上げた値) × 4 / (使用フォーマットの P_density_y) 以上の値を設定してください。 ただし、YCbCr 4:2:0、YCbCr4:2:2 フォーマットの場合には、VHSS[11:0]を 2 画素単位の切り上げた範囲までのデータがメモリ上に配置されている必要があります。 最大設定値は 4,092 画素となります。

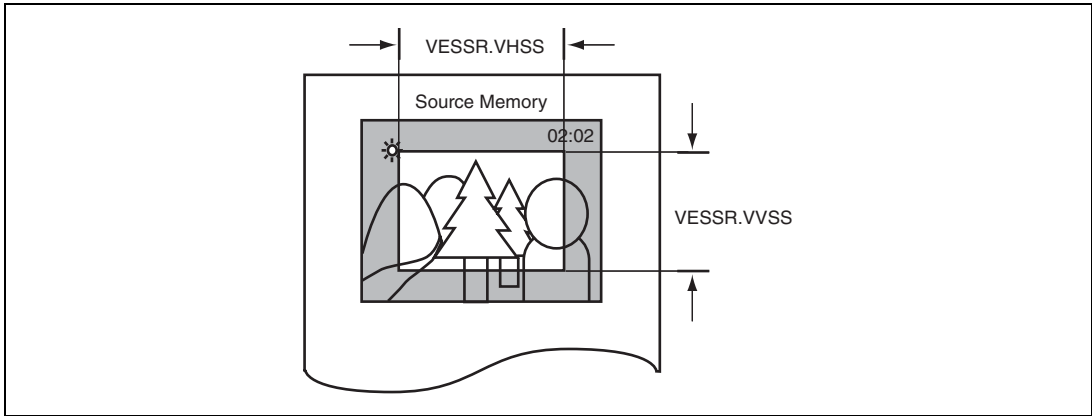


図 35.7 読み込みサイズと VESSR の関係

35.3.4 VEU ソースアドレス Y レジスタ (VSAYR)

VSAYR は、VEU が読み込む画像の Y/RGB プレーンの先頭アドレスを設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。ただし、N ライン読み出しモード時の再起動待ち状態 (VSTAR = H'0000 1001 の状態) では、本レジスタへの書き込みは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VSAYR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSAY[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	VSAYR[31:2]	H'0000 0000	R/W	VEU の Y/RGB プレーンの読み込み先頭アドレスを設定(ロングワード単位)
1, 0	VSAY[1:0]		R	

VSAY ビットには、図 35.8 のように VEU の Y/RGB プレーン画像先頭アドレスを設定します。YCbCr 形式の画像を読み込む場合には Y プレーンの先頭アドレスを指定し、RGB 形式の画像を読み込む場合には RGB プレーンの先頭アドレス (読み込む画像領域の左上端アドレス) を設定してください。YCbCr 形式の Y プレーンの入力フォーマットは図 35.8 のようになります。RGB 形式の場合の入力フォーマットは、表 35.8 を参照してください。

【注】 バンドル読み出しモード時は、VEVTR.VBEND 割り込みごとに 2 つのアドレスを交互に設定してください。

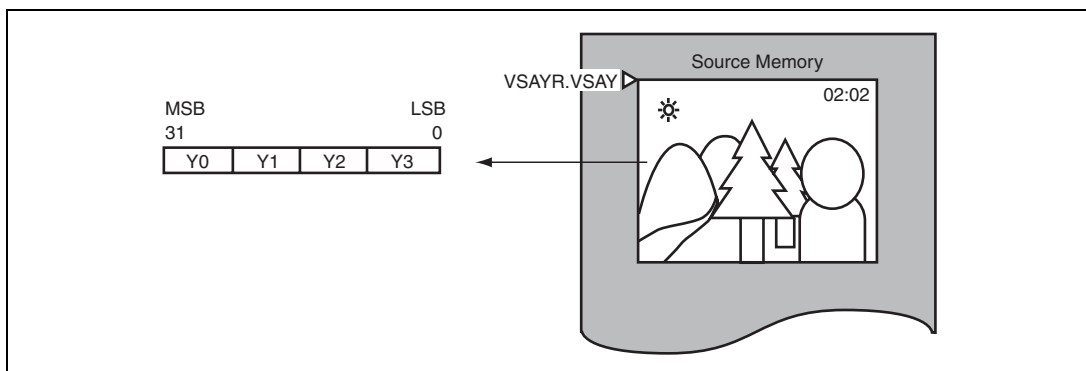


図 35.8 VSAYR の設定アドレスと Y プレーンのフォーマット

35.3.5 VEU ソースアドレス C レジスタ (VSACR)

VSACR は、VEU が読み込む画像の C プレーンの先頭アドレスを設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。ただし、N ライン読み出しモード時の再起動待ち状態 (VSTAR = H'0000 1001 の状態) では、本レジスタへの書き込みは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VSAC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VSAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	VSAC[31:2]	H'0000 0000	R/W	VEU の C プレーンの読み込み先頭アドレスを指定 (1 ロングワード単位、YCbCr 4:4:4 のときは 2 ロングワード単位)
1, 0	VSAC[1:0]		R	

VSAC ビットには、図 35.9 のように VEU のソース画像の C プレーン先頭アドレスを設定します。YCbCr 形式の画像を読み込む場合には、C プレーンの先頭アドレス (読み込む画像領域の左上端アドレス) を指定してください。C プレーンの入力フォーマットは、図 35.9 のようになります。RGB 形式の画像を読み込む場合は、VSACR は使用しません。また、YCbCr 4:2:0、YCbCr 4:2:2 フォーマットでは 1 ロングワード単位ですが、YCbCr 4:4:4 フォーマットのときは 2 ロングワード単位となります。

【注】 バンドル読み出しモード時は、VEVTR.VBEND 割り込みごとに 2 つのアドレスを交互に設定してください。

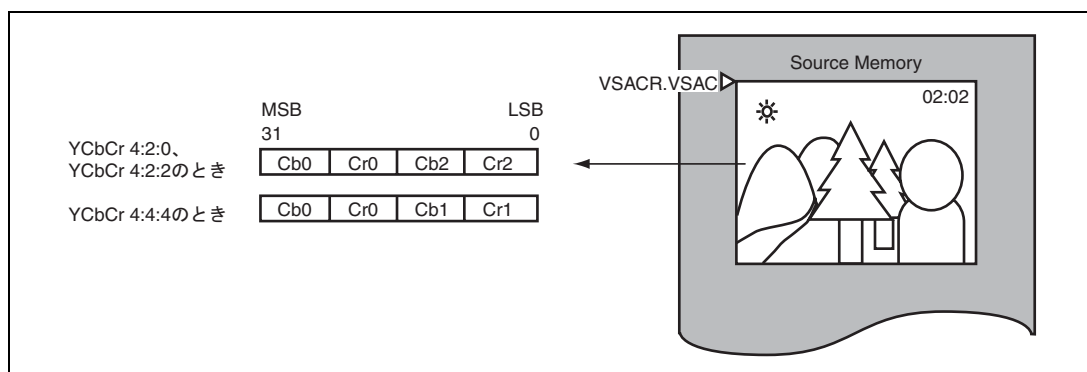


図 35.9 VSACR の設定アドレスと C プレーンのフォーマット

35.3.6 VEU バンドルソースサイズレジスタ (VBSSR)

VBSSR は、バンドル読み出しモード (N ライン読み出しモード) 時に VEU が 1 回の起動で読み込む画像のライン数 (画素数) を設定するレジスタです。本レジスタは、バンドル読み出しモード以外では設定の必要はありません。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VBSS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11~3	VBSS[11:3]	H'000	R/W	バンドル読み出しモード (N ライン読み出しモード) 時の 1 回の起動で読み出すライン数 (8 ライン単位)
2~0	VBSS[2:0]		R	

VBSS ビットには、バンドル読み出しモード時に VEU が 1 回の処理に読み込むソース画像のライン数を設定してください。設定の単位は、8 ライン単位、最大設定値は 960 ラインとなります。

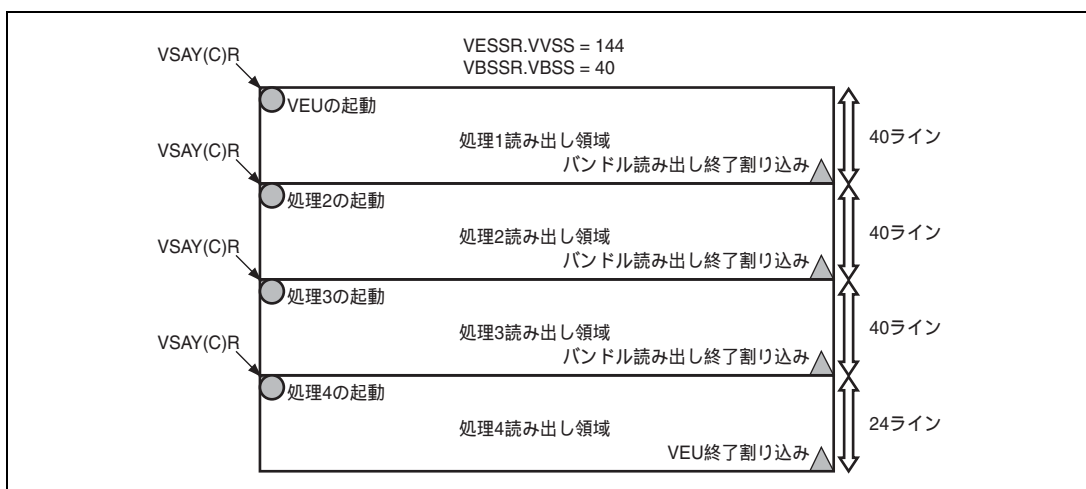


図 35.10 バンドル読み出しモード時の読み込み画像と各処理の読み込み画像の関係

35.3.7 VEU デスティネーションメモリ幅レジスタ (VEDWR)

VEDWR は、VEU のデスティネーションメモリ領域のメモリ幅を設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VDW[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
15~2	VDW[15:2]	H'0000	R/W	VEU のデスティネーションメモリ領域の幅を設定 (ロングワード単位)
1、0	VDW[1:0]		R	

VDW ビットには、デスティネーション画像が配置されるデスティネーションメモリ領域の横幅をバイト数で指定します。設定はデスティネーション画像4画素に相当するバイト数の単位で設定してください。書き込み画像が YCbCr のときは Y 成分に合わせた設定にしてください。YCbCr 4:2:0、YCbCr 4:2:2、および YCbCr 4:4:4 書き込みにおける C 成分のデスティネーションメモリ領域の横幅は、それぞれ VDW、VDW、および VDW×2 の値が適用されます。VTRCR の WPKF=1、2、6 (RGB 2byte/pixel) および 8~14、19、20、22、23 (RGB 4byte/pixel) のときは、デスティネーション画像2画素に相当するバイト数の単位で設定することが可能です。図 35.11(A)に示すように、画像をメモリ上の背景画面等に貼り付ける場合は、あるラインの画像の右端アドレスとその次のライン画像左端アドレスは不連続となります。これに対して、図 35.11(B)は VEU が出力する画像の水平サイズがメモリの水平方向のメモリ幅と同じ場合を表しており、この場合は画像の右端アドレスと次のラインの左端アドレスが連続値となります。

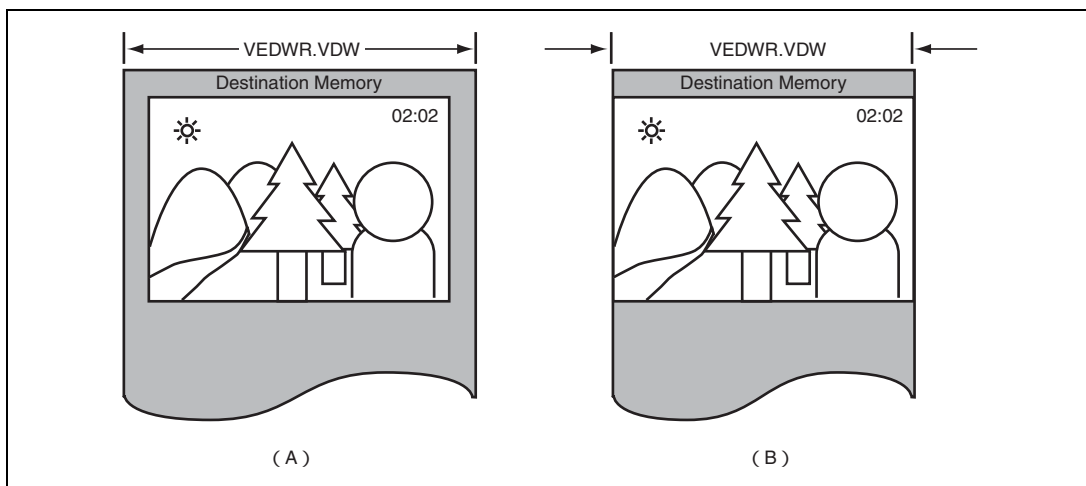


図 35.11 画像の貼り付け幅と VEDWR の関係

35.3.8 VEU デスティネーションアドレス Y レジスタ (VDAYR)

VDAYR は、VEU が書き出す画像の Y/RGB プレーンの先頭アドレスを設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VDAY[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VDAY[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	VDAY[31:2]	H'0000 0000	R/W	VEU の Y/RGB プレーンの書き出し先頭アドレスを設定(ロングワード単位)
1、0	VDAY[1:0]		R	

VDAY ビットには、図 35.12 のように VEU のデスティネーション画像先頭アドレス (出力画像領域の左上端のアドレス) を設定します。YCbCr 形式の画像を書き出す場合には Y プレーンの先頭アドレスを指定し、RGB 形式の画像を書き出す場合には RGB プレーンの先頭アドレスを設定してください。

VTRCR.WPKF=6 (RGB 16bpp パック) では、ワード単位で設定することが可能です。

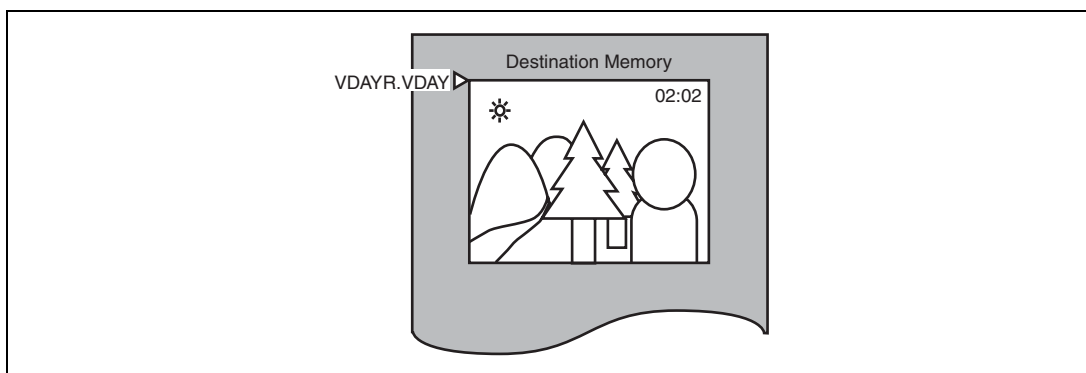


図 35.12 VDAYR の設定アドレス

VDAYR に指定するアドレスは、画像を回転 / 反転する場合に指定するポイントが変化します。この指定ポイントについて表 35.5 に各処理に対応するアドレスの指定ポイントを表します。図 35.13 にブロック処理の場合のアドレス指定ポイント、図 35.14 にライン処理の場合のアドレス指定ポイントを図示します。灰色の四角形が出力画像とすると 印の場所がアドレス設定ポイントとなります。

拡大縮小、エンハンサ、バンドル読み出しモードのいずれも使用しない、かつ VFMC.R.FLTPI=0 ときの各アドレス指定ポイントは、デスティネーションへの出力画像を 16×16 画素のブロックに分割したとき、上下左右のコーナー部分に位置するブロックの左上端のアドレスとなっています。また、拡大縮小、エンハンサ、バンドル読み出しモードのいずれかも使用しない、かつ VFMC.R.FLTPI=1 のとき、もしくは拡大縮小、エンハンサ、バンドル読み出しモードのいずれかを使用するとき、各アドレス指定ポイントは出力画像の 4 隅のいずれかになります。

表 35.5 VDAYR へのアドレス指定ポイント

	回転 / 反転なし	90° 回転	270° 回転	90° 回転+ 水平反転	90° 回転+ 垂直反転	水平反転	垂直反転	水平反転+ 垂直反転
(ブロック処理) 拡大縮小、 エンハンサ、バンドル読み出しなし、 かつ FLTPi=0	-	D	E	F	G	A	B	C
(ライン処理) 拡大縮小、エンハンサ、バンドル読み出しなし、 かつ VFMCR.FLTPi=1、 もしくは拡大縮小、エンハンサ、バンドル読み出しあり	-	x	x	x	x	H	J	K

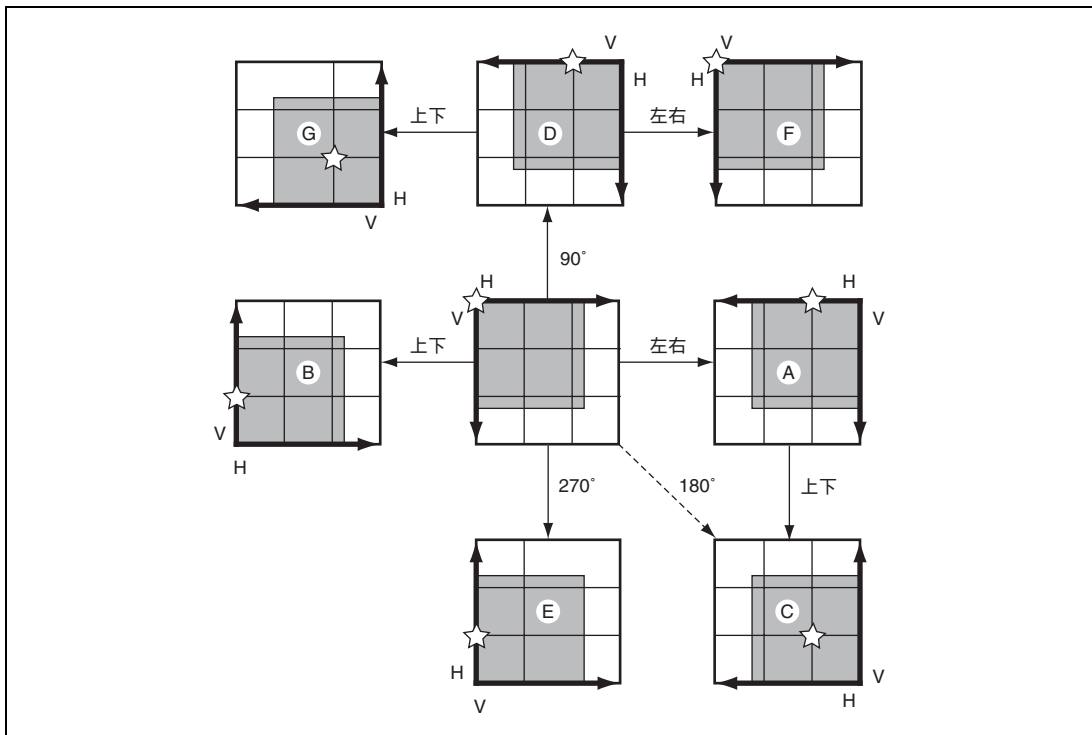


図 35.13 VDAYR へのアドレス指定ポイント位置 (ブロック処理)

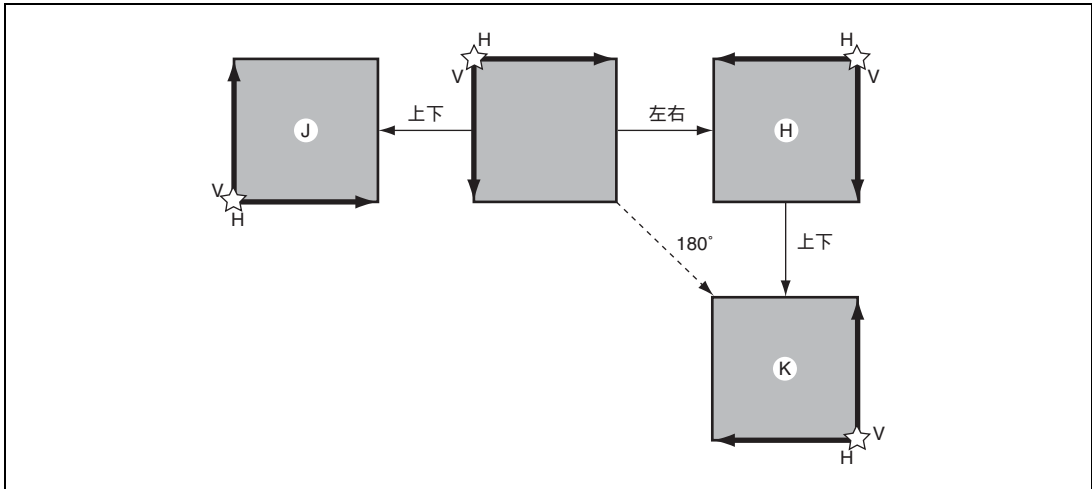


図 35.14 VDAYR へのアドレス指定ポイント位置 (ライン処理)

YCbCr 形式の画像を書き出す場合には Y プレーンのアドレスを指定し、RGB 形式の画像を書き出す場合には RGB プレーンのアドレスを設定してください。

アドレス設定式を以下に示します。

Offset_ad	出力画像の左上端のアドレス位置となります。	
yu420out	書き込みフォーマットが YCbCr4:2:0	1 : VTRCR.CHDS = 0 のとき 0 : VTRCR.CHDS = 1 または 2 のとき
clip_hsize	ライン処理出力横サイズ	VRFSR.VHCLP
clip_vsize	ライン処理出力縦サイズ	VRFSR.VVCLP
clip_vsize_c	ライン処理出力縦サイズ(C)	(clip_vsize+1)/2 : VTRCR.CHDS = 0 のとき (切り捨て) clip_vsize : VTRCR.CHDS = 1 または 2 のとき
dest_width	書き込みメモリ幅	VEDWR.VEW
dest_width_c	書き込みメモリ幅(C)	dest_width : VTRCR.CHDS = 0 または 1 のとき dest_width × 2 : VTRCR.CHDS = 2 のとき
src_hblk	横ブロック数	VESSR.VHSS/16 (切り上げ)
src_vblk	縦ブロック数	VESSR.VVSS/16 (切り上げ)
src_sideh	右端ブロック横サイズ	(VESSR.VHSS+15)%16+1
src_sidev	下端ブロック縦サイズ	(VESSR.VVSS+15)%16+1
< >	負の数を 0 とする演算子	< >の中が 0 以下の場合には 0、それ以外は < >内の値

RGB 出力のときの P_density_y は、表 35.6 を参照してください。また、YCbCr 出力の場合の P_density_y および P_density_c は表 35.7 を参照してください。

【Y 成分出力アドレス】

0	$V_{DAYR} = \text{offset_ad}$
F	$V_{DAYR} = \text{offset_ad}$
D	$V_{DAYR} = \text{offset_ad} + \langle (\text{src_vblk} - 2) \times 16 + \text{src_sidev} \rangle \times (4 / P_density_y)$
A	$V_{DAYR} = \text{offset_ad} + \langle (\text{src_hblk} - 2) \times 16 + \text{src_sideh} \rangle \times (4 / P_density_y)$
E	$V_{DAYR} = \text{offset_ad} + \langle (\text{src_hblk} - 2) \times 16 + \text{src_sideh} \rangle \times \text{dest_width}$
B	$V_{DAYR} = \text{offset_ad} + \langle (\text{src_vblk} - 2) \times 16 + \text{src_sidev} \rangle \times \text{dest_width}$
G	$V_{DAYR} = \text{offset_ad} + \langle (\text{src_hblk} - 2) \times 16 + \text{src_sideh} \rangle \times \text{dest_width} + \langle (\text{src_vblk} - 2) \times 16 + \text{src_sidev} \rangle \times (4 / P_density_y)$
C	$V_{DAYR} = \text{offset_ad} + \langle (\text{src_vblk} - 2) \times 16 + \text{src_sidev} \rangle \times \text{dest_width} + \langle (\text{src_hblk} - 2) \times 16 + \text{src_sideh} \rangle \times (4 / P_density_y)$
H	$V_{DAYR} = \text{offset_ad} + \text{clip_hsize} \times (4 / P_density_y)$
J	$V_{DAYR} = \text{offset_ad} + (\text{clip_vsize} - 1) \times \text{dest_width}$
K	$V_{DAYR} = \text{offset_ad} + (\text{clip_vsize} - 1) \times \text{dest_width} + \text{clip_hsize} \times (4 / P_density_y)$

【C 成分出力アドレス】

- 0 VDACR=offset_ad
 F VDACR=offset_ad
 D $VDACR=offset_ad + \langle((src_vblk - 2) \times 16 + src_sidev)\rangle \times (4/P_density_c)$
 A $VDACR=offset_ad + \langle((src_hblk - 2) \times 16 + src_sideh)\rangle \times (4/P_density_c)$
 E $VDACR=offset_ad + \langle((src_hblk - 2) \times 16 + src_sideh)\rangle / (1 + yuv420out) \times dest_width_c$
 B $VDACR=offset_ad + \langle((src_vblk - 2) \times 16 + src_sidev)\rangle / (1 + yuv420out) \times dest_width_c$
 G $VDACR=offset_ad + \langle((src_hblk - 2) \times 16 + src_sideh)\rangle / (1 + yuv420out) \times dest_width_c + \langle((src_vblk - 2) \times 16 + src_sidev)\rangle \times (4/P_density_c)$
 C $VDACR=offset_ad + \langle((src_vblk - 2) \times 16 + src_sidev)\rangle / (1 + yuv420out) \times dest_width_c + \langle((src_hblk - 2) \times 16 + src_sideh)\rangle \times (4/P_density_c)$
 H $VDACR=offset_ad + clip_hsize \times (4/P_density_c)$
 J $VDACR=offset_ad + (clip_vsize_c - 1) \times dest_width_c$
 K $VDACR=offset_ad + (clip_vsize_c - 1) \times dest_width_c + clip_hsize \times (4/P_density_c)$

35.3.9 VEU デスティネーションアドレス C レジスタ (VDACR)

VDACR は、VEU が書き出す画像の C プレーンの先頭アドレスを設定するレジスタです。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VDAC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VDAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	VDAC[31:2]	H'0000 0000	R/W	VEU の C プレーンの書き出し先頭アドレスを指定 (1 ロングワード単位、YCbCr 4:4:4 のときは 2 ロングワード単位)
1, 0	VDAC[1:0]		R	

VDAC ビットには、図 35.15 のように VEU のデスティネーション画像先頭アドレス (出力画像領域の左上端のアドレス) を設定します。YCbCr 形式の画像を書き出す場合には、C プレーンの先頭アドレスを指定してください。RGB 形式の画像を書き出す場合は、VDACR は使用しません。

VDACR に指定するアドレスは、画像を回転 / 反転する場合に指定するポイントが変化します。この指定ポイントについては VDAYR と同様ですので、図 35.13 と表 35.5 を参照してください。ただし、YCbCr 4:2:0 で出力する場合、C 成分の垂直方向の出力ライン数が Y 成分の場合や RGB 出力時に比べて 1/2 倍になります。垂直方向へのアドレス計算時に (メモリ幅 × 垂直方向のライン数) として計算する場合には、ライン数が 1/2 となることに注意してください (「35.3.8 VEU デスティネーションアドレス Y レジスタ (VDAYR)」の説明を参照)。

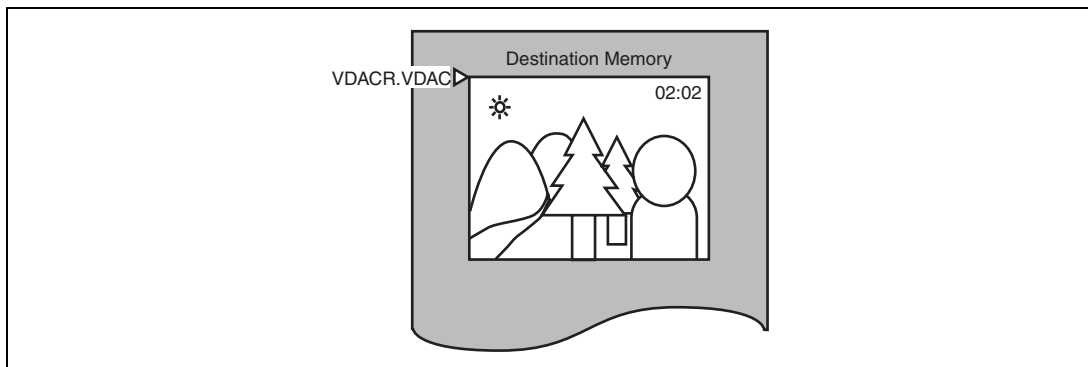


図 35.15 VDACR の設定アドレス

35.3.10 VEU 変換制御レジスタ (VTRCR)

VTRCR は、主に VEU の色変換、入出力データフォーマットに関する処理内容の設定を行います。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PAD[7:0]							CHDS[1:0]		—	WPKF[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CHRR[1:0]		—	—	RPKF[3:0]			—	—	—	DITH	TM2	TM1	TE	RY	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	PAD[7:0]	H'00	R/W	VEU の出力データが RGB 形式のとき、出力データ中に埋め込む PAD 値を設定 RGB の出力データパックの型には、図 35.16 のように PAD を含むものがあります (表 35.6 参照)。PAD には、任意の 8 ビットのデータを付加することができます。本ビットには、この PAD の部分に埋め込むデータを設定してください。

ビット	ビット名	初期値	R/W	説明
23, 22	CHDS[1:0]	00	R/W	<p>VEU の出力データが YCbCr 形式のとき、出力フォーマット形式を選択 YCbCr 形式出力時には、表 35.7 のバックパターンで出力を行います。YCbCr 4:4:4 から YCbCr 4:2:2 形式、YCbCr 4:2:0 形式への変換は、左右は 2 画素の平均値により行い、垂直方向は単純間引きとなります。</p> <p>メモリ出力先は Y と C で別プレーンとなります。したがって、Y:C のメモリ領域の比は、YCbCr 4:2:0 のときは 2:1、YCbCr 4:2:2 のときは 2:2、YCbCr 4:4:4 のときは 2:4 となります。</p> <p>00 : YCbCr モードのとき YCbCr 4:2:0 で出力 01 : YCbCr モードのとき YCbCr 4:2:2 で出力 10 : YCbCr モードのとき YCbCr 4:4:4 で出力 11 : 設定禁止</p>
21	-	0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
20 ~ 16	WPKF[4:0]	00000	R/W	<p>VEU の出力データが RGB 形式のとき、出力データバック形式を設定 VEU では出力するデータを 32 ビットにバックします。このときのデータフォーマットは、RGB 形式で出力する場合は表 35.6、YCbCr 形式で出力する場合は、表 35.7 に示すパターンでバックを行います。RGB 形式出力時の場合は、表 35.6 の WPKF の欄に示した値を、本ビットに設定してください。 RGB のスタッフィング出力バック (WPKF = H'10、H'11、H'12、H'15) 時には、ラインの先頭は必ず表 35.6 に示した phase0 のバック形式になります。</p>
15, 14	CHRR[1:0]	00	R/W	<p>VEU の入力画像形式を選択 YCbCr 形式入力時には、表 35.7 のバックパターンで出力を行います。</p> <p>00 : 入力画像形式を YCbCr 4:2:0 として読み込む 01 : 入力画像形式を YCbCr 4:2:2 として読み込む 10 : 入力画像形式を YCbCr 4:4:4 として読み込む 00 : 設定禁止</p>
13, 12	-	すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
11 ~ 8	RPKF[3:0]	0000	R/W	<p>VEU の入力データが RGB 形式のとき、RGB の入力データバック形式を設定 本ビットの設定による RGB のフォーマットと入力形式の関係は、表 35.8 のようになっています。RGB 形式で VEU に入力する場合は、表 35.8 の RPKF の欄に示した値を本ビットに設定してください。</p>
7 ~ 5	-	すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
4	DITH	0	R/W	<p>RGB 画像の減色処理時のディザ処理の有無</p> <p>VEU には RGB 画像を減色する機能があります。減色後の色数は WPKF ビットの設定に依存します。RGB 画像の減色処理は、量子化処理により行うため、量子化処理により減色後の画像には擬似輪郭が発生します。この現象は色数を少なくする程顕著になり、一般的に画質劣化の原因となります。VEU ではこの画質劣化を抑制するためのディザ処理を行うことが可能です。</p> <p>0 : VEU の出力画像が RGB 形式のとき減色時にディザ処理を適用しない 1 : VEU の出力画像が RGB 形式のとき減色時にディザ処理を適用する</p>
3 2	TM2 TM1	0 0	R/W R/W	<p>TM1 ビットは色変換回路の色変換式を ITU-R BT.601 もしくは BT.709 に設定するビットです。TM2 ビットは色変換において R/G/B と Y/Cb/Cr の 8-bit デジタル値の変換範囲を設定します。</p> <p>00 : 色変換式は ITU-R BT.601 に準拠し、値域 RGB(0,255) Y(16,235)、CbCr(16,240)の変換を行う 01 : 色変換式は ITU-R BT.601 に準拠し、値域 RGB(0,255) YCbCr(0,255)の変換を行う 10 : 色変換式は ITU-R BT.709 に準拠し、値域 RGB(0,255) Y(16,235)、CbCr(16,240)の変換を行う 11 : 色変換式は ITU-R BT.709 に準拠し、値域 RGB(16,235) Y(16,235)、CbCr(16,240)の変換を行う</p>
1 0	TE RY	0 0	R/W R/W	<p>TE ビットは RGB YCbCr 変換回路のオン/オフを設定します。</p> <p>RY ビットは入力形式が RGB であるか YCbCr であるかを設定します。</p> <p>表 35.9 に TE ビットと RY ビットの設定と入出力のデータ形式の関係を示します。</p> <p>00 : ソース画像を YCbCr 形式として読み込み、YCbCr RGB 変換を行わない 01 : ソース画像を RGB 形式として読み込み、RGB YCbCr 変換を行わない 10 : ソース画像を YCbCr 形式として読み込み、YCbCr RGB 変換を行う 11 : ソース画像を RGB 形式として読み込み、RGB YCbCr 変換を行う</p>

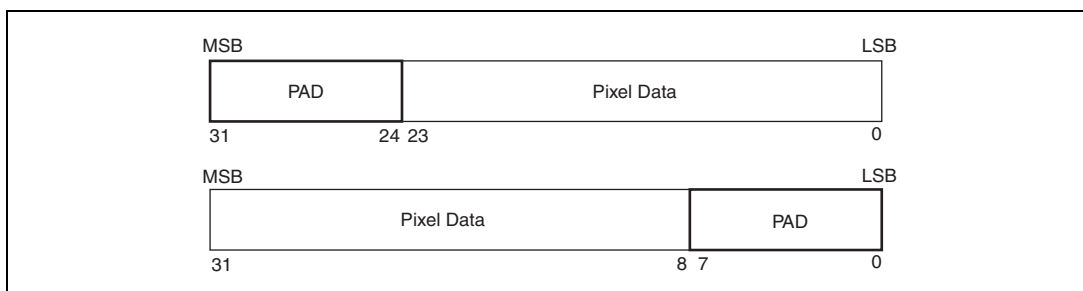


図 35.16 PAD を含むデータパックの型

表 35.6 RGB データの出力パック形式

No.	WPKF	Bit Rate [bpp]	P Density _y [pix/LW]	Phase	Bit																																								
					31 - 24								23 - 16								15 - 8								7 - 0																
0	B'00000	8	4	—	R0	R0	R0	G0	G0	G0	B0	B0	R1	R1	R1	G1	G1	G1	B1	B1	R2	R2	R2	G2	G2	G2	B2	B2	R3	R3	R3	R3	R3	R3	B3	B3	B3	B3							
1	B'00001	12	2	—	0	0	0	0	R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	0	0	0	0	R1	R1	R1	R1	R1	G1	G1	G1	G1	B1	B1	B1	B1								
2	B'00010				R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	0	0	0	0	0	R1	R1	R1	R1	G1	G1	G1	G1	B1	B1	B1	B1	0	0	0	0								
6	B'00110	16	2	—	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0								
8	B'01000	18	1	—	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	0	0	0	0	0	0	0	PAD																
10	B'01010				PAD								R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	0	0	0	0	0	0									
13	B'01101				PAD								R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	0	0	0	0	0	0	0								
14	B'01110				PAD								R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	0	0	PAD												
16	B'10000				4/3	0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	0	0	0	0	0	0	0	0	0	R1	R1	R1	R1	R1	R1	G1	G1					
			1	G1	G1	G1	G1	B1	B1	B1	B1	B1	0	0	0	0	0	0	0	0	R2	R2	R2	R2	R2	R2	G2	G2	G2	G2	G2	G2	B2	B2	B2	B2									
			2	B2	B2	B2	B2	0	0	0	0	R3	R3	R3	R3	R3	R3	R3	R3	R3	G3	G3	G3	G3	G3	G3	B3	B3	B3	B3	0	0	0	0	0	0									
17	B'10001	4/3	0	0	0	R0	R0	R0	R0	R0	0	0	G0	G0	G0	G0	G0	G0	0	0	B0	B0	B0	B0	B0	B0	0	0	R1	R1	R1	R1	R1	R1	R1	R1									
			1	0	0	G1	G1	G1	G1	G1	0	0	B1	B1	B1	B1	B1	B1	B1	0	0	R2	R2	R2	R2	R2	R2	0	0	G2	G2	G2	G2	G2	G2	G2	G2								
			2	0	0	B2	B2	B2	B2	B2	0	0	R3	R3	R3	R3	R3	R3	R3	0	0	G3	G3	G3	G3	G3	G3	0	0	B3	B3	B3	B3	B3	B3	B3	B3								
18	B'10010	4/3	0	R0	R0	R0	R0	R0	0	0	G0	G0	G0	G0	G0	0	0	B0	B0	B0	B0	0	0	R1	R1	R1	R1	R1	0	0	R1	R1	R1	R1	0	0									
			1	G1	G1	G1	G1	G1	G1	0	0	B1	B1	B1	B1	B1	B1	B1	0	0	R2	R2	R2	R2	R2	R2	0	0	G2	G2	G2	G2	G2	G2	0	0									
			2	B2	B2	B2	B2	B2	0	0	R3	R3	R3	R3	R3	R3	R3	0	0	G3	G3	G3	G3	G3	G3	0	0	B3	B3	B3	B3	B3	B3	0	0										
19	B'10011	24	1	—	PAD																																								
20	B'10100				PAD								R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	0	0	PAD											
21	B'10101				PAD								R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1		
			1	G1	G1	G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	B1	B1	R2	R2	R2	R2	R2	R2	R2	R2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2								
			2	B2	B2	B2	B2	B2	B2	B2	B2	R3	R3	R3	R3	R3	R3	R3	R3	G3	G3	G3	G3	G3	G3	0	0	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3								
22	B'10110	18	1	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0								
23	B'10111				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0							

表 35.7 YCbCr データのパック形式

No.	Comp	Bit Rate [bpp]	P density _{Y,C} [pix/LW]	Phase	Bit																													
					31 - 24								23 - 16								15 - 8								7 - 0					
0	Y data	16	4	—	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	Y3	Y3	
	C data		4		Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2
1	Y data	16	4	—	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	Y3	Y3	Y3	Y3
	C data		4		Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2
2	Y data	24	4	—	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	Y3	Y3	Y3	Y3
	C data		2		Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1
			2		Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cb3	Cb3	Cb3	Cb3	Cb3	Cb3	Cb3	Cr3	Cr3	Cr3	Cr3	Cr3	Cr3	Cr3	Cr3	Cr3	Cr3	Cr3

表 35.8 RGB データの入力パック形式

No.	RPFK	Bit Rate [bpp]	P Density _y [pix/LW]	Phase	Bit																														
					31 - 24								23 - 16								15 - 8								7 - 0						
0	B'00000	24	1	—	X	X	X	X	X	X	X	X	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0		
1	B'00001				R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	X	X	X	X	X	X	X	X		
2	B'00010	4/3	0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	R1	R1	R1	R1	R1	R1	R1	R1		
			1	G1	G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	B1	B1	R2	R2	R2	R2	R2	R2	R2	R2	G2	G2	G2	G2	G2	G2	G2	G2	
			2	B2	B2	B2	B2	B2	B2	B2	R3	R3	R3	R3	R3	R3	R3	R3	G3	G3	G3	G3	G3	G3	G3	G3	B3	B3	B3	B3	B3	B3	B3	B3	
3	B'00011	16	2	—	R0	R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	R1	R1	R1	R1	R1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	B1	B1
7	B'00111	18	1	—	X	X	X	X	X	X	X	X	X	X	X	X	X	R0	R0	R0	R0	R0	R0	G0	R0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0
13	B'01101	16	1	—	X	X	X	X	X	X	X	X	X	X	X	X	X	X	R0	R0	R0	R0	R0	R0	G0	R0	G0	G0	G0	B0	B0	B0	B0	B0	B0

【記号説明】 x : Don't care

表 35.9 VTRCR の TE ビット、RY ビットと入出力のデータ形式の関係

TE ビット	RY ビット	入力	出力
0	0	YCbCr 形式	YCbCr 形式
0	1	RGB 形式	RGB 形式
1	0	YCbCr 形式	RGB 形式
1	1	RGB 形式	YCbCr 形式

35.3.11 VEU リサイズフィルタ制御レジスタ (VRFCR)

VRFCR は、画像拡大縮小フィルタの拡大率 / 縮小率の設定を行います。拡大縮小処理を実行する場合は、他のいくつかの処理は同時に行うことができません (表 35.14 参照)。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VVMNT[3:0]				VVFRC[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VHMNT[3:0]				VHFRC[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 28	VVMNT[3:0]	H'0	R/W	垂直方向の拡大縮小率の倍数部 VVMNT ビットでは、垂直方向の倍率設定を行います。設定範囲は H'0 ~ H'F です。VVMNT ビットを H'0、VVFRC ビットを H'000 に設定した場合には、等倍出力となります。
27 ~ 16	VVFRC[11:0]	H'000	R/W	垂直方向の縮小率の端数部 VVFRC ビットでは、垂直方向の倍率設定を行います。設定範囲は H'000 ~ H'FFF です。
15 ~ 12	VHMNT[3:0]	H'0	R/W	水平方向の拡大縮小率の倍数部 VHMNT ビットでは、水平方向の倍率設定を行います。設定範囲は H'0 ~ H'F です。VHMNT ビットを H'0、VHFRC ビットを H'000 に設定した場合には、等倍出力となります。
11 ~ 0	VHFRC[11:0]	H'000	R/W	水平方向の縮小率の端数部 VHFRC ビットでは、水平方向の倍率設定を行います。設定範囲は H'000 ~ H'FFF です。

VEU では図 35.17 に示すように、画像拡大縮小フィルタによる画像拡大または縮小が可能です。VRFCR を設定したときは、メディアンフィルタ、デブロッキングフィルタ、ローパスフィルタ、および回転との同時動作は禁止されるので、VFMC の HMRR (左右反転) および VMRR (上下反転) 以外のビットには B'0 を設定してください。

拡大縮小の倍率は、1/16 ~ 16 倍の範囲で設定可能です。

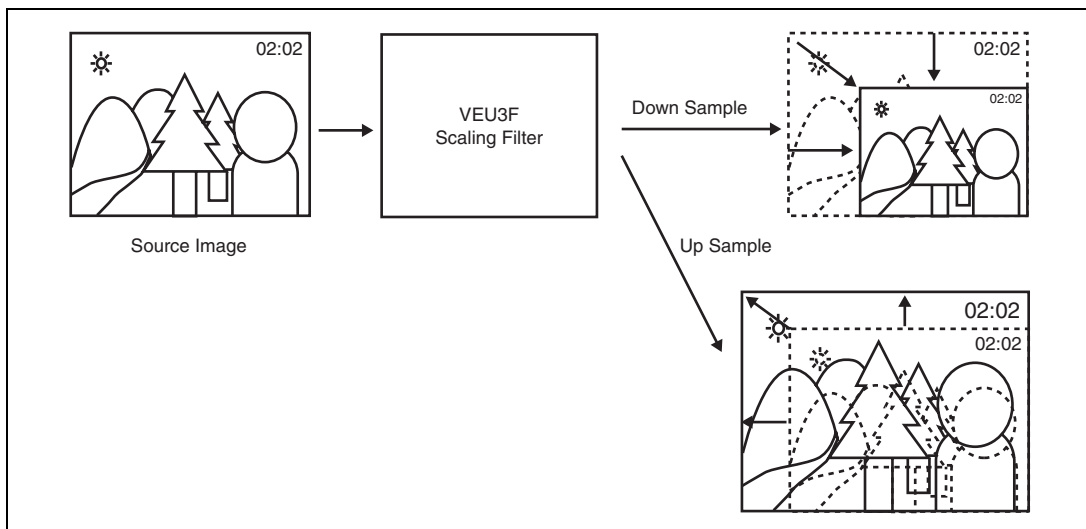


図 35.17 VEU による画像の拡大縮小

倍率、入力画素数から拡大縮小フィルタの出力画素数を求める式を示します。

$$= \text{MANT} \times 4096 + \text{FRAC} \quad \dots \text{数式1}$$

$$\text{SCL} = 4096 / \quad \dots \text{数式2}$$

数値 A の小数点以下を切り捨てる演算 <A>

入力サイズを Sin、出力サイズを SIZE と表します。

【注】 水平 : Sin=VESSR.VHSS

垂直 : Sin=VESSR.VVSS

【縮小】

$$\text{SIZE} = \langle 1 + (\langle 1 + (\text{Sin} - 1) / \text{MANTpre} \rangle - 1) \times \text{MANTpre} \times \text{SCL} \rangle [1/16 \langle \text{SCL} - 1 \rangle] \dots \text{数式3}$$

$$\text{MANTpre} = 1 [1 \text{ MANT} < 4]$$

$$= 2 [4 \text{ MANT} < 8]$$

$$= 4 [8 \text{ MANT} < 16]$$

【拡大】

$$\text{SIZE} = \langle 1 + (\text{Sin} - 1) \times \text{SCL} \rangle [1 \langle \text{SCL} < 16, \text{VRSCR.AMD} = 0 \rangle] \dots \text{数式5}$$

$$\text{SIZE} = \langle \text{Sin} \times \text{SCL} \rangle [1 \langle \text{SCL} < 16, \text{VRSCR.AMD} = 1 \rangle] \dots \text{数式6}$$

【注】 VRSCR.AMD に関しては VRSCR を参照

- 例：88画素を352画素に拡大 (VRSCR.AMD=0)

倍率=352/88=4であり、SCL=4と仮定し、数式1、数式2にあてはめ、MANT=0、FRAC=1024と仮決めします。数式5へ代入すると、SIZE (出力画素数)=349を得ることができます。所望の出力画素数352よりも小さいため、SCL (数式1) の値をこれより大きい値でかつ最小の値 (MANT=0、FRAC=H'3FF) に設定します。これにより出力画素=349となりますが、まだ所望の画素数より小さいため、これを繰り返します。MANT=0、FRAC=H'3F7で所望の画素数352を得ることができるので、88画素を352画素に拡大 (VRSCR.AMD=0) するために、MANT=0、FRAC=H'3F7を設定してください。

表 35.10 拡大/縮小フィルタの水平方向の各倍率設定例

倍率	AMD	FRAC		MANT
		10 進	16 進	
8	0	508	H'1FC	0
4	0	1017	H'3F9	0
2	0	2039	H'7F7	0
1.5	0	2723	H'AA3	0
8	1	512	H'200	0
4	1	1024	H'400	0
2	1	2048	H'800	0
1.5	1	2730	H'AAA	0
7/8	0	585	H'249	1
3/4	0	1365	H'555	1
5/8	0	2457	H'999	1
1/2	0	0	H'0	2
1/4	0	0	H'0	4
1/8	0	0	H'0	8

35.3.12 VEU リサイズフィルタサイズクリップレジスタ (VRFSR)

VRFSR は、フィルタの端数出力画素について、クリップ (切り捨て) の設定を行います。VRFCR と合わせて設定してください。本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VVCLP[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VHCLP[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
27~16	VVCLP[11:0]	H'000	R/W	拡縮後の縦クリップサイズを画素数で指定 (1画素単位) ただし、YCbCr 4:2:0 のときは、2画素単位で設定してください。
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
11~1 0	VHCLP[11:1] VHCLP[0]	H'000	R/W R	拡縮後の横クリップサイズを画素数で指定 (4画素単位) ただし、VTRCR.WPKF (書き込みバック)=1、2、6、8~14、19、20、22、23 のときは、2画素単位で設定してください。

VRFSR.VVCLP、VRFSR.VHCLP は、ライン処理 (拡大縮小またはヘンハンサまたはバンドル読み出しあり) の場合の出力サイズを設定するレジスタです。VRFSR は横方向4画素単位、縦方向1画素単位 (YCbCr 4:2:0 出力の場合は2画素単位) で指定可能です。ただし、RGB 2byte/pixel (VTRCR.WPKF=1、2、6) と RGB 4byte/pixel (VTRCR.WPKF=8~14、19、20、22、23) は横方向2画素単位の設定が可能です。

最大設定値は VRFSR.VVCLP および VRFSR.VHCLP とともに 4,092 画素となり、最小設定値は VRFSR.VVCLP および VRFSR.VHCLP とともに 16 画素となります。ただし、VRFSR.VHCLP + VRSOR.VHCLOFS 4,092 となるように設定してください。

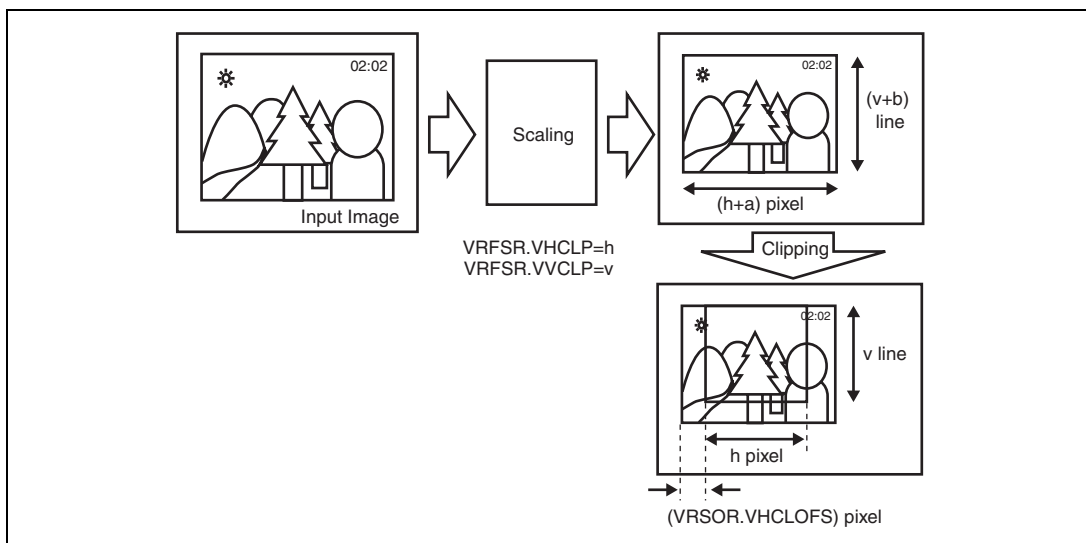


図 35.18 VEU 拡大縮小フィルタ出力画像のクリッピング

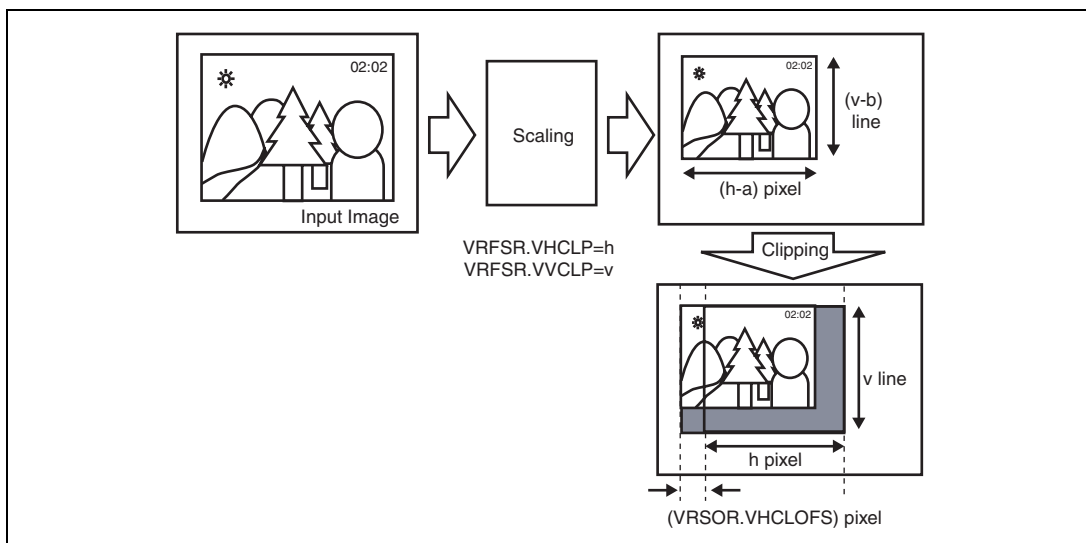


図 35.19 VEU 拡大縮小フィルタ出力画像の押し出し

本設定値をフィルタ出力画素数より小さく設定すると、図 35.18 に示すように出力画像をクリッピングします。出力する画素数は、 $VRSOR.VHCLOFS$ で設定したオフセット画素だけ右方向へずらした位置からのカウントとなります。設定した画素数よりも右側、設定したライン数よりも下側にある画素については、画像クリップ機能により切り捨てられます。

本設定値をフィルタ出力画素数よりも大きく設定した場合、 $VRSCR.FMD$ ビットの値に従い、 $VRSOR.VHCLOFS$ で設定したオフセット画素だけ右方向へずらした位置から画素数をカウントし、設定した画素数まで画素を補完出力します (図 35.19)。

ただし、水平方向に関しては、VRFSR に設定した画素数が実際の拡大縮小フィルタ出力画素数を 16 の倍数まで切り上げた値よりも大きい場合には、補完機能は動作しません。この場合、VEU がハングアップする可能性があるので、必ず、数式 1～数式 6 を用いて求めた画素数を 16 の倍数に切り上げた値以下の数値を VRFSR に設定してください。

数式 1～数式 6 から求まるフィルタ出力画素数が $16M + N$ ($N=1 \sim 16$) の場合、 $VRFSR.VV(H)CLP = 16M+16$

なお、拡大または縮小処理をする以外は、 $VRFSR.VHCLP=VESSR.VHSS$ 、 $VRFSR.VVCLP=VESSR.VVSS$ の設定としてください。

35.3.13 VEU エンハンスレジスタ (VENHR)

VENHR は、画像のエッジ強調フィルタ (エンハンサ) の設定を行います。エッジ強調処理を実行する場合は、他のいくつかの処理は同時に行うことができません (表 35.2 参照)。本レジスタは、動作中の書き込みは禁止です。

VENHR を設定したときは、メディアンフィルタ、デブロッキングフィルタ、ローパスフィルタ、および回転との同時動作は禁止となるので、VFMCR の HMRR (左右反転) および VMRR (上下反転) 以外のビットには 0 を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ENSC[2:0]		—	—	—	—	—	—	—	ENHV	ENHH
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
10～8	ENSC[2:0]	010	R/W	エッジ強調の倍率を設定 001: 強調レベル 1 (最大) 010: 強調レベル 2 011: 強調レベル 3 100: 強調レベル 4 (最小) 上記以外: 設定禁止
7～2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
1	ENHV	0	R/W	垂直方向のエッジ強調の有無 0: 垂直方向のエッジ強調を行わない 1: 垂直方向のエッジ強調を行う

ビット	ビット名	初期値	R/W	説明
0	ENHH	0	R/W	水平方向のエッジ強調の有無 0: 水平方向のエッジ強調を行わない 1: 水平方向のエッジ強調を行う

35.3.14 VEU リサイズフィルタサブ制御レジスタ (VRSCR)

VRSCR は、ライン処理 (SCALING または ENHANCE またはバンドル読み出しあり) での拡大縮小フィルタの調整を行うレジスタです。ブロック処理 (SCALING および ENHANCE およびバンドル読み出しなし) では、本設定値は初期値 (すべて 0) を設定してください。

本レジスタは、動作中の書き込みは禁止です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AMD	FMD	LC[1:0]	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	AMD	0	R/W	VEU の拡大縮小フィルタが拡大時に生成する画素数を指定します。AMD=1 を設定すると、AMD=0 にて生成される出力画像の上下、左右に画素を補完することにより $\text{int}(n \times \text{拡大率})$ の画素数が生成されます。 0: 拡大時、得られる画素数は $1 + \text{int}((n-1) \times \text{拡大率})$ になる 1: 拡大時、得られる画素数が $\text{int}(n \times \text{拡大率})$ になるようにする
30	FMD	0	R/W	VEU の拡大縮小フィルタがクリップサイズに満たない画像を出力した際、クリップサイズまで画素を補間します。FMD は補間方法を指定します。FMD=0 の場合、右端 (下端) の画素値をコピーして画素値を補完します。FMD=1 の場合、フィル色指定レジスタ (VFLCR) にて指定した色で右端 (下端) の画素を補完します。 0: 最終生成画素 / 最終生成ラインを繰り返して出力 1: 変換色指定レジスタ (VFLCR) で指定された色を繰り返し出力
29, 28	LC[1:0]	00	R/W	ソース画像の水平左端の切り取り画素数指定 0~3 まで指定可能 ソースアドレスレジスタの VSAYR、VSACR とともにロングワード単位なので、たとえば、入力フォーマットが YCbCr の場合は、背景画面からの水平切り出し開始位置は 4 画素単位となります。そのため、左端 $4M + LC$ (M: 整数、LC: 0~3 の整数) の画素位置から背景画面の切り出しを行いたい場合は、4M を読み取り先頭アドレス VSAYR で調整し、下位 2 ビットを本ビット (LC) で調整します。 本ビットに値を設定した場合、拡大縮小フィルタへの入力は、水平 VESSR.VHSS - VRSCR.LC、垂直 VESSR.VVSS となります。

ビット	ビット名	初期値	R/W	説明
27~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

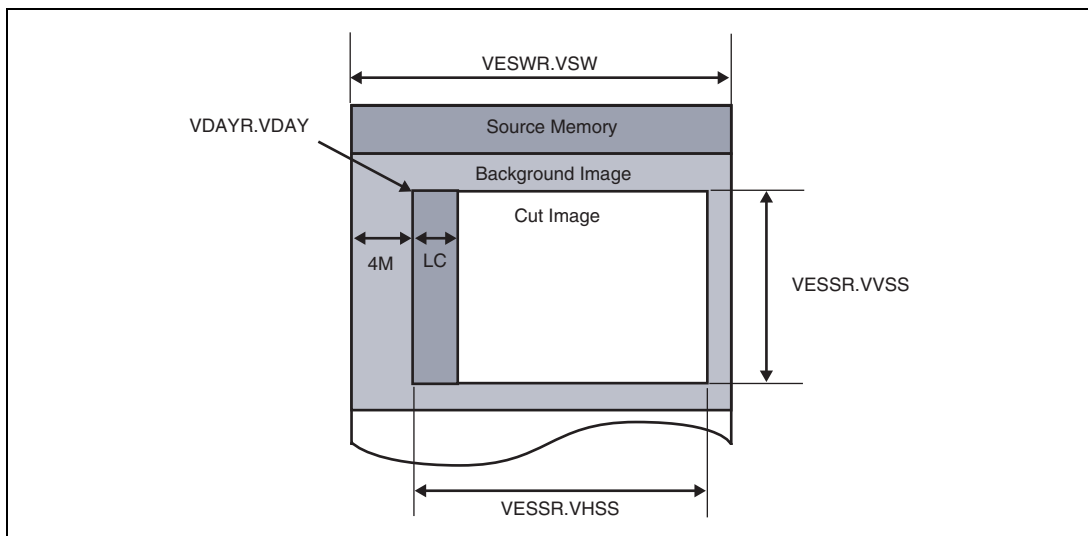


図 35.20 背景画面と切り出し画素位置の関係

35.3.15 VEU リサイズフィルタサイズクリップオフセットレジスタ (VRSOR)

VRSOR は、フィルタ出力画素のクリップ動作時における、画面左側のクリップオフセットの設定を行います。オフセット位置の詳細については図 35.18 および図 35.19 を参照してください。なお、図 35.2 に示す経路 2 において、拡大縮小後の出力画像の横画素数よりも小さく設定してください。

また、 $VRFSR.VHCLP + VRSOR.VHCLOFS = 4092$ となるように設定してください。

本レジスタを設定する場合は、VRFCR、VRFSR レジスタと合わせて設定してください。また、「35.2 機能概要」で説明している経路 2 (ライン処理 (拡大縮小またはエンハンサまたはバンドル読み出しあり)) の動作を行う際の出力サイズ設定となりますので、拡大縮小を行わない場合にも設定を行ってください。

本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	VHCLOFS[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
7~0	VHCLOFS [7:0]	H'00	R/W	拡大縮小後の横方向のクリップオフセットを画素数で指定(1画素単位)してください。

35.3.16 VEU フィルタモード制御レジスタ (VFMCR)

VFMCR は、フィルタ処理をする際の動作モードを設定するレジスタです。

読み出し専用のビットに対しては、1の書き込みを禁止します。これらのビットに1を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MED FST	FLTPI	—	—	—	—	—	—	—	MED
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TPN	—	—	DBLK	LPHV	—	—	VMRR	HMRR	—	—	ROTL	ROTR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
25	MEDFST	0	R/W	MEDFST は、FLTPI が1に設定された場合に、メディアンフィルタおよびLPF/デブロッキングフィルタの処理順序を変更するビットです。 0: LPF/デブロッキングフィルタ、メディアンフィルタの順序で処理を行う 1: メディアンフィルタ、LPF/デブロッキングフィルタの順序で処理を行う
24	FLTPI	0	R/W	FLTPI は、LPF、デブロッキングフィルタおよびメディアンフィルタの高速処理を制御するビットです。 0: LPF/デブロッキングフィルタ、メディアンフィルタの高速処理を行わない 1: LPF/デブロッキングフィルタ、メディアンフィルタの高速処理を行う FLTPI に1を設定する場合は、設定制約があるので、必ず以下を設定してください。 (1)VFMCR.ROTR=0 (2)VFMCR.ROTL=0 (3)VESTR.VBE=0 (4)VRSOR.VHCLOFS=0 (5)VRFSR.VVCLP=VSSR.VVSS (6)VRFSR.VHCLP=VSSR.VHSS

ビット	ビット名	初期値	R/W	説明
23~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
16	MED	0	R/W	メディアンフィルタ適用 メディアンフィルタを適用する場合は、拡大縮小処理との同時動作、エッジ強調フィルタとの同時動作、およびバンドル読み出しモードとの同時動作は行うことができません。したがって、本ビットを 1 に設定したときは、VRFRCR、VENHR、および VESTR の VBE ビットには 0 を設定してください (拡大縮小処理、エッジ強調処理、バンドル読み出しモードとの同時動作禁止)。 本ビットとフィルタ動作の関係は、表 35.11 を参照してください。 0: メディアンフィルタを使用しない 1: 入力画像に対してメディアンフィルタを適用する
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
12	TPN	0	R/W	ローパスフィルタ (LPF) のタップ数設定 0: LPF のタップ数を 3 タップに設定する 1: LPF のタップ数を 5 タップに設定する
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
9	DBLK	0	R/W	デブロッキングモード適用 デブロッキングフィルタを適用する場合は、拡大縮小処理との同時動作、エッジ強調フィルタとの同時動作、およびバンドル読み出しモードとの同時動作は行うことができません。したがって、本ビットを 1 に設定したときは、VRFRCR、VENHR、および VESTR の VBE ビットには 0 を設定してください (拡大縮小処理、エッジ強調処理、バンドル読み出しモードとの同時動作禁止)。 本ビットとフィルタ動作の関係は、表 35.11 を参照してください。 0: LPF を入力画像全体に対して適用 (通常モード) 1: LPF を入力画像の 8×8 画素ブロックの境界のみに対して適用 (デブロッキングモード)
8	LPHV	0	R/W	ローパスフィルタ適用 ローパスフィルタを適用する場合は、拡大縮小処理との同時動作、エッジ強調フィルタとの同時動作、およびバンドル読み出しモードとの同時動作は行うことができません。したがって、本ビットを 1 に設定したときは、VRFRCR、VENHR、および VESTR の VBE ビットには 0 を設定してください (拡大縮小処理、エッジ強調処理、バンドル読み出しモードとの同時動作禁止)。 本ビットとフィルタ動作の関係は、表 35.11 を参照してください。 0: NOP 1: 入力画像に対してローパスフィルタ (LPF) を適用
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5	VMRR	0	R/W	垂直反転 (水平軸対称) フィルタ適用 本ビットと回転 / 反転動作の関係は、表 35.12 を参照してください。 0 : NOP 1 : 入力画像に対して垂直反転 (水平軸対称) フィルタを適用
4	HMRR	0	R/W	水平反転 (垂直軸対称) フィルタ適用 本ビットと回転 / 反転動作の関係は、表 35.12 を参照してください。 0 : NOP 1 : 入力画像に対して水平反転 (垂直軸対称) フィルタを適用
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
1	ROTL	0	R/W	270° 回転 (時計回り) フィルタ適用 回転処理を適用する場合は、拡大縮小処理との同時動作、エッジ強調フィルタとの同時動作、およびバンドル読み出しモードとの同時動作は行うことができません。したがって、本ビットを 1 に設定したときは、VRFCR、VENHR、および VESTR の VBE ビットには 0 を設定してください (拡大縮小処理、エッジ強調処理、バンドル読み出しモードとの同時動作禁止)。 本ビットと回転 / 反転動作の関係は、表 35.12 を参照してください。 0 : NOP 1 : 入力画像に対して 270° 回転 (時計回り) フィルタを適用
0	ROTR	0	R/W	90° 回転 (時計回り) フィルタ適用 回転処理を適用する場合は、拡大縮小処理との同時動作、エッジ強調フィルタとの同時動作、およびバンドル読み出しモードとの同時動作は行うことができません。したがって、本ビットを 1 に設定したときは、VRFCR、VENHR、および VESTR の VBE ビットには 0 を設定してください (拡大縮小処理、エッジ強調処理、バンドル読み出しモードとの同時動作禁止)。 本ビットと回転 / 反転動作の関係は、表 35.12 を参照してください。 0 : NOP 1 : 入力画像に対して 90° 回転 (時計回り) フィルタを適用

表 35.11 MED、DBLK、LPHV ビットとフィルタ動作の関係

MED ビット	DBLK ビット	LPHV ビット	フィルタ動作
0	0	0	スルー
0	0	1	ローパスフィルタ
0	1	1	デブロッキングフィルタ
1	1	1	デブロッキングフィルタ + メディアンフィルタ*
1	0	0	メディアンフィルタ
その他			設定禁止

【注】 * デブロッキングフィルタ メディアンフィルタの順番は変更できません。

表 35.12 VMRR、VMRR、ROTЛ、ROTR ビットと回転 / 反転動作の関係

VMRR ビット	HMRR ビット	ROTЛ ビット	ROTR ビット	回転/反転動作
0	0	0	0	回転反転なし
0	0	0	1	時計回りに 90° 回転
0	0	1	0	時計回りに 270° 回転
0	1	0	1	時計回りに 90° 回転後、水平反転
1	0	0	1	時計回りに 90° 回転後、垂直反転
0	1	0	0	水平反転
1	0	0	0	垂直反転
1	1	0	0	180° 回転
その他				設定禁止

「270°回転後、水平反転」と「270°回転後、垂直反転」は、それぞれ「90°回転後、垂直反転」および「90°回転後、水平反転」で実現できます。

各回転/反転機能を使用したときの処理後の画像と原画との関係を、図 35.21、図 35.22 に示します。

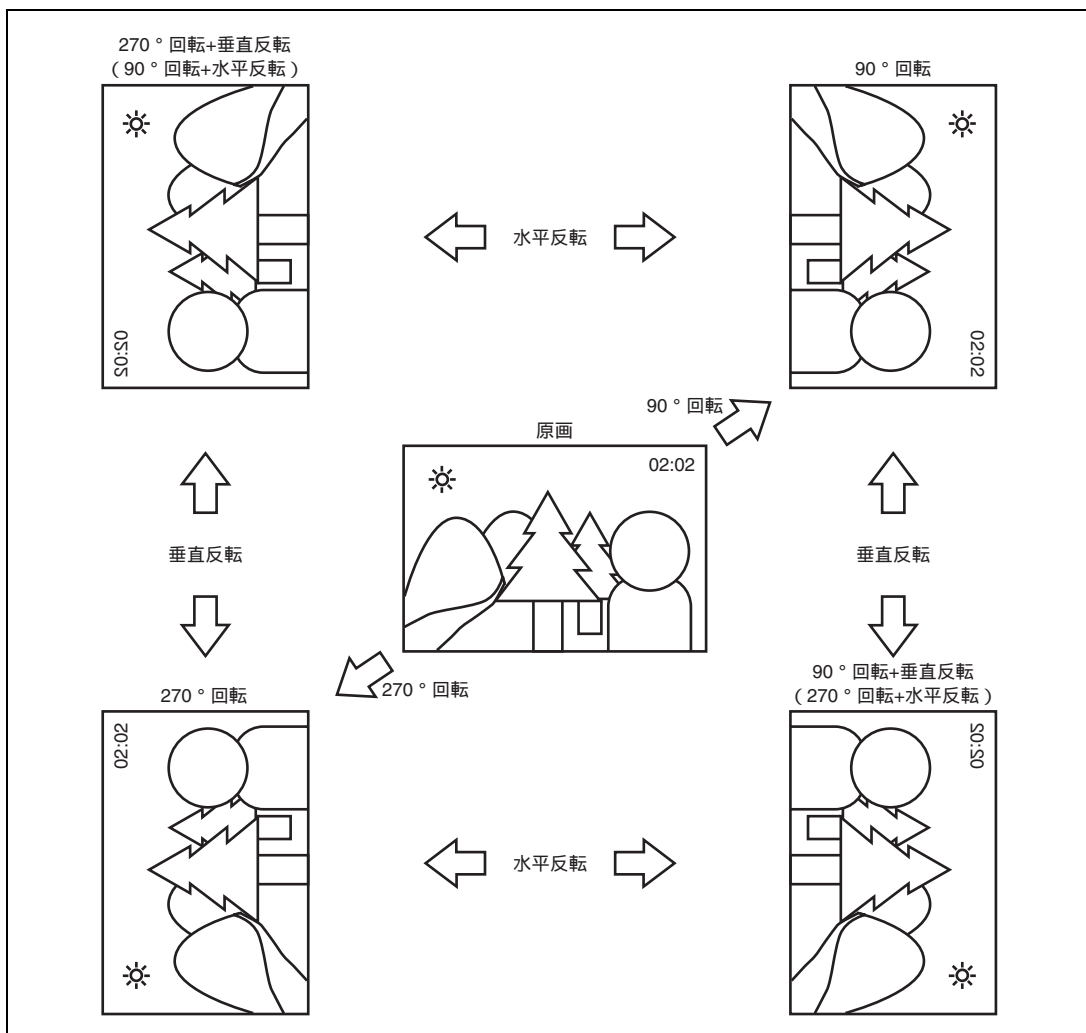


図 35.21 回転/反転の組み合わせ画像と原画との関係

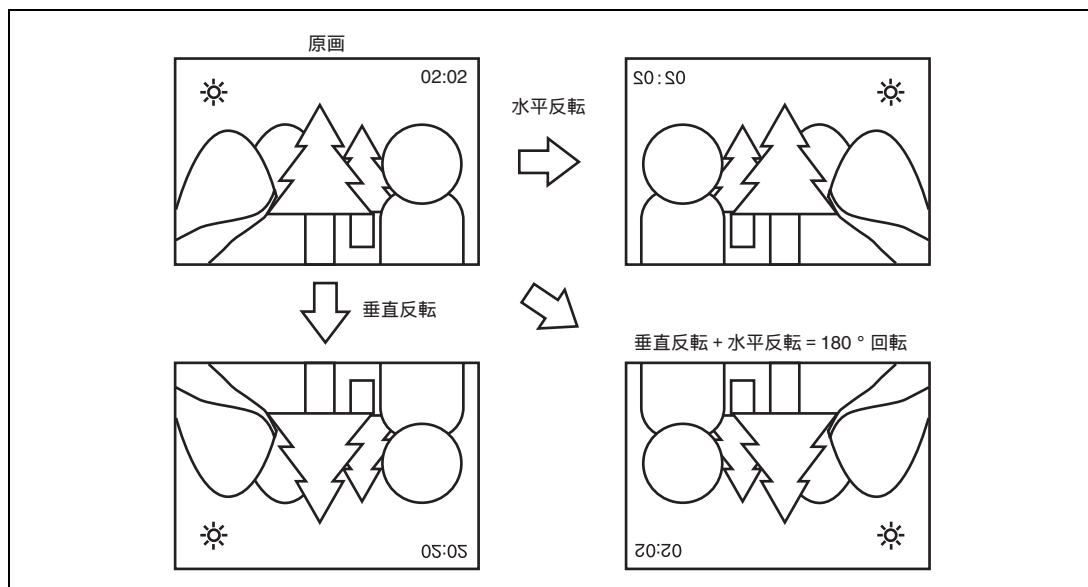


図 35.22 反転画像と原画像の関係

35.3.17 VEU 垂直タップ係数レジスタ (VVTCCR)

VVTCCR は、ローパスフィルタ適用の際の垂直タップ係数を設定するレジスタです。

読み出し専用のビットに対しては、1の書き込みを禁止します。これらのビットに1を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	VSHFT[2:0]			VTPC4[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VTPC3[3:0]			VTPC2[3:0]			VTPC1[3:0]			VTPC0[3:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
22~20	VSHFT[2:0]	000	R/W	垂直タップ演算後のシフト量指定 垂直方向の各タップの合計値を足した後、右にシフトする数を設定します。 VTPC0~VTPC4ビットの合計値に対応した設定を行ってください。 表 35.13 に VVTCCR.VTPC の合計値に対応した値を示します。

ビット	ビット名	初期値	R/W	説明
19~16	VTPC4[3:0]	H'0	R/W	垂直タップ係数4設定 (3TAP フィルタの場合は0設定にしてください) 5TAP のローパスフィルタを掛ける場合、2画素右の成分の寄与を設定します。 3TAP のローパスフィルタを掛ける場合は0に設定してください。
15~12	VTPC3[3:0]	H'0	R/W	垂直タップ係数3設定 ローパスフィルタを掛ける場合、1画素右の成分の寄与を設定します。
11~8	VTPC2[3:0]	H'0	R/W	垂直タップ係数2設定 ローパスフィルタを掛ける場合、その位置の成分の寄与を設定します。
7~4	VTPC1[3:0]	H'0	R/W	垂直タップ係数1設定 ローパスフィルタを掛ける場合、1画素左の成分の寄与を設定します。
3~0	VTPC0[3:0]	H'0	R/W	垂直タップ係数0設定 (3TAP フィルタの場合は0設定にしてください) 5TAP のローパスフィルタを掛ける場合、2画素左の成分の寄与を設定します。 3TAP のローパスフィルタを掛ける場合は0に設定してください。

表 35.13 VTPC4 ~ VTPC0 の合計とシフト量 (VSHFT) の設定

VVTCR.VTPC	VVTCR.VSHFT
4	2
8	3
16	4
32	5
64	6

以下に VVTCR の設定例を示します。VTPC4 ビットが H'0、VTPC0 ビットが H'0 のときは、3TAP のローパスフィルタなので、VFMCRC の TPN ビットに B'0 を設定してください。また、それ以外は 5TAP のローパスフィルタなので、TPN ビットに B'1 を設定してください。

表 35.14 VVTCR 設定例

ビット名	VSHFT ビット	VTPC4 ビット	VTPC3 ビット	VTPC2 ビット	VTPC1 ビット	VTPC0 ビット
設定値	2	0	1	2	1	0
	3	0	1	6	1	0
	3	1	2	2	2	1
	3	1	1	4	1	1
	4	0	1	14	1	0
	4	0	3	10	3	0
	4	0	5	6	5	0
	4	1	1	12	1	1
	4	1	2	10	2	1
	4	1	3	8	3	1
	4	1	4	6	4	1
	4	2	3	6	3	2
	4	3	3	4	3	3
	5	0	9	14	9	0
	5	1	8	14	8	1
	5	1	9	12	9	1
	5	1	10	10	10	1
	5	2	7	14	7	2
	5	2	9	10	9	2
	5	3	6	14	6	3
	5	3	7	12	7	3
	5	3	8	10	8	3
	5	4	5	14	5	4
	5	4	7	10	7	4
	5	5	5	12	5	5
	5	5	6	10	6	5
	5	5	7	8	7	5
	5	5	5	12	5	5
	5	5	6	10	6	5
	5	5	7	8	7	5
6	11	14	14	14	11	
6	12	13	14	13	12	

【注】 水平タップ数と垂直タップ数は同一にする必要があります。

35.3.18 VEU 水平タップ係数レジスタ (VHTCR)

VHTCR は、ローパスフィルタ適用の際の水平タップ係数を設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	HSHFT[2:0]			HTPC4[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HTPC3[3:0]			HTPC2[3:0]			HTPC1[3:0]			HTPC0[3:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
22~20	HSHFT[2:0]	000	R/W	水平タップ演算後のシフト量指定 水平方向の各タップの合計値を足した後、右にシフトする数を設定します。設定は VVTCR の VSHFT ビットの項を参照してください。 表 35.15 に VHTCR.HTPC の合計値に対応した値を示します。
19~16	HTPC4[3:0]	H'0	R/W	水平タップ係数 4 設定 5TAP のローパスフィルタを掛ける場合、2 画素右の成分の寄与を設定します。3TAP のローパスフィルタを掛ける場合は 0 に設定してください。
15~12	HTPC3[3:0]	H'0	R/W	水平タップ係数 3 設定 ローパスフィルタを掛ける場合、1 画素右の成分の寄与を設定します。
11~8	HTPC2[3:0]	H'0	R/W	水平タップ係数 2 設定 ローパスフィルタを掛ける場合、その位置の成分の寄与を設定します。
7~4	HTPC1[3:0]	H'0	R/W	水平タップ係数 1 設定 ローパスフィルタを掛ける場合、1 画素左の成分の寄与を設定します。
3~0	HTPC0[3:0]	H'0	R/W	水平タップ係数 0 設定 5TAP のローパスフィルタを掛ける場合、2 画素左の成分の寄与を設定します。3TAP のローパスフィルタを掛ける場合は 0 に設定してください。

表 35.15 HTPC4 ~ HTPC0 の合計とシフト量 (HSHFT) の設定

VHTCR.HTPC	VHTCR.HSHFT
4	2
8	3
16	4
32	5
64	6

以下に VHTCR の設定例を示します。HTPC4 ビットと HTPC0 ビットがともに H'0 のときは、3TAP のローパスフィルタなので、VFMCRC の TPN ビットに B'0 を設定してください。また、それ以外は 5TAP のローパスフィルタなので、TPN ビットに B'1 を設定してください。

表 35.16 VHTCR 設定例

ビット名	HSFT ビット	HTPC4 ビット	HTPC3 ビット	HTPC2 ビット	HTPC1 ビット	HTPC0 ビット
設定値	2	0	1	2	1	0
	3	0	1	6	1	0
	3	1	2	2	2	1
	3	1	1	4	1	1
	4	0	1	14	1	0
	4	0	3	10	3	0
	4	0	5	6	5	0
	4	1	1	12	1	1
	4	1	2	10	2	1
	4	1	3	8	3	1
	4	1	4	6	4	1
	4	2	3	6	3	2
	4	3	3	4	3	3
	5	0	9	14	9	0
	5	1	8	14	8	1
	5	1	9	12	9	1
	5	1	10	10	10	1
	5	2	7	14	7	2
	5	2	9	10	9	2
	5	3	6	14	6	3
	5	3	7	12	7	3
	5	3	8	10	8	3
	5	4	5	14	5	4
	5	4	7	10	7	4
	5	5	5	12	5	5
	5	5	6	10	6	5
	5	5	7	8	7	5
	5	5	5	12	5	5
	5	5	6	10	6	5
	5	5	7	8	7	5
6	11	14	14	14	11	
6	12	13	14	13	12	

【注】 水平タップ数と垂直タップ数は同一にする必要があります。

35.3.19 VEU 指定色レジスタ (VAPCR)

VAPCR は、指定色指定レジスタです。

VEU の処理画像の任意の画素が本レジスタで指定した指定色と等しい場合、VCCR で指定した変換色と置き換えます。RGB 出力の場合は、有効ビット以外の下位ビットは 0 に設定してください。YCbCr 出力モードでは、YCbCr 4:4:4 出力のみ対応しています。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	AP CON	RAPC[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAPC[7:0]							BAPC[7:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
24	APCON	0	R/W	指定色置換 0: VEU の処理画像をそのまま出力 1: VEU の処理画像の指定色と等しい画素を変換色で置き換えて出力
23~16	RAPC[7:0]	H'00	R/W	指定色の R (Cb) 成分を指定
15~8	GAPC[7:0]	H'00	R/W	指定色の G (Y) 成分を指定
7~0	BAPC[7:0]	H'00	R/W	指定色の B (Cr) 成分を指定

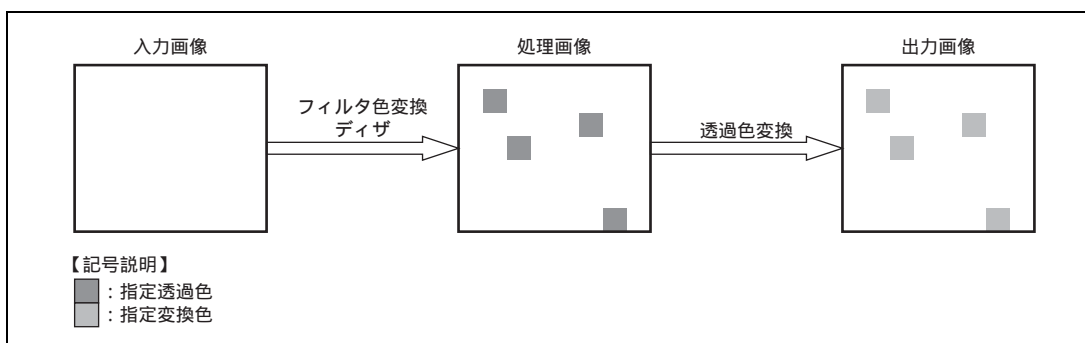


図 35.23 VEU 処理画像の指定色画素の変換色への置き換え

35.3.20 VEU 変換色レジスタ (VECCR)

VECCR は、変換色指定レジスタです。

VEU の処理画像の任意の画素が VAPCR で指定した指定色と等しい場合、本レジスタで指定した変換色と置き換えます。RGB 出力の場合は、有効ビット以外の下位ビットは 0 に設定してください。YCbCr 出力モードでは、YCbCr 4:4:4 出力のみ対応しています。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	RCHGC[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GCHGC[7:0]								BCHGC[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
23~16	RCHGC[7:0]	H'00	R/W	変換色の R (Cb) 成分を指定
15~8	GCHGC[7:0]	H'00	R/W	変換色の G (Y) 成分を指定
7~0	BCHGC[7:0]	H'00	R/W	変換色の B (Cr) 成分を指定

35.3.21 VEU フィル色指定レジスタ (VFLCR)

VFLCR は、フィル色指定レジスタです。

VRSCR.FMD=1 のとき、VEU の拡大縮小フィルタが生成した画素領域からクリップサイズレジスタにより指定したクリップ領域までの間にフィルされる色を指定します。RGB 出力の場合は、有効ビット以外の下位ビットは 0 に設定してください。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	RFILC[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GFILC[7:0]								BFILC[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
23~16	RFILC[7:0]	H'00	R/W	フィル色の R (Cb) 成分を指定
15~8	GFILC[7:0]	H'00	R/W	フィル色の G (Y) 成分を指定
7~0	BFILC[7:0]	H'00	R/W	フィル色の B (Cr) 成分を指定

35.3.22 VEU アドレス固定レジスタ (VAFXR)

VAFXR は、VEU から出力するデータのアドレスを固定モード出力に設定するレジスタです。

読み出し専用のビットに対しては、1の書き込みを禁止します。これらのビットに1を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VAFX
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
0	VAFX	0	R/W	出力アドレス固定モード 本ビットが1のときは、VEUの画像書き込み先アドレスをVDAYRに設定した値に固定します。本ビットが0のときは、出力アドレスはデータとVEDWRに応じてインクリメントします。 アドレス固定モードは、VEUの出力画像形式がRGBモードのときのみ有効です。出力画像形式がYCbCrモードのときは、本ビットを0に設定してください。アドレス固定モードを使用する場合は、VFMCRのMED、LPHV、ROTL、ROTRビットをすべて0(メディアンフィルタ、ローパスフィルタ、回転の禁止)、VRFCRを0(等倍出力)、VDAYRおよびVRFSRの下位3ビットを0(バースト転送以外を不可)に設定してください。 0: 出力アドレスをアドレス固定モードにしない 1: 出力アドレスをアドレス固定モードにする

35.3.23 VEU スワッピングレジスタ (VSWPR)

VSWPR は、VEU のデータ入出力部で 64 ビットデータ内の入れ替え(スワッピング)を設定するレジスタです。アドレスを 64 ビットで区切った場合、

- すべての入出力をロングワード単位で入れ替える場合 : H'0000 0044
- すべての入出力をワード単位で入れ替える場合 : H'0000 0022
- すべての入出力をバイト単位で入れ替える場合 : H'0000 0011
- すべての入出力をMSBからLSBにわたってバイト単位で入れ替える場合 : H'0000 0077

を設定します。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VEOLS	VEOWS	VEOBS	—	VEILS	VEIWS	VEIBS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
6	VEOLS	0	R/W	出力ロングワードスワップ設定 出力ロングワードスワップは、VEU の出力部で、64 ビットのデータに対し MSB 側 32 ビットと LSB 側 32 ビットをロングワード単位で入れ替えます (図 35.24)。 0 : 出力ロングワードスワップをしない 1 : 出力ロングワードスワップをする
5	VEOWS	0	R/W	出力ワードスワップ設定 出力ワードスワップは、VEU の出力部で、64 ビットのデータに対し MSB 側 32 ビット内と LSB 側 32 ビット内をワード単位で入れ替えます (図 35.25)。 0 : 出力ワードスワップをしない 1 : 出力ワードスワップをする
4	VEOBS	0	R/W	出力バイトスワップ設定 出力バイトスワップは、VEU の出力部で、64 ビットのデータに対し各 16 ビット内において、バイト単位でデータを入れ替えます (図 35.26)。 0 : 出力バイトスワップをしない 1 : 出力バイトスワップをする

ビット	ビット名	初期値	R/W	説明
3	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
2	VEILS	0	R/W	入力ロングワードスワップ設定 入力ロングワードスワップは、VEUの入力部で、64ビットのデータに対しMSB側32ビットとLSB側32ビットをロングワード単位で入れ替えます(図35.24)。 0: 入力ロングワードスワップをしない 1: 入力ロングワードスワップをする
1	VEIWS	0	R/W	入力ワードスワップ設定 入力ワードスワップは、VEUの入力部で、64ビットのデータに対しMSB側32ビット内とLSB側32ビット内において、ワード単位でデータを入れ替えます(図35.25)。 0: 入力ワードスワップをしない 1: 入力ワードスワップをする
0	VEIBS	0	R/W	入力バイトスワップ設定 入力バイトスワップは、VEUの入力部で、64ビットのデータに対し各16ビット内において、バイト単位でデータを入れ替えます(図35.26)。 0: 入力バイトスワップをしない 1: 入力バイトスワップをする

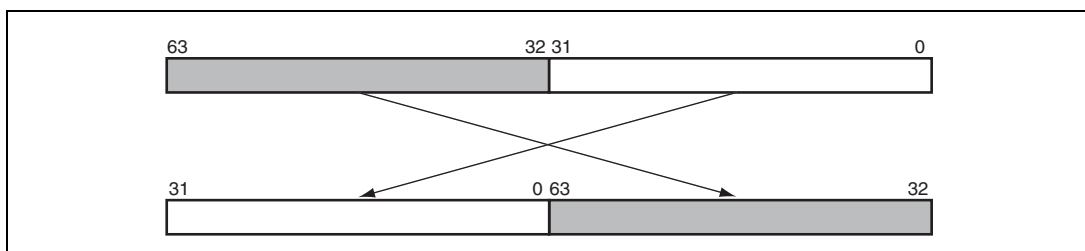


図 35.24 ロングワードスワップ時のデータスワップ前後の関係

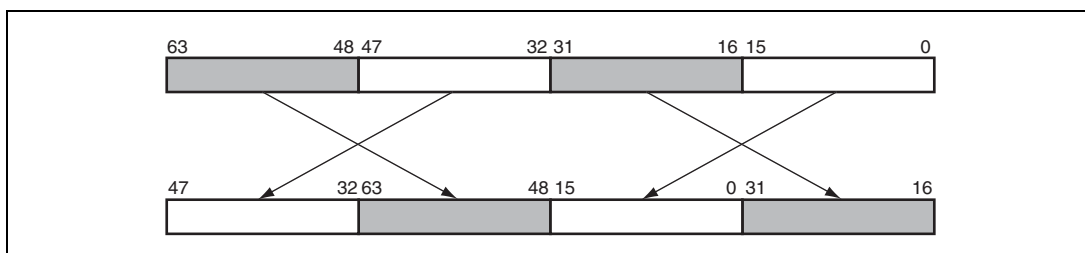


図 35.25 ワードスワップ時のデータスワップ前後の関係

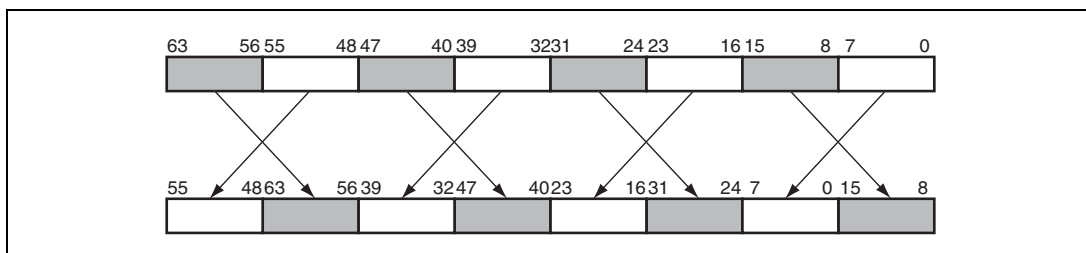


図 35.26 バイトスワップ時のデータスワップ前後の関係

35.3.24 VEU イベント割り込みイネーブルレジスタ (VEIER)

VEIER は、VEVTR のフラグを割り込み信号として出力することを禁止 / 許可設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破壊する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	VB ENDE	—	—	—	—	—	—	—	VE ENDE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
8	VBENDE	0	R/W	VEVTR.VBEND の割り込み信号出力の禁止 / 許可を設定 VEIER.VBENDE=1 の場合は VEVTR.VBEND=1 となった場合、割り込み信号が出力されます。VEIER.VBENDE=0 の場合は VEVTR.VBEND=1 となった場合でも、割り込み信号は出力されません。 0 : VEVTR.VBEND の割り込み信号出力を禁止 1 : VEVTR.VBEND の割り込み信号出力を許可
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	VEENDE	0	R/W	VEVTR.VEEND の割り込み信号出力の禁止 / 許可を設定 VEIER.VEENDE=1 の場合は VEVTR.VEEND=1 となった場合、割り込み信号が出力されます。VEIER.VEENDE=0 の場合は VEVTR.VEEND=1 となった場合でも、割り込み信号は出力されません。 0 : VEVTR.VEEND の割り込み信号出力を禁止 1 : VEVTR.VEEND の割り込み信号出力を許可

35.3.25 VEU イベントレジスタ (VEVTR)

VEVTR は、VEU 内部で割り込みが発生した場合に、その要因を表すレジスタです。VEVTR の各要因の割り込み信号への出力許可 / 禁止は VEIER で設定します。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	VB END	—	—	—	—	—	—	—	VE END
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
8	VBEND	0	R/W	本フラグは、VEU のバンドル読み出し (N ライン読み出し) モード時、VEU が 1 回の読み出し処理 (VBSSR に設定したライン数の読み出し) が終了したときに 1 となります。本フラグが発生した場合は、VEU は読み出し再起動待ち状態となりますので、割り込み要因のクリアを行った後にアドレスレジスタの切り替えを行い、読み出し再起動 (VESTR = H'0000 0011) を行ってください。 【読み出しの場合】 0: バンドル読み出し処理時の読み出し処理状態または VBEND フラグクリア後の状態 1: バンドル読み出し処理時の再起動待ちを表すステータス 【書き込みの場合】 0: VBEND フラグの 0 クリアを行う 1: 現在の値を保持
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
0	VEEND	0	R/W	本フラグは、VEU の処理がすべて終了したときに 1 となります。本フラグは、処理終了後 0 クリアしなければ 0 にはなりません。このため、次の VEU の起動前に必ず本フラグに 0 を書き込み、0 クリアする必要があります。 【読み出しの場合】 0: VEU の処理が終了していない状態または VEEND フラグクリア後の状態 1: VEU の処理が終了したことを表すステータス 【書き込みの場合】 0: VEEND フラグの 0 クリアを行う 1: 現在の値を保持

35.3.26 VEU ステータスレジスタ (VSTAR)

VSTAR は、VEU 内部のステータスおよび内部信号の状態を表示するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	INTL	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	VB PRC	—	—	—	VB READ	—	—	—	—	—	—	—	VE PRC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
24	INTL	0	R	VEU の CPU への割り込み信号のアサート状態を表示 0: VEU の割り込み信号ポートに、割り込み信号がアサートされていないことを表す 1: VEU の割り込み信号ポートに、割り込み信号がアサートされていることを表す
23~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
12	VBPRC	0	R	VEU のバンドル読み出しモード動作状態。詳しくは表 35.27 を参照してください。 0: VEU がバンドル読み出し (N ライン読み出し) モードで動作を行っていないことを表す 1: VEU がバンドル読み出し (N ライン読み出し) モードで動作していることを表す
11~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
8	VBREAD	0	R	詳しくは表 35.18 を参照してください。 0: バンドル読み出し (N ライン読み出し) モードで動作中に VEU が再起動待ちであることを示す 1: バンドル読み出し (N ライン読み出し) モードで動作中に VEU が読み出し処理中であることを示す
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
0	VEPRC	0	R	VESTR の VE ビットと同じ値を示します。詳しくは表 35.18 を参照してください。 0: VEU がレディー (停止状態) であることを表す 1: VEU がビジー (動作状態) であることを表す

VEUでの動作は、通常動作モードおよびバンドル読み出しモードの2つがあります。通常動作モードでは起動から処理終了までレジスタ書き換えはありません。バンドル読み出しモードでは動作中に2つの状態として、読み出し処理状態およびソフトによる再起動待ち状態があります。各状態とVSTARを読み出したときの値は表35.17のようになります。また、通常動作モードにおけるVSTARの状態遷移を図35.27、バンドル読み出しモードにおけるVSTARの状態遷移を図35.28に示します。

表 35.17 各状態でVSTARを読み出したときのレジスタ値

動作モード		VBPRC ビット	VBREAD ビット	VEPRC ビット
通常動作	停止中	0	0	0
	動作中	0	0	1
Nライン読み出しモード	停止中	0	0	0
	読み出し処理中	1	1	1
	再起動待ち	1	0	1

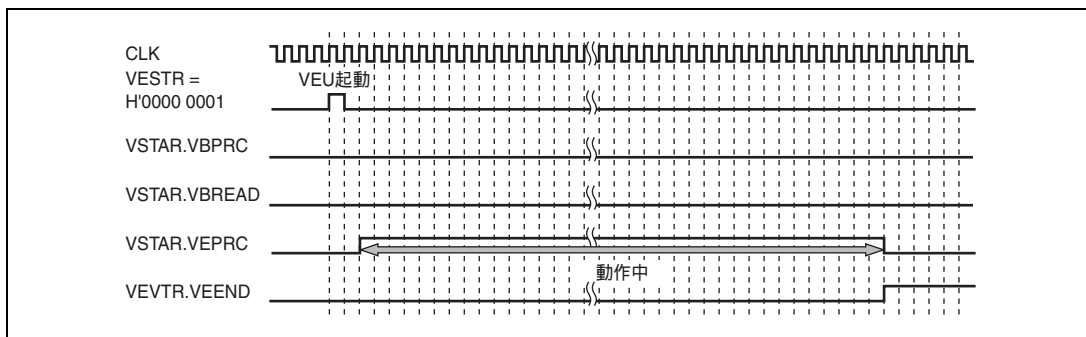


図 35.27 通常動作モードにおけるVSTARの状態遷移

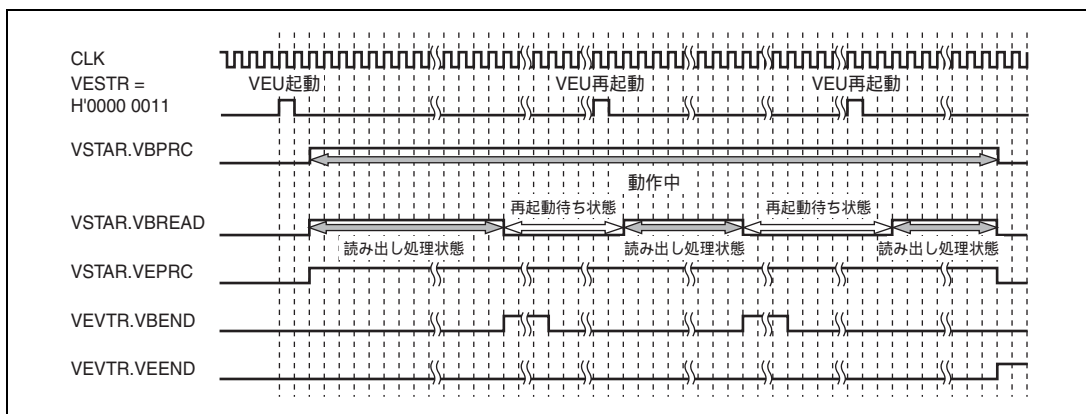


図 35.28 バンドル読み出しモードにおけるVSTARの状態遷移

35.3.27 VEU モジュールリセットレジスタ (VBSRR)

VBSRR は、VEU に対してモジュールリセットを行うレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

動作中にモジュールリセットを行った場合、CPU バスとハンドシェイクしている論理回路等に強制リセットが適用されるため、動作破綻が VEU 外部に及ぶ可能性があります。CPU バスとのハンドシェイクを正常に行って終了させる場合は、「35.3.1 VEU 起動レジスタ (VESTR)」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	ALL RST	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
8	ALLRST	0	W	モジュールリセット ALLRST ビットに 1 を書き込むと、VEU の内部のすべての制御信号に対してリセットが適用されます。 0 : 設定禁止 1 : VEU 内部のリセットを行う
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

35.3.28 VEU リサイズ通過帯域設定レジスタ (VRPBR)

VRPBR レジスタは、拡大縮小時の信号通過帯域を設定します。VRFCR、VRFSR レジスタと合わせて設定してください。本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	—	VBW[6:0]						—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	HBW[6:0]						—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~23	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
22~16	VBW[6:0]	H'00	R/W	拡大縮小時の縦方向の信号通過帯域を設定します。
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
6~0	HBW[6:0]	H'00	R/W	拡大縮小時の横方向の信号通過帯域を設定します。

縦方向の拡大時 (VRFCR.VMNT が 0 の場合) は、VRPBR.VBW に 64 を設定してください。

縦方向の縮小時 (VRFCR.VMNT が 0 以外の場合) については、以下の式に従い VRPBR.VBW を設定してください。

$$VSPBR.VBW = \left(64 \times \frac{4096 \times VMANTpre}{4096 \times VRFCR.VMNT + VRFCR.VFRC} \right)$$

ただし、 $VMANTpre$ は

4(8 VRFCR.VMNT<16)

2(4 VRFCR.VMNT<8)

1(1 VRFCR.VMNT<4)

となります。また、<A>は数値 A の小数点以下を切り捨てる演算です。

横方向の拡大時 (VRFCR.HMNT が 0 の場合) は、VRPBR.HBW に 64 を設定してください。

横方向の縮小時 (VRFCR.HMNT が 0 以外の場合) については、以下の式に従い VRPBR.HBW を設定してください。

$$VSPBR.HBW = \left(64 \times \frac{4096 \times HMANTpre}{4096 \times VRFCR.HMNT + VRFCR.HFRC} \right)$$

ただし、 $HMANTpre$ は

4(8 VRFCR.HMNT<16)

2(4 VRFCR.HMNT<8)

1(1 VRFCR.HMNT<4)

となります。また、<A>は数値 A の小数点以下を切り捨てる演算です。

35.4 使用上の注意事項

(1) 動作中の制限事項

VEU の動作中に、クロック停止またはモジュールスタンバイ (MSTP ビットのセット) を行わないでください。

(2) 入力制限事項

本文中の制限事項と本表の制限事項の間に相違があった場合は、本表の制限事項を優先します。

表 35.18 入出力制限事項

項目	バック	制限事項
入力	RGB565、 4 byte/pixel	<ul style="list-style-type: none"> 入力開始アドレスはロングワード単位で指定する。 原画像 (メモリ) の横幅は、ソース画像 2 画素に相当するバイト数で指定する。
	その他	<ul style="list-style-type: none"> 入力開始アドレスはロングワード単位で指定する。ただし、スタフィングの RGB バック入力時は、phase0 のバックから読み出しを開始するようアドレスを指定する。 原画像 (メモリ) の横幅は、ソース画像 4 画素に相当するバイト数の単位で指定する。
出力	RGB565 4 byte/pixel	<ul style="list-style-type: none"> 出力アドレスはロングワード単位で指定する。 出力先画像 (メモリ) の横幅は、デスティネーション画像 2 画素に相当するバイト数で指定する。
	その他	<ul style="list-style-type: none"> 出力アドレスはロングワード単位で指定する。 出力先画像 (メモリ) の横幅は、デスティネーション画像 4 画素に相当するバイト数の単位で指定する。

36. ブレンドエンジンユニット (BEU)

ブレンドエンジンユニット (BEU) は、3 画面のブレンド処理を行い、その上に 4 個のウィンドウを重ねて表示するマルチウィンドウ機能を搭載します。

本 LSI は、BEU を 2 セット内蔵しており、それぞれ BEU0、BEU1 と表記します。

36.1 特長

BEU は、3 画面のブレンド処理を行い、その上に 4 個のウィンドウを重ねて表示するマルチウィンドウ機能を搭載したモジュールであり、以下の機能を提供します。

- Video (ビデオ) 画面对応
- OSD (On Screen Display : オンスクリーンディスプレイ) 画面对応
- Graphic (グラフィック) 画面对応
- Video1、Video2、OSD / Graphic の 3 面ブレンド
- 3 画面を任意位置にブレンド可能
- 3 入力のもので親画面とすることが可能
- 子画面の位置が、親画面からはみ出し可能だが、はみ出した領域は出力されない
- ラスタオペレーション 2 機能
- マルチウィンドウ機能 (3 面ブレンドの上に 4 個のウィンドウを重ねて表示)
- 出力先として、メモリ、VOU、LCDC、メモリと VOU、メモリと LCDC から選択可能

36.2 BEU の機能概要

本 LSI は、本モジュールを 2 セット内蔵します。各モジュールは、LCDC、VOU との連動動作の有無について機能が異なります。

表 36.1 LCDC、VOU との連動動作の有無

モジュール	LCDC 連動動作	VOU 連動動作
BEU0	あり	なし
BEU1	なし	あり

BEU (ブレンドエンジンユニット) の機能概要を表 36.2 に示します。

表 36.2 BEU の機能概要

分類	項目	実現機能	説明	特記事項
入力 フォーマット	YCbCr 形式	YCbCr 4:4:4/4:2:2/4:2:0 YCbCr4:4:4/4:2:2/4:2:0	Y/C 別プレーン入力 YCbCr 4:2:0 は縦ライン 2 回読み出し	入力系 1 にて RGB/YCbCr の ITU-R BT709 または ITU-R BT601 規定の変換が可能
	RGB 形式	RGB パック		
出力 フォーマット	YCbCr 形式	YCbCr 4:4:4/ 4:2:2/ 4:2:0	Y/C 別プレーン出力	出力系にて RGB/YCbCr の ITU-R BT709 または ITU-R BT601 規定の変換が可能
	RGB 形式	RGB パック	RGB パック出力	
入出力画像 サイズ	最大サイズ	4092 x 4092 画素	YCbCr4:2:0 : 水平 / 垂直共に 2 画素単位で指定可能 YCbCr4:2:2: 水平方向 2 画素単位で指定可能 その他のフォーマットにて 1 画素単位で指定可能	
	最小サイズ	1 x 1 画素		
ディザ処理	ディザ処理 (減色処理)	24bpp	Full Color (1677 万色)	ディザ処理不可
		18bpp	26 万色	ディザ処理不可
		16bpp	High Color (65536 万色)	
		12bpp	4096 色	
		8bpp	256 色	
ブレンド処理	PinP	ビデオ画像 2 面と OSD/Graphic の 3 面ブレンド	<ul style="list-style-type: none"> • 3 入力のどれでも親画面として設定可 • 3 画面を任意位置にブレンド可 • 主領域からのみみ出し可。はみ出した領域は出力されない • タイルパターンのブレンド可 • 入力系 1~3 で透過色の指定が可能 	*
OSD	データ形式	8bpp		
	CLUT サイズ	32 ビット RGB 32 ビット YCbCr		
ラストオペレーション 2		3 種類の描画色処理	加算、置き換え、減算	
マルチウィンドウ機能		4 ウィンドウ	3 面ブレンドの上に 4 個のウィンドウを重ねる	<ul style="list-style-type: none"> • 画像サイズは、出力位置に 1 画素単位の設定が可能 • 他ウィンドウとの重なりを禁止とする

分類	項目	実現機能	説明	特記事項
表示データ 出力	出力先指定	出力系 + メモリ書き戻し	出力系に表示データの出力と同時にメモリに書き戻す	

【注】 * 読み込み画像形式の設定を RGB 形式に設定した場合、入力画面も RGB 形式に、YcbCr 形式に設定した場合は、YcbCr 形式にする必要があります。ただし入力系 1 は読み込み画像形式の設定にかかわらず RGB 形式、YcbCr 形式どちらの画像形式にすることも可能ですが、入力画像形式と読み込み画像形式の設定が相違した場合、入力系 1 で色変換する必要があります。また入力バック形式は、それぞれの入力系で任意に設定することが可能です。透過色指定は、入力フォーマット RGB565、RGB666、RGB888、YCbCr をサポートします。

BEU のブロック図を図 36.1 に示します。

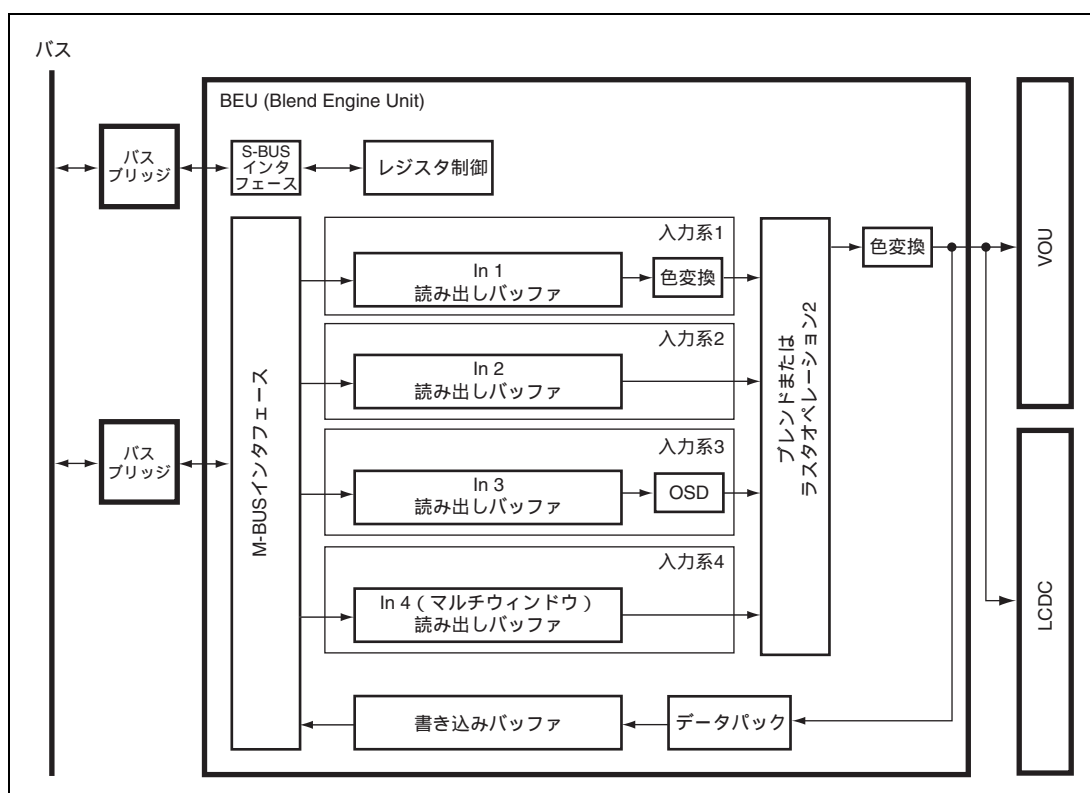


図 36.1 ブロック図

36.3 レジスタの説明

(1) レジスタの R/W 制限

BEU レジスタの R/W 制限について示します。以下のレジスタ操作が保証されない場合、動作破綻の可能性が
あります。

- すべてのBEUレジスタの読み出し専用ビットおよびリザーブ領域に対しては、1書き込みを禁止します。指定されている設定値以外の値を設定しないでください。
- BEUのレジスタ構成は、一部を除いて2面構成 (A面、B面) となっています。動作中レジスタへの書き込み禁止を規定しているレジスタ (ビット) に関しては、動作中のレジスタ書き込みを禁止とします (読み出しは可)。BEUの動作状態は、ステータスレジスタ (BSTAR) のBEPRCビットを読み出すことで判定可能です。レジスタの書き換えは、これらのビットがB'0を示しているときに書き換えてください。また、2面構成のレジスタに関しては、ミラーアドレスに書き込みを行った場合、常に使用していない面のレジスタに対してアクセスされます。A面もしくはB面に直接書き込みを行う場合は、使用中の面への書き込みを禁止とします。

(2) 本文中で使用されている語句

本文中で使用されている語句について説明します。

- 「強制終了」または「ソフトリセット」とはBEUの処理動作の強制終了を表します。動作としては、現在の処理を中止し、ハードウェアとして正常終了します。ソフトリセットを行ったフレームの画像処理結果は、保証されません。
- 「モジュールリセット」は、BEU内部回路への強制リセットを示します。動作としては、モジュールリセットはハードウェアの状態を一切考慮せずにリセット動作を行います。このため、BEUが正常動作中にモジュールリセットを適用すると、BEU周辺のハードウェアが動作不能状態になる可能性があります。
- 本文中の「動作中」とは、ステータスレジスタ (BSTAR) のBEPRCビットがB'1となっている状態を示します。
- 本文中のレジスタのビットを参照する場合、レジスタ名.ビット名の形式で表します。

(例) BESTR.BEIVK

(3) レジスタ一覧

BEUのレジスタ構成を表36.3に示します。また、各処理モードにおけるレジスタの状態を表28.52に示します。

表 36.3 BEU のレジスタ構成

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラー アドレス	
BEU0 起動レジスタ	BESTR_0	R/W	H'FE93 0000	-	-	32
BEU0 ソースメモリ幅指定レジスタ 1	BSMWR1_0	R/W	H'FE93 0010	H'FE93 1010	H'FE93 2010	32
BEU0 ソースサイズ指定レジスタ 1	BSSZR1_0	R/W	H'FE93 0014	H'FE93 1014	H'FE93 2014	32
BEU0 ソースアドレス Y レジスタ 1	BSAYR1_0	R/W	H'FE93 0018	H'FE93 1018	H'FE93 2018	32
BEU0 ソースアドレス C レジスタ 1	BSACR1_0	R/W	H'FE93 001C	H'FE93 101C	H'FE93 201C	32
BEU0 ソースアドレス レジスタ 1	BSAAR1_0	R/W	H'FE93 0020	H'FE93 1020	H'FE93 2020	32
BEU0 ソース画像フォーマットレジスタ 1	BSIFR1_0	R/W	H'FE93 0024	H'FE93 1024	H'FE93 2024	32
BEU0 ソースメモリ幅指定レジスタ 2	BSMWR2_0	R/W	H'FE93 0028	H'FE93 1028	H'FE93 2028	32
BEU0 ソースサイズ指定レジスタ 2	BSSZR2_0	R/W	H'FE93 002C	H'FE93 102C	H'FE93 202C	32
BEU0 ソースアドレス Y レジスタ 2	BSAYR2_0	R/W	H'FE93 0030	H'FE93 1030	H'FE93 2030	32
BEU0 ソースアドレス C レジスタ 2	BSACR2_0	R/W	H'FE93 0034	H'FE93 1034	H'FE93 2034	32
BEU0 ソースアドレス レジスタ 2	BSAAR2_0	R/W	H'FE93 0038	H'FE93 1038	H'FE93 2038	32
BEU0 ソース画像フォーマットレジスタ 2	BSIFR2_0	R/W	H'FE93 003C	H'FE93 103C	H'FE93 203C	32
BEU0 ソースメモリ幅指定レジスタ 3	BSMWR3_0	R/W	H'FE93 0040	H'FE93 1040	H'FE93 2040	32
BEU0 ソースサイズ指定レジスタ 3	BSSZR3_0	R/W	H'FE93 0044	H'FE93 1044	H'FE93 2044	32
BEU0 ソースアドレス Y レジスタ 3	BSAYR3_0	R/W	H'FE93 0048	H'FE93 1048	H'FE93 2048	32
BEU0 ソースアドレス C レジスタ 3	BSACR3_0	R/W	H'FE93 004C	H'FE93 104C	H'FE93 204C	32
BEU0 ソースアドレス レジスタ 3	BSAAR3_0	R/W	H'FE93 0050	H'FE93 1050	H'FE93 2050	32
BEU0 ソース画像フォーマットレジスタ 3	BSIFR3_0	R/W	H'FE93 0054	H'FE93 1054	H'FE93 2054	32
BEU0 タイルパターンサイズレジスタ	BTPSR_0	R/W	H'FE93 0058	H'FE93 1058	H'FE93 2058	32
BEU0 マルチ画面ソースメモリ幅レジスタ 1	BMSMWR1_0	R/W	H'FE93 0070	-	-	32
BEU0 マルチ画面ソースサイズレジスタ 1	BMSSZR1_0	R/W	H'FE93 0074	-	-	32
BEU0 マルチ画面ソースアドレス Y レジスタ 1	BMSAYR1_0	R/W	H'FE93 0078	-	-	32
BEU0 マルチ画面ソースアドレス C レジスタ 1	BMSACR1_0	R/W	H'FE93 007C	-	-	32
BEU0 マルチ画面ソースメモリ幅レジスタ 2	BMSMWR2_0	R/W	H'FE93 0080	-	-	32
BEU0 マルチ画面ソースサイズレジスタ 2	BMSSZR2_0	R/W	H'FE93 0084	-	-	32
BEU0 マルチ画面ソースアドレス Y レジスタ 2	BMSAYR2_0	R/W	H'FE93 0088	-	-	32
BEU0 マルチ画面ソースアドレス C レジスタ 2	BMSACR2_0	R/W	H'FE93 008C	-	-	32
BEU0 マルチ画面ソースメモリ幅レジスタ 3	BMSMWR3_0	R/W	H'FE93 0090	-	-	32
BEU0 マルチ画面ソースサイズレジスタ 3	BMSSZR3_0	R/W	H'FE93 0094	-	-	32
BEU0 マルチ画面ソースアドレス Y レジスタ 3	BMSAYR3_0	R/W	H'FE93 0098	-	-	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラー アドレス	
BEU0 マルチ画面入ソースアドレス C レジスタ 3	BMSACR3_0	R/W	H'FE93 009C	-	-	32
BEU0 マルチ画面ソースメモリ幅レジスタ 4	BMSMWR4_0	R/W	H'FE93 00A0	-	-	32
BEU0 マルチ画面ソースサイズレジスタ 4	BMSSZR4_0	R/W	H'FE93 00A4	-	-	32
BEU0 マルチ画面ソースアドレス Y レジスタ 4	BMSAYR4_0	R/W	H'FE93 00A8	-	-	32
BEU0 マルチ画面ソースアドレス C レジスタ 4	BMSACR4_0	R/W	H'FE93 00AC	-	-	32
BEU0 マルチ画面ソースフォーマットレジスタ	BMSIFR_0	R/W	H'FE93 00F0	-	-	32
BEU0 ブレンドコントロールレジスタ 0	BBLCR0_0	R/W	H'FE93 0100	H'FE93 1100	H'FE93 2100	32
BEU0 ブレンドコントロールレジスタ 1	BBLCR1_0	R/W	H'FE93 0104	-	-	32
BEU0 プロセス制御レジスタ	BPROCR_0	R/W	H'FE93 0108	H'FE93 1108	H'FE93 2108	32
BEU0 マルチウィンドウ制御レジスタ 0	BMWCR0_0	R/W	H'FE93 010C	-	-	32
BEU0 ブレンドロケーション設定レジスタ 1	BLOCR1_0	R/W	H'FE93 0114	H'FE93 1114	H'FE93 2114	32
BEU0 ブレンドロケーション設定レジスタ 2	BLOCR2_0	R/W	H'FE93 0118	H'FE93 1118	H'FE93 2118	32
BEU0 ブレンドロケーション設定レジスタ 3	BLOCR3_0	R/W	H'FE93 011C	H'FE93 111C	H'FE93 211C	32
BEU0 マルチ画面ロケーションレジスタ 1	BMLOCR1_0	R/W	H'FE93 0120	-	-	32
BEU0 マルチ画面ロケーションレジスタ 2	BMLOCR2_0	R/W	H'FE93 0124	-	-	32
BEU0 マルチ画面ロケーションレジスタ 3	BMLOCR3_0	R/W	H'FE93 0128	-	-	32
BEU0 マルチ画面ロケーションレジスタ 4	BMLOCR4_0	R/W	H'FE93 012C	-	-	32
BEU0 マルチ画面透過色制御レジスタ 1	BMPCCR1_0	R/W	H'FE93 0130	-	-	32
BEU0 マルチ画面透過色制御レジスタ 2	BMPCCR2_0	R/W	H'FE93 0134	-	-	32
BEU0 ブレンドバックフォームレジスタ	BPKFR_0	R/W	H'FE93 0140	H'FE93 1140	H'FE93 2140	32
BEU0 透過色制御レジスタ 0	BPCCR0_0	R/W	H'FE93 0144	H'FE93 1144	H'FE93 2144	32
BEU0 透過色制御レジスタ 11	BPCCR11_0	R/W	H'FE93 0148	H'FE93 1148	H'FE93 2148	32
BEU0 透過色制御レジスタ 12	BPCCR12_0	R/W	H'FE93 014C	H'FE93 114C	H'FE93 214C	32
BEU0 透過色制御レジスタ 21	BPCCR21_0	R/W	H'FE93 0150	H'FE93 1150	H'FE93 2150	32
BEU0 透過色制御レジスタ 22	BPCCR22_0	R/W	H'FE93 0154	H'FE93 1154	H'FE93 2154	32
BEU0 透過色制御レジスタ 31	BPCCR31_0	R/W	H'FE93 0158	H'FE93 1158	H'FE93 2158	32
BEU0 透過色制御レジスタ 32	BPCCR32_0	R/W	H'FE93 015C	H'FE93 115C	H'FE93 215C	32
BEU0 デスティネーションメモリ幅レジスタ	BDMWR_0	R/W	H'FE93 0160	H'FE93 1160	H'FE93 2160	32
BEU0 デスティネーションアドレス Y レジスタ	BDAYR_0	R/W	H'FE93 0164	H'FE93 1164	H'FE93 2164	32
BEU0 デスティネーションアドレス C レジスタ	BDACR_0	R/W	H'FE93 0168	H'FE93 1168	H'FE93 2168	32
BEU0 アドレス固定レジスタ	BAFXR_0	R/W	H'FE93 0180	H'FE93 1180	H'FE93 2180	32
BEU0 スワッピングレジスタ	BSWPR_0	R/W	H'FE93 0184	H'FE93 1184	H'FE93 2184	32
BEU0 イベント割り込みイネーブルレジスタ	BEIER_0	R/W	H'FE93 0188	-	-	32
BEU0 イベントレジスタ	BEVTR_0	R/W	H'FE93 018C	-	-	32
BEU0 レジスタ制御レジスタ	BRCNTR_0	R/W	H'FE93 0194	-	-	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラー アドレス	
BEU0 ステータスレジスタ	BSTAR_0	R	H'FE93 0198	-	-	32
BEU0 モジュールリセットレジスタ	BBRSTR_0	R/W	H'FE93 019C	-	-	32
BEU0 レジスタ面強制指定レジスタ	BRCHR_0	R/W	H'FE93 01A0	-	-	32
BEU0 カラールックアップテーブル	CLUT_0	R/W	H'FE93 3000 ~ H'FE93 33FF	-	-	32
BEU1 起動レジスタ	BESTR_1	R/W	H'FE93 4000	-	-	32
BEU1 ソースメモリ幅指定レジスタ 1	BSMWR1_1	R/W	H'FE93 4010	H'FE93 5010	H'FE93 6010	32
BEU1 ソースサイズ指定レジスタ 1	BSSZR1_1	R/W	H'FE93 4014	H'FE93 5014	H'FE93 6014	32
BEU1 ソースアドレス Y レジスタ 1	BSAYR1_1	R/W	H'FE93 4018	H'FE93 5018	H'FE93 6018	32
BEU1 ソースアドレス C レジスタ 1	BSACR1_1	R/W	H'FE93 401C	H'FE93 501C	H'FE93 601C	32
BEU1 ソースアドレス レジスタ 1	BSAAR1_1	R/W	H'FE93 4020	H'FE93 5020	H'FE93 6020	32
BEU1 ソース画像フォーマットレジスタ 1	BSIFR1_1	R/W	H'FE93 4024	H'FE93 5024	H'FE93 6024	32
BEU1 ソースメモリ幅指定レジスタ 2	BSMWR2_1	R/W	H'FE93 4028	H'FE93 5028	H'FE93 6028	32
BEU1 ソースサイズ指定レジスタ 2	BSSZR2_1	R/W	H'FE93 402C	H'FE93 502C	H'FE93 602C	32
BEU1 ソースアドレス Y レジスタ 2	BSAYR2_1	R/W	H'FE93 4030	H'FE93 5030	H'FE93 6030	32
BEU1 ソースアドレス C レジスタ 2	BSACR2_1	R/W	H'FE93 4034	H'FE93 5034	H'FE93 6034	32
BEU1 ソースアドレス レジスタ 2	BSAAR2_1	R/W	H'FE93 4038	H'FE93 5038	H'FE93 6038	32
BEU1 ソース画像フォーマットレジスタ 2	BSIFR2_1	R/W	H'FE93 403C	H'FE93 503C	H'FE93 603C	32
BEU1 ソースメモリ幅指定レジスタ 3	BSMWR3_1	R/W	H'FE93 4040	H'FE93 5040	H'FE93 6040	32
BEU1 ソースサイズ指定レジスタ 3	BSSZR3_1	R/W	H'FE93 4044	H'FE93 5044	H'FE93 6044	32
BEU1 ソースアドレス Y レジスタ 3	BSAYR3_1	R/W	H'FE93 4048	H'FE93 5048	H'FE93 6048	32
BEU1 ソースアドレス C レジスタ 3	BSACR3_1	R/W	H'FE93 404C	H'FE93 504C	H'FE93 604C	32
BEU1 ソースアドレス レジスタ 3	BSAAR3_1	R/W	H'FE93 4050	H'FE93 5050	H'FE93 6050	32
BEU1 ソース画像フォーマットレジスタ 3	BSIFR3_1	R/W	H'FE93 4054	H'FE93 5054	H'FE93 6054	32
BEU1 タイルパターンサイズレジスタ	BTPSR_1	R/W	H'FE93 4058	H'FE93 5058	H'FE93 6058	32
BEU1 マルチ画面ソースメモリ幅レジスタ 1	BMSMWR1_1	R/W	H'FE93 4070	-	-	32
BEU1 マルチ画面ソースサイズレジスタ 1	BMSSZR1_1	R/W	H'FE93 4074	-	-	32
BEU1 マルチ画面ソースアドレス Y レジスタ 1	BMSAYR1_1	R/W	H'FE93 4078	-	-	32
BEU1 マルチ画面ソースアドレス C レジスタ 1	BMSACR1_1	R/W	H'FE93 407C	-	-	32
BEU1 マルチ画面ソースメモリ幅レジスタ 2	BMSMWR2_1	R/W	H'FE93 4080	-	-	32
BEU1 マルチ画面ソースサイズレジスタ 2	BMSSZR2_1	R/W	H'FE93 4084	-	-	32
BEU1 マルチ画面ソースアドレス Y レジスタ 2	BMSAYR2_1	R/W	H'FE93 4088	-	-	32
BEU1 マルチ画面ソースアドレス C レジスタ 2	BMSACR2_1	R/W	H'FE93 408C	-	-	32
BEU1 マルチ画面ソースメモリ幅レジスタ 3	BMSMWR3_1	R/W	H'FE93 4090	-	-	32
BEU1 マルチ画面ソースサイズレジスタ 3	BMSSZR3_1	R/W	H'FE93 4094	-	-	32
BEU1 マルチ画面ソースアドレス Y レジスタ 3	BMSAYR3_1	R/W	H'FE93 4098	-	-	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラー アドレス	
BEU1 マルチ画面入ソースアドレス C レジスタ 3	BMSACR3_1	R/W	H'FE93 409C	-	-	32
BEU1 マルチ画面ソースメモリ幅レジスタ 4	BMSMWR4_1	R/W	H'FE93 40A0	-	-	32
BEU1 マルチ画面ソースサイズレジスタ 4	BMSSZR4_1	R/W	H'FE93 40A4	-	-	32
BEU1 マルチ画面ソースアドレス Y レジスタ 4	BMSAYR4_1	R/W	H'FE93 40A8	-	-	32
BEU1 マルチ画面ソースアドレス C レジスタ 4	BMSACR4_1	R/W	H'FE93 40AC	-	-	32
BEU1 マルチ画面ソースフォーマットレジスタ	BMSIFR_1	R/W	H'FE93 40F0	-	-	32
BEU1 ブレンドコントロールレジスタ 0	BBLCR0_1	R/W	H'FE93 4100	H'FE93 5100	H'FE93 6100	32
BEU1 ブレンドコントロールレジスタ 1	BBLCR1_1	R/W	H'FE93 4104	-	-	32
BEU1 プロセス制御レジスタ	BPROC_R_1	R/W	H'FE93 4108	H'FE93 5108	H'FE93 6108	32
BEU1 マルチウィンドウ制御レジスタ 0	BMWCR0_1	R/W	H'FE93 410C	-	-	32
BEU1 ブレンドロケーション設定レジスタ 1	BLOCR1_1	R/W	H'FE93 4114	H'FE93 5114	H'FE93 6114	32
BEU1 ブレンドロケーション設定レジスタ 2	BLOCR2_1	R/W	H'FE93 4118	H'FE93 5118	H'FE93 6118	32
BEU1 ブレンドロケーション設定レジスタ 3	BLOCR3_1	R/W	H'FE93 411C	H'FE93 511C	H'FE93 611C	32
BEU1 マルチ画面ロケーションレジスタ 1	BMLOCR1_1	R/W	H'FE93 4120	-	-	32
BEU1 マルチ画面ロケーションレジスタ 2	BMLOCR2_1	R/W	H'FE93 4124	-	-	32
BEU1 マルチ画面ロケーションレジスタ 3	BMLOCR3_1	R/W	H'FE93 4128	-	-	32
BEU1 マルチ画面ロケーションレジスタ 4	BMLOCR4_1	R/W	H'FE93 412C	-	-	32
BEU1 マルチ画面透過色制御レジスタ 1	BMPCCR1_1	R/W	H'FE93 4130	-	-	32
BEU1 マルチ画面透過色制御レジスタ 2	BMPCCR2_1	R/W	H'FE93 4134	-	-	32
BEU1 ブレンドバックフォームレジスタ	BPKFR_1	R/W	H'FE93 4140	H'FE93 5140	H'FE93 6140	32
BEU1 透過色制御レジスタ 0	BPCCR0_1	R/W	H'FE93 4144	H'FE93 5144	H'FE93 6144	32
BEU1 透過色制御レジスタ 11	BPCCR11_1	R/W	H'FE93 4148	H'FE93 5148	H'FE93 6148	32
BEU1 透過色制御レジスタ 12	BPCCR12_1	R/W	H'FE93 414C	H'FE93 514C	H'FE93 614C	32
BEU1 透過色制御レジスタ 21	BPCCR21_1	R/W	H'FE93 4150	H'FE93 5150	H'FE93 6150	32
BEU1 透過色制御レジスタ 22	BPCCR22_1	R/W	H'FE93 4154	H'FE93 5154	H'FE93 6154	32
BEU1 透過色制御レジスタ 31	BPCCR31_1	R/W	H'FE93 4158	H'FE93 5158	H'FE93 6158	32
BEU1 透過色制御レジスタ 32	BPCCR32_1	R/W	H'FE93 415C	H'FE93 515C	H'FE93 615C	32
BEU1 デスティネーションメモリ幅レジスタ	BDMWR_1	R/W	H'FE93 4160	H'FE93 5160	H'FE93 6160	32
BEU1 デスティネーションアドレス Y レジスタ	BDAYR_1	R/W	H'FE93 4164	H'FE93 5164	H'FE93 6164	32
BEU1 デスティネーションアドレス C レジスタ	BDACR_1	R/W	H'FE93 4168	H'FE93 5168	H'FE93 6168	32
BEU1 アドレス固定レジスタ	BAFXR_1	R/W	H'FE93 4180	H'FE93 5180	H'FE93 6180	32
BEU1 スワッピングレジスタ	BSWPR_1	R/W	H'FE93 4184	H'FE93 5184	H'FE93 6184	32
BEU1 イベント割り込みイネーブルレジスタ	BEIER_1	R/W	H'FE93 4188	-	-	32
BEU1 イベントレジスタ	BEVTR_1	R/W	H'FE93 418C	-	-	32
BEU1 レジスタ制御レジスタ	BRCNTR_1	R/W	H'FE93 4194	-	-	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラー アドレス	
BEU1 ステータスレジスタ	BSTAR_1	R	H'FE93 4198	-	-	32
BEU1 モジュールリセットレジスタ	BBRSTR_1	R/W	H'FE93 419C	-	-	32
BEU1 レジスタ面強制指定レジスタ	BRCHR_1	R/W	H'FE93 41A0	-	-	32
BEU1 カラールックアップテーブル	CLUT_1	R/W	H'FE93 7000 ~ H'FE93 73FF	-	-	32

表 36.4 BEU の各処理モードにおけるレジスタの状態

レジスタ 略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
BESTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSMWR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSSZR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSAYR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSACR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSAAR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSIFR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSMWR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSSZR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSAYR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSACR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSAAR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSIFR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSMWR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSSZR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSAYR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSACR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSAAR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSIFR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BTPSR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSMWR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSSZR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSAYR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSACR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSMWR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSSZR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSAYR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSACR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSMWR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSSZR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSAYR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSACR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSMWR4_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSSZR4_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSAYR4_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMSACR4_n	初期化	初期化	保持	保持	初期化	初期化	保持

レジスタ 略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
BMSIFR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BBLCR0_n	初期化	初期化	保持	保持	初期化	初期化	保持
BBLCR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BPROCR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMWCR0_n	初期化	初期化	保持	保持	初期化	初期化	保持
BLOCR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BLOCR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BLOCR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMLOCR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMLOCR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMLOCR3_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMLOCR4_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMPCCR1_n	初期化	初期化	保持	保持	初期化	初期化	保持
BMPCCR2_n	初期化	初期化	保持	保持	初期化	初期化	保持
BPKFR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BPCCR0_n	初期化	初期化	保持	保持	初期化	初期化	保持
BPCCR11_n	初期化	初期化	保持	保持	初期化	初期化	保持
BPCCR12_n	初期化	初期化	保持	保持	初期化	初期化	保持
BPCCR21_n	初期化	初期化	保持	保持	初期化	初期化	保持
BPCCR22_n	初期化	初期化	保持	保持	初期化	初期化	保持
BPCCR31_n	初期化	初期化	保持	保持	初期化	初期化	保持
BPCCR32_n	初期化	初期化	保持	保持	初期化	初期化	保持
BDMWR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BDAZR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BDACR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BAFXR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSWPR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BEIER_n	初期化	初期化	保持	保持	初期化	初期化	保持
BEVTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BRCNTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BSTAR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BBRSTR_n	初期化	初期化	保持	保持	初期化	初期化	保持
BRCHR_n	初期化	初期化	保持	保持	初期化	初期化	保持
CLUT_n	初期化	初期化	保持	保持	初期化	初期化	保持

【注】 nはモジュール番号(0、1)。以下、本文中の記述は、モジュール番号を省略した形で表します。

36.3.1 BEU 起動レジスタ (BESTR)

BESTR は、BEU の起動や中断、入力画面の有効 / 無効を制御するレジスタです。BEU の起動前には、本レジスタを除き、動作パラメータを設定するすべてのレジスタが設定されていなければなりません。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CHON3	CHON2	CHON1	—	—	—	—	—	—	—	BEIVK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
10	CHON3	0	R/W	本ビットは、入力系ごとに使用 / 不使用を設定します。BBLCR1 の PWD ビットで親画面に選ばれた入力系は、CHON1~3 ビットに 1 を書き込む必要があります。親画面を不使用に設定した場合は、起動の直後に BEVTR の BEVIO ビットがセットされ、処理が停止します。 CHONn (n = 1~3) 0 : 入力系 n を使用しない 1 : 入力系 n を使用する
9	CHON2	0	R/W	
8	CHON1	0	R/W	
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
0	BEIVK	0	R/W	本ビットは、BEU の処理開始および処理中断を制御します。BEU が停止状態のときに本ビットに 1 を書き込むと、BSTAR の BEPRC ビットを 1 にセットしてブレンド処理を開始します。 また、動作状態 (BSTAR.BEPRC = 1 の状態) の BEU に BESTR.BEIVK = 0 を書き込むと、ソフトリセットシーケンスの後に停止状態に至ります。なお、停止状態 (BSTAR.BEPRC = 0 の状態) の BESTR/BEIVK = 0 書き込みは NOP となります。 0 : NOP (BSTAR.BEPRC = 1 時に 0 を書き込むと、ソフトリセット) 1 : BEU の処理開始

36.3.2 BEU ソースメモリ幅指定レジスタ 1~3 (BSMWR1 ~ BSMWR3)

BSMWR は、BEU 入力系 1~3 のソースメモリ領域のメモリ幅を設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSMW[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
15~2 1、0	BSMW[15:2] BSMW[1:0]	H'0000	R/W R	入力系 1~3 のソースメモリ領域の幅を設定 (2 ロングワード or ロングワード単位) 本ビットには、ソース画像が配置されているソースメモリ領域の横幅を指定します。本ビットの設定は、入力データが YCbCr、もしくは RGB24bpp (stuffing) 形式の場合は、2 ロングワード単位の設定となり、それ以外のデータ形式の場合はロングワード単位の設定となります。YCbCr444 の場合、C プレーンのデータ量が Y プレーンデータの倍となっているため、内部では、設定値の倍で使用されます。

36.3.3 BEU ソースサイズ指定レジスタ 1~3 (BSSZR1~BSSZR3)

BSSZR は、BEU 入力系 1~3 が読み込む画像の縦横幅を設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	BVSS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	BHSS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
27~16	BVSS[11:0]	H'000	R/W	入力系 1~3 の垂直方向の読み込み画素数を設定 本ビットには、入力系 1~3 が読み込むソース画像の垂直方向の読み込み画素数を設定します。入力系 n が YCbCr4:2:0 の場合は 2 画素単位、それ以外のフォーマットでは 1 画素単位の設定が可能です。VOU 出力モードのとき、設定は 4 画素単位になりますが、VOU 出力モードで VSKIP が有効な場合は、8 画素単位になります。LCDC 出力モードのとき、1 画素単位の設定が可能です。 入力系 n が親画面の場合、本設定サイズが出力画像サイズとなるため、VOU もしくは LCDC と連動動作をする際は、連動ブロックの出力画像サイズと合わせてください。 入力系 n が子画面の場合、YCbCr4:2:0 では 2 画素単位の範囲までのデータをメモリ上に準備してください。 入力系 3 が OSD モードの場合、BHSS は 4 画素単位で指定してください。
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

ビット	ビット名	初期値	R/W	説明
11~0	BHSS[11:0]	H'000	R/W	<p>入力系 1~3 の水平方向の読み込み画素数を設定</p> <p>本ビットには、入力系 1~3 が読み込むソース画像の水平方向の読み込み画素数を設定します。入力系 n が YCbCr4:2:2 または YCbCr4:2:0 の場合は 2 画素単位、それ以外のフォーマットでは 1 画素単位の設定が可能です。VOU 出力モードのとき、設定は 4 画素単位になります。LCDC 出力モードのとき、設定は 8 画素単位になります (親画面サイズに限る)。</p> <p>入力系 n が親画面の場合、本設定サイズが出力画像サイズとなるため、VOU もしくは LCDC と連動動作をする際は、連動ブロックの出力画像サイズと合わせてください。</p> <p>入力系 n が子画面の場合、YCbCr4:2:2 または YCbCr4:2:0 では 2 画素単位の範囲までのデータをメモリ上に準備してください。</p> <p>入力系 3 が OSD モードの場合、BHSS は 4 画素単位で指定してください。</p>

36.3.4 BEU ソースアドレス Y レジスタ 1~3 (BSAYR1 ~ BSAYR3)

BSAYR は、BEU 入力系 1~3 が読み込む画像の Y/RGB プレーンの先頭アドレスを設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BSAY[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSAY[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2 1, 0	BSAY[31:2] BSAY[1:0]	H'0000 0000	R/W R	入力系 1~3 の Y/RGB プレーンの読み込み先頭アドレスを設定 (2 ロングワード or ロングワード単位) YCbCr 形式の画像を読み込む場合には、Y プレーンの先頭アドレスを設定します。また、RGB 形式の画像を読み込む場合には、RGB プレーンの先頭アドレスを設定します。本ビットの設定は、入力データが YCbCr、もしくは RGB24bpp (stuffing) 形式の場合は、2 ロングワード単位の設定となり、それ以外のデータ形式の場合はロングワード単位の設定となります。

36.3.5 BEU ソースアドレス C レジスタ 1~3 (BSACR1 ~ BSACR3)

BSACR は、BEU 入力系 1~3 が読み込む画像の C プレーンの先頭アドレスを設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BSAC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2 1, 0	BSAC[31:2] BSAC[1:0]	H'0000 0000	R/W R	入力系 1~3 の C プレーンの読み込み先頭アドレスを設定 (2 ロングワード単位) YCbCr 形式の画像を読み込む場合には、C プレーンの先頭アドレスを設定します。 なお、画像形式が RGB 形式の場合は、本レジスタは使用しません。

36.3.6 BEU ソースアドレス レジスタ 1~3 (BSAAR1~BSAAR3)

BSAAR は、BEU 入力系 1~3 が読み込む画像の プレーンの先頭アドレスを設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BSAA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSAA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	BSAA[31:2]	H'0000 0000	R/W	入力系 1~3 の プレーンの読み込み先頭アドレスを設定 (2 ロングワード単位) YCbCr 形式の画像を読み込む場合には、プレーンの先頭アドレスを設定します。 なお、画像形式が RGB 形式の場合は、本レジスタは使用しません。
1、0	BSAA[1:0]		R	

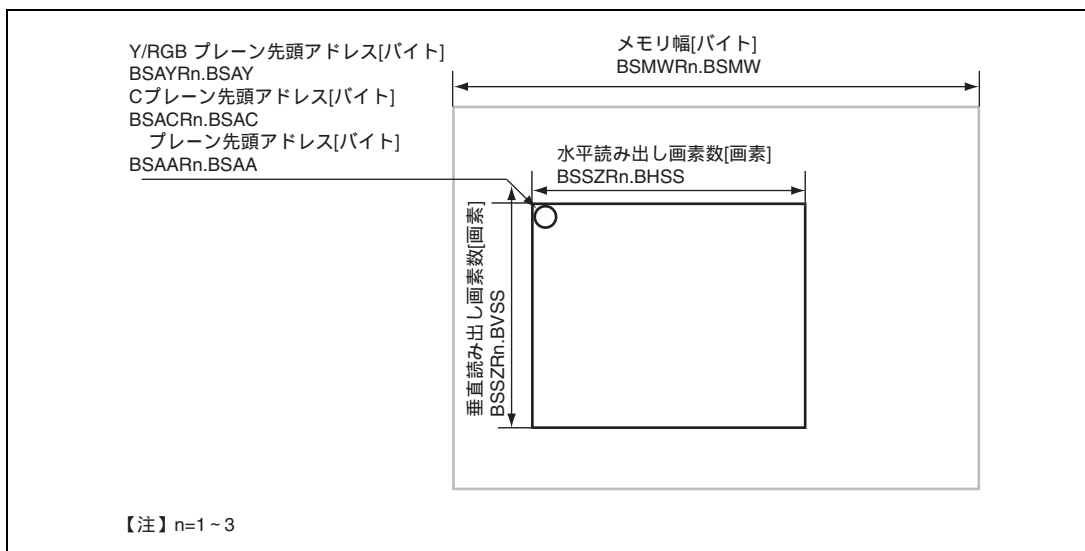


図 36.2 入力系 n の読み出し画素数と先頭アドレス

36.3.7 BEU ソース画像フォーマットレジスタ 1~3 (BSIFR1~BSIFR3)

BSIFR は、BEU 入力系 1~3 が読み込む画像のフォーマットを指定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

- 入力系1 (BSIFR1) の設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	IN1 TM2	IN1TM	IN1TE	—	CHRR[2:0]		—	—	—	RPFK[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
14	IN1TM2	0	R/W	ITU-R BT.601、または ITU-R BT.709 規定 YCbCr と 8 ビットフルスケール RGB の色変換を使用するかを選択を行います。 0: ITU-R BT.601 規定 YCbCr と 8 ビットフルスケール RGB の色変換を使用します 1: ITU-R BT.709 規定 YCbCr と 8 ビットフルスケール RGB の色変換を使用します
13	IN1TM	0	R/W	ITU-R BT.601、または ITU-R BT.709 規定 YCbCr と 8 ビットフルスケール RGB の色変換を使用するか、8 ビットフルスケール YCbCr と 8 ビットフルスケール RGB の色変換を使用するかを選択を行います。 0: full-range RGB[0,255]、compressed-range YCbCr[16,235/240]の色変換を使用します 1: full-range RGB[0,255]、full-range YCbCr[0,255]の色変換を使用します
12	IN1TE	0	R/W	RGB YCbCr 変換回路のオン/オフを設定 RGB YCbCr 変換の方向は、BPKFR の RY ビットで選択します。 0: RGB YCbCr 変換しない 1: RGB YCbCr 変換する 【注】 RGB YCbCr 変換を行う場合、変換結果が他の入力系と同形式となるようにソース画像を読み込みます。
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	CHRR[2:0]	000	R/W	<p>入力系 1 に入力する画像形式は、BPKFR の RY ビットと IN1TE ビットの設定で決まります。入力系 1 が YCbCr 形式の場合、本ビットの設定によってデータバック形式を選ぶことができます。データバック形式を表 36.6 に記します。</p> <p>000 : YCbCr 4:4:4 として読み込む 001 : YCbCr 4:2:2 として読み込む 010 : YCbCr 4:2:0 として読み込む 011 : YCbCr 4:4:4 として読み込む 100 : YCbCr 4:2:2 として読み込む 101 : YCbCr 4:2:0 として読み込む 上記以外 : 設定禁止</p>
7~5	-	すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
4~0	RPKF[4:0]	00000	R/W	<p>入力系 1 の入力画像形式が RGB 形式のとき、RGB の入力データバック形式を設定</p> <p>入力系 1 に入力する画像形式は、BPKFR の RY ビットと IN1TE ビットの設定で決まります。入力系 1 が RGB 形式の場合、本ビットの設定によってデータバック形式を表 36.5 の中から選ぶことができます。</p>

• 入力系2 (BSIFR2) の設定

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	CHRR[2:0]			—	—	—	RPKF[4:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10~8	CHRR[2:0]	000	R/W	<p>BPKFR の RY ビットが 0 に設定されているとき、入力系 2 に入力する画像は YCbCr 形式であり、本ビットの設定によってデータパック形式を選ぶことができます。入力系 2 が YCbCr 形式のとき、データパック形式は表 36.6 になります。</p> <p>000 : YCbCr 4:4:4 として読み込む 001 : YCbCr 4:2:2 として読み込む 010 : YCbCr 4:2:0 として読み込む 011 : YCbCr 4:4:4 として読み込む 100 : YCbCr 4:2:2 として読み込む 101 : YCbCr 4:2:0 として読み込む 上記以外 : 設定禁止</p>
7~5	-	すべて 0	R	<p>リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
4~0	RPKF[4:0]	00000	R/W	<p>入力系 2 の入力画像形式が RGB 形式のとき、RGB の入力データパック形式を設定</p> <p>BPKFR の RY ビットが 1 に設定されているとき、入力系 2 に入力する画像は RGB 形式であり、本ビットの設定によってデータパック形式を表 36.5 の中から選ぶことができます。</p>

• 入力系3 (BSIFR3) の設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MOD1	MOD0	—	CHRR[2:0]			—	—	—	RPKF[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
13	MOD1	0	R/W	<p>入力系3がOSDモードのときの入力画像データの取り込み方法を設定します。本ビットに1 (CLUT) を設定する場合は、入力系3がOSDモードのときのみとします。また、動作中CLUTの読み出しおよび書き込みアクセスを禁止します。</p> <p>入力系3がOSDで、本ビットが1のときの色情報およびアルファ値はCLUTを参照して求めることができますが、CLUTの内容はH'FE93 3000 ~ H'FE93 33FFからロングワードアクセスで書き換えることができます。CLUTの色情報およびアルファ値の格納順序は図36.3のとおりです。CLUTの初期値は不定です。</p> <p>0: 入力系1、2と同じグラフィック画像またはビデオ入力 1: 色情報およびアルファ値をCLUTから参照</p>
12	MOD0	0	R/W	<p>入力系3を通常モードとして使用するか、OSDモードとして使用するか設定します。</p> <p>本ビットが0のとき、入力系3はグラフィック画像およびビデオを扱い、その動作は入力系1、2と同じです。このときソース画像の読み込み画素数はBSSZR3で設定します。</p> <p>本ビットが1のとき、入力系3はOSD画像を扱い、繰り返しパターン出力をサポートします。繰り返しパターン出力とは、同じ絵柄のタイルを並べたような出力のことを指します。タイル1枚のサイズはBSSZR3のBHSSおよびBVSSビットで決まり、出力画面への貼付けサイズはBTPSRのTPHSおよびTPVSビットで決まります。BSSZR3とBTPSRの設定値の大小関係によって、出力の表現が図36.4のように異なって見えます。</p> <p>0: 入力系3を入力系1、2と同じグラフィックまたはビデオとして使用する 1: 入力系3を、OSDとして使用する</p>
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	CHRR[2:0]	000	R/W	BPKFR の RY ビットが 0 に設定されているとき、入力系 3 に入力する画像は YCbCr 形式であり、本ビットの設定によってデータパック形式を選ぶことができます。入力系 3 が YCbCr 形式のとき、データパック形式は表 36.6 になります。 000 : YCbCr 4:4:4 として読み込む 001 : YCbCr 4:2:2 として読み込む 010 : YCbCr 4:2:0 として読み込む 011 : YCbCr 4:4:4 として読み込む 100 : YCbCr 4:2:2 として読み込む 101 : YCbCr 4:2:0 として読み込む 上記以外 : 設定禁止
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
4~0	RPKF[4:0]	00000	R/W	入力系 3 の入力画像形式が RGB 形式のとき、RGB の入力データパック形式を設定 BPKFR の RY ビットが 1 に設定されているとき、入力系 3 に入力する画像は RGB 形式であり、本ビットの設定によってデータパック形式を表 36.5の中から選ぶことができます。

表 36.5 RGB データの入力パック形式

No	RPKF [4:0]	Bit Rate [bpp]	Phase	Bit																																																
				31~24								23~16								15~8								7~0																								
0	B'00000	24															R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0								
1	B'00001			R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0			
2	B'00010			0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1			
			1	G1	G1	G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2		
			2	B2	B2	B2	B2	B2	B2	B2	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	G3	G3	G3	G3	G3	G3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3		
3	B'00011	16		R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1		
7	B'00111	18															R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	
11	B'01011	24	0	B0	B0	B0	B0	B0	B0	B0	B0	B0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	B1	B1	B1	B1	B1	B1	B1	B1		
			1	G1	G1	G1	G1	G1	G1	G1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	
			2	R2	R2	R2	R2	R2	R2	R2	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	G3	G3	G3	G3	G3	G3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3
12	B'01100	24											B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	G0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	
13	B'01101	16																					R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0

表 36.6 YCbCr データのバック形式

YCbCr4:4:4データ形式

Component	31 - 24								23 - 16								15 - 8				7 - 0										
Y Data	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	Y3
C Data	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1

YCbCr4:2:2:2データ形式

Component	31 - 24								23 - 16								15 - 8				7 - 0									
Y Data	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	Y3
C Data	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2

YCbCr4:4:4データ形式

Component	31 - 24								23 - 16								15 - 8				7 - 0									
Data	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	2	2	2	2	2	2	2	3	3	3	3	3	3	3
Y Data	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	Y3
C Data	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1

YCbCr4:2:2:2データ形式

Component	31 - 24								23 - 16								15 - 8				7 - 0									
Data	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	2	2	2	2	2	2	2	2	3	3	3	3	3	3	3
Y Data	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	Y3
C Data	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2

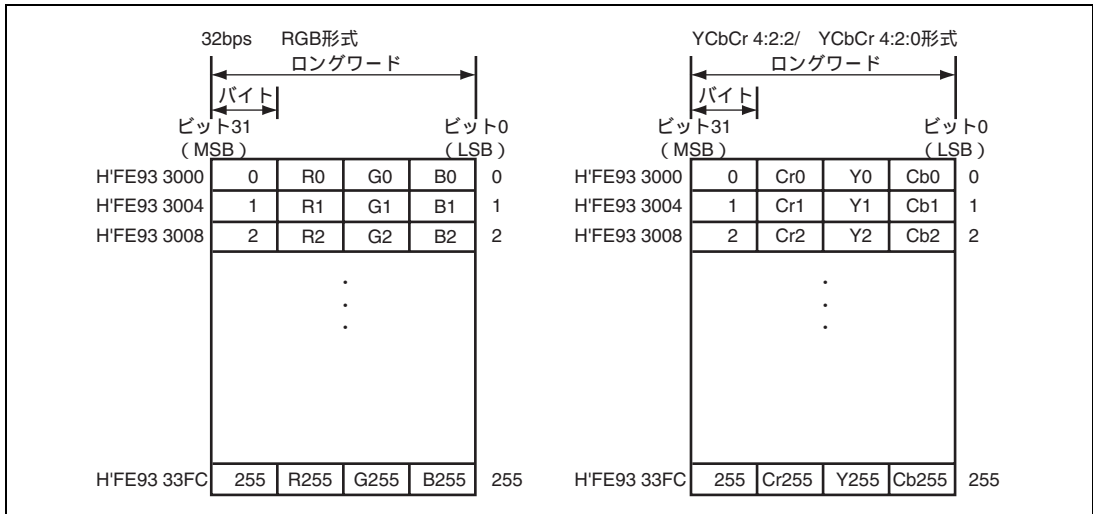


図 36.3 CLUT の色情報格納順序

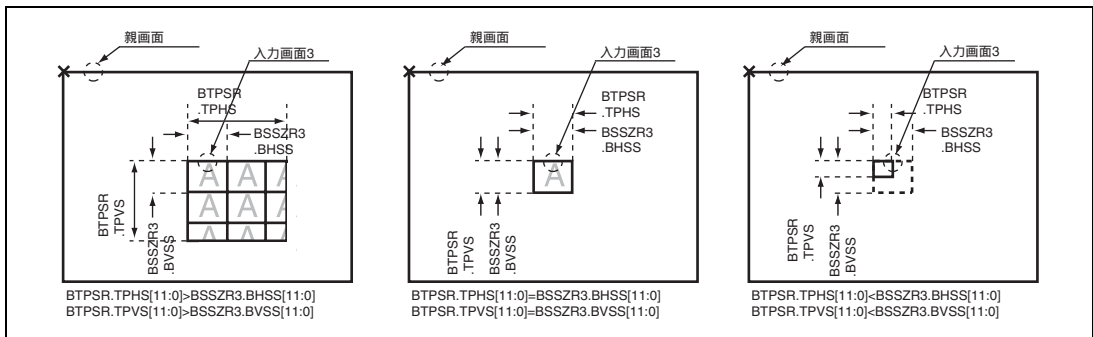


図 36.4 繰り返しパターン出力

36.3.8 BEU タイルパターンサイズレジスタ (BTPSR)

BTPSR は、BEU 入力系 3 が OSD モードのときに、出力画面への貼り付けサイズを指定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	TPVS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	TPHS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
27~16	TPVS[11:0]	H'000	R/W	タイルパターンの垂直方向の出力サイズを設定 本ビットには、入力系 3 が OSD モードに設定されたとき、出力画面への垂直貼り付けサイズを設定します。1 画素単位の設定が可能です。入力系 3 が OSD モードでないときは、本設定は無視されます。
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
11~0	TPHS[11:0]	H'000	R/W	タイルパターンの水平方向の出力サイズを設定 本ビットには、入力系 3 が OSD モードに設定されたとき、出力画面への水平貼り付けサイズを設定します。1 画素単位の設定が可能です。入力系 3 が OSD モードでないときは、本設定は無視されます。

36.3.9 BEU マルチ画面ソースメモリ幅レジスタ 1~4 (BMSMWR1~BMSMWR4)

BMSMWR は、マルチ画面 1~4 のソースメモリ領域のメモリ幅を設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BSMW[17:16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSMW[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
17~2 1、0	BSMW[17:2] BSMW[1:0]	H'00000	R/W R	マルチ画面のソースメモリ領域の幅を設定(2ロングワード or ロングワード単位) 本ビットの設定は、入力データが YCbCr、もしくは RGB24bpp (stuffing) 形式の場合は、2ロングワード単位の設定となり、それ以外のデータ形式の場合はロングワード単位の設定となります。設定は、2ロングワード、またはロングワード単位のため、下位2ビットは読み出し専用です。

36.3.10 BEU マルチ画面ソースサイズレジスタ 1~4 (BMSSZR1~BMSSZR4)

BMSSZR は、マルチ画面 1~4 が読み込む画像の縦横幅を設定するレジスタです。

読み出し専用のビットに対しては、1の書き込みを禁止します。これらのビットに1を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	BVSS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	BHSS[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27~16	BVSS[11:0]	H'000	R/W	マルチ画面が読み込むソース画像の垂直方向の読み込み画素数を設定 YCbCr4:2:0 の場合には2画素単位、それ以外のフォーマットでは1画素単位の設定が可能です。
15~12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
11~0	BHSS[11:0]	H'000	R/W	マルチ画面が読み込むソース画像の水平方向の読み込み画素数を設定 YCbCr4:2:2、YCbCr4:2:0 の場合は2画素単位、それ以外のフォーマットでは1画素単位の設定が可能です。

【注】 おのこのマルチ画面は、水平方向に関して、BMLOCn.CHLCの下位2ビットを切り捨てた位置から、BMSSZRn.BHSSにBMLOCn.CHLC[1:0]を加算した値を4画素単位に切り上げた画素数の領域を画像操作領域として扱います。マルチ画面1~4の画像操作領域が重なる設定や画像操作領域が親画面をはみ出す設定は禁止とします。

36.3.11 BEU マルチ画面ソースアドレス Y レジスタ 1~4 (BMSAYR1~BMSAYR4)

BMSAYR は、マルチ画面 1~4 が読み込む画像の Y/RGB プレーンの先頭アドレスを設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BSAY[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSAY[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	BSAY[31:2]	H'0000 0000	R/W	YCbCr 形式の画像を読み込む場合には、Y プレーンの先頭アドレスを指定し、RGB 形式の画像を読み込む場合には、RGB プレーンの先頭アドレスを設定します。 本ビットの設定は、入力データが YCbCr、もしくは RGB24bpp (stuffing) 形式の場合は、2 ロングワード単位の設定となり、それ以外のデータ形式の場合はロングワード単位の設定となります。 設定は、2 ロングワード、またはロングワード単位のため、下位 2 ビットは読み出し専用です。
1, 0	BSAY[1:0]		R	

36.3.12 BEU マルチ画面ソースアドレス C レジスタ 1~4 (BMSACR1~BMSACR4)

BMSACR は、マルチ画面 1~4 が読み込む画像の C プレーンの先頭アドレスを設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BSAC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2 1, 0	BSAC[31:2] BSAC[1:0]	H'0000 0000	R/W R	YCbCr 形式の画像を読み込む場合には、C プレーンの先頭アドレスを指定します。 本ビットの設定は、2 ロングワード単位の設定となります。 設定は、2 ロングワード単位のため、下位 2 ビットは読み出し専用です。 なお、画像形式が RGB 形式の場合は、本レジスタは使用しません。

36.3.13 BEU マルチ画面ソース画像フォーマットレジスタ (BMSIFR)

BMSIFR は、マルチ画面 1~4 が読み込む画像のフォーマットを指定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CHRR[1:0]	—	—	—	RPKF[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
9, 8	CHRR[1:0]	00	R/W	BPKFR の RY ビットに 0 が設定されているとき、マルチウィンドウに入力する画像は YCbCr 形式であり、本ビットの設定によってデータバック形式を表 36.7 の中から選ぶことができます。 00: マルチウィンドウの入力画像形式が YCbCr 形式の場合、YCbCr 4:4:4 として読み込む 01: マルチウィンドウの入力画像形式が YCbCr 形式の場合、YCbCr 4:2:2 として読み込む 10: マルチウィンドウの入力画像形式が YCbCr 形式の場合、YCbCr 4:2:0 として読み込む 11: 設定禁止
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
4~0	RPKF[4:0]	00000	R/W	マルチウィンドウの入力画像形式が RGB 形式のとき、RGB の入力データバック形式を設定 BPKFR の RY ビットに 1 が設定されているとき、マルチウィンドウに入力する画像は RGB 形式であり、本ビットの設定によってデータバック形式を表 36.8 の中から選ぶことができます。

表 36.7 YCbCr データのバック形式

YCbCr 4:4:4データ形式

Component	31 - 24								23 - 16								15 - 8								7 - 0							
Y Data	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	Y3	
C Data	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cb1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1	Cr1	

YCbCr 4:2:2/4:2:0データ形式

Component	31 - 24								23 - 16								15 - 8								7 - 0							
Y Data	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y0	Y1	Y1	Y1	Y1	Y1	Y1	Y1	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y2	Y3	Y3	Y3	Y3	Y3	Y3	Y3		
C Data	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cb0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cr0	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cb2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2	Cr2		

表 36.8 RGB データの入力パック形式

No	RPFK [4:0]	Bit Rate [bpp]	Phase	Bit																														
				31 - 24								23 - 16								15 - 8								7 - 0						
0	B'00000	24																																
1	B'00001	24		R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	
2	B'00010		0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	
			1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	
		2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	
3	B'00011	16		R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1		
7	B'00111	18														R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0		
11	B'01011	24	0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	
		1	G1	G1	G1	G1	G1	G1	G1	R1	R1	R1	R1	R1	R1	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2	B2		
		2	R2	R2	R2	R2	R2	R2	R2	B3	B3	B3	B3	B3	B3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3	G3		
12	B'01100	24								B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0		
13	B'01101	16														R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0		

36.3.14 BEU ブレンドコントロールレジスタ 0 (BBLCR0)

BBLCR0 は、BEU の入力系のブレンドおよび出力モードを設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	AMUX3	AMUX2	AMUX1	—	LAY[2:0]				V3AP[7:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	V2AP[7:0]								V1AP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
30 29 28	AMUX3 AMUX2 AMUX1	0 0 0	R/W R/W R/W	本ビットの設定によって各入力系でブレンドする際に、入力画面の画素データが持っているアルファ値を適用するか、またはV3AP、V2AP、V1APビットによってレイヤー単位に設定されているアルファ値を適用するかを選択できます。ただし、画素データが持っているアルファ値を適用する設定 (AMUX1~3ビット=1) が行われ、かつアルファ値を含まない入力パック形式が指定されたときは、アルファ値=255を代入します。表 36.9 にレジスタの設定値によって、ブレンド時に使用されるアルファ値を示します。 0: ブレンド時に、入力系 n に設定されているレイヤー単位のアルファ値を適用する (n=1~3) 1: ブレンド時に、画素が持っているアルファ値を適用する
27	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
26~24	LAY[2:0]	000	R/W	ブレンド時のレイヤーの重なり順序を指定 本ビットの設定値により、レイヤーの重なり順序は表 36.10 のようになります。
23~16	V3AP[7:0]	H'00	R/W	入力系 3 のアルファ値を指定 設定の範囲は 0~255 であり、0 で完全透明、255 で完全不透明のブレンドとなります。
15~8	V2AP[7:0]	H'00	R/W	入力系 2 のアルファ値を指定 設定の範囲は 0~255 であり、0 で完全透明、255 で完全不透明のブレンドとなります。
7~0	V1AP[7:0]	H'00	R/W	入力系 1 のアルファ値を指定 設定の範囲は 0~255 であり、0 で完全透明、255 で完全不透明のブレンドとなります。

表 36.9 入力アルファ値の選択

レジスタ設定値						使用するアルファ値
BSIFRn.MOD Graphics/OSD	BPKFR.RY	BSIFRn. RPKF[4:0] CHRR[2:0] パック形式	BBCLR0. AMUXn	BPCCR0. SAPExx	BPCCRxx. R、GY、 B[15:0] データ比較	アルファ値
0 : グラフィック	0 : YCbCr	全パック形式	0	0	-	BBCLR0.VnAP[7:0]の値
					一致	BPCCRxx.AP[7:0]の値
				不一致	BBCLR0.VnAP[7:0]の値	
			1	0	-	を含む形式 : 画素単位の値 を含まない形式 : 255
					一致	BPCCRxx.AP[7:0]の値
				不一致	を含む形式 : 画素単位の値 を含まない形式 : 255	
	1 : RGB	バック形式 RGB888/666/ 565 以外	0	-	-	BBCLR0.VnAP[7:0]の値
			1	-	-	255
		バック形式 RGB888/666/ 565	0	0	-	BBCLR0.VnAP[7:0]の値
				1	一致	BPCCRxx.AP[7:0]の値
			1	0	-	を含む形式 : 画素単位の値 を含まない形式 : 255
					一致	BPCCRxx.AP[7:0]の値
不一致	を含む形式 : 画素単位の値 を含まない形式 : 255					
1 : OSD	-	-	0	-	-	BBCLR0.VnAP[7:0]の値
		-	1	-	-	CLUT に格納された色単位の値

【注】 n=1~3、xx=11、12、21、22、31、32

表 36.10 LAY ビットの設定によるレイヤーブレンドの順序

LAY	最前面	中間面	最背面
B'000	入力系 3	入力系 2	入力系 1
B'001	入力系 2	入力系 3	入力系 1
B'010	入力系 3	入力系 1	入力系 2
B'011	入力系 1	入力系 3	入力系 2
B'100	入力系 2	入力系 1	入力系 3
B'101	入力系 1	入力系 2	入力系 3
B'110	設定禁止		
B'111	設定禁止		

36.3.15 BEU ブレンドコントロールレジスタ 1 (BBLCR1)

BBLCR1 は、BEU の入力系のブレンドを設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PWD[1:0]	—	—	—	—	—	—	MT[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	ATF	—	—	—	VSKIP	—	—	—	DPMD	—	—	—	PXA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
25, 24	PWD[1:0]	00	R/W	BEU で処理を実行する際の親画面を指定します。ここで親画面に選択された入力系のソース画像読み込みサイズ (BSSZR1~3) が、出力画面サイズとなります。 00: 入力系 1 を親画面として設定 01: 入力系 2 を親画面として設定 10: 入力系 3 を親画面として設定 11: 設定禁止
23~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

ビット	ビット名	初期値	R/W	説明
18~16	MT[2:0]	001	R/W	BEU で処理を実行する際の出力モードを指定します。* 001 : メモリ出力モード 010 : VOU 出力モード 011 : メモリ、VOU 同時出力モード 100 : LCDC 出力モード 101 : メモリ、LCDC 同時出力モード 上記以外 : 設定禁止
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
12	ATF	0	R/W	VSKIP ビットに 1 が設定されたとき、最初のフィールドで奇数ライン、次のフィールドで偶数ラインが読み出されます。このとき、本ビットに 1 を設定すると、奇数ラインと偶数ラインのアドレスは自動で切り替わりません。本ビットに 0 を設定すると、フィールドごとに設定を替えアドレスを切り替えます。本ビットは VOU 出力モードのみ有効となります。 0 : フィールドごとにアドレスを設定 1 : NTSC モード時、奇数アドレスと偶数アドレスを自動設定
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
8	VSKIP	0	R/W	本ビットが 0 の場合、入力画面の読み出しに際し、BSSZR1~3 で設定されたサイズの画素を読み出します。出力画面サイズは、PWD ビットで設定された親画面のサイズと一致します。 本ビットが 1 の場合、入力画面の読み出しに際し、奇数ライン目のみを读出すことにより、BSSZR1~3 で設定されたサイズを垂直方向に 1/2 した画素データを読み出します。出力画面サイズは、PWD ビットで設定された親画面のサイズの 1/2 になります。 親画面を入力系 1 としたときの例を図 36.5 に示します。 0 : 入力画面読み出し全ライン 1 : 入力画面読み出し 1 ライン飛ばし 【注】本ビットが 1 のとき、子画面の垂直配置位置も 1/2 となります。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
4	DPMD	0	R/W	RGB565 入力について、他フォーマットへ変換する際の下位ビット拡張をゼロ詰めと MSB 詰めから選択します。 対象フォーマットは RGB フォーマットの PKF=B'00011、B'01101 の 2 種類です。他は対応しません。 0 : ゼロ詰め (従来互換) 1 : MSB 詰め 本設定は、入力 1、2、3、マルチのすべてに有効となります。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

ビット	ビット名	初期値	R/W	説明
0	PXA	0	R/W	<p>本ビットは、PAD を含む RGB 出力バック時に PAD 部に挿入する値を、入力系の画素単位のアルファ値またはBPKFRのPADビットに設定されているアルファ値から選択するビットです。入力系の画素単位のアルファ値とは、BBLCR0のAMUX1~3ビットによって選択されたアルファ値です。入力系の画素単位のアルファ値を出力する場合、表 36.11 に示すように、下面のアルファ値が優先的に選ばれます。</p> <p>0 : 出力画像の PAD 部に、BPKFR の PAD ビットに設定されているアルファ値を適用する (RGB、YCbCr)</p> <p>1 : 出力画像の PAD 部に、入力系の画素単位のアルファ値を適用する (RGB、YCbCr)</p>

- 【注】 * LCDC 出力モード時は、BEU を起動した後に、LCDC に起動をかけることにより動作します。
 LCDC 出力モード時の終了処理は、LCDC を終了した後に、BEU にソフトリセットをかけてください。
 VOU 出力モード時は、BEU を起動した後に、VOU に起動をかけることにより動作します。
 VOU 出力モード時の終了処理は、VOU を終了した後に、BEU にソフトリセットをかけてください。

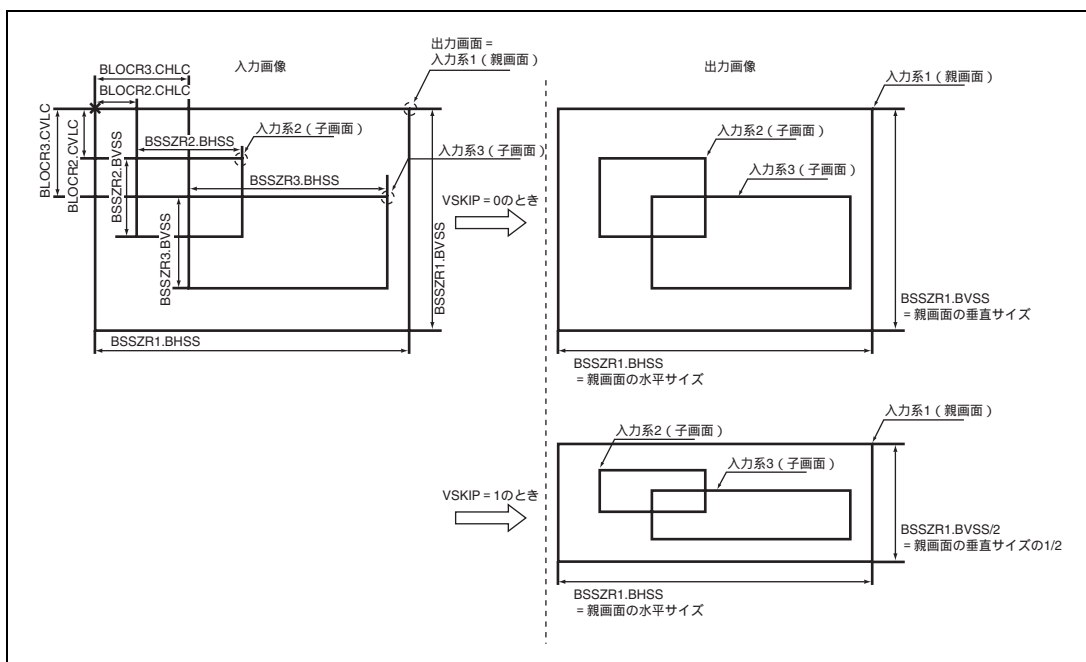


図 36.5 読み出しスキップ有無による出力画像の比較

表 36.11 入力系の画素単位のアルファ値の優先順位

最上層画面	中間層画面	最下層画面	アルファ値
画素あり	画素あり	画素あり	最下層画面
画素あり	画素あり	画素なし	中間層画面
画素あり	画素なし	画素あり	最下層画面
画素なし	画素あり	画素あり	最下層画面
画素あり	画素なし	画素なし	最上層画面
画素なし	画素なし	画素あり	最下層画面
画素なし	画素あり	画素なし	中間層画面

36.3.16 BEU プロセス制御レジスタ (BPROCR)

BPROCR は、BEU が画像に対して行う処理を制御するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BRSEL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MODE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	BRSEL	0	R/W	ブレンド処理またはラスタオペレーション 2 の選択 0: ブレンド処理を有効にする 1: ラスタオペレーション 2 を有効にする
30~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
1、0	MODE[1:0]	00	R/W	ラスタオペレーション 2 選択時の描画色処理選択 ブレンド処理が選択された場合は、本ビットの設定は無効となります。 00: 加算 (親画面と子画面のピクセル色を加算する) 出力画面 = 子画面 × 子画面混合率 + 親画面 × 親画面混合率 01: 置き換え (親画面を子画面のピクセル色で置き換える) 出力画面 = 子画面 × 子画面混合率 10: 減算 (親画面から子画面のピクセル色を減算する) 出力画面 = 親画面 × 親画面混合率 - 子画面 × 子画面混合率 11: 設定禁止

図 36.6 の画像処理部において、BRSEL ビットの設定により、ブレンドまたはラスタオペレーション 2 のどちらかの処理が選択されます。また、ラスタオペレーション 2 が選択されたときの加算時出力例を図 36.7 に示します。

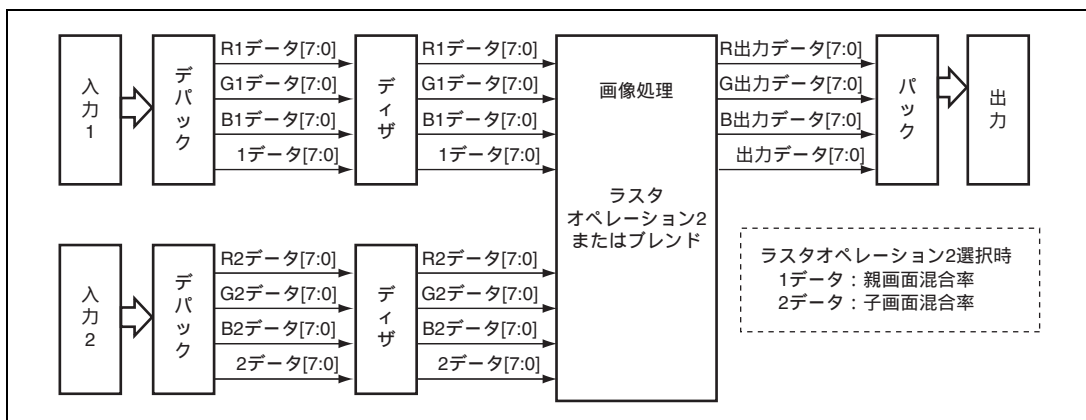


図 36.6 画像処理選択

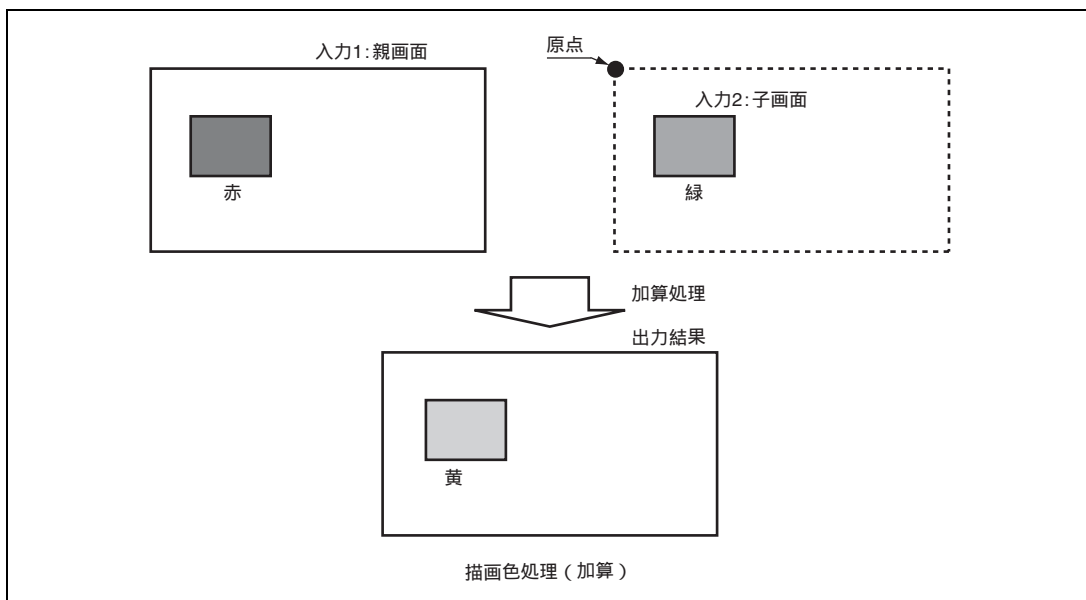


図 36.7 ラスタオペレーション 2 処理、加算時の出力例

36.3.17 BEU マルチウィンドウ制御レジスタ 0 (BMWCR0)

BMWCR0 は、マルチウィンドウ機能の有効 / 無効、およびマルチ画面 1~4 の使用 / 未使用を設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MWEN	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MSON4	MSON3	MSON2	MSON1
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MWEN	0	R/W	マルチウィンドウ機能の有効 / 無効を設定 0: マルチウィンドウ機能を無効にする 1: マルチウィンドウ機能を有効にする
30~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
3	MSON4	0	R/W	マルチウィンドウで使用する画面を設定 マルチ画面は、最大で 4 面使用することが可能です。MWEN ビットが 0 に設定されている場合は、本ビットの設定は無効となります。 MSONn (n = 1~4) 0: マルチ画面 n を使用しない 1: マルチ画面 n を使用する
2	MSON3	0	R/W	
1	MSON2	0	R/W	
0	MSON1	0	R/W	

36.3.18 ブレンドロケーション設定レジスタ 1~3 (BLOCR1~BLOCR3)

BLOCR は、BEU のブレンド時に、入力系 1~3 の配置位置を指定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	CVLC[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CHLC[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
27~16	CVLC[11:0]	H'000	R/W	入力系 1~3 のブレンド開始位置を原点からの垂直オフセットを画素数で指定 (図 36.9 参照、1 画素単位)
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
11~0	CHLC[11:0]	H'000	R/W	入力系 1~3 のブレンド開始位置を原点からの水平オフセットを画素数で指定

図 36.8~図 36.11 に BEU の出力画面を示します。出力画面サイズは親画面サイズと一致します。親画面は BBLCR1 の PWD ビットの設定によって、入力系 1、入力系 2、および入力系 3 のいずれかを選ぶことができます。また、重なり順序は、BBLCR0 の LAY ビットの設定によって、親画面設定とは独立に任意の順序を設定できます。入力画面が重なり合わない領域は、ブレンド演算を行いません。また、子画面の領域のうち、親画面からはみ出した領域については出力画面に書き込みを行いません。

親画面 (すなわち出力画面) の左上隅が原点となります。子画面の位置は、原点に対するオフセットで与えられます。たとえば、入力画面 1 を親画面に設定した場合、入力画面 1 の左上隅が原点になり、入力画面 2 の位置は BLOCR2 の CHLC ビット、BLOCR2 の CVLC ビットで決まり、入力画面 3 の位置は BLOCR3 の CHLC ビット、BLOCR3 の CVLC ビットで決まります。

VOU もしくは LCDC と連動動作する場合は、親画面のサイズを連動ブロックの出力サイズに合わせてください。

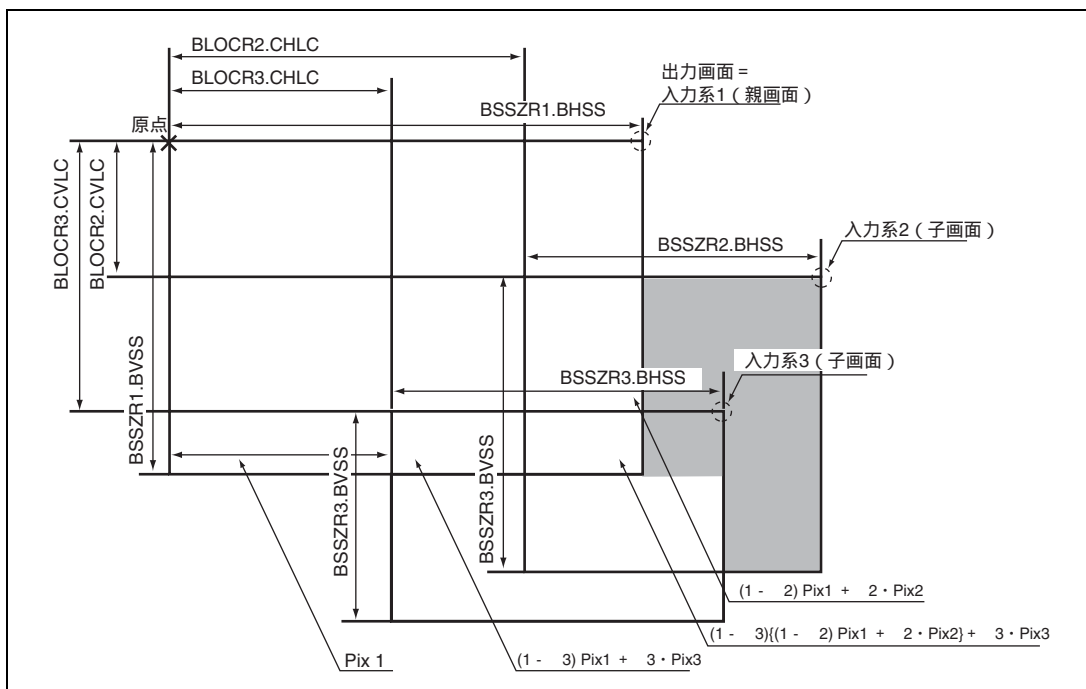


図 36.8 BEU 出力画面

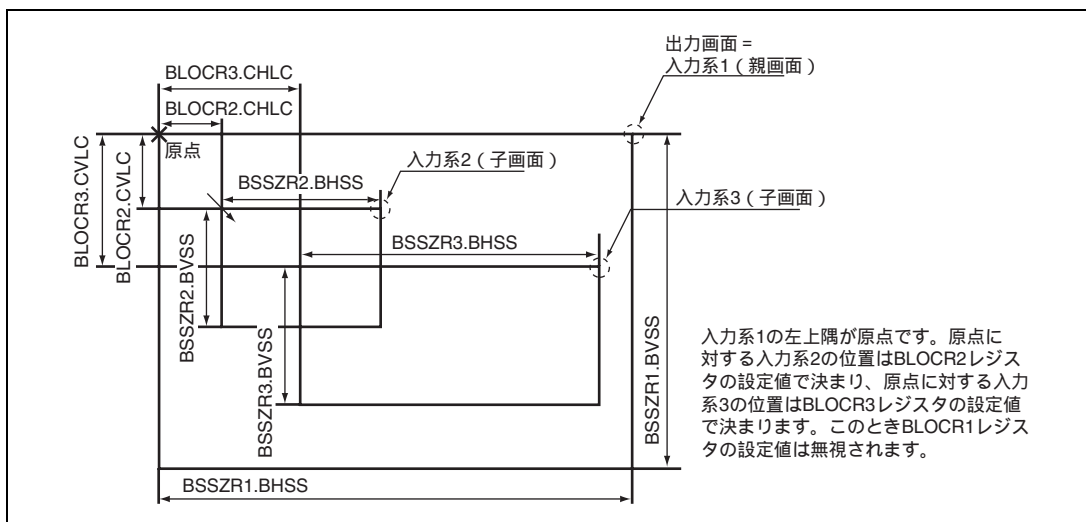


図 36.9 入力系 1 が親画面のときの出力画面

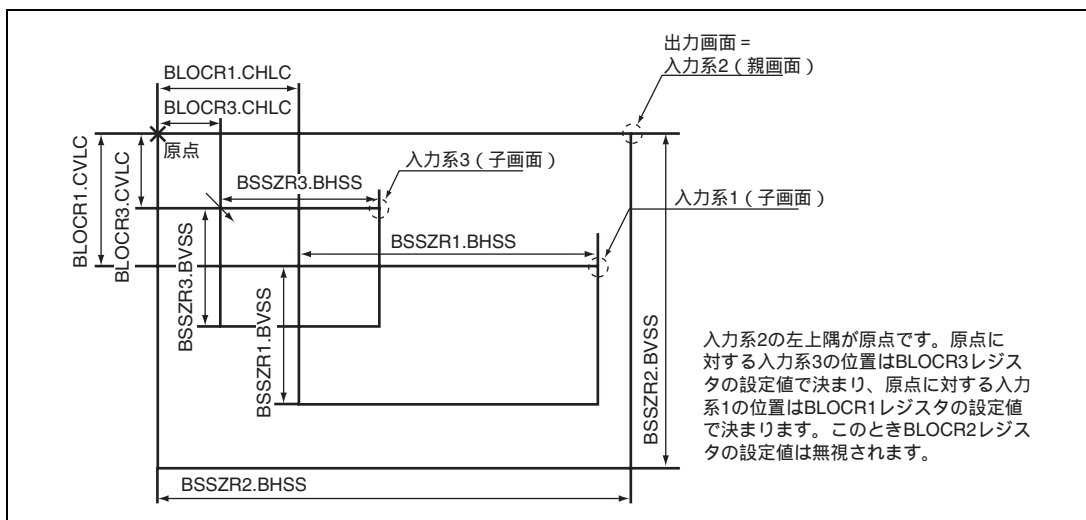


図 36.10 入力系 2 が親画面のときの出力画面

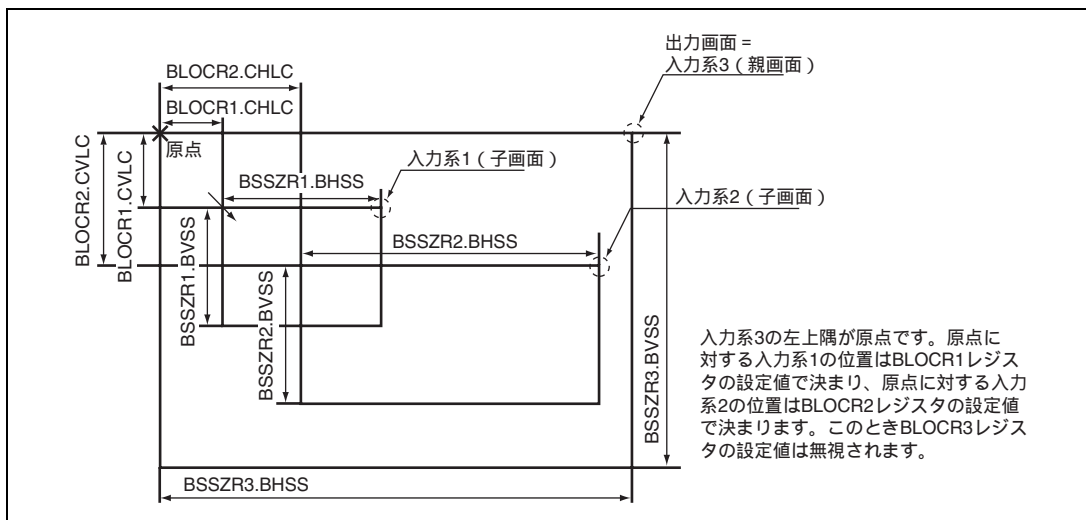


図 36.11 入力系 3 が親画面のときの出力画面

36.3.19 BEU マルチ画面ロケーションレジスタ 1~4 (BMLOCR1 ~ BMLOCR4)

BMLOCR は、マルチウィンドウ内、マルチ画面 1~4 の配置位置を指定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	CVLC[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CHLC[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
27~16	CVLC[11:0]	H'000	R/W	マルチ画面の開始位置を原点からの垂直オフセットを画素数で指定 (図 36.13 参照、1 画素単位) マルチ画面 1~4 の画像操作領域が重なる設定は禁止とします。
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
11~0	CHLC[11:0]	H'000	R/W	マルチ画面の開始位置を原点からの水平オフセットを画素数で指定 (図 36.13 参照、1 画素単位) おのおのマルチ画面は、水平方向に関して、CHLC の下位 2 ビットを切り捨てた位置から、BMSSZRn.BHSS に CHLC[1:0] を加算した値を 4 画素単位に切り上げた画素数の領域を画像操作領域として扱います。 マルチ画面 1~4 の画像操作領域が重なる設定は禁止とします。

マルチウィンドウ機能は、入力系 1~3 のブレンド結果の上に、最大 4 画面のウィンドウ (マルチ画面) を重ねる機能で、有効サイズは親画面サイズと一致します。親画面は BBLCR1 の PWD ビットの設定によって、入力系 1、入力系 2、および入力系 3 のいずれかを選ぶことができます。図 36.12 に入力系 1~3 のブレンド結果にマルチウィンドウを重ねたときの出力結果を示します。

なお、マルチウィンドウには、ブレンドの機能は含まれていません。

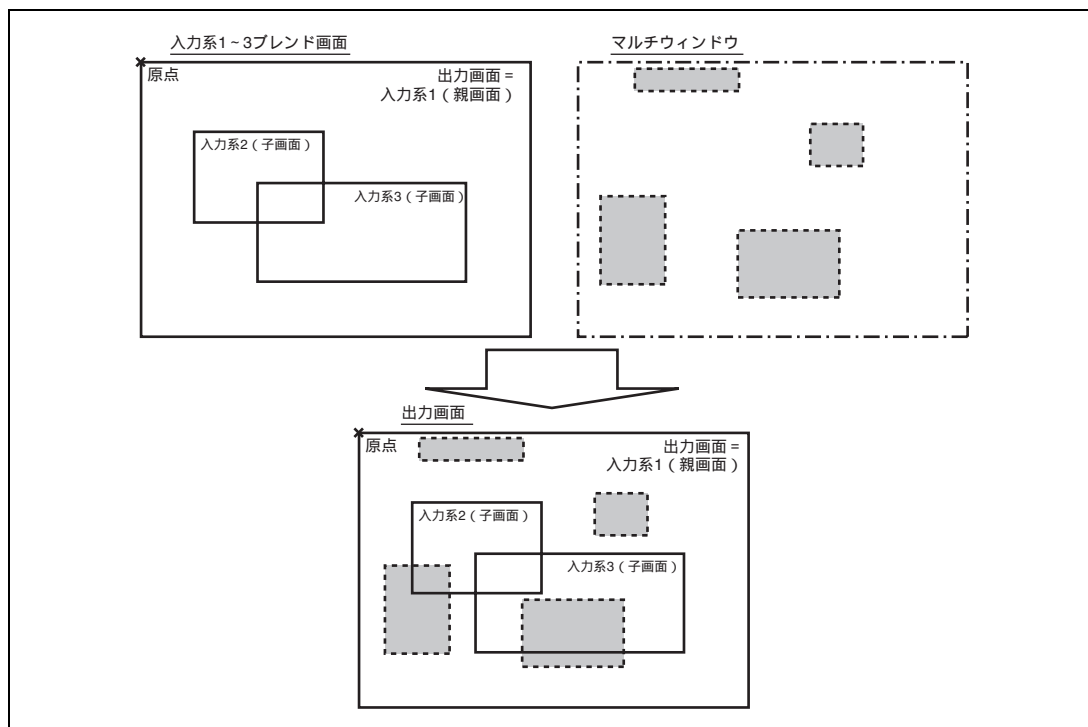


図 36.12 マルチウィンドウ出力結果

親画面（すなわち出力画面）の左上隅が原点となり、各マルチ画面の位置は、原点に対するオフセットで与えられます。たとえば、入力画面 1 を親画面に設定したら、入力画面 1 の左上隅が原点になり、マルチ画面 1 から 4 の位置は BMLOCR1 ~ 4 の CHLC ビット、BMLOCR1 ~ 4 の CVLC ビットで決まります。マルチ画面 1、2 を有効にしたときの配置位置指定を図 36.13 に示します。

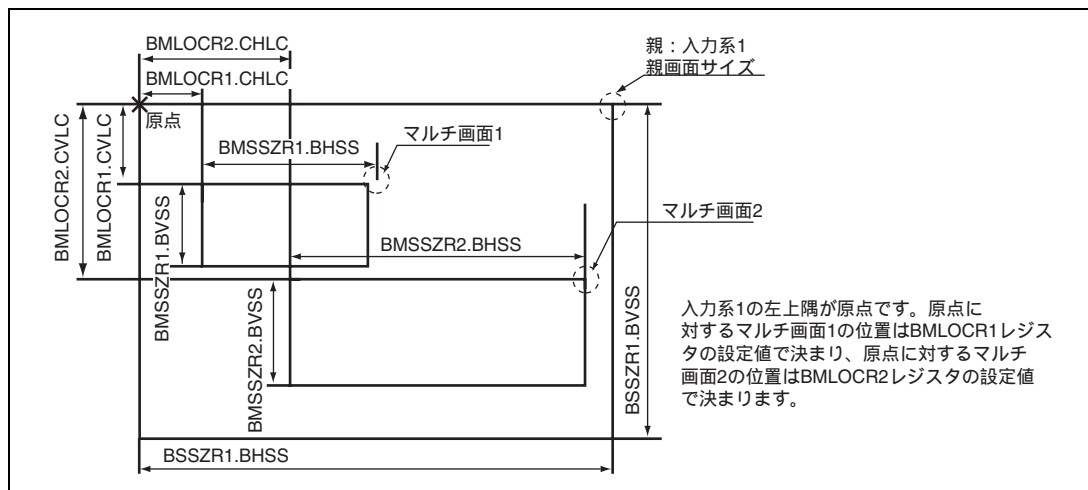


図 36.13 マルチ画面配置位置

36.3.20 BEU マルチ画面透過色制御レジスタ 1、2 (BMPCCR1、BMPCCR2)

BMPCCR は、透過色比較の比較データを設定するレジスタです。

BEU マルチ画面のバックフォームが RGB565、RGB666、RGB888、YCbCr のとき、入力データと本ビットに設定された R、GY、B データで比較します。比較対照となるビット幅は、入力バックフォームにより異なり、上位ビットから有効ビットを指定します。有効ビット以外のビットには 0 を設定してください。

なお、YCbCr 形式の場合、Y 成分のみの比較となります。たとえば、RGB565 バックフォームの場合、R データは R[7:3] ビット、G データは GY[7:2] ビット、B データは B[7:3] ビットと比較します。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	R[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GY[7:0]								B[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
23~16	R[7:0]	H'00	R/W	比較データ R (RGB)
15~8	GY[7:0]	H'00	R/W	比較データ G (RGB)、Y (YCbCr)
7~0	B[7:0]	H'00	R/W	比較データ B (RGB)

36.3.21 ブレンドバックフォームレジスタ (BPKFR)

BPKFR は、BEU の出力系ブレンドのバック形式を指定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PAD[7:0]								—	—	TM2	TM	—	—	—	DITH2
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	DITH1	RY	TE	CHDS[1:0]	—	—	WP KFR	WPCK[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	PAD[7:0]	H'00	R/W	出力データバックの PAD 値を指定 表 36.14 に示すバックで出力する場合、表中の PAD で示した部分に格納する値を設定します。
23, 22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
21	TM2	0	R/W	ITU-R BT.601、または ITU-R BT.709 規定 YCbCr と 8 ビットフルスケール RGB の色変換を使用するかを選択を行います。 0: ITU-R BT.601 規定 YCbCr と 8 ビットフルスケール RGB の色変換を使用します 1: ITU-R BT.709 規定 YCbCr と 8 ビットフルスケール RGB の色変換を使用します
20	TM	0	R/W	ITU-R BT.601、または ITU-R BT.709 規定 YCbCr と 8 ビットフルスケール RGB の色変換を使用するか、8 ビットフルスケール YCbCr と 8 ビットフルスケール RGB の色変換を使用するかを選択を行います。 0: full-range RGB[0,255]、compressed-range YCbCr[16,235/240]の色変換を使用します 1: full-range RGB[0,255]、full-range YCbCr[0,255]の色変換を使用します
19~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
16	DITH2	0	R/W	入力系 2 の減色処理時の量子化処理 / ディザ処理の選択 0: 入力系 2 の減色処理時に、量子化処理を行う 1: 入力系 2 の減色処理時に、ディザ処理を行う 【注】ディザ処理は、読み込み画像形式の設定が RGB 形式 (BPKFR.RY = 1) のときのみ処理が実行されます。
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12	DITH1	0	R/W	入力系 1 の減色処理時の量子化処理 / ディザ処理の選択 0 : 入力系 1 の減色処理時に、量子化処理を行う 1 : 入力系 1 の減色処理時に、ディザ処理を行う 【注】ディザ処理は、読み込み画像形式の設定が RGB 形式 (BPKFR.RY = 1) のときのみ処理が実行されます。
11 10	RY TE	0 0	R/W R/W	TE ビットは RGB YCbCr 変換回路のオン / オフを設定します。RY ビットは RGB YCbCr 変換の方向を選択します。 TE ビットと RY ビットの設定と入出力のデータ形式の関係は、表 36.12 を参照してください。 00 : ソース画像を YCbCr 形式として読み込み、YCbCr RGB 変換を行わない 01 : ソース画像を YCbCr 形式として読み込み、YCbCr RGB 変換を行う 10 : ソース画像を RGB 形式として読み込み、RGB YCbCr 変換を行わない 11 : ソース画像を RGB 形式として読み込み、RGB YCbCr 変換を行う
9、8	CHDS[1:0]	00	R/W	BEU の YCbCr 出力形式を設定 表 36.13 に YCbCr データの出力バック形式を示します。 00 : 入力系 2 の出力画像形式が YCbCr 形式の場合、YCbCr 4:4:4 として書き込む 01 : 入力系 2 の出力画像形式が YCbCr 形式の場合、YCbCr 4:2:2 として書き込む 10 : 入力系 2 の出力画像形式が YCbCr 形式の場合、YCbCr 4:2:0 として書き込む 11 : 設定禁止
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
5	WPKFR	0	R/W	BEU の出力データが RGB 形式のとき、出力データバック形式を設定 BGR888(3byte/pixel)フォーマット出力の設定を行う場合は、BPKFR.WPKFR=1、BPKFR.WPCK=H'15 の設定にしてください。 0 : BPKFR.WPKF に示すバックフォーマットで出力 1 : BGR888 フォーマットで出力
4~0	WPCK[4:0]	00000	R/W	BEU の出力バック形式を指定 BEU では出力するデータを 32 ビットにバックします。このときのデータフォーマットは、RGB 形式で出力する場合は表 36.14 に示すパターンでバックします。表中の WPCK の欄に示した値を、本ビットに設定します。

表 36.12 RPKFR の TE ビット、RY ビットと入出力のデータ形式の関係

TE ビット	RY ビット	入力	出力
0	0	YCbCr 形式	YCbCr 形式
0	1	RGB 形式	RGB 形式
1	0	YCbCr 形式	RGB 形式
1	1	RGB 形式	YCbCr 形式

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
15	CV3	0	R/W	マルチ画面色置換機能 マルチで入力された画素値が BMPCCR1.R、BMPCCR1.GY、BMPCCR1.B と一致した場合、その画素値および、 を BMPCCR2 の値と置き換えます。 CV3=1 のときは、BPCCR0.SAPEM2-1=0 と設定してください。 0: マルチ画面色置換機能オフ 1: マルチ画面色置換機能オン
14	CV2	0	R/W	CV2: 入力系 3 画面色置換機能
13	CV1	0	R/W	CV1: 入力系 2 画面色置換機能
12	CV0	0	R/W	CV0: 入力系 1 画面色置換機能 入力系 1~入力系 3 で入力された画素値が BPCCRx1.R、BPCCRx1.GY、BPCCRx1.B と一致した場合、その画素値および、 を BPCCRx2 の値と置き換えます (x: 1、2、3 で各入力系に対応)。 その入力系の入力フォーマットが RGB565、666、888、YCbCr の場合に色置換機能が有効となります。 色置換機能は、入力系ごとに独立に設定可能です。 CV2=1 のときは、BPCCR0.SAPE32-31=0 と設定してください。 CV1=1 のときは、BPCCR0.SAPE22-21=0 と設定してください。 CV0=1 のときは、BPCCR0.SAPE12-11=0 と設定してください。 【注】1. 入力データのセンター中心拡張 (BBLCR1.SELRDD=1) を行う場合は、色置換機能は使用できません。 2. 入力系 1 の色置換を使用する場合は、入力系 1 の透過色機能は使用できません。 0: 入力系 x 画面色置換機能オフ 1: 入力系 x 画面色置換機能オン
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
10	SPIC	0	R/W	BEU マルチ画面の入力バックフォームが、RGB565、RGB666、RGB888、および YCbCr で、かつ SAPEM2 ビットもしくは SAPEM1 ビットが 1 のとき、データ比較を行います。 0: データ比較の結果一致でマルチ画面を選択、不一致でブレンド画面を選択 1: データ比較の結果一致でブレンド画面を選択、不一致でマルチ画面を選択

ビット	ビット名	初期値	R/W	説明
9 8	SAPEM2 SAPEM1	0 0	R/W R/W	<p>透過色の比較は、入力系ごとに2種類の色比較が可能となっており、SAPEM2 ビットに1が設定されているとき、マルチ画面の入力データとBMPCCR2で設定されたデータの比較が行われます。また、SAPEM1 ビットに1が設定されているときは、BMPCCR1で設定されたデータで比較が行われます。SAPEM2、1ともに0が設定されたときは、データ比較は無効となります。</p> <p>00: BEU マルチ画面のデータ比較 1、2 を無効 01: BEU マルチ画面のデータ比較 1 を有効 10: BEU マルチ画面のデータ比較 2 を有効 11: BEU マルチ画面のデータ比較 1、2 を有効</p>
7、6	-	すべて0	R	<p>リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。</p>
5 4	SAPE32 SAPE31	0 0	R/W R/W	<p>透過色の比較は、入力系ごとに2種類の色比較が可能となっており、SAPE32 ビットに1が設定されているとき、入力系3の入力データとBPCCR32で設定されたデータの比較が行われます。また、SAPE31 ビットに1が設定されているときは、BPCCR31で設定されたデータで比較が行われます。SAPE32、31ともに0が設定されたときは、データ比較は無効となります。</p> <p>00: 入力系3のデータ比較 1、2 を無効 01: 入力系3のデータ比較 1 を有効 10: 入力系3のデータ比較 2 を有効 11: 入力系3のデータ比較 1、2 を有効</p>
3 2	SAPE22 SAPE21	0 0	R/W R/W	<p>透過色の比較は、入力系ごとに2種類の色比較が可能となっており、SAPE22 ビットに1が設定されているとき、入力系2の入力データとBPCCR22で設定されたデータの比較が行われます。また、SAPE21 ビットに1が設定されているときは、BPCCR21で設定されたデータで比較が行われます。SAPE22、21ともに0が設定されたときは、データ比較は無効となります。</p> <p>00: 入力系2のデータ比較 1、2 を無効 01: 入力系2のデータ比較 1 を有効 10: 入力系2のデータ比較 2 を有効 11: 入力系2のデータ比較 1、2 を有効</p>
1 0	SAPE12 SAPE11	0 0	R/W R/W	<p>透過色の比較は、入力系ごとに2種類の色比較が可能となっており、SAPE12 ビットに1が設定されているとき、入力系1の入力データとBPCCR12で設定されたデータの比較が行われます。また、SAPE11 ビットに1が設定されているときは、BPCCR11で設定されたデータで比較が行われます。SAPE12、11ともに0が設定されたときは、データ比較は無効となります。</p> <p>00: 入力系1のデータ比較 1、2 を無効 01: 入力系1のデータ比較 1 を有効 10: 入力系1のデータ比較 2 を有効 11: 入力系1のデータ比較 1、2 を有効</p>

36.3.23 BEU 透過色制御レジスタ 11、12、21、22、31、32

(BPCCR11、BPCCR12、BPCCR21、BPCCR22、BPCCR31、BPCCR32)

BPCCR は、透過色比較の比較データとアルファ値を設定するレジスタです。

BEU 入力系 1~3 のパックフォームが RGB565、RGB666、RGB888、YCbCr のとき、入力データと本ビットに設定された R、GY、B データで比較します。比較対照となるビット幅は、入力パックフォームにより異なり、上位ビットから有効ビットを指定します。有効ビット以外のビットには 0 を設定してください。

なお、YCbCr 形式の場合、Y 成分のみの比較となります。たとえば、RGB565 パックフォームの場合、R データは R[7:3] ビット、G データは GY[7:2] ビット、B データは B[7:3] ビットと比較します。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AP[7:0]								R[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GY[7:0]								B[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	AP[7:0]	H'00	R/W	データ比較の結果一致したとき適用されるアルファ値 BEU 入力系 1 の入力パックフォームが、RGB565、RGB666、RGB888、YCbCr でかつ BPCCR0 の SAPExx ビットが 1 のとき、それぞれのビットに対応した BPCCRxx の値とデータ比較を行います。比較の結果、データが一致した場合、画素アルファ値を本ビットで設定したアルファ値に置き換えます (xx = 11、12、21、22、31、32)。
23~16	R[7:0]	H'00	R/W	比較データ R (RGB)
15~8	GY[7:0]	H'00	R/W	比較データ G (RGB)、Y (YCbCr)
7~0	B[7:0]	H'00	R/W	比較データ B (RGB)

36.3.24 BEU デスティネーションメモリ幅レジスタ (BDMWR)

BDMWR は、BEU のデスティネーションメモリ領域のメモリ幅を設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BDW[17:16]
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDW[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
17~2	BDW[17:2]	H'00000	R/W	BEU のデスティネーションメモリ領域の幅を設定 (ロングワード単位)
1, 0	BDW[1:0]		R	BEU の処理において、デスティネーション画像が配置されるデスティネーションメモリ領域の横幅をバイト数で指定します。 親画面で出力水平画素数を 4 画素単位まで切り上げた画素数に担当する幅以上の値を指定してください (その範囲まで、データのライトが生じます。出力画素数を超えた範囲は、"黒"が出力されます)。

36.3.25 BEU デスティネーションアドレス Y レジスタ (BDAYR)

BDAYR は、BEU が書き出す画像の Y/RGB プレーンの先頭アドレスを設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDAY[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDAY[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~2 1、0	BDAY[31:2] BDAY[1:0]	H'0000 0000	R/W R	BEU の Y/RGB プレーンの書き出し先頭アドレスを指定 (ロングワード単位) YCbCr 形式の画像を書き出す場合には、Y プレーンの先頭アドレスを指定し、RGB 形式の画像を書き出す場合には、RGB プレーンの先頭アドレスを設定します。

36.3.26 BEU デスティネーションアドレス C レジスタ (BDACR)

BDACR は、BEU が書き出す画像の C プレーンの先頭アドレスを設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDAC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDAC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	BDAC[31:2]	H'0000 0000	R/W	BEU の C プレーンの書き出し先頭アドレスを指定 (ロングワード単位) YCbCr 形式の画像を書き出す場合には、C プレーンの先頭アドレスを指定します。 【注】画像形式が RGB 形式の場合、本レジスタは使用しません。
1、0	BDAC[1:0]		R	

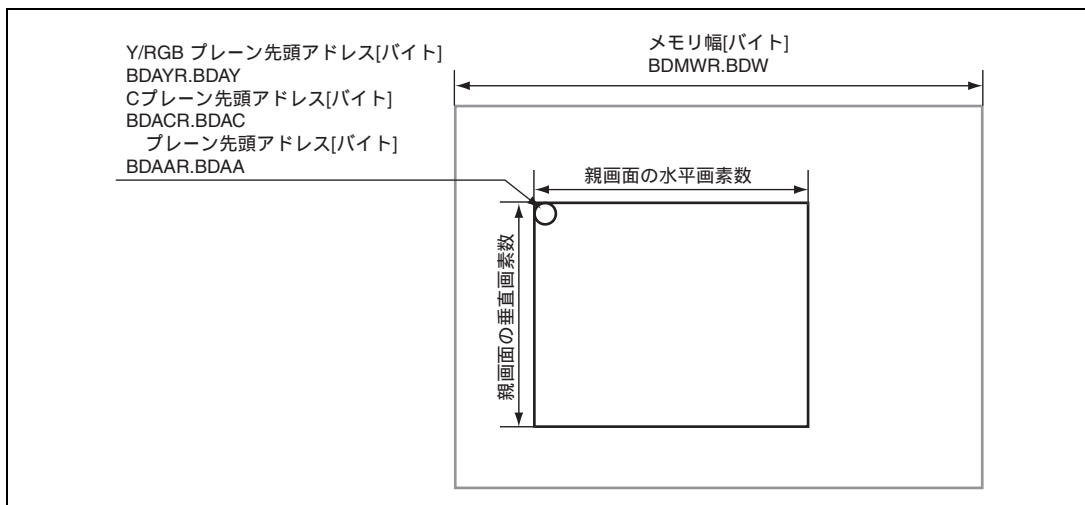


図 36.14 出力画面のサイズと先頭アドレス

36.3.27 BEU アドレス固定レジスタ (BAFXR)

BAFXR は、BEU から出力するデータのアドレスを固定モード出力に設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BAFIX
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
0	BAFIX	0	R/W	本ビットが 1 のときは、BEU の画像書き込み先アドレスを、BDAYR、BDACR で設定した値に固定します。本ビットが 0 のときは、アドレスは BDMWR に応じてインクリメントされます。 0 : BEU の出力アドレスをアドレス固定モードにしない 1 : BEU の出力アドレスをアドレス固定モードにする 【注】アドレス固定モード時は、RGB 形式のみ使用できます。YCbCr 形式のときは保証しません。

36.3.28 BEU スワッピングレジスタ (BSWPR)

BSWPR は、BEU のデータ入出力部で、64 ビットデータ内の入れ替え (スワッピング) を設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MODSEL	—	—	—	—	BEILS4	BEIWS4	BEIBS4	—	—	—	—	—	BEILS3	BEIWS3	BEIBS3
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	BEILS2	BEIWS2	BEIBS2	—	BEOLS	BEOWS	BEOBS	—	BEILS	BEIWS	BEIBS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MODSEL	0	R/W	BSWPR.MODSEL = 1 の場合は、入力系ごとのスワップ設定が可能となります。BSWPR.MODSEL = 0 の場合、すべての入力系は BSWPR.BEILS、BSWPR.BEIWS、BSWPR.BEIBS で設定されたスワップ設定となります。 0: 入力系別スワップ設定モードを OFF 1: 入力系別スワップ設定モードを ON
30~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
26	BEILS4	0	R/W	0: 入力系 4 (マルチ画面) の入力ロングワードスワップを OFF 1: 入力系 4 (マルチ画面) の入力ロングワードスワップを ON
25	BEIWS4	0	R/W	0: 入力系 4 (マルチ画面) の入力ワードスワップを OFF 1: 入力系 4 (マルチ画面) の入力ワードスワップを ON
24	BEIBS4	0	R/W	0: 入力系 4 (マルチ画面) の入力バイトスワップを OFF 1: 入力系 4 (マルチ画面) の入力バイトスワップを ON
23~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
18	BEILS3	0	R/W	0: 入力系 3 (マルチ画面) の入力ロングワードスワップを OFF 1: 入力系 3 (マルチ画面) の入力ロングワードスワップを ON
17	BEIWS3	0	R/W	0: 入力系 3 (マルチ画面) の入力ワードスワップを OFF 1: 入力系 3 (マルチ画面) の入力ワードスワップを ON
16	BEIBS3	0	R/W	0: 入力系 3 (マルチ画面) の入力バイトスワップを OFF 1: 入力系 3 (マルチ画面) の入力バイトスワップを ON
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
10	BEILS2	0	R/W	0: 入力系 2 (マルチ画面) の入力ロングワードスワップを OFF 1: 入力系 2 (マルチ画面) の入力ロングワードスワップを ON

ビット	ビット名	初期値	R/W	説明
9	BEIWS2	0	R/W	0 : 入力系 2 (マルチ画面) の入力ワードスワップを OFF 1 : 入力系 2 (マルチ画面) の入力ワードスワップを ON
8	BEIBS2	0	R/W	0 : 入力系 2 (マルチ画面) の入力バイトスワップを OFF 1 : 入力系 2 (マルチ画面) の入力バイトスワップを ON
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
6	BEOLS	0	R/W	出力ロングワードスワップ設定 出力ロングワードスワップは、BEU の出力部で、64 ビットのデータに対し MSB 側 32 ビットと LSB 側 32 ビットをロングワード単位で入れ替えます。 0 : BEU の出力ロングワードスワップをしない 1 : BEU の出力ロングワードスワップをする
5	BEOWS	0	R/W	出力ワードスワップ設定 出力ワードスワップは、BEU の出力部で、64 ビットのデータに対し MSB もしくは LSB 側から 16 ビットをワード単位で入れ替えます。 0 : BEU の出力ワードスワップをしない 1 : BEU の出力ワードスワップをする
4	BEOBS	0	R/W	出力バイトスワップ設定 出力バイトスワップは、BEU の出力部で、64 ビットのデータに対し MSB もしくは LSB 側から 16 ビットをバイト単位でデータを入れ替えます。 0 : BEU の出力バイトスワップをしない 1 : BEU の出力バイトスワップをする
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
2	BEILS	0	R/W	入力ロングワードスワップ設定 入力ロングワードスワップは、BEU の入力部 (すべての入力系に対する) で、64 ビットのデータに対し MSB 側 32 ビットと LSB 側 32 ビットをロングワード単位で入れ替えます。 BSWPR.MODSEL = 0 かつ BSWPR.BEILS = 1 の場合は、BEU 部の入力系読み出し部 (すべての入力系に対する) で、64 ビットのデータに対し MSB 側 32 ビットと LSB 側 32 ビットをロングワード単位で入れ替えます。 BSWPR.BEILS = 0 の場合はロングワード単位の入れ替えを行いません。 BSWPR.MODSEL = 1 かつ BSWPR.BEILS = 1 の場合は、BEU 部の入力系 1 読み出し部で、64 ビットのデータに対し MSB 側 32 ビットと LSB 側 32 ビットをロングワード単位で入れ替えます。BSWPR.BEILS = 0 の場合はロングワード単位の入れ替えを行いません。 0 : BEU の入力ロングワードスワップをしない 1 : BEU の入力ロングワードスワップをする

ビット	ビット名	初期値	R/W	説明
1	BEIWS	0	R/W	<p>入力ワードスワップ設定</p> <p>入力ワードスワップは、BEUの入力部(すべての入力系に対する)で、64ビットのデータに対しMSBもしくはLSB側から16ビットをワード単位で入れ替えます。</p> <p>BSWPR.MODSEL = 0 かつ BSWPR.BEIWS = 1 の場合は、BEU 部の入力系読み出し部(すべての入力系に対する)で、64ビットのデータに対しMSBもしくはLSB側から16ビットをワード単位で入れ替えます。</p> <p>BSWPR.BEIWS = 0 の場合はワード単位の入れ替えを行いません。</p> <p>BSWPR.MODSEL = 1 かつ BSWPR.BEIWS = 1 の場合は、BEU 部の入力系1読み出し部で、64ビットのデータに対しMSBもしくはLSB側から16bitをワード単位で入れ替えます。BSWPR.BEIWS = 0 の場合はワード単位の入れ替えを行いません。</p> <p>0 : BEU の入力ワードスワップをしない 1 : BEU の入力ワードスワップをする</p>
0	BEIBS	0	R/W	<p>入力バイトスワップ設定</p> <p>入力バイトスワップは、BEUの入力部(すべての入力系に対する)で、64ビットのデータに対しMSBもしくはLSB側から16ビットをバイト単位でデータを入れ替えます。</p> <p>BSWPR.MODSEL = 0 かつ BSWPR.BEIBS = 1 の場合は、BEU 部の入力系読み出し部(すべての入力系に対する)で、64ビットのデータに対しMSBもしくはLSB側から16ビットを、バイト単位でデータを入れ替えます。BSWPR.BEIBS = 0 の場合はこれらの入れ替えを行いません。</p> <p>BSWPR.MODSEL = 1 かつ BSWPR.BEIBS = 1 の場合は、BEU 部の入力系1読み出し部で、64ビットのデータに対しMSBもしくはLSB側から16bitを、バイト単位でデータを入れ替えます。BSWPR.BEIBS = 0 の場合はこれらの入れ替えを行いません。</p> <p>0 : BEU の入力バイトスワップをしない 1 : BEU の入力バイトスワップをする</p>

MODESEL=0 のデータスワップ機能を図 36.15 に示します。データスワップ設定レジスタに 1 系統分だけの (BSWPR) の設定を持ち、これが各入力系の設定となっています。

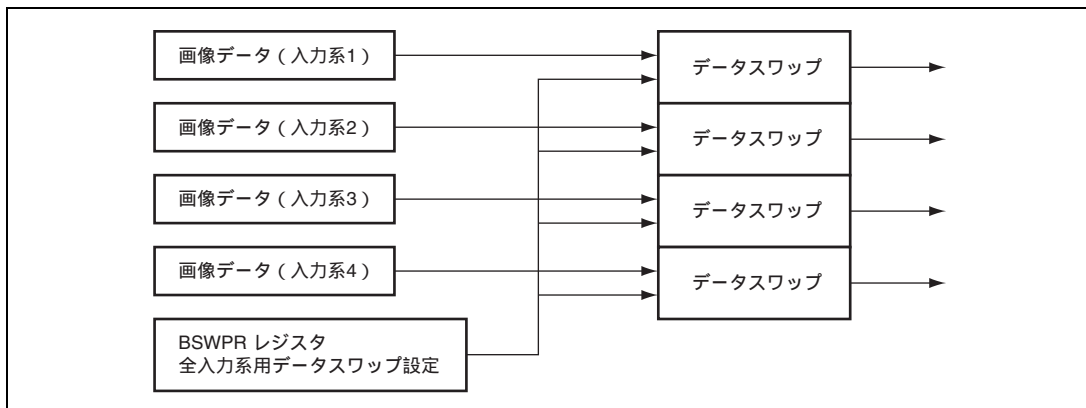


図 36.15 MODESEL = 0 のデータスワップ構成

MODESEL=1 のデータスワップ構成を図 36.16 に示します。入力系ごとにデータスワップ方法を変えることが可能な構成となります。

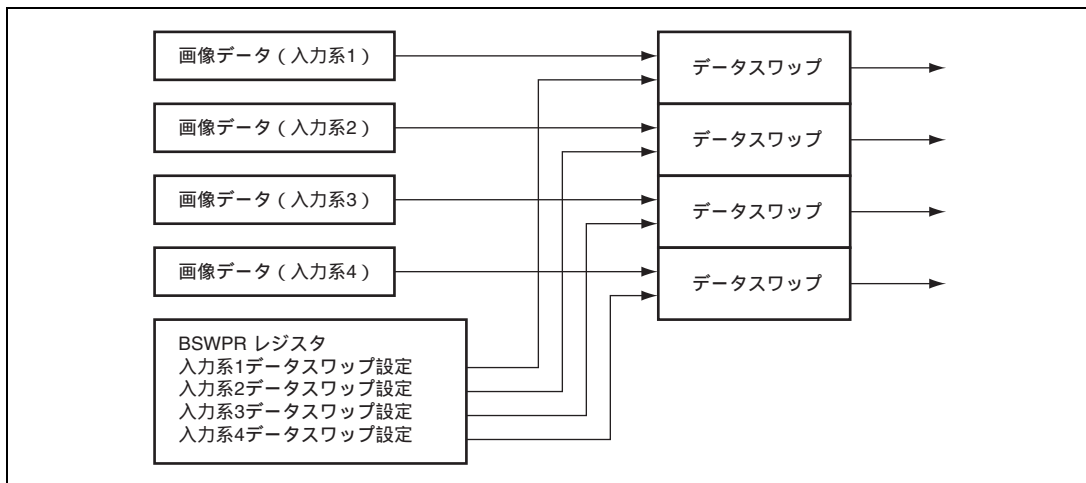


図 36.16 MODESEL = 1 のデータスワップ構成

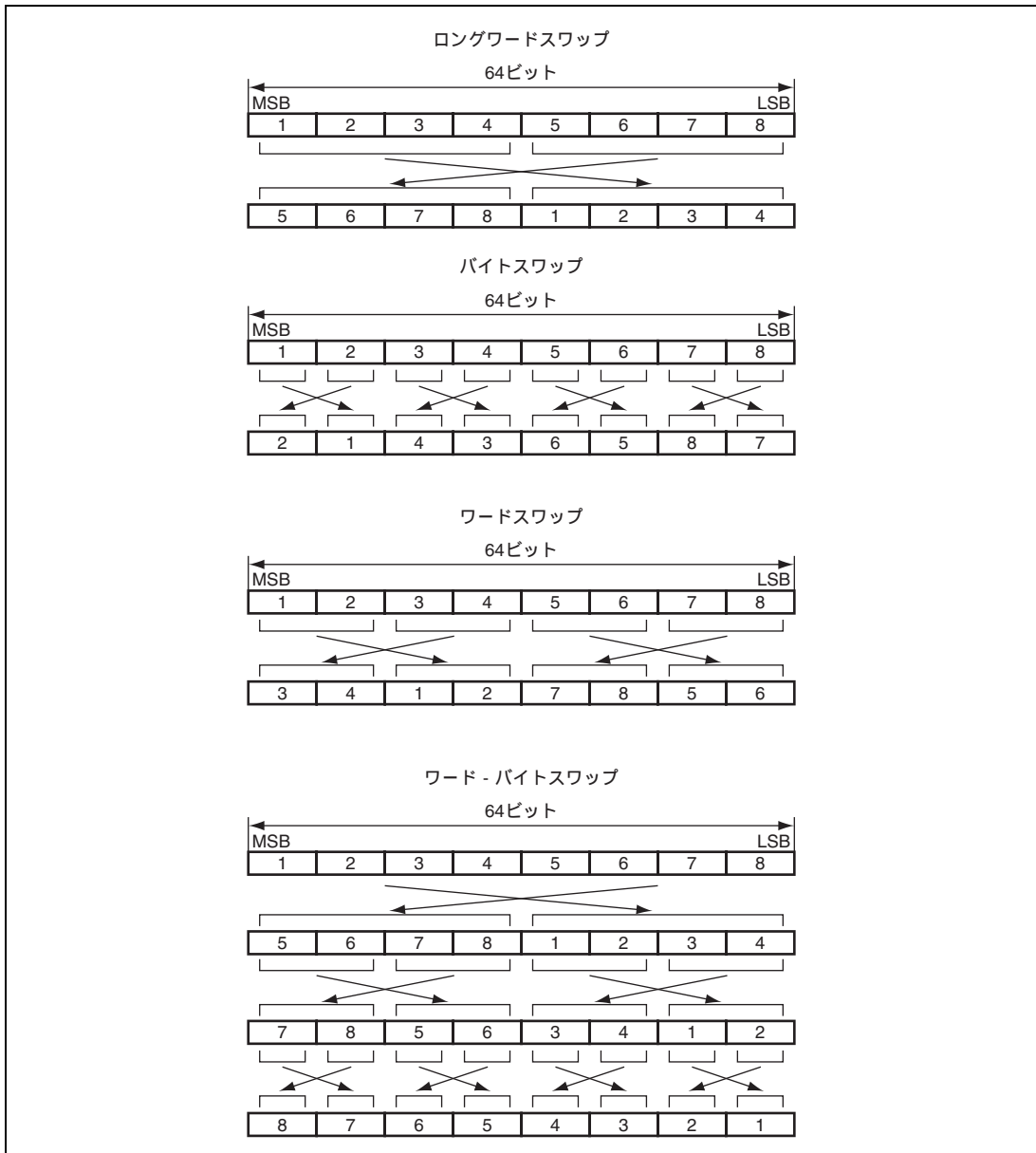


図 36.17 データの入れ替え機能

36.3.29 BEU イベント割り込みイネーブルレジスタ (BEIER)

BEIER は、BEVTR のフラグの割り込み信号出力の禁止 / 許可を設定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BE VIOE	BE ENDE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
1	BEVIOE	0	R/W	本ビットは、BEVTR の BEVIO ビットの割り込み信号出力の禁止 / 許可を設定します。 0 : BEVTR の BEVIO ビットの割り込み信号出力を禁止 1 : BEVTR の BEVIO ビットの割り込み信号出力を許可
0	BEENDE	0	R/W	本ビットは、BEVTR の BEENDE ビットの割り込み信号出力の禁止 / 許可を設定します。 0 : BEVTR の BEENDE ビットの割り込み信号出力を禁止 1 : BEVTR の BEENDE ビットの割り込み信号出力を許可

36.3.30 BEU イベントレジスタ (BEVTR)

BEVTR は、BEU 内部で割り込み要因が発生した場合に、その要因を表すレジスタです。BEVTR の各要因の割り込み信号への出力許可 / 禁止は、BEIER で設定します。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INT REQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BE VIO	BE END
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	INTREQ	0	R	本ビットは、BEU 内部で割り込み要因が発生し、BEIER で割り込み出力を許可していた場合に1となります。 BEU 内部で割り込み要因が発生しても、BEIER で割り込み出力を禁止していた場合またはBEIER で割り込み出力を許可してもBEU 内部で割り込み要因が発生していない場合、本ビットは0となります。 0: 外部に割り込みを出力していないことを示す 1: BEU 内部に割り込み要因が発生し、外部に割り込みを出力中であることを示す
15~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	BEVIO	0	R/W	BEVIO フラグ (違反ステータス) [読み出し時] 0: 違反設定を検出しなかった状態または BEVIO フラグクリア後の状態 1: 違反設定を検出したことを表すステータス [書き込み時] 0: BEVIO フラグの0クリアを行う 1: NOP
0	BEEND	0	R/W	BEEND フラグ (終了ステータス) [読み出し時] 0: BEU 部の処理が終了していない状態または BEEND フラグクリア後の状態 1: BEU の処理が終了したことを表すステータス [書き込み時] 0: BEEND フラグの0クリアを行う 1: NOP

BEU が動作を終了したとき、BEEND フラグ(終了ステータス)がセットされます。このとき、BEIER の BEENDE ビット (終了割り込み禁止/許可) が1なら、割り込みが発生します。BEEND フラグは、同ビットに0を書き込むことでリセットできます。BEEND ビットは、処理終了後、0クリアしなければ0になりません。このため、次のBEUの起動前に必ずBEEND ビットに0を書き込み、0クリアする必要があります。

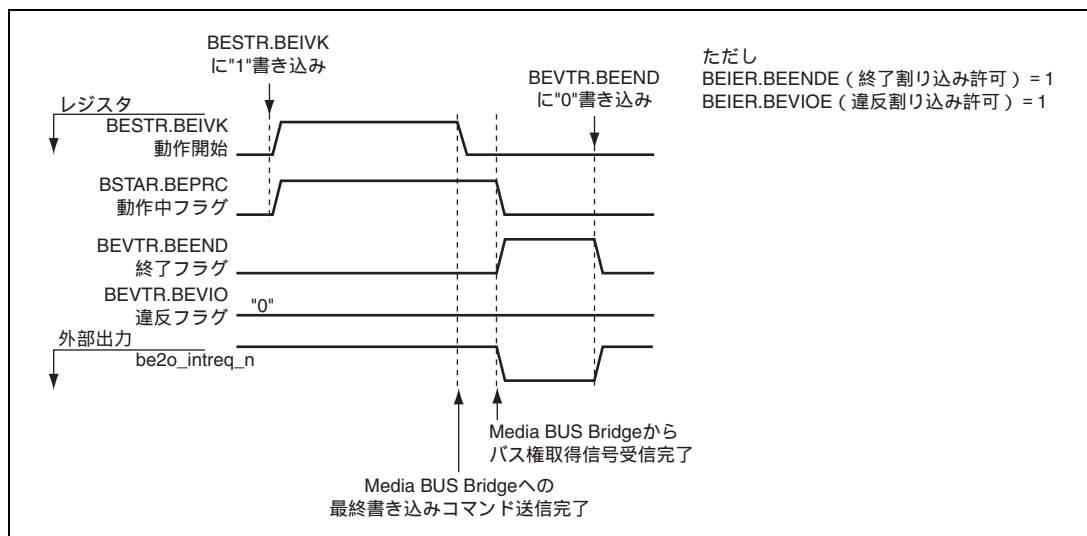


図 36.18 違反設定なしの動作シーケンスと終了フラグの強制セット

図 36.19 に示すような違反設定を行い BESTR の BEIVK ビット (動作開始) をセットすると、BEU は動作を開始せず、BEVIO フラグ (違反ステータス) がセットされます。このとき、BEIER の BEVIOE ビット (違反割り込み禁止 / 許可) が 1 なら、割り込みが発生します。BEVIO フラグは、同ビットに 0 を書き込むことでリセットできます。BEVIO フラグがセットされたとき、BEVTR の BEEND ビット (終了ステータス) はセットされず、スケジューラ部もデータ転送系もデータ処理系も起動されません。

BEVIO フラグは、処理終了後、0 クリアしなければ 0 にはなりません。このため、次の BEU の起動前に、必ず BEVIO フラグに 0 を書き込み、0 クリアする必要があります。

BEIVK ビットは、BEVIO フラグがセットされるのと同時にリセットされます。

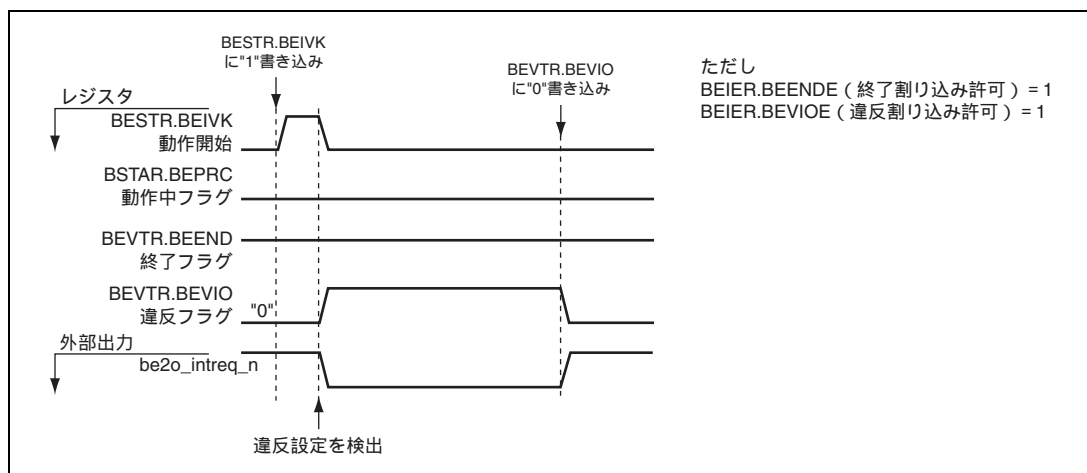


図 36.19 違反設定ありの動作シーケンスと違反フラグの強制セット

36.3.31 BEU レジスタ制御レジスタ (BRCNTR)

BRCNTR は、BEU レジスタで 2 面構成となっているレジスタの面の切り替えを制御するレジスタです。

また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RS	RC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
1	RS	0	R/W	レジスタ面指定 VSYNC に同期して BEU が使用するレジスタ面を指定します。本レジスタは RC ビットが 0 のときのみ有効です。 0 : BEU は A 面のレジスタを使用する 1 : BEU は B 面のレジスタを使用する
0	RC	0	R/W	レジスタ面切り替えイネーブル VSYNC に同期して BEU が使用するレジスタ面を切り替えるか指定します。切り替えない場合は BRCNTR_RS で指定されたレジスタ面が使用されます。切り替え動作時、BEU が単独で動作している場合、BEU に起動がかかったとき、レジスタ面を切り替えます。 VOU/LCDC と連動で動作している場合は、VOU もしくは LCDC からの切り替え信号でレジスタ面を切り替えます。 0 : 指定されたレジスタ面を使用する 1 : レジスタ面を切り替える

36.3.32 BEU ステータスレジスタ (BSTAR)

BSTAR は、BEU 内部のステータスや内部信号の状態を表示するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	REGST	—	—	—	—	—	—	—	BEPRC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
8	REGST	0	R	現在使用しているレジスタの面を示します。 0: BEU は A 面のレジスタを使用している 1: BEU は B 面のレジスタを使用している
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	BEPRC	0	R	BESTR の BEIVK ビットにより BEU 部を起動すると、本ビットは1となります。本ビットが1のときは、BEU 部が動作していることを表し、この期間は動作中の操作禁止を規定したレジスタに対し、操作を行わないようにします。 本ビットは、BEVTR の BEEND フラグと同時に、自動的に0となります。 0: BEU が停止状態であることを表す 1: BEU が動作状態であることを表す

36.3.33 BEU モジュールリセットレジスタ (BBRSTR)

BBRSTR は、BEU に対してモジュールリセットを行うレジスタです。

動作中の書き込みは禁止です。動作中に ALLRST ビットに 1 を書き込んだ場合、CPU バスとハンドシェイクしている論理回路等に強制リセットが適用されるため、動作破綻が BEU 外部に及ぶ可能性があります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ALL RST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
0	ALLRST	0	W	本ビットに 1 を書き込むと、BEU の内部のすべての制御信号に対して、リセットが適用されます。 動作中に本ビットに 1 を書き込んだ場合、CPU バスとハンドシェイクしている論理回路等に強制リセットが適用されるため、動作破綻が BEU 外部に及ぶ可能性があります。 0 : NOP 1 : BEU をモジュールリセット

36.3.34 BEU レジスタ面強制指定レジスタ (BRCHR)

BRCHR は、レジスタ面を強制指定するレジスタです。

読み出し専用のビットに対しては、1 の書き込みを禁止します。これらのビットに 1 を書き込んだ場合、動作破綻する場合があります。また、本レジスタは、動作中の書き込みは禁止です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RCH
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
0	RCH	0	R/W	レジスタ面強制指定 本ビットは、現在使用しているレジスタの面を強制的に切り替えます。本レジスタによる使用レジスタ面の切り替えは、BRCNTR の RC ビットが 1 のときのみ有効となります。レジスタの面を強制的に切り替える際には、あらかじめ RC ビットに 1 を設定してください。 0 : A 面のレジスタを指定 1 : B 面のレジスタを指定

36.4 連動動作

36.4.1 連動動作でのレジスタ切り替え

VOU/LCDC 連続動作では、レジスタ面切り替え指定 (BRCNTR.RC=1) とし、VOU もしくは LCDC からの切り替え信号のタイミングでレジスタ値を内部レジスタにロードし、同時にレジスタ面を切り替えます。

切り替え信号の出力タイミングは、VOU と LCDC とで若干異なります。VOU はフレームの開始時に切り替え信号を出力するのに対して、LCDC ではフレーム終了時に切り替え信号を出力します。このため、LCDC 連動動作時は、BEU 起動直後にレジスタ面を切り替える必要があります。

図 36.20 に VOU 連動時レジスタ切り替え動作を、図 36.21 に LCDC 連動時レジスタ切り替え動作を図示します。

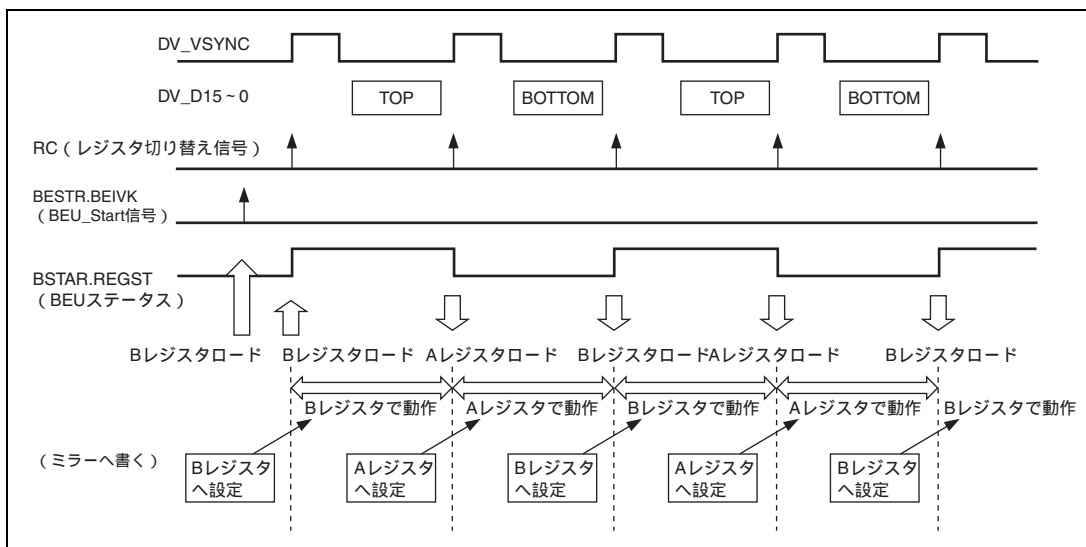


図 36.20 VOU 連動時レジスタ切り替え動作

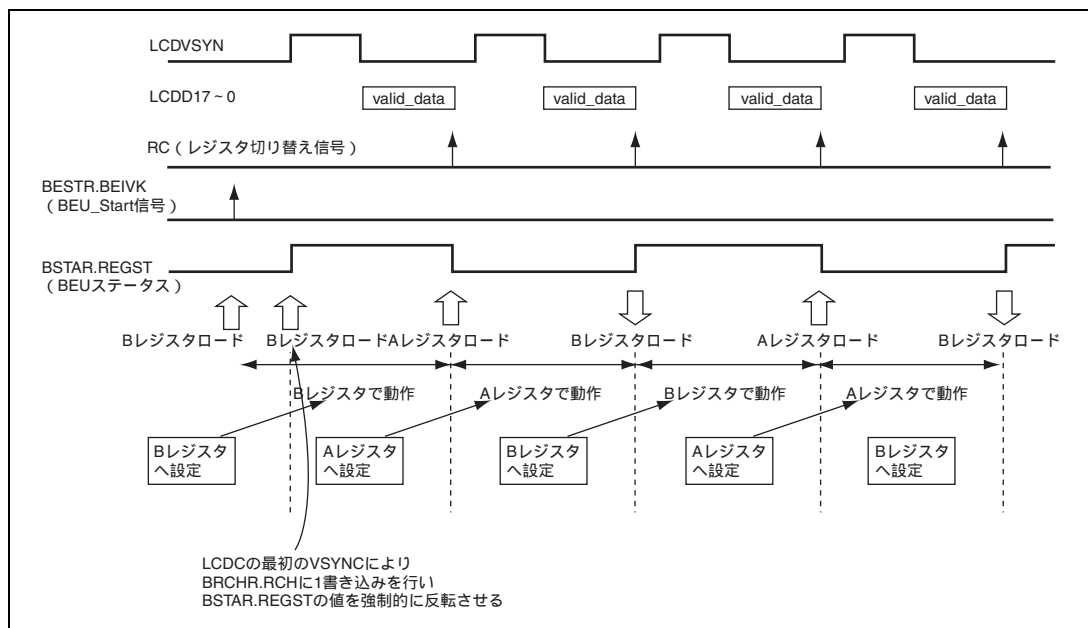


図 36.21 LCDC 連動時レジスタ切り替え動作

36.4.2 連動動作でのマルチウィンドウ

マルチウィンドウ関連のレジスタは、すべて2面構造となっていないため、動作中のレジスタ設定が禁止となっています。このため、フレームを連続で動作させる場合、マルチウィンドウの画像をフレームごとに変えたり、画像サイズを変更することはできません。また、マルチウィンドウを有効にしてVOUとの連動動作時、NTSCモード(BBLCR1.VSKIP=1)として動作させる場合、フィールドアドレスを自動で切り替える設定(BBLCR1.ATF=1)にする必要があります。

36.4.3 連動動作でのデータフォーマット選択

連動動作のとき、LCDC は BEU から RGB 形式のデータを受け取ることを期待します。VOU は BEU から YCbCr 形式のデータを受け取ることを期待します。

このため、連動動作で設定可能な入出力フォーマットは、以下の表に示す組み合わせとなります。

表 36.15 RPKFR の TE ビット、RY ビットと入出力の連動動作可否の関係

TE ビット	RY ビット	BEU 入力	BEU 出力	VOU 連動動作	LCDC 連動動作
0	0	YCbCr 形式	YCbCr 形式		×
0	1	RGB 形式	RGB 形式	×	
1	0	YCbCr 形式	RGB 形式	×	
1	1	RGB 形式	YCbCr 形式		×

【注】 : 動作可、× : 動作不可

37. JPEG プロセッシングユニット (JPU)

JPU (JPEG Processing Unit) は、JPEG ベースラインに準拠した圧縮伸長方式を持った JPEG コーデックを内蔵しており、画像データの圧縮および JPEG データの伸長を高速に処理することができます。

圧縮伸長処理には、LSI 外部で接続される SDRAM 等の外部バッファ上で、フレームバッファあるいはラスタ - ブロック変換のためのラインバッファが必要となります。

37.1 特長

JPU は、以下の特長を持ちます。

- 対応規格：JPEG ベースライン
- 演算精度：JPEG Part2、ISO-IEC10918-2 準拠
- カラーフォーマット：YCbCr 4:2:2 (H=2:1:1, V=1:1:1) / 4:2:0 (H=2:1:1, V=2:1:1)
- 量子化テーブル：4 テーブル内蔵
- ハフマンテーブル：4 テーブル内蔵 (AC 係数 2 テーブル、DC 係数 2 テーブル)
- 対象マーカ：SOI (Start Of Image)、SOF0 (Start Of Frame Type 0)、SOS (Start Of Scan)、DQT (Define Quantization Tables)、DHT (Define Huffman Tables)、DRI (Define Restart Interval)、RSTm (Restart marks)、EOI (End Of Image)
- 画像データレート：最大 108MB/s (54MHz 動作時)
- ラインバッファモードにより SDRAM 等の RAM 領域上でのフレームバッファを削減可能
- 本モードは、カメラセンサのピクセルクロック周波数、RAM 構成により使用できない場合があります。
- 圧縮処理時、画像の回転 (90°、180°、270°) が可能 (フレームバッファモードのみ)
- ストリーム書き出し、読み出し時に、設定されたデータ量の転送ごとにアドレスをトグルさせるリロードモードをサポートし、バッファ容量を削減可能
- 処理単位：アドレス境界 8 バイト単位、データ長 4 バイト単位で設定可能
ただし、圧縮時の出力データは、終端がアドレス 16 バイト境界となるデータサイズとなります。
- 処理可能画像サイズ：
最大：横 4,092 × 縦 4,092、最小：横 16 × 縦 16 画素
処理単位は 4 画素単位となります。

【注】 非対応カラーフォーマットおよび非対応画像サイズの圧縮 / 伸長処理は行わないでください。

JPU と周辺モジュールとの接続を図 37.1 に示します。

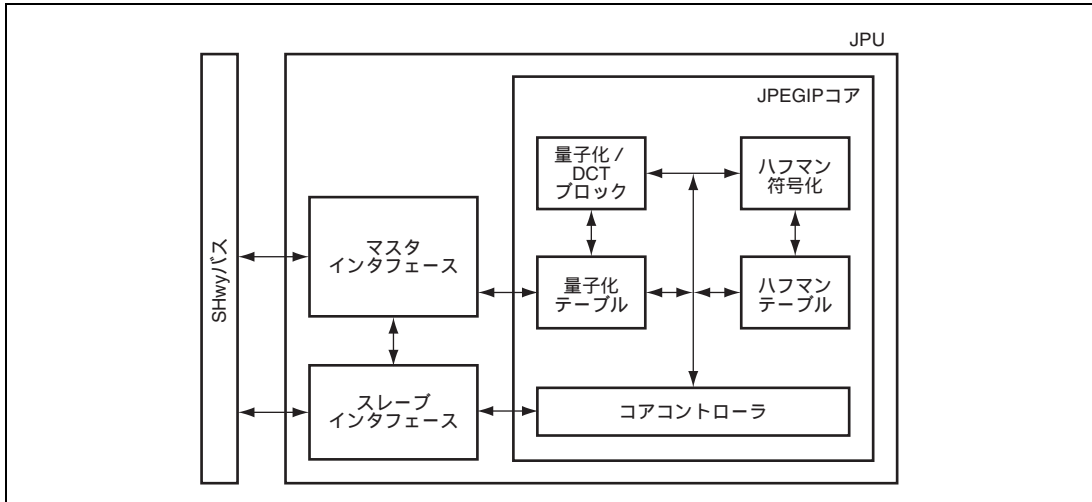


図37.1 JPU と周辺モジュールの接続

37.2 レジスタの説明

JPU のレジスタ構成を表 37.1 に示します。また、各処理モードにおけるレジスタの状態を表 37.2 に示します。

レジスタは、すべて 32 ビットアクセスです。リザーブビットまたは読み出し専用ビットへ書き込みを行う場合は必ず 0 を書いてください。ただし、JPEG 割り込みステータスレジスタ (JINTS) に関しては、クリアの際の 0 書き込みはクリア対象ビットのみとし、その他のビットには 1 を書いてください。規定以外のレジスタアクセスをした場合、動作は保証できません。

表37.1 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
JPEG コードモードレジスタ	JCMOD	R/W	H'FE98 0000	32
JPEG コードコマンドレジスタ	JCCMD	R/W	H'FE98 0004	32
JPEG コードステータスレジスタ	JCSTS	R	H'FE98 0008	32
JPEG コード量子化テーブル番号レジスタ	JCQTN	R/W	H'FE98 000C	32
JPEG コードハフマンテーブル番号レジスタ	JCHTN	R/W	H'FE98 0010	32
JPEG コード DRI 上位レジスタ	JCDRIU	R/W	H'FE98 0014	32
JPEG コード DRI 下位レジスタ	JCDRID	R/W	H'FE98 0018	32
JPEG コード垂直方向サイズ上位レジスタ	JCVSZU	R/W	H'FE98 001C	32
JPEG コード垂直方向サイズ下位レジスタ	JCVSZD	R/W	H'FE98 0020	32
JPEG コード水平方向サイズ上位レジスタ	JCHSZU	R/W	H'FE98 0024	32
JPEG コード水平方向サイズ下位レジスタ	JCHSZD	R/W	H'FE98 0028	32
JPEG コードデータカウント上位レジスタ	JCDTCU	R	H'FE98 002C	32
JPEG コードデータカウント中位レジスタ	JCDTCM	R	H'FE98 0030	32
JPEG コードデータカウント下位レジスタ	JCDTCD	R	H'FE98 0034	32
JPEG 割り込みイネーブルレジスタ	JINTE	R/W	H'FE98 0038	32
JPEG 割り込みステータスレジスタ	JINTS	R/W	H'FE98 003C	32
JPEG コードデコードエラーレジスタ	JCDERR	R/W	H'FE98 0040	32
JPEG コード再起動レジスタ	JCRST	R	H'FE98 0044	32
JPEG インタフェース圧縮制御レジスタ	JIFECNT	R/W	H'FE98 0070	32
JPEG インタフェース圧縮ソース Y アドレスレジスタ 1	JIFESYA1	R/W	H'FE98 0074	32
JPEG インタフェース圧縮ソース C アドレスレジスタ 1	JIFESCA1	R/W	H'FE98 0078	32
JPEG インタフェース圧縮ソース Y アドレスレジスタ 2	JIFESYA2	R/W	H'FE98 007C	32
JPEG インタフェース圧縮ソース C アドレスレジスタ 2	JIFESCA2	R/W	H'FE98 0080	32
JPEG インタフェース圧縮ソースメモリ幅レジスタ	JIFESMW	R/W	H'FE98 0084	32
JPEG インタフェース圧縮ソース垂直方向サイズレジスタ	JIFESVSZ	R/W	H'FE98 0088	32
JPEG インタフェース圧縮ソース水平方向サイズレジスタ	JIFESHSZ	R/W	H'FE98 008C	32
JPEG インタフェース圧縮デスティネーションアドレスレジスタ 1	JIFEDA1	R/W	H'FE98 0090	32

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
JPEG インタフェース圧縮デスティネーションアドレスレジスタ 2	JIFEDA2	R/W	H'FE98 0094	32
JPEG インタフェース圧縮データリロードサイズレジスタ	JIFEDRSZ	R/W	H'FE98 0098	32
JPEG インタフェース伸長制御レジスタ	JIFDCNT	R/W	H'FE98 00A0	32
JPEG インタフェース伸長ソースアドレスレジスタ 1	JIFDSA1	R/W	H'FE98 00A4	32
JPEG インタフェース伸長ソースアドレスレジスタ 2	JIFDSA2	R/W	H'FE98 00A8	32
JPEG インタフェース伸長データリロードサイズレジスタ	JIFDDRSZ	R/W	H'FE98 00AC	32
JPEG インタフェース伸長デスティネーションメモリ幅レジスタ	JIFDDMW	R/W	H'FE98 00B0	32
JPEG インタフェース伸長デスティネーション垂直方向サイズレジスタ	JIFDDVSZ	R	H'FE98 00B4	32
JPEG インタフェース伸長デスティネーション水平方向サイズレジスタ	JIFDDHSZ	R	H'FE98 00B8	32
JPEG インタフェース伸長デスティネーション Y アドレスレジスタ 1	JIFDDYA1	R/W	H'FE98 00BC	32
JPEG インタフェース伸長デスティネーション C アドレスレジスタ 1	JIFDDCA1	R/W	H'FE98 00C0	32
JPEG インタフェース伸長デスティネーション Y アドレスレジスタ 2	JIFDDYA2	R/W	H'FE98 00C4	32
JPEG インタフェース伸長デスティネーション C アドレスレジスタ 2	JIFDDCA2	R/W	H'FE98 00C8	32
JPEG コード量子化テーブル 0 レジスタ	JCQTBL0	R/W	H'FE99 0000 ~ H'FE99 003C	32
JPEG コード量子化テーブル 1 レジスタ	JCQTBL1	R/W	H'FE99 0040 ~ H'FE99 007C	32
JPEG コード量子化テーブル 2 レジスタ	JCQTBL2	R/W	H'FE99 0080 ~ H'FE99 00BC	32
JPEG コード量子化テーブル 3 レジスタ	JCQTBL3	R/W	H'FE99 00C0 ~ H'FE99 00FC	32
JPEG コードハフマンテーブル DC0 レジスタ	JCHTBD0	R/W	H'FE99 0100 ~ H'FE99 010C	32
JPEG コードハフマンテーブル DC0 レジスタ	JCHTBD0	R/W	H'FE99 0110 ~ H'FE99 0118	32
JPEG コードハフマンテーブル AC0 レジスタ	JCHTBA0	R/W	H'FE99 0120 ~ H'FE99 012C	32
JPEG コードハフマンテーブル AC0 レジスタ	JCHTBA0	R/W	H'FE99 0130 ~ H'FE99 01D0	32
JPEG コードハフマンテーブル DC1 レジスタ	JCHTBD1	R/W	H'FE99 0200 ~ H'FE99 020C	32
JPEG コードハフマンテーブル DC1 レジスタ	JCHTBD1	R/W	H'FE99 0210 ~ H'FE99 0218	32

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
JPEG コードハフマンテーブル AC1 レジスタ	JCHTBA1	R/W	H'FE99 0220 ~ H'FE99 022C	32
JPEG コードハフマンテーブル AC1 レジスタ	JCHTBA1	R/W	H'FE99 0230 ~ H'FE99 02D0	32

【注】 JPEG コード量子化テーブルおよびJPEG コードハフマンテーブルの設定は「37.3.1 (6) テーブル設定」を参照してください。

表37.2 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
JCMOD	初期化	初期化	保持	保持	初期化	初期化	保持
JCCMD	初期化	初期化	保持	保持	初期化	初期化	保持
JCSTS	初期化	初期化	保持	保持	初期化	初期化	保持
JCQTN	初期化	初期化	保持	保持	初期化	初期化	保持
JCHTN	初期化	初期化	保持	保持	初期化	初期化	保持
JCDRIU	初期化	初期化	保持	保持	初期化	初期化	保持
JCDRID	初期化	初期化	保持	保持	初期化	初期化	保持
JCVSZU	初期化	初期化	保持	保持	初期化	初期化	保持
JCVSZD	初期化	初期化	保持	保持	初期化	初期化	保持
JCHSZU	初期化	初期化	保持	保持	初期化	初期化	保持
JCHSZD	初期化	初期化	保持	保持	初期化	初期化	保持
JCDTCU	初期化	初期化	保持	保持	初期化	初期化	保持
JCDTCM	初期化	初期化	保持	保持	初期化	初期化	保持
JCDTCD	初期化	初期化	保持	保持	初期化	初期化	保持
JINTE	初期化	初期化	保持	保持	初期化	初期化	保持
JINTS	初期化	初期化	保持	保持	初期化	初期化	保持
JCDERR	初期化	初期化	保持	保持	初期化	初期化	保持
JCRST	初期化	初期化	保持	保持	初期化	初期化	保持
JIFECNT	初期化	初期化	保持	保持	初期化	初期化	保持
JIFESYA1	初期化	初期化	保持	保持	初期化	初期化	保持
JIFESCA1	初期化	初期化	保持	保持	初期化	初期化	保持
JIFESYA2	初期化	初期化	保持	保持	初期化	初期化	保持
JIFESCA2	初期化	初期化	保持	保持	初期化	初期化	保持
JIFESMW	初期化	初期化	保持	保持	初期化	初期化	保持
JIFESVSZ	初期化	初期化	保持	保持	初期化	初期化	保持
JIFESHSZ	初期化	初期化	保持	保持	初期化	初期化	保持
JIFEDA1	初期化	初期化	保持	保持	初期化	初期化	保持

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
JIFEDA2	初期化	初期化	保持	保持	初期化	初期化	保持
JIFEDRSZ	初期化	初期化	保持	保持	初期化	初期化	保持
JIFDCNT	初期化	初期化	保持	保持	初期化	初期化	保持
JIFDSA1	初期化	初期化	保持	保持	初期化	初期化	保持
JIFDSA2	初期化	初期化	保持	保持	初期化	初期化	保持
JIFDDRSZ	初期化	初期化	保持	保持	初期化	初期化	保持
JIFDDMW	初期化	初期化	保持	保持	初期化	初期化	保持
JIFDDVSZ	初期化	初期化	保持	保持	初期化	初期化	保持
JIFDDHSZ	初期化	初期化	保持	保持	初期化	初期化	保持
JIFDDYA1	初期化	初期化	保持	保持	初期化	初期化	保持
JIFDDCA1	初期化	初期化	保持	保持	初期化	初期化	保持
JIFDDYA2	初期化	初期化	保持	保持	初期化	初期化	保持
JIFDDCA2	初期化	初期化	保持	保持	初期化	初期化	保持
JCQTBL0	不定	不定	保持	保持	不定	不定	保持
JCQTBL1	不定	不定	保持	保持	不定	不定	保持
JCQTBL2	不定	不定	保持	保持	不定	不定	保持
JCQTBL3	不定	不定	保持	保持	不定	不定	保持
JCHTBD0	不定	不定	保持	保持	不定	不定	保持
JCHTBD0	不定	不定	保持	保持	不定	不定	保持
JCHTBA0	不定	不定	保持	保持	不定	不定	保持
JCHTBA0	不定	不定	保持	保持	不定	不定	保持
JCHTBD1	不定	不定	保持	保持	不定	不定	保持
JCHTBD1	不定	不定	保持	保持	不定	不定	保持
JCHTBA1	不定	不定	保持	保持	不定	不定	保持
JCHTBA1	不定	不定	保持	保持	不定	不定	保持

37.2.1 JPEG コードモードレジスタ (JCMOD)

JCMOD は、JPU 動作前に各種モードを設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SOIC	PCTR	MSKIP[1:0]	CCNT	DSP	REDU[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
8	SOIC	0	R/W	SOI マーカ削除設定 MSKIP ビットが B'00 時のみ有効です。 本モード設定時、JCDTCU、JCDTDM、JCDTCD の示す符号量は SOI (2 バイト) を含む値です。 0: SOI マーカあり 1: SOI マーカ削除
7	PCTR	0	R/W	画像データ入力制御設定 1 に固定してください。
6, 5	MSKIP[1:0]	00	R/W	マーカスキップモード設定 00: マーカを出力します 01: マーカを出力しません 上記以外: 設定禁止
4	CCNT	0	R/W	符号量カウントモード (圧縮時のみ有効) 0: 符号量カウントモードオフ 1: 符号量カウントモードオン
3	DSP	0	R/W	圧縮 / 伸長設定 0: 圧縮処理のとき 1: 伸長処理のとき
2~0	REDU[2:0]	000	R/W (圧縮時) R (伸長時)	間引き設定 001: 4:2:2 010: 4:2:0 上記以外: (圧縮時) 設定禁止 (伸長時) JPU は正しく処理を行えませんので、エラーとして扱ってください。

37.2.2 JPEG コードコマンドレジスタ (JCCMD)

JCCMD は、各種コマンドを設定するレジスタです。コマンド設定後に 0 書き込みによるクリアをする必要はありません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SRST	RWCMD	RRCMD	LCMD1	LCMD2	BRST	—	—	—	—	JEND	JRST	JSRT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R*/W	R*/W	R*/W	R*/W	R*/W	R	R	R	R	R*/W	R*/W	R*/W

【注】* 読み出し値は不定となります。

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
12	SRST	0	R/W	ソフトウェアリセット 本ビットに 1 を設定することにより、JPU はリセット処理されます。本ビットは、CPU バスと JPU 間の転送処理が終了するまで 1 を示し、処理が終了すると 0 になります。ソフトウェアリセット設定後、本ビットが 0 となるまでの期間、再度ソフトウェアリセット設定やバスリセット設定は禁止します。 詳細は「37.6 ソフトウェアリセット処理」を参照してください。
11	RWCMD	0	R*/W	リロードバッファ書き込み再開コマンド リロードモード時、圧縮時のみ有効です。 JIFEDRSZ で設定されたリロードバッファ 1 面分の処理(データ転送終了)で、JPU は符号データ書き込み処理を停止します。また、圧縮処理も自動的に停止しますが、最初の 2 リロードバッファ分の書き込みは自動的に行われます。ただし、JIFEDA1 と JIFEDA2 が等しいときには、リロードバッファ 1 面分での動作となり、最初の 1 面分のデータ転送終了で JPU は符号データ書き込み処理を停止します。本ビットへ 1 を書き込むことにより、符号データ書き込み処理を再開してください。
10	RRCMD	0	R*/W	リロードバッファ読み出し再開コマンド リロードモード時、伸長時のみ有効です。 JIFDDRSZ で設定されたリロードバッファ 1 面分の処理(データ転送終了)で、JPU は符号データ読み出し処理を停止します。また、伸長処理も自動的に停止します。本ビットへ 1 を書き込むことにより符号データ読み出し処理を再開してください。JPU は符号終端が未検出であるかぎり、符号データ読み出しを続けます。

ビット	ビット名	初期値	R/W	説明
9	LCMD1	0	R*/W	外部ラインバッファ処理再開コマンド 間引き設定 4:2:0、ラインバッファモード時のみ有効です。 JIFDCNT または JIFECNT で設定されたライン単位の処理 (データ転送終了) で、JPU は画像データ転送処理を停止します。また、JPU 処理も自動的に停止しますが、伸長時の最初の 2 ラインバッファ分の書き込み処理は自動的に行われます。ただし、JIFDDYA1 と JIFDDYA2 が等しく、JIFDDCA1 と JIFDDCA2 が等しいときは、ラインバッファ 1 面分での動作となり、最初の最初の 1 面分のデータ転送終了で JPU は画像データ書き込み処理を停止します。圧縮、伸長時ともに本ビットへ 1 を書き込むことにより転送処理を再開してください。
8	LCMD2	0	R*/W	外部ラインバッファ処理再開コマンド 間引き設定 4:2:2、ラインバッファモード時のみ有効です。 JIFDCNT または JIFECNT で設定されたライン単位の処理 (データ転送終了) で、JPU は画像データ転送処理を停止します。JPU 処理も自動的に停止しますが、伸長時の最初の 2 ラインバッファ分の書き込み処理は自動的に行われます。ただし、JIFDDYA1 と JIFDDYA2 が等しく、JIFDDCA1 と JIFDDCA2 が等しいときは、ラインバッファ 1 面分での動作となり、最初の最初の 1 面分のデータ転送終了で JPU は画像データ書き込み処理を停止します。圧縮、伸長時ともに本ビットへ 1 を書き込むことにより転送処理を再開してください。
7	BRST	0	R*/W	バスリセット 本ビットに 1 を設定することにより、内部回路がリセットされます。 動作中 (JPEG コア処理開始コマンド設定後から JINTS のデータ転送終了割り込み発生まで) は本ビットを 1 に設定しないでください。 バスリセット処理については「37.5 バスリセット処理」を参照してください。
6~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
2	JEND	0	R*/W	割り込み信号解除コマンド JINTS の INS6、INS5、INS3 ビットの割り込み要因に対してのみ有効です。 割り込み信号解除は、1 を設定してください。
1	JRST	0	R*/W	JPEG コア処理停止解除コマンド 画像サイズ、間引きの読み出しリクエスト (JINTE の INT3 ビットの設定) による処理停止解除時、1 を設定してください (伸長時のみ有効)。
0	JSRT	0	R*/W	JPEG コア処理開始コマンド 処理開始時、本ビットに 1 を設定してください。JPU 起動中に再度 1 を書き込まないでください。

【注】 * 読み出し値は不定となります。

37.2.3 JPEG コードステータスレジスタ (JCSTS)

JCSTS は、内部ステータスを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
0	STS	0	R	動作状態 JPU 内の JPEG コア部の動作状態を示します。本ステータスが非動作状態となっても、JPU はデータ転送未完了の場合があります。データ転送完了は、JINTS の転送終了割り込みにて確認してください。 0: 非動作時 1: 圧縮または伸長動作時

37.2.4 JPEG コード量子化テーブル番号レジスタ (JCQTN)

JCQTN は、圧縮処理前に量子化テーブル番号を設定するレジスタです。

- 量子化テーブルNo.0 JCQTBL0を第1色成分に使用する場合、QT1にB'00を設定
- 量子化テーブルNo.1 JCQTBL1を第1色成分に使用する場合、QT1にB'01を設定
- 量子化テーブルNo.2 JCQTBL2を第1色成分に使用する場合、QT1にB'10を設定
- 量子化テーブルNo.3 JCQTBL3を第1色成分に使用する場合、QT1にB'11を設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	QT3[1:0]	QT2[1:0]	—	—	QT1[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
5, 4	QT3[1:0]	00	R/W	第3色成分の量子化テーブル番号
3, 2	QT2[1:0]	00	R/W	第2色成分の量子化テーブル番号
1, 0	QT1[1:0]	00	R/W	第1色成分の量子化テーブル番号

37.2.5 JPEG コードハフマンテーブル番号レジスタ (JCHTN)

JCHTN は、圧縮処理前にハフマンテーブル番号 (AC/DC) を設定するレジスタです。

- DC/ACハフマンテーブルNo.0 (JCHTBD0, JCHTBA0) を第1色成分に使用する場合、HTA1ビットにB'0、HTD1ビットにB'0を設定
- DC/ACハフマンテーブルNo.1 (JCHTBD1, JCHTBA1) を第1色成分に使用する場合、HTA1ビットにB'1、HTD1ビットにB'1を設定

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	HTA3	HTD3	HTA2	HTD2	HTA1	HTD1
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
5	HTA3	0	R/W	第3色成分のハフマンテーブル番号 (AC)
4	HTD3	0	R/W	第3色成分のハフマンテーブル番号 (DC)
3	HTA2	0	R/W	第2色成分のハフマンテーブル番号 (AC)
2	HTD2	0	R/W	第2色成分のハフマンテーブル番号 (DC)
1	HTA1	0	R/W	第1色成分のハフマンテーブル番号 (AC)
0	HTD1	0	R/W	第1色成分のハフマンテーブル番号 (DC)

37.2.6 JPEG コード DRI 上位レジスタ (JCDRIU)

JCDRIU は、RST マーカを挿入する MCU (Minimum Coded Unit) 数の上位バイトを設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRIU[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	DRIU[7:0]	H'00	R/W	RST マーカを挿入する MCU 数の上位バイト 上位、下位ともに H'00 を設定した場合、DRI、RST マーカは挿入されません (圧縮時のみ有効)。

37.2.7 JPEG コード DRI 下位レジスタ (JCDRID)

JCDRID は、RST マーカを挿入する MCU 数の下位バイトを設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRID[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	DRID[7:0]	H'00	R/W	RST マーカを挿入する MCU 数の下位バイト 上位、下位ともに H'00 を設定した場合、DRI、RST マーカは挿入されません (圧縮時のみ有効)。

37.2.8 JPEG コード垂直方向サイズ上位レジスタ (JCVSZU)

JCVSZU は、垂直方向の画像サイズ値の上位バイトを設定するレジスタです。ただし、圧縮時に回転処理を行う場合、回転後のサイズを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	VSZU[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	VSZU[7:0]	H'00	R/W	垂直方向の画像サイズ値の上位バイト 設定できる最大垂直方向サイズは4,092画素です。 伸長時はJPEG符号データからのダウンロード値がセットされます。 垂直方向サイズが2,048を超えている場合は、エラーとして扱ってください。

37.2.9 JPEG コード垂直方向サイズ下位レジスタ (JCVSZD)

JCVSZD は、垂直方向の画像サイズ値の下位バイトを設定するレジスタです。ただし、圧縮時に回転処理を行う場合、回転後のサイズを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	VSZD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	VSZD[7:0]	H'00	R/W	垂直方向の画像サイズ値の下位バイト 伸長時はJPEG符号データからのダウンロード値がセットされます。

37.2.10 JPEG コード水平方向サイズ上位レジスタ (JCHSZU)

JCHSZU は、水平方向の画像サイズ値の上位バイトを設定するレジスタです。ただし、圧縮時に回転処理を行う場合、回転後のサイズを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	HSZU[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	HSZU[7:0]	H'00	R/W	水平方向の画像サイズ値の上位バイト 設定できる最大水平方向サイズは4,092画素です。 伸長時はJPEG符号データからのダウンロード値がセットされます。 水平方向サイズが4,092を超えている場合は、エラーとして扱ってください。

37.2.11 JPEG コード水平方向サイズ下位レジスタ (JCHSZD)

JCHSZD は、水平方向の画像サイズ値の下位バイトを設定するレジスタです。ただし、圧縮時に回転処理を行う場合、回転後のサイズを設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	HSZD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	HSZD[7:0]	H'00	R/W	水平方向の画像サイズ値の下位バイト 伸長時はJPEG符号データからのダウンロード値がセットされます。

37.2.12 JPEG コードデータカウント上位レジスタ (JCDCU)

JCDCU は、圧縮データ量のカウンタ値の上位バイトが設定されるレジスタです。本レジスタ設定は、圧縮時のみ有効です。本レジスタの値は、処理開始時にリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DCU[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	DCU[7:0]	H'00	R	圧縮データ量のカウンタ値の上位バイト

37.2.13 JPEG コードデータカウント中位レジスタ (JCDCM)

JCDCM は、圧縮データ量のカウンタ値の中位バイトが設定されるレジスタです。本レジスタ設定は、圧縮時のみ有効です。本レジスタの値は、処理開始時にリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DCM[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	DCM[7:0]	H'00	R	圧縮データ量のカウンタ値の中位バイト

37.2.14 JPEG コードデータカウント下位レジスタ (JCDCD)

JCDCD は、圧縮データ量のカウンタ値の下位バイトが設定されるレジスタです。本レジスタ設定は、圧縮時のみ有効です。本レジスタの値は、処理開始時にリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DCD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	DCD[7:0]	H'00	R	圧縮データ量のカウンタ値の下位バイト

37.2.15 JPEG 割り込みイネーブルレジスタ (JINTE)

JINTE は、割り込み許可を設定するレジスタです。

INT7~INT5 ビットを B'1 に設定した場合、JINTS の INS5 ビットでエラーステータスが B'1 となり、詳細なエラーコードは JCDERR の ERR ビットに示されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	INT14	INT13	INT12	INT11	INT10	—	—	INT7	INT6	INT5	—	INT3	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14	INT14	0	R/W	符号データ読み出し時のアドレスリロードごとに割り込みを発生させるかどうかを設定するフラグ(リロードモードオン時のみ有効)。
13	INT13	0	R/W	符号データ書き込み時のアドレスリロードごとに割り込みを発生させるかどうかを設定するフラグ(リロードモードオン時のみ有効)。
12	INT12	0	R/W	Y成分16ラインの倍数/C成分8ラインの倍数ごとの転送終了時に割り込みを発生させるかどうかを設定するフラグ(ラインバッファモード時のみ有効)。

ビット	ビット名	初期値	R/W	説明
11	INT11	0	R/W	Y/C 成分 8 ラインの倍数ごとの転送終了時に割り込みを発生させるかどうかを設定するフラグ (ラインバッファモード時のみ有効)。
10	INT10	0	R/W	外部バッファへの転送終了割り込みを発生させるかどうかを設定するフラグ。
9、8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
7	INT7	0	R/W	ハフマン符号化セグメント内のリスタートインターバル間のデータ数に異常があった場合、割り込みを発生させるかどうかを設定するフラグ。 本フラグを設定しない場合、エラーコードも返しません (伸長時のみ有効)。
6	INT6	0	R/W	ハフマン符号化セグメント内の総データ数に異常があった場合、割り込みを発生させるかどうかを設定するフラグ。 本フラグを設定しない場合、エラーコードも返しません (伸長時のみ有効)。
5	INT5	0	R/W	ハフマン符号化セグメント内の最終 MCU データ数に異常があった場合、割り込みを発生させるかどうかを設定するフラグ。 本フラグを設定しない場合、エラーコードも返しません (伸長時のみ有効)。
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
3	INT3	0	R/W	圧縮データの解析の結果、画像サイズ、間引きの設定値が読み出し可能であるときに、割り込みを発生させるかどうかを設定するフラグ (伸長時のみ有効)。
2~0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

37.2.16 JPEG 割り込みステータスレジスタ (JINTS)

JINTS は、割り込み発生の原因を判別するレジスタです。

INS3 と INS14~INS10 ビットは、JINTE の対応ビットに B'1 が設定されていないと割り込みは発生しません。割り込み発生の要因が INS14~INS10 ビットのいずれかである場合、0 書き込みによるステータスのクリアで割り込み信号はネゲートされます。INS6、INS5、INS3 ビット (JPEG コア部) が割り込み要因である場合は、ステータスのクリアとともに JCCMD にて割り込みを解除してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	INS14	INS13	INS12	INS11	INS10	—	—	—	INS6	INS5	—	INS3	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W*	R/W*	R/W*	R/W*	R/W*	R	R	R	R/W*	R/W*	R	R/W*	R	R	R

【注】* 読み出し値が1のビットのみ0書き込みによるクリアを行ってください。
読み出し値が0のビットには1を書き込んでください。

ビット	ビット名	初期値	R/W	説明
31~15	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14	INS14	0	R/W*	ストリームデータ読み出し時のアドレスリロードごとに1に設定されます。 (リロードモード時のみ有効)
13	INS13	0	R/W*	ストリームデータ書き込み時のアドレスリロードごとに1に設定されます。 (リロードモード時のみ有効)
12	INS12	0	R/W*	ラインバッファ、Y 16 ラインの倍数 / C 8 ラインの倍数ごとの転送終了したときのみ 1 に設定されます。 (間引き設定 4:2:0、ラインバッファモード時のみ有効)
11	INS11	0	R/W*	ラインバッファ、Y/C 8 ラインの倍数ごとの転送終了したときのみ 1 に設定されます。 (間引き設定 4:2:2、ラインバッファモード時のみ有効)
10	INS10	0	R/W*	JPU 圧縮 / 伸長結果のデータ転送がすべて終了したとき 1 に設定されます。
9~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	INS6	0	R/W*	正常終了したときのみ 1 に設定されます。
5	INS5	0	R/W*	圧縮データエラーが発生したときのみ 1 に設定されます (伸長時のみ有効)。
4	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
3	INS3	0	R/W*	画像サイズ/間引き値を読み出し可能なときのみ 1 に設定されます (伸長時のみ有効)。割り込み発生時、JPU は処理停止状態となります。処理停止状態は JCRST に示されます。処理再開は、処理停止解除コマンド (JCCMD の JRST ビット) を設定します。
2~0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

【注】 * 読み出し値が 1 のビットのみ 0 書き込みによるクリアを行ってください。
読み出し値が 0 のビットには 1 を書き込んでください。

37.2.17 JPEG コードデコードエラーレジスタ (JCDERR)

JCDERR は、伸長動作時、圧縮データ解析でエラーが発生した場合のエラー種類をコードにて判別するレジスタです。

本レジスタの値は処理開始時にリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	ERR[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
3~0	ERR[3:0]	1010	R/W	エラーコード (表 37.4、表 37.5 参照)

37.2.18 JPEG コード再起動レジスタ (JCRST)

JCRST は、画像サイズ、間引きの読み出しリクエスト (JINTE の INT3 ビットの設定) による処理停止状態を示します (伸長時のみ有効)。

処理再開は、処理停止解除コマンド JCCMD の JRST ビットを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	RST	0	R	動作状態 0 : 下記以外の状態 1 : JINTE の割り込み要因によるサスペンド中

37.2.19 JPEG インタフェース圧縮制御レジスタ (JIFECNT)

JIFECNT は、圧縮処理を制御するレジスタです。なお、SWAP ビットは、伸長時にも使用されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PU[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	RELOAD	SWAP[1:0]	ROT[1:0]	BUF	INFT		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
27~16	PU[11:0]	H'000	R/W	処理単位設定 (ラインバッファモード時のみ有効) 【YCbCr 4:2:2 処理時】 Y/C の縦方向ライン数 (8 の倍数 : H'008 単位) を設定してください。 (PU[2:0] ビットに 0 を書き込んでください)。 【YCbCr 4:2:0 処理時】 Y の縦方向ライン数 (16 の倍数 : H'010 単位) を設定してください (PU[3:0] ビットに 0 を書き込んでください)。C の縦方向ライン数は自動的に Y の設定値の半分に なります。 【注】最大 2,048 ライン、最小 16 ラインの設定になります。それ以外の値は設定しないでください。
15~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
6	RELOAD	0	R/W	リロードモード設定 0 : リロードモードオフ 1 : リロードモードオン

ビット	ビット名	初期値	R/W	説明
5、4	SWAP[1:0]	00	R/W	バイト/ワードスワップ設定 (JIFDCNT 参照) JPU への読み出しデータがスワップ対象となります (圧縮時: 画像データ、伸長時: 符号データ)。 00: (1) (2) (3) (4) 01: (2) (1) (4) (3) [バイトスワップ] 10: (3) (4) (1) (2) [ワードスワップ] 11: (4) (3) (2) (1) [ワード-バイトスワップ]
3、2	ROT[1:0]	00	R/W	回転読み出しモード設定 (フレームバッファモード時のみ有効) 00: 0° 01: 90°回転 10: 180°回転 11: 270°回転
1	BUF	0	R/W	バッファモード選択 0: フレームバッファモード 1: ラインバッファモード
0	INFT	0	R/W	間引き設定 0: YCbCr4:2:2 1: YCbCr4:2:0

【注】 SWAP ビット以外のビットは、JCMOD の DSP ビットが 0 (圧縮処理) のときのみ書き込みが可能です。

37.2.20 JPEG インタフェース圧縮ソース Y アドレスレジスタ 1 (JIFESYA1)

JIFESYA1 は、Y 成分のソースアドレスを設定するレジスタです。

本レジスタは、8 画素単位で設定してください。90°、180°、270° 回転読み出し設定時は、回転後の原点アドレスを設定ください。なお、回転読み出しは、フレームバッファモード時のみ有効です (「37.3.1(7) 回転読み出しモード設定」参照)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ESYA1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ESYA1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	ESYA1[31:3]	H'0000 0000	R/W	Y 成分のソースアドレス設定 (8 画素単位)
2~0	ESYA1[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.2.21 JPEG インタフェース圧縮ソース C アドレスレジスタ 1 (JIFESCA1)

JIFESCA1 は、C 成分のソースアドレスを設定するレジスタです。

本レジスタは、8 画素単位で設定してください。90°、180°、270° 回転読み出し設定時は回転後の原点アドレスを設定ください。なお、回転読み出しは、フレームバッファモード時のみ有効です（「37.3.1(7) 回転読み出しモード設定」参照）。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ESCA1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ESCA1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	ESCA1[31:3]	H'0000 0000	R/W	C 成分のソースアドレス設定 (8 画素単位)
2~0	ESCA1[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.2.22 JPEG インタフェース圧縮ソース Y アドレスレジスタ 2 (JIFESYA2)

JIFESYA2 は、Y 成分のソースアドレスを設定するレジスタで、ラインバッファモード時のみ有効です。

先頭アドレスは、8 画素単位で設定してください。JPU が使用する Y 成分のソースアドレスは、設定されたラインバッファ単位ごとに、JIFESYA1 JIFESYA2 JIFESYA1 ... と自動的に切り替わります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ESYA2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ESYA2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	ESYA2[31:3]	H'0000 0000	R/W	Y 成分のソースアドレス設定 (ラインバッファモード時のみ有効、8 画素単位)
2~0	ESYA2[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.2.23 JPEG インタフェース圧縮ソース C アドレスレジスタ 2 (JIFESCA2)

JIFESCA2 は、C 成分のソースアドレスを設定するレジスタで、ラインバッファモード時のみ有効です。

先頭アドレスは、8 画素単位で設定してください。JPU が使用する C 成分のソースアドレスは、設定されたラインバッファ単位ごとに、JIFESCA1 JIFESCA2 JIFESCA1 ... と自動的に切り替わります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ESCA2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ESCA2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	ESCA2[31:3]	H'0000 0000	R/W	C 成分のソースアドレス設定 (ラインバッファモード時のみ有効、8 画素単位) 下位 3 ビットは必ず 0 としてください。
2~0	ESCA2[2:0]		R	

37.2.24 JPEG インタフェース圧縮ソースメモリ幅レジスタ (JIFESMW)

JIFESMW は、画像データが格納されているバッファのメモリ幅を設定するレジスタです (「37.3.3 画像データ格納」参照)。

本レジスタは、8 画素単位で設定してください。設定可能なサイズは最大 4,092 画素、最小 16 画素です。それ以外の範囲は設定しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ESMW[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
11~3	ESMW[11:3]	H'000	R/W	画像データが格納されているバッファのメモリ幅設定 (8 画素単位) 下位 3 ビットは必ず 0 としてください。
2~0	ESMW[2:0]		R	

37.2.25 JPEG インタフェース圧縮ソース垂直方向サイズレジスタ (JIFESVSZ)

JIFESVSZ は、外部バッファから取り込む垂直方向の画像サイズを設定するレジスタです（「37.3.3 画像データ格納」参照）。

画像サイズは、4 画素単位で設定してください。設定可能なサイズは最大 4,092 画素、最小 16 画素です。それ以外の範囲は設定しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ESVSZ[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
11~2	ESVSZ[11:2]	H'000	R/W	外部バッファから取り込む垂直方向の画像サイズの設定（4 画素単位）
1, 0	ESVSZ[1:0]		R	下位 2 ビットは必ず 0 としてください。

37.2.26 JPEG インタフェース圧縮ソース水平方向サイズレジスタ (JIFESHSZ)

JIFESHSZ は、外部バッファから取り込む水平方向の画像サイズを設定するレジスタです（「37.3.3 画像データ格納」参照）。

画像サイズは、4 画素単位で設定してください。設定可能なサイズは最大 4,092 画素、最小 16 画素です。それ以外の範囲は設定しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ESHSZ[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
11~2	ESHSZ[11:2]	H'000	R/W	外部バッファから取り込む水平方向の画像サイズの設定（4 画素単位）
1, 0	ESHSZ[1:0]		R	下位 2 ビットは必ず 0 としてください。

37.2.27 JPEG インタフェース圧縮デスティネーションアドレスレジスタ 1 (JIFEDA1)

JIFEDA1 は、符号データのデスティネーションアドレスを設定するレジスタです。

先頭アドレスは、8 画素単位で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EDA1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EDA1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	EDA1[31:3]	H'0000 0000	R/W	符号データのデスティネーションアドレス設定 (8 画素単位)
2~0	EDA1[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.2.28 JPEG インタフェース圧縮デスティネーションアドレスレジスタ 2 (JIFEDA2)

JIFEDA2 は、符号データのデスティネーションアドレスを設定するレジスタです。

先頭アドレスは、8 画素単位で設定してください。JPU が使用する符号データのデスティネーションアドレスは、JIFEDRSZ で設定されたデータ転送終了ごとに、JIFEDA1 JIFEDA2 JIFEDA1 ... と切り替わります (オートリロードモード時のみ有効)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EDA2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EDA2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	EDA2[31:3]	H'0000 0000	R/W	符号データのデスティネーションアドレス設定 (8 画素単位)
2~0	EDA2[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.2.29 JPEG インタフェース圧縮データリロードサイズレジスタ (JIFEDRSZ)

JIFEDRSZ は、ターゲットアドレス切り替えまでのデータ数 (256 バイト単位) を設定するレジスタです。本レジスタは、オートリロードモード時のみ有効です。符号量カウントモード時には、本レジスタは H'0000 0000 を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	EDRSZ[23:16]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EDRSZ[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
23~8	EDRSZ[23:8]	H'00 0000	R/W	符号データのデスティネーションアドレス設定 (256 バイト単位)
7~0	EDRSZ[7:0]		R	下位 8 ビットは必ず 0 としてください。

37.2.30 JPEG インタフェース伸長制御レジスタ (JIFDCNT)

JIFDCNT は、伸長処理を制御するレジスタです。SWAP ビットは、圧縮処理時にも使用されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	PU[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	RELOAD	SWAP[1:0]	BMS	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27~16	PU[11:0]	H'000	R/W	処理単位設定 (ラインバッファモード時のみ有効) 【YCbCr 4:2:2 処理時】 Y/Cの縦方向ライン数 (8の倍数: H'0008 単位) を設定してください (PU[2:0]ビットには0を書き込んでください)。 【YCbCr 4:2:0 処理時】 Yの縦方向ライン数 (16の倍数: H'0010 単位) を設定してください (Cの縦方向ライン数は自動的にYの設定値の半分になります。PU[3:0]ビットに0を書き込んでください)。 【注】最大 2,048 ライン、最小 16 ラインの設定になります。それ以外の値は設定しないでください。
15~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
3	RELOAD	0	R/W	リロードモード設定 0: リロードモードオフ 1: リロードモードオン
2, 1	SWAP[1:0]	00	R/W	バイト/ワードスワップ設定 (JIFECNT 参照) JPU からの書き込みデータがスワップ対象となります (圧縮時: 符号データ、伸長時: 画像データ)。 00: (1) (2) (3) (4) 01: (2) (1) (4) (3) [バイトスワップ] 10: (3) (4) (1) (2) [ワードスワップ] 11: (4) (3) (2) (1) [バイト-ワードスワップ]
0	BMS	0	R/W	バッファモード選択 0: フレームバッファモード 1: ラインバッファモード

【注】 SWAP ビット以外のビットは、JCMOD の DSP ビットが 1 (伸長処理) のときのみ書き込みが可能です。

37.2.31 JPEG インタフェース伸長ソースアドレスレジスタ 1 (JIFDSA1)

JIFDSA1 は、符号データのソースアドレスを設定します。符号データの先頭アドレスは、8 画素単位で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSA1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSA1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	DSA1[31:3]	H'0000 0000	R/W	符号データのソースアドレス設定 (8 画素単位)
2~0	DSA1[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.2.32 JPEG インタフェース伸長ソースアドレスレジスタ 2 (JIFDSA2)

JIFDSA2 は、符号データのソースアドレスを設定するレジスタです。

先頭アドレスは、8 画素単位で設定してください。JPU が使用する符号データのソースアドレスは、JIFDRSZ で設定されたデータ転送終了ごとに、JIFDSA1 JIFDSA2 JIFDSA1 ... と自動的に切り替わります (オートリロードモード時のみ有効)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSA2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSA2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	DSA2[31:3]	H'0000 0000	R/W	符号データのソースアドレス設定 (8 画素単位)
2~0	DSA2[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.2.33 JPEG インタフェース伸長データリロードサイズレジスタ (JIFDDRSZ)

JIFDDRSZ は、アドレス切り替えまでのデータ数 (256 バイト単位) を設定するレジスタです (オートリロードモード時のみ有効)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	DDRSZ[23:16]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDRSZ[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
23~8	DDRSZ[23:8]	H'00 0000	R/W	アドレス切り替えまでのデータ数設定 (256 バイト単位)
7~0	DDRSZ[7:0]		R	下位 8 ビットは必ず 0 としてください。

37.2.34 JPEG インタフェース伸長デスティネーションメモリ幅レジスタ (JIFDDMW)

JIFDDMW は、外部バッファへ書き出す画像データのメモリ幅を設定するレジスタです (「37.3.3 画像データ格納」参照)。

本レジスタは、8 画素単位で設定してください。設定可能なサイズは最大 4,092 画素、最小 16 画素です。それ以外の範囲は設定しないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDMW[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDMW[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	DDMW[31:3]	H'0000 0000	R/W	外部バッファに格納されている画像データのメモリ幅の設定 (8 画素単位)
2~0	DDMW[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.2.35 JPEG インタフェース伸長デスティネーション垂直方向サイズレジスタ (JIFDDVSZ)

JIFDDVSZ は、外部バッファへ書き出す垂直方向の画像サイズが読み出されるレジスタです。本レジスタは、伸長時のみ有効です。画像サイズが処理可能範囲を超えた場合は、エラーとして扱ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDVSZ[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
15~0	DDVSZ[15:0]	H'0000	R	外部バッファへ書き出す垂直方向の画像サイズ JPEG 符号データ解析後、4 画素単位で JCVSZU、JCVSZD の値が自動的に設定されます。

37.2.36 JPEG インタフェース伸長デスティネーション水平方向サイズレジスタ (JIFDDHSZ)

JIFDDHSZ は、外部バッファへ書き出す垂直方向の画像サイズが読み出されるレジスタです。本レジスタは、伸長時のみ有効です。画像サイズが処理可能範囲を超えた場合は、エラーとして扱ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDHSZ[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
15~0	DDHSZ[15:0]	H'0000	R	外部バッファへ書き出す水平方向の画像サイズ JPEG 符号データ解析後、4 画素単位で JCHSZU、JCHSZD の値が自動的に設定されます。

37.2.37 JPEG インタフェース伸長デスティネーション Y アドレスレジスタ 1 (JIFDDYA1)

JIFDDYA1 は、Y 成分のデスティネーションアドレスを設定するレジスタです。アドレス値は、8 画素単位で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDYA1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDYA1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	DDYA1[31:3]	H'0000 0000	R/W	Y 成分のデスティネーションアドレス設定 (8 画素単位)
2~0	DDYA1[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.2.38 JPEG インタフェース伸長デスティネーション C アドレスレジスタ 1 (JIFDDCA1)

JIFDDCA1 は、C 成分のデスティネーションアドレスを設定するレジスタです。アドレス値は、8 画素単位で設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDCA1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDCA1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	DDCA1[31:3]	H'0000 0000	R/W	C 成分のデスティネーションアドレス設定 (8 画素単位)
2~0	DDCA1[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.2.39 JPEG インタフェース伸長デスティネーション Y アドレスレジスタ 2 (JIFDDYA2)

JIFDDYA2 は、Y 成分のデスティネーションアドレスを設定するレジスタです。本レジスタは、ラインバッファモード時のみ有効です。

アドレス値は、8 画素単位で設定してください。JPU が使用する Y 成分のデスティネーションアドレスは、JIFDDRSZ で設定されたデータ転送終了ごとに、JIFDDYA1 JIFDDYA2 JIFDDYA1 ... と自動的に切り替わります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDYA2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDYA2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	DDYA2[31:3]	H'0000 0000	R/W	Y 成分のデスティネーションアドレス設定 (8 画素単位)
2~0	DDYA2[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.2.40 JPEG インタフェース伸長デスティネーション C アドレスレジスタ 2 (JIFDDCA2)

JIFDDCA2 は、C 成分のデスティネーションアドレスを設定するレジスタです。本レジスタは、ラインバッファモード時のみ有効です。

アドレス値は、8 画素単位で設定してください。JPU が使用する C 成分のデスティネーションアドレスは、JIFDDRSZ で設定されたデータ転送終了ごとに、JIFDDCA1 JIFDDCA2 JIFDDCA1 ... と自動的に切り替わります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDCA2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDCA2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	DDCA2[31:3]	H'0000 0000	R/W	C 成分のデスティネーションアドレス設定 (8 画素単位)
2~0	DDCA2[2:0]		R	下位 3 ビットは必ず 0 としてください。

37.3 動作説明

37.3.1 圧縮

(1) 処理概要

圧縮処理の動作フローは、以下のようになります。

(a) フレームバッファモード

1. 画像データ1フレーム分が外部バッファに転送

2. JPEGコア起動

マーカ出力 (マーカ出力終了後、画像データ入力可能)

通常モード時: 約30,000サイクル (SOI~SOSマーカ作成に必要なサイクル)

マーカスキップモード時: 約300サイクル (SOSマーカ作成)

3. 外部バッファからJPUに画像データをMCUごとに転送

4. JPEGコア部へ画像データ入力

JPEGコアでは、MCU単位で随時処理、圧縮データを出力

5. フレームデータ処理終了で割り込み発生

リロードモードオン時: リロード設定数処理終了ごとに割り込み発生

(b) ラインバッファモード

1. JPEGコア起動

マーカ出力 (マーカ出力終了後、画像データ入力可能)

通常モード時: 約30,000サイクル (SOI~SOSマーカ作成に必要なサイクル)

マーカスキップモード時: 約300サイクル (SOSマーカ作成)

2. 画像データY/C成分8ライン倍数 (YCbCr 4:2:2) / Y成分16、C成分8ラインの倍数 (YCbCr 4:2:0) 分が外部ラインバッファに転送

転送終了後にJPUに対して転送終了コマンド発行

外部バッファ転送終了ごとにJPUに対し転送終了コマンド発行

3. 外部バッファからMCUごとにJPUに転送

4. JPEGコア部へ画像データ入力

JPEGコアでは、MCU単位で随時処理、圧縮データ出力

5. JPUが外部ラインバッファから1面分の読み出しが終了後、画像データを外部ラインバッファに転送 転送終了後にJPUに対して転送終了コマンド発行 (処理3.に遷移)

6. 設定フレームデータ処理終了で割り込み発生

リロードモードオン時: リロード設定数処理終了ごとに割り込み発生

(2) フレームバッファモード (圧縮)

初期設定後、外部のバッファに画像データを準備した後、JCCMD の JSRT ビットに B'1 を設定し、JPU を起動します。起動後、JPEG マーカヘッダ部 (SOI ~ SOS) を生成し出力しますが、マーカヘッダ部生成には約 30,000 サイクル掛かります。

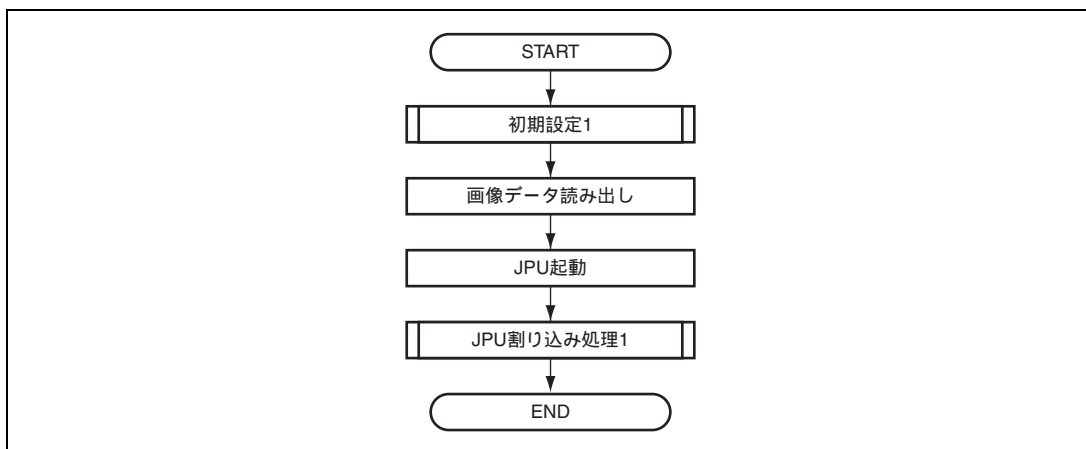


図37.2 フレームバッファモード圧縮処理フロー

リセット処理後、JPU 起動までに必要なレジスタ設定をすべて完了してください。

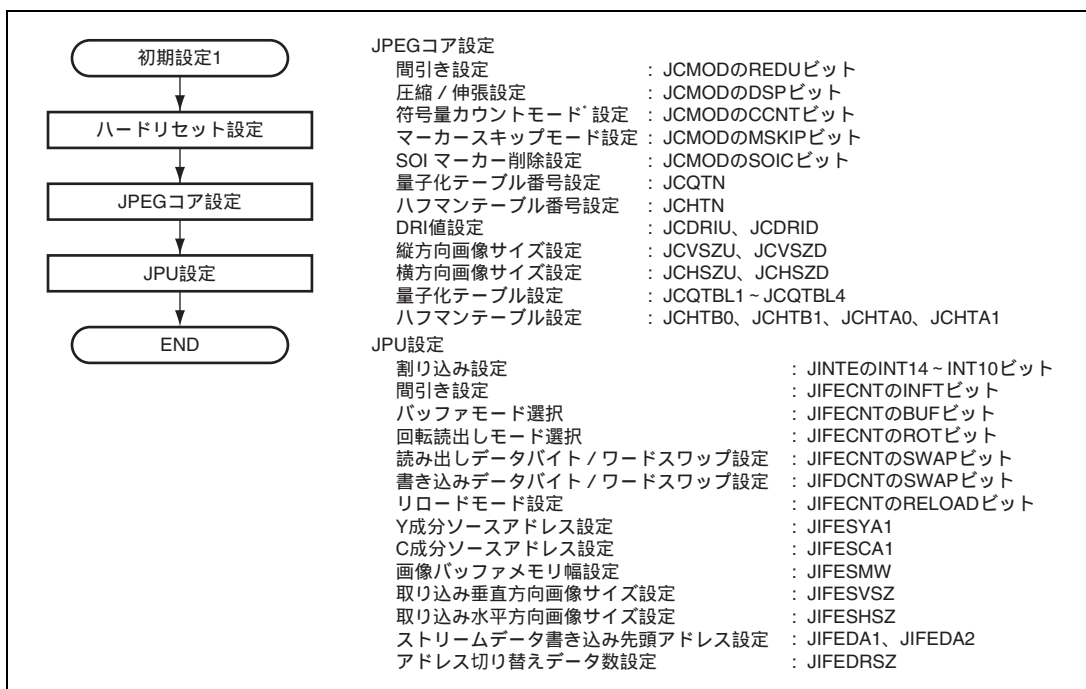


図37.3 初期設定 1 フロー

フレームバッファモード（圧縮）時の割り込み処理フローを図 37.4 に示します。多重割り込み発生時（図 37.4 以外の多重割り込み発生時も含む）は、すべての割り込み要因の処理を行ってください。

- 割り込みステータスJINTSのINS6ビットがB'1'の場合、JPEG圧縮処理が終了しています。符号データの転送が残っているのでJPUは処理を継続していますが、最終符号データの転送が終了するとINS10ビットにもB'1'が設定されます。本割り込み要因でアサートされた割り込み信号は、割り込みステータス書き込みクリアではクリアされません。割り込み信号解除コマンドを設定し（JCCMDのJENDビットにB'1'を設定）、割り込み信号をクリアしてください。
- 割り込みステータスJINTSのINS10ビットがB'1'の場合、全符号データの転送が終了しJPUの圧縮処理が終了しているので、外部で符号データの転送を行ってください。リロードモード設定時でも残りの符号データの転送を行ってください。最終リロード面への符号データ転送サイズがJIFEDRSZで設定された符号データ数に一致した場合、INS10ビットとINS13ビットには同じタイミングでB'1'が設定されます。本割り込みはJINTEのINT10ビットがB'1'に設定されている場合に発生します。
- リロードモードで圧縮処理時に、割り込みステータスJINTSのINS13ビットがB'1'の場合、JIFDDRSZで設定された符号データ数の転送が終了していることを示します。1回目の割り込み発生時には、リロード面の符号データを退避（別メモリ空間への転送等）してください。2回目以降の割り込み発生時には、データ退避に加え、リロードバッファへの転送処理再開コマンドを設定してください。

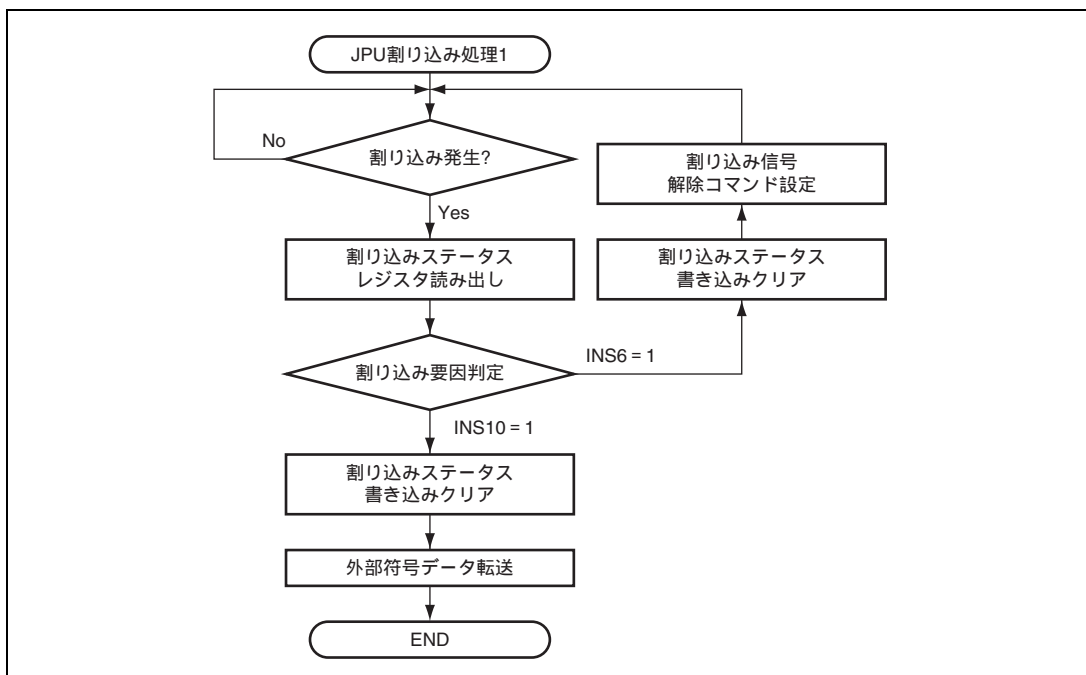


図37.4 JPU 割り込み圧縮処理 1 フロー

(3) ラインバッファモード (圧縮)

初期設定後、JCCMD の JSRT ビットに B'1 を設定し、JPU を起動します。起動後、JPEG マーカヘッダ部 (SOI ~ SOS) を生成し出力しますが、マーカヘッダ部生成には約 30,000 サイクル掛かります。外部のバッファに画像データが準備でき、ラインバッファ書き込み終了コマンドが設定されると、JPU は、外部画像バッファから画像データを取り込み、圧縮処理を開始します。

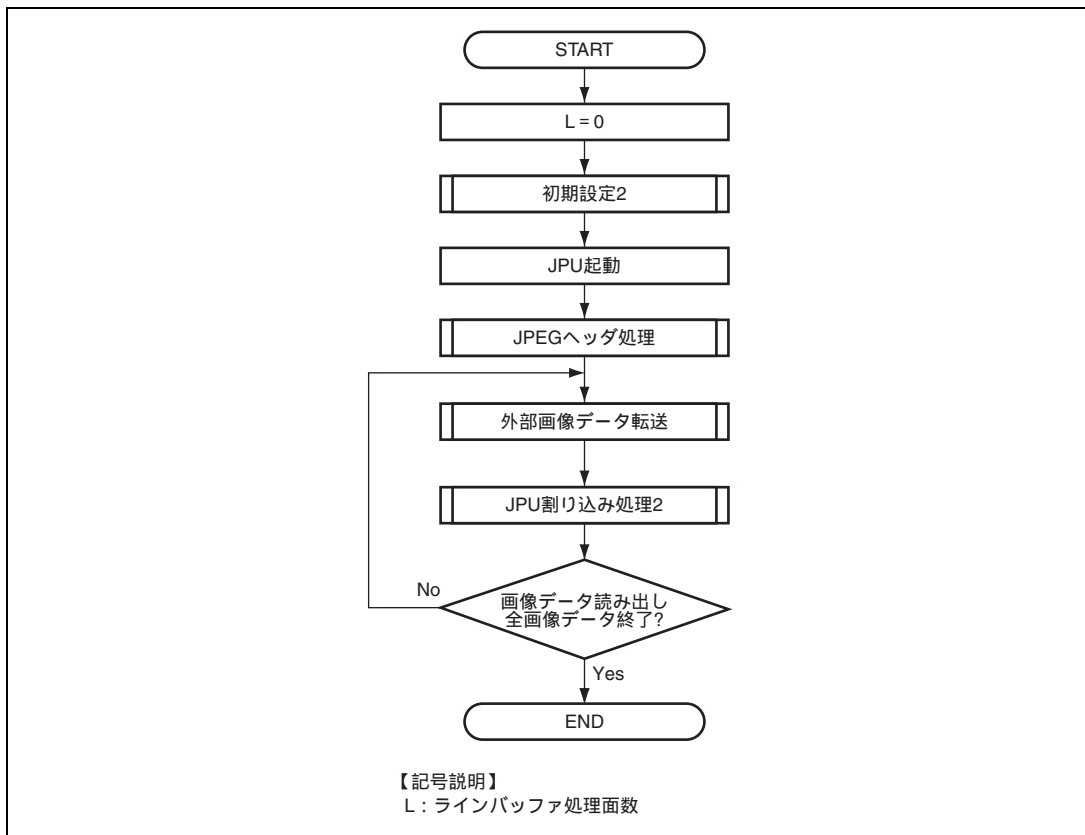


図37.5 ラインバッファモード圧縮処理フロー

リセット処理後、JPU 起動までに必要なレジスタ設定をすべて完了してください。

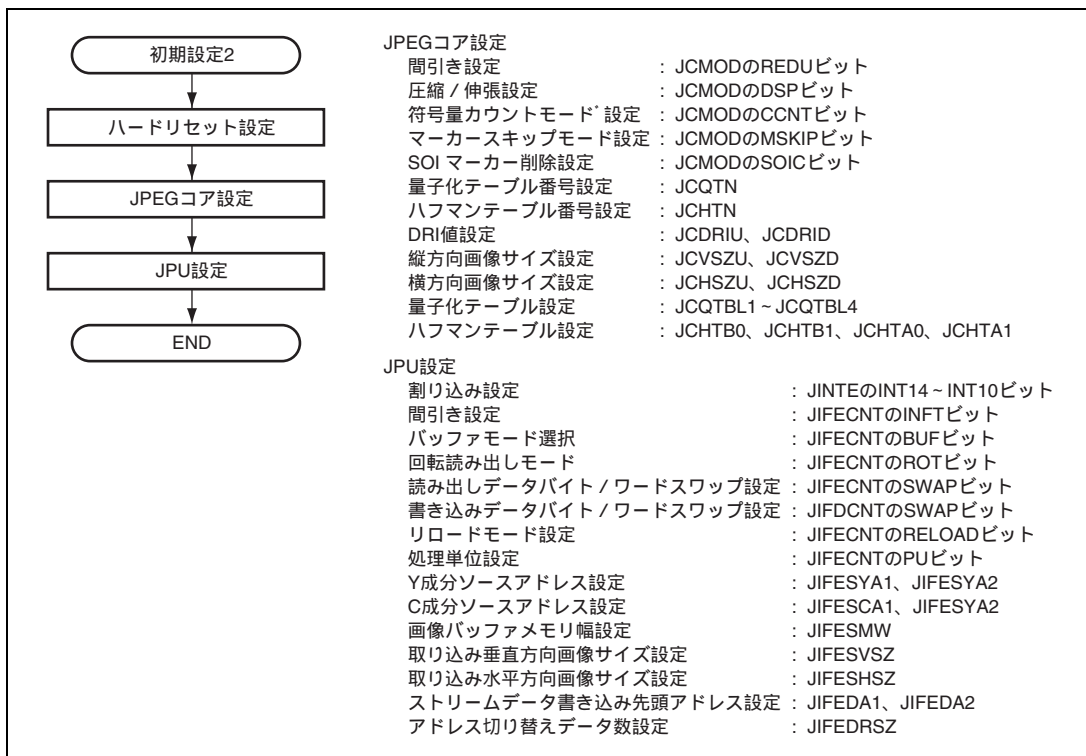


図37.6 初期設定 2 フロー

ラインバッファモード時は、JPUの起動後にラインバッファ処理再開コマンドを設定してください。ラインバッファへの画像データの読み出しは起動前でも実行可能です。ラインバッファ2面のうち、一方はJPUからの読み出し、もう一方は外部からの画像データ書き込みで使用するため、割り込み設定を利用し、読み出し面のJPU読み出しを確認してからラインバッファへ画像データの書き込みを行ってください。

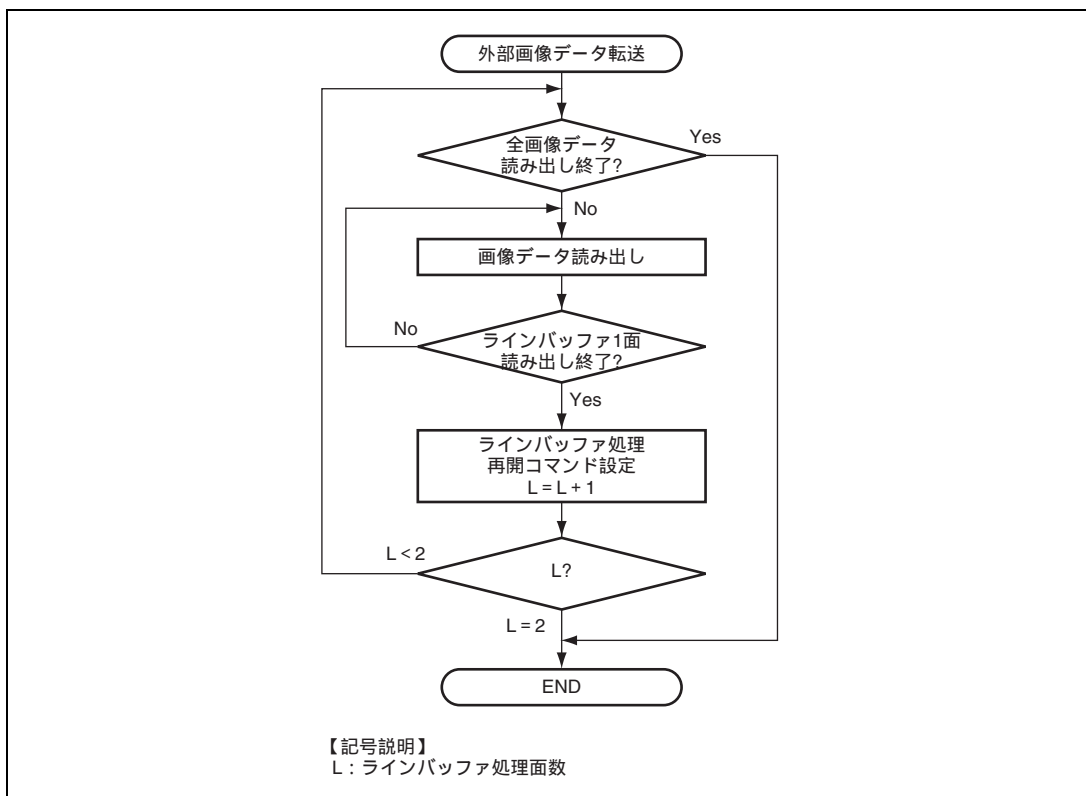


図37.7 外部画像データ転送フロー

多重割り込み発生時 (図 37.8 以外の多重割り込み発生時も含む) は、すべての割り込み要因の処理を行ってください。

- 割り込みステータスJINTSのINS12ビットあるいは、INS11ビットがB'1の場合、ラインバッファ1面の画像データ転送が終了していますのでラインバッファに次の画像データを用意してください。本割り込みは、割り込み設定JINTEのINT12ビットあるいは、INT11ビットにB'1が設定されている場合に発生します。
- 割り込みステータスJINTSのINS6ビットがB'1の場合、JPEG圧縮処理が終了しています。符号データの転送が残っていますので、JPUは処理を継続していますが、最終符号データの転送が終了するとINS10ビットにもB'1が設定されます。本割り込み要因でアサートされました割り込み信号は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し (JCCMDのJENDビットにB'1を設定)、割り込み信号をネゲートしてください。

- 割り込みステータスJINTSのINS10ビットがB'1の場合、全符号データの転送が終了しJPUの圧縮処理が終了していますので、外部で符号データの転送を行ってください。リロードモード設定時も、残りの符号データの転送を行ってください。最終リロード面への符号データ転送サイズがJIFEDRSZで設定された符号データ数と一致した場合、INS10ビットとINS13ビットは同タイミングでB'1が設定されます。本割り込みは、割り込み設定JINTEのINT10ビットにB'1が設定されている場合に発生します。
- リロードモードで圧縮処理時に、割り込みステータスJINTSのINS13ビットがB'1の場合、JIFDDRSZで設定された符号データ数の転送が終了していることを示します。1回目の割り込み発生時には、リロード面の符号データを退避(別メモリ空間への転送等)してください。2回目以降の割り込み発生時には、データ退避に加え、リロードバッファへの転送処理再開コマンドを設定してください。

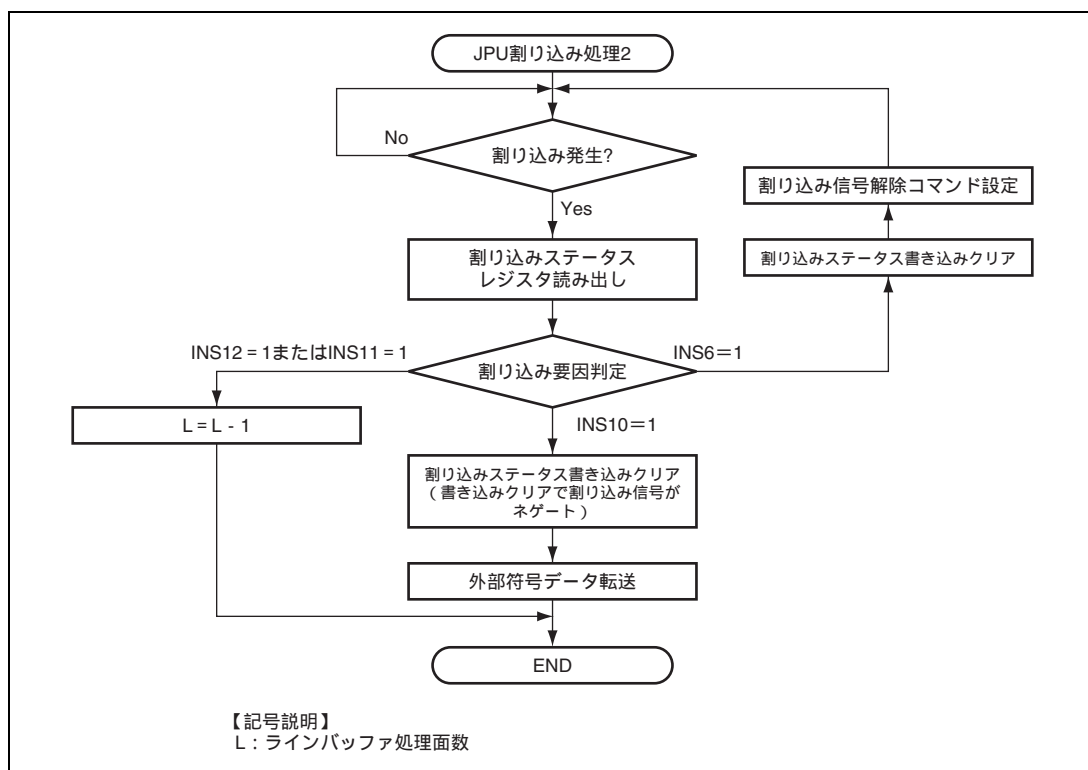


図37.8 JPU 割り込み処理 2 フロー

(4) JPEG 符号データ FORMAT

圧縮時、出力されるデータストリームの構成を図 37.9 に示します。SOI ~ EOI までの符号データ量は JCDTCU、JCDTCM、JCDTCD に示されます。また、JCDRIU、JCDRID がともに H'0000 0000 に設定されている場合、下記のマーカは出力されません。

- DRIマーカ
- RSTマーカ (圧縮画像データ内)

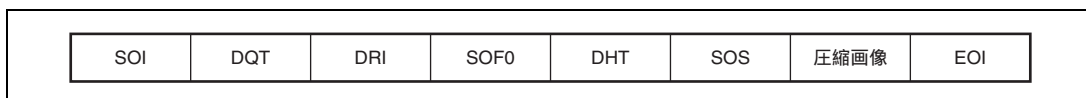


図37.9 JPEG 符号データフォーマット

DQT : 使用していないテーブルについては出力されません。

DHT : 出力順は DC0、AC、DC1、AC1。使用していないテーブルについては出力されません。

SOF0 : 成分識別子は、C1 = 第一色成分、C2 = 第二色成分、C3 = 第三色成分となります。

SOS : スキャン成分セクタは、CS1 = 第一色成分、CS2 = 第二色成分、CS3 = 第三色成分となります。

各ヘッダ容量 (参考)

- SOI : 2バイト (FFD8)
- DQT : 量子化テーブル2枚使用時134バイト、3枚使用時199バイト (1枚増減で±65バイト)
- DRI : 6バイト
- SOF0 : 19バイト (4:2:2)
- DHT : 420バイト (2枚使用時)
- SOS : 14バイト (4:2:2)
- EOI : 2バイト (FFD9)

(a) マーカスキップオン設定時の JPEG 符号データフォーマット

JCMOD の MSKIP ビットに B'01 を設定すると、SOI ~ DHT までのマーカは出力されません。

RST マーカは、DRI 値 (上位) レジスタ、DRI (下位) レジスタの設定に依存します。SOS ~ EOI までの符号データ量は、JCDTCU、JCDTCM、JCDTCD に示されます。

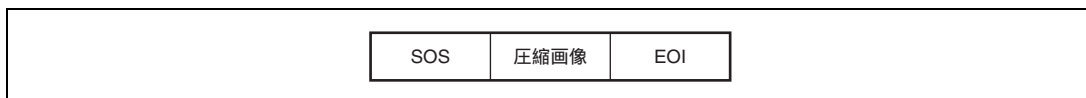


図37.10 マーカスキップオン時の JPEG 符号データフォーマット

(b) SOI マーカ削除設定時の JPEG 符号データフォーマット

JCMOD の SOIC ビットに B'1 を設定すると、SOI マーカは出力されません。本設定は、マーカスキップオフ設定時のみ有効です。DQT ~ EOI までの符号データ量は、JCDTCU、JCDTCM、JCDTCD から - 2 バイトした値となります。

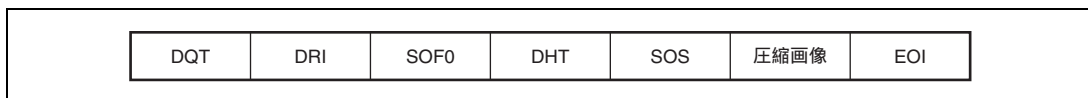


図37.11 SOI マーカ削除時の JPEG 符号データフォーマット

(c) JPEG 符号データ終端部出力について

JPU はアドレスの 16 バイト境界でデータが終了するように転送を行いますので、符号終端部 (EOI マーカ) が 16 バイト境界にない場合、H'FF を埋めて出力します。JCDTCU、JCDTCM、JCDTCD には、この H'FF のバイト数は含まれません。

(5) 符号量カウントモード

符号データ量のみをカウントするモードです。圧縮処理時、JCMOD の CCNT ビットに B'1 を設定し、リロードモードオン、JIFEDRSZ (ターゲットアドレス切り替えデータ数) を 0 に設定してください。JPEG 符号データは出力されません。

(6) テーブル設定

(a) 量子化テーブル設定

8×8 ブロックのアドレス順とレジスタアドレス順が対応しています。JPU 処理中の本テーブルへのアクセスは禁止です。

表37.3 量子化テーブル

00	01	02	03	04	05	06	07
08	09	0A	0B	0C	0D	0E	0F
10	11	12	13	14	15	16	17
18	19	1A	1B	1C	1D	1E	1F
20	21	22	23	24	25	26	27
28	29	2A	2B	2C	2D	2E	2F
30	31	32	33	34	35	36	37
38	39	3A	3B	3C	3D	3E	3F

JCQTBL0 (H'FE99 0000) = H'0001 0203

JCQTBL0 (H'FE99 0004) = H'0405 0607

:

JCQTBL0 (H'FE99 003C) = H'3C3D 3E3F

(b) ハフマンテーブル設定

JPEG 勧告 ITU-T T81 付属書 K.3.3 記載のハフマンテーブル設定方法

圧縮処理時は全グループ番号に対してハフマン符号が生成できるように、必ず以下の設定を符号数分行ってください。

- DCハフマンテーブル：符号長ごとの符号数 = 12符号、発生頻度順のグループ番号 = 12個
 - ACハフマンテーブル：符号長ごとの符号数 = 162符号、発生頻度順のゼロラン長 / グループ番号 = 162個
- また、JPU 処理中の本テーブルへのアクセスは禁止です。

- 表K.3/T81

JCHTBD0 (H'FE99 0100) = H'0001 0501
 JCHTBD0 (H'FE99 0104) = H'0101 0101
 JCHTBD0 (H'FE99 0108) = H'0100 0000
 JCHTBD0 (H'FE99 010C) = H'0000 0000
 JCHTBD0 (H'FE99 0110) = H'0001 0203
 JCHTBD0 (H'FE99 0114) = H'0405 0607
 JCHTBD0 (H'FE99 0118) = H'0809 0A0B

- 表K.4/T81

JCHTBD1 (H'FE99 0200) = H'0003 0101
 JCHTBD1 (H'FE99 0204) = H'0101 0101
 JCHTBD1 (H'FE99 0208) = H'0101 0100
 JCHTBD1 (H'FE99 020C) = H'0000 0000
 JCHTBD1 (H'FE99 0210) = H'0001 0203
 JCHTBD1 (H'FE99 0214) = H'0405 0607
 JCHTBD1 (H'FE99 0218) = H'0809 0A0B

- 表K.5/T81

JCHTBA0 (H'FE99 0120) = H'0002 0103
 JCHTBA0 (H'FE99 0124) = H'0302 0403
 JCHTBA0 (H'FE99 0128) = H'0505 0404
 JCHTBA0 (H'FE99 012C) = H'0000 017D
 JCHTBA0 (H'FE99 0130) = H'0102 0300
 JCHTBA0 (H'FE99 0134) = H'0411 0512
 JCHTBA0 (H'FE99 0138) = H'2131 4106
 JCHTBA0 (H'FE99 013C) = H'1351 6107
 JCHTBA0 (H'FE99 0140) = H'2271 1432
 JCHTBA0 (H'FE99 0144) = H'8191 A108

:

JCHTBA0 (H'FE99 01C0) = H'E3E4 E5E6

JCHTBA0 (H'FE99 01C4) = H'E7E8 E9EA

JCHTBA0 (H'FE99 01C8) = H'F1F2 F3F4

JCHTBA0 (H'FE99 01CC) = H'F5F6 F7F8

JCHTBA0 (H'FE99 01D0) = H'F9FA 0000

- 表K.6/T81

JCHTBA1 (H'FE99 0220) = H'0002 0102

JCHTBA1 (H'FE99 0224) = H'0404 0304

JCHTBA1 (H'FE99 0228) = H'0705 0404

JCHTBA1 (H'FE99 022C) = H'0001 0277

JCHTBA1 (H'FE99 0230) = H'0001 0203

JCHTBA1 (H'FE99 0234) = H'1104 0521

JCHTBA1 (H'FE99 0238) = H'3106 1241

JCHTBA1 (H'FE99 023C) = H'5107 6171

JCHTBA1 (H'FE99 0240) = H'1322 3281

JCHTBA1 (H'FE99 0244) = H'0814 4291

:

JCHTBA1 (H'FE99 02C0) = H'E2E3 E4E5

JCHTBA1 (H'FE99 02C4) = H'E6E7 E8E9

JCHTBA1 (H'FE99 02C8) = H'EAF2 F3F4

JCHTBA1 (H'FE99 02CC) = H'F5F6 F7F8

JCHTBA1 (H'FE99 02D0) = H'F9FA 0000

(7) 回転読み出しモード設定

フレームバッファモード使用時のみ圧縮処理で、画像回転処理 (JIFECNT の ROT ビット設定) が可能です。

回転設定時の JIFESYAI と JIFECYAI には、図 37.12 に示すソースアドレスを設定してください。

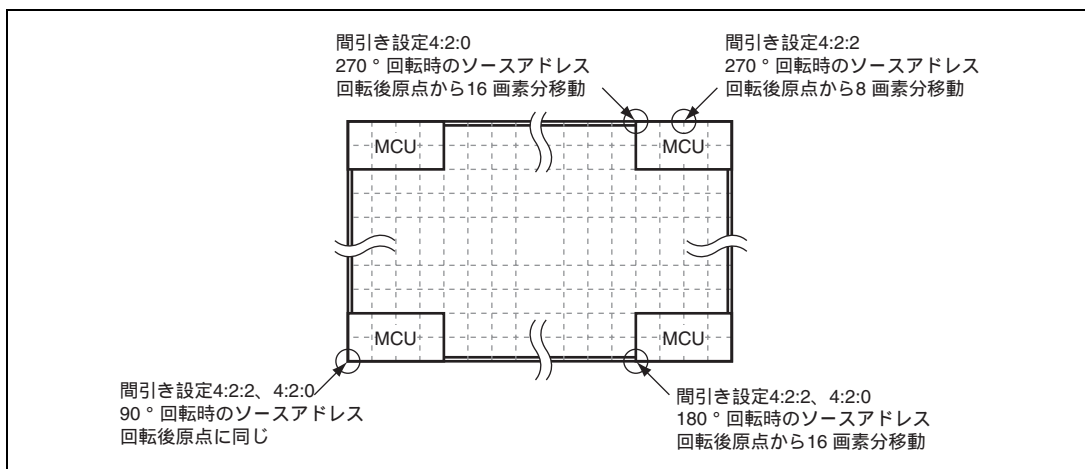


図37.12 回転時のソースアドレス位置

37.3.2 伸長

(1) 処理概要

伸長処理の動作フローは、以下のようになります。

(a) フレームバッファモード

1. JPEGコア処理 (伸長)

リロードモードオン時: リロード設定数処理終了ごとに割り込み発生

2. 伸長データ転送

1フレームデータ随時処理、転送

3. 処理終了で割り込み発生

(b) ラインバッファモード

1. JPEGコア処理 (伸長)

リロードモードオン時: リロード設定数処理終了ごとに割り込み発生

2. 伸長データ転送

3. Y/C 8ライン倍数 (YCbCr 4:2:2) / 16ライン倍数 (YCbCr 4:2:0) ごとに外部バッファに転送、割り込み発生
転送終了ごとにJPUへ転送終了コマンド発行

4. 処理終了で割り込み発生

(2) フレームバッファモード (伸長)

初期設定後、JCCMD の JSRT ビットに B'1 を設定し JPU を起動します。起動後、JPU は外部バッファから符号データを転送し伸長処理を開始します。多重割り込み発生時 (図 37.13 以外の多重割り込み発生時も含む) は、すべての割り込み要因の処理を行ってください。

- 割り込みステータス JINTS の INS14 ビットが B'1 の場合、リロード面の符号データ転送が完了しています。本割り込みは、割り込み設定 JINTE の INT14 ビットに B'1 が設定されている場合に発生します。

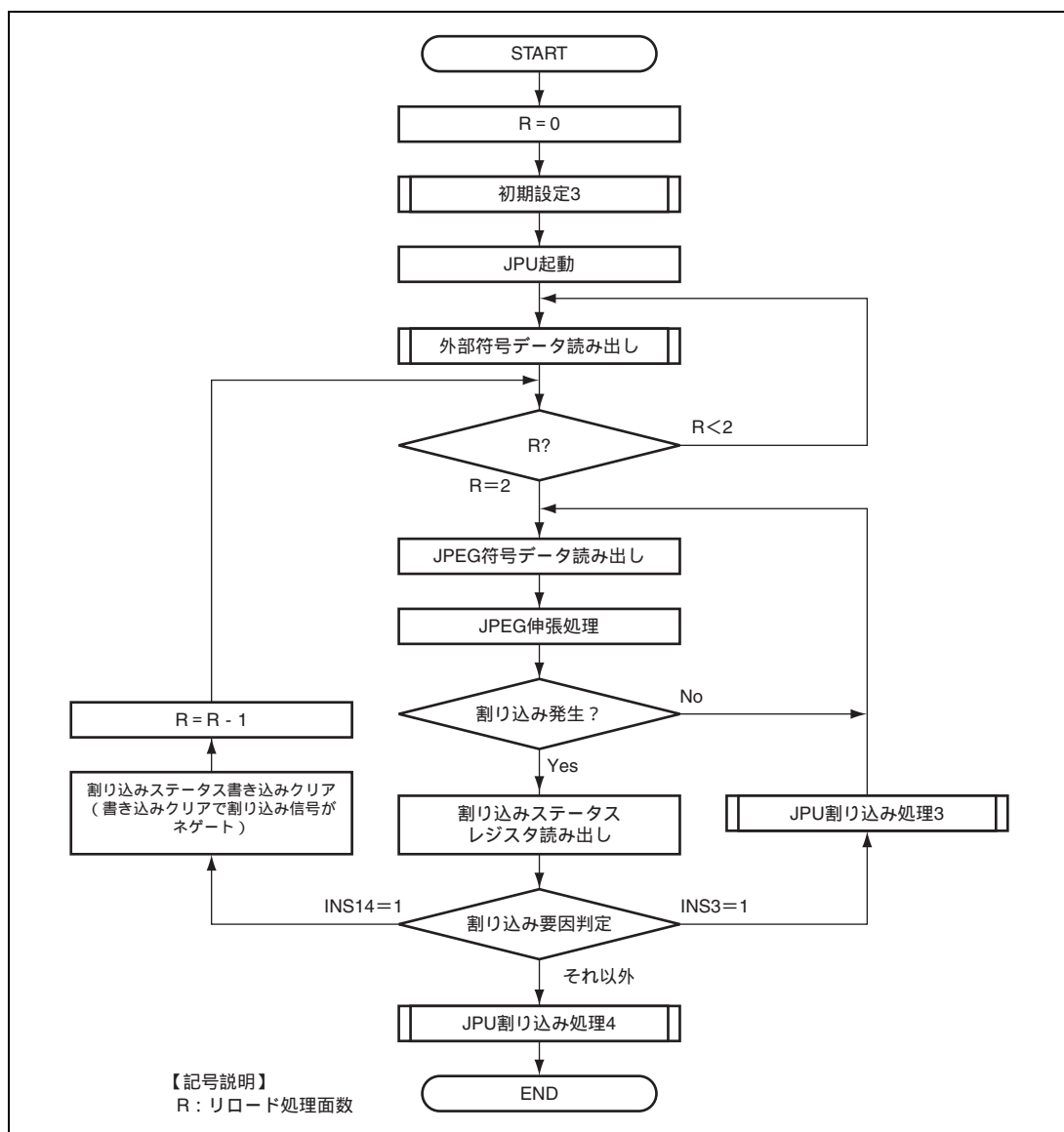


図37.13 フレームバッファ処理フロー

リセット処理後、JPU 起動までに必要なレジスタ設定をすべて完了してください。

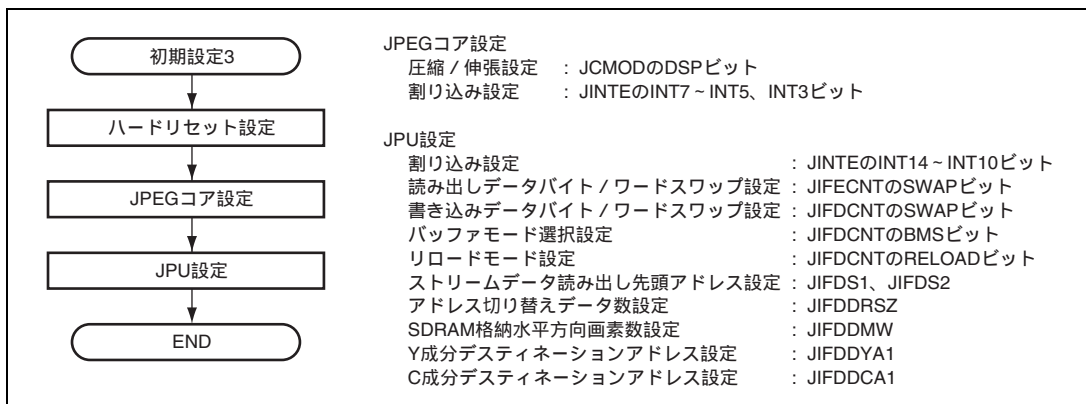


図37.14 初期設定 3 フロー

リロードオフ時、JPU は起動後、すぐに符号データの読み出しを開始しますので起動前に符号データを用意してください。起動前にすべての符号データが用意されていない場合、JPU の符号データ転送に遅れないように順次符号データを用意してください。

リロードオン時は、JPU の起動後にリロード転送書き込み終了コマンドを設定してください。リロード面への符号データの転送は起動前でも実行可能です。リロード面は 2 面あり、一方は JPU からの読み出し、もう一方は外部からの画像データ書き込みで使用するため、割り込み設定を利用し、読み出し面の JPU 読み出し完了を確認してリロードバッファへの書き込みを行ってください。

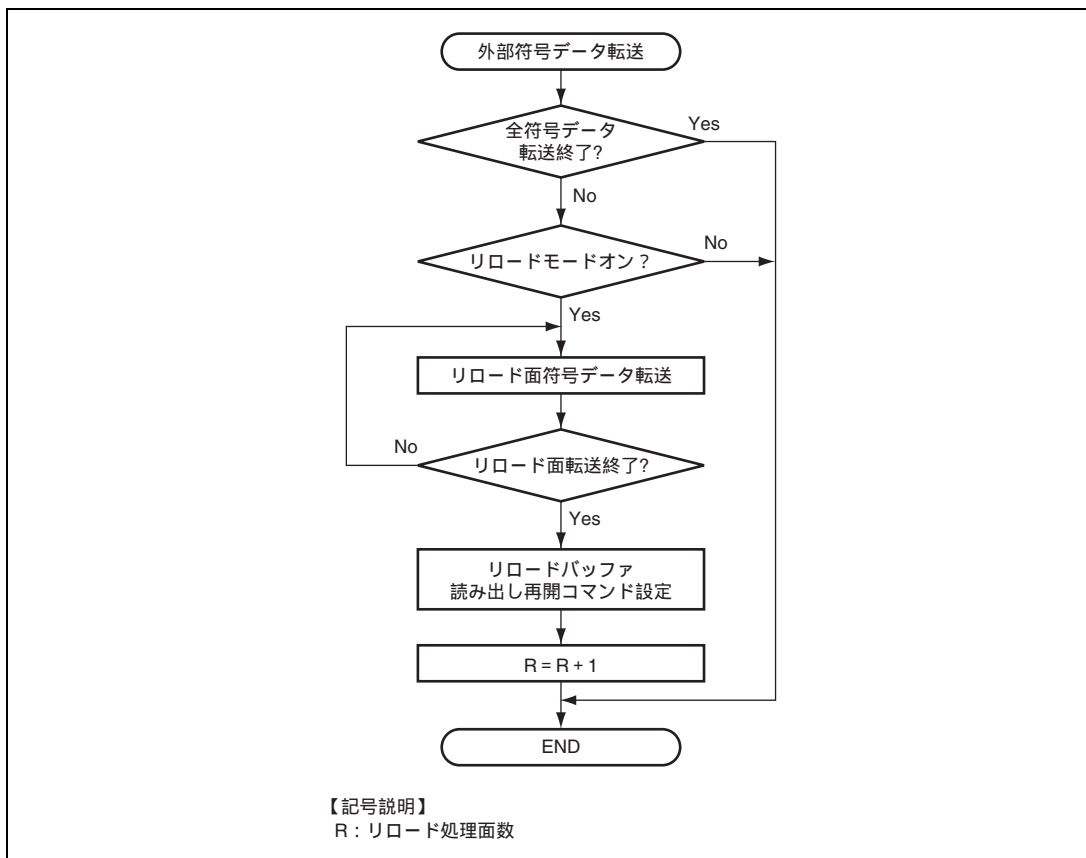


図37.15 外部符号データ転送フロー

多重割り込み発生時（図 37.16 以外の多重割り込み発生時も含む）は、すべての割り込み要因の処理を行ってください。

- 割り込みステータスJINTSのINS3ビットがB'1の場合、JPEG符号データが入力され、間引き、画像サイズ情報の読み出しが可能となっています。各レジスタ読み出し後、処理停止解除コマンドにより伸長処理の再開を設定してください。本割り込みは、割り込み設定JINTEのINT3ビットにB'1が設定されている場合に発生します。また、本割り込み要因でアサートされた割り込み信号は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し（JCCMDのJENDビットにB'1を設定）、割り込み信号をクリアしてください。

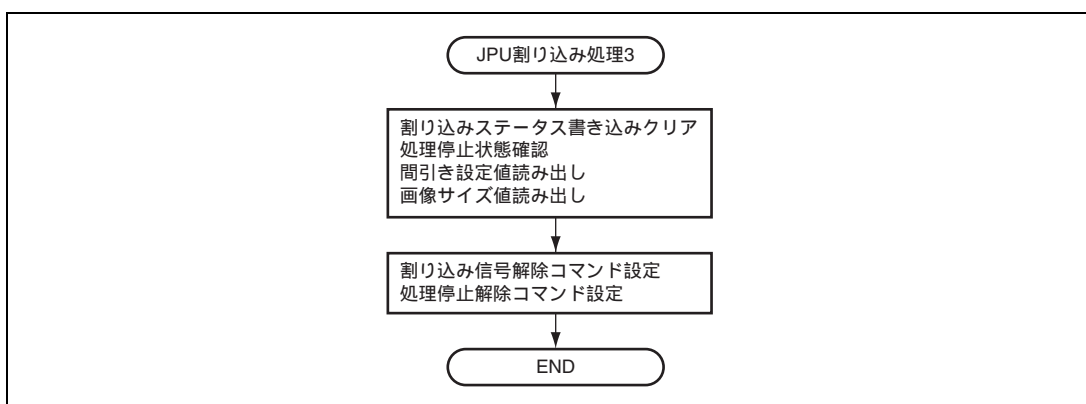


図37.16 JPU 割り込み処理 3 フロー

伸長処理終了時の割り込み処理フローです。多重割り込み発生時(図 37.17 以外の多重割り込み発生時も含む)は、すべての割り込み要因の処理を行ってください。

- 割り込みステータスJINTSのINS5ビットがB'1の場合、入力されたJPEG符号データに問題があり、JPUは伸長処理を終了しております。JCDERRのERRビットを読み出し、エラー要因を判定してください。本割り込み要因でアサートされた割り込み信号は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し(JCCMDのJENDビットにB'1を設定)、割り込み信号をクリアしてください。
- 割り込みステータスJINTSのINS6ビットがB'1の場合、JPEG伸長処理が終了しています。INS10ビットにもB'1が設定されていれば、全画像データの転送が完了しJPUの伸長処理は終了しています。本割り込み要因でアサートされた割り込み信号は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し(JCCMDのJENDビットにB'1を設定)、割り込み信号をクリアしてください。
- 割り込みステータスJINTSのINS10ビットがB'1の場合、全画像データの転送が終了し、JPUの伸長処理も終了していますので、外部で画像データの転送を行ってください。本割り込みは、割り込み設定JINTEのINT10ビットにB'1が設定されている場合に発生します。

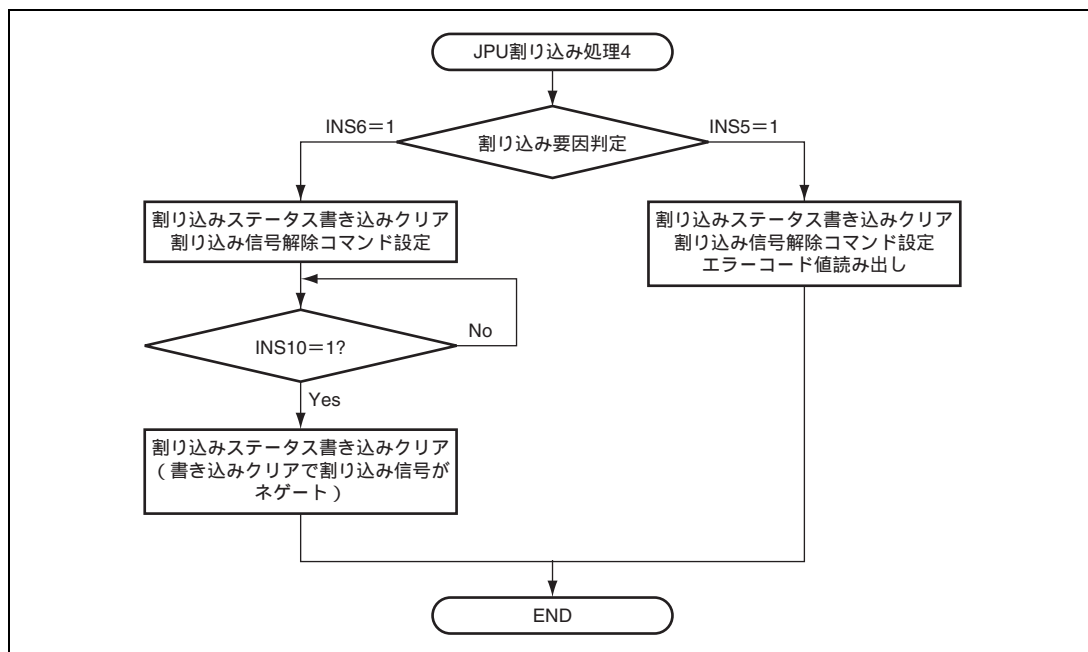


図37.17 JPU 割り込み処理 4 フロー

(3) ラインバッファモード (伸長)

初期設定後、JCCMD の JSRT ビットに B'1 を設定し、JPU を起動します。起動後、外部のバッファに符号データを準備してください。符号データが準備されていると JPU は外部符号バッファから符号データを読み出し、伸長処理を開始します。

多重割り込み発生時 (図 37.18 以外の多重割り込み発生時も含む) は、すべての割り込み要因の処理を行ってください。

- 割り込みステータス JINTS の INS14 ビットが B'1 の場合、リロード面の符号データ転送が完了しております。本割り込みは、割り込み設定 JINTE の INT14 ビットに B'1 が設定されている場合に発生します。

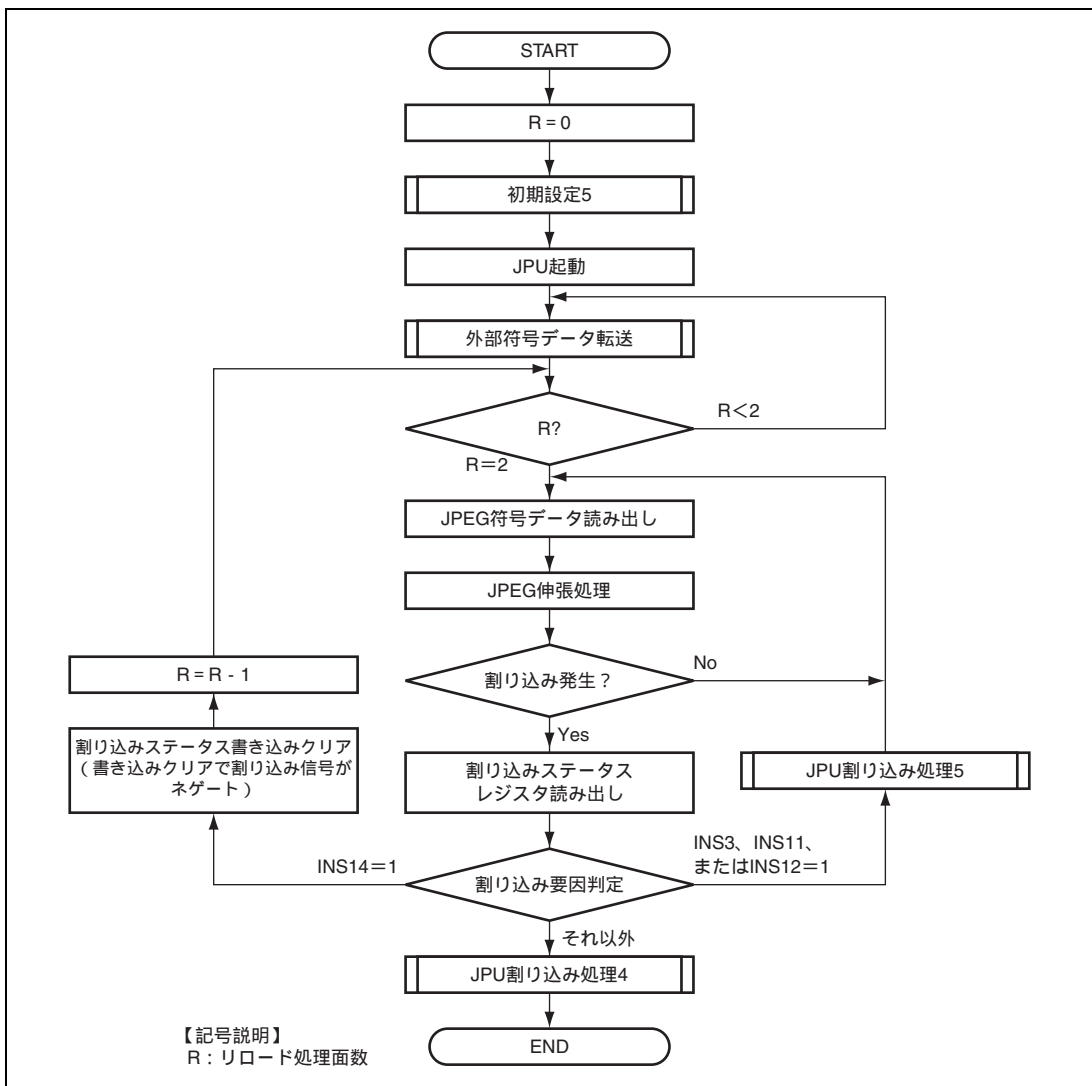


図37.18 ラインバッファモード伸長処理フロー

リセット処理後、JPU 起動までに必要なレジスタ設定をすべて完了してください。

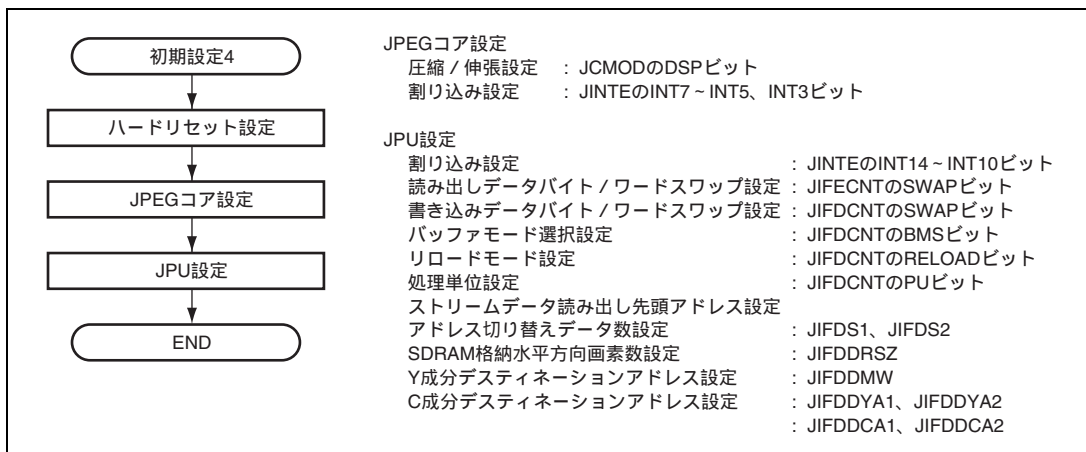


図37.19 初期設定 4 フロー

多重割り込み発生時（図 37.20 以外の多重割り込み発生時も含む）は、すべての割り込み要因の処理を行ってください。

- 割り込みステータスJINTSのINS3ビットがB'1の場合、JPEG符号データが入力され、間引き、画像サイズ情報の読み出しが可能となっています。各レジスタ読み出し後、処理停止解除コマンドにより伸長処理の再開を設定してください。本割り込みは、割り込み設定JINTEのINT3ビットにB'1が設定されている場合に発生します。また、本割り込み要因でアサートされた割り込み信号は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し（JCCMDのJENDビットにB'1を設定）、割り込み信号をクリアしてください。
- 割り込みステータスJINTSのINS11ビットあるいはINS12ビットがB'1の場合、ラインバッファ1面分の画像データの転送が終了していることを示します。1回目の割り込み発生時には、ラインバッファの画像データを、別メモリ空間への転送等の方法で退避してください。2回目以降の割り込み発生時には、データ退避に加え、ラインバッファ処理再開コマンドを設定してください。本割り込みは、割り込み設定JINTEのINT11ビットあるいはINT12ビットにB'1が設定されている場合に発生します。

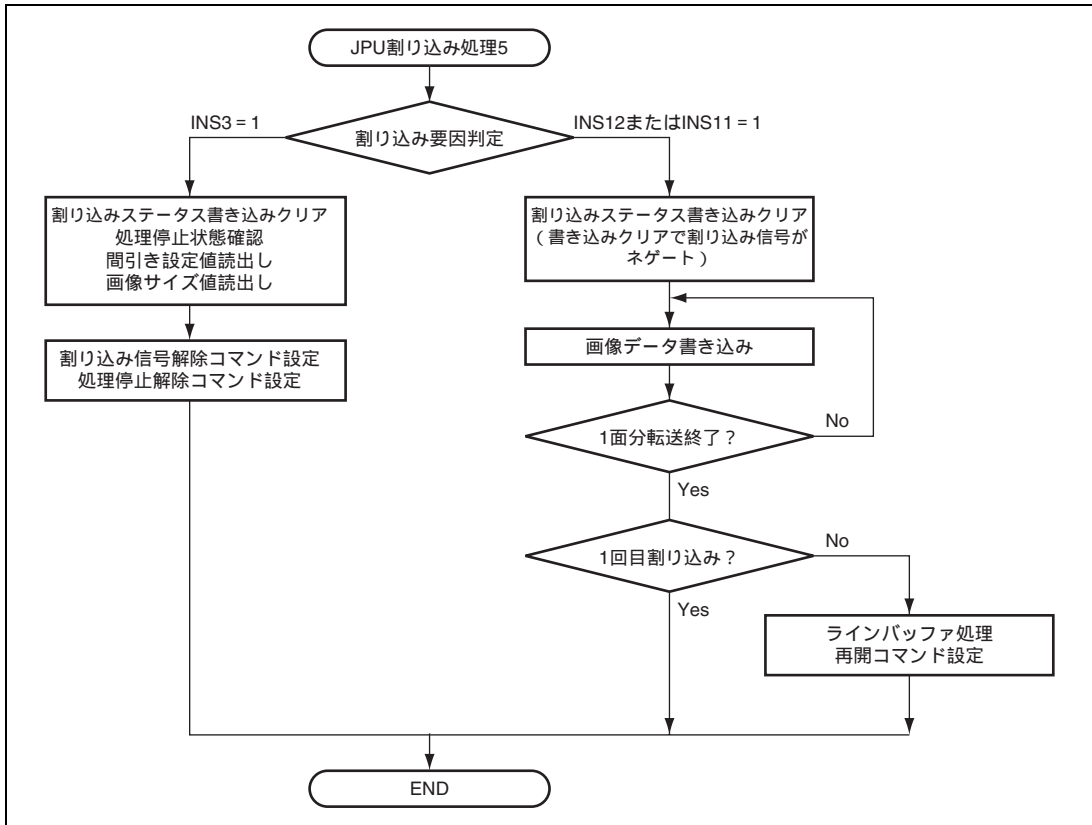


図37.20 JPU 割り込み処理 5 フロー

(4) 入力 JPEG 符号データ

伸長処理時の処理対象マーカは、SOS、SOF0、SOS、DQT、DHT、DRI、RSTm、EOI です。その他のマーカは次項に示すエラー対象マーカ以外、検出しても読み飛ばします。

(5) JPEG 伸長エラー

(a) エラーマーカ

伸長処理時、圧縮データ解析でマーカエラーが発生した場合、エラー種類をコードにて判別し、JCDERR の ERR ビットに表 37.4 に示すコード値を設定します。JPU は、エラー検出すると割り込み信号を発生し、処理を終了します。格納されるコード値は、次フレームの処理を行う際の処理開始およびバスリセットでデフォルト値 (B'1010) となります。

表37.4 伸長エラーコード

コード値 (CODE)	エラー内容
B'0000	正常
B'0001	SOI 未検出。EOI 検出まで SOI 未検出
B'0010	SOF1 ~ SOFF の検出
B'0011	YCbCr 4:4:4 (H = 1:1:1, V = 1:1:1) / 4:2:2 (H = 2:1:1, V = 1:1:1) / 4:1:1 (H = 4:1:1, V = 1:1:1) / 4:2:0 (H = 2:1:1, V = 2:1:1) 以外の間引きを検出
B'0100	SOF 精度異常。「8」以外を検出
B'0101	DQT 精度異常。「0」以外を検出
B'0110	コンポーネント異常 1。SOF0 ヘッダのコンポーネント数が「1」「3」「4」以外を検出
B'0111	コンポーネント異常 2。SOF0 ヘッダのコンポーネント数と SOS のコンポーネント数が異なる場合
B'1000	SOS 検出時に SOF0、DQT、DHT 未検出
B'1001	SOS 未検出。EOI 検出までに SOS 未検出
B'1010	EOI 未検出 (デフォルト)
B'1011	リスタートインターバルデータ数エラーを検出
B'1100	画像サイズエラーを検出
B'1101	最終 MCU データ数エラーを検出
B'1110	ブロックデータ数エラーを検出

(b) ハフマン符号化セグメントエラー

伸長動作時、圧縮データ解析でハフマン符号化セグメントにビット反転やデータ欠落によるエラーで復号データ数の増減が発生した場合、エラー種類を判別し、エラーコードを JCDERR の ERR ビットに設定します。表 37.5 にセグメントエラーコードを示します。JINTE の INT7 ~ INT5 の該当ビットに B'1 を設定した場合のみ、エラーコードを設定し、割り込み信号を発生させ処理を終了します。格納されるコード値は、次フレームの処理を行う際の処理開始およびバスリセットでデフォルト値 (B'1010) となります。

本エラー検出は、復号データ数の増減を検出するので、ハフマン符号化セグメント内にエラーが存在しても復号データ数に増減が生じない場合、エラー検出されません。

【例】間引き設定 4:2:2、DRI=2、X=80Pixel、Y=8Pixel のハフマン符号化セグメントのデータ数

リスタートインターバル1		リスタートインターバル2		リスタートインターバル3		
SOS	符号化セグメント	RST	符号化セグメント	RST	符号化セグメント	EOI

・最終MCUデータ数 : 間引き設定は4:2:2で、1MCU分の復号データ数は256となります。
 ・リスタートインターバルデータ数 : リスタートインターバル1、2には、2MCU分のデータが存在するので、復号データ数は512となります。
 ・画像サイズ : 総復号データ数は1280となります。

図37.21 ハフマン符号化セグメント

表37.5 セグメントエラーコード

コード値 (CODE)	エラー内容
B'0000	正常
B'1011	<p>リスタートインターバルデータ数エラーは、DRI マーカセグメントに規定されるデータ数と各インターバルのデータ数を比較し、一致しないインターバルを検出した場合、伸長エラーCODE[1011]を設定します。リスタートインターバル間隔に満たない最終インターバルは対象外です。</p> <p>DRI マーカセグメントが存在しない場合や、規定値が"00"の場合は、RSTm マーカが存在してもエラー検出しません。また、RSTm マーカモジュール 8 の m 順番 (m=0~7) もエラー検出対象外です。</p> <p>JINTE の INT7 ビットに B'0 を設定すると、本エラー検出を行いません。</p>
B'1100	<p>画像サイズエラーは、フレームパラメータに規定されるライン数、ライン数当たりのサンプル数より算出した画像データ数および SOS ~ EOI までの総データ数 (ピクセル単位) を比較し一致しない場合、伸長エラーCODE[1100]を設定します。JINTE の INT6 ビットに B'0 を設定すると、本エラー検出を行いません。画像データ数は MCU 単位となりますので、算出の際のライン数とライン数当たりのサンプル数は MCU 単位にまで切り上げます。</p>
B'1101	<p>最終 MCU データ数エラーは、EOI 検出時の MCU データ数が MCU 単位となっているかチェックし、端数の有無を検出します。CODE[1100]が同時発生したときは、CODE[1100]が優先されます。</p> <p>JINTE の INT5 ビットに B'0 を設定すると、本エラー検出を行いません。</p>
B'1110	<p>ブロックデータ数エラーは、1 ブロックが 8×8 単位となっているかチェックし、端数の有無を検出します。JINTE の INT7 ~ INT5 ビットにすべて B'0 を設定すると、本エラー検出を行いません。</p>

37.3.3 画像データ格納

バッファの画像データ格納と JPU のデータ転送について示します。

(1) フレームバッファモード (VGA : 640×480、画像データ領域 QVGA : 320×240 をデータ転送する場合)

- レジスタ設定値例 :

	VGA	VGAの場合
JIFESMW/JIFDDMW :	H'0000 0280 (640)	H'0000 0280
JIFESYA1/JIFDDYA1 :	H'0001 2CA0 (76960)	H'0000 0000
JIFESHSZ/JIFDDHSZ :	H'0000 0140 (320)	H'0000 0280
JIFESVSZ/JIFDDVSZ :	H'0000 00F0 (240)	H'0000 01E0
JIFESCA1/JIFDDCA1 :	H'0005 DCA0 (384160)	H'0004 B000

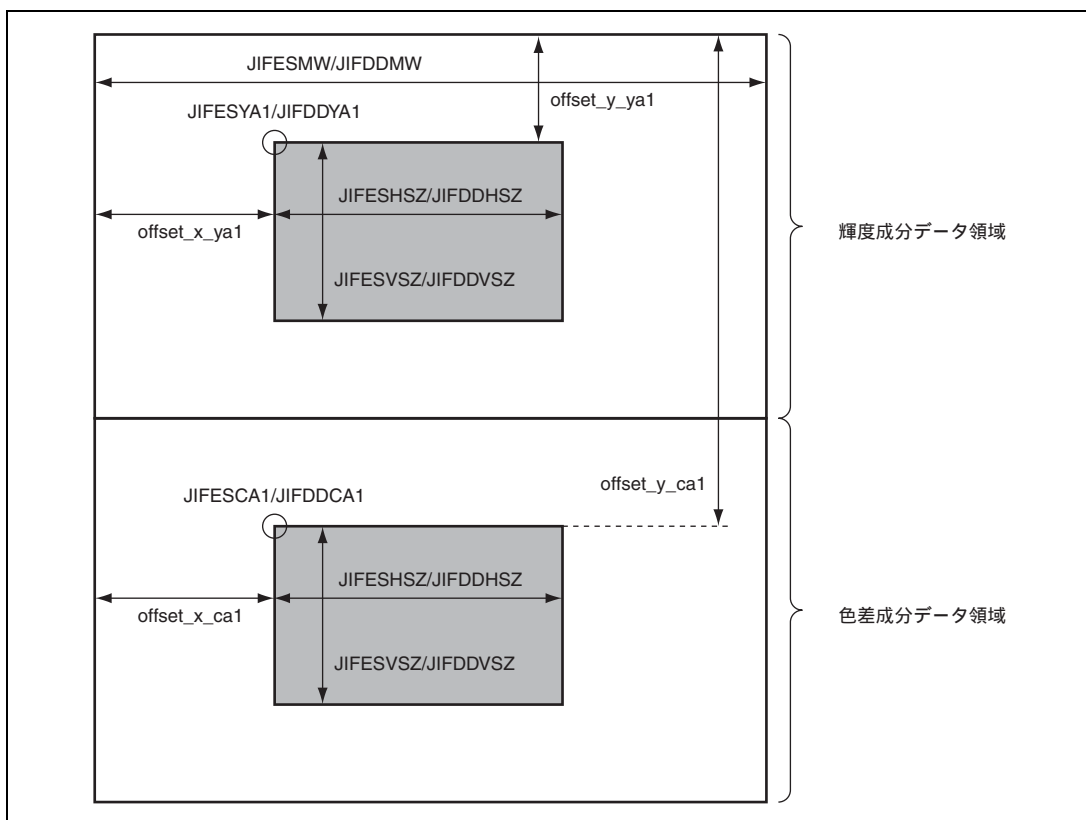


図37.22 フレームバッファデータ割り付けイメージ

(2) 画像データ格納

(a) 輝度成分データ

JIFESYA1/JIFDDYA1 (JIFESYA2/JIFDDYA2) を画像原点とし、JIFESHZ/JIFDDHSZ、JIFESVSZ/JIFDDVSZ で設定された領域のデータを転送します。

• レジスタ設定値 :

JIFESMW/JIFDDMW : H'0000 0010 (16)

JIFESYA1/JIFDDYA1 : H'0000 0000 (0)

JIFESHZ/JIFDDHSZ : H'0000 0010 (16)

JIFESVSZ/JIFDDVSZ : H'0000 0010 (16)

• バッファ格納データ

H'0000 0000 = Y00, Y01, Y02, Y03

H'0000 0004 = Y04, Y05, Y06, Y07

H'0000 0008 = Y08, Y09, Y0A, Y0B

H'0000 000C = Y0C, Y0D, Y0E, Y0F

:

H'0000 00F0 = YF0, YF1, YF2, YF3

H'0000 00F4 = YF4, YF5, YF6, YF7

H'0000 00F8 = YF8, YF9, YFA, YFB

H'0000 00FC = YFC, YFD, YFE, YFF

• JPUデータ転送

1MCU単位でライン方向にバースト転送します。1MCU1ライン : 16バイト

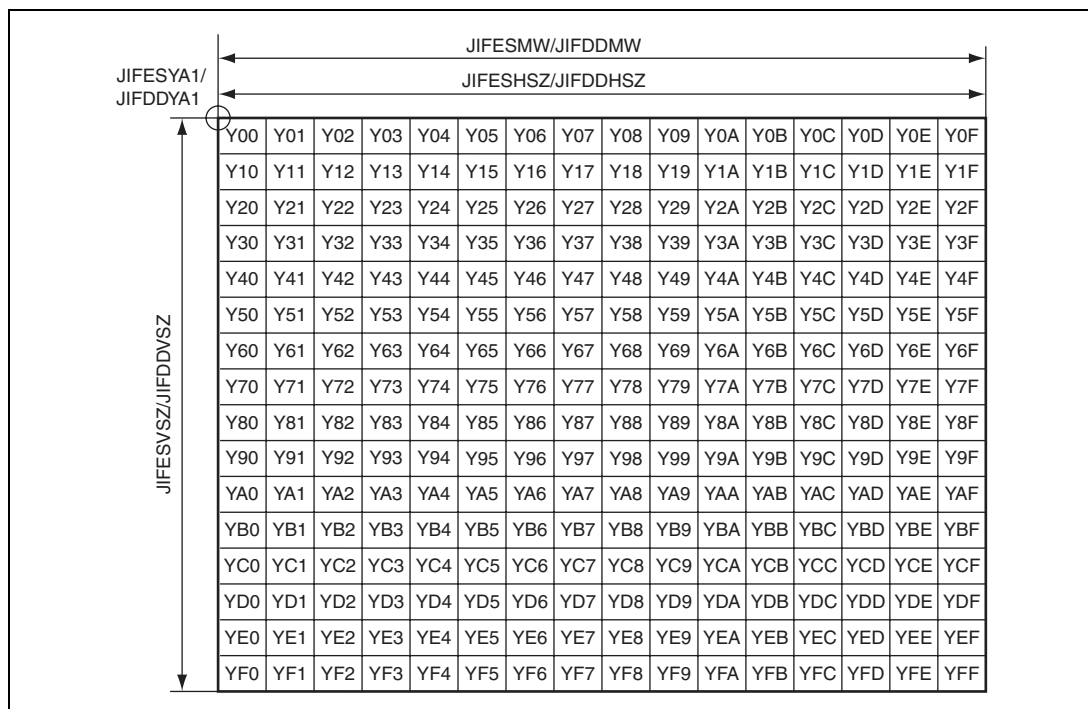


図37.23 輝度データ

(b) 色差成分データ (Cb : U、Cr : V)

JIFESYA1/JIFDDCA1 (JIFESCA2/JIFDDCA2) を画像原点とし、JIFESHZ/JIFDDHSZ、JIFESVSZ/JIFDDVSZ で設定された領域のデータを転送します。

- レジスタ設定値

JIFESMW/JIFDDMW : H'0000 0010 (16)

JIFESCA1/JIFDDCA1 : H'0000 0100 (256)

JIFESHZ/JIFDDHSZ : H'0000 0010 (16)

JIFESVSZ/JIFDDVSZ : H'0000 0010 (16)

- バッファ格納データ

H'0000 0100 = U00, V00, U02, V02

H'0000 0104 = U04, V04, U06, V06

H'0000 0108 = U08, V08, U0A, V0A

H'0000 010C = U0C, V0C, U0E, V0E

:

H'0000 01F0 = UF0,VF0,UF2,VF2

H'0000 01F4 = UF4,VF4,UF6,VF6

H'0000 01F8 = UF8,VF8,UFA,VFA

H'0000 01FC = UFC,VFC,UFE,VFE

• JPUデータ転送

IMCU単位でライン方向にバースト転送します。IMCU1ライン：16バイト

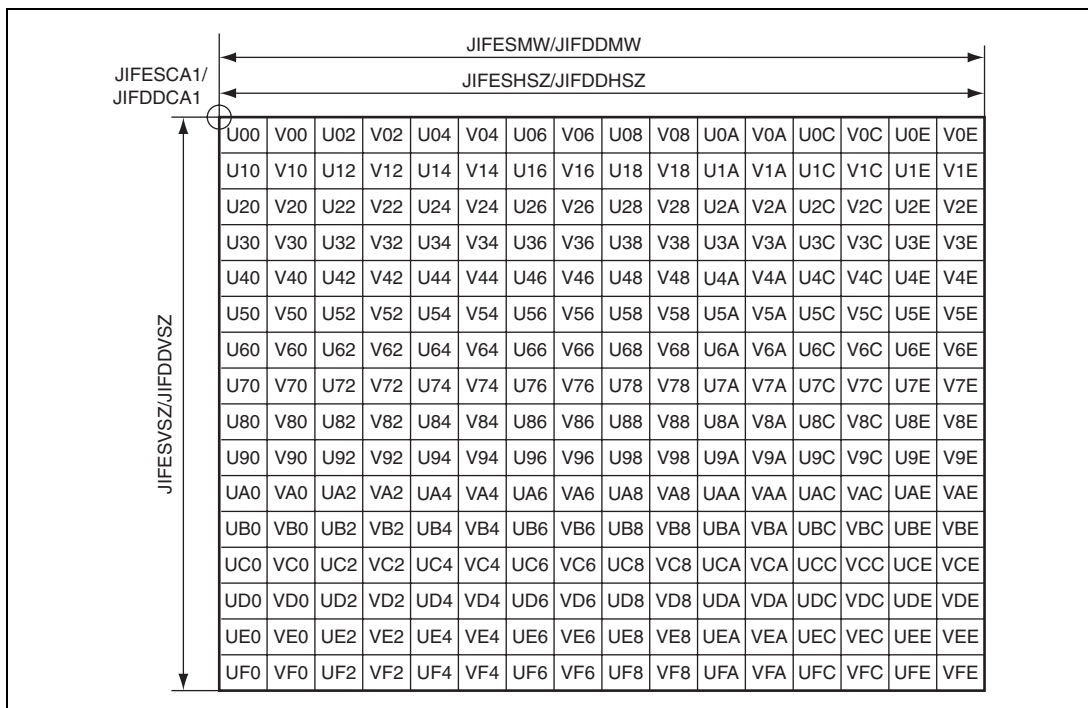


図37.24 色差データ

37.3.4 符号データ格納

符号データの格納と JPU の符号データ転送について示します。

(1) 符号データサンプル : 符号長 (SOI ~ EOI) 592 バイト

表37.6 符号データサンプル

ADDRESS	000102030405060708090A0B0C0D0E0F	101112131415161718191A1B1C1D1E1F
0000 00	FFD8FFDB008400100B0C0E0C0A100E0D	0E1211101318281A181616183123251D
0000 20	283A333D3C3933383740485C4E404457	453738506D51575F626768673E4D7179
0000 40	7064785C656763011112121815182F1A	1A2F63423842636363636363636363
0000 60	63636363636363636363636363636363	63636363636363636363636363636363
0000 80	636363636363636363FFC000110801E002	8003012100021101031101FFC401A200
0000 A0	00010501010101010100000000000000	000102030405060708090A0B10000201
0000 C0	0303020403050504040000017D010203	00041105122131410613516107227114
0000 E0	328191A1082342B1C11552D1F0243362	7282090A161718191A25262728292A34
0001 00	35363738393A434445464748494A5354	55565758595A636465666768696A7374
0001 20	75767778797A838485868788898A9293	9495969798999AA2A3A4A5A6A7A8A9AA
0001 40	B2B3B4B5B6B7B8B9BAC2C3C4C5C6C7C8	C9CAD2D3D4D5D6D7D8D9DAE1E2E3E4E5
0001 60	E6E7E8E9EAF1F2F3F4F5F6F7F8F9FA01	0003010101010101010101010000000000
0001 80	000102030405060708090A0B11000201	02040403040705040400010277000102
0001 A0	031104052131061241510761711132232	8108144291A1B1C109233352F0156272
0001 C0	D10A162434E125F11718191A26272829	2A35363738393A434445464748494A53
0001 E0	5455565758595A636465666768696A73	7475767778797A82838485868788898A
0002 00	92939495969798999AA2A3A4A5A6A7A8	A9AAB2B3B4B5B6B7B8B9BAC2C3C4C5C6
0002 20	C7C8C9CAD2D3D4D5D6D7D8D9DAE2E3E4	E5E6E7E8E9EAF2F3F4F5F6F7F8F9FAFF
0002 40	DA000C03010002110311003F0000FFD9	XXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXX

(2) 符号終端部の転送データについて

【圧縮処理時】

アドレス 16 バイト境界まで H'FF を埋めます。

CC : 符号データ、FF-D9 : EOI マーカ

- CC-CC-FF-D9 残り16バイト境界までH'FF埋め
- CC-FF-D9-FF 残り16バイト境界までH'FF埋め
- FF-D9-FF-FF 残り16バイト境界までH'FF埋め

【伸長処理時】

- JPEGコアがEOIマーカを検出するまでJPUはリードを行います。JPUは符号データサイズ以上の読み出しを行う可能性があります。

(3) リロードオフ

表 37.6 の符号データサンプルで格納方法を示します。

- JIFEDA1/JIFDSA1 : H'0000 0000の場合

表37.6のように符号先頭からアドレスインクリメントされ格納されます。

- JIFEDA1/JIFDSA1 : H'0000 0004の場合

```
ADDRESS 000102030405060708090A0B0C0D0E0F 101112131415161718191A1B1C1D1E1F
0000 00 XXXXXXXXXXXXFFD8FFDB008400100B0C0E0C 0A100E0D0E1211101318281A18161618
0000 20 3123251D283A333D3C3933383740485C 4E404457453738506D51575F62676867
:
0002 20 C3C4C5C6C7C8C9CAD2D3D4D5D6D7D8D9 DAE2E3E4E5E6E7E8E9EAF2F3F4F5F6F7
0002 40 F8F9FAFFDA000C03010002110311003F 0000FFD9FFFFFFFFFFFFFFFFFFFFFFFF
```

- JIFEDA1/JIFDSA1 : H'0000 0008の場合

```
ADDRESS 000102030405060708090A0B0C0D0E0F 101112131415161718191A1B1C1D1E1F
0000 00 XXXXXXXXXXXXXXXXXXXXFFD8FFDB00840010 0B0C0E0C0A100E0D0E1211101318281A
0000 20 181616183123251D283A333D3C393338 3740485C4E404457453738506D51575F
:
0002 20 B8B9BAC2C3C4C5C6C7C8C9CAD2D3D4D5 D6D7D8D9DAE2E3E4E5E6E7E8E9EAF2F3
0002 40 F4F5F6F7F8F9FAFFDA000C0301000211 0311003F0000FFD9FFFFFFFFFFFFFFFF
```

- JIFEDA1/JIFDSA1 : H'0000 000Cの場合

```
ADDRESS 000102030405060708090A0B0C0D0E0F 101112131415161718191A1B1C1D1E1F
0000 00 XXXXXXXXXXXXXXXXXXXXFFD8FFDB 008400100B0C0E0C0A100E0D0E121110
0000 20 1318281A181616183123251D283A333D 3C3933383740485C4E40445745373850
:
0002 20 B4B5B6B7B8B9BAC2C3C4C5C6C7C8C9CA D2D3D4D5D6D7D8D9DAE2E3E4E5E6E7E8
0002 40 E9EAF2F3F4F5F6F7F8F9FAFFDA000C03 010002110311003F0000FFD9FFFFFFFF
```

(4) リロードオン

- JIFEDA1/JIFDSA1 : H'0000 0000の場合

JIFEDA2/JIFDSA2 : H'0000 0100

JIFEDRSZ/JIFDDRSZ : H'0000 0100

ADDRESS 000102030405060708090A0B0C0D0E0F 101112131415161718191A1B1C1D1E1F

(リロード面1)

0000 00 FFD8FFDB008400100B0C0E0C0A100E0D 0E1211101318281A181616183123251D

:

0000 E0 328191A1082342B1C11552D1F0243362 7282090A161718191A25262728292A34

(リロード面2)

0001 00 35363738393A434445464748494A5354 55565758595A636465666768696A7374

:

0001 E0 5455565758595A636465666768696A73 7475767778797A82838485868788898A

(リロード面1)

0000 00 92939495969798999AA2A3A4A5A6A7A8 A9AAB2B3B4B5B6B7B8B9BAC2C3C4C5C6

0000 20 C7C8C9CAD2D3D4D5D6D7D8D9DAE2E3E4 E5E6E7E8E9EAF2F3F4F5F6F7F8F9FAFF

0000 40 DA000C03010002110311003F0000FFD9 XXXXXXXXXXXXXXXXXXXXXXXXXXXXXXXX

37.3.5 端数データ処理

JPU は 4 画素単位の画像サイズに対して圧縮・伸長が可能ですので、MCU サイズに満たないデータ処理が発生する場合があります (端数データ処理)。JPU が符号化処理する画像サイズが MCU サイズに対して端数設定された場合、画像原点に対して右端部、下端部を黒データ (Y : H'00、CbCr : H'80) で埋め MCU を完全化し符号化します。回転設定時は、回転後の新しい原点に対して右端部、下端部が MCU 完全化されます。

伸長処理時、JPEG 符号データ内の画像サイズ情報 (SOF0 マーカ内パラメータ値) が MCU サイズに対して端数設定されていた場合、JPU は端数の画像サイズ情報を基に SDRAM 等の外部バッファへデータ転送します。したがって、JPU 自身が端数設定で符号化した JPEG 符号データを JPU が伸長処理した場合、右端部、下端部の黒埋めデータは転送されません。

37.4 割り込み処理フロー

JPU の割り込みは、圧縮 / 伸長処理関連とデータ転送関連の割り込み要因に分類されます。割り込み要因により割り込み信号の解除方法が異なります。

37.4.1 圧縮 / 伸長処理割り込み

割り込みステータス JINTS の INS6、INS5、INS3 ビットは、JPU に内蔵されている JPEG コアの割り込み要因です。本割り込み要因でアサートされた割り込み信号は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し (JCCMD の JEND ビットに B'1 を設定)、割り込み信号をクリアしてください。

(1) 圧縮

- JPEG圧縮処理終了

割り込みステータスJINTSのINS6ビットがB'1の場合、JPEG圧縮処理が終了しています。符号データの転送が完了すると、JPUの圧縮処理は終了します。

(2) 伸長

- JPEG伸長処理終了

割り込みステータスJINTSのINS6ビットがB'1の場合、JPEG伸長処理が終了しています。画像データの転送が完了すると、JPUの伸長処理は終了します。

- JPEG伸長エラー発生

割り込みステータスJINTSのINS5ビットがB'1の場合、入力されたJPEG符号データに問題があり、JPUは伸長処理を終了しています。エラーコード (JCDERRのERRビット) を読み出し、エラー要因を判定してください。

- 画像サイズ間引き情報読み出しリクエスト

割り込みステータスJINTSのINS3ビットがB'1の場合、JPEG符号データが入力され、間引き、画像サイズ情報の読み出しが可能となっています。JPEG伸長処理は一時停止状態なので、各レジスタアクセス後、処理停止解除コマンドを設定し、JPEG伸長処理を再開させてください。本割り込みは、割り込み設定JINTEのINT3ビットにB'1が設定されている場合に発生します。

37.4.2 データ転送処理割り込み

割り込みステータス JINTS の INS14 ~ INS10 ビットは、画像 / 符号データ転送関連の割り込み要因です。本割り込み要因でアサートされた割り込み信号は、割り込みステータス書き込みクリアによりネゲートされます。

(1) 圧縮

- ラインバッファ1面読み出し終了で発生 (ラインバッファモード)

割り込みステータス JINTS の INS12 ビットあるいは INS11 ビットが B'1 の場合、ラインバッファ1面の画像データ転送が終了しているため、ラインバッファに次の画像データを用意し、ラインバッファからの転送処理再開を行ってください。本割り込みは、割り込み設定 JINTE の INT12 ビットあるいは INT11 ビットに B'1 が設定されている場合に発生します。

- リロード設定データ数書き込み終了で発生

割り込みステータス JINTS の INS13 ビットが B'1 の場合、JIFEDRSZ で設定された符号データ数の転送が終了していることを示します。1回目の割り込み発生時には、リロード面の符号データを退避 (別メモリ空間への転送等) してください。退避が完了し、次のリロード割り込み発生時には、データ退避に加えリロードバッファへの転送処理再開コマンドを設定してください。最初の2面分のリロードバッファ書き込みは自動的に行われ、それぞれ割り込みが発生します。本割り込みは、割り込み設定 JINTE の INT13 ビットに B'1 が設定されている場合に発生します。

- 全処理終了で発生

割り込みステータス JINTS の INS10 ビットが B'1 の場合、全符号データの転送が終了し、JPU の圧縮処理も終了しているため、外部で符号データの転送を行ってください。リロードモード設定時も、残りの符号データの転送を行ってください。最終リロード面への符号データ転送サイズが JIFEDRSZ で設定された符号データ数に一致した場合、JINTS の INS10 ビットと INS13 ビットは同タイミングで B'1 が設定されます。本割り込みは、割り込み設定 JINTE の INT10 ビットに B'1 が設定されている場合に発生します。

(2) 伸長

- ラインバッファ1面書き込み終了で発生 (ラインバッファモード)

割り込みステータス JINTS の INS12 ビットあるいは INS11 ビットが B'1 の場合、ラインバッファ1面分の画像データ転送が終了していることを示します。1回目の割り込み発生時には、ラインバッファの画像データを退避 (別メモリ空間への転送等) してください。退避が完了し、次のラインバッファ割り込み発生時には、データ退避に加えラインバッファへの転送処理再開コマンドを設定してください。最初の2面分のラインバッファ書き込みは自動的に行われ、それぞれ割り込みが発生します。本割り込みは、割り込み設定 JINTE の INT12 ビットあるいは INT11 ビットに B'1 が設定されている場合に発生します。

- リロード設定データ数読み出し終了で発生

割り込みステータスJINTSのINS14ビットがB'1の場合、リロード面の符号データ転送が完了しているため、リロード面に符号データを用意し、リロードバッファからの転送処理再開コマンドを設定してください。本割り込みは、割り込み設定JINTEのINT14ビットにB'1が設定されている場合に発生します。

- 全処理終了で発生

割り込みステータスJINTSのINS10ビットがB'1の場合、全画像データの転送が終了し、JPUの伸長処理も終了しているため、外部で画像データの転送を行ってください。本割り込みは、割り込み設定JINTEのINT10ビットにB'1が設定されている場合に発生します。

37.5 バスリセット処理

バスリセットコマンドを発行 (JCCMD の BRST ビットに 1 を設定) することにより、バスリセットが実行されます。動作中はバスリセットコマンドを発行しないでください。

バスリセットを入れることにより、下記以外のレジスタは初期化されます。

- JPEGコードモードレジスタ (JCMOD)
- JPEGコードコマンドレジスタ (JCCMD)
- JPEGコード量子化テーブル番号レジスタ (JCQTN)
- JPEGコードハフマンテーブル番号レジスタ (JCHTN)
- JPEGコードDRI上位レジスタ (JCDRIU)
- JPEGコードDRI下位レジスタ (JCDRID)
- JPEGコード垂直方向サイズ上位レジスタ (JCVSZU)
- JPEGコード垂直方向サイズ下位レジスタ (JCVSZD)
- JPEGコード水平方向サイズ上位レジスタ (JCHSZU)
- JPEGコード水平方向サイズ下位レジスタ (JCHSZD)
- JPEG割り込みイネーブルレジスタ (JINTE)

37.6 ソフトウェアリセット処理

ソフトウェアリセットコマンドを発行 (JCCMD の SRST ビットに 1 を設定) することにより、ソフトウェアリセットが実行されます。ソフトウェアリセットが設定されると、JPU が現在行っている転送処理が完了するまで JCCMD の SRST ビットは 1 を示します。ソフトウェアリセット処理が完了すると、下記のレジスタは初期化されます。

- JPEGコードステータスレジスタ (JCSTS)
- JPEGコードデータカウント上位レジスタ (JCDTCU)
- JPEGコードデータカウント中位レジスタ (JCDTCM)
- JPEGコードデータカウント下位レジスタ (JCDTCD)
- JPEG割り込みステータスレジスタ (JINTS)
- JPEGコードデコードエラーレジスタ (JCDERR)
- JPEGコード再起動レジスタ (JCRST)

本章は、守秘契約を結んでいただいたうえで公開致します。
詳細は、弊社の営業担当にご確認ください。

38. 2D グラフィックアクセラレータ (2DG)

2DG は、2D グラフィックスの描画を行うモジュールです。

本機能をご使用の場合は S、B、P のクロック比を下記に設定してください。

S : B : P = 4 : 2 : 1

38.1 特長

(1) 描画機能

4頂点面描画

多角形描画

線描画

高機能太線描画

アンチエイリアス処理

ラスタオペレーション / ブレンド付きBitBLT

(2) 色表現

ソース : 1、8、16ビット / 画素

描画 : 8、16ビット / 画素

ワーク : 1ビット / 画素

(3) スクリーン座標

X方向 : 0 ~ 4,095

Y方向 : 0 ~ 4,095

(4) レジスタ設定

カレントポインタ設定[MOVE/RMOVE]

ローカルオフセット設定[LCOFS/RLCOFS]

特定のアドレスマップドレジスタ設定[WPR]

(5) シーケンス制御

ジャンプ[JUMP]

サブルーチン[GOSUB] (ネスティングレベル : 1)

39. LCD コントローラ (LCDC)

LCDC コントローラ (LCDC) は、表示データをメモリまたは BEU (Blend Engine Unit) から受け取り、設定に応じてパレットメモリによって表示色を決定した後、液晶モジュールに送ります。本 LCDC には、RGB インタフェース方式、および 80 系 CPU バスインタフェース方式 (SYS インタフェース) の TFT 液晶モジュールを接続することが可能です。

39.1 特長

LCDC には以下のような特長があります。

- TFT液晶モジュールに対応 (NTSC / PAL方式、LVDSインタフェース方式の液晶モジュールを除く)
- 液晶モジュールインタフェースとして以下の2種類をサポート
 - RGBインタフェース : 8 / 9 / 12 / 16 / 18 / 24ビットデータバス幅
 - 80系CPUバスインタフェース (SYSインタフェース) : 8 / 9 / 12 / 16 / 18 / 24ビットデータバス幅
- SYSインタフェースでは、VSYNC入力 / 出力モードをサポート
- 12 / 16 / 18 / 24bppの表示画像データフォーマットをサポート
- 表示画像データは、液晶モジュールのリフレッシュレートに応じて連続的に取得する連続モードと、表示画像のフレームレートに応じて間欠的に取得するワンショットモードをサポート
- 液晶モジュールのパネルサイズに合わせて表示画像データを取得するフル画面モードと、書き換え部分のみを取得するパーシャル画面モードをサポート
- 256エントリ、24ビット入出力のカラーパレットメモリを搭載し、RGB各色に対して補正が可能
- 出力信号のレベル反転機能をサポートし、各種液晶モジュールの信号極性に合わせることが可能
- フレーム単位やユーザ指定ライン位置で割り込み発生が可能
- YCbCr信号を取得し、RGB変換して液晶モジュールに出力可
- YCbCr出力動作モードをサポート

LCDC の機能表を表 39.1 に示します。

表39.1 LCDC 機能表

大項目	小項目	機能	補足
入力データ形式	12bpp	RGB 444	
	16bpp	RGB 565	
	18bpp	RGB 666 BGR 666	
	24bpp	RGB 888 BGR 888	
	YCbCr	YCbCr4:2:0, 4:2:2, 4:4:4	
出力データ形式	RGB インタフェース	RGB8	3cycle/pixel
		RGB9	2cycle/pixel
		RGB12a	2cycle/pixel
		RGB12b	1cycle/pixel
		RGB16	1cycle/pixel
		RGB18	1cycle/pixel
		RGB24	1cycle/pixel
	SYS インタフェース	SYS8a	3cycle/pixel
		SYS8b	3cycle/pixel
		SYS8c	2cycle/pixel
		SYS8d	2cycle/pixel
		SYS9	2cycle/pixel
		SYS12	2cycle/pixel
		SYS16a	1cycle/pixel
		SYS16b	2cycle/pixel
		SYS16c	2cycle/pixel
		SYS18	1cycle/pixel
	SYS24	1cycle/pixel	
	YCbCr 出力	YCbCr4:2:2	
LCD ドライバ インタフェース	RGB インタフェース	HSYNC、VSYNC によるインタフェース <ul style="list-style-type: none"> • 極性反転 • 出力幅、位置設定 	
	SYS インタフェース	80 系バスインタフェース <ul style="list-style-type: none"> • VSYNC 入力 / 出力対応 	
ドットクロック	ソースクロック	バスクロック、周辺クロック、外部クロック	
	分周比	n/m m = 60, 54, 48, 42 1 n m/3, m/2	

大項目	小項目	機能	補足
割り込み	ユーザ指定	指定ラインを読み込み完了時に発生	
	フレーム	フレームのピクセル出力開始時に発生	
		フレームのピクセル出力終了時に発生	
	VRAM リード	VRAM アクセスのフレーム終了時に発生	
		VRAM アクセスのライン終了時に発生	
	VSYNC	VSYNC アサート時に発生	
VSYNC ネゲート時に発生			
表示画像	画像データ取得	液晶モジュールのリフレッシュレートに合わせて取得	
		動画等のフレームレートに応じて任意のタイミングで取得	
	表示画像サイズ	全画面表示	
		指定した部分のみを書き換え	
画像データ加工	カラーパレットにより、RGB 各色に対して変換処理 <ul style="list-style-type: none"> • 256 エントリ • 24 ビット入出力 		
フォーマット変換	YCbCr RGB	YCbCr データを RGB に変換して出力	

LCDC のブロック図を図 39.1 に示します。

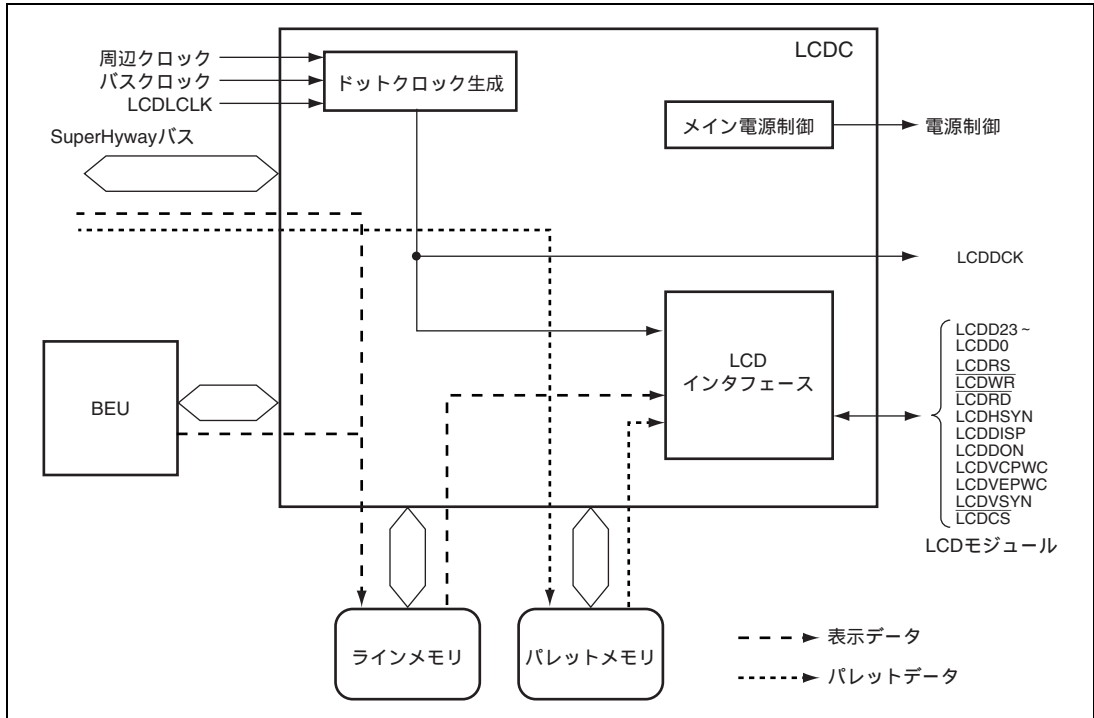


図39.1 LCDC のブロック図

39.2 端子構成

LCDC の端子構成を表 39.2 に示します。

表39.2 端子構成

端子名	機能	入出力	説明
LCDDON	表示 ON/OFF 信号	出力	表示開始信号 (DON)
LCDVCPWC	電源制御	出力	液晶モジュール電源制御 (V_{CC})
LCDVEPWC	電源制御	出力	液晶モジュール電源制御 (V_{EE})
LCDDCK/LCDWR	ドットクロック / ライトストロープ	出力	ドットクロック信号 (RGB インタフェース時) / ライトストロープ信号 (SYS インタフェース時)
LCDVSYN	垂直同期信号	出力 / 入出力	液晶用垂直同期信号 (VSYNC) (RGB インタフェース時: 出力、 SYS インタフェース: 入出力、 YCbCr 出力モード: 出力)
LCDHSYN/LCDCS	水平同期信号 / チップセレクト	出力	水平同期信号 (RGB インタフェース時、YCbCr 出力モード時) / チップセレクト信号 (SYS インタフェース時)
LCDDISP/LCDRS	表示イネーブル / レジスタセレクト	出力	表示イネーブル信号 (RGB インタフェース時) / レジスタセレクト信号 (SYS インタフェース時)
LCDRD	リードストロープ	出力	リードストロープ信号 (SYS インタフェース時)
LCDD23~LCDD0	LCD データバス	出力 / 入出力	液晶パネル用データ (RGB インタフェース時: 出力、 SYS インタフェース時: 入出力 YCbCr 出力モード: 出力)
LCDLCLK	入力クロック	入力	LCD ソースクロック (外部入力)

39.3 レジスタの説明

LCDC のレジスタ構成を表 39.3 に示します。また、各処理モードにおけるレジスタの状態を表 39.4 に示します。

LCDC のレジスタは、一部を除いて 2 面構成 (A 面、B 面) となっています。LCDC は、この 2 面のレジスタを切り替えて使用します。また、2 面あるレジスタの場合、ミラーアドレスとして、常に使用していない面のレジスタにアクセスできるアドレスも用意してあります。

表39.3 レジスタ構成

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラー アドレス	
LCDC バレットデータレジスタ	LDPR00 ~ LDPRFF	R/W	H'FE94 0000 ~ H'FE94 03FC	-	-	32
LCD ドットクロックパターン レジスタ 1	MLDDCKPAT1R	R/W	H'FE94 0400	-	-	32
LCD ドットクロックパターン レジスタ 2	MLDDCKPAT2R	R/W	H'FE94 0404	-	-	32
LCDC ドットクロックレジスタ	LDDCKR	R/W	H'FE94 0410	-	-	32
ドットクロックストップレジスタ	LDDCKSTPR	R/W	H'FE94 0414	-	-	32
LCD モジュールタイプレジスタ 1	MLDMT1R	R/W	H'FE94 0418	H'FE94 1418	H'FE94 2418	32
LCD モジュールタイプレジスタ 2	MLDMT2R	R/W	H'FE94 041C	H'FE94 141C	H'FE94 241C	32
LCD モジュールタイプレジスタ 3	MLDMT3R	R/W	H'FE94 0420	H'FE94 1420	H'FE94 2420	32
LCD データフォーマットレジスタ	MLDDFR	R/W	H'FE94 0424	H'FE94 1424	H'FE94 2424	32
LCD スキャンモードレジスタ 1	MLDSM1R	R/W	H'FE94 0428	H'FE94 1428	H'FE94 2428	32
LCD スキャンモードレジスタ 2	MLDSM2R	R/W	H'FE94 042C	-	-	32
LCD 表示データ取り込み開始 アドレスレジスタ 1	MLDSA1R	R/W	H'FE94 0430	H'FE94 1430	H'FE94 2430	32
LCD 表示データ取り込み開始 アドレスレジスタ 2	MLDSA2R	R/W	H'FE94 0434	H'FE94 1434	H'FE94 2434	32
LCD 表示データ格納メモリ ラインサイズレジスタ	MLDMLSR	R/W	H'FE94 0438	H'FE94 1438	H'FE94 2438	32
LCD 水平キャラクタナンバー レジスタ	MLDHCNR	R/W	H'FE94 0448	H'FE94 1448	H'FE94 2448	32
LCD 水平同期信号レジスタ	MLDHSYNR	R/W	H'FE94 044C	H'FE94 144C	H'FE94 244C	32
LCD 垂直ラインナンバーレジスタ	MLDVLNR	R/W	H'FE94 0450	H'FE94 1450	H'FE94 2450	32
LCD 垂直同期信号レジスタ	MLDVSYNR	R/W	H'FE94 0454	H'FE94 1454	H'FE94 2454	32
LCD 水平バーシャル画面レジスタ	MLDHPDR	R/W	H'FE94 0458	H'FE94 1458	H'FE94 2458	32
LCD 垂直バーシャル画面レジスタ	MLDVPDR	R/W	H'FE94 045C	H'FE94 145C	H'FE94 245C	32
LCD パワーマネジメントレジスタ	MLDPMR	R/W	H'FE94 0460	-	-	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A面)	アドレス (B面)	ミラー アドレス	
LCDC バレット制御レジスタ	LDPALCR	R/W	H'FE94 0464	-	-	32
LCDC 割り込みレジスタ	LDINTR	R/W	H'FE94 0468	-	-	32
LCDC ステータスレジスタ	LDSR	R	H'FE94 046C	-	-	32
LCDC 制御レジスタ 1	LDCNT1R	R/W	H'FE94 0470	-	-	32
LCDC 制御レジスタ 2	LDCNT2R	R/W	H'FE94 0474	-	-	32
LCDC レジスタ面制御レジスタ	LDRCNTR	R/W	H'FE94 0478	-	-	32
LCDC 入力画像データスワップレジスタ	LDDDSR	R/W	H'FE94 047C	-	-	32
LCDC レジスタ面強制指定レジスタ	LDRCR	R/W	H'FE94 0484	-	-	32
LCDC ドライバライトデータレジスタ 0	LDDWD0R	R/W	H'FE94 0800	-	-	32
LCDC ドライバライトデータレジスタ 1	LDDWD1R	R/W	H'FE94 0804	-	-	32
LCDC ドライバライトデータレジスタ 2	LDDWD2R	R/W	H'FE94 0808	-	-	32
LCDC ドライバライトデータレジスタ 3	LDDWD3R	R/W	H'FE94 080C	-	-	32
LCDC ドライバライトデータレジスタ 4	LDDWD4R	R/W	H'FE94 0810	-	-	32
LCDC ドライバライトデータレジスタ 5	LDDWD5R	R/W	H'FE94 0814	-	-	32
LCDC ドライバライトデータレジスタ 6	LDDWD6R	R/W	H'FE94 0818	-	-	32
LCDC ドライバライトデータレジスタ 7	LDDWD7R	R/W	H'FE94 081C	-	-	32
LCDC ドライバライトデータレジスタ 8	LDDWD8R	R/W	H'FE94 0820	-	-	32
LCDC ドライバライトデータレジスタ 9	LDDWD9R	R/W	H'FE94 0824	-	-	32
LCDC ドライバライトデータレジスタ A	LDDWDAR	R/W	H'FE94 0828	-	-	32
LCDC ドライバライトデータレジスタ B	LDDWDBR	R/W	H'FE94 082C	-	-	32
LCDC ドライバライトデータレジスタ C	LDDWDCCR	R/W	H'FE94 0830	-	-	32
LCDC ドライバライトデータレジスタ D	LDDWDDR	R/W	H'FE94 0834	-	-	32
LCDC ドライバライトデータレジスタ E	LDDWDER	R/W	H'FE94 0838	-	-	32
LCDC ドライバライトデータレジスタ F	LDDWDFR	R/W	H'FE94 083C	-	-	32
LCDC ドライバライトデータレジスタ	LDDRDR	R/W	H'FE94 0840	-	-	32
LCDC ドライバライトアクセスレジスタ	LDDWAR	R/W	H'FE94 0900	-	-	32
LCDC ドライバライトアクセスレジスタ	LDDRAR	R/W	H'FE94 0904	-	-	32

表39.4 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
LDPR00 ~ LDPRFF	初期化	初期化	保持	保持	初期化	初期化	保持
MLDDCKPAT1R	初期化	初期化	保持	保持	初期化	初期化	保持
MLDDCKPAT2R	初期化	初期化	保持	保持	初期化	初期化	保持
LDDCKR	初期化	初期化	保持	保持	初期化	初期化	保持
LDDCKSTPR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDMT1R	初期化	初期化	保持	保持	初期化	初期化	保持
MLDMT2R	初期化	初期化	保持	保持	初期化	初期化	保持
MLDMT3R	初期化	初期化	保持	保持	初期化	初期化	保持
MLDDFR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDSM1R	初期化	初期化	保持	保持	初期化	初期化	保持
MLDSM2R	初期化	初期化	保持	保持	初期化	初期化	保持
MLDSA1R	初期化	初期化	保持	保持	初期化	初期化	保持
MLDSA2R	初期化	初期化	保持	保持	初期化	初期化	保持
MLDMLSR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDWBFR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDWBCNTR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDWBAR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDHCNR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDHSYNR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDVLNR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDVSYNR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDHPDR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDVPDR	初期化	初期化	保持	保持	初期化	初期化	保持
MLDPMR	初期化	初期化	保持	保持	初期化	初期化	保持
LDPALCR	初期化	初期化	保持	保持	初期化	初期化	保持
LDINTR	初期化	初期化	保持	保持	初期化	初期化	保持
LDSR	初期化	初期化	保持	保持	初期化	初期化	保持
LDCNT1R	初期化	初期化	保持	保持	初期化	初期化	保持
LDCNT2R	初期化	初期化	保持	保持	初期化	初期化	保持
LDRCNTR	初期化	初期化	保持	保持	初期化	初期化	保持
LDDDSR	初期化	初期化	保持	保持	初期化	初期化	保持
LDRCR	初期化	初期化	保持	保持	初期化	初期化	保持

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
LDDWD0R ~ LDDWDFR	初期化	初期化	保持	保持	初期化	初期化	保持
LDDRDR	初期化	初期化	保持	保持	初期化	初期化	保持
LDDWAR	初期化	初期化	保持	保持	初期化	初期化	保持
LDDRAR	初期化	初期化	保持	保持	初期化	初期化	保持

39.3.1 LCDC パレットデータレジスタ 00 ~ FF (LDPR00 ~ LDPRFF)

LDPRnn は、パレットメモリにパレットデータを設定するためのレジスタです。本レジスタ群の該当するレジスタを経由して、任意のパレットメモリにアクセスしてください。一つ一つのレジスタは、R、G、B おおの 8 ビットずつの有効領域を含む 32 ビットのレジスタです。カラーパレットの詳細仕様、および設定方法については「39.4.2 カラーパレット仕様について」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	PALDnn[23:16]							
初期値:	0	0	0	0	0	0	0	0	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PALDnn[15:0]															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
23 ~ 0	PALDnn[23:0]	不定	R/W	パレットデータ

【注】 nn = 00 ~ FF

39.3.2 LCD ドットクロックパターンレジスタ 1 (MLDDCKPAT1R)

LCDC は LDDCKR で選択したソースクロックを分周することでドットクロックを生成します。MLDDCKPAT1R は MLDDCKPAT2R と組み合わせてドットクロック出力パターンを設定するレジスタです。ドットクロックの設定例は「39.4.7 ドットクロック設定例」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	DCKPAT1[59:48]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCKPAT1[47:32]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
27~0	DCKPAT1[59:32]	H'000 0000	R/W	ドットクロックパターン 1[59:32] ソースクロックを分周したドットクロック出力パターンの上位 28 ビットを設定します (MLDDCKPAT2R と合わせて最大 60 ビット)。 LDDCKR.MDCDR に設定した値が 60 未満の場合は、MSB 側が Don't Care となります。

39.3.3 LCD ドットクロックパターンレジスタ 2 (MLDDCKPAT2R)

MLDDCKPAT2R は、ドットクロック出力パターンの下位 32 ビットを設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DCKPAT1[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DCKPAT1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DCKPAT1[31:0]	H'0000 0000	R/W	ドットクロックパターン 1[31:0] ソースクロックを分周したドットクロック出力パターンの下位 32 ビットを設定します (MLDDCKPAT1R と合わせて最大 60 ビット)。

39.3.4 LCDC ドットクロックレジスタ (LDDCKR)

LDDCKR は、入力クロックを選択し、出力するドットクロックの分周比を設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ICKSEL[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	MOSEL	MDCDR[5:0]					
初期値:	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
17, 16	ICKSEL[1:0]	00	R/W	入力クロック選択* ドットクロックの供給クロックを選択します。 00: バスクロック (B ϕ) を選択 01: 周辺クロック (P ϕ) を選択 10: 外部クロック (LCDLCLK) を選択 11: 設定禁止
15, 14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
13~10	-	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値は必ず1にしてください。
9~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	MOSEL	0	R/W	出力クロック選択 出力するドットクロックとして、分周比が 1/1 のクロック、または本レジスタで設定した分周比のクロックのいずれかを選択します。 0: 1/1 分周以外を使用 1: 1/1 分周を使用
5~0	MDCDR[5:0]	111100	R/W	クロック分周比 入力クロック分周比 (n/m) の分母値 (m) を設定します。 分周比の分母値 (m) は、60、54、48、42 以外の数値は設定できません。 本フィールドの値は、MLDDCKPAT1R および MLDDCKPAT2R に設定するパターンのビット数と合うように設定してください。

【注】 * CPG により、バスクロックと周辺クロックの周波数を同一に設定した場合は、バスクロックを選択 (ICKSEL ビット = B'00) してください。

39.3.5 ドットクロックストップレジスタ (LDDCKSTPR)

LDDCKSTPR は、LCDC ドットクロックの停止 / 再開を制御するレジスタです。

ドットクロック停止 再供給する場合、DCKSTP ビットを 1 に設定し、DCKSTS ビットが 1 になったことを確認してから、各種設定を行い、ドットクロック再供給を行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DCKSTS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DCKSTP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。
16	DCKSTS	0	R	ドットクロックステータス LCDC 内のドットクロックが停止しているときに 1 にセットされます。 0: ドットクロック供給中 1: ドットクロック停止中
15~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。
0	DCKSTP	0	R/W	ドットクロック停止 / 再開制御 LCDC 内のドットクロックの停止 / 再開を指示します。 0: ドットクロック供給 1: ドットクロック停止

39.3.6 LCD モジュールタイプレジスタ 1 (MLDMT1R)

LCDC では、LCD モジュールタイプレジスタ 1~3 を用いて、接続する液晶パネルに適合するインタフェースモード、制御信号極性、データバス幅、アクセスサイクル数等を設定することが可能です。

MLDMT1R は、インタフェース (RGB / SYS) の選択、制御信号の極性や出力制御等を行うレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	VPOL	HPOL	DW POL	DI POL	DA POL	-	-	-	-	-	-	HS CNT	DW CNT
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	YM	IFM	-	-	-	-	-	-	-	-	MIFTYP[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
28	VPOL	0	R/W	垂直同期信号極性選択 本ビットは、VSYNC 出力モード (MLDMT2R の VSEL ビット = 0) 時、RGB インタフェースもしくは SYS インタフェースで液晶モジュールに接続する際の VSYNC 信号極性を選択します。また、本ビットは、VSYNC 入力モード (MLDMT2R の VSEL ビット = 1) の場合、入力する VSYNC 信号の極性を変更します。LCDC 内部の VSYNC 信号極性はハイアクティブですので、これに合わせて極性を変更してください。 <ul style="list-style-type: none"> • VSYNC 出力モード時 0: VSYNC 信号はハイアクティブ 1: VSYNC 信号はローアクティブ • VSYNC 入力モード時 0: VSYNC 信号の極性を反転しない 1: VSYNC 信号の極性を反転する
27	HPOL	0	R/W	水平同期信号極性選択 本ビットは、RGB インタフェースで液晶モジュールに接続する際の HSYNC 信号極性を選択します。IFM ビットが RGB インタフェースモード時のみ有効となります。 0: HSYNC 信号はハイアクティブ 1: HSYNC 信号はローアクティブ
26	DW POL	1	R/W	ドットクロック極性選択 本ビットは、RGB インタフェースで液晶モジュールに接続する際のドットクロック信号極性を選択します。 0: ドットクロックの立ち下がりエッジでデータをラッチ 1: ドットクロックの立ち上がりエッジでデータをラッチ

ビット	ビット名	初期値	R/W	説明
25	DIPOL	0	R/W	表示イネーブル極性選択 本ビットは、RGB インタフェースで液晶モジュールに接続する際の表示イネーブル信号極性を選択します。IFM ビットが RGB インタフェースモード時のみ有効となります。 0：表示イネーブル信号はハイアクティブ 1：表示イネーブル信号はローアクティブ
24	DAPOL	0	R/W	表示データ極性選択 本ビットは、RGB インタフェースもしくは SYS インタフェースで液晶モジュールに接続する際の表示データ極性を選択します。 SYS インタフェース時、本ビットの設定は表示データにのみ有効となり、接続する液晶ドライバへのコマンドやインストラクションには影響しません。 0：表示データはハイアクティブ 1：表示データはローアクティブ
23~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
17	HSCNT	0	R/W	HSYNC 信号出力制御 本ビットは、垂直帰線期間中の HSYNC 出力信号を制御します。IFM ビットが RGB インタフェースモード時のみ有効となります。 0：垂直帰線期間で HSYNC を出力する 1：垂直帰線期間で HSYNC を出力しない
16	DWCNT	0	R/W	ドットクロック制御 本ビットは、RGB インタフェースモード時の水平 / 垂直帰線期間中のドットクロック信号を制御します。 0：水平 / 垂直帰線期間でドットクロックを出力する 1：水平 / 垂直帰線期間でドットクロックを出力しない
15、14	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
13	YM	0	R/W	YCbCr 出力モード設定 本ビットがセットされたときは、YCbCr 出力モードとして動作します。 0：通常動作モード 1：YCbCr 出力動作モード
12	IFM	0	R/W	インタフェースモード設定 液晶モジュールと接続する際のインタフェースモードを設定します。 0：RGB インタフェースモード 1：SYS インタフェースモード
11~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
3~0	MIFTYP[3:0]	1010	R/W	液晶モジュール設定 IFM ビットで選択された液晶モジュールの種類を設定します (表 39.5、図 39.17 参照)。

表39.5 液晶モジュール設定

- IFMビット = B'0

MIFTYP[3:0]	説明
B'0000	RGB8 (24bpp、3 回転送、8:8:8)
B'0001	リザーブ
B'0010	リザーブ
B'0011	リザーブ
B'0100	RGB9 (18bpp、2 回転送、9:9)
B'0101	RGB12a (24bpp、2 回転送、12:12)
B'0110	RGB12b (12bpp、1 回転送)
B'0111	RGB16 (16bpp、1 回転送)
B'1000	リザーブ
B'1001	リザーブ
B'1010	RGB18 (18bpp、1 回転送)
B'1011	RGB24 (24bpp、1 回転送)
B'1100 ~ B'1111	リザーブ

- IFMビット = B'1

MIFTYP[3:0]	説明
B'0000	SYS8a (24bpp、3 回転送、8:8:8)
B'0001	SYS8b (18bpp、3 回転送、8:8:2)
B'0010	SYS8c (18bpp、3 回転送、2:8:8)
B'0011	SYS8d (16bpp、2 回転送、8:8)
B'0100	SYS9 (18bpp、2 回転送、9:9)
B'0101	SYS12 (24bpp、2 回転送、12:12)
B'0110	リザーブ
B'0111	SYS16a (16bpp、1 回転送)
B'1000	SYS16b (18bpp、2 回転送、16:2)
B'1001	SYS16c (18bpp、2 回転送、2:16)
B'1010	SYS18 (18bpp、1 回転送)
B'1011	SYS24 (24bpp、1 回転送)
B'1100 ~ B'1111	リザーブ

39.3.7 LCD モジュールタイプレジスタ 2 (MLDMT2R)

MLDMT2R は、SYS インタフェース使用時のライトウェイト制御、アクセスステータス表示を行うレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	CSUP[2:0]			RSV	VSEL	WCSC[7:0]							
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WCEC[7:0]							WCLW[7:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
28~26	CSUP[2:0]	001	R/W	チップセレクトセットアップ期間設定 本ビットは、SYS I/F の表示データ転送時、表示データを転送する際のチップセレクトのセットアップ期間 (LCDCS ~ LCDWR の期間) を設定します。
25	RSV	0	R/W	VSYNC モードレジスタセレクト極性設定 本ビットは、SYS インタフェース時、表示データを転送する際のレジスタセレクト極性を設定します。 0: レジスタセレクトはロー 1: レジスタセレクトはハイ
24	VSEL	0	R/W	VSYNC 入出力モード選択 本ビットは、SYS インタフェース時、接続する液晶モジュールの VSYNC 入出力モードを選択します。本ビットは SYS インタフェースで液晶モジュールに接続している時のみ有効です。本ビットを変更できるのは LDCNT2R の DO ビットが 0 のときのみです。 0: VSYNC 出力モード (LCDC が VSYNC を出力) 1: VSYNC 入力モード (LCDC は外部からの VSYNC を受け付け、それに応じて表示データ / コマンドを出力)
23~16	WCSC[7:0]	H'00	R/W	セットアップ期間設定 SYS I/F のコマンド転送時、ライトストロープ (LCDWR) のセットアップ期間 (LCDCS ~ LCDWR の期間) をバスクロック単位で設定します。
15~8	WCEC[7:0]	H'00	R/W	ライトサイクル期間設定 SYS I/F のコマンド転送時、チップセレクト (LCDCS) のサイクル期間をバスクロック単位で設定します。
7~0	WCLW[7:0]	H'00	R/W	ロー期間設定 SYS I/F のコマンド転送時、ライトストロープのロー期間をバスクロック単位で設定します。

39.3.8 LCD モジュールタイプレジスタ 3 (MLDMT3R)

MLDMT3R は、SYS インタフェース使用時のリードウェイト制御を行うレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	RDLC[5:0]						RCSC[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCEC[7:0]								RCLW[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
29~24	RDLC[5:0]	00000	R/W	リードデータラッチ設定 SYS インタフェースのコマンド転送時、リードデータをラッチするタイミングをバスクロック単位で設定します。
23~16	RCSC[7:0]	H'00	R/W	セットアップ期間設定 SYS インタフェースのコマンド転送時、リードストロープのセットアップ期間をバスクロック単位で設定します。
15~8	RCEC[7:0]	H'00	R/W	リードサイクル期間設定 SYS インタフェースのコマンド転送時、チップセレクト (LCDCS) のサイクル期間をバスクロック単位で設定します。
7~0	RCLW[7:0]	H'00	R/W	ロー期間設定 SYS インタフェースのコマンド転送時、リードストロープのロー期間をバスクロック単位で設定します。

39.3.9 LCD データフォーマットレジスタ (MLDDFR)

MLDDFR は、入力画像データの種類を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CF	CC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	YF[1:0]	-	-	-	PKF[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
17	CF	0	R/W	YCbCr RGB 変換式指定 0: エクステンション型 RGB 変換式を使用 1: コンプレスト型 RGB 変換式を使用
16	CC	0	R/W	YCbCr RGB 変換指定 YCbCr RGB 変換の指定を行います。メモリ上にある表示データが YCbCr 形式の場合に指定します。 0: YCbCr RGB 変換を行わない 1: YCbCr RGB 変換を行う
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
9, 8	YF[1:0]	00	R/W	入力画像 YCbCr データバック形式 入力画像データが YCbCr 形式のときのバック形式を指定します。 MLDDFR の CC ビットが 1 のときのみ有効です。 00: 入力画像データが YCbCr4:2:0 形式 01: 入力画像データが YCbCr4:2:2 形式 10: 入力画像データが YCbCr4:4:4 形式 11: 設定禁止
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4~0	PKF[4:0]	00000	R/W	入力画像 RGB データバック形式指定 入力画像データが RGB 形式のときのバック形式を指定します。MLDDFR の CC ビットが 0 のときのみ有効です。 YCbCr のバック形式を表 39.6、RGB のバック形式を表 39.7 に示します。

【注】 LCDC が BEU と連動して動作する場合は、PKF ビット = B'00000 を設定してください。

表39.6 YCbCrのパック形式

YF[1:0]	YCbCr		ビット			
			31~24	23~16	15~8	7~0
B'00	4:2:0	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb2	Cr2
B'01	4:2:2	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb2	Cr2
B'10	4:4:4	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb1	Cr1
B'11	リザーブ					

表39.7 RGBのパック形式

PKF [4:0]	Bit Rate [bpp]	Phase	Bit																																	
			31~24								23~16								15~8								7~0									
B'00000	24	-	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0		
B'00001	24	-	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	0	0	0	0	0	0	0	0		
B'00010	24	0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	R1	R1	R1	R1	R1	R1	R1	R1			
		1	G1	G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	B1	B1	R2	R2	R2	R2	R2	R2	R2	R2	G2	G2	G2	G2	G2	G2	G2	G2			
		2	B2	B2	B2	B2	B2	B2	B2	R3	R3	R3	R3	R3	R3	R3	R3	G3	G3	G3	G3	G3	G3	G3	G3	B3	B3	B3	B3	B3	B3	B3	B3			
B'00011	16	-	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	R1	R1	R1	R1	R1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	B1	B1		
B'00111	18	-	0	0	0	0	0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0		
B'01000	12	-	0	0	0	0	R0	R0	R0	R0	G0	G0	G0	B0	B0	B0	B0	0	0	0	0	R1	R1	R1	R1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	
B'01001	18	0	0	0	R0	R0	R0	R0	R0	0	0	G0	G0	G0	G0	G0	G0	0	0	0	0	B0	B0	B0	B0	B0	0	0	R1	R1	R1	R1	R1	R1	R1	
		1	0	0	G1	G1	G1	G1	G1	0	0	B1	B1	B1	B1	B1	B1	0	0	0	0	R2	R2	R2	R2	R2	0	0	G2	G2	G2	G2	G2	G2	G2	G2
		2	0	0	B2	B2	B2	B2	B2	0	0	R3	R3	R3	R3	R3	R3	0	0	0	0	G3	G3	G3	G3	G3	0	0	B3	B3	B3	B3	B3	B3	B3	B3
B'01010	18	0	0	0	B0	B0	B0	B0	B0	0	0	G0	G0	G0	G0	G0	G0	0	0	0	0	R0	R0	R0	R0	R0	0	0	B1	B1	B1	B1	B1	B1	B1	B1
		1	0	0	G1	G1	G1	G1	G1	0	0	R1	R1	R1	R1	R1	R1	0	0	0	0	B2	B2	B2	B2	B2	0	0	G2	G2	G2	G2	G2	G2	G2	G2
		2	0	0	R2	R2	R2	R2	R2	0	0	B3	B3	B3	B3	B3	B3	0	0	0	0	G3	G3	G3	G3	G3	0	0	R3	R3	R3	R3	R3	R3	R3	R3
B'01011	24	0	B0	B0	B0	B0	B0	B0	B0	B0	G0	G0	G0	G0	G0	G0	G0	R0	R0	R0	R0	R0	R0	R0	R0	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	
		1	G1	G1	G1	G1	G1	G1	G1	G1	R1	R1	R1	R1	R1	R1	R1	B2	B2	B2	B2	B2	B2	B2	B2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2	
		2	R2	R2	R2	R2	R2	R2	R2	R2	B3	B3	B3	B3	B3	B3	B3	G3	G3	G3	G3	G3	G3	G3	G3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	
B'01100	24	-	0	0	0	0	0	0	0	0	B0	B0	B0	B0	B0	B0	B0	G0	G0	G0	G0	G0	G0	G0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0		
B'01101	16	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0
B'01110	-	予約																																		
B'11111																																				

39.3.10 LCD スキャンモードレジスタ 1 (MLDSM1R)

MLDSM1R は、ワンショット/連続モードの選択、フル画面/パーシャル画面取得の選択を行います。詳しい設定方法については、「39.4.4 ワンショットモード」、「39.4.5 パーシャル画面モード」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PRD	-	-	-	-	-	-	-	OS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
8	PRD	0	R/W	パーシャルサイズリード設定 外部メモリから取得する表示データのサイズを設定します。 0: フルサイズ (= パネルサイズ) のデータを取得 1: パーシャルサイズのデータを取得
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	OS	0	R/W	ワンショットリード設定 外部メモリから、表示データを取得するモードを設定します。 0: 連続モード (パネルのリフレッシュレートに応じた表示データを取得) 1: ワンショットモード (MLDSM2R の OSTRG ビットをトリガとして取得)

39.3.11 LCD スキャンモードレジスタ 2 (MLDSM2R)

MLDSM2R は、ワンショットトリガを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	OSTRG
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	OSTRG	0	R/W	ワンショットトリガ 表示データ取得モードがワンショットモードの時、本ビットをセットすることにより、外部メモリから1フレーム分のデータを取得します。本ビットはワンショットの表示動作が開始されると0にクリアされます。 0: - 1: 1フレーム分のデータを取得

39.3.12 LCD 表示データ取り込み開始アドレスレジスタ 1 (MLDSA1R)

MLDSA1R は、メモリ内の表示データの開始アドレスを指定します。表示データが YCbCr 形式のときは、輝度信号の開始アドレスを指定します。表示データ取得先に BEU を指定した場合は、本レジスタは設定不要です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	SA[31:3]	H'0000 0000	R/W	表示データ開始アドレス メモリ内における表示データの開始アドレスを指定します。表示データが YCbCr 形式のときは輝度信号の開始アドレスを指定します。
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

39.3.13 LCD 表示データ取り込み開始アドレスレジスタ 2 (MLDSA2R)

MLDSA2R は、メモリ内の色差信号の表示データの開始アドレスを指定します。表示データが YCbCr 形式のときのみ有効です。表示データ取得先に BEU を指定した場合は、本レジスタは設定不要です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	SA[31:3]	H'0000 0000	R/W	表示データ開始アドレス メモリ内における色差信号の表示データの開始アドレスを指定します。表示データが YCbCr 形式のときのみ有効となります。
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

39.3.14 LCD 表示データ格納メモリラインサイズレジスタ (MLDMLSR)

MLDMLSR は、表示データが格納されているメモリの 1 ラインのサイズを指定します。垂直方向に 1 ラインインクリメントするときの値となります。表示データが YCbCr4:4:4 形式の色差信号に関しては、設定された値の 2 倍の値が使用されます。表示データ取得先に BEU を指定した場合は、本レジスタは設定不要です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LS[15:3]													-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
15~3	LS[15:3]	H'0000	R/W	ラインサイズ 表示データを格納するメモリの 1 ラインのサイズを指定します。表示データが YCbCr4:4:4 形式の色差信号のときは、2 倍の値が使用されます。
2~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

39.3.15 LCD 水平キャラクタナンバーレジスタ (MLDHCNR)

MLDHCNR は、液晶モジュールの横方向のサイズ、および水平帰線期間を含めた全体のスキャンサイズを指定するレジスタです。MLDHCNR はキャラクタ単位 (8 ドット) で設定してください。ただし、LCDC が BEU と連動して動作する場合は、BEU の水平出力サイズが LCDC の表示水平サイズとなります。その場合、HDCN ビットは BEU の親画面水平サイズ BSSZRn.BHSS(n : 親画面)と同じサイズとなるように設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	HDCN[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	HTCN[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
23~16	HDCN[7:0]	H'1E	R/W	水平表示キャラクタナンバー 水平画面方向の表示キャラクタ数を設定します (1 キャラクタ = 8 ドット単位)。 (例) 横幅 240 Pixel の液晶モジュールを使用する場合 HDCN ビット = (240 / 8) = 30 = H'1E
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
7~0	HTCN[7:0]	H'21	R/W	水平総キャラクタナンバー 水平画面方向の総キャラクタ数を設定します (1 キャラクタ = 8 ドット単位)。最小の水平帰線期間は 3 キャラクタ (24 ドット) です。

- 【注】
1. 水平方向の表示画素のデータ量は 1 ライン当たり 4K バイト以内に制限されます。たとえば、32 ビット/pixel (MLDDFR の PKF ビット = B'00000) の場合、水平方向の画素数は 1024 (キャラクタ数は 128) までとなります。
 2. HDCN、HTCN ビットが
HTCN = HDCN + 3
の関係を満足するように設定してください。

39.3.16 LCD 水平同期信号レジスタ (MLDHSYNR)

MLDHSYNR は、液晶モジュールの横方向の同期信号の発生タイミング、およびサイズを指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	HSYNW[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	HSYNP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
19~16	HSYNW[3:0]	H'1	R/W	水平同期信号幅 水平画面方向の同期信号幅をキャラクタ数で設定します(1キャラクタ=8ドット単位)。
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	HSYNP[7:0]	H'20	R/W	水平同期信号出力位置 水平画面方向の同期信号の出力位置をキャラクタ数で設定します(1キャラクタ=8ドット単位)。

【注】 HSYNW、HSYNP ビットが、
 HTCN HSYNP + HSYNW
 HSYNP HDCN + 1
 の関係を満足するように設定してください。

39.3.17 LCD 垂直ラインナンバーレジスタ (MLDVLNR)

MLDVLNR は、液晶モジュールの縦方向のサイズ、および垂直帰線期間を含めた全体の縦方向の長さを指定するレジスタです。ただし、LCDC が BEU と連動して動作する場合は、BEU の垂直出力サイズが LCDC の表示垂直サイズとなります。その場合、VDLN ビットは BEU の親画面垂直サイズ BSSZRn.BVSS(n: 親画面)と同じ設定にしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	VDLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VTLN[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	1	0	0	0	0	1	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
26~16	VDLN[10:0]	H'140	R/W	垂直表示ラインナンバー 垂直画面方向の表示ライン数を設定します (ライン単位)。 (例) 320 ラインの液晶モジュールを使用する場合 VDLN ビット = 320 = H'140
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
10~0	VTLN[10:0]	H'142	R/W	垂直総ラインナンバー 垂直画面方向の総ライン数を設定します (ライン単位)。総ライン数の最小値は 3 です。

- 【注】 1. VTLN、VDLN ビットが、
VTLN VDLN+1
の関係を満足するように設定してください。
2. VSYNC 入力モードのときは、入力される VSYNC の間隔よりも VTLN ビットで規定される 1 フレームの期間の方が短くなるように設定してください。コマンド発行の期間である垂直帰線期間は、表示動作終了後から VTLN ビットで規定されるフレーム終了のタイミングまでとなります。

39.3.18 LCD 垂直同期信号レジスタ (MLDVSYNR)

MLDVSYNR は、液晶モジュールの縦方向の同期信号の発生タイミング、および幅を指定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	VSYNW[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VSYNP[10:0]										
初期値:	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
19~16	VSYNW[3:0]	H'1	R/W	垂直同期信号幅 垂直画面方向の同期信号幅を設定 (ライン単位)。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
10~0	VSYNP[10:0]	H'141	R/W	垂直同期信号出力位置 垂直画面方向の同期信号の出力位置を設定 (ライン単位)。

- 【注】 VSYNP ビットが、
VTLN VSYNP
VSYNP VDLN+1
の関係を満足するように設定してください。

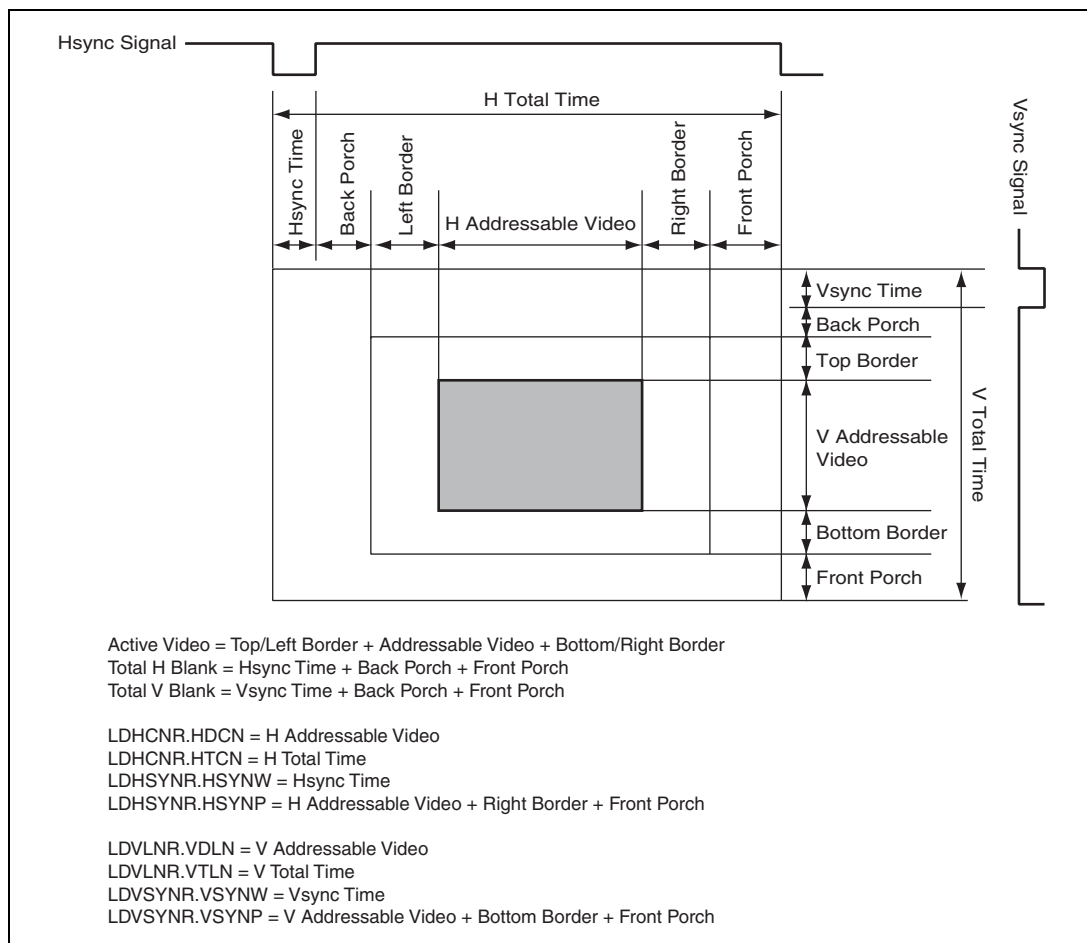


図39.2 有効な表示と帰線期間

39.3.19 LCD 水平パーシャル画面レジスタ (MLDHPDR)

MLDHPDR は、パーシャル画面モード時の水平方向の表示キャラクタ数、およびオフセットキャラクタ数を設定します。詳しい設定方法については「39.4.5 パーシャル画面モード」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	HPDCN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	HPDOCN[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
23~16	HPDCN[7:0]	H'00	R/W	水平パーシャル画面キャラクタ数 パーシャル画面モード時、パーシャル画面の水平方向の表示キャラクタ数を設定します(1キャラクタ=8ドット単位)。
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7~0	HPDOCN[7:0]	H'00	R/W	水平パーシャル画面オフセットキャラクタ数 パーシャル画面モード時、表示画面サイズに対するパーシャル画面の水平方向のオフセットをキャラクタ数で設定します(1キャラクタ=8ドット単位)。

39.3.20 LCD 垂直パーシャル画面レジスタ (MLDVPDR)

MLDVPDR は、パーシャル画面モード時の垂直方向の表示ライン数、およびオフセットライン数を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	VPDLN[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	VPDOLN[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
26~16	VPDLN[10:0]	H'000	R/W	垂直パーシャル画面ライン数 パーシャル画面モード時、パーシャル画面の垂直方向の表示ライン数を設定します(1キャラクタ=8ドット単位)。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
10~0	VPDOLN[10:0]	H'000	R/W	垂直パーシャル画面オフセットライン数 パーシャル画面モード時、表示画面サイズに対するパーシャル画面の垂直方向のオフセットを、ライン数で設定します。

39.3.21 LCD パワーマネジメントレジスタ (MLDPMR)

MLDPMR は、液晶モジュールに電源を供給する電源回路を制御する機能の設定を行うレジスタです。詳細は「39.4.6 パワーマネジメント」を参照してください。

液晶モジュールを使用していない場合は、必ず本レジスタを H'0000 0000 に設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ONA[3:0]				ONB[3:0]				ONC[3:0]				OFFD[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OFFE[3:0]				OFFF[3:0]				-	VC	VE	DO	-	-	LPS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~28	ONA[3:0]	0000	R/W	電源投入シーケンス期間 A 液晶モジュールの電源投入シーケンスにおいて、LCDVCPWC 端子から表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN、LCDRD) の出力開始までの期間をフレーム周期単位で設定します。VC ビットが 0 のときは必ず ONA ビットを H'0 に設定してください。
27~24	ONB[3:0]	0000	R/W	LCDC 電源投入シーケンス期間 B 液晶モジュールの電源投入シーケンスにおいて、表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN、LCDRD) の出力開始から LCDVEPWC 端子のアサートまでの期間をフレーム単位で設定します。VE ビットが 0 のときは必ず ONB ビットを H'0 に設定してください。
23~20	ONC[3:0]	0000	R/W	LCDC 電源投入シーケンス期間 C 液晶モジュールの電源投入シーケンスにおいて、LCDVEPWC 端子のアサートから LCDDON 端子のアサートまでの期間をフレーム単位で設定します。
19~16	OFFD[3:0]	0000	R/W	LCDC 電源遮断シーケンス期間 A 液晶モジュールの電源遮断シーケンスにおいて、LCDDON 端子のネゲートから LCDVEPWC 端子のネゲートまでの期間をフレーム単位で設定します。VE ビットが 0 のときは必ず OFFD ビットを H'0 に設定してください。
15~12	OFFE[3:0]	0000	R/W	LCDC 電源遮断シーケンス期間 B 液晶モジュールの電源遮断シーケンスにおいて、LCDVEPWC 端子のネゲートから表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN、LCDRD) の出力停止までの期間をフレーム単位で設定します。

ビット	ビット名	初期値	R/W	説明
11~8	OFFF[3:0]	0000	R/W	LCDC 電源遮断シーケンス期間 C 液晶モジュールの電源遮断シーケンスにおいて表示データ (LCDD) とタイミング信号 (LCDHSYN、LCDDCK、LCDDISP、LCDVSYN、LCDFRD) の出力停止から LCDVCPWC 端子のネゲートまでの期間をフレーム単位で設定します。VC ビットが 0 のときは必ず OFFF ビットを H'0 に設定してください。
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
6	VC	0	R/W	LCDVCPWC 端子イネーブル LCDVCPWC 端子を用いた電源制御シーケンス処理の有無を設定。 0 : LCDVCPWC 端子はロー固定 1 : LCDVCPWC 端子は、所定のシーケンスに従い、アサート、またはネゲートする
5	VE	0	R/W	LCDVEPWC 端子イネーブル LCDVEPWC 端子を用いた電源制御シーケンス処理の有無を設定。 0 : LCDVEPWC 端子はロー固定 1 : LCDVEPWC 端子は、所定のシーケンスに従い、アサート、またはネゲートする
4	DO	0	R/W	LCDDON 端子イネーブル LCDDON 端子を用いた電源制御シーケンス処理の有無を設定。 0 : LCDDON 端子はロー固定 1 : LCDDON 端子は、所定のシーケンスに従い、アサート、またはネゲートする
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
1, 0	LPS[1:0]	00	R	液晶モジュール電源入力状態 電源、制御機能を使用しているときの液晶モジュールの電源投入状態を示します。 00 : 液晶モジュールへの電源が遮断されている 11 : 液晶モジュールへの電源が投入されている

39.3.22 LCDC パレット制御レジスタ (LDPALCR)

本レジスタはパレットメモリへのアクセスモードを指定します。カラーパレットの詳細仕様、設定方法については「39.4.2 カラーパレット仕様について」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	MM	0	R/W	パレットモード パレットメモリの使用有無を指定します。 0: パレット未使用 1: パレット使用、かつパレットは24ビット入力で24ビット出力
15~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	PE	0	R/W	パレットリード/ライトイネーブル パレットメモリへのアクセス元を指定します。 0: LCDC がパレットメモリを使用 (ディスプレイモード) 1: ホスト (CPU) がパレットメモリを使用 (CPU アクセスモード)

39.3.23 LCDC 割り込みレジスタ (LDINTR)

LDINTR は、各種割り込みの開始点の指定、およびステータス表示を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	UILN[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	SE	UE	ME	MHE	FE	VSE	VEE	-	SS	US	MS	MHS	FS	VSS	VES
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
26~16	UILN[10:0]	H'000	R/W	ユーザ指定割り込み発生ラインナンバー ユーザ指定割り込みを発生させる位置を指定します。ユーザ指定割り込みは、本レジスタに設定されたライン数に対応する外部メモリからの画像イメージリードが完了したときに発生します。
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14	SE	0	R/W	フレーム開始割り込みイネーブル 液晶パネルにフレームの開始ピクセルを出力したときに割り込みを発生するかを設定します。ワンショットモードのときは、出力フレームのみ有効となります。 0: 液晶パネルにフレームの開始ピクセルを出力したときに割り込みを発生しない 1: 液晶パネルにフレームの開始ピクセルを出力したときに割り込みを発生する
13	UE	0	R/W	ユーザ指定割り込みイネーブル LCDC ユーザ指定割り込みを発生するかを設定します。 0: ユーザ指定割り込みを発生させない 1: ユーザ指定割り込みを発生する
12	ME	0	R/W	メモリアクセス割り込みイネーブル LCDC による外部メモリアクセスのフレームの終了時に割り込みを発生するかを設定します。 0: 外部メモリアクセスのフレームの終了時に割り込みを発生させない 1: 外部メモリアクセスのフレームの終了時に割り込みを発生させる
11	MHE	0	R/W	データメモリリード割り込みイネーブル 外部メモリアクセスのライン終了時に割り込みを発生するかを設定します。 0: 外部メモリアクセスのライン終了時に割り込みを発生させない 1: 外部メモリアクセスのライン終了時に割り込みを発生する

ビット	ビット名	初期値	R/W	説明
10	FE	0	R/W	<p>フレーム終了割り込みイネーブル</p> <p>液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生するかを設定します。ワンショットモードのときは、出力フレームのみ有効となります。</p> <p>0: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生させない</p> <p>1: 液晶パネルにフレームの最終ピクセルを出力したときに割り込みを発生する</p>
9	VSE	0	R/W	<p>VSYNC 開始割り込みイネーブル</p> <p>VSYNC 開始割り込みを発生するかを設定します。</p> <p>0: VSYNC 開始割り込みを発生させない</p> <p>1: VSYNC 開始割り込みを発生する</p>
8	VEE	0	R/W	<p>VSYNC 終了割り込みイネーブル</p> <p>VSYNC 終了割り込みを発生するかを設定します。</p> <p>0: VSYNC 終了割り込みを発生させない</p> <p>1: VSYNC 終了割り込みを発生する</p>
7	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
6	SS	0	R/W	<p>フレーム開始割り込み状態</p> <p>フレーム開始割り込みが発生した時点で 1 値を示します。ワンショットモードのときは、出力フレームのみ有効となります。フレーム開始割り込みに対する処理ルーチンの中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0: LCDC がフレーム開始割り込みを行っていない、またはフレーム開始割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC がフレーム開始割り込みを行い、処理済みの通知を受けていない状態を表す</p>
5	US	0	R/W	<p>ユーザ指定割り込み状態</p> <p>ユーザ指定割り込みが発生した時点で 1 値を示します。ユーザ指定割り込みに対する処理ルーチン中で、レジスタへの 0 書き込みでクリアしてください。</p> <p>0: LCDC がユーザ指定割り込みを行っていない、またはユーザ指定割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC がユーザ指定割り込みを行い、処理済みの通知を受けていない状態を表す</p>

ビット	ビット名	初期値	R/W	説明
4	MS	0	R/W	<p>メモリアクセス割り込み状態</p> <p>外部メモリアクセスのフレーム終了割り込みが発生した時点で1値を示します。外部メモリアクセスのフレーム終了割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。</p> <p>0: LCDC が外部メモリアクセスのフレーム終了割り込みを行っていない、または外部メモリアクセスのフレーム終了割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC が外部メモリアクセスのフレーム終了割り込みを行い、処理済みの通知を受けていない状態を表す</p>
3	MHS	0	R/W	<p>データメモリリード割り込み状態</p> <p>外部メモリアクセスのライン終了割り込みが発生した時点で1値を示します。外部メモリアクセスのライン終了開始割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。</p> <p>0: LCDC が外部メモリアクセスのライン終了割り込みを行っていない、または外部メモリアクセスのライン終了割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC が外部メモリアクセスのライン終了割り込みを行い、処理済みの通知を受けていない状態を表す</p>
2	FS	0	R/W	<p>フレーム終了割り込み状態</p> <p>フレーム終了割り込みが発生した時点で1値を示します。ワンショットモードのときは、出力フレームのみ有効となります。フレーム終了割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。</p> <p>0: LCDC がフレーム終了割り込みを行っていない、またはフレーム終了割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC がフレーム終了割り込みを行い、処理済みの通知を受けていない状態を表す</p>
1	VSS	0	R/W	<p>VSYNC 開始割り込み状態</p> <p>VSYNC 開始割り込みが発生した時点で1値を示します。VSYNC 開始割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。</p> <p>0: LCDC が VSYNC 開始割り込みを行っていない、または VSYNC 開始割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC が VSYNC 開始割り込みを行い、処理済みの通知を受けていない状態を表す</p>
0	VES	0	R/W	<p>VSYNC 終了割り込み状態</p> <p>VSYNC 終了割り込みが発生した時点で1値を示します。VSYNC 終了割り込みに対する処理ルーチン中で、レジスタへの0書き込みでクリアしてください。</p> <p>0: LCDC が VSYNC 終了割り込みを行っていない、または VSYNC 終了割り込み発生に対して処理済みの通知を受けた状態を表す</p> <p>1: LCDC が VSYNC 終了割り込みを行い、処理済みの通知を受けていない状態を表す</p>

39.3.24 LCDC ステータスレジスタ (LDSR)

LDSR は、LCDC 動作に関するステータスを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	MRLS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	MSS	-	MRS	-	-	-	-	-	-	AS	ST
初期値:	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~27	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
26~16	MRLS[10:0]	H'000	R	メモリリードライン状態 現在、外部メモリから読み出されているライン数を表示します。
15~11	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
10	MSS	1	R	LCDC ステータス LCDC の表示動作がイネールになっているかどうかを示します。 LDCNT2R の ME ビットが 1 のとき、本ビットは 0 になります。 0 : LCDC は有効 1 : LCDC は無効
9	-	0	R	リザーブビット 読み出すと常に0が読み出されます。
8	MRS	0	R	レジスタ面ステータス LCDC が使用しているレジスタ面を示します。 0 : A 面のレジスタを使用 1 : B 面のレジスタを使用
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。
1	AS	0	R	SYS インタフェースアクセスステータス 本ビットは SYS インタフェース時におけるアクセスステータスを示します。ステータスがビジーのときには、新しいトランザクションを発行しないでください。発行してもその動作は保証されません。 0 : フリー状態 1 : ビジー状態 (リード/ライトアクセス実行中、もしくは実行待ち)
0	ST	0	R	動作ステータス 本ビットは LCDC の動作状態を示します。 0 : 待機状態 1 : 動作状態

39.3.25 LCDC 制御レジスタ 1 (LDCNT1R)

LDCNT1R は、LCDC 動作期間中、液晶パネルへの表示データ出力有無を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	DE	1	R/W	ディスプレイネーブル LCDC 動作期間中、液晶パネルへの表示データ出力有無を設定します。 本ビットを0にすることによって、液晶パネルへの出力データを固定します。本ビットは0のときも、表示データ出力以外の LCDC 動作は実行しません。 0: 表示データを出力しない (ローもしくはハイ固定) 1: 表示データを出力する

39.3.26 LDCDC 制御レジスタ 2 (LDCNT2R)

LDCNT2R は、リセットの設定、液晶モジュールの表示動作を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SR	BR	-	-	-	-	MD	-	ME	DO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
9	SR	0	R/W	ソフトウェアリセット LDCDC 内のレジスタ以外すべての内部回路を初期化します。バスのトランザクションを保証します。ただし、BEU との連動動作時は BEU とのハンドシェイク動作を保証しません。ハンドシェイク動作中でも即座にリセットがかかります。ソフトウェアリセットをかける場合は、必ず2回以上かけてください。連動動作中にソフトウェアリセットをかける場合には、必ず BEU に先にリセットをかけてください。 0: 通常動作状態 1: リセット状態
8	BR	0	R/W	モジュールリセット LDCDC 内のレジスタ以外すべての内部回路を初期化します。バスのトランザクションを保証しません。BEU との連動動作時は BEU とのハンドシェイク動作を保証しません。ハンドシェイク動作中でも即座にリセットがかかります。連動動作中にソフトウェアリセットをかける場合には、必ず BEU に先にリセットをかけてください。 0: 通常動作状態 1: リセット状態
7~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
3	MD	0	R/W	表示データ取得先指定 表示データ取得先を指定します。表示データ取得先に BEU を指定した場合は、表示データ形式を RGB888 (MLDDFR の PKF ビット=0) に設定してください。 0: 表示データはメモリから取得 1: 表示データは BEU 経由で取得
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
1	ME	0	R/W	液晶イネーブル ディスプレイオン時に液晶モジュールに対する LCDC による表示動作のイネーブルを指定します。DO ビットを 0 にして表示オフにするときも、本ビットは 1 のままにしてください。 0 : LCDC は表示動作を行わない 1 : LCDC は表示動作を行う
0	DO	0	R/W	ディスプレイオン LCDC による表示動作の開始 / 終了を指示します。制御シーケンスの状態は MLDPMR の LPS ビットを参照することで確認できます。 なお、DO ビットを 1 にするときは、ME ビットを必ず 1 にしてください。 0 : LCDC の動作を終了 (表示オフモード) 1 : LCDC の動作を開始 (表示オンモード)

LCDC の表示動作開始時 / 動作終了時のシーケンスを示します。

- LCDC の表示動作開始時 (DO ビット B'0 B'1) :

1. LCDC の動作を開始します。
2. MLDPMR、および LDCNT2R で設定されたシーケンスに従い、液晶モジュールの電源を投入します。
MLDPMR の LPS ビットが B'00 B'11 になれば、所定のシーケンスは終了です。
所定のシーケンスが終了するまで、次の DO ビットの操作は行わないでください。

- LCDC の表示動作停止時 (DO ビット B'1 B'0) :

【注】 LDCNT2R の ME ビットは、B'1 のままとしてください。

1. MLDPMR、および LDCNT2R で設定されたシーケンスに従い、液晶モジュールの電源を遮断します。
2. LCDC の動作を停止します。
MLDPMR の LPS ビットが、B'11 B'00 になれば所定のシーケンスは終了です。
所定のシーケンスが終了するまで、DO ビットおよび ME ビットの操作は行わないでください。

39.3.27 LCDC レジスタ面切り替え制御レジスタ (LDRCNTR)

LDRCNTR は、レジスタ面を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MRS	MRC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	MRS	0	R/W	レジスタ面指定 フレーム表示動作終了時に同期して、LCDC が使用するレジスタ面を指定します。本ビットは MRC ビットが0のときのみ有効です。 0: A面のレジスタを使用 1: B面のレジスタを使用
0	MRC	0	R/W	レジスタ面切り替えイネーブル フレーム表示動作終了時に同期して、LCDC が使用するレジスタ面を切り替えるか指定します。切り替えない場合は MRS ビットで指定されたレジスタ面が使用されます。 0: フレーム表示動作終了時に同期して、指定されたレジスタ面を使用 1: フレーム表示動作終了時に同期して、レジスタ面を切り替え

39.3.28 LCDC 入力画像データスワップレジスタ (LDDDSR)

LDDDSR は、入力画像データのバイトスワップ、ワードスワップ、ロングワードスワップを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	LS	WS	BS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2	LS	0	R/W	入力画像データロングワードスワップ選択 入力画像データに対して、ロングワードスワップを行います。 0: ロングワードスワップを行わない 1: ロングワードスワップを行う
1	WS	0	R/W	入力画像データワードスワップ選択 入力画像データに対して、ワードスワップを行います。 0: ワードスワップを行わない 1: ワードスワップを行う
0	BS	0	R/W	入力画像データバイトスワップ選択 入力画像データに対して、バイトスワップを行います。 0: バイトスワップを行わない 1: バイトスワップを行う

【注】 LCDC は、データをビッグエンディアンで扱います。

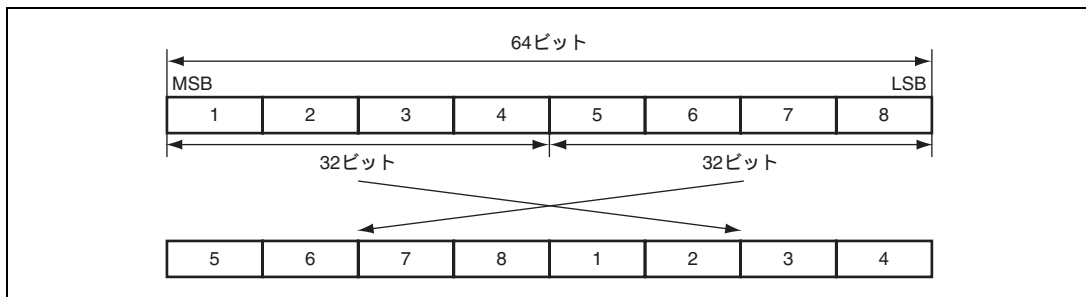


図39.3 ロングワードスワップ

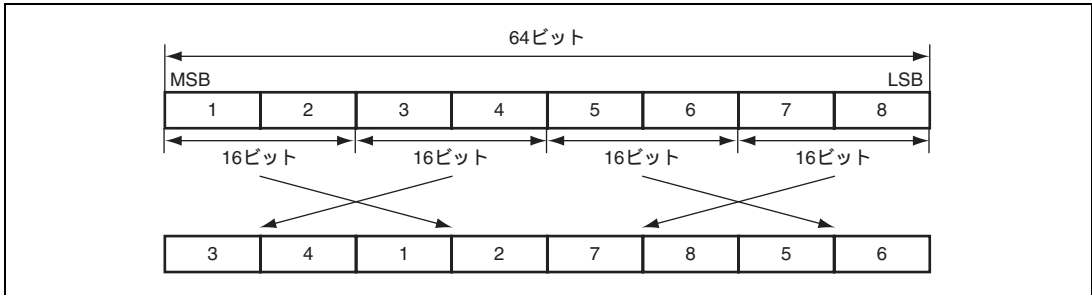


図39.4 ワードスワップ

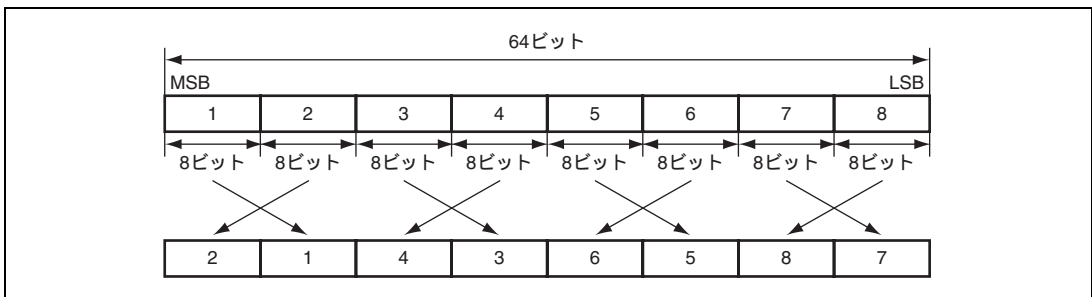


図39.5 バイトスワップ

39.3.29 LCDC レジスタ面強制指定レジスタ (LDRCR)

LDRCR は、レジスタ面を即座に強制指定する制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	MR	0	R/W	レジスタ面指定 LCDC が使用するレジスタ面を指定します。 0 : A面のレジスタを使用 1 : B面のレジスタを使用

39.3.30 LCDC ドライバライトデータレジスタ 0 ~ F (LDDWD0R ~ LDDWDFR)

LDDWDnR は、液晶ドライバライトデータ、レジスタセレクト (LCDRS) を設定するレジスタです。

DWD ビットにライトデータを設定する場合、どのビットのデータが有効なインストラクションになるのかは、液晶ドライバの仕様を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	WD ACT	-	-	-	RSW	-	-	-	-	-	-	-	DWD[17:16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DWD[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ~ 29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
28	WDACT	0	R/W	データライト選択 SYS インタフェース時、DWD ビットに設定されたライトデータを液晶ドライバに発行するか否かを指定します。 0 : DWD ビットに設定されたライトデータを液晶ドライバに発行しない 1 : DWD ビットに設定されたライトデータを液晶ドライバに発行する
27 ~ 25	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
24	RSW	0	R/W	ライトレジスタセレクト極性選択 SYS インタフェース時、CPU アクセスの書き込みサイクルにおけるレジスタセレクト (LCDRS) 極性を設定します。 0 : レジスタセレクトはロー 1 : レジスタセレクトはハイ
23 ~ 18	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
17 ~ 0	DWD[17:0]	H'0 0000	R/W	書き込みデータ SYS インタフェース時、液晶ドライバへのライトデータを設定します。

39.3.31 LCDC ドライバリードデータレジスタ (LDDRDR)

LDDRDR は、液晶ドライバリードデータの表示、レジスタセレクト (LCDRS) を設定するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	RSR	-	-	-	-	-	-	-	DRD[17:16]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRD[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~25	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
24	RSR	0	R/W	リードレジスタセレクト極性選択 SYS インタフェース時、CPU アクセスのリードサイクルにおけるレジスタセレクト (LCDRS) 極性を設定します。 0: レジスタセレクトはロー 1: レジスタセレクトはハイ
23~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
17~0	DRD[17:0]	H'0 0000	R	リードデータ SYS インタフェース時、液晶ドライバからリードデータが読み出されます。

39.3.32 LCDC ドライバライトアクセスレジスタ (LDDWAR)

LCDCは、WA ビットを B'1 にすることによって、液晶ドライバに対してライトトランザクションを発行します。ただし、LDDWDnR の WDACT ビットが B'1 である LDDWDnR の DWD ビットのデータが設定されます。また、書き込まれる順番は、LDDWD0R から LDDWD1R、LDDWD2R...となり、LDDWDnR の WDACT ビットが B'0 になったところで終了します。すべての WDACT ビットが B'1 の場合、LDDWDFR の書き込みを発行した時点で終了します。ライトトランザクションを発行するときは、必ず LDDWD0R の WDACT ビットを B'1 にしてください。ライトトランザクションの発行後、WA ビットは自動的に B'0 にクリアされます。

- 【注】
1. SYS インタフェースモード時、表示動作中に LCD ドライバへのライトトランザクションを発行する場合、垂直帰線期間を 2 ライン以上に設定してください。
 2. ライトトランザクションを発行する際は、LCD ドライバへのアクセスが完了するのに十分な時間が確保できるよう、垂直帰線期間を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	WA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
0	WA	0	R/W	ライトトランザクション発行 ライトトランザクションを発行します。 0: - 1: ライトトランザクション発行

39.3.33 LCDC ドライバリードアクセスレジスタ (LDDRAR)

LCDC は RA ビットを B'1 に設定することで、液晶ドライバに対してリードトランザクションを発行します。本レジスタにアクセス後、リードデータは LDDRDR の DRD ビットに格納されます。

- 【注】
1. SYS インタフェースモード時、表示動作中に LCD ドライバへのリードトランザクションを発行する場合、垂直帰線期間を 2 ライン以上に設定してください。
 2. リードトランザクションを発行する際は、LCD ドライバへのアクセスが完了するのに十分な時間が確保できるように、垂直帰線期間を設定してください。垂直帰線期間内にリードアクセスが終了しなかった場合、LDINTR の CA ビットが B'1 になります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RA
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
0	RA	0	R/W	リードトランザクション発行 リードトランザクションを発行します。 0 : - 1 : リードトランザクション発行

39.4 動作説明

39.4.1 LCDC 表示性能

- 液晶モジュール
TFTパネル、モジュールインタフェースは、RGBインタフェースと80系CPUバスインタフェース (SYSインタフェース) に対応
- 表示解像度
最大WXGA、HD (1280 × 720) クラスまで対応可能
- 表示色
最大1,677万色 (24ビットカラー)
- 表示色制御
256エントリ / 24ビット入力24ビット出力対応パレットメモリ内蔵
- データ極性反転制御
RGBインタフェース信号の極性反転、および表示データの反転

39.4.2 カラーパレット仕様について

LCDC は、1 エントリにつき 24 ビットデータ入力 / 24 ビットデータ出力で 256 エントリ同時使用可能なカラーパレットを内蔵しています。カラーパレットの設定は、LCDC を起動していない状態のときに行ってください。

カラーパレットは、以下の手順により、ユーザによる随時設定が可能です。

1. LDPALCRのPEビットがB'0 (初期値) : 通常表示モード
2. LDPALCRにアクセスし、PEビットをB'1に設定 : カラーパレット設定モードに移行
3. LDPRnn (nn = H'00 ~ H'FF) にアクセスし、PALDnnビットに必要な値を書き込む
4. LDPALCRにアクセスし、PEビットをB'0に設定 : 通常表示モードに戻る

カラーパレットのデータフォーマットを図 39.6 に示します。

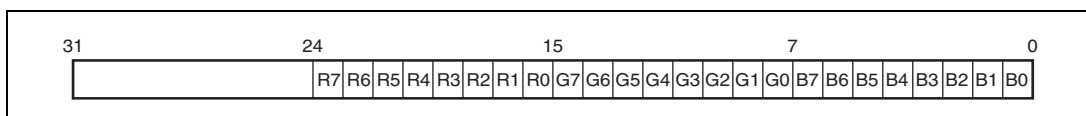


図39.6 カラーパレットデータフォーマット

LDPRnn の PALDnn ビットは、上記のようにビット[23:16]が R データ、ビット[15:8]が G データ、ビット[7:0]が B データにそれぞれ対応します。ビット[31:24]は無効です。

39.4.3 表示タイミングコントロール

表示解像度の設定は、LCD 水平キャラクタナンバーレジスタ (MLDHCNR)、LCD 水平同期信号レジスタ (MLDHSYNR)、LCD 垂直ラインナンバーレジスタ (MLDVLNR)、LCD 垂直同期信号レジスタ (MLDVSYNR) によって行います。

LCDC ドットクロックレジスタ (LDDCKR) で分周比を設定します。液晶モジュールのフレームレートは、上記のレジスタに設定された 1 画面分の表示期間 + 帰線期間 (非表示期間) と使用するクロックの周波数、さらに分周比により決定されます。

また、LCDC は、メモリから 1 フレームのリードが終了後、液晶モジュールにフレームの最終ピクセルを出力したとき、フレーム単位、およびユーザの指定した任意のライン単位での割り込みを発生する機能等を持っています。LCDC 割り込みレジスタ (LDINTR) を用いてその機能を設定します。

39.4.4 ワンショットモード

LCDC は、表示データを取得する際、動画のフレームレートに合わせて表示画像を間欠的に取得するワンショットモードをサポートします。

以下に使用例、注意事項を示します。

- 使用例1

1. MLDSM1RのOSビットをB'0'に設定：連続モード (初期値)
2. OSビットをB'1'に設定：ワンショットモードに移行
3. 画像を表示したいタイミングでMLDSM2RのOSTRGビットをB'1'に設定：1フレーム分の表示データを取得
4. 3を繰り返す
5. OSビットをB'0'に設定：連続モードに戻る

- 使用例2：ワンショットモードで連続的に表示データを取得する場合

1. MLDSM1RのOSビットをB'0'に設定：連続モード (初期値)
2. OSビットをB'1'に設定：ワンショットモードに移行
3. フレーム終了割り込みステータスを確認 (LDINTRのFSビット)
4. FSビットがB'1'であれば、MLDSM2RのOSTRGビットをB'1'に設定：1フレーム分の表示データを取得
5. FSビットをB'0'に設定：フレーム終了割り込みステータスのクリア
6. 3~5を繰り返す
7. OSビットをB'0'に設定：連続モードに戻る

【注】 MLDPMR の ONA、ONB、および ONC ビットのいずれかにオフセットを設定した場合 (HF 以外を設定)、最初に必ずトリガをかけてください。ただし、そのフレームの画像は出力されません。

39.4.5 パーシャル画面モード

LCDC は、表示データを取得する際、書き換え部分のみを取得するパーシャル画面モードをサポートします。以下に使用例、注意事項を示します。

- 使用例

1. MLDHPDR、MLDVPDRによりパーシャル画面サイズを設定する
2. MLDSM1RのPRDビットをB'0、OSビットをB'1に設定：全画面、ワンショットモード
3. LDCNT2RのDOビットをB'1に設定：LCDC起動
4. 全画面、ワンショットモードにより表示データを取得
5. パーシャル画面モードを使用する場合、表示データを取得していないときに、PRDビットをB'1、OSビットをB'1に設定：パーシャル画面、ワンショットモードへ移行
6. MLDSM2RのOSTRGビットをB'1に設定：パーシャル画面サイズの表示データを取得
7. 6を繰り返す
8. PRDビットをB'0、OSビットをB'1に設定：全画面、ワンショットモードへ戻る

- 【注】
1. MLDHPDR、MLDVPDR によるパーシャル画面サイズ+オフセット数が、全画面モードでの表示サイズを超えないように設定してください。
 2. 連続モード時の取得画面サイズの切り替え(全画面モード パーシャル画面モード、パーシャル画面サイズの変更)はサポートしていません。取得画面サイズの切り替えは、LCDC 停止中 (MLDPMR の LPS ビット = B'00)、もしくはワンショットモードで表示データを取得していないときに行ってください。

39.4.6 パワーマネジメント

ここではパワーマネジメントについて説明します。

通常、液晶モジュールは電源の投入遮断に関し、特定のシーケンス処理を必要としています。LCD パワーマネジメントレジスタ (MLDPMR)、LCDC 制御レジスタ 1 (LDCNT1R)、LCDC 制御レジスタ 2 (LDCNT2R) を設定することにより、液晶電源制御端子 (LCDVCPWC、LCDVEPWC、LCDDON) を使用して、液晶モジュールの要求に応じた多様な電源制御シーケンス処理を実行可能です。電源制御シーケンスの概略タイミングチャートを図 39.7 に示します。図中では、MLDPMR の ONA ビット、ONB ビット、ONC ビット、OFFD ビット、OFFE ビット、および OFFF ビットをそれぞれ ONA、ONB、ONC、OFFD、OFFE、および OFFF で表します。

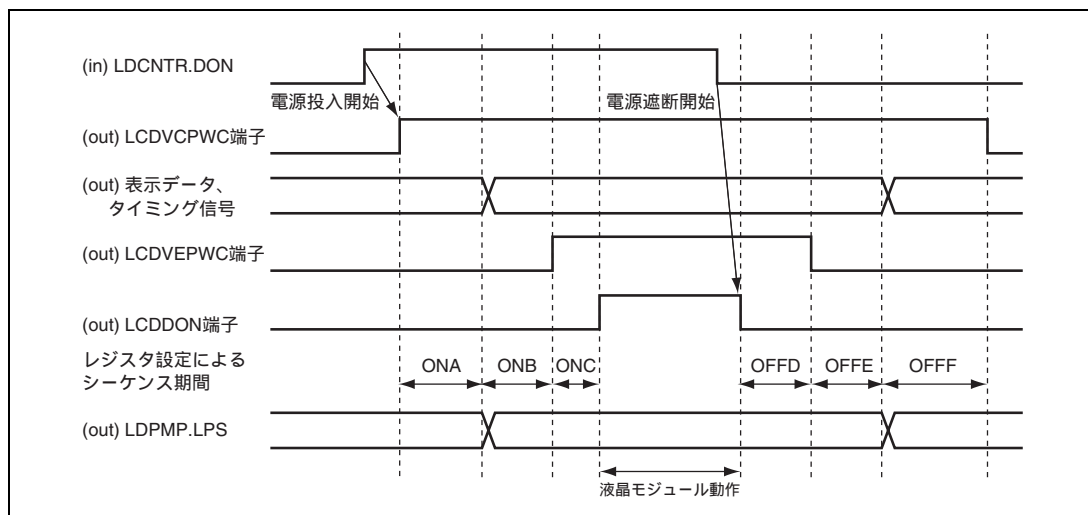


図39.7 電源制御シーケンスと液晶モジュールの動作状態

39.4.7 ドットクロック設定例

ドットクロックの設定例について説明します。ソースクロックを 33MHz、水平方向の総ドット数 (MLDHCNR の HTCN ビット) が 304 ドット、垂直画面方向の総ライン数 (MLDVLR の VTLN ビット) が 330 ラインの場合に、リフレッシュレート 55Hz を得たい場合を例とします。この場合のドットクロックパターン設定例を図 39.8 に示します。RGB インタフェースの 2 回転送、3 回転送モード時には、リフレッシュレートのそれぞれ 2 倍、3 倍になるようにドットクロックを設定してください。

なお、ドットクロックの設定 (MLDDCKPAT1R、MLDDCKPAT2R、LDDCKR) は LCDC が待機状態のときに行ってください。動作中にこれらの値を変更した場合、動作を保証しません。

分周比の分母 (m) は、60、54、48、42 以外の数値は設定できません。

$$33\text{MHz} \div (304 \times 330 \times 55\text{Hz}) = 5.98 \quad 6 \quad \text{分周比を } n/m=10/60 \text{ に設定}$$

LDDCKR の MDCDR ビット = H'3C

MLDDCKPAT1R の DCKPAT1 ビット = H'1C71C71

MLDDCKPAT2R の DCKPAT1 ビット = H'C71C71C7

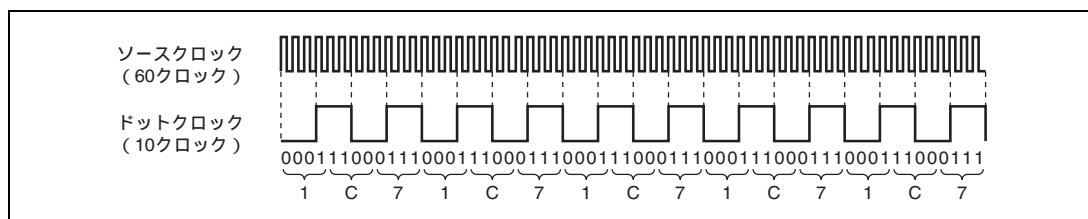


図39.8 ドットクロックパターン設定例

SYS インタフェース時、出力されるライトストロープ信号パターンは設定したドットクロックパターンの反転したパターンになります。

- 【注】 ドットクロックのソースクロックとして、B、P、LCDLCLK が選択できます。
P を選択する場合は、P を B より遅い周波数とし、クロック比 1:1 の設定は行わないでください。また、LCDLCLK を選択する場合は、LCDLCLK をジッタ込みで B と同じか遅い周波数としてください。

39.4.8 BEU との連動動作

LCDC は BEU から画像データを取得し、LCD パネルに表示動作を行うことができます。

(1) 開始手順

1. BEUのレジスタ設定を行います。ここで、BEUは出力先にLCDCを選択してください。レジスタ設定の詳細は「39.3 レジスタの説明」を参照してください。
2. BEUに起動をかけます。これで、BEUはLCDCからのリクエスト待ち状態になります。
3. LCDCのレジスタ設定を行います。LCDCではデータ取得先をBEUに設定してください。
4. LCDCに起動をかけます。これで連動して動作します。

設定例を以下に示します。ここでは QCIF サイズ (176×144) の画像をブレンドなしで出力する場合の例を示します。

- BEUレジスタ設定:

BSMWR1	H'000000B0	(画像のメモリ幅設定: 176)
BSSZR1	H'009000B0	(画像サイズの設定: 176 × 144)
BSAYR1	H'0C000000	(画像 (Y) の格納エリア: H'0C000000)
BSACR1	H'0C400000	(画像 (CbCr) の格納エリア: H'0C400000)
BSIFR1	H'00000000	(画像フォーマット: YCbCr444)
BBLCR0	H'00000000	(ブレンド設定)
BBLCR1	H'00040000	(親画面設定、LCDC出力設定)
BESTR	H'00000101	(BEU起動設定)

- LCDCレジスタ設定:

通常のレジスタ設定を行う		(ドットクロック設定、LCDパネル設定等)
MLDDFR	H'00000000	(入力データフォーマット: RGB888指定)
MLDHCNR.HDCN	H'16	(水平サイズ設定: 22キャラクタ[176画素])
MLDVLNR.VDLN	H'90	(垂直サイズ: 144ライン)
LDCNT2R	H'0000000B	(取得先BEU指定、LCDC起動設定)

(2) 終了手順

1. LCDCを表示OFFモードにします (LDCNT2R.DO = 0に設定する)。
2. LCDCの動作終了を待つ (MLDPMR.LPS = 0を待つ)。
3. BEUに終了をかけます (BESTR = 0に設定する)。

- 【注】
1. BEU と LCDC との連動動作時にリセットをかける場合、BEU LCDC の順にリセットをかけるようにしてください。
 2. LCDC の入力画像サイズは BEU の出力画像サイズと同じ値を設定するようにしてください。
 3. BEU と LCDC の連動動作のときは、データ形式は RGB888 で受け渡されます。入力データフォーマットは RGB888 (MLDDFR = 0 : 0RGB) に指定してください。
 4. 表示データを BEU から取得する場合、水平方向の画素数は 1024 ドット (= 128 キャラクタ) 以下としてください。レジスタ面切り替え機能を使用する場合、LCDC と BEU は同期してレジスタ面が切り替わります。LCDC のフレーム終了割り込みを使用し、LCDC、BEU のレジスタ設定を行うようにしてください。
 5. LDCNT2R の ME ビットは 1 のままにしてください。

39.4.9 YCbCr 出力動作

YCbCr 出力動作モードについて説明します。

この動作モードは、MLDMT1R.YM = 1 に設定されたときの動作となります。入力された YCbCr4:2:0 データに対して RGB 変換を行わず、設定されたタイミングに従い YCbCr4:2:2 データとして出力します。図 39.9 に出力信号の例、図 39.10 に有効な表示と帰線期間を示します。

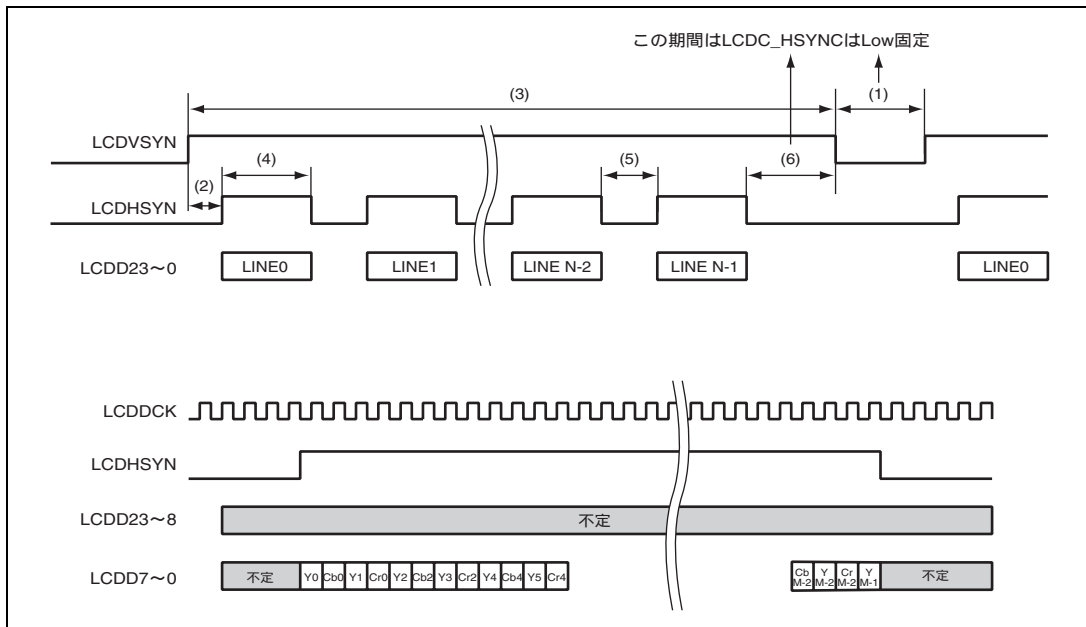


図39.9 YCbCr 動作モードの出力信号の例

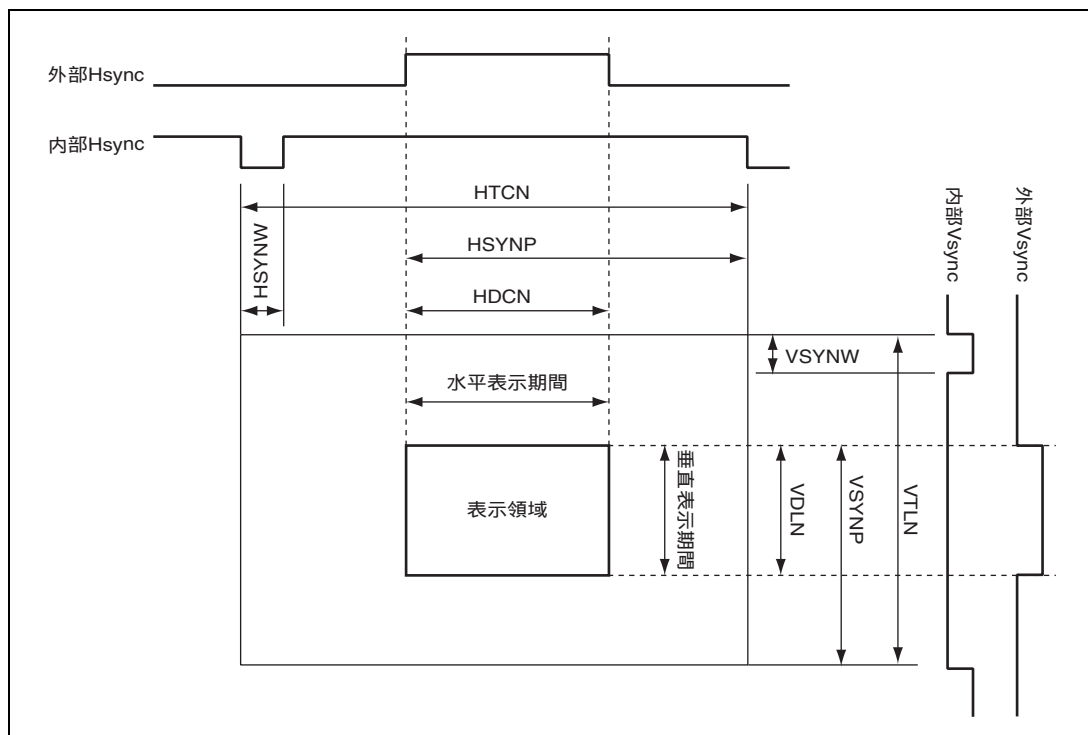


図39.10 YCbCr 動作モードの有効な表示と帰線期間

YCbCr 動作モード時の有効な表示と帰線期間は、RGB インタフェース時と同じです。ただし、設定されたタイミングに従い内部用の水平同期信号と垂直同期信号を発生させ動作しますが、外部に出力する同期信号は全く別の信号になります。外部に出力する水平同期信号は、水平表示期間にアサートされます。これは、垂直が表示期間 (Vsync がアサートされている) の場合のみアサートされます。外部に出力する垂直同期信号は、垂直表示期間にアサートされます。

本モード時には、設定値に以下の制限があります。

$$\text{MLDHCNR.HTCN} = \text{MLDHCNR.HDCN} + 20$$

$$\text{MLDHSYNR.HSYNP} = \text{MLDHCNR.HDCN} + 10$$

$$\text{MLDHSYNR.HSYNW} = 3$$

$$\text{MLDVLNR.VTLN} = \text{MLDVLNR.VDLN} + 20$$

$$\text{MLDVSYNR.VSYNP} = \text{MLDVLNR.VDLN} + 10$$

$$\text{MLDVSYNR.VSYNW} = 4$$

図 39.9 の (1) ~ (6) のサイクル数を以下に示します。

$$(1) = \text{MLDHCNR} \cdot \text{HTCN} \times 320$$

$$(2) = 160$$

$$(3) = \text{MLDVLNR} \cdot \text{VDLN} \times \text{MLDHCNR} \cdot \text{HTCN} \times 8 \times 2$$

$$(4) = \text{MLDHCNR} \cdot \text{HDCN} \times 8 \times 2$$

$$(5) = 320$$

$$(6) = 160$$

ドットクロックの設定は、RGB インタフェースの 2 回転送と同様の設定にしてください。すなわち、リフレッシュレートの 2 倍になるようにドットクロックを設定してください。

YCbCr 動作モード時は、入力データは YCbCr4:2:0 データのみ可能となります。この動作モード時には、RGB 変換を行わず、データは YCbCr4:2:2 にパックされ出力されます。

データ形式を図 39.11 に示します。

出力データ	LCDD[23]	LCDD[22]	LCDD[21]	LCDD[20]	LCDD[19]	LCDD[18]	LCDD[17]	LCDD[16]	LCDD[15]	LCDD[14]	LCDD[13]	LCDD[12]	LCDD[11]	LCDD[10]	LCDD[9]	LCDD[8]	LCDD[7]	LCDD[6]	LCDD[5]	LCDD[4]	LCDD[3]	LCDD[2]	LCDD[1]	LCDD[0]	
1画素目 (1回目、Y[7:0])																									
1画素目 (2回目、Cb[7:0])																									
2画素目 (1回目、Y[7:0])																									
2画素目 (2回目、Cr[7:0])																									

図39.11 YCbCr 動作モードの出力フォーマット

YCbCr 動作モード時は、パーシャル画面モード、カラーパレットは使用できません。これらは使用しないように設定をしてください。

YCbCr 動作モード時は、画像サイズは SQCIF (128 × 96)、QCIF (176 × 144)、QVGA (320 × 240)、CIF (352 × 288)、VGA (640 × 480) のみサポートします。

39.5 レジスタ設定方法

39.5.1 2面レジスタの切り替えタイミング

LCDCは、レジスタを2面持っています。レジスタ面が切り替わるタイミングは、液晶のフレーム表示を終了し、フレーム終了割り込みが発生したときです。

レジスタ面の切り替えおよびフレーム終了割り込み発生のタイミングを図39.12に示します。フレーム終了割り込みが発生したら、次のフレーム用のレジスタ設定を行うようにしてください。

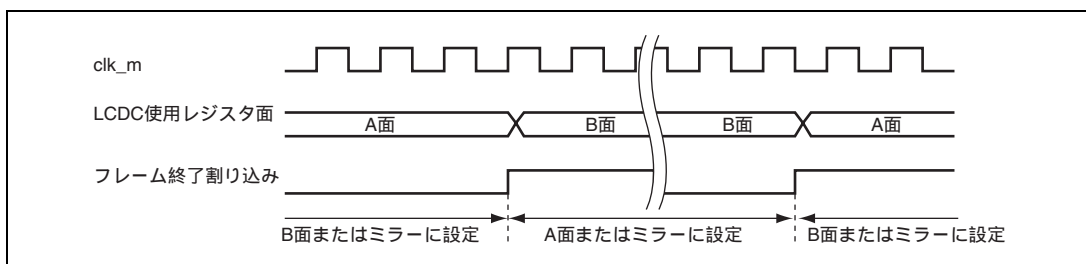


図39.12 割り込みとレジスタ設定のタイミング

39.6 クロックと液晶データ信号例

(1) 16ビットデータバス、1サイクル1回転送、TFT液晶モジュール 240×320Pixel (RGBインタフェース接続)

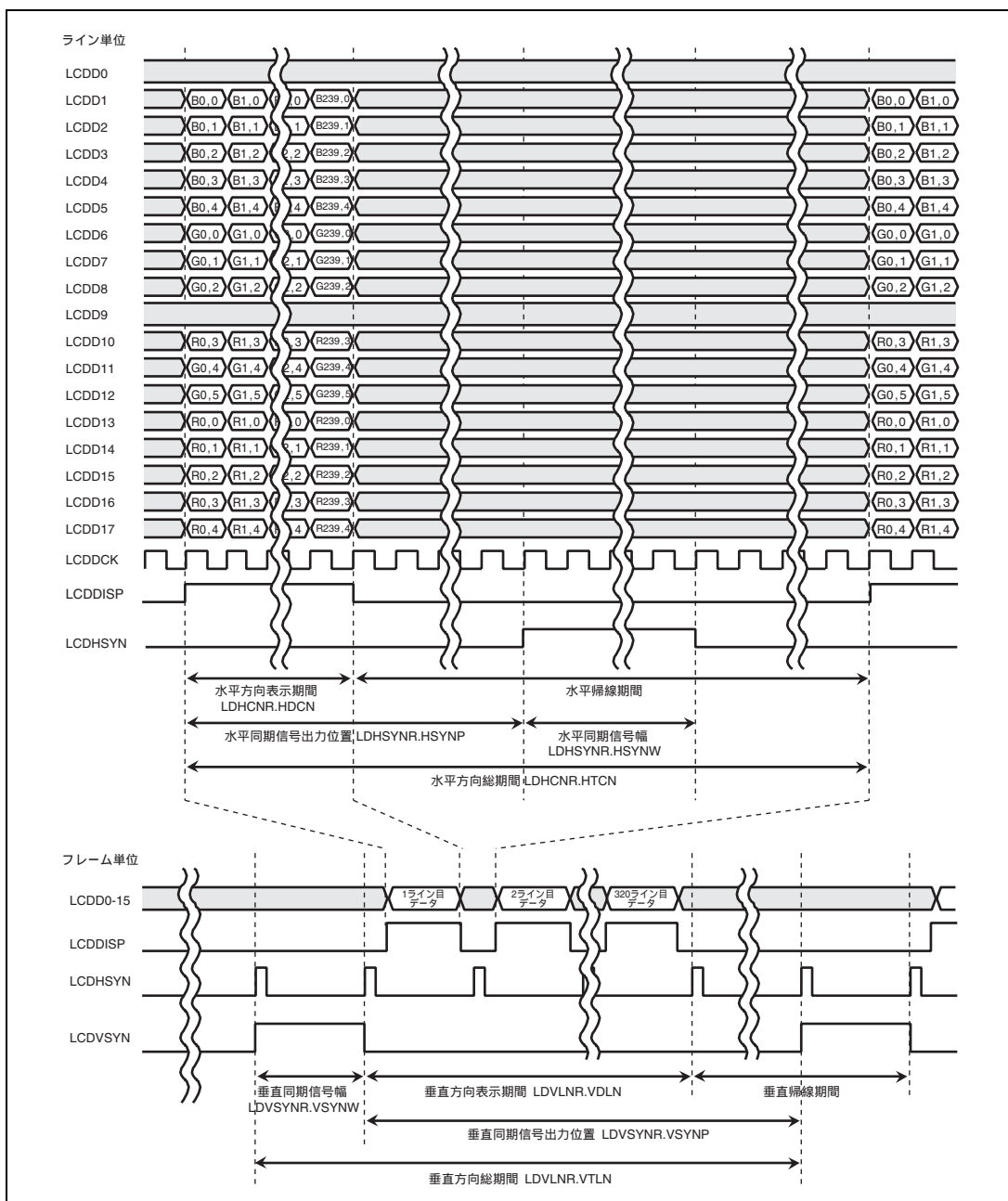


図39.13 クロックと液晶データ信号例 (1)

(2) 16ビットデータバス、1サイクル1回転送、TFT液晶モジュール240×320Pixel (SYSインタフェース接続)

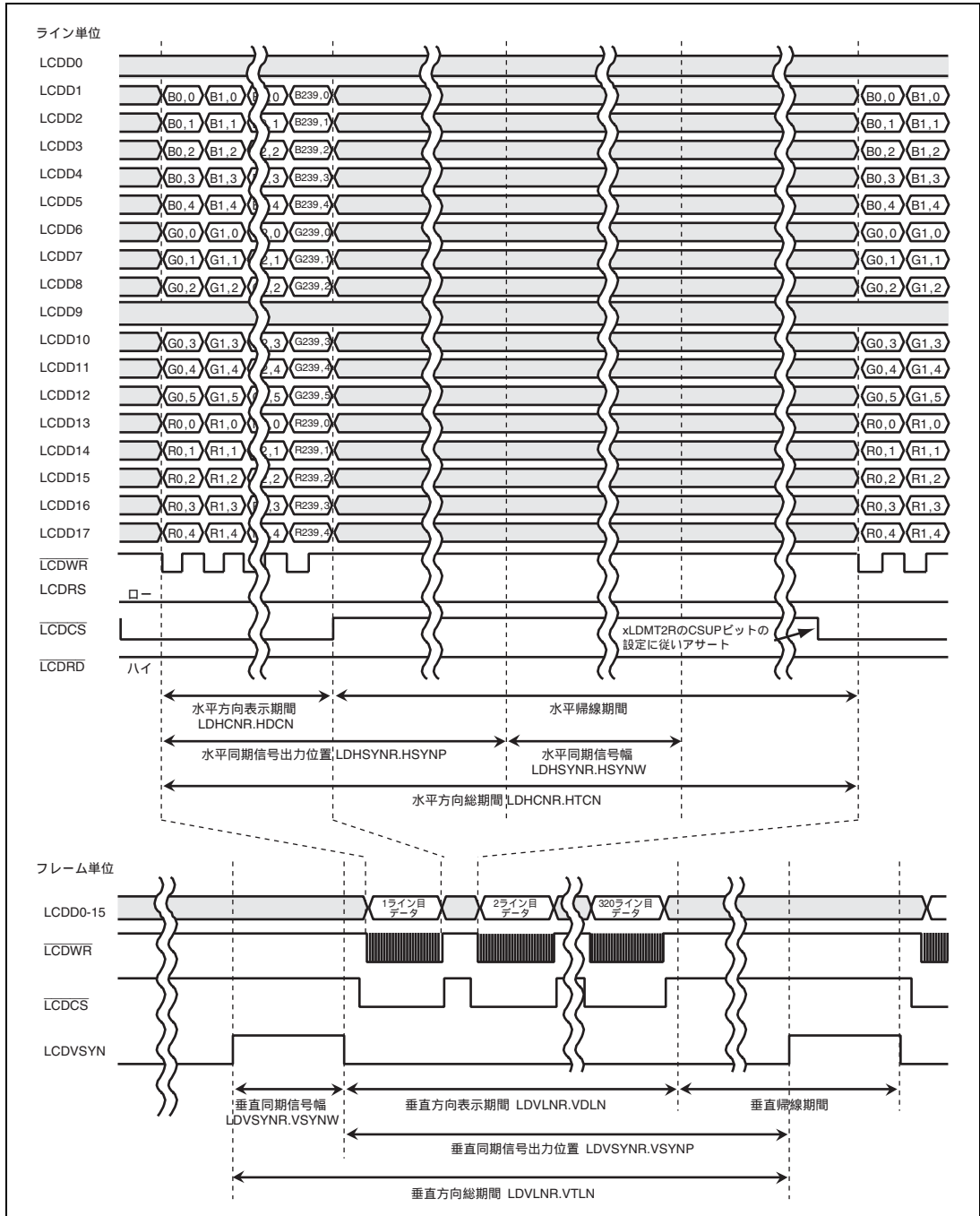


図39.14 クロックと液晶データ信号例 (2)

(3) 16ビットデータバス、1サイクル1回転送、TFT液晶モジュール240×320Pixel (SYSインタフェース接続、コマンド転送時)

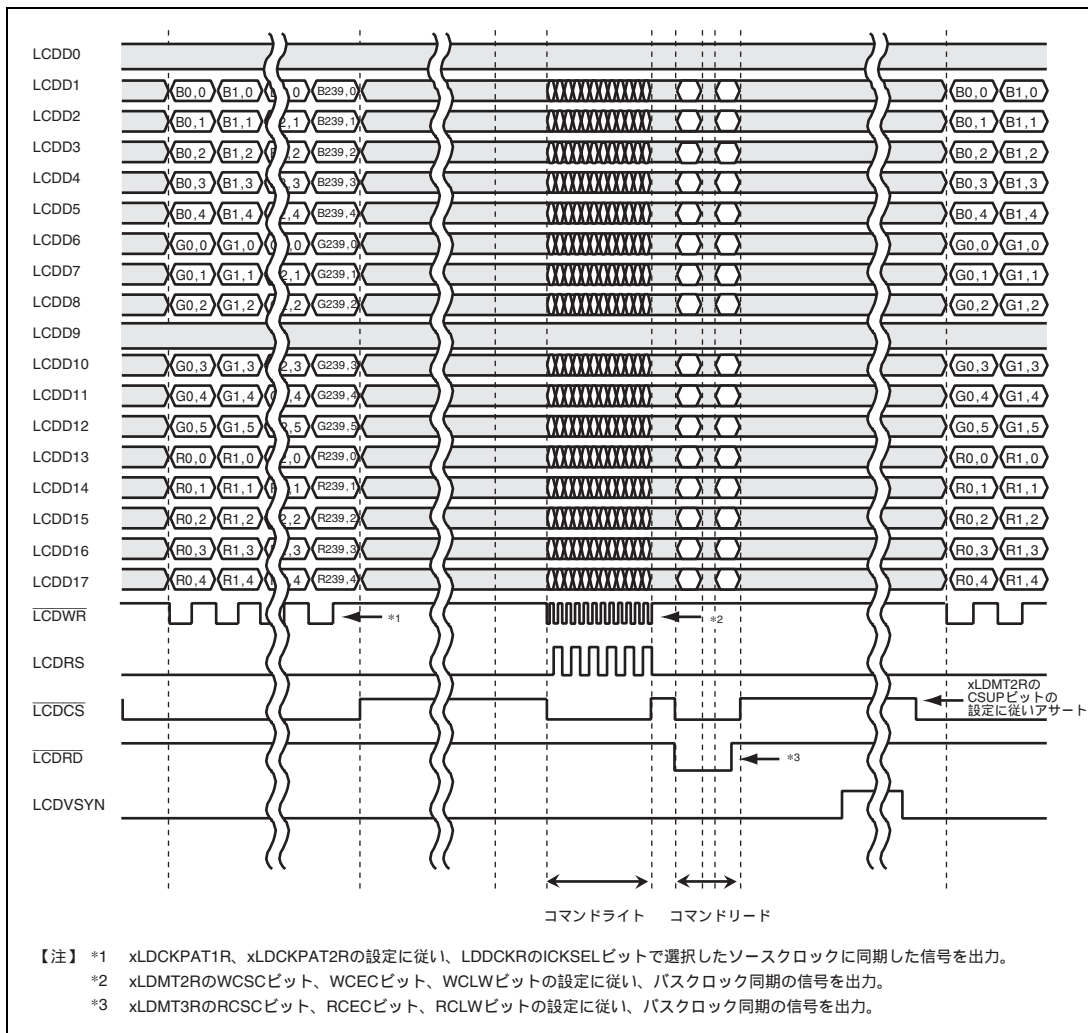


図39.15 クロックと液晶データ信号例 (3)

39.7 データフォーマット

39.7.1 LCD 出力データフォーマット

LCD パネルに出力するデータフォーマットを図 39.16 に示します。

出力データ		LCDD 23	LCDD 22	LCDD 21	LCDD 20	LCDD 19	LCDD 18	LCDD 17	LCDD 16	LCDD 15	LCDD 14	LCDD 13	LCDD 12	LCDD 11	LCDD 10	LCDD 9	LCDD 8	LCDD 7	LCDD 6	LCDD 5	LCDD 4	LCDD 3	LCDD 2	LCDD 1	LCDD 0
SYS8a(1回目)	24bpp							R7	R6	R5	R4	R3	R2	R1	R0										
SYS8a(2回目)								G7	G6	G5	G4	G3	G2	G1	G0										
SYS8a(3回目)								B7	B6	B5	B4	B3	B2	B1	B0										
SYS8b(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6										
SYS8b(2回目)								G5	G4	G3	G2	B7	B6	B5	B4										
SYS8b(3回目)														B3	B2										
SYS8c(1回目)	18bpp													R7	R6										
SYS8c(2回目)								R5	R4	R3	R2	G7	G6	G5	G4										
SYS8c(3回目)								G3	G2	B7	B6	B5	B4	B3	B2										
SYS8d(1回目)	16bpp							R7	R6	R5	R4	R3	G7	G6	G5										
SYS8d(2回目)								G4	G3	G2	B7	B6	B5	B4	B3										
SYS9(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6	G5									
SYS9(2回目)								G4	G3	G2	B7	B6	B5	B4	B3	B2									
SYS12(1回目)	24bpp							R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4						
SYS12(2回目)								G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0						
SYS16a(1回目)	16bpp							R7	R6	R5	R4	R3	G7	G6	G5		G4	G3	G2	B7	B6	B5	B4	B3	
SYS24(1回目)	24bpp	R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4	G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0
SYS16b(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6		G5	G4	G3	G2	B7	B6	B5	B4	
SYS16b(2回目)								B3	B2																
SYS16c(1回目)	18bpp							R7	R6																
SYS16c(2回目)								R5	R4	R3	R2	G7	G6	G5	G4		G3	G2	B7	B6	B5	B4	B3	B2	
SYS18(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6	G5	G4	G3	G2	B7	B6	B5	B4	B3	B2
RGB8(1回目)	24bpp							R7	R6	R5	R4	R3	R2	R1	R0										
RGB8(2回目)								G7	G6	G5	G4	G3	G2	G1	G0										
RGB8(3回目)								B7	B6	B5	B4	B3	B2	B1	B0										
RGB9(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6	G5									
RGB9(2回目)								G4	G3	G2	B7	B6	B5	B4	B3	B2									
RGB12a(1回目)	24bpp							R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4						
RGB12a(2回目)								G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0						
RGB12b(1回目)	12bpp							R7	R6	R5	R4	G7	G6	G5	G4	B7	B6	B5	B4						
RGB16(1回目)	16bpp							R7	R6	R5	R4	R3	G7	G6	G5		G4	G3	G2	B7	B6	B5	B4	B3	
RGB18(1回目)	18bpp							R7	R6	R5	R4	R3	R2	G7	G6	G5	G4	G3	G2	B7	B6	B5	B4	B3	B2
RGB24(1回目)	24bpp	R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4	G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0

図39.16 LCD 出力データフォーマット

39.8 使用上の注意事項

39.8.1 ユーザ指定割り込みについての注意事項

LCDC の画像データ入力フォーマットが YCbCr420 のとき、ユーザ指定割り込みは以下の動作となります。

1. ユーザ指定割り込み位置を画像の縦ライン数の半分以下の値に設定した場合、1フレームに2回ユーザ指定割り込みが出力されます。最初の割り込み位置は正常です。最初のユーザ指定割り込みのみを検知してください。
2. ユーザ指定割り込み位置を画像の縦ライン数の半分より大きい値を設定した場合、ユーザ指定割り込みは発生しません。画像の縦ライン数の半分より大きい値 (n) を設定するときは、 n を設定するのではなく、 $(n - \text{画像縦幅}/2)$ を設定し、2回目の割り込みを本来の割り込み位置として検出してください。

40. ビデオ出力ユニット (VOU)

VOU(Video Output Unit)は BEU(Blend Engine Unit), もしくはメモリから取得した画像データを ITU-R BT.601、または ITU-R BT.656 に準拠したデジタルデータとして出力します。また、画像データの拡大処理を行うことができます。

40.1 特長

VOU は、以下の特長を持ちます。

- 対応映像方式 : NTSC、PAL
- 出力デジタルレベル : ITU-R BT.601準拠、ITU-R BT.656準拠
- 出力インタフェース : Y/C 16ビットインタフェース
YC多重8ビットインタフェース
- 出力タイミング : Y/C 16ビットインタフェース時 13.5MHz
YC多重8ビットインタフェース時 27MHz
- 出力ピクセル周波数 : 13.5MHz
27MHz
- 入力対応画像 : sub-QCIF、QVGA、WQVGA、VGA
- 最大出力画像サイズ : 720 × 240 (NTSC)、720 × 288 (PAL) / フィールド
- 入力画像フォーマット : YCbCr 4:2:0、4:2:2、4:4:4
: RGB
- 画像拡大機能 : 水平方向 1倍、1.125倍、2倍、2.25倍、4倍
垂直方向 1倍、2倍、4倍
- RGB YCbCr変換機能 : RGBデータを取得しYCbCrに変換して出力
- レジスタ2重化 : レジスタを2重化することによりレジスタアクセスを容易化

【注】 画像サイズは水平、垂直ともに4画素単位です。

ブロック図を図 40.1 に示します。

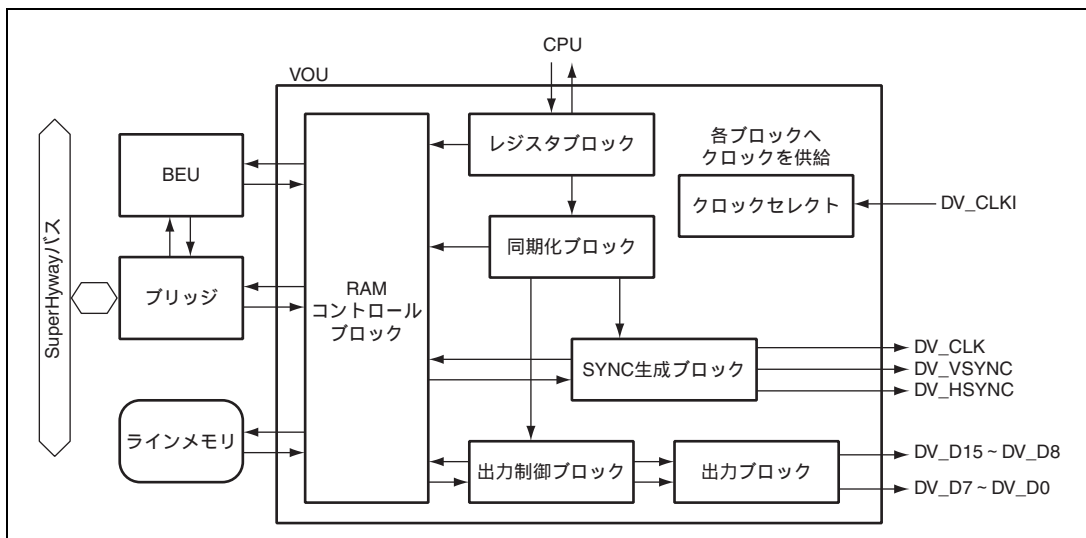


図40.1 VOUのブロック図

40.2 端子構成

端子構成を表 40.1 に示します。

表40.1 端子構成

端子名	機能	入出力	説明
DV_CLK	ピクセルクロック出力	出力	ピクセルクロック出力 (13.5MHz、27MHz)
DV_VSYNC	垂直同期信号	出力	VOU が出力する垂直同期信号
DV_HSYNC	水平同期信号	出力	VOU が出力する水平同期信号
DV_D15 ~ DV_D8	データ出力	出力	ピクセルデータ上位 (Y: 16 ビットインタフェース時) (YC: YC 多重 8 ビット時) (Rec656 出力時)
DV_D7 ~ DV_D0	データ出力	出力	ピクセルデータ下位 (C: 16 ビットインタフェース時) (0: YC 多重 8 ビット時) (0: Rec656 出力時)
DV_CLKI	ビデオクロック入力	入力	ビデオクロック入力端子 (27MHz)

40.3 レジスタの説明

VOU のレジスタ構成を表 40.2 に示します。また、各処理モードにおけるレジスタの状態を表 40.3 に示します。

VOU のレジスタは一部を除いて 2 面構成 (A 面、B 面) となっています。VOU はこの 2 面のレジスタを切り替えて使用します。また、2 面あるレジスタの場合、常に使用していない面のレジスタにアクセスできるミラーアドレスも用意してあります。

表40.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラー アドレス	
VOU 起動レジスタ	VOUER	R/W	H'FE96 0000	-	-	32
VOU 制御レジスタ	VOUCR	R/W	H'FE96 0004	H'FE96 1004	H'FE96 2004	32
VOU ステータスレジスタ	VOUSTR	R/W	H'FE96 0008	-	-	32
VOU ビデオ制御レジスタ	VOUVCR	R/W	H'FE96 000C	H'FE96 100C	H'FE96 200C	32
VOU 入力画像サイズレジスタ	VOUISR	R/W	H'FE96 0010	H'FE96 1010	H'FE96 2010	32
VOU バックカラーレジスタ	VOUBCR	R/W	H'FE96 0014	H'FE96 1014	H'FE96 2014	32
VOU 表示位置レジスタ	VOUDPR	R/W	H'FE96 0018	H'FE96 1018	H'FE96 2018	32
VOU 表示サイズレジスタ	VOUDSR	R/W	H'FE96 001C	H'FE96 101C	H'FE96 201C	32
VOU 有効画素開始位置レジスタ	VOUVPR	R/W	H'FE96 0020	H'FE96 1020	H'FE96 2020	32
VOU 割り込みレジスタ	VOUIR	R/W	H'FE96 0024	-	-	32
VOU リセットレジスタ	VOUSRR	R/W	H'FE96 0028	-	-	32
VOU モード設定レジスタ	VOUMSR	R/W	H'FE96 002C	H'FE96 102C	H'FE96 202C	32
VOU 水平同期間隔レジスタ	VOUHIR	R/W	H'FE96 0030	H'FE96 1030	H'FE96 2030	32
VOU 入力画像データフォーマット レジスタ	VOUDFR	R/W	H'FE96 0034	H'FE96 1034	H'FE96 2034	32
VOU 入力画像データ格納先頭アド レスレジスタ 1	VOUAD1R	R/W	H'FE96 0038	H'FE96 1038	H'FE96 2038	32
VOU 入力画像データ格納先頭アド レスレジスタ 2	VOUAD2R	R/W	H'FE96 003C	H'FE96 103C	H'FE96 203C	32
VOU 入力画像データアドレスイン クリメントレジスタ	VOUAIR	R/W	H'FE96 0040	H'FE96 1040	H'FE96 2040	32
VOU 入力画像データスワップ レジスタ	VOUSWR	R/W	H'FE96 0044	-	-	32
VOU レジスタ面切り替えレジスタ	VOURCR	R/W	H'FE96 0048	-	-	32
VOU レジスタ面強制指定レジスタ	VOURPR	R/W	H'FE96 0050	-	-	32

表40.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
VOUER	初期化	初期化	保持	保持	初期化	初期化	保持
VOUCR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUSTR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUVC	初期化	初期化	保持	保持	初期化	初期化	保持
VOUISR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUBCR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUDPR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUDSR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUVPR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUIR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUSRR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUMSR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUHIR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUDFR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUAD1R	初期化	初期化	保持	保持	初期化	初期化	保持
VOUAD2R	初期化	初期化	保持	保持	初期化	初期化	保持
VOUAIR	初期化	初期化	保持	保持	初期化	初期化	保持
VOUSWR	初期化	初期化	保持	保持	初期化	初期化	保持
VOURCR	初期化	初期化	保持	保持	初期化	初期化	保持
VOURPR	初期化	初期化	保持	保持	初期化	初期化	保持

40.3.1 VOU 起動レジスタ (VOUER)

VOUER は、VOU の起動 / 停止の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SEN	—	—	—	—	—	OM	IS	ST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
8	SEN	0	R/W	同期信号イネーブル VOU から出力される同期信号の起動、および停止を行います。ST ビットを1にセットする場合には、必ず本ビットを1にセットしなければなりません。 0: 同期信号の出力を停止 1: 同期信号の出力を開始
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
2	OM	0	R/W	動作モード指定 VOU がメモリから入力画像を取得する場合に、フレーム単位、フィールド単位のどちらで動作するか動作モードを指定します。フィールド単位の動作モードを指定するときは、VOUAD1R、VOUAD2R はフィールドごとに先頭アドレスを指定してください。この場合、VSYNC 割り込み、レジスタ切り替えはフィールドに同期して行うようにしてください。フレーム単位の動作モードを指定するときは、VOUAD1R、VOUAD2R はフレームの先頭アドレスを指定してください。また、入力画像はフレームイメージで格納してください。このとき、VOU はトップフィールドおよびボトムフィールドのそれぞれの画像を自動で取得します。この場合、VSYNC 割り込み、レジスタ切り替えはフレームに同期して行うようにしてください。 なお、YCbCr 4:2:0 の画像を扱うときは、フレーム単位で動作させるようにしてください。 0: フィールド単位で動作 1: フレーム単位で動作

ビット	ビット名	初期値	R/W	説明
1	IS	0	R/W	表示データ取得先選択 表示データを BEU とメモリのどちらから取得するかを選択します。表示データを BEU から取得するときは、VOU の入力画像データの設定にかかわらず YCbCr 4:4:4 形式で取得します。BEU は、出力パック形式にかかわらず、VOU に対しては YCbCr 4:4:4 形式で表示データを出力します。 なお、メモリからデータを取得する場合で垂直方向の拡大動作を行うときは、表示データはフレームイメージで格納するようにしてください。 0 : 表示データを BEU から取得 1 : 表示データをメモリから取得
0	ST	0	R/W	起動 VOU の起動 / 停止を行うビットです。このビットを 1 にセットすることで、VOU が起動します。VOU を停止する際には 0 を書き込んでください。実際の停止は、直後のフレームの終了で行われ、VOUSTR の EXE ビットもフレームの終了まで 1 が保持されます。 0 : VOU を停止 1 : VOU を起動

40.3.2 VOU 制御レジスタ (VOUCR)

VOUCR は、出力モードの設定、割り込みの許可や同期信号の幅の選択などを行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD[2:0]			CKPL	HPOL	VPOL	HSC[1:0]		—	HW[6:0]						
初期値 :	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	VW[4:0]				—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	MD[2:0]	000	R/W	出力モード選択 VOU から出力されるデータのフォーマット、およびピクセルクロック周波数の選択を行うビットです。 000 : NTSC、16 ビットインタフェース、クロック出力 13.5MHz 001 : NTSC、8 ビットインタフェース、クロック出力 27MHz 011 : NTSC、8 ビットインタフェース (Rec656)、クロック出力 27MHz 101 : PAL、8 ビットインタフェース、クロック出力 27MHz 上記以外 : リザーブ

ビット	ビット名	初期値	R/W	説明
28	CKPL	0	R/W	ピクセルクロック極性 VOU から出力されるデータ、および同期信号のピクセルクロックへの同期エッジを変更します。 0: データ、および同期信号は、ピクセルクロックの立ち上がりに同期 1: データ、および同期信号は、ピクセルクロックの立ち下がりに同期
27	HPOL	0	R/W	水平同期信号極性 VOU から出力される水平同期信号の極性を変更します。 0: DV_HSYNC はアクティブハイ 1: DV_HSYNC はアクティブロー
26	VPOL	0	R/W	垂直同期信号極性 VOU から出力される垂直同期信号の極性を変更します。 0: DV_VSYNC はアクティブハイ 1: DV_VSYNC はアクティブロー
25、24	HSC[1:0]	00	R/W	水平同期抑制 VOU から出力される水平同期信号を有効期間内のみ出力させる場合に、本ビットを 1 にしてください。 00: 通常動作 01: 有効データ期間のみ DV_HSYNC を出力 10: DV_VSYNC のネゲート区間のみ DV_HSYNC を出力 11: 設定禁止
23	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。
22~16	HW[6:0]	H'40	R/W	水平同期信号アサート幅設定 VOU から出力される水平同期信号のアサート幅を変更します。 アサート幅は 13.5MHz クロック数で指定してください。初期値は 64 です。
15~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。
12~8	VW[4:0]	H'03	R/W	垂直同期信号アサート幅設定 VOU から出力される垂直同期信号のアサート幅を変更します。アサート幅はライン数で指定してください。初期値は 3 です。
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。

40.3.3 VOU ステータスレジスタ (VOUSTR)

VOUSTR は、割り込み要因のクリアなどを行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EXE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FLD	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	EXE	0	R	実行フラグ 本ビットのセットは、VOUERのSTビットを1にセットした後のトップフィールドの開始時に行われます。また、クリアは、STビットを0にした後のフレームの終了時に行われます。 0: VOU は停止中 1: VOU は実行中
30~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
16	RS	0	R	レジスタ面ステータス 使用中のレジスタ面を示します。 0: A面のレジスタを使用 1: B面のレジスタを使用
15	FLD	0	R	フィールドフラグ 処理中のフィールドを示します。 0: 処理中のフィールドはトップフィールド 1: 処理中のフィールドはボトムフィールド
14~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。

40.3.4 VOU ビデオ制御レジスタ (VOUVCR)

VOUVCR は、ビデオ制御に関する種々の設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	CLB	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HME	VME	—	—	—	—	—	—	—	—	—	HM[1:0]	—	—	—	VM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
23	CLB	0	R/W	カラーバー選択 本ビットを1に設定した場合、本ビット以外のVOUVCRの設定は無効となり、出力画像はカラーバーとなります。また、VOUDPR、およびVOUBCRの設定も無効となります。 出力するカラーバーは図40.2に示すパターンとなります。 0: 通常画像を出力 1: カラーバーを出力
22~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
15	HME	0	R/W	水平方向画像拡大イネーブル 本ビットを1に設定した場合、水平方向の画像拡大が有効となります。拡大率はHMビットの指定に従います。 0: 水平方向の出力画像サイズは入力画像サイズと同一 1: 水平方向の出力画像サイズを拡大。拡大率はHMビットで設定 【注】水平拡大処理時、VOUVPR.HVP + VOUDPR.HPは9以下に設定しないでください。
14	VME	0	R/W	垂直方向画像拡大イネーブル 本ビットを1に設定した場合、垂直方向の画像拡大が有効となります。拡大率はVMビットの指定に従います。 なお、メモリからデータを取得する場合で垂直方向の拡大動作を行うときは、表示データはフレームイメージで格納するようにしてください。 0: 垂直方向の出力画像サイズは入力画像サイズと同一 1: 垂直方向の出力画像サイズを拡大。拡大率はVMの設定
13~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
5、4	HM[1:0]	00	R/W	<p>水平方向画像拡大率設定</p> <p>水平方向の画像拡大率を指定します。本ビットの設定はHMEビットが1に設定されている時のみ有効です。</p> <p>なお、拡大後の画像サイズは720以下になるように設定してください。</p> <p>00：拡大率は1.125倍 01：拡大率は2.25倍 10：拡大率は2倍 11：拡大率は4倍</p>
3~1	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。</p>
0	VM	0	R/W	<p>垂直方向画像拡大率設定</p> <p>垂直方向の画像拡大率を指定します。本ビットの設定はVMEビットが1に設定されている時のみ有効です。</p> <p>なお、拡大後の垂直画像サイズが、240以下になるように設定してください。</p> <p>0：拡大率は2倍 1：拡大率は4倍</p>

CLB ビットの設定で出力されるカラーバーパターンを図 40.2 に示します。

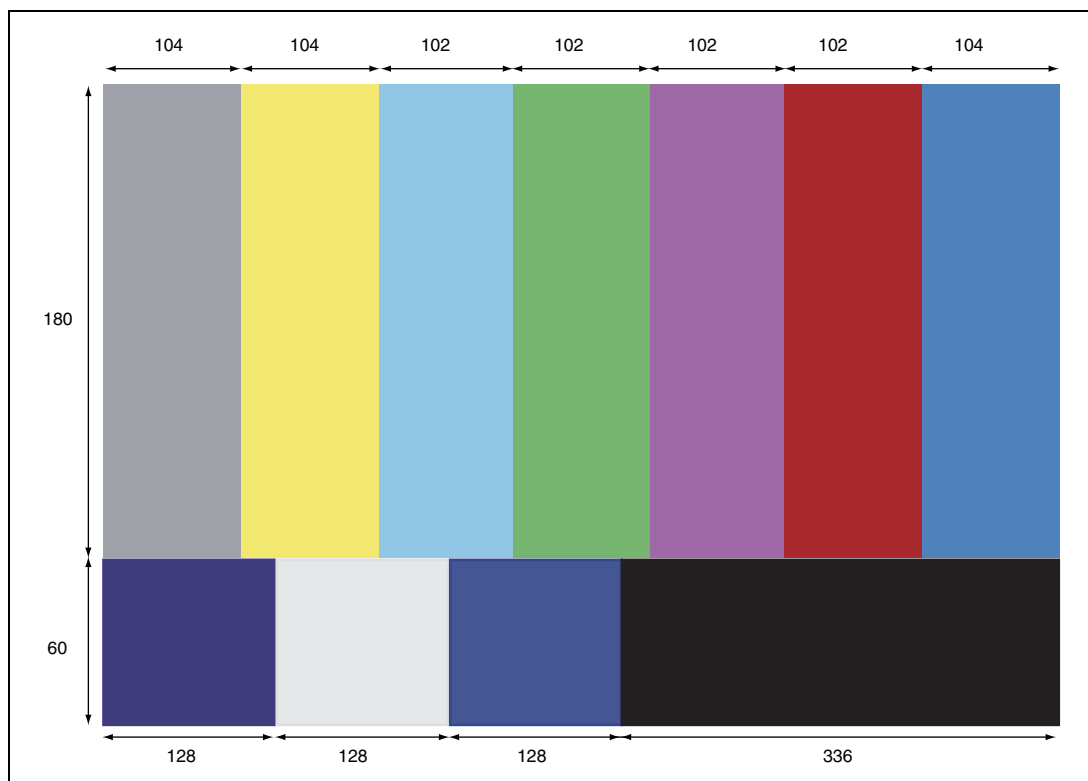


図40.2 出力カラーバーパターン

40.3.5 VOU 入力画像サイズレジスタ (VOUISR)

VOUISR は、入力画像水平サイズ、および入力画像垂直サイズを指定します。

フレーム単位の動作モード指定時(VOUER レジスタの OM ビットが 1 のとき)は VSZ に入力画像垂直サイズの半分の値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	HSZ[9:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	VSZ[8:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31 ~ 26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。

ビット	ビット名	初期値	R/W	説明
25~18 17、16	HSZ[9:2] HSZ[1:0]	H'000	R/W R	入力画像水平サイズ 入力画像の水平方向のサイズを指定します。サイズは4nに制限されますので、下位2ビットは必ず0としてください。BEUと連動して動作する場合、BEUの出力画像水平サイズと同じ値を設定してください。
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
8~0	VSZ[8:0]	H'000	R/W	入力画像垂直サイズ 入力画像の垂直方向のサイズを指定します。BEUと連動して動作する場合、BEUの出力画像垂直サイズと同じ値を設定してください。

40.3.6 VOU バックカラーレジスタ (VOUBCR)

VOUBCR は、輝度設定、赤色差設定、および青色差設定を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	Y[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cr[7:0]								Cb[7:0]							
初期値:	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
23~16	Y[7:0]	H'10	R/W	輝度設定 背景色の輝度を設定します。初期値は16です。
15~8	Cr[7:0]	H'80	R/W	赤色差設定 背景色の赤色差を設定します。初期値は128です。
7~0	Cb[7:0]	H'80	R/W	青色差設定 背景色の青色差を設定します。初期値は128です。

40.3.7 VOU 表示位置レジスタ (VOUDPR)

VOUDPR は、水平方向、および垂直方向の画像出力位置を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	HP[9:0]											
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	VP[8:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
25~17 16	HP[9:1] HP[0]	H'080	R/W R	水平位置指定 水平方向の画像出力位置を指定します。指定範囲は0~858 (NTSC)、0~864 (PAL) となります。 水平方向の出力位置は2nに制限されますので、最下位ビットは必ず0としてください。初期値は128です。
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
8~0	VP[8:0]	H'010	R/W	垂直位置指定 垂直方向の画像出力位置を指定します。指定範囲は0~262 (NTSC)、0~312 (PAL) となります。 初期値は16です。

40.3.8 VOU 表示サイズレジスタ (VOUDSR)

VOUDSR は、水平方向、および垂直方向の画像サイズを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	HDS[9:0]											
初期値:	0	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	VDS[8:0]										
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
25~17 16	HDS[9:1] HDS[0]	H'2D0	R/W R	水平方向画像サイズ 水平方向の画像サイズを指定します。画面の調整用にご使用ください VOU は本ビットで指定されたサイズ分のデータを出力します。水平方向の画像サイズは 2n に制限されますので、最下位ビットは必ず 0 に設定してください。初期値は 720 です。 本ビット (VOUDSR.HDS) は以下の制約に従い設定してください。 表示サイズ(VAUDSR.HDS) 表示位置(VAUDPR.HP)+入力画像サイズ (VOUISR.HSZ)
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
8~0	VDS[8:0]	H'0F0	R/W	垂直方向画像サイズ 垂直方向の画像サイズを指定します。VOU は本ビットで指定されたサイズ分のラインを出力します。初期値は 240 です。 本ビット (VOUDSR.VDS) は以下の制約に従い設定してください。 表示サイズ(VAUDSR.VDS) 表示位置(VAUDPR.VP)+入力画像サイズ (VOUISR.VSZ)

40.3.9 VOU 有効画素開始位置レジスタ (VOUVPR)

VOUVPR は、水平方向、および垂直方向の有効画素開始位置を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	HVP[9:0]							
初期値:	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	VVP[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
23~17 16	HVP[7:1] HVP[0]	H'78	R/W R	水平方向有効画素開始位置 水平方向の有効となる出力データの位置をピクセルクロックで指定します。本ビットの設定値と VOUDSR の HDS ビットの設定値の和は、BT.601 インタフェイス使用時は 858 以下 (NTSC)、864 以下 (PAL)、BT.656 インタフェイス使用時は 856 以下 (NTSC) になるようにしてください。また、水平方向の有効画素位置は 2n に制限されますので、最下位ビットは必ず0としてください。初期値は 120 です。 【注】水平拡大処理時は VOUVPR.HVP + VOUDPR.HP は 9 以下には設定しないでください。
15~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
6~0	VVP[6:0]	H'14	R/W	垂直方向有効画素開始位置 垂直方向の有効となる出力データの位置をライン数で指定します。本ビットの設定値と VOUDSR の VDS ビットの設定値の和は、262 以下 (NTSC)、312 以下 (PAL) になるようにしてください。また、データ処理の関係上、3 以下には設定しないでください。初期値は 20 です。

図 40.3 に VOUDPR、VOUVPR、VOUDSR の設定値と出力画像の関係を示します。

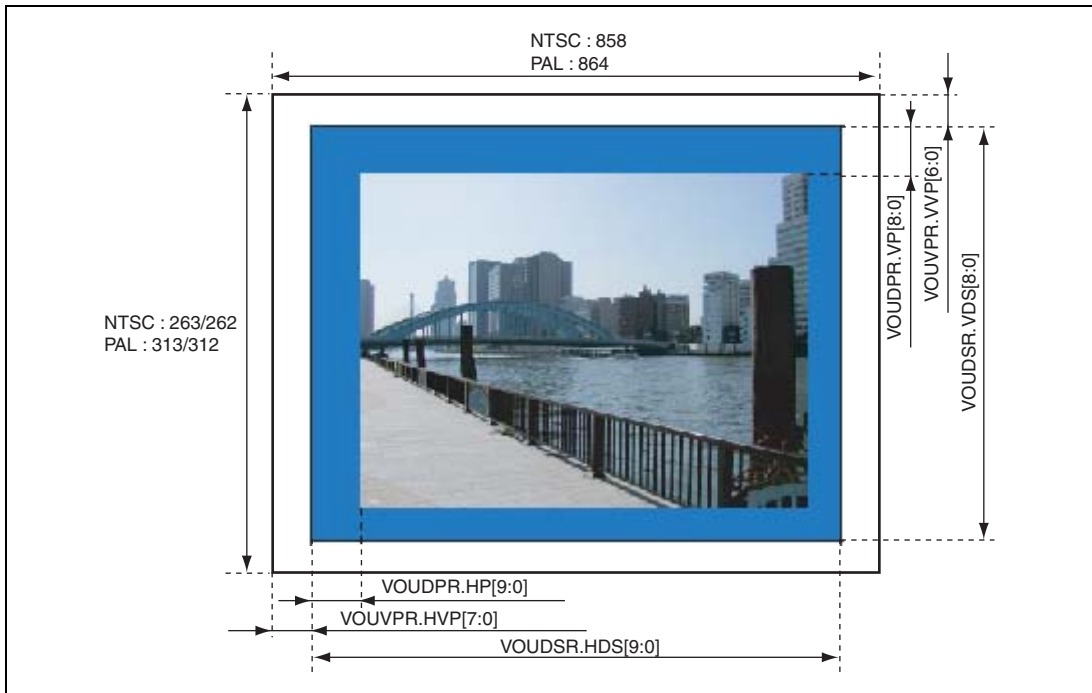


図40.3 VOUDPR、VOUVPR、VOUDSR の設定値と出力画像の関係

40.3.10 VOU 割り込みレジスタ (VOUIR)

VOUIR は、各種割り込みの設定とステータス表示を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FI	VI
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	FS	VS	—	—	—	—	—	VT	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
17	FI	0	R/W	フィールド終了割り込みイネーブル フィールド終了割り込み発生を指定します。 0: フィールド終了割り込みを発生させない 1: フィールド終了割り込みを発生させる
16	VI	0	R/W	VSYNC 同期割り込みイネーブル VSYNC に同期した割り込み発生を指定します。厳密なタイミングは VSYNC に同期してレジスタ面が切り替わるのと同じタイミングで割り込みが発生します。 0: VSYNC 同期割り込みを発生させない 1: VSYNC 同期割り込みを発生させる
15~10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
9	FS	0	R/W	フィールド終了割り込みステータス フィールド終了割り込みステータスを示します。 0: フィールド終了割り込みが発生していない 1: フィールド終了割り込みが発生している
8	VS	0	R/W	VSYNC 同期割り込みステータス VSYNC 同期割り込みステータスを示します。 0: VSYNC 同期割り込みが発生していない 1: VSYNC 同期割り込みが発生している
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
2	VT	0	R/W	VSYNC 同期割り込みタイミング設定 VSYNC 同期割り込みの発生タイミングの設定を行うビットです。 0: フィールドの VSYNC に同期して VSYNC 同期割り込みが発生 1: フレームの VSYNC に同期して VSYNC 同期割り込みが発生

ビット	ビット名	初期値	R/W	説明
1、0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。

40.3.11 VOU リセットレジスタ (VOUSR)

VOUSR は、VOU のリセットを行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SR	—	—	—	—	—	—	—	BR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
16	HR	0	R/W	BEU ハンドシェークリセット BEU 側とのハンドシェークを強制的に停止します。次のフィールドで ST ビットが 1 の場合、BEU とのハンドシェークは再開されます。本ビットに 1 を書き込む際は BEU 側を必ず停止してください。本ビットは 1 書き込み後は自動的に 0 にクリアされます。 0 : 何もしません 1 : BEU とのハンドシェークを強制的に停止します
15~9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
8	SR	0	R/W	ソフトリセット VOU のソフトリセットを行うビットです。このビットを 1 にセットしますと、VOU が初期化されます。バスのトランザクションを保証します。BEU とのハンドシェークは強制終了します。BEU と連動動作をしているときは、必ず BEU に先にリセットをかけるようにしてください。1 書き込み後は自動的に 0 にクリアされます。 0 : 何もしません 1 : VOUSER の SEN ビットを除いて、VOU を初期化します
7~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
0	BR	0	R/W	<p>モジュールリセット</p> <p>VOUのモジュールリセットを行うビットです。このビットを1にセットしますと、VOUが初期化されます。BEUとのハンドシェイク、およびバスのトランザクションを保証しません。BEUと連動動作をしているときは、必ずBEUに先にリセットをかけるようにしてください。1書き込み後は自動的に0にクリアされます。</p> <p>0：何もしません 1：VOUERのSENビットを除いて、VOUを初期化します</p>

40.3.12 VOUモード設定レジスタ (VOUMSR)

VOUMSRは、動作モードの設定、VSYNCアサート位置調整、および水平同期間隔選択を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LMD	—	—	—	—	—	—	—	VSA	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HIS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	LMD	0	R/W	<p>LCDCコンパチブルモード</p> <p>VOUのモードをLCDCコンパチブルモードに設定するビットです。LCDCコンパチブルモード使用時は入力クロックを24.5454MHzとしてください。また、VOUDSRのHDSビットを必ず640に設定してください。</p> <p>0：通常動作モード 1：LCDCコンパチブルモード</p>
30~24	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。</p>
23	VSA	0	R/W	<p>VSYNCアサート位置調整</p> <p>本ビットはLCDCコンパチブルモード時のVSYNCのアサート位置をHSYNCのアサートに同期させるか、NTSCモードと同様にボトムフィールドはHSYNCと次のHSYNCの間で同期させるかを選択します。</p> <p>なお、本ビットの設定はLMDビットが1のときのみ有効です。</p> <p>0：HSYNCに同期してVSYNCを出力します 1：NTSCモードのタイミングでVSYNCを出力します</p>
22~16	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
15	HIS	0	R/W	水平同期間隔選択 本ビットは HSYNC の間隔を固定とするか、VOUHIR の設定に従うかを選択するビットです。 0 : HSYNC の間隔を固定します。NTSC モード選択時は 858 画素間隔、PAL モード選択時は 864 画素間隔で HSYNC が出力されます。LCDC コンパチブルモード選択時には 780 画素間隔で HSYNC が出力されます。 1 : VOUHIR の HI ビットで設定された画素間隔で HSYNC が出力されます
14~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。

40.3.13 VOU 水平同期間隔レジスタ (VOUHIR)

VOUHIR は、水平同期間隔を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	HI[9:0]										
初期値 :	0	0	0	0	0	0	1	1	0	1	0	1	1	0	1	0	
R/W :	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。
25~17	HI[9:1]	H'35A	R/W	水平同期間隔
16	HI[0]		R	水平同期信号の間隔を画素数で指定します。本ビットの設定は VOUMSR の HIS ビットが 1 のときのみ有効です。同期信号の間隔は 2n に制限されますので、最下位ビットは必ず 0 に設定してください。初期値は 858 です。
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。

40.3.14 VOU 入力画像データフォーマットレジスタ (VOUDFR)

VOUDFR は、入力画像データフォーマットの変換、データパック形式の指定などを行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	YF[1:0]	—	—	—	PKF[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。
16	CC	0	R/W	RGB YCbCr 変換指定 RGB YCbCr 変換の指定を行います。メモリ上にある表示データが RGB 形式の場合に指定します。 0: RGB YCbCr 変換を行わない 1: RGB YCbCr 変換を行う
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。
9、8	YF[1:0]	00	R/W	入力画像 YCbCr データパック形式 入力画像データが YCbCr 形式のときのパック形式を指定します。CC ビットが 0 のときのみ有効です。 00: 入力画像データが YCbCr4:2:0 形式 01: 入力画像データが YCbCr4:2:2 形式 10: 入力画像データが YCbCr4:4:4 形式 11: 設定禁止
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。
4~0	PKF[4:0]	00000	R/W	入力画像 RGB データパック形式指定 入力画像データが RGB 形式のときのパック形式を指定します。CC ビットが 1 のときのみ有効です。

YCbCr のパック形式を表 40.4、RGB のパック形式を表 40.5 に示します。

表40.4 YCbCr のパック形式

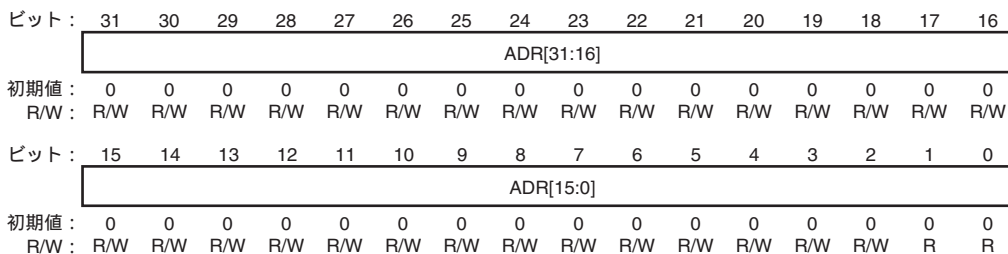
YF[1:0]	YCbCr		31 ~ 24	23 ~ 16	15 ~ 8	7 ~ 0
B'00	4:2:0	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb2	Cr2
B'01	4:2:2	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb2	Cr2
B'10	4:4:4	Ydata	Y0	Y1	Y2	Y3
		Cdata	Cb0	Cr0	Cb1	Cr1
B'11	リザーブ					

表40.5 RGB のパック形式

PKF [4:0]	Bit Rate [bpp]	Phase	Bit																																	
			31 ~ 24								23 ~ 16								15 ~ 8								7 ~ 0									
B'00000	24		0	0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0
B'00001	24		R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	0	0	0	0	0	0	0	0
B'00011	16		R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	R1	R1	R1	R1	G1	G1	G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1
B'00111	18		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	
B'01000	12	-	0	0	0	0	R0	R0	R0	R0	G0	G0	G0	G0	B0	B0	B0	B0	0	0	0	0	R1	R1	R1	R1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1
B'01001	18	0	0	0	R0	R0	R0	R0	R0	0	0	G0	G0	G0	G0	G0	G0	0	0	B0	B0	B0	B0	B0	B0	0	0	R1	R1	R1	R1	R1	R1	R1	R1	
		1	0	0	G1	G1	G1	G1	G1	0	0	B1	B1	B1	B1	B1	B1	0	0	R2	R2	R2	R2	R2	R2	0	0	G2	G2	G2	G2	G2	G2	G2	G2	
		2	0	0	B2	B2	B2	B2	B2	0	0	R3	R3	R3	R3	R3	R3	0	0	G3	G3	G3	G3	G3	G3	0	0	B3	B3	B3	B3	B3	B3	B3	B3	
B'01010	18	0	0	0	B0	B0	B0	B0	B0	0	0	G0	G0	G0	G0	G0	G0	0	0	R0	R0	R0	R0	R0	R0	0	0	B1	B1	B1	B1	B1	B1	B1	B1	
		1	0	0	G1	G1	G1	G1	G1	0	0	R1	R1	R1	R1	R1	R1	0	0	B2	B2	B2	B2	B2	B2	0	0	G2	G2	G2	G2	G2	G2	G2	G2	
		2	0	0	R2	R2	R2	R2	R2	0	0	B3	B3	B3	B3	B3	B3	0	0	G3	G3	G3	G3	G3	G3	0	0	R3	R3	R3	R3	R3	R3	R3	R3	
B'01011	24	0	B0	B0	B0	B0	B0	B0	B0	G0	G0	G0	G0	G0	G0	G0	R0	R0	R0	R0	R0	R0	R0	R0	R0	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	
		1	G1	G1	G1	G1	G1	G1	G1	R1	R1	R1	R1	R1	R1	R1	B2	B2	B2	B2	B2	B2	B2	B2	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2		
		2	R2	R2	R2	R2	R2	R2	R2	B3	B3	B3	B3	B3	B3	B3	G3	G3	G3	G3	G3	G3	G3	G3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3		
B'01100	24		0	0	0	0	0	0	0	0	B0	B0	B0	B0	B0	B0	B0	G0	G0	G0	G0	G0	G0	G0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0		
B'01101	-	予約																																		
B'11111																																				

40.3.15 VOU 入力画像データ格納先頭アドレスレジスタ 1 (VOUAD1R)

VOUAD1R は、入力画像データの輝度信号もしくは RGB 信号の表示データの先頭アドレスを設定します。



ビット	ビット名	初期値	R/W	説明
31~2 1、0	ADR[31:2] ADR[1:0]	H'0000 0000	R/W R	VOU が入力画像データをメモリから取得する際の輝度信号もしくは RGB 信号の表示データの先頭アドレスを指定します。画像データはフレームイメージで格納してください。 なお、下位 2 ビットは必ず 0 に設定してください。 【注】本レジスタに設定するアドレスは、キャッシュの有効/無効にかかわらず P0 領域として設定してください。

40.3.16 VOU 入力画像データ格納先頭アドレスレジスタ 2 (VOUAD2R)

VOUAD2R は、入力画像データの色差信号表示データの先頭アドレスを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2 1、0	ADR[31:2] ADR[1:0]	H'0000 0000	R/W R	VOU が入力画像データをメモリから取得する際の、色差信号の表示データの先頭アドレスを指定します。画像データはフレームイメージで格納してください。 なお、下位 2 ビットは必ず 0 に設定してください。 【注】本レジスタに設定するアドレスは、キャッシュの有効/無効にかかわらず P0 領域として設定してください。

40.3.17 VOU 入力画像データアドレスインクリメントレジスタ (VOUAIR)

VOUAIR は、入力画像データのアドレスインクリメント値を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	— — — — — — — — — — — — — — — —															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AIR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
15~2 1、0	AIR[15:2] AIR[1:0]	H'0000	R/W R	VOU が入力画像データをメモリから取得する際の、1 ラインのアドレスインクリメント値を指定します。表示データが YCbCr4:4:4 形式の色差信号のときは、設定された値の2倍の値がアドレスインクリメント値となります。 なお、下位2ビットは必ず0に設定してください。

40.3.18 VOU 入力画像データスワップレジスタ (VOUSWR)

VOUSWR は、入力画像データのバイトスワップ、ワードスワップ、ロングワードスワップを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	LS	WS	BS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
2	LS	0	R/W	入力画像データロングワードスワップ選択 入力画像データに対して、ロングワードスワップを行います (図 40.4 参照)。 0: ロングワードスワップを行わない 1: ロングワードスワップを行う
1	WS	0	R/W	入力画像データワードスワップ選択 入力画像データに対して、ワードスワップを行います (図 40.5 参照)。 0: ワードスワップを行わない 1: ワードスワップを行う
0	BS	0	R/W	入力画像データバイトスワップ選択 入力画像データに対して、バイトスワップを行います (図 40.6 参照)。 0: バイトスワップを行わない 1: バイトスワップを行う

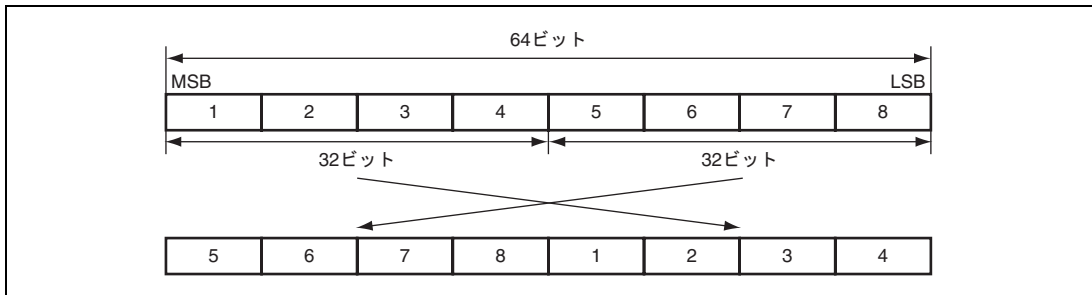


図40.4 ロングワードスワップ

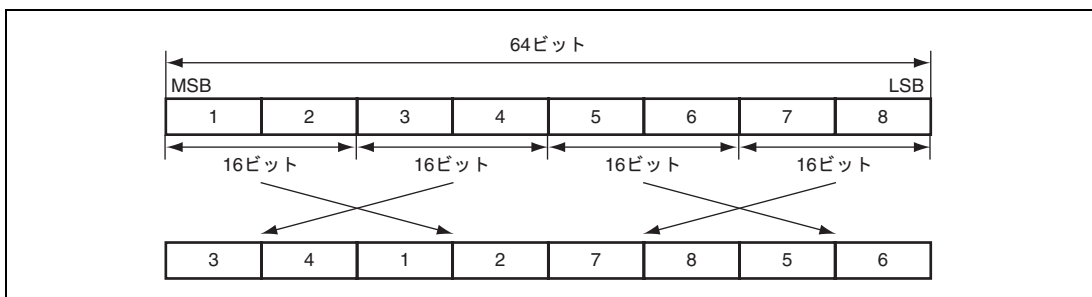


図40.5 ワードスワップ

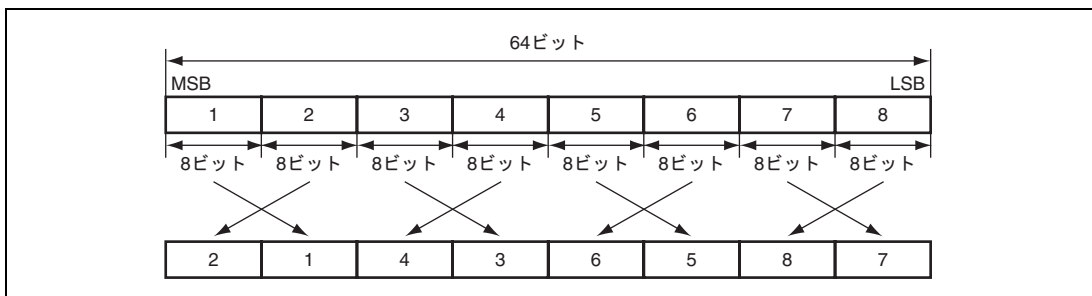


図40.6 バイトスワップ

40.3.19 VOU レジスタ面切り替えレジスタ (VOURCR)

VOURCR は、VOU が使用するレジスタ面の指定と切り替えタイミングを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CT	RS	RC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も必ず0にしてください。
2	CT	0	R/W	切り替えタイミング指定 フィールドの VSYNC に同期して切り替えるのか、フレームの VSYNC に同期して切り替えるのかを指定します。 0: レジスタ面切り替えのタイミングはフィールドの VSYNC に同期 1: レジスタ面切り替えのタイミングはフレームの VSYNC に同期
1	RS	0	R/W	レジスタ面指定 フィールドもしくはフレームの VSYNC に同期して VOU が使用するレジスタ面を指定します。フィールド、フレームのどちらの VSYNC であるかは CT ビットで指定します。本ビットは RC ビットが0のときのみ有効です。 0: A面のレジスタを使用します 1: B面のレジスタを使用します
0	RC	0	R/W	レジスタ面切り替えイネーブル フィールド、もしくはフレームの VSYNC に同期して VOU が使用するレジスタ面を切り替えるか指定します。フィールド、フレームのどちらの VSYNC であるかは CT ビットで指定します。切り替えない場合は VOURCR の RS ビットで指定されたレジスタ面が使用されます。 0: VSYNC に同期して指定されたレジスタ面を使用する 1: VSYNC に同期してレジスタ面を切り替える

40.3.20 VOU レジスタ面強制指定レジスタ (VOURPR)

VOURPR は、VOU が使用するレジスタ面を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も必ず 0 にしてください。
0	RP	0	R/W	使用レジスタ面指定 使用するレジスタ面を指定します。 0 : A 面使用指定 1 : B 面使用指定

メモリ、BEU のどちらから入力画像データを取得するか、また、入力画像データフォーマットは YCbCr、RGB のどちらなのか、それぞれにおいて設定が必要なレジスタを表 40.6 に示します。

表40.6 必要設定レジスタ

レジスタ名	入力画像をメモリから取得		入力画像を BEU から取得
	YCbCr 形式	RGB 形式	YCbCr 形式
VOUER			
VOUCR			
VOUSTR	-	-	-
VOUVCR			
VOUISR			
VOUBCR			
VOUDPR			
VOUDSR			
VOUVPR			
VOUIR			
VOUSRR	-	-	-
VOUMSR			
VOUHIR			
VOUDFR			x
VOUAD1R			x
VOUAD2R		x	x
VOUAIR			x
VOURCR			

【記号説明】 : 設定が必要、x : 設定は不要、- : 任意

40.4 動作説明

VOU は、BEU もしくはメモリから取得した画像を拡大、およびフォーマット変換して、外部へ出力します。出力画像は YCbCr 4:2:2 フォーマットで、ITU-R BT.601、および ITU-R BT.656 に準拠します。また、出力時の SYNC 信号も入力されるピクセル周波数のクロックより生成します。

VOU の出力信号をデジタルビデオエンコーダに接続することで、容易に TV に画像を出力することができます。

40.4.1 SYNC 信号の生成

SYNC (DV_HSYNC、DV_VSYNC) 信号、およびピクセルクロック (DV_CLK) は、VOUER の SEN ビットが B'1 に設定されたときに、出力を開始します。SYNC 信号は、13.5MHz のクロックを元に生成されます。SEN ビットが B'0 に設定されたとき、SYNC 信号、およびピクセルクロックの出力が停止します。また、垂直同期のアサート位置によって、トップ/ボトムフィールドの判定を行うことができます。

40.4.2 VOU の起動 / 停止

VOU の起動は、VOUER の ST ビットを B'1 に設定することで行われます。ST ビットを B'1 に設定する際は、SEN ビットも B'1 に設定されていなければなりません。ST ビットが B'1 に設定された後、最初のトップフィールドの開始時点で、EXE ビットが B'1 にセットされ、VOU が動作を開始します。

VOU を停止する際には、ST ビットを B'0 に設定します。ST ビットが B'0 に設定された直後のフィールドの終了時点で、EXE ビットが B'0 にクリアされます。

40.4.3 BEU とのハンドシェーク

表示画像データを BEU 経由で取得している場合、VOUER の EXE ビットが B'1 にセットされているとき、VOU と BEU 間でハンドシェークが行われている可能性がありますので、BEU を停止させないでください。また、VOU 動作中にリセットを行った場合 (VOUSRR の HR ビット、SR ビット、BR ビットのどれかに B'1 書き込み) には、BEU とのハンドシェークが途切れてしまいますので、BEU 側も必ずリセットを行ってください。

40.4.4 VOU 起動中のレジスタの書き換え

VOU はレジスタを 2 面持っていますので、VOU 起動中のレジスタ書き換えは原則的に VOU が使用していないレジスタ面 (もしくはミラーアドレス) に対して行ってください。VOUER、VOUSRR、VOURCR、および VOUCR の IE ビットを除いて、VOU が使用しているレジスタの書き換えを行った場合、動作を保証いたしません。VOURCR の RC ビットが B'1 のときは、VSYNC に同期してレジスタ面が切り替わります。RC ビットが B'0 のときは、VSYNC に同期して VOURCR の RS ビットで指定されたレジスタ面を使用します。

なお、BEU と VOU が連動して動作しているときは、BEU と VOU は同じタイミングでレジスタ面切り替えを行います。レジスタ切り替え信号は、VOU から BEU に出力されることになります。

40.5 VOU 設定手順

VOU を使用して画像を出力する場合の設定手順を説明します。

QVGA 画像を、BEU を経由して、等倍出力する場合の設定例を図 40.7 に示します。

入力画像は YCbCr 4:2:2 で、Y データが H'0C00 0000 より格納され、CbCr データが H'0C40 0000 より格納されているものとします。

まず BEU の設定を行ってください。本設定例では、1 枚の画像を VOU に出力する設定になっていますが、BEU では複数の画像をブレンド処理して出力することが可能ですので、ブレンド処理を行う場合には、所望の設定を BEU に対して実施してください。BEU の設定の最後で、BEU の起動ビットをセットします。これによって、BEU は VOU からの起動信号待ちの状態となります。

続いて、VOU の設定を行います。割り込みの設定、表示位置の設定などを行った後、VOU の起動を行います。

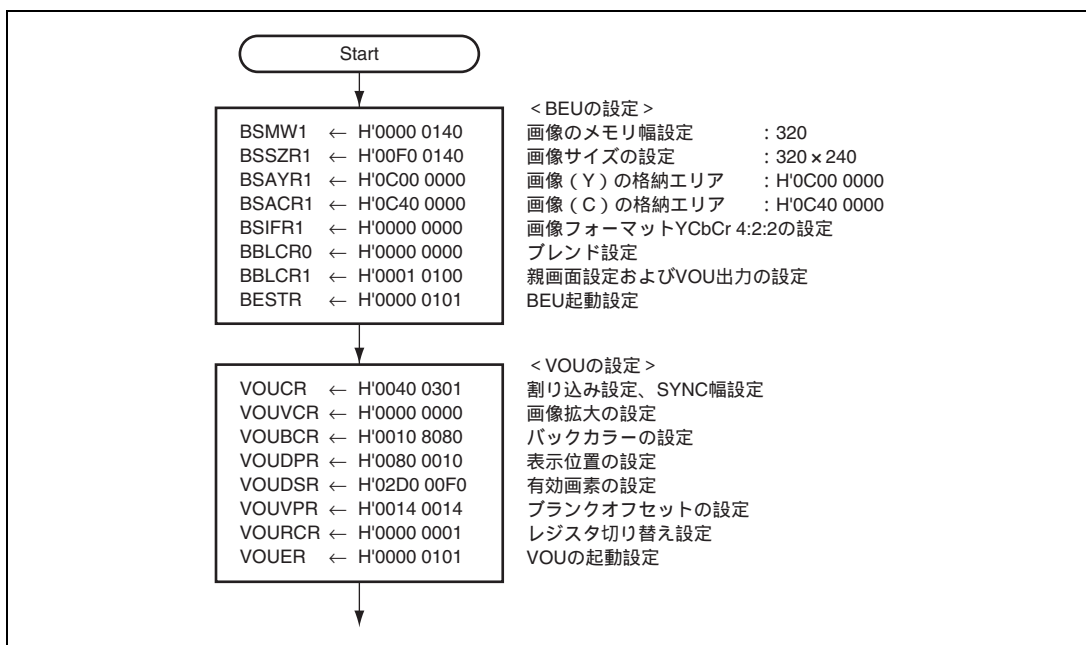


図40.7 QVGA 等倍出力時の設定例

40.6 タイミング

40.6.1 同期タイミング

HSYNC とデータ有効期間のタイミングを図 40.8 に示します。HSYNC のアサート幅は、VOUCR の HW ビットの値となります。HSYNC 発行から有効データ期間までのクロック数は、VOUVPR の HVP ビットの値となります。データ有効期間は VOUDSR の HDS ビットの値となります。

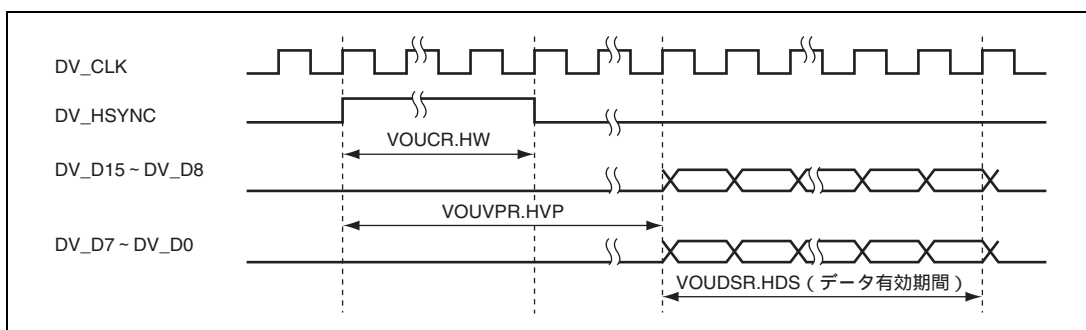


図40.8 HSYNC とデータ有効期間のタイミング

HSYNC と VSYNC の発生タイミングを図 40.9 に示します。VSYNC のアサート幅は、VOUCR の VW ビットで指定されたライン数になります。トップフィールドの場合、VSYNC は HSYNC に同期して出力されます。ボトムフィールドの場合、VSYNC は HSYNC と次の HSYNC の中間で出力されます。

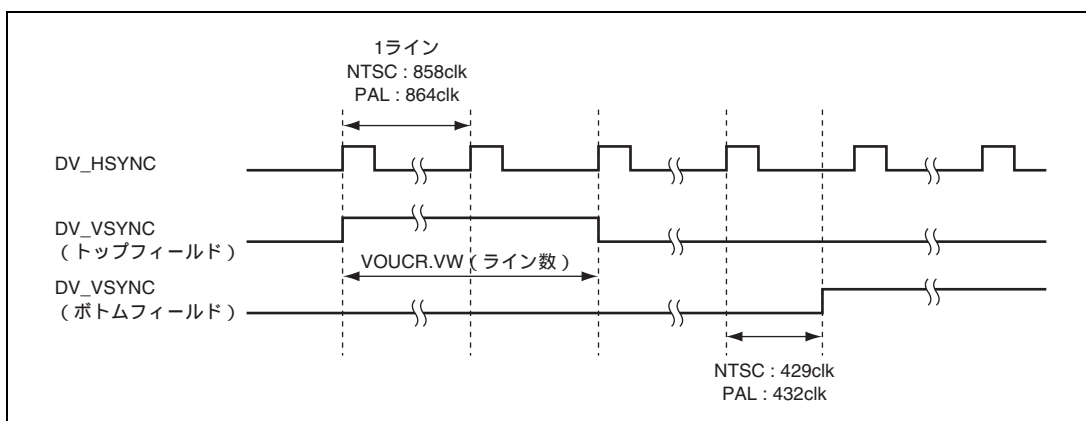


図40.9 HSYNC と VSYNC の発生タイミング

40.6.2 フィールド終了割り込み発生タイミング

フィールド終了割り込み発生タイミングを図 40.10 に示します。

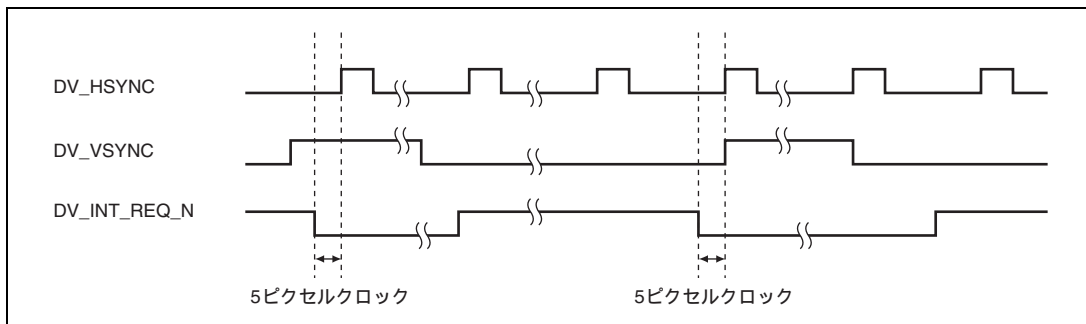


図40.10 割り込み発生タイミング

40.6.3 2面レジスタの切り替えタイミング

VOU はレジスタを 2 面持っています。レジスタ面の切り替わるタイミングは、フレームもしくはフィールドの VSYNC に同期して、VSYNC 発生後の 2 クロック後に切り替わります。また、レジスタ面が切り替わるのと同じタイミングで VSYNC 割り込みが発生します。レジスタ面の切り替え、および VSYNC 割り込み発生のタイミングを図 40.11 に示します。VSYNC 割り込みが発生したら、次のフレーム、もしくはフィールドのレジスタ設定を行うようにしてください。

VSYNC 割り込み (VOUIR.VI) とフィールド割り込み (VOUIR.FI) は同時に使用しないでください。

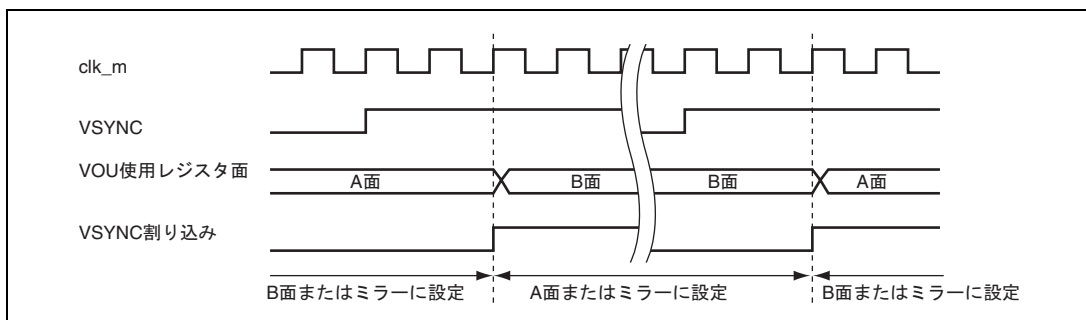


図40.11 割り込みとレジスタ設定のタイミング

41. メディア RAM (MERAM)

本 LSI は、メディア RAM (MERAM) を 128K バイト搭載しています。本 MERAM 上に、最高 32 面のインターコネクティブバッファ (ICB) を定義することができます。各 ICB は、対応画像モジュール (以降、対応モジュール) のトランザクションに対して、リードバッファやライトバッファとして機能することができるほか、ICB を経由して対応画像モジュール間でデータの授受を行うように設定することができます。ICB を用いることで、SDRAM アクセスの低減、アクセスの効率化を図ることができます。

また、MERAM 上の複数の領域を連結して、フレームバッファキャッシュとして定義できます。

対応モジュール : CEU×2、VEU×2、BEU×2、VPU、JPU、LCDC からのアクセス

本機能を使用する場合は、物理アドレス空間制御レジスタ (PASCRC) のビット 7 に 1 を設定してください。

(PASCRC の詳細は、「第 7 章 メモリマネジメントユニット (MMU)」を参照ください)

41.1 特長

(a) インターコネクティブバッファ (ICB) の特長

- 最大32面のバッファ定義が可能。
- リードバッファとして動作可能。対応モジュールからのリードトランザクションに応じ、設定したSDRAM上の領域からデータを先読みしてバッファに格納します。対応モジュールからのトランザクション発生前に、事前に読み出しを開始させることもできます。
- ライトバッファとして動作可能。対応モジュールからのライトトランザクションを受理し、バッファに格納します。SDRAMへの書き戻しあり、なしを選択可能。
- 対応モジュールのライトバッファを、別の対応モジュールのリードバッファとして使用することにより、MERAM上でデータの受け渡しが可能です。あわせてSDRAMへの書き込みを行うこともできます。

(b) フレームバッファキャッシュの特長

- 複数のICBを結合した領域をフレームバッファキャッシュとして定義可能

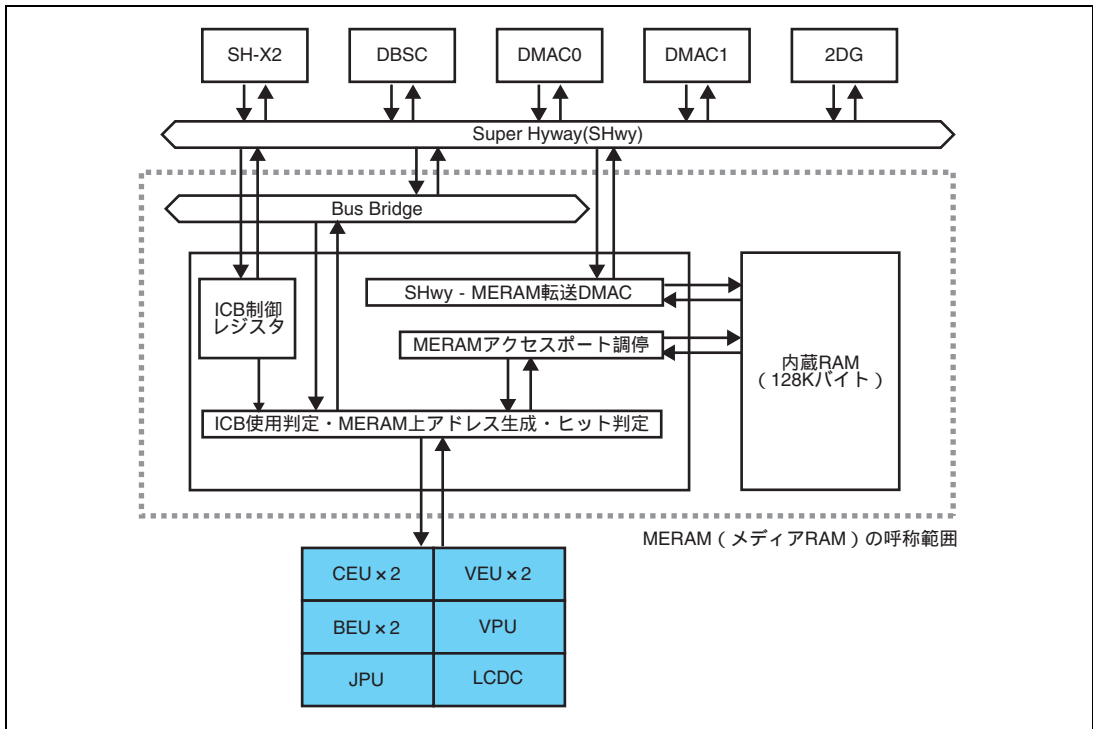


図41.1 MERAM と他のモジュールとの関係

41.2 レジスタの説明

MERAM のレジスタ構成およびメモリ構成を表 41.1 に示します。また、各処理モードにおけるレジスタの状態を表 41.2 に示します。

表41.1 レジスタ構成およびメモリ構成

レジスタ名	略称	R/W	アドレス	アクセスサイズ
ICB 制御レジスタ 0	MEVCR0	R/W	H'E800 0000	32
ICB 制御レジスタ 1	MEVCR1	R/W	H'E800 0004	32
ICB 転送終了割り込み制御レジスタ	METEIE	R/W	H'E800 0008	32
ICB トランザクションエラー割り込み制御レジスタ	MEILIE	R/W	H'E800 000C	32
ICB アクティブステータスレジスタ	MEACTST	R/W	H'E800 0010	32
ICB 転送終了ステータスレジスタ	METEST	R/W	H'E800 0014	32
ICB ライトトランザクションエラーステータスレジスタ	MEILWST	R/W	H'E800 0018	32
ICB リードトランザクションエラーステータスレジスタ	MEILRST	R/W	H'E800 001C	32
ICB00 バッファ制御レジスタ	ME00CTRL	R/W	H'E800 0400	32
ICB00 フレームサイズレジスタ	ME00BSIZE	R/W	H'E800 0404	32
ICB00 MERAM 設定レジスタ	ME00MCNF	R/W	H'E800 0408	32
ICB00 予約	-	R	H'E800 040C	32
ICB00 外部メモリスタートアドレスレジスタ A	ME00SSARA	R/W	H'E800 0410	32
ICB00 外部メモリスタートアドレスレジスタ B	ME00SSARB	R/W	H'E800 0414	32
ICB00 外部メモリバッファサイズレジスタ	ME00SBSIZE	R/W	H'E800 0418	32
ICB00 予約	-	R	H'E800 041C	32
ICB01 **** ~ ICB31****	ME01**** ~ ME31****	R/W	H'E800 0420 ~ H'E800 07FC	32
MERAM 直接アクセス空間	-	R/W	H'E808 0000 ~ H'E809 FFFF	8/16/32

【注】 ミラーアドレスとして、H'E800 0000 ~ H'E80F FFFF の範囲でも同様にアクセスできます。ただし、SH-X2 コアからアクセスする場合は、ミラーアドレスの範囲でのみアクセス可能です。

表41.2 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	R-スタンバイ	U-スタンバイ	スリープ
MEVCR0	初期化	初期化	保持	保持	初期化	初期化	保持
MEVCR1	初期化	初期化	保持	保持	初期化	初期化	保持
METEIE	初期化	初期化	保持	保持	初期化	初期化	保持
MEILIE	初期化	初期化	保持	保持	初期化	初期化	保持
MEACTST	初期化	初期化	保持	保持	初期化	初期化	保持
METEST	初期化	初期化	保持	保持	初期化	初期化	保持
MEILWST	初期化	初期化	保持	保持	初期化	初期化	保持
MEILRST	初期化	初期化	保持	保持	初期化	初期化	保持
MEnnCNTRL	初期化	初期化	保持	保持	初期化	初期化	保持
MEnnBSIZE	不定	不定	保持	保持	不定	不定	保持
MEnnMCNF	不定	不定	保持	保持	不定	不定	保持
MEnnSSARA	不定	不定	保持	保持	不定	不定	保持
MEnnSSARB	不定	不定	保持	保持	不定	不定	保持
MEnnSBSIZE	不定	不定	保持	保持	不定	不定	保持

【注】 nn = 00 ~ 31

41.2.1 ICBnn コントロールレジスタ (MEnnCTRL)

MEnnCTRL (nn = 00 ~ 31) は、ICBnn の動作モードを規定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	BSZ[2:0]			—	—	—	MSAR[8:0]								
初期値:	—	0	0	0	—	—	—	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NXT[4:0]				WD[1:0]		WS	CB	WBF	WF	RF	CM	MD[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	不定	R/W	リザーブビット 書き込む場合には常に0を書いてください。
30 ~ 28	BSZ[2:0]	000	R/W	ブロックラインを構成するライン数を示します。 2 ⁿ BSZ[2:0]ラインをブロックラインとして扱います。1、2、4、8、16、32、64、128 ラインからなるブロックラインを規定できます。
27 ~ 25	-	不定	R	リザーブビット 書き込む場合には常に0を書いてください。
24 ~ 16	MSAR[8:0]	H'000	R/W	MERAM上に確保するメモリ領域の使用開始アドレスをKバイト単位で指定します(0 ~ 127)。(MEnnBSIZE.XSZM1[15:0]+1)を2 ⁿ KBに切り上げた数(1KBも含まず)の倍数で指定してください。 MERAM上で使用されるメモリ領域の量に関しては、「41.2.3 ICBnnMERAM 設定レジスタ (MEnnMCNF)」を参照してください。
15 ~ 11	NXT[4:0]	00000	R/W	フレームバッファキャッシュを構成する場合に、次のICB番号を設定します。現バッファ番号を設定するとフレームバッファキャッシュの終了バッファであることを示します。MD[2:0]=B'111でのみ本ビットの値が使用されます。詳細は、「41.4.4 フレームバッファキャッシュとしての設定」を参照してください。

ビット	ビット名	初期値	R/W	説明
10, 9	WD[1:0]	00	R/W	<p>書き込み動作の完了の検出法を設定します。MD[2:0] = B'010、B'011、B'100でのみ本ビットの値が使用されます。</p> <p>00: 対象モジュールが終了を通知し、かつ、出力アドレスが最終アドレスに一致しているときに完了と見なします。</p> <p>01: 出力アドレスが最終アドレスに一致しているときに完了と見なします。</p> <p>10: 対象モジュールが終了を通知したときに完了と見なします。</p> <p>11: 完了を検出しません。</p> <p>本ビットが B'11 以外の設定で、設定した完了条件を検出すると、本レジスタの WF ビットがセットされ、ICB 上に最終ラインまでのデータの書き込み完了が示されます。</p> <p>このとき、MD[2:0] = B'010、B'011 の場合は、WF ビットに 1 がセットされることにより、最終ラインまでのデータのライトバックが開始されます。また、MD[2:0] = B'011、B'100 の場合は、WF ビットに 1 がセットされることにより、最終ラインまでのデータの読み出しが可能になります。</p> <p>【注】1. 最終アドレスとは、MEnnBSIZE の YSZM1 および XSZM1 ビットで決定されるピクセルを含む 8 バイトのアドレスを示します。</p> <p>2. 本ビットに設定する値は、各対応モジュールの特性や動作設定に依存して変わります。詳細は、「41.5 対応モジュール個別の設定」を参照してください。</p>
8	WS	0	R/W	<p>最終画素を含むライトトランザクションの完了を待たせるか否かを設定します。MD[2:0] = B'010、B'011、B'100 でのみ本ビットの値が使用されます。また、WD[1:0] ビットにて B'11 以外の値を設定し、設定された完了条件に合致したライトトランザクションに対してのみ機能します。</p> <p>0: 書き込み完了を意味するライトトランザクションを受けると、同ライトトランザクションを ICB 上に反映させた後、当該 ICB の使用が完了するまで、同ライトトランザクションを出力したモジュールの動作完了を待たせます。</p> <p>1: 書き込み完了を意味するライトトランザクションであっても同ライトトランザクションを出力したモジュールは動作完了します。</p> <p>【注】本ビットに設定する値は、各対応モジュールの特性や動作設定に依存して変わります。詳細は、「41.5 対応モジュール個別の設定」を参照してください。</p>
7	CB	0	R/W	<p>当該 ICB が、A 面を使用中の場合に 0 を、B 面を使用中に 1 を表示します。書き込む場合には常に 0 を書いてください。</p> <p>特別に記載した使用例で示される場合を除き、本ビットに書き込んだ値が使用されることはありません。</p>

ビット	ビット名	初期値	R/W	説明
6	WBF	0	R/W	<p>MD[2:0]=B'001、B'111 の場合、当該 ICB 上のデータのリードフィル動作が完了したことを表示します。MD[2:0]=B'010、B'011 の場合、当該 ICB 上のデータのライトバック動作が完了したことを表示します。</p> <p>書き込む場合には常に 0 を書いてください。ただし、当該 ICB の動作中に本ビットに対し 1 を書き込むと、現在実行中のリードフィル/ライトバック動作を最後として、動作を終了させます。</p> <p>【注】当該 ICB 動作中に本ビットに 1 を書いた場合、SDRAM 上へライトバックされるデータ、または、ICB へリードフィルされるデータの値は保証されません。本ビットに 1 を書く場合には、WF ビット、RF ビットへも同時に 1 を書き、当該バッファの使用を終了してください。</p>
5	WF	0	R/W	<p>MD[2:0]=B'010、B'011、B'100 の場合、当該 ICB 上のデータの書き込み動作が完了したことを表示します。WD[1:0]ビットにより書き込み動作完了の検出がなされた場合には、自動で 1 がセットされます。</p> <p>書き込む際には 0 を書いてください。ただし、当該 ICB の動作中に本ビットに対し 1 を書き込むと、当該 ICB への書き込み動作が完了したことが通知されたものと見なされます。WD[1:0]ビットの機能によって自動的に書き込み動作の完了を検出できないモジュールの場合、モジュールの動作完了を受けた後に本ビットに対して 1 を書き込み、当該 ICB に対する書き込み動作が完了したことを手動で通知してください。</p> <p>MD[2:0]=B'010、B'011 の場合には、本ビットへ 1 がセットされることにより、ICB 上に残ったデータのライトバックが開始されます。また、MD[2:0]=B'011、B'100 の場合には、本ビットへ 1 がセットされることにより、最終ラインまでのデータの読み出しが可能になります。</p> <p>本ビットが 1 で、かつ、以下の条件を満たす場合、当該 ICB の使用が完了したものとされ、MEACTST の ACnn ビットがネゲートされ、METEST の TEnn ビットがセットされます。このとき、WBF、WF、RF の各ビットはクリアされます。</p> <p>【条件】</p> <p>MD[2:0]=B'010 のとき：WBF ビットのセット（ライトバック完了）</p> <p>MD[2:0]=B'011 のとき：WBF ビットのセット（ライトバック完了）かつ RF ビットのセット（リード動作完了）</p> <p>MD[2:0]=B'100 のとき：RF ビットのセット（リード動作完了）</p> <p>【注】オフセット付アドレス（ライン N）を先頭アドレスとして書き込みを行った場合においても、動作完了時にライン 0～N を含めたデータがライトバックされます。</p>

ビット	ビット名	初期値	R/W	説明
4	RF	0	R/W	<p>MD[2:0] = B'001、B'011、B'100 の場合、当該 ICB 上のデータの読み出し動作が完了したことを表示します。MEnnBSIZE の RCNT[3:0]ビットの機能により読み出し動作完了が検出された場合には、自動的に 1 がセットされます。書き込む際には 0 を書いてください。ただし、当該 ICB の動作中に本ビットに 1 を書き込むと、当該 ICB からの読み出し動作が完了したことが通知されたものと見なされます。MEnnBSIZE の RCNT[3:0]ビットにより自動的に読み出し動作の完了が検出できないモジュールの場合、モジュールの動作完了を受けた後に本ビットに対して 1 を書き込み、当該 ICB に対する読み出し動作が完了したことを通知してください。</p> <p>本ビットが 1 で、かつ、以下の条件を満たす場合、当該 ICB の使用が完了したものとされ、MEACTST の ACnn ビットがネゲートされ、METEST の TEnn ビットがセットされます。このとき、WBF、WF、RF の各ビットはクリアされます。</p> <p>【条件】</p> <p>MD[2:0] = B'001 のとき：WBF ビットのセット（リードフィル完了）</p> <p>MD[2:0] = B'011 のとき：WBF ビットのセット（ライトバック完了）かつ WF ビットのセット（ライト動作完了）</p> <p>MD[2:0] = B'100 のとき：WF ビットのセット（ライト動作完了）</p> <p>MD[2:0] = B'111 のとき：WBF ビットのセット（リードフィル完了）</p>
3	CM	0	R/W	<p>連続アドレスモード</p> <p>対応モジュールからのアドレスから、ライン番号、ライン内オフセットへの変換する方法を指定します。詳細は「41.3 MERAM のアクセス法」を参照ください。</p> <p>0：MEnnBSIZE.XSZM1<4,096：アドレスのビット[11:0]がライン内オフセット、ビット[12]以上がライン番号を示します。</p> <p>4,096 MEnnBSIZE.XSZM1：アドレスのビット[14:0]がライン内オフセット、ビット[15]以上がライン番号を示します。</p> <p>1：MEnnBSIZE.XSZM1<1,024：アドレスのビット[9:0]がライン内オフセット、ビット[10]以上がライン番号を示します。</p> <p>1,024 MEnnBSIZE.XSZM1<2,048：アドレスのビット[10:0]がライン内オフセット、ビット[11]以上がライン番号を示します。</p> <p>2,048 MEnnBSIZE.XSZM1<4,096：アドレスのビット[11:0]がライン内オフセット、ビット[12]以上がライン番号を示します。</p> <p>4,096 MEnnBSIZE.XSZM1<8,192：アドレスのビット[12:0]がライン内オフセット、ビット[13]以上がライン番号を示します。</p> <p>【注】MEnnCTRL.CM = 1 の場合には、MEnnBSIZE.XSZM1<8,192 で使用ください。</p>

ビット	ビット名	初期値	R/W	説明
2~0	MD[2:0]	000	R/W	ICBnn 使用モードを示します。 000 : ICB 使用なし 001 : リードバッファモード 010 : ライトバッファモード 011 : インターコネクトバッファ (ライトバックあり) モード 100 : インターコネクトバッファ (ライトバックなし) モード 111 : フレームバッファキャッシュモード

41.2.2 ICBnn フレームサイズレジスタ (MEnnBSIZE)

MEnnBSIZE (nn = 00 ~ 31) は、ICBnn に対応するフレームバッファのサイズを設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RCNT[3:0]				YSZM1[11:0]											
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	XSZM1[15:0]															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	RCNT[3:0]	不定	R/W	本リード動作完了検出法を設定します。 0 を設定すると、読み出し動作の完了の検出を行いません。0 以外の値として n を設定した場合、出力アドレスが最終アドレスに n 回目に一致しているときに完了と見なします。 本ビットが 0 以外の値になっており、設定した完了条件を検出すると、MEnnCNTRL レジスタの RF ビットがセットされ、読み出し動作が完了したことが示されます。 【注】 1. 最終アドレスとは、MEnnBSIZE の YSZM1 および XSZM1 ビットで決定されるピクセルを含む 8 バイトのアドレスを示します。 2. 本ビットに設定する値は、各対応モジュールの特性や動作設定に依存して変わります。詳細は、「41.5 対応モジュール個別の設定」を参照してください。
27~16	YSZM1[11:0]	不定	R/W	ICBnn (nn = 0~31) に対応するフレームバッファのライン数 - 1 を指定します (0~4095)。
15~0	XSZM1[15:0]	不定	R/W	ICBnn (nn = 0~31) に対応するフレームバッファの 1 ライン中にある実データサイズ - 1 をバイト単位で指定します (0~65,535 バイト)。 【注】 MEnnCNTRL.CM = 1 の場合には、MEnnBSIZE.XSZM1<8,192 で使用ください。

41.2.3 ICBnnMERAM 設定レジスタ (MEnnMCNF)

MEnnMCNF (nn = 00 ~ 31) は、ICBnn が使用する MERAM 上のバッファ領域の各種設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	KWBNM[3:0]			KRBNM[3:0]			BNM[7:0]									
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ~ 28	KWBNM[3:0]	不定	R/W	<p>MEnnCTRL.MD[2:0] = B'010、B'011、B'100 の場合、書き込み時保持ライン数を指定します。</p> <p>MEnnCTRL の BSZ[2:0] ビットで規定されたブロックライン数の単位で指定し、</p> $\text{書き込み時保持ライン数} = (\text{KWBNM}[3:0] + 1) \ll \text{MEnnCTRL.BSZ}[2:0]$ <p>と扱われます。</p> <p>ライン n への書き込みを検出すると、ライン (n - 書き込み時保持ライン数) 上のデータが確定しているものと判断します。以後、ライン (n - 書き込み時保持ライン数) への書き込み動作が生じた場合、その書き込み動作はフリーズします。</p> <p>【注】本ビットに設定する値は、各対応モジュールの特性や動作設定に依存して変わります。詳細は、「41.5 対応モジュール個別の設定」を参照してください。</p>
27 ~ 24	KRBNM[3:0]	不定	R/W	<p>MEnnCTRL.MD[2:0] = B'001、B'011、B'100、B'111 の場合、読み出し時保持ライン数を指定します。</p> <p>MEnnCTRL の BSZ[2:0] ビットで規定されたブロックライン数の単位で指定し、</p> $\text{読み出し時保持ライン数} = (\text{KRBNM}[3:0] + 1) \ll \text{MEnnCTRL.BSZ}[2:0]$ <p>と扱われます。</p> <p>ライン n への読み出しを検出すると、ライン (n - 読み出し時保持ライン数) 上のデータは解放可能であると判断します。以後、ライン (n - 読み出し時保持ライン数) への読み出し動作が生じた場合、その読み出し動作はフリーズします。</p> <p>【注】本ビットに設定する値は、各対応モジュールの特性や動作設定に依存して変わります。詳細は、「41.5 対応モジュール個別の設定」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
23~16	BNM[7:0]	不定	R/W	MERAM 上に確保するライン数を示します(設定した値+1 のライン数が確保されます)。 MEnnCTRL の BSZ[2:0]ビットの設定によらず、ライン数で指定します。 最低でも次のライン数を確保してください。 MD = B'001 : (読み出し保持ライン数+1 ブロックライン数) MD = B'010 : (書き込み保持ライン数+1 ブロックライン数) MD = B'011、B'100 : (書き込み保持ライン数+読み出し保持ライン数+1 ブロックライン数) MD = B'111 : 設定法は、「(a) MERAM 上に確保されるメモリ領域の計算法」を参照してください。
15~0	-	不定	R	リザーブビット 書き込む値は必ず 0 にしてください。

(a) MERAM 上に確保されるメモリ領域の計算法

ICBnn を定義すると、MEnnCTRL の MSAR[8:0]ビットで示される先頭アドレスから、下記の量のメモリ領域が確保されます。

$$\text{確保されるメモリ量 (Kバイト)} = ((\text{MEnnBSIZE.XSZM1}[15:0]+1) \text{を} 2^n \text{KBに切り上げた数 (1KBも含む)}) \\ \times (\text{MEnnMCNF.BNM}[7:0]+1)$$

他の ICB による確保領域と重なっていることの検出は行われませんので、おのおのが重ならないように MSAR[8:0]ビットを設定してください。

【注】 「MERAM 上の確保ライン数」+「リード時保持ライン数」+「ライト時保持ライン数」が 256 未満となるように設定してください。

41.2.4 ICBnn 外部メモリストार्टアドレスレジスタ A (MEnnSSARA)

MEnnSSARA (nn = 00 ~ 31) は、ICBnn に対応するフレームバッファ (A 面) の外部メモリ上での先頭アドレスを示します。SSARA は 8 の倍数である必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	SSARA[31:16]																
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SSARA[15:3]													—	—	—	
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	

ビット	ビット名	初期値	R/W	説明
31~3	SSARA[31:3]	不定	R/W	ICBnn (nn = 0 ~ 31) に対応するフレームバッファ (A 面) の外部メモリ上の先頭アドレスを示します (8 バイト単位)。

ビット	ビット名	初期値	R/W	説明
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

41.2.5 ICBnn 外部メモリストार्टアドレス B (MEnnSSARB)

MEnnSSARB (nn = 00 ~ 31) は、ICBnn に対応するフレームバッファ (B 面) の外部メモリ上での先頭アドレスを示します。SSARB は 8 の倍数である必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SSARB[31:16]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SSARB[15:3]													—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~3	SSARB[31:3]	不定	R/W	ICBnn (nn = 0 ~ 31) に対応するフレームバッファ (B 面) の外部メモリ上の先頭アドレスを示します (8 バイト単位)。
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

41.2.6 ICBnn 外部メモリバッファサイズレジスタ (MEnnSBSIZE)

MEnnSBSIZE (nn = 00 ~ 31) は、ICBnn が対応するフレームバッファの外部メモリ上での 1 ラインの幅をバイト単位で示します。1 ラインの幅は 8 の倍数で指定する必要があります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SBSIZE[15:3]													—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
15~3	SBSIZE[15:3]	不定	R/W	フレームバッファの 1 ラインの幅 (8 バイト単位) を示します。
2~0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

41.2.7 ICB 制御レジスタ 0 (MEVCR0)

MEVCR0 は、将来の拡張用のレジスタです。書き込みは禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	-	すべて0	R	リザーブビット 本レジスタへの書き込みは禁止です。

41.2.8 ICB 制御レジスタ 1 (MEVCR1)

MEVCR1 は、ICB の初期化、およびフラグレジスタへの直接書き込みを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RST	WD	AMD	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	RST	0	R/W	ICB リセット 本ビットに 1 を書き込むと、ICB の初期化を行います。初期化完了後、自動的にクリアされます。ICB を使用している対応モジュールすべてをリセットした後、本ビットに 1 をセットしてください。 ICB を使用したソフトウェアに異常が発生した場合に使用してください。
30	WD	0	R/W	ライトディレクション設定 MEACTST、METEST、MEILWST、MEILRST レジスタへの書き込みは、通常 1 を書いたビットへのビットクリア動作になりますが、本ビットに 1 がセットされている場合、1 を書いたビットへのビットセット動作に切り替わります。

ビット	ビット名	初期値	R/W	説明
29	AMD	0	R/W	アドレス指定モード切替 0: 対応モジュールからのアドレスが H'8000 0000 ~ H'BFFF FFFF のとき、ICB 機能を使用します。 1: 対応モジュールからのアドレスが H'C000 0000 ~ H'DFFF FFFF のとき、ICB 機能を使用します。 詳細は「41.3 MERAM のアクセス法」を参照ください。
28~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

41.2.9 ICB 転送終了割り込み設定レジスタ (METEIE)

METEIE は、各 ICB の転送終了フラグ (METEST.TEnn) による割り込み発生を制御します (nn = 0 ~ 31)。

書き込み動作を自動検出できないモジュールに対し手動にて MEnnCTRL の WF ビットをセットした場合、本割り込み機能により、そのライトバック動作の完了を待つことができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TInn															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TInn															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TInn	H'0000 0000	R/W	各ビット (nn = 0 ~ 31) に 1 をセットすることにより、METEST レジスタの各 ICB の転送終了フラグ (TEnn) が 1 のときに割り込みを発生します。 割り込み発生後、TEnn フラグをクリアするか、本レジスタの TInn をクリアすることで割り込みは取り下げられます。

41.2.10 ICB トランザクションエラー割り込み設定レジスタ (MEILIE)

MEILIE は、各 ICB のエラーステータスフラグ (MEILWST.IWnn、MEILRST.IRnn) による割り込み発生を制御します (nn = 0 ~ 31)。各エラーステータスの成立条件に関しては、MEILWST、MEILRST レジスタの説明を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IlInn															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IlInn															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	IlInn	H'0000 0000	R/W	各ビット (nn = 0 ~ 31) に 1 をセットすることにより、MEILWST レジスタまたは MEILRST レジスタの各 ICB のエラー終了フラグ (IWnn、または IRnn) が 1 のときに割り込みが発生します。 ライト側、リード側のいずれかのフラグにより割り込みが発生します。割り込み発生後、IWnn および IRnn フラグをクリアするか、本レジスタの IlInn をクリアすることで割り込みは取り下げられます。

41.2.11 ICB アクティブステータスレジスタ (MEACTST)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ACnn															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ACnn															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	ACnn	H'0000 0000	R/W	ICBnn (nn = 0 ~ 31) が使用中であることを示します。 MEVCR1.WD = 0 の場合には、本レジスタに 1 を書き込むと、1 が書き込まれたビットはクリアされ、0 が書き込まれたビットの値は変化しません。 MEVCR1.WD = 1 の場合には、本レジスタに 1 を書き込むと 1 が書き込まれたビットがセットされ、0 が書き込まれたビットの値は変化しません。

(a) ICBnn の状態遷移

ACnn ビット (nn=0~31) は、ICBnn (nn=0~31) が使用中であることを示します。

対応モジュールから ICBnn へトランザクションが発生し、それがエラーでない場合、ACnn ビットがセットされ、ICBnn は使用中になります。

使用中状態となった ICBnn は、1 面分の処理が完了した時点で、いったん、非使用中状態にする必要があります。1 面分の処理が完了するとは、次の状態をいいます。

- MD = B'001、B'111 の場合： MEnnCTRL.RF = 1 かつ MEnnCTRL.WBF = 1
RF ビットは、ICBnn を使用しているモジュールの読み出し動作が完了していることを示します。WBF = 1 は、ICBnn へのリードフィル動作が最終ラインまで完了していることを示します。
- MD = B'010 の場合： MEnnCTRL.WF = 1 かつ MEnnCTRL.WBF = 1
WF ビットは、ICBnn を使用しているモジュールの書き込み動作が完了していることを示します。WBF = 1 は、ICBnn へ書き込まれたデータの外部メモリへのライトバックが最終ラインまで完了していることを示します。
- MD = B'011 の場合： MEnnCTRL.WF = 1 かつ MEnnCTRL.WBF = 1 かつ MEnnCTRL.RF = 1
- MD = B'100 の場合： MEnnCTRL.WF = 1 かつ MEnnCTRL.RF = 1

ICBnn の 1 面分の処理が完了すると、MEnnCTRL の WBF、WF、RF の各ビットがクリアされ、METEST レジスタの当該ビット (TEnn) がセットされます。同時に MEACTST の当該ビット (ACnn) がクリアされ、ICBnn は非使用中状態になります。

WF、RF ビットをセットするには、対応モジュールの終了割り込みにより、使用していた全 ICBnn の WF および RF ビットに手動にて 1 をセットするという手法があります。なお、WBF ビットに 1 をセットするとライトバック動作が中断しますので、セットしないでください。

また、書き込み動作、読み出し動作それぞれにつき、1 面分の処理完了を自動検出する機能が使用できる場合があります。詳細は MEnnCTRL.WD[1:0]、MEnnCTRL.WS、MEnnBSIZE.RCNT[3:0] の機能説明、および「41.5 対応モジュール個別の設定」を参照してください。自動検出が使用できる場合、書き込みあるいは読み出し動作の最後のトランザクションの実行により MEnnCTRL.WF/RF ビットが自動でセットされ、手動でのセットを行う必要がなくなります。

非使用中状態に戻った ICBnn は、対応モジュールからの次面のトランザクションを処理できるようになります。使用中状態のまま、次面のトランザクションが生じた場合、一般にはトランザクションエラーとなりますが、次の場合には動作を継続できます。

- ICBnn へ発生したトランザクションの A 面 / B 面指定が、使用中の ICBnn の A 面 / B 面表示と逆の場合
- ICBnn へ発生したトランザクションの A 面 / B 面指定が、使用中の ICBnn の A 面 / B 面表示と同一であるが、トランザクションのライン番号が 0 であり、かつ、すでに最終ラインまでのトランザクションが処理されており、かつ、読み出し / 書き込み保持ライン数内にライン 0 が含まれない場合

これらの条件では、このトランザクションの発生を ICBnn の使用完了と見なし、自動的に完了処理を開始します。

トランザクションが読み出しの場合には、同モジュールが読み出し動作として使用している高々2面のバッファのRFビットをセットし、それらのバッファが非使用中になるのを待ってから、発生したトランザクションを処理します。また、トランザクションがライトの場合には、同モジュールが書き込み動作として使用している高々2面のバッファのWFビットをセットし、それらのバッファが非使用中になるのを待ってから、発生したトランザクションを処理します。

【注】 BEUの読み出し側、2D-DMACの読み出し/書き込み側では2面以上のICBを使用できますが、あるICB_nへの次面のトランザクションの発生により、別の用途で使用しているICBへの完了処理が行われる場合があります。このため、対応モジュールの読み出し/書き込みおのおのにつき、2面以上のICBを使用する場合には、この機能は使用できません。

トランザクションエラーが検出されると、MEILWSTおよびMEILRSTレジスタの当該ビット (IW_{nn} / IR_{nn}) がセットされ、同時にMEACTSTレジスタの当該ビット (AC_{nn}) はネゲートされます。トランザクションエラーに関してはMEILWST、MEILRSTレジスタの説明を参照してください。

(b) 「使用中」のICBに対するレジスタ書き込み

MEACTSTレジスタへの書き込みは、通常1を書いたビットに対応するACビットがネゲートされます。また、MEVCRI.WD = 1状態では、1を書いたビットに対応するACビットがセットされます。レジスタ書き込みによるACビットの操作は、特別に記載のある使用例を除き行う必要はありません。

AC_{nn} = 1である期間、ICB_{nn}の設定レジスタへの書き込み動作は、次のように扱われます。

- MEnnCTRLへの書き込み動作は、WBF、WF、RFビットへの1書き込みのみが機能し、その他のビットの値は変化しません。また、WBF、WF、RFビットの全ビットに0を書き込んだ場合、各ビットの値は変化しませんが、ICB_{nn}の設定レジスタの再評価がなされ、バッファの再起動やリードフィル動作の先行起動が行われません。

バッファの再起動は、MEILRSTレジスタのエラーフラグのクリアと再開方法、リードフィル動作の先行起動は、「(c) リードフィル動作の先行起動」を参照してください。

- その他のICB_{nn}設定レジスタへの書き込みは可能ですが、MEnnSSARA、MEnnSSARBのうちMEnnCTRL.CBビットで示されるレジスタと逆面のレジスタのみ、書き換え可能とします。その他のレジスタへの書き込みは行わないでください。

(c) リードフィル動作の先行起動

MEnnCTRL.MD[2:0] = B'001の設定の場合、MERAMへのリードフィルは、モジュールからICB_{nn}へのリードトランザクションが生じ、MEACT_{nn}.AC_{nn}ビットが1になった後に開始されます。モジュールからのICB_{nn}へのリードトランザクションが生じる前に事前にリードフィル動作を開始したい場合、次の手順により実現できます。

1. ICB_{nn}の設定を行います。
2. MEACT_{nn}.AC_{nn}ビットを手動でセットします。このとき、MEVCRI.WD = 1を設定しておく必要があります。
3. MEnnCTRLに対し、全ビット0を書き込みます。

MEACTST.AC_{nn} = 1のため、MEnnCTRLへの書き込みはなされませんが、ICB_{nn}の設定が再評価されることにより、リードフィル動作が開始されます。

【注】 ICBnn を初回に使用する場合、手順 1 において、MEnnCTRL+H'0C、MEnnCTRL+H'1C のアドレスに対し、H'00000000 を書き込んでください。

41.2.12 ICB 転送終了ステータスレジスタ (METEST)

TEnn ビット (nn=0~31) は、ICBnn (nn=0~31) の 1 面分の処理が完了したことを示します。

ICB の 1 面分の処理の完了の定義については、MEnnCTRL レジスタの WF および RF ビットの説明を参照してください。

METEST レジスタへの書き込みは、通常、1 を書いたビットに対応する TE ビットがネゲートされます。また、MEVCRI.WD=1 状態では、1 を書いたビットに対応する TE ビットがセットされます。

METEIE レジスタによる割り込み機能を使用している場合、割り込み発生により、割り込みを発生させたビットをクリアしてください。割り込み機能を使用しない場合、TEnn ビットをクリアする必要はありません。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

TEnn															
------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TEnn															
------	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
31~0	TEnn	H'0000 0000	R/W	ICBnn (nn=0~31) の 1 面分の処理が完了したことを示します。 本レジスタに 1 を書き込むと、1 が書き込まれたビットはクリアされます。

41.2.13 ICB ライトトランザクションエラーステータスレジスタ (MEILWST)

IWnn ビット (nn=0~31) は、ICBnn (nn=0~31) へ、処理できないライトトランザクションが発生したことを示します。本ビットがセットされると、同時に MEACT レジスタの ACnn ビットはネゲートされます。ライトトランザクションエラーになる条件は、次のとおりです。

ライトトランザクションエラー発生の条件：

- MEnnCTRL.MD[2:0]=B'000設定のICBnnへライトトランザクションが発生した場合
- リードトランザクションエラー、または、すでにライトトランザクションエラーの成立しているICBnn (MEILRST.IRnnが1またはMEILWST.IWnnが1) へのライトトランザクションが発生した場合
- いったん動作状態になったICBnnのMEACTST.ACnnビットを、MEACTSTへの書き込みによりネゲートした状態にて、ICBnnへのライトトランザクションが発生した場合
- 動作中のICBnn (MEACTST.ACnnが1) のA面 / B面表示 (MEnnCTRL.CBビットの値) と異なる面へのライトトランザクションが生じた場合。ただし、同一モジュールが繰り返し同一ICBnnを使用する場合、A面 / B面の不一致は旧面の動作完了を意味し、エラーとはなりません。

MEILWST レジスタへの書き込みは、通常、1を書いたビットに対応するIW ビットがネゲートされます。また、MEVCR1.WD=1状態では、1を書いたビットに対応するIW ビットがセットされます。

MEILIE レジスタによる割り込み機能を使用している場合、割り込み発生により、割り込みを発生させたビットをクリアしてください。また、割り込み機能を使用しない場合でも、IWnn ビットが成立している ICBnn へのトランザクションは同ビットの成立以後処理されませんので、IWnn ビットのクリア処理が必要になります。「41.2.14 (a) エラーフラグのクリアと再開方法」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IWnn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IWnn															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	IWnn	H'0000 0000	R/W	ICBnn (nn=0~31) へライトトランザクションのエラーが発生したことを示します。 本レジスタに1を書き込むと、1が書き込まれたビットはクリアされます。

41.2.14 ICB リードトランザクションエラーステータスレジスタ (MEILRST)

IRnn ビット (nn=0~31) は、ICBnn (nn=0~31) へ、処理できないリードトランザクションが発生したことを示します。本ビットがセットされると、同時に MEACT の ACnn ビットはネゲートされます。リードトランザクションエラーになる条件は、次のとおりです。

リードトランザクションエラー発生条件：

- MEnnCTRL.MD[2:0]=B'000設定のICBnnへリードトランザクションが発生した場合
- ライトトランザクションエラー、または、すでにリードトランザクションエラーの成立しているICBnn (MEILRST.IRnnが1またはMEILWST.IWnnが1) へのリードトランザクションが発生した場合
- いったん動作状態になったICBnnのMEACTST.ACnnビットを、MEACTSTへの書き込みによりネゲートした状態にて、ICBnnへのリードトランザクションが発生した場合
- 動作中のICBnn (MEACTST.ACnnが1) のA面 / B面表示 (MEnnCTRL.CBビットの値) と異なる面へのリードトランザクションが生じた場合。ただし、同一モジュールが繰り返し同一ICBnnを使用する場合、A面 / B面の不一致は旧面の動作完了を意味し、エラーとはなりません。

MEILRST レジスタへの書き込みは、通常、1を書いたビットに対応する IR ビットがネゲートされます。また、MEVCR1.WD = 1 状態では、1を書いたビットに対応する IR ビットがセットされます。

MEILIE レジスタによる割り込み機能を使用している場合、割り込み発生により、割り込みを発生させたビットをクリアしてください。また、割り込み機能を使用しない場合でも、IRnn ビットが成立している ICBnn へのトランザクションは同ビットの成立以後処理されませんので、IRnn ビットのクリア処理が必要になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRnn															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRnn															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	IRnn	H'0000 0000	R/W	ICBnn (nn = 0~31) へライトトランザクションのエラーが発生したことを示します。 本レジスタに1を書き込むと、1が書き込まれたビットはクリアされます。

(a) エラーフラグのクリアと再開方法

MEILWST.IWnn または MEILRST.IRnn フラグを成立させたトランザクションは、そのトランザクションが処理されるか、ICB 全体を初期化するまで ICB モジュール内に滞留しクリアされません。したがって、エラーフラグを成立させたトランザクションの素性を予期しうる特別な場合を除き、エラーを生じさせたモジュールおよび ICB 全体を初期化する必要があります。

1. ICBnn 以外でも、ICB を使用しているモジュールがあれば、一時的に ICB を使用しないようにモジュールのレジスタ設定を変更してください。
2. ICBnn へ使用しエラーを生じさせている可能性のある全モジュールに対して、ソフトウェアリセットを発行してください。
3. MEVCR1 レジスタの RST ビットに 1 をセットし、ICB をリセットしてください。

エラーフラグを成立させたトランザクションの素性が予期でき、同トランザクションを完了させうる場合には、次の手順が使用できます。

【例】MD[2:0] = B'000 へのトランザクション発行によるエラーの場合：

1. MEILWST.IWnn あるいは MEILRST.IRnn フラグが成立した状態のまま、ICBnn を同トランザクションが処理できるよう設定し、MD[2:0] を B'000 以外の値に設定します。
2. MEILWST.IWnn および MEILRST.IRnn ビットをクリアします。
3. MEACTST.ACnn をセットします。ACnn ビットのセットには、MEVCR1.WD ビットを 1 に設定した後に、MEACTST レジスタの当該ビットに 1 をセットします。
4. MEnnCTRL に対して全ビット 0 を書き込んでください。ACnn ビット = 1 のため、実際に書き込みは行われませんが、MEnnCTRL への書き込み動作により ICBnn の設定が再評価され、滞留していたトランザクションが処理されます。

41.3 MERAM のアクセス法

41.3.1 SuperHywy イニシエータからの直接アクセス

アプリケーションドメインのアドレス H'E808 0000 ~ H'E809 FFFF の 128K バイトの空間は、MERAM のメモリに直接アクセス可能です。ただし、ICB としての使用状況とは無関係にアクセスされますので、ICB として使用されていない領域にのみアクセスしてください。

41.3.2 対象画像モジュールからの直接アクセス

対象画像モジュール (CEU×2、VEU×2、BEU×2、VPU、LCDC、JPU) からの H'0000 0000 ~ H'7FFF FFFF および H'C000 0000 ~ H'FFFF FFFF のアドレスは SHwy 上に出力されます。したがって、対象画像モジュールから MERAM を直接アクセスする場合、H'E808 0000 ~ H'E809 FFFF の 128K バイトの空間を指定してください。ただし、ICB としての使用状況とは無関係にアクセスされますので、ICB として使用されていない領域にのみアクセスしてください。

41.3.3 対象画像モジュールからの ICB アクセス

MEVCR1.AMD=0 の場合、対象画像モジュール (CEU×2、VEU×2、BEU×2、VPU、LCDC、JPU) から H'8000 0000 ~ H'BFFF FFFF へのアクセスが、ICB へのアクセスになります。

MEVCR1.AMD=1 の場合、対象画像モジュールから H'C000 0000 ~ H'DFFF FFFF へのアクセスが、ICB へのアクセスになります。

画像モジュールからのアドレスは下記のように解釈されて ICB が使用されます。

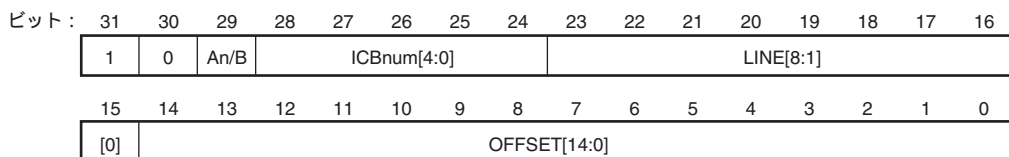
ビットフィールドの意味：

- An/B : 0 のとき A 面指示、1 のとき B 面指示を表します。
 - ICBnum[4:0] : ICB バッファ番号を示します。
 - LINE[n:0] : ライン番号を示します。
 - OFFSET[m:0] : ライン内オフセット (バイト単位) を示します。
- MEVCR1.AMD=0、MEnnCTRL.CM=0、VPU 以外の対象モジュール
(a-1) MEnnBSIZE.XSZM < 4,096

ビット： 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

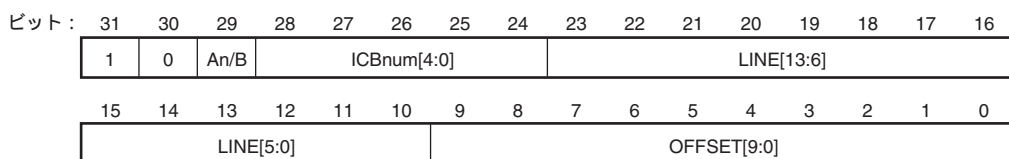
1	0	An/B	ICBnum[4:0]	LINE[11:4]											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LINE[3:0]				OFFSET[11:0]											

(a-2) 4,096 MEnnBSIZE.XSZM

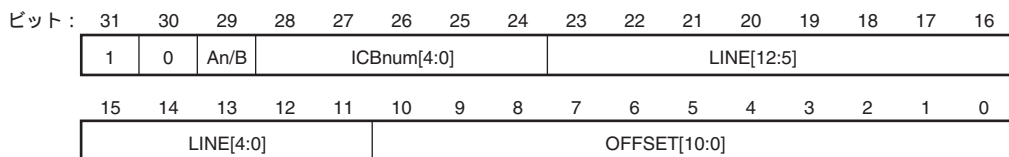


- MEVCR1.AMD = 0、MEnnCTRL.CM = 1、VPU 以外の対象モジュール

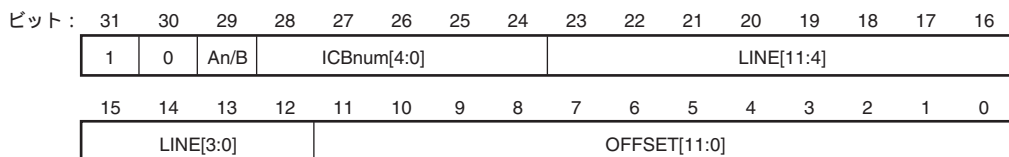
(b-1) MEnnBSIZE.XSZM1 < 1,024



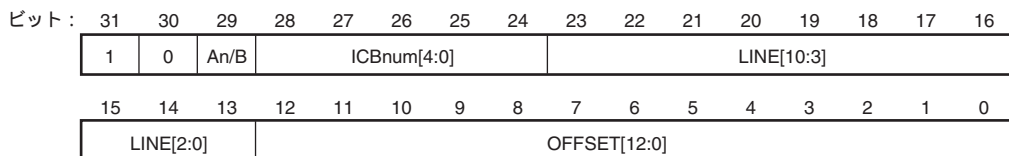
(b-2) 1,024 MEnnBSIZE.XSZM1 < 2,048



(b-3) 2,048 MEnnBSIZE.XSZM1 < 4,096



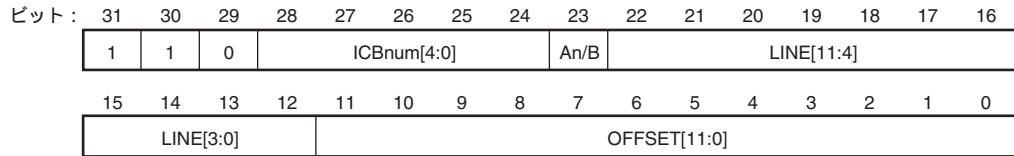
(b-4) 4,096 MEnnBSIZE.XSZM1 < 8,192



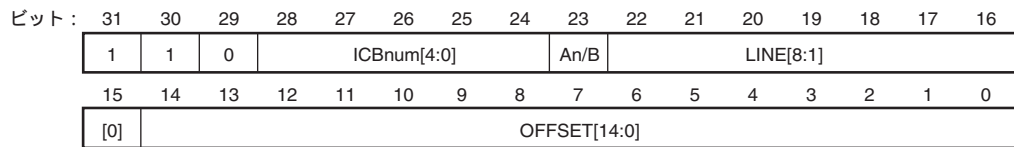
【注】 MEnnCTRL.CM = 1 では MEnnBSIZE.XSZM1 < 8,192 で使用ください。

- MEVCR1.AMD = 1、MEnnCTRL.CM = 0、VPU 以外の対象モジュール

(c-1) MEnnBSIZE.XSZM1 < 4,096

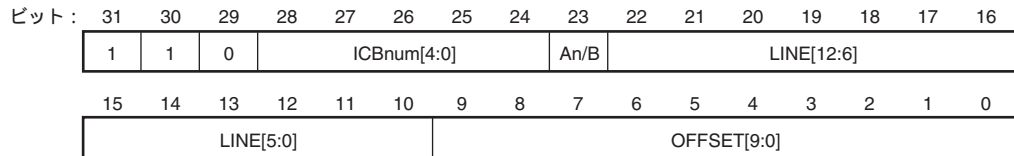


(c-2) 4,096 MEnnBSIZE.XSZM1

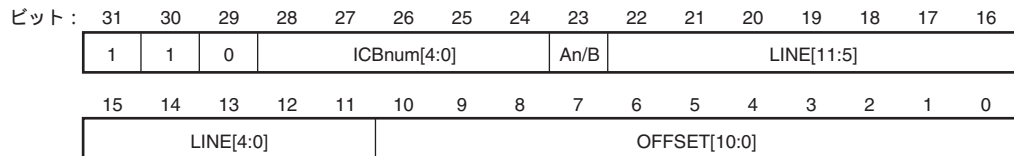


- MEVCR1.AMD = 0、MEnnCTRL.CM = 1、VPU 以外の対象モジュール

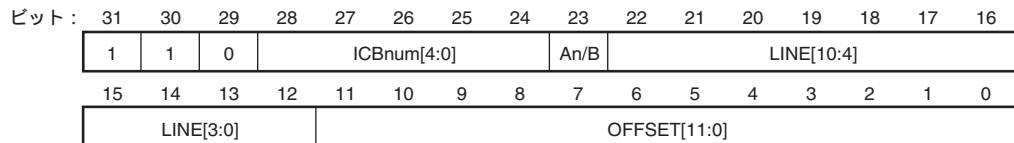
(d-1) MEnnBSIZE.XSZM1 < 1,024



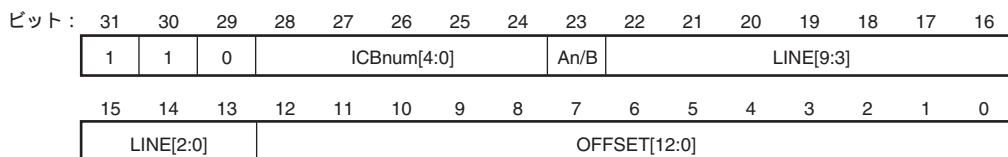
(d-2) 1024 MEnnBSIZE.XSZM1 < 2,048



(d-3) 2,048 MEnnBSIZE.XSZM1 < 4,096



(d-4) 4,096 MEnnBSIZE.XSZM1 < 8,192



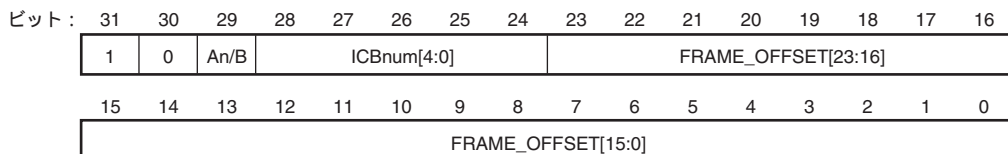
【注】 MEnnCTRL.CM = 1 では、MEnnBSIZE.XSZM1 < 8,192 で使用ください。

- 対象画像モジュールが VPU の場合

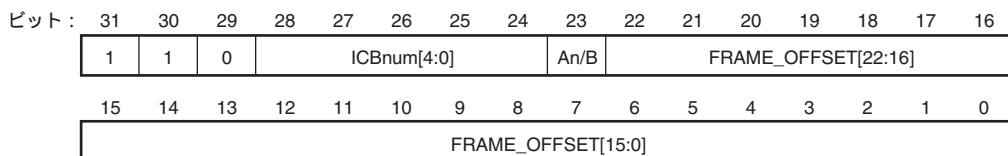
VPU にはライン幅設定レジスタが存在しないため、VPU からのアドレス出力をライン番号 / ライン内オフセットアドレスに分離して生成することができません。したがって、VPU に関しては、MEnnBSIZE.XSZM1 の設定値を使用して、ICB 内にてライン番号 / ライン内オフセットに分解します。このとき、MEnnCTRL.CM ビットは意味を持ちません。

MEVCR1.AMD = 0 の場合には、アドレスの[23:0]、MEVCR1.AMD = 1 の場合にはアドレスの[22:0]を、フレーム先頭からのオフセットアドレスとして扱います。A 面、B 面指定、ICB 番号の指定法は、他の対象モジュールと同様です。

(e-1) MEVCR1.AMD = 0、対象モジュールが VPU の場合



(e-2) MEVCR1.AMD = 1、対象モジュールが VPU の場合



41.3.4 ライン番号・オフセットアドレスに関する補足

前記(a)~(e)では、対象画像モジュールがVPU以外の場合において、画像IPの出力アドレスをICB機能として解釈するかを記述しています。画像IP側のアドレスの生成法には、次の2通りの方法があります。

(a) 画像モジュールのストライド長をICB機能としての解釈とあわせる使用方法

VPU以外のIPでは、ストライド長を設定するレジスタがあり、本レジスタにH'1000あるいはH'8000を設定することで、モジュールの出力するアドレスがそのままICB機能としての解釈と合致します(a-1)(a-2)、(c-1)(c-2)。

(以下、本章では本使用方法に即した例示を行っています。)

外部メモリ上での実データ幅およびストライド長は、MEnnBSIZE.XSZM1およびMEnnSBSIZE.SBSIZEにて設定します。

本使用方法では、MERAM、外部メモリ間の転送は、MEnnBSIZE.XSZM1およびMEnnSBSIZE.SBSIZEで設定される画面データ量と等しくなります。MERAM上には各ラインごとに(MEnnBSIZE.XSZM1+1)を1KB/2KB/4KBに切り上げたバッファ領域が確保されるので、MEnnBSIZE.XSZM1の値によってはMERAM上のバッファ領域の無駄が生じます。

(b) 画像モジュールのストライド長を外部メモリ上の値と合わせた使用方法

画像モジュールのストライド長は外部メモリ上の値(Wとします)と同じ値を設定します。したがって、画像IPからのアドレスは、ICBバッファの識別部分+フレーム内オフセットアドレスの形で生成されることとなります。

対応するMEnnCTRL.CMに1をセットし、MEnnBSIZE.XSZM1 = H'3FF、MEnnSBSIZE.SBSIZE = H'400として設定した場合で例示します。ICBは、画像モジュールの出力アドレスのフレーム先頭からのオフセット位置を、1KBバイト単位のラインと解釈し、外部メモリとの間で転送を行います。

この使用方法では、メモリ上の無効データ領域(Wから、実データの幅Hを除いた範囲)も含めて、MERAM・SDRAM間の転送が行われるので、W-Hが大きき場合には無駄な転送量が大きくなります。MERAM上のバッファ領域は、1KBバイト単位のうち、無効データ領域部分を除き有効に使用されます。したがって、W-Hが大きくない画像データを扱う場合には(2)の使用法を用いることでMERAMのバッファ領域を小容量とすることができます。

以下に、本使用方法でのICBの設定法をまとめます。

- MEnnCTRL.CM = 1とし、連続アドレスモードを指定してください。
- MEnnBSIZE.XSZM1 = H'3FFとし、ICBの1ラインを1KB設定としてください。
- MEnnSBSIZE.SBSIZE = H'400とし、ICBの1ラインを1KB設定としてください。
- $MEnnBSIZE.YSZM1 = \text{roundup}((W \times (V-1)+H)/1KB)-1$ とし、最終ピクセルを含む1KBが含まれる設定としてください。ここで、Vは外部メモリ上のライン数です。roundup(f)は、fを整数に切り上げる計算を示します。
- MEnnMCNF.BNM = 確保したいバッファライン数を1KB単位で指定します。
- MEnnMCNF.KRBNM/MEnnMCNF.KWBNMには、「41.5 対応モジュール個別の設定」で記述される各IPの必要保持ライン数をnとして、次のように算出した値を設定してください。
 - $N = \text{roundup}(n \times W/1KB)+1$ とし、1KB単位に換算した必要保持ライン数Nを算出してください。ただし、

VEUの画像入力時を除き、保持ライン数記述が1であり、かつ、対象画像がYUV420フォーマットのC面でない場合には、 $n = 0$ すなわち $N = 1$ として算出することができます。

- 16 N の場合、MEnnCTRL.BSZ = 0とし、 $N_s = N$ とします。
- 32 $N > 16$ の場合、MEnnCTRL.BSZ = 1とし、 $N_s = \text{roundup}(N/2)$ とします。
- 64 $N > 32$ の場合、MEnnCTRL.BSZ = 2とし、 $N_s = \text{roundup}(N/4)$ とします。
- (以下同様。 $N_s \geq 16$ となるBSZ値を設定してください。)
- MEnnBSIZE.KRBNM/MEnnBSIZE.KWBNM = $N_s - 1$ を設定します。

また、下記に注意してください。

- 最終ラインでは、画像の最終ピクセルを1KBに切り上げた範囲まで外部メモリへのアクセスが生じます。したがって、外部メモリ上には、その範囲を確保してください。
- 「41.5 対応モジュール個別の設定」で後述されるアクセス終了の自動検出機能は、本使用法においては使用できません。手動にてアクセス終了を通知してください。
- 画像モジュールがVPUの場合の設定法は、「41.5.6 VPUの画像入力」を参照ください。

41.4 ICB の設定方法

【注】 本節では、「41.3.4 (a) 画像モジュールのストライド長を ICB 機能としての解釈とあわせる使用法」に即して記述しています。「41.3.4 (b) 画像モジュールのストライド長を外部メモリ上の値と合わせた使用法」も可能なので同節をあわせて参照ください。

41.4.1 リードフィルバッファとしての設定

VEU0 のリードアクセスに ICB をリードフィルバッファとして使用するものとし、設定例を示します。

- ICB00 の設定 (Y データ用)

```
ME00CNTRL = H'0000 0701 ; // リードフィルモード、終了検出なし
                // H'E558 0000 からバッファ領域配置

ME00BSIZE = H'005F 007F ; // 縦96ライン、横128ピクセル

ME00MCNF = H'0F1F 0000 ; // 読み出し時保持ライン=16、総バッファライン数=32

ME00SSARA = H'5800 0000 ; // Yデータの外部メモリ上先頭アドレス (A面)

ME00SSARB = H'5900 0000 ; // Yデータの外部メモリ上先頭アドレス (B面)

ME00SBSIZE = H'0000 0080 ; // 外部メモリ上の画面幅 (128バイト)
```

- ICB01 の設定 (C データ用)

```
ME01CNTRL = H'0020 0701 ; // リードフィルモード、終了検出なし
                // H'E558 8000 からバッファ領域配置

ME01BSIZE = H'005F 007F ; // 縦96ライン、横128ピクセル

ME01MCNF = H'0F1F 0000 ; // リード時保持ライン=16、総バッファライン数=32

ME01SSARA = H'5800 8000 ; // Cデータの外部メモリ上先頭アドレス (A面)

ME01SSARB = H'5900 8000 ; // Cデータの外部メモリ上先頭アドレス (B面)

ME01SBSIZE = H'0000 0080 ; // 外部メモリ上の画面幅 (128バイト)
```

- VEU0 の設定

```
VESSR_0 = H'0060 0080 ; // 縦96ライン、横128ピクセル

VSAYR_0 = H'8000 0000 ; // Yデータ読み出しにICB00 (A面) を使用

VSACR_0 = H'8100 0000 ; // Cデータ読み出しにICB01 (A面) を使用

VESWR_0 = H'0000 1000 ; // ICB使用時には、画面幅としてH'1000を設定します

VRFSR_0 = H'0060 0080 ; // 出力クリップ。縦96ライン、横128ピクセル

VDAYR_0 = H'5801 0000 ; // Yデータを格納する外部メモリ上先頭アドレス (A面)

VDACR_0 = H'5801 8000 ; // Yデータを格納する外部メモリ上先頭アドレス (A面)

VEDWR_0 = H'0000 0080 ; // 外部メモリ上の画面幅128バイト

VEIER_0 = H'0000 0001 ; // 割り込みイネーブル
```

(その他のレジスタは、VEU0 で行う機能に従って設定します。)

これらの設定の後、VESTR_0 = H'0000 0001 により VEU0 を起動します。VEU0 からのリードアクセス要求は、ICB00 (A 面) / ICB01 (A 面) を使用するアドレスを指していますので、MERAM は設定された外部メモリアドレス (H'5800 0000/ H'5800 8000) からのリードフィル動作を開始します。

このリードフィル動作は、ME00BSIZE.YSZM1/ME01BSIZE.YSZM1 で規定されたライン数分の動作が完了するか、ME00BSIZE.BNM/ME01BSIZE.BNM で規定されるバッファライン数分のバッファ領域がフルになるまで自動的に継続されます。

VEU0 からのリードアクセス要求が、すでにバッファ領域にリードフィルされたラインへの要求であれば、MERAM は VEU0 に対してデータを返します。まだリードフィルの完了していないラインへの要求であれば、その要求は当該のリードフィル動作が完了するまで待たされます。

VEU0 はブロック単位の処理をすることがあるため、読み出し対象のライン番号が常に連続的にインクリメントされず、あるラインへの読み出しが行われた後、高々16ライン前のラインを再び読み出す場合があります。したがって、ME00MCNF.KRBNM には16ライン以上の読み出し時保持ライン数を設定する必要があります。

MERAM が、VEU0 からのアクセス要求に対し n ライン目までを応答した場合、n - (読み出し時保持ライン数) のデータは不要と判断し、バッファ領域から排除します。その領域は、新たなリードフィル用の領域として再利用されます。

VEU0 からの割り込みを検出したら、ICB00/ICB01 への読み出し動作が完了したことを、

```
ME00CNTRL = H'0000 0711 ; //RFビット=1
```

```
ME01CNTRL = H'0020 0711 ; //RFビット=1
```

を書き込むことで、MERAM に通知してください。

RF ビットのセットにより、ICB00/ICB01 は未使用状態に戻り、MEACTST レジスタの[1:0]ビットが0に戻ります。VEU0 の次の動作や、他のモジュールの動作のための ICB00/ICB01 の設定を行うことができます。

VEU0 の読み出し開始アドレスとして、

```
VSAYR_0 = H'A000 0000 ; // Yデータ読み出しにICB00 (B面) を使用
```

```
VSACR_0 = H'A100 0000 ; // Cデータ読み出しにICB01 (B面) を使用
```

を設定すると、外部メモリの H'5900 0000/ H'5900 8000 からのデータをリードフィルします。VEU0 の2面持ちレジスタ設定と組み合わせる等により、MERAM や VEU0 のレジスタの再設定を減らすことができます。

41.4.2 ライトバックバッファとしての設定

VEU1 のライトアクセスに ICB をライトバックバッファとして使用するものとし、設定例を示します。

- ICB02の設定 (Yデータ用)

```
ME02CNTRL = H'0040 0702 ; // ライトバックバッファモード、終了検出なし
           // H'E559 0000からバッファ領域配置
```

```
ME02BSIZE = H'005F 007F ; // 縦96ライン、横128ピクセル
```

```
ME02MCNF = H'F01F 0000 ; //書き込み時保持ライン=16、総バッファライン数=32
```

```
ME02SSARA = H'5802 0000 ; // Yデータを格納する外部メモリ上先頭アドレス (A面)
```

```

ME02SSARB  = H'5902 0000      ;// Yデータを格納する外部メモリ上先頭アドレス (B面)
ME02SBSIZE  = H'0000 0080      ;// 外部メモリ上の画面幅 (128バイト)
• ICB03の設定 (Cデータ用)
ME03CNTRL   = H'0060 0702      ;// ライトバックバッファモード、終了検出なし。
                                   ;// H'E559 8000からバッファ領域配置。
ME03BSIZE   = H'005F 007F      ;// 縦96ライン、横128ピクセル
ME03MCNF    = H'F01F 0000      ;// ライト時保持ライン=16、総バッファライン数=32
ME03SSARA   = H'5802 8000      ;// Cデータを格納する外部メモリ上先頭アドレス (B面)
ME03SSARB   = H'5902 8000      ;// Cデータを格納する外部メモリ上先頭アドレス (B面)
ME03SBSIZE  = H'0000 0080      ;// 外部メモリ上の画面幅 (128バイト)
• VEU1の設定
VESSR_1     = H'0060 0080      ;// 縦96ライン、横128ピクセル
VSAYR_1     = H'5801 0000      ;// Yデータの外部メモリ上先頭アドレス
                                   ;// (VEU0の出力結果をさらに処理するものとした設定例です。)
VSACR_1     = H'5801 8000      ;// Cデータの外部メモリ上先頭アドレス
                                   ;// (VEU0の出力結果をさらに処理するものとした設定例です。)
VESWR_1     = H'0000 0080      ;// 外部メモリ上画面幅128バイト。
VRFSR_1     = H'0060 0080      ;// 出力クリップ。縦96ライン、横128ピクセル
VDAYR_1     = H'8200 0000      ;// Yデータ書き込みにICB02 (A面)を使用
VDACR_1     = H'8300 0000      ;// Cデータ書き込みにICB03 (A面)を使用
VEDWR_1     = H'0000 1000      ;// ICB使用時には、画面幅としてH'1000を設定します。
VEIER_1     = H'0000 0001      ;// 割り込みイネーブル
(その他のレジスタは VEU1 で行う機能に従って設定します。)
```

これらの設定の後、VESTR_1 = H'0000 0001 により VEU1 を起動します。VEU1 からのライトアクセス要求は、ICB02 (A面) / ICB03 (A面) を使用するアドレスを指していますので、MERAM は書き込みデータを MERAM 上に確保されたバッファ領域への書き込み動作として処理します。ME02BSIZE.BNM/ME03BSIZE.BNM で規定されるバッファライン数分のバッファ領域がフルになるまでは書き込みが可能です。

VEU1 はブロック単位の処理をすることがあるため、書き込み対象のライン番号が常に連続的にインクリメントされず、あるラインへの書き込みが行われた後、高々16ライン前のラインへ再び書き込む場合があります。したがって、ME02MCNF.KWBNM/ ME03MCNF.KWBNM には 16ライン以上の書き込み時保持ライン数を設定する必要があります。

MERAM が、VEU1 からのアクセス要求に対し n ライン目までを応答した場合、n - (書き込み時保持ライン数) のデータは書き込みが完了したと判断し、外部メモリへのライトバックが行われます。ライトバックが完了した領域は書き込みデータ用の領域として再利用されます。バッファ領域の再利用を繰り返しながら、VEU1 からの書

き込みは、ME02BSIZE.YSZM1/ME03BSIZE.YSZM1 で規定された最終ラインに達するまで処理されます。

VEU1 からの割り込みを検出したら、ICB02/ICB03 への書き込み動作が完了したことを、

```
ME02CNTRL = H'0040 0722 ; // WFビット=1
```

```
ME03CNTRL = H'0060 0722 ; // WFビット=1
```

を書き込むことで、MERAM に通知してください。WF ビットのセットにより、MERAM は、まだ外部メモリへ書き戻されていないデータを書き戻した後、ICB02/ICB03 は未使用状態に戻り、MEACT レジスタの[3:2]ビットが0に戻ります。データ書き戻しの際、最終ラインからライト時保持ライン数分のデータは、WF ビットがセットされないかぎり書き戻しが行われないことに注意してください。

この後、VEU1 の次の動作や、他のモジュールの動作のための ICB02/ICB03 の設定を行うことができます。

VEU1 の書き込み開始アドレスとして、

```
VSAYR_1 = H'A200 0000 ; // Yデータ書き込みにICB02 (B面)を使用
```

```
VSACR_1 = H'A300 0000 ; // Cデータ書き込みにICB03 (B面)を使用
```

を設定すると、外部メモリの H'5902 0000/H'5902 8000 を先頭としてデータをライトバックします。VEU1 の2面持ちレジスタ設定と組み合わせるなどにより、MERAM や VEU1 のレジスタの再設定を減らすことができます。

41.4.3 インターコネクトバッファとしての設定

VEU0 と VEU1 を ICB を介してインターコネクトするものとして、設定例を示します。

- ICB04の設定 (Yデータ用)

```
ME04CNTRL = H'0080 0703 ; // ライトバックつきインターコネクトモード、終了検出なし
                // H'E55A0000からバッファ領域配置
```

```
ME04BSIZE = H'005F 007F ; // 縦96ライン、横128ピクセル
```

```
ME04MCNF = H'FF2F 0000 ; // 書き込み時保持ライン=16、読み出し時保持ライン=16、
                // 総バッファライン数=32
```

```
ME04SSARA = H'5801 0000 ; // VEU0の処理結果の
                // Yデータを格納する外部メモリ上先頭アドレス (A面)
```

```
ME04SSARB = H'5901 0000 ; // Yデータを格納する外部メモリ上先頭アドレス (B面)
```

```
ME04SBSIZE = H'0000 0080 ; // VEU0の処理結果のメモリ上の画面幅 (128バイト)
```

- ICB05の設定 (Cデータ用)

```
ME05CNTRL = H'00A0 0703 ; // ライトバックつきインターコネクトモード、終了検出なし
                // H'E55A 8000からバッファ領域配置
```

```
ME05BSIZE = H'005F 007F ; // 縦96ライン、横128ピクセル
```

```
ME05MCNF = H'FF2F 0000 ; // ライト時保持ライン=16、リード時保持ライン=16、
                // 総バッファライン数=48
```

```
ME05SSARA = H'5803 8000 ; // VEU0の処理結果の
                // Cデータを格納する外部メモリ上の先頭アドレス (A面)
```

```
ME05SSARB = H'5903 8000 ; // Cデータを格納する外部メモリ上の先頭アドレス (B面)
ME05SBSIZE = H'0000 0080 ; // VEU0の処理結果のメモリ上の画面幅 (128バイト)
```

- VEU0の設定 (差分のみを示します)

```
VDAYR1 = H'8400 0000 ; // YデータライトにICB04 (A面) を使用
VDACR1 = H'8500 0000 ; // CデータライトにICB05 (A面) を使用
VEDWR1 = H'0000 1000 ; // ICB使用時には、画面幅としてH'1000を設定します
```

- VEU1の設定 (差分のみを示します)

```
VSAYR_1 = H'84000000 ; // YデータリードにICB04 (A面) を使用
VSACR_1 = H'85000000 ; // CデータリードにICB05 (A面) を使用
VESWR_1 = H'00001000 ; // ICB使用時には、画面幅としてH'1000を設定します
```

これらの設定の後、VESTR_0 = H'00000001、VESTR_1 = H'00000001 により VEU0 および VEU1 を起動します。これらの設定により、VEU0 の出力データは、MERAM 上のバッファ領域を介し VEU1 の入力データとして使用されます。また、VEU0 の出力データはさらに外部メモリへもライトバックされます。

ME04CNTRL.MD/ME05CNTRL.MD が B'100 の設定の場合には、VEU0 の出力データは MERAM 上に一時的に保持されるのみで、外部メモリへのアクセスは行われません。

VEU0 の処理は完了し、割り込みが発生しますが、この時点では VEU0 のデータのうち最終ラインから書き込み時保持ライン数のデータが確定していないと見なされているため、VEU1 の処理は完了していません。VEU0 からの割り込みを検出したら、ICB04/ICB05 への書き込み動作が完了したことを、

```
ME04CNTRL = H'00800723 ; // WFビット=1
ME05CNTRL = H'00A00723 ; // WFビット=1
```

を書き込むことで、MERAM に通知してください。WF ビットのセットにより、MERAM は、全データが確定したものと見なし、VEU0 が残りの処理を開始し、まだ外部メモリへ書き戻されていないデータの書き戻しを行います。VEU0 の割り込みが発生したら、ICB04/ICB05 への読み出し動作が完了したことを、

```
ME04CNTRL = H'00800713 ; // RFビット=1
ME05CNTRL = H'00A00713 ; // RFビット=1
```

を書き込むことで、MERAM に通知してください。RF ビットに 1 がセットされ、外部メモリへの書き戻しも完了していれば、ICB04/ICB05 は未使用状態に戻り、MEACT レジスタの[5:4]ビットが 0 に戻ります。この後、VEU0、VEU1 の次回の動作や、他のモジュールの動作のための ICB04/ICB05 の設定を行うことができます。

ICB04/ICB05 の A 面、B 面の別は、VEU0 の出力結果の書き戻しアドレスの選択に使用されますが、VEU0/VEU1 の A 面 / B 面の選択は一致させてください。

41.4.4 フレームバッファキャッシュとしての設定

ICB をフレームバッファキャッシュとして使用する場合、ICB を 2 面組み合わせで使用します。1 面をマーカバッファ、もう一面をキャッシュバッファと呼びます。

- マーカバッファ

マーカバッファとして使用できるのは、ICB28～ICB31のバッファのみです。逆に、ICB28～ICB31のうち、MEMMCTRL.MD=B'111(ここでは、mm=28～31)として設定されているものはマーカバッファとして扱われます。マーカバッファのMEMMCTRL.NXT[4:0]ビットに、対応するキャッシュバッファの番号を設定します。

- キャッシュバッファ

マーカバッファへのライン番号0のアクセスが生じると、MEMMCTRL.NXT[4:0]ビットが参照され、設定値(ccとします)に従って、ICBccの使用と読みかえられます。

ICBccは、リードフィルバッファと同様に動作しますが、MEeccMCNT.BNM[7:0]ビットで確保されたバッファライン数分のリードフィルが完了すると制御をMEeccCTRL.NXT[4:0]に指定されたバッファに移し、フィルされたデータが上書きされずにMERAMのメモリ上に残るようにします。MEeccCTRL.NXT[4:0]ビットには、再びマーカバッファの番号(mm)を指定してください。

ICBccからICBmmへ処理が移る際には、ICBccのアクティブビット(MEACTST.ACcc)は1のまま残ります。キャッシュバッファへのアクセスが行われた際に、MEACTST.ACcc=1であり、かつ、MEeccCTRL.CBビットによるA面/B面表示とアクセスされたアドレスによるA面/B面表示が一致している場合、ICBcc上にすでにデータがあると見なし、リードフィル動作は行われません。不一致の場合、または、MEACTST.ACcc=0である場合には、データの更新があった、または初回のアクセスと見なし、ACTecをセットし、CBビットを更新して新たにリードフィル動作を行います。

マーカバッファへライン番号0以外で制御が戻ると、マーカバッファ上にてリードフィルバッファとして動作を継続します。マーカバッファ上では、通常のリードフィルバッファと同様に、MERAM上のバッファを再利用しながら、最終ラインまで動作を継続します。マーカバッファとしては、リードフィルバッファとして動作するための最低限のライン数を確保してください。最低ライン数は2です。

1フレーム分の表示データすべてをICBキャッシュバッファ内に格納した場合、表示データが不正になる現象が発生します。画面サイズが小さく、1フレーム分の表示データすべてをキャッシュバッファに格納できる場合でも、分割して格納してください。

以下に、マーカバッファ/キャッシュバッファそれぞれにつき、フレームバッファキャッシュモード特有の設定法をまとめます。

- マーカバッファの設定

MEMMCTRL: MD[2:0]ビットにB'111を設定し、NXT[4:0]ビットにはccを設定してください。MSAR[8:0]ビットには、マーカバッファが使用するMERAM上のバッファの先頭アドレスを指定します。

MEmmBSIZE : YSZM1[11:0]ビットには、フレームバッファ (全画面) の総ライン数 - 1を設定します。
RCNT[3:0]ビットには1を設定し、読み出し動作完了が検出できるようにしてください。手動で完了を指示することも可能です。

MEmmMCNF : BNM[7:0]ビットには、最低1 (2ライン確保) を設定します。KRBNM[3:0]には、0以上 (1ライン保持以上) を指定します。

MEmmSSARA/MEmmSSARB : A面、B面それぞれにつき、キャッシュバッファにて保持し得ない外部メモリ上の先頭アドレスを設定してください。

MEmmSBSIZE : 他のモードと同様です。外部メモリ上の画面の幅をバイト単位で指定します。

- キャッシュバッファの設定

MEccCTRL : MD[2:0]ビットにB'111を設定し、NXT[4:0]ビットにはmmを設定してください。MSAR[8:0]ビットにはキャッシュ領域として確保するMERAM上の先頭アドレスをKバイト単位で指定します。

MEccBSIZE : YSZM1[11:0]ビットには、フレームバッファ (全画面) の総ライン数 - 1を設定します。全画面がキャッシュバッファ上に乗るだけのバッファ量が確保されている場合には、RCNT[3:0]ビットには1を設定し、キャッシュバッファ上で読み出し動作完了が検出できるようにしてください。

MEccMCNF : BNM[7:0]ビットには、MERAM上に確保可能なライン数を指定します。KRBNM[3:0]には、0以上 (1ライン保持以上) を指定します。

MEccSSARA/MEccSSARB : A面、B面それぞれにつき、外部メモリ上での先頭アドレスを設定してください。

MEccSBSIZE : 他のモードと同様です。外部メモリ上の画面の幅をバイト単位で指定します。

フレームバッファキャッシュに対する1面分の処理終了を手動にて行う場合、マーカバッファのMEmmCTRL.RFビットに1を書き込みます。この場合、ICBccのアクティブステートMEACTST.ACccビットはクリアされません。フレームバッファキャッシュ全体の使用を中止したり、フレームバッファキャッシュの設定の変更をしたりする場合には、MEACTST.ACccビットを手動にてクリアしてください。

- 補足：キャッシュバッファ上のデータの再利用法

LCDリフレッシュモードからの復帰後などでMERAM上に画像データが存在している状態からフレームバッファキャッシュを使用する場合、キャッシュバッファをあらかじめ「フィル済み」として設定することにより初回のリードフィルを省略することができます。この場合、通常のキャッシュバッファの設定に加え、下記の設定を行ってください。

MEccCTRL	通常の初期設定 H'0000 0040 //WBFビットセット
MEccCTRL+H'0C番地	H'0000 0000 //
MEccCTRL+H'1C番地	H'0000 0000 //
MEVCR1	H'4000 0000 ; //ACTビットのセットモードへ移行
MEACTST[cc]	B'1 ; //キャッシュバッファのアクティブビットセット
MEVCR1	H'0000 0000 ; //ACTビットのクリアモードへ戻す

41.5 対応モジュール個別の設定

【注】 本節では、「41.3.4 (a) 画像モジュールのストライド長を ICB 機能としての解釈とあわせる使用法」に即して記述しています。「41.3.4 (b) 画像モジュールのストライド長を外部メモリ上の値と合わせた使用法」も可能なので同節をあわせて参照ください。

41.5.1 VEU の画像出力

本 LSI には VEU モジュールが 2 個、搭載されていますが、それぞれ ICB 機能の使用法は同等です。以下の説明では、n 番目の VEU として VEU_n という記述を使用します。

(a) ICB を使用可能なレジスタおよび条件

VEU_n.VDAYR レジスタおよび VEU_n.VDACR レジスタを ICB 使用に設定できます。あわせて、VEU_n.VEDWR レジスタに H'1000 を設定してください。

- 【注】
1. VEU_n.VEDWR レジスタは Y 画像、CbCr 画像共通であり、Y 画像、CbCr 画像の一方を ICB 使用、一方を ICB 非使用と設定することはできません。また、YCbCr444 フォーマットでは、Y 面、CbCr 画像で BDWR 値の扱いが変わるため、使用できません。
 2. 90 度 / 270 度回転 / 垂直反転を伴う設定では、画像出力に ICB を使用できません。水平反転のみ ICB を使用可能です。
 3. バンドルモードはサポートしません。

(b) 保持ライン数の条件

書き込み時保持ライン数は、VEU で行う処理により次の値を設定してください。

- VEU の処理が VESTR.VBE || (VENHR.ENH || VENHR.ENHV) || (VRFCCR!=0) の条件を満たす場合、1 以上
- 同条件を満たさない場合、16 以上

(c) 1 面分の処理完了の検出

VEU は、画像出力時に最終ピクセルへの書き込み動作を通知するモジュールに当たります。したがって、ME_nCTRL.WD[1:0] = B'10、ME_nCTRL.WS = B'0 の組み合わせの設定を推奨します。

【注】 WD[1:0]=B'11、WS=B'1 とし、外部メモリへのライトバック完了や ICB での他モジュールからの読み出し完了を待たない設定にすることもできます。この場合には、VEU_n からの完了割り込みを受け、VEU_n が使用している全 ICB_n に関して ME_nCTRL.WF および RF ビットに 1 を書き込み、全 ICB_n の使用完了を通知した後、ICB から転送完了割り込み等を利用して全 ICB_n の転送完了を確認します。

41.5.2 VEU の画像入力

(a) ICB を使用可能なレジスタおよび条件

VEU_n.VSAYR レジスタおよび VEU_n.VSACR レジスタを ICB 使用に設定できます。あわせて、VEU_n.VESWR レジスタに H'1000 を設定してください。

- 【注】
1. VEU_n.VESWR レジスタは Y 画像、CbCr 画像共通であり、Y 画像、CbCr 画像の一方を ICB 使用、一方を ICB 非使用と設定することはできません。また、YCbCr444 フォーマットでは Y 面、CbCr 画像で BDWR 値の扱いが変わるため、使用できません。
 2. 90 度 / 270 度回転 / 垂直反転を伴う設定でも画像入力には ICB を使用できます。

3. バンドルモードはサポートしません。

(b) 保持ライン数の条件

読み出し時保持ライン数は、VEU で行う処理により次の値を設定してください。

- VEUの処理が $\text{VESTR.VBE} \parallel (\text{VENHR.ENHH} \parallel \text{VENHR.ENHV}) \parallel (\text{VRFCR}! = 0)$ の条件を満たす場合、1以上
- 同条件を満たさない場合
 - LPFフィルタなしの場合、16以上。ただし、MEDフィルタありの場合、18以上
 - 3TAP LPFありの場合、18以上。ただし、MEDフィルタありの場合、20以上
 - 5TAP LPFありの場合、20以上。ただし、MEDフィルタありの場合、22以上

(c) 1面分の処理完了の検出

VEU は、リードアクセスのパターンが使用条件により複雑なため、リードアクセスの1面分の完了を自動検出するのは難しいモジュールに当たります。VEU の動作完了を受け、手動にて MEnnCTRL.RF に 1 を書くことで、リードアクセスの完了を ICB へ通知する方法を推奨します。

41.5.3 BEU の画像出力

本 LSI には BEU モジュールが 2 個搭載されていますが、それぞれ ICB に関連した機能は同等です。以下の説明では、n 番目の BEU として BEUn という記述を使用します。

(a) ICB を使用可能なレジスタおよび条件

BEUn.BDAYR レジスタおよび BEUn.BDACR レジスタを ICB 使用に設定できます。あわせて、 BEUn.BDWR レジスタに H'1000 を設定してください。

【注】 BEUn.BDWR レジスタは Y 画像、CbCr 画像共通であり、Y 画像、CbCr 画像の一方を ICB 使用、一方を ICB 非使用と設定することはできません。また、YCbCr4:4:4 フォーマットでは Y 面、CbCr 画像で BDWR 値の扱いが変わるため、使用できません。

(b) 保持ライン数の条件

書き込み時保持ライン数 1 を設定してください。

(c) 1面分の処理完了の検出

BEU は、画像出力時に最終ピクセルへの書き込み動作を通知するモジュールに当たります。したがって、 $\text{MEnnCTRL.WD}[1:0] = \text{B}'10$ 、 $\text{MEnnCTRL.WS} = \text{B}'0$ の組み合わせの設定を推奨します。

【注】 $\text{WD}[1:0] = \text{B}'11$ 、 $\text{WS} = \text{B}'1$ とし、外部メモリへのライトバック完了や ICB での他モジュールからの読み出し完了を待たない設定とすることもできます。この場合には、 BEUn からの完了割り込みを受け、 BEUn が使用している全 ICBnn に関して MEnnCTRL.WF および RF ビットに 1 を書き込み、全 ICBnn の使用完了を通知した後、ICB からの転送完了割り込みなどを利用して全 ICBnn の転送完了を確認します。

41.5.4 BEU の画像入力

(a) ICB を使用可能なレジスタおよび条件

BEUn.BSAYR1 、 BEUn.BSACR1 、 BEUn.BSAYR2 、 BEUn.BSACR2 、 BEUn.BSAYR3 および BEUn.BSACR3 レジ

スタを ICB 使用に設定できます。あわせて、BEUn.BSWR1、BEUn.BSWR2 および BEUn.BSWR3 レジスタに H'1000 を設定してください。

- 【注】
1. BEUn.BSWR1~3 レジスタは Y 画像、CbCr 画像共通であり、Y 画像、CbCr 画像の一方を ICB 使用、一方を ICB 非使用と設定することはできません。また、YCbCr4:4:4 フォーマットでは Y 面、CbCr 画像で BDWR 値の扱いが変わるため、使用できません。
 2. マルチ画面機能はサポートしません。
 3. BEU の入力に ICB を使用する場合、入力系すべてで ICB を使用してください。

(b) 保持ライン数の条件

読み出し時保持ライン数 1 を設定してください。

(c) 1 面分の処理完了の検出

BEU は、リードアクセスのパターンが使用条件により複雑なため、リードアクセスの 1 面分の完了を自動検出するのは難しいモジュールに当たります。BEU の動作完了を受け、手動にて MEnnCTRL.RF ビットに 1 を書くことで、リードアクセスの完了を ICB へ通知する方法を推奨します。

41.5.5 VPU の画像出力

(a) ICB を使用可能なレジスタおよび条件

VPU.VP4_DWY_ADDR、VPU.VP4_DWC_ADDR、VPU.VP4_D2WY_ADDR および VPU.VP4_D2WC_ADDR レジスタを ICB 使用に設定できます。ただし、VPU.VP4_DWY_ADDR/ VPU.VP4_DWC_ADDR の一方を ICB 使用、一方を未使用と設定することはできません。また、VPU.VP4_D2WY_ADDR/ VPU.VP4_D2WC_ADDR の一方を ICB 使用、一方を未使用と設定することはできません。

(b) 保持ライン数の条件

書き込み時保持ライン数としては、VPU の出力レジスタに対応して、次の値を設定してください。

- VPU.VP4_DWY_ADDR に対応するバッファ：20以上
- VPU.VP4_DWC_ADDR に対応するバッファ：12以上
- VPU.VP4_D2WY_ADDR に対応するバッファ：20以上
- VPU.VP4_D2WC_ADDR に対応するバッファ：12以上

【備考】 VPU の出力画像は YUV420 フォーマットのため、CbCr 面のライン数は Y 面の半分として表記しています。ただし、VP4_D2WC_ADDR に対応するバッファは、12 以上の書き込み時保持ライン数が必要です。

(c) 1 面分の処理完了の検出

VPU は、1 マクロブロックの Y 面 / C 面それぞれの出力完了ごとに書き込み完了を通知するモジュールに当たり、1 画面分の処理完了を検出するにはアドレス比較との併用が必要になります。

Y 面に対応する ICB を ICB_{yy}、C 面に対応する ICB を ICB_{cc} としたとき、

ME_{yy}CTRL.WD[1:0]=B'11 (検出ししない)、ME_{yy}CTRL.WS=1 (ストールしない)、

ME_{cc}CTRL.WD[1:0]=B'00 (書き込み完了信号と、最終アドレス一致の双方で検出)、ME_{cc}CTRL.WS=0 (スト

ールする)を設定します。

この際、

$$\text{MEccBSIZE.YSZM}[11:0] = \text{VPU.VP4_IMAGE_SIZE.HD}[11:0] - 1$$

$$\text{MEccBSIZE.XSZM}[15:0] = \text{VPU.VP4_IMAGE_SIZE.WD}[11:0] - 1$$

を設定してください。

【注】 WD[1:0]=B*11、WS=B*1とし、外部メモリへのライトバック完了やICBでの他モジュールからの読み出し完了を待たない設定にすることもできます。この場合には、VPUからの完了割り込みを受け、BEUnが使用している全ICBnnに関してMEnnCTRL.WFおよびRFビットに1を書き込み、全ICBnnの使用完了を通知した後、ICBからの転送完了割り込みなどを利用して全ICBnnの転送完了を確認します。

41.5.6 VPUの画像入力

(a) ICBを使用可能なレジスタおよび条件

VPU.VP4_CPY_ADDR、VPU.VP4_CPC_ADDRレジスタをICB使用に設定できます。ただし、Y/CのICB使用/未使用は、あわせてください。

VPU.VP4_R0Y_ADDR、VPU.VP4_R0C_ADDRをICB使用に設定できます。ただし、Y/CのICB使用/未使用は、あわせてください。

(b) 保持ライン数の条件

VP4_CPY_ADDR、VP4_CPC_ADDRレジスタに関しては、読み出し時保持ライン数 48を設定してください。

VPU.VP4_R0Y_ADDR、VPU.VP4_R0Cに関しては、

VPU.VP4_VOP_CTRL.FF[2:0]=1のとき、読み出し時保持ライン数 48を設定してください。

VPU.VP4_VOP_CTRL.FF[2:0]=2のとき、読み出し時保持ライン数 80を設定してください。

(c) 1面分の処理完了の検出

1面分の読み出し動作の完了を自動検出するように設定する場合、各ICBnnに対して、MEnnBSIZE.RCNT[3:0]=B*0010(最終アドレス一致の2回一致で検出)を設定してください。

この際、

$$\text{MEnnBSIZE.YSZM}[11:0] = \text{VPU.VP4_IMAGE_SIZE.HD}[11:0] - 1$$

$$\text{MEnnBSIZE.XSZM}[15:0] = \text{VPU.VP4_IMAGE_SIZE.WD}[11:0] - 1$$

を設定してください。

【注】 VPUに関しては、画像出力、入力に使用するICBのバッファを次のように設定することで、MERAM上のバッファ領域の容量を削減することができます。

$$\text{MEnnBSIZE.XSZM}[15:0] = \text{H}'3\text{FF}$$

$$\text{MEnnBSIZE.YSZM}[11:0] = \text{roundup}(\text{VP4_IMAGE_SIZE.HD}[11:0] \times \text{VP4_IMAGE_SIZE.WD}[11:0]/1\text{KB}) - 1$$

MEnnBSIZE.KRBNM[3:0]: roundup(48 × VP4_IMAGE_SIZE.WD[11:0]/1KB)で算出される、1KB換算での必要保持ライン数を設定してください。16を超える場合には、MEnnCTRL.BSZを調整してください。

$$\text{MEnnSBSIZE.SBSIZE} = \text{H}'400$$

ただし、最終ラインでは、最終画素を含む1KBまで外部メモリへのアクセスが生じますので、その領域までを確保し

てください。上記例では、1ラインを1KBの設定にする例を示しましたが、同様に1ラインを2KBの設定とすることも可能です(1ラインを4KB以上の設定とすることはできません)。

41.5.7 CEU の画像出力

本 LSI には CEU モジュールが 2 個搭載されていますが、それぞれ ICB に関連した機能は同等です。以下の説明では、n 番目の CEU として CEUn という記述を使用します。

(a) ICB を使用可能なレジスタおよび条件

CEUn.CDAYR、CEUn.CDACR、CEUn.CDBYR および CEUn.CDBCR レジスタを ICB 使用に設定できます。あわせて、CEUn.CDWDR レジスタに H'1000 を設定してください。

【注】 CEUn.CDWDR レジスタは Y 画像、CbCr 画像共通であり、Y 画像、CbCr 画像の一方を ICB 使用、一方を ICB 非使用と設定することはできません。

(b) 保持ライン数の条件

書き込み時保持ライン数 ≥ 1 を設定してください。

(c) 1 面分の処理完了の検出

CEU は、画像出力時に最終ピクセルへの書き込み動作を通知するモジュールに当たります。したがって、MEnnCTRL.WD[1:0]=B'10、MEnnCTRL.WS=B'0 の組み合わせの設定を推奨します。

【注】 WD[1:0]=B'11、WS=B'1 とし、外部メモリへのライトバック完了や ICB での他モジュールからの読み出し完了を待たない設定とすることもできます。この場合には、CEU からの完了割り込みを受け、CEU が使用している全 ICBnn に関して MEnnCTRL.WF ビットに 1 を書き込み、全 ICBnn の使用完了を通知した後、ICB からの転送完了割り込みなどを利用して全 ICBnn の転送完了を確認します。

41.5.8 JPU の画像出力

(a) ICB を使用可能なレジスタおよび条件

JPU.JIFDDYA1、JPU.JIFDDYC1、JPU.JIFDDYA2、JPU.JIFDDYC2 を ICB 使用に設定できます。あわせて、JPU.JIFDDMW に H'1000 を設定してください。

【注】 JPU.JIFDDMW はこれらのレジスタで共通なので、ICB 使用/非使用を混在することはできません。

(b) 保持ライン数の条件

書き込み時保持ライン数 8を設定してください。

(c) 1 面分の処理完了の検出

自動検出機能は使用せず、MEnnCTRL.WD[1:0]=B'11 (検出しない)としてください。JPU からの完了割り込みを受け、JPU の当該処理が使用している全 ICBnn に関して MEnnCTRL.WF および RF に 1 を書き込み、全 ICBnn の使用完了を通知した後、ICB からの転送完了割り込み等を利用して全 ICBnn の転送完了を確認してください。

41.5.9 JPU の画像入力

(a) ICB を使用可能なレジスタおよび条件

JPU.JIFESYA1、JPU.JIFESYC1、JPU.JIFESYA2、JPU.JIFESYC2 を ICB 使用に設定できます。あわせて、JPU.JIFESMW に H'1000 を設定してください。

【注】 JPU.JIFESMW はこれらのレジスタで共通なので、ICB 使用 / 非使用を混在することはできません。

(b) 保持ライン数の条件

読み出し時保持ライン数 8 を設定してください。

(c) 1 面分の処理完了の検出

自動検出機能は使用せず、MEnnCTRL.WD[1:0]=B'11 (検出ししない)としてください。JPU からの完了割り込みを受け、JPU の当該処理が使用している全 ICBnn に関して MEnnCTRL.WF および RF に 1 を書き込み、全 ICBnn の使用完了を通知した後、ICB からの転送完了割り込み等を利用して全 ICBnn の転送完了を確認してください。

41.6 LCDC の画像入力

フレームバッファキャッシュモードで使用の場合には、「41.4.4 フレームバッファキャッシュとしての設定」を参照ください。下記には、リードフィルモードで使用する場合の条件を記述します。

【注】 LCDC は、インターコネクトモードでは使用しないでください。

(a) ICB を使用可能なレジスタおよび条件

LCDC.MLDSA1R および LCDC.MLDSA2R を ICB 使用に設定できます。あわせて、LCDC.MLDMLSR に H'1000 を設定してください。

【注】 LCDC.MLDMLSR は Y 画像、CbCr 画像共通なので、Y 画像、CbCr 画像の一方を ICB 使用、一方を ICB 非使用と設定することはできません。また、YCbCr444 フォーマットでは Y 面、CbCr 画像で MLDMLSR 値の扱いが変わるため、使用できません。

(b) 保持ライン数の条件

読み出し時保持ライン数 1 を設定してください。

(c) 1 面分の処理完了の検出

1 面分の読み出し動作の完了を自動検出するように設定するとき、MLDSA1R (MLDSA2R を使用している場合には MLDSA2R) に対応する ICB 番号を nn として、MEnnBSIZE.RCNT[3:0]=B'0001 (最終アドレスの 1 回一致で検出) を設定してください。

この際、

MEnnBSIZE.YSZM[11:0] = LCDC.MLDVCNR.VDLN[10:0] - 1

MEnnBSIZE.XSZM[15:0] = LCDC.MLDHCNR.HDCN[7:0] × 8 × (byte/pixel) - 1

を設定してください。

41.7 外部メモリへのアクセスの処理順

ICBの各バッファは、外部メモリに対してリードフィル、またはライトバックを生成します。これらのリードフィル、ライトバック要求（以下、外部メモリアクセス要求）が処理される順序について説明します。

1. 各ICBが生成した外部メモリアクセス要求は、1ラインごとに処理されます。1ライン分の処理が完了するごとに他のICBの処理に移行します。
2. 各ICBが生成した外部メモリアクセス要求は、3種のキューに蓄積されていきます。一度キューに外部メモリアクセス要求を蓄積すると、その外部メモリアクセス要求が完了するまで次のリクエストを生成させません。
 - キュー0：ICB00～ICB15の生成した外部メモリアクセス要求が蓄積されます。
 - キュー1：ICB16～ICB23が生成した外部メモリアクセス要求が蓄積されます。
 - キュー2：ICB24～ICB31が生成した外部メモリアクセス要求が蓄積されます。

ただし、フレームバッファキャッシュモードのキャッシュバッファとして使用されているICBに関しては、それらがICB00～ICB23を使用している場合でも、外部メモリアクセス要求はキュー2に蓄積されます。

キュー0～キュー2に蓄積された外部メモリアクセス要求は、

キュー2 キュー1 キュー2 キュー0 キュー2 ...

の順序で処理されます。すなわち、キュー2に蓄積された外部メモリアクセス要求は2回に1度処理され、キュー1/キュー0に蓄積された外部メモリアクセス要求は4回に1度処理されます。キュー0およびキュー1の処理頻度は同等ですが、キュー0へはICB00～ICB15の高々16個の外部アクセス要求が蓄積され、キュー1へはICB16～23の高々8個の外部アクセス要求が蓄積されますので、この蓄積量の違いによりキュー1の処理の方が早く処理されることになります。

したがって、優先度の高い処理から、ICB24～ICB31、ICB16～23、ICB0～15の順に割り当ててください。

42. 画像切り出しダイレクトメモリアクセスコントローラ (2D-DMAC)

本 LSI は、画像切り出しダイレクトメモリアクセスコントローラ (2D-DMAC) を内蔵しています。フレームバッファメモリ上の画像データを読み出し、画像切り出し、回転/反転、単純拡大、フォーマット変換を行い、フレームバッファ上に書き戻すモジュールです。

42.1 特長

- 画像切り出し機能

フレームメモリのソース画像データ原点からシフトさせた点 (S_x 、 S_y) から任意の矩形領域を切り出し、別のフレームメモリに書き出します。YCbCr形式、RGB形式共に1画素単位の切り出しが可能です。画像のクリッピングや画像の動き補正として使用可能です。

- 画像回転/反転機能

ソース画像に対して上下/左右反転および 90° / 270° 回転を行って出力することが可能です。

- 単純拡大機能

デスティネーション画像書き出し時に、X方向、Y方向にそれぞれ2倍に単純拡大して出力することが可能です。回転時は使用不可です。

- フォーマット変換

RGBのサポートフォーマット間でフォーマット変換が可能です。

YCbCrのサポートフォーマット間でフォーマット変換が可能です (YCbCr4:2:0、YCbCr4:2:2)。

RGB-YCbCr間のフォーマット変換はできません。

変換方式はVIOと同等です。

- チャンネル数

8チャンネルの設定が可能です。YCbCr形式では、Y面、C面に対してそれぞれチャンネル設定を行います。したがって、YCbCr形式では4面、RGB形式では8面処理までの同時処理になります。チャンネル間の処理の遷移は、1ライン (回転使用時は1マクロブロックライン) の処理完了ごとに行われます。

- 割り込み

各チャンネルのデータ転送ハーフエンド時およびデータ転送終了時に出力可能です。

2D-DMAC のブロック図を図 42.1 に示します。

また、ピクセル処理ブロックのフローを図 42.2 に示します。

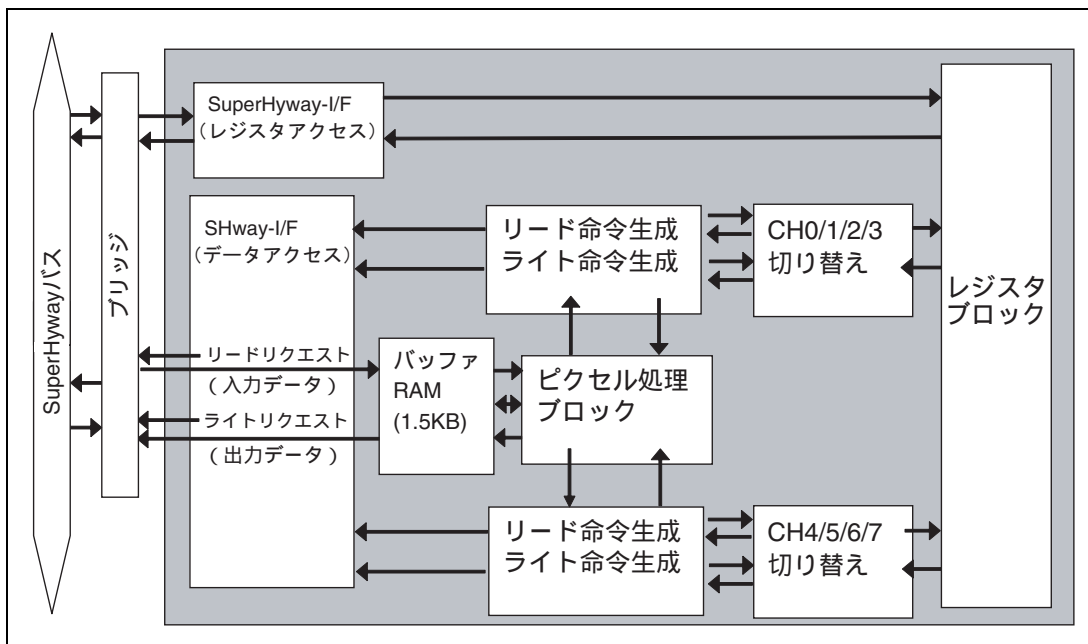


図42.1 2D-DMAC ブロック図

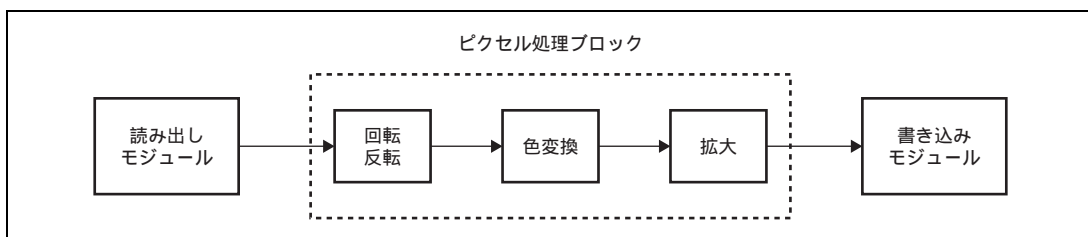


図42.2 ピクセル処理ブロックのフロー

42.2 レジスタの説明

2D-DMAC のレジスタ構成を表 42.1 に示します。また、各処理モードにおけるレジスタの状態を表 42.2 に示します。

表42.1 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
割り込みステータスクリアレジスタ	CHSTCLR	R/W	H'FEA0 0010	32
チャンネル優先度切替レジスタ	CHPRI	R/W	H'FEA0 0014	32
CH0 コントロールレジスタ	CH0CTRL	R/W	H'FEA0 0020	32
CH1 コントロールレジスタ	CH1CTRL	R/W	H'FEA0 0024	32
CH2 コントロールレジスタ	CH2CTRL	R/W	H'FEA0 0028	32
CH3 コントロールレジスタ	CH3CTRL	R/W	H'FEA0 002C	32
CH4 コントロールレジスタ	CH4CTRL	R/W	H'FEA0 0120	32
CH5 コントロールレジスタ	CH5CTRL	R/W	H'FEA0 0124	32
CH6 コントロールレジスタ	CH6CTRL	R/W	H'FEA0 0128	32
CH7 コントロールレジスタ	CH7CTRL	R/W	H'FEA0 012C	32
CH0 入出力スワップレジスタ	CH0SWAP	R/W	H'FEA0 0030	32
CH1 入出力スワップレジスタ	CH1SWAP	R/W	H'FEA0 0034	32
CH2 入出力スワップレジスタ	CH2SWAP	R/W	H'FEA0 0038	32
CH3 入出力スワップレジスタ	CH3SWAP	R/W	H'FEA0 003C	32
CH4 入出力スワップレジスタ	CH4SWAP	R/W	H'FEA0 0130	32
CH5 入出力スワップレジスタ	CH5SWAP	R/W	H'FEA0 0134	32
CH6 入出力スワップレジスタ	CH6SWAP	R/W	H'FEA0 0138	32
CH7 入出力スワップレジスタ	CH7SWAP	R/W	H'FEA0 013C	32
CH0 ソースアドレスレジスタ	CH0SAR	R/W	H'FEA0 0080	32
CH0 デスティネーションアドレスレジスタ	CH0DAR	R/W	H'FEA0 0084	32
CH0 デスティネーションピクセルレジスタ	CH0DPXL	R/W	H'FEA0 0088	32
CH0 ソースフォーマットレジスタ	CH0SFMT	R/W	H'FEA0 008C	32
CH0 デスティネーションフォーマットレジスタ	CH0DFMT	R/W	H'FEA0 0090	32
CH0 ソースラインアドレスレジスタ	CH0SARE	R	H'FEA0 0094	32
CH0 デスティネーションラインアドレスレジスタ	CH0DARE	R	H'FEA0 0098	32
CH0 デスティネーションピクセル処理レジスタ	CH0DPXLE	R	H'FEA0 009C	32
CH1 ソースアドレスレジスタ	CH1SAR	R/W	H'FEA0 00A0	32
CH1 デスティネーションアドレスレジスタ	CH1DAR	R/W	H'FEA0 00A4	32
CH1 デスティネーションピクセルレジスタ	CH1DPXL	R/W	H'FEA0 00A8	32
CH1 ソースフォーマットレジスタ	CH1SFMT	R/W	H'FEA0 00AC	32
CH1 デスティネーションフォーマットレジスタ	CH1DFMT	R/W	H'FEA0 00B0	32
CH1 ソースラインアドレスレジスタ	CH1SARE	R	H'FEA0 00B4	32

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
CH1 デスティネーションラインアドレスレジスタ	CH1DARE	R	H'FEA0 00B8	32
CH1 デスティネーションピクセル処理レジスタ	CH1DPXLE	R	H'FEA0 00BC	32
CH2 ソースアドレスレジスタ	CH2SAR	R/W	H'FEA0 00C0	32
CH2 デスティネーションアドレスレジスタ	CH2DAR	R/W	H'FEA0 00C4	32
CH2 デスティネーションピクセルレジスタ	CH2DPXL	R/W	H'FEA0 00C8	32
CH2 ソースフォーマットレジスタ	CH2SFMT	R/W	H'FEA0 00CC	32
CH2 デスティネーションフォーマットレジスタ	CH2DFMT	R/W	H'FEA0 00D0	32
CH2 ソースラインアドレスレジスタ	CH2SARE	R	H'FEA0 00D4	32
CH2 デスティネーションラインアドレスレジスタ	CH2DARE	R	H'FEA0 00D8	32
CH2 デスティネーションピクセル処理レジスタ	CH2DPXLE	R	H'FEA0 00DC	32
CH3 ソースアドレスレジスタ	CH3SAR	R/W	H'FEA0 00E0	32
CH3 デスティネーションアドレスレジスタ	CH3DAR	R/W	H'FEA0 00E4	32
CH3 デスティネーションピクセルレジスタ	CH3DPXL	R/W	H'FEA0 00E8	32
CH3 ソースフォーマットレジスタ	CH3SFMT	R/W	H'FEA0 00EC	32
CH3 デスティネーションフォーマットレジスタ	CH3DFMT	R/W	H'FEA0 00F0	32
CH3 ソースラインアドレスレジスタ	CH3SARE	R	H'FEA0 00F4	32
CH3 デスティネーションラインアドレスレジスタ	CH3DARE	R	H'FEA0 00F8	32
CH3 デスティネーションピクセル処理レジスタ	CH3DPXLE	R	H'FEA0 00FC	32
CH4 ソースアドレスレジスタ	CH4SAR	R/W	H'FEA0 0180	32
CH4 デスティネーションアドレスレジスタ	CH4DAR	R/W	H'FEA0 0184	32
CH4 デスティネーションピクセルレジスタ	CH4DPXL	R/W	H'FEA0 0188	32
CH4 ソースフォーマットレジスタ	CH4SFMT	R/W	H'FEA0 018C	32
CH4 デスティネーションフォーマットレジスタ	CH4DFMT	R/W	H'FEA0 0190	32
CH4 ソースラインアドレスレジスタ	CH4SARE	R	H'FEA0 0194	32
CH4 デスティネーションラインアドレスレジスタ	CH4DARE	R	H'FEA0 0198	32
CH4 デスティネーションピクセル処理レジスタ	CH4DPXLE	R	H'FEA0 019C	32
CH5 ソースアドレスレジスタ	CH5SAR	R/W	H'FEA0 01A0	32
CH5 デスティネーションアドレスレジスタ	CH5DAR	R/W	H'FEA0 01A4	32
CH5 デスティネーションピクセルレジスタ	CH5DPXL	R/W	H'FEA0 01A8	32
CH5 ソースフォーマットレジスタ	CH5SFMT	R/W	H'FEA0 01AC	32
CH5 デスティネーションフォーマットレジスタ	CH5DFMT	R/W	H'FEA0 01B0	32
CH5 ソースラインアドレスレジスタ	CH5SARE	R	H'FEA0 01B4	32
CH5 デスティネーションラインアドレスレジスタ	CH5DARE	R	H'FEA0 01B8	32
CH5 デスティネーションピクセル処理レジスタ	CH5DPXLE	R	H'FEA0 01BC	32
CH6 ソースアドレスレジスタ	CH6SAR	R/W	H'FEA0 01C0	32
CH6 デスティネーションアドレスレジスタ	CH6DAR	R/W	H'FEA0 01C4	32
CH6 デスティネーションピクセルレジスタ	CH6DPXL	R/W	H'FEA0 01C8	32

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
CH6 ソースフォーマットレジスタ	CH6SFMT	R/W	H'FEA0 01CC	32
CH6 デスティネーションフォーマットレジスタ	CH6DFMT	R/W	H'FEA0 01D0	32
CH6 ソースラインアドレスレジスタ	CH6SARE	R	H'FEA0 01D4	32
CH6 デスティネーションラインアドレスレジスタ	CH6DARE	R	H'FEA0 01D8	32
CH6 デスティネーションピクセル処理レジスタ	CH6DPXLE	R	H'FEA0 01DC	32
CH7 ソースアドレスレジスタ	CH7SAR	R/W	H'FEA0 01E0	32
CH7 デスティネーションアドレスレジスタ	CH7DAR	R/W	H'FEA0 01E4	32
CH7 デスティネーションピクセルレジスタ	CH7DPXL	R/W	H'FEA0 01E8	32
CH7 ソースフォーマットレジスタ	CH7SFMT	R/W	H'FEA0 01EC	32
CH7 デスティネーションフォーマットレジスタ	CH7DFMT	R/W	H'FEA0 01F0	32
CH7 ソースラインアドレスレジスタ	CH7SARE	R	H'FEA0 01F4	32
CH7 デスティネーションラインアドレスレジスタ	CH7DARE	R	H'FEA0 01F8	32
CH7 デスティネーションピクセル処理レジスタ	CH7DPXLE	R	H'FEA0 01FC	32

表42.2 各処理モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
CHSTCLR	初期化	初期化	保持	保持	初期化	初期化	保持
CHPRI	初期化	初期化	保持	保持	初期化	初期化	保持
CHnCTRL	初期化	初期化	保持	保持	初期化	初期化	保持
CHnSWAP	初期化	初期化	保持	保持	初期化	初期化	保持
CHnSAR	初期化	初期化	保持	保持	初期化	初期化	保持
CHnDAR	初期化	初期化	保持	保持	初期化	初期化	保持
CHnDPXL	初期化	初期化	保持	保持	初期化	初期化	保持
CHnSFMT	初期化	初期化	保持	保持	初期化	初期化	保持
CHnDFMT	初期化	初期化	保持	保持	初期化	初期化	保持
CHnSARE	初期化	初期化	保持	保持	初期化	初期化	保持
CHnDARE	初期化	初期化	保持	保持	初期化	初期化	保持
CHnDPXLE	初期化	初期化	保持	保持	初期化	初期化	保持

n : 0 ~ 7

42.2.1 コントロールレジスタ (CHnCTRL)

CHnCTRL (n=0~7) は、各チャンネルの転送モードおよび割り込み出力を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HMRR	VMRR	ROTL	ROTR	—	MX	—	MY	HIE	HE	TIE	TE	—	—	STP	DMAEN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	HMRR	0	R/W	水平反転 (垂直軸対称) ソース画像を水平反転して出力します。本ビットと回転/反転動作の関係は、表 42.5 を参照してください。 0: NOP 1: ソース画像を水平反転して出力
14	VMRR	0	R/W	垂直反転 (水平軸対称) ソース画像を垂直反転して出力します。本ビットと回転/反転動作の関係は、表 42.5 を参照してください。 0: NOP 1: ソース画像を垂直反転して出力
13	ROTL	0	R/W	270° 回転 (時計回り) ソース画像を 270° 回転して出力します。本ビットを 1 に設定する場合は ROTR ビットを 0 に設定してください。本ビットと回転/反転動作の関係は、表 42.5 を参照してください。 0: NOP 1: ソース画像を 270° 回転して出力
12	ROTR	0	R/W	90° 回転 (時計回り) ソース画像を 90° 回転して出力します。本ビットを 1 に設定する場合は ROTL ビットを 0 に設定してください。本ビットと回転/反転動作の関係は、表 42.5 を参照してください。 0: NOP 1: ソース画像を 90° 回転して出力
11	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
10	MX	0	R/W	X 方向拡大 0: 拡大を行わない 1: X 方向に 2 倍に拡大して出力する ROTR または ROTL が 1 のときは 0 に設定してください。
9	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	MY	0	R/W	Y 方向拡大 0: 拡大を行わない 1: X 方向に 2 倍に拡大して出力する ROTR または ROTL が 1 のときは 0 に設定してください。
7	HIE	0	R/W	ハーフエンド割り込みイネーブル ハーフエンドを割り込み要求として出力するかどうかを設定します。 0: ハーフエンドによる割り込みを禁止 1: ハーフエンドによる割り込みを許可
6	HE	0	R/W	ハーフエンド ライン数の半分のデータ転送が終了したことを示すビットです。CHnDPXLE の DVPXLE ビットが転送開始前に設定した CHnDPXL の DVPXL ビットの値の 1/2 (右に 1 ビットシフトした値) になると、本ビットは 1 になります。 ROTR または ROTL が 1 のときは CHnDPXLE の DHPXLE ビットが転送開始前に設定した CHnDPXL の DHPXL ビットの値の 1/2 以下になると、本ビットは 1 になります。 1 読み出しの後の 0 クリアのみ有効です。 本ビットは CHSTCLR レジスタによるクリアも可能です。
5	TIE	0	R/W	トランスファエンド割り込みイネーブル トランスファエンドを割り込み要求として出力するかどうかを設定します。 0: トランスファエンドによる割り込みを禁止 1: トランスファエンドによる割り込みを許可
4	TE	0	R/W	トランスファエンド CHnDPXLE の DVPXLE ビットが転送開始前に設定した CHnDPXL の DVPXL ビットと、転送がすべて終了すると、本ビットは 1 になります。本ビットが 1 になると、DMAEN が自動的にクリアされます。1 読み出しの後の 0 クリアのみ有効です。 本ビットは CHSTCLR レジスタによるクリアも可能です。
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
1	STP	0	R/W	<p>転送中断</p> <p>転送を一時的に中断します。本ビットに1が設定されると、転送中ラインが終了するまで待機した後に転送を中断し、DMAEN ビットを0にします。その際、本ビットも同時にクリアされます。その後、転送を再開する場合はDMAEN ビットを1に設定してください。また、チャンネルの動作をリセットする場合はSAR レジスタ、DAR レジスタ、DPXL レジスタに再書き込みを行ってください。</p> <p>[書き込み時]</p> <p>0: NOP</p> <p>1: 転送を一時的に中断する</p> <p>[読み出し時]</p> <p>0: 転送中または転送中断</p> <p>1: 転送中のラインが終了するまで待機中</p>
0	DMAEN	0	R/W	<p>DMA 転送イネーブル</p> <p>転送を有効にします。1書き込みのみ有効です。転送処理中は1が表示され、転送終了により自動的にクリアされます。0書き込みは無効です。転送の中断はSTP ビットに1を書き込むことで行います。</p> <p>[書き込み時]</p> <p>0: NOP</p> <p>1: 転送処理を実行する</p> <p>[読み出し時]</p> <p>0: 転送が行われていない</p> <p>1: 転送中である</p>

42.2.2 入出力スワップレジスタ (CHnSWAP)

CHnSWAP (n=0~7) は、2D-DMAC のデータ入出力部で 64 ビットのデータ入れ替えを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	OLS	OWS	OBS	—	ILS	IWS	IBS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	OLS	0	R/W	出力ロングワードスワップ設定 2D-DMAC の出力部で、64 ビットのデータに対し、MSB 側 32 ビットと LSB 側 32 ビットをロングワード単位で入れ替えます。 0 : 出力ロングワードスワップをしない 1 : 出力ロングワードスワップをする
5	OWS	0	R/W	出力ワードスワップ設定 2D-DMAC の出力部で、64 ビットのデータに対し、MSB 側 32 ビット内と LSB 側 32 ビット内をワード単位で入れ替えます。 0 : 出力ワードスワップをしない 1 : 出力ワードスワップをする
4	OBS	0	R/W	出力バイトスワップ設定 2D-DMAC の出力部で、64 ビットのデータに対し、各 16 ビット内をバイト単位で入れ替えます。 0 : 出力バイトスワップをしない 1 : 出力バイトスワップをする
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	ILS	0	R/W	入力ロングワードスワップ設定 2D-DMAC の入力部で、64 ビットのデータに対し、MSB 側 32 ビットと LSB 側 32 ビットをロングワード単位で入れ替えます。 0 : 入力ロングワードスワップをしない 1 : 入力ロングワードスワップをする
1	IWS	0	R/W	入力ワードスワップ設定 2D-DMAC の入力部で、64 ビットのデータに対し、MSB 側 32 ビット内と LSB 側 32 ビット内をワード単位で入れ替えます。 0 : 入力ワードスワップをしない 1 : 入力ワードスワップをする

ビット	ビット名	初期値	R/W	説明
0	IBS	0	R/W	入力バイトスワップ設定 2D-DMACの入力部で、64ビットのデータに対し、各16ビット内をバイト単位で入れ替えます。 0：入力バイトスワップをしない 1：入力バイトスワップをする

システムをリトルエンディアンで動作させる場合、本レジスタにより入力/出力フォーマットに応じたスワップ方式を選択してください。各スワップを設定した場合のデータの関係を図42.3、図42.4、図42.5に示します。

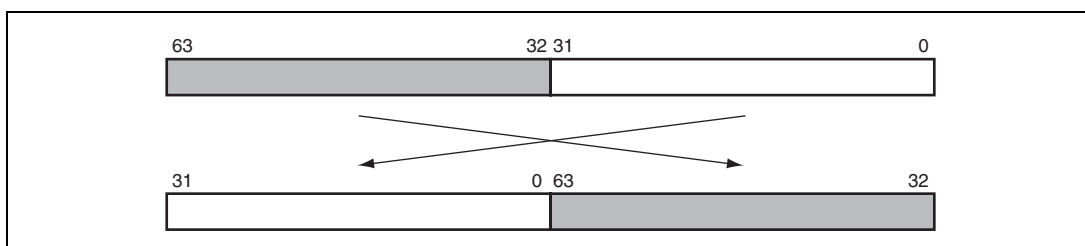


図42.3 ロングワードスワップ時のデータスワップ前後の関係

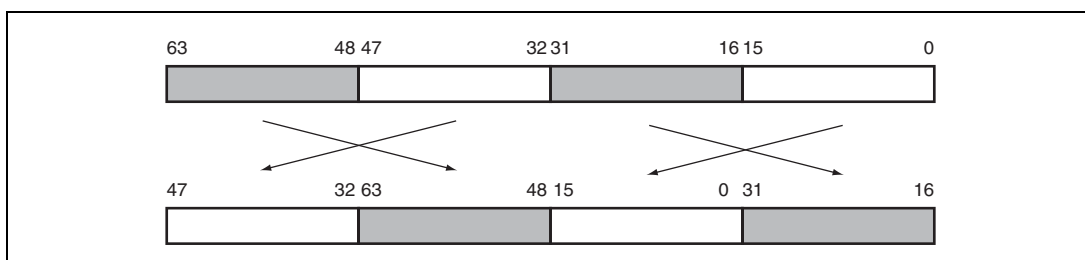


図42.4 ワードスワップ時のデータスワップ前後の関係

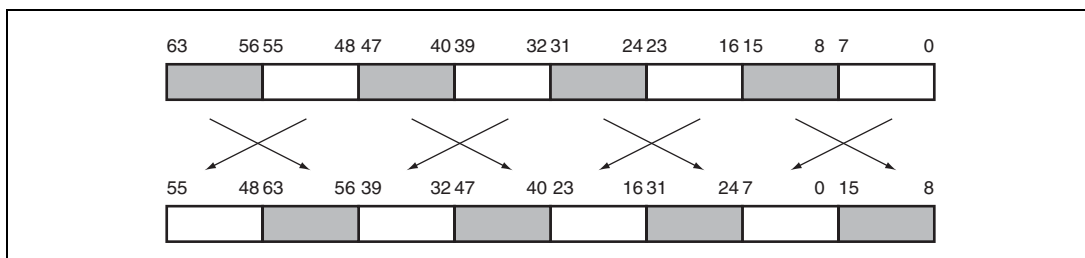


図42.5 バイトスワップ時のデータスワップ前後の関係

42.2.3 ソースフォーマットレジスタ (CHnSFMT)

CHnSFMT (n=0~7) は、ソース画像の設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HWTW[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—								MD[1:0]				PKF[4:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	HWTW[15:0]	H'0000	R/W	ソース画像水平方向バイトサイズ ソース画像の1ラインの幅をバイト単位で指定します。パックサイズの倍数である必要があります。 ROTRまたはROTLが1のときは16nに設定してください。
15~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6, 5	MD[1:0]	00	R/W	ソース画像フォーマット 00: RGB データ 01: Y データ 10: CbCr データ (YCbCr4:2:0) 11: CbCr データ (YCbCr4:2:2)
4~0	PKF[4:0]	00000	R/W	ソース画像 RGB データパック形式指定 ソース画像データが RGB 形式のときのパック形式を指定します。MD=B'00のときのみ有効です。パック形式を表 42.3 に示します。

表42.3 RGB パック形式

PKF [4:0]	Format	Bit Rate [bpp]	Phase	Bit																																					
				31~24				23~16				15~8				7~0																									
B'00000	ARGB8888	24		a	a	a	a	a	a	a	a	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0		
B'00001	RGBA8888	24		R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	G0	G0	G0	G0	G0	G0	G0	G0	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	
B'00010	RGB888	24		0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	
				1	G1	G1	G1	G1	G1	G1	G1	G1	G1	G1	B1	B1	B1	B1	B1	B1	B1	B1	B1	B1	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2
B'00011	RGB565	16		2	B2	B2	B2	B2	B2	B2	B2	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	G3	G3	G3	G3	G3	G3	G3	G3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	
					R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0
B'00100	RGB332	8																																							
B'00111	pRGB14-666	18		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0		
B'01000	pRGB4-444	12																					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
B'01001	RGB666	18		0	0	0	0	R0	R0	R0	R0	R0	R0	0	0	G0	G0	G0	G0	G0	G0	G0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
				1	0	0	G1	G1	G1	G1	G1	G1	0	0	B1	B1	B1	B1	B1	B1	B1	B1	B1	0	0	R2	R2	R2	R2	R2	R2	0	0	G2	G2	G2	G2	G2	G2	G2	G2
B'01010	BGR666	18		2	0	0	B2	B2	B2	B2	B2	B2	0	0	R3	R3	R3	R3	R3	R3	R3	0	0	G3	G3	G3	G3	G3	G3	0	0	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3
				0	0	0	B0	B0	B0	B0	B0	B0	0	0	G0	G0	G0	G0	G0	G0	G0	G0	G0	0	0	R0	R0	R0	R0	R0	R0	0	0	B1	B1	B1	B1	B1	B1	B1	B1
B'01011	BGR888	24		1	0	0	G1	G1	G1	G1	G1	G1	R1	R1	R1	R1	R1	R1	R1	R1	R1	0	0	B2	B2	B2	B2	B2	B2	0	0	G2	G2	G2	G2	G2	G2	G2	G2	G2	G2
				2	R2	R2	R2	R2	R2	R2	R2	R2	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	B3	G3	G3	G3	G3	G3	G3	G3	G3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3
B'01100	ABGR8888	24		a	a	a	a	a	a	a	a	B0	B0	B0	B0	B0	B0	B0	B0	B0	B0	G0	G0	G0	G0	G0	G0	G0	G0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0		
B'01101	RGB565	16		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	

42.2.4 ソースアドレスレジスタ (CHnSAR)

CHnSAR (n=0~7) は、ソース画像の転送開始アドレスを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SAR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	SAR[31:0]	H'0000 0000	R/W	ソース画像切り出し開始アドレス ソース画像データの切り出し開始ピクセルを表すアドレスを設定します。

42.2.5 デスティネーションフォーマットレジスタ (CHnDFMT)

CHnDFMT (n=0~7) は、デスティネーション画像フォーマットなどを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	HWTH[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KALPHA[7:0]							AV	MD[1:0]	PKF[4:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	HWTH[15:0]	H'0000	R/W	デスティネーション画像水平方向バイトサイズ デスティネーション画像の1ラインの幅をバイト単位で指定します。16nの値になるように設定してください。CTRL.MX=1の場合には、拡大後の値を設定してください。
15~8	KALPHA[7:0]	H'00	R/W	アルファ指定 ソース画像がアルファ無しフォーマット、またはアルファありフォーマットでAV=1を設定している場合に、出力に使用するアルファ値を設定します。
7	AV	0	R/W	アルファ有効 0: ソース画像がアルファつきフォーマットの場合に、そのアルファ値を無効とします。出力がアルファつきの場合はKALPHAの値が出力されます。 1: ソース画像がアルファつきフォーマットの場合に、そのアルファ値を有効とします。出力がアルファつきの場合に出力されます。

ビット	ビット名	初期値	R/W	説明
6、5	MD[1:0]	00	R/W	デスティネーション画像フォーマット 00 : RGB データ 01 : Y データ 10 : CbCr データ (YCbCr4:2:0) 11 : CbCr データ (YCbCr4:2:2)
4~0	PKF[4:0]	00000	R/W	デスティネーション画像 RGB データバック形式指定 デスティネーション画像データが RGB 形式のときのバック形式を指定します。MD=B'00 のときのみ有効です。バック形式を表 42.3 に示します。

42.2.6 デスティネーションピクセルレジスタ (CHnDPXL)

CHnDPXL (n=0~7) は、デスティネーション画像の水平 / 垂直方向のピクセルサイズを設定します。

CHnDPXL は値の変更がない場合でも、DMAEN で転送処理を 1 回実行するたびに再設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DHPXL[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DVPXL[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	DHPXL[15:0]	H'0000	R/W	デスティネーション画像水平方向ピクセルサイズ デスティネーション画像の水平方向ピクセルサイズを設定します。 CTRL.MX=1 の場合にも、拡大前の値を設定してください。YCbCr4:2:2、YCbCr4:2:0 の場合の CbCr 面は、画素数の 1/2 を設定してください。 最小ピクセルサイズは 1 となります。1 以上の値を設定してください。
15~0	DVPXL[15:0]	H'0000	R/W	デスティネーション画像垂直方向ピクセルサイズ デスティネーション画像の垂直方向ピクセルサイズを設定します。 CTRL.MY=1 の場合にも、拡大前の値を設定してください。YCbCr4:2:0 の場合の CbCr 面は、ライン数の 1/2 を設定してください。 最小ピクセルサイズは 1 となります。1 以上の値を設定してください。

42.2.7 デスティネーションアドレスレジスタ (CHnDAR)

CHnDAR (n=0~7) は、デスティネーション画像の転送開始アドレスを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	DAR[31:0]	H'00000000	R/W	デスティネーション画像の開始アドレスを指定します。 VMRR、HMRR、ROTR、ROTL、MY ビットの設定に応じて CHnDAR に設定するアドレス指定ポイントが変化します。設定方法については「42.3.2 画像回転/反転」を参照してください。 16n の開始アドレスのみ指定可能です。

42.2.8 ソースラインアドレスレジスタ (CHnSARE)

CHnSARE (n=0~7) は、ソース画像の処理中ラインの先頭アドレスを表示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SARE[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SARE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	SARE[31:0]	H'0000 0000	R	内部処理用で、読み出しのみ可能なレジスタです。 読み出すとソース画像の処理中ラインの先頭アドレスが表示されます。

42.2.9 デスティネーションラインアドレスレジスタ (CHnDARE)

CHnDARE (n=0~7) は、デスティネーション画像の処理中ラインの先頭アドレスを表示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DARE[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DARE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	DARE[31:0]	H'0000 0000	R	内部処理用で、読み出しのみ可能なレジスタです。 読み出すとデスティネーション画像の処理中ラインの先頭アドレスが表示されます。

42.2.10 デスティネーションピクセル処理レジスタ (CHnDPXLE)

CHnDPXLE (n=0~7) は、デスティネーション画像の未処理ライン数を表示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DHPXLE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DVPXLE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	DHPXLE[15:0]	H'0000	R	内部処理用で、読み出しのみ可能なレジスタです。 読み出すとデスティネーション画像の未処理水平ライン数が表示されます。
15~0	DVPXLE[15:0]	H'0000	R	内部処理用で、読み出しのみ可能なレジスタです。 読み出すとデスティネーション画像の未処理ライン数が表示されます。

42.2.11 割り込みステータスクリアレジスタ (CHSTCLR)

CHSTCLR は、各チャンネルの HE ビットおよび TE ビットの状態を表示します。本レジスタへの書き込みにより、1 を書いたビットに対応するチャンネルの HE ビット、TE ビットがクリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CHnHE[7:0]							CHnTE[7:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~8	CHnHE[7:0]	H'00	R/W	CHn (n=0~7) の HE ビットの状態を表示します。 本ビットに 1 を書き込むと、対応するチャンネルの HE ビットがクリアされます。 [書き込み時] 0: NOP 1: HE ビットをクリアする [読み出し時] 0: HE が 0 である 1: HE が 1 である
7~0	CHnTE[7:0]	H'00	R/W	CHn (n=0~7) の TE ビットの状態を表示します。 本ビットに 1 を書き込むと、対応するチャンネルの TE ビットがクリアされます。 [書き込み時] 0: NOP 1: TE ビットをクリアする [読み出し時] 0: TE が 0 である 1: TE が 1 である

42.2.12 チャンネル優先度切替レジスタ (CHPRI)

CHPRI は、各チャンネルの処理優先度を設定します。処理実行時にはすべての CH の優先度を 1 に設定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CH7PRI[3:0]				CH6PRI[3:0]				CH5PRI[3:0]				CH4PRI[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH3PRI[3:0]				CH2PRI[3:0]				CH1PRI[3:0]				CH0PRI[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	CH7PRI[3:0]	H'0	R/W	CH7 処理優先度 実行時には必ず 1 を設定してください。
27~24	CH6PRI[3:0]	H'0	R/W	CH6 処理優先度 実行時には必ず 1 を設定してください。
23~20	CH5PRI[3:0]	H'0	R/W	CH5 処理優先度 実行時には必ず 1 を設定してください。
19~16	CH4PRI[3:0]	H'0	R/W	CH4 処理優先度 実行時には必ず 1 を設定してください。
15~12	CH3PRI[3:0]	H'0	R/W	CH3 処理優先度 実行時には必ず 1 を設定してください。
11~8	CH2PRI[3:0]	H'0	R/W	CH2 処理優先度 実行時には必ず 1 を設定してください。
7~4	CH1PRI[3:0]	H'0	R/W	CH1 処理優先度 実行時には必ず 1 を設定してください。
3~0	CH0PRI[3:0]	H'0	R/W	CH0 処理優先度 実行時には必ず 1 を設定してください。

42.3 動作説明

本モジュールは、ソース画像から必要サイズ分の画像を切り出しデスティネーション画像として格納することが可能です。その際、同時にフォーマット変換、回転 / 反転および拡大を行うことが可能です。

42.3.1 画像切り出し

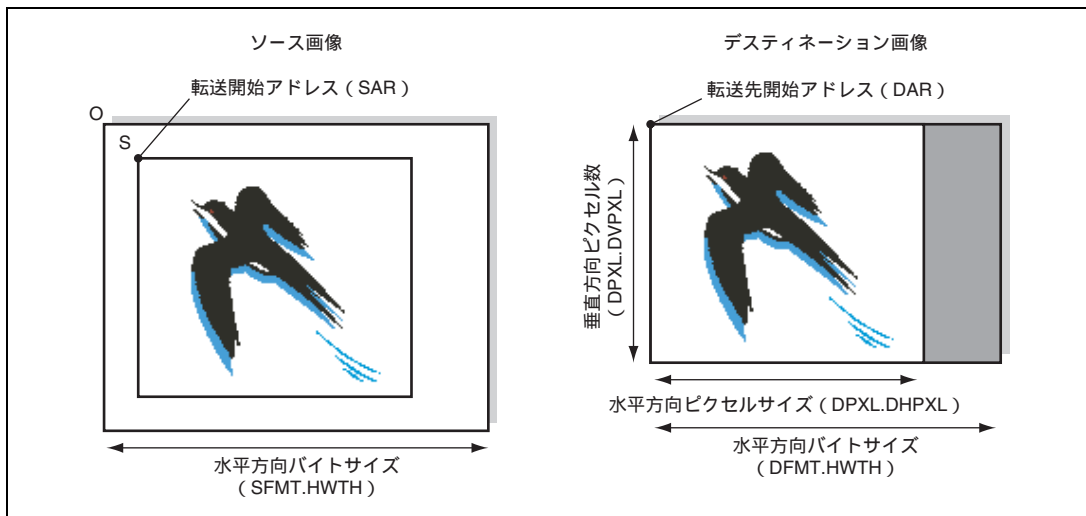


図42.6 画像切り出し概略図

画像切り出しの概略図を図 42.6 に示します。

画像フォーマットは YCbCr4:2:0、YCbCr4:2:2、RGB 形式に対応します。YCbCr 形式、RGB 形式共に 1 画素単位の切り出しが可能です。ただし、YCbCr 形式については Y/C 独立でメモリに格納するため、別チャンネルで設定を行ってください。

ソース画像については、切り出し開始座標 S のアドレスおよび水平方向のバイトサイズをレジスタにて設定する必要があります。SAR には切り出し開始ピクセルの先頭アドレスを設定してください。ただし、YCbCr 形式においては、原点 O に対して切り出し開始座標 S (SAR) の X 座標が奇数である場合、Y と C で水平方向にずれが発生します。さらに、YCbCr4:2:0 形式においては、原点 O に対して切り出し開始座標 S の Y 座標が奇数である場合、Y と C で垂直方向にずれが発生します。

デスティネーション画像については、転送先開始アドレスおよび水平 / 垂直方向ピクセル数、水平方向バイトサイズの設定が必要です。水平方向バイトサイズ (DFMT.HWTH) については、 $16n$ の整数値 (DPXL.DHPXL × ピクセル当たりバイト数) になるように設定してください。図の灰色部分は無効データとして破棄してください。ただし、YCbCr 形式においては、Y の水平ピクセルサイズを奇数に設定した場合、画像右端に無効データが生じることがあります。同様に、YCbCr4:2:0 の Y の垂直ピクセルサイズを奇数に設定した場合、画像下端に無効データが生じることがあります。

上記の各制限事項を表 42.4 に示します。

表42.4 各フォーマットにおける制限事項

フォーマット	項目	制限事項
共通	デスティネーション画像水平方向バイトサイズ (CHnDFMT.HWTH)	16n (バイト) に設定してください。
Y データ (YCbCr4:2:2)	ソース画像水平方向切り出し開始位置 (CHnSAR.SAR)	ソース画像の原点 O に対して切り出し開始座標 S (SAR) の X 座標が奇数である場合、Y と CbCr で水平方向にずれが発生します。
	デスティネーション画像水平方向ピクセルサイズ (CHnDPXL.DHPXL)	デスティネーション画像の水平ピクセルサイズが奇数である場合、画像右端に無効データが生じることがあります。
Y データ (YCbCr4:2:0)	ソース画像水平方向切り出し開始位置 (CHnSAR.SAR)	ソース画像の原点 O に対して切り出し開始座標 S (SAR) の X 座標が奇数である場合、Y と CbCr で水平方向にずれが発生します。
	ソース画像垂直方向切り出し開始位置 (CHnSAR.SAR)	ソース画像の原点 O に対して切り出し開始座標 S (SAR) の Y 座標が奇数である場合、Y と CbCr で垂直方向にずれが発生します。
	デスティネーション画像水平方向ピクセルサイズ (CHnDPXL.DHPXL)	デスティネーション画像の水平ピクセルサイズが奇数である場合、画像右端に無効データが生じることがあります。
	デスティネーション画像垂直方向ピクセルサイズ (CHnDPXL.DVPL)	デスティネーション画像の垂直ピクセルサイズが奇数である場合、画像下端に無効データが生じることがあります。

42.3.2 画像回転 / 反転

表42.5 VMRR、HMRR、ROTL、ROTR ビットと回転 / 反転動作の関係

VMRR ビット	HMRR ビット	ROTL ビット	ROTR ビット	DAR 指定 ポイント	回転 / 反転動作
0	0	0	0	A	回転 / 反転なし
0	0	0	1	C	時計回りに 90° 回転
0	0	1	0	B	時計回りに 270° 回転
0	1	0	1	A	時計回りに 90° 回転後、水平反転 (時計回りに 270° 回転後、垂直反転)
1	0	1	0		
1	0	0	1	D	時計回りに 90° 回転後、垂直反転 (時計回りに 270° 回転後、水平反転)
0	1	1	0		
0	1	0	0	C	水平反転
1	0	0	0	B	垂直反転
1	1	0	0	D	180° 回転
その他				-	設定禁止

表 42.5 に示すように、VMRR、HMRR、ROTR、ROTL ビットの組み合わせにより 90° 単位で任意の回転 / 反転動作が実行できます。回転を伴う動作を行った場合のソース画像とデスティネーション画像との関係は図 42.7、反転のみを行った場合のソース画像とデスティネーション画像との関係は図 42.8 を参照してください。

また、回転 / 反転動作時は VMRR、HMRR、ROTR、ROTL ビットの設定に応じて CHnDAR に設定するアドレス指定ポイントが変化します。各処理に対応するアドレス指定ポイントを図 42.9 に図示します。

アドレス設定式を以下に示します。

offset_add デスティネーション画像の左上端のアドレス

dest_hwidth デスティネーション画像の水平方向バイトサイズ (CHnDFMT.DHWTH)

dest_vpxl デスティネーション画像の垂直方向ピクセルサイズ (CHnDPXL.DVPXL)

A DAR = offset_add

B DAR = offset_add + (dest_hwidth × (dest_vpxl - 1))

C DAR = offset_add + dest_hwidth

D DAR = offset_add + (dest_hwidth × dest_vpxl)

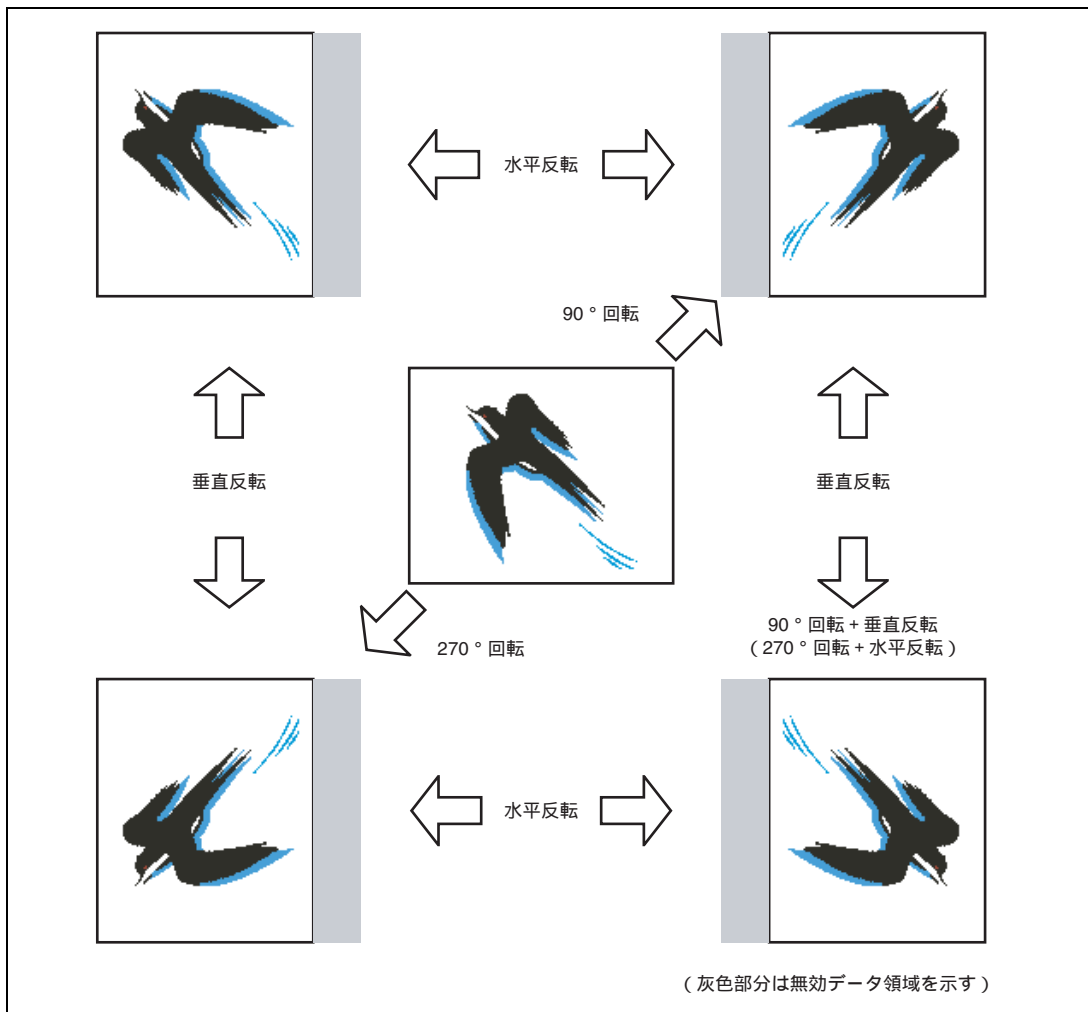


図42.7 回転を伴う動作時のソース画像とデスティネーション画像との関係

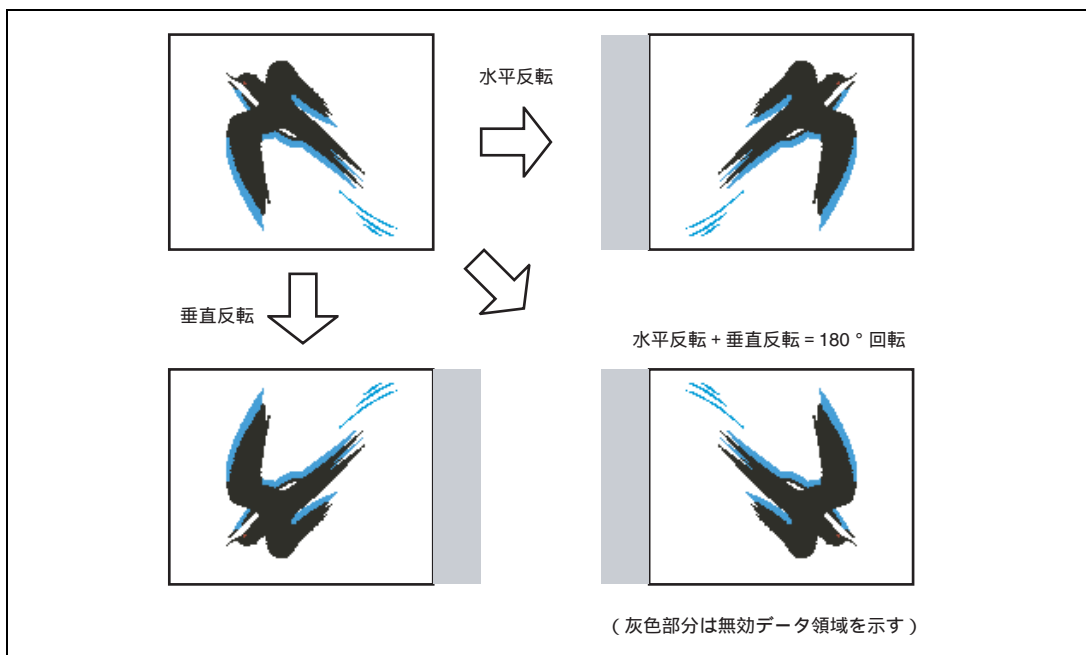


図42.8 反転動作時のソース画像とデスティネーション画像との関係

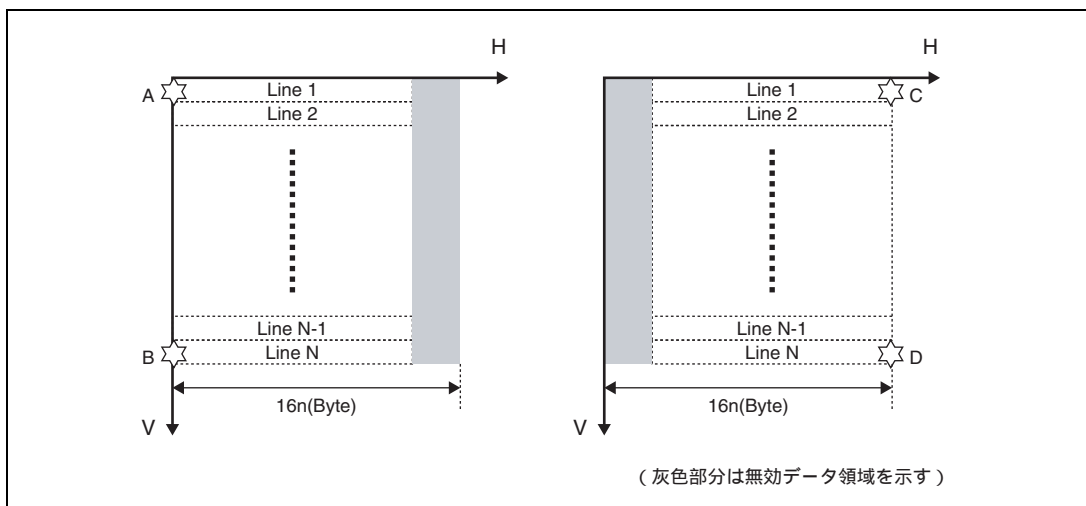


図42.9 CHnDAR のアドレス指定ポイント

42.3.3 RGB / YCbCr フォーマット変換

RGB フォーマット間、YCbCr フォーマット間 (YCbCr4:2:0、YCbCr4:2:2) での変換がそれぞれ可能です。サポートする RGB フォーマットについては表 42.3 を参照してください。ただし、RGB-YCbCr 間のフォーマット変換はできません。

42.3.4 単純拡大出力

CTRL.MX=1、CTRL.MY=1 を設定することで、それぞれ X 方向、Y 方向の拡大出力を行うことが可能です。拡大処理はソース画像のピクセルを X 方向、Y 方向にそれぞれコピーして出力する単純拡大形式で行われます。

概略図を図 42.10 に示します。

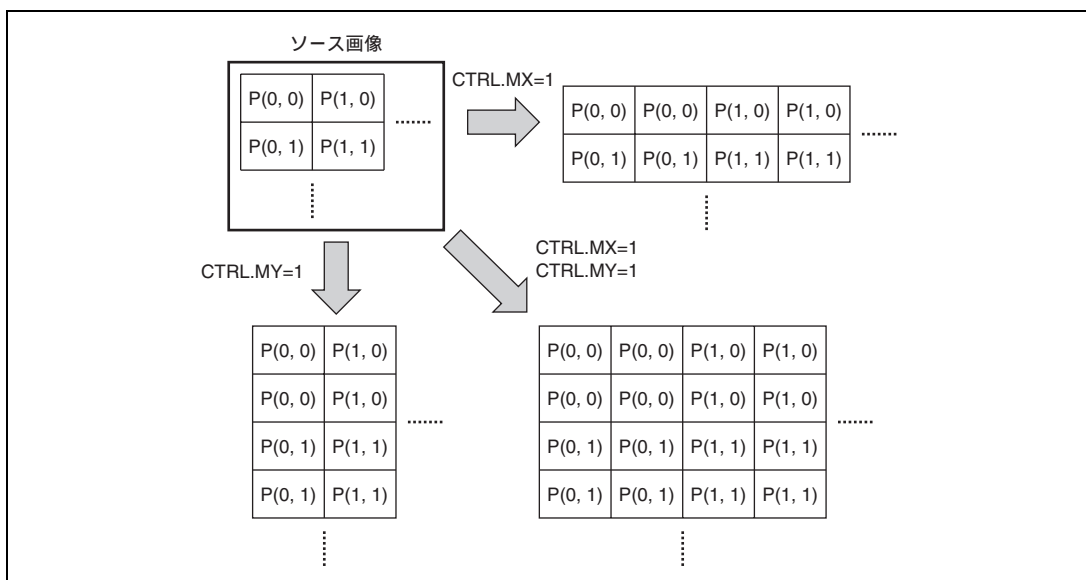


図42.10 ピクセル拡大出力

42.4 転送フロー

図 42.11 に 2D-DMAC による転送のフローチャートを示します。

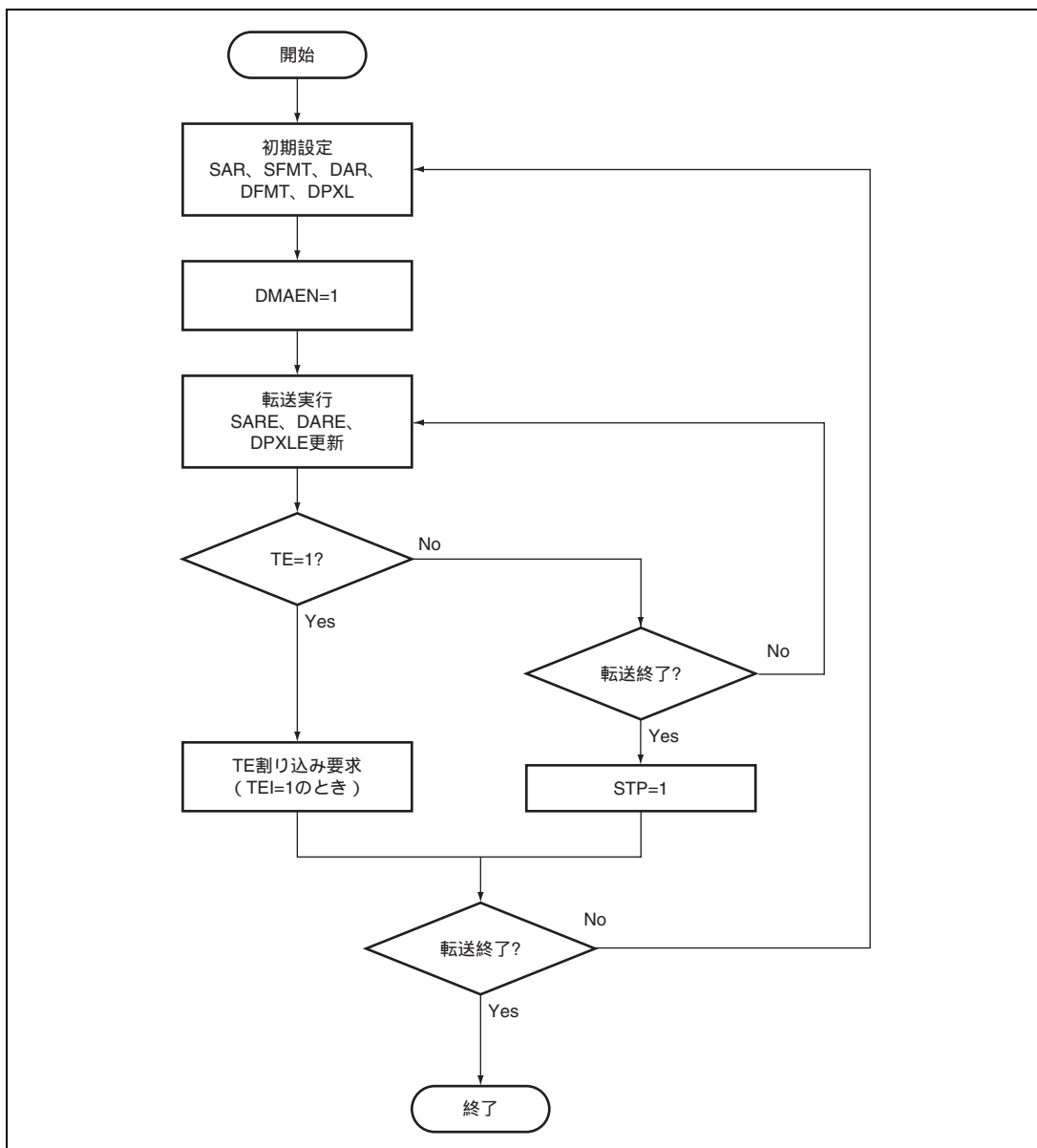


図42.11 2D-DMAC 転送フローチャート

42.5 使用上の注意事項

42.5.1 切り出し画像サイズに対する制約

2D-DMAC での水平方向の切り出し画像サイズが、バッファ RAM サイズ 1.5KB (1536 バイト) を超えない範囲で使用してください。

水平方向の切り出し画像サイズは $CHnDPXL.DHPXL[15:0] \times (1 \text{ ピクセルあたりのバイト数})$ で算出されるサイズです。

43. TS インタフェース (TSIF)

TSIF (Transport Stream I/F) は、日本の地上波デジタル放送サービスの一環として行われるワンセグメント放送に用いられる MPEG2-トランスポートストリーム (TS) 受信等に用いられるモジュールです。TSIF は、MPEG2 規格のシステムレイヤのデコード処理に必要なパケットデータの抽出、PCR 管理を行います。

43.1 特長

TSIF は、以下の特長を持ちます。

- シリアルデータ入力
- DMAオートリクエストによるTSデータ転送モードのサポート
- TSパケットの取得

合計38種のPID (パケットID) フィルタリング (PAT / CATパケットは固定、PCR / Video / Audioパケットは専用のPID値)

全有効パケット受信モード (Nullパケット削除) のサポート

Nullパケットを含む全パケット受信モードのサポート

重複パケット削除モードのサポート

TSパケットデータ読み出し時のエンディアンタイプ設定が可能

TSパケットデータ取得時のタイムスタンプ機能サポート

- TSデータの解析

random access indicator検出

discontinuity indicator検出

Videoスタートコード、ショートヘッダの検出

- PCR情報の抽出
- システム時刻生成のサポート

【略語】

MPEG : Moving Picture Expert Group

TS : Transport Stream

PID : Packet ID

PAT : Program Association Table

CAT : Conditional Access Table

PCR : Program Clock Reference

ES : Elementary Stream

図 43.1 に TSIF のブロック図を示します。

入力信号は、TS データとそれを転送するための制御信号であり、出力信号は、本モジュールで取捨選択された TS パケットデータとなります。

シリアルで入力された TS データは、8 ビットの平行データに変換された後に、TS 同期検出回路で TS パケットのヘッダを検出します。さらに TS フィルタ回路にて、あらかじめ設定された PID テーブルにより TS パケットの PID の判定 / フィルタリングを行い、TS パケット用のバッファへ格納します。このようにして、あらかじめ指定された TS パケットのみがバッファに格納され、バスインタフェースを経由して、メモリ等へ転送されます。

TS ヘッダの解析回路は、TS パケットのヘッダを解析し、ヘッダ情報の取得や、他のブロックへのトリガ信号の生成を行うブロックです。ES データ検索回路は、TS パケット内に収められているエレメンタリストリーム (ES) 中のスタートコード、ショートヘッダの検索を行います。この結果は、映像デコードの制御を行う上位のソフトウェアにて、映像デコードの開始タイミング等を制御するための補助データとして用いることができます。

PCR 管理部では、TS パケットより抽出した PCR 情報を元にシステム時刻管理に必要な情報を出力します。

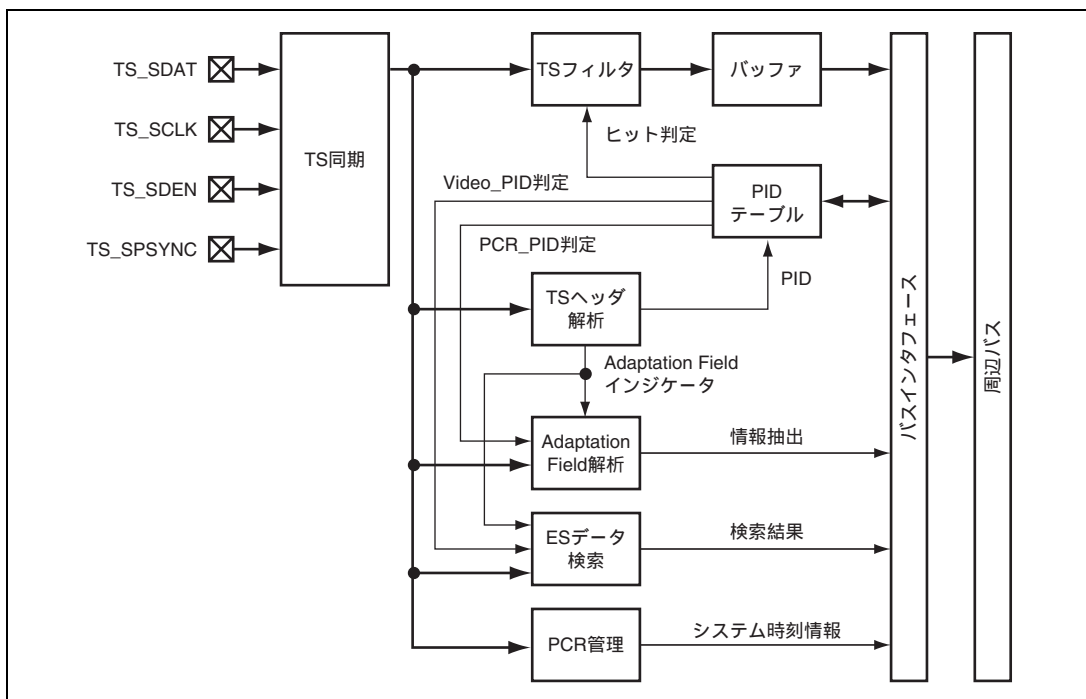


図 43.1 TSIF のブロック図

43.2 端子構成

端子構成を表 43.1 に示します。

表 43.1 端子構成

端子名	機能	入出力	説明
TS_SDAT	TS シリアルデータ	入力	TS パケットデータのシリアル入力端子 レジスタ設定にて極性反転が可能です。
TS_SCK	TS シリアルクロック	入力	シリアル入力クロック端子 レジスタ設定にて極性反転が可能です。初期値は立ち上がり同期となります。
TS_SDEN	TS データイネーブル	入力	シリアル入力有効信号端子 レジスタ設定にて極性反転、オン/オフ設定が可能です。初期値はオンで、TS_SDEN 信号がハイで有効となります。
TS_SPSYNC	TS データ同期	入力	バイト境界信号端子 レジスタ設定にて極性反転が可能です。初期値は立ち上がりでバイト境界となります。

43.3 レジスタの説明

TSIF のレジスタ構成を表 43.2 に示します。また、各処理モードにおけるレジスタの状態を表 43.3 に示します。

表 43.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
TSIF コントロールレジスタ	TSCTLR	R/W	H'A4C8 0000	32
TSIF PID データレジスタ	TSPIDR	R/W	H'A4C8 0004	32
TSIF コマンドレジスタ	TSCMDR	R/W	H'A4C8 0008	32
TSIF 割り込みステータスレジスタ	TSSTR	R/W	H'A4C8 000C	32
TSIF TS データレジスタ	TSTSDR	R	H'A4C8 0010	32
TSIF バッファクリアレジスタ	TSBUFCLRR	R/W	H'A4C8 0014	32
TSIF 割り込みイネーブルレジスタ	TSINTER	R/W	H'A4C8 0018	32
TSIF PSCALE レジスタ	TSPSCALER	R/W	H'A4C8 0020	32
TSIF PSCALE_R レジスタ	TSPSCALERR	R/W	H'A4C8 0024	32
TSIF PCRADCMODE レジスタ	TSPCRADCMR	R/W	H'A4C8 0028	32
TSIF PCRADC レジスタ	TSPCRADCR	R/W	H'A4C8 002C	32
TSIF TR_PCRADC レジスタ	TSTRPCRADCR	R/W	H'A4C8 0030	32
TSIF D_PCRADC レジスタ	TSDPCRADCR	R/W	H'A4C8 0034	32
TSIF フリーランカウンタ	TSFRC	R/W	H'A4C8 0040	32

表 43.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
TSCTLR	初期化	初期化	保持	保持	初期化	初期化	保持
TSPIDR	初期化	初期化	保持	保持	初期化	初期化	保持
TSCMDR	初期化	初期化	保持	保持	初期化	初期化	保持
TSSTR	初期化	初期化	保持	保持	初期化	初期化	保持
TSTSDR	不定	不定	保持	保持	不定	不定	保持
TSBUFCLRR	初期化	初期化	保持	保持	初期化	初期化	保持
TSINTER	初期化	初期化	保持	保持	初期化	初期化	保持
TSPSCALER	初期化	初期化	保持	保持	初期化	初期化	保持
TSPSCALERR	初期化	初期化	保持	保持	初期化	初期化	保持
TSPCRADCMR	初期化	初期化	保持	保持	初期化	初期化	保持
TSPCRADCR	初期化	初期化	保持	保持	初期化	初期化	保持
TSTRPCRADCR	初期化	初期化	保持	保持	初期化	初期化	保持
TSDPCRADCR	初期化	初期化	保持	保持	初期化	初期化	保持
TSFRC	初期化	初期化	保持	保持	初期化	初期化	保持

43.3.1 TSIF コントロールレジスタ (TSCTLR)

TSCTLR は、TSIF の制御用レジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	PLN GTH	TSD ATP	TSC LKP	TSV LDP	-	PSY CP	-	-	SDE NE	-	-	-	TFA	DPD MD	DREQ MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R	R/W	R	R	R/W	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EN	PC RMD	-	-	-	-	FRC ADD	FRC STR	FRCPSC[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
30	PLNGTH	0	R/W	TS パケットデータのバイト構成設定 0: TS パケットが 204 バイト構成 1: TS パケットが 188 バイト構成
29	TSDATP	0	R/W	TS パケットデータの入力極性設定 0: TS データ入力正極性 1: TS データ入力負極性 (極性反転して使用)
28	TSCLKP	0	R/W	TS クロックの入力極性設定 0: TS データクロック入力正極性 (立ち上がりエッジでデータ取り込み) 1: TS データクロック入力負極性 (立ち下がりエッジでデータ取り込み)
27	TSVLDP	0	R/W	TS パケットデータイネーブル信号の入力極性設定 0: TS デコーダからの TS_SDEN 信号が正極性 (ハイで有効) 1: TS デコーダからの TS_SDEN 信号が負極性 (ローで有効)
26	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
25	PSYCP	0	R/W	TS パケットデータ同期信号の入力極性設定 0: TS パケット同期信号 TS_SPSYNC が正極性 (ハイで同期バイト) 1: TS パケット同期信号 TS_SPSYNC が負極性 (ローで同期バイト)
24, 23	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
22	SDENE	0	R/W	TS パケットデータイネーブル信号の有効・無効設定 0: TS デコーダからの TS_SDEN 信号を有効にします 1: TS デコーダからの TS_SDEN 信号を無視します
21~19	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
18	TFA	0	R/W	<p>TSIF 内部のソフトウェアリセット信号</p> <p>起動時には自動的にリセット状態となります。1 を書き込んでリセット解除してください。本ビットで TSSTR 以外の TSIF 内部レジスタは初期化されません。リセットを発行した場合、本ビットの読み出しにて 0 を確認した後にリセット解除を行ってください。</p> <p>【注】 TS_SCK を 8 サイクル以上入力後、TFA ビットを 1 としてください。</p> <p>0 : TSIF 内部をリセットします (TSSTR 以外のレジスタ部を除く)</p> <p>1 : リセット解除</p>
17	DPDMD	0	R/W	<p>連続した TS パケットの重複データ (duplicate packet) 削除</p> <p>削除されるデータは、1 つ前の連続したパケットの PID と continuity_counter が一致したデータとなります。ただし、adaptation_field_control=x0 (x : don't care) のときは削除されません。</p> <p>0 : 重複データ有効モード</p> <p>連続パケットの PID と continuity_counter が一致してもデータを削除しません。</p> <p>1 : 重複データ削除モード</p> <p>連続したパケットにおいて 1 つ前のパケットの PID と continuity_counter が一致したデータを削除します。</p> <p>ただし、adaptation_field_control=x1 (x : don't care) のときのみ有効です。</p>
16	DREQMD	0	R/W	<p>DMAC による 1 パケット分 (188 バイトまたは 192 バイト) の TS データ転送後、自動的に TSBUFFLRR の PEC ビットを 1 にセットするかどうかを選択します。</p> <p>0 : DMA 割り込み転送モード</p> <p>1 パケット分 (188 バイトまたは 192 バイト) の TS データ転送後、PEC ビットを 1 にセットしません</p> <p>1 : DMA オート転送モード</p> <p>1 パケット分 (188 バイトまたは 192 バイト) の TS データ転送後に PEC ビットを 1 にセットし、内部バッファをクリアします</p>
15	EN	0	R/W	<p>TSTSDR から TS パケットデータを読み出すときのエンディアンタイプ設定</p> <p>0 : ビッグエンディアン</p> <p>1 : リトルエンディアン</p>
14	PCRMD	0	R/W	<p>TSPCRADC と TSTRPCRADC の時刻表示設定</p> <p>0 : 90 kHz 単位の時刻表示</p> <p>1 : 45 kHz 単位の時刻表示</p>
13~10	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
9	FRCADD	0	R/W	PID 一致タイミング時の TSFRC 値 (タイムスタンプ) 付加設定 0: TSTSDR に TSFRC 値を付加しない (TSTSDR は 188 バイトの TS パケットデータ) 1: TSTSDR の 189 ~ 192 バイト目に TSFRC 値 (タイムスタンプ) を付加する (TSTSDR は 188 バイトの TS パケットデータ + 4 バイトの TSFRC)
8	FRCSTR	0	R/W	TSFRC の動作設定 0: TSFRC のカウント動作停止 1: TSFRC はカウントアップ動作
7~0	FRCPSC [7:0]	H'00	R/W	TSFRC の分周クロック設定 B の n 分周にする場合は、FRCPSC = (n - 1) に設定してください。 例: B = 50 MHz 時に、50 分周の 1 MHz クロックにする場合は、 FRCPSC = 49 (H'31) に設定してください。

以下に TFA ビットが TSIF 内部に反映される条件を示します。

TFA ビットは、DREQMD ビットの条件により、以下のタイミングで TSIF 内部に反映されます。

DREQMD ビット	TFA ビット	反映タイミング
0	0 1	レジスタ設定で随時反映
	1 0	レジスタ設定で随時反映
1	0 1	レジスタ設定で随時反映
	1 0	PEC ビットの自動 1 セットのタイミング

43.3.2 TSIF PID データレジスタ (TSPIDR)

TSPIDR は、PID フィルタのセクションテーブルを設定する PID の値を設定するためのレジスタです。

本レジスタへの書き込み後、TSCMDR への書き込みを行うことにより PIDD への設定内容が反映されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	PIDD[12:0]												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
28~16	PIDD[12:0]	H'0000	R/W	TS パケットデータのバイト構成設定 PID フィルタのセクションテーブルを設定する PID の値を設定します。PIDD の設定後、TSCMDR への書き込みを行うことにより本レジスタの設定内容が反映されます。
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

43.3.3 TSIF コマンドレジスタ (TSCMDR)

TSCMDR は、TSPIDR で設定した値を PID テーブルに設定するためのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	PT[5]	-	-	ALLPI DMD	PIDMD	TFE	-	PPS	PT[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
28	PT[5]	0	R/W	PID テーブルを設定するセクションの選択 (表 43.4 参照) これらのビットは PIDMD ビット、および TFE ビットが 0 のときのみ有効となります。

ビット	ビット名	初期値	R/W	説明
27、26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
25	ALLPIDMD	0	R/W	PID フィルタのモード設定 ALLPIDMD PIDMD 0 0 : PID テーブルに設定した値が有効となります (PID フィルタモード) 0 1 : NULL パケット (PID = H'1FFF) 以外の PID が すべて有効となります (全有効パケット受信モード)
24	PIDMD	0	R/W	
23	TFE	0	R/W	PID テーブルの内容クリア 0 : - 1 : PID テーブルの内容をクリアします
22	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
21	PPS	0	R/W	PID テーブルを設定するセクションの選択 (表 43.4 参照)
20 ~ 16	PT[4:0]	00000	R/W	
15 ~ 0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

PIDMD ビットが0のときに、TSPIDR のPID フィルタのセクションテーブルに設定する値を書いた後、下記のいずれかの値を書き込むことにより、指定される選択セクションにPIDの値が設定されます。

これ以外に、PAT用(H'0000 固定)、CAT用(H'0001 固定)のPIDが実装されます。

表 43.4 PPS および PT ビット設定とPID 値の関連

PPS	PT[5:0]	選択セクション
1	xxxxxx	PCR_PID
0	000000	Video
0	000001	Audio
0	000010	PID_1
0	000011	PID_2
0	000100	PID_3
0	000101	PID_4
0	000110	PID_5
0	000111	PID_6
0	001000	PID_7
0	001001	PID_8
0	001010	PID_9
0	001011	PID_10
0	001100	PID_11
0	001101	PID_12
0	001110	PID_13
0	001111	PID_14
0	010000	PID_15
0	010001	PID_16
0	010010	PID_17
0	010011	PID_18
0	010100	PID_19
0	010101	PID_20
0	010110	PID_21
0	010111	PID_22
0	011000	PID_23
0	011001	PID_24
0	011010	PID_25
0	011011	PID_26
0	011100	PID_27
0	011101	PID_28
0	011110	PID_29
0	011111	PID_30

PPS	PT[5:0]	選択セクション
0	100000	PID_31
0	100001	PID_32
0	100010	PID_33

【注】 x : don't care

43.3.4 TSIF 割り込みステータスレジスタ (TSSTR)

TSSTR は、TSIF 内部の状態を示すステータスレジスタです。各ビットともクリアのための 0 書き込みが可能です。SYNCF ビット以外は、パケット受信完了時に TSSTR にセットされます。一度、1 にセットされたビットは 0 を書き込むまでクリアされませんので、次パケットの受信完了までにクリアしてください。TSSTR の各ビット (SYNCF ビットを除く) は、TSCTLR の TFA ビットにより初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	PID[12:0]												
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	ADCF	PIDF	STOF	RANDF	DISCF	SYNCF	OFEF	-	VSCF	VSHF	TSIF INTF
初期値 :	0	0	0	0	0	0	0	0	0	0	1	0	-	0	0	0
R/W :	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R/(W)*	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット	ビット名	初期値	R/W	説明
31~29	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
28~16	PID[12:0]	H'0000	R/(W)*	直前に入力した TS パケットの PID を示します。
15~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
10	ADCF	0	R/(W)*	PCRADC 更新フラグ 1 : PCRADC が更新された (PCR パケットが入力された) ことを示します。 [セット条件] • PCRADC が更新された (PCR パケットが入力された) とき [クリア条件] • 0 を書き込んだとき • TFA = 0 の状態が内部に反映されたとき

ビット	ビット名	初期値	R/W	説明
9	PIDF	0	R/(W)*	<p>該当 PID パケット受信フラグ</p> <p>1: PID フィルタモード (ALLPIDMD=0、PIDMD=0) 時、設定した PID パケットを受信したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • PID フィルタモード (ALLPIDMD=0、PIDMD=0) 時、設定した PID パケットを受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 0 を書き込んだとき • TFA=0 の状態が内部に反映されたとき
8	STOF	0	R/(W)*	<p>割り込み発生中のパケット受信終了フラグ</p> <p>1: 割り込み発生状態で、次のパケット受信終了によるステータス更新(本ビット除く)が発生したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 割り込み発生状態で、次のパケット受信終了によるステータス更新(本ビット除く)が発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 0 を書き込んだとき • TFA=0 の状態が内部に反映されたとき
7	RANDF	0	R/(W)*	<p>random_access_indicator フラグ</p> <p>1: 直前に入力した TS パケットの random_access_indicator が 1 であることを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 直前に入力した TS パケットの random_access_indicator が 1 であるとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 0 を書き込んだとき • TFA=0 の状態が内部に反映されたとき
6	DISCF	0	R/(W)*	<p>PCR 不連続フラグ</p> <p>1: 直前に入力した PCR パケットの discontinuity_indicator が PCR 不連続状態であることを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 直前に入力した PCR パケットの discontinuity_indicator が PCR 不連続状態であるとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 0 を書き込んだとき • TFA=0 の状態が内部に反映されたとき

ビット	ビット名	初期値	R/W	説明
5	SYNCF	1	R	同期モードフラグ TS パケットの同期信号の検出による内部同期 / 非同期モードの状態 非同期モード時、2 回連続で同期信号 (H'47) を検出すると、同期モードに入ります。同期モード時、4 回連続で同期信号を検出できないと、非同期モードに入ります。書き込む値は必ず 0 にしてください。 0 : TSIF が同期モードであることを示します (TS パケットの同期が取れている) 1 : TSIF が非同期モードであることを示します (TS パケットの同期が取れていない)
4	OFEF	0	R/(W)*	バッファオーバフローフラグ TSIF 内部バッファのオーバフロー 1 : 内部バッファにオーバフローエラーが発生したことを示します [セット条件] • 内部バッファにオーバフローエラーが発生したとき [クリア条件] • 0 を書き込んだとき • TFA = 0 の状態が内部に反映されたとき
3	-	不定	R	リザーブビット 書き込む値は必ず 0 にしてください。
2	VSCF	0	R/(W)*	Video パケットスタートコード検出フラグ 1 : 直前に入力した TS パケットが Video パケットで、かつそのペイロード内にスタートコード (B'0000 0000 0000 0000 0000 0001 xxxx xxxx) が存在することを示します [セット条件] • 直前に入力した TS パケットが Video パケットで、かつそのペイロード内にスタートコード (B'0000 0000 0000 0000 0000 0001 xxxx xxxx) が存在するとき [クリア条件] • 0 を書き込んだとき • TFA = 0 の状態が内部に反映されたとき
1	VSHF	0	R/(W)*	Video パケットショートヘッダ検出フラグ 1 : 直前に入力した TS パケットが Video パケットで、かつそのペイロード内にショートヘッダ (B'0000 0000 0000 0000 1000 00xx xxxx xxxx) が存在することを示します [セット条件] • 直前に入力した TS パケットが Video パケットで、かつそのペイロード内にショートヘッダ (B'0000 0000 0000 0000 1000 00xx xxxx xxxx) が存在するとき [クリア条件] • 0 を書き込んだとき • TFA = 0 の状態が内部に反映されたとき

ビット	ビット名	初期値	R/W	説明
0	TSIFINTF	0	R/(W)*	TSIF 転送要求フラグ 内部バッファに 1 パケット分 (188 バイト) の TS データがあることを示します。 1: TS データが内部バッファに 1 パケット分存在することを示します [セット条件] <ul style="list-style-type: none"> • TS データが内部バッファに 1 パケット分存在するとき [クリア条件] <ul style="list-style-type: none"> • 0 を書き込んだとき • TFA = 0 の状態が内部に反映されたとき

【注】 * 0 書き込みのみ可能です。

43.3.5 TSIF TS データレジスタ (TSTSDR)

TSTSDR は、設定した PID にて抽出された TS パケットデータを読み出すためのレジスタです。TSCTLR の EN ビットにより、エンディアンタイプの設定が可能です。

また、TSCTLR の FRCADD = 1 設定により、189 ~ 192 バイト目には、PID 一致タイミング時の TSFRC 値 (タイムスタンプ) が格納され、パケット管理データとして使用可能になります。

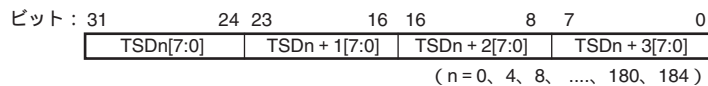
本レジスタより、1 パケット分 (188 バイト) の TS データを読み出した後は、必ず TSBUFCLRR の PEC ビットを 1 にセットしてください (DMA オート転送モードの場合を除く)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSD[31:16]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSD[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

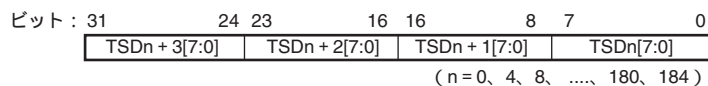
ビット	ビット名	初期値	R/W	説明
31 ~ 0	TSD[31:0]	不定	R	TSCTLR の FRCADD = 0 のとき <ul style="list-style-type: none"> • 1 ~ 188 バイト: 設定した PID にて抽出された TS パケットデータ TSCTLR の FRCADD = 1 のとき <ul style="list-style-type: none"> • 1 ~ 188 バイト: 設定した PID にて抽出された TS パケットデータ • 189 ~ 192 バイト: PID 一致タイミング時の TSFRC 値*

- TS パケットデータのフォーマット

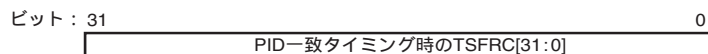
【ビッグエンディアン】 TSCTLR の EN ビット = 0 のとき



【リトルエンディアン】 TSCTLR の EN ビット = 1 のとき



【注】 * 189～192 バイト目にある PID 一致タイミング時の TSFRC の読み出しについて
TSFRC 値は、32 ビットカウンタ値ですので、常にロングワードデータとなります。



43.3.6 TSIF バッファクリアレジスタ (TSBUFCLRR)

TSBUFCLRR は、TS パケットデータの読み出し完了後に、TSIF の内部バッファのクリアを行うためのレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PEC	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
31～1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

ビット	ビット名	初期値	R/W	説明
0	PEC	0	R/W	<p>TS パケットデータ読み出し完了ビット</p> <p>TS パケットデータ読み出し完了後、直ちに 1 を設定してください。また、転送エラーなどにより、1 パケット分の TS データを破棄する場合にも 1 を設定してください。本ビットは自動的に 0 に復帰します。</p> <p>なお、TSCTLR の DREQMD ビットを 1 に設定している場合や TS パケットデータの読み出し完了前は、本レジスタへのアクセスは行わないでください。</p> <p>1 : TS パケット転送後、内部バッファをクリアします (1 セット後 0 に自動復帰します)</p> <p>1 パケット分の転送後、およびエラー発生などによりデータを破棄する場合には必ず 1 セットが必要です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1 を書き込んだとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 自動的にクリアされます

43.3.7 TSIF 割り込みイネーブルレジスタ (TSINTER)

TSINTER は、TSIF からの割り込み要求を制御するレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	ADCE	PIDE	STOE	RANDE	DISCE	SYNCE	OFEE	-	VSCE	VSHE	TSIF INTE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。</p>
10	ADCE	0	R/W	<p>ADC 割り込みイネーブルビット</p> <p>0 : PCRADC が更新された (PCR パケットが入力された) ときの割り込みを禁止</p> <p>1 : PCRADC が更新された (PCR パケットが入力された) ときに割り込みを発生</p>
9	PIDE	0	R/W	<p>PID 割り込みイネーブルビット</p> <p>0 : PID フィルタモードのとき、設定した PID パケットの受信時の割り込みを禁止</p> <p>1 : PID フィルタモードのとき、設定した PID パケットの受信時に割り込みを発生</p>

ビット	ビット名	初期値	R/W	説明
8	STOE	0	R/W	STO 割り込みイネーブルビット 0: 割り込み発生状態で次のパケット受信終了によるステータス更新時 (割り込みタイムオーバ) の割り込みを禁止 1: 割り込み発生状態で次のパケット受信終了によるステータス更新時 (割り込みタイムオーバ) に割り込みを発生
7	RANDE	0	R/W	RAND 割り込みイネーブルビット 0: 直前に入力した TS パケットの random_access_indicator が 1 のときの割り込みを禁止 1: 直前に入力した TS パケットの random_access_indicator が 1 のときの割り込みを発生
6	DISCE	0	R/W	DISC 割り込みイネーブルビット 0: 直前に入力した PCR パケットの discontinuity_indicator が PCR 不連続のときの割り込みを禁止 1: 直前に入力した PCR パケットの discontinuity_indicator が PCR 不連続のときに割り込みを発生
5	SYNCE	0	R/W	SYNC 割り込みイネーブルビット 0: TSIF が非同期モードのときの割り込みを禁止 1: TSIF が非同期モードのときに割り込みを発生
4	OFEE	0	R/W	OFE 割り込みイネーブルビット 0: 内部バッファのオーバーフローエラー時の割り込みを禁止 1: 内部バッファのオーバーフローエラー時に割り込みを発生
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
2	VSCE	0	R/W	VSC 割り込みイネーブルビット 0: 直前に入力した TS パケットに Video パケットのスタートコードが検出されたときの割り込みを禁止 1: 直前に入力した TS パケットに Video パケットのスタートコードが検出されたときに、割り込みを発生
1	VSHE	0	R/W	VSH 割り込みイネーブルビット 0: 直前に入力した TS パケットに Video パケットのショートヘッダが検出されたときの割り込みを禁止 1: 直前に入力した TS パケットに Video パケットのショートヘッダが検出されたときに、割り込みを発生
0	TSIFINTE	0	R/W	TSIFINT 割り込みイネーブルビット 0: 内部バッファに 1 パケット分 (188 バイト) の TS データがあるときの割り込みを禁止 1: 内部バッファに 1 パケット分 (188 バイト) の TS データがあるときに、割り込みを発生

43.3.8 TSIF PSCALE レジスタ (TSPSCALER)

TSPSCALER は、内部プリスケアラのカウンタ設定値 1、2 を設定するためのレジスタです。EXT_MODE = B'0 の場合、PSCALE2 ビットの設定値は、PSCALE1 ビットの設定値に 1 を加えた値となるようにしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	-	-	-	-	-	-	PSCALE2[9:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	-	-	-	-	-	-	PSCALE1[9:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		

ビット	ビット名	初期値	R/W	説明
31~26	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
25~16	PSCALE2[9:0]	H'000	R/W	内部プリスケアラのカウンタ設定値 2 を設定
15~10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
9~0	PSCALE1[9:0]	H'000	R/W	内部プリスケアラのカウンタ設定値 1 を設定

43.3.9 TSIF PSCALE_R レジスタ (TSPSCALERR)

TSPSCALERR は内部プリスケアラのカウンタ設定値 1、2 の比率を設定するためのレジスタです。

EXT_MODE = B'0 の場合、PSCALE_R1 ビットと PSCALE_R2 ビットの設定値の和が 9 となるようにしてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	PSCALE_R2[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PSCALE_R1[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
19~16	PSCALE_R2 [3:0]	H'0	R/W	内部プリスケアラのカウンタ設定値 2 の比率を設定
15~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

ビット	ビット名	初期値	R/W	説明
3~0	PSCALE_R1 [3:0]	H'0	R/W	内部プリスケアラのカウンタ設定値 1 の比率を設定

TSPSCALERR は、TSPSCALER が H'0000 0000 の状態で設定し、その後、TSPSCALER を設定してください。
EXT_MODE = B'0 の場合、TSPSCALER および TSPSCALERR は下記の式を満たすように設定してください。

$$\left(\frac{\text{PSCALE_R1} + \text{PSCALE_R2}}{\text{PSCALE1} \times \text{PSCALE_R1} + \text{PSCALE2} \times \text{PSCALE_R2}} \right) \times B \phi = 90\text{kHz}$$

$$\text{PSCALE_R1} + \text{PSCALE_R2} = 9$$

$$\text{PSCALE2} = \text{PSCALE1} + 1$$

TSIF の動作周波数に対する、TSPSCALER および TSPSCALERR それぞれのレジスタ設定例を示します。
EXT_MODE = B'1 の場合、表 43.5 に示した動作周波数のみの対応となります。

表 43.5 動作周波数に対する TSPSCALER および TSPSCALERR の設定例

• EXT_MODE = B'0

動作周波数[MHz]	PSCALE2	PSCALE1	PSCALE_R2	PSCALE_R1
10.0	H'070	H'06F	H'1	H'8
12.0	H'086	H'085	H'3	H'6
12.6	H'08C	H'08B	H'9	H'0
12.8	H'08F	H'08E	H'2	H'7
14.4	H'0A1	H'0A0	H'0	H'9
16.0	H'0B2	H'0B1	H'7	H'2
19.2	H'0D6	H'0D5	H'3	H'6
20.0	H'0DF	H'0DE	H'2	H'7
27.0	H'12D	H'12C	H'0	H'9
33.0	H'16F	H'16E	H'6	H'3
48.0	H'216	H'215	H'3	H'6
50.0	H'22C	H'22B	H'5	H'4
54.0	H'259	H'258	H'0	H'9
66.0	H'2DE	H'2DD	H'3	H'6

• EXT_MODE = B'1

動作周波数[MHz]	PSCALE2	PSCALE1	PSCALE_R2	PSCALE_R1
13.5	H'000	H'001	H'0	H'1
27.0	H'000	H'002	H'0	H'1
40.5	H'000	H'003	H'0	H'1
54.0	H'000	H'004	H'0	H'1

【注】 動作周波数は、バスクロック (B) となります。

43.3.10 TSIF PCRADC モードレジスタ (TSPCRADCMDR)

TSPCRADCMDR は、PCRADC のモードを設定するためのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	EXT MODE	TR_SEL[4:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~6	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
5	EXT_MODE	0	R/W	D_PCRADC 計算時に PCR_extension を含めて計算するかどうかを設定します。本ビットが1の設定は、本ブロックが (13.5 × n) MHz 動作 (n=1、2、3、4) 以外では使用できません。 0: D_PCRADC 計算時に PCR_extension を含めません 1: D_PCRADC 計算時に PCR_extension を含めて計算します
4~0	TR_SEL[4:0]	H'00	R/W	TSIF に入力される PCRADC 用トリガ信号の選択 同時に複数のビットに1を設定しないでください。 00000: トリガ信号の選択を行いません 01000: DMAC0 のチャンネル3からの割り込み信号をトリガとします 00100: DMAC0 のチャンネル2からの割り込み信号をトリガとします 00010: DMAC0 のチャンネル1からの割り込み信号をトリガとします 00001: DMAC0 のチャンネル0からの割り込み信号をトリガとします 上記以外: 設定禁止

43.3.11 TSIF PCRADC レジスタ (TSPCRADCR)

TSPCRADCR は、内部クロックでカウントアップした PCR 値を示します (90kHz 単位の時刻を表します)。

リセット解除後、PCR パケットが入力されるとカウントアップを開始します。その後、PCR パケットが入力されるごとにストリーム中の PCR 値を用いてカウンタ値の補正を行います。本レジスタは、パケット非同期状態でも更新されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PCRADC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PCRADC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	PCRADC[31:0]	H'0000 0000	R	内部クロックでカウントアップした PCR 値を示します。 TSCTLR の PCRMD = 0 のとき : 90kHz 単位の時刻を表します TSCTLR の PCRMD = 1 のとき : 45kHz 単位の時刻を表します

43.3.12 TSIF TR_PCRADC レジスタ (TSTRPCRADCR)

TSTRPCRADCR は、TR_SEL ビットで選択した PCRADC 用トリガ信号により取り込んだ PCRADC の値を示します (90kHz 単位の時刻を表します)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TR_PCRADC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TR_PCRADC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	TR_PCRADC [31:0]	H'0000 0000	R	TR_SEL ビットで選択した PCRADC 用トリガ信号により取り込んだ PCRADC の値を示します。 TSCTLR の PCRMD = 0 のとき : 90kHz 単位の時刻を表します TSCTLR の PCRMD = 1 のとき : 45kHz 単位の時刻を表します

43.3.13 TSIF D_PCRADC レジスタ (TSDPCRADC R)

TSDPCRADC R は、ストリーム PCR - TSPCRADC の値を 2 の補数で示します。本レジスタの値はリセット解除後、2 つ目の PCR パケット入力以降に有効となります。

ストリーム PCR - TSPCRADC の値が 32767 より大きい値、あるいは - 32768 より小さい値の場合、D_PCRADC[31:16] ビットは H'8000 を示します (D_PCRADC は、TSCTLR の PCRMD 設定値の影響を受けません。D_PCRADC[31:16] は常に 90kHz 単位、D_PCRADC[15:0] は 27MHz 単位の時刻差を表します)。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	D_PCRADC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D_PCRADC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	D_PCRADC [31:0]	H'0000 0000	R	ストリーム PCR - TSPCRADC の値を示します。

43.3.14 TSIF フリーランカウンタ (TSFRC)

TSFRC は、TSCTLR の FRCPSC[7:0] で設定した分周クロックでカウントアップする 32 ビットのフリーランカウンタです。TSCTLR の FRCSTR = 1 設定後にカウントアップ動作を開始します。

TSFRC は、パワーオンリセット、マニュアルリセット、U-スタンバイで H'0000 0000 に初期化されます。TSCTLR の TFA = 0 設定では初期化されません。

TSCTLR の FRCADD = 1 設定で、TSTSDR の 189~192 バイト目には、PID 一致タイミング時の TSFRC 値 (タイムスタンプ) が格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSFRC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSFRC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TSFRC[31:0]	H'0000 0000	R/W	フリーランカウンタ値を示します。

43.4 動作説明

43.4.1 TS データプロトコル

本 LSI がサポートする TS パケットは、同期バイトを含む 188 バイトの実行データと、誤り訂正のための 16 バイトのリードソロモン符号(パリティデータ)からなり、全体としては 204 バイトで構成されています(図 43.2)。TSIF では、188 バイト(パリティなし)と 204 バイト(パリティあり)の両方の TS データ形式をサポートします。

データ入力端子は、

- シリアルデータ (TS_SDAT) 入力
- シリアルデータクロック (TS_SCK) 入力
- 同期 (TS_SPSYNC) 入力
- 有効 (TS_SDEN) 入力

で構成されています。接続される LSI の仕様に応じて、これらの極性をソフトウェアで切り替え可能にしています(図 43.3)。

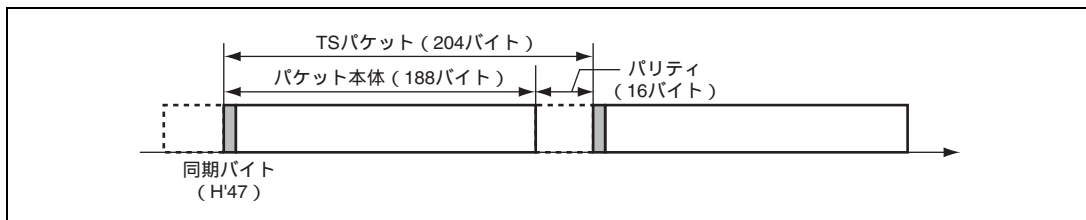


図 43.2 MPEG2-TS パケット構成

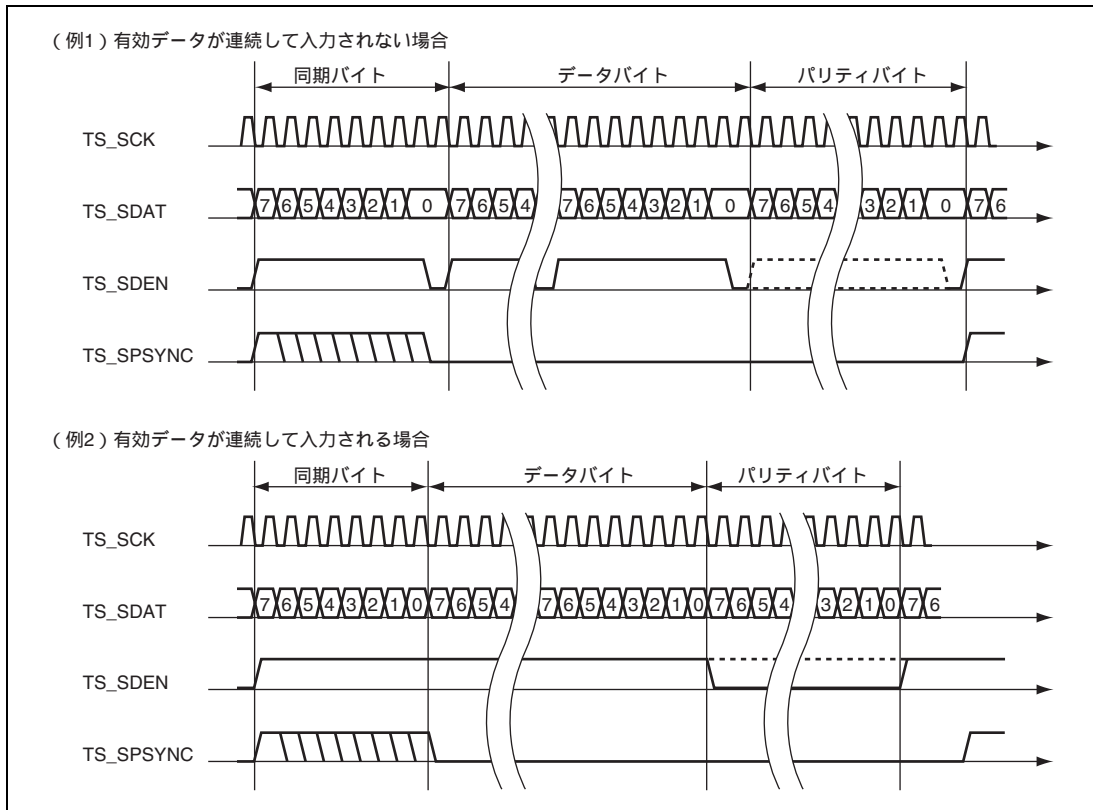


図 43.3 TS データシリアル入力タイミング

43.4.2 同期処理部

同期処理は、パケットの同期をとり、その後のPIDフィルタ処理等を実現するための機能です。

地上波の放送局から送られてくるTSパケットデータは常時送信されていますが、受信端末は送信側のタイミングに関係なく受信を開始するため、パケットの途中から入力されることになります。同期処理は、途中から再生されるTSパケットデータの先頭を特定し、パケットの中の各種データを正確に処理するために欠かせない処理です。また、入力データは送信状況に応じて信号品質が劣化する場合があります。チューナ、OFDM復調器等を通して得られるTSパケットデータにエラーが含まれる可能性があります。

同期処理では、このようなエラーに対する保護処理も行います。

起動時には、まず同期バイト(H'47)を検索し、検出すると1パケット周期(188バイトあるいは204バイト)後に再度同期バイトが現れるか調べます。2回連続して同期バイトが現れた場合、同期がとれたものと判断します。いったん同期が取れた場合には、同期バイトが決まった場所に現れない場合にも、すぐにエラーとはせず、通常の処理を継続します。

同期バイトが連続して4回出現しない場合には、同期が外れたものと判断します。一度同期が外れると、起動時と同じように同期を取るための処理を開始します。

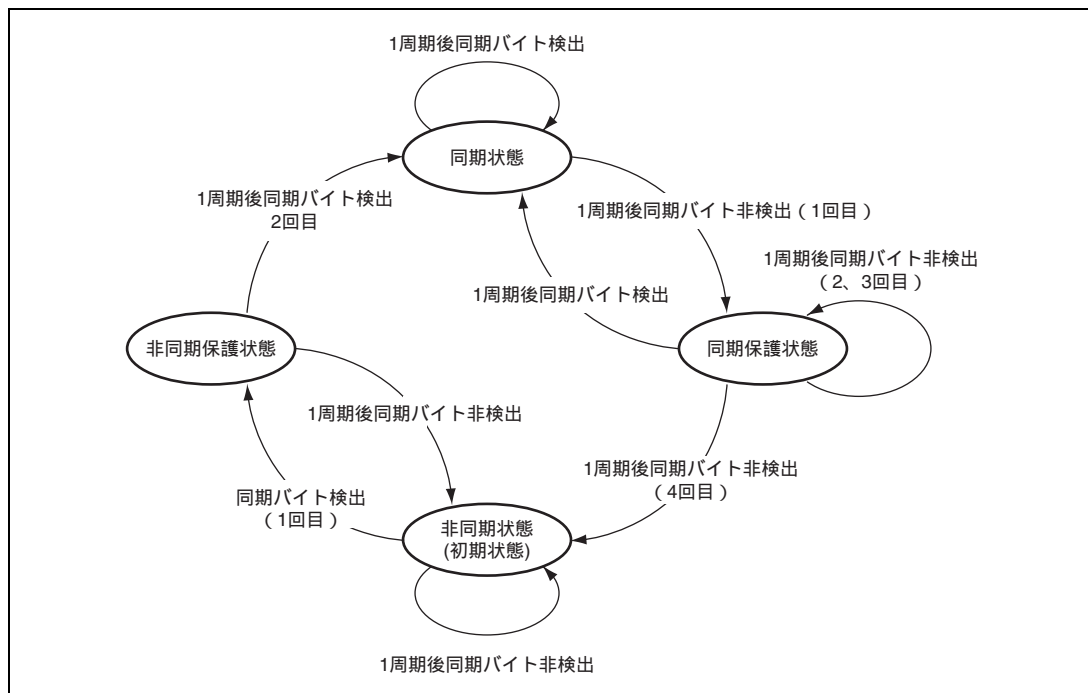


図 43.4 同期バイト検出状態構成

43.4.3 PID フィルタ処理部

PID フィルタ処理では、TS パケットの PID をチェックし、あらかじめ指定した PID テーブルの値と一致した場合には、そのパケットをバッファへ格納する処理を行います。

PID の値としては、全部で 26 個の値が登録できます。ただし、PAT 用 (H'0000) と CAT 用 (H'0001) の PID は固定であり、変更はできません。PCR パケット用、Video パケット用および Audio パケット用は、それぞれ専用のセクションに PID の値を設定する必要がありますが、その他の 21 個の PID はどのセクションに設定しても問題ありません。

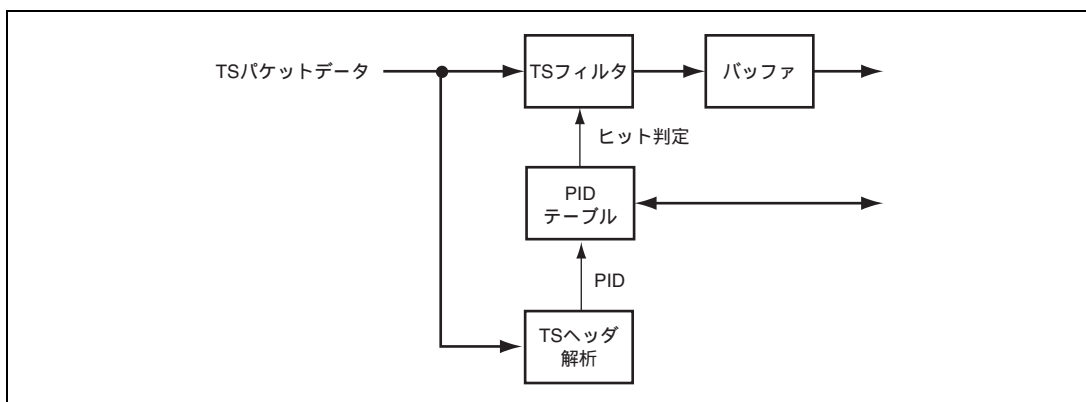


図 43.5 PID フィルタブロック図

表 43.6 PID テーブル

No.	セクション	PID 値 (12 ビット)	内容
1	Video	任意設定	Video パケット専用
2	Audio	任意設定	Audio パケット専用
3	PID1	任意設定	任意パケット用
4	PID2	任意設定	任意パケット用
5	PID3	任意設定	任意パケット用
6	PID4	任意設定	任意パケット用
7	PID5	任意設定	任意パケット用
8	PID6	任意設定	任意パケット用
9	PID7	任意設定	任意パケット用
10	PID8	任意設定	任意パケット用
11	PID9	任意設定	任意パケット用
12	PID10	任意設定	任意パケット用
13	PID11	任意設定	任意パケット用
14	PID12	任意設定	任意パケット用
15	PID13	任意設定	任意パケット用
16	PID14	任意設定	任意パケット用

No.	セクション	PID 値 (12 ビット)	内容
17	PID15	任意設定	任意パケット用
18	PID16	任意設定	任意パケット用
19	PID17	任意設定	任意パケット用
20	PID18	任意設定	任意パケット用
21	PID19	任意設定	任意パケット用
22	PID20	任意設定	任意パケット用
23	PID21	任意設定	任意パケット用
24	PID22	任意設定	任意パケット用
25	PID23	任意設定	任意パケット用
26	PID24	任意設定	任意パケット用
27	PID25	任意設定	任意パケット用
28	PID26	任意設定	任意パケット用
29	PID27	任意設定	任意パケット用
30	PID28	任意設定	任意パケット用
31	PID29	任意設定	任意パケット用
32	PID30	任意設定	任意パケット用
33	PID31	任意設定	任意パケット用
34	PID32	任意設定	任意パケット用
35	PID33	任意設定	任意パケット用
36	PAT	H'0000 固定	PAT パケット専用
37	CAT	H'0001 固定	CAT パケット専用
38	PCR	任意設定	PCR パケット専用

43.4.4 ビットストリーム検索部

ビットストリーム検索は、PCR パケットおよび Video パケットに関し、ソフトウェアの負荷を減らすためにパケットの中身をチェックする機能を持っています。具体的には下記に示す機能を実現しています。

1. PCRの不連続性チェック

PCRの不連続性 (Discontinuity-indicator) を自動検出して、ステータスレジスタに反映します。PCRパケットが入力され場合のソフト処理の遅れを軽減するためのものです。PCRは基地局 (放送局) から送られる基準クロック信号であり、番組の切り替え等で、別のPCRに切り替えられる場合があります。

2. PCR_flagの検出

TSパケットのadaptation_fieldからPCR_flagを検出してステータスレジスタに反映します。

3. random_access_indicatorの検出

TSパケットのadaptation_fieldからrandom_access_indicatorを検出してステータスレジスタに反映します。

4. Duplicate Packetの削除

連続するTSパケットからPIDとcontinuity_counterをチェックし、重複したTSデータをバッファに格納しないよ

うにします。

5. スタートコードチェック

Videoのストリーム中に、スタートコード (H'0000 01xx) が存在する場合に、ステータスレジスタに反映します。スタートコードは、MPEG規格で用いられる映像データの中の区切りを示すデータで、たとえば、シーケンスの先頭、画像の先頭等につけられます。

6. ショートヘッダチェック

Videoのストリーム中に、ショートヘッダ (B'0000 0000 0000 0000 1000 00xx xxxx xxxx) が存在する場合に、ステータスレジスタに反映します。

これらの処理は、図 43.6 に示す Adaptation Field 解析部と ES データ検索部で行います。

PID フィルタ処理を行うための、TS ヘッダ解析時に同時に Adaptation Field の有無を解析し、PID テーブルでの PCR パケット、あるいは Video パケットのヒット情報が入力されたときに、それぞれのブロックで必要な処理を開始します。

それぞれの結果は、ステータスレジスタに反映されます。

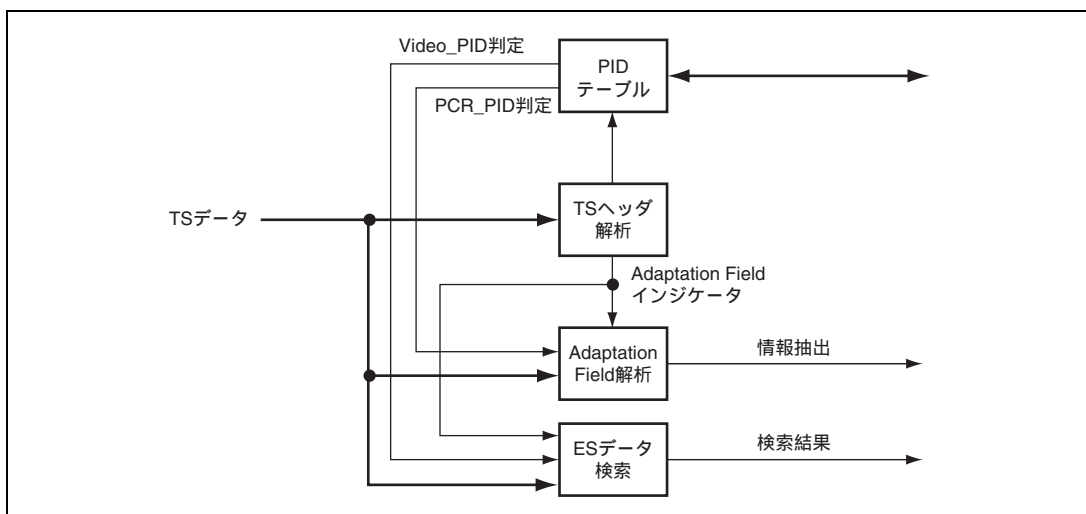


図 43.6 ストリーム検索部ブロック図

43.4.5 処理フロー

図 43.7 に TSIF モジュールの処理フローの概略を示します。

パワーオン起動時に TSIF はリセット状態となっているので、初期化処理を完了するまでは何の信号も発生しません。TSIF で抽出すべき TS パケットの ID (PID) を PID テーブルに設定し、その他必要な設定を完了した後、ソフトウェアリセットを解除して TSIF を起動し、同時に所望の割り込みを許可します。後は必要な TS パケットが抽出されるまで待機します。

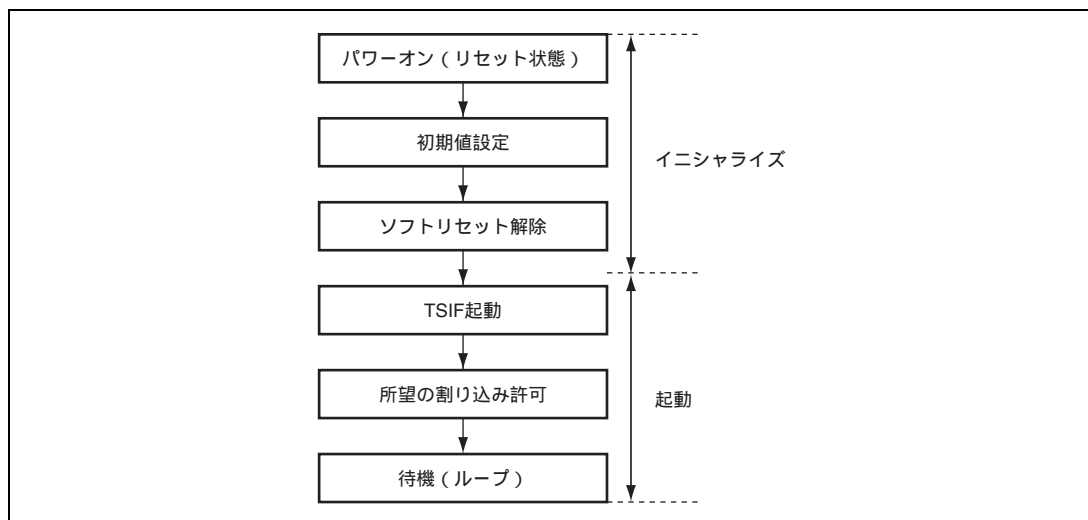


図 43.7 TSIF 処理フロー

TS パケットデータの転送には以下の 2 種類があります。

(1) DMA 割り込み転送モード (図 43.8)

割り込みルーチンでは、バッファに格納されたパケットデータをメモリ上に構成されるキュー (Queue) へ転送します。キューは、PID の値に応じて、複数個設ける必要があります (例: ビデオ、オーディオ他)。割り込みが発生しましたら、まず TSSTR を読み出してください。このとき、ステータスでエラーが検出され、そのパケットのデータを破棄する場合には、必ず TSBUFCLRR の PEC ビットをセットしてください。次に、TSSTR の PID ビットの値をチェックします。

たとえば、そのパケットがビデオパケットの場合、そのパケットをビデオパケットのキューに DMA 等で転送します。188 バイト転送、または TS データ + TSFRC の 192 バイト転送した後、必ず PEC ビットをセットして内部バッファをクリアしてください。

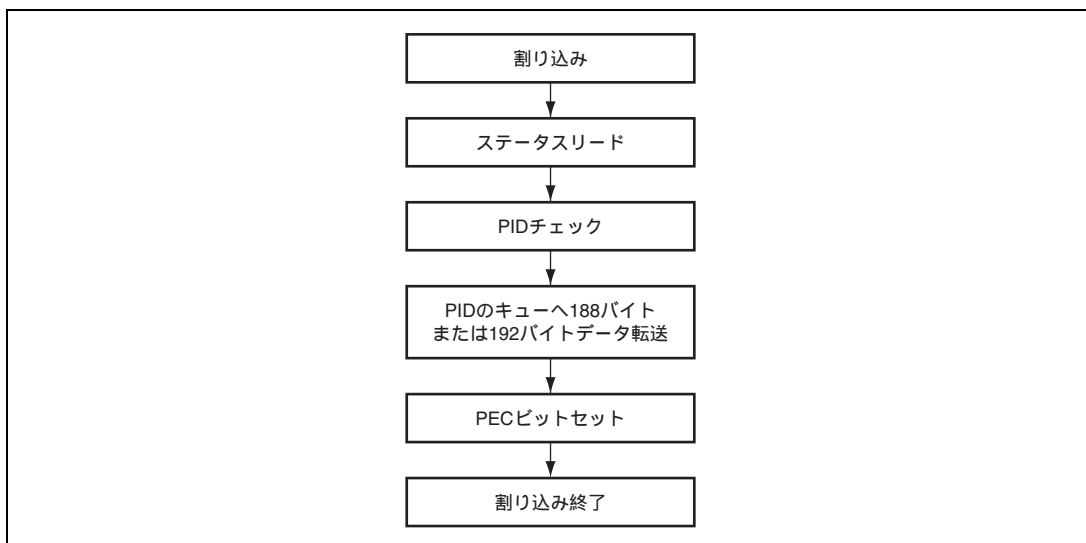


図 43.8 TSIF 割り込み処理フロー

(2) DMA オート転送モード

本モードを使用する際には、TSIF 起動前に DMAC ブロックに所望の設定を行う必要があります。TSIF は、TS パケットが 1 パケット (188 バイト) 分、または TS パケットが 1 パケット + TSFRC (192 バイト) 分入力されると自動的に DMA に転送要求信号を発行し、DMA 転送を開始します。本モードを用いることにより、割り込みの頻度を下げることができます。

本章は、守秘契約を結んでいただいたうえで公開致します。
詳細は、弊社の営業担当にご確認ください。

44. サウンドプロセッシングユニット 2 (SPU2)

サウンドプロセッシングユニット 2 (SPU2) は、AAC や MP3 などのオーディオコーデックや、Pre / Post サウンド処理を行う 2 つのオーディオ処理専用 DSP と、DSP およびシステム CPU が起動可能な DMAC (SPU - DMAC) を有したバスブリッジで構成されるサウンド、オーディオ処理専用ユニットです。

オーディオコーデックのみならず、Pre / Post 処理を DSP で実行するために、システム CPU から DSP-IO 周辺モジュールへのダイレクトアクセス、DSP から SPU2 外部空間へのアクセスなど、機能強化を図っています。

SPU2 の機能を使用する場合は、物理アドレス空間制御レジスタ (PASCRA) のビット 7 に 1 を設定してください (PASCRA ビットの詳細は、「第 7 章 メモリマネジメントユニット (MMU)」を参照ください)。

また、SPU2 の機能を使用する場合は、周波数制御レジスタ (FRQCRA) にて、I と S のクロック比を下記に設定してください (FRQCRA レジスタの詳細は、「第 17 章 クロックパルス発振器 (CPG)」を参照ください)。

I : S = N : 1 N=1, 2, 3 (N=4以上は設定禁止)

44.1 特長

SPU2 の機能および特長を表 44.1 に示します。

表 44.1 SPU-DMAC 機能および特長

分類	項目	詳細
DMAC	チャンネル数	<ul style="list-style-type: none"> • 3 チャンネル
	転送データ長	<ul style="list-style-type: none"> • SHwy : ロングワード (4 バイト)、8 ロングワード (32 バイト) • DSP-P RAM : 32 ビット、32 ビット × 8 パースト • DSP-X/Y RAM : 24 ビット 16 ビット × 16、24 ビット × 8 パースト (アライメントモード) 24 ビット × 10 または 11 パースト (シームレスモード)
	最大転送回数	<ul style="list-style-type: none"> • 65,535 回 (16 ビット)
	アドレスモード	<ul style="list-style-type: none"> • デュアルアドレスモード
	アドレッシング	<ul style="list-style-type: none"> • 上位 9 ビットは固定 (ベースアドレス) • 固定 / 23 ビット (8MB) インクリメント
	転送要求	<ul style="list-style-type: none"> • オートリクエスト
	優先順位	<ul style="list-style-type: none"> • 固定 (Ch0 > Ch1 > Ch2)
	割り込み要求	<ul style="list-style-type: none"> • データ転送終了時に SH、DSP へ割り込み要求を発生可能 割り込み要因マスク、割り込み要求マスク共に可能
	データスワップ	<ul style="list-style-type: none"> • DMA 転送データをスワップ可能 (バイトスワップ、ワードスワップ、バイト-ワードスワップ)
バスブリッジ	DSP インタフェース	<ul style="list-style-type: none"> • 外部メモリ - DSP メモリ間の DMA 転送が可能 • ターゲットスルーモードにより CPU から直接 DSP メモリにアクセス可能 • パススルーモードにより、DSP から SPU2 外部へアクセス可能 • DSP から SPU2 レジスタへのアクセス可能
バスブリッジ	IO インタフェース	<ul style="list-style-type: none"> • 複数 DSP および CPU からの SPU2 レジスタ、外部周辺モジュールへのアクセスを調停 • 外部周辺モジュールを接続可能

45. FIFO 内蔵シリアルインタフェース (FSI)

FIFO 内蔵シリアルインタフェース (FSI : Fifo-attached Serial Interface) は、D/A、A/D に接続するサウンド入出力インタフェースです。オーディオ処理用回路から出力される 24 ビットデータを LR クロック、Bit クロック、シリアルデータの 3 線で外部出力する出力動作機能と、入力された 3 線データを 24 ビットデータにする入力動作機能を持ちます。FIFO の状態を管理し、割り込みを発生させることで、入出力動作を連続して行うことができます。

本モジュールは、オーディオ処理用回路である SPU2 (サウンドプロセッシングユニット 2) の周辺回路になります。

45.1 特長

FSI の機能、特長を表 45.1 に示します。

表 45.1 FSI 機能一覧

項目	内容	詳細
動作周波数	サンプリング周波数 (fs)	8kHz ~ 96kHz (最大)
	オーディオクロック	LR クロック、Bit クロックを生成するクロック (64fs、128fs、256fs、512fs) 25MHz (最大)
	FSI 動作周波数	SPU2-DSP クロック : 4MHz ~ 83.4MHz
DSP/IO	データバス幅	24 ビット
入出力対応フォーマット	モノラル (1 チャンネル)	MONO、MONO Delay
	ステレオ (2 チャンネル)	I2S、PCM
	マルチチャンネル (1 ~ 8 チャンネル)	TDM、TDM Delay
出力インタフェース	3 線シリアル出力 (×2 : ポート A、B)	マスタ動作 (64fs、128fs、256fs、512fs のオーディオクロックから LR クロック、Bit クロックを生成) LR クロック (fs) : 8kHz ~ 96kHz Bit クロック : 32bit/fs、64bit/fs、128bit/fs、256bit/fs、512bit/fs (モノラル) 64bit/fs、128bit/fs、256bit/fs、512bit/fs (ステレオ) 256bit/fs、512bit/fs (マルチチャンネル)
		スレーブ動作 (外部からの LR クロック、Bit クロックで動作可能) LR クロック (fs) : 8kHz ~ 96kHz Bit クロック : 32bit/fs、64bit/fs、128bit/fs、256bit/fs、512bit/fs (モノラル) 64bit/fs、128bit/fs、256bit/fs、512bit/fs (ステレオ) 256bit/fs、512bit/fs (マルチチャンネル)

項目	内容	詳細
入カインタフェース	3 線シリアル入力 (×2: ポート A、B)	マスタ動作 出カインタフェースと同じ LR クロック、Bit クロックに対応
		スレーブ動作 出カインタフェースと同じ LR クロック、Bit クロックに対応
FIFO	FIFO ステータス	状態、格納サンプルデータ数、オーバーフロー、アンダーフロー
	FIFO クリア	アドレスポインタをクリア
	FIFO ワード数	256 ワード
	割り込み要因 発生条件選択	出力動作： (1) Empty (2) 1/2 を超えたデータの空き (3) 1 サンプル以上の空き 入力動作： (1) FULL (2) 1/2 以上データ (3) 1 サンプル以上のデータ
割り込み	割り込み制御	外部に割り込み要求を発生可能 割り込み要因マスク、割り込み信号マスクに対応
MUTE	MUTE モード	通常 MUTE、ゼロクロス MUTE に対応

図 45.1 に FSI のブロック図を示します。

シリアルポート B は、ポート A と同じ構造、インタフェースを持ちます。

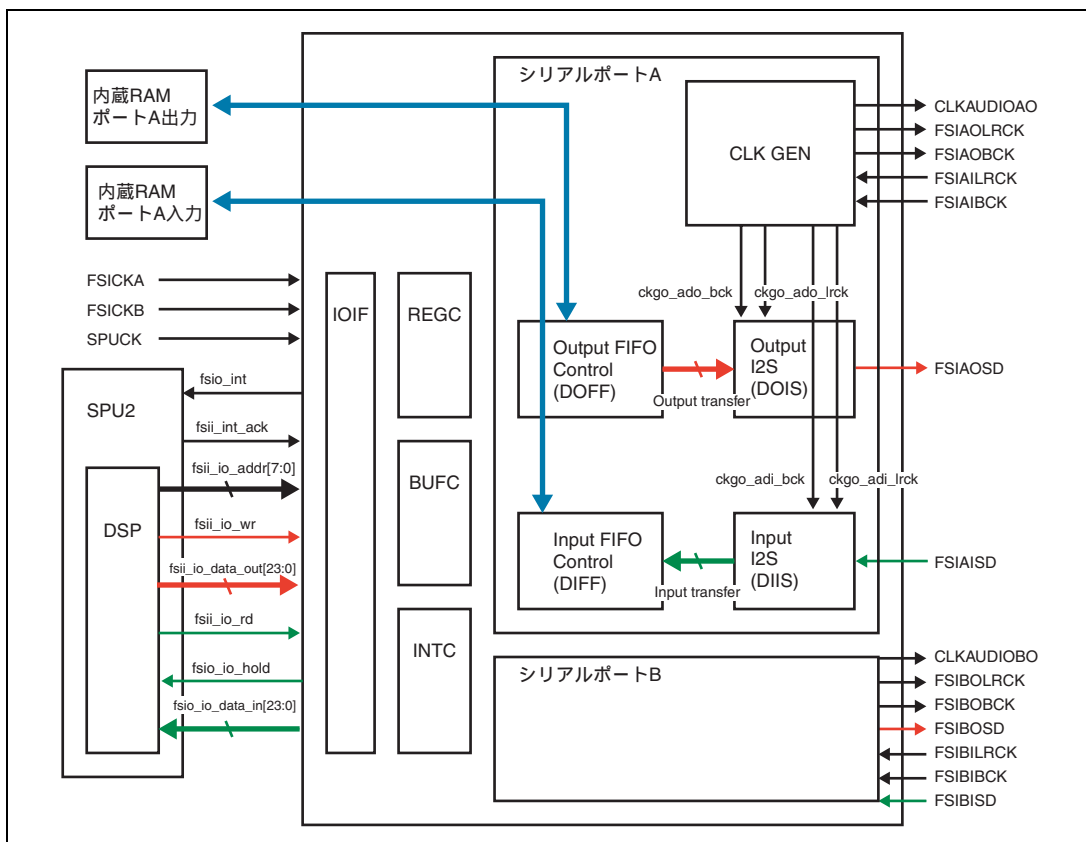


図 45.1 ブロック図

各ブロックの概要を説明します。

(1) シリアルポート A

シリアルポート A は、CLK GEN、Data OutputFIFO Control、Data InputFIFO Control、Data OutputI2S、および Data InputI2S の 5 つのモジュールで構成され、オーディオデータの入出力動作を実行するモジュールです。

各モジュールの説明を以下に示します。

(a) CLK GEN

CLK GENは、内部で生成したマスタクロックと外部からのスレーブクロックを選択し、内部モジュール (DOIS、DIIS) に出力するモジュールです。

(b) Data Output FIFO Control(DOFF)

DSPからのデータが書き込まれるFIFOを出力FIFOと呼びます。DOFFはDP-RAMとのアクセスを制御します。FIFOの状態はFIFOステータスレジスタ (A_DOFF_ST) に反映されます。

出力FIFO制御レジスタ (A_DOFF_CTL) で、FIFOの割り込み要因発生条件 (A_DOFF_CTL.IHC) を設定します。

FIFOクリア (A_DOFF_CTL.CLR) は、内蔵RAMへのアクセスポインタ、エラー履歴を初期化します。

(c) Data OutputI2S(DOIS)

CLK GENから出力されるLRクロックの立ち下がり、立ち上がりでカウンタを制御して、DOFFにデータを要求します。

データに付属するチャンネル番号を判定し、各チャンネルのバッファにデータを格納します。次のLRクロックで、データを読み出し、左シフト演算を行い、シリアルデータを出力します。

(d) Data Input FIFO Control(DIFF)

外部からのデータが書き込まれるFIFOを入力FIFOと呼びます。Data InputFIFO Controlは内蔵RAMへのアクセスを制御します。FIFOの状態はFIFOステータスレジスタ (A_DIFF_ST) に反映されます。

入力FIFO制御レジスタ (A_DIFF_CTL) で、FIFOの割り込み要因発生条件 (A_DIFF_CTL.IHC) を設定します。

FIFOクリア (A_DOFF_CTL.CLR) は、内蔵-RAMへのアクセスポインタ、エラー履歴を初期化します。

(e) Data Input I2S(DIIS)

CLK GENから出力されるLRクロックの立ち上がり、立ち下がりでカウンタを制御して、パラレル変換した信号を各チャンネルのバッファに格納します。格納されたデータは、チャンネル番号を接続して、入力FIFOに書き込まれます。

(2) シリアルポート B

シリアルポート A と同じ構造、インタフェースを持ち、独立して動作します。

(3) その他の管理モジュール

主な機能ごとにレジスタを管理するモジュールです。

(a) INTC

割り込み信号の制御を行うモジュールです。内部で発生する割り込み4要因を、1本の割り込み信号にまとめ外部に出力します。割り込みイベントはFIFOの容量で判定されます。判定条件を変更することもできます。発生したイベントに対しては、要因マスクと信号マスクで制御することができます。

(b) BUFC

BUFC部は、DSPからFIFOへのデータ読み出し / 書き込みを制御するモジュールです。入力データを連続で読むために、FIFOから先読みを行います。最初の読み出しは4ウェイト後出力されますが、それ以降はバッファポインタを制御してバッファに格納されたデータを読み出すことで、1ウェイトの連続読み出しが可能です。

(c) REGC

INTC、BUFC以外で使用するレジスタを管理するモジュールです。フォーマット、クロック、MUTEの設定はこのモジュールで管理されます。

(d) IOIF

INTC、BUFC、REGCの読み出しデータを選択するモジュールです。

DSP-IOからアクセス可能なレジスタのウェイトサイクル数を表45.2にまとめます。

表 45.2 FSI レジスタの読み出し / 書き込みウェイトサイクル

レジスタ	読み出し	書き込み
A_DIDT	初回 (4 ウェイト)	禁止
B_DIDT	次回から (1 ウェイト)	
その他のレジスタ	1 ウェイト	ウェイトなし

45.2 入出力端子

FSI の端子構成を表 45.3 に示します。

表 45.3 端子構成

FSI ブロック	端子名	機能	入出力	説明
ポート A	FSIAOLRCK	ポート A サウンド出力 L/R クロック	出力	サウンド出力 L/R クロック端子です。 (マスタ)
	FSIAOBCK	ポート A サウンド出力 ビットクロック	出力	サウンド出力ビットクロック端子です。 (マスタ)
	FSIAOSD	ポート A サウンド出力 シリアルデータ	出力	サウンド出力シリアルデータ端子です。
	FSIAILRCK	ポート A サウンド入力 L/R クロック	入力	サウンド入力 L/R クロック端子です。 (スレーブ)
	FSIAIBCK	ポート A サウンド入力 ビットクロック	入力	サウンド入力ビットクロック端子です。 (スレーブ)
	FSIAISD	ポート A サウンド入力 シリアルデータ	入力	サウンド入力シリアルデータ端子です。
	FSICKA	ポート A ソースクロック 入力	入力	ポート A 用のソースクロック入力端子です。 (CPG モジュールに入力されます。)
	CLKAUDIOAO	ポート A オーディオクロ ック出力	出力	ポート A 用オーディオクロック出力端子です。
ポート B	FSIBOLRCK	ポート B サウンド出力 L/R クロック	出力	サウンド出力 L/R クロック端子です。 (マスタ)
	FSIBOBCK	ポート B サウンド出力 ビットクロック	出力	サウンド出力ビットクロック端子です。 (マスタ)
	FSIBOSD	ポート B サウンド出力 シリアルデータ	出力	サウンド出力シリアルデータ端子です。
	FSIBILRCK	ポート B サウンド入力 L/R クロック	入力	サウンド入力 L/R クロック端子です。 (スレーブ)
	FSIBIBCK	ポート B サウンド入力 ビットクロック	入力	サウンド入力ビットクロック端子です。 (スレーブ)
	FSIBISD	ポート B サウンド入力 シリアルデータ	入力	サウンド入力シリアルデータ端子です。
	FSICKB	ポート B ソースクロック 入力	入力	ポート B 用のソースクロック入力端子です。 (CPG モジュールに入力されます。)
	CLKAUDIOBO	ポート B オーディオクロ ック出力	出力	ポート B 用のオーディオクロック出力端子です。

45.3 レジスタの説明

FSI のレジスタ構成を表 45.4 に示します。

表 45.4 レジスタ構成

分類	レジスタ名	略称	R/W (CPU/DSP 共)	アクセスサイズ		物理 アドレス	DSP アドレス
				CPU	DSP		
ポート A	ポート A 出力シリアルフォーマットレジスタ	A_DO_FMT	R/W	32	24	H'FE3C0000	H'00
	ポート A 出力 FIFO 制御レジスタ	A_DOFF_CTL	R/W	32	24	H'FE3C0004	H'01
	ポート A 出力 FIFO ステータスレジスタ	A_DOFF_ST	R/W	32	24	H'FE3C0008	H'02
	ポート A 入力シリアルフォーマットレジスタ	A_DI_FMT	R/W	32	24	H'FE3C000C	H'03
	ポート A 入力 FIFO 制御レジスタ	A_DIFF_CTL	R/W	32	24	H'FE3C0010	H'04
	ポート A 入力 FIFO ステータスレジスタ	A_DIFF_ST	R/W	32	24	H'FE3C0014	H'05
	ポート A クロック設定 1 レジスタ	A_CKG1	R/W	32	24	H'FE3C0018	H'06
	ポート A クロック設定 2 レジスタ	A_CKG2	R/W	32	24	H'FE3C001C	H'07
	ポート A リードデータレジスタ	A_DIDT	R	32	24	H'FE3C0020	H'08
	ポート A ライトデータレジスタ	A_DODT	W	32	24	H'FE3C0024	H'09
ポート A MUTE ステートレジスタ	A_MUTE_ST	R	32	24	H'FE3C0028	H'0A	
ポート B	ポート B 出力シリアルフォーマットレジスタ	B_DO_FMT	R/W	32	24	H'FE3C0040	H'10
	ポート B 出力 FIFO 制御レジスタ	B_DOFF_CTL	R/W	32	24	H'FE3C0044	H'11
	ポート B 出力 FIFO ステータスレジスタ	B_DOFF_ST	R/W	32	24	H'FE3C0048	H'12
	ポート B 入力シリアルフォーマットレジスタ	B_DI_FMT	R/W	32	24	H'FE3C004C	H'13
	ポート B 入力 FIFO 制御レジスタ	B_DIFF_CTL	R/W	32	24	H'FE3C0050	H'14
	ポート B 入力 FIFO ステータスレジスタ	B_DIFF_ST	R/W	32	24	H'FE3C0054	H'15
	ポート B クロック設定 1 レジスタ	B_CKG1	R/W	32	24	H'FE3C0058	H'16
	ポート B クロック設定 2 レジスタ	B_CKG2	R/W	32	24	H'FE3C005C	H'17
	ポート B リードデータレジスタ	B_DIDT	R	32	24	H'FE3C0060	H'18
	ポート B ライトデータレジスタ	B_DODT	W	32	24	H'FE3C0064	H'19
ポート B MUTE ステートレジスタ	B_MUTE_ST	R	32	24	H'FE3C0068	H'1A	
割り込み	割り込みステートレジスタ	INT_ST	R/W	32	24	H'FE3C0200	H'80
	割り込み要因マスクレジスタ	IEMSK	R/W	32	24	H'FE3C0204	H'81
	割り込み信号マスクレジスタ	IMSK	R/W	32	24	H'FE3C0208	H'82
MUTE	MUTE 設定レジスタ	MUTE	R/W	32	24	H'FE3C020C	H'83
リセット	クロックリセットレジスタ	CLK_RST	R/W	32	24	H'FE3C0210	H'84
	ソフトウェアリセットレジスタ	SOFT_RST	R/W	32	24	H'FE3C0214	H'85
内蔵 RAM 容量	FIFO サイズレジスタ	FIFO_SZ	R	32	24	H'FE3C0218	H'86

- 【注】
1. ポート A、ポート B レジスタは同じ内容、設定のレジスタです。
 2. CPU アクセス時の各レジスタのビット 31～24 の初期値は、すべて 0 となります。

表 45.5 各処理レジスタモードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R- スタンバイ	U- スタンバイ	スリープ
A_DO_FMT	初期化	初期化	保持	保持	初期化	初期化	保持
A_DOFF_CTL	初期化	初期化	保持	保持	初期化	初期化	保持
A_DOFF_ST	初期化	初期化	保持	保持	初期化	初期化	保持
A_DI_FMT	初期化	初期化	保持	保持	初期化	初期化	保持
A_DIFF_CTL	初期化	初期化	保持	保持	初期化	初期化	保持
A_DIFF_ST	初期化	初期化	保持	保持	初期化	初期化	保持
A_CKG1	初期化	初期化	保持	保持	初期化	初期化	保持
A_CKG2	初期化	初期化	保持	保持	初期化	初期化	保持
A_DIDT	初期化	初期化	保持	保持	初期化	初期化	保持
A_DODT	初期化	初期化	保持	保持	初期化	初期化	保持
A_MUTE_ST	初期化	初期化	保持	保持	初期化	初期化	保持
B_DO_FMT	初期化	初期化	保持	保持	初期化	初期化	保持
B_DOFF_CTL	初期化	初期化	保持	保持	初期化	初期化	保持
B_DOFF_ST	初期化	初期化	保持	保持	初期化	初期化	保持
B_DI_FMT	初期化	初期化	保持	保持	初期化	初期化	保持
B_DIFF_CTL	初期化	初期化	保持	保持	初期化	初期化	保持
B_DIFF_ST	初期化	初期化	保持	保持	初期化	初期化	保持
B_CKG1	初期化	初期化	保持	保持	初期化	初期化	保持
B_CKG2	初期化	初期化	保持	保持	初期化	初期化	保持
B_DIDT	初期化	初期化	保持	保持	初期化	初期化	保持
B_DODT	初期化	初期化	保持	保持	初期化	初期化	保持
B_MUTE_ST	初期化	初期化	保持	保持	初期化	初期化	保持
INT_ST	初期化	初期化	保持	保持	初期化	初期化	保持
IEMSK	初期化	初期化	保持	保持	初期化	初期化	保持
IMSK	初期化	初期化	保持	保持	初期化	初期化	保持
CLK_RST	初期化	初期化	保持	保持	初期化	初期化	保持
SOFT_RST	初期化	初期化	保持	保持	初期化	初期化	保持
FIFO_SZ	初期化	初期化	保持	保持	初期化	初期化	保持

45.3.1 ポート A/B 出力シリアルフォーマットレジスタ (A_DO_FMT/B_DO_FMT)

A_DO_FMT/B_DO_FMT は読み出し / 書き込み可能な 24 ビットのレジスタです。シリアルポート A/B 出力動作で使用するフォーマットを MONO、MONO_Delay、PCM、I2S、TDM、TDM_Delay から選択します。

TDM、TDM_Delay モードを選択した場合は、チャンネル数を設定します (1~8 チャンネル)。

ビット:		23	22	21	20	19	18	17	16							
		—	—	—	—	—	—	—	—							
初期値:		0	0	0	0	0	0	0	0							
R/W:		R	R	R	R	R	R	R	R							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	FMT[2:0]			—	NCH[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
23~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	FMT[2:0]	011	R/W	フォーマット選択 000 : MONO (1 チャンネル) 001 : MONO Delay (1 チャンネル) 010 : PCM (2 チャンネル) 011 : I2S (2 チャンネル) 100 : TDM (1~8 チャンネル) 101 : TDM Delay (1~8 チャンネル) 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	NCH[2:0]	000	R/W	TDM、TDM_Delay 時のチャンネル数を設定します。 TDM、TDM_Delay 以外のフォーマットを設定した場合、B'000 を指定してください。 000 : 1 チャンネル 001 : 2 チャンネル 010 : 3 チャンネル 011 : 4 チャンネル 100 : 5 チャンネル 101 : 6 チャンネル 110 : 7 チャンネル 111 : 8 チャンネル

45.3.2 ポート A/B 出力 FIFO 制御レジスタ (A_DOFF_CTL/B_DOFFCTL)

A_DOFF_CTL/B_DOFF_CTL は、読み出し / 書き込み可能な 24 ビットのレジスタです。シリアルポート A/B 出力 FIFO の割り込みの要因発生条件を設定します。FIFO クリアは内蔵 RAM へのアクセスポインタを初期化し、オーバーフロー、アンダーフローのエラー履歴をクリアします。

- 1/2を超えた空がある状態のデータ格納量

1ch : 127サンプル (127word) 以下

2ch : 63サンプル (126word) 以下

3、4ch : 31サンプル (3ch : 93word、4ch : 124word) 以下

5~8ch : 15サンプル (5ch : 75word、6ch : 90word、7ch : 105word、8ch : 120word) 以下

ビット:

	23	22	21	20	19	18	17	16
	—	—	IHC[1:0]	—	—	—	—	—
初期値:	0	0	0	1	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R

ビット:

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

ビット	ビット名	初期値	R/W	説明
23, 22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21, 20	IHC[1:0]	01	R/W	割り込み要因発生条件 00 : Empty 状態 01 : 1/2 を超えた空がある状態 10 : 1 サンプル以上の空きがある状態 11 : 設定禁止 (Full 状態)
19~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CLR	0	R/(W)*	FIFO クリア アクセスポインタ、エラー履歴を初期化します。 読み出すと常に 0 が読み出されます。 0 : 割り込み要因発生条件だけを変更する場合、0 書き込みとしてください。 1 : FIFO クリア

【注】 * 1 書き込みすると、CLR ビットは 1 パルスアサートされ、0 になります。

45.3.3 ポート A/B 出力 FIFO ステータスレジスタ (A_DOFF_ST/B_DOFF_ST)

A_DOFF_ST/B_DOFF_ST は、読み出し / 書き込み可能な 24 ビットのレジスタです。シリアルポート A/B 出力 FIFO の状態、格納サンプルデータ数、オーバーフロー、アンダーフロー履歴を読み出すことができます。

OF ビットおよび UF ビットは、0 書き込みで履歴をクリアします。

OF ビットおよび UF ビットのクリア手順については、「45.6 FIFO オーバーフロー、アンダーフロー仕様」を参照してください。

ビット:										23	22	21	20	19	18	17	16
										—	—	ST[1:0]	—	—	—	—	SZ[8]
初期値:										0	0	0	0	0	0	0	0
R/W:										R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SZ[7:0]								—	—	—	OF	—	—	—	UF	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/(W)*	R	R	R	R	R/(W)*

ビット	ビット名	初期値	R/W	説明
23, 22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21, 20	ST[1:0]	00	R	FIFO 状態 00 : Empty 状態 01 : 1/2 未満のデータがある状態 10 : 1/2 以上のデータがある状態 11 : Full 状態
19~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
16~8	SZ[8:0]	H'000	R	<p>サンプルデータ数</p> <p>FIFO に格納されているサンプルデータ数を表します。サンプルデータの最大値は設定したフォーマットのチャンネル数で変化します。各チャンネルの最大サンプルデータ数を示します (256word の場合)。</p> <p>() 内を超えるデータ数の書き込みが起きた場合、オーバーフローが発生します。</p> <p>3チャンネルモードでは4チャンネル単位、5~7チャンネルモードでは8チャンネル単位にFIFOを使用しています。SPU2-DSPは最大書き込み回数に注意してください。</p> <p>1チャンネル: 256 (256 × 1=256)</p> <p>2チャンネル: 128 (128 × 2=256)</p> <p>3チャンネル: 64 (64 × 3=192)</p> <p>4チャンネル: 64 (64 × 4=256)</p> <p>5チャンネル: 32 (32 × 5=160)</p> <p>6チャンネル: 32 (32 × 6=192)</p> <p>7チャンネル: 32 (32 × 7=224)</p> <p>8チャンネル: 32 (32 × 8=256)</p>
7~5	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
4	OF	0	R/(W)*	<p>FIFO エラー履歴</p> <p>0: エラー無し</p> <p>1: オーバーフロー発生</p>
3~1	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
0	UF	0	R/(W)*	<p>FIFO エラー履歴</p> <p>0: エラー無し</p> <p>1: アンダーフロー発生</p>

【注】 * 0書き込みでFIFOエラー履歴をクリア、1で保持します。

45.3.4 ポート A/B 入力シリアルフォーマットレジスタ (A_DI_FMT/B_DI_FMT)

A_DI_FMT/B_DI_FMT は、読み出し / 書き込み可能な 24 ビットのレジスタです。シリアルポート A/B 入力動作で使用するフォーマットを MONO、MONO_Delay、PCM、I2S、TDM、TDM_Delay から選択します。

TDM、TDM_Delay を選択した場合は、チャンネル数を設定します。

ビット:		23	22	21	20	19	18	17	16								
		—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:		R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	FMT[2:0]			—	NCH[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
23~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	FMT[2:0]	011	R/W	フォーマット選択 000 : MONO (1 チャンネル) 001 : MONO Delay (1 チャンネル) 010 : PCM (2 チャンネル) 011 : I2S (2 チャンネル) 100 : TDM (1~8 チャンネル) 101 : TDM Delay (1~8 チャンネル) 110 : 設定禁止 111 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	NCH[2:0]	000	R/W	TDM、TDM_Delay のチャンネル数を設定します。 TDM、TDM_Delay 以外のフォーマットを設定した場合、B'000 を指定してください。 000 : 1 チャンネル 001 : 2 チャンネル 010 : 3 チャンネル 011 : 4 チャンネル 100 : 5 チャンネル 101 : 6 チャンネル 110 : 7 チャンネル 111 : 8 チャンネル

45.3.5 ポート A/B 入力 FIFO 制御レジスタ (A_DIFF_CTL/B_DIFF_CTL)

A_DIFF_CTL/B_DIFF_CTL は、読み出し / 書き込み可能な 24 ビットのレジスタです。シリアルポート A/B 入力 FIFO の割り込みの要因発生条件を設定します。FIFO クリアは内蔵 RAM へのアクセスポインタを初期化します。オーバーフロー、アンダーフローのエラー履歴を削除します。

- 1/2以上のデータがある状態のデータ格納量

1ch : 128サンプル (128word) 以上

2ch : 64サンプル (128word) 以上

3、4ch : 32サンプル (3ch : 96word、4ch : 128word) 以上

5~8ch : 16サンプル (5ch : 80word、6ch : 96word、7ch : 112word、8ch : 128word) 以上

ビット :

23	22	21	20	19	18	17	16
—	—	IHC[1:0]	—	—	—	—	—

初期値 :

R/W : R R R/W R/W R R R R

ビット :

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLR

初期値 :

R/W : R R R R R R R R R R R R R R R R/(W)*

ビット	ビット名	初期値	R/W	説明
23, 22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21, 20	IHC[1:0]	01	R/W	割り込み要因発生条件 00 : Full 状態 01 : 1/2 以上のデータがある状態 10 : 1 サンプル以上のデータがある状態 11 : 設定禁止 (Empty 状態)
19~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CLR	0	R/(W)*	FIFO クリア アクセスポインタ、エラー履歴を初期化します。 読み出すと常に 0 が読み出されます。 0 : 割り込み要因発生条件だけを変更する場合、0 書き込みとしてください。 1 : FIFO クリア

【注】 * 1 書き込みすると、CLR ビットは 1 パルスアサートされ、B'0 になります。

45.3.6 ポート A/B 入力 FIFO ステータスレジスタ (A_DIFF_ST/B_DIFF_ST)

A_DIFF_ST/B_DIFF_ST は、読み出し / 書き込み可能な 24 ビットのレジスタです。シリアルポート A/B 入力 FIFO の状態、格納サンプルデータ数、オーバーフロー、アンダーフロー履歴を読み出すことができます。

OF ビットおよび UF ビットは、0 書き込みで履歴をクリアします。

OF ビットおよび UF ビットのクリア手順については、「45.6 FIFO オーバーフロー、アンダーフロー仕様」を参照してください。

ビット:	23	22	21	20	19	18	17	16								
	—	—	ST[1:0]	—	—	—	—	SZ[8]								
初期値:	0	0	0	0	0	0	0	0								
R/W:	R	R	R	R	R	R	R	R								
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SZ[7:0]							—	—	—	OF	—	—	—	—	UF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
23, 22	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21, 20	ST[1:0]	00	R	FIFO 状態 00 : Empty 状態 01 : 1/2 未満のデータがある状態 10 : 1/2 以上のデータがある状態 11 : Full 状態
19~17	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
16~8	SZ[8:0]	H'000	R	<p>サンプルデータ数</p> <p>FIFO に格納されているサンプルデータ数を表します。サンプルデータの最大値は設定したフォーマットのチャンネル数で変化します。各チャンネルの最大サンプルデータ数を示します (256word の場合)。</p> <p>() 内を超えるデータ数の読み込みが起きた場合、アンダーフローが発生します。</p> <p>3チャンネルモードでは4チャンネル単位、5~7チャンネルモードでは8チャンネル単位にFIFOを使用しています。SPU2-DSPは最大読み込み回数に注意してください。</p> <p>1チャンネル: 256 (256 × 1=256)</p> <p>2チャンネル: 128 (128 × 2=256)</p> <p>3チャンネル: 64 (64 × 3=192)</p> <p>4チャンネル: 64 (64 × 4=256)</p> <p>5チャンネル: 32 (32 × 5=160)</p> <p>6チャンネル: 32 (32 × 6=192)</p> <p>7チャンネル: 32 (32 × 7=224)</p> <p>8チャンネル: 32 (32 × 8=256)</p>
7~5	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
4	OF	0	R/(W)*	<p>FIFO エラー履歴</p> <p>0: エラー無し</p> <p>1: オーバーフロー発生</p>
3~1	-	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
0	UF	0	R/(W)*	<p>FIFO エラー履歴</p> <p>0: エラー無し</p> <p>1: アンダーフロー発生</p>

【注】 * 0書き込みでFIFOエラー履歴をクリア、1で保持します。

45.3.7 ポート A/B クロック設定 1 レジスタ (A_CKG1/B_CKG1)

A_CKG1/B_CKG1 は、読み出し / 書き込み可能な 24 ビットのレジスタです。シリアルポート A/B で使用するマスタクロックの生成と、内部モジュールで使用する LR クロック、Bit クロックのマスタ、スレーブ選択を行います。

マスタクロックは、CPG のオーディオクロック (FSICKA/FSICKB) から生成されます。ブロック図を図 45.2 に示します。

ビット :		23	22	21	20	19	18	17	16								
	—	—	—	—	—	—	—	—	—								
初期値 :		0	0	0	0	0	0	0	0								
R/W :		R	R	R	R	R	R	R	R								
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	ACKMD[1:0]	—	—	BPFMD[2:0]		—	—	—	DIMD	—	—	—	—	DOMD	
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	

ビット	ビット名	初期値	R/W	説 明
23~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	ACKMD[1:0]	00	R/W	マスタ動作時の LR クロックを生成するためのオーディオクロックを指定します。 サンプリング周波数 (fs) に対して、何 fs のオーディオクロックが入力されるか選択します。 00 : 512fs 01 : 256fs 10 : 128fs 11 : 64fs 【注】TDM、TDM_Delay 設定時は、512fs/256fs を選択してください。LR クロックの出力波形は「45.8 シリアルデータフォーマット」を参照してください。
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
10~8	BPFMD[2:0]	001	R/W	<p>マスタ動作時の Bit クロックの分周比を設定します。</p> <p>フォーマット、入力されたオーディオクロックによって使用できない設定があります。表 45.6 を参照してください。</p> <p>000 : 32bit/fs 001 : 64bit/fs 010 : 128bit/fs 011 : 256bit/fs 100 : 512bit/fs 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止</p>
7~5	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4	DIMD	0	R/W	<p>DIIS モジュールのマスタ / スレーブ選択</p> <p>0 : スレーブ動作 1 : マスタ動作</p>
3~1	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	DOMD	0	R/W	<p>DOIS モジュールのマスタ / スレーブ選択</p> <p>0 : スレーブ動作 1 : マスタ動作</p>

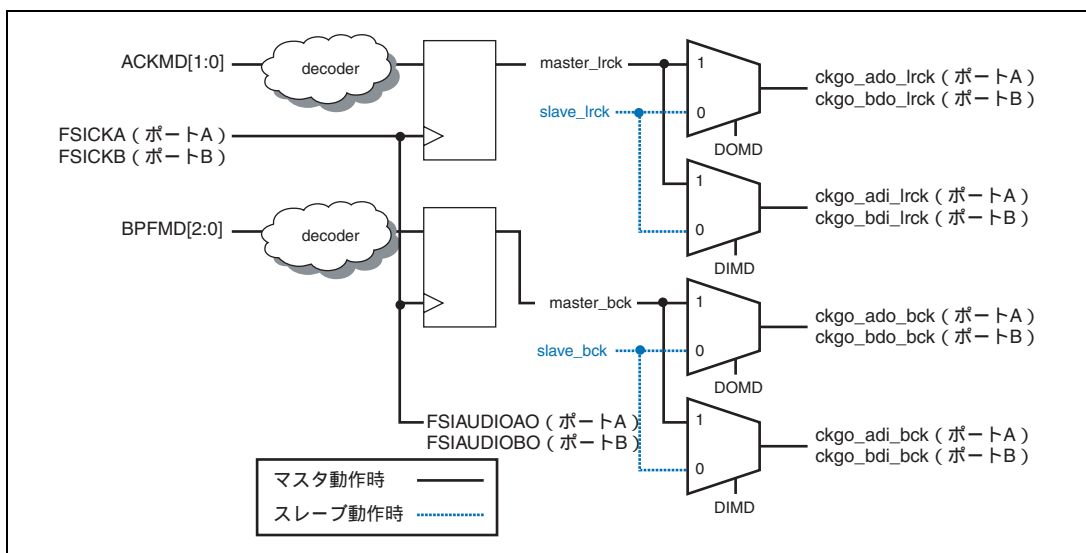


図 45.2 マスタクロック生成、入出力動作、マスタ、スレーブセレクト

マスタ動作時では、CPG からのオーディオクロック (FSICKA/FSICKB) 同期でデコードを行い、LR クロック (FSIAOLRCK/FSIBOLRCK)、Bit クロック (FSIAOBCK/FSIBOBCK) を生成します。CLKAUDIOAO/CLKAUDIOBO は FSICKA/FSICKB をそのまま外部に出力します。フォーマットごとに設定可能な CKMD、BPFMD の組み合わせを表 45.6 に示します。オーディオクロックよりも速い Bit クロックは生成できません。

スレーブ動作では外部の LR クロック、Bit クロックを使用します。内部モジュールでは、Bit クロックの立ち上がりに対して、LR クロックの立ち下がり基準にデータ変換を行うため、スレーブ動作を行う場合、A_CKG2 レジスタで、外部インタフェースの仕様に合わせてクロックの反転設定を行ってください。

(マスタモードでは外部の DAC、ADC の仕様に合わせて反転を設定することができます。)

表 45.6 対応フォーマット一覧

動作クロック	MONO、MONO Delay	I2S、PCM	TDM、TDM Delay
	BPFMD	BPFMD	BPFMD
マスタ ACKMD : 64fs	64bit/fs 32bit/fs	64bit/fs	(*)
マスタ ACKMD : 128fs	128bit/fs 64bit/fs 32bit/fs	128bit/fs 64bit/fs	(*)
マスタ ACKMD : 256fs	256bit/fs 128bit/fs 64bit/fs 32bit/fs	256bit/fs 128bit/fs 64bit/fs	256bit/fs
マスタ ACKMD : 512fs	512bit/fs 256bit/fs 128bit/fs 64bit/fs 32bit/fs	512bit/fs 256bit/fs 128bit/fs 64bit/fs	512bit/fs 256bit/fs
スレーブ	512bit/fs 256bit/fs 128bit/fs 64bit/fs 32bit/fs	512bit/fs 256bit/fs 128bit/fs 64bit/fs	512bit/fs 256bit/fs

【注】 * TDM/TDM Delay モードでは、256fs、512fs を選択してください。

45.3.8 ポート A/B クロック設定 2 レジスタ (A_CKG2/B_CKG2)

A_CKG2/B_CKG2 は、読み出し / 書き込み可能な 24 ビットのレジスタです。シリアルポート A/B で使用するマスタクロックとスレーブクロックの反転を選択します。外部インタフェースの仕様に合わせて、反転を行うことができます。

ビット:																	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:																	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
23~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	LRM	0	R/W	マスタ LR クロック反転設定 0: 反転なし 1: 反転あり
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	BRM	0	R/W	マスタ Bit クロック反転設定 0: 反転なし 1: 反転あり
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	LRS	0	R/W	スレーブ LR クロック反転設定 0: 反転なし 1: 反転あり
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	BRS	0	R/W	スレーブ Bit クロック反転設定 0: 反転なし 1: 反転あり

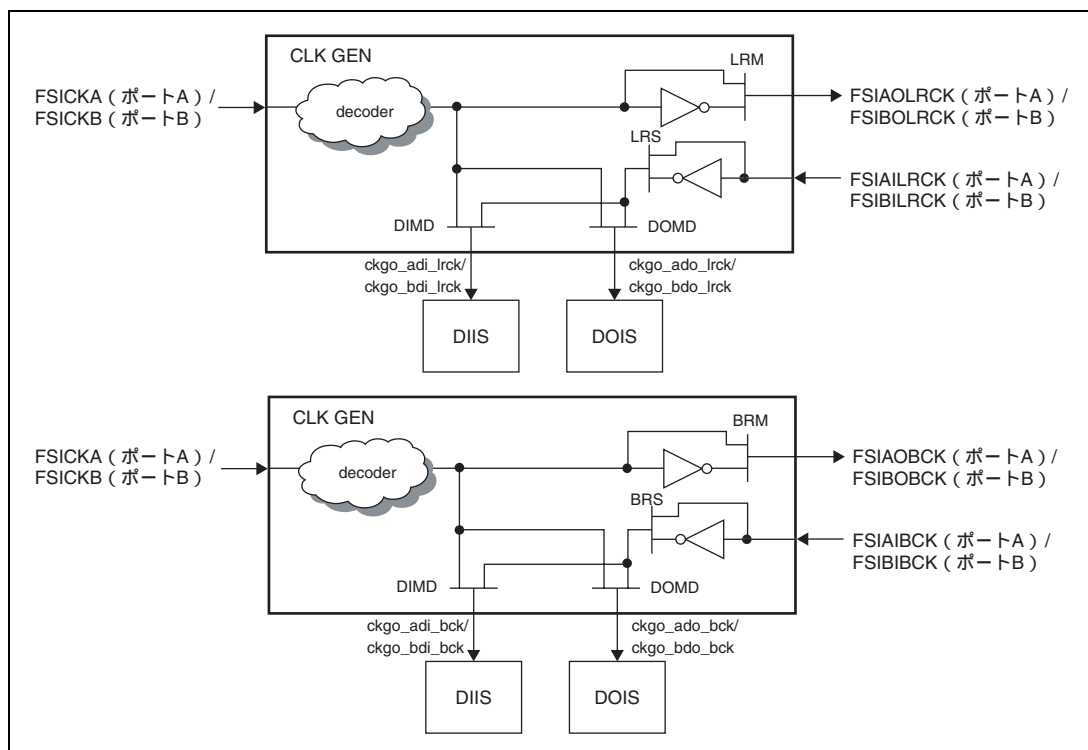


図 45.3 マスタ、スレーブクロック反転セクタ

1つのシリアルポートで作れるマスタ出力、スレーブ入力端子のBitクロック、LRクロックは、1系統です。同じシリアルポートを使用した(マスタ、マスタ)、(スレーブ、スレーブ)動作は、異なるフォーマット、異なるBitクロック、LRクロックでは動作できません。

異なるフォーマット、Bitクロック、LRクロックで入出力動作を同時に行う場合は、ポートA、ポートBで入出力動作を別々に設定してください。

(マスタ、マスタ)モードで入力、出力が異フォーマットの場合は、出力フォーマットのLRクロックを生成します。使用しない転送のマスタ/スレーブ選択は、スレーブ(初期値)としてください。

45.3.9 ポート A/B リードデータレジスタ (A_DIDT/B_DIDT)

A_DIDT/B_DIDT は、読み込み専用の 24 ビットのレジスタです。シリアルポート A/B 入力 FIFO に格納されたデータを読むことができます。FIFO が Empty の状態で読み込むと、アンダーフローのエラーが発生します。

ソフトウェアリセット (SOFT_RST.SR) 中、または対象ポートのリセット (SOFT_RST.SRA、SOFT_RST.SRB) 中に FIFO リードレジスタ (A_DIDT、B_DIDT) をリードしないでください。

ビット:		23	22	21	20	19	18	17	16							
		DIDT[23:16]														
初期値:		0	0	0	0	0	0	0	0	0						
R/W:		R	R	R	R	R	R	R	R	R						
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DIDT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
23~0	DIDT[23:0]	H'00 0000	R	入力 FIFO からデータを読み込みます。 読み込み専用のレジスタです。

45.3.10 ポート A/B ライトデータレジスタ (A_DODT/B_DODT)

A_DODT/B_DODT は、書き込み専用の 24 ビットのレジスタです。シリアルポート A/B 出力 FIFO にデータを書くことができます。FIFO が Full の状態で書き込むと、オーバーフローのエラーが発生します。

ビット:		23	22	21	20	19	18	17	16							
		DODT[23:16]														
初期値:		0	0	0	0	0	0	0	0	0						
R/W:		W	W	W	W	W	W	W	W	W						
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DODT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
23~0	DODT[23:0]	H'00 0000	W	出力 FIFO にデータを書き込みます。 書き込み専用のレジスタです。

45.3.11 ポート A/B MUTE ステート (A_MUTE_ST/B_MUTE_ST)

A_MUTE_ST/B_MUTE_ST は、読み出し専用の 24 ビットのレジスタです。ポート A/B の入出力動作で、チャンネルごとに MUTE の状態を表示します。

ビット:																	
初期値:																	
R/W:																	
ビット:																	
初期値:																	
R/W:																	

ビット	ビット名	初期値	R/W	説明
23~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	O_CH8	0	R	ポート A 出力 MUTE ステート 0: チャンネル 8 MUTE オフ 1: チャンネル 8 MUTE 状態
14	O_CH7	0	R	ポート A 出力 MUTE ステート 0: チャンネル 7 MUTE オフ 1: チャンネル 7 MUTE 状態
13	O_CH6	0	R	ポート A 出力 MUTE ステート 0: チャンネル 6 MUTE オフ 1: チャンネル 6 MUTE 状態
12	O_CH5	0	R	ポート A 出力 MUTE ステート 0: チャンネル 5 MUTE オフ 1: チャンネル 5 MUTE 状態
11	O_CH4	0	R	ポート A 出力 MUTE ステート 0: チャンネル 4 MUTE オフ 1: チャンネル 4 MUTE 状態
10	O_CH3	0	R	ポート A 出力 MUTE ステート 0: チャンネル 3 MUTE オフ 1: チャンネル 3 MUTE 状態
9	O_CH2	0	R	ポート A 出力 MUTE ステート 0: チャンネル 2 MUTE オフ 1: チャンネル 2 MUTE 状態
8	O_CH1	0	R	ポート A 出力 MUTE ステート 0: チャンネル 1 MUTE オフ 1: チャンネル 1 MUTE 状態

ビット	ビット名	初期値	R/W	説 明
7	I_CH8	0	R	ポート A 入力 MUTE ステート 0: チャンネル 8 MUTE オフ 1: チャンネル 8 MUTE 状態
6	I_CH7	0	R	ポート A 入力 MUTE ステート 0: チャンネル 7 MUTE オフ 1: チャンネル 7 MUTE 状態
5	I_CH6	0	R	ポート A 入力 MUTE ステート 0: チャンネル 6 MUTE オフ 1: チャンネル 6 MUTE 状態
4	I_CH5	0	R	ポート A 入力 MUTE ステート 0: チャンネル 5 MUTE オフ 1: チャンネル 5 MUTE 状態
3	I_CH4	0	R	ポート A 入力 MUTE ステート 0: チャンネル 4 MUTE オフ 1: チャンネル 4 MUTE 状態
2	I_CH3	0	R	ポート A 入力 MUTE ステート 0: チャンネル 3 MUTE オフ 1: チャンネル 3 MUTE 状態
1	I_CH2	0	R	ポート A 入力 MUTE ステート 0: チャンネル 2 MUTE オフ 1: チャンネル 2 MUTE 状態
0	I_CH1	0	R	ポート A 入力 MUTE ステート 0: チャンネル 1 MUTE オフ 1: チャンネル 1 MUTE 状態

45.3.12 割り込みステータレジスタ (INT_ST)

INT_ST は、読み出し / 書き込み可能な 24 ビットのレジスタです。各 4 要因をそれぞれ保持します。書き込みは 0 クリアのみ有効で、1 を書き込むとそれまでの値を保持します。特定の要因クリアを行う場合、他の要因ビットには 1 を書き込んでください。

割り込みステータレジスタは、要因マスクが解除された状態で割り込み発生条件と FIFO の状態が一致したとき、セットされます。要因クリアとセットが同時に入った場合は、セットを優先します。

ビット:																				23	22	21	20	19	18	17	16	
																				—	—	—	—	—	—	—	—	—
初期値:																				0	0	0	0	0	0	0	0	0
R/W:																				R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
	—	—	—	IIB	—	—	—	IOB	—	—	—	IIA	—	—	—	IOA												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/(W)*	R	R	R	R/(W)*	R	R	R	R/(W)*	R	R	R	R/(W)*	R	R	R	R/(W)*	R	R	R	R	R	R	R/(W)*	R

ビット	ビット名	初期値	R/W	説明
23~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	IIB	0	R/(W)*	ポート B 入力 FIFO 割り込み 0: クリア 1: 要因保持
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	IOB	0	R/(W)*	ポート B 出力 FIFO 割り込み 0: クリア 1: 要因保持
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	IIA	0	R/(W)*	ポート A 入力 FIFO 割り込み 0: クリア 1: 要因保持
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	IOA	0	R/(W)*	ポート A 出力 FIFO 割り込み 0: クリア 1: 要因保持

【注】 * 0 書き込みで要因クリア、1 書き込みで保持します。

45.3.13 割り込み要因マスク設定レジスタ (IEMSK)

IEMASK は、読み出し / 書き込み可能な 24 ビットのレジスタです。各 FIFO の割り込み要因のマスク設定を行います。後述の IMASK レジスタで割り込み信号マスクを解除していても、本レジスタで割り込み要因をマスクすると要因自体がセットされないため、割り込みは発生しません。

ビット :	23	22	21	20	19	18	17	16								
	—	—	—	—	—	—	—	—								
初期値 :	0	0	0	0	0	0	0	0								
R/W :	R	R	R	R	R	R	R	R								
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MIRB	—	—	—	MORB	—	—	—	MIRA	—	—	—	MORA
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
23~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	MIRB	0	R/W	ポート B 入力 FIFO 割り込み要求マスク 0 : マスク 1 : 割り込み許可
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	MORB	0	R/W	ポート B 出力 FIFO 割り込み要求マスク 0 : マスク 1 : 割り込み許可
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	MIRA	0	R/W	ポート A 入力 FIFO 割り込み要求マスク 0 : マスク 1 : 割り込み許可
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MORA	0	R/W	ポート A 出力 FIFO 割り込み要求マスク 0 : マスク 1 : 割り込み許可

45.3.14 割り込み信号マスク設定レジスタ (IMSK)

IMASK は、読み出し / 書き込み可能な 24 ビットのレジスタです。DSP に対する各 FIFO の割り込み信号のマスクを行います。信号マスクを解除している FIFO に割り込み要因が発生すると、割り込み要求信号が発生します。

1 要因の割り込みステート INT_ST.IOA、要因マスク IEMSK.MORA、信号マスク IMSK.MRA の関係を図 45.4 に示します。他の要因についても同様の構成です。

ビット:		23	22	21	20	19	18	17	16							
		—	—	—	—	—	—	—	—							
初期値:		0	0	0	0	0	0	0	0							
R/W:		R	R	R	R	R	R	R	R							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	MIB	—	—	—	MOB	—	—	—	MIA	—	—	—	MOA
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
23~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	MIB	0	R/W	ポート B 入力 FIFO 割り込み信号マスク 0: マスク 1: 割り込み許可
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	MOB	0	R/W	ポート B 出力 FIFO 割り込み信号マスク 0: マスク 1: 割り込み許可
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	MIA	0	R/W	ポート A 入力 FIFO 割り込み信号マスク 0: マスク 1: 割り込み許可
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MOA	0	R/W	ポート A 出力 FIFO 割り込み信号マスク 0: マスク 1: 割り込み許可

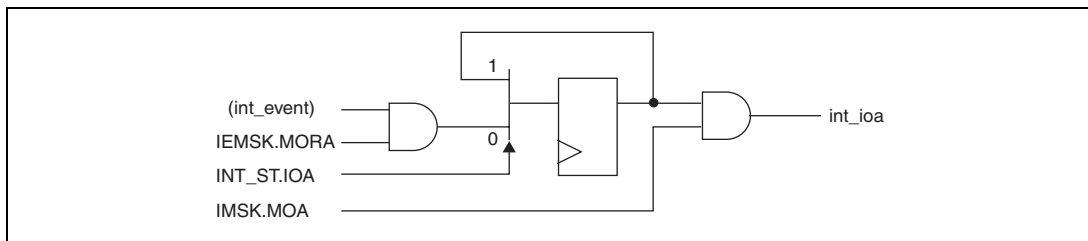


図 45.4 ポート A 出力 FIFO 割り込み要求信号

45.3.15 MUTE 設定レジスタ (MUTE)

MUTE は、読み出し / 書き込み可能な 24 ビットのレジスタです。ポート A、B の入出力の MUTE 機能を有効にします。MUTE モード選択後、MUTE ON/OFF を設定してください。MUTE のタイミング仕様は、「45.5 MUTE 仕様」を参照してください。

ビット:																	
		23	22	21	20	19	18	17	16								
		—	—	—	—	—	—	—	—								
初期値:		0	0	0	0	0	0	0	0								
R/W:		R	R	R	R	R	R	R	R								
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	TSIB	TYIB	—	—	TSOB	TYOB	—	—	TSIA	TYIA	—	—	TSOA	TYOA	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
23~14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	TSIB	0	R/W	ポート B 入力 MUTE 0: MUTE OFF 1: MUTE ON
12	TYIB	0	R/W	ポート B 入力 MUTE モード設定 0: 通常 MUTE 1: ゼロクロス MUTE
11、10	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TSOB	0	R/W	ポート B 出力 MUTE 0: MUTE OFF 1: MUTE ON
8	TYOB	0	R/W	ポート B 出力 MUTE モード設定 0: 通常 MUTE 1: ゼロクロス MUTE
7、6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	TSIA	0	R/W	ポート A 入力 MUTE 0: MUTE OFF 1: MUTE ON
4	TYIA	0	R/W	ポート A 入力 MUTE モード設定 0: 通常 MUTE 1: ゼロクロス MUTE
3、2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
1	TSOA	0	R/W	ポート A 出力 MUTE 0 : MUTE OFF 1 : MUTE ON
0	TYOA	0	R/W	ポート A 出力 MUTE モード設定 0 : 通常 MUTE 1 : ゼロクロス MUTE

45.3.16 クロックリセット設定レジスタ (CLK_RST)

CLK_RST は、読み出し/書き込み可能な 24 ビットのレジスタです。リセット時は、クロック生成部から出力される LR クロック、Bit クロックをマスクします (ただし、fs に対して Bit クロックの分周比が 1:1 の場合は、Bit クロックを出し続けます)。動作フローに従って、フォーマット、クロック設定後、リセットを解除してください。

ビット:																				23	22	21	20	19	18	17	16	
																				—	—	—	—	—	—	—	—	—
初期値:																				0	0	0	0	0	0	0	0	0
R/W:																				R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0												
	—	—	—	—	—	—	—	—	—	—	—	CRB	—	—	—	CRA												
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0												
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W												

ビット	ビット名	初期値	R/W	説明
23~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	CRB*	0	R/W	ポート B クロックリセット 0: リセット 1: リセット解除
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CRA*	0	R/W	ポート A クロックリセット 0: リセット 1: リセット解除

【注】 * オーディオクロック同期のカウンタのリセットを行うため、オーディオクロックの周期より長いアサート期間が必要ですが、必要です。

45.3.17 ソフトウェアリセット設定レジスタ (SOFT_RST)

SOFT_RST は、読み出し / 書き込み可能な 24 ビットのレジスタです。内部レジスタの初期化を行います。

ソフトウェアリセット (SOFT_RST.SR) 中、または対象ポートのリセット (SOFT_RST.SRA、SOFT_RST.SRB) 中に FIFO リードレジスタ (A_DIDT、B_DIDT) をリードしないでください。

ソフトウェアリセット (SOFT_RST.SR) 中のライトは無効で、FIFO リードレジスタ以外のレジスタリードは 0 値が読み出されます。

ビット:																		23	22	21	20	19	18	17	16
																		—	—	—	—	—	—	—	—
初期値:																		0	0	0	0	0	0	0	0
R/W:																		R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
	—	—	—	SRB	—	—	—	SRA	—	—	—	IR	—	—	—	SR									
初期値:	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1									
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W									

ビット	ビット名	初期値	R/W	説明
23~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	SRB*	1	R/W	ポート B ソフトウェアリセット ポート B FIFO クリアを行います。 0: リセット 1: リセット解除
11~9	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	SRA*	1	R/W	ポート A ソフトウェアリセット ポート A FIFO クリアを行います。 0: リセット 1: リセット解除
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	IR	1	R/W	割り込みリセット ack が返されなくても割り込み信号をネグートします。 0: リセット 1: リセット解除
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SR	1	R/W	ソフトウェアリセット すべてのレジスタが初期化されます。 0: リセット 1: リセット解除

【注】 * SRA、SRB ビットは、各ポートの DOIS、DIIS の Bit クロックより長いアサート期間が必要です。

45.3.18 FIFO サイズレジスタ (FIFO_SZ)

FIFO_SZ は、読み出し専用の 24 ビットのレジスタです。内蔵 RAM 容量を表します。

ビット:

23	22	21	20	19	18	17	16
—	—	—	—	—	—	—	—

初期値:

R/W:

0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R

ビット:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
—	BI[2:0]			—	BO[2:0]			—	AI[2:0]			—	AO[2:0]		

初期値:

R/W:

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
23~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~12	BI[2:0]	000	R	ポート B 入力 FIFO 容量 内蔵 RAM 容量を示します。 000 : 256word 001 : 予約 (512word) 010 : 予約 (1024word) 011 : 予約 (2048word)
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	BO[2:0]	000	R	ポート B 出力 FIFO 容量 内蔵 RAM 容量を示します。 000 : 256word 001 : 予約 (512word) 010 : 予約 (1024word) 011 : 予約 (2048word)
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~4	AI[2:0]	000	R	ポート A 入力 FIFO 容量 内蔵 RAM 容量を示します。 000 : 256word 001 : 予約 (512word) 010 : 予約 (1024word) 011 : 予約 (2048word)
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2~0	AO[2:0]	000	R	ポート A 出力 FIFO 容量 内蔵 RAM 容量を示します。 000 : 256word 001 : 予約 (512word) 010 : 予約 (1024word) 011 : 予約 (2048word)

45.4 インタフェース仕様

45.4.1 FSI、SPU2 接続インタフェース仕様

FSI のアドレス空間は 8 ビット (H'00 ~ H'FF) です。FSI レジスタへのアクセスは、SPU2 の DSP/I/O バスから読み出し / 書き込みを行います。

(1) BUFC 仕様

図 45.5 に A_DIDT、B_DIDT レジスタに読み出し要求を出してから、データが出力されるまでのデータの流れを示します。

入力 FIFO に格納されたデータを連続で読み出すため、fsio_io_hold 信号を A_DIDT レジスタまたは B_DIDT レジスタの読み出し時に管理します。FSI に読み出し要求を出力すると、コントロール部のバッファにデータが格納されるまで hold 信号は下がらず、読み出し要求はアサートされ続けます。入力 FIFO に連続してデータリクエストが発生し、コントローラ部のバッファに次に読むデータが格納されます。

連続で読み出す場合、読み出し要求を出しながらコントローラ部のバッファに格納されたデータを先読みすることで、他のレジスタと同様 1 ウェイトで連続してデータを読むことができます。

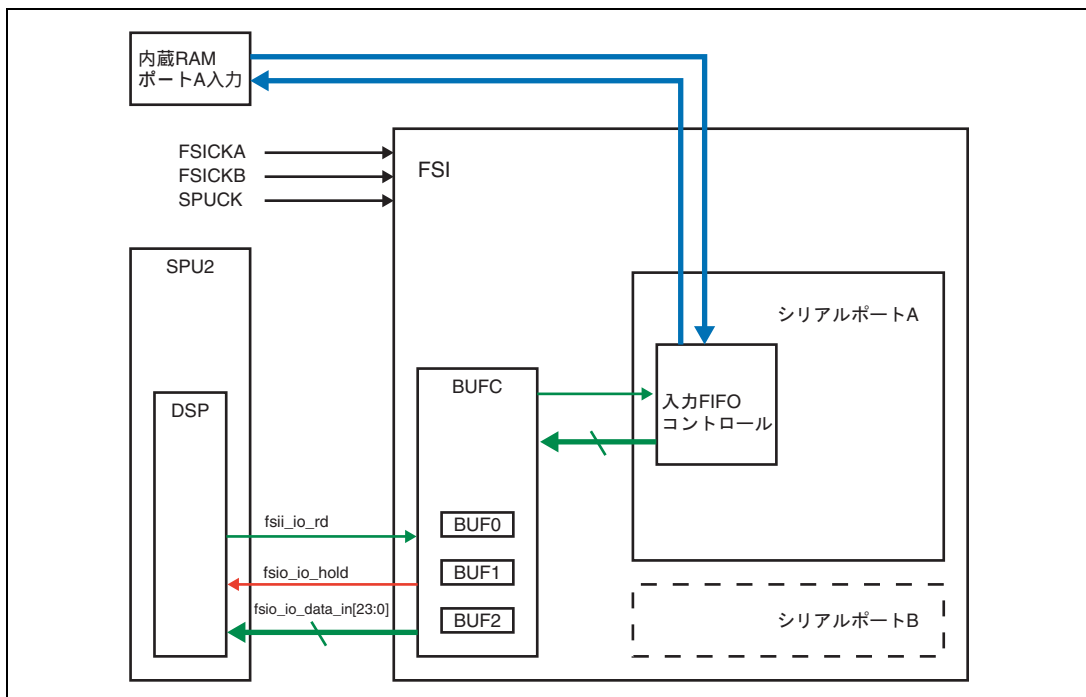


図 45.5 入力 FIFO 読み出し要求ブロック図

45.4.2 クロックインタフェース仕様

クロック信号のブロック図を図 45.6 に示します。

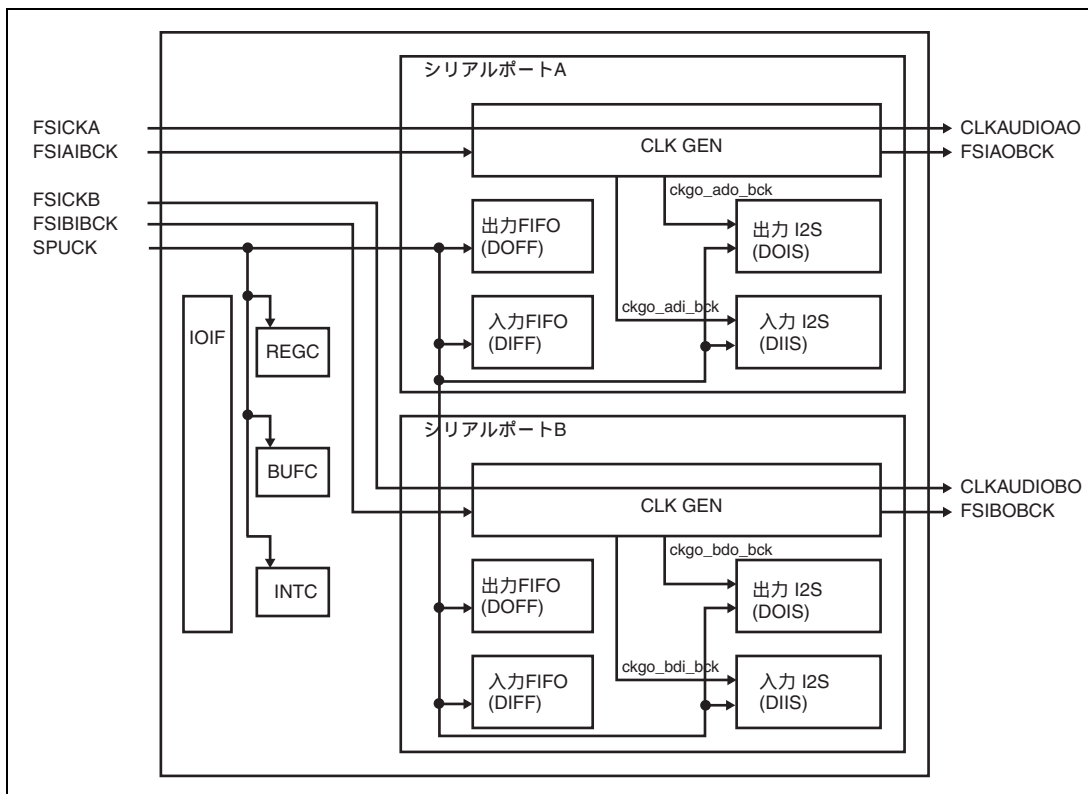


図 45.6 FSI クロック入力ブロック図

45.4.3 リセットインタフェース仕様

FSI リセット一覧表を表 45.7 に示します。

表 45.7 FSI リセット種類、初期化レジスタとブロック

リセット名	レジスタ	初期化 レジスタ	初期化を行うモジュール							
			INTC	BUFC	REGC	CLK GEN	出力 FIFO	入力 FIFO	出力 I2S	入力 I2S
ハードウェア リセット	-	全レジスタ								
ソフトウェア リセット	SOFT_RST.SR	ソフトウェア リセット以外 全レジスタ								(Bitclk同期 FF 除く)
ポート A リセット	SOFT_RST.SRA	ポート A FIFO クリアを行う	-	-	-	-	(ポート A のみ)			
ポート B リセット	SOFT_RST.SRB	ポート B FIFO クリアを行う	-	-	-	-	(ポート B のみ)			
クロック リセット A	CLK_RST.CRA	-	-	-	-	(ポート A)	-	-	-	-
クロック リセット B	CLK_RST.CRB	-	-	-	-	(ポート B)	-	-	-	-
割り込み リセット	SOFT_RST.IR	-	(fsio_int ネゲート)	-	-	-	-	-	-	-
ポート A 出力 FIFO クリア	A_DOFF_CTL.CLR	-	-	-	-	-	(ポート A)	-	-	-
ポート A 入力 FIFO クリア	A_DIFF_CTL.CLR	-	-	(ポート A)	-	-	-	(ポート A)	-	-
ポート B 出力 FIFO クリア	B_DOFF_CTL.CLR	-	-	-	-	-	(ポート B)	-	-	-
ポート B 入力 FIFO クリア	B_DIFF_CTL.CLR	-	-	(ポート B)	-	-	-	(ポート B)	-	-

【記号説明】 : リセット、 - : レジスタ保持

(1) ハードウェアリセット

全レジスタ、全モジュールを初期化します。

(2) ソフトウェアリセット

ソフトウェアリセット (SOFT_RST.SR) 以外の全レジスタ、全モジュールを初期化します。マスタ動作の場合、クロックリセットにより非同期渡しを行っているBitクロックが固定になることがあるため、ポートA、Bリセット後、実行してください(「(8) FSI初期化手順」を参照)。

(3) ポート A、B リセット

Bitクロック同期のFFを初期化するためのリセット信号。

非同期渡しを行っているため、レジスタ書き込み後、Bitクロック1サイクル以上のウェイトが必要です。

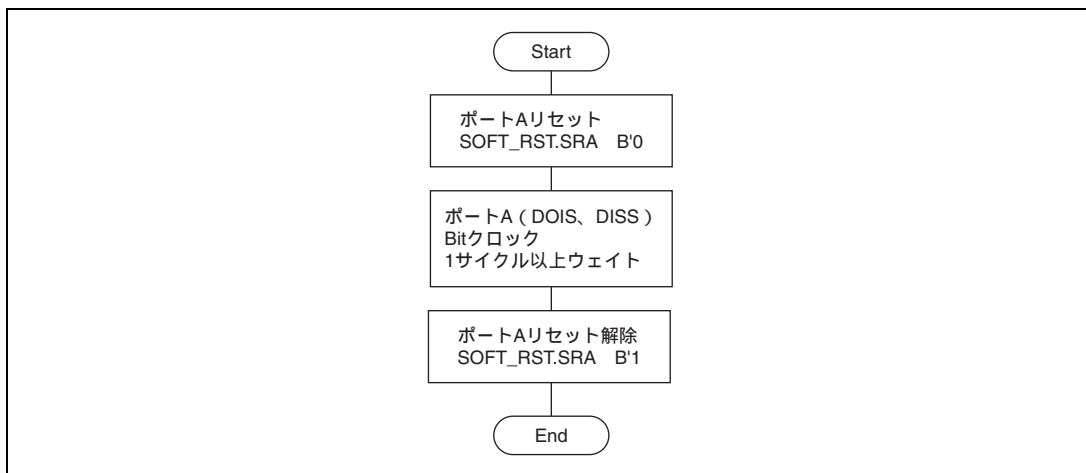


図 45.7 ポート A リセットフロー

(4) クロックリセット A、B

オーディオクロック同期の FF を初期化するためのリセット信号。

非同期渡しを行っているため、レジスタ書き込み後、オーディオクロック 1 サイクル以上のウェイトが必要です。

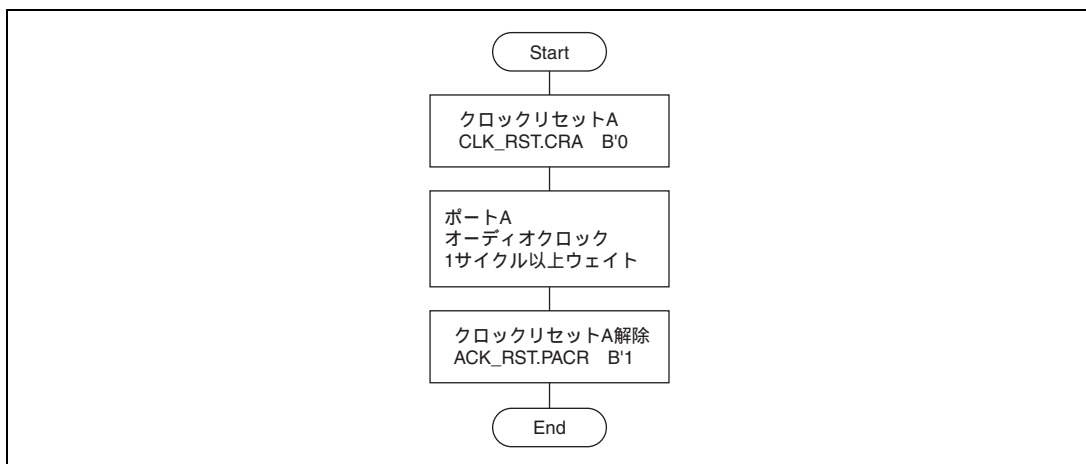


図 45.8 クロックリセット A フロー

(5) 割り込みリセット

割り込み信号 (fsio_int) をレジスタ書き込みでネゲートします。

(6) ポート A、B 出力 FIFO クリア

FIFOコントロール部のアドレスポインタ、エラー履歴をクリアします。

(7) ポート A、B 入力 FIFO クリア

FIFOコントロール部のアドレスポインタ、エラー履歴、連続1ウェイト読み出しのためのバッファをクリアします。

(8) FSI 初期化手順

FSI初期化手順を図45.9に示します。ハードウェアリセットとソフトウェアリセットを使用する方法があります。ハードウェアリセットと同じ効果を得るには、ポートA、Bリセット (Bitクロック同期のFFを初期化) 後、ソフトウェアリセットを実行してください。

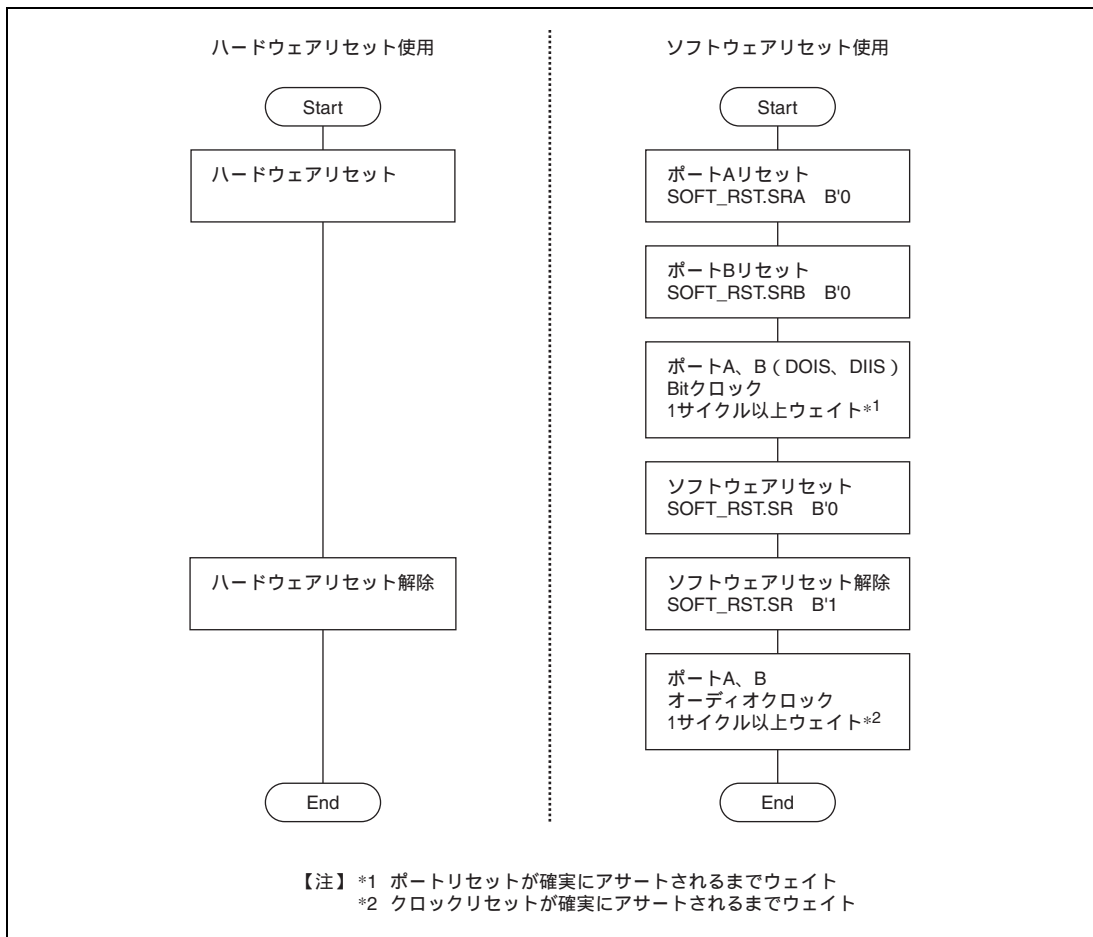


図 45.9 FSI 初期状態動作フロー

45.5 MUTE 仕様

FSI は、通常 MUTE とゼロクロス MUTE 機能を入出力動作で持ちます。MUTE 回路は出力 FIFO、入力 FIFO にそれぞれ実装されます。

(1) 通常 MUTE

通常 MUTE は 1 サンプルデータ単位で MUTE を行います。通常 MUTE はセットされた 2 サンプル後のチャンネル 1 から MUTE (0 出力) となります。MUTE 解除も同様、解除した 2 サンプル後のチャンネル 1 から解除されます。

図 45.10 に 2 チャンルのオーディオ出力と MUTE 信号を示します。

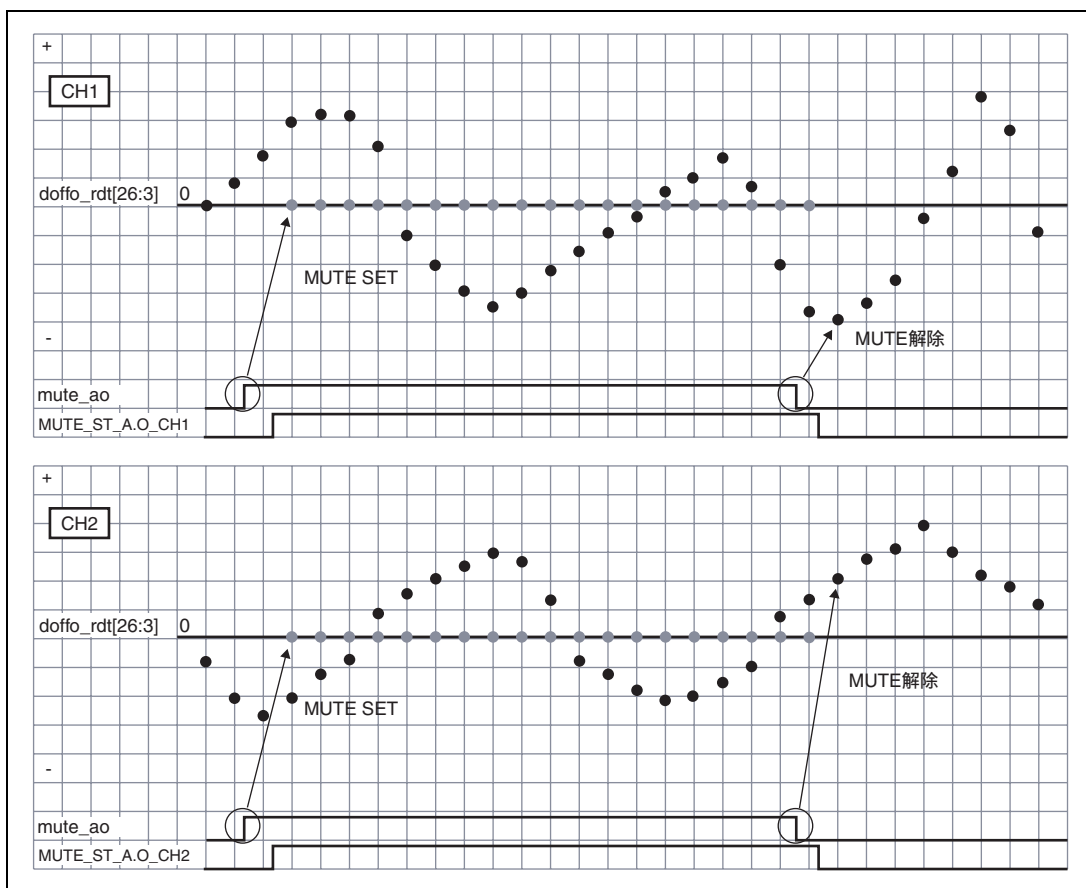


図 45.10 通常 MUTE 仕様 (出力動作)

入力動作は変換モジュール (入力 I2S) から、入力 FIFO に書かれたデータに対して、MUTE 信号アサートで内蔵 RAM に 0 書き込みを行います。

(2) ゼロクロス MUTE

ゼロクロス MUTE をセットするとチャンネルごとに独立して、前のデータと比較を行います。

前のデータが 0、現在のデータが 0、前のデータと異符号の場合

～ どれかの条件が一致した場合、ゼロクロス MUTE が解除されるまで MUTE (0 出力) となります。

MUTE (0 出力) 解除はセットと同様、前のデータと比較を行い、～ の場合にチャンネルごとに独立して解除します。

図 45.11 に 2 チャンネルのオーディオ出力とゼロクロス MUTE 信号を示す。

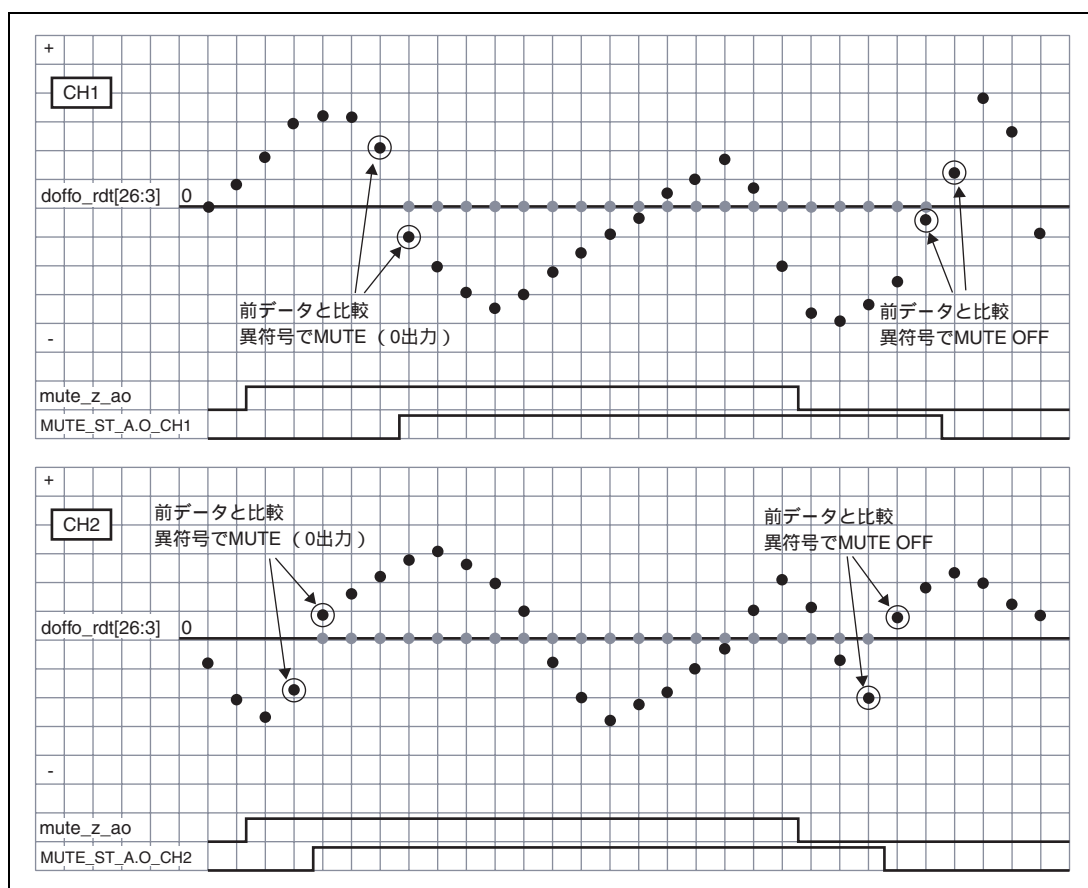


図 45.11 ゼロクロス MUTE 仕様 (出力動作)

ゼロクロス MUTE をセットしても、～ の条件を満たさない場合、MUTE (0 出力) はかかりません。

ゼロクロス MUTE を解除しないと、～ の条件を満たしても、MUTE (0 出力) は解除されません。

途中で、通常 MUTE に切り替えて強制的に MUTE、MUTE 解除することができます。

入力動作は変換モジュール (入力 I2S) から、入力 FIFO に書かれるデータに対して、～ の判定を行い、内蔵 RAM に 0 書き込みを行います。

45.6 FIFO オーバーフロー、アンダーフロー仕様

FIFO はアンダーフロー、オーバーフローのエラーが発生すると、レジスタに保持します。出力 FIFO、入力 FIFO のアンダーフロー、オーバーフローについて説明します。

出力 FIFO のアンダーフローは、FIFO が Empty 状態で、出力 I2S からデータ要求があった場合に発生します。このとき、出力 FIFO は H'00 0000 データとチャンネル番号[2:0]を出力します。オーバーフローは、FIFO に格納可能量より多くのデータを DSP が書き込んだ場合に発生します。格納可能量以上の出力 FIFO への書き込みは無視されます。

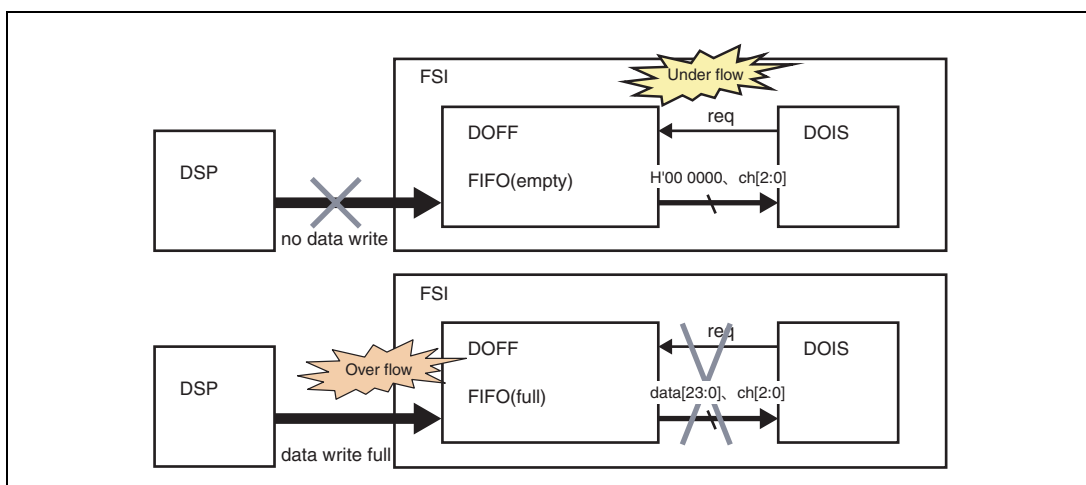


図 45.12 出力 FIFO アンダーフロー、オーバーフロー

入力 FIFO のオーバーフローは、FIFO が Full 状態の場合に外部から 3 線シリアルデータが入力されると発生します。発生時の入力 FIFO への書き込みは無視されます。アンダーフローは、入力 FIFO が Empty 状態で DSP からリード要求が入ったとき、発生します。発生時には 0 が読み出されます。

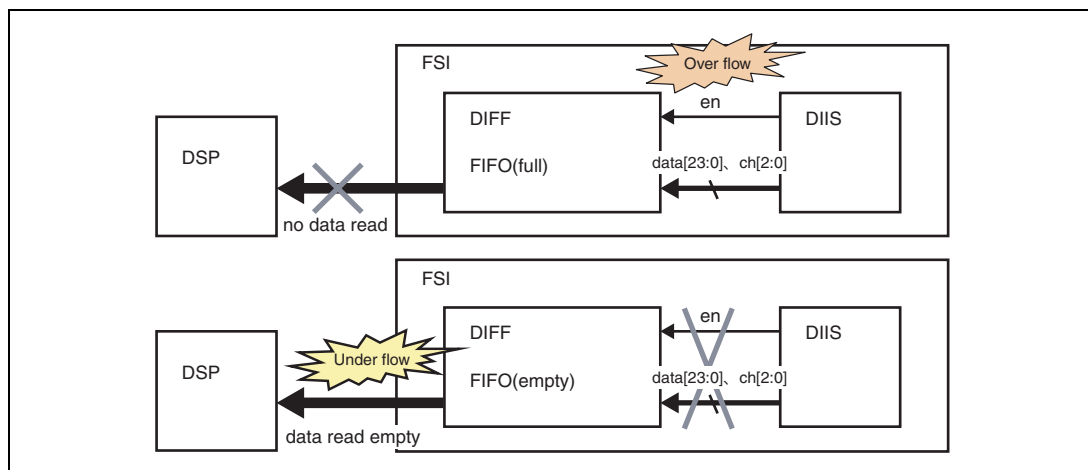


図 45.13 入力 FIFO オーバーフロー、アンダーフロー

FSI のエラーフラグ一覧を表 45.8 に示します。FSI は、4 種類のエラーフラグを持ちます。図 45.14 にシリアル出力についてエラーフラグのクリアフローを示します。同様に、図 45.15 にシリアル入力についてエラーフラグのクリアフローを示します。

表 45.8 エラーフラグ一覧

No.	レジスタ名	内容	
(1)	A_DOFF_ST.OF	シリアル出力	オーバーフローエラー
(2)	A_DOFF_ST.UF		アンダーフローエラー
(3)	A_DIFF_ST.OF	シリアル入力	オーバーフローエラー
(4)	A_DIFF_ST.UF		アンダーフローエラー

(1) シリアル出力オーバーフローエラーのクリア方法

シリアル出力動作でオーバーフローシフラグを検出した場合、アプリケーション固有の処理を行ってからフラグをクリアしてください。

(2) シリアル出力アンダーフローエラーのクリア方法

シリアル出力動作でアンダーフローシフラグを検出した場合、アプリケーション固有の処理を行い、出力データを A_DODT レジスタに書き込んでからフラグをクリアしてください。

(3) シリアル入力オーバーフローエラーのクリア方法

シリアル入力動作でオーバーフローシフラグを検出した場合、アプリケーション固有の処理を行い、A_DIDT レジスタから入力データを読み出した後にフラグをクリアしてください。

(4) シリアル入力アンダーフローエラーのクリア方法

シリアル入力動作でアンダーフローシフラグを検出した場合、アプリケーション固有の処理を行ってからフラグをクリアしてください。

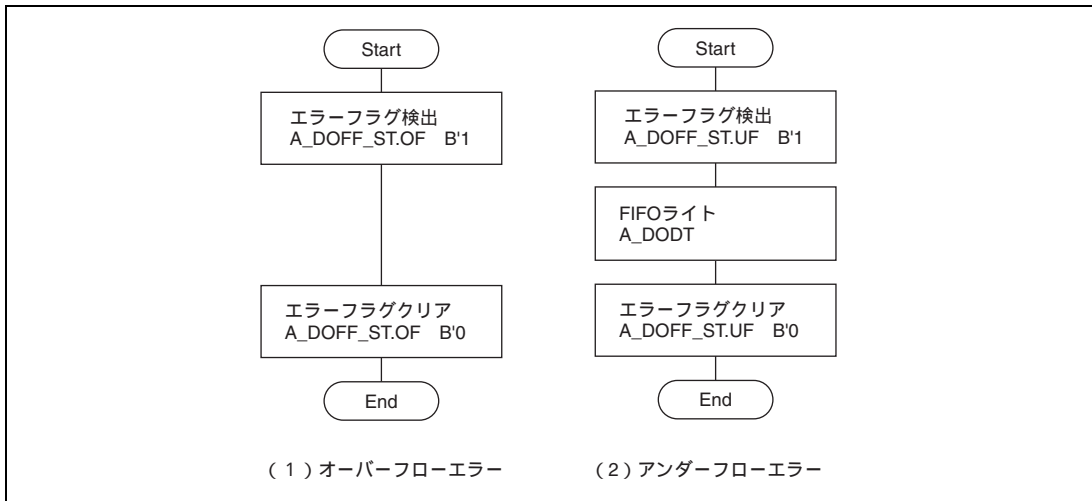


図 45.14 シリアル出力エラーフラグのクリアフロー

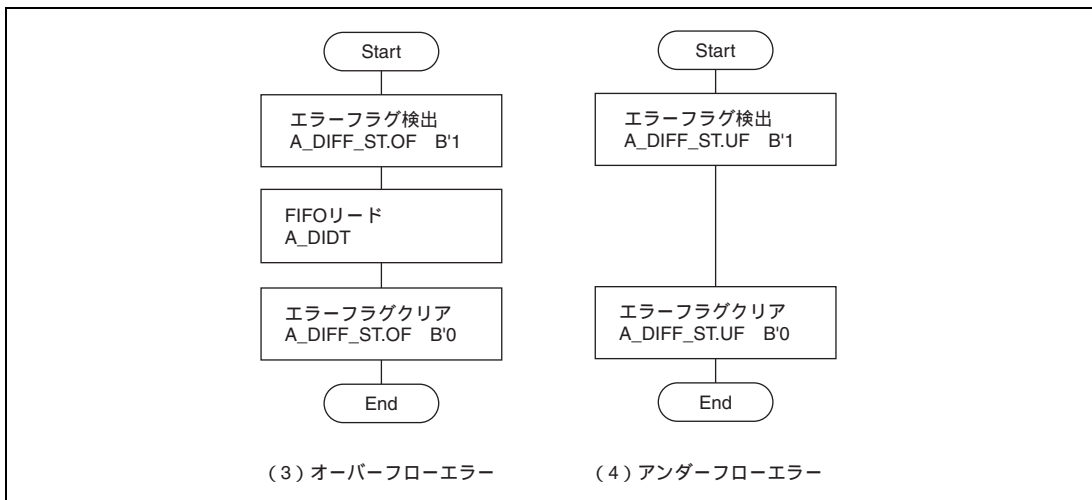


図 45.15 シリアル入力エラーフラグのクリアフロー

45.7 FIFO クリア

FSI は、入出力ごとに FIFO クリア機能を持ちます。FIFO クリアには、以下の機能があります。

(1) UF/OF エラー履歴のクリア

FIFOステータスレジスタを0にします。

(2) FIFO コントロールのアドレスポインタをクリア

内蔵RAMアクセスを制御するカウンタを初期化します。FIFOクリアを行った場合、アドレスは先頭に戻り、クリア前のデータは上書きされます。

(3) BUFC 部で先読み中のデータおよび BUF ポインタをクリア

連続読み出しのため、BUFC部で先読みしているデータとBUFポインタをクリアします。

(4) FIFO コントロール部マスク

FIFOクリア後、2サンプル目の (CH0) リクエストから有効とします (フォーマット、クロック設定が確定した状態のリクエスト (出力)、イネーブル (入力) から取得するため)。

45.8 シリアルデータフォーマット

以下に全フォーマットの 3 線シリアルデータを示します。

(1) スレーブクロックの反転設定

シリアル変換部 (DOIS、DIIS) では、Bitクロックの立上りに対して、LRクロックの立下りを基準 (CH0) に動作します。マスタ動作では仕様通りのクロックを内部で生成しますが、外部からのLRクロック、Bitクロックを入力するスレーブ動作の場合、反転レジスタの設定を正しく行ってください。図中のBitクロック、LRクロックの関係をスレーブ動作で入力されたクロックと考える場合、表45.9または図中の反転設定を行ってください。

表 45.9 スレーブクロック反転レジスタ設定一覧

図	チャンネル数	フォーマット	スレーブ LR クロック レジスタ反転設定 A(B)_CKG2.LRS	スレーブ Bit クロック レジスタ反転設定 A(B)_CKG2.BRS
図 45.16	1ch	MONO	1 (反転)	0
	1ch	MONO Delay	1 (反転)	0
図 45.17	2ch	PCM (STEREO)	1 (反転)	1 (反転)
図 45.18	2ch	I2S (STEREO Delay)	0	1 (反転)
図 45.19	1 ~ 8ch	TDM (マルチチャンネル)	1 (反転)	1 (反転)
図 45.20	1 ~ 8ch	TDM (マルチチャンネル) Delay	1 (反転)	1 (反転)

(2) マスタクロックの反転設定

マスタ動作で出力信号となるLRクロック、Bitクロックは接続するDAC、ADCの仕様に合わせて反転することができます。図中のBitクロック、LRクロックの関係をマスタ動作で出力していると考えられる場合、表45.10のマスタクロック反転レジスタ設定を行っています。

表 45.10 マスタクロック反転レジスタ設定一覧

図	チャンネル数	フォーマット	マスタ LR クロック レジスタ反転設定 A(B)_CKG2.LRM	マスタ Bit クロック レジスタ反転設定 A(B)_CKG2.BRM
図 45.16	1ch	MONO	0	0
	1ch	MONO Delay	0	0
図 45.17	2ch	PCM (STEREO)	0	1 (反転)
図 45.18	2ch	I2S (STEREO Delay)	0	1 (反転)
図 45.19	1 ~ 8ch	TDM (マルチチャンネル)	0	1 (反転)
図 45.20	1 ~ 8ch	TDM (マルチチャンネル) Delay	0	1 (反転)

MONO、MONO_Delay シリアルデータフォーマットを示します。

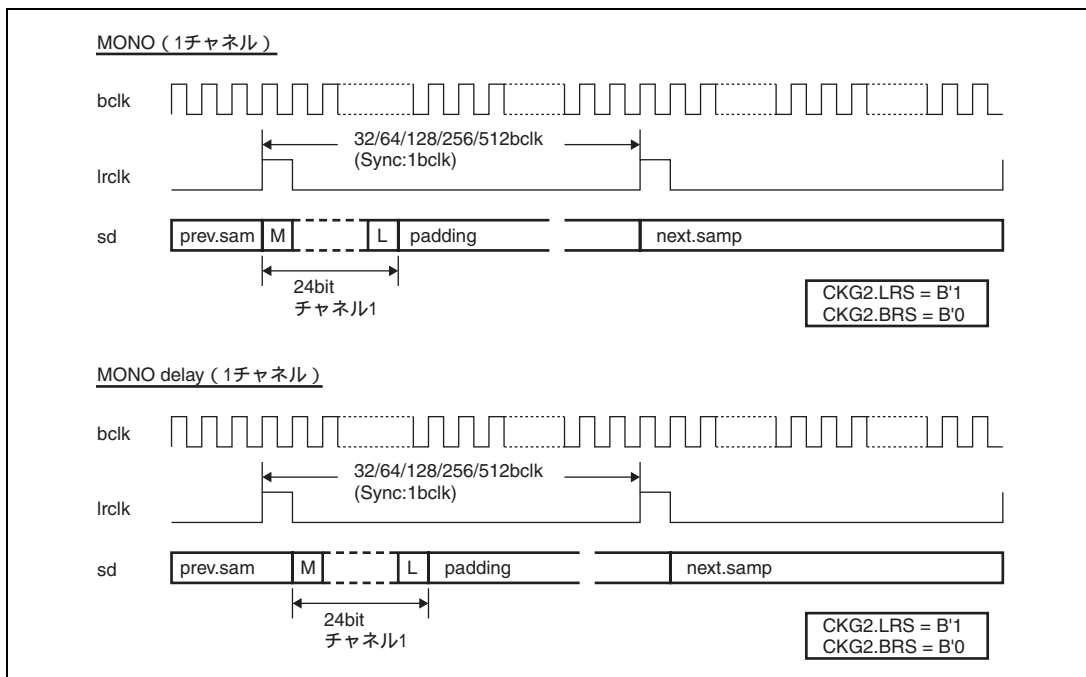


図 45.16 MONO、MONO_Delay フォーマット

PCM、I2S のシリアルデータフォーマットを示します。

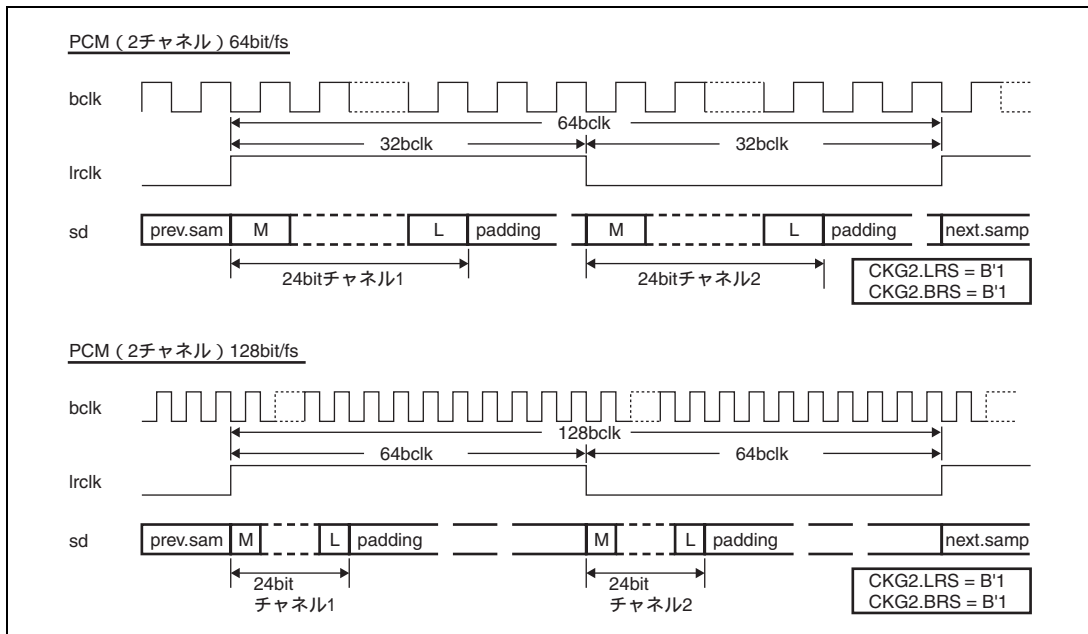


図 45.17 PCM フォーマット

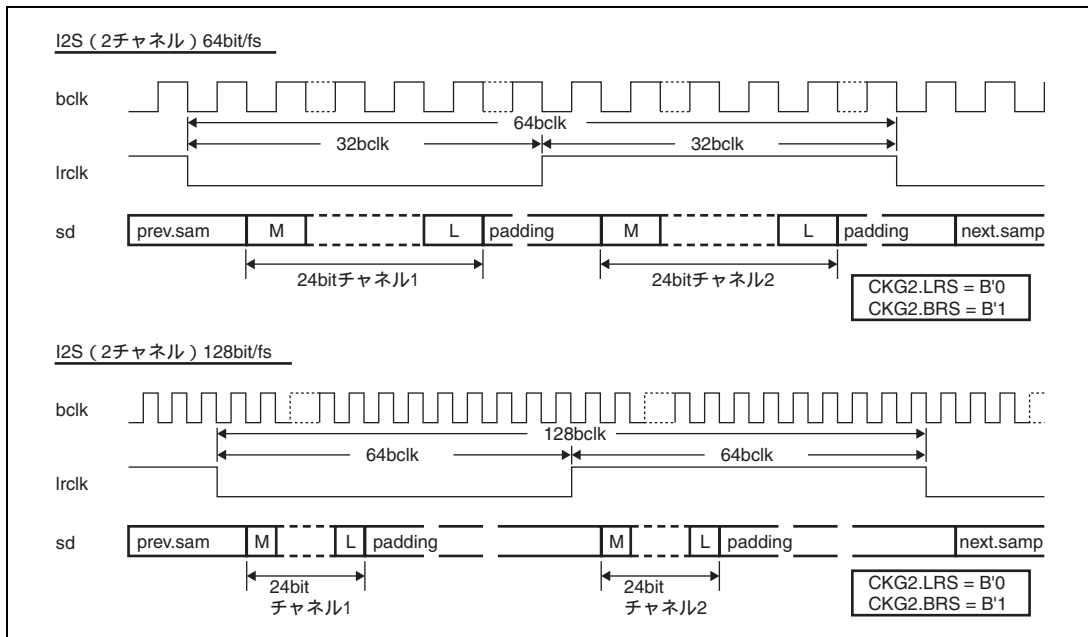


図 45.18 I2S フォーマット

TDM、TDM_Delay のシリアルデータフォーマットを示します。

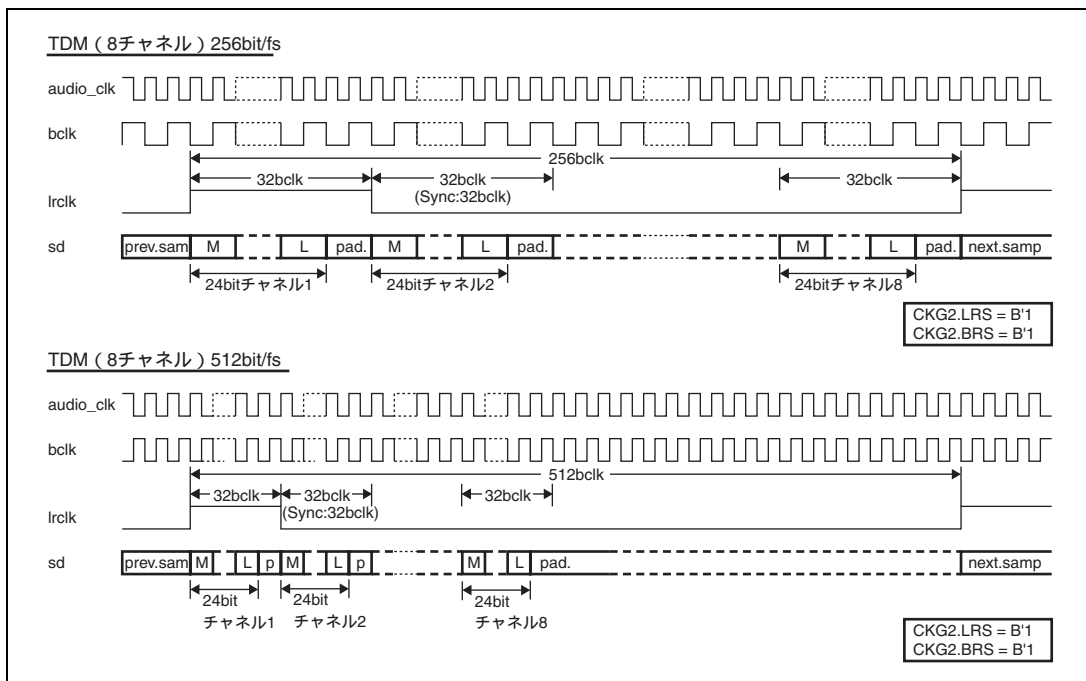


図 45.19 TDM フォーマット

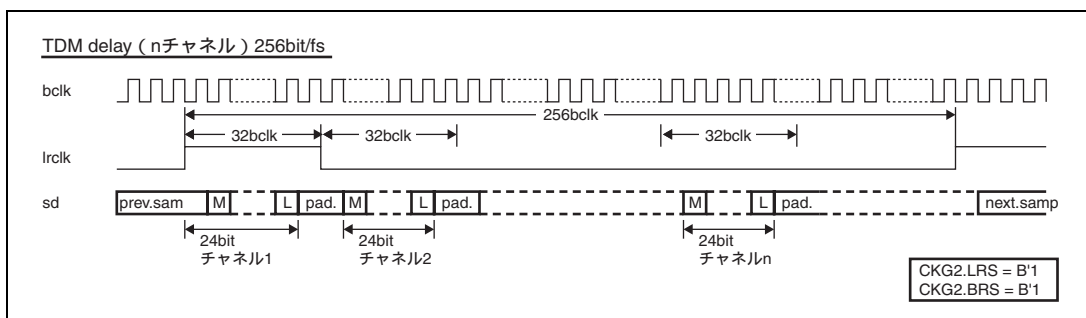
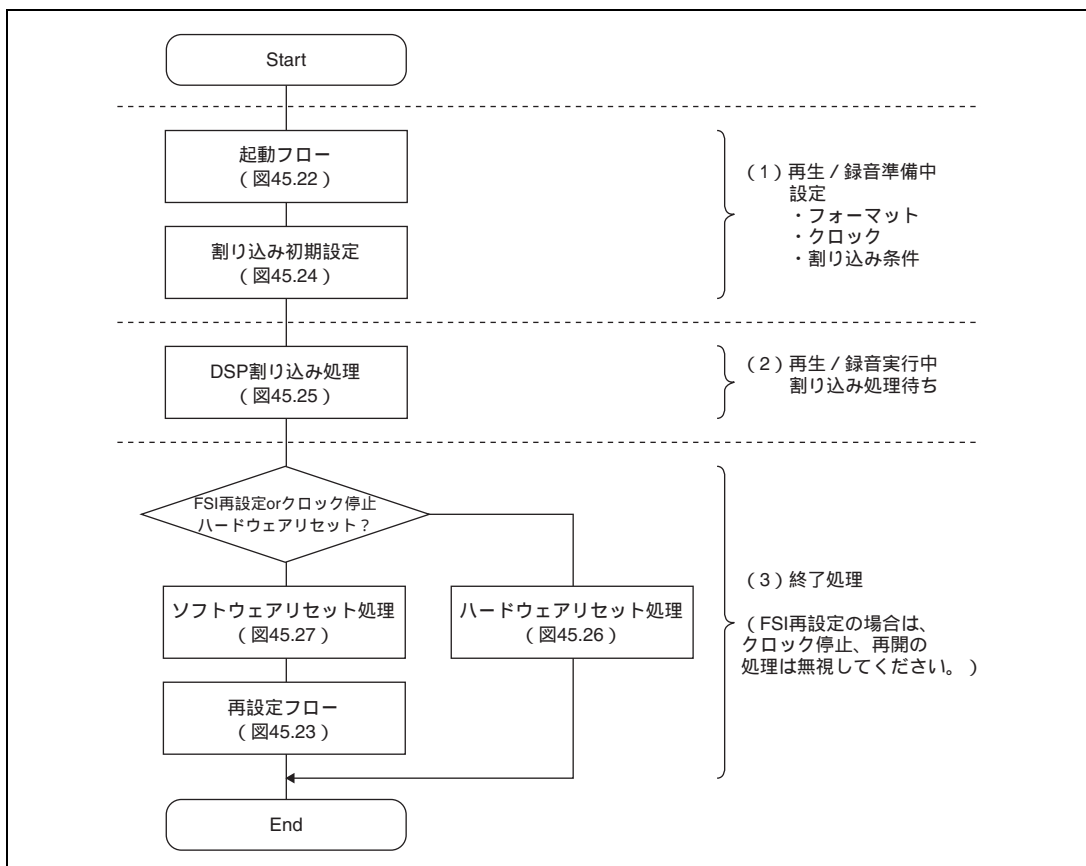


図 45.20 TDM Delay フォーマット

45.9 動作フロー

FSI 全体動作と各動作フローの関係を図 45.21 に示します。



45.9.1 FSI 起動手順

シリアルポート A について FSI 起動手順のフローチャートを図 45.22 に示します。シリアルポート B も同様の手順で実行します。

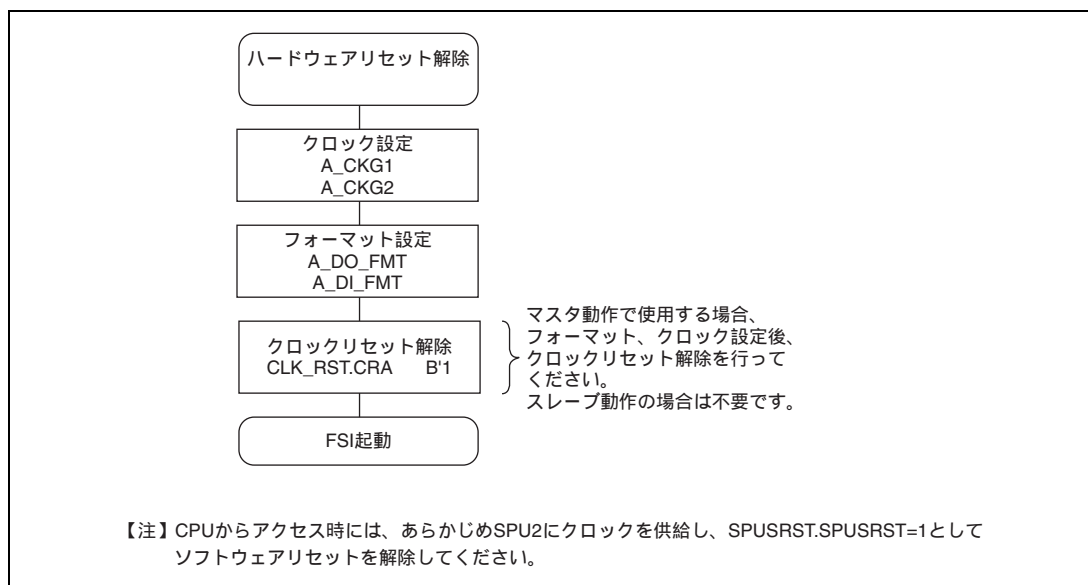


図 45.22 FSI 起動フロー (ポート A)

上記の手順で FSI を起動してください。設定した Bit クロック、LR クロックが変換部 (DOIS、DIIS モジュール) に入力され、FIFO コントロール部 (DOFF、DIFF モジュール) にデータ要求、書き込みが起こります。

45.9.2 FSI 再起動手順

FSI 再起動フローをシリアルポート A について示します。シリアルポート B も同様の手順で実行します。転送フォーマット、クロックの再設定を行う場合は、以下の手順で行ってください。

ハードウェアリセットを使用し再設定をする場合、下記のフローは不要です。

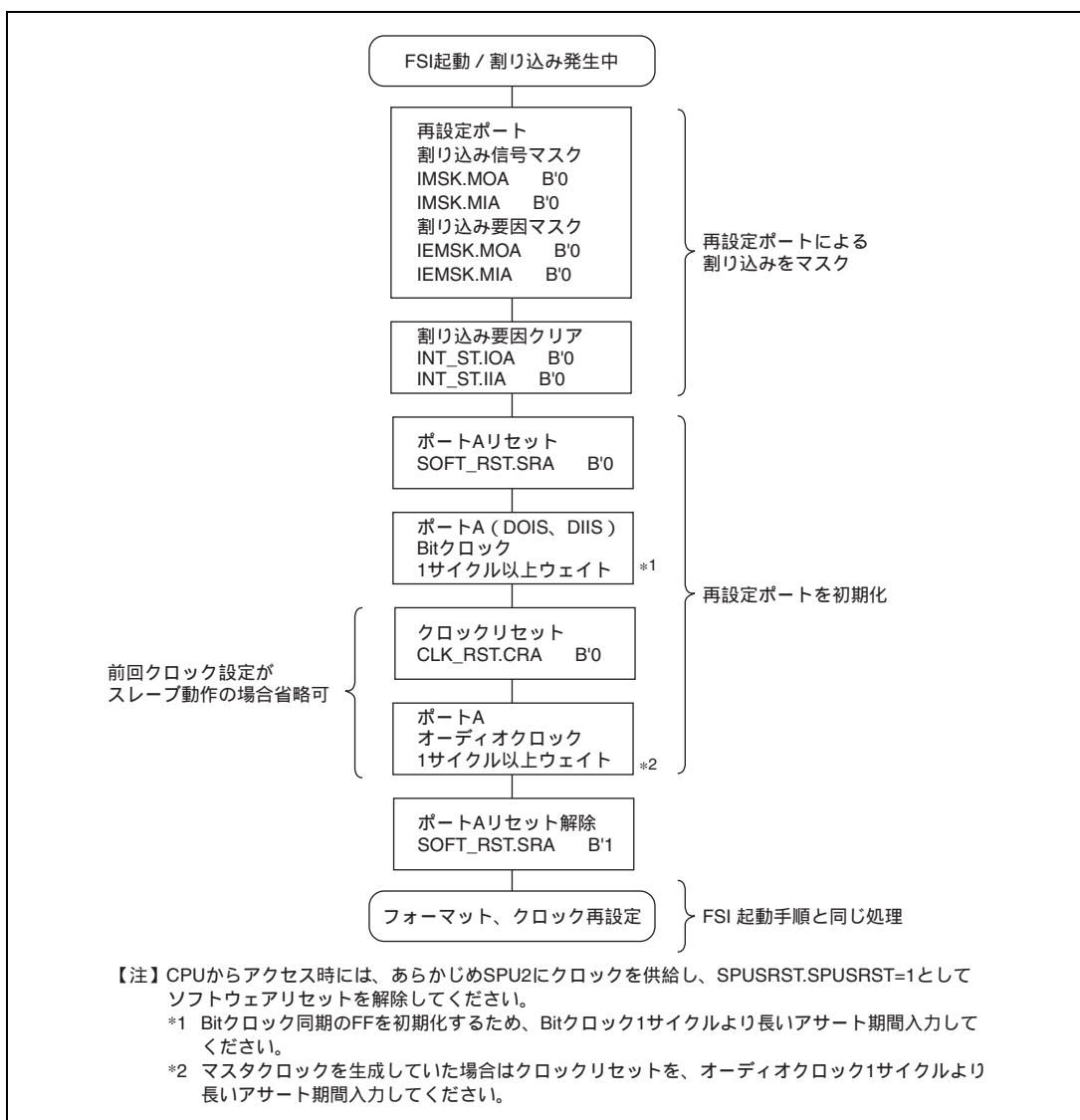


図 45.23 FSI 再設定フロー (ポート A)

再設定ポートの割り込みマスク後、ポートルセットを行い初期化します。

ポート初期化完了後、「45.9.1 FSI 起動手順」に戻り、フォーマット、クロックの再設定をしてください。

45.9.3 初期割り込み設定手順

FSI 起動後の割り込み初期設定フローを図 45.24 に示します。

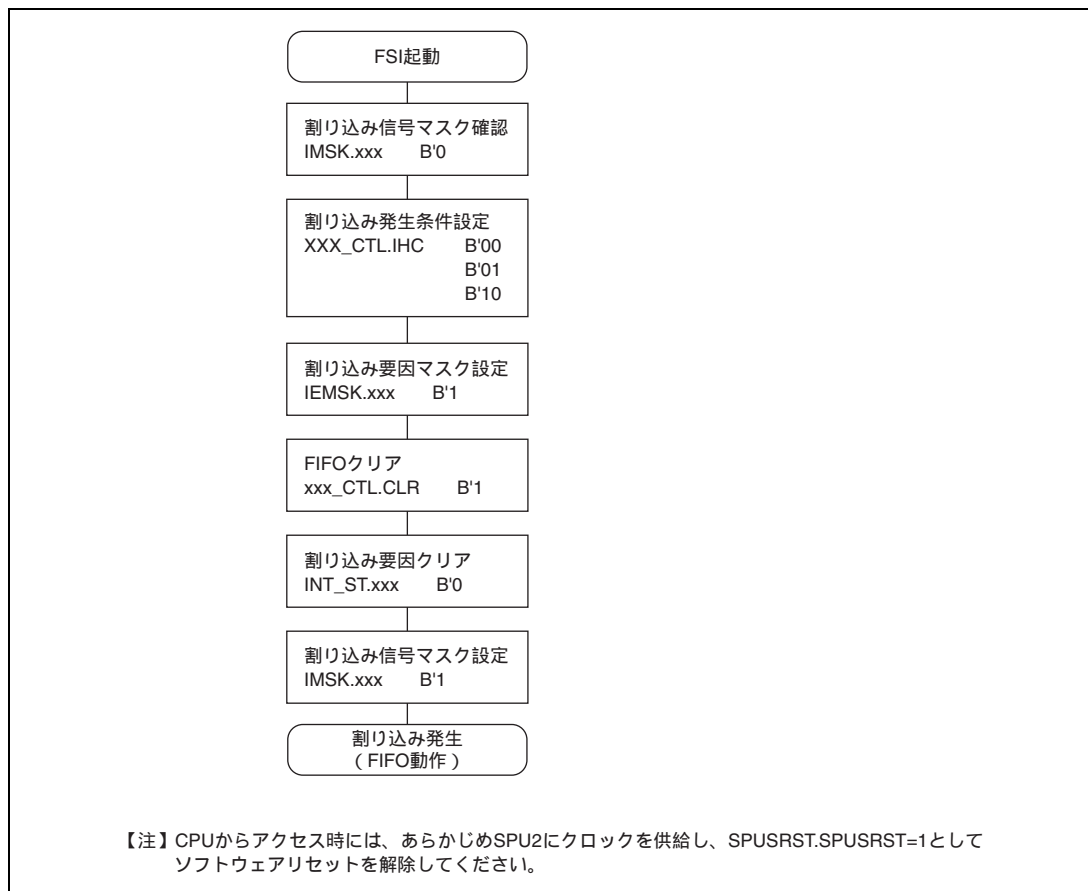


図 45.24 割り込み初期設定フロー

割り込み設定は、ポート A、B、入力、出力（4 モード）で独立して設定可能です。図中「xxx」は任意の転送対象を示します。

実行する転送の信号マスクを確認後、割り込み発生条件と要因マスクを設定、FIFO クリアします。FIFO クリア前に発生、保持する可能性のある割り込み要因をクリア後、信号マスクを解除してください。

FIFO クリア後の FIFO 容量で割り込み信号が発生します。初期に音声データを入出力する場合、このフローに従い、設定してください。

45.9.4 FSI 割り込み発生時の SPU2-DSP 動作フロー例

音声データ連続転送のため、割り込みを受けた DSP が行う動作フロー例を図 45.25 に示します。

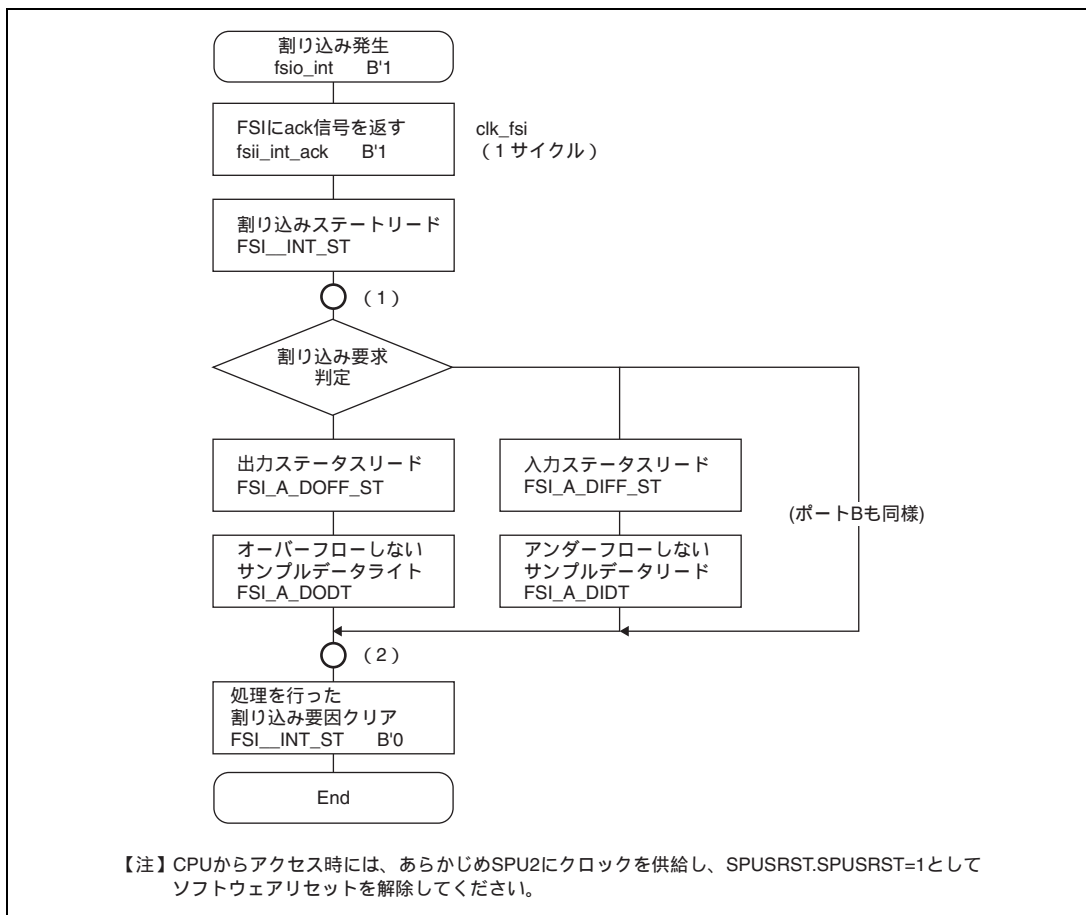


図 45.25 DSP 動作フロー例

割り込み信号を受けた DSP は、FSI に ack 信号を返します。その後、割り込みステータを読み込み、要因が発生した FIFO を特定し、対応する処理を行います。処理後、発生した割り込み要因をクリアし、フローを終了します。FSI は、要因クリアを行うことで、新しい割り込み信号をアサートすることができます。

複数の割り込み要因を 1 回の割り込みで処理する場合には、図中の (2) (1) へ戻り複数処理を実行後、1 回のレジスタライトで要因クリアしてください。

DSP 動作フローの処理を正しく行う限り発生しませんが、空要因で割り込みが発生した場合は要因クリアのレジスタライトを行ってください。割り込み処理後に要因クリアを行わないと、次の割り込み信号は発生しません。

45.9.5 クロック停止、再開手順

図 45.26、図 45.27 にクロック停止、再開のフローを示します。

FSI の全クロックを停止する前には、ハードウェアリセットを入力してください。クロック再開後は、図 45.22 の起動フローの設定を行ってください。

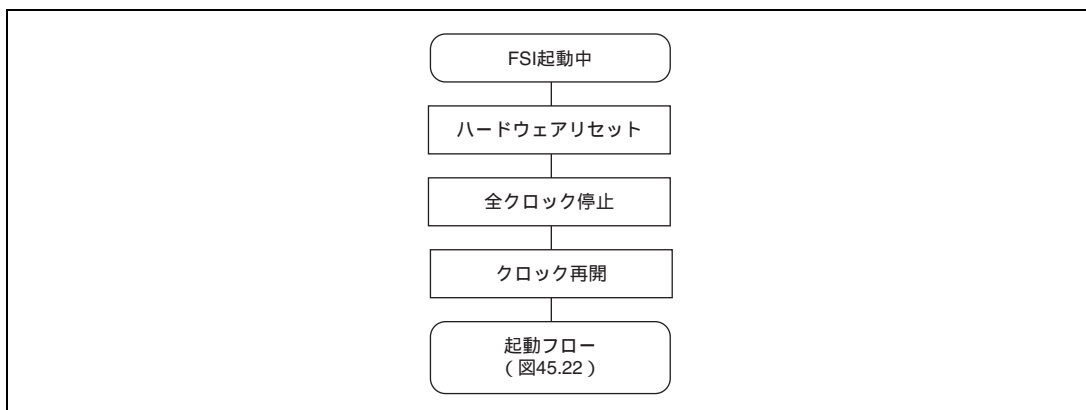


図 45.26 全クロック停止、再開フロー（ハードウェアリセット）

複数（2）ポートの転送を実行しながら、1 ポートの転送に関するクロックだけを停止する場合は、図 45.23 の再設定フローで対象の転送に関するリセットを行い、クロックを停止してください。停止した転送を再開する場合は停止したクロックを再開後、図 45.22 の起動手順で停止したポートに関する設定のみを行ってください。

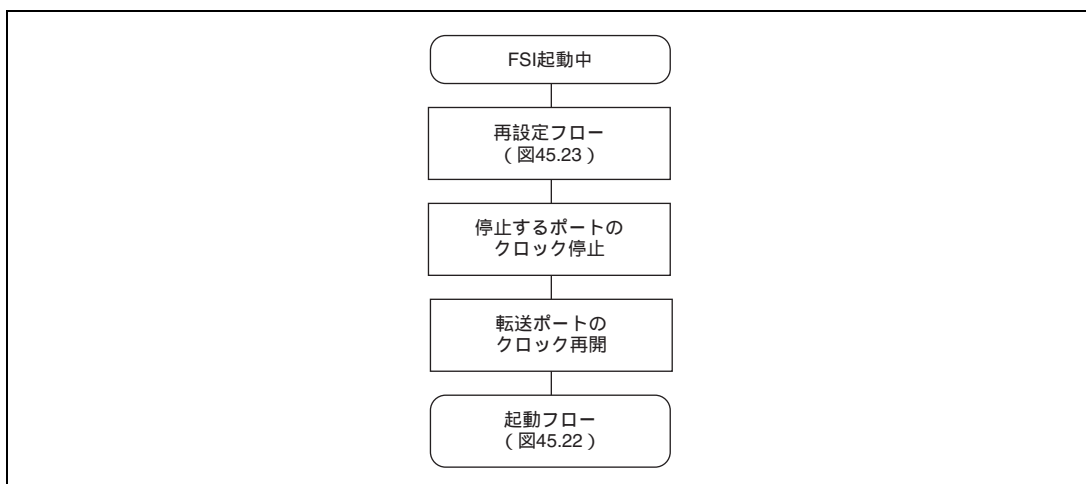


図 45.27 全クロック停止、再開フロー（ソフトウェアリセット）

ハードウェアリセットを使用せずに、全クロックを停止する場合は、図 45.23 の再設定フローを行い、クロックを停止してください。クロック再開後は図 45.22 の起動フローの設定を行ってください。

45.10 制限事項

FSI を使用する際の制限事項を表 45.8 に示します。

表 45.11 FSI 使用時の制限事項

No.	制限事項	
	分類	内容
1	マスタ動作 クロック設定	TDM、TDM Delay モードの LR クロックは、64fs、128fs のオーディオクロックでは生成できないので設定しないでください。
2		Bit クロックの設定 (BPFMD レジスタ) は、入力されたオーディオクロックとフォーマットによって制限されます (オーディオクロックより早い Bit クロックは生成できません)。
3	割り込み信号発生タイミング	マスク全解除時、FIFO ステータスが監視条件と一致 (イベント発生) から 2 サイクル (clk_fsi) 後に発生します。
4	オーバーフロー、アンダーフロー発生ワーストケース	出力割り込み (Empty)、入力割り込み (Full)、システムクロック : 4MHz、fs : 96kHz (bit_clk=50MHz)、TDM (8 チャネル) のようなワーストケースで割り込み信号が発生してから、オーバーフロー、アンダーフローエラーが発生するのは、システムクロック約 10 サイクル後です。 このようなワーストケースで連続動作を行う場合は、割り込み発生条件を 1/2 にしてください。また、安定した連続動作を行うためにはシステムクロックもビットクロックと同程度が必要です。このケースにおいて、Full 状態から 10 サイクルでオーバーフローが発生するサイクル数は、システムクロックを 10 倍 (40MHz) にすることで約 100 サイクル、割り込み発生条件 1/2 にすると約 700 サイクル、両方行くと、その積、約 70000 サイクルになります。
5	FIFO ステータスリード	1 ウェイトなので現在から 1 サイクル (clk_fsi) 前の結果が出力されます。
6	入出力同時動作	シリアルポート 1 つの同時動作 (マスタ、マスタ)、(スレーブ、スレーブ) は、異なるフォーマット、異なる LR/Bit クロックでは動作しません (1 系統のため)。
7	ポートリセット	フォーマット、クロック変更などで DOIS、DIIS モジュール内部のリセットを行う場合は、入力されている Bit クロックより長いアサート期間のリセットが必要です。
8	クロックリセット	マスタクロック生成のカウンタは、オーディオクロック同期のため、再設定でリセットを行う場合、オーディオクロックより長いアサート期間が必要です。
9	同位相マスタ出力	ポート A、B 同時にマスタ動作を行う場合、同一位相のクロックを保障できません。
10	ソフトウェアリセット中のアクセス制限	ソフトウェアリセット (SOFT_RST.SR) 中、または対象ポートのリセット (SOFT_RST.SRA、SOFT_RST.SRB) 中に FIFO リードレジスタ (A_DIDT、B_DIDT) のリードは禁止です。

46. ATAPI インタフェース (ATAPI)

ATAPI インタフェースは、ATA および ATAPI 物理インタフェースを提供します。このデバイスは、ATA タスクコマンドおよび ATAPI パケットコマンドをサポートしています。

46.1 特長

- プライマリチャネルサポート
- マスタ/スレーブサポート
- 3.3V I/Oインタフェース
- PIOモード0~4、マルチワードDMAモード0~2、ウルトラDMAモード0~4をサポート
- ディスクリプタモードをサポート

ATAPI のブロック図を、図 46.1 に示します。

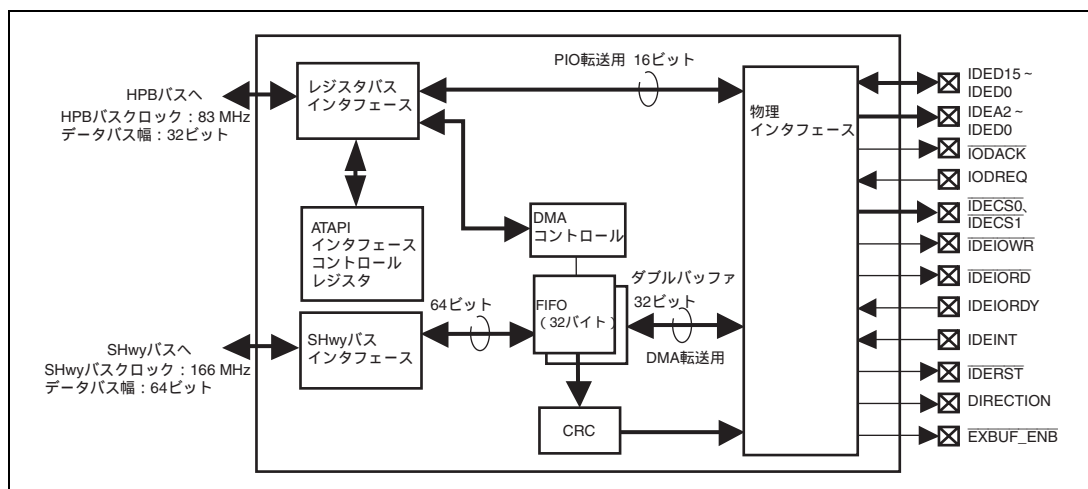


図 46.1 ATAPI ブロック図

46.2 入出力端子

ATAPI の端子構成を表 46.1 に示します。

表 46.1 端子構成

端子名	機能	入出力	ATAPI 仕様	説明
IDED15~0	データバス	入出力	DD (15:0)	双方向データバス
IDEA2~0	アドレスバス	出力	DA (36)	アドレスバス
$\overline{\text{IODACK}}$	DMA アクノレッジ	出力	DMACK#	プライマリチャネル DMA アクノレッジ (アクティブロー)
IODREQ	DMA リクエスト	入力	DMARQ	プライマリチャネル DMA リクエスト (アクティブハイ)
$\overline{\text{IDECS0}}$ 、 $\overline{\text{IDECS1}}$	チップセレクト	出力	CS0#、CS1#	プライマリチャネルチップセレクト (アクティブロー)
$\overline{\text{IDEIOWR}}$	WR イネーブル	出力	DIOW#、STOP	プライマリチャネルディスク書き込み (アクティブロー)
$\overline{\text{IDEIORD}}$	RD イネーブル	出力	DIOR#、HDMARDY#、 HSTROBE	プライマリチャネルディスク読み出し (アクティブロー)
IDEIORDY	レディ信号	入力	IORDY、DDMARDY#、 DSTROBE	プライマリチャネルレディ信号 (アクティブハイ)
IDEINT	割り込み要求	入力	INTRQ	プライマリチャネル割り込み要求* (アクティブハイ)
$\overline{\text{IDERST}}$	ATAPI デバイス リセット	出力	RESET#	プライマリチャネル ATAPI デバイスリセット (アクティブロー)
DIRECTION	外部データ ディレクション	出力	-	外部レベルシフタディレクション信号 (デバイスへのライト時に 0)
EXBUF_ENB	外部データ イネーブル	出力	-	外部レベルシフタイネーブル信号 (アクティブロー)

【注】 * ATAPI インタフェースは、ATAPI デバイスからの割り込み信号をレベルトリガ入力とみなします。

46.3 レジスタの説明

ATAPI のレジスタ構成を表 46.2 に示します。また、各処理モードにおけるレジスタの状態を表 46.3 に示します。

表 46.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ*
ATAPI コントロールレジスタ	ATAPI_CONTROL1	R/W	H'A4DA 2180	32
ATAPI ステータスレジスタ	ATAPI_STATUS	R/W	H'A4DA 2184	32
割り込みイネーブルレジスタ	ATAPI_INT_ENABLE	R/W	H'A4DA 2188	32
ディスクリプタテーブルベースアドレスレジスタ	ATAPI_DTB_ADR	R/W	H'A4DA 2198	32
DMA スタートアドレスレジスタ	ATAPI_DMA_START_ADR	R/W	H'A4DA 219C	32
DMA 転送カウントレジスタ	ATAPI_DMA_TRANS_CNT	R/W	H'A4DA 21A0	32
ATAPI コントロール2 レジスタ	ATAPI_CONTROL2	R/W	H'A4DA 21A4	32
ATAPI 信号ステータスレジスタ	ATAPI_SIG_ST	R	H'A4DA 21B0	32
バイトスワップレジスタ	ATAPI_BYTE_SWAP	R/W	H'A4DA 21BC	32
PIO タイミング1 レジスタ	ATAPI_PIO_TIMING1	R/W	H'A4DA 21C0	32
PIO タイミング2 レジスタ	ATAPI_PIO_TIMING2	R/W	H'A4DA 21C4	32
マルチワード DMA タイミングレジスタ	ATAPI_MULTI_TIMING	R/W	H'A4DA 21C8	32
ウルトラ DMA タイミングレジスタ	ATAPI_ULTRA_TIMING	R/W	H'A4DA 21CC	32

【注】 * ロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

表 46.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R- スタンバイ	U- スタンバイ	スリープ
ATAPI_CONTROL1	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_STATUS	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_INT_ENABLE	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_DTB_ADR	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_DMA_START_ADR	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_DMA_TRANS_CNT	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_CONTROL2	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_SIG_ST	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_BYTE_SWAP	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_PIO_TIMING1	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_PIO_TIMING2	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_MULTI_TIMING	初期化	初期化	保持	保持	初期化	初期化	保持
ATAPI_ULTRA_TIMING	初期化	初期化	保持	保持	初期化	初期化	保持

46.3.1 ATAPI コントロールレジスタ (ATAPI_CONTROL1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	RADRE	DTA32M	-	DTCD	-	RESET	M/S	-	UDMAEN	DESE	R/W	STOP	START
初期値:	-	-	-	0	0	0	0	0	0	0	1	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R	R/W	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	—	—	R	リザーブビット 不定値が読み出されます。
12	RADRE	0	R/W	ATA タスクファイルレジスタマップのリザーブアドレスへのアクセスを有効にします。 0: リザーブアドレスへのアクセス無効 1: リザーブアドレスへのアクセス有効
11	DTA32M	0	R/W	ディスクリプタテーブル動作モード時のディスクリプタ用 DMA スタートアドレスのビット 31~29 を有効にします。これに伴って終了フラグをビット 31~0 に変更します。 0: ディスクリプタ用 DMA スタートアドレスの有効ビットは 28~2 1: ディスクリプタ用 DMA スタートアドレスの有効ビットは 31~2
10	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	DTCD	0	R/W	本ビットは、ウルトラ DMA 動作時に連続するデバイスターミネーション動作に対する動作モードを制御します。 デバイスターミネーションを受け付けても転送数に達していない場合は、異常終了せず、次のデバイスからの DMARQ を待って、転送を再開します。 既存の ATA デバイスの中に、デバイスターミネーションをポーズと同等に扱っているデバイスが存在するため、デバイスターミネーションを受け付けても転送数に達していない場合は、異常終了せず、次のデバイスからの DMARQ を待って転送を再開する必要があります。 この動作モードを「デバイスターミネーション連続モード」と呼びます。 0: デバイスターミネーション連続モード 1: デバイスターミネーション連続モードの抑止
8	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7	RESET	0	R/W	<p>本ビットは、ATAPI デバイスのリセットを制御します。</p> <p>本ビットを 1 にセットすると、ATAPI リセット信号がアサートされます。 $\overline{\text{IDERST}}$ 信号はアクティブロー信号です。</p> <p>0 : $\overline{\text{IDERST}}$ 信号はハイレベルになります。</p> <p>1 : $\overline{\text{IDERST}}$ 信号がローレベルになります。</p>
6	M/S	0	R/W	<p>本ビットは、ATAPI デバイスのマスタあるいはスレーブを選択します。</p> <p>0 : ATAPI デバイスはスレーブになります。</p> <p>1 : ATAPI デバイスはマスタになります。</p>
5	—	1	R	<p>リザーブビット</p> <p>読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。</p>
4	UDMAEN	0	R/W	<p>本ビットは、ウルトラ DMA のイネーブルビットです。</p> <p>0 : マルチワード DMA を使用</p> <p>1 : ウルトラ DMA を使用</p>
3	DESE	0	R/W	<p>本ビットは、ディスクリプタテーブル動作モードを制御します。</p> <p>0 : ディスクリプタ機能無効</p> <p>1 : ディスクリプタ機能有効</p>
2	R/W	0	R/W	<p>本ビットは、FIFO の読み出し / 書き込みを制御します。</p> <p>データを ATAPI デバイスから読み出す場合は、本ビットを 1 にセットしてください。データを ATAPI デバイスに書き込む場合は、0 にクリアしてください。</p> <p>0 : FIFO 書き込み (DMA 転送時のデータアウト動作)</p> <p>1 : FIFO 読み出し (DMA 転送時のデータイン動作)</p>
1	STOP	0	R/W	<p>本ビットは、DMA 転送を強制終了します。</p> <p>本ビットは、次の DMA 転送が開始されると 0 にクリアされます。DMA がアクティブな時 (ACT=1) にパワーダウン (ATAPI 内部クロック OFF) する場合は、DMA 転送を強制終了してください。</p> <p>【書き込み時】</p> <p>0 : 無視されます。</p> <p>1 : データ転送を強制終了します。</p> <p>【読み出し時】</p> <p>0 : 強制終了コマンドは、発行されません。</p> <p>1 : データ転送の強制終了コマンドが発行されます。</p> <p>【注】 強制終了されたアドレスから DMA 転送を再開できるわけではありません。</p>

ビット	ビット名	初期値	R/W	説明
0	START	0	R/W	<p>本ビットは DMA 転送を開始します。</p> <p>本ビットが 1 にセットされると、DMA 転送を開始します。本ビットを 0 にクリアした場合、無視されます。</p> <p>【書き込み時】</p> <p>0 : 無視されます。</p> <p>1 : DMA 転送を開始します。</p> <p>【読み出し時】</p> <p>0 : DMA 転送は非アクティブです。</p> <p>1 : DMA 転送中でビジー状態です。</p> <p>【注】DMA がアクティブである場合は、タスクファイルレジスタのアクセスは禁止です。</p>

46.3.2 ATAPI ステータスレジスタ (ATAPI_STATUS)

ビット :	31	30	29	28	27	26	25	24	23	22	21	36	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SWERR	IFERR	DNEND	DEVTRM	DEVINT	TOUT	ERR	NEND	ACT
初期値 :	-	-	-	-	-	-	-	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~9	—	—	R	<p>リザーブビット</p> <p>不定値が読み出されます。</p>
8	SWERR	0	R/W	<p>ソフトウェアエラービット</p> <p>本ビットが 1 にセットされた場合、DMA がアクティブのときにタスクファイルレジスタがアクセスされたことを示します。DMA アクティブ中のタスクレジスタアクセスは禁止されています。たとえば、ウルトラ DMA、マルチワード DMA 転送中に PIO 転送を行うと、本ビットが 1 にセットされます。このとき、LSI 外部には出力されることはなく、アクセスは無視されません。</p> <p>0 を書き込むことにより、本ビットはリセットされます。</p>

ビット	ビット名	初期値	R/W	説明
7	IFERR	0	R/W	<p>本ビットは、ATAPI インタフェースプロトコルエラーが検出されたことを示します。</p> <ul style="list-style-type: none"> • ウルトラ DMA データインバーストがホスト終了状態において、(IDEDREQ=1)または(IDEIORDY=0)のとき • ウルトラ DMA データアウトバーストがデバイス終了状態において、IDEIORDY=0のとき • ウルトラ DMA データアウトバーストが開始されたとき、IDEIORDY=0 • ウルトラ DMA データアウトバーストがホスト終了状態において、(IDEDREQ=1)または(IDEIORDY=0)のとき <p>0を書き込むことにより、本ビットはリセットされます。</p>
6	DNEND	0	R/W	<p>本ビットは、ディスクリプタモードで、すべてのDMAが正常終了したことを示します。</p> <p>0を書き込むことにより、本ビットはリセットされます。</p>
5	DEVTRM	0	R/W	<p>ATAPI モジュールに設定されたDMA転送バイト数に到達する前に、ATAPI デバイスのウルトラDMAモードが終了された場合、本ビットは1にセットされます。</p> <p>0を書き込むことにより、本ビットはリセットされます。</p>
4	DEVINT	0	R	<p>本ビットは、ATAPI デバイス割り込みIDEINT端子のステータスを示します。本ビットは、読み出し専用ビットです。</p> <p>本ビットは、本LSIチップ内にステータスを保持していないので、IDEINTが0の場合は、本ビットも0にクリアされます。ATAPI インタフェースは、ATAPI デバイスからの割り込み信号をレベルトリガ入力とみなします。ATAPI 規格に従い、割り込みペンドリング状態をクリアするために、ステータスレジスタを読み出すために使用するIDEIORDをネゲートしてから400ns以内に、IDEINTはATAPIデバイスによりネゲートされます。</p>
3	TOUT	0	R/W	<p>本ビットは、IORDY タイムアウトが検出されたことを示します。</p> <p>タイムアウトは、ベースクロックで225サイクル以上の期間、応答がない(IDEIORDY端子がローレベル)場合に検出されます。</p> <p>本ビットに0を書き込むと、本ビットはリセットされます。</p>
2	ERR	0	R/W	<p>本ビットは、DMAアバートを検出した場合に1にセットされます。</p> <ul style="list-style-type: none"> • ホストがDMA転送を強制終了する場合 • DTCD=1かつデバイスターミネーションが発生しACT=0になる場合、0を書き込むことにより、本ビットはリセットされます。
1	NEND	0	R/W	<p>本ビットはDMAが正常終了したことを示します。</p> <p>0を書き込むことにより、本ビットはリセットされます。</p>
0	ACT	0	R	<p>本ビットは、DMAがアクティブであることを示します。</p> <p>DMAがアクティブなときにパワーダウン(ATAPI内部クロックOFF)する場合は、DMA転送を強制終了(STOP=1)してください。</p>

46.3.3 割り込みイネーブルレジスタ (ATAPI_INT_ENABLE)

各ビットに 1 を書き込むと、ATAPI ステータスレジスタの各ビットに対応する割り込み信号がイネーブルになります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	36	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	iSWERR	iIFERR	iDNEND	iDEVTRM	iDEVINT	iTOUT	iERR	iNEND	iACT
初期値:	-	-	-	-	-	-	-	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~9	—	—	R	リザーブビット 不定値が読み出されます。
8	iSWERR	0	R/W	SWERR 割り込みイネーブルビット
7	iIFERR	0	R/W	IFERR 割り込みイネーブルビット
6	iDNEND	0	R/W	DNEND 割り込みイネーブルビット
5	iDEVTRM	0	R/W	DEVTRM 割り込みイネーブルビット
4	iDEVINT	0	R/W	DEVINT 割り込みイネーブルビット
3	iTOUT	0	R/W	TOUT 割り込みイネーブルビット
2	iERR	0	R/W	ERR 割り込みイネーブルビット
1	iNEND	0	R/W	NEND 割り込みイネーブルビット
0	iACT	0	R/W	ACT 割り込みイネーブルビット ACT は DMA 転送が完了すると自動的にクリアされるので、アサート中に割り込み処理を終了させてください。

46.3.4 PIO タイミング 1 レジスタ (ATAPI_PIO_TIMING1)

ATAPI デバイスをアクセスする前に、本レジスタにマシンサイクル数を設定してください。

マシンサイクルは、ベースバスクロックです。

ベースクロック	モード 0	モード 1	モード 2	モード 3	モード 4
133MHz	H'0051	H'0035	H'002D	H'0019	H'0011

ビット:	31	30	29	28	27	26	25	24	23	22	21	36	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	pSDCT[6:0]				
初期値:	-	-	-	-	-	-	-	-	-	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	pMDCT[6:0]				
初期値:	-	-	-	-	-	-	-	-	-	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	—	—	R	リザーブビット 不定値が読み出されます。
22~16	pSDCT[6:0]	0000000	R/W	本ビットは、スレーブ ATAPI デバイスのサイクル時間を設定します。
15~7	—	—	R	リザーブビット 不定値が読み出されます。
6~0	pMDCT[6:0]	0000000	R/W	本ビットは、マスタ ATAPI デバイスのサイクル時間を設定します。

46.3.5 PIO タイミング 2 レジスタ (ATAPI_PIO_TIMING2)

ATAPI デバイスをアクセスする前に、本レジスタにマシンサイクル数を設定してください。

マシンサイクルは、ベースバスクロックです。

ベースクロック	モード 0	モード 1	モード 2	モード 3	モード 4
133MHz	H'280B	H'2808	H'2805	H'0C05	H'0B05

ビット:	31	30	29	28	27	26	25	24	23	22	21	36	19	18	17	16
	-	-	pSDPW[5:0]					-	-	-	-	pSDST[3:0]				
初期値:	-	-	0	0	0	0	0	0	-	-	-	-	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	pMDPW[5:0]					-	-	-	-	pMDST[3:0]				
初期値:	-	-	0	0	0	0	0	0	-	-	-	-	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	—	R	リザーブビット 不定値が読み出されます。
29~24	pSDPW[5:0]	000000	R/W	本ビットは、スレーブ ATAPI デバイスの IDEIORD/IDEIOWR パルス幅を設定します。
23~20	—	—	R	リザーブビット 不定値が読み出されます。
19~16	pSDST[3:0]	0000	R/W	本ビットは、PIO モードのスレーブ ATAPI デバイスの IDEIORD/IDEIOWR に対するアドレスセットアップ時間を設定します。
15、14	—	—	R	リザーブビット 不定値が読み出されます。
13~8	pMDPW[5:0]	000000	R/W	本ビットは、マスタ ATAPI デバイスの IDEIORD/IDEIOWR パルス幅を設定します。
7~4	—	—	R	リザーブビット 不定値が読み出されます。
3~0	pMDST[3:0]	0000	R/W	本ビットは、PIO モードのマスタ ATAPI デバイスの IDEIORD/IDEIOWR に対するアドレスセットアップ時間を設定します。

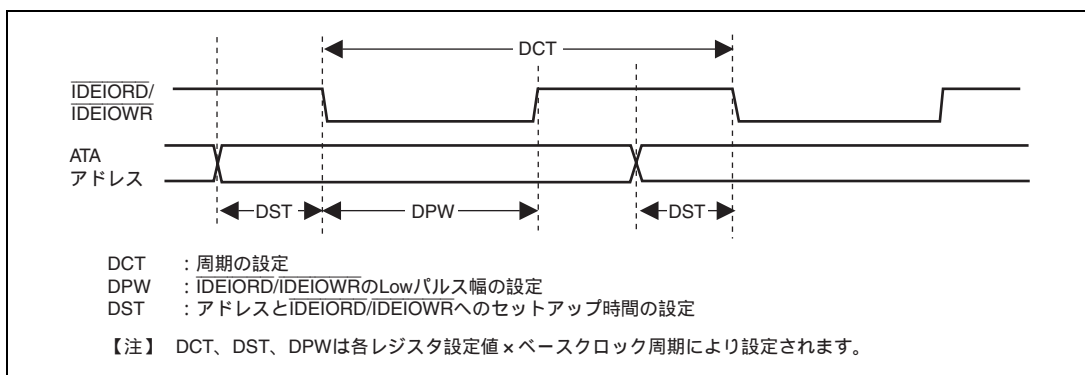


図 46.2 PIO タイミングレジスタ

46.3.6 マルチワード DMA タイミングレジスタ (ATAPI_MULTI_TIMING)

ATAPI デバイスをアクセスする前に、本レジスタにマシンサイクル数を設定してください。

ベースクロック	モード 0	モード 1	モード 2
133MHz	H'411E	H'150C	H'110B

ビット :	31	30	29	28	27	26	25	24	23	22	21	36	19	18	17	16
	-	mSDCT[6:0]						-	-	mSDPW[5:0]						
初期値 :	-	0	0	0	0	0	0	0	-	-	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	mMDCT[6:0]						-	-	mMDPW[5:0]						
初期値 :	-	0	0	0	0	0	0	0	-	-	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	—	R	リザーブビット 不定値が読み出されます。
30~24	mSDCT[6:0]	0000000	R/W	本ビットは、スレーブ ATAPI デバイスのサイクル時間を設定します。
23, 22	—	—	R	リザーブビット 不定値が読み出されます。
21~16	mSDPW[5:0]	000000	R/W	本ビットは、スレーブ ATAPI デバイスの IDEIORD/IDEIOWR パルス幅を設定します。
15	—	—	R	リザーブビット 不定値が読み出されます。
14~8	mMDCT[6:0]	0000000	R/W	本ビットは、マスタ ATAPI デバイスのサイクル時間を設定します。
7, 6	—	—	R	リザーブビット 不定値が読み出されます。
5~0	mMDPW[5:0]	000000	R/W	本ビットは、マスタ ATAPI デバイスの IDEIORD/IDEIOWR パルス幅を設定します。

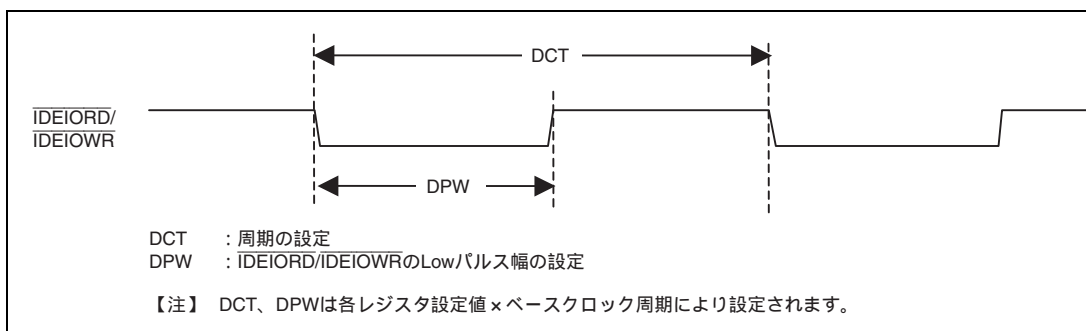


図 46.3 マルチワード DMA タイミングレジスタ

46.3.7 ウルトラ DMA タイミングレジスタ (ATAPI_ULTRA_TIMING)

ATAPI デバイスをアクセスする前に、本レジスタにマシンサイクル数を設定してください。

ベースクロック	モード 0	モード 1	モード 2	モード 3	モード 4
133MHz	H'1017	H'0B12	H'090F	H'070F	H'050F

ビット	31	30	29	28	27	26	25	24	23	22	21	36	19	18	17	16
	-	-	-	uSDCT[4:0]				-	-	uSDRP[5:0]						
初期値	-	-	-	0	0	0	0	0	-	-	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	uMDCT[4:0]				-	-	uMDRP[5:0]						
初期値	-	-	-	0	0	0	0	0	-	-	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	—	R	リザーブビット 不定値が読み出されます。
28~24	uSDCT[4:0]	00000	R/W	本ビットは、スレーブ ATAPI デバイスのサイクル時間を設定します。
23、22	—	—	R	リザーブビット 不定値が読み出されます。
21~16	uSDRP[5:0]	000000	R/W	本ビットは、DMARDY(IDEIORDY ではない)ネゲートからスレーブ ATAPI デバイスによる中断までの時間を設定します。
15~13	—	—	R	リザーブビット 不定値が読み出されます。
12~8	uMDCT[4:0]	00000	R/W	本ビットは、マスタ ATAPI デバイスのサイクル時間を設定します。
7、6	—	—	R	リザーブビット 不定値が読み出されます。
5~0	uMDRP[5:0]	000000	R/W	本ビットは、DMARDY (IDEIORDY ではない) ネゲートからマスタ ATAPI デバイスによる中断までの時間を設定します。

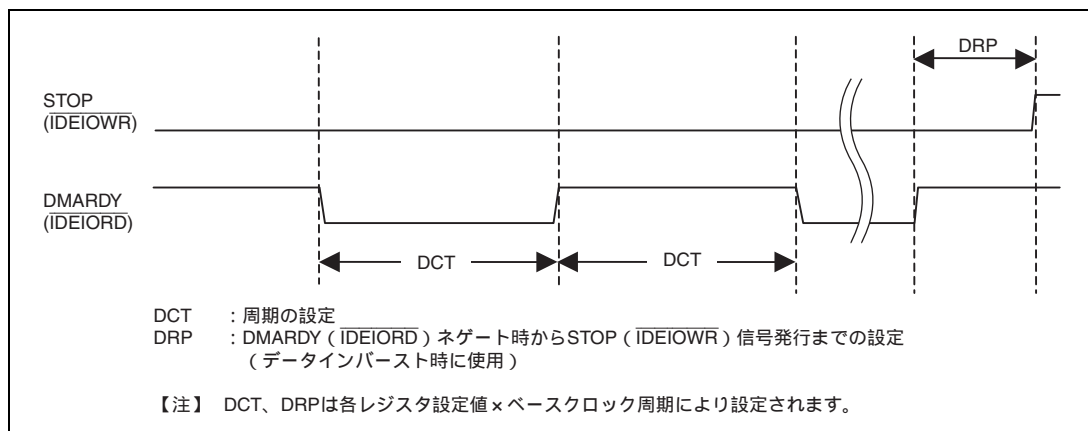


図 46.4 ウルトラ DMA タイミングレジスタ

46.3.8 ディスクリプタテーブルベースアドレスレジスタ (ATAPI_DTB_ADR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	DTBA[31:16]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	DTBA[15:2]															-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-	-	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

ビット	ビット名	初期値	R/W	説明
31~2	DTBA [31:2]	H'0000 0000	R/W	本ビットは、ディスクリプタテーブルベースアドレスを示します。 ビット 31~0 は、ディスクリプタテーブルベースアドレスをバイト単位で設定するために使用されます。ディスクリプタテーブル用に 32 ビットアドレス境界を確保しなければならいので、ビット 1、0 は無視されます。
1、0	—	—	R	リザーブビット 不定値が読み出されます。

【注】 本アドレスは、DMA アクティブ後も変化せず、設定値は保持されます。

(1) ディスクリプタテーブル

ディスクリプタテーブルは、終了フラグ、ディスクリプタ用 DMA スタートアドレスおよびディスクリプタ用 DMA 転送カウントを 1 組とするテーブルです。

(a) ディスクリプタ用 DMA スタートアドレス bit28~2 有効時 (DTA32M=0、初期値)

表 46.4 メモリ内のディスクリプタテーブルマップ

アドレス	データ内容
DTBA	1 番目の終了フラグ (ビット 31=0) および DDSTA 格納アドレス
DTBA + 4	1 番目の DDTRC 格納アドレス
DTBA + 8	2 番目の終了フラグ (ビット 31=0) および DDSTA 格納アドレス
DTBA + 12	2 番目の DDTRC 格納アドレス
...	...
DTBA+8* (n-1)	n 番目の終了フラグ (ビット 31=1) および DDSTA 格納アドレス
DTBA+8* (n-1) + 4	n 番目の DDTRC 格納アドレス

• 終了フラグおよびディスクリプタ用 DMA スタートアドレス

有効フラグおよびディスクリプタ用 DMA スタートアドレスは、メモリ内のディスクリプタテーブルベースアドレス+m (m:2 の倍数、0、2、4、) に設定します。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

DTEND	-	-	DDSTA[28:16]												
-------	---	---	--------------	--	--	--	--	--	--	--	--	--	--	--	--

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

DDSTA[15:2]														-	-
-------------	--	--	--	--	--	--	--	--	--	--	--	--	--	---	---

ビット	ビット名	説明
31	DTEND	本ビットは、ディスクリプタ DMA 動作の終了を制御します。 0: ディスクリプタテーブルの有効 本ビットが 0 のときに、DMA 転送カウントを読み込み、DMA 転送し、次のディスクリプタテーブルを読み込みます。 1: ディスクリプタ DMA 動作の終了 本ビットの 1 のときに、最後のディスクリプタテーブルと認識します。
30, 29	—	リザーブビット
28~2	DDSTA [28:2]	本ビットは、ディスクリプタ動作時の DMA スタートアドレスを示します。 ビット 28~0 は、DMA スタートアドレスをバイト単位で設定するために使用されます。DMA スタートアドレスに 32 ビットアドレス境界を確保しなければならないので、ビット 1、0 は無視されます。
1, 0	—	リザーブビット

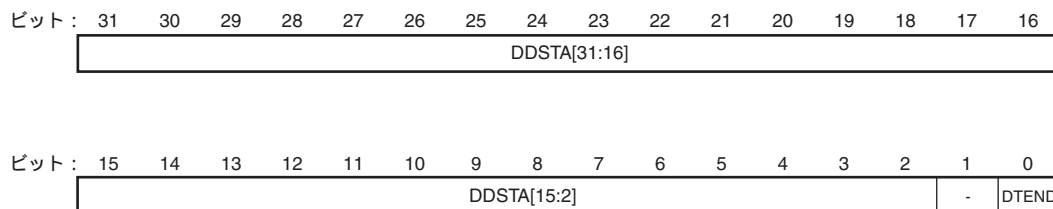
(b) ディスクリプタ用 DMA スタートアドレス bit31 ~ 29 有効時 (DTA32M=1)

表 46.5 メモリ内のディスクリプタテーブルマップ

アドレス	データ内容
DTBA	1 番目の終了フラグ (ビット 0=0) および DDSTA 格納アドレス
DTBA + 4	1 番目の DDTRC 格納アドレス
DTBA + 8	2 番目の終了フラグ (ビット 0=0) および DDSTA 格納アドレス
DTBA + 12	2 番目の DDTRC 格納アドレス
...	...
DTBA+8 × (n-1)	n 番目の終了フラグ (ビット 0=1) および DDSTA 格納アドレス
DTBA+8 × (n-1)+4	n 番目の DDTRC 格納アドレス

• 終了フラグおよびディスクリプタ用 DMA スタートアドレス

有効フラグおよびディスクリプタ用 DMA スタートアドレスは、メモリ内のディスクリプタテーブルベースアドレス+m (m : 2 の倍数、0、2、4、...) に設定します。



ビット	ビット名	説明
31 ~ 2	DDSTA [31:2]	本ビットは、ディスクリプタ動作時の DMA スタートアドレスを示します。 ビット 31 ~ 0 は、DMA スタートアドレスをバイト単位で設定するために使用され ます。DMA スタートアドレスに 32 ビットアドレス境界を確保しなければならいので、 ビット 1、0 は無視されます。
1	—	リザーブビット
0	DTEND	本ビットは、ディスクリプタ DMA 動作の終了を制御します。 0 : ディスクリプタテーブルの有効 本ビットが 0 のときに、DMA 転送カウントを読み込み、DMA 転送し、次のデ ィスクリプタテーブルを読み込みます。 1 : ディスクリプタ DMA 動作の終了 本ビットの 1 のときに、最後のディスクリプタテーブルと認識します。

- ディスクリプタ用DMA転送カウント

ディスクリプタ用 DMA 転送カウントは、メモリ内のディスクリプタテーブルベースアドレス+m (m: 2 の倍数 +1、1、3、5、...) に設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DDTRC[28:16]												
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDTRC[15:1]															-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	R/W	説明
31~29	—	R	リザーブビット
28~1	DDTRC[28:1]	R/W	本ビットは、ディスクリプタ動作時の DMA 転送カウントを設定します。ビット 28~0 は、DMA 転送カウントをバイト単位で設定するために使用されます。ビット 0 は、ATAPI のデータバスが 16 ビット単位 (ワード単位) なので無視されます。
0	—	R	リザーブビット

46.3.9 DMA スタートアドレスレジスタ (ATAPI_DMA_START_ADR)

本レジスタは、DMA スタートアドレスをバイト単位で設定するために使用されます。DMA スタートアドレス用に 32 ビットアドレス境界を確保しなければならないので、ビット 1、0 は無視されます。

【注】 本アドレスは、DMA アクティブ後も変化せず、設定値は保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSTA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSTA[15:2]														-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~2	DSTA[31:2]	H'0000 0000	R/W	本ビットは、メモリ内のデータ転送開始アドレスを示す DMA スタートアドレスを設定します。
1、0	—	—	R	リザーブビット 不定値が読み出されます。

46.3.10 DMA 転送カウントレジスタ (ATAPI_DMA_TRANS_CNT)

本レジスタは、DMA 転送カウントをバイト単位で設定するために使用されます。ビット 0 は、ATAPI のデータバスが 16 ビット単位 (ワード単位) のため無視されます。

【注】 本カウント値は、DMA アクティブ後も変化せず、設定値は保持されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DTRC[28:16]												
初期値:	-	-	-	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTRC[15:1]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~29	—	—	R	リザーブビット 不定値が読み出されます。
28~1	DTRC[28:1]	H'000 0000	R/W	本ビットは、DMA 転送カウントを設定します。
0	—	—	R	リザーブビット 不定値が読み出されます。

46.3.11 ATAPI コントロール 2 レジスタ (ATAPI_CONTROL2)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	LWORD SWAP	WORD SWAP	IFEN
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~3	—	—	R	リザーブビット 不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
2	LWORDSWAP	0	R/W	<p>本ビットは、SHwy バス上の 2 ロングワード (64 ビットデータ) 単位の上位 32 ビットデータと下位 32 ビットデータの交換するかどうかを制御します。</p> <p>データ転送におけるロングワードスワップは、ATAPI_CONTROL1 レジスタの START ビットが 1 にセットされ、DMA モードがスタートした場合のみ有効です。</p> <p>0: ロングワードスワップは実行されません。SHwy バス上の 64 ビットデータは、ビッグエンディアン形式で表されます。</p> <p>1: ATAPI インタフェースと SHwy バス間で、ロングワードスワップが実行されます。</p>
1	WORDSWAP	0	R/W	<p>本ビットは、SHwy バスの 64 ビットバスがイネーブルされている場合、ロングワード単位の上位 16 ビットデータと下位 16 ビットデータの交換するかどうかを制御します。</p> <p>データ転送におけるワードスワップは、ATAPI_CONTROL1 レジスタの START ビットが 1 にセットされ、DMA モードがスタートした場合のみ有効です。</p> <p>0: ワードスワップは実行されません。</p> <p>1: ATAPI インタフェースと SHwy バス間で、ワードスワップが実行されます。</p>
0	IFEN	0	R/W	<p>本ビットは、ATAPI インタフェースのイネーブルを制御します。</p> <p>0: ATAPI インタフェースは無効</p> <p>1: ATAPI インタフェースは有効</p> <p>【注】 0 のとき、ATAPI インタフェースの I/O 端子は入力端子として機能し、出力端子はハイインピーダンス状態になります。</p>

46.3.12 ATAPI 信号ステータスレジスタ (ATAPI_SIG_ST)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~2	—	—	R	リザーブビット 不定値が読み出されます。
1	DDMARDY	—	R	本ビットは、ATAPIDDMARDY (IDEIORDY の反転) 信号状態を示します。
0	DMARQ	—	R	本ビットは、ATAPIDMARQ (IDEDREQ) 信号状態を示します。

46.3.13 バイトスワップレジスタ (ATAPI_BYTE_SWAP)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BYTE SWAP
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	—	R	リザーブビット
0	BYTESWAP	0	R/W	<p>本ビットは、ATAPI インタフェースの上位 8 ビットと下位 8 ビットのスワップを制御するビットです。</p> <p>バイトスワップは、ATAPI_CONTROL1 レジスタの START ビットが 1 にセットされ、DMA モードがスタートした場合のみ有効です。</p> <p>0: バイトスワップは実行されません。</p> <p>1: APAPI インタフェースと SHwy バス間でバイトスワップが実行されます。</p>

46.4 ATAPI のデータバスアライメント

(1) HPB バス側のデータバスアライメント

ビッグエンディアン/リトルエンディアンによる違いはありません。

物理的なバス幅は、32 ビット固定です。

バス幅		32ビットバス	16ビットバス	8ビットバス
アクセス		31 16 8 0	31 16 8 0	31 16 8 0
サイズ バイト	アドレス 4n 4n + 1 4n + 2 4n + 3	規定せず	規定せず	規定せず
ワード	4n 4n + 2	規定せず	規定せず	規定せず
ロングワード	4n	B3 B2 B1 B0	規定せず	規定せず

【注】 B3 : 31~24、B2 : 23~16、B1 : 15~8、B0 : 7~0ビット目

図 46.5 HPB バス側のデータバスアライメント

(2) SHwy バス側のデータバスアライメント

バス幅は、64 ビット固定です。

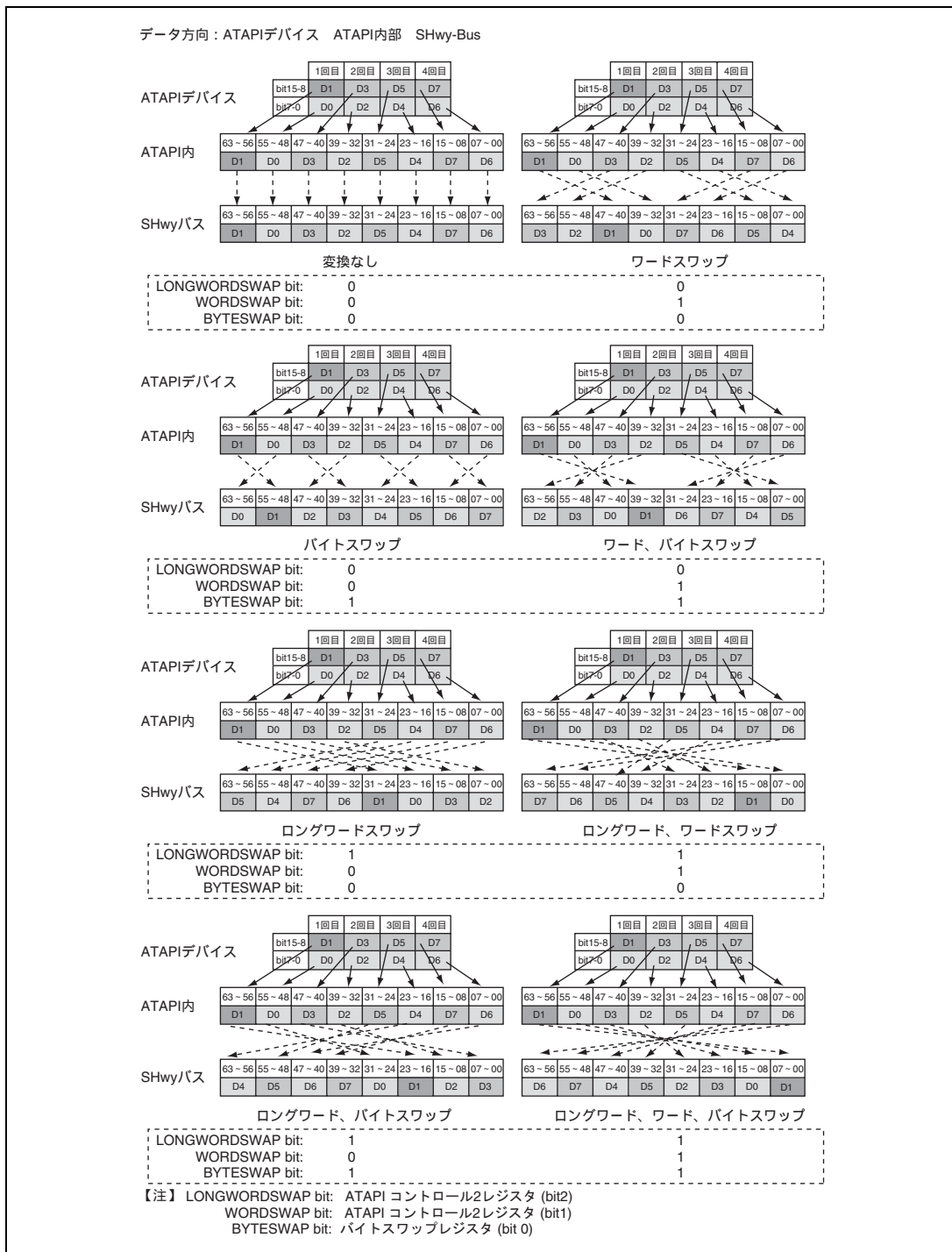


図 46.6 SHwy バス側のデータバスアライメント(1)

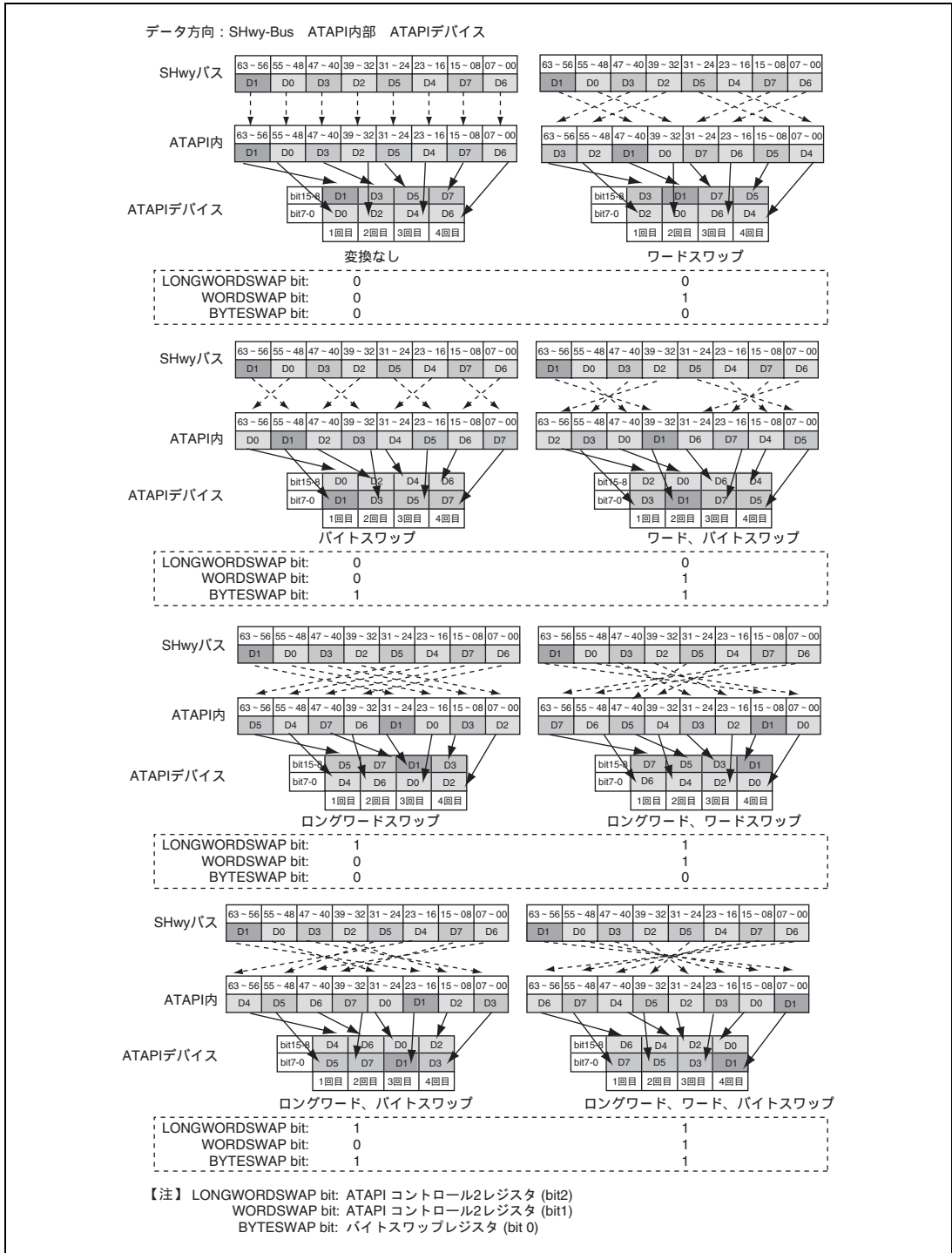


図 46.7 SHwy バス側のデータバスアライメント(2)

46.5 機能説明

ATAPI インタフェースは、プライマリチャネルをホストとしてサポートしています。また、ATAPI インタフェース仕様書に定義されているように、マスタ/スレーブ構成もサポートしています。ATAPI インタフェースは、3.3V I/O インタフェースをサポートしています。

ATA タスクファイルレジスタおよび ATAPI パケットコマンドタスクファイルレジスタは、SH レジスタマップ空間に割り付けられています。そのため、SH により本レジスタをアクセスする場合は、DVDROM ドライブなどのデバイス内のレジスタを DCS[1:0]端子および DSA[2:0]端子でアドレスすることによりアクセスできます。

46.5.1 ATAPI インタフェースレジスタマップ

下記のレジスタは、ATAPI/ATA デバイスに割り付けられており、ATAPI モジュールには割り付けられていません。

表 46.6 ATA タスクファイルレジスタマップ

アドレス	読み出しレジスタ	書き込みレジスタ	端子アドレス IDECS1,0、IDEA2-0 H : HighLevel L : LowLevel@3.3V I/O	アクセスサイズ* ¹ (可能ビットサイズ)	レジスタ ロケーション
H'A4DA 2100	データ	データ	HL-LLL/HH-XXX (X : don't care)	32 (16) * ²	ドライブ
H'A4DA 2104	エラー	機能	HL-LLH	32 (8) * ³	ドライブ
H'A4DA 2108	セクタカウント	セクタカウント	HL-LHL	32 (8) * ³	ドライブ
H'A4DA 210C	セクタ番号	セクタ番号	HL-LHH	32 (8) * ³	ドライブ
H'A4DA 2110	シリンダロー	シリンダロー	HL-HLL	32 (8) * ³	ドライブ
H'A4DA 2114	シリンダハイ	シリンダハイ	HL-HLH	32 (8) * ³	ドライブ
H'A4DA 2118	デバイス/ヘッド	デバイス/ヘッド	HL-HHL	32 (8) * ³	ドライブ
H'A4DA 211C	ステータス	コマンド	HL-HHH	32 (8) * ³	ドライブ
H'A4DA 2120	廃止	廃止	LH-LLL	32 (8) * ²	外部* ⁴
H'A4DA 2124	廃止	廃止	LH-LLH	32 (8) * ²	外部* ⁴
H'A4DA 2128	廃止	廃止	LH-LHL	32 (8) * ²	外部* ⁴
H'A4DA 212C	廃止	廃止	LH-LHH	32 (8) * ²	外部* ⁴
H'A4DA 2130	廃止	廃止	LH-HLL	32 (8) * ²	外部* ⁴
H'A4DA 2134	廃止	廃止	LH-HLH	32 (8) * ²	外部* ⁴
H'A4DA 2138	代替ステータス	デバイス コントロール	LH-HHL	32 (8) * ³	ドライブ
H'A4DA 213C	廃止	廃止	LH-HHH	32 (8) * ³	外部* ⁴

【注】 *1 CPU は、上記レジスタをロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

*2 データバスの 15~0 ビットが使用されます。

*3 データバスの 7~0 ビットが使用されます。

*4 ATAPI_CONTROL1 レジスタの RADRE=1 のときに外部アクセス有効。

表 46.7 ATAPI パケットコマンドタスクファイルレジスタマップ

アドレス	読み出しレジスタ	書き込みレジスタ	端子アドレス IDECS1,0、IDEA2-0	アクセスサイズ* ¹ (可能ビットサイズ)	レジスタ ロケーション
H'A4DA 2100	データ	データ	HL-LLL	32 (16) * ²	ドライブ
H'A4DA 2104	エラー	機能	HL-LLH	32 (8) * ³	ドライブ
H'A4DA 2108	割り込み要因	—	HL-LHL	32 (8) * ³	ドライブ
H'A4DA 210C	—	—	HL-LHH	32 (8) * ³	ドライブ
H'A4DA 2110	バイトカウン トロー	バイトカウン トロー	HL-HLL	32 (8) * ³	ドライブ
H'A4DA 2114	バイトカウン トハイ	バイトカウン トハイ	HL-HLH	32 (8) * ³	ドライブ
H'A4DA 2118	デバイスセレクト	デバイスセレクト	HL-HHL	32 (8) * ³	ドライブ
H'A4DA 211C	ステータス	コマンド	HL-HHH	32 (8) * ³	ドライブ
H'A4DA 2120	廃止	廃止	LH-LLL	32 (8) * ²	外部* ⁴
H'A4DA 2124	廃止	廃止	LH-LLH	32 (8) * ²	外部* ⁴
H'A4DA 2128	廃止	廃止	LH-LHL	32 (8) * ²	外部* ⁴
H'A4DA 212C	廃止	廃止	LH-LHH	32 (8) * ²	外部* ⁴
H'A4DA 2130	廃止	廃止	LH-HLL	32 (8) * ²	外部* ⁴
H'A4DA 2134	廃止	廃止	LH-HLH	32 (8) * ²	外部* ⁴
H'A4DA 2138	代替ステータス	デバイス コントロール	LH-HHL	32 (8) * ²	ドライブ
H'A4DA 213C	廃止	廃止	LH-HHH	32 (8) * ³	外部* ⁴

【注】 *1 ロングワード (32 ビット) でアクセスしてください。バイトアクセスやワードアクセスは禁止です。

*2 データバスの 15~0 ビットが使用されます。

*3 データバスの 7~0 ビットが使用されます。

*4 ATAPI_CONTROL1 レジスタの RADRE=1 のときに外部アクセス有効。

46.5.2 データ転送モード

ATAPI インタフェースコントロールレジスタは、PIO 転送モード、マルチワード DMA 転送モード、ウルトラ DMA 転送モードをサポートしています。ATAPI インタフェースコントロールレジスタは、転送モードを開始し、各転送モードにより異なる ATAPI インタフェースタイミングを設定します。

PIO モード 0~4、マルチワード DMA モード 0~2、ウルトラ DMA モード 0~4 をサポートしています。

マルチワード DMA データ転送およびウルトラ DMA データ転送用に、SHwy バスが使用できます。一方、PIO 転送は HPB バスしか使用できません。

表 46.8 データ転送モード

内部動作および内部レジスタ	データ転送モード		
	PIO データ転送	ATA デバイス-SHwy バス間の DMA データ転送	
		マルチワード DMA	ウルトラ DMA
FIFO 動作	バイパス*	使用	使用
コントロールレジスタ UDMAEN ビット	Don'tCare	0	1
コントロールレジスタ START/STOP ビット	Not Used	Used	Used

【注】 * CPU が ATA デバイスに対して PIO アクセスします。
SHwy バス DMA では、ATAPI デバイスとメモリ間でデータが転送されます。

46.5.3 ディスクリプタ機能

ATAPI インタフェースは、DMA データ転送のメモリ空間に重複しない複数の連続したメモリ空間を指定することができます。ディスクリプタテーブルにそれぞれの DMA スタートアドレスおよび DMA 転送カウントを設定します。

46.5.4 外部レベルシフタ制御機能

ATAPI インタフェースは、外部レベルシフタのディレクション信号 (DIRECTION、デバイスへの書き込み時に 0) とそのイネーブル信号 ($\overline{\text{EXBUF_ENB}}$ 、アクティブロー) を有しており、PIO、マルチワード DMA、ウルトラ DMA 動作時に図 46.8 ~ 図 46.13 に示すタイムチャートで動作します。

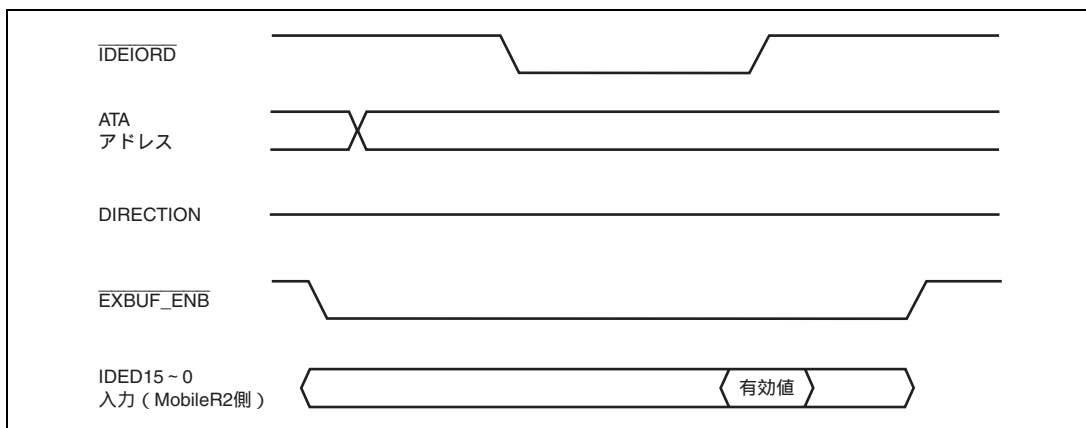


図 46.8 PIO リードデータ転送

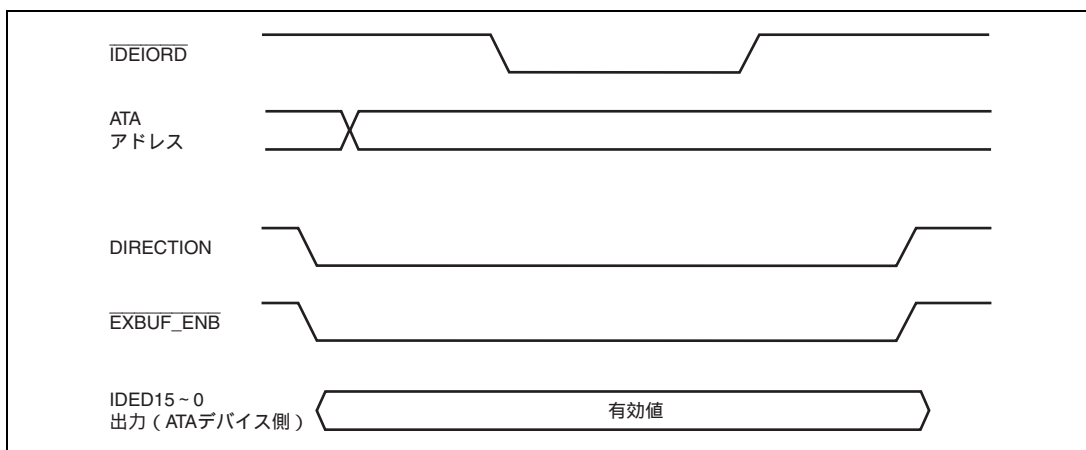


図 46.9 PIO ライトデータ転送

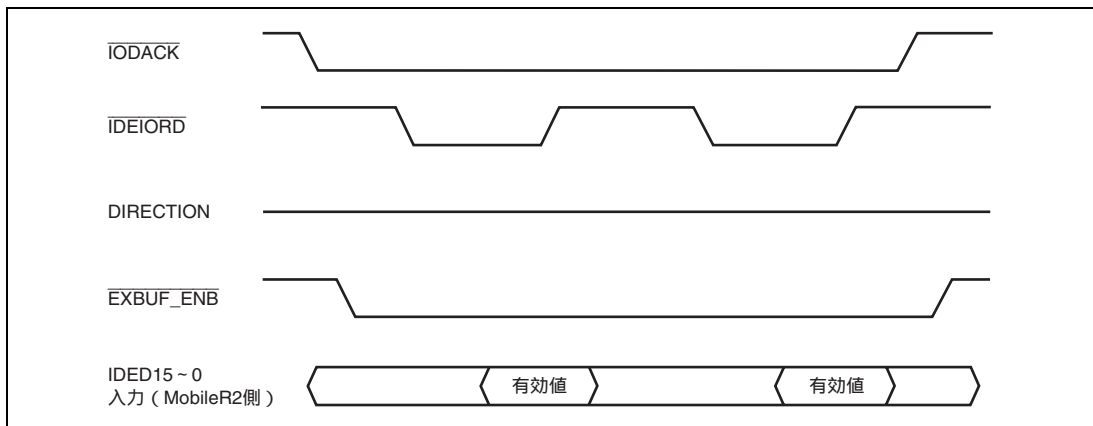


図 46.10 マルチワード DMA データインバースト

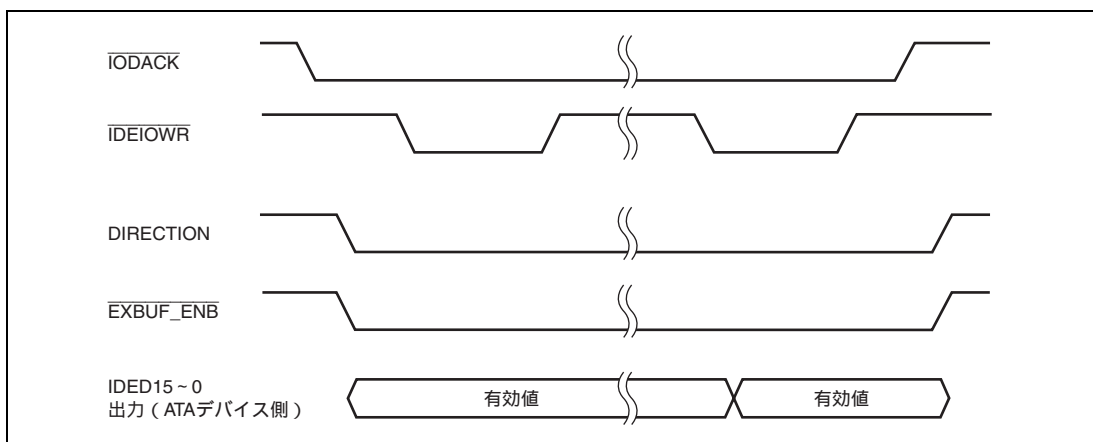


図 46.11 マルチワード DMA データアウトバースト

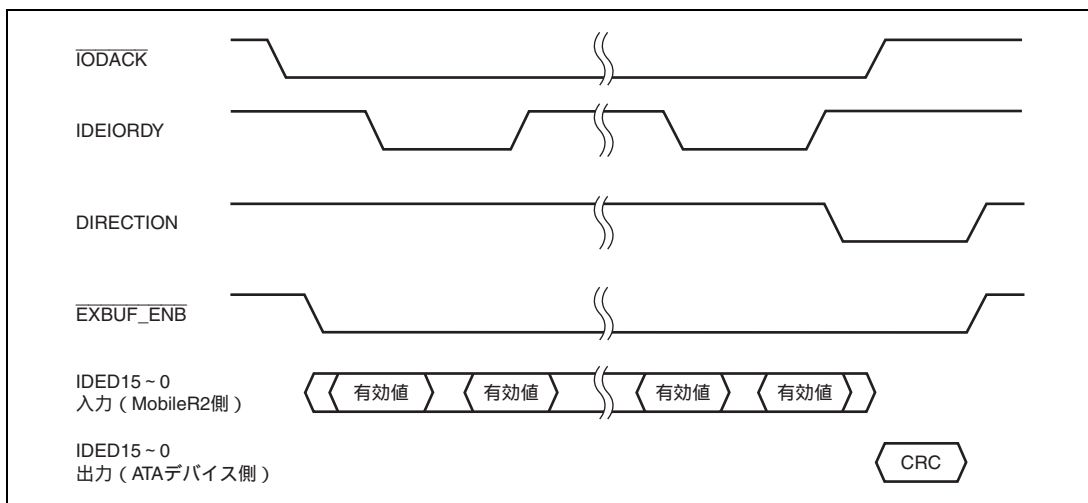


図 46.12 ウルトラ DMA データインバースト

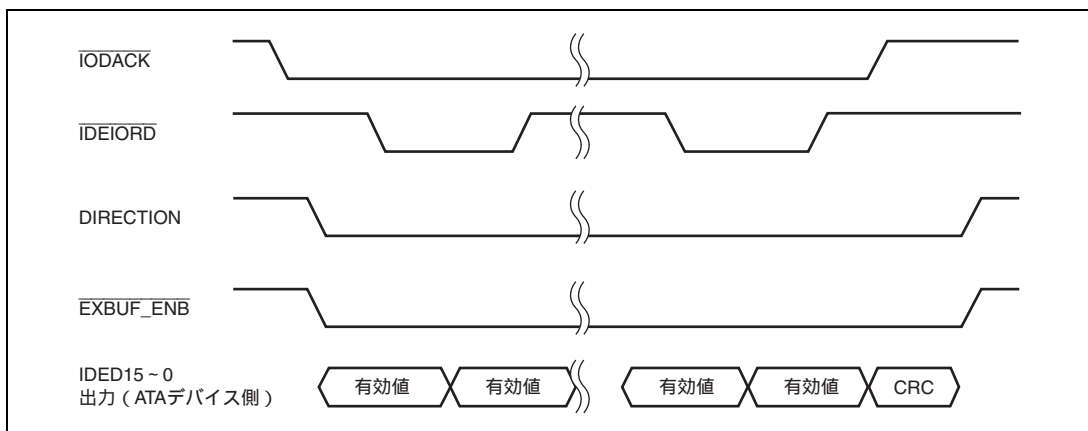


図 46.13 ウルトラ DMA データアウトバースト

46.6 動作手順

46.6.1 初期化

(1) インタフェースイネーブルビットの設定

ATAPI_CONTROL2 レジスタの IFEN ビットを 1 にセットしてください。

(2) タイミングレジスタの設定

以下のレジスタに適切な値を書き込んでください。

各値については、各レジスタの説明を参照してください。

- PIO タイミングレジスタ (ATAPI_PIO_TIMING1、ATAPI_PIO_TIMING2)
- マルチワードDMA タイミングレジスタ (ATAPI_MULTI_TIMING)
- ウルトラDMA タイミングレジスタ (ATAPI_ULTRA_TIMING)

46.6.2 PIO 転送モード手順

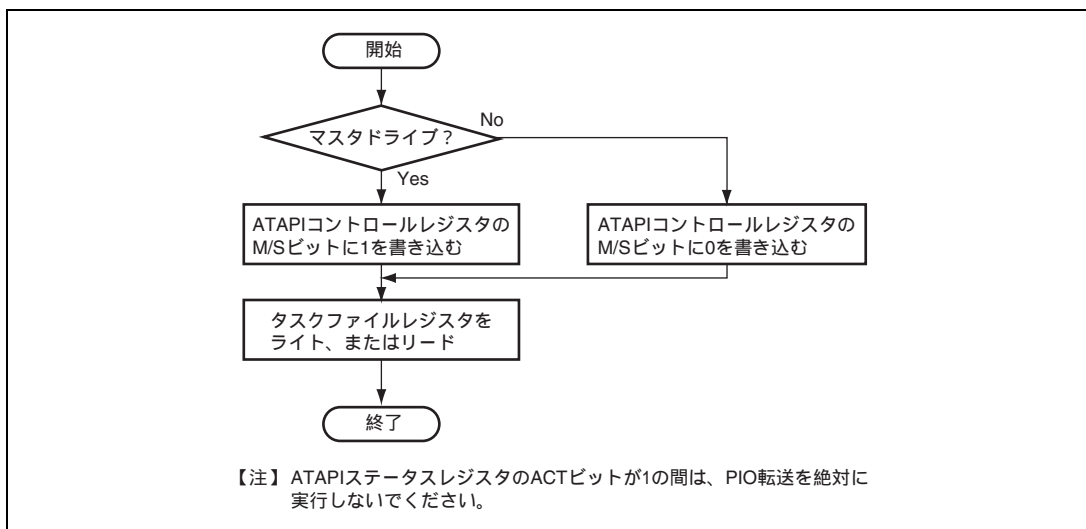


図 46.14 PIO 転送モード手順 (FIFO 未使用の場合)

46.6.3 マルチワード DMA 転送モード手順

(1) ポーリングによる SHwy バスを介したメモリとの転送

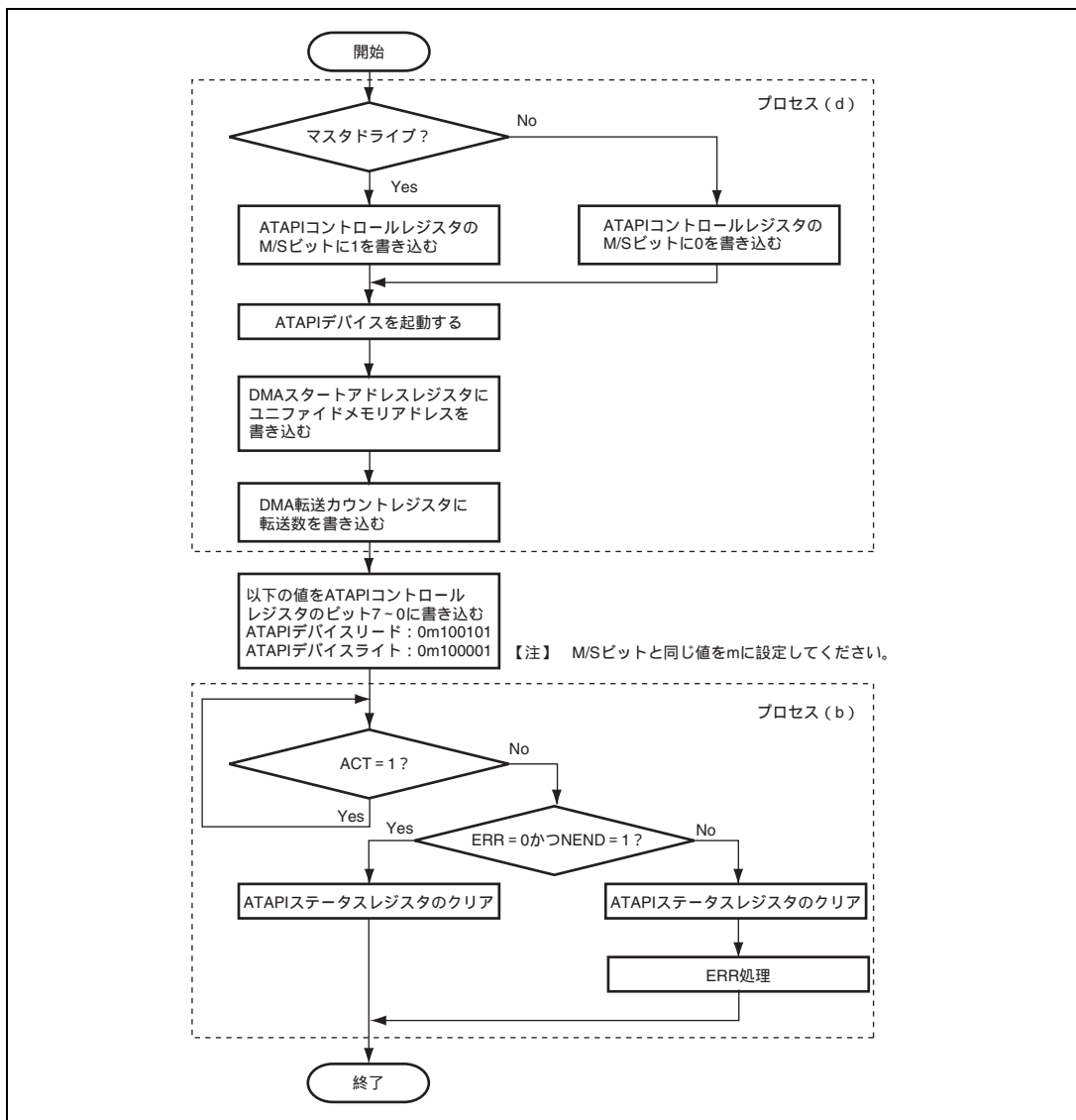


図 46.15 ポーリングによる SHwy バスを介したメモリとの転送

(2) 割り込みによる SHwy バスを介したメモリとの転送

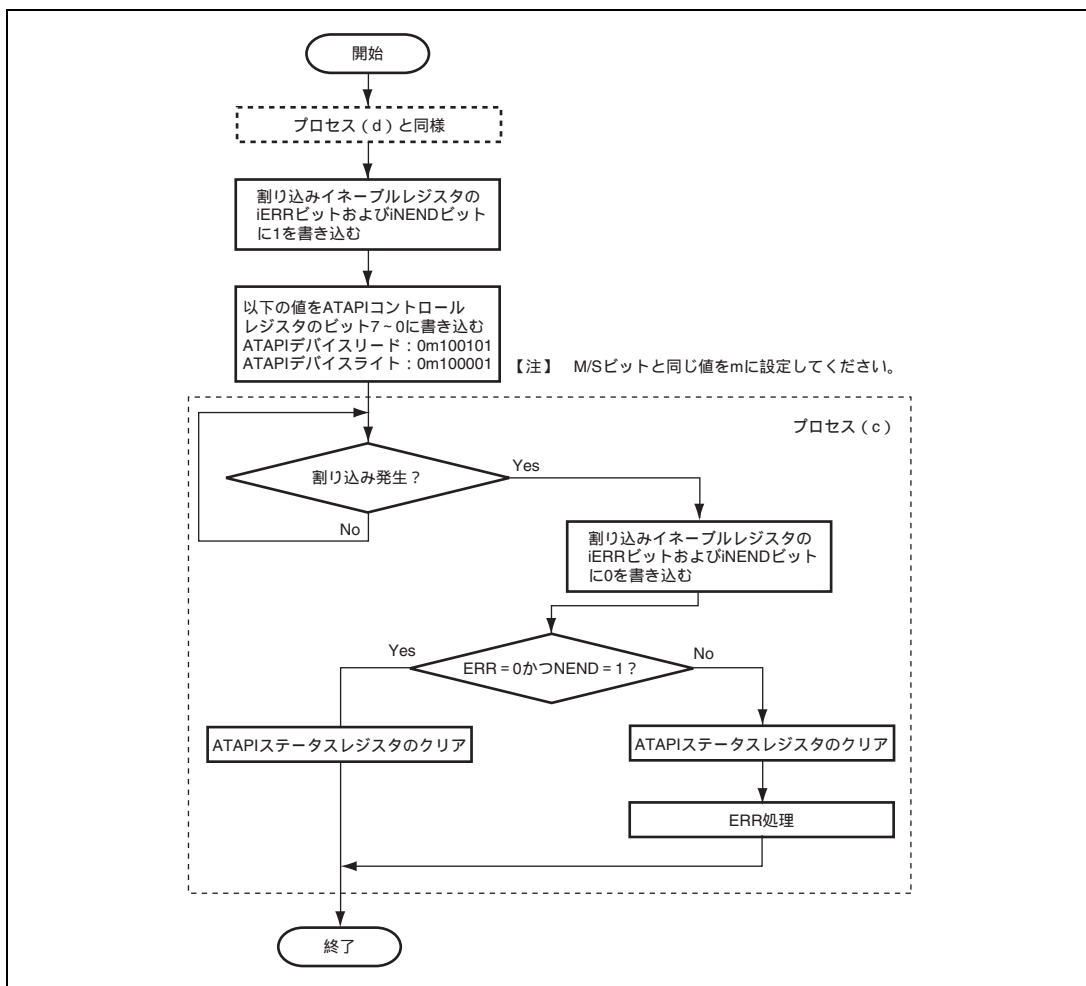


図 46.16 割り込みによる SHwy バスを介したメモリとの転送

46.6.4 ウルトラ DMA 転送モード手順

(1) ポーリングによる SHwy バスを介したメモリとの転送

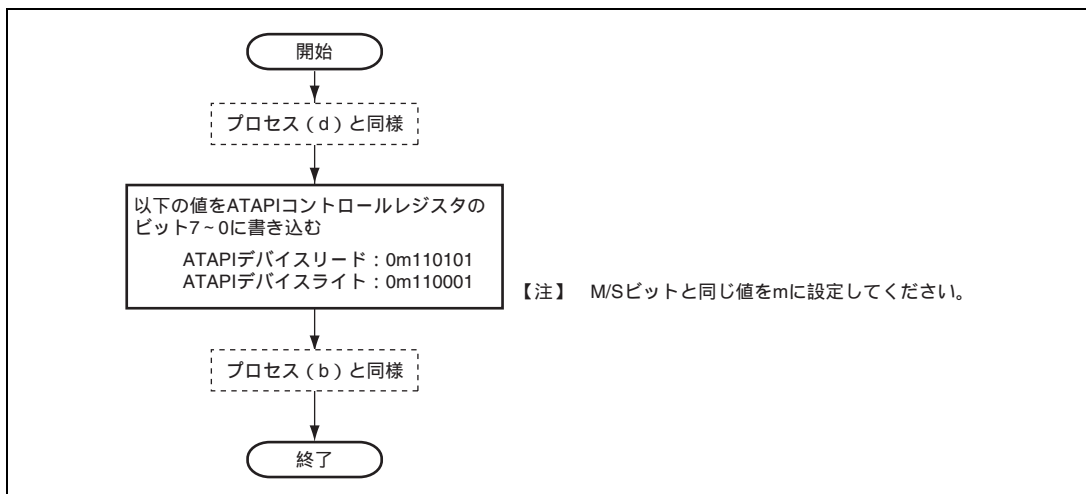


図 46.17 ポーリングによる SHwy バスを介したメモリとの転送

(2) 割り込みによる SHwy バスを介したメモリとの転送

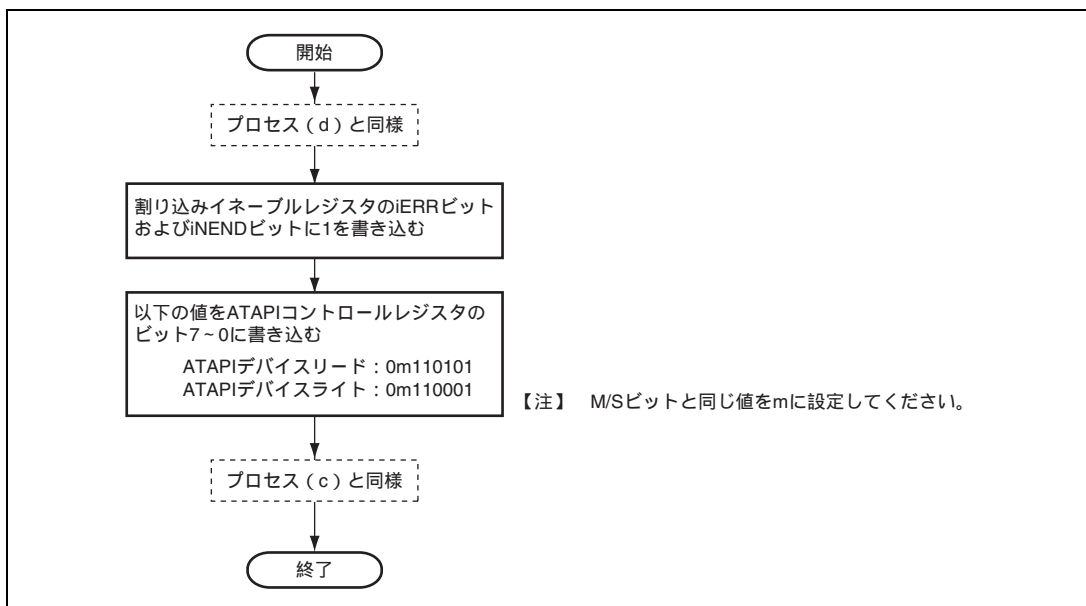


図 46.18 割り込みによる SHwy バスを介したメモリとの転送

46.6.5 ATAPI デバイスのハードウェアリセット手順

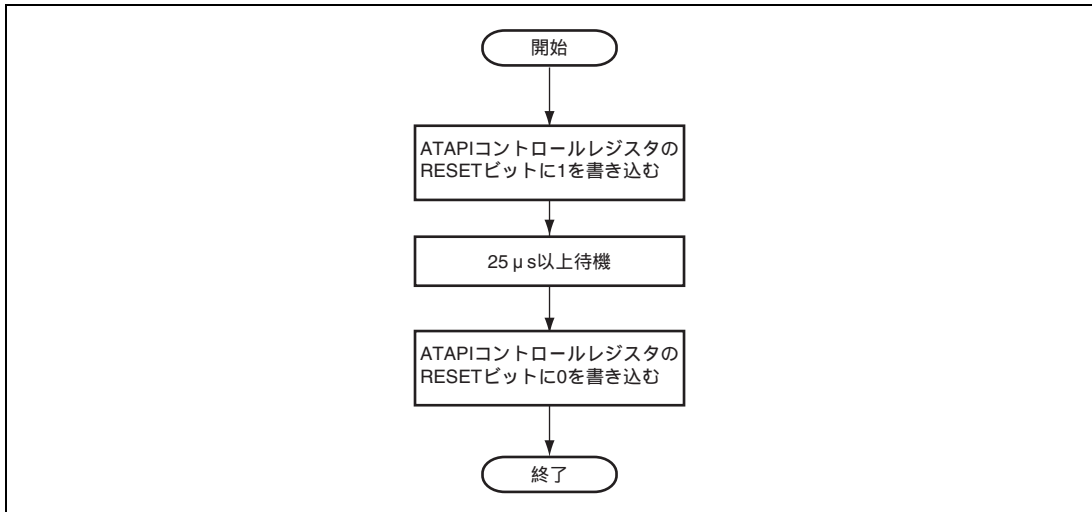


図 46.19 ATAPI デバイスのハードウェアリセット手順

46.6.6 参考文献

「AT Attachment with Packet Interface - 7, Revision 4b 21 April 3604」

47. イーサネット MAC コントローラ (EtherMAC)

本 LSI は、イーサネットあるいは IEEE802.3 の MAC (Media Access Control) 層規格に準拠したイーサネット MAC コントローラ (EtherMAC) を内蔵しています。EtherMAC は、イーサネットコントローラ (EtherC)、イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC)、MII-RMII インタフェース変換回路から構成されています。

EtherC は、上記規格に合致する物理層 LSI (PHY-LSI) と接続することにより、イーサネット / IEEE802.3 フレームの送受信を行うことができます。本 EtherC は MAC 層インタフェースを 1 系統内蔵しています。また、EtherC は、E-DMAC に直結しており、E-DMAC を用いてメモリとの高速アクセスが可能です。

E-DMAC は、バッファ管理の多くの部分をディスクリプタを用いて制御します。このため、CPU の負荷を軽減し、効率の良いデータ送受信制御を行うことができます。

MII-RMII インタフェース変換回路により RMII インタフェースにて PHY との接続を行います。

47.1 特長

(1) EtherC の機能

- イーサネット / IEEE802.3 フレームの送受信
- 10Mbps および 100Mbps 転送への対応
- 全二重モードおよび半二重モード対応
- IEEE802.3u 規格の MII (Media Independent Interface) 対応*
- IEEE802.3x 規格のフロー制御準拠

【注】* 本 LSI では MII での PHY 接続はできません。

(2) E-DMAC の機能

- ディスクリプタ管理方式による CPU 負荷の軽減
- 送受信フレームステータスのディスクリプタへの反映
- ブロック転送 (32 バイト単位) によるシステムバスの効率使用
- シングルフレーム・マルチバッファ方式対応可能

(3) RMII インタフェース

- RMII Rev.1.2 対応のインタフェースで PHY 接続

47.1.1 ブロック図

図 47.1 にイーサネット MAC コントローラのブロック図を、表 47.1 に各ブロックの機能を示します。

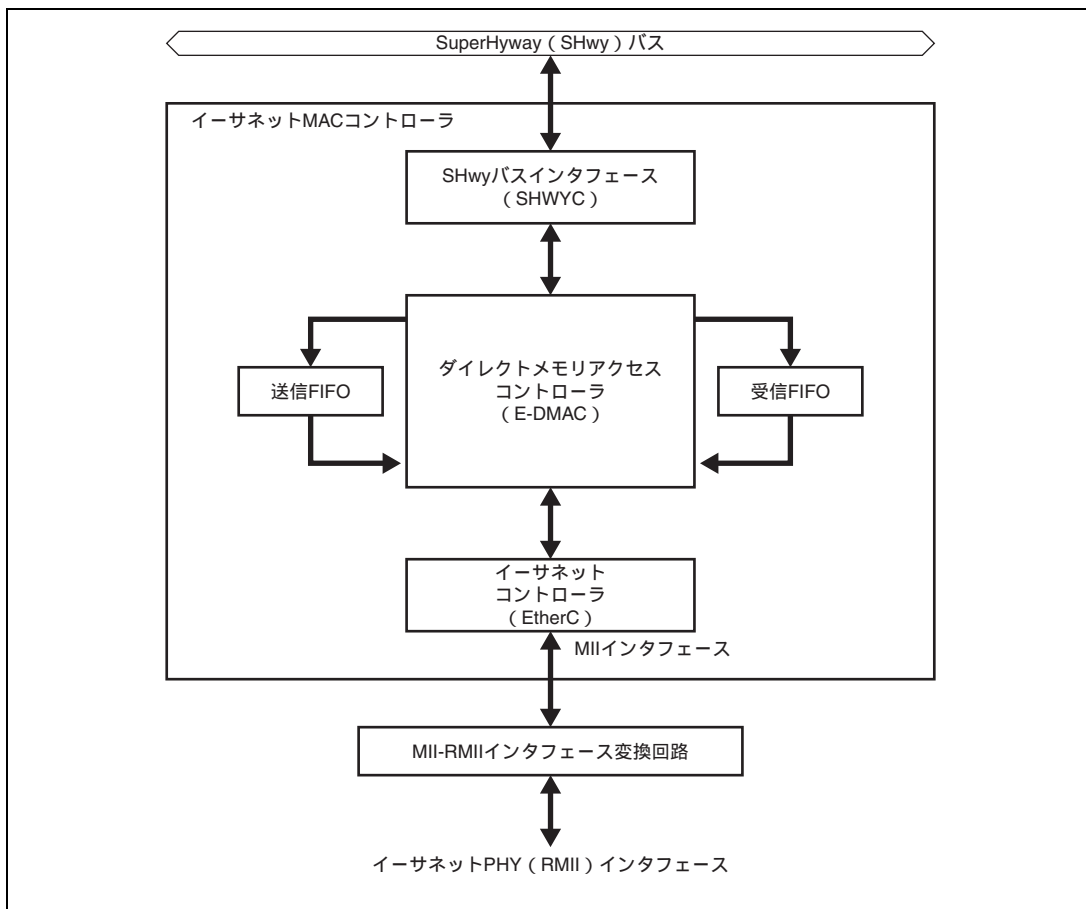


図 47.1 ブロック図

表 47.1 各ブロックの機能

ブロック	機能
SHwy IF 変換 (SHWYC)	<ul style="list-style-type: none"> SHwy イニシエータポートとダイレクトメモリアクセスコントローラの DMA-IF のインタフェース変換
ダイレクトメモリアクセスコントローラ (E-DMAC)	<ul style="list-style-type: none"> イーサネットコントローラの送信および受信データを、メモリ上の送受信バッファと内蔵 FIFO の間での DMA 転送 詳細は「47.5 E-DMAC 動作説明」を参照してください。
イーサネットコントローラ (EtherC)	<ul style="list-style-type: none"> IEEE802.3u の MAC 層規格に準拠 フレーム送受信 10/100Mbps 転送対応 IEEE802.3u 規格の MII (Media Independent Interface) 対応* フロー制御 (IEEE802.3x / バックプレッシャー方式) 詳細は「47.6 EtherC 動作説明」を参照してください。
送信 / 受信 FIFO (TFIFO/RFIFO)	<ul style="list-style-type: none"> ダイレクトメモリアクセスコントローラ用送信 / 受信 FIFO 送信 FIFO 容量 : 2K バイト 受信 FIFO 容量 : 2K バイト
MII-RMII インタフェース変換回路	<ul style="list-style-type: none"> RMII Rev.1.2 インタフェース対応

【注】 * EtherC の出力は MII ですが、MII-RMII 変換後の信号が外部端子にて入出力されます。

47.2 入出力端子

端子構成を表 47.2 に示します。

表 47.2 端子構成

端子名	機能	入出力	説明
LNKSTA	リンクステータス	入力	PHY 出力の LINK 信号入力端子
MDC	管理用データクロック	出力	MDIO による情報転送用の参照クロック信号です。
MDIO	管理用データ	入出力	PHY との間で管理情報を交換するための双方向信号です。
RMII_CRSDV	RMII キャリア検出	入力	RMII キャリア検出信号入力端子です。
RMII_REF_CLK	RMII リファレンスクロック	入力	RMII リファレンスクロック入力端子です。
RMII_RX_ER	RMII 受信エラー	入力	RMII 受信エラー入力端子です。
RMII_RXD0	RMII 受信データ	入力	RMII の 2 ビットの受信データ入力端子です。
RMII_RXD1	RMII 受信データ	入力	RMII の 2 ビットの受信データ入力端子です。
RMII_TX_EN	RMII 送信イネーブル	出力	RMII 送信イネーブル出力端子です。
RMII_TXD0	RMII 送信データ	出力	RMII の 2 ビットの送信データ出力端子です。
RMII_TXD1	RMII 送信データ	出力	RMII の 2 ビットの送信データ出力端子です。

47.3 アドレスマップ

表 47.3 にイーサネット MAC コントローラ内のアドレスマップを示します。

表 47.3 アドレスマップ

アドレス (Hex)	容量 (Byte)	レジスタ
H'A460 0000 ~ H'A460 00FF	256	E-DMAC レジスタ
H'A460 0100 ~ H'A460 01FF	256	EtherC レジスタ
H'A460 0200 ~ H'A460 02FF	256	(Reserved)
H'A460 0300 ~ H'A460 03FF	256	(Reserved)
H'A460 0400 ~ H'A460 04FF	256	(Reserved)
H'A460 0500 ~ H'A460 05FF	256	(Reserved)
H'A460 0600 ~ H'A460 06FF	256	(Reserved)
H'A460 0700 ~ H'A460 07FF	256	(Reserved)
H'A460 0800 ~ H'A460 10FF	63744	(Reserved)

47.4 レジスタの説明

(1) レジスタアクセスにおける注意事項

上位ソフトウェアより本章で定義するレジスタにアクセスする場合、下記の制限および注意事項を守ってください。

1. 本章内各レジスタのビットで、明示的に定義していないビットについては、書き込み時の0を保証し、読み出し時には不定として扱ってください。
2. 各レジスタの属性でライト制限事項「なし」と記述してあるビットについても、未定義ビットは上述の制限に従ってください。

各レジスタは32ビット長で、32ビット単位のアクセスを原則とします。したがって、部分書き込み、部分読み出しはできません。

表 47.4 に E-DMAC レジスタ一覧、表 47.5 に EtherC レジスタ一覧を示します。

表 47.4 E-DMAC レジスタ一覧

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
E-DMAC モードレジスタ	EDMR	R/W	H'A460 0000	32
E-DMAC 送信要求レジスタ	EDTRR	R/W	H'A460 0008	32
E-DMAC 受信要求レジスタ	EDRRR	R/W	H'A460 0010	32
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	R/W	H'A460 0018	32
受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	R/W	H'A460 0020	32
EtherC/E-DMAC ステータスレジスタ	EESR	R/W	H'A460 0028	32
EtherC/E-DMAC ステータス割り込み許可レジスタ	EESIPR	R/W	H'A460 0030	32
送受信ステータスコピー指示レジスタ	TRSCER	R/W	H'A460 0038	32
ミスフレームカウンタレジスタ	RMFCR	R/W	H'A460 0040	32
送信 FIFO しきい値指定レジスタ	TFTR	R/W	H'A460 0048	32
FIFO 容量指定レジスタ	FDR	R/W	H'A460 0050	32
受信方式制御レジスタ	RMCR	R/W	H'A460 0058	32
送信 FIFO アンダランカウントレジスタ	TFUCR	R/W	H'A460 0064	32
受信 FIFO オーバフローカウントレジスタ	RFOCR	R/W	H'A460 0068	32
フロー制御開始 FIFO しきい値設定レジスタ	FCFTR	R/W	H'A460 0070	32
送信割り込み設定レジスタ	TRIMD	R/W	H'A460 007C	32

表 47.5 EtherC レジスタ一覧

レジスタ名称	略称	R/W	アドレス	アクセス サイズ
EtherC モードレジスタ	ECMR	R/W	H'A460 0100	32
受信フレーム長上限レジスタ	RFLR	R/W	H'A460 0108	32
EtherC ステータスレジスタ	ECSR	R/W	H'A460 0110	32
EtherC 割り込み許可レジスタ	ECSIPR	R/W	H'A460 0118	32
PHY 部インタフェースレジスタ	PIR	R/W	H'A460 0120	32
PHY 部ステータスレジスタ	PSR	R	H'A460 0128	32
乱数生成カウンタ上限値レジスタ	RDMLR	R/W	H'A460 0140	32
IPG 設定レジスタ	IPGR	R/W	H'A460 0150	32
自動 PAUSE フレーム設定レジスタ	APR	R/W	H'A460 0154	32
手動 PAUSE フレーム設定レジスタ	MPR	R/W	H'A460 0158	32
受信 PAUSE フレームカウンタレジスタ	RFCF	R	H'A460 0160	32
自動 PAUSE フレーム再送回数設定レジスタ	TPAUSER	R/W	H'A460 0164	32
PAUSE フレーム再送回数カウンタレジスタ	TPAUSECR	R	H'A460 0168	32
MAC アドレス上位設定レジスタ	MAHR	R/W	H'A460 01C0	32
MAC アドレス下位設定レジスタ	MALR	R/W	H'A460 01C8	32
送信リトライオーバーカウンタレジスタ	TROCR	R/W	H'A460 01D0	32
遅延衝突検出カウンタレジスタ	CDCR	R/W	H'A460 01D4	32
キャリア消失カウンタレジスタ	LCCR	R/W	H'A460 01D8	32
キャリア未検出カウンタレジスタ	CNDCR	R/W	H'A460 01DC	32
CRC エラーフレーム受信カウンタレジスタ	CEFCR	R/W	H'A460 01E4	32
フレーム受信エラーカウンタレジスタ	FRECR	R/W	H'A460 01E8	32
64 バイト未満フレーム受信カウンタレジスタ	TSFRCCR	R/W	H'A460 01EC	32
指定バイト超フレーム受信カウンタレジスタ	TLFRCCR	R/W	H'A460 01F0	32
端数ビットフレーム受信カウンタレジスタ	RFCR	R/W	H'A460 01F4	32
マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	R/W	H'A460 01F8	32

47.4.1 E-DMAC モードレジスタ (EDMR)

EDMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC の動作モードを指定します。

本レジスタの設定は、通常リセット後の初期設定時に行います。データ送信中に本レジスタによって EtherC および E-DMAC を初期化すると回線上に異常データを送出する可能性があります。動作モードの設定は、送信と受信機能が有効状態で書き換えることを禁止します。動作モードを切り替えるには、ソフトウェアリセットビット (SWR) により、EtherC および E-DMAC を初期状態に戻してから再設定してください。なお、EtherC および E-DMAC の初期化完了までの所要時間は、内部バスクロックで 64 サイクルです。このため、EtherC および E-DMAC 内のレジスタアクセスは、内部バスクロックで 64 サイクル経過後に行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	DE	DL[1:0]	—	—	—	—	SWRR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	DE	0	R/W	DMA データエンディアン変換 0 : DMA データのエンディアンを変換しません。 1 : DMA データのエンディアンを変換します。 送受信ディスクリプタ、レジスタについてはエンディアン変換しません。
5、4	DL[1:0]	00	R/W	送受信ディスクリプタ長の指定 00 : 16 バイト 01 : 32 バイト 10 : 64 バイト 11 : 設定禁止
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	SWR	0	R/W	E-DMAC、EtherC のソフトウェアリセット 書き込み時 0 : 無効 1 : E-DMAC、EtherC をリセットします。ただし、TDLAR、RDLAR、RMFCR、TFUCR、RFOCR はリセットされません。

47.4.2 E-DMAC 送信要求レジスタ (EDTRR)

EDTRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に送信指示を行います。

1 つのフレームの送信を終了すると、次のディスクリプタを読み込みます。このディスクリプタ内の送信ディスクリプタ有効ビットが有効であれば、送信を続けます。また、送信ディスクリプタ有効ビットが無効な場合は、TR ビットをクリアして送信 DMAC の動作を停止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	TR	0	R/W	送信要求 0 : 送信停止状態。0 を書き込んでも送信は停止しません。送信の終了は、送信ディスクリプタ内の有効ビットで制御します。 1 : 送信開始。該当するディスクリプタを読み込み、送信有効ビットが 1 であるフレームを送信します。

47.4.3 E-DMAC 受信要求レジスタ (EDRRR)

EDRRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に受信指示を行います。

E-DMAC は、受信要求ビットがセットされると、当該受信ディスクリプタを読み込みます。ディスクリプタ内の受信ディスクリプタ有効ビットが有効であれば、EtherC からの受信要求に備えます。受信バッファ分の受信が完了すると、E-DMAC は次のディスクリプタを読み込みフレームの受信に備えます。このとき、ディスクリプタ内の受信ディスクリプタ有効ビットが無効である場合は、RR ビットをクリアして受信 DMAC の動作を停止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	RR	0	R/W	受信要求 0: 受信機能を無効にします。 E-DMAC は、処理中のフレーム受信を完了させた後、受信機能を無効とします。 1: 受信ディスクリプタを読み込み、E-DMAC 受信可能状態にします。 E-DMAC は、受信ディスクリプタリングをアクセスし、受信待ち状態となります。受信完了後の本ビットの動作は、RMCR の設定により異なりますので、RMCR レジスタの定義を参照してください。

47.4.4 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)

TDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信ディスクリプタリストの先頭アドレスを設定します。

各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。送信中に本レジスタを書き換えることは禁止します。本レジスタの書き換えは、E-DMAC 送信要求レジスタ (EDTRR) の TR ビット (=0) による送信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDLA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TDLA[31:0]	H'0000 0000	R/W	送信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : TDLA[3:0] = 0000 32 バイトバウンダリ : TDLA[4:0] = 00000 64 バイトバウンダリ : TDLA[5:0] = 000000 【注】ソフトウェアリセット (EDMR.SWR=1) の場合は、リセットされません。

47.4.5 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)

RDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、受信ディスクリプタリストの先頭アドレスを設定します。

各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。受信中に本レジスタを書き換えることは禁止します。本レジスタの書き換えは、E-DMAC 受信要求レジスタ (EDRRR) の RR ビット (=0) による受信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDLA[31:16]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDLA[15:0]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RDLA[31:0]	H'0000 0000	R/W	受信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ: RDLA[3:0] = 0000 32 バイトバウンダリ: RDLA[4:0] = 00000 64 バイトバウンダリ: RDLA[5:0] = 000000 【注】ソフトウェアリセット (EDMR.SWR=1) の場合は、リセットされません。

47.4.6 EtherC/E-DMAC ステータスレジスタ (EESR)

EESR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC と E-DMAC を合わせた通信ステータスを表示します。

本レジスタは、割り込み要因として報告されます。各ビットは、1 を書き込むことでクリアされます。ただし、ビット 22 (ECI) は読み出し専用で、1 を書き込んでもクリアされません。0 書き込みは、各ビットの状態には影響しません。各割り込み要因は EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) の当該ビットによってマスクすることが可能です。本ステータス要因ごとに、INTC2 に対して割り込みを発生させます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	TWB	—	—	—	TABT	RABT	RFC OF	DMA ER	ECI	TC	TDE	TFUF	FR	RDE	RFE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CND	DLC	CD	TRO	RMAF	—	—	RRF	RTLF	RTSF	PRE	CERF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30	TWB	0	R/W	ライトバック完了 フレーム送信完了後の E-DMAC からの当該ディスクリプタへのライトバックが完了したことを示します。本動作は、TRIMD の TIS ビットが 1 にセットされているときのみ有効です。 0: ライトバック未完了または送信未指示 1: ライトバック完了
29~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
26	TABT	0	R/W	送信中断検出 (本ビットは使用禁止です) フレーム送信時、障害等により EtherC がフレーム送信を中断したことを示します。 0: フレーム送信中断未発生または送信未指示 1: フレーム送信中断発生
25	RABT	0	R/W	受信中断検出 フレーム受信時、障害等により EtherC がフレーム受信を中断したことを示します。 0: フレーム受信中断未発生または受信未指示 1: フレーム受信中断発生

ビット	ビット名	初期値	R/W	説明
24	RFCOF	0	R/W	受信フレームカウンタオーバーフロー 受信 FIFO 内のフレームカウンタがオーバーフローしたことを示します。 0: 受信フレームカウンタがオーバーフローしていない 1: 受信フレームカウンタがオーバーフローした
23	DMAER	0	R/W	DMA 転送エラー E-DMAC が DMA 転送でエラーを検出したことを示します。 0: DMA 転送エラーを検出していない (正常動作) 1: DMA 転送エラーを検出した 【注】DMA 転送エラーが検出されると、E-DMAC は送受信を停止します。 再開するには、EDMR の SWR ビットにより、ソフトウェアリセットをかけてから再設定してください。
22	ECI	0	R	EtherC ステータスレジスタ要因 本ビットは、リード専用です。EtherC にある ECSR の要因がクリアされると、本ビットもクリアされます。 0: EtherC ステータス割り込み要因未検出 1: EtherC ステータス割り込み要因検出
21	TC	0	R/W	フレーム送信完了 送信ディスクリプタによって指定されたデータをすべて EtherC より送信したことを示します。1 フレームの送信が完了した場合、次のディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかった場合に送信完了とみなし、本ビットが 1 となります。フレーム送信完了後は、E-DMAC は転送状態を当該ディスクリプタにライトバックします。 0: 転送未完了または転送未指示 1: 転送完了
20	TDE	0	R/W	送信ディスクリプタ枯渇 フェッチした送信ディスクリプタが無効であったことを示します。ただし、ディスクリプタ内の情報がフレームの最後 / 1 フレームすべてであった直後を除きます。 0: 送信ディスクリプタ有効ビット TACT=1 を検出 1: 送信ディスクリプタ有効ビット TACT=0 を検出
19	TFUF	0	R/W	送信 FIFO アンダフロー フレームを送信中に送信 FIFO にアンダフローが発生したことを示します。回線には、不完全なデータが送出されます。 0: アンダフロー未発生 1: アンダフロー発生
18	FR	0	R/W	フレーム受信 フレームを受信し、受信ディスクリプタを更新したことを示します。本ビットは、1 フレームを受信するたびに 1 にセットされます。 0: フレーム未受信 1: フレーム受信済み

ビット	ビット名	初期値	R/W	説明
17	RDE	0	R/W	受信ディスクリプタ枯渇 受信ディスクリプタ枯渇 (RDE=1) が発生した場合は、当該受信ディスクリプタを RACT=1 に設定し受信起動をかけることで、受信を再開することができます。本要因の発生により、EDRRR.RR が 0 にクリアされます。 0: 受信ディスクリプタ有効ビット RACT=1 を検出 1: 受信ディスクリプタ有効ビット RACT=0 を検出
16	RFOF	0	R/W	受信 FIFO オーバフロー フレームを受信中に受信 FIFO がオーバフローしたことを示します。 0: オーバフロー未発生 1: オーバフロー発生
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	CND	0	R/W	キャリア未検出 (本ビットは使用禁止です) キャリアの検出状態を示します。 0: 送信開始時にキャリア検出 1: キャリア未検出
10	DLC	0	R/W	キャリア消失検出 (本ビットは使用禁止です) フレーム送信中のキャリア消失を検出したことを示します。 0: キャリア消失未検出 1: キャリア消失検出
9	CD	0	R/W	遅延衝突検出 (本ビットは使用禁止です) フレーム送信中に遅延衝突を検出したことを示します。 0: 遅延衝突未検出 1: 遅延衝突検出
8	TRO	0	R/W	送信リトライオーバ (本ビットは使用禁止です) フレーム送信中にリトライオーバが発生したことを示します。これは、EtherC が送信を開始後、バックオフアルゴリズムに基づく 15 回の再送を合わせ全部で 16 回の送信試行に失敗したことを示します。 0: 送信リトライオーバ未検出 1: 送信リトライオーバ検出
7	RMAF	0	R/W	マルチキャストアドレスフレーム受信 0: マルチキャストアドレスフレーム未受信 1: マルチキャストアドレスフレーム受信
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	RRF	0	R/W	端数ビットフレーム受信 0: 端数ビットフレーム未受信 1: 端数ビットフレーム受信

ビット	ビット名	初期値	R/W	説 明
3	RTLFL	0	R/W	ロングフレーム受信エラー EtherC の RFLR で設定した受信フレーム長上限値を超えるバイト数のフレームを受信したことを示します。 0 : ロングフレーム未受信 1 : ロングフレーム受信
2	RTSFL	0	R/W	ショートフレーム受信エラー 64 バイト未満のフレームを受信したことを示します。 0 : ショートフレーム未受信 1 : ショートフレーム受信
1	PRE	0	R/W	PHY-LSI 受信エラー 0 : PHY-LSI 受信エラー未検出 1 : PHY-LSI 受信エラー検出
0	CERFL	0	R/W	受信フレーム CRC エラー 0 : CRC エラー未検出 1 : CRC エラー検出

47.4.7 EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)

EESIPR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC/E-DMAC ステータスレジスタ (EESR) の各ビットに対応する割り込み許可レジスタです。各ビットは、1 書き込みで割り込みが許可されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	TWB IP	—	—	—	TABT IP	RABT IP	RFCOF IP	DMAER IP	ECI IP	TC0 IP	TDE IP	TFUF IP	FR IP	RDE IP	RFE IP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CND IP	DLC IP	CD IP	TRO IP	RMAF IP	—	—	RRF IP	RTL IP	RTSF IP	PRE IP	CERF IP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30	TWBIP	0	R/W	ライトバック完了割り込み許可 0: ライトバック完了割り込み禁止 1: ライトバック完了割り込み許可
29~27	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
26	TABTIP	0	R/W	送信中断検出割り込み許可 (本ビットは使用禁止です) 0: 送信中断検出割り込み禁止 1: 送信中断検出割り込み許可
25	RABTIP	0	R/W	受信中断検出割り込み許可 0: 受信中断検出割り込み禁止 1: 受信中断検出割り込み許可
24	RFCOFIP	0	R/W	受信フレームカウンタオーバーフロー割り込み許可 0: 受信フレームカウンタオーバーフロー割り込み禁止 1: 受信フレームカウンタオーバーフロー割り込み許可
23	DMAERIP	0	R/W	DMA 転送エラー割り込み許可 0: DMA 転送エラー割り込み禁止 1: DMA 転送エラー割り込み許可
22	ECIIP	0	R/W	EtherC ステータスレジスタ要因割り込み許可 0: EtherC ステータス割り込み禁止 1: EtherC ステータス割り込み許可
21	TCIP	0	R/W	フレーム送信完了割り込み許可 0: フレーム送信完了割り込み禁止 1: フレーム送信完了割り込み許可

ビット	ビット名	初期値	R/W	説明
20	TDEIP	0	R/W	送信ディスクリプタ枯渇割り込み許可 0: 送信ディスクリプタ枯渇割り込み禁止 1: 送信ディスクリプタ枯渇割り込み許可
19	TFUFIP	0	R/W	送信 FIFO アンダフロー割り込み許可 0: アンダフロー割り込み禁止 1: アンダフロー割り込み許可
18	FRIP	0	R/W	フレーム受信割り込み許可 0: フレーム受信割り込み禁止 1: フレーム受信割り込み許可
17	RDEIP	0	R/W	受信ディスクリプタ枯渇割り込み許可 0: 受信ディスクリプタ枯渇割り込み禁止 1: 受信ディスクリプタ枯渇割り込み許可
16	RFOFIP	0	R/W	受信 FIFO オーバフロー割り込み許可 0: オーバフロー割り込み禁止 1: オーバフロー割り込み許可
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	CNDIP	0	R/W	キャリア未検出割り込み許可 (本ビットは使用禁止です) 0: キャリア未検出割り込み禁止 1: キャリア未検出割り込み許可
10	DLCIP	0	R/W	キャリア消失検出割り込み許可 (本ビットは使用禁止です) 0: キャリア消失検出割り込み禁止 1: キャリア消失検出割り込み許可
9	CDIP	0	R/W	遅延衝突検出割り込み許可 (本ビットは使用禁止です) 0: 遅延衝突割り込み禁止 1: 遅延衝突割り込み許可
8	TROIP	0	R/W	送信リトライオーバ割り込み許可 (本ビットは使用禁止です) 0: 送信リトライオーバ割り込み禁止 1: 送信リトライオーバ割り込み許可
7	RMAFIP	0	R/W	マルチキャストアドレスフレーム受信割り込み許可 0: マルチキャストアドレスフレーム受信割り込み禁止 1: マルチキャストアドレスフレーム受信割り込み許可
6, 5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	RRFIP	0	R/W	端数ビットフレーム受信割り込み許可 0: 端数ビットフレーム受信割り込み禁止 1: 端数ビットフレーム受信割り込み許可

ビット	ビット名	初期値	R/W	説明
3	RTLFIIP	0	R/W	ロングフレーム受信エラー割り込み許可 0: ロングフレーム受信エラー割り込み禁止 1: ロングフレーム受信エラー割り込み許可
2	RTSFIP	0	R/W	ショートフレーム受信エラー割り込み許可 0: ショートフレーム受信エラー割り込み禁止 1: ショートフレーム受信エラー割り込み許可
1	PREIIP	0	R/W	PHY-LSI 受信エラー割り込み許可 0: PHY-LSI 受信エラー割り込み禁止 1: PHY-LSI 受信エラー割り込み許可
0	CERFIIP	0	R/W	受信フレーム CRC エラー割り込み許可 0: CRC エラー割り込み禁止 1: CRC エラー割り込み許可

47.4.8 送受信ステータスコピー指示レジスタ (TRSCER)

TRSCER は、EtherC/E-DMAC ステータスレジスタの各ビットで報告される、送信および受信ステータス情報を当該ディスクリプタの TFS25 ~ TFS0 および RFS26 ~ RFS0 に反映するか否かを指示します。

本レジスタの各ビットは、EtherC/E-DMAC ステータスレジスタ (EESR) のビット 11 からビット 0 に対応し、各ビットに 0 を設定すると、送信ステータス (EESR のビット 11 からビット 8) は送信ディスクリプタの TFS3 ~ TFS0 ビットに、また受信ステータス (EESR のビット 7 からビット 0) は受信ディスクリプタの RFS7 ~ RFS0 ビットに反映されます。1 を設定すると、該当する要因が発生してもディスクリプタに反映されません。LSI のリセット後は、各ビットは 0 に設定されています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	CND CE	DLC CE	CD CE	TRO CE	RMAF CE	—	—	RRF CE	RTL CE	RTSF CE	PRE CE	CERF CE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	CNDCE	0	R/W	CND ビットコピー指示 0: CND ビットのステータスを送信ディスクリプタの TFS ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS ビットに反映しない。
10	DLCCE	0	R/W	DLC ビットコピー指示 0: DLC ビットのステータスを送信ディスクリプタの TFS ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS ビットに反映しない。
9	CDCE	0	R/W	CD ビットコピー指示 0: CD ビットのステータスを送信ディスクリプタの TFS ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS ビットに反映しない。
8	TROCE	0	R/W	TRO ビットコピー指示 0: TRO ビットのステータスを送信ディスクリプタの TFS ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS ビットに反映しない。

ビット	ビット名	初期値	R/W	説明
7	RMAFCE	0	R/W	RMAF ビットコピー指示 0: RMAF ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。
6、5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	RRFCE	0	R/W	RRF ビットコピー指示 0: RRF ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。
3	RTLFCCE	0	R/W	RTLFC ビットコピー指示 0: RTLFC ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。
2	RTSFCCE	0	R/W	RTSFC ビットコピー指示 0: RTSFC ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。
1	PRECE	0	R/W	PRE ビットコピー指示 0: PRE ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。
0	CERFCE	0	R/W	CERF ビットコピー指示 0: CERF ビットのステータスを受信ディスクリプタの RFS ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタの RFS ビットに反映しない。

47.4.9 ミスドフレームカウンタレジスタ (RMFCR)

RMFCR は、受信時に受信バッファに収容しきれずに廃棄されたフレーム数を示す 16 ビットのカウンタです。

受信 FIFO がオーバーフローすると、この FIFO 内にある受信フレームは廃棄されます。このときに廃棄するフレームの数をカウントアップします。本レジスタの値が H'FFFF になるとカウントアップを停止します。カウンタの値は、本レジスタへの書き込み動作で 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCF[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MFC[15:0]	H'0000	R/W	ミスドフレームカウンタ 受信時に、受信バッファに転送しきれずに廃棄されたフレーム数を示します。 全ビットが 1 (H'FFFF) となった時点でカウントアップを停止します。 【注】ソフトウェアリセット (EDMR.SWR=1) の場合はリセットされません。

47.4.10 送信 FIFO しきい値指定レジスタ (TFTR)

TFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、最初の送信を開始するまでの送信 FIFO のしきい値を指定します。

実際のしきい値は、設定した数値の 4 倍の値に相当します。EtherC は送信 FIFO 内のデータ数が本レジスタで指定されたバイト数を超えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが行われると送信を開始します。なお、本レジスタの設定は、送信停止状態で行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TFT[10:0]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10~0	TFT[10:0]	H'000	R/W	送信 FIFO しきい値 送信 FIFO のしきい値は、必ず FDR で指定した FIFO 容量値より小さい値に設定してください。 H'000 : ストア&フォワードモード H'001 ~ H'00C : 設定禁止 H'00D : 52 バイト H'00E : 56 バイト : : H'1FF : 2044 バイト H'200 : 2048 バイト H'201 ~ H'7FF : 設定禁止

- 【注】
- 1 フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。
 - 2 送受信 FIFO 容量よりも本レジスタの設定値が大きいときの動作は保証しません。

47.4.11 FIFO 容量指定レジスタ (FDR)

FDR は、読み出したり書き込み可能な 32 ビットのレジスタで、送信および受信 FIFO の容量を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TFD[4:0]				—	—	—	RFD[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12~8	TFD[4:0]	00000	R/W	送信 FIFO 容量 送信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。 00000 : 256 バイト 00001 : 512 バイト 00010 : 768 バイト 00011 : 1024 バイト 00100 : 1280 バイト 00101 : 1536 バイト 00110 : 1792 バイト 00111 : 2048 バイト 01000 ~ 11111 : 設定禁止 【注】 EDTRR.TR = 1 のとき、本ビットへの書き込みは無効です。
7~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4~0	RFD[4:0]	00000	R/W	<p>受信 FIFO 容量</p> <p>受信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。</p> <p>00000 : 256 バイト</p> <p>00001 : 512 バイト</p> <p>00010 : 768 バイト</p> <p>00011 : 1024 バイト</p> <p>00100 : 1280 バイト</p> <p>00101 : 1536 バイト</p> <p>00110 : 1792 バイト</p> <p>00111 : 2048 バイト</p> <p>01000 ~ 11111 : 設定禁止</p> <p>【注】 EDRRR.RR = 1 のとき、本ビットへの書き込みは無効です。</p>

【注】 送受信 FIFO 容量よりも本レジスタの設定値が大きいときの動作は保証しません。

47.4.12 受信方式制御レジスタ (RMCR)

RMCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、フレームを受信するときの EDRRR の RR ビットの制御方法を指定します。なお、本レジスタの設定は、受信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RNC	RNR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
1	RNC	0	R/W	受信起動ビットのリセットモード 0: nop 1: ソフトウェアによる EDRRR の受信起動ビット (EDRRR.RR) のリセットを可能にします。受信ディスクリプタの RACT ビットが 0 の場合 (受信ディスクリプタが空の状態) でも、受信起動ビット (EDRRR.RR) はリセットされずに、受信ディスクリプタが取り込まれて受信フレームの DMA 転送を継続します。
0	RNR	0	R/W	受信起動ビットリセット 0: EDRRR の受信起動ビット (EDRRR.RR) は、1 フレームの受信が完了したときハードウェアでセルフクリアします。1 フレーム単位の制御が可能です。後続の受信フレームを受信する場合は、再度 EDRRR の受信起動ビットを設定する必要があります。 1: EDRRR の受信起動ビット (EDRRR.RR) は、上位ソフトウェアにより制御します。受信起動ビット (EDRRR.RR) に 1 書き込み後は、EDRRR.RR に 0 書き込みを行うまでハードウェアが自動的に受信ディスクリプタのフェッチを行いフレームを受信します。複数フレームを連続で受信可能となります。連続受信を行う場合は、受信起動ビットリセットを 1 に設定することを推奨します。ただし、受信ディスクリプタ枯渇を検出した場合は、ハードウェアで EDRRR.RR をセルフクリアします。

47.4.13 送信 FIFO アンダランカウントレジスタ (TFUCR)

送信 FIFO が、アンダランした回数を示すレジスタです。カウンタの値は、本レジスタへの書き込み動作で 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UNDER[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	UNDER [15:0]	H'0000	R/W	送信 FIFO アンダフロー数 送信 FIFO におけるアンダフローが発生した回数が設定されます。 カウンタ値が H'FFFF になったら停止します。

47.4.14 受信 FIFO オーバフローカウントレジスタ (RFOCR)

受信 FIFO が、オーバフローした回数を示すレジスタです。カウンタの値は、本レジスタへの書き込み動作で 0 クリアされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVER[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	OVER[15:0]	H'0000	R/W	受信 FIFO オーバフロー数 受信 FIFO におけるオーバフローが発生した回数が設定されます。 カウンタ値が H'FFFF になったら停止します。

47.4.15 フロー制御開始 FIFO しきい値設定レジスタ (FCFTR)

FCFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC のフロー制御の設定 (自動 PAUSE 送信のしきい値設定) を行います。

受信 FIFO データ容量 (RFDO[2:0])、受信フレーム数 (RFFO[2:0]) によるしきい値を設定できます。受信 FIFO データ容量しきい値判定、および受信フレーム数しきい値判定の論理和を条件として、フロー制御を開始します。

RFDO の設定条件によりフロー制御をオンにすると、FIFO 容量設定レジスタ (FDR) で設定した受信 FIFO 容量値と同じ設定である場合は、(FIFO データ容量 - 64) バイトでフロー制御をオンにします。たとえば、FDR の RFD=1、FCFTR の RFDO=1 の場合は、受信 FIFO 内に (512 - 64) バイトのデータを格納されたとき、フロー制御がオンになります。なお、本レジスタの RFDO の設定値は、FDR の RFD の設定値と同じか小さい値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFFO[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFDO[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~19	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18~16	RFFO[2:0]	111	R/W	受信フレーム数オーバーフロー-BSY 送出しきい値 000 : 2 フレーム格納完了時送出 001 : 4 フレーム格納完了時送出 010 : 6 フレーム格納完了時送出 : : 110 : 14 フレーム格納完了時送出 111 : 16 フレーム格納完了時送出
15~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	RFDO[2:0]	111	R/W	受信 FIFO オーバフローBSY 送出しきい値 000 : 224 (256 - 32) バイト格納時送出 001 : 480 (512 - 32) バイト格納時送出 010 : 736 (768 - 32) バイト格納時送出 : : 110 : 1760 (1792 - 32) バイト格納時送出 111 : 2016 (2048 - 32) バイト格納時送出 【注】FDR.RFD の設定値と同じ値を設定した場合は、- 32 バイトではなく - 64 バイトでビジーを送出します。

47.4.16 送信割り込み設定レジスタ (TRIMD)

TRIMD は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信動作時にフレームごとのライトバック完了を EESR の TWB ビットおよび割り込みにて通知するかどうかを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TIM	—	—	—	TIS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	TIM	0	R/W	送信割り込みモード 0: 毎送信フレームモード 送信フレーム毎ライトバック完了時に割り込み。 1: 割り込みモード 送信ディスクリプタ TWBI ビット設定ディスクリプタのライトバック完了時に割り込み。
3~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	TIS	0	R/W	送信割り込み設定 0: 割り込み未設定 TIM ビットで指定したモードでの割り込み通知を行わない。 TIS ビット = 0 のとき、TIM ビットの設定は無効 1: 割り込み設定 TIM ビットで指定したモードで EESR の TWB ビットを 1 とし割り込み通知を行う。

47.4.17 EtherC モードレジスタ (ECMR)

ECMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、イーサネットコントローラの動作モードを指定するレジスタです。通常、本レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。動作モードを切り替える場合は、EDMR の SWR ビットにより、EtherC および E-DMAC を初期状態に戻してから再設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	TPC	ZPF	PFR	RXF	TXF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	PRC EF	—	—	—	—	—	RE	TE	RTM	ILB	—	DM	PRM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20	TPC	0	R/W	PAUSE フレーム送信 0 : PAUSE 期間中には PAUSE フレームを送信する。 1 : PAUSE 期間中でも PAUSE フレームを送信しない。
19	ZPF	0	R/W	0 time PAUSE フレーム使用許可 0 : TIME パラメータが 0 の PAUSE フレーム制御を無効にする。 Timer 値の示す時間が経過するまで、次のフレーム送信を行いません。 Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、PAUSE フレームを破棄します。 1 : TIME パラメータが 0 の PAUSE フレーム制御を有効にする。 Timer 値の示す時間が経過していない状態で、受信 FIFO のデータ量が FCFTR 設定値未満になると Timer 値が 0 の自動 PAUSE フレームを送信します。Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、送信待ち状態を解除します。
18	PFR	0	R/W	PAUSE フレーム受信モード 0 : PAUSE フレームを E-DMAC へ転送しない。 1 : PAUSE フレームを E-DMAC へ転送する。
17	RXF	0	R/W	受信系フロー制御動作モード 0 : PAUSE フレームの検出機能が無効になる。 1 : 受信系のフロー制御機能が有効になる。

ビット	ビット名	初期値	R/W	説明
16	TXF	0	R/W	送信系フロー制御動作モード 0: PAUSE フレームの検出機能が無効になる。 (自動 PAUSE フレームは送信されません) 1: 送信系のフロー制御機能が有効になる。 (必要に応じて自動 PAUSE フレームが送信されます)
15~13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	PRCEF	0	R/W	CRC エラーフレーム受信許可 0: CRC エラーとなった受信フレームをエラーとする。 1: CRC エラーとなった受信フレームをエラーとしない。
11~7	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
6	RE	0	R/W	受信許可 本ビットを受信機能有効 (RE = 1) から無効 (RE = 0) としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。 0: 受信機能を無効にする。 1: 受信機能を有効にする。
5	TE	0	R/W	送信許可 本ビットを送信機能有効 (TE = 1) から無効 (TE = 0) としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。 0: 送信機能を無効にする。 1: 送信機能を有効にする。
4	RTM	0	R/W	転送レート設定 MII-RMII 変換回路への転送レート指定ビットです。 0: 10 Mbps 1: 100 Mbps
3	ILB	0	R/W	内部ループバックモード EtherC 内部でのループバックモードを指定します。 0: 通常のデータ送受信を行う。 1: DM = 1 のとき、EtherC 内の MAC 内部でのデータの折り返しを行う。
2	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	DM	0	R/W	デュプレックスモード EtherC の転送方式を指示します。 0: 半二重転送方式を指定する。 1: 全二重転送方式を指定する。 0 のとき、EtherC 内部ループバックモード (ILB=1) は設定禁止

ビット	ビット名	初期値	R/W	説明
0	PRM	0	R/W	<p>プロミスキャスモード</p> <p>本ビットを設定すると、すべてのイーサネットフレームを受信することができます。このときすべてのイーサネットフレームとは、宛先アドレス、ブロードキャストアドレス、マルチキャストビットなどの相違や有無にかかわらず、受信可能なすべてのフレームを表します。</p> <p>0 : EtherC は通常動作を行う。</p> <p>1 : EtherC はプロミスキャスモード動作を行う。</p>

47.4.18 受信フレーム長上限レジスタ (RFLR)

RFLR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、本 LSI が受信することのできる最大フレーム長をバイト単位で指定します。本レジスタは、受信機能が有効な状態での書き換えを禁止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	RFL[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
11~0	RFL[11:0]	H'000	R/W	<p>受信フレームデータ長</p> <p>ここでのフレームデータは、宛先アドレスから CRC データまでを含んだ範囲となりますが、実際には、宛先アドレスからデータまでがメモリ上に転送されます。CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは廃棄されます。</p> <p>H'000 ~ H'5EE : 1,518 バイト</p> <p>H'5EF : 1,519 バイト</p> <p>H'5F0 : 1,520 バイト</p> <p> :</p> <p>H'7FF : 2,047 バイト</p> <p>H'800 ~ H'FFF : 2,048 バイト</p>

47.4.19 EtherC ステータスレジスタ (ECSR)

ECSR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC 内のステータスを表示するレジスタです。本ステータスは、割り込みによって CPU に通知することが可能です。PSRTO、LCHNG、ICD ビットに 1 を書き込むと、対応するフラグをクリアできます。0 を書き込んだ場合は、フラグに影響を与えません。また、割り込みを発生するビットは、ECSIPR レジスタの対応するビットによって割り込みを許可または禁止することができます。

本ステータスレジスタが要因で発生する割り込みは、E-DMAC の EESR レジスタ ECI ビットに反映されます。本ステータス要因ごとに INTC2 に対して割り込みを発生させます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PSRTO	—	LCHNG	—	ICD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	PSRTO	0	R/W	PAUSE フレーム再送リトライオーバ フロー制御を用いる際の PAUSE フレームの再送において、再送回数が自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER) に設定した再送上限値を超えたことを表します。 0 : PAUSE フレーム再送回数が上限値を超えていない。 1 : PAUSE フレーム再送回数が上限値を超えた。
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	LCHNG	0	R/W	リンク信号変化 PHY-LSI から入力される Ether_LINK 信号が、ハイレベルからローレベルにあるいはローレベルからハイレベルに変化したことを表します。 現在の Link 状態を確認するには、PHY 部ステータスレジスタ (PSR) の LMON ビットを参照してください。 0 : Ether_LINK 信号の変化を検出していない。 1 : Ether_LINK 信号の変化 (ハイレベルからローレベルあるいはローレベルからハイレベル) を検出した。
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
0	ICD	0	R/W	不正キャリア検出 回線上で PHY-LSI が不正なキャリアを検出したことを表します。すなわち、PHY-LSI から本 LSI へ通知される信号が RX-DV=0 かつ RX-ER=1 かつ RXD[3:0]=B'1110 の組み合わせとなった場合、本ビットがセットされます。 ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。 0 : PHY-LSI は、回線上で不正キャリアを検出していません。 1 : PHY-LSI は、回線上で不正キャリアを検出した。

47.4.20 EtherC 割り込み許可レジスタ (ECSIPR)

ECSIPR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、ECSR レジスタによって報告される割り込み要因の許可を指示します。各ビットは、ECSR のビットに対応する割り込みを許可することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PSRT OIP	—	LCHN GIP	—	ICDIP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	PSRTOIP	0	R/W	Pause フレーム再送リトライオーバー割り込み許可ビット 0 : PSRTO の割り込み通知を禁止 1 : PSRTO の割り込み通知を許可
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	LCHNGIP	0	R/W	リンク信号変化割り込み許可ビット 0 : LCHNG の割り込み通知を禁止 1 : LCHNG の割り込み通知を許可
1	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	ICDIP	0	R/W	不正キャリア検出割り込み許可ビット 0 : ICD の割り込み通知を禁止 1 : ICD の割り込み通知を許可

47.4.21 PHY 部インタフェースレジスタ (PIR)

PIR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、MII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	MDI	MDO	MMD	MDC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	—	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	MDI	不定	R	MII マネジメントデータイン MDIO 端子のレベルを表します。
2	MDO	0	R/W	MII マネジメントデータアウト MMD ビットが 1 のとき、本ビットに設定された値を MDIO 端子より出力します。
1	MMD	0	R/W	MII マネジメントモード MII とのデータのリード/ライト方向を規定します。 0: リード方向を規定 1: ライト方向を規定
0	MDC	0	R/W	MII マネジメントデータクロック 本ビットに設定された値を MDC 端子より出力し、MII へのマネジメントデータクロックを供給します。

47.4.22 PHY 部ステータスレジスタ (PSR)

PSR は、読み出し専用のレジスタで、PHY-LSI からのインタフェース信号を読み込むことができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LMON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	LMON	不定	R	Ether_LINK 端子状態 Ether_LINK 端子に PHY-LSI から出力される Link 信号を接続することによって、Link 状態を読み込むことができます。極性については、接続する PHY-LSI の仕様を参照してください。

47.4.23 乱数生成カウンタ上限値設定レジスタ (RDMLR)

RDMLR は乱数生成部で使用しているカウンタの上限値を設定することができるレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RMD[19:16]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMD[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
19~0	RMD[19:0]	H'0 0000	R/W	乱数生成部で使用しているカウンタの上限値 H'00000 : 通常の動作での設定値です。 H'00001 ~ H'FFFFE : カウンタの上限値がこの設定値になります。

【注】 このレジスタは、EtherC の乱数生成部の動作が変わるため、0 以外を設定する場合は、注意してください。

47.4.24 IPG 設定レジスタ (IPGR)

IPGR は、IPG (InterPacketGap) の値を設定するレジスタです。EtherC モードレジスタ (ECMR) の送受信機能が有効な状態での書き換えは、禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	IPG[4:0]				—
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4~0	IPG[4:0]	H'14	R/W	Inter Packet Gap 4ビット時間ごとにIPG値を設定します。 H'00~06: 40ビット時間 H'07: 44ビット時間 : : H'14: 96ビット時間 : : H'1F: 140ビット時間

47.4.25 自動 PAUSE フレーム設定レジスタ (APR)

APR は、自動 PAUSE フレームの TIME パラメータ値を設定します。

自動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AP[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15~0	AP[15:0]	H'0000	R/W	自動 PAUSE 自動 PAUSE フレームの TIME パラメータ値を設定します。このとき1ビットは、512ビット時間を表します。

47.4.26 手動 PAUSE フレーム設定レジスタ (MPR)

MPR は、手動 PAUSE フレームの TIME パラメータ値を設定します。

手動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MP[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	不定	W	リザーブビット 読み出すと常に不定が読み出されます。書き込み時は常に0にしてください。
15~0	MP[15:0]	不定	W	手動 PAUSE 手動 PAUSE フレームの TIME パラメータ値を設定します。このとき1ビットは、512ビット時間を表します。読み出すと不定値が読み出されます。

47.4.27 受信 PAUSE フレームカウンタレジスタ (RFCF)

RFCF は PAUSE フレームの受信カウンタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	—	RPAUSE[7:0]								—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7~0	RPAUSE [7:0]	H'00	R	PAUSE フレームの受信回数

47.4.28 自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)

TPAUSER は、自動 PAUSE フレームの再送回数の上限値を設定します。本レジスタは、送信機能が有効な状態での書き換えを禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPAUSE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	TPAUSE [15:0]	H'0000	R/W	自動 PAUSE フレーム再送回数上限値 H'0000 : 再送回数無制限 H'0001 : 再送回数は、1 回 : : H'FFFF : 再送回数は、65,535 回

47.4.29 PAUSE フレーム再送回数カウンタレジスタ (TPAUSECR)

TPAUSECR は PAUSE フレームの再送回数を示すカウンタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	—	—	—	—	—	—	—	TXP[7:0]								—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R		

ビット	ビット名	初期値	R/W	説明
31~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7~0	TXP[7:0]	H'00	R	PAUSE フレームの受信回数

47.4.30 MAC アドレス上位設定レジスタ (MAHR)

MAHR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの上位 32 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。EDMR の SWR ビットにより EtherC および E-DMAC を初期状態に戻してから再設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MA[47:32]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MA[47:16]	H'0000 0000	R/W	MAC アドレスビット 47~16 MAC アドレスの上位 32 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'01234567 を設定します。

47.4.31 MAC アドレス下位設定レジスタ (MALR)

MALR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの下位 16 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信または受信機能が有効な状態で書き換えることを禁止します。EDMR の SWR ビットにより EtherC および E-DMAC を初期状態に戻してから再設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MA[15:0]	H'0000	R/W	MAC アドレスビット 15~0 MAC アドレスの下位 16 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'89AB を設定します。

47.4.32 送信リトライオーバカウンタレジスタ (TROCR)

TROCR は、送信時に再送を合わせて 16 回の試行で送信できなかったフレーム数を示す 32 ビットのカウンタです。送信を 16 回失敗すると、本レジスタは 1 カウントアップします。本レジスタの値が、H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TROCR[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TROCR[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TROC[31:0]	H'0000 0000	R/W	送信リトライオーバカウンタ 送信時に、再送を合わせて 16 回の試行で送信できなかったフレームのカウンタ数を表します。

47.4.33 遅延衝突検出カウンタレジスタ (CDCR)

CDCR は、送信開始以降すべての回線上的遅延衝突回数を示す 32 ビットのカウンタで、H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	COSDC[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COSDC[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	COSDC [31:0]	H'0000 0000	R/W	遅延衝突検出カウンタ 送信開始からのすべての遅延衝突の回数を表します。

47.4.34 キャリア消失カウンタレジスタ (LCCR)

LCCR は、データの送信中にキャリアが消失した回数を示す 32 ビットのカウンタで、H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LCC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	LCC[31:0]	H'0000 0000	R/W	消失キャリアカウンタ データ送信中に消失したキャリアのカウンタ数を表します。

47.4.35 キャリア未検出カウンタレジスタ (CNDCR)

CNDCR は、プリアンプルを送出中にキャリアを検出できなかった回数を示す 32 ビットのカウンタで、H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNDC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNDC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CNDC[31:0]	H'0000 0000	R/W	キャリア未検出カウンタ 未検出キャリアのカウンタ数を表します。

47.4.36 CRC エラーフレーム受信カウンタレジスタ (CEFCR)

CEFCR は、CRC エラーとなったフレームの受信回数を示す 32 ビットのカウンタで、H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CEFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	CEFC[31:0]	H'0000 0000	R/W	CRC エラーフレームカウント CRC エラーとなったフレームを受信したカウント数を表します。

47.4.37 フレーム受信エラーカウンタレジスタ (FRECR)

FRECR は、PHY-LSI から入力される RX-ER 端子により受信エラーとなったフレームの個数を示す 32 ビットのカウンタです。RX-ER 端子がアクティブになるごとに 1 カウントアップします。本レジスタの値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FRECR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRECR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	FRECR[31:0]	H'0000 0000	R/W	フレーム受信エラーカウント フレームを受信中にエラーとなったカウント数を表します。

47.4.38 64 バイト未満フレーム受信カウンタレジスタ (TSFRCR)

TSFRCR は、64 バイト未満のフレームを受信したことを示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TSFC[31:0]	H'0000 0000	R/W	64 バイト未満フレーム受信カウンタ 64 バイト未満のフレームを受信したカウント数を表します。

47.4.39 指定バイト超フレーム受信カウンタレジスタ (TLFRCR)

TLFRCR は、受信フレーム長上限レジスタ (RFLR) で指定した値を超えるフレームを受信したことを示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFF になるとカウントアップを停止します。端数ビットを含むフレームを受信した場合は、本レジスタはカウントアップしません。この場合は、端数ビットフレーム受信カウンタレジスタ (RFCR) に反映されます。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TLFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TLFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TLFC[31:0]	H'0000 0000	R/W	指定バイト超フレーム受信カウンタ RFLR の値を超えるフレームを受信したカウント数を表します。

47.4.40 端数ビットフレーム受信カウンタレジスタ (RFCR)

RFCR は、8 ビットに満たない端数ビットデータを含むフレームを受信したことを示す 32 ビットのカウンタで、H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	RFC[31:0]	H'0000 0000	R/W	端数ビットフレーム受信カウンタ 端数ビットデータを含むフレームを受信したカウント数を表します。

47.4.41 マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)

MAFCR は、マルチキャストアドレスを指定するフレームを受信したことを示す 32 ビットのカウンタで、H'FFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MAFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MAFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~0	MAFC[31:0]	H'0000 0000	R/W	マルチキャストアドレスフレームカウンタ マルチキャストフレームを受信したカウント数を表します。

47.5 E-DMAC 動作説明

E-DMAC は、EtherC と接続され、送受信データを CPU の介在なく効率的な転送をメモリ (バッファ) との間で行います。E-DMAC は、各バッファと対応したディスクリプタと呼ぶバッファポインタなどを格納した制御情報を見ずから読み込みます。この制御情報に従って送信データを送信バッファから読み込み、受信データは受信バッファにライトします。このディスクリプタを複数個連続して配置 (ディスクリプタリスト) することで、送信ならびに受信を連続して実行できます。

47.5.1 ディスクリプタリストとデータバッファ

通信プログラムは、送受信の開始に先立って、メモリ上に送信および受信の各ディスクリプタリストを作成します。そしてこのリストの先頭アドレスを、送信または受信ディスクリプタリスト先頭アドレスレジスタに設定します。

ディスクリプタの開始アドレスの設定は、E-DMAC モードレジスタ (EDMR) で設定したディスクリプタ長に従ったアドレス境界に設定してください。送信バッファの開始アドレスの設定は、ロングワードを境界として設定する必要はなく、ワード境界、バイト境界として設定しても構いません。

(1) 送信ディスクリプタ

図 47.2 に送信ディスクリプタと送信バッファの関係を示します。本ディスクリプタの指示により、送信フレームと送信バッファの構成を 1 フレーム / 1 バッファまたは 1 フレーム / マルチバッファのように関連づけることが可能です。

送信バッファ長 (TBL) 1~16 バイトの指定を行う際は、バッファアドレスは 32 バイト境界にする必要があります。なお、送信バッファ長 (TBL) 0 バイトの指定の動作は保証されません。

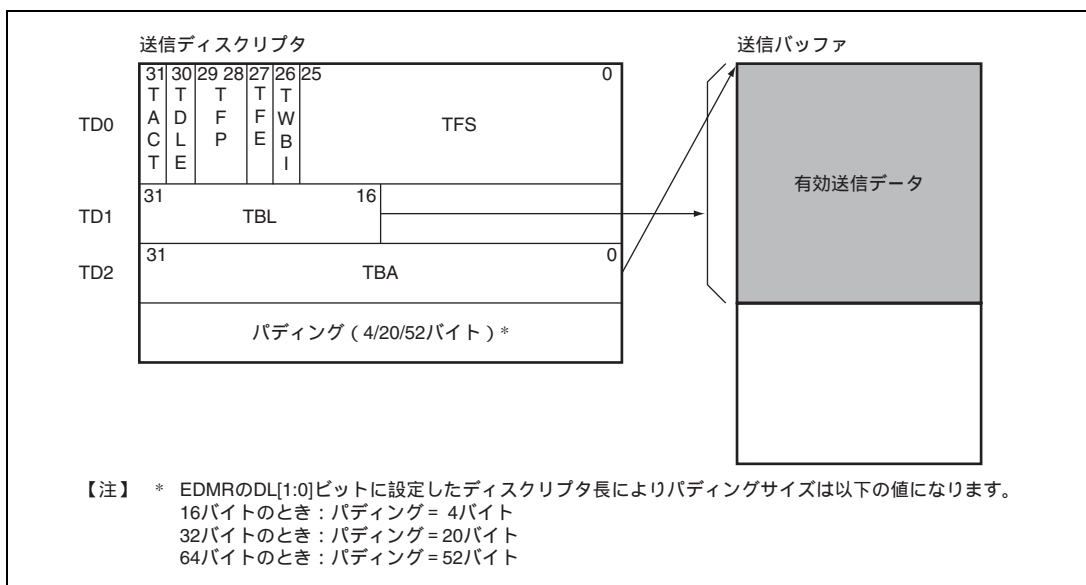


図 47.2 送信ディスクリプタと送信バッファの関係

(a) 送信ディスクリプタ 0 (TD0)

TD0 は、送信フレームのステータスを示します。これによりフレーム送信状態を連絡します。

(ライトバックするビットを下線で示します。)

ビット	ビット名	初期値	R/W	説明
<u>31</u>	TACT	0	R/W	送信ディスクリプタ有効 当該ディスクリプタが有効であることを示します。このビットはソフトウェアによってセット (=1) され、送信フレームを転送完了したとき、または何らかの要因により送信がアポートされたときにハードウェアによりクリア (=0) されます。
30	TDLE	0	R/W	送信ディスクリプタリング最終 セット (=1) 時、当該ディスクリプタが送信ディスクリプタリングの最終であることを示します。
29, 28	TFP[1:0]	00	R/W	送信フレーム内位置 送信バッファと送信フレームの関連づけを行います。 00 ~ 10 : 設定禁止 11 : 本ディスクリプタで指示する送信バッファの内容が 1 フレームに相当する (1 フレーム / 1 バッファ) 【注】本ビットは、11 に設定してください。
<u>27</u>	TFE	0	R/W	送信フレームエラー セット (=1) 時、TFS にエラーがあることを示します (TFS7 ~ TFS0 については、TRSCER により本ビットのセットをマスク可能。ただし、TFS7 ~ TFS0 の要因が TFS8 もセットさせる場合はマスクできません)。 1 : フレーム受信中断発生
26	TWBI	0	R/W	ライトバック完了後割り込み指示 (TRIMD の設定により有効となります。) 0 : nop 1 : 本ディスクリプタへのライトバック完了後、割り込みます。
<u>25~0</u>	TFS	すべて 0	R/W	送信フレームステータス TFS25 ~ 9 [予約 (書き込み時は 0 としてください)] : TFS8 [送信アポート検出] : セット (=1) 時、フレーム送信中にアポート信号がセット (=1) されたことを示します (TFE セット要因)。 TFS7 ~ 4 [予約 (書き込み時は 0 としてください)]、 TFS3 [ノーキャリア検出 (EESR の CND ビットに相当)]、 TFS2 [キャリア消失検出 (EESR の DLC ビットに相当)]、 TFS1 [送信中の遅延衝突検出 (EESR の CD ビットに相当)]、 TFS0 [送信リトライオーバーパ (EESR の TRO ビットに相当)] : セット (=1) 時、フレーム送信中に TFS8 ~ 1 がセット (=1) されたことを示します (TFE セット要因ですが、TRSCER により設定可能)。

(b) 送信ディスクリプタ 1 (TD1)

TD1 は、送信バッファ長を示します。

ビット	ビット名	初期値	R/W	説明
31~16	TBL	すべて 0	R/W	送信バッファ長 対象となる送信バッファの有効バイト長を示します。
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

(c) 送信ディスクリプタ 2 (TD2)

TD2 は、当該送信バッファの先頭アドレスを示します。

ビット	ビット名	初期値	R/W	説明
31~0	TBA	すべて 0	R/W	送信バッファアドレス 送信バッファの先頭アドレスを示します。

(2) 受信ディスクリプタ

図 47.3 に受信ディスクリプタと受信バッファの関係を示します。受信バッファのアドレスは 32 バイトバウンダリで設定してください。

受信バッファ長 (RBL) 0 のディスクリプタ指定の動作は保証されません。

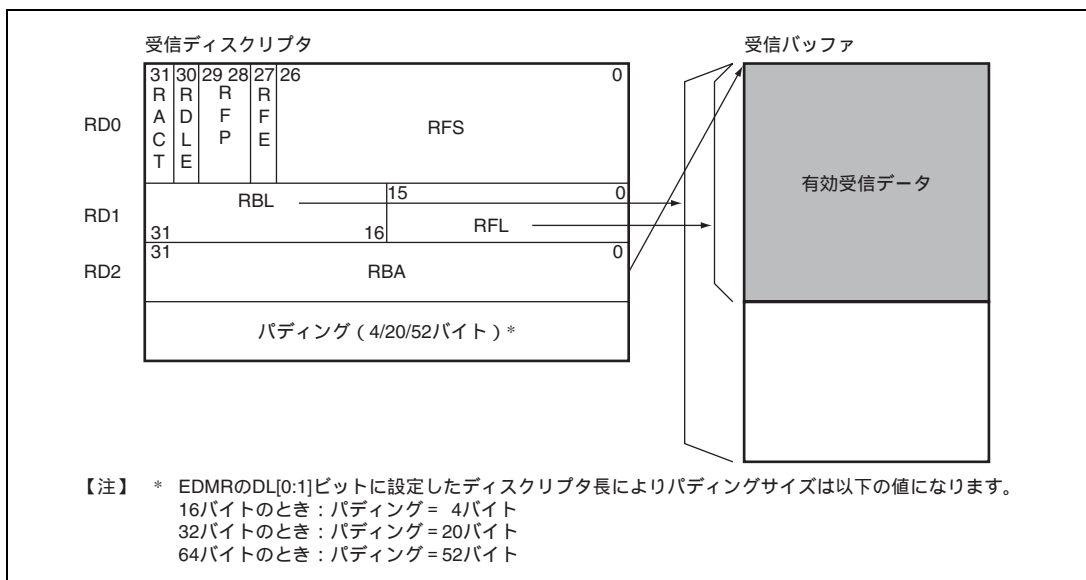


図 47.3 受信ディスクリプタと受信バッファの関係

(a) 受信ディスクリプタ 0 (RD0)

RD0 は、受信フレームのステータスを示します。これによりフレーム受信状態を連絡します。

(ライトバックするビットを下線で示します。)

ビット	ビット名	初期値	R/W	説明
<u>31</u>	RACT	0	R/W	受信ディスクリプタ有効 当該ディスクリプタが有効であることを示します。このビットはソフトウェアによってセット (=1) され、受信フレームを RD2 で示されるバッファアドレスに転送し、フレームすべてを転送完了したとき、または受信バッファがいっぱいになった場合にハードウェアによりクリア (=0) されます。
30	RDLE	0	R/W	受信ディスクリプタリング最終 セット (=1) 時、当該ディスクリプタが受信ディスクリプタリングの最終であることを示します。
<u>29, 28</u>	RFP	00	R/W	受信フレーム内位置 受信バッファと受信フレームの関連づけを行います。 00: 本ディスクリプタで指示する受信バッファのフレーム受信を継続する (フレームを完結しない) 01: 本ディスクリプタで指示する受信バッファはフレームの最後を含む (フレームを完結する) 10: 本ディスクリプタで指示する受信バッファはフレームの先頭である (フレームを完結しない) 11: 本ディスクリプタで指示する受信バッファの内容が 1 フレームに相当する (1 フレーム / 1 バッファ)
<u>27</u>	RFE	0	R/W	受信フレームエラー セット (=1) 時、RFS にエラーがあることを示します。 (RFS のビット 7 ~ ビット 0 については、TRSCER により本ビットのセットをマスク可能。ただし、RFS の RFS7 ~ RFS0 の要因が RFS8 もセットさせる場合はマスクできません。)

ビット	ビット名	初期値	R/W	説明
<u>26~0</u>	RFS	すべて 0	R/W	受信フレームステータス RFS26~10 [予約 (書き込み時は 0 としてください)] : RFS9 [受信 FIFO オーバフロー (EESR の RFOF ビットに相当)] : セット (=1) 時、受信 FIFO オーバフローにより、途中で切断されたフレームがライトバックされたことを示します (RFE セット要因)。 RFS8 [受信アボート検出] : セット (=1) 時、フレーム受信中にアボート信号がセット (=1) されたことを示します (RFE セット要因)。 RFS7 [マルチキャストアドレスフレームを受信 (EESR の RMAF ビットに相当)]、 RFS6、5 [予約 (書き込み時は 0 としてください)]、 RFS4 [端数ビットフレーム受信エラー (EESR の RRF ビットに相当)]、 RFS3 [ロングフレーム受信エラー (EESR の RTLF ビットに相当)]、 RFS2 [ショートフレーム受信エラー (EESR の RTSF ビットに相当)]、 RFS1 [PHY-LSI 受信エラー (EESR の PRE ビットに相当)]、 RFS0 [受信フレーム CRC エラー検出 (EESR の CERF ビットに相当)] : セット (=1) 時、フレーム受信中に RFS8~1 がセット (=1) されたことを示します (RFE セット要因ですが、TRSCER により設定可能)。

(b) 受信ディスクリプタ 1 (RD1)

RD1 は、受信バッファ長を示します。

(ライトバックするビットを下線で示します。)

ビット	ビット名	初期値	R/W	説明
31~16	RBL	すべて 0	R/W	受信バッファ長 対象となる受信バッファのバイト長を示します。 バッファ長は 32×n の大きさに設定してください。
<u>15~0</u>	RFL	すべて 0	R/W	受信フレーム長 バッファ内に格納された受信フレームの長さ (バイト数) を示します。 フレームの最後を含むディスクリプタにライトバックされます。

(c) 受信ディスクリプタ 2 (RD2)

RD2 は、当該受信バッファの先頭アドレスを示します。

ビット	ビット名	初期値	R/W	説明
31~0	RBA	すべて 0	R/W	受信バッファアドレス 受信バッファの先頭アドレスを示します。 バッファアドレスは 32 バイト境界に設定してください。

47.5.2 送信機能

送信機能が有効で、E-DMAC 送信要求レジスタ (EDTRR) の送信要求ビット (TR) をセットすると、E-DMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初期状態では送信ディスクリプタ先頭アドレスレジスタ (TDLAR) で示すディスクリプタ) を読み込みます。読み込んだディスクリプタの TACT ビットが有効な場合は、E-DMAC は TD2 で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出して EtherC に転送します。EtherC は送信フレームを作成し MII に向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分の DMA 転送後、TFP の値によって以下のような処理を行います。

- TFP = B'00 または B'10 (フレーム継続) :
DMA 転送後、ディスクリプタのライトバック (TACT ビットのみ) を行います。
- TFP = B'01 または B'11 (フレーム終了) :
フレームの送信完了後、ディスクリプタのライトバック (TACT ビットおよびステータス) を行います。

読み込んだディスクリプタの TACT ビットが有効な間は、E-DMAC はディスクリプタの読み込みとフレームの送信を継続します。TACT ビットが無効なディスクリプタを読み込むと、E-DMAC は EDTRR の TR ビットをリセットして送信処理を完了します。

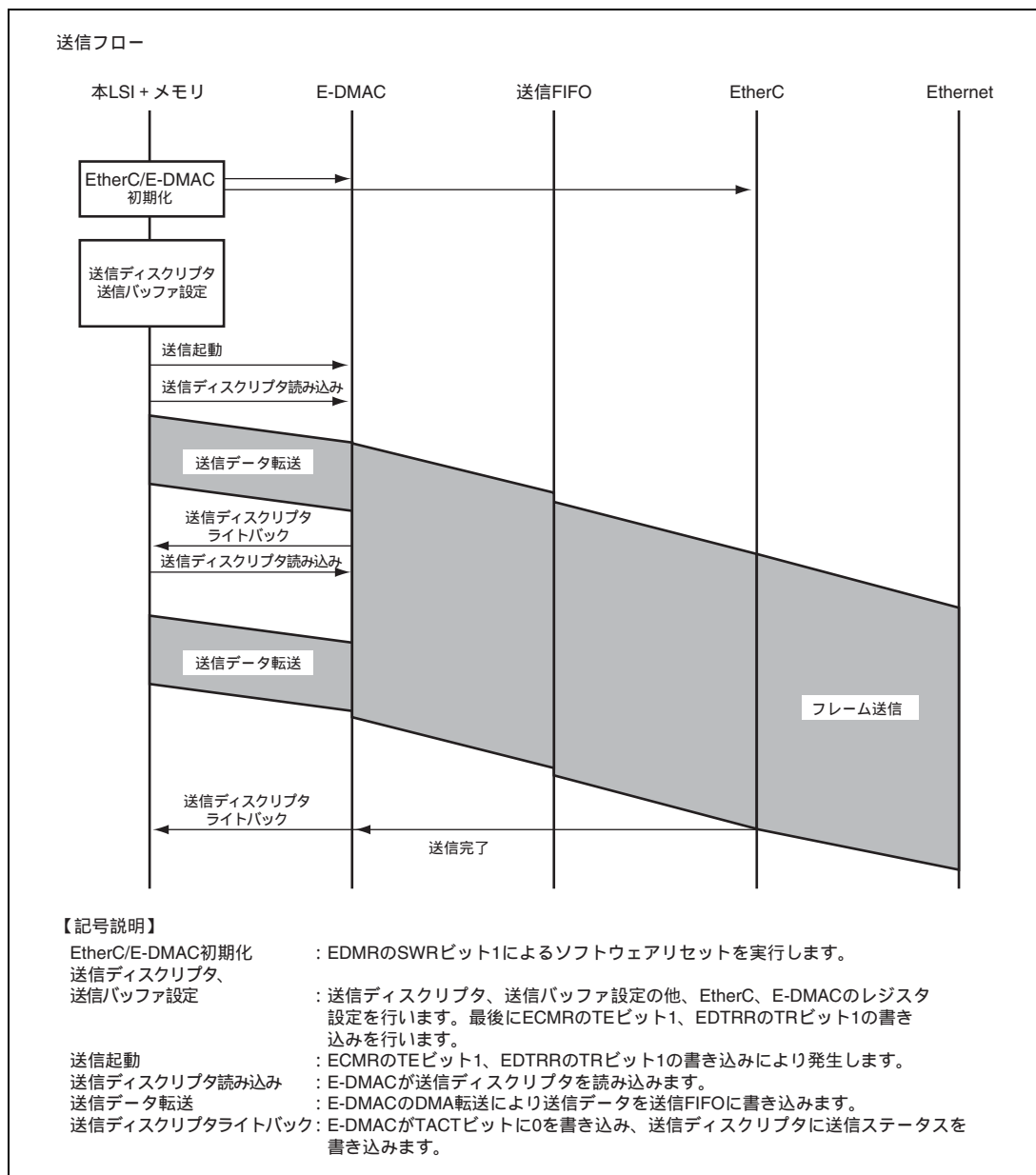


図 47.4 送信フローの例

47.5.3 受信機能

受信機能が有効で CPU が E-DMAC 受信要求レジスタ (EDRRR) の受信要求ビット (RR) をセットすると、E-DMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初期状態では受信ディスクリプタ先頭アドレスレジスタ (RDLAR) で示すディスクリプタ) を読み込んだ後に受信待機状態となります。RACT ビットが有効でかつ自局あてのフレームを受信すると、RD2 で指定される受信バッファに転送します。受信したフレームのデータ長が RD1 で与えられるバッファ長よりも大きい場合は、E-DMAC はバッファが満了となった時点でディスクリプタにライトバック (RFP = B'10 または B'00) を行った後に次のディスクリプタを読み込みます。そして新たな RD2 によって指定される受信バッファに引き続きデータを転送します。フレームの受信が完了した場合、または何らかのエラーでフレーム受信を中断した場合は、当該ディスクリプタにライトバック (RFP = B'11 または B'01) を行った後に受信処理を終了します。そして次のディスクリプタを読み込み受信待機状態となります。

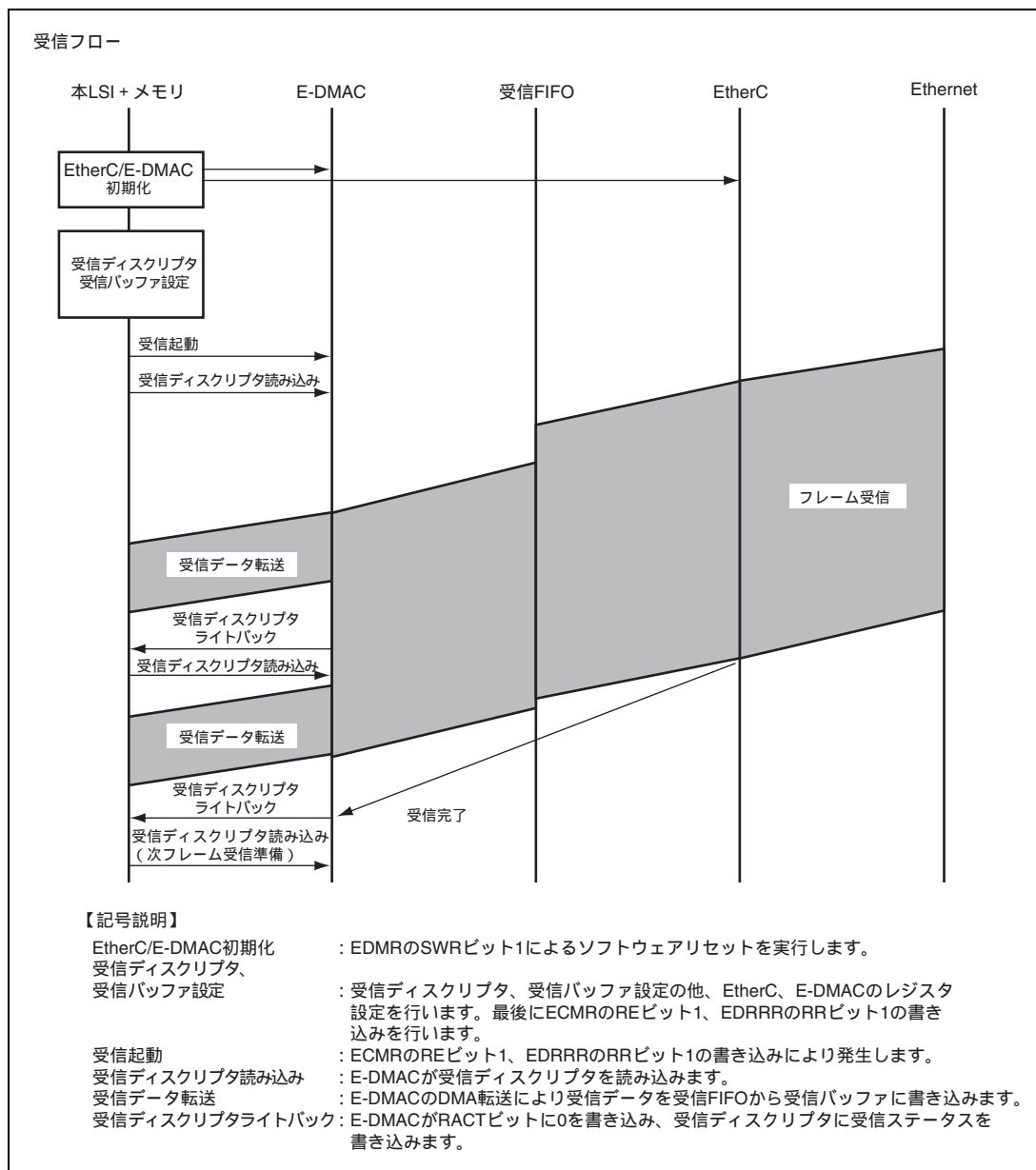


図 47.5 受信フローの例

47.5.4 マルチバッファフレームの受信処理について

マルチバッファフレームの受信中にエラーが発生した場合は、E-DMAC は図 47.6 に示す処理を行います。

図中で受信ディスクリプタが無効 (RACT ビットが 0) である部分はすでにバッファデータを正常に受信した部分を、受信ディスクリプタが有効 (RACT ビットが 1) である部分は未受信バッファであることを示します。図中で RACT ビットが 1 である最初のディスクリプタ部分でフレーム受信エラーが発生した場合は、ディスクリプタにステータスのライトバックを行います。

EESIPR でエラー割り込みを許可している場合は、ライトバック直後に割り込みが発生します。新しいフレームの受信要求がある場合には、エラーが発生したバッファの次のバッファから引き続き受信を行います。

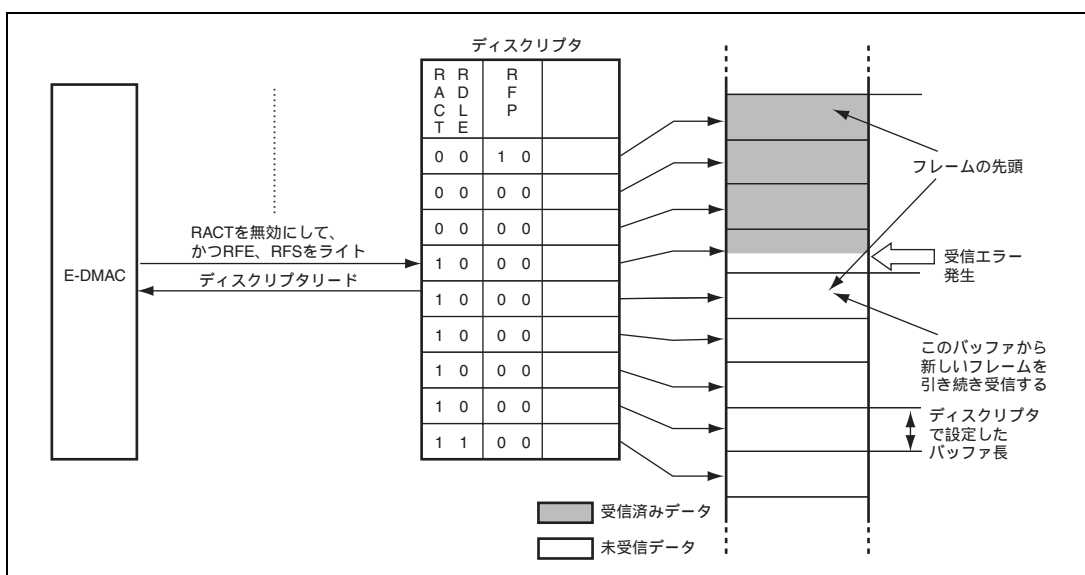


図 47.6 受信エラー発生後の E-DMAC 動作

47.6 EtherC 動作説明

イーサネットコントローラ (EtherC) の動作の概要を以下に示します。

イーサネットコントローラ (EtherC) は、IEEE802.3x に準拠した制御をサポートしており、使用される Pause フレームの送信および受信が可能です。

47.6.1 送信動作

EtherC 送信部は、送信 E-DMAC から送信要求があると、送信データをフレームに組み立てて MII に出力します。MII を経由した送信データは、PHY-LSI によって回線に送出されます。EtherC 送信部の状態遷移図を図 47.7 に示します。

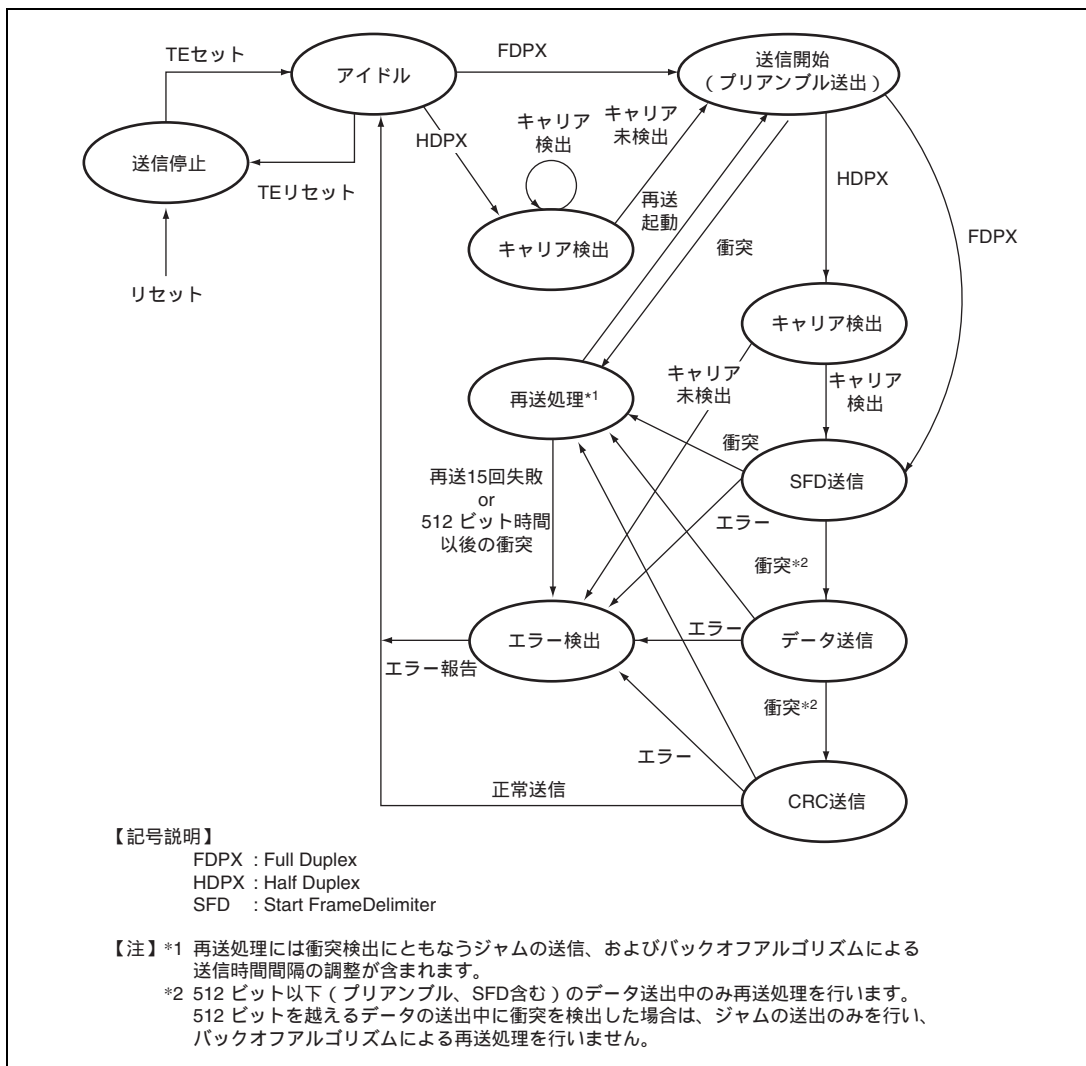


図 47.7 EtherC 送信部状態遷移図

1. 送信許可 (TE) ビットがセットされると、送信アイドル状態に遷移します。
2. 送信E-DMACから送信要求があるとEtherCは、キャリア検出、フレーム間隔時間の送信延期を経てプリアンブルをMIIに送出します。キャリア検出を必要としない全二重転送方式を選択しているときには、送信E-DMACから送信要求があると即座にプリアンブルを送出します。
3. SFD、データ、CRCを順次送信します。送信を終了すると送信E-DMACが送信終了割り込み (TC) を発生します。データ送信中に衝突発生あるいはキャリア未検出状態となると、それぞれを割り込み要因として報告します。
4. フレーム間隔時間を経た後はアイドル状態に遷移し、以後送信データがあれば送信を続けます。

47.6.2 受信動作

EtherC 受信部は、MII より入力されたフレームをプリアンブル、SFD、データおよび CRC データに分解し、受信 E-DMAC には DA (あて先アドレス) から CRC データまでを出力します。EtherC 受信部の状態遷移図を図 47.8 に示します。

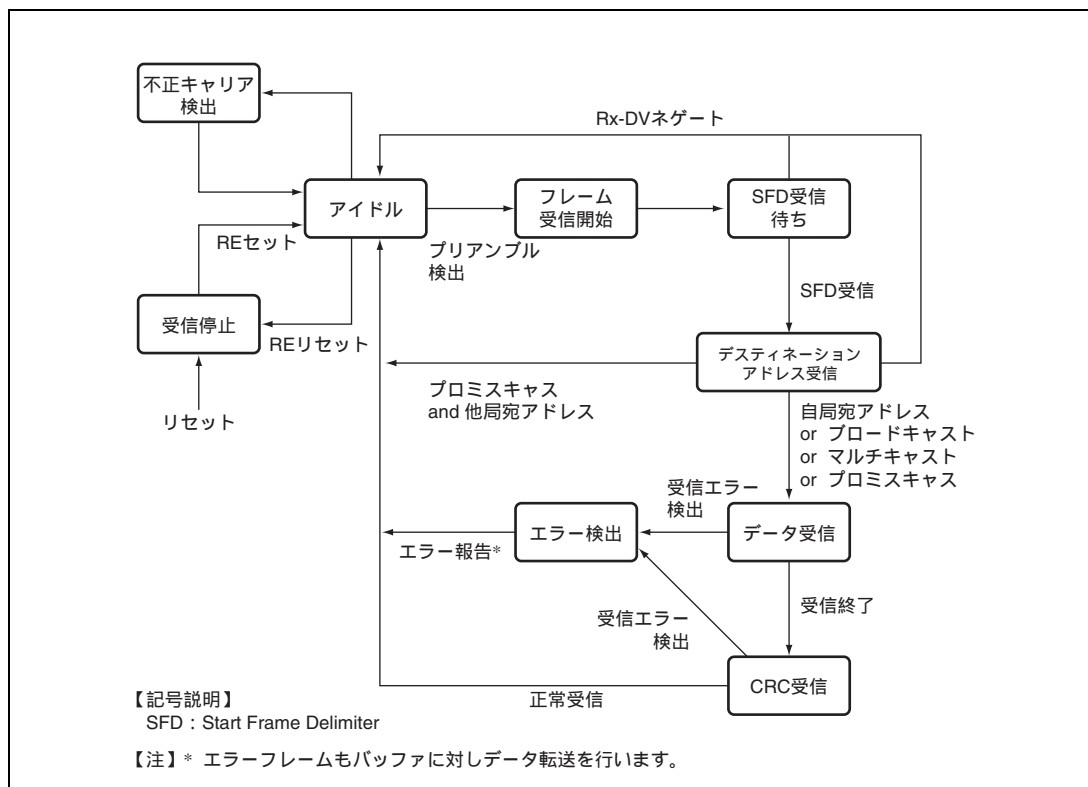


図 47.8 EtherC 受信部状態遷移図

1. 受信許可 (RE) ビットがセットされると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンプルに続くSFD(スタートフレームデリミタ)を検出すると受信処理を開始します。不当パターンの場合は、フレームを破棄します。
3. 通常モードでは、フレームのデスティネーションアドレスが本LSIあての場合、ブロードキャストフレームの場合、またはマルチキャストフレームの場合にデータ受信を開始します。プロミスキャスモードでは、フレームの種類にかかわらずデータ受信を開始します。
4. MIIからのデータ受信後、フレームデータ部のCRCチェックを行います。結果はメモリ上へのフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時は、エラーステータスを報告します。
5. 1フレームを受信後、EtherCモードレジスタ内の受信許可ビットが設定 (RE = 1) されていると、次のフレーム受信に備えます。

47.6.3 MII フレームタイミング

各種 MII フレームのタイミングを図 47.9 ~ 図 47.14 に示します。

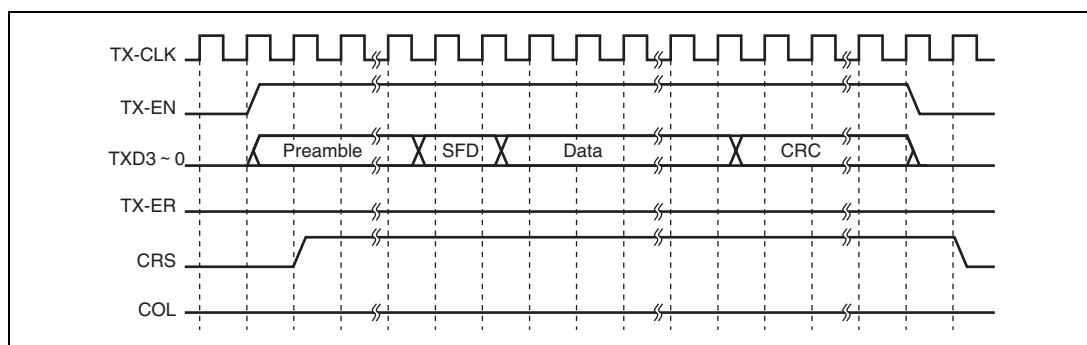


図 47.9 MII フレーム送信タイミング (正常時)

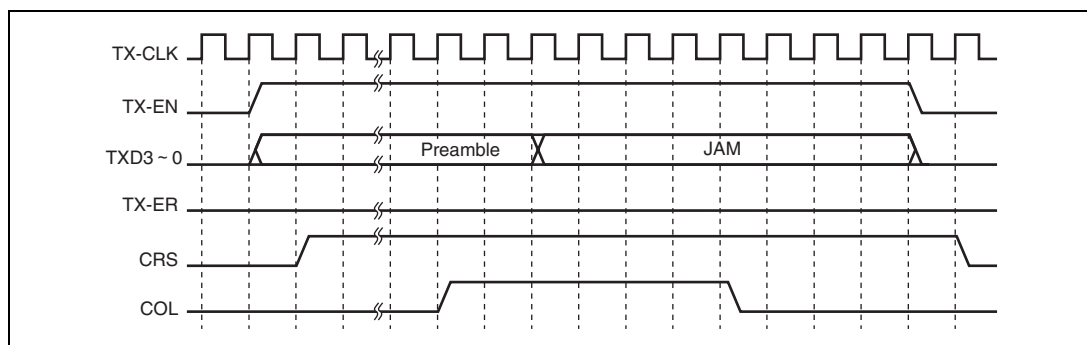


図 47.10 MII フレーム送信タイミング (衝突発生)

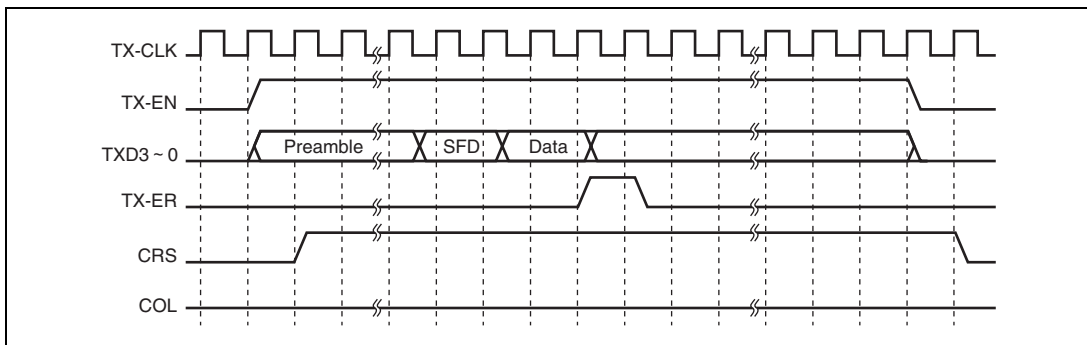


図 47.11 MII フレーム送信タイミング (送信エラー発生)

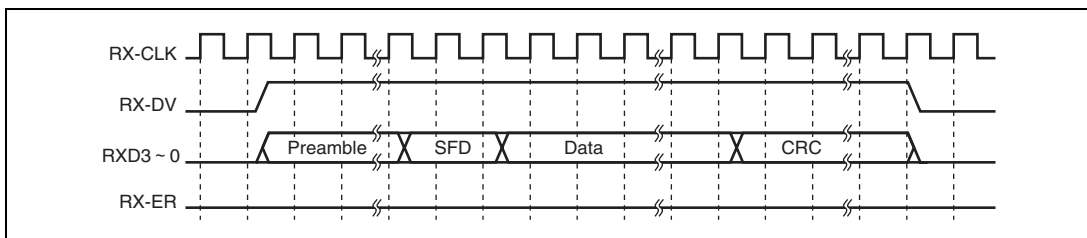


図 47.12 MII フレーム受信タイミング (正常受信)

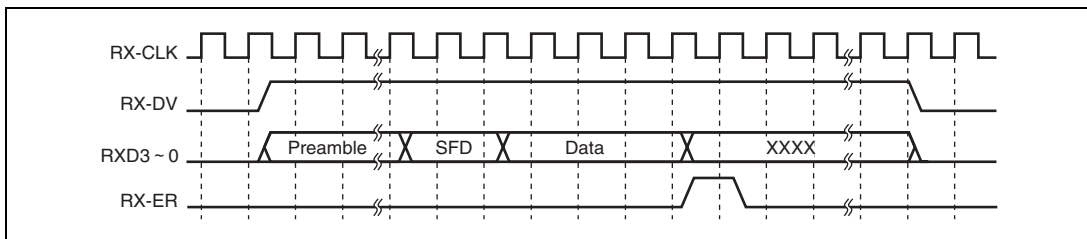


図 47.13 MII フレーム受信タイミング (受信エラー (1) 受信エラー通知)

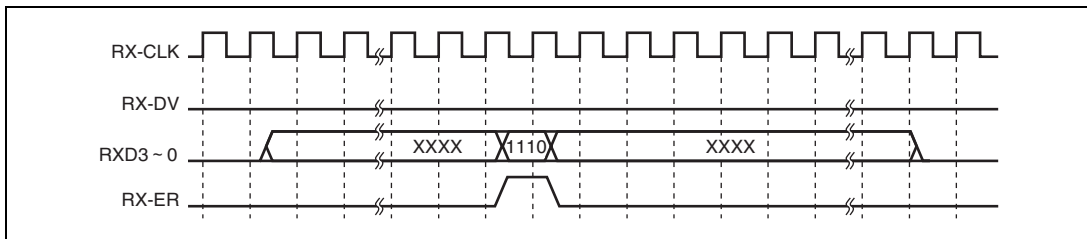


図 47.14 MII フレーム受信タイミング (受信エラー (2) 受信エラー通知)

47.6.4 MII レジスタのアクセス方法

PHY-LSI 内にある MII レジスタへは、本 LSI の PHY 部インタフェースレジスタ (PIR) を経由してアクセスします。IEEE802.3u で規定される MII フレームフォーマットに従い、シリアルインタフェースとして接続します。

(1) MII 管理フレームのフォーマット

MI I 管理フレームのフォーマットを図 47.15 に示します。MI I レジスタをアクセスするには、(2) で示す手順に従う管理フレームをプログラムによって実現します。

アクセス種別	MI I 管理フレーム							
項目	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	
リード	1..1	01	10	00001	RRRRR	Z0	D..D	
ライト	1..1	01	01	00001	RRRRR	10	D..D	X

【記号説明】

- PRE : 32個の連続した1
- ST : フレームの先頭を示す01のライト
- OP : アクセス種別を示すコードのライト
- PHYAD : PHY-LSIのアドレスが1番の場合、00001をライト (MSBから順次ライト)。
このビットは、PHY-LSIアドレスによって可変となる。
- REGAD : レジスタアドレスが1番の場合、00001をライト (MSBから順次ライト)。
このビットは、PHY-LSIのレジスタアドレスによって可変となる。
- TA : MIIインタフェース上でデータの送信元を切り換える時間
(a) ライト時は10をライト
(b) リード時は、「バス解放」(Z0と表記)を行う
- DATA : 16ビットのデータ。MSBから順次ライトあるいはリード
(a) ライト時は、16ビットデータのライト
(b) リード時は、16ビットデータのリード
- IDLE : 次のMI I 管理フォーマット入力までの待機時間
(a) ライト時は、「単独バス解放」(Xと表記)を行う
(b) リード時は、すでにTA時にバス解放済みであり制御不要

図 47.15 MII 管理フレームフォーマット

(2) MII レジスタアクセス手順

プログラムは、PHY 部インタフェースレジスタ (PIR) を経由して MII レジスタをアクセスします。アクセスは、1 ビット単位のデータライト、1 ビット単位のデータをリードし、バスの解放および単独バス解放の組み合わせによって実現します。MII レジスタアクセスタイミング例を図 47.16 ~ 図 47.19 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

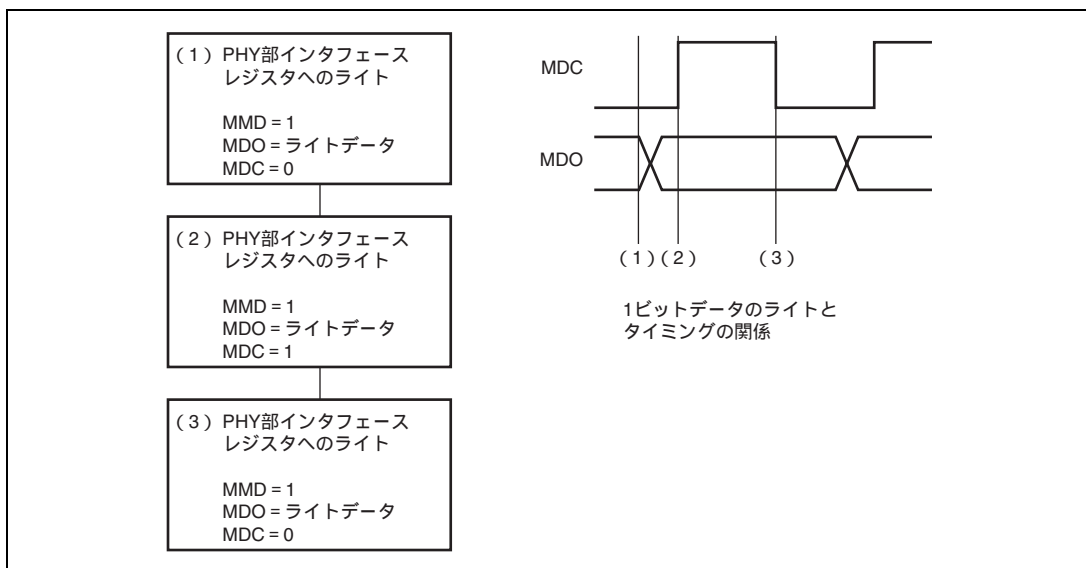


図 47.16 1 ビットデータのライトフロー

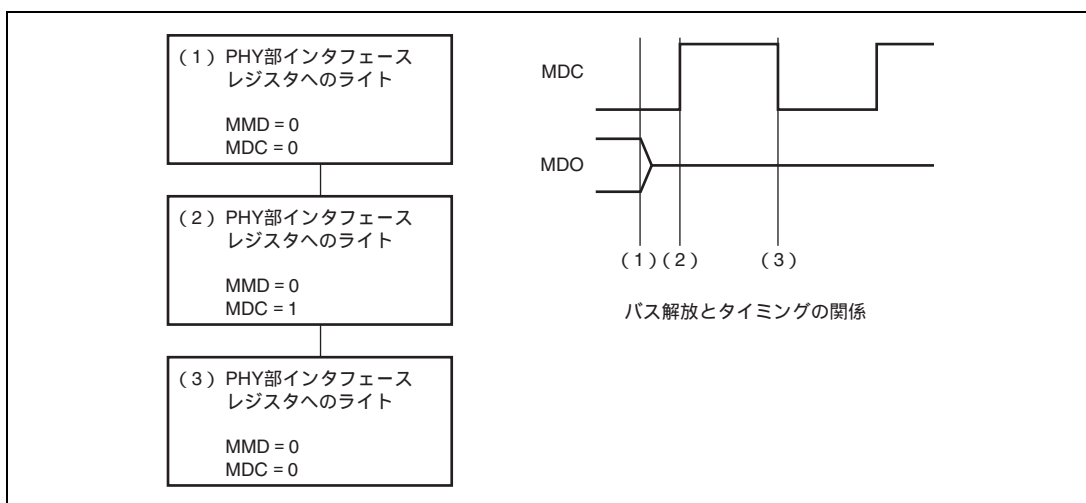


図 47.17 バス解放フロー (図 47.15 中のリード時の TA)

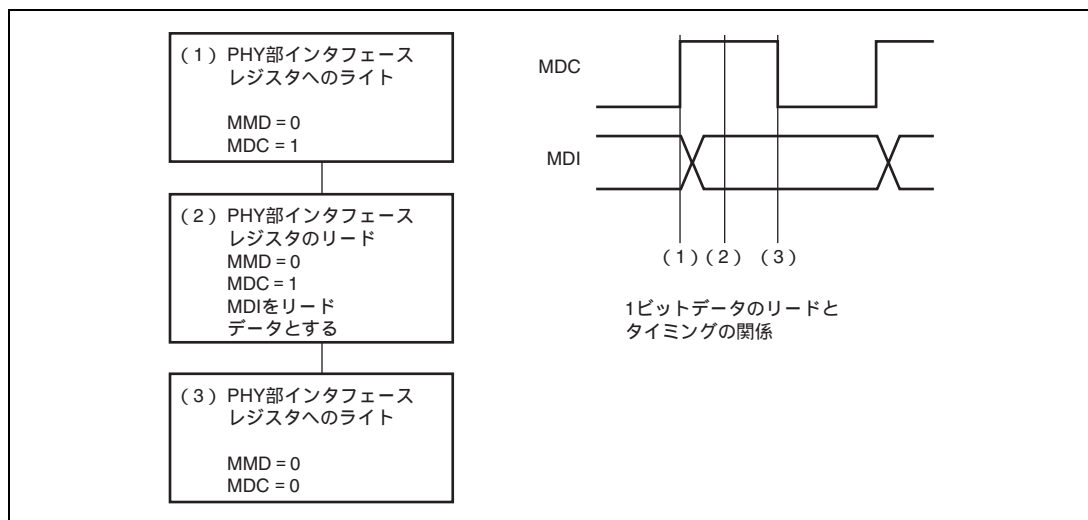


図 47.18 1ビットデータのリードフロー

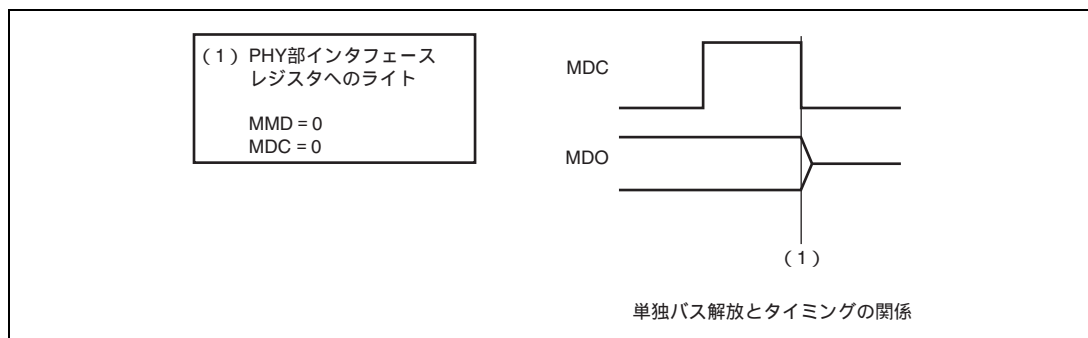


図 47.19 単独バス解放フロー (図 47.15 中のライト時の IDLE)

47.6.5 IPG 設定による動作

EtherC は、送信フレーム間の無送信期間 IPG (Inter Packet Gap) を変更する機能を有しています。IPG 設定レジスタ (IPGR) の設定値を変更することで、伝送効率を標準値よりも上げたり下げたりすることが可能です。なお IPG の設定は IEEE802.3 標準で定められています。設定を変更するときは、同じネットワークでそれぞれの機器がうまく動作するかどうかの確認作業を十分に行ってください。

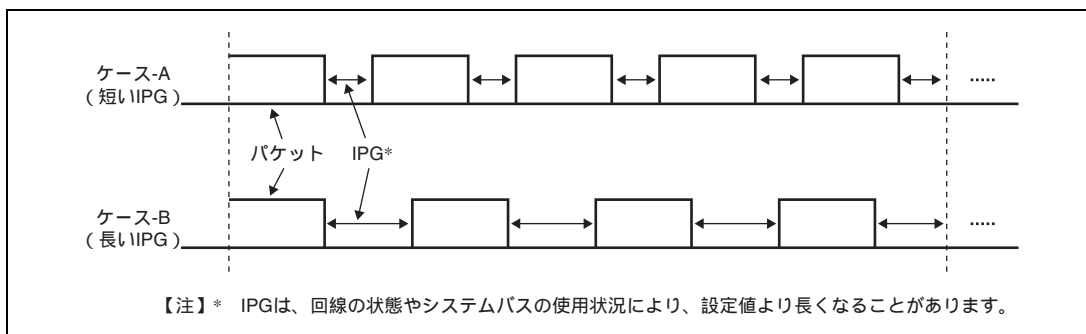


図 47.20 IPG の変更による伝送効率の違い

47.6.6 フロー制御

EtherC は、全二重動作時に IEEE802.3x 準拠のフロー制御機能をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときの PAUSE フレームの送信には、次の手順があります。

(1) 自動 PAUSE フレームの送信

受信フレームに対しては、受信 FIFO (E-DMAC に内蔵) に書き込まれたデータ量が E-DMAC 内蔵のフロー制御開始 FIFO しきい値設定レジスタ (FCFTR) に設定された値に達すると PAUSE フレームを自動送信します。このときの PAUSE フレームに含まれる TIME パラメータは、自動 PAUSE フレーム設定レジスタ (APR) で設定します。自動 PAUSE フレームの送信は、受信 FIFO 内のデータが読み出されてデータ量が FCFTR 設定値未満になるまで繰り返されます。また、自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER) により PAUSE フレームの再送回数の上限値を設定することもできます。この場合は、受信 FIFO 内のデータ量が FCFTR 設定値未満になるか、送信回数が TPAUSER の設定値に達するまで PAUSE フレームの送信が繰り返されます。自動 PAUSE フレームの送信は EtherC モードレジスタ (ECMR) の TXF ビットが 1 の場合に有効となります。

(2) 手動 PAUSE フレームの送信

ソフトウェアからの指示により、PAUSE フレームを送信します。手動 PAUSE フレーム設定レジスタ (MPR) への Timer 値を書き込むと、手動 PAUSE フレームの送信を開始します。この手順による PAUSE フレームの送信は、1 回のみです。

(3) PAUSE フレームの受信

PAUSE フレームを受信した場合、Timer 値の示す時間が経過するまで、次のフレーム送信を待ちます。ただし、送信中のフレームについては送信を継続します。PAUSE フレームの受信は EtherC モードレジスタ (ECMR) の RXF ビットが 1 の場合に有効となります。

47.7 PHY-LSI との接続

47.7.1 RMII フレームタイミング

RMII フレームのタイミングを図 47.21、図 47.22 に示します。

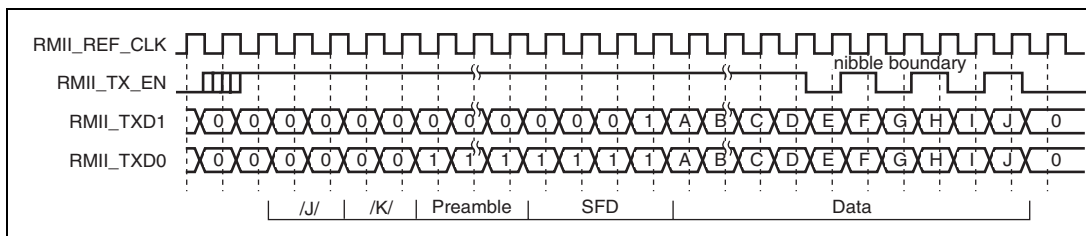


図 47.21 RMII フレーム受信タイミング (100Mbps 正常受信時)

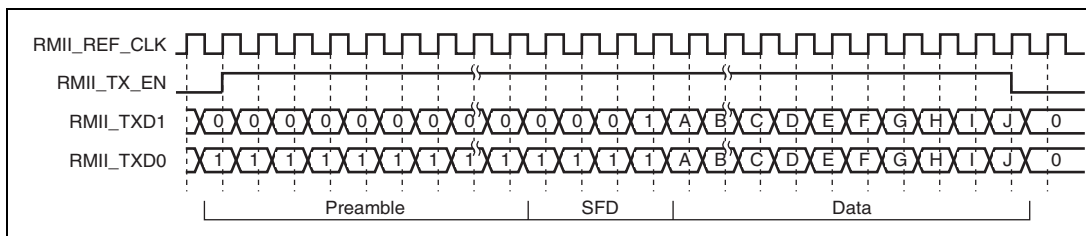


図 47.22 RMII フレーム送信タイミング (100Mbps 正常送信時)

47.7.2 MII-RMII インタフェース変換

本 LSI は、RMII インタフェースをサポートしています。RMII インタフェースは、MII-RMII 変換回路で、MII インタフェースを変換して作成されます。

(1) クロック

RMII インタフェースからの REF50CK (50MHz) を分周し、TX-CLK/RX-CLK (25MHz、2.5MHz) を出力します。

(2) 受信

RMII インタフェースからの受信波形を MII インタフェースに変換して出力します (10Mbps、100Mbps)。

RMII インタフェースからのフォルスキャリア検知を MII インタフェースに変換して出力します。

RMII インタフェースからの RMII_RX-ER 信号を MII インタフェースに出力します。

【注】フォルスキャリア検知は、プリアンブル検出から受信が終了する (RX-DV ネゲート) まで発生しません。

(3) 送信

MI I インタフェースからの送信波形を RMII インタフェースに変換して出力します (10Mbps、100Mbps)。

コリジョン信号 (COL) を CRS と TX-EN の AND で生成します。

(4) 全二重 / 半二重の選択

全二重転送モード時は、COL アサートを抑止します。

図 47.23 に、インタフェース変換回路の概略図を示します。

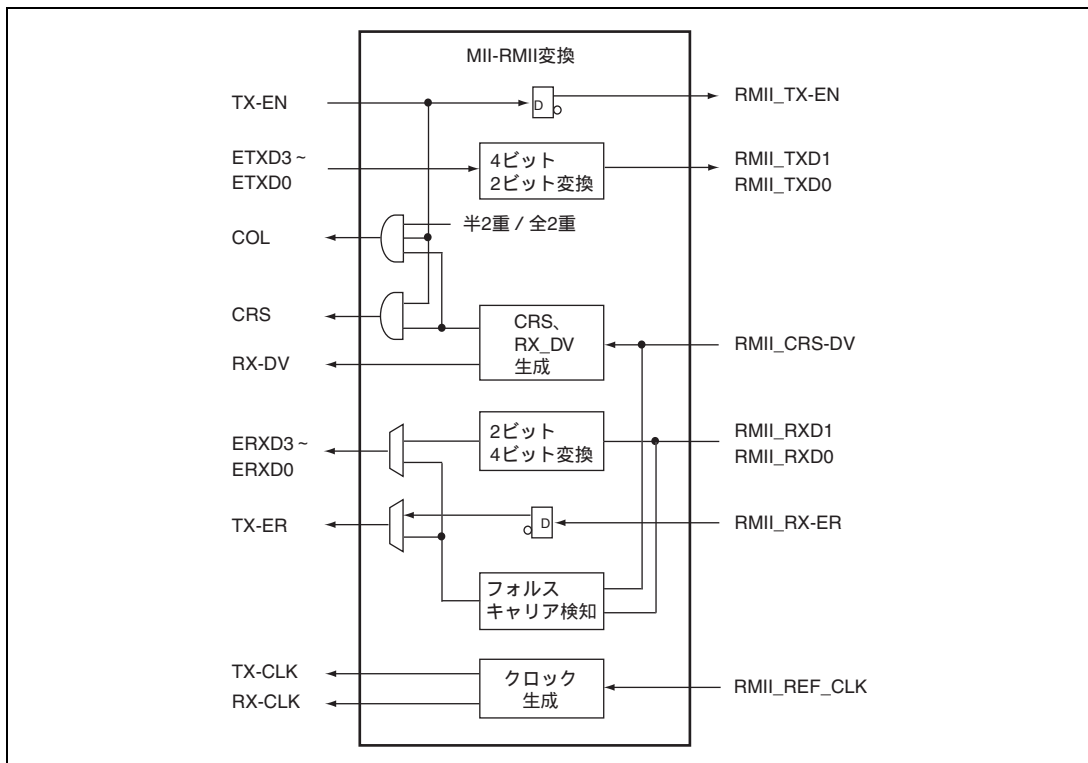


図 47.23 MII-RMII インタフェース変換概略図

47.8 使用上の注意事項

(1) ピンセレクトレジスタ

イーサネット MAC コントローラの機能を有効にするには、PFC のピンセレクトレジスタを EtherMAC に設定します。本設定は、CPU からイーサネット MAC コントローラにアクセスする前に設定してください。

(2) ソフトウェアリセット

イーサネット MAC コントローラのソフトウェアリセットは E-DMAC の EDMR の SWR ビットに 1 をセットすることにより可能です。

DMA 転送中にソフトウェアリセットを実行した場合でも実行中の転送動作は完了しますが、DMA データは保証されません。

(3) スタンバイ

イーサネット MAC コントローラはスタンバイへの移行が指示されると、現在実行中の SHwy イニシエータ動作を完了後スタンバイ状態になります。スタンバイ状態からの復帰時は、リセットおよび初期設定が必要です。

(4) 半二重動作時の Backoff 期間

イーサネット MAC コントローラにおいて既知の不具合があります。不具合は半二重動作時の他局との衝突発生時のみ発生し、Backoff 期間が規定より長くなることがあります。Backoff 期間が長くなるケースがあることで送信性能が劣化することになります。性能劣化度合いについては、衝突の発生頻度などによって異なりますが、衝突の頻度が増加する程、劣化度合いが高くなります。

48. ピンファンクションコントローラ (PFC)

48.1 概要

ピンファンクションコントローラ (PFC) は、汎用ポート機能およびマルチプレクス端子の機能を選択するためのレジスタで構成されています。端子機能と入出力方向は、LSI の動作モードに関係なく端子ごとに個別に選択することができます。

表 48.1 に、本 LSI のマルチプレクス端子の一覧を示します。

各端子は、汎用ポート、機能 1、機能 2、機能 3 の機能を選択できます。機能 1 だけのマルチプレクス端子の場合、ポート制御レジスタで「その他の機能」を設定すると機能 1 が選択されます。機能 1、機能 2、機能 3 のマルチプレクス端子の場合、ポート制御レジスタで「その他の機能」を設定し、かつピンセレクトレジスタで使用する機能を選択します。

表中のハッチングで示した部分は、リセット直後から使用できる機能です。I/O バッファ Hi-Z 制御レジスタ A、B、C、D の設定は、ポート制御レジスタの設定よりも優先されます。

表 48.1 マルチプレクス一覧表

汎用ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
PTA7 入出力	D23 入出力 (BSC)	KEYOUT2 出力 (KEYSC)	IDED15 入出力 (ATAPI)
PTA6 入出力	D22 入出力 (BSC)	KEYOUT1 出力 (KEYSC)	IDED14 入出力 (ATAPI)
PTA5 入出力	D21 入出力 (BSC)	KEYOUT0 出力 (KEYSC)	IDED13 入出力 (ATAPI)
PTA4 入出力	D20 入出力 (BSC)	KEYIN4 入力 (KEYSC)	IDED12 入出力 (ATAPI)
PTA3 入出力	D19 入出力 (BSC)	KEYIN3 入力 (KEYSC)	IDED11 入出力 (ATAPI)
PTA2 入出力	D18 入出力 (BSC)	KEYIN2 入力 (KEYSC)	IDED10 入出力 (ATAPI)
PTA1 入出力	D17 入出力 (BSC)	KEYIN1 入力 (KEYSC)	IDED9 入出力 (ATAPI)
PTA0 入出力	D16 入出力 (BSC)	KEYIN0 入力 (KEYSC)	IDED8 入出力 (ATAPI)
PTB7 入出力	D31 入出力 (BSC)	TPUTO1 出力 (TPU)	IDEA1 出力 (ATAPI)
PTB6 入出力	D30 入出力 (BSC)	TPUTO0 出力 (TPU)	IDEA0 出力 (ATAPI)
PTB5 入出力	D29 入出力 (BSC)	-	IODREQ 入力 (ATAPI)
PTB4 入出力	D28 入出力 (BSC)	-	IDEC50 出力 (ATAPI)
PTB3 入出力	D27 入出力 (BSC)	-	IDEC51 出力 (ATAPI)
PTB2 入出力	D26 入出力 (BSC)	KEYOUT5/IN5 入出力 (KEYSC)	IDEIORD 出力 (ATAPI)
PTB1 入出力	D25 入出力 (BSC)	KEYOUT4/IN6 入出力 (KEYSC)	IDEIOWR 出力 (ATAPI)
PTB0 入出力	D24 入出力 (BSC)	KEYOUT3 出力 (KEYSC)	IDEINT 入力 (ATAPI)
PTC7 入出力	LCDD7 入出力 (LCDC)	-	-
PTC6 入出力	LCDD6 入出力 (LCDC)	-	-
PTC5 入出力	LCDD5 入出力 (LCDC)	-	-

汎用ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
PTC4 入出力	LCDD4 入出力 (LCDC)	-	-
PTC3 入出力	LCDD3 入出力 (LCDC)	-	-
PTC2 入出力	LCDD2 入出力 (LCDC)	-	-
PTC1 入出力	LCDD1 入出力 (LCDC)	-	-
PTC0 入出力	LCDD0 入出力 (LCDC)	-	-
PTD7 入出力	LCDD15 入出力 (LCDC)	-	-
PTD6 入出力	LCDD14 入出力 (LCDC)	-	-
PTD5 入出力	LCDD13 入出力 (LCDC)	-	-
PTD4 入出力	LCDD12 入出力 (LCDC)	-	-
PTD3 入出力	LCDD11 入出力 (LCDC)	-	-
PTD2 入出力	LCDD10 入出力 (LCDC)	-	-
PTD1 入出力	LCDD9 入出力 (LCDC)	-	-
PTD0 入出力	LCDD8 入出力 (LCDC)	-	-
PTE7 入出力	FSIMCKB 入力 (FSI)	-	-
PTE6 入出力	FSIMCKA 入力 (FSI)	-	-
PTE5 入出力	LCDD21 入出力 (LCDC)	SCIF2_TXD 出力 (SCIF2)	-
PTE4 入出力	LCDD20 入出力 (LCDC)	SCIF4_SCK 入出力 (SCIFA4)	-
PTE3 入出力	LCDD19 入出力 (LCDC)	SCIF4_RXD 入力 (SCIFA4)	-
PTE2 入出力	LCDD18 入出力 (LCDC)	SCIF4_TXD 出力 (SCIFA4)	-
PTE1 入出力	LCDD17 入出力 (LCDC)	-	-
PTE0 入出力	LCDD16 入出力 (LCDC)	-	-
PTF7 入出力	LCDVSYN 入出力 (LCDC)	-	-
PTF6 入出力	LCDDISP/LCDRS 出力 (LCDC)	-	-
PTF5 入出力	LCDHSYN/LCDCS 出力 (LCDC)	-	-
PTF4 入出力	LCDDON 出力 (LCDC)	-	-
PTF3 入出力	LCDDCK/LCDWR 出力 (LCDC)	-	-
PTF2 入出力	LCDVDPWC 出力 (LCDC)	SCIF0_TXD 出力 (SCIF0)	-
PTF1 入出力	LCDD23 入出力 (LCDC)	SCIF2_SCK 入出力 (SCIF2)	-
PTF0 入出力	LCDD22 入出力 (LCDC)	SCIF2_RXD 入力 (SCIF2)	-
PTG5 出力	AUDCK 出力 (AUD)	-	-
PTG4 出力	AUDSYNC 出力 (AUD)	-	-
PTG3 出力	AUDATA3 出力 (AUD)	-	-
PTG2 出力	AUDATA2 出力 (AUD)	-	-
PTG1 出力	AUDATA1 出力 (AUD)	-	-
PTG0 出力	AUDATA0 出力 (AUD)	-	-
PTH7 入出力	VIO0_VD 入力 (VIO)	-	-
PTH6 入出力	VIO0_CLK 入力 (VIO)	-	-
PTH5 入出力	VIO0_D7 入力 (VIO)	-	-

汎用ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
PTH4 入出力	VIO0_D6 入力 (VIO)	-	-
PTH3 入出力	VIO0_D5 入力 (VIO)	-	-
PTH2 入出力	VIO0_D4 入力 (VIO)	-	-
PTH1 入出力	VIO0_D3 入力 (VIO)	-	-
PTH0 入出力	VIO0_D2 入力 (VIO)	-	-
PTJ7 出力	PDSTATUS 出力 (システム)	-	-
PTJ6 出力	STATUS2 出力 (システム)	-	-
PTJ5 出力	STATUS0 出力 (システム)	-	-
PTJ3 入出力	A25 出力 (BSC)	\overline{BS} 出力 (BSC)	-
PTJ2 入出力	A24 出力 (BSC)	-	-
PTJ1 入出力	A23 出力 (BSC)	-	-
PTJ0 入出力	A22 出力 (BSC)	-	-
PTK7 入出力	VIO1_D5 入力 (VIO)	VIO0_D13 入力 (VIO)	IDED5 入出力 (ATAPI)
PTK6 入出力	VIO1_D4 入力 (VIO)	VIO0_D12 入力 (VIO)	IDED4 入出力 (ATAPI)
PTK5 入出力	VIO1_D3 入力 (VIO)	VIO0_D11 入力 (VIO)	IDED3 入出力 (ATAPI)
PTK4 入出力	VIO1_D2 入力 (VIO)	VIO0_D10 入力 (VIO)	IDED2 入出力 (ATAPI)
PTK3 入出力	VIO1_D1 入力 (VIO)	VIO0_D9 入力 (VIO)	IDED1 入出力 (ATAPI)
PTK2 入出力	VIO1_D0 入力 (VIO)	VIO0_D8 入力 (VIO)	IDED0 入出力 (ATAPI)
PTK1 入出力	VIO0_FLD 入力 (VIO)	-	-
PTK0 入出力	VIO0_HD 入力 (VIO)	-	-
PTL7 入出力	DV_D5 出力 (VOU)	SCIF3_SCK 入出力 (SCIFA3)	RMI1_RXD0 入力 (EtherMAC)
PTL6 入出力	DV_D4 出力 (VOU)	SCIF3_RXD 入力 (SCIFA3)	RMI1_RXD1 入力 (EtherMAC)
PTL5 入出力	DV_D3 出力 (VOU)	SCIF3_TXD 出力 (SCIFA3)	RMI1_REF_CLK 入力 (EtherMAC)
PTL4 入出力	DV_D2 出力 (VOU)	SCIF1_SCK 入出力 (SCIF1)	RMI1_TX_EN 出力 (EtherMAC)
PTL3 入出力	DV_D1 出力 (VOU)	SCIF1_RXD 入力 (SCIF1)	RMI1_TXD0 出力 (EtherMAC)
PTL2 入出力	DV_D0 出力 (VOU)	SCIF1_TXD 出力 (SCIF1)	RMI1_TXD1 出力 (EtherMAC)
PTL1 入出力	DV_D15 出力 (VOU)	-	-
PTL0 入出力	DV_D14 出力 (VOU)	MSIOF0_MCK 入出力 (MSIOF0)	-
PTM7 入出力	DV_D13 出力 (VOU)	MSIOF0_TSCK 入出力 (MSIOF0)	-
PTM6 入出力	DV_D12 出力 (VOU)	MSIOF0_RXD 入力 (MSIOF0)	-
PTM5 入出力	DV_D11 出力 (VOU)	MSIOF0_TXD 出力 (MSIOF0)	-
PTM4 入出力	DV_D10 出力 (VOU)	MSIOF0_TSYNC 入出力 (MSIOF0)	-
PTM3 入出力	DV_D9 出力 (VOU)	MSIOF0_SS1/MSIOF0_RSCK 入出力 (MSIOF0)	-
PTM2 入出力	DV_D8 出力 (VOU)	MSIOF0_SS2/MSIOF0_RSYNC 入出力 (MSIOF0)	-

汎用ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
PTM1 入出力	LCDVCPWC 出力 (LCDC)	SCIF0_RXD 入力 (SCIF0)	-
PTM0 入出力	LCDRD 出力 (LCDC)	SCIF0_SCK 入出力 (SCIF0)	-
PTN7 入出力	VIO0_D1 入力 (VIO)	-	-
PTN6 入出力	VIO0_D0 入力 (VIO)	-	-
PTN5 入出力	DV_CLKI 入力 (VOU)	-	-
PTN4 入出力	DV_CLK 出力 (VOU)	SCIF2_SCK 入出力 (SCIF2)	-
PTN3 入出力	DV_VSYNC 出力 (VOU)	SCIF2_RXD 入力 (SCIF2)	-
PTN2 入出力	DV_HSYNC 出力 (VOU)	SCIF2_TXD 出力 (SCIF2)	-
PTN1 入出力	DV_D7 出力 (VOU)	SCIF3_CTS 入力 (SCIFA3)	RMI1_RX_ER 入力 (EtherMAC)
PTN0 入出力	DV_D6 出力 (VOU)	SCIF3_RTS 出力 (SCIFA3)	RMI1_CRS_DV 入力 (EtherMAC)
PTQ7 入出力	D7 入出力 (BSC)	-	-
PTQ6 入出力	D6 入出力 (BSC)	-	-
PTQ5 入出力	D5 入出力 (BSC)	-	-
PTQ4 入出力	D4 入出力 (BSC)	-	-
PTQ3 入出力	D3 入出力 (BSC)	-	-
PTQ2 入出力	D2 入出力 (BSC)	-	-
PTQ1 入出力	D1 入出力 (BSC)	-	-
PTQ0 入出力	D0 入出力 (BSC)	-	-
PTR7 入出力	CS6B/CE1B 出力 (BSC)	-	-
PTR6 入出力	CS6A/CE2B 出力 (BSC)	-	-
PTR5 入出力	CS5B/CE1A 出力 (BSC)	-	-
PTR4 入出力	CS5A/CE2A 出力 (BSC)	-	-
PTR3 入力	I0IS16 入力 (BSC)	LCDCLK 入力 (LCDC)	-
PTR2 入力	WAIT 入力 (BSC)	-	-
PTR1 入出力	WE3/ICIOWR 出力 (BSC)	TPUTO3 出力 (TPU)	TPUTI3 入力 (TPU)
PTR0 入出力	WE2/ICIORD 出力 (BSC)	TPUTO2 出力 (TPU)	IDEA2 出力 (ATAPI)
PTS6 入出力	VIO_CKO 出力 (VIO)	-	-
PTS5 入出力	VIO1_FLD 入力 (VIO)	TPUTI2 入力 (TPU)	IDEIORDY 入力 (ATAPI)
PTS4 入出力	VIO1_HD 入力 (VIO)	SCIF5_SCK 入出力 (SCIFA5)	-
PTS3 入出力	VIO1_VD 入力 (VIO)	SCIF5_RXD 入力 (SCIFA5)	-
PTS2 入出力	VIO1_CLK 入力 (VIO)	SCIF5_TXD 出力 (SCIFA5)	-
PTS1 入出力	VIO1_D7 入力 (VIO)	VIO0_D15 入力 (VIO)	IDED7 入出力 (ATAPI)
PTS0 入出力	VIO1_D6 入力 (VIO)	VIO0_D14 入力 (VIO)	IDED6 入出力 (ATAPI)
PTT7 入出力	D15 入出力 (BSC)	-	-
PTT6 入出力	D14 入出力 (BSC)	-	-
PTT5 入出力	D13 入出力 (BSC)	-	-
PTT4 入出力	D12 入出力 (BSC)	-	-
PTT3 入出力	D11 入出力 (BSC)	-	-

汎用ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
PTT2 入出力	D10 入出力 (BSC)	-	-
PTT1 入出力	D9 入出力 (BSC)	-	-
PTT0 入出力	D8 入出力 (BSC)	-	-
PTU7 入出力	DACK0 出力 (DMAC)	-	-
PTU6 入出力	DREQ0 入力 (DMAC)	-	-
PTU5 入出力	FSIOASD 出力 (FSI)	-	-
PTU4 入出力	FSIIBCK 入力 (FSI)	-	-
PTU3 入出力	FSIILRCK 入力 (FSI)	-	-
PTU2 入出力	FSIOABCK 出力 (FSI)	-	-
PTU1 入出力	FSIOALRCK 出力 (FSI)	-	-
PTU0 入出力	CLKAUDIOAO 出力 (FSI)	-	-
PTV7 入出力	FSIIBSD 入力 (FSI)	MSIOF1_SS2/MSIOF1_RSYNC 入出力 (MSIOF1)	-
PTV6 入出力	FSIOBSD 出力 (FSI)	MSIOF1_SS1/MSIOF1_RSCK 入出力 (MSIOF1)	-
PTV5 入出力	FSIIBBCK 入力 (FSI)	MSIOF1_RXD 入力 (MSIOF1)	-
PTV4 入出力	FSIIBLRCK 入力 (FSI)	MSIOF1_TSYNC 出力 (MSIOF1)	-
PTV3 入出力	FSIOBBCK 出力 (FSI)	MSIOF1_TSCK 入出力 (MSIOF1)	-
PTV2 入出力	FSIOBLRCK 出力 (FSI)	MSIOF1_TXD 出力 (MSIOF1)	-
PTV1 入出力	CLKAUDIOBO 出力 (FSI)	MSIOF1_MCK 入力 (MSIOF1)	-
PTV0 入出力	FSIIASD 入力 (FSI)	-	-
PTW7 入出力	MMC_D7 入出力 (MMCIF)	SDHI1CD 入力 (SDHI1)	IODACK 出力 (ATAPI)
PTW6 入出力	MMC_D6 入出力 (MMCIF)	SDHI1WP 入力 (SDHI1)	IDERST 出力 (ATAPI)
PTW5 入出力	MMC_D5 入出力 (MMCIF)	SDHI1D3 入出力 (SDHI1)	EXBUF_ENB 出力 (ATAPI)
PTW4 入出力	MMC_D4 入出力 (MMCIF)	SDHI1D2 入出力 (SDHI1)	DIRECTION 出力 (ATAPI)
PTW3 入出力	MMC_D3 入出力 (MMCIF)	SDHI1D1 入出力 (SDHI1)	-
PTW2 入出力	MMC_D2 入出力 (MMCIF)	SDHI1D0 入出力 (SDHI1)	-
PTW1 入出力	MMC_D1 入出力 (MMCIF)	SDHI1CMD 入出力 (SDHI1)	-
PTW0 入出力	MMC_D0 入出力 (MMCIF)	SDHI1CLK 出力 (SDHI1)	-
PTX7 入出力	DACK1 出力 (DMAC)	IRDA_OUT 出力 (IrDA)	-
PTX6 入出力	DREQ1 入力 (DMAC)	IRDA_IN 入力 (IrDA)	-
PTX5 入出力	TS0_SDAT 入力 (TSIF)	-	LNKSTA 入力 (EtherMAC)
PTX4 入出力	TS0_SCK 入力 (TSIF)	-	MDIO 入出力 (EtherMAC)
PTX3 入出力	TS0_SDEN 入力 (TSIF)	-	MDC 出力 (EtherMAC)
PTX2 入出力	TS0_SPSYNC 入力 (TSIF)	-	-
PTX1 入出力	MMC_CLK 出力 (MMCIF)	-	-
PTX0 入出力	MMC_CMD 入出力 (MMCIF)	-	-

汎用ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)
PTY7 入出力	SDHI0CD 入力 (SDHI0)	-	-
PTY6 入出力	SDHI0WP 入力 (SDHI0)	-	-
PTY5 入出力	SDHI0D3 入出力 (SDHI0)	-	-
PTY4 入出力	SDHI0D2 入出力 (SDHI0)	-	-
PTY3 入出力	SDHI0D1 入出力 (SDHI0)	-	-
PTY2 入出力	SDHI0D0 入出力 (SDHI0)	-	-
PTY1 入出力	SDHI0CMD 入出力 (SDHI0)	-	-
PTY0 入出力	SDHI0CLK 出力 (SDHI0)	-	-
PTZ7 入出力	IRQ7 入力 (INTC)	SCIF3_CTS 入力 (SCIFA3)	-
PTZ6 入出力	IRQ6 入力 (INTC)	SCIF3_RTS 出力 (SCIFA3)	-
PTZ5 入出力	IRQ5 入力 (INTC)	SCIF3_SCK 入出力 (SCIFA3)	-
PTZ4 入出力	IRQ4 入力 (INTC)	SCIF3_RXD 入力 (SCIFA3)	-
PTZ3 入出力	IRQ3 入力 (INTC)	SCIF3_TXD 出力 (SCIFA3)	-
PTZ2 入出力	IRQ2 入力 (INTC)	-	-
PTZ1 入出力	IRQ1 入力 (INTC)	-	-
PTZ0 入出力	IRQ0 入力 (INTC)	-	-

48.2 レジスタの説明

PFC のレジスタ構成を表 48.2 に示します。また、各処理モードにおけるレジスタの状態を表 48.3 に示します。

表 48.2 レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
ポート A 制御レジスタ	PACR	R/W	H'A405 0100	16
ポート B 制御レジスタ	PBCR	R/W	H'A405 0102	16
ポート C 制御レジスタ	PCCR	R/W	H'A405 0104	16
ポート D 制御レジスタ	PDCR	R/W	H'A405 0106	16
ポート E 制御レジスタ	PECR	R/W	H'A405 0108	16
ポート F 制御レジスタ	PFCR	R/W	H'A405 010A	16
ポート G 制御レジスタ	PGCR	R/W	H'A405 010C	16
ポート H 制御レジスタ	PHCR	R/W	H'A405 010E	16
ポート J 制御レジスタ	PJCR	R/W	H'A405 0110	16
ポート K 制御レジスタ	PKCR	R/W	H'A405 0112	16
ポート L 制御レジスタ	PLCR	R/W	H'A405 0114	16
ポート M 制御レジスタ	PMCR	R/W	H'A405 0116	16
ポート N 制御レジスタ	PNCR	R/W	H'A405 0118	16
ポート Q 制御レジスタ	PQCR	R/W	H'A405 011A	16
ポート R 制御レジスタ	PRCR	R/W	H'A405 011C	16
ポート S 制御レジスタ	PSCR	R/W	H'A405 011E	16
ポート T 制御レジスタ	PTCR	R/W	H'A405 0140	16
ポート U 制御レジスタ	PUCR	R/W	H'A405 0142	16
ポート V 制御レジスタ	PVCR	R/W	H'A405 0144	16
ポート W 制御レジスタ	PWCR	R/W	H'A405 0146	16
ポート X 制御レジスタ	PXCR	R/W	H'A405 0148	16
ポート Y 制御レジスタ	PYCR	R/W	H'A405 014A	16
ポート Z 制御レジスタ	PZCR	R/W	H'A405 014C	16
ポート A データレジスタ	PADR	R/W	H'A405 0120	8
ポート B データレジスタ	PBDR	R/W	H'A405 0122	8
ポート C データレジスタ	PCDR	R/W	H'A405 0124	8
ポート D データレジスタ	PDDR	R/W	H'A405 0126	8
ポート E データレジスタ	PEDR	R/W	H'A405 0128	8
ポート F データレジスタ	PFDR	R/W	H'A405 012A	8
ポート G データレジスタ	PGDR	R/W	H'A405 012C	8
ポート H データレジスタ	PHDR	R/W	H'A405 012E	8
ポート J データレジスタ	PJDR	R/W	H'A405 0130	8
ポート K データレジスタ	PKDR	R/W	H'A405 0132	8

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
ポートLデータレジスタ	PLDR	R/W	H'A405 0134	8
ポートMデータレジスタ	PMDR	R/W	H'A405 0136	8
ポートNデータレジスタ	PNDR	R/W	H'A405 0138	8
ポートQデータレジスタ	PQDR	R/W	H'A405 013A	8
ポートRデータレジスタ	PRDR	R/W	H'A405 013C	8
ポートSデータレジスタ	PSDR	R/W	H'A405 013E	8
ポートTデータレジスタ	PTDR	R/W	H'A405 0160	8
ポートUデータレジスタ	PUDR	R/W	H'A405 0162	8
ポートVデータレジスタ	PVDR	R/W	H'A405 0164	8
ポートWデータレジスタ	PWDR	R/W	H'A405 0166	8
ポートXデータレジスタ	PXDR	R/W	H'A405 0168	8
ポートYデータレジスタ	PYDR	R/W	H'A405 016A	8
ポートZデータレジスタ	PZDR	R/W	H'A405 016C	8
ピンセレクトレジスタA	PSELA	R/W	H'A405 014E	16
ピンセレクトレジスタB	PSELB	R/W	H'A405 0150	16
ピンセレクトレジスタC	PSELC	R/W	H'A405 0152	16
ピンセレクトレジスタD	PSELD	R/W	H'A405 0154	16
ピンセレクトレジスタE	PSELE	R/W	H'A405 0156	16
I/OバッファHi-Z制御レジスタA	HIZCRA	R/W	H'A405 0158	16
I/OバッファHi-Z制御レジスタB	HIZCRB	R/W	H'A405 015A	16
I/OバッファHi-Z制御レジスタC	HIZCRC	R/W	H'A405 015C	16
I/OバッファHi-Z制御レジスタD	HIZCRD	R/W	H'A405 015E	16
モジュール機能選択レジスタA	MSELCRA	R/W	H'A405 0180	16
モジュール機能選択レジスタB	MSELCRB	R/W	H'A405 0182	16
ブルアップ制御レジスタ	PULCR	R/W	H'A405 0184	16
I/OバッファDrive制御レジスタA	DRVCRA	R/W	H'A405 018A	16
I/OバッファDrive制御レジスタB	DRVCRB	R/W	H'A405 018C	16
I/OバッファDrive制御レジスタC	DRVCRC	R/W	H'A405 018E	16

表 48.3 各処理モードにおけるレジスタの状態

略称	パワ - オン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュ - ル スタンバイ	U-スタンバイ	R-スタンバイ	スリ - プ
PACR	初期化	保持	保持	-	初期化	保持	保持
PBCR	初期化	保持	保持	-	初期化	保持	保持
PCCR	初期化	保持	保持	-	初期化	保持	保持
PDCR	初期化	保持	保持	-	初期化	保持	保持
PECR	初期化	保持	保持	-	初期化	保持	保持
PFCR	初期化	保持	保持	-	初期化	保持	保持
PGCR	初期化	保持	保持	-	初期化	保持	保持
PHCR	初期化	保持	保持	-	初期化	保持	保持
PJCR	初期化	保持	保持	-	初期化	保持	保持
PKCR	初期化	保持	保持	-	初期化	保持	保持
PLCR	初期化	保持	保持	-	初期化	保持	保持
PMCR	初期化	保持	保持	-	初期化	保持	保持
PNCR	初期化	保持	保持	-	初期化	保持	保持
PQCR	初期化	保持	保持	-	初期化	保持	保持
PRCR	初期化	保持	保持	-	初期化	保持	保持
PSCR	初期化	保持	保持	-	初期化	保持	保持
PTCR	初期化	保持	保持	-	初期化	保持	保持
PUCR	初期化	保持	保持	-	初期化	保持	保持
PVCR	初期化	保持	保持	-	初期化	保持	保持
PWCR	初期化	保持	保持	-	初期化	保持	保持
PXCR	初期化	保持	保持	-	初期化	保持	保持
PYCR	初期化	保持	保持	-	初期化	保持	保持
PZCR	初期化	保持	保持	-	初期化	保持	保持
PADR	初期化	保持	保持	-	初期化	保持	保持
PBDR	初期化	保持	保持	-	初期化	保持	保持
PCDR	初期化	保持	保持	-	初期化	保持	保持
PDDR	初期化	保持	保持	-	初期化	保持	保持
PEDR	初期化	保持	保持	-	初期化	保持	保持
PFDR	初期化	保持	保持	-	初期化	保持	保持
PGDR	初期化	保持	保持	-	初期化	保持	保持
PHDR	初期化	保持	保持	-	初期化	保持	保持
PJDR	初期化	保持	保持	-	初期化	保持	保持
PKDR	初期化	保持	保持	-	初期化	保持	保持
PLDR	初期化	保持	保持	-	初期化	保持	保持
PMDR	初期化	保持	保持	-	初期化	保持	保持
PNDR	初期化	保持	保持	-	初期化	保持	保持

略称	パワ - オン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュ - ル スタンバイ	U-スタンバイ	R-スタンバイ	スリ - プ
PQDR	初期化	保持	保持	-	初期化	保持	保持
PRDR	初期化	保持	保持	-	初期化	保持	保持
PSDR	初期化	保持	保持	-	初期化	保持	保持
PTDR	初期化	保持	保持	-	初期化	保持	保持
PUDR	初期化	保持	保持	-	初期化	保持	保持
PVDR	初期化	保持	保持	-	初期化	保持	保持
PWDR	初期化	保持	保持	-	初期化	保持	保持
PYDR	初期化	保持	保持	-	初期化	保持	保持
PZDR	初期化	保持	保持	-	初期化	保持	保持
PSELA	初期化	保持	保持	-	初期化	保持	保持
PSELB	初期化	保持	保持	-	初期化	保持	保持
PSELC	初期化	保持	保持	-	初期化	保持	保持
PSELD	初期化	保持	保持	-	初期化	保持	保持
PSELE	初期化	保持	保持	-	初期化	保持	保持
HIZCRA	初期化	保持	保持	-	初期化	保持	保持
HIZCRB	初期化	保持	保持	-	初期化	保持	保持
HIZCRC	初期化	保持	保持	-	初期化	保持	保持
HIZCRD	初期化	保持	保持	-	初期化	保持	保持
MSELCRA	初期化	保持	保持	-	初期化	保持	保持
MSELCRB	初期化	保持	保持	-	初期化	保持	保持
PULCR	初期化	保持	保持	-	初期化	保持	保持
DRVCRA	初期化	保持	保持	-	初期化	保持	保持
DRVCRB	初期化	保持	保持	-	初期化	保持	保持
DRVCRC	初期化	保持	保持	-	初期化	保持	保持

48.2.1 ポート A 制御レジスタ (PACR)

PACR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート A の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA7MD[1:0]		PA6MD[1:0]		PA5MD[1:0]		PA4MD[1:0]		PA3MD[1:0]		PA2MD[1:0]		PA1MD[1:0]		PA0MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PA7MD[1:0]	00	R/W	PTA7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
13、12	PA6MD[1:0]	00	R/W	PTA6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
11、10	PA5MD[1:0]	00	R/W	PTA5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
9、8	PA4MD[1:0]	00	R/W	PTA4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
7、6	PA3MD[1:0]	00	R/W	PTA3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
5、4	PA2MD[1:0]	00	R/W	PTA2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PA1MD[1:0]	00	R/W	PTA1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PA0MD[1:0]	00	R/W	PTA0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.2 ポート B 制御レジスタ (PBCR)

PBCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート B の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7MD[1:0]	PB6MD[1:0]	PB5MD[1:0]	PB4MD[1:0]	PB3MD[1:0]	PB2MD[1:0]	PB1MD[1:0]	PB0MD[1:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PB7MD[1:0]	00	R/W	PTB7 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13、12	PB6MD[1:0]	00	R/W	PTB6 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11、10	PB5MD[1:0]	00	R/W	PTB5 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9、8	PB4MD[1:0]	00	R/W	PTB4 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PB3MD[1:0]	00	R/W	PTB3 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PB2MD[1:0]	00	R/W	PTB2 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説明
3、2	PB1MD[1:0]	00	R/W	PTB1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PB0MD[1:0]	00	R/W	PTB0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.3 ポート C 制御レジスタ (PCCR)

PCCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート C の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC7MD[1:0]	PC6MD[1:0]	PC5MD[1:0]	PC4MD[1:0]	PC3MD[1:0]	PC2MD[1:0]	PC1MD[1:0]	PC0MD[1:0]								
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PC7MD[1:0]	10	R/W	PTC7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
13、12	PC6MD[1:0]	10	R/W	PTC6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
11、10	PC5MD[1:0]	10	R/W	PTC5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
9、8	PC4MD[1:0]	10	R/W	PTC4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
7、6	PC3MD[1:0]	10	R/W	PTC3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
5、4	PC2MD[1:0]	10	R/W	PTC2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PC1MD[1:0]	10	R/W	PTC1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PC0MD[1:0]	10	R/W	PTC0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.4 ポート D 制御レジスタ (PDCR)

PDCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート D の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD7MD[1:0]	PD6MD[1:0]	PD5MD[1:0]	PD4MD[1:0]	PD3MD[1:0]	PD2MD[1:0]	PD1MD[1:0]	PD0MD[1:0]								
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PD7MD[1:0]	10	R/W	PTD7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
13、12	PD6MD[1:0]	10	R/W	PTD6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
11、10	PD5MD[1:0]	10	R/W	PTD5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
9、8	PD4MD[1:0]	10	R/W	PTD4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
7、6	PD3MD[1:0]	10	R/W	PTD3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
5、4	PD2MD[1:0]	10	R/W	PTD2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PD1MD[1:0]	10	R/W	PTD1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PD0MD[1:0]	10	R/W	PTD0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.5 ポート E 制御レジスタ (PECR)

PECR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート E の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE7MD[1:0]	PE6MD[1:0]	PE5MD[1:0]	PE4MD[1:0]	PE3MD[1:0]	PE2MD[1:0]	PE1MD[1:0]	PE0MD[1:0]								
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PE7MD[1:0]	10	R/W	PTE7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
13、12	PE6MD[1:0]	10	R/W	PTE6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
11、10	PE5MD[1:0]	10	R/W	PTE5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
9、8	PE4MD[1:0]	10	R/W	PTE4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
7、6	PE3MD[1:0]	10	R/W	PTE3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
5、4	PE2MD[1:0]	10	R/W	PTE2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PE1MD[1:0]	10	R/W	PTE1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PE0MD[1:0]	10	R/W	PTE0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.6 ポート F 制御レジスタ (PFCR)

PFCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート F の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF7MD[1:0]		PF6MD[1:0]		PF5MD[1:0]		PF4MD[1:0]		PF3MD[1:0]		PF2MD[1:0]		PF1MD[1:0]		PF0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PF7MD[1:0]	10	R/W	PTF7 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13、12	PF6MD[1:0]	10	R/W	PTF6 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11、10	PF5MD[1:0]	10	R/W	PTF5 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9、8	PF4MD[1:0]	10	R/W	PTF4 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PF3MD[1:0]	10	R/W	PTF3 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PF2MD[1:0]	10	R/W	PTF2 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PF1MD[1:0]	10	R/W	PTF1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルダウン MOS : オン) 01 : ポ - ト入力 (プルダウン MOS : オフ)
1、0	PF0MD[1:0]	10	R/W	PTF0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルダウン MOS : オン) 01 : ポ - ト入力 (プルダウン MOS : オフ)

48.2.7 ポート G 制御レジスタ (PGCR)

PGCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート G の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PG5MD[1:0]	PG4MD[1:0]	PG3MD[1:0]	PG2MD[1:0]	PG1MD[1:0]	PG0MD[1:0]						
初期値:	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11、10	PG5MD[1:0]	01	R/W	PTG5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 1x: 設定禁止
9、8	PG4MD[1:0]	01	R/W	PTG4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 1x: 設定禁止
7、6	PG3MD[1:0]	01	R/W	PTG3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 1x: 設定禁止
5、4	PG2MD[1:0]	01	R/W	PTG2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 1x: 設定禁止
3、2	PG1MD[1:0]	01	R/W	PTG1 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 1x: 設定禁止
1、0	PG0MD[1:0]	01	R/W	PTG0 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 1x: 設定禁止

48.2.8 ポート H 制御レジスタ (PHCR)

PHCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート H の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH7MD[1:0]		PH6MD[1:0]		PH5MD[1:0]		PH4MD[1:0]		PH3MD[1:0]		PH2MD[1:0]		PH1MD[1:0]		PH0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PH7MD[1:0]	10	R/W	PTH7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
13、12	PH6MD[1:0]	10	R/W	PTH6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
11、10	PH5MD[1:0]	10	R/W	PTH5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
9、8	PH4MD[1:0]	10	R/W	PTH4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
7、6	PH3MD[1:0]	10	R/W	PTH3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
5、4	PH2MD[1:0]	10	R/W	PTH2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説明
3、2	PH1MD[1:0]	10	R/W	PTH1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PH0MD[1:0]	10	R/W	PTH0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.9 ポート J 制御レジスタ (PJCR)

PJCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート J の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ7MD[1:0]	PJ6MD[1:0]	PJ5MD[1:0]	—	—	PJ3MD[1:0]	PJ2MD[1:0]	PJ1MD[1:0]	PJ0MD[1:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PJ7MD[1:0]	00	R/W	PTJ7 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 1x: 設定禁止
13, 12	PJ6MD[1:0]	00	R/W	PTJ6 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 1x: 設定禁止
11, 10	PJ5MD[1:0]	00	R/W	PTJ5 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 1x: 設定禁止
9, 8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7, 6	PJ3MD[1:0]	00	R/W	PTJ3 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5, 4	PJ2MD[1:0]	00	R/W	PTJ2 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
3, 2	PJ1MD[1:0]	00	R/W	PTJ1 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
1、0	PJ0MD[1:0]	00	R/W	PTJ0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.10 ポート K 制御レジスタ (PKCR)

PKCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート K の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK7MD[1:0]		PK6MD[1:0]		PK5MD[1:0]		PK4MD[1:0]		PK3MD[1:0]		PK2MD[1:0]		PK1MD[1:0]		PK0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PK7MD[1:0]	10	R/W	PTK7 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13、12	PK6MD[1:0]	10	R/W	PTK6 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11、10	PK5MD[1:0]	10	R/W	PTK5 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9、8	PK4MD[1:0]	10	R/W	PTK4 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PK3MD[1:0]	10	R/W	PTK3 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PK2MD[1:0]	10	R/W	PTK2 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説明
3、2	PK1MD[1:0]	10	R/W	PTK1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PK0MD[1:0]	10	R/W	PTK0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.11 ポート L 制御レジスタ (PLCR)

PLCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート L の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PL7MD[1:0]	PL6MD[1:0]	PL5MD[1:0]	PL4MD[1:0]	PL3MD[1:0]	PL2MD[1:0]	PL1MD[1:0]	PL0MD[1:0]								
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PL7MD[1:0]	10	R/W	PTL7 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13、12	PL6MD[1:0]	10	R/W	PTL6 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11、10	PL5MD[1:0]	10	R/W	PTL5 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9、8	PL4MD[1:0]	10	R/W	PTL4 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PL3MD[1:0]	10	R/W	PTL3 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PL2MD[1:0]	10	R/W	PTL2 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PL1MD[1:0]	10	R/W	PTL1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PL0MD[1:0]	10	R/W	PTL0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.12 ポート M 制御レジスタ (PMCR)

PMCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート M の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PM7MD[1:0]		PM6MD[1:0]		PM5MD[1:0]		PM4MD[1:0]		PM3MD[1:0]		PM2MD[1:0]		PM1MD[1:0]		PM0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PM7MD[1:0]	10	R/W	PTM7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
13、12	PM6MD[1:0]	10	R/W	PTM6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
11、10	PM5MD[1:0]	10	R/W	PTM5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
9、8	PM4MD[1:0]	10	R/W	PTM4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
7、6	PM3MD[1:0]	10	R/W	PTM3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
5、4	PM2MD[1:0]	10	R/W	PTM2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PM1MD[1:0]	10	R/W	PTM1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PM0MD[1:0]	10	R/W	PTM0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.13 ポート N 制御レジスタ (PNCR)

PNCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート N の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PN7MD[1:0]		PN6MD[1:0]		PN5MD[1:0]		PN4MD[1:0]		PN3MD[1:0]		PN2MD[1:0]		PN1MD[1:0]		PN0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PN7MD[1:0]	10	R/W	PTN7 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13、12	PN6MD[1:0]	10	R/W	PTN6 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11、10	PN5MD[1:0]	10	R/W	PTN5 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルダウン MOS: オン) 11: ポート入力 (プルダウン MOS: オフ)
9、8	PN4MD[1:0]	10	R/W	PTN4 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PN3MD[1:0]	10	R/W	PTN3 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PN2MD[1:0]	10	R/W	PTN2 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PN1MD[1:0]	10	R/W	PTN1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PN0MD[1:0]	10	R/W	PTN0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.14 ポート Q 制御レジスタ (PQCR)

PQCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート Q の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PQ7MD[1:0]		PQ6MD[1:0]		PQ5MD[1:0]		PQ4MD[1:0]		PQ3MD[1:0]		PQ2MD[1:0]		PQ1MD[1:0]		PQ0MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	PQ7MD[1:0]	00	R/W	PTQ7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
13, 12	PQ6MD[1:0]	00	R/W	PTQ6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
11, 10	PQ5MD[1:0]	00	R/W	PTQ5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
9, 8	PQ4MD[1:0]	00	R/W	PTQ4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
7, 6	PQ3MD[1:0]	00	R/W	PTQ3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
5, 4	PQ2MD[1:0]	00	R/W	PTQ2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PQ1MD[1:0]	00	R/W	PTQ1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルダウン MOS : オン) 11 : ポ - ト入力 (プルダウン MOS : オフ)
1、0	PQ0MD[1:0]	00	R/W	PTQ0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルダウン MOS : オン) 11 : ポ - ト入力 (プルダウン MOS : オフ)

48.2.15 ポート R 制御レジスタ (PRCR)

PRCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート R の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PR7MD[1:0]		PR6MD[1:0]		PR5MD[1:0]		PR4MD[1:0]		PR3MD[1:0]		PR2MD[1:0]		PR1MD[1:0]		PR0MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PR7MD[1:0]	00	R/W	PTR7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
13、12	PR6MD[1:0]	00	R/W	PTR6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
11、10	PR5MD[1:0]	00	R/W	PTR5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
9、8	PR4MD[1:0]	00	R/W	PTR4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
7、6	PR3MD[1:0]	00	R/W	PTR3 モード 00: その他の機能 (表 48.1 参照) 01: 設定禁止 10: ポ - ト入力 (プルアップ MOS: オフ) 11: ポ - ト入力 (プルアップ MOS: オフ)
5、4	PR2MD[1:0]	00	R/W	PTR2 モード 00: その他の機能 (表 48.1 参照) 01: 設定禁止 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PR1MD[1:0]	00	R/W	PTR1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PR0MD[1:0]	00	R/W	PTR0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.16 ポート S 制御レジスタ (PSCR)

PSCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート S の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PS6MD[1:0]	PS5MD[1:0]	PS4MD[1:0]	PS3MD[1:0]	PS2MD[1:0]	PS1MD[1:0]	PS0MD[1:0]							
初期値:	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13、12	PS6MD[1:0]	10	R/W	PTS6 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11、10	PS5MD[1:0]	10	R/W	PTS5 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9、8	PS4MD[1:0]	10	R/W	PTS4 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PS3MD[1:0]	10	R/W	PTS3 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PS2MD[1:0]	10	R/W	PTS2 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PS1MD[1:0]	10	R/W	PTS1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PS0MD[1:0]	10	R/W	PTS0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.17 ポート T 制御レジスタ (PTCR)

PTCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート T の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PT7MD[1:0]		PT6MD[1:0]		PT5MD[1:0]		PT4MD[1:0]		PT3MD[1:0]		PT2MD[1:0]		PT1MD[1:0]		PT0MD[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PT7MD[1:0]	00	R/W	PTT7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
13、12	PT6MD[1:0]	00	R/W	PTT6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
11、10	PT5MD[1:0]	00	R/W	PTT5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
9、8	PT4MD[1:0]	00	R/W	PTT4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
7、6	PT3MD[1:0]	00	R/W	PTT3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
5、4	PT2MD[1:0]	00	R/W	PTT2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PT1MD[1:0]	00	R/W	PTT1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルダウン MOS : オン) 11 : ポ - ト入力 (プルダウン MOS : オフ)
1、0	PT0MD[1:0]	00	R/W	PTT0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルダウン MOS : オン) 11 : ポ - ト入力 (プルダウン MOS : オフ)

48.2.18 ポート U 制御レジスタ (PUCR)

PUCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート U の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PU7MD[1:0]	PU6MD[1:0]	PU5MD[1:0]	PU4MD[1:0]	PU3MD[1:0]	PU2MD[1:0]	PU1MD[1:0]	PU0MD[1:0]								
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15、14	PU7MD[1:0]	10	R/W	PTU7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
13、12	PU6MD[1:0]	10	R/W	PTU6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
11、10	PU5MD[1:0]	10	R/W	PTU5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
9、8	PU4MD[1:0]	10	R/W	PTU4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
7、6	PU3MD[1:0]	10	R/W	PTU3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
5、4	PU2MD[1:0]	10	R/W	PTU2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PU1MD[1:0]	10	R/W	PTU1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PU0MD[1:0]	10	R/W	PTU0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.19 ポート V 制御レジスタ (PVCR)

PVCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート V の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PV7MD[1:0]		PV6MD[1:0]		PV5MD[1:0]		PV4MD[1:0]		PV3MD[1:0]		PV2MD[1:0]		PV1MD[1:0]		PV0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PV7MD[1:0]	10	R/W	PTV7 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13、12	PV6MD[1:0]	10	R/W	PTV6 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11、10	PV5MD[1:0]	10	R/W	PTV5 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9、8	PV4MD[1:0]	10	R/W	PTV4 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PV3MD[1:0]	10	R/W	PTV3 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PV2MD[1:0]	10	R/W	PTV2 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PV1MD[1:0]	10	R/W	PTV1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PV0MD[1:0]	10	R/W	PTV0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.20 ポート W 制御レジスタ (PWCR)

PWCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート W の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PW7MD[1:0]		PW6MD[1:0]		PW5MD[1:0]		PW4MD[1:0]		PW3MD[1:0]		PW2MD[1:0]		PW1MD[1:0]		PW0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PW7MD[1:0]	10	R/W	PTW7 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13、12	PW6MD[1:0]	10	R/W	PTW6 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11、10	PW5MD[1:0]	10	R/W	PTW5 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9、8	PW4MD[1:0]	10	R/W	PTW4 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PW3MD[1:0]	10	R/W	PTW3 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PW2MD[1:0]	10	R/W	PTW2 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PW1MD[1:0]	10	R/W	PTW1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PW0MD[1:0]	01	R/W	PTW0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.21 ポート X 制御レジスタ (PXCR)

PXCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート X の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PX7MD[1:0]		PX6MD[1:0]		PX5MD[1:0]		PX4MD[1:0]		PX3MD[1:0]		PX2MD[1:0]		PX1MD[1:0]		PX0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PX7MD[1:0]	10	R/W	PTX7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
13、12	PX6MD[1:0]	10	R/W	PTX6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
11、10	PX5MD[1:0]	10	R/W	PTX5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
9、8	PX4MD[1:0]	10	R/W	PTX4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
7、6	PX3MD[1:0]	10	R/W	PTX3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)
5、4	PX2MD[1:0]	10	R/W	PTX2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルダウン MOS: オン) 11: ポ - ト入力 (プルダウン MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PX1MD[1:0]	10	R/W	PTX1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PX0MD[1:0]	10	R/W	PTX0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.22 ポート Y 制御レジスタ (PYCR)

PYCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート Y の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PY7MD[1:0]		PY6MD[1:0]		PY5MD[1:0]		PY4MD[1:0]		PY3MD[1:0]		PY2MD[1:0]		PY1MD[1:0]		PY0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PY7MD[1:0]	10	R/W	PTY7 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
13、12	PY6MD[1:0]	10	R/W	PTY6 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
11、10	PY5MD[1:0]	10	R/W	PTY5 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
9、8	PY4MD[1:0]	10	R/W	PTY4 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
7、6	PY3MD[1:0]	10	R/W	PTY3 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)
5、4	PY2MD[1:0]	10	R/W	PTY2 モード 00: その他の機能 (表 48.1 参照) 01: ポート出力 10: ポート入力 (プルアップ MOS: オン) 11: ポート入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PY1MD[1:0]	10	R/W	PTY1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PY0MD[1:0]	01	R/W	PTY0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.23 ポート Z 制御レジスタ (PZCR)

PZCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート Z の端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PZ7MD[1:0]		PZ6MD[1:0]		PZ5MD[1:0]		PZ4MD[1:0]		PZ3MD[1:0]		PZ2MD[1:0]		PZ1MD[1:0]		PZ0MD[1:0]	
初期値:	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	PZ7MD[1:0]	10	R/W	PTZ7 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
13、12	PZ6MD[1:0]	10	R/W	PTZ6 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
11、10	PZ5MD[1:0]	10	R/W	PTZ5 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
9、8	PZ4MD[1:0]	10	R/W	PTZ4 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
7、6	PZ3MD[1:0]	10	R/W	PTZ3 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)
5、4	PZ2MD[1:0]	10	R/W	PTZ2 モード 00: その他の機能 (表 48.1 参照) 01: ポ - ト出力 10: ポ - ト入力 (プルアップ MOS: オン) 11: ポ - ト入力 (プルアップ MOS: オフ)

ビット	ビット名	初期値	R/W	説 明
3、2	PZ1MD[1:0]	10	R/W	PTZ1 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)
1、0	PZ0MD[1:0]	10	R/W	PTZ0 モード 00 : その他の機能 (表 48.1 参照) 01 : ポ - ト出力 10 : ポ - ト入力 (プルアップ MOS : オン) 11 : ポ - ト入力 (プルアップ MOS : オフ)

48.2.24 ポート A データレジスタ (PADR)

PADR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTA7 ~ PTA0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PA7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PA6DT	0	R/W	
5	PA5DT	0	R/W	
4	PA4DT	0	R/W	
3	PA3DT	0	R/W	
2	PA2DT	0	R/W	
1	PA1DT	0	R/W	
0	PA0DT	0	R/W	

48.2.25 ポート B データレジスタ (PBDR)

PBDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTB7 ~ PTB0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PB7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PB6DT	0	R/W	
5	PB5DT	0	R/W	
4	PB4DT	0	R/W	
3	PB3DT	0	R/W	
2	PB2DT	0	R/W	
1	PB1DT	0	R/W	
0	PB0DT	0	R/W	

48.2.26 ポート C データレジスタ (PCDR)

PCDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTC7 ~ PTC0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PC7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PC6DT	0	R/W	
5	PC5DT	0	R/W	
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	PC1DT	0	R/W	
0	PC0DT	0	R/W	

48.2.27 ポート D データレジスタ (PDDR)

PDDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTD7 ~ PTD0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PD7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PD6DT	0	R/W	
5	PD5DT	0	R/W	
4	PD4DT	0	R/W	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

48.2.28 ポート E データレジスタ (PEDR)

PEDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTE7 ~ PTE0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PE7DT	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PE7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PE6DT	0	R/W	
5	PE5DT	0	R/W	
4	PE4DT	0	R/W	
3	PE3DT	0	R/W	
2	PE2DT	0	R/W	
1	PE1DT	0	R/W	
0	PE0DT	0	R/W	

48.2.29 ポート F データレジスタ (PFDR)

PFDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTF7 ~ PTF0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PF7DT	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PF7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PF6DT	0	R/W	
5	PF5DT	0	R/W	
4	PF4DT	0	R/W	
3	PF3DT	0	R/W	
2	PF2DT	0	R/W	
1	PF1DT	0	R/W	
0	PF0DT	0	R/W	

48.2.30 ポート G データレジスタ (PGDR)

PGDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTG5 ~ PTG0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	—	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7, 6	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
5	PG5DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。
4	PG4DT	0	R/W	
3	PG3DT	0	R/W	入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
2	PG2DT	0	R/W	
1	PG1DT	0	R/W	ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
0	PG0DT	0	R/W	

48.2.31 ポート H データレジスタ (PHDR)

PHDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTH7 ~ PTH0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PH7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。
6	PH6DT	0	R/W	
5	PH5DT	0	R/W	入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
4	PH4DT	0	R/W	
3	PH3DT	0	R/W	ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
2	PH2DT	0	R/W	
1	PH1DT	0	R/W	
0	PH0DT	0	R/W	

48.2.32 ポート J データレジスタ (PJDR)

PJDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTJ7 ~ PTJ0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PJ7DT	PJ6DT	PJ5DT	—	PJ3DT	PJ2DT	PJ1DT	PJ0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PJ7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。
6	PJ6DT	0	R/W	
5	PJ5DT	0	R/W	入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
4	-	0	R	
3	PJ3DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。
2	PJ2DT	0	R/W	
1	PJ1DT	0	R/W	入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
0	PJ0DT	0	R/W	

48.2.33 ポート K データレジスタ (PKDR)

PKDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTK7 ~ PTK0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PK7DT	PK6DT	PK5DT	PK4DT	PK3DT	PK2DT	PK1DT	PK0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PK7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。
6	PK6DT	0	R/W	
5	PK5DT	0	R/W	入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
4	PK4DT	0	R/W	
3	PK3DT	0	R/W	
2	PK2DT	0	R/W	
1	PK1DT	0	R/W	
0	PK0DT	0	R/W	

48.2.34 ポート L データレジスタ (PLDR)

PLDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTL7 ~ PTL0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PL7DT	PL6DT	PL5DT	PL4DT	PL3DT	PL2DT	PL1DT	PL0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PL7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PL6DT	0	R/W	
5	PL5DT	0	R/W	
4	PL4DT	0	R/W	
3	PL3DT	0	R/W	
2	PL2DT	0	R/W	
1	PL1DT	0	R/W	
0	PL0DT	0	R/W	

48.2.35 ポート M データレジスタ (PMDR)

PMDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTM7 ~ PTM0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PM7DT	PM6DT	PM5DT	PM4DT	PM3DT	PM2DT	PM1DT	PM0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PM7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PM6DT	0	R/W	
5	PM5DT	0	R/W	
4	PM4DT	0	R/W	
3	PM3DT	0	R/W	
2	PM2DT	0	R/W	
1	PM1DT	0	R/W	
0	PM0DT	0	R/W	

48.2.36 ポート N データレジスタ (PNDR)

PNDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTN7 ~ PTN0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PN7DT	PN6DT	PN5DT	PN4DT	PN3DT	PN2DT	PN1DT	PN0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PN7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PN6DT	0	R/W	
5	PN5DT	0	R/W	
4	PN4DT	0	R/W	
3	PN3DT	0	R/W	
2	PN2DT	0	R/W	
1	PN1DT	0	R/W	
0	PN0DT	0	R/W	

48.2.37 ポート Q データレジスタ (PQDR)

PQDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTQ7 ~ PTQ0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PQ7DT	PQ6DT	PQ5DT	PQ4DT	PQ3DT	PQ2DT	PQ1DT	PQ0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PQ7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PQ6DT	0	R/W	
5	PQ5DT	0	R/W	
4	PQ4DT	0	R/W	
3	PQ3DT	0	R/W	
2	PQ2DT	0	R/W	
1	PQ1DT	0	R/W	
0	PQ0DT	0	R/W	

48.2.38 ポート R データレジスタ (PRDR)

PRDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTR7 ~ PTR0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PR7DT	PR6DT	PR5DT	PR4DT	PR3DT	PR2DT	PR1DT	PR0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PR7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PR6DT	0	R/W	
5	PR5DT	0	R/W	
4	PR4DT	0	R/W	
3	PR3DT	0	R/W	
2	PR2DT	0	R/W	
1	PR1DT	0	R/W	
0	PR0DT	0	R/W	

48.2.39 ポート S データレジスタ (PSDR)

PSDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTS6 ~ PTS0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	—	PS6DT	PS5DT	PS4DT	PS3DT	PS2DT	PS1DT	PS0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。
6	PS6DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
5	PS5DT	0	R/W	
4	PS4DT	0	R/W	
3	PS3DT	0	R/W	
2	PS2DT	0	R/W	
1	PS1DT	0	R/W	
0	PS0DT	0	R/W	

48.2.40 ポート T データレジスタ (PTDR)

PTDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTT7 ~ PTT0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PT7DT	PT6DT	PT5DT	PT4DT	PT3DT	PT2DT	PT1DT	PT0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PT7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PT6DT	0	R/W	
5	PT5DT	0	R/W	
4	PT4DT	0	R/W	
3	PT3DT	0	R/W	
2	PT2DT	0	R/W	
1	PT1DT	0	R/W	
0	PT0DT	0	R/W	

48.2.41 ポート U データレジスタ (PUDR)

PUDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTU7 ~ PTU0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PU7DT	PU6DT	PU5DT	PU4DT	PU3DT	PU2DT	PU1DT	PU0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PU7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PU6DT	0	R/W	
5	PU5DT	0	R/W	
4	PU4DT	0	R/W	
3	PU3DT	0	R/W	
2	PU2DT	0	R/W	
1	PU1DT	0	R/W	
0	PU0DT	0	R/W	

48.2.42 ポートVデータレジスタ (PVDR)

PVDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTV7 ~ PTV0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PV7DT	PV6DT	PV5DT	PV4DT	PV3DT	PV2DT	PV1DT	PV0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PV7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PV6DT	0	R/W	
5	PV5DT	0	R/W	
4	PV4DT	0	R/W	
3	PV3DT	0	R/W	
2	PV2DT	0	R/W	
1	PV1DT	0	R/W	
0	PV0DT	0	R/W	

48.2.43 ポートWデータレジスタ (PWDR)

PWDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTW7 ~ PTW0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PW7DT	PW6DT	PW5DT	PW4DT	PW3DT	PW2DT	PW1DT	PW0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PW7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PW6DT	0	R/W	
5	PW5DT	0	R/W	
4	PW4DT	0	R/W	
3	PW3DT	0	R/W	
2	PW2DT	0	R/W	
1	PW1DT	0	R/W	
0	PW0DT	0	R/W	

48.2.44 ポート X データレジスタ (PXDR)

PXDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTX6 ~ PTX0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PX7DT	PX6DT	PX5DT	PX4DT	PX3DT	PX2DT	PX1DT	PX0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PX7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PX6DT	0	R/W	
5	PX5DT	0	R/W	
4	PX4DT	0	R/W	
3	PX3DT	0	R/W	
2	PX2DT	0	R/W	
1	PX1DT	0	R/W	
0	PX0DT	0	R/W	

48.2.45 ポート Y データレジスタ (PYDR)

PYDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTY7 ~ PTY0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PY7DT	PY6DT	PY5DT	PY4DT	PY3DT	PY2DT	PY1DT	PY0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PY7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込みますが端子の状態には影響しません。
6	PY6DT	0	R/W	
5	PY5DT	0	R/W	
4	PY4DT	0	R/W	
3	PY3DT	0	R/W	
2	PY2DT	0	R/W	
1	PY1DT	0	R/W	
0	PY0DT	0	R/W	

48.2.46 ポート Z データレジスタ (PZDR)

PZDR は、読み出し / 書き込み可能な 8 ビットのレジスタで、PTZ7 ~ PTZ0 端子のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PZ7DT	PZ6DT	PZ5DT	PZ4DT	PZ3DT	PZ2DT	PZ1DT	PZ0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	PZ7DT	0	R/W	出力ポートの場合：読み出すと本レジスタの値が読み出されます。書き込み時は書き込んだ値が端子から出力されます。 入力ポートの場合：読み出すと端子の状態が読み出されます。書き込み時は本レジスタに書き込めますが端子の状態には影響しません。 ポート以外の場合：読み出すと本レジスタの値が読み出されます。書き込み時は本レジスタに書き込めますが端子の状態には影響しません。
6	PZ6DT	0	R/W	
5	PZ5DT	0	R/W	
4	PZ4DT	0	R/W	
3	PZ3DT	0	R/W	
2	PZ2DT	0	R/W	
1	PZ1DT	0	R/W	
0	PZ0DT	0	R/W	

48.2.47 ピンセレクトレジスタ A (PSELA)

PSELA は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート以外の機能を 2 つ以上マルチプレクスしている端子の機能を選択します。ポート以外の機能を使用する場合は、PSELA の該当ビットを設定した後にポート制御レジスタを「その他の機能」に設定してください。

設定例：PTA7~0/BSC/KEYSC 端子において、KEYSC 機能を使用する場合

1. PSELA.PSA14 ビットに 1 を書き込み
2. ポート A 制御レジスタ (PACR) の PZnMD[1:0] (n=7~0) ビットを B'00 (その他の機能) に設定
3. I/O バッファ Hi-Z 制御レジスタ A (HIZCRA) の HIZA15 ビットを B'0 (I/O バッファは通常動作) に設定

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSA15	PSA14	PSA13	PSA12	—	PSA10	PSA9	PSA8	PSA7	PSA6	PSA5	—	PSA3	PSA2	PSA1	PSA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PSA15	0	R/W	PTA7 ~ PTA0、PTB2、PTB1、PTB0 マルチプレクス機能の選択 00: BSC (D26 ~ D16) を選択 01: KEYSC (KEYOUT2 ~ KEYOUT0、KEYIN4 ~ KEYIN0、KEYOUT5/IN5、KEYOUT4/IN6、KEYOUT3) を選択 10: ATAPI (IDED15 ~ IDED8、 $\overline{\text{IDEIORD}}$ 、 $\overline{\text{IDEIOWR}}$ 、IDEINT) を選択 11: 設定禁止
14	PSA14	0	R/W	
13	PSA13	0	R/W	PTW3 ~ PTW0 マルチプレクス機能の選択 0: MMCIF (MMC_D3 ~ MMC_D0) を選択 1: SDHI1 (SDHI1D3 ~ SDHI1D0、SDHI1CMD、SDHI1CLK) を選択
12	PSA12	0	R/W	PTX7、PTX6 マルチプレクス機能の選択 0: DMAC (DACK1、DREQ1) を選択 1: IrDA (IRDA_OUT、 $\overline{\text{IRDA_IN}}$) を選択
11	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10	PSA10	0	R/W	PTS4 マルチプレクス機能の選択 0: VIO (VIO1_HD) を選択 1: SCIFA5 (SCIF5_SCK) を選択
9	PSA9	0	R/W	PTS3、PTS2 マルチプレクス機能の選択 0: VIO (VIO1_VD、VIO1_CLK) を選択 1: SCIFA5 (SCIF5_RXD、SCIF5_TXD) を選択
8	PSA8	0	R/W	PTJ3 マルチプレクス機能の選択 0: BSC (A25) を選択 1: BSC ($\overline{\text{BS}}$) を選択

ビット	ビット名	初期値	R/W	説明
7	PSA7	0	R/W	PTM0 マルチプレクス機能の選択 0 : LCDC (LCDFRD) を選択 1 : SCIF0 (SCIF0_SCK) を選択
6	PSA6	0	R/W	PTF2、PTM1 マルチプレクス機能の選択 0 : LCDC (LCDVEPWC、LCDVCPWC) を選択 1 : SCIF0 (SCIF0_TXD、SCIF0_RXD) を選択
5	PSA5	0	R/W	PTR3 マルチプレクス機能の選択 0 : BSC (IOIS16) を選択 1 : LCDC (LCDLCLK) を選択
4	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3 2	PSA3 PSA2	0 0	R/W R/W	PTE3、PTE2 マルチプレクス機能の選択 00 : LCDC (LCDD19、LCDD18) を選択 01 : SCIFA4 (SCIF4_RXD、SCIF4_TXD) を選択 10 : 設定禁止 11 : 設定禁止
1 0	PSA1 PSA0	0 0	R/W R/W	PTR1 マルチプレクス機能の選択 00 : BSC (WE3/ICIOR) を選択 01 : TPU (TPUTO3) を選択 10 : TPU (TPUTI3) を選択 11 : 設定禁止

48.2.48 ピンセレクトレジスタ B (PSELB)

PSELB は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート以外の機能を 2 つ以上マルチプレクスしている端子の機能を選択します。ポート以外の機能を使用する場合は、PSELB の該当ビットを設定した後にポート制御レジスタを「その他の機能」に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PSB14	PSB13	PSB12	PSB11	PSB10	PSB9	PSB8	PSB7	PSB6	PSB5	PSB4	PSB3	PSB2	PSB1	PSB0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	PSB14	0	R/W	PTZ3 マルチプレクス機能の選択 0: INTC (IRQ3) を選択 1: SCIFA3 (SCIF3_TXD) を選択
13	PSB13	0	R/W	PTZ4 マルチプレクス機能の選択 0: INTC (IRQ4) を選択 1: SCIFA3 (SCIF3_RXD) を選択
12	PSB12	0	R/W	PTZ5 マルチプレクス機能の選択 0: INTC (IRQ5) を選択 1: SCIFA3 (SCIF3_SCK) を選択
11	PSB11	0	R/W	PTZ6 マルチプレクス機能の選択 0: INTC (IRQ6) を選択 1: SCIFA3 (SCIF3_RTS) を選択
10	PSB10	0	R/W	PTZ7 マルチプレクス機能の選択 0: INTC (IRQ7) を選択 1: SCIFA3 (SCIF3_CTS) を選択
9	PSB9	0	R/W	PTL7、PTL6 マルチプレクス機能の選択 00: VOU (DV_D5、DV_D4) を選択 01: SCIFA3 (SCIF3_SCK、SCIF3_RXD) を選択 10: EtherMAC (RMII_RXD0、RMII_RXD1) を選択 11: 設定禁止
8	PSB8	0	R/W	
7	PSB7	0	R/W	PTK7 ~ PTK2、PTS1、PTS0 マルチプレクス機能の選択 00: VIO (VIO1_D7 ~ VIO1_D0) を選択 01: VIO (VIO0_D15 ~ VIO0_D8) を選択 10: ATAPI (IDED7 ~ IDED0) を選択 11: 設定禁止
6	PSB6	0	R/W	

ビット	ビット名	初期値	R/W	説 明
5	PSB5	0	R/W	PTN2 マルチプレクス機能の選択 00 : VOU (DV_HSYNC) を選択 01 : SCIF2 (SCIF2_TXD) を選択 10 : 設定禁止 11 : 設定禁止
4	PSB4	0	R/W	
3	PSB3	0	R/W	PTN1 マルチプレクス機能の選択 00 : VOU (DV_D7) を選択 01 : SCIFA3 ($\overline{\text{SCIF3_CTS}}$) を選択 10 : EtherMAC (RMII_RX_ER) を選択 11 : 設定禁止
2	PSB2	0	R/W	
1	PSB1	0	R/W	PTN0 マルチプレクス機能の選択 00 : VOU (DV_D6) を選択 01 : SCIFA3 ($\overline{\text{SCIF3_RTS}}$) を選択 10 : EtherMAC (RMII_CRS_DV) を選択 11 : 設定禁止
0	PSB0	0	R/W	

48.2.49 ピンセレクトレジスタ C (PSEL C)

PSEL C は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート以外の機能を 2 つ以上マルチプレクスしている端子の機能を選択します。ポート以外の機能を使用する場合は、PSEL C の該当ビットを設定した後にポート制御レジスタを「その他の機能」に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSC15	PSC14	PSC13	PSC12	PSC11	PSC10	PSC9	PSC8	PSC7	PSC6	PSC5	PSC4	—	PSC2	PSC1	PSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PSC15	0	R/W	PTV5 ~ PTV2 マルチプレクス機能の選択
14	PSC14	0	R/W	00: FSI (FSIIBBCK、FSIIBLRCK、FSIOBBCK、FSIOBLRCK) を選択 01: MSIOF1 (MSIOF1_RXD、MSIOF1_TSYNC、MSIOF1_TSCK、MSIOF1_TXD) を選択 10: 設定禁止 11: 設定禁止
13	PSC13	0	R/W	PTM7 ~ PTM4 マルチプレクス機能の選択
12	PSC12	0	R/W	00: VOU (DV_D13 ~ DV_D10) を選択 01: MSIOF0 (MSIOF0_TSCK、MSIOF0_RXD、MSIOF0_TXD、MSIOF0_TSYNC) を選択 10: 設定禁止 11: 設定禁止
11	PSC11	0	R/W	PTM3、PTM2 マルチプレクス機能の選択
10	PSC10	0	R/W	00: VOU (DV_D9、DV_D8) を選択 01: MSIOF0 (MSIOF0_SS1、MSIOF0_SS2) を選択 10: MSIOF0 (MSIOF0_RSCK、MSIOF0_RSYNC) を選択 11: 設定禁止
9	PSC9	0	R/W	PTL4 ~ PTL2 マルチプレクス機能の選択
8	PSC8	0	R/W	00: VOU (DV_D2 ~ DV_D0) を選択 01: SCIF1 (SCIF1_SCK、SCIF1_RXD、SCIF1_TXD) を選択 10: EtherMAC (RMII_TX_EN、RMII_TXD0、RMII_TXD1) を選択 11: 設定禁止
7	PSC7	0	R/W	PTF1 マルチプレクス機能の選択
6	PSC6	0	R/W	00: LCDC (LCDD23) を選択 01: SCIF2 (SCIF2_SCK) を選択 10: 設定禁止 11: 設定禁止

ビット	ビット名	初期値	R/W	説 明
5	PSC5	0	R/W	PTE5、PTF0 マルチプレクス機能の選択
4	PSC4	0	R/W	00 : LCDC (LCDD21、LCDD22) を選択 01 : SCIF2 (SCIF2_TXD、SCIF2_RXD) を選択 10 : 設定禁止 11 : 設定禁止
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PSC2	0	R/W	PTX3 マルチプレクス機能の選択 0 : TSIF (TS0_SDEN) を選択 1 : EtherMAC (MDC) を選択
1	PSC1	0	R/W	PTX4 マルチプレクス機能の選択 0 : TSIF (TS0_SCK) を選択 1 : EtherMAC (MDIO) を選択
0	PSC0	0	R/W	PTX5 マルチプレクス機能の選択 0 : TSIF (TS0_SDAT) を選択 1 : EtherMAC (LNKSTA) を選択

48.2.50 ピンセレクトレジスタ D (PSELD)

PSELD は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート以外の機能を 2 つ以上マルチプレクスしている端子の機能を選択します。ポート以外の機能を使用する場合は、PSELD の該当ビットを設定した後にポート制御レジスタを「その他の機能」に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSD15	PSD14	PSD13	PSD12	PSD11	PSD10	PSD9	PSD8	PSD7	PSD6	PSD5	PSD4	PSD3	PSD2	PSD1	PSD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PSD15	0	R/W	PTN3 マルチプレクス機能の選択 00: VOU (DV_VSYNC) を選択 01: SCIF2 (SCIF2_RXD) を選択 10: 設定禁止 11: 設定禁止
14	PSD14	0	R/W	
13	PSD13	0	R/W	PTN4 マルチプレクス機能の選択 00: VOU (DV_CLK) を選択 01: SCIF2 (SCIF2_SCK) を選択 10: 設定禁止 11: 設定禁止
12	PSD12	0	R/W	
11	PSD11	0	R/W	PTN5 マルチプレクス機能の選択 0: VOU (DV_CLKI) を選択 1: 設定禁止
10	PSD10	0	R/W	PTF6、PTF5、PTF3 マルチプレクス機能の選択 00: LCDC (LCDDISP、LCDHSYN、LCDDCK) を選択 01: LCDC (LCDRS、 $\overline{\text{LCDCS}}$ 、 $\overline{\text{LCDWR}}$) を選択 10: 設定禁止 11: 設定禁止
9	PSD9	0	R/W	
8	PSD8	0	R/W	PTF7、PTF4 マルチプレクス機能の選択 0: LCDC (LCDVSYN、LCDDON) を選択 1: 設定禁止
7	PSD7	0	R/W	PTV7、PTV6 マルチプレクス機能の選択 00: FSI (FSIIBSD、FSIOBSD) を選択 01: MSIOF1 ($\overline{\text{MSIOF1_SS1}}$ 、 $\overline{\text{MSIOF1_SS2}}$) を選択 10: MSIOF1 (MSIOF1_RSYNC、MSIOF1_RSCK) を選択 11: 設定禁止
6	PSD6	0	R/W	
5	PSD5	0	R/W	PTC7~PTC0、PTD7~PTD0、PTE1、PTE0 マルチプレクス機能の選択 0: LCDC (LCDD0~LCDD17) を選択 1: 設定禁止

ビット	ビット名	初期値	R/W	説 明
4	PSD4	0	R/W	PTL1 マルチプレクス機能の選択 0 : VOU (DV_D15) を選択 1 : 設定禁止
3 2	PSD3 PSD2	0 0	R/W R/W	PTE4 マルチプレクス機能の選択 00 : LCDC (LCDD20) を選択 01 : SCIFA4 (SCIF4_SCK) を選択 10 : 設定禁止 11 : 設定禁止
1 0	PSD1 PSD0	0 0	R/W R/W	PTR0 マルチプレクス機能の選択 00 : BSC (WE2/ICIORD) を選択 01 : TPU (TPUTO2) を選択 10 : ATAPI (IDEA2) を選択 11 : 設定禁止

48.2.51 ピンセレクトレジスタ E (PSELE)

PSELE は、読み出し / 書き込み可能な 16 ビットのレジスタで、ポート以外の機能を 2 つ以上マルチプレクスしている端子の機能を選択します。ポート以外の機能を使用する場合は、PSELE の該当ビットを設定した後にポート制御レジスタを「その他の機能」に設定してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSE15	PSE14	PSE13	PSE12	PSE11	PSE10	PSE9	PSE8	PSE7	PSE6	PSE5	PSE4	PSE3	PSE2	PSE1	PSE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PSE15	0	R/W	PTB7、PTB6 マルチプレクス機能の選択 00: BSC (D31、D30) を選択 01: TPU (TPUTO1、TPUTO0) を選択 10: ATAPI (IDEA1、IDEA0) を選択 11: 設定禁止
14	PSE14	0	R/W	
13	PSE13	0	R/W	PTW7 ~ PTW4 マルチプレクス機能の選択 00: MMCIF (MMC_D7 ~ MMC_D4) を選択 01: SDHI1 (SDHI1CD、SDHI1WP、SDHI1D3、SDHI1D2) を選択 10: ATAPI (IODACK、IDERST、EXBUF_ENB、DIRECTION) を選択 11: 設定禁止
12	PSE12	0	R/W	
11	PSE11	0	R/W	PTB5 ~ PTB3 マルチプレクス機能の選択 0: BSC (D29 ~ D27) を選択 1: ATAPI (IODREQ、IDECS0、IDECS1) を選択
10	PSE10	0	R/W	PTV0 マルチプレクス機能の選択 0: FSI (FSIIASD) を選択 1: 設定禁止
9	PSE9	0	R/W	PTS5 マルチプレクス機能の選択 00: VIO (VIO1_FLD) を選択 01: TPU (TPUTI2) を選択 10: ATAPI (IDEIORDY) を選択 11: 設定禁止
8	PSE8	0	R/W	
7	PSE7	0	R/W	PTL5 マルチプレクス機能の選択 00: VOU (DV_D3) を選択 01: SCIFA3 (SCIF3_TXD) を選択 10: EtherMAC (RMII_REF_CLK) を選択 11: 設定禁止
6	PSE6	0	R/W	

ビット	ビット名	初期値	R/W	説 明
5	PSE5	0	R/W	PTL0 マルチプレクス機能の選択 00 : VOU (DV_D14) を選択 01 : MSIOF0 (MSIOF0_MCK) を選択 10 : 設定禁止 11 : 設定禁止
4	PSE4	0	R/W	
3	PSE3	0	R/W	PTV1 マルチプレクス機能の選択 00 : FSI (CLKAUDIOBO) を選択 01 : MSIOF1 (MSIOF1_MCK) を選択 10 : 設定禁止 11 : 設定禁止
2	PSE2	0	R/W	
1	PSE1	0	R/W	PTU5 ~ PTU1 マルチプレクス機能の選択 0 : FSI (FSIOASD、FSIIABCK、FSIILRCK、FSIOABCK、FSIOALRCK) を選択 1 : 設定禁止
0	PSE0	0	R/W	PTU0 マルチプレクス機能の選択 0 : FSI (CLKAUDIOAO) を選択 1 : 設定禁止

48.2.52 I/O バッファ Hi-Z 制御レジスタ A (HIZCRA)

HIZCRA は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子の Hi-Z 制御を機能単位ごとに行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HIZA15	HIZA14	HIZA13	HIZA12	HIZA11	HIZA10	HIZA9	HIZA8	HIZA7	HIZA6	—	—	—	—	HIZA1	HIZA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	HIZA15	0	R/W	PTA 端子 (D23~D16) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
14	HIZA14	0	R/W	PTB7~PTB3 端子 (D31~D27, TPUTO1, TPUTO0) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
13	HIZA13	0	R/W	PTB2~PTB0 端子 (D26~D24, KEYOUT5/IN5, KEYOUT4/IN6, KEYOUT3) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
12	HIZA12	0	R/W	PTC7~0, PTD7~0, PTE1, PTE0 端子 (LCDD17~LCDD0) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
11	HIZA11	0	R/W	PTE7, PTE6 端子 (FSIMCKA, FSIMCKB) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
10	HIZA10	0	R/W	PTE5 端子 (LCDD21/SCIF2_TXD) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
9	HIZA9	0	R/W	PTE4, PTE3, PTE2 端子 (LCDD20/SCIF4_SCK, LCDD19/SCIF4_RXD, LCDD18/SCIF4_TXD) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
8	HIZA8	0	R/W	PTF7~PTF3 端子 (LCDVSYN, LCDDISP/LCDRS, LCDHSYN/LCDCS, LCDDON, LCDDCK/LCDWR) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス

ビット	ビット名	初期値	R/W	説明
7	HIZA7	0	R/W	PTF2、PTM1、PTM0 端子 (LCDVEPWC/SCIF0_TXD、LCDVCPWC/SCIF0_RXD、 $\overline{\text{LCDRD}}$ /SCIF0_SCK) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
6	HIZA6	0	R/W	PTF1、PTF0 端子 (LCDD23/SCIF2_SCK、LCDD22/SCIF2_RXD) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
5~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	HIZA1	1	R/W	PTG5 ~ PTG0 端子 (AUDCK、AUDSYNC、AUDATA3 ~ AUDATA0) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
0	HIZA0	1	R/W	PTR3 端子 ($\overline{\text{IOIS16}}$ /LCDLCLK) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス

48.2.53 I/O バッファ Hi-Z 制御レジスタ B (HIZCRB)

HIZCRB は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子の Hi-Z 制御を機能単位ごとに行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HIZB15	HIZB14	HIZB13	HIZB12	HIZB11	HIZB10	HIZB9	HIZB8	HIZB7	HIZB6	HIZB5	HIZB4	HIZB3	HIZB2	HIZB1	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
15	HIZB15	0	R/W	PTH7~PTH0、PTN7、PTN6 端子 (VIO0_VD、VIO0_CLK、VIO0_D7~D0) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
14	HIZB14	0	R/W	PTJ7~PTJ5 端子 (PDSTATUS、STATUS2、STATUS0) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
13	HIZB13	0	R/W	PTJ3~PTJ0 端子 (A25~A22) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
12	HIZB12	0	R/W	PTK7~PTK0 端子 (VIO1_D5/IDED5~VIO1_D0/IDED0、VIO0_FLD、VIO0_HD) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
11	HIZB11	0	R/W	PTL7~PTL5 端子 (DV_D5/SCIF3_SCK/RMII_RXD0、DV_D4/SCIF3_RXD/RMII_RXD1、DV_D3/SCIF3_TXD/RMII_REF_CLK) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
10	HIZB10	0	R/W	PTL4~PTL2 端子 (DV_D2/SCIF1_SCK/RMII_TX_EN、DV_D1/SCIF1_RXD/RMII_TXD0、DV_D0/SCIF1_TXD/RMII_TXD1) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
9	HIZB9	0	R/W	PTL1 端子 (DV_D15) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
8	HIZB8	0	R/W	PTL0、PTM7~PTM2、PTN5 端子 (DV_D14/MSIOF0_MCK、DV_D13/MSIOF0_TSCK、DV_D12/MSIOF0_RXD、DV_D11/MSIOF0_TXD、DV_D10/MSIOF0_TSYNC、DV_D9/MSIOF0_SST/MSIOF0_RSCK、DV_D8/MSIOF0_SS2/MSIOF0_RSYNC、DV_CLKI) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス

ビット	ビット名	初期値	R/W	説明
7	HIZB7	0	R/W	PTN4 ~ PTN2 端子 (DV_CLK/SCIF2_SCK、DV_VSYNC/SCIF2_RXD、DV_HSYNC/SCIF2_TXD) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
6	HIZB6	0	R/W	PTN1、PTN0 端子 (DV_D7/SCIF3_CTS/RMII_RX_ER、DV_D6/SCIF3_RTS/RMII_CRS_DV) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
5	HIZB5	0	R/W	PTQ7 ~ PTQ0、PTT7 ~ PTT0 端子 (D15 ~ D0) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
4	HIZB4	0	R/W	PTR7 ~ PTR4、PTR2 ~ PTR0 端子 (CS5A、CS5B、CS6A、CS6B、WE2、WE3、WAIT) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
3	HIZB3	0	R/W	PTS5 ~ PTS0 端子 (VIO1_FLD/TPUTI2/IDEIORDY、VIO1_HD/SCIF5_SCK、VIO1_VD/SCIF5_RXD、VIO1_CLK/SCIF5_TXD、VIO1_D7/IDED7、VIO1_D6/IDED6) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
2	HIZB2	0	R/W	PTS6 端子 (VIO_CKO) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
1	HIZB1	0	R/W	PTU7、PTU6 端子 (DACK0、DREQ0) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

48.2.54 I/O バッファ Hi-Z 制御レジスタ C (HIZCRC)

HIZCRC は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子の Hi-Z 制御を機能単位ごとに行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	HIZC13	HIZC12	HIZC11	HIZC10	HIZC9	HIZC8	HIZC7	HIZC6	HIZC5	HIZC4	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	HIZC13	0	R/W	PTU5 ~ PTU0 端子 (FSIOASD、FSIIABCK、FSIILRCK、FSIOABCK、FSIOALRCK、CLKAUDIOAO) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
12	HIZC12	0	R/W	PTV7 ~ PTV1 端子 (FSIIBSD/MSIOF1_SS2/MSIOF1_RSYNC、FSIOBSD/MSIOF1_SS1/MSIOF1_RSCK、FSIIBCK/MSIOF1_RXD、FSIIBLRCK/MSIOF1_TSYNC、FSIOBBCK/MSIOF1_TSCK、FSIOBLRCK/MSIOF1_TXD、CLKAUDIOBO/MSIOF1_MCK) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
11	HIZC11	0	R/W	PTV0 端子 (FSIIASD) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
10	HIZC10	0	R/W	PTW7 ~ PTW4 端子 (MMC_D7/SDHI1CD/IODACK、MMC_D6/SDHI1WP/IDERST、MMC_D5/SDHI1D3/EXBUF_ENB、MMC_D4/SDHI1D2/DIRECTION) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
9	HIZC9	0	R/W	PTW3 ~ PTW0 端子 (MMC_D3/SDHI1D1、MMC_D2/SDHI1D0、MMC_D1/SDHI1CMD、MMC_D0/SDHI1CLK) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
8	HIZC8	0	R/W	PTX7、PTX6 端子 (DACK1/IRDA_OUT、DREQ1/IRDA_IN) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
7	HIZC7	0	R/W	PTX5 ~ PTX3 端子 (TS_SDAT/LNKSTA、TS_SCK/MQIO、TS_SDEN/MDC) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス

ビット	ビット名	初期値	R/W	説明
6	HIZC6	0	R/W	PTX2 端子 (TS_SPSYNC) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
5	HIZC5	0	R/W	PTX1、PTX0 端子 (MMC_CLK、MMC_CMD) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
4	HIZC4	0	R/W	PTY7 ~ PTY0 端子のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

48.2.55 I/O バッファ Hi-Z 制御レジスタ D (HIZCRD)

HIZCRD は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子の Hi-Z 制御を機能単位ごとに行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HIZD15	HIZD14	HIZD13	HIZD12	HIZD11	HIZD10	HIZD9	HIZD8	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	HIZD15	0	R/W	PTZ7 端子 (IRQ7) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
14	HIZD14	0	R/W	PTZ6 端子 (IRQ6) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
13	HIZD13	0	R/W	PTZ5 端子 (IRQ5) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
12	HIZD12	0	R/W	PTZ4 端子 (IRQ4) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
11	HIZD11	0	R/W	PTZ3 端子 (IRQ3) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
10	HIZD10	0	R/W	PTZ2 端子 (IRQ2) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
9	HIZD9	0	R/W	PTZ1 端子 (IRQ1) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
8	HIZD8	0	R/W	PTZ0 端子 (IRQ0) のハイインピーダンス制御 0: I/O バッファは通常動作 1: I/O バッファは入力固定、出力ハイインピーダンス
7~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

48.2.56 モジュール機能選択レジスタ A (MSELCRA)

MSELCRA は、読み出し / 書き込み可能な 16 ビットのレジスタで、モジュール特有の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

48.2.57 モジュール機能選択レジスタ B (MSELCRB)

MSELCRB は、読み出し / 書き込み可能な 16 ビットのレジスタで、モジュール特有の機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSELB15	MSELB14	—	—	—	—	—	—	MSELB7	—	MSELB5	—	—	—	MSELB1	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R/W	R	R/W	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
15	MSELB15	0	R/W	XTAL_USB の発振制御
14	MSELB14	0	R/W	00 : OSC は発振 01 : OSC は停止 10 : 外部クロック入力 11 : OSC は停止
13~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	MSELB7	0	R/W	SCIF2 ポート選択 0 : PTE5、PTF1、PTF0 ポートを選択 1 : PTN4 ~ PTN2 ポートを選択
6	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	MSELB5	0	R/W	SCIFA3 ポート選択 0 : PTL7 ~ PTL5、PTN1、PTN0 ポートを選択 1 : PTZ7 ~ PTZ3 ポートを選択
4~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	MSELB1	0	R/W	LCDVSYN の入出力切り替え 0 : 出力 1 : 入力
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

48.2.58 プルアップ制御レジスタ (PULCR)

PULCR は、読み出し / 書き込み可能な 16 ビットのレジスタで、端子のプルアップ制御を行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PUL15	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	PUL15	1	R/W	TRST 端子のプルアップ制御を行います。 0: プルアップ MOS オフ 1: プルアップ MOS オン
14~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

48.2.59 I/O バッファ Drive 制御レジスタ A (DRVCRA)

DRVCRA は、読み出し / 書き込み可能な 16 ビットのレジスタで、I/O バッファのドライバビリティを選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRVA15	DRVA14	DRVA13	DRVA12	DRVA11	DRVA10	DRVA9	DRVA8	DRVA7	DRVA6	DRVA5	DRVA4	—	—	DRVA1	DRVA0
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DRVA15	0	R/W	BSC 端子 (D31 ~ D0、A25 ~ A0、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 \overline{RD} 、RDWR、 $\overline{WE0}$ 、 $\overline{WE1}$ 、 $\overline{CS0}$ 、CS4、CS5A、CS5B、CS6A、CS6B、IOIS16、WAIT)、PTU7、PTU6、PTZ1、PTZ0 端子のドライブ能力選択 00: I/O バッファのドライブ能力最小 01: I/O バッファのドライブ能力小 10: I/O バッファのドライブ能力大 11: I/O バッファのドライブ能力最大
14	DRVA14	1	R/W	
13	DRVA13	0	R/W	MMCIF 端子 (PTW7 ~ PTW0、PTX1、PTX0) のドライブ能力選択 00: I/O バッファのドライブ能力最小 01: I/O バッファのドライブ能力小 10: I/O バッファのドライブ能力大 11: I/O バッファのドライブ能力最大
12	DRVA12	0	R/W	
11	DRVA11	0	R/W	VIO 端子 (PTN7、PTN6、PTH7 ~ PTH0、PTK7 ~ PTK0、PTS6 ~ PTS0)、SCL1、SDA1 端子のドライブ能力選択 00: I/O バッファのドライブ能力最小 01: I/O バッファのドライブ能力小 10: I/O バッファのドライブ能力大 11: I/O バッファのドライブ能力最大
10	DRVA10	0	R/W	
9	DRVA9	0	R/W	FSI 端子 (PTU5 ~ PTU0、PTV7 ~ PTV0、PTE7、PTE6) のドライブ能力選択 00: I/O バッファのドライブ能力最小 01: I/O バッファのドライブ能力小 10: I/O バッファのドライブ能力大 11: I/O バッファのドライブ能力最大
8	DRVA8	0	R/W	
7	DRVA7	0	R/W	LCDC 端子 (PTC7 ~ PTC0、PTD7 ~ PTD0、PTE5 ~ PTE0、PTF7 ~ PTF0、PTM1、PTM0) 端子のドライブ能力選択 00: I/O バッファのドライブ能力最小 01: I/O バッファのドライブ能力小 10: I/O バッファのドライブ能力大 11: I/O バッファのドライブ能力最大
6	DRVA6	0	R/W	

ビット	ビット名	初期値	R/W	説 明
5 4	DRVA5 DRVA4	0 0	R/W R/W	PTL7 ~ PTL0、PTM7 ~ PTM2、PTN5 ~ PTN0、PTX5 ~ PTX2 端子のドライブ能力選択 00 : I/O バッファのドライブ能力最小 01 : I/O バッファのドライブ能力小 10 : I/O バッファのドライブ能力大 11 : I/O バッファのドライブ能力最大
3, 2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1 0	DRVA1 DRVA0	0 0	R/W R/W	SDHI0 端子 (PTY7 ~ PTY0)、PTZ2 端子のドライブ能力選択 00 : I/O バッファのドライブ能力最小 01 : I/O バッファのドライブ能力小 10 : I/O バッファのドライブ能力大 11 : I/O バッファのドライブ能力最大

48.2.60 I/O バッファ Drive 制御レジスタ B (DRVCRB)

DRVCRB は、読み出し / 書き込み可能な 16 ビットのレジスタで、I/O バッファのドライバビリティを選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRVB15	DRVB14	—	—	—	—	—	—	DRVB7	DRVB6	DRVB5	DRVB4	DRVB3	DRVB2	DRVB1	DRVB0
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DRVB15	1	R/W	CKO 端子のドライブ能力選択
14	DRVB14	0	R/W	00: I/O バッファのドライブ能力最小 01: I/O バッファのドライブ能力小 10: I/O バッファのドライブ能力大 11: I/O バッファのドライブ能力最大
13~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	DRVB7	0	R/W	ASEBRK/BRKAK 端子のドライブ能力選択
6	DRVB6	0	R/W	00: I/O バッファのドライブ能力最小 01: I/O バッファのドライブ能力小 10: I/O バッファのドライブ能力大 11: I/O バッファのドライブ能力最大
5	DRVB5	0	R/W	IRQ7 ~ IRQ3 端子 (PTZ7 ~ PTZ3)、SCIFA3 端子 (PTZ7 ~ PTZ3) のドライブ能力選択
4	DRVB4	0	R/W	00: I/O バッファのドライブ能力最小 01: I/O バッファのドライブ能力小 10: I/O バッファのドライブ能力大 11: I/O バッファのドライブ能力最大
3	DRVB3	0	R/W	IrDA 端子 (PTX7、PTX6) のドライブ能力選択
2	DRVB2	0	R/W	00: I/O バッファのドライブ能力最小 01: I/O バッファのドライブ能力小 10: I/O バッファのドライブ能力大 11: I/O バッファのドライブ能力最大
1	DRVB1	0	R/W	SCL1、SDA1 端子 (IIC1) の I/O 電圧 (VccQ_VIO) 設定 0: I/O 電圧 (VccQ_VIO) は 1.8V 1: I/O 電圧 (VccQ_VIO) は 2.85V
0	DRVB0	0	R/W	SCL0、SDA0 端子 (IIC0) の I/O 電圧 (VccQ_SR) 設定 0: I/O 電圧 (VccQ_SR) は 1.8V 1: I/O 電圧 (VccQ_SR) は 2.85V

48.2.61 I/O バッファ Drive 制御レジスタ C (DRVCRC)

DRVCRC は、読み出し / 書き込み可能な 16 ビットのレジスタで、I/O バッファのドライバビリティを選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DRVC15	DRVC14	DRVC13	DRVC12	DRVC11	DRVC10	DRVC9	DRVC8	DRVC7	DRVC6	DRVC5	DRVC4	—	—	—	—
初期値:	1	1	1	0	1	0	1	0	1	0	1	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	DRVC15	1	R/W	DBSC CLK 端子 (MCLK、 \overline{MCLK}) のドライブ能力選択
14	DRVC14	1	R/W	00 : I/O バッファのドライブ能力最小 01 : I/O バッファのドライブ能力小 10 : I/O バッファのドライブ能力大 11 : I/O バッファのドライブ能力最大
13	DRVC13	1	R/W	DBSC アドレス / 制御端子 (MCKE、MODT、MRAS、MWE、MCAS、MCS、MBA2~0、MA13~0) のドライブ能力選択
12	DRVC12	0	R/W	
11	DRVC11	1	R/W	DBSC DATA 端子 (MDQ31~MDQ24)、MDQM3、MDQS3 端子のドライブ能力選択
10	DRVC10	0	R/W	
9	DRVC9	1	R/W	DBSC DATA 端子 (MDQ23~MDQ16)、MDQM2、MDQS2 端子のドライブ能力選択
8	DRVC8	0	R/W	
7	DRVC7	1	R/W	DBSC DATA 端子 (MDQ15~MDQ8)、MDQM1、MDQS1 端子のドライブ能力選択
6	DRVC6	0	R/W	

ビット	ビット名	初期値	R/W	説 明
5 4	DRVC5 DRVC4	1 0	R/W R/W	DBSC DATA 端子 (MDQ7 ~ MDQ0)、MDQM0、MDQS0 端子のドライブ能力選択 00 : I/O バッファのドライブ能力最小 01 : I/O バッファのドライブ能力小 10 : I/O バッファのドライブ能力大 11 : I/O バッファのドライブ能力最大
3~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

48.3 端子毎設定一覧表

表 48.4 に端子ごとの機能一覧表、Drive 制御、Hi-Z 制御ビット、端子選択ビット一覧を示します。

表 48.4 端子ごとの設定一覧表

ポート 端子名	機能 1 端子名	機能 2 端子名	機能 3 端子名	Drive 制御 ビット	Hi-Z 制御 ビット	ポート制御 ビット	機能 1/2/3 選択ビット	SCIF2/3 選択ビット
PTA7	D23	KEYOUT2	IDED15	DRVA[15:14]	HIZA[15]	PACR[15:14]	PSA[15:14]	-
PTA6	D22	KEYOUT1	IDED14	DRVA[15:14]	HIZA[15]	PACR[13:12]	PSA[15:14]	-
PTA5	D21	KEYOUT0	IDED13	DRVA[15:14]	HIZA[15]	PACR[11:10]	PSA[15:14]	-
PTA4	D20	KEYIN4	IDED12	DRVA[15:14]	HIZA[15]	PACR[9:8]	PSA[15:14]	-
PTA3	D19	KEYIN3	IDED11	DRVA[15:14]	HIZA[15]	PACR[7:6]	PSA[15:14]	-
PTA2	D18	KEYIN2	IDED10	DRVA[15:14]	HIZA[15]	PACR[5:4]	PSA[15:14]	-
PTA1	D17	KEYIN1	IDED9	DRVA[15:14]	HIZA[15]	PACR[3:2]	PSA[15:14]	-
PTA0	D16	KEYIN0	IDED8	DRVA[15:14]	HIZA[15]	PACR[1:0]	PSA[15:14]	-
PTB7	D31	TPUTO1	IDEA1	DRVA[15:14]	HIZA[14]	PBCR[15:14]	PSE[15:14]	-
PTB6	D30	TPUTO0	IDEA0	DRVA[15:14]	HIZA[14]	PBCR[13:12]	PSE[15:14]	-
PTB5	D29	-	IODREQ	DRVA[15:14]	HIZA[14]	PBCR[11:10]	PSE[11]	-
PTB4	D28	-	IDEC50	DRVA[15:14]	HIZA[14]	PBCR[9:8]	PSE[11]	-
PTB3	D27	-	IDEC51	DRVA[15:14]	HIZA[14]	PBCR[7:6]	PSE[11]	-
PTB2	D26	KEYOUT5/IN5	IDEIORD	DRVA[15:14]	HIZA[13]	PBCR[5:4]	PSA[15:14]	-
PTB1	D25	KEYOUT4/IN6	IDEIOWR	DRVA[15:14]	HIZA[13]	PBCR[3:2]	PSA[15:14]	-
PTB0	D24	KEYOUT3	IDEINT	DRVA[15:14]	HIZA[13]	PBCR[1:0]	PSA[15:14]	-
PTC7	LCDD7	-	-	DRVA[7:6]	HIZA[12]	PCCR[15:14]	PSD[5]	-
PTC6	LCDD6	-	-	DRVA[7:6]	HIZA[12]	PCCR[13:12]	PSD[5]	-
PTC5	LCDD5	-	-	DRVA[7:6]	HIZA[12]	PCCR[11:10]	PSD[5]	-
PTC4	LCDD4	-	-	DRVA[7:6]	HIZA[12]	PCCR[9:8]	PSD[5]	-
PTC3	LCDD3	-	-	DRVA[7:6]	HIZA[12]	PCCR[7:6]	PSD[5]	-
PTC2	LCDD2	-	-	DRVA[7:6]	HIZA[12]	PCCR[5:4]	PSD[5]	-
PTC1	LCDD1	-	-	DRVA[7:6]	HIZA[12]	PCCR[3:2]	PSD[5]	-
PTC0	LCDD0	-	-	DRVA[7:6]	HIZA[12]	PCCR[1:0]	PSD[5]	-
PTD7	LCDD15	-	-	DRVA[7:6]	HIZA[12]	PDCR[15:14]	PSD[5]	-
PTD6	LCDD14	-	-	DRVA[7:6]	HIZA[12]	PDCR[13:12]	PSD[5]	-
PTD5	LCDD13	-	-	DRVA[7:6]	HIZA[12]	PDCR[11:10]	PSD[5]	-
PTD4	LCDD12	-	-	DRVA[7:6]	HIZA[12]	PDCR[9:8]	PSD[5]	-
PTD3	LCDD11	-	-	DRVA[7:6]	HIZA[12]	PDCR[7:6]	PSD[5]	-
PTD2	LCDD10	-	-	DRVA[7:6]	HIZA[12]	PDCR[5:4]	PSD[5]	-
PTD1	LCDD9	-	-	DRVA[7:6]	HIZA[12]	PDCR[3:2]	PSD[5]	-
PTD0	LCDD8	-	-	DRVA[7:6]	HIZA[12]	PDCR[1:0]	PSD[5]	-

ポート 端子名	機能 1 端子名	機能 2 端子名	機能 3 端子名	Drive 制御 ビット	Hi-Z 制御 ビット	ポート制御 ビット	機能 1/2/3 選択ビット	SCIF2/3 選択ビット
PTE7	FSIMCKB	-	-	DRVA[9:8]	HIZA[11]	PECR[15:14]	-	-
PTE6	FSIMCKA	-	-	DRVA[9:8]	HIZA[11]	PECR[13:12]	-	-
PTE5	LCDD21	SCIF2_TXD	-	DRVA[7:6]	HIZA[10]	PECR[11:10]	PSC[5:4]	MSELB[7]
PTE4	LCDD20	SCIF4_SCK	-	DRVA[7:6]	HIZA[9]	PECR[9:8]	PSD[3:2]	-
PTE3	LCDD19	SCIF4_RXD	-	DRVA[7:6]	HIZA[9]	PECR[7:6]	PSA[3:2]	-
PTE2	LCDD18	SCIF4_TXD	-	DRVA[7:6]	HIZA[9]	PECR[5:4]	PSA[3:2]	-
PTE1	LCDD17	-	-	DRVA[7:6]	HIZA[12]	PECR[3:2]	PSD[5]	-
PTE0	LCDD16	-	-	DRVA[7:6]	HIZA[12]	PECR[1:0]	PSD[5]	-
PTF7	LCDDVSYN	-	-	DRVA[7:6]	HIZA[8]	PFCR[15:14]	PSD[8]	-
PTF6	LCDDISP/LCDRS	-	-	DRVA[7:6]	HIZA[8]	PFCR[13:12]	PSD[10:9]	-
PTF5	LCDDHSYN/LCDCS	-	-	DRVA[7:6]	HIZA[8]	PFCR[11:10]	PSD[10:9]	-
PTF4	LCDDON	-	-	DRVA[7:6]	HIZA[8]	PFCR[9:8]	PSD[8]	-
PTF3	LCDDCK/LCDWR	-	-	DRVA[7:6]	HIZA[8]	PFCR[7:6]	PSD[10:9]	-
PTF2	LCDDVEPWC	SCIF0_TXD	-	DRVA[7:6]	HIZA[7]	PFCR[5:4]	PSA[6]	-
PTF1	LCDD23	SCIF2_SCK	-	DRVA[7:6]	HIZA[6]	PFCR[3:2]	PSC[7:6]	MSELB[7]
PTF0	LCDD22	SCIF2_RXD	-	DRVA[7:6]	HIZA[6]	PFCR[1:0]	PSC[5:4]	MSELB[7]
PTG5	AUDCK	-	-	-	HIZA[1]	PGCR[11:10]	-	-
PTG4	AUDSYNC	-	-	-	HIZA[1]	PGCR[9:8]	-	-
PTG3	AUDATA3	-	-	-	HIZA[1]	PGCR[7:6]	-	-
PTG2	AUDATA2	-	-	-	HIZA[1]	PGCR[5:4]	-	-
PTG1	AUDATA1	-	-	-	HIZA[1]	PGCR[3:2]	-	-
PTG0	AUDATA0	-	-	-	HIZA[1]	PGCR[1:0]	-	-
PTH7	VIO0_VD	-	-	DRVA[11:10]	HIZB[15]	PHCR[15:14]	-	-
PTH6	VIO0_CLK	-	-	DRVA[11:10]	HIZB[15]	PHCR[13:12]	-	-
PTH5	VIO0_D7	-	-	DRVA[11:10]	HIZB[15]	PHCR[11:10]	-	-
PTH4	VIO0_D6	-	-	DRVA[11:10]	HIZB[15]	PHCR[9:8]	-	-
PTH3	VIO0_D5	-	-	DRVA[11:10]	HIZB[15]	PHCR[7:6]	-	-
PTH2	VIO0_D4	-	-	DRVA[11:10]	HIZB[15]	PHCR[5:4]	-	-
PTH1	VIO0_D3	-	-	DRVA[11:10]	HIZB[15]	PHCR[3:2]	-	-
PTH0	VIO0_D2	-	-	DRVA[11:10]	HIZB[15]	PHCR[1:0]	-	-
PTJ7	PDSTATUS	-	-	DRVA[15:14]	HIZB[14]	PJCR[15:14]	-	-
PTJ6	STATUS2	-	-	DRVA[15:14]	HIZB[14]	PJCR[13:12]	-	-
PTJ5	STATUS 0	-	-	DRVA[15:14]	HIZB[14]	PJCR[11:10]	-	-
PTJ3	A25	\overline{BS}	-	DRVA[15:14]	HIZB[13]	PJCR[7:6]	PSA[8]	-
PTJ2	A24	-	-	DRVA[15:14]	HIZB[13]	PJCR[5:4]	-	-
PTJ1	A23	-	-	DRVA[15:14]	HIZB[13]	PJCR[3:2]	-	-
PTJ0	A22	-	-	DRVA[15:14]	HIZB[13]	PJCR[1:0]	-	-

ポート 端子名	機能 1 端子名	機能 2 端子名	機能 3 端子名	Drive 制御 ビット	Hi-Z 制御 ビット	ポート制御 ビット	機能 1/2/3 選択ビット	SCIF2/3 選択ビット
PTK7	VIO1_D5	VIO0_D13	IDED5	DRVA[11:10]	HIZB[12]	PKCR[15:14]	PSB[7:6]	-
PTK6	VIO1_D4	VIO0_D12	IDED4	DRVA[11:10]	HIZB[12]	PKCR[13:12]	PSB[7:6]	-
PTK5	VIO1_D3	VIO0_D11	IDED3	DRVA[11:10]	HIZB[12]	PKCR[11:10]	PSB[7:6]	-
PTK4	VIO1_D2	VIO0_D10	IDED2	DRVA[11:10]	HIZB[12]	PKCR[9:8]	PSB[7:6]	-
PTK3	VIO1_D1	VIO0_D9	IDED1	DRVA[11:10]	HIZB[12]	PKCR[7:6]	PSB[7:6]	-
PTK2	VIO1_D0	VIO0_D8	IDED0	DRVA[11:10]	HIZB[12]	PKCR[5:4]	PSB[7:6]	-
PTK1	VIO0_FLD	-	-	DRVA[11:10]	HIZB[12]	PKCR[3:2]	-	-
PTK0	VIO0_HD	-	-	DRVA[11:10]	HIZB[12]	PKCR[1:0]	-	-
PTL7	DV_D5	SCIF3_SCK	RMII_RXD0	DRVA[5:4]	HIZB[11]	PLCR[15:14]	PSB[9:8]	MSELB[5]
PTL6	DV_D4	SCIF3_RXD	RMII_RXD1	DRVA[5:4]	HIZB[11]	PLCR[13:12]	PSB[9:8]	MSELB[5]
PTL5	DV_D3	SCIF3_TXD	RMII_REF_CLK	DRVA[5:4]	HIZB[11]	PLCR[11:10]	PSE[7:6]	MSELB[5]
PTL4	DV_D2	SCIF1_SCK	RMII_TX_EN	DRVA[5:4]	HIZB[10]	PLCR[9:8]	PSC[9:8]	-
PTL3	DV_D1	SCIF1_RXD	RMII_TXD0	DRVA[5:4]	HIZB[10]	PLCR[7:6]	PSC[9:8]	-
PTL2	DV_D0	SCIF1_TXD	RMII_TXD1	DRVA[5:4]	HIZB[10]	PLCR[5:4]	PSC[9:8]	-
PTL1	DV_D15	-	-	DRVA[5:4]	HIZB[9]	PLCR[3:2]	PSD[4]	-
PTL0	DV_D14	MSIOF0_MCK	-	DRVA[5:4]	HIZB[8]	PLCR[1:0]	PSE[5:4]	-
PTM7	DV_D13	MSIOF0_TSCK	-	DRVA[5:4]	HIZB[8]	PMCR[15:14]	PSC[13:12]	-
PTM6	DV_D12	MSIOF0_RXD	-	DRVA[5:4]	HIZB[8]	PMCR[13:12]	PSC[13:12]	-
PTM5	DV_D11	MSIOF0_TXD	-	DRVA[5:4]	HIZB[8]	PMCR[11:10]	PSC[13:12]	-
PTM4	DV_D10	MSIOF0_TSYNC	-	DRVA[5:4]	HIZB[8]	PMCR[9:8]	PSC[13:12]	-
PTM3	DV_D9	MSIOF0_SS1/ MSIOF0_RSCK	-	DRVA[5:4]	HIZB[8]	PMCR[7:6]	PSC[11:10]	-
PTM2	DV_D8	MSIOF0_SS2/ MSIOF0_RSYNC	-	DRVA[5:4]	HIZB[8]	PMCR[5:4]	PSC[11:10]	-
PTM1	LCDVCPWC	SCIF0_RXD	-	DRVA[7:6]	HIZA[7]	PMCR[3:2]	PSA[6]	-
PTM0	LCDRD	SCIF0_SCK	-	DRVA[7:6]	HIZA[7]	PMCR[1:0]	PSA[7]	-
PTN7	VIO0_D1	-	-	DRVA[11:10]	HIZB[15]	PNCR[15:14]	-	-
PTN6	VIO0_D0	-	-	DRVA[11:10]	HIZB[15]	PNCR[13:12]	-	-
PTN5	DV_CLKI	-	-	DRVA[5:4]	HIZB[8]	PNCR[11:10]	PSD[11]	-
PTN4	DV_CLK	SCIF2_SCK	-	DRVA[5:4]	HIZB[7]	PNCR[9:8]	PSD[13:12]	MSELB[7]
PTN3	DV_VSYNC	SCIF2_RXD	-	DRVA[5:4]	HIZB[7]	PNCR[7:6]	PSD[15:14]	MSELB[7]
PTN2	DV_HSYNC	SCIF2_TXD	-	DRVA[5:4]	HIZB[7]	PNCR[5:4]	PSB[5:4]	MSELB[7]
PTN1	DV_D7	SCIF3_CTS	RMII_RX_ER	DRVA[5:4]	HIZB[6]	PNCR[3:2]	PSB[3:2]	MSELB[5]
PTN0	DV_D6	SCIF3_RTS	RMII_CRS_DV	DRVA[5:4]	HIZB[6]	PNCR[1:0]	PSB[1:0]	MSELB[5]
PTQ7	D7	-	-	DRVA[15:14]	HIZB[5]	PQCR[15:14]	-	-
PTQ6	D6	-	-	DRVA[15:14]	HIZB[5]	PQCR[13:12]	-	-
PTQ5	D5	-	-	DRVA[15:14]	HIZB[5]	PQCR[11:10]	-	-

ポート 端子名	機能 1 端子名	機能 2 端子名	機能 3 端子名	Drive 制御 ビット	Hi-Z 制御 ビット	ポート制御 ビット	機能 1/2/3 選択ビット	SCIF2/3 選択ビット
PTQ4	D4	-	-	DRVA[15:14]	HIZB[5]	PQCR[9:8]	-	-
PTQ3	D3	-	-	DRVA[15:14]	HIZB[5]	PQCR[7:6]	-	-
PTQ2	D2	-	-	DRVA[15:14]	HIZB[5]	PQCR[5:4]	-	-
PTQ1	D1	-	-	DRVA[15:14]	HIZB[5]	PQCR[3:2]	-	-
PTQ0	D0	-	-	DRVA[15:14]	HIZB[5]	PQCR[1:0]	-	-
PTR7	CS6B/CE1B	-	-	DRVA[15:14]	HIZB[4]	PRCR[15:14]	-	-
PTR6	CS6A/CE2B	-	-	DRVA[15:14]	HIZB[4]	PRCR[13:12]	-	-
PTR5	CS5B/CE1A	-	-	DRVA[15:14]	HIZB[4]	PRCR[11:10]	-	-
PTR4	CS5A/CE2A	-	-	DRVA[15:14]	HIZB[4]	PRCR[9:8]	-	-
PTR3	IOIS16	LCDCLK	-	DRVA[15:14]	HIZA[0]	PRCR[7:6]	PSA[5]	-
PTR2	WAIT	-	-	DRVA[15:14]	HIZB[4]	PRCR[5:4]	-	-
PTR1	WE3/CIOWR	TPUTO3	TPUTI3	DRVA[15:14]	HIZB[4]	PRCR[3:2]	PSA[1:0]	-
PTR0	WE2/CIORD	TPUTO2	IDEA2	DRVA[15:14]	HIZB[4]	PRCR[1:0]	PSD[1:0]	-
PTS6	VIO_CKO	-	-	DRVA[11:10]	HIZB[2]	PSCR[13:12]	-	-
PTS5	VIO1_FLD	TPUTI2	IDEIORDY	DRVA[11:10]	HIZB[3]	PSCR[11:10]	PSE[9:8]	-
PTS4	VIO1_HD	SCIF5_SCK	-	DRVA[11:10]	HIZB[3]	PSCR[9:8]	PSA[10]	-
PTS3	VIO1_VD	SCIF5_RXD	-	DRVA[11:10]	HIZB[3]	PSCR[7:6]	PSA[9]	-
PTS2	VIO1_CLK	SCIF5_TXD	-	DRVA[11:10]	HIZB[3]	PSCR[5:4]	PSA[9]	-
PTS1	VIO1_D7	VIO0_D15	IDED7	DRVA[11:10]	HIZB[3]	PSCR[3:2]	PSB[7:6]	-
PTS0	VIO1_D6	VIO0_D14	IDED6	DRVA[11:10]	HIZB[3]	PSCR[1:0]	PSB[7:6]	-
PTT7	D15	-	-	DRVA[15:14]	HIZB[5]	PTCR[15:14]	-	-
PTT6	D14	-	-	DRVA[15:14]	HIZB[5]	PTCR[13:12]	-	-
PTT5	D13	-	-	DRVA[15:14]	HIZB[5]	PTCR[11:10]	-	-
PTT4	D12	-	-	DRVA[15:14]	HIZB[5]	PTCR[9:8]	-	-
PTT3	D11	-	-	DRVA[15:14]	HIZB[5]	PTCR[7:6]	-	-
PTT2	D10	-	-	DRVA[15:14]	HIZB[5]	PTCR[5:4]	-	-
PTT1	D9	-	-	DRVA[15:14]	HIZB[5]	PTCR[3:2]	-	-
PTT0	D8	-	-	DRVA[15:14]	HIZB[5]	PTCR[1:0]	-	-
PTU7	DACK0	-	-	DRVA[15:14]	HIZB[1]	PUCR[15:14]	-	-
PTU6	DREQ0	-	-	DRVA[15:14]	HIZB[1]	PUCR[13:12]	-	-
PTU5	FSIOASD	-	-	DRVA[9:8]	HIZC[13]	PUCR[11:10]	PSE[1]	-
PTU4	FSIIABCK	-	-	DRVA[9:8]	HIZC[13]	PUCR[9:8]	PSE[1]	-
PTU3	FSIILRCK	-	-	DRVA[9:8]	HIZC[13]	PUCR[7:6]	PSE[1]	-
PTU2	FSIOABCK	-	-	DRVA[9:8]	HIZC[13]	PUCR[5:4]	PSE[1]	-
PTU1	FSIOALRCK	-	-	DRVA[9:8]	HIZC[13]	PUCR[3:2]	PSE[1]	-
PTU0	CLKAUDIOAO	-	-	DRVA[9:8]	HIZC[13]	PUCR[1:0]	PSE[0]	-

ポート 端子名	機能 1 端子名	機能 2 端子名	機能 3 端子名	Drive 制御 ビット	Hi-Z 制御 ビット	ポート制御 ビット	機能 1/2/3 選択ビット	SCIF2/3 選択ビット
PTV7	FSIIBSD	MSIOF1_SS2/ MSIOF1_RSXNC	-	DRVA[9:8]	HIZC[12]	PVCR[15:14]	PSD[7:6]	-
PTV6	FSIOBSD	MSIOF1_SS1/ MSIOF1_RSCK	-	DRVA[9:8]	HIZC[12]	PVCR[13:12]	PSD[7:6]	-
PTV5	FSIIBBCK	MSIOF1_RXD	-	DRVA[9:8]	HIZC[12]	PVCR[11:10]	PSC[15:14]	-
PTV4	FSIIBLRCK	MSIOF1_TSYNC	-	DRVA[9:8]	HIZC[12]	PVCR[9:8]	PSC[15:14]	-
PTV3	FSIOBBCK	MSIOF1_TSCK	-	DRVA[9:8]	HIZC[12]	PVCR[7:6]	PSC[15:14]	-
PTV2	FSIOBLRCK	MSIOF1_TXD	-	DRVA[9:8]	HIZC[12]	PVCR[5:4]	PSC[15:14]	-
PTV1	CLKAUDIOBO	MSIOF1_MCK	-	DRVA[9:8]	HIZC[12]	PVCR[3:2]	PSE[3:2]	-
PTV0	FSIIASD	-	-	DRVA[9:8]	HIZC[11]	PVCR[1:0]	PSE[10]	-
PTW7	MMC_D7	SDHI1CD	IODACK	DRVA[13:12]	HIZC[10]	PWCR[15:14]	PSE[13:12]	-
PTW6	MMC_D6	SDHI1WP	IDERST	DRVA[13:12]	HIZC[10]	PWCR[13:12]	PSE[13:12]	-
PTW5	MMC_D5	SDHI1D3	EXBUF_ENB	DRVA[13:12]	HIZC[10]	PWCR[11:10]	PSE[13:12]	-
PTW4	MMC_D4	SDHI1D2	DIRECTION	DRVA[13:12]	HIZC[10]	PWCR[9:8]	PSE[13:12]	-
PTW3	MMC_D3	SDHI1D1	-	DRVA[13:12]	HIZC[9]	PWCR[7:6]	PSA[13]	-
PTW2	MMC_D2	SDHI1D0	-	DRVA[13:12]	HIZC[9]	PWCR[5:4]	PSA[13]	-
PTW1	MMC_D1	SDHI1CMD	-	DRVA[13:12]	HIZC[9]	PWCR[3:2]	PSA[13]	-
PTW0	MMC_D0	SDHI1CLK	-	DRVA[13:12]	HIZC[9]	PWCR[1:0]	PSA[13]	-
PTX7	DACK1	IRDA_OUT	-	DRVB[3:2]	HIZC[8]	PXCR[15:14]	PSA[12]	-
PTX6	DREQ1	IRDA_IN	-	DRVB[3:2]	HIZC[8]	PXCR[13:12]	PSA[12]	-
PTX5	TS0_SDAT	-	LNKSTA	DRVA[5:4]	HIZC[7]	PXCR[11:10]	PSC[0]	-
PTX4	TS0_SCK	-	MDIO	DRVA[5:4]	HIZC[7]	PXCR[9:8]	PSC[1]	-
PTX3	TS0_SDEN	-	MDC	DRVA[5:4]	HIZC[7]	PXCR[7:6]	PSC[2]	-
PTX2	TS0_SPSYNC	-	-	DRVA[5:4]	HIZC[6]	PXCR[5:4]	-	-
PTX1	MMC_CLK	-	-	DRVA[13:12]	HIZC[5]	PXCR[3:2]	-	-
PTX0	MMC_CMD	-	-	DRVA[13:12]	HIZC[5]	PXCR[1:0]	-	-
PTY7	SDHI0CD	-	-	DRVA[1:0]	HIZC[4]	PYCR[15:14]	-	-
PTY6	SDHI0WP	-	-	DRVA[1:0]	HIZC[4]	PYCR[13:12]	-	-
PTY5	SDHI0D3	-	-	DRVA[1:0]	HIZC[4]	PYCR[11:10]	-	-
PTY4	SDHI0D2	-	-	DRVA[1:0]	HIZC[4]	PYCR[9:8]	-	-
PTY3	SDHI0D1	-	-	DRVA[1:0]	HIZC[4]	PYCR[7:6]	-	-
PTY2	SDHI0D0	-	-	DRVA[1:0]	HIZC[4]	PYCR[5:4]	-	-
PTY1	SDHI0CMD	-	-	DRVA[1:0]	HIZC[4]	PYCR[3:2]	-	-
PTY0	SDHI0CLK	-	-	DRVA[1:0]	HIZC[4]	PYCR[1:0]	-	-
PTZ7	IRQ7	SCIF3_CTS	-	DRVB[5:4]	HIZD[15]	PZCR[15:14]	PSB[10]	MSELB[5]
PTZ6	IRQ6	SCIF3_RTS	-	DRVB[5:4]	HIZD[14]	PZCR[13:12]	PSB[11]	MSELB[5]
PTZ5	IRQ5	SCIF3_SCK	-	DRVB[5:4]	HIZD[13]	PZCR[11:10]	PSB[12]	MSELB[5]

ポート 端子名	機能 1 端子名	機能 2 端子名	機能 3 端子名	Drive 制御 ビット	Hi-Z 制御 ビット	ポート制御 ビット	機能 1/2/3 選択ビット	SCIF2/3 選択ビット
PTZ4	IRQ4	SCIF3_RXD	-	DRVB[5:4]	HIZD[12]	PZCR[9:8]	PSB[13]	MSELB[5]
PTZ3	IRQ3	SCIF3_TXD	-	DRVB[5:4]	HIZD[11]	PZCR[7:6]	PSB[14]	MSELB[5]
PTZ2	IRQ2	-	-	DRVA[1:0]	HIZD[10]	PZCR[5:4]	-	-
PTZ1	IRQ1	-	-	DRVA[15:14]	HIZD[9]	PZCR[3:2]	-	-
PTZ0	IRQ0	-	-	DRVA[15:14]	HIZD[8]	PZCR[1:0]	-	-

49. ユーザブ레이크コントローラ (UBC)

ユーザブ레이크コントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブ레이크条件には、命令フェッチまたはオペランドの読み出し書き込み、オペランドのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

49.1 特長

1. 次のようなブ레이크比較条件を設定できます

ブ레이크チャンネル数：2 チャンネル (チャンネル 0 と 1)

ユーザブ레이크は、チャンネル 0、1 独立に、または連続した (シーケンシャル) 一つの条件として設定することができます (シーケンシャルブ레이크設定：チャンネル 0 のブ레이크条件が一致した後チャンネル 1 のブ레이크条件の一致が発生、またはチャンネル 1 のブ레이크条件が一致した後チャンネル 0 のブ레이크条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき)。

- アドレス

ASID とアドレス 32 ビットから構成された 40 ビットの比較において、ASID は全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス 32 ビットの比較はビットごとにマスク可能で、ユーザは下位 12 ビット (4K バイトページ)、下位 10 ビット (1K バイトページ)、あるいは任意の大きさのページ等でアドレスをマスク可能です。

- データ

チャンネル 1 のみ、32 ビットマスク可能。

- バスサイクル

命令フェッチでのブ레이크 (PCブ레이크) またはオペランドアクセスでのブ레이크

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、ロングワード、およびクワッドワードをサポート

2. ユーザ指定のユーザブ레이크条件例外処理ルーチンを実行可能。
3. PC ブ레이크において、ブ레이크を命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブ레이크条件 (チャンネル 1 に対してのみ) として、最大 $2^{12} - 1$ 回まで繰り返し回数を指定可能。

図 49.1 に UBC のブロック図を示します。

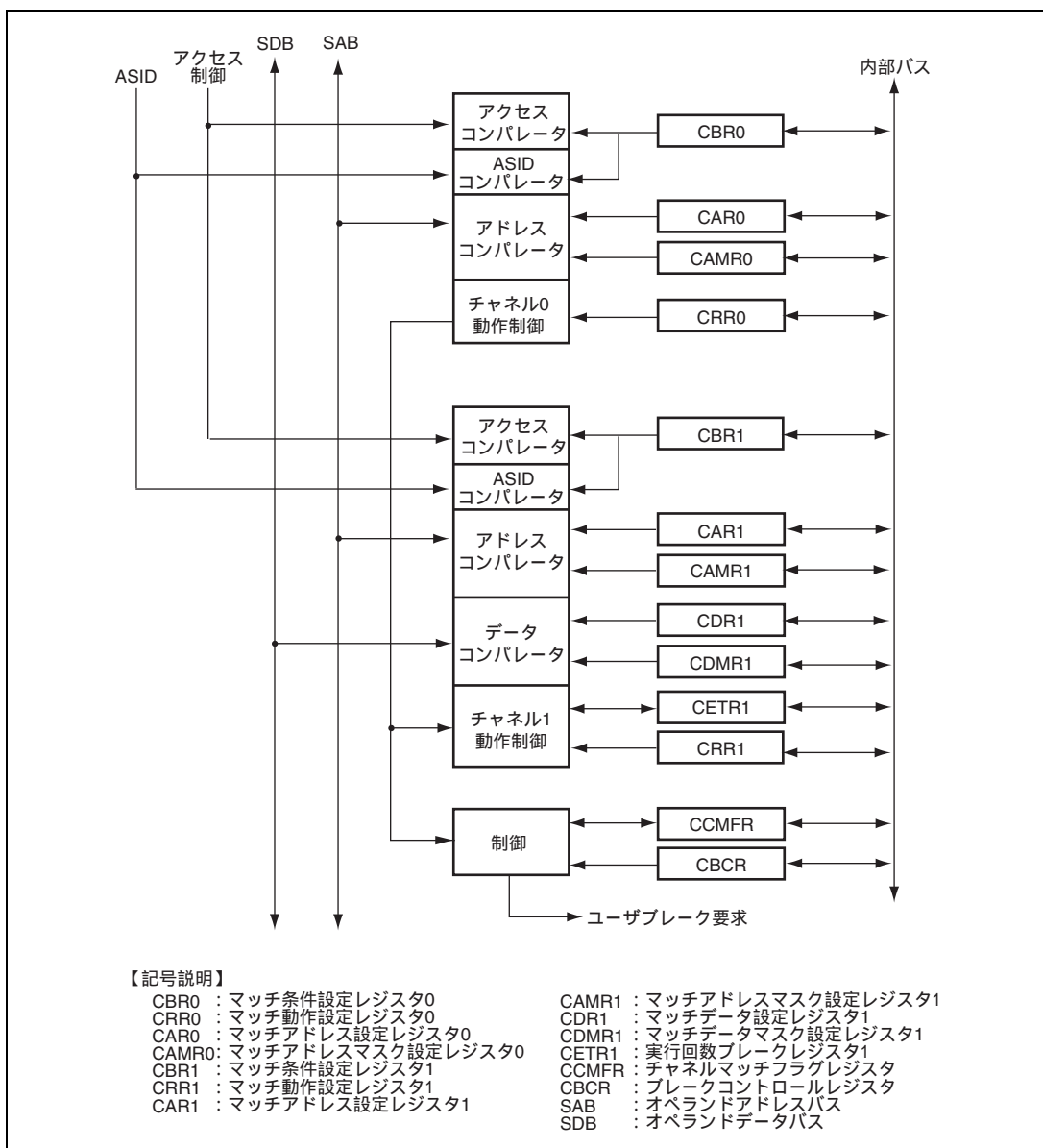


図 49.1 UBC のブロック図

49.2 レジスタの説明

UBC には以下のレジスタがあります。

表 49.1 レジスタ構成

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセスサイズ
マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
実行回数ブ레이크レジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
ブ레이크コントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32

【注】 * P4 アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 49.2 各処理状態におけるレジスタの状態

レジスタ 略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
CBR0	H'2000 0000	保持	保持	保持	保持*	保持*	保持
CRR0	H'0000 2000	保持	保持	保持	保持*	保持*	保持
CAR0	不定	保持	保持	保持	保持*	保持*	保持
CAMR0	不定	保持	保持	保持	保持*	保持*	保持
CBR1	H'2000 0000	保持	保持	保持	保持*	保持*	保持
CRR1	H'0000 2000	保持	保持	保持	保持*	保持*	保持
CAR1	不定	保持	保持	保持	保持*	保持*	保持
CAMR1	不定	保持	保持	保持	保持*	保持*	保持
CDR1	不定	保持	保持	保持	保持*	保持*	保持
CDMR1	不定	保持	保持	保持	保持*	保持*	保持
CETR1	不定	保持	保持	保持	保持*	保持*	保持
CCMFR	H'0000 0000	保持	保持	保持	保持*	保持*	保持
CBCR	H'0000 0000	保持	保持	保持	保持*	保持*	保持

【注】 * MPMD 端子 = ロー時。MPMD 端子がハイ状態のときは、パワーオンリセットと同じになります。

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。コントロールレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレークが発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

49.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1)

CBR0、CBR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 のブレーク条件を指定します。設定可能なブレーク条件は、(1) マッチフラグの有無、(2) ASID の有無とその値、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) パス、(7) 命令フェッチまたはオペランドアクセス、(8) 読み出しまたは書き込みです。

- CBR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	MFE	AIE	MFI						AIV								
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	SZ								CD		ID		RW		CE		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	<p>マッチフラグイネーブル</p> <p>マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。</p> <p>0 : マッチフラグはマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件にマッチフラグを含める</p>
30	AIE	0	R/W	<p>ASID イネーブル</p> <p>マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。</p> <p>0 : ASID はマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件に ASID を含める</p>
29 ~ 24	MFI	100000	R/W	<p>マッチフラグ指定</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000 : CCMFR レジスタの MF0 ビット</p> <p>000001 : CCMFR レジスタの MF1 ビット</p> <p>その他 : リザーブ (設定禁止)</p> <p>【注】初期値はリザーブ (設定禁止) の状態になりますが、CBR0[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また CCRMF レジスタの MF0 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000000 に設定するとチャネル 0 でヒットしなくなりますので注意してください。</p>
23 ~ 16	AIV	H'00	R/W	<p>ASID 指定</p> <p>マッチ条件とする ASID 値を指定します。</p>
15	-	0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>
14 ~ 12	SZ	すべて 0	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000 : オペランドサイズはマッチ条件に含まれず、チェックされない (すべてのサイズが対象となる) *¹</p> <p>001 : バイトアクセスを対象とする</p> <p>010 : ワードアクセスを対象とする</p> <p>011 : ロングワードアクセスを対象とする</p> <p>100 : クワッドワードアクセスを対象とする *³</p> <p>その他 : リザーブ (設定禁止)</p>
11 ~ 8	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
7、6	CD	00	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：オペランドアクセスにおいてオペランドバスを対象とする その他：リザーブ（設定禁止）
5、4	ID	00	R/W	命令フェッチ / オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01：命令フェッチサイクルを対象とする 10：オペランドアクセスサイクルを対象とする 11：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	-	0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
2、1	RW	00	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクルまたは書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R/W	チャンネルイネーブル チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、他のビットの設定はすべて無効です。 0：本チャンネルは無効 1：本チャンネルは有効

• CBR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ			ETBE				CD	ID			RW	CE		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	マッチフラグイネーブル マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。 0 : マッチフラグはマッチ条件に含まれず、チェックされない 1 : マッチ条件にマッチフラグを含める
30	AIE	0	R/W	ASID イネーブル マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。 0 : ASID はマッチ条件に含まれず、チェックされない 1 : マッチ条件に ASID を含める
29 ~ 24	MFI	100000	R/W	マッチフラグ指定 マッチ条件とするマッチフラグを指定します。 000000 : CCMFR レジスタの MF0 ビット 000001 : CCMFR レジスタの MF1 ビット その他 : リザーブ (設定禁止) 【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR1[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また、CCRMF レジスタの MF1 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000001 に設定するとチャンネル 1 でヒットしなくなりますので注意してください。
23 ~ 16	AIV	すべて 0	R/W	ASID 指定 マッチ条件とする ASID 値を指定します。
15	DBE	0	R/W	データ値イネーブル ^{*2} マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 0 : データ値はマッチ条件に含まれず、チェックされない 1 : マッチ条件にデータ値を含める

ビット	ビット名	初期値	R/W	説明
14~12	SZ	000	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000: オペランドサイズはマッチ条件に含まれず、チェックされない(すべのサイズが対象となる)*¹</p> <p>001: バイトアクセスを対象とする</p> <p>010: ワードアクセスを対象とする</p> <p>011: ロングワードアクセスを対象とする</p> <p>100: クワッドワードアクセスを対象とする*³</p> <p>その他: リザーブ(設定禁止)</p>
11	ETBE	0	R/W	<p>実行回数値イネーブル</p> <p>マッチ条件に実行回数値を含めるかどうかを指定します。このビットが 1 の場合、マッチ条件が成立した回数が CETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。</p> <p>0: 実行回数値はマッチ条件に含まれず、チェックされない</p> <p>1: マッチ条件に実行回数値を含める</p>
10~8	-	すべて 0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。</p>
7、6	CD	00	R/W	<p>バスセレクト</p> <p>マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00: オペランドアクセスにおいてオペランドバスを対象とする</p> <p>その他: リザーブ(設定禁止)</p>
5、4	ID	00	R/W	<p>命令フェッチ / オペランドアクセスセレクト</p> <p>マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。</p> <p>00: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p> <p>01: 命令フェッチサイクルを対象とする</p> <p>10: オペランドアクセスサイクルを対象とする</p> <p>11: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする</p>
3	-	0	R	<p>リザーブビット</p> <p>本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
2, 1	RW	00	R/W	<p>バスコマンドセレクト</p> <p>マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00：読み出しサイクルまたは書き込みサイクルを対象とする</p> <p>01：読み出しサイクルを対象とする</p> <p>10：書き込みサイクルを対象とする</p> <p>11：読み出しサイクルまたは書き込みサイクルを対象とする</p>
0	CE	0	R/W	<p>チャンネルイネーブル</p> <p>チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、他のビットの設定はすべて無効です。</p> <p>0：本チャンネルは無効</p> <p>1：本チャンネルは有効</p>

- 【注】 *1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
- *2 OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
- *3 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

49.2.2 マッチ動作設定レジスタ 0、1 (CRR0、CRR1)

CRR0、CRR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブレイクタイミング、(2) ブレイク要求の有無です。

• CRR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13		1	R	リザーブビット 本ビットを読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12~2		すべて 0	R	リザーブビット 本ビットの読み出し/書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	PCB	0	R/W	PC ブレイクセレクト 命令フェッチサイクルのブレイクタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレイクに対して、本ビットは無効です。 0 : PC ブレイクを命令実行前に設定する 1 : PC ブレイクを命令実行後に設定する
0	BIE	0	R/W	ブレイクイネーブル チャンネルのマッチ条件が成立したときに、ブレイクを要求するかどうかを指定します。 0 : ブレイク要求しない 1 : ブレイクを要求する

• CRR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
															PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	-	すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
13		1	R	リザーブビット 本ビットを読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
12~2		すべて0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	PCB	0	R/W	PCブレイクセレクト 命令フェッチサイクルのブレイクタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレイクに対して、本ビットは無効です。 0: PCブレイクを命令実行前に設定する 1: PCブレイクを命令実行後に設定する
0	BIE	0	R/W	ブレイクイネーブル チャンネルのマッチ条件が成立したときに、ブレイクを要求するかどうかを指定します。 0: ブレイク要求しない 1: ブレイクを要求する

49.2.3 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)

CAR0、CAR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 0、チャンネル 1 のブレーク条件とする仮想アドレスを指定します。

• CAR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CA																
初期値 :																
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CA																
初期値 :																
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																

ビット	ビット名	初期値	R/W	説明
31-0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

• CAR1


ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CA																
初期値 :																
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CA																
初期値 :																
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W																

ビット	ビット名	初期値	R/W	説明
31-0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

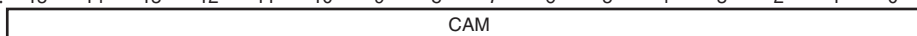
49.2.4 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)

CAMR0、CAMR1 は、それぞれ読み出し / 書き込み可能な 32 ビットのレジスタであり、対応するチャンネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

• CAMR0

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
 CAM


初期値 :
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 CAM


初期値 :
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】n=31~0

• CAMR1

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16
 CAM

初期値 :
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

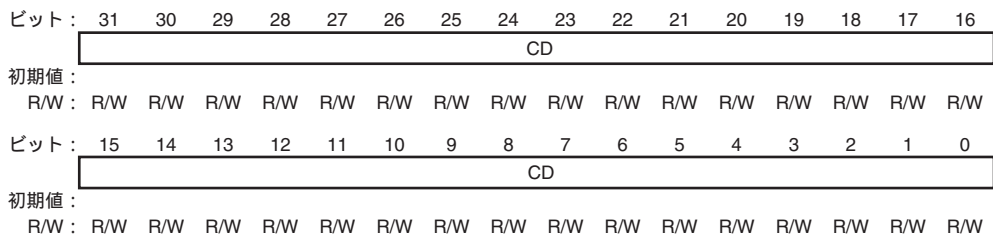
ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
 CAM

初期値 :
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】n=31~0

49.2.5 マッチデータ設定レジスタ 1 (CDR1)

CDR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、チャンネル 1 のブ레이크条件とするデータ値を指定します。



ビット	ビット名	初期値	R/W	説明
31~0	CD	不定	R/W	比較データ値 ブ레이크条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]に SDB のデータ値を指定します。

表 49.3 マッチデータ設定レジスタの指定

CBR1 でのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス (バイト)	Don't care			SDB7~0
オペランドバス (ワード)	Don't care		SDB15~0	
オペランドバス (ロングワード)	SDB31~0			

- 【注】
1. データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
 2. OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
 3. クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

49.2.6 マッチデータマスク設定レジスタ 1 (CDMR1)

CDMR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、マッチデータによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を設定します)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDM															
初期値 :																
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDM															
初期値 :																
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CDM	不定	R/W	比較データマスク CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します (マスクするビットに 1 を指定します)。 0 : データ値ビット CD[n]は、ブ레이크条件に含まれる 1 : データ値ビット CD[n]はマスクされ、ブ레이크条件に含まれない 【注】n=31~0

49.2.7 実行回数ブ레이크レジスタ 1 (CETR1)

CETR1 は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ブ레이크が発生するまでのチャンネルヒット回数を指定します。指定できる最大値は $2^{12} - 1$ です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャンネルがヒットするごとに本レジスタ値は 1 ずつデクリメントされ、レジスタ値が H'001 になった後さらにヒットするとブ레이크が発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CET											
初期値 :	0	0	0	0												
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的な注意事項」を参照してください。
11~0	CET	不定	R/W	実行回数 ブ레이크条件とする実行回数を指定します。

49.2.8 チャンネルマッチフラグレジスタ (CCMFR)

CCMFR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、各チャンネルのマッチ条件が成立したかどうかを示します。チャンネルのマッチ条件が成立した場合、対応するフラグビットに 1 が設定されます。フラグのクリアは、クリアしたいビットを 0、それ以外のビットを 1 にしたデータを本レジスタに書き込むことで行います (書き込み値と現在値の論理積が書き込まれます)。本マッチフラグを用いることで、複数チャンネルによるシーケンシャル動作を実現できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
1	MF1	0	R/W	チャンネル 1 条件一致フラグ チャンネル 1 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 のマッチ条件不一致 1 : チャンネル 1 のマッチ条件一致
0	MF0	0	R/W	チャンネル 0 条件一致フラグ チャンネル 0 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 のマッチ条件不一致 1 : チャンネル 0 のマッチ条件一致

49.2.9 ブレイクコントロールレジスタ (CBCR)

CBCR は、読み出し / 書き込み可能な 32 ビットのレジスタであり、ユーザブレイクデバッグサポート機能を使用するかどうかを指定します。ユーザブレイクデバッグサポート機能の詳細については、「49.4 ユーザブレイクデバッグサポート機能」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																UBDE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	UBDE	0	R/W	ユーザブレイクデバッグサポート機能イネーブル ユーザブレイクデバッグサポート機能を使用するかどうかを指定します。 0 : デバッグサポート機能を使用しない 1 : デバッグサポート機能を使用する

49.3 動作説明

49.3.1 アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアccessを指します。たとえば、命令 MOV.W @(disp,PC),Rn のアドレス(PC + disp × 2 + 4)に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセスまたは書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- PREF、OCBP および OCBWB 命令：読み出しアクセスとして扱います。
- MOVCA.L および OCBI 命令：書き込みアクセスとして扱います。
- TAS.B 命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワード、クワッドワードがあります。PREF、OCBP、OCBWB、MOVCA.L、OCBI 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

49.3.2 ユーザブ레이크動作の流れ

ブ레이크条件の設定からユーザブ레이크例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、パス、命令フェッチ/オペランドアクセス、読み出し/書き込み条件を、マッチ条件設定レジスタ (CBR0またはCBR1) により指定します。ブ레이크アドレスをマッチアドレス設定レジスタ (CAR0、CAR1)、アドレスのマスク条件をマッチアドレスマスク設定レジスタ (CAMR0、CAMR1) により指定します。マッチ条件にASIDを含める場合は、マッチ条件設定レジスタのAIEビットをセットし、AIVビットによりASIDを指定します。マッチ条件にデータ値を含める場合は、マッチ条件設定レジスタのDBEビットをセットし、ブ레이크データをマッチデータ設定レジスタ (CDR1)、データのマスク条件をマッチデータマスク設定レジスタ (CDMR1) により指定します。マッチ条件に実行回数を含める場合は、マッチ条件設定レジスタのETBEビットをセットし、実行回数条件を実行回数ブ레이크レジスタ (CETR1) により指定します。シーケンシャルブ레이크を設定する場合、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIにより指定します。
2. マッチ条件が成立した場合のブ레이크要求の有無、命令フェッチによる条件成立の場合のブ레이크位置を、マッチ動作設定レジスタ (CRR0、CRR1) により指定します。他のすべてのレジスタ、およびマッチ条件設定レジスタのCEビットを除くビットの設定が終了したのち、マッチ条件設定レジスタのCEビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコントロールレジスタが

らマッチ条件設定レジスタの CE ビットをセットした場合、意図しないブ레이크が発生する場合があります。

3. マッチ条件が成立すると、チャンネルマッチフラグレジスタ (CCMFR) の該当する条件一致フラグ (MF1、MF0) がセットされます。さらに、マッチ動作設定レジスタ (CRR0、CRR1) の設定内容により、CPU へのブ레이크要求が発生します。SR レジスタの BL ビットにより、ブ레이크要求に対する CPU の動作が異なります。BL ビットが 0 のとき、ブ레이크要求は受理され所定の例外処理が行われますが、BL ビットが 1 の場合例外処理は行われません。
4. マッチ条件の一致または不一致をチェックするため、該当する条件一致フラグ (MF1、MF0) を使用することができます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャンネルマッチフラグレジスタ (CCMFR) に対するメモリストア命令により 0 を書き込んでください。
5. チャンネル 0 およびチャンネル 1 で設定したブ레이크がほぼ同時に発生する場合があります。CPU に対するブ레이크要求は 1 つだけであっても、これらのブ레이크に対する条件一致フラグが 2 つともセットされる場合があります。
6. SR レジスタの BL ビットが 1 の期間は、すべてのブ레이크要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。
7. シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。

49.3.3 命令フェッチサイクルブレーク

1. マッチ条件設定レジスタ (CBR0またはCBR1) に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブレーク要求を発生させる場合、該当するチャンネルに対するマッチ動作レジスタ (CRR0またはCRR1) のBIEビットをセットしてください。ブレークのタイミングを命令実行の前にするか後にするかは、PCBビットで指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ (CAR0またはCAR1) のLSBを0にクリアしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチサイクルにおいて命令実行前ブレークを指定すると、命令がフェッチされ実行することが確定した時点でブレーク要求が発生します。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。命令実行前ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブレークが指定されると、遅延分岐命令の実行前にブレークが発生します。ただし、RTE命令の遅延スロットには実行前ブレークを指定しないでください。
3. 命令フェッチサイクルにおいて命令実行後ブレークを指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令およびその遅延スロットに対して実行後ブレークが指定されると、分岐先の最初の命令までブレークは発生しません。
4. チャンネル1のマッチ条件として命令フェッチサイクルを指定すると、マッチ条件設定レジスタCBR1のDBEビットは無効となり、マッチデータ設定レジスタCDR1およびマッチデータマスク設定レジスタCDMR1の設定は無視されます。したがって、命令フェッチサイクルのブレークには、データ値を設定することはできません。

49.3.4 オペランドアクセスサイクルブレーク

1. オペランドアクセスサイクルブレークの場合、マッチ条件設定レジスタ (CBR0またはCBR1) のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表 49.4 オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
クワッドワード	アドレスビット A31 ~ A3
ロングワード	アドレスビット A31 ~ A2
ワード	アドレスビット A31 ~ A1
バイト	アドレスビット A31 ~ A0
マッチ条件に含まれない	クワッドワードアクセス時のアドレスビット A31 ~ A3 ロングワードアクセス時のアドレスビット A31 ~ A2 ワードアクセス時のアドレスビット A31 ~ A1 バイトアクセス時のアドレスビット A31 ~ A0

これは、たとえばマッチアドレス設定レジスタ (CAR0またはCAR1) にアドレスH'00001003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、(他のすべての条件が成立すると仮定した場合) 以下が含まれることを意味します。

アドレスH'00001000に対するロングワードアクセス

アドレスH'00001002に対するワードアクセス

アドレスH'00001003に対するバイトアクセス

2. チャンネル1のマッチ条件にデータ値が含まれる場合

データ値をマッチ条件に含める場合は、マッチ条件設定レジスタ (CBR1) のオペランドサイズセレクト (SZ ビット) によりクワッドワード、ロングワード、ワード、またはバイトを指定し、かつマッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値およびマスクは、それぞれCDR1およびCDMR1のビット7~0、ビット15~0、ビット31~0に設定します。クワッドワードアクセスの場合、64ビットデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として条件比較が行われます。2つの32ビットデータ単位のいずれかがマッチ条件を満足すると、マッチ条件成立となります。

3. PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。

4. オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブ레이크が発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブ레이크が発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブ레이크が発生した場合は、分岐先の最初の命令までブ레이크は発生しません。RTE 命令の遅延スロットには、オペランドブ레이크を設定しないでください。また、データ値を条件に含める場合は、RTE 命令の 1.~6.命令前でブ레이크を発生させないでください。

49.3.5 シーケンシャルブ레이크

1. マッチ条件設定レジスタ (CBR0、CBR1) の MFE ビットおよび MFI ビットを設定することで、シーケンシャル条件 (チャンネル0 マッチ条件が成立した後チャンネル1 マッチ条件が成立、またはその逆) を指定することができます。シーケンス元チャンネルについては、マッチ条件設定レジスタの MFE、およびマッチ動作設定レジスタの BIE ビットをクリアしてください。シーケンス先チャンネルについては、マッチ条件設定レジスタの MFE ビットをセットし、シーケンス元チャンネル番号を MFI で指定します。シーケンシャル条件成立時のブ레이크要求の有無は、シーケンス先マッチ動作設定レジスタの BIE ビットにより指定します。シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。
2. シーケンシャル条件指定では、チャンネル 1 については実行回数ブ레이크条件も指定することができます。
3. シーケンス元チャンネルとシーケンス先チャンネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。

- シーケンス元チャンネル、シーケンス先チャンネルとも命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルは命令フェッチサイクルでマッチ成立、シーケンス先チャンネルはオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャンネルは命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャネル、シーケンス先チャネルともオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

49.3.6 退避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスを SPC に退避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレイクの発生する命令を一意に決定することができます。

- 命令フェッチサイクル (命令実行前) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に退避されます。

- 命令フェッチサイクル (命令実行後) をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に退避されます。

- オペランドアクセス (アドレスのみ) をマッチ条件として指定する場合

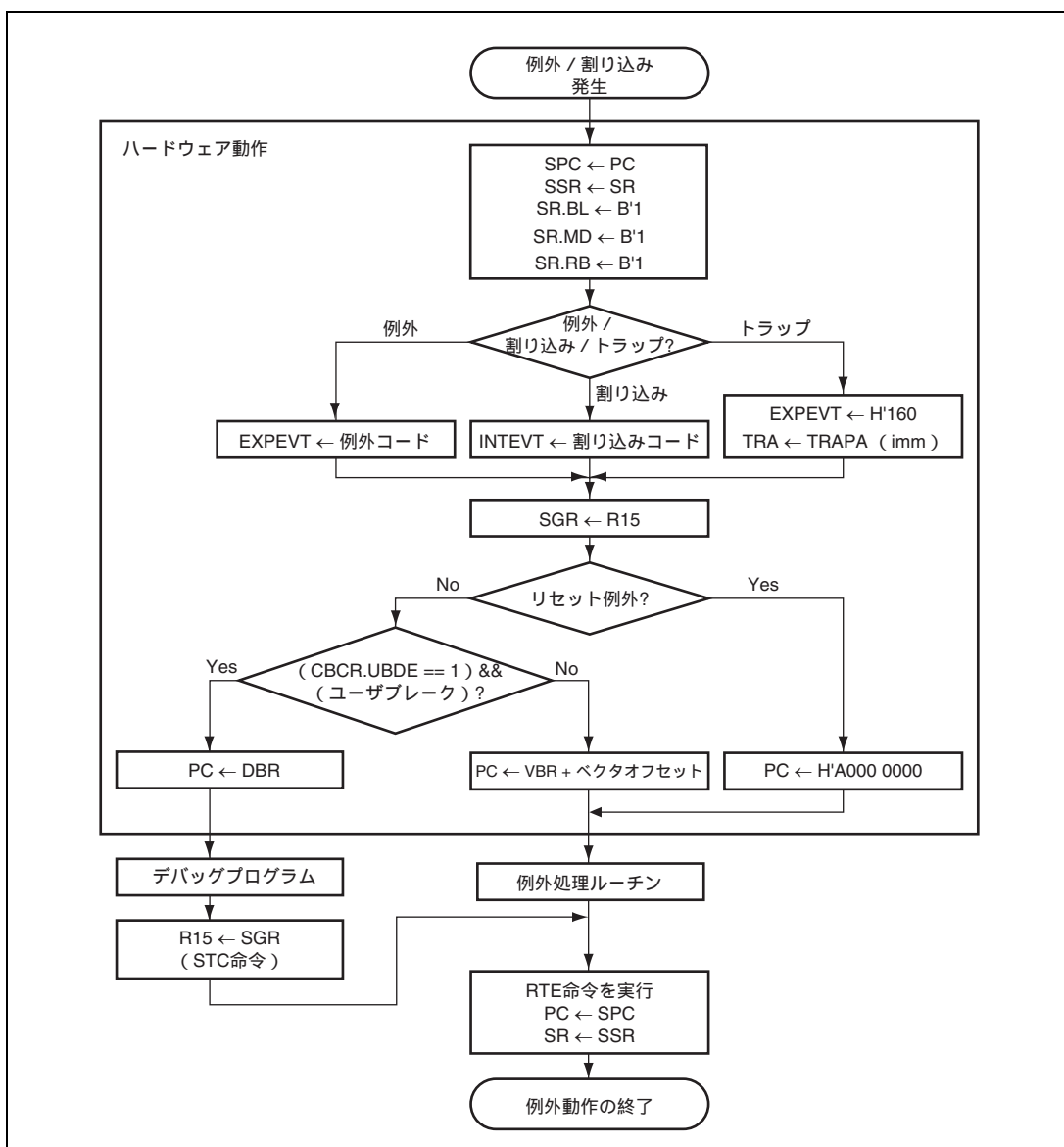
SPC には、ブレイク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に退避されます。

- オペランドアクセス (アドレス + データ) をマッチ条件と指定指定する場合

データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレイクが発生し、その命令のアドレスが SPC に退避されます。ブレイクが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に退避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレイクが発生する場合があります。この場合も、SPC には分岐先のアドレスが退避されます。

49.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、CPU がユーザブレイク要求を受理した場合の分岐先アドレスを変更することができます。ブレイクコントロールレジスタ CBCR の UBDE ビットを 1 にセットすることにより、[VBR + オフセット] で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。ユーザブレイクデバッグサポート機能のフローチャートを図 49.2 に示します。



49.5 ユーザブレイク使用例

(1) 命令フェッチサイクルに指定したマッチ条件

• 例1-1

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002003 / CAR0 = H'00000404 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行後）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

ユーザブレイクは、アドレス H'00000404 の命令実行後、またはアドレス H'00008010 ~ H'00008016 の命令実行前に発生します。

• 例1-2

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 チャンネル1 シーケンシャルモード

【チャンネル0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：命令フェッチ（命令実行前）

【チャンネル1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

• 例1-3

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00027128 / CAMR0 = H'00000000 /

CBR1 = H'00000013 / CRR1 = H'00002001 / CAR1 = H'00031415 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

【チャンネル1】

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

チャンネル0 では、アドレス H'00027128 の命令実行前に発生します。チャンネル1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

• 例1-4

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002000 / CAR0 = H'00037226 / CAMR0 = H'00000000 /

CBR1 = H'C0700013 / CRR1 = H'00002001 / CAR1 = H'0003722E / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 チャンネル1 シーケンシャルモード

【チャンネル0】

アドレス : H'00037226、アドレスマスク : H'00000000、ASID = H'80

バスサイクル : 命令フェッチ (命令実行前)

【チャンネル1】

アドレス : H'0003722E、アドレスマスク : H'00000000、ASID = H'70

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

データ値、実行回数は条件に含まれない

ASID = H'80 かつアドレス H'00037226 の命令が実行された後、ASID = H'70 かつアドレス H'0003722E の命令実行前にブレークが発生します。

• 例1-5

レジスタ設定

CBR0 = H'00000013 / CRR0 = H'00002001 / CAR0 = H'00000500 / CAMR0 = H'00000000 /

CBR1 = H'00000813 / CRR1 = H'00002001 / CAR1 = H'00001000 / CAMR1 = H'00000000 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000005 /

CBCR = H'00000000

指定条件 : チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス : H'00000500、アドレスマスク : H'00000000

バスサイクル : 命令フェッチ (命令実行前)

ASID は条件に含まれない

【チャンネル1】

アドレス : H'00001000、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000、実行回数 : H'00000005

バスサイクル : 命令フェッチ (命令実行前)

実行回数 : 5 回

ASID、データ値は条件に含まれない

チャンネル0 では、ユーザブレークはアドレス H'00000500 の命令の実行前に生じます。チャンネル1 では、ユーザブレークは、アドレス H'00001000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

• 例1-6

レジスタ設定

CBR0 = H'40800013 / CRR0 = H'00002003 / CAR0 = H'00008404 / CAMR0 = H'00000FFF /

CBR1 = H'40700013 / CRR1 = H'00002001 / CAR1 = H'00008010 / CAMR1 = H'00000006 /

CDR1 = H'00000000 / CDMR1 = H'00000000 / CETR1 = H'00000000 /

CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID：H'80

バスサイクル：命令フェッチ（命令実行後）

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ユーザブレイクは、ASID = H'80 でアドレス H'00008000 ~ H'00008FFE の命令の実行後、または、ASID = H'70 でアドレス H'00008010 ~ H'00008016 の命令の実行前に生じます。

(2) オペランドアクセスサイクルに指定したマッチ条件

• 例2-1

レジスタ設定

CBR0 = H'40800023 / CRR0 = H'00002001 / CAR0 = H'00123456 / CAMR0 = H'00000000 /
CBR1 = H'4070A025 / CRR1 = H'00002001 / CAR1 = H'000ABCDE / CAMR1 = H'000000FF /
CDR1 = H'0000A512 / CDMR1 = H'00000000 / CETR1 = H'00000000 /
CBCR = H'00000000

指定条件：チャンネル0 / チャンネル1 独立条件

【チャンネル0】

アドレス：H'00123456、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：オペランドバス / オペランドアクセス / 読み出し (オペランドサイズは条件に含まれない)

【チャンネル1】

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID：H'70

データ：H'0000A512、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：オペランドバス / オペランドアクセス / 書き込み / ワード

実行回数は条件に含まれない

チャンネル0では、ユーザブレイクは、ASID=H'80でアドレスH'00123454に対するロングワードの読み出し、アドレスH'00123456に対するワード読み出し、あるいはアドレスH'00123456に対するバイト読み出しで生じます。チャンネル1では、ユーザブレイクはASID=H'70でH'000ABC00~H'000ABCFEにワードH'A512を書き込むときに生じます。

49.6 使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタを変更後、ブレイク対象の命令を実行する前に、以下の(1)～(3)のいずれかを実行してください。

(1) 変更したレジスタをリードした後、RTE命令による分岐を実行してください(レジスタリードとRTE命令は連続している必要はありません)。

(2) 変更したレジスタをリードした後、任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行してください(レジスタリードとICBI命令は連続している必要はありません)。

(3) UBCレジスタの変更前にIRMCR.R1=0(初期値)と設定しておき、レジスタライト レジスタリード(もう一度同じ値を)レジスタライトというシーケンスでレジスタを更新してください。

なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0 および CRR1 の PCB ビットは、命令フェッチをマッチ条件にしたときのみに有効です。
3. シーケンシャル条件設定時、シーケンス元チャネルのマッチ条件成立後シーケンス先チャネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャネル0およびチャネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブレイクは発生しません。
4. SLEEP 命令に対しては、命令フェッチサイクルをマッチ条件とする命令実行後ブレイクを発生させないでください。また、SLEEP 命令の 1～5 命令前では、オペランドアクセスをマッチ条件とするブレイクを発生させないでください。
5. ユーザブレイクと他の例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「第5章 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
 - 命令実行前のブレイクは他のどの例外よりも優先して受け付けられます。
 - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外(命令実行前ブレイクを含む)と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブレイクが発生し、フラグがセットされます。
 - 命令実行後ブレイクやオペランドアクセスブレイクが、より優先度の高い完了型の例外(TRAPA)と同時に発生した場合は、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。

6. チャンネル0、チャンネル1において、マッチ条件が同時に独立して成立し、またその結果 SPC の値が両方のブレークに対して同じ場合、ユーザブレークは一度だけ発生しますが、条件一致フラグは両チャンネルともにセットされます。たとえば、
アドレス 110 の命令 (チャンネル0 で命令フェッチに対する実行後ブレーク) SPC = 112、CCMFR.MF0 = 1
アドレス 112 の命令 (チャンネル1 で命令フェッチに対する実行前ブレーク) SPC = 112、CCMFR.MF1 = 1
7. RTE 命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。またオペランドブレークにデータ値を含める場合には、RTE 命令の 1~6 命令前でブレークを発生させないでください。
8. 実行ステートが 2 以上の命令において再実行型例外と実行後ブレークが競合した場合、再実行型例外が発生します。このとき、ブレーク条件の成立に対して、CCMFR.MF0 (または CCMFR.MF1) ビットが 1 にセットされる場合と、セットされない場合があります。

50. ユーザデバッグインタフェース (H-UDI)

ユーザデバッグインタフェース (H-UDI) は、JTAG (IEEE1149.1) に準拠したシリアル入出力インタフェースであり、エミュレータの接続に使用します。

50.1 特長

H-UDI は JTAG、IEEE1149.1 "IEEE Standard Test Access Port and Boundary-Scan Architecture" に準拠したシリアル入出力インタフェースです。H-UDI は、エミュレータとの接続に使用します。エミュレータを使用する場合は本インタフェースの機能を使用しないでください。なお、エミュレータとの接続方法は各エミュレータのユーザーズマニュアルを参照してください。

H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK}}/\text{BRKACK}$) からなります。 $\overline{\text{ASEBRK}}/\text{BRKACK}$ を除く端子機能やシリアル転送プロトコルは、JTAG の規格に準拠します。さらにエミュレータ専用端子として 6 本の信号 (AUDSYNC、ADUCK、AUDATA3 ~ AUDATA0) があります。

図 50.1 に H-UDI のブロック図を示します。

H-UDI 回路は内部に TAP コントローラと、SDBPR、SDIR、SDDR (SDDRH、SDDRL)、SDINT の計 5 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDDR はデータ用のレジスタ、SDINT は H-UDI 割り込み用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

TAP (Test Access Port) コントローラと制御レジスタはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$ 端子をローレベルにするか、TMS を 1 に設定して TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間中にリセットがかかり初期化されます。

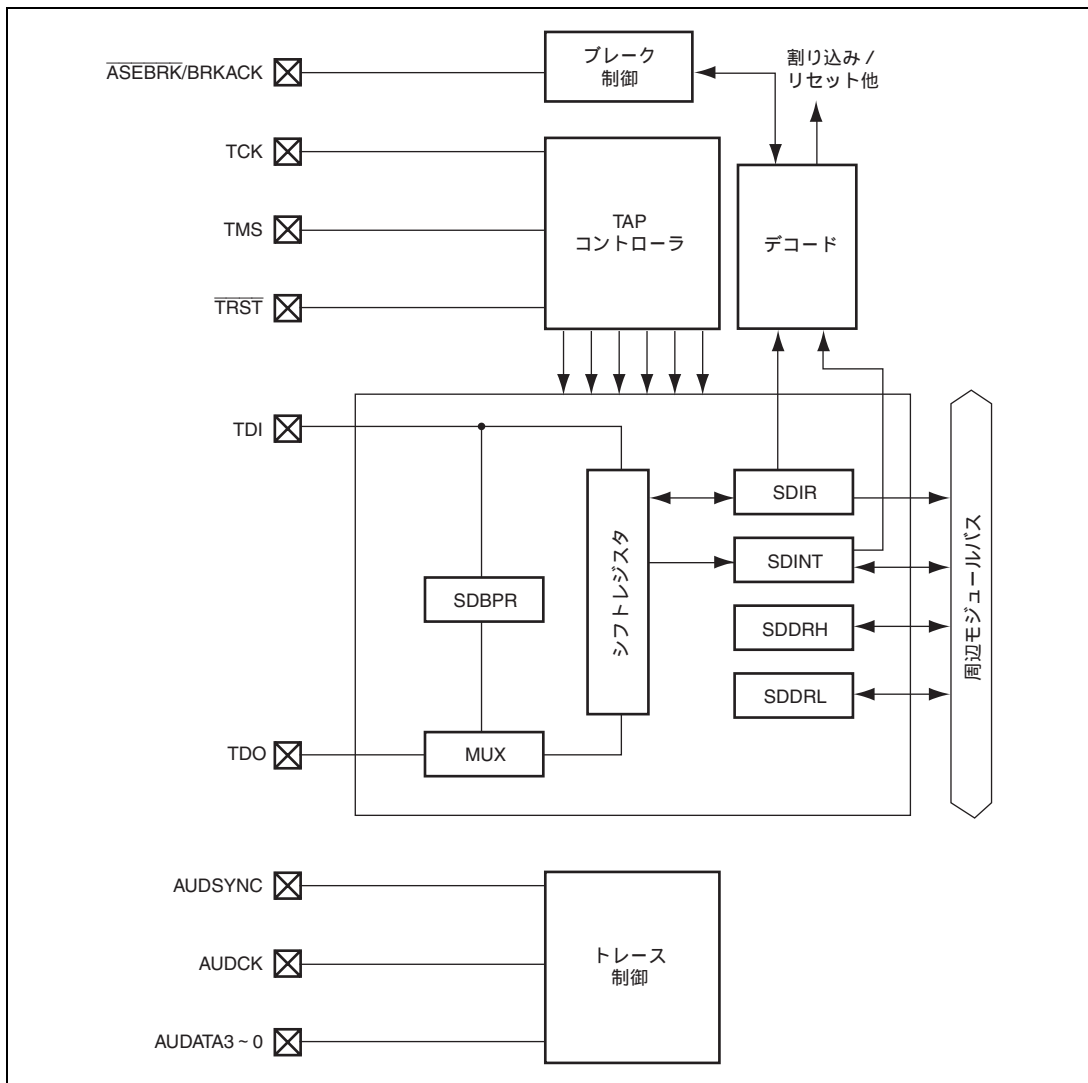


図 50.1 H-UDI のブロック図

50.2 入出力端子

H-UDI の端子構成を表 50.1 に示します。

表 50.1 H-UDI の端子構成

端子名	機能	入出力	説明	未使用時
TCK	クロック端子	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン* ¹
TMS	モード端子	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG(IEEE Std 1149.1)規格に準拠します。	オープン* ¹
TRST* ²	リセット端子	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。	グランド固定 または RESET 接続* ³
TDI	データ入力端子	入力	データ入力端子。TCK に同期してこの信号を変化させることで H-UDI 回路にデータを送ります。	オープン* ¹
TDO	データ出力端子	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
ASEBRK/ BRKACK	エミュレータ用端子	入出力	エミュレータ専用の端子	オープン* ¹
AUDSYNC AUDCK AUDATA3~0	エミュレータ用端子	出力	エミュレータ専用の端子	オープン
MPMD	ASE モード (エミュレーション サポートモード設 定)	入力	ローレベルで ASE モードとなり、エミュレーションサポ ート機能が使用可能となります。 E10A 等のエミュレータを使用する場合、ローレベルに固 定してください。	オープン* ¹

- 【注】 *1 チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。
- *2 エミュレータを使用可能なボードを設計する場合あるいは H-UDI 経由で割り込み / リセットを利用場合は、電源投入時に RESET と重複する期間 TRST をローレベルにし、かつ TRST 単独でも制御可能となるようにしてください。
- *3 グランド固定または RESET と同じ (あるいは同じ挙動の) 信号と接続する。ただし、グランド固定の場合には下記の問題があります。TRST はチップ内でプルアップされているため外部からグランドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。TRST のプルアップはピンファンクションコントローラ (PFC) のプルダウン制御レジスタ (PULCR) でオフすることができます。詳細は「第 48 章 ピンファンクションコントローラ (PFC)」を参照してください。

TCK の周波数が本 LSI の周辺クロックの周波数より低くなるように TCK あるいは本 LSI の CPG の設定を行ってください。

50.3 レジスタの説明

H-UDI には以下のレジスタがあります。

表 50.2 レジスタ構成 (1)

名称	略称	CPU 側				
		R/W	P4 領域 アドレス*1	エリア 7 アドレス*1	サイズ	初期値*2
インストラクションレジスタ	SDIR	R	H'FC11 0000	H'1C11 0000	16	H'0EFF
データレジスタ H	SDDR/SDDRH	R/W	H'FC11 0008	H'1C11 0008	32/16	不定
データレジスタ L	SDDRL	R/W	H'FC11 000A	H'1C11 000A	16	不定
割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	H'1C11 0018	16	H'0000
バイパスレジスタ	SDBPR	-	-	-	-	不定

【注】 *1 P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

*2 $\overline{\text{TRST}}$ 端子がローレベル、または TAP が Test-Logic-Reset 状態で初期化されます。

表 50.3 レジスタ構成 (2)

名称	略称	H-UDI 端子側		
		R/W	サイズ	初期値*1
インストラクションレジスタ	SDIR	R/W	32	H'FFFF FFFD (固定値*2)
データレジスタ H	SDDR/SDDRH	-	-	-
データレジスタ L	SDDRL	-	-	-
割り込み要因レジスタ	SDINT	W*3	32	H'0000 0000
バイパスレジスタ	SDBPR	R/W	1	不定

【注】 *1 $\overline{\text{TRST}}$ 端子がローレベル、または TAP が Test-Logic-Reset 状態で初期化されます。

*2 H-UDI からの読み出し値は常に固定値 (H'FFFF FFFD) となります。

*3 H-UDI 割り込みコマンドにより最下位ビットへ 1 を書き込むことができます。

表 50.4 各処理状態におけるレジスタの状態

レジスタ略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ
SDIR	H'0EFF	保持	保持	保持	保持*	保持*	保持
SDDR/SDDRH	不定	保持	保持	保持	保持*	保持*	保持
SDDRL	不定	保持	保持	保持	保持*	保持*	保持
SDINT	H'0000	保持	保持	保持	保持*	保持*	保持

【注】 * MPMD 端子=ロー時。MPMD 端子がハイ状態のときは、パワーオンリセットと同じになります。

50.3.1 インストラクションレジスタ (SDIR)

SDIR は、CPU から読み出しのみ可能な 16 ビットのレジスタです。シリアル入力 (TDI) から値 (コマンド) をセットします。 $\overline{\text{TRST}}$ または TAP の Test Logic Reset ステートで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	TI	00001110	R	テストインストラクションビット 7~0 11111111 : バイパス 0110xxxx : H-UDI、リセット、ネゲート 0111xxx : H-UDI、リセット、アサート 101xxxx : H-UDI 割り込み 00001110 : 初期状態 上記以外 : 設定禁止
7~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。

50.3.2 データレジスタ H、L (SDDRH、SDDRL)

SDDR は、SDDRH と SDDRL の 2 本を連結した 32 ビットのレジスタで、それぞれ CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。また、SDDR として CPU から 32 ビットで読み出し / 書き込みが行えます。このレジスタ値は、CPU のリセットでは初期化されませんが、 $\overline{\text{TRST}}$ では初期化されます。

- SDDRH

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SDDRHデータ															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- SDDRL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDDRLデータ															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

50.3.3 割り込み要因レジスタ (SDINT)

SDINT は CPU から読み出し / 書き込み可能な 16 ビットのレジスタです。H-UDI 端子側からは、SDIR に「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが 1 になります。SDIR が「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI と TDO の間に SDINT が接続され、32 ビットのレジスタとして読み出し可能です。その場合上位 16 ビットが 0 に、下位 16 ビットが SDINT になります。

CPU 側からは INTREQ ビットに 0 を書き込むことしかできません。このビットが 1 の間は割り込み要求が発行され続けますので、割り込みハンドラ内で必ず 0 にクリアするようにしてください。このレジスタ値は $\overline{\text{TRST}}$ または TAP の Test Logic Reset ステートで初期状態になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTREQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~1	-	すべて 0	R	リザーブビット 本ビットの読み出し / 書き込みに関しては「製品に関する一般的注意事項」を参照してください。
0	INTREQ	0	R/W	割り込み要求ビット 「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からはこのビットに 0 を書き込むことにより割り込み要求をクリアできます。このビットに 1 を書き込んだ場合は、直前の値を保持します。

50.4 動作説明

50.4.1 TAP 制御

図 50.2 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDOはShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}}=0$ への遷移でTCKとは非同期で"Test-Logic-Reset"状態へ遷移します。

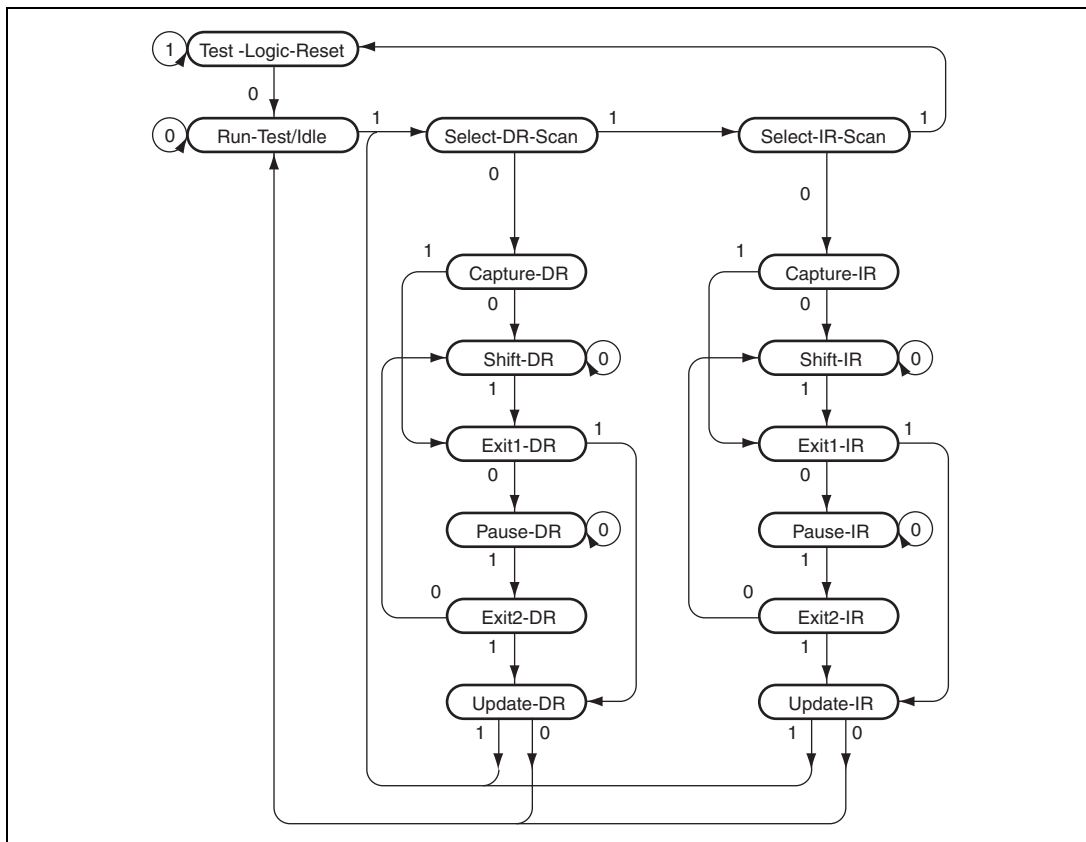


図 50.2 TAP 制御状態遷移図

50.4.2 H-UDI リセット

SDIR コマンドによりシステムリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます (図 50.3 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、システムリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。

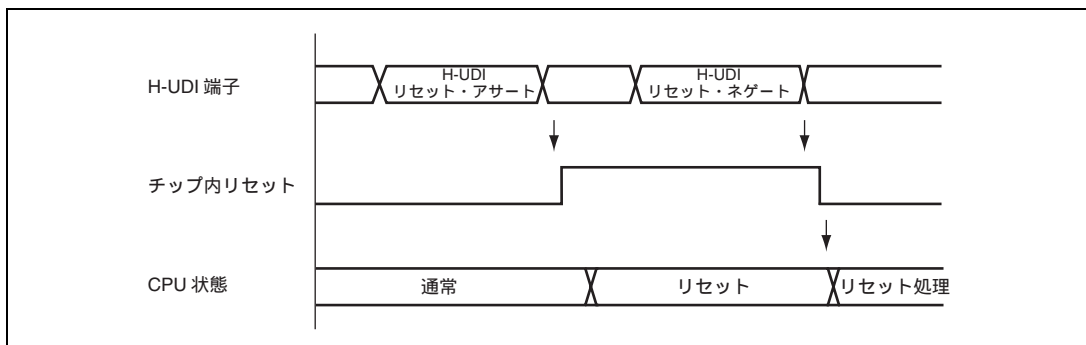


図 50.3 H-UDI リセット

50.4.3 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。

H-UDI 割り込みの要求信号は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は、TDI と TDO の間に SDINT が接続されます。

50.5 使用上の注意事項

一度設定した SDIR コマンドは $\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にすることによる初期化以外は H-UDI から他のコマンドを書き込まない限り変化しません。

H-UDI は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDI の機能は使用できません。

51. レジスタ一覧

アドレス一覧では、内蔵 I/O レジスタの情報を示し、次の構成になっています。

1. レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）
 - 機能モジュールごと、マニュアルの章番号の順に記載します。
 - 本リストに記載されていないリザーブアドレスのアクセスはしないでください。
 - アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。
2. 各動作モードにおけるレジスタの状態
 - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載します。
 - 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
 - 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

51.1 レジスタアドレス一覧

アクセスサイズは、ビット数を示します。

【注】 未定義、リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	R/W	アドレス	モジュール	アクセスサイズ	
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	例外処理	32	
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024		32	
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028		32	
非サポート検出例外レジスタ	EXPMASK	R/W	H'FF2F 0004		32	
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	MMU	32	
ページテーブルエントリ下位レジスタ	PTEL	R/W	H'FF00 0004		32	
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008		32	
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C		32	
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010		32	
ページテーブルエントリアシスタンスレジスタ	PTEA	R/W	H'FF00 0034		32	
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070		32	
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078		32	
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C		キャッシュ	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074			32
キューアドレス制御レジスタ 0	QACR0	R/W	H'FF00 0038	32		
キューアドレス制御レジスタ 1	QACR1	R/W	H'FF00 003C	32		
LCK コントロールレジスタ	PRLCKCR	R/W	H'FF80 0018	SuperHyway	32	
PRI コントロールレジスタ 0(SH-X2)	PRPRICR 0	R/W	H'FF80 0028		32	
PRI コントロールレジスタ 1(DBG)	PRPRICR 1	R/W	H'FF80 0030		32	
PRI コントロールレジスタ 2(DMAC0)	PRPRICR 2	R/W	H'FF80 0038		32	
PRI コントロールレジスタ 3(DMAC1)	PRPRICR 3	R/W	H'FF80 0040		32	
PRI コントロールレジスタ 4(ICB)	PRPRICR 4	R/W	H'FF80 0048		32	
PRI コントロールレジスタ 5	予約	R/W	H'FF80 0050		32	
PRI コントロールレジスタ 6(2DGcmd)	PRPRICR 6	R/W	H'FF80 0058		32	
PRI コントロールレジスタ 7(2DG)	PRPRICR 7	R/W	H'FF80 0060		32	
PRI コントロールレジスタ 8(ATAPI)	PRPRICR 8	R/W	H'FF80 0068		32	
PRI コントロールレジスタ 9(SPU2)	PRPRICR 9	R/W	H'FF80 0070		32	
PRI コントロールレジスタ 10(Ether)	PRPRICR 10	R/W	H'FF80 0078	32		

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	H'A414 0000	INTC	16
割り込みコントロールレジスタ 1	ICR1	R/W	H'A414 001C		16
割り込み優先レベル設定レジスタ 00	INTPRI00	R/W	H'A414 0010		32
割り込み要因レジスタ 00	INTREQ00	R/W	H'A414 0024		8
割り込みマスクレジスタ 00	INTMSK00	R/W	H'A414 0044		8
割り込みマスククリアレジスタ 00	INTMSKCLR00	W	H'A414 0064		8
NMI フラグコントロールレジスタ	NMIFCR	R/W	H'A414 00C0		16
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'A470 0000		32
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'A408 0000		16
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'A408 0004		16
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'A408 0008		16
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'A408 000C		16
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'A408 0010		16
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'A408 0014		16
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'A408 0018		16
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'A408 001C		16
割り込み優先レベル設定レジスタ I	IPRI	R/W	H'A408 0020		16
割り込み優先レベル設定レジスタ J	IPRJ	R/W	H'A408 0024		16
割り込み優先レベル設定レジスタ K	IPRK	R/W	H'A408 0028		16
割り込み優先レベル設定レジスタ L	IPRL	R/W	H'A408 002C		16
割り込みマスクレジスタ 0	IMR0	R/W	H'A408 0080		8
割り込みマスクレジスタ 1	IMR1	R/W	H'A408 0084		8
割り込みマスクレジスタ 2	IMR2	R/W	H'A408 0088		8
割り込みマスクレジスタ 3	IMR3	R/W	H'A408 008C		8
割り込みマスクレジスタ 4	IMR4	R/W	H'A408 0090		8
割り込みマスクレジスタ 5	IMR5	R/W	H'A408 0094		8
割り込みマスクレジスタ 6	IMR6	R/W	H'A408 0098		8
割り込みマスクレジスタ 7	IMR7	R/W	H'A408 009C		8
割り込みマスクレジスタ 8	IMR8	R/W	H'A408 00A0		8
割り込みマスクレジスタ 9	IMR9	R/W	H'A408 00A4		8
割り込みマスクレジスタ 10	IMR10	R/W	H'A408 00A8		8
割り込みマスクレジスタ 11	IMR11	R/W	H'A408 00AC		8
割り込みマスクレジスタ 12	IMR12	R/W	H'A408 00B0	8	
割り込みマスククリアレジスタ 0	IMCR0	W	H'A408 00C0	8	
割り込みマスククリアレジスタ 1	IMCR1	W	H'A408 00C4	8	
割り込みマスククリアレジスタ 2	IMCR2	W	H'A408 00C8	8	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ	
割り込みマスククリアレジスタ 3	IMCR3	W	H'A408 00CC	INTC	8	
割り込みマスククリアレジスタ 4	IMCR4	W	H'A408 00D0		8	
割り込みマスククリアレジスタ 5	IMCR5	W	H'A408 00D4		8	
割り込みマスククリアレジスタ 6	IMCR6	W	H'A408 00D8		8	
割り込みマスククリアレジスタ 7	IMCR7	W	H'A408 00DC		8	
割り込みマスククリアレジスタ 8	IMCR8	W	H'A408 00E0		8	
割り込みマスククリアレジスタ 9	IMCR9	W	H'A408 00E4		8	
割り込みマスククリアレジスタ 10	IMCR10	W	H'A408 00E8		8	
割り込みマスククリアレジスタ 11	IMCR11	W	H'A408 00EC		8	
割り込みマスククリアレジスタ 12	IMCR12	W	H'A408 00F0		8	
メモリアドレスマップ選択レジスタ	MMSELR	R/W	H'FF80 0020		BSC	32
共通コントロールレジスタ	CMNCR	R/W	H'FEC1 0000			32
CS0 空間バスコントロールレジスタ	CS0BCR	R/W	H'FEC1 0004	32		
CS4 空間バスコントロールレジスタ	CS4BCR	R/W	H'FEC1 0010	32		
CS5A 空間バスコントロールレジスタ	CS5ABCR	R/W	H'FEC1 0014	32		
CS5B 空間バスコントロールレジスタ	CS5BBCR	R/W	H'FEC1 0018	32		
CS6A 空間バスコントロールレジスタ	CS6ABCR	R/W	H'FEC1 001C	32		
CS6B 空間バスコントロールレジスタ	CS6BBCR	R/W	H'FEC1 0020	32		
CS0 空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'FEC1 0024	32		
CS4 空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'FEC1 0030	32		
CS5A 空間ウェイトコントロールレジスタ	CS5AWCR	R/W	H'FEC1 0034	32		
CS5B 空間ウェイトコントロールレジスタ	CS5BWCR	R/W	H'FEC1 0038	32		
CS6A 空間ウェイトコントロールレジスタ	CS6AWCR	R/W	H'FEC1 003C	32		
CS6B 空間ウェイトコントロールレジスタ	CS6BWCR	R/W	H'FEC1 0040	32		
リセットバスウェイトカウンタ	RBWTCNT	-	H'FEC1 0054	32		
DBSC2 SDRAM 種類設定レジスタ	DBKIND	R/W	H'FD00 0008	DBSC		32
DBSC2 ステータスレジスタ	DBSTATE	R	H'FD00 000C			32
SDRAM 動作許可レジスタ	DBEN	R/W	H'FD00 0010			32
SDRAM コマンド制御レジスタ	DBCMDCNT	R/W	H'FD00 0014		32	
SDRAM CKE 制御レジスタ	DBCKECNT	R/W	H'FD00 0018		32	
SDRAM 構成レジスタ	DBCONF	R/W	H'FD00 0020		32	
SDRAM タイミングレジスタ 0	DBTR0	R/W	H'FD00 0030		32	
SDRAM タイミングレジスタ 1	DBTR1	R/W	H'FD00 0034		32	
SDRAM タイミングレジスタ 2	DBTR2	R/W	H'FD00 0038		32	
SDRAM タイミングレジスタ 3	DBTR3	R/W	H'FD00 003C		32	
SDRAM リフレッシュ/パワーダウン制御レジスタ 0	DBRFPDN 0	R/W	H'FD00 0040		32	
SDRAM リフレッシュ/パワーダウン制御レジスタ 1	DBRFPDN 1	R/W	H'FD00 0044		32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
SDRAM リフレッシュ / パワーダウン制御レジスタ 2	DBRFDPN 2	R/W	H'FD00 0048	DBSC	32
SDRAM リフレッシュステータスレジスタ	DBRFSTS	R/W	H'FD00 004C		32
SDRAM モード設定レジスタ	DBMRCNT	W	H'FD00 0060		32
DDR-PAD 部制御レジスタ 0	DBPDCNT0	R/W	H'FD00 0108		32
DMA0 ソースアドレスレジスタ_0	DMA0_SAR_0	R/W	H'FE00 8020	DMAC	32
DMA0 デスティネーションアドレスレジスタ_0	DMA0_DAR_0	R/W	H'FE00 8024		32
DMA0 トランスファカウントレジスタ_0	DMA0_TCR_0	R/W	H'FE00 8028		32
DMA0 チャネルコントロールレジスタ_0	DMA0_CHCR_0	R/W	H'FE00 802C		32
DMA0 ソースアドレスレジスタ_1	DMA0_SAR_1	R/W	H'FE00 8030		32
DMA0 デスティネーションアドレスレジスタ_1	DMA0_DAR_1	R/W	H'FE00 8034		32
DMA0 トランスファカウントレジスタ_1	DMA0_TCR_1	R/W	H'FE00 8038		32
DMA0 チャネルコントロールレジスタ_1	DMA0_CHCR_1	R/W	H'FE00 803C		32
DMA0 ソースアドレスレジスタ_2	DMA0_SAR_2	R/W	H'FE00 8040		32
DMA0 デスティネーションアドレスレジスタ_2	DMA0_DAR_2	R/W	H'FE00 8044		32
DMA0 トランスファカウントレジスタ_2	DMA0_TCR_2	R/W	H'FE00 8048		32
DMA0 チャネルコントロールレジスタ_2	DMA0_CHCR_2	R/W	H'FE00 804C		32
DMA0 ソースアドレスレジスタ_3	DMA0_SAR_3	R/W	H'FE00 8050		32
DMA0 デスティネーションアドレスレジスタ_3	DMA0_DAR_3	R/W	H'FE00 8054		32
DMA0 トランスファカウントレジスタ_3	DMA0_TCR_3	R/W	H'FE00 8058		32
DMA0 チャネルコントロールレジスタ_3	DMA0_CHCR_3	R/W	H'FE00 805C		32
DMA0 オバレーションレジスタ	DMA0_DMAOR	R/W	H'FE00 8060		16
DMA0 ソースアドレスレジスタ_4	DMA0_SAR_4	R/W	H'FE00 8070		32
DMA0 デスティネーションアドレスレジスタ_4	DMA0_DAR_4	R/W	H'FE00 8074		32
DMA0 トランスファカウントレジスタ_4	DMA0_TCR_4	R/W	H'FE00 8078		32
DMA0 チャネルコントロールレジスタ_4	DMA0_CHCR_4	R/W	H'FE00 807C	32	
DMA0 ソースアドレスレジスタ_5	DMA0_SAR_5	R/W	H'FE00 8080	32	
DMA0 デスティネーションアドレスレジスタ_5	DMA0_DAR_5	R/W	H'FE00 8084	32	
DMA0 トランスファカウントレジスタ_5	DMA0_TCR_5	R/W	H'FE00 8088	32	
DMA0 チャネルコントロールレジスタ_5	DMA0_CHCR_5	R/W	H'FE00 808C	32	
DMA0 ソースアドレスレジスタ B_0	DMA0_SARB_0	R/W	H'FE00 8120	32	
DMA0 デスティネーションアドレスレジスタ B_0	DMA0_DARB_0	R/W	H'FE00 8124	32	
DMA0 トランスファカウントレジスタ B_0	DMA0_TCRB_0	R/W	H'FE00 8128	32	
DMA0 ソースアドレスレジスタ B_1	DMA0_SARB_1	R/W	H'FE00 8130	32	
DMA0 デスティネーションアドレスレジスタ B_1	DMA0_DARB_1	R/W	H'FE00 8134	32	
DMA0 トランスファカウントレジスタ B_1	DMA0_TCRB_1	R/W	H'FE00 8138	32	
DMA0 ソースアドレスレジスタ B_2	DMA0_SARB_2	R/W	H'FE00 8140	32	
DMA0 デスティネーションアドレスレジスタ B_2	DMA0_DARB_2	R/W	H'FE00 8144	32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
DMA0 トランスファカウントレジスタ B_2	DMA0_TCRB_2	R/W	H'FE00 8148	DMAC	32
DMA0 ソースアドレスレジスタ B_3	DMA0_SARB_3	R/W	H'FE00 8150		32
DMA0 デスティネーションアドレスレジスタ B_3	DMA0_DARB_3	R/W	H'FE00 8154		32
DMA0 トランスファカウントレジスタ B_3	DMA0_TCRB_3	R/W	H'FE00 8158		32
DMA0 拡張リソースセクタ_0	DMA0_DMARS_0	R/W	H'FE00 9000		16
DMA0 拡張リソースセクタ_1	DMA0_DMARS_1	R/W	H'FE00 9004		16
DMA0 拡張リソースセクタ_2	DMA0_DMARS_2	R/W	H'FE00 9008		16
DMA1 ソースアドレスレジスタ_0	DMA1_SAR_0	R/W	H'FDC0 8020		32
DMA1 デスティネーションアドレスレジスタ_0	DMA1_DAR_0	R/W	H'FDC0 8024		32
DMA1 トランスファカウントレジスタ_0	DMA1_TCR_0	R/W	H'FDC0 8028		32
DMA1 チャンネルコントロールレジスタ_0	DMA1_CHCR_0	R/W	H'FDC0 802C		32
DMA1 ソースアドレスレジスタ_1	DMA1_SAR_1	R/W	H'FDC0 8030		32
DMA1 デスティネーションアドレスレジスタ_1	DMA1_DAR_1	R/W	H'FDC0 8034		32
DMA1 トランスファカウントレジスタ_1	DMA1_TCR_1	R/W	H'FDC0 8038		32
DMA1 チャンネルコントロールレジスタ_1	DMA1_CHCR_1	R/W	H'FDC0 803C		32
DMA1 ソースアドレスレジスタ_2	DMA1_SAR_2	R/W	H'FDC0 8040		32
DMA1 デスティネーションアドレスレジスタ_2	DMA1_DAR_2	R/W	H'FDC0 8044		32
DMA1 トランスファカウントレジスタ_2	DMA1_TCR_2	R/W	H'FDC0 8048		32
DMA1 チャンネルコントロールレジスタ_2	DMA1_CHCR_2	R/W	H'FDC0 804C		32
DMA1 ソースアドレスレジスタ_3	DMA1_SAR_3	R/W	H'FDC0 8050		32
DMA1 デスティネーションアドレスレジスタ_3	DMA1_DAR_3	R/W	H'FDC0 8054		32
DMA1 トランスファカウントレジスタ_3	DMA1_TCR_3	R/W	H'FDC0 8058		32
DMA1 チャンネルコントロールレジスタ_3	DMA1_CHCR_3	R/W	H'FDC0 805C		32
DMA1 オペレーションレジスタ	DMA1_DMAOR	R/W	H'FDC0 8060		16
DMA1 ソースアドレスレジスタ_4	DMA1_SAR_4	R/W	H'FDC0 8070		32
DMA1 デスティネーションアドレスレジスタ_4	DMA1_DAR_4	R/W	H'FDC0 8074		32
DMA1 トランスファカウントレジスタ_4	DMA1_TCR_4	R/W	H'FDC0 8078		32
DMA1 チャンネルコントロールレジスタ_4	DMA1_CHCR_4	R/W	H'FDC0 807C		32
DMA1 ソースアドレスレジスタ_5	DMA1_SAR_5	R/W	H'FDC0 8080		32
DMA1 デスティネーションアドレスレジスタ_5	DMA1_DAR_5	R/W	H'FDC0 8084		32
DMA1 トランスファカウントレジスタ_5	DMA1_TCR_5	R/W	H'FDC0 8088		32
DMA1 チャンネルコントロールレジスタ_5	DMA1_CHCR_5	R/W	H'FDC0 808C		32
DMA1 ソースアドレスレジスタ B_0	DMA1_SARB_0	R/W	H'FDC0 8120		32
DMA1 デスティネーションアドレスレジスタ B_0	DMA1_DARB_0	R/W	H'FDC0 8124	32	
DMA1 トランスファカウントレジスタ B_0	DMA1_TCRB_0	R/W	H'FDC0 8128	32	
DMA1 ソースアドレスレジスタ B_1	DMA1_SARB_1	R/W	H'FDC0 8130	32	
DMA1 デスティネーションアドレスレジスタ B_1	DMA1_DARB_1	R/W	H'FDC0 8134	32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ	
DMA1 トランスファカウントレジスタ B_1	DMA1_TCRB_1	R/W	H'FDC0 8138	DMAC	32	
DMA1 ソースアドレスレジスタ B_2	DMA1_SARB_2	R/W	H'FDC0 8140		32	
DMA1 デスティネーションアドレスレジスタ B_2	DMA1_DARB_2	R/W	H'FDC0 8144		32	
DMA1 トランスファカウントレジスタ B_2	DMA1_TCRB_2	R/W	H'FDC0 8148		32	
DMA1 ソースアドレスレジスタ B_3	DMA1_SARB_3	R/W	H'FDC0 8150		32	
DMA1 デスティネーションアドレスレジスタ B_3	DMA1_DARB_3	R/W	H'FDC0 8154		32	
DMA1 トランスファカウントレジスタ B_3	DMA1_TCRB_3	R/W	H'FDC0 8158		32	
DMA1 拡張リソースセクタ_0	DMA1_DMARS_0	R/W	H'FDC0 9000		16	
DMA1 拡張リソースセクタ_1	DMA1_DMARS_1	R/W	H'FDC0 9004		16	
DMA1 拡張リソースセクタ_2	DMA1_DMARS_2	R/W	H'FDC0 9008		16	
周波数制御レジスタ A	FRQCRA	R/W	H'A415 0000		CPG	32
周波数制御レジスタ B	FRQCRB	R/W	H'A415 0004	32		
ビデオクロック周波数制御レジスタ	VCLKCR	R/W	H'A415 0048	32		
FSI クロック A 周波数制御レジスタ	FCLKACR	R/W	H'A415 0008	32		
FSI クロック B 周波数制御レジスタ	FCLKBCR	R/W	H'A415 000C	32		
IRDA クロック周波数制御レジスタ	IRDACLKCR	R/W	H'A415 0018	32		
SPU クロック周波数制御レジスタ	SPUCLKCR	R/W	H'A415 003C	32		
PLL 制御レジスタ	PLLCR	R/W	H'A415 0024	32		
FLL 通信レジスタ	FLLFRQ	R/W	H'A415 0050	32		
周波数変更ステータスレジスタ	LSTATS	R	H'A415 0060	32		
スタンバイコントロールレジスタ	STBCR	R/W	H'A415 0020	リセット、 低消費電力 モード		32
モジュールストップレジスタ 0	MSTPCR0	R/W	H'A415 0030			32
モジュールストップレジスタ 1	MSTPCR1	R/W	H'A415 0034			32
モジュールストップレジスタ 2	MSTPCR2	R/W	H'A415 0038			32
ブートアドレスレジスタ	BAR	R/W	H'A415 0040		32	
RCLK ウォッチドッグタイマカウンタ	RWTCNT	R/W	H'A452 0000	RWDT	8/16* ¹	
RCLK ウォッチドッグタイマコントロール/ステータス レジスタ	RWTCSR	R/W	H'A452 0004		8/16* ¹	
タイマスタートレジスタ 0	TSTR0	R/W	H'FFD8 0004	TMU	8	
タイマコンスタントレジスタ 0_0	TCOR0_0	R/W	H'FFD8 0008		32	
タイマカウンタ 0_0	TCNT0_0	R/W	H'FFD8 000C		32	
タイマコントロールレジスタ 0_0	TCR0_0	R/W	H'FFD8 0010		16	
タイマコンスタントレジスタ 0_1	TCOR0_1	R/W	H'FFD8 0014		32	
タイマカウンタ 0_1	TCNT0_1	R/W	H'FFD8 0018		32	
タイマコントロールレジスタ 0_1	TCR0_1	R/W	H'FFD8 001C		16	
タイマコンスタントレジスタ 0_2	TCOR0_2	R/W	H'FFD8 0020		32	
タイマカウンタ 0_2	TCNT0_2	R/W	H'FFD8 0024		32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
タイマコントロールレジスタ 0_2	TCR0_2	R/W	H'FFD8 0028	TMU	16
タイマスタートレジスタ 1	TSTR1	R/W	H'FFD9 0004		8
タイマコンスタントレジスタ 1_0	TCOR1_0	R/W	H'FFD9 0008		32
タイマカウンタ 1_0	TCNT1_0	R/W	H'FFD9 000C		32
タイマコントロールレジスタ 1_0	TCR1_0	R/W	H'FFD9 0010		16
タイマコンスタントレジスタ 1_1	TCOR1_1	R/W	H'FFD9 0014		32
タイマカウンタ 1_1	TCNT1_1	R/W	H'FFD9 0018		32
タイマコントロールレジスタ 1_1	TCR1_1	R/W	H'FFD9 001C		16
タイマコンスタントレジスタ 1_2	TCOR1_2	R/W	H'FFD9 0020		32
タイマカウンタ 1_2	TCNT1_2	R/W	H'FFD9 0024		32
タイマコントロールレジスタ 1_2	TCR1_2	R/W	H'FFD9 0028		16
タイマスタートレジスタ	TPU_TSTR	R/W	H'A4C9 0000	TPU	16
タイマコントロールレジスタ 0	TPU_TCR0	R/W	H'A4C9 0010		16
タイマモードレジスタ 0	TPU_TMDR0	R/W	H'A4C9 0014		16
タイマ I/O コントロールレジスタ 0	TPU_TIOR0	R/W	H'A4C9 0018		16
タイムインタラプティブレイブルレジスタ 0	TPU_TIER0	R/W	H'A4C9 001C		16
タイムステータスレジスタ 0	TPU_TSR0	R/W	H'A4C9 0020		16
タイマカウンタ 0	TPU_TCNT0	R/W	H'A4C9 0024		16
タイマジェネラルレジスタ 0A	TPU_TGR0A	R/W	H'A4C9 0028		16
タイマジェネラルレジスタ 0B	TPU_TGR0B	R/W	H'A4C9 002C		16
タイマジェネラルレジスタ 0C	TPU_TGR0C	R/W	H'A4C9 0030		16
タイマジェネラルレジスタ 0D	TPU_TGR0D	R/W	H'A4C9 0034		16
タイマコントロールレジスタ 1	TPU_TCR1	R/W	H'A4C9 0050		16
タイマモードレジスタ 1	TPU_TMDR1	R/W	H'A4C9 0054		16
タイマ I/O コントロールレジスタ 1	TPU_TIOR1	R/W	H'A4C9 0058		16
タイムインタラプティブレイブルレジスタ 1	TPU_TIER1	R/W	H'A4C9 005C		16
タイムステータスレジスタ 1	TPU_TSR1	R/W	H'A4C9 0060		16
タイマカウンタ 1	TPU_TCNT1	R/W	H'A4C9 0064		16
タイマジェネラルレジスタ 1A	TPU_TGR1A	R/W	H'A4C9 0068		16
タイマジェネラルレジスタ 1B	TPU_TGR1B	R/W	H'A4C9 006C		16
タイマジェネラルレジスタ 1C	TPU_TGR1C	R/W	H'A4C9 0070		16
タイマジェネラルレジスタ 1D	TPU_TGR1D	R/W	H'A4C9 0074		16
タイマコントロールレジスタ 2	TPU_TCR2	R/W	H'A4C9 0090		16
タイマモードレジスタ 2	TPU_TMDR2	R/W	H'A4C9 0094		16
タイマ I/O コントロールレジスタ 2	TPU_TIOR2	R/W	H'A4C9 0098		16
タイムインタラプティブレイブルレジスタ 2	TPU_TIER2	R/W	H'A4C9 009C		16
タイムステータスレジスタ 2	TPU_TSR2	R/W	H'A4C9 00A0		16

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
タイマカウンタ 2	TPU_TCNT2	R/W	H'A4C9 00A4	TPU	16
タイマジェネラルレジスタ 2A	TPU_TGR2A	R/W	H'A4C9 00A8		16
タイマジェネラルレジスタ 2B	TPU_TGR2B	R/W	H'A4C9 00AC		16
タイマジェネラルレジスタ 2C	TPU_TGR2C	R/W	H'A4C9 00B0		16
タイマジェネラルレジスタ 2D	TPU_TGR2D	R/W	H'A4C9 00B4		16
タイマコントロールレジスタ 3	TPU_TCR3	R/W	H'A4C9 00D0		16
タイマモードレジスタ 3	TPU_TMDR3	R/W	H'A4C9 00D4		16
タイミンタラプトイネーブルレジスタ 3	TPU_TIER3	R/W	H'A4C9 00DC		16
タイマステータスレジスタ 3	TPU_TSR3	R/W	H'A4C9 00E0		16
タイマカウンタ 3	TPU_TCNT3	R/W	H'A4C9 00E4		16
タイマ I/O コントロールレジスタ 3	TPU_TIOR3	R/W	H'A4C9 00D8		16
タイマジェネラルレジスタ 3A	TPU_TGR3A	R/W	H'A4C9 00E8		16
タイマジェネラルレジスタ 3B	TPU_TGR3B	R/W	H'A4C9 00EC		16
タイマジェネラルレジスタ 3C	TPU_TGR3C	R/W	H'A4C9 00F0		16
タイマジェネラルレジスタ 3D	TPU_TGR3D	R/W	H'A4C9 00F4		16
コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'A44A 0000	CMT	16
コンペアマッチタイマコントロール / ステータスレジスタ	CMCSR	R/W	H'A44A 0060		16
コンペアマッチタイマカウンタ	CMCNT	R/W	H'A44A 0064		32
コンペアマッチタイマコンスタントレジスタ	CMCOR	R/W	H'A44A 0068		32
コマンド設定レジスタ	CE_CMD_SET	R/W	H'A4CA 0000	MMCIF	16/32
アークメントレジスタ	CE_ARG	R/W	H'A4CA 0008		16/32
自動 CMD12 アークメントレジスタ	CE_ARG_CMD12	R/W	H'A4CA 000C		16/32
コマンド制御レジスタ	CE_CMD_CTRL	R/W	H'A4CA 0010		16/32
転送ブロック設定レジスタ	CE_BLOCK_SET	R/W	H'A4CA 0014		16/32
クロックコントロールレジスタ	CE_CLK_CTRL	R/W	H'A4CA 0018		16/32
バッファアクセス設定レジスタ	CE_BUF_ACC	R/W	H'A4CA 001C		16/32
レスポンスレジスタ 3	CE_RESP3	R/W	H'A4CA 0020		16/32
レスポンスレジスタ 2	CE_RESP2	R/W	H'A4CA 0024		16/32
レスポンスレジスタ 1	CE_RESP1	R/W	H'A4CA 0028		16/32
レスポンスレジスタ 0	CE_RESP0	R/W	H'A4CA 002C		16/32
自動 CMD12 レスポンスレジスタ	CE_RESP_CMD12	R/W	H'A4CA 0030		16/32
データレジスタ	CE_DATA	R/W	H'A4CA 0034		16 ² /32
割り込みフラグレジスタ	CE_INT	R/W	H'A4CA 0040		16/32
割り込みマスクレジスタ	CE_INT_MASK	R/W	H'A4CA 0044		16/32
ステータスレジスタ 1	CE_HOST_STS1	R/W	H'A4CA 0048		16/32
ステータスレジスタ 2	CE_HOST_STS2	R/W	H'A4CA 004C	16/32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
バージョンレジスタ	CE_VERSION	R/W	H'A4CA 007C	MMCIF	16/32
MSIOF0 送信モードレジスタ 1	MSIOF0_SITMDR1	R/W	H'A4C4 0000	MSIOF	32
MSIOF0 送信モードレジスタ 2	MSIOF0_SITMDR2	R/W	H'A4C4 0004		32
MSIOF0 送信モードレジスタ 3	MSIOF0_SITMDR3	R/W	H'A4C4 0008		32
MSIOF0 受信モードレジスタ 1	MSIOF0_SIRMDR1	R/W	H'A4C4 0010		32
MSIOF0 受信モードレジスタ 2	MSIOF0_SIRMDR2	R/W	H'A4C4 0014		32
MSIOF0 受信モードレジスタ 3	MSIOF0_SIRMDR3	R/W	H'A4C4 0018		32
MSIOF0 送信クロックセレクトレジスタ	MSIOF0_SITSCR	R/W	H'A4C4 0020		16
MSIOF0 受信クロックセレクトレジスタ	MSIOF0_SIRSCR	R/W	H'A4C4 0022		16
MSIOF0 コントロールレジスタ	MSIOF0_SICTR	R/W	H'A4C4 0028		32
MSIOF0 FIFO コントロールレジスタ	MSIOF0_SIFCTR	R/W	H'A4C4 0030		32
MSIOF0 ステータスレジスタ	MSIOF0_SISTR	R/W	H'A4C4 0040		32
MSIOF0 割り込み許可レジスタ	MSIOF0_SIIER	R/W	H'A4C4 0044		32
MSIOF0 送信制御データレジスタ 1	MSIOF0_SITDR1	W	H'A4C4 0048		32
MSIOF0 送信制御データレジスタ 2	MSIOF0_SITDR2	W	H'A4C4 004C		32
MSIOF0 送信 FIFO データレジスタ	MSIOF0_SITFDR	W	H'A4C4 0050		32
MSIOF0 受信制御データレジスタ 1	MSIOF0_SIRDR1	R	H'A4C4 0058		32
MSIOF0 受信制御データレジスタ 2	MSIOF0_SIRDR2	R	H'A4C4 005C		32
MSIOF0 受信 FIFO データレジスタ	MSIOF0_SIRFDR	R	H'A4C4 0060		32
MSIOF1 送信モードレジスタ 1	MSIOF1_SITMDR1	R/W	H'A4C5 0000		32
MSIOF1 送信モードレジスタ 2	MSIOF1_SITMDR2	R/W	H'A4C5 0004		32
MSIOF1 送信モードレジスタ 3	MSIOF1_SITMDR3	R/W	H'A4C5 0008		32
MSIOF1 受信モードレジスタ 1	MSIOF1_SIRMDR1	R/W	H'A4C5 0010		32
MSIOF1 受信モードレジスタ 2	MSIOF1_SIRMDR2	R/W	H'A4C5 0014		32
MSIOF1 受信モードレジスタ 3	MSIOF1_SIRMDR3	R/W	H'A4C5 0018		32
MSIOF1 送信クロックセレクトレジスタ	MSIOF1_SITSCR	R/W	H'A4C5 0020	16	
MSIOF1 受信クロックセレクトレジスタ	MSIOF1_SIRSCR	R/W	H'A4C5 0022	16	
MSIOF1 コントロールレジスタ	MSIOF1_SICTR	R/W	H'A4C5 0028	32	
MSIOF1 FIFO コントロールレジスタ	MSIOF1_SIFCTR	R/W	H'A4C5 0030	32	
MSIOF1 ステータスレジスタ	MSIOF1_SISTR	R/W	H'A4C5 0040	32	
MSIOF1 割り込み許可レジスタ	MSIOF1_SIIER	R/W	H'A4C5 0044	32	
MSIOF1 送信制御データレジスタ 1	MSIOF1_SITDR1	W	H'A4C5 0048	32	
MSIOF1 送信制御データレジスタ 2	MSIOF1_SITDR2	W	H'A4C5 004C	32	
MSIOF1 送信 FIFO データレジスタ	MSIOF1_SITFDR	W	H'A4C5 0050	32	
MSIOF1 受信制御データレジスタ 1	MSIOF1_SIRDR1	R	H'A4C5 0058	32	
MSIOF1 受信制御データレジスタ 2	MSIOF1_SIRDR2	R	H'A4C5 005C	32	
MSIOF1 受信 FIFO データレジスタ	MSIOF1_SIRFDR	R	H'A4C5 0060	32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
シリアルモードレジスタ 0	SCSMR0	R/W	H'FFE0 0000	SCIF	16
ビットレートレジスタ 0	SCBRR0	R/W	H'FFE0 0004		8
シリアルコントロールレジスタ 0	SCSCR0	R/W	H'FFE0 0008		16
トランスミット FIFO データレジスタ 0	SCFTDR0	W	H'FFE0 000C		8
シリアルステータスレジスタ 0	SCFSR0	R/W	H'FFE0 0010		16
レシーブ FIFO レジスタ 0	SCFRDR0	R	H'FFE0 0014		8
FIFO コントロールレジスタ 0	SCFCR0	R/W	H'FFE0 0018		16
FIFO データ数レジスタ 0	SCFDR0	R	H'FFE0 001C		16
ラインステータスレジスタ 0	SCLSR0	R/W	H'FFE0 0024		16
シリアルモードレジスタ 1	SCSMR1	R/W	H'FFE1 0000		16
ビットレートレジスタ 1	SCBRR1	R/W	H'FFE1 0004		8
シリアルコントロールレジスタ 1	SCSCR1	R/W	H'FFE1 0008		16
トランスミット FIFO データレジスタ 1	SCFTDR1	W	H'FFE1 000C		8
シリアルステータスレジスタ 1	SCFSR1	R/W	H'FFE1 0010		16
レシーブ FIFO レジスタ 1	SCFRDR1	R	H'FFE1 0014		8
FIFO コントロールレジスタ 1	SCFCR1	R/W	H'FFE1 0018		16
FIFO データ数レジスタ 1	SCFDR1	R	H'FFE1 001C		16
ラインステータスレジスタ 1	SCLSR1	R/W	H'FFE1 0024		16
シリアルモードレジスタ 2	SCSMR2	R/W	H'FFE2 0000		16
ビットレートレジスタ 2	SCBRR2	R/W	H'FFE2 0004		8
シリアルコントロールレジスタ 2	SCSCR2	R/W	H'FFE2 0008		16
トランスミット FIFO データレジスタ 2	SCFTDR2	W	H'FFE2 000C		8
シリアルステータスレジスタ 2	SCFSR2	R/W	H'FFE2 0010		16
レシーブ FIFO レジスタ 2	SCFRDR2	R	H'FFE2 0014		8
FIFO コントロールレジスタ 2	SCFCR2	R/W	H'FFE2 0018	16	
FIFO データ数レジスタ 2	SCFDR2	R	H'FFE2 001C	16	
ラインステータスレジスタ 2	SCLSR2	R/W	H'FFE2 0024	16	
シリアルモードレジスタ A3	SCASMR3	R/W	H'A4E3 0000	SCIFA	16
ビットレートレジスタ A3	SCABRR3	R/W	H'A4E3 0004		8
シリアルコントロールレジスタ A3	SCASCR3	R/W	H'A4E3 0008		16
トランスミットデータストップレジスタ A3	SCATDSR3	R/W	H'A4E3 000C		8
FIFO エラー数レジスタ A3	SCAFER3	R	H'A4E3 0010		16
シリアルステータスレジスタ A3	SCASSR3	R/W	H'A4E3 0014		16
FIFO コントロールレジスタ A3	SCAFCR3	R/W	H'A4E3 0018		16
FIFO データ数レジスタ A3	SCAFDR3	R	H'A4E3 001C		16
トランスミット FIFO データレジスタ A3	SCAFTDR3	W	H'A4E3 0020		8
レシーブ FIFO データレジスタ A3	SCAFDR3	R	H'A4E3 0024		8

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
シリアルモードレジスタ A4	SCASMR4	R/W	H'A4E4 0000	SCIFA	16
ビットレートレジスタ A4	SCABRR4	R/W	H'A4E4 0004		8
シリアルコントロールレジスタ A4	SCASCR4	R/W	H'A4E4 0008		16
トランスミットデータストップレジスタ A4	SCATDSR4	R/W	H'A4E4 000C		8
FIFO エラー数レジスタ A4	SCAFER4	R	H'A4E4 0010		16
シリアルステータスレジスタ A4	SCASSR4	R/W	H'A4E4 0014		16
FIFO コントロールレジスタ A4	SCAFCR4	R/W	H'A4E4 0018		16
FIFO データ数レジスタ A4	SCAFDR4	R	H'A4E4 001C		16
トランスミット FIFO データレジスタ A4	SCAFTDR4	W	H'A4E4 0020		8
レシーブ FIFO データレジスタ A4	SCAFDR4	R	H'A4E4 0024		8
シリアルモードレジスタ A5	SCASMR5	R/W	H'A4E5 0000		16
ビットレートレジスタ A5	SCABRR5	R/W	H'A4E5 0004		8
シリアルコントロールレジスタ A5	SCASCR5	R/W	H'A4E5 0008		16
トランスミットデータストップレジスタ A5	SCATDSR5	R/W	H'A4E5 000C		8
FIFO エラー数レジスタ A5	SCAFER5	R	H'A4E5 0010		16
シリアルステータスレジスタ A5	SCASSR5	R/W	H'A4E5 0014		16
FIFO コントロールレジスタ A5	SCAFCR5	R/W	H'A4E5 0018	16	
FIFO データ数レジスタ A5	SCAFDR5	R	H'A4E5 001C	16	
トランスミット FIFO データレジスタ A5	SCAFTDR5	W	H'A4E5 0020	8	
レシーブ FIFO データレジスタ A5	SCAFDR5	R	H'A4E5 0024	8	
64Hz カウンタ	R64CNT	R	H'A465 FEC0	RTC	8
秒カウンタ	RSECCNT	R/W	H'A465 FEC2		8
分カウンタ	RMINCNT	R/W	H'A465 FEC4		8
時カウンタ	RHRCNT	R/W	H'A465 FEC6		8
曜日カウンタ	RWKCNT	R/W	H'A465 FEC8		8
日カウンタ	RDAYCNT	R/W	H'A465 FECA		8
月カウンタ	RMONCNT	R/W	H'A465 FECC		8
年カウンタ	RYRCNT	R/W	H'A465 FECE		16
秒アラームレジスタ	RSECAR	R/W	H'A465 FED0		8
分アラームレジスタ	RMINAR	R/W	H'A465 FED2		8
時アラームレジスタ	RHRAR	R/W	H'A465 FED4		8
曜日アラームレジスタ	RWKAR	R/W	H'A465 FED6		8
日アラームレジスタ	RDAYAR	R/W	H'A465 FED8		8
月アラームレジスタ	RMONAR	R/W	H'A465 FEDA		8
RTC コントロールレジスタ 1	RCR1	R/W	H'A465 FEDC		8
RTC コントロールレジスタ 2	RCR2	R/W	H'A465 FEDE		8
年アラームレジスタ	RYRAR	R/W	H'A465 FEE0	16	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
RTC コントロールレジスタ 3	RCR3	R/W	H'A465 FEE4	RTC	8
DMA 受信割り込み要因クリアレジスタ	IRIF_RINTCLR	W	H'A45D 0016	IrDA	16/8
DMA 送信割り込み要因クリアレジスタ	IRIF_TINTCLR	W	H'A45D 0018		16/8
IrDA-SIR10 コントロールレジスタ	IRIF_SIR0	R/W	H'A45D 0020		16/8
IrDA-SIR10 ボーレート誤差補正レジスタ	IRIF_SIR1	R/W	H'A45D 0022		16/8
IrDA-SIR10 ボーレートカウント設定レジスタ	IRIF_SIR2	R/W	H'A45D 0024		16/8
IrDA-SIR10 ステータスレジスタ	IRIF_SIR3	R	H'A45D 0026		16/8
ハードウェアフレーム処理設定レジスタ	IRIF_SIR_FRM	R/W	H'A45D 0028		16/8
EOF 値設定レジスタ	IRIF_SIR_EOF	R/W	H'A45D 002A		16/8
フラグクリアレジスタ	IRIF_SIR_FLG	W	H'A45D 002C		16/8
UART ステータスレジスタ 2	IRIF_SIR_STS2	R/W	H'A45D 002E		16/8
UART コントロールレジスタ	IRIF_UART0	R/W	H'A45D 0030		16/8
UART ステータスレジスタ	IRIF_UART1	R	H'A45D 0032		16/8
UART モードレジスタ	IRIF_UART2	R/W	H'A45D 0034		16/8
UART 送信データレジスタ	IRIF_UART3	W	H'A45D 0036		16/8
UART 受信データレジスタ	IRIF_UART4	R	H'A45D 0038		16/8
UART 割り込みマスクレジスタ	IRIF_UART5	R/W	H'A45D 003A		16/8
UART ボーレート誤差補正レジスタ	IRIF_UART6	R/W	H'A45D 003C		16/8
UART ボーレートカウントレジスタ	IRIF_UART7	R/W	H'A45D 003E		16/8
CRC エンジンコントロールレジスタ	IRIF_CRC0	R/W	H'A45D 0040		16/8
CRC エンジン入力データレジスタ	IRIF_CRC1	W	H'A45D 0042		16/8
CRC エンジン演算レジスタ	IRIF_CRC2	W	H'A45D 0044	16/8	
CRC エンジン出力データレジスタ 1	IRIF_CRC3	R	H'A45D 0046	16/8	
CRC エンジン出力データレジスタ 2	IRIF_CRC4	R	H'A45D 0048	16/8	
キースキャンコントロールレジスタ 1	KYCR1	R/W	H'A44B 0000	KEYSC	16
キースキャンコントロールレジスタ 2	KYCR2	R/W	H'A44B 0004		16
キースキャンインデータレジスタ	KYINDR	R	H'A44B 0008		16
キースキャンアウトデータレジスタ	KYOUTDR	R/W	H'A44B 000C		16

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
システムコンフィギュレーションコントロールレジスタ_0	SYSCFG_0	R/W	H'A4D8 0000	USB	16
CPU バスウェイト設定レジスタ_0	BUSWAIT_0	R/W	H'A4D8 0002		16
システムコンフィギュレーションステータスレジスタ_0	SYSSTS_0	R	H'A4D8 0004		16
デバイススタートコントロールレジスタ_0	DVSTCTR_0	R/W	H'A4D8 0008		16
テストモードレジスタ_0	TESTMODE_0	R/W	H'A4D8 000C		16
CFIFO ポートレジスタ_0	CFIFO_0	R/W	H'A4D8 0014		8、16、32
D0FIFO ポートレジスタ_0	D0FIFO_0	R/W	H'A4D8 0018		8、16、32
D1FIFO ポートレジスタ_0	D1FIFO_0	R/W	H'A4D8 001C		8、16、32
CFIFO ポート選択レジスタ_0	CFIFOSEL_0	R/W	H'A4D8 0020		16
CFIFO ポートコントロールレジスタ_0	CFIFOCTR_0	R/W	H'A4D8 0022		16
D0FIFO ポート選択レジスタ_0	D0FIFOSEL_0	R/W	H'A4D8 0028		16
D0FIFO ポートコントロールレジスタ_0	D0FIFOCTR_0	R/W	H'A4D8 002A		16
D1FIFO ポート選択レジスタ_0	D1FIFOSEL_0	R/W	H'A4D8 002C		16
D1FIFO ポートコントロールレジスタ_0	D1FIFOCTR_0	R/W	H'A4D8 002E		16
割り込み許可レジスタ 0_0	INTENB0_0	R/W	H'A4D8 0030		16
割り込み許可レジスタ 1_0	INTENB1_0	R/W	H'A4D8 0032		16
BRDY 割り込み許可レジスタ_0	BRDYENB_0	R/W	H'A4D8 0036		16
NRDY 割り込み許可レジスタ_0	NRDYENB_0	R/W	H'A4D8 0038		16
BEMP 割り込み許可レジスタ_0	BEMPENB_0	R/W	H'A4D8 003A		16
SOF 出力コンフィグレーションレジスタ_0	SOFCFG_0	R/W	H'A4D8 003C		16
割り込みステータスレジスタ 0_0	INTSTS0_0	R/W	H'A4D8 0040		16
割り込みステータスレジスタ 1_0	INTSTS1_0	R/W	H'A4D8 0042		16
BRDY 割り込みステータスレジスタ_0	BRDYSTS_0	R/W	H'A4D8 0046		16
NRDY 割り込みステータスレジスタ_0	NRDYSTS_0	R/W	H'A4D8 0048		16
BEMP 割り込みステータスレジスタ_0	BEMPSTS_0	R/W	H'A4D8 004A		16
フレームナンバーレジスタ_0	FRMNUM_0	R/W	H'A4D8 004C		16
μフレームナンバーレジスタ_0	UFRMNUM_0	R/W	H'A4D8 004E		16
USB アドレスレジスタ_0	USBADDR_0	R	H'A4D8 0050	16	
USB リクエストタイプレジスタ_0	USBREQ_0	R/W	H'A4D8 0054	16	
USB リクエストバリュージスタ_0	USBVAL_0	R/W	H'A4D8 0056	16	
USB リクエストインデックスレジスタ_0	USBINDX_0	R/W	H'A4D8 0058	16	
USB リクエストレンゲスレジスタ_0	USBLENG_0	R/W	H'A4D8 005A	16	
DCP コンフィギュレーションレジスタ_0	DCPCFG_0	R/W	H'A4D8 005C	16	
DCP マックスパケットサイズレジスタ_0	DCPMAXP_0	R/W	H'A4D8 005E	16	
DCP コントロールレジスタ_0	DCPCTR_0	R/W	H'A4D8 0060	16	
パイプウィンドウ選択レジスタ_0	PIPESEL_0	R/W	H'A4D8 0064	16	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
パイプコンフィギュレーションレジスタ_0	PIPECFG_0	R/W	H'A4D8 0068	USB	16
パイプバッファ指定レジスタ_0	PIPEBUF_0	R/W	H'A4D8 006A		16
パイプマックスパケットサイズレジスタ_0	PIPEMAXP_0	R/W	H'A4D8 006C		16
パイプ周期制御レジスタ_0	PIPEPERI_0	R/W	H'A4D8 006E		16
パイプ1コントロールレジスタ_0	PIPE1CTR_0	R/W	H'A4D8 0070		16
パイプ2コントロールレジスタ_0	PIPE2CTR_0	R/W	H'A4D8 0072		16
パイプ3コントロールレジスタ_0	PIPE3CTR_0	R/W	H'A4D8 0074		16
パイプ4コントロールレジスタ_0	PIPE4CTR_0	R/W	H'A4D8 0076		16
パイプ5コントロールレジスタ_0	PIPE5CTR_0	R/W	H'A4D8 0078		16
パイプ6コントロールレジスタ_0	PIPE6CTR_0	R/W	H'A4D8 007A		16
パイプ7コントロールレジスタ_0	PIPE7CTR_0	R/W	H'A4D8 007C		16
パイプ8コントロールレジスタ_0	PIPE8CTR_0	R/W	H'A4D8 007E		16
パイプ9コントロールレジスタ_0	PIPE9CTR_0	R/W	H'A4D8 0080		16
パイプ1トランザクションカウンタインエーブルレジスタ_0	PIPE1TRE_0	R/W	H'A4D8 0090		16
パイプ1トランザクションカウンタレジスタ_0	PIPE1TRN_0	R/W	H'A4D8 0092		16
パイプ2トランザクションカウンタインエーブルレジスタ_0	PIPE2TRE_0	R/W	H'A4D8 0094		16
パイプ2トランザクションカウンタレジスタ_0	PIPE2TRN_0	R/W	H'A4D8 0096		16
パイプ3トランザクションカウンタインエーブルレジスタ_0	PIPE3TRE_0	R/W	H'A4D8 0098		16
パイプ3トランザクションカウンタレジスタ_0	PIPE3TRN_0	R/W	H'A4D8 009A		16
パイプ4トランザクションカウンタインエーブルレジスタ_0	PIPE4TRE_0	R/W	H'A4D8 009C		16
パイプ4トランザクションカウンタレジスタ_0	PIPE4TRN_0	R/W	H'A4D8 009E		16
パイプ5トランザクションカウンタインエーブルレジスタ_0	PIPE5TRE_0	R/W	H'A4D8 00A0		16
パイプ5トランザクションカウンタレジスタ_0	PIPE5TRN_0	R/W	H'A4D8 00A2		16
デバイスアドレス0コンフィグレーションレジスタ_0	DEVADD0_0	R/W	H'A4D8 00D0		16
デバイスアドレス1コンフィグレーションレジスタ_0	DEVADD1_0	R/W	H'A4D8 00D2		16
デバイスアドレス2コンフィグレーションレジスタ_0	DEVADD2_0	R/W	H'A4D8 00D4		16
デバイスアドレス3コンフィグレーションレジスタ_0	DEVADD3_0	R/W	H'A4D8 00D6		16
デバイスアドレス4コンフィグレーションレジスタ_0	DEVADD4_0	R/W	H'A4D8 00D8		16
デバイスアドレス5コンフィグレーションレジスタ_0	DEVADD5_0	R/W	H'A4D8 00DA		16
デバイスアドレス6コンフィグレーションレジスタ_0	DEVADD6_0	R/W	H'A4D8 00DC		16
デバイスアドレス7コンフィグレーションレジスタ_0	DEVADD7_0	R/W	H'A4D8 00DE		16
デバイスアドレス8コンフィグレーションレジスタ_0	DEVADD8_0	R/W	H'A4D8 00E0		16
デバイスアドレス9コンフィグレーションレジスタ_0	DEVADD9_0	R/W	H'A4D8 00E2	16	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
デバイスアドレス A コンフィグレーションレジスタ_0	DEVADDA_0	R/W	H'A4D8 00E4	USB	16
USB 電源制御レジスタ 0	UPONCR0	R/W	H'A40501D4		16
システムコンフィギュレーションコントロールレジスタ_1	SYSCFG_1	R/W	H'A4D9 0000		16
CPU バスウェイト設定レジスタ_1	BUSWAIT_1	R/W	H'A4D9 0002		16
システムコンフィギュレーションステータスレジスタ_1	SYSSTS_1	R	H'A4D9 0004		16
デバイスステートコントロールレジスタ_1	DVSTCTR_1	R/W	H'A4D9 0008		16
テストモードレジスタ_1	TESTMODE_1	R/W	H'A4D9 000C		16
CFIFO ポートレジスタ_1	CFIFO_1	R/W	H'A4D9 0014		8、16、32
D0FIFO ポートレジスタ_1	D0FIFO_1	R/W	H'A4D9 0100		8、16、32
D1FIFO ポートレジスタ_1	D1FIFO_1	R/W	H'A4D9 0120		8、16、32
CFIFO ポート選択レジスタ_1	CFIFOSEL_1	R/W	H'A4D9 0020		16
CFIFO ポートコントロールレジスタ_1	CFIFOCTR_1	R/W	H'A4D9 0022		16
D0FIFO ポート選択レジスタ_1	D0FIFOSEL_1	R/W	H'A4D9 0028		16
D0FIFO ポートコントロールレジスタ_1	D0FIFOCTR_1	R/W	H'A4D9 002A		16
D1FIFO ポート選択レジスタ_1	D1FIFOSEL_1	R/W	H'A4D9 002C		16
D1FIFO ポートコントロールレジスタ_1	D1FIFOCTR_1	R/W	H'A4D9 002E		16
割り込み許可レジスタ 0_1	INTENB0_1	R/W	H'A4D9 0030		16
割り込み許可レジスタ 1_1	INTENB1_1	R/W	H'A4D9 0032		16
BRDY 割り込み許可レジスタ_1	BRDYENB_1	R/W	H'A4D9 0036		16
NRDY 割り込み許可レジスタ_1	NRDYENB_1	R/W	H'A4D9 0038		16
BEMP 割り込み許可レジスタ_1	BEMPENB_1	R/W	H'A4D9 003A		16
SOF 出力コンフィグレーションレジスタ_1	SOFCFG_1	R/W	H'A4D9 003C		16
割り込みステータスレジスタ 0_1	INTSTS0_1	R/W	H'A4D9 0040		16
割り込みステータスレジスタ 1_1	INTSTS1_1	R/W	H'A4D9 0042		16
BRDY 割り込みステータスレジスタ_1	BRDYSTS_1	R/W	H'A4D9 0046		16
NRDY 割り込みステータスレジスタ_1	NRDYSTS_1	R/W	H'A4D9 0048		16
BEMP 割り込みステータスレジスタ_1	BEMPSTS_1	R/W	H'A4D9 004A		16
フレームナンバーレジスタ_1	FRMNUM_1	R/W	H'A4D9 004C	16	
μフレームナンバーレジスタ_1	UFRMNUM_1	R/W	H'A4D9 004E	16	
USB アドレスレジスタ_1	USBADDR_1	R	H'A4D9 0050	16	
USB リクエストタイプレジスタ_1	USBREQ_1	R/W	H'A4D9 0054	16	
USB リクエストバリュージェジスタ_1	USBVAL_1	R/W	H'A4D9 0056	16	
USB リクエストインデックスレジスタ_1	USBINDX_1	R/W	H'A4D9 0058	16	
USB リクエストレングスレジスタ_1	USBLENG_1	R/W	H'A4D9 005A	16	
DCP コンフィギュレーションレジスタ_1	DCPCFG_1	R/W	H'A4D9 005C	16	
DCP マックスパケットサイズレジスタ_1	DCPMAXP_1	R/W	H'A4D9 005E	16	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
DCP コントロールレジスタ_1	DCPCTR_1	R/W	H'A4D9 0060	USB	16
パイプウィンドウ選択レジスタ_1	PIPESEL_1	R/W	H'A4D9 0064		16
パイプコンフィギュレーションレジスタ_1	PIPECFG_1	R/W	H'A4D9 0068		16
パイプバッファ指定レジスタ_1	PIPEBUF_1	R/W	H'A4D9 006A		16
パイプマックスパケットサイズレジスタ_1	PEMAXP_1	R/W	H'A4D9 006C		16
パイプ周期制御レジスタ_1	PIPEPERI_1	R/W	H'A4D9 006E		16
パイプ 1 コントロールレジスタ_1	PIPE1CTR_1	R/W	H'A4D9 0070		16
パイプ 2 コントロールレジスタ_1	PIPE2CTR_1	R/W	H'A4D9 0072		16
パイプ 3 コントロールレジスタ_1	PIPE3CTR_1	R/W	H'A4D9 0074		16
パイプ 4 コントロールレジスタ_1	PIPE4CTR_1	R/W	H'A4D9 0076		16
パイプ 5 コントロールレジスタ_1	PIPE5CTR_1	R/W	H'A4D9 0078		16
パイプ 6 コントロールレジスタ_1	PIPE6CTR_1	R/W	H'A4D9 007A		16
パイプ 7 コントロールレジスタ_1	PIPE7CTR_1	R/W	H'A4D9 007C		16
パイプ 8 コントロールレジスタ_1	PIPE8CTR_1	R/W	H'A4D9 007E		16
パイプ 9 コントロールレジスタ_1	PIPE9CTR_1	R/W	H'A4D9 0080		16
パイプ 1 トランザクションカウンタインエーブルレジスタ_1	PIPE1TRE_1	R/W	H'A4D9 0090		16
パイプ 1 トランザクションカウンタレジスタ_1	PIPE1TRN_1	R/W	H'A4D9 0092		16
パイプ 2 トランザクションカウンタインエーブルレジスタ_1	PIPE2TRE_1	R/W	H'A4D9 0094		16
パイプ 2 トランザクションカウンタレジスタ_1	PIPE2TRN_1	R/W	H'A4D9 0096		16
パイプ 3 トランザクションカウンタインエーブルレジスタ_1	PIPE3TRE_1	R/W	H'A4D9 0098		16
パイプ 3 トランザクションカウンタレジスタ_1	PIPE3TRN_1	R/W	H'A4D9 009A		16
パイプ 4 トランザクションカウンタインエーブルレジスタ_1	PIPE4TRE_1	R/W	H'A4D9 009C		16
パイプ 4 トランザクションカウンタレジスタ_1	PIPE4TRN_1	R/W	H'A4D9 009E		16
パイプ 5 トランザクションカウンタインエーブルレジスタ_1	PIPE5TRE_1	R/W	H'A4D9 00A0		16
パイプ 5 トランザクションカウンタレジスタ_1	PIPE5TRN_1	R/W	H'A4D9 00A2		16
デバイスアドレス 0 コンフィギュレーションレジスタ_1	DEVADD0_1	R/W	H'A4D9 00D0		16
デバイスアドレス 1 コンフィギュレーションレジスタ_1	DEVADD1_1	R/W	H'A4D9 00D2		16
デバイスアドレス 2 コンフィギュレーションレジスタ_1	DEVADD2_1	R/W	H'A4D9 00D4		16
デバイスアドレス 3 コンフィギュレーションレジスタ_1	DEVADD3_1	R/W	H'A4D9 00D6		16
デバイスアドレス 4 コンフィギュレーションレジスタ_1	DEVADD4_1	R/W	H'A4D9 00D8		16
デバイスアドレス 5 コンフィギュレーションレジスタ_1	DEVADD5_1	R/W	H'A4D9 00DA		16
デバイスアドレス 6 コンフィギュレーションレジスタ_1	DEVADD6_1	R/W	H'A4D9 00DC		16
デバイスアドレス 7 コンフィギュレーションレジスタ_1	DEVADD7_1	R/W	H'A4D9 00DE	16	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
デバイスアドレス 8 コンフィグレーションレジスタ_1	DEVADD8_1	R/W	H'A4D9 00E0	USB	16
デバイスアドレス 9 コンフィグレーションレジスタ_1	DEVADD9_1	R/W	H'A4D9 00E2		16
デバイスアドレス A コンフィグレーションレジスタ_1	DEVADDA_1	R/W	H'A4D9 00E4		16
USB 電源制御レジスタ 1	UPONCR1	R/W	H'A4050192		16
I ² C バスデータレジスタ	ICDR	R/W	H'A447 0000	IIC	8
I ² C バスコントロールレジスタ	ICCR	R/W	H'A447 0004		8
I ² C バスステータスレジスタ	ICSR	R/W	H'A447 0008		8
I ² C 割り込みコントロールレジスタ	ICIC	R/W	H'A447 000C		8
I ² C クロックコントロールレジスタロー	ICCL	R/W	H'A447 0010		8
I ² C クロックコントロールレジスタハイ	ICCH	R/W	H'A447 0014		8
CEU は、一部のレジスタを除き A 面、B 面アドレスとミラーアドレスを持ちます。表 51.1 を参照ください。					CEU0/1
VEU0 起動レジスタ	VESTR_0	R/W	H'FE92 0000	VEU0	32
VEU0 ソースメモリ幅レジスタ	VESWR_0	R/W	H'FE92 0010		32
VEU0 ソースサイズレジスタ	VESSR_0	R/W	H'FE92 0014		32
VEU0 ソースアドレス Y レジスタ	VSAYR_0	R/W	H'FE92 0018		32
VEU0 ソースアドレス C レジスタ	VSACR_0	R/W	H'FE92 001C		32
VEU0 バンドルソースサイズレジスタ	VBSSR_0	R/W	H'FE92 0020		32
VEU0 デスティネーションメモリ幅レジスタ	VEDWR_0	R/W	H'FE92 0030		32
VEU0 デスティネーションアドレス Y レジスタ	VDAYR_0	R/W	H'FE92 0034		32
VEU0 デスティネーションアドレス C レジスタ	VDACR_0	R/W	H'FE92 0038		32
VEU0 変換制御レジスタ	VTRCR_0	R/W	H'FE92 0050		32
VEU0 リサイズフィルタ制御レジスタ	VRFCR_0	R/W	H'FE92 0054		32
VEU0 リサイズフィルタサイズクリップレジスタ	VRFSR_0	R/W	H'FE92 0058		32
VEU0 エンハンスレジスタ	VENHR_0	R/W	H'FE92 005C		32
VEU0 リサイズフィルタサブ制御レジスタ	VRSCR_0	R/W	H'FE92 0064		32
VEU0 リサイズフィルタサイズクリップオフセットレジスタ	VRSOR_0	R/W	H'FE92 0068		32
VEU0 フィルタモード制御レジスタ	VFMCR_0	R/W	H'FE92 0070		32
VEU0 垂直タップ係数レジスタ	VVTCR_0	R/W	H'FE92 0074		32
VEU0 水平タップ係数レジスタ	VHTCR_0	R/W	H'FE92 0078		32
VEU0 指定色レジスタ	VAPCR_0	R/W	H'FE92 0080		32
VEU0 変換色レジスタ	VECCR_0	R/W	H'FE92 0084		32
VEU0 フィル色指定レジスタ	VFLCR_0	R/W	H'FE92 0088	32	
VEU0 アドレス固定レジスタ	VAFXR_0	R/W	H'FE92 0090	32	
VEU0 スワッピングレジスタ	VSWPR_0	R/W	H'FE92 0094	32	
VEU0 イベント割り込みイネーブルレジスタ	VEIER_0	R/W	H'FE92 00A0	32	
VEU0 イベントレジスタ	VEVTR_0	R/W	H'FE92 00A4	32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
VEU0 ステータスレジスタ	VSTAR_0	R	H'FE92 00B0	VEU0	32
VEU0 モジュールリセットレジスタ	VBSRR_0	R/W	H'FE92 00B4		32
VEU0 リサイズ通過帯域設定レジスタ	VRPBR_0	R/W	H'FE92 00C8		32
VEU1 起動レジスタ	VESTR_1	R/W	H'FE92 4000	VEU1	32
VEU1 ソースメモリ幅レジスタ	VESWR_1	R/W	H'FE92 4010		32
VEU1 ソースサイズレジスタ	VESSR_1	R/W	H'FE92 4014		32
VEU1 ソースアドレス Y レジスタ	VSAYR_1	R/W	H'FE92 4018		32
VEU1 ソースアドレス C レジスタ	VSACR_1	R/W	H'FE92 401C		32
VEU1 バンドルソースサイズレジスタ	VBSSR_1	R/W	H'FE92 4020		32
VEU1 デスティネーションメモリ幅レジスタ	VEDWR_1	R/W	H'FE92 4030		32
VEU1 デスティネーションアドレス Y レジスタ	VDAYR_1	R/W	H'FE92 4034		32
VEU1 デスティネーションアドレス C レジスタ	VDACR_1	R/W	H'FE92 4038		32
VEU1 変換制御レジスタ	VTRCR_1	R/W	H'FE92 4050		32
VEU1 リサイズフィルタ制御レジスタ	VRFCR_1	R/W	H'FE92 4054		32
VEU1 リサイズフィルタサイズクリップレジスタ	VRFSR_1	R/W	H'FE92 4058		32
VEU1 エンハンスレジスタ	VENHR_1	R/W	H'FE92 405C		32
VEU1 リサイズフィルタサブ制御レジスタ	VRSCR_1	R/W	H'FE92 4064		32
VEU1 リサイズフィルタサイズクリップオフセットレジスタ	VRSOR_1	R/W	H'FE92 4068		32
VEU1 フィルタモード制御レジスタ	VMCR_1	R/W	H'FE92 4070		32
VEU1 垂直タップ係数レジスタ	VVTCR_1	R/W	H'FE92 4074		32
VEU1 水平タップ係数レジスタ	VHTCR_1	R/W	H'FE92 4078		32
VEU1 指定色レジスタ	VAPCR_1	R/W	H'FE92 4080		32
VEU1 変換色レジスタ	VECCR_1	R/W	H'FE92 4084		32
VEU1 フィル色指定レジスタ	VFLCR_1	R/W	H'FE92 4088		32
VEU1 アドレス固定レジスタ	VAFXR_1	R/W	H'FE92 4090		32
VEU1 スワッピングレジスタ	VSWPR_1	R/W	H'FE92 4094		32
VEU1 イベント割り込みイネーブルレジスタ	VEIER_1	R/W	H'FE92 40A0		32
VEU1 イベントレジスタ	VEVTR_1	R/W	H'FE92 40A4		32
VEU1 ステータスレジスタ	VSTAR_1	R	H'FE92 40B0		32
VEU1 モジュールリセットレジスタ	VBSRR_1	R/W	H'FE92 40B4		32
VEU1 リサイズ通過帯域設定レジスタ	VRPBR_1	R/W	H'FE92 40C8	32	
BEU は、一部のレジスタを除き A 面、B 面アドレスとミラーアドレスを持ちます。表 51.2 を参照ください。				BEU0/1	
JPEG コードモードレジスタ	JCMOD	R/W	H'FE98 0000	JPU	32
JPEG コードコマンドレジスタ	JCCMD	R/W	H'FE98 0004		32
JPEG コードステータスレジスタ	JCSTS	R	H'FE98 0008		32
JPEG コード量子化テーブル番号レジスタ	JCQTN	R/W	H'FE98 000C		32

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
JPEG コードハフマンテーブル番号レジスタ	JCHTN	R/W	H'FE98 0010	JPU	32
JPEG コード DRI 上位レジスタ	JCDRIU	R/W	H'FE98 0014		32
JPEG コード DRI 下位レジスタ	JCDRID	R/W	H'FE98 0018		32
JPEG コード垂直方向サイズ上位レジスタ	JCVSZU	R/W	H'FE98 001C		32
JPEG コード垂直方向サイズ下位レジスタ	JCVSZD	R/W	H'FE98 0020		32
JPEG コード水平方向サイズ上位レジスタ	JCHSZU	R/W	H'FE98 0024		32
JPEG コード水平方向サイズ下位レジスタ	JCHSZD	R/W	H'FE98 0028		32
JPEG コードデータカウント上位レジスタ	JCDTCU	R	H'FE98 002C		32
JPEG コードデータカウント中位レジスタ	JCDTCM	R	H'FE98 0030		32
JPEG コードデータカウント下位レジスタ	JCDTCD	R	H'FE98 0034		32
JPEG 割り込みイネーブルレジスタ	JINTE	R/W	H'FE98 0038		32
JPEG 割り込みステータスレジスタ	JINTS	R/W	H'FE98 003C		32
JPEG コードデコードエラーレジスタ	JCDERR	R/W	H'FE98 0040		32
JPEG コード再起動レジスタ	JCRST	R	H'FE98 0044		32
JPEG インタフェース圧縮制御レジスタ	JIFECNT	R/W	H'FE98 0070		32
JPEG インタフェース圧縮ソース Y アドレスレジスタ 1	JIFESYA1	R/W	H'FE98 0074		32
JPEG インタフェース圧縮ソース C アドレスレジスタ 1	JIFESCA1	R/W	H'FE98 0078		32
JPEG インタフェース圧縮ソース Y アドレスレジスタ 2	JIFESYA2	R/W	H'FE98 007C		32
JPEG インタフェース圧縮ソース C アドレスレジスタ 2	JIFESCA2	R/W	H'FE98 0080		32
JPEG インタフェース圧縮ソースメモリ幅レジスタ	JIFESMW	R/W	H'FE98 0084		32
JPEG インタフェース圧縮ソース垂直方向サイズレジスタ	JIFESVSZ	R/W	H'FE98 0088		32
JPEG インタフェース圧縮ソース水平方向サイズレジスタ	JIFESHSZ	R/W	H'FE98 008C		32
JPEG インタフェース圧縮デスティネーションアドレスレジスタ 1	JIFEDA1	R/W	H'FE98 0090		32
JPEG インタフェース圧縮デスティネーションアドレスレジスタ 2	JIFEDA2	R/W	H'FE98 0094		32
JPEG インタフェース圧縮データリロードサイズレジスタ	JIFEDRSZ	R/W	H'FE98 0098		32
JPEG インタフェース伸長制御レジスタ	JIFDCNT	R/W	H'FE98 00A0		32
JPEG インタフェース伸長ソースアドレスレジスタ 1	JIFDSA1	R/W	H'FE98 00A4	32	
JPEG インタフェース伸長ソースアドレスレジスタ 2	JIFDSA2	R/W	H'FE98 00A8	32	
JPEG インタフェース伸長データリロードサイズレジスタ	JIFDDRSZ	R/W	H'FE98 00AC	32	
JPEG インタフェース伸長デスティネーションメモリ幅レジスタ	JIFDDMW	R/W	H'FE98 00B0	32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
JPEG インタフェース伸長デスティネーション垂直方向 サイズレジスタ	JIFDDVSZ	R	H'FE98 00B4	JPU	32
JPEG インタフェース伸長デスティネーション水平方向 サイズレジスタ	JIFDDHSZ	R	H'FE98 00B8		32
JPEG インタフェース伸長デスティネーション Y アドレ スレジスタ 1	JIFDDYA1	R/W	H'FE98 00BC		32
JPEG インタフェース伸長デスティネーション C アドレ スレジスタ 1	JIFDDCA1	R/W	H'FE98 00C0		32
JPEG インタフェース伸長デスティネーション Y アドレ スレジスタ 2	JIFDDYA2	R/W	H'FE98 00C4		32
JPEG インタフェース伸長デスティネーション C アドレ スレジスタ 2	JIFDDCA2	R/W	H'FE98 00C8		32
JPEG コード量子化テーブル 0 レジスタ	JCQTBL0	R/W	H'FE99 0000 ~ H'FE99 003C		32
JPEG コード量子化テーブル 1 レジスタ	JCQTBL1	R/W	H'FE99 0040 ~ H'FE99 007C		32
JPEG コード量子化テーブル 2 レジスタ	JCQTBL2	R/W	H'FE99 0080 ~ H'FE99 00BC		32
JPEG コード量子化テーブル 3 レジスタ	JCQTBL3	R/W	H'FE99 00C0 ~ H'FE99 00FC		32
JPEG コードハフマンテーブル DC0 レジスタ	JCHTBD0	R/W	H'FE99 0100 ~ H'FE99 010C		32
JPEG コードハフマンテーブル DC0 レジスタ	JCHTBD0	R/W	H'FE99 0110 ~ H'FE99 0118		32
JPEG コードハフマンテーブル AC0 レジスタ	JCHTBA0	R/W	H'FE99 0120 ~ H'FE99 012C		32
JPEG コードハフマンテーブル AC0 レジスタ	JCHTBA0	R/W	H'FE99 0130 ~ H'FE99 01D0		32
JPEG コードハフマンテーブル DC1 レジスタ	JCHTBD1	R/W	H'FE99 0200 ~ H'FE99 020C		32
JPEG コードハフマンテーブル DC1 レジスタ	JCHTBD1	R/W	H'FE99 0210 ~ H'FE99 0218		32
JPEG コードハフマンテーブル AC1 レジスタ	JCHTBA1	R/W	H'FE99 0220 ~ H'FE99 022C		32
JPEG コードハフマンテーブル AC1 レジスタ	JCHTBA1	R/W	H'FE99 0230 ~ H'FE99 02D0		32
LCDC は、一部のレジスタを除き A 面、B 面アドレスとミラーアドレスを持ちます。表 51.3 を参照ください。					LCDC
VOU は、一部のレジスタを除き A 面、B 面アドレスとミラーアドレスを持ちます。表 51.4 を参照ください。				VOU	
ICB 制御レジスタ 0	MEVCR0	R/W	H'E800 0000	MERAM	32
ICB 制御レジスタ 1	MEVCR1	R/W	H'E800 0004		32

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
ICB 転送終了割り込み制御レジスタ	METEIE	R/W	H'E800 0008	MERAM	32
ICB トランザクションエラー割り込み制御レジスタ	MEILIE	R/W	H'E800 000C		32
ICB アクティブステータスレジスタ	MEACTST	R/W	H'E800 0010		32
ICB 転送終了ステータスレジスタ	METEST	R/W	H'E800 0014		32
ICB ライトトランザクションエラーステータスレジスタ	MEILWST	R/W	H'E800 0018		32
ICB リードトランザクションエラーステータスレジスタ	MEILRST	R/W	H'E800 001C		32
ICB00 バッファ制御レジスタ	ME00CTRL	R/W	H'E800 0400		32
ICB00 フレームサイズレジスタ	ME00BSIZE	R/W	H'E800 0404		32
ICB00 MERAM 設定レジスタ	ME00MCNF	R/W	H'E800 0408		32
ICB00 予約	-	R	H'E800 040C		32
ICB00 外部メモリストートアドレスレジスタ A	ME00SSARA	R/W	H'E800 0410		32
ICB00 外部メモリストートアドレスレジスタ B	ME00SSARB	R/W	H'E800 0414		32
ICB00 外部メモリバッファサイズレジスタ	ME00SBSIZE	R/W	H'E800 0418		32
ICB00 予約	-	R	H'E800 041C		32
ICB01 ****	ME01****	R/W	H'E800 0420 ~ H'E800 043C		32
ICB02 ****	ME02****	R/W	H'E800 0440 ~ H'E800 045C		32
ICB03 ****	ME03****	R/W	H'E800 0460 ~ H'E800 047C		32
ICB04 ****	ME04****	R/W	H'E800 0480 ~ H'E800 049C		32
ICB05 ****	ME05****	R/W	H'E800 04A0 ~ H'E800 04BC		32
ICB06 ****	ME06****	R/W	H'E800 04C0 ~ H'E800 04DC		32
ICB07 ****	ME07****	R/W	H'E800 04E0 ~ H'E800 04FC	32	
ICB08 ****	ME08****	R/W	H'E800 0500 ~ H'E800 051C	32	
ICB09 ****	ME09****	R/W	H'E800 0520 ~ H'E800 053C	32	
ICB10 ****	ME10****	R/W	H'E800 0540 ~ H'E800 055C	32	
ICB11 ****	ME11****	R/W	H'E800 0560 ~ H'E800 057C	32	
ICB12 ****	ME12****	R/W	H'E800 0580 ~ H'E800 059C	32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
ICB13 ****	ME13****	R/W	H'E800 05A0 ~ H'E800 05BC	MERAM	32
ICB14 ****	ME14****	R/W	H'E800 05C0 ~ H'E800 05DC		32
ICB15 ****	ME15****	R/W	H'E800 05E0 ~ H'E800 05FC		32
ICB16 ****	ME16****	R/W	H'E800 0600 ~ H'E800 061C		32
ICB17 ****	ME17****	R/W	H'E800 0620 ~ H'E800 063C		32
ICB18 ****	ME18****	R/W	H'E800 0640 ~ H'E800 065C		32
ICB19 ****	ME19****	R/W	H'E800 0660 ~ H'E800 067C		32
ICB20 ****	ME20****	R/W	H'E800 0680 ~ H'E800 069C		32
ICB21 ****	ME21****	R/W	H'E800 06A0 ~ H'E800 06BC		32
ICB22 ****	ME22****	R/W	H'E800 06C0 ~ H'E800 06DC		32
ICB23 ****	ME23****	R/W	H'E800 06E0 ~ H'E800 06FC		32
ICB24 ****	ME24****	R/W	H'E800 0700 ~ H'E800 071C		32
ICB25 ****	ME25****	R/W	H'E800 0720 ~ H'E800 073C		32
ICB26 ****	ME26****	R/W	H'E800 0740 ~ H'E800 075C		32
ICB27 ****	ME27****	R/W	H'E800 0760 ~ H'E800 077C		32
ICB28 ****	ME28****	R/W	H'E800 0780 ~ H'E800 079C		32
ICB29 ****	ME29****	R/W	H'E800 07A0 ~ H'E800 07BC		32
ICB30 ****	ME30****	R/W	H'E800 07C0 ~ H'E800 07DC		32
ICB31****	ME31****	R/W	H'E800 07E0 ~ H'E800 07FC		32
MERAM 直接アクセス空間	-	R/W	H'E808 0000 ~ H'E809 FFFF		8/16/32

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
割り込みステータスクリアレジスタ	CHSTCLR	R/W	H'FEA0 0010	2D-DMAC	32
チャネル優先度切替レジスタ	CHPRI	R/W	H'FEA0 0014		32
CH0 コントロールレジスタ	CH0CTRL	R/W	H'FEA0 0020		32
CH1 コントロールレジスタ	CH1CTRL	R/W	H'FEA0 0024		32
CH2 コントロールレジスタ	CH2CTRL	R/W	H'FEA0 0028		32
CH3 コントロールレジスタ	CH3CTRL	R/W	H'FEA0 002C		32
CH4 コントロールレジスタ	CH4CTRL	R/W	H'FEA0 0120		32
CH5 コントロールレジスタ	CH5CTRL	R/W	H'FEA0 0124		32
CH6 コントロールレジスタ	CH6CTRL	R/W	H'FEA0 0128		32
CH7 コントロールレジスタ	CH7CTRL	R/W	H'FEA0 012C		32
CH0 入出力スワップレジスタ	CH0SWAP	R/W	H'FEA0 0030		32
CH1 入出力スワップレジスタ	CH1SWAP	R/W	H'FEA0 0034		32
CH2 入出力スワップレジスタ	CH2SWAP	R/W	H'FEA0 0038		32
CH3 入出力スワップレジスタ	CH3SWAP	R/W	H'FEA0 003C		32
CH4 入出力スワップレジスタ	CH4SWAP	R/W	H'FEA0 0130		32
CH5 入出力スワップレジスタ	CH5SWAP	R/W	H'FEA0 0134		32
CH6 入出力スワップレジスタ	CH6SWAP	R/W	H'FEA0 0138		32
CH7 入出力スワップレジスタ	CH7SWAP	R/W	H'FEA0 013C		32
CH0 ソースアドレスレジスタ	CH0SAR	R/W	H'FEA0 0080		32
CH0 デスティネーションアドレスレジスタ	CH0DAR	R/W	H'FEA0 0084		32
CH0 デスティネーションピクセルレジスタ	CH0DPXL	R/W	H'FEA0 0088		32
CH0 ソースフォーマットレジスタ	CH0SFMT	R/W	H'FEA0 008C		32
CH0 デスティネーションフォーマットレジスタ	CH0DFMT	R/W	H'FEA0 0090		32
CH0 ソースラインアドレスレジスタ	CH0SARE	R	H'FEA0 0094		32
CH0 デスティネーションラインアドレスレジスタ	CH0DARE	R	H'FEA0 0098		32
CH0 デスティネーションピクセル処理レジスタ	CH0DPXLE	R	H'FEA0 009C		32
CH1 ソースアドレスレジスタ	CH1SAR	R/W	H'FEA0 00A0		32
CH1 デスティネーションアドレスレジスタ	CH1DAR	R/W	H'FEA0 00A4		32
CH1 デスティネーションピクセルレジスタ	CH1DPXL	R/W	H'FEA0 00A8		32
CH1 ソースフォーマットレジスタ	CH1SFMT	R/W	H'FEA0 00AC		32
CH1 デスティネーションフォーマットレジスタ	CH1DFMT	R/W	H'FEA0 00B0		32
CH1 ソースラインアドレスレジスタ	CH1SARE	R	H'FEA0 00B4		32
CH1 デスティネーションラインアドレスレジスタ	CH1DARE	R	H'FEA0 00B8	32	
CH1 デスティネーションピクセル処理レジスタ	CH1DPXLE	R	H'FEA0 00BC	32	
CH2 ソースアドレスレジスタ	CH2SAR	R/W	H'FEA0 00C0	32	
CH2 デスティネーションアドレスレジスタ	CH2DAR	R/W	H'FEA0 00C4	32	
CH2 デスティネーションピクセルレジスタ	CH2DPXL	R/W	H'FEA0 00C8	32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
CH2 ソースフォーマットレジスタ	CH2SFMT	R/W	H'FEA0 00CC	2D-DMAC	32
CH2 デスティネーションフォーマットレジスタ	CH2DFMT	R/W	H'FEA0 00D0		32
CH2 ソースラインアドレスレジスタ	CH2SARE	R	H'FEA0 00D4		32
CH2 デスティネーションラインアドレスレジスタ	CH2DARE	R	H'FEA0 00D8		32
CH2 デスティネーションピクセル処理レジスタ	CH2DPXLE	R	H'FEA0 00DC		32
CH3 ソースアドレスレジスタ	CH3SAR	R/W	H'FEA0 00E0		32
CH3 デスティネーションアドレスレジスタ	CH3DAR	R/W	H'FEA0 00E4		32
CH3 デスティネーションピクセルレジスタ	CH3DPXL	R/W	H'FEA0 00E8		32
CH3 ソースフォーマットレジスタ	CH3SFMT	R/W	H'FEA0 00EC		32
CH3 デスティネーションフォーマットレジスタ	CH3DFMT	R/W	H'FEA0 00F0		32
CH3 ソースラインアドレスレジスタ	CH3SARE	R	H'FEA0 00F4		32
CH3 デスティネーションラインアドレスレジスタ	CH3DARE	R	H'FEA0 00F8		32
CH3 デスティネーションピクセル処理レジスタ	CH3DPXLE	R	H'FEA0 00FC		32
CH4 ソースアドレスレジスタ	CH4SAR	R/W	H'FEA0 0180		32
CH4 デスティネーションアドレスレジスタ	CH4DAR	R/W	H'FEA0 0184		32
CH4 デスティネーションピクセルレジスタ	CH4DPXL	R/W	H'FEA0 0188		32
CH4 ソースフォーマットレジスタ	CH4SFMT	R/W	H'FEA0 018C		32
CH4 デスティネーションフォーマットレジスタ	CH4DFMT	R/W	H'FEA0 0190		32
CH4 ソースラインアドレスレジスタ	CH4SARE	R	H'FEA0 0194		32
CH4 デスティネーションラインアドレスレジスタ	CH4DARE	R	H'FEA0 0198		32
CH4 デスティネーションピクセル処理レジスタ	CH4DPXLE	R	H'FEA0 019C		32
CH5 ソースアドレスレジスタ	CH5SAR	R/W	H'FEA0 01A0		32
CH5 デスティネーションアドレスレジスタ	CH5DAR	R/W	H'FEA0 01A4		32
CH5 デスティネーションピクセルレジスタ	CH5DPXL	R/W	H'FEA0 01A8		32
CH5 ソースフォーマットレジスタ	CH5SFMT	R/W	H'FEA0 01AC		32
CH5 デスティネーションフォーマットレジスタ	CH5DFMT	R/W	H'FEA0 01B0		32
CH5 ソースラインアドレスレジスタ	CH5SARE	R	H'FEA0 01B4		32
CH5 デスティネーションラインアドレスレジスタ	CH5DARE	R	H'FEA0 01B8		32
CH5 デスティネーションピクセル処理レジスタ	CH5DPXLE	R	H'FEA0 01BC		32
CH6 ソースアドレスレジスタ	CH6SAR	R/W	H'FEA0 01C0		32
CH6 デスティネーションアドレスレジスタ	CH6DAR	R/W	H'FEA0 01C4		32
CH6 デスティネーションピクセルレジスタ	CH6DPXL	R/W	H'FEA0 01C8		32
CH6 ソースフォーマットレジスタ	CH6SFMT	R/W	H'FEA0 01CC	32	
CH6 デスティネーションフォーマットレジスタ	CH6DFMT	R/W	H'FEA0 01D0	32	
CH6 ソースラインアドレスレジスタ	CH6SARE	R	H'FEA0 01D4	32	
CH6 デスティネーションラインアドレスレジスタ	CH6DARE	R	H'FEA0 01D8	32	
CH6 デスティネーションピクセル処理レジスタ	CH6DPXLE	R	H'FEA0 01DC	32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
CH7 ソースアドレスレジスタ	CH7SAR	R/W	H'FEA0 01E0	2D-DMAC	32
CH7 デスティネーションアドレスレジスタ	CH7DAR	R/W	H'FEA0 01E4		32
CH7 デスティネーションピクセルレジスタ	CH7DPXL	R/W	H'FEA0 01E8		32
CH7 ソースフォーマットレジスタ	CH7SFMT	R/W	H'FEA0 01EC		32
CH7 デスティネーションフォーマットレジスタ	CH7DFMT	R/W	H'FEA0 01F0		32
CH7 ソースラインアドレスレジスタ	CH7SARE	R	H'FEA0 01F4		32
CH7 デスティネーションラインアドレスレジスタ	CH7DARE	R	H'FEA0 01F8		32
CH7 デスティネーションピクセル処理レジスタ	CH7DPXLE	R	H'FEA0 01FC		32
TSIF コントロールレジスタ	TSCTLR	R/W	H'A4C8 0000	TSIF	32
TSIF PID データレジスタ	TSPIDR	R/W	H'A4C8 0004		32
TSIF コマンドレジスタ	TSCMDR	R/W	H'A4C8 0008		32
TSIF 割り込みステータスレジスタ	TSSTR	R/W	H'A4C8 000C		32
TSIF TS データレジスタ	TSTSDR	R	H'A4C8 0010		32
TSIF バッファクリアレジスタ	TSBUFCLRR	R/W	H'A4C8 0014		32
TSIF 割り込みイネーブルレジスタ	TSINTER	R/W	H'A4C8 0018		32
TSIF PSCALE レジスタ	TSPSCALER	R/W	H'A4C8 0020		32
TSIF PSCALE_R レジスタ	TSPSCALERR	R/W	H'A4C8 0024		32
TSIF PCRADCMODE レジスタ	TSPCRADCMDR	R/W	H'A4C8 0028		32
TSIF PCRADC レジスタ	TSPCRADCR	R/W	H'A4C8 002C		32
TSIF TR_PCRADC レジスタ	TSTRPCRADCR	R/W	H'A4C8 0030		32
TSIF D_PCRADC レジスタ	TSDPCRADCR	R/W	H'A4C8 0034		32
TSIF フリーランカウンタ	TSFRC	R/W	H'A4C8 0040		32
ポート A 出力シリアルフォーマットレジスタ	A_DO_FMT	R/W	H'FE3C0000		FSI
ポート A 出力 FIFO 制御レジスタ	A_DOFF_CTL	R/W	H'FE3C0004	32	
ポート A 出力 FIFO ステータスレジスタ	A_DOFF_ST	R/W	H'FE3C0008	32	
ポート A 入力シリアルフォーマットレジスタ	A_DI_FMT	R/W	H'FE3C000C	32	
ポート A 入力 FIFO 制御レジスタ	A_DIFF_CTL	R/W	H'FE3C0010	32	
ポート A 入力 FIFO ステータスレジスタ	A_DIFF_ST	R/W	H'FE3C0014	32	
ポート A クロック設定 1 レジスタ	A_CKG1	R/W	H'FE3C0018	32	
ポート A クロック設定 2 レジスタ	A_CKG2	R/W	H'FE3C001C	32	
ポート A リードデータレジスタ	A_DIDT	R	H'FE3C0020	32	
ポート A ライトデータレジスタ	A_DODT	W	H'FE3C0024	32	
ポート A MUTE ステートレジスタ	A_MUTE_ST	R	H'FE3C0028	32	
ポート B 出力シリアルフォーマットレジスタ	B_DO_FMT	R/W	H'FE3C0040	32	
ポート B 出力 FIFO 制御レジスタ	B_DOFF_CTL	R/W	H'FE3C0044	32	
ポート B 出力 FIFO ステータスレジスタ	B_DOFF_ST	R/W	H'FE3C0048	32	
ポート B 入力シリアルフォーマットレジスタ	B_DI_FMT	R/W	H'FE3C004C	32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ	
ポート B 入力 FIFO 制御レジスタ	B_DIFF_CTL	R/W	H'FE3C0050	FSI	32	
ポート B 入力 FIFO ステータスレジスタ	B_DIFF_ST	R/W	H'FE3C0054		32	
ポート B クロック設定 1 レジスタ	B_CKG1	R/W	H'FE3C0058		32	
ポート B クロック設定 2 レジスタ	B_CKG2	R/W	H'FE3C005C		32	
ポート B リードデータレジスタ	B_DIDT	R	H'FE3C0060		32	
ポート B ライトデータレジスタ	B_DODT	W	H'FE3C0064		32	
ポート B MUTE ステートレジスタ	B_MUTE_ST	R	H'FE3C0068		32	
割り込みステートレジスタ	INT_ST	R/W	H'FE3C0200		32	
割り込み要因マスクレジスタ	IEMSK	R/W	H'FE3C0204		32	
割り込み信号マスクレジスタ	IMSK	R/W	H'FE3C0208		32	
MUTE 設定レジスタ	MUTE	R/W	H'FE3C020C		32	
クロックリセットレジスタ	CLK_RST	R/W	H'FE3C0210		32	
ソフトウェアリセットレジスタ	SOFT_RST	R/W	H'FE3C0214		32	
FIFO サイズレジスタ	FIFO_SZ	R	H'FE3C0218		32	
ATAPI コントロールレジスタ	ATAPI_CONTROL1	R/W	H'A4DA 2180		ATAPI	32
ATAPI ステータスレジスタ	ATAPI_STATUS	R/W	H'A4DA 2184	32		
割り込みイネーブルレジスタ	ATAPI_INT_ENABLE	R/W	H'A4DA 2188	32		
ディスクリプタテーブルベースアドレスレジスタ	ATAPI_DTB_ADR	R/W	H'A4DA 2198	32		
DMA スタートアドレスレジスタ	ATAPI_DMA_START_ADR	R/W	H'A4DA 219C	32		
DMA 転送カウントレジスタ	ATAPI_DMA_TRANS_CNT	R/W	H'A4DA 21A0	32		
ATAPI コントロール 2 レジスタ	ATAPI_CONTROL2	R/W	H'A4DA 21A4	32		
ATAPI 信号ステータスレジスタ	ATAPI_SIG_ST	R	H'A4DA 21B0	32		
バイトスワップレジスタ	ATAPI_BYTE_SWAP	R/W	H'A4DA 21BC	32		
PIO タイミング 1 レジスタ	ATAPI_PIO_TIMING1	R/W	H'A4DA 21C0	32		
PIO タイミング 2 レジスタ	ATAPI_PIO_TIMING2	R/W	H'A4DA 21C4	32		
マルチワード DMA タイミングレジスタ	ATAPI_MULTI_TIMING	R/W	H'A4DA 21C8	32		
ウルトラ DMA タイミングレジスタ	ATAPI_ULTRA_TIMING	R/W	H'A4DA 21CC	32		
E-DMAC モードレジスタ	EDMR	R/W	H'A460 0000	EtherMAC		32
E-DMAC 送信要求レジスタ	EDTRR	R/W	H'A460 0008			32
E-DMAC 受信要求レジスタ	EDRRR	R/W	H'A460 0010		32	
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	R/W	H'A460 0018		32	
受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	R/W	H'A460 0020		32	
EtherC/E-DMAC ステータスレジスタ	EESR	R/W	H'A460 0028		32	
EtherC/E-DMAC ステータス割り込み許可レジスタ	EESIPR	R/W	H'A460 0030		32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
送受信ステータスコピー指示レジスタ	TRSCER	R/W	H'A460 0038	EtherMAC	32
ミスドフレームカウンタレジスタ	RMFCR	R/W	H'A460 0040		32
送信 FIFO しきい値指定レジスタ	TFTR	R/W	H'A460 0048		32
FIFO 容量指定レジスタ	FDR	R/W	H'A460 0050		32
受信方式制御レジスタ	RMCR	R/W	H'A460 0058		32
送信 FIFO アンダランカウントレジスタ	TFUCR	R/W	H'A460 0064		32
受信 FIFO オーバフローカウンタレジスタ	RFOCR	R/W	H'A460 0068		32
フロー制御開始 FIFO しきい値設定レジスタ	FCFTR	R/W	H'A460 0070		32
送信割り込み設定レジスタ	TRIMD	R/W	H'A460 007C		32
EtherC モードレジスタ	ECMR	R/W	H'A460 0100		32
受信フレーム長上限レジスタ	RFLR	R/W	H'A460 0108		32
EtherC ステータスレジスタ	ECSR	R/W	H'A460 0110		32
EtherC 割り込み許可レジスタ	ECSIPR	R/W	H'A460 0118		32
PHY 部インタフェースレジスタ	PIR	R/W	H'A460 0120		32
PHY 部ステータスレジスタ	PSR	R	H'A460 0128		32
乱数生成カウンタ上限値レジスタ	RDMLR	R/W	H'A460 0140		32
IPG 設定レジスタ	IPGR	R/W	H'A460 0150		32
自動 PAUSE フレーム設定レジスタ	APR	R/W	H'A460 0154		32
手動 PAUSE フレーム設定レジスタ	MPR	W	H'A460 0158		32
受信 PAUSE フレームカウンタレジスタ	RFCF	R	H'A460 0160		32
自動 PAUSE フレーム再送回数設定レジスタ	TPAUSER	R/W	H'A460 0164		32
PAUSE フレーム再送回数カウンタレジスタ	TPAUSECR	R	H'A460 0168		32
EtherC モードレジスタ	ECMR	R/W	H'A460 0100		32
受信フレーム長上限レジスタ	RFLR	R/W	H'A460 0108		32
EtherC ステータスレジスタ	ECSR	R/W	H'A460 0110		32
EtherC 割り込み許可レジスタ	ECSIPR	R/W	H'A460 0118		32
PHY 部インタフェースレジスタ	PIR	R/W	H'A460 0120		32
PHY 部ステータスレジスタ	PSR	R/W	H'A460 0128		32
乱数生成カウンタ上限値レジスタ	RDMLR	R/W	H'A460 0140		32
IPG 設定レジスタ	IPGR	R/W	H'A460 0150		32
自動 PAUSE フレーム設定レジスタ	APR	R/W	H'A460 0154		32
手動 PAUSE フレーム設定レジスタ	MPR	R/W	H'A460 0158		32
受信 PAUSE フレームカウンタ	RFCF	R/W	H'A460 0160	32	
自動 PAUSE フレーム再送回数設定レジスタ	TPAUSER	R/W	H'A460 0164	32	
PAUSE フレーム再送回数カウンタレジスタ	TPAUSECR	R/W	H'A460 0168	32	
MAC アドレス上位設定レジスタ	MAHR	R/W	H'A460 01C0	32	
MAC アドレス下位設定レジスタ	MALR	R/W	H'A460 01C8	32	

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ	
送信リトライオーバーカウンタレジスタ	TROCR	R/W	H'A460 01D0	EtherMAC	32	
遅延衝突検出カウンタレジスタ	CDCR	R/W	H'A460 01D4		32	
キャリア消失カウンタレジスタ	LCCR	R/W	H'A460 01D8		32	
キャリア未検出カウンタレジスタ	CNDCR	R/W	H'A460 01DC		32	
CRC エラーフレーム受信カウンタレジスタ	CEFCR	R/W	H'A460 01E4		32	
フレーム受信エラーカウンタレジスタ	FRECR	R/W	H'A460 01E8		32	
64 バイト未満フレーム受信カウンタレジスタ	TSFRCR	R/W	H'A460 01EC		32	
指定バイト超フレーム受信カウンタレジスタ	TLFRCR	R/W	H'A460 01F0		32	
端数ビットフレーム受信カウンタレジスタ	RFCR	R/W	H'A460 01F4		32	
マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	R/W	H'A460 01F8		32	
ポート A コントロールレジスタ	PACR	R/W	H'A405 0100		PFC	16
ポート B コントロールレジスタ	PBCR	R/W	H'A405 0102			16
ポート C コントロールレジスタ	PCCR	R/W	H'A405 0104	16		
ポート D コントロールレジスタ	PDCR	R/W	H'A405 0106	16		
ポート E コントロールレジスタ	PECR	R/W	H'A405 0108	16		
ポート F コントロールレジスタ	PFCR	R/W	H'A405 010A	16		
ポート G コントロールレジスタ	PGCR	R/W	H'A405 010C	16		
ポート H コントロールレジスタ	PHCR	R/W	H'A405 010E	16		
ポート J コントロールレジスタ	PJCR	R/W	H'A405 0110	16		
ポート K コントロールレジスタ	PKCR	R/W	H'A405 0112	16		
ポート L コントロールレジスタ	PLCR	R/W	H'A405 0114	16		
ポート M コントロールレジスタ	PMCR	R/W	H'A405 0116	16		
ポート N コントロールレジスタ	PNCR	R/W	H'A405 0118	16		
ポート Q コントロールレジスタ	PQCR	R/W	H'A405 011A	16		
ポート R コントロールレジスタ	PRCR	R/W	H'A405 011C	16		
ポート S コントロールレジスタ	PSCR	R/W	H'A405 011E	16		
ポート T コントロールレジスタ	PTCR	R/W	H'A405 0140	16		
ポート U コントロールレジスタ	PUCR	R/W	H'A405 0142	16		
ポート V コントロールレジスタ	PVCR	R/W	H'A405 0144	16		
ポート W コントロールレジスタ	PWCR	R/W	H'A405 0146	16		
ポート X コントロールレジスタ	PXCR	R/W	H'A405 0148	16		
ポート Y コントロールレジスタ	PYCR	R/W	H'A405 014A	16		
ポート Z コントロールレジスタ	PZCR	R/W	H'A405 014C	16		
ピンセレクトレジスタ A	PSELA	R/W	H'A405 014E	16		
ピンセレクトレジスタ B	PSELB	R/W	H'A405 0150	16		
ピンセレクトレジスタ C	PSELC	R/W	H'A405 0152	16		
ピンセレクトレジスタ D	PSELD	R/W	H'A405 0154	16		

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
ポート A データレジスタ	PADR	R/W	H'A405 0120	PFC	8
ポート B データレジスタ	PBDR	R/W	H'A405 0122		8
ポート C データレジスタ	PCDR	R/W	H'A405 0124		8
ポート D データレジスタ	PDDR	R/W	H'A405 0126		8
ポート E データレジスタ	PEDR	R/W	H'A405 0128		8
ポート F データレジスタ	PFDR	R/W	H'A405 012A		8
ポート G データレジスタ	PGDR	R/W	H'A405 012C		8
ポート H データレジスタ	PHDR	R/W	H'A405 012E		8
ポート J データレジスタ	PJDR	R/W	H'A405 0130		8
ポート K データレジスタ	PKDR	R/W	H'A405 0132		8
ポート L データレジスタ	PLDR	R/W	H'A405 0134		8
ポート M データレジスタ	PMDR	R/W	H'A405 0136		8
ポート N データレジスタ	PNDR	R/W	H'A405 0138		8
ポート Q データレジスタ	PQDR	R/W	H'A405 013A		8
ポート R データレジスタ	PRDR	R/W	H'A405 013C		8
ポート S データレジスタ	PSDR	R/W	H'A405 013E		8
ポート T データレジスタ	PTDR	R/W	H'A405 0160		8
ポート U データレジスタ	PUDR	R/W	H'A405 0162		8
ポート V データレジスタ	PVDR	R/W	H'A405 0164		8
ポート W データレジスタ	PWDR	R/W	H'A405 0166		8
ポート X データレジスタ	PXDR	R/W	H'A405 0168		8
ポート Y データレジスタ	PYDR	R/W	H'A405 016A		8
ポート Z データレジスタ	PZDR	R/W	H'A405 016C		8
I/O バッファ Hi-Z 制御レジスタ A	HIZCRA	R/W	H'A405 0158	16	
I/O バッファ Hi-Z 制御レジスタ B	HIZCRB	R/W	H'A405 015A	16	
I/O バッファ Hi-Z 制御レジスタ C	HIZCRC	R/W	H'A405 015C	16	
I/O バッファ Hi-Z 制御レジスタ D	HIZCRD	R/W	H'A405 015E	16	
モジュール機能選択レジスタ A	MSEL CRA	R/W	H'A405 0180	16	
モジュール機能選択レジスタ B	MSEL CRB	R/W	H'A405 0182	16	
ブルアップダウン制御レジスタ	PULCR	R/W	H'A405 0184	16	
I/O バッファ Drive 制御レジスタ A	DRVCRA	R/W	H'A405 018A	16	
I/O バッファ Drive 制御レジスタ B	DRVCRB	R/W	H'A405 018C	16	
I/O バッファ Drive 制御レジスタ C	DRVCRC	R/W	H'A405 018E	16	
マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	UBC	32
マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004		32
マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008		32
マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C		32

レジスタ名称	略称	R/W	アドレス	モジュール	アクセス サイズ
マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	UBC	32
マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024		32
マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028		32
マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C		32
マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030		32
マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034		32
実行回数ブレークレジスタ 1	CETR1	R/W	H'FF20 0038		32
チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600		32
ブレークコントロールレジスタ	CBCR	R/W	H'FF20 0620		32
インストラクションレジスタ	SDIR	R	H'FC11 0000		H-UDI
データレジスタ H	SDDR/SDDRH	R/W	H'FC11 0008	32/16	
データレジスタ L	SDDRL	R/W	H'FC11 000A	16	
割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	16	
バイパスレジスタ	SDBPR	-	-	-	

【注】 *1 書き込みは 16 ビット、読み出しは 8 ビットです。

*2 16 ビットアクセス時は、H' A4CA 0034 のみアクセス可能です。

表 51.1 CEU (CEU0、CEU1) のレジスタアドレス一覧

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A面)	アドレス (B面)	ミラー アドレス	
CEU0 キャプチャ開始レジスタ	CAPSR_0	R/W	H'FE91 0000	-	-	32
CEU0 キャプチャ制御レジスタ	CAPCR_0	R/W	H'FE91 0004	-	-	32
CEU0 キャプチャインタフェース制御レジスタ*	CAMCR_0	R/W	H'FE91 0008	-	-	32
CEU0 キャプチャインタフェースサイクル レジスタ*	CMCYR_0	R/W	H'FE91 000C	-	-	32
CEU0 キャプチャインタフェースオフセットレジ スタ	CAMOR_0	R/W	H'FE91 0010	H'FE91 1010	H'FE91 2010	32
CEU0 キャプチャインタフェース幅レジスタ	CAPWR_0	R/W	H'FE91 0014	H'FE91 1014	H'FE91 2014	32
CEU0 キャプチャインタフェース入力方式 レジスタ	CAIFR_0	R/W	H'FE91 0018	-	-	32
CEU0 レジスタ制御レジスタ	CRCNTR_0	R/W	H'FE91 0028	-	-	32
CEU0 レジスタ強制制御レジスタ	CRCMPR_ 0	R/W	H'FE91 002C	-	-	32
CEU0 キャプチャフィルタ制御レジスタ	CFLCR_0	R/W	H'FE91 0030	H'FE91 1030	H'FE91 2030	32
CEU0 キャプチャフィルタサイズクリップ レジスタ	CFSZR_0	R/W	H'FE91 0034	H'FE91 1034	H'FE91 2034	32
CEU0 キャプチャデスティネーション幅レジスタ	CDWDR_0	R/W	H'FE91 0038	H'FE91 1038	H'FE91 2038	32
CEU0 キャプチャデータアドレス Y レジスタ	CDAYR_0	R/W	H'FE91 003C	H'FE91 103C	H'FE91 203C	32
CEU0 キャプチャデータアドレス C レジスタ	CDACR_0	R/W	H'FE91 0040	H'FE91 1040	H'FE91 2040	32
CEU0 キャプチャデータボトムフィールド アドレス Y レジスタ	CDBYR_0	R/W	H'FE91 0044	H'FE91 1044	H'FE91 2044	32
CEU0 キャプチャデータボトムフィールド アドレス C レジスタ	CDBCR_0	R/W	H'FE91 0048	H'FE91 1048	H'FE91 2048	32
CEU0 キャプチャバンドルデスティネーションサ イズレジスタ	CBDSR_0	R/W	H'FE91 004C	H'FE91 104C	H'FE91 204C	32
CEU0 ファイアウォール動作制御レジスタ	CFWCR_0	R/W	H'FE91 005C	-	-	32
CEU0 キャプチャローパスフィルタ制御レジスタ	CLFCR_0	R/W	H'FE91 0060	H'FE91 1060	H'FE91 2060	32
CEU0 キャプチャデータ出力制御レジスタ	CDOCR_0	R/W	H'FE91 0064	H'FE91 1064	H'FE91 2064	32
CEU0 キャプチャデータ複雑度レジスタ	CDDCR_0	R/W	H'FE91 0068	H'FE91 1068	H'FE91 2068	32
CEU0 キャプチャデータ複雑度アドレスレジスタ	CDDAR_0	R/W	H'FE91 006C	H'FE91 106C	H'FE91 206C	32
CEU0 キャプチャイベント割り込み許可レジスタ	CEIER_0	R/W	H'FE91 0070	-	-	32
CEU0 キャプチャイベントフラグクリアレジスタ	CETCR_0	R/W	H'FE91 0074	-	-	32
CEU0 キャプチャステータスレジスタ	CSTSR_0	R	H'FE91 007C	-	-	32
CEU0 キャプチャソフトウェアリセットレジスタ	CSRTR_0	R/W	H'FE91 0080	-	-	32
CEU0 キャプチャデータ容量レジスタ	CDSSR_0	R/W	H'FE91 0084	-	-	32
CEU0 キャプチャデータアドレス Y レジスタ 2	CDAYR2_0	R/W	H'FE91 0090	H'FE91 1090	H'FE91 2090	32
CEU0 キャプチャデータアドレス C レジスタ 2	CDACR2_0	R/W	H'FE91 0094	H'FE91 1094	H'FE91 2094	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A面)	アドレス (B面)	ミラー アドレス	
CEU0 キャプチャデータボトムフィールド アドレス Y レジスタ 2	CDBYR2_0	R/W	H'FE91 0098	H'FE91 1098	H'FE91 2098	32
CEU0 キャプチャデータボトムフィールド アドレス C レジスタ 2	CDBCR2_0	R/W	H'FE91 009C	H'FE91 109C	H'FE91 209C	32
CEU1 キャプチャ開始レジスタ	CAPSR_1	R/W	H'FE91 4000	-	-	32
CEU1 キャプチャ制御レジスタ	CAPCR_1	R/W	H'FE91 4004	-	-	32
CEU1 キャプチャインタフェース制御レジスタ*	CAMCR_1	R/W	H'FE91 4008	-	-	32
CEU1 キャプチャインタフェースサイクル レジスタ*	CMCYR_1	R/W	H'FE91 400C	-	-	32
CEU1 キャプチャインタフェースオフセットレジ スタ	CAMOR_1	R/W	H'FE91 4010	H'FE91 5010	H'FE91 6010	32
CEU1 キャプチャインタフェース幅レジスタ	CAPWR_1	R/W	H'FE91 4014	H'FE91 5014	H'FE91 6014	32
CEU1 キャプチャインタフェース入力方式 レジスタ	CAIFR_1	R/W	H'FE91 4018	-	-	32
CEU1 レジスタ制御レジスタ	CRCNTR_1	R/W	H'FE91 4028	-	-	32
CEU1 レジスタ強制制御レジスタ	CRCMPR_ 1	R/W	H'FE91 402C	-	-	32
CEU1 キャプチャフィルタ制御レジスタ	CFLCR_1	R/W	H'FE91 4030	H'FE91 5030	H'FE91 6030	32
CEU1 キャプチャフィルタサイズクリップ レジスタ	CFSZR_1	R/W	H'FE91 4034	H'FE91 5034	H'FE91 6034	32
CEU1 キャプチャデスティネーション幅レジスタ	CDWDR_1	R/W	H'FE91 4038	H'FE91 5038	H'FE91 6038	32
CEU1 キャプチャデータアドレス Y レジスタ	CDAYR_1	R/W	H'FE91 403C	H'FE91 503C	H'FE91 603C	32
CEU1 キャプチャデータアドレス C レジスタ	CDACR_1	R/W	H'FE91 4040	H'FE91 5040	H'FE91 6040	32
CEU1 キャプチャデータボトムフィールド アドレス Y レジスタ	CDBYR_1	R/W	H'FE91 4044	H'FE91 5044	H'FE91 6044	32
CEU1 キャプチャデータボトムフィールド アドレス C レジスタ	CDBCR_1	R/W	H'FE91 4048	H'FE91 5048	H'FE91 6048	32
CEU1 キャプチャバンドルデスティネーションサ イズレジスタ	CBDSR_1	R/W	H'FE91 404C	H'FE91 504C	H'FE91 604C	32
CEU1 ファイアウォール動作制御レジスタ	CFWCR_1	R/W	H'FE91 405C	-	-	32
CEU1 キャプチャローパスフィルタ制御レジスタ	CLFCR_1	R/W	H'FE91 4060	H'FE91 5060	H'FE91 6060	32
CEU1 キャプチャデータ出力制御レジスタ	CDOCR_1	R/W	H'FE91 4064	H'FE91 5064	H'FE91 6064	32
CEU1 キャプチャデータ複雑度レジスタ	CDDCR_1	R/W	H'FE91 4068	H'FE91 5068	H'FE91 6068	32
CEU1 キャプチャデータ複雑度アドレスレジスタ	CDDAR_1	R/W	H'FE91 406C	H'FE91 506C	H'FE91 606C	32
CEU1 キャプチャイベント割り込み許可レジスタ	CEIER_1	R/W	H'FE91 4070	-	-	32
CEU1 キャプチャイベントフラグクリアレジスタ	CETCR_1	R/W	H'FE91 4074	-	-	32
CEU1 キャプチャステータスレジスタ	CSTSR_1	R	H'FE91 407C	-	-	32
CEU1 キャプチャソフトウェアリセットレジスタ	CSRTR_1	R/W	H'FE91 4080	-	-	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A面)	アドレス (B面)	ミラー アドレス	
CEU1 キャプチャデータ容量レジスタ	CDSSR_1	R/W	H'FE91 4084	-	-	32
CEU1 キャプチャデータアドレス Y レジスタ 2	CDAYR2_1	R/W	H'FE91 4090	H'FE91 5090	H'FE91 6090	32
CEU1 キャプチャデータアドレス C レジスタ 2	CDACR2_1	R/W	H'FE91 4094	H'FE91 5094	H'FE91 6094	32
CEU1 キャプチャデータボトムフィールド アドレス Y レジスタ 2	CDBYR2_1	R/W	H'FE91 4098	H'FE91 5098	H'FE91 6098	32
CEU1 キャプチャデータボトムフィールド アドレス C レジスタ 2	CDBCR2_1	R/W	H'FE91 409C	H'FE91 509C	H'FE91 609C	32

【注】 * 外部モジュールの特性により決まるレジスタ (CAMCR、CMCYR) の設定変更後、外部入力クロックで 10 サイクル以上はキャプチャ起動をかけないでください。

表 51.2 BEU (BEU0、BEU1) のレジスタアドレス一覧

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラーアドレス	
BEU0 起動レジスタ	BESTR_0	R/W	H'FE93 0000	-	-	32
BEU0 ソースメモリ幅指定レジスタ 1	BSMWR1_0	R/W	H'FE93 0010	H'FE93 1010	H'FE93 2010	32
BEU0 ソースサイズ指定レジスタ 1	BSSZR1_0	R/W	H'FE93 0014	H'FE93 1014	H'FE93 2014	32
BEU0 ソースアドレス Y レジスタ 1	BSAYR1_0	R/W	H'FE93 0018	H'FE93 1018	H'FE93 2018	32
BEU0 ソースアドレス C レジスタ 1	BSACR1_0	R/W	H'FE93 001C	H'FE93 101C	H'FE93 201C	32
BEU0 ソースアドレス レジスタ 1	BSAAR1_0	R/W	H'FE93 0020	H'FE93 1020	H'FE93 2020	32
BEU0 ソース画像フォーマットレジスタ 1	BSIFR1_0	R/W	H'FE93 0024	H'FE93 1024	H'FE93 2024	32
BEU0 ソースメモリ幅指定レジスタ 2	BSMWR2_0	R/W	H'FE93 0028	H'FE93 1028	H'FE93 2028	32
BEU0 ソースサイズ指定レジスタ 2	BSSZR2_0	R/W	H'FE93 002C	H'FE93 102C	H'FE93 202C	32
BEU0 ソースアドレス Y レジスタ 2	BSAYR2_0	R/W	H'FE93 0030	H'FE93 1030	H'FE93 2030	32
BEU0 ソースアドレス C レジスタ 2	BSACR2_0	R/W	H'FE93 0034	H'FE93 1034	H'FE93 2034	32
BEU0 ソースアドレス レジスタ 2	BSAAR2_0	R/W	H'FE93 0038	H'FE93 1038	H'FE93 2038	32
BEU0 ソース画像フォーマットレジスタ 2	BSIFR2_0	R/W	H'FE93 003C	H'FE93 103C	H'FE93 203C	32
BEU0 ソースメモリ幅指定レジスタ 3	BSMWR3_0	R/W	H'FE93 0040	H'FE93 1040	H'FE93 2040	32
BEU0 ソースサイズ指定レジスタ 3	BSSZR3_0	R/W	H'FE93 0044	H'FE93 1044	H'FE93 2044	32
BEU0 ソースアドレス Y レジスタ 3	BSAYR3_0	R/W	H'FE93 0048	H'FE93 1048	H'FE93 2048	32
BEU0 ソースアドレス C レジスタ 3	BSACR3_0	R/W	H'FE93 004C	H'FE93 104C	H'FE93 204C	32
BEU0 ソースアドレス レジスタ 3	BSAAR3_0	R/W	H'FE93 0050	H'FE93 1050	H'FE93 2050	32
BEU0 ソース画像フォーマットレジスタ 3	BSIFR3_0	R/W	H'FE93 0054	H'FE93 1054	H'FE93 2054	32
BEU0 タイルパターンサイズレジスタ	BTPSR_0	R/W	H'FE93 0058	H'FE93 1058	H'FE93 2058	32
BEU0 マルチ画面ソースメモリ幅レジスタ 1	BMSMWR1_0	R/W	H'FE93 0070	-	-	32
BEU0 マルチ画面ソースサイズレジスタ 1	BMSSZR1_0	R/W	H'FE93 0074	-	-	32
BEU0 マルチ画面ソースアドレス Y レジスタ 1	BMSAYR1_0	R/W	H'FE93 0078	-	-	32
BEU0 マルチ画面ソースアドレス C レジスタ 1	BMSACR1_0	R/W	H'FE93 007C	-	-	32
BEU0 マルチ画面ソースメモリ幅レジスタ 2	BMSMWR2_0	R/W	H'FE93 0080	-	-	32
BEU0 マルチ画面ソースサイズレジスタ 2	BMSSZR2_0	R/W	H'FE93 0084	-	-	32
BEU0 マルチ画面ソースアドレス Y レジスタ 2	BMSAYR2_0	R/W	H'FE93 0088	-	-	32
BEU0 マルチ画面ソースアドレス C レジスタ 2	BMSACR2_0	R/W	H'FE93 008C	-	-	32
BEU0 マルチ画面ソースメモリ幅レジスタ 3	BMSMWR3_0	R/W	H'FE93 0090	-	-	32
BEU0 マルチ画面ソースサイズレジスタ 3	BMSSZR3_0	R/W	H'FE93 0094	-	-	32
BEU0 マルチ画面ソースアドレス Y レジスタ 3	BMSAYR3_0	R/W	H'FE93 0098	-	-	32
BEU0 マルチ画面入ソースアドレス C レジスタ 3	BMSACR3_0	R/W	H'FE93 009C	-	-	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラーアドレス	
BEU0 マルチ画面ソースメモリ幅レジスタ 4	BMSMWR4_0	R/W	H'FE93 00A0	-	-	32
BEU0 マルチ画面ソースサイズレジスタ 4	BMSSZR4_0	R/W	H'FE93 00A4	-	-	32
BEU0 マルチ画面ソースアドレス Y レジスタ 4	BMSAYR4_0	R/W	H'FE93 00A8	-	-	32
BEU0 マルチ画面ソースアドレス C レジスタ 4	BMSACR4_0	R/W	H'FE93 00AC	-	-	32
BEU0 マルチ画面ソースフォーマットレジスタ	BMSIFR_0	R/W	H'FE93 00F0	-	-	32
BEU0 ブレンドコントロールレジスタ 0	BBLCR0_0	R/W	H'FE93 0100	H'FE93 1100	H'FE93 2100	32
BEU0 ブレンドコントロールレジスタ 1	BBLCR1_0	R/W	H'FE93 0104	-	-	32
BEU0 プロセス制御レジスタ	BPROC0_0	R/W	H'FE93 0108	H'FE93 1108	H'FE93 2108	32
BEU0 マルチウィンドウ制御レジスタ 0	BMWCR0_0	R/W	H'FE93 010C	-	-	32
BEU0 ブレンドロケーション設定レジスタ 1	BLOCR1_0	R/W	H'FE93 0114	H'FE93 1114	H'FE93 2114	32
BEU0 ブレンドロケーション設定レジスタ 2	BLOCR2_0	R/W	H'FE93 0118	H'FE93 1118	H'FE93 2118	32
BEU0 ブレンドロケーション設定レジスタ 3	BLOCR3_0	R/W	H'FE93 011C	H'FE93 111C	H'FE93 211C	32
BEU0 マルチ画面ロケーションレジスタ 1	BMLOCR1_0	R/W	H'FE93 0120	-	-	32
BEU0 マルチ画面ロケーションレジスタ 2	BMLOCR2_0	R/W	H'FE93 0124	-	-	32
BEU0 マルチ画面ロケーションレジスタ 3	BMLOCR3_0	R/W	H'FE93 0128	-	-	32
BEU0 マルチ画面ロケーションレジスタ 4	BMLOCR4_0	R/W	H'FE93 012C	-	-	32
BEU0 マルチ画面透過色制御レジスタ 1	BMPCCR1_0	R/W	H'FE93 0130	-	-	32
BEU0 マルチ画面透過色制御レジスタ 2	BMPCCR2_0	R/W	H'FE93 0134	-	-	32
BEU0 ブレンドバックフォームレジスタ	BPKFR_0	R/W	H'FE93 0140	H'FE93 1140	H'FE93 2140	32
BEU0 透過色制御レジスタ 0	BPCCR0_0	R/W	H'FE93 0144	H'FE93 1144	H'FE93 2144	32
BEU0 透過色制御レジスタ 11	BPCCR11_0	R/W	H'FE93 0148	H'FE93 1148	H'FE93 2148	32
BEU0 透過色制御レジスタ 12	BPCCR12_0	R/W	H'FE93 014C	H'FE93 114C	H'FE93 214C	32
BEU0 透過色制御レジスタ 21	BPCCR21_0	R/W	H'FE93 0150	H'FE93 1150	H'FE93 2150	32
BEU0 透過色制御レジスタ 22	BPCCR22_0	R/W	H'FE93 0154	H'FE93 1154	H'FE93 2154	32
BEU0 透過色制御レジスタ 31	BPCCR31_0	R/W	H'FE93 0158	H'FE93 1158	H'FE93 2158	32
BEU0 透過色制御レジスタ 32	BPCCR32_0	R/W	H'FE93 015C	H'FE93 115C	H'FE93 215C	32
BEU0 デスティネーションメモリ幅レジスタ	BDMWR_0	R/W	H'FE93 0160	H'FE93 1160	H'FE93 2160	32
BEU0 デスティネーションアドレス Y レジスタ	BDAYR_0	R/W	H'FE93 0164	H'FE93 1164	H'FE93 2164	32
BEU0 デスティネーションアドレス C レジスタ	BDACR_0	R/W	H'FE93 0168	H'FE93 1168	H'FE93 2168	32
BEU0 アドレス固定レジスタ	BAFXR_0	R/W	H'FE93 0180	H'FE93 1180	H'FE93 2180	32
BEU0 スワッピングレジスタ	BSWPR_0	R/W	H'FE93 0184	H'FE93 1184	H'FE93 2184	32
BEU0 イベント割り込みイネーブルレジスタ	BEIER_0	R/W	H'FE93 0188	-	-	32
BEU0 イベントレジスタ	BEVTR_0	R/W	H'FE93 018C	-	-	32
BEU0 レジスタ制御レジスタ	BRCNTR_0	R/W	H'FE93 0194	-	-	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラーアドレス	
BEU0 ステータスレジスタ	BSTAR_0	R	H'FE93 0198	-	-	32
BEU0 モジュールリセットレジスタ	BBRSTR_0	R/W	H'FE93 019C	-	-	32
BEU0 レジスタ面強制指定レジスタ	BRCHR_0	R/W	H'FE93 01A0	-	-	32
BEU0 カラーロックアップテーブル	CLUT_0	R/W	H'FE93 3000 ~ H'FE93 33FF	-	-	32
BEU1 起動レジスタ	BESTR_1	R/W	H'FE93 4000	-	-	32
BEU1 ソースメモリ幅指定レジスタ 1	BSMWR1_1	R/W	H'FE93 4010	H'FE93 5010	H'FE93 6010	32
BEU1 ソースサイズ指定レジスタ 1	BSSZR1_1	R/W	H'FE93 4014	H'FE93 5014	H'FE93 6014	32
BEU1 ソースアドレス Y レジスタ 1	BSAYR1_1	R/W	H'FE93 4018	H'FE93 5018	H'FE93 6018	32
BEU1 ソースアドレス C レジスタ 1	BSACR1_1	R/W	H'FE93 401C	H'FE93 501C	H'FE93 601C	32
BEU1 ソースアドレス レジスタ 1	BSAAR1_1	R/W	H'FE93 4020	H'FE93 5020	H'FE93 6020	32
BEU1 ソース画像フォーマットレジスタ 1	BSIFR1_1	R/W	H'FE93 4024	H'FE93 5024	H'FE93 6024	32
BEU1 ソースメモリ幅指定レジスタ 2	BSMWR2_1	R/W	H'FE93 4028	H'FE93 5028	H'FE93 6028	32
BEU1 ソースサイズ指定レジスタ 2	BSSZR2_1	R/W	H'FE93 402C	H'FE93 502C	H'FE93 602C	32
BEU1 ソースアドレス Y レジスタ 2	BSAYR2_1	R/W	H'FE93 4030	H'FE93 5030	H'FE93 6030	32
BEU1 ソースアドレス C レジスタ 2	BSACR2_1	R/W	H'FE93 4034	H'FE93 5034	H'FE93 6034	32
BEU1 ソースアドレス レジスタ 2	BSAAR2_1	R/W	H'FE93 4038	H'FE93 5038	H'FE93 6038	32
BEU1 ソース画像フォーマットレジスタ 2	BSIFR2_1	R/W	H'FE93 403C	H'FE93 503C	H'FE93 603C	32
BEU1 ソースメモリ幅指定レジスタ 3	BSMWR3_1	R/W	H'FE93 4040	H'FE93 5040	H'FE93 6040	32
BEU1 ソースサイズ指定レジスタ 3	BSSZR3_1	R/W	H'FE93 4044	H'FE93 5044	H'FE93 6044	32
BEU1 ソースアドレス Y レジスタ 3	BSAYR3_1	R/W	H'FE93 4048	H'FE93 5048	H'FE93 6048	32
BEU1 ソースアドレス C レジスタ 3	BSACR3_1	R/W	H'FE93 404C	H'FE93 504C	H'FE93 604C	32
BEU1 ソースアドレス レジスタ 3	BSAAR3_1	R/W	H'FE93 4050	H'FE93 5050	H'FE93 6050	32
BEU1 ソース画像フォーマットレジスタ 3	BSIFR3_1	R/W	H'FE93 4054	H'FE93 5054	H'FE93 6054	32
BEU1 タイルパターンサイズレジスタ	BTPSR_1	R/W	H'FE93 4058	H'FE93 5058	H'FE93 6058	32
BEU1 マルチ画面ソースメモリ幅レジスタ 1	BMSMWR1_1	R/W	H'FE93 4070	-	-	32
BEU1 マルチ画面ソースサイズレジスタ 1	BMSSZR1_1	R/W	H'FE93 4074	-	-	32
BEU1 マルチ画面ソースアドレス Y レジスタ 1	BMSAYR1_1	R/W	H'FE93 4078	-	-	32
BEU1 マルチ画面ソースアドレス C レジスタ 1	BMSACR1_1	R/W	H'FE93 407C	-	-	32
BEU1 マルチ画面ソースメモリ幅レジスタ 2	BMSMWR2_1	R/W	H'FE93 4080	-	-	32
BEU1 マルチ画面ソースサイズレジスタ 2	BMSSZR2_1	R/W	H'FE93 4084	-	-	32
BEU1 マルチ画面ソースアドレス Y レジスタ 2	BMSAYR2_1	R/W	H'FE93 4088	-	-	32
BEU1 マルチ画面ソースアドレス C レジスタ 2	BMSACR2_1	R/W	H'FE93 408C	-	-	32
BEU1 マルチ画面ソースメモリ幅レジスタ 3	BMSMWR3_1	R/W	H'FE93 4090	-	-	32
BEU1 マルチ画面ソースサイズレジスタ 3	BMSSZR3_1	R/W	H'FE93 4094	-	-	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラーアドレス	
BEU1 マルチ画面ソースアドレス Y レジスタ 3	BMSAYR3_1	R/W	H'FE93 4098	-	-	32
BEU1 マルチ画面入ソースアドレス C レジスタ 3	BMSACR3_1	R/W	H'FE93 409C	-	-	32
BEU1 マルチ画面ソースメモリ幅レジスタ 4	BMSMWR4_1	R/W	H'FE93 40A0	-	-	32
BEU1 マルチ画面ソースサイズレジスタ 4	BMSSZR4_1	R/W	H'FE93 40A4	-	-	32
BEU1 マルチ画面ソースアドレス Y レジスタ 4	BMSAYR4_1	R/W	H'FE93 40A8	-	-	32
BEU1 マルチ画面ソースアドレス C レジスタ 4	BMSACR4_1	R/W	H'FE93 40AC	-	-	32
BEU1 マルチ画面ソースフォーマットレジスタ	BMSIFR_1	R/W	H'FE93 40F0	-	-	32
BEU1 ブレンドコントロールレジスタ 0	BBLCR0_1	R/W	H'FE93 4100	H'FE93 5100	H'FE93 6100	32
BEU1 ブレンドコントロールレジスタ 1	BBLCR1_1	R/W	H'FE93 4104	-	-	32
BEU1 プロセス制御レジスタ	BPROC1_1	R/W	H'FE93 4108	H'FE93 5108	H'FE93 6108	32
BEU1 マルチウィンドウ制御レジスタ 0	BMWCR0_1	R/W	H'FE93 410C	-	-	32
BEU1 ブレンドロケーション設定レジスタ 1	BLOCR1_1	R/W	H'FE93 4114	H'FE93 5114	H'FE93 6114	32
BEU1 ブレンドロケーション設定レジスタ 2	BLOCR2_1	R/W	H'FE93 4118	H'FE93 5118	H'FE93 6118	32
BEU1 ブレンドロケーション設定レジスタ 3	BLOCR3_1	R/W	H'FE93 411C	H'FE93 511C	H'FE93 611C	32
BEU1 マルチ画面ロケーションレジスタ 1	BMLOCR1_1	R/W	H'FE93 4120	-	-	32
BEU1 マルチ画面ロケーションレジスタ 2	BMLOCR2_1	R/W	H'FE93 4124	-	-	32
BEU1 マルチ画面ロケーションレジスタ 3	BMLOCR3_1	R/W	H'FE93 4128	-	-	32
BEU1 マルチ画面ロケーションレジスタ 4	BMLOCR4_1	R/W	H'FE93 412C	-	-	32
BEU1 マルチ画面透過色制御レジスタ 1	BMPPCR1_1	R/W	H'FE93 4130	-	-	32
BEU1 マルチ画面透過色制御レジスタ 2	BMPPCR2_1	R/W	H'FE93 4134	-	-	32
BEU1 ブレンドバックフォームレジスタ	BPKFR_1	R/W	H'FE93 4140	H'FE93 5140	H'FE93 6140	32
BEU1 透過色制御レジスタ 0	BPCCR0_1	R/W	H'FE93 4144	H'FE93 5144	H'FE93 6144	32
BEU1 透過色制御レジスタ 11	BPCCR11_1	R/W	H'FE93 4148	H'FE93 5148	H'FE93 6148	32
BEU1 透過色制御レジスタ 12	BPCCR12_1	R/W	H'FE93 414C	H'FE93 514C	H'FE93 614C	32
BEU1 透過色制御レジスタ 21	BPCCR21_1	R/W	H'FE93 4150	H'FE93 5150	H'FE93 6150	32
BEU1 透過色制御レジスタ 22	BPCCR22_1	R/W	H'FE93 4154	H'FE93 5154	H'FE93 6154	32
BEU1 透過色制御レジスタ 31	BPCCR31_1	R/W	H'FE93 4158	H'FE93 5158	H'FE93 6158	32
BEU1 透過色制御レジスタ 32	BPCCR32_1	R/W	H'FE93 415C	H'FE93 515C	H'FE93 615C	32
BEU1 デスティネーションメモリ幅レジスタ	BDMWR_1	R/W	H'FE93 4160	H'FE93 5160	H'FE93 6160	32
BEU1 デスティネーションアドレス Y レジスタ	BDAYR_1	R/W	H'FE93 4164	H'FE93 5164	H'FE93 6164	32
BEU1 デスティネーションアドレス C レジスタ	BDACR_1	R/W	H'FE93 4168	H'FE93 5168	H'FE93 6168	32
BEU1 アドレス固定レジスタ	BAFXR_1	R/W	H'FE93 4180	H'FE93 5180	H'FE93 6180	32
BEU1 スワッピングレジスタ	BSWPR_1	R/W	H'FE93 4184	H'FE93 5184	H'FE93 6184	32
BEU1 イベント割り込みイネーブルレジスタ	BEIER_1	R/W	H'FE93 4188	-	-	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラーアドレス	
BEU1 イベントレジスタ	BEVTR_1	R/W	H'FE93 418C	-	-	32
BEU1 レジスタ制御レジスタ	BRCNTR_1	R/W	H'FE93 4194	-	-	32
BEU1 ステータスレジスタ	BSTAR_1	R	H'FE93 4198	-	-	32
BEU1 モジュールリセットレジスタ	BBRSTR_1	R/W	H'FE93 419C	-	-	32
BEU1 レジスタ面強制指定レジスタ	BRCHR_1	R/W	H'FE93 41A0	-	-	32
BEU1 カラーロックアップテーブル	CLUT_1	R/W	H'FE93 7000 ~ H'FE93 73FF	-	-	32

表 51.3 LCDC のレジスタアドレス一覧

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラーアドレス	
LCDC バレットデータレジスタ	LDPR00 ~ LDPRFF	R/W	H'FE94 0000 ~ H'FE94 03FC	-	-	32
LCD ドットクロックパターン レジスタ 1	MLDDCKPAT1R	R/W	H'FE94 0400	-	-	32
LCD ドットクロックパターン レジスタ 2	MLDDCKPAT2R	R/W	H'FE94 0404	-	-	32
LCDC ドットクロックレジスタ	LDDCKR	R/W	H'FE94 0410	-	-	32
ドットクロックストップレジスタ	LDDCKSTPR	R/W	H'FE94 0414	-	-	32
LCD モジュールタイプレジスタ 1	MLDMT1R	R/W	H'FE94 0418	H'FE94 1418	H'FE94 2418	32
LCD モジュールタイプレジスタ 2	MLDMT2R	R/W	H'FE94 041C	H'FE94 141C	H'FE94 241C	32
LCD モジュールタイプレジスタ 3	MLDMT3R	R/W	H'FE94 0420	H'FE94 1420	H'FE94 2420	32
LCD データフォーマットレジスタ	MLDDFR	R/W	H'FE94 0424	H'FE94 1424	H'FE94 2424	32
LCD スキャンモードレジスタ 1	MLDSM1R	R/W	H'FE94 0428	H'FE94 1428	H'FE94 2428	32
LCD スキャンモードレジスタ 2	MLDSM2R	R/W	H'FE94 042C	-	-	32
LCD 表示データ取り込み開始 アドレスレジスタ 1	MLDSA1R	R/W	H'FE94 0430	H'FE94 1430	H'FE94 2430	32
LCD 表示データ取り込み開始 アドレスレジスタ 2	MLDSA2R	R/W	H'FE94 0434	H'FE94 1434	H'FE94 2434	32
LCD 表示データ格納メモリ ラインサイズレジスタ	MLDMLSR	R/W	H'FE94 0438	H'FE94 1438	H'FE94 2438	32
LCD 水平キャラクタナンバー レジスタ	MLDHCNR	R/W	H'FE94 0448	H'FE94 1448	H'FE94 2448	32
LCD 水平同期信号レジスタ	MLDHSYNR	R/W	H'FE94 044C	H'FE94 144C	H'FE94 244C	32
LCD 垂直ラインナンバーレジスタ	MLDVLNR	R/W	H'FE94 0450	H'FE94 1450	H'FE94 2450	32
LCD 垂直同期信号レジスタ	MLDVSYNR	R/W	H'FE94 0454	H'FE94 1454	H'FE94 2454	32
LCD 水平バーシャル画面レジスタ	MLDHPDR	R/W	H'FE94 0458	H'FE94 1458	H'FE94 2458	32
LCD 垂直バーシャル画面レジスタ	MLDVPDR	R/W	H'FE94 045C	H'FE94 145C	H'FE94 245C	32
LCD パワーマネジメントレジスタ	MLDPMR	R/W	H'FE94 0460	-	-	32
LCDC バレット制御レジスタ	LDPALCR	R/W	H'FE94 0464	-	-	32
LCDC 割り込みレジスタ	LDINTR	R/W	H'FE94 0468	-	-	32
LCDC ステータスレジスタ	LDSR	R	H'FE94 046C	-	-	32
LCDC 制御レジスタ 1	LDCNT1R	R/W	H'FE94 0470	-	-	32
LCDC 制御レジスタ 2	LDCNT2R	R/W	H'FE94 0474	-	-	32
LCDC レジスタ面制御レジスタ	LDRCNTR	R/W	H'FE94 0478	-	-	32
LCDC 入力画像データスワップレジスタ	LDDDSR	R/W	H'FE94 047C	-	-	32
LCDC レジスタ面強制指定レジスタ	LDRCR	R/W	H'FE94 0484	-	-	32
LCDC ドライバライトデータレジスタ 0	LDDWD0R	R/W	H'FE94 0800	-	-	32

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラーアドレス	
LCDC ドライバライトデータレジスタ 1	LDDWD1R	R/W	H'FE94 0804	-	-	32
LCDC ドライバライトデータレジスタ 2	LDDWD2R	R/W	H'FE94 0808	-	-	32
LCDC ドライバライトデータレジスタ 3	LDDWD3R	R/W	H'FE94 080C	-	-	32
LCDC ドライバライトデータレジスタ 4	LDDWD4R	R/W	H'FE94 0810	-	-	32
LCDC ドライバライトデータレジスタ 5	LDDWD5R	R/W	H'FE94 0814	-	-	32
LCDC ドライバライトデータレジスタ 6	LDDWD6R	R/W	H'FE94 0818	-	-	32
LCDC ドライバライトデータレジスタ 7	LDDWD7R	R/W	H'FE94 081C	-	-	32
LCDC ドライバライトデータレジスタ 8	LDDWD8R	R/W	H'FE94 0820	-	-	32
LCDC ドライバライトデータレジスタ 9	LDDWD9R	R/W	H'FE94 0824	-	-	32
LCDC ドライバライトデータレジスタ A	LDDWDAR	R/W	H'FE94 0828	-	-	32
LCDC ドライバライトデータレジスタ B	LDDWDBR	R/W	H'FE94 082C	-	-	32
LCDC ドライバライトデータレジスタ C	LDDWDCCR	R/W	H'FE94 0830	-	-	32
LCDC ドライバライトデータレジスタ D	LDDWDDR	R/W	H'FE94 0834	-	-	32
LCDC ドライバライトデータレジスタ E	LDDWDER	R/W	H'FE94 0838	-	-	32
LCDC ドライバライトデータレジスタ F	LDDWDFR	R/W	H'FE94 083C	-	-	32
LCDC ドライバライトデータレジスタ	LDDRDR	R/W	H'FE94 0840	-	-	32
LCDC ドライバライトアクセスレジスタ	LDDWAR	R/W	H'FE94 0900	-	-	32
LCDC ドライバライトアクセスレジスタ	LDDRAR	R/W	H'FE94 0904	-	-	32

表 51.4 VOU のレジスタアドレス一覧

レジスタ名称	略称	R/W	アドレス			アクセス サイズ
			アドレス (A 面)	アドレス (B 面)	ミラーアドレス	
VOU 起動レジスタ	VOUER	R/W	H'FE96 0000	-	-	32
VOU 制御レジスタ	VOUCR	R/W	H'FE96 0004	H'FE96 1004	H'FE96 2004	32
VOU ステータスレジスタ	VOUSTR	R/W	H'FE96 0008	-	-	32
VOU ビデオ制御レジスタ	VOUVCR	R/W	H'FE96 000C	H'FE96 100C	H'FE96 200C	32
VOU 入力画像サイズレジスタ	VOUISR	R/W	H'FE96 0010	H'FE96 1010	H'FE96 2010	32
VOU バックカラーレジスタ	VOUBCR	R/W	H'FE96 0014	H'FE96 1014	H'FE96 2014	32
VOU 表示位置レジスタ	VOUDPR	R/W	H'FE96 0018	H'FE96 1018	H'FE96 2018	32
VOU 表示サイズレジスタ	VOUDSR	R/W	H'FE96 001C	H'FE96 101C	H'FE96 201C	32
VOU 有効画素開始位置レジスタ	VOUVPR	R/W	H'FE96 0020	H'FE96 1020	H'FE96 2020	32
VOU 割り込みレジスタ	VOUIR	R/W	H'FE96 0024	-	-	32
VOU リセットレジスタ	VOUSRR	R/W	H'FE96 0028	-	-	32
VOU モード設定レジスタ	VOUMSR	R/W	H'FE96 002C	H'FE96 102C	H'FE96 202C	32
VOU 水平同期間隔レジスタ	VOUHIR	R/W	H'FE96 0030	H'FE96 1030	H'FE96 2030	32
VOU 入力画像データフォーマットレジスタ	VOUDFR	R/W	H'FE96 0034	H'FE96 1034	H'FE96 2034	32
VOU 入力画像データ格納先頭アドレス レジスタ 1	VOUAD1R	R/W	H'FE96 0038	H'FE96 1038	H'FE96 2038	32
VOU 入力画像データ格納先頭アドレス レジスタ 2	VOUAD2R	R/W	H'FE96 003C	H'FE96 103C	H'FE96 203C	32
VOU 入力画像データアドレスインクリメント レジスタ	VOUAIR	R/W	H'FE96 0040	H'FE96 1040	H'FE96 2040	32
VOU 入力画像データスワップレジスタ	VOUSWR	R/W	H'FE96 0044	-	-	32
VOU レジスタ面切り替えレジスタ	VOURCR	R/W	H'FE96 0048	-	-	32
VOU レジスタ面強制指定レジスタ	VOURPR	R/W	H'FE96 0050	-	-	32

51.2 各動作モードにおけるレジスタの状態

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
TRA	不定	不定	保持	-	不定	不定	保持	例外処理
EXPEVT	H'0000 0000	H'0000 0020	保持	-	H'0000 0000	H'0000 0000	保持	
INTEVT	不定	不定	保持	-	不定	不定	保持	
EXPMASK	H'0000 001F	H'0000 001F	保持	-	H'0000 001F	H'0000 001F	保持	
PTEH	不定	不定	保持	保持	不定	不定	保持	MMU
PTEL	不定	不定	保持	保持	不定	不定	保持	
TTB	不定	不定	保持	保持	不定	不定	保持	
TEA	不定	保持	保持	保持	不定	不定	保持	
MMUCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持	
PTEA	H'0000 xxx0	H'0000 xxx0	保持	保持	H'0000 xxx0	H'0000 xxx0	保持	
PASCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持	
IRMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持	
CCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持	
QACR0	不定	不定	保持	保持	不定	不定	不定	
QACR1	不定	不定	保持	保持	不定	不定	不定	
RAMCR	H'0000 0000	H'0000 0000	保持	保持	H'0000 0000	H'0000 0000	保持	
PRPRICR 0 - 10	初期化	初期化	保持	保持	初期化	初期化	保持	SuperHy way パケット ルータ
PRLCKCR	初期化	初期化	保持	保持	初期化	初期化	保持	
ICR0	初期化	初期化	保持	保持	保持	初期化	保持	INTC
ICR1	初期化	初期化	保持	保持	保持	初期化	保持	
INTPRI00	初期化	初期化	保持	保持	保持	初期化	保持	
INTREQ00	初期化	初期化	保持	保持	保持	初期化	保持	
INTMSK00	初期化	初期化	保持	保持	保持	初期化	保持	
INTMSKCLR00	初期化	初期化	保持	保持	初期化	初期化	保持	
NMIFCR	初期化	初期化	保持	保持	保持	初期化	保持	
USERIMASK	初期化	初期化	保持	保持	保持	初期化	保持	
IPRA	初期化	初期化	保持	保持	初期化	初期化	保持	
IPRB	初期化	初期化	保持	保持	初期化	初期化	保持	
IPRC	初期化	初期化	保持	保持	初期化	初期化	保持	
IPRD	初期化	初期化	保持	保持	初期化	初期化	保持	
IPRE	初期化	初期化	保持	保持	初期化	初期化	保持	
IPRF	初期化	初期化	保持	保持	初期化	初期化	保持	
IPRG	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
IPRH	初期化	初期化	保持	保持	初期化	初期化	保持	INTC
IPRI	初期化	初期化	保持	保持	初期化	初期化	保持	
IPRJ	初期化	初期化	保持	保持	初期化	初期化	保持	
IPRK	初期化	初期化	保持	保持	初期化	初期化	保持	
IPRL	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR0	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR1	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR2	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR3	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR4	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR5	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR6	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR7	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR8	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR9	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR10	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR11	初期化	初期化	保持	保持	初期化	初期化	保持	
IMR12	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR0	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR1	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR2	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR3	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR4	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR5	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR6	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR7	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR8	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR9	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR10	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR11	初期化	初期化	保持	保持	初期化	初期化	保持	
IMCR12	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
MMSELR	初期化	保持	保持	-	初期化	初期化	初期化	BSC
CMNCR	初期化	保持	保持	-	保持	初期化	保持	
CS0BCR	初期化	保持	保持	-	保持 *1	初期化	保持	
CS4BCR	初期化	保持	保持	-	初期化	初期化	保持	
CS5ABCR	初期化	保持	保持	-	初期化	初期化	保持	
CS5BBCR	初期化	保持	保持	-	初期化	初期化	保持	
CS6ABCR	初期化	保持	保持	-	初期化	初期化	保持	
CS6BBCR	初期化	保持	保持	-	初期化	初期化	保持	
CS0WCR	初期化	保持	保持	-	保持	初期化	保持	
CS4WCR	初期化	保持	保持	-	初期化	初期化	保持	
CS5AWCR	初期化	保持	保持	-	初期化	初期化	保持	
CS5BWCR	初期化	保持	保持	-	初期化	初期化	保持	
CS6AWCR	初期化	保持	保持	-	初期化	初期化	保持	
CS6BWCR	初期化	保持	保持	-	初期化	初期化	保持	
RBWTCNT	初期化	保持	保持	-	初期化	初期化	保持	
DBKIND	初期化	初期化	保持	-	初期化	初期化	保持	DBSC
DBSTATE	初期化	初期化	保持	-	初期化	初期化	保持	
DBEN	初期化	初期化	保持	-	初期化	初期化	保持	
DBCMDCNT	初期化	初期化	保持	-	初期化	初期化	保持	
DBCKECNT	初期化	初期化	保持	-	保持	初期化	保持	
DBCONF	初期化	初期化	保持	-	初期化	初期化	保持	
DBTR0	初期化	初期化	保持	-	初期化	初期化	保持	
DBTR1	初期化	初期化	保持	-	初期化	初期化	保持	
DBTR2	初期化	初期化	保持	-	初期化	初期化	保持	
DBTR3	初期化	初期化	保持	-	初期化	初期化	保持	
DBRFPDN 0	初期化	初期化	保持	-	初期化	初期化	保持	
DBRFPDN 1	初期化	初期化	保持	-	初期化	初期化	保持	
DBRFPDN 2	初期化	初期化	保持	-	初期化	初期化	保持	
DBRFSTS	初期化	初期化	保持	-	初期化	初期化	保持	
DBMRCNT	初期化	初期化	保持	-	初期化	初期化	保持	
DBPDCNT0	初期化	初期化	保持	-	初期化	初期化	保持	
DMA0_SAR_0 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	DMAC
DMA0_DAR_0 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA0_TCR_0 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA0_CHCR_0 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA0_DMAOR	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA0_SARB_0 ~ 3	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
DMA1_DARB_0~3	初期化	初期化	保持	保持	初期化	初期化	保持	DMAC
DMA0_TCRB_0~3	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA0_DMARS_0 ~2	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA1_SAR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA1_DAR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA1_TCR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA1_CHCR_0~5	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA1_DMAOR	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA1_SARB_0~3	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA1_DARB_0~3	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA1_TCRB_0~3	初期化	初期化	保持	保持	初期化	初期化	保持	
DMA1_DMARS_0 ~2	初期化	初期化	保持	保持	初期化	初期化	保持	
FRQCRA	初期化	保持	保持	-	保持	初期化	保持	
FRQCRB	初期化	保持	保持	-	保持	初期化	保持	
VCLKCR	初期化	保持	保持	-	保持	初期化	保持	
FCLKACR	初期化	保持	保持	-	保持	初期化	保持	
FCLKBCR	初期化	保持	保持	-	保持	初期化	保持	
IRDACLKCR	初期化	保持	保持	-	初期化	初期化	保持	
SPUCLKCR	初期化	保持	保持	-	初期化	初期化	保持	
PLLCR	初期化	保持	保持	-	保持	初期化	保持	
FLLFRQ	初期化	保持	保持	-	保持	初期化	保持	
LSTATS	初期化	保持	保持	-	初期化	初期化	保持	
STBCR	初期化	保持	保持	-	保持	保持	保持	リセット、 低消費電力 モード
MSTPCR0	初期化	保持	保持	-	保持	初期化	保持	
MSTPCR1	初期化	保持	保持	-	保持	初期化	保持	
MSTPCR2	初期化	保持	保持	-	保持	初期化	保持	
BAR	初期化	保持	保持	-	保持	初期化	保持	
RWTCNT	初期化	保持	保持	保持	保持	初期化	保持	RWDT
RWTCSR	初期化	保持	保持	保持	初期化 ^{*1}	初期化 ^{*1}	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
TSTR0	初期化	初期化	保持	保持	初期化	初期化	保持	TMU
TCOR0_0	初期化	初期化	保持	保持	初期化	初期化	保持	
TCNT0_0	初期化	初期化	保持	保持	初期化	初期化	保持	
TCR0_0	初期化	初期化	保持	保持	初期化	初期化	保持	
TCOR0_1	初期化	初期化	保持	保持	初期化	初期化	保持	
TCNT0_1	初期化	初期化	保持	保持	初期化	初期化	保持	
TCR0_1	初期化	初期化	保持	保持	初期化	初期化	保持	
TCOR0_2	初期化	初期化	保持	保持	初期化	初期化	保持	
TCNT0_2	初期化	初期化	保持	保持	初期化	初期化	保持	
TCR0_2	初期化	初期化	保持	保持	初期化	初期化	保持	
TSTR1	初期化	初期化	保持	保持	初期化	初期化	保持	
TCOR1_0	初期化	初期化	保持	保持	初期化	初期化	保持	
TCNT1_0	初期化	初期化	保持	保持	初期化	初期化	保持	
TCR1_0	初期化	初期化	保持	保持	初期化	初期化	保持	
TCOR1_1	初期化	初期化	保持	保持	初期化	初期化	保持	
TCNT1_1	初期化	初期化	保持	保持	初期化	初期化	保持	
TCR1_1	初期化	初期化	保持	保持	初期化	初期化	保持	
TCOR1_2	初期化	初期化	保持	保持	初期化	初期化	保持	
TCNT1_2	初期化	初期化	保持	保持	初期化	初期化	保持	
TCR1_2	初期化	初期化	保持	保持	初期化	初期化	保持	
TPU_TSTR	初期化	初期化	保持	保持	初期化	初期化	保持	TPU
TPU_TCR0 ~ 3	初期化	初期化	保持	保持	初期化	初期化	保持	
TPU_TMDR0 ~ 3	初期化	初期化	保持	保持	初期化	初期化	保持	
TPU_TIOR0 ~ 3	初期化	初期化	保持	保持	初期化	初期化	保持	
TPU_TIER0 ~ 3	初期化	初期化	保持	保持	初期化	初期化	保持	
TPU_TSR0 ~ 3	初期化	初期化	保持	保持	初期化	初期化	保持	
TPU_TCNT0 ~ 3	初期化	初期化	保持	保持	初期化	初期化	保持	
TPU_TGR0A ~ 3A	初期化	初期化	保持	保持	初期化	初期化	保持	
TPU_TGR0B ~ 3B	初期化	初期化	保持	保持	初期化	初期化	保持	
TPU_TGR0C ~ 3C	初期化	初期化	保持	保持	初期化	初期化	保持	
TPU_TGR0D ~ 3D	初期化	初期化	保持	保持	初期化	初期化	保持	
CMSTR	初期化	初期化	保持	保持	初期化	初期化	保持	CMT
CMCSR	初期化	初期化 ^{*1}	保持	保持	初期化 ^{*1}	初期化 ^{*1}	保持	
CMCNT	初期化	初期化	保持	保持	初期化	初期化	保持	
CMCOR	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
CE_CMD_SET	初期化	初期化	保持	保持	初期化	初期化	保持	MMCIF
CE_ARG	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_ARG_CMD12	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_CMD_CTRL	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_BLOCK_SET	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_CLK_CTRL	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_BUF_ACC	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_RESP3	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_RESP2	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_RESP1	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_RESP0	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_RESP_CMD12	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_DATA	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_INT	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_INT_MASK	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_HOST_STS1	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_HOST_STS2	初期化	初期化	保持	保持	初期化	初期化	保持	
CE_VERSION	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIOF0_SITMDR1 ~3	初期化	初期化	保持	保持	初期化	初期化	保持	MSIOF
MSIOF0_SIRMDR1 ~3	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIOF0_SITSCR	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIOF0_SIRSCR	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIOF0_SICTR	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIOF0_SIFCTR	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIOF0_SISTR	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIOF0_SIIER	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIOF0_SITDR1、2	初期化	初期化	保持	初期化	初期化	初期化	保持	
MSIOF0_SITFDR	初期化	初期化	保持	初期化	初期化	初期化	保持	
MSIOF0_SIRD1、2	初期化	初期化	保持	初期化	初期化	初期化	保持	
MSIOF0_SIRFDR	不定	不定	保持	初期化	初期化	初期化	保持	
MSIO1_SITMDR1 ~3	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIO1_SIRMDR1 ~3	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIO1_SITSCR	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIO1_SIRSCR	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
MSIO1_SICTR	初期化	初期化	保持	保持	初期化	初期化	保持	MSIOF
MSIO1_SIFCTR	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIO1_SISTR	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIO1_SIIER	初期化	初期化	保持	保持	初期化	初期化	保持	
MSIO1_SITDR1、2	初期化	初期化	保持	初期化	初期化	初期化	保持	
MSIO1_SITFDR	初期化	初期化	保持	初期化	初期化	初期化	保持	
MSIO1_SIRDR1、2	初期化	初期化	保持	初期化	初期化	初期化	保持	
MSIO1_SIRFDR	不定	不定	保持	初期化	初期化	初期化	保持	
SCSMR0 ~ 2	初期化	初期化	保持	保持	初期化	初期化	保持	SCIF
SCBRR0 ~ 2	初期化	初期化	保持	保持	初期化	初期化	保持	
SCSCR0 ~ 2	初期化	初期化	保持	保持	初期化	初期化	保持	
SCFTDR0 ~ 2	初期化	初期化	保持	保持	初期化	初期化	保持	
SCFSR0 ~ 2	初期化	初期化	保持	保持	初期化	初期化	保持	
SCFRDR0 ~ 2	初期化	初期化	保持	保持	初期化	初期化	保持	
SCFCR0 ~ 2	初期化	初期化	保持	保持	初期化	初期化	保持	
SCFDR0 ~ 2	初期化	初期化	保持	保持	初期化	初期化	保持	
SCLSR0 ~ 2	初期化	初期化	保持	保持	初期化	初期化	保持	
SCASMR3 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
SCABRR3 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
SCASCR3 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
SCATDSR3 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
SCAFER3 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
SCASSR3 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
SCAFCR3 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
SCAFDR3 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
SCAFTDR3 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
SCAFDR3 ~ 5	初期化	初期化	保持	保持	初期化	初期化	保持	
R64CNT	不定	保持	保持	保持	保持	保持	保持	RTC
RSECCNT	不定	保持	保持	保持	保持	保持	保持	
RMINCNT	不定	保持	保持	保持	保持	保持	保持	
RHRCNT	不定	保持	保持	保持	保持	保持	保持	
RWKCNT	不定	保持	保持	保持	保持	保持	保持	
RDAYCNT	不定	保持	保持	保持	保持	保持	保持	
RMONCNT	不定	保持	保持	保持	保持	保持	保持	
RYRCNT	不定	保持	保持	保持	保持	保持	保持	
RSECAR	初期化 / 不定	保持	保持	保持	保持	保持	保持	
RMINAR	初期化 / 不定	保持	保持	保持	保持	保持	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
RHRAR	初期化 / 不定	保持	保持	保持	保持	保持	保持	RTC
RWKAR	初期化 / 不定	保持	保持	保持	保持	保持	保持	
RDAYAR	初期化 / 不定	保持	保持	保持	保持	保持	保持	
RMONAR	初期化 / 不定	保持	保持	保持	保持	保持	保持	
RCR1	初期化 / 不定	初期化	保持	保持	保持	保持	保持	
RCR2	初期化	初期化 / 不定	保持	保持	保持	保持	保持	
RYRAR	不定	保持	保持	保持	保持	保持	保持	
RCR3	初期化	初期化	保持	保持	保持	保持	保持	
IRIF_RINTCLR	初期化	初期化	保持	保持	初期化	初期化	保持	
IRIF_TINTCLR	初期化	初期化	保持	保持	初期化	初期化	保持	
IRIF_SIR0 ~ 3	初期化	初期化	保持	保持	初期化	初期化	保持	
IRIF_SIR_FRM	初期化	初期化	保持	保持	初期化	初期化	保持	
IRIF_SIR_EOF	初期化	初期化	保持	保持	初期化	初期化	保持	
IRIF_SIR_FLG	初期化	初期化	保持	保持	初期化	初期化	保持	
IRIF_UART_STS2	初期化	初期化	保持	保持	初期化	初期化	保持	
IRIF_UART0 ~ 7	初期化	初期化	保持	保持	初期化	初期化	保持	
IRIF_CRC0 ~ 4	初期化	初期化	保持	保持	初期化	初期化	保持	KEYSC
KYCR1	初期化	初期化	保持	保持	初期化* ¹	初期化	保持	
KYCR2	初期化* ¹	初期化* ¹	保持	保持	初期化* ¹	初期化* ¹	保持	
KYINDR	初期化	初期化	保持	保持	初期化	初期化	保持	
KYOUTDR	初期化	初期化	保持	保持	初期化	初期化	保持	
SYSCFG_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
BUSWAIT_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
SYSSTS_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
DVSTCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
TESTMODE_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
CFIFO_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
D0FIFO_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
D1FIFO_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
CFIFOSEL_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
CFIFOCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
D0FIFOSEL_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
D0FIFOCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
D1FIFOSEL_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
D1FIFOCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
INTENB0_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	USB
INTENB1_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
BRDYENB_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
NRDYENB_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
BEMPENB_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
SOFCFG_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
INTSTS0_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
INTSTS1_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
BRDYSTS_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
NRDYSTS_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
BEMPSTS_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
FRMNUM_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
UFRMNUM_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
USBADDR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
USBREQ_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
USBVAL_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
USBINDX_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
USBLENG_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
DCPCFG_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
DCPMAXP_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
DCPCTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
PIPESEL_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
PIPECFG_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
PIPEBUF_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
PIPEMAXP_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
PIPEPERI_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
PIPE1CTR_0/1 ~ PIPE9CTR_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
PIPE1TRE_0/1 ~ PIPE5TRE_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
PIPE1TRN_0/1 ~ PIPE5TRN_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
DEVADD0_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
DEVADD1_0/1 ~ A_0/1	初期化	初期化	保持	保持	初期化	初期化	保持	
UPONCR0/1	初期化	保持	保持	保持	保持	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
ICDR0	初期化	初期化	保持	保持	初期化	初期化	保持	I ² C
ICCR0	初期化	初期化	保持	保持	初期化	初期化	保持	
ICSR0	初期化	初期化	保持	保持	初期化	初期化	保持	
ICIC0	初期化	初期化	保持	保持	初期化	初期化	保持	
ICCL0	初期化	初期化	保持	保持	初期化	初期化	保持	
ICCH0	初期化	初期化	保持	保持	初期化	初期化	保持	
ICDR1	初期化	初期化	保持	保持	初期化	初期化	保持	
ICCR1	初期化	初期化	保持	保持	初期化	初期化	保持	
ICSR1	初期化	初期化	保持	保持	初期化	初期化	保持	
ICIC1	初期化	初期化	保持	保持	初期化	初期化	保持	
ICCL1	初期化	初期化	保持	保持	初期化	初期化	保持	
ICCH1	初期化	初期化	保持	保持	初期化	初期化	保持	
CAPSR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CAPCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CAMCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CMCYR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CAMOR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CAPWR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CAIFR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CRCNTR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CRCMPR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CFLCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CFSZR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDWDR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDAYR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDACR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDBYR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDBCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CBDSR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CFWCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CLFCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDOCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDDCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDDAR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CEIER_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CETCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CSTSR_n	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
CSRTR_n	初期化	初期化	保持	保持	初期化	初期化	保持	CEU
CSSSR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDAYR2_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDACR2_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDBYR2_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CDBCR2_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VESTR_n	初期化	初期化	保持	保持	初期化	初期化	保持	VEU
VESWR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VESSR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VSAYR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VSACR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VBSSR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VEDWR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VDAYR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VDACR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VTRCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VRFCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VRFSR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VENHR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VFMCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VVTCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VHTCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VAPCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VECCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VFLCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VAFXR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VSWPR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VEIER_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VEVTR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VSTAR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VBSRR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
VRPBR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BESTR_n	初期化	初期化	保持	保持	初期化	初期化	保持	BEU
BSMWR1_n ~ 3_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BSSZR1_n ~ 3_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BSAYR1_n ~ 3_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BSACR1_n ~ 3_n	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
BSAAR1_n ~ 3_n	初期化	初期化	保持	保持	初期化	初期化	保持	BEU
BSIFR1_n ~ 3_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BTPSR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BMSMWR1_n ~ 4_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BMSSZR1_n ~ 4_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BMSAYR1_n ~ 4_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BMSACR1_n ~ 4_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BMSIFR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BBLCR0_n, 1_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BPROCR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BMWCR0_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BLOCR1_n ~ 3_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BMLOCR1_n ~ 4_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BMPCCR1_n, 2_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BPCCR0_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BPCCR11_n, 12_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BPCCR21_n, 22_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BPCCR31_n, 32_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BDMWR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BDAYR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BDACR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BAFXR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BSWPR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BEIER_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BEVTR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BRCNTR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BSTAR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BBRSTR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BRCHR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BEIMCR00_n, 01_n, 02_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BEIMCR10_n, 11_n, 12_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BEIMCR20_n, 21_n, 22_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BEICBR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BEICOFFR_n	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
BEBMCR00_n、 01_n、02_n	初期化	初期化	保持	保持	初期化	初期化	保持	BEU
BEBMCR10_n、 11_n、12_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BEBMCR20_n、 21_n、22_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BEBCBR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
BEBCOFFR_n	初期化	初期化	保持	保持	初期化	初期化	保持	
CLUT_n	初期化	初期化	保持	保持	初期化	初期化	保持	
JCMOD	初期化	初期化	保持	保持	初期化	初期化	保持	JPU
JCCMD	初期化	初期化	保持	保持	初期化	初期化	保持	
JCSTS	初期化	初期化	保持	保持	初期化	初期化	保持	
JCQTN	初期化	初期化	保持	保持	初期化	初期化	保持	
JCHTN	初期化	初期化	保持	保持	初期化	初期化	保持	
JCDRIU	初期化	初期化	保持	保持	初期化	初期化	保持	
JCDRID	初期化	初期化	保持	保持	初期化	初期化	保持	
JCVSZU	初期化	初期化	保持	保持	初期化	初期化	保持	
JCVSZD	初期化	初期化	保持	保持	初期化	初期化	保持	
JCHSZU	初期化	初期化	保持	保持	初期化	初期化	保持	
JCHSZD	初期化	初期化	保持	保持	初期化	初期化	保持	
JCDTCU	初期化	初期化	保持	保持	初期化	初期化	保持	
JCDTCM	初期化	初期化	保持	保持	初期化	初期化	保持	
JCDTCD	初期化	初期化	保持	保持	初期化	初期化	保持	
JINTE	初期化	初期化	保持	保持	初期化	初期化	保持	
JINTS	初期化	初期化	保持	保持	初期化	初期化	保持	
JCDERR	初期化	初期化	保持	保持	初期化	初期化	保持	
JCRST	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFECNT	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFESYA1	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFESCA1	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFESYA2	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFESCA2	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFESMW	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFESVSZ	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFESHSZ	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFEDA1	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFEDA2	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFEDRSZ	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
JIFDCNT	初期化	初期化	保持	保持	初期化	初期化	保持	JPU
JIFDSA1	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFDSA2	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFDDRSZ	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFDDMW	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFDDVSZ	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFDDHSZ	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFDDYA1	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFDDCA1	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFDDYA2	初期化	初期化	保持	保持	初期化	初期化	保持	
JIFDDCA2	初期化	初期化	保持	保持	初期化	初期化	保持	
JCQTBL0	不定	不定	保持	保持	不定	不定	保持	
JCQTBL1	不定	不定	保持	保持	不定	不定	保持	
JCQTBL2	不定	不定	保持	保持	不定	不定	保持	
JCQTBL3	不定	不定	保持	保持	不定	不定	保持	
JCHTBD0	不定	不定	保持	保持	不定	不定	保持	
JCHTBD0	不定	不定	保持	保持	不定	不定	保持	
JCHTBA0	不定	不定	保持	保持	不定	不定	保持	
JCHTBA0	不定	不定	保持	保持	不定	不定	保持	
JCHTBD1	不定	不定	保持	保持	不定	不定	保持	
JCHTBD1	不定	不定	保持	保持	不定	不定	保持	
JCHTBA1	不定	不定	保持	保持	不定	不定	保持	
JCHTBA1	不定	不定	保持	保持	不定	不定	保持	
LDPR00 - LDPRFF	初期化	初期化	保持	保持	初期化	初期化	保持	LCDC
MLDDCKPAT1R	初期化	初期化	保持	保持	初期化	初期化	保持	
MLDDCKPAT2R	初期化	初期化	保持	保持	初期化	初期化	保持	
LDDCKR	初期化	初期化	保持	保持	初期化	初期化	保持	
LDDCKSTPR	初期化	初期化	保持	保持	初期化	初期化	保持	
MLDMT1R	初期化	初期化	保持	保持	初期化	初期化	保持	
MLDMT2R	初期化	初期化	保持	保持	初期化	初期化	保持	
MLDMT3R	初期化	初期化	保持	保持	初期化	初期化	保持	
MLDDFR	初期化	初期化	保持	保持	初期化	初期化	保持	
MLDSM1R	初期化	初期化	保持	保持	初期化	初期化	保持	
MLDSM2R	初期化	初期化	保持	保持	初期化	初期化	保持	
MLDSA1R	初期化	初期化	保持	保持	初期化	初期化	保持	
MLDSA2R	初期化	初期化	保持	保持	初期化	初期化	保持	
MLDMSLR	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール	
MLDWBFR	初期化	初期化	保持	保持	初期化	初期化	保持	LCDC	
MLDWBCNTR	初期化	初期化	保持	保持	初期化	初期化	保持		
MLDWBAR	初期化	初期化	保持	保持	初期化	初期化	保持		
MLDHCNR	初期化	初期化	保持	保持	初期化	初期化	保持		
MLDHSYNR	初期化	初期化	保持	保持	初期化	初期化	保持		
MLDVLNR	初期化	初期化	保持	保持	初期化	初期化	保持		
MLDVSYNR	初期化	初期化	保持	保持	初期化	初期化	保持		
MLDHPDR	初期化	初期化	保持	保持	初期化	初期化	保持		
MLDVPDR	初期化	初期化	保持	保持	初期化	初期化	保持		
MLDPMR	初期化	初期化	保持	保持	初期化	初期化	保持		
LDPALCR	初期化	初期化	保持	保持	初期化	初期化	保持		
LDINTR	初期化	初期化	保持	保持	初期化	初期化	保持		
LDSR	初期化	初期化	保持	保持	初期化	初期化	保持		
LDCNT1R	初期化	初期化	保持	保持	初期化	初期化	保持		
LDCNT2R	初期化	初期化	保持	保持	初期化	初期化	保持		
LDRCNTR	初期化	初期化	保持	保持	初期化	初期化	保持		
LDDDSR	初期化	初期化	保持	保持	初期化	初期化	保持		
LDRCR	初期化	初期化	保持	保持	初期化	初期化	保持		
LDDWD0R ~ LDDWDFR	初期化	初期化	保持	保持	初期化	初期化	保持		
LDDRDR	初期化	初期化	保持	保持	初期化	初期化	保持		
LDDWAR	初期化	初期化	保持	保持	初期化	初期化	保持		
LDDRAR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUER	初期化	初期化	保持	保持	初期化	初期化	保持		VOU
VOUCR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUSTR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUVCR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUISR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUBCR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUDPR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUSDR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUVPR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUIR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUSR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUMSR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUIR	初期化	初期化	保持	保持	初期化	初期化	保持		
VOUDFR	初期化	初期化	保持	保持	初期化	初期化	保持		

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
VOUAD1R	初期化	初期化	保持	保持	初期化	初期化	保持	VOU
VOUAD2R	初期化	初期化	保持	保持	初期化	初期化	保持	
VOUAIR	初期化	初期化	保持	保持	初期化	初期化	保持	
VOUSWR	初期化	初期化	保持	保持	初期化	初期化	保持	
VOURCR	初期化	初期化	保持	保持	初期化	初期化	保持	
VOURPR	初期化	初期化	保持	保持	初期化	初期化	保持	
MEVCR0	初期化	初期化	保持	保持	初期化	初期化	保持	MERAM
MEVCR1	初期化	初期化	保持	保持	初期化	初期化	保持	
METEIE	初期化	初期化	保持	保持	初期化	初期化	保持	
MEILIE	初期化	初期化	保持	保持	初期化	初期化	保持	
MEACTST	初期化	初期化	保持	保持	初期化	初期化	保持	
METEST	初期化	初期化	保持	保持	初期化	初期化	保持	
MEILWST	初期化	初期化	保持	保持	初期化	初期化	保持	
MEILRST	初期化	初期化	保持	保持	初期化	初期化	保持	
ME00CNTRL ~ ME31CNTRL	初期化	初期化	保持	保持	初期化	初期化	保持	
ME00BSIZE ~ ME31BSIZE	不定	不定	保持	保持	不定	不定	保持	
ME00MCNF ~ ME31MCNF	不定	不定	保持	保持	不定	不定	保持	
ME00SSARA ~ ME31SSARA	不定	不定	保持	保持	不定	不定	保持	
ME00SSARB ~ ME31SSARB	不定	不定	保持	保持	不定	不定	保持	
ME00SBSIZE ~ ME31SBSIZE	不定	不定	保持	保持	不定	不定	保持	
CHSTCLR	初期化	初期化	保持	保持	初期化	初期化	保持	2DDMAC
CHPRI	初期化	初期化	保持	保持	初期化	初期化	保持	
CH0CTRL ~ CH7CTRL	初期化	初期化	保持	保持	初期化	初期化	保持	
CH0SWAP ~ CH7SWAP	初期化	初期化	保持	保持	初期化	初期化	保持	
CH0SAR ~ CH7SAR	初期化	初期化	保持	保持	初期化	初期化	保持	
CH0DAR ~ CH7DAR	初期化	初期化	保持	保持	初期化	初期化	保持	
CH0DPXL ~ CH7DPXL	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
CH0SFMT ~ CH7SFMT	初期化	初期化	保持	保持	初期化	初期化	保持	2DDMAC
CH0DFMT ~ CH7DFMT	初期化	初期化	保持	保持	初期化	初期化	保持	
CH0SARE ~ CH7SARE	初期化	初期化	保持	保持	初期化	初期化	保持	
CH0DARE ~ CH7DARE	初期化	初期化	保持	保持	初期化	初期化	保持	
CH0DPXLE ~ CH7DPXLE	初期化	初期化	保持	保持	初期化	初期化	保持	
TSCTLR	初期化	初期化	保持	保持	初期化	初期化	保持	TSIF
TSPIDR	初期化	初期化	保持	保持	初期化	初期化	保持	
TSCMDR	初期化	初期化	保持	保持	初期化	初期化	保持	
TSSTR	初期化	初期化	保持	保持	初期化	初期化	保持	
TSTSDR	初期化	初期化	保持	保持	初期化	初期化	保持	
TSBUFCLRR	初期化	初期化	保持	保持	初期化	初期化	保持	
TSINTER	初期化	初期化	保持	保持	初期化	初期化	保持	
TSPSCALER	初期化	初期化	保持	保持	初期化	初期化	保持	
TSPSCALERR	初期化	初期化	保持	保持	初期化	初期化	保持	
TSPCRADCMDR	初期化	初期化	保持	保持	初期化	初期化	保持	
TSPCRADCR	初期化	初期化	保持	保持	初期化	初期化	保持	
TSTRPCRADCR	初期化	初期化	保持	保持	初期化	初期化	保持	
TSDPCRADCR	初期化	初期化	保持	保持	初期化	初期化	保持	
TSFRC	初期化	初期化	保持	保持	初期化	初期化	保持	
A_DO_FMT	初期化	初期化	保持	保持	初期化	初期化	保持	FSI
A_DOFF_CTL	初期化	初期化	保持	保持	初期化	初期化	保持	
A_DOFF_ST	初期化	初期化	保持	保持	初期化	初期化	保持	
A_DI_FMT	初期化	初期化	保持	保持	初期化	初期化	保持	
A_DIFF_CTL	初期化	初期化	保持	保持	初期化	初期化	保持	
A_DIFF_ST	初期化	初期化	保持	保持	初期化	初期化	保持	
A_CKG1	初期化	初期化	保持	保持	初期化	初期化	保持	
A_CKG2	初期化	初期化	保持	保持	初期化	初期化	保持	
A_DIDT	初期化	初期化	保持	保持	初期化	初期化	保持	
A_DODT	初期化	初期化	保持	保持	初期化	初期化	保持	
A_MUTE_ST	初期化	初期化	保持	保持	初期化	初期化	保持	
B_DO_FMT	初期化	初期化	保持	保持	初期化	初期化	保持	
B_DOFF_CTL	初期化	初期化	保持	保持	初期化	初期化	保持	
B_DOFF_ST	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
B_DI_FMT	初期化	初期化	保持	保持	初期化	初期化	保持	FSI
B_DIFF_CTL	初期化	初期化	保持	保持	初期化	初期化	保持	
B_DIFF_ST	初期化	初期化	保持	保持	初期化	初期化	保持	
B_CKG1	初期化	初期化	保持	保持	初期化	初期化	保持	
B_CKG2	初期化	初期化	保持	保持	初期化	初期化	保持	
B_DIDT	初期化	初期化	保持	保持	初期化	初期化	保持	
B_DODT	初期化	初期化	保持	保持	初期化	初期化	保持	
B_MUTE_ST	初期化	初期化	保持	保持	初期化	初期化	保持	
INT_ST	初期化	初期化	保持	保持	初期化	初期化	保持	
IEMSK	初期化	初期化	保持	保持	初期化	初期化	保持	
IMSK	初期化	初期化	保持	保持	初期化	初期化	保持	
CLK_RST	初期化	初期化	保持	保持	初期化	初期化	保持	
SOFT_RST	初期化	初期化	保持	保持	初期化	初期化	保持	
FIFO_SZ	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_CONTROL1	初期化	初期化	保持	保持	初期化	初期化	保持	ATAPI
ATAPI_STATUS	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_INT_ENABLE	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_DTB_ADR	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_DMA_START_ADR	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_DMA_TRANS_CNT	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_CONTROL2	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_SIG_ST	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_BYTE_SWAP	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_PIO_TIMING1	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_PIO_TIMING2	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_MULTITIMING	初期化	初期化	保持	保持	初期化	初期化	保持	
ATAPI_ULTRATIMING	初期化	初期化	保持	保持	初期化	初期化	保持	
EDMR	初期化	初期化	保持	保持	初期化	初期化	保持	EtherMAC
EDTRR	初期化	初期化	保持	保持	初期化	初期化	保持	
EDRRR	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
TDLAR	初期化	初期化	保持	保持	初期化	初期化	保持	EtherMAC
RDLAR	初期化	初期化	保持	保持	初期化	初期化	保持	
EESR	初期化	初期化	保持	保持	初期化	初期化	保持	
EESIPR	初期化	初期化	保持	保持	初期化	初期化	保持	
TRSCER	初期化	初期化	保持	保持	初期化	初期化	保持	
RMFCR	初期化	初期化	保持	保持	初期化	初期化	保持	
TFTR	初期化	初期化	保持	保持	初期化	初期化	保持	
FDR	初期化	初期化	保持	保持	初期化	初期化	保持	
RMCR	初期化	初期化	保持	保持	初期化	初期化	保持	
TFUCR	初期化	初期化	保持	保持	初期化	初期化	保持	
RFOCR	初期化	初期化	保持	保持	初期化	初期化	保持	
FCFTR	初期化	初期化	保持	保持	初期化	初期化	保持	
TRIMD	初期化	初期化	保持	保持	初期化	初期化	保持	
ECMR	初期化	初期化	保持	保持	初期化	初期化	保持	
RFLR	初期化	初期化	保持	保持	初期化	初期化	保持	
ECSR	初期化	初期化	保持	保持	初期化	初期化	保持	
ECSIPR	初期化	初期化	保持	保持	初期化	初期化	保持	
PIR	初期化	初期化	保持	保持	初期化	初期化	保持	
PSR	初期化	初期化	保持	保持	初期化	初期化	保持	
RDMLR	初期化	初期化	保持	保持	初期化	初期化	保持	
IPGR	初期化	初期化	保持	保持	初期化	初期化	保持	
APR	初期化	初期化	保持	保持	初期化	初期化	保持	
MPR	初期化	初期化	保持	保持	初期化	初期化	保持	
RFCF	初期化	初期化	保持	保持	初期化	初期化	保持	
TPAUSER	初期化	初期化	保持	保持	初期化	初期化	保持	
TPAUSECR	初期化	初期化	保持	保持	初期化	初期化	保持	
ECMR	初期化	初期化	保持	保持	初期化	初期化	保持	
RFLR	初期化	初期化	保持	保持	初期化	初期化	保持	
ECSR	初期化	初期化	保持	保持	初期化	初期化	保持	
ECSIPR	初期化	初期化	保持	保持	初期化	初期化	保持	
PIR	初期化	初期化	保持	保持	初期化	初期化	保持	
PSR	初期化	初期化	保持	保持	初期化	初期化	保持	
RDMLR	初期化	初期化	保持	保持	初期化	初期化	保持	
IPGR	初期化	初期化	保持	保持	初期化	初期化	保持	
APR	初期化	初期化	保持	保持	初期化	初期化	保持	
MPR	初期化	初期化	保持	保持	初期化	初期化	保持	
RFCF	初期化	初期化	保持	保持	初期化	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
TPAUSER	初期化	初期化	保持	保持	初期化	初期化	保持	EtherMAC
TPAUSECR	初期化	初期化	保持	保持	初期化	初期化	保持	
MAHR	初期化	初期化	保持	保持	初期化	初期化	保持	
MALR	初期化	初期化	保持	保持	初期化	初期化	保持	
TROCR	初期化	初期化	保持	保持	初期化	初期化	保持	
CDCR	初期化	初期化	保持	保持	初期化	初期化	保持	
LCCR	初期化	初期化	保持	保持	初期化	初期化	保持	
CNDCR	初期化	初期化	保持	保持	初期化	初期化	保持	
CEFCR	初期化	初期化	保持	保持	初期化	初期化	保持	
FRECR	初期化	初期化	保持	保持	初期化	初期化	保持	
TSFRCR	初期化	初期化	保持	保持	初期化	初期化	保持	
TLFRCR	初期化	初期化	保持	保持	初期化	初期化	保持	
RFCR	初期化	初期化	保持	保持	初期化	初期化	保持	
MAFCR	初期化	初期化	保持	保持	初期化	初期化	保持	
PACR	初期化	保持	保持	-	保持	初期化	保持	PFC
PBCR	初期化	保持	保持	-	保持	初期化	保持	
PCCR	初期化	保持	保持	-	保持	初期化	保持	
PDCR	初期化	保持	保持	-	保持	初期化	保持	
PECR	初期化	保持	保持	-	保持	初期化	保持	
PFCR	初期化	保持	保持	-	保持	初期化	保持	
PGCR	初期化	保持	保持	-	保持	初期化	保持	
PHCR	初期化	保持	保持	-	保持	初期化	保持	
PJCR	初期化	保持	保持	-	保持	初期化	保持	
PKCR	初期化	保持	保持	-	保持	初期化	保持	
PLCR	初期化	保持	保持	-	保持	初期化	保持	
PMCR	初期化	保持	保持	-	保持	初期化	保持	
PNCR	初期化	保持	保持	-	保持	初期化	保持	
PQCR	初期化	保持	保持	-	保持	初期化	保持	
PRCR	初期化	保持	保持	-	保持	初期化	保持	
PSCR	初期化	保持	保持	-	保持	初期化	保持	
PTCR	初期化	保持	保持	-	保持	初期化	保持	
PUCR	初期化	保持	保持	-	保持	初期化	保持	
PVCR	初期化	保持	保持	-	保持	初期化	保持	
PWCR	初期化	保持	保持	-	保持	初期化	保持	
PXCR	初期化	保持	保持	-	保持	初期化	保持	
PYCR	初期化	保持	保持	-	保持	初期化	保持	
PZCR	初期化	保持	保持	-	保持	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
PSELA	初期化	保持	保持	-	保持	初期化	保持	PFC
PSELB	初期化	保持	保持	-	保持	初期化	保持	
PSELC	初期化	保持	保持	-	保持	初期化	保持	
PSELD	初期化	保持	保持	-	保持	初期化	保持	
HIZCRA	初期化	保持	保持	-	保持	初期化	保持	
HIZCRB	初期化	保持	保持	-	保持	初期化	保持	
HIZCRC	初期化	保持	保持	-	保持	初期化	保持	
HIZCRD	初期化	保持	保持	-	保持	初期化	保持	
MSELCRA	初期化	保持	保持	-	保持	初期化	保持	
MSELCRB	初期化	保持	保持	-	保持	初期化	保持	
PULCR	初期化	保持	保持	-	保持	初期化	保持	
DRVCRA	初期化	保持	保持	-	保持	初期化	保持	
DRVCRB	初期化	保持	保持	-	保持	初期化	保持	
SBSCR	初期化	保持	保持	-	保持	初期化	保持	
PADR	初期化	保持	保持	-	保持	初期化	保持	
PBDR	初期化	保持	保持	-	保持	初期化	保持	
PCDR	初期化	保持	保持	-	保持	初期化	保持	
PDDR	初期化	保持	保持	-	保持	初期化	保持	
PEDR	初期化	保持	保持	-	保持	初期化	保持	
PFDR	初期化	保持	保持	-	保持	初期化	保持	
PGDR	初期化	保持	保持	-	保持	初期化	保持	
PHDR	初期化	保持	保持	-	保持	初期化	保持	
PJDR	初期化	保持	保持	-	保持	初期化	保持	
PKDR	初期化	保持	保持	-	保持	初期化	保持	
PLDR	初期化	保持	保持	-	保持	初期化	保持	
PMDR	初期化	保持	保持	-	保持	初期化	保持	
PNDR	初期化	保持	保持	-	保持	初期化	保持	
PQDR	初期化	保持	保持	-	保持	初期化	保持	
PRDR	初期化	保持	保持	-	保持	初期化	保持	
PSDR	初期化	保持	保持	-	保持	初期化	保持	
PTDR	初期化	保持	保持	-	保持	初期化	保持	
PUDR	初期化	保持	保持	-	保持	初期化	保持	
PVDR	初期化	保持	保持	-	保持	初期化	保持	
PWDR	初期化	保持	保持	-	保持	初期化	保持	
PXDR	初期化	保持	保持	-	保持	初期化	保持	
PYDR	初期化	保持	保持	-	保持	初期化	保持	
PZDR	初期化	保持	保持	-	保持	初期化	保持	

略称	パワーオン リセット	マニュアル リセット	ソフトウェア スタンバイ	モジュール スタンバイ	R-スタンバイ	U-スタンバイ	スリープ	モジュール
CBR0	H'2000 0000	保持	保持	保持	保持*2	保持*2	保持	UBC
CRR0	H'0000 2000	保持	保持	保持	保持*2	保持*2	保持	
CAR0	不定	保持	保持	保持	保持*2	保持*2	保持	
CAMR0	不定	保持	保持	保持	保持*2	保持*2	保持	
CBR1	H'2000 0000	保持	保持	保持	保持*2	保持*2	保持	
CRR1	H'0000 2000	保持	保持	保持	保持*2	保持*2	保持	
CAR1	不定	保持	保持	保持	保持*2	保持*2	保持	
CAMR1	不定	保持	保持	保持	保持*2	保持*2	保持	
CDR1	不定	保持	保持	保持	保持*2	保持*2	保持	
CDMR1	不定	保持	保持	保持	保持*2	保持*2	保持	
CETR1	不定	保持	保持	保持	保持*2	保持*2	保持	
CCMFR	H'0000 0000	保持	保持	保持	保持*2	保持*2	保持	
CBCR	H'0000 0000	保持	保持	保持	保持*2	保持*2	保持	
SDIR	H'0EFF	保持	保持	保持	保持*2	保持*2	保持	H-UDI
SDDR/SDDRH	不定	保持	保持	保持	保持*2	保持*2	保持	
SDDRL	不定	保持	保持	保持	保持*2	保持*2	保持	
SDINT	H'0000	保持	保持	保持	保持*2	保持*2	保持	

【注】 *1 初期化されないビットがあります。

*2 MPMD 端子 = ロー時。MPMD 端子がハイ状態のときは、パワーオンリセットと同じになります。

52. 電気的特性

52.1 絶対最大定格

絶対最大定格を表 52.1 に示します。

表52.1 絶対最大定格

項目	記号	定格値	単位
電源電圧 (I/O)	VccQ、VccQ1、VccQ_LCD、VccQ_VIO、 VccQ_MMC、VccQ_SR、VccQ_SDC	- 0.3 ~ 4.6	V
電源電圧 (DDR)	VccQ_DDR	- 0.3 ~ 2.6	V
電源電圧 (内部)	VDD、VDD_PLL、VDD_FLL	- 0.3 ~ 1.8	V
入力電圧 (VBUS 端子以外)	V _{in}	- 0.3 ~ VccQ + 0.3	V
入力電圧 (VBUS 端子)	V _{in_VBUS}	- 0.3 ~ 5.5	V
アナログ電源電圧 (USB I/O)	AV33、DV33	- 0.3 ~ 4.6	V
アナログ電源電圧 (USB 内部)	AV12、DV12、UV12	- 0.3 ~ 1.8	V
保存温度	T _{stg}	- 55 ~ 125	

【使用上の注意】 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

52.2 推奨動作条件

推奨動作条件を表 52.2 に示します。次節以降に記載したスペックは、特に断りがないかぎり、表 52.2 の条件での使用を前提としています。

表52.2 推奨動作条件

項目	記号	Min.	Typ.	Max.	単位	備考		
動作温度範囲 (周囲温度 Ta) 型名によって異なります	T _{opr}	-40	-	85		R8A77240D500BG		
		-20	-	70		R8A77240B500BB		
電源 電圧	コア電源	V _{DD}	1.15	-	1.3	V	M1 125MHz	
			1.25	-	1.35	V	M1 166MHz	
	I/O 電源	V _{CCQ}	2.7	3.3	3.6	V		
			V _{CCQ1}	1.65/2.7	1.8/3.3	1.95/3.6	V	
			V _{CCQ_LCD}	1.65/2.7	1.8/3.3	1.95/3.6	V	
			V _{CCQ_VIO}	1.65/2.7	1.8/3.3	1.95/3.6	V	
			V _{CCQ_MMC}	1.65/2.7	1.8/3.3	1.95/3.6	V	
			V _{CCQ_SR}	1.65/2.7	1.8/3.3	1.95/3.6	V	
	PLL 用電源	V _{DD_PLL}	1.15	-	1.3	V	M1 125MHz	
			1.25	-	1.35	V	M1 166MHz	
	FLL 用電源	V _{DD_FLL}	1.15	-	1.3	V	M1 125MHz	
			1.25	-	1.35	V	M1 166MHz	
	DDR 用電源	V _{CCQ_DDR}	1.7	1.8	1.9	V		
	USB アナログ 1.2V 電源	AV12	1.15	-	1.35	V		
	USB デジタル 1.2V 電源	UV12	1.15	-	1.35	V		
	USB デジタル 1.2V 電源	DV12	1.15	-	1.35	V		
	USB アナログ 3.3V 電源	AV33	3.0	3.3	3.6	V		
	USB デジタル 3.3V 電源	DV33	3.0	3.3	3.6	V		
	DDR2 参照電圧 (MVREF 端子)*	V _{ref}	0.49 × V _{CCQ_DDR}	0.50 × V _{CCQ_DDR}	0.51 × V _{CCQ_DDR}	V		

【注】 すべての電源端子は常時電源を供給し、V_{SS} 端子は必ずシステムのグラウンド (0V) に接続してください。

* V_{ref} 電圧は、V_{CCQ_DDR} 電源から抵抗分圧で生成してください。

52.3 電源投入および切断順序

マスタ I/O 電源 (V_{CCQ})、その他の I/O 電源 (V_{CCQ1} 、 V_{CCQ_LCD} 、 V_{CCQ_MMC} 、 V_{CCQ_SDC} 、 V_{CCQ_SR} 、 V_{CCQ_VIO} 、 $DV33$ 、 $AV33$ 、 V_{CCQ_DDR})、1.2V 系電源 (V_{DD} 、 V_{DD_PLL} 、 V_{DD_FLL} 、 $DV12$ 、 $AV12$ 、 $UV12$) の電源投入、電源切断の順序について以下に規定します。

52.3.1 電源の投入順序について

電源投入シーケンスの例を図 52.1 に示します。以下の手順に従って電源を投入してください。

1. V_{CCQ} 電源を最初に投入してください。このとき、 \overline{RESETP} をVIL以下のローレベルにしてください。
2. V_{CCQ} の電圧が「表52.2 推奨動作条件」で規定するMin値以上になるまで待ちます。
3. V_{CCQ} 以外のI/O電源を投入してください。投入順序は任意（順不同）です。
4. 1.2V系電源を投入してください。
5. すべての電源投入が完了後、 \overline{RESETP} を解除してください。

V_{CCQ} に供給する電源電圧は、以下の条件を満たすように設定してください。

$V_{CCQ}+0.3V$ その他のI/O電源

クロックモード 3~7 を使用する場合は、 RTC_CLK の供給が必要です。 V_{CCQ} 電源を投入した後、1.2V 系電源を投入するまでに RTC_CLK を入力してください。

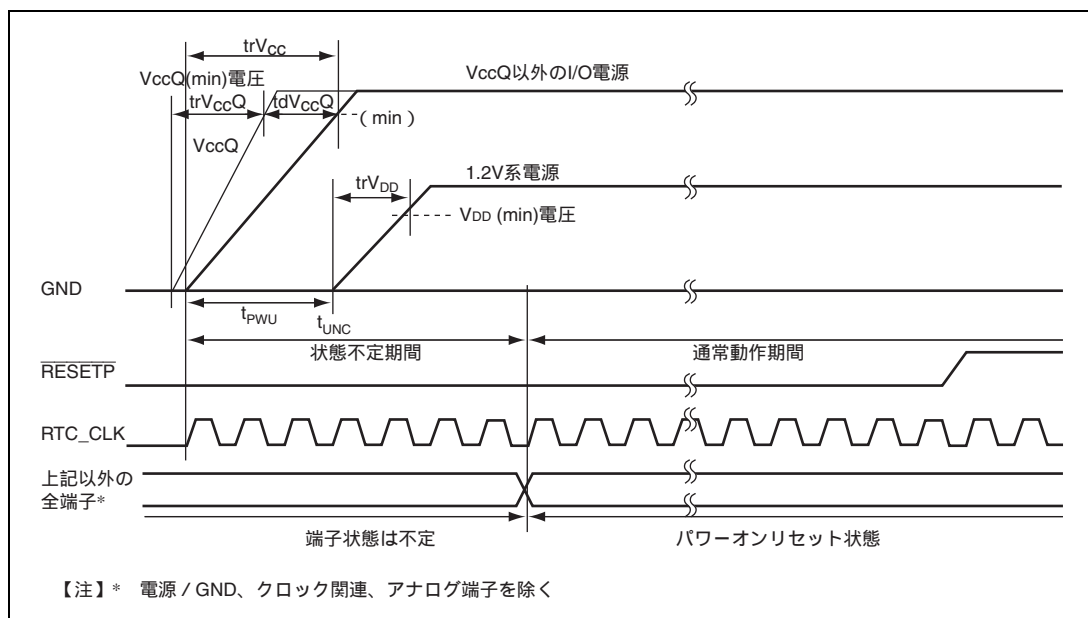


図52.1 電源投入シーケンス

表52.3 電源投入時間推奨値

項目	記号	時間	単位
V _{CCQ} 電源安定時間	trV _{CCQ}	300	μs
V _{CC} 電源間安定時間差 * ¹	tdV _{CCQ}	0	ms
3.3V 系 V _{CC} - 1.2V 系電源投入時間差	tp _{WU}	0 ~ 10	ms
V _{DD} 電源安定時間	trV _{DD}	1	ms
状態不定時間	t _{UNC}	tp _{WU} + trV _{DD} + 3t _{Rcyc} * ²	ms

【注】 I/O 電源は、極力同時に投入してください。上記は推奨値であり、厳密な設定を要求するものではありません。

*¹ tdV_{CCQ} は、V_{CCQ} 電源が安定した状態から他の I/O 電源が安定するまでの時間差です。

*² t_{Rcyc} は、CPG で生成される RCLK クロックの 1 サイクル期間を示します。

端子状態は、状態不定期間 t_{UNC} の後、パワーオンリセット状態に確定します。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

52.3.2 電源の切断順序について

電源切断シーケンスの例を図 52.2 に示します。以下の手順に従って電源を投入してください。

1. 1.2V系電源を切断してください。
2. V_{CCQ}以外のI/O電源を切断してください。切断順序は任意（順不同）です。
3. 最後にV_{CCQ}を切断してください。

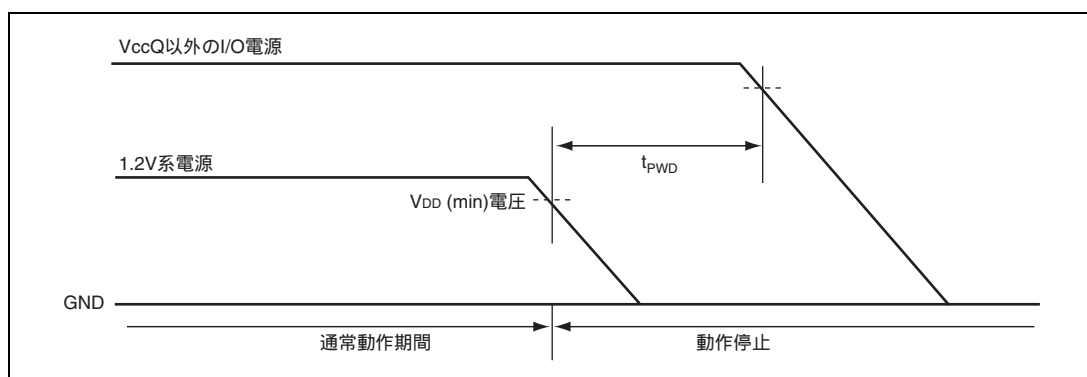


図52.2 電源切断シーケンス

表52.4 電源切断時間推奨値

項目	記号	時間	単位
1.2V 系 V _{DD} - 3.3V 系 V _{CCQ} 電源切断時間差	tp _{WD}	0 ~ 10	ms

【注】 上記は推奨値であり、厳密な設定を要求するものではありません。

52.4 DC 特性

DC 特性を表 52.5、表 52.6、表 52.7 に示します。

表52.5 DC 電圧特性

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力ハイ レベル電圧	システム制御 (VccQ)	V _{IH}	VccQ × 0.8	-	VccQ + 0.3	V	
	外部バスインタフェース (VccQ1)		VccQ1 × 0.8	-	VccQ1 + 0.3	V	
	SDRAM インタフェース (VccQ_DDR, MSLD 端子以外)		VccQ_DDR × 0.8	-	VccQ_DDR + 0.3	V	(LPDDR 時)
			Vref + 0.2	-	-	V	(DDR2 時、AC)
	SDRAM インタフェース (VccQ_DDR, MSLD 端子)		Vref + 0.125	-	VccQ_DDR + 0.3	V	(DDR2 時、DC)
			VccQ_DDR × 0.8	-	VccQ_DDR + 0.3	V	
	LCD インタフェース (VccQ_LCD)		VccQ_LCD × 0.8	-	VccQ_LCD + 0.3	V	
	VIO (VccQ_VIO)		VccQ_VIO × 0.8	-	VccQ_VIO + 0.3	V	
	MMC インタフェース (VccQ_MMC)		VccQ_MMC × 0.8	-	VccQ_MMC + 0.3	V	
	SDHI (VccQ_SDC)		VccQ_SDC × 0.8	-	VccQ_SDC + 0.3	V	
	シリアルインタフェース (VccQ_SR)		VccQ_SR × 0.8	-	VccQ_SR + 0.3	V	
入力ロー レベル電圧	システム制御 (VccQ)	V _{IL}	-0.3	-	VccQ × 0.2	V	
	外部バスインタフェース (VccQ1)		-0.3	-	VccQ1 × 0.2	V	
	SDRAM インタフェース (VccQ_DDR, MSLD 端子以外)		-0.3	-	VccQ_DDR × 0.2	V	(LPDDR 時)
			-	-	Vref - 0.2	V	(DDR2 時、AC)
	SDRAM インタフェース (VccQ_DDR, MSLD 端子)		-0.3	-	Vref - 0.125	V	(DDR2 時、DC)
			-0.3	-	VccQ_DDR × 0.2	V	
	LCD インタフェース (VccQ_LCD)		-0.3	-	VccQ_LCD × 0.2	V	
	VIO (VccQ_VIO)		-0.3	-	VccQ_VIO × 0.2	V	
	MMC インタフェース (VccQ_MMC)		-0.3	-	VccQ_MMC × 0.2	V	
	SDHI (VccQ_SDC)		-0.3	-	VccQ_SDC × 0.2	V	
	シリアルインタフェース (VccQ_SR)		-0.3	-	VccQ_SR × 0.2	V	

項目		記号	Min.	Typ.	Max.	単位	測定条件	
AC 差動入力電圧	SDRAM インタフェース (VccQ_DDR、差動入力端子)	V _{ID}	0.5	-	VccQ_DDR + 0.6	V	(DDR2 時、AC)	
AC 差動入力クロック電圧	SDRAM インタフェース (VccQ_DDR、差動入力端子)	V _{ix}	VccQ_DDR × 0.5 - 0.175	-	VccQ_DDR × 0.5 + 0.175	V	(DDR2 時、AC)	
出力ハイレベル電圧	システム制御 (VccQ、XTAL、XTALUSB 端子以外)	V _{OH}	VccQ × 0.8	-	-	V	VccQ=2.7 ~ 3.6V、 I _{OH} = - 2mA	
			VccQ × 0.9	-	-	V	VccQ=2.7 ~ 3.6V、 I _{OH} = - 200 μA	
	外部バスインタフェース (VccQ1)		VccQ1 × 0.8	-	-	V	VccQ1=2.7 ~ 3.6V、 I _{OH} = - 2mA	
			VccQ1 × 0.9	-	-	V	VccQ1=2.7 ~ 3.6V、 I _{OH} = - 200 μA	
			VccQ1 × 0.8	-	-	V	VccQ1=1.65 ~ 1.95V、 I _{OH} = - 2mA	
			VccQ1 × 0.9	-	-	V	VccQ1=1.65 ~ 1.95V、 I _{OH} = - 200 μA	
			LCD インタフェース (VccQ_LCD)	VccQ_LCD × 0.8	-	-	V	VccQ_LCD=2.7 ~ 3.6V、 I _{OH} = - 2mA
				VccQ_LCD × 0.9	-	-	V	VccQ_LCD=2.7 ~ 3.6V、 I _{OH} = - 200 μA
	VccQ_LCD × 0.8			-	-	V	VccQ_LCD=1.65 ~ 1.95V、 I _{OH} = - 2mA	
	VccQ_LCD × 0.9			-	-	V	VccQ_LCD=1.65 ~ 1.95V、 I _{OH} = - 200 μA	

項目		記号	Min.	Typ.	Max.	単位	測定条件
出力ハイ レベル電圧	VIO (VccQ_VIO)	VOH	VccQ_VIO × 0.8	-	-	V	VccQ_VIO=2.7 ~ 3.6V、 IOH = - 2mA
			VccQ_VIO × 0.9	-	-	V	VccQ_VIO=2.7 ~ 3.6V、 IOH = - 200 μA
			VccQ_VIO × 0.8	-	-	V	VccQ_VIO=1.65 ~ 1.95V、 IOH = - 2mA
			VccQ_VIO × 0.9	-	-	V	VccQ_VIO=1.65 ~ 1.95V、 IOH = - 200 μA
	MMC インタフェース (VccQ_MMC)		VccQ_MMC × 0.8	-	-	V	VccQ_MMC=2.7 ~ 3.6V、 IOH = - 2mA
			VccQ_MMC × 0.9	-	-	V	VccQ_MMC=2.7 ~ 3.6V、 IOH = - 200 μA
			VccQ_MMC × 0.8	-	-	V	VccQ_MMC=1.65 ~ 1.95V、 IOH = - 2mA
			VccQ_MMC × 0.9	-	-	V	VccQ_MMC=1.65 ~ 1.95V、 IOH = - 200 μA
	SDHI (VccQ_SDC)		VccQ_SDC × 0.8	-	-	V	VccQ_MMC=2.7 ~ 3.6V、 IOH = - 2mA
			VccQ_SDC × 0.9	-	-	V	VccQ_MMC=2.7 ~ 3.6V、 IOH = - 200 μA
	シリアルインタフェース (VccQ_SR)		VccQ_SR × 0.8	-	-	V	VccQ_SR=2.7 ~ 3.6V、 IOH = - 2mA
			VccQ_SR × 0.9	-	-	V	VccQ_SR=2.7 ~ 3.6V、 IOH = - 200 μA
			VccQ_SR × 0.8	-	-	V	VccQ_SR=1.65 ~ 1.95V、 IOH = - 2mA
			VccQ_SR × 0.9	-	-	V	VccQ_SR=1.65 ~ 1.95V、 IOH = - 200 μA

項目		記号	Min.	Typ.	Max.	単位	測定条件
出力ロー レベル電圧	システム制御 (VccQ、XTAL、 XTALUSB 端子以外)	VoL	-	-	$V_{ccQ} \times 0.2$	V	$V_{ccQ}=2.7 \sim 3.6V$ 、 $I_{OL} = 2mA$
	外部バスインタフェース (VccQ1)		-	-	$V_{ccQ1} \times 0.2$	V	$V_{ccQ1}=2.7 \sim 3.6V$ 、 $I_{OL} = 2mA$
			-	-	$V_{ccQ1} \times 0.2$	V	$V_{ccQ1}=1.65 \sim$ $1.95V$ 、 $I_{OL} = 2mA$
	LCD インタフェース (VccQ_LCD)		-	-	$V_{ccQ_LCD} \times 0.2$	V	$V_{ccQ_LCD}=2.7 \sim$ $3.6V$ 、 $I_{OL} = 2mA$
			-	-	$V_{ccQ_LCD} \times 0.2$	V	$V_{ccQ_LCD}=1.65 \sim$ $1.95V$ 、 $I_{OL} = 2mA$
	(VccQ_VIO、 SDA1/SCL1 端子以外)		-	-	$V_{ccQ_VIO} \times 0.2$	V	$V_{ccQ_VIO}=2.7 \sim$ $3.6V$ 、 $I_{OL} = 2mA$
			-	-	$V_{ccQ_VIO} \times 0.2$	V	$V_{ccQ_VIO}=1.65 \sim$ $1.95V$ 、 $I_{OL} = 2mA$
	MMC インタフェース (VccQ_MMC)		-	-	$V_{ccQ_MMC} \times 0.2$	V	$V_{ccQ_MMC}=2.7 \sim$ $3.6V$ 、 $I_{OL} = 2mA$
			-	-	$V_{ccQ_MMC} \times 0.2$	V	$V_{ccQ_MMC}=1.65 \sim$ $1.95V$ 、 $I_{OL} = 2mA$
	SDHI (VccQ_SDC)		-	-	$V_{ccQ_SDC} \times 0.2$	V	$V_{ccQ_MMC}=2.7 \sim$ $3.6V$ 、 $I_{OL} = 2mA$
	シリアルインタフェース (VccQ_SR、 SDA0/SCL0 端子以外)		-	-	$V_{ccQ_SR} \times 0.2$	V	$V_{ccQ_SR}=2.7 \sim$ $3.6V$ 、 $I_{OL} = 2mA$
			-	-	$V_{ccQ_SR} \times 0.2$	V	$V_{ccQ_SR}=1.65 \sim$ $1.95V$ 、 $I_{OL} = 2mA$
	SDA0、SCL0 端子		-	-	0.4	V	$V_{ccQ_SR}=2.7 \sim 3.6V$
			-	-	$V_{ccQ_SR} \times 0.15$	V	$V_{ccQ_SR}=1.65 \sim$ $1.95V$
	SDA1、SCL1 端子		-	-	0.4	V	$V_{ccQ_VIO}=2.7 \sim$ $3.6V$
			-	-	$V_{ccQ_VIO} \times 0.15$	V	$V_{ccQ_VIO}=1.65 \sim$ $1.95V$

項 目		記号	Min.	Typ.	Max.	単位	測定条件
出力ロー レベル許容 電流	SDA0、SCL0 端子	IoL	-	-	10	mA	VccQ_SR=2.7 ~ 3.6V
			-	-	5	mA	VccQ_SR=1.65 ~ 1.95V
	SDA1、SCL1 端子		-	-	10	mA	VccQ_VIO=2.7 ~ 3.6V
			-	-	5	mA	VccQ_VIO=1.65 ~ 1.95V

表52.6 DC 電流特性

項目	記号	Min.	Typ.	Max.	単位	測定条件	
消費電流	通常動作時	I _{DD}	-	380	520	mA	V _{DD} = 1.2V, MCLK = 166.7MHz I = 500MHz, B = 83.4MHz M1 = 83.4MHz
			-	425	580	mA	V _{DD} = 1.3V, MCLK = 166.7MHz I = 500MHz, B = 83.4MHz, M1 = 166.7MHz
	I _{CC}	-	-	100	mA	V _{CCQ} = 3.3V, V _{CCQ_DDR} = 1.8V B = 83.4MHz, MCLK = 166.7MHz BSC用データバス幅 16ビット	
	I _{CC_DDR} (DDR2)	-	-	450			
	I _{CC_DDR} (LPDDR)	-	-	80			
	スリープ モード時*	I _{DD} (V _{DD} = 1.2V)	-	100	200	mA	*: リフレッシュサイクル以外の外部バスサイクルがないとき *: 全モジュールストップ: ON V _{CCQ} = 3.3V, V _{CCQ_DDR} = 1.8V B = 83.4MHz, MCLK = 166.7MHz
		I _{DD} (V _{DD} = 1.3V)	-	110	220		
		I _{CC}	-	-	30		
		I _{CC_DDR}	-	-	50		
	ソフトウェア スタンバイ モード時	I _{stby}	-	3	20	mA	T _a = 25 V _{CCQ} = 3.3V, V _{CCQ_DDR} = 1.8V V _{DD} = 1.2V
R-スタンバイ モード時	I _{rstby}	-	-	50	μA	T _a = 25 V _{CCQ} = 3.3V, V _{CCQ_DDR} = 1.8V V _{DD} = 1.2V	
U-スタンバイ モード時	I _{ustby}	-	-	40	μA	入力クロックオフ	
入力リーク電 流	DBSC 関連端子、 RESETP 端子を 除く入力端子	I _{in}	-	-	1	μA	V _{in} = 0.5 ~ V _{CCQ} - 0.5V
	DBSC 関連端子	I _{inSB}	-	-	3		
スリーステ ートリーク電 流	DBSC 関連端子 を除く、入出力、 出力端子 (オフ状態)	I _{st1}	-	-	1	μA	V _{in} = 0.5 ~ V _{CCQ} - 0.5V
	DBSC 関連端子	I _{st1SB}	-	-	3		
ブルアップ/ ブルダウン 抵抗	ポート端子	P _{pull}	40	-	300	k	V _{CCQ} = 2.7 ~ 3.6V
			90		800	k	V _{CCQ} = 1.65 ~ 1.95V
端子容量	DBSC 関連端子	C _{SB}	-	-	10	pF	
	全端子	C	-	-	10	pF	

【注】 1. 消費電流値は、V_{IHmin} = V_{CCQ} - 0.5V、V_{ILmax} = 0.5V の条件で、すべての出力端子を無負荷状態にした場合の値です。

2. I_{DD} は V_{DD}、V_{DD-PLL}、V_{DD-FLL}、DV12、AV12、UV12 端子に流れる電流の合計、I_{CC} は V_{CCQ}、V_{CCQ1}、V_{CCQ_LCD}、V_{CCQ_VIO}、V_{CCQ_MMC}、V_{CCQ_SR}、V_{CCQ_SDC}、DV33、AV33 端子に流れる電流の合計、I_{CC_DDR} は V_{CC_DDR} に流れる電流、I_{stby} はスタンバイモード時の I_{DD} と I_{CC}、I_{CC_DDR} の合計、I_{rstby} は R-スタンバイモード時の I_{DD} と I_{CC}、I_{CC_DDR} の合計、I_{ustby} は U-スタンバイモード時の I_{DD} と I_{CC}、I_{CC_DDR} の合計です。

表52.7 出力許容電流値

項目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (1 端子当たり)	IoL	-	-	2.0	mA
出力ローレベル許容電流 (総和)	IoL	-	-	40	mA
出力ハイレベル許容電流 (1 端子当たり)	- IoH	-	-	2.0	mA
出力ハイレベル許容電流 (総和)	(- IoH)	-	-	40	mA
I ² C 出力ローレベル許容電流 (SCL、SDA)	IoL	-	-	10	mA

【注】 LSI の信頼性を確保するため、出力電流値は本表の値を超えないようにしてください。

52.5 AC 特性

本 LSI の入力は、原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ、ホールド時間は必ず守ってください。

1.8V/3.3V 選択可能な I/O 電源で 1.65 ~ 1.95V の電圧を供給する場合は、I/O バッファのドライブ能力を最大に設定することを前提にしたスペックになります。I/O バッファのドライブ能力設定については「第 48 章 ピンファンクションコントローラ (PFC)」を参照してください。

52.5.1 動作周波数

表52.8 動作周波数範囲

項目		記号	Min.	Typ.	Max.	単位	備考
動作周波数	CPU、FPU、キャッシュ (I)	f	10	-	500	MHz	
	SuperHyway バス (S)、 DBSC クロック (MCLK)		10	-	166.7		
	VPU クロック (M1)		10	-	125		
			10	-	166.7		V _{DD} =1.25V ~ 1.35V
	BSC バス (B)		10	-	83.4		
	SPU クロック (SPUCK)		10	-	83.4		
	周辺モジュール (P)		2.5	-	41.7		
	FSI クロック A (FSICKA)		-	-	41.7		
	FSI クロック B (FSICKB)		-	-	41.7		
	IrDA クロック (IrDACK)		-	-	41.7		
	ビデオクロック (VIO_CKO)		-	-	83.4		

52.5.2 クロックタイミング

表52.9 クロックタイミング

項目	記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	fEX	15	50	MHz	52.3
EXTAL クロック入力サイクル時間	tEXcyc	20	66.7	ns	
EXTAL クロック入力ローレベルパルス幅	tEXL	4.5	-	ns	
EXTAL クロック入力ハイレベルパルス幅	tEXH	4.5	-	ns	
EXTAL クロック入力立ち上がり時間	tEXr	-	3	ns	
EXTAL クロック入力立ち下がり時間	tEXf	-	3	ns	
RTC_CLK クロック入力周波数	fRCLK	32	33	kHz	
RTC_CLK クロック入力サイクル時間	tRCLKcyc	30.3	31.3	μs	
RTC_CLK クロック入力ローレベルパルス幅	tRCLKL	10	-	μs	
RTC_CLK クロック入力ハイレベルパルス幅	tRCLKH	10	-	μs	
RTC_CLK クロック入力立ち上がり時間	tRCLKr	-	200	ns	
RTC_CLK クロック入力立ち下がり時間	tRCLKf	-	200	ns	
CKO クロック出力周波数	fCKO	5	83.4	MHz	52.4
CKO クロック出力サイクル時間	tCKOcyc	12	200	ns	
CKO クロック出力ローレベルパルス幅	tCKOL	3	-	ns	
CKO クロック出力ハイレベルパルス幅	tCKOH	3	-	ns	
CKO クロック出力立ち上がり時間	tCKOr	-	3	ns	
CKO クロック出力立ち下がり時間	tCKOf	-	3	ns	
RESETP 入力パルス幅 (クロックモード 0、1、3~5、7)	tRESPW	4	-	tRcyc	52.5
RESETP 入力パルス幅 (クロックモード 2、6)	tRESPW	10	-	ms	
RESETOUT アサート時間 (クロックモード 0~2、4~7)	tRESOUTM0	-	300	μs	
RESETOUT アサート時間 (クロックモード 3)	tRESOUTM0	-	2.3	ms	
ソフトウェアスタンバイ復帰時間 (クロックモード 0~2、4~7)	tsOSM0	-	300	μs	52.6
ソフトウェアスタンバイ復帰時間 (クロックモード 3)	tsOSM0	-	2.3	ms	
R-スタンバイ復帰時間 (クロックモード 0~2、4~7)	tROSM0	-	560	μs	52.7、52.8
R-スタンバイ復帰時間 (クロックモード 3)	tROSM0	-	2.5	ms	

【注】 tRcyc は CPG で生成される RCLK クロックの 1 サイクル時間を示します。

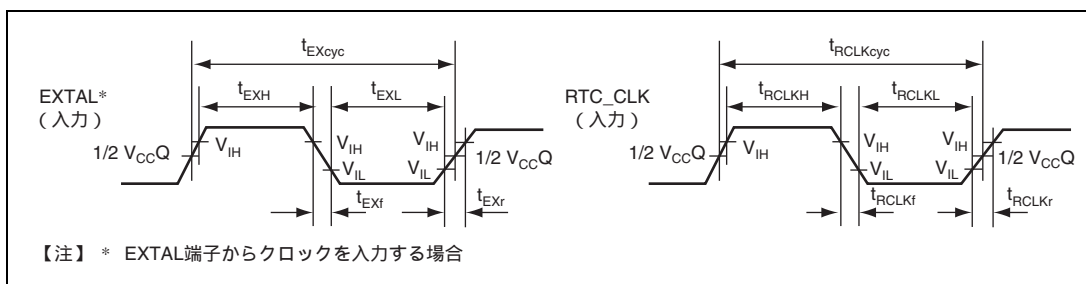


図52.3 EXTAL、RTC_CLK クロック入力タイミング

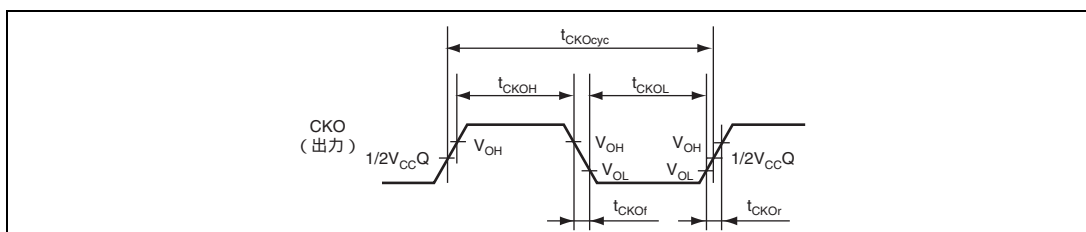


図52.4 CKO クロック出力タイミング

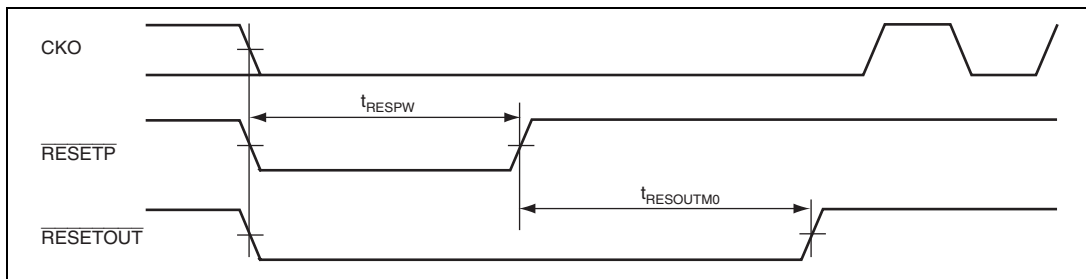


図52.5 パワーオン発振安定時間

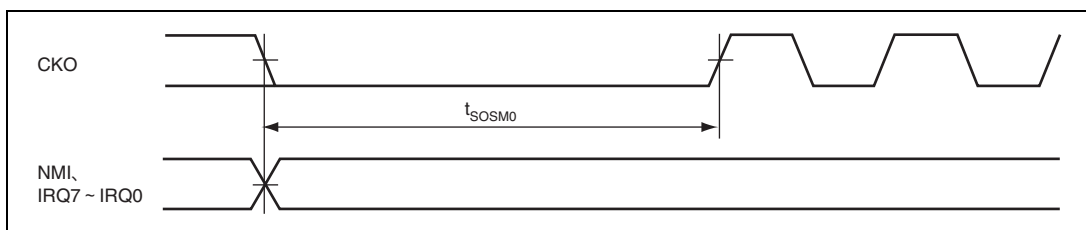


図52.6 NMI、IRQによるソフトウェアスタンバイ復帰時発振安定時間

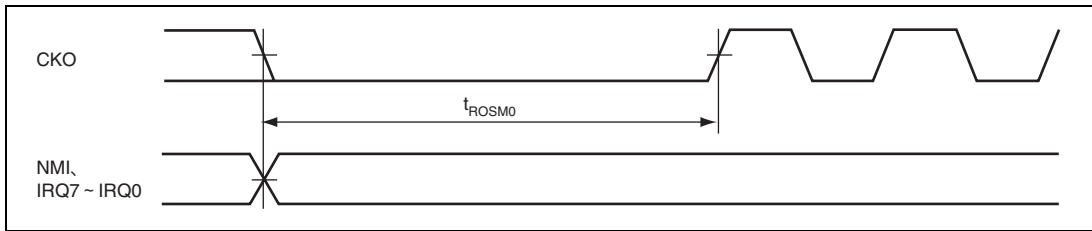


図52.7 NMI、IRQ による R-スタンバイ復帰時発振安定時間

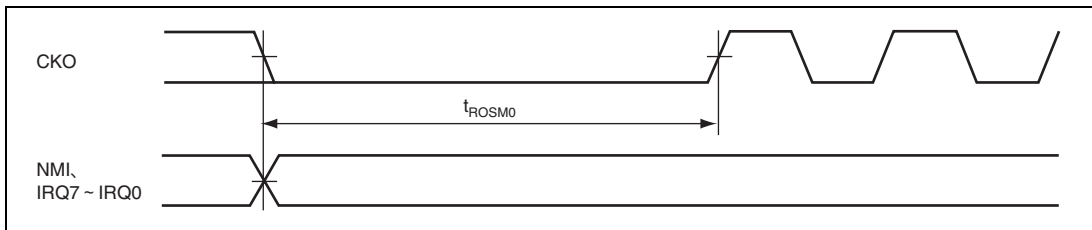


図52.8 NMI、IRQ による R-スタンバイ復帰時発振安定時間（クロックモード3）

52.5.3 割り込み信号タイミング

表52.10 割り込み信号タイミング

項目	記号	Min.	Max.	単位	参照図
NMI セットアップ時間*	t_{NMIS}	12	-	ns	52.9
NMI ホールド時間	t_{NMIH}	6	-	ns	
IRQ7 ~ IRQ0 セットアップ時間*	t_{IRQS}	12	-	ns	
IRQ7 ~ IRQ0 ホールド時間	t_{IRQH}	6	-	ns	

【注】 * NMI および IRQ7 ~ IRQ0 は非同期信号です。ここに示されたセットアップ時間が守られた場合、クロックの立ち上がりで変化が検出されます。セットアップ時間が守られない場合、次のクロックの立ち上がりエッジまで検出が遅れることがあります。

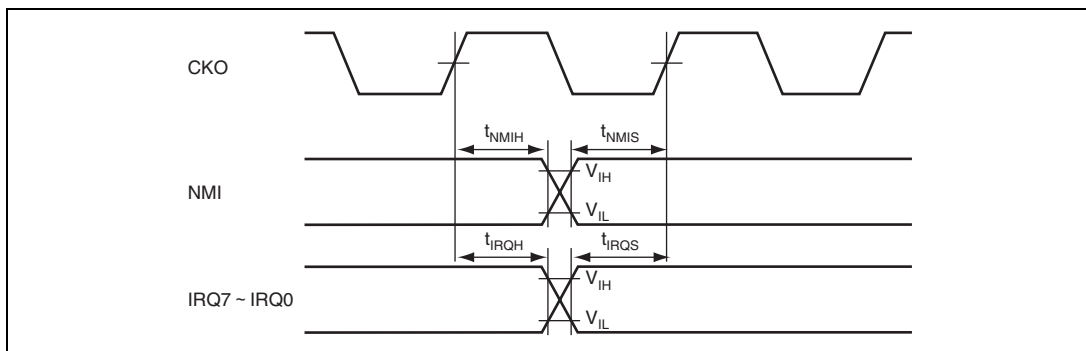


図52.9 割り込み信号入力タイミング

52.5.4 BSC バスタイミング仕様

表52.11 BSC バスタイミング

項目	記号	Min.	Max.	単位	参照図
アドレス遅延時間 1	tAD1	1	12	ns	52.10 ~ 52.23
アドレス遅延時間 2	tAD2	$1/2 \times t_{cyc}$	$1/2 \times t_{cyc} + 12$	ns	52.19
アドレスセットアップ時間	tAS	0	-	ns	52.10 ~ 52.19
アドレスホールド時間	tAH	0	-	ns	52.14
\overline{CS} 遅延時間 1	tCSD1	1	12	ns	52.10 ~ 52.19、 52.21 ~ 52.24
リードライト遅延時間 1	trWD1	1	12	ns	52.10 ~ 52.19、 52.21 ~ 52.24
リードライト遅延時間 2	trWD2	$1/2 \times t_{cyc}$	$1/2 \times t_{cyc} + 12$	ns	52.16
リードストロブ遅延時間	trSD	$1/2 \times t_{cyc}$	$1/2 \times t_{cyc} + 12$	ns	52.10 ~ 52.19、 52.21、52.22
リードデータセットアップ時間 1	trDS1	$1/2 \times t_{cyc} + 8$	-	ns	52.10 ~ 52.16、 52.21 ~ 52.24
リードデータセットアップ時間 3	trDS3	$1/2 \times t_{cyc} + 8$	-	ns	52.17 ~ 52.19
リードデータホールド時間 1	trDH1	0	-	ns	52.10 ~ 52.16、 52.21 ~ 52.24
リードデータホールド時間 3	trDH3	0	-	ns	52.17 ~ 52.19
ライトイネーブル遅延時間 1	twED1	$1/2 \times t_{cyc}$	$1/2 \times t_{cyc} + 12$	ns	52.10 ~ 52.18、 52.21、52.22
ライトイネーブル遅延時間 2	twED2	0	12	ns	52.16、52.17
ライトデータ遅延時間 1	twDD1	-	12	ns	52.10 ~ 52.18、 52.21 ~ 52.24
ライトデータホールド時間 1	twDH1	1	-	ns	52.10 ~ 52.16、 52.21 ~ 52.24
ライトデータホールド時間 4	twDH4	0	-	ns	52.10
WAIT セットアップ時間 1	twTS1	$1/2 \times t_{cyc} + 7$	-	ns	52.10 ~ 52.19、 52.24
WAIT ホールド時間 1	twTH1	$1/2 \times t_{cyc} + 6$	-	ns	52.10 ~ 52.19、 52.24
BS 遅延時間 1	tbSD1	-	12	ns	52.10 ~ 52.16、 52.21 ~ 52.24
ライトデータホールド時間 5	twDH5	1	-	ns	52.21 ~ 52.24
$\overline{ICIOR\overline{D}}$ 遅延時間	tICRSD	-	$1/2 \times t_{cyc} + 12$	ns	52.23、52.24
$\overline{ICIOR\overline{R}}$ 遅延時間	tICWSD	-	$1/2 \times t_{cyc} + 12$	ns	52.23、52.24
$\overline{IOIS16}$ セットアップ時間	tIO16S	$1/2 \times t_{cyc} + 6$	-	ns	52.24
$\overline{IOIS16}$ ホールド時間	tIO16H	$1/2 \times t_{cyc} + 4$	-	ns	52.24
アドレス遅延時間 4	tAD4	-4.0	3.5	ns	52.20

項目	記号	Min.	Max.	単位	参照図
CS 遅延時間 4	tCSD4	-4.0	3.0	ns	52.20
BS 遅延時間	tBSD	-4.0	3.5	ns	52.20
リードライト遅延時間 4	trWD4	-4.0	3.5	ns	52.20
リードストロブ遅延時間 4	trSD	-4.0	5.5	ns	52.20
リードデータセットアップ時間 4	trDS4	5.5	-	ns	52.20
リードデータホールド時間 4	trDH4	1.5	-	ns	52.20
ライトイネーブル遅延時間 4	twED4	-4.0	5.5	ns	52.20
ライトデータ遅延時間 4	twDD4	-	5.5	ns	52.20
ライトデータホールド時間 6	twDH6	-4.0	-	ns	52.20

【注】 表中の t_{cyc} は CKO クロック出力サイクル時間 $t_{CKO_{cyc}}$ を示します。

CS アサート開始 (H->L) 時

通常空間、非同期バースト ROM、バイト選択付き SRAM、PCMCIA の初回ライトアクセス時は min 側スペックは無効です。

CS ネゲート (L->H) 時

通常空間、バイト選択付き SRAM、PCMCIA のリードアクセス時で連続した後続アクセスが無いとき、CS 信号ネゲートの 1 サイクル後にアドレス信号が変化します。

この場合は max 側スペックは無効になります。

また、PCMCIA (IO カード) のライトアクセス時は、連続アクセス時も CS 信号ネゲートの 1 サイクル後にアドレス信号が変化しますので、max 側スペックは無効です。

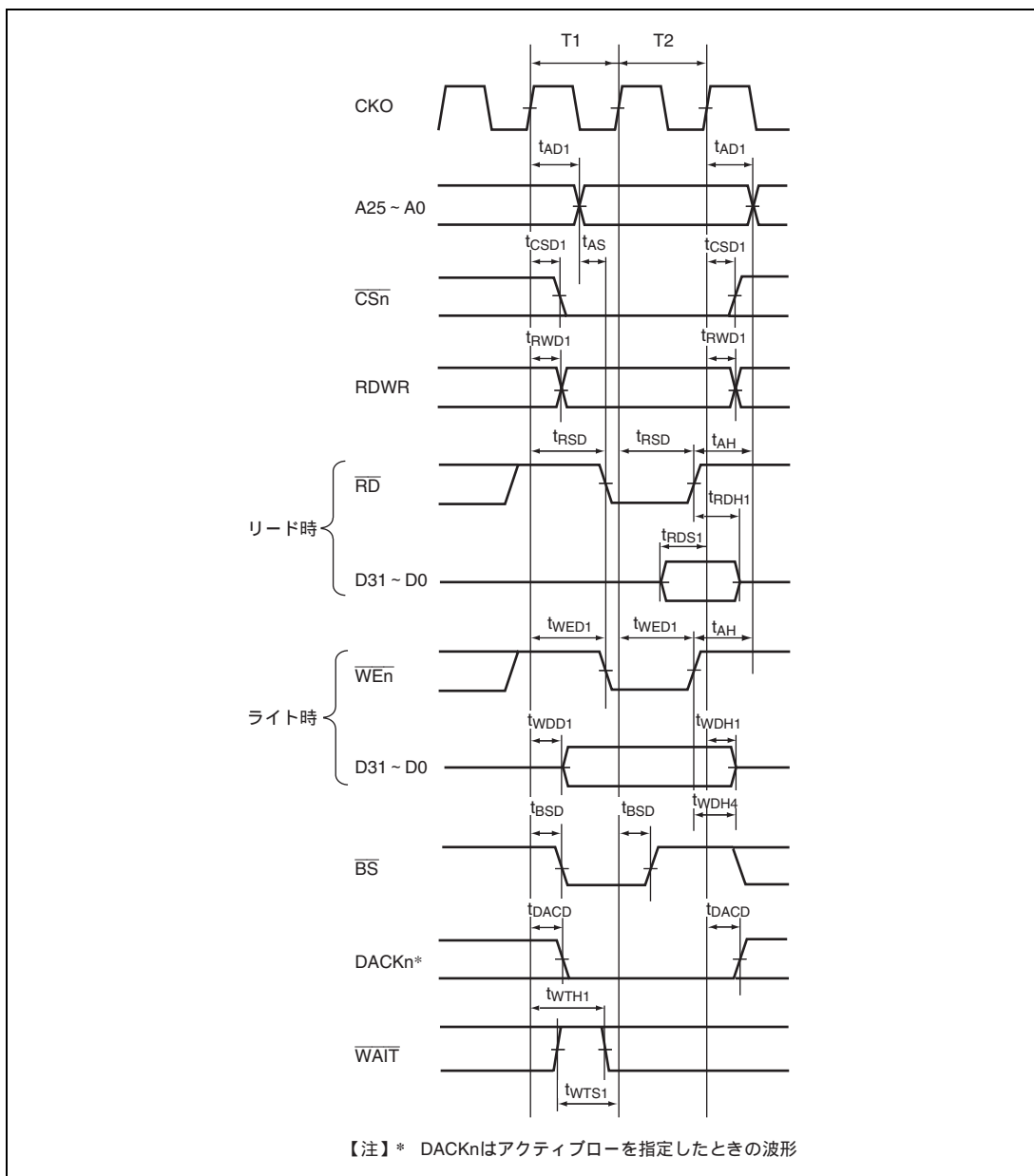


図52.10 通常空間基本バスサイクル(ノーウェイト)

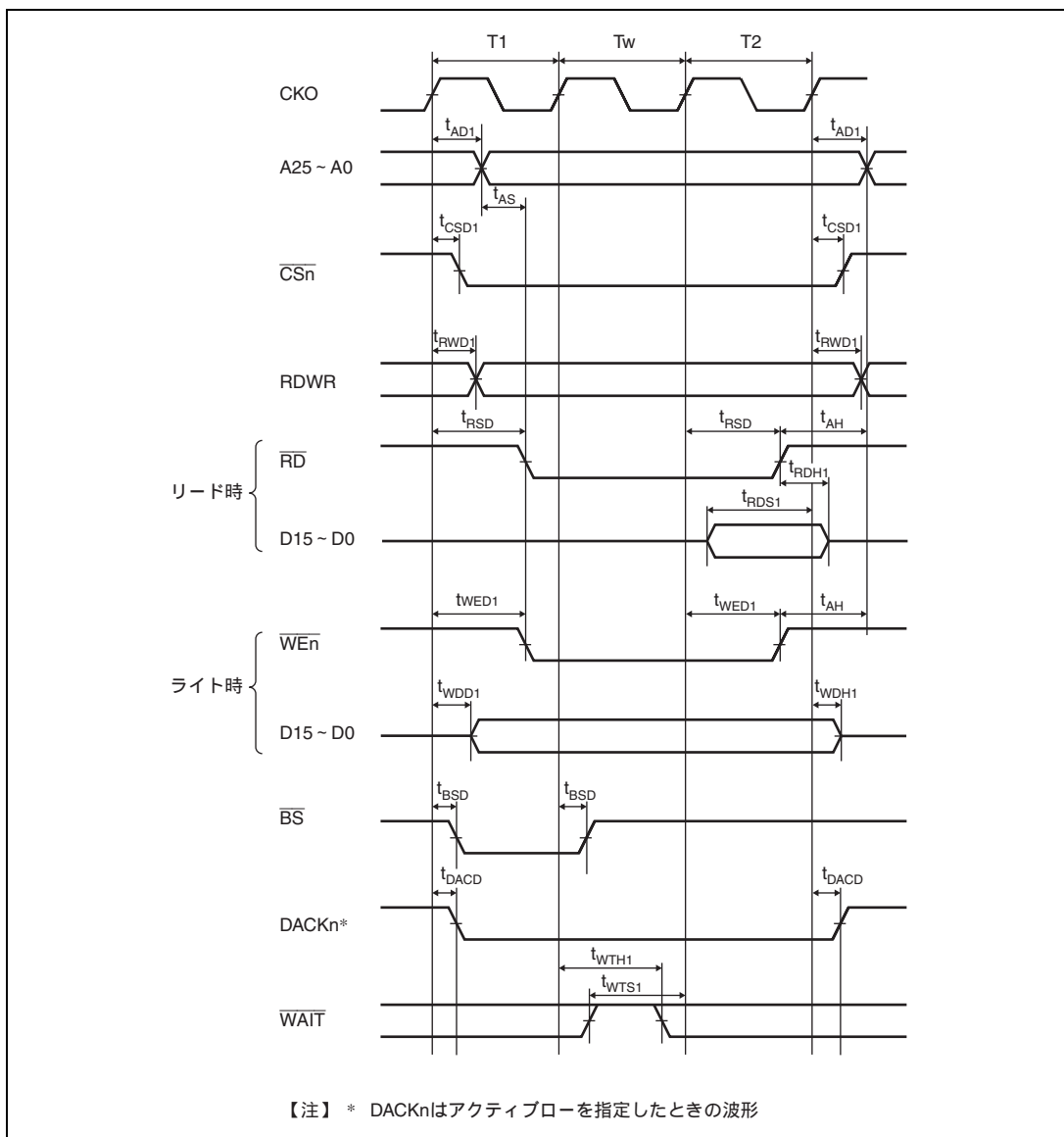


図52.11 通常空間基本バスサイクル(ソフトウェアウェイト1)

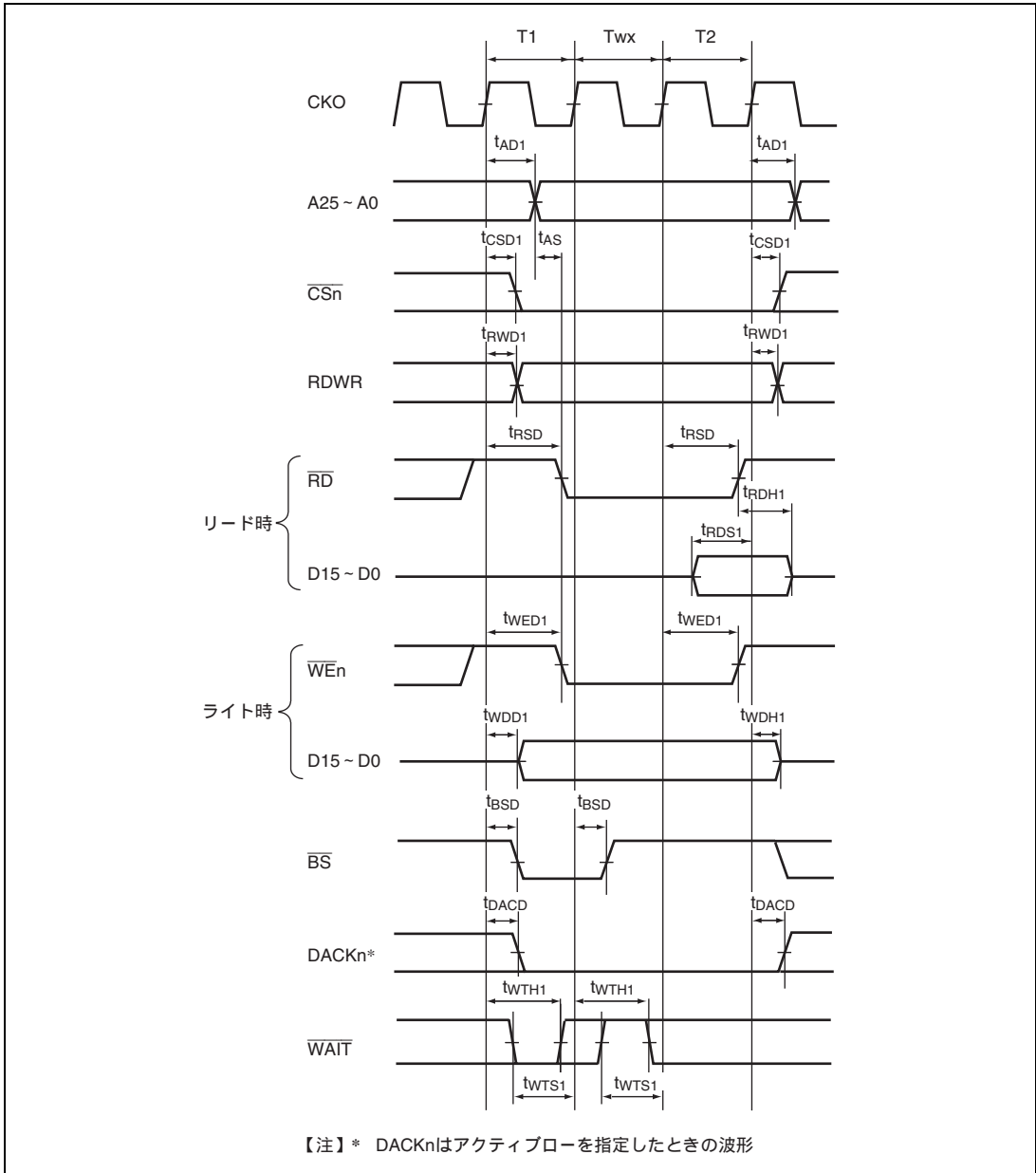


図52.12 通常空間基本バスサイクル（非同期外部ウェイト1挿入）

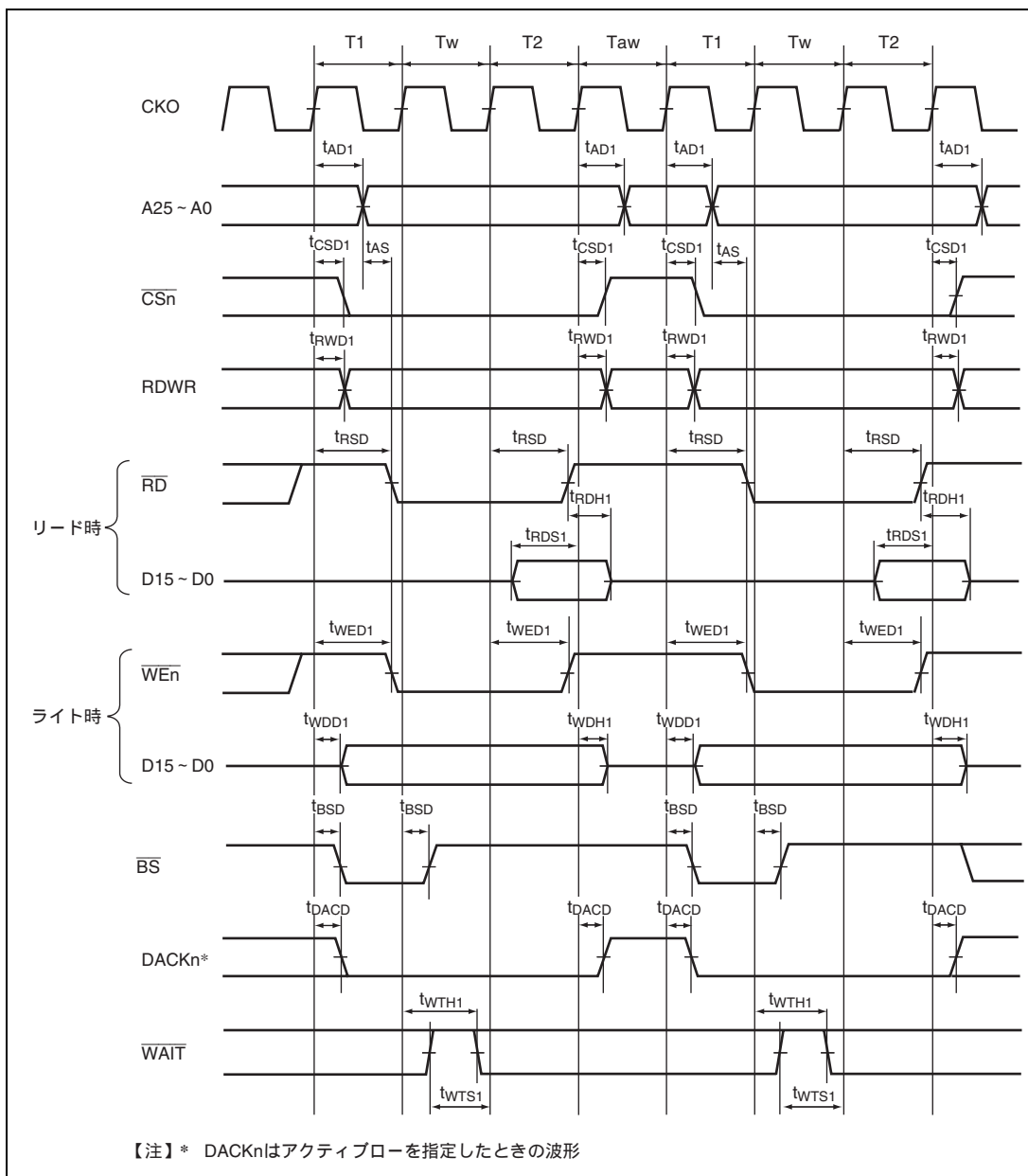


図52.13 通常空間基本バスサイクル

(ソフトウェアウェイト1、非同期外部ウェイト有効(WMビット=0)、アイドルサイクルなし設定)

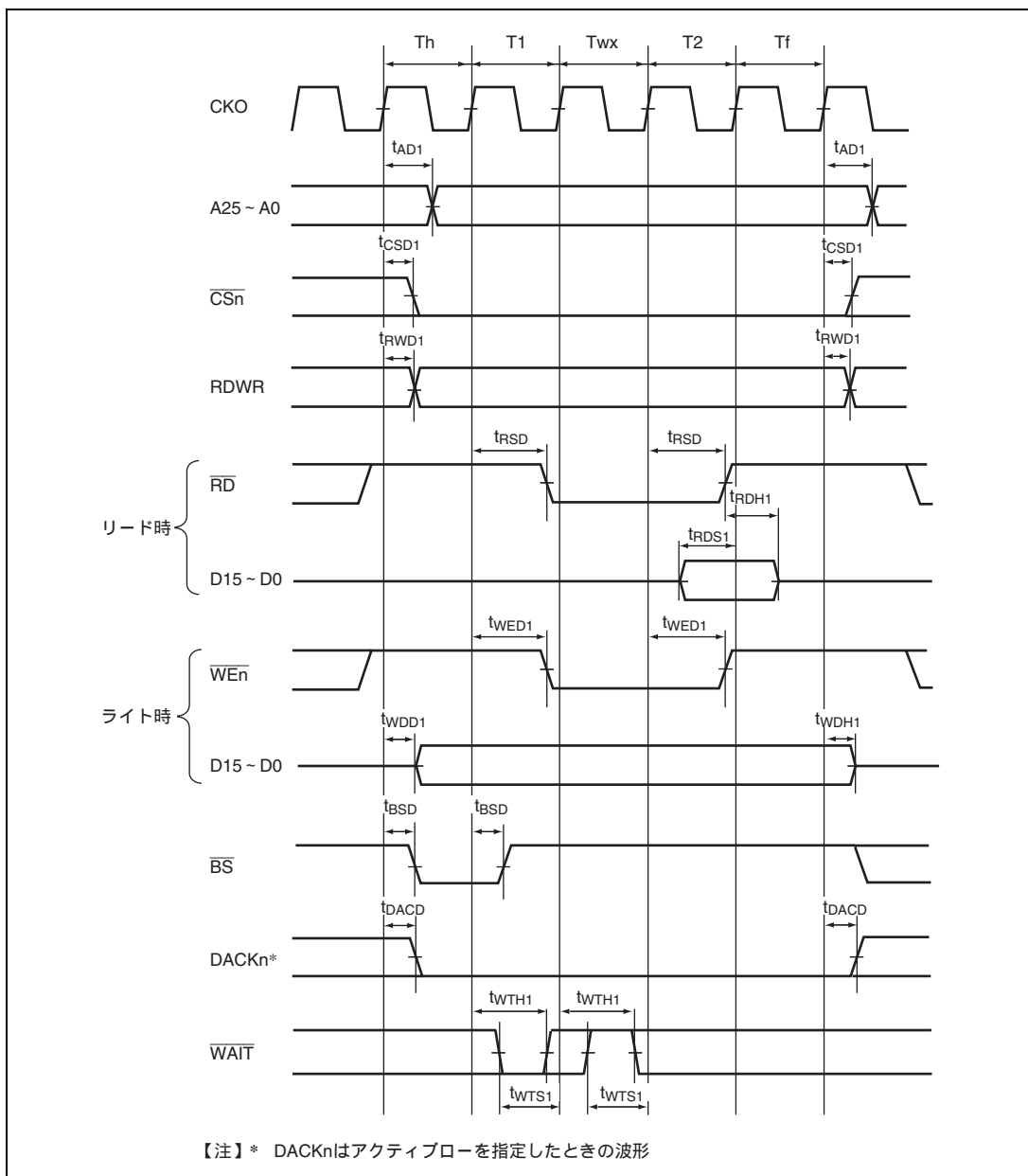


図52.14 通常空間 CS 拡張バスサイクル
 (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入)

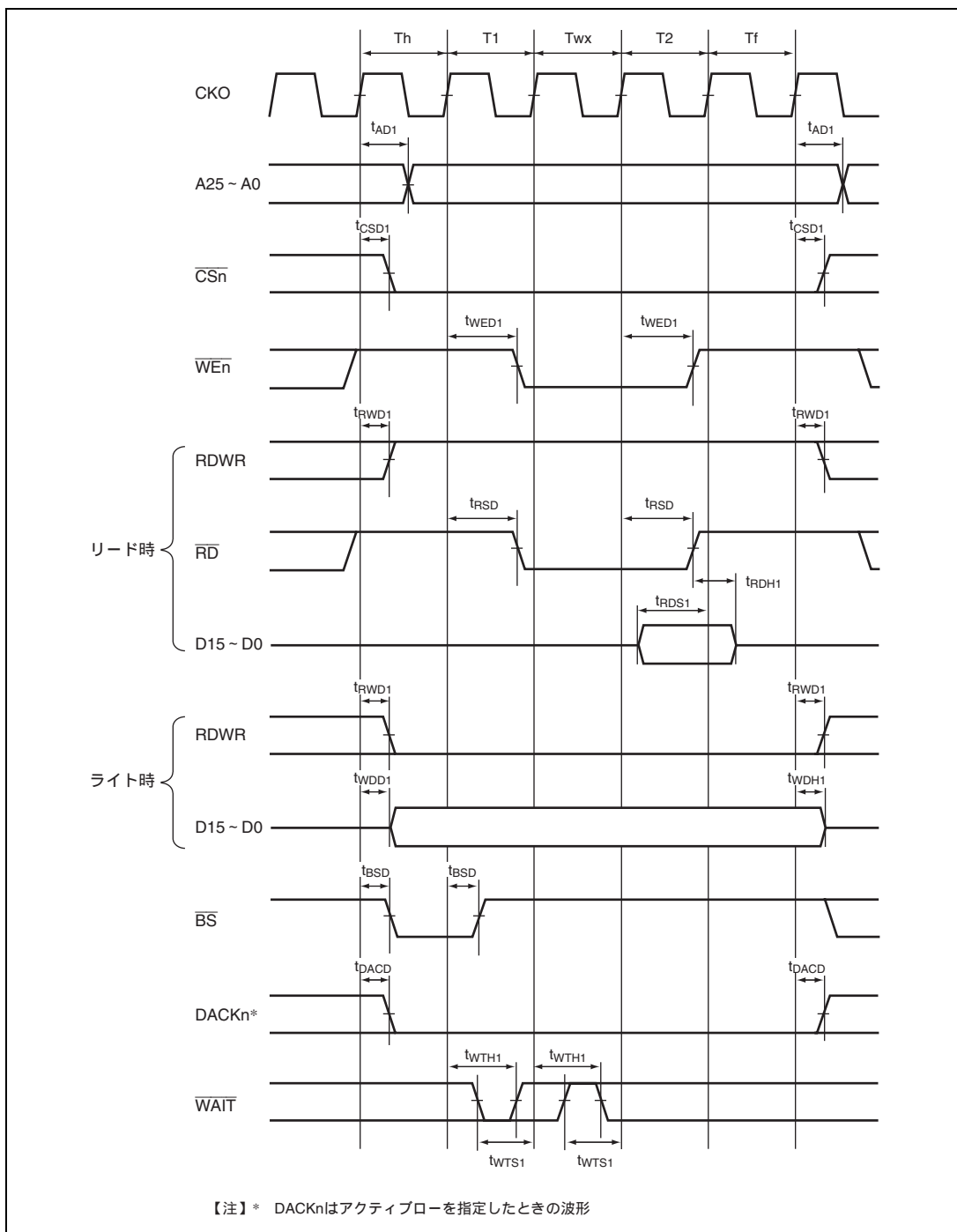


図52.15 バイト選択付き SRAM バスサイクル
 (SW = 1 サイクル、HW = 1 サイクル、非同期外部ウェイト 1 挿入、
 BAS = 0 (ライトサイクル UB、LB コントロール))

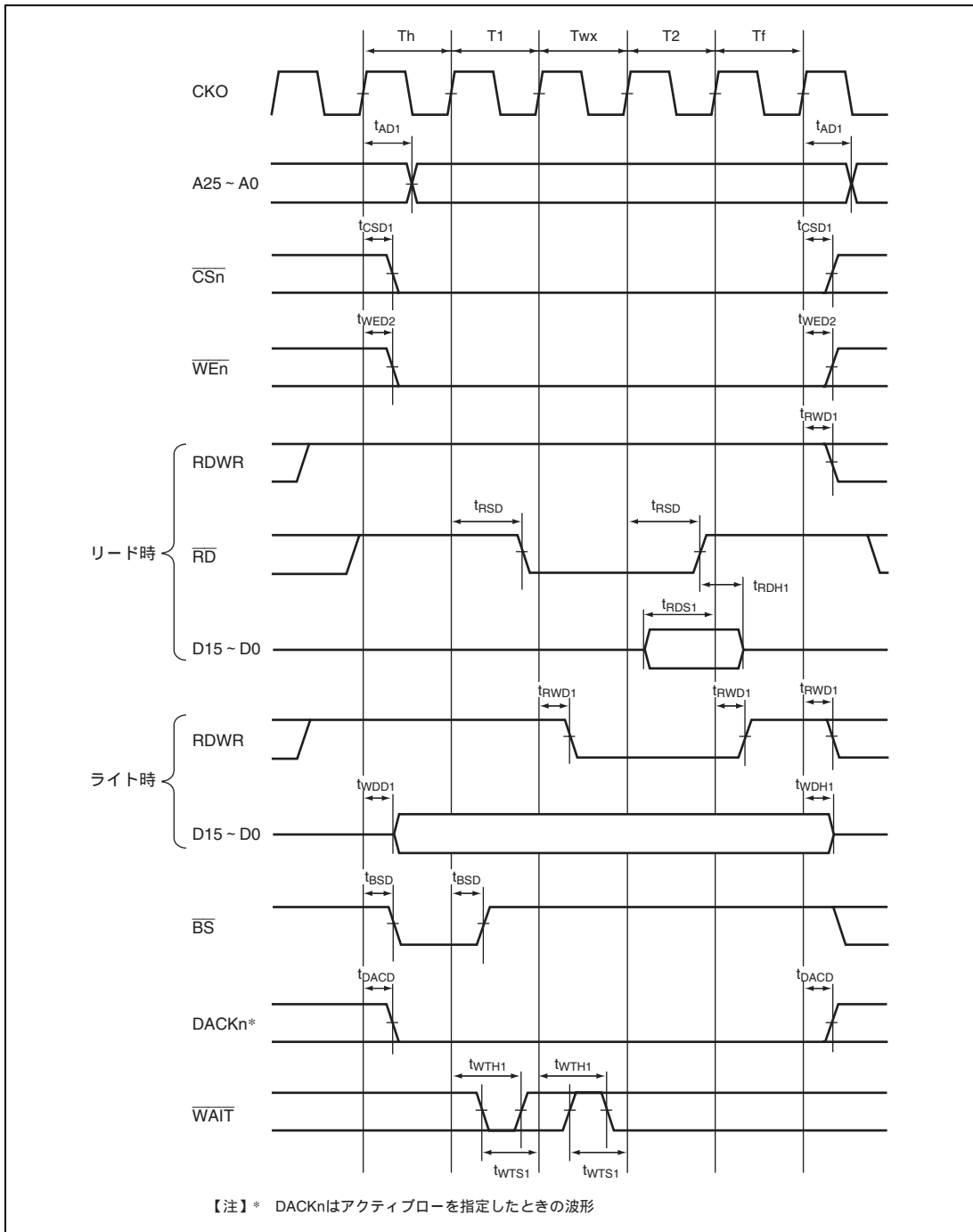


図52.16 バイト選択付き SRAM バスサイクル

(SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト1 挿入、BAS=1 (ライトサイクル WE コントロール))

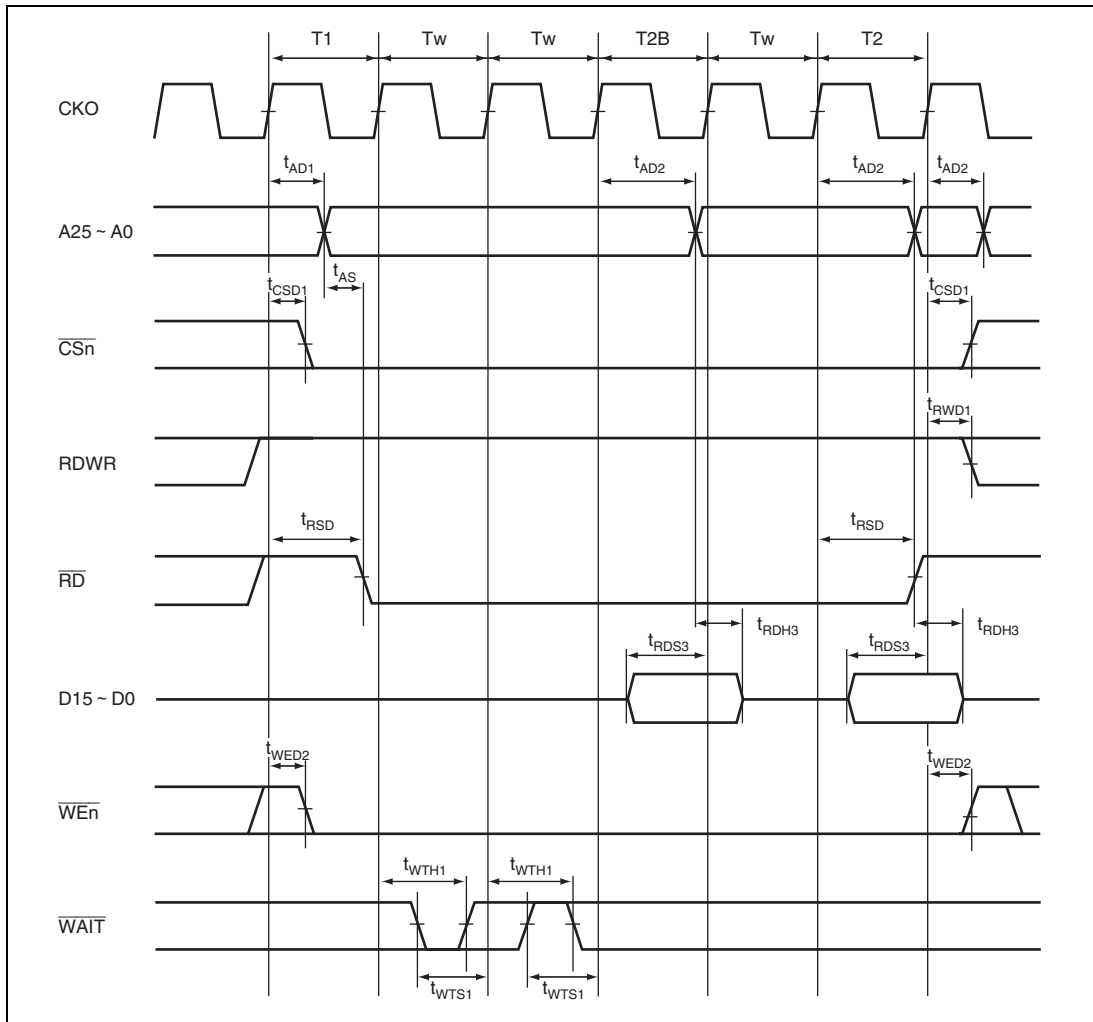


図52.17 バイト選択付きSRAMページモードリードバスサイクル PMD=1、BAS=1
(ソフトウェアウェイト1、非同期外部ウェイト1挿入、バーストウェイト1、2バースト)

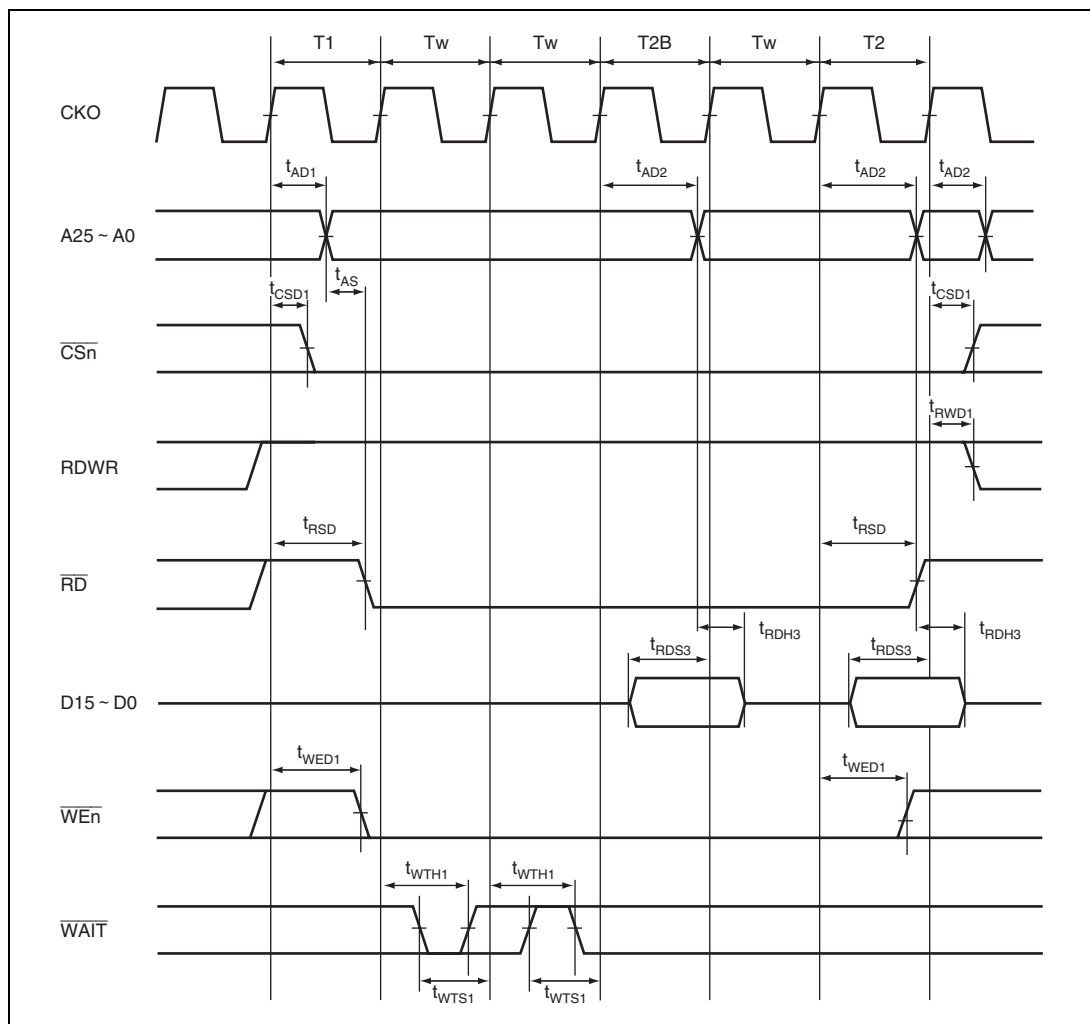


図52.18 バイト選択付き SRAM ページモードリードバスサイクル PMD=1、BAS=0
 (ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入、バーストウェイト 1、2 バースト)

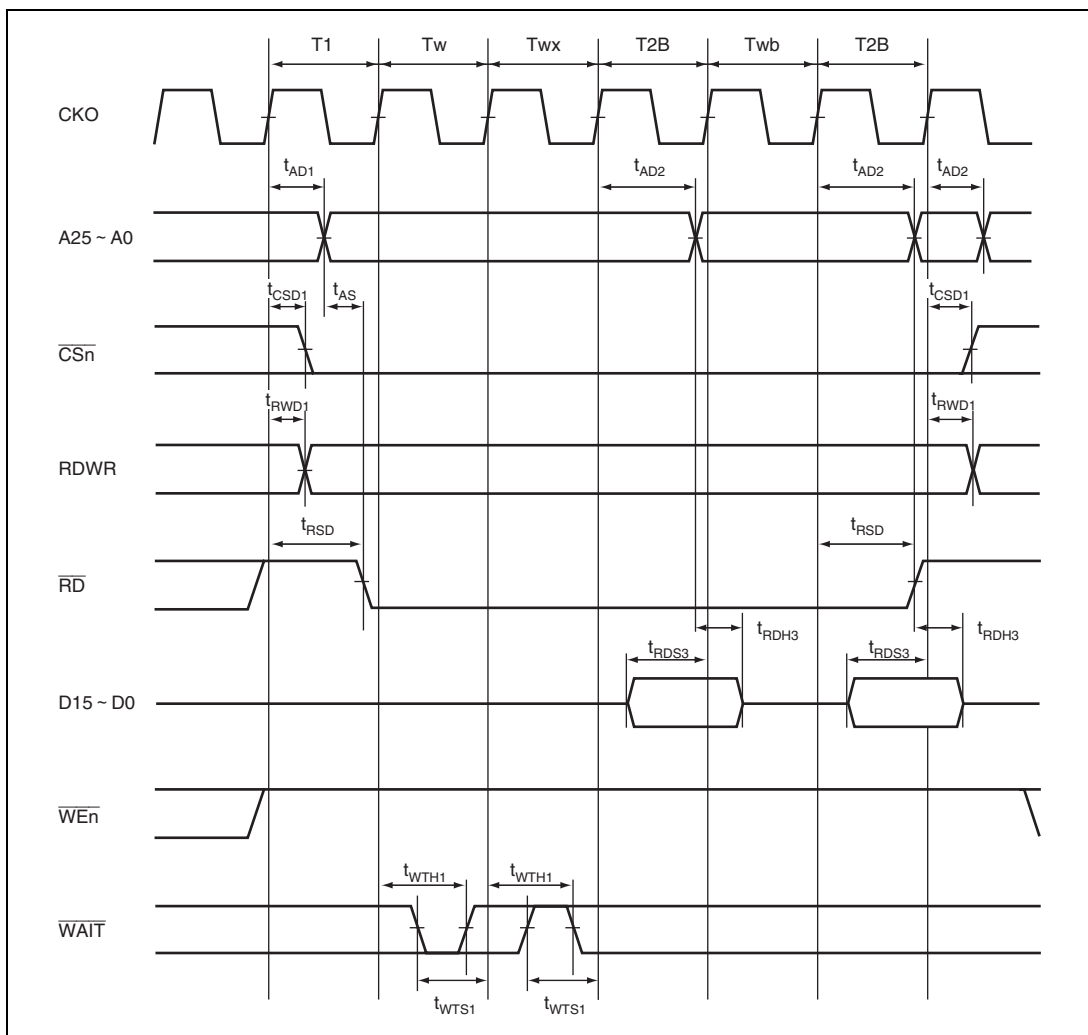


図52.19 バーストROMリードバスサイクル
(ソフトウェアウェイト1、非同期外部ウェイト1挿入、バーストウェイト1、2バースト)

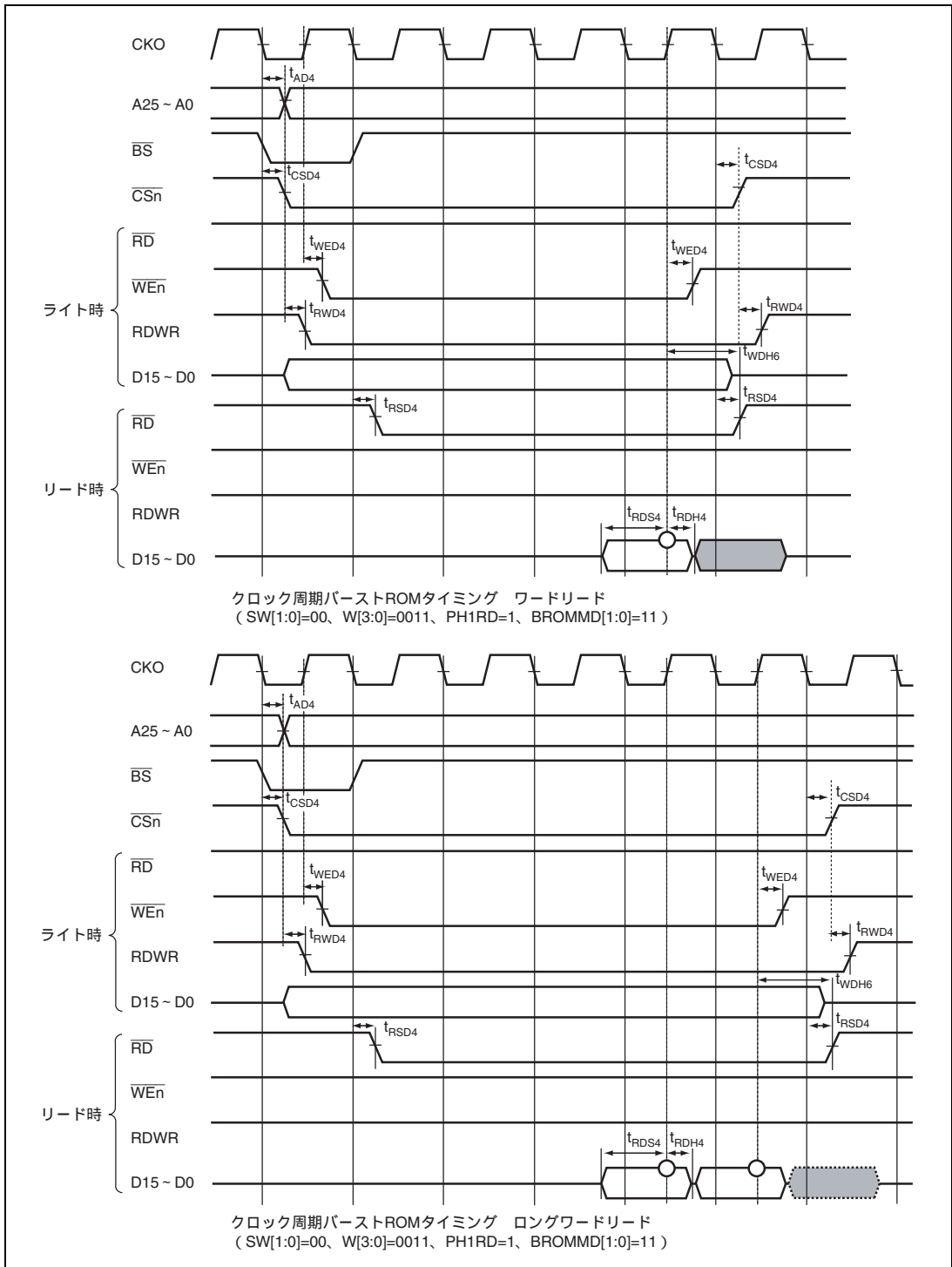


図52.20 クロック同期バーストROM タイミング

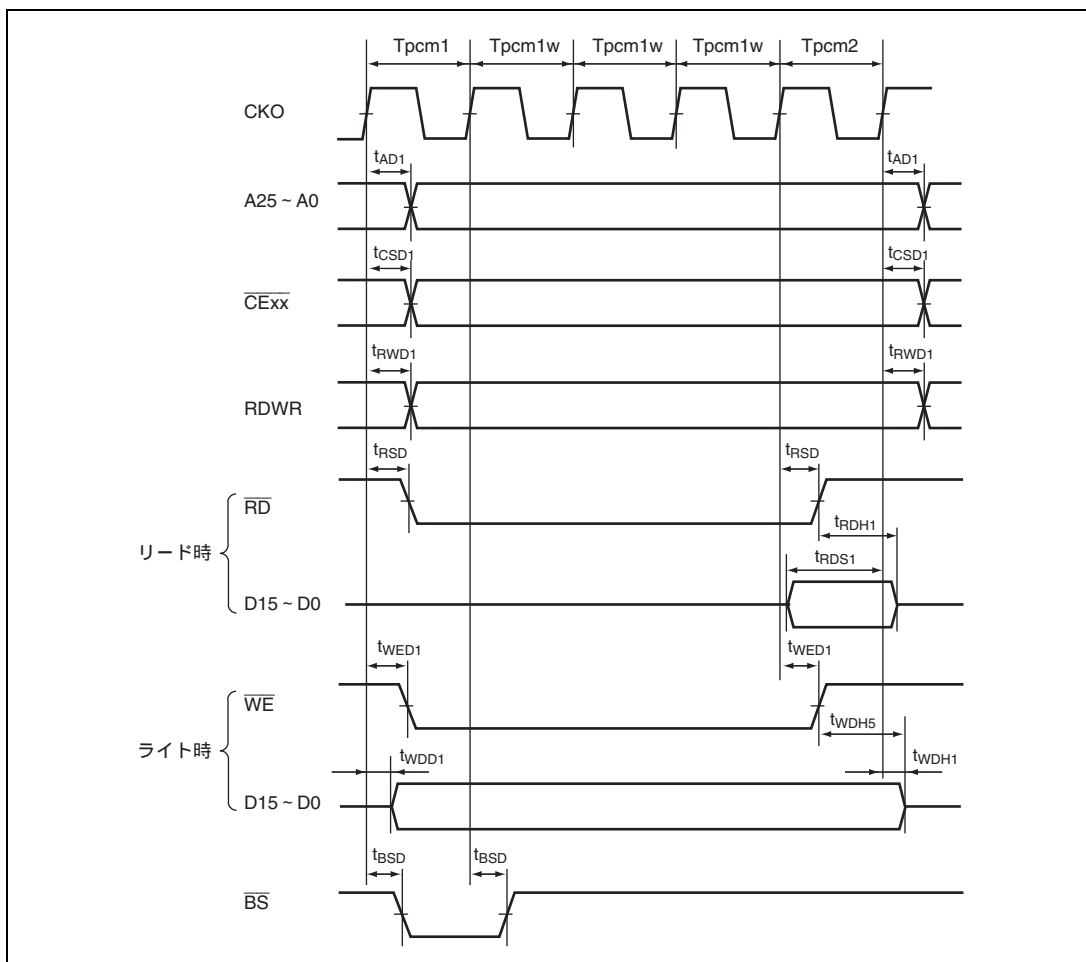


図52.21 PCMCIA メモリカードインタフェースバスタイミング

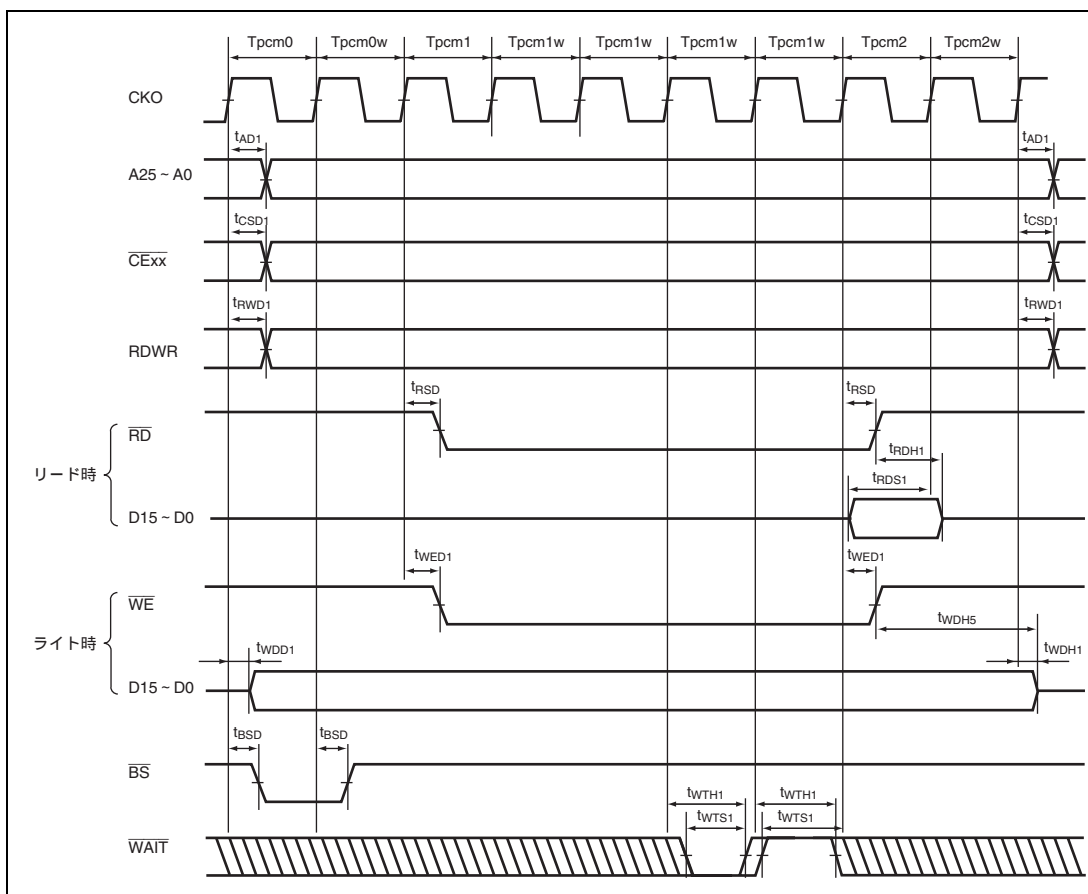


図52.22 PCMCIA メモリカードインタフェースバスタイミング

(TED[3:0]=B'0010、TEH[3:0]=B'0001、ソフトウェアウェイト1、ハードウェアウェイト1)

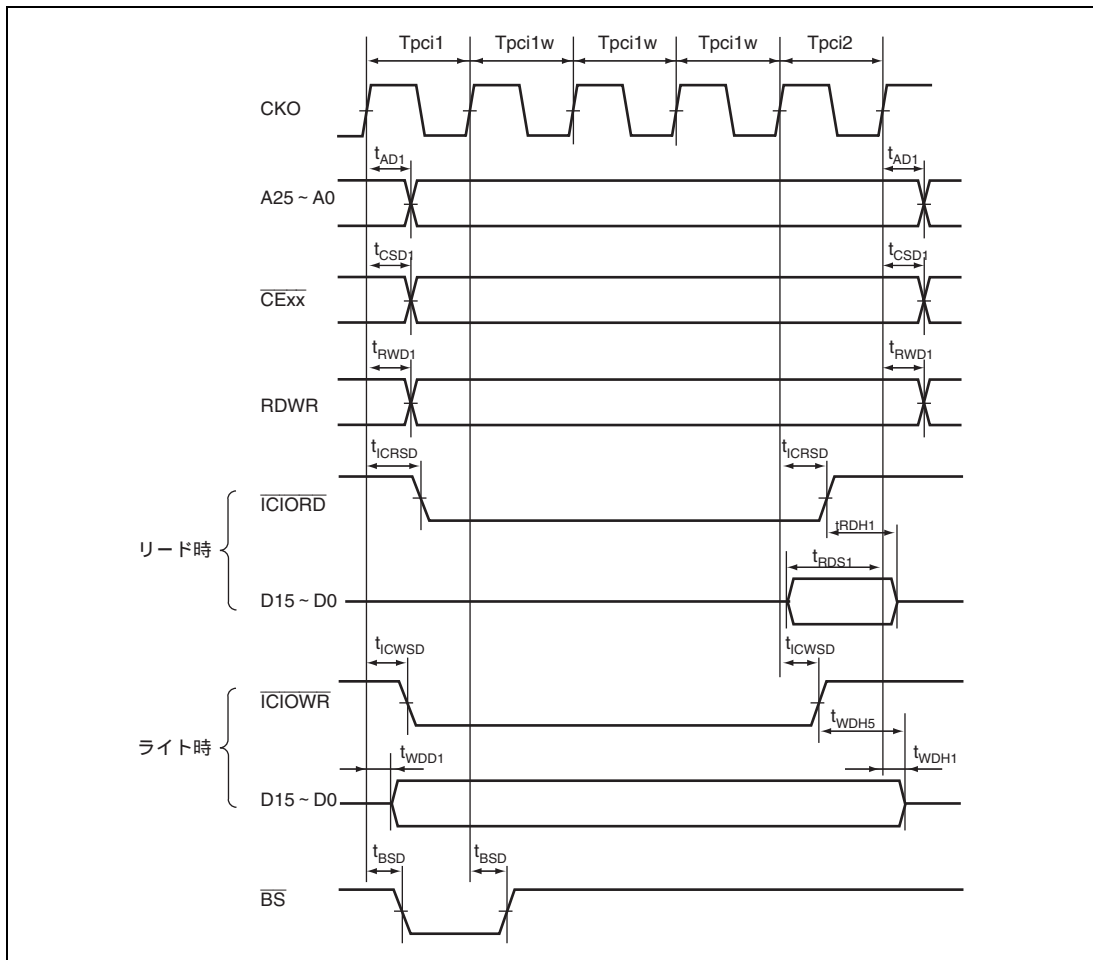


図52.23 PCMCIA I/O カードインタフェースバスタイミング

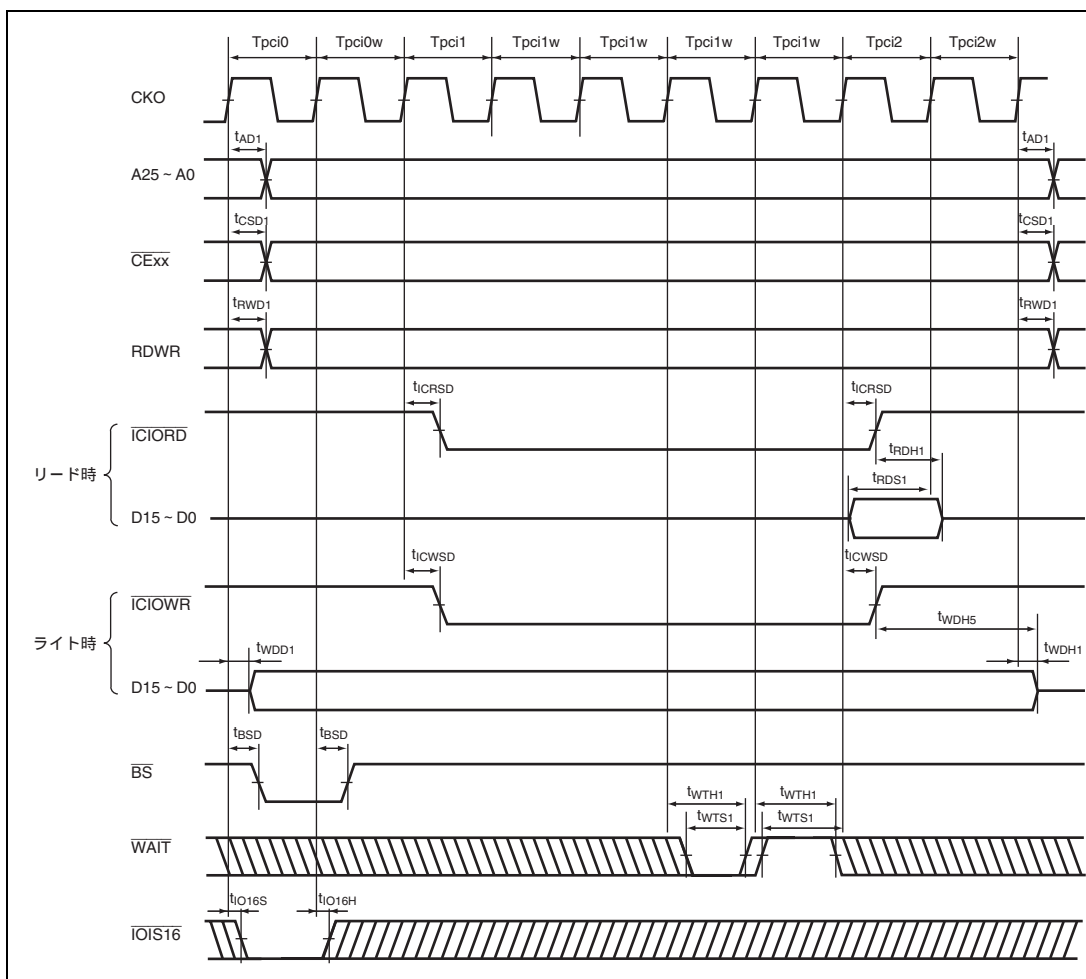


図52.24 PCMCIA I/O カードインタフェースバスタイミング

(TED[3:0] = B'0010、TEH[3:0] = B'0001、ソフトウェアウェイト 1、ハードウェアウェイト 1)

52.5.5 DBSC バスタイミング

(1) DDR2-SDRAM

表52.12 DDR2-SDRAM インタフェースタイミング

項目	記号	Min.	Max.	単位	参照図
CK 周期	tck	6.0	8	ns	52.25
CK high 期間	tCH (abs)	0.45	0.55	tck	
CK low 期間	tCL (abs)	0.45	0.55	tck	
CK に対する制御信号セットアップ時間	tIS	0.88	-	ns	52.26
CK に対する制御信号ホールド時間	tIH	0.88	-	ns	
コントロール/アドレス信号幅	tIPW	0.6	-	tck	
CK と DQS 間スキュー (read)	trDQSK	-0.2	1.4	ns	52.27
DQS high 期間 (read)	trDQSH	0.35	0.65	tck	52.28
DQS low 期間 (read)	trDQSL	0.35	0.65	tck	
DQS プリアンブル時間 (read)	trPRE	0.9	1.1	tck	
DQS ポストアンブル時間 (read)	trPST	0.4	0.6	tck	
DQS と DQ 間スキュー (read)	trDQSQ	-0.54	0.54	ns	52.29
DQS に対する DQ ホールド時間 (read)	trQH	0.45tck-0.47	-	ns	
ライトコマンド発行後初回 DQS 立ち上がり時間 (write)	tWDQSS	-0.18	0.18	tck	52.30
CK に対する DQS 立ち下がりセットアップ時間 (write)	tWDSS	0.27	-	tck	
CK に対する DQS 立ち下がりホールド時間 (write)	tWDSH	0.27	-	tck	
DQS high 期間 (write)	tWDQSH	0.35	0.9	tck	52.31
DQS low 期間 (write)	tWDQSL	0.35	0.9	tck	
DQS プリアンブル時間 (write)	tWPRE	0.35	-	tck	
DQS ポストアンブル時間 (write)	tWPST	0.4	0.6	tck	
DQS に対する DQ/DM セットアップ時間 (write)	tWDS	0.43	-	ns	52.32
DQS に対する DQ/DM ホールド時間 (write)	tWDH	0.43	-	ns	
DQ/DM 信号幅 (write)	tWDIPW	0.35	-	tck	
DQ の Hi-Z 遷移時間 (write)	tHZ	tWDH	tck	ns	52.33

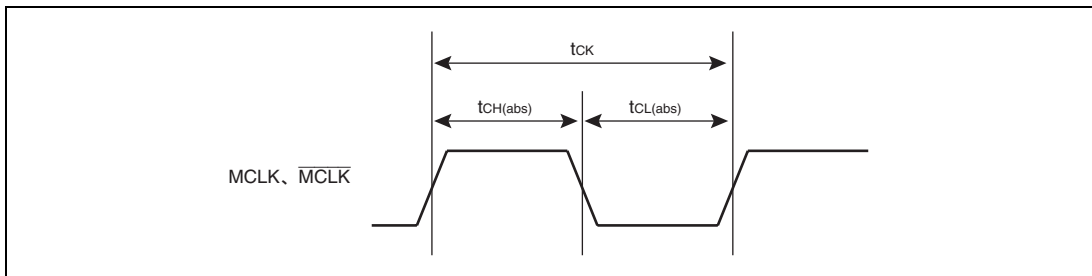


図52.25 出力クロック

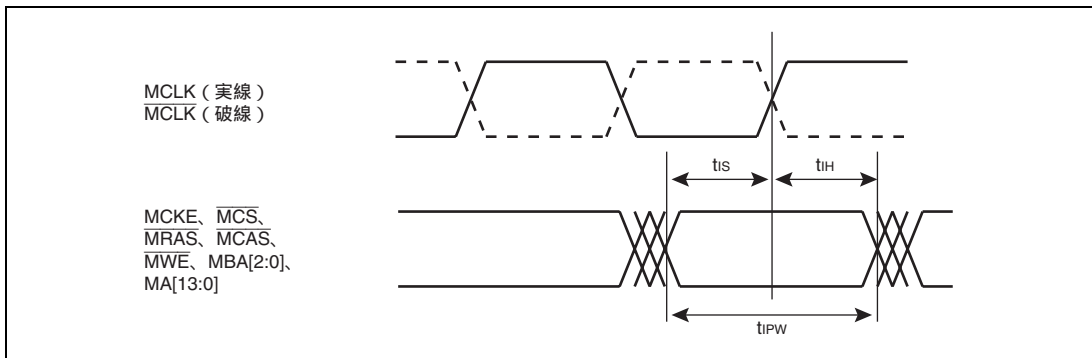


図52.26 コマンド系端子と出力クロックとの関係

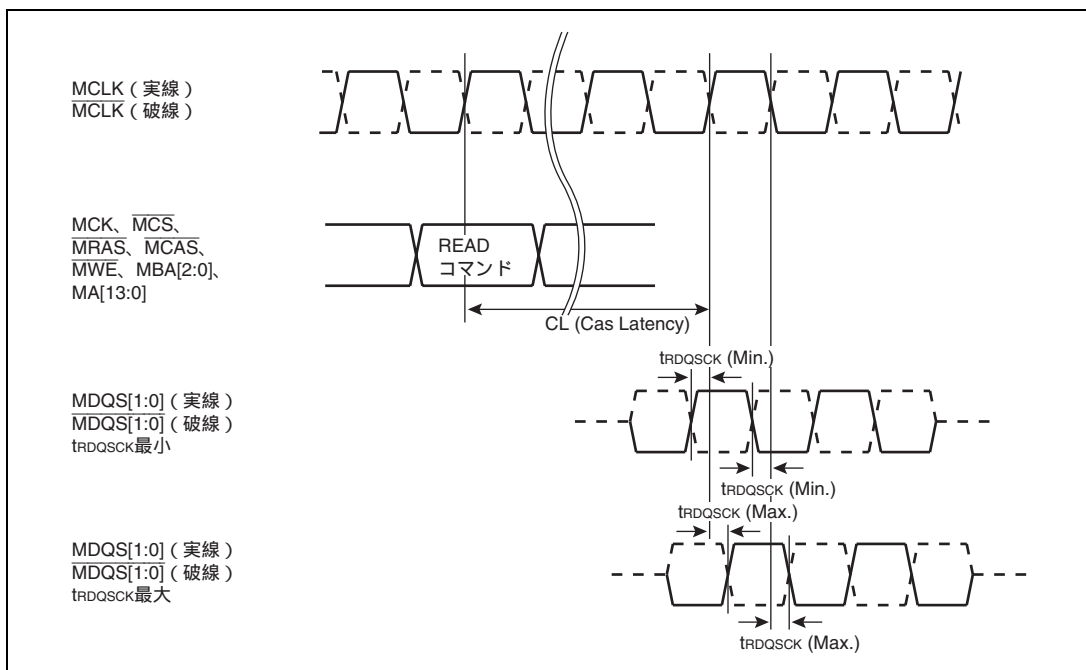


図52.27 データリード時の DQS 入力

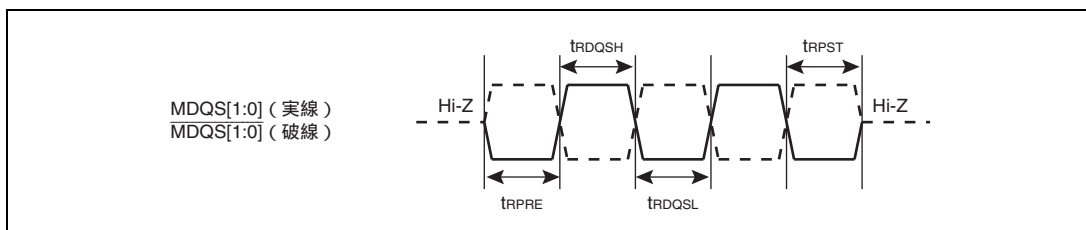


図52.28 DQS 入力波形の制約 (リード時)

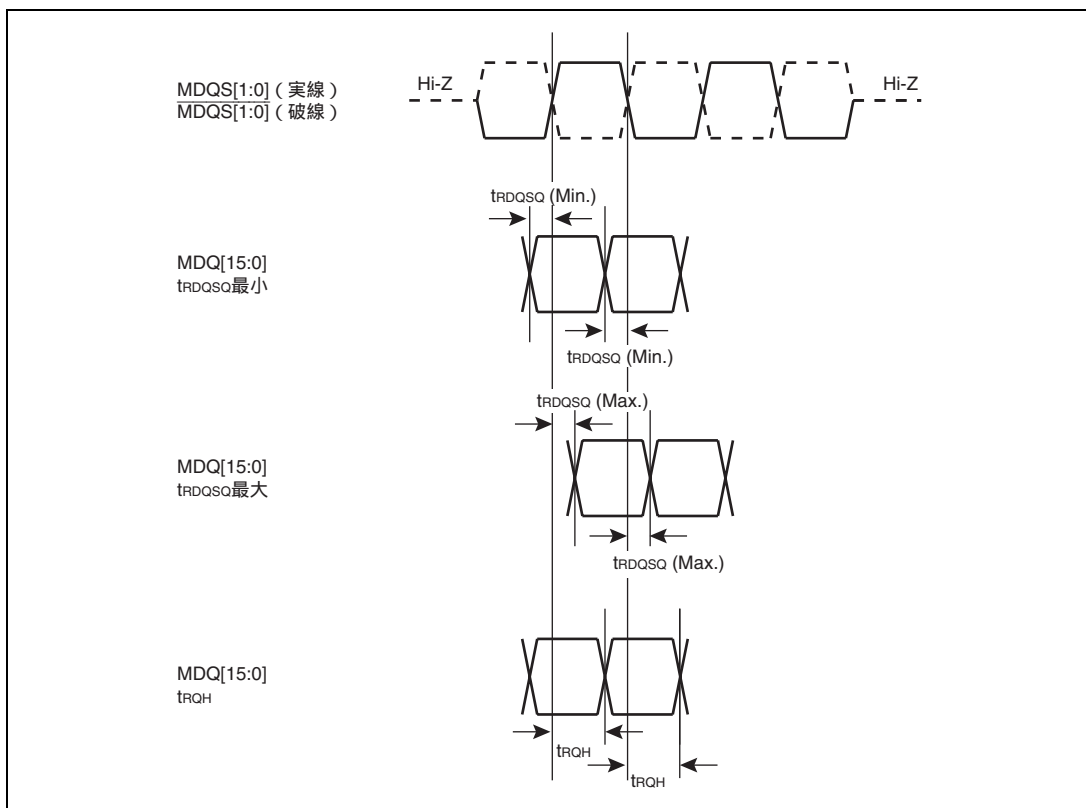


図52.29 DQS に対する DQ 入力波形の制約 (リード時)

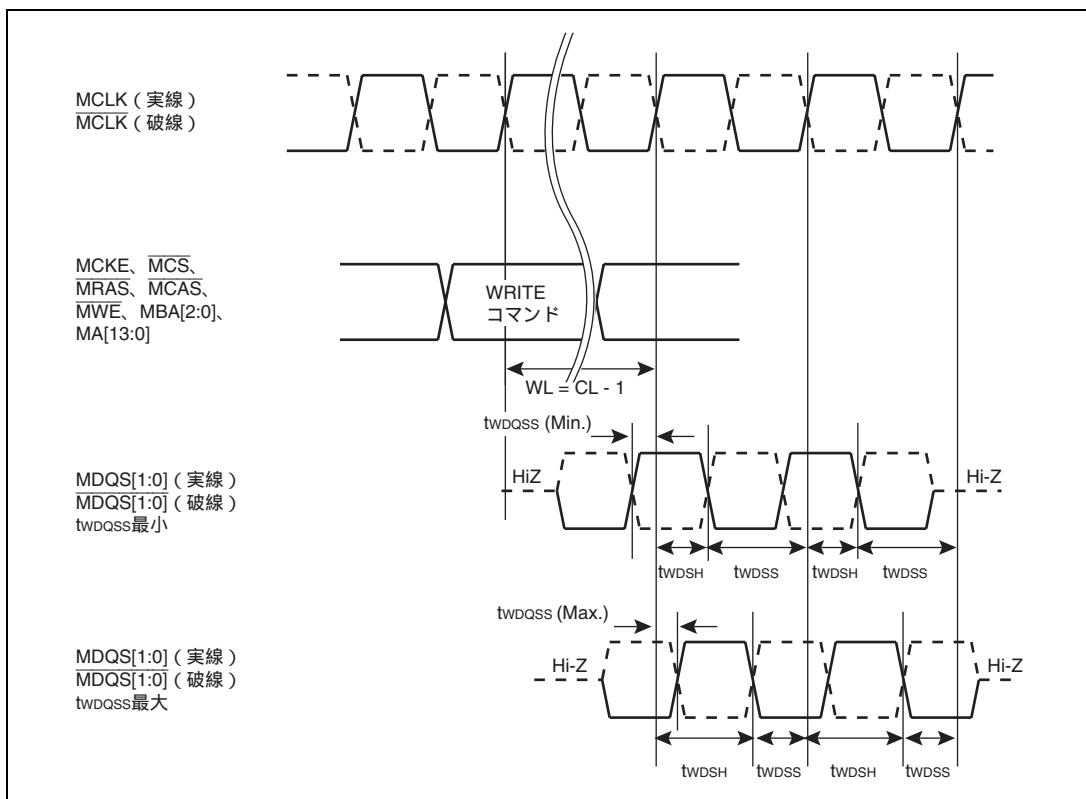


図52.30 CK に対する DQS 出力波形の関係(ライト時)

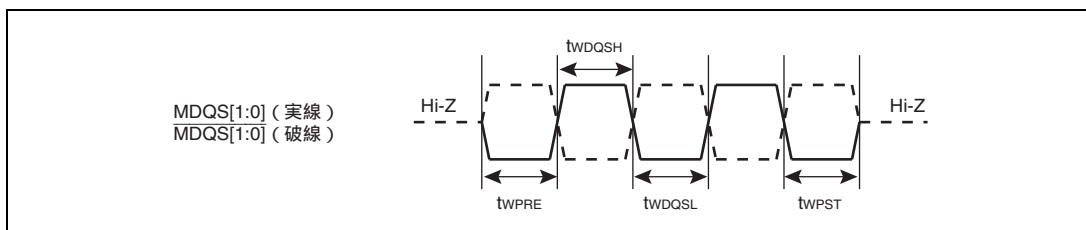


図52.31 DQS 出力波形の関係(ライト時)

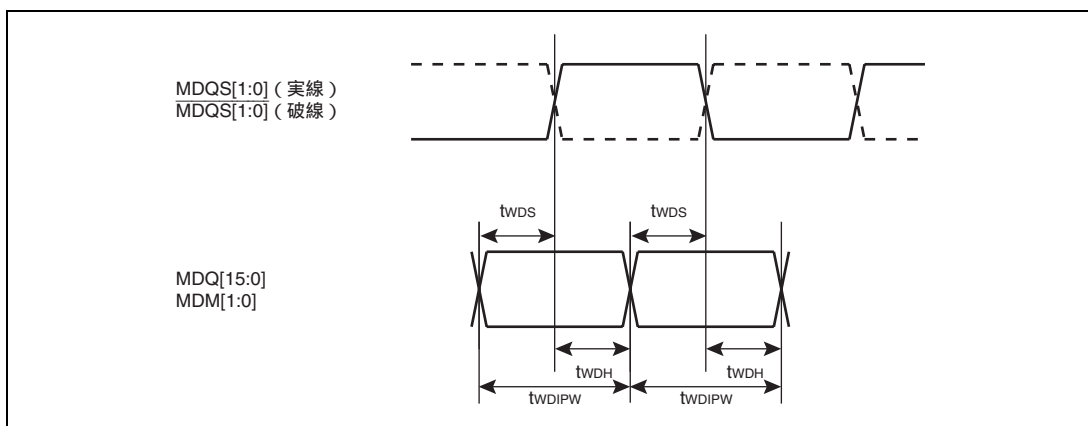


図52.32 DQS と DQ/DQM 出力波形の関係 (ライト時)

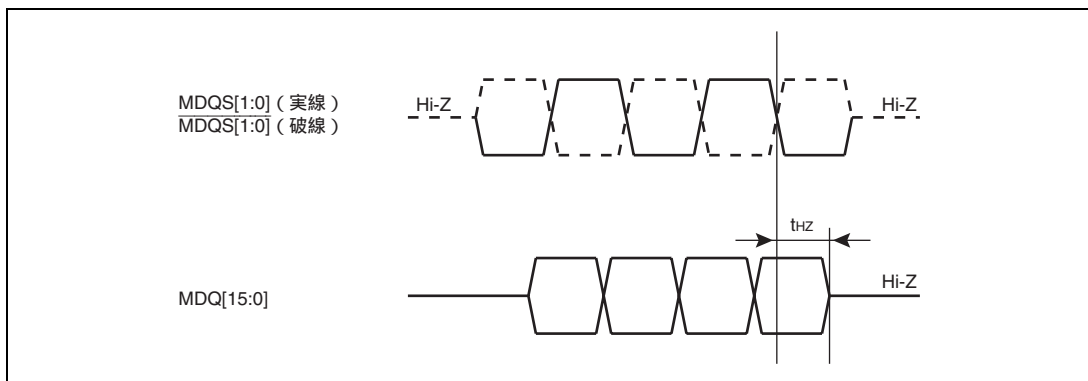


図52.33 DQ 出力が Hi-Z へ遷移するまでの時間 (ライト時)

(2) Mobile-DDR-SDRAM

表52.13 Mobile-DDR-SDRAM インタフェースタイミング

項目	記号	条件			単位	参照図
		Min.	Typ.	Max.		
CK 周期	tck	6.0	-	-	ns	52.34
CK high 期間	tCH	0.45	-	0.55	tck	
CK low 期間	tCL	0.45	-	0.55	tck	
CK に対する制御信号セットアップ時間	tIS	1.1	-	-	ns	
CK に対する制御信号ホールド時間	tIH	1.1	-	-	ns	
コントロール/アドレス信号幅	tIPW	2.7	-	-	ns	
DQS 初回立ち上がり時間	tdQSS	0.85	-	1.25	tck	
DQS ライトプレアンブルセットアップ時間	tWPRES	0.5	-	-	ns	
DQS 出力ハイレベルパルス幅	tdQSH	0.42	-	0.58	tck	
DQS 出力ローレベルパルス幅	tdQSL	0.42	-	0.58	tck	
DQS 立下りセットアップ時間	tdSS	0.18	-	-	tck	
DQS 立下りホールド時間	tdSH	0.18	-	-	tck	
DQS ライトポストアンブル時間	tWPST	0.4	-	0.6	tck	
DQS に対する DQM セットアップ時間	tDS	0.7	-	-	ns	
DQS に対する DQM ホールド時間	tDH	0.7	-	-	ns	
DQS リードプレアンブル時間	trPRE	0.9	-	1.1	tck	
クロックからの DQS ホールド時間	tdQSCK	2.0	-	7.7	ns	
DQS リードポストアンブル時間	trPST	0.4	-	0.6	tck	
DQ リードアクセス時間	tAC	2.0	-	7.7	ns	
DQS からの DQ/DQS リードホールド時間	tQH	0.33	-	-	tck	
DQS と DQ 間スキュー	tdQSQ	-	-	0.62	ns	

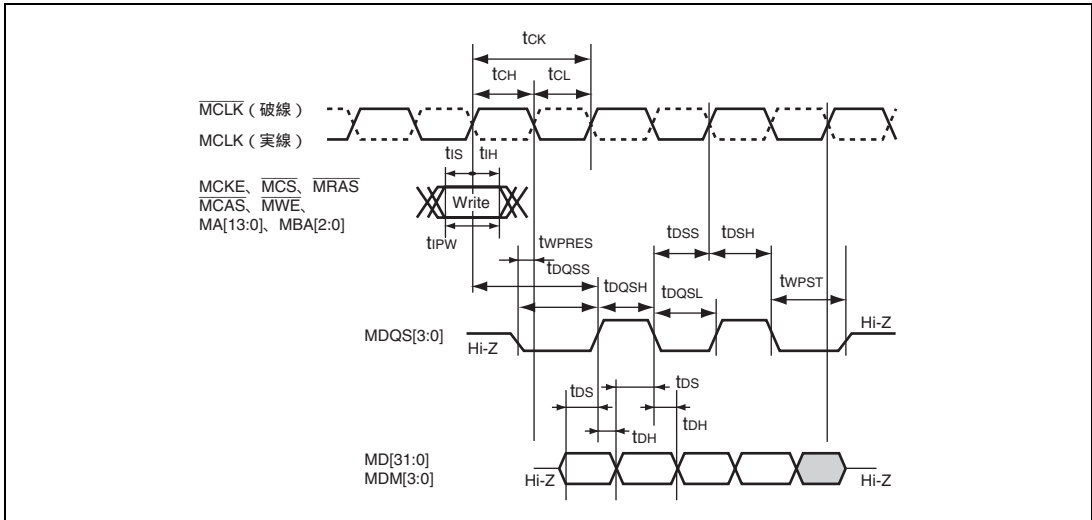


図52.34 Mobile-DDR-SDRAM 出力タイミング (Write 時)

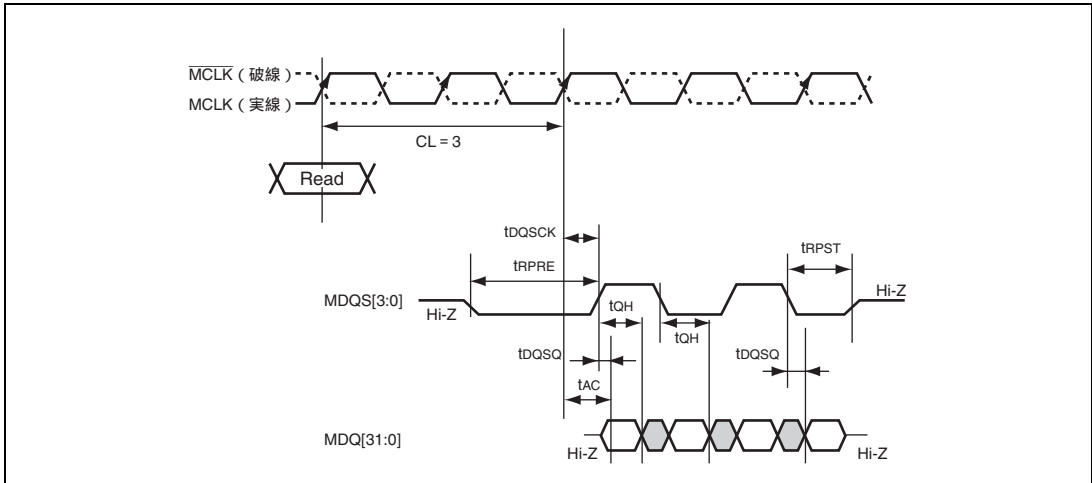


図52.35 Mobile-DDR-SDRAM 入力タイミング (Read 時)

52.5.6 I/O ポート信号タイミング

表52.14 I/O ポート信号タイミング

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t_{PORTD}	-	17	ns	52.36
入力データセットアップ時間	t_{PORTS}	17	-		
入力データホールド時間	t_{PORTH}	10	-		

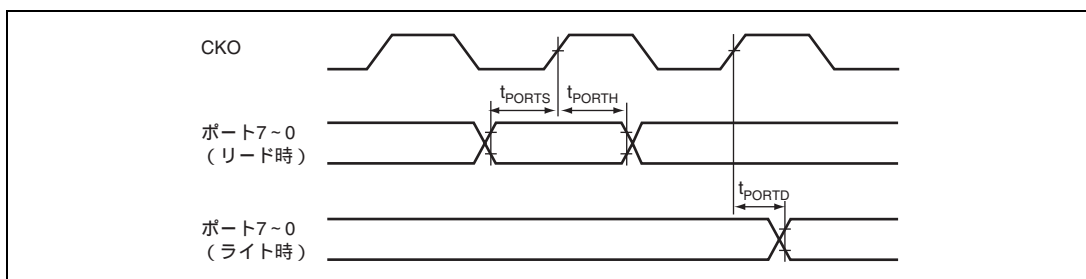


図52.36 I/O ポートタイミング

52.5.7 DMAC モジュール信号タイミング

表52.15 DMAC モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	t_{DREQS}	8	-	ns	52.37
DREQ ホールド時間	t_{DREQH}	8	-		
DACK 遅延時間	t_{DACKD}	-	15		52.38

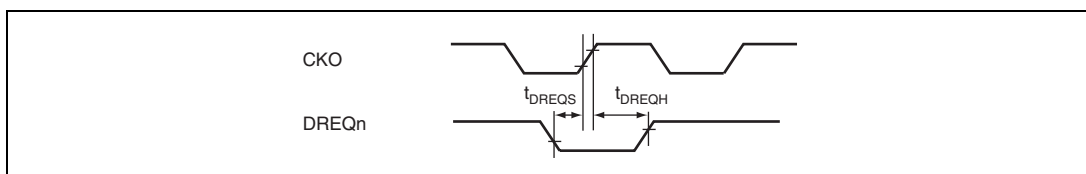


図52.37 DREQ 入力タイミング (DREQ ローレベル検出)

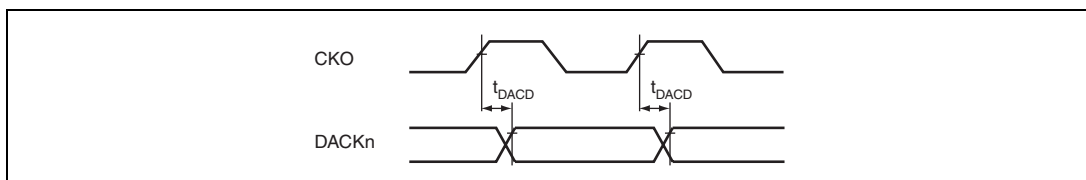


図52.38 DACK 出力タイミング

52.5.8 TPU モジュール信号タイミング

表52.16 TPU モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t _{TOD}	-	15	ns	52.39
タイマクロック入力セットアップ時間	t _{TCKS}	15	-	ns	52.40
タイマクロックパルス幅	t _{TCKWH} t _{TCKWL}	3	-	t _{pcyc}	52.40

【注】 t_{pcyc}は周辺クロック(P)の1サイクル時間を示します。

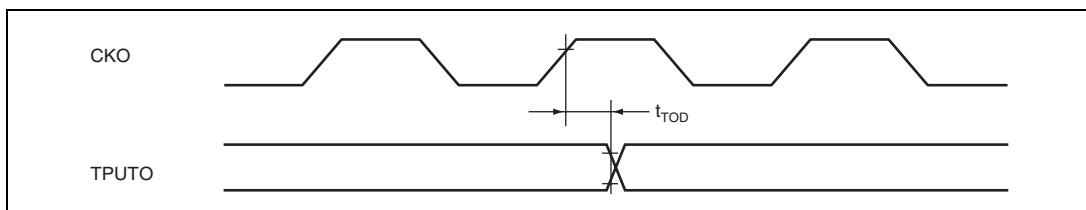


図52.39 TPU 出力タイミング

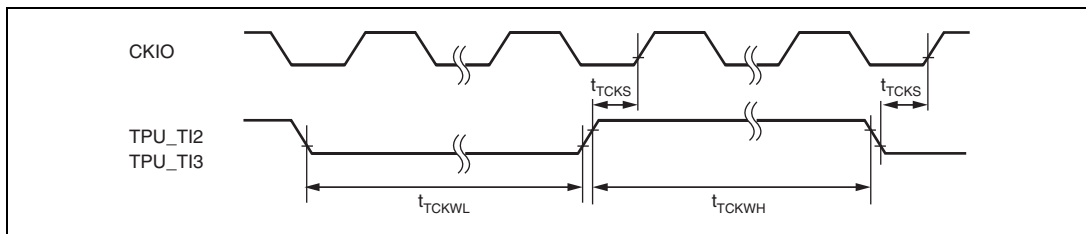


図52.40 TPU 出力タイミング

52.5.9 MSIOF モジュール信号タイミング

表52.17 MSIOF モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
MSIOF_MCK0/1 クロックサイクル時間	t _{M CYC}	2 × t _{b cyc} *	-	ns	52.41
MSIOF_MCK0/1 入力ハイレベル幅	t _{M WH}	0.4 × t _{M CYC}	-	ns	52.41
MSIOF_MCK0/1 入力ローレベル幅	t _{M WL}	0.4 × t _{M CYC}	-	ns	52.41
MSIOF_TSCK (RSCK) クロックサイクル時間	t _{M SCYC}	2 × t _{b cyc} *	-	ns	52.42、52.43
MSIOF_TSCK (RSCK) 出力ハイレベル幅	t _{M SWHO}	0.4 × t _{M SCYC}	-	ns	52.42
MSIOF_TSCK (RSCK) 出力ローレベル幅	t _{M SWLO}	0.4 × t _{M SCYC}	-	ns	52.42
MSIOF_TSCK (RSCK) 入力ハイレベル幅	t _{M SWHI}	0.4 × t _{M SCYC}	-	ns	52.42
MSIOF_TSCK (RSCK) 入力ローレベル幅	t _{M SWLI}	0.4 × t _{M SCYC}	-	ns	52.43
MSIOF_TSYNC (RSYNC) 出力遅延時間	t _{F SD}	-	20	ns	52.42
MSIOF_TSYNC (RSYNC) 入力セットアップ時間	t _{F SS}	20	-	ns	52.43
MSIOF_TSYNC (RSYNC) 入力ホールド時間	t _{F SH}	20	-	ns	52.43
MSIOF_TXD 出力遅延時間	t _{T DD}	-	20	ns	52.42
MSIOF_RXD 入力セットアップ時間	t _{R DS}	20	-	ns	52.43
MSIOF_RXD 入力ホールド時間	t _{R DH}	20	-	ns	52.43

【注】 * t_{b cyc} はバスクロック (B) の 1 サイクル時間を示します。

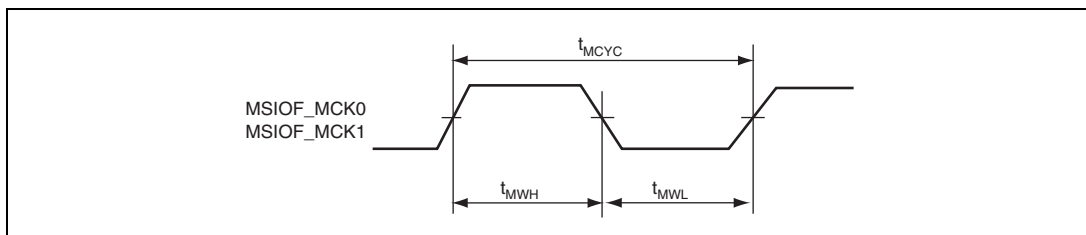


図52.41 MSIOF_MCK 入力タイミング

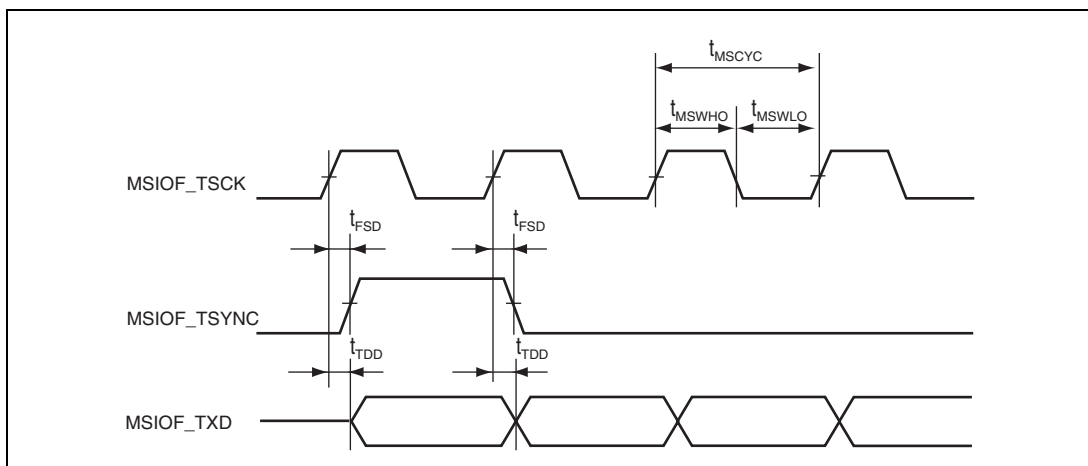


図52.42 MSIOF 送受信タイミング (マスターモード)

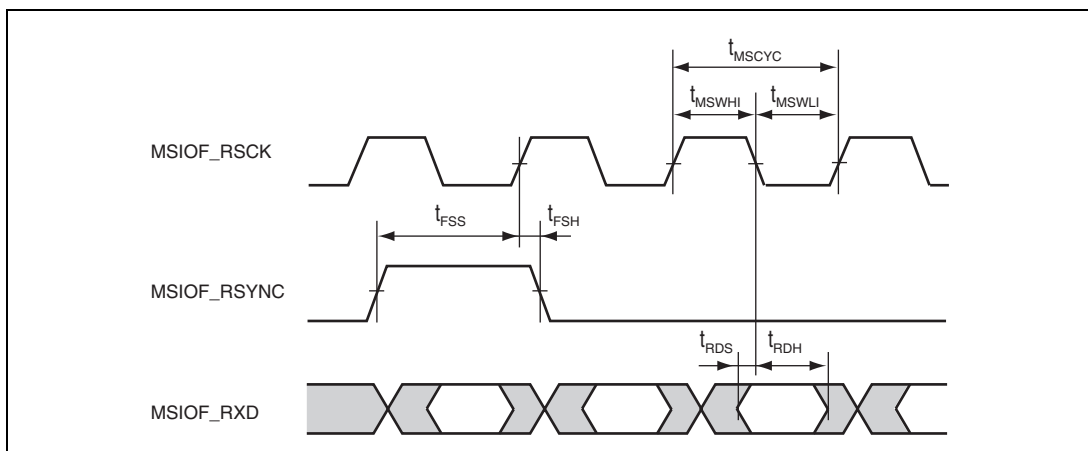


図52.43 MSIOF 送受信タイミング (スレーブモード)

52.5.10 SCIF/SCIFA モジュール信号タイミング

表52.18 SCIF/SCIFA モジュール信号タイミング (調歩同期)

項目	記号	Min.	Max.	単位	参照図
SCK 入力クロックサイクル	tSCYC	4	-	t _{pcyc}	52.44
SCK 入力クロックハイレベル幅	tSCWH	0.4	-	tSCYC	
SCK 入力クロックローレベル幅	tSCWL	0.4	-	tSCYC	
SCK 入力クロック立ち上がり時間	tSCKr	-	1.5	t _{pcyc}	
SCK 入力クロック立ち下がり時間	tSCKf	-	1.5	t _{pcyc}	
TXD 転送データ遅延時間	tTXD	-	3 × t _{pcyc} + 50	ns	52.45
RXD 入力データセットアップ時間	tRXS	2 × t _{pcyc}	-	ns	
RXD 入力データホールド時間	tRXH	2 × t _{pcyc}	-	ns	
RTS 遅延時間	tRTSD	-	100	ns	
CTS セットアップ時間	tCTSS	100	-	ns	
CTS ホールド時間	tCTSH	100	-	ns	

【注】 t_{pcyc} は、SCIF では周辺クロック (P) の 1 サイクル時間、SCIFA ではバスクロック (B) の 1 サイクル時間を示します。

表52.19 SCIF/SCIFA モジュール信号タイミング (クロック同期)

項目	記号	Min.	Max.	単位	参照図
SCK 入出力クロックサイクル	tSCYC	12	-	t _{pcyc}	52.44
SCK 入出力クロックハイレベル幅	tSCWH	0.4	0.6	t _{scyc}	
SCK 入出力クロックローレベル幅	tSCWL	0.4	0.6	t _{scyc}	
SCK 入出力同期クロック立ち上がり時間	t _s SCKr	-	1.5	t _{pcyc}	
SCK 入出力同期クロック立ち下がり時間	t _s SCKf	-	1.5	t _{pcyc}	
TXD 出力データ遅延期間 (SCK 入力時)	tTXD	-	3 × t _{pcyc} + 50	ns	52.45
TXD 出力データ遅延期間 (SCK 出力時)		-	50	ns	
RXD 入力データセットアップ時間 (SCK 入出力共通)	tRXS	4	-	t _{pcyc}	
RXD 入力データホールド時間 (SCK 入出力共通)	tRXH	4	-	t _{pcyc}	

【注】 t_{pcyc} は、SCIF では周辺クロック (P) の 1 サイクル時間、SCIFA ではバスクロック (B) の 1 サイクル時間を示します。

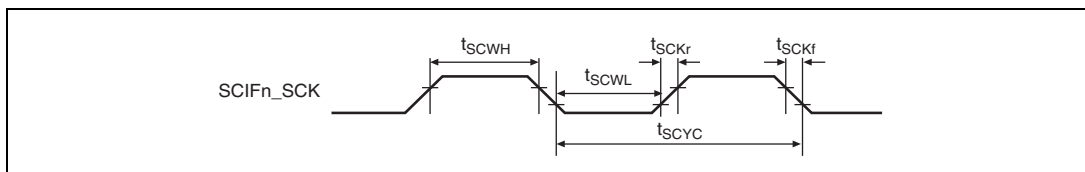


図52.44 SCIF/SCIFA モジュール信号タイミング

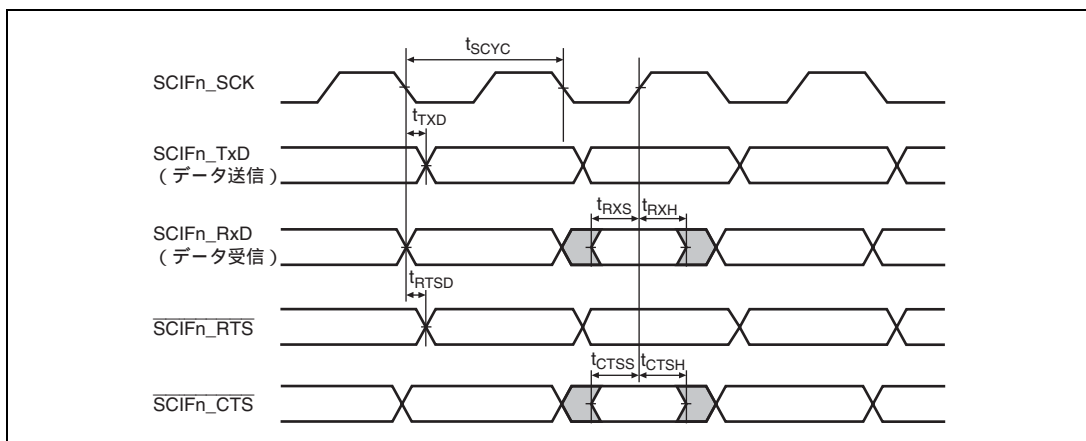
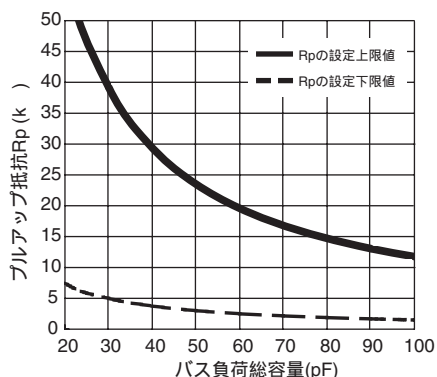


図52.45 SCIF/SCIFA モジュール信号タイミング

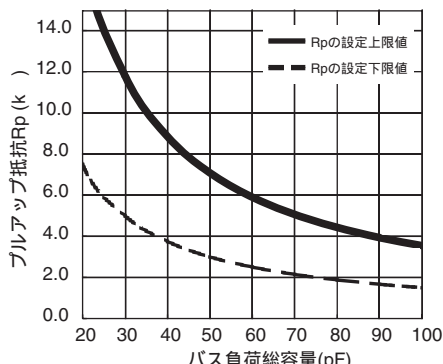
52.5.11 I²C モジュール信号タイミング表52.20 I²C デバイスに対する SDA および SCL バスラインの特性

項目	記号	標準モード		高速モード		単位	参照図
		Min.	Max.	Min.	Max.		
SCL クロック周波数	f _{SCL}	0	100	0	400	kHz	52.46
ホールド時間(反復)『START』条件 この期間の後、最初のクロックパルスを生成	t _{HD:STA}	4.0	-	0.6	-	μs	
SCL クロックのロー期間	t _{LOW}	4.7	-	1.3	-	μs	
SCL クロックのハイ期間	t _{HIGH}	4.0	-	0.6	-	μs	
反復『START』条件のセットアップ時間	t _{SU:STA}	4.7	-	0.6	-	μs	
データホールド時間: I ² C バス・デバイス用	t _{HD:DAT}	-	3.45	-	0.9	μs	
データセットアップ時間	t _{SU:DAT}	250	-	100	-	ns	
SDA および SCL 信号の立ち上がり時間	t _r	-	1000	-	300	ns	
SDA および SCL 信号の立ち下がり時間	t _f	-	300	-	300	ns	
『STOP』条件のセットアップ時間	t _{SU:STO}	4.0	-	0.6	-	μs	
『STOP』条件と『START』条件との 間のバスフリー時間	t _{BUF}	4.7	-	1.3	-	μs	
各接続デバイスの L レベルにおける ノイズマージン(ヒステリシスを含む)	V _{nL}	0.1 × V _{CCQ}	-	0.1 × V _{CCQ}	-	V	
各接続デバイスの H レベルにおける ノイズマージン(ヒステリシスを含む)	V _{nH}	0.2 × V _{CCQ}	-	0.2 × V _{CCQ}	-	V	

- 【注】
- すべての値は V_{CCQ} × 0.3 および V_{CCQ} × 0.7 レベル基準
 - 本モジュールでは I²C バス規格を満たすため、バス負荷総容量に対応した適切なプルアップ抵抗 (R_p) を実装する必要があります。
 - I²C におけるプルアップ抵抗とバス負荷総容量との関係

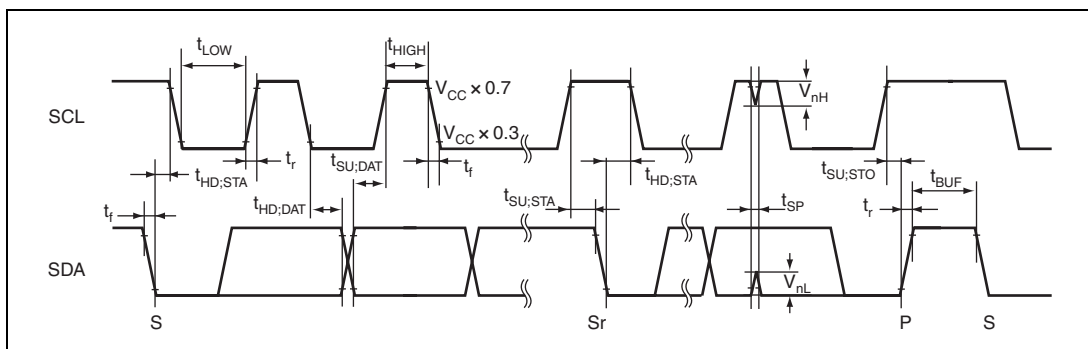


(1) SCL クロック周波数 100kHz 時



(2) SCL クロック周波数 400kHz 時

- * デバイスは内部的に SDA 信号に対して 300ns 以上のホールド時間 (SCL 信号の V_{IHmin} に比較して) を有し、SCL の立ち下がりエッジでの SDA の値が確定することを保証します。

図52.46 I²Cバス上におけるデバイスタイミングの定義

52.5.12 CEU モジュール信号タイミング

表52.21 CEU モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
垂直同期 (VIO_VD) セットアップ時間	tvVDS	2	-	ns	52.47
垂直同期 (VIO_VD) ホールド時間	tvVDH	3.5	-	ns	
水平同期 (VIO_HD) セットアップ時間	tvHDS	2	-	ns	
水平同期 (VIO_HD) ホールド時間	tvHDH	3.5	-	ns	
キャプチャ画像データ (VIO_D) セットアップ時間	tvDTS	2	-	ns	
キャプチャ画像データ (VIO_D) ホールド時間	tvDTH	3.5	-	ns	
カメラクロックサイクル	tvcyc	tbcyc*	-	ns	
カメラクロックハイレベル幅	tvHW	$0.4 \times tvCyc$	-	ns	
カメラクロックローレベル幅	tvLW	$0.4 \times tvCyc$	-	ns	
フィールド識別信号 (VIO_FLD) セットアップ時間	tvFDS	2	-	ns	
フィールド識別信号 (VIO_FLD) ホールド時間	tvFDH	3.5	-	ns	

【注】 * tbcyc は、内部バスクロック (B) の 1 サイクル時間を示します。

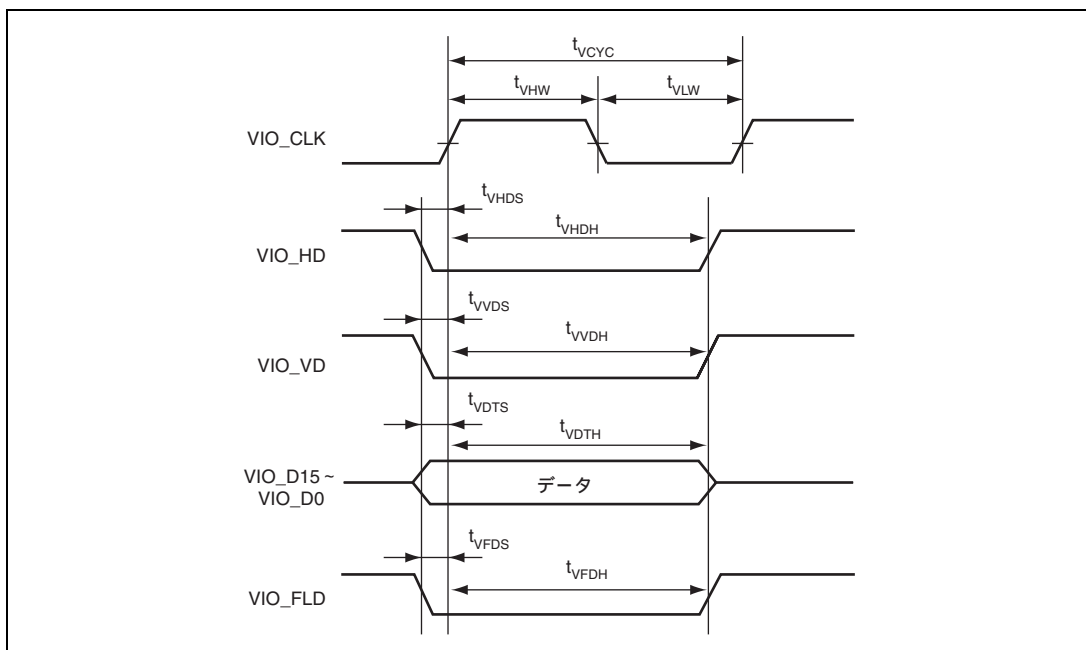


図52.47 VIO モジュール信号タイミング

52.5.13 LCDC モジュール信号タイミング

表52.22 LCDC モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
クロック (LCDDCK) サイクル時間	tLCC	12	-	ns	52.48
クロック (LCDLCLK) サイクル時間	tLCLC	12	-	ns	
クロック (LCDDCK) ハイレベルパルス時間	tLCHW	4	-	ns	
クロック (LCDDCK) ローレベルパルス時間	tLCLW	4	-	ns	
データ (LCDD) 遅延時間	tLDD	-5.6	4	ns	
表示許可 (LCDDISP) 遅延時間	tLID	-5.6	4	ns	
水平同期信号 (LCDHSYN) 遅延時間	tLHD	-5.6	4	ns	
垂直同期信号 (LCDVSYN) 遅延時間	tLVD	-5.6	4	ns	
チップセレクト信号 (LCDCS) SYS I/F コマンド 遅延時間	tLSYSCSD	-	22	ns	52.49
ライトストロープ信号 (LCDDCK) SYS I/F コマンド 遅延時間	tLSYSWRD	-	22	ns	
レジスタセレクト信号 (LCDDISP) SYS I/F コマンド 遅延時間	tLSYSRSD	-	22	ns	
データ (LCDD) SYS I/F コマンドライトデータ遅延時間	tLSYSDD	-	22	ns	
リードストロープ信号 (LCDRD) SYS I/F コマンド 遅延時間	tLSYSRDD	-	22	ns	52.50
データ (LCDD) SYS I/F リードデータセットアップ時間	tLSYSRDS	10	-	ns	
データ (LCDD) SYS I/F リードデータホールド時間	tLSYSRDH	5	-	ns	
リードライト信号 (LCDVCPWC) SYS I/F コマンド 遅延時間	tLSYSRDWRD	-12	12	ns	
ライトストロープ信号 (LCDWR) SYS I/F データ サイクル時間	tLSYSDWRC	30	-	ns	52.51
ライトストロープ信号 (LCDWR) SYS I/F データ ハイレベルパルス時間	tLSYSDWRHW	9	-	ns	
ライトストロープ信号 (LCDWR) SYS I/F データ ローレベルパルス時間	tLSYSDWRLW	9	-	ns	
ライトストロープ信号 (LCDWR) SYS I/F データ アドレスセットアップ時間	tLSYSDAS	tLSYSDWRC - 12	tLSYSDWRC + 12	ns	
ライトストロープ信号 (LCDWR) SYS I/F データ アドレスホールド時間*	tLSYSDAH	tLSYSDWRHW - 12	tLSYSDWRHW + 12	ns	
データ (LCDD) SYS I/F データ遅延時間	tLSYSDDD	-12	12	ns	
入力垂直同期信号 (LCDVSYN) セットアップ時間	tLVIS	10	-	ns	52.52
入力垂直同期信号 (LCDVSYN) ホールド時間	tLVIH	5	-	ns	

【注】 * tLSYSDAH の最小値は tLSYSDWRHW です。tLSYSDWRHW は MLDDCKPAT1R、MLDDCKPAT2R により任意に設定可能です。

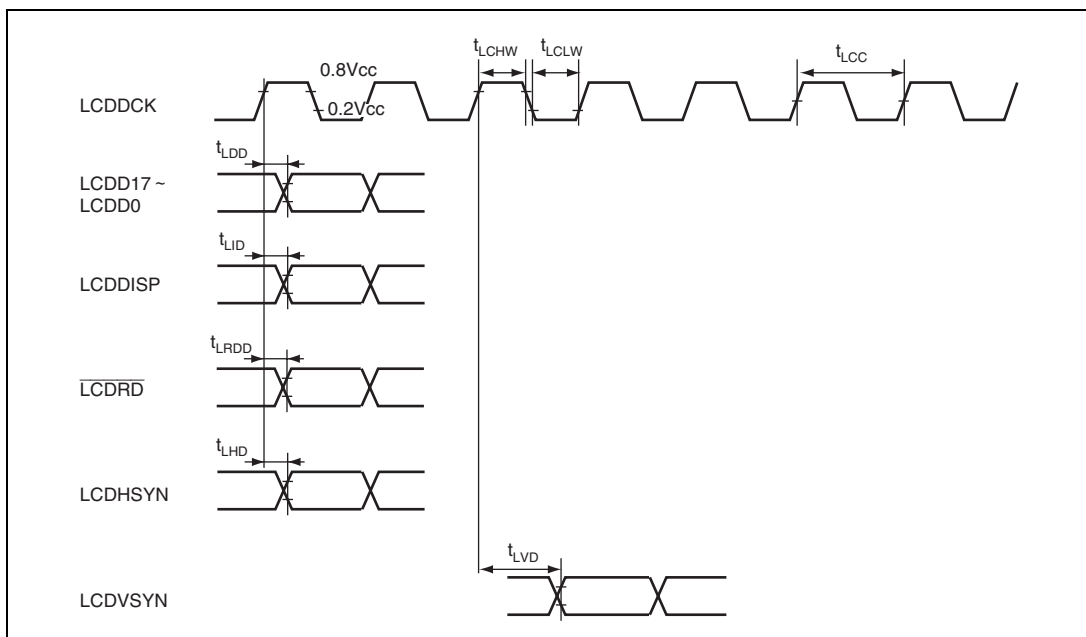


図52.48 LCDC AC 特性

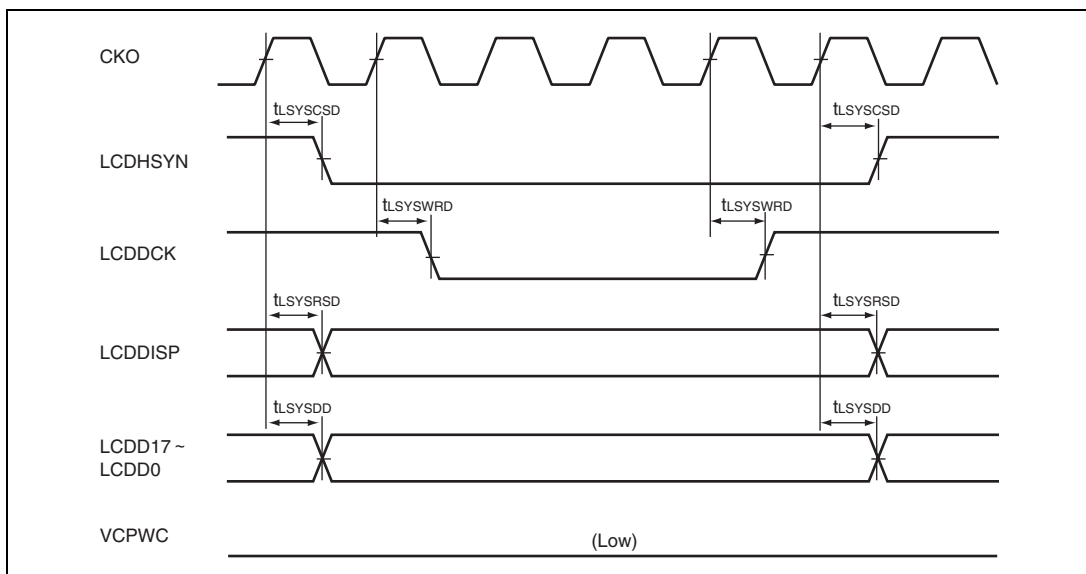


図52.49 LCDC AC 特性 SYS インタフェース、コマンドライトバスサイクル
(MLDMT2R.WCEC = 5、MLDMT2R.WCLW = 3)

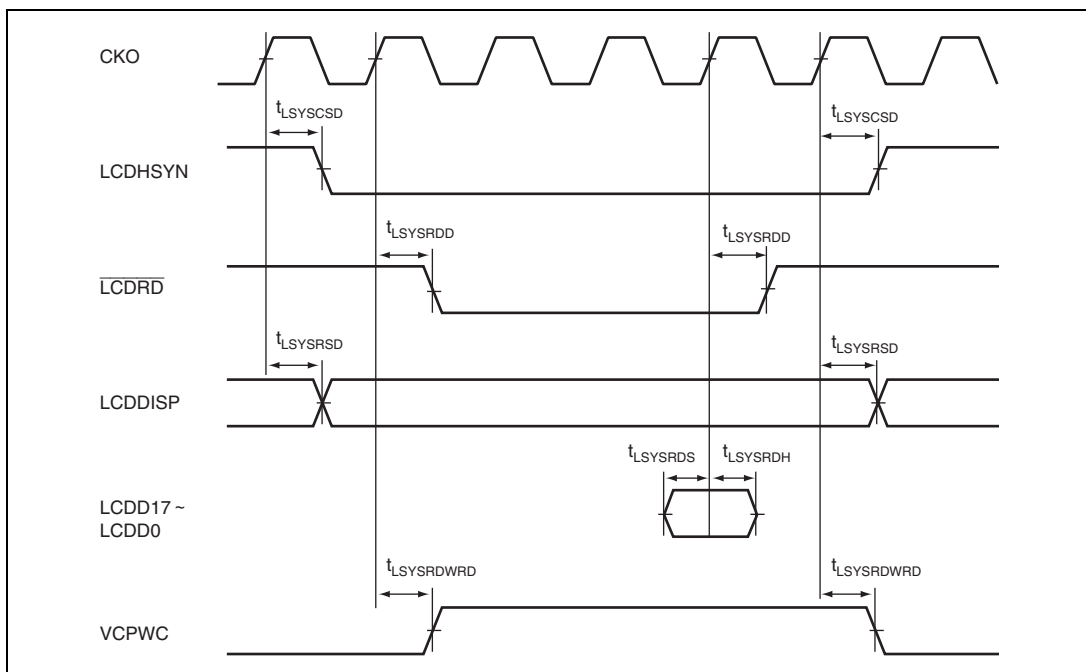


図52.50 LCDC AC 特性 SYS インタフェース、コマンドリードバスサイクル
(MLDMT3R.RDLC = 4、MLDMT3R.RCEC = 5、MLDMT3R.RCLW = 3)

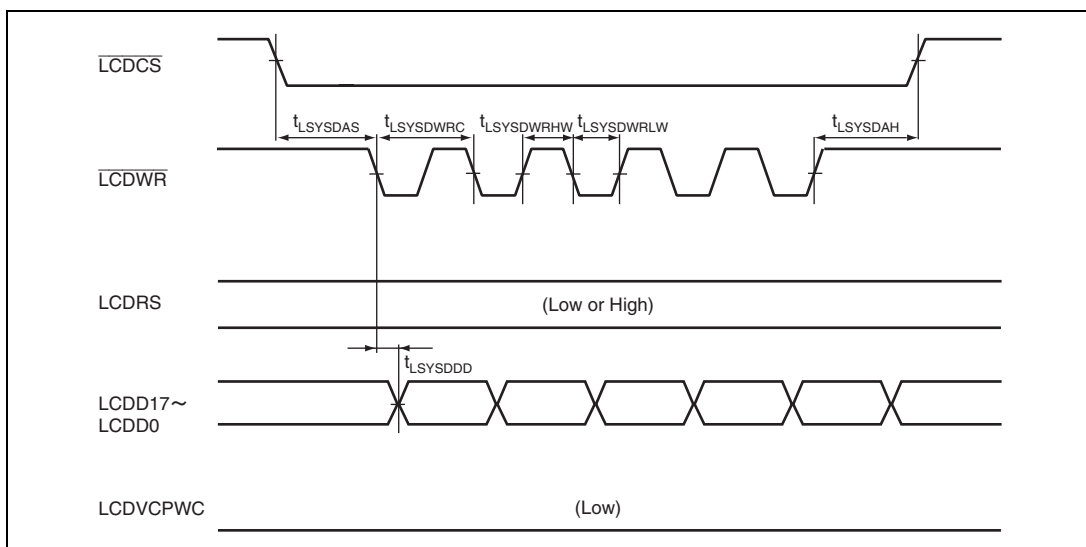


図52.51 LCDC AC 特性 SYS インタフェース、データライトバスサイクル

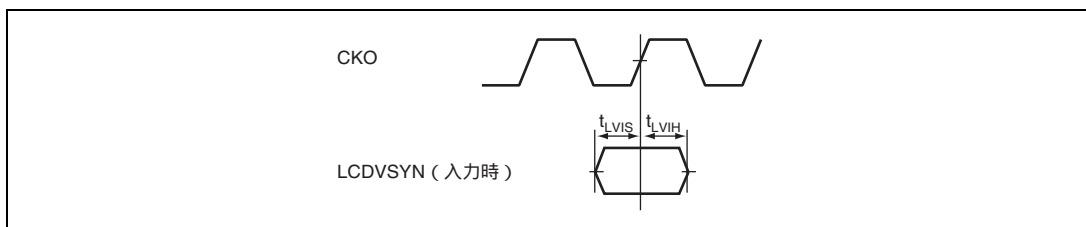


図52.52 LCDC AC 特性 VSYNC 入力モード

52.5.14 VOU モジュール信号タイミング

表52.23 VOU モジュール信号タイミング

項目	記号	Min.	Typ.	Max.	単位	参照図
出力クロック周波数	f_{px1}	13.5	-	27	MHz	52.53
出力クロックサイクル	t_{pxcyc1}	37	-	74.1	ns	
出力クロックハイ幅	t_{pxwH1}	14	-	-	ns	
出力クロックロー幅	t_{pxwL1}	14	-	-	ns	
出力データ遅延時間	t_{pxd1}	-4	-	4	ns	
出力クロック周波数 2	f_{px2}	13.5	-	27	MHz	52.54
出力クロックサイクル 2	t_{pxcyc2}	37	-	74.1	ns	
出力クロックハイ幅 2	t_{pxwH2}	14	-	-	ns	
出力クロックロー幅 2	t_{pxwL2}	14	-	-	ns	
出力データ遅延時間 2	t_{pxd2}	-4	-	4	ns	

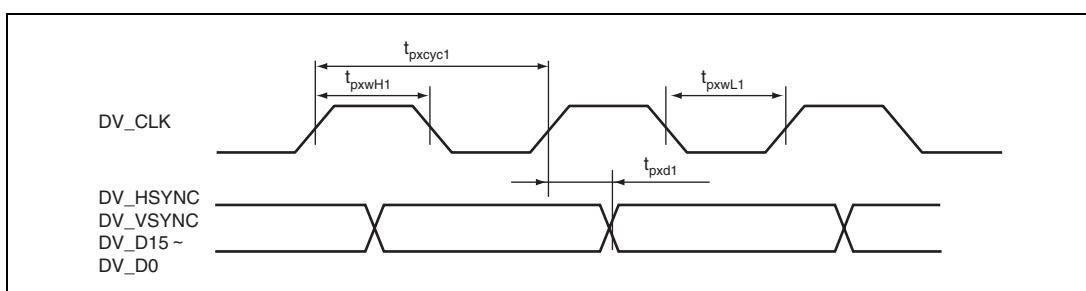


図52.53 VOU AC 特性 (VOUCR.CKPL = 0)

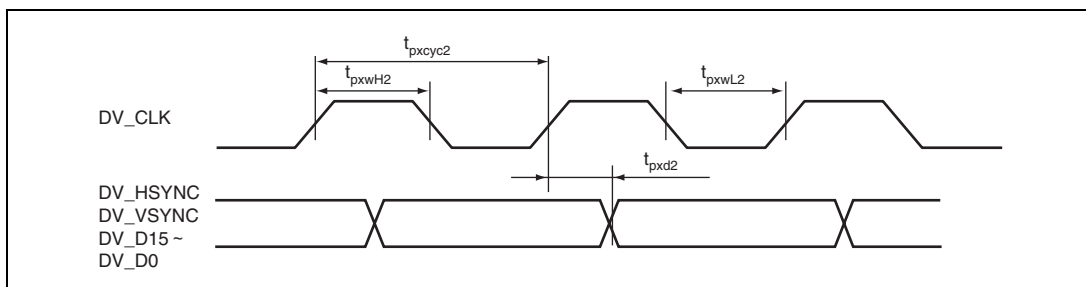


図52.54 VOU AC 特性 (VOUCR.CKPL = 1)

52.5.15 TSIF モジュール信号タイミング

表52.24 TSIF モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
TSIF 入力クロックサイクル	B 40MHz	25	-	ns	52.55
	B < 40MHz	t _{bcy} *	-	ns	
TSIF 入力クロックハイレベル幅	t _{TSHW}	0.4 × t _{TSCYC}	-	ns	
TSIF 入力クロックローレベル幅	t _{TSLW}	0.4 × t _{TSCYC}	-	ns	
TSIF 入力データセットアップ	t _{TSDTS}	5	-	ns	
TSIF 入力データホールド	t _{TSDTH}	5	-	ns	
TSIF 入力データイネーブル信号セットアップ	t _{TSDDES}	5	-	ns	
TSIF 入力データイネーブル信号ホールド	t _{TSDDEH}	5	-	ns	
TSIF 入力データ同期信号セットアップ	t _{TSSYS}	5	-	ns	
TSIF 入力データ同期信号ホールド	t _{TSSYH}	5	-	ns	

【注】 * t_{bcy} は内部バスクロック (B) の 1 サイクル時間を示します。

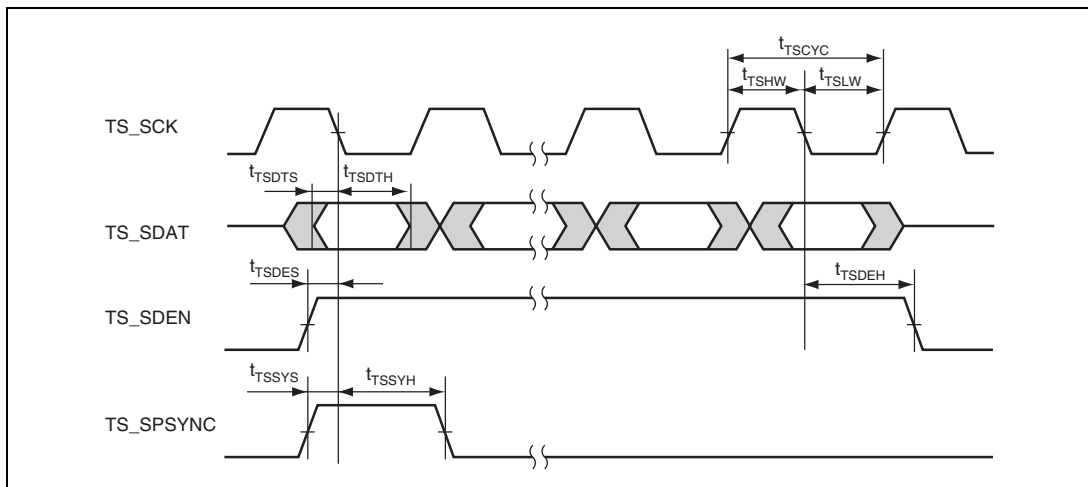


図52.55 TSIF モジュール信号タイミング

(TSCTLR.TSDATP = 0、 TSCTLR.TSCLKP = 1、 TSCTLR.TSVLDP = 0、 TSCTLR.PSYCP = 0 の場合)

52.5.16 KEYSC モジュール信号タイミング

表52.25 KEYSC モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
KEYIN 入力セットアップ時間	t _{KEYINS}	15	-	ns	52.56
KEYIN 入力ホールド時間	t _{KEYINH}	15	-	ns	
KEYOUT 遅延時間	t _{KEYOUTD}	-	15	ns	52.57

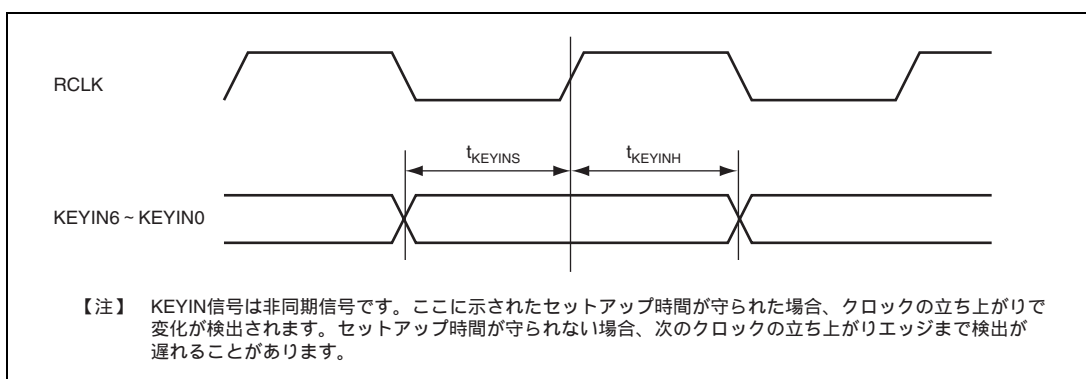


図52.56 KEYIN 入力タイミング

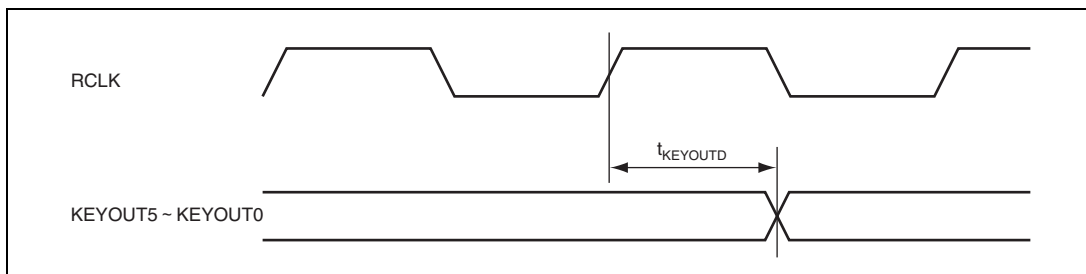


図52.57 KEYOUT 出力タイミング

52.5.17 ATAPI インタフェースモジュール信号タイミング

表52.26 ATAPI インタフェース PIO 転送タイミングの記号

記号	項目
t0	サイクル時間
t1	アドレスセットアップ時間
t2	IDEIORD/IDEIOWR パルス幅 8-bit
t2i	IDEIORD/IDEIOWR リカバリ時間
t3	IDEIOWR データセットアップ時間
t4	IDEIOWR データホールド時間
t5	IDEIORD データセットアップ時間
t6	IDEIORD データホールド時間
t6z	IDEIORD3 ステート遅延時間
t9	アドレスホールド時間
tRD	IDEIORDY リードデータ有効時間
tA	IDEIORDY セットアップ時間
tB	IDEIORDY パルス時間
tC	IDEIORDY のネゲートからハイインピーダンスまでの時間

表52.27 ATAPI インタフェース PIO 転送によるレジスタアクセスタイミング

測定条件 : VccQ1 = VccQ_VIO = VccQ_MMC = 2.7V ~ 3.6V

記号	Mode 0		Mode 1		Mode 2		Mode 3		Mode 4		単位	参照図
	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.		
t0	600	-	383	-	330	-	180	-	120	-	ns	52.58
t1	70	-	50	-	30	-	30	-	25	-	ns	
t2	290	-	290	-	290	-	80	-	70	-	ns	
t2i	-	-	-	-	-	-	70	-	25	-	ns	
t3	60	-	45	-	30	-	30	-	20	-	ns	
t4	30	-	20	-	15	-	10	-	10	-	ns	
t5	50	-	35	-	20	-	20	-	20	-	ns	
t6	5	-	5	-	5	-	5	-	5	-	ns	
t6z	-	30	-	30	-	30	-	30	-	30	ns	
t9	20	-	15	-	10	-	10	-	10	-	ns	
tRD	0	-	0	-	0	-	0	-	0	-	ns	
tA	35	-	35	-	35	-	35	-	35	-	ns	
tB	-	1250	-	1250	-	1250	-	1250	-	1250	ns	
tC	5	-	5	-	5	-	5	-	5	-	ns	

表52.28 ATAPI インタフェース PIO 転送によるデータ転送タイミング

測定条件 : VccQ1 = VccQ_VIO = VccQ_MMC = 2.7V ~ 3.6V

記号	Mode 0		Mode 1		Mode 2		Mode 3		Mode 4		単位	参照図
	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.		
t0	600	-	383	-	240	-	180	-	120	-	ns	52.58
t1	70	-	50	-	30	-	30	-	25	-	ns	
t2	290	-	290	-	290	-	80	-	70	-	ns	
t2i	-	-	-	-	-	-	70	-	25	-	ns	
t3	60	-	45	-	30	-	30	-	20	-	ns	
t4	30	-	20	-	15	-	10	-	10	-	ns	
t5	50	-	35	-	20	-	20	-	20	-	ns	
t6	5	-	5	-	5	-	5	-	5	-	ns	
t6z	-	30	-	30	-	30	-	30	-	30	ns	
t9	20	-	15	-	10	-	10	-	10	-	ns	
tRD	0	-	0	-	0	-	0	-	0	-	ns	
tA	35	-	35	-	35	-	35	-	35	-	ns	
tB	-	1250	-	1250	-	1250	-	1250	-	1250	ns	
tC	5	-	5	-	5	-	5	-	5	-	ns	

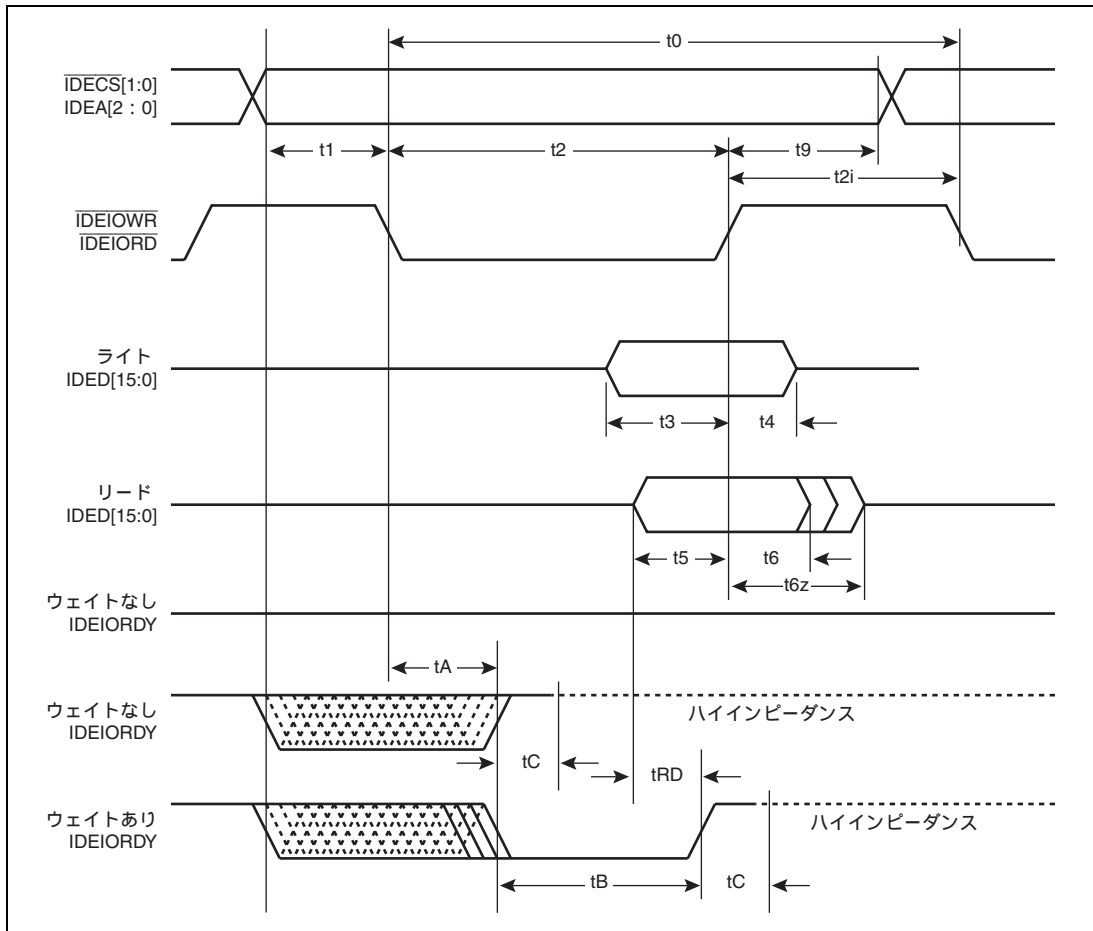


図52.58 デバイス間の PIO データ転送およびレジスタ転送

表52.29 ATAPI インタフェースマルチワード転送タイミングの記号

記号	項目
t0	サイクル時間
tD	$\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ パルス幅
tE	$\overline{\text{IDEIORD}}$ データアクセス時間
tF	$\overline{\text{IDEIORD}}$ データホールド時間
tG	$\overline{\text{IDEIORD}}/\overline{\text{IDEIOWR}}$ データセットアップ時間
tH	$\overline{\text{IDEIOWR}}$ データホールド時間
tI	$\overline{\text{IODACK}}$ セットアップ時間
tJ	$\overline{\text{IODACK}}$ ホールド時間
tKR	$\overline{\text{IDEIORD}}$ ネグティブパルス幅
tKW	$\overline{\text{IDEIOWR}}$ ネグティブパルス幅
tLR	$\overline{\text{IDEIORD}} \cdot \text{IODREQ}$ 遅延時間
tLW	$\overline{\text{IDEIOWR}} \cdot \text{IODREQ}$ 遅延時間
tM	$\overline{\text{IDECS}}[1:0]$ セットアップ時間
tN	$\overline{\text{IDECS}}[1:0]$ ホールド時間
tZ	$\overline{\text{IODACK3}}$ ステート遅延時間

表52.30 ATAPI インタフェースマルチワード転送タイミング

測定条件 : VccQ1 = VccQ_VIO = VccQ_MMC = 2.7V ~ 3.6V

記号	Mode 0		Mode 1		Mode 2		単位	参照図
	Min.	Max.	Min.	Max.	Min.	Max.		
t0	480	-	150	-	120	-	ns	52.60 ~ 52.62
tD	215	-	80	-	70	-	ns	
tE	-	150	-	60	-	50	ns	
tF	5	-	5	-	5	-	ns	
tG	100	-	30	-	20	-	ns	
tH	20	-	15	-	10	-	ns	
tI	0	-	0	-	0	-	ns	52.59
tJ	20	-	5	-	5	-	ns	52.61、52.62
tKR	50	-	50	-	25	-	ns	52.60 ~ 52.62
tKW	215	-	50	-	25	-	ns	52.60 ~ 52.62
tLR	-	120	-	40	-	35	ns	52.61
tLW	-	40	-	40	-	35	ns	
tM	50	-	30	-	25	-	ns	52.61
tN	15	-	10	-	10	-	ns	52.61、52.62
tZ	-	20	-	25	-	25	ns	

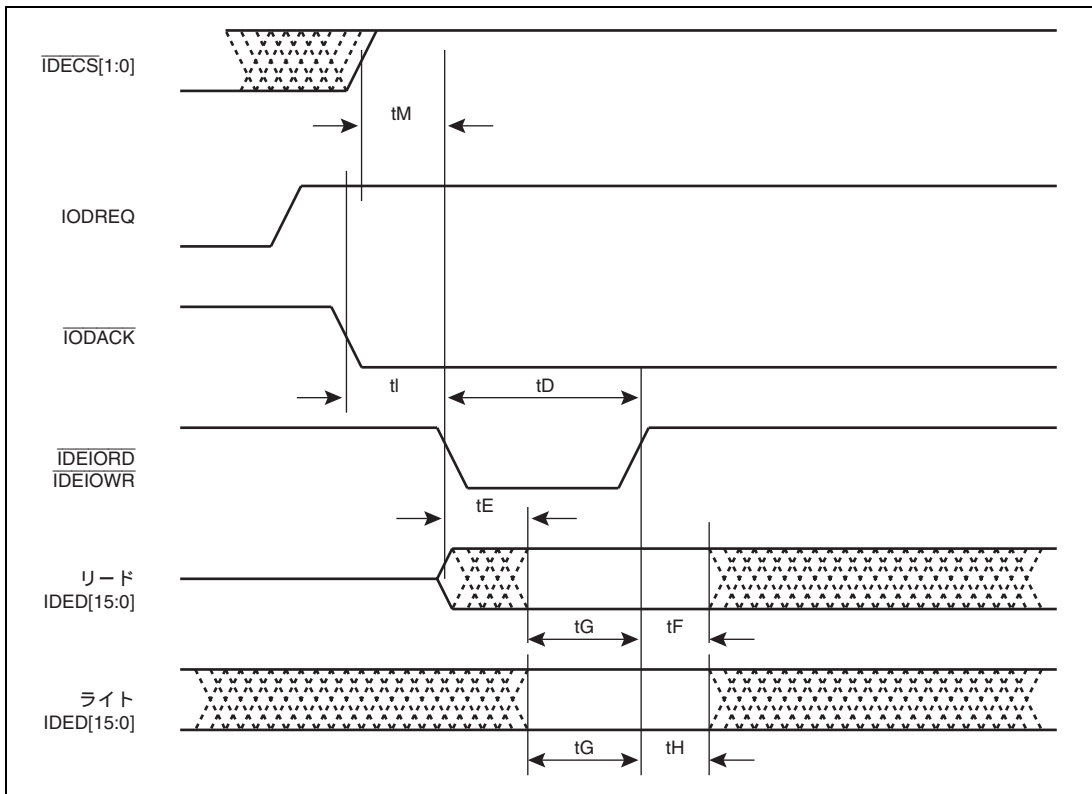


図52.59 マルチワード DMA データ転送開始

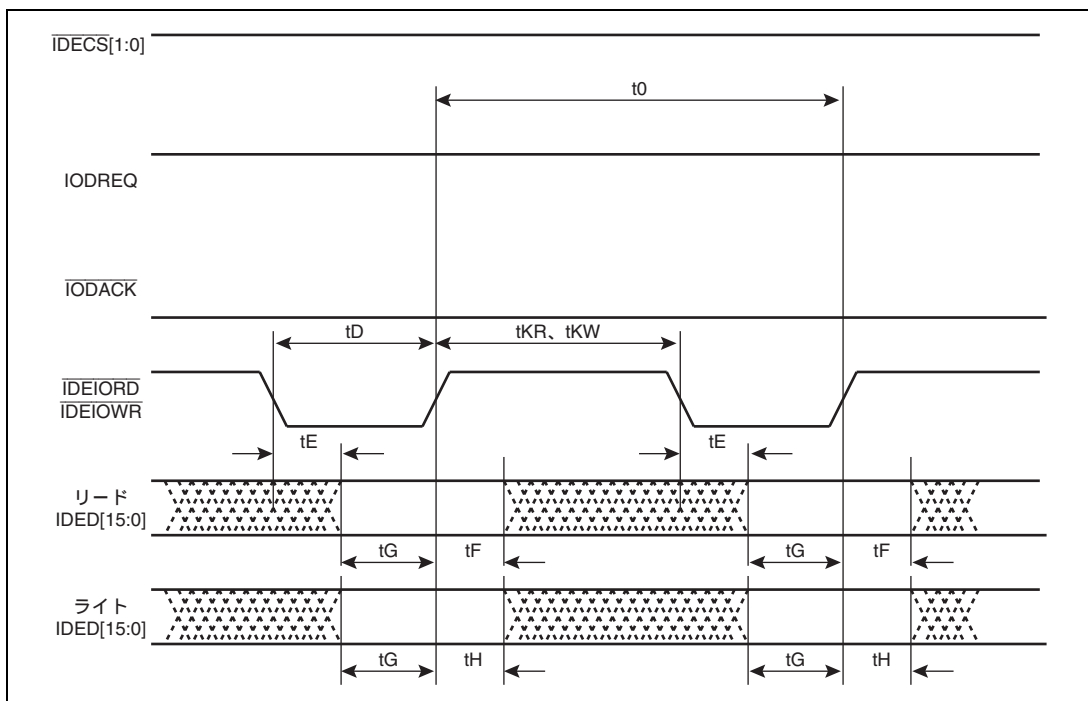


図52.60 マルチワード DMA データ転送

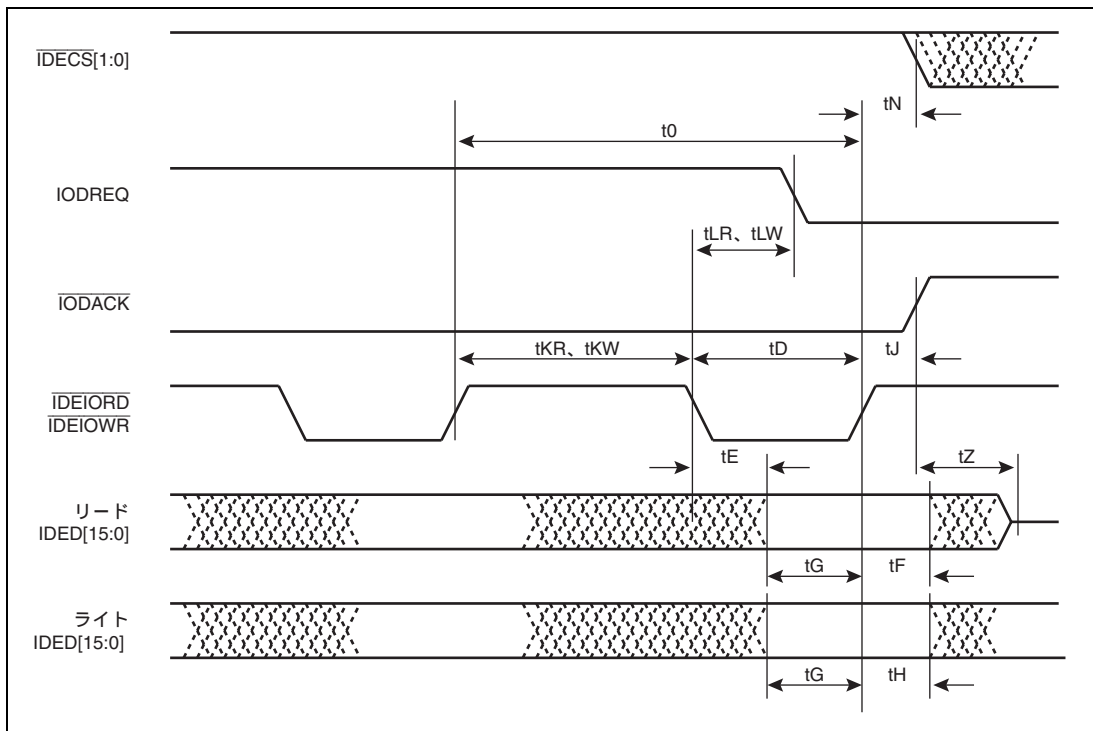


図52.61 デバイスからのマルチワード DMA データ転送終了

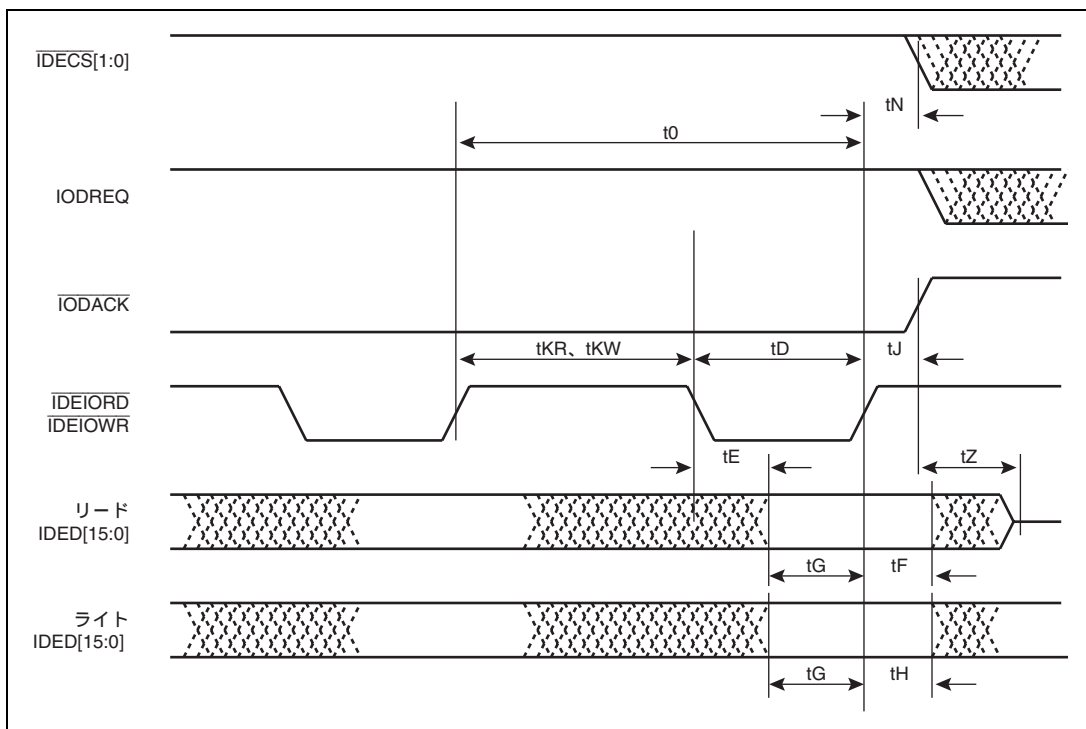


図52.62 ホストからのマルチワード DMA データ転送終了

表52.31 ATAPI インタフェースウルトラ DMA 転送タイミングの記号

記号	項目
t2CYCTYP	平均サイクル時間 (2 サイクル分)
tCYC	サイクル時間
t2CYC	最小サイクル時間 (2 サイクル分)
tDS	データセットアップ時間 (受け側)
tDH	データホールド時間 (受け側)
tDVS	データセットアップ時間 (送り側)
tDVH	データホールド時間 (送り側)
tCS	CRC データセットアップ時間 (受け側)
tCH	CRC データホールド時間 (受け側)
tCVS	CRC データセットアップ時間 (送り側)
tCVH	CRC データホールド時間 (送り側)
tZFS	ストロブのドライブから最初の STROBE までのセットアップ時間 (送り側)
tDZFS	データのドライブから最初の STROBE までのセットアップ時間 (送り側)
tFS	最初の STROBE 時間
tLI	制限付きインターロック時間
tMLI	最小インターロック時間
tUI	制限なしインターロック時間
tAZ	出力リリース時間
tZAH	出力ディレイ時間
tZAD	出力確定時間 (リリースから)
tENV	エンベロープ時間
tRFS	最終の STROBE 時間
tRP	STOP をアサートまたは DMARQ をネゲートするまでの時間
tIORDYZ	IORDY をリリースするまでの時間
tZIORDY	STROBE をドライブするまでの時間
tACK	DMACK セットアップ / ホールド時間
tSS	STROBE STOP 時間

表52.32 ATAPI インタフェースウルトラ DMA 転送タイミング

測定条件 : VccQ1 = VccQ_VIO = VccQ_MMC = 2.7V ~ 3.6V

記号	Mode 0		Mode 1		Mode 2		Mode 3		Mode 4		単位	参照図
	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.		
t2CYCTYP	240	-	160	-	120	-	90	-	60	-	ns	52.64
tCYC	112	-	73	-	54	-	39	-	25	-	ns	52.64、52.68
t2CYC	230	-	153	-	115	-	86	-	57	-	ns	
tDS	15	-	10	-	7	-	7	-	5	-	ns	
tDH	5	-	5	-	5	-	5	-	5	-	ns	
tDVS	70	-	48	-	31	-	20	-	6.7	-	ns	
tDVH	6.2	-	6.2	-	6.2	-	6.2	-	6.2	-	ns	52.63、52.64、 52.68、52.69
tCS	15	-	10	-	7	-	7	-	5	-	ns	52.64、52.67、 52.71、52.72
tCH	5	-	5	-	5	-	5	-	5	-	ns	
tCVS	70	-	48	-	31	-	20	-	6.7	-	ns	
tCVH	6.2	-	6.2	-	6.2	-	6.2	-	6.2	-	ns	52.61
tZFS	0	-	0	-	0	-	0	-	0	-	ns	52.61
tDZFS	70	-	48	-	31	-	20	-	6.7	-	ns	52.61、52.68
tFS	-	230	-	200	-	170	-	130	-	120	ns	52.61
tLI	0	150	0	150	0	150	0	100	0	100	ns	52.66 ~ 52.70 52.71、52.72
tMLI	20	-	20	-	20	-	20	-	20	-	ns	52.68、52.67、 52.71、52.72
tUI	0	-	0	-	0	-	0	-	0	-	ns	52.61、52.68
tAZ	-	10	-	10	-	10	-	10	-	10	ns	52.63、52.66、 52.67
tZAH	20	-	20	-	20	-	20	-	20	-	ns	52.66、52.67
tZAD	0	-	0	-	0	-	0	-	0	-	ns	52.63
tENV	20	70	20	70	20	70	20	55	20	55	ns	52.63、52.68
tRFS	-	75	-	70	-	60	-	60	-	60	ns	52.65、52.67、 52.70、52.72
tRP	160	-	125	-	100	-	100	-	100	-	ns	
tIORDYZ	-	20	-	20	-	20	-	20	-	20	ns	52.66、52.65、 52.71、52.72
tZIORDY	0	-	0	-	0	-	0	-	0	-	ns	52.63、52.68
tACK	20	-	20	-	20	-	20	-	20	-	ns	52.63、52.66 ~ 52.68、 52.71、52.72
tSS	50	-	50	-	50	-	50	-	50	-	ns	52.66、52.71

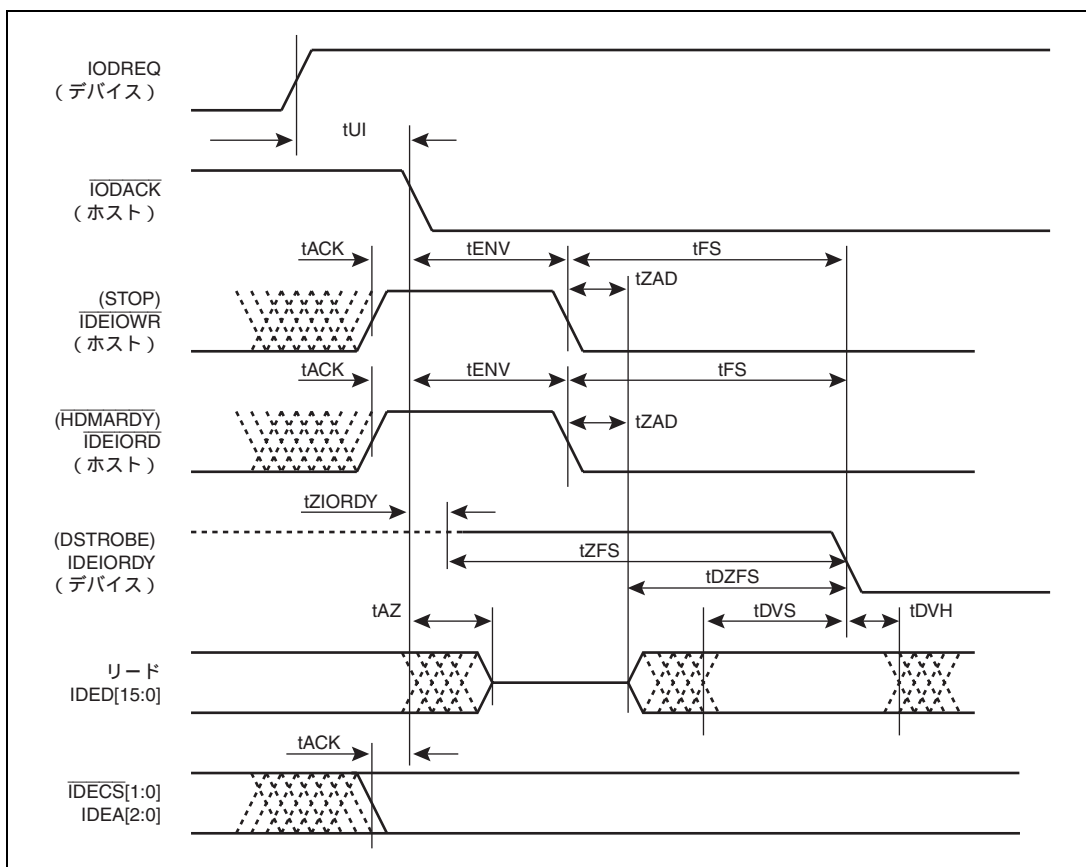


図52.63 ウルトラ DMA データインバースト開始

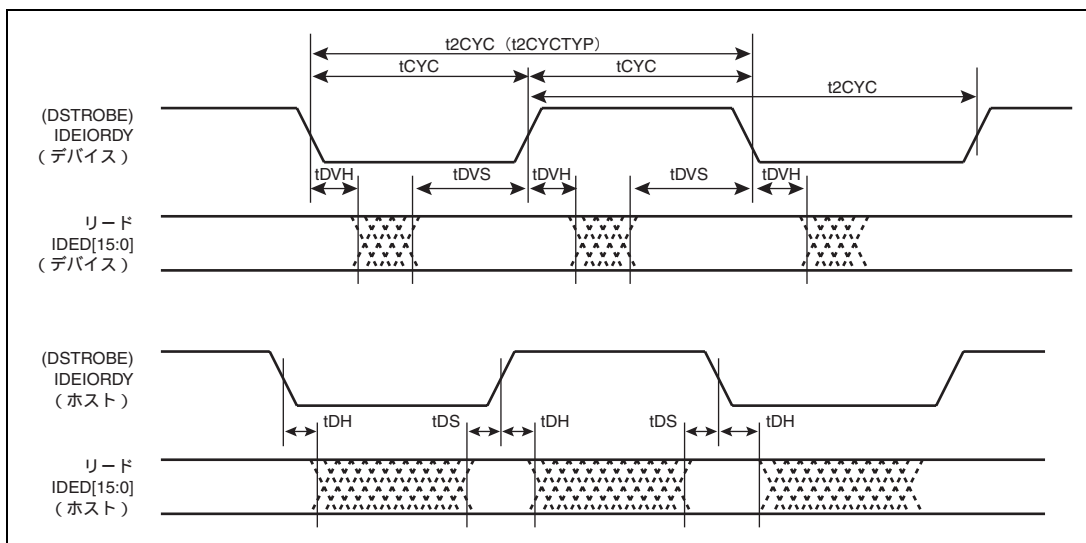


図52.64 ウルトラ DMA データインバースト

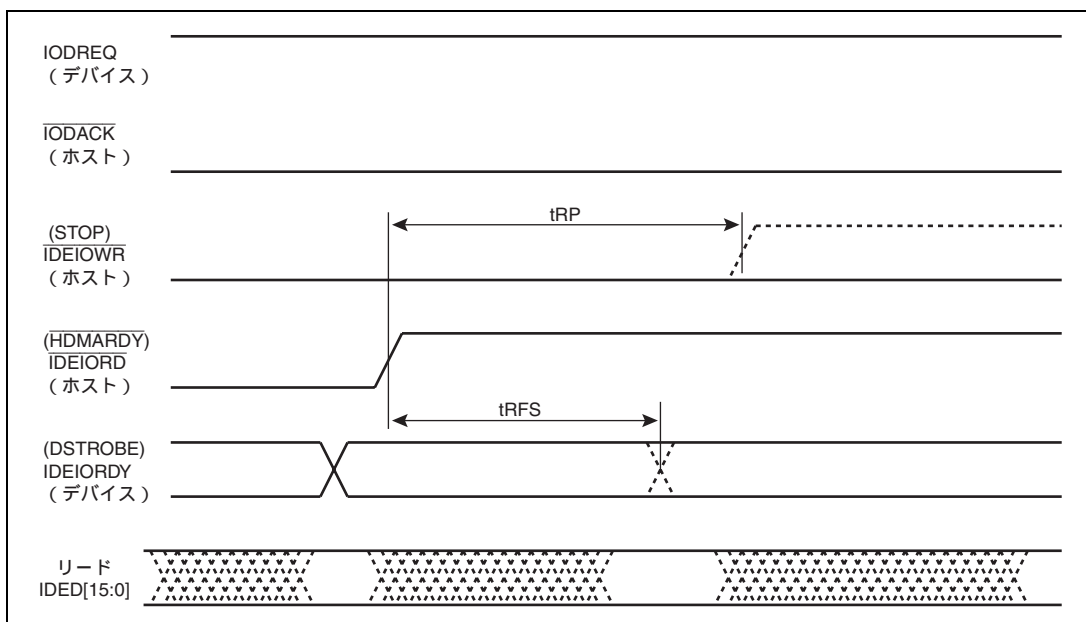


図52.65 ホストからのウルトラ DMA データインバーストポーズ

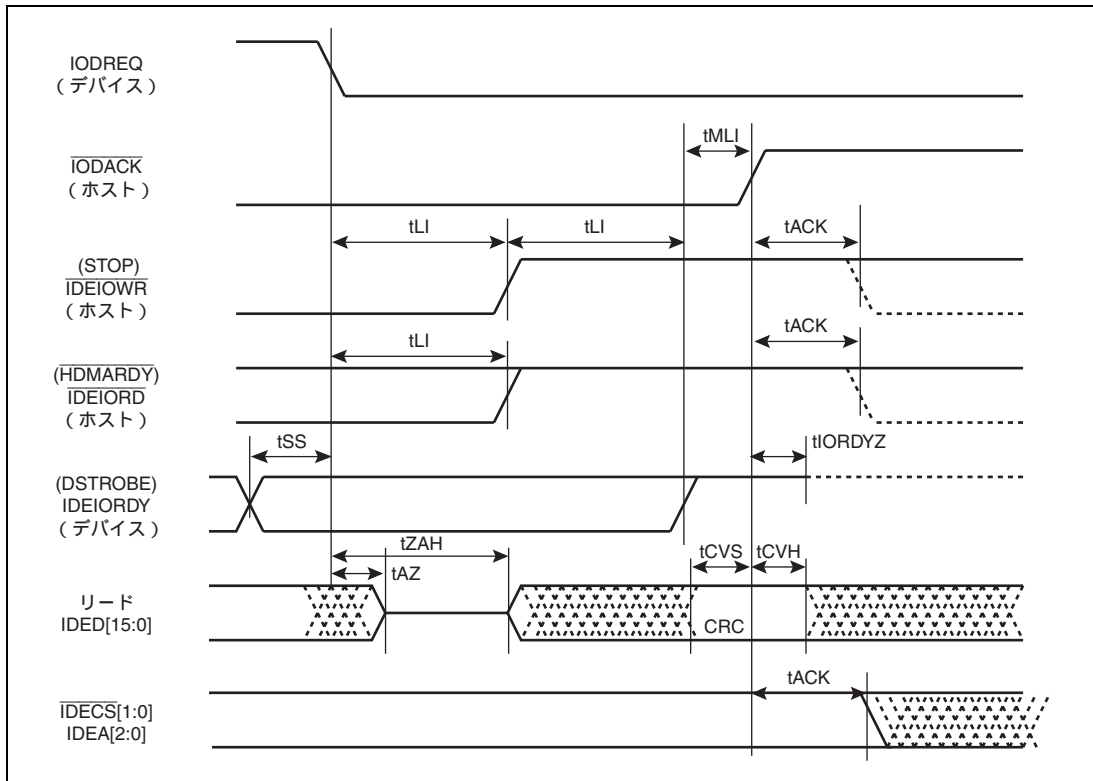


図52.66 デバイスからのウルトラ DMA データインバースト終了

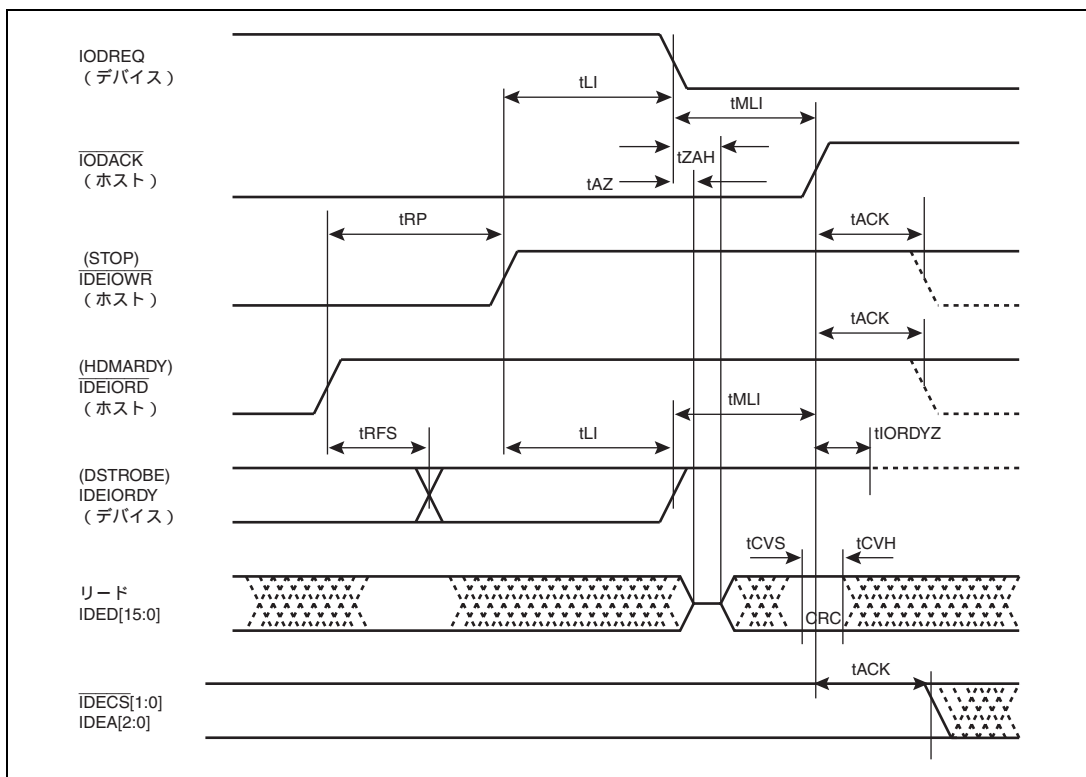


図52.67 ホストからのウルトラ DMA データインバースト終了

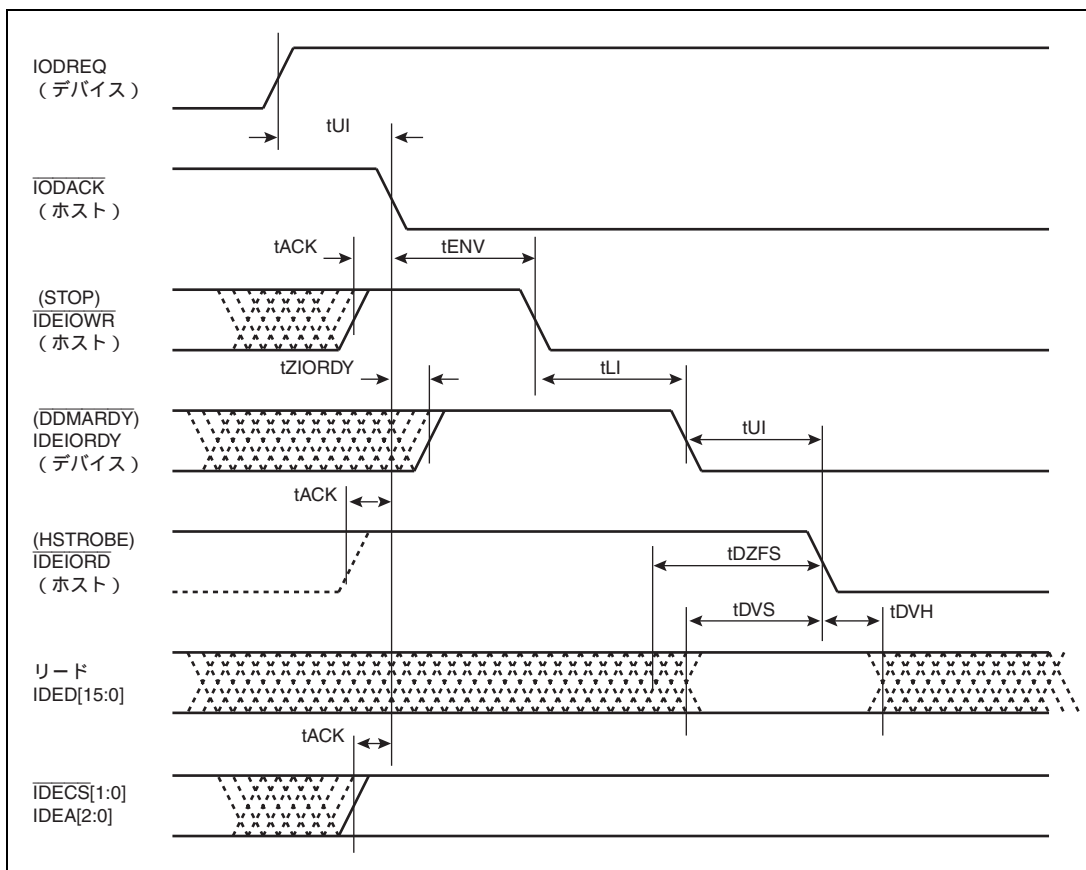


図52.68 ウルトラ DMA データアウトバースト開始

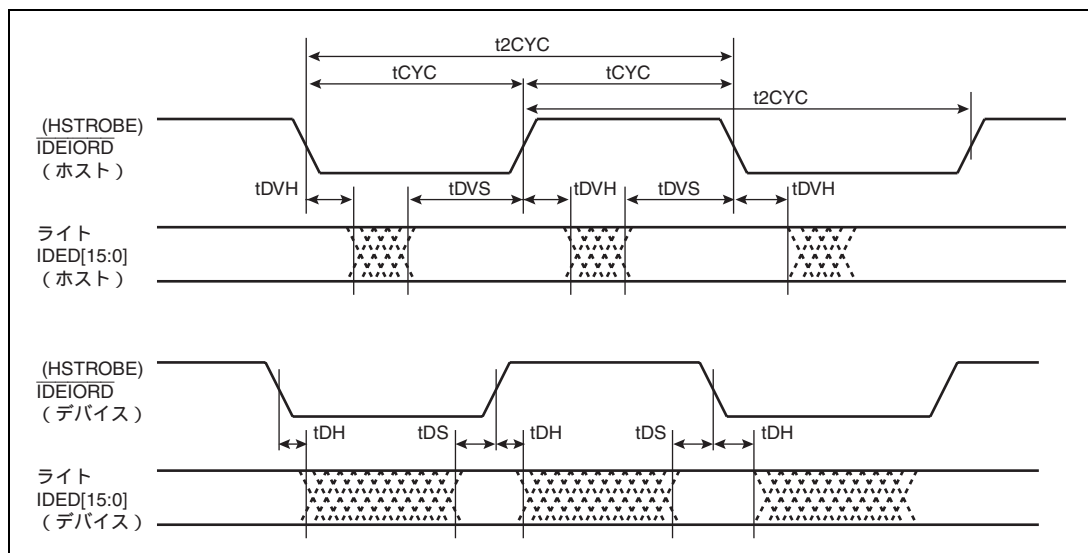


図52.69 ウルトラ DMA データアウトバースト

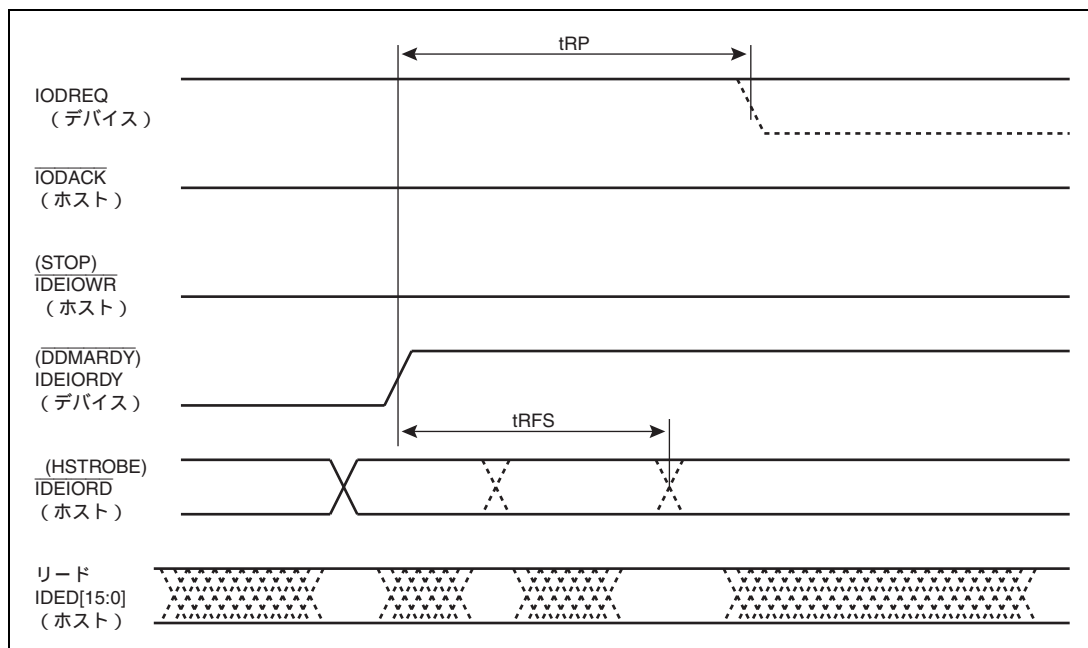


図52.70 デバイスからのウルトラ DMA データアウトバーストポーズ

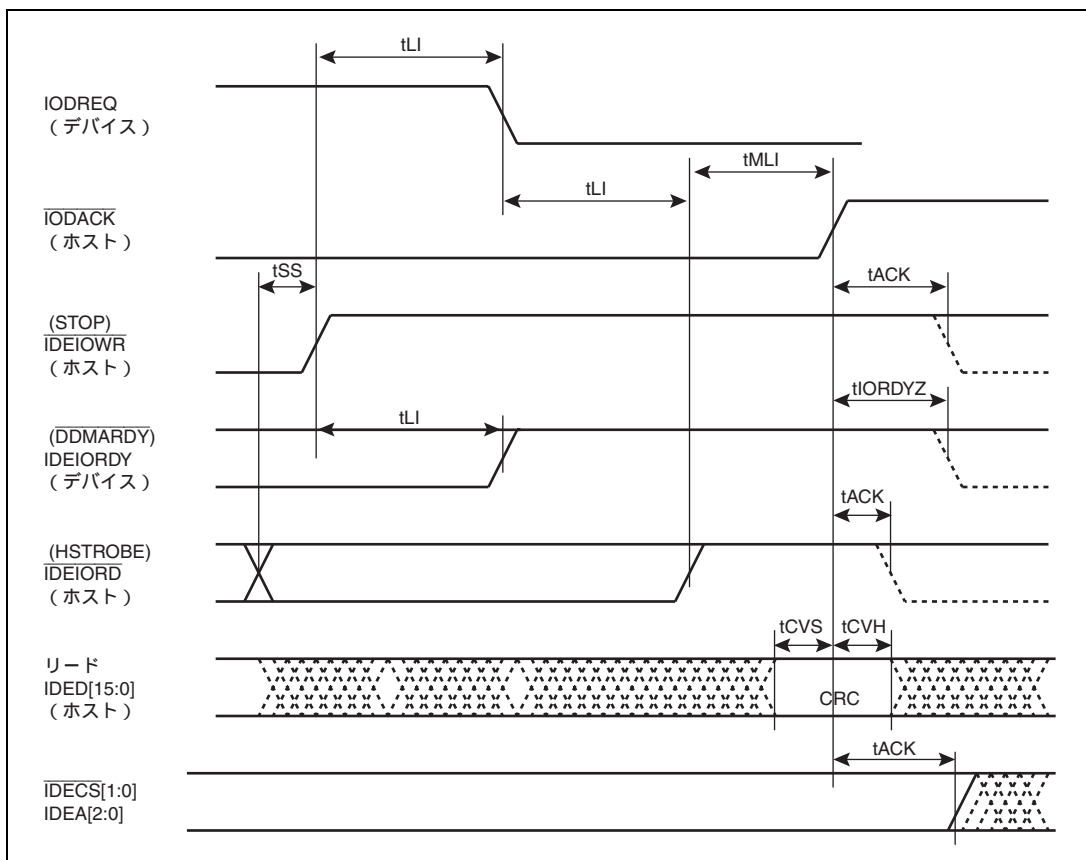


図52.71 ホストからのウルトラ DMA データアウトバースト終了

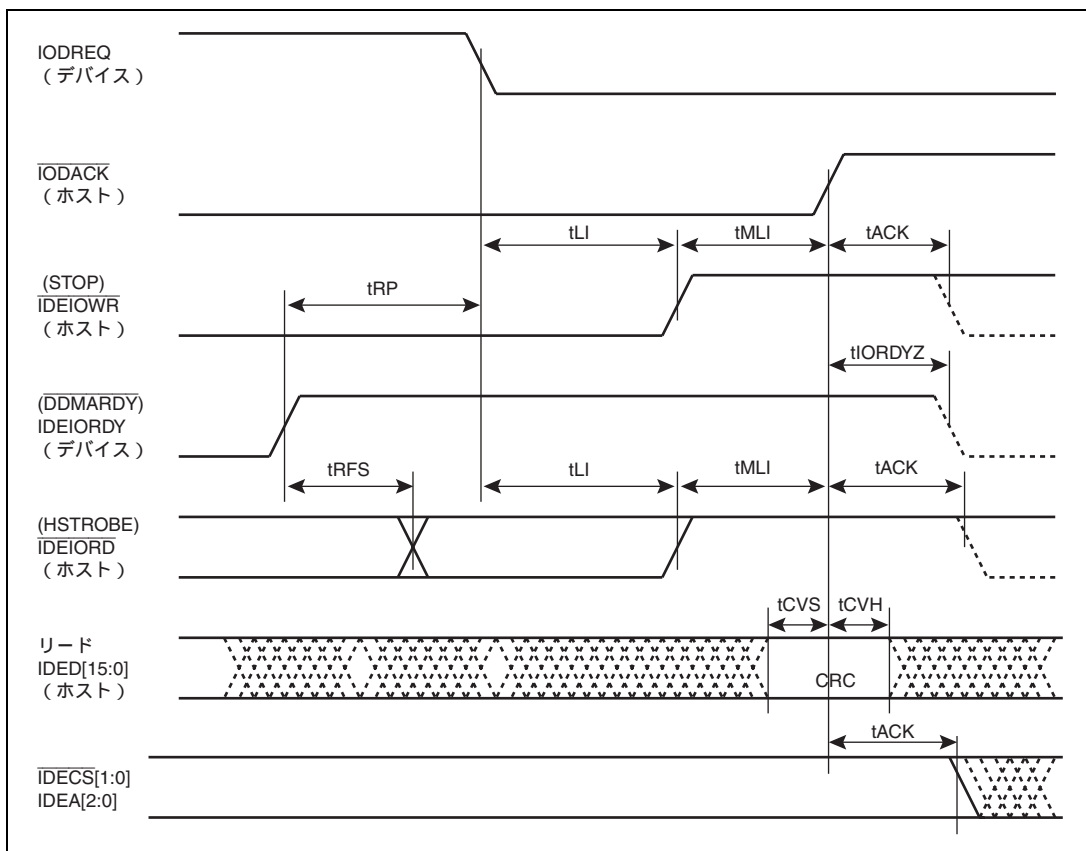


図52.72 デバイスからのウルトラ DMA データアウトバースト終了

表52.33 ATAPI インタフェース DIRECTION タイミングの記号

記号	項目
tDIRECTION_WF	PIO ライト時の DIRECTION 立ち下がり遅延時間
tDIRECTION_WR	PIO ライト時の DIRECTION 立ち上がり遅延時間
tMDIRECTION_F	マルチワード DMA データアウト DIRECTION 立ち下がり遅延時間
tMDIRECTION_R	マルチワード DMA データアウト DIRECTION 立ち上がり遅延時間
tUDIRECTION_F(CRC)	ウルトラ DMA データイン CRC 送信時の DIRECTION 立ち下がり遅延時間
tUDIRECTION_R(CRC)	ウルトラ DMA データイン CRC 送信時の DIRECTION 立ち上がり遅延時間
tUDIRECTION_F	ウルトラ DMA データアウト時の DIRECTION 立ち下がり遅延時間
tUDIRECTION_R	ウルトラ DMA データアウト時の DIRECTION 立ち上がり遅延時間
tDON	DIRECTION 立ち下りから IDED データバスを ON する時間
tDOFF	IDED データバスを OFF から DIRECTION 立ち上がり時間

表52.34 ATAPI インタフェース DIRECTION タイミング

測定条件 : VccQ1 = VccQ_VIO = VccQ_MMC = 2.7V ~ 3.6V

項目および記号	Mode 0		Mode 1		Mode 2		Mode 3		Mode 4		単位	参照図
	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.		
tDIRECTION_WF	79	87	56	65	34	42	34	42	34	42	ns	52.73
tDIRECTION_WR	63	71	63	71	33	41	33	41	33	41	ns	
tMDIRECTION_F	-19	-11	-19	-11	-19	-11	-	-	-	-	ns	52.75
tMDIRECTION_R	3	12	3	12	3	12	-	-	-	-	ns	
tUDIRECTION_F(CRC)	138	147	101	109	86	94	71	79	56	64	ns	52.77、
tUDIRECTION_R(CRC)	26	34	26	34	26	34	26	34	26	34	ns	52.78
tUDIRECTION_F	48	57	48	57	48	57	48	57	48	57	ns	52.79
tUDIRECTION_R	56	64	56	64	56	64	56	64	56	64	ns	52.80、 52.81
tDON	9	15	9	15	9	15	9	15	18	22	ns	52.73、 52.75、 52.77 ~ 52.79
tDOFF	6	14	6	14	6	14	6	14	6	14	ns	52.73、 52.75、 52.77、 52.78、 52.80、52.81

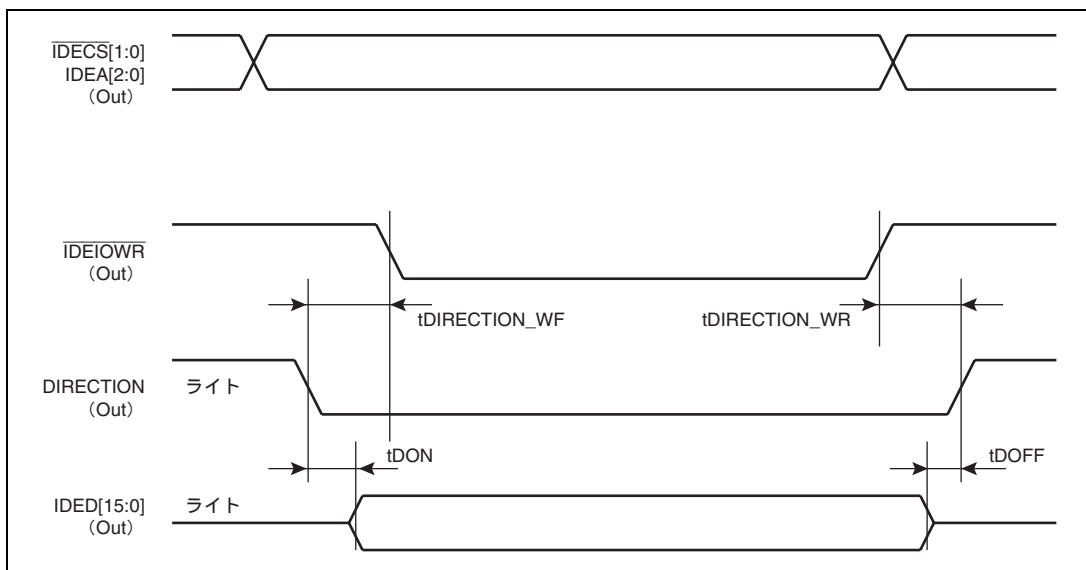


図52.73 デバイスへの PIO データ転送 (DIRECTION)

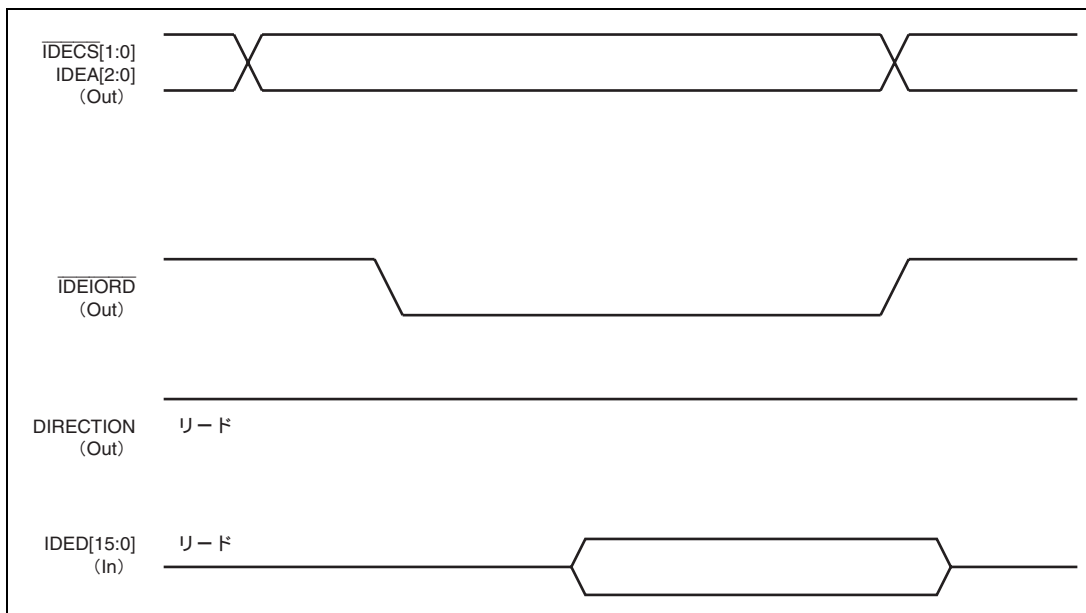


図52.74 デバイスからの PIO データ転送 (DIRECTION)

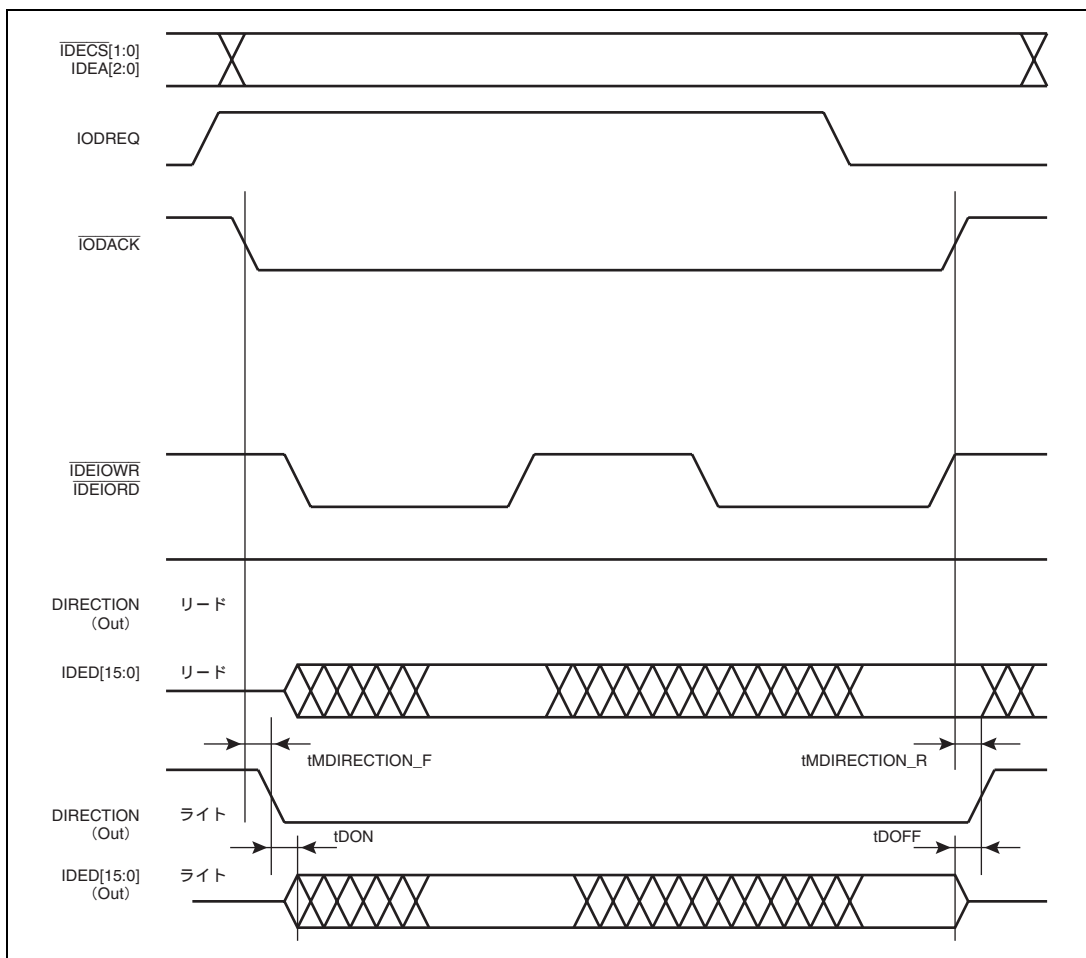


図52.75 マルチワード DMA 転送 (DIRECTION)

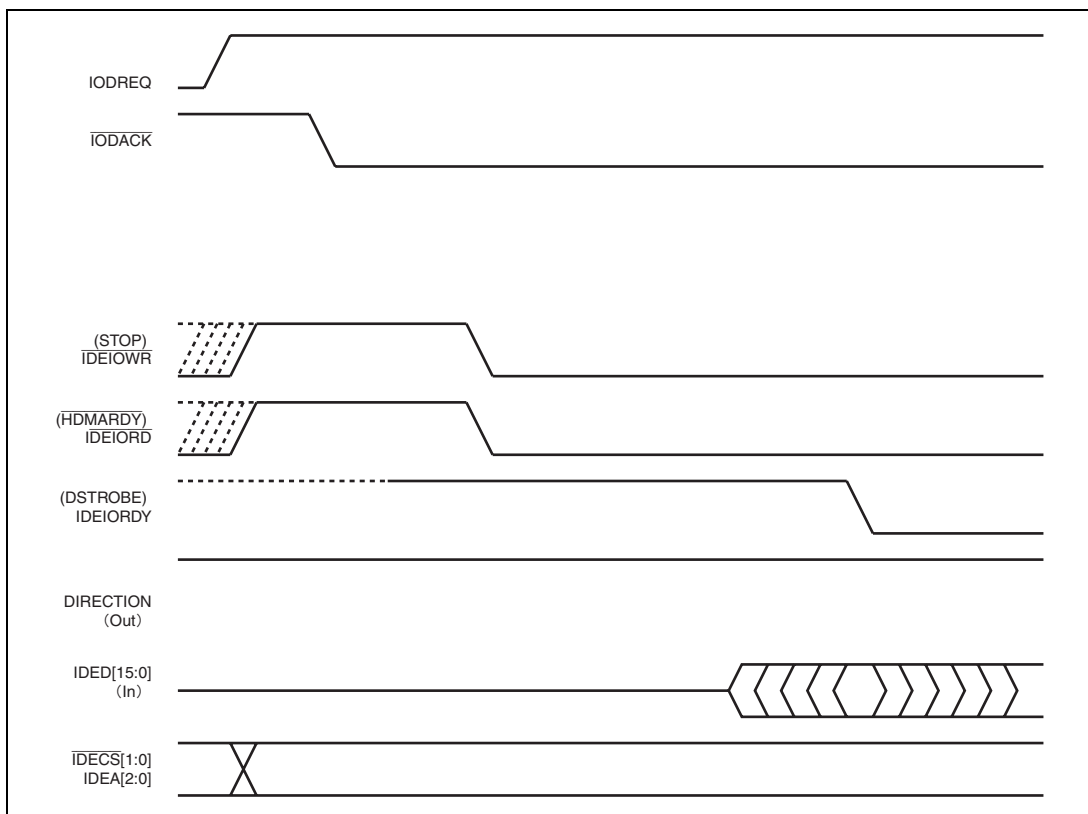


図52.76 ウルトラ DMA 転送データインバースト開始 (DIRECTION)

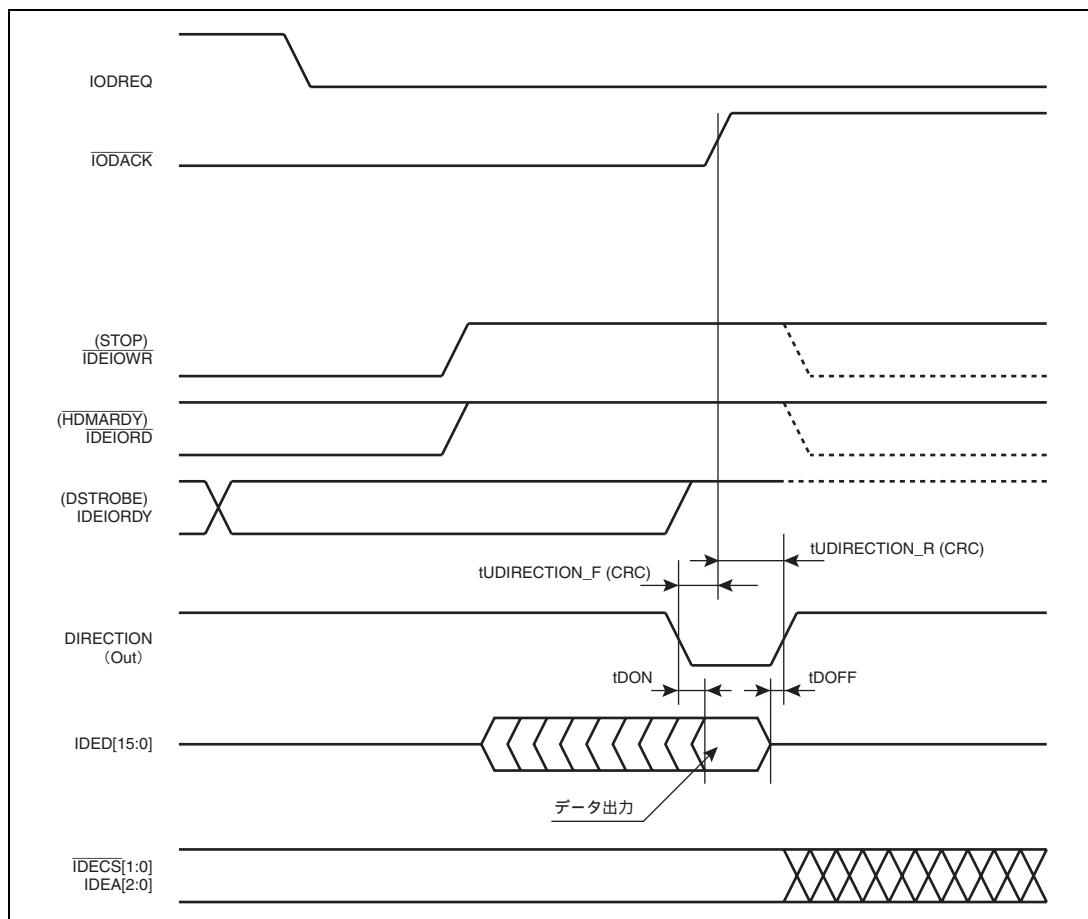


図52.77 デバイスからのウルトラ DMA 転送データインバースト終了 (DIRECTION)

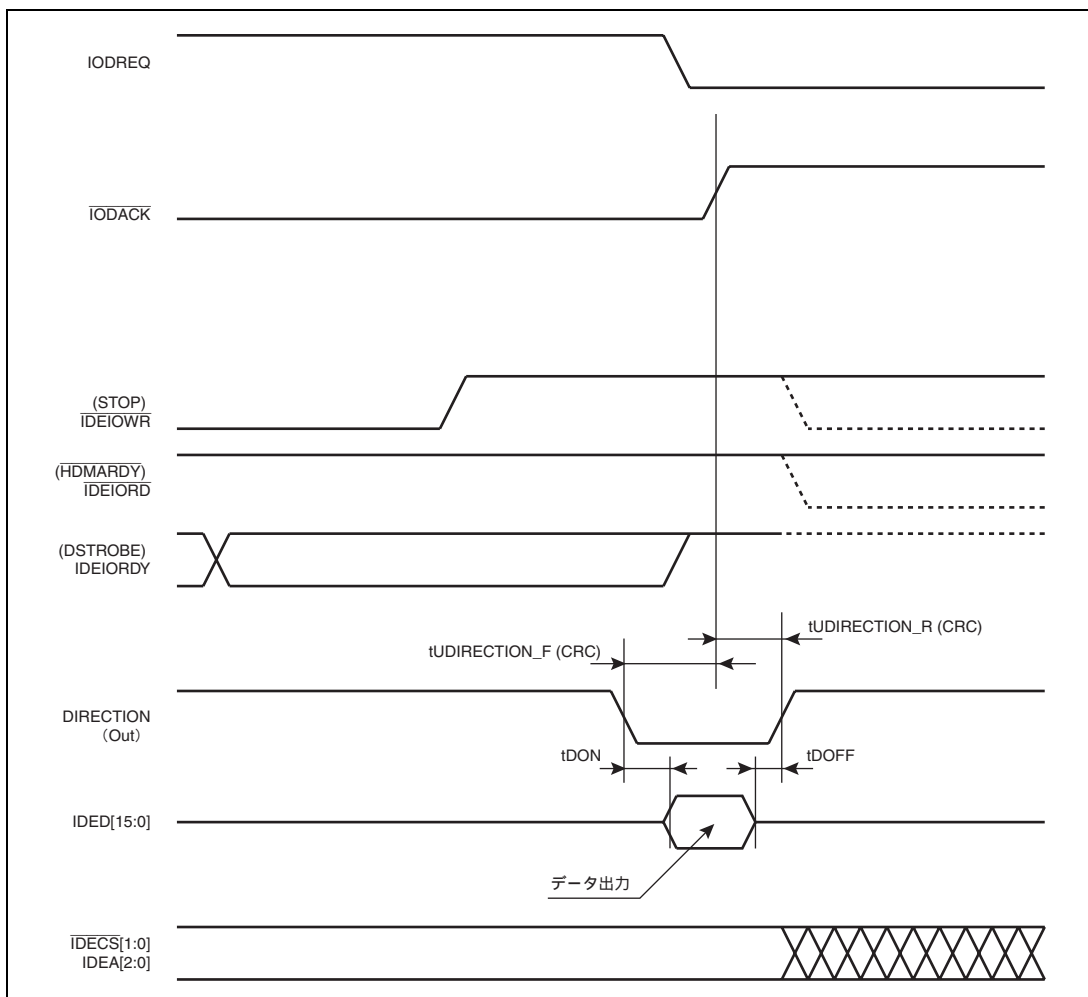


図52.78 ホストからのウルトラ DMA 転送データインバースト終了 (DIRECTION)

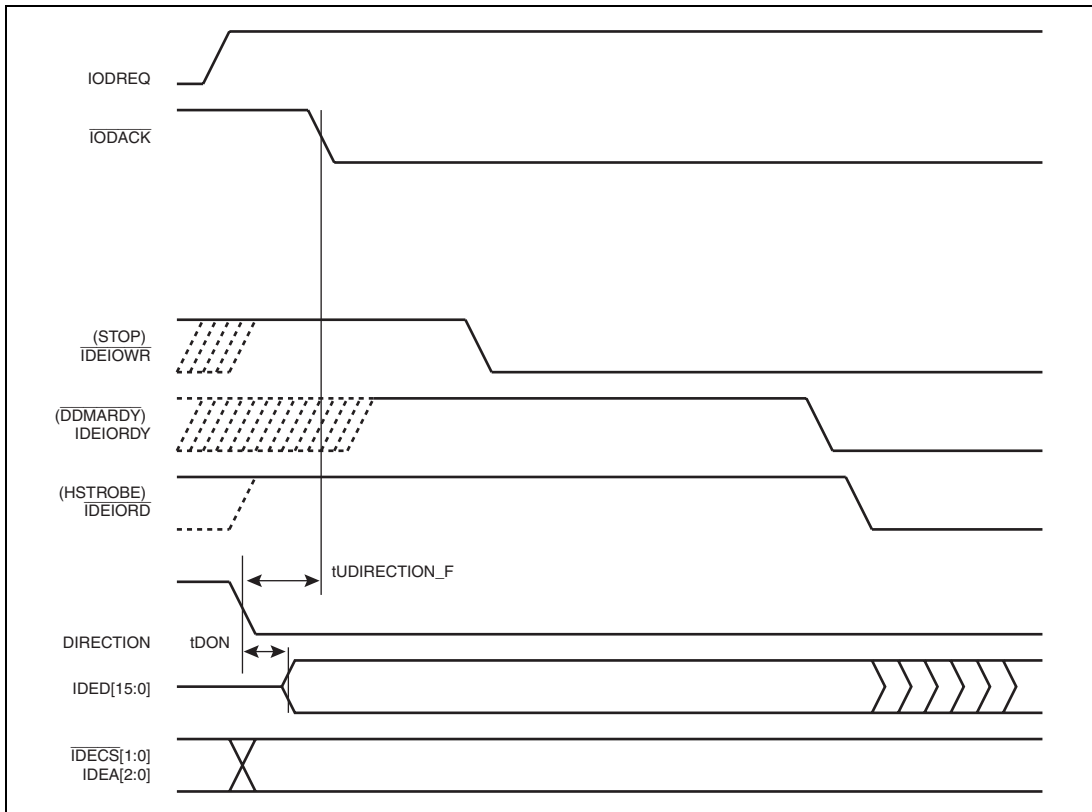


図52.79 ウルトラ DMA 転送データアウトバースト開始 (DIRECTION)

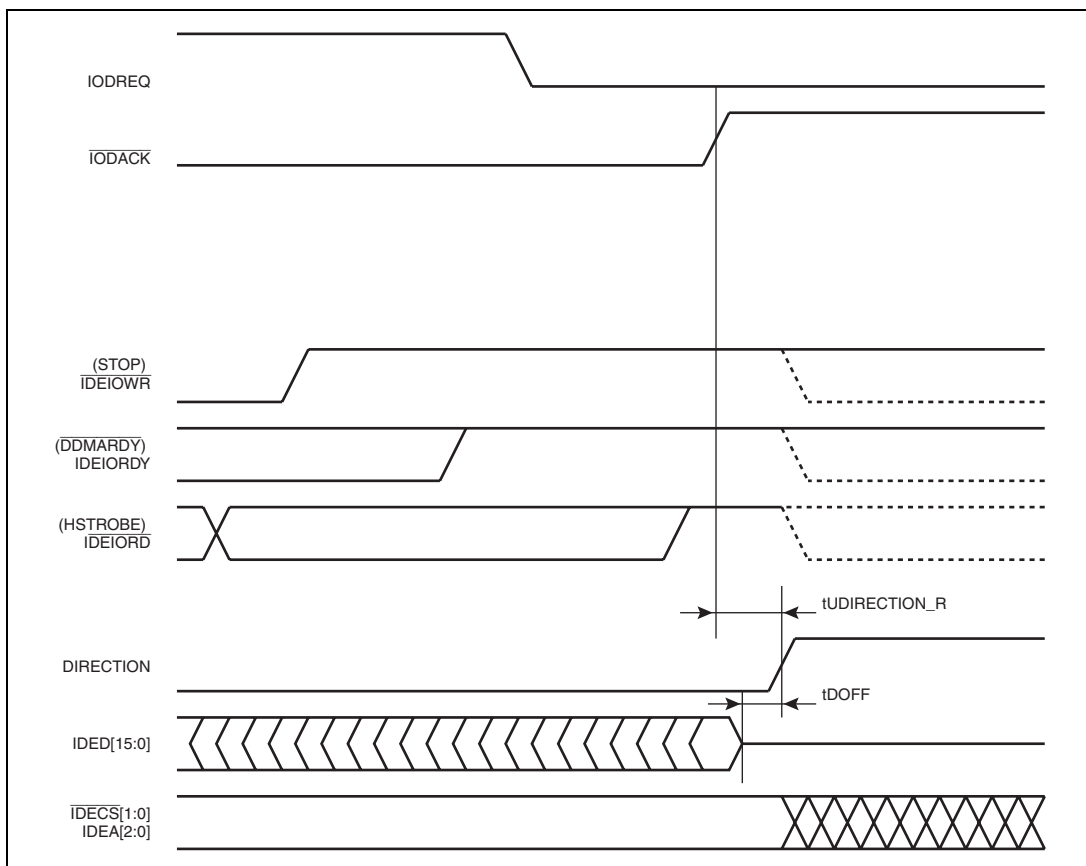


図52.80 ホストからのウルトラ DMA 転送データアウトバースト終了 (DIRECTION)

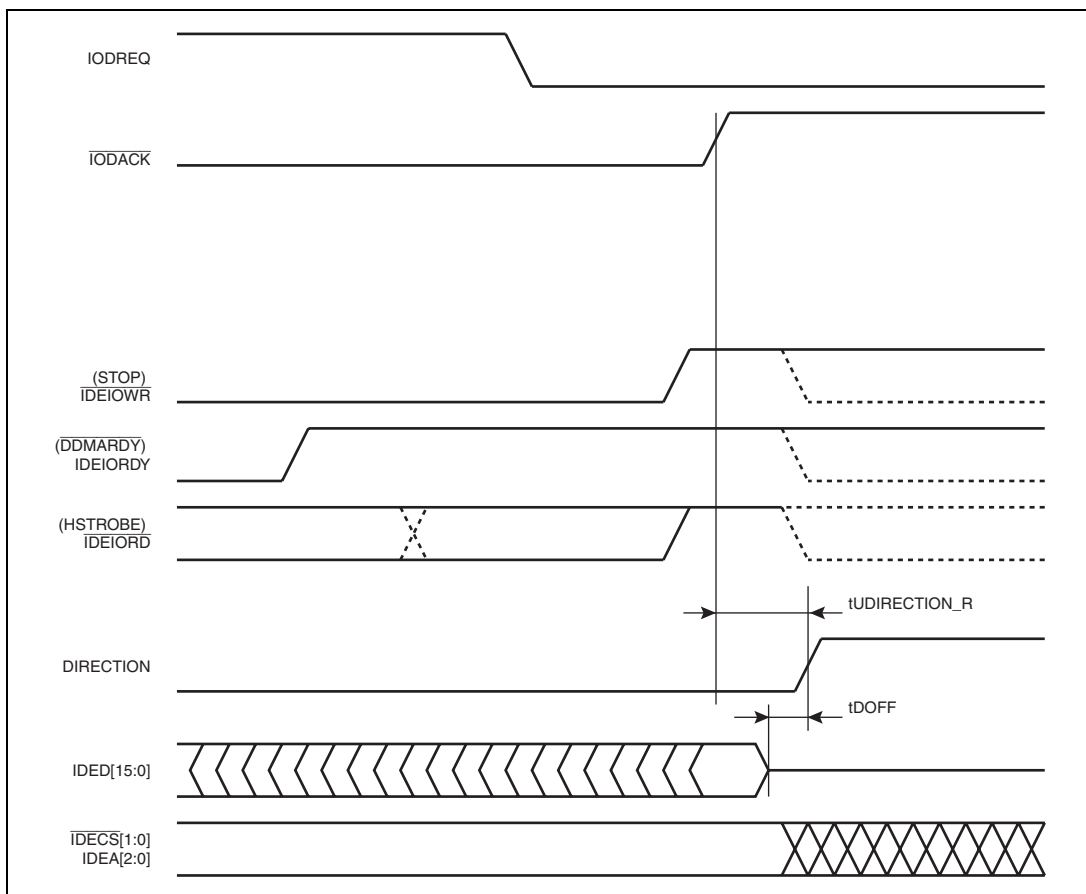


図52.81 デバイスからのウルトラ DMA 転送データアウトバースト終了 (DIRECTION)

52.5.18 イーサネットコントローラタイミング (RMII)

表52.35 イーサネットコントローラタイミング (RMII)

測定条件 : $V_{ccQ_SR} = 2.7V \sim 3.6V$

項目	記号	Min.	Max.	単位	参照図
REF50CK サイクル時間	t_{RTcyc}	20	-	ns	52.82
RMII _n _TXD_EN、RMII1M_TXD_EN 出力遅延時間	t_{RTEND}	2.5	15.5	ns	
RMII _n _TXD1、RMII _n _TXD0、RMII1M_TXD1、RMII1M_TXD0 出力遅延時間	t_{RETDD}	2.5	15.5	ns	
RMII _n _CRS_DV、RMII1M_CRS_DV セットアップ時間	t_{RRDVS}	4	-	ns	
RMII _n _CRS_DV、RMII1M_CRS_DV ホールド時間	t_{RRDVH}	2.5	-	ns	
RMII _n _RXD1、RMII _n _RXD0、RMII1M_RXD1、RMII1M_RXD0 セットアップ時間	t_{RRERDS}	4	-	ns	
RMII _n _RXD1、RMII _n _RXD0、RMII1M_RXD1、RMII1M_RXD0 ホールド時間	t_{RRERDH}	2.5	-	ns	
RMII _n _RX_ER セットアップ時間	t_{RRERS}	4	-	ns	52.83、52.84
RMII _n _RX_ER ホールド時間	t_{RRERH}	2.5	-	ns	

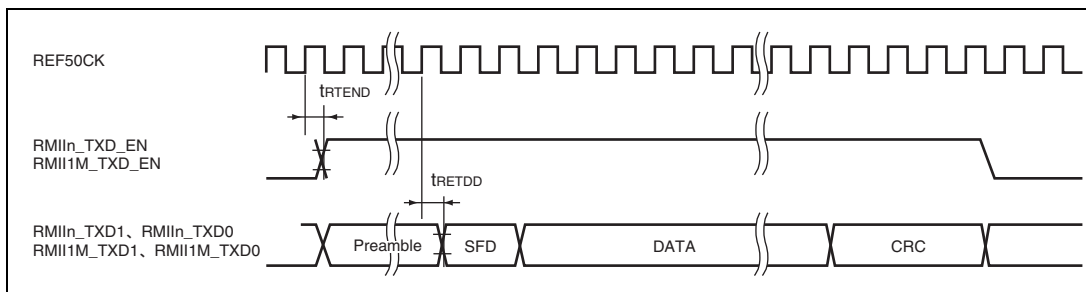


図52.82 RMII 送信タイミング

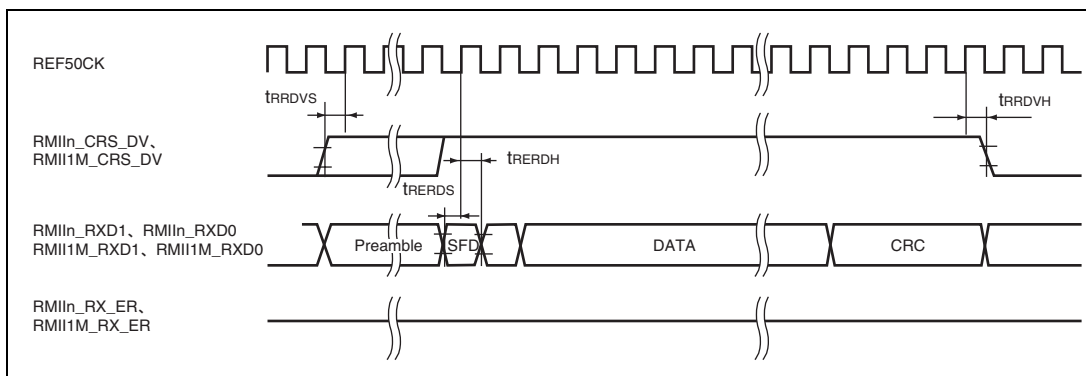


図52.83 RMII 受信タイミング (正常動作時)

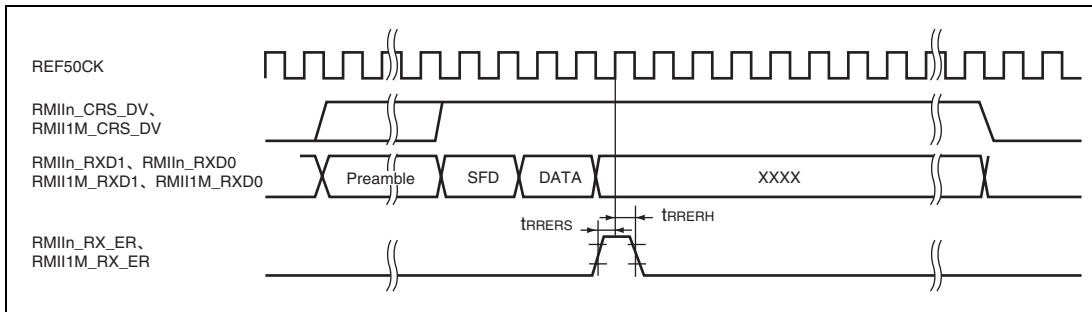


図52.84 RMII 受信タイミング (エラー発生ケース)

52.5.19 SDHI モジュール信号タイミング

表52.36 SDHI モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
SDCLK クロックサイクル	t_{SDPP}	20	-	ns	52.85
SDCLK クロックハイレベル幅	t_{SDWH}	$0.4 \times t_{SDPP}$	-	ns	
SDCLK クロックローレベル幅	t_{SDWL}	$0.4 \times t_{SDPP}$	-	ns	
SDCMD、SDDAT3～SDDAT0 出力データ遅延 (データ転送モード)	t_{SDODLY}	-	5	ns	
SDCMD、SDDAT3～SDDAT0 入力データセットアップ	t_{SDISU}	5	-	ns	
SDCMD、SDDAT3～SDDAT0 入力データホールド	t_{SDIH}	2	-	ns	

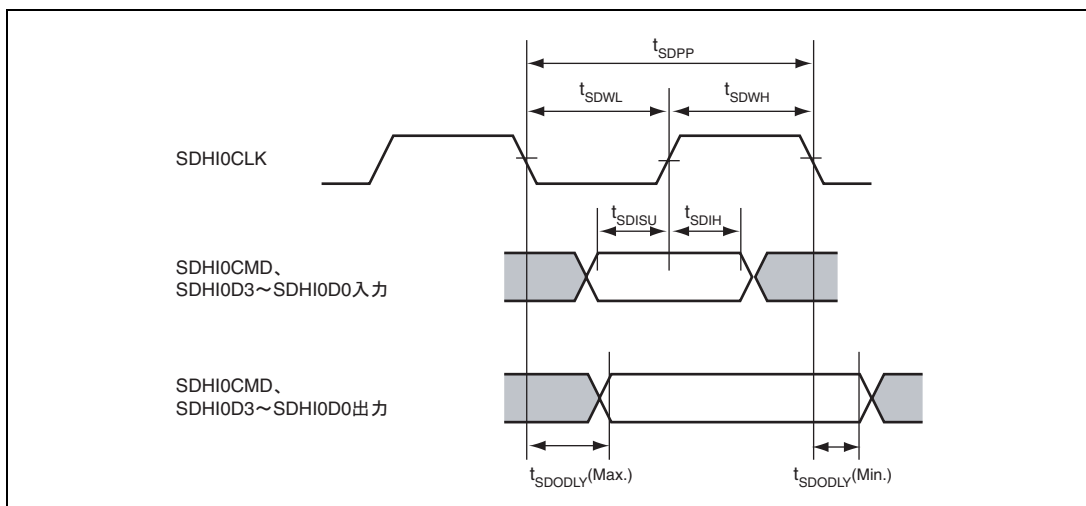


図52.85 SDHI モジュール信号タイミング図

52.5.20 MMCIF モジュール信号タイミング

表52.37 MMCIF モジュール信号タイミング

測定条件 : $V_{ccQ_MMC} = 2.7V \sim 3.6V$

項目	記号	Min.	Max.	単位	参照図
MMC_CLK クロックサイクル	t_{MMCPP}	-	26/52	MHz	52.86
MMC_CLK クロックハイレベル幅	T_{MMCWH}	6.5	-	ns	
MMC_CLK クロックローレベル幅	t_{MMCWL}	6.5	-	ns	
MMC_CMD、MMC_D7 ~ MMC_D0 出力データ遅延時間	t_{MMCODY}	-6.5	6.5	ns	
MMC_CMD、MMC_D7 ~ MMC_D0 入力データセットアップ	t_{MMCISU}	4.5	-	ns	
MMC_CMD、MMC_D7 ~ MMC_D0 入力データホールド	t_{MMCIH}	4.5	-	ns	

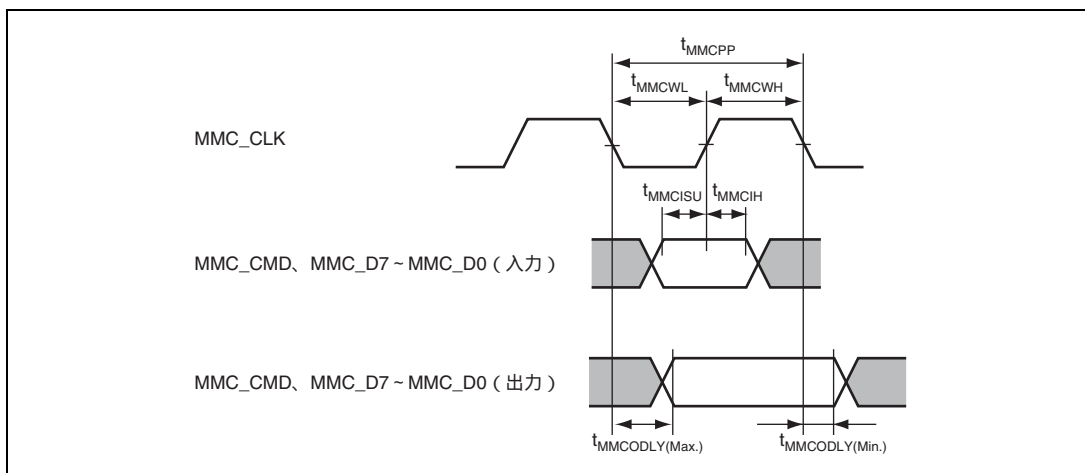


図52.86 MMCIF モジュール信号タイミング図

52.5.21 FSI モジュール信号タイミング

表52.38 FSI モジュール信号タイミング

項目	記号	Min.	Max.	単位	参照図
FSIMCK クロック入力サイクル時間	tFSIMCYC	40	-	ns	52.87
FSIMCK 入力ハイレベル幅	tFSIMWH	$0.4 \times t_{FSIMCYC}$	-	ns	
FSIMCK 入力ローレベル幅	tFSIMWL	$0.4 \times t_{FSIMCYC}$	-	ns	
FSIO_BCK クロックサイクル時間	tFSISICYC	80	-	ns	52.88
FSIO_BCK 出力ハイレベル幅	tFSISWHO	$0.4 \times t_{FSISICYC}$	-	ns	
FSIO_BCK 出力ローレベル幅	tFSISWLO	$0.4 \times t_{FSISICYC}$	-	ns	
FSIO_LRCK 出力遅延時間	tFSIFSD	-	20	ns	
FSII_BCK 入力ハイレベル幅	tFSISWHI	$0.4 \times t_{FSISICYC}$	-	ns	
FSII_BCK 入力ローレベル幅	tFSISWLI	$0.4 \times t_{FSISICYC}$	-	ns	
FSIO_SD 出力遅延時間	tFSISTDD	-	20	ns	
FSII_SD 入力セットアップ時間	tFSISRDS	20	-	ns	
FSII_SD 入力ホールド時間	tFSISRDH	20	-	ns	

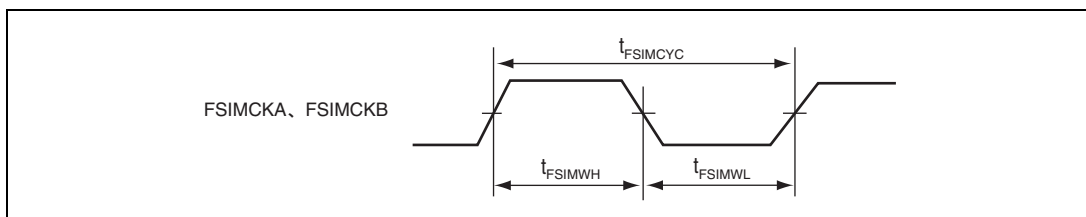


図52.87 FSIモジュール入力タイミング

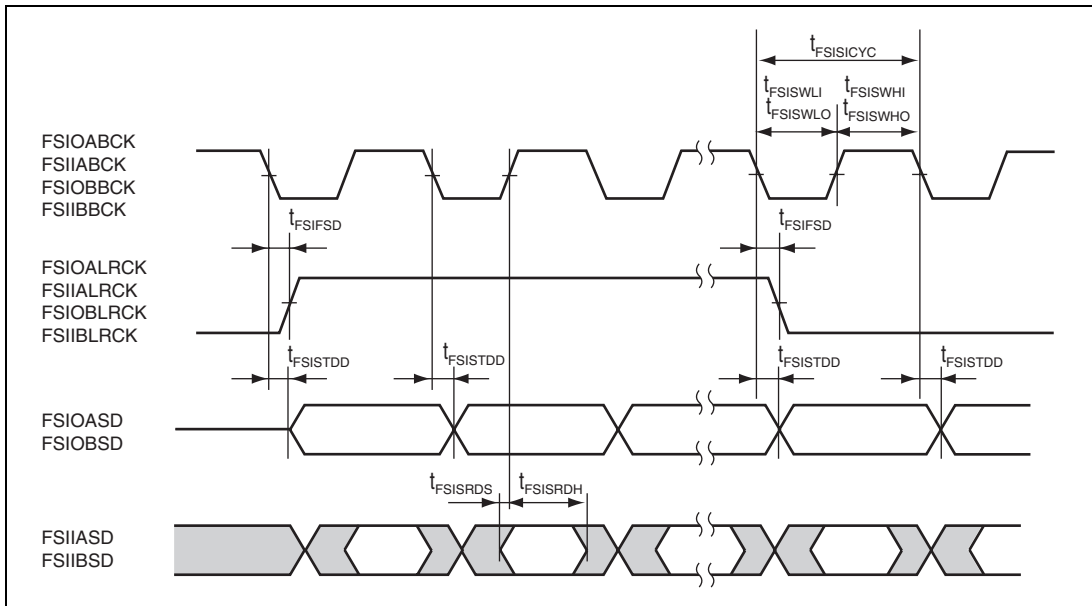


図52.88 FSI 送信タイミング

52.5.22 H-UDI モジュール信号タイミング

表52.39 H-UDI モジュール信号タイミング

条件 : $V_{CCQ}=3.3V \pm 0.3V$ 、 $T_a=-40 \sim 85$ 、 $GND=V_{SS}=0V$ 、 $C_L=30pF$

項目	記号	Min.	Max.	単位	参考図
入力クロック周期	t_{TCKcyc}	50 *	-	ns	52.89
入力クロックパルス幅 (High)	t_{TCKH}	15	-	ns	
入力クロックパルス幅 (Low)	t_{TCKL}	15	-	ns	
入力クロック立ち上がり時間	t_{TCKr}	-	10	ns	
入力クロック立ち下がり時間	t_{TCKf}	-	10	ns	
TDI/TMS セットアップ時間	t_{TDIS}	15	-	ns	52.90
TDI/TMS ホールド時間	t_{TDIH}	15	-	ns	
TDO 出力遅延時間	t_{TDO}	0	12	ns	

【注】 * バウンダリスキャン動作時は 2MHz となります。

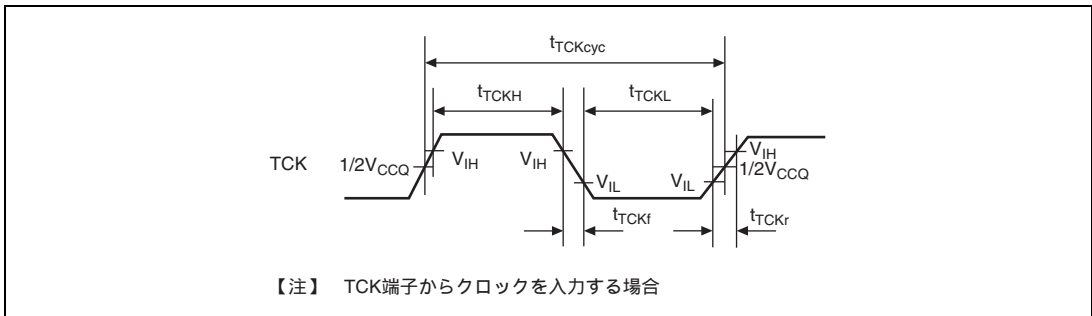


図52.89 TCK 入力タイミング図

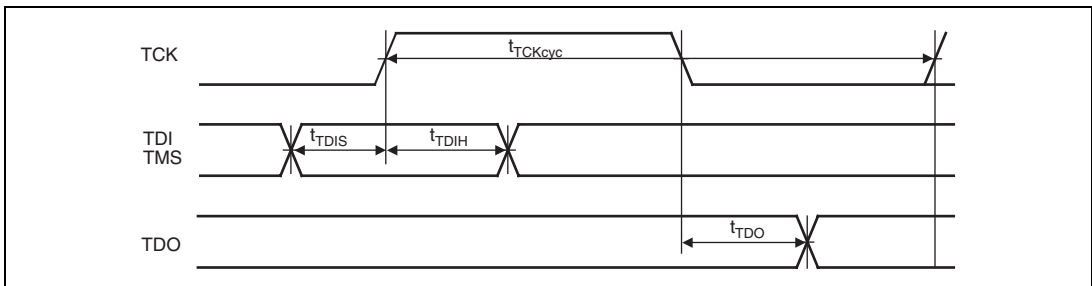


図52.90 H-UDI データ転送タイミング

52.6 USB 電気的特性

表52.40 USB 電気的特性

項 目		記号	Min.	Typ.	Max.	単位	備考
共通	VBUS 接続検出電圧	VVBUSIH	4.35	5.0	5.25	V	
	外部リファレンス抵抗	RREF	5.544	5.6	5.656	k	±1%
	ドライバ出力インピーダンス	Ro	40.5	45	49.5		
	DP ブルアップ抵抗 (Function mode)	RPU	900	-	1575		アイドル時
			1425	-	3090		送受信時
	DP、DM ブルダウン抵抗	RPD	14250	-	24800		
	EXTAL_USB 入力クロック周波数	fEXTAL_USB	47.9952	48	48.0048	MHz	±100ppm
	発振安定時間	tUOSC	10	-	-	ms	
USB PLL 安定化時間	tUPLL	120	-	-	μs		
FS/LS 入力	入力ハイレベル電圧	V _{IH}	2.0	-	DV33+0.3	V	
	入力ローレベル電圧	V _{IL}	-0.3	-	0.8	V	
	差動入力感度	V _{DI}	0.2	-	-	V	(DP)-(DM)
	コモンモード電圧範囲	V _{CM}	0.8	-	2.5	V	
	シングルエンディッドレシーバ スレッシュホールド電圧	V _{SE}	0.8	-	2.0	V	
FS/LS 出力	出力ハイレベル電圧	V _{OH}	2.8	-	-	V	
	出力ローレベル電圧	V _{OL}	-	-	0.3	V	
HS 入力	スケルチ検出スレッシュホールド電圧 (差動)	V _{HSSQ}	100	-	150	mV	
	差動入力感度	V _{HSDI}	150	-	-	mV	(DP)-(DM)
	コモンモード電圧範囲	V _{HSCM}	-50	-	500	mV	
	Chirp 入力電圧	V _{CHIRP_RCV}	700	-	1100	mV	
HS 出力	アイドル状態	V _{HSOI}	-10	-	10	mV	
	出力ハイレベル電圧	V _{HSOH}	360	-	440	mV	
	出力ローレベル電圧	V _{HSOL}	-10	-	10	mV	
	Chirp 出力電圧 (DP 端子)	V _{HSCHIRP_P}	700	-	1100	mV	
	Chirp 出力電圧 (DM 端子)	V _{HSCHIRP_M}	-900	-	-500	mV	
FS	出力立ち上がり時間 (DP、DM)	t _{FDR}	4	-	20	ns	
	出力立ち下がり時間 (DP、DM)	t _{DFD}	4	-	20	ns	
	出力立ち上がり / 立ち上がり時間比	t _{FDR} /t _{DFD}	90	-	111.1	%	
	出力信号クロスオーバー電圧 (DP、DM)	V _{FCRS}	1.3	-	2.0	V	
LS	出力立ち上がり時間 (DP、DM)	t _{LDR}	75	-	300	ns	
	出力立ち下がり時間 (DP、DM)	t _{LDF}	75	-	300	ns	
	出力立ち上がり / 立ち上がり時間比	t _{LDR} /t _{LDF}	80	-	125	%	
	出力信号クロスオーバー電圧 (DP、DM)	V _{LCRS}	1.3	-	2.0	V	
HS	DISCONNECT 検出電圧	V _{DISCONNECT}	525	-	625	mV	

52.7 AC 特性測定条件

入出力信号参照レベル： $V_{CCQ_DDR} \times 0.5$ (DBSC 出力)

V_{REF} (DBSC 入力)

$V_{CCQ} \times 0.5$ (DBSC 以外)

入力パルスレベル： $V_{SS} \sim V_{CCQ_DDR}$ (DBSC)

$V_{SS} \sim V_{CCQ}$ (DBSC 以外)

入力立ち上がり、立ち下がり時間：1ns

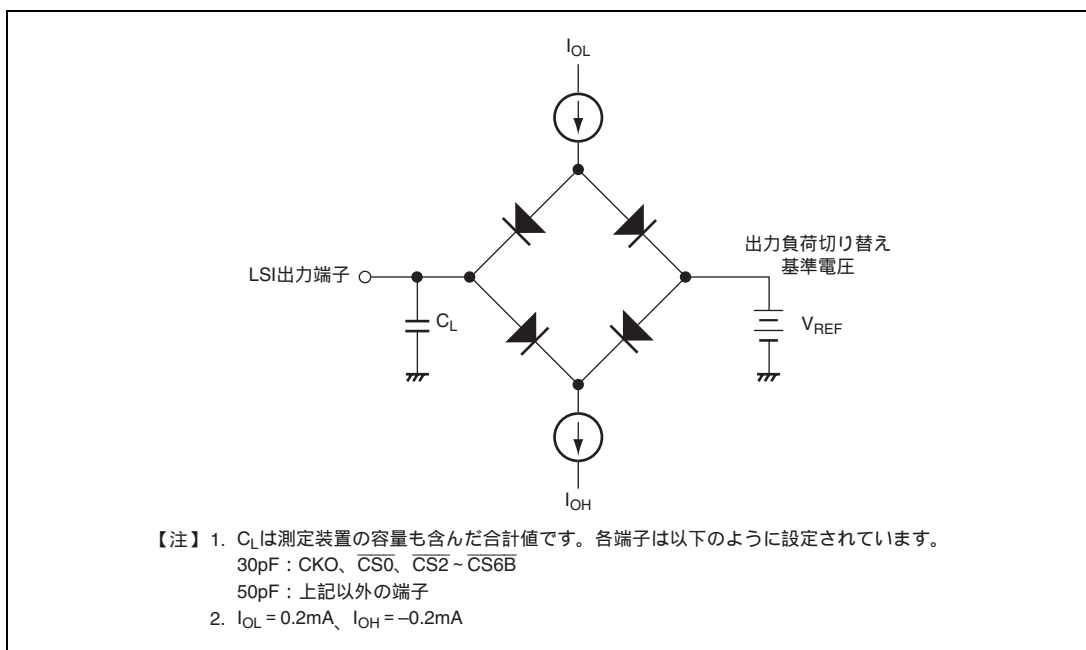


図52.91 出力負荷回路

付録

A. CPU 動作モードレジスタ (CPUOPM)

CPUOPM は、CPU の動作モードを切り替えるために使用します。本レジスタは P4 領域の H'FF2F0000 あるいは エリアアドレスの H'1F2F0000 から 32 ビットサイズで読み出し / 書き込みが可能です。本レジスタへ書き込む際には、必ずリザーブビットに初期値を書き込むようにしてください。リザーブビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU のストア命令で行ってください。また、CPUOPM 更新後、一度 CPUOPM を読み出した後で、以下の 1. または 2. のどちらかを実行してください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。

1. または 2. の実行後、CPU は更新後の CPUOPM の値を用いて動作することが保証されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	RABD	—	INTMU	—	—	—
初期値:	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	-	すべて 0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
9~6	-	すべて 1	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
5	RABD	0	R/W	サブルーチン復帰投機実行ビット 0: サブルーチンからの復帰時に命令フェッチを投機的に発行します。本ビットを 0 に設定する場合は、「付録 C. サブルーチン復帰投機実行」を参照してください。 1: サブルーチンからの復帰時に命令フェッチを投機的に発行しません。
4	-	0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

ビット	ビット名	初期値	R/W	説明
3	INTMU	0	R/W	割り込み動作モード切り替えビット 0 : 割り込みを受理しても SR.IMASK の値は変化しません。 1 : 割り込みを受理した場合、受け付けたレベルを SR.IMASK の値に自動的に設定します。
2~0	-	000	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

B. 命令プリフェッチとその副作用について

本 LSI は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 64 バイト領域にプログラムを配置しないでください。その領域にプログラムを配置した場合、メモリエリアを超えて命令の先読みのためのバスアクセスが発生する場合があります。

以下にこれが問題となるケースを示します。

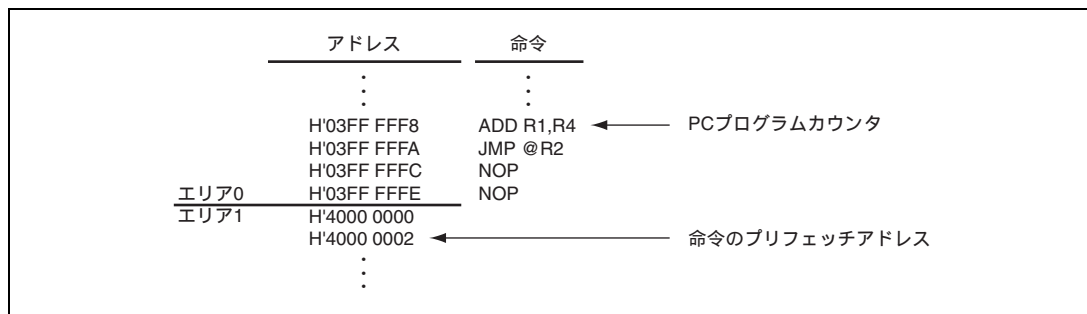


図 B.1 命令のプリフェッチ

図 B.1 では、PC (プログラムカウンタ) が指し示す命令 (ADD) と、H'4000 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ないエリア 1 へのバスアクセス (命令のプリフェッチ) が発生する可能性があります。

(1) 命令のプリフェッチの副作用

- 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
- 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

(2) 回避方法

- MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
- 各エリア最終64バイトの領域にプログラムを配置しないことで、回避することが可能です。

C. サブルーチン復帰投機実行

SH-4A はサブルーチンからの復帰時に命令フェッチを投機的に発行する仕組みを内部に持っています。サブルーチンからの復帰時に命令フェッチを投機的に発行することにより、復帰時の実行サイクルを短縮することができます。この機能は CPU 動作モードレジスタ (CPUOPM) のビット 5 (RABD) の値を 0 に設定すると有効になります。しかしサブルーチンからの復帰時に命令フェッチを投機的に発行すると、プログラム上アクセスするはずのないアドレスに対する命令フェッチが起きる場合があります。その結果、想定し得ないエリアへのバスアクセスが発生したり、内部的に命令アドレスエラーが発生して誤動作を引き起こす可能性があります。想定し得ないエリアへのバスアクセスが発生することによる副作用は、「付録 B.(1) 命令のプリフェッチの副作用」を参照してください。

- 使用条件：

サブルーチン復帰投機実行の機能を有効にする場合、サブルーチンからの復帰は JSR/BSR/BSRF 命令で PR に設定した戻りアドレスに対して、RTS 命令を使って行うようにしてください。これによりプログラム上アクセスするはずのないアドレスに対するアクセスを抑制でき、誤動作を回避することが可能です。

D. リセット、低消費電力状態での端子状態

分類	端子名	リセット 中* ¹	リセット 中* ²	リセット 後	動作、 スリープ	ソフトウェア スタンバイ	R-スタンバイ		U- スタンバイ
							停止時	復帰時	
クロック	EXTAL	I	I	I	I	I	I	I	I
	XTAL	O* ³	O* ³	O* ³	O* ³	O* ³	O* ³	O* ³	O* ³
	RTC_CLK	I	I	I	I	I	I	I	I
動作 モード	MD3 ~ MD0	I	I	I	I	I	I	I	I
	MD8	I	I	I	I	I	I	I	I
	MD5	I	I	I	I	I	I	I	I
	MSLD	I	I	I	I	I	I	I	I
	TST	I	I	I	I	I	I	I	I
	TSTMd	I	I	I	I	I	I	I	I
システム 制御	BOOT	I	I	I	I	I	I	I	I
	RESETP	I	I	I	I	I	I	I	I
	RESETA	I	I	I	I	I	I	I	I
	RESETOUT	L	L	O	O	O	O	O	O
	STATUS0	L	L	O	L	H	H	L	H
	STATUS2	L	L	O	L	L	H	L	L
	PDSTATUS	L	L	O	L	L	H	L	H
割り込み	IRQ7 ~ IRQ0	-	-	-	I	I	I	I	I
	NMI	Z	I	I	I	I	I	I	I
BSC	A25 ~ A0	L	L	O	O	O/Z* ⁴	O/Z* ⁴	L	O/Z* ⁴
	BS	-	-	-	O	H/Z* ⁴	H/Z* ⁴	H	H/Z* ⁴
	CKO	L	O	O	O	O/Z* ⁴	O/Z* ⁴	O	O/Z* ⁴
	CS4、CS0	H	H	O	O	H/Z* ⁴	H/Z* ⁴	H	H/Z* ⁴
	CS5A / CE2A	H	H	O	O	H/Z* ⁴	H/Z* ⁴	H	H/Z* ⁴
	CS5B / CE1A	H	H	O	O	H/Z* ⁴	H/Z* ⁴	H	H/Z* ⁴
	CS6A / CE2B	H	H	O	O	H/Z* ⁴	H/Z* ⁴	H	H/Z* ⁴
	CS6B / CE1B	H	H	O	O	H/Z* ⁴	H/Z* ⁴	H	H/Z* ⁴
	D31 ~ D0	Z	Z	Z	Z/I/O	Z	Z	Z	Z
	IOIS16	Z	Z	Z	I	Z	Z	I	Z
	RDWR	H	H	O	O	H/Z* ⁴	H/Z* ⁴	H	H/Z* ⁴
	RD	H	H	O	O	H/Z* ⁴	H/Z* ⁴	H	H/Z* ⁴
	WAIT	ZU	IU	IU	IU	IU	IU	IU	IU
	WE1、WE0 / WE	H	H	O	O	H/Z* ⁴	H/Z* ⁴	H	H/Z* ⁴
	WE2 / CIORD	H	H	O	O	H/Z* ⁴	H/Z* ⁴	H	H/Z* ⁴
WE3 / ICIOWR	H	H	O	O	H/Z* ⁴	H/Z* ⁴	H	H/Z* ⁴	

分類	端子名	リセット 中*1	リセット 中*2	リセット 後	動作、 スリープ	ソフトウェア スタンバイ	R-スタンバイ		U- スタンバイ
							停止時	復帰時	
DBSC	MA13 ~ MA0	L	H	O	O	O/Z*5	O/Z*5	H	O/Z*5
	MBA2 ~ MBA0	L	H	O	O	O/Z*5	O/Z*5	H	O/Z*5
	MCLK	L	O	O	IO	IO/I*5	IO/I*5	IO	IO/I*5
	MCLK	H	O	O	IO	IO/I*5	IO/I*5	IO	IO/I*5
	MCS	L	H	O	O	O/Z*5	O/Z*5	H	O/Z*5
	MDQ31 ~ MDQ0	Z	Z	Z	Z/I/O	Z	Z	Z	Z
	MDQM3 ~ MDQM0	L	H	O	O	H/Z*5	H/Z*5	H	H/Z*5
	MDQS3 ~ MDQS0	Z	Z	Z	Z/I/O*5	H/Z*5	H/Z*5	Z	H/Z*5
	MDQS3 ~ MDQS0	Z	Z	Z	Z/I/O*5	L/Z*5	L/Z*5	Z	L/Z*5
	MCAS	L	H	O	O	O	O	H	O
	MRAS	L	H	O	O	O/Z*5	O/Z*5	H	O/Z*5
	MWE	L	H	O	O	O/Z*5	O/Z*5	H	O/Z*5
	MCKE	L/H*9	L/H*9	O	O	O	O	O	O
	MODT	L	L	O	O	O/Z*5	O/Z*5	L	O/Z*5
DMAC	DREQ1, DREQ0	-	-	-	I	Z	Z	I	Z
	DACK1, DACK0	-	-	-	O	O	O	O	O
FSI	CLKAUDIOAO	-	-	-	O	O	O	O	O
	CLKAUDIOBO	-	-	-	O	O	O	O	O
	FSIIABCK	-	-	-	I	Z	Z	I	Z
	FSIILRCK	-	-	-	I	Z	Z	I	Z
	FSIIASD	-	-	-	I	Z	Z	I	Z
	FSIIBBCK	-	-	-	I	Z	Z	I	Z
	FSIIBLRCK	-	-	-	I	Z	Z	I	Z
	FSIIBSD	-	-	-	I	Z	Z	I	Z
	FSIMCKA	-	-	-	I	Z	Z	I	Z
	FSIMCKB	-	-	-	I	Z	Z	I	Z
	FSIOABCK	-	-	-	O	O	O	O	O
	FSIOALRCK	-	-	-	O	O	O	O	O
	FSIOASD	-	-	-	O	O	O	O	O
	FSIOBBCK	-	-	-	O	O	O	O	O
	FSIOBLRCK	-	-	-	O	O	O	O	O
	FSIOBSD	-	-	-	O	O	O	O	O
	IIC	SCL1	Z	Z	Z	I/O	Z	Z	Z
SCL0		Z	Z	Z	I/O	Z	Z	Z	Z
SDA1		Z	Z	Z	I/O	Z	Z	Z	Z
SDA0		Z	Z	Z	I/O	Z	Z	Z	Z

分類	端子名	リセット 中*1	リセット 中*2	リセット 後	動作、 スリープ	ソフトウェア スタンバイ	R-スタンバイ		U- スタンバイ
							停止時	復帰時	
LCDC	LCDD23 ~ LCDD0	-	-	-	O	O	O	L	O
	LCDDCK	-	-	-	O	O	O	O	O
	LCDDISP	-	-	-	O	O	O	L	O
	LCDDON	-	-	-	O	O	O	L	O
	LCDHSYN	-	-	-	O	O	O	L	O
	LCDRD	-	-	-	O	O	O	H	O
	LCDCS	-	-	-	O	O	O	H	O
	LCDLCLK	-	-	-	I	Z	Z	I	Z
	LCDRS	-	-	-	O	O	O	L	O
	LCDWR	-	-	-	O	O	O	H	O
	LCDVCPWC	-	-	-	O	O	O	L	O
	LCDVEPWC	-	-	-	O	O	O	L	O
	LCDVSYN	-	-	-	O	O	O	L	O
TSIF	TS_SCK	-	-	-	I	Z	Z	I	Z
	TS_SDAT	-	-	-	I	Z	Z	I	Z
	TS_SDEN	-	-	-	I	Z	Z	I	Z
	TS_SPSYNC	-	-	-	I	Z	Z	I	Z
USB	DM1、DM0	Z	Z	Z	Z/I/O*5	Z/I/O*5	Z/I/O*5	Z/I/O*5	Z/I/O*5
	DP1、DP0	Z	Z	Z	Z/I/O*5	Z/I/O*5	Z/I/O*5	Z/I/O*5	Z/I/O*5
	EXTALUSB	I	I	I	I	I	I	I	I
	XTALUSB	O	O	O	O	O	O	O	O
	VBUS1、VBUS0	I	I	I	I	I	I	I	I
VIO (CEU)	VIO0_CLK	-	-	-	I	Z	Z	I	Z
	VIO0_D15 ~ VIO0_D0	-	-	-	I	Z	Z	I	Z
	VIO0_FLD	-	-	-	I	Z	Z	I	Z
	VIO0_HD	-	-	-	I	Z	Z	I	Z
	VIO0_VD	-	-	-	I	Z	Z	I	Z
	VIO1_CLK	-	-	-	I	Z	Z	I	Z
	VIO1_D7 ~ VIO1_D0	-	-	-	I	Z	Z	I	Z
	VIO1_FLD	-	-	-	I	Z	Z	I	Z
	VIO1_HD	-	-	-	I	Z	Z	I	Z
	VIO1_VD	-	-	-	I	Z	Z	I	Z
	VIO_CKO	-	-	-	O	O	O	O	O
VOU	DV_CLK	-	-	-	O	O	O	O	O
	DV_CLKI	-	-	-	I	Z	Z	I	Z
	DV_D15 ~ DV_D0	-	-	-	O	O	O	O	O
	DV_HSYNC	-	-	-	O	O	O	O	O
	DV_VSYNC	-	-	-	O	O	O	O	O

分類	端子名	リセット 中*1	リセット 中*2	リセット 後	動作、 スリープ	ソフトウェア スタンバイ	R-スタンバイ		U- スタンバイ
							停止時	復帰時	
KEYSC	KEYIN4 ~ KEYIN0	-	-	-	IU	IU	IU	IU	IU
	KEYOUT3 ~ KEYOUT0	-	-	-	O/Z*5	O/Z*5	O/Z*5	O/Z*5	O/Z*5
	KEYOUT4 / IN6	-	-	-	O/Z/IU*5	O/Z/IU*5	O/Z/IU*5	O/Z/IU*5	O/Z/IU*5
	KEYOUT5 / IN5	-	-	-	O/Z/IU*5	O/Z/IU*5	O/Z/IU*5	O/Z/IU*5	O/Z/IU*5
IrDA	IRDA_IN	-	-	-	I	Z	Z	I	Z
	IRDA_OUT	-	-	-	O	O	O	O	O
MSIOF0	MSIOF0_MCK	-	-	-	I	Z	Z	I	Z
	MSIOF0_RXD	-	-	-	I	Z	Z	I	Z
	MSIOF0_SS1 / MSIOF0_RSCK	-	-	-	O/I*5	O/I*5	O/I*5	O/I*5	O/I*5
	MSIOF0_SS2 / MSIOF0_RSYNC	-	-	-	O/I*5	O/I*5	O/I*5	O/I*5	O/I*5
	MSIOF0_TSCK	-	-	-	O/I*5	O/I*5	O/I*5	O/I*5	O/I*5
	MSIOF0_TSYNC	-	-	-	O/I*5	O/I*5	O/I*5	O/I*5	O/I*5
	MSIOF0_TXD	-	-	-	O	O	O	O	O
MSIOF1	MSIOF1_MCK	-	-	-	I	Z	Z	I	Z
	MSIOF1_RXD	-	-	-	I	Z	Z	I	Z
	MSIOF1_SS1 / MSIOF1_RSCK	-	-	-	O/I*5	O/I*5	O/I*5	O/I*5	O/I*5
	MSIOF1_SS2 / MSIOF1_RSYNC	-	-	-	O/I*5	O/I*5	O/I*5	O/I*5	O/I*5
	MSIOF1_TSCK	-	-	-	O/I*5	O/I*5	O/I*5	O/I*5	O/I*5
	MSIOF1_TSYNC	-	-	-	O/I*5	O/I*5	O/I*5	O/I*5	O/I*5
	MSIOF1_TXD	-	-	-	O	O	O	O	O
SCIF	SCIF0_RXD	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	SCIF0_SCK	-	-	-	IO/Z*5	O/Z*5	O/Z*5	IO/Z*5	O/Z*5
	SCIF0_TXD	-	-	-	O/Z*5	Z	Z	O/Z*5	Z
	SCIF1_RXD	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	SCIF1_SCK	-	-	-	IO/Z*5	O/Z*5	O/Z*5	IO/Z*5	O/Z*5
	SCIF1_TXD	-	-	-	O/Z*5	Z	Z	O/Z*5	Z
	SCIF2_RXD	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	SCIF2_SCK	-	-	-	IO/Z*5	O/Z*5	O/Z*5	IO/Z*5	O/Z*5
SCIF2_TXD	-	-	-	O/Z*5	Z	Z	O/Z*5	Z	

分類	端子名	リセット 中*1	リセット 中*2	リセット 後	動作、 スリープ	ソフトウェア スタンバイ	R-スタンバイ		U- スタンバイ
							停止時	復帰時	
SCIFA	SCIF3_CTS	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	SCIF3_RTS	-	-	-	O/Z*5	Z	Z	O/Z*5	Z
	SCIF3_RXD	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	SCIF3_SCK	-	-	-	IO/Z*5	O/Z*5	O/Z*5	IO/Z*5	O/Z*5
	SCIF3_TXD	-	-	-	O/Z*5	Z	Z	O/Z*5	Z
	SCIF4_RXD	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	SCIF4_SCK	-	-	-	IO/Z*5	O/Z*5	O/Z*5	IO/Z*5	O/Z*5
	SCIF4_TXD	-	-	-	O/Z*5	Z	Z	O/Z*5	Z
	SCIF5_RXD	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	SCIF5_SCK	-	-	-	IO/Z*5	O/Z*5	O/Z*5	IO/Z*5	O/Z*5
	SCIF5_TXD	-	-	-	O/Z*5	Z	Z	O/Z*5	Z
MMC	MMC_CLK	-	-	-	L/O	L	L	L	L
	MMC_CMD	-	-	-	I/O	Z	Z	I	Z
	MMC_D7 ~ MMC_D0	-	-	-	I/O	Z	Z	I	Z
SDHI0	SDHI0CD	-	-	-	I	Z	Z	I	Z
	SDHI0CLK	-	-	-	O	L	L	L	L
	SDHI0CMD	-	-	-	I/O	Z	Z	I	Z
	SDHI0D3 ~ SDHI0D0	-	-	-	I/O	Z	Z	I	Z
	SDHI0WP	-	-	-	I	Z	Z	I	Z
SDHI1	SDHI1CD	-	-	-	I	Z	Z	I	Z
	SDHI1CLK	-	-	-	O	L	L	L	L
	SDHI1CMD	-	-	-	I/O	Z	Z	I	Z
	SDHI1D3 ~ SDHI1D0	-	-	-	I/O	Z	Z	I	Z
	SDHI1WP	-	-	-	I	Z	Z	I	Z
TPU	TPUTI3, TPUTI2	-	-	-	I	Z	Z	I	Z
	TPUTO3 ~ TPUTO0	-	-	-	O	O	O	O	O
ATAPI	DIRECTION	-	-	-	O	H	H	O	H
	EXBUF_ENB	-	-	-	O	H	H	O	H
	IDEA2 ~ IDEA0	-	-	-	O/Z*5	O/Z*5	O/Z*5	O/Z*5	O/Z*5
	IDEC51, IDECS0	-	-	-	O/Z*5	O/Z*5	O/Z*5	O/Z*5	O/Z*5
	IDED15 ~ IDED0	-	-	-	Z/I/O	Z	Z	Z/I/O	Z
	IDEINT	-	-	-	I	Z	Z	I	Z
	IDEIORD	-	-	-	O/Z*5	O/Z*5	O/Z*5	O/Z*5	O/Z*5
	IDEIORDY	-	-	-	I	Z	Z	I	Z
	IDEIOWR	-	-	-	O/Z*5	O/Z*5	O/Z*5	O/Z*5	O/Z*5
	IDERST	-	-	-	O/Z*5	O/Z*5	O/Z*5	O/Z*5	O/Z*5
	IODACK	-	-	-	O/Z*5	O/Z*5	O/Z*5	O/Z*5	O/Z*5
IODREQ	-	-	-	I	Z	Z	I	Z	

分類	端子名	リセット 中*1	リセット 中*2	リセット 後	動作、 スリープ	ソフトウェア スタンバイ	R-スタンバイ		U- スタンバイ
							停止時	復帰時	
EtherMAC	LNKSTA	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	MDC	-	-	-	O/Z*5	Z	Z	O/Z*5	Z
	MDIO	-	-	-	IO/Z*5	O/Z*5	O/Z*5	IO/Z*5	O/Z*5
	RMII_CRS_DV	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	RMII_REF_CLK	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	RMII_RX_ER	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	RMII_RXD0	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	RMII_RXD1	-	-	-	I/Z*5	Z	Z	I/Z*5	Z
	RMII_TX_EN	-	-	-	O/Z*5	Z	Z	O/Z*5	Z
	RMII_TXD0	-	-	-	O/Z*5	Z	Z	O/Z*5	Z
	RMII_TXD1	-	-	-	O/Z*5	Z	Z	O/Z*5	Z
ポート A	PTA7 ~ PTA0	-	-	-	P	K	K	P	K
ポート B	PTB7 ~ PTB0	-	-	-	P	K	K	P	K
ポート C	PTC7 ~ PTC0	ZU	ZU	IU	P	K	K	P	K
ポート D	PTD7 ~ PTD0	ZU	ZU	IU	P	K	K	P	K
ポート E	PTE1 ~ PTE0	ZU	ZU	IU	P	K	K	P	K
	PTE5 ~ PTE2	ZD	ZD	ID	P	K	K	P	K
	PTE7 ~ PTE6	ZU	ZU	IU	P	K	K	P	K
ポート F	PTF1 ~ PTF0	ZD	ZD	ID	P	K	K	P	K
	PTF7 ~ PTF2	ZU	ZU	IU	P	K	K	P	K
ポート G	PTG5 ~ PTG0	Z	Z	Z	P	K	K	P	K
ポート H	PTH7 ~ PTH0	ZU	ZU	IU	P	K	K	P	K
ポート J	PTJ7 ~ PTJ0	-	-	-	P	K	K	P	K
ポート K	PTK7 ~ PTK0	ZU	ZU	IU	P	K	K	P	K
ポート L	PTL7 ~ PTL0	ZU	ZU	IU	P	K	K	P	K
ポート M	PTM7 ~ PTM0	ZU	ZU	IU	P	K	K	P	K
ポート N	PTN4 ~ PTN0	ZU	ZU	IU	P	K	K	P	K
	PTN5	ZD	ZD	ID	P	K	K	P	K
	PTN7 ~ PTN6	ZU	ZU	IU	P	K	K	P	K
ポート Q	PTQ7 ~ PTQ0	-	-	-	P	K	K	P	K
ポート R	PTR7 ~ PTR0	-	-	-	P	K	K	P	K
ポート S	PTS6 ~ PTS0	ZU	ZU	IU	P	K	K	P	K
ポート T	PTT7 ~ PTT0	-	-	-	P	K	K	P	K
ポート U	PTU7 ~ PTU0	ZU	ZU	IU	P	K	K	P	K
ポート V	PTV7 ~ PTV0	ZU	ZU	IU	P	K	K	P	K
ポート W	PTW0	L	L	O	P	K	K	P	K
	PTW7 ~ PTW1	ZU	ZU	IU	P	K	K	P	K

分類	端子名	リセット 中*1	リセット 中*2	リセット 後	動作、 スリープ	ソフトウェア スタンバイ	R-スタンバイ		U- スタンバイ
							停止時	復帰時	
ポート X	PTX1、PTX0	ZU	ZU	IU	P	K	K	P	K
	PTX5 ~ PTX2	ZD	ZD	ID	P	K	K	P	K
	PTX7、PTX6	ZU	ZU	IU	P	K	K	P	K
ポート Y	PTY0	L	L	O	P	K	K	P	K
	PTY7 ~ PTY1	ZU	ZU	IU	P	K	K	P	K
ポート Z	PTZ7 ~ PTZ0	ZU	ZU	IU	P	K	K	P	K
H-UDI	TCK	IU	IU	IU	IU	IU	IU	IU	IU
	TMS	IU	IU	IU	IU	IU	IU	IU	IU
	TDI	IU	IU	IU	IU	IU	IU	IU	IU
	TDO	Z	Z/O	Z/O	Z/O*6	Z/O*6	Z/O*6	Z/O*6	Z/O*6
	TRST	IU	IU	IU	IU*7	IU*7	IU*7	IU*7	IU*7
	ASEBRK / BRKAK	Z	IU/OU*8	IU/OU*8	IU/OU*8	IU/OU*8	IU/OU*8	IU/OU*8	IU/OU*8
	MPMD	IU	IU	IU	IU	IU	IU	IU	IU
AUD	AUDATA3 ~ AUDATA0	-	-	-	O	O	O	O	O
	AUDCK	-	-	-	O	O	O	O	O
	AUDSYNC	-	-	-	O	O	O	O	O

【記号説明】

- I : 入力 (プルアップ/プルダウン MOS オフ)
 - IU : 入力 (プルアップ MOS オン)
 - ID : 入力 (プルダウン MOS オン)
 - H : ハイレベル出力
 - L : ロ - レベル出力
 - O : 出力
 - OU : 出力 (プルアップ MOS オン)
 - P : ポート機能 (入力 / 出力、プルアップ / プルダウンはレジスタ設定に依存)
 - K : ポート状態保持 (入力バッファオフ、出力バッファは状態保持、プルアップ / プルダウンは状態保持)
 - Z : ハイインピ - ダンス (入力バッファオフ、出力バッファオフ、プルアップ / プルダウン MOS オフ)
 - ZU : プルアップ状態 (入力バッファオフ、出力バッファオフ、プルアップ MOS オン)
 - ZD : プルダウン状態 (入力バッファオフ、出力バッファオフ、プルダウン MOS オン)
- / (スラッシュ) の左側がデフォルトの状態です。
- : 選択できません

【注】 *1 RESETP アサート期間および RESETP ネゲート後、最大 2RCLK の期間を示します。

*2 RESETP ネゲート後、RESETP がアサートされている期間を示します。

*3 クロックモ - ド (MD0 ~ MD2) の設定に依存します。

*4 BSC の CMNCR レジスタの HIZMEM、HIZCNT ビットの設定に従って、Z もしくは [H/L] になります。

*5 レジスタ設定に依存します。

- *6 MPMD 端子 = H の場合、TAP コントロ - ラの状態に依存します。MPMD 端子 = L の場合は、/の右の状態となります。
- *7 PULCR レジスタの設定により、プルアップ MOS オン / オフが切り替え可能です。
- *8 プルアップ MOS 付 I/O で、MPMD 端子 = L 時、レジスタ設定により I/O を切り替えます。また、 $\overline{\text{TRST}}$ 端子 = L のとき入力となります。MPMD 端子 = H 時は常時入力となります。
- *9 MSLD 端子の状態に依存します。MSLD 端子 = H のとき MCKE = H となり、MSLD 端子 = L のとき MCKE = L となります。

E. 外形寸法図 (BGA449)

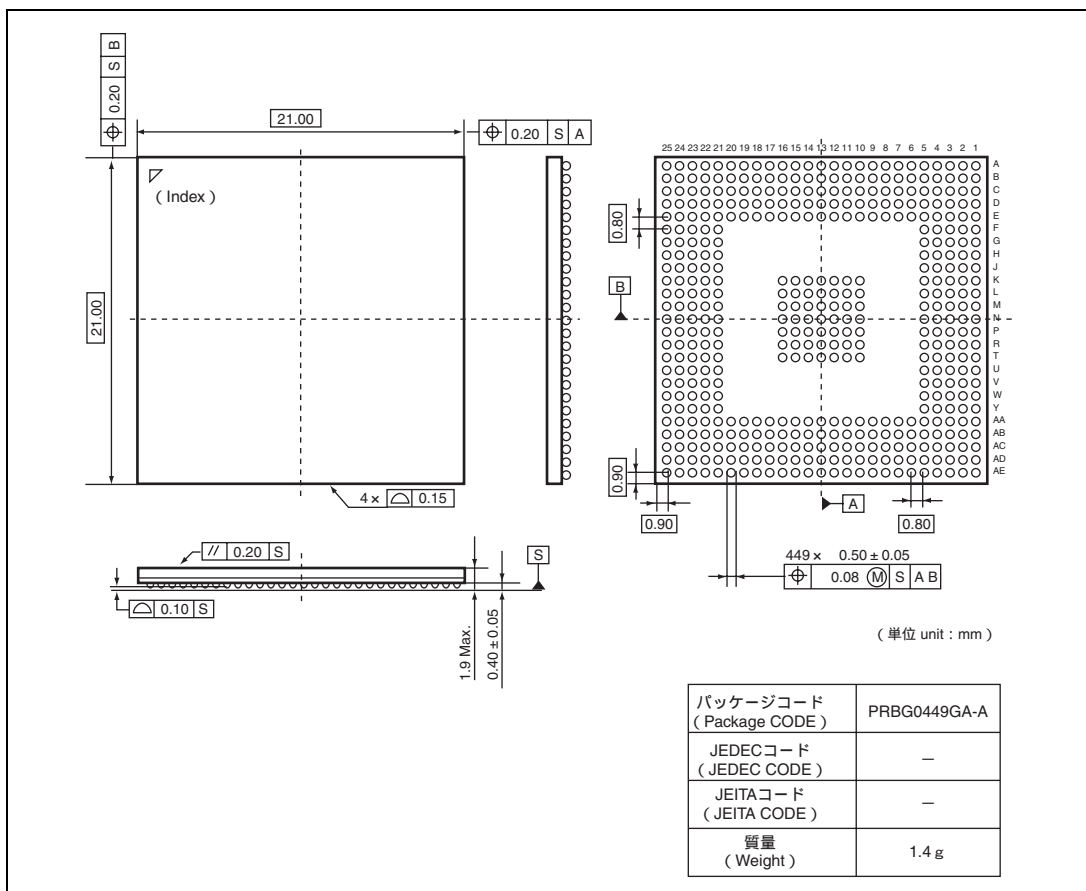


図 E.1 外形寸法図

索引

【数字 / 記号】	
0 による除算.....	6-11
2 次キャッシュアドレスアレイ.....	9-8
2 次キャッシュデータアレイ.....	9-9
2 次キャッシュの構成と動作.....	9-3
32 ビットアドレス拡張.....	7-49
【A】	
ATTCH 割り込み.....	31-128
AVC.....	33-1
【B】	
BCHG 割り込み.....	31-128
BEMP 割り込み.....	31-122
BRDY 割り込み.....	31-113
【C】	
CRC エンジン.....	29-25
【D】	
DTCH 割り込み.....	31-128
DTME.....	33-1
【E】	
EOFERR 割り込み.....	31-129
【F】	
FIFO バッファメモリ.....	31-138
FPU エラー.....	6-11
FPU に関するシステムレジスタ.....	2-3
FPU 例外.....	5-23, 6-11
FPU 例外処理.....	6-12
【H】	
H-UDI リセット.....	5-11
【I】	
I ² C バスデータフォーマット.....	32-14
IrDA 受信フロー.....	29-28
IrDA 送信フロー.....	29-26
IRQ 割り込み.....	13-19
【J】	
JPEG 伸長エラー.....	37-53
JPEG 符号データ FORMAT.....	37-40
【M】	
MPEG-4.....	33-1
【N】	
NMI (ノンマスクابل割り込み).....	5-23
NMI 割り込み.....	13-19
NRDY 割り込み.....	31-117
【R】	
R-スタンバイモード.....	18-19
【S】	
SACK 割り込み.....	31-128
SCL ライン.....	32-24
SIGN 割り込み.....	31-128
SOF 補間機能.....	31-163
SPI デバイス.....	25-57
【T】	
TAP 制御.....	50-7
TLB 拡張モードの機能.....	7-25
T ビット.....	3-2
【U】	
USB データバス抵抗制御.....	31-109
U-スタンバイモード.....	18-18
【V】	
VBUS 割り込み.....	31-127
【あ】	
アービトラーションロスト割り込み.....	32-25
アイソクロナス転送.....	31-153
アドレス変換.....	7-8
アドレス変換方式.....	7-29

アドレッシングモード	3-3
アンダフロー	6-11
一般 FPU 抑止 / スロット FPU 抑止例外	6-11
一般 FPU 抑止例外	5-21
一般不当命令例外	5-19
一般割り込み要求	5-24
インタラプト転送	31-152
エラーマーカ	37-53
応答 PID	31-135
オーバフロー	6-11
オペランドアクセスサイクルブレイク	49-21

【か】

回転読み出しモード設定	37-44
画像データ格納	37-56
仮想アドレス空間	7-4
キーの多重押し	30-9
共用 TLB	7-20
共用 TLB (UTLB) の構成	7-25
空間分割	14-4
クロック同期式モード	26-32, 27-34
固定小数点転送命令	3-8
コントロール転送ステージ遷移割り込み	31-125
コントロールレジスタ	2-2

【さ】

算術演算命令	3-9
ジオメトリック演算命令	6-13
実行ステート	4-15
システムリセット	18-16
システムレジスタ	2-3
システム制御命令	3-13
実効アドレス	3-3
シフト命令	3-12
周辺モジュール割り込み	13-20
受信ディスクリプタ 0 (RD0)	47-50
受信ディスクリプタ 1 (RD1)	47-51
受信ディスクリプタ 2 (RD2)	47-51
初期ページ書き込み例外	5-13
処理モード	2-2
伸長処理	37-44
スリープモード	18-16
スロット FPU 抑止例外	5-21
スロット不当命令例外	5-20
赤外線受光パルスデータ受信	29-23
赤外線発光パルスデータ送信	29-22
送信ディスクリプタ 0 (TD0)	47-48

送信ディスクリプタ 1 (TD1)	47-49
送信ディスクリプタ 2 (TD2)	47-49
ソフトウェアスタンバイモード	18-17

【た】

多重仮想記憶モード	7-8
単一仮想記憶モード	7-8
単精度浮動小数点レジスタ	2-6
単精度浮動小数点拡張レジスタ	2-7
単精度浮動小数点拡張レジスタ行列	2-7
単精度浮動小数点ベクトルレジスタ	2-6
遅延スロット	3-1
遅延分岐	3-1
チャタリング除去	30-9
調歩同期式モード	27-24
調歩同期式モード	26-22
低消費電力状態	2-16
データ PID シーケンスビット	31-136
データ TLB ミス例外	5-12
データ TLB 多重ヒット例外	5-12
データ TLB 保護違反例外	5-14
データアドレスエラー	5-17
テーブル設定	37-41
デバイスステート遷移割り込み	31-123
デブロッキングフィルタ	33-2
特権空間マッピングバッファ (PMB) 構成	7-50
特権モード	2-2
トランザクション発行条件	31-164

【な】

入力 JPEG 符号データ	37-53
ノイズ除去回路	32-25

【は】

倍精度浮動小数点レジスタ	2-6
バイブスケジュール	31-164
発行レート	4-15
ハフマンテーブル設定	37-42
ハフマン符号化セグメントエラー	37-53
バルク転送	31-150
パワーオンリセット	5-11, 18-16
汎用レジスタ	2-2
非アクノリッジ割り込み	32-27
非正規化数	6-5
ビッグエンディアン	2-15, 14-29
ファンクションコントローラ機能選択時の コントロール転送	31-148

符号拡張	2-14
符号量カウントモード	37-41
不正確例外	6-11
物理アドレス空間	7-7
浮動小数点レジスタ	2-3, 2-6
浮動小数点制御命令	3-17
浮動小数点単精度命令	3-16
浮動小数点倍精度命令	3-17
浮動小数点フォーマット	6-2
浮動小数点レジスタ	6-6
フリーラン動作	22-7
フレーム更新割り込み	31-127
フレームバッファモード	37-33, 37-44, 37-55
フレームバッファモード (圧縮)	37-34
フレームバッファモード (伸長)	37-45
分岐命令	3-13
ペア単精度データ転送命令	6-14
ベクタアドレス	5-7
ホストコントローラ機能選択時の コントロール転送	31-147

【ま】

マスタ受信モード	32-18
マスタ送信モード	32-17
マニュアルリセット	5-11, 18-16
丸め	6-10
無効演算	6-11
無条件トラップ	5-18
命令 TLB	7-22
命令 TLB (ITLB) の構成	7-28
命令 TLB 多重ヒット例外	5-11
命令 TLB 保護違反例外	5-15
命令 TLB ミス例外	5-13
命令アドレスエラー	5-18
命令キャッシュウェイ予測の動作説明	8-16
命令実行後ユーザブレイク	5-22
命令実行状態	2-16
命令実行前ユーザブレイク	5-22
命令フェッチサイクルブレイク	49-20
メモリ割り付け 2 次キャッシュの構成	9-8
メモリ割り付け PMB の構成	7-53
メモリ割り付け TLB の構成変更	7-43
メモリ割り付けレジスタ	2-14
モジュールスタンバイ	18-18
モデム機能	27-33

【や】

ユーザデバッグインタフェース (H-UDI)	50-1
ユーザブレイクコントローラ	49-1
ユーザブレイク動作の流れ	49-18
ユーザモード	2-2

【ら】

ラインバッファモード	37-33, 37-44
ラインバッファモード (圧縮)	37-36
ラインバッファモード (伸長)	37-50
リセット状態	2-16
リトルエンディアン	2-15, 14-29
量子化テーブル設定	37-41
例外 / 割り込みコード	5-7
例外処理	5-6
例外フロー	5-8
レジスタ	
A_CKG1	45-17
A_DI_FMT	45-13
A_DIDT	45-22
A_DIFF_CTL	45-14
A_DIFF_ST	45-15
A_DO_FMT	45-9
A_DODT	45-22
A_DOFF_CTL	45-10
A_DOFF_ST	45-11
A_MUTE_ST	45-23
APR	47-37
ATAPI_BYTE_SWAP	46-19
ATAPI_CONTROL1	46-4
ATAPI_CONTROL2	46-17
ATAPI_DMA_START_ADR	46-16
ATAPI_DMA_TRANS_CNT	46-17
ATAPI_DTB_ADR	46-13
ATAPI_INT_ENABLE	46-8
ATAPI_MULTI_TIMING	46-11
ATAPI_PIO_TIMING1	46-9
ATAPI_PIO_TIMING2	46-9
ATAPI_SIG_ST	46-18
ATAPI_STATUS	46-6
ATAPI_ULTRA_TIMING	46-12
BAFXR	36-52
BAR	18-15
BBLCR0	36-28
BBLCR1	36-31
BBRSTR	36-63
BDACR	36-51

BDAYR	36-49	CCMFR	49-16
BDMWR	36-49	CCR.....	8-6
BEIER.....	36-58	CDACR.....	34-43
BEMPENB.....	31-42	CDACR2	34-71
BEMPSTS	31-57	CDAYR.....	34-41
BESTR.....	36-12	CDAYR2.....	34-68
BEVTR.....	36-58	CDBCR.....	34-46
BLOCR	36-37	CDBCR2	34-74
BMLOCR.....	36-40	CDBYR.....	34-45
BMPCCR.....	36-42	CDBYR2.....	34-73
BMSACR	36-26	CDCR	47-42
BMSAYR	36-26	CDDAR.....	34-56
BMSIFR.....	36-27	CDDCR	34-55
BMSMWR.....	36-24	CDMR1.....	49-15
BMSSZR.....	36-25	CDOCR	34-49
BMWCR0.....	36-36	CDR1.....	49-14
BPCCR.....	36-48	CDSSR.....	34-67
BPCCR0.....	36-45	CDWDR	34-39
BPKFR.....	36-43	CE_ARG	23-7
BPROCR	36-34	CE_ARG_CMD12.....	23-8
BRCHR.....	36-64	CE_BLOCK_SET	23-9
BRCNTR.....	36-61	CE_BUF_ACC	23-11
BRDYENB	31-38	CE_CLK_CTRL.....	23-10
BRDYSTS	31-53	CE_CMD_CTRL.....	23-8
BSAAR	36-17	CE_CMD_SET	23-5
BSACR	36-16	CE_DATA.....	23-14
BSAYR	36-16	CE_HOST_STS1	23-23
BSIFR.....	36-18	CE_HOST_STS2	23-23
BSMWR.....	36-13	CE_INT.....	23-15
BSSZR.....	36-14	CE_INT_MASK	23-20
BSTAR.....	36-62	CE_RESP	23-13
BSWPR	36-53	CE_RESP_CMD12	23-14
BTPSR.....	36-24	CE_VERSION	23-25
BUSWAIT	31-15	CEFCR.....	47-44
CAIFR.....	34-27	CEIER	34-57
CAMCR	34-17	CETCR.....	34-59
CAMOR	34-22	CETR1.....	49-15
CAMR0.....	49-13	CFIFO.....	31-23
CAMR1.....	49-13	CFIFOCTR.....	31-31
CAPCR.....	34-14	CFIFOSEL.....	31-25
CAPSR	34-9	CFLCR	34-35
CAPWR	34-24	CFSZR	34-37
CAR0.....	49-12	CFWCR	34-49
CBCR	49-17	CHnCTRL.....	42-6
CBDSR.....	34-47	CHnDAR	42-14
CBR0.....	49-4	CHnDARE	42-15
CBR1	49-4	CHnDFMT	42-12

CHnDPXL.....	42-13	DBTR3.....	15-19
CHnDPXLE.....	42-15	DCPCFG.....	31-66
CHnSAR.....	42-12	DCPCTR.....	31-69
CHnSARE.....	42-14	DCPMAXP.....	31-67
CHnSFMT.....	42-11	DMA _n _CHCR.....	16-10
CHnSWAP.....	42-9	DMA _n _DAR.....	16-8
CHPRI.....	42-17	DMA _n _DARB.....	16-8
CHSTCLR.....	42-16	DMA _n _DMAOR.....	16-16
CLFCR.....	34-48	DMA _n _DMARS.....	16-18
CLK_RST.....	45-31	DMA _n _SAR.....	16-7
CMCNT.....	22-5	DMA _n _SARB.....	16-7
CMCOR.....	22-5	DMA _n _TCR.....	16-9
CMCSR.....	22-3	DMA _n _TCRB.....	16-9
CMCYR.....	34-21	DRVCRA.....	48-88
CMNCR.....	14-10	DRVCRB.....	48-90
CMSTR.....	22-2	DRVCRC.....	48-91
CNDCR.....	47-43	DVSTCTR.....	31-17
CPUOPM.....	付録-1	ECMR.....	47-30
CRCMPR.....	34-34	ECSIPR.....	47-34
CRCNTR.....	34-33	ECSR.....	47-33
CRR0.....	49-10	EDMR.....	47-7
CRR1.....	49-10	EDRRR.....	47-9
C _{Sn} BCR.....	14-11	EDTRR.....	47-8
C _{Sn} WCR.....	14-15	EESIPR.....	47-16
CSRTR.....	34-66	EESR.....	47-12
CSTSR.....	34-65	EXPEVT.....	5-2
D0FIFO.....	31-23	EXPMASK.....	5-4
D0FIFOCTR.....	31-31	FCFTR.....	47-27
D0FIFOSEL.....	31-28	FCLKACR.....	17-14
D1FIFO.....	31-23	FCLKBCR.....	17-15
D1FIFOCTR.....	31-31	FDR.....	47-23
D1FIFOSEL.....	31-28	FIFO_SZ.....	45-34
DBCKECNT.....	15-9	FLLFRQ.....	17-18
DBCMDCNT.....	15-8	FPSCR.....	2-11, 6-8
DBCONF.....	15-10	FPUL.....	2-13, 6-10
DBEN.....	15-7	FRECR.....	47-44
DBKIND.....	15-6	FRMNUM.....	31-59
DBMRCNT.....	15-24	FRQCRA.....	17-7
DBR.....	2-10	FRQCRB.....	17-10
DBRFPDN0.....	15-20	GBR.....	2-10
DBRFPDN1.....	15-21	HIZCRA.....	48-78
DBRFPDN2.....	15-22	HIZCRB.....	48-80
DBRFSTS.....	15-23	HIZCRC.....	48-82
DBSTATE.....	15-7	HIZCRD.....	48-84
DBTR0.....	15-13	ICCH.....	32-11
DBTR1.....	15-15	ICCL.....	32-11
DBTR2.....	15-17	ICCR.....	32-5

ICDR.....	32-4	JCDERR.....	37-19
ICIC.....	32-10	JCDRID.....	37-12
ICR0.....	13-6	JCDRIU.....	37-12
ICR1.....	13-8	JCDTCD.....	37-16
ICSR.....	32-7	JCDTCM.....	37-15
IEMSK.....	45-26	JCDTCU.....	37-15
IMCRn.....	13-15	JCHSZD.....	37-14
IMR.....	13-14	JCHSZU.....	37-14
IMSK.....	45-27	JCHTN.....	37-11
INT_ST.....	45-25	JCMOD.....	37-7
INTENB0.....	31-34	JCQTN.....	37-10
INTENB1.....	31-36	JCRST.....	37-19
INTEVT.....	5-3	JCSTS.....	37-10
INTMSK00.....	13-12	JCVSZD.....	37-13
INTMSKCLR00.....	13-13	JCVSZU.....	37-13
INTPRI00.....	13-9	JIFDCNT.....	37-27
INTREQ00.....	13-11	JIFDDCA1.....	37-31
INTSTS0.....	31-45	JIFDDCA2.....	37-32
INTSTS1.....	31-49	JIFDDHSZ.....	37-30
IPGR.....	47-37	JIFDDMW.....	37-29
IPRx.....	13-10	JIFDDRSZ.....	37-29
IRDACLKCR.....	17-16	JIFDDVSZ.....	37-30
IRIF_CRC0.....	29-17	JIFDDYA1.....	37-31
IRIF_CRC1.....	29-17	JIFDDYA2.....	37-32
IRIF_CRC2.....	29-18	JIFDSA1.....	37-28
IRIF_CRC3.....	29-18	JIFDSA2.....	37-28
IRIF_CRC4.....	29-18	JIFECNT.....	37-20
IRIF_RINTCLR.....	29-5	JIFEDA1.....	37-25
IRIF_SIR_EOF.....	29-8	JIFEDA2.....	37-25
IRIF_SIR_FLG.....	29-9	JIFEDRSZ.....	37-26
IRIF_SIR_FRM.....	29-8	JIFESCA1.....	37-22
IRIF_SIR0.....	29-5	JIFESCA2.....	37-23
IRIF_SIR1.....	29-6	JIFESHSZ.....	37-24
IRIF_SIR2.....	29-7	JIFESMW.....	37-23
IRIF_SIR3.....	29-7	JIFESVSZ.....	37-24
IRIF_TINTCLR.....	29-5	JIFESYA1.....	37-21
IRIF_UART_STS2.....	29-9	JIFESYA2.....	37-22
IRIF_UART0.....	29-10	JINTE.....	37-16
IRIF_UART1.....	29-11	JINTS.....	37-18
IRIF_UART2.....	29-13	KYCR1.....	30-5
IRIF_UART3.....	29-14	KYCR2.....	30-6
IRIF_UART4.....	29-14	KYINDR.....	30-7
IRIF_UART5.....	29-15	KYOUTDR.....	30-8
IRIF_UART6.....	29-16	LCCR.....	47-43
IRIF_UART7.....	29-16	LDCNT1R.....	39-35
IRMCR.....	7-18	LDCNT2R.....	39-36
JCCMD.....	37-8	LDDCKR.....	39-11

LDDCKSTPR.....	39-12	MLDVLNR.....	39-24
LDDDSR.....	39-39	MLDVPDR.....	39-27
LDDRAR.....	39-45	MLDVSYNR.....	39-25
LDDRDR.....	39-43	MMSELR.....	14-9
LDDWAR.....	39-44	MMUCR.....	7-13
LDDWDnR.....	39-42	MPR.....	47-38
LDINTR.....	39-31	MSELCRA.....	48-85
LDPALCR.....	39-30	MSELCRB.....	48-86
LDPR.....	39-9	MSIOF_SICTR.....	25-18
LDRCNTR.....	39-38	MSIOF_SIFCTR.....	25-37
LDRCR.....	39-41	MSIOF_SIRDR1.....	25-28
LDSR.....	39-34	MSIOF_SIRDR2.....	25-29
LSTATS.....	17-19	MSIOF_SIRFDR.....	25-29
MACH.....	2-11	MSIOF_SIRMDR1.....	25-13
MACL.....	2-11	MSIOF_SIRMDR2.....	25-16
MAFCR.....	47-46	MSIOF_SIRMDR3.....	25-17
MAHR.....	47-40	MSIOF_SIRSCR.....	25-25
MALR.....	47-41	MSIOF_SISTR.....	25-30
MEACTST.....	41-15	MSIOF_SITDR1.....	25-26
MEILIE.....	41-15	MSIOF_SITDR2.....	25-26
MEILRST.....	41-20	MSIOF_SITMDR1.....	25-6
MEILWST.....	41-19	MSIOF_SITMDR2.....	25-10
MEEnBSIZE.....	41-9	MSIOF_SITMDR3.....	25-12
MEEnCTRL.....	41-5	MSIOF_SITSCR.....	25-24
MEEnMCNF.....	41-10	MSIOF0_SIER.....	25-35
MEEnSBSIZE.....	41-12	MSTPCR0.....	18-5
MEEnSSARA.....	41-11	MSTPCR1.....	18-10
MEEnSSARB.....	41-12	MSTPCR2.....	18-11
METEIE.....	41-14	MUTE.....	45-29
METEST.....	41-18	NMIFCR.....	13-18
MEVCR0.....	41-13	NRDYENB.....	31-40
MEVCR1.....	41-13	NRDYSTS.....	31-55
MLDDCKPAT1R.....	39-10	PACR.....	48-11
MLDDCKPAT2R.....	39-10	PADR.....	48-56
MLDDFR.....	39-18	PASCR.....	7-17
MLDHCNR.....	39-23	PBCR.....	48-13
MLDHPDR.....	39-26	PBDR.....	48-56
MLDHSYNR.....	39-24	PC.....	2-11
MLDMLSR.....	39-22	PCCR.....	48-15
MLDMT1R.....	39-13	PCDR.....	48-57
MLDMT2R.....	39-16	PDCR.....	48-17
MLDMT3R.....	39-17	PDDR.....	48-57
MLDPMR.....	39-28	PECR.....	48-19
MLDSA1R.....	39-21	PEDR.....	48-58
MLDSA2R.....	39-22	PFCR.....	48-21
MLDSM1R.....	39-20	PFDR.....	48-58
MLDSM2R.....	39-21	PGCR.....	48-23

PGDR	48-59	PVDR	48-65
PHCR	48-24	PWCR	48-48
PHDR	48-59	PWDR	48-65
PIPEBUF	31-82	PXCR	48-50
PIPECFG	31-77	PXDR	48-66
PIPEMAXP	31-84	PYCR	48-52
PIPEnCTR (n = 1 ~ 9)	31-88	PYDR	48-66
PIPEnTRE (n = 1 ~ 5)	31-101	PZCR	48-54
PIPEnTRN (n = 1 ~ 5)	31-103	PZDR	48-67
PIPEPERI	31-86	QACR0	8-8
PIPESEL	31-76	QACR1	8-8
PIR	47-35	R64CNT	28-4
PJCR	48-26	RAMCR	8-9, 9-2, 10-3
PJDR	48-60	RBWTCNT	14-28
PKCR	48-28	RCR1	28-14
PKDR	48-60	RCR2	28-15
PLCR	48-30	RCR3	28-17
PLDR	48-61	RDAYAR	28-12
PLLCR	17-12	RDAYCNT	28-8
PMCR	48-32	RDLAR	47-11
PMDR	48-61	RDMLR	47-36
PNCR	48-34	RFCF	47-39
PNDR	48-62	RFCR	47-46
PQCR	48-36	RFLR	47-32
PQDR	48-62	RFOCR	47-26
PR	2-11	RHRAR	28-11
PRCR	48-38	RHRCNT	28-6
PRDR	48-63	RMCR	47-25
PRLCKCR	12-5	RMFCR	47-21
PRPRICRn	12-4	RMINAR	28-10
PSCR	48-40	RMINCNT	28-6
PSDR	48-63	RMONAR	28-13
PSELA	48-68	RMONCNT	28-8
PSELB	48-70	RSECAR	28-10
PSELC	48-72	RSECCNT	28-5
PSELD	48-74	RWKAR	28-11
PSELE	48-76	RWKCNT	28-7
PSR	47-36	RWTCNT	19-3
PTCR	48-42	RWTCSR	19-3
PTDR	48-64	RYRAR	28-13
PTEA	7-16	RYRCNT	28-9
PTEH	7-11	SCABRR	27-19
PTEL	7-12	SCAFCR	27-20
PUCR	48-44	SCAFDR	27-23
PUDR	48-64	SCAFER	27-13
PULCR	48-87	SCAFRDR	27-7
PVCR	48-46	SCAFTDR	27-8

SCARSR.....	27-7	TPU_TMDR.....	21-10
SCASCR.....	27-10	TPU_TSR.....	21-13
SCASMR.....	27-8	TPU_TSTR.....	21-14
SCASSR.....	27-14	TRA.....	5-2
SCATDSR.....	27-23	TRIMD.....	47-29
SCATSR.....	27-7	TROCR.....	47-42
SCBRR.....	26-16	TRSCER.....	47-19
SCFCR.....	26-17	TSBUFCLRR.....	43-15
SCFDR.....	26-19	TSCMDR.....	43-8
SCFRDR.....	26-6	TSCTLR.....	43-5
SCFSR.....	26-11	TSDPCRADCR.....	43-22
SCFTDR.....	26-6	TSFRCR.....	47-45
SCLSR.....	26-20	TSINTER.....	43-16
SCRSR.....	26-6	TSPCRADCMDR.....	43-20
SCSCR.....	26-9	TSPCRADCR.....	43-21
SCSMR.....	26-7	TSPIDR.....	43-8
SCTSR.....	26-6	TSPSCALER.....	43-18
SDDRH.....	50-5	TSPSCALERR.....	43-18
SDDRL.....	50-5	TSSTR.....	43-11
SDINT.....	50-6	TSTR.....	20-5
SDIR.....	50-5	TSTRPCRADCR.....	43-21
SGR.....	2-10	TSTSDR.....	43-14
SOFCFG.....	31-44	TTB.....	7-13
SOFT_RST.....	45-32	UFRMNUM.....	31-60
SPC.....	2-10	UPONCRn.....	31-106
SPUCLKCR.....	17-17	USBADDR.....	31-61
SR.....	2-9	USBINDX.....	31-64
SSR.....	2-10	USBLENG.....	31-65
STBCR.....	18-4	USBREQ.....	31-62
SYSCFG.....	31-12	USBVAL.....	31-63
SYSSTS.....	31-16	USERIMASK.....	13-17
TCNT.....	20-7	VAFXR.....	35-50
TCOR.....	20-7	VAPCR.....	35-48
TCR (TMU).....	20-6	VBR.....	2-10
TDLAR.....	47-10	VBSRR.....	35-57
TEA.....	7-13	VBSSR.....	35-18
TESTMODE.....	31-20	VCLKCR.....	17-13
TFTR.....	47-22	VDACR.....	35-25
TFUCR.....	47-26	VDAYR.....	35-20
TLFRCR.....	47-45	VECCR.....	35-49
TPAUSECR.....	47-40	VEDWR.....	35-19
TPAUSER.....	47-39	VEIER.....	35-53
TPU_TCNT.....	21-14	VENHR.....	35-35
TPU_TCR.....	21-8	VESSR.....	35-13
TPU_TGR.....	21-14	VESTR.....	35-10
TPU_TIER.....	21-12	VESWR.....	35-12
TPU_TIOR.....	21-11	VEVTR.....	35-54

VFLCR.....	35-49	VOUSWR.....	40-24
VFMCR.....	35-38	VOUVCR.....	40-9
VHTCR.....	35-46	VOUVPR.....	40-15
VOUAD1R.....	40-22	VRFCR.....	35-30
VOUAD2R.....	40-23	VRFSR.....	35-33
VOUAIR.....	40-23	VRPBR.....	35-57
VOUBCR.....	40-12	VRSCR.....	35-36
VOUCR.....	40-6	VRSOR.....	35-37
VOUDFR.....	40-21	VSACR.....	35-17
VOUDPR.....	40-13	VSAYR.....	35-16
VOUDSR.....	40-14	VSTAR.....	35-55
VOUER.....	40-5	VSWPR.....	35-51
VOUHIR.....	40-20	VTRCR.....	35-26
VOUIR.....	40-17	VVTCR.....	35-43
VOUISR.....	40-11	レジューム割り込み.....	31-127
VOUMSR.....	40-19	ロード/ストアアーキテクチャ.....	3-1
VOURCR.....	40-26	論理演算命令.....	3-11
VOURPR.....	40-27		
VOUSRR.....	40-18	【わ】	
VOUSTR.....	40-8	ワンショット動作.....	22-6

ルネサス32ビットRISCマイクロコンピュータ
SH7724
ユーザーズマニュアル ハードウェア編

発行年月日 2009年12月29日 Rev.1.00
2013年1月18日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>

SH7724
ユーザーズマニュアル ハードウェア編