

RZ/T2H グループ

RZ/T2H Evaluation Board

ユーザーズマニュアル

RZ/T シリーズ（リアルタイム制御）

RZ ファミリ

64-Bit & 32-Bit Arm[®]-Based High-End MPUs

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

免責事項

本製品 RZ/T2H Evaluation Board を使用することにより、お客様は下記条件に同意されたものとみなされます。下記条件は、<https://www.renesas.com/us/en/legal-notice> に記載されている弊社の一般利用条件に追加されるものであり、下記条件と一般利用条件との間に不一致がある場合は下記条件が優先します。

ルネサスは、RZ/T2H Evaluation Board に瑕疵がないことを保証するものではありません。RZ/T2H Evaluation Board の使用結果および性能に関する危険については、すべてお客様が負うものとします。RZ/T2H Evaluation Board は、明示的または黙示的を問わず、一切の保証を伴わずに「現状のまま」で弊社により提供されます。当該保証には良好な出来栄え、特定目的への適合性、商品性、権限および知的財産権の非侵害についての黙示の保証が含まれますが、これらに限られません。弊社は、かかる一切の保証を明示的に否認します。

弊社は、RZ/T2H Evaluation Board を完成品と考えていません。したがって、RZ/T2H Evaluation Board はリサイクル、制限物質、電磁環境適合性の規制など、完成品に適用される一部の要件にまだ準拠していない場合があります。RZ/T2H Evaluation Board の認証（Certification）および準拠（Compliance）に関する情報は、「認証」の章をご参照ください。キットユーザが居る地域ごとに適用されるあらゆる地域的な要件に対する適合性を確認することは、全てその製品ユーザの責任であるものとします。

弊社または関連会社は、逸失利益、データの損失、契約機会の損失、取引上の損失、評判や信用の棄損、経済的損失、再プログラミングやリコールに伴う費用については（前述の損失が直接的であるか間接的であるかを問わず）一切責任を負いません。また、弊社または関連会社は、RZ/T2H Evaluation Board の使用に起因または関連して生じるその他の特別、付随的、結果的損害についても、直接的であるか間接的であるかを問わず、弊社またはその関連会社が当該損害の可能性を指摘されていた場合でも、一切責任を負いません。

弊社は本書に記載されている情報を合理的な注意を払って作成していますが、当該情報に誤りがないことを保証するものではありません。また、弊社は本書に記載されている他のベンダーにより示された部品番号のすべての適用やパラメータが正確に一致していることを保証するものでもありません。本書で提供される情報は、弊社製品の使用を可能にすることのみを目的としています。本書により、または弊社製品と関連して、知的財産権に対する明示または黙示のライセンスが許諾されることはありません。弊社は、製品の仕様および説明を予告なしに随時変更する権利を留保します。本書に記載されている情報の誤りまたは欠落に起因する損害がお客様に生じた場合においても弊社は一切その責任を負いません。弊社は、他社のウェブサイトに記載されている情報の正確性については検証できず、一切責任を負いません。

注意事項

本製品は、周囲温度および湿度を制御された実験室の環境でのみ使用されることを前提としています。本製品と高感度機器間には安全な距離を置いてください。実験室、教室、研究エリアもしくは同種のエリア以外での使用は、EMC 指令の保護要件への準拠を無効にし、起訴される可能性があります。

本製品は、RF エネルギーを生成・使用し、また放出可能で、無線通信に有害な干渉を起こす可能性があります。しかしながら、特定の実装環境で干渉が起こらないという保証はありません。本装置をオン・オフすることにより無線やテレビ受信に有害な干渉を及ぼしていると判断される場合は、下記の対策を講じて干渉を補正してください。

- ・ 附属のケーブルが装置をまたがらないようにする
- ・ 受信アンテナの方向を変える
- ・ 装置とレシーバをさらに離す
- ・ 装置を接続するコンセントをレシーバが接続してあるコンセントとは異なる回路のコンセントにする
- ・ 使用していないときは装置の出力を下げる
- ・ 販売店もしくは経験豊富な無線/TV 技術者に相談する

注：可能なかぎりシールドインタフェースケーブルを使用してください。

本製品は、EMC 事象の影響を受ける可能性があります。影響を軽減するために、下記の対策をとってください。

- ・ 製品使用中は製品の 10 メートル以内で携帯電話を使用しない
- ・ 装置取扱時には ESD に関する注意事項を順守する

本評価キットは、最終製品の理想的なりファレンス設計を表すものではなく、最終製品の規制基準を満足するものでもありません。

所有権通知

本書に含まれるすべてのテキスト、グラフィック、写真、商標、ロゴ、挿絵、コンピュータコード (総称してコンテンツ) は、ルネサスが所有、管理、またはライセンスを保持するものであり、トレードドレス法、著作権法、特許法および商標法、その他の知的財産権法、不正競争法で保護されています。本書に明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、本書の一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、Evaluation Board ハードウェア概要と電気的特性をユーザに理解していただくためのマニュアルです。様々な周辺装置を使用して、Evaluation Board プラットフォーム上のサンプルコードを設計するユーザを対象にしています。

このマニュアルは、Evaluation Board 製品の機能概観を含みますが、組み込みプログラミングまたはハードウェア設計ガイドのためのマニュアルではありません。

このマニュアルを使用する場合、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RZ/T2H Evaluation Board では次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサスエレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
ユーザーズマニュアル	評価ボードハードウェア仕様の説明	RZ/T2H Evaluation Board ユーザーズマニュアル	R20UT5405JJ (本マニュアル)
クイックスタートガイド	電源投入から初期動作確認までを説明	RZ/T2H Evaluation Board クイックスタートガイド	R20QS0055JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RZ/T2H および RZ/N2H グループ ユーザーズマニュアル ハードウェア編	R01UH1039JJ

2. 略語および略称の説明

略語／略称	英語名	備考
ADC	Analog-to-Digital Converter	A/D コンバータ
bps	bits per second	転送速度を表す単位、ビット/秒
CAN	Controller Area Network	コントローラエリアネットワーク
CPU	Central Processing Unit	中央処理装置
DIP	Dual In-line Package	電子部品パッケージの一種
DNF	Do Not Fit	未実装
EEPROM	Electrically Erasable Programmable Read Only Memory	不揮発性メモリの一種
ESC	EtherCAT Slave Controller	EtherCAT スレーブコントローラ
ESD	Electrostatic Discharge	静電気放電
EtherCAT	Ethernet for Control Automation Technology	産業用イーサネット
GPT	General PWM Timer	ジェネラル PWM タイマ
I ² C (IIC)	Philips™ Inter-Integrated Circuit Connection Bus	フィリップス社が提唱したシリアル通信方式
J-Link™	SEGGER debug probe	SEGGER 社デバッグプローブ(エミュレータ)
J-Link™ OB	SEGGER On-board debug probe	SEGGER 社オンボードデバッグプローブ(エミュレータ)
IRQ	Interrupt Request	割り込み要求
LCD	Liquid Crystal Display	液晶ディスプレイ
LED	Light Emitting Diode	発光ダイオード
MAC	Media Access Control	メディアアクセス制御
MCU	Micro controller Unit	マイクロコントローラユニット
MPU	Micro Processor Unit	マイクロプロセッサユニット
MTU	Multi-Function Timer Pulse Unit	マルチファンクションタイマパルスユニット
n/a (NA)	Not Applicable	未対応
n/c (NC)	Not Connected	未接続
OTG	On-The-Go	USB 機器同士を直接接続して使用する USB インタフェース規格
OTP	One-Time Programmable (Memory)	ワンタイムプログラマブル (メモリ)
PC	Personal Computer	パーソナルコンピュータ
PCB	Printed Circuit Board	プリント基板
POE	Port Output Enable	ポートアウトプットイネーブル
POEG	Port Output Enable for GPT	GPT 用ポートアウトプットイネーブル
PWM	Pulse Width Modulation	パルス幅変調
RAM	Random Access Memory	ランダムアクセスメモリ
RGMI	Reduced Gigabit Media-Independent Interface	論理層と物理層をつなぐ インタフェース
RMII	Reduced Media-Independent Interface	論理層と物理層をつなぐ インタフェース
ROM	Read Only Memory	リードオンリーメモリ
SCI	Serial Communications Interface	シリアルコミュニケーションインタフェース
SEI	System Error Interrupt	システムエラー割り込み
SPI	Serial Peripheral Interface	シリアルペリフェラルインタフェース
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
USB	Universal Serial Bus	シリアルバス規格の一種

目次

1. 概要	9
1.1 目的	9
1.2 特徴	9
1.3 ボード仕様	10
2. 電源	12
2.1 供給電源仕様	12
2.2 電源投入、遮断方法	12
2.3 電流測定用コネクタ	13
3. ボードレイアウト	14
3.1 コンポーネントレイアウト	14
3.2 ボード寸法	16
3.3 部品配置	16
4. 接続関係	17
4.1 ボード内部の接続関係	17
4.2 デバッグ環境の接続	18
5. RZ/T2H 端子機能一覧	19
6. コンフィグレーション用回路	53
6.1 コンフィグレーション用回路の種類	53
6.2 出荷時のコンフィグレーション	54
6.3 スイッチによるコンフィグレーション	55
6.3.1 モード設定スイッチ SW14	55
6.3.2 信号機能選択スイッチ SW1, SW2, SW4~SW8, SW15, SW17, SW18	56
6.4 ジャンパによるコンフィグレーション	60
6.4.1 I/O 電源選択ジャンパ CN9, CN37~CN40, CN77, CN78	60
6.4.2 デバッグ機能選択ジャンパ CN62	60
6.4.3 RS485 インタフェース通信方式選択ジャンパ CN56, CN57	61
6.4.4 PCIe リセット信号制御ジャンパ CN73	61
6.4.5 電流測定用ジャンパ CN29, CN30, CN35, CN36, CN81~CN87	61
6.5 オプションリンクによるコンフィグレーション	62
6.5.1 ソルダブリッジおよびトレースカットによる設定	62
6.5.2 0Ω 他の抵抗による設定	63
7. ユーザ回路	64
7.1 リセット回路	64
7.2 クロック回路	64
7.3 スイッチ	65
7.4 LED	66
7.5 ポテンショメータ	66
7.6 Pmod™	67
7.7 Grove	70
7.8 QWIIC	72
7.9 mikroBUS™	73
7.10 USB シリアル変換	75
7.11 SPI メモリ	76
7.12 LPDDR4	79
7.13 SD、eMMC	80
7.14 CAN	83
7.15 RS485 インタフェース	84

7.16	USB	85
7.17	Ethernet システム	87
7.18	PCIe	92
7.19	LCD インタフェース	96
7.20	シリアルホストインタフェース	99
7.21	ピンヘッダ	100
7.22	テストピン	118
8.	コード開発	119
8.1	概要	119
8.2	モードサポート	119
8.3	アドレス空間	119
9.	使用上の注意	120
9.1	XTALSEL 端子処理について	120
9.2	RGB-HDMI 変換ボードの使用について	120
10.	サポート	121
11.	付録	122

RZ/T2H Evaluation Board ユーザーズマニュアル

ユーザーズマニュアル

1. 概要

1.1 目的

本 Evaluation Board（以下本ボードと記載します）はルネサスマイクロプロセッサ用の評価ツールです。本マニュアルは、本ボードハードウェアの技術的要素を詳しく解説し、クイックスタートガイドでは、ソフトウェアのインストール、デバッグ環境を説明しています。

1.2 特徴

本ボードは以下の特徴を含みます：

- ルネサスマイクロプロセッサのプログラミング
- ユーザコードのデバッグ
- スイッチ、LED、ポテンショメータ等のユーザ回路

本ボードはマイクロプロセッサの動作に必要な回路を全て備えています。

1.3 ボード仕様

ボード仕様を表 1-1、表 1-2 に示します。

表 1-1 ボード仕様表(1)

項目	仕様
マイクロプロセッサ	型番: R9A09G077M44GBG ^{*1}
	パッケージ: 729-pin FCBGA
	内蔵メモリ: RAM 2MB
オンボードメモリ	OctaFlash: 512Mbit
	QSPI Serial Flash: 128Mbit
	I ² C EEPROM: 16Kbit
	LPDDR4: 8GB
	eMMC: 32GB
入力クロック	RZ/T2H メイン用: 25MHz
	PCIe 用: 25MHz
	USB シリアル変換 IC 用: 12MHz
電源	電源入力: 15V/3A USB PD 対応 Type-C [®] コネクタ(CN46) / AC アダプタ用電源ジャック(CN47) 24V/3A 2 極端子台(CN90)
	電源 IC: 24V 入力, 15V 出力
	電源 IC: 15V 入力, 12V 出力
	電源 IC: 15V 入力, 5V 出力
	電源 IC: 5V 入力, 3.3V 出力
	電源 IC: 5V 入力, 1.8V 出力
	電源 IC: 5V 入力, 1.1V 出力
	電源 IC: 5V 入力, 0.8V 出力
	電源 IC: 5V 入力, 2.5V 出力 (EtherPHY 用)
	電源 IC: 5V 入力, 1.0V 出力 (EtherPHY 用)
デバッグインタフェース	MIPI-10: 1.27mm ピッチ、10 ピンボックスヘッダ (CN60)
	MIPI-20: 1.27mm ピッチ、20 ピンボックスヘッダ (CN61)
	J-Link [™] OB: USB Micro-B (CN14)
スライドスイッチ	電源スイッチ: 単極双投式 x 1 (SW16)
ディップスイッチ	モード設定: 8 極 x 1
	信号選択: 10 極 x 4、8 極 x 4、6 極 x 1、2 極 x 1
	ユーザスイッチ: 4 極 x 1
プッシュスイッチ	リセットスイッチ x 1
	ユーザスイッチ x 3
ポテンショメータ(AD 変換用)	単回転タイプ(10kΩ)
LED	電源用: (黄) x 1、(緑) x 1
	ユーザ用: (緑) x 6、(黄) x 1、(赤) x 2、このうち(緑) x 4、(赤) x 1 は Ether-CAT ステータスと兼用
	Ethernet ステータス用: (緑) x 4、(黄) x 4 (RJ-45 内蔵)
	J-Link [™] OB ステータス用: (黄) x 1
Ethernet port	コネクタ: RJ-45 x 4 (CN1、CN44、CN45、CN59)
	PHY: シングルチャネル PHY x 4
USB	USB Function: USB Mini-B (CN79)
	USB Host: USB-Type-A (CN80)
	USB OTG: USB Micro-AB (CN33)

^{*1}: 本製品搭載のデバイスでは OTP の評価は出来ません。

表 1-2 ボード仕様表(2)

項目	仕様
CAN	コネクタ ^{*1} : 2.54mm ピッチ, 3 ピン x 1 (CN55)
	CAN トランシーバ x 1
RS485	コネクタ ^{*1} : 10 ピン x 1 (CN58)
	RS485 トランシーバ x 1
	外部 RS485 拡張用コネクタ : 2.54mm ピッチ、8 ピン x1 (CN12)
USB シリアル変換インタフェース	コネクタ: USB Mini-B (CN34)
	ドライバ: FT2232HQ
Pmod™	PMOD-2A、6A: 12 ピンコネクタ (CN50)
	PMOD-3A: 12 ピンコネクタ (CN49)
mikroBUS™	2.54mm ピッチ、8 ピン x 2 (CN53, CN54)
Grove	2.00mm ピッチ、4 ピン x 2 (CN48, CN51)
QWIIC	1.00mm ピッチ、4 ピン x 1 (CN52)
Serial Host Interface	2.54mm ピッチ、14 ピン x 1 (CN64)
LCDC	45 ピン FPC コネクタ x1 (CN15)
SD	SD スロット x1 (CN31)、microSD スロット x1 (CN16)
PCIe	1 レーン 2 ポート / 2 レーン 1 ポート、 ルートコンプレックス/エンドポイント選択可能
	コネクタ : 1 レーン用 x1 (CN8)、4 レーン用 x1 (CN32、2 レーン分のみ使用可能)
ピンヘッダ (2.54mm ピッチ)	ENCIF : 30 ピン x2 (CN2、CN3)、22 ピン x 1 (CN10)
	DSMIF : 30 ピン x3 (CN18、CN21、CN22)、10 ピン x 1 (CN19)
	GPT : 36 ピン x3 (CN24、CN25、CN26)
	ETHSW : 10 ピン x1 (CN20)
	GMAC : 6 ピン x1 (CN23)
	外部バス ^{*1} : 40 ピン x 2 (CN13、CN17)
	ADC : 10 ピン x 2 (CN41、CN42)、12 ピン x1 (CN43)

^{*1}: 製品にコネクタは実装されていません。

2. 電源

2.1 供給電源仕様

本ボードは USB Type-C®コネクタ(CN46)、電源ジャック(CN47)および 2 極端子台(CN90)を搭載しており、これらのどれか一つから電源を供給することができます。供給電源の仕様を表 2-1 に示します。

表 2-1 供給電源仕様

コネクタ	仕様および供給電圧
CN46	USB PD 対応 USB Type-C® 15V/3A DC *1
CN47	2.0mm センタープラスの電源ジャック、15V/3A DC *2
CN90	5.08mm ピッチ 2 極端子台、24V/3A DC *3

*1: CN46 から電源供給する場合は必ず 15V/3A に対応した USB 用 AC アダプタをご使用ください。

*2: Renesas Starter Kit など当社製ボードには 12V 電源や 5V 電源を供給する製品もありますが、本ボードに CN47 から電源供給する場合は必ず 15V/3A の電源を使用し、12V 電源や 5V 電源を接続しないでください。

*3: CN90 から電源供給する場合は必ず 24V/3A が供給可能な安定化された電源をご使用ください。

2.2 電源投入、遮断方法

本ボードには電源スイッチ (POWER_SW スライドスイッチ) が搭載されています。電源投入時は、電源スイッチが OFF の状態で CN46、CN47 または CN90 に電源を接続し、電源スイッチを ON して電源供給を開始してください。電源供給を終了する場合は、電源スイッチを OFF した後、CN46、CN47 または CN90 から電源を取り外してください。電源スイッチの配置と操作方法を図 2-1 に示します。

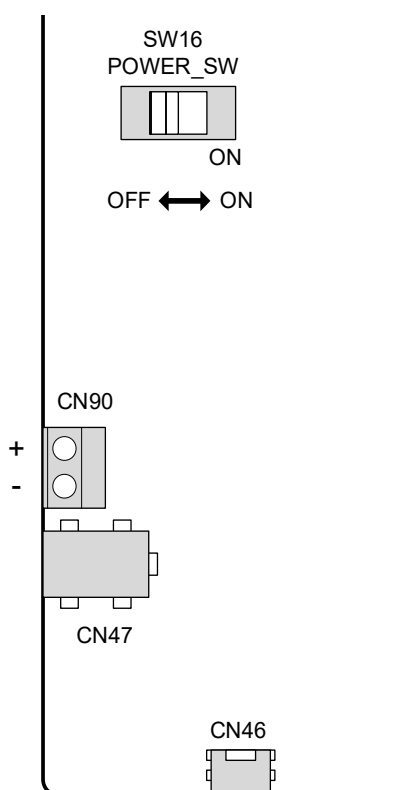


図 2-1 電源スイッチの配置と操作方法

2.3 電流測定用コネクタ

本ボードは電流測定用のコネクタを搭載しており、当該コネクタの 1-2 ピン間に電流計を挿入することで電流値を測定することができます。電流測定用コネクタ一覧を表 2-2 に示します。

表 2-2 電流測定用コネクタ一覧

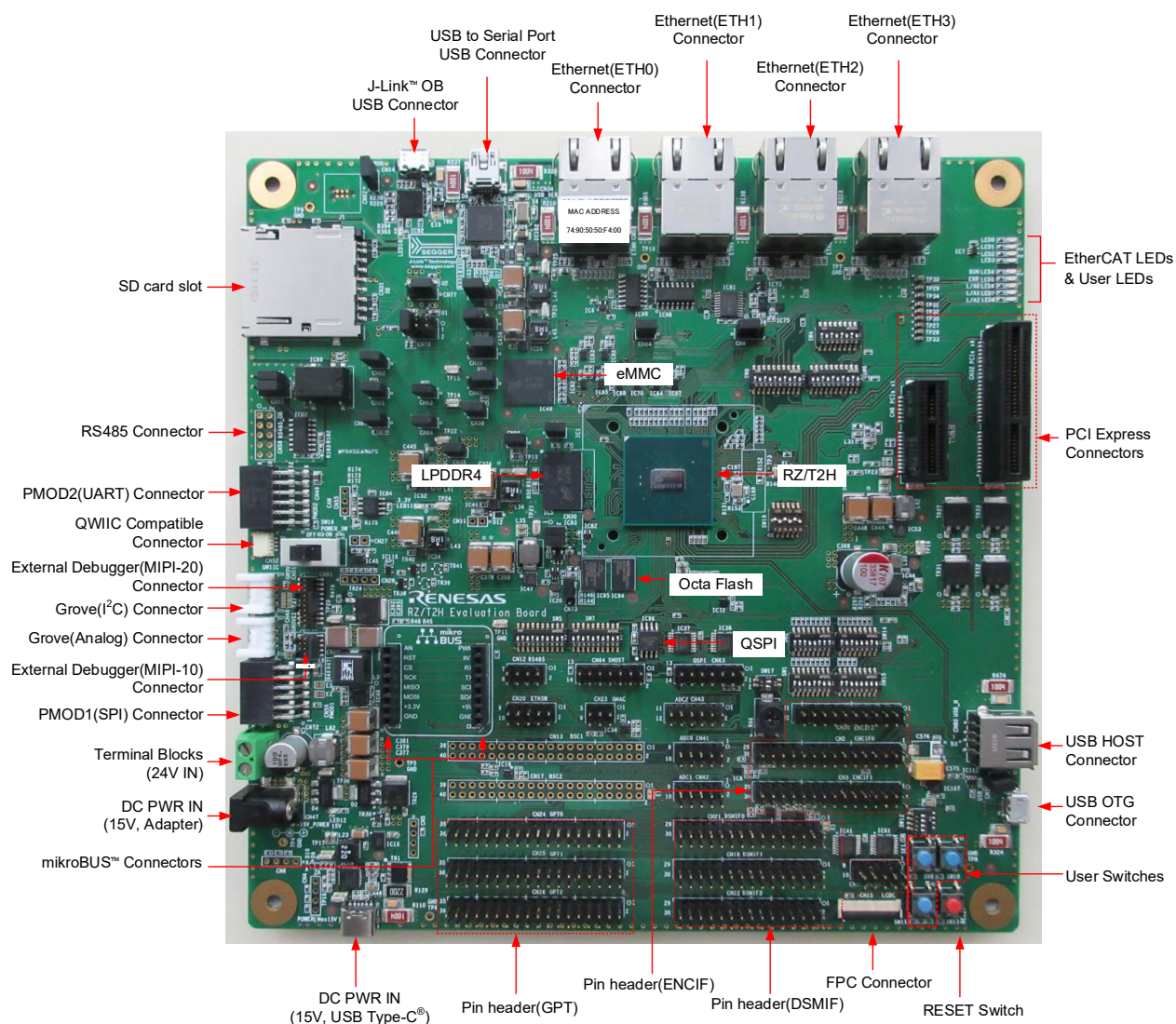
コネクタ	用途
CN30 ^{*1}	RZ/T2H の 0.8V 電源に供給される電源 (CPU0V8) の電流測定用
CN29	RZ/T2H の 1.1V 電源に供給される電源 (CPU1V1) の電流測定用
CN35	RZ/T2H の 1.8V 電源に供給される電源 (CPU1V8) の電流測定用
CN36	RZ/T2H の 3.3V 電源に供給される電源 (CPU3V3) の電流測定用
CN81	RZ/T2H の VCC1833_0 電源に供給される電源 (CPU_VCC1833_0) の電流測定用
CN82	RZ/T2H の VCC1833_1 電源に供給される電源 (CPU_VCC1833_1) の電流測定用
CN83	RZ/T2H の VCC1833_2 電源に供給される電源 (CPU_VCC1833_2) の電流測定用
CN84	RZ/T2H の VCC1833_3 電源に供給される電源 (CPU_VCC1833_3) の電流測定用
CN85	RZ/T2H の VCC1833_4 電源に供給される電源 (CPU_VCC1833_4) の電流測定用
CN86	RZ/T2H の VCC1833_5 電源に供給される電源 (CPU_VCC1833_5) の電流測定用
CN87	RZ/T2H の VCC1833_6 電源に供給される電源 (CPU_VCC1833_6) の電流測定用

^{*1}: 本コネクタは 4 ピンです。電流を測定する場合は 1,3 ピンと 2,4 ピンの間に電流計を挿入してください。

3. ボードレイアウト

3.1 コンポーネントレイアウト

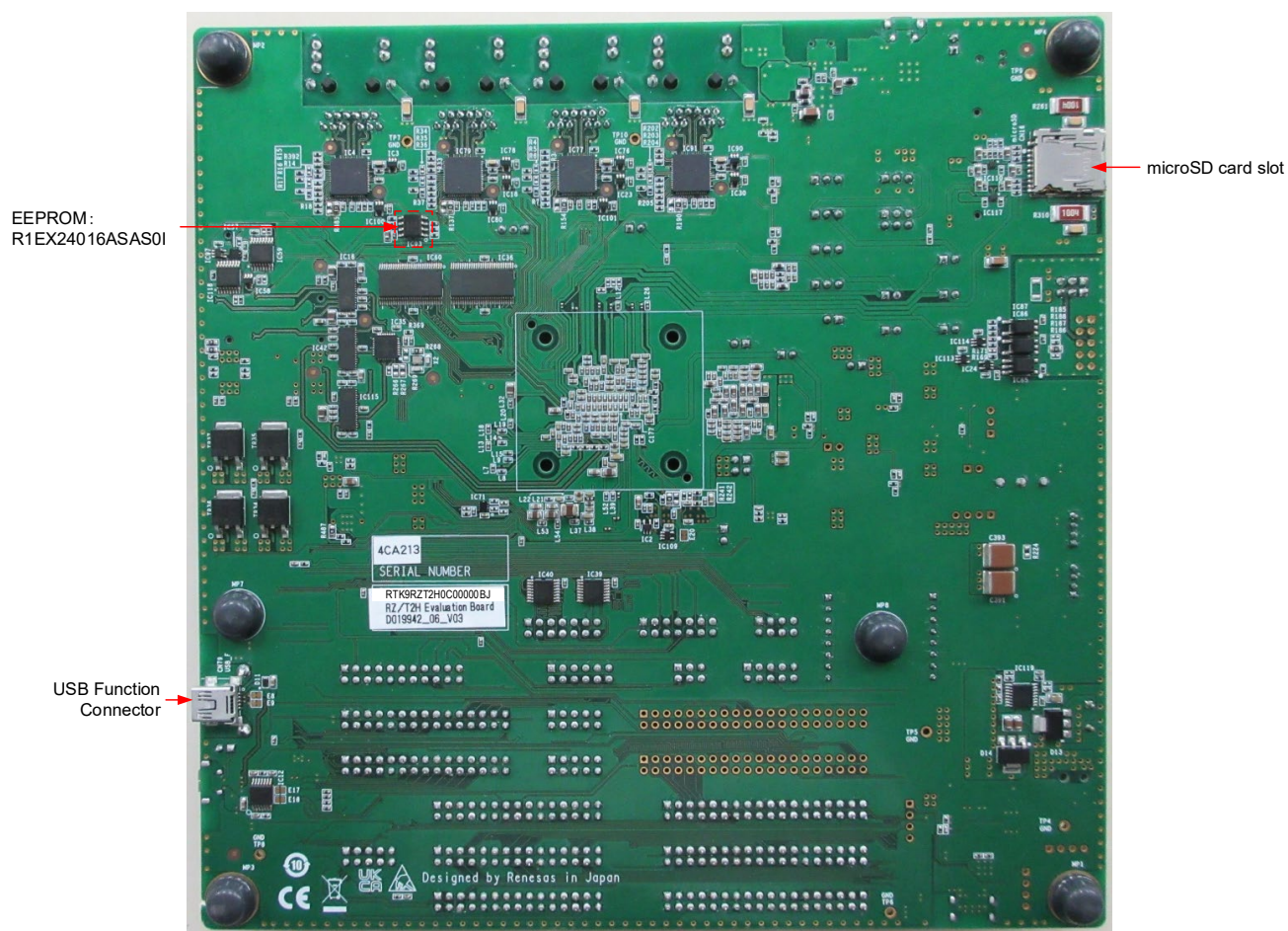
本ボードのコンポーネントレイアウトを図 3-1、図 3-2 に示します。



*1:各機能の詳細は第 7 章を参照してください。

*2:記載されている MAC アドレスは一例です。Ethernet ソフトウェアを実行する場合、ユニークな MAC アドレスを使用してください。

図 3-1 ボードレイアウト(部品面)



*1: シリアル番号(4CA213)は一例です。

図 3-2 ボードレイアウト(ハンダ面)

3.2 ボード寸法

本ボードの寸法およびコネクタ位置を図 3-3 に示します。ピンヘッダのスルーホールは、2.54mm のピッチのメッシュ上に配置されています。

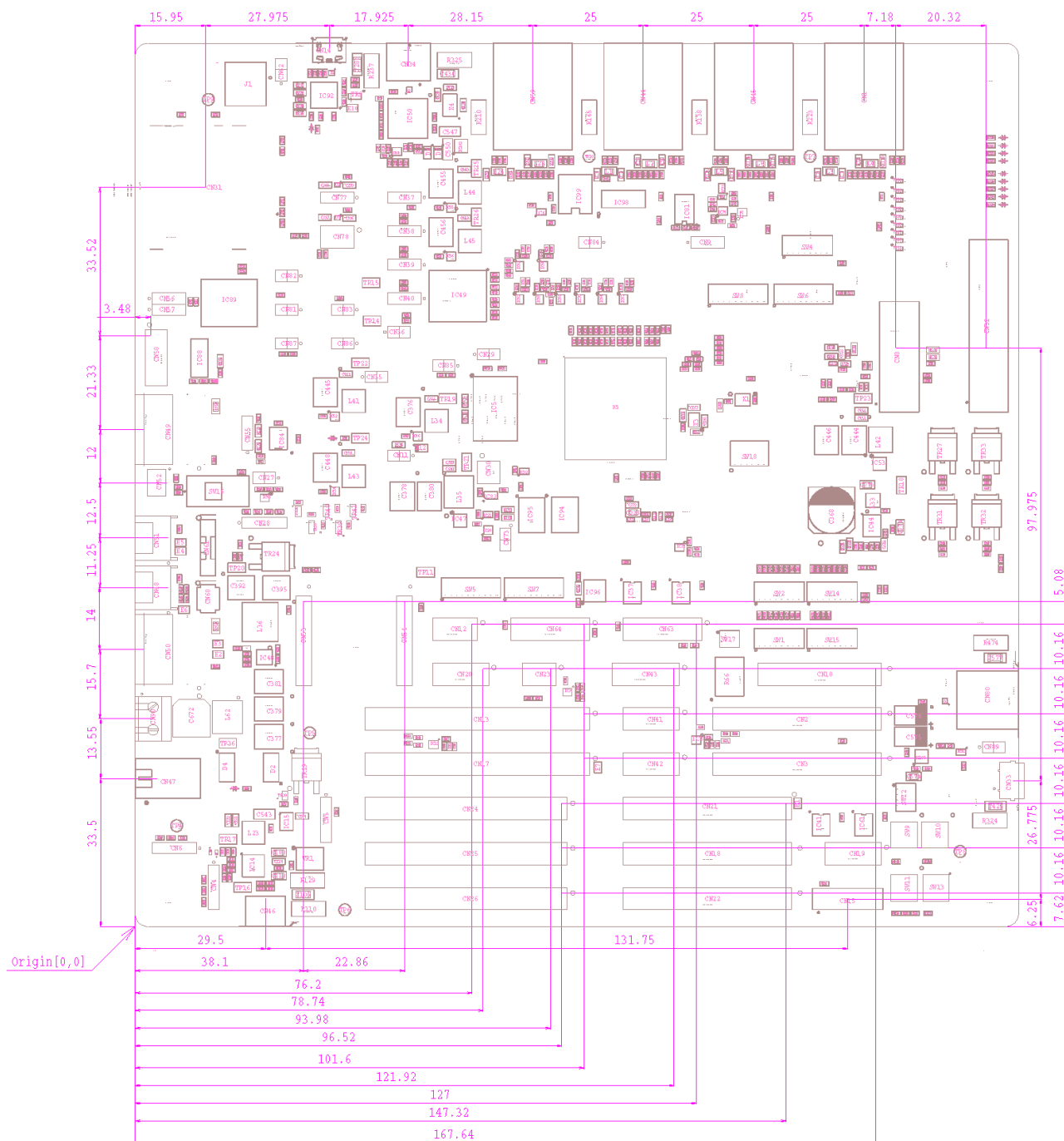


図 3-3 ボード寸法図 (単位: mm)

3.3 部品配置

本ボードの部品配置については「11 付録」を参照してください。

4. 接続関係

4.1 ボード内部の接続関係

本ボードの各コンポーネントと RZ/T2H の接続関係を図 4-1 に示します。

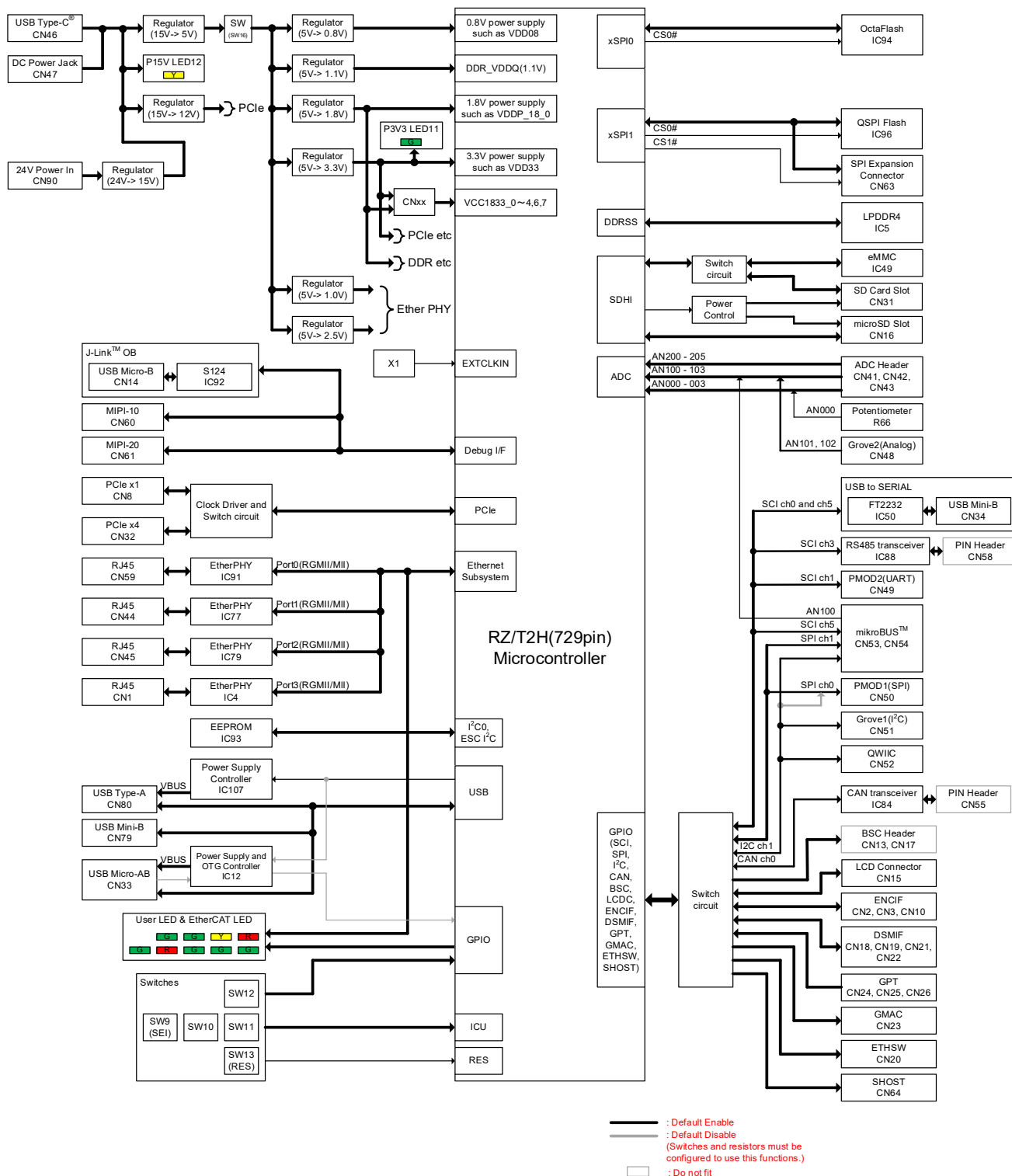


図 4-1 ボード内部の接続関係

4.2 デバッグ環境の接続

本ボードとエミュレータおよびホスト PC 間の接続を図 4-2 に、本ボード上の J-Link™ OB を使用する場合のホスト PC との接続を図 4-3 に示します。

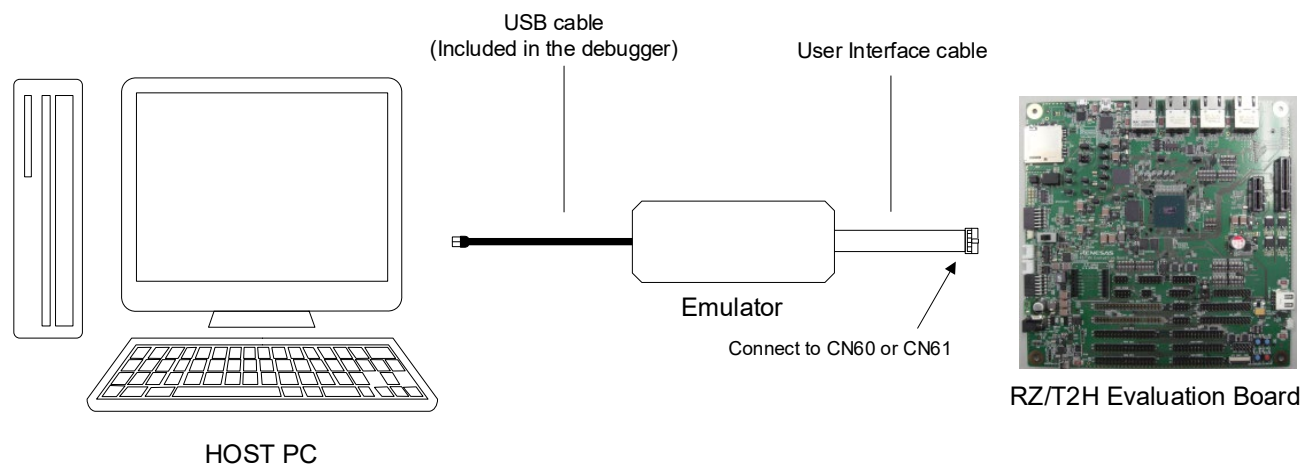


図 4-2 デバッグ環境の接続関係(エミュレータ)

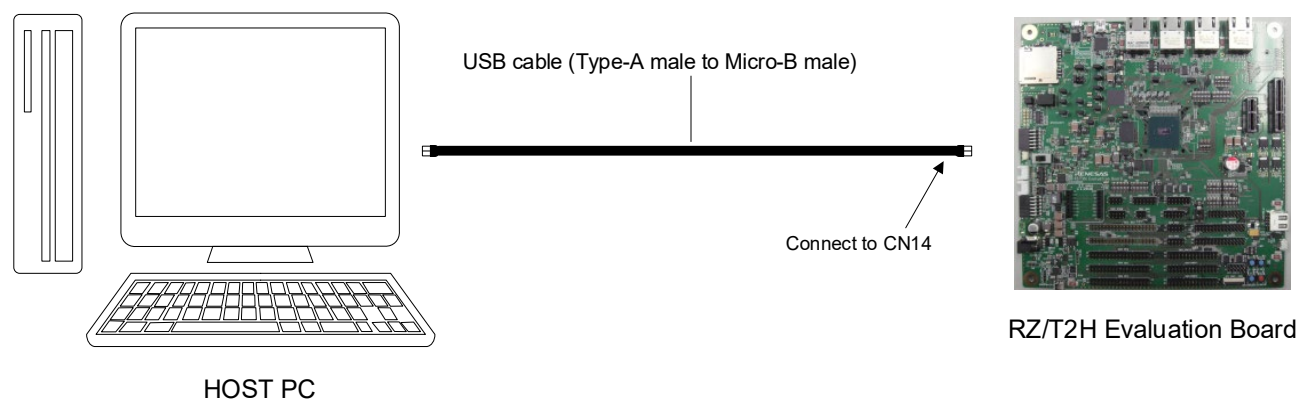


図 4-3 デバッグ環境の接続関係(J-Link™ OB)

5. RZ/T2H 端子機能一覧

本ボードで使用する RZ/T2H の端子機能一覧を表 5-1～表 5-27 に示します。表中の**太字の青文字テキスト**は、本ボード出荷時の設定とその設定で使用可能な機能を示します。ただし、複数のコネクタなどに接続されている信号はそのうちの一つでのみ使用可能です。

表 5-1 RZ/T2H 端子機能選択一覧 (1)

端子	端子名	端子機能	説明	コネクタ	備考
A1	VSS				
A2	P11_4/IRQ7/DE1/MCLK31/HDSL09_S MPL	MCLK31	DSMIF のクロック	CN18-5	
A3	P11_6/GTIOC05_0A/TST_OUT00/HD SL09_SEL1	P11_6 GTIOC05_0A	PMOD1 の GPIO/SSL インプットキャプチャ/アウトプ ットコンペア/PWM 出力端子	CN50-10 CN25-27	
A4	P11_7/GTIOC05_0B/SI00#/HDSL09_ MISO1	GTIOC05_0B	インプットキャプチャ/アウトプ ットコンペア/PWM 出力端子	CN25-28	
A5	P10_1/IRQ7/WAIT#/MTIOC7D/GTIOC 04_2B/GTIOC10_2B/SCK0/MDAT72/ DISP_DATAR1/SI14#/HDSL08_LINK	WAIT# MDAT72 DISP_DATAR1	外部バスのウェイト DSMIF のデータ 表示データ R1	CN17-34 CN22-14 CN15-40	
A6	P10_6/IRQ0/A3/MTIOC0B/GTIOC05_ 0A/DE0/MCLK21/DISP_DATAR6/HDS L08_MOSI1/POUTA	A3 MCLK21 DISP_DATAR6	外部バスのアドレス A3 DSMIF のクロック 表示データ R6	CN13-7 CN21-25 CN15-35	
A7	P14_0/IRQ5/A0/GTIOC06_4B/ETHSW PTPOUT2/ESC_SYNC0/DE3/MCLK4 2/HDSL11_SMPL	A0 GTIOC06_4B ETHSW_PTPO UT2 DE3	外部バスのアドレス A0 インプットキャプチャ/アウトプ ットコンペア/PWM 出力端子 ETHSW のタイマパルス出力 RS485 の DE	CN13-1 CN26-12 CN20-5	SW1-4: OFF
A8	P13_6/D30/GTIOC06_3B/GTIOC04_3 A/SS3#/CTS3#/RTS3#/SPI_SSL23/M CLK41/ENCIFDO13/TXDE09/HDSL10 _MOSI2	D30 GTIOC06_3B ENCIFDO13	外部バスデータ D30 インプットキャプチャ/アウトプ ットコンペア/PWM 出力端子 ENCIF のデータ出力	CN17-30 CN26-10 CN10-6	
A9	P14_4/DACK/POE4#/GTIOC06_1B/G TIOC09_1B/GTIOC06_3A/CMTW0_TI C0/ESC_IRQ/SS4#/CTS4#/RTS4#/SD 1_WP/DISP_DATAG4/MBX_HINT#/E NCIFDO00/TXDE00/HDSL11_MOSI1	DACK DISP_DATAG4 ENCIFDO00	DMA アクノリッジ 表示データ G4 ENCIF のデータ出力	CN13-26 CN15-29 CN2-7	
A10	P14_7/IRQ9/POE11#/GTIOC09_3A/C MTW0_TOC1/ESC_I2CDATA/IIC_SD A0/SD0_IOVS/MCLK32/SI02#/HDSL1 1_MISO2	MCLK32	DSMIF のクロック	CN18-3	
A11	P16_2/SCK5/MDAT51/SI03#/HDSL12 _MOSI2	MDAT51	DSMIF のデータ	CN18-26	
A12	P16_4/IRQ11/GTETRGSB/ESC_LINK ACT1/TXD5/SDA5/MOSI5/TST_OUT0 4/HDSL13_SMPL	TXD5 TXD5	USB シリアル変換の TXD5 mikroBUS™ の TX	 CN54-4	SW8-7: ON, SW8-8: OFF SW8-7: OFF, SW8-8: ON
A13	P17_0/IRQ12/GTIOC03_1B/SD1_DAT A1/SI05#/HDSL13_MOSI1	SD1_DATA1	SD1 のデータ DAT1	CN16-8	
A14	P17_5/A7/DACK/GTADSM00_1/GTET RG0/CMTW1_TOC0/SCK0/CANTX0/ SD1_WP/TST_OUT07/HDSL14_LINK	P17_5 A7	Ethernet Port2 の GMAC リセッ ト 外部バスアドレス A7	 CN13-17	SW6-1: OFF, SW6-2: ON, SW6-3: OFF SW6-1: ON, SW6-2: OFF
A15	P19_4/GTIOC07_2A/TST_OUT10/HD SL15_MOSI1	GTIOC07_2A	インプットキャプチャ/アウトプ ットコンペア/PWM 出力端子	CN26-19	
A16	P19_5/GTIOC07_2B/SI10#/HDSL15_ CLK2	GTIOC07_2B	インプットキャプチャ/アウトプ ットコンペア/PWM 出力端子	CN26-20	
A17	P20_1/MDV/ETH0_TXD0	MDV ETH0_TXD0	MDV 設定入力 Ethernet Port0 の TXD0		
A18	P20_0/ETH0_TXCLK/HDSL15_MOSI2	ETH0_TXCLK	Ethernet Port0 の TXCLK		
A19	P21_3/ETH0_RXDV/DUE113/HDSL00 _CLK2	ETH0_RXDV	Ethernet Port0 の RXDV		
A20	P23_1/GTIOC06_1A/ESC_IRQ/DUEI0 0/HDSL02_LINK	P23_1	ユーザ LED0 制御		SW8-9: ON, SW8-10: OFF

		GTIOC06_1A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-5	SW8-9: OFF, SW8-10: ON
A21	P23_3/GTIOC06_2A/ESC_I2CCLK/IIC_SCL0/SI00#/HDSL02_CLK1	GTIOC06_2A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-7	SW6-7: OFF, SW6-8: ON
		ESC_I2CCLK	EEPROM の SCL		SW6-7: ON, SW6-8: OFF
A22	P23_2/GTIOC06_1B/ESC_RESETOU_T#/TST_OUT00/HDSL02_SMPL	GTIOC06_1B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-6	
A23	P24_6/MD0/ETH1_TXD0	MD0	MD0 設定入力		
		ETH1_TXD0	Ethernet Port1 の TXD0		
A24	P25_2/MDW1/ETH1_TXEN	MDW1	MDW1 設定入力		
		ETH1_TXEN	Ethernet Port1 の TXEN		
A25	P26_3/ETHSW_PHYLINK1/ESC_PHYLINK1/HDSL04_SMPL	ETHSW_PHYLINK1/ESC_PHYLINK1	Ethernet Port1 の PHYLINK		
A26	P25_1/MDW0/ETH1_TXD3/CANTXDP0	MDW0	MDW1 設定入力		
		ETH1_TXD3	Ethernet Port1 の TXD3		
A27	VSS				

表 5-2 RZ/T2H 端子機能選択一覧 (2)

端子	端子名	端子機能	説明	コネクタ	備考
B1	P10_3/IRQ2/RD#/MTCLKD/MTIOC2B/GTIOC04_3B/GTIOC10_3B/TXD0/SDA0/MOSI0/MDAT10/MDAT00/DISP_DATAR3/ENCIFOE04/DEE04/HDSL08_CLK1	RD#	外部バスの RD#	CN13-39	
		GTIOC04_3B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-22	
		DISP_DATAR3	表示データ R3	CN15-38	
B2	P10_2/IRQ1/CS0#/MTCLKC/MTIOC2A/GTIOC04_3A/GTIOC10_3A/RXD0/SCL0/MISO0/MCLK10/MCLK00/DISP_DATAR2/ENCIFCK04/SCKE04/HDSL08_SMPL	CS0#	外部バスの CS0#	CN13-32	
		GTIOC04_3A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-21	
		DISP_DATAR2	表示データ R2	CN15-39	
B3	P10_5/A2/MTIOC1B/MTIOC0A/GTIOC04_4B/CTS0#/MDAT11/MDAT01/DISP_DATAR5/ENCIFDI04/RXDE04/HDSL08_MISO1	A2	外部バスアドレス A2	CN13-5	
		GTIOC04_4B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-24	
		DISP_DATAR5	表示データ R5	CN15-36	
B4	P11_5/MDAT31/DUEI00/HDSL09_CLK1	MDAT31	DSMIF のデータ	CN18-6	
B5	P10_4/IRQ3/A1/MTIOC1A/GTIOC04_4A/SS0#/CTS0#/RTS0#/MCLK11/MCLK01/DISP_DATAR4/ENCIFDO04/TXDE04/HDSL08_SEL1	A1	外部バスアドレス A1	CN13-3	
		GTIOC04_4A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-23	
		DISP_DATAR4	表示データ R4	CN15-37	
B6	P12_4/IRQ1/D20/GTIOC05_3A/CMTW1_TIC0/RXD2/SCL2/MISO2/SD0_DAT2/MCLK02/ENCIFCK05/SCKE05/HDSL09_MOSI2	D20	外部バスデータ D20	CN17-8	SW2-1: ON, SW2-2: OFF
		GTIOC05_3A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-33	
		RXD2	RS485 の RXD2	CN12-3	
		ENCIFCK05	ENCIF のクロック	CN2-20	
		SD0_DATA2	eMMC のデータ DAT2		SW2-1: ON, SW2-2: ON
B7	P13_5/IRQ4/D29/GTIOC06_3A/TXD3/SDA3/MOSI3/SPI_SSL32/MDAT40/ENCIFOE13/DEE09/HDSL10_MISO2	SD0_DATA2	SD0 のデータ DAT2	CN31-9	SW2-1: OFF, SW2-2: ON
		D29	外部バスデータ D29	CN17-28	
		GTIOC06_3A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-9	
		TXD3	RS485 の TXD3		SW1-4: OFF
		ENCIFOE13	ENCIF の出力イネーブル	CN10-4	
B8	P13_4/D28/GTIOC03_3B/RXD3/SCL3/MISO3/SPI_SSL31/MCLK40/ENCIFCK13/SCKE09/HDSL10_SEL2	D28	外部バスデータ D28	CN17-26	SW1-4: ON
		ENCIFCK13	ENCIF のクロック	CN10-2	
		RXD3	RS485 の RXD3		SW1-4: OFF
B9	P14_6/IRQ8/POE10#/GTIOC06_2B/GTIOC09_2B/CMTW0_TIC1/ESC_I2CCLK/DE4/IIC_SCL0/SD0_PWEN/DISP_DATAG6/TST_OUT02/HDSL11_SEL2	DE4	RS485 の DE4	CN12-8	
		DISP_DATAG6	表示データ G6	CN15-27	
B10	VSS				
B11	P16_1/DE5/MCLK51/TST_OUT03/HDSL12_MISO2	MCLK51	DSMIF のクロック	CN18-25	
B12	P16_3/IRQ10/GTETRGS/ESC_LINKACT0/RXD5/SCL5/MISO5/DUEI04/HDSL13_LINK	P16_3/IRQ10	PCIe x1 WAKE#	CN8-B11	SW8-5: OFF, SW8-6: ON
		IRQ10	PMOD2 の INT	CN49-7	
		RXD5	mikroBUSTM の RX	CN54-3	
		RXD5	USB シリアル変換の RXD5		SW8-5: ON, SW8-6: OFF
B13	P17_1/IRQ13/GTIOC03_2A/SD1_DAT2/DUEI06/HDSL13_CLK2	SD1_DATA2	SD1 のデータ DAT2	CN16-1	
B14	VSS				
B15	P18_2/SEI/A10/GTADSM03_0/GTIOC07_3B/ETH1_CRSG/MAC1_MDC/SCK1/CANRX0/SD1_PWEN/MCLK10/DISP_DATAB3/HDSL14_MOSI1	A10	外部バスアドレス A10	CN13-23	
		DISP_DATAB3	表示データ B3	CN15-22	
B16	P18_6/IRQ3/A14/GTIOC07_4A/GTADSM05_0/CTS1#/CANRXDP1/MCLK12/DISP_DATAB7/ENCIFDO13/ENCIFDO14/TXDE09/TXDE10/HDSL14_MOSI2	A14	外部バスアドレス A14	CN13-33	
		GTIOC07_4A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-23	
		DISP_DATAB7	表示データ B7	CN15-18	
		ENCIFDO14	ENCIF のデータ出力	CN10-15	
B17	P20_5/ETH0_TXEN/DUEI11/HDSL00_LINK	ETH0_TXEN	Ethernet Port0 の TXEN		
B18	VSS				
B19	P21_2/ETH0_RXD3/CANTXDP0/SI12#/HDSL00_MOSI1	ETH0_RXD3	Ethernet Port0 の RXD3		

B20	P24_3/IRQ14/ESC_I2CCLK/IIC_SCL1/ CANRX0/MCLK70/HDSL03_LINK	CANRX0	CAN インタフェースの RX		SW7-3: OFF, SW7-4: ON
		MCLK70	DSMIF のクロック	CN22-17	SW7-3: ON, SW7-4: OFF
B21	P23_6/ETHSW_LPI0/MDAT60/SI01#/ HDSL02_MOSI1	MDAT60	DSMIF のデータ	CN22-8	
B22	VSS				
B23	P26_1/GMAC1_MDC/ETHSW_MDC/E SC_MDC/CANRXDP1/HDSL03_MOSI 2	GMAC1_MDC/E THSW_MDC/ES C_MDC	Ethernet Port3 の MDC		
B24	P26_2/GMAC1_MDIO/ETHSW_MDIO/ ESC_MDIO/CANTXDP1/HDSL04_LIN K	GMAC1_MDIO/ ETHSW_MDIO/ ESC_MDIO	Ethernet Port3 の MDIO		
B25	P25_0/MD2/ETH1_TXD2/CANRXDP0	MD2	MD2 設定入力		
		ETH1_TXD2	Ethernet Port1 の TXD2		
B26	P25_3/ETH1_RXCLK/DUEI03/HDSL0 3_SEL1	ETH1_RXCLK	Ethernet Port1 の RXCLK		
B27	P28_3/GTIOC08_2A/SPI_SSL11/TST _OUT06/HDSL05_CLK2	GTIOC08_2A	インプットキャプチャ/アウトプ ットコンペア/PWM 出力端子	CN26-31	

表 5-3 RZ/T2H 端子機能選択一覧 (3)

端子	端子名	端子機能	説明	コネクタ	備考
C1	P11_1/IRQ4/ESC_LED RUN/TXD1/SDA1/MOSI1/MDAT22/DUEI15/HDSL08_MISO2	TXD1	PMOD2 の TXD	CN49-2	
		MDAT22	DSMIF のデータ	CN21-24	
C2	P09_5/D14/MTIOC6D/GTIOC04_0B/GTIOC10_0B/MDAT70/DISP_HSYNC/TST_OUT13/HDSL07_CLK2	D14	外部バスデータ D14	CN17-33	
		GTIOC04_0B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-16	
		DISP_HSYNC	表示出力の HSYNC	CN15-14	
C3	P11_2/IRQ5/SS1#/CTS1#/RTS1#/MCLK30/TST_OUT15/HDSL08_MOSI2	RTS1#	PMOD2 の RTS	CN49-4	
		MCLK30	DSMIF のクロック	CN18-7	
C4	P10_7/IRQ9/A4/MTIC5U/GTIOC05_0B/GTIOC00_3A/SCK1/MDAT21/DISP_DATAR7/HDSL08_CLK2/POUTB	IRQ9	拡張 SPI コネクタの IRQ	CN63-13	
		A4	外部バスアドレス A4	CN13-9	
		MDAT21	DSMIF のデータ	CN21-26	
		DISP_DATAR7	表示データ R7	CN15-34	
C5	P11_0/IRQ13/A5/GTIOC00_3B/ESC_RESETOUT#/RXD1/SCL1/MISO1/MCLK22/DISP_DATAG0/HDSL08_SEL2/POUTZ	A5	外部バスアドレス A5	CN13-13	SW6-3: OFF, SW6-4: ON, SW6-5: OFF
		RXD1	PMOD2 の RXD	CN49-3	
		DISP_DATAG0	表示データ G0	CN15-33	
		ESC_RESETOUT#	Ethernet Port0, Port1 の ESC_RESETOUT#		SW6-3: OFF, SW6-4: OFF, SW6-5: ON
			Ethernet Port2 の ESC_RESETOUT#		SW6-2: OFF, SW6-3: ON, SW6-4: OFF, SW6-5: OFF
			Ethernet Port0, Port1, Port2 の ESC_RESETOUT#		SW6-2: OFF, SW6-3: ON, SW6-4: OFF, SW6-5: ON
C6	VSS				
C7	P13_0/D24/GTIOC02_3A/DE2/SPI_RSPCK3/SD0_DATA6/MCLK00/ENCIFCK12/ENCIFCK03/SCKE08/SCKE03/HDSL10_SEL1	D24	外部バスデータ D24	CN17-16	SW2-1: ON, SW2-2: OFF
		GTIOC02_3A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-33	
		DE2	RS485 の DE2	CN12-7	
		ENCIFCK12	ENCIF のクロック	CN10-3	
		SD0_DATA6	eMMC のデータ DAT6		SW2-1: ON, SW2-2: ON
C8	P13_7/IRQ14/D31/GTIOC06_4A/GTIOC04_3B/CTS3#/MDAT41/ENCIFDI13/RXDE09/HDSL11_LINK	D31	外部バスデータ D31	CN17-32	
		GTIOC06_4A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-11	
		ENCIFDI13	ENCIF のデータ入力	CN10-8	
C9	P14_1/RD/WR#/GTIOC06_0A/GTIOC09_0A/GTIOC05_3A/RTCAT1HZ/SCK4/SD0_CD/MDAT42/DISP_DATAG1/DUEI02/HDSL11_CLK1	RD/WR#	外部バスの RD/WR#	CN13-38	
		DISP_DATAG1	表示データ G1	CN15-32	
C10	P14_2/BS#/GTIOC06_0B/GTIOC09_0B/GTIOC05_3B/RXD4/SCL4/MISO4/SD0_WP/DISP_DATAG2/ENCIFCK00/SCKE00/HDSL11_SEL1	BS#	外部バスの BS#	CN13-30	
		RXD4	RS485 の RXD4	CN12-4	
		DISP_DATAG2	表示データ G2	CN15-31	
		ENCIFCK00	ENCIF のクロック	CN2-3	
C11	P14_5/TEND/POE8#/GTIOC06_2A/GTIOC09_2A/GTIOC06_3B/CMTW0_TOC0/ESC_RESETOUT#/CTS4#/DISP_DATAG5/ENCIFDI00/RXDE00/HDSL11_CLK2	TEND	DMA 転送終了	CN13-40	
		DISP_DATAG5	表示データ G5	CN15-28	
		ENCIFDI00	ENCIF のデータ入力	CN2-9	
C12	P16_6/GTIOC03_0B/SD1_CMD/DUEI05/HDSL13_SEL1	SD1_CMD	SD1 の CMD	CN16-3	
C13	P17_3/IRQ15/GTETRGA/SIO6#/HDSL13_MISO2	P17_3	PClex4 の CLKREQ 出力	CN32-B12	SW15-1: OFF
		IRQ15	PClex4 の PRSNT2 入力	CN32-B17, B31	SW15-1: ON
C14	P19_2/GTIOC07_1A/SIO9#/HDSL15_SEL1	GTIOC07_1A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-17	
C15	P19_3/GTIOC07_1B/DUEI10/HDSL15_MISO1	GTIOC07_1B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-18	
C16	P18_7/IRQ4/A15/GTIOC07_4B/GTADSM05_1/ETHSW_PTPOUT3/ESC_SYNC1/DE1/CANTXDP1/MDAT12/ENCI	A15	外部バスアドレス A15	CN13-35	
		GTIOC07_4B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-24	

	FDI13/ENCIFDI14/RXDE09/RXDE10/ HDSL15_LINK	ETHSW_PTPO UT3	ETHSW のタイマパルス出力	CN20-7	
		ENCIFDI14	ENCIF のデータ入力	CN10-17	
C17	P20_3/ETH0_TXD2/CANRX0	ETH0_TXD2	Ethernet Port0 の TXD2		
C18	P20_6/ETH0_RXCLK/TST_OUT11/HDSL00_SMPL	ETH0_RXCLK	Ethernet Port0 の RXCLK		
C19	P21_4/GMAC0_MDC/ETHSW_MDC/ESC_MDC/CANRX1/TST_OUT13/HDSL00_SEL2	GMAC0_MDC/ETHSW_MDC/ESC_MDC	Ethernet Port0, Port1 の MDC Ethernet Port2 の MDC		SW2-6: ON
C20	P23_4/GTIOC06_2B/ESC_I2CDATA/II_C_SDA0/DUEI01/HDSL02_SEL1	GTIOC06_2B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子		SW6-9: OFF, SW6-10: ON
		ESC_I2CDATA	EEPROM の SDA		SW6-9: ON, SW6-10: OFF
C21	P23_5/ESC_LINKACT2/MCLK60/TST_OUT01/HDSL02_MISO1	ESC_LINKACT2	LED8 LINKACT2 制御		SW7-5: OFF, SW7-6 :ON
		MCLK60	DSMIF のクロック	CN22-7	SW7-5: ON, SW7-6 :OFF
C22	P22_6/IRQ8/A19/GTETRGSB/GMAC0_PTPTRG1/ESC_LATCH1/DE5/CANTX1/SD0_WP/DUEI15/HDSL01_SEL2	IRQ8	表示出力部の IRQ	CN15-4	SW2-1: ON, SW2-2: OFF
		GMAC0_PTPTRG1	GMAC0 の PTPTRG1	CN23-2	
		SD0_WP	SD0 の WP	CN31-WP	SW2-1: OFF, SW2-2: ON
C23	P24_7/MD1/ETH1_TXD1	MD1	MD1 設定入力		
		ETH1_TXD1	Ethernet Port1 の TXD1		
C24	P24_5/ETH1_TXCLK/HDSL03_CLK1	ETH1_TXCLK	Ethernet Port1 の TXCLK		
C25	P26_4/ETH1_REFCLK/RMII1_REFCLK	ETH1_REFCLK	Ethernet Port1 の REFCLK		
C26	P26_5/IRQ12/CANTX0/ENCIFCK01/SCKE01/HDSL04_CLK1	IRQ12	Ethernet Port1 の割り込み		
C27	P27_7/IRQ4/GTIOC08_0A/ETHSW_TDMAOUT0/SPI_RSPCK1/DUEI05/HDSL05_CLK1	GTIOC08_0A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-27	
		ETHSW_TDMAOUT0	ETHSW の TDMA タイマ出力	CN20-4	

表 5-4 RZ/T2H 端子機能選択一覧 (4)

端子	端子名	端子機能	説明	コネクタ	備考
D1	P11_3/IRQ6/CTS1#/MDAT30/SI15#/HDSL09_LINK	CTS1# MDAT30	PMOD2 の CTS DSMIF のデータ	CN49-1 CN18-8	
D2	P09_4/D13/MTIOC6B/GTIOC04_0A/GTIOC10_0A/MCLK70/DISP_CLK/DUEI13/HDSL07_MOSI1	D13 GTIOC04_0A DISP_CLK	外部バスデータ D13 インプットキャプチャ/アウトプットコンペア/PWM 出力端子 表示出力のクロック	CN17-31 CN25-15 CN15-16	
D3	P09_6/D15/MTIOC7A/GTIOC04_1A/GTIOC10_1A/MCLK71/DISP_VSYNC/SI13#/HDSL07_SEL2	D15 MCLK71 DISP_VSYNC	外部バスデータ D15 DSMIF のクロック 表示出力の VSYNC	CN17-35 CN22-15 CN15-13	
D4	P10_0/IRQ4/WE1#/MTIOC7B/GTIOC04_2A/GTIOC10_2A/MCLK72/DISP_DATAR0/TST_OUT14/HDSL07_MOSI2	WE1# MCLK72 DISP_DATAR0	外部バス WE1# DSMIF のクロック 表示データ R0	CN17-38 CN22-13 CN15-41	
D5	P09_7/WE0#/MTIOC7C/GTIOC04_1B/GTIOC10_1B/MDAT71/DISP_DE/DUEI14/HDSL07_MISO2	WE0# MDAT71 DISP_DE	外部バスの WE0# DSMIF のデータ 表示出力の DE	CN17-36 CN22-16 CN15-12	
D6	P12_6/D22/GTIOC05_4A/GTIOC01_3B/CMTW1_TIC1/SS2#/CTS2#/RTS2#/SD0_DATA4/MCLK10/ENCIFD05/TXDE05/HDSL10_SMPL	D22 GTIOC05_4A ENCIFD05 SD0_DATA4	外部バスデータ D22 インプットキャプチャ/アウトプットコンペア/PWM 出力端子 ENCIF のデータ出力 eMMC のデータ DAT4	CN17-12 CN25-35 CN2-24	SW2-1: ON, SW2-2: OFF SW2-1: ON, SW2-2: ON
D7	P12_0/D16/MTIC5V/GTIOC05_1A/CM TW0_TIC0/CANRX1/SD0_CLK/DUEI01/HDSL09_MOSI1	D16 GTIOC05_1A SD0_CLK	外部バスデータ D16 インプットキャプチャ/アウトプットコンペア/PWM 出力端子 eMMC の CLK	CN17-37 CN25-29	SW2-1: ON, SW2-2: OFF
			SD0 の CLK	CN31-5	SW2-1: OFF, SW2-2: ON
D8	VSS				
D9	P14_3/IRQ6/DREQ/POE0#/GTIOC06_1A/GTIOC09_1A/ESC_LINKACT2/TXD4/SDA4/MOSI4/SD1_CD/DISP_DATAG3/ENCIFOE00/DEE00/HDSL11_MISO1	DREQ DISP_DATAG3 ENCIFOE00 TXD4	DMA 要求 表示データ G3 ENCIF の出力イネーブル RS485 の TXD4	CN13-28 CN15-30 CN2-5 CN12-6	
D10	P15_6/IRQ1/GTIOC09_6B/MDAT42/ENCIFD07/TXDE07/HDSL12_MOSI1	IRQ1 MDAT42	mikroBUS™ の INT DSMIF のデータ	CN54-2 CN18-14	
D11	P16_0/IRQ2/CTS5#/MDAT50/TXDE07/DUEI03/HDSL12_SEL2	MDAT50	DSMIF のデータ	CN18-28	
D12	VSS				
D13	P18_3/IRQ0/A11/GTADSM03_1/RTCAT1HZ/ETH1_COL/GMAC1_MDIO/RXD1/SCL1/MISO1/CANTX0/SD1_I0VS/MDAT10/DISP_DATAB4/HDSL14_CLK2	A11 DISP_DATAB4	外部バスアドレス A11 表示データ B4	CN13-25 CN15-21	
D14	P19_0/GTIOC07_0A/DUEI09/HDSL15_SMPL	GTIOC07_0A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-15	
D15	P18_0/IRQ7/A8/TEND/GTADSM02_0/ESC_LED RUN/SS0#/CTS0#/RTS0#/CANRXDP0/SD1_PWEN/DISP_DATAB1/TST_OUT08/HDSL14_SEL1	A8 DISP_DATAB1 ESC_LED RUN	外部バスアドレス A8 表示データ B1 LED4 LEDRUN 制御	CN13-19 CN15-24	SW8-3: OFF, SW8-4: ON SW8-3: ON, SW8-4: OFF
D16	VSS				
D17	P21_7/ETH0_REFCLK/RMII0_REFCLK/CANTXDP1/HDSL01_LINK	ETH0_REFCLK	Ethernet Port0 の REFCLK		
D18	P20_7/ETH0_RXD0/SI11#/HDSL00_CLK1	ETH0_RXD0	Ethernet Port0 の RXD0		
D19	P21_6/ETHSW_PHYLINK0/ESC_PHYLINK0/CANRXDP1/HDSL00_MOSI2	ETHSW_PHYLINK0/ESC_PHYLINK0	Ethernet Port0 の PHYLINK		
D20	VSS				
D21	P22_1/GTETRGA/ETH0_TXER/TXD5/SDA5/MOSI5/CANTX0/HDSL01_CLK1	ETH0_TXER	Ethernet Port0 の TXER		
D22	P24_1/IRQ12/MCLK62/SI02#/HDSL02_MISO2	MCLK62	DSMIF のクロック	CN22-3	
D23	P25_6/ETH1_RXD2/CANRX1/DUEI04/HDSL03_CLK2	ETH1_RXD2	Ethernet Port1 の RXD2		

D24	VSS				
D25	P26_0/ETH1_RXDV/SI04#/HDSL03_MISO2	ETH1_RXDV	Ethernet Port1 の RXDV		
D26	P26_6/SEI/CS2#/ETH1_TXER/ESC_R ESETOUT#/CANRX0/ENCIFOE01/DE E01/HDSL04_SEL1	ETH1_TXER	Ethernet Port1 の TXER		
D27	P28_5/CANRX0/SPI_SSL13/MCLK71/ ENCIFCK08/ENCIFCK00/SCKE08/SC KE00/HDSL05_MISO2	ENCIFCK08	ENCIF のクロック	CN3-11	

表 5-5 RZ/T2H 端子機能選択一覧 (5)

端子	端子名	端子機能	説明	コネクタ	備考
E1	DDR_DQA12	DDR_DQA12	LPDDR4 のデータ DQ_A[3]		
E2	DDR_DQA9	DDR_DQA9	LPDDR4 のデータ DQ_A[1]		
E3	VSS				
E4	DDR_DQA13	DDR_DQA13	LPDDR4 のデータ DQ_A[0]		
E5	VSS				
E6	P12_7/IRQ2/D23/GTIOC05_4B/CMTW1_TOC1/CTS2#/SD0_DATA5/MDAT10/ENCIFDI05/RXDE05/HDSL10_CLK1	D23	外部バスデータ D23	CN17-14	SW2-1: ON, SW2-2: OFF
		GTIOC05_4B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-36	
		ENCIFDI05	ENCIF のデータ入力	CN2-26	SW2-1: ON, SW2-2: ON
		SD0_DATA5	eMMC のデータ DAT5		
E7	P12_3/D19/GTIOC05_2B/CMTW0_TO C1/SCK2/CANTXDP1/SD0_DATA1/HDSL09_MISO2	D19	外部バスデータ D19	CN17-6	SW2-1: ON, SW2-2: OFF
		GTIOC05_2B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-32	
		SD0_DATA1	eMMC のデータ DAT1		SW2-1: ON, SW2-2: ON
			SD0 のデータ DAT1	CN31-8	
E8	P12_2/D18/GTIOC05_2A/CMTW0_T1 C1/CANRXDP1/SD0_DATA0/SI01#/HDSL09_SEL2	D18	外部バスデータ D18	CN17-4	SW2-1: ON, SW2-2: OFF
		GTIOC05_2A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-31	
		SD0_DATA0	eMMC のデータ DAT0		SW2-1: ON, SW2-2: ON
			SD0 のデータ DAT0	CN31-7	
E9	P15_7/SS5#/CTS5#/RTS5#/MCLK50/ENCIFDI07/RXDE07/HDSL12_CLK2	MCLK50	DSMIF のクロック	CN18-27	
E10	P15_1/GTIOC09_4A/MCLK40/ENCIF OE06/DEE06/HDSL12_LINK	MCLK40	DSMIF のクロック	CN18-17	
E11	P15_5/IRQ0/GTIOC09_6A/MCLK42/ENCIFOE07/DEE07/HDSL12_MISO1	MCLK42	DSMIF のクロック	CN18-13	
E12	P17_2/IRQ14/GTIOC03_2B/SD1_DATA3/TST_OUT06/HDSL13_SEL2	SD1_DATA3	SD1 のデータ DAT3	CN16-2	
E13	P18_1/IRQ15/A9/GTADSM02_1/GTIOC07_3A/ESC_LEDERR/CTS0#/CANTXDP0/SD1_IOVS/DISP_DATAB2/SI08#/HDSL14_MISO1	A9	外部バスアドレス A9	CN13-21	SW8-1: OFF, SW8-2: ON
		DISP_DATAB2	表示データ B2	CN15-23	
		ESC_LEDERR	LED5 LEDERR 制御		SW8-1: ON, SW8-2: OFF
E14	P19_1/GTIOC07_0B/TST_OUT09/HDSL15_CLK1	GTIOC07_0B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-16	
E15	P17_7/WE3#/AH#/GTADSM01_1/CMTW1_TOC1/ETHSW_PTPOUT1/ESC_SYNC1/TXD0/SDA0/MOSI0/SD1_IOVS/DISP_DATAB0/DUEI08/HDSL14_CLK1	WE3#	外部バスの WE3	CN17-40	
		ETHSW_PTPOUT1	ETHSW のタイマパルス出力	CN20-3	
		DISP_DATAB0	表示データ B0	CN15-25	
E16	P19_6/MCLK52/HDSL15_SEL2	MCLK52	DSMIF のクロック	CN18-23	
E17	P20_2/ETH0_TXD1	ETH0_TXD1	Ethernet Port0 の TXD1		
E18	P21_0/ETH0_RXD1/DUEI12/HDSL00_SEL1	ETH0_RXD1	Ethernet Port0 の RXD1		
E19	P22_0/IRQ11/HDSL01_SMPL	IRQ11	Ethernet Port0 の MDINT		
E20	P22_4/IRQ6/A21/GTETRGD/ETH0_COL/SS5#/CTS5#/RTS5#/CANTXDP0/TST_OUT14/HDSL01_MOSI1	ETH0_COL	Ethernet Port0 の COL		
E21	P22_5/IRQ7/A20/GTETRGS/GMAC0_PTPTRG0/ESC_LATCH0/CTS5#/CANRX1/SD0_CD/SI14#/HDSL01_CLK2	P22_5/IRQ7	PCIe x4 の WAKE#	CN32-B11	SW2-1: ON, SW2-2: OFF
		IRQ7	拡張 SPI 割り込み	CN63-2	
		GMAC0_PTPTRG0	GMAC0 の PTPTRG0	CN23-1	SW2-1: OFF, SW2-2: ON
		SD0_CD	SD0 の CD	CN31-CD	
E22	P22_2/A23/GTETRGR/ETH0_RXER/RXD5/SCL5/MISO5/CANRX0/HDSL01_SEL1	ETH0_RXER	Ethernet Port0 の RXER		
E23	P25_4/ETH1_RXD0/TST_OUT03/HDSL03_MISO1	ETH1_RXD0	Ethernet Port1 の RXD0		
E24	P25_7/ETH1_RXD3/CANTX1/TST_OUT04/HDSL03_SEL2	ETH1_RXD3	Ethernet Port1 の RXD3		

E25	P28_4/GTIOC08_2B/SPI_SSL12/SI06#/HDSL05_SEL2	GTIOC08_2B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-32	
E26	P28_1/IRQ6/GTIOC08_1A/ETHSW_TDMAOUT2/SPI_MISO1/SI05#/HDSL05_MISO1	GTIOC08_1A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-29	
		ETHSW_TDMAOUT2	ETHSW の TDMA タイマ出力	CN20-8	
E27	P28_6/CANTX0/MDAT71/ENCIFOE08/ENCIFOE00/DEE08/DEE00/HDSL05_MOSI2	ENCIFOE08	ENCIF の出力イネーブル	CN3-13	

表 5-6 RZ/T2H 端子機能選択一覧 (6)

端子	端子名	端子機能	説明	コネクタ	備考
F1	VSS				
F2	DDR_DQA8	DDR_DQA8	LPDDR4 のデータ DQ_A[7]		
F3	DDR_DQA11	DDR_DQA11	LPDDR4 のデータ DQ_A[2]		
F4	DDR_DQA14	DDR_DQA14	LPDDR4 のデータ DQ_A[4]		
F5	DDR_DQSA_C1	DDR_DQSA_C1	LPDDR4 の DQS0_A_C		
F6	P13_3/D27/GTIOC03_3A/SCK3/SPI_SSL30/MDAT01/ENCIFDI12/ENCIFDI03/RXDE08/RXDE03/HDSL10_CLK2	D27	外部バスデータ D27	CN17-24	
		ENCIFDI12	ENCIF のデータ入力	CN10-9	
		D25	外部バスデータ D25	CN17-18	SW2-1: ON, SW2-2: OFF
		GTIOC02_3B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-34	
F7	P13_1/D25/GTIOC02_3B/SPI_MOSI3/SD0_DATA7/MDAT00/ENCIFOE12/ENCIFOE03/DEE08/DEE03/HDSL10_MISO1	ENCIFOE12	ENCIF の出力イネーブル	CN10-5	
		SD0_DATA7	eMMC のデータ DAT7		SW2-1: ON, SW2-2: ON
F8	P13_2/IRQ3/D26/SPI_MISO3/SD0_RST#/MCLK01/ENCIFDO12/ENCIFDO03/TXDE08/TXDE03/HDSL10_MOSI1	D26	外部バスデータ D26	CN17-22	SW2-1: ON, SW2-2: OFF
		ENCIFDO12	ENCIF のデータ出力	CN10-7	
		SD0_RST#	eMMC のリセット		SW2-1: ON, SW2-2: ON
F9	P15_4/GTIOC09_5B/MDAT41/ENCIFCK07/SCKE07/HDSL12_SEL1	MDAT41	DSMIF のデータ	CN18-16	
F10	VSS				
F11	P15_2/GTIOC09_4B/MDAT40/ENCIFDO06/TXDE06/HDSL12_SMPL	MDAT40	DSMIF のデータ	CN18-18	
F12	P16_7/GTIOC03_1A/SD1_DATA0/TST_OUT05/HDSL13_MISO1	SD1_DATA0	SD1 のデータ DAT0	CN16-7	
F13	P17_6/WE2#/GTADSM01_0/GTETRGD/CMTW1_TIC1/ETHSW_PTPOUT0/ESC_SYNC0/RXD0/SCL0/MISO0/SD1_PWEN/DISP_DATAG7/SIO7#/HDSL14_SMPL	WE2#	外部バスの WE2#	CN17-20	
		ETHSW_PTPOUT0	ETHSW のタイムパルス出力	CN20-1	
		DISP_DATAG7	表示データ G7	CN15-26	
F14	VSS				
F15	P18_4/IRQ1/A12/GTIOC07_3A/GTADSM04_0/ESC_LEDSTER/TXD1/SDA1/MOSI1/CANRX1/MCLK11/DISP_DATAB5/ENCIFCK13/ENCIFCK14/SCKE09/SCKE10/HDSL14_SEL2	A12	外部バスアドレス A12	CN13-27	
		GTIOC07_3A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-21	
		DISP_DATAB5	表示データ B5	CN15-20	
		ENCIFCK14	ENCIF のクロック	CN10-11	
F16	P19_7/MDAT52/HDSL15_MISO2	MDAT52	DSMIF のデータ	CN18-24	
F17	P20_4/ETH0_TXD3/CANTX0	ETH0_TXD3	Ethernet Port0 の TXD3		
F18	VSS				
F19	P24_0/IRQ11/ETHSW_LPI2/MDAT61/TST_OUT02/HDSL02_SEL2	MDAT61	DSMIF のデータ	CN22-6	
F20	P22_3/IRQ5/A22/GTETRGC/ETH0_CRS/SCK5/CANRXDP0/DUEI14/HDSL01_MISO1	ETH0_CRS	Ethernet Port0 の CRS		
F21	P24_2/IRQ13/MDAT62/HDSL02_MOSI2	MDAT62	DSMIF のデータ	CN22-4	
F22	VSS				
F23	P25_5/ETH1_RXD1/SIO3#/HDSL03_MOSI1	ETH1_RXD1	Ethernet Port1 の RXD1		
F24	P28_0/IRQ5/GTIOC08_0B/ETHSW_TDMAOUT1/SPI_MOSI1/TST_OUT05/HDSL05_SEL1	ETHSW_TDMAOUT1	ETHSW の TDMA タイマ出力	CN20-6	
		GTIOC08_0B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-28	
F25	P27_5/MTIOC1A/GTIOC08_4A/GTIOC02_2A/TXD0/SDA0/MOSI0/SPI_SSL00/HSPI_IO3/ENCIFDO14/TXDE10/HDSL05_LINK	GTIOC08_4A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-35	SW4-7: OFF, SW4-8: ON
		HSPI_IO3	SHOSTIF の IO3	CN64-9	
		TXD0	USB シリアル変換の TXD0		SW4-7: ON, SW4-8: OFF
F26	VSS				
F27	P27_3/MTIOC2A/GTIOC08_3A/GTIOC02_1A/GMAC1_PTPTRG1/SCK0/CANRXDP1/SPI_MOSI0/HSPI_IO1/ENCIFCK14/SCKE10/HDSL04_MISO2	GTIOC08_3A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-33	
		GMAC1_PTPTRG1	GMAC1 の PTPTRG1	CN23-4	
		HSPI_IO1	SHOSTIF の IO1	CN64-11	

表 5-7 RZ/T2H 端子機能選択一覧 (7)

端子	端子名	端子機能	説明	コネクタ	備考
G1	DDR_DQA15	DDR_DQA15	LPDDR4 のデータ DQ_A[5]		
G2	VSS				
G3	DDR_DQA10	DDR_DQA10	LPDDR4 のデータ DQ_A[6]		
G4	DDR_DMIA1	DDR_DMIA1	LPDDR4 の DMI_A[0]		
G5	DDR_DQSA_T1	DDR_DQSA_T1	LPDDR4 の DQS0_A_T		
G6	DDR_VDDQ				
G7	P12_5/D21/GTIOC05_3B/GTIOC01_3A/CMTW1_TOC0/TXD2/SDA2/MOSI2/SD0_DATA3/MDAT02/ENCIFOE05/D EE05/HDSL10_LINK	D21	外部バスデータ D21	CN17-10	SW2-1: ON, SW2-2: OFF
		GTIOC05_3B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-34	
		TXD2	RS485 の TXD2	CN12-5	
		ENCIFOE05	ENCIF の出力ネーブル	CN2-22	
		SD0_DATA3	eMMC のデータ DAT3		SW2-1: ON, SW2-2: ON
G8	P12_1/D17/MTIC5W/GTIOC05_1B/CMTW0_TOC0/CANTX1/SD0_CMD/TS_T_OUT01/HDSL09_CLK2	D17	外部バスデータ D17	CN17-39	SW2-1: ON, SW2-2: OFF
		GTIOC05_1B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-30	
		SD0_CMD	eMMC の CMD		SW2-1: ON, SW2-2: ON
			SD0 の CMD	CN31-2	SW2-1: OFF, SW2-2: ON
G9	P15_0/GTIOC09_3B/MDAT32/ENCIFCK06/SCKE06/HDSL11_MOSI2	MDAT32	DSMIF のデータ	CN18-4	
G10	VSS				
G11	P15_3/GTIOC09_5A/MCLK41/ENCIFDI06/RXDE06/HDSL12_CLK1	MCLK41	DSMIF のクロック	CN18-15	
G12	P16_5/GTIOC03_0A/SD1_CLK/SI04#/HDSL13_CLK1	SD1_CLK	SD1 の CLK	CN16-5	
G13	P17_4/A6/DREQ/GTADSM00_0/GTETRGB/CMTW1_TIC0/DE0/CANRX0/SD1_CD/DUEI07/HDSL13_MOSI2	A6	外部バスアドレス A6	CN13-15	SW2-3: OFF
		SD1_CD	SD1 の CD	CN16-9	SW2-3: ON
G14	VSS				
G15	P18_5/IRQ2/A13/GTIOC07_3B/GTADSM04_1/SS1#/CTS1#/RTS1#/CANTX1/MDAT11/DISP_DATAB6/ENCIFOE13/ENCIFOE14/DEE09/DEE10/HDSL14_MISO2	A13	外部バスアドレス A13	CN13-31	
		GTIOC07_3B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-22	
		DISP_DATAB6	表示データ B6	CN15-19	
		ENCIFOE14	ENCIF の出力ネーブル	CN10-13	
G16	P21_5/GMAC0_MDIO/ETHSW_MDIO/ESC_MDIO/CANTX1/SI13#/HDSL00_MISO2	GMAC0_MDIO/ETHSW_MDIO/ESC_MDIO	Ethernet Port0, Port1 の MDIO Ethernet Port2 の MDIO		SW2-6: ON
G17	P21_1/ETH0_RXD2/CANRXDP0/TST_OUT12/HDSL00_MISO1	ETH0_RXD2	Ethernet Port0 の RXD2		
G18	VSS				
G19	P23_7/ETHSW_LPI1/MCLK61/DUEI02/HDSL02_CLK2	MCLK61	DSMIF のクロック	CN22-5	
G20	P23_0/IRQ10/A17/GTIOC06_0B/ETH1_COL/ETHSW_TDMAOUT3/ESC_LINKACT1/CANTXDP1/SI15#/HDSL01_MOSI2	GTIOC06_0B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-4	SW5-7: ON, SW5-8: OFF
		ESC_LINKACT1	LED7 LINKACT1 制御		SW5-7: OFF, SW5-8: ON
G21	P22_7/IRQ9/A18/GTIOC06_0A/ETH1_CRS/ETHSW_TDMAOUT2/ESC_LINKACT0/CANRXDP1/TST_OUT15/HDSL01_MISO2	GTIOC06_0A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-3	SW5-9: ON, SW5-10: OFF
		ESC_LINKACT0	LED6 LINKACT0 制御		SW5-9: OFF, SW5-10: ON
G22	P24_4/IRQ15/ESC_I2CDATA/IIC_SD A1/CANTX0/MDAT70/HDSL03_SMPL	CANTX0	CAN インタフェースの TX		SW7-1: OFF, SW7-2: ON
		MDAT70	DSMIF のデータ	CN22-18	SW7-1: ON, SW7-2: OFF
G23	P27_0/IRQ1/CS5#/ETH1_CRS/CANTXDP0/SPI_SSL02/HSPI_INT#/ENCIFDI01/RXDE01/HDSL04_MOSI1	ETH1_CRS	Ethernet Port1 の CRS		SW4-1: ON, SW4-2: OFF
		CS5#	外部バス CS5#	CN13-20	SW4-1: OFF, SW4-2: ON
		HSPI_INT#	SHOSTIF の INT#	CN64-2	
G24	P27_1/IRQ2/GTIOC02_0A/ETH1_COL/CANRX1/SPI_SSL03/HSPI_CS#/HDSL04_CLK2	ETH1_COL	Ethernet Port1 の COL		SW4-3: ON, SW4-4: OFF
		HSPI_CS#	SHOSTIF の CS#	CN64-4	SW4-3: OFF, SW4-4: ON

G25	P28_2/IRQ7/GTIOC08_1B/ETHSW_TDMAOUT3/SPI_SSL10/DUEI06/HDSL05_MOSI1	GTIOC08_1B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-30	
		ETHSW_TDMAOUT3	ETHSW の TDMA タイマ出力	CN20-10	
G26	P27_2/IRQ3/GTIOC02_0B/GMAC1_PTPTRG0/ESC_LEDERR/CANTX1/SPI_RSPCK0/HSPI_IO0/HDSL04_SEL2	IRQ3	Ethernet Port3 の MDINT		
		GMAC1_PTPTRG0	GMAC1 の PTPTRG0	CN23-3	
		HSPI_IO0	SHOSTIF の IO0	CN64-12	
G27	P27_6/MTIOC1B/GTIOC08_4B/GTIOC02_2B/HSPI_CK/ENCIFDI14/RXDE10/HDSL05_SMPL	GTIOC08_4B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-36	
		HSPI_CKP	SHOSTIF のクロック	CN64-3	

表 5-8 RZ/T2H 端子機能選択一覧 (8)

端子	端子名	端子機能	説明	コネクタ	備考
H1	DDR_DQA6	DDR_DQA6	LPDDR4 のデータ DQ_A[9]		
H2	DDR_DQA5	DDR_DQA5	LPDDR4 のデータ DQ_A[15]		
H3	VSS				
H4	VSS				
H5	VSS				
H6	DDR_VDDQ				
H7	VSS				
H8	VSS				
H9	VDDP_18_33				
H10	VSS				
H11	VDDP_18_6				
H12	VDDP_18_33				
H13	VSS				
H14	VDDP_18_7				
H15	VSS				
H16	VDDP_18_33				
H17	VSS				
H18	VDDP_18_0				
H19	VSS				
H20	VDDP_18_1				
H21	VDD1833_1				
H22	P26_7/IRQ0/CS3#/ETH1_RXER/ESC_LEDSTER/CANRXDP0/SPI_SSL01/ENCIFDO01/TXDE01/HDSL04_MISO1	ETH1_RXER	Ethernet Port1 の RXER		
H23	P28_7/CANRXDP0/MCLK72/ENCIFDO08/ENCIFDO00/TXDE08/TXDE00/HDSL06_LINK	ENCIFDO08	ENCIF のデータ出力	CN3-15	
H24	VSS				
H25	P29_0/CANTXDP0/MDAT72/ENCIFDI08/ENCIFDI00/RXDE08/RXDE00/HDSL06_SMPL	ENCIFDI08	ENCIF のデータ入力	CN3-17	
H26	P27_4/MTIOC2B/GTIOC08_3B/GTIOC02_1B/RXD0/SCL0/MISO0/CANTXD P1/SPI_MISO0/HSPI_IO2/ENCIFOE14/DEE10/HDSL04_MOSI2	GTIOC08_3B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN26-34	SW4-5: OFF, SW4-6: ON
		HSPI_IO2	SHOSTIF の IO2	CN64-10	
		RXD0	USB シリアル変換の RXD0		SW4-5: ON, SW4-6: OFF
H27	P29_3/GTIOC09_1A/ETH2_TXD1/ENCIFDO09/TXDE09/HDSL06_MISO1	ETH2_TXD1	Ethernet Port2 の TXD1		SW2-7: ON
		ENCIFDO09	ENCIF のデータ出力	CN3-16	SW2-7: OFF

表 5-9 RZ/T2H 端子機能選択一覧 (9)

端子	端子名	端子機能	説明	コネクタ	備考
J1	DDR_DQA4	DDR_DQA4	LPDDR4 のデータ DQ_A[14]		
J2	VSS				
J3	DDR_DMIA0	DDR_DMIA0	LPDDR4 の DMI_A[1]		
J4	DDR_DQA7	DDR_DQA7	LPDDR4 のデータ DQ_A[8]		
J5	DDR_DQSA_C0	DDR_DQSA_C0	LPDDR4 の DQS1_A_C		
J6	DDR_VDDQ				
J7	VDD33				
J8	VSS				
J9	VDD1833_6				
J10	AVDD18A_TSU				
J11	VDD33				
J12	VSS				
J13	VDD1833_7				
J14	VSS				
J15	VDD33				
J16	VSS				
J17	VDD1833_0				
J18	VSS				
J19	VDDP_18_33				
J20	VSS				
J21	VDD1833_1				
J22	P30_5/GTIOC09_6A/GMAC2_MDC/ETHSW_MDC/ESC_MDC/SPI_RSPCK3/DUEI07/HDSL07_MISO1	GMAC2_MDC/ETHSW_MDC/ESC_MDC	Ethernet Port2 の MDC		SW2-6: OFF
J23	P29_6/GTIOC09_2B/ETH2_TXEN/SPI_SSL22/ENCIFOE10/DEE10/HDSL06_SEL2	ETH2_TXEN	Ethernet Port2 の TXEN		SW2-7: ON
		ENCIFOE10	ENCIF の出力イネーブル	CN3-23	SW2-7: OFF
J24	P30_7/IRQ14/ETHSW_PHYLINK2/ESC_PHYLINK2/SPI_MISO3/SD1_IOVS/MCLK30/SI07#/HDSL07_CLK2	ETHSW_PHYLINK2/ESC_PHYLINK2	Ethernet Port2 の LINK		
J25	P29_1/GTIOC09_0A/ETH2_TXCLK/ENCIFCK09/SCKE09/HDSL06_CLK1	ETH2_TXCLK	Ethernet Port2 の TXCLK		SW2-7: ON
		ENCIFCK09	ENCIF のクロック	CN3-12	SW2-7: OFF
J26	P31_1/IRQ13/GTETRGSB/ETH2_RXE/SPI_SSL31/HDSL07_MISO2	IRQ13	Ethernet Port2 の MDINT		
J27	P30_3/IRQ11/GTIOC09_5A/ETH2_RXD3/SPI_MISO2/ENCIFDO11/TXDE11/HDSL07_CLK1	ETH2_RXD3	Ethernet Port2 の RXD3		SW2-7: ON
		ENCIFDO11	ENCIF のデータ出力	CN3-24	SW2-7: OFF

表 5-10 RZ/T2H 端子機能選択一覧 (10)

端子	端子名	端子機能	説明	コネクタ	備考
K1	DDR_DQA2	DDR_DQA2	LPDDR4 のデータ DQ_A[10]		
K2	DDR_DQA0	DDR_DQA0	LPDDR4 のデータ DQ_A[11]		
K3	DDR_DQA1	DDR_DQA1	LPDDR4 のデータ DQ_A[12]		
K4	DDR_DQA3	DDR_DQA3	LPDDR4 のデータ DQ_A[13]		
K5	DDR_DQSA_T0	DDR_DQSA_T0	LPDDR4 の DQS1_A_T		
K6	VSS				
K7	VDD33				
K8	VSS				
K9	VDD1833_6				
K10	DVDD08A_TSU				
K11	VDD33				
K12	VSS				
K13	VDD1833_7				
K14	VSS				
K15	VDD33				
K16	VSS				
K17	VDD1833_0				
K18	VDD33				
K19	VDD33				
K20	VDDP_18_2				
K21	P30_6/GTIOC09_6B/GMAC2_MDIO/ETHSW_MDIO/ESC_MDIO/SPI_MOSI3/TST_OUT07/HDSL07_MOSI1	GMAC2_MDIO/ETHSW_MDIO/ESC_MDIO	Ethernet Port2 の MDIO		SW2-6: OFF
K22	VSS				
K23	P29_2/GTIOC09_0B/ETH2_TXD0/ENCIFOE09/DEE09/HDSL06_SEL1	ETH2_TXD0	Ethernet Port2 の TXD0		SW2-7: ON
		ENCIFOE09	ENCIF の出力イネーブル	CN3-14	SW2-7: OFF
K24	P30_4/GTIOC09_5B/ETH2_RXDV/ENCIFDI11/RXDE11/HDSL07_SEL1	ETH2_RXDV	Ethernet Port2 の RXDV		SW2-7: ON
		ENCIFDI11	ENCIF のデータ入力	CN3-26	SW2-7: OFF
K25	P30_1/GTIOC09_4A/ETH2_RXD1/ENCIFCK11/SCKE11/HDSL07_LINK	ETH2_RXD1	Ethernet Port2 の RXD1		SW2-7: ON
		ENCIFCK11	ENCIF のクロック	CN30-20	SW2-7: OFF
K26	VSS				
K27	P30_0/GTIOC09_3B/ETH2_RXD0/ENCIFDI10/RXDE10/HDSL06_MOSI2	ETH2_RXD0	Ethernet Port2 の RXD0		SW2-7: ON
		ENCIFDI10	ENCIF のデータ入力	CN30-27	SW2-7: OFF

表 5-11 RZ/T2H 端子機能選択一覧 (11)

端子	端子名	端子機能	説明	コネクタ	備考
L1	VSS				
L2	DDR_CAA1	DDR_CAA1	LPDDR4 の CA_A[0]		
L3	VSS				
L4	VSS				
L5	VSS				
L6	DDR_CKEA1	DDR_CKEA1	LPDDR4 の CKE_A[1]		
L7	VSS				
L8	VDD18_PLL2				
L9	VDD08_PLL2				
L10	VSS				
L11	VDD18_PLL3				
L12	VSS_PLL3				
L13	VDD08_PLL3				
L14	VSS				
L15	VSS				
L16	VSS				
L17	VSS				
L18	VSS				
L19	VSS				
L20	VDD1833_2				
L21	VDD1833_2				
L22	P29_4/IRQ8/GTIOC09_1B/ETH2_TXD2/SPI_SSL20/ENCIFDI09/RXDE09/HD SL06_MOSI1	ETH2_TXD2 ENCIFDI09	Ethernet Port2 の TXD2 ENCIF のデータ入力	CN3-18	SW2-7: ON SW2-7: OFF
L23	P29_5/IRQ9/GTIOC09_2A/ETH2_TXD3/SPI_SSL21/ENCIFCK10/SCKE10/H DSL06_CLK2	ETH2_TXD3 ENCIFCK10	Ethernet Port2 の TXD3 ENCIF のクロック	CN3-21	SW2-7: ON SW2-7: OFF
L24	P31_0/ETH2_REFCLK/RMII2_REFCLK/GTETRGS/SPI_SSL30/HDSL07_S EL2	ETH2_REFCLK	Ethernet Port2 の REFCLK		
L25	P29_7/GTIOC09_3A/ETH2_RXCLK/SPI_SSL23/ENCIFDO10/TXDE10/HDS L06_MISO2	ETH2_RXCLK ENCIFDO10	Ethernet Port2 の RXCLK ENCIF のデータ出力	CN3-25	SW2-7: ON SW2-7: OFF
L26	P30_2/IRQ10/GTIOC09_4B/ETH2_RXD2/SPI_MOSI2/ENCIFOE11/DEE11/H DSL07_SMPL	ETH2_RXD2 ENCIFOE11	Ethernet Port2 の RXD2 ENCIF の出力イネーブル	CN3-22	SW2-7: ON SW2-7: OFF
L27	P32_6/GTIOC10_2A/GTIOC01_2A/SPI_SSL10/ENCIFCK11/SCKE11/HDSL0 9_SMPL	GTIOC01_2A SPI_SSL10	インプットキャプチャ/アウトプ ットコンペア/PWM 出力端子 mikroBUS™ の CS	CN24-19 CN53-3	

表 5-12 RZ/T2H 端子機能選択一覧 (12)

端子	端子名	端子機能	説明	コネクタ	備考
M1	DDR_CKA_C	DDR_CKA_C	LPDDR4 の CK_A_C		
M2	DDR_CAA3	DDR_CAA3	LPDDR4 の CA_A[1]		
M3	DDR_CAA4	DDR_CAA4	LPDDR4 の CA_A[3]		
M4	DDR_CSA0	DDR_CSA0	LPDDR4 の CS_A[0]		
M5	DDR_CSA1	DDR_CSA1	LPDDR4 の CS_A[1]		
M6	DDR_CKEA0	DDR_CKEA0	LPDDR4 の CKE_A[0]		
M7	VSS				
M8	VSS_PLL2				
M9	VDD08				
M10	VSS				
M11	VDD08				
M12	VSS				
M13	VDD08				
M14	VSS				
M15	VDD08				
M16	VSS				
M17	VDD08				
M18	VSS				
M19	VDD08_PLL0				
M20	VSS				
M21	VSS				
M22	P32_2/GTIOC10_0A/GTIOC01_0A/SP I_SSL03/ENCIFCK10/SCKE10/HDSL0 8_SEL2	P32_2	ユーザ LED1 制御		SW5-1: OFF, SW5-2: ON
			SD1 の電源選択		SW5-1: ON, SW5-2: OFF, SW5-3: ON, SW5-4: OFF
M23	P32_1/SPI_SSL02/ENCIFDI15/ENCIF DI01/RXDE11/RXDE01/HDSL08_CLK 2	ENCIFDI15	ENCIF のデータ入力	CN10-18	
M24	VSS				
M25	P32_0/SPI_SSL01/ENCIFDO15/ENCIF FDO01/TXDE11/TXDE01/HDSL08_M OSI1	ENCIFDO15	ENCIF のデータ出力	CN10-16	
M26	P31_7/GMAC2_PTPTRG1/SPI_SSL0 0/ENCIFOE15/ENCIFOE01/DEE11/D EE01/HDSL08_MISO1	GMAC2_PTPTR G1	GMAC2 の PTPTRG1	CN23-6	
		SPI_SSL00	PMOD1 の SSL	CN50-1	
		ENCIFOE15	ENCIF の出力イネーブル	CN10-14	
M27	P32_5/GTIOC10_1B/GTIOC01_1B/SP I_MISO1/ENCIFDI10/RXDE10/HDSL0 9_LINK	GTIOC01_1B	インプットキャプチャ/アウトプ ットコンペア/PWM 出力端子	CN24-18	
		SPI_MISO1	mikroBUS™ の MISO	CN53-5	

表 5-13 RZ/T2H 端子機能選択一覧 (13)

端子	端子名	端子機能	説明	コネクタ	備考
N1	DDR_CKA_T	DDR_CKA_T	LPDDR4 の CK_A_T		
N2	VSS				
N3	DDR_CAA2	DDR_CAA2	LPDDR4 の CA_A[2]		
N4	VSS				
N5	DDR_CAA5	DDR_CAA5	LPDDR4 の CA_A[5]		
N6	VSS				
N7	DDR_VDDQ				
N8	DDR_VAA				
N9	VSS				
N10	VDD08				
N11	VSS				
N12	VDD08				
N13	VSS				
N14	VDD08				
N15	VSS				
N16	VDD08				
N17	VSS				
N18	VDD08				
N19	VSS_PLL0				
N20	VDD18_PLL0				
N21	VSS				
N22	P32_4/GTIOC10_1A/GTIOC01_1A/SPI_MOSI1/ENCIFDO10/TXDE10/HDSL08_MOSI2	GTIOC01_1A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-17	
		SPI_MOSI1	mikroBUS™ の MOSI	CN53-6	
N23	P32_3/GTIOC10_0B/GTIOC01_0B/SPI_RSPCK1/ENCIFOE10/DEE10/HDSL08_MISO2	P32_3	Ethernet Port3 の GMAC_RESETOUT3#		
		SPI_RSPCK1	mikroBUS™ の SCK	CN53-4	
N24	P32_7/GTIOC10_2B/GTIOC01_2B/SPI_SSL11/ENCIFOE11/DEE11/HDSL09_CLK1	GTIOC01_2B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-20	
N25	P31_4/DREQ/POE8#/ETH2_CRIS/ETHSW_PTPOUT2/ESC_SYNC0/SPI_RSPCK0/SPI_SSL30/MCLK81/MDAT31/HSPI_IO6/ENCIFDO09/TXDE09/HDSL08_SMPL/POUTB	ETH2_CRIS	Ethernet Port2 の CRS		SW2-7: ON
		MCLK81	DSMIF のクロック	CN22-25	SW2-7: OFF
		HSPI_IO6	SHOSTIF の IO6	CN64-6	
		SPI_RSPCK0	PMOD1 の SCK	CN50-4	SW2-7: OFF E3: Short, E5: Open
N26	P31_3/POE4#/ETH2_RXER/ETHSW_TDMAOUT1/ESC_LEDERR/SPI_SSL33/MDAT80/MCLK31/HSPI_IO5/ENCIFOE09/DEE09/HDSL08_LINK	ETH2_RXER	Ethernet Port2 の RXER		SW2-7: ON
		MDAT80	DSMIF のデータ	CN22-28	SW2-7: OFF
		HSPI_IO5	SHOSTIF の IO5	CN64-7	
N27	P31_2/POE0#/ETH2_TXER/SPI_SSL32/MCLK80/MDAT30/HSPI_IO4/ENCIFCK09/SCKE09/HDSL07_MOSI2/POUTA	ETH2_TXER	Ethernet Port2 の TXER		SW2-7: ON
		MCLK80	DSMIF のクロック	CN22-27	SW2-7: OFF
		HSPI_IO4	SHOSTIF の IO4	CN64-8	

表 5-14 RZ/T2H 端子機能選択一覧 (14)

端子	端子名	端子機能	説明	コネクタ	備考
P1	VSS				
P2	DDR_CKEB1	DDR_CKEB1	LPDDR4 の CKE_B[1]		
P3	DDR_CAB0	DDR_CAB0	LPDDR4 の CA_B[2]		
P4	DDR_CAA0	DDR_CAA0	LPDDR4 の CA_A[4]		
P5	DDR_VDDQ				
P6	VSS				
P7	DDR_RESET_N	DDR_RESET_N	LPDDR4 の RESET_N		
P8	DDR_ATEST	DDR_ATEST			NC
P9	VDD08				
P10	VSS				
P11	VDD08				
P12	VSS				
P13	VDD08				
P14	VSS				
P15	VDD08				
P16	VSS				
P17	VDD08				
P18	VSS				
P19	VSS				
P20	VSS				
P21	VDDP_18_33				
P22	VSS				
P23	P33_1/GTIOC10_3B/SPI_SSL13/MDA T82/ENCIFDI11/RXDE11/HDSL09_MI SO1	MDAT82	DSMIF のデータ	CN22-24	
P24	P33_0/GTIOC10_3A/SPI_SSL12/MCL K82/ENCIFDO11/TXDE11/HDSL09_S EL1	MCLK82	DSMIF のクロック	CN22-23	
P25	P31_6/A16/TEND/POE11#/GMAC2_P TPTRG0/ETHSW_TDMAOUT0/ESC_ LED RUN/SPI_MISO0/MDAT32/ENCIF CK15/ENCIFCK01/SCKE11/SCKE01/ HDSL08_SEL1	GMAC2_PTPTR G0	GMAC2 の PTPTRG0	CN23-5	
		ENCIFCK15	ENCIF のクロック	CN10-12	
		SPI_MISO0	PMOD1 の MISO	CN50-3	E2: Short, E4: Open
P26	P31_5/DACK/POE10#/ETH2_COL/ET HSW_PTPOUT3/ESC_SYNC1/SPI_M OSI0/SPI_SSL31/MDAT81/MCLK32/H SPI_IO7/ENCIFDI09/RXDE09/HDSL0 8_CLK1/POUTZ	ETH2_COL	Ethernet Port2 の COL		SW2-7: ON
		SPI_MOSI0	PMOD1 の MOSI	CN50-2	SW2-7: OFF
		MDAT81	DSMIF のデータ	CN22-26	
		HSPI_IO7	SHOSTIF の IO7	CN64-5	
P27	P34_4/CS2#/GTADSM05_0/GTIOC03 _2A/ETH3_RXD3/RXD3/SCL3/MISO3/ SPI_SSL22/SD1_IOVS/ADTRG0#/EN CIFDO07/TXDE07/HDSL10_MOSI1	ETH3_RXD3	Ethernet Port3 の RXD3		SW2-8: ON
		CS2#	外部バスの CS2#	CN13-34	SW2-8: OFF
		ENCIFDO07	ENCIF のデータ出力	CN3-6	

表 5-15 RZ/T2H 端子機能選択一覧 (15)

端子	端子名	端子機能	説明	コネクタ	備考
R1	DDR_CKB_T	DDR_CKB_T	LPDDR4 の CK_B_T		
R2	DDR_CKEB0	DDR_CKEB0	LPDDR4 の CKE_B[0]		
R3	VSS				
R4	VSS				
R5	DDR_VDDQ				
R6	VSS				
R7	DDR_DTEST	DDR_DTEST			NC
R8	DDR_ZN	DDR_ZN			120 Ω プルダウン
R9	VSS				
R10	VDD08				
R11	VSS				
R12	VDD08				
R13	VSS				
R14	VDD08				
R15	VSS				
R16	VDD08				
R17	VSS				
R18	VDD08				
R19	VDDP_18_X				
R20	VDD33				
R21	VSS				
R22	P34_1/A23/GTADSM03_1/GTIOC03_0B/ETH3_RXD0/SPI_MISO2/ENCIFDI06/RXDE06/HDSL10_CLK1	ETH3_RXD0	Ethernet Port3 の RXD0		SW2-8: ON
		A23	外部バスアドレス A23	CN13-18	SW2-8: OFF
		ENCIFDI06	ENCIF のデータ入力	CN3-9	
R23	P34_6/ETH3_REFCLK/RMII3_REFCLK/CS5#/ETH1_RXER/ESC_I2CDATA/IC_SDA1/SPI_RSPCK3/ADTRG2#/DUEI08/HDSL10_SEL2	ETH3_REFCLK	Ethernet Port3 の REFCLK		
R24	P33_2/A16/GTADSM00_0/ETH3_TXCLK/SCK1/SPI_RSPCK1/SPI_SSL30/MCLK50/ENCIFCK01/SCKE01/HDSL09_MOSI1	ETH3_TXCLK	Ethernet Port3 の TXCLK		SW2-8: ON
		A16	外部バスアドレス A16	CN13-4	SW2-8: OFF
		ENCIFCK01	ENCIF のクロック	CN2-2	
R25	P33_6/IRQ15/A20/GTADSM02_0/ETH3_TXD3/TXD2/SDA2/MOSI2/SPI_SSL11/SPI_SSL00/MCLK52/ENCIFCK06/SCKE06/HDSL09_MOSI2	ETH3_TXD3	Ethernet Port3 の TXD3		SW2-8: ON
		A20	外部バスアドレス A20	CN13-12	SW2-8: OFF
		ENCIFCK06	ENCIF のクロック	CN3-3	
R26	P33_7/A21/GTADSM02_1/ETH3_TXEN/SPI_RSPCK2/MDAT52/ENCIFOE06/DEE06/HDSL10_LINK	ETH3_TXEN	Ethernet Port3 の TXEN		SW2-8: ON
		A21	外部バスアドレス A21	CN13-14	SW2-8: OFF
		ENCIFOE06	ENCIF の出力イネーブル	CN3-5	
R27	P34_5/CS3#/GTADSM05_1/GTIOC03_2B/ETH3_RXDV/ESC_I2CCLK/TXD3/SDA3/MOSI3/IIC_SCL1/SPI_SSL23/ADTRG1#/ENCIFDI07/RXDE07/HDSL10_CLK2	ETH3_RXDV	Ethernet Port3 の RXDV		SW2-8: ON
		CS3#	外部バスの CS3#	CN13-36	SW2-8: OFF
		ENCIFDI07	ENCIF のデータ入力	CN3-8	

表 5-16 RZ/T2H 端子機能選択一覧 (16)

端子	端子名	端子機能	説明	コネクタ	備考
T1	DDR_CKB_C	DDR_CKB_C	LPDDR4 の CK_B_C		
T2	DDR_CAB1	DDR_CAB1	LPDDR4 の CA_B[0]		
T3	DDR_VDDQ				
T4	DDR_CAB2	DDR_CAB2	LPDDR4 の CA_B[3]		
T5	DDR_CAB5	DDR_CAB5	LPDDR4 の CA_B[1]		
T6	DDR_CSB0	DDR_CSB0	LPDDR4 の CS_B[0]		
T7	VSS				
T8	VSS				
T9	VDD08				
T10	VSS				
T11	VDD08				
T12	VSS				
T13	VDD08				
T14	VSS				
T15	VDD08				
T16	VSS				
T17	VDD08				
T18	VSS				
T19	VDD33_X				
T20	VSS				
T21	VDD1833_3				
T22	VDDP_18_3				
T23	P34_2/A24/GTADSM04_0/GTIOC03_1A/ETH3_RXD1/SPI_SSL20/ENCIFCK07/SCKE07/HDSL10_SEL1	ETH3_RXD1	Ethernet Port3 の RXD1		SW2-8: ON
		A24	外部バスアドレス A24	CN13-22	SW2-8: OFF
		ENCIFCK07	ENCIF のクロック	CN3-2	
T24	VSS				
T25	P33_5/IRQ14/A19/GTADSM01_1/ETH3_TXD2/RXD2/SCL2/MISO2/SPI_SSL10/SPI_MISO0/MDAT51/ENCIFDI01/RXDE01/HDSL09_MISO2	ETH3_TXD2	Ethernet Port3 の TXD2		SW2-8: ON
		A19	外部バスアドレス A19	CN13-10	SW2-8: OFF
		ENCIFDI01	ENCIF のデータ入力	CN2-8	
T26	P35_1/TEND/GTADSM07_0/ETH3_CRS/SPI_SSL30/SPI_MISO1/MCLK90/DUEI09/HDSL11_LINK	ETH3_CRS	Ethernet Port3 の CRS		SW2-8: ON
		MCLK90	DSMIF のクロック	CN19-7	SW2-8: OFF
T27	XTALSEL	XTALSEL	EXTCLKIN/XTAL,EXTAL 選択		

表 5-17 RZ/T2H 端子機能選択一覧 (17)

端子	端子名	端子機能	説明	コネクタ	備考
U1	DDR_CAB3	DDR_CAB3	LPDDR4 の CA_B[4]		
U2	VSS				
U3	DDR_CAB4	DDR_CAB4	LPDDR4 の CA_B[5]		
U4	DDR_DQB0	DDR_DQB0	LPDDR4 の DQ_B[12]		
U5	VSS				
U6	DDR_CSB1	DDR_CSB1	LPDDR4 の CS_B[1]		
U7	VSS				
U8	VSS				
U9	VSS				
U10	VDD08				
U11	VSS				
U12	VDD08				
U13	VSS_PLL1				
U14	VSS_PLL4				
U15	VSS				
U16	VDD08				
U17	VSS				
U18	VSS				
U19	VSS				
U20	VSS				
U21	VDD1833_3				
U22	P35_6/GTADSM09_1/TXD4/SDA4/MOSI4/SPI_SSL12/MDAT92/SI10#/HDSL11_MOSI1	P35_6	ユーザ DIPSW3		SW1-3: ON
		MDAT92	DSMIF のデータ	CN19-4	SW1-3: OFF
U23	P34_3/A25/GTADSM04_1/GTIOC03_1B/ETH3_RXD2/SPI_SSL21/SD1_PWEN/ENCIFOE07/DEE07/HDSL10_MISO1	ETH3_RXD2	Ethernet Port3 の RXD2		SW2-8: ON
		A25	外部バスアドレス A25	CN13-24	SW2-8: OFF
		ENCIFOE07	ENCIF の出力イネーブル	CN3-4	
U24	P33_4/IRQ13/A18/GTADSM01_0/ETH3_TXD1/TXD1/SDA1/MOSI1/SPI_MISO1/SPI_MOSI0/MCLK51/PCIE_RSTOUT1B/ENCIFDO01/TXDE01/HDSL09_SEL2	ETH3_TXD1	Ethernet Port3 の TXD1		SW2-8: ON
		A18	外部バスアドレス A18	CN13-8	SW2-8: OFF
		ENCIFDO01	ENCIF のデータ出力	CN2-6	
		PCIE_RSTOUT1B	PCIe x1 のリセット出力	CN8-A11	SW2-8: OFF, SW15-2: ON
U25	P33_3/IRQ12/A17/GTADSM00_1/ETH3_TXD0/RXD1/SCL1/MISO1/SPI_MOSI1/SPI_RSPCK0/MDAT50/PCIE_RSTOUT0B/ENCIFOE01/DEE01/HDSL09_CLK2	ETH3_TXD0	Ethernet Port3 の TXD0		SW2-8: ON
		A17	外部バスアドレス A17	CN13-6	SW2-8: OFF
		ENCIFOE01	ENCIF の出力イネーブル	CN2-4	
		PCIE_RSTOUT0B	PCIe x4 のリセット出力	CN32-A11	SW2-8: OFF, SW15-1: ON
U26	VSS				
U27	EXTCLKIN	EXTCLKIN	水晶発振器に接続		SW1-1: ON

表 5-18 RZ/T2H 端子機能選択一覧 (18)

端子	端子名	端子機能	説明	コネクタ	備考
V1	DDR_DQB2	DDR_DQB2	LPDDR4 の DQ_B[11]		
V2	DDR_DQB1	DDR_DQB1	LPDDR4 の DQ_B[13]		
V3	VSS				
V4	DDR_DQB3	DDR_DQB3	LPDDR4 の DQ_B[14]		
V5	DDR_DQSB_T0	DDR_DQSB_T0	LPDDR4 の DQS1_B_T		
V6	VSS				
V7	VSS				
V8	VSS				
V9	VDD1833_4				
V10	VDD33				
V11	VDDP_18_4				
V12	VDDP_18_5				
V13	VDD18_PLL1				
V14	VDD18_PLL4				
V15	VDD08				
V16	VSS				
V17	OTPVDD08				
V18	VSS				
V19	PCIE_VDD08A_L0				
V20	VSS				
V21	VSS				
V22	P35_3/GTADSM08_0/SPI_SSL32/SPI_MOSI1/MCLK91/ADTRG0#/SI09#/HDSL11_CLK1	P35_3	ユーザ DIPSW0		SW1-3: ON
		MCLK91	DSMIF のクロック	CN19-5	SW1-3: OFF
V23	P34_0/A22/GTADSM03_0/GTIOC03_0A/ETH3_RXCLK/SPI_MOSI2/ENCIFDO06/TXDE06/HDSL10_SMPL	ETH3_RXCLK	Ethernet Port3 の RXCLK		SW2-8: ON
		A22	外部バスアドレス A22	CN13-16	SW2-8: OFF
		ENCIFDO06	ENCIF のデータ出力	CN3-7	
V24	P35_5/GTADSM09_0/RXD4/SCL4/MISO4/SPI_RSPCK1/MCLK92/TST_OUT10/HDSL11_MISO1	P35_5	ユーザ DIPSW2		SW1-3: ON
		MCLK92	DSMIF のクロック	CN19-3	SW1-3: OFF
V25	P35_0/DACK/GTADSM06_1/ETH3_RXER/SPI_MISO3/SI08#/HDSL10_MOSI2	ETH3_RXER	Ethernet Port3 の RXER		SW2-8: ON
V26	VSS				
V27	XTAL	XTAL	水晶振動子に接続		SW1-1: OFF

表 5-19 RZ/T2H 端子機能選択一覧 (19)

端子	端子名	端子機能	説明	コネクタ	備考
W1	VSS				
W2	DDR_DQB4	DDR_DQB4	LPDDR4 の DQ_B[10]		
W3	DDR_DQB7	DDR_DQB7	LPDDR4 の DQ_B[9]		
W4	DDR_DMIB0	DDR_DMIB0	LPDDR4 の DMI_B[1]		
W5	DDR_DQSB_C0	DDR_DQSB_C0	LPDDR4 の DQS1_B_C		
W6	VSS				
W7	VSS				
W8	VSS				
W9	VDD1833_4				
W10	VDD33				
W11	VDDP_18_33				
W12	VDDP_18_33				
W13	VDD08_PLL1				
W14	VDD08_PLL4				
W15	VSS				
W16	VSS				
W17	OTPVDD18				
W18	VSS				
W19	PCIE_VDD08A_L0				
W20	VSS				
W21	VSS				
W22	VSS				
W23	P34_7/IRQ14/DREQ/GTADSM06_0/ETH3_TXER/ESC_RESETOUT#/SPI_MOSI3/TST_OUT08/HDSL10_MISO2	ETH3_TXER	Ethernet Port3 の TXER		SW2-8: ON
W24	P35_4/GTADSM08_1/SPI_SSL33/SPI_SSL11/MDAT91/ADTRG1#/DUEI10/HDSL11_SEL1	P35_4	ユーザ DIPSW1		SW1-3: ON
		MDAT91	DSMIF のデータ	CN19-6	SW1-3: OFF
W25	P35_2/GTADSM07_1/ETH3_COL/SPI_SSL31/SPI_SSL10/MDAT90/ADTRG2#/TST_OUT09/HDSL11_SMPL	ETH3_COL	Ethernet Port3 の COL		SW2-8: ON
		MDAT90	DSMIF のデータ	CN19-8	SW2-8: OFF
W26	VSS				
W27	EXTAL	EXTAL	水晶振動子に接続		SW1-1: OFF

表 5-20 RZ/T2H 端子機能選択一覧 (20)

端子	端子名	端子機能	説明	コネクタ	備考
Y1	DDR_DQB6	DDR_DQB6	LPDDR4 の DQ_B[15]		
Y2	DDR_VDDQ				
Y3	DDR_DQB5	DDR_DQB5	LPDDR4 の DQ_B[8]		
Y4	VSS				
Y5	VSS				
Y6	VSS				
Y7	VSS				
Y8	VSS				
Y9	VSS				
Y10	VSS				
Y11	VSS				
Y12	VDD33				
Y13	VDD33				
Y14	VDD1833_5				
Y15	VDD1833_5				
Y16	VSS				
Y17	USB_USVDD18				
Y18	USB_USVDD33				
Y19	PCIE_VDD08A_L1				
Y20	PCIE_VDD18A_L1				
Y21	PCIE_VDD18A_L0				
Y22	VSS				
Y23	VSS				
Y24	VSS				
Y25	VSS				
Y26	VSS				
Y27	VSS				

表 5-21 RZ/T2H 端子機能選択一覧 (21)

端子	端子名	端子機能	説明	コネクタ	備考
AA1	DDR_DQB8	DDR_DQB8	LPDDR4 の DQ_B[5]		
AA2	VSS				
AA3	DDR_DQB15	DDR_DQB15	LPDDR4 の DQ_B[4]		
AA4	VSS				
AA5	DDR_DQSB_T1	DDR_DQSB_T1	LPDDR4 の DQS0_B_T		
AA6	VSS				
AA7	P06_5/IRQ11/GTETRGC/IIC_SDA1/XSPI0_IO7/HDSL05_SEL1	XSPI0_IO7	XSPI0 のデータ IO7		
AA8	P05_1/IRQ3/XSPI0_CKP/DUEI06/HDSL04_SMPL	XSPI0_CKP	XSPI0 のクロック CKP		
AA9	P05_2/IRQ4/IIC_SCL2/XSPI0_CKN/TST_OUT06/HDSL04_CLK1	P05_2	PCle x1 の CLKREQ		SW15-2: OFF, E20: Short
		IRQ4	PCle x1 の PRSNT		SW15-2: ON, E20: Short
		XSPI0_CKN	XSPI0 のクロック CKN		
AA10	P05_0/IRQ2/MTIOC6C/MTIOC0B/GTIOC03_4B/IIC_SDA1/ENCIFDI03/RXDE03/HDSL04_LINK	GTIOC03_4B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-12	
		IIC_SDA1	I2C の SDA	CN15-1, CN51-2, CN52-3, CN54-6 CN50-4	E3: Open E5: Short
		ENCIFDI03	ENCIF のデータ入力	CN2-18	
AA11	VSS				
AA12	P04_2/MTIOC7C/GTIOC03_1B/CM TW0_TOC1/DUEI05/HDSL03_MISO1	MTIOC7C	mikroBUS™ の PWM	CN54-1	
		GTIOC03_1B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-6	
AA13	P02_2/IRQ9/MTIOC6A/MTIOC1A/GTIOC01_4A/ETH3_CRS/IIC_SDA2/XSPI1_IO6/MCLK22/USB_VBUSEN/ENCIFDO01/TXDE01/HDSL01_MISO2	GTIOC01_4A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-23	SW1-6: OFF
		MCLK22	DSMIF のクロック	CN21-23	
		XSPI1_IO6	拡張 SPI コネクタの IO6	CN63-6	SW1-6: ON
AA14	VSS				
AA15	VSS				
AA16	USB_USDVDD				
AA17	USB_USVDD18				
AA18	USB_USVDD33				
AA19	PCIE_VDD08A_L1				
AA20	PCIE_VDD18A_L1				
AA21	PCIE_VDD18A_L0				
AA22	AVSS_ADC0				
AA23	AVDD_ADC0				
AA24	AVSSIO_ADC0				
AA25	AVSSIO_ADC0				
AA26	AN002	AN002	A/D コンバータ入力(AN002)	CN41-6	
AA27	AN000	AN000	ポテンショメータ入力		SW17-1: ON, SW17-2: OFF
			A/D コンバータ入力(AN000)	CN41-2	SW17-1: OFF, SW17-2: ON

表 5-22 RZ/T2H 端子機能選択一覧 (22)

端子	端子名	端子機能	説明	コネクタ	備考
AB1	DDR_DQB14	DDR_DQB14	LPDDR4 の DQ_B[6]		
AB2	DDR_DQB9	DDR_DQB9	LPDDR4 の DQ_B[1]		
AB3	DDR_DMIB1	DDR_DMIB1	LPDDR4 の DMI_B[0]		
AB4	DDR_DQB10	DDR_DQB10	LPDDR4 の DQ_B[0]		
AB5	DDR_DQSB_C1	DDR_DQSB_C1	LPDDR4 の DQS0_B_C		
AB6	BSCANP	BSCANP	バウンダリスキャンイネーブル		
AB7	P06_3/IRQ9/GTETRGA/IIC_SDA0/XSPI0_IO5/TST_OUT09/HDSL05_S MPL	XSPI0_IO5	XSPI0 のデータ IO5		
AB8	P06_4/IRQ10/GTETRGA/IIC_SCL1/XSPI0_IO6/SI09#/HDSL05_CLK1	XSPI0_IO6	XSPI0 のデータ IO6		
AB9	P07_7/IIC_SCL0/XSPI0_WP0#/MCLK10/ENCIFDO05/TXDE05/HDSL06_CLK1	MCLK10	DSMIF のクロック	CN21-17	
AB10	P03_4/IRQ14/D12/MTCLKB/MTIOC8D/GTIOC02_3B/GTADSM09_1/CM TW1_TOC1/RTCAT1HZ/IIC_SDA1/ ENCIFOE02/DEE02/HDSL02_MISO 2	D12	外部バスデータ D12	CN17-27	
		ENCIFOE02	ENCIF の出力イネーブル	CN2-13	
AB11	P03_3/IRQ13/D11/MTCLKA/MTIOC8C/GTIOC02_3A/GTADSM09_0/CM TW1_TIC1/IIC_SCL1/ENCIFCK02/S CKE02/HDSL02_SEL2	D11	外部バスデータ D11	CN17-25	
		ENCIFCK02	ENCIF のクロック	CN2-11	
AB12	P03_7/MTIOC6B/MTIOC1B/GTIOC03_0A/CMTW0_TIC0/DUEI04/HDSL03_SMPL	GTIOC03_0A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-3	
AB13	P02_1/IRQ8/MTCLKD/MTIOC0D/GTIOC01_3B/ETH3_RXER/IIC_SCL2/XSPI1_IO5/MDAT21/ENCIFOE01/D EE01/HDSL01_SEL2	XSPI1_IO5	拡張 SPI コネクタの IO5	CN63-7	SW1-6: ON
		GTIOC01_3B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-22	SW1-6: OFF
AB14	P01_3/MTIOC6D/MTIC5U/GTIOC01_0B/GTIOC04_0B/XSPI1_DS/TST_OUT02/HDSL01_SMPL	GTIOC01_0B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-16	
AB15	P00_5/MTIOC4D/MTIOC8C/GTIOC00_2B/USB_VBUSEN/SI01#/HDSL00_MOSI1	GTIOC00_2B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-8	
AB16	USB_USDVDD				
AB17	VSS				
AB18	VSS				
AB19	VSS				
AB20	VSS				
AB21	PCIE_VDD18A_CMN				
AB22	AVSS_ADC1				
AB23	AVDD_ADC1				
AB24	AVDDIO_ADC0				
AB25	AVDDREF_ADC0				
AB26	AN001	AN001	A/D コンバータ入力(AN001)	CN41-4	
AB27	AN003	AN003	A/D コンバータ入力(AN003)	CN41-8	

表 5-23 RZ/T2H 端子機能選択一覧 (23)

端子	端子名	端子機能	説明	コネクタ	備考
AC1	DDR_DQB12	DDR_DQB12	LPDDR4 の DQ_B[3]		
AC2	VSS				
AC3	DDR_DQB13	DDR_DQB13	LPDDR4 の DQ_B[2]		
AC4	DDR_DQB11	DDR_DQB11	LPDDR4 の DQ_B[7]		
AC5	VSS				
AC6	P06_1/XSPI0_IO3/SI08#/HDSL04_MOSI2	XSPI0_IO3	XSPI0 のデータ IO3		
AC7	P07_6/IIC_SDA2/XSPI0_ECS1#/MDAT02/ENCIFOE05/DEE05/HDSL06_SMPL	MDAT02	DSMIF のデータ	CN21-4	
AC8	P07_4/IIC_SDA1/XSPI0_INT1#/MDAT01/ENCIFDI04/ENCIFDI12/RXDE04/RXDE08/HDSL05_MOSI2	MDAT01	DSMIF のデータ	CN21-6	
AC9	P03_2/IRQ12/D10/MTIOC4D/MTIOC1A/GTIOC02_2B/GTADSM08_1/CMTW1_TOC0/ENCIFDI02/RXDE02/HDSL02_CLK2	D10	外部バスデータ D10	CN17-23	
		GTIOC02_2B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-32	
AC10	P03_1/D9/MTIOC4B/MTIOC1B/GTIOC02_2A/GTADSM08_0/CMTW1_TIC0/ENCIFDO02/TXDE02/HDSL02_MOSI1	D9	外部バスデータ D9	CN17-21	
		GTIOC02_2A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-31	
AC11	P04_7/IRQ1/MTIOC6A/MTIOC0A/GTIOC03_4A/IIC_SCL1/ENCIFDO03/TXDE03/HDSL03_MOSI2	GTIOC03_4A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-11	
		IIC_SCL1	I2C の SCL	CN15-2, CN51-1, CN52-4, CN54-5	
		ENCIFDO03	ENCIF のデータ出力	CN2-16	E2: Open, E4: Short
AC12	P03_5/IRQ15/MTIOC3A/MTIC5W/GTIOC02_4A/IIC_SCL2/ENCIFDO02/TXDE02/HDSL02_MOSI2	GTIOC02_4A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-35	
		ENCIFDO02	ENCIF のデータ出力	CN2-15	
AC13	P01_7/MTIOC7D/MTIOC0B/GTIOC01_2B/GTIOC04_2B/XSPI1_IO3/SI03#/HDSL01_MOSI1	XSPI1_IO3	QSPI および拡張 SPI コネクタの IO3	CN63-9	SW1-6: ON
		GTIOC04_2B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-20	SW1-6: OFF
AC14	P02_0/IRQ7/MTCLKC/MTIOC0C/GTIOC01_3A/ETH3_TXER/IIC_SDA1/XSPI1_IO4/MCLK21/ENCIFCK01/SCKE01/HDSL01_CLK2	XSPI1_IO4	拡張 SPI コネクタの IO4	CN63-8	SW1-6: ON
		GTIOC01_3A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-21	SW1-6: OFF
AC15	P00_2/IRQ1/D2/MTIOC4A/GTIOC00_1A/ETH3_CRS/ADTRG0#/USB_EXICEN/SI00#/HDSL00_CLK1	D2	外部バスデータ D2	CN17-5	SW1-5: OFF
		GTIOC00_1A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-5	
		USB_EXICEN	USB_OTG 電源 IC 制御		SW1-5: ON
AC16	VSS				
AC17	USB_TXRTUNE	USB_TXRTUNE	200Ω プルダウン		
AC18	VSS				
AC19	PCIE_REFCLK_N1	PCIE_REFCLK_N1	PCIE ch1 リファレンスクロック		
AC20	PCIE_REFCLK_P0	PCIE_REFCLK_P0	PCIE ch0 リファレンスクロック		
AC21	PCIE_VDD18A_CMN				
AC22	AVDD_ADC2				
AC23	AVDDIO_ADC2				
AC24	AVDDIO_ADC1				
AC25	AVDDREF_ADC1				
AC26	AN103	AN103	A/D コンバータ入力(AN103)	CN42-8	
AC27	AN100	AN100	A/D コンバータ入力(AN100)	CN42-2	SW18-1: ON, SW18-2: OFF
			mikroBUS™ の A/D コンバータ入力	CN53-1	SW18-1: OFF, SW18-2: ON

表 5-24 RZ/T2H 端子機能選択一覧 (24)

端子	端子名	端子機能	説明	コネクタ	備考
AD1	MDX	MDX	MDX 設定入力		
AD2	P08_6/SEI/CKIO/GTIOC08_3A/GTE TRGSB/IIC_SDA1/SD1_IOVS/MDAT02/MCLK11/DUEI11/HDSL06_MOSI2	SEI	SEI のスイッチ SW9		SW2-3: OFF, E1: Short, E7: Short
		CKIO	外部バスの CKIO	CN17-2	SW2-3: OFF
		MCLK11	DSMIF のクロック	CN21-15	SW2-3: OFF, E7: Short
		SD1_IOVS	SD1 の電源選択		SW2-3: ON, SW5-3: OFF, SW5-4: ON
AD3	P08_3/TCK/SI10#/HDSL06_CLK2	TCK	デバッグインタフェースの TCK	CN60-4 CN61-4	
AD4	RESN	RESN	リセット入力		
AD5	P08_2/TDI/TST_OUT10/HDSL06_MOSI1	TDI	デバッグインタフェースの TDI	CN60-8 CN61-8	
AD6	P05_6/XSPI0_IO0/SI07#/HDSL04_CLK2	XSPI0_IO0	XSPI0 のデータ IO0		
AD7	P08_0/RTCAT1HZ/IIC_SDA0/XSPI0_WP1#/MDAT10/MBX_HINT#/ENCIFDI05/RXDE05/HDSL06_SEL1	MDAT10	DSMIF のデータ	CN21-18	
AD8	VSS				
AD9	P02_6/D6/MTIOC3D/MTIOC8B/GTIOC02_0B/GTADSM06_1/CMTW0_TOC0/SD0_IOVS/MDAT00/HDSL02_CLK1/POUTB	D6	外部バスデータ D6	CN17-15	SW2-1: ON, SW2-2: OFF
		GTIOC02_0B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-28	
		SD0_IOVS	SD0 の電源選択		SW2-1: OFF, SW2-2: ON
AD10	P04_6/IRQ0/MTCLKD/MTIOC0D/GTIOC03_3B/CMTW1_TOC1/IIC_SDA0/ADTRG2#/MBX_HINT#/ENCIFOE03/DEE03/HDSL03_MISO2	ENCIFOE03	ENCIF の出力イネーブル	CN2-14	
		GTIOC03_3B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-10	
AD11	P02_5/D5/MTIOC3B/MTIOC8A/GTIOC02_0A/GTADSM06_0/CMTW0_TIC0/IIC_SCL0/SD0_PWEN/MCLK00/HDSL02_SMPL/POUTA	D5	外部バスデータ D5	CN17-13	SW2-1: ON, SW2-2: OFF
		GTIOC02_0A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-27	
		SD0_PWEN	SD0 の電源イネーブル		SW2-1: OFF, SW2-2: ON
AD12	VSS				
AD13	P01_6/MTIOC7B/MTIOC0A/GTIOC01_2A/GTIOC04_2A/XSPI1_IO2/TST_OUT03/HDSL01_MISO1	XSPI1_IO2	QSPI および拡張 SPI コネクタの IO2	CN63-10	SW1-6: ON
		GTIOC04_2A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-19	SW1-6: OFF
AD14	P01_2/MTIOC6B/MTIOC8B/GTIOC01_0A/GTIOC04_0A/XSPI1_CS1#/DUEI02/HDSL01_LINK	XSPI1_CS1#	拡張 SPI コネクタの CS1#	CN63-4	SW1-6: ON
		GTIOC01_0A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-15	SW1-6: OFF
AD15	P00_1/IRQ0/D1/MTIOC3D/GTIOC00_0B/ETH3_RXER/USB_OVRCUR/TST_OUT00/HDSL00_SMPL	D1	外部バスデータ D1	CN17-3	SW1-5: OFF
		GTIOC00_0B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-4	
		USB_OVRCUR	USB ホストインタフェースの OVRCUR 入力		SW1-5: ON
AD16	USB_VUBUSIN	USB_VUBUSIN	USB ファンクションの VBUSIN	CN79-1	SW7-7: OFF, SW7-8: ON
			USB_OTG の VBUSIN	CN33-1	SW7-7: ON, SW7-8: OFF
AD17	USB_OTG_ID	USB_OTG_ID	USB_OTG の ID	CN33-4	
AD18	VSS				
AD19	PCIE_REFCLK_P1	PCIE_REFCLK_P1	PCIe ch1 リファレンスクロック		
AD20	PCIE_REFCLK_N0	PCIE_REFCLK_N0	PCIe ch0 リファレンスクロック		
AD21	VSS				
AD22	AVSS_ADC2				
AD23	AVSSIO_ADC2				
AD24	AVSSIO_ADC1				
AD25	AVSSIO_ADC1				
AD26	AN102	AN102	A/D コンバータ入力(AN102)	CN42-6	SW18-5: ON, SW18-6: OFF
			Grove2 の A/D コンバータ入力(AN102)	CN48-2	SW18-5: OFF, SW18-6: ON

AD27	AN101	AN101	A/D コンバータ入力(AN101)	CN42-4	SW18-3: ON, SW18-4: OFF
			Grove2 の A/D コンバータ入力 (AN101)	CN48-1	SW18-3: OFF, SW18-4: ON

表 5-25 RZ/T2H 端子機能選択一覧 (25)

端子	端子名	端子機能	説明	コネクタ	備考
AE1	P09_0/IIC_SDA2/MCLK12/SI11#/HDSL07_SMPL	P09_0	PMOD2 の GPIO	CN49-9	E17: Short
			USB_OTG 制御のステータス 1		
AE2	P09_2/MCLK20/TST_OUT12/HDSL07_SEL1	MCLK12	DSMIF のクロック	CN21-13	
		MCLK20	DSMIF のクロック	CN21-27	
AE3	P08_5/IRQ8/RSTOUT#/GTETRGSA/IIC_SCL1/SD1_PWEN/MCLK02/HDSL06_MISO2	P08_5	ユーザ LED3 制御		SW2-3: OFF
		SD1_PWEN	SD1 の電源イネーブル		SW2-3: ON
AE4	P08_4/TDO/HDSL06_SEL2	TDO	デバッグインタフェースの TDO	CN60-6, CN61-6	
AE5	P06_0/XSPI0_IO2/TST_OUT08/HDSL04_MISO2	XSPI0_IO2	XSPI0 のデータ IO2		
AE6	P06_2/IRQ8/IIC_SCL0/XSPI0_IO4/DUEI09/HDSL05_LINK	XSPI0_IO4	XSPI0 のデータ IO4		
AE7	P05_7/XSPI0_IO1/DUEI08/HDSL04_SEL2	XSPI0_IO1	XSPI0 のデータ IO1		
AE8	P07_3/POE11#/IIC_SCL1/XSPI0_INTO#/MCLK01/ENCIFDO04/ENCIFDO12/TXDE04/TXDE08/HDSL05_MISO2	MCLK01	DSMIF のクロック	CN21-5	
AE9	P02_7/D7/MTIOC4A/MTIC5U/GTIOC02_1A/GTADSM07_0/CMTW0_T1C1/MCLK01/HDSL02_SEL1/POUTZ	D7	外部バスデータ D7	CN17-17	
		GTIOC02_1A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-29	
AE10	P03_0/D8/MTIOC4C/MTIC5V/GTIOC02_1B/GTADSM07_1/CMTW0_TO C1/MDAT01/HDSL02_MISO1	D8	外部バスデータ D8	CN17-19	
		GTIOC02_1B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-30	
AE11	P04_0/MTIOC6D/GTIOC03_0B/CMTW0_TOC0/TST_OUT04/HDSL03_CLK1	P04_0	外部バスの IRQOUT#	CN13-37	
		GTIOC03_0B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-4	
AE12	P02_4/IRQ11/POE0#/IIC_SDA0/MDAT20/USB_EXICEN/MBX_HINT#/HDSL02_LINK	MBX_HINT#	SHOSTIF の HINT#	CN64-13	
AE13	P01_5/MTIOC7C/MTIC5W/GTIOC01_1B/GTIOC04_1B/XSPI1_IO1/DUEI03/HDSL01_SEL1	XSPI1_IO1	QSPI および拡張 SPI コネクタの IO1	CN63-11	SW1-6: ON
		GTIOC04_1B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-18	SW1-6: OFF
AE14	P00_7/IRQ5/MTCLKB/MTIOC1B/GTIOC00_3B/IIC_SDA0/USB_EXICEN/ENCIFOE00/ENCIFOE04/DEE00/DEE04/HDSL00_SEL2	IRQ5	PMOD1 の INT	CN50-7	
		GTIOC00_3B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-10	
		ENCIFOE04	ENCIF の出力イネーブル	CN2-23	
AE15	P00_0/SEI/D0/MTIOC3B/GTIOC00_0A/ETH3_TXER/USB_VBUSEN/DUEI00/HDSL00_LINK	D0	外部バスデータ D0	CN17-1	SW1-5: OFF
		GTIOC00_0A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-3	
		USB_VBUSEN	USB ホスト時の VBUS 制御		SW1-5: ON, SW7-9: OFF, SW7-10: ON
			USB_OTG 時の VBUS 制御		SW1-5: ON, SW7-9: ON, SW7-10: OFF
AE16	VSS				
AE17	VSS				
AE18	VSS				
AE19	VSS				
AE20	VSS				
AE21	VSS				
AE22	VSS				
AE23	VSS				
AE24	VSS				
AE25	AVSSIO_ADC2				
AE26	AN202	AN202	A/D コンバータ入力(AN202)	CN43-5	
AE27	AN201	AN201	A/D コンバータ入力(AN201)	CN43-3	

表 5-26 RZ/T2H 端子機能選択一覧 (26)

端子	端子名	端子機能	説明	コネクタ	備考
AF1	P09_3/MDAT20/SI12#/HDSL07_MISO1	MDAT20	DSMIF のデータ	CN21-28	
AF2	P08_7/IRQ0/A0/GTIOC08_3B/IIC_SCL2/IIC_SCL1/MDAT11/TST_OUT11/HDSL07_LINK	P08_7	PMOD2 の RESET	CN49-8	
		IRQ0	ユーザ SW11 割り込み		
		MDAT11	DSMIF のデータ	CN21-16	
AF3	TRST#	TRSTN	デバッグインタフェースの TRST		
AF4	P07_1/IRQ14/POE8#/IIC_SCL0/XSPI0_RST00#/MCLK00/ENCIFCK04/ENCIFCK12/SCKE04/SCKE08/HDSL05_CLK2	MCLK00	DSMIF のクロック	CN21-7	
AF5	P05_5/XSPI0_DS/TST_OUT07/HDSL04_MOSI1	XSPI0_DS	XSPI0 の DS		
AF6	VSS				
AF7	P06_7/IRQ12/POE4#/GTETRGD/GMAC1_MDC/IIC_SCL2/HDSL05_MISO1	P06_7	ユーザ LED2 制御		
AF8	P07_0/IRQ13/GMAC1_MDIO/IIC_SDA2/XSPI0_RESET1#/HDSL05_MOSI1	XSPI0_RESET1#	XSPI0 の RESET1#		
AF9	P04_5/SEI/MTCLKC/MTIOC0C/GTIOC03_3A/CMTW1_TIC1/IIC_SCL0/ADTRG1#/ENCIFCK03/SCKE03/HDSL03_SEL2	GTIOC03_3A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-9	
		ENCIFCK03	ENCIF のクロック	CN2-12	
AF10	VSS				
AF11	P04_1/MTIOC7A/GTIOC03_1A/CMTW0_TIC1/SIO4#/HDSL03_SEL1	P04_1	mikroBUS™ の RST	CN53-2	
		GTIOC03_1A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-5	
AF12	P02_3/IRQ10/MTIOC6C/MTIOC1B/GTIOC01_4B/ETH3_COL/IIC_SCL0/IIC_SCL2/XSPI1_IO7/MDAT22/USB_OVRCUR/ENCIFDI01/RXDE01/HDSL01_MOSI2	GTIOC01_4B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-24	SW1-6: OFF
		XSPI1_IO7	拡張 SPI コネクタの IO7	CN63-5	SW1-6: ON
AF13	P01_0/IRQ6/MTIOC3A/MTIOC1A/GTIOC00_4A/GTIOC00_2B/IIC_SCL1/XSPI1_CKP/ENCIFDO00/ENCIFDO04/TXDE00/TXDE04/HDSL00_MISO2	GTIOC00_4A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-11	SW1-6: OFF
		ENCIFDO04	ENCIF のデータ出力	CN2-25	
		XSPI1_CKP	QSPI および拡張 SPI コネクタの CKP	CN63-3	SW1-6: ON
AF14	VSS				
AF15	P00_4/IRQ3/D4/MTIOC4B/GTIOC00_2A/ADTRG2#/TST_OUT01/HDSL00_MISO1	D4	外部バスデータ D4	CN17-9	
		GTIOC00_2A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-7	
AF16	VSS				
AF17	USB_QDP	USB_QDP	USB DP 入出力		
AF18	VSS				
AF19	PCIE_RXDN_L1	PCIE_RXDN_L1	PCle ch1 の受信データ (x1)	CN8-A17	SW15-2: ON
			PCle ch1 の受信データ (x4)	CN32-A22	SW15-2: OFF
AF20	PCIE_RXDN_L0	PCIE_RXDN_L0	PCle ch0 の受信データ (x4)	CN32-A17	
AF21	VSS				
AF22	PCIE_TXDN_L1	PCIE_TXDN_L1	PCle ch1 の送信データ (x1)	CN8-B15	SW15-2: ON
			PCle ch1 の送信データ (x4)	CN32-B20	SW15-2: OFF
AF23	PCIE_TXDN_L0	PCIE_TXDN_L0	PCle ch0 の送信データ (x4)	CN32-B15	
AF24	VSS				
AF25	AVDDREF_ADC2				
AF26	AN204	AN204	A/D コンバータ入力(AN204)	CN43-9	
AF27	AN200	AN200	A/D コンバータ入力(AN200)	CN43-1	

表 5-27 RZ/T2H 端子機能選択一覧 (27)

端子	端子名	端子機能	説明	コネクタ	備考
AG1	VSS				
AG2	P09_1/MDAT12/DUEI12/HDSL07_CLK1	P09_1	PMOD2 の GPIO	CN49-10	
			USB_OTG 制御のステータス 2		E18: Short
		MDAT12	DSMIF のデータ	CN21-14	
AG3	P08_1/TMS/DUEI10/HDSL06_MISO1	TMS	デバッグインタフェースの TMS	CN60-2, CN61-2	
AG4	P05_3/IRQ5/XSPI0_CS0#/SI06#/HDSL04_SEL1	XSPI0_CS0#	OctaFlash の CS#		
AG5	P07_2/IRQ15/POE10#/IIC_SDA0/XSPI0_RST01#/MDAT00/ENCIFOE04/ENCIFOE12/DEE04/DEE08/HDSL05_SEL2	MDAT00	DSMIF のデータ	CN21-8	
AG6	P07_5/IIC_SCL2/XSPI0_ECS0#/MCLK02/ENCIFCK05/SCKE05/HDSL06_LINK	MCLK02	DSMIF のクロック	CN21-3	SW5-5: ON, SW5-6: OFF
		XSPI0_ECS0#	OctaFlash の ECS#		SW5-5: OFF, SW5-6: ON
AG7	P05_4/IRQ6/IIC_SDA2/XSPI0_CS1#/DUEI07/HDSL04_MISO1	XSPI0_CS1#	HyperRAM への CS#		
AG8	P06_6/MDD/XSPI0_RESET0#	MDD	MDD 設定		
		XSPI0_RESET0#	OctaFlash への RESET#		
AG9	P03_6/MTIOC3C/MTIOC1A/GTIOC02_4B/IIC_SDA2/ENCIFDI02/RXDE02/HDSL03_LINK	GTIOC02_4B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-36	
		ENCIFDI02	ENCIF のデータ入力	CN2-17	
AG10	P04_3/MTIOC7B/GTIOC03_2A/CM_TW1_TIC0/TST_OUT05/HDSL03_MOSI1	P04_3	PMOD1 の RESET	CN50-8	
		GTIOC03_2A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-7	
AG11	P04_4/MTIOC7D/GTIOC03_2B/CM_TW1_TOC0/ADTRG0#/SI05#/HDSL03_CLK2	P04_4	PMOD1 の GPIO	CN50-9	
		GTIOC03_2B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-8	
AG12	P01_1/MTIOC3C/MTIOC8A/GTIOC00_4B/XSPI1_CS0#/MCLK20/ENCIFDI00/ENCIFDI04/RXDE00/RXDE04/HDSL00_MOSI2	GTIOC00_4B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-12	SW1-6: OFF
		ENCIFDI04	ENCIF のデータ入力	CN2-27	
		XSPI1_CS0#	QSPI の CS#		SW1-6: ON
AG13	P01_4/MTIOC7A/MTIC5V/GTIOC01_1A/GTIOC04_1A/XSPI1_IO0/SI02#/HDSL01_CLK1	GTIOC04_1AB	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN25-17	SW1-6: OFF
		XSPI1_IO0	QSPI および拡張 SPI コネクタの IO0	CN63-12	SW1-6: ON
AG14	P00_6/IRQ4/MTCLKA/MTIOC8D/GTIOC00_3A/IIC_SCL0/USB_OVRCUR/ENCIFCK00/ENCIFCK04/SCKE00/SCKE04/HDSL00_CLK2	GTIOC00_3A	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-9	
		ENCIFCK04	ENCIF のクロック	CN2-21	
AG15	P00_3/IRQ2/D3/MTIOC4C/GTIOC00_1B/ETH3_COL/ADTRG1#/DUEI01/HDSL00_SEL1	IRQ2/ADTRG1#	ユーザスイッチ SW10/ ADTRG スイッチ		
		D3	外部バスデータ D3	CN17-7	
		GTIOC00_1B	インプットキャプチャ/アウトプットコンペア/PWM 出力端子	CN24-6	
AG16	VSS				
AG17	USB_QDM	USB_QDM	USB DM 入出力		
AG18	VSS				
AG19	PCIE_RXDP_L1	PCIE_RXDP_L1	PCIE ch1 の受信データ (x1)	CN8-A16	SW15-2: ON
			PCIE ch1 の受信データ (x4)	CN32-A21	SW15-2: OFF
AG20	PCIE_RXDP_L0	PCIE_RXDP_L0	PCIE ch0 の受信データ (x4)	CN32-A16	
AG21	VSS				
AG22	PCIE_TXDP_L1	PCIE_TXDP_L1	PCIE ch1 の送信データ (x1)	CN8-B14	SW15-2: ON
			PCIE ch1 の送信データ (x4)	CN32-B19	SW15-2: OFF
AG23	PCIE_TXDP_L0	PCIE_TXDP_L0	PCIE ch0 の送信データ (x4)	CN32-B14	
AG24	VSS				
AG25	AN205	AN205	A/D コンバータ入力(AN205)	CN43-11	
AG26	AN203	AN203	A/D コンバータ入力(AN203)	CN43-7	
AG27	VSS				

6. コンフィグレーション用回路

6.1 コンフィグレーション用回路の種類

RZ/T2H は一つの端子に複数の機能が割り当てられており選択して使用する必要があるため、本ボードでは以下の方法で使用する機能を選択します。

(1) スイッチ

機能選択用にディップスイッチ SW1, SW2, SW4～SW8, SW14, SW15, SW17, SW18 を搭載しています。

(2) ジャンパ

機能選択用に CN9, CN29, CN30, CN35～CN40, CN56, CN57, CN62, CN73, CN77, CN78, CN81～CN87 を搭載しています。

(3) オプションリンク

オプションリンクには以下のものがあります。

・ソルダブリッジとトレースカット

ソルダブリッジは、2つのパッドで構成され、出荷時は絶縁されていますがこのパッドの間をハンダなどで接続することで導通させることができます。トレースカットは2つのパッド間を細い銅のトレースで接続したもので、パッド間のトレースを切断することで絶縁することができます。



図 6-1 ソルダブリッジとトレースカット

・0Ω 他の抵抗

0Ω 他の抵抗は出荷時の状態から実装/未実装を変更することで使用する機能を選択します。

次のセクション以降では、複数の機能を持つ RZ/T2H 信号がスイッチ、ジャンパおよびオプションリンクの設定によってどの周辺機能を有効／無効にするかを示します。RZ/T2H 以外の IC およびヘッダの接続情報も含まれます。表中の**太字の青文字テキスト**は、本ボード出荷時の初期状態を示します。各スイッチ、ジャンパおよびオプションリンクの位置は「3.3 部品配置」を参照してください。

スイッチやジャンパの設定変更は電源 OFF の状態で行ってください。

ハンダ実装された部品を取外す場合、当該部品付近の部品への損傷を回避するためにハンダコテを 5 秒以上あてないようにしてください。

オプションリンクを変更する場合、信号の競合や短絡がないように関連するオプションリンクも必ず確認してください。RZ/T2H の多くのピンは複数の機能を持ち、周辺機能のいくつかは排他的に使用されます。詳細情報については RZ/T2H および RZ/N2H グループ ユーザーズマニュアル ハードウェア編と本ボード回路図を参照してください。

6.2 出荷時のコンフィグレーション

出荷時のコンフィグレーション用スイッチ、ジャンパ設定状態を図 6-2 に示します。

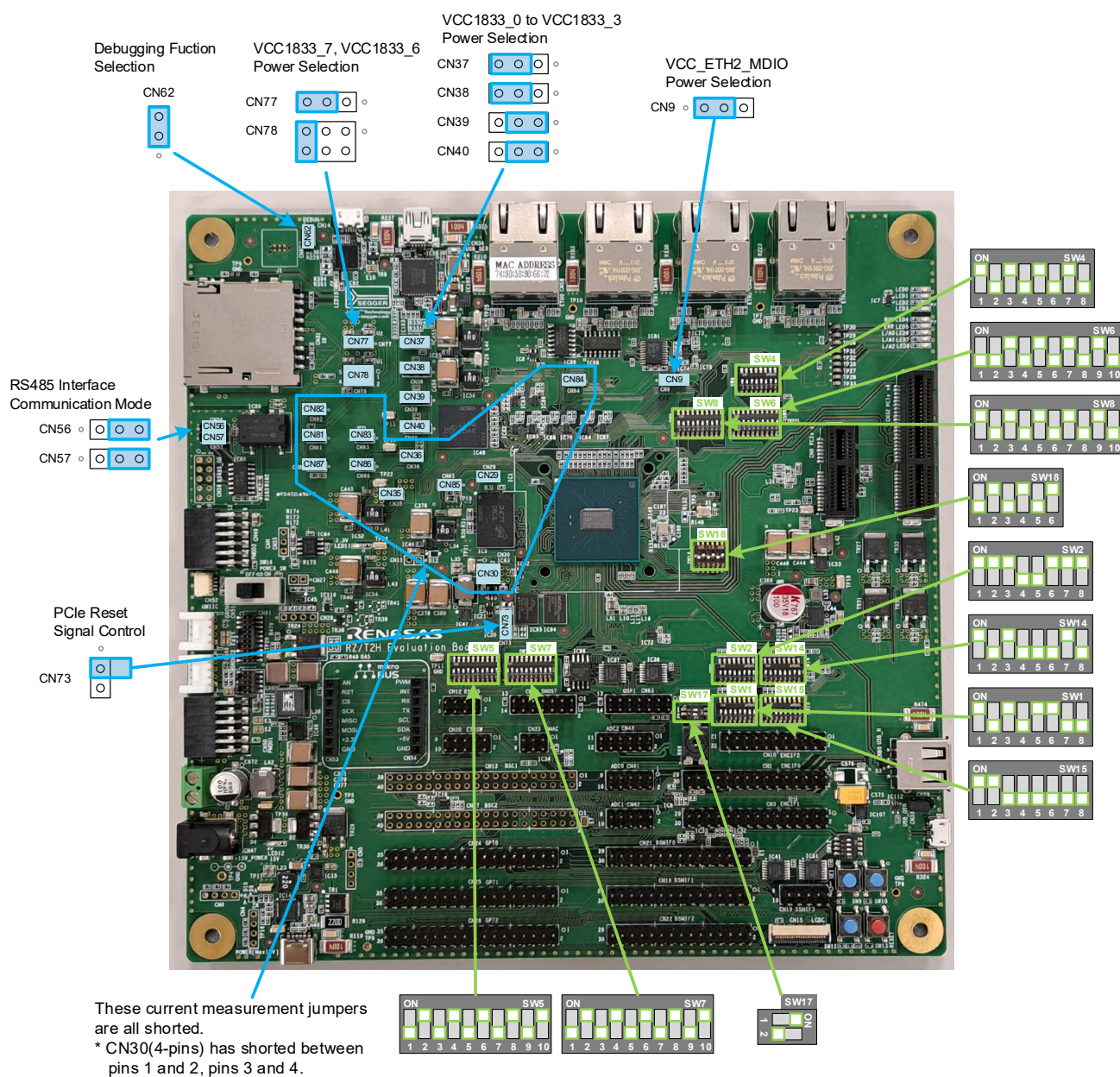


図 6-2 出荷時のスイッチ、ジャンパ設定

6.3 スイッチによるコンフィグレーション

本ボードは、機能選択用としてディップスイッチ SW1, SW2, SW4～SW8, SW14, SW15, SW17, SW18 を搭載しています。以下に各スイッチにより設定される機能を説明します。

6.3.1 モード設定スイッチ SW14

SW14 では RZ/T2H のモード端子設定を行います。SW14 の設定を表 6-1 に示します。

表 6-1 モード設定スイッチ SW14 の機能

番号	設定		機能
SW14-1 MD0	OFF	MD0 = 'H'	SW14-1, 2, 3 (MD0, MD1, MD2) の組み合わせで RZ/T2H の動作モードを選択。またこの設定に合わせて SW14-6 (MDV) を選択。 詳細は表 6-2 を参照。
	ON	MD0 = 'L'	
SW14-2 MD1	OFF	MD1 = 'H'	
	ON	MD1 = 'L'	
SW14-3 MD2	OFF	MD2 = 'H'	Cortex-R52 CPU0 ATCM wait cycle = 1 wait
	ON	MD2 = 'L'	
SW14-4 MDW0	OFF	MDW0 = 'H'	
	ON	MDW0 = 'L'	
SW14-5 MDW1	OFF	MDW1 = 'H'	Cortex-R52 CPU1 ATCM wait cycle = 0 wait
	ON	MDW1 = 'L'	
SW14-6 MDV *	OFF	MDV = 'H'	Boot peripheral の電源電圧が 3.3V
	ON	MDV = 'L'	Boot peripheral の電源電圧が 1.8V
SW14-7 MDD	OFF	MDD = 'H'	JTAG mode = JTAG authentication by Hash mode
	ON	MDD = 'L'	JTAG mode = Normal mode
SW14-8	未使用		- (出荷時 = OFF)

* : 動作モードに合わせて変更する必要があります。SCI (UART) boot mode、USB boot mode 時は Don't Care です。

表 6-2 SW14-1, 2, 3, 6 (MD0, MD1, MD2, MDV) と RZ/T2H 動作モード

SW14-3 (MD2)	SW14-2 (MD1)	SW14-1 (MD0)	SW14-6 (MDV)	動作モード
ON	ON	ON	OFF (3.3V)	xSPI0 boot mode (x1 boot serial flash)
ON	ON	OFF	OFF (3.3V)	xSPI0 boot mode (x8 boot serial flash) *
ON	OFF	ON	OFF (3.3V)	xSPI1 boot mode (x1 boot serial flash)
ON	OFF	OFF	OFF (3.3V)	eSD boot mode
OFF	ON	ON	ON (1.8V)	eMMC boot mode
OFF	ON	OFF	-	SCI (UART) boot mode
OFF	OFF	ON	-	USB boot mode
OFF	OFF	OFF	-	Reserved (setting prohibited)

* : OctaFlash 搭載のため設定禁止。

6.3.2 信号機能選択スイッチ SW1, SW2, SW4~SW8, SW15, SW17, SW18

SW1, SW2, SW4~SW8, SW15, SW17, SW18 では信号線の機能を選択します。SW1, SW2, SW4~SW8, SW15, SW17, SW18 の設定を表 6-3~表 6-12 に示します。

表 6-3 SW1 の信号線機能選択

番号	設定	機能
SW1-1	OFF	XTALSEL = 'H' RZ/T2H のクロック入力に発振子を選択
	ON	XTALSEL = 'L' RZ/T2H のクロック入力に発振器を選択
SW1-2	未使用	-(出荷時 = OFF)
SW1-3	OFF	P35_3,4,5,6 を DSMIF3 (CN19) に接続
	ON	P35_3,4,5,6 をユーザ用 DIPSW 入力として使用
SW1-4	OFF	P13_4,5 および P14_0 を RS485 の RXD3, TXD3, DE3 として使用
	ON	P13_4,5、P14_0 を ENCIF2 (CN10)、GPT2 (CN26)、BSC1 (CN13)、BSC2 (CN17)、ETHSW (CN20) に接続
SW1-5	OFF	P00_0,1,2 を GPT0 (CN24) および BSC2 (CN17) に接続
	ON	P00_0,1,2 を USB 電源 IC 制御信号として使用
SW1-6	OFF	P01_0,1,2,4,5,6,7 および P02_0,1,2,3 を ENCIF0 (CN2)、GPT0 (CN24)、GPT1 (CN25) および DSMIF0 (CN21) に接続
	ON	P01_0,1,2,4,5,6,7 および P02_0,1,2,3 を XSPI1 信号として使用
SW1-7	未使用	-(出荷時 = OFF)
SW1-8	未使用	-(出荷時 = OFF)

表 6-4 SW2 の信号線機能選択

番号	設定		機能
SW2-1、 SW2-2	-1	-2	
	OFF	OFF	設定禁止
	OFF	ON	P12_0~5、P22_5,6 を SD カードスロット (CN31) に接続、P02_5,6 を SD カード電源制御に使用
	ON	OFF	P12_0~7、P13_0~2、P22_5,6、P02_5,6 を BSC2 (CN17)、ENCIF0 (CN2)、GPT1 (CN25)、Off Board RS485 (CN12) のピンヘッダに接続
SW2-3	OFF		P17_4、P08_5,6 を BSC1 (CN13)、BSC2 (CN17)、DSMIF0 (CN21)、SEI (SW9)、LED3 に接続
	ON		P17_4、P08_5,6 を SD1 制御信号として使用
SW2-4	未使用		-(出荷時 = OFF)
SW2-5	未使用		-(出荷時 = OFF)
SW2-6	OFF		Ethernet Port2 の MDC/MDIO に GMAC2 (P30_5, P30_6) を接続
	ON		Ethernet Port2 の MDC/MDIO に GMAC0 (P21_4, P21_5) を接続
SW2-7	OFF		P29_1~7、P30_0~4、P31_2~5 を INCIF1 (CN3)、SHOST (CN64)、DSMIF2 (CN22)、PMOD1 (CN50) に接続
	ON		P29_1~7、P30_0~4、P31_2~5 を Ethernet Port2 制御信号として使用
SW2-8	OFF		P27_2、P33_2~7、P34_0~5,7、P35_0,1,2 を GMAC (CN23)、シリアルホストインタフェース (CN64)、ENCIF0 (CN2)、BSC1 (CN13)、DSMIF3 (CN19) および PCIE_RSTOUT として使用
	ON		P27_2、P33_2~7、P34_0~5,7、P35_0,1,2 を Ethernet Port 3 制御信号として使用

表 6-5 SW4 の信号線機能選択

番号	設定		機能
SW4-1、 SW4-2	-1	-2	
	ON	OFF	P27_0 を ETH1_CRCS として使用
	OFF	ON	P27_0 を SHOST (CN64) の HSPI_INT#、BSC1 (CN13) の CS5#として使用
SW4-3、 SW4-4	-3	-4	
	ON	OFF	P27_1 を ETH1_COL として使用
	OFF	ON	P27_1 を SHOST (CN64) の HSPI_CS#として使用
SW4-5、 SW4-6	-5	-6	
	ON	OFF	P27_4 を USB シリアル変換の RXD0 として使用
	OFF	ON	P27_4 を SHOST (CN64) の HSPI_IO2、GPT2 (CN26) の GTIOC08_3B として使用
SW4-7、 SW4-8	-7	-8	
	ON	OFF	P27_5 を USB シリアル変換の TXD0 として使用
	OFF	ON	P27_5 を SHOST (CN64) の HSPI_IO3、GPT2 (CN26) の GTIOC08_4A として使用

表 6-6 SW5 の信号線機能選択

番号	設定		機能
SW5-1、 SW5-2	-1	-2	
	ON	OFF	P32_2 を SD1_IOVS として使用 (SW5-3=ON が必要)
	OFF	ON	P32_2 を USER_LED1 として使用
SW5-3、 SW5-4	-3	-4	
	ON	OFF	P32_2 を SD1_IOVS として使用 (SW5-1=ON が必要)
	OFF	ON	SW2-3=ON 時、P08_6 を SD1_IOVS として使用
SW5-5、 SW5-6	-5	-6	
	ON	OFF	P07_5 を DSMIF0 (CN21) の MCLK02 として使用
	OFF	ON	P07_5 を OctaFlash の XSPI0_ECS#として使用
SW5-7、 SW5-8	-7	-8	
	ON	OFF	P23_0 を GPT2 (CN26) の GTIOC06_0B として使用
	OFF	ON	P23_0 を ESC_LINKACT1 として使用
SW5-9、 SW5-10	-9	-10	
	ON	OFF	P22_7 を GPT2 (CN26) の GTIOC06_0A として使用
	OFF	ON	P22_7 を ESC_LINKACT0 として使用

表 6-7 SW6 の信号線機能選択

番号	設定			機能
SW6-1~ SW6-3	-1	-2	-3	
	ON	OFF	OFF	P17_5 を BSC_A7 として使用
	OFF	ON	OFF	P17_5 を GMAC_RESETOUT2#として使用
	OFF	OFF	ON	P11_0 を ESC_RESETOUT2#として使用
SW6-4、 SW6-5	-4	-5		
	ON	OFF		P11_0 を BSC_A5/LCDC_DATG0/PMOD2_RXD1 として使用
	OFF	ON		P11_0 を ESC_RESETOUT01#として使用
SW6-6	未使用			-(出荷時 = OFF)
SW6-7、 SW6-8	-7	-8		
	ON	OFF		P23_3 を ESC_I2CCLK として使用
	OFF	ON		P23_3 を GPT2 (CN26) の GTIOC06_2A として使用
SW6-9、 SW6-10	-9	-10		
	ON	OFF		P23_4 を ESC_I2CDATA として使用
	OFF	ON		P23_4 を GPT2 (CN26) の GTIOC06_2B として使用

表 6-8 SW7 の信号線機能選択

番号	設定		機能
SW7-1、 SW7-2	-1	-2	
	ON	OFF	P24_4 を DSMIF2 (CN22) の MDAT70 として使用
	OFF	ON	P24_4 を CAN_TX として使用
SW7-3、 SW7-4	-3	-4	
	ON	OFF	P24_3 を DSMIF2 (CN22) の MCLK70 として使用
	OFF	ON	P24_3 を CAN_RX として使用
SW7-5、 SW7-6	-5	-6	
	ON	OFF	P23_5 を DSMIF2 (CN22) の MCLK60 として使用
	OFF	ON	P23_5 を ESC_LINKACT2 として使用
SW7-7、 SW7-8	-7	-8	
	ON	OFF	VUBUSIN を USB_OTG 用として使用
	OFF	ON	VUBUSIN を USB_Function 用として使用
SW7-9、 SW7-10	-9	-10	
	ON	OFF	P00_0 を USB_OTG_VBUSEN として使用
	OFF	ON	P00_0 を USB_HF_VBUSEN として使用

表 6-9 SW8 の信号線機能選択

番号	設定		機能
SW8-1、 SW8-2	-1	-2	
	ON	OFF	P18_1 を ESC_LED_ERR として使用
	OFF	ON	P18_1 を BSC_A9/LCDC_DATB2 として使用
SW8-3、 SW8-4	-3	-4	
	ON	OFF	P18_0 を ESC_LED_RUN として使用
	OFF	ON	P18_0 を BSC_A8/LCDC_DATB1 として使用
SW8-5、 SW8-6	-5	-6	
	ON	OFF	P16_3 を USB シリアル変換の RXD5 として使用
	OFF	ON	P16_3 を MikroBUS_RXD5/IRQ10_D(PMOD)/PC1ex1_WAKE_GPIO として使用
SW8-7、 SW8-8	-7	-8	
	ON	OFF	P16_4 を USB シリアル変換の TXD5 として使用
	OFF	ON	P16_4 を MikroBUS_TXD5 として使用
SW8-9、 SW8-10	-9	-10	
	ON	OFF	P23_1 を USER_LED0 として使用
	OFF	ON	P23_1 を GPT2 (CN26) の GTIOC06_1A として使用

表 6-10 SW15 の信号線機能選択

番号	設定	機能
SW15-1	OFF	PCIe L0 をエンドポイントとして使用
	ON	PCIe L0 をルートコンプレックスとして使用
SW15-2	OFF	PCIe L1 をエンドポイントとして使用
	ON	PCIe L1 をルートコンプレックスとして使用
SW15-3	OFF	PCIe 機能を 2 レーン 1 ポートとして使用
	ON	PCIe 機能を 1 レーン 2 ポートとして使用
SW15-4	未使用	- (出荷時 = OFF)
SW15-5	OFF	PCIe の x4 コネクタ CN32 の 12V 電源 OFF
	ON	PCIe の x4 コネクタ CN32 の 12V 電源 ON (ルート機能*で x4 コネクタ CN32 使用時)
SW15-6	OFF	PCIe の x4 コネクタ CN32 の 3.3V 電源 OFF
	ON	PCIe の x4 コネクタ CN32 の 3.3V 電源 ON (ルート機能*で x4 コネクタ CN32 使用時)
SW15-7	OFF	PCIe の x1 コネクタ CN8 の 3.3V 電源 OFF
	ON	PCIe の x1 コネクタ CN8 の 3.3V 電源 ON (ルート機能*で x1 コネクタ CN8 使用時)
SW15-8	OFF	PCIe の x1 コネクタ CN8 の 12V 電源 OFF
	ON	PCIe の x1 コネクタ CN8 の 12V 電源 ON (ルート機能*で x1 コネクタ CN8 使用時)

* : ルートコンプレックス機能を示します。

表 6-11 SW17 の信号線機能選択

番号	設定		機能
SW17-1、 SW17-2	-1	-2	
	ON	OFF	AN000 をポテンショメータに接続
	OFF	ON	AN000 を CN41 に接続

表 6-12 SW18 の信号線機能選択

番号	設定		機能
SW18-1、 SW18-2	-1	-2	
	ON	OFF	AN100 を CN42 に接続
	OFF	ON	AN100 を mikroBUS™ に接続
SW18-3、 SW18-4	-3	-4	
	ON	OFF	AN101 を CN42 に接続
	OFF	ON	AN101 を Grove2 に接続
SW18-5、 SW18-6	-5	-6	
	ON	OFF	AN102 を CN42 に接続
	OFF	ON	AN102 を Grove2 に接続

6.4 ジャンパによるコンフィグレーション

本ボードは、機能選択用としてジャンパ CN9, CN29, CN30, CN35～CN40, CN56, CN57, CN62, CN73, CN77, CN78, CN81～CN87 を搭載しています。以下に各ジャンパにより設定される機能を説明します。

6.4.1 I/O 電源選択ジャンパ CN9, CN37～CN40, CN77, CN78

CN9, CN37～CN40, CN77, CN78 は RZ/T2H の I/O 電源ドメインおよび Ethernet Phy への供給電源を選択します。CN9, CN37～CN40, CN77, CN78 で選択する各電源への供給電圧は、その電源ドメインに接続されている IO デバイスの規格や使用方法に沿っていなければなりません。そうでない場合、デバイスの誤動作または永続的な損傷が生じる可能性があります。

表 6-13 I/O 電源選択ジャンパ CN9, CN37～CN40, CN77, CN78

番号	設定	機能
CN9	1-2 ショート	VCC_ETH2_MDIO に VCC1833_0 を供給 (SW2-6 ON : MDIO に P21_4, P21_5 選択時)
	2-3 ショート	VCC_ETH2_MDIO に VCC1833_2 を供給 (SW2-6 OFF : MDIO に P30_5, P30_6 選択時)
CN37	1-2 ショート	VCC1833_0 (Ethernet Port0 用) に 1.8V 電源を供給
	2-3 ショート	VCC1833_0 (Ethernet Port0 用) に 3.3V 電源を供給
CN38	1-2 ショート	VCC1833_1 (Ethernet Port1 用) に 1.8V 電源を供給
	2-3 ショート	VCC1833_1 (Ethernet Port1 用) に 3.3V 電源を供給
CN39	1-2 ショート	VCC1833_2 (Ethernet Port2 用) に 1.8V 電源を供給
	2-3 ショート	VCC1833_2 (Ethernet Port2 用) に 3.3V 電源を供給
CN40	1-2 ショート	VCC1833_3 (Ethernet Port3 用) に 1.8V 電源を供給
	2-3 ショート	VCC1833_3 (Ethernet Port3 用) に 3.3V 電源を供給
CN77	1-2 ショート	VCC1833_7 (SD1 用) に 3.3V 電源を供給
	2-3 ショート	VCC1833_7 (SD1 用) に SD1 用電源制御 IC 出力を供給
CN78	1-2 ショート	VCC1833_6 (SD0 用) に 3.3V 電源を供給
	3-4 ショート	VCC1833_6 (SD0 用) に SD0 用電源制御 IC 出力を供給
	5-6 ショート	VCC1833_6 (SD0 用) に 1.8V 電源を供給

6.4.2 デバッグ機能選択ジャンパ CN62

CN62 はオンボードデバッグ機能 J-Link™ OB の有効／無効を選択します。

表 6-14 デバッグ機能選択ジャンパ CN62

番号	設定	機能
CN62	オープン	オンボードデバッグ機能 J-Link™ OB 有効
	ショート	オンボードデバッグ機能 J-Link™ OB 無効 デバッグ時は CN60, CN61 の何れかに外部エミュレータを接続してください。

6.4.3 RS485 インタフェース通信方式選択ジャンパ CN56, CN57

CN56, CN57 は RS485 インタフェースの通信方式を選択します。

表 6-15 RS485 インタフェース通信方式選択ジャンパ CN56, CN57

番号	設定	機能
CN56, CN57	1-2 ショート	全二重通信
	2-3 ショート	半二重通信

6.4.4 PCIe リセット信号制御ジャンパ CN73

CN73 は PCIe のリセット信号をシステムリセット要因に含めるかどうかを選択します。

表 6-16 PCIe リセット信号制御ジャンパ CN73

番号	設定	機能
CN73	オープン	システムリセット要因に PCIe リセットを含めない
	ショート	システムリセット要因に PCIe リセットを含める

6.4.5 電流測定用ジャンパ CN29, CN30, CN35, CN36, CN81～CN87

CN29, CN30, CN35, CN36, CN81～CN87 はターゲットデバイス（RZ/T2H）電流測定用のジャンパです。電流値を測定する場合は、該当するジャンパの 1-2 ピン（CN30 は 1-2 および 3-4 ピン）間に電流計を挿入します。

表 6-17 電流測定用のジャンパ CN29, CN30, CN35, CN36, CN81～CN87

番号	機能	機能
CN29	CPU1V1 の電流測定	出荷時はショート。電流測定時は当該ジャンパをオープンにし、1-2 ピン（CN30 は 1-2 および 3-4 ピン）間に電流計を挿入
CN30	CPU0V8 の電流測定	
CN35	CPU1V8 の電流測定	
CN36	CPU3V3 の電流測定	
CN81	CPU_VCC1833_0 の電流測定	
CN82	CPU_VCC1833_1 の電流測定	
CN83	CPU_VCC1833_2 の電流測定	
CN84	CPU_VCC1833_3 の電流測定	
CN85	CPU_VCC1833_4 の電流測定	
CN86	CPU_VCC1833_5 の電流測定	
CN87	CPU_VCC1833_6 の電流測定	

6.5 オプションリンクによるコンフィグレーション

6.5.1 ソルダブリッジおよびトレースカットによる設定

本ボードは、機能選択用としてソルダブリッジ E4, E5, E17, E18、トレースカット E1～E3, E6～E10, E20 を搭載しています。表 6-18 に各ソルダブリッジ、トレースカットの設定内容を示します。

表 6-18 ソルダブリッジおよびトレースカットの設定内容

番号	設定	機能
E1	オープン	SEI (SW9) を P08_6 に入力しない
	ショート	SEI (SW9) を P08_6 に入力
E2	オープン	PMOD1 (CN50) を SPI インタフェースで使用しない
	ショート	PMOD1 (CN50) を SPI インタフェースで使用 (この場合、E4 はオープンにしてください)
E3	オープン	PMOD1 (CN50) を SPI インタフェースで使用しない
	ショート	PMOD1 (CN50) を SPI インタフェースで使用 (この場合、E5 はオープンにしてください)
E4	オープン	PMOD1 (CN50) を I ² C インタフェースで使用しない
	ショート	PMOD1 (CN50) を I ² C インタフェースで使用 (この場合、E2 はオープンにしてください)
E5	オープン	PMOD1 (CN50) を I ² C インタフェースで使用しない
	ショート	PMOD1 (CN50) を I ² C インタフェースで使用する (この場合、E3 はオープンにしてください)
E6	オープン	設定禁止
	ショート	CN60 (MIPI-10) の 9 ピンを GROUND に接続
E7	オープン	P08_6 を DSMIF0 (CN21) および SEI (SW9) に接続しない (DSMIF 信号および SEI として使用しない)
	ショート	P08_6 を DSMIF0 (CN21) および SEI (SW9) に接続する (DSMIF 信号および SEI として使用)
E8	オープン	USB_DM を USB_OTG_DM に接続しない
	ショート	USB_DM を USB_OTG_DM に接続
E9	オープン	USB_DP を USB_OTG_DP に接続しない
	ショート	USB_DP を USB_OTG_DP に接続
E10	オープン	設定禁止
	ショート	J-Link™ OB 回路に 3.3V 電源を供給
E17	オープン	USB_OTG_STATUS1 を P09_0 に入力しない
	ショート	USB_OTG_STATUS1 を P09_0 に入力
E18	オープン	USB_OTG_STATUS2 を P09_1 に入力しない
	ショート	USB_OTG_STATUS2 を P09_1 に入力
E20	オープン	P05_2 を CN8 に接続しない (PCIe 関連信号として使用しない)
	ショート	P05_2 を CN8 に接続する (PCIe 関連信号として使用)

6.5.2 0Ω 他の抵抗による設定

本ボードには以下に示す 0Ω 他の抵抗が用意されており、出荷時の状態から実装/未実装を変更することで使用する機能を選択することができます。表 6-19 に 0Ω 他の抵抗による設定内容を示します。

表 6-19 0Ω 他の抵抗による設定内容

番号	設定	機能
R172 (0Ω)	実装	CAN_H 用終端抵抗有効
	未実装	CAN_H 用終端抵抗無効
R173 (0Ω)	実装	CAN_L 用終端抵抗有効
	未実装	CAN_L 用終端抵抗無効
R182 (0Ω)	実装	RS485 RE 制御に DE 信号を使用
	未実装	RS485 RE 制御に DE 信号を使用しない この場合は R183 (10KΩ) を実装して RE を”L”固定する
R187 (0Ω)	実装	RS485 A-B の終端抵抗 130Ω 有効
	未実装	RS485 A-B の終端抵抗 130Ω を無効にする
R191 (33Ω)	実装	Ethernet Port 0 の MAC-PHY インタフェースに MII を使用する
	未実装	Ethernet Port 0 の MAC-PHY インタフェースに RGMII を使用する
R155 (33Ω)	実装	Ethernet Port 1 の MAC-PHY インタフェースに MII を使用する
	未実装	Ethernet Port 1 の MAC-PHY インタフェースに RGMII を使用する
R23 (33Ω) *1	実装	Ethernet Port 2 の MAC-PHY インタフェースに MII を使用する
	未実装	Ethernet Port 2 の MAC-PHY インタフェースに RGMII を使用する
R486 (33Ω) *1	実装	Ethernet Port 3 の MAC-PHY インタフェースに MII を使用する
	未実装	Ethernet Port 3 の MAC-PHY インタフェースに RGMII を使用する

*1 : 実装する場合は、1608 (mm) サイズのチップ抵抗器をご使用ください。

7. ユーザ回路

本章では、ボード上の回路について機能毎に説明します。

信号接続を示す表の「コンフィグレーション用回路設定」欄に**太字の青文字テキスト**で記載された内容は本ボード出荷時の初期状態を示します。コンフィグレーション用回路の詳細は6章に記載していますのであわせてご確認ください。

7.1 リセット回路

ボード上はパワーオンリセット IC と RES スイッチによってリセット信号を生成することが可能です。リセット回路の回路構成を図 7-1 に示します。

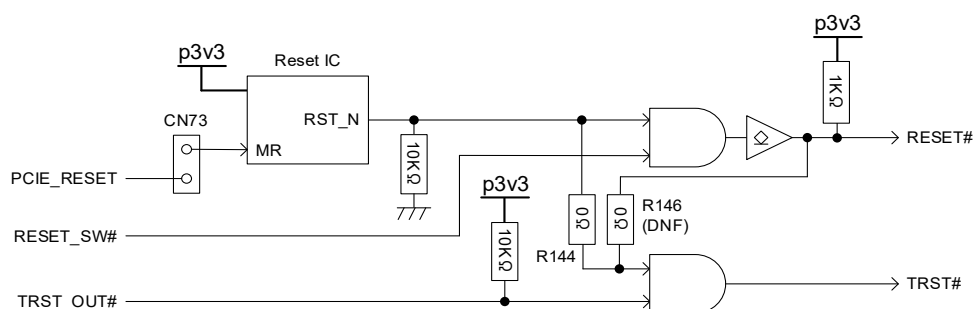


図 7-1 リセット回路

7.2 クロック回路

本ボードの RZ/T2H 用クロック回路を図 7-2 に示します。発振子一覧を表 7-1 に示します。

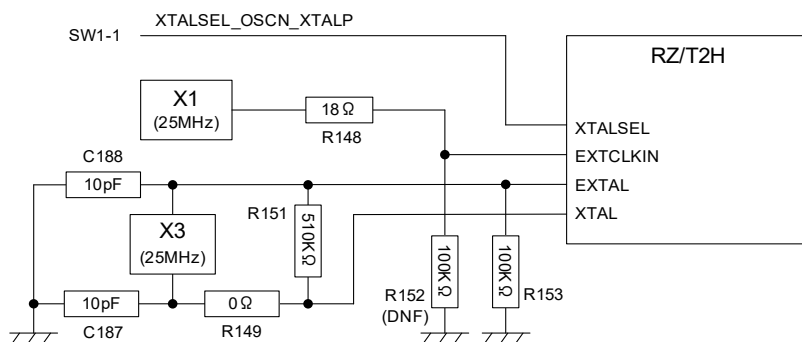


図 7-2 クロック回路

表 7-1 発振子一覧

発振子	機能/用途	出荷時の状態	周波数
X1	RZ/T2H 用クロック (発振器)	実装済み	25MHz
X2	PCIe 用クロック	実装済み	25MHz
X3	RZ/T2H 用クロック	実装済み (無効状態)	25MHz
X4	USB シリアル変換 IC 用クロック	実装済み	12MHz

7.3 スイッチ

本ボードは、**2.2 章**で記載した電源スイッチの他に 4 個のプッシュスイッチと 12 個の DIP スイッチを搭載しています。4 個のプッシュスイッチの機能と信号接続を表 **7-2** に、またユーザ用 DIP スイッチ SW12 の機能と信号接続を表 **7-3** に示します。

DIP スイッチのうち SW14 は RZ/T2H のモード設定用、SW1, SW2, SW4～SW8, SW15, SW17, SW18 は信号線の機能選択用です。本ボードのコンフィグレーション回路として **6.2 章**で説明していますのでそちらをご確認ください。

表 7-2 プッシュスイッチの信号接続

スイッチ	機能/用途	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
RES (SW13)	リセットスイッチ	RES# ^{*1}	AD4	-
SEI (SW9)	ユーザプッシュスイッチ、SEI に接続	P08_6	AD2	SW2-3: OFF, E1: Short, E7: Short
SW10	ユーザプッシュスイッチ、IRQ2 に接続	P00_3	AG15	-
SW11	ユーザプッシュスイッチ、IRQ0 に接続	P08_7	AF2	-

^{*1}: リセット回路を経由して接続されています。

表 7-3 ユーザコントロール用 DIP スイッチ SW12 の信号接続

スイッチ	機能/用途	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
SW12-1	ユーザコントロール用に P35_3 に接続	P35_3 ^{*1}	V22	SW1-3: ON
SW12-2	ユーザコントロール用に P35_4 に接続	P35_4 ^{*1}	W24	SW1-3: ON
SW12-3	ユーザコントロール用に P35_5 に接続	P35_5 ^{*1}	V24	SW1-3: ON
SW12-4	ユーザコントロール用に P35_6 に接続	P35_6 ^{*1}	U22	SW1-3: ON

^{*1}: バススイッチ IC を経由して接続されています。

7.4 LED

本ボードは 20 個の LED を搭載しています。各 LED の機能、発色および接続を表 7-4 に示します。

表 7-4 LED の信号接続

LED	発色	機能／用途	MPU		コンフィグレーション用 回路設定
			ポート	ピン	
P15V (LED12)	黄(Yellow)	15V 電源ラインのインジケータ	-	-	-
P3V3 (LED11)	緑(Green)	3.3V 電源ラインのインジケータ	-	-	-
LED0	緑(Green)	ユーザ LED	P23_1 ^{*1}	A20	SW8-9:ON, SW8-10:OFF
LED1	緑(Green)	ユーザ LED	P32_2 ^{*1}	M22	SW5-1:OFF, SW5-2:ON
LED2	黄(Yellow)	ユーザ LED	P06_7	AF8	-
LED3	赤(Red)	ユーザ LED	P08_5 ^{*2}	AE3	SW2-3: OFF
LED4_ESC_RUN	緑(Green)	ユーザ LED / ESC_LED RUN	P18_0 ^{*1}	D15	SW8-3:ON, SW8-4:OFF
LED5_ESC_ERR	赤(Red)	ユーザ LED / ESC_LED ERR	P18_1 ^{*1}	E13	SW8-1:ON, SW8-2:OFF
LED6_ESC_L/A0	緑(Green)	ユーザ LED / ESC_LINKACT0	P22_7 ^{*1}	G21	SW5-9:OFF, SW5-10:ON
LED7_ESC_L/A1	緑(Green)	ユーザ LED / ESC_LINKACT1	P23_0 ^{*1}	G20	SW5-7:OFF, SW5-8:ON
LED8_ESC_L/A2	緑(Green)	ユーザ LED / ESC_LINKACT2	P23_5 ^{*1}	C21	SW7-5:OFF, SW7-6:ON
LED10	黄(Yellow)	J-Link™ OB のインジケータ	-	-	-
CN59 内蔵 LED	緑(Green)	Ethernet Port 0 LED(Link)	-	-	-
CN59 内蔵 LED	黄(Yellow)	Ethernet Port 0 LED(Activity)	-	-	-
CN44 内蔵 LED	緑(Green)	Ethernet Port 1 LED(Link)	-	-	-
CN44 内蔵 LED	黄(Yellow)	Ethernet Port 1 LED(Activity)	-	-	-
CN45 内蔵 LED	緑(Green)	Ethernet Port 2 LED(Link)	-	-	-
CN45 内蔵 LED	黄(Yellow)	Ethernet Port 2 LED(Activity)	-	-	-
CN1 内蔵 LED	緑(Green)	Ethernet Port 3 LED(Link)	-	-	-
CN1 内蔵 LED	黄(Yellow)	Ethernet Port 3 LED(Activity)	-	-	-

*1: ディップスイッチを経由して接続されています。出荷時の設定で LED 制御に使用できます。

*2: バススイッチ IC を経由して接続されています。

7.5 ポテンショメータ

本ボードでは、RZ/T2H の AN000 (AA27 ピン) に 10K Ω 単回転ポテンショメータが接続されており、ADC の評価が可能です。ポテンショメータの回路構成を図 7-3 に示します。

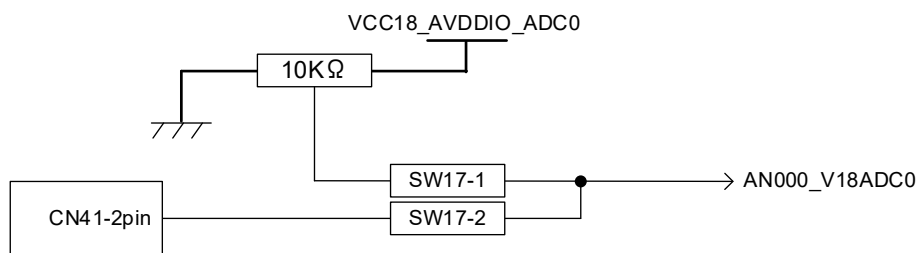


図 7-3 ポテンショメータ

ポテンショメータは簡易的にマイクロプロセッサに可変アナログ入力供給をするために備え付けられています。A/D コンバータの精度は保証できませんので、予めご了承ください。

7.6 Pmod™

本ボードは Digilent Pmod™ インタフェース用のコネクタ 2 個を搭載しており、互換性のある Pmod™ モジュールを接続して評価することができます。PMOD1(CN50)は Pmod™ インタフェースの Type2A、6A に、PMOD2(CN49)は Type3A に対応しています。Pmod™ インタフェース回路構成を図 7-4 に、信号接続を表 7-5、表 7-6 に、PMOD1、PMOD2 使用時のスイッチ設定を図 7-5 に示します。

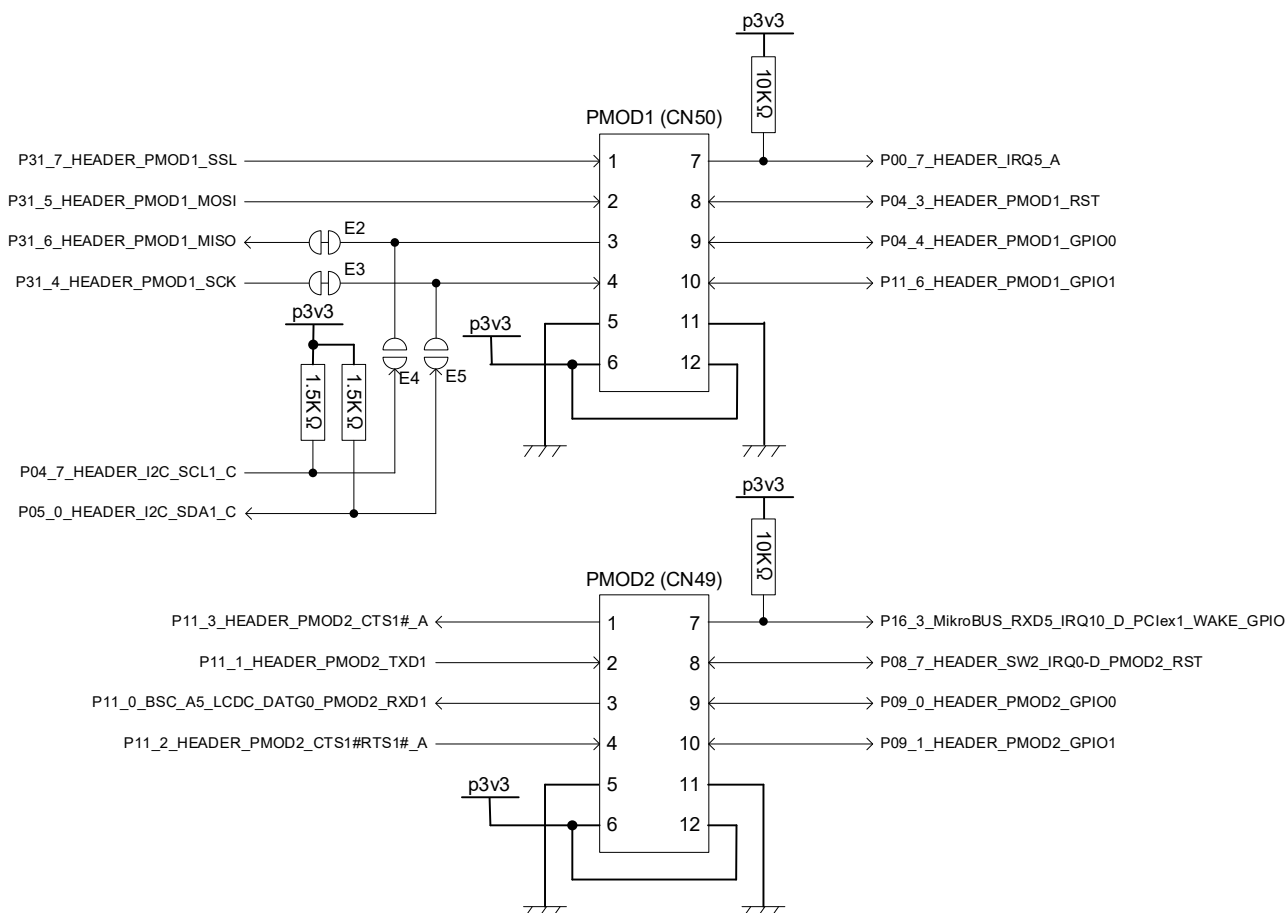


図 7-4 Pmod™インタフェース回路

表 7-5 PMOD1 コネクタ(CN50) の信号接続

ピン	信号名	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
1	P31_7 HEADER_PMOD1_SSL	P31_7	M26	-
2	P31_5 HEADER_PMOD1_MOSI	P31_5 ^{*1}	P26	SW2-7 :OFF
3	P31_6 HEADER_PMOD1_MISO	P31_6	P25	E2 Short, E4 Open
	P04_7 HEADER_I2C_SCL1_C	P04_7 ^{*2}	AC11	E2 Open, E4 Short
4	P31_4 HEADER_PMOD1_SCK	P31_4 ^{*1}	N25	SW2-7 :OFF, E3 Short, E5: Open
	P05_0 HEADER_I2C_SDA1_C	P05_0 ^{*2}	AA10	E3 Open, E5 Short
5	GROUND	-	-	-
6	p3v3	-	-	-
7	P00_7 HEADER_IRQ5_A	P00_7	AE14	-
8	P04_3 HEADER_PMOD1_RST	P04_3	AG10	-
9	P04_4 HEADER_PMOD1_GPIO0	P04_4	AG11	-
10	P11_6 HEADER_PMOD1_GPIO1	P11_6	A3	-
11	GROUND	-	-	-
12	p3v3	-	-	-

*1: バススイッチ IC を経由して接続されています。

*2: 機能を変更するにはソルダブリッジジャンパの設定変更が必要です。

表 7-6 PMOD2 コネクタ(CN49) の信号接続

ピン	信号名	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
1	P11_3 HEADER_PMOD2_CTS1#_A	P11_3	D1	-
2	P11_1 HEADER_PMOD2_TXD1	P11_1	C1	-
3	P11_0_BSC_A5_LCDC_DATG0_PMOD2_RXD1	P11_0 ^{*1}	C5	SW6-3 :OFF, SW6-4 :ON, SW6-5 :OFF
4	P11_2 HEADER_PMOD2_CTS1#RTS1#_A	P11_2	C3	-
5	GROUND	-	-	-
6	p3v3	-	-	-
7	P16_3_MikroBUS_RXD5_IRQ10_D_PClx1_WAKE_G PIO	P16_3 ^{*1}	B12	SW8-5 :OFF, SW8-6 :ON
8	P08_7 HEADER_SW2_IRQ0-D_PMOD2_RST	P08_7	AF2	-
9	P09_0 HEADER_PMOD2_GPIO0	P09_0	AE1	-
10	P09_1 HEADER_PMOD2_GPIO1	P09_1	AG2	-
11	GROUND	-	-	-
12	p3v3	-	-	-

*1: SW6、SW8 を経由して接続されています。

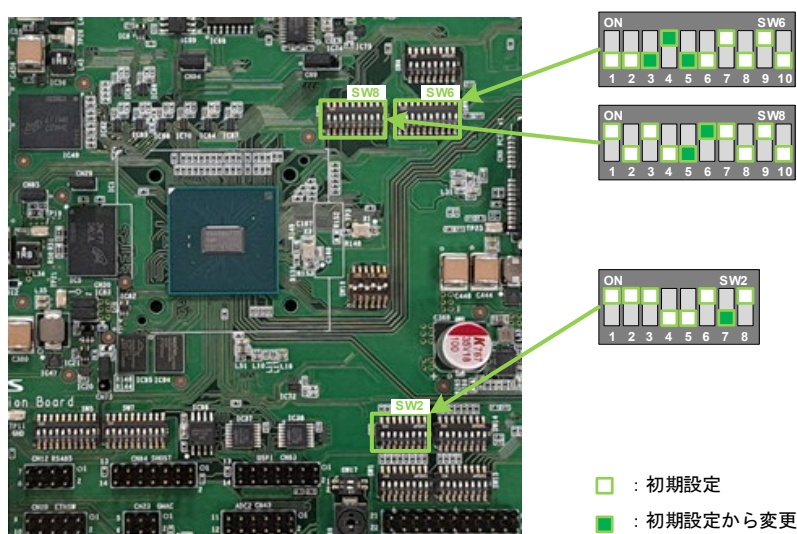


図 7-5 PMOD1、PMOD2 使用時のスイッチ設定

Digilent Pmod™ ピン配置は、通常のコネクタピン配置とは異なるため注意が必要です。Pmod™ コネクタのピン配置を図 7-6 に示します。詳細は Digilent Pmod™ Interface Specification を参照してください。

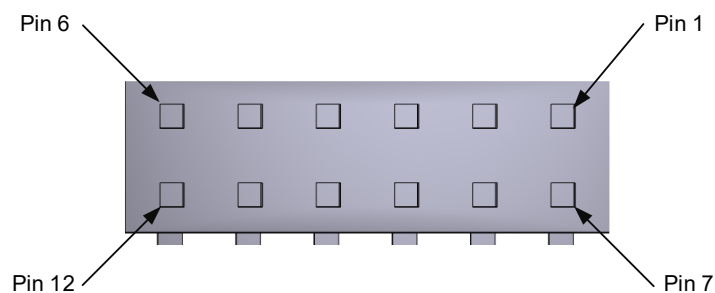


図 7-6 Digilent Pmod™ ピン配置（挿入方向の視点）

7.7 Grove

本ボードには、Grove インタフェース用のコネクタ 2 個を搭載しており、互換性のある Grove モジュールを接続して評価することができます。Grove インタフェース回路構成を図 7-7 に、コネクタピン配置を図 7-8 に、信号接続を表 7-7、表 7-8 に示します。

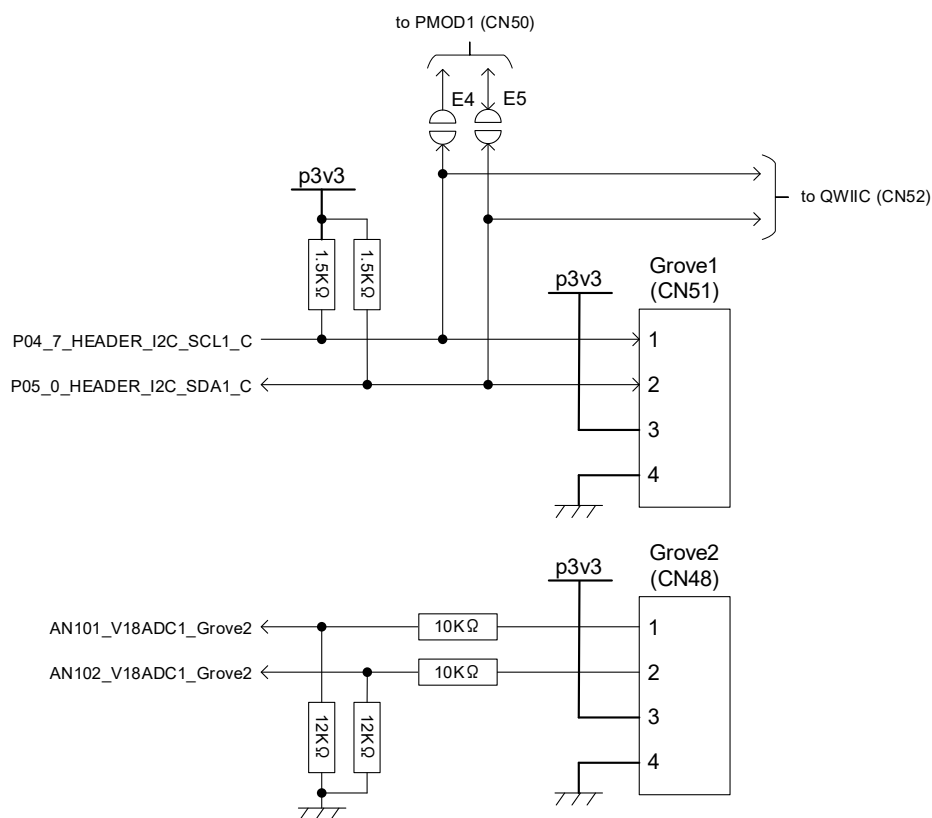


図 7-7 Grove インタフェース回路

表 7-7 Grove1 コネクタ (CN51) の信号接続

ピン	信号名	MPU		コンフィグレーション用回路設定
		ポート	ピン	
1	P04_7_HEADER_I2C_SCL1_C	P04_7 ^{*1}	AC11	-
2	P05_0_HEADER_I2C_SDA1_C	P05_0 ^{*1}	AA10	-
3	p3v3	-	-	-
4	GROUND	-	-	-

*1: QWIIC 他と共用です。

表 7-8 Grove2 コネクタ (CN48) の信号接続

ピン	信号名	MPU		コンフィグレーション用回路設定
		ポート	ピン	
1	AN101_V18ADC1_Grove2	AN101 ^{*1}	AD27	SW18-3:OFF, SW18-4:ON
2	AN102_V18ADC1_Grove2	AN102 ^{*1}	AD26	SW18-5:OFF, SW18-6:ON
3	p3v3	-	-	-
4	GROUND	-	-	-

*1: SW18 を経由して接続されています。

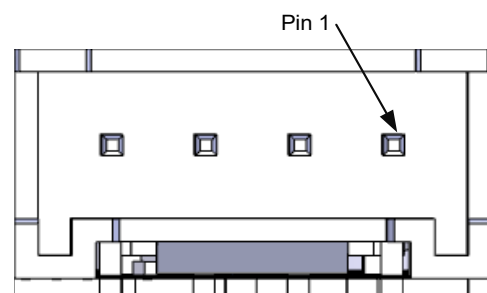


図 7-8 Grove コネクタピン配置（挿入方向の視点）

7.8 QWIIC

本ボードには、QWIIC インタフェース用のコネクタを搭載しており、互換性のある QWIIC モジュールを接続して評価することができます。QWIIC のピン配置を図 7-9 に、信号接続を表 7-9 に示します。

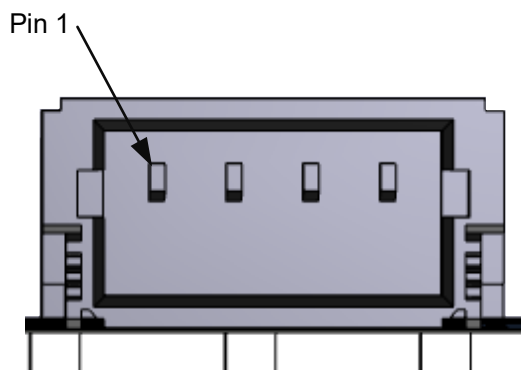


図 7-9 QWIIC コネクタピン配置（挿入方向の視点）

表 7-9 QWIIC コネクタ(CN52) の信号接続

ピン	信号名	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
1	GROUND	-	-	-
2	p3v3	-	-	-
3	P05_0 HEADER I2C_SDA1_C	P05_0 ^{*1}	AA10	-
4	P04_7 HEADER I2C_SCL1_C	P04_7 ^{*1}	AC11	-

*1 : Grove2 他と共用です。

7.9 mikroBUS™

本ボードには、mikroBUS™インタフェース用のコネクタを搭載しており、互換性のある mikroBUS™モジュールを接続して評価することができます。mikroBUS™インタフェース回路構成を図 7-10 に、信号接続を表 7-10、表 7-11 に、mikroBUS™使用時のスイッチ設定を図 7-11 に示します。

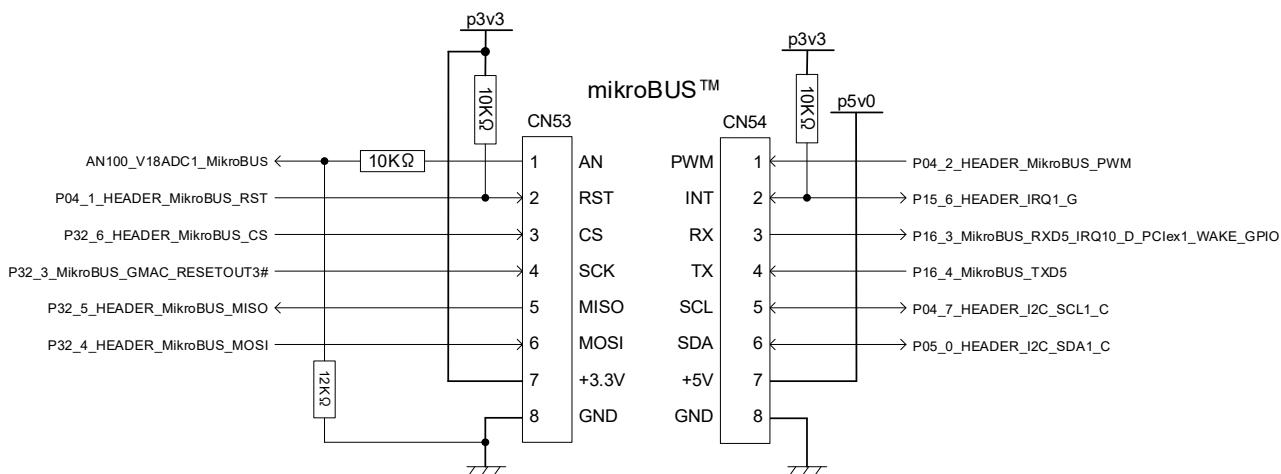


図 7-10 mikroBUS™ インタフェース回路

表 7-10 mikroBUS™コネクタ(CN53) の信号接続

ピン	信号名	MPU		コンフィグレーション用回路設定
		ポート	ピン	
1	AN100_V18ADC1_MikroBUS	AN100*1	AC27	SW18-1:OFF, SW18-2:ON
2	P04_1_HEADER_MikroBUS_RST	P04_1	AF11	-
3	P32_6_HEADER_MikroBUS_CS	P32_6	L27	-
4	P32_3_MikroBUS_GMAC_RESETOUT3#	P32_3	N23	-
5	P32_5_HEADER_MikroBUS_MISO	P32_5	M27	-
6	P32_4_HEADER_MikroBUS_MOSI	P32_4	N22	-
7	p3v3	-	-	-
8	GROUND	-	-	-

*1: SW18 を経由して接続されています。

表 7-11 mikroBUS™コネクタ(CN54) の信号接続

ピン	信号名	MPU		コンフィグレーション用回路設定
		ポート	ピン	
1	P04_2_HEADER_MikroBUS_PWM	P04_2	AA12	-
2	P15_6_HEADER_IRQ1_G	P15_6	D10	-
3	P16_3_MikroBUS_RXD5_IRQ10_D_PClex1_WAKE_GPIO	P16_3*1	B12	SW8-5:OFF, SW8-6:ON
4	P16_4_MikroBUS_TXD5	P16_4*1	A12	SW8-7:OFF, SW8-8:ON
5	P04_7_HEADER_I2C_SCL1_C	P04_7*2	AC11	-
6	P05_0_HEADER_I2C_SDA1_C	P05_0*2	AA10	-
7	p5v0	-	-	-
8	GROUND	-	-	-

*1: SW8 を経由して接続されています。

*2: Grove2 他と共用です。

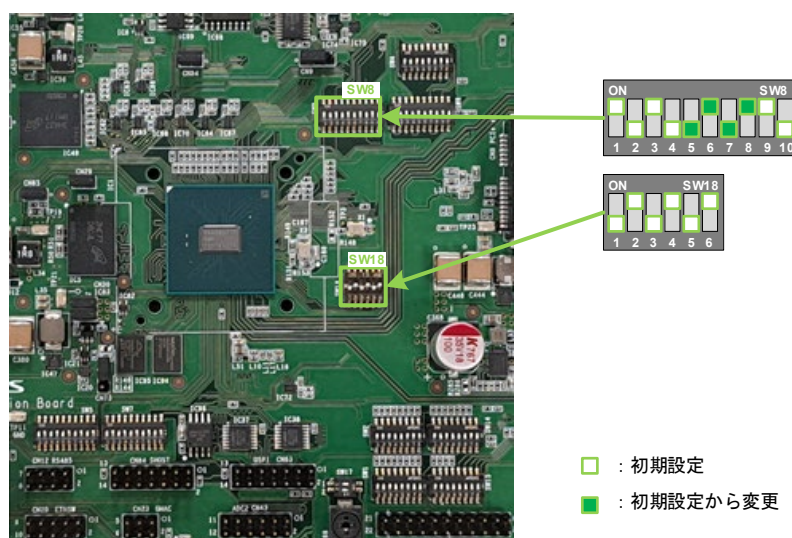


図 7-11 mikroBUS™ 使用時のスイッチ設定

7.10 USB シリアル変換

本ボードは、ターミナル出力用 USB コネクタ（CN34）と USB シリアル変換用の FT2232 を搭載しています。USB シリアル変換回路の構成を図 7-12 に、信号接続を表 7-12 に示します。

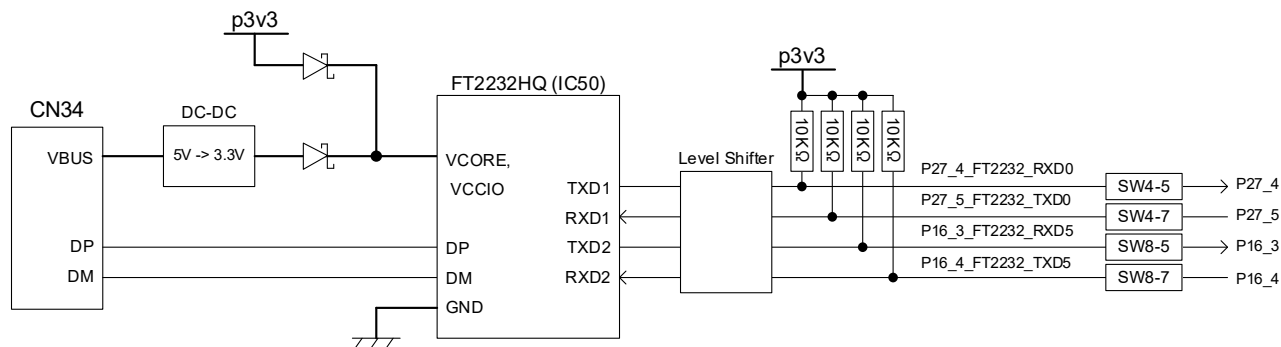


図 7-12 USB シリアル変換回路

表 7-12 USB シリアル変換信号接続

信号名	機能／用途	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
P27_4_FT2232_RXD0	USB シリアル変換用 UART データ受信 1	P27_4 ^{*1}	H26	SW4-5: ON, SW4-6: OFF
P27_5_FT2232_TXD0	USB シリアル変換用 UART データ送信 1	P27_5 ^{*1}	F25	SW4-7: ON, SW4-8: OFF
P16_3_FT2232_RXD5	USB シリアル変換用 UART データ受信 2	P16_3 ^{*1}	B12	SW8-5: ON, SW8-6: OFF
P16_4_FT2232_TXD5	USB シリアル変換用 UART データ送信 2	P16_4 ^{*1}	A12	SW8-7: ON, SW8-8: OFF

^{*1}: SW4、SW8 を経由して接続されています。

初めてターミナル出力用の USB コネクタ（CN34）を PC に接続した場合、PC はドライバを検索します。ドライバは PC に標準にインストールされているものを使用します。

7.11 SPI メモリ

本ボードは SPI メモリとして OctaFlash、Quad SPI Flash および EEPROM を搭載しています。また SPI1 には拡張 SPI コネクタ(CN63)も接続しています。

SPI メモリの回路構成を図 7-13 に、SPI メモリの一覧を表 7-13 に、各メモリへの信号接続を表 7-14、表 7-15、表 7-16 に、拡張 SPI コネクタへの信号接続を表 7-17 に、SPI メモリ使用時のスイッチ設定を図 7-14 に示します。

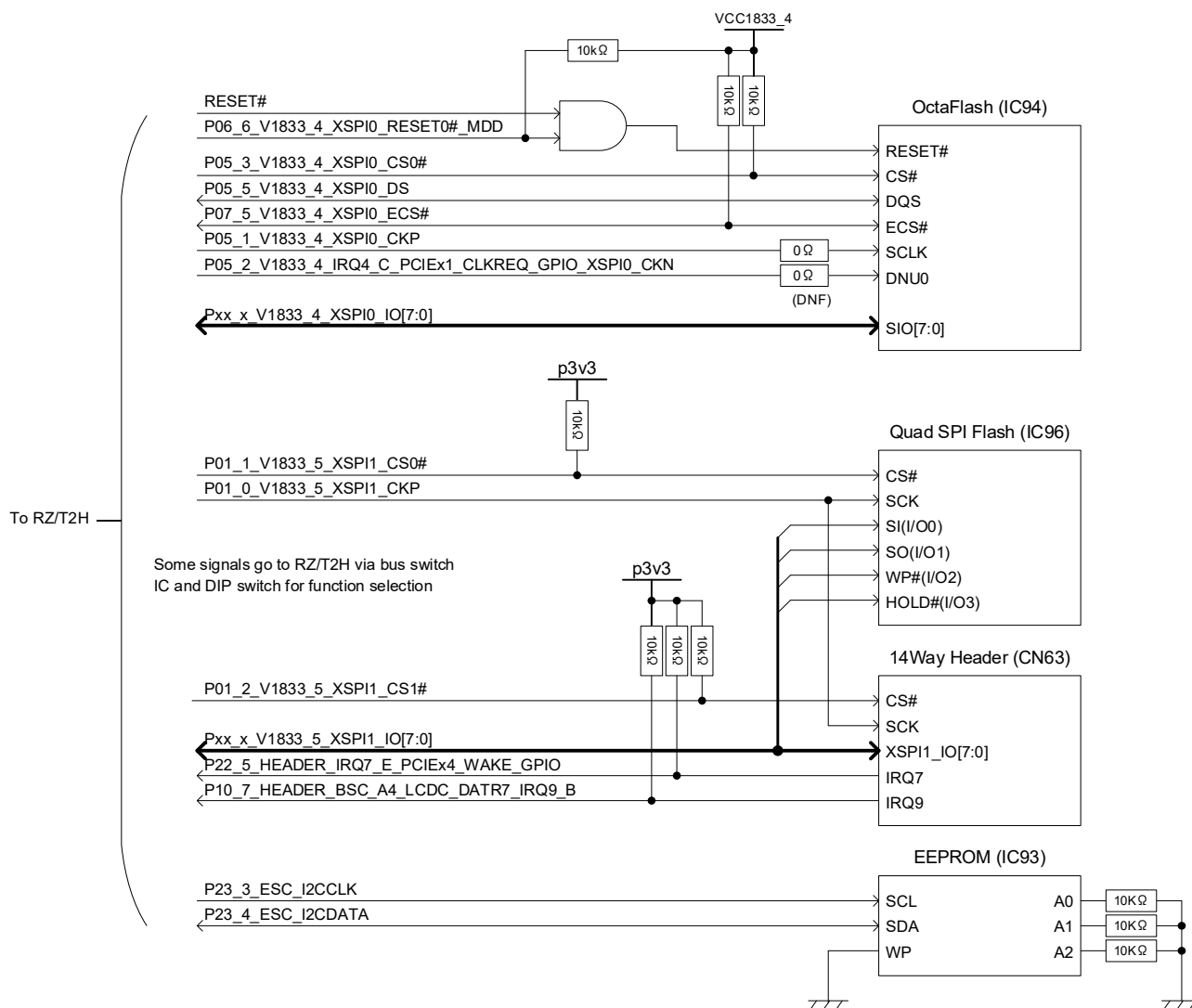


図 7-13 SPI メモリ回路構成

表 7-13 SPI メモリー一覧

SPI メモリ	リファレンス	コントローラ	アドレス空間
OctaFlash (512Mbits)	IC94	XSPI0_CS0	40000000h - 43FFFFFFh (64Mbyte)
Quad SPI Flash (128Mbits)	IC96	XSPI1_CS0	50000000h - 50FFFFFFh (16Mbyte)
EEPROM (16Kbits)	IC93	I2C / EtherCAT	-

表 7-14 OctaFlash への信号接続

信号名	機能／用途	MPU		コンフィグレーション用回路設定
		ポート	ピン	
P06_6_V1833_4_XSPI0_RESET0#_MDD	CS0 用リセット	P06_6	AG8	-
P05_3_V1833_4_XSPI0_CS0#	CS0#	P05_3	AG4	-
P05_5_V1833_4_XSPI0_DS	DS	P05_5	AF5	-
P07_5_V1833_4_XSPI0_ECS#	ECS#	P07_5 *1	AG6	SW5-5: OFF, SW5-6: ON
P05_1_V1833_4_XSPI0_CKP	CKP	P05_1	AA8	-
P05_2_V1833_4_IRQ4_C_PCIEx1_CLKREQ_GPIO_XSPI0_CKN	CKN	P05_2	AA9	-
P06_5_V1833_4_XSPI0_IO7	データ 7	P06_5	AA7	-
P06_4_V1833_4_XSPI0_IO6	データ 6	P06_4	AB8	-
P06_3_V1833_4_XSPI0_IO5	データ 5	P06_3	AB7	-
P06_2_V1833_4_XSPI0_IO4	データ 4	P06_2	AE6	-
P06_1_V1833_4_XSPI0_IO3	データ 3	P06_1	AC6	-
P06_0_V1833_4_XSPI0_IO2	データ 2	P06_0	AE5	-
P05_7_V1833_4_XSPI0_IO1	データ 1	P05_7	AE7	-
P05_6_V1833_4_XSPI0_IO0	データ 0	P05_6	AD6	-

*1: SW5 を経由して接続されています。

表 7-15 Quad SPI Flash への信号接続

信号名	機能／用途	MPU		コンフィグレーション用回路設定
		ポート	ピン	
P01_1_V1833_5_XSPI1_CS0#	CS0#	P01_1 *1	AG12	SW1-6: ON
P01_0_V1833_5_XSPI1_CKP	CKP	P01_0 *1	AF13	SW1-6: ON
P01_7_V1833_5_XSPI1_IO3	データ 3	P01_7 *1	AC13	SW1-6: ON
P01_6_V1833_5_XSPI1_IO2	データ 2	P01_6 *1	AD13	SW1-6: ON
P01_5_V1833_5_XSPI1_IO1	データ 1	P01_5 *1	AE13	SW1-6: ON
P01_4_V1833_5_XSPI1_IO0	データ 0	P01_4 *1	AG13	SW1-6: ON

*1: バススイッチ IC を経由して接続されています。

表 7-16 EEPROM への信号接続

信号名	機能／用途	MPU		コンフィグレーション用回路設定
		ポート	ピン	
P23_3_ESC_I2CCLK	EtherCAT I2CCLK	P23_3 *1	A21	SW6-7: ON, SW6-8: OFF
P23_4_ESC_I2CDATA	EtherCAT I2CDATA	P23_4 *1	C20	SW6-9: ON, SW6-10: OFF

*1: SW6 を経由して接続されています。

表 7-17 拡張 SPI コネクタ (CN63) の信号接続

ピン	信号名	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
1	GROUND	-	-	-
2	P22_5_HEADER_IRQ7_E_PCIEx4_WAKE_GPIO	P22_5*1	E21	SW2-1: ON, SW2-2: OFF
3	P01_0_V1833_5_XSPI1_CKP	P01_0*2	AF13	SW1-6: ON
4	P01_2_V1833_5_XSPI1_CS1#	P01_2*2	AD14	SW1-6: ON
5	P02_3_V1833_5_XSPI1_IO7	P02_3*2	AF12	SW1-6: ON
6	P02_2_V1833_5_XSPI1_IO6	P02_2*2	AA13	SW1-6: ON
7	P02_1_V1833_5_XSPI1_IO5	P02_1*2	AB13	SW1-6: ON
8	P02_0_V1833_5_XSPI1_IO4	P02_0*2	AC14	SW1-6: ON
9	P01_7_V1833_5_XSPI1_IO3	P01_7*2	AC13	SW1-6: ON
10	P01_6_V1833_5_XSPI1_IO2	P01_6*2	AD13	SW1-6: ON
11	P01_5_V1833_5_XSPI1_IO1	P01_5*2	AE13	SW1-6: ON
12	P01_4_V1833_5_XSPI1_IO0	P01_4*2	AG13	SW1-6: ON
13	P10_7_HEADER_BSC_A4_LCD_C_DATR7_IRQ9_B	P10_7	C4	-
14	p3v3	-	-	-

*1: イネーブル付きレベルシフタ IC を経由して接続されています。

*2: バススイッチ IC を経由して接続されています。

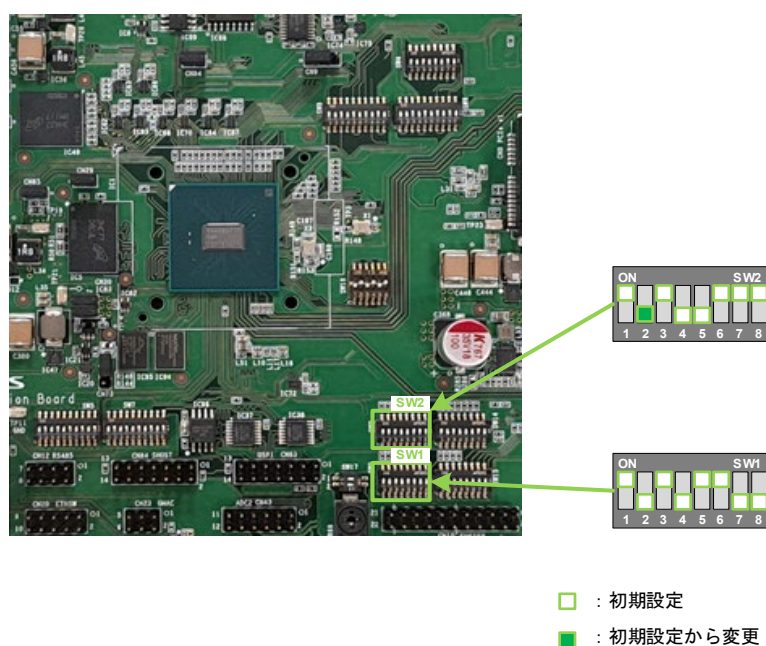


図 7-14 拡張 SPI コネクタ (CN63) 使用時のスイッチ設定

7.12 LPDDR4

本ボードは LPDDR4 を搭載しています。LPDDR4 との信号接続を図 7-15 に示します。

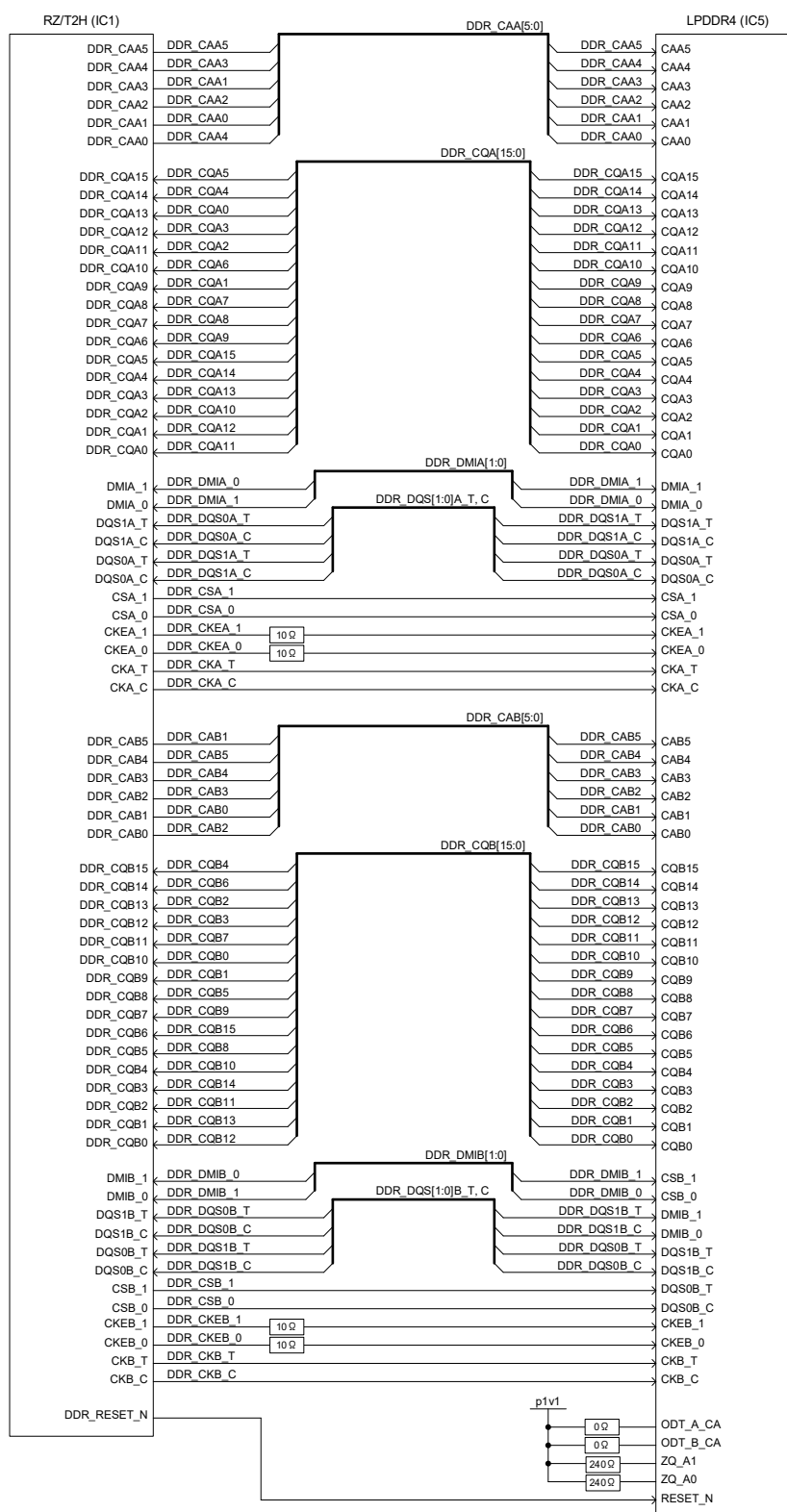


図 7-15 LPDDR4 信号接続

7.13 SD、eMMC

本ボードはSD カードスロット(CN31)、microSD カードスロット(CN16)および eMMC(IC49)を搭載しています。SD, eMMC の回路構成を図 7-16 に、信号接続を表 7-18、表 7-19、表 7-20 に、SD カードスロット (CN31) 使用時のスイッチ設定を図 7-17 に示します。

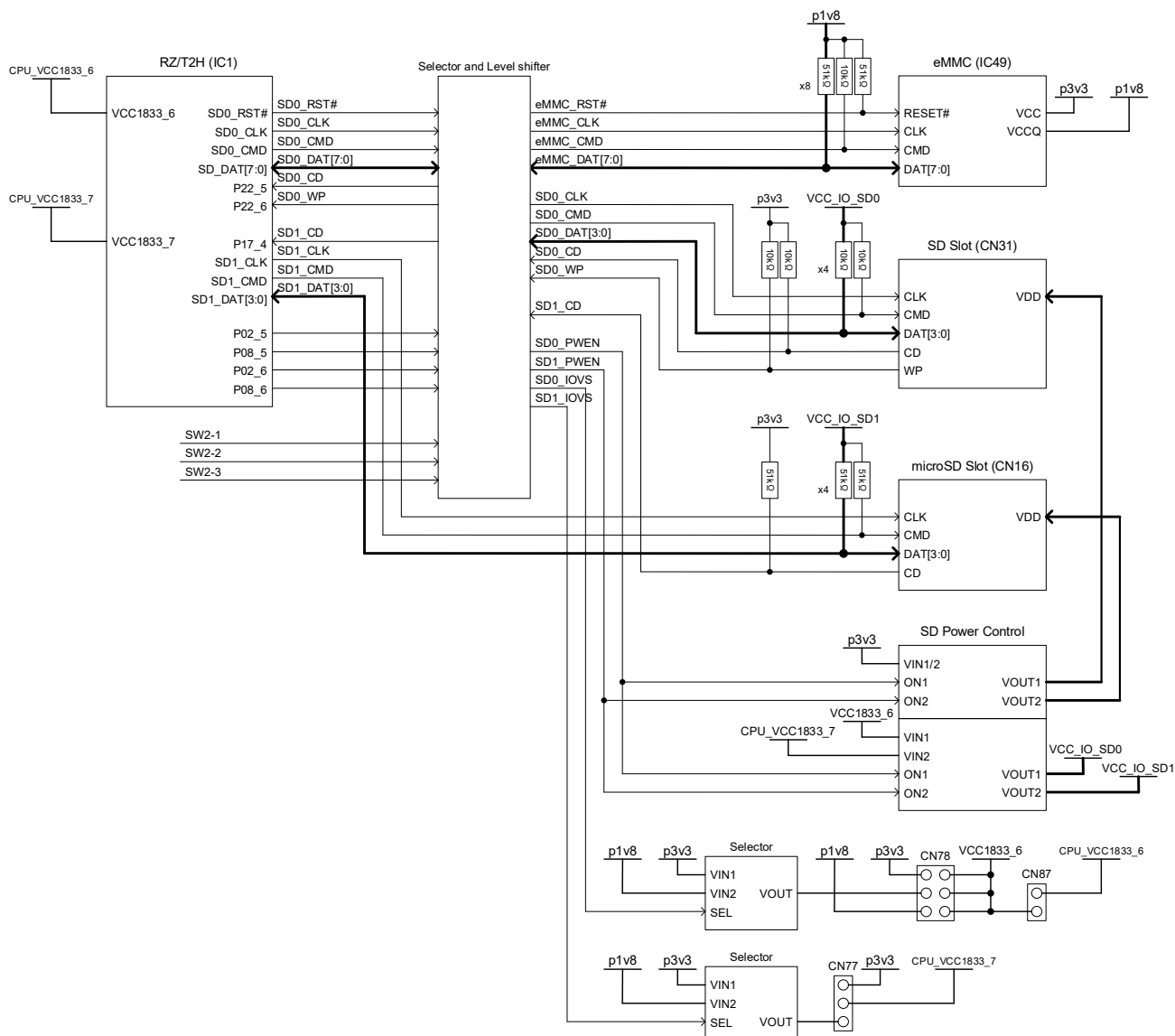


図 7-16 SD, eMMC 回路構成

表 7-18 eMMC への信号接続

信号名	機能/用途	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
P13_2_P1V8_eMMC_RST#	リセット	P13_2 *1	F8	SW2-1: ON, SW2-2: ON
P12_1_P1V8_eMMC_CMD	コマンド	P12_1 *1	G8	SW2-1: ON, SW2-2: ON
P12_0_P1V8_eMMC_CLK	クロック	P12_0 *1	D7	SW2-1: ON, SW2-2: ON
P12_2_P1V8_eMMC_DAT0	データ 0	P12_2 *1	E8	SW2-1: ON, SW2-2: ON
P12_3_P1V8_eMMC_DAT1	データ 1	P12_3 *1	E7	SW2-1: ON, SW2-2: ON
P12_4_P1V8_eMMC_DAT2	データ 2	P12_4 *1	B6	SW2-1: ON, SW2-2: ON
P12_5_P1V8_eMMC_DAT3	データ 3	P12_5 *1	G7	SW2-1: ON, SW2-2: ON
P12_6_P1V8_eMMC_DAT4	データ 4	P12_6 *1	D6	SW2-1: ON, SW2-2: ON
P12_7_P1V8_eMMC_DAT5	データ 5	P12_7 *1	E6	SW2-1: ON, SW2-2: ON
P13_0_P1V8_eMMC_DAT6	データ 6	P13_0 *1	C7	SW2-1: ON, SW2-2: ON
P13_1_P1V8_eMMC_DAT7	データ 7	P13_1 *1	F7	SW2-1: ON, SW2-2: ON

*1: イネーブル付きレベルシフタ IC を経由して接続されています。

表 7-19 SD カードスロットへの信号接続

信号名	機能/用途	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
P12_1_VCC_SD0_CMD	コマンド	P12_1 *1	G8	SW2-1: OFF, SW2-2: ON
P12_0_VCC_SD0_CLK	クロック	P12_0 *1	D7	SW2-1: OFF, SW2-2: ON
P12_2_VCC_SD0_DAT0	データ 0	P12_2 *1	E8	SW2-1: OFF, SW2-2: ON
P12_3_VCC_SD0_DAT1	データ 1	P12_3 *1	E7	SW2-1: OFF, SW2-2: ON
P12_4_VCC_SD0_DAT2	データ 2	P12_4 *1	B6	SW2-1: OFF, SW2-2: ON
P12_5_VCC_SD0_DAT3	データ 3	P12_5 *1	G7	SW2-1: OFF, SW2-2: ON
P22_5_SD0_CD_A	カード検出	P22_5 *1	E21	SW2-1: OFF, SW2-2: ON
P22_6_SD0_WP_A	ライトプロテクト	P22_6 *1	C22	SW2-1: OFF, SW2-2: ON
P02_5_SD0_PWEN_A	電源供給制御	P02_5 *1	AD11	SW2-1: OFF, SW2-2: ON
P02_6_SD0_IOVS_A	SD0 IO 電圧選択	P02_6 *1	AD9	SW2-1: OFF, SW2-2: ON

*1: イネーブル付きレベルシフタ IC を経由して接続されています。

表 7-20 microSD カードスロットへの信号接続

信号名	機能/用途	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
P16_6_V1833_7_SD1_CMD	コマンド	P16_6	C12	-
P16_5_V1833_7_SD1_CLK	クロック	P16_5	G12	-
P16_7_V1833_7_SD1_DAT0	データ 0	P16_7	F12	-
P17_0_V1833_7_SD1_DAT1	データ 1	P17_0	A13	-
P17_1_V1833_7_SD1_DAT2	データ 2	P17_1	B13	-
P17_2_V1833_7_SD1_DAT3	データ 3	P17_2	E12	-
P17_4_SD1_CD_A	カード検出	P17_4 *1	G13	SW2-3: ON
P08_5_SD1_PWEN_A	電源供給制御	P08_5 *1	AE3	SW2-3: ON
P08_6_SD1_IOVS_A_P32_2_GPIO	SD1 IO 電圧選択	P08_6 *1 *2	AD2	SW2-3: ON, SW5-3: OFF, SW5-4: ON
		P32_2 *2	M22	SW5-1: ON, SW5-2: OFF, SW5-3: ON, SW5-4: OFF

*1: バススイッチ IC を経由して接続されています。

*2: SW5 を経由して接続されています。

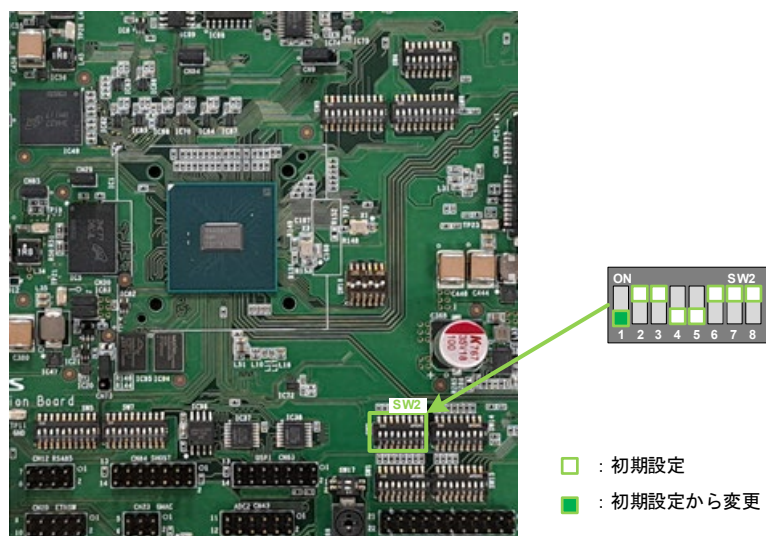


図 7-17 SD カードスロット (CN31) 使用時のスイッチ設定

7.14 CAN

本ボードには CAN トランシーバ(IC84) および CAN インタフェースコネクタ (CN55) が搭載されており、RZ/T2H の CAN モジュール機能を評価できます。CAN インタフェースの回路構成を図 7-18 に、信号接続を表 7-21 に示します。

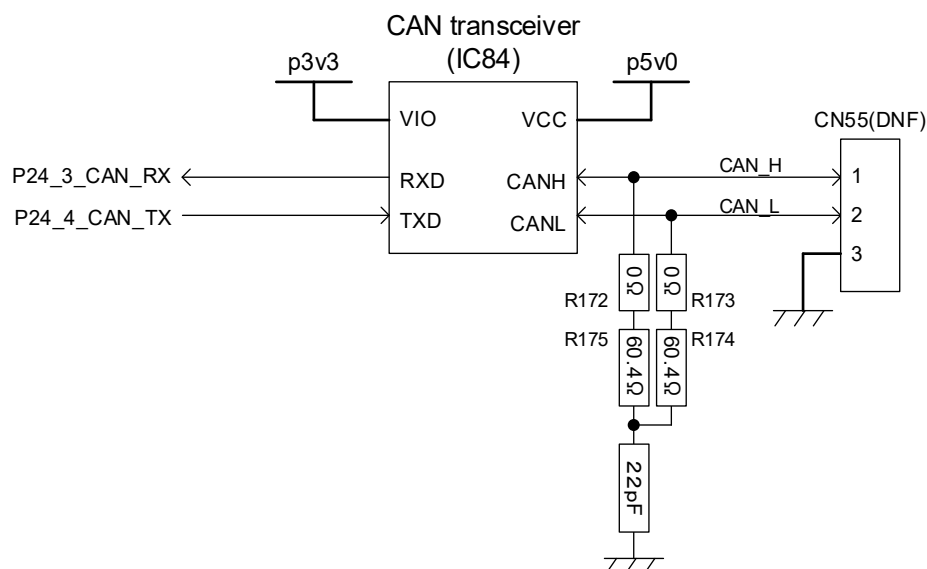


図 7-18 CAN インタフェース回路構成

表 7-21 CAN 信号接続

信号名	機能／用途	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
P24_3_CAN_RX	CAN データ受信	P24_3 ^{*1}	B20	SW7-3: OFF, SW7-4: ON
P24_4_CAN_TX	CAN データ送信	P24_4 ^{*1}	G22	SW7-1: OFF, SW7-2: ON

*1: SW7 を経由して接続されています。

7.15 RS485 インタフェース

本ボードには RS485 トランシーバ(IC88)、RS485 インタフェースコネクタ (CN58) および RS485 外部拡張用コネクタ(CN12)が搭載されています。RS485 インタフェースの回路構成を図 7-19 に、コネクタの信号接続を表 7-22 に、使用するポートを表 7-23 に示します。

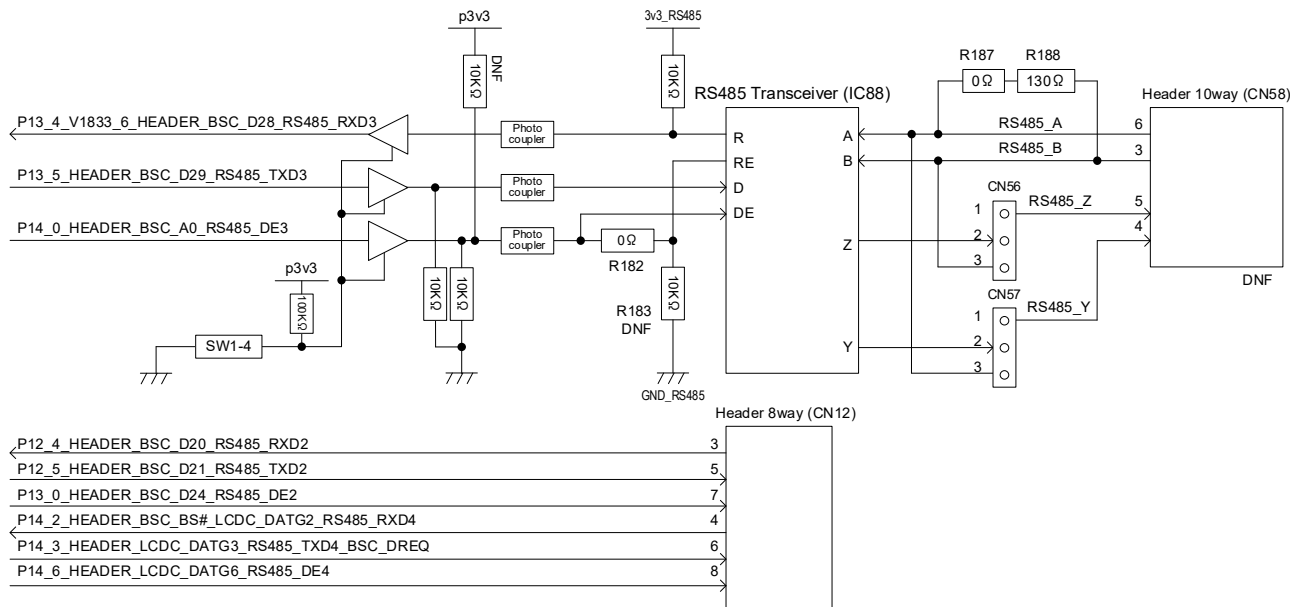


図 7-19 RS485 インタフェース回路構成

表 7-22 RS485 インタフェースコネクタ(CN58)の信号接続

ピン	信号名	ピン	信号名
1	GROUND	2	GROUND
3	RS485 B	4	RS485 Y
5	RS485 Z	6	RS485 A
7	GROUND	8	GROUND
9	GROUND	10	GROUND

表 7-23 RS485 インタフェースで使用するポート

信号名	機能／用途	MPU		コンフィギュレーション用回路設定
		ポート	ピン	
P13_4_V1833_6_HEADER_BSC_D28_RS485_RXD3	データ受信	P13_4*1	B8	SW1-4: OFF
P14_0_HEADER_BSC_A0_RS485_DE3	ドライバインエーブル	P14_0*1	A7	SW1-4: OFF
P13_5_HEADER_BSC_D29_RS485_TXD3	データ送信	P13_5*1	B7	SW1-4: OFF

*1: バッファ IC を經由して接続されています。

7.16 USB

本ボードは USB Type-A コネクタ (CN80)、Mini-B コネクタ (CN79) および Micro-AB コネクタ (CN33) を搭載しており、RZ/T2H の USB 機能をホスト/ファンクション/OTG のいずれかで使用することができます (同時使用はできません)。

USB の回路構成を図 7-20 に、信号接続を表 7-24 に、USB 使用時のスイッチ設定を図 7-21 に示します。

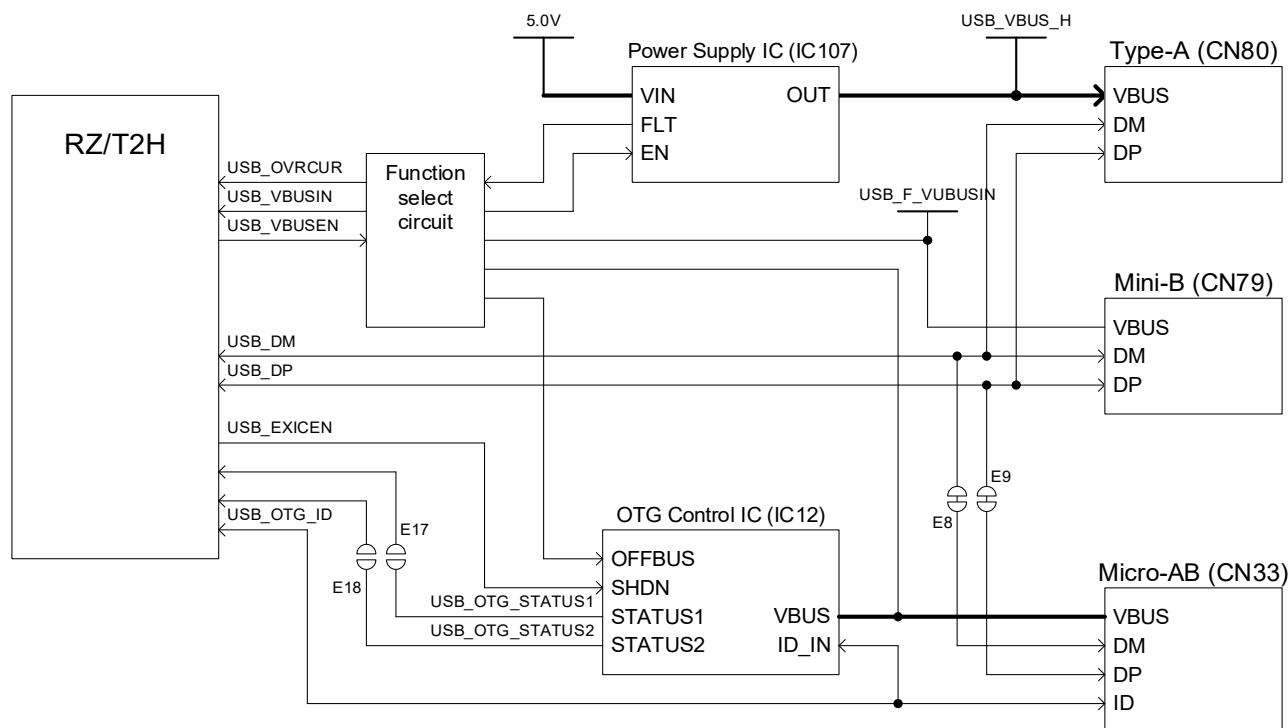


図 7-20 USB 回路構成

表 7-24 USB 信号接続

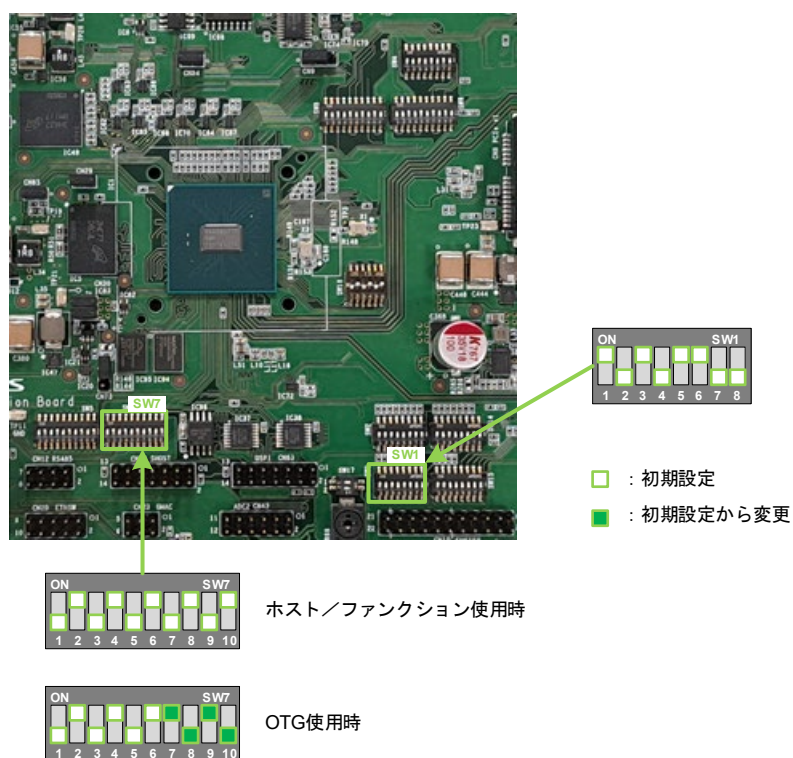
信号名	機能/用途	MPU		コンフィギュレーション用回路設定
		ポート	ピン	
USB_DP	D+データ入出力	USB_DP	AF17	-
USB_DM	D-データ入出力	USB_DM	AG17	-
VUBUSIN	VBUS 検出	USB_VUBUSIN ^{*2}	AD16	SW7-7: OFF/ON, SW7-8: ON/OFF
USB_OTG_ID	OTG_ID 入力	USB_OTGID	AD17	-
P00_0_USB_VBUSEN_A	VBUS イネーブル	P00_0 ^{*1*3}	AE15	SW1-5: ON, SW7-9: OFF/ON, SW7-10: ON/OFF
P00_1_USB_OVRCUR_A	オーバカレント	P00_1 ^{*1}	AD15	SW1-5: ON
P00_2_USB_EXICEN_A	OTG 電源 IC 制御	P00_2 ^{*1}	AC15	SW1-5: ON
P09_0_HEADER_PMOD2_GPIO0	外部電源 IC ステータス 1 入力	P09_0 ^{*4}	AE1	E17: Short
P09_1_HEADER_PMOD2_GPIO1	外部電源 IC ステータス 2 入力	P09_1 ^{*4}	AG2	E18: Short

^{*1}: バススイッチ IC を経由して接続されています。

^{*2}: SW7 を経由して接続されています。ファンクション使用時は SW7-7: OFF, SW7-8: ON、OTG 使用時は SW7-7: ON, SW7-8: OFF に設定して下さい。

^{*3}: SW7 を経由して接続されています。ホスト使用時は SW7-9: OFF, SW7-10: ON、OTG 使用時は SW7-9: ON, SW7-10: OFF に設定して下さい。

^{*4}: オプションリンクを經由して接続されています。OTG 使用時は E17, E18 をショートしてください。



※OTG使用時は、上記設定に加えてE17, E18をショートしてください。

図 7-21 USB 使用時のスイッチ設定

7.17 Ethernet システム

Ethernet ソフトウェアを実行する場合、ユニークな MAC アドレスを使用してください。他のルネサスハードウェアとの接続の際に互換性を保証するために、ルネサスから提供されるユニークな MAC アドレスシールが本ボード（部品面）に貼付されています。

EtherCAT スレーブコントローラソフトウェアを実行する場合、EtherCAT ID 番号が必要です。必要に応じて SW12 をご利用ください。

本ボードには 4 つの Ethernet PHY デバイスと Ethernet コネクタ（CN59, CN44, CN45, CN1）が搭載されており、RZ/T2H の Ethernet システムの評価が可能です。Ethernet システムの回路構成を図 7-22 に、信号接続を表 7-25～表 7-28 に、PHY のハードウェアストラッピングによる初期設定を表 7-29 に示します。

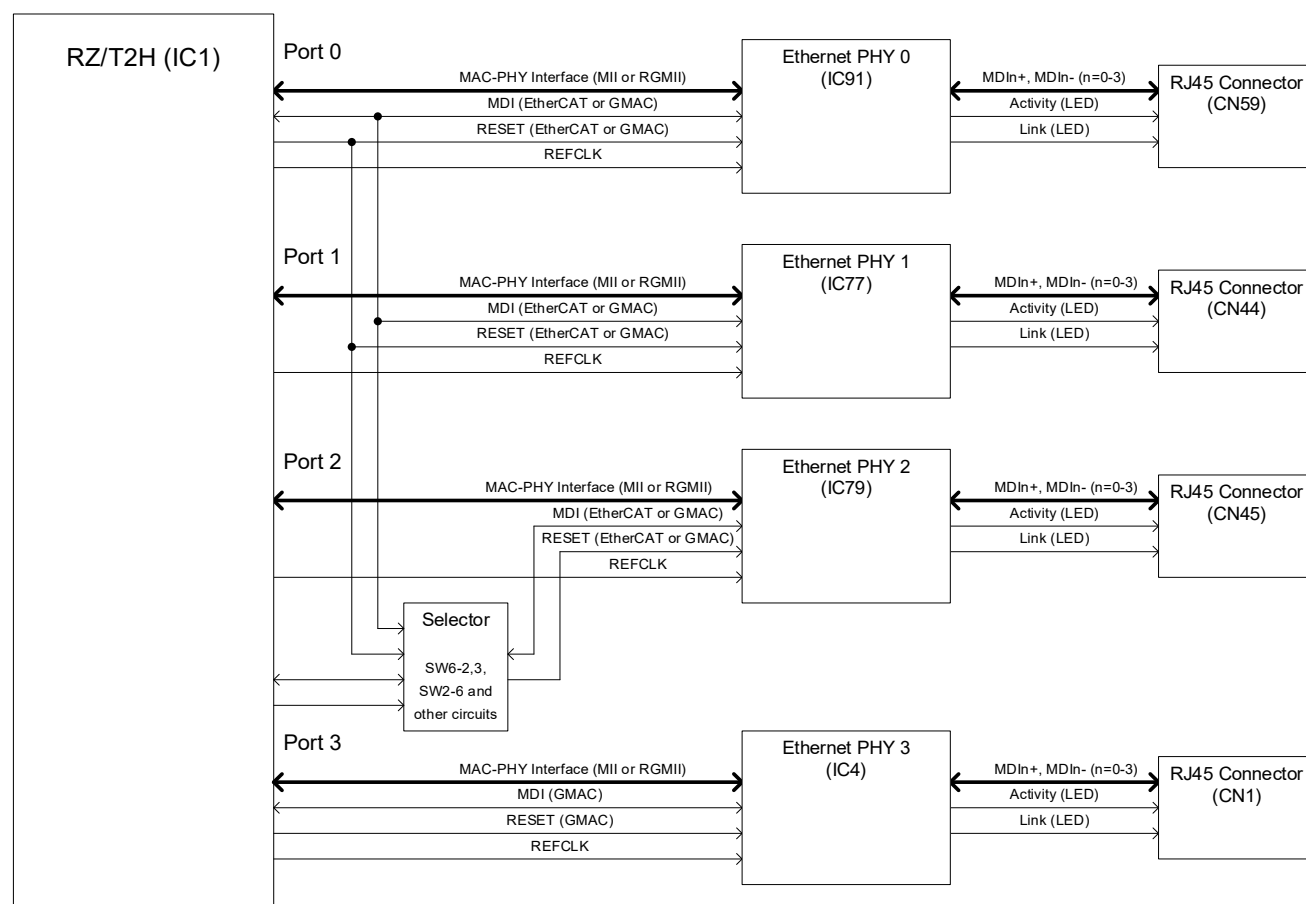


図 7-22 Ethernet システム回路構成

表 7-25 Ethernet Port0 (ETH0) 信号接続

信号名	機能／用途	MPU		コンフィグレーション用回路設定
		ポート	ピン	
P20_0_V1833_0_ETH0_TXCLK	送信クロック	P20_0	A18	-
P20_1_V1833_0_ETH0_TXD0_MDV	送信データ 0	P20_1	A17	-
P20_2_V1833_0_ETH0_TXD1	送信データ 1	P20_2	E17	-
P20_3_V1833_0_ETH0_TXD2	送信データ 2	P20_3	C17	-
P20_4_V1833_0_ETH0_TXD3	送信データ 3	P20_4	F17	-
P20_5_V1833_0_ETH0_TXEN	送信データイネーブル/エラー	P20_5	B17	-
P22_1_ETH0_TXER	送信データエラー	P22_1	D21	-
P20_6_V1833_0_ETH0_RXCLK	受信クロック	P20_6	C18	-
P20_7_V1833_0_ETH0_RXD0	受信データ 0	P20_7	D18	-
P21_0_V1833_0_ETH0_RXD1	受信データ 1	P21_0	E18	-
P21_1_V1833_0_ETH0_RXD2	受信データ 2	P21_1	G17	-
P21_2_V1833_0_ETH0_RXD3	受信データ 3	P21_2	B19	-
P21_3_V1833_0_ETH0_RXDV	受信データ有効/エラー/キャリアセンス	P21_3	A19	-
P22_2_ETH0_RXER	受信データエラー	P22_2	E22	-
P22_3_ETH0_CRS	キャリアセンス	P22_3	F20	-
P22_4_ETH0_COL	衝突検出	P22_4	E20	-
P21_4_V1833_0_ESC_GMAC_ETHSW_MDC	MDI クロック	P21_4	C19	-
P21_5_V1833_0_ESC_GMAC_ETHSW_MDIO	MDI データ	P21_5	G16	-
P22_0_V1833_0_IRQ11G	MDI 割込み入力	P22_0	E19	-
P21_6_V1833_0_ETH0_LINK	リンクステータス	P21_6	D19	-
P21_7_V1833_0_ETH0_REFCLK	クロック出力 (25MHz)	P21_7	D17	-
P11_0_ESC_RESETOUT01#	リセット出力	P11_0 ^{*1}	C5	SW6-2: OFF, SW6-3: ON, SW6-4: OFF, SW6-5: ON

*1 : SW6 を経由して接続されています。

表 7-26 Ethernet Port1 (ETH1) 信号接続

信号名	機能／用途	MPU		コンフィギュレーション用回路設定
		ポート	ピン	
P24_5_V1833_1_ETH1_TXCLK	送信クロック	P24_5	C24	-
P24_6_V1833_1_ETH1_TXD0_MD0	送信データ 0	P24_6	A23	-
P24_7_V1833_1_ETH1_TXD1_MD1	送信データ 1	P24_7	C23	-
P25_0_V1833_1_ETH1_TXD2_MD2	送信データ 2	P25_0	B25	-
P25_1_V1833_1_ETH1_TXD3_MDW0	送信データ 3	P25_1	A26	-
P25_2_V1833_1_ETH1_TXEN_MDW1	送信データイネーブル/エラー	P25_2	A24	-
P26_6_ETH1_TXER	送信データエラー	P26_6	D26	-
P25_3_V1833_1_ETH1_RXCLK	受信クロック	P25_3	B26	-
P25_4_V1833_1_ETH1_RXD0	受信データ 0	P25_4	E23	-
P25_5_V1833_1_ETH1_RXD1	受信データ 1	P25_5	F23	-
P25_6_V1833_1_ETH1_RXD2	受信データ 2	P25_6	D23	-
P25_7_V1833_1_ETH1_RXD3	受信データ 3	P25_7	E24	-
P26_0_V1833_1_ETH1_RXDV	受信データ有効/エラー/キャリアセンス	P26_0	D25	-
P26_7_ETH1_RXER	受信データエラー	P26_7	H22	-
P27_0_ETH1_CRS	キャリアセンス	P27_0* ¹	G23	SW4-1: ON, SW4-2: OFF
P27_1_ETH1_COL	衝突検出	P27_1* ¹	G24	SW4-3: ON, SW4-4: OFF
P21_4_V1833_0_ESC_GMAC_ETHSW_MDC	MDI クロック	P21_4	C19	-
P21_5_V1833_0_ESC_GMAC_ETHSW_MDIO	MDI データ	P21_5	G16	-
P26_5_V1833_1_ETH1_INT#	MDI 割込み入力	P26_5	C26	-
P26_3_V1833_1_ETH1_LINK	リンクステータス	P26_3	A25	-
P26_4_ETH1_REFCLK	クロック出力 (25MHz)	P26_4	C25	-
P11_0_ESC_RESETOUT01#	リセット出力	P11_0* ¹	C5	SW6-2: OFF, SW6-3: ON, SW6-4: OFF, SW6-5: ON

*¹ : SW4、SW6 を経由して接続されています。

表 7-27 Ethernet Port2 (ETH2) 信号接続

信号名	機能/用途	MPU		コンフィグレーション用回路設定
		ポート	ピン	
P29_1_V1833_2_ETH2_TXCLK	送信クロック	P29_1*1	J25	SW2-7: ON
P29_2_V1833_2_ETH2_TXD0	送信データ 0	P29_2*1	K23	SW2-7: ON
P29_3_V1833_2_ETH2_TXD1	送信データ 1	P29_3*1	H27	SW2-7: ON
P29_4_V1833_2_ETH2_TXD2	送信データ 2	P29_4*1	L22	SW2-7: ON
P29_5_V1833_2_ETH2_TXD3	送信データ 3	P29_5*1	L23	SW2-7: ON
P29_6_V1833_2_ETH2_TXEN	送信データイネーブル/エラー	P29_6*1	J23	SW2-7: ON
P31_2_ETH2_TXER	送信データエラー	P31_2*1	N27	SW2-7: ON
P29_7_V1833_2_ETH2_RXCLK	受信クロック	P29_7*1	L25	SW2-7: ON
P30_0_V1833_2_ETH2_RXD0	受信データ 0	P30_0*1	K27	SW2-7: ON
P30_1_V1833_2_ETH2_RXD1	受信データ 1	P30_1*1	K25	SW2-7: ON
P30_2_V1833_2_ETH2_RXD2	受信データ 2	P30_2*1	L26	SW2-7: ON
P30_3_V1833_2_ETH2_RXD3	受信データ 3	P30_3*1	J27	SW2-7: ON
P30_4_V1833_2_ETH2_RXDV	受信データ有効/エラー/キャリアセンス	P30_4*1	K24	SW2-7: ON
P31_3_ETH2_RXER	受信データエラー	P31_3*1	N26	SW2-7: ON
P31_4_ETH2_CRS	キャリアセンス	P31_4*1	N25	SW2-7: ON
P31_5_ETH2_COL	衝突検出	P31_5*1	P26	SW2-7: ON
P21_4_P30_5_VCC_ETH2_MDC	MDI クロック	P21_4*2	C19	SW2-6: ON
		P30_5*2	J22	SW2-6: OFF
P21_5_P30_6_VCC_ETH2_MDIO	MDI データ	P21_5*2	G16	SW2-6: ON
		P30_6*2	K21	SW2-6: OFF
P31_1_V1833_2_IRQ13	MDI 割込み入力	P31_1	J26	-
P30_7_V1833_2_ETH2_LINK	リンクステータス	P30_7	J24	-
P31_0_V1833_2_ETH2_REFCLK	クロック出力 (25MHz)	P31_0	L24	-
P11_0_ESC_RESETOUT2#_P17_5_GMAC_RESETOUT2#	リセット出力	P11_0*3	C5	SW6-2: OFF, SW6-3: ON, SW6-4: OFF, SW6-5: ON
		P17_5*3	A14	SW6-1: OFF, SW6-2: ON, SW6-3: OFF

*1: バススイッチ IC を経由して接続されています。

*2: セレクタ IC を経由して接続されています。

*3: SW6 を経由して接続されています。

表 7-28 Ethernet Port3 (ETH3) 信号接続

信号名	機能/用途	MPU		コンフィグレーション用回路設定
		ポート	ピン	
P33_2_V1833_3_ETH3_TXCLK	送信クロック	P33_2*1	R24	SW2-8: ON
P33_3_V1833_3_ETH3_TXD0	送信データ 0	P33_3*1	U25	SW2-8: ON
P33_4_V1833_3_ETH3_TXD1	送信データ 1	P33_4*1	U24	SW2-8: ON
P33_5_V1833_3_ETH3_TXD2	送信データ 2	P33_5*1	T25	SW2-8: ON
P33_6_V1833_3_ETH3_TXD3	送信データ 3	P33_6*1	R25	SW2-8: ON
P33_7_V1833_3_ETH3_TXEN	送信データイネーブル/エラー	P33_7*1	R26	SW2-8: ON
P34_7_ETH3_TXER	送信データエラー	P34_7*1	W23	SW2-8: ON
P34_0_V1833_3_ETH3_RXCLK	受信クロック	P34_0*1	V23	SW2-8: ON
P34_1_V1833_3_ETH3_RXD0	受信データ 0	P34_1*1	R22	SW2-8: ON
P34_2_V1833_3_ETH3_RXD1	受信データ 1	P34_2*1	T23	SW2-8: ON
P34_3_V1833_3_ETH3_RXD2	受信データ 2	P34_3*1	U23	SW2-8: ON
P34_4_V1833_3_ETH3_RXD3	受信データ 3	P34_4*1	P27	SW2-8: ON
P34_5_V1833_3_ETH3_RXDV	受信データ有効/エラー/キャリアセンス	P34_5*1	R27	SW2-8: ON
P35_0_ETH3_RXER	受信データエラー	P35_0*1	V25	SW2-8: ON
P35_1_ETH3_CRS	キャリアセンス	P35_1*1	T26	SW2-8: ON
P35_2_ETH3_COL	衝突検出	P35_2*1	W25	SW2-8: ON
P26_1_V1833_1_GMACMDC_A	MDI クロック	P26_1	B23	-
P26_2_V1833_1_GMACMDIO_A	MDI データ	P26_2	B24	-
P27_2_HEADER_IRQ3	MDI 割込み入力	P27_2	G26	-
P34_6_V1833_3_ETH3_REFCLK	クロック出力 (25MHz)	P34_6	R23	-
P32_3_MikroBUS_GMAC_RESETOUT3#	リセット出力	P32_3	N23	-

*1: バススイッチ IC を経由して接続されています。

表 7-29 PHY のハードウェアストラッピングによる初期設定

PHY 初期設定項目	PHY 初期設定内容
CLKOUT	Disable
Managed or Unmanaged	Unmanaged Mode
CLK Delay	2.0ns
link advertisement	Default mode of operation, 10/100/1000 FDX/HDX, autoneg ON
MAC interface	RGMII mode
Select GMII/MII or RGMII/RMII	PHY0 (IC91), PHY1 (IC77): GMII/MII mode (R191, R155 Fit 時) PHY2 (IC79), PHY3 (IC4): RGMII mode (R23, R486 DNF 時)
PHY Address	PHY0 (IC91): 0 PHY1 (IC77): 1 PHY2 (IC79): 2 PHY3 (IC4): 3
Enable Forced 1000BT mode	Not set

出荷時、Ethernet Port0 と Port1 は 3.3V / MII モード (CN37, CN38 : 2-3 ショート、R191, R155 実装)、Ethernet Port2 と Port3 は 1.8V / RGMII モード (CN39, CN40 : 1-2 ショート、R23, R486 未実装) です。MII/RGMII を変更する場合は、表 6-13 と表 6-19 を参照して設定を変更してください。

7.18 PCIe

本ボードには PCIe 用のクロックドライバ、電源 IC とコネクタ（CN8, CN32）が搭載されており、RZ/T2H の PCIe 機能評価が可能です。PCIe の回路構成を図 7-23 に示します。

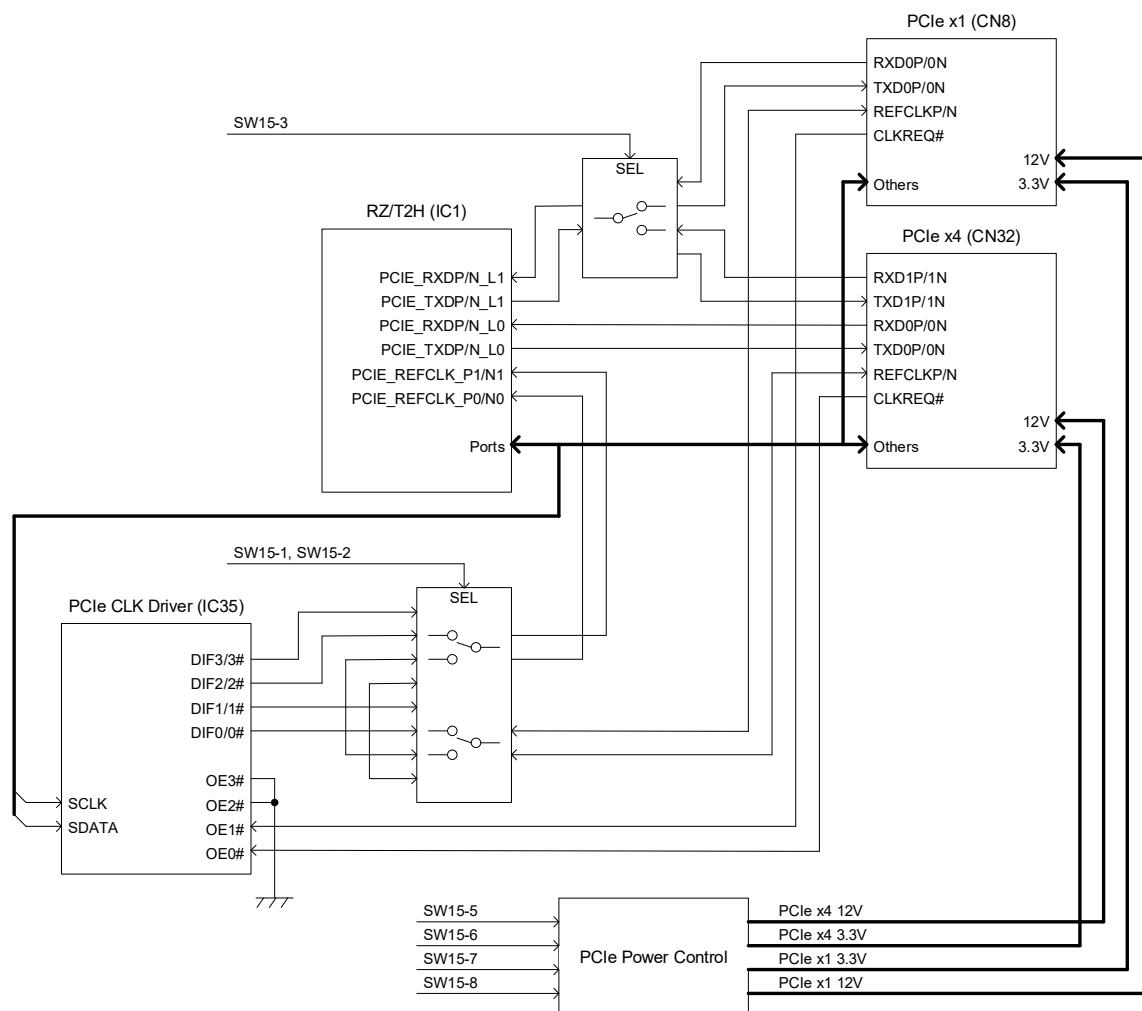


図 7-23 PCIe 回路構成

SW15-1～SW15-3 の設定によりルートコンプレックス/エンドポイント、2 レーン 1 ポート/1 レーン 2 ポートの構成を選択できます。また SW15-5～SW15-8 の設定により各コネクタへの電源供給を制御できます。ただし、エンドポイント設定時もコネクタへのデータ信号接続はルートコンプレックス時と同一のため評価にはクロスケーブルをご使用ください。PCIe の構成と関連スイッチ設定を表 7-30 および図 7-24 に示します。

表 7-30 PCIe の構成と関連スイッチ設定 (信号機能選択スイッチを除く)

構成 No.	構成内容	スイッチ設定
1	ルートコンプレックス 2 レーン 1 ポート(CN32)	SW15-1, 2: ON, SW15-3: OFF, SW15-5, 6: ON, SW15-7, 8: OFF
2	ルートコンプレックス 1 レーン 2 ポート	SW15-1, 2: ON, SW15-3: ON, SW15-5～8: ON
3	エンドポイント 2 レーン 1 ポート(CN32)	SW15-1, 2: OFF, SW15-3: OFF, SW15-5～8: OFF
4	エンドポイント 1 レーン 2 ポート	SW15-1, 2: OFF, SW15-3: ON, SW15-5～8: OFF
5	ルートコンプレックス 1 レーン 1 ポート(CN32)、 エンドポイント 1 レーン 1 ポート(CN8)	SW15-1: ON, SW15-2: OFF, SW15-3: ON, SW15-5, 6: ON, SW15-7, 8: OFF
6	ルートコンプレックス 1 レーン 1 ポート(CN8)、 エンドポイント 1 レーン 1 ポート(CN32)	SW15-1: OFF, SW15-2: ON, SW15-3: ON, SW15-5, 6: OFF, SW15-7, 8: ON

PCIe x4 コネクタ(CN32)および PCIe x1 コネクタ(CN8)への信号接続を表 7-31、表 7-32 に示します。

表 7-31 PCIe x4 コネクタ(CN32)への信号接続

ピン*1	機能名	接続先	MPU		コンフィグレーション用回路設定
			ポート	ピン	
A1	PRSNT1#	ルート時*2: “L”固定 エンド時*3: PRSNT2#, PRSNT3#に接続	-	-	-
A5	TCK	Pull-Down	-	-	-
A6	TDI	Pull-Up	-	-	-
A7	TDO	NC	-	-	-
A8	TMS	Pull-Up	-	-	-
A11	PERST#	ルート時: RZ/T2H の P33_3 (PCIE_RSTOUT0B)に接続 エンド時: CN73 経由でリセット IC に入力	P33_3*4	U25	SW2-8: OFF, SW15-1: ON
A13	REFCLK+	ルート時: クロックドライバ出力 エンド時: RZ/T2H の PCIE_REFCLK_P0 に入力	-	-	-
A14	REFCLK-	ルート時: クロックドライバ出力 エンド時: RZ/T2H の PCIE_REFCLK_N0 に入力	-	-	-
A16	HSIP0	RZ/T2H の PCIE_RXDP_L0 に接続	-	AG20	-
A17	HSIN0	RZ/T2H の PCIE_RXDN_L0 に接続	-	AF20	-
A21	HSIP1	1ポート時: RZ/T2H の PCIE_RXDP_L1 に接続 2ポート時: NC	-	AG19	-
A22	HSIN1	1ポート時: RZ/T2H の PCIE_RXDN_L1 に接続 2ポート時: NC	-	AF19	-
A21	HSIP1	NC	-	-	-
A22	HSIN1	NC	-	-	-
A25	HSIP2	NC	-	-	-
A26	HSIN2	NC	-	-	-
A29	HSIP3	NC	-	-	-
A30	HSIN3	NC	-	-	-
B5	SMCLK	Pull-Up	-	-	-
B6	SMDAT	Pull-Up	-	-	-
B9	TRST#	Pull-Down	-	-	-
B10	3V3AUX	PCIe x4 用 3.3V 電源 (ルート時のみ供給)に接続	-	-	-
B11	WAKE#	RZ/T2H の P22_5 に接続	P22_5*5	E21	SW2-1: ON, SW2-2: OFF
B12	CLKREQ#	ルート時: クロックドライバ入力 エンド時: RZ/T2H の P17_3 (PCIEx4_CLKREQ) に接続	- P17_3	- C13	- SW15-1: OFF
B14	HSOP0	RZ/T2H の PCIE_TXDP_L0 に接続	-	AG23	-
B15	HSOP0	RZ/T2H の PCIE_TXDN_L0 に接続	-	AF23	-
B17	PRSNT2#	ルート時: RZ/T2H の P17_3 に接続 (B31 と同じ) エンド時: PRSNT1#に接続	P17_3	C13	SW15-1: ON
B19	HSOP1	1ポート時: RZ/T2H の PCIE_TXDP_L1 に接続 2ポート時: NC	-	AG22	-
B20	HSOP1	1ポート時: RZ/T2H の PCIE_TXDN_L1 に接続 2ポート時: NC	-	AF22	-
B23	HSOP2	NC	-	-	-
B24	HSOP2	NC	-	-	-
B27	HSOP3	NC	-	-	-
B28	HSOP3	NC	-	-	-
B31	PRSNT3#	ルート時: RZ/T2H の P17_3 に接続 (B17 と同じ) エンド時: PRSNT1#に接続	P17_3	C13	SW15-1: ON

*1: 電源 (12V, 3.3V, GROUND) RESERVED の端子は省略しています。

*2: ルートコンプレックス時を示します。

*3: エンドポイント時を示します。

*4: バススイッチ IC を経由して接続されています。

*5: イネーブル付きレベルシフタ IC を経由して接続されています。

表 7-32 PCIe x1 コネクタ(CN8)への信号接続 (1 レーン 2 ポート時のみ使用可)

ピン*1	機能名	接続先	MPU		コンフィグレーション用回路設定
			ポート	ピン	
A1	PRSNT1#	ルート時*2: “L”固定 エンド時*3: PRSNT2#に接続	- -	- -	- -
A5	TCK	Pull-Down	-	-	-
A6	TDI	Pull-Up	-	-	-
A7	TDO	NC	-	-	-
A8	TMS	Pull-Up	-	-	-
A11	PERST#	ルート時: RZ/T2H の P33_4 (PCIE_RSTOUT1B)接続 エンド時: CN73 経由でリセット IC に入力	P33_4*4 -	U24 -	SW2-8: OFF, SW15-2: ON -
A13	REFCLK+	ルート時: クロックドライバ出力 エンド時: RZ/T2H の PCIE_REFCLK_P1 に入力	- -	- AD9	- -
A14	REFCLK-	ルート時: クロックドライバ出力 エンド時: RZ/T2H の PCIE_REFCLK_N1 に入力	- -	- AC9	- -
A16	HSIP0	RZ/T2H の PCIE_RXDP_L1 に接続	-	AG19	-
A17	HSIN0	RZ/T2H の PCIE_RXDN_L1 に接続	-	AF19	-
B5	SMCLK	Pull-Up	-	-	-
B6	SMDAT	Pull-Up	-	-	-
B9	TRST#	Pull-Down	-	-	-
B10	3V3AUX	PCIe x1 用 3.3V 電源 (ルート時のみ供給)に接続	-	-	-
B11	WAKE#	RZ/T2H の P16_3 に接続	P16_3*5	B12	SW8-5: OFF, SW8-6: ON
B12	CLKREQ#	ルート時: クロックドライバ入力 エンド時: RZ/T2H の P05_2 に接続	- P05_2	- AA9	- SW15-2: OFF, E20: Short
B14	HSOP0	RZ/T2H の PCIE_TXDP_L1 に接続	-	AG22	-
B15	HSOIN0	RZ/T2H の PCIE_TXDN_L1 に接続	-	AF22	-
B17	PRSNT2#	ルート時: RZ/T2H の P05_2 に接続 エンド時: PRSNT1#に接続	P05_2 -	AA9 -	SW15-2: ON, E20: Short -

*1: 電源 (12V, 3.3V, GROUND) RESERVED の端子は省略しています。

*2: ルートコンプレックス時を示します。

*3: エンドポイント時を示します。

*4: バススイッチ IC を経由して接続されています。

*5: SW8 を経由して接続されています。

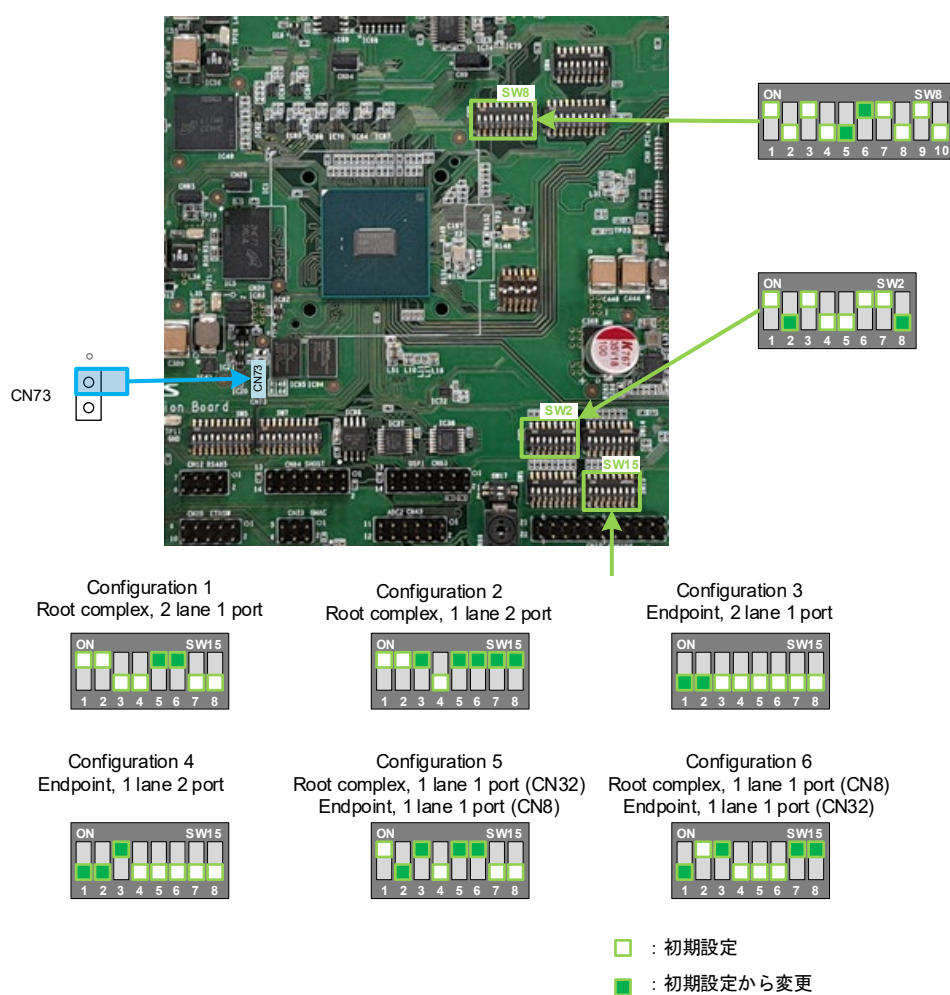


図 7-24 PCIe 使用時のスイッチ設定

エンドポイント設定時、CN73 をショートすることで PCIe のリセット信号をシステムリセット要因に含めることができます。出荷時の CN73 はオープンです。

7.19 LCD インタフェース

本ボードはLCD インタフェースコネクタ(CN15)を搭載しています。LCD インタフェースの回路構成を図 7-25 に、信号接続を表 7-33 に、LCD インタフェース使用時のスイッチ設定を図 7-26 に示します。

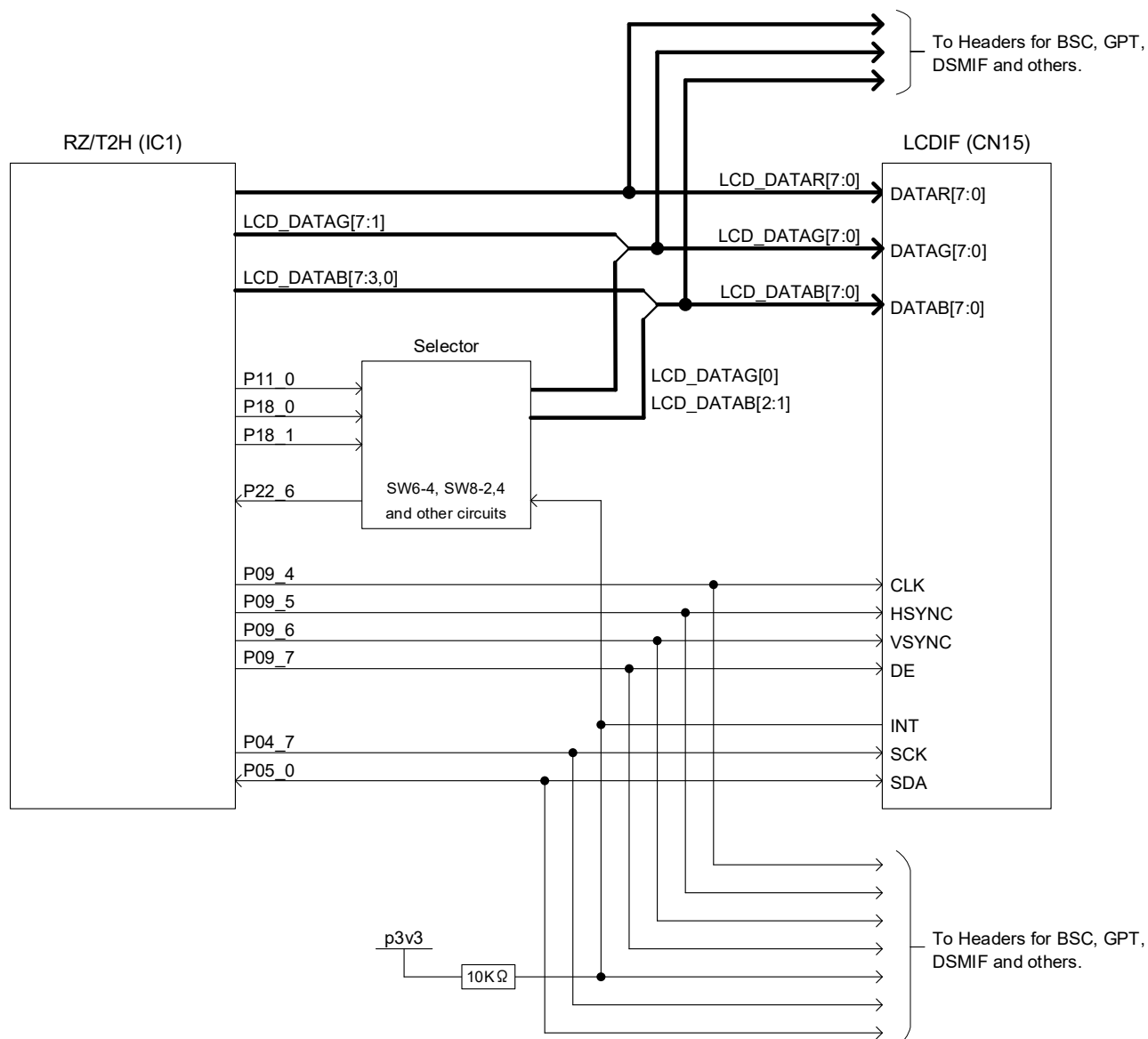


図 7-25 LCD インタフェース回路構成

表 7-33 LCD フェースコネクタ(CN15)の信号接続

ピン	信号名	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
1	P05_0 HEADER I2C_SDA1_C	P05_0	AA10	-
2	P04_7 HEADER I2C_SCL1_C	P04_7	AC11	-
3	p5v0	-	-	-
4	P22_6 HEADER_IRQ8_E	P22_6 ^{*1}	C22	SW2-1 : ON, SW2-2: OFF
5	GROUND	-	-	-
6	p1v8	-	-	-
7	p1v8	-	-	-
8	p1v8	-	-	-
9	p1v8	-	-	-
10	GROUND	-	-	-
11	p3v3	-	-	-
12	P09_7 HEADER_BSC_WE0#_LDCD_DE	P09_7	D5	-
13	P09_6 HEADER_BSC_D15_LCDC_VSYNC	P09_6	D3	-
14	P09_5 HEADER_BSC_D14_LCDC_HSYNC	P09_5	C2	-
15	GROUND	-	-	-
16	P09_4 HEADER_BSC_D13_LCDC_CLK	P09_4	D2	-
17	GROUND	-	-	-
18	P18_6 HEADER_BSC_A14_LCDC_DATB7	P18_6	B16	-
19	P18_5 HEADER_BSC_A13_LCDC_DATB6	P18_5	G15	-
20	P18_4 HEADER_BSC_A12_LCDC_DATB5	P18_4	F15	-
21	P18_3 BSC_A11_LCDC_DATB4	P18_3	D13	-
22	P18_2 BSC_A10_LCDC_DATB3	P18_2	B15	-
23	P18_1 BSC_A9_LCDC_DATB2	P18_1 ^{*2}	E13	SW8-1 : OFF, SW8-2: ON
24	P18_0 BSC_A8_LCDC_DATB1	P18_0 ^{*2}	D15	SW8-3: OFF, SW8-4: ON
25	P17_7 HEADER_BSC_WE3#_AH_LCDC_DATB0	P17_7	E15	-
26	P17_6 HEADER_LCDC_DATG7	P17_6	F13	-
27	P14_6 HEADER_LCDC_DATG6_RS485_DE4	P14_6	B9	-
28	P14_5 HEADER_LCDC_DATG5_BSC_TEND	P14_5	C11	-
29	P14_4 HEADER_LCDC_DATG4_BSC_DACK	P14_4	A9	-
30	P14_3 HEADER_LCDC_DATG3_RS485_TXD4_BS C_DREQ	P14_3	D9	-
31	P14_2 HEADER_BSC_BS#_LCDC_DATG2_RS48 5_RXD4	P14_2	C10	-
32	P14_1 HEADER_BSC_RD#_LCDC_DATG1	P14_1	C9	-
33	P11_0_BSC_A5_LCDC_DATG0_PMOD2_RXD1	P11_0 ^{*3}	C5	SW6-3 : OFF, SW6-4: ON, SW6-5: OFF
34	P10_7 HEADER_BSC_A4_LCDC_DATR7_IRQ9_B	P10_7	C4	-
35	P10_6 HEADER_BSC_A3_LCDC_DATR6	P10_6	A6	-
36	P10_5 HEADER_BSC_A2_LCDC_DATR5	P10_5	B3	-
37	P10_4 HEADER_BSC_A1_LCDC_DATR4	P10_4	B5	-
38	P10_3 HEADER_BSC_RD#_LCDC_DATR3	P10_3	B1	-
39	P10_2 HEADER_BSC_CS0#_LCDC_DATR2	P10_2	B2	-
40	P10_1 HEADER_BSC_WAIT#_LCDC_DATR1	P10_1	A5	-
41	P10_0 HEADER_BSC_WE1#_LCDC_DATR0	P10_0	D4	-
42	p3v3	-	-	-
43	p3v3	-	-	-
44	GROUND	-	-	-
45	GROUND	-	-	-

*1: イネーブル付きレベルシフタ IC を経由して接続されています。

*2: SW8 を経由して接続されています。

*3: SW6 を経由して接続されています。

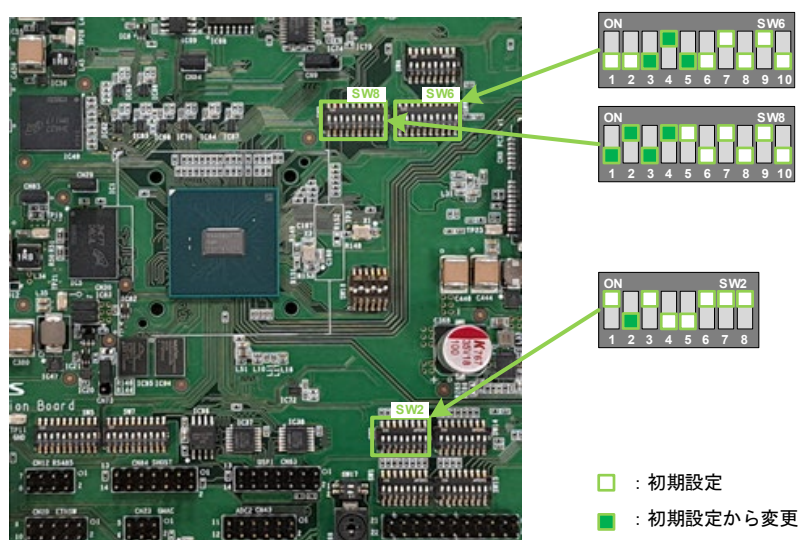


図 7-26 LCD インタフェース使用時のスイッチ設定

7.20 シリアルホストインタフェース

本ボードには、シリアルホストインタフェース用のコネクタ（CN64）を搭載しており、外部のホストに接続することでRZ/T2Hのシリアルホストインタフェースの評価が可能です。シリアルホストインタフェースコネクタ（CN64）の信号接続を表 7-34 に、シリアルホストインタフェース使用時のスイッチ設定を図 7-27 に示します。

表 7-34 シリアルホストインタフェースコネクタ(CN64)の信号接続

ピン	信号名	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
1	GROUND	-	-	-
2	P27_0_HEADER_BSC_CS5# (HSPI_INT#)	P27_0 ^{*1}	G23	SW4-1 : OFF, SW4-2: ON
3	P27_6_HEADER (HSPI_CKP)	P27_6	G27	-
4	P27_1_HEADER (HSPI_CS#)	P27_1 ^{*1}	G24	SW4-3: OFF, SW4-4: ON
5	P31_5_HEADER_PMOD1_MOSI (HSPI_IO7)	P31_5 ^{*2}	P26	SW2-7 : OFF
6	P31_4_HEADER_PMOD1_SCK (HSPI_IO6)	P31_4 ^{*2}	N25	SW2-7: OFF
7	P31_3_HEADER (HSPI_IO5)	P31_3 ^{*2}	N26	SW2-7: OFF
8	P31_2_HEADER (HSPI_IO4)	P31_2 ^{*2}	N27	SW2-7: OFF
9	P27_5_HEADER (HSPI_IO3)	P27_5 ^{*1}	F25	SW4-7: OFF, SW4-8: ON
10	P27_4_HEADER (HSPI_IO2)	P27_4 ^{*1}	H26	SW4-5: OFF, SW4-6: ON
11	P27_3_HEADER (HSPI_IO1)	P27_3	F27	-
12	P27_2_HEADER_IRQ3 (HSPI_IO0)	P27_2	G26	SW2-8: OFF
13	P02_4_V1833_5_MBX_HINT# (MBX_HINT#)	P02_4	AE12	-
14	p3v3	-	-	-

*1: SW4 を経由して接続されています。

*2: バススイッチ IC を経由して接続されています。

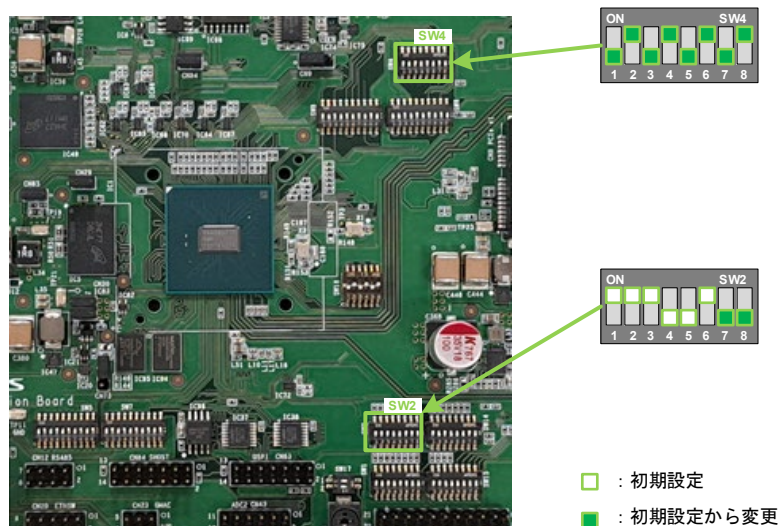


図 7-27 シリアルホストインタフェース使用時のスイッチ設定

7.21 ピンヘッダ

本ボードは、表 7-35 に示す 2.54 mmピッチのピンヘッダを搭載しています。それぞれのピンヘッダの信号接続を表 7-36～表 7-52 に、使用時のスイッチ設定を図 7-28～図 7-33 に示します。

表 7-35 ピンヘッダー一覧

機能	リファレンス	端子数	概要
ENCIF インタフェース	CN2	30 (15 x 2)	ENCIF0 (unit0 – unit5 用)
	CN3	30 (15 x 2)	ENCIF1 (unit6 – unit11 用)
	CN10	22 (11 x 2)	ENCIF2 (unit12 – unit15 用)
DSMIF インタフェース	CN21	30 (15 x 2)	DSMIF0 (unit0 – unit2 用)
	CN18	30 (15 x 2)	DSMIF1 (unit3 – unit5 用)
	CN22	30 (15 x 2)	DSMIF2 (unit6 – unit8 用)
	CN19	10 (5 x 2)	DSMIF3 (unit9 用)
GPT インタフェース	CN24	36 (18 x 2)	GPT0 (unit0 – unit2 用)
	CN25	36 (18 x 2)	GPT1 (unit3 – unit5 用)
	CN26	36 (18 x 2)	GPT2 (unit6 – unit8 用)
ETHSW 信号モニタ	CN20	10 (5 x 2)	PTPOUT, TDMAOUT 信号モニタ用
GMAC 信号モニタ	CN23	6 (3 x 2)	PTPTRG 信号モニタ用
バスインタフェース	CN13	40 (20 x 2)	アドレス線他
	CN17	40 (20 x 2)	データ線他
ADC	CN41	10 (5 x 2)	ADC0 用
	CN42	10 (5 x 2)	ADC1 用
	CN43	12 (6 x 2)	ADC2 用

表 7-36 ENCIFO (CN2)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	GROUND	GROUND	-	-	-
2	ENCIFCK01	P33_2_V1833_3_HEADER_BSC_A16	P33_2 ^{*1}	R24	SW2-8 : OFF
3	ENCIFCK00	P14_2_HEADER_BSC_BS#_LCDC_DATG2_RS485_RXD4	P14_2	C10	-
4	ENCIFOE01	P33_3_V1833_3_HEADER_BSC_A17_PCl_e_RST_OUT0B	P33_3 ^{*1}	U25	SW2-8: OFF
5	ENCIFOE00	P14_3_HEADER_LCDC_DATG3_RS485_TXD4_BSC_DREQ	P14_3	D9	-
6	ENCIFDO01	P33_4_V1833_3_HEADER_BSC_A18_PCl_e_RST_OUT1B	P33_4 ^{*1}	U24	SW2-8: OFF
7	ENCIFDO00	P14_4_HEADER_LCDC_DATG4_BSC_DACK	P14_4	A9	-
8	ENCIFDI01	P33_5_V1833_3_HEADER_BSC_A19	P33_5 ^{*1}	T25	SW2-8: OFF
9	ENCIFDI00	P14_5_HEADER_LCDC_DATG5_BSC_TEND	P14_5	C11	-
10	GROUND	GROUND	-	-	-
11	ENCIFCK02	P03_3_HEADER_BSC_D11	P03_3	AB11	-
12	ENCIFCK03	P04_5_HEADER	P04_5	AF9	-
13	ENCIFOE02	P03_4_HEADER_BSC_D12	P03_4	AB10	-
14	ENCIFOE03	P04_6_HEADER	P04_6	AD10	-
15	ENCIFDO02	P03_5_HEADER	P03_5	AC12	-
16	ENCIFDO03	P04_7_HEADER_I2C_SCL1_C	P04_7	AC11	-
17	ENCIFDI02	P03_6_HEADER	P03_6	AG9	-
18	ENCIFDI03	P05_0_HEADER_I2C_SDA1_C	P05_0	AA10	-
19	GROUND	GROUND	-	-	-
20	ENCIFCK05	P12_4_HEADER_BSC_D20_RS485_RXD2	P12_4 ^{*2}	B6	SW2-1: ON, SW2-2: OFF
21	ENCIFCK04	P00_6_HEADER	P00_6	AG14	-
22	ENCIFOE05	P12_5_HEADER_BSC_D21_RS485_TXD2	P12_5 ^{*2}	G7	SW2-1: ON, SW2-2: OFF
23	ENCIFOE04	P00_7_HEADER_IRQ5_A	P00_7	AE14	-
24	ENCIFDO05	P12_6_HEADER_BSC_D22	P12_6 ^{*2}	D6	SW2-1: ON, SW2-2: OFF
25	ENCIFDO04	P01_0_V1833_5_HEADER	P01_0 ^{*1}	AF13	SW1-6: OFF
26	ENCIFDI05	P12_7_HEADER_BSC_D23	P12_7 ^{*2}	E6	SW2-1: ON, SW2-2: OFF
27	ENCIFDI04	P01_1_V1833_5_HEADER	P01_1 ^{*1}	AG12	SW1-6 : OFF
28	GROUND	GROUND	-	-	-
29	p5v0	p5v0	-	-	-
30	p3v3	p3v3	-	-	-

*1: バススイッチ IC を経由して接続されています。

*2: イネーブル付きレベルシフタ IC を経由して接続されています。

表 7-37 ENCIF1 (CN3)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	GROUND	GROUND	-	-	-
2	ENCIFCK07	P34_2_V1833_3_HEADER_BSC_A24	P34_2* ¹	T23	SW2-8 : OFF
3	ENCIFCK06	P33_6_V1833_3_HEADER_BSC_A20	P33_6* ¹	R25	SW2-8: OFF
4	ENCIFOE07	P34_3_V1833_3_HEADER_BSC_A25	P34_3* ¹	U23	SW2-8: OFF
5	ENCIFOE06	P33_7_V1833_3_HEADER_BSC_A21	P33_7* ¹	R26	SW2-8: OFF
6	ENCIFDO07	P34_4_V1833_3_HEADER_BSC_CS2#	P34_4* ¹	P27	SW2-8: OFF
7	ENCIFDO06	P34_0_V1833_3_HEADER_BSC_A22	P34_0* ¹	V23	SW2-8: OFF
8	ENCIFDI07	P34_5_V1833_3_HEADER_BSC_CS3#	P34_5* ¹	R27	SW2-8: OFF
9	ENCIFDI06	P34_1_V1833_3_HEADER_BSC_A23	P34_1* ¹	R22	SW2-8: OFF
10	GROUND	GROUND	-	-	-
11	ENCIFCK08	P28_5_HEADER	P28_5	D27	-
12	ENCIFCK09	P29_1_V1833_2_HEADER	P29_1* ¹	J25	SW2-7: OFF
13	ENCIFOE08	P28_6_HEADER	P28_6	E27	-
14	ENCIFOE09	P29_2_V1833_2_HEADER	P29_2* ¹	K23	SW2-7: OFF
15	ENCIFDO08	P28_7_HEADER	P28_7	H23	-
16	ENCIFDO09	P29_3_V1833_2_HEADER	P29_3* ¹	H27	SW2-7: OFF
17	ENCIFDI08	P29_0_HEADER	P29_0	H25	-
18	ENCIFDI09	P29_4_V1833_2_HEADER	P29_4* ¹	L22	SW2-7: OFF
19	GROUND	GROUND	-	-	-
20	ENCIFCK11	P30_1_V1833_2_HEADER	P30_1* ¹	K25	SW2-7: OFF
21	ENCIFCK10	P29_5_V1833_2_HEADER	P29_5* ¹	L23	SW2-7: OFF
22	ENCIFOE11	P30_2_V1833_2_HEADER	P30_2* ¹	L26	SW2-7: OFF
23	ENCIFOE10	P29_6_V1833_2_HEADER	P29_6* ¹	J23	SW2-7: OFF
24	ENCIFDO11	P30_3_V1833_2_HEADER	P30_3* ¹	J27	SW2-7: OFF
25	ENCIFDO10	P29_7_V1833_2_HEADER	P29_7* ¹	L25	SW2-7: OFF
26	ENCIFDI11	P30_4_V1833_2_HEADER	P30_4* ¹	K24	SW2-7: OFF
27	ENCIFDI10	P30_0_V1833_2_HEADER	P30_0* ¹	K27	SW2-7: OFF
28	GROUND	GROUND	-	-	-
29	p5v0	p5v0	-	-	-
30	p3v3	p3v3	-	-	-

*1: バススイッチ IC を経由して接続されています。

表 7-38 ENCIF2 (CN10)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	GROUND	GROUND	-	-	-
2	ENCIFCK13	P13_4_HEADER_BSC_D28_RS485_RXD3	P13_4*1	B8	SW1-4: ON
3	ENCIFCK12	P13_0_HEADER_BSC_D24_RS485_DE2	P13_0*2	C7	SW2-1: ON, SW2-2: OFF
4	ENCIFOE13	P13_5_HEADER_BSC_D29_RS485_TXD3	P13_5	B7	-
5	ENCIFOE12	P13_1_HEADER_BSC_D25	P13_1*2	F7	SW2-1: ON, SW2-2: OFF
6	ENCIFDO13	P13_6_HEADER_BSC_D30	P13_6	A8	-
7	ENCIFDO12	P13_2_HEADER_BSC_D26	P13_2*2	F8	SW2-1: ON, SW2-2: OFF
8	ENCIFDI13	P13_7_HEADER_BSC_D31	P13_7	C8	-
9	ENCIFDI12	P13_3_V1833_6_HEADER_BSC_D27	P13_3	F6	-
10	GROUND	GROUND	-	-	-
11	ENCIFCK14	P18_4_HEADER_BSC_A12_LCDC_DATB5	P18_4	F15	-
12	ENCIFCK15	P31_6_HEADER_PMOD1_MISO	P31_6	P25	-
13	ENCIFOE14	P18_5_HEADER_BSC_A13_LCDC_DATB6	P18_5	G15	-
14	ENCIFOE15	P31_7_HEADER_PMOD1_SSL	P31_7	M26	-
15	ENCIFDO14	P18_6_HEADER_BSC_A14_LCDC_DATB7	P18_6	B16	-
16	ENCIFDO15	P32_0_HEADER	P32_0	M25	-
17	ENCIFDI14	P18_7_HEADER_BSC_A15	P18_7	C16	-
18	ENCIFDI15	P32_1_HEADER	P32_1	M23	-
19	NC	NC	-	-	-
20	GROUND	GROUND	-	-	-
21	p5v0	p5v0	-	-	-
22	p3v3	p3v3	-	-	-

*1: SW1-4 を ON に設定し RS485 の RXD を無効にする必要があります。

*2: イネーブル付きレベルシフタ IC を経由して接続されています。

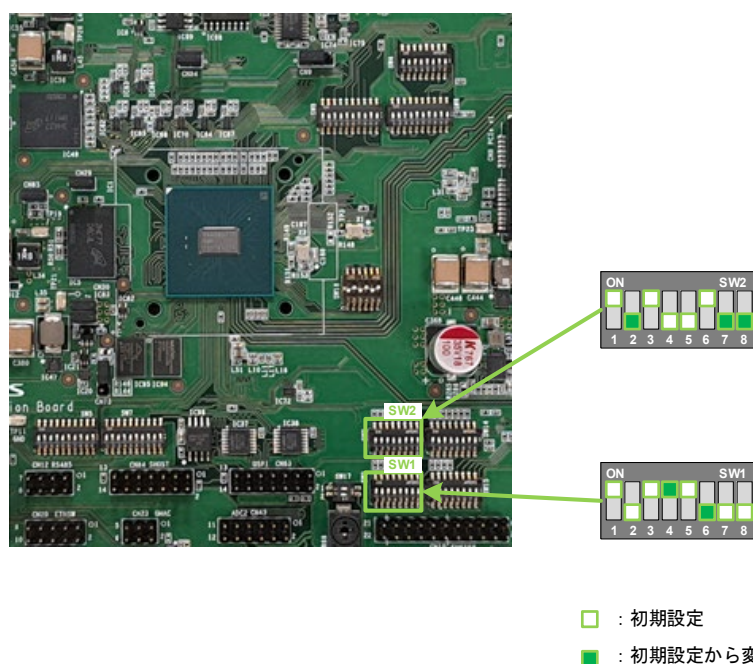


図 7-28 ENCIF0 (CN2)、ENCIF1 (CN3)、ENCIF2 (CN10)使用時のスイッチ設定

表 7-39 DSMIF0 (CN21)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	p5v0	p5v0	-	-	-
2	p3v3	p3v3	-	-	-
3	MCLK02	P07_5_V1833_4_HEADER	P07_5*1	AG6	SW5-5 : ON, SW5-6: OFF
4	MDAT02	P07_6_V1833_4_HEADER	P07_6	AC7	-
5	MCLK01	P07_3_V1833_4_HEADER	P07_3	AE8	-
6	MDAT01	P07_4_V1833_4_HEADER	P07_4	AC8	-
7	MCLK00	P07_1_V1833_4_HEADER	P07_1	AF4	-
8	MDAT00	P07_2_V1833_4_HEADER	P07_2	AG5	-
9	GROUND	GROUND	-	-	-
10	GROUND	GROUND	-	-	-
11	p5v0	p5v0	-	-	-
12	p3v3	p3v3	-	-	-
13	MCLK12	P09_0_HEADER_PMOD2_GPIO0	P09_0	AE1	-
14	MDAT12	P09_1_HEADER_PMOD2_GPIO1	P09_1	AG2	-
15	MCLK11	P08_6_HEADER_SW_SEI	P08_6*2	AD2	SW2-3 : OFF, E7: Short
16	MDAT11	P08_7_HEADER_SW2_IRQ0-D_PMOD2_RST	P08_7	AF2	-
17	MCLK10	P07_7_V1833_4_HEADER	P07_7	AB9	-
18	MDAT10	P08_0_V1833_4_HEADER	P08_0	AD7	-
19	GROUND	GROUND	-	-	-
20	GROUND	GROUND	-	-	-
21	p5v0	p5v0	-	-	-
22	p3v3	p3v3	-	-	-
23	MCLK22	P02_2_V1833_5_HEADER	P02_2*3	AA13	SW1-6 : OFF
24	MDAT22	P11_1_HEADER_PMOD2_TXD1	P11_1	C1	-
25	MCLK21	P10_6_HEADER_BSC_A3_LCDC_DATR6	P10_6	A6	-
26	MDAT21	P10_7_HEADER_BSC_A4_LCDC_DATR7_IRQ9_B	P10_7	C4	-
27	MCLK20	P09_2_HEADER	P09_2	AE2	-
28	MDAT20	P09_3_HEADER	P09_3	AF1	-
29	GROUND	GROUND	-	-	-
30	GROUND	GROUND	-	-	-

*1: SW5 を経由して接続されています。

*2: バススイッチ IC およびオプションリンク E7 を経由して接続されています。

*3: バススイッチ IC を経由して接続されています。

表 7-40 DSMIF1 (CN18)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	p5v0	p5v0	-	-	-
2	p3v3	p3v3	-	-	-
3	MCLK32	P14_7_HEADER	P14_7	A10	-
4	MDAT32	P15_0_HEADER	P15_0	G9	-
5	MCLK31	P11_4_HEADER	P11_4	A2	-
6	MDAT31	P11_5_HEADER	P11_5	B4	-
7	MCLK30	P11_2_HEADER_PMOD2_CTS1#_A	P11_2	C3	-
8	MDAT30	P11_3_HEADER_PMOD2_CTS1#_A	P11_3	D1	-
9	GROUND	GROUND	-	-	-
10	GROUND	GROUND	-	-	-
11	p5v0	p5v0	-	-	-
12	p3v3	p3v3	-	-	-
13	MCLK42	P15_5_HEADER	P15_5	E11	-
14	MDAT42	P15_6_HEADER_IRQ1_G	P15_6	D10	-
15	MCLK41	P15_3_HEADER	P15_3	G11	-
16	MDAT41	P15_4_HEADER	P15_4	F9	-
17	MCLK40	P15_1_HEADER	P15_1	E10	-
18	MDAT40	P15_2_HEADER	P15_2	F11	-
19	GROUND	GROUND	-	-	-
20	GROUND	GROUND	-	-	-
21	p5v0	p5v0	-	-	-
22	p3v3	p3v3	-	-	-
23	MCLK52	P19_6_HEADER	P19_6*2	E16	-
24	MDAT52	P19_7_HEADER	P19_7	F16	-
25	MCLK51	P16_1_HEADER	P16_1	B11	-
26	MDAT51	P16_2_HEADER	P16_2	A11	-
27	MCLK50	P15_7_HEADER	P15_7	E9	-
28	MDAT50	P16_0_HEADER	P16_0	D11	-
29	GROUND	GROUND	-	-	-
30	GROUND	GROUND	-	-	-

表 7-41 DSMIF2 (CN22)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	p5v0	p5v0	-	-	-
2	p3v3	p3v3	-	-	-
3	MCLK62	P24_1_HEADER	P24_1	D22	-
4	MDAT62	P24_2_HEADER	P24_2	F21	-
5	MCLK61	P23_7_HEADER	P23_7	G19	-
6	MDAT61	P24_0_HEADER	P24_0	F19	-
7	MCLK60	P23_5_HEADER	P23_5*1	C21	SW7-5: ON, SW7-6: OFF
8	MDAT60	P23_6_HEADER	P23_6	B21	-
9	GROUND	GROUND	-	-	-
10	GROUND	GROUND	-	-	-
11	p5v0	p5v0	-	-	-
12	p3v3	p3v3	-	-	-
13	MCLK72	P10_0_HEADER_BSC_WE1#_LCDC_DATR0	P10_0	D4	-
14	MDAT72	P10_1_HEADER_BSC_WAIT#_LCDC_DATR1	P10_1	A5	-
15	MCLK71	P09_6_HEADER_BSC_D15_LCDC_VSYNC	P09_6	D3	-
16	MDAT71	P09_7_HEADER_BSC_WE0#_LCDC_DE	P09_7	D5	-
17	MCLK70	P24_3_HEADER	P24_3*1	B20	SW7-3: ON, SW7-4: OFF
18	MDAT70	P24_4_HEADER	P24_4*1	G22	SW7-1: ON, SW7-2: OFF
19	GROUND	GROUND	-	-	-
20	GROUND	GROUND	-	-	-
21	p5v0	p5v0	-	-	-
22	p3v3	p3v3	-	-	-
23	MCLK82	P33_0_HEADER	P33_0	P24	-
24	MDAT82	P33_1_HEADER	P33_1	P23	-
25	MCLK81	P31_4_HEADER_PMOD1_SCK	P31_4*2	N25	SW2-7: OFF
26	MDAT81	P31_5_HEADER_PMOD1_MOSI	P31_5	P26	-
27	MCLK80	P31_2_HEADER	P31_2*2	N27	SW2-7: OFF
28	MDAT80	P31_3_HEADER	P31_3*2	N26	SW2-7: OFF
29	GROUND	GROUND	-	-	-
30	GROUND	GROUND	-	-	-

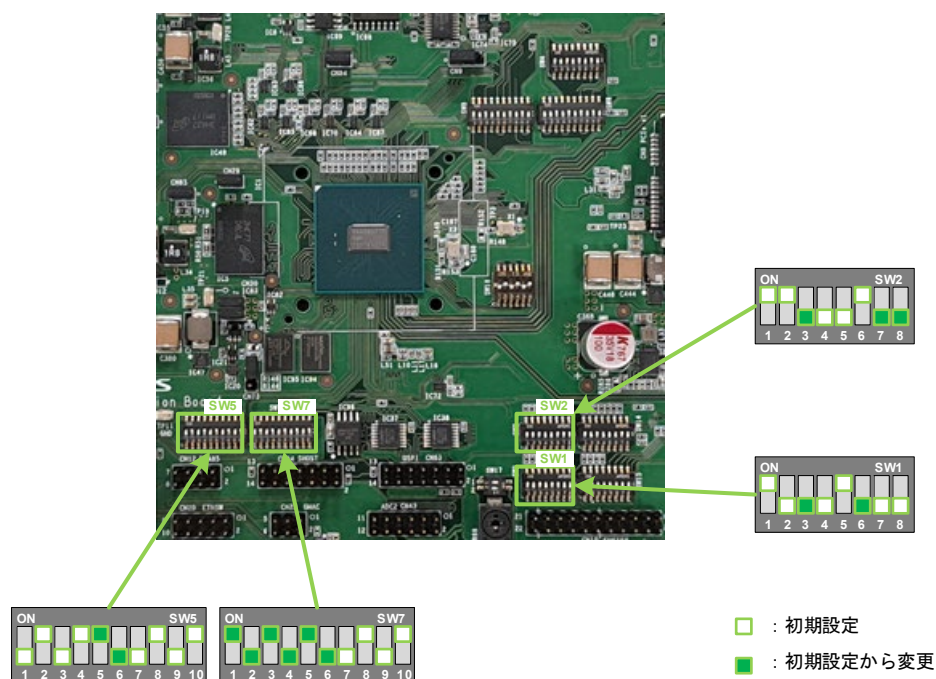
*1: SW7 を経由して接続されています。

*2: バススイッチ IC を経由して接続されています。

表 7-42 DSMIF3 (CN19)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	p5v0	p5v0	-	-	-
2	p3v3	p3v3	-	-	-
3	MCLK92	P35_5_HEADER	P35_5*1	V24	SW1-3: OFF,
4	MDAT92	P35_6_HEADER	P35_6*1	U22	SW1-3: OFF,
5	MCLK91	P35_3_HEADER	P35_3*1	V22	SW1-3: OFF,
6	MDAT91	P35_4_HEADER	P35_4*1	W24	SW1-3: OFF,
7	MCLK90	P35_1_HEADER	P35_1*1	T26	SW2-8: OFF,
8	MDAT90	P35_2_HEADER	P35_2*1	W25	SW2-8: OFF,
9	GROUND	GROUND	-	-	-
10	GROUND	GROUND	-	-	-

*1: バススイッチ IC を経由して接続されています。



※上記設定に加え E7: Short が必要です

図 7-29 DSMIF0 (CN21)、DSMIF1 (CN18)、DSMIF2 (CN22)、DSMIF3 (CN19) 使用時のスイッチ設定

表 7-43 GPT0 (CN24)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	GROUND	GROUND	-	-	-
2	GROUND	GROUND	-	-	-
3	GTIOC00_0A	P00_0_HEADER_BSC_D0	P00_0*1	AE15	SW1-5: OFF
4	GTIOC00_0B	P00_1_HEADER_BSC_D1	P00_1*1	AD15	SW1-5: OFF
5	GTIOC00_1A	P00_2_HEADER_BSC_D2	P00_2*1	AC15	SW1-5: OFF
6	GTIOC00_1B	P00_3_HEADER_BSC_D3_SW1_IRQ2_A_ADTR G1	P00_3	AG15	-
7	GTIOC00_2A	P00_4_HEADER_BSC_D4	P00_4	AF15	-
8	GTIOC00_2B	P00_5_HEADER	P00_5	AB15	-
9	GTIOC00_3A	P00_6_HEADER	P00_6	AG14	-
10	GTIOC00_3B	P00_7_HEADER_IRQ5_A	P00_7	AE14	-
11	GTIOC00_4A	P01_0_V1833_5_HEADER	P01_0*1	AF13	SW1-6: OFF
12	GTIOC00_4B	P01_1_V1833_5_HEADER	P01_1*1	AG12	SW1-6: OFF
13	GROUND	GROUND	-	-	-
14	GROUND	GROUND	-	-	-
15	GTIOC01_0A	P01_2_V1833_5_HEADER	P01_2*1	AD14	SW1-6: OFF
16	GTIOC01_0B	P01_3_V1833_5_HEADER	P01_3	AB14	-
17	GTIOC01_1A	P32_4_HEADER_MikroBUS_MOSI	P32_4	N22	-
18	GTIOC01_1B	P32_5_HEADER_MikroBUS_MISO	P32_5	M27	-
19	GTIOC01_2A	P32_6_HEADER_MikroBUS_CS	P32_6	L27	-
20	GTIOC01_2B	P32_7_HEADER	P32_7	N24	-
21	GTIOC01_3A	P02_0_V1833_5_HEADER	P02_0*1	AC14	SW1-6: OFF
22	GTIOC01_3B	P02_1_V1833_5_HEADER	P02_1*1	AB13	SW1-6: OFF
23	GTIOC01_4A	P02_2_V1833_5_HEADER	P02_2*1	AA13	SW1-6: OFF
24	GTIOC01_4B	P02_3_V1833_5_HEADER	P02_3*1	AF12	SW1-6: OFF
25	GROUND	GROUND	-	-	-
26	GROUND	GROUND	-	-	-
27	GTIOC02_0A	P02_5_HEADER_BSC_D5	P02_5*2	AD11	SW2-1: ON, SW2-2: OFF
28	GTIOC02_0B	P02_6_HEADER_BSC_D6	P02_6*2	AD9	SW2-1: ON, SW2-2: OFF
29	GTIOC02_1A	P02_7_HEADER_BSC_D7	P02_7	AE9	-
30	GTIOC02_1B	P03_0_HEADER_BSC_D8	P03_0	AE10	-
31	GTIOC02_2A	P03_1_HEADER_BSC_D9	P03_1	AC10	-
32	GTIOC02_2B	P03_2_HEADER_BSC_D10	P03_2	AC9	-
33	GTIOC02_3A	P13_0_HEADER_BSC_D24_RS485_DE2	P13_0*2	C7	SW2-1: ON, SW2-2: OFF
34	GTIOC02_3B	P13_1_HEADER_BSC_D25	P13_1*2	F7	SW2-1: ON, SW2-2: OFF
35	GTIOC02_4A	P03_5_HEADER	P03_5	AC12	-
36	GTIOC02_4B	P03_6_HEADER	P03_6	AG9	-

*1: バススイッチ IC を経由して接続されています。

*2: イネーブル付きレベルシフタ IC を経由して接続されています。

表 7-44 GPT1 (CN25)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	GROUND	GROUND	-	-	-
2	GROUND	GROUND	-	-	-
3	GTIOC03_0A	P03_7_HEADER	P03_7	AB12	-
4	GTIOC03_0B	P04_0_HEADER_BSC_IRQOUT#	P04_0	AE11	-
5	GTIOC03_1A	P04_1_HEADER_MikroBUS_RST	P04_1	AF11	-
6	GTIOC03_1B	P04_2_HEADER_MikroBUS_PWM	P04_2	AA12	-
7	GTIOC03_2A	P04_3_HEADER_PMOD1_RST	P04_3	AG10	-
8	GTIOC03_2B	P04_4_HEADER_PMOD1_GPIO0	P04_4	AG11	-
9	GTIOC03_3A	P04_5_HEADER	P04_5	AF9	-
10	GTIOC03_3B	P04_6_HEADER	P04_6	AD10	-
11	GTIOC03_4A	P04_7_HEADER_I2C_SCL1_C	P04_7	AC11	-
12	GTIOC03_4B	P05_0_HEADER_I2C_SDA1_C	P05_0	AA10	-
13	GROUND	GROUND	-	-	-
14	GROUND	GROUND	-	-	-
15	GTIOC04_0A	P09_4_HEADER_BSC_D13_LCDC_CLK	P09_4	D2	-
16	GTIOC04_0B	P09_5_HEADER_BSC_D14_LCDC_HSYNC	P09_5	C2	-
17	GTIOC04_1A	P01_4_V1833_5_HEADER	P01_4 ^{*1}	AG13	SW1-6: OFF
18	GTIOC04_1B	P01_5_V1833_5_HEADER	P01_5 ^{*1}	AE13	SW1-6: OFF
19	GTIOC04_2A	P01_6_V1833_5_HEADER	P01_6 ^{*1}	AD13	SW1-6: OFF
20	GTIOC04_2B	P01_7_V1833_5_HEADER	P01_7 ^{*1}	AC13	SW1-6: OFF
21	GTIOC04_3A	P10_2_HEADER_BSC_CS0#_LCDC_DATR2	P10_2	B2	-
22	GTIOC04_3B	P10_3_HEADER_BSC_RD#_LCDC_DATR3	P10_3	B1	-
23	GTIOC04_4A	P10_4_HEADER_BSC_A1_LCDC_DATR4	P10_4	B5	-
24	GTIOC04_4B	P10_5_HEADER_BSC_A2_LCDC_DATR5	P10_5	B3	-
25	GROUND	GROUND	-	-	-
26	GROUND	GROUND	-	-	-
27	GTIOC05_0A	P11_6_HEADER_PMOD1_GPIO1	P11_6	A3	-
28	GTIOC05_0B	P11_7_HEADER	P11_7	A4	-
29	GTIOC05_1A	P12_0_HEADER_BSC_D16	P12_0 ^{*2}	D7	SW2-1: ON, SW2-2: OFF
30	GTIOC05_1B	P12_1_HEADER_BSC_D17	P12_1 ^{*2}	G8	SW2-1: ON, SW2-2: OFF
31	GTIOC05_2A	P12_2_HEADER_BSC_D18	P12_2 ^{*2}	E8	SW2-1: ON, SW2-2: OFF
32	GTIOC05_2B	P12_3_HEADER_BSC_D19	P12_3 ^{*2}	E7	SW2-1: ON, SW2-2: OFF
33	GTIOC05_3A	P12_4_HEADER_BSC_D20_RS485_RXD2	P12_4 ^{*2}	B6	SW2-1: ON, SW2-2: OFF
34	GTIOC05_3B	P12_5_HEADER_BSC_D21_RS485_TXD2	P12_5 ^{*2}	G7	SW2-1: ON, SW2-2: OFF
35	GTIOC05_4A	P12_6_HEADER_BSC_D22	P12_6 ^{*2}	D6	SW2-1: ON, SW2-2: OFF
36	GTIOC05_4B	P12_7_HEADER_BSC_D23	P12_7 ^{*2}	E6	SW2-1: ON, SW2-2: OFF

*1: バススイッチ IC を経由して接続されています。

*2: イネーブル付きレベルシフタ IC を経由して接続されています。

表 7-45 GPT2 (CN26)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	GROUND	GROUND	-	-	-
2	GROUND	GROUND	-	-	-
3	GTIOC06_0A	P22_7_HEADER	P22_7*1	G21	SW5-9 : ON, SW5-10: OFF
4	GTIOC06_0B	P23_0_HEADER	P23_0*1	G20	SW5-7: ON, SW5-8: OFF
5	GTIOC06_1A	P23_1_HEADER	P23_1*1	A20	SW8-9 : OFF, SW8-10: ON
6	GTIOC06_1B	P23_2_HEADER	P23_2	A22	-
7	GTIOC06_2A	P23_3_HEADER	P23_3*1	A21	SW6-7 : OFF, SW6-8: ON
8	GTIOC06_2B	P23_4_HEADER	P23_4*1	C20	SW6-9: OFF, SW6-10: ON
9	GTIOC06_3A	P13_5_HEADER BSC D29 RS485_TXD3	P13_5	B7	-
10	GTIOC06_3B	P13_6_HEADER BSC D30	P13_6	A8	-
11	GTIOC06_4A	P13_7_HEADER BSC D31	P13_7	C8	-
12	GTIOC06_4B	P14_0_HEADER BSC A0 RS485_DE3	P14_0	A7	-
13	GROUND	GROUND	-	-	-
14	GROUND	GROUND	-	-	-
15	GTIOC07_0A	P19_0_HEADER	P19_0	D14	-
16	GTIOC07_0B	P19_1_HEADER	P19_1	E14	-
17	GTIOC07_1A	P19_2_HEADER	P19_2	C14	-
18	GTIOC07_1B	P19_3_HEADER	P19_3	C15	-
19	GTIOC07_2A	P19_4_HEADER	P19_4	A15	-
20	GTIOC07_2B	P19_5_HEADER	P19_5	A16	-
21	GTIOC07_3A	P18_4_HEADER BSC A12 LCDC_DATB5	P18_4	F15	-
22	GTIOC07_3B	P18_5_HEADER BSC A13 LCDC_DATB6	P18_5	G15	-
23	GTIOC07_4A	P18_6_HEADER BSC A14 LCDC_DATB7	P18_6	B16	-
24	GTIOC07_4B	P18_7_HEADER BSC A15	P18_7	C16	-
25	GROUND	GROUND	-	-	-
26	GROUND	GROUND	-	-	-
27	GTIOC08_0A	P27_7_HEADER	P27_7	C27	-
28	GTIOC08_0B	P28_0_HEADER	P28_0	F24	-
29	GTIOC08_1A	P28_1_HEADER	P28_1	E26	-
30	GTIOC08_1B	P28_2_HEADER	P28_2	G25	-
31	GTIOC08_2A	P28_3_HEADER	P28_3	B27	-
32	GTIOC08_2B	P28_4_HEADER	P28_4	E25	-
33	GTIOC08_3A	P27_3_HEADER	P27_3	F27	-
34	GTIOC08_3B	P27_4_HEADER	P27_4*1	H26	SW4-5 : OFF, SW4-6: ON
35	GTIOC08_4A	P27_5_HEADER	P27_5*1	F25	SW4-7: OFF, SW4-8: ON
36	GTIOC08_4B	P27_6_HEADER	P27_6	G27	-

*1: SW4, SW5, SW6, SW8 を経由して接続されています。

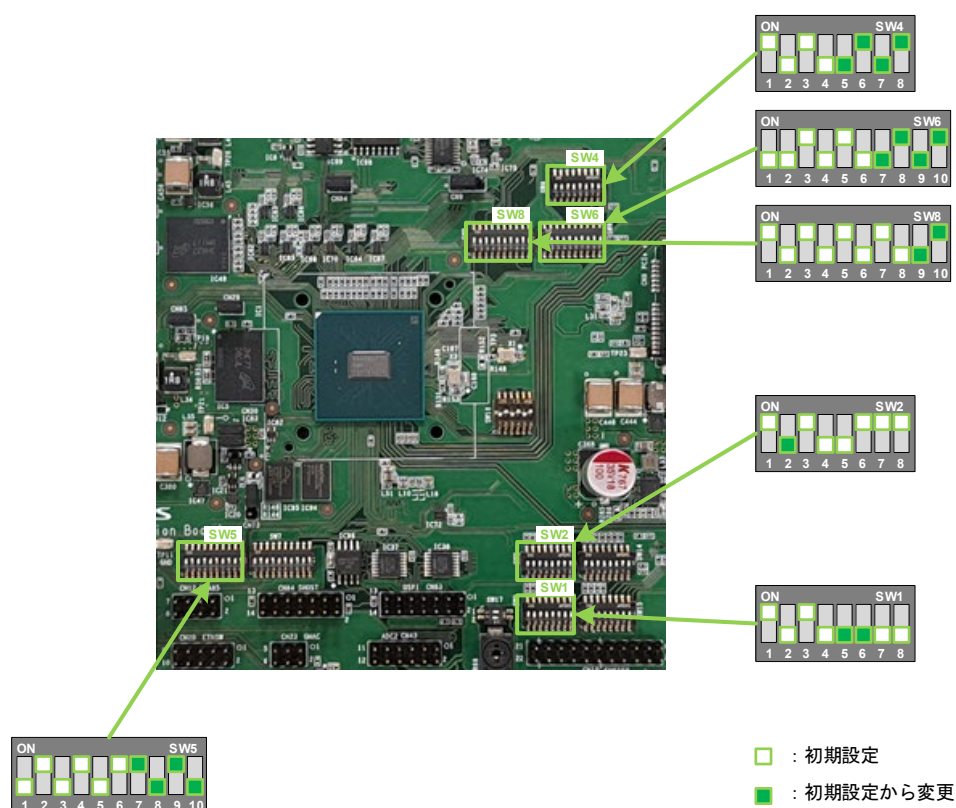


図 7-30 GPT0 (CN24)、GPT1 (CN25)、GPT2 (CN26) 使用時のスイッチ設定

表 7-46 ETHSW (CN20)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	ETHSW_PTPOUT0	P17_6_HEADER_LCDC_DATG7	P17_6	F13	-
2	GROUND	GROUND	-	-	-
3	ETHSW_PTPOUT1	P17_7_HEADER_BSC_WE3#_AH_LCDC_DATB0	P17_7	E15	-
4	ETHSW_TDMAOUT0	P27_7_HEADER	P27_7	C27	-
5	ETHSW_PTPOUT2	P14_0_HEADER_BSC_A0_RS485_DE3	P14_0	A7	-
6	ETHSW_TDMAOUT1	P28_0_HEADER	P28_0	F24	-
7	ETHSW_PTPOUT3	P18_7_HEADER_BSC_A15	P18_7	C16	-
8	ETHSW_TDMAOUT2	P28_1_HEADER	P28_1	E26	-
9	GROUND	GROUND	-	-	-
10	ETHSW_TDMAOUT3	P28_2_HEADER	P28_2	G25	-

表 7-47 GMAC (CN23)の信号接続

ピン	機能名	信号名	MPU		コンフィグレーション用回路設定
			ポート	ピン	
1	GMAC0_PTPTRG0	P22_5_HEADER_IRQ7_E_PCIEx4_WAK_E_GPIO	P22_5*1	E21	SW2-1: ON, SW2-2: OFF
2	GMAC0_PTPTRG1	P22_6_HEADER_IRQ8_E	P22_6*1	C22	SW2-1: ON, SW2-2: OFF
3	GMAC1_PTPTRG0	P27_2_HEADER_IRQ3	P27_2	G26	SW2-8: OFF
4	GMAC1_PTPTRG1	P27_3_HEADER	P27_3	F27	-
5	GMAC2_PTPTRG0	P31_6_HEADER_PMOD1_MISO	P31_6	P25	-
6	GMAC2_PTPTRG1	P31_7_HEADER_PMOD1_SSL	P31_7	M26	-

*1: イネーブル付きレベルシフタ IC を経由して接続されています。

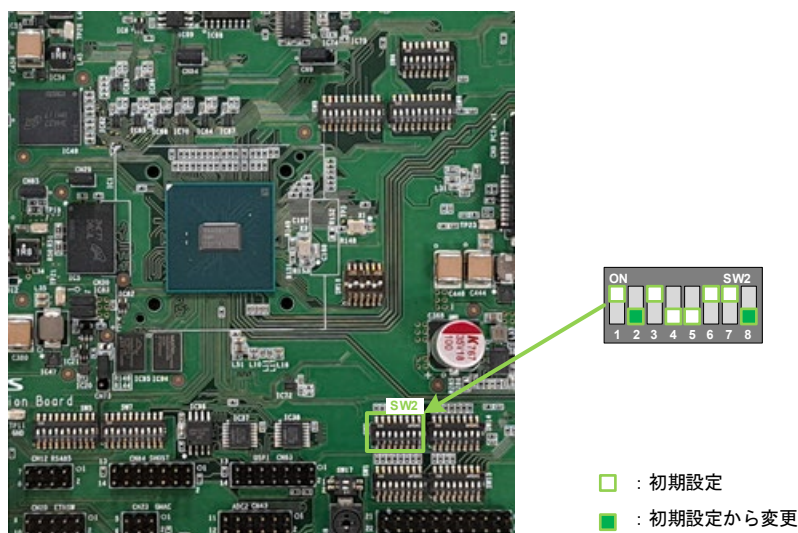


図 7-31 GMAC (CN23) 使用時のスイッチ設定

表 7-48 BSC1 (CN13)の信号接続

ピン	信号名	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
1	P14_0 HEADER_BSC_A0_RS485_DE3	P14_0	A7	-
2	p3v3	-	-	-
3	P10_4 HEADER_BSC_A1_LCDC_DATR4	P10_4	B5	-
4	P33_2_V1833_3 HEADER_BSC_A16	P33_2*1	R24	SW2-8: OFF
5	P10_5 HEADER_BSC_A2_LCDC_DATR5	P10_5	B3	-
6	P33_3_V1833_3 HEADER_BSC_A17_PCl_e_RSTOUT0B	P33_3*1	U25	SW2-8: OFF
7	P10_6 HEADER_BSC_A3_LCDC_DATR6	P10_6	A6	-
8	P33_4_V1833_3 HEADER_BSC_A18_PCl_e_RSTOUT1B	P33_4*1	U24	SW2-8: OFF
9	P10_7 HEADER_BSC_A4_LCDC_DATR7_IRQ9_B	P10_7	C4	-
10	P33_5_V1833_3 HEADER_BSC_A19	P33_5*1	T25	SW2-8: OFF
11	GROUND	-	-	-
12	P33_6_V1833_3 HEADER_BSC_A20	P33_6*1	R25	SW2-8: OFF
13	P11_0_BSC_A5_LCDC_DATG0_PMOD2_RXD1	P11_0*2	C5	SW6-3: OFF, SW6-4: ON, SW6-5: OFF
14	P33_7_V1833_3 HEADER_BSC_A21	P33_7*1	R26	SW2-8: OFF
15	P17_4_BSC_A6	P17_4*1	G13	SW2-3: OFF
16	P34_0_V1833_3 HEADER_BSC_A22	P34_0*1	V23	SW2-8: OFF
17	P17_5_BSC_A7	P17_5*2	A14	SW6-1: ON, SW6-2: OFF
18	P34_1_V1833_3 HEADER_BSC_A23	P34_1*1	R22	SW2-8: OFF
19	P18_0_BSC_A8_LCDC_DATB1	P18_0*2	D15	SW8-3: OFF, SW8-4: ON
20	P27_0 HEADER_BSC_CS5#	P27_0	G23	SW4-1: OFF, SW4-2: ON
21	P18_1_BSC_A9_LCDC_DATB2	P18_1*2	E13	SW8-1: OFF, SW8-2: ON
22	P34_2_V1833_3 HEADER_BSC_A24	P34_2*1	T23	SW2-8: OFF
23	P18_2_BSC_A10_LCDC_DATB3	P18_2	B15	-
24	P34_3_V1833_3 HEADER_BSC_A25	P34_3*1	U23	SW2-8: OFF
25	P18_3_BSC_A11_LCDC_DATB4	P18_3	D13	-
26	P14_4 HEADER_LCDC_DATG4_BSC_DACK	P14_4	A9	-
27	P18_4 HEADER_BSC_A12_LCDC_DATB5	P18_4	F15	-
28	P14_3 HEADER_LCDC_DATG3_RS485_TXD4_BSC_D REQ	P14_3	D9	-
29	GROUND	-	-	-
30	P14_2 HEADER_BSC_BS#_LCDC_DATG2_RS485_RX D4	P14_2	C10	-
31	P18_5 HEADER_BSC_A13_LCDC_DATB6	P18_5	G15	-
32	P10_2 HEADER_BSC_CS0#_LCDC_DATR2	P10_2	B2	-
33	P18_6 HEADER_BSC_A14_LCDC_DATB7	P18_6	B16	-
34	P34_4_V1833_3 HEADER_BSC_CS2#	P34_4*1	P27	SW2-8: OFF
35	P18_7 HEADER_BSC_A15	P18_7	C16	-
36	P34_5_V1833_3 HEADER_BSC_CS3#	P34_5*1	R27	SW2-8: OFF
37	P04_0 HEADER_BSC_IRQOUT#	P04_0	AE11	-
38	P14_1 HEADER_BSC_RD#_LCDC_DATG1	P14_1	C9	-
39	P10_3 HEADER_BSC_RD#_LCDC_DATR3	P10_3	B1	-
40	P14_5 HEADER_LCDC_DATG5_BSC_TEND	P14_5	C11	-

*1: バススイッチ IC を経由して接続されています。

*2: SW6, SW8 を経由して接続されています。

表 7-49 BSC2 (CN17)の信号接続

ピン	信号名	MPU		コンフィグレーション用 回路設定
		ポート	ピン	
1	P00_0_HEADER_BSC_D0	P00_0 ^{*1}	AE15	SW1-5 : OFF
2	P08_6_HEADER_SW_SEI_BSC_CKIO	P08_6 ^{*1}	AD2	SW2-3 : OFF
3	P00_1_HEADER_BSC_D1	P00_1 ^{*1}	AD15	SW1-5: OFF
4	P12_2_HEADER_BSC_D18	P12_2 ^{*2}	E8	SW2-1: ON, SW2-2: OFF
5	P00_2_HEADER_BSC_D2	P00_2 ^{*1}	AC15	SW1-5: OFF
6	P12_3_HEADER_BSC_D19	P12_3 ^{*2}	E7	SW2-1: ON, SW2-2: OFF
7	P00_3_HEADER_BSC_D3_SW1_IRQ2_A_ADTRG1	P00_3	AG15	-
8	P12_4_HEADER_BSC_D20_RS485_RXD2	P12_4 ^{*2}	B6	SW2-1: ON, SW2-2: OFF
9	P00_4_HEADER_BSC_D4	P00_4	AF15	-
10	P12_5_HEADER_BSC_D21_RS485_TXD2	P12_5 ^{*2}	G7	SW2-1: ON, SW2-2: OFF
11	GROUND	-	-	-
12	P12_6_HEADER_BSC_D22	P12_6 ^{*2}	D6	SW2-1: ON, SW2-2: OFF
13	P02_5_HEADER_BSC_D5	P02_5 ^{*2}	AD11	SW2-1: ON, SW2-2: OFF
14	P12_7_HEADER_BSC_D23	P12_7 ^{*2}	E6	SW2-1: ON, SW2-2: OFF
15	P02_6_HEADER_BSC_D6	P02_6 ^{*2}	AD9	SW2-1: ON, SW2-2: OFF
16	P13_0_HEADER_BSC_D24_RS485_DE2	P13_0 ^{*2}	C7	SW2-1: ON, SW2-2: OFF
17	P02_7_HEADER_BSC_D7	P02_7	AE9	-
18	P13_1_HEADER_BSC_D25	P13_1 ^{*2}	F7	SW2-1: ON, SW2-2: OFF
19	P03_0_HEADER_BSC_D8	P03_0	AE10	-
20	P17_6_HEADER_BSC_WE2#_LCDC_DATG7	P17_6	F13	-
21	P03_1_HEADER_BSC_D9	P03_1	AC10	-
22	P13_2_HEADER_BSC_D26	P13_2 ^{*2}	F8	SW2-1: ON, SW2-2: OFF
23	P03_2_HEADER_BSC_D10	P03_2	AC9	-
24	P13_3_V1833_6_HEADER_BSC_D27	P13_3	F6	-
25	P03_3_HEADER_BSC_D11	P03_3	AB11	-
26	P13_4_HEADER_BSC_D28_RS485_RXD3	P13_4 ^{*3}	B8	SW1-4: ON
27	P03_4_HEADER_BSC_D12	P03_4	AB10	-
28	P13_5_HEADER_BSC_D29_RS485_TXD3	P13_5	B7	-
29	GROUND	-	-	-
30	P13_6_HEADER_BSC_D30	P13_6	A8	-
31	P09_4_HEADER_BSC_D13_LCDC_CLK	P09_4	D2	-
32	P13_7_HEADER_BSC_D31	P13_7	C8	-
33	P09_5_HEADER_BSC_D14_LCDC_HSYNC	P09_5	C2	-
34	P10_1_HEADER_BSC_WAIT#_LCDC_DATR1	P10_1	A5	-
35	P09_6_HEADER_BSC_D15_LCDC_VSYNC	P09_6	D3	-
36	P09_7_HEADER_BSC_WE0#_LCDC_DE	P09_7	D5	-
37	P12_0_HEADER_BSC_D16	P12_0 ^{*2}	D7	SW2-1: ON, SW2-2: OFF
38	P10_0_HEADER_BSC_WE1#_LCDC_DATR0	P10_0	D4	-
39	P12_1_HEADER_BSC_D17	P12_1 ^{*2}	G8	SW2-1: ON, SW2-2: OFF
40	P17_7_HEADER_BSC_WE3#_AH_LCDC_DATB0	P17_7	E15	-

*1: バススイッチ IC を経由して接続されています。

*2: イネーブル付きレベルシフタ IC を経由して接続されています。

*3: SW1-4 を ON に設定し RS485 の RXD を無効にする必要があります。

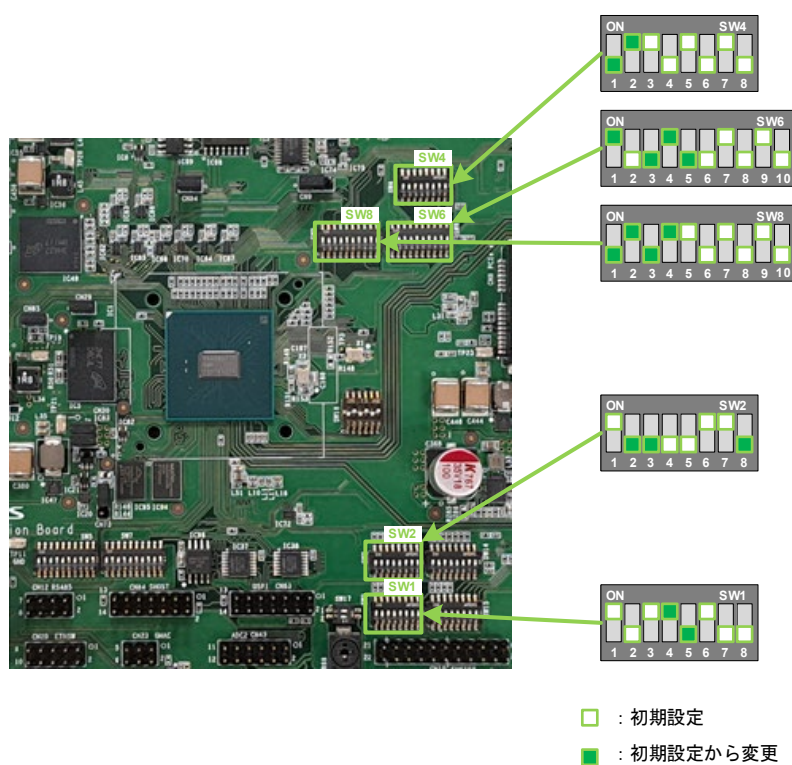


図 7-32 BSC1 (CN13)、BSC2 (CN17) 使用時のスイッチ設定

表 7-50 ADC0 (CN41)の信号接続

ピン	信号名	MPU		コンフィグレーション用回路 設定
		ポート	ピン	
1	VCC08_AVDD_ADC0	-	-	-
2	AN000_V18ADC0_AD_HEADER	-	AA27*1	SW17-1: OFF, SW17-2: ON
3	AVSS_ADC0	-	-	-
4	AN001_V18ADC0_AD_HEADER	-	AB26	-
5	AVSSIO_ADC0	-	-	-
6	AN002_V18ADC0_AD_HEADER	-	AA26	-
7	VCC18_AVDDIO_ADC0	-	-	-
8	AN003_V18ADC0_AD_HEADER	-	AB27	-
9	VCC18_AVDDREF_ADC0	-	-	-
10	AVSS_ADC0	-	-	-

*1: SW17 を経由して接続されています。

表 7-51 ADC1 (CN42)の信号接続

ピン	信号名	MPU		コンフィグレーション用回路 設定
		ポート	ピン	
1	VCC08_AVDD_ADC1	-	-	-
2	AN100_V18ADC1_AD_HEADER	-	AC27*1	SW18-1: ON, SW18-2: OFF
3	AVSS_ADC1	-	-	-
4	AN101_V18ADC1_AD_HEADER	-	AD27*1	SW18-3: ON, SW18-4: OFF
5	AVSSIO_ADC1	-	-	-
6	AN102_V18ADC1_AD_HEADER	-	AD26*1	SW18-5: ON, SW18-6: OFF
7	VCC18_AVDDIO_ADC1	-	-	-
8	AN103_V18ADC1_AD_HEADER	-	AC26	-
9	VCC18_AVDDREF_ADC1	-	-	-
10	AVSS_ADC1	-	-	-

*1: SW18 を経由して接続されています。

表 7-52 ADC2 (CN43)の信号接続

ピン	信号名	MPU		コンフィグレーション用回路 設定
		ポート	ピン	
1	AN200_V18ADC2_AD_HEADER	-	AF27	-
2	VCC08_AVDD_ADC2	-	-	-
3	AN201_V18ADC2_AD_HEADER	-	AE27	-
4	AVSS_ADC2	-	-	-
5	AN202_V18ADC2_AD_HEADER	-	AE26	-
6	AVSSIO_ADC2	-	-	-
7	AN203_V18ADC2_AD_HEADER	-	AG26	-
8	VCC18_AVDDIO_ADC2	-	-	-
9	AN204_V18ADC2_AD_HEADER	-	AF26	-
10	VCC18_AVDDREF_ADC2	-	-	-
11	AN205_V18ADC2_AD_HEADER	-	AG25	-
12	AVSS_ADC2	-	-	-

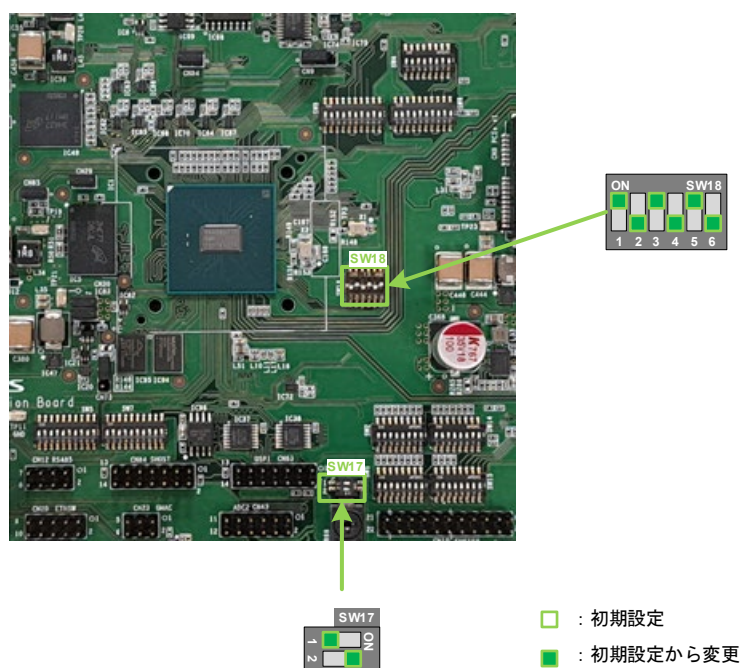


図 7-33 ADC0 (CN41)、ADC1 (CN42) 使用時のスイッチ設定

7.22 テストピン

本ボードは、表 7-53 および図 7-34 に示すテストピンを搭載しています。

表 7-53 テストピン一覧

リファレンス	概要	リファレンス	概要
TP3	EXTCLKIN モニタ用（未実装）	TP21	p0v8 電源モニタ用
TP4	GROUND（未実装）	TP22	p1v8 電源モニタ用
TP5	GROUND（未実装）	TP23	PCIE3V3 電源モニタ用
TP6	GROUND（未実装）	TP24	p3v3 モニタ電源用
TP7	GROUND（未実装）	TP25	ETH_VDD25 電源モニタ用
TP8	GROUND（未実装）	TP26	ETH_VDD10 電源モニタ用
TP9	GROUND（未実装）	TP27	P06_7_V1833_4_USER_LED2 信号モニタ用
TP10	GROUND（未実装）	TP28	P08_5_USER_LED3 信号モニタ用
TP11	GROUND	TP29	P18_0_ESC_LED_RUN 信号モニタ用
TP14	CPU3V3 電源モニタ用	TP30	P18_1_ESC_LED_ERR 信号モニタ用
TP15	GROUND	TP31	P22_7_ESC_LINKACT0 信号モニタ用
TP16	cVBUS 電源モニタ用	TP32	P23_0_ESC_LINKACT1 信号モニタ用
TP17	P3V3_USB_PD 電源モニタ用	TP33	P23_5_ESC_LINKACT2 信号モニタ用
TP18	P12V 電源モニタ用	TP34	P23_1_USER_LED0 信号モニタ用
TP19	p1v1 電源モニタ用	TP35	P32_2_USER_LED1 信号モニタ用
TP20	p5v0s 電源モニタ用	TP36	15V 電源生成部モニタ用

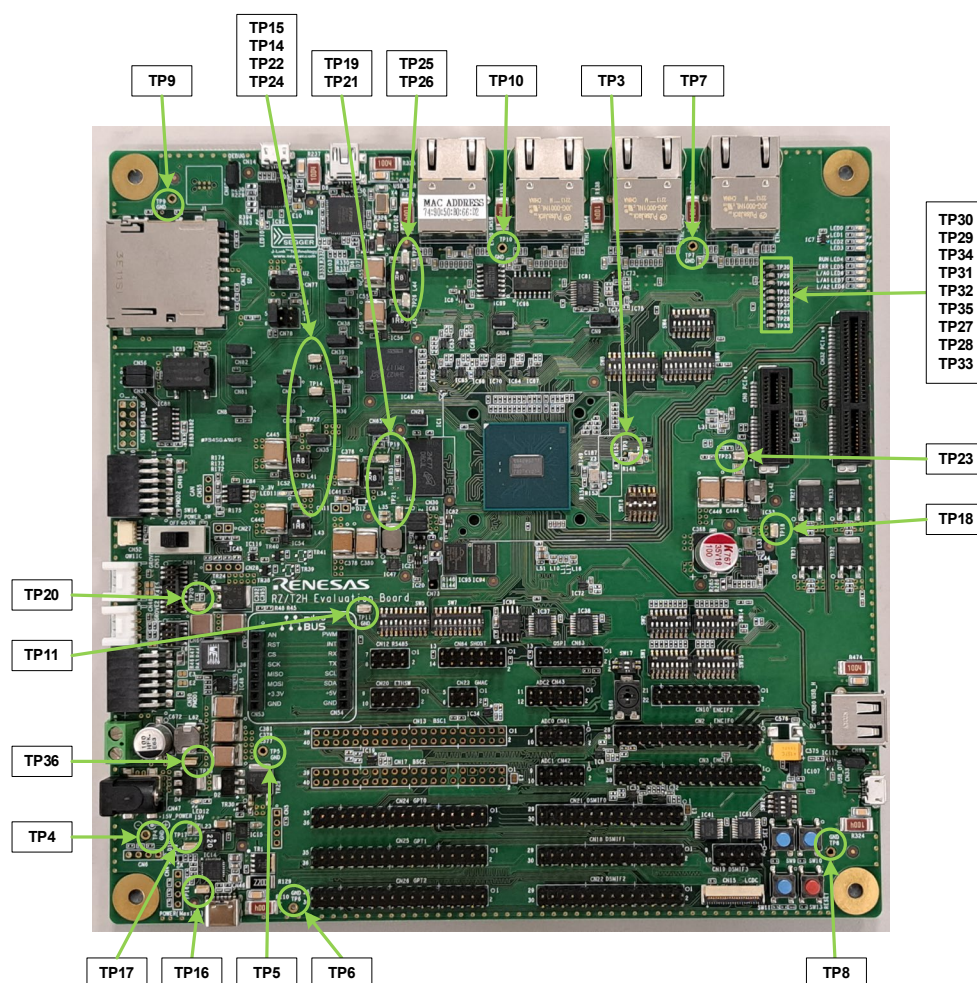


図 7-34 テストピン配置

8. コード開発

8.1 概要

このデバイスのコードをデバッグするには、いくつかの方法があります。

- 本ボードに搭載されている Segger 開発ツール J-Link™ OB を介して本ボードを PC に接続します。
- 各社エミュレータを介して本ボードを PC に接続します。

各エミュレータの詳細については、製造元の Web サイトを参照してください。

8.2 モードサポート

本ボードは、さまざまなブートモードをサポートします。モード設定の変更は 6.3.1 章に記載されています。マイクロプロセッサの動作モードやレジスタ等の詳細情報については、RZ/T2H および RZ/N2H グループ ユーザーズマニュアル ハードウェア編を参照してください。

マイクロプロセッサの破損を避けるために、モード設定の変更は電源が投入されていない状態で行ってください。

8.3 アドレス空間

マイクロプロセッサの動作モードによるアドレス空間の詳細は RZ/T2H および RZ/N2H グループ ユーザーズマニュアル ハードウェア編を参照してください。

9. 使用上の注意

9.1 XTALSEL 端子処理について

本ボードでは、評価用にスイッチで本信号を切り替えて使用する性質上、XTALSEL=L 時に抵抗を介さない構成にしていますが、この回路構成の動作を保証するものではありません。お客様のボードで XTALSEL=L (メインクロックソースに EXTCLKIN を選択) にする場合は、RZ/T2H および RZ/N2H グループ ユーザーズ マニュアル ハードウェア編 (R01UH1039JJ) の記載に従い、抵抗を介して VSS に接続してください。

9.2 RGB-HDMI 変換ボードの使用について

警告

LCD インタフェースに RGB-HDMI 変換ボードを接続して使用すると、EMC 放射がクラス A 機器の EN55032:2015 に基づく制限を超える可能性があります。そのため、EMC に敏感な機器から遠ざけるなど特別な注意を払う必要があります。干渉が発生した場合はより大きな分離距離が必要になる場合があります。このような場合、機器の使用者・操作者の責任において適切な追加対策を講じる必要があります。

10. サポート

RZ/T2H マイクロプロセッサに関する情報は、RZ/T2H および RZ/N2H グループ ユーザーズマニュアル ハードウェア編 (R01UH1039JJ) を参照してください。

オンラインの技術サポート、情報等は <https://www.renesas.com/> より入手できます。

オンライン技術サポート

技術関連の問合せは、<https://www.renesas.com/support/contact.html> を通じてお願いいたします。
ルネサスのマイクロプロセッサに関する総合情報は、<https://www.renesas.com/> より入手可能です。

設計、製造情報

本ボードの設計製造情報「RZ/T2H Evaluation Board Design Package」は、
<https://www.renesas.com/rzt2h-evkit> から入手できます。

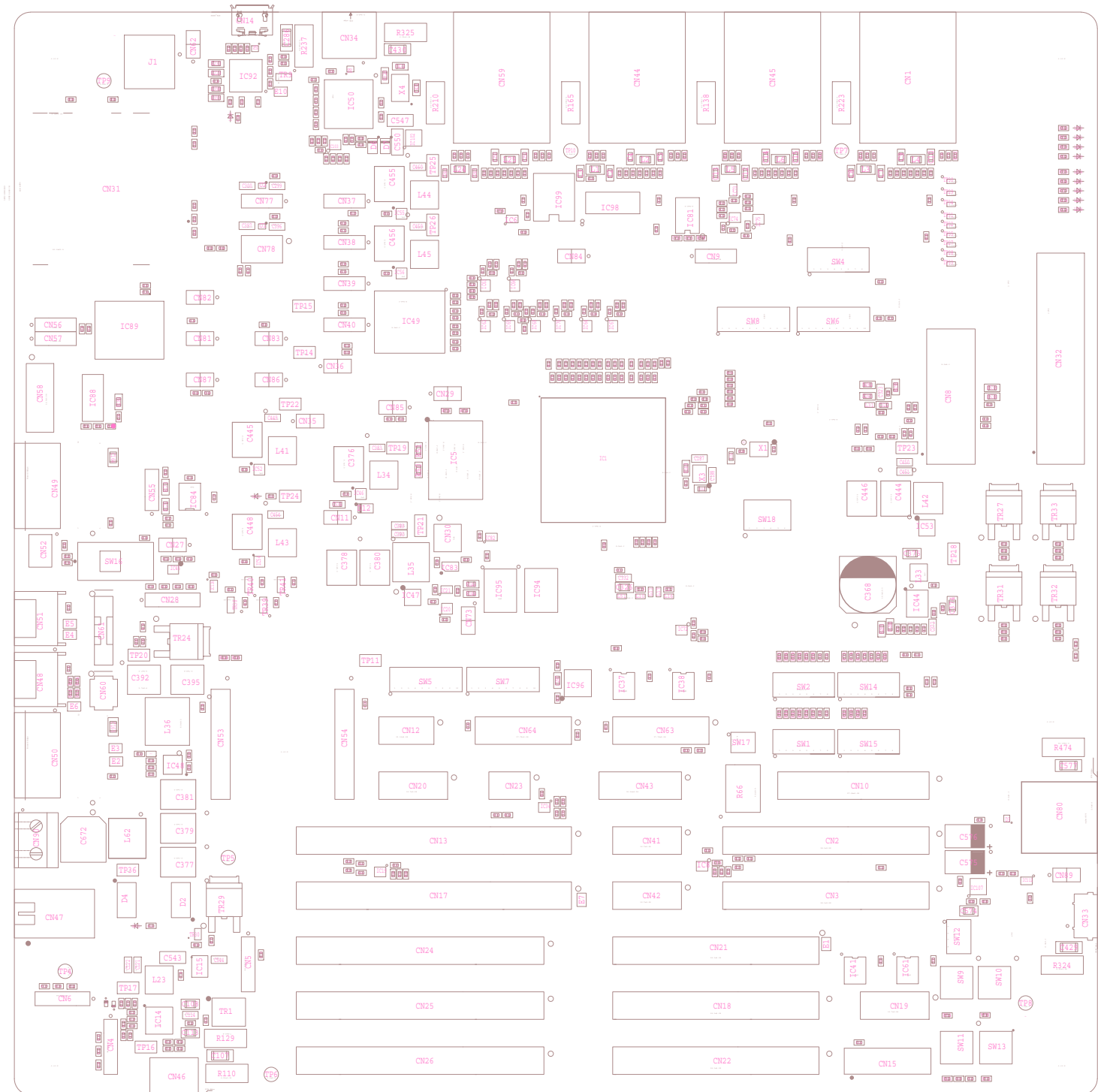
- ファイル名 : rzt2h-evaluation-board-v1-designpackage.zip
- 内容

表 10-1 RZ/T2H Evaluation Board Design Package の内容

ファイルタイプ	内容	ファイル/フォルダ名
ファイル (txt)	Readme	Readme for schematic.txt
ファイル (PDF)	回路図	rzt2h-evaluation-board-v1-schematic.pdf
ファイル (PDF)	設計図面	rzt2h-evaluation-board-v1-mechdwg.pdf
ファイル (PDF)	3D 図面	rzt2h-evaluation-board-v1-3d.pdf
ファイル (xlsx)	BOM	rzt2h-evaluation-board-v1-BOM.xlsx
フォルダ	製造ファイル	rzt2h-evaluation-board-Manufacturing Files
フォルダ	設計ファイル	rzt2h-evaluation-board-Design Files

11. 付録

本ボード上の各コンポーネントの配置を示します。



改訂記録	RZ/T2H グループ RZ/T2H Evaluation Board ユーザーズマニュアル
------	---

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Jul 1, 2024	—	初版発行
1.10	May 16, 2025	10 14 17 47 48 50 52 58 62 85 86	・ 以下について USB OTG 機能関連記述追記 表 1-1 図 3-1 図 4-1 表 5-23 表 5-24 表 5-25 表 5-27 表 6-8 表 6-18 7.16 USB、図 7-20、表 7-24 図 7-21 ・ 軽微な誤植修正
1.20	Aug 20, 2025	75, 86	・ 図 7-12、図 7-21 の誤植修正

RZ/T2H グループ
RZ/T2H Evaluation Board ユーザーズマニュアル

発行年月日 2025 年 8 月 20 日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)

RZ/T2H Group