

RZ/T1 評価ボード

RTK7910018C00000BE

ユーザーズマニュアル

RZファミリ RZ/Tシリーズ

Rev.2.10

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
  2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
  3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
  4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
  5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等  
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。
  6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
  7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
  8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
  9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
  10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
  11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
  12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレストシア）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

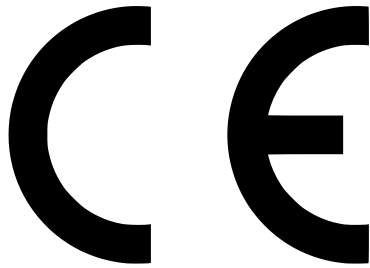
入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}$  (Max.) から  $V_{IH}$  (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。



This equipment complies with the EMC protection requirements

**WARNING**

This is a 'Class A' (EN 55032: 2015) equipment. This equipment can cause radio frequency noise when used in the residential area. In such cases, the user/operator of the equipment may be required to take appropriate countermeasures under his responsibility.

EEDT-ST-001-40

**CAUTION**

This equipment should be handled like a CMOS semiconductor device. The user must take all precautions to avoid build-up of static electricity while working with this equipment. All test and measurement tool including the workbench must be grounded. The user/operator must be grounded using the wrist strap. The connectors and/or device pins should not be touched with bare hands.

EEDT-ST-004-10

**For customers in the European Union only**



The WEEE (Waste Electrical and Electronic Equipment) regulations put responsibilities on producers for the collection and recycling or disposal of electrical and electronic waste. Return of WEEE under these regulations is applicable in the European Union only. This equipment (including all accessories) is not intended for household use. After use the equipment cannot be disposed of as household waste, and the WEEE must be treated, recycled and disposed of in an environmentally sound manner. Renesas Electronics Europe GmbH can take back end of life equipment, register for this service at <http://www.renesas.eu/weee>

# このマニュアルの使い方

## 1. 目的と対象者

このマニュアルは、本評価ボードの機能と操作仕様をユーザに理解していただくためのマニュアルです。本評価ボードを使用するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、機能仕様、操作仕様で構成されています。

本評価ボードは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

RZ/T1 評価ボード RTK7910018C00000BE では次のドキュメントを用意しています。

ドキュメントの種類	記載内容	資料名	資料番号
ユーザーズマニュアル	機能仕様（搭載デバイス、メモリマップ、電気的特性等）と操作仕様（コネクタ、スイッチ類）の説明	RZ/T1 評価ボード RTK7910018C00000BE ユーザーズマニュアル	本ユーザーズマニュアル

RZ/T1 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	RZ/T1 グループ ユーザーズマニュアル ハードウェア編	R01UH0483JJ
アプリケーションノート	応用例、参考プログラムなど	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

## 2. 略語および略称の説明

略語／略称	英語名	日本語名
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPU の命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMA を行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMA の第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺機能を制御するためのレジスタ
SIM	Subscriber Identity Module	ISO/IEC 7816 規定の接触型 IC カード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

# 目次

1. 概要.....	1-1
1.1 概要.....	1-1
1.2 構成.....	1-2
1.3 外部仕様.....	1-3
1.4 外観.....	1-5
1.5 ブロック図.....	1-6
1.6 部品配置図.....	1-7
1.7 メモリ配置図.....	1-10
1.8 絶対最大定格.....	1-11
1.9 動作条件.....	1-11
2. 機能仕様.....	2-1
2.1 機能概略.....	2-1
2.2 CPU.....	2-2
2.2.1 R7S910018 概要.....	2-2
2.3 メモリ.....	2-3
2.3.1 R7S910018 内蔵メモリ.....	2-3
2.3.2 NOR フラッシュメモリ.....	2-3
2.3.3 SDRAM.....	2-6
2.3.4 シリアルフラッシュメモリ.....	2-9
2.3.5 EEPROM.....	2-13
2.4 USBインタフェース.....	2-14
2.5 シリアルインタフェース.....	2-15
2.6 入出力ポート.....	2-16
2.7 割り込みスイッチ.....	2-17
2.8 ポテンショメータ.....	2-18
2.9 クロック構成.....	2-19
2.10 リセット制御.....	2-20
2.11 電源構成.....	2-21
2.12 デバッグインタフェース.....	2-23
2.13 CANインタフェース.....	2-24
2.14 オーディオインタフェース.....	2-25
2.15 LANインタフェース (EtherMAC).....	2-26
2.16 LANインタフェース (EtherCAT1、EtherCAT2).....	2-27

2.17	モータ制御インタフェース.....	2-29
2.18	PMODインタフェース.....	2-30
2.19	$\Delta\Sigma$ インタフェース (DSMIF) .....	2-31
<b>3.</b>	<b>操作仕様 .....</b>	<b>3-1</b>
3.1	コネクタ概要.....	3-1
3.1.1	LAN コネクタ (J1、J2、J7) .....	3-3
3.1.2	マイクインピンジャック (J3) .....	3-4
3.1.3	ラインアウトピンジャック (J5) .....	3-5
3.1.4	USB コネクタ (J4、J6) .....	3-6
3.1.5	USB シリアルポートコネクタ (J8) .....	3-8
3.1.6	DBGIF コネクタ (J10、J11) .....	3-9
3.1.7	DSMIF コネクタ (J12) .....	3-11
3.1.8	PMOD コネクタ (J13、J14) .....	3-12
3.1.9	CAN コネクタ (J15、J16) .....	3-13
3.1.10	DC 電源ジャック (J17) .....	3-14
3.1.11	外部電源供給コネクタ (J18~J21) .....	3-15
3.1.12	GND コネクタ (J22) .....	3-17
3.1.13	JA コネクタ (JA1~JA3、JA5、JA6) .....	3-18
3.2	操作部品配置.....	3-22
3.2.1	ジャンパ (JP2、JP7) .....	3-22
3.2.2	スイッチ、LED 機能.....	3-24
3.3	外形寸法.....	3-26
付録	RTK7910018C00000BE 接続図 .....	1

## 1. 概要

### 1.1 概要

RTK7910018C00000BE は、ルネサスエレクトロニクス製 RZ/T1 グループ「R7S910018」の機能・性能評価、およびアプリケーションソフトウェアの開発・評価を行うための評価ボードです。

以下に RTK7910018C00000BE の特長を示します。

- 下記の外部メモリを標準搭載しています。
  - NOR フラッシュメモリ：64M バイト×2 個（16 ビットバス接続）
  - SDRAM：64M バイト×2 個（16 ビットバス接続）
  - シリアルフラッシュメモリ：64M バイト×1 個
  - EEPROM：2K バイト×1 個
- ブートメモリとして NOR フラッシュメモリ、シリアルフラッシュメモリのいずれかを選択することが可能です。
- R7S910018 周辺機能インタフェースとして、USB シリアルポートコネクタ（USB シリーズ Mini-B レセプタクル）、USB コネクタ、LAN コネクタ、CAN コネクタ、Digilent Pmod™（PMOD）インタフェース用コネクタ（PMOD コネクタ）、および $\Delta\Sigma$ インタフェース用コネクタ（DSMIF コネクタ）を標準搭載しています。
- オーディオ CODEC を標準搭載しており、オーディオシステムの先行開発が可能です。
- USB コネクタは、USB ホストモジュール評価用にシリーズ A レセプタクルを、USB ファンクションモジュール評価用にシリーズ Mini-B レセプタクルを標準搭載しています。
- 産業ネットワーク向けの EtherCAT スレーブ機能を搭載しており、リアルタイム性の高い Ethernet 通信評価を行うことが可能です。
- PMOD コネクタを 2 個標準搭載しており、PMOD 規格に対応したペリフェラルモジュールと接続することが可能です。
- DSMIF コネクタを 1 個標準搭載しており、外付け $\Delta\Sigma$ モジュレータと接続することが可能です。
- R7S910018 のデータバス、アドレスバス、内蔵周辺機能の端子はアプリケーションヘッダ（JA コネクタ）へ接続しており、計測機器を用いた周辺デバイスとのタイミング評価や、開発用途に合わせた拡張ボードの開発が可能です。
- R7S910018 デバッグインタフェースとの接続用に、ARM JTAG コネクタ（20 ピンおよび 38 ピン）を実装しています。

## 1.2 構成

図 1.1 に RTK7910018C00000BE を用いたシステム構成例を示します。

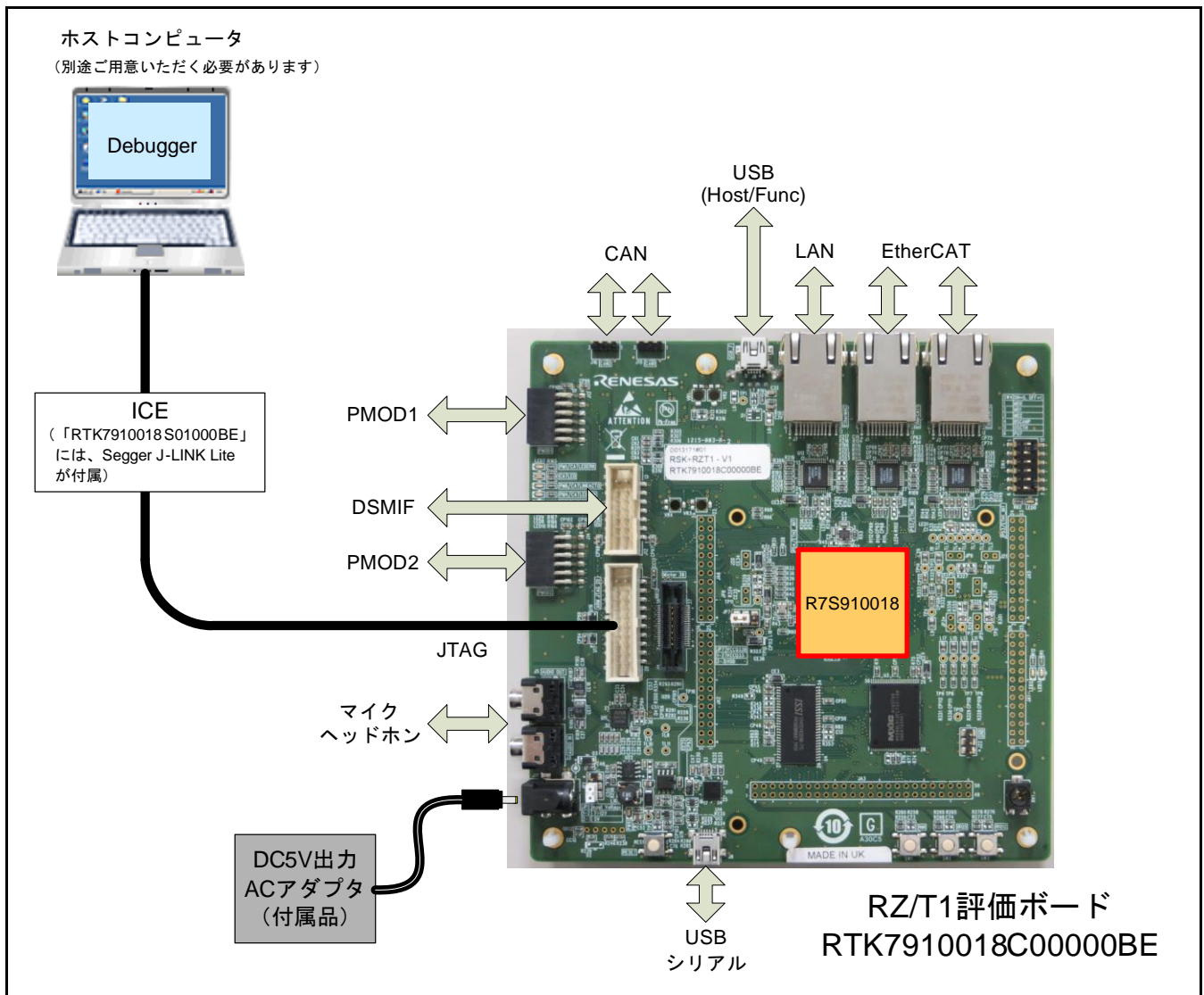


図 1.1 RTK7910018C00000BE を用いたシステム構成例

### 1.3 外部仕様

表 1.1 および表 1.2 に RTK7910018C00000BE の外部仕様一覧を示します。

表 1.1 RTK7910018C00000BE 外部仕様一覧 (1/2)

項目	内容
CPU	R7S910018 <ul style="list-style-type: none"> <li>• 入力 (XIN) クロック : 25MHz</li> <li>• CPU クロック (CPUCLK) : 最大 600MHz</li> <li>• システムクロック (ICLK) : 150MHz</li> <li>• 高速周辺モジュールクロック A (PCLKA) : 150MHz</li> <li>• 低速周辺モジュールクロック B (PCLKB) : 75MHz</li> <li>• 高速周辺モジュールクロック C (PCLKC) : 150MHz</li> <li>• 非変調低速周辺モジュールクロック D (PCLKD) : 75MHz</li> <li>• 非変調低速周辺モジュールクロック E (PCLKE) : 75MHz</li> <li>• 非変調低速周辺モジュールクロック F (PCLKF) : 最大 60MHz</li> <li>• 非変調低速周辺モジュールクロック G (PCLKG) : 最大 60MHz</li> <li>• 非変調低速周辺モジュールクロック H (PCLKH) : 60MHz</li> <li>• 外部バスクロック (CKIO) : 最大 75MHz</li> <li>• 高速シリアルクロック (SERICK) : 120MHz、150MHz</li> <li>• USB クロック M (USBMCLK) : 50MHz</li> <li>• USB クロック P (USBPCLK) : 30MHz</li> <li>• Ethernet クロック A (ETCLKA) : 100MHz</li> <li>• Ethernet クロック B (ETCLKB) : 50MHz</li> <li>• Ethernet クロック C (ETCLKC) : 200MHz</li> <li>• Ethernet クロック D (ETCLKD) : 最大 12.5MHz</li> <li>• Ethernet クロック E (ETCLKE) : 25MHz、50MHz</li> <li>• Ethernet クロック F (ETCLKF) : 25MHz</li> <li>• Ethernet クロック G (ETCLKG) : 125MHz</li> <li>• RSCAN 用クロック A (CANCLKA) : 24MHz</li> <li>• RSCAN 用クロック B (CANCLKB) : 25MHz</li> <li>• IWDI クロック (IWDI) : 120kHz</li> <li>• ECM クロック (ECMCLK) : 240kHz</li> <li>• SSI クロック (ACLK) : 1MHz~50MHz</li> <li>• <math>\Delta\Sigma</math> I/F クロック 0 (DSCLK0) : 最大 25MHz</li> <li>• <math>\Delta\Sigma</math> I/F クロック 1 (DSCLK1) : 最大 25MHz</li> <li>• JTAG クロック (JTAGTCK) : 最大 50MHz</li> <li>• 電源電圧               <ul style="list-style-type: none"> <li>- 内部 : 1.14V~1.26V</li> <li>- I/O : 3.0V~3.6V</li> </ul> </li> <li>• パッケージ : 320 ピン FBGA 0.8mm ピッチ</li> </ul>

表 1.2 RTK7910018C00000BE 外部仕様一覧 (2/2)

項目	内容
メモリ	<ul style="list-style-type: none"> <li>内蔵メモリ <ul style="list-style-type: none"> <li>拡張内蔵 SRAM : 1M バイト</li> <li>密結合メモリ (TCM) <ul style="list-style-type: none"> <li>ATCM : 512K バイト</li> <li>BTCM : 32K バイト</li> </ul> </li> </ul> </li> <li>NOR フラッシュメモリ : 64M バイト×2 個 <ul style="list-style-type: none"> <li>Macronix 製 MX29GL512FLT2I-10Q</li> </ul> </li> <li>SDRAM : 64M バイト×2 個 <ul style="list-style-type: none"> <li>ISSI 製 IS42S16320D-7TL</li> </ul> </li> <li>シリアルフラッシュメモリ : 64M バイト×1 個 <ul style="list-style-type: none"> <li>Macronix 製 MX25L51245GMI-10G</li> </ul> </li> <li>EEPROM : 2K バイト×1 個 <ul style="list-style-type: none"> <li>Renesas 製 R1EX24016ASAS0A</li> </ul> </li> </ul>
コネクタ	<ul style="list-style-type: none"> <li>USB シリーズ A レセプタクル : 1 個</li> <li>USB シリーズ Mini-B レセプタクル : 1 個</li> <li>USB シリアルポートコネクタ (USB シリーズ Mini-B レセプタクル) : 1 個</li> <li>CAN ポートコネクタ (3 ピン、ピンヘッダ) : 2 個</li> <li>オーディオ用ミニジャック (φ3.5) : 2 個</li> <li>デバッグインタフェース (DBGIF) コネクタ (20 ピン、38 ピン ARM JTAG) : 各 1 個</li> <li>LAN コネクタ (RJ-45) : 3 個 (内 1 個は EtherMAC 用、2 個は EtherCAT 用)</li> <li>PMOD コネクタ : 2 個</li> <li>ΔΣインタフェース (DSMIF) コネクタ : 1 個</li> <li>DC 電源ジャック : 1 個</li> <li>GND コネクタ : 1 個</li> </ul>
LED	<ul style="list-style-type: none"> <li>電源 LED : 1 個</li> <li>ユーザ LED : 4 個</li> <li>LAN ステータス LED : 5 個 (内 1 個は Dual LED)</li> </ul>
スイッチ	<ul style="list-style-type: none"> <li>リセットスイッチ : 1 個</li> <li>ユーザスイッチ : 3 個 (NMI、IRQ5、IRQ12)</li> </ul>
基板仕様	<ul style="list-style-type: none"> <li>寸法 : 150mm×150mm</li> <li>実装形態 : 8 層 両面実装</li> <li>基板構成 : 1 枚</li> </ul>

## 1.4 外観

図 1.2 に RTK7910018C00000BE の外観を示します。

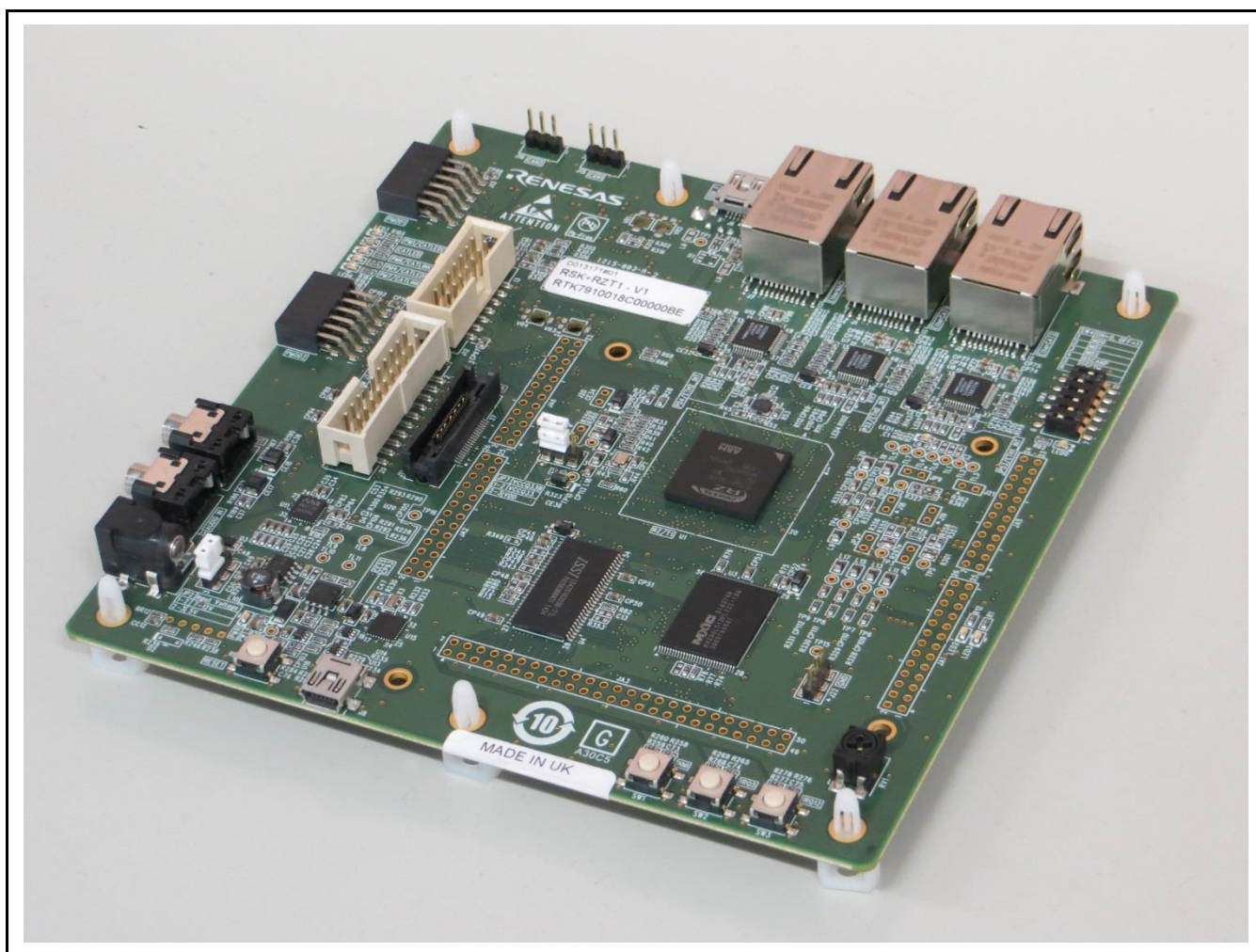


図 1.2 RTK7910018C00000BE 外観図

1.5 ブロック図

図 1.3 に RTK7910018C00000BE のブロック図を示します。

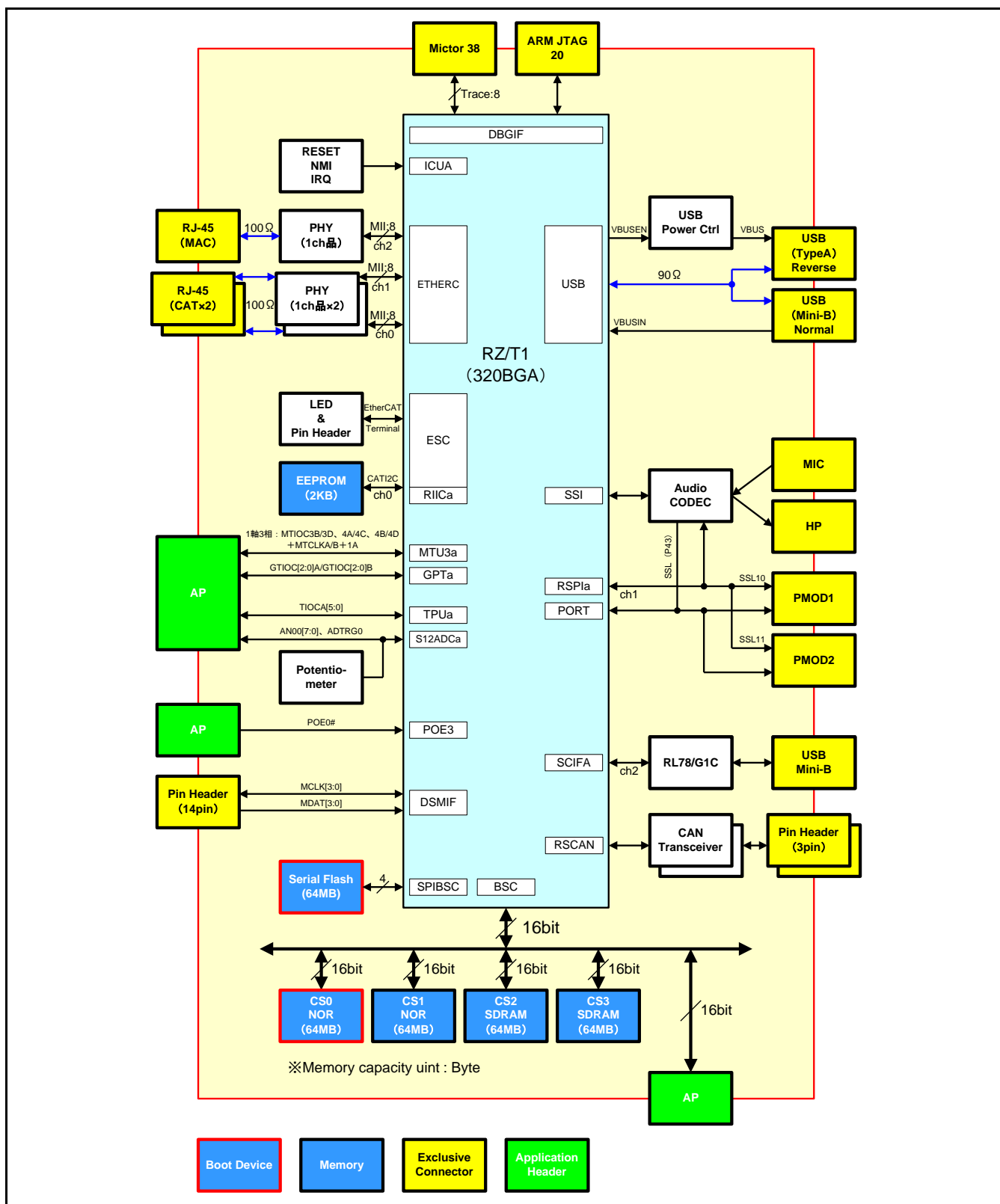


図 1.3 RTK7910018C00000BE ブロック図

## 1.6 部品配置図

図 1.4 および図 1.5 に RTK7910018C00000BE の主な部品配置図を示します。

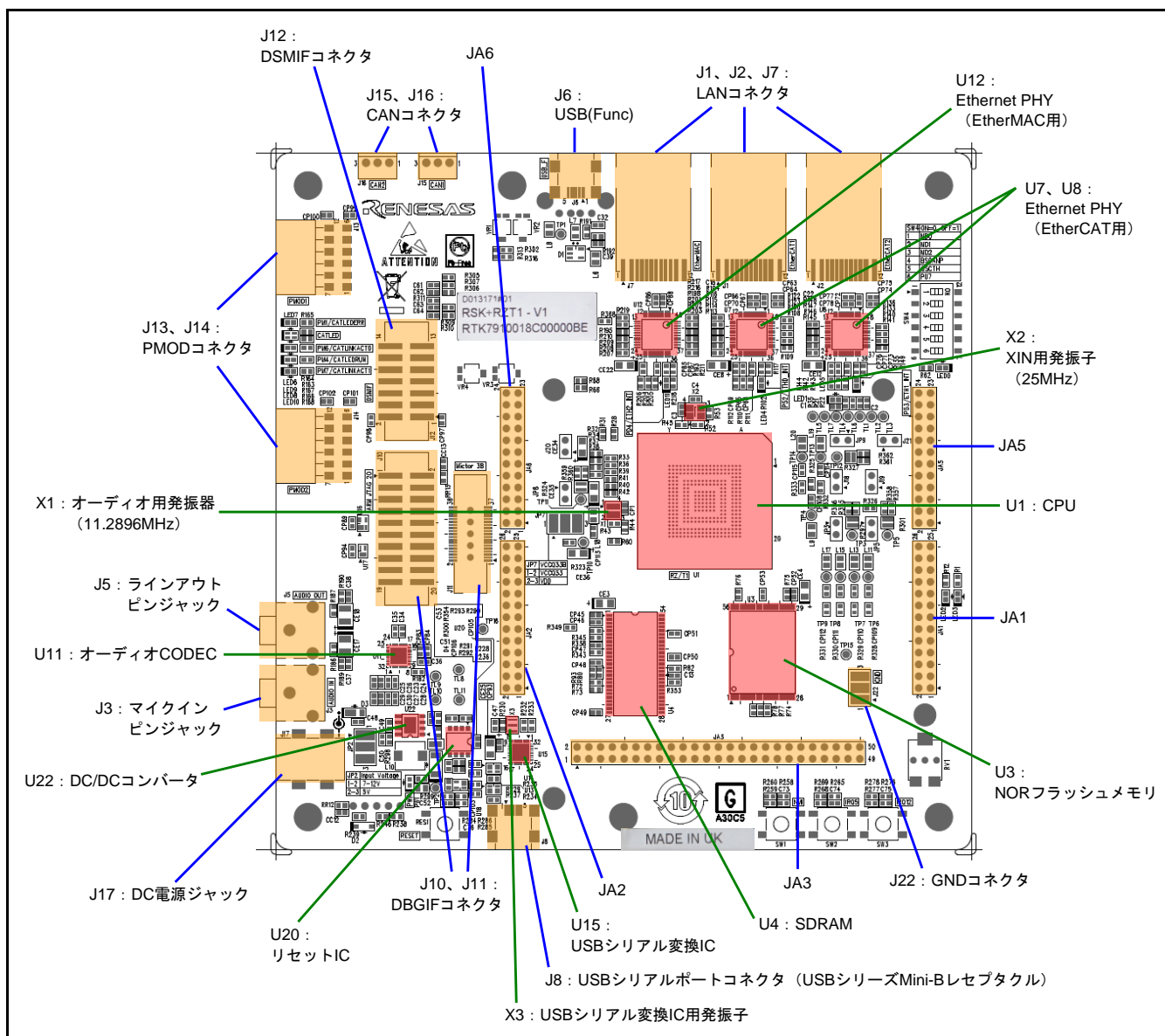


図 1.4 RTK7910018C00000BE 部品配置図 (C 面上面図)

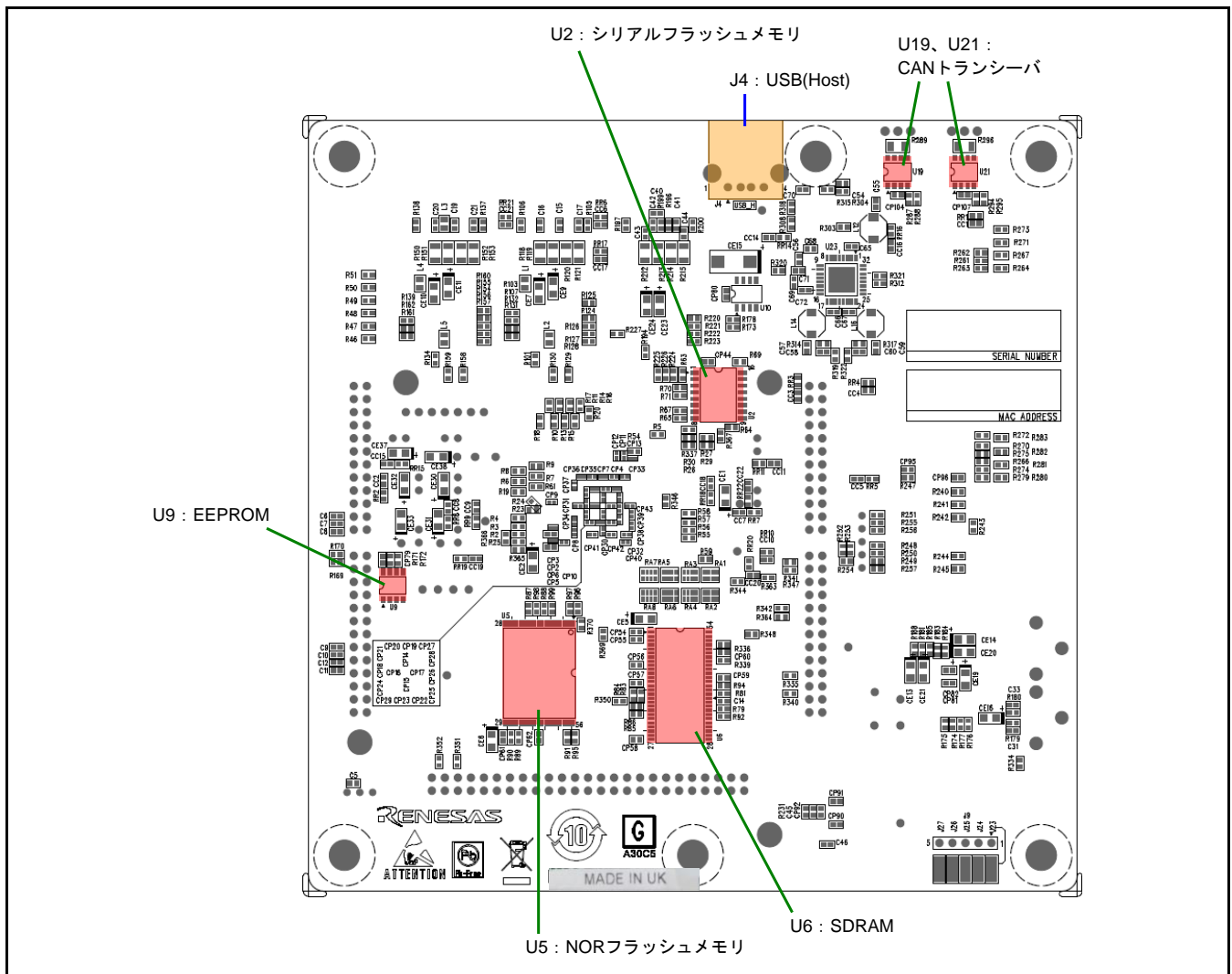


図 1.5 RTK7910018C00000BE 部品配置図 (S 面上面図)

表 1.3 および表 1.4 に RTK7910018C00000BE の主な実装部品一覧を示します。

表 1.3 RTK7910018C00000BE の主な実装部品一覧 (IC 関連)

部品番号	部品名称	型名 (メーカー)	未実装品推奨型名等
U1	CPU	R7S910018 (Renesas)	
U2	シリアルフラッシュメモリ	MX25L51245GMI-10G (Macronix)	
U3, U5	NOR フラッシュメモリ	MX29GL512FLT2I-10Q (Macronix)	
U4, U6	SDRAM	IS42S16320D-7TL (ISSI)	
U7, U8	Ethernet PHY (EtherCAT 用)	KSZ8041TL (Micrel)	
U9	EEPROM	R1EX24016ASAS0A (Renesas)	
U11	オーディオ CODEC	WM8978GEFL/V (Wolfson)	
U12	Ethernet PHY (EtherMAC 用)	KSZ8091MLXCA (Micrel)	
U15	USB シリアル変換 IC	R5F10JBCANA (Renesas)	
U19, U21	CAN トランシーバ	R2A25416SP (Renesas)	
U20	リセット IC	RNA51957BFP (Renesas)	
U22	DC/DC コンバータ	RAA230132 (Renesas)	
U23	レギュレータ	RAA230409GFT (Renesas)	
X1	オーディオ用発振器	NZ2520SD-11.289600M-NSA3449B (NDK)	
X2	XIN 用発振子	NX3225GA_25.000M-STD-CRG-1 (NDK)	
X3	USB シリアル変換 IC 用発振子	CSTCE12M0G52 (Murata)	

表 1.4 RTK7910018C00000BE の主な実装部品一覧 (コネクタ関連)

部品番号	部品名称	型名 (メーカー)	未実装品推奨型名等
J1, J2, J7	LAN コネクタ (RJ-45)	J3011G21DNL (Pulse)	
J3	マイクインピンジャック	STX-3100-3N (Kycon)	
J4	USB シリーズ A レセプタクル リバースタイプ	UBA-R4R-D14-4D (JST)	
J5	ラインアウトピンジャック	STX-3100-3N (Kycon)	
J6	USB シリーズ Mini-B レセプタクル	KMBX-SMT-5S-S-30TR (Kycon)	
J8	USB シリアルポートコネクタ	KMBX-SMT-5S-S-30TR (Kycon)	USB Mini-B
J10	DBGIF コネクタ (20 ピン)	HTST-110-01-T-DV (Samtec)	ARM JTAG 20
J11	DBGIF コネクタ (38 ピン)	2-5767004-2 (TE)	Mictor 38
J12	DSMIF コネクタ (14 ピン)	HTST-107-01-T-DV (Samtec)	
J13, J14	PMOD コネクタ (12 ピン)	SMH-106-02-L-D (Samtec)	
J15, J16	CAN コネクタ	B3P-SHF-1AA (JST)	
J17	DC 電源ジャック	KLDX-SMT2-0202-A (Kycon)	
J22	GND コネクタ	HWP-3P-G (MAC8)	

## 1.7 メモリ配置図

図 1.6 に RTK7910018C00000BE での R7S910018 のメモリ配置を示します。

先頭アドレス	R7S910018論理空間	RTK7910018C00000BE メモリマッピング
0000 0000h	ATCM : 512KB	ATCM (512KB)
0008 0000h	予約領域 (使用禁止)	予約領域 (使用禁止)
0080 0000h	BTCM : 32KB	BTCM (32KB)
0080 8000h	予約領域 (使用禁止)	予約領域 (使用禁止)
0400 0000h	拡張内蔵SRAM : 512KB	拡張内蔵SRAM (512KB)
0408 0000h	予約領域 (使用禁止)	予約領域 (使用禁止)
1000 0000h	SPIマルチI/Oバス空間 : 64MB	シリアルフラッシュメモリ (64MB)
1400 0000h	予約領域 (使用禁止)	予約領域 (使用禁止)
2000 0000h	拡張内蔵SRAM : 512KB	拡張内蔵SRAM (512KB)
2008 0000h	予約領域 (使用禁止)	予約領域 (使用禁止)
2200 0000h	拡張内蔵SRAM、 SPIマルチI/Oバス空間、 CS0~CS5空間 (ミラー空間)※	ミラー空間※
5800 0000h	予約領域 (使用禁止)	予約領域 (使用禁止)
6000 0000h	CS0空間 : 64MB	NORフラッシュメモリ (64MB)
6400 0000h	CS1空間 : 64MB	NORフラッシュメモリ (64MB)
6800 0000h	CS2空間 : 64MB	SDRAM (64MB)
6C00 0000h	CS3空間 : 64MB	SDRAM (64MB)
7000 0000h	CS4空間 : 64MB	ユーザ領域
7400 0000h	CS5空間 : 64MB	ユーザ領域
7800 0000h	予約領域 (使用禁止)	予約領域 (使用禁止)
A000 0000h	周辺I/O領域 : 1MB	周辺I/O領域 (1MB)
A010 0000h	その他、予約領域 (使用禁止)	その他、予約領域 (使用禁止)
FFF 0000h	ブート専用領域 : 32KB	ブート専用領域 (32KB)
FFF 8000h	予約領域 (使用禁止)	予約領域 (使用禁止)

【注】※Cache 対象領域 (一部、予約領域を含みます)

図 1.6 R7S910018 メモリ配置

## 1.8 絶対最大定格

表 1.5 に RTK7910018C00000BE の絶対最大定格を示します。

表 1.5 RTK7910018C00000BE の絶対最大定格

記号	項目	定格値	備考
D5V *1	5V 系電源電圧	-0.3V~6.25V	VSS 基準
D3.3V *2	3.3V 系電源電圧	-0.3V~4.2V	VSS 基準
A3.3V *3	アナログ 3.3V 系電源電圧	-0.3V~4.2V	AVSS 基準
D1.2V *4	1.2V 系電源電圧	-0.3V~1.6V	VSS 基準
A1.2V *5	アナログ 1.2V 系電源電圧	-0.3V~1.6V	AVSS 基準
T <sub>opr</sub>	動作周囲温度*6	0°C~50°C	結露なきこと、腐蝕性ガス環境は不可
T <sub>stg</sub>	保存周囲温度*6	-10°C~60°C	結露なきこと、腐蝕性ガス環境は不可

- 【注】 \*1 外部電源供給コネクタから直接 5V 系電源を供給する場合の規格です。  
 \*2 外部電源供給コネクタから直接 3.3V 系電源を供給する場合の規格です。  
 \*3 外部電源供給コネクタから直接アナログ 3.3V 系電源を供給する場合の規格です。  
 \*4 外部電源供給コネクタから直接 1.2V 系電源を供給する場合の規格です。  
 \*5 外部電源供給コネクタから直接アナログ 1.2V 系電源を供給する場合の規格です。  
 \*6 周囲温度とはボードに限りなく近い部分の空気の温度のことを言います。

## 1.9 動作条件

表 1.6 に RTK7910018C00000BE の動作条件を示します。

表 1.6 RTK7910018C00000BE の動作条件

記号	項目	定格値	備考
D5V *1	5V 系電源電圧	4.5V~5.5V	VSS 基準
D3.3V *2	3.3V 系電源電圧	3.0V~3.6V	VSS 基準
A3.3V *3	アナログ 3.3V 系電源電圧	3.0V~3.6V	AVSS 基準
D1.2V *4	1.2V 系電源電圧	1.14V~1.26V	VSS 基準
A1.2V *5	アナログ 1.2V 系電源電圧	1.14V~1.26V	AVSS 基準
—	最大消費電流	2A 以下	5V 系、3.3V 系、1.2V 系電源の合計値
T <sub>opr</sub>	動作周囲温度*6	0°C~40°C	結露なきこと、腐蝕性ガス環境は不可

- 【注】 \*1 外部電源供給コネクタから直接 5V 系電源を供給する場合の規格です。  
 \*2 外部電源供給コネクタから直接 3.3V 系電源を供給する場合の規格です。  
 \*3 外部電源供給コネクタから直接アナログ 3.3V 系電源を供給する場合の規格です。  
 \*4 外部電源供給コネクタから直接 1.2V 系電源を供給する場合の規格です。  
 \*5 外部電源供給コネクタから直接アナログ 1.2V 系電源を供給する場合の規格です。  
 \*6 周囲温度とはボードに限りなく近い部分の空気の温度のことを言います。

## 2. 機能仕様

### 2.1 機能概略

表 2.1.1 に RTK7910018C00000BE の機能モジュール一覧を示します。

表 2.1.1 RTK7910018C00000BE 機能モジュール一覧

項番	機能	内容
2.2	CPU	<ul style="list-style-type: none"> <li>R7S910018               <ul style="list-style-type: none"> <li>- 入力 (XIN) クロック : 25MHz</li> <li>- CPU クロック : 最大 600MHz</li> <li>- バスクロック : 最大 75MHz</li> </ul> </li> </ul>
2.3	メモリ	<ul style="list-style-type: none"> <li>内蔵メモリ               <ul style="list-style-type: none"> <li>- 拡張内蔵 SRAM : 1M バイト</li> <li>- 密結合メモリ (TCM)                   <ul style="list-style-type: none"> <li>ATCM : 512K バイト</li> <li>BTCM : 32K バイト</li> </ul> </li> </ul> </li> <li>NOR フラッシュメモリ : 64M バイト×2 個               <ul style="list-style-type: none"> <li>- Macronix 製 MX29GL512FLT2I-10Q</li> </ul> </li> <li>SDRAM : 64M バイト×2 個               <ul style="list-style-type: none"> <li>- ISSI 製 IS42S16320D-7TL</li> </ul> </li> <li>シリアルフラッシュメモリ : 64M バイト×1 個               <ul style="list-style-type: none"> <li>- Macronix 製 MX25L51245GMI-10G</li> </ul> </li> <li>EEPROM : 2K バイト×1 個               <ul style="list-style-type: none"> <li>- Renesas 製 R1EX24016ASAS0A</li> </ul> </li> </ul>
2.4	USBインタフェース	R7S910018 USB2.0ホスト/ファンクションモジュールとUSBコネクタの接続
2.5	シリアルインタフェース	R7S910018 FIFO内蔵シリアルコミュニケーションインタフェース (SCIFA) と USB Mini-Bコネクタの接続
2.6	入出力ポート	R7S910018入出力ポートとLED、ディップスイッチの接続
2.7	割り込みスイッチ	R7S910018 NMI端子、IRQ5端子、IRQ12端子の接続
2.8	ポテンショメータ	R7S910018アナログ入力端子 (AN007) の接続
2.9	クロック構成	システムクロック構成
2.10	リセット制御	RTK7910018C00000BEに実装されているデバイスのリセット制御
2.11	電源構成	RTK7910018C00000BEのシステム電源構成
2.12	デバッグインタフェース	R7S910018デバッグインタフェースと各種コネクタの接続
2.13	CANインタフェース	R7S910018 CANインタフェース (RSCAN) とCANトランシーバの接続
2.14	オーディオインタフェース	R7S910018とオーディオCODEC (WM8978) の接続
2.15	LANインタフェース (EtherMAC)	R7S910018イーサネットMAC (ETHERC) とEthernet PHYの接続
2.16	LANインタフェース (EtherCAT1、EtherCAT2)	R7S910018 EtherCATスレーブ・コントローラ (ESC) とEthernet PHY×2個の接続
2.17	モータ制御インタフェース	R7S910018とJAコネクタの接続
2.18	PMODインタフェース	R7S910018とPMOD1、PMOD2コネクタの接続
2.19	$\Delta\Sigma$ インタフェース (DSMIF)	R7S910018とDSMIFコネクタの接続
—	操作仕様	コネクタ、スイッチ、LED (※第3章にて詳細説明)

## 2.2 CPU

### 2.2.1 R7S910018 概要

RTK7910018C00000BE は、CPU クロック最大 600MHz で動作する 32 ビット RISC マイクロコンピュータ R7S910018 を実装しています。

## 2.3 メモリ

RTK7910018C00000BE は、R7S910018 の内蔵メモリの他、外部メモリとして NOR フラッシュメモリ、SDRAM、シリアルフラッシュメモリ、EEPROM を搭載しています。

以下に詳細を示します。

### 2.3.1 R7S910018 内蔵メモリ

R7S910018 は、内蔵メモリとして 1M バイトの拡張内蔵 SRAM、および、主にローダプログラムの展開先として使用する密結合メモリ (ATCM : 512K バイト、BTCM : 32K バイト) を搭載しています。

### 2.3.2 NOR フラッシュメモリ

RTK7910018C00000BE は、ユーザプログラムの保存用として表 2.3.1 に示す NOR フラッシュメモリ×2 個を標準実装しています。NOR フラッシュメモリの制御は、R7S910018 内蔵のバスステートコントローラ (BSC) で行います。NOR フラッシュメモリとは、16 ビットバス幅で接続しています。

図 2.3.1 に NOR フラッシュメモリのブロック図を示します。また、表 2.3.2 に R7S910018 のバスクロックが 75MHz 動作時のバスステートコントローラ設定 (NOR フラッシュメモリ ライト・リード) を示します。

表 2.3.1 NOR フラッシュメモリ概要

型名	バスサイズ	容量	アクセス時間
MX29GL512FLT2I-10Q	16ビット	64Mバイト (16ビット×32Mワード)	100ns

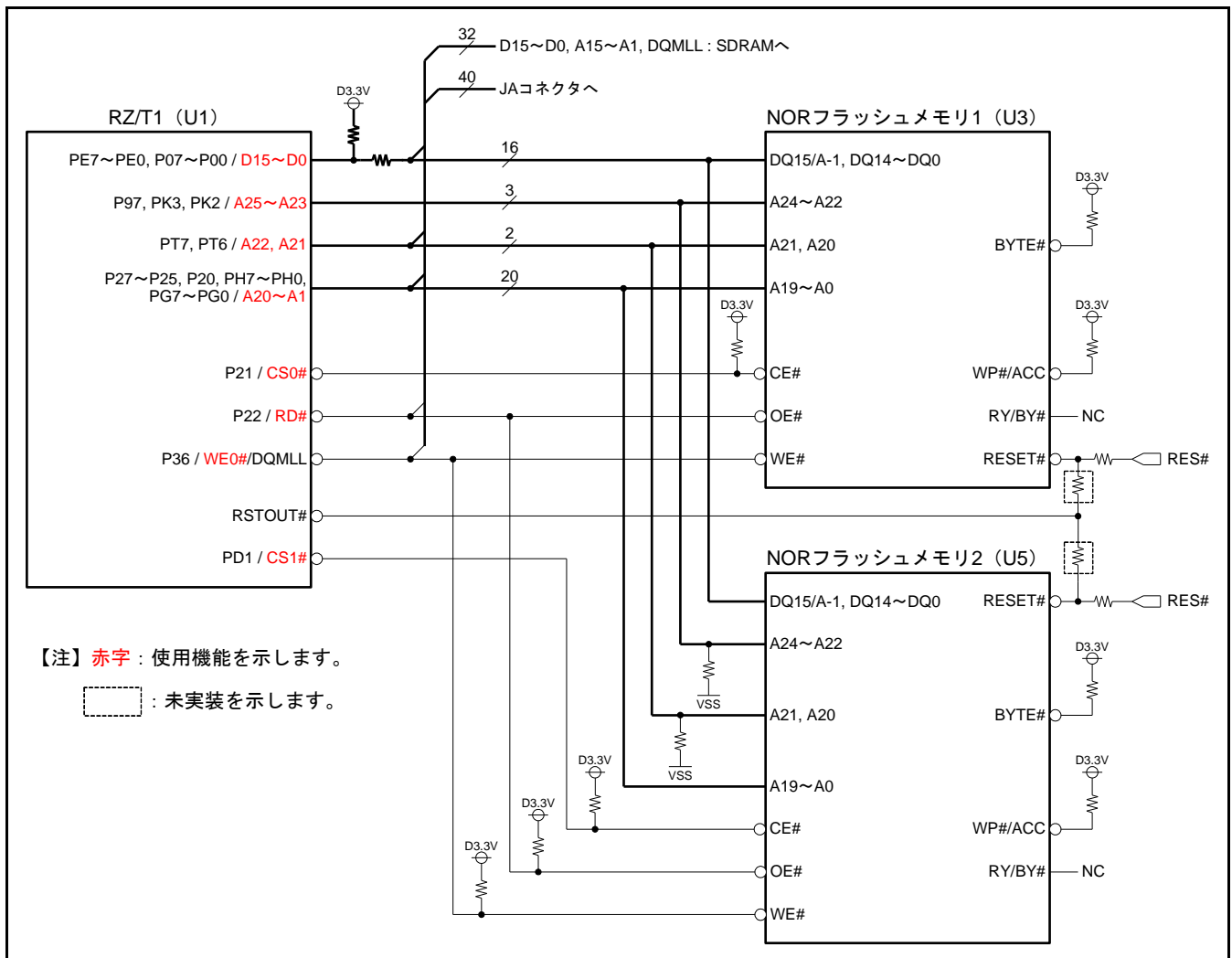


図 2.3.1 NOR フラッシュメモリブロック図

表 2.3.2 バスステートコントローラ設定 (NOR フラッシュメモリ ライト・リード)

ユーザ領域	対象デバイス	バスステートコントローラ設定
CS0、CS1	MX29GL512FLT2I-10Q	<p>■CSn空間バスコントロールレジスタ (CSnBCR) (n=0、1)</p> <ul style="list-style-type: none"> <li>・初期値 : <ul style="list-style-type: none"> <li>- 16ビットバスブートモードの場合 : 36DB 0C00h</li> <li>- SPIブートモードの場合 : 36DB 0E00h</li> </ul> </li> <li>・推奨設定値 : 1000 0C00h <ul style="list-style-type: none"> <li>- ライト-リード/ライト-ライトサイクル間アイドル指定 : IWW[2:0] = 001b ; 1アイドルサイクル挿入</li> <li>- 別空間リード-ライトサイクル間アイドル指定 : IWRWD[2:0] = 000b ; アイドルサイクルなし</li> <li>- 同一空間リード-ライトサイクル間アイドル指定 : IWRWS[2:0] = 000b ; アイドルサイクルなし</li> <li>- データバス幅指定 : BSZ[1:0] = 10b ; 16ビットバス幅</li> </ul> </li> </ul> <p>■CSn空間ウェイトコントロールレジスタ (CSnWCR) (n=0、1)</p> <ul style="list-style-type: none"> <li>・初期値 : 0000 0500h</li> <li>・推奨設定値 : 0000 1340h <ul style="list-style-type: none"> <li>- アドレス, CSn#アサート→RD#, WEn#アサート遅延サイクル数 : SW[1:0] = 10b ; 2.5サイクル</li> <li>- アクセスウェイトサイクル数 : WR[3:0] = 0110b ; 6サイクル</li> <li>- 外部ウェイトマスク指定 : WM = 1 ; 外部ウェイト入力無視</li> <li>- RD#, WEn#ネゲート→アドレス, CSn#ネゲート遅延サイクル数 : HW[1:0] = 00b ; 0.5サイクル</li> </ul> </li> </ul>

### 2.3.3 SDRAM

RTK7910018C00000BE は、外部 SDRAM として、表 2.3.3 に示す SDRAM×2 個を標準実装しています。SDRAM の制御は、R7S910018 内蔵のバスステートコントローラ（BSC）で行います。SDRAM とは 16 ビット幅で接続しています。

図 2.3.2 に SDRAM のブロック図を示します。また、表 2.3.4 に R7S910018 のバスクロックが 75MHz 動作時のバスステートコントローラ設定（SDRAM リード・ライト）を示します。

表 2.3.3 SDRAM 概要

仕様	内容
型名	IS42S16320D-7TL
構成	64Mバイト（8Mワード×16ビット×4バンク）×2個
容量	64Mバイト
アクセス時間	7.5ns
CASレイテンシ	2（システムクロック75MHz時）
リフレッシュ間隔	64ms毎の8192リフレッシュサイクル
ロウアドレス	A12～A0
カラムアドレス	A9～A0
バンク数	BA0、BA1で制御する4バンク動作

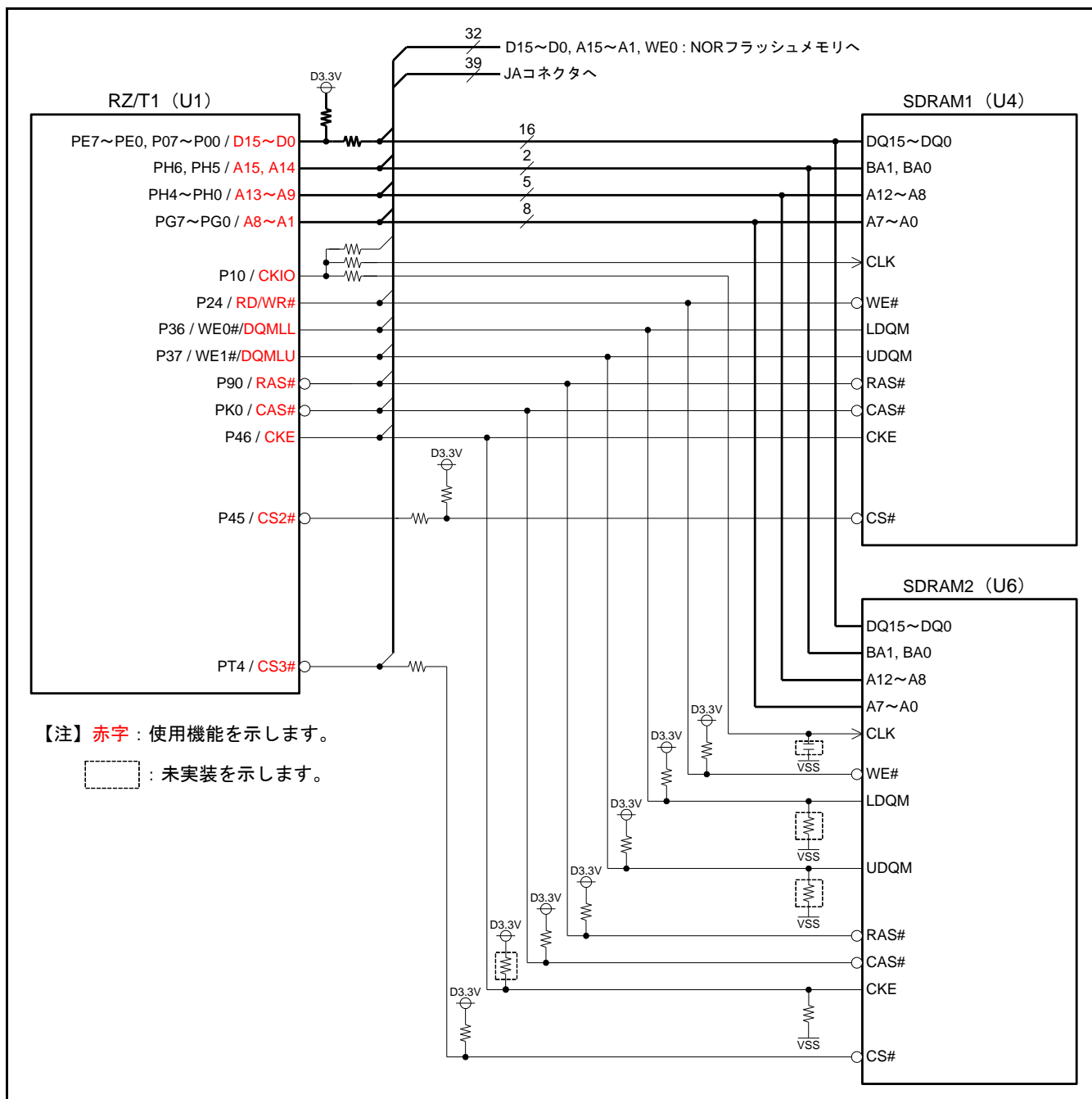


図 2.3.2 SDRAM ブロック図

表 2.3.4 バスステートコントローラ設定 (SDRAM リード・ライト)

ユーザ領域	対象デバイス	バスステートコントローラ設定
CS2、CS3	IS42S16320D-7TL	<p>■CSn空間バスコントロールレジスタ (CSnBCR) (n=2、3)</p> <ul style="list-style-type: none"> <li>・初期値 : 36DB 0C00h</li> <li>・推奨設定値 : 0000 4C00h</li> <li>- メモリ指定 : TYPE[2:0] = 100b ; SDRAM</li> <li>- データバス幅指定 : BSZ[1:0] = 10b ; 16ビットバス幅</li> </ul> <p>■CSn空間ウェイトコントロールレジスタ (CSnWCR) (n=2、3)</p> <ul style="list-style-type: none"> <li>・初期値 : 0000 0500h</li> <li>・推奨設定値 : 0000 0480h (CS2)、0000 2492h (CS3)</li> <li>- プリチャージ完了待ちサイクル数 : WTRP[1:0] = 01b ; 1サイクル</li> <li>- ACTVコマンド→READ (A) /WRIT (A) コマンド間ウェイトサイクル数 : WTRCD[1:0] = 01b ; 1サイクル</li> <li>- エリア3CASレイテンシ : A3CL[1:0] = 01b ; 2サイクル</li> <li>- プリチャージ起動待ちサイクル数 : TRWL[1:0] = 10b ; 2サイクル</li> <li>- REFコマンド/セルフリフレッシュ解除→ACTV/REF/MRSコマンド間アイドルサイクル数 : WTRC[1:0] = 10b ; 5サイクル</li> </ul> <p>■SDRAMコントロールレジスタ (SDCR)</p> <ul style="list-style-type: none"> <li>・初期値 : 0000 0000h</li> <li>・推奨設定値 : 0012 0812h</li> <li>- リフレッシュ制御 : RFSH = 1 ; リフレッシュする</li> <li>- リフレッシュ制御 : RMODE = 0 ; オートリフレッシュを行う</li> <li>- バンクアクティブモード : BACTV = 0 ; オートプリチャージモード</li> <li>- エリア3ロウアドレスビット数 : A3ROW[1:0] = 10b ; 13ビット</li> <li>- エリア3カラムアドレスビット数 : A3COL[1:0] = 10b ; 10ビット</li> </ul> <p>■リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)</p> <ul style="list-style-type: none"> <li>・初期値 : 0000 0000h</li> <li>・推奨設定値 : A55A 0010h</li> <li>- クロックセレクト : CKS[2:0] = 010b ; CKIO/16</li> <li>- リフレッシュ回数 : RRC[2:0] = 000b ; 1回</li> </ul> <p>■リフレッシュタイムコンスタントレジスタ (RTCOR)</p> <ul style="list-style-type: none"> <li>・初期値 : 0000 0000h</li> <li>・推奨設定値 : A55A 0024h</li> <li>1サイクル=213.33nsec (75MHz/16 = 4.6875MHz)</li> <li>本SDRAMのリフレッシュ要求間隔 : 7.8125 <math>\mu</math> sec / 回</li> <li>7.8125 <math>\mu</math> sec / 213.33nsec = 36 (24h) サイクル / リフレッシュ回数</li> </ul>

### 2.3.4 シリアルフラッシュメモリ

RTK7910018C00000BE は、表 2.3.5 に示すシリアルフラッシュメモリ×1 個を標準実装しています。シリアルフラッシュメモリの制御は、R7S910018 内蔵の SPI マルチ I/O バスコントローラ (SPIBSC) で行います。ブート時 (ブートモード) にはシリアルフラッシュメモリからデータ (プログラム) を読み出します。

図 2.3.3 にシリアルフラッシュメモリのブロック図を示します。また、表 2.3.6～表 2.3.8 に R7S910018 の SPIBSC クロック (SPBCLK) が 75MHz 動作時の SPIBSC 設定 (シリアルフラッシュメモリ ライト・リード) を示します。

表 2.3.5 シリアルフラッシュメモリ概要

型名	R7S910018との接続インタフェース	容量	パッケージ
MX25L51245GMI-10G	6線式シリアル (SPIBSC)	64Mバイト	16ピン SOIC

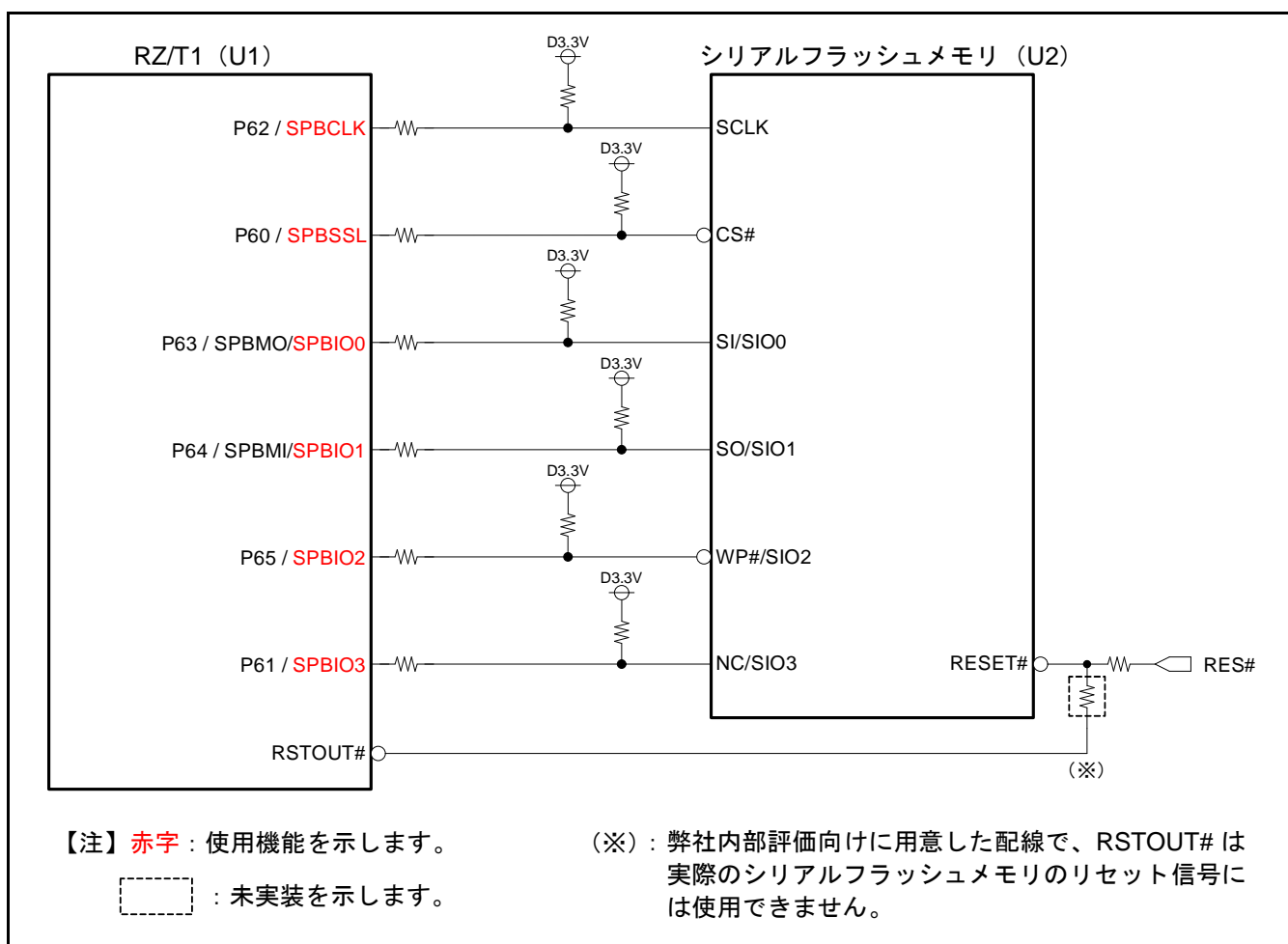


図 2.3.3 シリアルフラッシュメモリブロック図

表 2.3.6 SPIBSC 設定 (シリアルフラッシュメモリ ライト・リード) (1/3)

ユーザ領域	対象デバイス	SPIBSC設定
SPIマルチI/O バス	MX25L51245GMI-10G	<p>■ 共通コントロールレジスタ (CMNCR)</p> <ul style="list-style-type: none"> <li>・ 初期値 : 01AA 4000h</li> <li>・ 推奨設定値 : 01FF F320h (外部アドレス空間リードモード時) <ul style="list-style-type: none"> <li>- 動作モード切り替え : <ul style="list-style-type: none"> <li>MD = 0 ; 外部アドレス空間リードモード</li> </ul> </li> <li>- シリアルフラッシュデータスワップ設定 : <ul style="list-style-type: none"> <li>SFDE = 1 ; 8ビット単位でスワップ</li> </ul> </li> <li>- SPBSSLアイドル時SPBIO3固定値 : <ul style="list-style-type: none"> <li>MOIO3[1:0] = 11b ; 出力値はHi-Z</li> </ul> </li> <li>- SPBSSLアイドル時SPBIO2固定値 : <ul style="list-style-type: none"> <li>MOIO2[1:0] = 11b ; 出力値はHi-Z</li> </ul> </li> <li>- SPBSSLアイドル時SPBIO1固定値 : <ul style="list-style-type: none"> <li>MOIO1[1:0] = 11b ; 出力値はHi-Z</li> </ul> </li> <li>- SPBSSLアイドル時SPBIO0固定値 : <ul style="list-style-type: none"> <li>MOIO0[1:0] = 11b ; 出力値はHi-Z</li> </ul> </li> <li>- 1ビット/2ビット幅時SPBIO3固定値 : <ul style="list-style-type: none"> <li>IO3FV[1:0] = 11b ; 出力値はHi-Z</li> </ul> </li> <li>- 1ビット/2ビット幅時SPBIO2固定値 : <ul style="list-style-type: none"> <li>IO2FV[1:0] = 11b ; 出力値はHi-Z</li> </ul> </li> <li>- 1ビット幅入力時SPBIO0固定値 : <ul style="list-style-type: none"> <li>IO0FV[1:0] = 11b ; 出力値はHi-Z</li> </ul> </li> <li>- 出力シフト設定 : <ul style="list-style-type: none"> <li>CPHAT = 0 ; 偶数エッジでデータ送信</li> </ul> </li> <li>- 入力ラッチ設定 : <ul style="list-style-type: none"> <li>CPHAR = 1 ; 偶数エッジでデータ受信</li> </ul> </li> <li>- SPBSSL信号極性設定 : <ul style="list-style-type: none"> <li>SSLP = 0 ; SPBSSL信号はLowアクティブ</li> </ul> </li> <li>- SPBSSLネゲート期間SPBCLK出力方向 : <ul style="list-style-type: none"> <li>CPOL = 0 ; SPBSSL信号がインアクティブ時SPBCLK端子は0出力</li> </ul> </li> <li>- シリアルフラッシュ接続数 : <ul style="list-style-type: none"> <li>BSZ[1:0] = 00b ; 1個 (※RZ/T1では1個のみ接続可能)</li> </ul> </li> </ul> </li> </ul> <p>■ SSL遅延レジスタ (SSLDR)</p> <ul style="list-style-type: none"> <li>・ 初期値 : 0007 0707h</li> <li>・ 推奨設定値 : 0000 0000h <ul style="list-style-type: none"> <li>- 次アクセス遅延設定 : <ul style="list-style-type: none"> <li>SPNDL[2:0] = 000b ; 1SPBCLK</li> </ul> </li> <li>- SPBSSLネゲート遅延設定 : <ul style="list-style-type: none"> <li>SLNDL[2:0] = 000b ; 1.5SPBCLK</li> </ul> </li> <li>- クロック遅延設定 : <ul style="list-style-type: none"> <li>SCKDL[2:0] = 000b ; 1SPBCLK</li> </ul> </li> </ul> </li> </ul> <p>■ ビットレート設定レジスタ (SPBCR)</p> <ul style="list-style-type: none"> <li>・ 初期値 : 0000 0003h</li> </ul>

表 2.3.7 SPIBSC 設定 (シリアルフラッシュメモリ ライト・リード) (2/3)

ユーザ領域	対象デバイス	SPIBSC設定
SPIマルチI/O バス	MX25L51245GMI-10G	<ul style="list-style-type: none"> <li>・ 推奨設定値 : 0000 0100h</li> <li>- ビットレート設定 : SPBR[7:0] = 000 0001b ; n = 1</li> <li>- ビットレート分周設定 : BRDV[1:0] = 00b ; ベースのビットレートを選択 (N = 0) → SPBCLK = ICLK/(2 × n × 2<sup>N</sup>) = 150MHz/2 = 75MHz</li> <li>■ データリード拡張アドレス設定レジスタ (DREAR)</li> <li>・ 初期値 : 0000 0000h</li> <li>・ 推奨設定値 : 0000 0001h</li> <li>- 32ビット拡張外部アドレス有効範囲設定 : EAC[2:0] = 001b ; 外部アドレスのビット[25:0]が有効</li> <li>- 32ビット拡張上位アドレス固定値設定 : EAV[7:0] = 0000 0000b ; シリアルフラッシュのアドレス[32:26]を EAV[7:1]に設定</li> <li>■ データリードコントロールレジスタ (DRCR)</li> <li>・ 初期値 : 0000 0000h</li> <li>・ 推奨設定値 : 0001 0101h</li> <li>- リードデータバースト長 : RBURST[3:0] = 0001b ; 2データ長 (2×64ビット) 連続</li> <li>- リードバースト : RBE = 1 ; リードキャッシュ有効 (RBURST[3:0]に指定されたバースト数分リード)</li> <li>- SPBSSLネゲート設定 : SSLE = 1 ; アクセスしたアドレスが前回転送のアドレスから連続 していないときにSPBSSL信号をインアクティブにする</li> <li>■ データリードコマンド設定レジスタ (DRCMR)</li> <li>・ 初期値 : 0003 0000h</li> <li>・ 推奨設定値 : 00EC 0000h</li> <li>- コマンド : CMD[7:0] = 1110 1100b ; 使用されるシリアルフラッシュの コマンドを設定</li> <li>- オプションコマンド : OCMD[7:0] = 0000 0000b ; 使用されるシリアルフラッシュの オプションコマンドを設定</li> <li>■ データリードイネーブル設定レジスタ (DRENDR)</li> <li>・ 初期値 : 0000 4700h</li> <li>・ 推奨設定値 : 0222 CF80h</li> <li>- コマンドビット幅 : CDB[1:0] = 00b ; 1ビット</li> <li>- オプションコマンドビット幅 : OCDB[1:0] = 00b ; 1ビット</li> </ul>

表 2.3.8 SPIBSC 設定 (シリアルフラッシュメモリ ライト・リード) (3/3)

ユーザ領域	対象デバイス	SPIBSC設定
SPIマルチI/O バス	MX25L51245GMI-10G	<ul style="list-style-type: none"> <li>- アドレスビット幅 : ADB[1:0] = 10b ; 4ビット</li> <li>- オプションデータビット幅 : OPDB[1:0] = 10b ; 4ビット</li> <li>- データリードビット幅 : DRDB[1:0] = 10b ; 4ビット</li> <li>- ダミーサイクルイネーブル : DME = 1 ; ダミーサイクルを挿入する</li> <li>- コマンドイネーブル : CDE = 1 ; コマンド出力する</li> <li>- オptionalコマンドイネーブル : OCDE = 0 ; オptionalコマンド出力しない</li> <li>- アドレスイネーブル : ADE[3:0] = 1111b ; Address[31:0]を出力</li> <li>- オプションデータイネーブル : OPDE[3:0] = 1000b ; OPD3を出力</li> </ul> <p>■データリードダミーサイクル設定レジスタ (DRDMCR)</p> <ul style="list-style-type: none"> <li>・初期値 : 0000 0000h</li> <li>・推奨設定値 : 0000 0005h</li> <li>- ダミーサイクルビット幅 : DMDB[1:0] = 00b ; 1ビット</li> <li>- ダミーサイクル数設定 : DMCYC[2:0] = 101b ; 6サイクル</li> </ul> <p>■データリードオプション設定レジスタ (DROPR)</p> <ul style="list-style-type: none"> <li>・初期値 : 0000 0000h</li> <li>・推奨設定値 : 0000 0000h</li> <li>- オプションデータ3 OPD3[7:0] = 0000 0000b ; オプションデータ3を設定</li> <li>- オプションデータ2 OPD2[7:0] = 0000 0000b ; オプションデータ2を設定</li> <li>- オプションデータ1 OPD1[7:0] = 0000 0000b ; オプションデータ1を設定</li> <li>- オプションデータ0 OPD0[7:0] = 0000 0000b ; オプションデータ0を設定</li> </ul> <p>注) 本設定の推奨設定値は、シリアルフラッシュメモリ (MX25L51245GMI-10G) 用のQuad I/Oモードで使用される4READ4Bコマンドを想定しています。本設定でシリアルフラッシュメモリを使用するためには、シリアルフラッシュメモリ内にあるレジスタの設定を変更する必要があります。</p>

### 2.3.5 EEPROM

RZ7910018C00000BE は、表 2.3.9 に示す EEPROM×1 個を標準実装しています。EEPROM の制御は、R7S910018 内蔵の I<sup>2</sup>C バスインタフェース (R7S910018) もしくは EtherCAT スレーブ・コントローラ (ESC) により行います。

図 2.3.4 に EEPROM のブロック図を示します。

表 2.3.9 EEPROM 概要

型名	R7S910018との接続インタフェース	容量	パッケージ
R1EX24016ASAS0A	2線式シリアル	2Kバイト (16Kワード×8ビット)	8ピン SOP

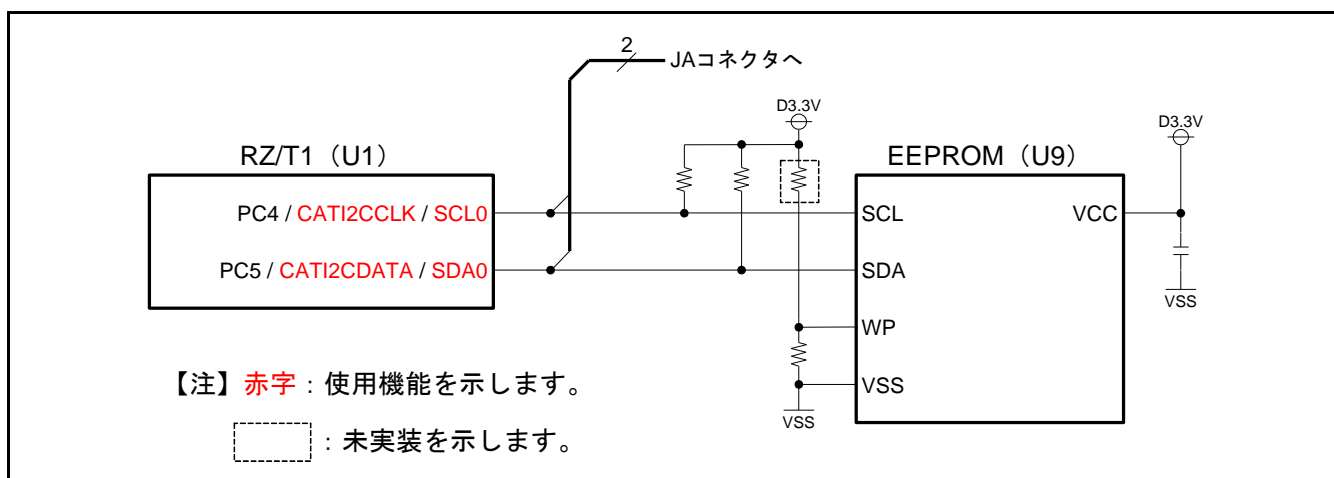


図 2.3.4 EEPROM ブロック図



### 2.5 シリアルインタフェース

RTK7910018C00000BE では、R7S910018 内蔵の FIFO 内蔵シリアルコミュニケーションインタフェース (SCIFA) チャンネル 2 を、USB シリアル変換 IC (RL78/G1C) を介して USB シリアルポートコネクタ (USB シリーズ Mini-B レセプタクル) (J8) に接続しています。

図 2.5.1 にシリアルインタフェースのブロック図を示します。

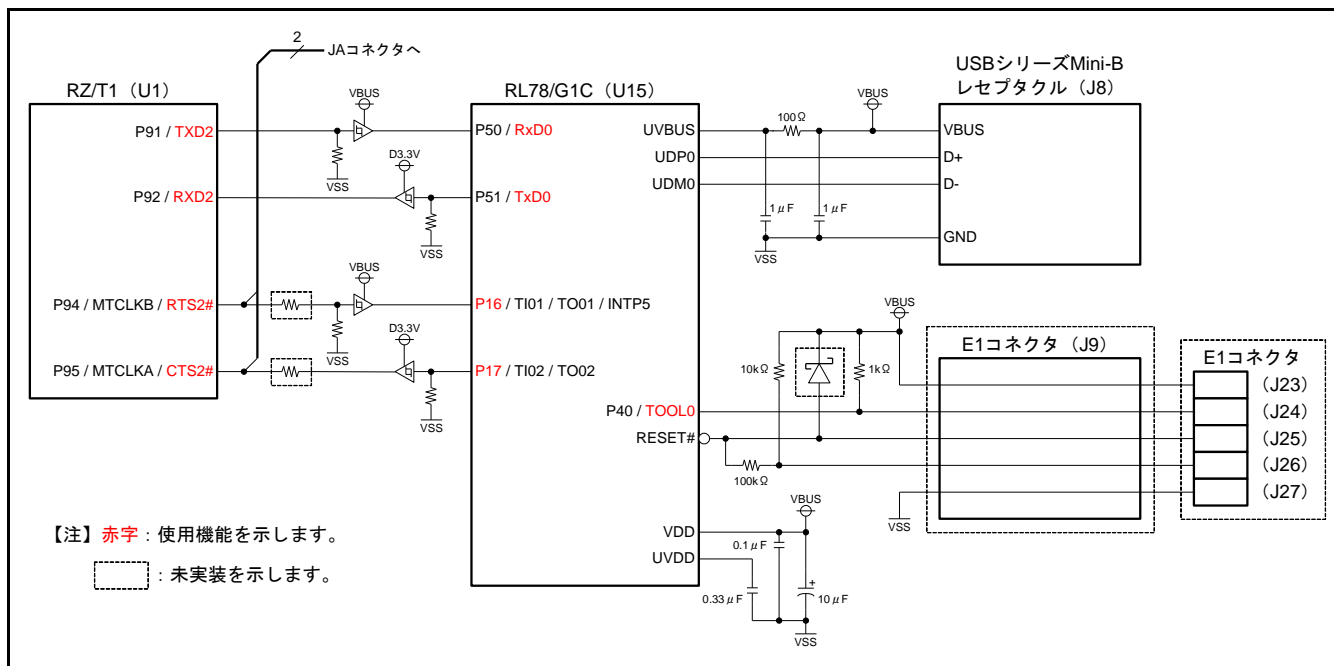


図 2.5.1 シリアルインタフェースブロック図

## 2.6 入出力ポート

RTK7910018C00000BE では、R7S910018 の I/O ポートを LED とディップスイッチに接続しています。  
図 2.6.1 に入出力ポートのブロック図を示します。

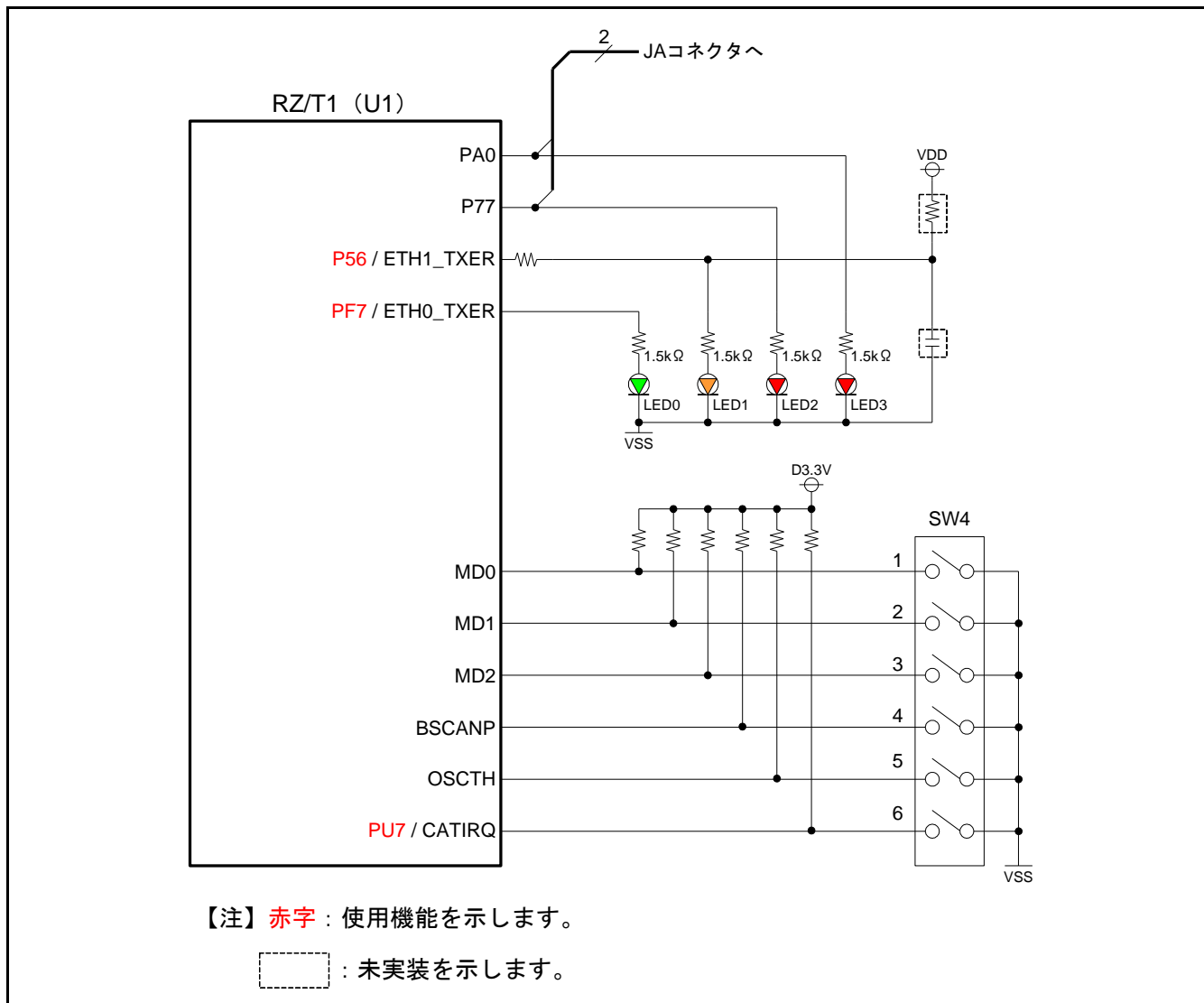


図 2.6.1 入出力ポートブロック図

## 2.7 割り込みスイッチ

RTK7910018C00000BE は、R7S910018 の NMI、IRQ5、IRQ12 割り込み信号入力用プッシュスイッチ (SW1、SW2、SW3) を実装しています。

図 2.8.1 に割り込みスイッチのブロック図を示します。

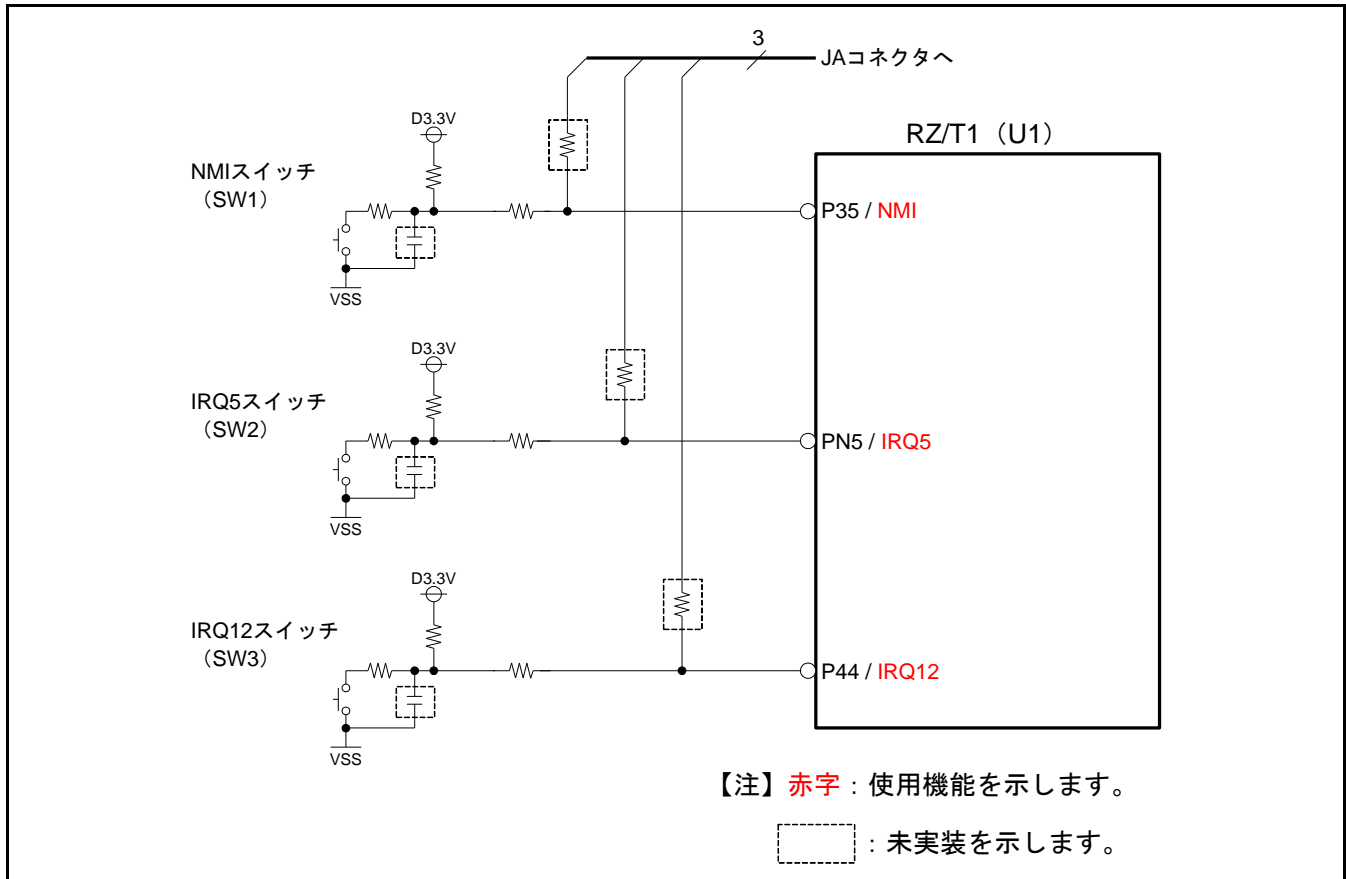


図 2.7.1 割り込みスイッチブロック図

## 2.8 ポテンショメータ

RTK7910018C00000BE は、R7S910018 のアナログ入力端子の内、AN007 に対し単回転ポテンショメータ (RV1) が接続されており、当該端子への可変アナログ入力が可能です。

図 2.8.1 にポテンショメータのブロック図を示します。

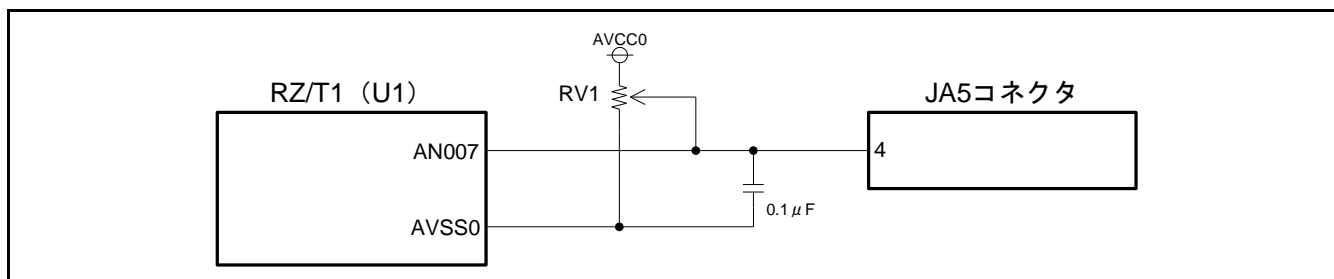


図 2.8.1 ポテンショメータブロック図

## 2.9 クロック構成

RTK7910018C00000BE 上の R7S910018 には、以下 2 種類のクロックを入力します。

- ・ R7S910018 入力クロック : 25MHz
- ・ R7S910018 オーディオ用クロック : 11.2896MHz

図 2.9.1 にクロック構成のブロック図を示します。

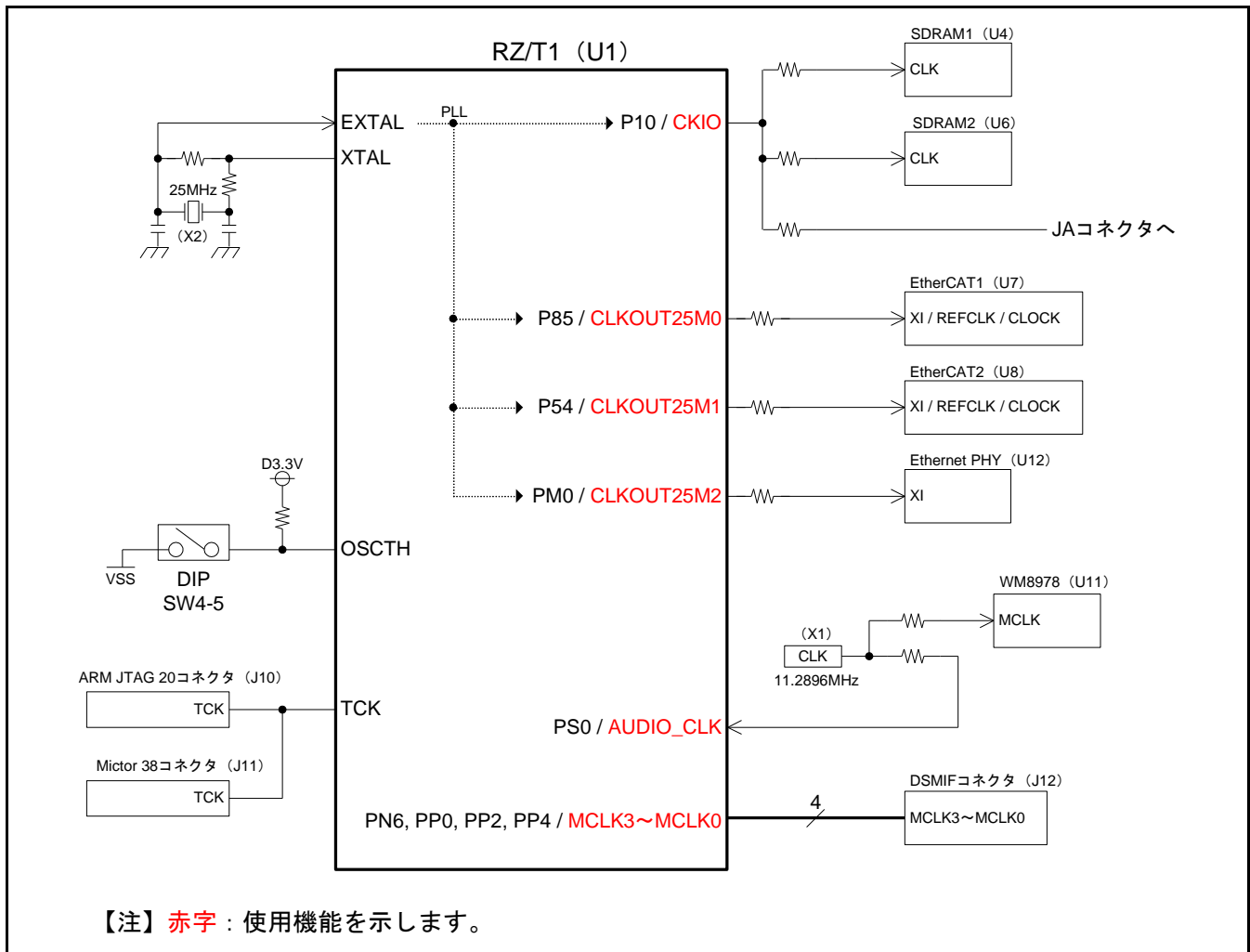


図 2.9.1 クロック構成ブロック図

### 2.10 リセット制御

RTK7910018C00000BE では、リセット IC により、R7S910018、各種メモリ、各種コネクタ、Ethernet PHY などに接続されるリセット信号の制御を行います。

システムリセットには、パワーオンリセット、スイッチによるリセットの 2 種類があります。

図 2.10.1 に、リセット制御のブロック図を示します。

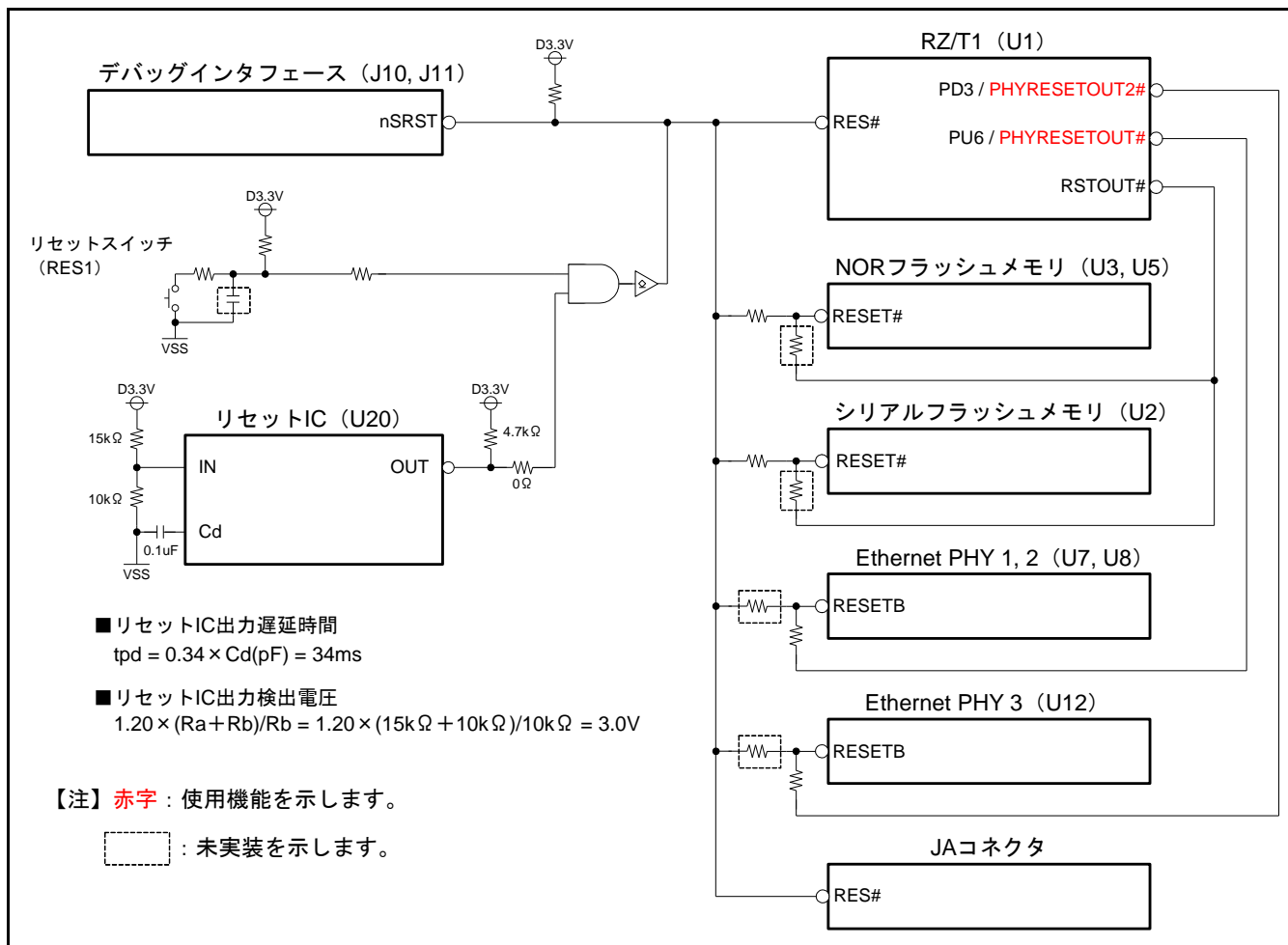


図 2.10.1 リセット制御ブロック図

### 2.11 電源構成

RTK7910018C00000BE では、7~12V 電源もしくは 5V 電源を使用し、レギュレータにより 5V、3.3V、1.2V を生成しています。7~12V 電源を使用する場合、JP2 の 1-2 をショートしてください。5V 電源を使用する場合、JP2 の 2-3 をショートしてください。

R7S910018 用の内部電源 (1.2V)、I/O 電源 (3.3V)、アナログ電源 (3.3V および 1.2V) は、外部からも供給可能な構成になっています。

図 2.11.1 に、電源構成のブロック図を示します。また、表 2.11.1 にジャンパ JP2、JP7 機能設定表を示します。

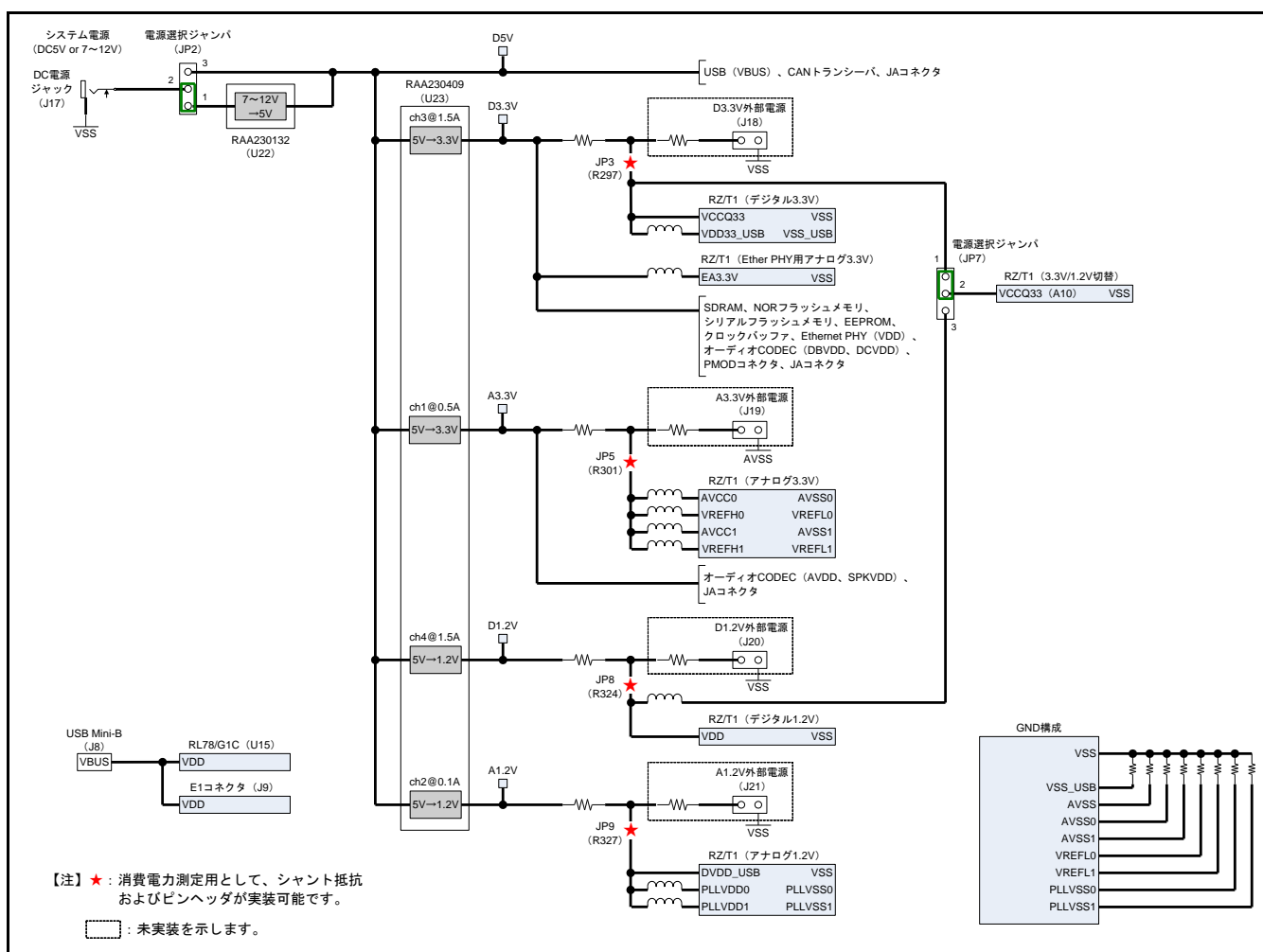


図 2.11.1 電源構成ブロック図

表 2.11.1 ジャンパ JP2、JP7 機能設定表

ジャンパ	機能	
	1-2	2-3
JP2	7~12V電源を使用	5V電源を使用
JP7	VCCQ33端子（端子番号：A10）にR7S910018用デジタル3.3Vを印加	VCCQ33端子（端子番号：A10）にR7S910018用デジタル1.2Vを印加 (設定禁止)

【注】  : 出荷時の設定機能を示します。

ジャンパの機能変更は、必ずボードの電源をオフにした状態で行ってください。

## 2.12 デバッグインタフェース

RTK7910018C00000BE は、R7S910018 デバッグインタフェースとの接続用に、ARM JTAG 20 コネクタ (J10) および Mictor 38 コネクタ (J11) を実装しています。

図 2.12.1 にデバッグインタフェースのブロック図を示します。

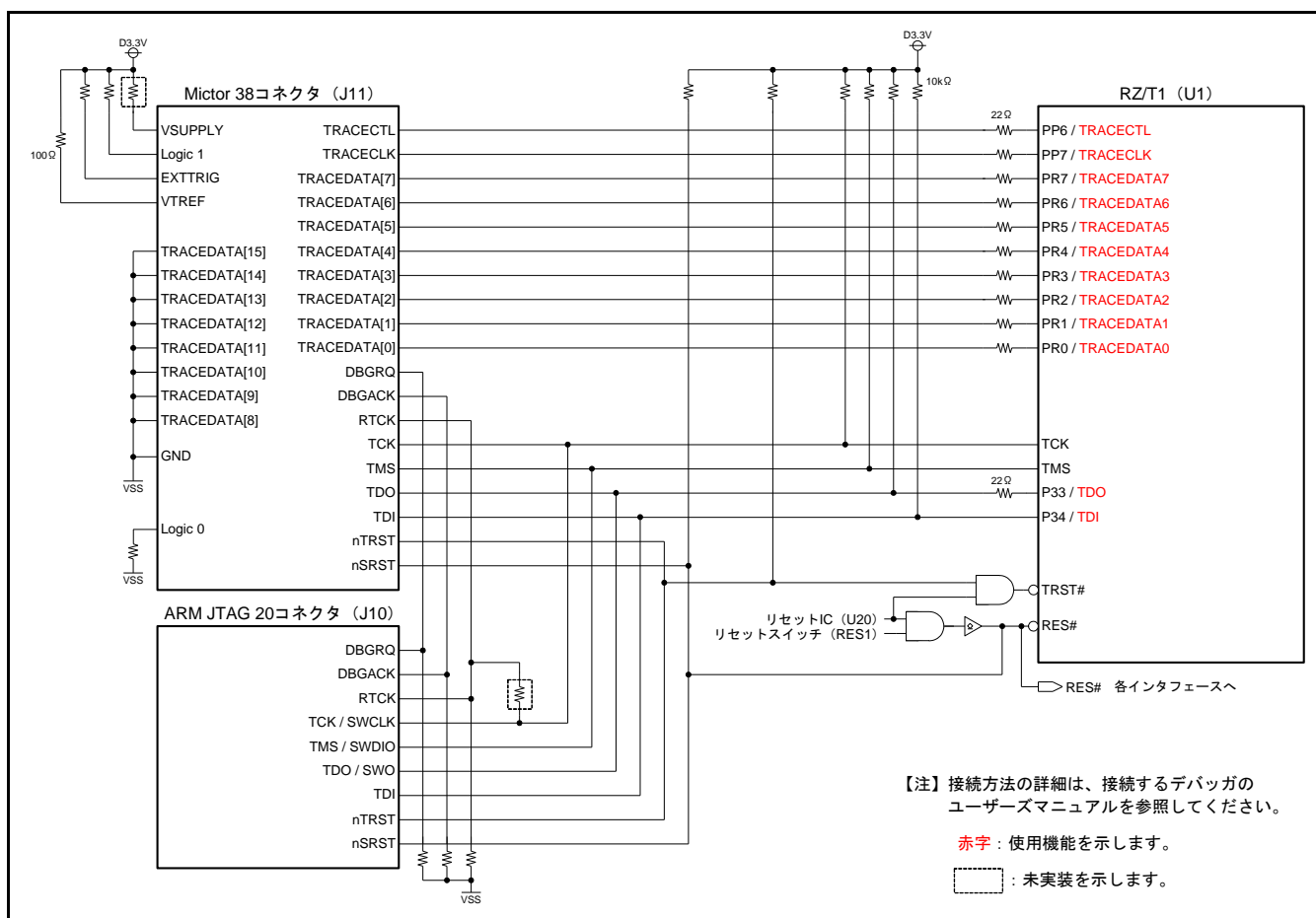


図 2.12.1 デバッグインタフェースブロック図

## 2.13 CAN インタフェース

R7S910018 は、CAN インタフェース (RSCAN) を内蔵しています。RTK7910018C00000BE では、RSCAN のチャンネル 0 とチャンネル 1 を、CAN トランシーバ IC を介して、3 ピン 2.5mm ピッチコネクタに接続しており、CAN 通信を行うことができます。

図 2.13.1 に CAN インタフェースのブロック図を示します。

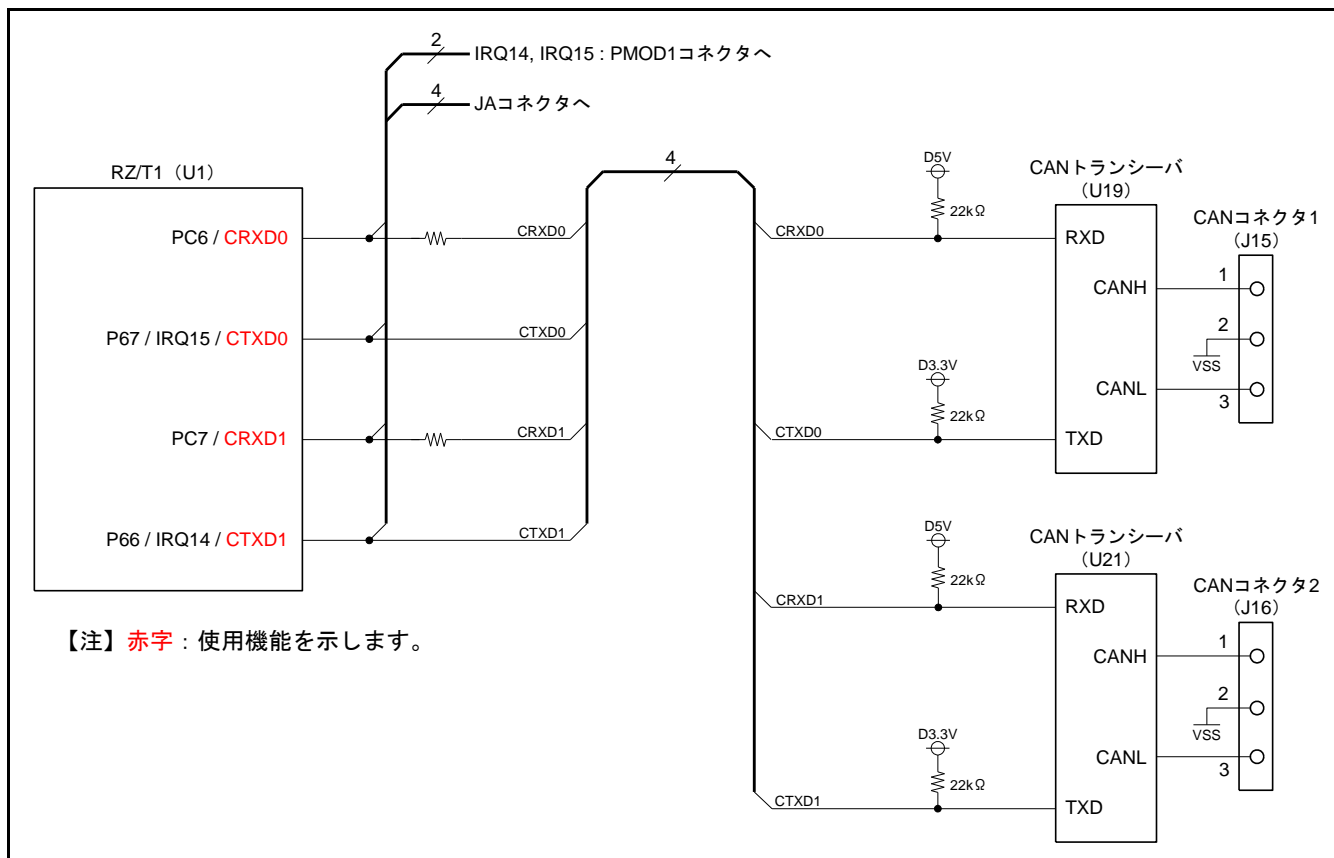


図 2.13.1 CAN インタフェースブロック図

### 2.14 オーディオインターフェース

RZ7910018C00000BE は、オーディオインターフェースとして、Wolfson 社製オーディオ CODEC WM8978×1 個を実装しています。WM8978 のレジスタ制御は、R7S910018 内蔵のルネサスシリアルペリフェラルインタフェース (RSPiA) チャンネル 1 で行い、音声データの入出力制御は、R7S910018 内蔵のシリアルサウンドインタフェース (SSI) チャンネル 0 で行います。

図 2.14.1 に、オーディオインターフェースのブロック図を示します。

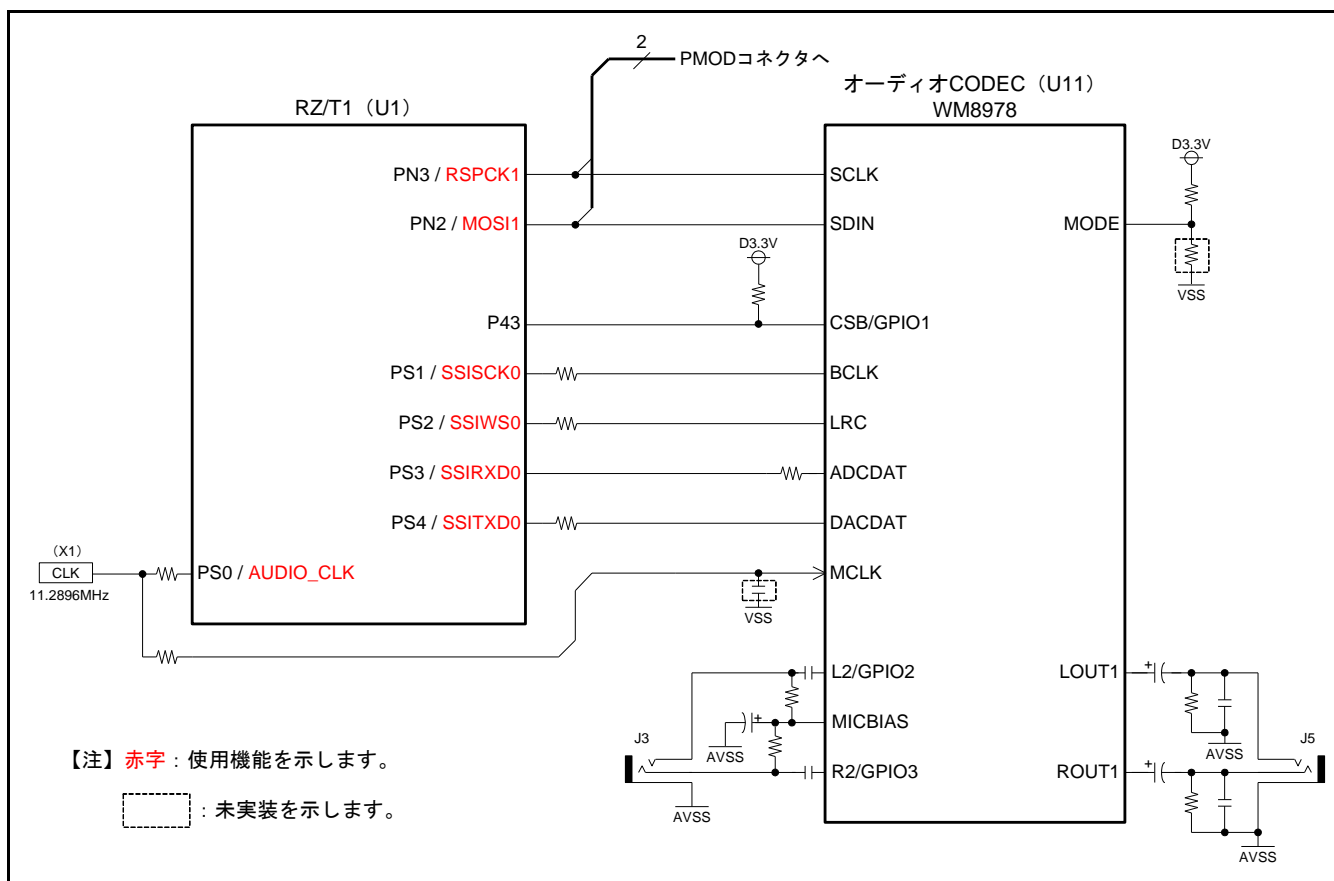


図 2.14.1 オーディオインターフェースブロック図

## 2.15 LAN インタフェース (EtherMAC)

RTK7910018C00000BE は、Micrel 製 Ethernet PHY KSZ8091MLX×1 個を実装しており、R7S910018 内蔵のイーサネット MAC (ETHERC) を使用した Ethernet 通信を行うことができます。

図 2.16.1 に LAN インタフェース (EtherMAC) のブロック図を示します。

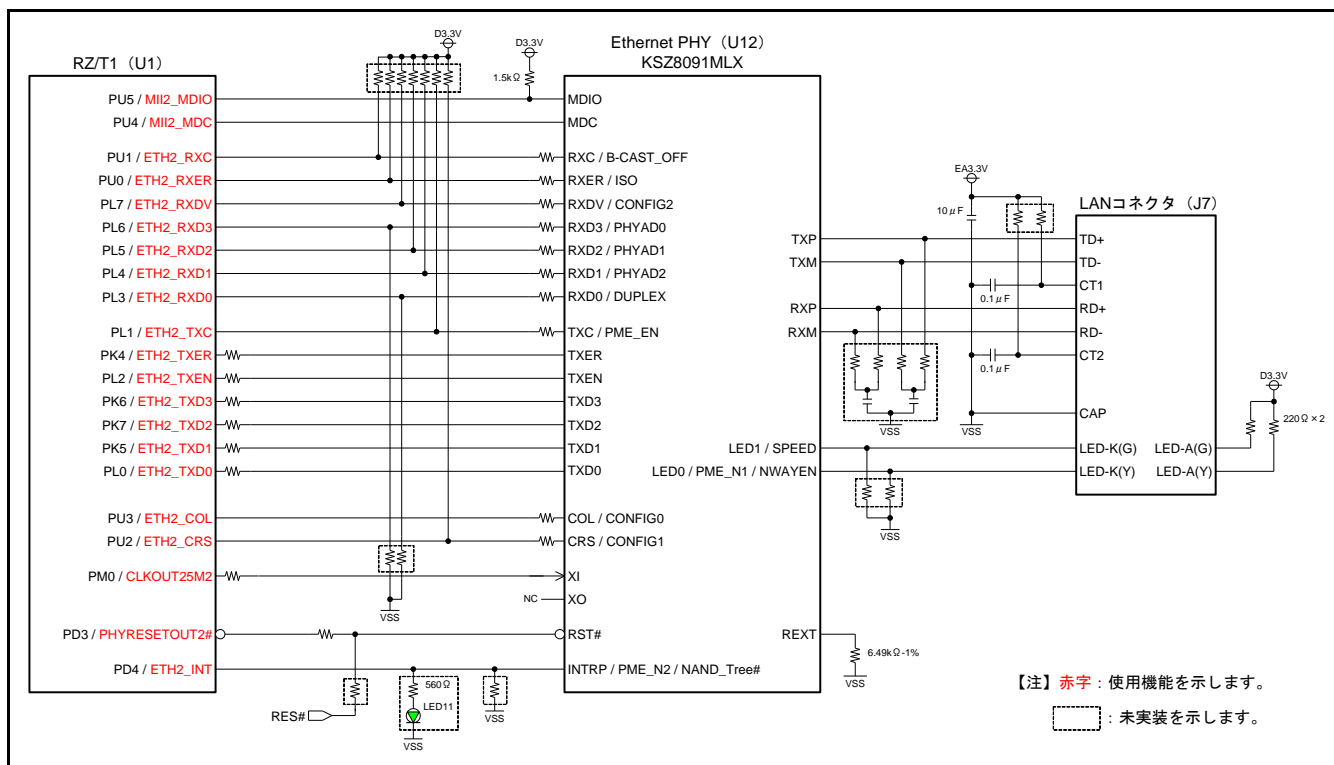


図 2.15.1 LAN インタフェース (EtherMAC) ブロック図

## 2.16 LAN インタフェース (EtherCAT1、EtherCAT2)

RTK7910018C00000BE は、Micrel 製 Ethernet PHY KSZ8041TL×2 個を実装しており、R7S910018 内蔵の EtherCAT スレーブ・コントローラ (ESC) を使用したリアルタイム性の高い Ethernet 通信評価を行うことができます。

LAN インタフェース (EtherCAT) には、R7S910018 内蔵の ESC が使用する外部メモリとして、2K バイトの EEPROM を搭載しています。なお、この EEPROM は R7S910018 内蔵の I<sup>2</sup>C バスインタフェース (RIICa) を使用して制御することも可能です (「2.3.5 EEPROM」参照)。

図 2.16.1 および図 2.16.2 に LAN インタフェース (EtherCAT1、EtherCAT2) のブロック図を示します。

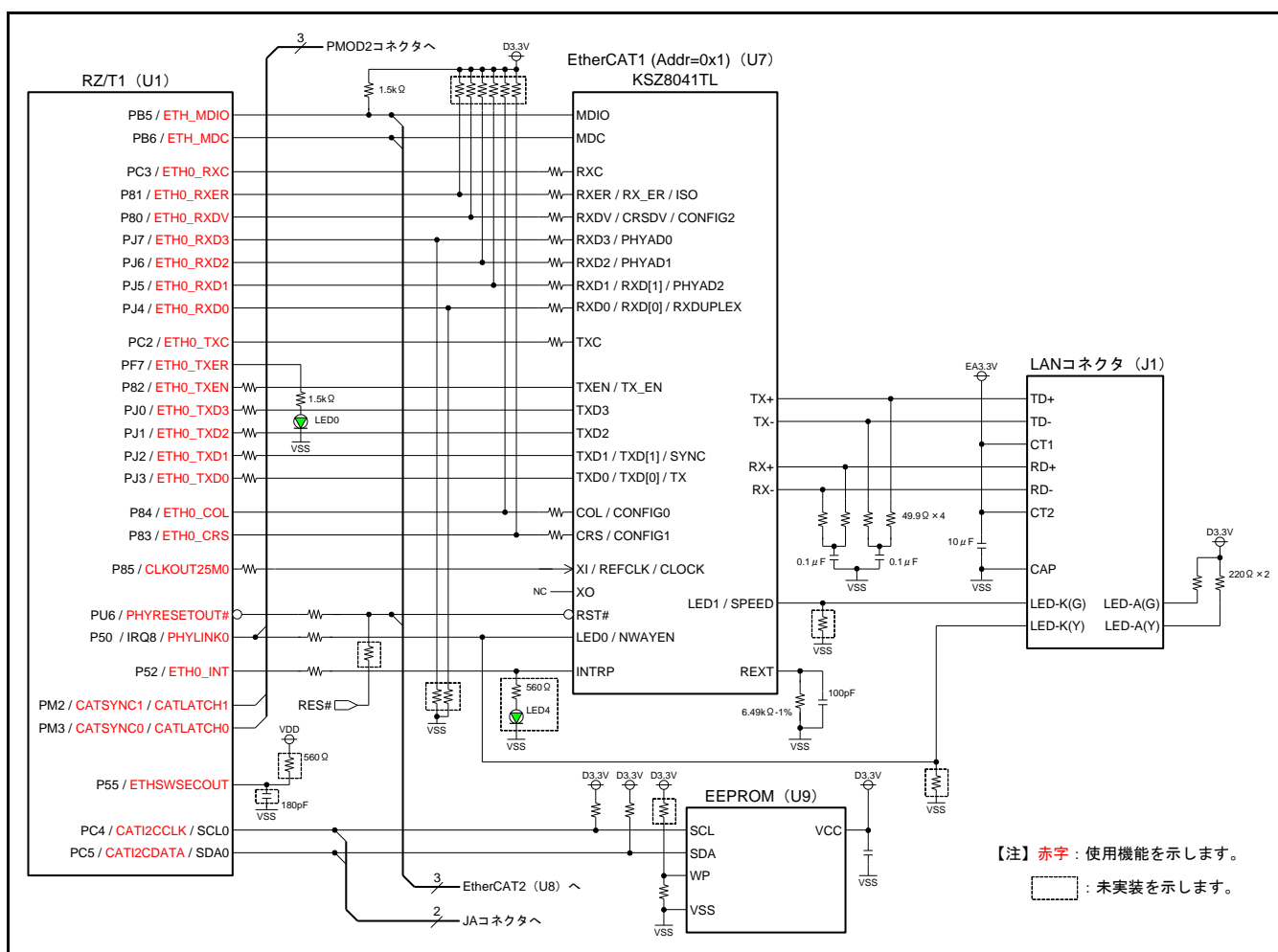


図 2.16.1 LAN インタフェース (EtherCAT1) ブロック図

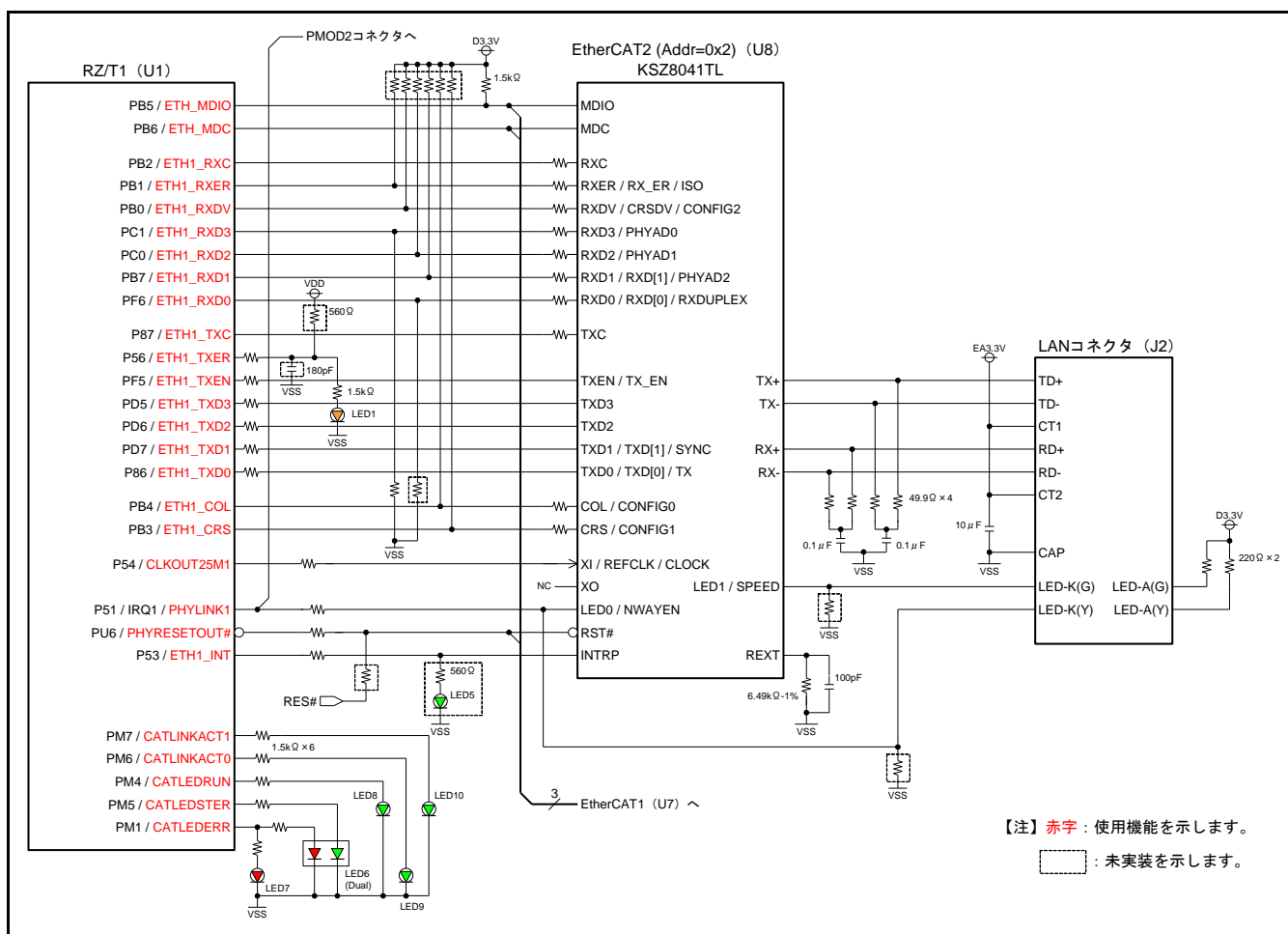


図 2.16.2 LAN インタフェース (EtherCAT2) ブロック図

【注】本ボードでEtherCAT通信を行う場合、Ethernet PHY KSZ8041TLの100Base-TX Preamble Restore、LED modeの設定をソフトウェアで行う必要があります。具体的には、Register 14h (MII Control) の7ビット目を1、Register 1Eh (PHY Control 1) の15,14ビット目を01に設定してください。

## 2.17 モータ制御インタフェース

RTK7910018C00000BE は、JA コネクタ経由でモータを接続・制御することが可能です。

RTK7910018C00000BE では、R7S910018 内蔵のマルチファンクションタイマパルスユニット 3 (MTU3a) のチャンネル 3 およびチャンネル 4、または、R7S910018 内蔵の汎用 PWM タイマ (GPTa) のチャンネル 0 およびチャンネル 1 を使用します。MTU3a を使用する場合、外部クロック入力が可能です。

また、JA コネクタ経由でアナログ入力端子が接続されており (JA1 コネクタ: AN000~AN003、JA5 コネクタ: AN004~AN007)、R7S910018 内蔵の 12 ビット A/D コンバータ (S12ADCa) を使用してモータ制御を行うことが可能です。さらに、JA コネクタ経由で、16 ビットタイマパルスユニット (TPUa) の TIOCA 端子 (計 6 個) を使用したパルス入出力制御が可能です。

図 2.17.1 にモータ制御インタフェースのブロック図を示します。

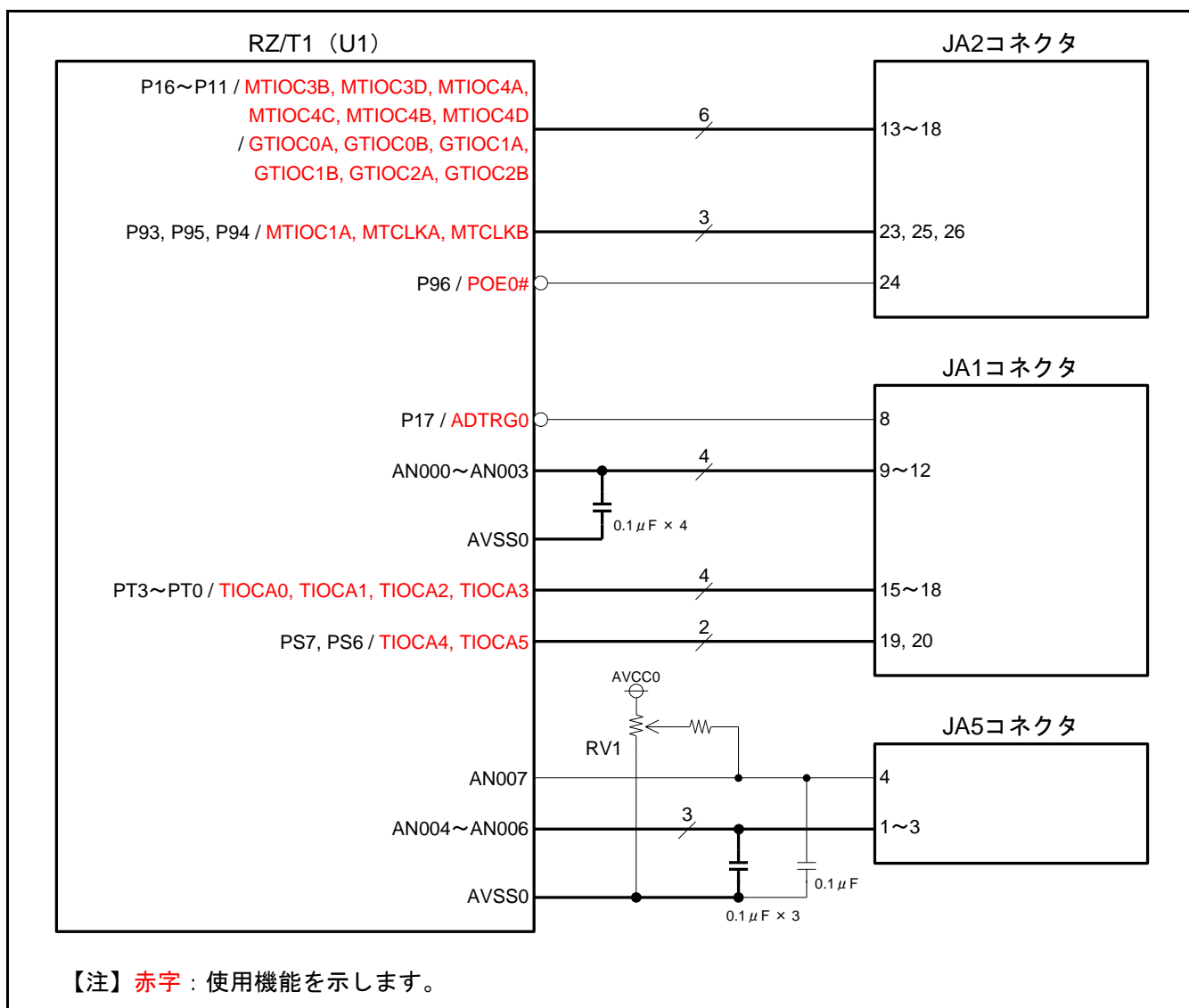


図 2.17.1 モータ制御インタフェースブロック図

### 2.18 PMOD インタフェース

RTK7910018C00000BE は、2 個の Digilent Pmod™ インタフェース用のコネクタを実装しており、PMOD 対応周辺インタフェースと接続が可能です。

図 2.18.1 に PMOD インタフェースのブロック図を示します。

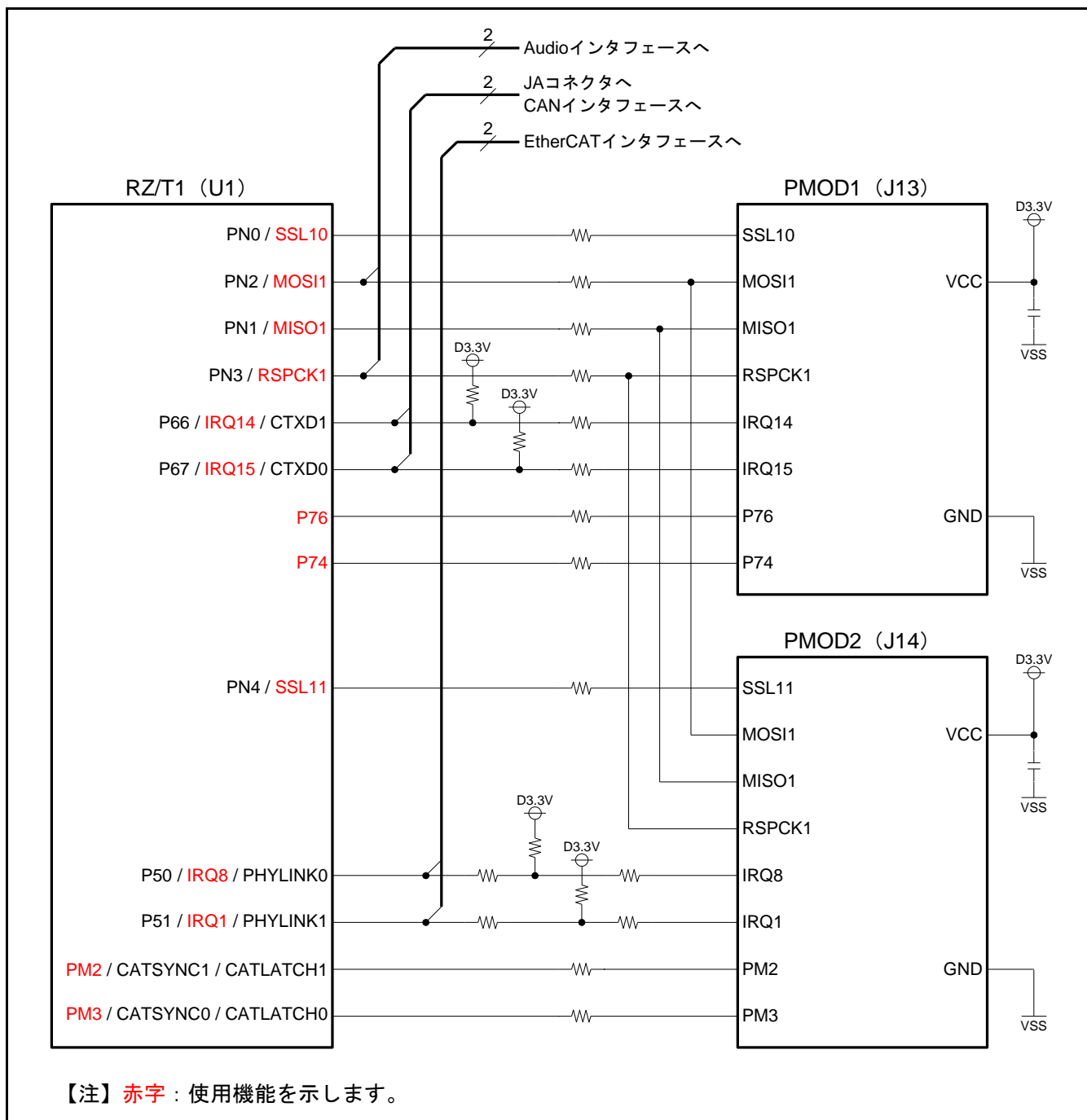


図 2.18.1 PMOD インタフェースブロック図

## 2.19 $\Delta\Sigma$ インタフェース (DSMIF)

RTK7910018C00000BE は、 $\Delta\Sigma$ インタフェース用のコネクタ (DSMIF コネクタ) を実装しており、 $\Delta\Sigma$ 対応  
 パリフェラルインタフェース対応のコネクタを実装しています。

図 2.19.1 に $\Delta\Sigma$ インタフェースのブロック図を示します。

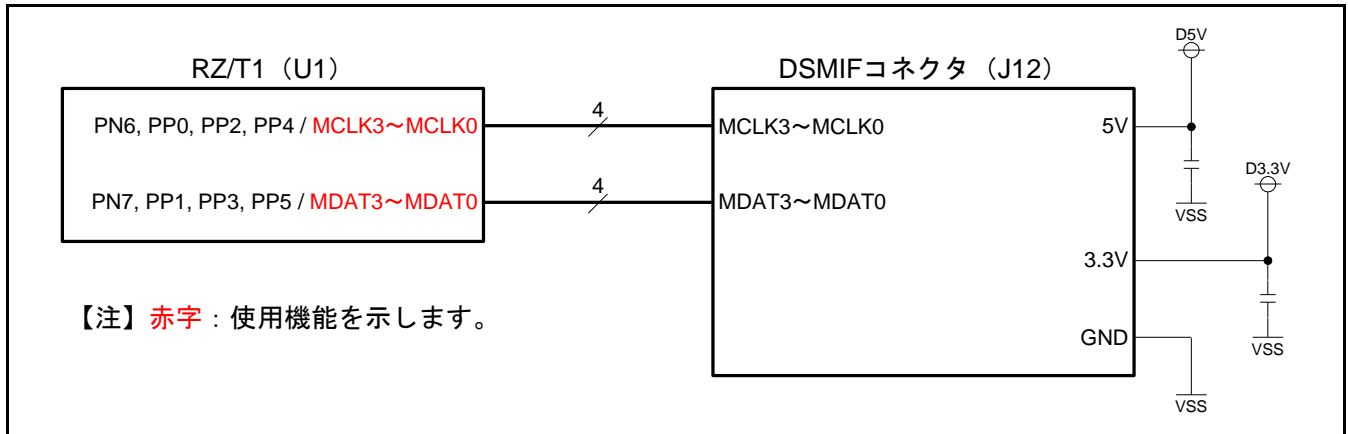


図 2.19.1  $\Delta\Sigma$ インタフェースブロック図

### 3. 操作仕様

#### 3.1 コネクタ概要

図 3.1.1 および図 3.1.2 に RTK7910018C00000BE のコネクタ配置図を示します。

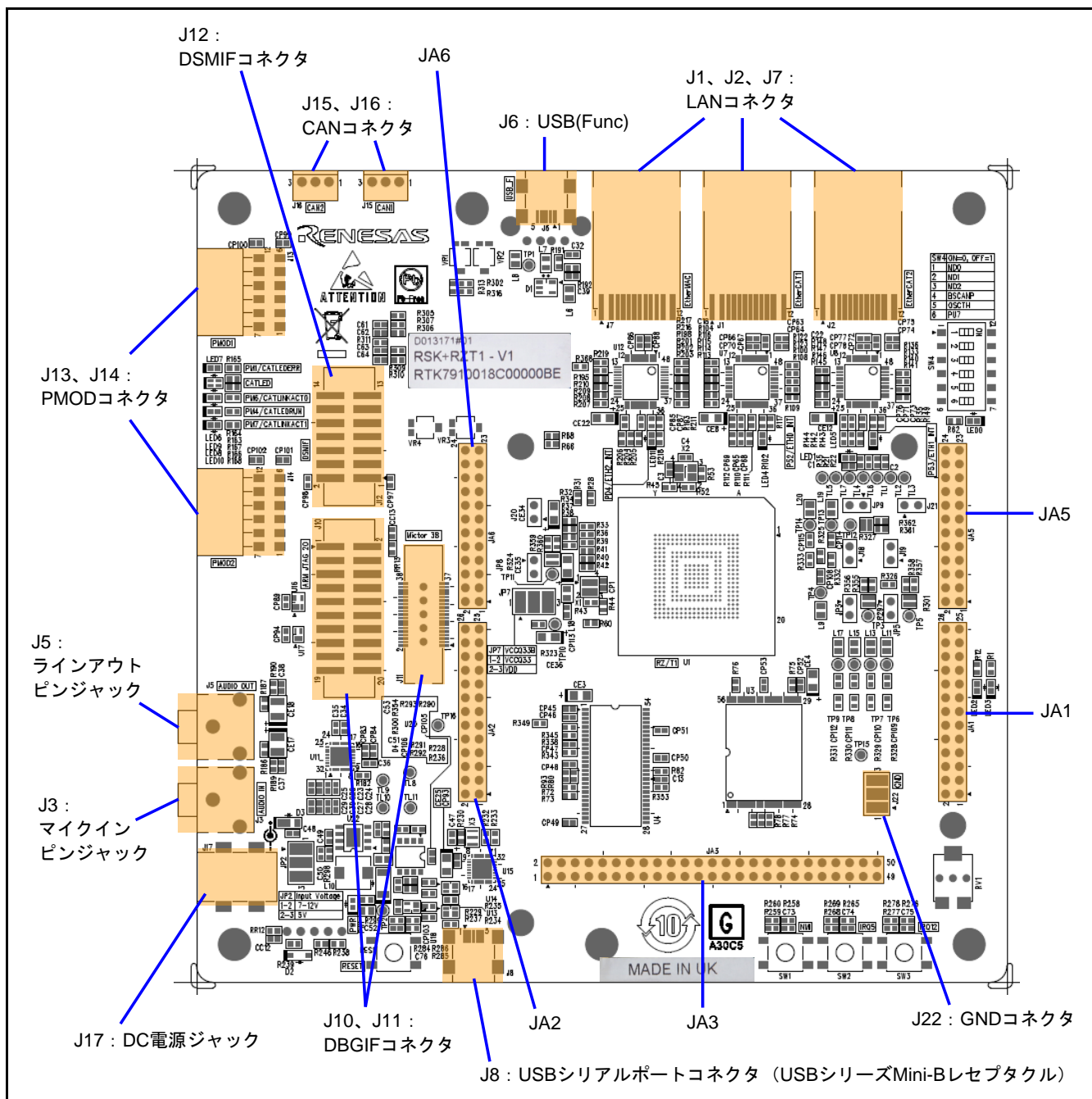


図 3.1.1 RTK7910018C00000BE コネクタ配置図 (C 面上面図)

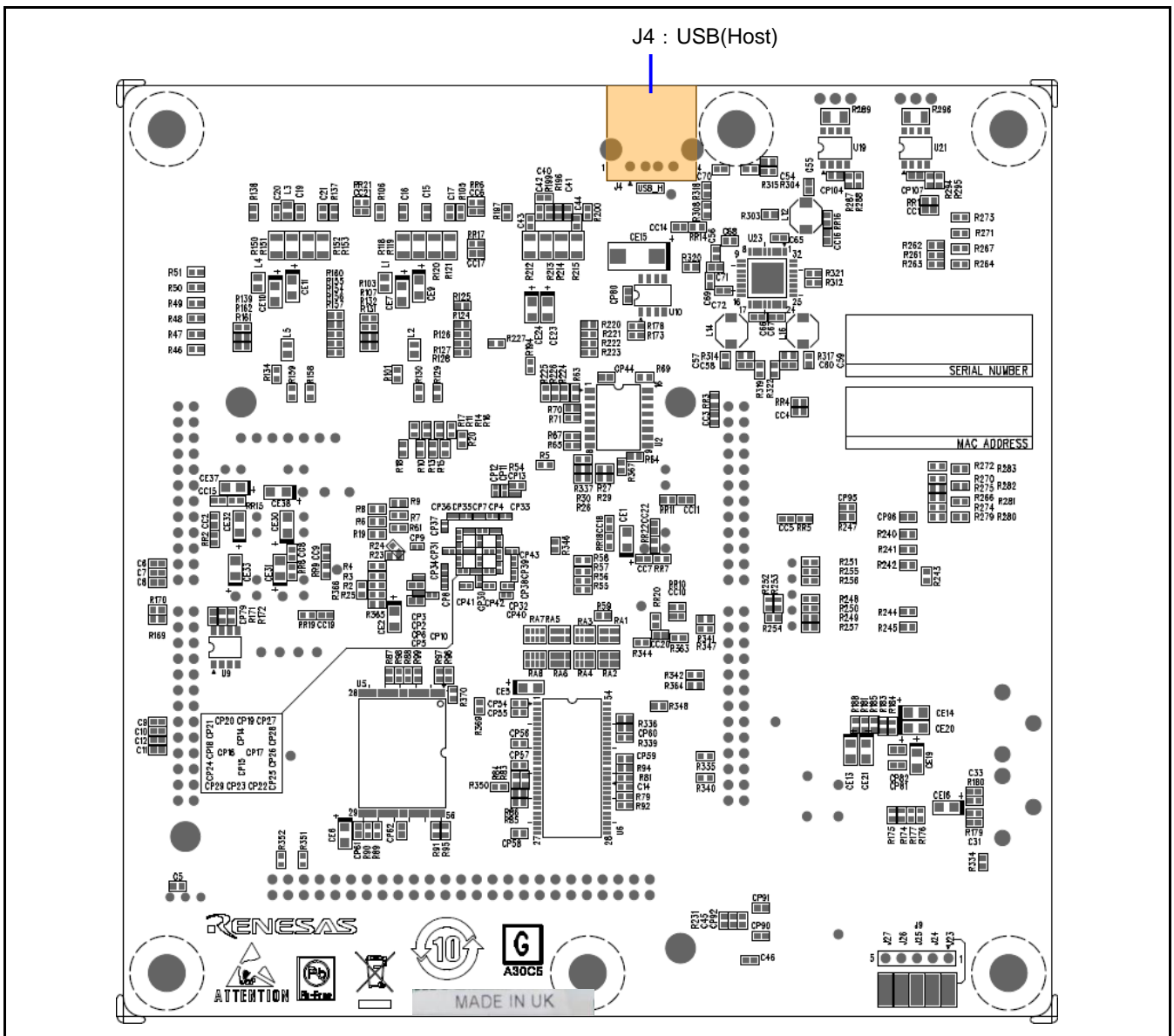


図 3.1.2 RTK7910018C00000BE コネクタ配置図 (S 面上面図)

### 3.1.1 LAN コネクタ (J1、J2、J7)

RTK7910018C00000BE は、LAN コネクタ (J1、J2、J7) を実装しています。

図 3.1.3 に LAN コネクタの端子配置図を、表 3.1.1 に LAN コネクタの端子配置表を示します。

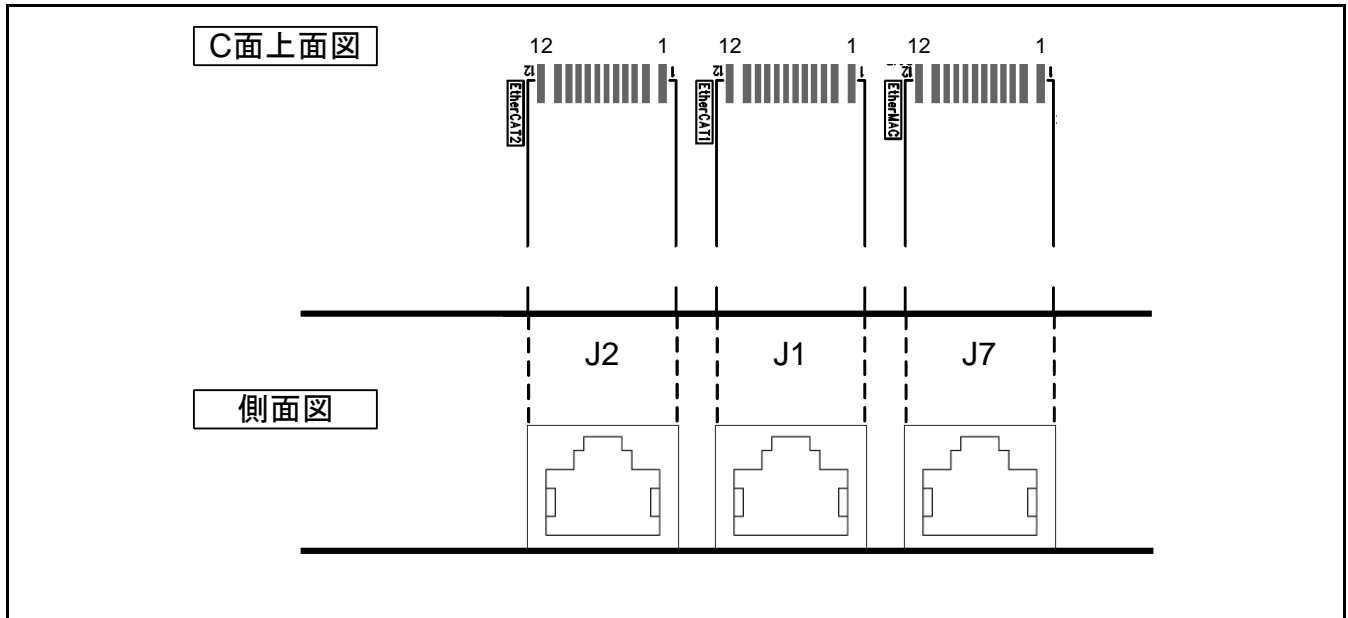


図 3.1.3 LAN コネクタ (J1、J2、J7) 端子配置図

表 3.1.1 LAN コネクタ (J1、J2、J7) 端子配置表

ピン	信号名	ピン	信号名
1	LED-A(Y)	2	LED-K(Y)
3	TD+	4	TD-
5	CT1	6	CT2
7	RD+	8	RD-
9	NC	10	CAP
11	LED-K(G)	12	LED-A(G)

### 3.1.2 マイクインピンジャック (J3)

RTK7910018C00000BE は、マイクインピンジャック (J3) を実装しています。

図 3.1.4 にマイクインピンジャックの端子配置図を、表 3.1.2 にマイクインピンジャックの端子配置図を示します。

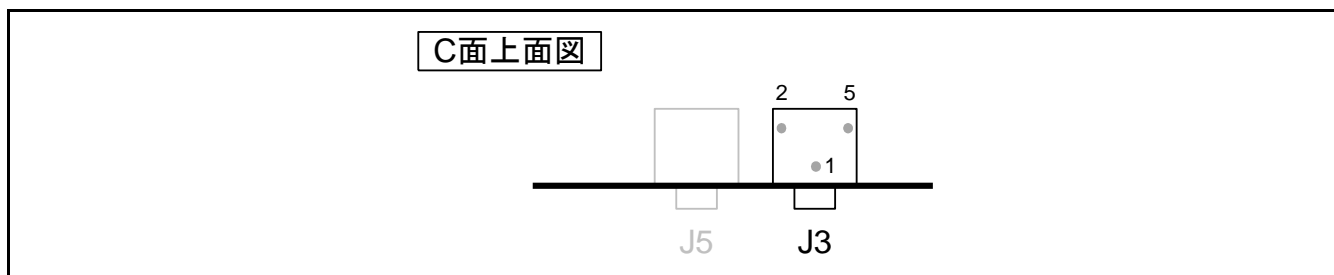


図 3.1.4 マイクインピンジャック (J3) 端子配置図

表 3.1.2 マイクインピンジャック (J3) 端子配置表

ピン	信号名
1	GND (VSS)
2	R2 (A/D変換器のRchアナログ入力端子)
3	NC (端子なし)
4	NC (端子なし)
5	L2 (A/D変換器のLchアナログ入力端子)

### 3.1.3 ラインアウトピンジャック (J5)

RTK7910018C00000BE は、ラインアウトピンジャック (J5) を実装しています。

図 3.1.5 にラインアウトピンジャックの端子配置図を、表 3.1.3 にラインアウトピンジャックの端子配置図を示します。

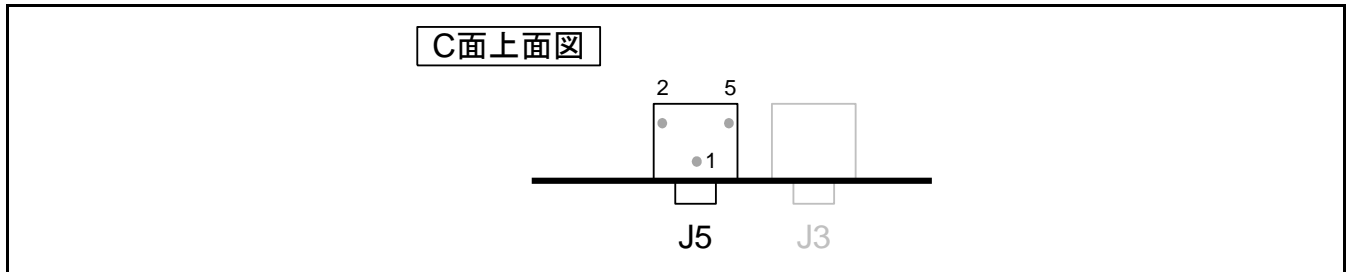


図 3.1.5 ラインアウトピンジャック (J5) 端子配置図

表 3.1.3 ラインアウトピンジャック (J5) 端子配置表

ピン	信号名
1	GND (VSS)
2	ROUT1 (D/A変換器のRchアナログ出力端子)
3	NC (端子なし)
4	NC (端子なし)
5	LOUT1 (D/A変換器のLchアナログ出力端子)

### 3.1.4 USB コネクタ (J4、J6)

RTK7910018C00000BE は、USB コネクタとして、シリーズ A レセプタクル (J4) およびシリーズ Mini-B レセプタクル (J6) を実装しています。

図 3.1.6 にシリーズ A レセプタクルの端子配置図を、図 3.1.7 にシリーズ Mini-B レセプタクルの端子配置図を示します。また、表 3.1.4 にシリーズ A レセプタクルの端子配置表を、表 3.1.5 にシリーズ Mini-B レセプタクルの端子配置表を示します。

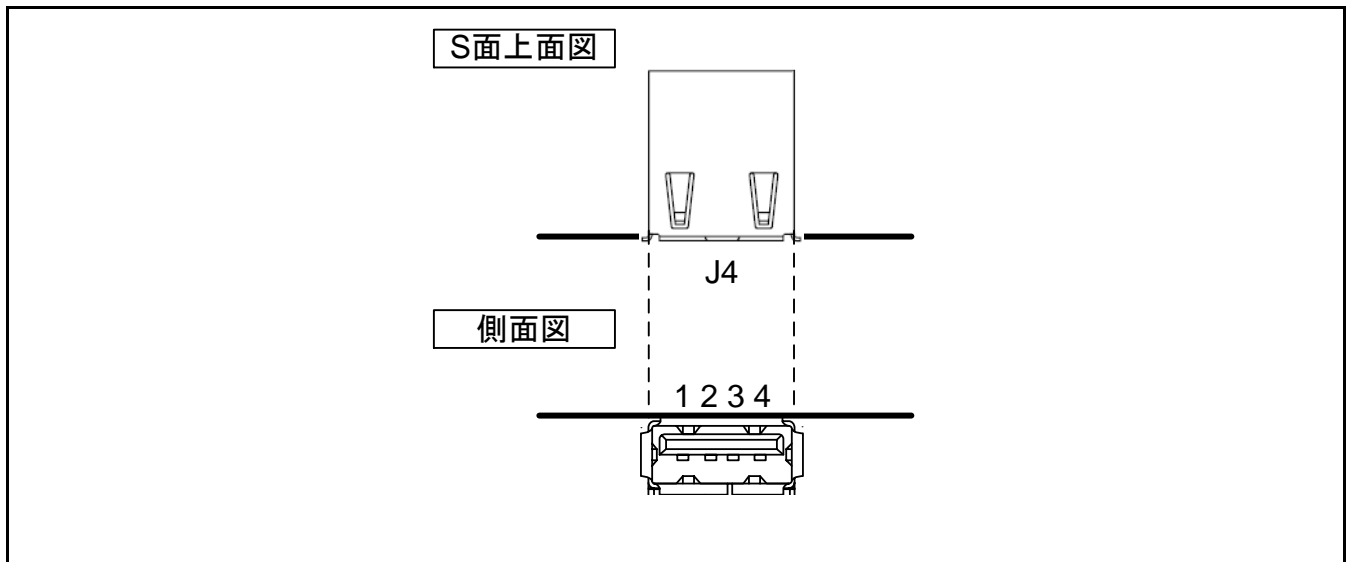


図 3.1.6 シリーズ A レセプタクル (J4) 端子配置図

表 3.1.4 シリーズ A レセプタクル (J4) 端子配置表

ピン	信号名
1	VBus
2	D- (USB_DM)
3	D+ (USB_DP)
4	GND (VSS)

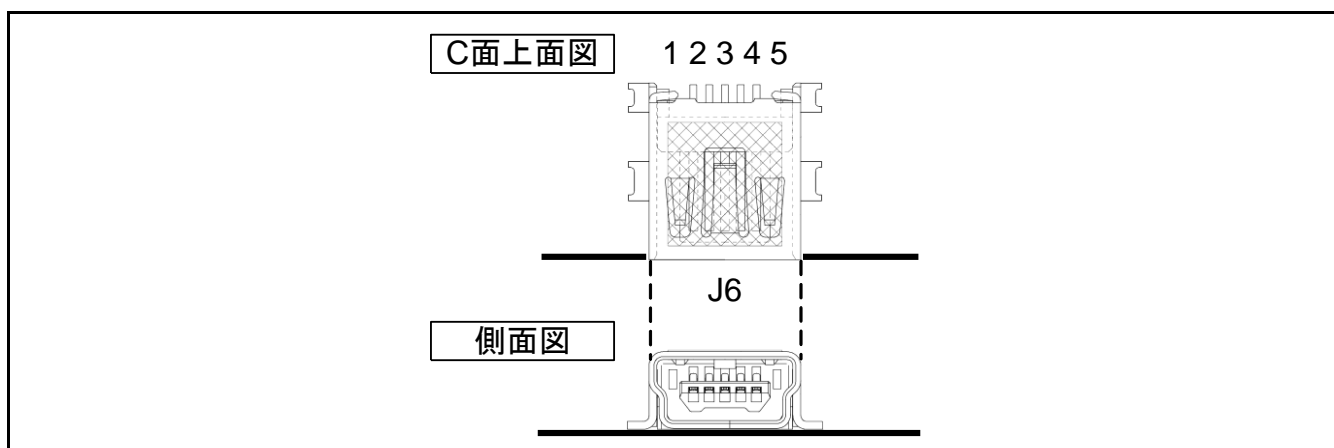


図 3.1.7 シリーズ Mini-B レセプタクル (J6) 端子配置図

表 3.1.5 シリーズ Mini-B レセプタクル (J6) 端子配置表

ピン	信号名
1	VBus
2	D- (USB_DM)
3	D+ (USB_DP)
4	ID (テスト端子TP1に接続)
5	GND (VSS)

### 3.1.5 USB シリアルポートコネクタ (J8)

RTK7910018C00000BE は、USB シリアルポートコネクタ (USB シリーズ Mini-B レセプタクル) (J8) を実装しています。

図 3.1.8 に USB シリアルポートコネクタの端子配置図を、表 3.1.6 に USB シリアルポートコネクタの端子配置表を示します。

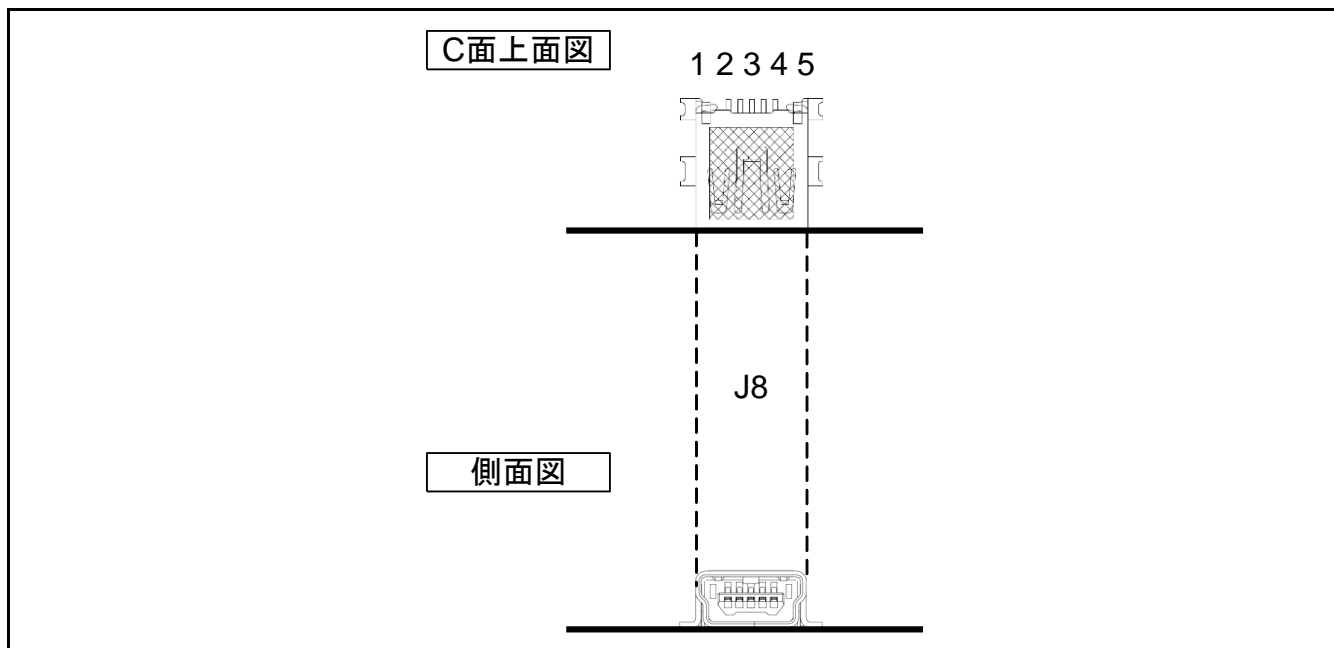


図 3.1.8 USB シリアルポートコネクタ (J8) 端子配置図

表 3.1.6 USB シリアルポートコネクタ (J8) 端子配置表

ピン	信号名
1	VBus (UVBUS)
2	D- (UDM0)
3	D+ (UDP0)
4	ID (NC)
5	GND (VSS)

### 3.1.6 DBGIF コネクタ (J10、J11)

RTK7910018C00000BE は、ICE (In Circuit Emulator) 接続用に 2.54mm ピッチの ARM JTAG 20 コネクタ (J10) および 0.64mm ピッチの Mictor 38 コネクタ (J11) を実装しています。

図 3.1.9 に DBGIF コネクタの端子配置図を、表 3.1.7 および表 3.1.8 に各 DBGIF コネクタの端子配置表を示します。

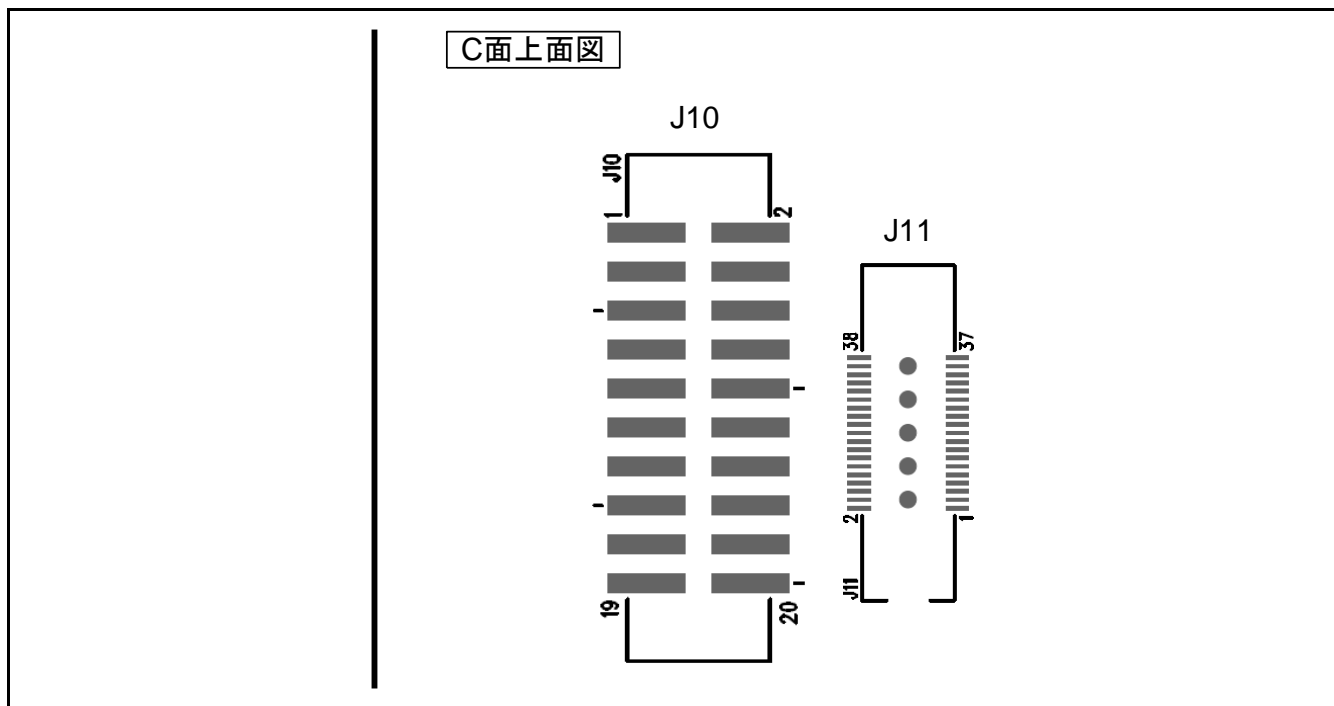


図 3.1.9 DBGIF コネクタ (J10、J11) 端子配置図

表 3.1.7 ARM JTAG 20 コネクタ (J10) 端子配置表

ピン	信号名	ピン	信号名
1	VTREF (D3.3V)	2	D3.3V
3	nTRST (TRST#)	4	GND (VSS)
5	TDI	6	GND (VSS)
7	TMS/SWDIO	8	GND (VSS)
9	TCK/SWCLK	10	GND (VSS)
11	RTCK	12	GND (VSS)
13	TDO/SWO	14	GND (VSS)
15	nSRST (RES#)	16	GND (VSS)
17	DBGRRQ (10kΩの抵抗を介してVSSに接続)	18	GND (VSS)
19	DBGACK (10kΩの抵抗を介してVSSに接続)	20	GND (VSS)

表 3.1.8 Mictor 38 コネクタ (J11) 端子配置表

ピン	信号名	ピン	信号名
1	NC	2	NC
3	NC	4	NC
5	GND (VSS)	6	TRACECLK (PP7 / TCLKF / TCLKH / SCK1 / DACK1 / <b>TRACECLK</b> )
7	DBGRRQ (10kΩの抵抗を介してVSSに接続)	8	DBGACK (10kΩの抵抗を介してVSSに接続)
9	nSRST (RES#)	10	EXTTRIG (10kΩの抵抗を介してD3.3Vに接続)
11	TDO	12	VTREF (100Ωの抵抗を介してD3.3Vに接続)
13	RTCK	14	VSUPPLY (NC)
15	TCK	16	TRACEDATA[7] (PR7 / TIOCA6 / TIOCB6 / <b>TRACEDATA7</b> / ENCIF05)
17	TMS	18	TRACEDATA[6] (PR6 / TIOCA7 / TIOCB7 / <b>TRACEDATA6</b> / ENCIF04)
19	TDI	20	TRACEDATA[5] (PR5 / TIOCA8 / TIOCB8 / <b>TRACEDATA5</b> / ENCIF03)
21	nTRST (TRST#)	22	TRACEDATA[4] (PR4 / TIOCA9 / TIOCB9 / <b>TRACEDATA4</b> / ENCIF02)
23	TRACEDATA[15] (VSS)	24	TRACEDATA[3] (PR3 / TIOCA10 / TIOCB10 / <b>TRACEDATA3</b> / ENCIF01)
25	TRACEDATA[14] (VSS)	26	TRACEDATA[2] (PR2 / TIOCA11 / TIOCB11 / RTS1# / <b>TRACEDATA2</b> / ENCIF00)
27	TRACEDATA[13] (VSS)	28	TRACEDATA[1] (PR1 / IRQ9 / POE4# / CTS1# / TEND1 / <b>TRACEDATA1</b> )
29	TRACEDATA[12] (VSS)	30	Logic 0 (10kΩの抵抗を介してVSSに接続)
31	TRACEDATA[11] (VSS)	32	Logic 0 (10kΩの抵抗を介してVSSに接続)
33	TRACEDATA[10] (VSS)	34	Logic 1 (10kΩの抵抗を介してD3.3Vに接続)
35	TRACEDATA[9] (VSS)	36	TRACECTL (PP6 / TIOCA11 / RXD1 / <b>TRACECTL</b> / ENCIF06)
37	TRACEDATA[8] (VSS)	38	TRACEDATA[0] (PR0 / TCLKE / TCLKG / TXD1 / DREQ1 / <b>TRACEDATA0</b> / ENCIF07)

【注】赤字：使用機能を示します。

### 3.1.7 DSMIF コネクタ (J12)

RTK7910018C00000BE は、DSMIF コネクタ (J12) を実装しています。

図 3.1.10 に DSMIF コネクタの端子配置図を、表 3.1.9 に DSMIF コネクタの端子配置図を示します。

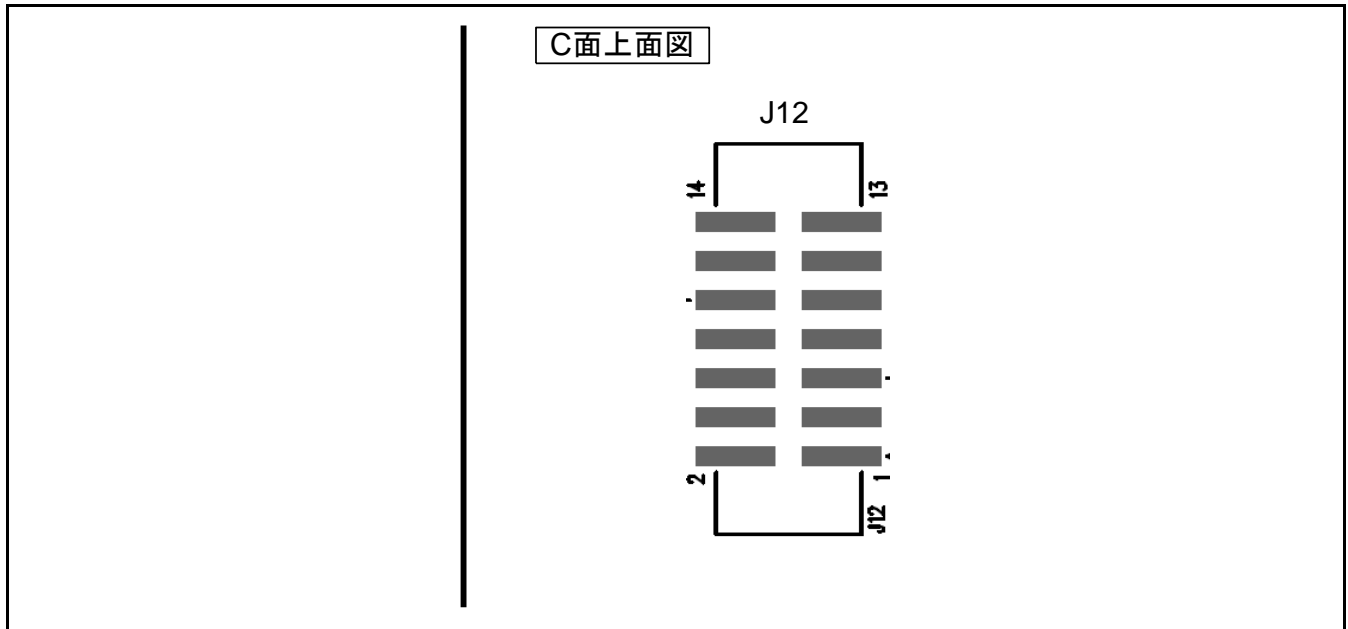


図 3.1.10 DSMIF コネクタ (J12) 端子配置図

表 3.1.9 DSMIF コネクタ (J12) 端子配置表

ピン	信号名	ピン	信号名
1	D5V	2	D3.3V
3	D5V	4	D3.3V
5	PN6 / MTIOC3C / TIOCC9 / <b>MCLK3</b>	6	PN7 / MTIOC3A / TIOCD6 / DREQ0 / <b>MDAT3</b>
7	PP0 / POE8# / TEND0 / <b>MCLK2</b>	8	PP1 / MTIOC0D / DACK0 / <b>MDAT2</b>
9	PP2 / MTIOC0C / TCLKH / <b>MCLK1</b>	10	PP3 / MTIOC0B / TCLKC / <b>MDAT1</b>
11	PP4 / MTIOC0A / <b>MCLK0</b>	12	PP5 / PO22 / <b>MDAT0</b>
13	VSS	14	VSS

【注】赤字：使用機能を示します。

### 3.1.8 PMOD コネクタ (J13、J14)

RTK7910018C00000BE は、PMOD コネクタ 2 つ (J13、J14) を実装しています。

図 3.1.11 に PMOD コネクタの端子配置図を、表 3.1.10 に PMOD コネクタの端子配置表を示します。

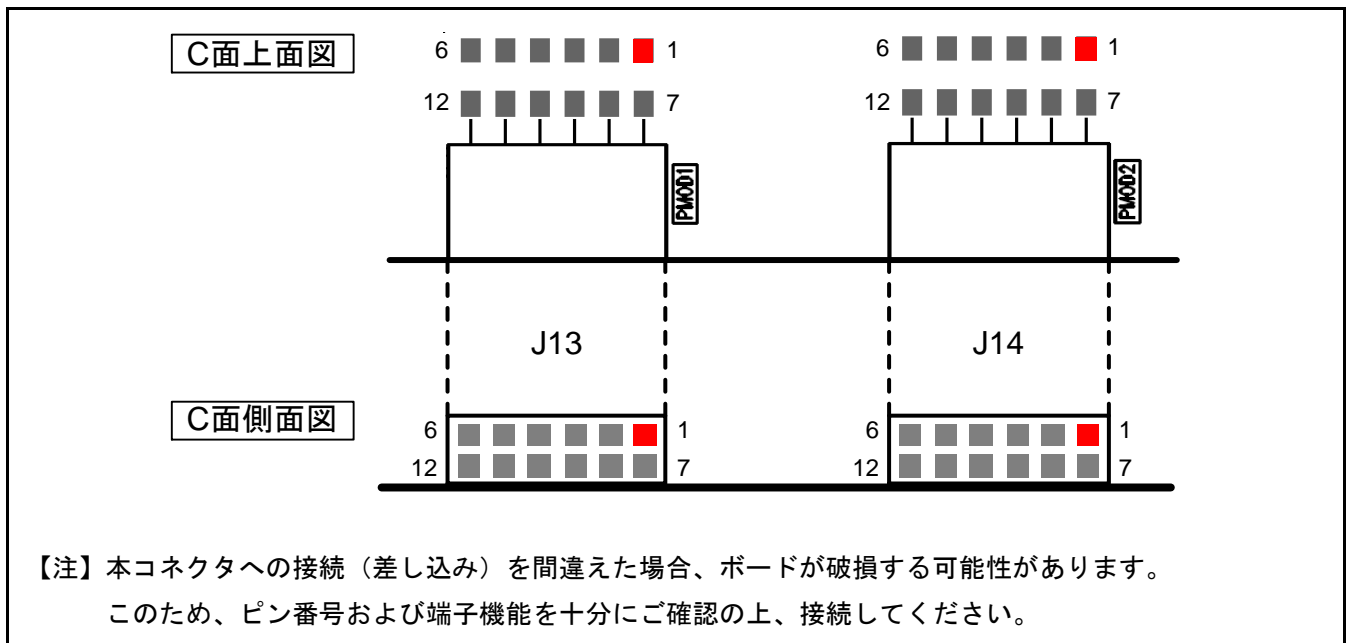


図 3.1.11 PMOD コネクタ (J13、J14) 端子配置図

表 3.1.10 PMOD コネクタ (J13、J14) 端子配置表

ピン	信号名	
	J13 (PMOD1)	J14 (PMOD2)
1	PN0 / MTIOC8D / <b>SSL10</b>	PN4 / IRQ12 / MTIOC6C / TIOCC6 / <b>SSL11</b>
2	PN2 / IRQ10 / MTIOC8B / <b>MOS11</b>	PN2 / IRQ10 / MTIOC8B / <b>MOS11</b>
3	PN1 / MTIOC8C / PO21 / <b>MISO1</b>	PN1 / MTIOC8C / PO21 / <b>MISO1</b>
4	PN3 / MTIOC8A / <b>RSPCK1</b>	PN3 / MTIOC8A / <b>RSPCK1</b>
5	VSS	VSS
6	D3.3V	D3.3V
7	P66 / <b>IRQ14</b> / GTIOC3A / CTXD1 / DACK0 / USB_VBUSEN	P50 / <b>IRQ8</b> / CS1# / PHYLINK0
8	P67 / <b>IRQ15</b> / GTIOC3B / CTXD0 / TEND0 / USB_OVRCUR	P51 / <b>IRQ1</b> / PHYLINK1 / RSPCK2
9	<b>P76</b> / D22 / MTIOC4B / GTIOC2A / SSL01 / SSIWS0 / TRACEDATA4	<b>PM2</b> / CATSYNC1 / CATLATCH1 / TCLKE / RTS4#
10	<b>P74</b> / D20 / MTCLKA / CTS1# / SSL03 / SSISCK0 / TRACEDATA2	<b>PM3</b> / CATSYNC0 / CATLATCH0 / PO16
11	VSS	VSS
12	D3.3V	D3.3V

【注】赤字：使用機能を示します。

### 3.1.9 CAN コネクタ (J15、J16)

RTK7910018C00000BE は、CAN コネクタ 2 つ (J15、J16) を実装しています。

図 3.1.12 に CAN コネクタの端子配置図を、表 3.1.11 に CAN コネクタの端子配置表を示します。

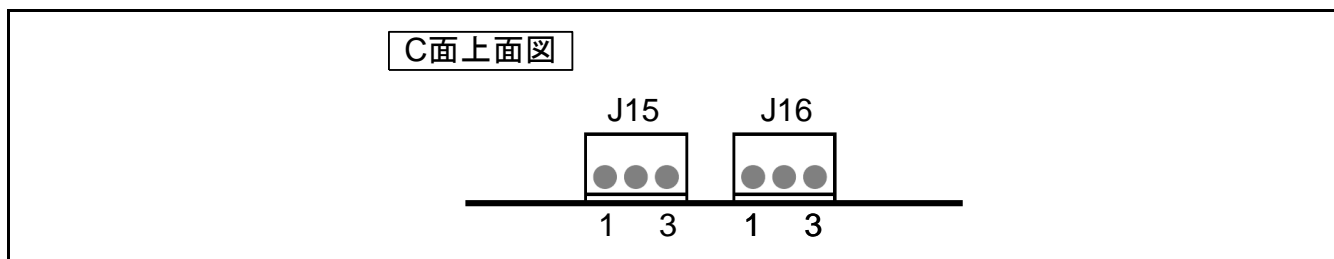


図 3.1.12 CAN コネクタ (J15、J16) 端子配置図

表 3.1.11 CAN コネクタ (J15、J16) 端子配置表

ピン	信号名	
	J15 (CAN1)	J16 (CAN2)
1	CANH	CANH
2	GND (VSS)	GND (VSS)
3	CANL	CANL

### 3.1.10 DC 電源ジャック (J17)

RTK7910018C00000BE は、システム電源の供給用として DC 電源ジャック (J17) を実装しています。  
 図 3.1.13 に DC 電源ジャックの端子配置図を、表 3.1.12 に DC 電源ジャックの端子配置表を示します。

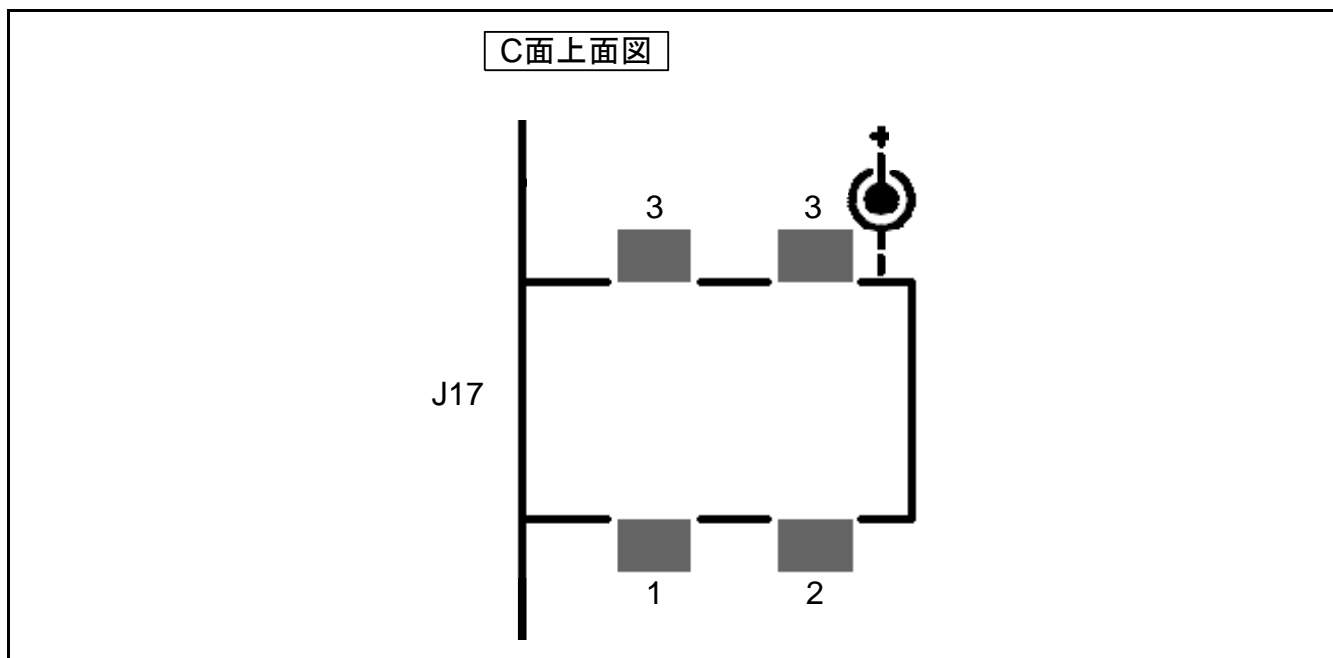


図 3.1.13 DC 電源ジャック (J17) 端子配置図

表 3.1.12 DC 電源ジャック (J17) 端子配置表

ピン	信号名
1	GND (VSS)
2	GND (VSS)
3	VIN (+5Vもしくは+7~12Vを入力)



表 3.1.13 デジタル 3.3V 電源供給コネクタ (J18) 端子配置表

ピン	信号名	ピン	信号名
1	D3.3V	2	GND (VSS)

表 3.1.14 アナログ 3.3V 外部電源供給コネクタ (J19) 端子配置表

ピン	信号名	ピン	信号名
1	A3.3V	2	GND (AVSS)

表 3.1.15 デジタル 1.2V 外部電源供給コネクタ (J20) 端子配置表

ピン	信号名	ピン	信号名
1	D1.2V	2	GND (VSS)

表 3.1.16 アナログ 1.2V 外部電源供給コネクタ (J21) 端子配置表

ピン	信号名	ピン	信号名
1	A1.2V	2	GND (VSS)

## 3.1.12 GND コネクタ (J22)

RTK7910018C00000BE は、GND 用のコネクタ (J22) を実装しています。

図 3.1.15 に GND コネクタの端子配置図を、表 3.1.17 に GND コネクタの端子配置表を示します。

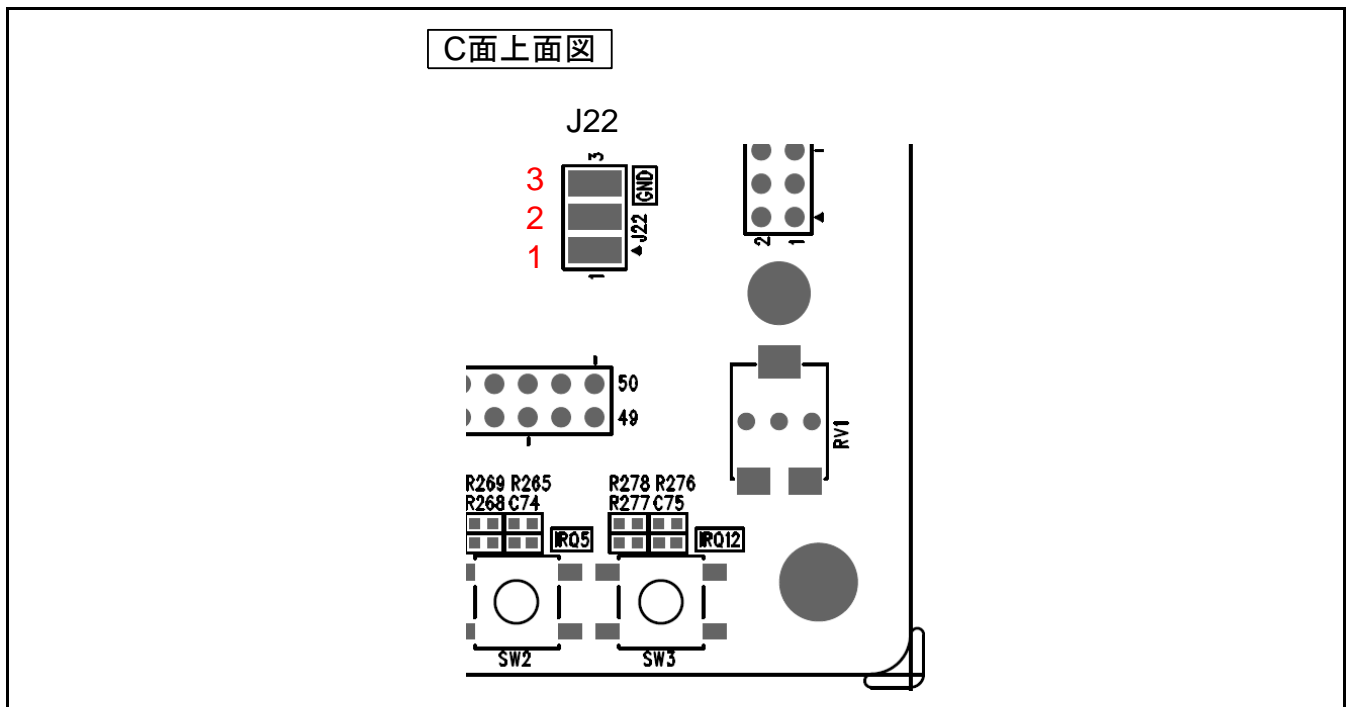


図 3.1.15 GND コネクタ (J22) 端子配置図

表 3.1.17 GND コネクタ (J22) 端子配置表

ピン	信号名
1	GND (VSS)
2	GND (VSS)
3	GND (VSS)

### 3.1.13 JA コネクタ (JA1~JA3, JA5, JA6)

RTK7910018C00000BE には、JA コネクタ (JA1~JA3, JA5, JA6) を実装可能なスルーホールを設けています。

図 3.1.16 に JA コネクタの端子配置図を、表 3.1.18~表 3.1.22 に JA コネクタの端子配置表を示します。

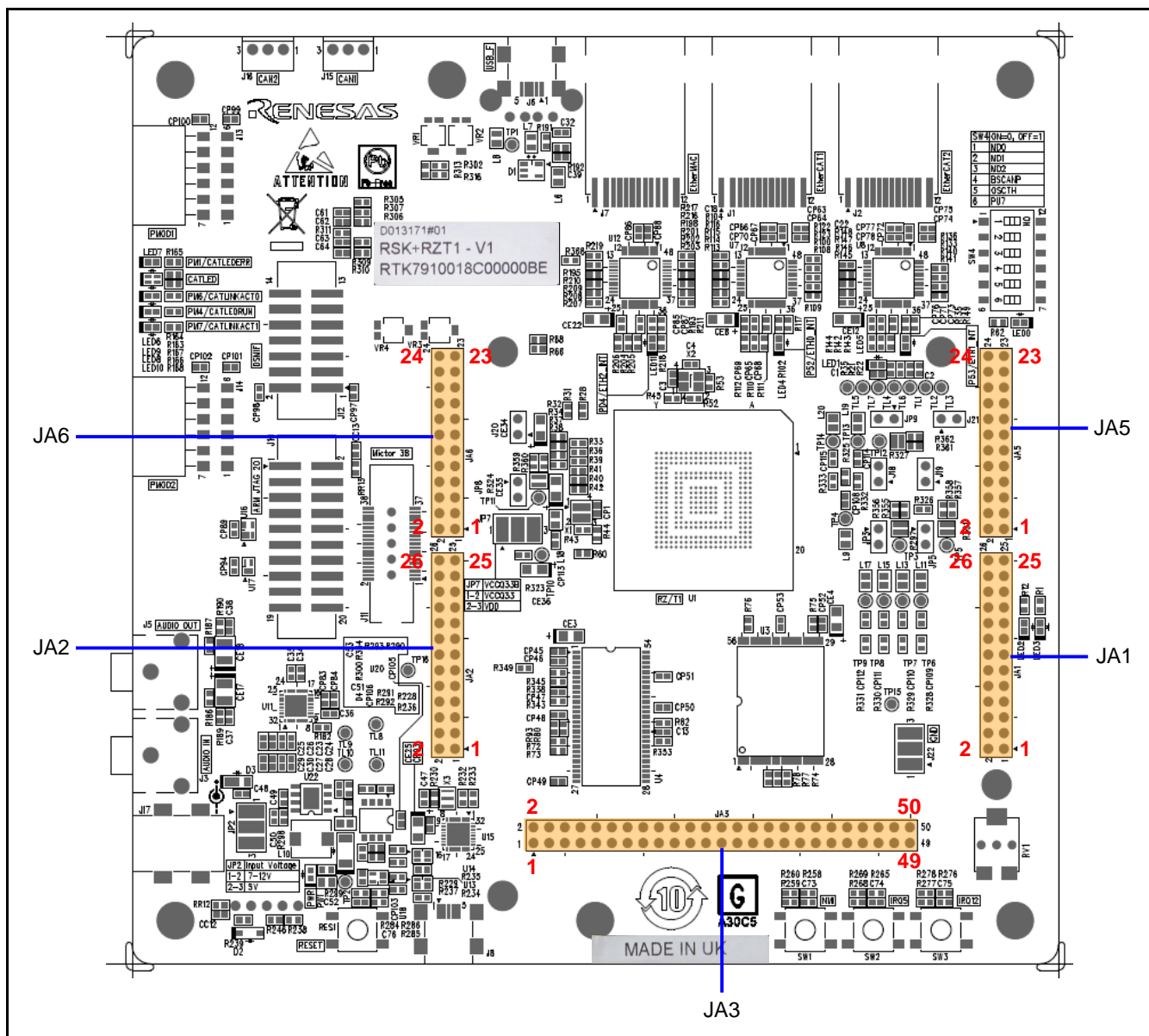


図 3.1.16 JA コネクタ端子配置図

表 3.1.18 JA コネクタ (JA1) 端子配置表

ピン	信号名	ピン	信号名
1	D5V	2	VSS
3	D3.3V	4	VSS
5	A3.3V	6	AVSS
7	A3.3V	8	P17 / CS5# / ETH1_TXER / PHYRESETOUT# / ADTRG0
9	AN000	10	AN001
11	AN002	12	AN003
13	NC	14	NC
15	PT3 / IRQ11 / TIOCA0 / TIOCB0 / PO28 / CTS2#	16	PT2 / TIOCA1 / TIOCB1 / PO27
17	PT1 / TIOCA2 / TIOCB2 / PO26 / RTS2#	18	PT0 / IRQ0 / TIOCA3 / TIOCB3 / PO25 / SCK2 / ENCIF07
19	PS7 / TIOCA4 / TIOCB4 / PO24 / TXD2	20	PS6 / IRQ14 / TIOCA5 / TIOCB5 / PO23 / RXD2 / ENCIF06
21	PA0 / D24 / MTIOC4A / GTIOC1A / MOSI0 / TRACEDATA6 / MDAT3 (LED3)	22	P77 / D23 / MTIOC4C / GTIOC1B / RSPCK0 / TRACEDATA5 (LED2)
23	P75 / IRQ13 / D21 / MTIOC4D / GTIOC2B / SSL00 / TRACEDATA3 / ENCIF04	24	NC
25	PC5 / CATI2CDATA / TCLKG / SDA0	26	PC4 / CATI2CLK / TCLKH / SCL0

表 3.1.19 JA コネクタ (JA2) 端子配置表

ピン	信号名	ピン	信号名
1	RES#	2	X1
3	P35 / NMI	4	VSS
5	ERROROUT	6	P40 / MTIOC8A / TXD0
7	P44 / IRQ12 / WAIT# / TCLKD / ADTRG0 / CTS0# PE6 / IRQ6 / D14 / MTIOC0A / TIOCD0 / RXD1 / MISO0 / TRACEDATA6	8	P42 / MTIOC7C / RXD0
9	P32 / IRQ10 / USB_OVRCUR PE4 / D12 / MTIOC0B / TIOCC0 / RTS1# / SSL00 / TRACEDATA4	10	P41 / BS# / SCK0
11	P04 / D4 / MTIOC3C / TIOC0A5	12	NC (TP16)
13	P16 / CS4# / CS2# / MTIOC3B / GTIOC0A	14	P15 / CS3# / CKE / MTIOC3D / GTIOC0B
15	P14 / CAS# / MTIOC4A / GTIOC1A	16	P13 / RAS# / MTIOC4C / GTIOC1B
17	P12 / MTIOC4B / GTIOC2A	18	P11 / IRQ9 / MTIOC4D / GTIOC2B
19	PA2 / D26 / MTIOC3B / GTIOC0A / SSL02 / DREQ2 / MDAT2 / ENCIF05	20	PA6 / IRQ6 / D30 / A21 / GTIOC3A / CTS2# / MDAT0
21	PA1 / D25 / MTIOC3D / GTIOC0B / MISO0 / AUDIO_CLK / TRACEDATA7 / MCLK3	22	PA7 / IRQ7 / D31 / A22 / MTIOC6B / GTIOC3B / RTS2# / MCLK0
23	PN5 / IRQ5 / MTIOC6A / TIOCD9 P93 / AN103 / MTIOC1A / TIC3 / SCK2 / ENCIF07 PE5 / D13 / MTIOC0C / TIOCC3 / TXD1 / MOSI0 / TRACEDATA5	24	P96 / AN106 / POE0# / POE10#
25	P95 / AN106 / IRQ13 / MTCLKA / CTS2#	26	P94 / AN104 / IRQ4 / MTCLKB / RTS2#

表 3.1.20 JA コネクタ (JA3) 端子配置表

ピン	信号名	ピン	信号名
1	P23 / A0 / MTIC5U / TXD0 / DACK1	2	PG0 / A1 / PO2
3	PG1 / A2 / PO3	4	PG2 / A3 / PO4 / TOC0 / RSPCK1
5	PG3 / A4 / PO5 / TIC1 / MISO1	6	PG4 / A5 / PO6 / TOC1 / MOSI1
7	PG5 / A6 / TCLKA / PO7 / SSL10	8	PG6 / A7 / TCLKB / PO8 / SSL11
9	PG7 / A8 / PO9	10	PH0 / A9 / PO10
11	PH1 / A10 / MTIOC2B / PO11	12	PH2 / A11 / MTIOC2A / PO12
13	PH3 / A12 / MTIOC1B / PO13	14	PH4 / IRQ4 / A13 / PO14
15	PH5 / A14 / PO15	16	PH6 / A15 / MTIOC7D / RTS0#
17	P00 / D0 / MTIOC6A / TIOCA1 / ADTRG1 / TRACECTL	18	P01 / D1 / MTIC5W / TIOCA2
19	P02 / D2 / MTIC5V / TIOCA3	20	P03 / D3 / MTIC5U / TIOCA4
21	P04 / D4 / MTIOC3C / TIOCA5	22	P05 / D5 / MTIOC3A
23	P06 / D6 / MTIOC2B / TIOCB0	24	P07 / D7 / MTIOC2A / TIOCB1
25	P22 / IRQ2 / RD# / MTIOC7B / TIOCD0 / SCK0	26	P24 / IRQ12 / RD/WR# / RXD0
27	PD0 / CS4#	28	PK1 / CS5#
29	PE0 / D8 / MTIOC1B / TIOCB2 / TRACEDATA0	30	PE1 / D9 / MTCLKD / TIOCB3 / SSL03 / TRACEDATA1
31	PE2 / IRQ2 / D10 / MTCLKC / TIOCB4 / SSL02 / TRACEDATA2	32	PE3 / IRQ3 / D11 / MTIOC0D / TIOCB5 / CTS1# / SSL01 / TRACEDATA3
33	PE4 / D12 / MTIOC0B / TIOCC0 / RTS1# / SSL00 / TRACEDATA4	34	PE5 / D13 / MTIOC0C / TIOCC3 / TXD1 / MOSI0 / TRACEDATA5
35	PE6 / IRQ6 / D14 / MTIOC0A / TIOCD0 / RXD1 / MISO0 / TRACEDATA6	36	PE7 / D15 / MTIOC7A / TIOCD3 / POE8# / SCK1 / RSPCK0 / TRACEDATA7
37	PH7 / A16 / MTIC5W	38	P20 / A17 / MTCLKD
39	P25 / A18 / MTCLKC / TEND1	40	P26 / A19 / MTIOC8D / DREQ1
41	P27 / A20 / MTIOC8C / TIOCB0 / RTS0#	42	PT6 / A21 / DREQ2
43	PT7 / A22 / DACK2	44	P10 / IRQ0 / CKIO / TIOCA0 / TRACECLK
45	PD2 / AN110 / WAIT# PT4 / CS3# / PO29	46	P47 / WE3#/DQMUU/AH# / MTIOC6C P46 / CKE
47	P37 / WE1#/DQMLU / PO1	48	P36 / WE0#/DQMLL / PO0
49	PK0 / CAS# / PO31	50	P90 / AN100 / RAS# / TIOCA5 / TXD4

表 3.1.21 JA コネクタ (JA5) 端子配置表

ピン	信号名	ピン	信号名
1	AN004	2	AN005
3	AN006	4	AN007
5	P67 / IRQ15 / GTIOC3B / CTXD0 / TEND0 / USB_OVRCUR	6	PC6 / TCLKC / SCL1 / CRXD0 / DREQ0 / USB_VBUSIN
7	P66 / IRQ14 / GTIOC3A / CTXD1 / DACK0 / USB_VBUSEN	8	PC7 / TIC0 / SDA1 / CRXD1
9	P73 / IRQ3 / D19 / MTCLKB / RXD1 / SSIRXD0 / TRACEDATA1 / ENCIF03	10	P70 / IRQ0 / D16 / MTIOC6D / RTS1# / USB_OVRCUR / TRACECLK / ENCIF00
11	NC	12	NC
13	NC	14	NC
15	NC	16	NC
17	NC	18	NC
19	NC	20	NC
21	NC	22	NC
23	NC	24	NC

表 3.1.22 JA コネクタ (JA6) 端子配置表

ピン	信号名	ピン	信号名
1	PA2 / D26 / MTIOC3B / GTIOC0A / SSL02 / DREQ2 / MDAT2 / ENCIF05	2	PA3 / D27 / ETHSWSECOUT / GTETR / TIOCA2 / SCK2 / DACK2 / MCLK2
3	PT5 / BS# / PO30 / TEND2	4	NC
5	P91 / AN101 / CAS# / TXD2 / ENCIF06	6	P92 / AN102 / CS5# / TOC3 / RXD2
7	P73 / IRQ3 / D19 / MTCLKB / RXD1 / SSIRXD0 / TRACEDATA1 / ENCIF03	8	P72 / D18 / MTIOC1A / TIC2 / TXD1 / SSITXD0 / TRACEDATA0 / ENCIF02
9	PA5 / D29 / ETH0_INT / ETH1_TXER / TIOCA4 / TXD2 / MCLK1	10	P71 / D17 / POE0# / POE10# / TOC2 / SCK1 / TRACECTL / ENCIF01
11	PA3 / D27 / ETHSWSECOUT / GTETR / TIOCA2 / SCK2 / DACK2 / MCLK2	12	PA4 / D28 / ETH1_INT / TIOCA3 / ADTRG0 / RXD2 / TEND2 / MDAT1
13	P05 / D5 / MTIOC3A	14	P23 / A0 / MTIC5U / TXD0 / DACK1
15	P02 / D2 / MTIC5V / TIOCA3	16	PH7 / A16 / MTIC5W
17	NC	18	NC
19	NC	20	NC
21	NC	22	NC
23	VIN (NC)	24	VSS

## 3.2 操作部品配置

### 3.2.1 ジャンパ (JP2、JP7)

RTK7910018C00000BE には、電源選択用ジャンパを 2 個実装しています。

図 3.2.1 にジャンパ配置図を、表 3.2.1 にジャンパ設定一覧を示します。

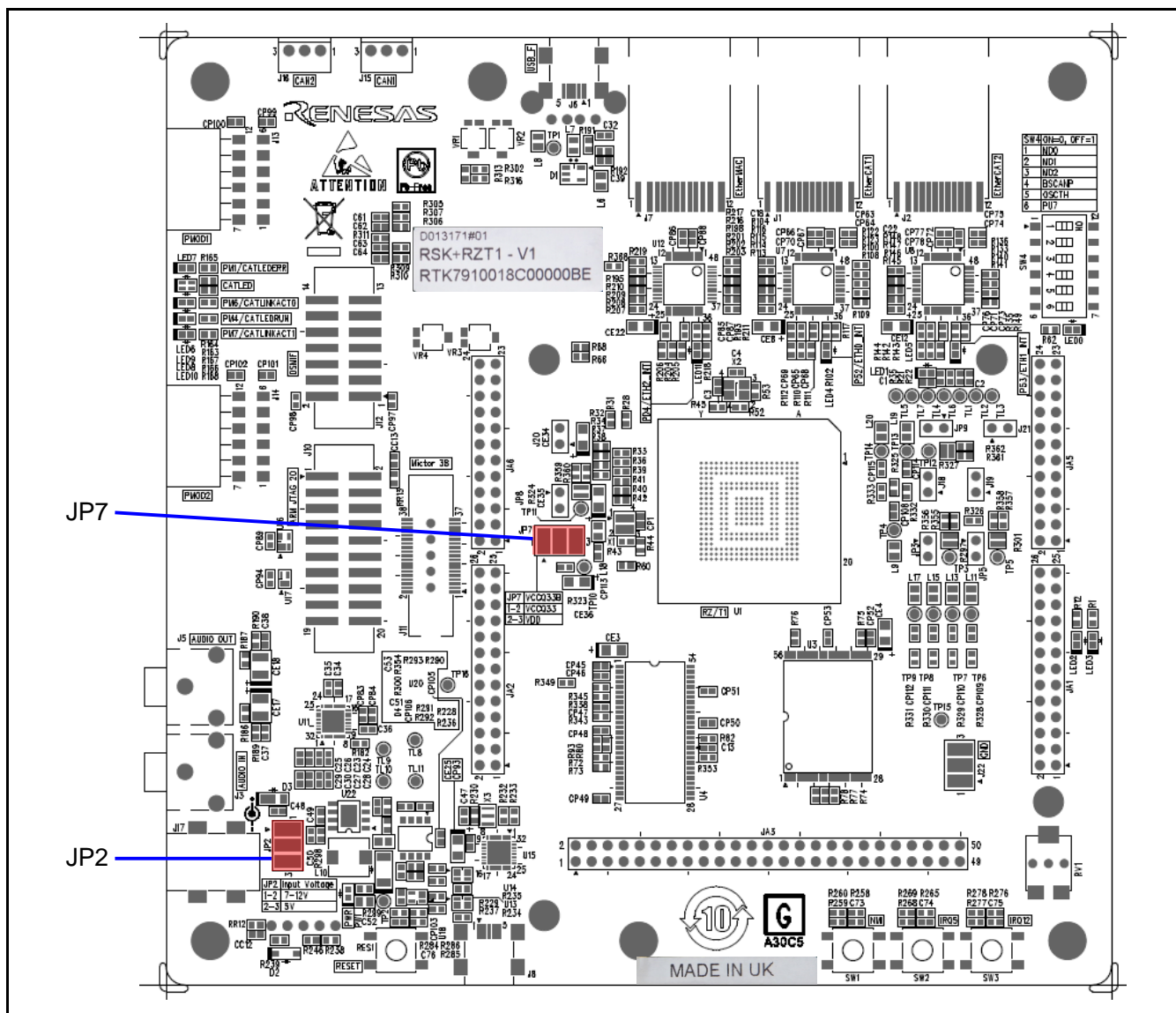



図 3.2.1 RTK7910018C00000BE 電源選択用ジャンパ配置図 (C 面上面図)

表 3.2.1 電源選択用ジャンパ（JP2、JP7）設定一覧

ジャンパ	設定	機能
JP2 システム電源選択	1-2	7~12V電源を使用
	2-3	5V電源を使用
JP7 VCCQ33供給元選択	1-2	VCCQ33端子（端子番号：A10）にR7S7910018用デジタル3.3Vを印加
	2-3	VCCQ33端子（端子番号：A10）にR7S7910018用デジタル1.2Vを印加 （設定禁止）

【注】  : 出荷時の設定機能を示します。

ジャンパの設定変更は、必ずボードの電源をオフにした状態で行ってください。

### 3.2.2 スイッチ、LED 機能

RTK7910018C00000BE には、スイッチを 5 個、LED を 10 個実装しています。

図 3.2.2 に実装スイッチ、LED 配置図を、表 3.2.2 に実装スイッチ一覧を、表 3.2.3 にディップスイッチの機能説明を、表 3.2.4 に実装 LED 一覧を示します。

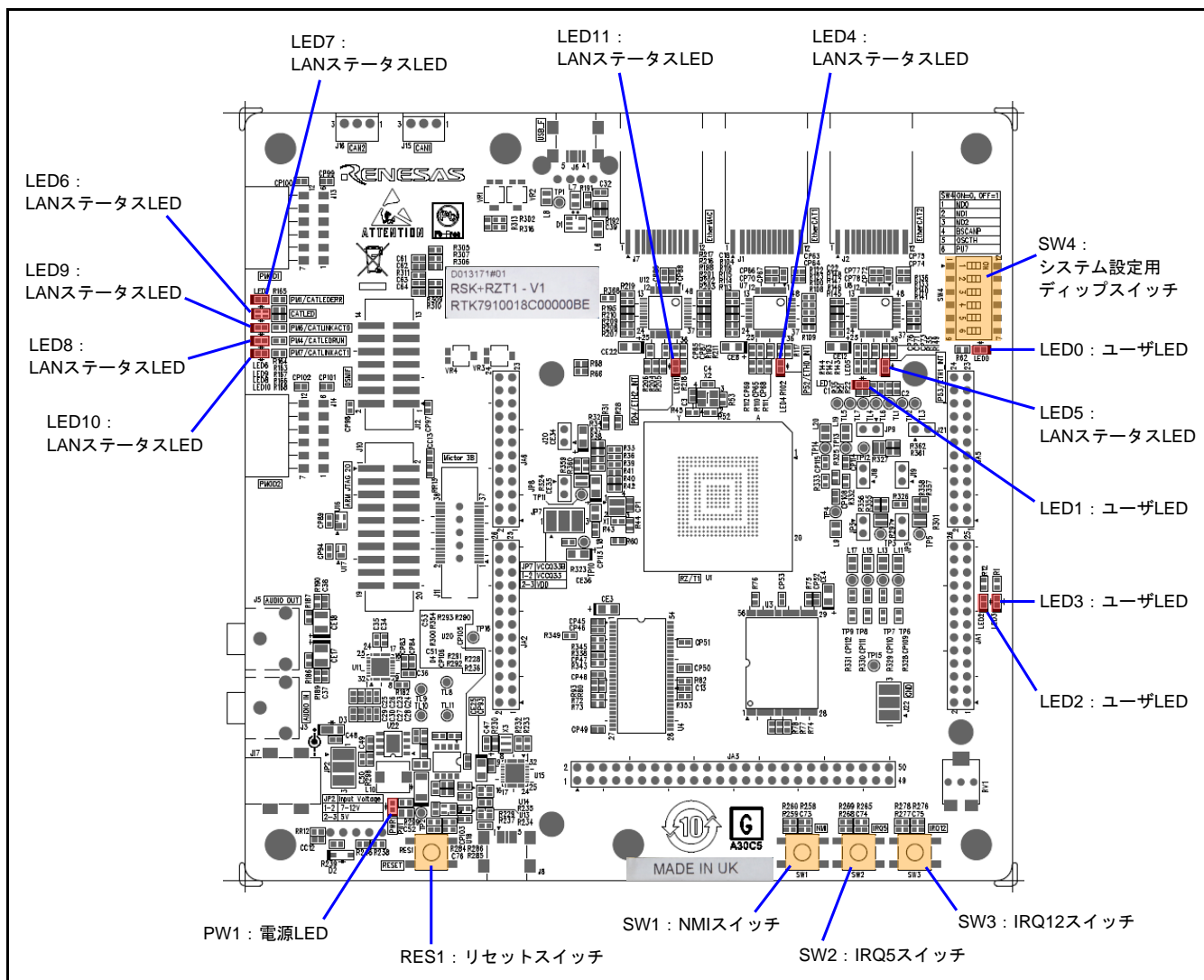


図 3.2.2 RTK7910018C00000BE 実装スイッチ、LED 配置図 (C 面上面図)

表 3.2.2 RTK7910018C00000BE 実装スイッチ一覧表

番号	機能	備考
SW1	NMIスイッチ	詳細は2.7節を参照してください
SW2	IRQ5スイッチ	
SW3	IRQ12スイッチ	
SW4	システム設定用ディップスイッチ	詳細は表3.2.3を参照してください
RES1	リセットスイッチ	詳細は2.10節を参照してください

表 3.2.3 システム設定用ディップスイッチ (SW4) 機能説明

番号	設定		機能		
	設定	MD0 = "H"	モード設定端子		
SW4-1 (MD0)	OFF	MD0 = "H"	ブートデバイス		
	ON	MD0 = "L"	MD2	MD1	MD0
SW4-2 (MD1)	OFF	MD1 = "H"	L	L	L
	ON	MD1 = "L"	L	H	L
SW4-3 (MD2)	OFF	MD2 = "H"	L	H	H
	ON	MD2 = "L"	上記以外		
SW4-4 (BSCANP)	OFF	BSCANP = "H"	バウンダリスキャン動作		
	ON	BSCANP = "L"	通常動作		
SW4-5 (OSCTH)	OFF	OSCTH = "H"	メインクロック供給元は外部クロック入力 (設定禁止)		
	ON	OSCTH = "L"	メインクロック供給元は発振子		
SW4-6 (PU7)	OFF	PU7 = "H"			
	ON	PU7 = "L"			

【注】   : 出荷時の設定機能を示します。

ディップスイッチの設定変更は、必ずボードの電源をオフにした状態で行ってください。

表 3.2.4 RTK7910018C00000BE 実装 LED 一覧表

番号	色	機能
LED0	緑	ユーザLED (PF7が"H"出力時に点灯)
LED1	橙	ユーザLED (P56が"H"出力時に点灯)
LED2	赤	ユーザLED (P77が"H"出力時に点灯)
LED3	赤	ユーザLED (PA0が"H"出力時に点灯)
LED6 (Dual)	赤	LANステータスLED (EtherCAT Error LED出力)
	緑	LANステータスLED (EtherCAT Dual-colorステートLED出力)
LED7	赤	LANステータスLED (EtherCAT Error LED出力)
LED8	緑	LANステータスLED (EtherCAT RUN LED出力)
LED9	緑	LANステータスLED (EtherCAT1のLink/Activity LED出力)
LED10	緑	LANステータスLED (EtherCAT2のLink/Activity LED出力)
PW1	緑	電源LED (システム電源供給時に点灯)

### 3.3 外形寸法

図 3.3.1 および図 3.3.2 に RTK7910018C00000BE の外形寸法図を示します。

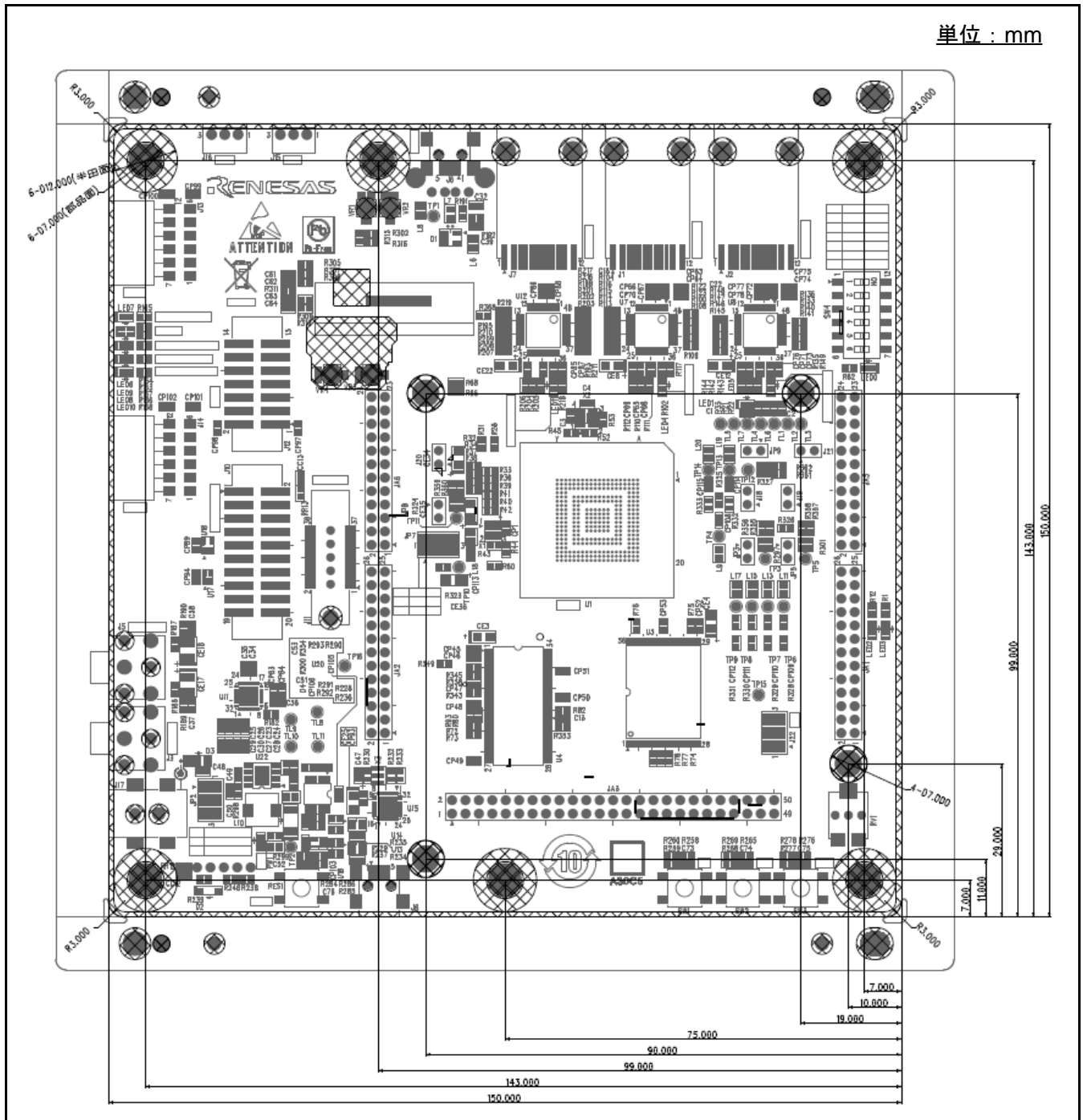
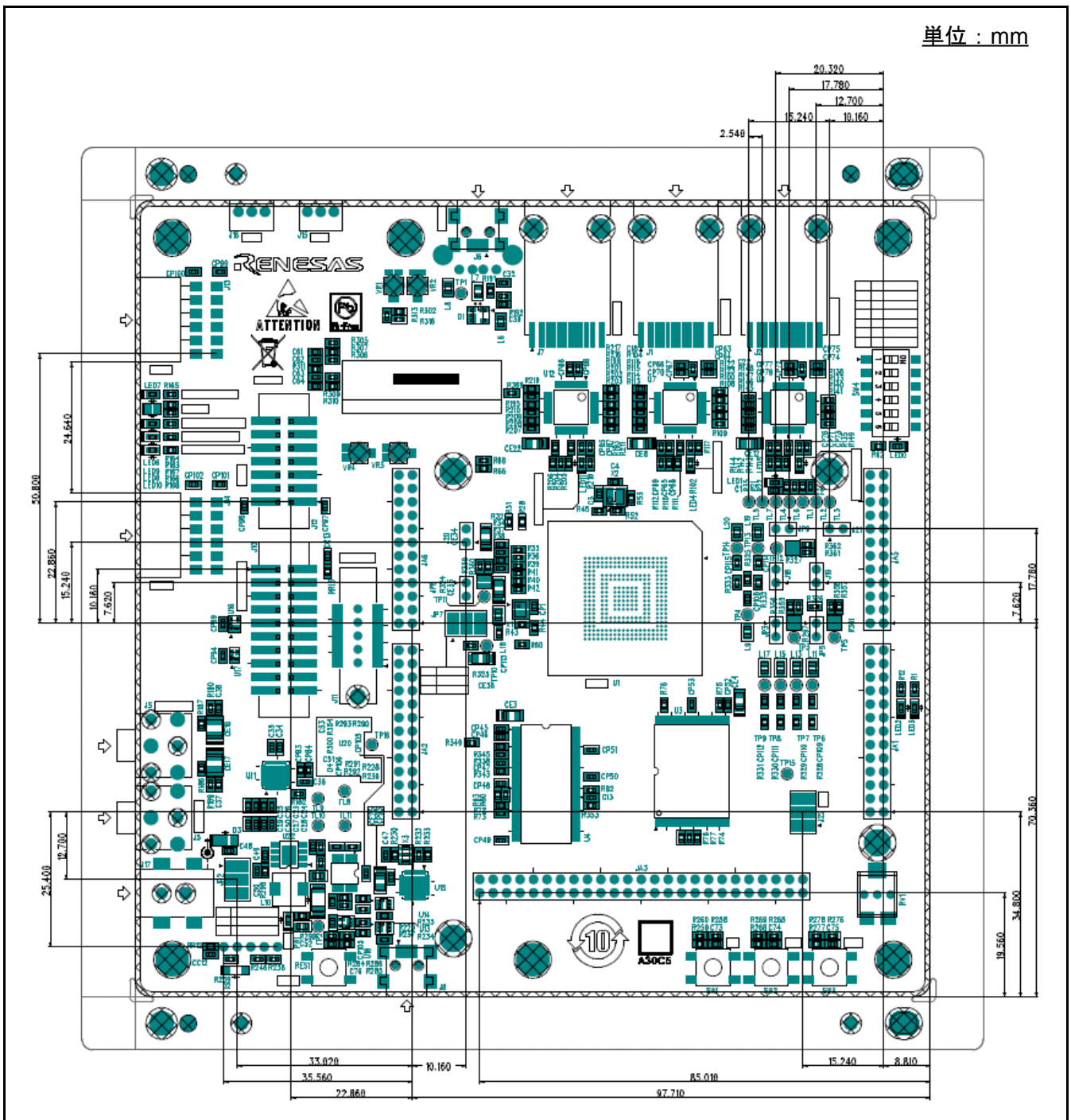


図 3.3.1 RTK7910018C00000BE 外形寸法図 (C 面上面図) (1/2)



単位：mm





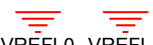


図 3.3.2 RTK7910018C0000BE 外形寸法図 (C 面上面図) (2/2)

## 付録 RTK7910018C00000BE 接続図

# R7S910018 Evaluation board RTK7910018C00000BE SCHEMATICS (RZ/T1, BGA320)

TITLE	PAGE
Index	1
RZ/T1-1	2
RZ/T1-2, Serial-flash	3
NOR-flash, SDRAM	4
EtherCAT	5
Audio-codec, USB, LAN	6
Serial(USB), DBGIF	7
DSMIF, PMOD, CAN, SW	8
Power	9
Application Header	10

## Note:

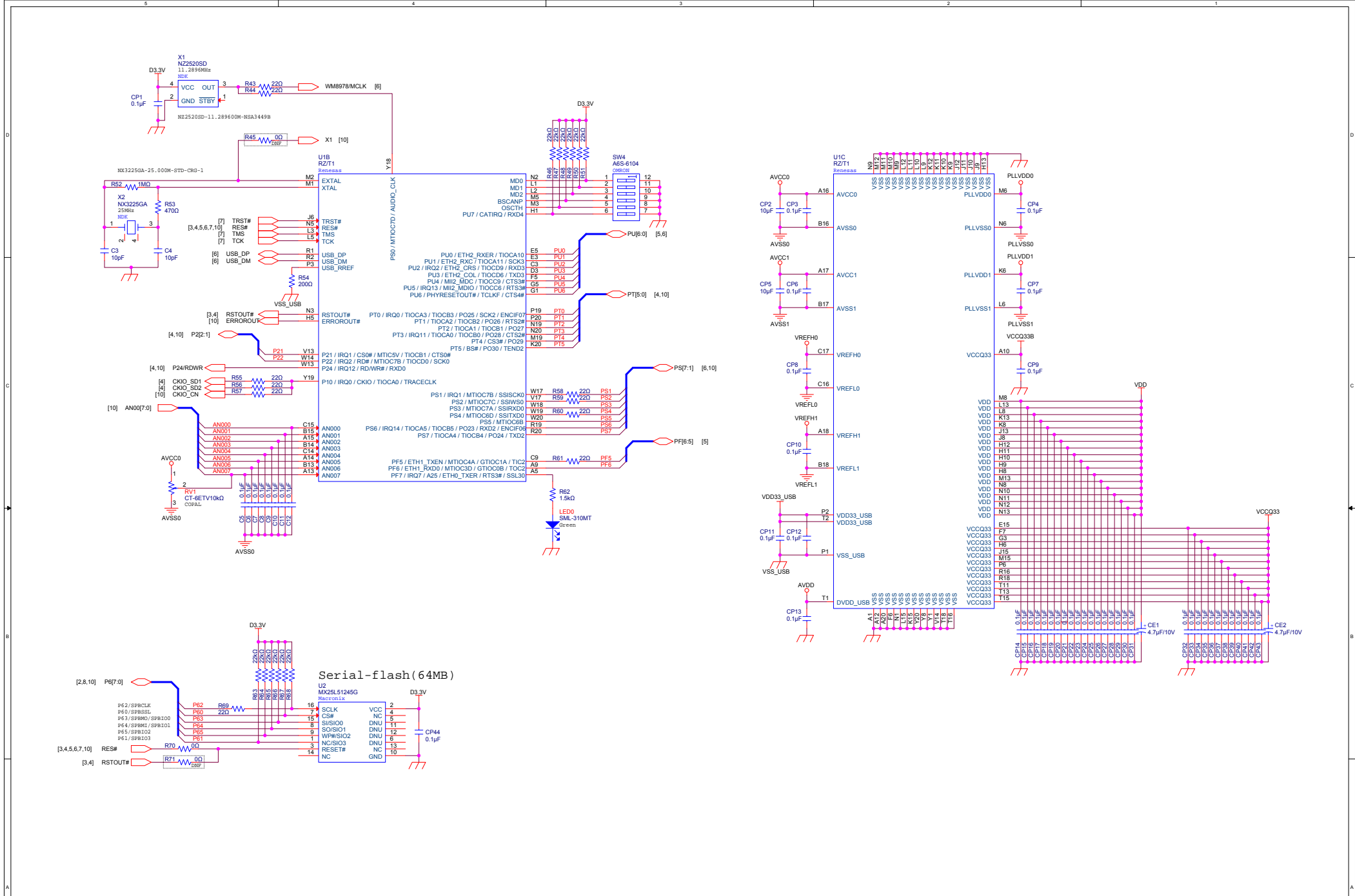
-  Digital GND (VSS)
-  Digital GND for USB
-  Analog GND
-  Analog GND for ADC
-  Analog GND for ADC Reference
-  Analog GND for PLL
-  Not mounted (Do Not Fit)

VIN = System Power (5V or 7V-12V input)  
D5V = Digital 5V  
D3.3V = Digital 3.3V for External device  
A3.3V = Analog 3.3V for External device  
D1.2V = Digital 1.2V  
A1.2V = Analog 1.2V  
VCCQ33 = 3.3V for RZ/T1 I/O & USB  
AVCC = Analog 3.3V for ADC  
VDD = Digital 1.2V for RZ/T1 Core  
AVDD = Analog 1.2V for PLL & USB

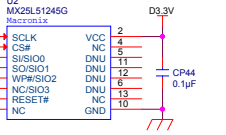
R = Fixed Resistors  
RA = Resistor Array  
C = Ceramic Caps  
CE = Tantalum Electrolytic Caps  
CP = Decoupling Caps

CHANGE					Renesas System Design Co., Ltd.				RTK7910018C00000BE	
	SCALE				DRAWN	CHECKED	DESIGNED	APPROVED	INDEX	( 1 / 10 )
	DATE		15-09-17						R20UT3241EG0200	

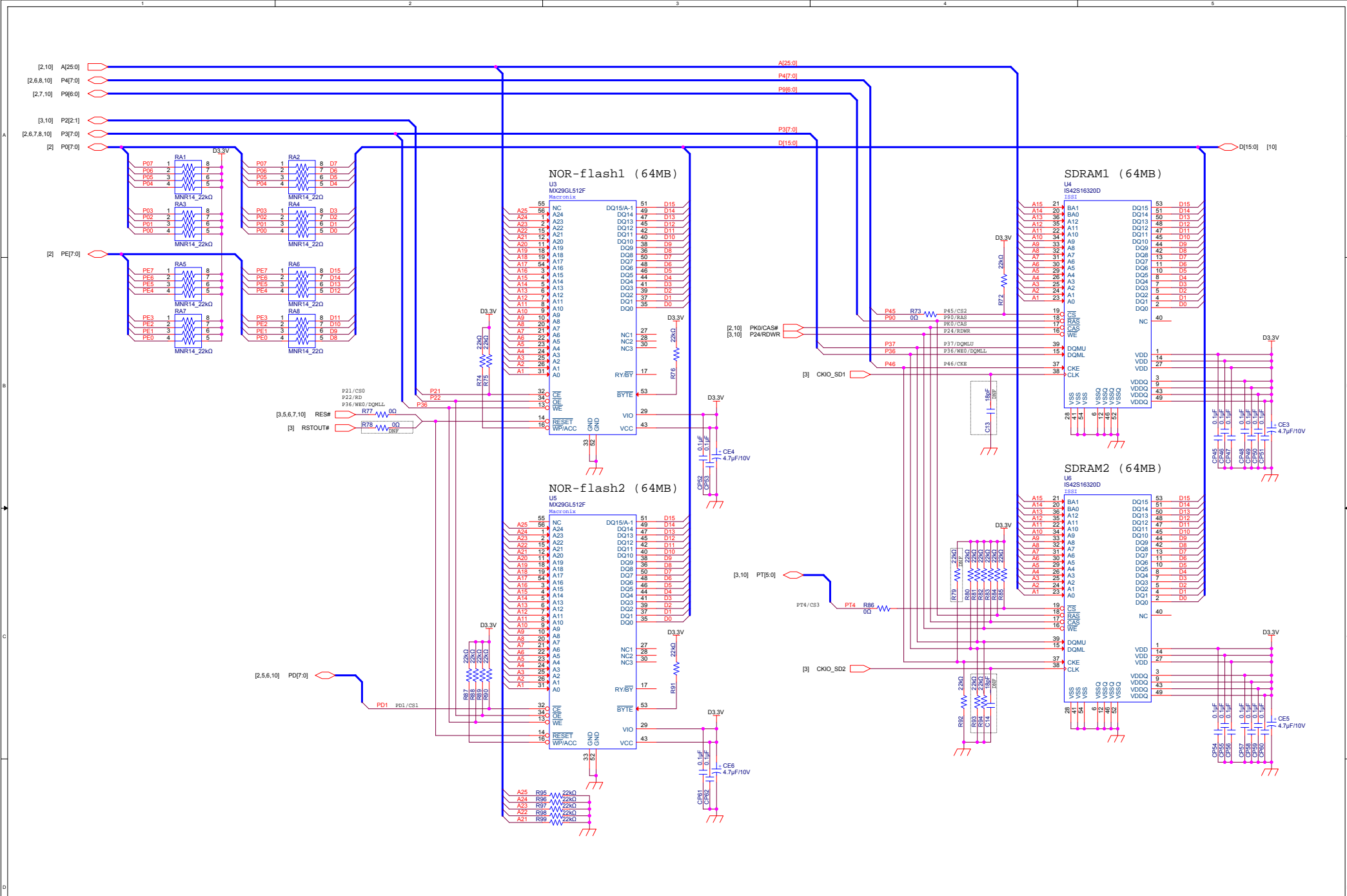




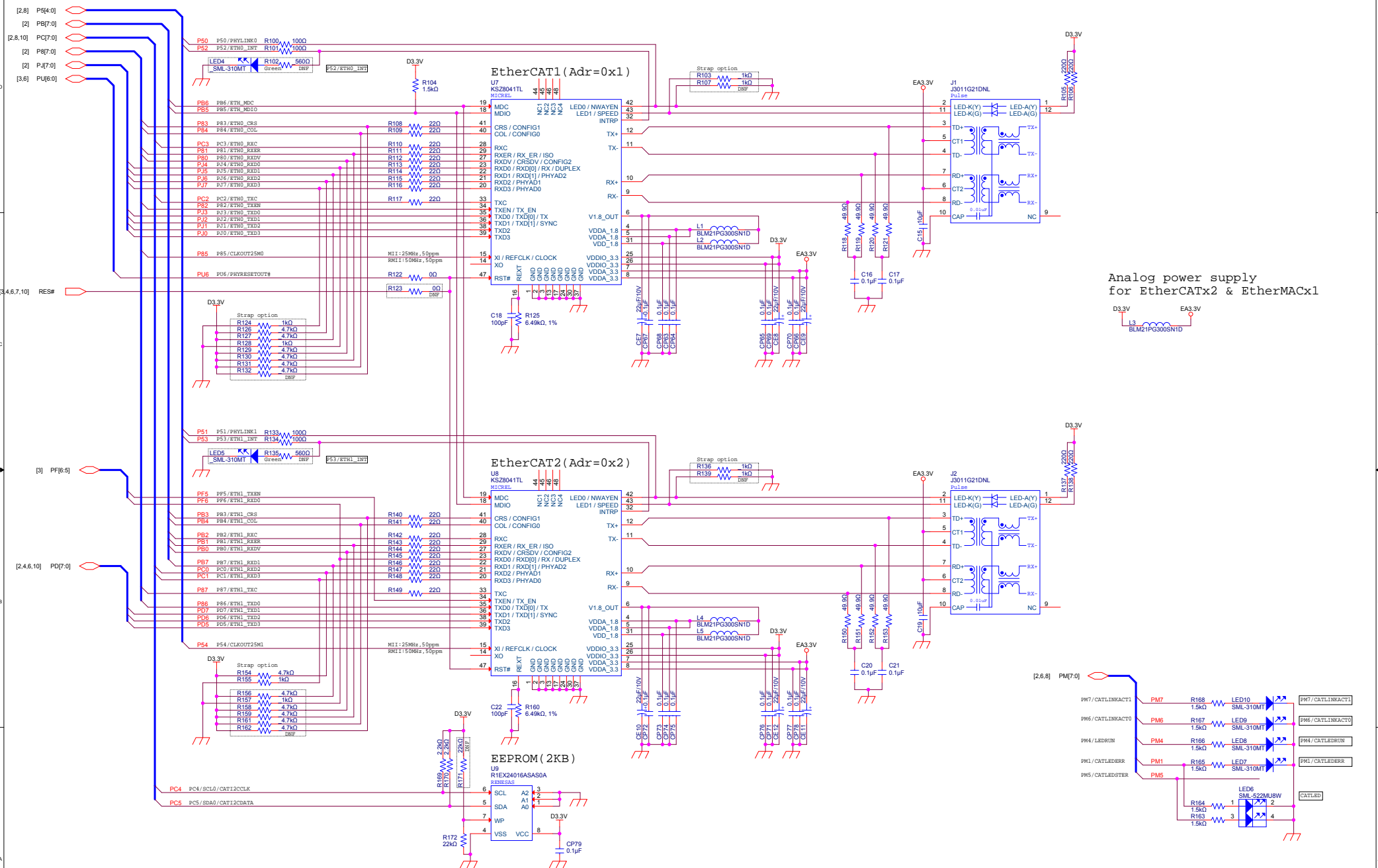
**Serial-flash (64MB)**



CHANGE	Renesas System Design Co., Ltd.				RTK7910018C00000BE	
	SCALE	DRAWN	CHECKED	DESIGNED	APPROVED	RZ/T1-2, Serial-flash ( 3 / 10 )
	DATE	15-09-17				R20UT3241EG0200



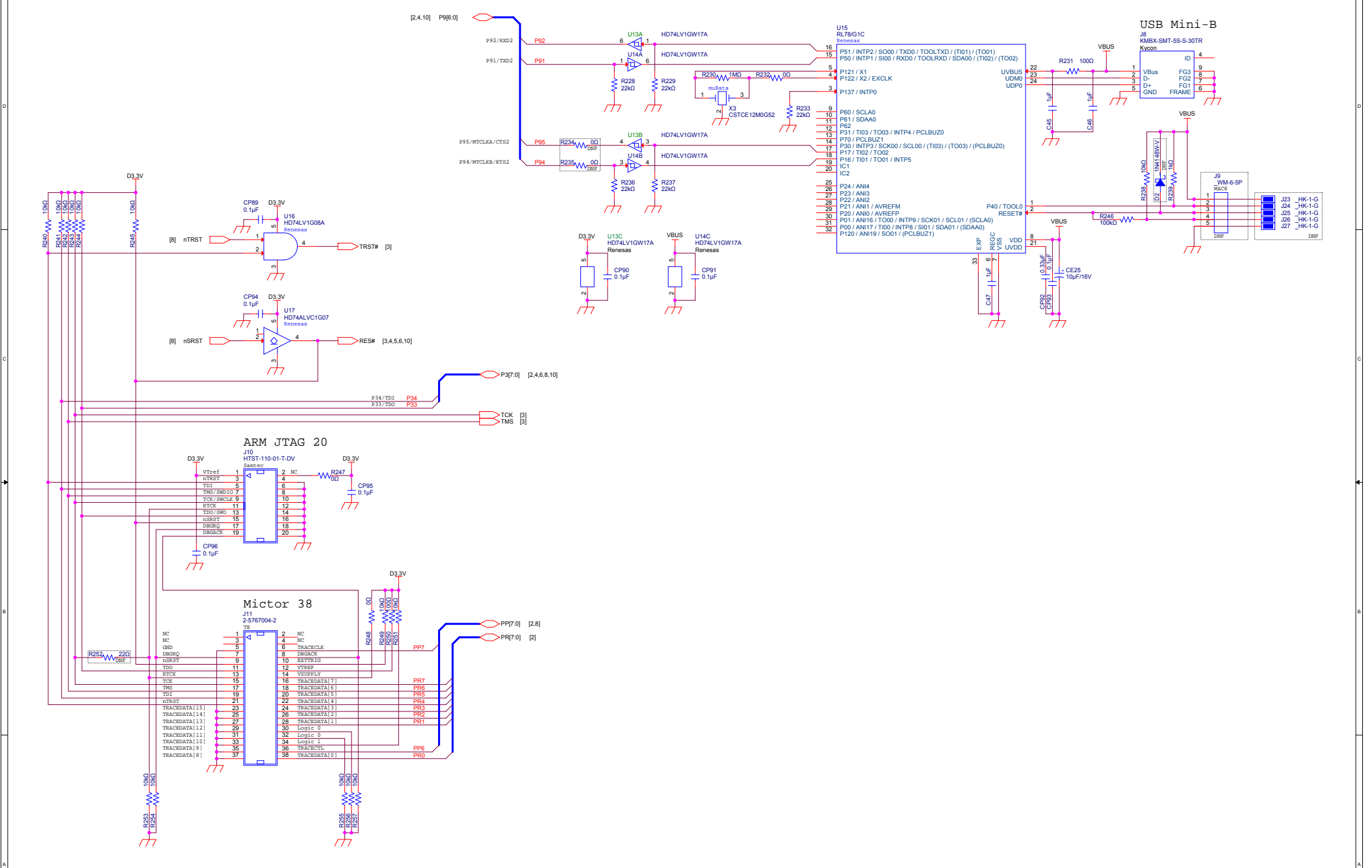
CHANGE	Renesas System Design Co., Ltd.				RTK7910018C00000BE	
	SCALE	DRAWN	CHECKED	DESIGNED	APPROVED	NOR-flash, SDRAM ( 4 / 10 )
	DATE	15-09-17				R20UT3241EG0200



Analog power supply for EtherCATx2 & EtherMACx1

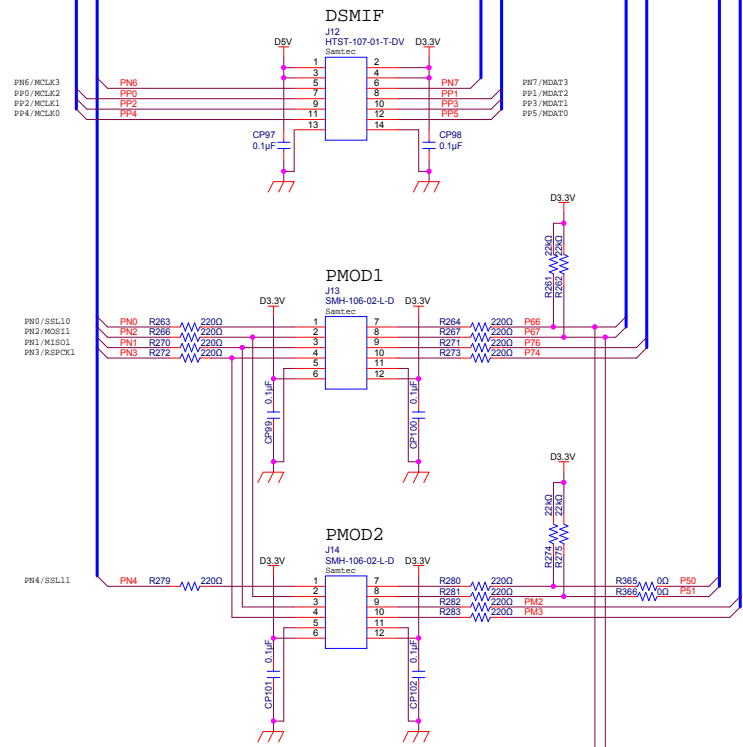
CHANGE	Renesas System Design Co., Ltd.				RTK7910018C00000BE	
					EtherCAT	
	SCALE		DRAWN	CHECKED	DESIGNED	APPROVED
	DATE	15-09-17				
					R20UT3241EG0200	
					( 5 / 10 )	



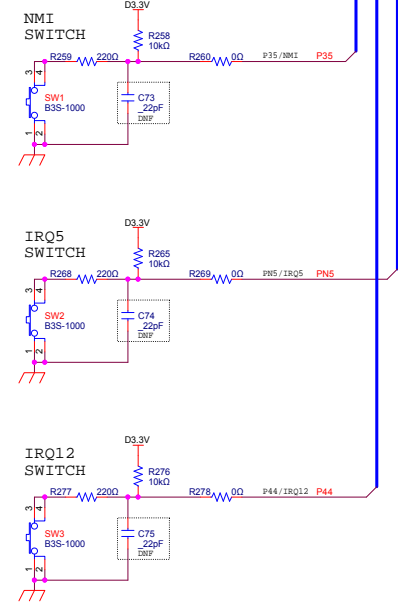


CHANGE	Renesas System Design Co., Ltd.				RTK7910018C00000BE	
					Serial (USB), DBGIF ( 7 / 10 )	
	SCALE		DRAWN	CHECKED	DESIGNED	APPROVED
DATE	15-09-17					R20UT3241EG0200

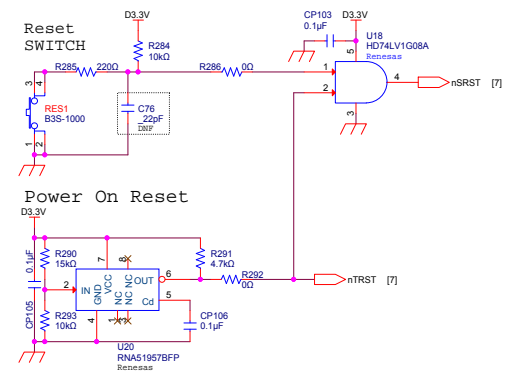
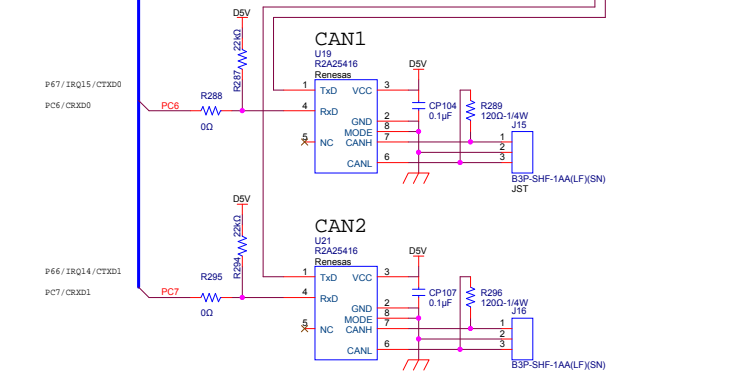
[2.5.6] PM7[7:0]  
 [2.5] P5[4:0]  
 [2.10] P7[7:0]  
 [2.3.10] P6[7:0]  
 [2.7] PP[7:0]  
 [2.6.10] PN[7:0]



[2.4.6.10] P4[7:0]  
 [2.4.6.7.10] P3[7:0]



[2.5.10] PC[7:0]



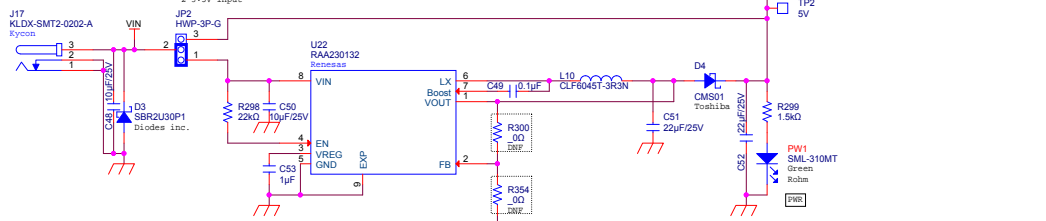
P46/CTXD1/IRQ14  
 P47/CTXD0/IRQ15  
 P50/IRQ8/PHYLINK0  
 P51/IRQ1/PHYLINK1

Renesas System Design Co., Ltd.				RTK7910018C00000BE	
				DSMIF, PMOD, CAN, SW ( 8 / 10 )	
SCALE		DRAWN	CHECKED	DESIGNED	APPROVED
DATE	15-09-17				

R20UT3241EG0200

CHANGE

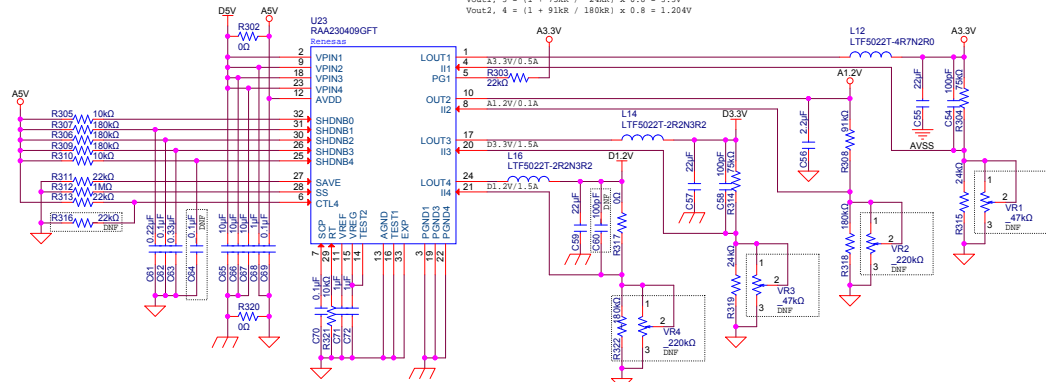
AC Adaptor



Jumper setting :  
1-2:7V-12V input  
2-3:5V input

$$Vout1.3 = (1 + 75k\Omega / 24k\Omega) \times 0.8 = 3.3V$$

$$Vout2.4 = (1 + 91k\Omega / 180k\Omega) \times 0.8 = 1.204V$$

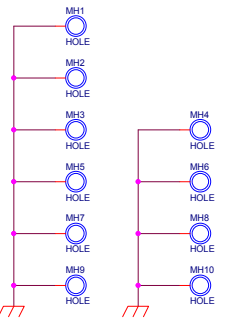


S8(Soft start time) :  $t_{sw} = 1.8 \times R_{st} \times I_{L1} + 0.24 = 2.04ms$   
 SCVP(Short circuit protect) :  $t_{scvp} = 0.9 \times C_{scvp} \times I_{scvp} = 90ms$   
 RT(Resonator timing reg.) :  $EOSC = -0.107 \times RT[k\Omega] + 3.05 = 1.98MHz$   
 SAVN(Power saving) : L=OFF, H=ON(Normal 15k clock freq.)  
 SHDNB\*(Voltage output) : L=OFF, H=ON  
 CTL4(Ch4 output voltage) : L=By External resistor, H=1.2V fix  

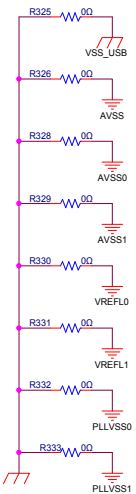
CTL4	313	316	310	317	322
H	o	x	x	o	x
L	x	o	o	o	o

 o:Mount, x:No mount

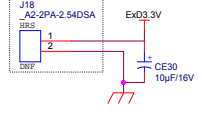
Board fixed hole.



AGND-DGND

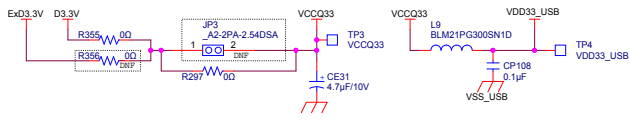


D3.3V External

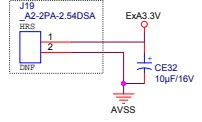


$$R = \frac{3.3V - 150mA \times Vf}{(3.2 \times 3.3V) / (100 \times (3.3V + 150mA))} \times 0.95 = 203mR \rightarrow 200mR$$

$$Vf = 200mR \times 150mA = 30mV$$

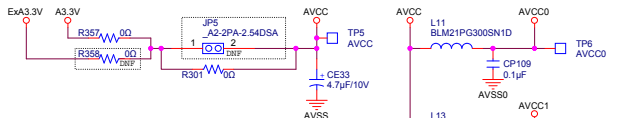


A3.3V External

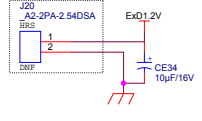


$$R = \frac{3.3V - 42mA \times Vf}{(3.2 \times 3.3V) / (100 \times (3.3V + 42mA))} \times 0.95 = 724mR \rightarrow 750mR$$

$$Vf = 750mR \times 42mA = 31.5mV$$

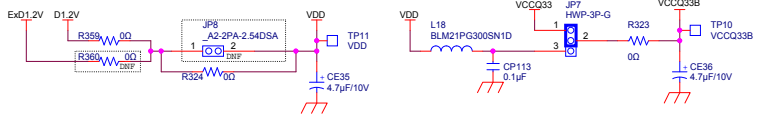


D1.2V External

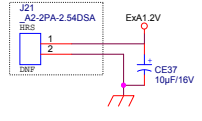


$$R = \frac{1.2V - 800mA \times Vf}{(3.2 \times 1.2V) / (100 \times (1.2V + 800mA))} \times 0.95 = 38mR \rightarrow 47mR \text{ (Min.)}$$

$$Vf = 47mR \times 800mA = 37.6mV$$

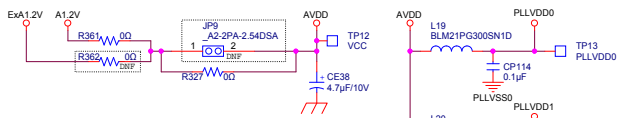


A1.2V External

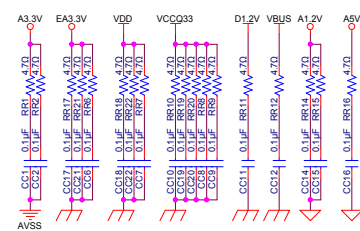


$$R = \frac{1.2V - 60mA \times Vf}{(3.2 \times 1.2V) / (100 \times (1.2V + 60mA))} \times 0.95 = 507mR \rightarrow 510mR$$

$$Vf = 510mR \times 60mA = 30.6mV$$



Snubber circuit for EMC measures



CHANGE

Renesas System Design Co., Ltd.

RTK7910018C00000BE

SCALE		DRAWN	CHECKED	DESIGNED	APPROVED
DATE	15-09-17				

Power ( 9 / 10 )

R20UT3241EG0200



改訂記録	RZ/T1 評価ボード RTK7910018C00000BE ユーザーズマニュアル
------	---

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2015.09.17	—	初版発行
1.01	2016.05.11	2-25	EtherCAT 使用時の注意書きを追加
2.00	2017.09.21	1-1	特徴→特長
		1-2	図 1.1 : 「RTK7910018S00000BE」 → 「RTK7910018S01000BE」
		1-3	表 1.1 : PCLKC モジュールクロック名修正、PCLKH モジュールクロック追加
		2-1、2-24	コントローラエリアネットワーク→CAN インタフェース
		2-9	・ SPIBSC 設定 (表 2.3.6~表 2.3.8) を示す文追加 ・ 図 2.3.3 : RSTOUT#の配線に関する注記文追加
		2-10~ 2-12	SPIBSC 設定 (表 2.3.6~表 2.3.8) 追加
		—	ご注意書き、WEEE Directive (→EMC Directive) などの文言様式変更
2.10	2020.05.29	2-10~ 2-12	SPIBSC 設定 (表 2.3.6~表 2.3.8) を修正
		—	ご注意書き、製品ご使用上の注意事項などの文言様式変更

---

RZ/T1 評価ボード RTK7910018C00000BE ユーザーズマニュアル

発行年月日 2020年5月29日 Rev.2.10

発行 ルネサス エレクトロニクス株式会社

〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)

---

RZ/T1 評価ボード  
RTK7910018C00000BE  
ユーザーズマニュアル