

R-IN32M4-CL2

ユーザーズ・マニュアル Gigabit Ethernet PHY編

R9J03G019GBG

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

資料番号 : R18UZ0044JJ0100

発行年月 : 2016.03.04

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等

当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。

6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、CMOSデバイスの一般的注意事項について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイ・インピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワー・オン・リセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

○ARM, AMBA, ARM Cortex, ThumbおよびARM Cortex-M4FはARM LimitedのEUおよびその他の国における商標および登録商標です。

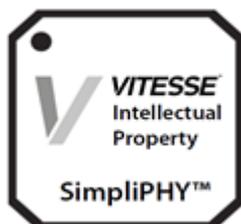
○Ethernetおよびイーサネットは、富士ゼロックス株式会社の登録商標です。

○IEEEは、the Institute of Electrical and Electronics Engineers, Inc. の登録商標です。

○CC-Link及びCC-Link IE Fieldは、CC-Link協会（CC-Link Partner Association : CLPA）の登録商標です。

○その他、本資料中の製品名やサービス名は全てそれぞれの所有者に属する商標または登録商標です。

○Gigabit Ethernet PHYはVitesse製PHYを使用しています。



このマニュアルの使い方

1. 目的と対象者

このマニュアルは産業イーサネット通信向け ASSP (Application Specific Standard Product) 「R-IN32M4-CL2」(R9J03G019GBG)の機能を理解し、それをを用いた応用設計をするユーザを対象とします。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

本製品は、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。
本文中の★印は、本版で改訂された主な箇所を示しています。この"★"を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。下記資料番号の末尾****部分は版数です。当社ホームページより最新版をダウンロードして参照ください。

R-IN32M4-CL2に関する資料

資料名	資料番号
R-IN32M4-CL2 ユーザーズ・マニュアル	R18UZ0032JJ****
R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編	R18UZ0034JJ****
R-IN32M4-CL2 ユーザーズ・マニュアル Gigabit Ethernet PHY 編 (本マニュアル)	R18UZ0044JJ****
R-IN32M4-CL2 ユーザーズ・マニュアル ボード設計編	R18UZ0045JJ****
R-IN32M4-CL2 プログラミング・マニュアル ドライバ編	R18UZ0036JJ****
R-IN32M4-CL2 プログラミング・マニュアル OS 編	R18UZ0040JJ****

2. 数や記号の表記

データ表記の重み：左が上位桁、右が下位桁

アクティブ・ローの表記：

xxxZ (端子、信号名称のあとにZ)

またはxxx_N (端子、信号名称のあとに_N)

またはxxnx (端子、信号名称にnを含む)

注：

本文中につけた注の説明

注意：

気をつけて読んでいただきたい内容

備考：

本文の補足説明

数の表記：

2 進数 … xxxx, xxxxB または n'bxxxx(nビット)

10 進数 … xxxx

16 進数 … xxxxH または n'hxxxx(nビット)

2のべき数を示す接頭語 (アドレス空間、メモリ容量)：

K (キロ) … $2^{10} = 1024$

M (メガ) … $2^{20} = 1024^2$

G (ギガ) … $2^{30} = 1024^3$

データ・タイプ：

ワード … 32 ビット

ハーフワード … 16 ビット

バイト … 8 ビット

目次

1. 製品概要	1
1.1 特徴	1
1.1.1 高度な PHY とインターフェース技術	1
1.1.2 低消費電力	1
1.1.3 仕様	1
1.2 本マニュアルにおける注意事項★	1
2. 機能説明	2
2.1 ツイストペア・メディアインターフェース	2
2.1.1 電圧モードラインドライバ	2
2.1.2 オートネゴシエーションとパラレル検出	3
2.1.3 自動クロスオーバーと極性検出	3
2.1.4 マニュアル MDI/MDIX 設定	4
2.1.5 リンク速度のダウンシフト	4
2.2 ActiPHYによる電力管理	5
2.2.1 省電力状態	6
2.2.2 リンク相手のウェイクアップ状態	6
2.2.3 通常動作状態	6
2.3 LEDインターフェース	7
2.3.1 LED モード	7
2.3.2 LED ポートの入れ替え	8
2.3.3 LED の挙動	8
2.4 高速なリンク障害検出	9
2.5 テスト機能	10
2.5.1 イーサネット・パケット・ジェネレータ	10
2.5.2 ファーエンド・ループバック	11
2.5.3 ニアエンド・ループバック	11
2.5.4 コネクタ・ループバック	12
3. レジスタ説明	13
3.1 レジスタおよびビット表記	14
3.2 IEEE 802.3とメインレジスタ	15
3.2.1 モード制御	16
3.2.2 モードステータス	17
3.2.3 デバイス識別	17
3.2.4 オートネゴシエーション・アダプタイズ	18

3.2.5	リンク相手のオートネゴシエーション能力.....	18
3.2.6	オートネゴシエーション拡張.....	19
3.2.7	オートネゴシエーション・ネクストページ送信.....	19
3.2.8	オートネゴシエーション・リンク相手のネクストページ受信.....	20
3.2.9	1000BASE-T 制御.....	20
3.2.10	1000BASE-T ステータス.....	21
3.2.11	1000BASE-T ステータス拡張 1.....	21
3.2.12	100BASE-TX ステータス拡張.....	22
3.2.13	1000BASE-T ステータス拡張 2.....	22
3.2.14	拡張 PHY 制御 0.....	23
3.2.15	エラーカウンタ 1.....	23
3.2.16	エラーカウンタ 2.....	24
3.2.17	エラーカウンタ 3.....	24
3.2.18	拡張制御およびステータス.....	25
3.2.19	拡張 PHY 制御 1.....	26
3.2.20	拡張 PHY 制御 2.....	26
3.2.21	割り込みマスク.....	27
3.2.22	割り込みステータス.....	28
3.2.23	補足制御およびステータス.....	29
3.2.24	LED モード選択.....	30
3.2.25	LED 動作.....	30
3.2.26	拡張/汎用レジスタページアクセス.....	31
3.3	拡張ページ1レジスタ.....	32
3.3.1	CRC グッドカウンタ.....	32
3.3.2	拡張モード制御.....	33
3.3.3	ActiPHY 制御.....	33
3.3.4	イーサネット・パケット・ジェネレータ制御 1.....	35
3.3.5	イーサネット・パケット・ジェネレータ制御 2.....	36
3.4	拡張ページ2レジスタ.....	37
3.4.1	LED 制御.....	37
3.5	汎用レジスタ.....	38
3.5.1	予約汎用レジスタ空間.....	38
3.5.2	予約レジスタ.....	38
3.5.3	高速なリンク障害検出制御.....	38
3.5.4	LED 拡張制御.....	38
3.5.5	グローバル割り込みステータス.....	39
4.	特性における注意点.....	40

図の目次

図2.1	メディアインターフェース.....	2
図2.2	ActiPHY状態図	5
図2.3	ファーエンド・ループバック図.....	11
図2.4	ニアエンド・ループバック図.....	11
図2.5	コネクタ・ループバック図.....	12
図3.1	レジスタ空間	13

表の目次

表2.1	MDIペアの組み合わせ.....	3
表2.2	LEDモードおよび機能の概要.....	7
表3.1	IEEE 802.3レジスタ.....	15
表3.2	メインレジスタ.....	15
表3.3	モード制御、アドレス(0x00).....	16
表3.4	モードステータス、アドレス1 (0x01).....	17
表3.5	PHY識別子1、アドレス2 (0x02).....	17
表3.6	PHY識別子2、アドレス3 (0x03).....	17
表3.7	オートネゴシエーション・アドバタイズ、アドレス4 (0x04).....	18
表3.8	リンク相手のオートネゴシエーション能力、アドレス5 (0x05).....	18
表3.9	オートネゴシエーション拡張、アドレス6 (0x06).....	19
表3.10	オートネゴシエーション・ネクストページ送信、アドレス7 (0x07).....	19
表3.11	オートネゴシエーション・リンク相手のネクストページ受信、アドレス8 (0x08).....	20
表3.12	1000BASE-T制御、アドレス9 (0x09).....	20
表3.13	1000BASE-Tステータス、アドレス10 (0x0A).....	21
表3.14	1000BASE-Tステータス拡張 1、アドレス15 (0x0F).....	21
表3.15	100BASE-TXステータス拡張、アドレス16 (0x10).....	22
表3.16	1000BASE-T ステータス拡張2、アドレス17 (0x11).....	22
表3.17	拡張PHY制御0、アドレス18 (0x12).....	23
表3.18	エラーカウンタ1、アドレス19 (0x13).....	23
表3.19	エラーカウンタ2、アドレス20 (0x14).....	24
表3.20	エラーカウンタ3、アドレス21 (0x15).....	24
表3.21	拡張制御およびステータス、アドレス 22 (0x16).....	25
表3.22	拡張PHY制御1、アドレス23 (0x17).....	26
表3.23	拡張PHY制御2、アドレス24 (0x18).....	26
表3.24	割り込みマスク、アドレス25 (0x19).....	27
表3.25	割り込みステータス、アドレス26 (0x1A).....	28
表3.26	補足制御およびステータス、アドレス28 (0x1C).....	29
表3.27	LEDモード選択、アドレス29 (0x1D).....	30
表3.28	LED動作、アドレス 30 (0x1E).....	30
表3.29	拡張/汎用レジスタページアクセス、アドレス 31 (0x1F).....	31
表3.30	拡張レジスタページ1空間.....	32
表3.31	CRCグッドカウンタ、アドレス 18E1 (0x12).....	32
表3.32	拡張モード制御、アドレス 19E1 (0x13).....	33
表3.33	ActiPHY制御、アドレス 20E1 (0x14).....	33
表3.34	EPG制御1、アドレス 29E1 (0x1D).....	35
表3.35	EPG制御2、アドレス 30E1 (0x1E).....	36
表3.36	拡張レジスタページ2空間.....	37
表3.37	LED制御、アドレス 17E2 (0x11).....	37
表3.38	予約、アドレス 14G (0x0E).....	38

表3.39	高速なリンク障害検出制御、アドレス 19G (0x13)	38
表3.40	LED拡張制御、アドレス 25G (0x19)	38
表3.41	グローバル割り込みステータス、アドレス 29G (0x1D)	39

1. 製品概要

GbE-PHY は、デュアルポートのギガビットイーサネット PHY です。

GbE-PHY は、スペースに制約のある 10/100/1000BASE-T アプリケーションに適しており、ライン側の終端を組み込むことでボード上のスペースを節約するほか、EMI 低減、システム性能向上を特徴とします。

1.1 特徴

本章では、GbE-PHY の主な機能と利点について説明します。

1.1.1 高度なPHYとインターフェース技術

- 10/100/1000BASE-T のイーサネットトランシーバ
- HP Auto-MDIX およびマニュアル MDI/MDIX
- 最大 12 キロバイトのジャンボフレーム対応

1.1.2 低消費電力

- ActiPHY™による EcoEthernet™ 2.0 グリーン・エネルギー効率モード
- すべてのリンク速度において電力消費を最適化

1.1.3 仕様

- IEEE 802.3 規格 (10BASE-T、100BASE-TX、1000BASE-T) 仕様に準拠
- 動作温度は、 $T_a = -40\text{ }^{\circ}\text{C}$ から $T_j = 125\text{ }^{\circ}\text{C}$ までに対応

1.2 本マニュアルにおける注意事項★

本マニュアルにおけるレジスタおよびビット表記は、IEEE Standard に準拠しております。表記に関する詳細は「3.1 レジスタおよびビット表記」を参照してください。

2. 機能説明

本章では、GbE-PHY で可能な動作やテスト機能について説明します。

2.1 ツイストペア・メディアインターフェース

ツイストペア・メディアインターフェースは IEEE 802.3-2008 に準拠しています。

2.1.1 電圧モードラインドライバ

GbE-PHY では、直列終端抵抗を一体化した電圧モードラインドライバを使用します。これにより、PHY のメディアインターフェースを外部トランスフォーマに 1 対 1 で接続することができます。また、このインターフェースでは、ユーザ側でトランスフォーマの中心タップに外部電圧を印加する必要がありません。接続例を以下に示します。

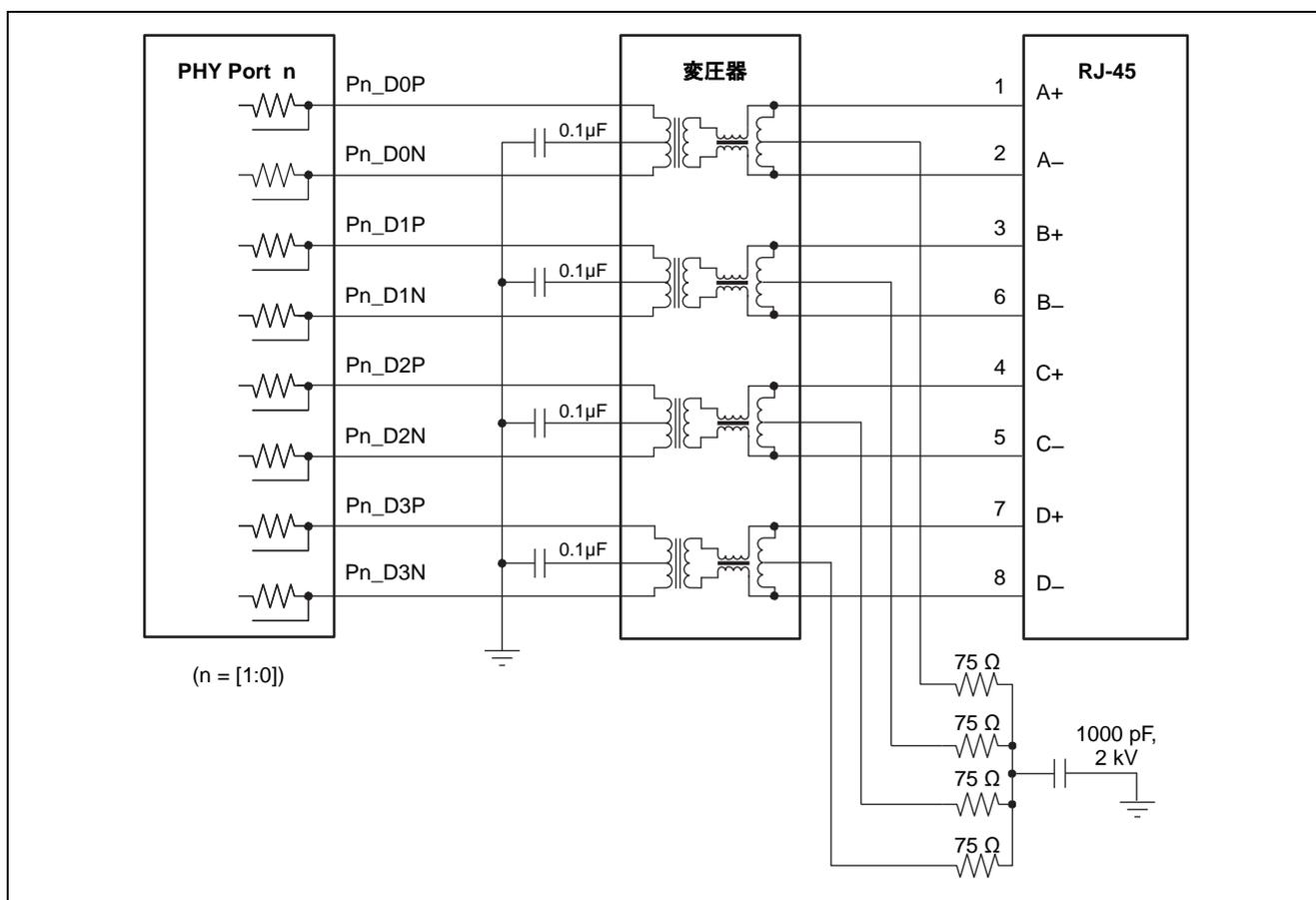


図2.1 メディアインターフェース

2.1.2 オートネゴシエーションとパラレル検出

GbE-PHY は、IEEE 802.3-2008 Clause 28 に定めるツイストペアのオートネゴシエーション機能に対応しています。オートネゴシエーションは、ローカル PHY とリンク相手のアダプタイズを行い、最適な動作モードを決定します。特に、1000BASE-T の動作速度、二重通信設定、マスタ/スレーブ設定を判断します。

リンク相手がオートネゴシエーション機能に対応していない場合、GbE-PHY は自動的にパラレル検出を行い、適切なリンク速度を選択します。

オートネゴシエーション機能を無効にするには、レジスタビット 0.12 をクリアします。本機能が無効のときは、レジスタビット 0.6、0.13、0.8 の設定内容によってデバイスの動作速度および二重通信モードが決定されます。

注意. IEEE 802.3-2008 Clause 40 では、1000BASE-T におけるオートネゴシエーション機能の装備を定めていますが、10BASE-T および 100BASE-TX に対してはこの規定はありません。

2.1.3 自動クロスオーバーと極性検出

イーサネットリンクの構成、管理をスムーズに行うため、GbE-PHY には、ツイストペアインターフェースの全 3 段階速度(10BASE-T、100BASE-TX、1000BASE-T) において、自動クロスオーバー検出機能が備えられています。この機能は HP Auto-MDIX といい、IEEE 802.3-2008 Clause 40 に準拠しています。

さらに、規格要求を上回る便利な機能として、本デバイスはすべての MDI ペアにおける極性エラーを検出、訂正します。

HP Auto-MDIX 検出および極性訂正機能は、初期設定では有効となっています。設定の変更は、レジスタビット 18.5:4 で行います。自動クロスオーバーおよび極性検出機能のステータスビットはレジスタ 28 に配置されています。

注意. GbE-PHY では、オートネゴシエーション機能が無効かつリンク速度が 10 または 100 の場合でも、HP Auto-MDIX を実行できるようなコンフィギュレーションが可能です。この機能を有効にするには、レジスタビット 18.7 を 0 にセットします。合わせて、この機能を使用する際は、レジスタビット 0.12 を 0 にセットします。

HP Auto-MDIX アルゴリズムでは、以下の表の MDI 配線ペアの検出、訂正、動作を正しく行います。たとえば、A から D の 4 本のツイストペアのうち、ツイストペア A は、RJ45 コネクタ 1 および 2 とノーマル MDI モードで接続されます。

表2.1 MDI ペアの組み合わせ

RJ45 コネクタ				
1, 2	3, 6	4, 5	7, 8	モード
A	B	C	D	ノーマル MDI
B	A	D	C	ノーマル MDI-X
A	B	D	C	ペア C と D を入れ替えたノーマル MDI
B	A	C	D	ペア C と D を入れ替えたノーマル MDI-X

2.1.4 マニュアルMDI/MDIX設定

HP Auto-MDIX 検出のほかに、レジスタビット 19E1.3:2 をセットすることで、PHY を MDI または MDI-X で使用することができます。ビット値を 10 にセットすると MDI を、11 にセットすると MDI-X を使用できます。ビット値を 00 から変更しない場合、HP Auto-MDIX の設定はレジスタビット 18.7 および 18.5 の設定に従います。

2.1.5 リンク速度のダウンシフト

1000BASE-T 非対応の配線環境で動作する場合に、GbE-PHY はリンク速度を自動的にダウンシフトします。この機能を有効にすると、1000BASE-T でのオートネゴシエーションを事前に設定した回数分失敗すると、自動的に 1000BASE-T のアダプタイズから一段階低い速度に変更します。次に接続するリンク相手が 1000BASE-T 対応である場合、この設定を終了する必要はありません。この機能は、ツイストペア A、B のみで、C、D を持たない旧式の配線環境を用いたネットワークの構築などに活用できます。

リンク速度のダウンシフトの設定や監視はレジスタビット 20E1.4:2 でセットします。詳細については「表 3.33 ActiPHY 制御、アドレス 20E1 (0x14)」を参照してください。

2.2 ActiPHYによる電力管理

IEEE 規定のパワーダウン制御ビット（デバイスのレジスタビット 0.11）に加えて、GbE-PHY は各 PHY に ActiPHY 電力管理モードを備えています。このモードにより、消費電力重視型のアプリケーションへの接続が可能となります。このモードでは、信号検出機能によってメディアインターフェースでのリンクの有無を監視し、PHY の電源を自動的に切断するタイミングを判断します。PHY はプログラマブルな間隔でウェイクアップし、ケーブルを通じて高速リンクパルス（FLP バースト）をリンク相手に送信することで、相手のウェイクアップを試みます。

ActiPHY 電力管理モードは、ポートごとに有効にできます。通常動作中であればいつでも、レジスタビット 28.6 を“1”にセットすることで使用可能です。

ActiPHY モードが有効のとき、以下の動作状態が可能です。

- 省電力状態
- リンク相手のウェイクアップ状態
- 通常動作状態（リンクアップ状態）

GbE-PHY は、メディアインターフェース端子に信号エネルギーが検出されるまで、省電力状態とリンク相手のウェイクアップ状態を、プログラマブルな速度で切り替えます。信号エネルギーが検出されると、PHY は通常動作状態になります。PHY が通常動作状態のときに接続が切断されると、リンク状態タイムアウトタイマの期限が切れた後、PHY は省電力状態に戻ります。また、リセット後は省電力状態になります。

PHY のオートネゴシエーション機能が有効のとき、ActiPHY のステートマシンは上述のように動作します。

PHY が省電力状態のときに、オートネゴシエーション機能が無効かつ接続が 10BASE-T または 100BASE-TX モードになると、PHY は信号エネルギーがメディア端子に検出されるまで、省電力状態とリンク相手のウェイクアップ状態の間の遷移を継続します。信号エネルギーが検出されると、PHY は通常動作状態へ遷移し、リンクが切断された場合でもその状態にとどまります。PHY が通常動作状態のときにオートネゴシエーション機能を無効にすると、リンクが切断された場合でも PHY は現在の状態にとどまり、省電力状態へは戻りません。

ActiPHY の各状態とタイマの関係を以下の図に示します。

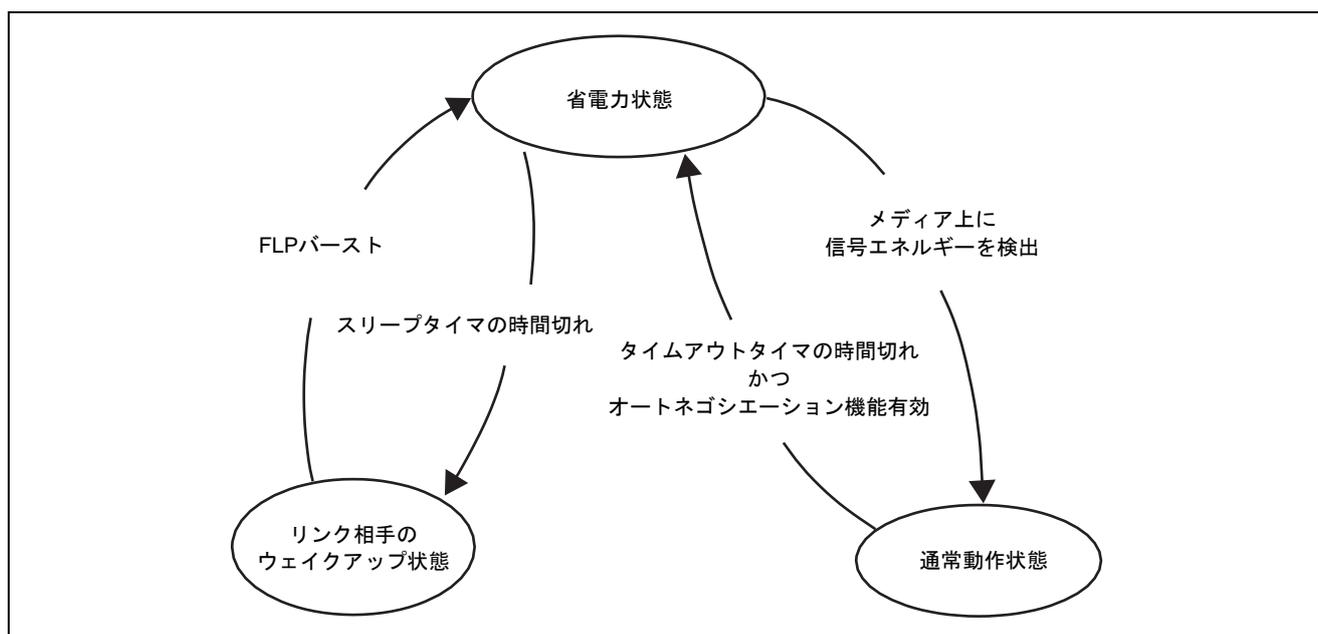


図2.2 ActiPHY 状態図

2.2.1 省電力状態

省電力状態では、すべての主要デジタルブロックは電源が切られます。ただし、SMI インターフェース (MDC、MDIO、MDINT) の機能は使用できます。

この状態において、PHY はメディアインターフェース端子を監視し、信号エネルギーを検出します。メディア上に信号エネルギーが検出されると、PHY は省電力状態から通常動作状態へと遷移します。この状態遷移は、PHY が以下のどちらかに接続されているときに起こります。

- オートネゴシエーション機能に対応したリンク相手との接続
- ActiPHY によってウェイクアップ状態となったリンク相手の PHY との接続

メディア端子上に信号エネルギーがない場合、PHY はプログラマブルなスリープタイマ (レジスタビット 20E1.14:13 でセット) によって、周期的に省電力状態からリンク相手のウェイクアップ状態へと遷移します。実際のスリープ時間幅は-80ms から 60ms の間で無作為に設定されます。これは、ActiPHY モードで接続された二つの PHY が動作中にロックアップ状態になることを避けるためです。

2.2.2 リンク相手のウェイクアップ状態

リンク相手がウェイクアップ状態の時、PHY はリンク相手のウェイクアップを試みます。メディアのペア A と B に対し交互に、ウェイクアップタイマで指定した時間 (レジスタビット 20E1.12:11 でセット) 内で、FLP バーストの送信を最大で 3 回行います。

この状態のとき、SMI インターフェース (MDC、MDIO、MDINT) の機能は使用できます。

信号エネルギーを該当メディアに送信したのち、PHY は省電力状態に戻ります。

2.2.3 通常動作状態

通常動作状態では、PHY はリンク相手との接続を構築します。メディアが引き抜かれた場合や、リンク相手の電源が切れた場合、PHY はプログラマブルなリンク状態タイムアウトタイマの時間 (レジスタビット 28.7 と 28.2 でセット) 内を待機します。その後、省電力状態に入ります。

2.3 LEDインターフェース

LED 出力の極性はプログラマブルで、レジスタビット 17E2.13:10 で変更できます。初期値はロー・アクティブです。

ポートごとに LED0 から LED3 まで 4 本の LED 信号があります。各 LED 信号のモードおよび機能は個別に構成できます。

注意. LED 番号の表記方法 : LED<LED#>_<Port#>

2.3.1 LEDモード

各 LED 端子に異なるステータス情報を表示させることができます。表示させるステータス情報は、LED モード選択レジスタ（レジスタ 29）で選択します。LED ステータスの初期値はロー・アクティブで、値の変更はレジスタビット 17E2.13:10で行います。ブリンク／パルス・ストレッチはレジスタ 30 の LED 動作設定に依存します。

以下の表に、LED モードおよび機能の概要を示します。表内のモードは、各 LED 端子を設定するレジスタ 29 で選択するモードです。

表2.2 LED モードおよび機能の概要

(1/2)

モード	機能名	LED ステートとその説明
0	リンク／アクティビティ	1: メディアインターフェース上の速度でリンクなし 0: メディアインターフェース上の速度でリンクあり ブリンク／パルス・ストレッチ=メディアインターフェース上の速度でリンク及びアクティビティあり
1	リンク 1000／アクティビティ	1: 1000BASE-T でのリンクなし 0: 1000BASE-T でのリンクあり ブリンク／パルス・ストレッチ=1000BASE-T リンク及びアクティビティあり
2	リンク 100／アクティビティ	1: 100BASE-TX でのリンクなし 0: 100BASE-TX でのリンクあり ブリンク／パルス・ストレッチ=100BASE-TX リンク及びアクティビティあり
3	リンク 10／アクティビティ	1: 10BASE-T でのリンクなし 0: 10BASE-T でのリンクあり ブリンク／パルス・ストレッチ=10BASE-T リンク及びアクティビティあり
4	リンク 100／1000／アクティビティ	1: 100BASE-TX または 1000BASE-T でのリンクなし 0: 100BASE-TX または 1000BASE-T でのリンクあり ブリンク／パルス・ストレッチ=100BASE-TX または 1000BASE-T リンク及びアクティビティあり
5	リンク 10／1000／アクティビティ	1: 10BASE-T または 1000BASE-T でのリンクなし 0: 10BASE-T または 1000BASE-T でのリンクあり ブリンク／パルス・ストレッチ=10BASE-T または 1000BASE-T リンク及びアクティビティあり

表 2.2 LED モードおよび機能の概要

(2/2)

モード	機能名	LED ステートとその説明
6	リンク 10/100/アクティビティ	1: 10BASE-T または 100BASE-TX でのリンクなし 0: 10BASE-T または 100BASE-TX でのリンクあり ブリンク/パルス・ストレッチ=10BASE-T または 100BASE-TX リンク及びアクティビティあり
7	予約	予約ビット
8	二重通信/衝突	1: リンクが半二重通信モードで確立している、もしくはリンクが確立していない 0: リンクが全二重通信モードで確立している ブリンク/パルス・ストレッチ=リンクは半二重通信モードで確立しているが衝突あり
9	衝突	1: 衝突の検出なし ブリンク/パルス・ストレッチ=衝突が検出された
10	アクティビティ	1: アクティビティなし ブリンク/パルス・ストレッチ=アクティブ
11	予約	予約ビット
12	オートネゴシエーション失敗	1: オートネゴシエーションの失敗なし 0: オートネゴシエーションの失敗あり
13	予約	予約ビット
14	LED 強制オフ	1: LED をデアサート ^注
15	LED 強制オン	0: LED をアサート ^注

注. このモードに設定すると、リセット後の LED ブリンクにはなりません。

2.3.2 LEDポートの入れ替え

GbE-PHY では、ハードウェアの追加設定として、LED ポートの順序を入れ替えることができます。これにより、PCB のレイアウト設計を単純化しやすくなります。レジスタビット 25G.0 で LED ポートの入れ替えを制御します。

2.3.3 LEDの挙動

LED の挙動を GbE-PHY にプログラムすることができます。レジスタ 30 で以下の動作設定を行います。

LED コンバイン

プライマリ・セカンダリモードの組み合わせ状況を LED に表示させます。この機能の有効・無効は LED 端子ごとに設定できます。たとえば、1 本の LED 端子を「リンク 1000/アクティビティ」モードに設定すると、1 基の LED で『1000BASE-T モードのリンクとアクティブ』と表示させることができます。LED は、1000BASE-T のリンク相手と接続したときアサートし、アクティビティは PHY が送信するかリンク相手から受信したとき、ブリンクまたはパルス・ストレッチを行います。この機能が無効のときは、選択されたプライマリモードの状況のみを表示します。この例では、LED は「リンク 1000」という条件のみでアサートし、セカンダリモードでは、アクティビティはコンバイン機能が無効のときは表示されません。

LED ブリンク／パルス・ストレッチ

アクティビティおよび衝突の表示に使用します。この機能は LED 端子ごとに一意に設定できます。アクティビティおよび衝突イベントは、リンクアップ期間中、無作為かつ断続的に生じます。ブリンクは、デューティサイクル 50% 変動で LED 端子をアサートおよびデアサートします。パルス・ストレッチは、LED を指定された時間アサートおよびデアサートすることで、アクティビティの有無を表示します。これらの割合はレジスタで変更できます。

LED ブリンク速度／パルス・ストレッチ長

LED 端子のブリンク／パルス・ストレッチが有効のときに、LED のブリンク速度またはパルス・ストレッチの長さを制御します。ブリンク速度は、2.5Hz、5Hz、10Hz、20Hz から選択でき、デューティ比 50% で電圧レベルのハイ／ローを切り替えられます。パルス・ストレッチは、50ms、100ms、200ms、400ms から選択できます。PHY0 に対するブリンク速度の設定が、全 PHY ポートの全 LED 端子への速度設定に適用されます。

LED パルス・イネーブル

消費電力をさらに抑えるため、LED（アサート時）のパルスを 5kHz に設定することができます。

2.4 高速なリンク障害検出

GbE-PHY では、リンク障害の発生は、1ms（最大でも 3ms）以内に表示されます。これは IEEE 802.3 規格に定める規格値をはるかに上回ります。（IEEE 802.3 規格では、1000BASE-T リンクがなくなったことを表示するまで最大で 750ms の遅延と定めています。）リンク障害を即時に表示できることは、リンクタイミングの同期を必要とするアプリケーションで使用されるポートにとって欠かせないものです。高速なリンク障害の検出はすべてのメディアインターフェースの速度に対応しています。

注意. 1000BASE-T 以外の全リンクでは、高速なリンク障害検出はリンクステータスレジスタ（アドレス 1 のビット 2）と対応しています。1000BASE-T のリンクでは、リンク障害の判断はリンクの整合性を分析する回路に基づいて行われ、リンク障害が検出されたときにアサートします。

2.5 テスト機能

GbE-PHY には複数のテスト機能が備えられており、システムレベルでのデバッグやインシステム・プロダクションテストを実施する際に役立ちます。本章では利用できるテスト機能について説明します。

2.5.1 イーサネット・パケット・ジェネレータ

イーサネット・パケット・ジェネレータ (EPG) は、メディアの各速度設定 (10/100/1000BASE-T) において、MAC と GbE-PHY 間や、ローカル接続 PHY とリンク相手に生じた障害を分離するために使用します。EPG 機能を有効にすると、すべての MAC インターフェースが無効となり、ツイストペアインターフェースで伝送される全データのソースとして EPG を選択します。

注意. EPG は実験やシステムテスト装置での使用を想定しています。GbE-PHY をライブネットに接続した状態で EPG テスト機能を使用しないでください。

EPG 機能を有効にするには、デバイスのレジスタビット 29E1.15 を “1” にセットします。

EPG 機能を有効にすると、MAC から PHY へパケットを送信中に、パケットロスが生じます。ただし、EPG 機能が有効のときでも、MAC への PHY 受信出力はアクティブ状態を維持しています。MAC 受信出力も無効にする必要がある場合は、レジスタビット 0.10 を “1” にセットしてください。

デバイスのレジスタビット 29E1.14 を “1” にセットすると、PHY はレジスタ 29E1 および 30E1 の設定に従ってイーサネット・パケットの送信を開始します。レジスタ 29E1 およびレジスタ 30E1 に設定できる内容は以下のとおりです。

- 各パケットの送信元・送信先アドレス
- パケットサイズ
- パケット間ギャップ
- フレーム・チェック・シーケンス (FCS) の状況
- 送信期間
- ペイロードパターン

レジスタビット 29E1.13 を “0” にセットすると、レジスタビット 29E1.14 は、30,000,000 パケット送信後に自動的にクリアされます。

2.5.2 ファーエンド・ループバック

ファーエンド・ループバックテスト機能を有効にするには、レジスタビット 23.3 を“1”にセットします。この機能を有効にすると、現在のメディアインターフェース上のリンク相手からの受信データを、PHY の MAC インターフェースへと送り込み、そのデータをリンク相手へと戻します（下図参照）。さらに、受信データは MAC インターフェース上にも現れます。本テスト機能を使用するとき、MAC インターフェースの送信データ上のデータは無視されます。

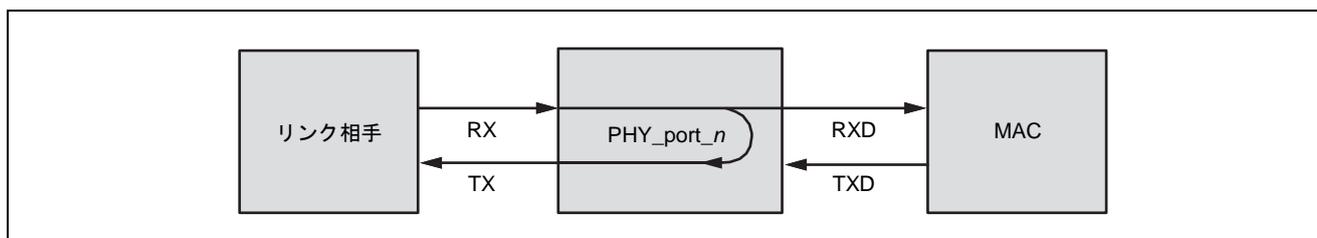


図2.3 ファーエンド・ループバック図

2.5.3 ニアエンド・ループバック

ニアエンド・ループバックテスト機能を有効にすると、送信データ (TXD) は、PCS ブロック内で受信データ信号 (RXD) へとループバックされます（下図参照）。本テスト機能を使用するとき、ネットワーク上で伝達されるデータはありません。ニアエンド・ループバック機能を有効にするには、デバイスのレジスタビット 0.14 を“1”にセットします。

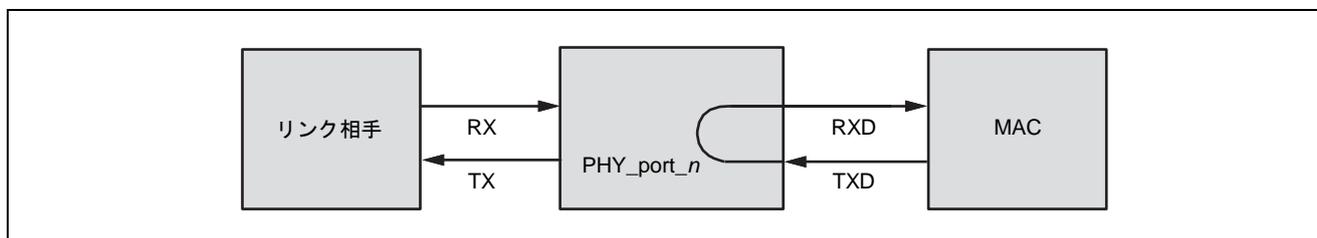


図2.4 ニアエンド・ループバック図

2.5.4 コネクタ・ループバック

コネクタ・ループバックテスト機能を使用すると、ツイストペアインターフェースを外部でループバックさせることができます。本機能を使用するときは、PHY をループバックコネクタまたはループバックケーブルに接続してください。コネクタペア A とペア B 間、ペア C とペア D 間でループバックします（下図参照）。コネクタ・ループバック機能は、インターフェースの全対応速度で使用できます。

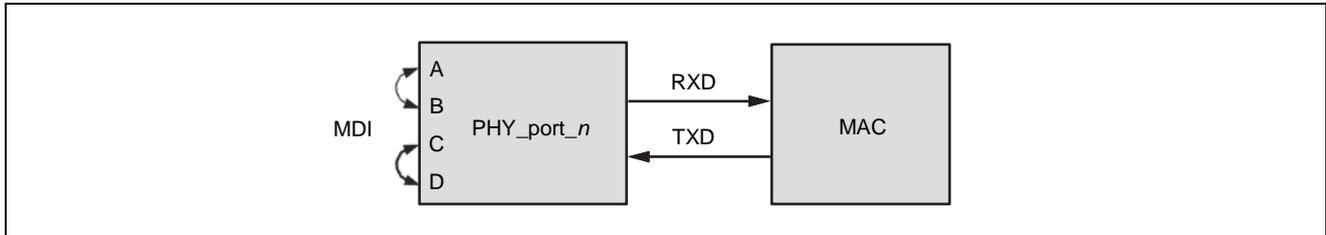


図2.5 コネクタ・ループバック図

コネクタ・ループバックテスト機能、デバイスのオートネゴシエーション機能、速度、二重通信を使用するには、デバイスレジスタ 0、4、9 で設定を行います。

1000BASE-T でのコネクタ・ループバックには、以下の順序で追加設定が必要となります。

1. 1000BASE-T でのコネクタ・ループバックを有効にする（レジスタビット 24.0 を“1”にセットする）
2. ペア入れ替え修正機能を無効にする（レジスタビット 18.5 を“1”にセットする）

3. レジスタ説明

本章では、内部メモリレジスタやマネジメントインターフェースを用いた GbE-PHY のコンフィギュレーション方法について説明します。「予約」と記されたレジスタは書き換えないでください。書き換えた場合、意図しない結果が生じる可能性があります。

レジスタに書き込まれた初期値は、基本的にはリセット時の値となりますが、リセット直後に値が変わる場合もあります。

各レジスタのアクセスタイプは、以下の略号で表します。

- RO: 読み取り専用
- RO/LH: 読み取り専用、ハイ・ラッチ
- RO/LL: 読み取り専用、ロー・ラッチ
- R/W: 読み取り、書き込み可能
- セルフクリアビット: 読み出した後、自動的にクリアされます。

GbE-PHY で使用するレジスタには複数のタイプがあります。

- IEEE Clause 22 デバイスレジスタ: アドレス 0~31
- 拡張レジスタ: アドレス 16E1~30E1 および 16E2~30E2
- 汎用レジスタ: アドレス 0G~30G

デバイスレジスタとレジスタ空間の関係を以下の図に示します。

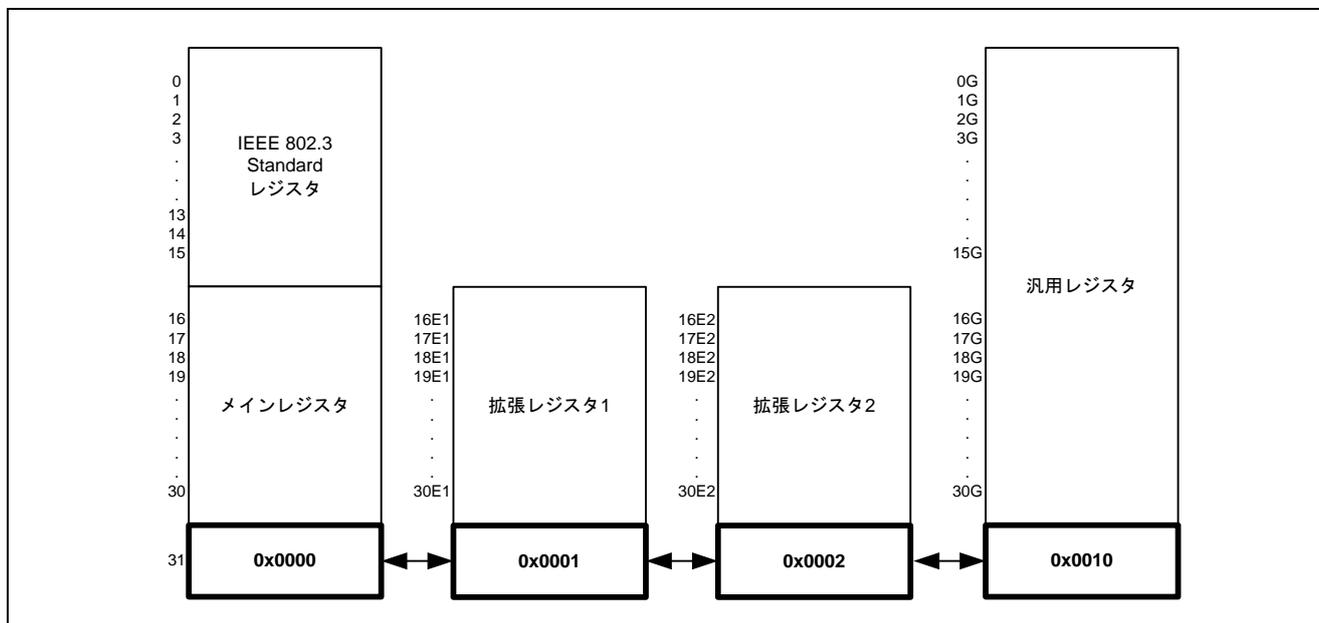


図3.1 レジスタ空間

備考. アドレス 31 を用いたレジスタ空間アクセス仕様は「表 3.29 拡張/汎用レジスタページアクセス、アドレス 31 (0x1F)」を参照してください。

予約レジスタ

メインレジスタ 16-31、拡張レジスタ 16E1-30E1 および 16E2-30E2、汎用レジスタ 0G-30G のうち、「予約」と記されたビットは読み取り専用で、状態は不定です。

予約ビット

予約ビットを持つレジスタに書き込む場合は、リード・モディファイ・ライト法を用い、読み出しはレジスタ全体に対して行い、変更は対象ビットのみに行うようにします。予約ビットは変更できません。また、その読み出し状態は固定や不変とはなりません。

3.1 レジスタおよびビット表記

本書では、レジスタを二桁のアドレスとビット番号で表記しています。ビット範囲はコロンで示します。たとえば、アドレス 26 のビット 15 からビット 14 は 26.15:14 と表記します。

アルファベットの E と番号を付けたレジスタ（例えば 27E1）は、拡張レジスタのページ番号 1 の中に含まれるレジスタであることを意味します。アルファベットの G を付けたレジスタ（たとえば 13G）は、汎用ページのレジスタであることを意味します。

ビット番号の付け方は、IEEE Standard に従ったもので、ビット 15 が最上位、ビット 0 が最下位となっています。

3.2 IEEE 802.3 とメインレジスタ

GbE-PHY では、標準レジスタのページ空間は、IEEE 802.3 標準レジスタおよび GbE-PHY 標準レジスタで構成されます。IEEE 802.3 で定めるレジスタとそのアドレスを以下に表に示します。

表3.1 IEEE 802.3 レジスタ

アドレス	レジスタ名
0	モード制御
1	モードステータス
2	PHY 識別子 1
3	PHY 識別子 2
4	オートネゴシエーション・アドバタイズ
5	リンク相手のオートネゴシエーション能力
6	オートネゴシエーション拡張
7	オートネゴシエーション・ネクストページ送信
8	オートネゴシエーション・リンク相手のネクストページ受信
9	1000BASE-T 制御
10	1000BASE-T ステータス
11-14	予約
15	1000BASE-T ステータス拡張 1

デバイスのメインページのレジスタ名を以下の表に示します。表内のレジスタは、アドレス 31 が 0x0000 にセットされたときのみアクセス可能です。

表3.2 メインレジスタ

アドレス	レジスタ名
16	100BASE-TX ステータス拡張
17	1000BASE-T ステータス拡張 2
18	拡張 PHY 制御 0
19	エラーカウンタ 1
20	エラーカウンタ 2
21	エラーカウンタ 3
22	拡張制御およびステータス
23	拡張 PHY 制御 1
24	拡張 PHY 制御 2
25	割込みマスク
26	割込みステータス
27	予約
28	補足制御およびステータス
29	LED モード選択
30	LED 動作
31	拡張/汎用レジスタページアクセス

3.2.1 モード制御

デバイスレジスタのメモリアドレス 0 は GbE-PHY の機能の一部を制御します。デバイスレジスタのビットに設定可能な内容を以下の表に示します。

表3.3 モード制御、アドレス(0x00)

ビット	機能	アクセス	説明	初期値															
15	ソフトウェアリセット	R/W	セルフクリアビット。スティッキービットおよびスーパースティッキービットを除くすべてのシリアルマネジメントインターフェース (SMI) レジスタを初期状態に戻す。 1: リセットをアサートする。 0: リセットをデアサートする。 本ビットを設定したら他の SMI レジスタには 1us 待ってアクセスする。	0															
14	ループバック	R/W	1: ニアエンド ループバック機能は有効 0: ニアエンド ループバック機能は無効。 ループバック機能有効時、デバイスは現在設定されている速度および二重通信モード (本レジスタのビット 6、8、13 でセット) で動作する。	0															
13	強制速度選択 LSB ^注	R/W	<table border="1"> <thead> <tr> <th>ビット 6</th> <th>ビット 13</th> <th>通信速度</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>10Mbps.</td> </tr> <tr> <td>0</td> <td>1</td> <td>100Mbps.</td> </tr> <tr> <td>1</td> <td>0</td> <td>1000Mbps. (初期値)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	ビット 6	ビット 13	通信速度	0	0	10Mbps.	0	1	100Mbps.	1	0	1000Mbps. (初期値)	1	1	設定禁止	0
ビット 6	ビット 13	通信速度																	
0	0	10Mbps.																	
0	1	100Mbps.																	
1	0	1000Mbps. (初期値)																	
1	1	設定禁止																	
12	オートネゴシエーション・イネーブル	R/W	1: オートネゴシエーション機能は有効 0: オートネゴシエーション機能は無効	1															
11	電源オフ	R/W	1: 電源オフ機能は有効	0															
10	分離	R/W	1: MAC インターフェースへの出力を無効にし、MAC インターフェースからの入力を見捨てる。	0															
9	オートネゴシエーション再開	R/W	セルフクリアビット。 1: メディアインターフェース上のオートネゴシエーションを再開する。	0															
8	二重通信	R/W	1: 全二重通信 0: 半二重通信	0															
7	衝突テストイネーブル	R/W	1: 衝突テストは有効	0															
6	強制速度選択 MSB ^注		<table border="1"> <thead> <tr> <th>ビット 6</th> <th>ビット 13</th> <th>通信速度</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>10Mbps.</td> </tr> <tr> <td>0</td> <td>1</td> <td>100Mbps.</td> </tr> <tr> <td>1</td> <td>0</td> <td>1000Mbps. (初期値)</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table>	ビット 6	ビット 13	通信速度	0	0	10Mbps.	0	1	100Mbps.	1	0	1000Mbps. (初期値)	1	1	設定禁止	1
ビット 6	ビット 13	通信速度																	
0	0	10Mbps.																	
0	1	100Mbps.																	
1	0	1000Mbps. (初期値)																	
1	1	設定禁止																	
5:0	予約	RO	予約ビット	0x00															

注. 強制速度モード 1000Mbps を選択する前に、レジスタビット 9.11 (1000BASE-T 制御) によって、PHY のマスタ/スレーブ設定を行ってください。リンクが切断されるたび、レジスタビット 9.11 で入力したマスタ/スレーブ設定を使用して、再度リンクアップさせるには、手動で PHY の電源をオフ(0.11)にする必要があります。

3.2.2 モードステータス

デバイスのメインレジスタ空間内のアドレス 1 のレジスタから、現在有効になっているモード設定を読むことができます。本レジスタから読み出し可能な内容を以下の表に示します。

表3.4 モードステータス、アドレス 1 (0x01)

ビット	機能	アクセス	説明	初期値
15	100BASE-T4 機能	RO	1: 100BASE-T4 を使用可能	0
14	100BASE-TX FDX 機能	RO	1: 100BASE-TX 全二重通信モードを使用可能	1
13	100BASE-TX HDX 機能	RO	1: 100BASE-TX 半二重通信モードを使用可能	1
12	10BASE-T FDX 機能	RO	1: 10BASE-T 全二重通信モードを使用可能	1
11	10BASE-T HDX 機能	RO	1: 10BASE-T 半二重通信モードを使用可能	1
10	100BASE-T2 FDX 機能	RO	1: 100BASE-T2 全二重通信モードを使用可能	0
9	100BASE-T2 HDX 機能	RO	1: 100BASE-T2 半二重通信モードを使用可能	0
8	拡張ステータスイネーブル	RO	1: レジスタ 15 に拡張ステータス情報あり	1
7	予約	RO	予約ビット	1
6	プリアンブル抑制機能	RO	1: MF プリアンブルを抑制可能 0: MF プリアンブルを要求 (MF: Management Frame)	1
5	オートネゴシエーション完了	RO	1: オートネゴシエーションが完了した	0
4	リモート障害	RO	ハイ・ラッチ 1: リモート障害が検出された	0
3	オートネゴシエーション機能	RO	1: オートネゴシエーションを使用可能	1
2	リンクステータス	RO	ロー・ラッチ 1: リンクアップ状態	0
1	ジャバー検出	RO	ハイ・ラッチ 1: ジャバー状態が検出された	0
0	拡張機能	RO	1: 拡張レジスタを使用可能	1

3.2.3 デバイス識別

GbE-PHY のレジスタ 2 およびレジスタ 3 の各 16 ビットは、デバイスの識別に関する情報を保持します。読み出し可能な情報を以下の表に示します。

表3.5 PHY 識別子 1、アドレス 2 (0x02)

ビット	機能	アクセス	説明	初期値
15:0	OUI (Organizationally unique identifier)	RO	OUI 最上位ビット (3:18)	0x0007

表3.6 PHY 識別子 2、アドレス 3 (0x03)

ビット	機能	アクセス	説明	初期値
15:10	OUI	RO	OUI 最下位ビット (19:24)	000001
9:4	型番	RO	型番	100011
3:0	デバイス改訂番号	RO	リビジョン A	0001

3.2.4 オートネゴシエーション・アドバタイズ

メインレジスタ空間内のアドレス4のビットは、自身のオートネゴシエーション機能に関する状況を他のデバイスに通知するアドバタイズ機能を制御します。設定・読み出し可能な内容を以下の表に示します。

表3.7 オートネゴシエーション・アドバタイズ、アドレス4 (0x04)

ビット	機能	アクセス	説明	初期値
15	ネクストページ送信要求	R/W	1: 要求は有効	0
14	予約	RO	予約ビット	0
13	リモート送信障害	R/W	1: 有効	0
12	予約	RO	予約ビット	0
11	非対称ポーズアドバタイズ	R/W	1: 非対称ポーズをアドバタイズ	0
10	対称ポーズアドバタイズ	R/W	1: 対称ポーズをアドバタイズ	0
9	100BASE-T4 アドバタイズ	R/W	1: 100BASE-T4 をアドバタイズする	0
8	100BASE-TX FDX アドバタイズ	R/W	1: 100BASE-TX 全二重通信モードをアドバタイズする	1
7	100BASE-TX HDX アドバタイズ	R/W	1: 100BASE-TX 半二重通信モードをアドバタイズする	1
6	10BASE-T FDX アドバタイズ	R/W	1: 10BASE-T 全二重通信モードをアドバタイズする	1
5	10BASE-T HDX アドバタイズ	R/W	1: 10BASE-T 半二重通信モードをアドバタイズする	1
4:0	アドバタイズセクタ	R/W	アドバタイズセクタ	00001

3.2.5 リンク相手のオートネゴシエーション能力

メインレジスタ5のビットは、GbE-PHYのリンク相手(LP)がオートネゴシエーション機能を備えているかどうかを判断するために使用します。

表3.8 リンク相手のオートネゴシエーション能力、アドレス5 (0x05)

ビット	機能	アクセス	説明	初期値
15	LP ネクストページ送信要求	RO	1: 送信要求された	0
14	LP 認証	RO	1: 認証した	0
13	LP リモート障害	RO	1: リモート障害	0
12	予約	RO	予約ビット	0
11	LP 非対称ポーズアドバタイズ	RO	1: 非対称ポーズを使用可能	0
10	LP 対称ポーズアドバタイズ	RO	1: 対称ポーズを使用可能	0
9	LP の 100BASE-T4 アドバタイズ	RO	1: 100BASE-T4 を使用可能	0
8	LP の 100BASE-TX FDX アドバタイズ	RO	1: 100BASE-TX 全二重通信モードを使用可能	0
7	LP の 100BASE-TX HDX アドバタイズ	RO	1: 100BASE-TX 半二重通信モードを使用可能	0
6	LP の 10BASE-T FDX アドバタイズ	RO	1: 10BASE-T 全二重通信モードを使用可能	0
5	LP の 10BASE-T HDX アドバタイズ	RO	1: 10BASE-T 半二重通信モードを使用可能	0
4:0	LP アドバタイズセクタ	RO	LP アドバタイズセクタ	00000

3.2.6 オートネゴシエーション拡張

メインレジスタ 6 のビットはレジスタ 5 のビットと合わせて、リンク相手のオートネゴシエーション機能に関する状況を表示します。設定・読み出し可能な内容を以下の表に示します。

表3.9 オートネゴシエーション拡張、アドレス 6 (0x06)

ビット	機能	アクセス	説明	初期値
15:5	予約	RO	予約ビット	0x000
4	パラレル検出失敗	RO	本ビットはハイ・ラッチ 1: パラレル検出失敗	0
3	LP ネクストページ機能	RO	1: リンク相手はネクストページを使用可能	0
2	ローカル PHY ネクストページ機能	RO	1: ローカル PHY はネクストページを使用可能	1
1	ページ受信	RO	本ビットはロー・ラッチ 1: 新規ページを受信した	0
0	LP オートネゴシエーション機能	RO	1: リンク相手はオートネゴシエーションを使用可能	0

3.2.7 オートネゴシエーション・ネクストページ送信

メインレジスタ空間内のレジスタ 7 は、オートネゴシエーション・シーケンスにおけるページ数に関する情報を保持しています。設定可能な内容を以下の表に示します。

表3.10 オートネゴシエーション・ネクストページ送信、アドレス 7 (0x07)

ビット	機能	アクセス	説明	初期値
15	ネクストページ	R/W	1: 後続ページあり	0
14	予約	RO	予約ビット	0
13	メッセージページ	R/W	1: メッセージページ 0: アンフォーマットページ	1
12	認証 2	R/W	1: 要求に従う 0: 要求に従えない	0
11	トグル	RO	1: 前回送信したリンク・コード・ワード (LCW) = 0 0: 前回送信したリンク・コード・ワード (LCW) = 1	0
10:0	メッセージ・アンフォーマットページコード	R/W	メッセージ・アンフォーマットページコード	0x001

3.2.8 オートネゴシエーション・リンク相手のネクストページ受信

メインレジスタ空間内のレジスタ 8 のビットは、レジスタ 7 と合わせて、リンク相手のオートネゴシエーション機能のうち特定の内容について判断します。読み出し可能な内容を以下の表に示します。

表3.11 オートネゴシエーション・リンク相手のネクストページ受信、アドレス 8 (0x08)

ビット	機能	アクセス	説明	初期値
15	LP ネクストページ	RO	1: 後続ページあり	0
14	認証	RO	1: リンク相手認証	0
13	LP メッセージページ	RO	1: メッセージページ 0: アンフォーマテッドページ	0
12	LP 承認 2	RO	1: リンク相手が要求に従う	0
11	LP トグル	RO	1: 前回送信したリンク・コード・ワード(LCW) = 0 0: 前回送信したリンク・コード・ワード(LCW) = 1	0
10:0	LP メッセージ/アンフォーマテッドコード	RO	LP メッセージ/アンフォーマテッドコード	0x000

3.2.9 1000BASE-T制御

1000BASE-T の機能性は、メインレジスタ空間内のレジスタ 9 のビットで制御されます。設定・読み出し内容を以下の表に示します。

表3.12 1000BASE-T 制御、アドレス 9 (0x09)

ビット	機能	アクセス	説明	初期値
15:13	トランスミッタテストモード	R/W	000: 通常モード 001: モード 1: 送信波形テスト 010: モード 2: マスタ側の送信ジッタテスト 011: モード 3: スレーブ側の送信ジッタテスト 100: モード 4: トランスミッタ歪みテスト 101-111: 予約ビット	000
12	マスタ/スレーブ手動設定	R/W	1: マスタ/スレーブ手動設定は有効	0
11	マスタ/スレーブ値	R/W	レジスタビット 9.12 が “1” にセットされた場合のみ使用可能。 1: ネゴシエーション時に PHY をマスタとして設定 0: ネゴシエーション時に PHY をスレーブとして設定	0
10	ポートタイプ	R/W	1: マルチポートデバイス 0: シングルポートデバイス	1
9	1000BASE-T FDX 機能	R/W	1: 1000BASE-T 全二重通信モードを使用可能	1
8	1000BASE-T HDX 機能	R/W	1: 1000BASE-T 半二重通信モードを使用可能	1
7:0	予約	RO	予約ビット	0x00

注意. トランスミッタテストモード (ビット 15:13) は、IEEE 802.3 規格の 40.6.1.1.2 に記載の方法で動作します。

3.2.10 1000BASE-Tステータス

メインレジスタ空間内のレジスタ 10 のビットから、デバイス内で有効となっている 1000BASE-T 通信のステータス情報を読み出すことができます。読み出し可能な内容を以下の表に示します。

表3.13 1000BASE-T ステータス、アドレス 10 (0x0A)

ビット	機能	アクセス	説明	初期値
15	マスタ/スレーブ設定失敗	RO	本ビットはハイ・ラッチ。 1: マスタ/スレーブ設定の失敗が検出された 0: マスタ/スレーブ設定の失敗は検出されていない	0
14	マスタ/スレーブ設定決定	RO	1: ローカル PHY はマスタとして設定された 0: ローカル PHY はスレーブとして設定された	1
13	ローカルレシーバステータス	RO	1: ローカルレシーバは正常動作中	0
12	リモートレシーバステータス	RO	1: リモートレシーバは OK 判定	0
11	LP の 1000BASE-T FDX 機能	RO	1: リンク相手は 1000BASE-T 全二重通信モードで使用可能	0
10	LP の 1000BASE-T HDX 機能	RO	1: リンク相手は 1000BASE-T 半二重通信モードで使用可能	0
9:8	予約	RO	予約ビット	00
7:0	アイドルエラーカウント	RO	セルフクリアレジスタ アイドルエラーカウント値	0x00

3.2.11 1000BASE-Tステータス拡張 1

レジスタ 15 は、1000BASE-T での通信における、デバイスの動作に関する追加情報を保持します。読み出し可能な内容を以下の表に示します。

表3.14 1000BASE-T ステータス拡張 1、アドレス 15 (0x0F)

ビット	機能	アクセス	説明	初期値
15:14	予約	RO	予約ビット	00
13	1000BASE-T FDX 機能	RO	1: PHY は 1000BASE-T 全二重通信モードで使用可能	1
12	1000BASE-T HDX 機能	RO	1: PHY は 1000BASE-T 半二重通信モードで使用可能	1
11:0	予約	RO	予約ビット	0x000

3.2.12 100BASE-TXステータス拡張

メインレジスタ空間内のレジスタ 16 は、100BASE-TX の動作ステータスに関する追加情報を保持します。

表3.15 100BASE-TX ステータス拡張、アドレス 16 (0x10)

ビット	機能	アクセス	説明	初期値
15	100BASE-TX デスクランブラ	RO	1: デスクランブラはロックされている	0
14	100BASE-TX ロックエラー	RO	セルフクリアビット 1: ロックエラーが検出された	0
13	100BASE-TX 切断ステータス	RO	セルフクリアビット 1: PHY の 100BASE-TX においてリンク切断が検出された	0
12	100BASE-TX リンクステータス	RO	1: PHY の 100BASE-TX リンクはアクティブ	0
11	100BASE-TX 受信エラー	RO	セルフクリアビット 1: 受信エラーが検出された	0
10	100BASE-TX 送信エラー	RO	セルフクリアビット 1: 送信エラーが検出された	0
9	100BASE-TX SSD エラー	RO	セルフクリアビット 1: ストリーム始端デリミタエラーが検出された	0
8	100BASE-TX ESD エラー	RO	セルフクリアビット 1: ストリーム終端デリミタエラーが検出された	0
7:0	予約	RO	予約ビット	0x00

3.2.13 1000BASE-Tステータス拡張 2

ステータス拡張レジスタ 2 は、デバイスのメインレジスタ空間内のアドレス 17 です。このレジスタは、1000BASE-T での通信に関連した別のパラメータセットについての情報を保持します。ステータス拡張レジスタ 1 については、表 3.14を参照してください。

表3.16 1000BASE-T ステータス拡張 2、アドレス 17 (0x11)

(1/2)

ビット	機能	アクセス	説明	初期値
15	1000BASE-T デスクランブラ	RO	1: デスクランブラはロックされている	0
14	1000BASE-T ロックエラー	RO	セルフクリアビット 1: ロックエラーが検出された	0
13	1000BASE-T 切断ステータス	RO	セルフクリアビット 1: PHY の 1000BASE-T においてリンク切断が検出された	0
12	1000BASE-T リンクステータス	RO	1: PHY の 1000BASE-T リンクはアクティブ	0
11	1000BASE-T 受信エラー	RO	セルフクリアビット 1: 受信エラーが検出された	0
10	1000BASE-T 送信エラー	RO	セルフクリアビット 1: 送信エラーが検出された	0
9	1000BASE-T SSD エラー	RO	セルフクリアビット 1: ストリーム始端デリミタエラーが検出された	0
8	1000BASE-T ESD エラー	RO	セルフクリアビット 1: ストリーム終端デリミタエラーが検出された	0

表 3.16 1000BASE-T ステータス拡張 2、アドレス 17 (0x11)

(2/2)

ビット	機能	アクセス	説明	初期値
7	1000BASE-T キャリア拡張エラー	RO	セルフクリアビット 1: キャリア拡張エラーが検出された	0
6	予約	RO	予約ビット	0
5	MDI クロスオーバー・エラー	RO	1: MDI クロスオーバー・エラーが検出された	0
4:0	予約	RO	予約ビット	00000

3.2.14 拡張PHY制御 0

設定可能な内容を以下の表に示します。

表3.17 拡張 PHY 制御 0、アドレス 18 (0x12)

ビット	機能	アクセス	説明	初期値
15:8	予約	RO	予約ビット	0x00
7	HP Auto-MDIX 強制速度 10/100	R/W	スティッキービット 1: 強制速度 10/100 での HP Auto-MDIX を無効にする	1
6	予約	RO	予約ビット	0
5	ペア入れ替え機能無効 (オートネゴシエーション有効時は HP Auto-MDIX)	R/W	スティッキービット 1: 自動ペア入れ替え機能を無効にする	0
4	極性修正無効	R/W	スティッキービット 1: 各サブチャネルの極性反転修正機能を無効にする	0
3:0	予約	RO	予約ビット	1000

3.2.15 エラーカウンタ 1

レジスタ 19 のビットはエラーカウンタとして動作します。設定可能な内容を以下の表に示します。

表3.18 エラーカウンタ 1、アドレス 19 (0x13)

ビット	機能	アクセス	説明	初期値
15:8	予約	RO	予約ビット	0x00
7:0	100/1000 受信エラーカウンタ	RO	255 ビットまで格納できる 8 ビットカウンタ。 リード時にセルフクリアします	0x00

3.2.16 エラーカウンタ 2

レジスタ 20 のビットはエラーカウンタとして動作します。設定可能な内容を以下の表に示します。

表3.19 エラーカウンタ 2、アドレス 20 (0x14)

ビット	機能	アクセス	説明	初期値
15:8	予約	RO	予約ビット	0x00
7:0	100/1000 不正キャリアカウンタ	RO	255 ビットまで格納できる 8 ビットカウンタ。 リード時にセルフクリアします	0x00

3.2.17 エラーカウンタ 3

レジスタ 21 のビットはエラーカウンタとして動作します。設定可能な内容を以下の表に示します。

表3.20 エラーカウンタ 3、アドレス 21 (0x15)

ビット	機能	アクセス	説明	初期値
15:8	予約	RO	予約ビット	0x00
7:0	メディアリンク切断カウンタ	RO	255 ビットまで格納できる 8 ビットカウンタ。 リード時にセルフクリアします	0x00

3.2.18 拡張制御およびステータス

レジスタ 22 のビットは、デバイスの拡張制御および読み出しを行います。設定可能な内容を以下の表に示します。

表3.21 拡張制御およびステータス、アドレス 22 (0x16)

ビット	機能	アクセス	説明	初期値
15	10BASE-T の強制リンク・ハイ	R/W	スティッキービット 1: リンク整合性テストをバイパスする 0: リンク整合性テストを有効にする	0
14	予約	RO	予約ビット	0
13	10BASE-T エコー無効	R/W	スティッキービット 1: 10BASE-T エコーを無効にする	1
12:10	予約	RO	予約ビット	100
9	スティッキーリセット・イネーブル	R/W	スーパースティッキービット 0: 有効	1
8:1	予約	RO	予約	0x00
0	SMI 同報書き込み	R/W	スティッキービット 1: 有効	0

拡張制御およびステータスビットの特徴を以下に示します。

- レジスタビット 22.15 をセットすると、リンク整合性ステートマシンはバイパスされ、PHY はリンクパスステータスになります。
- レジスタビット 22.9 をセットすると、全スティッキーレジスタはソフトウェアリセット中、値を保持します。本ビットをクリアすると、ソフトウェアリセットにより全スティッキーレジスタは初期値に変更されます。スーパースティッキービットの値は、本ビットの設定によらず、ソフトウェアリセット後も保持されます。
- レジスタビット 22.0 をセットすると、PHY レジスタ（拡張レジスタを含むレジスタ 0–31）への書き込み内容が全 PHY へ同報書き込みされます。たとえば、本ビットを“1”にセットし、PHY0 のレジスタ 0 に 0x1040 を書きこむと、全 PHY のレジスタ 0 に 0x1040 が書き込まれます。本ビットを無効にすることで、PHY への書き込みは通常設定に戻ります。本ビットがセットされていても読み出しは可能ですが、読み出し値はアドレス指定された特定の PHY の内容のみを反映します。

3.2.19 拡張PHY制御 1

設定可能な内容を以下の表に示します。

表3.22 拡張 PHY 制御 1、アドレス 23 (0x17)

ビット	機能	アクセス	説明	初期値
15:4	予約	RO	予約ビット	0x200
3	ファーエンド ループバックモード	R/W	1: 有効	0
2:0	予約	RO	予約ビット	000

3.2.20 拡張PHY制御 2

拡張制御 2 レジスタは、デバイスのメインレジスタ空間内のレジスタ 24 に配置されています。設定・読み出し可能な内容を以下の表に示します。

表3.23 拡張 PHY 制御 2、アドレス 24 (0x18)

ビット	機能	アクセス	説明	初期値
15:6	予約	RO	予約ビット	0x000
5:4	ジャンボパケットモード	R/W	スティッキービット 00: IEEE 規格の通常パケット長 : 1.5kB 01: ジャンボパケット長 : 9kB (12 kB 、60ppm 以上のリファレンスクロックの場合) 10: ジャンボパケット長 : 12kB (16 kB 、70ppm 以上のリファレンスクロックの場合) 11: 予約ビット	00
3:1	予約	RO	予約ビット	000
0	1000BASE-T コネクタ・ループバック	R/W	1: 有効	0

注意. ビット 5:4 をジャンボパケットモードにセットすると、初期設定での最大パケット値は、デバイスを駆動するリファレンスクロックが 100ppm の場合です。MAC と PHY 間の ppm オフセットを制御することで、ジャンボパケットはより長くなります。

3.2.21 割り込みマスク

本レジスタのビットはデバイスの割り込みマスクを制御します。設定可能な内容を以下の表に示します。

表3.24 割り込みマスク、アドレス 25 (0x19)

ビット	機能	アクセス	説明	初期値
15	MDINT 割り込みステータスイネーブル	R/W	スティッキービット 1: マスク解除	0
14	速度ステート変更マスク	R/W	スティッキービット 1: マスク解除	0
13	リンクステート変更マスク	R/W	スティッキービット 1: マスク解除	0
12	FDX ステート変更マスク	R/W	スティッキービット 1: マスク解除	0
11	オートネゴシエーションエラーマスク	R/W	スティッキービット 1: マスク解除	0
10	オートネゴシエーション完了マスク	R/W	スティッキービット 1: マスク解除	0
9	予約	R/W	予約ビット	0
8	シンボルエラー割り込みマスク	R/W	スティッキービット 1: マスク解除	0
7	高速なリンク障害検出割り込みマスク	R/W	スティッキービット 1: マスク解除	0
6	予約	R/W	予約ビット	0
5	予約	R/W	予約ビット	0
4	予約	R/W	予約ビット	0
3	不正キャリア割り込みマスク	R/W	スティッキービット 1: マスク解除	0
2	リンク速度ダウンシフト検出マスク	R/W	スティッキービット 1: マスク解除	0
1	マスタ/スレーブ決定エラーマスク	R/W	スティッキービット 1: マスク解除	0
0	RX_ER 割り込みマスク	R/W	スティッキービット 1: マスク解除	0

注意. レジスタビット 25.15 をセットすると、MDINT が有効になります。この信号が有効のとき、レジスタビット 26.15 の状態を反映します。このビットをクリアすると、MDINT のアサートのみを禁止します。また、本ビットを有効にする前に、レジスタ 26 の値を読んで、レジスタビット 25.15 のセット要因となる、待機中の非アクティブな割り込みをクリアしてください。

3.2.22 割り込みステータス

デバイスにすでに書き込まれている割り込みステータスは、メインレジスタ空間内のレジスタ 26 から読み出せます。読み出せる内容を以下の表に示します。

表3.25 割り込みステータス、アドレス 26 (0x1A)

ビット	機能	アクセス	説明	初期値
15	MDINT 割り込みステータス	RO	セルフクリアビット 1: 割り込みが待機中	0
14	速度ステート変更ステータス	RO	セルフクリアビット 1: 割り込みが待機中	0
13	リンクステート変更ステータス	RO	セルフクリアビット 1: 割り込みが待機中	0
12	FDX ステート変更ステータス	RO	セルフクリアビット 1: 割り込みが待機中	0
11	オートネゴシエーションエラーステータス	RO	セルフクリアビット 1: 割り込みが待機中	0
10	オートネゴシエーション完了ステータス	RO	セルフクリアビット 1: 割り込みが待機中	0
9	予約	RO	予約ビット	0
8	シンボルエラーステータス	RO	セルフクリアビット 1: 割り込みが待機中	0
7	高速なリンク障害検出ステータス	RO	セルフクリアビット 1: 割り込みが待機中	0
6	予約	RO	予約ビット	0
5	予約	RO	予約ビット	0
4	予約	RO	予約ビット	0
3	不正キャリア割り込みステータス	RO	セルフクリアビット 1: 割り込みが待機中	0
2	リンク速度ダウンシフト検出ステータス	RO	セルフクリアビット 1: 割り込みが待機中	0
1	マスタ/スレーブ決定エラー・ステータス	RO	セルフクリアビット 1: 割り込みが待機中	0
0	RX_ER 割り込みステータス	RO	セルフクリアビット 1: 割り込みが待機中	0

割り込みステータスビットの特徴を以下に示します。

- 本レジスタのセット状態の全ビットは、読み出し後クリアされます（セルフクリア）。レジスタビット 26.15 がセットされている場合、レジスタビット 26.14:0 から割り込み要因が読めます。
- レジスタビット 26.14、26.12 の割り込みをアサートするには、レジスタビット 0.12 をセットする必要があります。
- レジスタビット 26.2 の割り込みをアサートするためには、レジスタビット 4.8:5 をセットしてください。
- レジスタビット 26.0 の割り込みは、RX_ER がリンク相手のデータ送信用キャリア拡張デコーダとして用いられている場合は発生しません。

3.2.23 補足制御およびステータス

レジスタ 28 は、他のデバイスレジスタから制御や監視を受けないデバイス機能に関する制御およびステータス情報を保持します。設定・読み出し可能な内容を以下の表に示します。

表3.26 補足制御およびステータス、アドレス 28 (0x1C)

ビット	機能	アクセス	説明	初期値															
15	オートネゴシエーション完了	RO	オートネゴシエーション機能が有効のときは、レジスタビット 1.5 の複製。それ以外は、現在のリンクステータスを示す	0															
14	オートネゴシエーション・ディスエーブル	RO	レジスタビット 0.12 の反転値	0															
13	HP Auto-MDIX クロスオーバー表示	RO	1: HP Auto-MDIX クロスオーバーが内部実行された	0															
12	CD ペア入れ替え	RO	1: CD ペアが入れ替えられた	0															
11	A 極性反転	RO	1: ペア A の極性入れ替え	0															
10	B 極性反転	RO	1: ペア B の極性入れ替え	0															
9	C 極性反転	RO	1: ペア C の極性入れ替え	0															
8	D 極性反転	RO	1: ペア D の極性入れ替え	0															
7	ActiPHY リンクステータス・タイムアウト制御 [1]	R/W	スティッキービット ビット 7 およびビット 2 は ActiPHY リンクステータス・タイムアウト制御の一部を担う。ビット 7 が最上位ビット <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット 7</th> <th>ビット 2</th> <th>タイムアウト時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>2 秒</td> </tr> <tr> <td>0</td> <td>1</td> <td>4 秒 (初期値)</td> </tr> <tr> <td>1</td> <td>0</td> <td>6 秒</td> </tr> <tr> <td>1</td> <td>1</td> <td>8 秒</td> </tr> </tbody> </table>	ビット 7	ビット 2	タイムアウト時間	0	0	2 秒	0	1	4 秒 (初期値)	1	0	6 秒	1	1	8 秒	0
ビット 7	ビット 2	タイムアウト時間																	
0	0	2 秒																	
0	1	4 秒 (初期値)																	
1	0	6 秒																	
1	1	8 秒																	
6	ActiPHY モード・イネーブル	R/W	スティッキービット。 1: 有効	0															
5	FDX ステータス	RO	1: 全二重通信 0: 半二重通信	0															
4:3	速度ステータス	RO	00: 通信速度は 10BASE-T 01: 通信速度は 100BASE-TX 10: 通信速度は 1000BASE-T 11: 予約ビット	00															
2	ActiPHY リンクステータス・タイムアウト制御[0]	R/W	スティッキービット ビット 7 およびビット 2 は ActiPHY リンクステータス・タイムアウト制御の一部を担う。ビット 7 が最上位ビット <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ビット 7</th> <th>ビット 2</th> <th>タイムアウト時間</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>2 秒</td> </tr> <tr> <td>0</td> <td>1</td> <td>4 秒 (初期値)</td> </tr> <tr> <td>1</td> <td>0</td> <td>6 秒</td> </tr> <tr> <td>1</td> <td>1</td> <td>8 秒</td> </tr> </tbody> </table>	ビット 7	ビット 2	タイムアウト時間	0	0	2 秒	0	1	4 秒 (初期値)	1	0	6 秒	1	1	8 秒	1
ビット 7	ビット 2	タイムアウト時間																	
0	0	2 秒																	
0	1	4 秒 (初期値)																	
1	0	6 秒																	
1	1	8 秒																	
1:0	メディアモード・ステータス	RO	00: メディア選択なし 01: メディアを選択 10: 予約ビット 11: 予約ビット	00															

3.2.24 LEDモード選択

デバイスの LED 出力は、メインレジスタ空間内のレジスタ 29 で制御します。各出力の機能へのアクセスに必要な情報を以下の表に示します。LED モードに関する詳細情報は、表 2.2を参照してください。

表3.27 LED モード選択、アドレス 29 (0x1D)

ビット	機能	アクセス	説明	初期値
15:12	LED3 モード選択	R/W	スティッキービット。LED モード 0-15 から選択する	1000
11:8	LED2 モード選択	R/W	スティッキービット。LED モード 0-15 から選択する	0000
7:4	LED1 モード選択	R/W	スティッキービット。LED モード 0-15 から選択する	0010
3:0	LED0 モード選択	R/W	スティッキービット。LED モード 0-15 から選択する	0001

3.2.25 LED動作

レジスタ 30 のビットは、デバイスの LED のパルス／ブリンクの設定ステータスを制御、表示します。本レジスタでユーザが読み書きできる設定内容を以下の表に示します。

表3.28 LED 動作、アドレス 30 (0x1E)

ビット	機能	アクセス	説明	初期値
15:13	予約	RO	予約ビット	000
12	LED パルシング・イネーブル	R/W	スティッキービット 0: 通常動作 1: アクティブ時、LED はプログラマブルなデューティサイクルで 5kHz のパルスが発生させる	0
11:10	LED ブリンク／パルス・ストレッチ率	R/W	スティッキービット 00:ブリンクレート 2.5Hz／パルス・ストレッチ 400ms 01:ブリンクレート 5Hz／パルス・ストレッチ 200ms 10:ブリンクレート 10Hz／パルス・ストレッチ 100ms 11:ブリンクレート 20Hz／パルス・ストレッチ 50ms PHY0 へのブリンク回数の設定値は、全 PHY の全 LED に適応されます。	01
9	予約	RO	予約ビット	0
8	LED3 パルス・ストレッチ／ブリンク選択	R/W	スティッキービット 1: パルス・ストレッチ 0: ブリンク	0
7	LED2 パルス・ストレッチ／ブリンク選択	R/W	スティッキービット 1: パルス・ストレッチ 0: ブリンク	0
6	LED1 パルス・ストレッチ／ブリンク選択	R/W	スティッキービット 1: パルス・ストレッチ 0: ブリンク	0
5	LED0 パルス・ストレッチ／ブリンク選択	R/W	スティッキービット 1: パルス・ストレッチ 0: ブリンク	0
4:2	予約	RO	予約ビット	000

表 3.28 LED 動作、アドレス 30 (0x1E)

(2/2)

ビット	機能	アクセス	説明	初期値
1	LED1 コンバイン機能ディ スエーブル	R/W	スティッキービット 0: コンバイン機能は有効 (リンク/アクティビティ、二重 通信/衝突) 1: コンバイン機能は無効 (リンクのみ、二重通信のみ)	0
0	LED0 コンバイン機能ディ スエーブル	R/W	スティッキービット 0: コンバイン機能は有効 (リンク/アクティビティ、二重 通信/衝突) 1: コンバイン機能は無効 (リンクのみ、二重通信のみ)	0

**注意. レジスタビット 30.11:10 は、ポート 0 でのみアクティブであり、全ポートの LED の動作に影響し
ます。**

3.2.26 拡張/汎用レジスタページアクセス

IEEE 802.3 規定レジスタおよびメインデバイスレジスタを上回る機能性を得るため、拡張レジスタとして 15 個の追加レジスタ空間が用意されています。

拡張レジスタへのアクセスは、アドレス 31 のレジスタで制御します。汎用ページのレジスタ空間へのアクセス方法は、拡張ページレジスタへのアクセスと同様です。設定可能な内容を以下の表に示します。

表 3.29 拡張/汎用レジスタページアクセス、アドレス 31 (0x1F)

ビット	機能	アクセス	説明	初期値
15:0	拡張/汎用ページレジス タアクセス	R/W	0x0000: メインレジスタ空間のレジスタ 16-30 にアクセ スする。0x0000 をレジスタ 31 に書くと、メインレジス タアクセスへと復帰する 0x0001: 拡張レジスタ空間 1 のレジスタ 16-30 にアクセ スする 0x0002: 拡張レジスタ空間 2 のレジスタ 16-30 にアクセ スする 0x0010: 汎用レジスタ空間のレジスタ 0-30 にアクセ スする	0x0000

3.3 拡張ページ 1 レジスタ

拡張ページ 1 のレジスタ (16E1-30E1) へアクセスするには、レジスタ 31 に 0x0001 を書き込み、拡張レジスタアクセスを有効にします。レジスタ 31 に 0x0000 を書き込むことでメインレジスタアクセスへと戻ります。

拡張ページ 1 レジスタアクセスが有効のとき、レジスタ 16-30 への読み書きは、IEEE 規定レジスタ空間ではなく、拡張レジスタ 16E1-30E1 に反映されます。レジスタ 0-15 は拡張ページレジスタアクセスの状態による影響は受けません。

表3.30 拡張レジスタページ 1 空間

アドレス	レジスタ名
16E1-17E1	予約ビット
18E1	CRC グッドカウンタ
19E1	拡張モード制御
20E1	ActiPHY 制御
21E1-28E1	予約ビット
29E1	EPG 制御 1
30E1	EPG 制御 2

3.3.1 CRCグッドカウンタ

レジスタ 18E1 から、メディアインターフェースで受信したパケットに対する CRC グッドカウンタの内容 (CRC ルーチンの成功回数) を読み出すことができます。読み出し可能な内容を以下の表に示します。

表3.31 CRCグッドカウンタ、アドレス 18E1 (0x12)

ビット	機能	アクセス	説明	初期値
15	最終読み出し後パケット	RO	セルフクリアビット 1: 最終読み出し後にパケットを受信	0
14	予約	RO	予約ビット	0
13:0	メディア CRC グッドカウンタ	RO	セルフクリアビット。 カウンタはモジュロ 10,000 で得られた CRC OK のパケット数を示す; このカウンタは 9,999 パケットまで受信後、飽和することなくゼロへと戻る	0x0000

3.3.2 拡張モード制御

レジスタ 19E1 は拡張モードを制御します。設定可能な内容を以下の表に示します。

表3.32 拡張モード制御、アドレス 19E1 (0x13)

ビット	機能	アクセス	説明	初期値
15:5	予約	RO	予約ビット	0x000
4	高速なリンク障害検出	R/W	高速なリンク障害検出を有効にする。PHY0 でのみ設定可能 1: 有効 0: 無効	0
3:2	強制 MDI クロスオーバー	R/W	00: HP Auto-MDIX 通常動作 01: 予約ビット 10: 強制的に MDI にする 11: 強制的に MDI-X にする	00
1:0	予約	RO	予約ビット	00

3.3.3 ActiPHY制御

レジスタ 20E1 は、デバイスの ActiPHY スリープタイマ、ウェイクアップタイマ、リンク速度ダウンシフト機能を制御します。設定可能な内容を以下の表に示します。

表3.33 ActiPHY 制御、アドレス 20E1 (0x14)

(1/2)

ビット	機能	アクセス	説明	初期値
15	キャリア拡張ディスエーブル	R/W	1: 1000BASE-T リンクにおけるキャリア拡張を無効にする	1
14:13	ActiPHY スリープタイマ	R/W	スティッキービット。 00: 1 秒 01: 2 秒 10: 3 秒 11: 4 秒	01
12:11	ActiPHY ウェイクアップタイマ	R/W	スティッキービット。 00: 160ms 01: 400ms 10: 800ms 11: 2 秒	00
10	予約	RO	予約ビット	0
9	PHY アドレス反転	R/W	PHY アドレスを反転させる。 本機能を有効にすると、物理 PHY0 のアドレスを 1 に、物理 PHY1 のアドレスを 0 にする。 本ビットを 1 にする場合は PHY0 に対して設定し、0 にする場合は PHY1 に対して設定する。 1: 有効 0: 無効 本機能は PHY0 でのみ有効です。	0
8	予約	RO	予約	0

表 3.33 ActiPHY 制御、アドレス 20E1 (0x14)

(2/2)

ビット	機能	アクセス	説明	初期値
7:6	メディアモード・ステータス	RO	00: メディアの選択なし 01: メディアを選択 10: 予約ビット 11: 予約ビット	00
5	10BASE-T 無プリアンブルモード・イネーブル	R/W	スティッキービット. 1: 10BASE-T は、先行するプリアンブルが無くても、レシーバがデータを受信したとき、RX_DV をアサートする	0
4	リンク速度自動ダウンシフト機能イネーブル	R/W	スティッキービット 1: 1000BASE-T からのリンク速度自動ダウンシフト機能を有効にする	0
3:2	リンク速度自動ダウンシフト機能制御	R/W	スティッキービット 00: 1000BASE-T のオートネゴシエーションを 2 回失敗すると速度ダウンシフトする 01: 1000BASE-T のオートネゴシエーションを 3 回失敗すると速度ダウンシフトする 10: 1000BASE-T のオートネゴシエーションを 4 回失敗すると速度ダウンシフトする 11: 1000BASE-T のオートネゴシエーションを 5 回失敗すると速度ダウンシフトする	01
1:0	予約	RO	予約ビット	00

3.3.4 イーサネット・パケット・ジェネレータ制御 1

EPG 制御レジスタは、EPG テスト機能へのアクセスおよびテスト機能各部の制御を行います。EPG 制御レジスタは二つあります。EPG 制御レジスタ 1 の設定可能な内容を以下の表に示します。

表3.34 EPG 制御 1、アドレス 29E1 (0x1D)

ビット	機能	アクセス	説明	初期値
15	EPG イネーブル	R/W	1: EPG を有効にする	0
14	EPG 実行・停止	R/W	1: EPG を実行させる	0
13	送信期間	R/W	1: 継続 (10,000 パケット単位でインクリメントして送信) 0: 30,000,000 パケットまで送信して停止	0
12:11	パケット長	R/W	00: 125 バイト 01: 64 バイト 10: 1,518 バイト 11: 10,000 バイト (ジャンボパケット)	00
10	パケット間ギャップ	R/W	1: 8,192ns 0: 96ns	0
9:6	送信先アドレス	R/W	6 バイトの送信先アドレスの最小ニブル	0001
5:2	送信元アドレス	R/W	6 バイトの送信元アドレスの最小ニブル	0000
1	ペイロードタイプ	R/W	1: ランダムに生成したペイロードパターン 0: ペイロードパターンに従い固定	0
0	不良 FCS (フレームチェックシーケンス) 生成	R/W	1: NG FCS を含むパケットを生成 0: OK FCS を含むパケットを生成	0

EPG 制御番号 1 の特徴を以下に示します。

- GbE-PHY をライブネットに接続した状態で EPG を実行しないこと。
- ビット 29E1.13 (継続 EPG モード制御) : 本モードが有効のとき、デバイスはパケットを継続送信します。無効のとき、デバイスは次の 10,000 パケットのインクリメント・マークに達するまでパケットを継続送信した後、送信を終了します。
- ビット 9:6 の 6 バイトの送信先アドレスには、0xFF FF FF FF FF F0 から 0xFF FF FF FF FF FF の間の 16 アドレスのうちの一つが割り当てられます。
- ビット 5:2 の 6 バイトの送信元アドレスには、0xFF FF FF FF FF F0 から 0xFF FF FF FF FF FF の間の 16 アドレスのうちの一つが割り当てられます。
- EPG 実行中 (ビット 14 を “1” にセット) に、ビット 13:0 のうちいずれか一つでも変更された場合は、ビット 14 をクリアした後、変更を反映して EPG を再実行するため、再び “1” にセットし直す必要があります。

3.3.5 イーサネット・パケット・ジェネレータ制御 2

レジスタ 30E1 は、EPG テスト機能へのアクセスおよびテスト機能各部の制御を行う 2 番目のビットセットで構成されています。設定可能な内容を以下の表に示します。

表3.35 EPG 制御 2、アドレス 30E1 (0x1E)

ビット	機能	アクセス	説明	初期値
15:0	EPG パケットペイロード	R/W	EPG が生成したパケットのペイロード内で繰り返されるデータパターン	0x0000

注意. EPG 実行中（レジスタビット 29E1.14 を“1”にセット）に、本レジスタのビット 15:0 のうちいずれか一つでも変更された場合、29E1.14 をクリアした後、変更を反映して EPG を再実行するため、再び“1”にセットし直す必要があります。

3.4 拡張ページ 2 レジスタ

拡張ページ 2 レジスタ (16E2–30E2) にアクセスするには、レジスタ 31 に 0x0002 を書き込み、拡張レジスタを有効にします。詳細は表 3.29を参照してください。

拡張ページ 2 レジスタへのアクセスを有効にすると、レジスタ 16–30 への読み書きは、IEEE 規定レジスタ空間内の同レジスタではなく、拡張レジスタ 16E2–30E2 に作用します。レジスタ 0–15 は拡張ページレジスタのアクセス状態による影響は受けません。

レジスタ 31 に 0x0000 を書き込むと、メインレジスタへのアクセスへと戻ります。

拡張レジスタページ 2 空間のアドレスおよびレジスタ名を以下の表に示します。これらのレジスタは、デバイスレジスタ 31 を 0x0002 にセットした場合のみアクセス可能です。

表3.36 拡張レジスタページ 2 空間

アドレス	レジスタ名
16E2	予約
17E2	LED 制御
18E2–30E2	予約

3.4.1 LED制御

アドレス 17E2 のレジスタは、LED の拡張制御を行います。

表3.37 LED 制御、アドレス 17E2 (0x11)

ビット	機能	アクセス	説明	初期値
15:14	予約	RO	予約ビット	00
13:10	LED 極性反転	R/W	1: LED[3:0]_PHY[1:0]信号の極性を反転する。初期設定では、LED 端子はロー・アクティブ	0000
9:6	予約	RO	予約ビット	0000
5	1000BASE-T 強制モード・イネーブル	R/W	1: 1000BASE-T 強制モードを有効にし、レジスタビット 0.6 および 0.13 が 2'b10 にセットされているとき、マスタ／スレーブを指定せずに PHY が 1000BASE-T モードでリンクアップできるようにする。	0
4:0	予約	RO	予約ビット	0x00

3.5 汎用レジスタ

汎用レジスタ空間へのアクセス方法は、拡張ページレジスタへのアクセス方法と同様です。レジスタ 31 に 0x0010 をセットすることで、全 32 個のレジスタを汎用レジスタ空間にセットします。

メインレジスタページへのアクセスに戻るには、レジスタ 31 に 0x0000 を書き込みます。すべての汎用レジスタビットは、スーパースティックビットです。

3.5.1 予約汎用レジスタ空間

汎用レジスタ空間のレジスタ 0G-18G、20G-24G、26G-28G、30G のビットは予約ビットです。

3.5.2 予約レジスタ

予約レジスタです。

表3.38 予約、アドレス 14G (0x0E)

ビット	機能	アクセス	説明	初期値
15:0	予約	RO	予約ビット	0x2200

3.5.3 高速なリンク障害検出制御

汎用レジスタ空間のレジスタ 19G は、高速なリンク障害検出の際の発生元 PHY の選択を制御します。FASTLINK_FAIL 端子の設定可能な内容を以下の表に示します。

表3.39 高速なリンク障害検出制御、アドレス 19G (0x13)

ビット	機能	アクセス	説明	初期値
15:4	予約	RO	予約ビット	0x000
3:0	高速なリンク障害検出ポート設定	R/W	高速なリンク障害検出時の発生元 PHY を選択する 0000: Port0 0001: Port1 0010-1111: 出力禁止	1111

3.5.4 LED拡張制御

以下の表に LED 信号の拡張機能を制御するビットを示します。

表3.40 LED 拡張制御、アドレス 25G (0x19)

ビット	機能	アクセス	説明	初期値
15:8	LED パルシング・デューティサイクル制御	R/W	レジスタビット 30.12 を “1” にセットしたとき、LED パルスのデューティサイクルのプログラマブル制御を行う。有効な設定値は 0 (0.5%) ~198 (99.5%)。デューティサイクルは 0.5%刻みで変更可能。	0x00
7:1	予約	RO	予約ビット	0x00
0	LED ポート入れ替え	R/W	0: LED ポート入れ替えは無効 1: LED ポート入れ替えは有効	0

3.5.5 グローバル割り込みステータス

割り込みを行った要因を表示するステータスビットを以下の表に示します。

表3.41 グローバル割り込みステータス、アドレス 29G (0x1D)

ビット	機能	アクセス	説明	初期値
15:2	予約	RO	予約ビット	0x0400
1	PHY1 割り込み要因	RO	PHY1 割り込み要因表示 0: PHY1 が割り込み要因 1: PHY1 は割り込み要因ではない	1
0	PHY0 割り込み要因	RO	PHY0 割り込み要因表示 0: PHY0 が割り込み要因 1: PHY0 は割り込み要因ではない	1

4. 特性における注意点

本章では、GbE-PHY の特性において注意すべき内容について説明します。

(1) 1000BASE-T Distortion

プロセス、電圧、温度条件によっては、IEEE802.3 規格の 1000BASE-T Distortion 規定要求である“UI の 60%が 10 mV 以内”を満たさない場合があります。

このマージナリティは実際のリンク性能には影響せず、BER や相互運用上の問題は確認されていません。

(2) 10BASE-T 信号振幅

10BASE-T の信号振幅は、2.5V 供給電圧が低い場合、IEEE 802.3 規格のパラグラフ 14.3.1.2.1 に定める最小値 (2.2 V) を下回る可能性があります。また、関連テンプレートが境界もしくは違反となる可能性があります。

この問題は通信には影響せず、130m までのケーブルを使用した様々なリンク相手との接続において性能低下はありません。

(3) 10BASE-T トランスミッタ リターンロス

10BASE-T トランスミッタのリターンロスは、ランダムなデータパターンを使用した際、100 Ω 、85 Ω 、111 Ω 終端において、5MHz~10MHz の範囲で 15dB を下回る可能性があります。

この問題は通信には影響せず、130m までのケーブルを使用した様々なリンク相手との接続において性能低下はありません。

改訂記録	R-IN32M4-CL2 ユーザーズ・マニュアル Gigabit Ethernet PHY編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2016.01.15	—	初版発行
1.00	2016.03.04	—	R-INシリーズ ユーザーズ・マニュアル準拠のフォーマットに変更
		1	「1.2 本マニュアルにおける注意事項」を追加

[メ モ]

R-IN32M4-CL2
ユーザーズ・マニュアルGigabit Ethernet PHY編

©2016. Renesas Electronics Corporation. All rights reserved.

RENESAS

ルネサスエレクトロニクス株式会社