

ユーザーズ・マニュアル

携帯マルチメディア・プロセッサ

Audio/Voice , PWM インタフェース編

EMMA Mobile1

資料番号 R19UH0027JJ0300 (第3版)
(S19253JJ3V0UM00)

発行年月 June 2010

[メ モ]

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

対象者 このマニュアルは、携帯マルチメディア・プロセッサ EMMA Mobile1（以降、EM1 と表記します）の Audio/Voice，PWM インタフェースの機能を理解し、それをを用いたソフトウェア，ハードウェアなどのアプリケーション・システムを設計するユーザを対象とします。

目的 このマニュアルは、EM1 の Audio/Voice，PWM インタフェースが持つハードウェア，ソフトウェア機能をユーザに理解していただき、これらのデバイスを使用するシステムのハードウェア，ソフトウェア開発の参照用資料として役立つことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

- 第 1 章 概 説
- 第 2 章 端子機能
- 第 3 章 レジスタ
- 第 4 章 機能詳細
- 第 5 章 使用方法
- 付録 A 送受信の動作

読み方 このマニュアルを読むにあたっては、電気，論理回路，マイクロコンピュータに関する一般的知識が必要となります。

- ・ Audio/Voice，PWM インタフェースの機能の詳細を理解しようとするとき
目次に従ってお読みください。
- ・ 携帯マルチメディア・プロセッサ全体の機能を理解しようとするとき
モジュールごとのユーザズ・マニュアルを参照してください。
- ・ 携帯マルチメディア・プロセッサ全体の電気的特性を理解しようとするとき
データ・シートを参照してください。

凡 例	データ表記の重み	: 左が上位桁, 右が下位桁
	注	: 本文中につけた注の説明
	注意	: 気をつけて読んでいただきたい内容
	備考	: 本文中の補足説明
	数の表記	: 2進数 ... x x x x または x x x x B 10進数 ... x x x x 16進数 ... x x x x H
	データ・タイプ	ワード ... 32 ビット ハーフワード ... 16 ビット バイト ... 8 ビット

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

資料名		資料番号
MC-10118A データ・シート		R19DS0008JJ (S19657J)
μ PD77630A データ・シート		S19686J
ユーザーズ・マニュアル	Audio/Voice, PWM インタフェース編	このマニュアル
	DDR SDRAM インタフェース編	R19UH0028JJ (S19254J)
	DMA コントローラ編	S19255J
	I ² C インタフェース編	S19256J
	ITU-R BT.656 インタフェース編	S19257J
	LCD コントローラ編	S19258J
	MICROWIRE 編	S19259J
	NAND Flash インタフェース編	S19260J
	SPI 編	S19261J
	UART インタフェース編	S19262J
	イメージ・コンポーザ編	S19263J
	イメージ・プロセッサ・ユニット編	S19264J
	システム制御 / 汎用入出力インタフェース編	R19UH0029JJ (S19265J)
	タイマ編	S19266J
	地上デジタルTV インタフェース編	S19267J
	カメラ・インタフェース編	S19285J
	USB インタフェース編	S19359J
	SDメモリ・カード・インタフェース	S19361J
	PDMA 編	S19373J
	1 チップ編 (MC-10118A)	R19UH0030JJ (S19598J)
1 チップ編 (μ PD77630A)	R19UH0031JJ (S19687J)	

()内は旧資料番号

注意 上記関連資料は、予告なしに内容を変更することがあります。設計などには、必ず最新の資料を使用してください。

この資料に記載されている会社名、製品名などは、各社の商標または登録商標です。

目 次

第 1 章 概 説・・・11

1.1 特 徴・・・11

1.1.1 Audio/Voiceインタフェース・・・11

1.1.2 PWMインタフェース・・・11

1.2 機能ブロック図・・・12

1.2.1 Audio/Voiceインタフェース・・・12

1.2.2 PWMインタフェース・・・12

第 2 章 端子機能・・・13

2.1 Audio/Voiceインタフェース端子・・・13

2.2 PWMインタフェース端子・・・13

第 3 章 レジスタ・・・14

3.1 レジスタ一覧・・・14

3.1.1 Audio/Voiceインタフェース・・・14

3.1.2 PWMインタフェース・・・15

3.2 レジスタ機能 (Audio/Voiceインタフェース)・・・17

3.2.1 動作モード設定レジスタ・・・17

3.2.2 データ転送イネーブル・セット・レジスタ・・・19

3.2.3 データ転送イネーブル・クリア・レジスタ・・・20

3.2.4 データ転送サイクル設定レジスタ・・・21

3.2.5 割り込みRawステータス・レジスタ・・・23

3.2.6 割り込みステータス・レジスタ・・・25

3.2.7 割り込みイネーブル・セット・レジスタ・・・28

3.2.8 割り込みイネーブル・クリア・レジスタ・・・30

3.2.9 割り込みクリア・レジスタ・・・32

3.2.10 送信データ・レジスタ・・・33

3.2.11 受信データ・レジスタ・・・34

3.2.12 データ転送サイクル設定レジスタ 2・・・35

3.3 レジスタ機能 (PWMインタフェース)・・・36

3.3.1 PWM制御レジスタ・・・36

3.3.2 PWM設定レジスタ・・・37

3.3.3 PWM割り込みレジスタ・・・44

第 4 章 機能詳細・・・49

4.1 Audio/Voiceインタフェース・・・49

4.1.1	マスタ・モード/スレーブ・モード設定	49
4.1.2	シリアル・インタフェースのタイミング	50
4.1.3	データ・パディング	59
4.1.4	FIFOの動作	62
4.1.5	データ転送ステータス(ステータス/エラー/割り込み要因)	66
4.1.6	エラー・リカバリ	68
4.2	PWMインタフェース	69
4.2.1	PWM動作	69
4.2.2	割り込みタイミング	75
4.2.3	クロック制御タイミング	75
4.3	クロック/リセット	76

第5章 使用方法 . . . 77

5.1 Audio/Voiceインタフェースのレジスタ設定手順 . . . 77

- 5.1.1 通信開始の設定例 . . . 78
- 5.1.2 mode 5, 6 シリアル・インタフェースの動作例 . . . 79

5.2 PWMインタフェースの波形生成手順 . . . 81

5.3 注意, 制限事項 . . . 82

- 5.3.1 PWMインタフェースの注意事項 . . . 82

付録A 送受信の動作 . . . 83

A. 1 Audio/Voiceインタフェースの状態遷移図 . . . 83

- A. 1. 1 送信部の状態遷移図 . . . 83
- A. 1. 2 送信部の状態遷移の説明 . . . 85
- A. 1. 3 受信部の状態遷移図 . . . 87
- A. 1. 4 受信部の状態遷移の説明 . . . 89

図の目次

図番号	タイトル, ページ
図 1 - 1	Audio/Voiceインタフェース・ブロック図・・・12
図 1 - 2	PWMインタフェース・ブロック図(1チャンネルを表示)・・・12
図 4 - 1	mode 0 選択時のシリアル・インタフェース・タイミング・・・52
図 4 - 2	mode 1 選択時のシリアル・インタフェース・タイミング・・・53
図 4 - 3	mode 2 選択時のシリアル・インタフェース・タイミング・・・54
図 4 - 4	mode 3 選択時のシリアル・インタフェース・タイミング・・・55
図 4 - 5	mode 4 選択時のシリアル・インタフェース・タイミング・・・56
図 4 - 6	mode 5 選択時のシリアル・インタフェース・タイミング・・・57
図 4 - 7	mode 6 選択時のシリアル・インタフェース・タイミング・・・58
図 4 - 8	mode 3 での送信波形・・・59
図 4 - 9	mode 3 での受信波形・・・60
図 4 - 10	カウンタ 0 のみ動作したときのタイミング・・・69
図 4 - 11	カウンタ 0 のみ動作, PWM_CMP0 の値を反転・・・70
図 4 - 12	ループ有効時の開始動作・・・71
図 4 - 13	ループ有効時の終了動作・・・72
図 4 - 14	カウンタ 0~2 の動作: AND指定時・・・74
図 4 - 15	割り込みタイミング(クロック制御)・・・75
図 5 - 1	レジスタ設定フロー・・・77
図 5 - 2	ダブル・フェーズ動作の例(mode 5)・・・79
図 5 - 3	シングル・フェーズ動作の例(mode 5)・・・79
図 5 - 4	ダブル・フェーズ動作の例(mode 6)・・・80
図 5 - 5	シングル・フェーズ動作の例(mode 6)・・・80
図 5 - 6	波形生成フロー・・・81
A - 1	送信部の状態遷移図 ... 83
A - 2	受信部の状態遷移図 ... 87

表の目次

表番号	タイトル, ページ
表 3 - 1	PWMチャンネル 0 レジスタ・・・15
表 3 - 2	PWMチャンネル 1 レジスタ・・・16
表 3 - 3	PWM割り込みレジスタ・・・16
表 4 - 1	信号出力タイミングおよび信号サンプリング・タイミング一覧・・・51
表 4 - 2	データ転送ステータス(ステータス/エラー/割り込み要因)一覧・・・66

第1章 概 説

このマニュアルでは、EM1 の Audio/Voice , PWM インタフェースについて説明します。

1.1 特 徴

Audio/Voice , PWM インタフェースの主な特徴を次に示します。

1.1.1 Audio/Voiceインタフェース

インタフェース信号 (2 チャンネル x : 0, 1)

- ・ フレーム同期信号 : PMx_SEN
- ・ クロック信号 : PMx_CLK
- ・ シリアル・データ出力 : PMx_SO
- ・ シリアル・データ入力 : PMx_SI

Voice 系 / Audio 系コーデックに対するシリアル・インタフェース

各種シリアル・インタフェースに対応可能な 7 種類の動作モードをサポート

送信 / 受信に 32 ビット x 32 ワードの FIFO を内蔵

1.1.2 PWMインタフェース

PWM はパルス幅変調した信号を出力します。主な用途は Beep 音源 , モータ制御 , LCD 変調制御などです。

2 チャンネル PWM 出力

波形生成

- ・ 1 チャンネルあたり 32 ビット・カウンタを 3 つ搭載
- ・ 遅延 (DELAY) , リーディング・エッジ (LEDGE) , トレーリング・エッジ (TEDGE) , 総周期 (TOTAL) を個々に定義可能
- ・ カウンタ間の論理 (AND , OR , XOR) およびカウンタごとの NOT による変調

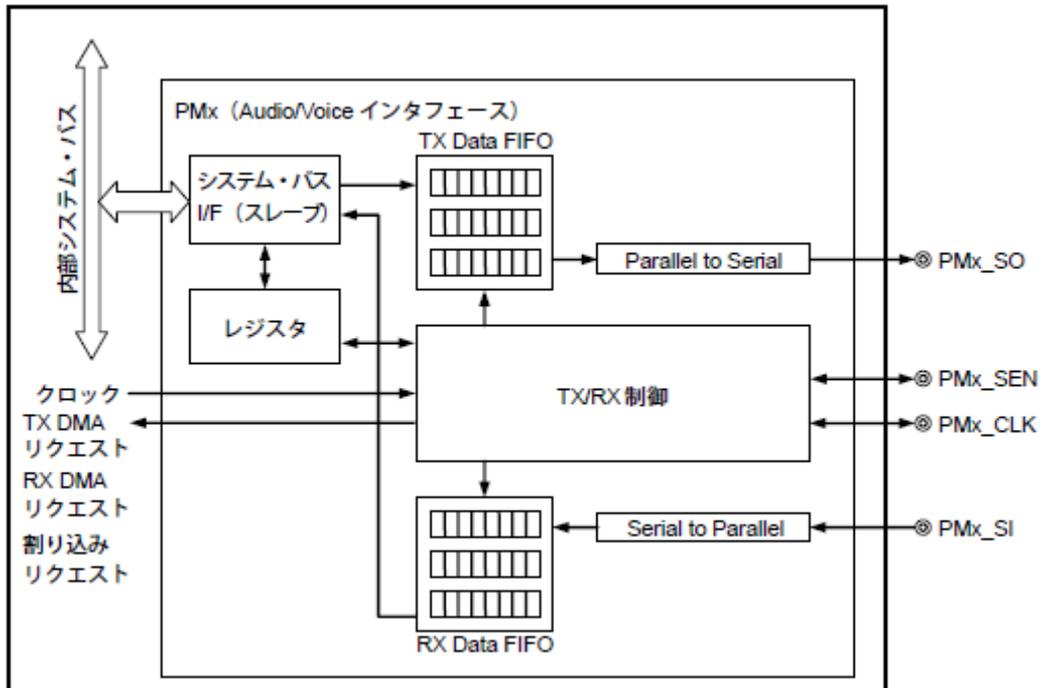
カウンタ毎に繰り返し回数を設定可能 (16 ビット・カウンタで管理)

カウンタ・クロック (PWM 波形生成用クロック) は独立

1.2 機能ブロック図

1.2.1 Audio/Voiceインタフェース

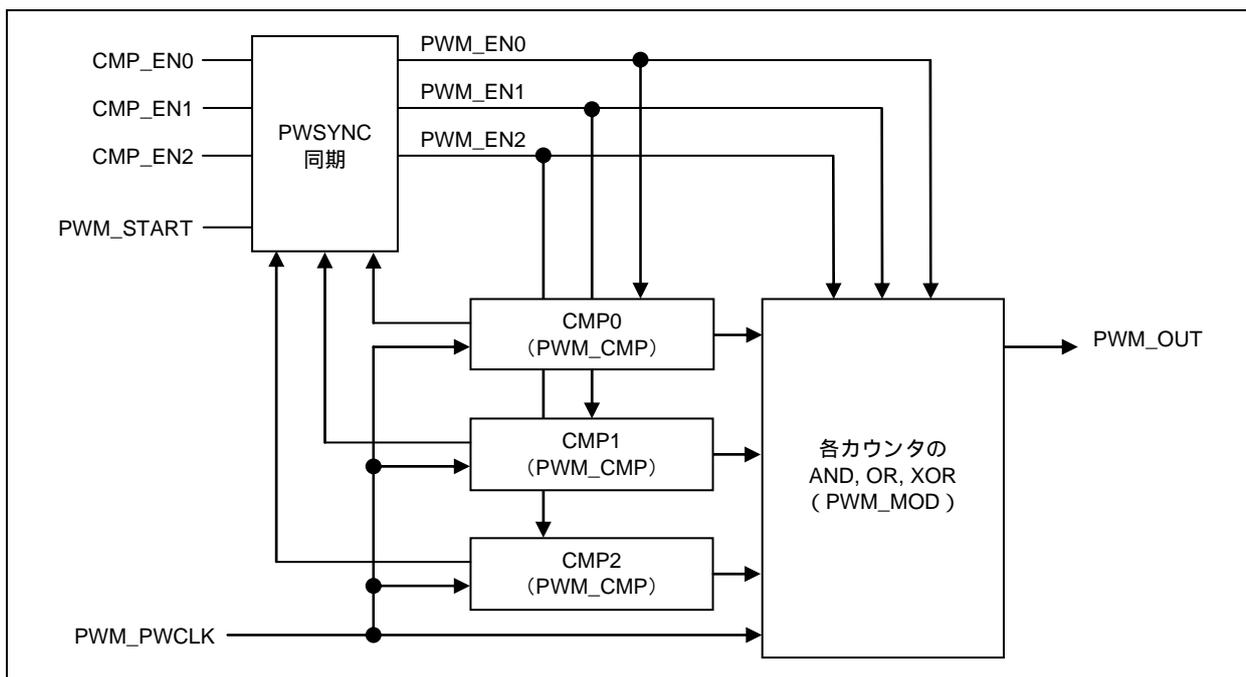
図 1-1 Audio/Voice インタフェース・ブロック図



備考 x = 0, 1

1.2.2 PWMインタフェース

図 1-2 PWM インタフェース・ブロック図 (1チャンネルを表示)



第2章 端子機能

2.1 Audio/Voice インタフェース端子

端子名	入出力	リセット時	機能	兼用端子
PM0_CLK	入出力	0	PCM0 クロック (デフォルト入力)	-
PM0_SEN	入出力	0	PCM0 フレーム同期 (デフォルト入力)	-
PM0_SI	入力	-	PCM0 データ	GIO_P87
PM0_SO	出力	0	PCM0 データ	-
PM1_CLK	入出力	0	PCM1 クロック (デフォルト入力)	GIO_P72 NTS_CLK
PM1_SEN	入出力	0	PCM1 フレーム同期 (デフォルト入力)	GIO_P80 NTS_DATA5 SP1_CS4
PM1_SI	入力	-	PCM1 データ	GIO_P81 NTS_DATA6 SP1_CS5
PM1_SO	出力	0	PCM1 データ	GIO_P82 NTS_DATA7

2.2 PWM インタフェース端子

端子名	入出力	リセット時	機能	兼用端子
PWM0	出力	0	PWM 出力	GIO_P94
PWM1	出力	0	PWM 出力	GIO_P95

第3章 レジスタ

3.1 レジスタ一覧

Audio/Voice , PWM インタフェースのレジスタは、ワード・アクセスのみ可能です。
 ハーフワード・アクセスおよびバイト・アクセスを行った場合の動作は保証しません。
 Reserved のレジスタへのアクセスは行わないでください。

3.1.1 Audio/Voiceインタフェース

ベース・アドレス： Audio/Voice シリアル 0 C001_0000H
 Audio/Voice シリアル 1 400D_0000H

アドレス	レジスタ名称	略号	R/W	リセット時
0000H	動作モード設定レジスタ ^{注1}	PMx_FUNC_SEL	R/W	0000_0000H
0004H	データ転送イネーブル・セット・レジスタ	PMx_TXRX_EN	W	-
0008H	データ転送イネーブル・クリア・レジスタ	PMx_TXRX_DIS	W	-
000CH	データ転送サイクル設定レジスタ ^{注1}	PMx_CYCLE	R/W	0000_0000H
0010H	割り込み Raw ステータス・レジスタ	PMx_RAW	R	0000_0000H
0014H	割り込みステータス・レジスタ	PMx_STATUS	R	0000_0000H
0018H	割り込みイネーブル・セット・レジスタ	PMx_ENSET	W	-
001CH	割り込みイネーブル・クリア・レジスタ	PMx_ENCLR	W	-
0020H	割り込みクリア・レジスタ	PMx_CLEAR	W	-
0024H	送信データ・レジスタ	PMx_TXQ	R/W	0000_0000H
0028H	受信データ・レジスタ	PMx_RXQ	R	0000_0000H
002CH	Reserved	-	-	-
0030H	データ転送サイクル設定レジスタ 2 ^{注1,2}	PMx_CYCLE2	R/W	0000_0000H

備考 PMx : PM0 , PM1

注 1. 次のレジスタは、送受信許可中、送受信停止状態中および送受信禁止直後の 1 フレーム期間中 (mode5, 6 の場合は Phase 1 と Phase 2 の設定で大きい方の 1 ワード期間中) の設定変更は禁止です。

- ・ PMx_FUNC_SEL : 動作モード設定レジスタ
- ・ PMx_CYCLE : データ転送サイクル設定レジスタ
- ・ PMx_CYCLE2 : データ転送サイクル設定レジスタ 2

2. mode5 ~ 6 のみで有効となります。

3.1.2 PWMインタフェース

ベース・アドレス：4010_0000H

表 3-1 PWM チャンネル0 レジスタ

アドレス	レジスタ名称	略号	R/W	リセット時
0000H	PWM 動作開始 / 停止レジスタ	PWM_CH0_CTRL	R/W	0000_0000H
0004H	PWM0 モード制御レジスタ	PWM_CH0_MODE	R/W	0000_0000H
0010H	チャンネル0 カウンタ0 デレイ設定レジスタ	PWM_CH0_DELAY0	R/W	0000_0000H
0014H	チャンネル0 カウンタ0 リーディング・エッジ設定レジスタ	PWM_CH0_LEDGE0	R/W	0000_0000H
0018H	チャンネル0 カウンタ0 トレーリング・エッジ設定レジスタ	PWM_CH0_TEDGE0	R/W	0000_0000H ^注
001CH	チャンネル0 カウンタ0 総周期設定レジスタ	PWM_CH0_TOTAL0	R/W	0000_0000H ^注
0020H	チャンネル0 カウンタ0 ループ回数設定レジスタ	PWM_CH0_LOOP0	R/W	0000_0000H ^注
0040H	チャンネル0 カウンタ1 デレイ設定レジスタ	PWM_CH0_DELAY1	R/W	0000_0000H
0044H	チャンネル0 カウンタ1 リーディング・エッジ設定レジスタ	PWM_CH0_LEDGE1	R/W	0000_0000H
0048H	チャンネル0 カウンタ1 トレーリング・エッジ設定レジスタ	PWM_CH0_TEDGE1	R/W	0000_0000H ^注
004CH	チャンネル0 カウンタ1 総周期設定レジスタ	PWM_CH0_TOTAL1	R/W	0000_0000H ^注
0050H	チャンネル0 カウンタ1 ループ回数設定レジスタ	PWM_CH0_LOOP1	R/W	0000_0000H ^注
0080H	チャンネル0 カウンタ2 デレイ設定レジスタ	PWM_CH0_DELAY2	R/W	0000_0000H
0084H	チャンネル0 カウンタ2 リーディング・エッジ設定レジスタ	PWM_CH0_LEDGE2	R/W	0000_0000H
0088H	チャンネル0 カウンタ2 トレーリング・エッジ設定レジスタ	PWM_CH0_TEDGE2	R/W	0000_0000H ^注
008CH	チャンネル0 カウンタ2 総周期設定レジスタ	PWM_CH0_TOTAL2	R/W	0000_0000H ^注
0090H	チャンネル0 カウンタ2 ループ回数設定レジスタ	PWM_CH0_LOOP2	R/W	0000_0000H ^注

注 PWM_CH0_TEDGE_n, PWM_CH0_TOTAL_n, PWM_CH0_LOOP_n のリセット値(0000_0000H)は設定禁止です。
必ず更新してから使用してください。

備考 アドレスは PWM 制御用に割り当てられた先頭アドレスからの相対値です。

表 3 - 2 PWM チャンネル1 レジスタ

アドレス	レジスタ名称	略 号	R/W	リセット時
0100H	PWM 動作開始 / 停止レジスタ	PWM_CH1_CTRL	R/W	0000_0000H
0104H	PWM0 モード制御レジスタ	PWM_CH1_MODE	R/W	0000_0000H
0110H	チャンネル1 カウンタ0 デレイ設定レジスタ	PWM_CH1_DELAY0	R/W	0000_0000H
0114H	チャンネル1 カウンタ0 リーディング・エッジ設定レジスタ	PWM_CH1_LEDGE0	R/W	0000_0000H
0118H	チャンネル1 カウンタ0 トレーリング・エッジ設定レジスタ	PWM_CH1_TEDGE0	R/W	0000_0000H ^注
011CH	チャンネル1 カウンタ0 総周期設定レジスタ	PWM_CH1_TOTAL0	R/W	0000_0000H ^注
0120H	チャンネル1 カウンタ・ループ回数設定レジスタ	PWM_CH1_LOOP0	R/W	0000_0000H ^注
0140H	チャンネル1 カウンタ1 デレイ設定レジスタ	PWM_CH1_DELAY1	R/W	0000_0000H
0144H	チャンネル1 カウンタ1 リーディング・エッジ設定レジスタ	PWM_CH1_LEDGE1	R/W	0000_0000H
0148H	チャンネル1 カウンタ1 トレーリング・エッジ設定レジスタ	PWM_CH1_TEDGE1	R/W	0000_0000H ^注
014CH	チャンネル1 カウンタ1 総周期設定レジスタ	PWM_CH1_TOTAL1	R/W	0000_0000H ^注
0150H	チャンネル1 カウンタ1 ループ回数設定レジスタ	PWM_CH1_LOOP1	R/W	0000_0000H ^注
0180H	チャンネル1 カウンタ2 デレイ設定レジスタ	PWM_CH1_DELAY2	R/W	0000_0000H
0184H	チャンネル1 カウンタ2 リーディング・エッジ設定レジスタ	PWM_CH1_LEDGE2	R/W	0000_0000H
0188H	チャンネル1 カウンタ2 トレーリング・エッジ設定レジスタ	PWM_CH1_TEDGE2	R/W	0000_0000H ^注
018CH	チャンネル1 カウンタ2 総周期設定レジスタ	PWM_CH1_TOTAL2	R/W	0000_0000H ^注
0190H	チャンネル1 カウンタ2 ループ回数設定レジスタ	PWM_CH1_LOOP2	R/W	0000_0000H ^注

注 PWM_CH1_TEDGE_n, PWM_CH1_TOTAL_n, PWM_CH1_LOOP_n のリセット値(0000_0000H)は設定禁止です。
必ず更新してから使用してください。

表 3 - 3 PWM 割り込みレジスタ

アドレス	レジスタ名称	略 号	R/W	リセット時
0400H	PWM 割り込みステータス・レジスタ	PWM_INTSTATUS	R	0000_0000H
0404H	PWM 割り込み Raw ステータス・レジスタ	PWM_INTRAWSTATUS	R	0000_0000H
0408H	PWM 割り込みイネーブル・セット・レジスタ	PWM_INTENSET	R/W	0000_0000H
040CH	PWM 割り込みイネーブル・クリア・レジスタ	PWM_INTENCLR	W	0000_0000H
0410H	PWM 割り込み要因クリア・レジスタ	PWM_INTFFCLR	W	0000_0000H

3.2 レジスタ機能 (Audio/Voice インタフェース)

3.2.1 動作モード設定レジスタ

本レジスタ (PM0_FUNC_SEL:C001_0000H, PM1_FUNC_SEL:400D_0000H) は、動作モードを設定するレジスタです。シリアル・インタフェース・タイミング選択, マスタ・モード/スレーブ・モード選択, 送信開始タイミング選択, DMA 転送許可選択を行います。送受信許可前, 送受信禁止から送受信停止から 1 フレーム期間 (mode5~6 の場合は Phase1 と Phase2 の設定で大きい方の 1Word 期間) の Wait 後, または再設定許可割り込み発生後に設定をしてください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved						CLK_INV	SEN_INV
7	6	5	4	3	2	1	0
Reserved	Tx_TIM		M_S		MODE_SEL		

(1/2)

名称	R/W	ビット	リセット時	機能
Reserved	R	31:10	0	予約。読み出すと 0 を返します。
CLK_INV	R/W	9	0	シリアル・クロックの極性を反転させます。 0: 反転しない (デフォルト) 1: 反転する
SEN_INV	R/W	8	0	シリアル・データ同期信号の極性を反転させます。 0: 反転しない (デフォルト) 1: 反転する
Reserved	R	7	0	予約。読み出すと 0 を返します。
Tx_TIM	R/W	6:5	0	シリアル送信を開始する TX DATA FIFO 有効データ数を選択します。 00b: 30 ワード (デフォルト) 01b: 16 ワード 10b: 8 ワード 11b: 4 ワード
M_S	R/W	4:3	0	マスタ・モード/スレーブ・モードを選択します。 00b: 停止 (デフォルト) 01b: マスタ・モード 10b: スレーブ・モード 11b: 禁止

名 称	R/W	ビット	リセット時	機 能
MODE_SEL	R/W	2:0	0	シリアル・インタフェースの動作モードを選択します。 各モードのタイミングについては 4.1.2 シリアル・インタフェースのタイ ミングを参照してください。 000b : mode 0 (デフォルト) 001b : mode 1 010b : mode 2 (I2Sフォーマット) 011b : mode 3 (MSB詰め) 100b : mode 4 (LSB詰め) 101b : mode 5 (Multi Channel Mode) 110b : mode 6 (Multi Channel Mode)

3.2.2 データ転送イネーブル・セット・レジスタ

本レジスタ (PM0_TXRX_EN:C001_0004H, PM1_TXRX_EN:400D_0004H) は、受信許可ビットおよび送信許可ビットを設定するためのレジスタです。

受信許可ビットおよび送信許可ビットは、シリアル転送許可指定を行うためのビットです。これらのビットが“1”のときシリアル転送を実行します。また、読み出すことにより状態を確認できます。

RX_EN ビットで“1”をリードした場合は受信許可状態です。TX_EN ビットで“1”をリードした場合は送信許可状態です。“0”をリードした場合は送受信を禁止しています。受信許可ビットおよび送信許可ビットをクリアする場合は、データ転送イネーブル・クリア・レジスタ (PMx_TXRX_DIS) を使用します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						RX_EN	TX_EN

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:2	0	予約。読み出すと0を返します。
RX_EN	W	1	0	受信許可ビットをセットします。 ^注 0：状態保持 1：受信許可ビットをセット(“1”に)します。
TX_EN	W	0	0	送信許可ビットをセットします。 ^注 0：状態保持 1：送信許可ビットをセット(“1”に)します。

注 送受信停止からもう一度送受信を許可する場合、PCM が確実に停止するための期間を確保する必要があります。このときは、送受信停止から 1Frame 期間 (mode5~6 の場合は Phase1 と Phase2 の設定で大きい方の 1Word 期間) の Wait 後、または再設定許可割り込み発生後、送受信許可としてください。

3.2.3 データ転送イネーブル・クリア・レジスタ

本レジスタ (PM0_TXRX_DIS:C001_0008H, PM1_TXRX_DIS:400D_0008H) は、受信許可ビットおよび送信許可ビットをクリアするためのレジスタです。RX_ENCLR ビットに“1”をライトすることにより受信許可ビットがクリアされます。TX_ENCLR ビットに“1”をライトすることにより送信許可ビットがクリアされます。“0”をライトした場合は状態を保持します。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved						RX_ENCLR	TX_ENCLR

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:2	0	予約。
RX_ENCLR	W	1	0	受信許可ビットをクリアします。 0：状態保持 1：受信許可ビットをクリア（“0”に）する
TX_ENCLR	W	0	0	送信許可ビットをクリアします。 0：状態保持 1：送信許可ビットをクリア（“0”に）する

備考 送信動作については A.1.1 送信部の状態遷移図を、受信動作については A.1.3 受信部の状態遷移図を参照してください。

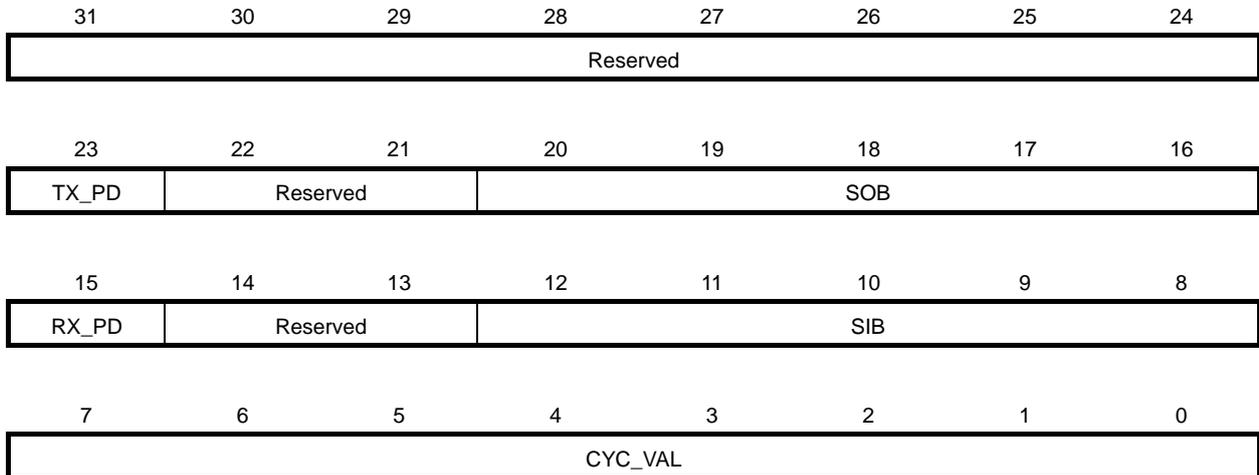
- 1) PMx_TXRX_EN : 1 を書き込むことで、該当 Bit に “1” をセットします (W レジスタ)。
- 2) PMx_TXRX_DIS : 1 を書き込むことで、該当 Bit に “0” をセットします (W レジスタ)。
- 3) PMx_TXRX_MON : 現在の、設定状況が読み出されます (R レジスタ)。

例：ライトの順番により、実行結果が変わります。

- PMx_TXRX_EN 11B ライト (Bit 1,0 に ENABLE をセットします)
- PMx_TXRX_DIS 01B ライト (Bit 0 に対して DISABLE をセットします)
- PMx_TXRX_MON = 10B リード (結果, Bit 1 に ENABLE が残ります)

3.2.4 データ転送サイクル設定レジスタ

本レジスタ (PM0_CYCLE:C001_000CH, PM1_CYCLE:400D_000CH) は、転送に関する設定 (フレーム長, 有効受信ビット数, 有効送信ビット数, 受信データのパディング操作有効/無効, 送信データのパディング操作有効/無効選択) を行うためのレジスタです。送受信許可前, 送受信禁止から 1Frame 期間以降 (mode5~6 の場合は Phase1 と 2 の設定で大きい方の 1Word 期間以降), または再設定許可割り込み発生後に設定をしてください。mode5~6 の場合, Phase1 に対する設定となります。



(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:24	0	予約。読み出すと 0 を返します。
TX_PD	R/W	23	0	送信データのパディング操作有効/無効を選択します。 0: 無効 (デフォルト) 1: 有効 パディング操作を有効にする場合は, 有効送信ビット数を 8 ビット (SOB = 07H) または 16 ビット (SOB = 0FH) に設定する必要があります。 mode5~6 の場合は設定禁止です。無効を選択してください。
Reserved	R	22:21	0	予約。読み出すと 0 を返します。
SOB	R/W	20:16	0	有効送信ビット数 (PMx_SO 信号) を PMx_CLK クロック数で設定します。 有効送信ビット数は (設定値 + 1) です。 mode0~4 の場合, CYC_VAL SOB (有効受信ビット数) となるように設定する必要があります。 設定範囲: 07H~1FH (8~32 ビット) ^{注1}
RX_PD	R/W	15	0	受信データのパディング操作有効/無効を選択します。 0: 無効 (デフォルト) 1: 有効 パディング操作を有効にする場合は, 有効受信ビット数を 8 ビット (SIB = 07H) または 16 ビット (SIB = 0FH) に設定する必要があります。 mode5~6 の場合は設定禁止です。無効を選択してください。
Reserved	R	14:13	0	予約。読み出すと 0 を返します。
SIB	R/W	12:8	0	有効受信ビット数 (PMx_SI 信号) を PMx_CLK クロック数で設定します。 有効受信ビット数は (設定値 + 1) です。 mode0~4 の場合, CYC_VAL SIB (有効受信ビット数) となるように設定する必要があります。 設定範囲: 07H~1FH (8~32 ビット) ^{注1}

名 称	R/W	ビット	リセット時	機 能
CYC_VAL	R/W	7:0	0	mode 0 ~ 4 の場合フレーム長を PMx_CLK クロック数で ,mode 5 ~ 6 の場合 , Phase1 のワード数を設定します。フレーム長は (設定値 + 1) です。 mode0 ~ 4 において CYC_VAL SOB(有効送信ビット数),CYC_VAL SIB (有効受信ビット数) となるように設定する必要があります。 選択したモードによって設定可能クロック数が異なります。 mode 0 ~ 4 : 07H ~ 3FH (8 ~ 64 クロック) mode 5 ~ 6 : 00H ~ 80H (0 ~ 128 ワード) ^{注2}

- 注 1. mode5 ~ 6 のとき , 送信 / 受信同時動作時の SOB , SIB の設定値は同一となるように設定してください。
Phase2 (PMx_CYCLE2.SOB2 , SIB2) と異なる値の設定は可能です (SOB = SIB となるように設定すること。
SOB SOB2 , SIB SIB2 という設定は可能です) 。
2. mode5 ~ 6 のとき ,PMx_CYCLE2.CYC_VAL2 = 00H の場合 ,PMx_CYCLE.CYC_VAL = 00H の設定は禁止です。
PMx_CYCLE.CYC_VAL = 00H と設定した場合 , PMx_CYCLE2 の設定値が有効となり , シングル・フェーズ動作をします。
Phase2 (PMx_CYCLE2.CYC_VAL2) と異なる値の設定は可能です (CYC_VAL CYC_VAL2 という設定は可能です) 。

3.2.5 割り込みRawステータス・レジスタ

本レジスタ (PM0_RAW:C001_0010H, PM1_RAW:400D_0010H) は、割り込み要因を表示するレジスタです

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved			RX_STPRAW	Reserved			TX_STPRAW
7	6	5	4	3	2	1	0
RX_RENRAW	RX_ORERAW	RX_URERAW	RX_FRERAW	TX_WENRAW	TX_ORERAW	TX_URERAW	TX_FRERAW

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:13	0	予約。読み出すと0を返します。
RX_STPRAW	R	12	0	受信停止後、再設定許可のRawステータスを示します。 0: 受信前, または, 受信中 (デフォルト) 1: 再設定許可 ^{注8}
Reserved	R	11:9	0	予約。読み出すと0を返します。
TX_STPRAW	R	8	0	送信停止後、再設定許可のRawステータスを示します。 0: 送信前, または, 送信中 (デフォルト) 1: 再設定許可 ^{注9}
RX_RENRAW	R	7	0	RX Data FIFOのRawステータスを示します。 0: 有効受信データなし (リード不可) (デフォルト) 1: 有効受信データあり (リード可) ^{注1}
RX_ORERAW	R	6	0	受信オーバーラン・エラーのRawステータスを示します。 0: 正常 (デフォルト) 1: オーバーラン・エラー検出 ^{注1}
RX_URERAW	R	5	0	受信アンダラン・エラーのRawステータスを示します。 0: 正常 (デフォルト) 1: アンダラン・エラー検出 ^{注1}
RX_FRERAW	R	4	0	受信フレーム同期エラーのRawステータスを示します ^{注6} 0: 正常 (デフォルト) 1: フレーム同期エラー検出 (スレープ動作時のみエラー検出) ^{注2}
TX_WENRAW	R	3	0	TX Data FIFOのRawステータスを示します。 ^{注7} 0: 空きなし (ライト不可) (デフォルト) 1: 空きあり (ライト可) ^{注3}
TX_ORERAW	R	2	0	送信オーバーラン・エラーのRawステータスを示します。 0: 正常 (デフォルト) 1: オーバーラン・エラー検出 ^{注3}
TX_URERAW	R	1	0	送信アンダラン・エラーのRawステータスを示します。 0: 正常 (デフォルト) 1: アンダラン・エラー検出 ^{注4}
TX_FRERAW	R	0	0	送信フレーム同期エラーのRawステータスを示します。 ^{注6} 0: 正常 (デフォルト) 1: フレーム同期エラー検出 (スレープ動作時のみエラー検出) ^{注5}

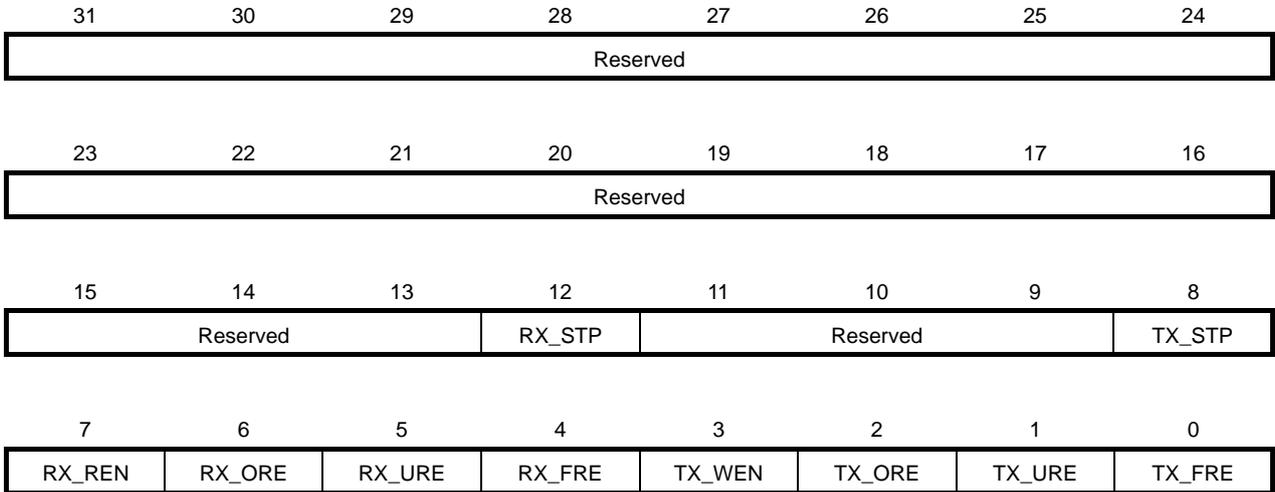
- 注1. 受信禁止に設定 (PMx_TXRX_DIS[1]=1) でリセットされます。
2. 受信禁止に設定 (PMx_TXRX_DIS[1]=1) または要因クリア (PMx_CLEAR[4]=1) でリセットされます。
3. 送信禁止に設定 (PMx_TXRX_DIS[0]=1) でリセットされます。
4. 送信禁止に設定 (PMx_TXRX_DIS[0]=1) または要因クリア (PMx_CLEAR[1]=1) でリセットされます。

5. 送信禁止に設定 (PMx_TXRX_DIS[0]=1) または要因クリア (PMx_CLEAR[0]=1) でリセットされます。
6. 同期エラーについては、3.2.6 **割り込みステータス・レジスタ**の(*1)を参照してください。
7. リセット期間中は0となるが、リセット解除後の1PCLKの入力で1となります。
8. 要因クリア (PMx_CLEAR[12]=1) でリセットされます。
9. 要因クリア (PMx_CLEAR[8]=1) でリセットされます。

3.2.6 割り込みステータス・レジスタ

本レジスタ (PM0_STATUS:C001_0014H, PM1_STATUS:400D_0014H) は、割り込みステータスを確認するためのレジスタです。

割り込み Raw ステータス・レジスタを割り込みイネーブル・セット・レジスタ (PMx_ENSET) 値でマスクした結果を示します。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:13	0	予約。読み出すと0を返します。
RX_STP	R	12	0	受信停止要求後、再設定許可割り込みのステータスを示します。
Reserved	R	11:9	0	予約。読み出すと0を返します。
TX_STP	R	8	0	送信停止要求後、再設定許可割り込みのステータスを示します。
RX_REN	R	7	0	RX Data FIFO 割り込みステータスを示します。
RX_ORE	R	6	0	受信オーバーラン・エラー割り込みステータスを示します。
RX_URE	R	5	0	受信アンダラン・エラー割り込みステータスを示します。
RX_FRE	R	4	0	受信フレーム同期エラー割り込みステータスを示します。
TX_WEN	R	3	0	TX Data FIFO 割り込みステータスを示します。(注1)
TX_ORE	R	2	0	送信オーバーラン・エラー割り込みステータスを示します。
TX_URE	R	1	0	送信アンダラン・エラー割り込みステータスを示します。
TX_FRE	R	0	0	送信フレーム同期エラー割り込みステータスを示します。

各割り込み要因は、セットタイミングとリセットタイミングは以下の場合です。

RX_STP : 受信停止要求後、再設定可否の状態を示しています。

処理中の転送処理停止後にセットされるため、受信停止要求のタイミング、マスタ/スレーブ等の条件によってセットされるまでの期間が異なります。

セット(1) : 受信要求後、再設定可能になった場合。

リセット(0) : 受信開始前、または、受信中の場合。

TX_STP : 送信停止要求後、再設定可否の状態を示しています。

処理中の転送処理停止後にセットされるため、送信停止要求のタイミング、マスタ/スレーブ等の条件によってセットされるまでの期間が異なります。

セット(1) : 送信要求後、再設定可能になった場合。

リセット(0) : 送信開始前、または、送信中の場合。

RX_REN : 受信データ・リード可能であることを示しています。

このフラグと PMx_DMA_RDMARQ (DMA 受信要求) 信号は同時に ON/OFF します。

セット(1) : 受信 FIFO に 1 Word でも有効データが存在する場合 (DMAC がリードしていないデータがあります)。

リセット(0) : 受信 FIFO の未リード・データがなくなった場合、または、受信禁止に設定した時 : PMx_TXRX_DIS [1] = '1'

RX_ORE : 受信 FIFO の オーバーラン・エラーが発生したことを示します。

セット(1) : DMAC の受信 FIFO の読み出しが間に合わない場合 (受信 FIFO が FULL の状態で、PMx_SI 端子からシリアルデータを受信して受信 FIFO に書き込まれた時)。

リセット(0) : 受信禁止に設定した時 : PMx_TXRX_DIS [1] = '1'

RX_URE : 受信 FIFO の アンダーラン・エラーが発生したことを示します。

セット(1) : 受信 FIFO に有効データが無い状態 (要因 RX_REN が '0') で、受信 FIFO をリードした場合 (受信データのカラ読み時)。

リセット(0) : 受信禁止に設定した時 : PMx_TXRX_DIS [1] = '1'

RX_FRE : 受信制御回路でシリアル・インタフェースの 同期エラー(*1)が発生したことを示します。

セット(1) : PMx_SEN 信号のずれを検出・・・スレーブ設定時のみ発生。

リセット(0) : 要因クリア (PMx_CLEAR[4] = '1') 後、受信禁止に設定した時 (PMx_TXRX_DIS [1] = '1')

TX_WEN : 送信データ・ライト可能であることを示しています。

このフラグと PMx_DMA_TDMARQ (DMA 送信要求) 信号は同時に ON/OFF します。

セット(1) : 送信 FIFO が FULL ではない状態 (送信 FIFO に空きがあり、まだライトできる状態です)。

リセット(0) : 送信 FIFO が FULL でもうライトできない状態、または、送信禁止に設定した時 : PMx_TXRX_DIS [0] = '1'

TX_ORE : 送信 FIFO の オーバーラン・エラーが発生したことを示します。

セット(1) : 送信 FIFO が FULL の時 (要因 TX_WEN が '0') に送信 FIFO をライトした

リセット(0) : 送信禁止に設定した時 : PMx_TXRX_DIS [0] = '1'

TX_URE : 送信 FIFO のアンダーラン・エラーが発生したことを示します。

セット(1) : 送信データを全て PMx_SO 端子より送出し終わり、送信 FIFO が Empty になった場合 (全データ送出完了通知、またはシリアルデータの送信速度に送信 FIFO への書き込みが間に合わない場合)

リセット(0) : 要因クリア (PMx_CLEAR[1] = '1') 後、送信禁止に設定した時 (PMx_TXRX_DIS [0] = '1')

TX_FRE : 送信制御回路でシリアル・インタフェースの同期エラー(*1)が発生したことを示します。

セット(1) : PMx_SEN 信号のずれを検出・・・スレーブ設定時のみ発生。

リセット(0) : 要因クリア (PMx_CLEAR[0] = '1') 後、
送信禁止に設定した時 (PMx_TXRX_DIS [0] = '1')

(*1)同期エラーとは、通信中に PMx_CYCLE レジスタの Bit0 ~ 5 (mode0 ~ 4) または PMx_CYCLE レジスタの CYC_VAL、SIB、SOB および PMx_CYCLE2 レジスタの CYC_VAL2、SIB2、SOB2 (mode 5 ~ 6) で設定した、「1 フレームあたりのクロック数」ごとに、PMx_SEN 信号の変化がなかった場合にセットされます (変化は、mode0 ~ 6 のフォーマットごとに異なります)。

また、送信モジュールと受信モジュール間で同期がずれた場合も同期エラーとなります。

RX_FRE、TX_FRE はそれぞれ受信器、送信器で同期エラーが検出された場合に ON します。受信、送信が両方許可であれば、どちらか早い方がセットされます (実際には、ほぼ同時です)。

注1) リセット期間中は0となるが、リセット解除後の1 P C L Kの入力で1となります。

3.2.7 割り込みイネーブル・セット・レジスタ

本レジスタ (PM0_ENSET:C001_0018H, PM1_ENSET:400D_0018H) は、割り込み要因ごとの割り込み要求発行許可を設定するためのレジスタです。このレジスタをリードすることにより、割り込みイネーブル・ビットの設定状態を確認できます。

送受信許可前,送受信禁止から 1Frame 期間以降 (mode5 ~ 6 の場合は Phase1 と 2 の設定で大きい方の 1Word 期間以降), または再設定許可割り込み発生後に設定をしてください。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved			RX_STP_EN	Reserved			TX_STP_EN
7	6	5	4	3	2	1	0
RX_REN_EN	RX_ORE_EN	RX_URE_EN	RX_FRE_EN	TX_WEN_EN	TX_ORE_EN	TX_URE_EN	TX_FRE_EN

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:13	0	予約。読み出すと 0 を返します。
RX_STP_EN	W	12	0	受信再設定許可割り込みイネーブルをセットします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをセット
Reserved	R	11:9	0	予約。読み出すと 0 を返します。
TX_STP_EN	W	8	0	送信再設定許可割り込みイネーブルをセットします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをセット
RX_REN_EN	W	7	0	RX Data FIFO 割り込みイネーブルをセットします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをセット
RX_ORE_EN	W	6	0	受信オーバーラン・エラー割り込みイネーブルをセットします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをセット
RX_URE_EN	W	5	0	受信アンダラン・エラー割り込みイネーブルをセットします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをセット
RX_FRE_EN	W	4	0	受信フレーム同期エラー割り込みイネーブルをセットします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをセット
TX_WEN_EN	W	3	0	TX Data FIFO 割り込みイネーブルをセットします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをセット
TX_ORE_EN	W	2	0	送信オーバーラン・エラー割り込みイネーブルをセットします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをセット

名 称	R/W	ビット	リセット時	機 能
TX_URE_EN	W	1	0	送信アンダラン・エラー割り込みイネーブルをセットします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをセット
TX_FRE_EN	W	0	0	送信フレーム同期エラー割り込みイネーブルをセットします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをセット

- 注意 1. DMA 転送を行うので、Bit7 (RX_REN_EN) と Bit3 (TX_WEN_EN) は割り込みマスクのまま使用することを推奨します。DMA 要求信号で確認できますので Bit7, 3 の割り込みは必要ありません。
2. 3 種類のレジスタを使って、割り込み設定を行います。イネーブルの設定は、該当ビットへの“1”ライトにて実行できます。

例：ライトの順番により、実行結果が変わります。

PMx_ENSET <- 0101_0101B ライト (Bit 6,4,2,0 に ENABLE をセットします)

PMx_ENCLR <- 0001_0001B ライト (Bit 4,0 に対して DISABLE をセットします)

PMx_ENSET = 0100_0100B リード (結果, Bit 6,2 に ENABLE が残ります)

3.2.8 割り込みイネーブル・クリア・レジスタ

本レジスタ (PM0_ENCLR:C001_001CH, PM1_ENCLR:400D_001CH) は、割り込み要因ごとに割り込み要求発行許可ビット (割り込みイネーブル・ビット) をクリアするためのレジスタです。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved			RX_STPMASK	Reserved			TX_STPMASK
7	6	5	4	3	2	1	0
RX_RENMASK	RX_OREMASK	RX_UREMASK	RX_FREMASK	TX_WENMASK	TX_OREMASK	TX_UREMASK	TX_FREMASK

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:13	-	予約。
RX_STP_MASK	W	12	-	受信再設定許可割り込みイネーブル・ビットをクリアします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをクリア
Reserved	-	11:9	-	予約。
TX_STP_MASK	W	8	-	送信再設定許可割り込みイネーブル・ビットをクリアします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをクリア
RX_RENMASK	W	7	-	RX Data FIFO 割り込みイネーブル・ビットをクリアします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをクリア
RX_OREMASK	W	6	-	受信オーバーラン・エラー割り込みイネーブル・ビットをクリアします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをクリア
RX_UREMASK	W	5	-	受信アンダラン・エラー割り込みイネーブル・ビットをクリアします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをクリア
RX_FREMASK	W	4	-	受信フレーム同期エラー割り込みイネーブル・ビットをクリアします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをクリア
TX_WENMASK	W	3	-	TX Data FIFO 割り込みイネーブル・ビットをクリアします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをクリア
TX_OREMASK	W	2	-	送信オーバーラン・エラー割り込みイネーブル・ビットをクリアします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをクリア

名 称	R/W	ビット	リセット時	機 能
TX_UREMASK	W	1	-	送信アンダラン・エラー割り込みイネーブル・ビットをクリアします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをクリア
TX_FREMASK	W	0	-	送信フレーム同期エラー割り込みイネーブル・ビットをクリアします。 0: 割り込みイネーブル・ビットを保持 1: 割り込みイネーブル・ビットをクリア

3.2.9 割り込みクリア・レジスタ

本レジスタ (PM0_CLEAR:C001_0020H, PM1_CLEAR:400D_0020H) は、割り込み要因をクリアするためのレジスタです。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved			RX_STPCLR	Reserved			TX_STPCLR
7	6	5	4	3	2	1	0
Reserved			RX_FRECLR	Reserved		TX_URECLR	TX_FRECLR

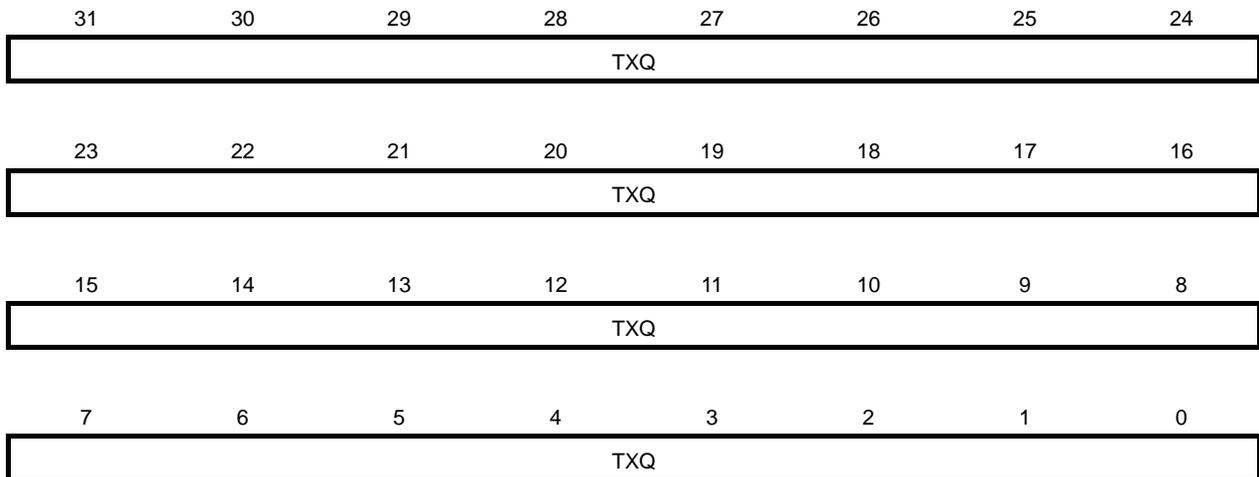
名 称	R/W	ビット	リセット時	機 能
Reserved	-	31:13	-	予約。
RX_STPCLR	W	12	-	RX_STP 要因 (受信再設定許可) ビットのクリアを行います。 0: 割り込み要因保持 1: 割り込み要因クリア
Reserved	-	11:9	-	予約。
TX_STPCLR	W	8	-	TX_STP 要因 (送信再設定許可) ビットのクリアを行います。 0: 割り込み要因保持 1: 割り込み要因クリア
Reserved	-	7:5	-	予約
RX_FRECLR	W	4	-	RX_FRE 要因 (受信同期エラー) ビットのクリアを行います。 0: 割り込み要因保持 1: 割り込み要因クリア
Reserved	-	3:2	-	予約。
TX_URECLR	W	1	-	TX_URE 要因 (送信アンダラン) ビットのクリアを行います。 0: 割り込み要因保持 1: 割り込み要因クリア
TX_FRECLR	W	0	-	TX_FRE 要因 (送信同期エラー) ビットのクリアを行います。 0: 割り込み要因保持 1: 割り込み要因クリア

他の割り込み要因については、送信禁止 (PMx_TXRX_DIS [0] = " 1 ") または受信禁止 (PMx_TXRX_DIS [1] = " 1 ") にすることでリセットされます。

3.2.10 送信データ・レジスタ

本レジスタ (PM0_TXQ : C001_0024H, PM1_TXQ : 400D_0024H) は, TX Data FIFO に送信データをライトするためのレジスタです。このレジスタをリードすると, TX Data FIFO へ最後にライトしたデータをリードできます。

本レジスタへのライト操作は必ず 32 ビットアクセスで実行してください。8 ビット, 16 ビットアクセスを実行した場合動作は, 保証されません。



名 称	R/W	ビット	リセット時	機 能
TXQ	R/W	31:0	0	TX Data FIFO ライト・データを制御します。

PMx_TXQ へ書き込まれたデータは, 32 ビット×32 ワードの送信用 FIFO のライト・ポインタが指示するエントリに書き込まれます。ライト・ポインタ制御はハードウェアが自動的に行います。

なお, PMx_TXQ をリードした場合には, 最後にライトしたデータが読み出されます。

送信用 FIFO へのライト・データ例を示します。

送信データ・ビット長以外のデータは無視 (x : Don't Care) されます。

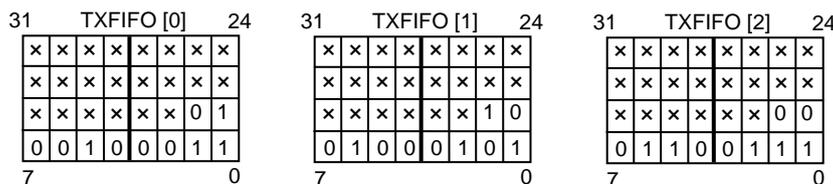
例) 送信データ・ビット長 = 10 ビット (SOB [4:0] = 09H)・・・PMx_CYCLE レジスタ

xxxx_x123H ライト・データ (PMx_TXQ)

xxxx_x245H ライト・データ (PMx_TXQ)

xxxx_x067H ライト・データ (PMx_TXQ)

:



注意 上図はデータ・パディングがない場合のライトを示しています。

データ・パディングがある場合のライトは(送信データ・ビット長が 8 ビット, もしくは 16 ビットでも) 32 ビットのデータが詰められます (Don't Care ビットはありません)

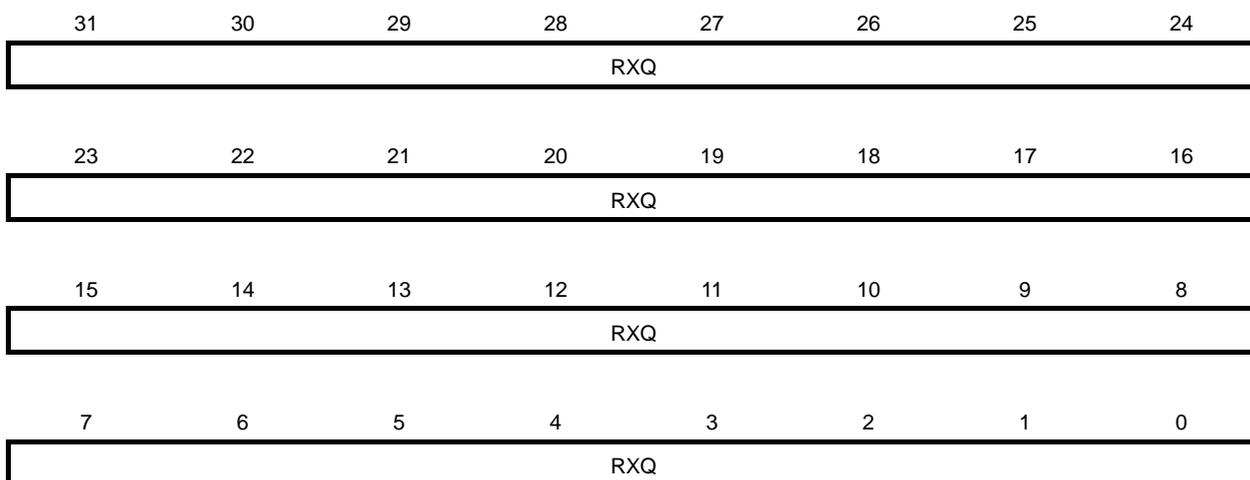
詳細は, 4.1.3 データ・パディングを参照してください。

3.2.11 受信データ・レジスタ

本レジスタ (PM0_RXQ : C001_0028H, PM1_RXQ : 400D_0028H) は、RX Data FIFO から受信データをリードするためのレジスタです。受信動作停止時の値は“0000_0000H”です。

本レジスタへのリード操作は必ず32ビットアクセスで実行してください。8ビット、16ビットアクセスを実行した場合、動作は保証されません。

なお、受信禁止設定 (PMx_TXRX_DIS レジスタ : Bit1 を“1”) では、PMx_RXQ レジスタの内容は“0”が読めます。



名 称	R/W	ビット	リセット時	機 能
RXQ	R	31:0	0	RX Data FIFO リード・データを示します。

32ビット×32ワードで構成される受信FIFOから、リード・ポインタが指示するエントリからデータを読み出します。リード・ポインタの制御はハードウェアが自動的に行います。

PMx_RXQ への書き込みはできません。

受信用FIFOからのリード・データ例を示します。

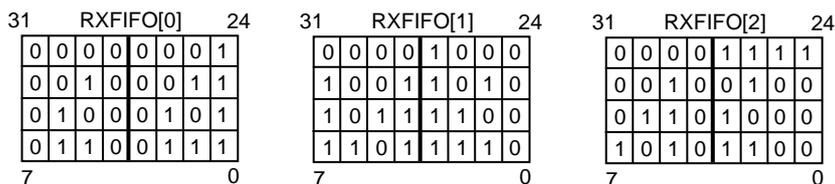
受信データ・ビット長以外のデータは“0”になっています。

例) 受信データ・ビット長 = 28ビット (SIB [4:0] = 1BH)・・・PMx_CYCLE レジスタ

リード・データ (PMx_RXQ) 0123_4567H (RXFIFO [0])

リード・データ (PMx_RXQ) 089A_BCDEH (RXFIFO [1])

リード・データ (PMx_RXQ) 0F24_68ACH (RXFIFO [2])



注意 上図はデータ・パディングがない場合のリードを示しています。

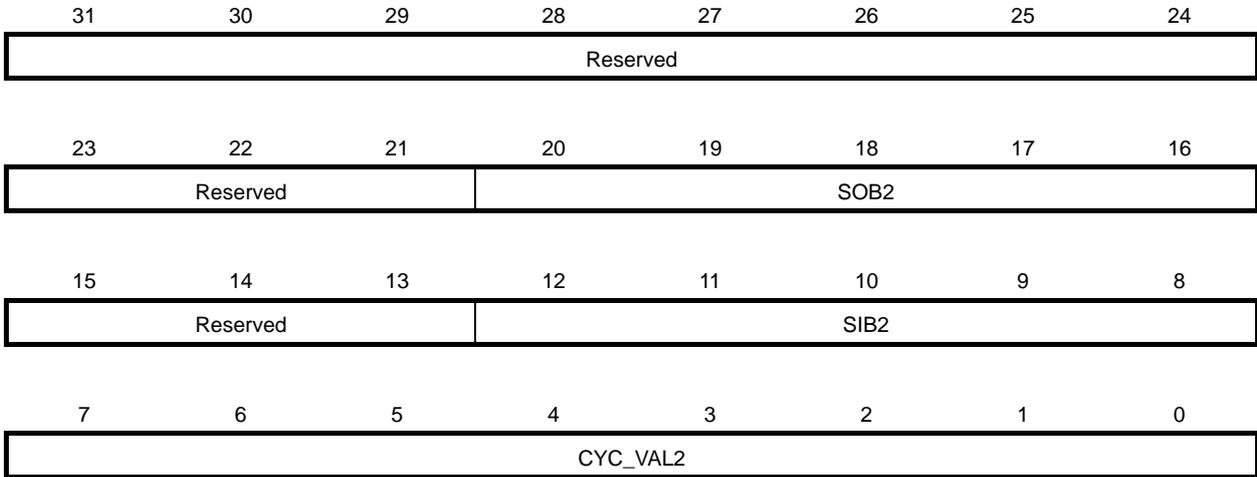
データ・パディングがある場合のリードは(受信データ・ビット長が8ビット,もしくは16ビットでも)32ビットのデータが詰められます。

詳細は, 4.1.3 データ・パディングを参照してください。

3.2.12 データ転送サイクル設定レジスタ 2

本レジスタ (PM0_CYCLE2:C001_0030H, PM1_CYCLE2:400D_0030H) は, mode 5, 6 の Phase 2 に対する設定です。ほかのモードでは設定が無効になります。

送受信許可前, 送受信禁止から 1Frame 期間以降 (mode5 ~ 6 の場合は Phase1 と 2 の設定で大きい方の 1Word 期間以降) に設定をしてください。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:21	0	予約。読み出すと 0 を返します。
SOB2	R/W	20:16	0	有効送信ビット数 (PMx_SO 信号) を PMx_CLK クロック数で設定します。 有効送信ビット数は (設定値 + 1) です。 設定範囲: 07H ~ 1FH (8 ~ 32 ビット) ^{注1}
Reserved	R	15:13	0	予約。読み出すと 0 を返します。
SIB2	R/W	12:8	0	有効受信ビット数 (PMx_SI 信号) を PMx_CLK クロック数で設定します。 有効受信ビット数は (設定値 + 1) です。 設定範囲: 07H ~ 1FH (8 ~ 32 ビット) ^{注1}
CYC_VAL2	R/W	7:0	0	1 フレームあたりの Phase2 のワード数で設定します。 mode 5 ~ 6 : 00H ~ 80H (0 ~ 128 ワード) ^{注2}

- 注 1. mode5 ~ 6 のとき, 送信 / 受信同時動作時の SOB2, SIB2 の設定値は同一となるように設定してください。
Phase1 (PMx_CYCLE.SOB, SIB) と異なる値の設定は可能です (SOB2 = SIB2 となるように設定すること。
SOB SOB2, SIB SIB2 という設定は可能です)。
2. mode5 ~ 6 のとき, PMx_CYCLE.CYC_VAL = 00H の場合, PMx_CYCLE2.CYC_VAL2 = 00H の設定は禁止です。
PMx_CYCLE2.CYC_VAL2 = 00H と設定した場合, PMx_CYCLE の設定値が有効となり, シングル・フェーズ動作をします。
Phase1 (PMx_CYCLE2.CYC_VAL2) と異なる値の設定は可能です (CYC_VAL CYC_VAL2 という設定は可能です)。

3.3 レジスタ機能 (PWM インタフェース)

レジスタ機能の説明では,チャンネル番号を x ,カウンタ番号を n と表記します。x = 0, 1 ,n = 0-2 の範囲になります。

3.3.1 PWM制御レジスタ

(1) PWM 動作開始 / 停止レジスタ

本レジスタ (PWM_CH0_CTRL : 4010_0000H , PWM_CH1_CTRL : 4010_0100H) は, PWM の起動レジスタです。

PWM_CHx_MODE レジスタで CMP_ENn (CMP イネーブル) を “1” にしてから, PWM_START を “1” にすることによりカウンタの動作を開始します。PWM_CHx_MODE レジスタの CMP_ENn を “1” にしても, PWM_START が “0” の間カウンタは動作しません。

カウンタ動作中に PWM_START に “0” を設定すると, PWM_PWCLKx で同期化したあとにカウンタが動作を停止し, PWM_OUT が “0” になります。

また, PWM_ENn で各カウンタの動作状況を読み出すことができます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved							
7	6	5	4	3	2	1	0
Reserved	PWM_EN2	PWM_EN1	PWM_EN0	Reserved			PWM_START

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:7	0	予約。読み出すと 0 を返します。
PWM_EN2 ^{注1}	R	6	0	CMP2 のカウンタのステータス 0 : カウンタ停止中, 1 : カウンタ動作中
PWM_EN1 ^{注1}	R	5	0	CMP1 のカウンタのステータス 0 : カウンタ停止中, 1 : カウンタ動作中
PWM_EN0 ^{注1}	R	4	0	CMP0 のカウンタのステータス 0 : カウンタ停止中, 1 : カウンタ動作中
Reserved	R	3:1	0	予約, 読み出すと 0 を返します
PWM_START ^{注2}	R/W	0	0	0 : カウンタ停止, 1 : カウンタ起動

注 1. PWM_ENn はシステム・クロックと非同期のため, 信号の変化点では各ステータスの値が前後することがあります。

2. 再起動する場合は PWM_START ビットを 0 に設定後, PWM_PWCLKx で 3 クロック以上の間隔をあけてください。

3.3.2 PWM設定レジスタ

(1) PWM0 モード制御レジスタ

本レジスタ (PWM_CH0_MODE : 4010_0004H, PWM_CH1_MODE : 4010_0104H) は, PWM の動作モードを設定するレジスタです。

CMP_ENn ビットをイネーブルにしてから PWM_CTRL の PWM_START を “1” に設定すると, 対応する CMPn が動作します。

注意 カウンタ動作中にこのレジスタを設定することは禁止です。

PWM_Chx_CTRL の PWM_START ビットが “1” の状態で設定した場合には動作を保証できません。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved						MOD	
15	14	13	12	11	10	9	8
Reserved					CMP_INV2	CMP_ATST2	CMP_EN2
7	6	5	4	3	2	1	0
Reserved	CMP_INV1	CMP_ATST1	CMP_EN1	Reserved	CMP_INV0	CMP_ATST0	CMP_EN0

(1/2)

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:18	0	予約, 読み出すと 0 を返します。
MOD	R/W	17:16	00b	00B : CMP0 ~ CMP2 のコンペア値信号を OR 01B : CMP0 ~ CMP2 のコンペア値信号を AND 10B : CMP0 ~ CMP2 のコンペア値信号を XOR
Reserved	R	15:11	0	予約, 読み出すと 0 を返します。
CMP_INV2	R/W	10	0	0 : CMP2 のコンペア結果をそのまま出力 1 : CMP2 のコンペア結果を反転出力
CMP_ATST2	R/W	9	0	0 : CMP2 は無限にループ (自動終了しない) 1 : CMP2 は PWM_CHx_LOOP2 で設定した指定回数ループ後に自動終了
CMP_EN2	R/W	8	0	0 : CMP2 ディスエーブル, 1 : CMP2 動作イネーブル CMP2_ATST に “1” を設定しているときは, ループ終了時に自動的に “0” になります。
Reserved	R	7	0	予約, 読み出すと 0 を返します。
CMP_INV1	R/W	6	0	0 : CMP1 のコンペア結果をそのまま出力 1 : CMP1 のコンペア結果を反転出力
CMP_ATST1	R/W	5	0	0 : CMP1 は無限にループ (自動終了しない) 1 : CMP1 は PWM_CHx_LOOP1 で設定した指定回数ループ後に自動終了
CMP_EN1	R/W	4	0	0 : CMP1 ディスエーブル, 1 : CMP1 動作イネーブル CMP1_ATST に “1” を設定しているときは, ループ終了時に自動的に “0” になります。
Reserved	R	3	0	予約, 読み出すと 0 を返します。

名 称	R/W	ビット	リセット時	機 能
CMP_INV0	R/W	2	0	0 : CMP0 のコンペア結果を出力 1 : CMP0 のコンペア結果を反転出力
CMP_ATST0	R/W	1	0	0 : CMP0 は無限にループ (自動終了しない) 1 : CMP0 は PWM_CHx_LOOP0 で設定した指定回数ループ後に自動終了
CMP_EN0	R/W	0	0	0 : CMP0 ディスエーブル, 1 : CMP0 動作イネーブル CMP_ATST0 に “ 1 ” を設定しているときは, ループ終了時に自動的に “ 0 ” になります。

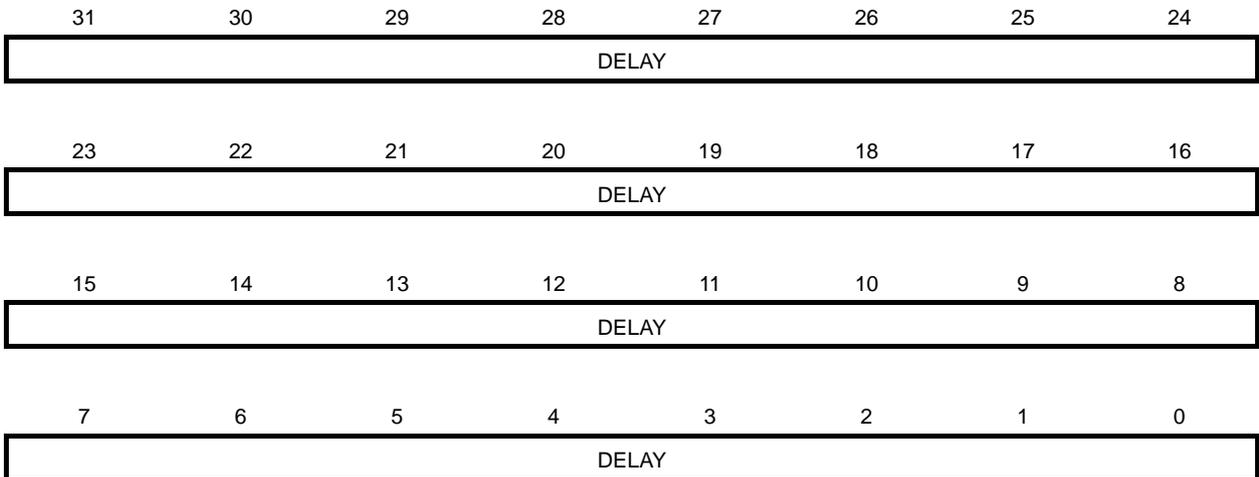
PWM_CHx_MODE [17:16]のMOD ビット設定と PWM_CHx_MODE [8, 4, 0]のCMP0_ENn ビットの設定によって PWM の出力は次のようになります。

	OR 指定 MOD = 00B	AND 指定 MOD = 01B	XOR 指定 MOD = 10B	設定禁止 MOD = 11B
CMP0 ~ 2 ディスエーブル CMP_EN = 000B	0	0	0	-
CMP0 のみイネーブル CMP_EN = 001B	CMP0	CMP0	CMP0	-
CMP0,1 イネーブル CMP_EN = 011B	CMP0 CMP1	CMP0 & CMP1	CMP0 ^ CMP1	-
CMP0 ~ 2 イネーブル CMP_EN = 111B	CMP0 CMP1 CMP2	CMP0 & CMP1 & CMP2	CMP0 ^ CMP1 ^ CMP2	-

(2) チャネルxカウンタnディレイ設定レジスタ

本レジスタは、CMPn の動作開始からの遅延を設定します。PWM_PWCLKx の周期 × ディレイ分、カウンタ・スタート開始時間を遅らせることができます。

- ・ PWM_CH0_DELAY0 : 4010_0010H
- ・ PWM_CH0_DELAY1 : 4010_0040H
- ・ PWM_CH0_DELAY2 : 4010_0080H
- ・ PWM_CH1_DELAY0 : 4010_0110H
- ・ PWM_CH1_DELAY1 : 4010_0140H
- ・ PWM_CH1_DELAY2 : 4010_0180H



名 称	R/W	ビット	リセット時	機 能
DELAY	R/W	31:0	0	遅延値設定ビット 0000_0000H : 遅延なし。ディレイ期間はありません。 0000_0001H : 基準からPWM_PWCLK × 1 サイクル遅らせる (83.3 ns遅れる) 0000_0002H : 基準からPWM_PWCLK × 2 サイクル遅らせる (166.6 ns遅れる) : 0000_FFFFH : 基準からPWM_PWCLK × 66535 サイクル遅らせる (5.5423 ms遅れる) : FFFF_FFFFH : 基準からPWM_PWCLK × 4294967295 サイクル遅らせる (357.7707757 s遅れる)

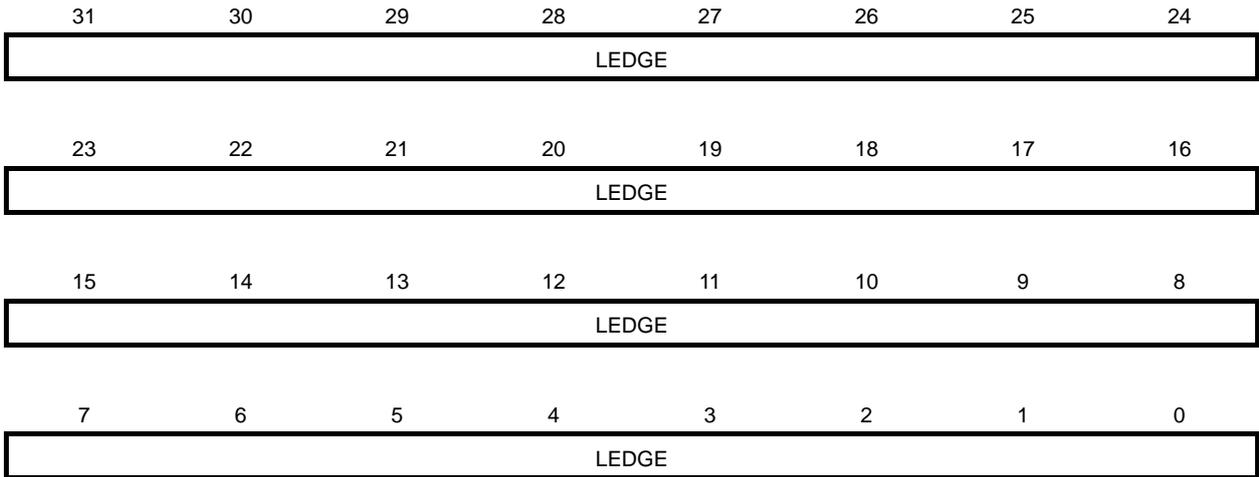
備考 () 内は PWM_PWCLKx の周波数が 12 MHz のときの値です。

(3) チャンネルxカウンタnリーディング・エッジ設定レジスタ

本レジスタは、カウンタnのリーディング・エッジ設定をするレジスタです。ディレイ期間が終わった次サイクルから PWM_PWCLKxの周期 x LEDGE の期間 ,CMPn からロウ・レベル(反転指定している場合はハイ・レベル)を出力します。

図 4 - 10 カウンタ0のみ動作したときのタイミングを参照してください。

- ・ PWM_CH0_LEDGE0 : 4010_0014H ・ PWM_CH1_LEDGE0 : 4010_0114H
- ・ PWM_CH0_LEDGE1 : 4010_0044H ・ PWM_CH1_LEDGE1 : 4010_0144H
- ・ PWM_CH0_LEDGE2 : 4010_0084H ・ PWM_CH1_LEDGE2 : 4010_0184H



名 称	R/W	ビット	リセット時	機 能
LEDGE ^注	R/W	31:0	0	リーディング・エッジ期間設定ビット 0000_0000H : 設定すると LEDGE 期間はなくなります。 0000_0001H : ロウ・レベルを PWM_PWCLK x 1 サイクル (83.3 ns) 0000_0002H : ロウ・レベルを PWM_PWCLK x 2 サイクル (166.6 ns) : 0000_FFFFH : ロウ・レベルを PWM_PWCLK x 66535 サイクル (5.5423 ms) : FFFF_FFFFH : ロウ・レベルを PWM_PWCLK x 4294967295 サイクル (357.7707757 s)

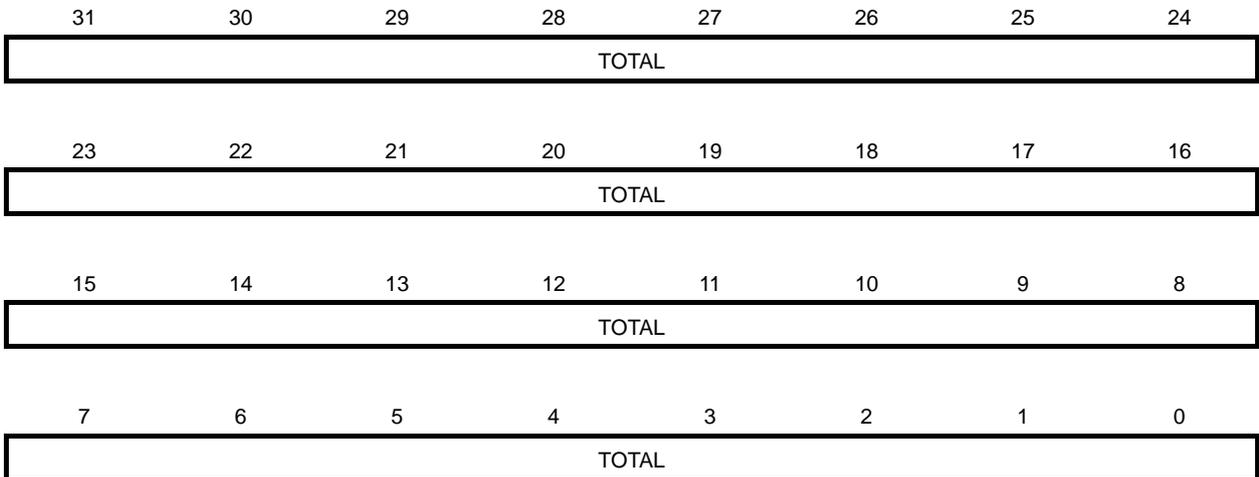
注 PWM_CHx_LEDGE_n < PWM_CHx_TEDGE_n PWM_CHx_TOTAL_n の制限があります。

備考 () 内は PWM_PWCLKx の周波数が 12 MHz のときの値です。

(5) チャネルxカウンタn 総周期設定レジスタ

本レジスタは、カウンタnの1周期を指定するレジスタです。PWM_PWCLKxの周期×TOTALが1周期の長さとなります。0000_0000Hは設定禁止です。設定した場合、動作は保障しません。

- ・ PWM_CH0_TOTAL0 : 4010_001CH
- ・ PWM_CH0_TOTAL1 : 4010_004CH
- ・ PWM_CH0_TOTAL2 : 4010_008CH
- ・ PWM_CH1_TOTAL0 : 4010_011CH
- ・ PWM_CH1_TOTAL1 : 4010_014CH
- ・ PWM_CH1_TOTAL2 : 4010_018CH



名称	R/W	ビット	リセット時	機能
TOTAL ^{注1}	R/W	31:0	0 ^{注2}	総周期設定ビット 0000_0000H : 設定禁止 ^{注2} 0000_0001H : 周期はPWM_PWCLK×1 サイクル (83.3 ns) 0000_0002H : 周期はPWM_PWCLK×2 サイクル (166.6 ns) : 0000_FFFFH : 周期はPWM_PWCLK×66535 サイクル (5.5423 ms) : FFFF_FFFFH : 周期はPWM_PWCLK×4294967295 サイクル (357.7707757 s)

注 1. PWM_CHx_LEDGE_n < PWM_CHx_TEDGE_n PWM_CHx_TOTAL_n の制限があります。

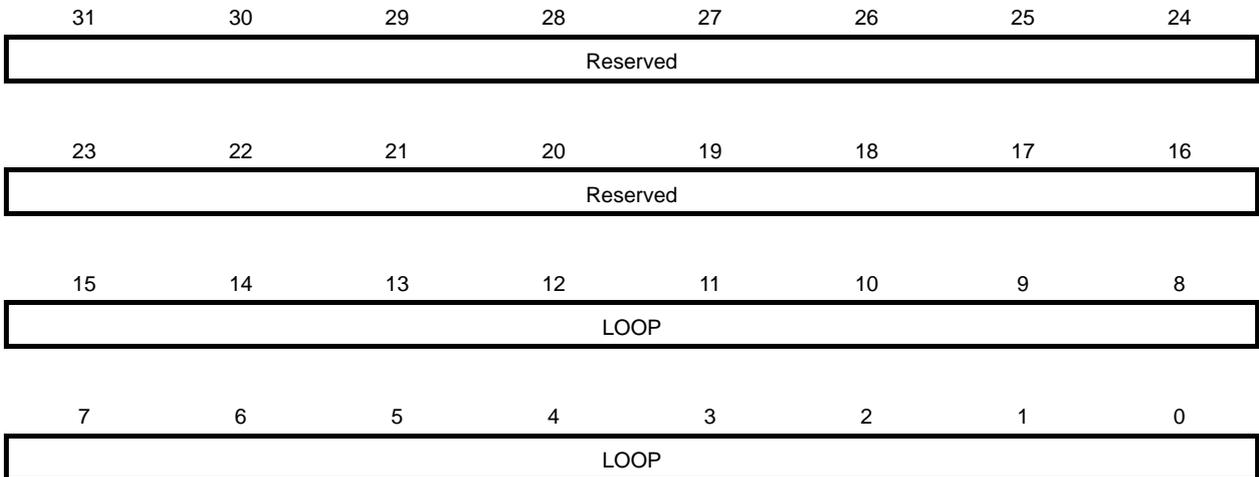
2. リセット値の0は設定禁止です。必ず更新してから使用してください。

備考 ()内は PWM_PWCLKx の周波数が 12 MHz のときの値です。

(6) チャネルxカウンタ・nループ回数設定レジスタ

本レジスタは、このレジスタに設定した回数分の周期を繰り返します。繰り返したあとに自動的にカウンタは停止します。

- ・ PWM_CH0_LOOP0 : 4010_0020H
- ・ PWM_CH0_LOOP1 : 4010_0050H
- ・ PWM_CH0_LOOP2 : 4010_0090H
- ・ PWM_CH1_LOOP0 : 4010_0120H
- ・ PWM_CH1_LOOP1 : 4010_0150H
- ・ PWM_CH1_LOOP2 : 4010_0190H



名 称	R/W	ビット	リセット時	機 能
Reserved	R/W	31:16	0	予約。読み出すと0を返します。
LOOP ^{注1}	R/W	15:0	0 ^{注2}	0000H : 設定禁止 ^{注2} 0001H : 1回カウントしたあとにカウンタは停止 0002H : 2回繰り返したあとにカウンタは停止 : FFFFH : 65535回繰り返したあとにカウンタは停止

- 注1. 値を設定しても、PWM_CHx_MODEでCMP_ATSTnビットが“0”の場合には自動停止はしません。
またCMP_ATSTnビットが“1”の場合には0000Hの値は設定禁止です。必ず1以上の値を設定してください。
2. リセット値の0は設定禁止です。必ず更新してから使用してください。

3.3.3 PWM割り込みレジスタ

PWMはカウンタごとに割り込みを持っており、次の2種類の割り込みがあります。

- ・カウンタ終了割り込み：カウンタが総周期までカウントされる度に発生
- ・ループ終了割り込み：ループ指定時に指定回数のループが終了すると発生

PWM_INT 端子からは各割り込みステータス (PWM_INTSTATUS) の OR を取った信号が出力されます。

(1) PWM 割り込みステータス・レジスタ

本レジスタ (PWM_INTSTATUS : 4010_0400H) は、PWM_INTENSET でイネールになっている割り込み要因の状態を示します。

ディスエールになっている場合は常に0が読み出されます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved	Ch1_CMP2_	Ch1_CMP2_	Ch1_CMP1_	Ch1_CMP1_	Ch1_CMP0_	Ch1_CMP0_	
	LENDSTATUS	CENDSTATUS	LENDSTATUS	CENDSTATUS	LENDSTATUS	CENDSTATUS	
7	6	5	4	3	2	1	0
Reserved	Ch0_CMP2_	Ch0_CMP2_	Ch0_CMP1_	Ch0_CMP1_	Ch0_CMP0_	Ch0_CMP0_	
	LENDSTATUS	CENDSTATUS	LENDSTATUS	CENDSTAUS	LENDSTATUS	CENDSTATUS	

名称	R/W	ビット	リセット時	機能
Reserved	R	31:14	0	予約。読み出すと0を返します。
Ch1_CMP2_LENDSTATUS	R	13	0	チャンネル1 CMP2のループ終了割り込みステータスを示します。
Ch1_CMP2_CENDSTATUS	R	12	0	チャンネル1 CMP2のカウント終了割り込みステータスを示します。
Ch1_CMP1_LENDSTATUS	R	11	0	チャンネル1 CMP1のループ終了割り込みステータスを示します。
Ch1_CMP1_CENDSTATUS	R	10	0	チャンネル1 CMP1のカウント終了割り込みステータスを示します。
Ch1_CMP0_LENDSTATUS	R	9	0	チャンネル1 CMP0のループ終了割り込みのステータスを示します。
Ch1_CMP0_CENDSTATUS	R	8	0	チャンネル1 CMP0のカウント終了割り込みステータスを示します。
Reserved	R	7:6	0	予約。読み出すと0を返します。
Ch0_CMP2_LENDSTATUS	R	5	0	チャンネル0 CMP2のループ終了割り込みステータスを示します。
Ch0_CMP2_CENDSTATUS	R	4	0	チャンネル0 CMP2のカウント終了割り込みステータスを示します。
Ch0_CMP1_LENDSTATUS	R	3	0	チャンネル0 CMP1のループ終了割り込みステータスを示します。
Ch0_CMP1_CENDSTAUS	R	2	0	チャンネル0 CMP1のカウント終了割り込みステータスを示します。
Ch0_CMP0_LENDSTATUS	R	1	0	チャンネル0 CMP0のループ終了割り込みステータスを示します。
Ch0_CMP0_CENDSTATUS	R	0	0	チャンネル0 CMP0のカウント終了割り込みステータスを示します。

備考 0：割り込み要求なし

1：割り込み要求あり

(2) PWM 割り込み Raw ステータス・レジスタ

本レジスタ (PWM_INTRAWSTATUS : 4010_0404H) は, PWM_INTENSET で割り込み要因がイネーブル / ディスエーブルの状態に関わらず, 割り込み要因を示します。

このレジスタにより, 保留中の割り込み要因をモニタすることができます。

31	30	29	28	27	26	25	24
Reserved							
23	22	21	20	19	18	17	16
Reserved							
15	14	13	12	11	10	9	8
Reserved	CH1_CMP2_L END_RAW STATUS	CH1_CMP2_C END_RAW STATUS	CH1_CMP1_L END_RAW STATUS	CH1_CMP1_C END_RAW STATUS	CH1_CMP0_L END_RAW STATUS	CH1_CMP0_C END_RAW STATUS	
7	6	5	4	3	2	1	0
Reserved	CH0_CMP2_L END_RAW STATUS	CH0_CMP2_C END_RAW STATUS	CH0_CMP1_L END_RAW STATUS	CH0_CMP1_C END_RAW STATUS	CH0_CMP0_L END_RAW STATUS	CH0_CMP0_C END_RAW STATUS	

名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:14	0	予約。読み出すと0を返します。
CH1_CMP2_L END_RAW STATUS	R	13	0	Ch1 CMP2 のループ終了割り込みの Raw ステータスを示します。
CH1_CMP2_C END_RAW STATUS	R	12	0	Ch1 CMP2 のカウント終了割り込みの Raw ステータスを示します。
CH1_CMP1_L END_RAW STATUS	R	11	0	Ch1 CMP1 のループ終了割り込みの Raw ステータスを示します。
CH1_CMP1_C END_RAW STATUS	R	10	0	Ch1 CMP1 のカウント終了割り込みの Raw ステータスを示します。
CH1_CMP0_L END_RAW STATUS	R	9	0	Ch1 CMP0 のループ終了割り込みの Raw ステータスを示します。
CH1_CMP0_C END_RAW STATUS	R	8	0	Ch1 CMP0 のカウント終了割り込みの Raw ステータスを示します。
Reserved	R	7:6	0	予約。読み出すと0を返します。
CH0_CMP2_L END_RAW STATUS	R	5	0	Ch0 CMP2 のループ終了割り込みの Raw ステータスを示します。
CH0_CMP2_C END_RAW STATUS	R	4	0	Ch0 CMP2 のカウント終了割り込みの Raw ステータスを示します。
CH0_CMP1_L END_RAW STATUS	R	3	0	Ch0 CMP1 のループ終了割り込みの Raw ステータスを示します。
CH0_CMP1_C END_RAW STATUS	R	2	0	Ch0 CMP1 のカウント終了割り込みの Raw ステータスを示します。
CH0_CMP0_L END_RAW STATUS	R	1	0	Ch0 CMP0 のループ終了割り込みの Raw ステータスを示します。
CH0_CMP0_C END_RAW STATUS	R	0	0	Ch0 CMP0 のカウント終了割り込みの Raw ステータスを示します。

注意 要因セットと要因クリアが同時の場合にはセット優先です。

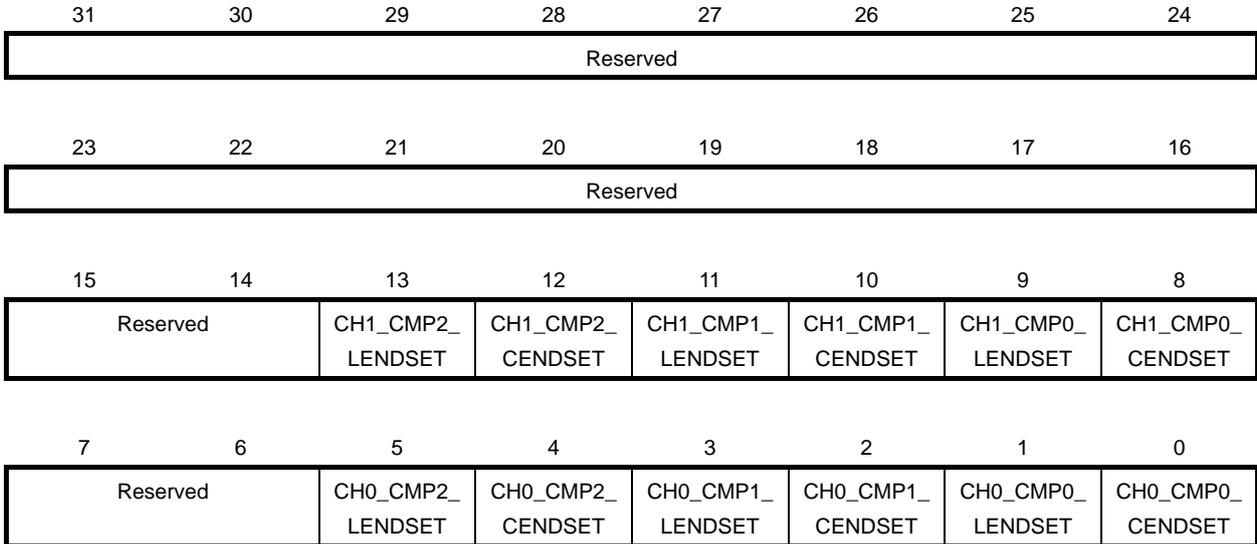
ただし, 同じ要因のセット間隔が “ PWM_PCLK 周期 × 4 + PWM_PWCLKx 周期 × 4 ” 以下の場合には, 要因クリア後に正しくセットされない場合があります。その次の要因セット・タイミングではセットされます。

備考 0 : 割り込み要求なし

1 : 割り込み要求あり

(3) PWM 割り込みイネーブル・セット・レジスタ

本レジスタ (PWM_INTENSET : 4010_0408H) は、割り込み要因のセットを行います。1 をセットしたビットのみレジスタ内容を更新します。読み出すと現在の割り込みのイネーブル/ディスエーブル状態を出力します。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:14	0	予約、読み出すと0を返します
CH1_CMP2_LENDSET	R/W	13	0	Ch1 CMP2 のループ終了割り込みイネーブルを制御します。
CH1_CMP2_CENDSET	R/W	12	0	Ch1 CMP2 のカウント終了割り込みイネーブルを制御します。
CH1_CMP1_LENDSET	R/W	11	0	Ch1 CMP1 のループ終了割り込みイネーブルを制御します。
CH1_CMP1_CENDSET	R/W	10	0	Ch1 CMP1 のカウント終了割り込みイネーブルを制御します。
CH1_CMP0_LENDSET	R/W	9	0	Ch1 CMP0 のループ終了割り込みイネーブルを制御します。
CH1_CMP0_CENDSET	R/W	8	0	Ch1 CMP0 のカウント終了割り込みイネーブルを制御します。
Reserved	R	7:6	0	予約、読み出すと0を返します
CH0_CMP2_LENDSET	R/W	5	0	Ch0 CMP2 のループ終了割り込みイネーブルを制御します。
CH0_CMP2_CENDSET	R/W	4	0	Ch0 CMP2 のカウント終了割り込みイネーブルを制御します。
CH0_CMP1_LENDSET	R/W	3	0	Ch0 CMP1 のループ終了割り込みイネーブルを制御します。
CH0_CMP1_CENDSET	R/W	2	0	Ch0 CMP1 のカウント終了割り込みのイネーブルを制御します。
CH0_CMP0_LENDSET	R/W	1	0	Ch0 CMP0 のループ終了割り込みイネーブルを制御します。
CH0_CMP0_CENDSET	R/W	0	0	Ch0 CMP0 のカウント終了割り込みのイネーブルを制御します。

備考 ライト時：割り込みイネーブル・ビットをセットします。

- 1：割り込みイネーブル・ビットをセット
- 0：割り込みイネーブル・ビットを保持

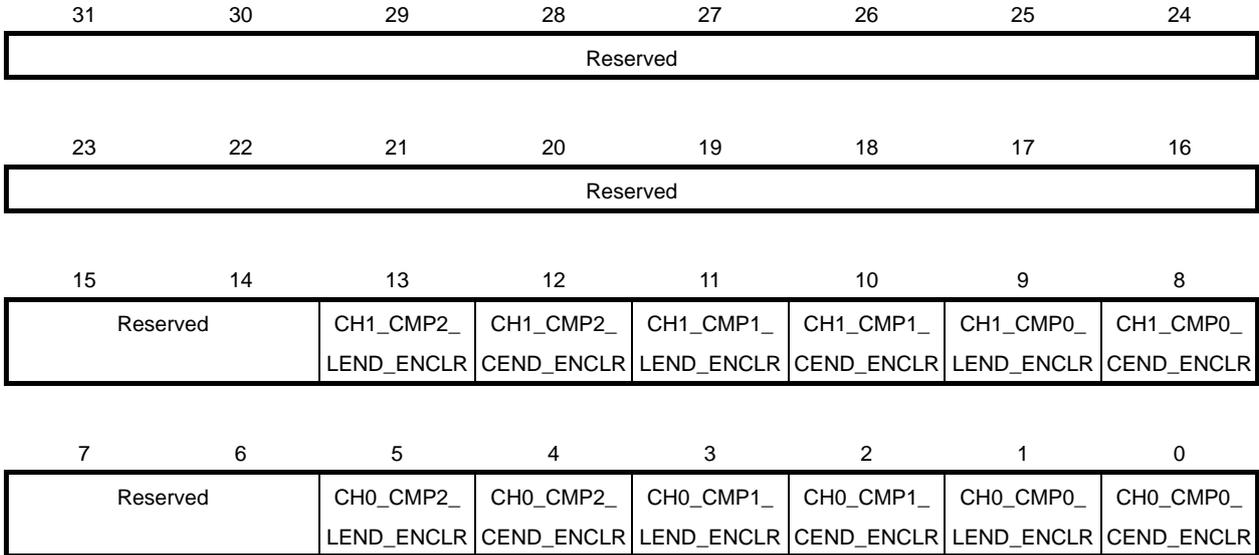
リード時：割り込みイネーブル・ビットの状態を示します。

- 1：割り込み要求発行許可状態
- 0：割り込み要求発行禁止状態

(4) PWM 割り込みイネーブル・クリア・レジスタ

本レジスタ (PWM_INTENCLR : 4010_040CH) は、割り込み要因のイネーブルをクリアします。

1 をセットしたビットのみレジスタ内容を更新します。このレジスタは書き込みのみのため、読み出すと“0”を返します。



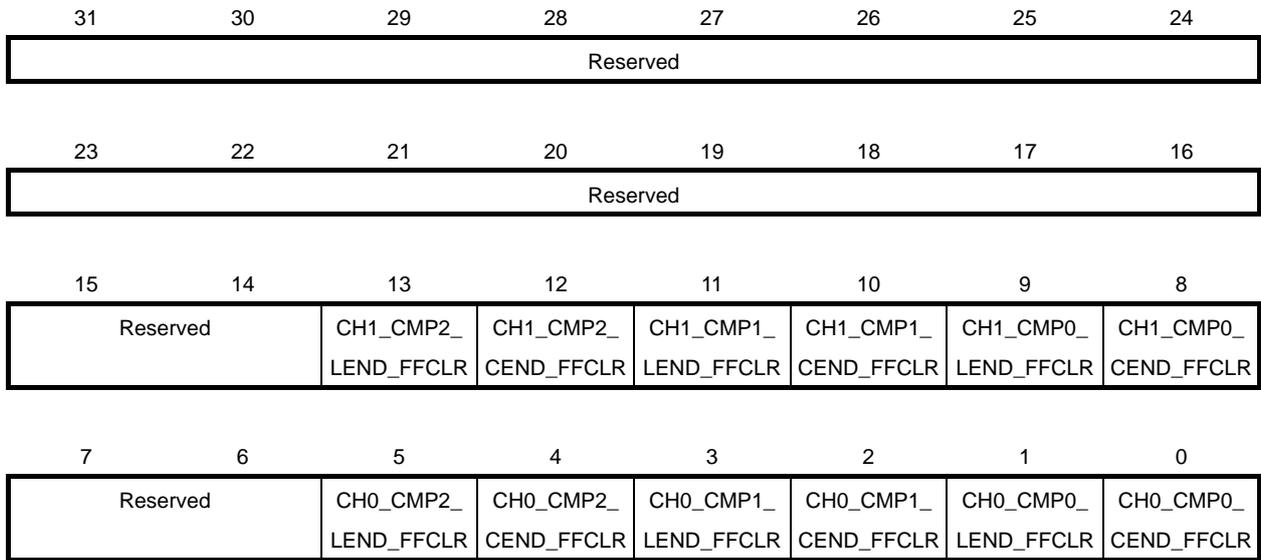
名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:14	0	予約。読み出すと0を返します。
CH1_CMP2_LEND_ENCLR	W	13	0	Ch1 CMP2 のループ終了割り込みイネーブル・ビットをクリアします。
CH1_CMP2_CEND_ENCLR	W	12	0	Ch1 CMP2 のカウント終了割り込みイネーブル・ビットをクリアします。
CH1_CMP1_LEND_ENCLR	W	11	0	Ch1 CMP1 のループ終了割り込みイネーブル・ビットをクリアします。
CH1_CMP1_CEND_ENCLR	W	10	0	Ch1 CMP1 のカウント終了割り込みイネーブル・ビットをクリアします。
CH1_CMP0_LEND_ENCLR	W	9	0	Ch1 CMP0 のループ終了割り込みイネーブル・ビットをクリアします。
CH1_CMP0_CEND_ENCLR	W	8	0	Ch1 CMP0 のカウント終了割り込みイネーブル・ビットをクリアします。
Reserved	R	7:6	0	予約。読み出すと0を返します。
CH0_CMP2_LEND_ENCLR	W	5	0	Ch0 CMP0 のループ終了割り込みイネーブル・ビットをクリアします。
CH0_CMP2_CEND_ENCLR	W	4	0	Ch0 CMP2 のカウント終了割り込みイネーブル・ビットをクリアします。
CH0_CMP1_LEND_ENCLR	W	3	0	Ch0 CMP0 のループ終了割り込みイネーブル・ビットをクリアします。
CH0_CMP1_CEND_ENCLR	W	2	0	Ch0 CMP1 のカウント終了割り込みイネーブル・ビットをクリアします。
CH0_CMP0_LEND_ENCLR	W	1	0	Ch0 CMP0 のループ終了割り込みイネーブル・ビットをクリアします。
CH0_CMP0_CEND_ENCLR	W	0	0	Ch0 CMP0 のカウント終了割り込みイネーブル・ビットをクリアします。

備考 1 : 割り込みイネーブル・ビットをクリア (割り込みマスク)

0 : 割り込みイネーブル・ビットを保持

(5) PWM 割り込み要因クリア・レジスタ

本レジスタ (PWM_INTFFCLR : 4010_0410H) は、発生した割り込み要因のクリアを行います。1 をセットしたビットのみレジスタ内容を更新します。このレジスタは書き込みのみのため、読み出すと 0 を返します。



名 称	R/W	ビット	リセット時	機 能
Reserved	R	31:14	0	予約。読み出すと 0 を返します。
CH1_CMP2_LEND_FFCLR	W	13	0	Ch1 CMP2 のループ終了割り込み要因ビットをクリアします。
CH1_CMP2_CEND_FFCLR	W	12	0	Ch1 CMP2 のカウント終了割り込み要因ビットをクリアします。
CH1_CMP1_LEND_FFCLR	W	11	0	Ch1 CMP1 のループ終了割り込み要因ビットをクリアします。
CH1_CMP1_CEND_FFCLR	W	10	0	Ch1 CMP1 のカウント終了割り込み要因ビットをクリアします。
CH1_CMP0_LEND_FFCLR	W	9	0	Ch1 CMP0 のループ終了割り込み要因ビットをクリアします。
CH1_CMP0_CEND_FFCLR	W	8	0	Ch1 CMP0 のカウント終了割り込み要因ビットをクリアします。
Reserved	R	7:6	0	予約。読み出すと 0 を返します。
CH0_CMP2_LEND_FFCLR	W	5	0	Ch0 CMP2 のループ終了割り込み要因ビットをクリアします。
CH0_CMP2_CEND_FFCLR	W	4	0	Ch0 CMP2 のカウント終了割り込み要因ビットをクリアします。
CH0_CMP1_LEND_FFCLR	W	3	0	Ch0 CMP1 のループ終了割り込み要因ビットをクリアします。
CH0_CMP1_CEND_FFCLR	W	2	0	Ch0 CMP1 のカウント終了割り込み要因ビットをクリアします。
CH0_CMP0_LEND_FFCLR	W	1	0	Ch0 CMP0 のループ終了割り込み要因ビットをクリアします。
CH0_CMP0_CEND_FFCLR	W	0	0	Ch0 CMP0 のカウント終了割り込み要因ビットをクリアします。

備考 1 : 割り込み要因をクリア
0 : 割り込み要因を保持

第4章 機能詳細

4.1 Audio/Voice インタフェース

Audio/Voice インタフェースは、外部の音声コーデック・デバイスやオーディオ・コーデック・デバイスと接続するためのシリアル・インタフェースです。シリアル・クロックとフレーム同期信号を外部から受け取り動作するスレーブ・モード、シリアル・クロックとフレーム同期信号を生成して動作するマスタ・モードを選択可能です。また、7種類のシリアル・インタフェース・タイミングをサポートします。

送信/受信の FIFO バッファ、および DMA コントローラとデータ送受信を行うためのインタフェース (DMA リクエスト発行機能) を備えています。

4.1.1 マスタ・モード/スレーブ・モード設定

シリアル・クロック (PMx_CLK) とフレーム同期信号 (PMx_SEN) に対し、マスタ・モード動作あるいはスレーブ・モード動作を選択できます。マスタ・モード/スレーブ・モード選択には、動作モード設定レジスタ (PMx_FUNC_SEL) の M_S ビットを使用します。マスタ・モード動作時は、シリアル・クロックとフレーム同期信号を生成して出力します。スレーブ・モード動作時は、シリアル・クロックとフレーム同期信号を外部のデバイスから受け取り、動作します。

リセット解除後の初期状態では、マスタ・モード動作もスレーブ・モード動作も選択されていません。Audio/Voice インタフェースを使用する場合は動作モード設定レジスタ (PMx_FUNC_SEL) の M_S ビットによりどちらかのモードを選択する必要があります。

4.1.2 シリアル・インタフェースのタイミング

7種類 (mode 0~mode 6) のシリアル・インタフェース・モードからひとつを選択し、各モードに応じたインタフェース・タイミングを使用してシリアル・データの送受信を行います。シリアル・インタフェース・モード選択には、動作モード設定レジスタ (PMx_FUNC_SEL) の MODE_SEL ビットを使用します。また、フレーム同期信号周期、有効受信ビット数、有効送信ビット数を設定する必要があります。

- ・フレーム同期信号周期設定 : データ転送サイクル設定レジスタ (PMx_CYCLE) の CYC_VAL ビットで、フレーム周期を設定します。
CYC_VAL に 1 を加えた値がフレーム同期信号周期となります。
- ・有効受信ビット数 (mode 0~4 の場合) : データ転送サイクル設定レジスタ (PMx_CYCLE) の SIB ビットで、有効受信ビット数を設定します。
SIB に 1 を加えた値が有効受信ビット数となります。有効受信ビット数設定範囲は 8~32 ビットです。
CYC_VAL SIB となるように設定する必要があります。
- ・有効受信ビット数 (mode 5~6 の場合) : Phase 1 はデータ転送サイクル設定レジスタ (PMx_CYCLE) の SIB ビットで、Phase 2 はデータ転送サイクル設定レジスタ 2 (PMx_CYCLE2) の SIB2 ビットで有効受信ビット数を設定します。
SIB, SIB2 に 1 を加えた値が有効受信ビット数となります。有効受信ビット数設定範囲は 8~32 ビットです。
SOB と SIB, SOB2 と SIB2 の設定値は同一 (SOB = SIB, SOB2 = SIB2) になるように設定する必要があります。
- ・有効送信ビット数 (mode 0~4 の場合) : データ転送サイクル設定レジスタ (PMx_CYCLE) の SOB ビットで、有効送信ビット数を設定します。
SOB に 1 を加えた値が有効送信ビット数となります。有効送信ビット数設定範囲は 8~32 ビットです。
CYC_VAL SOB となるように設定する必要があります。
- ・有効送信ビット数 (mode 5~6 の場合) : Phase 1 はデータ転送サイクル設定レジスタ (PMx_CYCLE) の SOB ビットで、Phase 2 はデータ転送サイクル設定レジスタ 2 (PMx_CYCLE2) の SOB2 ビットで有効送信ビット数を設定します。
SOB, SOB2 に 1 を加えた値が有効送信ビット数となります。有効送信ビット数設定範囲は 8~32 ビットです。
SOB と SIB, SOB2 と SIB2 の設定値は同一 (SOB = SIB, SOB2 = SIB2) になるように設定する必要があります。

シリアル入出力データはすべてのモードで MSB ファーストです。リセット解除後の初期状態では、mode 0 設定となります。

各モード選択時の信号出力タイミングおよび信号サンプリング・タイミングの一覧を表 4-1 に示します。

表 4-1 信号出力タイミングおよび信号サンプリング・タイミング一覧

(PMx_FUNC_SEL.CLK_INV=0) の場合

モード	PMx_SEN (マスタ・モード) 出力タイミング	PMx_SO 出力タイミング	PMx_SEN (スレーブ・モード) / PMx_SI サンプリング・タイミング
mode 0	PMx_CLK 立ち上がり		PMx_CLK 立ち下がり
mode 1	PMx_CLK 立ち下がり	PMx_CLK 立ち上がり	PMx_CLK 立ち上がり
mode 2	PMx_CLK 立ち下がり		PMx_CLK 立ち上がり
mode 3			
mode 4			
mode 5	PMx_CLK 立ち上がり		PMx_CLK 立ち下がり
mode 6	PMx_CLK 立ち下がり	PMx_CLK 立ち上がり	PMx_CLK 立ち上がり

(PMx_FUNC_SEL.CLK_INV=1) の場合

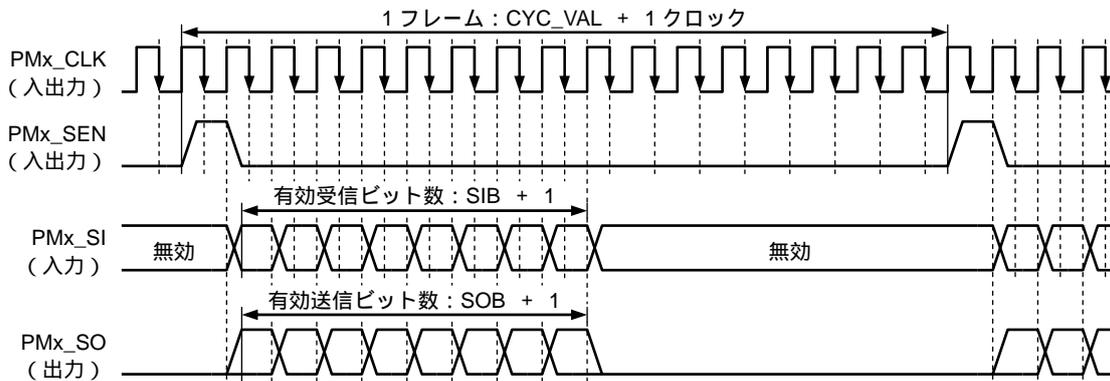
モード	PMx_SEN (マスタ・モード) 出力タイミング	PMx_SO 出力タイミング	PMx_SEN (スレーブ・モード) / PMx_SI サンプリング・タイミング
mode 0	PMx_CLK 立ち下がり		PMx_CLK 立ち上がり
mode 1	PMx_CLK 立ち上がり	PMx_CLK 立ち下がり	PMx_CLK 立ち下がり
mode 2	PMx_CLK 立ち上がり		PMx_CLK 立ち下がり
mode 3			
mode 4			
mode 5	PMx_CLK 立ち下がり		PMx_CLK 立ち上がり
mode 6	PMx_CLK 立ち上がり	PMx_CLK 立ち下がり	PMx_CLK 立ち下がり

(1) mode 0 シリアル・インタフェース・タイミング

図 4 - 1にmode 0 選択時のシリアル・インタフェース・タイミングを示します。

- (a - 1) マスタ・モード時フレーム同期信号 (PMx_SEN) 出力タイミング
フレーム同期信号 (PMx_SEN) をシリアル・クロック信号 (PMx_CLK) の立ち上がり同期で出力します。
- (a - 2) スレーブ・モード時フレーム同期信号 (PMx_SEN) サンプルング・タイミング
フレーム同期信号 (PMx_SEN) をシリアル・クロック信号 (PMx_CLK) の立ち下がり同期でサンプルングします。
- (b) 送信データ (PMx_SO) 出力タイミング
送信データ (PMx_SO) をシリアル・クロック信号 (PMx_CLK) の立ち上がり同期で出力します。
- (c) 受信データ (PMx_SI) サンプルング・タイミング
受信データ (PMx_SI) をシリアル・クロック信号 (PMx_CLK) の立ち下がり同期でサンプルングします。

図 4 - 1 mode 0 選択時のシリアル・インタフェース・タイミング

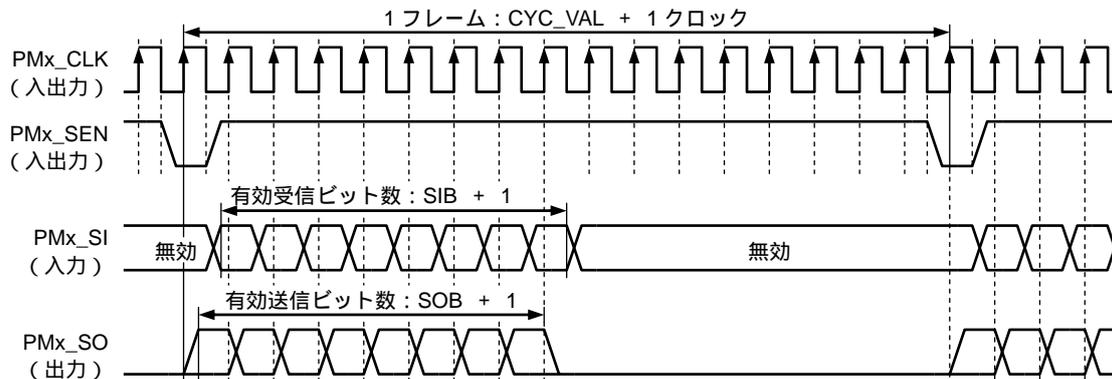


(2) mode 1 シリアル・インタフェース・タイミング

図 4 - 2にmode 1 選択時のシリアル・インタフェース・タイミングを示します。

- (a - 1) マスタ・モード時フレーム同期信号 (PMx_SEN) 出力タイミング
フレーム同期信号 (PMx_SEN) をシリアル・クロック信号 (PMx_CLK) の立ち下がり同期で出力します。
- (a - 2) スレーブ・モード時フレーム同期信号 (PMx_SEN) サンプルング・タイミング
フレーム同期信号 (PMx_SEN) をシリアル・クロック信号 (PMx_CLK) の立ち上がり同期でサンプルングします。
- (b) 送信データ (PMx_SO) 出力タイミング
送信データ (PMx_SO) をシリアル・クロック信号 (PMx_CLK) の立ち上がり同期で出力します。
- (c) 受信データ (PMx_SI) サンプルング・タイミング
受信データ (PMx_SI) をシリアル・クロック信号 (PMx_CLK) の立ち上がり同期でサンプルングします。

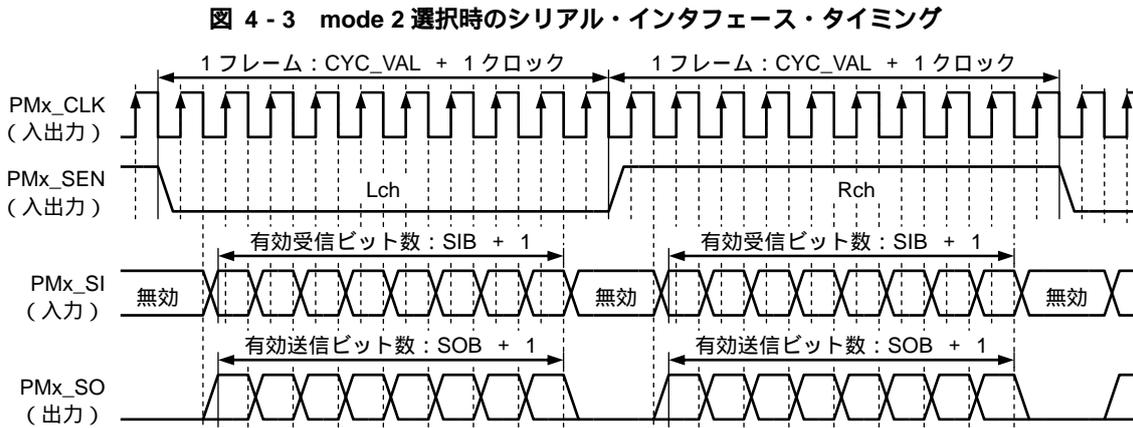
図 4 - 2 mode 1 選択時のシリアル・インタフェース・タイミング



(3) mode 2 シリアル・インタフェース・タイミング

図 4 - 3にmode 2 選択時のシリアル・インタフェース・タイミングを示します。PMx_SENロウ・レベル期間がLch信号転送タイミング，PMx_SENハイ・レベル期間がRch信号転送タイミングです。

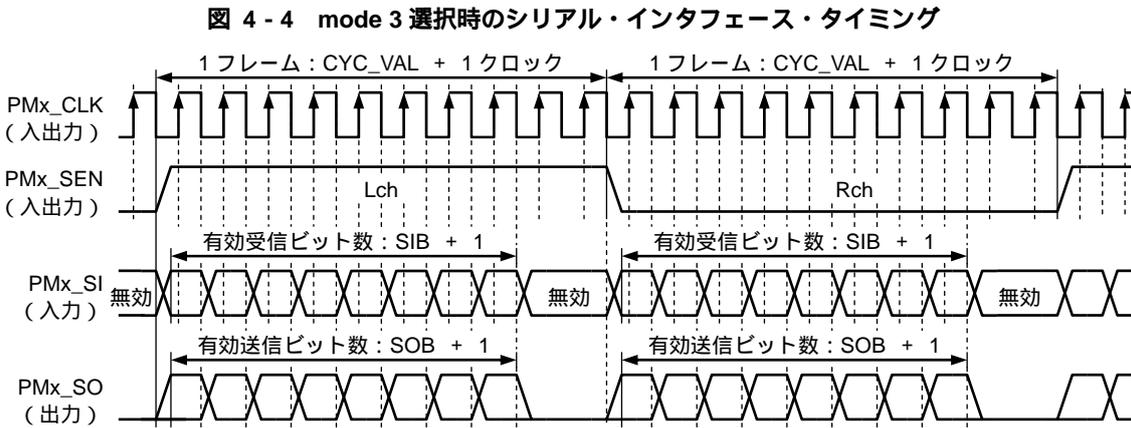
- (a - 1) マスタ・モード時フレーム同期信号 (PMx_SEN) 出力タイミング
フレーム同期信号 (PMx_SEN) をシリアル・クロック信号 (PMx_CLK) の立ち下がり同期で出力します。
- (a - 2) スレーブ・モード時フレーム同期信号 (PMx_SEN) サンプルング・タイミング
フレーム同期信号 (PMx_SEN) をシリアル・クロック信号 (PMx_CLK) の立ち上がり同期でサンプルングします。
- (b) 送信データ (PMx_SO) 出力タイミング
送信データ (PMx_SO) をシリアル・クロック信号 (PMx_CLK) の立ち下がり同期で出力します。
- (c) 受信データ (PMx_SI) サンプルング・タイミング
受信データ (PMx_SI) をシリアル・クロック信号 (PMx_CLK) の立ち上がり同期でサンプルングします。



(4) mode 3 シリアル・インタフェース・タイミング

図 4 - 4にmode 3 選択時のシリアル・インタフェース・タイミングを示します。PMx_SENハイ・レベル期間がLch信号転送タイミング，PMx_SENロウ・レベル期間がRch信号転送タイミングです。

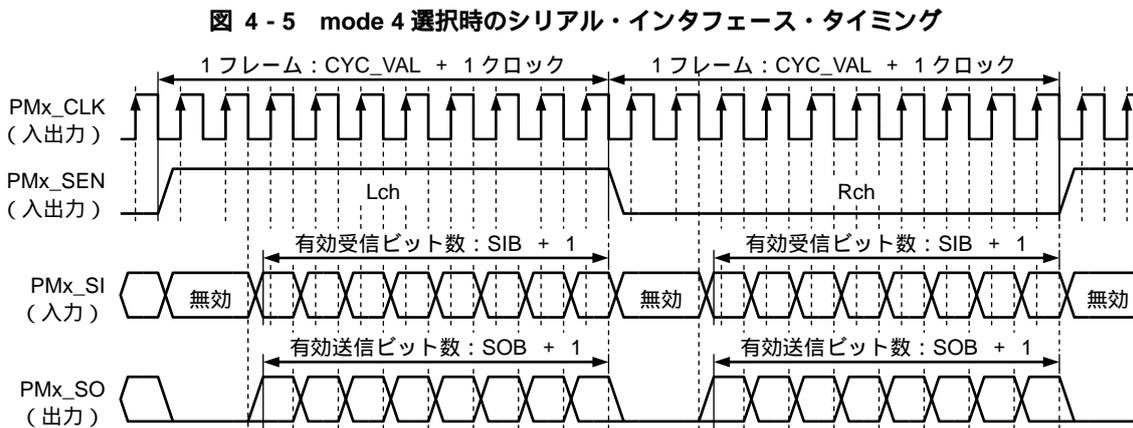
- (a - 1) マスタ・モード時フレーム同期信号 (PMx_SEN) 出力タイミング
 フレーム同期信号 (PMx_SEN) をシリアル・クロック信号 (PMx_CLK) の立ち下がり同期で出力します。
- (a - 2) スレーブ・モード時フレーム同期信号 (PMx_SEN) サンプルング・タイミング
 フレーム同期信号 (PMx_SEN) をシリアル・クロック信号 (PMx_CLK) の立ち上がり同期でサンプルングします。
- (b) 送信データ (PMx_SO) 出力タイミング
 送信データ (PMx_SO) をシリアル・クロック信号 (PMx_CLK) の立ち下がり同期で出力します。
- (c) 受信データ (PMx_SI) サンプルング・タイミング
 受信データ (PMx_SI) をシリアル・クロック信号 (PMx_CLK) の立ち上がり同期でサンプルングします。



(5) mode 4 シリアル・インタフェース・タイミング

図 4 - 5にmode 4 選択時のシリアル・インタフェース・タイミングを示します。PMx_SENハイ・レベル期間がLch信号転送タイミング，PMx_SENロウ・レベル期間がRch信号転送タイミングです。

- (a - 1) マスタ・モード時フレーム同期信号 (PMx_SEN) 出力タイミング
フレーム同期信号 (PMx_SEN) をシリアル・クロック信号 (PMx_CLK) の立ち下がり同期で出力します。
- (a - 2) スレーブ・モード時フレーム同期信号 (PMx_SEN) サンプルング・タイミング
フレーム同期信号 (PMx_SEN) をシリアル・クロック信号 (PMx_CLK) の立ち上がり同期でサンプルングします。
- (b) 送信データ (PMx_SO) 出力タイミング
送信データ (PMx_SO) をシリアル・クロック信号 (PMx_CLK) の立ち下がり同期で出力します。
- (c) 受信データ (PMx_SI) サンプルング・タイミング
受信データ (PMx_SI) をシリアル・クロック信号 (PMx_CLK) の立ち上がり同期でサンプルングします。



(6) mode 5 シリアル・インタフェース・タイミング

図 4 - 6にmode 5 選択時のシリアル・インタフェース・タイミングを示します。

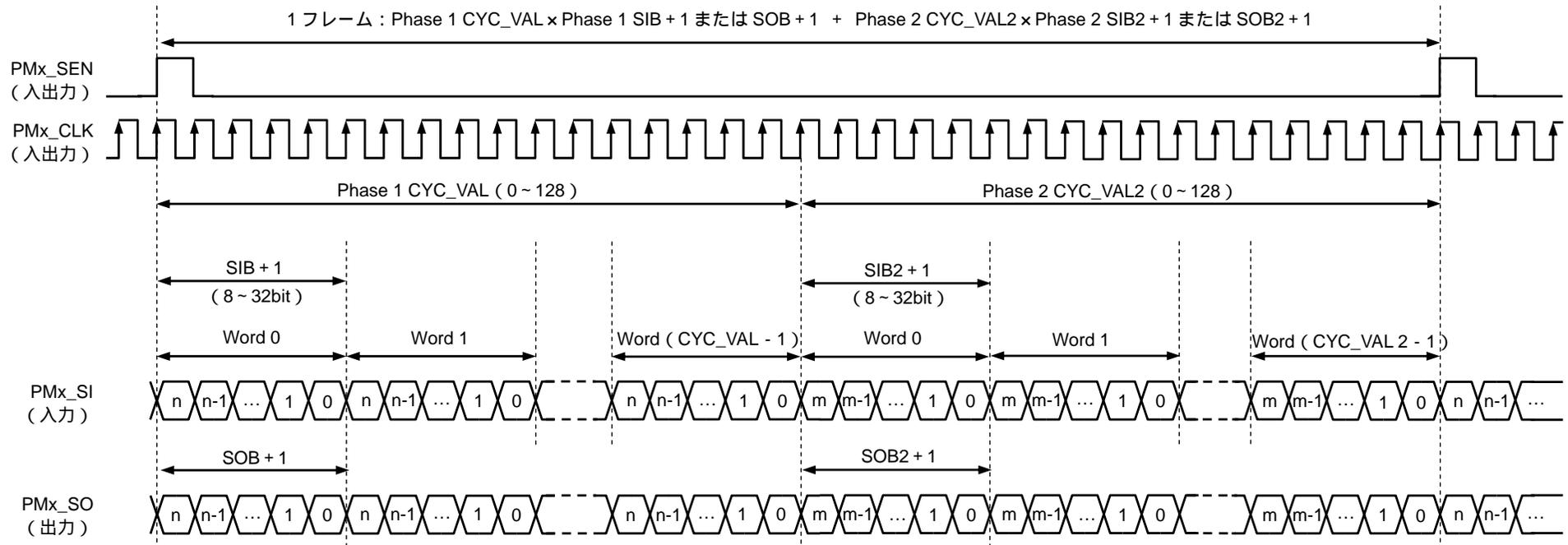
Phase 1 または Phase 2 の Word_count (ワード数) が 0 の場合、シングル・フェーズとして動作します。

Phase 1, Phase 2 両方の Word_count を 0 に設定することは禁止です。

送受信同時動作時の各 Phase における送信, 受信のビット/ワード数は同一の設定 (SIB = SOB, SIB2 = SOB2) とします。

Phase 1 と Phase 2 で Word_size および Word_count を個別に設定できます (SIB SIB2, SOB SOB2, CYC_VAL CYC_VAL2 という設定は可能です)。

図 4 - 6 mode 5 選択時のシリアル・インタフェース・タイミング



(7) mode 6 シリアル・インタフェース・タイミング

図 4 - 7にmode 6 選択時のシリアル・インタフェース・タイミングを示します。

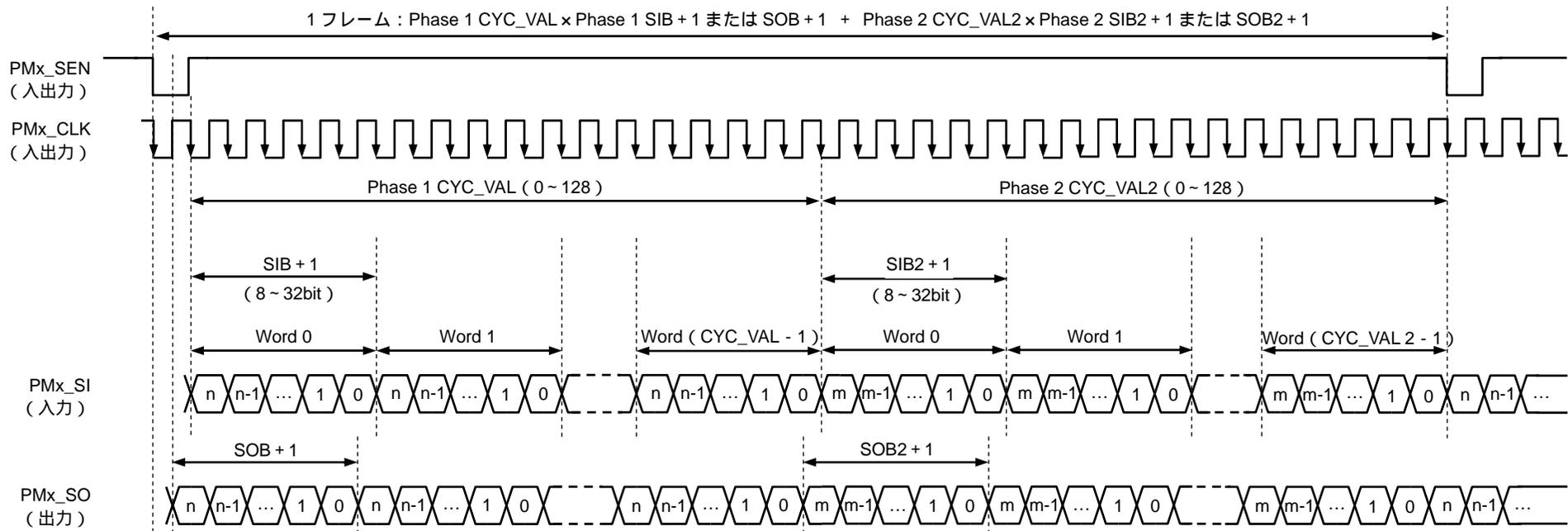
Phase 1 または Phase 2 の Word_count (ワード数) が 0 の場合、シングル・フェーズとして動作します。

Phase 1, Phase 2 両方の Word_count を 0 に設定することは禁止です。

送受信同時動作時の各 Phase における送信, 受信のビット/ワード数は同一の設定 (SIB = SOB, SIB2 = SOB2) とします。

Phase 1 と Phase 2 で Word_size および Word_count を個別に設定できます (SIB SIB2, SOB SOB2, CYC_VAL CYC_VAL2 という設定は可能です)。

図 4 - 7 mode 6 選択時のシリアル・インタフェース・タイミング



4.1.3 データ・パディング

データ・ビット長が8ビットまたは16ビットに限りデータ・パディング (data padding) が可能です。これは FIFO のビット幅が32ビットであることから、8ビット設定であれば4個分、16ビット設定であれば2個分を1ワード (32ビット) に詰め込む操作を示します。

データ・パディングあり/なしは、データ転送サイクル設定レジスタ (PMx_CYCLE) により設定できます。mode 5, 6 では使用禁止です。

(1) 送信側のデータ・パディング

(a) データ・パディング操作なし

例1) 送信データ・ビット長 = 8ビット (SOB [4:0] = 07H)・・・PMx_CYCLE [20:16]

送信側のデータ・パディング設定は無効・・・PMx_CYCLE [23]を“0”

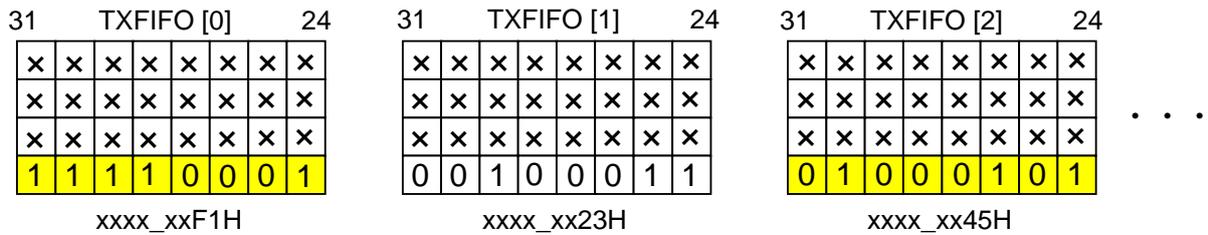
xxxx_xxF1H ライト・データ (PMx_TXQ)

xxxx_xx23H ライト・データ (PMx_TXQ)

xxxx_xx45H ライト・データ (PMx_TXQ)

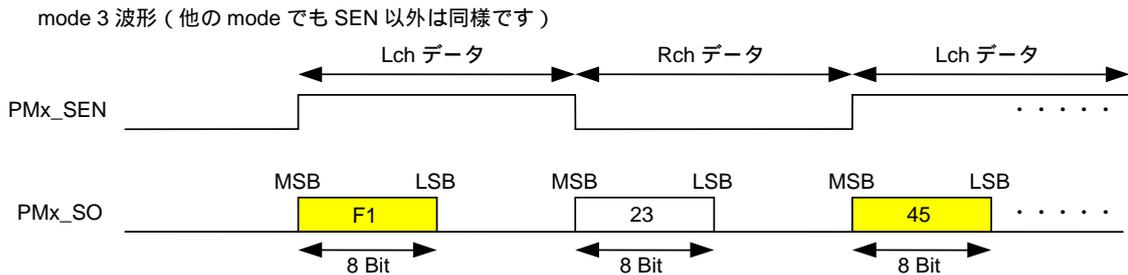
xxxx_xx67H ライト・データ (PMx_TXQ)

:



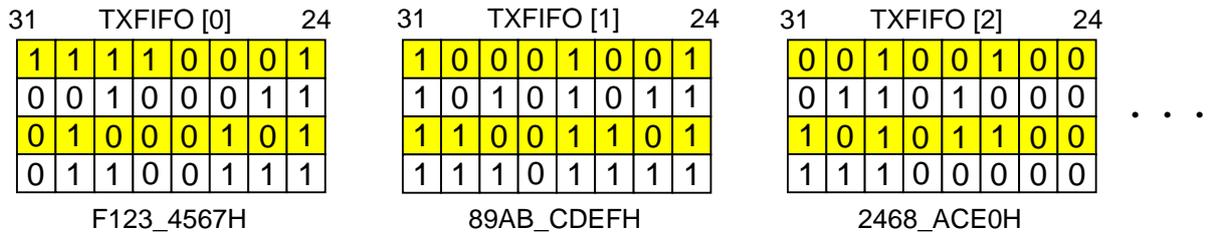
送信データ・ビット長以外のデータは無視 (x : Don't Care) されます。

図 4 - 8 mode 3 での送信波形



(b) データ・パディング操作あり

例2) 送信データ・ビット長 = 8 ビット (SOB [4:0] = 07H)・・・PMx_CYCLE [20:16]
 送信側のデータ・パディング設定は有効・・・PMx_CYCLE [23]を“1”
 F123_4567H ライト・データ (PMx_TXQ)
 89AB_CDEFH ライト・データ (PMx_TXQ)
 2468_ACE0H ライト・データ (PMx_TXQ)



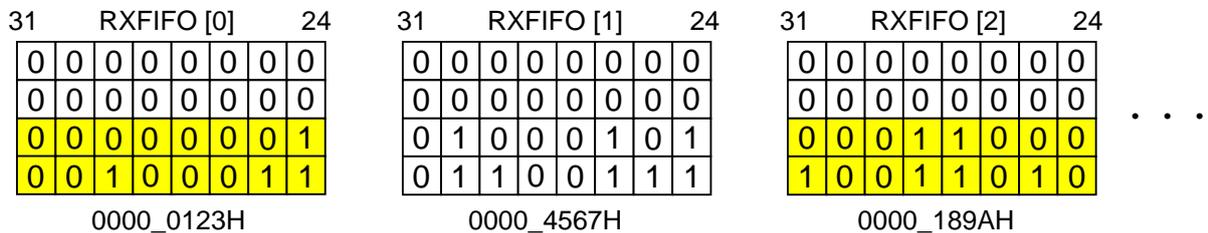
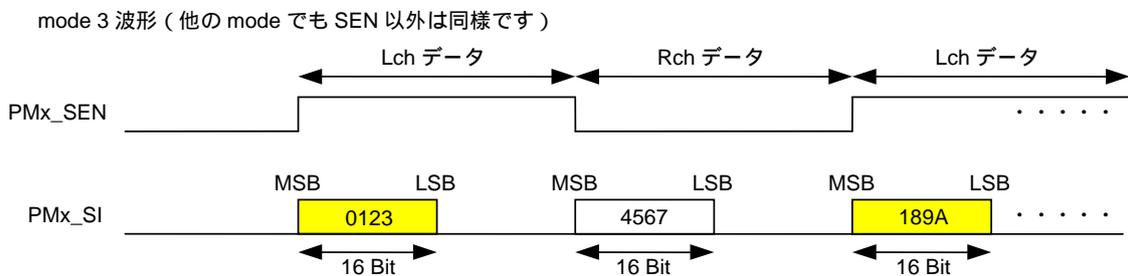
備考 信号波形は、図 4 - 8 mode 3 での送信波形と同じです。

(2) 受信側のデータ・パディング

(a) データ・パディング操作なし

例3) 受信データ・ビット長 = 16 ビット (SIB [4:0] = 0FH)・・・PMx_CYCLE [12:8]
 受信側のデータ・パディング設定は無効・・・PMx_CYCLE [15]を“0”

図 4 - 9 mode 3 での受信波形



受信データ・ビット長以外のデータには0が詰められます。

リード・データ (PMx_RXQ) 0000_0123H (RXFIFO [0])
 リード・データ (PMx_RXQ) 0000_4567H (RXFIFO [1])
 リード・データ (PMx_RXQ) 0000_189AH (RXFIFO [2])
 :

(b) データ・パディング操作あり

例4) 受信データ・ビット長 = 16 ビット (SIB [4:0] = 0FH)・・・PMx_CYCLE [12:8]
 受信側のデータ・パディング設定は有効・・・・・・・・・・PMx_CYCLE [15]を“1”

31	RXFIFO [0]								24	31	RXFIFO [1]								24	31	RXFIFO [2]								24	...							
	0	0	0	0	0	0	0	1		0	0	0	1	1	0	0	0		0	0	1	0	1	1	1	1		0	0	1	0	1	1	1	1		...
	0	0	1	0	0	0	1	1		1	0	0	1	1	0	1	0		0	0	1	0	0	1	0	0		0	0	1	0	0	1	0	0		...
	0	1	0	0	0	1	0	1		1	0	1	1	1	1	0	0		0	1	1	0	1	0	0	0		0	1	1	0	1	0	0	0		...
	0	1	1	0	0	1	1	1		1	1	0	1	1	1	1	0		1	0	1	0	1	1	0	0		1	0	1	0	1	1	0	0		...
	0123_4567H									189A_BCDEH									2F24_68ACH																		

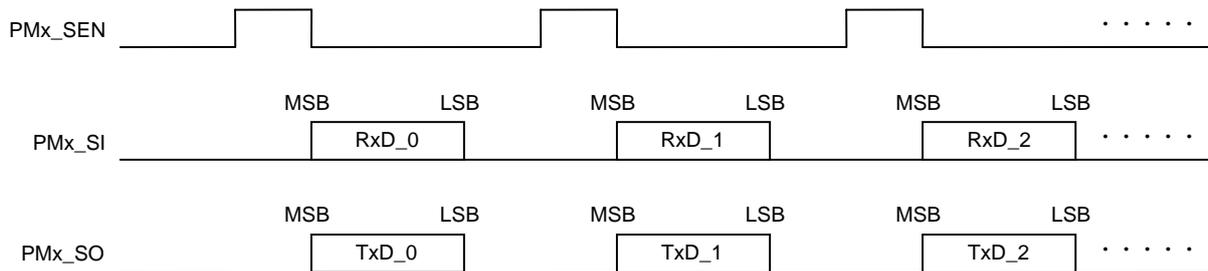
リード・データ (PMx_RXQ) 0123_4567H (RXFIFO [0])
 リード・データ (PMx_RXQ) 189A_BCDEH (RXFIFO [1])
 リード・データ (PMx_RXQ) 2F24_68ACH (RXFIFO [2])
 :

注意 PMx_SI 端子からのデータが RXFIFO に 32 ビットたまらない場合は有効データとみなされず最後のデータがリードできません。

備考 信号波形は、図 4-9 mode 3 での受信波形と同じです。

4.1.4 FIFOの動作

(1) mode 0, mode 1 の場合



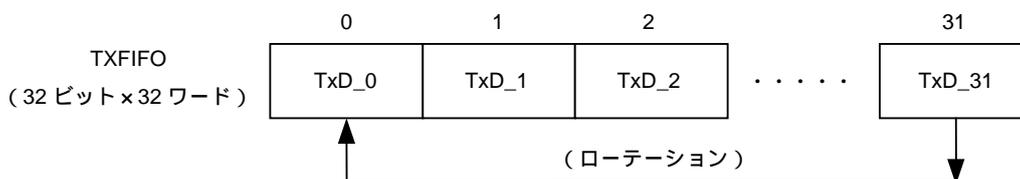
(a) TXFIFO

ホスト側から、送信データ・ライト・レジスタ (PMx_TXQ) に書き込まれた順に TXFIFO に格納されていきます。

TXFIFO より 1 ワード分のデータが取り出されます。

データ転送サイクル設定レジスタ (PMx_CYCLE) の SOB [4:0] に設定された値 n を元に、 n ビット (MSB) 0 ビット (LSB) の順で、PMx_SO 端子よりシリアル・データが出力されます。

0 ビット (LSB) まで送出後 TXFIFO は +1 され、次のフレームを開始するとき、と同様の処理が繰り返されます。カウンタの範囲は 0~31 (1FH) で、31 の次にカウント・アップするときには、0 に戻ります。

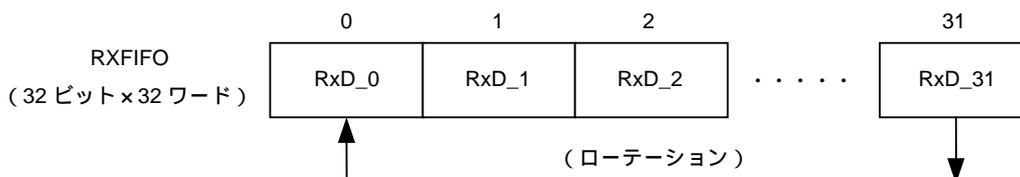


(b) RXFIFO

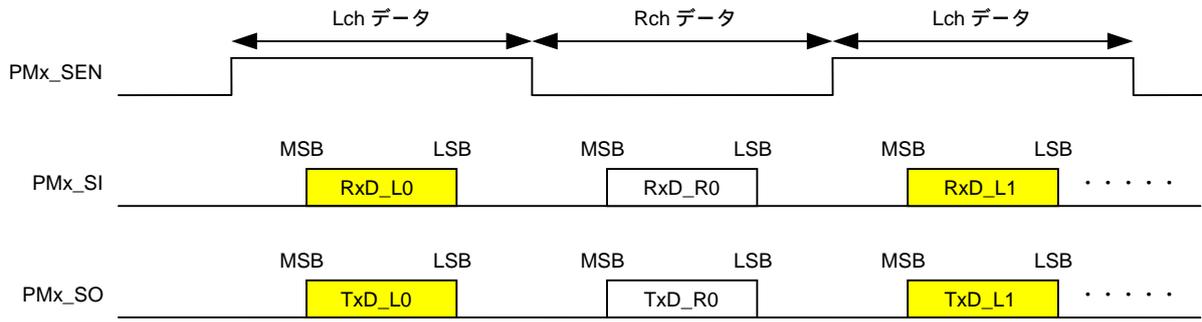
シリアル・データを PMx_SI 端子より受信します。

データ転送サイクル設定レジスタ (PMx_CYCLE) の SIB [4:0] に設定された値 m を元に、受信ビットを m ビット (MSB) 0 ビット (LSB) の順で RXFIFO に 1 ワードごと格納していきます。 m ビットより上位ビットには "0" が詰められます。

0 ビット (LSB) まで格納後、RXFIFO は +1 され、次のフレームを受信すると、と同様の処理が繰り返されます。カウンタの範囲は 0~31 (1FH) で、31 の次にカウント・アップするときには、0 に戻ります。



(2) mode 2, mode 3, mode 4 の場合

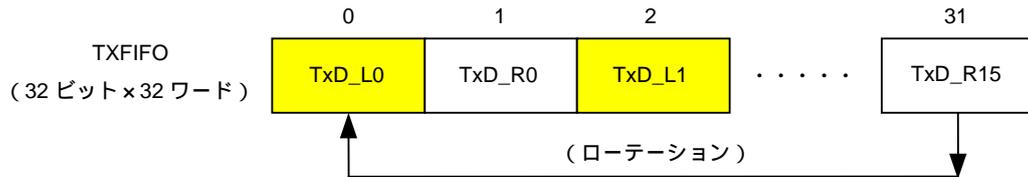


mode 2, mode 3, mode 4 の場合は、Lch データと Rch データが交互に送信、受信されるので RXFIFO および TXFIFO のデータ並びは、Lch データと Rch データが交互に格納されています。

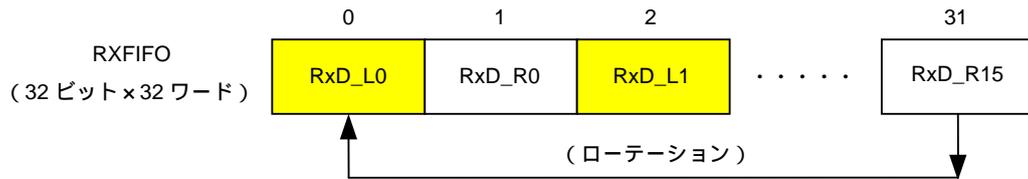
よって、送信データは Lch データ、Rch データを交互にライトする必要があります。また、受信データのリードは Lch データ、Rch データの順でリードされます。

それ以外は mode 0, mode 1 の場合の FIFO 動作と同じです。

(a) TXFIFO

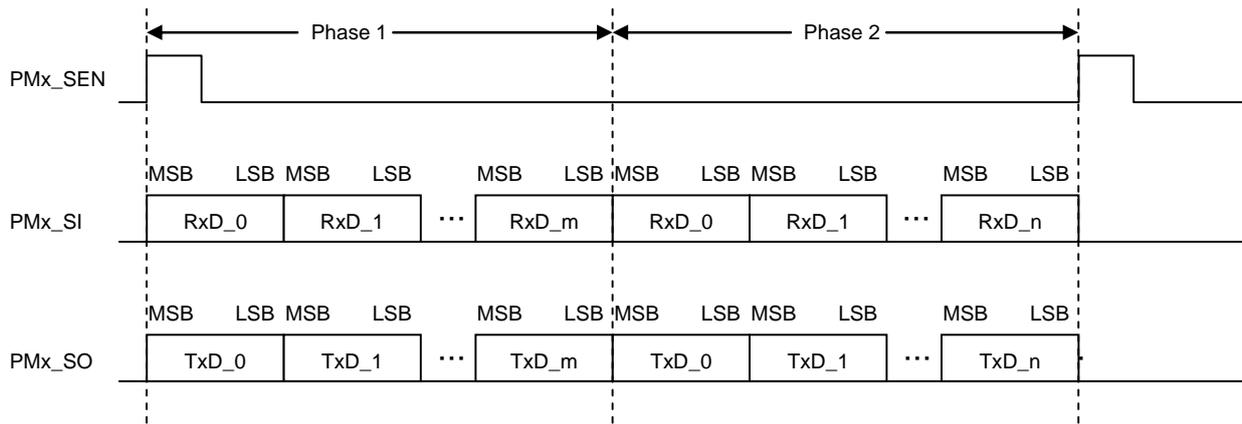


(b) RXFIFO



備考 データ・パディング設定でのFIFOへの格納は、4.1.3 データ・パディングを参照してください。

(3) mode 5, mode 6 の場合



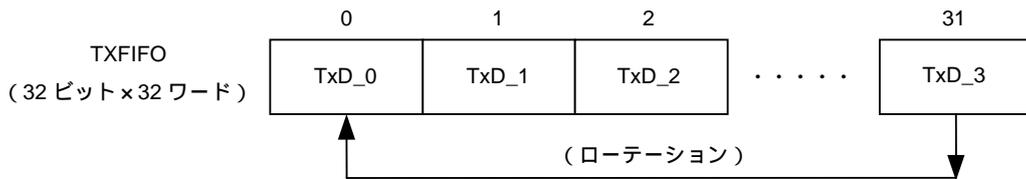
(a) TXFIFO

ホスト側から、送信データ・ライト・レジスタ (PMx_TXQ) に書き込まれた順に TXFIFO に格納されていきます。

TXFIFO より 1 ワード分のデータが取り出されます。

データ転送サイクル設定レジスタ (PMx_CYCLE, PMx_CYCLE2) の SOB [4:0], SOB2 [4:0] に設定された値 m, n を元に、Phase 1 から送信データを m ビット (MSB) 0 ビット (LSB) の順でデータ転送サイクル設定レジスタの CYC_VAL [7:0] で設定されたワード分を出力し、連続して Phase 2 の送信データを n ビット (MSB) 0 ビット (LSB) の順でデータ転送サイクル設定レジスタの CYC_VAL2 [7:0] で設定されたワード分を、PMx_SO 端子よりシリアル・データが出力されます。

1 ワード分のデータが 0 ビット (LSB) まで送出後、TXFIFO は +1 され、次の 1 ワード分のデータ送信を開始し、0 ビット (LSB) まで送信、TXFIFO は更に +1 され、以後同様の処理が繰り返されます。TXFIFO の範囲は 0~31 (1FH) で、31 の次にカウント・アップするときには、0 に戻ります。

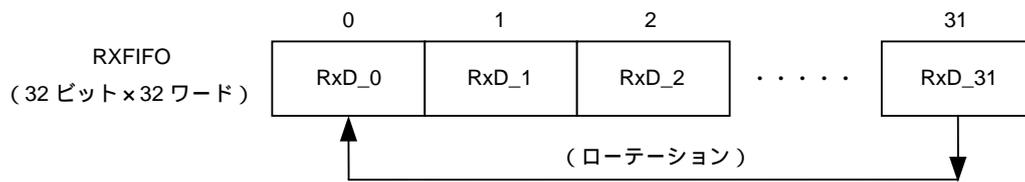


(b) RXFIFO

シリアル・データを PMx_SI 端子より受信します。

データ転送サイクル設定レジスタ (PMx_CYCLE, PMx_CYCLE2) の SIB [4:0], SOB2 [4:0] に設定された値 m, n を元に, Phase 1 から受信データを m ビット (MSB) 0 ビット (LSB) の順でデータ転送サイクル設定レジスタの CYC_VAL [7:0] で設定されたワード分を格納し, 連続して Phase 2 の受信データを n ビット (MSB) 0 ビット (LSB) の順でデータ転送サイクル設定レジスタの CYC_VAL2 [7:0] で設定されたワード分を RXFIFO に 1 ワードごと格納していきます。受信するデータが 32 ビットより小さい場合, m, n ビットより上位ビットには “0” が詰められます。

1 ワード分のデータが 0 ビット (LSB) まで格納後, RXFIFO は +1 され, 次の 1 ワード分のデータ受信を開始し, 0 ビット (LSB) まで受信, RXFIFO は更に +1 され, 以後同様の処理が繰り返されます。RXFIFO の範囲は 0 ~ 31 (1FH) で, 31 の次にカウント・アップするときには, 0 に戻ります。



4.1.5 データ転送ステータス（ステータス/エラー/割り込み要因）

表 4 - 2にデータ転送ステータス一覧を示します。割り込みRawステータス・レジスタ（PMx_RAW）をリードすることでデータ転送ステータスを確認できます。エラー検出時、エラー検出した送信動作/受信動作が停止します。ただし、マスタ・モードで動作している場合は、シリアル・クロック信号（PMx_CLK）出力およびフレーム同期信号（PMx_SEN）出力を継続します。

表 4 - 2 データ転送ステータス（ステータス/エラー/割り込み要因）一覧

ステータス	ステータス/エラー内容と動作
RX_STP	受信停止要求後、再設定可否の状態を示しています。 処理中の転送処理停止後にセットされるため、受信停止要求のタイミング、マスタ/スレーブ等の条件によってセットされるまでの期間が異なります。 1：受信要求後、再設定可能になった場合。 0：受信開始前、または、受信中の場合。
TX_STP	送信停止要求後、再設定可否の状態を示しています。 処理中の転送処理停止後にセットされるため、送信停止要求のタイミング、マスタ/スレーブ等の条件によってセットされるまでの期間が異なります。 1：送信要求後、再設定可能になった場合。 0：送信開始前、または、送信中の場合。
RX_REN	受信データ・リード可能であることを示しています。 このフラグと PMx_DMA_RDMARQ（DMA 受信要求）信号は同時に ON/OFF します。 1：受信 FIFO に 1 ワードでも有効データが存在する場合（DMAC がリードしていないデータがあります） 0：受信 FIFO の未リード・データがなくなった場合、または受信禁止に設定したとき：PMx_TXRX_DIS [1] = “ 1 ”
RX_ORE	受信 FIFO のオーバーラン・エラーが発生したことを示します。 1：DMAC の受信 FIFO の読み出しが間に合わない場合（受信 FIFO が FULL の状態で、PMx_SI 端子からシリアル・データを受信して受信 FIFO に書き込まれたとき） 0：受信禁止に設定したとき：PMx_TXRX_DIS [1] = “ 1 ”
RX_URE	受信 FIFO のアンダラン・エラーが発生したことを示します。 1：受信 FIFO に有効データがない状態（要因 RX_REN が “ 0 ”）で、受信 FIFO をリードした場合（受信データのカラ読み時） 0：受信禁止に設定したとき：PMx_TXRX_DIS [1] = “ 1 ”
RX_FRE	受信制御回路で、シリアル・インタフェースの同期エラー ^{※1} が発生したことを示します。 1：PMx_SEN 信号のずれを検出：スレーブ設定時のみ発生 0：要因クリア（PMx_CLEAR[4] = “ 1 ”）後、受信禁止に設定したとき（PMx_TXRX_DIS [1] = “ 1 ”）
TX_WEN	送信データ・ライト可能であることを示しています。 ^{※2} このフラグと PMx_DMA_TDMARQ（DMA 送信要求）信号は同時に ON/OFF します。 1：送信 FIFO が FULL ではない状態（送信 FIFO に空きがあり、まだライトできる状態です） 0：送信 FIFO が FULL でもうライトできない状態、または、送信禁止に設定したとき：PMx_TXRX_DIS [0] = “ 1 ”
TX_ORE	送信 FIFO のオーバーラン・エラーが発生したことを示します。 1：送信 FIFO が FULL のとき（要因 TX_WEN が “ 0 ”）に送信 FIFO をライトした場合 0：送信禁止に設定したとき：PMx_TXRX_DIS [0] = “ 1 ”
TX_URE	送信 FIFO のアンダラン・エラーが発生したことを示します。 1：送信データをすべて PMx_SO 端子より送出し終わり、送信 FIFO が Empty になった場合（全データ送出完了通知、またはシリアル・データの送信速度に送信 FIFO への書き込みが間に合わない場合） 0：要因クリア（PMx_CLEAR[1] = “ 1 ”）後、送信禁止に設定したとき（PMx_TXRX_DIS [0] = “ 1 ”）
TX_FRE	送信制御回路で、シリアル・インタフェースの同期エラー ^{※1} が発生したことを示します。 1：PMx_SEN 信号のずれを検出：スレーブ設定時のみ発生 0：要因クリア（PMx_CLEAR [0] = “ 1 ”）後、送信禁止に設定したとき（PMx_TXRX_DIS [0] = “ 1 ”）

注 1. 同期エラーとは、通信中にデータ転送サイクル設定レジスタ (PMx_CYCLE, PMx_CYCLE2) の CYC_VAL, SIB, SOB (mode 0 ~ mode 4), または CYC_VAL, SIB, SOB, CYC_VAL2, SIB2, SOB2 (mode 5, mode 6) で設定した、「1 フレームあたりのクロック数」ごとに、PMx_SEN 信号の変化がなかった場合にセットされます (変化は mode 0 ~ mode 6 のフォーマットごとに異なります)。また、送信モジュールと受信モジュール間で同期がずれた場合も同期エラーとなります。

2. リセット期間中は 0 になりますが、リセット解除後の 1PCLK の入力で 1 になります。

備考 RX_FRE, TX_FRE はそれぞれ受信器, 送信器で同期エラーが検出された場合に ON します。受信, 送信が両方許可であれば、どちらか早い方がセットされます (実際には、ほぼ同時です)。

4.1.6 エラー・リカバリ

(1) 受信系エラーからのリカバリ

受信系エラー (RX_ORE, RX_URE, RX_FRE) を検出すると、受信動作を停止します。受信エラーを検出した場合は必ず受信動作を禁止状態とし、エラー復帰を待ち、エラー復帰後に受信動作を再開してください。受信系エラーを検出した場合は、次の手順でリカバリ処理を行ってください。

- (a) 受信許可ビットをクリア (PMx_TXRX_DIS レジスタの RX_EN ビットに “1” をライト) し、受信禁止状態にする
- (b) 受信系エラー (RX_ORE, RX_URE, RX_FRE) がすべてクリア (“0”) 状態となるのを待ち、エラー復帰を確認する
- (c) 受信許可ビットをセット (PMx_TXRX_EN レジスタの RX_EN ビットに “1” をライト) し、受信動作を再開する

(2) 送信系エラーからのリカバリ

送信系エラー (TX_ORE, TX_URE, TX_FRE) を検出すると送信動作を停止します。送信エラーを検出した場合は必ず送信動作を禁止状態とし、エラー復帰を待ち、エラー復帰後に送信動作を再開してください。送信系エラーを検出した場合は、次の手順でリカバリ処理を行ってください。

- (a) 送信許可ビットをクリア (PMx_TXRX_DIS レジスタの TX_EN ビットに “1” をライト) し、送信禁止状態にする
- (b) 送信系エラー (TX_ORE, TX_URE, TX_FRE) がすべてクリア (“0”) 状態となるのを待ち、エラー復帰を確認する
- (c) 送信許可ビットをセット (PMx_TXRX_EN レジスタの TX_EN ビットに “1” をライト) し、送信動作を再開する

4.2 PWM インタフェース

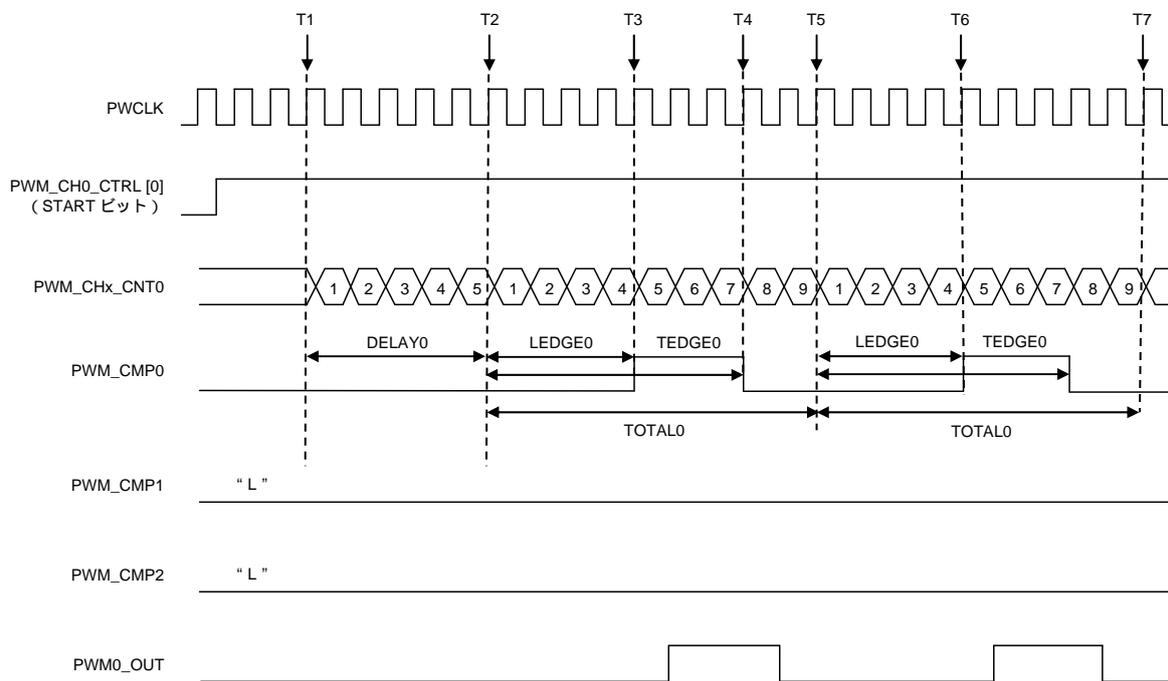
4.2.1 PWM動作

(1) カウンタを1つ動作させたとき

チャンネル0のカウンタ0のみ動作させた場合の例を示します。

- ・ PWM_CH0_TOTAL0 = 0000_0009H : 総周期 PWM_PWCLK × 9 サイクル
- ・ PWM_CH0_DELAY0 = 0000_0005H : 遅延値 PWM_PWCLK × 5 サイクル
- ・ PWM_CH0_LEDGE0 = 0000_0004H : リーディング設定 4 サイクル
- ・ PWM_CH0_TEDGE0 = 0000_0007H : トレーリング設定 7 サイクル
- ・ PWM_CH0_MODE = 0000_0001H : オート・ストップ無効 (繰り返し), PWM_CMP0 の反転なし

図 4-10 カウンタ0のみ動作したときのタイミング



PWM_CH0_MODE[0]のCMP_EN0ビットに“1”をセットしてPWM_CTRLのPWM_STARTビットに“1”が設定されてから3サイクル後のPWCLKの立ち上がりでカウンタ0のカウントが開始します。

PWM_CHx_DELAY0に遅延値を設定した場合は、その値までPWM_CH0_CNT0はカウントし続けます。

PWM_CMP0からの出力はロウ・レベルのままです。

カウンタの値がPWM_CH0_DELAY0の値と一致すると、一致した次のサイクル(T2のタイミング)でPWM_CH0_CNT0は1になります。

T2から再びPWM_CH0_CNT0はカウントを始めます。カウンタ値がPWM_CH0_LEDGE0と一致すると次のサイクルでPWM_CMP0出力はハイ・レベルを出力します。

カウンタ0がTEDGE0と一致した次のサイクル(T4のタイミング)でPWM_CMP0の出力はロウ・レベルになります。TOTAL0とPWM_CH0_CNT0値が一致するまでPWM_CMP0はロウ・レベルを出力し続けます。

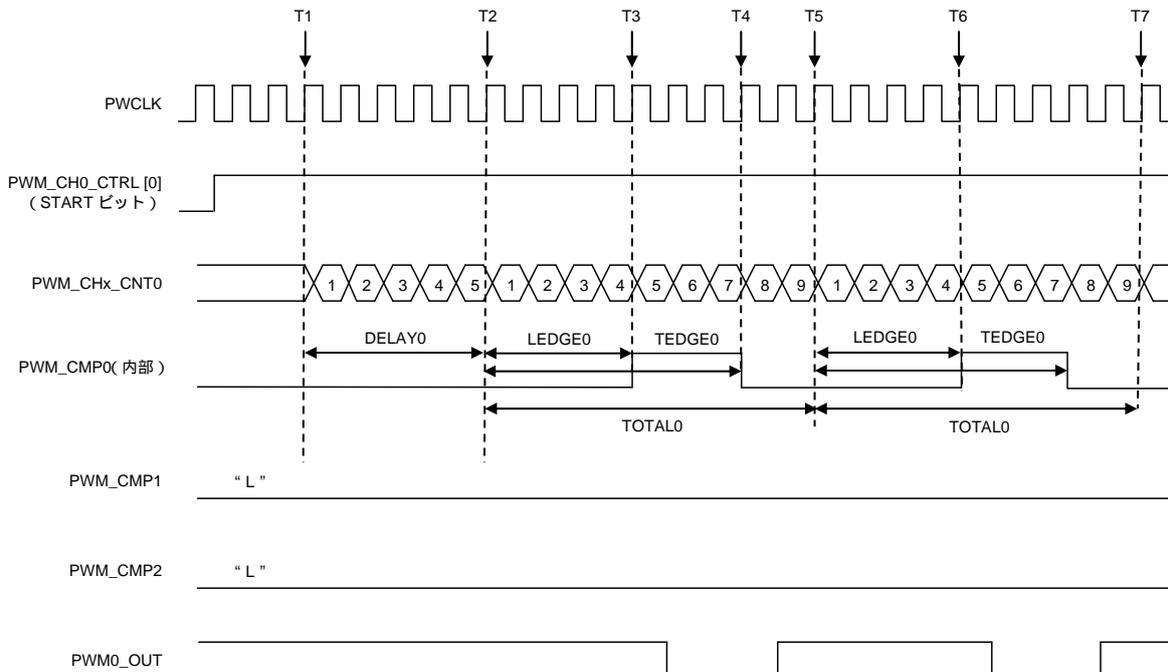
PWM_CH0_CNT0の値とTOTAL0の値が一致すると次サイクル(T5のタイミング)でPWM_CH0_CNT0の値は“1”に戻ります。

T5のタイミング以降、T2~T5の動作を繰り返します。

(2) カウンタを1つ動作させ、PWM_CNT0 で出力を反転させたとき

- ・ PWM_CH0_TOTAL0 = 0000_0009H : 総周期 PWM_PWCLK × 9 サイクル
- ・ PWM_CH0_DELAY0 = 0000_0005H : 遅延値 PWM_PWCLK × 5 サイクル
- ・ PWM_CH0_LEDGE0 = 0000_0004H : リーディング設定 4 サイクル
- ・ PWM_CH0_TEDGE0 = 0000_0007H : トレーリング設定 7 サイクル
- ・ PWM_CH0_MODE = 0000_0005H : オート・ストップ無効 (繰り返し), PWM_CMP0 反転あり

図 4 - 11 カウンタ 0 のみ動作, PWM_CMP0 の値を反転



CMP0 の内部で生成された波形 (CMP0 内部波形) は、反転指定がある場合は PWM_CMP0 出力時に反転されます。

(3) ループ有効のとき

チャンネル 0 のカウンタ 0 でループ指定している場合について示します。

ループ設定している場合，指定回数分ループを繰り返したあとにカウンタ 0 は自動停止します。

この例は，チャンネル 0 のカウンタ 0 に次の設定をした場合です。

- ・ PWM_CH0_TOTAL0 = 0000_0009H
- ・ PWM_CH0_DELAY0 = 0000_0006H
- ・ PWM_CH0_LEDGE0 = 0000_0004H
- ・ PWM_CH0_TEDGE0 = 0000_0007H
- ・ PWM_CH0_MODE = 0000_0003H : カウンタ 0 のオートストップ ON，カウンタ 0 イネーブル

図 4 - 12 ループ有効時の開始動作

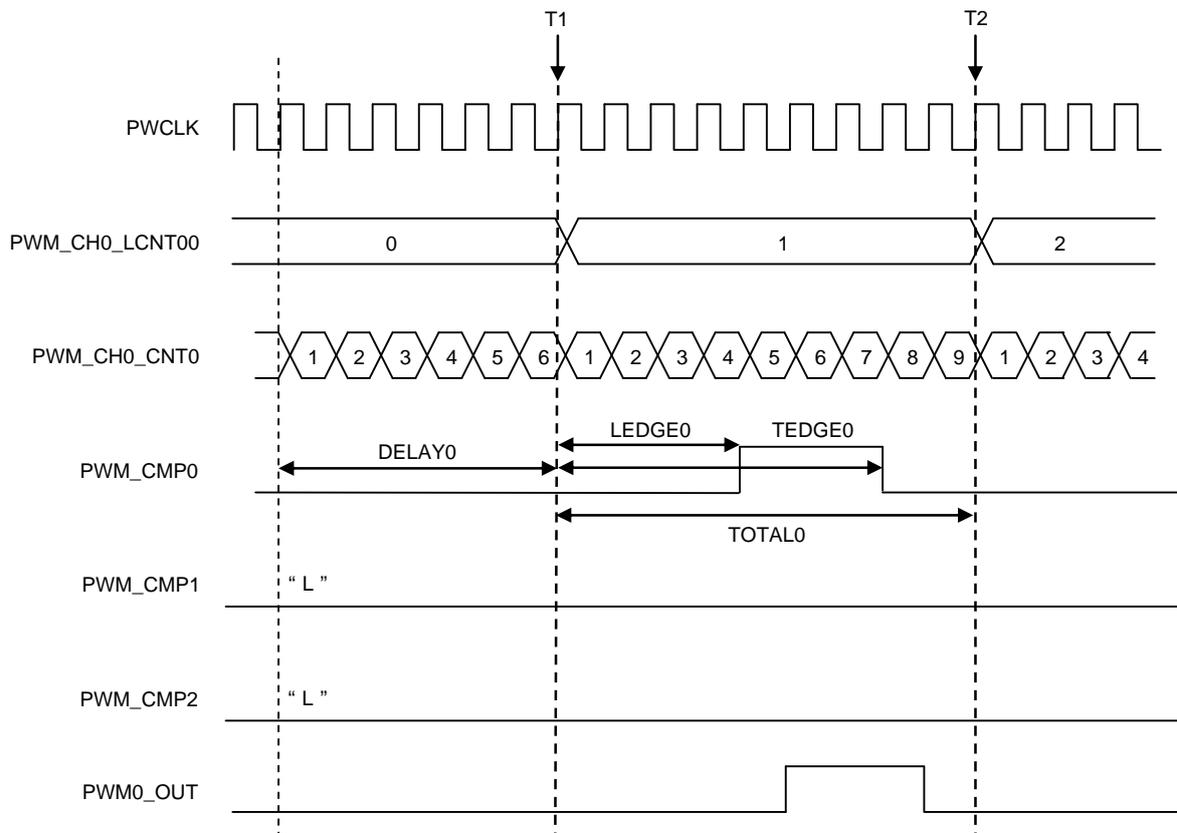
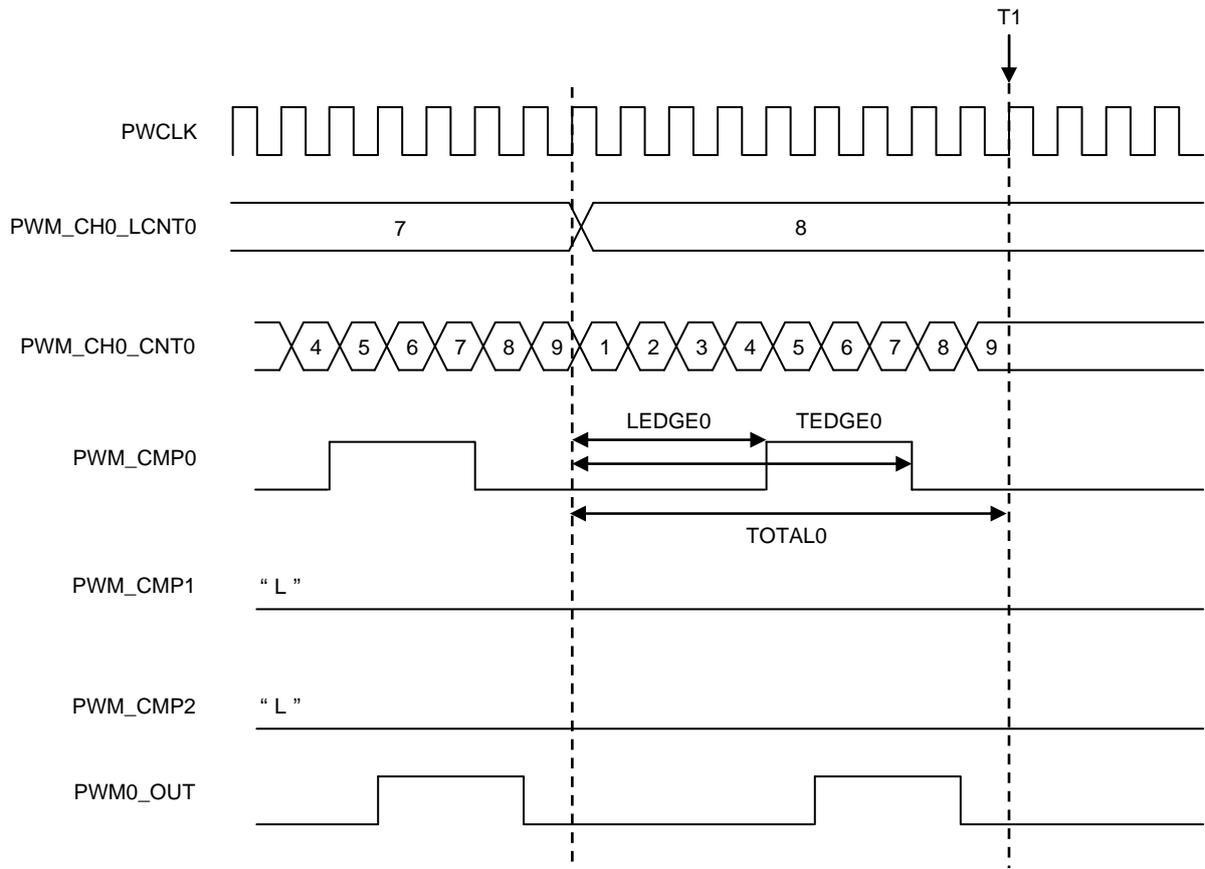


図 4 - 13 ループ有効時の終了動作



ループ・カウンタ 0 が設定値と一致した次のタイミングで PWM_CH0_CNT0 , PWM_CH0_LCNT0 は停止します。PWM0_OUT 出力もロウ・レベル出力のままになります。

(4) カウンタ3つを動作 (AND 指定)

カウンタ0~2を次のように設定し、動作させた場合の例を示します。

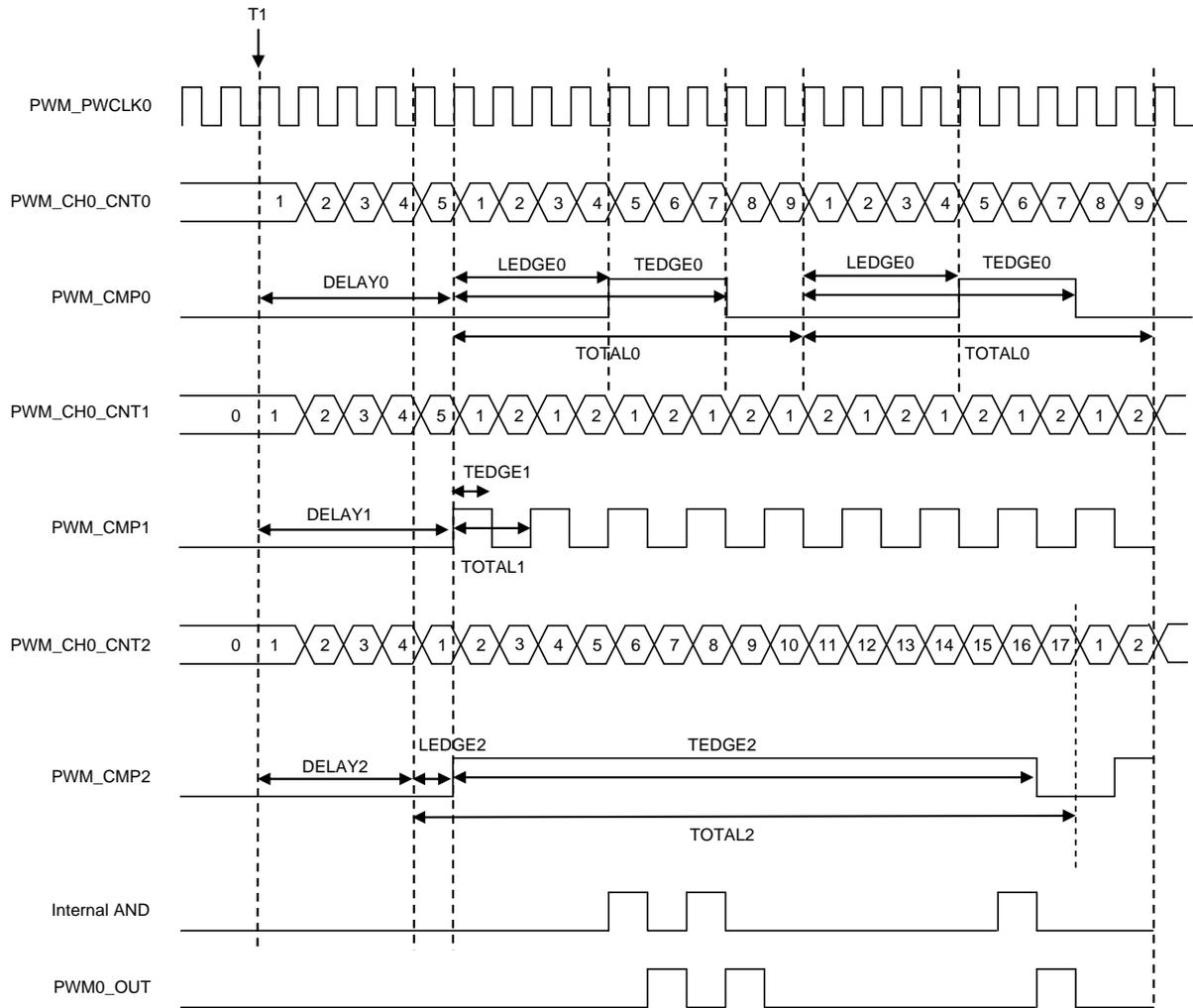
- ・ PWM_CH0_TOTAL0 = 0000_0009H : カウンタ0 総周期 PWM_PWCLK × 9 サイクル
- ・ PWM_CH0_DELAY0 = 0000_0005H : カウンタ0 遅延値 PWM_PWCLK × 5 サイクル
- ・ PWM_CH0_LEDGE0 = 0000_0004H : カウンタ0 リーディング設定 4 サイクル
- ・ PWM_CH0_TEDGE0 = 0000_0003H : カウンタ0 トレーリング設定 3 サイクル

- ・ PWM_CH0_TOTAL1 = 0000_0002H : カウンタ1 総周期 PWM_PWCLK × 2 サイクル
- ・ PWM_CH0_DELAY1 = 0000_0005H : カウンタ1 遅延値 PWM_PWCLK × 5 サイクル
- ・ PWM_CH0_LEDGE1 = 0000_0000H : カウンタ1 リーディング設定 0 サイクル
- ・ PWM_CH0_TEDGE1 = 0000_0001H : カウンタ1 トレーリング設定 1 サイクル

- ・ PWM_CH0_TOTAL2 = 0000_0011H : カウンタ2 総周期 PWM_PWCLK × 17 サイクル
- ・ PWM_CH0_DELAY2 = 0000_0004H : カウンタ2 遅延値 PWM_PWCLK × 4 サイクル
- ・ PWM_CH0_LEDGE2 = 0000_0001H : カウンタ2 リーディング設定 1 サイクル
- ・ PWM_CH0_TEDGE2 = 0000_0010H : カウンタ2 トレーリング設定 16 サイクル

- ・ PWM_CH0_MODE = 0001_0111H : CMP_EN0 ~ CMP_EN2 を動作許可。CMP0 ~ CMP2 出力の反転なし。
オート・ストップしない。MOD ビットで各カウンタ出力を AND 設定。

図 4 - 14 カウンタ0~2の動作：AND 指定時



PWM_CMP0 ~ PWM_CMP2 で生成した値は，内部で AND をとったあとに PWM0_OUT から出力します。

4.2.2 割り込みタイミング

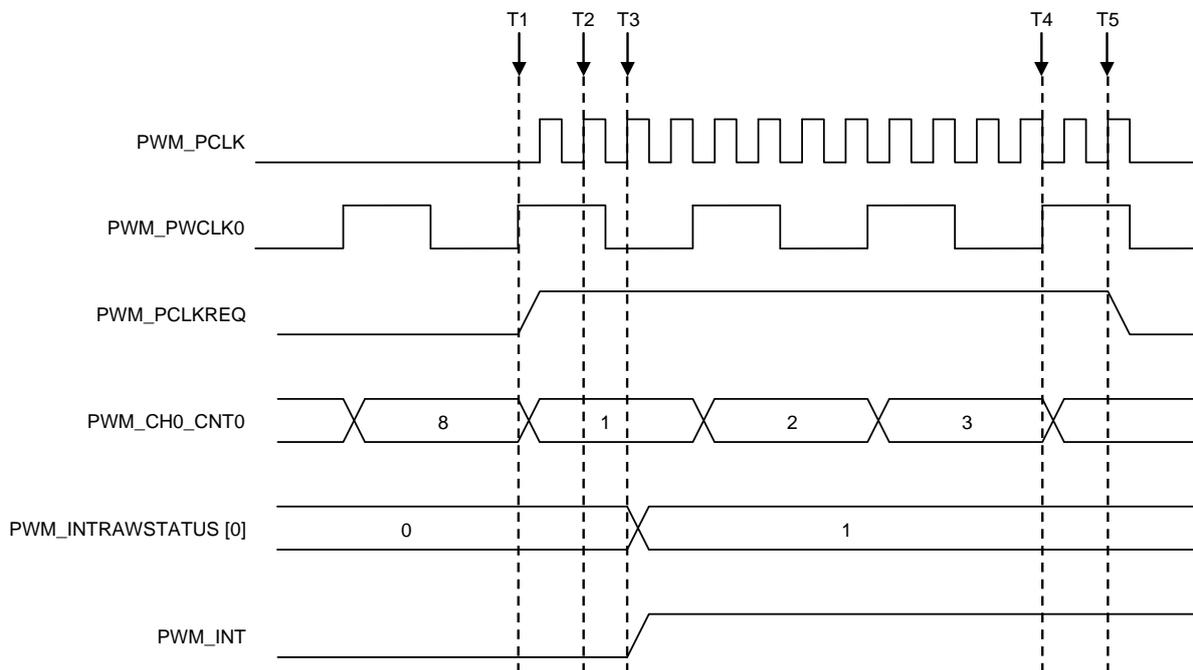
PWMはカウンタごとに割り込みがあり、カウンタが総周期の値になると割り込み要因が発生します。また、ループ・カウンタ終了時にも割り込み要因が発生します。

許可されている割り込み要因が発生すると、PWM_INTSTATUSに要因をセットし論理和の割り込み信号を出力します。またPWM_INTFFCLRによる要因クリアで割り込み要因はクリアされます。

次に例を示します。

- CH0のCMP0のみ動作
- INT_ENSET = 0000_0001HでCH0 CMP0の割り込み出力を許可
- PWM_CH0_TOTAL0 = 8

図 4 - 15 割り込みタイミング(クロック制御)



PWM_CH0_CNT0が設定値と一致(図4-15のT1のタイミング)すると、PWM_PCLKの2サイクルめのタイミング(図4-15のT2のタイミング)で内部信号がアクティブになり、PWM_PCLKの1サイクル後(図4-15のT3のタイミング)で割り込み要因がPWM_INTRAWSTATUSレジスタに反映されます。また、割り込み要因許可になっていれば、割り込み出力信号PWM_INTもアクティブになります。

T3のタイミングからPWM_PWCLKの3サイクル以降(図4-15のT4のタイミング)、かつPWM_PCLKの2サイクル後(図4-15のT5のタイミング)に内部信号がインアクティブになります。

4.2.3 クロック制御タイミング

図4-15 割り込みタイミング(クロック制御)のように、割り込みの要因設定の内部信号がアクティブの間はPCLKREQを活性化させて、PWM_PCLKが供給されるように制御します。

4.3 クロック/リセット

Audio/Voice インタフェースで利用するクロックを次に示します。

(1) PMx_SCLK (シリアル内部クロック)

AHB バス・クロック , Audio/Voice インタフェースの内部動作に使用されます。

(2) PM0_PCLK (APB クロック)

APB バス・アクセス (レジスタ・アクセス) に使用されます。

Audio/Voice シリアル 0, 1 共通です。

PWM インタフェースで利用するクロックを次に示します。

(3) PWM_PCLK

APB バス・アクセスに使用されます。

(4) PWM_PWCLK0 , PWM_PWCLK1

PWM インタフェースの内部動作に使用されます。

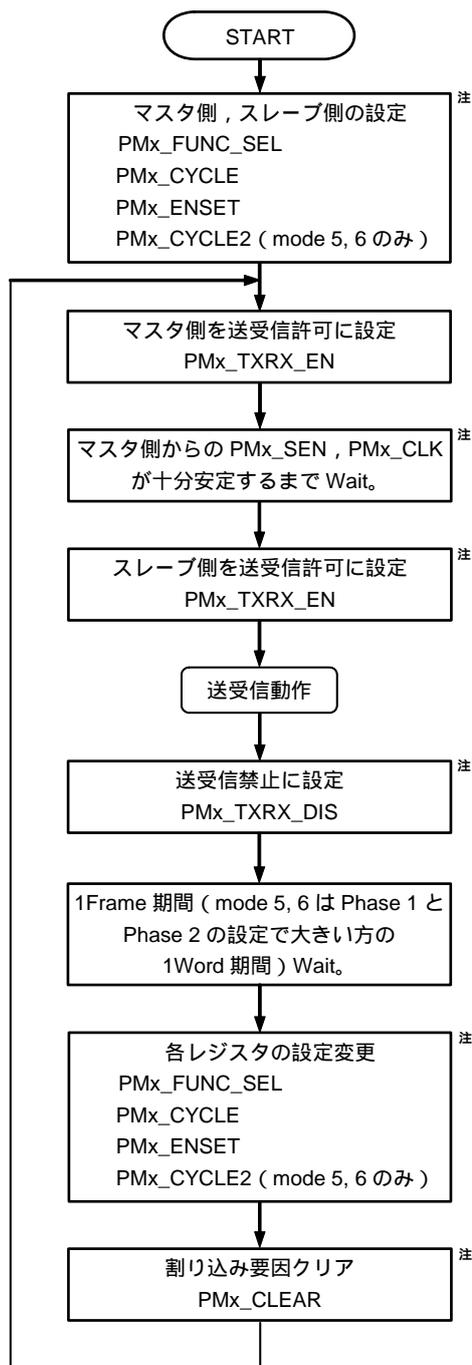
クロック/リセットの設定の詳細に関しては、**携帯マルチメディア・プロセッサ ユーザーズ・マニュアル システム制御/汎用入出力インタフェース編 (S19265J)** を参照してください。

第5章 使用方法

5.1 Audio/Voiceインタフェースのレジスタ設定手順

レジスタの設定手順を示します。

図 5 - 1 レジスタ設定フロー



注 単体動作時, スレーブ側の設定は不要。

5.1.1 通信開始の設定例

ベース・アドレス PM0 : C001_0000H
PM1 : 400D_0000H

(1) PMx_FUNC_SEL (xxxx_0000H): 動作モードの設定

- ・ MODE_SEL [2:0] 011 : mode 3
- ・ M_S [1:0] 10 : スレーブ・モード
- ・ Tx_TIM [1:0] 00 : 送信 FIFO に 30 ワードたまったら送信開始

(2) PMx_CYCLE (xxxx_000CH): クロック数, 送受信データ・ビット長の設定

- ・ CYC_VAL [5:0] 01_1111 : 1 フレームあたりのクロック数は 32
- ・ SIB [4:0] 1_0111 : PMx_SI データ・ビット長は 24 ビット
- ・ RX_PD 0 : 受信側のデータ・パディングなし
- ・ SOB [4:0] 1_0111 : PMx_SO データ・ビット長は 24 ビット
- ・ TX_PD 0 : 送信側のデータ・パディングなし

(3) PMx_ENSET (xxxx_0018H): 割り込みマスク解除

- ・ RX_STP . . . 1 : 受信再設定許可の要因 (割り込みマスク解除)
- ・ TX_STP . . . 1 : 送信再設定許可の要因 (割り込みマスク解除)
- ・ RM_REN 0 : 受信データ・リード可能の要因 (割り込みマスク設定)
- ・ RM_ORE 1 : 受信オーバーラン・エラーの要因 (割り込みマスク解除)
- ・ RM_URE 1 : 受信アンダラン・エラーの要因 (割り込みマスク解除)
- ・ RM_FRE 1 : 受信同期エラーの要因 (割り込みマスク解除)
- ・ TM_WEN 0 : 送信データ・ライト可能の要因 (割り込みマスク設定)
- ・ TM_ORE 1 : 送信オーバーラン・エラーの要因 (割り込みマスク解除)
- ・ TM_URE 1 : 送信アンダラン・エラーの要因 (割り込みマスク解除)
- ・ TM_FRE 1 : 送信同期エラーの要因 (割り込みマスク解除)

(4) PMx_TXRX_EN (xxxx_0004H): 送信, 受信許可

- ・ TX_EN 1 : 送信許可
- ・ RX_EN 1 : 受信許可

スレーブの場合, マスタからの PMx_SEN, PMx_CLK が十分安定してから送信, 受信許可にしてください。

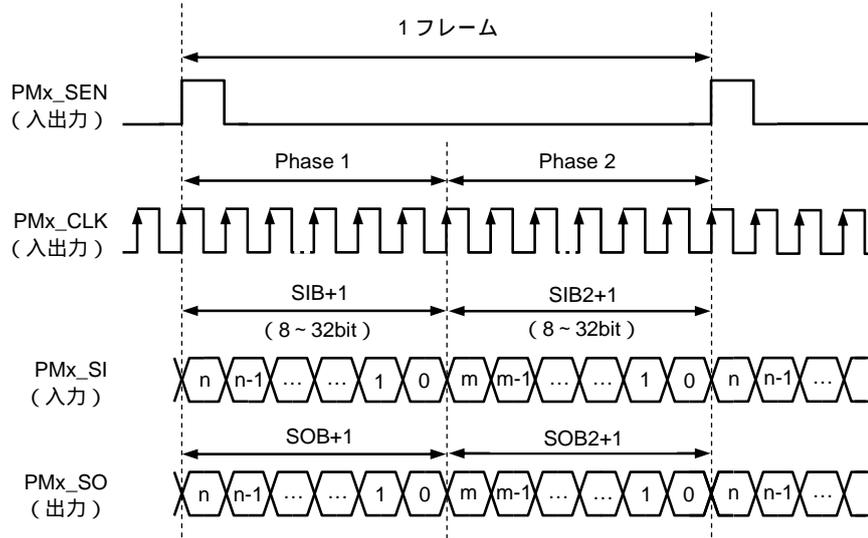
5.1.2 mode 5, 6 シリアル・インタフェースの動作例

(1) mode 5 の動作例

(a) ダブル・フェーズ動作

図 5 - 2 ダブル・フェーズ動作の例 (mode 5)

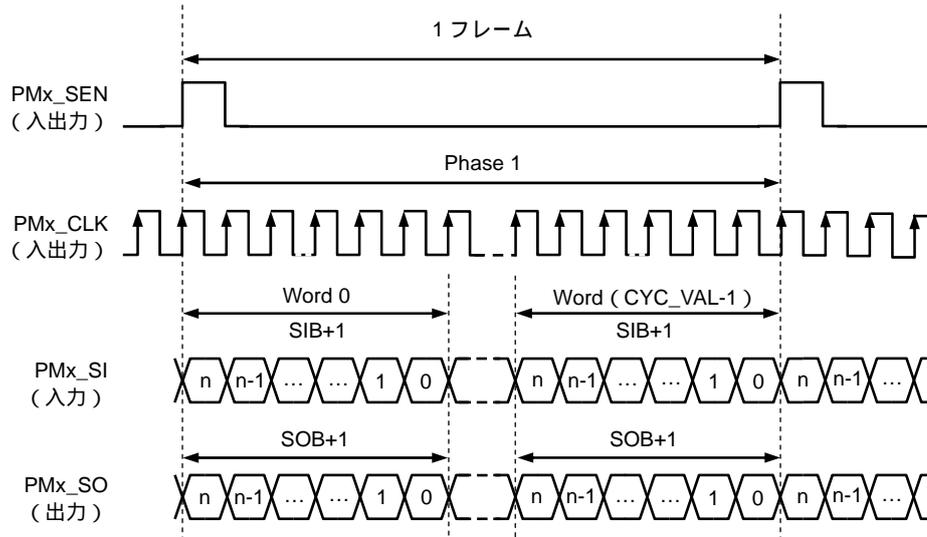
例 : PMx_CYCLE_VAL[7:0] = 01H
 PMx_CYCLE2_VAL2[7:0] = 01H
 の場合



(b) シングル・フェーズ動作

図 5 - 3 シングル・フェーズ動作の例 (mode 5)

例 : PMx_CYCLE2_VAL2[7:0] = 00H の場合 (シングル・フェーズ動作)
 Phase 1 のワード数は 1~128 で設定
 (PMx_CYCLE_VAL[7:0] = 00H の場合, Phase 2 のワード数を 1~128, SIB2+1, SOB2+1 で設定)

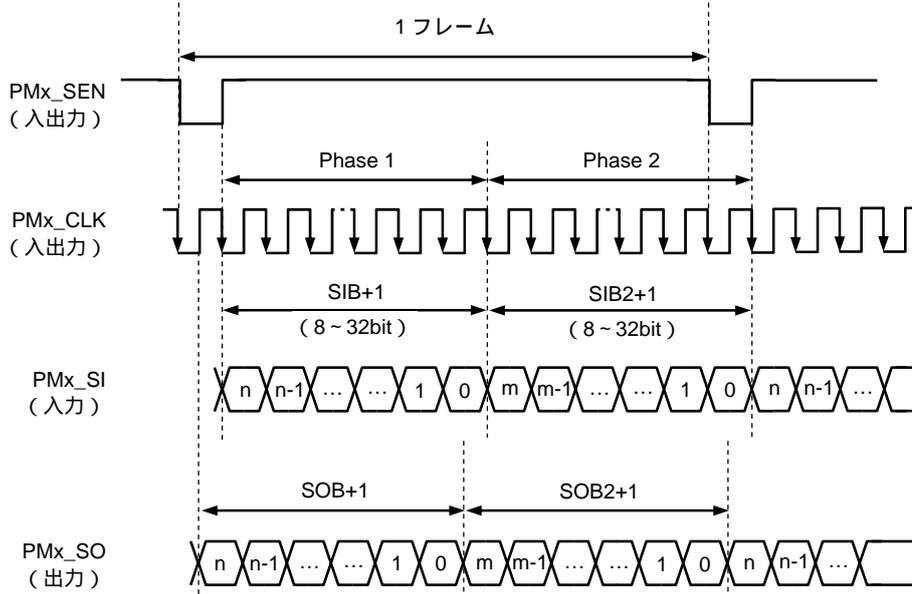


(2) mode 6 の動作例

(a) ダブル・フェーズ動作

図 5-4 ダブル・フェーズ動作の例 (mode 6)

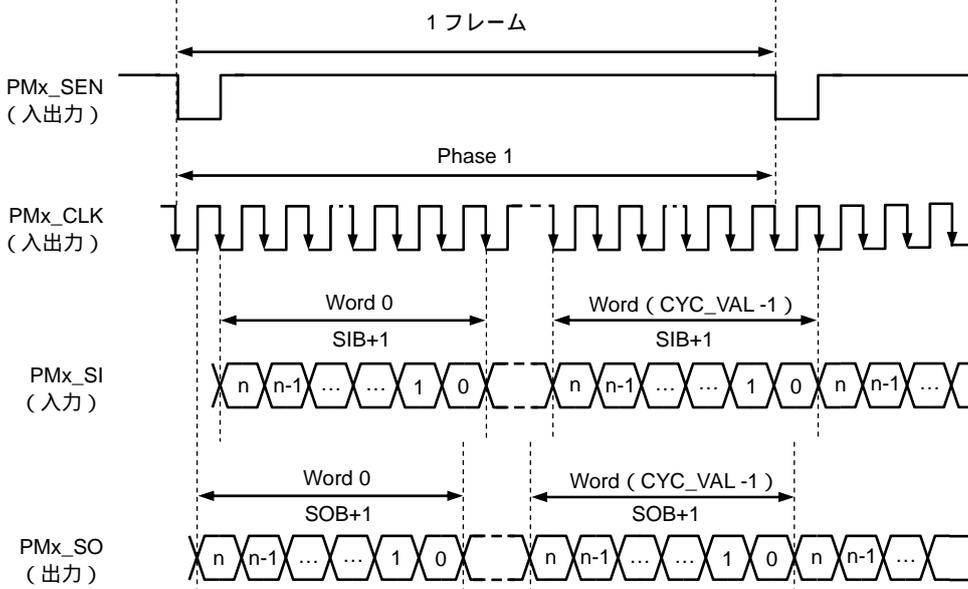
例 : PMx_CYCLE_VAL[7:0] = 01H
 PMx_CYCLE2_VAL2[7:0] = 01H
 の場合



(b) シングル・フェーズ動作

図 5-5 シングル・フェーズ動作の例 (mode 6)

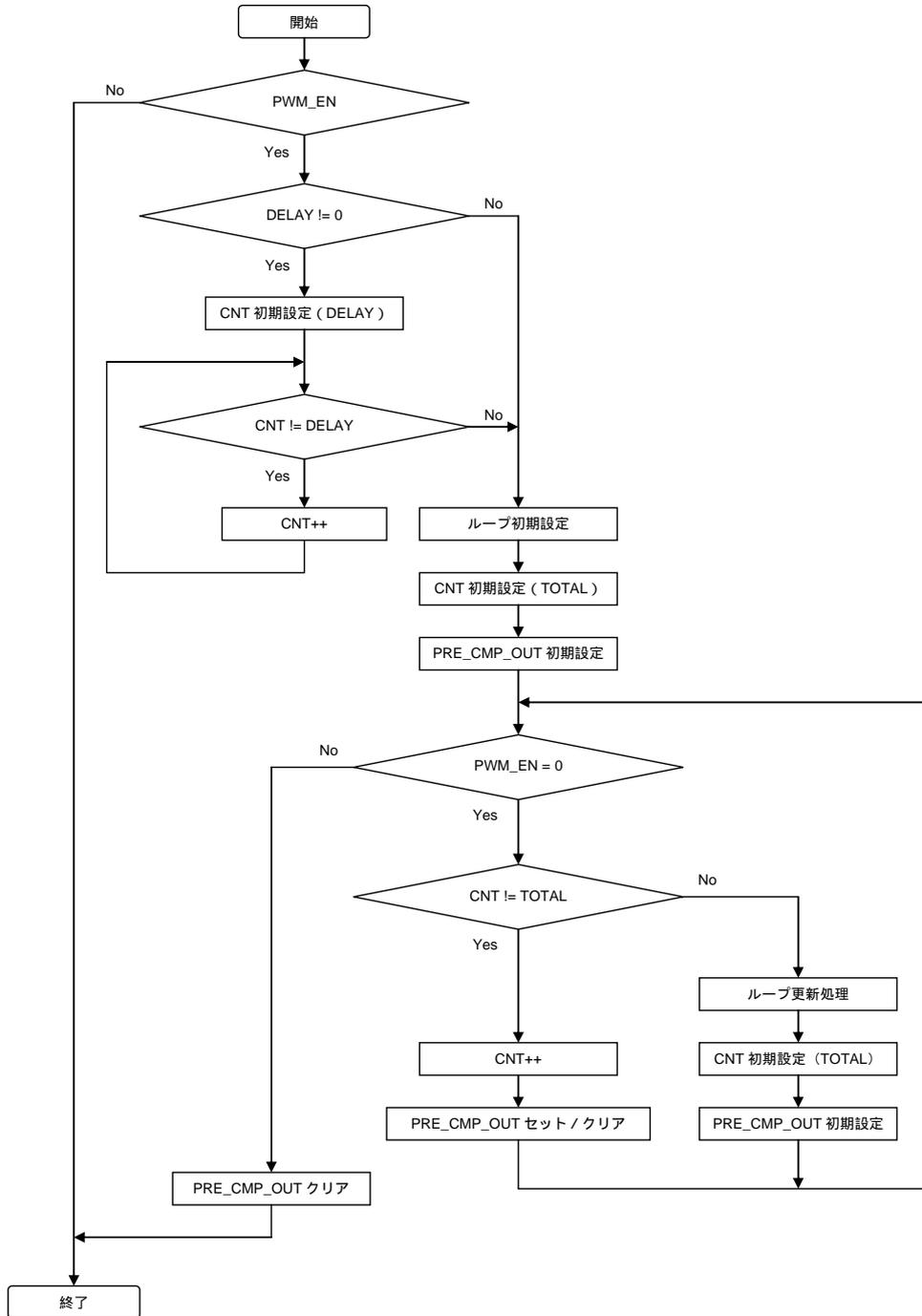
例 : PMx_CYCLE2_VAL2[7:0] = 00H の場合 (シングル・フェーズ動作)
 Phase 1 のワード数は 1~128 で設定
 (PMx_CYCLE_VAL[7:0] = 00H の場合, Phase 2 のワード数を 1~128, SIB2+1, SOB2+1 で設定)



5.2 PWMインタフェースの波形生成手順

波形生成する PWM_CHx_CMPn の一連の処理フローを示します。

図 5 - 6 波形生成フロー



5.3 注意，制限事項

5.3.1 PWMインタフェースの注意事項

PWM は立ち上がりエッジのみ使用しています。立ち下がりエッジは使用しません。

PWM_PCLK と PWM_PWCLK0, PWM_PWCLK1 は非同期の関係です。

PWM は PWM_RSTZ により初期化されます。PWM_RSTZ はシステム・クロックに同期化されているため，APB インタフェース部分は同期リセット，PWM のチャンネル 0, 1 の部分は非同期にリセットされます。

1 チャンネルにカウンタを 3 つ搭載していますが，別々に起動させることは禁止です（例えばカウンタ 0 を起動後にカウンタ 1 を起動など）。別々に起動させた場合にカウンタ間の位相は保証できません。

PWM_START をインアクティブにしたあとに設定を変更してください。

PWM の回路構成上，PWM_CHx_LEDGE_n（リーディング・エッジ），PWM_Chx_TEDGE_n（トレーリング・エッジ），PWM_CHx_TOTAL_n（トータル）の設定は次の制限があります。

- ・設定する値の大きさは LEDGE < TEDGE TOTAL の関係を守ってください。
- ・PWM_CHx_TOTAL_n = 0000_0000H は設定禁止です。
- ・PWM_CHx_TOTAL_n = 0000_0001H のときはカウンタ 1 のままです。
- ・PWM_CHx_LEDGE_n = 0000_0000H にすると LEDGE 期間はなくなります。
- ・PWM_CHx_TEDGE_n = 0000_0000H は設定禁止です。

同じ要因のセット間隔が “ PWM_PCLK 周期 × 4 + PWM_PWCLK_x 周期 × 4 ” 以下の場合には，要因クリア後に正しくセットされない場合があります。その次の要因セット・タイミングではセットされます。

再起動する場合は PWM_START ビットを 0 に設定後，PWM_PWCLK_x で 3 クロック以上の間隔をあけてください。

備考 x = 0, 1

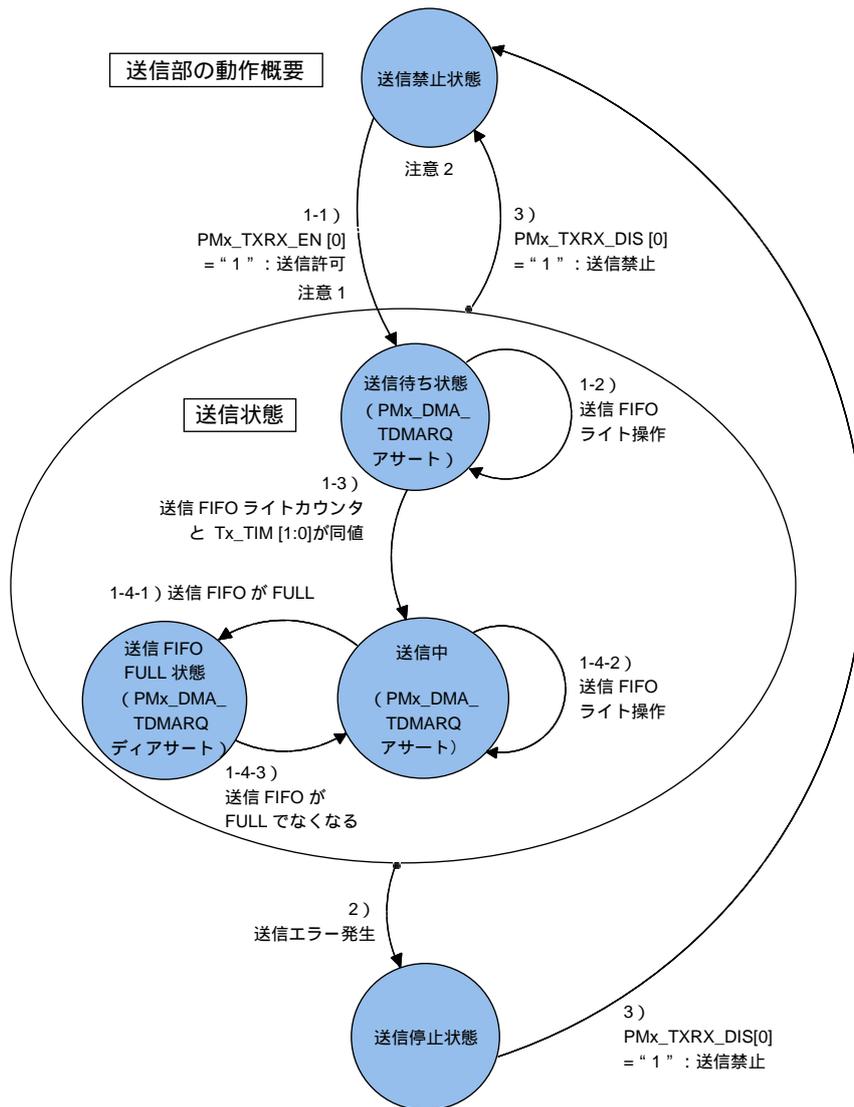
n = 0-2

付録A 送受信の動作

A.1 Audio/Voiceインタフェースの状態遷移図

A.1.1 送信部の状態遷移図

図 A - 1 送信部の状態遷移図



注意 1. 送信禁止状態から再送信許可とする場合、送信禁止にしてから 1 フレーム期間(mode 5 ,6 の場合は Phase 1 と Phase 2 の設定で大きい方の 1 ワード期間) のウエイト後、または送信再設定許可割り込み発生後送信許可にしてください。

ただし、注意 2 の実行後であればウエイトは必要ありません(注意 2 でウエイト実行済みのため)。スレーブの場合、マスタからの PMx_SEN, PMx_CLK が十分安定してから送信許可にしてください。

2. 送信を停止してから設定を変更する場合、送信禁止にしてから 1 フレーム期間(mode 5 ,6 の場合は Phase 1 と Phase 2 の設定で大きい方の 1 ワード期間) のウエイト後、または送信再設定許可割り込み発生後設定の変更を行ってください。

動作要因	説明	状態		
		送信禁止	送信状態	送信停止
PMx_DMA_TDMARQ 端子	DMA 送信要求	OFF 固定	ON/OFF あり	OFF 固定
PMx_SO 端子	シリアル・データ送信	0 固定	送出	0 固定
PMx_INT 端子	INT 割り込み要求	注 1	アサートあり	注 2
PMx_SEN 端子 (マスタ時)	シリアル・データ同期信号	0 固定	送出	送出
TX_WEN フラグ	送信データ・ライト可能フラグ	0 (OFF)	ON/OFF あり	ON/OFF 保持
TX_ORE フラグ	送信オーバーラン・エラー検出	0 (OFF)	ON/OFF あり	ON/OFF 保持
TX_URE フラグ	送信アンダラン・エラー検出	0 (OFF)	ON/OFF あり	ON/OFF 保持
TX_FRE フラグ	送信同期エラー検出	0 (OFF)	ON/OFF あり	ON/OFF あり
TxFIFO	送信 FIFO	ライト禁止	ライト可能	ライト禁止 ^{注 3}
TX_W_CONT	送信 FIFO のライト・カウンタ	0	カウンタあり	カウンタ値保持
TX_R_CONT	送信 FIFO のリード・カウンタ	0	カウンタあり	カウンタ値保持
TX_WP_NUM ^{注 4}	送信 FIFO のライト・ポインタが示す FIFO に対応するワード番号	0	ワード番号あり	ワード番号保持
TX_PHASE ^{注 4}	送信 FIFO のライト・ポインタが Phase1, 2 のどちらかを示す	0	Phase 表示あり	Phase 表示保持

注 1. PMx_INT 端子の状態は、受信割り込み要因によります。

2. 送信割り込み要因がマスク解除されている場合にアサートします。

3. 送信停止での送信 FIFO へのライトは、送信オーバーラン・エラーが発生する場合があります。

4. mode 5, 6 以外では、“0” 固定となります。

A. 1. 2 送信部の状態遷移の説明

1) PMx_TXRX_EN[0] = “1” 「送信状態」

・スレーブの場合、マスタからの PMx_SEN, PMx_CLK が十分安定してから送信許可としてください。

1-1) 送信許可ビットを “1” にすることにより「送信状態」に移ります。

- ・要因 TX_WEN (送信データ・ライト可能) フラグが ON します。
- ・PMx_DMA_TDMARQ (DMA 送信要求) 信号がアサートします。
- ・TX_WP_NUM, TX_PHASE の初期化を行います。

1-2) DMA コントローラより, PMx_TXQ (送信データ・レジスタ) にデータをライトします。

備考 PMx_TXQ へ書き込まれたデータは, 32 ビット x 32 ワードの送信 FIFO に書き込まれます。ライト・ポインタ制御, TX_WP_NUM, TX_PHASE の制御はハードウェアが自動的に行います。

1-3) 送信開始タイミング設定 (PMx_FUNC_SEL [6:5]) で設定したワード数だけ, 送信 FIFO に溜まった時点で, その内容を PMx_SO 端子 (シリアル・データ送信) より, 設定 mode フォーマットに従って送出開始します。

1-4) 「送信 FIFO FULL 状態」

1-4-1) 送信 FIFO が FULL になると, 次のようになります。

- ・要因 TX_WEN (送信データ・ライト可能) フラグが OFF します。
- ・PMx_DMA_TDMARQ (DMA 送信要求) 信号がディアサートします。

1-4-2) 送信 FIFO の内容が PMx_SO 端子より送出されて, 送信 FIFO が FULL でなくなると, 「送信中」に戻ります。

- ・要因 TX_WEN (送信データ・ライト可能) フラグが ON に戻ります。
 - ・PMx_DMA_TDMARQ (DMA 送信要求) 信号が再アサートします。
- 再度, 送信 FIFO ライトが可能となります。

1-4-3) 「送信 FIFO FULL 状態」で, 送信 FIFO ライトを実行するとオーバラン・エラーが発生します。この場合, 「送信停止状態」に移ります。

2) 送信エラー発生 「送信停止状態」

2-1) 送信エラー^注が発生した場合, 「送信停止状態」に移ります。マスク解除設定ならば, 割り込み発生 (PMx_INT がアサート) します。

注 送信エラーとは, TX_ORE: オーバラン・エラー, TX_URE: アンダラン・エラー, TX_FRE: 同期エラーのことです。

注意 送信データを PMx_SO 端子よりすべて送出し終わった場合 (正常終了), 送信 FIFO が Empty になるので結果的に送信アンダランが発生します。このときも「送信停止状態」に遷移します。

送信停止状態では、次の動作となります。

- ・(エラー発生前の)送信 FIFO の最終データを送出後、PMx_SO は“0”固定となります。
- ・送信エラー要因は保持されます。
- ・送信 FIFO のライト・カウンタ値、リード・カウンタ値は保持されます。
- ・この状態での送信 FIFO への書き込みは禁止です。
- ・TX_WP_NUM, TX_PHASE は保持されます。

2-2) TX_FRE : 同期エラーが発生した場合は要因クリア (PMx_CLEAR[0] = “1”) を、TX_URE : アンダラン・エラーが発生した場合は要因クリア (PMx_CLEAR[1] = “1”) を実行してください。

3) PMx_TXRX_DIS [0] = “1” 「送信禁止状態」

送信禁止ビットを“1”にすることにより「送信禁止状態」に戻ります。すべての送信機能が停止します。

- ・要因 TX_WEN (送信データ・ライト可能) フラグがクリアされます。
- ・要因 TX_ORE (送信オーバーラン), TX_URE (送信アンダラン) フラグがクリアされます。
- ・送信 FIFO のライト・カウンタ値、リード・カウンタ値は 0 にリセットされます。

注意 送信アンダランまたはエラー発生したあとに、送信を再開するには、

- ・3) PMx_TXRX_DIS [0] = “1” 「送信禁止状態」
- ・送信禁止にしてから 1 フレーム期間 (mode 5, 6 の場合は Phase 1 と Phase 2 の設定で大きい方の 1 ワード期間) のウエイトの実施
- ・1) PMx_TXRX_EN [0] = “1” 「送信状態」

のように、一度「送信禁止状態」に戻してから、「送信許可」にしてください。

これは、エラーにより送信 FIFO の内容やカウンタ値が正常でない場合があること、また mode 2-4 で送信 FIFO の順序内容と Lch と Rch のデータの順序が入れ変わる可能性があるためです。

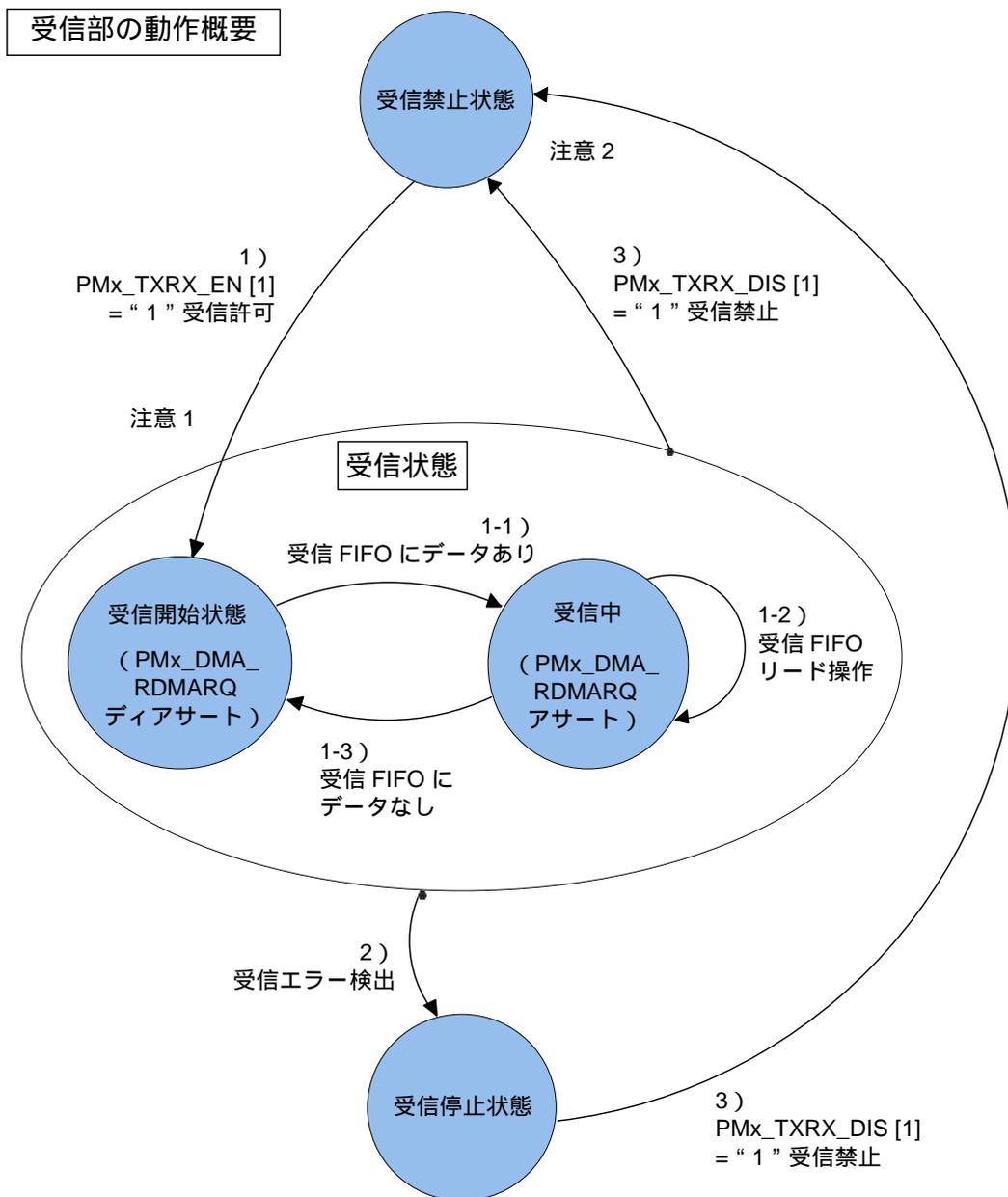
「送信許可状態」から「送信禁止状態」とした場合も、送信を再開するまでに「送信禁止」としてから 1 フレーム期間 (mode 5, 6 の場合は Phase 1 と Phase 2 の設定で大きい方の 1 ワード期間) のウエイトを実施、または送信再設定許可割り込み発生後に「送信許可」としてください。

設定の変更が必要な場合も同様に、ウエイトを実施してから設定の変更を行ってください。

設定の変更後に「送信許可」まで、更に 1 フレーム分のウエイトの実施は必要ありません。

A. 1. 3 受信部の状態遷移図

図 A - 2 受信部の状態遷移図



注意 1. 送信禁止状態から再送信許可とする場合、送信禁止としてから 1 フレーム期間 (mode 5, 6 の場合は Phase 1 と Phase 2 の設定で大きい方の 1 ワード期間) のウエイト後、または受信再設定許可割り込み発生後、送信許可としてください。

ただし、注意 2 の実行後であれば、ウエイトは必要ありません (注意 2 でウエイト実行済みのため)。スレーブの場合、マスタからの PMx_SEN, PMx_CLK が十分安定してから受信許可としてください。

2. 送信停止としてから設定を変更する場合、送信禁止としてから 1 フレーム期間 (mode 5, 6 の場合は Phase 1 と Phase 2 の設定で大きい方の 1 ワード期間) のウエイト後、または受信再設定許可割り込み発生後、設定の変更を行ってください。

動作要因	説明	状態		
		受信禁止	受信状態	受信停止
PMx_DMA_RDMARQ 端子	DMA 受信要求	OFF 固定	アサートあり	OFF 固定
PMx_SI 端子	シリアル・データ受信	受信しない	受信する	受信しない
PMx_INT 端子	INT 割り込み要求	注 1	アサートあり	注 2
RX_REN フラグ	受信データ・ライト可能フラグ	0 (OFF)	ON/OFF あり	ON/OFF 保持
RX_ORE フラグ	受信オーバラン・エラー検出	0 (OFF)	ON/OFF あり	ON/OFF 保持
RX_URE フラグ	受信アンダラン・エラー検出	0 (OFF)	ON/OFF あり	ON/OFF 保持
RX_FRE フラグ	受信同期エラー検出	0 (OFF)	ON/OFF あり	ON/OFF 保持
RXFIFO	受信 FIFO	リード禁止	リード可能	リード禁止 ^{注3}
RX_W_CONT	受信 FIFO のライト・カウンタ	0	カウンタあり	カウンタ保持
RX_R_CONT	受信 FIFO のリード・カウンタ	0	カウンタあり	カウンタ保持
RX_RP_NUM ^{注4}	受信 FIFO のリード・ポインタが示す FIFO に対応するワード番号	0	ワード番号あり	ワード番号保持
RX_PHASE ^{注4}	受信 FIFO のリード・ポインタが Phase1, 2 のどちらかを示す	0	Phase 表示あり	Phase 表示保持

注 1. PMx_INT 端子の状態は、送信割り込み要因によります。

2. 受信割り込み要因がマスク解除されている場合にアサートします。
3. 受信停止での受信 FIFO からのリードは、受信アンダラン・エラーが発生する場合があります。
4. mode 5, 6 以外では、“0” 固定となります。

A. 1. 4 受信部の状態遷移の説明

1) PMx_TXRX_EN[1] = “1” 「受信状態」

- ・スレーブの場合、マスタからの PMx_SEN, PMx_CLK が十分安定してから受信許可としてください。
受信許可ビットを“1”にすることにより「受信状態」に移ります。

1-1) PMx_SI 端子より、シリアル・データを受信します。1ワード以上のデータを受信すると、受信 FIFO に転送します。

- ・要因 RX_REN (受信 FIFO に有効データが存在する通知) フラグが ON します。
- ・PMx_DMA_RDMARQ (DMA 受信要求) 信号がアサートします。
- ・RX_RP_NUM, RX_PHASE の初期化を行います。

1-2) 受信 FIFO にたまったデータを、DMA コントローラが PMx_RXQ (受信データ・レジスタ) よりリードします。

備考 受信 FIFO は、32 ビット×32 ワードで構成されています。

リード・ポインタ制御, RX_RP_NUM, RX_PHASE の制御はハードウェアが自動的に行います。

1-3) PMx_RXQ リードにより受信 FIFO に有効データがなくなったときは次のようになります。

- ・要因 RX_REN (受信 FIFO に有効データが存在する通知) フラグが OFF します。
- ・PMx_DMA_RDMARQ (DMA 受信要求) 信号がデアサートします。

PMx_SI 端子よりシリアル・データを受信して、もう一度受信 FIFO に有効データがたまったら 1-1) に戻ります。

2) 受信エラー発生 「受信停止状態」

2-1) 受信エラー[※]が発生した場合、「受信停止状態」に移ります。マスク解除設定ならば、割り込み発生 (PMx_INT がアサート) します。

注 受信エラーとは、RX_ORE : オーバラン・エラー, RX_URE, アンダラン・エラー, RX_FRE : 同期エラーのことです。

受信停止状態では、次の動作となります。

- ・PMx_SI 端子からのデータ受信を停止します。
- ・受信エラー要因は保持されます。
- ・受信 FIFO のライト・カウンタ値, リード・カウンタ値は保持されます。
- ・この状態での受信 FIFO からのリードは禁止です。
- ・RX_RP_NUM, RX_PHASE は保持されます。

2-2) RX_FRE : 同期エラーが発生した場合、同期エラー要因クリア (PMx_CLEAR [4] = “1”) を実行してください。

3) PMx_TXRX_DIS[1] = "1" 「受信禁止状態」

受信禁止ビットを "1" にすることにより「受信禁止状態」に戻ります。すべての受信機能が停止します。

- ・要因 RX_REN (受信 FIFO リード可能) フラグがクリアされます。
- ・要因 RX_ORE (受信オーバーラン), RX_URE (受信アンダラン) フラグがクリアされます。
- ・受信 FIFO のライト・カウンタ値, リード・カウンタ値は 0 にリセットされます。

注意 受信エラーが発生したあとに, 受信を再開するには,

- ・ 3) PMx_TXRX_DIS [1] = "1" 「受信禁止状態」
- ・ 受信禁止にしてから 1 フレーム期間 (mode 5, 6 の場合は Phase 1 と Phase 2 の設定で大きい方の 1 ワード期間) のウエイトの実施
- ・ 1) PMx_TXRX_EN [1] = "1" 「受信状態」

のように, 一度「受信禁止状態」に戻してから, 「受信許可」にしてください。

これは, 受信エラーにより受信 FIFO の内容やカウンタ値が正常でない場合に, それを初期化するためです。特に mode 2-4 で受信 FIFO の順序内容と Lch と Rch のデータの順序が入れ変わることを是正します。

「受信許可状態」から「受信禁止状態」とした場合も, 受信を再開するまでに「受信禁止」としてから 1 フレーム期間 (mode 5, 6 の場合は Phase 1 と Phase 2 の設定で大きい方の 1 ワード期間) のウエイトを実施または**受信再設定許可割り込み発生後に「受信許可」として**ください。

設定の変更が必要な場合も同様に, ウエイトを実施してから設定の変更を行ってください。

設定の変更後に「受信許可」まで, 更に 1 フレーム分のウエイトの実施は必要ありません。

【改版履歴】

日付	版数	改版内容
2009.1.30	暫定1版	-
2009.3.31	第2版	P6 関連資料 ・MC-10118A(EM1-D512), μ PD77630A(EM1-S)のデータ・シートおよびユーザズ・マニュアル 1chip 編を追記。 ・電源チップ編を削除。
		P13 3.1.1 Audio/Voice インタフェース レジスタ 002CH FIFO カウンタ・レジスタ Reserved
		P14 3.1.2 PWM インタフェース レジスタ 0020H チャンネル0 カウンタ・ループ回数設定レジスタ チャンネル0 カウンタ <u>0</u> ループ回数設定レジスタ レジスタ名称変更
		P24 3.2.6 割り込みステータス・レジスタ 脚注追記
		P42 3.3.2(6) チャンネルx カウンタ・ループ回数設定レジスタ チャンネルx カウンタ <u>n</u> ループ回数設定レジスタ
2010.6.30	第3版	P28 3.2.7 割り込みイネーブルセットレジスタ 脚注 誤記訂正



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>