

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M3T-M32104UT

ハードウェアマニュアル

M32104 μ T-Engine ボード

MultiMediaCard™は Infineon Technologies AG の商標です。
CompactFlash™はサンディスク社の商標です。

安全設計に関するお願い

- 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について株式会社ルネサス テクノロジーおよび株式会社ルネサス ソリューションズが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、株式会社ルネサス テクノロジーおよび株式会社ルネサス ソリューションズは責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、株式会社ルネサス テクノロジーおよび株式会社ルネサス ソリューションズは、予告なしに、本資料に記載した製品又は仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりましては、事前に株式会社ルネサス テクノロジー、株式会社ルネサス ソリューションズ、株式会社ルネサス販売又は特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、株式会社ルネサス テクノロジーおよび株式会社ルネサス ソリューションズはその責任を負いません。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。株式会社ルネサス テクノロジーおよび株式会社ルネサス ソリューションズは、適用可否に対する責任を負いません。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、株式会社ルネサス テクノロジー、株式会社ルネサス ソリューションズ、株式会社ルネサス販売又は特約店へご照会ください。
- 本資料の転載、複製については、文書による株式会社ルネサス テクノロジーおよび株式会社ルネサス ソリューションズの事前の承諾が必要です。

本製品ご利用に際しての留意事項

- 本製品は、プログラムの開発、評価段階に使用する開発支援装置です。開発の完了したプログラムを量産される場合には、必ず事前に実装評価、試験などにより、お客様の責任において適用可否を判断してください。
- 本製品を使用したことによるお客様での開発結果については、一切の責任を負いません。
- 本製品について弊社は、以下に示す有償もしくは無償の対応に努めます。
 - (1) 製品故障に対する製品の修理、交換など
ただし、販売中止後1年を経過した製品は修理不可能な場合があります。
 - (2) 製品不具合に対する回避策の提示又は、不具合改修など
ただし、いかなる場合でも回避策の提示又は不具合改修を保証するものではありません。
- 本製品は、プログラムの開発、評価用に実験室での使用を想定して準備された製品です。国内の使用に際し、電気用品安全法及び電磁波障害対策の適用を受けておりません。
- 本製品は、プログラムの開発、評価用に使用する製品です。お客様の製品に組み込んで量産することはできません。
- 本製品に搭載されているマイコン M32104 は ES 品です。不具合がある場合でもマイコンの不具合改修品に交換しません。
- 本製品に搭載されているマイコン M32104 は μ T-Engine ボードでのみの提供になります。M32104 単体を新規システムに採用いただけません。
- 本製品に搭載されている部品を外して、他の製品へ転用することは禁止します。
- 本製品の ROM に入っているソフトウェア全て、もしくは一部を、他のハードウェアにコピーして使用することは禁止します。
- CF,MMC は、すべてのデバイスで動作することを保証することはできません。
- LAN インタフェースは、すべての機器との接続を保証することはできません。

はじめに

M3T-M32104UT は、ルネサス製 32 ビットマイクロコントローラ M32104 搭載の評価用ボードです。
本取り扱い説明書は、M3T-M32104UT の仕様とセットアップ方法を中心に説明するものです。

安全に正しくご使用いただくために

安全上の注意事項：

本取り扱い説明書及び製品への表示では、製品を正しくお使いいただき、あなたや他の人々への危害や財産への損害を未然に防止するために、いろいろな絵表示をしています。



その表示と意味に関しては、「第 1 章 安全上の注意事項」に示しています。掲載している内容をよく理解してからお使いください。

1. 安全上の注意事項	8
1.1. 絵表示と意味.....	8
2. 概要	12
2.1. 概要.....	12
2.2. 構成.....	12
2.3. 外部仕様.....	13
2.4. M3T-M32104UT ブロック図.....	15
2.5. M3T-M32104UT メモリマッピング	16
3. 機能仕様.....	18
3.1. CPU	18
3.1.1. M32104S6WG.....	18
3.1.2. M3T-M32104UT での端子機能一覧.....	19
3.1.3. 割り込み要因一覧.....	21
3.1.4. チップセレクトコントローラ設定一覧.....	21
3.1.5. SDRAM コントローラ設定一覧.....	22
3.2. メモリ	23
3.3. PLD	23
3.4. コンパクトフラッシュ.....	23
3.5. MMC インタフェース	23
3.6. シリアルインタフェース.....	24
3.7. リアルタイムクロックインタフェース	24
3.8. 電源回路.....	25
3.9. クロックモジュール	26
3.10. リセットモジュール.....	26
3.11. 拡張バス仕様.....	27
3.11.1. 拡張バスコネクタ.....	27
3.11.2. 拡張バス信号.....	27
3.11.3. 拡張ボード設計時の注意事項	30
3.12. LAN インタフェース	31
3.13. AR コントローラ (人工網膜 LSI)	31
3.14. SDI インタフェース	31
3.15. パラレルインタフェース.....	32
4. PLD 機能説明	34
4.1. PLD アクセスタイミング.....	34
4.2. 端子機能.....	36
4.3. PLD レジスタ一覧.....	39
4.4. コンパクトフラッシュコントローラ (CFC) 概要.....	40
4.4.1. コンパクトフラッシュアクセスタイミング.....	41
4.4.2. コンパクトフラッシュコントローラ関連レジスタ.....	43
4.4.3. CFC リセット制御レジスタ.....	44
4.4.4. CFC カード検出ステータスレジスタ	45
4.4.5. CFC 割り込みマスクレジスタ	46
4.4.6. CFC バッファイネーブル制御レジスタ.....	47
4.4.7. カードコンフィグレーションレジスタアドレスマッピング	48
4.4.8. CF-ATA ドライブレジスタアドレスマッピング	49
4.4.9. M32104 アドレスとコンパクトフラッシュアドレスの関係	51
4.5. マルチメディアカードコントローラ (MMCC) 概要	52

4.5.1.	マルチメディアカードコントローラ関連レジスタ	53
4.5.2.	MMC 制御レジスタ	54
4.5.3.	MMC モードレジスタ	55
4.5.4.	MMC ステータスレジスタ	56
4.5.5.	MMC ボーレートレジスタ	57
4.5.6.	MMC コマンドバイトカウントレジスタ	59
4.5.7.	MMC データバイトカウントレジスタ	60
4.5.8.	MMC カード検出レジスタ	61
4.5.9.	MMC カードライトプロテクト検出レジスタ	62
4.5.10.	MMC ライトデータメモリ	63
4.5.11.	MMC リードデータメモリ	64
4.5.12.	MMC コマンドデータメモリ	65
4.5.13.	MMC レスポンスデータメモリ	66
4.5.14.	MMCC 動作説明	67
4.6.	割り込みコントローラ (ICU) 概要	68
4.6.1.	ICU 関連レジスタ一覧	69
4.6.2.	割り込みステータスレジスタ	70
4.6.3.	割り込みリクエストレジスタ	72
4.6.4.	割り込み制御レジスタ	74
4.6.5.	ハードウェア優先順位と割り込み要因	77
4.6.6.	割り込み動作説明	77
4.7.	IO コントローラ概要	78
4.7.1.	IOC 関連レジスタ	78
4.7.2.	カード電源制御レジスタ	79
4.7.3.	LED 制御レジスタ	80
4.7.4.	スイッチステータスレジスタ	81
4.8.	CRC 演算回路 (CRCC)	82
4.8.1.	CRCC 関連レジスタ	82
4.8.2.	CRC7 データレジスタ	83
4.8.3.	CRC7 入力データレジスタ	84
4.8.4.	CRC16 データレジスタ	85
4.8.5.	CRC16 入力データレジスタ	86
4.8.6.	CRC16A データレジスタ	87
4.8.7.	CRC16A 入力データレジスタ	88
4.8.8.	CRC 演算について	89
4.8.9.	CRC 演算回路動作説明	89
4.9.	リアルタイムクロックコントローラ (RTC)	91
4.9.1.	RTCC 関連レジスタ	91
4.9.2.	RTC 制御レジスタ	92
4.9.3.	RTC ボーレートレジスタ	93
4.9.4.	RTC ライトデータレジスタ	95
4.9.5.	RTC リードデータレジスタ	96
4.9.6.	RTCRST 出力レジスタ	98
4.10.	スマートカードインタフェース概要	99
4.10.1.	スマートカード関連レジスタ	100
4.10.2.	SC 制御レジスタ	101
4.10.3.	SC モードレジスタ	102
4.10.4.	SC ステータスレジスタ	103

4.10.5.	SC 割り込み制御レジスタ.....	107
4.10.6.	SC ボーレートレジスタ.....	109
4.10.7.	SC 送信バッファレジスタ.....	111
4.10.8.	SC 受信バッファレジスタ.....	112
4.10.9.	SC アクセスタイミング.....	113
4.11.	システムコンフィグレーションデータ.....	115
5.	操作仕様.....	117
5.1.	ボード概観図.....	117
5.1.1.	CPU ボード.....	117
5.1.2.	拡張 LAN ボード.....	119
5.2.	外形寸法.....	121
5.2.1.	CPU ボードと拡張 LAN ボードの寸法.....	121
5.2.2.	電源ボード寸法.....	122
5.2.3.	AR ボード寸法.....	123
5.3.	操作部品概要.....	124
5.3.1.	リアルタイムクロック用バックアップバッテリーホルダ.....	124
5.3.2.	LED.....	124
5.3.3.	DIP スイッチ.....	125
5.3.4.	POWER スイッチ.....	125
5.3.5.	RESET スイッチ.....	125
5.3.6.	フラッシュ ROM ライトプロテクトジャンパピン.....	125
5.3.7.	SDI エミュレータ接続用ジャンパピン.....	125
5.3.8.	Ethernet コネクタ.....	125
5.3.9.	電源ボード接続方法.....	126
5.3.10.	AR ボード接続方法.....	126
5.3.11.	SDI エミュレータ接続方法.....	127
6.	保証.....	128
6.1.	保証内容.....	128
6.2.	修理規定.....	128

MEMO

1. 安全上の注意事項

M3T-M32104UT 及び製品への表示では、製品を正しくお使いいただき、あなたや他の人々への危害や財産への損害を未然に防止するために、いろいろな絵表示をしています。第1章では、その絵表示と意味を示し、本製品を安全に正しくご使用されるための注意事項を説明します。ここに記載している内容をよく理解してからお使いください。

1.1. 絵表示と意味

	警告	この表示を無視して、誤った取り扱いをすると、人が死亡又は重傷を負う可能性が想定される内容を示しています。
	注意	この表示を無視して、誤った取り扱いをすると、人が傷害を負う可能性が想定される内容及び物的損害のみの発生が想定される内容を示しています。
	重要	その他、本製品を使用されるに当たって重要な情報を示しています。

上の3表示に加えて、適宜以下の表示を同時に示します。

	表示は、警告・注意を示します。
例： 	感電注意
	表示は、禁止を示します。
例： 	分解禁止
	表示は、強制・指示する内容を示します。
例： 	電源プラグをコンセントから抜け

次のページから、警告、注意の順で記します。

警告

AC アダプタに関して：



付属の AC アダプタがコンセントの形状に合わない場合、AC アダプタを改造したり、無理に入れるなどの行為は絶対に行わないでください。感電事故又は火災の原因となります。

本製品付属の AC アダプタは日本国内専用です。日本国外では絶対に使用しないでください。

濡れた手で AC アダプタのプラグに触れないでください。感電の原因となります。

本製品と同じコンセントに他の装置を接続する場合は、電源電圧及び電源電流が過負荷にならないようにしてください。電気定格は AC アダプタの銘板に示してあります。



付属の AC アダプタは他の製品へ接続しないでください。

使用中に異臭・異音がしたり煙が出る場合は、直ちに電源を切り AC 電源ケーブルをコンセントから抜いてください。感電事故又は火災の原因になりますのでそのまま使用しないでください。

本製品の取り扱いに関して：



本製品は屋内で使用してください。

本製品を分解又は、改造しないでください。分解又は改造された場合、感電などにより傷害を負う可能性があります。

基板、コネクタに、水・金属片・可燃物などの異物を入れないでください。

設置に関して：



湿度が高いところ及び水などで濡れるところには設置しないでください。水などが内部にこぼれた場合、修理不能な故障の原因となります。

使用環境に関して：



本製品使用時の周辺温度の上限(最高定格周辺温度)は 35 です。この最高定格周囲温度を越えないように注意してください。

⚠ 注意

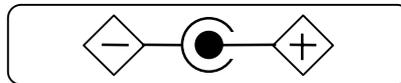
AC アダプタに関して：



本製品に付属の AC アダプタ以外は使用しないでください。

本製品の設置や他の装置との接続時には、AC アダプタをコンセントから抜いて
けがや事故を防いでください。

本製品付属の AC アダプタの DC プラグ極性を示します。



電源投入に関して：



電源 OFF 後には、10 秒程度待ってから電源を再投入してください。

本製品の取り扱いに関して：



本製品は慎重に扱い、落下・倒れなどによる強い衝撃を与えないでください。

通信インタフェースコネクタの端子や各コネクタの端子は、直接手で触らない
でください。静電気により内部回路が破壊される恐れがあります。

ボードに接続したケーブルで本製品を引っ張らないでください。ボードを持っ
てもう一方の部分を引っ張らないでください。ケーブルが断線する恐れがあり
ます。

本製品にインチサイズのネジを使用しないでください。本製品に使用している
ネジはすべて ISO タイプ(メートルサイズ)のネジです。ネジを交換されるとき
は、前に使われていたものと同じタイプのネジをご使用ください。

MEMO

2. 概要

2.1. 概要

本書は、M3T-M32104UT の機能について説明したものです。

M3T-M32104UT は μ T-Engine 仕様のボードで、ルネサス製 32 ビット RISC マイクロコントローラ M32104 を搭載しています。

2.2. 構成

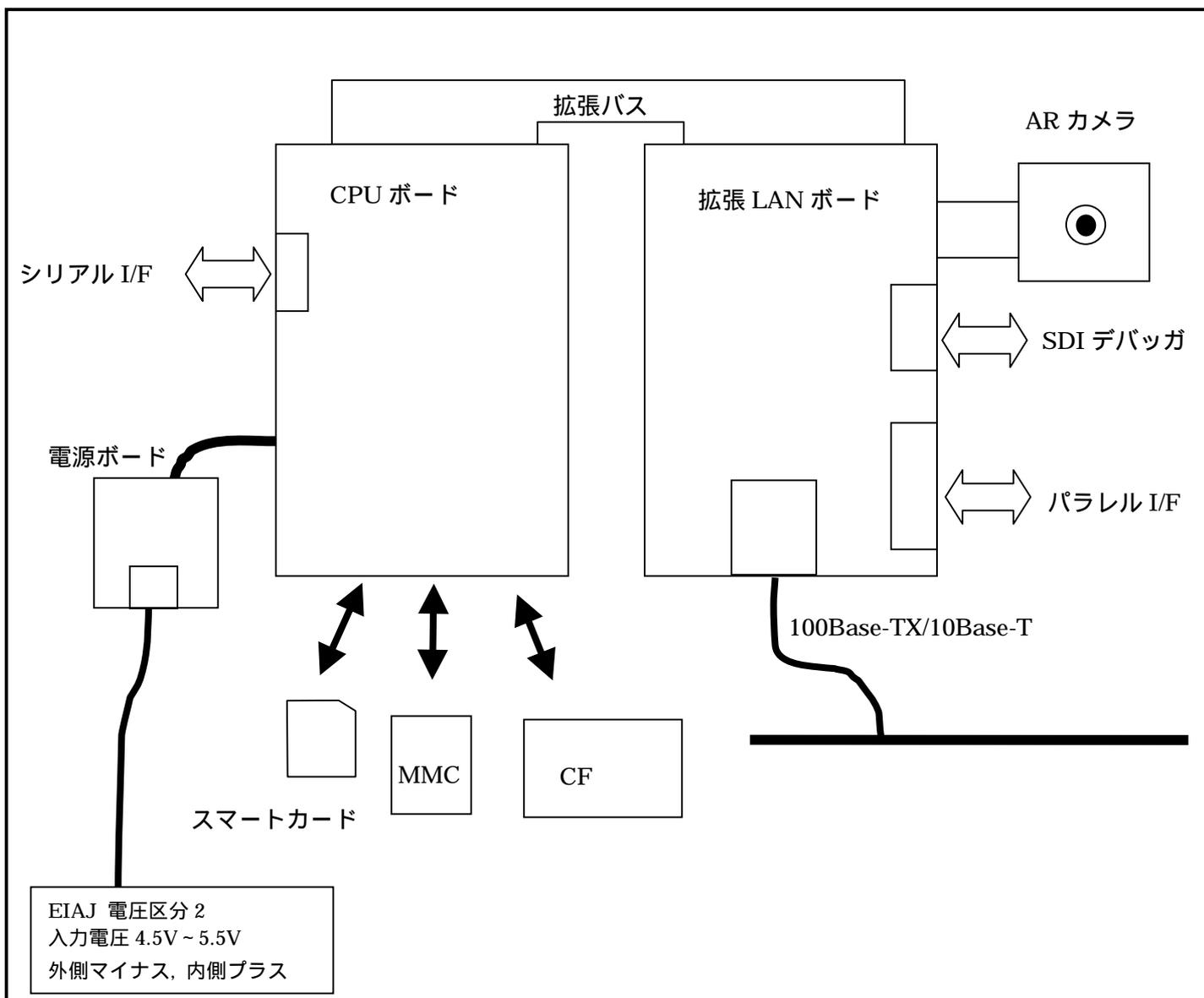


図 2.2.1 製品の構成図

2.3. 外部仕様

表 2.3.1、表 2.3.2、表 2.3.3、表 2.3.4に各ボードの外部仕様を示します。

表2.3.1 M3T-M32104UT 外部仕様一覧 (CPU ボード)

No.	項目	内容
1	CPU	M32104 (M32104S6WG) <ul style="list-style-type: none"> ●入力クロック : 27MHz ●動作クロック (最大): 216MHz ●バスクロック (最大): 54MHz
2	PLD	APEX20KE <ul style="list-style-type: none"> ●割り込みコントローラ、スマートカード、MMC インタフェース等の制御 ●PLD ロジックは CPU 起動時に I/O ポートを使用してシリアル書き込みをする
3	メモリ	以下のメモリを搭載 <ul style="list-style-type: none"> ●フラッシュメモリ (ブート ROM 用): 4M バイト <ul style="list-style-type: none"> ・ M5M29GT320VP-80 ・ 16 ビットバスアクセスのみ ●SDRAM : 16M バイト <ul style="list-style-type: none"> ・ M2V58S50AWG-7 ・ 32 ビットバスアクセスのみ
4	コンパクトフラッシュ	<ul style="list-style-type: none"> ●3.3V コンパクトフラッシュスロット (1 個) ●カード電源制御あり
5	MMC カード	<ul style="list-style-type: none"> ●3.3V MMC カードインタフェーススロット (1 個) ●カード電源制御あり
6	スマートカード	<ul style="list-style-type: none"> ●スマートカードスロット (1 個) ●クロック供給、リセット制御あり
7	リアルタイムクロック	●RTC (DS1302Z) バッテリバックアップ付き
8	LED	●LED (2 個)
9	スイッチ	<ul style="list-style-type: none"> ●RESET スイッチ (1 個) ●POWER スイッチ (1 個) ●DIP スイッチ (1 個 : 2 極)
10	その他コネクタ	<ul style="list-style-type: none"> ●拡張バスコネクタ (M32104 アドレス、データ、バス制御信号を接続) ●シリアルコネクタ ●電源コネクタ
11	外形寸法	<ul style="list-style-type: none"> ●寸法 : 60mm × 85mm ●実装形態 : 8 層両面実装

表2.3.2 M3T-M32104UT 外部仕様一覧（拡張 LAN ボード）

No.	項目	内容
1	LAN	<ul style="list-style-type: none"> ● SMSC 社製 LAN コントローラ (LAN91C111) ● PHY 内蔵タイプ、RJ45 コネクタ
2	コネクタ	<ul style="list-style-type: none"> ● SDI インタフェースコネクタ ● LAN 用 RJ-45 コネクタ ● AR カメラ用コネクタ ● パラレルインタフェース
3	LAN ボード外形寸法	<ul style="list-style-type: none"> ● 寸法：60mm × 85mm ● 実装形態：4 層両面実装

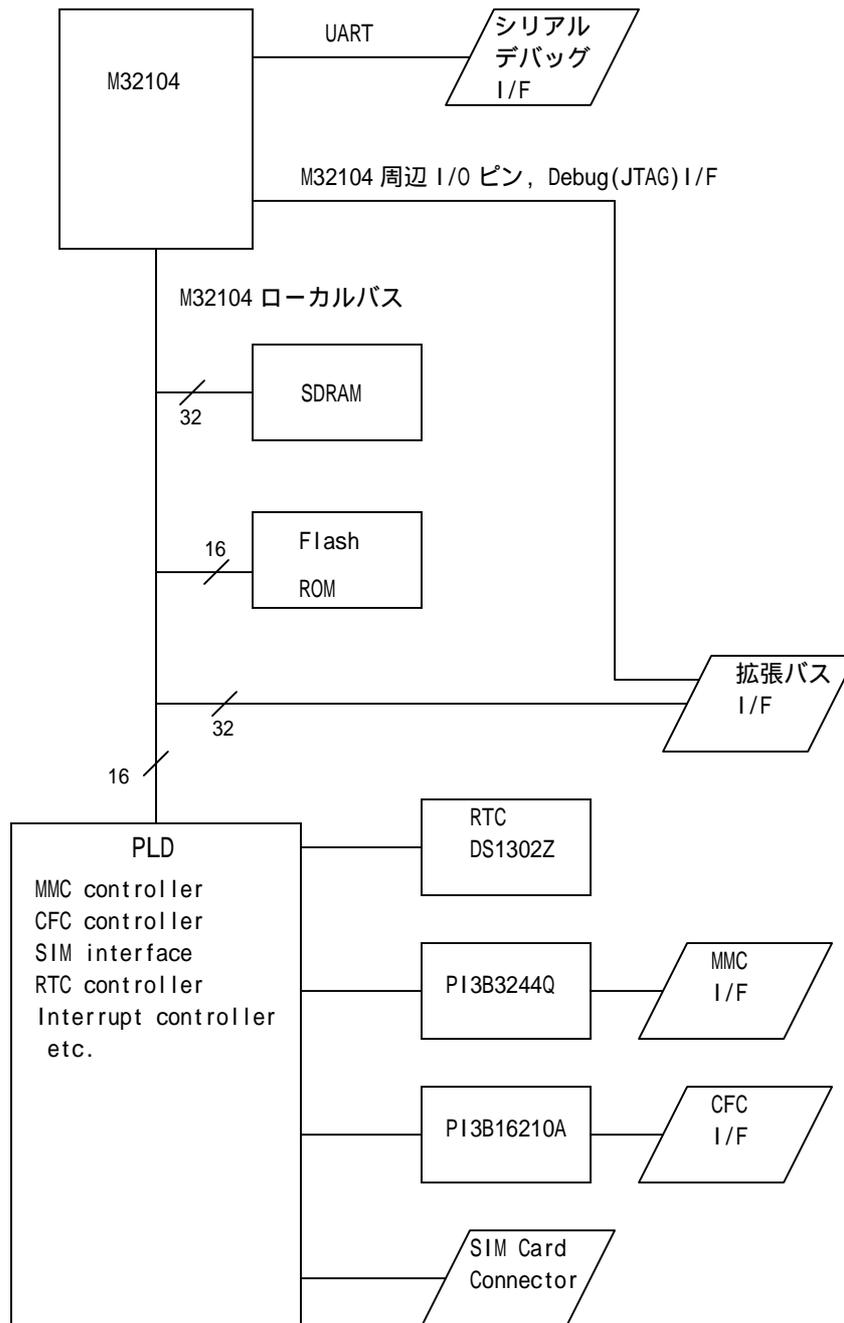
表 2.3.3 M3T-M32104UT 外部仕様一覧（AR ボード）

No.	項目	内容
1	AR	<p>ルネサス製カラー人工網膜 LSI (M64270BG) を使用</p> <ul style="list-style-type: none"> ● 160 × 144 × 3 (RGB) ● レンズ一体型パッケージ ● CDS, AGC, ガンマ補正, 色調補正回路内蔵 ● ゲインレベル、黒レベル調整機能内蔵
2	AR ボード外形寸法	<ul style="list-style-type: none"> ● 寸法：40mm × 35mm

表 2.3.4 M3T-M32104UT 外部仕様一覧（電源ボード）

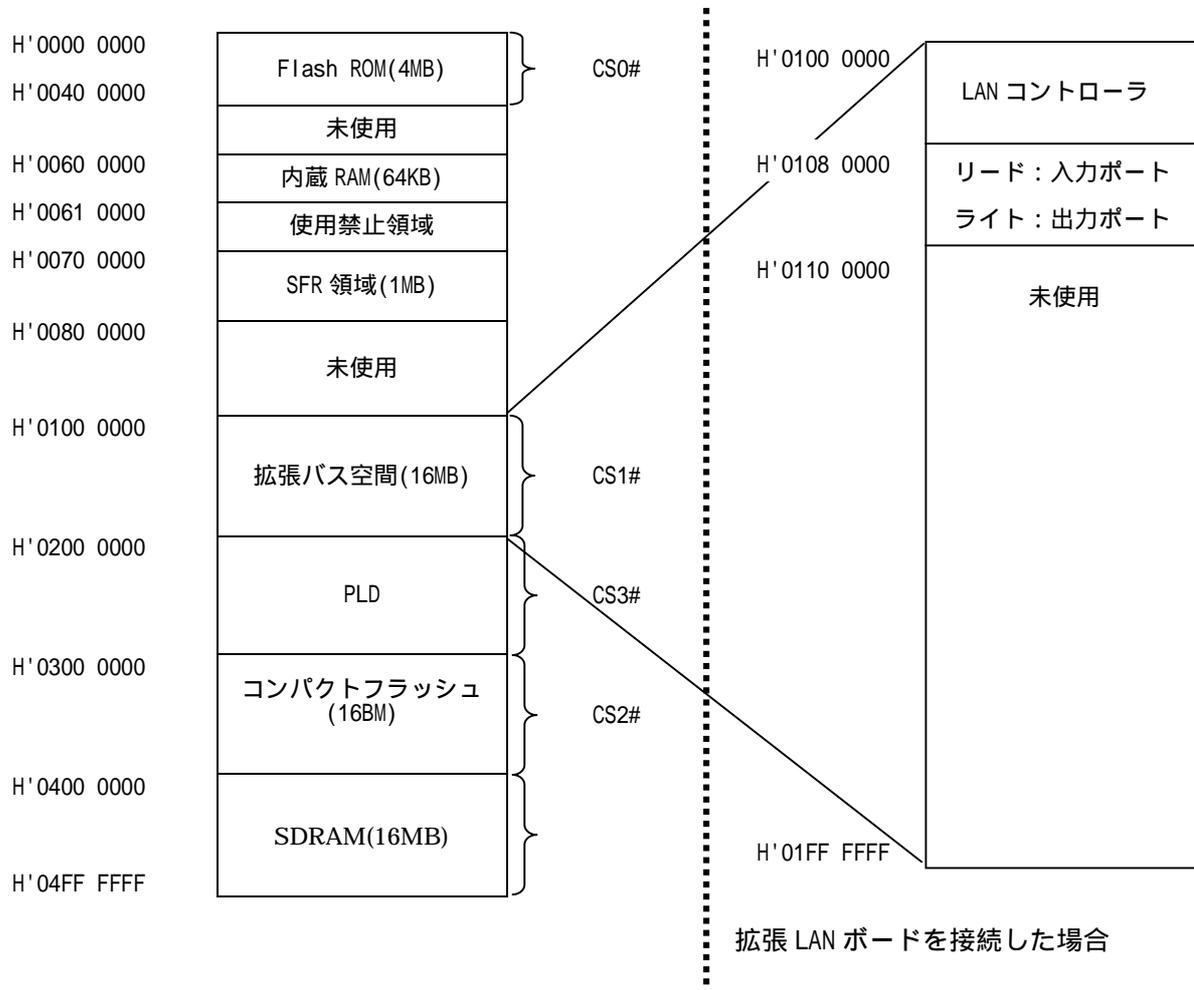
No.	項目	内容
1	電源	<ul style="list-style-type: none"> ● 入力 <ul style="list-style-type: none"> － EIAJ 電圧区分 2 － 電圧 4.5V ~ 5.5V － 外側マイナス, 内側プラス ● 出力電圧：3.3V ● 寸法：45mm × 35mm

2.4. M3T-M32104UT ブロック図



2.5. M3T-M32104UT メモリマッピング

メモリマップを以下に示します。PLD 領域の詳細は第4章に記載します。



(1) 非データキャッシュ領域の設定例：

H'0060 0000 から 2MB (内蔵 SRAM, SFR 領域)

H'0100 0000 から 16MB (拡張バス空間)

H'0200 0000 から 32MB (PLD, コンパクトフラッシュ)

(2) SDRAM の配置アドレスは SDRAM コントローラの設定による

MEMO

3. 機能仕様

3.1. CPU

3.1.1. M32104S6WG

M3T-M32104UTには、最大216MHz（外部バス最大100MHz）で動作する32ビットRISCシングルチップマイクロコンピュータM32104が搭載されています。M32104は、64Kバイト容量のSRAM、及び8Kバイトの命令キャッシュと8Kバイトのデータキャッシュを内蔵しており、データ処理、機器制御等の多様な応用分野に対応することのできるマイクロコンピュータです。

3.1.2. M3T-M32104UT での端子機能一覧

(1) 専用機能ピン

M32104S6WG 専用機能の用途を下表に示します。

グループ	ピン名	用途
システム制御	RESET#	リセット信号を入力
	TEST	'L' 固定
	ROMSZ	'L' 固定
	STBY#	ポートとして使用
	WKUP#	ポートとして使用
モード	MODE[0]	'L' 固定
	MODE[1]	'L' 固定
クロック	XIN	27.0MHz 発振器
	XOUT	未接続
	BCLKFB	フィードバック BCLK を入力
	LBA#/ADV#	未使用
	BAA#	未使用
ICU	SBI#	'H' 固定
バス制御	CS0#	Flash
	CS1#	拡張バス空間
	CS2#	コンパクトフラッシュ
	CS3#	PLD
SDRAM	DCS1#	未使用
ADC	AN[0]	'L' 固定
	AN[1]	1.8V 電源
	AN[2]	'H' 固定
	AN[3]	'H' 固定
	AVREF	AVCC
	ADTRG#	'H' 固定
PLL	PLL CAP	LPF 用コンデンサ (680pF) を接続
JTAG/SDI	TCK	拡張バス経由で SDI コネクタへ接続
	TRST#	拡張バス経由で SDI コネクタへ接続
	TMS	拡張バス経由で SDI コネクタへ接続
	TDI	拡張バス経由で SDI コネクタへ接続
	TDO	拡張バス経由で SDI コネクタへ接続
SDI	DBI#	'H' 固定
	EVENT[0:1]	未使用
	TRCLK	未使用
	TRSYNC#	未使用
	TRDATA[0:7]	未使用
電源	VCC	1.8V (8 本)
	VCCX	3.3V (25 本)
	VSS	GND (32 本)
	AVCC	3.3V
	AVSS	GND
	PLL VCC	3.3V
	PLL VSS	GND

(2) プログラマブルポート

ポート名	使用機能	μT-Engine ボード	拡張バス	LAN 拡張ボードでの使用状況
P22/STBY#	P22(OUT)	PLD nCONFIG へ接続	未接続	
P23/WKUP#	P23(IN)	PLD STS へ接続	未接続	
P24/HOLD#/DREQ1/TA1	P24	未使用	接続・設定変更可	P24(AR カメラ)
P25/HLDA#/DACK1/TB1	P25	未使用	接続・設定変更可	未使用
P26/DREQ0/RTS1#/INT6	P26	未使用	接続・設定変更可	未使用
P27/DACK0/CTS1#/INT7	P27	未使用	接続・設定変更可	CTS1(AR カメラ)
P34/CS1#	CS1#	拡張バス空間	接続・設定変更不可	
P35/CS2#	CS2#	コンパクトフラッシュ空間	未接続	
P36/CS3#	CS3#	PLD 空間	未接続	
P37/WS3#・DQM3	WS3#・DQM3	SDRAM へ接続	接続・設定変更不可	
P42/DCS0#	DCS0#	SDRAM へ接続	未接続	
P43/DCS1#	P43	デバッグ用シリアルI/Fドライバのイネーブルへ接続	未接続	
P44/DRAS#	DRAS#	SDRAM へ接続	未接続	
P45/DCAS#	DCAS#	SDRAM へ接続	未接続	
P46/DWE#	DWE#	SDRAM へ接続	未接続	
P47/DCKE	DCKE	SDRAM へ接続	未接続	
P51/INT0/TA3	INT0	拡張バスからの割り込み要求	接続・設定変更不可	
P52/INT1/SCLK3/TB3	INT1	PLDからの割り込み要求	未接続	
P53/INT2/TXD3/RTS0#	RTS0#	デバッグ用シリアルI/Fとして使用	未接続	
P54/INT3/RXD3/CTS0#	CTS0#	デバッグ用シリアルI/Fとして使用	未接続	
P55/READY#/INT4/TA2	READY#	PLD へ接続	未接続	
P56/WAIT#/INT5/TB2	INT5	POWER スイッチへ接続	未接続	
P57/SCLK0/TAX0/INT8	P57	PLD INIT_DONE へ接続	未接続	
P60/TXD0/SCL	TXD0	デバッグ用シリアルI/Fとして使用	未接続	
P61/RXD0/SDA	RXD0	デバッグ用シリアルI/Fとして使用	未接続	
P62/SCLK1/TA0/INT9	P62	未使用	接続・設定変更可	SCLK1(AR カメラ)
P63/TXD1	P63	未使用	接続・設定変更可	P63(AR カメラ)
P64/RXD1	P64	未使用	接続・設定変更可	RXD1(AR カメラ)
P65/ R/W#/SCLK2/INT10	P65	未使用	接続・設定変更可	SCLK2(AR カメラ)
P66/TXD2	P66	未使用	接続・設定変更可	TXD2(AR カメラ)
P67/RXD2	P67	未使用	接続・設定変更可	P67(AR カメラ)
P76/MFTX0B/RTS2#/INT11	P76	未使用	接続・設定変更可	MFTX0B(AR カメラ)
P77/TB0/CTS2#/INT12	P77	未使用	接続・設定変更可	CTS2(AR カメラ)

3.1.3. 割り込み要因一覧

(1) 下記の割り込みを使用します

INT 番号	割り込み要因	備考
INT0	拡張バスからの割り込み要求	ボード内 47k にてプルアップ
INT1	PLD からの割り込み要求	SC, MMC, CF, LowBATT#が発生要因
INT5	POWER スイッチ	スリープモードへの移行・解除に使用

(2) SBI, INT2~4,8 は使用できません。

(3) INT6,7,9~14 は割り込み端子として使用していません。

3.1.4. チップセレクトコントローラ設定一覧

CS 信号	デバイス	ベース	サイズ	#Access(R/W)	バス幅
CS0	Flash ROM	H'0000 0000	4BM	6/7	16bit
CS1	拡張バス	H'0100 0000	16MB	7/6	16bit
CS2	Compact Flash	H'0300 0000	16MB	26/26	16bit
CS3	PLD	H'0200 0000	16MB	7/6	16bit

(1) 拡張バスへは M32104 のデータバス 32 本を接続しています。

(2) 上記 CS1 の#Access, バス幅の設定は M3T-M32RUTG-LAN(LAN ボード)接続時の値です。

(3) 具体的な設定を以下に示します。

// Flash ROM 領域のチップセレクトコントローラ初期化

CS0CR0 = 0x03040000; /* RWAIT=3, WWAIT=4, READY 無効, PRWAIT=STBWAIT=PWWAIT=0 */

CS0CR1 = 0x00101100; /* 16bit バス幅, CWAIT=0, R/W リカバリー=1, NWAIT=0 */

CS0CR2 = 0x00000007; /* 先頭アドレス=0x0000 0000, 4MB 空間 */

// 拡張バス領域のチップセレクトコントローラ初期化 <M3T-M32RUTG-LAN 接続時>

CS1CR0 = 0x03028000; /* RWAIT=3, WWAIT=2, READY 有効, PRWAIT=STBWAIT=PWWAIT=0 */

CS1CR1 = 0x00101101; /* 16bit バス幅, CWAIT=0, R/W リカバリー=NWAIT=1 */

CS1CR2 = 0x01000009; /* 先頭アドレス=0x0100 0000, 16MB 空間 */

// コンパクト Flash 領域のチップセレクトコントローラ初期化

CS2CR0 = 0x12128000; /* RWAIT=18, WWAIT=18, READY 有効, PRWAIT=STBWAIT=PWWAIT=0 */

CS2CR1 = 0x00102204; /* 16bit バス幅, CWAIT=0, R/W リカバリー=2, NWAIT=4 */

CS2CR2 = 0x03000009; /* 先頭アドレス=0x0300 0000, 16MB 空間 */

// FPGA 領域のチップセレクトコントローラ初期化

CS3CR0 = 0x03028000; /* RWAIT=3, WWAIT=2, READY 有効, PRWAIT=STBWAIT=PWWAIT=0 */

CS3CR1 = 0x00101101; /* 16bit バス幅, CWAIT=0, R/W リカバリー=NWAIT=1 */

CS3CR2 = 0x02000009; /* 先頭アドレス=0x0200 0000, 16MB 空間 */

3.1.5. SDRAM コントローラ設定一覧

表3.1.1にM3A-2139でのM32104 SDRAMコントローラ設定一覧を示します。

表3.1.1 SDRAM コントローラ設定

SDRAM コントローラ設定
SDIR0 = H'0000 0182 ・ DPC (初期化プリチャージサイクル数): 4BCLK ・ DARFC (初期化オートリフレッシュ回数): 8回 ・ DARFI (初期化オートリフレッシュ間隔): 5BCLK
SD0MOD = H'0000 0020 ・ バーストライトモード ・ CL = 2 ・ バーストタイプ: シーケンシャル ・ バースト長: 1
SD0TR = H'0004 1202 ・ DRAS (ロウアクティブ期間): 5BCLK ・ DRCD (ロウカラムレーテンシ): 2BCLK ・ DPCG (ロウプリチャージ期間): 2BCLK ・ DWR (ライトリカバリ期間): 1BCLK ・ DCL (SDRAM コントローラカラムレーテンシ): 2BCLK
SD0ADR = H'0400 0004 ・ DADR (先頭アドレス): H'0400 0000 ・ DBSZ (バスサイズ): 32 ビットバス ・ DSZ (チャンネルサイズ): 16MB
SDRF1 = H'0001 013f ・ DRFEN (オートリフレッシュ設定): オートリフレッシュ有効 ・ DREFW (オートリフレッシュサイクル/セルフリフレッシュ解除サイクル数): 3BCLK ・ DRFC (オートリフレッシュ要求間隔): 1024BCLK

3.2. メモリ

	種別	容量	バス幅
ROM	Flash	4MB	16bit
RAM	内蔵 SRAM	64KB	32bit
	SDRAM	16MB	32bit

3.3. PLD

PLD は ALTERA 製 EP20K60EFC144-2 を使用します。PLD が実現する機能概要は次の通りです。詳細は第4章PLD 機能説明を参照ください。

- (1) CF スロットアクセス制御
- (2) MMC スロットアクセス制御
- (3) スマートカードアクセス制御
- (4) 拡張バス READY#入力と PLD 内部 READY#の制御
- (5) 外部割り込み発生(LowBATT#)
- (6) 出力ポート(LED×2, CF/MMC 電源制御×1)
- (7) 入力ポート(SW×2)
- (8) CARD_VCC(CF, MMC スロット電源)オン・オフ制御
- (9) Flash ROM ライトプロテクトジャンパ設定確認
- (10) M32104 によるシリアルコンフィグレーション必要

3.4. コンパクトフラッシュ

コンパクトフラッシュスロット (Type) を 1 個実装しています。コンパクトフラッシュの制御信号は、PLD によって生成されます。

また、活線挿抜用バッファ、及び電源制御 IC を実装しており、コンパクトフラッシュの活線挿抜動作をサポートします。

3.5. MMC インタフェース

MMC (マルチメディアカード) スロットを実装しています。

MMC カードの制御は、PLD MMC カードコントローラにより行います。MMC とのインタフェースは、MMC モードで行い、双方向のコマンド、データ信号と転送クロックから構成されます。また、CRC 演算回路を PLD で実現し、CRC7 ($X^7 + X^3 + 1$)、及び CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) をサポートします。

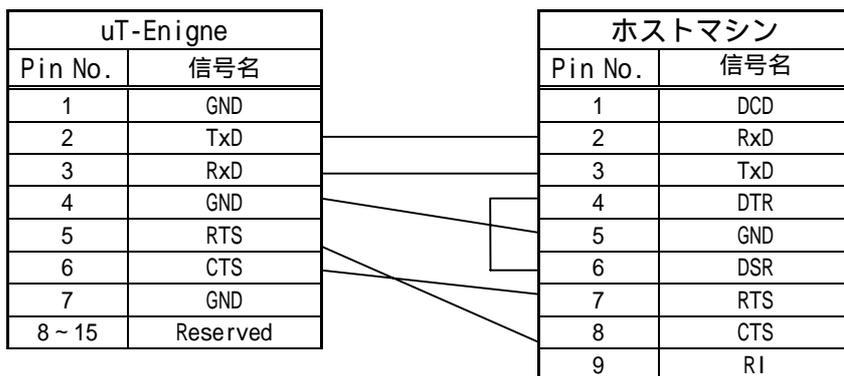
3.6. シリアルインタフェース

RS-232C のシリアル通信用に 15pin コネクタを実装し、最大 115,200bps でのシリアル通信が可能です。

M32104 の SIO0 を使用しています。

ケーブルのホストマシン側は B-SUB 9 ピンメスコネクタとなっています。

付属シリアルケーブルの接続を以下に示します。



3.7. リアルタイムクロックインタフェース

リアルタイムクロックには、Dallas DS1302Z を使用し、リチウム電池によるバッテリバックアップにより、日付、時刻の保存が可能になっています。

PLD のシリアルで通信します。

3.8. 電源回路

CPU ボードには 3.3V 単一電源を、電源ボードから入力しています。

図 3.8.1に電源系統の説明図を示します。

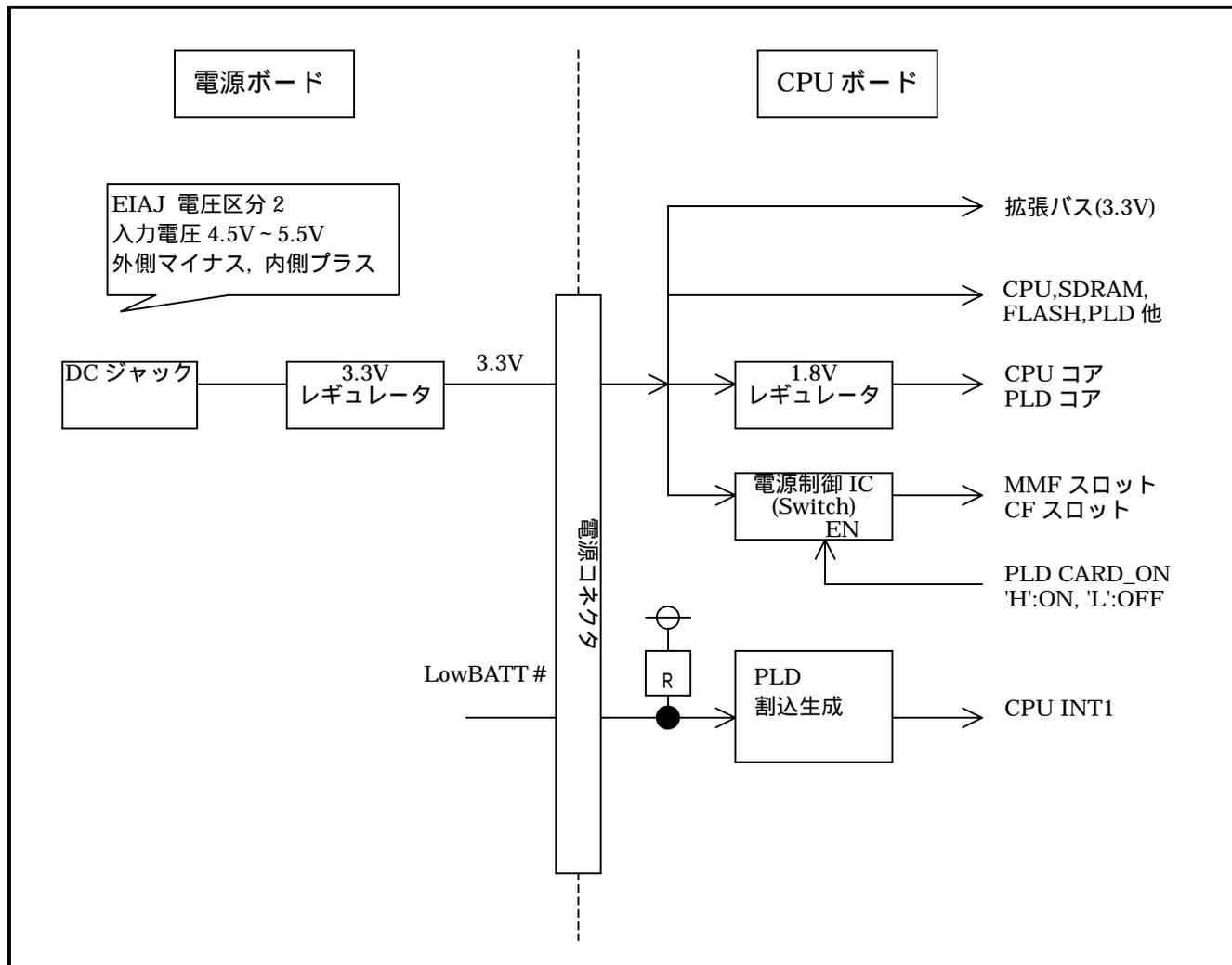


図 3.8.1 電源系統説明図

電源コネクタには日圧製 SM09B-SSR-H-TB を使用しています。信号配置を表 3.8.1に示します。

表 3.8.1 電源コネクタ信号配置

信号線 No.	機能
1 ~ 4	3.3V
5 ~ 8	GND
9	LOWBATT #

3.9. クロックモジュール

M32104 の X_{in} には 27MHz を入力しています。設定可能な動作周波数を表 3.9.1 に示します。

表 3.9.1 設定可能な動作周波数

クロックギヤ設定	CPU 周波数	BCLK 周波数	備考
CPU= $X_{in}/16$, BCLK= $X_{in}/32$	1.69MHz	0.84MHz	リセット解除時
CPU= $X_{in}/4$, BCLK= $X_{in}/8$	6.75MHz	3.38MHz	
CPU= $X_{in}/4$, BCLK= $X_{in}/16$	6.75MHz	1.69MHz	
CPU= X_{in} , BCLK= $X_{in}/2$	27.0MHz	13.5MHz	
CPU= X_{in} , BCLK= $X_{in}/4$	27.0MHz	6.75MHz	
CPU= $X_{in} \times 2$, BCLK= X_{in}	54.0MHz	27.0MHz	
CPU= $X_{in} \times 2$, BCLK= $X_{in}/2$	54.0MHz	13.5MHz	
CPU= $X_{in} \times 4$, BCLK= $X_{in} \times 2$	108MHz	54.0MHz	推奨動作モード
CPU= $X_{in} \times 4$, BCLK= X_{in}	108MHz	27.0MHz	
CPU= $X_{in} \times 8$, BCLK= $X_{in} \times 2$	216MHz	54.0MHz	推奨動作モード

3.10. リセットモジュール

リセット系統図を図 3.10.1 に示します。

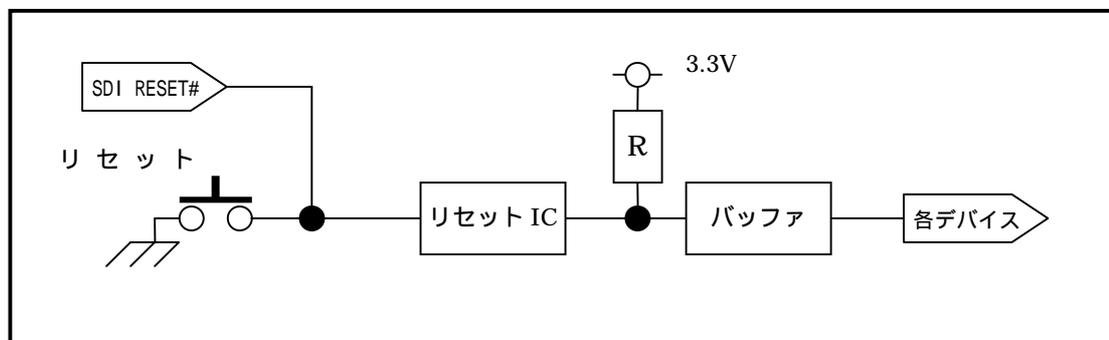


図 3.10.1 リセット系統図

3.11. 拡張バス仕様

3.11.1. 拡張バスコネクタ

拡張バスコネクタは京セラエルコ製の 24 5603 14 0202 861 を使用します。CPU ボードに接続する拡張ボードには京セラエルコ製の 14 5603 14 0202 861 を使用してください。(図 3.11.1参照)

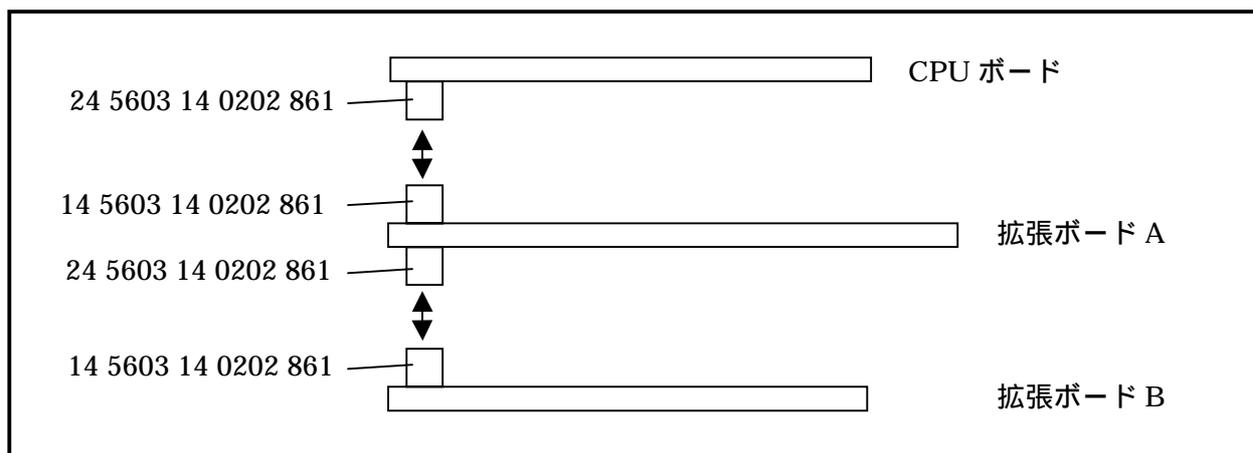


図 3.11.1 拡張ボードコネクタ

このコネクタの外形は T-Engine、 μ T-Engine 共通ですが、ボードによって接続できるものと、接続できないものを選択するために、キー構造になっています。どのコネクタが接続できるかは、キーコードによって識別します。キーコードは 24 5603 14 xxxx 861 の xxxx の部分になります。M3T-M32104UT ではキーコード 0202 を使用しています。このキーコードは前 2 桁と後 2 桁からなり、0101 ~ 2020 までの 400 種類のキーがあります。キーコード 0000 のものはすべてのコネクタに接続できるマスターと呼ばれるものです。したがってキーコードが 0202 のコネクタに接続できるコネクタはキーコードが 0000,0202 の 2 つです。

3.11.2. 拡張バス信号

表 3.11.1、表 3.11.2、表 3.11.3 に拡張バスの信号を示します。

表 3.11.1 拡張バス信号 (1)

Pin No.	信号名	I/O	機能説明	Pull up or down	バッファ
1~4	GND	-			
5~8	3.3V	-			
9	JTAG_RST#	IN	デバッガからリセットをかけるための信号です。	-	無
10	SDI_RST#	IN	CPU の TRST# に接続されています。	UP	無
11	SDI_TMS	IN	CPU の TMS に接続されています。	UP	無
12	SDI_TDO	OUT	CPU の TDO に接続されています。	-	無
13	SDI_TDI	IN	CPU の TDI に接続されています。	UP	無
14	SDI_TCK	IN	CPU の TCK に接続されています。	DOWN	無
15~16	GND	-			
17	P77	I/O	CPU の各ポートに接続されています。	UP	無
18	P76	I/O			
19	*2	I/O	Reserve です。 使用しないでください。	UP	無
20	*1	I/O			
21	P67	I/O	CPU の各ポートに接続されています。	UP	無
22	P66	I/O			
23	P65	I/O			
24	P64	I/O			
25	P63	I/O			
26	P62	I/O			
27~28	GND	-			
29	P27	I/O	CPU の各ポートに接続されています。	UP	無
30	P26	I/O			
31	P25	I/O			
32	P24	I/O			
33~36	Reserved	-			
37~38	GND	-			
39~42	Reserved	-			
43	SW2	OUT	SW2 の状態を示します。"L" : ON "H" : OFF	UP	無
44	SW1	OUT	SW1 の状態を示します。"L" : ON "H" : OFF	UP	無
45	LED2	OUT	LED2 の状態を示します。"L" : 点灯 "H" : 消灯	DOWN	無
46	LED1	OUT	LED1 の状態を示します。"L" : 点灯 "H" : 消灯	DOWN	無
47~48	GND	-			
49	EXREADY#	IN	CPU ボード上の PLD に入力されており、PLD 内部の他のウェイトと OR されて CPU の READY# に入力されます。CPU の READY# に反映されるのは、EXREADY# が変化した 1BCLK 後になります。	DOWN	無
50	EXINT	IN	拡張ボードからの割り込みに使用します。CPU の INTO に接続されています。	UP	無

表 3.11.2 拡張バス信号 (2)

Pin No.	信号名	I/O	機能説明	Pull up or down	バッファ
51	BCS1#	OUT	CPU の CS1# に接続されています。	UP	有
52	BWS3#	OUT	CPU の WS3# に接続されています。	-	有
53	BWS2#	OUT	CPU の WS2# に接続されています。	-	有
54	BWS1#	OUT	CPU の WS1# に接続されています。	-	有
55	BWS0#	OUT	CPU の WS0# に接続されています。	-	有
56	BRS#	OUT	CPU の RS# に接続されています。	-	有
57 ~ 59	GND	-			
60	EXCLK	OUT	CPU の BCLK に接続されています。	-	有
61 ~ 62	GND	-			
63	RESET#	OUT	リセット信号が出力されます。	-	無
64 ~ 65	GND	-			
66	BA30	OUT	アドレスバスに接続されています。	-	有
67	BA29	OUT			
68	BA28	OUT			
69	BA27	OUT			
70	BA26	OUT			
71	BA25	OUT			
72	BA24	OUT			
73 ~ 74	GND	-			
75	BA23	OUT	アドレスバスに接続されています。	-	有
76	BA22	OUT			
77	BA21	OUT			
78	BA20	OUT			
79	BA19	OUT			
80	BA18	OUT			
81	BA17	OUT			
82	BA16	OUT			
83 ~ 84	GND	-			
85	BA15	OUT	アドレスバスに接続されています。	-	有
86	BA14	OUT			
87	BA13	OUT			
88	BA12	OUT			
89	BA11	OUT			
90	BA10	OUT			
91	BA9	OUT			
92	BA8	OUT			
93 ~ 94	GND	-			

表 3.11.3 拡張バス信号 (3)

Pin No.	信号名	I/O	機能説明	Pull up or down	バッファ
95	BD31	I/O	データバスに接続されています。	-	有
96	BD30	I/O			
97	BD29	I/O			
98	BD28	I/O			
99	BD27	I/O			
100	BD26	I/O			
101	BD25	I/O			
102	BD24	I/O			
103 ~ 104	GND	-			
105	BD23	I/O	データバスに接続されています。	-	有
106	BD22	I/O			
107	BD21	I/O			
108	BD20	I/O			
109	BD19	I/O			
110	BD18	I/O			
111	BD17	I/O			
112	BD16	I/O			
113 ~ 114	GND	-			
115	BD15	I/O	データバスに接続されています。	-	有
116	BD14	I/O			
117	BD13	I/O			
118	BD12	I/O			
119	BD11	I/O			
120	BD10	I/O			
121	BD9	I/O			
122	BD8	I/O			
123 ~ 124	GND	-			
125	BD7	I/O	データバスに接続されています。	-	有
126	BD6	I/O			
127	BD5	I/O			
128	BD4	I/O			
129	BD3	I/O			
130	BD2	I/O			
131	BD1	I/O			
132	BD0	I/O			
133 ~ 136	3.3V	OUT			
137 ~ 140	GND	-			

3.11.3. 拡張ボード設計時の注意事項

EXREADY#の信号は通常は Low で、CPU を待たせておきたいときのみ High にしてください。

3.12. LAN インターフェース

拡張ボード上に、LANのコントロールを行うシングルチップEthernetコントローラ LAN91C111を実装しています。

本コントローラの概要を以下に示します。

- ・SMSC 社製 LAN91C111
- ・10/100Mbps サポート
- ・Full/Half Duplex サポート
- ・送受信バッファ用 8K バイト SRAM 内蔵
- ・バスサイズ：16 ビットバス
- ・PHY、及びMAC用基準クロック：25MHz

3.13. AR コントローラ (人工網膜 LSI)

ルネサス製カラー人工網膜LSI M64270BGを実装しています。

M64270BGは、160(H)×144(V)×3(RGB)画素の解像度をもったカラーAR LSIで、M32104の CSIO、タイマ、及びプログラマブル入出力ポートにより制御されます。

コネクタの信号配置を表 3.13.1に示します。

表 3.13.1 AR 基板コネクタ信号配置

ピン番号	機能	ピン番号	機能
1	GND	11	GND
2	XRST# (P63:出力)	12	GND
3	3.3V	13	TCK# (P62:SCLK1)
4	SIN (P66:TXD2)	14	GND
5	XCLK# (P76:MFTX0B)	15	RTS# (P27:CTS1#)
6	RCK# (P65:SCLK2)	16	3.3V
7	START (P67:出力)	17	DOUT (P64:RXD1)
8	RDY# (P77:CTS2#)	18	3.3V
9	3.3V	19	GND
10	3.3V	20	READ (P24:入力)

3.14. SDI インタフェース

SDIエミュレータを接続するために10ピンのSDIインタフェースコネクタを実装しています。信号配置を表 3.14.1に示します。

表 3.14.1 SDI インタフェース信号配置

ピン番号	機能	ピン番号	機能
1	TCK	6	TRST#
2	GND	7	N.C.
3	TDI	8	N.C.
4	TDO	9	3.3V
5	TMS	10	RST #

3.15. パラレルインターフェース

拡張ボード上には 8 ビットのパラレル入出力可能な 20 ピンコネクタを搭載しています。各ピンの機能を表 3.15.1 に示します。

表 3.15.1 パラレルインタフェースのピン機能

Pin No.	信号名	I/O	備 考
1	DO0	OUT	33 シリアル抵抗付き
2	DO1	OUT	33 シリアル抵抗付き
3	DO2	OUT	33 シリアル抵抗付き
4	DO3	OUT	33 シリアル抵抗付き
5	DO4	OUT	33 シリアル抵抗付き
6	DO5	OUT	33 シリアル抵抗付き
7	DO6	OUT	33 シリアル抵抗付き
8	DO7	OUT	33 シリアル抵抗付き
9	GND		
10	GND		
11	DI0	IN	47k のプルアップ抵抗付き
12	DI1	IN	47k のプルアップ抵抗付き
13	DI2	IN	47k のプルアップ抵抗付き
14	DI3	IN	47k のプルアップ抵抗付き
15	DI4	IN	47k のプルアップ抵抗付き
16	DI5	IN	47k のプルアップ抵抗付き
17	DI6	IN	47k のプルアップ抵抗付き
18	DI7	IN	47k のプルアップ抵抗付き
19	GND		
20	GND		

コネクタは HIF3FC-20PA-2.54DS を実装しています。

出力ポート (DO0 ~ DO7) は H'01080000 番地へバイトで書き込んだ値を保持します。

入力ポート (DI0 ~ DI7) の値は H'01080000 番地からバイトで読み込むことができます。

MEMO

4. PLD 機能説明

4.1. PLD アクセスタイミング

PLD に対する M32104 のチップセレクトコントローラ (CS3) の設定を示します。

CS3CR0=H'03038000

- RWAIT : 3BCLK
- WWAIT : 2BCLK
- RDYSEL : 外部 READY 待ちあり
- PRWAIT : 0BCLK
- STBWAIT : 0BCLK
- PWWAIT : 0BCLK

CS3CR1=H'00101101

- BDSEL : 0 (バーストアクセス時のみ有効のためデフォルト設定)
- CSMOD : シングルアクセス
- BSZ : 16 ビットバス
- CWAIT : 0BCLK
- RRECWAIT : 1BCLK
- WRECWAIT : 1BCLK
- NWAIT : 1BCLK

CS3CR2=H'02000009

- ADDR1 : 0x0200
- CBLK : 16MB

図 4.1.1に PLD へのアクセスタイミングを示します。

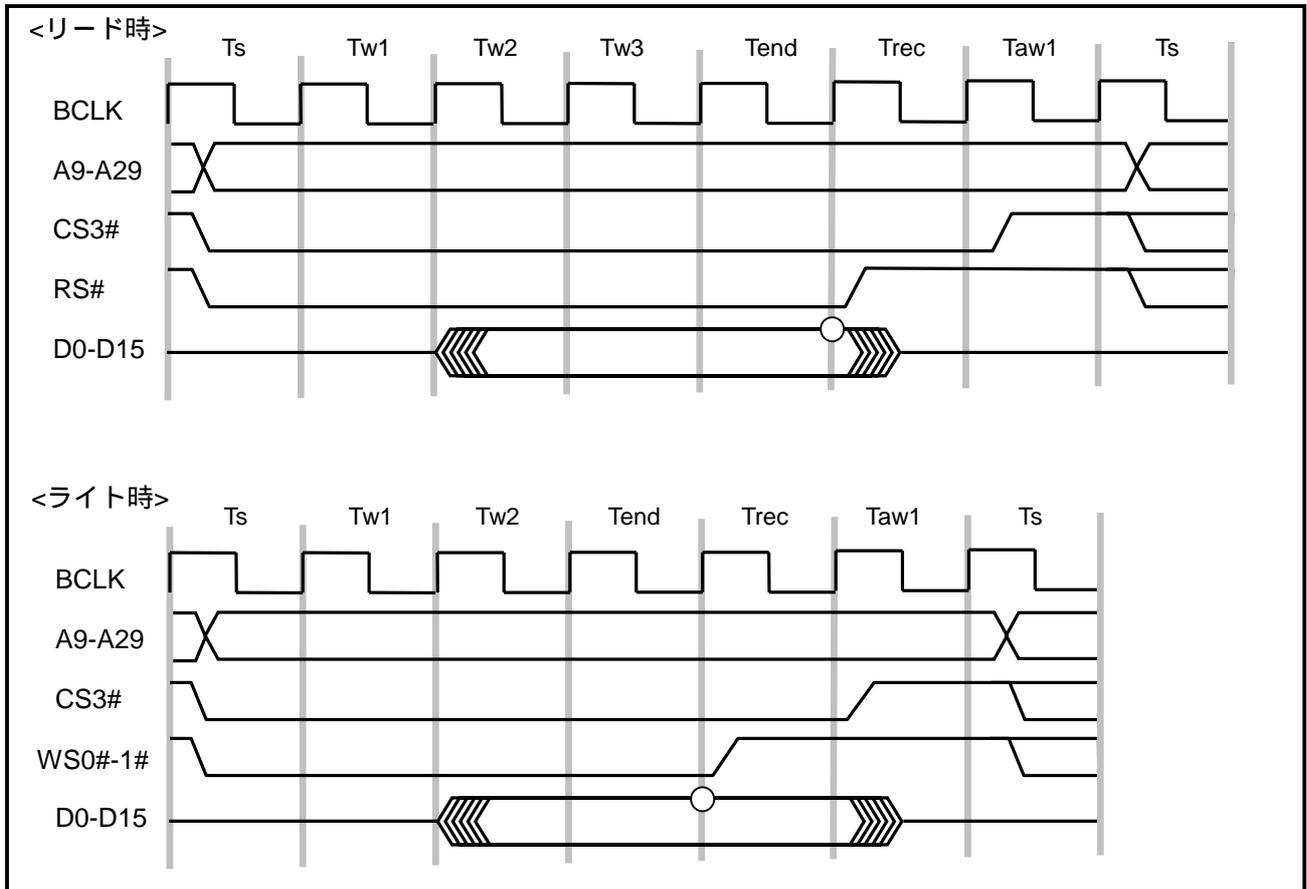


図 4.1.1 PLD リード・ライトレジスタアクセスタイミング

4.2. 端子機能

図 4.2.1に端子機能を示し、表 4.2.1、表 4.2.2に端子機能一覧を示します。

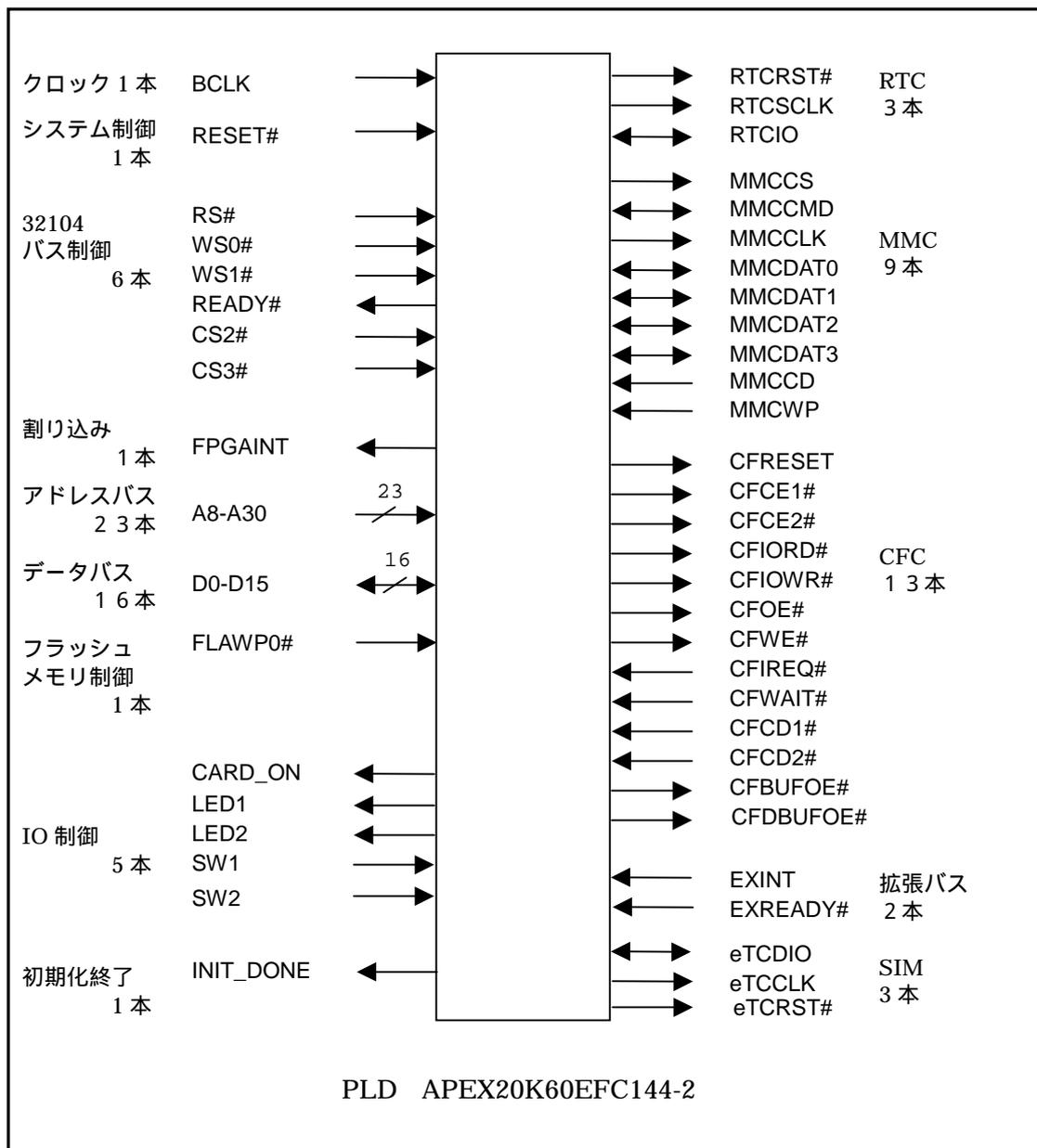


図 4.2.1 PLD 端子機能図

表 4.2.1 PLD 端子機能一覧 (1)

種類	端子名	名称	入出力	機能
電源	VCC10 VSS10	I/O バッファ用電源入力	-	VCC10:3.3V 電源 VSS10:GND
	VCCINT VSSINT	内部回路用電源入力	-	VCCINT:1.8V 電源 VSS10:GND
クロック	BCLK	システムクロック	入力	システムクロック 54MHz を入力します。
リセット	RESET#	リセット入力	入力	システムリセットを入力します。
アドレスバス	A8 ~ A30	アドレスバス	入力	23 ビットアドレスバスです
データバス	D0 ~ D15	データバス	入出力	16 ビットデータバスです。
M32104 バス制御	RS#	リードストロープ	入力	リードアクセス時の読み出しタイミングを示します。
	WS0# WS1#	ライトストロープ	入力	ライトアクセス時の書き込みタイミングを示します。
	READY#	レディ	出力	ウェイトサイクルの追加
	EXREADY#	拡張バスウェイト信号	入力	拡張バスからのウェイト制御用信号 PLD 内の他のウェイトと OR されて READY#に出力されます。
	CS2# CS3#	チップセレクト	入力	M32104 のチップセレクトが入力されます。
CF	CFRESET	CF リセット	出力	CF をリセットします。
	CFCE1# CFCE2#	CF チップイネーブル	出力	CF の選択と有効バイト位置を示します。
	CFIORD#	I/O メモリリード	出力	CF の I/O メモリ空間のリードデータの出力制御を行う信号です。
	CFIOWR#	I/O メモリライト	出力	CF の I/O メモリ空間をライトデータの書き込み制御を行う信号です。
	CFOE#	メモリリード	出力	CF のリードデータの出力制御を行う信号です。
	CFWE#	メモリライト	出力	CF のライトデータの書き込み制御を行う信号です。
	CFREG#	アトリビュートメモリ 選択	出力	アトリビュートメモリ、I/O メモリの選択を行う信号です。
	CFWAIT#	バスサイクル延長	入力	CFWAIT#が”L”のとき、CF アクセスにウェイトを挿入します。
	CFCD1# CFCD2#	CF 検出入力	入力	CF の挿抜状態を検出する信号です。
	CFBUFOE#	CF バッファイネーブル 信号	出力	データ信号を除く CF 制御信号用挿抜バッファの OE を制御するための信号です。
	CFDBUFOE#	CF データバッファイネーブル 信号	出力	データ信号用活線挿抜バッファの OE を制御するための信号です。

表 4.2.2 PLD 端子機能一覧 (2)

種類	端子名	名称	入出力	機能
ICU	EXINT	外部割込み	入力	電源ボードからの LowBATT#信号を接続
	FPGAINT	割り込み出力	出力	M32104 への割り込み出力です。
IOC	FLAWP0	フラッシュメモリ ライトプロテクト	入力	FLASH0 ライトプロテクト設定用入力信号
	CARD_ON	カード電源制御	出力	CF, MMC 電源制御信号
	LED1 LED2	LED 制御	出力	LED 点滅用信号
	SW1 SW2	DIP スイッチ	入力	DIP スイッチの状態を示します。
MMC	MMCCS	MMC セレクト	出力	MMC へのチップセレクト
	MMCCMD	MMC コマンド/ レスポンス	入出力	MMC へのコマンド出力、およびレスポンス 入力
	MMCCLK	MMC クロック	出力	MMC へのコマンド/データ転送用クロック
	MMCDAT0 MMCDAT1 MMCDAT2 MMCDAT3	MMC データ	入出力	MMC の入出力データ信号
	MMCCD	MMC カード検出	入力	MMC の挿抜状態を検出する信号
	MMCWP	MMC ライトプロテクト	入力	MMC のライトプロテクトを検出する信号
SIM	eTCDIO	送受信データ	入力	SC 送受信データを入出力します。
	eTCCLK	クロック	出力	SC へのクロックを出力します。
	eTCRST#	リセット	出力	SC のリセット信号を出力します。
RTC	RTCST	リセット	出力	RTC をリセットする信号
	RTCCLK	転送クロック	出力	RTC とのデータ転送をするクロックです。
	RTCIO	データ	入出力	コマンド、データの入出力

4.3. PLD レジスタ一覧

図 4.3.1に PLD のレジスタ一覧を示します。

番地	+ 0 番地		+ 1 番地	
	b0	b7 b8	b15	
H'02C0 0000	CFC(コンパクトフラッシュ)			
H'02C0 4000	MMCC(マルチメディアコントローラ)			
H'02C0 8000	ICU(割り込みコントローラ)			
H'02C0 C000	(使用禁止領域)			
H'02C1 0000	(使用禁止領域)			
H'02C1 4000	IOC(I/O コントローラ)			
H'02C1 8000	CRCC(CRC 演算回路)			
H'02C1 C000	RTC			
H'02C2 0000	(使用禁止領域)			
:				
H'02C3 8000	SCC (スマートカードコントローラ)			
H'02C3 C000	システムコンフィグレーションデータ			
H'02C4 0000	(使用禁止領域)			
:				
H'02FF FFFF	(使用禁止領域)			

図 4.3.1 PLD 内蔵レジスタマッピング

4.4. コンパクトフラッシュコントローラ (CFC) 概要

PLD は、コンパクトフラッシュコントローラを内蔵しています。

M32104 の CS2 領域にマッピングされ、アドレスと制御信号をデコードすることによりコンパクトフラッシュの制御信号を生成しています。

また、活線挿抜に対応するためのカード検出を行っています。

表 4.4.1 CFC 概要

項目	概要
制御スロット	1 スロット
スロットサイズ	2KB
サポートメモリ空間	アトリビュートメモリ空間 コモンメモリ空間 IO メモリ空間
アクセスタイミング制御	M32104 CS2 の設定に依存
コンパクトフラッシュアクセス	M32104 のアドレス信号と制御信号をデコードすることにより制御
カード検出	CFCD1#,CFCD2#によりカードの挿抜を検出
カード電源制御	なし
アクセスモード	・アトリビュートアクセス ・メモリアクセス ・IO アクセス

4.4.1. コンパクトフラッシュアクセスタイミング

コンパクトフラッシュに対する M32104 のチップセレクトコントローラレジスタ (CS2) の設定を示します。

CS2CR0=H'12128000

- RWAIT : 18BCLK
- WWAIT : 18BCLK
- RDYSEL : 外部 READY 待ちあり
- PRWAIT : 0BCLK
- STBWAIT : 0BCLK
- PWWAIT : 0BCLK

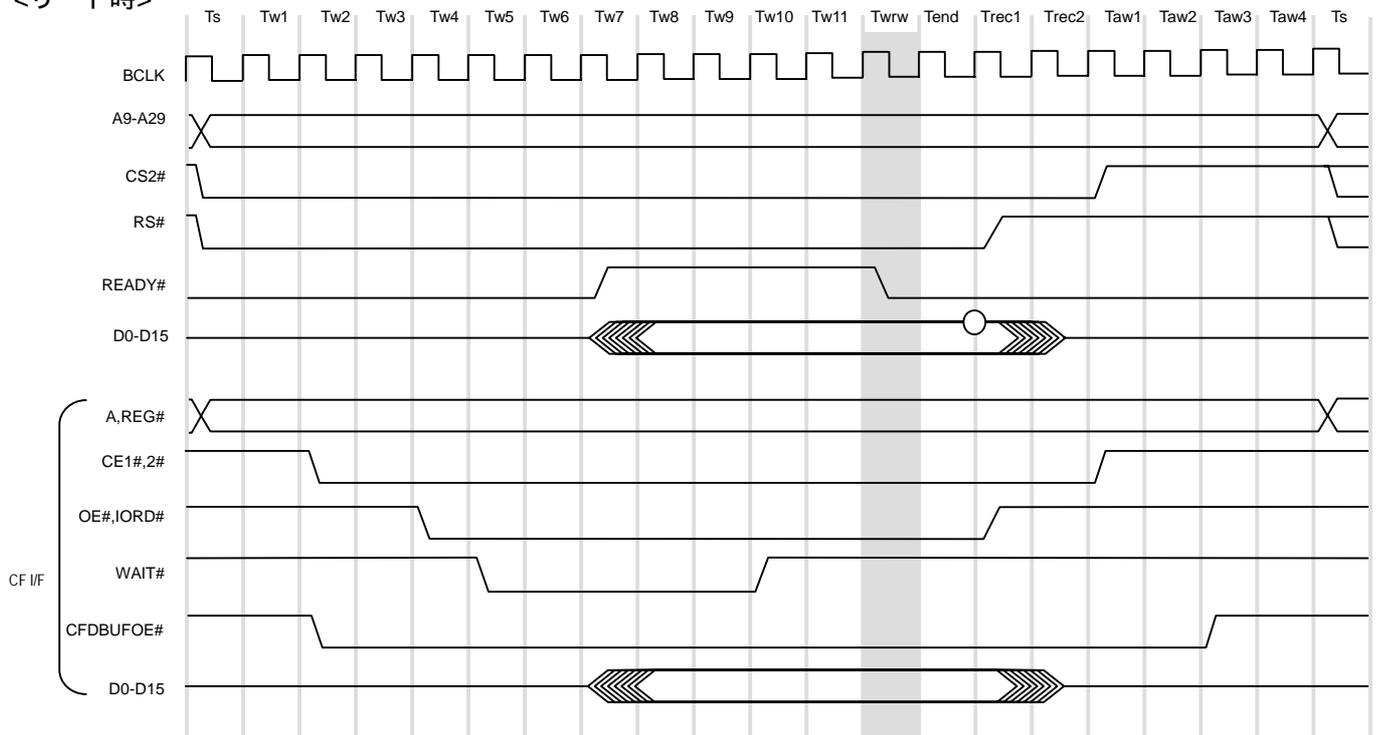
CS2CR1=H'00102204

- BDSEL : 0 (バーストアクセス時のみ有効のためデフォルト設定)
- CSMOD : シングルアクセス
- BSZ : 16 ビットバス
- CWAIT : 0BCLK
- RRECWAIT : 2BCLK
- WRECWAIT : 2BCLK
- NWAIT : 4BCLK

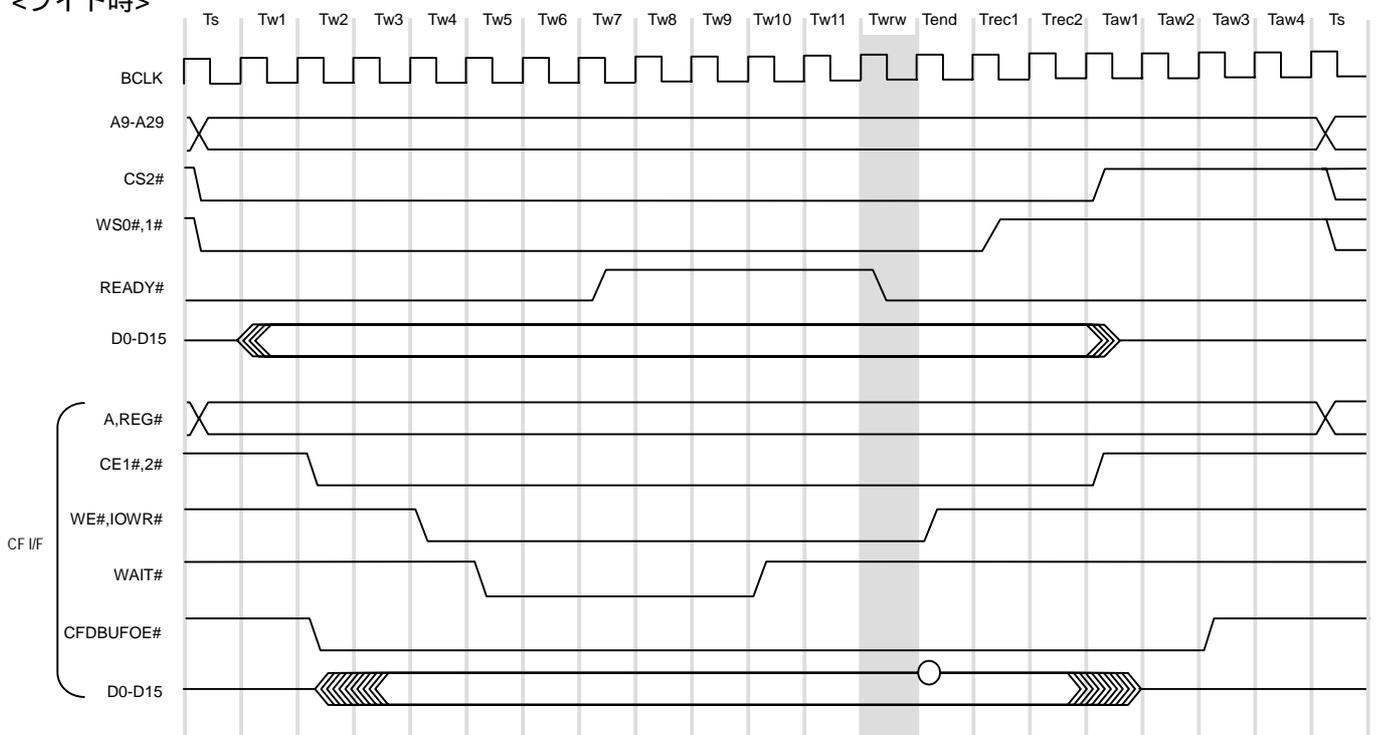
CS2CR2=H'03000009

- ADDR1 : 0x0300
- CBLK : 16MB

<リード時>



<ライト時>



4.4.2. コンパクトフラッシュコントローラ関連レジスタ

図 4.4.1に CFC レジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書き込んだ場合の動作は保証されません。

番地	+ 0 番地		+ 1 番地	
	b0	b7	b8	b15
H'02C0 0000	CFC リセット制御レジスタ (CFRSTCR)			
H'02C0 0002	CFC カード検出ステータスレジスタ (CFSTS)			
H'02C0 0004	CFC 割り込みマスクレジスタ (CFIMASK)			
H'02C0 0006	CFC パッファイネーブル制御レジスタ (CFBUFCR)			
H'02C0 0008	(使用禁止領域)			
:				
H'02C0 3FFE				

図 4.4.1 CFC レジスタマッピング

4.4.3. CFC リセット制御レジスタ

CFC リセット制御レジスタ

< アドレス : H'02C0 0000 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	CEO 1	0	0	0	0	0	0	0	CFRST 0

< リセット時 : H'0100 >

b	ビット名	機能	R	W
0~6	何も配置されていません。		0	-
7	OE0 CFOE 出力データビット	0: CFOE から "L" を出力する 1: CF のアクセス制御に従って出力する		
8~14	何も配置されていません		0	-
15	CFRST コンパクトフラッシュリセットビット	0: CFRESET から "L" を出力する 1: CFRESET から "H" を出力する		

(1) OE0(CFOE 出力データ)ビット(b7)

このビットにより、CFOE の出力を制御します。

このビットを"0"にクリアした場合、コンパクトフラッシュへの CFOE#信号から "L" を出力します。

このビットを"1"にセットした場合、コンパクトフラッシュへの CFOE#信号は、アクセス制御に従い出力します。

(2) CFRST (コンパクトフラッシュリセット) ビット(b15)

このビットにより、コンパクトフラッシュへのリセット状態を設定します。

このビットを"0"にクリアした場合、CFRESET 端子から "L" を出力します。

このビットを"1"にセットした場合、CFRESET 端子から "H" を出力します。

4.4.4. CFC カード検出ステータスレジスタ

CFC カード検出ステータスレジスタ(CFSTS)

< アドレス : H'02C0 0002 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CFDET ?注

< リセット時 : H'000? >

b	ビット名	機能	R	W
0~14	何も配置されていません。		0	-
15	CFDET コンパクトフラッシュ検出ステータスビット	0:カードがスロットにない 1:カードがスロットにある		-

注 : カード挿入されているか、いないかによって初期値が変化します。

(1) CFDET(コンパクトフラッシュ検出ステータス)ビット(b15)

このビットにより、コンパクトフラッシュがスロットに挿入されているかいないかを示します。

コンパクトフラッシュがスロットに挿入されると"1"にセットされます。

コンパクトフラッシュがスロットから取り出されると"0"にクリアされます。

カードの挿抜はカードの電源が ON のときに行う必要があります。

4.4.5. CFC 割り込みマスクレジスタ

CFC 割り込みマスクレジスタ (CFIMASK)

< アドレス : H'02C0 0004 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CFMSK 0

< リセット時 : H'0000 >

b	ビット名	機能	R	W
0~14	何も配置されていません。		0	-
15	CFRST コンパクトフラッシュカード挿抜割り込み 許可ビット	0: カード挿抜割り込み禁止 1: カード挿抜割り込み許可		

(1) CFMSK(コンパクトフラッシュカード挿抜割り込み許可)ビット(b15)

このビットにより、カード挿抜割り込みを有効にするか、しないかを選択します。

このビットを"0"にクリアした場合、カードの挿抜が検出されても割り込みは発生しません。

このビットを"1"にセットした場合、カードの挿抜が検出されると M32104 への割り込み要求が発生します。

4.4.6. CFC バッファイネーブル制御レジスタ

CFC バッファイネーブル制御レジスタ (CFBUFCR)

< アドレス : H'02C0 0006 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

< リセット時 : H'0001 >

b	ビット名	機能	R	W
0~14	何も配置されていません。		0	-
15	BUFEN コンパクトフラッシュバッファ イネーブルビット	0:CFBUFOE#端子に"L"を出力する。 1:CFBUFOE#端子に"H"を出力する。		

(1) BUFEN (コンパクトフラッシュバッファイネーブル) ビット (b15)

このビットは、コンパクトフラッシュカードが挿入されている時 (CFDET=1) のみセット可能です。

このビットを"0"にクリアした場合、CFBUFOE#端子に"L"が出力されます。

このビットを"1"にセットした場合、CFBUFOE#端子に"H"が出力されます。

また、このビットが"0"の状態でカードが取り出された場合、CFBUFOE#に"H"がセットされ、このビットに"1"がセットされます。

4.4.7. カードコンフィグレーションレジスタアドレスマッピング

表 4.4.2にアトリビュートメモリ、カードコンフィグレーションレジスタアドレスマッピングを示します。

表 4.4.2 カードコンフィグレーションレジスタアドレスマッピング

M32104 アドレス	A15	A16	A17		A18		A19	A20	A21 ~ A30	レジスタ
カード信号	CE2#	CE1#	IORD#	IOWR#	OE#	WE#	REG#	A0	A10 ~ A1	
H'0301 4200	1	0	1	1	0	1	0	0	010 0000 000	Configuration Option Register Read
H'0301 4200	1	0	1	1	1	0	0	0	010 0000 000	Configuration Option Register Write
H'0301 4202	1	0	1	1	0	1	0	0	010 0000 001	Card Status Register Read
H'0301 4202	1	0	1	1	1	0	0	0	010 0000 001	Card Status Register Write
H'0301 4204	1	0	1	1	0	1	0	0	010 0000 010	Pin Replacement Register Read
H'0301 4204	1	0	1	1	1	0	0	0	010 0000 010	Pin Replacement Register Write
H'0301 4206	1	0	1	1	0	1	0	0	010 0000 011	Socket and Copy Register Read
H'0301 4206	1	0	1	1	1	0	0	0	010 0000 011	Socket and Copy Register Write

4.4.8. CF-ATA ドライブレジスタアドレスマッピング

コンパクトフラッシュに実装されている ATA ドライブレジスタセットのアクセス方法について示します。

アクセス方法は、連続 I/O モードと、メモリマップモードの 2 種類があります。

表 4.4.3、表 4.4.4 にメモリマップモード、連続 I/O モードアドレスマッピングを示します。

表 4.4.3 メモリマップモード (index=0) アドレスマッピング

M32104 アドレス カード信号	A15	A16	A17		A18		A19	A20	A21 ~ A30	レジスタ
	CE2#	CE1#	IORD#	IOWR#	OE#	WE#	REG#	A0	A10 ~ A1	
H'0300 5000	0	0	1	1	0	1	1	0	000 0000 000	Read Data*
H'0300 5000	0	0	1	1	1	0	1	0	000 0000 000	Write Data*
H'0301 5800	1	0	1	1	0	1	1	1	000 0000 000	Error
H'0301 5800	1	0	1	1	1	0	1	1	000 0000 000	Features
H'0300 5002	0	0	1	1	0	1	1	0	000 0000 001	Sector No, Sector Count*
H'0300 5002	0	0	1	1	1	0	1	0	000 0000 001	Sector No, Sector Count*
H'0300 5004	0	0	1	1	0	1	1	0	000 0000 010	Cylinder High, Cylinder Low*
H'0300 5004	0	0	1	1	1	0	1	0	000 0000 010	Cylinder High, Cylinder Low*
H'0301 5006	1	0	1	1	0	1	1	0	000 0000 011	Select Card/Head
H'0301 5006	1	0	1	1	1	0	1	0	000 0000 011	Select Card/Head
H'0301 5806	1	0	1	1	0	1	1	1	000 0000 011	Status
H'0301 5806	1	0	1	1	1	0	1	0	000 0000 011	Command
H'0301 500E	1	0	1	1	0	1	1	0	000 0000 111	Alt Status
H'0301 500E	1	0	1	1	1	0	1	0	000 0000 111	Device Ctl
H'0301 580E	1	0	1	1	0	1	1	1	000 0000 111	Drive Address

注：*は、M32104 有効データが D0 ~ D15 です。その他は D0 ~ D7 です。

表 4.4.4 連続 I/O マップモード (Index=1) アドレスマッピング

M32104 アドレス	A15	A16	A17		A18		A19	A20	A21 ~ A30	レジスタ
カード信号	CE2#	CE1#	IORD#	IOWR#	OE#	WE#	REG#	A0	A10 ~ A1	
H'0300 2000	0	0	0	1	1	1	0	0	000 0000 000	Read Data*
H'0300 2000	0	0	1	0	1	1	0	0	000 0000 000	Write Data*
H'0301 2800	1	0	0	1	1	1	0	1	000 0000 000	Error
H'0301 2800	1	0	1	0	1	1	0	1	000 0000 000	Features
H'0300 2002	0	0	0	1	1	1	0	0	000 0000 001	Sector No, Sector Count*
H'0300 2002	0	0	1	0	1	1	0	0	000 0000 001	Sector No, Sector Count*
H'0300 2004	0	0	0	1	1	1	0	0	000 0000 010	Cylinder High, Cylinder Low*
H'0300 2004	0	0	1	0	1	1	0	0	000 0000 010	Cylinder High, Cylinder Low*
H'0301 2006	1	0	0	1	1	1	0	0	000 0000 011	Select Card/Head
H'0301 2006	1	0	1	0	1	1	0	0	000 0000 011	Select Card/Head
H'0301 2806	1	0	0	1	1	1	0	1	000 0000 011	Status
H'0301 2806	1	0	1	0	1	1	0	0	000 0000 011	Command
H'0301 200E	1	0	0	1	1	1	0	0	000 0000 111	Alt Status
H'0301 200E	1	0	1	0	1	1	0	0	000 0000 111	Device Ctl
H'0301 280E	1	0	0	1	1	1	0	1	000 0000 111	Drive Address

注：*は、M32104 有効データが D0 ~ D15 です。その他は D0 ~ D7 です。

4.4.9. M32104 アドレスとコンパクトフラッシュアドレスの関係

M32104 はビッグエンディアンのマイコンです。また、コンパクトフラッシュは、リトルエンディアンで定義されています。

μT-Engine で使用するコンパクトフラッシュは、PC などリトルエンディアン形式のシステムとのデータのやり取りを想定してバイトのエンディアンを上位と下位を逆に接続していますので読み出し書きこみのアドレスは表 4.4.5のような対応になります。

表 4.4.5 16 ビットアクセス時における M32104 とコンパクトフラッシュのメモリマッピングの関係

M32104 アドレス	+0 番地	+1 番地
H'xxxx xxx0	コンパクトフラッシュ+0 番地	コンパクトフラッシュ+1 番地
H'xxxx xxx2	コンパクトフラッシュ+2 番地	コンパクトフラッシュ+3 番地
H'xxxx xxx4	コンパクトフラッシュ+4 番地	コンパクトフラッシュ+5 番地
:	:	:

4.5. マルチメディアカードコントローラ (MMCC) 概要

PLD には、MMC (マルチメディアカード) コントローラを内蔵しています。

サポートするプロトコルは、MMC モードで、データのリード・ライトは、シングルブロック転送 (CMD17) のみサポートします。

また、PLD には CRC 演算回路を内蔵しており、MMCC を組み合わせることにより高速なデータ転送をサポートします。

4.5.1. マルチメディアカードコントローラ関連レジスタ

図 4.5.1に MMCC レジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書きこみを行った場合の動作は保証されません。

番地	+ 0 番地		+ 1 番地
	b0	b7 b8	
H'02C0 4000	MMC 制御レジスタ (MMCCR)		
H'02C0 4002	MMC モードレジスタ (MMCMOD)		
H'02C0 4004	(使用禁止領域)		
H'02C0 4006	MMC ステータスレジスタ (MMCSTS)		
H'02C0 4008	(使用禁止領域)		
H'02C0 400A	MMC ボーレートレジスタ (MMCBAUR)		
H'02C0 400C	MMC コマンドバイトカウントレジスタ (MMCCMDBCUT)		
H'02C0 400E	MMC データバイトカウントレジスタ (MMCDTBCUT)		
H'02C0 4010	MMC 検出レジスタ (MMCDET)		
H'02C0 4012	MMC ライトプロテクトレジスタ (MMCWP)		
:	(使用禁止領域)		
H'02C0 5000	MMC ライトデータメモリ (514 バイト)		
:	(使用禁止領域)		
H'02C0 6000	MMC リードデータメモリ (514 バイト)		
:	(使用禁止領域)		
H'02C0 7000	MMC コマンドデータメモリ (6 バイト)		
H'02C0 7004	MMC レスポンスデータメモリ (26 バイト)		
H'02C0 7006	MMC レスポンスデータメモリ (26 バイト)		
:	(使用禁止領域)		
H'02C0 701F	(使用禁止領域)		
H'02C0 7020	(使用禁止領域)		
:	(使用禁止領域)		
H'02C0 7FFE	(使用禁止領域)		

図 4.5.1 MMCC レジスタマッピング

4.5.2. MMC 制御レジスタ

MMC 制御レジスタ (MMCCR)

< アドレス : H'02C0 4000 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	CLR 0	0	0	0	0	0	0	CMDEN 0	DTEN 0

< リセット時 : H'0000 >

b	ビット名	機能	R	W
0~6	何も配置されていません。		0	-
7	CLR MMC 初期化ビット	0:何もしない 1:MMC 初期化		
8~13	何も配置されていません。		0	-
14	CMDEN コマンド転送許可ビット	・ライト時 0:書き込み無効 1:コマンド転送開始 ・リード時 0:コマンド・レスポンス転送動作中でない 1:コマンド・レスポンス転送動作中		
15	DTEN データ転送許可ビット	・ライト時 0:書きこみ無効 1:データ転送開始 ・リード時 0:データ転送動作中でない。 1:データ転送中		

(1) CLR (MMC 初期化) ビット (b7)

このビットに"1"をセットすると、MMC 関連レジスタ、および MMC コントローラ内部すべてのレジスタが初期化されます。

また、このビットは"1"にセットしても、その値は保存されません。

(2) CMDEN (コマンド転送許可) ビット (b14)

このビットに"1"をセットすると、MMC へのコマンド転送を開始します。

また、このビットにより、コマンド・レスポンス転送の動作ステータスを示します。

(3) DTEN (データ転送許可) ビット (b15)

このビットに"1"をセットすると、MMC へのデータ転送を開始します。

データのリード・ライトの選択は、MMC モードレジスタで行います。

また、このビットにより、データ転送の動作ステータスを示します。

4.5.3. MMC モードレジスタ

MMC モードレジスタ (MMCMOD)

<アドレス : H'02C0 4002 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	DMY 0	0	0	0	0	0	0	0	DSEL 0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0~6	何も配置されていません。		0	-
7	DMY ダミーデータ転送選択ビット	0:ダミーデータ受信を行わない。 1:ダミークロック送信		
8~14				
15	DSEL MMC データ転送選択ビット	0:データ受信 1:データ送信		

注 : このレジスタへの設定は、MMCC データ転送停止中 (データ転送許可ビット"0"の場合) に行ってください。

(1) DMY (ダミーデータ転送選択) ビット (b7)

このビットにより、ダミーデータの受信機能(ダミークロック送信)を選択します。

(2) DSEL (データ転送選択) ビット (b15)

このビットにより、MMC データの送受信を選択します。

DMY ビットが"1"で、かつ DSEL ビットが"0"のとき、MMC データバイトカウントレジスタにセットされた転送バイト分を受信します。また、ダミーデータ受信時は、MMCDAT に入力されるデータのスタートビット、およびエンドビットの検出は行いません。

4.5.4. MMC ステータスレジスタ

MMC ステータスレジスタ (MMCSTS)

< アドレス : H'02C0 4006 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	CRCSTS		
													0	0	0

< リセット時 : H'0000 >

b	ビット名	機能	R	W
0 ~ 12	何も配置されていません。"0"に固定してください。		0	0
13 ~ 15	CRCSTS MMC データ CRC ステータスビット	MMC データ書き込み時の CRC ステータスが格納されます。		

(1) CRCSTS (MMC データ CRC ステータス) ビット (b13 ~ b15)

このビットに MMC データ書き込み時の、MMC データ CRC ステータスが格納されます。

4.5.5. MMC ポーレートレジスタ

MMC ポーレートレジスタ (MMCBAUR)

< アドレス : H'02C0 400A >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< リセット時 : H'0000 >

b	ビット名	機能	R	W
0~7	何も配置されていません。		0	0
8~15	MMCBAUR ポーレート設定	ポーレートを設定します。		

注 : このレジスタへの設定は、MMC 停止中 (MMCCR="H'0000") に行ってください。

(1) MMCBAUR (ポーレート設定) ビット (b8 ~ b15)

システムクロック (BCLK) をこのビットで設定した値 "n" で "n+1" 分周します。

< 転送クロック >

"n+1" 分周されたカウントソースはさらに 2 分周され転送クロックとなります。転送クロックは MMCCLK 端子から外部に出力します。

図 4.5.2 に MMC ポーレートレジスタに設定する値の算出式を示します。

また、表 4.5.1 に MMC ポーレートレジスタ設定例を示します。

$$\text{MMC ポーレートレジスタ設定値 (MMCBAUR)} = \frac{f(\text{BCLK})}{\text{ポーレート} \times 2} - 1$$

$$\text{ポーレート} = \frac{f(\text{BCLK})}{2 \times (\text{MMCBAUR} + 1)}$$

図 4.5.2 MMC ポーレートレジスタ設定値算出式

表 4.5.1 MMC ボーレート設定例 : f(BCLK)=54MHz 動作時

MMCBAUR	ボーレート (MHz)	MMCBAUR	ボーレート (MHz)
0(H'0000)	27.0000	12(H'000C)	2.0769
1(H'0001)	13.5000	13(H'000D)	1.9286
2(H'0002)	9.0000	14(H'000E)	1.8000
3(H'0003)	6.7500	15(H'000F)	1.6875
4(H'0004)	5.4000	16(H'0010)	1.5882
5(H'0005)	4.5000	17(H'0011)	1.5000
6(H'0006)	3.8571	18(H'0012)	1.4211
7(H'0007)	3.3750	19(H'0013)	1.3500
8(H'0008)	3.0000	20(H'0014)	1.2857
9(H'0009)	2.7000	21(H'0015)	1.2273
10(H'000A)	2.4545	22(H'0016)	1.1739
11(H'000B)	2.2500	23(H'0017)	1.1250

4.5.6. MMC コマンドバイトカウントレジスタ

MMC コマンドバイトカウントレジスタ (MMCCMDBCUT)

< アドレス : H'02C0 400C >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	CBCUT				
											0	0	0	0	0

< リセット時 : H'0000 >

b	ビット名	機能	R	W
0 ~ 10	何も配置されていません。"0"に固定してください。		0	0
11 ~ 15	CBCUT 転送バイト数設定ビット	転送バイトカウント値		

注 : コマンド・レスポンスデータ転送中に本レジスタに書き込みを行った場合の動作は保証されません。

(1) CBCUT (転送バイト数設定) ビット (b11 ~ b15)

このビットにより、送受信するコマンドデータとレスポンスデータの総バイト数を設定します。
本レジスタに設定した転送バイトカウント値は、1 データ転送毎に減少し、"0"となった時点でデータ転送を終了します。

MMC コマンドバイトカウントレジスタの設定値が H'0001 の時は 1 バイト、H'17 の時は 23 バイト転送します。

4.5.7. MMC データバイトカウントレジスタ

MMC データバイトカウントレジスタ (MMCDTBCUT)

< アドレス : H'02C0 400E >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	DBCUT									
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< リセット時 : H'0000 >

b	ビット名	機能	R	W
0~5	何も配置されていません。"0"に固定してください。		0	0
6~15	DBCUT 転送バイト数設定ビット	転送バイトカウント値		

注：データ転送中に本レジスタに書き込みを行った場合の動作は保証されません。

(1) DBCUT (転送バイト数設定) ビット (b6 ~ b15)

このビットにより、送受信するデータのバイト数を設定します。

本レジスタに設定した転送バイトカウント値は、1 データ転送毎に減少し、"0"となった時点でデータ転送終了となります。

データライト時は送信するデータ数、データリード時は受信するデータ数を示します。

MMC バイトカウントレジスタの設定値が H'0001 の時は 1 バイト、H'202 の時は 514 バイト転送します。

4.5.8. MMC カード検出レジスタ

MMC カード検出レジスタ (MMCDET)

<アドレス : H'02C0 4010 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MMCDET ?注

<リセット時 : H'000? >

b	ビット名	機能	R	W
0~14	何も配置されていません。		0	0
15	MMCDET MMC カード検出ステータスビット	0: MMC カードがスロットにある 1: MMC カードがスロットにない		

注 : MMC カードが挿入されているか、いないかで初期値が変化します。

(1) MMCDET (MMC カード検出ステータス) ビット (b15)

このビットにより、MMC カードがスロットに挿入されているかいないかを示します。

MMC カードがスロットに挿入されると"0"にクリアされます。

MMC カードがスロットから取り出されると"1"にセットされます。

MMC カードの挿抜はカード電源が ON の時に行う必要があります。

4.5.9. MMC カードライトプロテクト検出レジスタ

MMC カードライトプロテクト検出レジスタ (MMCWP)

<アドレス : H'02C0 4012 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	MMCWP ?注

<リセット時 : H'000? >

b	ビット名	機能	R	W
0~14	何も配置されていません。		0	0
15	MMCWP MMC カードライトプロテクト ステータスビット	0: MMC カードがライトプロテクトされている 1: MMC カードがライトプロテクトされていない		

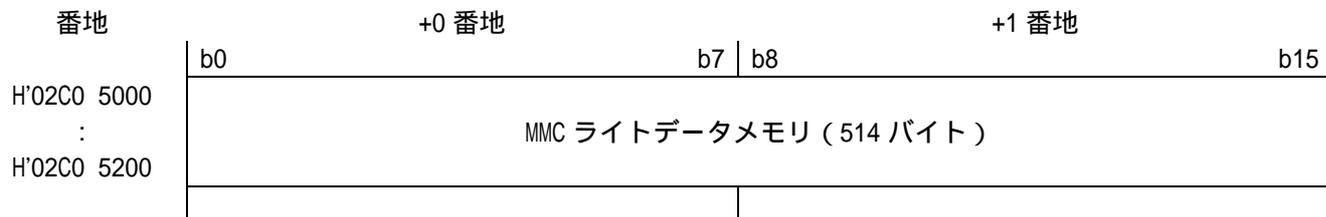
注 : MMC カードがライトプロテクトされているか、いないかで初期値が変化します。

(1) MMCWP (MMC カードプロテクトステータス) ビット (b15)

このビットにより、MMC カードがライトプロテクトされているかいないかを示します。

スロットに挿入されているカードがライトプロテクトされていないと"1"にセットされ、ライトプロテクトされていると"0"にクリアされます。

4.5.10. MMC ライトデータメモリ



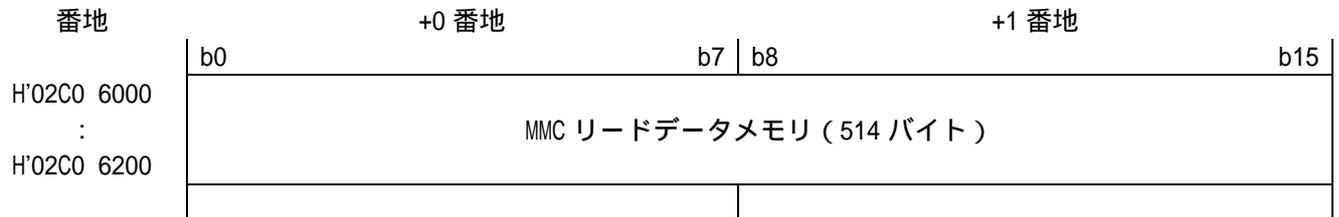
<リセット時：不定>

b	ビット名	機能	R	W
0~15	ライトデータビット	ライトデータを書きこみます	x	

(1) ライトデータメモリ

このビットにより、MMC へライトするライトデータ、および CRC コードを設定します。データは、先頭アドレス (H'02C0 5000) からセットしてください。また、PLD へのデータ書きこみは、16 ビットアクセスのみ可能です。奇数バイト分データをセットする場合は、下位バイト側にダミーデータをセットしてください。

4.5.11. MMC リードデータメモリ



<リセット時：不定>

b	ビット名	機能	R	W
0~15	リードデータビット	リードデータが格納されます		×

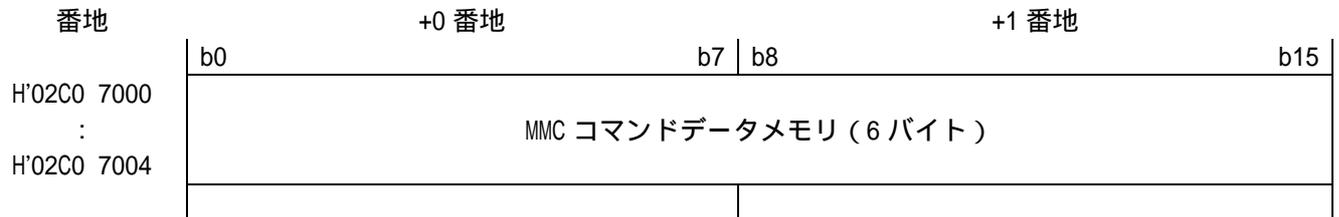
(1) リードデータメモリ

このビットにより、MMC カードデータの読み出しを行います。

また、受信したデータは先頭アドレス (H'02C0 6000) から順にセットされます。

MMC リードデータメモリは、読み出し専用のメモリで、このメモリにデータを書きこむことはできません。

4.5.12. MMC コマンドデータメモリ



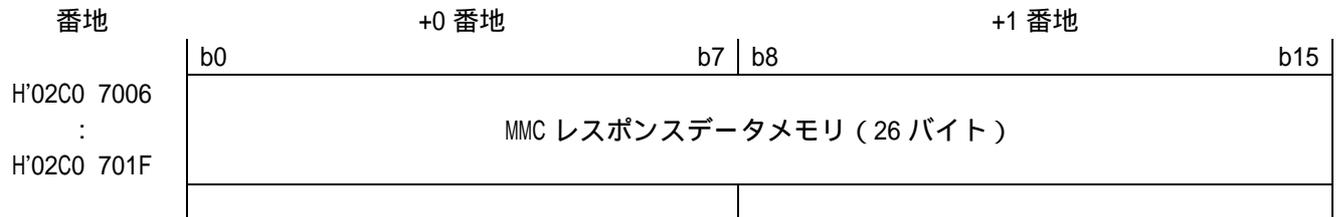
<リセット時：不定>

b	ビット名	機能	R	W
0~15	コマンドデータビット	コマンドデータを書きこみます	x	

(1) コマンドデータメモリ

このビットにより、MMC ヘライトするコマンドデータ、および CRC コードを設定します。データは先頭アドレス (H'02C0 7000) からセットしてください。

4.5.13. MMC レスポンスデータメモリ



<リセット時：不定>

b	ビット名	機能	R	W
0~15	レスポンスデータビット	レスポンスデータが格納されます		×

(1) レスポンスデータメモリ

このビットにより、受信した MMC カードレスポンスデータの読み出しを行います。
 また、受信したデータは、先頭アドレス (H'02C0 7006) から順にセットされます。
 MMC レスポンスデータメモリは読み出し専用のメモリで、このメモリにデータを書きこむことはできません。

4.5.14. MMCC 動作説明

I MMCC のデータ転送速度 (ボーレート)

MMCC におけるデータの転送速度 (ボーレート) は、転送クロックによって決定されます。システムクロック (BCLK) が、MMC ボーレートレジスタで設定した値 "n" で "n+1" 分周されます。"n+1" 分周されたソースカウントはさらに 2 分周され転送クロックとなります。

$$\text{ボーレート (MHz)} = \frac{f(\text{BCLK})}{(\text{MMC ボーレートレジスタ設定値} + 1) \times 2}$$

II MMC コマンド転送動作

(1) コマンドデータのセットについて

MMC コマンドデータメモリに送信するコマンドデータを書きこみます。

(2) コマンド転送の開始条件について

コマンド転送送信許可ビットに "1" をセットすることによりコマンド転送動作が開始されます。

(3) コマンド転送の終了について

コマンドの送信とレスポンスの受信が完了すると、CMDEN が自動的にクリアされコマンド転送処理が終了します。

III MMC データ転送動作

< MMC データのライト >

(1) ライトデータのセットについて

MMC ライトデータメモリ、および、MMC ライトデータ CRC レジスタに送信するデータを書きこみます。

(2) データ転送の開始条件について

MMC データ転送選択ビット (DSEL) に "1" をセットし、データ転送送信許可ビット (DTEN) に "1" をセットすることによりデータ転送動作が開始されます。

(3) データ転送の終了について

データの送信、CRC ステータスの受信、レディ状態の検出後、DTEN ビットが自動的にクリアされデータ転送処理が終了します。

< MMC からのデータのリード >

(1) データ受信の開始条件について

MMC データ選択ビット (DSEL) に "0" をセットし、データ転送送信許可ビット (DTEN) に "1" をセットすることによりデータ受信動作が開始されます。

(2) データ転送の終了について

データの受信後、DTEN ビットが自動的にクリアされデータ転送処理が終了します。

4.6. 割り込みコントローラ (ICU) 概要

PLD には、割り込み要求を管理できる ICU (割り込みコントローラ) を内蔵しています。

ICU には、内蔵周辺 I/O および外部からのマスク可能な割り込み要因が 6 要因あり、これらを 7 レベルの優先順位をつけて管理します。同一レベルの割り込み要求が複数同時に発生した場合は、あらかじめハードウェアで固定された優先順位が適用されます。

また、PLD で受け付けられた割り込みは、M32104 INT1 に "H" レベルの割り込みとして出力されます。

表 4.6.1 ICU の概要

項目	概要
割り込み要因	6 要因 (内 2 要因が未使用)
レベル管理	割り込み禁止を含め 8 レベル

図 4.6.1 に ICU ブロック図を示します。

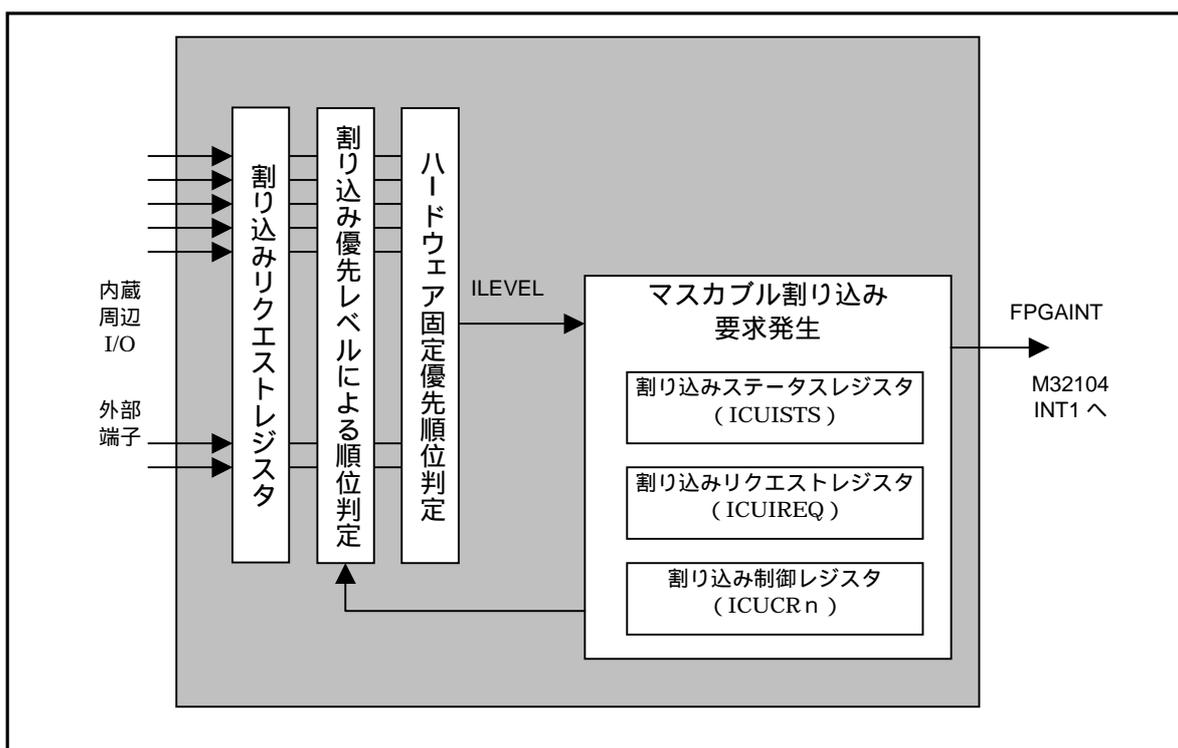


図 4.6.1 ICU ブロック図

4.6.1. ICU 関連レジスタ一覧

図 4.6.2に ICU レジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書き込みを行った場合の動作は保証されません。

番地	+ 0 番地		+ 1 番地	
	b0	b7	b8	b15
H'02C0 8000	(使用禁止領域)			
H'02C0 8002	割り込みステータスレジスタ (ICUISTS)			
H'02C0 8004	割り込みリクエストレジスタ 0 (ICUIREQ0)			
H'02C0 8006	(使用禁止領域)			
:				
H'02C0 8104	外部端子 CFIREQ#割り込み制御レジスタ (ICUCR3)			
H'02C0 8106	CFC カード挿入割り込み制御レジスタ (ICUCR4)			
H'02C0 8108	CFC カード取り出し割り込み制御レジスタ (ICUCR5)			
H'02C0 810A	外部割り込み制御レジスタ (ICUCR6)			
H'02C0 811C	(使用禁止領域)			
:				
H'02C0 8114	MMC カード挿抜割り込み制御レジスタ (ICUCR11)			
H'02C0 8116	(使用禁止領域)			
H'02C0 8118	SC エラー割り込み制御レジスタ (ICUCR13)			
H'02C0 811A	SC 受信割り込み制御レジスタ (ICUCR14)			
H'02C0 811C	SC 送信割り込み制御レジスタ (ICUCR15)			
H'02C0 812E	(使用禁止領域)			
:				
H'02C0 BFFF	(使用禁止領域)			

図 4.6.2 ICU 関連レジスタマッピング

4.6.2. 割り込みステータスレジスタ

割り込みステータスレジスタ (ICUSTS)

< アドレス : H'02C0 8002 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
VECB					ISN										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< リセット時 : H'0000 >

b	ビット名	機能	R	W
0 ~ 3	VECB ベクタベースビット	EIT ベクタエントリの M32104 アドレス A20 ~ A23 を設定		
4	何も配置されていません。		0	
5 ~ 9	ISN 割り込み要因番号ビット	00000: 割り込みなし 00001: 割り込み要因 1 00010: 割り込み要因 2 00011: 割り込み要因 3 : 11111: 割り込み要因 3 1		
10 ~ 15	何も配置されていません。		0	

割り込みステータスレジスタは、割り込み受付時の割り込み要因を特定するためのレジスタです。

割り込みハンドラ処理にてこのレジスタを読み出すことにより、ICU は M32104 が割り込みを受け付けたと判断し、FPGAINT = "L" にします。

このレジスタは、割り込み要求を示すステータスレジスタではないので、1 回の割り込みハンドラ処理内で 2 度読みはしないでください。このレジスタの読み出しにより ISN ビットは自動的に "00000" にクリアされます。

(1) VECB (ベクタベース) ビット (b0 ~ b3)

このビットにはソフトウェアによる割り込みハンドラの処理を軽減するために、各割り込み要因に対応するソフトウェアベクタテーブルの先頭番地 A[20:23] を設定しておくことが可能です。

なお、このビットの設定は、ICU や M32104 の動作自体には何も影響を与えません。

(2) ISN (割り込み要因番号) ビット (b15)

このビットは、現在要求されている割り込み要因のうちもっとも優先度レベルの高い要因番号を示します。このビットの値は、M32104 への割り込みが有効 (FPGAINT 信号 = "H") の場合でも常に更新されます。したがって、割り込みステータスレジスタの読み出しまでに、さらに優先レベルの高い割り込み要求が発生した場合には、その優先レベルの高い割り込みの要因番号が参照されます。割り込み処理ハンドラ内で、割り込みステータスレジスタの読み出しを行った時点で、その時読み出された要因番号の割り込みを受け付けたことになり、M32104 への FPGAINT 信号を "L" にしま

す。

このビットの値によりソフトウェアで割り込み発生元の特特定を行い、それぞれのハンドラ処理を行ってください。ベクタベースビット（VECB）を組み合わせることにより、ユーザ定義のベクタテーブルを直接参照できます。

表 4.6.2に割り込み要因一覧を示します。

表 4.6.2 割り込み要因一覧表

割り込み 要因番号	割り込み要因	割り込み 要因番号	割り込み要因
0	割り込み要因なし	16	(予約)
1	(予約)	17	(予約)
2	(予約)	18	(予約)
3	CFIREQ# (CF 外部端子)	19	(予約)
4	CFC カード挿入	20	(予約)
5	CFC カード取り出し	21	(予約)
6	外部割り込み(EXINT#端子)	22	(予約)
7	(予約)	23	(予約)
8	(予約)	24	(予約)
9	(予約)	25	(予約)
10	(予約)	26	(予約)
11	MMC カード挿抜	27	(予約)
12	(予約)	28	(予約)
13	SC エラー	29	(予約)
14	SC 受信	30	(予約)
15	SC 送信	31	(予約)

4.6.3. 割り込みリクエストレジスタ

割り込みリクエストレジスタ 0 (ICUIREQ0)

<アドレス : H'02C0 8004 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	IREQ3 0	IREQ4 0	IREQ5 0	IREQ6 0	0	0	0	0	IREQ11 0	0	IREQ13 0	IREQ14 0	IREQ15 0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0~2	何も配置されていません。		0	×
3	IREQ3 割り込み要因 3 割り込み要求ビット	0:外部端子 CFIREQ#割り込み要求なし 1:外部端子 CFIREQ#割り込み要求あり		×
4	IREQ4 割り込み要因 4 割り込み要求ビット	0:CFC カード挿入割り込み要求なし 1:CFC カード挿入割り込み要求あり		×
5	IREQ5 割り込み要因 5 割り込み要求ビット	0:CFC カード取り出し割り込み要求なし 1:CFC カード取り出し割り込み要求あり		×
6	IREQ6 割り込み要因 6 割り込み要求ビット	0:外部割り込み要求なし 1:外部割り込み要求あり		×
6~10	何も配置されていません。		0	×
11	IREQ11 割り込み要因 11 割り込み要求ビット	0:MMC カード挿抜割り込み要求なし 1:MMC カード挿抜割り込み要求あり		×
12	何も配置されません。		0	×
13	IREQ13 割り込み要因 13 割り込み要求ビット	0:SC エラー割り込み要求なし 1:SC エラー割り込み要求あり		×
14	IREQ14 割り込み要因 14 割り込み要求ビット	0:SC 受信割り込み要求なし 1:SC 受信割り込み要求あり		×
15	IREQ15 割り込み要因 15 割り込み要求ビット	0:SC 送信割り込み要求なし 1:SC 送信割り込み要求あり		×

(1) IREQ3~6, 11, 13~15(割り込み要因 n(n=3~6, 11, 13~15)割り込み要求)ビット(b3~b6, b11, b13~b15)

このビットは、割り付けられた各要因において割り込み要求が発生すると"1"にセットされます。

また、このビットは、以下の条件で"0"にクリアされます。

【エッジセンス割り込みの場合】

- ・ FPGAINTE="H"が出力されているときに、割り込みステータスレジスタを読み出した場合に"0"にクリアされます。
- ・ 対応する割り込み制御レジスタの割り込み要求ビット (IREQ) に"1"をセットしたときに"0"にクリアされます。

【レベルセンス割り込みの場合】

- ・ 割り込み要求元からの要求がクリアされることにより、"0"にクリアされます。

このビットに書き込むことはできません。

またこのビットは、各割り込み制御レジスタの IREQ ビットのミラーです。

4.6.4. 割り込み制御レジスタ

外部端子 CFIREQ#割り込み制御レジスタ (ICUCR3)	< アドレス : H'02C0 8104 >
CFC カード挿入割り込み制御レジスタ (ICUCR4)	< アドレス : H'02C0 8106 >
CFC カード取り出し割り込み制御レジスタ (ICUCR5)	< アドレス : H'02C0 8108 >
外部割り込み制御レジスタ (ICUCR6)	< アドレス : H'02C0 810A >
MMC カード挿抜割り込み制御レジスタ (ICUCR11)	< アドレス : H'02C0 8114 >
SC エラー割り込み制御レジスタ (ICUCR13)	< アドレス : H'02C0 8118 >
SC 受信割り込み制御レジスタ (ICUCR14)	< アドレス : H'02C0 811A >
SC 送信割り込み制御レジスタ (ICUCR15)	< アドレス : H'02C0 811C >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	IEN 1	0	0	0	IREQ 0	0	0	ISMOD 0	0	0	ILEVEL 1 1 1		

< リセット時 : H'10?7 >

b	ビット名	機能	R	W
0	何も配置されていません。"0"に固定してください。		0	0
3	IEN 割り込み要求受付許可ビット	0: 割り込み要求受付禁止 1: 割り込み要求受付許可		
4~6	何も配置されていません。"0"に固定してください。		0	0
7	IREQ 割り込み要求ビット	【リード時】 0: 割り込み要求なし 1: 割り込み要求あり 【ライト時】 0: 書き込み無効 1: 割り込み要求クリア		
8~9	何も配置されていません。"0"に固定してください。		0	0
10~11	ISMOD 入力センスモード選択ビット	00: 立ち下がりエッジセンス 01: "L"レベルセンス 10: 立ち上がりエッジセンス 11: "H"レベルセンス		
12	何も配置されていません。"0"に固定してください。		0	0
13~15	ILEVEL 割り込み優先レベル選択ビット	000: 割り込み優先レベル 0 001: 割り込み優先レベル 1 010: 割り込み優先レベル 2 011: 割り込み優先レベル 3 100: 割り込み優先レベル 4 101: 割り込み優先レベル 5 110: 割り込み優先レベル 6 111: 割り込み優先レベル 7 (割り込み禁止)		

: "0"書き込みは無効、"1"書き込みはビットクリア

注 : 以下にPLD内蔵周辺I/Oからの割り込み、および、外部端子からの割り込み要求入力センスモードを示し

ます。

《立ち上がりエッジセンス》

CFCカード取り出し割り込み

《立ち下がりエッジセンス》

CFCカード挿入割り込み

《"H"レベルセンス》

SCエラー、SC受信、SC送信割り込み

(1) IEN (割り込み要求受付許可) ビット (b3)

このビットにより割り込み要求受付の許可、禁止を設定します。

このビットを"0"にクリアした場合、割り込みコントローラへの割り込み要求受付禁止となり、割り込みコントローラへ割り込み要求が発生した場合でも割り込み要求ビット (IREQ) は"1"にセットされません。ただし、割り込み要求ビットが"1"にセットされた状態で、このビットを"0"にクリアした場合には、割り込み要求ビットは"0"にはクリアされません。

このビットを"1"にセットした場合、割り込みコントローラへの割り込み要求受付許可となり、割り込みコントローラへ割り込み要求が発生した場合に割り込み要求ビットが"1"にセットされます。

(2) IREQ (割り込み要求) ビット (b15)

このビットは、割り込み要求受付許可 (IEN="1") の場合に、各割り込み要因からの割り込み要求が発生すると"1"にセットされます。

また、このビットは、割り込み優先レベル選択ビット (ILEVEL) の設定にかかわらずセットされますが、実際に M32104 に対して割り込み要求が出力されるかされないかは、割り込み優先レベル選択ビットの値によって決定されます。

以下に割り込み要求ビットが"0"クリアされる条件を示します。

【エッジセンス割り込みの場合】

- ・ FPGAINTE = "H" が出力されているときに、割り込みステータスレジスタを読み出した場合に "0" にクリアされます。
- ・ このビットに "1" をセットしたときに "0" にクリアされます。

【レベルセンス割り込みの場合】

- ・ 割り込み要求元からの要求がクリアされることにより "0" にクリアされます。

割り込み要求発生による"1"セットと、ソフトウェアによる割り込み要求ビットの"0"クリアが同時に発生した場合、割り込み要求発生による"1"セットが優先されます。

(3) ISMOD (入力センスモード選択) ビット (b15)

このビットは、ICUCR3 のみ有効です。

このビットを設定することにより、割り込みの受け付け入力センスモードを選択します。

(4) ILEVEL (割り込み優先レベル選択) ビット

このビットには、各割り込み要因の割り込み優先レベルをセットします。

表 4.6.3に ILEVEL の設定と優先レベルの関係を示します。

注：ILEVEL="111" (割り込み禁止状態) であっても割り込み要求があれば、割り込み要求ビットはセットされます。

表 4.6.3 ILEVEL の設定と優先レベル

ILEVEL 設定値	優先レベル	外部端子 FPGAIN#の状態
0	高 ↑ ↓ 低	割り込みが入った場合に"H"が出力されます。
1		
2		
3		
4		
5		
6	割り込み禁止	常に"L"レベルです。
7		

注：IREQ="1"のとき

最終的に M32104 で FPGAIN# 割り込みを受け付けるかどうかは、M32104 の割り込みコントローラで設定してください。

4.6.5. ハードウェア優先順位と割り込み要因

表 4.6.4に割り込みのハードウェア優先順位と割り込み要求発生タイミングを示します。

表 4.6.4 ハードウェア優先順位と割り込み要求タイミング

割り込み要因	ハードウェア優先順位	割り込み要求発生タイミング
外部端子 CFIREQ #	高 ↑ ↓ 低	外部 CFIREQ 端子に有効エッジ、または有効レベルを入力したとき
CFC カード挿入		コンパクトフラッシュが挿入されたとき
CFC カード取り出し		コンパクトフラッシュが取り出されたとき
外部割り込み		外部 EXINT 端子に有効エッジ、または有効レベルを入力したとき
MMC カード挿抜		MMC カードが抜き挿しされたとき
SC エラー		SC との通信でエラーが発生したとき
SC 受信		SC からデータを受信したとき
SC 送信		SC 送信バッファが空になったとき

4.6.6. 割り込み動作説明

【M32104 への割り込み要求】

PLD 内蔵周辺 I/O および外部端子からの割り込み要求は、割り込み制御レジスタで設定した ILEVEL とハードウェア固定の優先順位を比較して、M32104 に対して FPGAINTE 端子に"H"を出力します。ただし、同時に複数の割り込み要求が発生した場合は、以下の手順で M32104 への割り込み要求を出すかどうかを判定します。

各割り込み制御レジスタの ILEVEL で設定した優先度を比較して、優先度の最も高い割り込みが選ばれます。

ILEVEL の値が同じ場合は、ハードウェア固定の優先順位に従い、M32104 に対して割り込み要求が出力されます。

割り込みの優先順位と割り込みマスクに関する設定には、以下の種類があります。

< 各割り込み要因ごとの割り込みレベル設定 >

割り込み制御レジスタの ILEVEL を設定する（割り込みを発生しない場合は、ILEVEL="111"）。

< M32104 への外部割り込みの制御 >

M32104 外部端子 INT2 の割り込み制御レジスタ ILEVEL ビットを設定する。

4.7. IO コントローラ概要

FPGA には、IO コントローラを内蔵しています。

IOC では、MMC と CF の電源制御、スイッチや LED の制御を行っています。

4.7.1. IOC 関連レジスタ

図 4.7.1に IOC レジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書きこみを行った場合の動作は保証されません。

番地	+ 0 番地	+ 1 番地
	b0	b7 b8 b15
H'02C1 4000	カード電源制御レジスタ (CPCR)	
H'02C1 4002	LED 制御レジスタ (IOLEDCR)	
H'02C1 4004	スイッチステータスレジスタ (IOSWSTS)	
H'02C1 4006	使用禁止領域	
:		
H'02C1 7FFE		

図 4.7.1 IOC レジスタマッピング

4.7.2. カード電源制御レジスタ

カード電源制御レジスタ (CPCR)

<アドレス : H'02C1 4000 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CDP 0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0~14	何も配置されていません。		0	-
15	CDP カード電源制御ビット	0: CARD_ON 端子から "L" を出力 1: CARD_ON 端子から "H" を出力		

: CF もしくは MMC が挿入されている時のみ書き込み可能です。

(1) CDP(カード電源制御)ビット(b15)

このビットにより、CARD_ON 端子の出力レベルを設定します。

このビットに"0"をセットすると CARD_ON 端子から "L" を出力し、CF と MMC に電源を供給しません。

このビットに"1"をセットすると CARD_ON 端子から "H" を出力し、CF と MMC に電源を供給します。

4.7.3. LED 制御レジスタ

LED 制御レジスタ (LEDCR)

< アドレス : H'02C1 4002 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	LED2 1	LED1 1

< リセット時 : H'0003 >

b	ビット名	機能	R	W
0~13	何も配置されていません。		0	-
14	LED1 LED の点滅を制御します。	0: LED 消灯 1: LED 点灯		
15	LED2 LED の点滅を制御します。	0: LED 消灯 1: LED 点灯		

(1) LED2(LED2 制御)ビット(b14)

このビットにより、LED2 端子の出力レベルを設定します。

このビットに"0"をセットすると LED2 端子から"H"を出力し、LED2 を消灯します。

このビットに"1"をセットすると LED2 端子から"L"を出力し、LED2 を点灯します。

(2) LED1(LED1 制御)ビット(b15)

このビットにより、LED1 端子の出力レベルを設定します。

このビットに"0"をセットすると LED1 端子から"H"を出力し、LED1 を消灯します。

このビットに"1"をセットすると LED1 端子から"L"を出力し、LED1 を点灯します。

4.7.4. スイッチステータスレジスタ

スイッチステータスレジスタ (IOSWSTS)

<アドレス : H'02C1 4004 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	SW2 ?	SW1 ?	0	0	0	0	0	0	0	WPO ?

<リセット時 : H'0?0? >

b	ビット名	機能	R	W
0~5	何も配置されていません。		0	-
6	SW2 SW2 の状態を示します。	0:OFF 1:ON		×
7	SW1 SW1 の状態を示します。	0:OFF 1:ON		×
8~14	何も配置されていません。		0	-
15	WPO ライトプロテクト SW の状態を示します。	0:OFF 1:ON		×

注 : スイッチが ON か OFF かで初期値は異なります。

(1) SW2(SW2 状態)ビット(b6)

このビットにより、SW2 の状態を判定します。

SW2 が ON のときは、このビットが"1"にセットされ、OFF のときはこのビットが"0"にクリアされます。

(2) SW1(SW1 状態)ビット(b7)

このビットにより、SW1 の状態を判定します。

SW1 が ON のときは、このビットが"1"にセットされ、OFF のときはこのビットが"0"にクリアされます。

(3) WPO(FLAWP0 ステータス)ビット(b15)

このビットにより FLAWP0#端子の状態を示します。

ライトプロテクトのジャンパがセットされていれば"L"になり、0 が出力されます。

ライトプロテクトのジャンパがセットされていなければ"H"になり、1 が出力されます。

4.8. CRC 演算回路 (CRCC)

PLD は、CRC 演算回路を内蔵しています。CRC (Cyclic Redundancy Check) とは、通信データを生成多項式によって加工した CRC コードと送られてきた CRC チェックデータとを比較することで、通信データの誤りを検出する方法です。

CRC 演算回路を用いれば、CRC コードを生成することができます。

以下にサポートする生成多項式を示します。

- ・ CRC-7 ($X^7 + X^3 + 1$): CRC 7
- ・ CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$): CRC16
- ・ CRC-16 ($X^{16} + X^{15} + X^2 + 1$): CRC16A

4.8.1. CRCC 関連レジスタ

図 4.8.1に CRCC レジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書きこみを行った場合の動作は保証されません。

番地	+ 0 番地		+ 1 番地	
	b0	b7	b8	b15
H'02C1 8000	CRC7 データレジスタ (CRC7DATA)			
H'02C1 8002	CRC7 データ入力レジスタ (CRC7INDATA)			
H'02C1 8004	CRC16 データレジスタ (CRC16DATA)			
H'02C1 8006	CRC16 データ入力レジスタ (CRC16INDATA)			
H'02C1 8008	CRC16A データレジスタ (CRC16ADATA)			
H'02C1 800A	CRC16A データ入力レジスタ (CRC16AINDATA)			
H'02C1 800C	使用禁止領域			
:				
H'02C1 BFFE				

図 4.8.1 CRC レジスタマッピング

4.8.2. CRC7 データレジスタ

CRC7 データレジスタ (CRC7DATA)

<アドレス : H'02C1 8000 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	CRC7D						
									0	0	0	0	0	0	0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0 ~ 8	何も配置されていません。		0	-
9 ~ 15	CRC7D CRC7 データビット	CRC7 演算結果が格納されます		

(1) CRC7D(CRC7 データ)ビット (b9 ~ b15)

CRC7 演算多項式 ($X^7 + X^3 + 1$) に基づいた演算結果を格納します。

4.8.3. CRC7 入力データレジスタ

CRC7 入力データレジスタ (CRC7INDATA)

<アドレス : H'02C1 8002 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15				
0	0	0	0	0	0	0	0	CRC7IN								0	0	0	0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0~7	何も配置されていません。		0	-
8~15	CRC7IN CRC7 入力データビット	CRC7 演算結果を行うデータを格納します		

(1) CRC7IN(CRC7 入力データ)ビット(b8~b15)

CRC7 演算の対象となるデータをセットします。

また、CRC7 データ入力レジスタにデータを書き込むと書き込んだデータと CRC7 データレジスタの内容に基づいて、CRC コードが CRC7 データレジスタに書き込まれます。

4.8.4. CRC16 データレジスタ

CRC16 データレジスタ (CRC16DATA)

<アドレス : H'02C1 8004 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
CRC16D															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0 ~ 15	CRC16D CRC16 データビット	CRC16 演算結果が格納されます		

(1) CRC16D(CRC16 データ)ビット(b0 ~ b15)

CRC16 演算多項式 ($X^{16} + X^{12} + X^5 + 1$) に基づいた演算結果を格納します。

4.8.5. CRC16 入力データレジスタ

CRC16 入力データレジスタ (CRC16INDATA)

<アドレス : H'02C1 8006 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0~7	何も配置されていません。		0	-
8~15	CRC16IN CRC16 入力データビット	CRC16 演算結果を行うデータを格納します		

(1) CRC16IN(CRC16 入力データ)ビット(b8~b15)

CRC16 演算の対象となるデータをセットします。

また、CRC16 データ入力レジスタにデータを書き込むと書き込んだデータと CRC16 データレジスタの内容に基づいて、CRC コードが CRC16 データレジスタに書き込まれます。

4.8.6. CRC16A データレジスタ

CRC16A データレジスタ (CRC16ADATA)

<アドレス : H'02C1 8008 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
								CRC16AD							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0 ~ 15	CRC16AD CRC16A データビット	CRC16A 演算結果が格納されます		

(1) CRC16AD(CRC16A データ)ビット(b0 ~ b15)

CRC16A 演算多項式 ($X^{16} + X^{15} + X^2 + 1$) に基づいた演算結果を格納します。

4.8.7. CRC16A 入力データレジスタ

CRC16A 入力データレジスタ (CRC16AINDATA)

<アドレス : H'02C1 800A >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0~7	何も配置されていません。		0	-
8~15	CRC16AIN CRC16A 入力データビット	CRC16A 演算結果を行うデータを格納します		

(1) CRC16AIN(CRC16A 入力データ)ビット (b8 ~ b15)

CRC16A 演算の対象となるデータをセットします。

また、CRC16A データ入力レジスタにデータを書き込むと書き込んだデータと CRC16A データレジスタの内容に基づいて、CRC コードが CRC16A データレジスタに書き込まれます。

4.8.8. CRC 演算について

- ・送信するデータを高次の多項式とみなします。

例:H'A1=b'01010001 → $x^6 + x^4 + 1$

- ・生成多項式(Checking Polynomial) $P(x)$ で割り、その余り(BCC : Block Check Character)をCRC とします。

< CRC 生成多項式の例 >

CRC-7 : $P(x) = x^7 + x^3 + 1$

CRC-CCITT : $P(x) = x^{16} + x^{12} + x^5 + 1$

送信側の計算

- ①送信データを多項式 $M(x)$ に変形します。
- ②生成多項式 $P(x)$ の最高次項 x^k と $M(x)$ をかけて $x^kM(x)$ とします。
- ③ $x^kM(x)$ を $P(x)$ で除算します
- ④この余りが CRC 符号となります。ただし、上記除算はモジュロ 2 演算を用いて行います。
($0 + 0 = 0, 1 + 0 = 1, 0 - 1 = 1, 0 + 1 = 1, 1 + 1 = 0, 1 - 0 = 1$)

受信側の計算

- ①受信データが CRC 符号付きデータの場合、これを生成多項式 $P(x)$ で割り、その余りが 0 であれば正常値とみなします。余りが出ればエラーとなります。

4.8.9. CRC 演算回路動作説明

以下に CRC 演算回路の動作について説明します。また、に CRC 演算回路の演算例を示します。

CRC7 演算動作

- ①CRC7 データレジスタに初期値 H'00 を設定します。
- ②CRC 入力データレジスタに 1 バイトのデータを書き込むと、書き込んだデータと CRC データレジスタの内容に基づいて、CRC コードが CRC データレジスタに生成されます。1 バイトのデータに対する CRC コードの生成は 2BCLK で終了します。
- ③連続数バイト CRC 演算を行う場合、続けて次データを CRC 入力データレジスタに書き込みます。
- ④演算を行うデータを全て書き終えた後の CRC データレジスタの内容が CRC 符号となります。

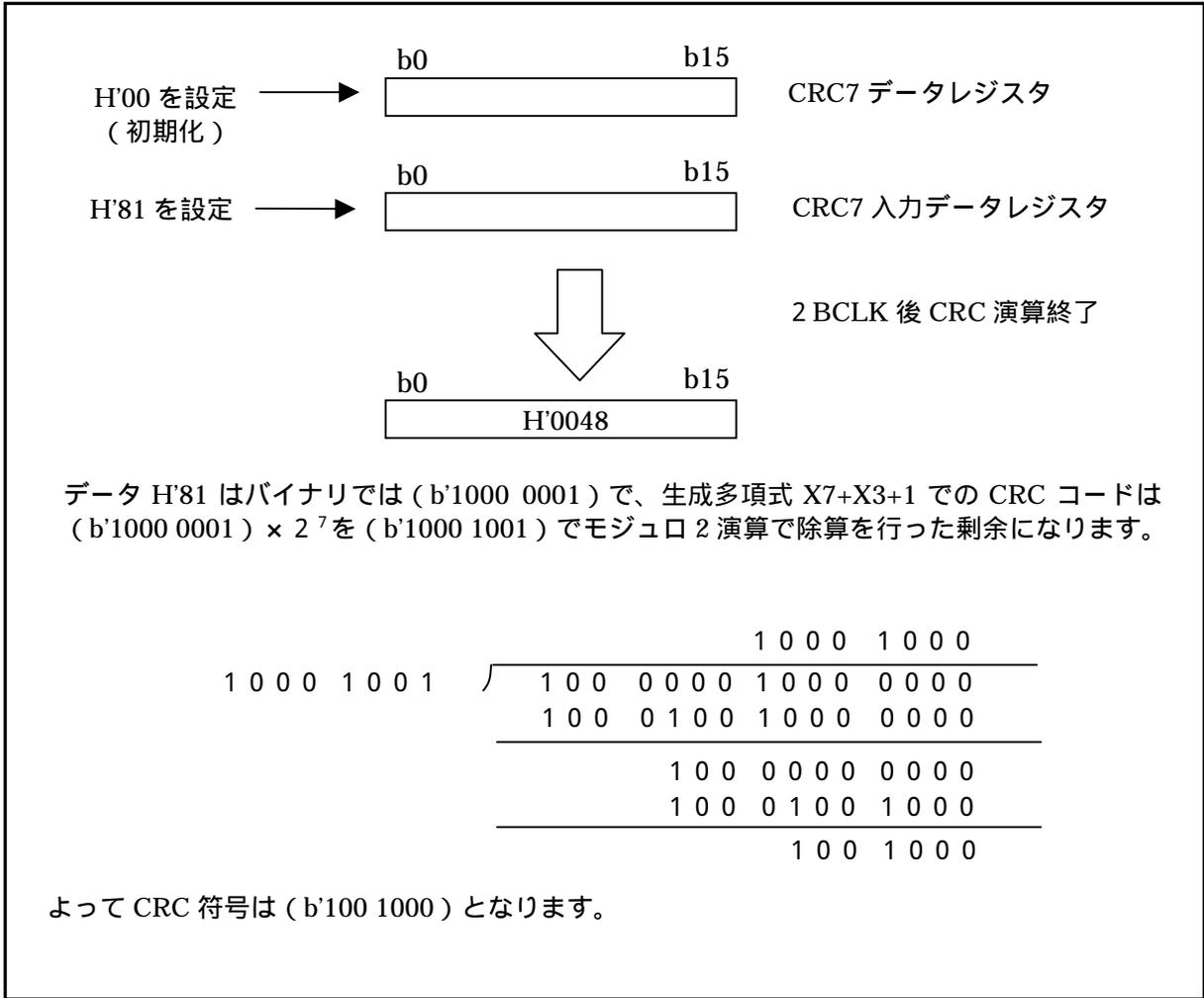


図 4.8.2 CRC 演算回路動作例

4.9. リアルタイムクロックコントローラ (RTC)

PLD には、リアルタイムクロック IC 制御用に RTCC を内蔵しています。

RTCC は、リアルタイムクロック IC のリセット制御、コマンド、データのリード/ライトを制御します。

表 4.9.1 に RTCC 概要を示します。

表 4.9.1 RTCC の概要

項目	概要
リセット制御	出力ポートによるリセット制御
転送クロック	内部クロック (システムクロック BCLK)
データフォーマット	転送データ長: 16 ビット固定 転送順序: MSB ファースト
ボーレート	105468 ~ 27000000 bps

4.9.1. RTCC 関連レジスタ

図 4.9.1 に RTCC レジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書き込みを行った場合の動作は保証されません。

番地	+0 番地		+1 番地	
	b0	b7	b8	b15
H'02C1 C000	RTC 制御レジスタ (RTCCR)			
H'02C1 C002	RTC ボーレートレジスタ (RTCBAUR)			
H'02C1 C004	RTC ライトデータレジスタ (RTCWRDATA)			
H'02C1 C006	RTC リードデータレジスタ (RTCRRDATA)			
H'02C1 C008	RTCRST 出力レジスタ (RTCRSTODT)			
H'02C1 C00A	(使用禁止領域)			
:				
H'02C1 FFFE				

図 4.9.1 RTCC レジスタマッピング

4.9.2. RTC 制御レジスタ

RTC 制御レジスタ (RTCCR)

< アドレス : H'02C1 C000 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	WREN 0	RDEN 0

< リセット時 : H'0000 >

b	ビット名	機能	R	W
0~13	何も配置されていません。		0	0
14	WREN ライトイネーブルビット	<ul style="list-style-type: none"> ・書き込み 0 : <書き込み無効> 1 : ライト開始 ・読み込み 0 : ライト動作中でない 1 : ライト動作中 		*
15	RDEN リードイネーブルビット	<ul style="list-style-type: none"> ・書き込み 0 : <書き込み無効> 1 : リード開始 ・読み込み 0 : リード動作中でない 1 : リード動作中 		*

注* : "1"書き込みのみ有効

(1) WREN (ライトイネーブル) ビット(b14)

このビットに"1"をセットすると、リアルタイムクロック IC へのライト動作を開始します。
また、このビットにより、リアルタイムクロック IC へのライト動作ステータスを示します。

(2) RDEN (リードイネーブル) ビット(b15)

このビットに"1"をセットすると、リアルタイムクロック IC へのリード動作を開始します。
また、このビットにより、リアルタイムクロック IC へのリード動作ステータスを示します。

4.9.3. RTC ボーレートレジスタ

RTC ボーレートレジスタ (RTCBAUR)

<アドレス : H'02C1 C002 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0~7	何も配置されていません。		0	0
8~15	RTCBAUR ボーレート設定	ボーレートを設定するための分周を設定します		

注 : このレジスタへの設定は、RTC停止中(リードイネーブルビット、ライトイネーブルビットがともに"0")に行ってください。

(1) RTCBAUR (ボーレート設定) ビット(b8~b15)

システムクロック (BCLK) をこのビットで設定した値"n"で"n+1"分周します。

"n+1"分周されたカウントソースはさらに 2 分周され転送クロックとなります。転送クロックは RTCSCCLK 端子から外部に出力します。

図 4.5.2に RTC ボーレートレジスタに設定する値の算出式を示します。

また、表 4.5.1に RTC ボーレートレジスタ設定例を示します。

$$\text{RTC ボーレートレジスタ設定値 (RTCBAUR)} = \frac{f(\text{BCLK})}{\text{ボーレート} \times 2} - 1$$

$$\text{ボーレート} = \frac{f(\text{BCLK})}{2 \times (\text{RTCBAUR} + 1)}$$

図 4.9.2 RTC ボーレートレジスタ設定算出式

表 4.9.2 RTC ボーレート設定例 : f(BCLK)=54MHz 動作時

MMCBAUR	ボーレート (MHz)	MMCBAUR	ボーレート (MHz)
0(H'0000)	27.0000	12(H'000C)	2.0769
1(H'0001)	13.5000	13(H'000D)	1.9286
2(H'0002)	9.0000	14(H'000E)	1.8000
3(H'0003)	6.7500	15(H'000F)	1.6875
4(H'0004)	5.4000	16(H'0010)	1.5882
5(H'0005)	4.5000	17(H'0011)	1.5000
6(H'0006)	3.8571	18(H'0012)	1.4211
7(H'0007)	3.3750	19(H'0013)	1.3500
8(H'0008)	3.0000	20(H'0014)	1.2857
9(H'0009)	2.7000	21(H'0015)	1.2273
10(H'000A)	2.4545	22(H'0016)	1.1739
11(H'000B)	2.2500	23(H'0017)	1.1250

4.9.4. RTC ライトデータレジスタ

RTC ライトデータレジスタ (RTCWRDATA)

<アドレス : H'02C1 C004 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
WRDATA								WRADR							
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

<リセット時 : 不定 >

b	ビット名	機能	R	W
0~7	WRDATA ライトデータビット	ライトデータを書き込みます		
8~15	WRADR ライトアドレスビット	ライトアドレスを書き込みます		

(1) WRDATA (ライトデータ) ビット (b0 ~ b7)

このビットに、RTC IC へのライトデータを設定します。

(2) WRADR (ライトアドレス) ビット (b8 ~ b15)

このビットに、RTC IC のライトアドレスを設定します。

ライトイネーブルビットに"1"を設定することによって、RTC ライトデータレジスタに設定したデータが、RTC 送信シフトレジスタへ転送されます。

書き込むデータと WRADR の対応を表 4.9.3に示します。

表 4.9.3 書き込むデータとアドレスの対応

データ	WRADR	データ	WRADR
秒	H'80	月	H'88
分	H'82	曜日	H'8A
時	H'84	年	H'8C
日	H'86		

《30 秒を書き込む場合》

(1) このレジスタに H'3080 を書き込みます。

(2) ライトイネーブルビットに"1"を設定します。

(3) 書き込みが完了する (ライトイネーブルビットが"0") のを待ちます。

なお、詳細については、DS1302 のマニュアルを参照ください。

4.9.5. RTC リードデータレジスタ

RTC リードデータレジスタ (RTCRDDATA)

<アドレス : H'02C1 C006 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
RDDATA								RDADR							
?	?	?	?	?	?	?	?	?	?	?	?	?	?	?	?

<リセット時 : 不定 >

b	ビット名	機能	R	W
0~7	RDDATA リードデータビット	リードデータが格納されます		×
8~15	RDADR リードアドレスビット	リードアドレスを書き込みます		

(1) RDDATA (リードデータ) ビット (b0 ~ b7)

このビットにより、RTC IC からのリードデータを読み出します。

RTCIO 端子から入力された受信転送データは、RTC リードシフトレジスタにて受信されます。受信完了後、RTC シフトレジスタからリードデータビットに受信データが転送されます。

また、リードデータビットは、読み出し専用のビットでこのビットにデータを書き込むことはできません。

(2) RDADR (リードアドレス) ビット (b8 ~ b15)

このビットに、RTC IC のリードアドレスを設定します。

リードイネーブルビットに"1"を設定することによって、RTC リードデータレジスタに設定したアドレスが、RTC 送信シフトレジスタへ転送され、その後、RTC IC からのデータがリードデータビットに書き込まれます。

読み込むデータと RDADR の対応を表 4.9.4に示します。

表 4.9.4 読み込むデータとアドレスの対応

データ	RDADR	データ	RDADR
秒	H'81	月	H'89
分	H'83	曜日	H'8B
時	H'85	年	H'8D
日	H'87		

《秒を読み込む場合》

- (1) このレジスタに H'0081 を書き込みます。
 - (2) リードイネーブルビットに"1"を設定します。
 - (3) 読み込みが完了する(リードイネーブルビットが"0")のを待ちます。
 - (4) リードデータレジスタを読むと上位 8 ビットが秒を示す値となります。
- なお、詳細については、DS1302 のマニュアルを参照ください。

4.9.6. RTCRST 出力レジスタ

RTCRST 出力レジスタ (RTCRSTODT)

<アドレス : H'02C1 C008 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	RSTO 0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0~14	何も配置されていません。		0	
15	RSTO RTCRST#端子出力ビット	0:RTCRST#端子から”L”を出力 1:RTCRST#端子から”H”を出力		

(1) RSTO (RTCRST#端子出力ビット) ビット(b14)

このビットに”0”をセットすると、RTCRST#端子から”L”を出力し、”1”をセットすると、”H”を出力します。

4.10. スマートカードインタフェース概要

PLD には、スマートカードインタフェースを内蔵しています。

スマートカードインタフェースは下記の通信方式を採用しています。

- ・ UART 方式
- ・ データ長：8 ビット
- ・ 転送規則：ダイレクト/インバース
- ・ スタートビット：1 ビット
- ・ パリティビット：1 ビット

図 4.10.1にスマートカードの接続図を示します。

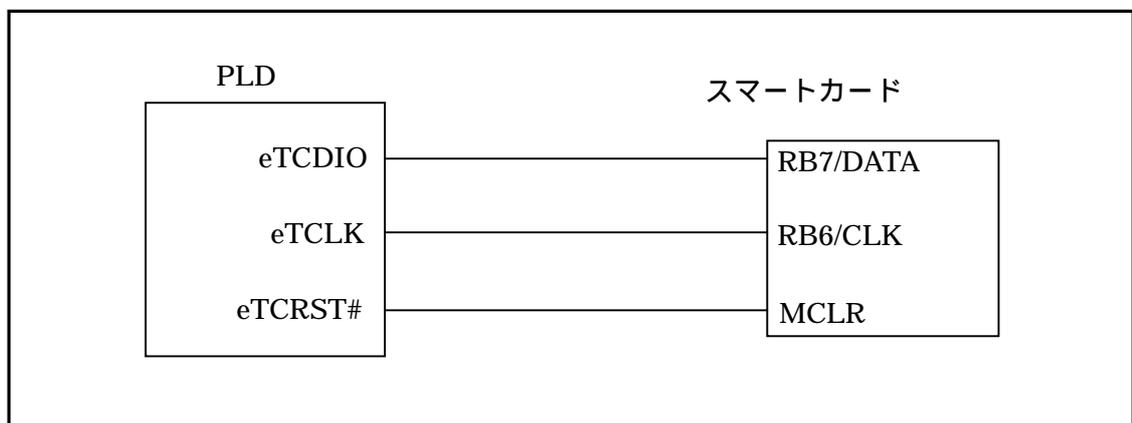


図 4.10.1 スマートカード接続図

スマートカードの送受信データはパリティによるエラー検出を行います。

受信時にパリティエラーを検出した場合は、パリティビット受信終了後、 0.5etu^1 の時間が経過後に 1etu の間、eTCDIO 端子に“L”を出力します。

送信時に、パリティビット送信終了後、カードからエラーを受け取ると、正常にデータが転送できるまで繰り返しデータを再送します。

カードを挿入していない状態で、送信と受信を同時に許可すると、送信したデータを自分自身で受け取ることができます。

¹ etu= elementary time unit:1 ビットの転送時間

4.10.1. スマートカード関連レジスタ

図 4.5.1にスマートカード（SC）関連レジスタマッピングを示し、以降に各レジスタについて説明します。なお、使用禁止領域に書きこみを行った場合の動作は保証されません。

番地	+ 0 番地		+ 1 番地	
	b0	b7 b8	b8	b15
H'02C3 8000	SC 制御レジスタ (SCCR)			
H'02C3 8002	(使用禁止領域)			
H'02C3 8004	SC モードレジスタ (SCMOD)			
H'02C3 8006	SC ステータスレジスタ (SCSTS)			
H'02C3 8008	SC 割り込み制御レジスタ (SCINTCR)			
H'02C3 800A	SC ボーレートレジスタ (SCBAUR)			
H'02C3 800C	SC 送信バッファレジスタ (SCTXB)			
H'02C3 800E	SC 受信バッファレジスタ (SCRXB)			
H'02C3 8010	(使用禁止領域)			
:				
H'02C3 8FFE				

図 4.10.2 SC レジスタマッピング

4.10.2. SC 制御レジスタ

SC 制御レジスタ (SCCR)

<アドレス : H'02C3 8000 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	RST 1	0	0	0	0	0	0	RXEN 1	TXEN 0

<リセット時 : H'0102 >

b	ビット名	機能	R	W
0~6	何も配置されていません。		0	-
7	RST SIM カードリセット	<書込み時> 0: 意味なし 1: リセット <読み込み時> 0: リセット完了 1: リセット中		
8~13	何も配置されていません。		0	-
14	RXEN 受信許可ビット	0: 受信禁止 1: 受信許可		
15	TXEN 送信許可ビット	0: 送信禁止 1: 送信許可		

(1) RST(リセット)ビット(b7)

このビットに"1"をセットすると、SC カードインタフェースの各レジスタを初期化し、SC カードのリセット信号を eTCCLK の 400 サイクルの間ローレベルに落とします。400 サイクル経過後はリセット信号をハイレベルに戻し、このビットを"0"にします。

リセット時に eTCCLK は 3.375MHz に初期化されます。

(2) RXEN (受信許可) ビット(b14)

このビットに"1"をセットすると、SC からの受信を許可します。

(3) TXEN (データ転送許可) ビット(b15)

このビットに"1"をセットすると、SC への転送を許可します。

4.10.3. SC モードレジスタ

SC モードレジスタ (SCMOD)

< アドレス : H'02C3 8004 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	DIR 0	0	0	0	0

< リセット時 : H'0000 >

b	ビット名	機能	R	W
0~10	何も配置されていません。		0	-
11	DIR 転送規則選択ビット	0:ダイレクト規則転送 1:インバース規則転送		
8~14	何も配置されていません。		0	-

注 : このレジスタへの書き込みは、SC カードとの通信停止中に行ってください。

(1) DIR (転送規則選択) ビット (b11)

このビットにより、データの転送規則 (ダイレクト/インバース) を選択します。

このビットを"0"にクリアした場合、データの転送はLSB側 (SC送信バッファレジスタのb15) から行われ、偶数パリティとなります。データはSC送信バッファレジスタの (b15 b14 ... b9 b8) の順で、1 がハイレベルで、0 がローレベルで送信されます。

このビットを"1"にセットした場合、データの転送はMSB側 (SC送信バッファレジスタのb0) から行われ、奇数パリティとなります。データはSC送信バッファレジスタの (b8 b9 ... b14 b15) の順で送信され、1 がローレベルで0 がハイレベルで転送されます。

図 4.10.3に0xACをそれぞれの規則で転送した例を示します。

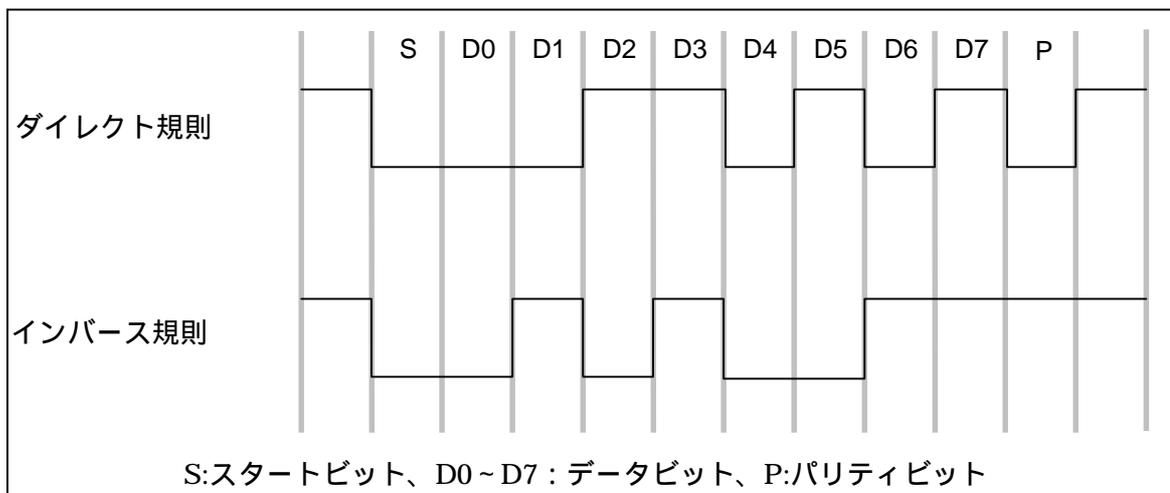


図 4.10.3 2つの転送規則でのデータ転送例

4.10.4. SC ステータスレジスタ

SC ステータスレジスタ (SCSTS)

< アドレス : H'02C3 8006 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
						RXSC	TXSC	ESSTS	PERR	OERR			RXCP	TXCP	TEMP
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

< リセット時 : H'0000 >

b	ビット名	機能	R	W
0~5	何も配置されていません。		0	×
6	RXSC 受信シフトレジスタ状態フラグ	0: データ受信中でない 1: データ受信中である		×
7	TXSC 送信シフトレジスタ状態フラグ	0: データ送信中でない 1: データ送信中である		×
8	ESSTS エラーシグナル状態フラグ	0: エラーなし 1: エラーあり		
9	PERR 受信パリティエラーフラグ	0: エラーなし 1: エラーあり		
10	OERR 受信オーバーランエラーフラグ	0: エラーなし 1: エラーあり		
11~12	何も配置されていません。		0	×
13	RXCP 受信完了フラグ	0: 受信バッファレジスタ内にデータなし 1: 受信バッファレジスタ内にデータあり		×
14	TXCP 送信完了フラグ	0: 送信シフトレジスタ内にデータあり 1: 送信シフトレジスタ内にデータなし		×
15	TEMP 送信バッファエンプティフラグ	0: 送信バッファ内にデータあり 1: 送信バッファ内にデータなし		×

: 0 を書き込んだときのみ有効

(1) RXSC (受信シフトレジスタ状態フラグ) ビット (b6)

このビットにより、受信シフトレジスタの動作状態を参照することができます。このビットのセット、クリアのタイミングは、各条件が検出されてから若干のタイムラグがあります。受信禁止設定を行ってからこのビットを参照する場合は、このタイムラグを考慮し、転送データ1ビット分程度の間隔を設けてください。

以下にこのビットのセット、クリアの条件を示します。

- "1" をセットする条件
スタートビットの検出 (立ち下がりエッジ入力) 時、"1" にセットされます。
- "0" をセットする条件
パリティビットの受信を完了した場合に "0" にクリアされます。

(2) TXSC (送信シフトレジスタ状態フラグ) ビット (b7)

このビットにより、送信シフトレジスタの動作状態を参照することができます。以下にこのビットのセット、クリアの条件を示します。

このビットのセット、クリアのタイミングは、各条件が検出されてから若干のタイムラグがあります。送信禁止設定を行ってからこのビットを参照する場合は、このタイムラグを考慮し、転送データ1ビット分程度の間隔を設けてください。

- "1"をセットする条件
スタートビットの検出 (立ち下がりエッジ入力) 時、"1"にセットされます。
- "0"をセットする条件
パリティビットを送出後、転送データ 2 ビット分経過後に"0"にクリアされます。

(3) ESSTS (エラーシグナル状態フラグ) ビット (b8)

このビットにより、送信時に受信側から送り返されるエラーシグナルの状態を示します。以下にこのビットのセット、クリアの条件を示します。

- "1"をセットする条件
受信側からパリティエラーを示すシグナルが送信されたときに"1"にセットされます。
- "0"をセットする条件
このビットに"0"を書き込む必要があります。

(4) PERR (受信パリティエラーフラグ) ビット (b9)

このビットにより、受信データについての受信パリティエラーの状態を参照することができます。以下にこのビットのセット、クリアの条件を示します。

- "1"をセットする条件
受信時にパリティエラーを検出したときに"1"にセットされます。また、このとき 1 クロックの間、シリアルデータとして 0 を送信します。
- "0"をセットする条件
このビットに"0"を書き込む必要があります。

(5) OERR (オーバーランエラーフラグ) ビット (b10)

受信バッファレジスタ、及び受信シフトレジスタに受信データが存在している状態で、次の受信データの受信開始を認識したときオーバーランエラーを検出し、このビットは"1"にセットされます。

- "1"をセットする条件
受信時にオーバーランエラーを検出したときに"1"にセットされます。
- "0"をセットする条件
このビットに"0"を書き込む必要があります。

(6) RXCP (受信完了フラグ) ビット (b13)

このビットにより、受信バッファレジスタのデータの有無を参照できます。以下にこのビットのセット、クリアの条件を示します。

- "1"をセットする条件

正常な受信データが受信シフトレジスタから受信バッファレジスタへ転送されたとき"1"にセットされます

- "0"をセットする条件

受信バッファレジスタを読み出すことにより"0"にクリアされます。なお、このビットはステータスレジスタの読み出しではクリアされません。

(7) TXCP (送信完了フラグ) ビット (b14)

このビットにより、送信シフトレジスタ内のデータの有無を参照できます。

このビットが"0"にクリアされている場合、送信シフトレジスタには送信の終了していないデータがあります。

このビットが"1"にセットされている場合、送信シフトレジスタにはデータがありません。

以下にこのビットのセット、クリアの条件を示します。

- "1"をセットする条件

送信シフトレジスタ内のデータを送信し終えたときに、以下のいずれかの条件が満たされた場合、送信バッファレジスタから送信シフトレジスタへ送信データの転送は行われず、送信シフトレジスタは空になり、"1"がセットされます。

- ・送信バッファレジスタにデータがないとき (TEMP = "1")

- ・送信許可ビット (SC 制御レジスタの TXEN) が"0"のとき

- "0"をセットする条件

送信バッファレジスタから送信シフトレジスタへ送信データが転送されてきたとき"0"にクリアされます。

(8) TEMP (送信バッファエンプティフラグ) ビット(b14)

このビットにより、送信バッファレジスタ内のデータの有無を参照できます。

このビットが"0"にクリアされている場合、送信バッファレジスタには、送信シフトレジスタへ転送していないデータがあります。

このビットが"1"にセットされている場合、SC送信バッファレジスタにはデータがありません。

以下にこのビットのセット、クリアの条件を示します。

- "1"をセットする条件

送信バッファレジスタから送信シフトレジスタへ送信データを転送したとき、"1"にセットされます。

- "0"をセットする条件

送信バッファレジスタへの書き込みで"0"にクリアされます。

4.10.5. SC 割り込み制御レジスタ

SC 割り込み制御レジスタ (SCINTCR)

<アドレス : H'02C3 8008 >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	0	0	0	0	ERIE	RXIE	0	TEMPIE
												0	0	0	0

<リセット時 : H'0000 >

b	ビット名	機能	R	W
0~11	何も配置されていません。		0	-
12	ERIE エラー発生割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可		
13	RXIE 受信完了割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可		
14	何も配置されていません。		0	-
15	TEMPIE 送信バッファ空割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可		

(1) ERIE (エラー発生割り込み許可) ビット (b12)

送受信時にエラーが発生した場合に割り込みを許可するかどうかを設定します。

“0”を設定した場合、割り込みを禁止します。“1”を設定した場合、割り込みを許可します。

エラーが発生する場合を以下に示します。

- ・ データ送信時
 - エラーシグナルが返ってきたとき
- ・ データ受信時
 - オーバーランエラーが発生したとき
 - パリティエラーが発生したとき

(2) RXIE (受信完了割り込み許可) ビット (b13)

受信が正常に終了し、受信バッファレジスタにデータが入ったときに割り込みを許可するかどうかを設定します。

“0”を設定した場合、割り込みを禁止します。“1”を設定した場合、割り込みを許可します。

(3) TEMPIE (送信バッファ空き割り込み許可) ビット (b15)

送信バッファが空いたときに割り込みを許可するかどうかを設定します。

“0”を設定した場合、割り込みを禁止します。“1”を設定した場合、割り込みを許可します。

この割り込みは、送信バッファレジスタのデータが送信シフトレジスタに入れられ、送信バッファが

空になった時に発生します。

なお、転送許可にした場合、送信バッファレジスタにデータが入っていない場合でも、割り込みは発生しません。

4.10.6. SC ボーレートレジスタ

SC ボーレートレジスタ (SCBAUR)

< アドレス : H'02C3 800A >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
SCBAUR															
0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

< リセット時 : H'0007 >

b	ビット名	機能	R	W
0~7	何も配置されていません。		0	-
8~15	SCBAUR ボーレート設定	ボーレートを設定します。		

注 : このレジスタへの設定は、SC 停止中 (SCCR="H'0000") に行ってください。

(1) SCBAUR (ボーレート設定) ビット (b8 ~ b15)

システムクロック (BCLK) をこのビットで設定した値 "n" で $2 \times (n+1)$ 分周した値がスマートカードのクロック (eTCCLK) に入力されます。そのスマートカードのクロック値を 372 分周した値が転送のボーレートとなります。

リセット時の eTCCLK は 3.375MHz で、ボーレートは 8835.1bps になります。

< 転送クロック >

" $2 \times (n+1)$ " 分周されたカウントソースはさらに 372 分周され転送クロックとなります。カウントソースは eTCCLK 端子から SC へ出力します。

図 4.10.4 に SC ボーレートレジスタに設定する値の算出式を示します。

また、表 4.10.1 に SC ボーレートレジスタ設定例を示します。

$$\begin{aligned}
 \text{SC ボーレートレジスタ設定値 (SCBAUR)} &= \frac{f(\text{BCLK})}{\text{ボーレート} \times 744} - 1 \\
 \text{ボーレート} &= \frac{f(\text{BCLK})}{744 \times (\text{SCBAUR} + 1)}
 \end{aligned}$$

図 4.10.4 SC ボーレートレジスタ設定値算出式

表 4.10.1 SC ボーレート設定例 : f(BCLK)=54MHz 動作時

SCBAUR	ボーレート (bps)	SCBAUR	ボーレート (bps)
0(H'0000)	72580.6		
1(H'0001)	36290.3	99(H'0063)	725.8
2(H'0002)	24193.5		
3(H'0003)	18145.2	499(H'01F3)	145.2
4(H'0004)	14516.1		
5(H'0005)	12096.8	999(H'03E7)	72.6
6(H'0006)	10368.7		
7(H'0007)	9072.6	4999(H'1387)	14.5
8(H'0008)	8064.5		
9(H'0009)	7258.1	9999(H'270F)	7.3
10(H'000A)	6598.2		
11(H'000B)	6048.4	65535(H'0017)	1.1

4.10.7. SC 送信バッファレジスタ

SC 送信バッファレジスタ (SCTXB)

< アドレス : H'02C3 800C >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	SCTXB							
								?	?	?	?	?	?	?	?

< リセット時 : H'00?? >

b	ビット名	機能	R	W
0~7	何も配置されていません。		0	×
8~15	SCTXB 送信データビット	送信データを書き込みます。		

(1) SCTXB (送信データ) ビット (b8 ~ b15)

このビットにより送信データを設定します。

以下のすべての条件が満たされたとき、SC送信バッファレジスタに設定したデータが、SC送信シフトレジスタへ転送されます。

- ・送信許可ビット (SC制御レジスタのb15) が"1"
- ・SC送信バッファレジスタにデータがある (SCステータスレジスタのTEMP = "0")
- ・SC送信シフトレジスタにデータがない (SCステータスレジスタのTXCP = "1"の時、もしくは丁度SC送信シフトレジスタのデータを送信し終えた時)

4.10.8. SC 受信バッファレジスタ

SC 受信バッファレジスタ (SCRXB)

< アドレス : H'02C3 800E >

b0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	0	?	?	?	?	?	?	?	?

< リセット時 : H'00?? >

b	ビット名	機能	R	W
0~7	何も配置されていません。		0	×
8~15	SCRXB 受信データビット	受信データが格納されます		×

(1) SCRXB (受信データ) ビット (b8 ~ b15)

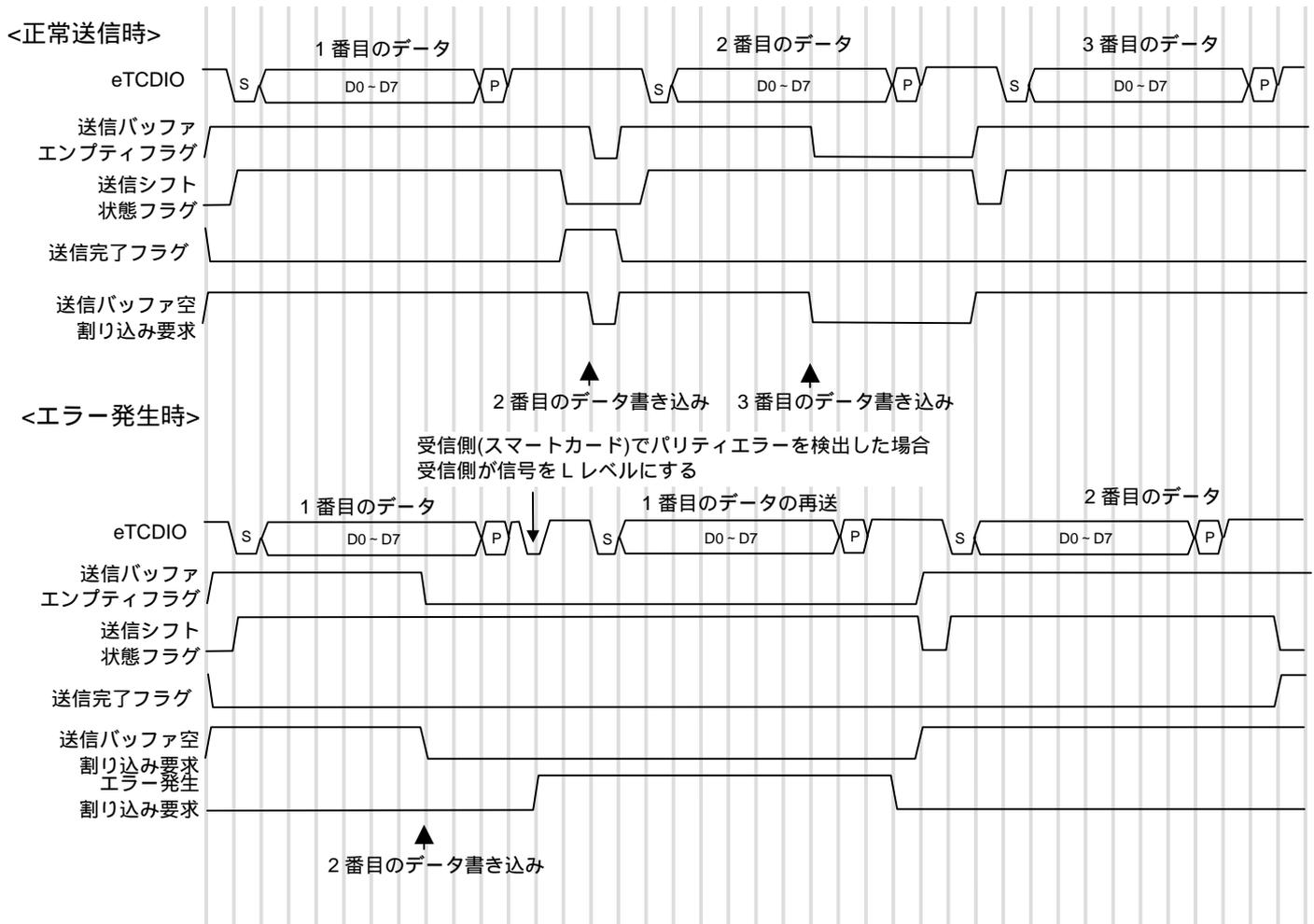
このビットにより受信したデータの読み出しを行います。

受信許可状態 (SC制御レジスタのRXEN = "1") のとき、SC受信シフトレジスタにRXD端子から入力した受信データが揃い、かつ受信バッファレジスタにデータがない時、SC受信シフトレジスタからSC受信バッファレジスタへ受信データを転送します。

SC受信バッファレジスタは、読み出し専用のレジスタで、このレジスタにデータを書き込むことはできません。

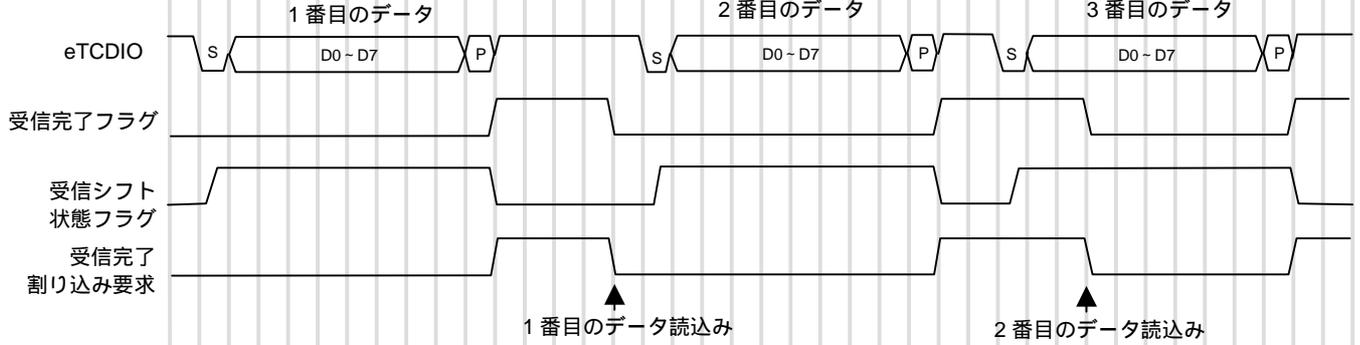
4.10.9. SC アクセスタイミング

送信

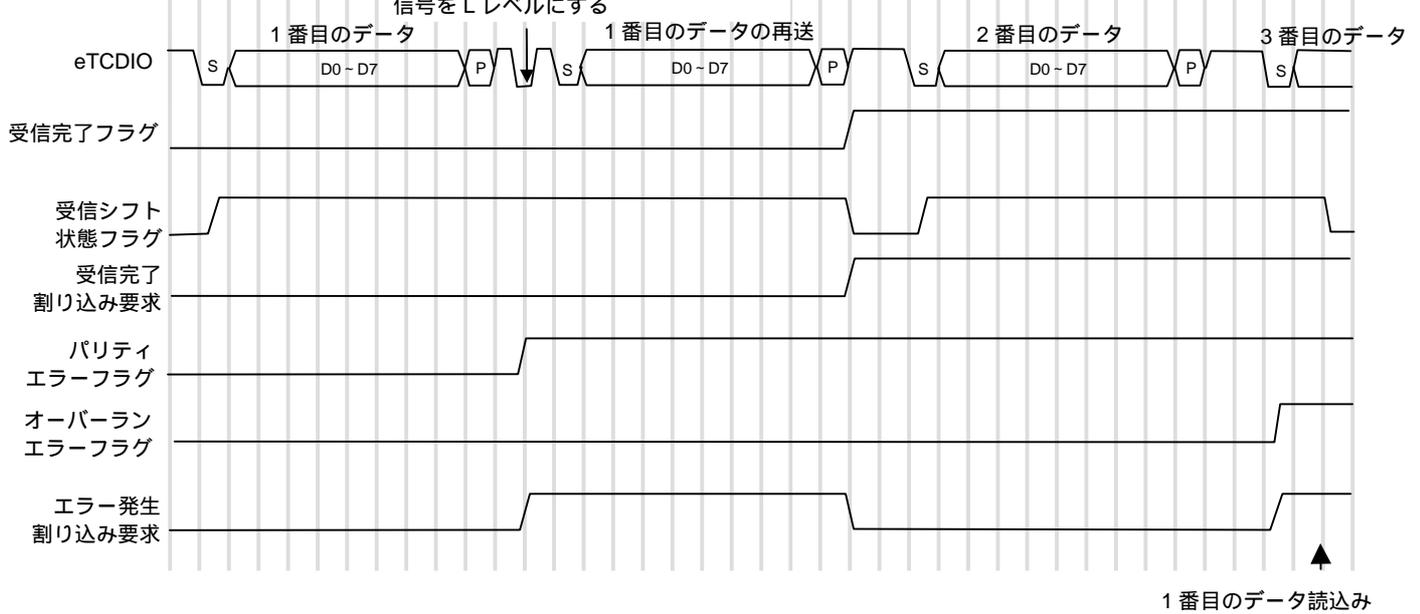


受信

<正常受信時>



<エラー発生時>



4.11. システムコンフィグレーションデータ

PLD には、M3T-M32RUTG のバージョン、PLD 更新日、PLD バージョンを示すデータがあります。データは、PLD 内の ROM データとして読み出すことができます。

にシステムコンフィグレーションデータメモリマッピングを示します。また、格納されているデータは ASCII コードになります。

番地	+0	+1	+2	+3	+4	+5	+6	+7	+8	+9	+A	+B	+C	+D	+E	+F
H'02C3 C000	M	3	T	-	M	3	2	1	0	4	U	T	G	(SP)	B	*
H'02C3 C010	D	a	t	e	:	Y	Y	-	Y	Y	-	Y	Y	*	*	*
H'02C3 C020	V	e	r	.	:	Z	Z	.	Z	Z	.	Z	Z	*	*	*
H'02C3 C030 : H'02C3 7FF0	(使用禁止領域)															

注 1 : *は H'00 です。
 注 2 : SP はスペース (アスキーコードの H'20) です。
 注 3 : Y には、日付が入ります。例 : "02-03-01"
 注 4 : Z には、PLD バージョン番号が入ります。例 : "00.00.01"

図 4.11.1 システムコンフィグレーションデータメモリマッピング

MEMO

5. 操作仕様

5.1. ボード概観図

5.1.1. CPU ボード

図 5.1.1に CPU ボードの表面を、図 5.1.2に CPU ボードの裏面を示します。

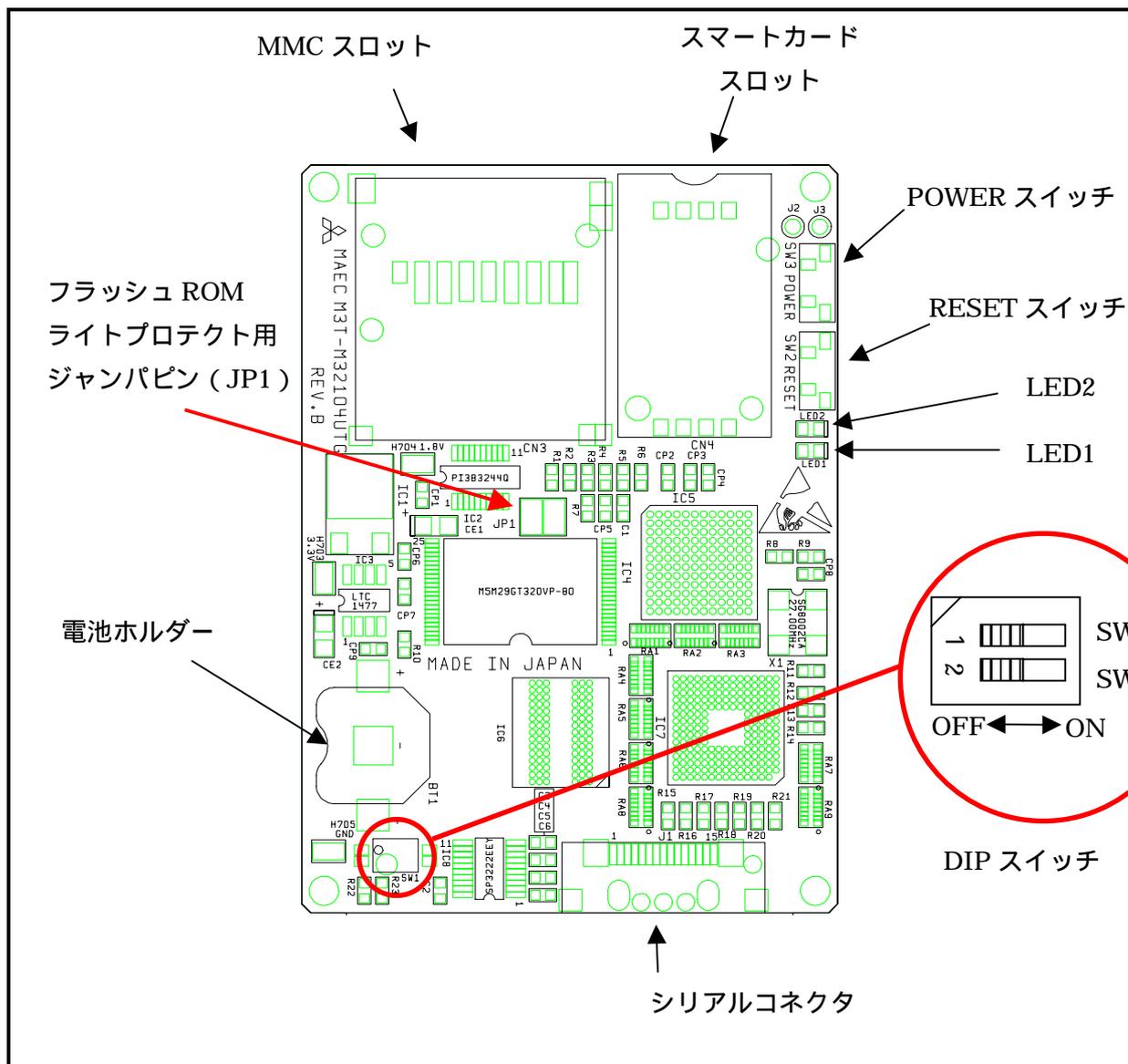


図 5.1.1 表面部品図

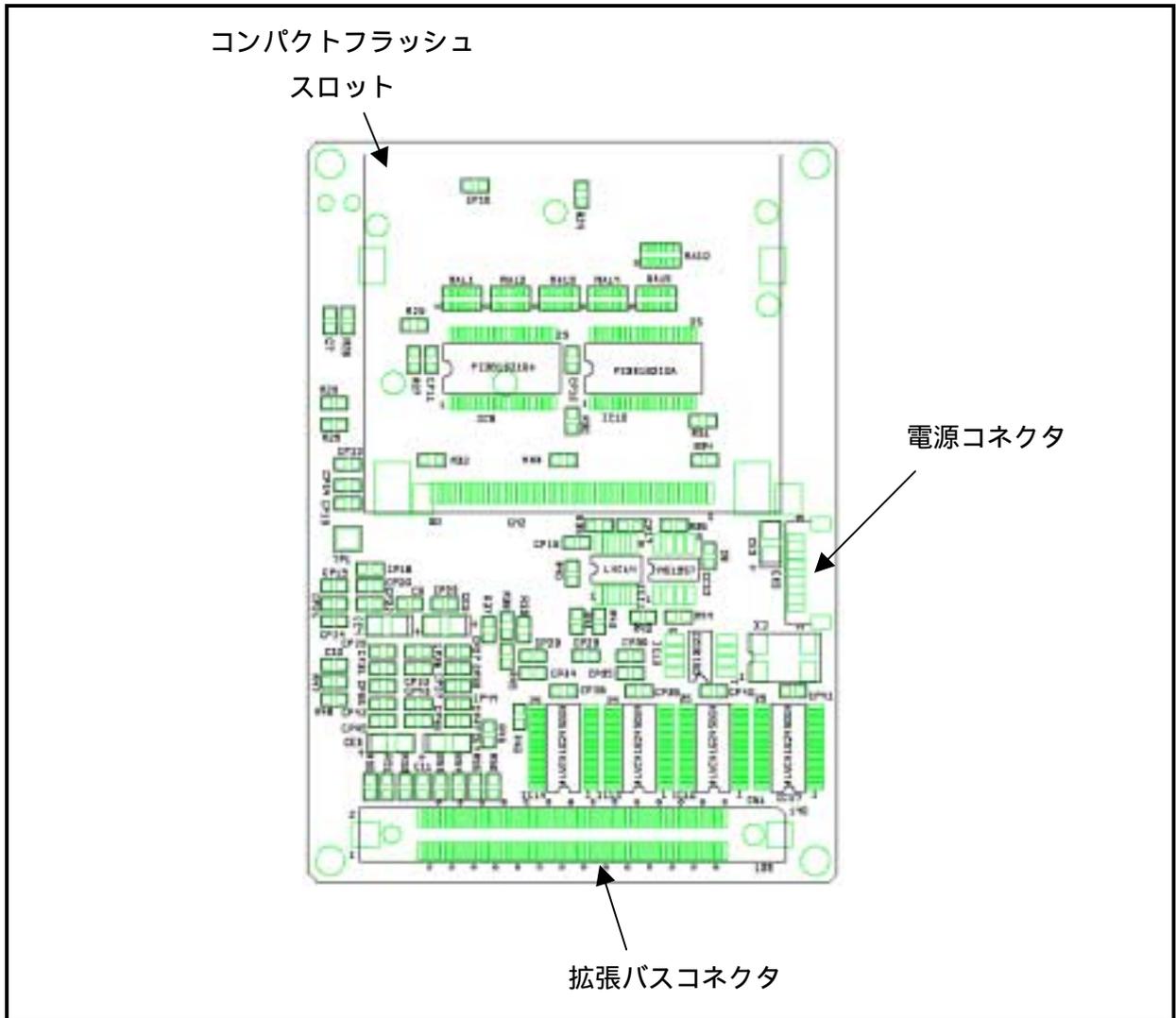


図 5.1.2 裏面部品図

5.1.2. 拡張 LAN ボード

図 5.1.3に拡張 LAN ボードの表面を、図 5.1.4に拡張 LAN ボードの裏面を示します。

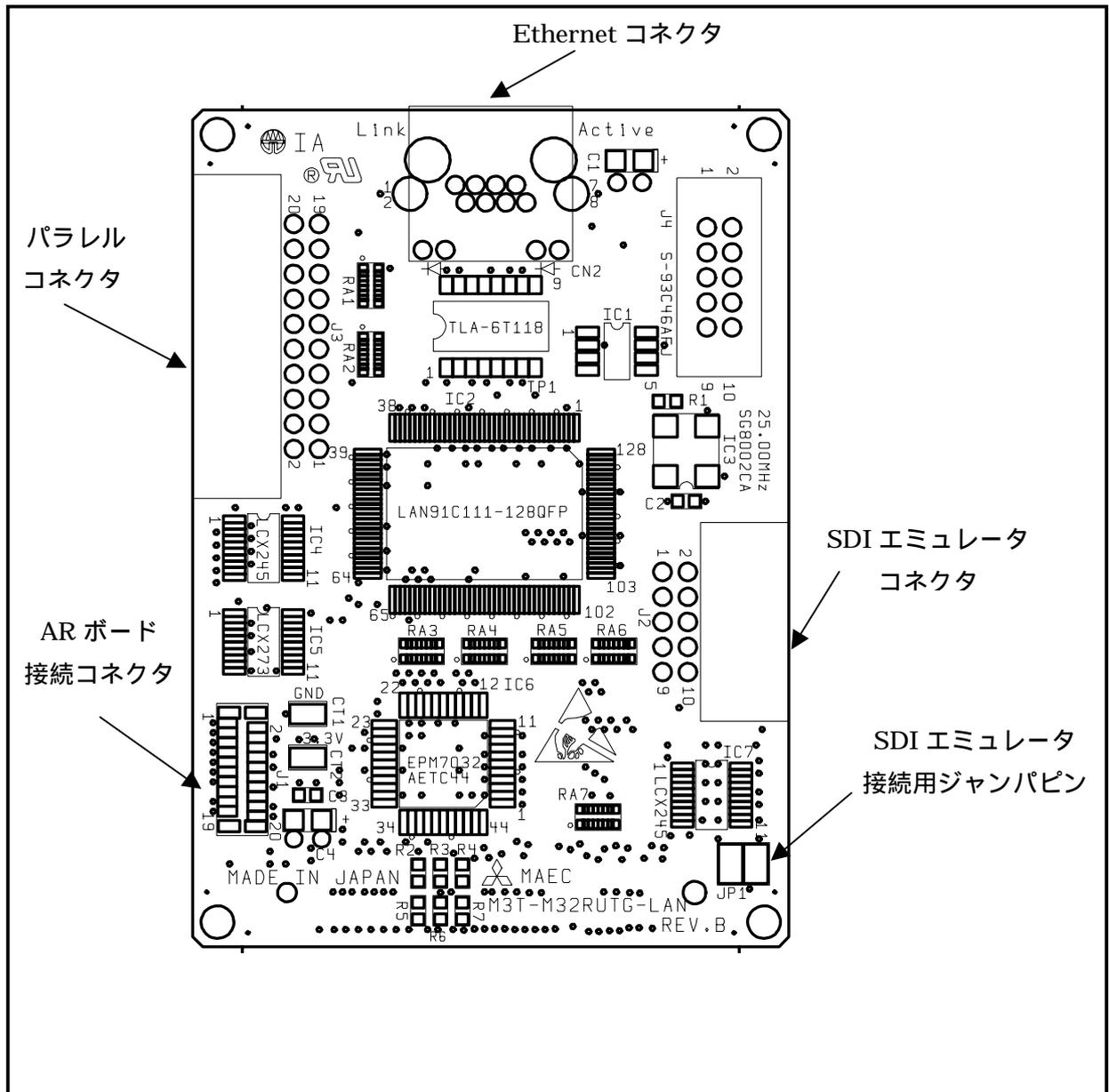


図 5.1.3 拡張 LAN ボード表面

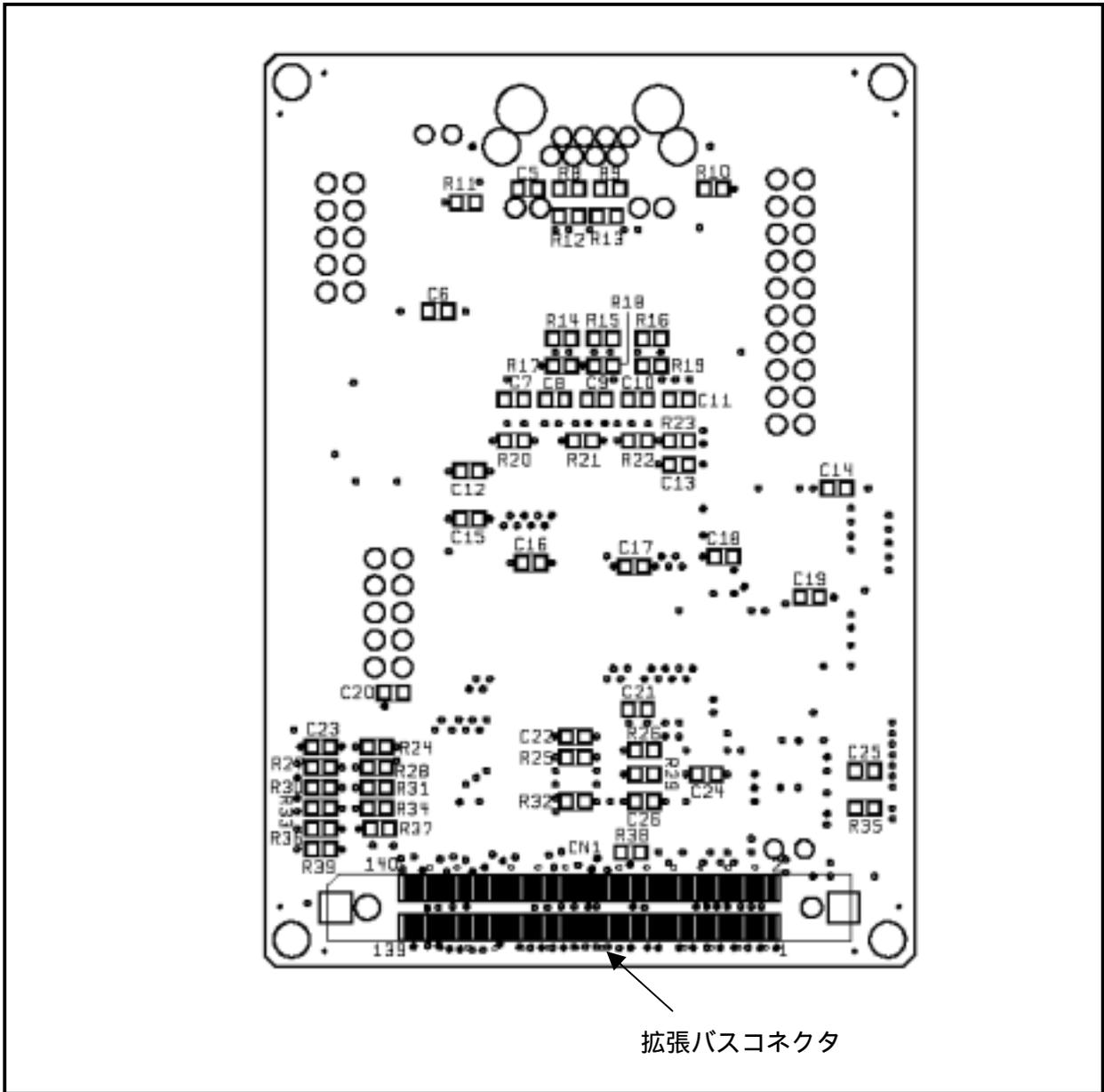
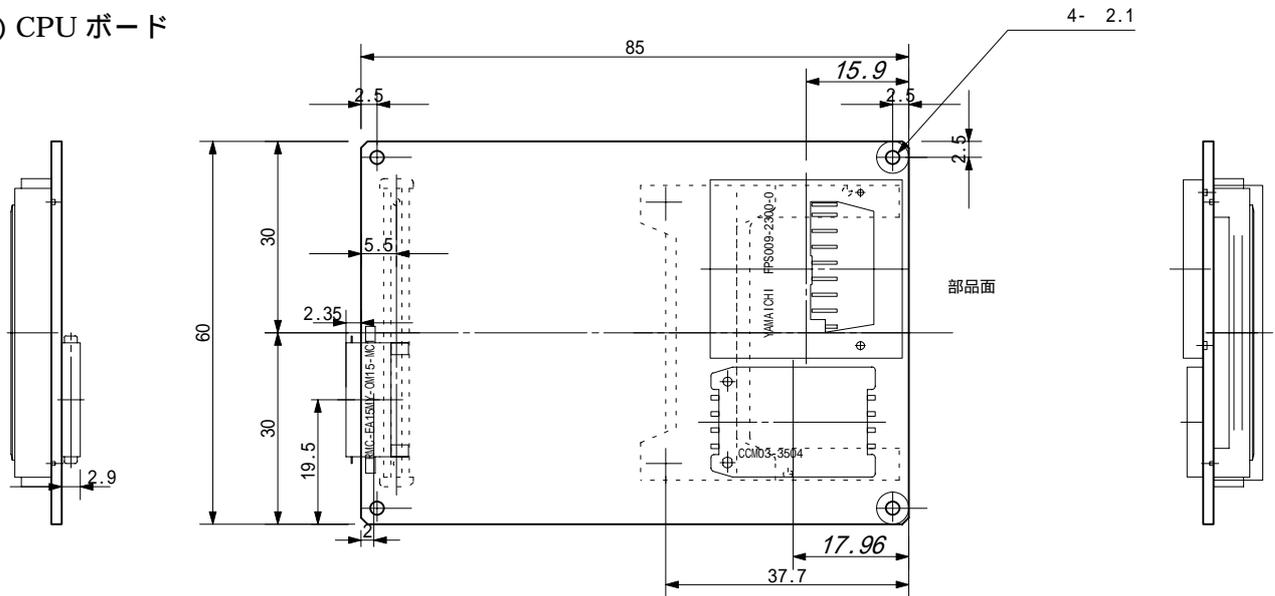


図 5.1.4 拡張 LAN ボード裏面

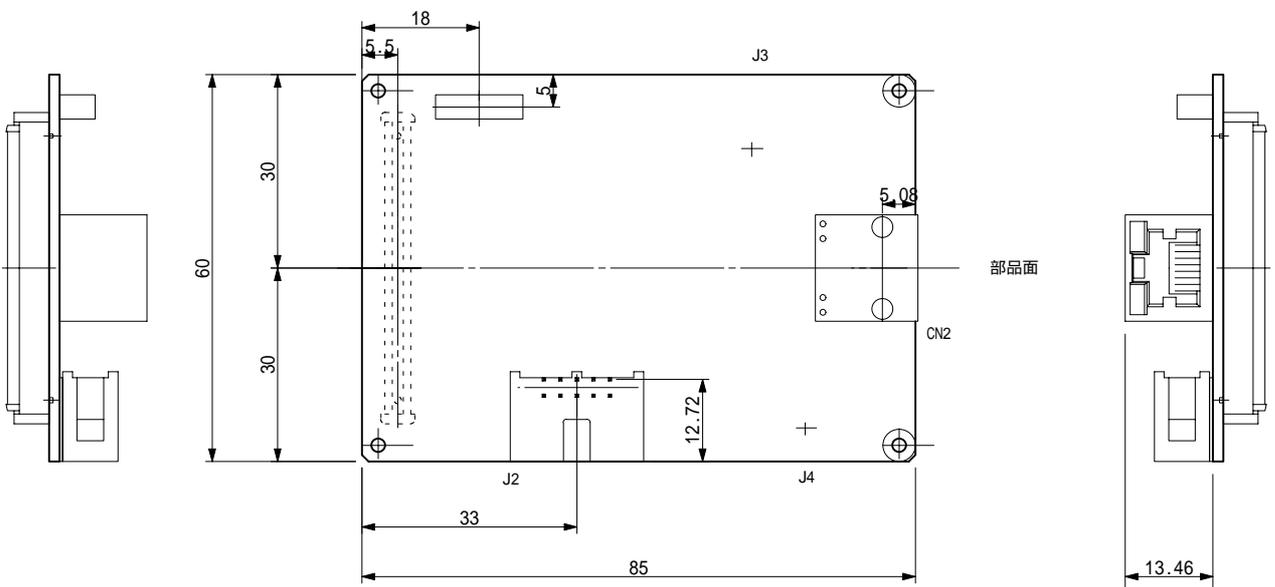
5.2. 外形寸法

5.2.1. CPUボードと拡張LANボードの寸法

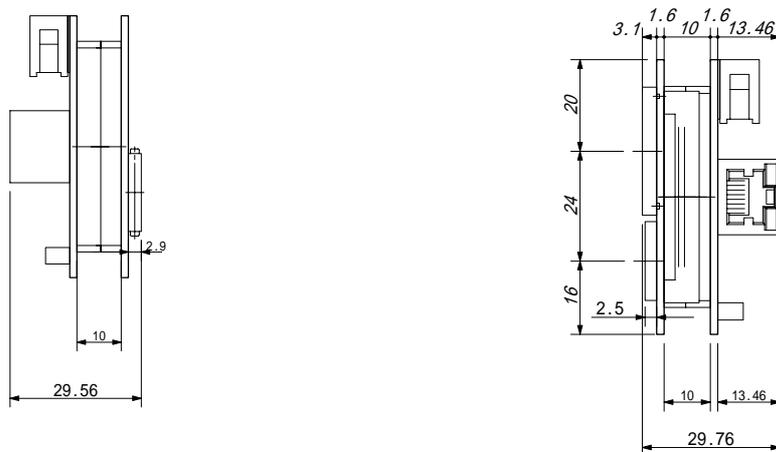
(1) CPUボード



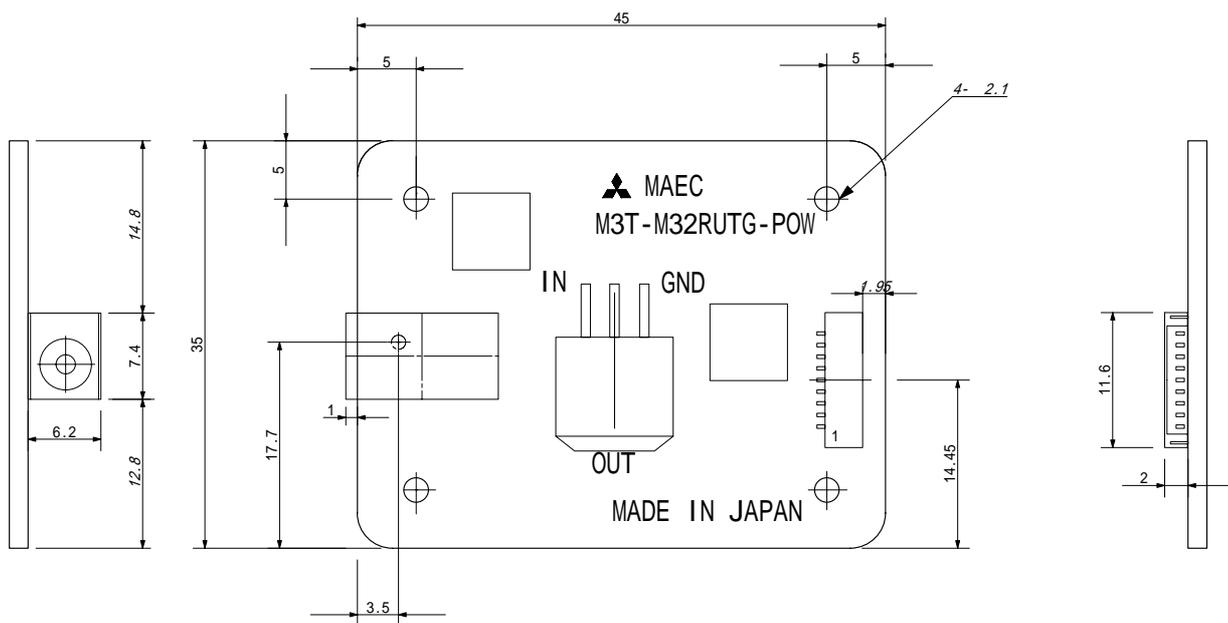
(2) 拡張LANボード



(3) CPUボードと拡張LANボードを組み合わせたとき



5.2.2. 電源ボード寸法



5.3. 操作部品概要

5.3.1. リアルタイムクロック用バックアップバッテリーホルダ

3.0V 定格の以下のリチウム電池が使用可能です。

名称：BR1216, CR1216, BR1220, CR1220, CL1220, BR1225

バックアップ電池の電力はリアルタイムクロックにのみ供給します。

取り付ける場合は、図 5.3.1のように電池の+極を上にして挿入してください。

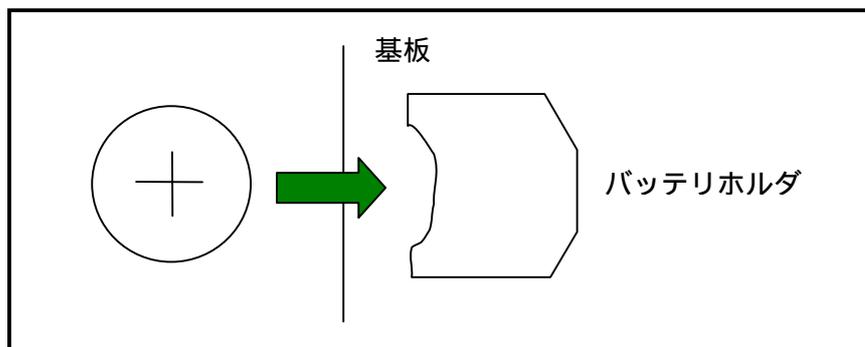


図 5.3.1 バッテリの取り付け方法

取り外す場合は、図 5.3.2の矢印の個所を非導電物で押してください。

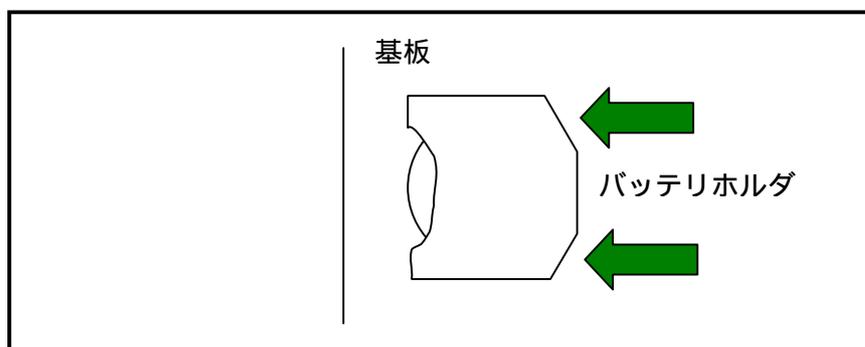


図 5.3.2 バッテリの取り外し方法

5.3.2. LED

2 個の LED(緑)を実装しています。これらの LED は PLD へ接続しており、LED の消灯・点灯は PLD の LEDCR レジスタ(H'2C14002 番地)で制御可能です。

5.3.3. DIP スイッチ

2 ビットの DIP スイッチを実装しています。これらのスイッチは PLD へ接続しており、スイッチの値は PLD の IOSWSTS レジスタ(H'2C14004 番地)で読み出し可能です。

スイッチの値自体には特別の意味はなく、OS のデバッグ・起動モードの選択に使用することが目的です。

5.3.4. POWER スイッチ

POWER スイッチは M32104 の INT5 に接続されています。したがって、POWER スイッチを押したときの動作はソフトウェアに依存します。T-Kernel,T-Monitor では電源の ON,OFF に使用します。

5.3.5. RESET スイッチ

RESET スイッチを押すとハードウェアのリセットが発生します。

5.3.6. フラッシュ ROM ライトプロテクトジャンパピン

CPU ボードの J1 は、フラッシュ ROM をライトプロテクトするためのジャンパピンです。

ジャンパピンを接続する場合は、フラッシュ ROM のロックビットが 0 のブロックに対しては書き込みが禁止されます。ジャンパピンを接続しないとすべてのブロックに対して、ロックビットの値に依存せず、書き込むことができます。

5.3.7. SDI エミュレータ接続用ジャンパピン

拡張 LAN ボードの J1 は、SDI エミュレータを接続する場合のジャンパピンです。拡張 LAN ボードの SDI インタフェースコネクタに、エミュレータを接続する場合はジャンパピンを付けてください。

他の拡張ボードに SDI インタフェースコネクタを付けて、その拡張ボードにエミュレータを接続する場合は、ジャンパピンをはずしてください。

5.3.8. Ethernet コネクタ

ハブと接続する場合はストレートケーブルをご使用ください。

緑色 LED は Link 確立を示し、黄色 LED は通信アクティブを示します。

5.3.9. 電源ボード接続方法

電源ボード接続方法をに示します。

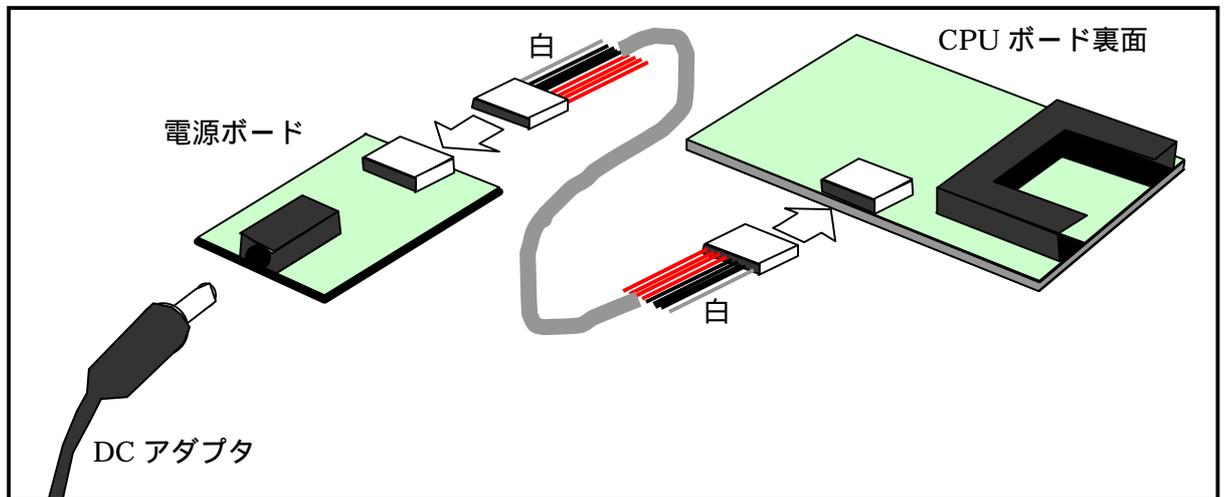


図 5.3.3 電源接続方法

5.3.10. AR ボード接続方法

AR ボードの接続は、AR ボードと拡張 LAN ボードをフレキケーブルで接続します。図 5.3.4 のようにケーブルをそれぞれのボードに接続してください。

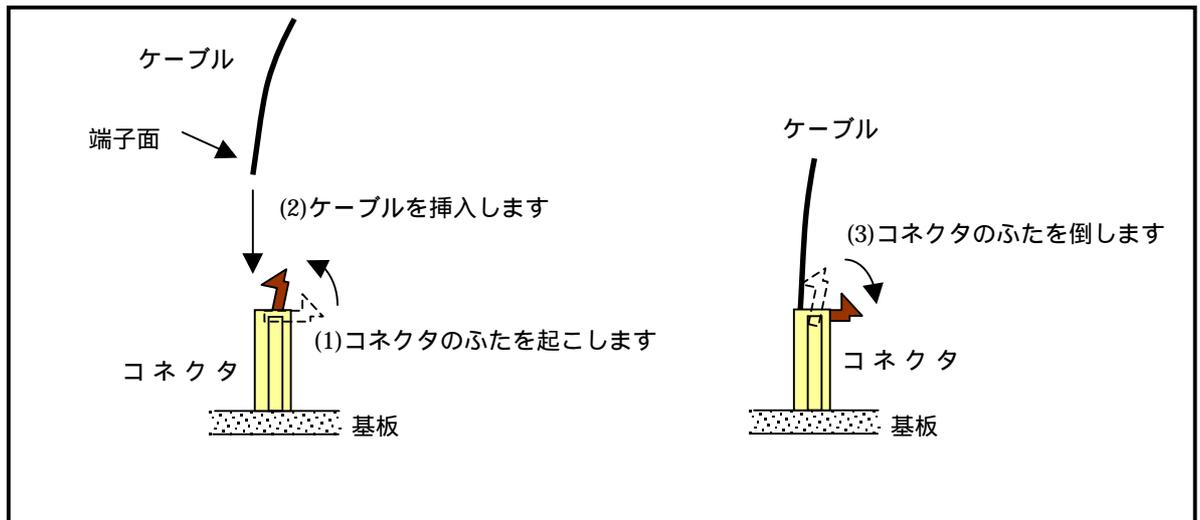


図 5.3.4 AR ボード用ケーブルの接続方法

5.3.11. SDI エミュレータ接続方法

SDI エミュレータは拡張 LAN ボードの SDI インタフェースコネクタに接続します。

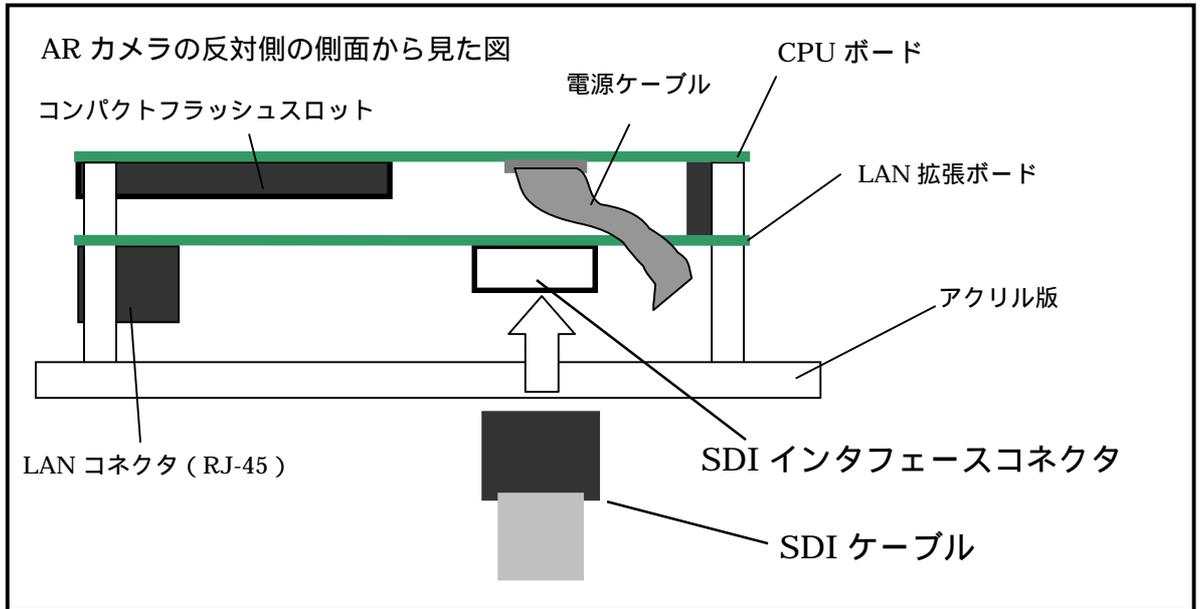


図 5.3.5 SDI エミュレータ接続方法

6. 保証

6.1. 保証内容

本製品は、以下の項目に当てはまらない正常な使用状態のもとで、購入後 6 ヶ月以内に故障した場合は無償修理いたします。

- ・本書の「第1章安全上の注意事項」に記載している事項を外れた使用方法での故障・破損
- ・火災、地震、水害、落雷、その他天災地変、異常電圧による故障・破損
- ・接続している他の機器に起因して生じた故障
- ・お客様で分解、改造等をされた場合
- ・日本国外での使用

6.2. 修理規定

- 弊社は製品の修理、保守対応につとめますが、製造を終了しますと部品の入手が困難となり修理できなくなる場合があります。
- 本製品に使用している部品の特性上、修理ではなくボード交換となる場合があります。
- 修理後は、ROM 上のソフトウェアは出荷時の状態に初期化されます。
バックアップの必要がある場合はお客様自身でバックアップいただくようお願いします。

M3T-M32104UT ハードウェアマニュアル

Rev. 2.00
04.02.17
RJJ10J0016-0200Z

COPYRIGHT ©2004 RENESAS TECHNOLOGY CORPORATION ALL RIGHTS RESERVED
AND RENESAS SOLUTIONS CORPORATION ALL RIGHTS RESERVED

M3T-M32104UT
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ10J0016-0200Z