

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

保守/廃止

IE-V850E-MC-EM1-B,
IE-V850E-MC-MM2 (別売品)
インサーキット・エミュレータ・オプション・ボード

対象デバイス

V850E1 (NB85Eコア)

(メ モ)

目次要約

第1章	概 説	...	13
第2章	各部の名称と機能	...	21
第3章	製品出荷時の設定一覧	...	25
第4章	注意事項	...	27
第5章	IE-V850E-MC-MM2	...	35
付録A	製品外形図	...	43
付録B	UDLボード・インタフェース・コネクタの配置	...	45
付録C	UDLインタフェース・コネクタ信号表 (IE-V850E-MC-EM1-Bから見た場合)	...	47
★ 付録D	UDLインタフェース電気的特性	...	67
付録E	制限事項	...	87
★ 付録F	改版履歴	...	89

Windowsは米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは米国IBM Corp.の商標です。

イーサネットは米国Xerox Corp.の商標です。

UnixはX/Openカンパニーリミテッドがライセンスしている米国ならびに他の国における登録商標です。

この装置は、第一種情報装置（商工業地域において使用されるべき情報装置）で商工業地域での電波妨害禁止を目的とした情報処理装置等電波障害自主規制協議会（VCCI）基準に適合しております。

したがって、住宅地域，またはその隣接した地域で使用すると，ラジオ，テレビジョン受信機などに受信障害を与えることがあります。

ユーザズ・マニュアルに従って正しい取り扱いをしてください。

- **本資料の内容は予告なく変更することがありますので，最新のものであることをご確認の上ご使用ください。**
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して，当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合，当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路，ソフトウェア，及びこれらに付随する情報は，半導体製品の動作例，応用例を説明するためのものです。従って，これら回路・ソフトウェア・情報をお客様の機器に使用される場合には，お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して，当社は一切その責を負いません。

本版で改訂された主な箇所

箇所	内容
p.15	1.2 特徴に記述を追加
p.18	1.5 梱包内容のターゲット接続用コネクタの名称をUDLボード接続用コネクタに変更
p.21	図2 - 1 IE-V850E-MC-EM1-Bを修正
p.67	UDLインタフェース電気的特性を追加
p.88	IORDZ, IOWRZを切替える命令を追加
p.89	改版履歴を追加

本文欄外の★印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

対象者 このマニュアルは、V850E1 (NB85Eコア)の応用システムを設計、開発するユーザを対象とします。

目的 このマニュアルは、IE-V850E-MC-EM1-Bの基本仕様と正しい使用方法を理解していただくことを目的としています。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

- 概説
- 各部の名称と機能
- 注意事項

読み方 このマニュアルの読者には、電気、論理回路、マイクロコンピュータに関する一般知識が必要です。なお、IE-V850E-MC-EM1-Bは、インサーキット・エミュレータ「IE-V850E-MC-A」に接続して使用します。このマニュアルでは、基本的なセットアップ手順と、IE-V850E-MC-EM1-Bのスイッチ類の設定内容を記載しています。

IE-V850E-MC-Aの各部の名称や機能、構成部品の接続などについては、IE-V850E-MC-A **ユーザーズ・マニュアル** (U14487J)を参照してください。

基本仕様と使用方法を一通り理解しようとするとき
目次に従ってお読みください。

IE-V850E-MC-A, IE-V850E-MC-EM1-Bの操作方法やコマンドの機能など、ソフトウェアに関する設定について知りたいとき
使用するディバグ (別売) のユーザーズ・マニュアルを参照してください。

- 凡例**
- 注 : 本文中につけた注の説明
 - 注意 : 気をつけて読んでいただきたい内容
 - 備考 : 本文の補足説明

数の表記 : 2進数 ...xxxxまたはxxxxB
10進数...xxxx
16進数...xxxxH

2のべき数を示す接頭語 (アドレス空間, メモリ容量) :
K (キロ) : $2^{10} = 1024$
M (メガ) : $2^{20} = 1024^2$

用語 このマニュアルで使用する用語について、その意味を下表に示します。

対象デバイス	エミュレーションの対象となっているデバイスです。
ターゲット・システム	ディバグの対象となるシステムです (ユーザの作成したシステム)。ターゲット・プログラムとユーザの作成したハードウェアを含みます。

関連資料 このマニュアルを使用する場合は、次の資料もあわせてご覧ください。
 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。
 あらかじめご了承ください。

開発ツールに関する資料 (ユーザーズ・マニュアル)

資料名	資料番号	
IE-V850E-MC, IE-V850E-MC-A (インサーキット・エミュレータ)	U14487J	
IE-V850E-MC-EM1-B, IE-V850E-MC-MM2 (別売品) (インサーキット・エミュレータ・オプション・ボード)	このマニュアル	
CA830, CA850 (Cコンパイラ・パッケージ)	操作編	U13998J
	C言語編	U13997J
	プロジェクト・マネージャ編	U13996J
CA850 (Cコンパイラ・パッケージ)	アセンブリ言語編	U13828J
ID850 (Ver.2.00以上) (統合ディバッガ)	操作編 Windowsベース	U14217J
SM850 (Ver.2.00以上) (システム・シミュレータ)	操作編 Windowsベース	U13759J
RX850 (リアルタイムOS)	基礎編	U13430J
	インストレーション編	U13410J
RX850 Pro (リアルタイムOS)	基礎編	U13773J
	インストレーション編	U13774J
RD850 (Ver.3.0) (タスク・ディバッガ)		U13737J
RD850 Pro (Ver.3.0) (タスク・ディバッガ)		U13916J
AZ850 (システム・パフォーマンス・アナライザ)		U14410J

目 次

第1章 概 説 ...	13
1.1 製品構成 ...	14
1.2 特 徴 ...	15
1.3 機能仕様 (IE-V850E-MC-Aに接続した場合) ...	16
1.4 システム構成 ...	17
1.5 梱包内容 ...	18
1.6 IE-V850E-MC-AとIE-V850E-MC-EM1-Bの接続 ...	19
第2章 各部の名称と機能 ...	21
2.1 IE-V850E-MC-EM1-Bの各部の名称と機能 ...	21
第3章 製品出荷時の設定一覧 ...	25
第4章 注意事項 ...	27
4.1 リセット信号について ...	27
4.2 クロックについて ...	28
4.2.1 クロックの供給方法 ...	28
4.2.2 メイン・クロックのチューニング ...	29
4.3 エミュレーション・メモリについて ...	31
4.3.1 標準エミュレーション・メモリ機能 ...	31
4.3.2 ターゲット代替メモリ機能 ...	32
4.3.3 エミュレーション・メモリ動作タイミングの違いについて ...	33
第5章 IE-V850E-MC-MM2 ...	35
5.1 IE-V850E-MC-MM2の各部の名称と機能 ...	35
5.2 JP1-JP3の設定例 ...	37
5.3 製品出荷時の設定一覧 ...	40
5.4 IE-V850E-MC-EM1-BとIE-V850E-MC-MM2の接続 ...	41
5.5 梱包内容 ...	42
付録A 製品外形図 ...	43
付録B UDLボード・インタフェース・コネクタの配置 ...	45

付録C UDLインタフェース・コネクタ信号表 (IE-V850E-MC-EM1-Bから見た場合)
... 47

- C. 1 CON1-CON3のピン・アサイン ... 47
 - C. 1. 1 注意事項 ... 47
- C. 2 信号一覧表 ... 48
- C. 3 NB85E端子とUDLコネクタの対応表 ... 56
- C. 4 NB85E500端子とCON1-CON3の対応表 ... 62
- C. 5 NU85E502端子とCON1-CON3の対応表 ... 65

★ **付録D UDLインタフェース電気的特性** ... 67

付録E 制限事項 ... 87

★ **付録F 改版履歴** ... 89

図の目次

図番号	タイトル, ページ
1 - 1	システム構成 ... 17
1 - 2	梱包内容 ... 18
1 - 3	IE-V850E-MC-AとIE-V850E-MC-EM1-Bの接続 ... 19
2 - 1	IE-V850E-MC-EM1-B ... 21
4 - 1	リセット信号 ... 27
4 - 2	発振器用ICソケット ... 28
4 - 3	IE-V850E-MC-AとIE-V850E-MC-EM1-Bのクロック回路図 ... 29
4 - 4	遅延回路図 (IE-V850E-MC-A) ... 30
4 - 5	エミュレーション・メモリの等価回路図 ... 33
5 - 1	IE-V850E-MC-MM2 ... 35
5 - 2	IE-V850E-MC-EM1-BとIE-V850E-MC-MM2の接続図 ... 41
5 - 3	梱包内容 ... 42

表の目次

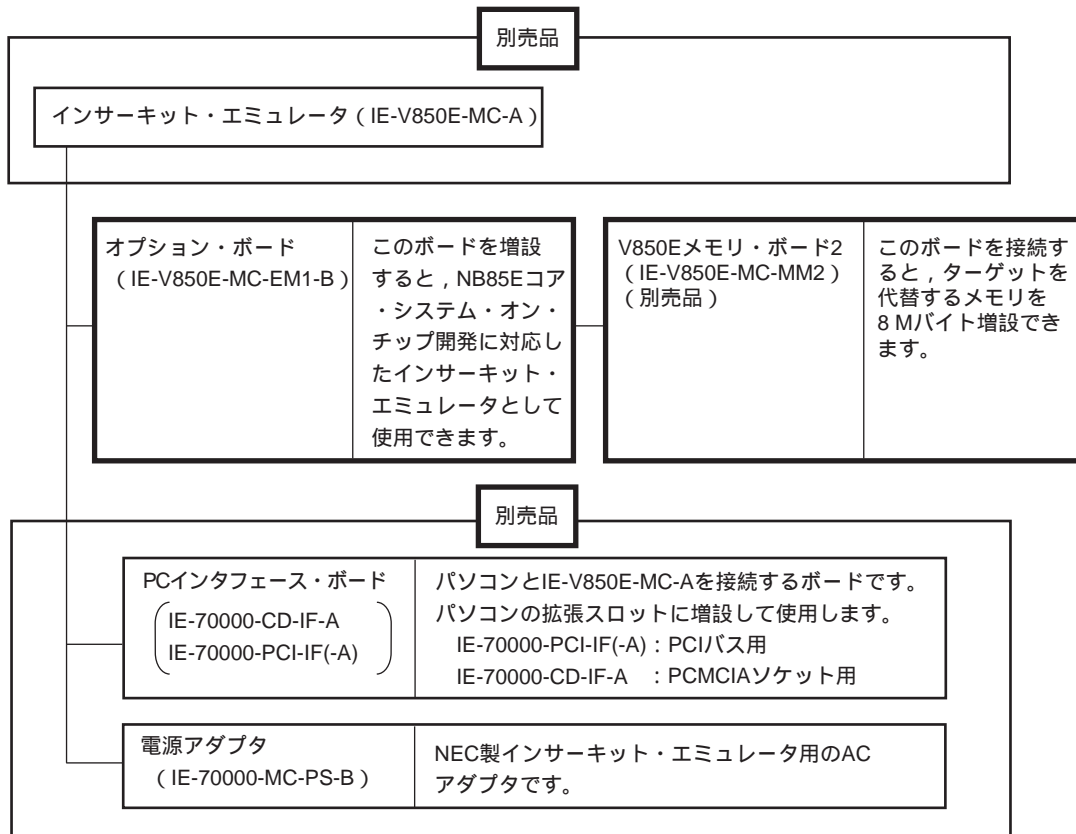
表番号	タイトル, ページ
5 - 1	JP2の設定方法 ... 35
5 - 2	JP3におけるビット23-ビット25の設定方法 ... 36

第1章 概 説

IE-V850E-MC-EM1-Bは、インサーキット・エミュレータ「IE-V850E-MC-A」用のオプション・ボードです。IE-V850E-MC-EM1-BをIE-V850E-MC-Aに接続することにより、V850E1を用いたシステム開発においてハードウェア、ソフトウェアを効率的にデバッグできます。

このマニュアルでは、基本的なセットアップ手順、IE-V850E-MC-Aと接続した場合のIE-V850E-MC-EM1-Bのスイッチ類の設定内容、IE-V850E-MC-MM2（別売品）の設定などについて説明しています。IE-V850E-MC-Aの各部の名称や機能、構成部品の接続などについては、別冊のIE-V850E-MC-A **ユーザーズ・マニュアル**（U14487J）を参照してください。

1.1 製品構成



1.2 特 徴

- ★ IE-V850E-MC-AとIE-V850E-MC-EM1-B，およびUDL（ユーザ・デザイン・ロジック）ボードを接続することにより，システム・オン・チップのエミュレーションが可能となります。

動作周波数：40 MHz（MAX.）^注

出荷時には，20 MHzの発振器が実装されています。

非常に軽量でコンパクトです。

次の端子はマスクできます。

WAITZ, DCRESZ, HLDRQZ, DCNMI0～2

- 注** UDL / ターゲット・ボード設計時にUDLインタフェースの電気的特性を考慮する必要があります。
UDLインタフェースの電気的特性については，付録D UDLインタフェース電気的特性を参照してください。

1.3 機能仕様 (IE-V850E-MC-Aに接続した場合)

項 目		仕 様	
エミュレーション・メモリ容量	内部ROM	1 Mバイト	
	外部メモリ	4 Mバイト (標準) + 8 Mバイト (オプション) ^注	
実行/通過検出 カバレッジ・メモリ容量	内部ROM	1 Mバイト	
	外部メモリ	ROMレス・モード時	2 Mバイト
		内部ROM使用時	1 Mバイト
トレース・メモリ容量		168ビット×32 Kフレーム	
時間測定機能		タイム・タグとタイマ (3本) で測定可能	
外部ロジック・プローブ		8ビットの外部トレースが可能	
		トレース/ブレークのイベント設定が可能	
ブレーク機能		イベント・ブレーク	
		ステップ実行ブレーク	
		強制ブレーク	
		フェイル・セーフ・ブレーク ・周辺I/Oへの不正アクセス ・ガード空間へのアクセス ・ROM空間への書き込み	

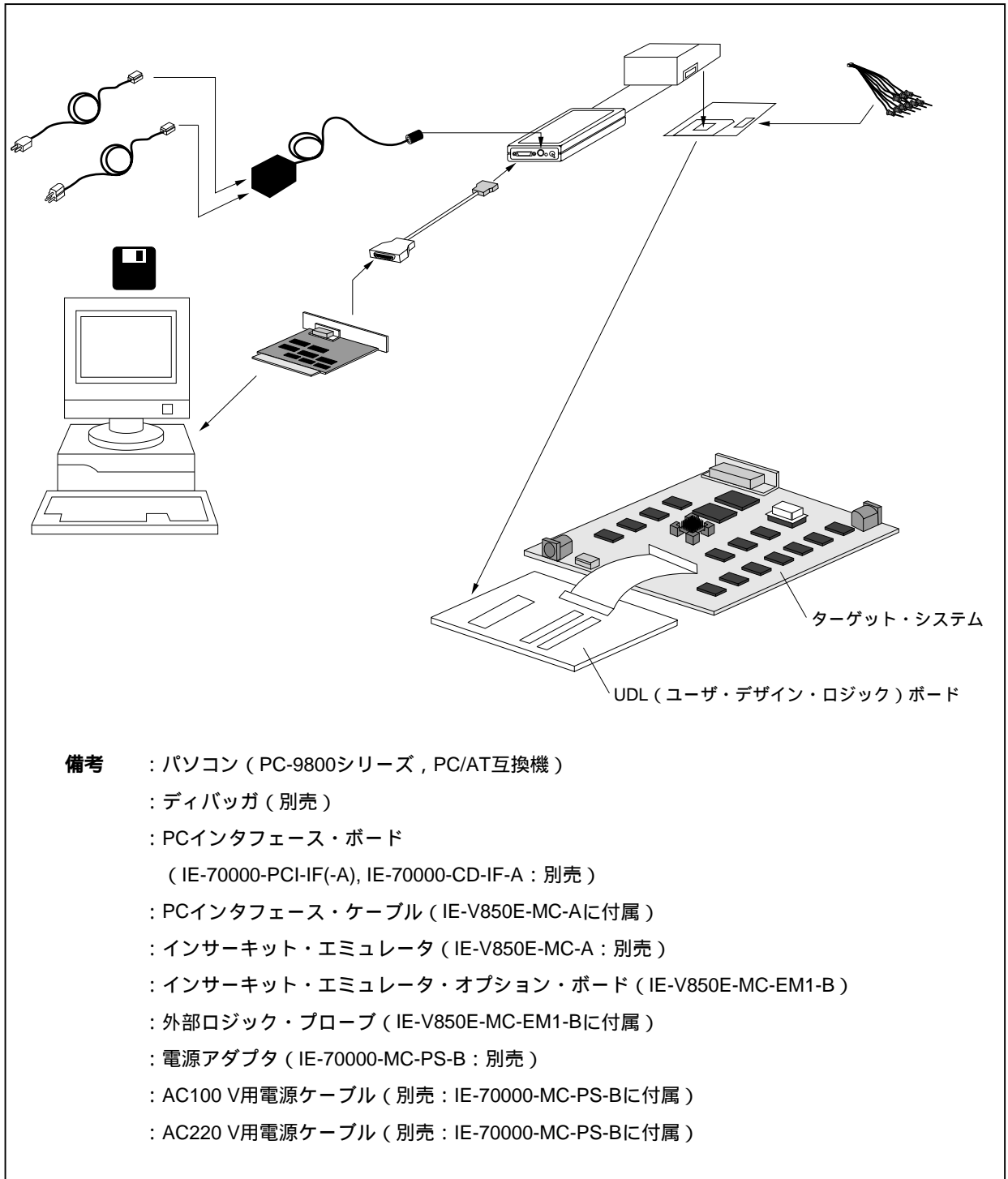
注 IE-V850E-MC-MM2 (別売) を実装した場合、さらにターゲット・メモリとして8 Mバイト代替できます。
ただし、IE-V850E-MC-MM2は、UDLボード接続時のみ使用可能です。

注意 使用するディバッガによっては、すべての機能がサポートされない場合があります。

1.4 システム構成

IE-V850E-MC-EM1-BにIE-V850E-MC-Aを接続し、さらにパソコン（PC-9800シリーズ、PC/AT互換機）と接続して使用する場合のシステム構成を次に示します。

図1-1 システム構成

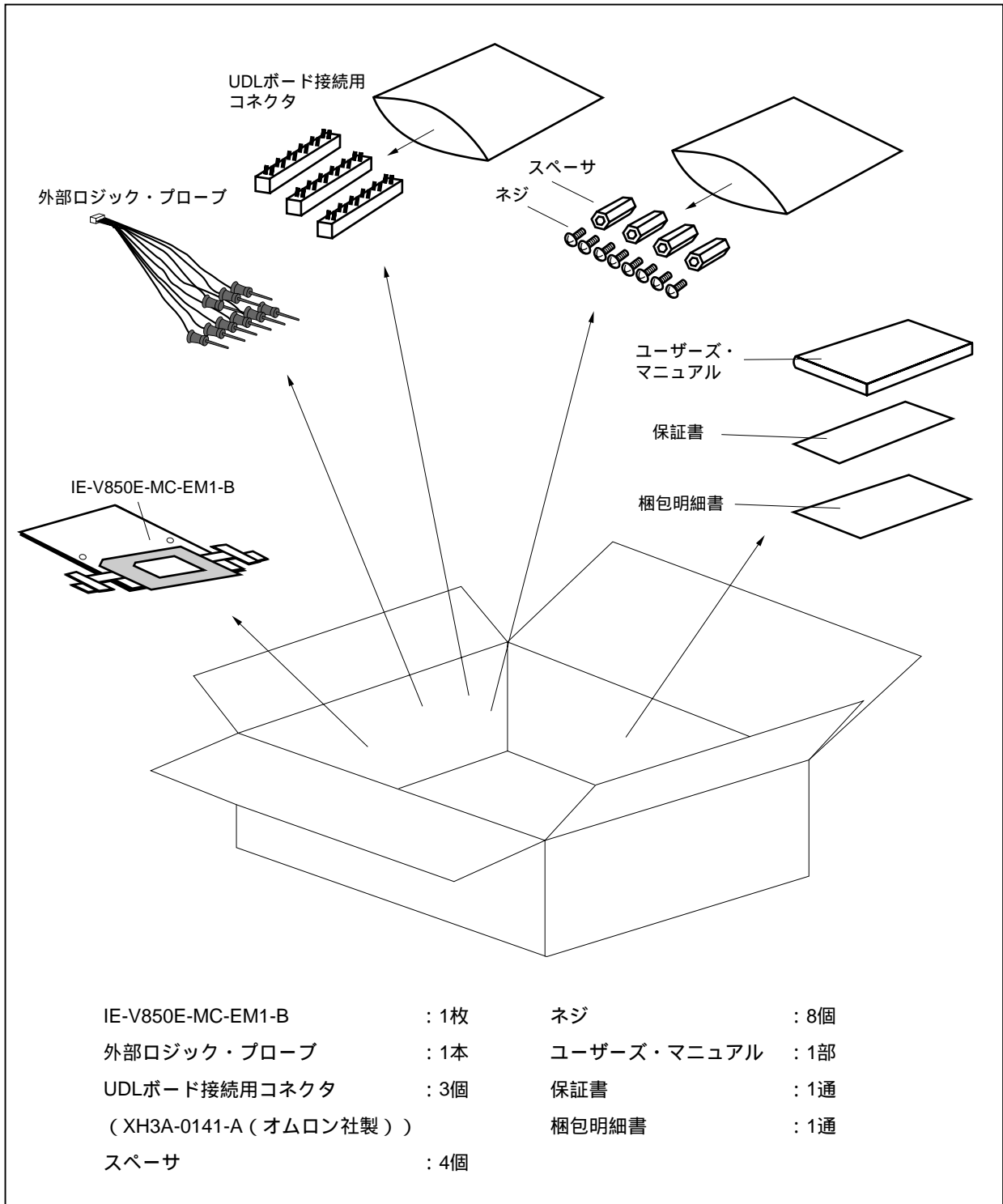


★ 1.5 梱包内容

IE-V850E-MC-EM1-Bの梱包箱の中には、本体、外部ロジック・プローブ、UDLボード接続用コネクタ、スペーサ、ネジ、このマニュアル、保証書、および梱包明細書が入っています。

スペーサとネジは同じ袋に入っています。万一、不足や破損などがありましたら、当社販売員または特約店までご連絡ください。

図1-2 梱包内容



1.6 IE-V850E-MC-AとIE-V850E-MC-EM1-Bの接続

IE-V850E-MC-AとIE-V850E-MC-EM1-Bの接続手順を次に示します。

注意 コネクタのピンを折ったり、曲げたりしないよう注意して接続してください。

IE-V850E-MC-AのPOD部カバー（上部、下部）を取り外します。

IE-V850E-MC-EM1-BのPGAソケット・レバーを図1-3（b）のOPENの位置にセットします。

POD部裏のPGAソケットとIE-V850E-MC-EM1-Bを接続します（図1-3（c）参照）。

接続時には、IE-V850E-MC-AとIE-V850E-MC-EM1-Bが水平になるようにしてください。

IE-V850E-MC-EM1-BのPGAソケット・レバーを図1-3（b）のCLOSEの位置にセットします。

POD部カバー（上部）の最後部をナイロン・リベットで固定します。

図1-3 IE-V850E-MC-AとIE-V850E-MC-EM1-Bの接続（1/2）

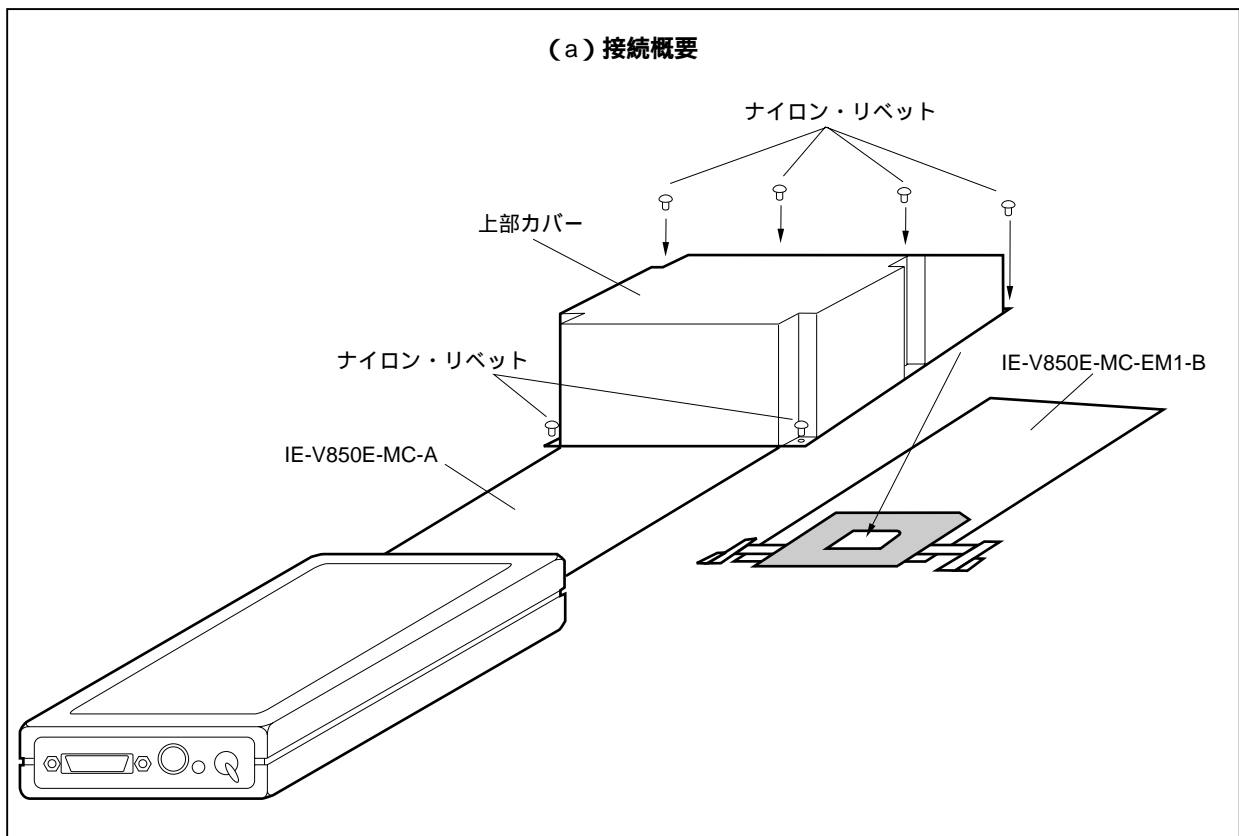
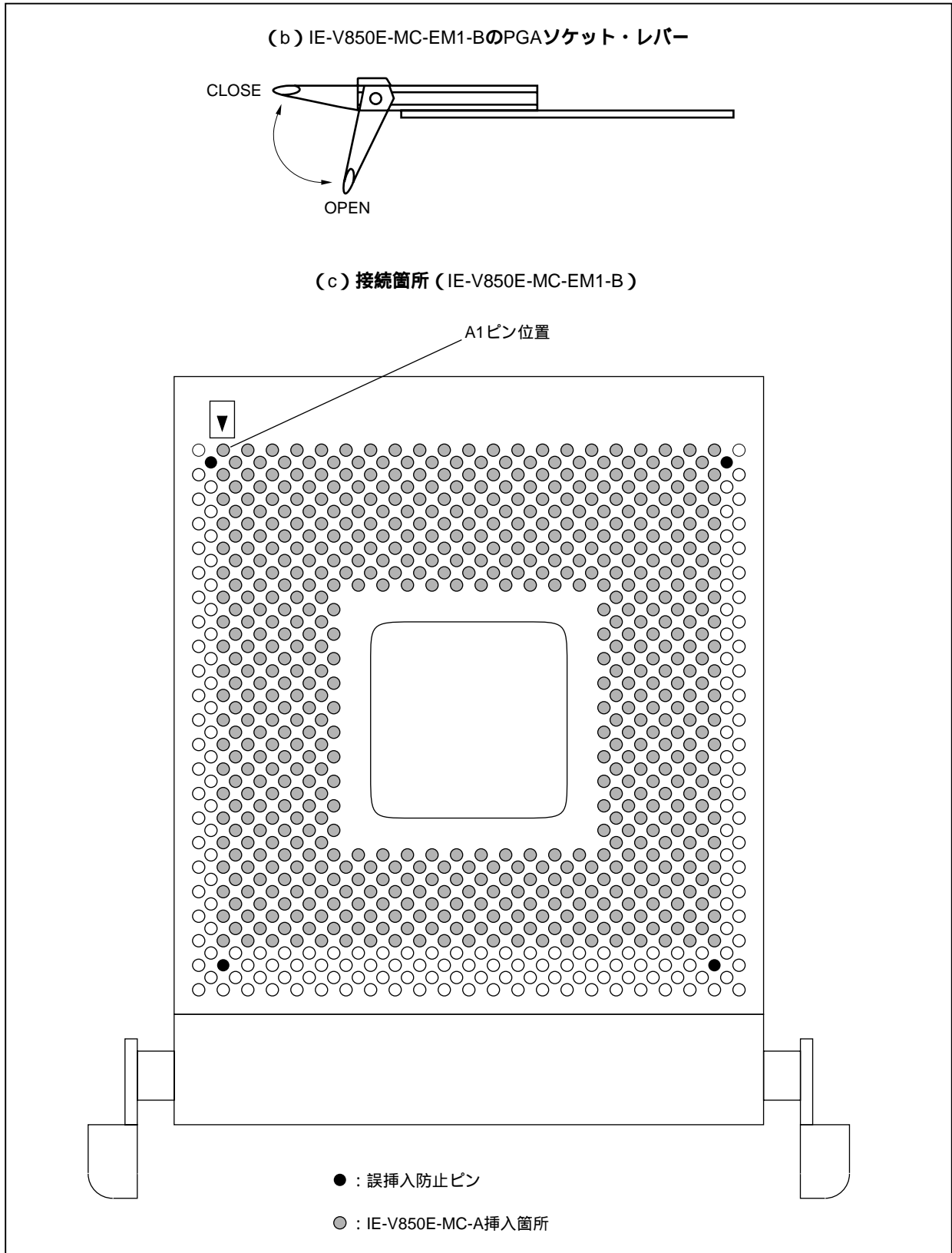


図1 - 3 IE-V850E-MC-AとIE-V850E-MC-EM1-Bの接続 (2/2)



第2章 各部の名称と機能

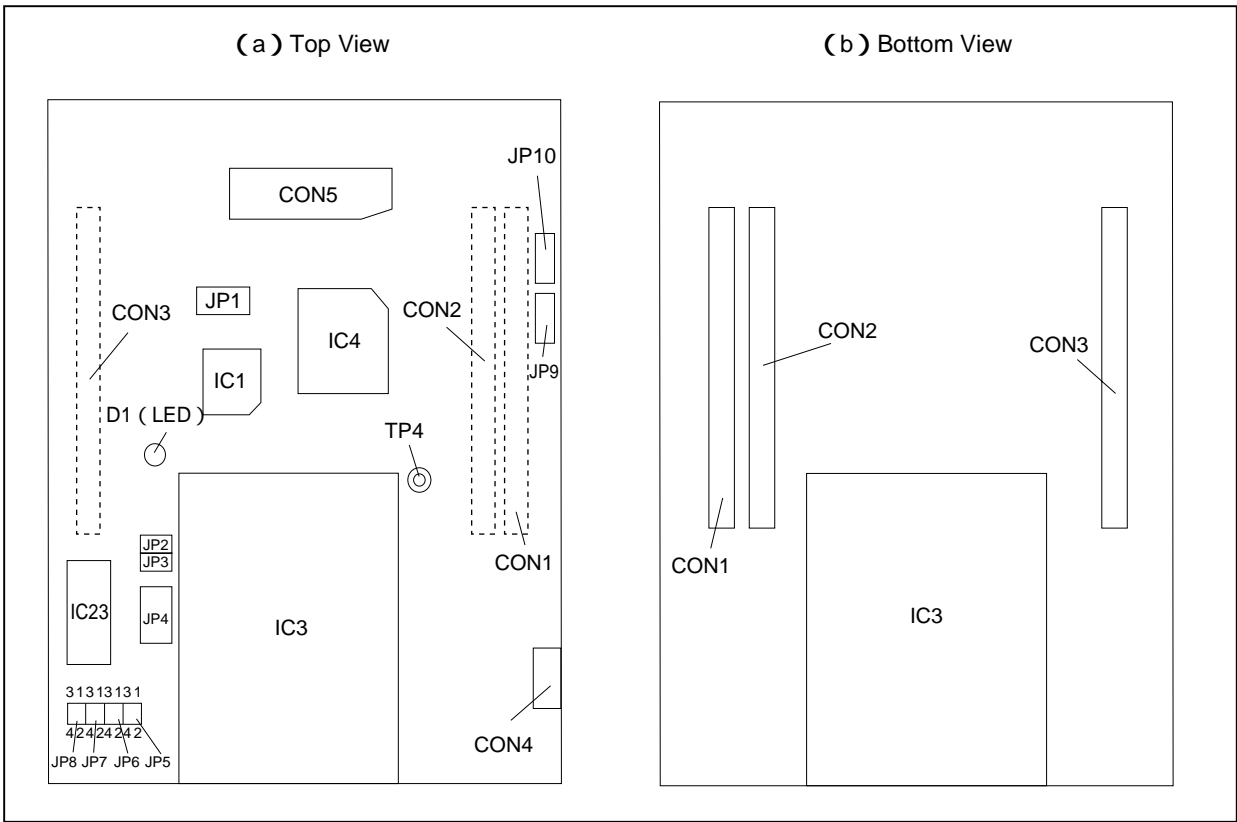
この章では、IE-V850E-MC-EM1-Bの各部の名称と機能、スイッチの設定について説明します。

POD部、ジャンパ、スイッチの位置などの詳細については、IE-V850E-MC-A ユーザーズ・マニュアル(U14487J)を参照してください。

2.1 IE-V850E-MC-EM1-Bの各部の名称と機能

★

図2 - 1 IE-V850E-MC-EM1-B



(1) JP1

出荷検査用の端子です。出荷時設定のまま使用してください。

(2) JP2

1-2ショート：内蔵メモリ・コントローラが使用できます。

1-2オープン：VSBバスが使用できます。

(3) JP3

出荷検査用の端子です。出荷時設定のまま使用してください。

(4) JP4

出荷検査用の端子です。出荷時設定のまま使用してください。

(5) JP5

出荷検査用の端子です。出荷時設定のまま使用してください。

(6) JP6

出荷検査用の端子です。出荷時設定のまま使用してください。

(7) JP7

出荷検査用の端子です。出荷時設定のまま使用してください。

(8) JP8

出荷検査用の端子です。出荷時設定のまま使用してください。

(9) JP9

1-2ショート：割り込みエッジ検出です。

1-2オープン：割り込みレベル検出です。

(10) JP10

1-2ショート：STBC回路の動作許可です。

1-2オープン：STBC回路の動作停止です。

(11) TP4

エバチップ出力のCLKOUT信号の測定ができる端子です。

(12) D1

出荷検査用LEDのため、常に消灯です。

(13) CON1-CON3

UDLボード接続用コネクタです。

(14) CON4

UDLボード上の信号を監視してトレース・データに残したり、イベント要因に組み込んだりするための外部センス・プローブを接続するコネクタです。

信号は、3.3 V CMOSレベルで受け付けますが、5 V耐圧になっています。

信号が取り込まれるタイミングはプログラム・フェッチのタイミングで行います。

外部ロジック・プローブで監視する信号は、UDLインタフェース・コネクタからも取り込めます (CON3, CON093-CON100)。

(15) CON5

ターゲット代替メモリ (IE-V850E-MC-MM2) 実装用コネクタです。

(16) IC3

IE-V850E-MC-A接続用ソケットです。

(17) IC23

発振器実装用ソケットです。

(メ モ)

第3章 製品出荷時の設定一覧

項目	設定内容	備考
JP1		出荷時設定以外は，設定禁止。
JP2		内蔵メモリ・コントローラ使用。
JP3		出荷時設定以外は，設定禁止。
JP4		出荷時設定以外は，設定禁止。
JP5		出荷時設定以外は，設定禁止。
JP6		出荷時設定以外は，設定禁止。
JP7		出荷時設定以外は，設定禁止。
JP8		出荷時設定以外は，設定禁止。
JP9		割り込みエッジ検出。
JP10		STBC回路動作許可。

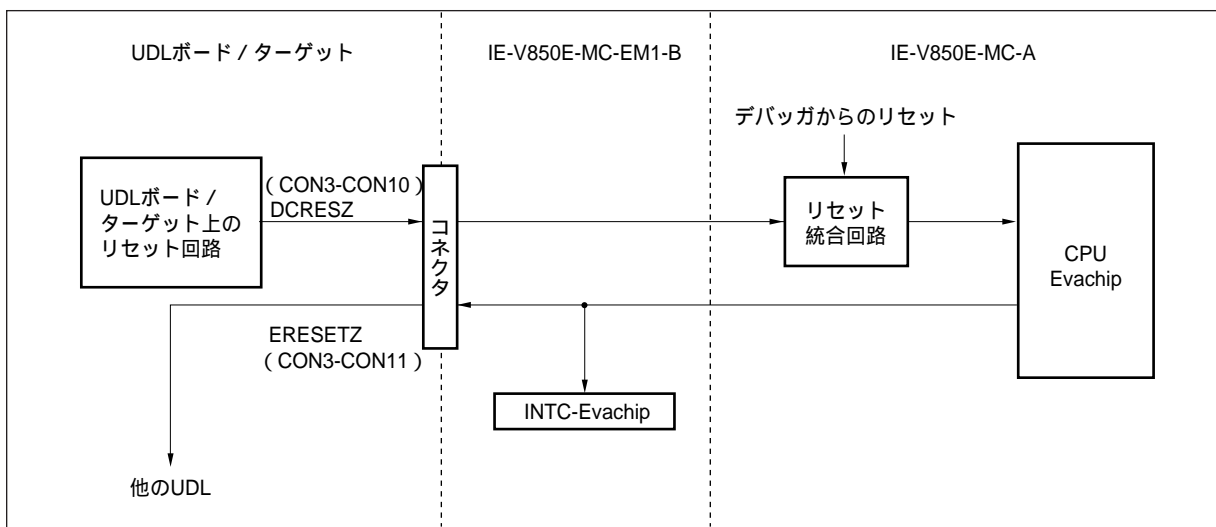
(メ モ)

第4章 注意事項

4.1 リセット信号について

UDLボード上の回路に対するリセット信号は必ずエミュレータ出力のERESETZ信号を使用してください。
ERESETZ信号を使用しないと、デバッガからのソフトウェア・リセットがUDLボードに対して有効になりません。

図4-1 リセット信号



4.2 クロックについて

4.2.1 クロックの供給方法

エミュレータを動作させるクロックの供給には次の2つの方法があり、ディバッガで選択できます。

(1) UDLボードからVBCLKをエミュレータに供給できます。

VBCLKには必ず発振器出力のクロックを使用してください。

(2) エミュレータ実装の発振器より供給できます。

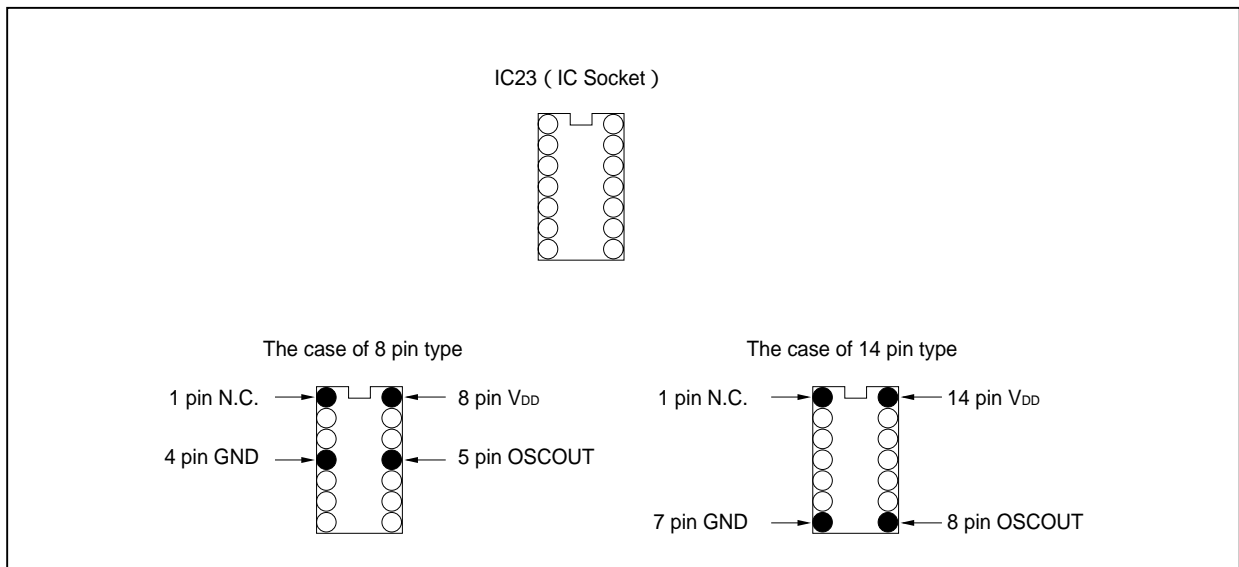
出荷時はエミュレータに20 MHzの発振器（8ピン・タイプ）が実装されています。

この発振器の出力クロックをメイン・クロックとして使用できます。

また、あらかじめ実装されている20 MHzの発振器を取り除いて任意の周波数（MAX.40 MHz）の発振器を取り付けることにより、その周波数でエミュレータを動作させることができます。

注意 エミュレータ・クロックをUDLボードより供給する場合、スタンバイ・モードへ移行しても、クロックの供給は停止させないでください。クロック供給が停止した場合、エミュレータおよびディバッガはデッド・ロックします。

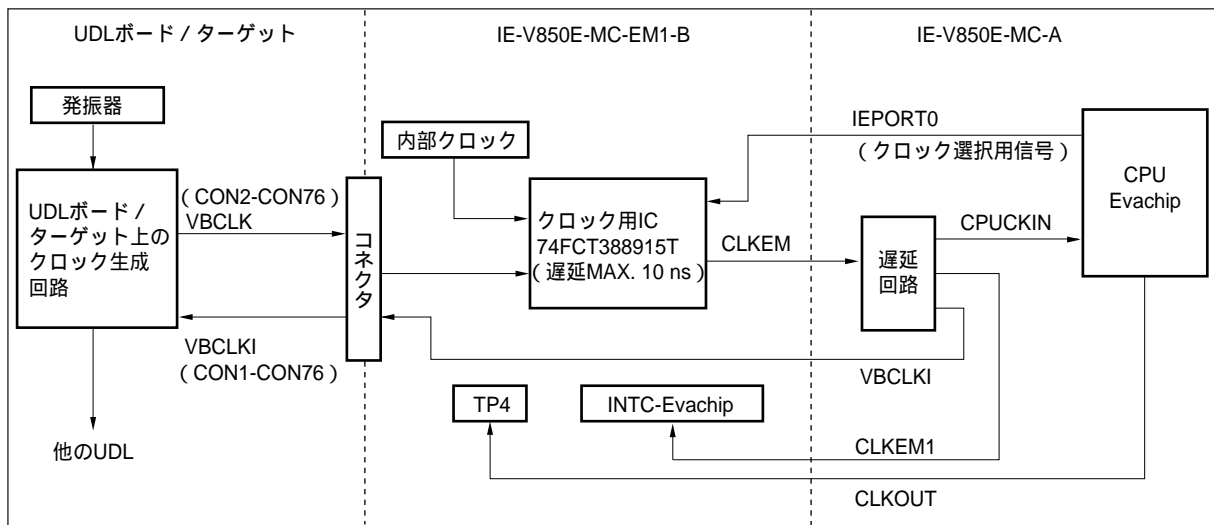
図4-2 発振器用ICソケット



備考 エミュレータは上記いずれかのクロックをメイン・クロックとして使用し、VBCLKIとしてUDLボードに出力します。

UDLボード上で分配するクロックは、VBCLKIを使用してください。

図4-3 IE-V850E-MC-AとIE-V850E-MC-EM1-Bのクロック回路図



4.2.2 メイン・クロックのチューニング

VBCLKIはUDLボード上の過大な負荷容量および2段以上のバッファリングの影響でCPUCKINとCLKEM1に対してタイミングが遅れる場合があります。このような場合はIE-V850E-MC-AのJP2の設定によりCPUCKINとCLKEM1のタイミングを遅らせて、VBCLKIとの位相をチューニングすることができます。チューニングには次の3種類があります。

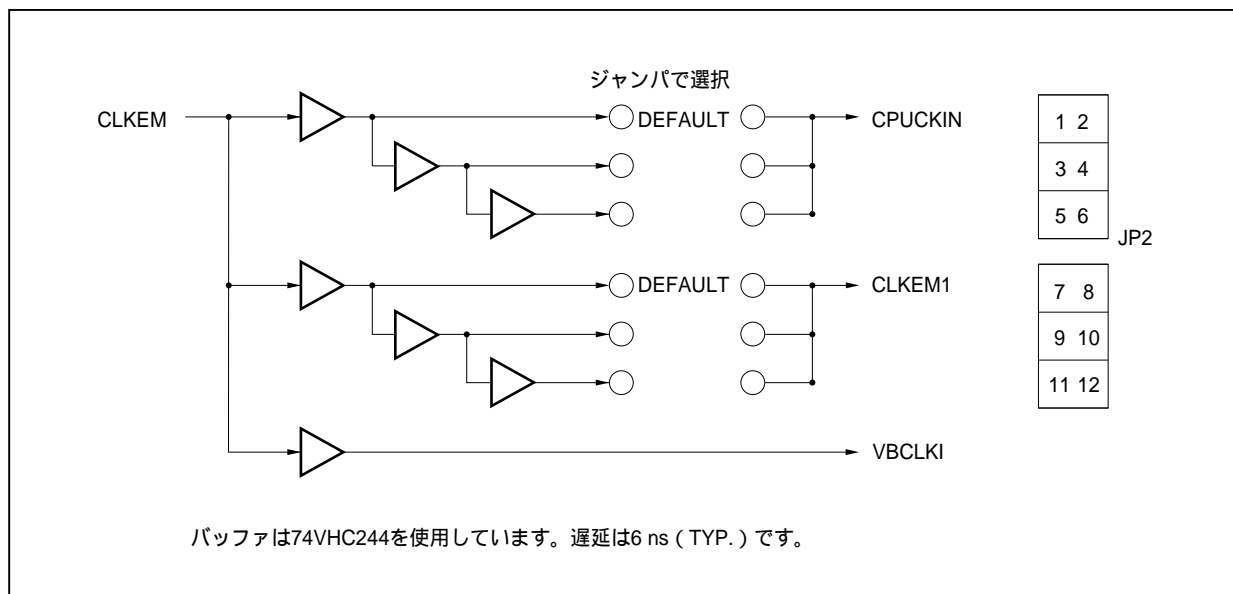
- (a) 1-2ショートと7-8ショート : 出荷時設定です。
- (b) 3-4ショートと9-10ショート : 出荷時設定に対し6 ns (TYP.) 位相が遅れます。
- (c) 5-6ショートと11-12ショート : 出荷時設定に対し12 ns (TYP.) 位相が遅れます。

チューニングを行うときは次の2点でクロックを観測して、位相差を調整してください。

- ・UDLボード上の基準となる地点
- ・IE-V850E-MC-EM1-B上のTP4 (ただし、RESET中には出力されていません)。

- 注意1.** IE-V850E-MC-A上にJP2の操作は、必ずCPUCKINとCLKEM1に対して同じバッファ段数が挿入されるように操作してください。
- 2.** VBCLKIに比べて、エバチップ動作クロック (CLKOUT) は10 ns程度遅れています。したがってUDLボード上にVBCLKIを分配するときは、バッファで1段受けてから分配することをお勧めします。
- また、過大な負荷容量および2段以上のバッファリングを行わない限り、IE-V850E-MC-AのJP2の設定は出荷時設定のまま使用してください。

図4 - 4 遅延回路図 (IE-V850E-MC-A)



4.3 エミュレーション・メモリについて

IE-V850E-MC-EM1-Bは常に使用可能な標準エミュレーション・メモリと、IE-V850E-MC-MM2（別売）を実装することにより使用可能になるターゲット代替メモリを用意しています。

エミュレーション・メモリはメモリ・コントローラ選択時のみ使用可能で、VSBバス選択時は使用できません。

4.3.1 標準エミュレーション・メモリ機能

メモリ容量 : 4 MB

マッピング単位 : 1 MB (最大1 MB×4バンクのマッピングが可能)

バス・サイズ : 16ビットまたは32ビットが可能 (8ビットは不可)

マッピング方法 : ディバッガでマッピングしたい領域を“Emulation RAM/ROM”に指定 (ジャンパでの設定はありません)。

WAIT挿入 : 動作周波数が25 MHz以上の場合, 1 WAIT以上のWAIT挿入が必要となります。

エミュレーション・メモリに対するWAIT数は_WAIT信号の影響を受けず, ディバッガによる設定, またはウエイト・コントロール・レジスタの設定により決定します。

(0 WAIT/1 WAIT/PROGRAMMABLE WAIT (1 WAIT-7 WAIT))

・ID850の場合

コンフィグレーション画面には, 次の3種類の選択肢が用意されています。

- | | |
|--------------------------|---|
| (a) WAIT MASKを選択 | 0 WAITでアクセスされます。 |
| (b) 1 WAIT (DEFAULT) を選択 | 1 WAITでアクセスされます。 |
| (c) TARGET WAITを選択 | DWC0/1レジスタで設定されているWAIT数でアクセスされます。
ただし, 0/1 WAITに設定したときは, どちらも1 WAITです。 |

・MULTIの場合

“PINMASK” コマンドによって, 次の3種類の選択肢が用意されています。

- | | |
|----------------|---|
| (a) WAIT マスク | 0 WAITでアクセスされます。 |
| EMWAIT マスク | (外部メモリはWAIT信号マスク) |
| (b) WAIT マスク | 1 WAITでアクセスされます。 |
| EMWAIT アンマスク | (外部メモリはWAIT信号マスク) |
| WAIT アンマスク | 1 WAITでアクセスされます。 |
| EMWAIT マスク | (外部メモリはWAIT信号に依存) |
| (c) WAIT アンマスク | DWC0/1レジスタで設定されているWAIT数でアクセスされます。 |
| EMWAIT アンマスク | ただし, 0/1 WAITに設定したときは, どちらも1 WAITです。
(外部メモリはWAIT信号に依存) |

4.3.2 ターゲット代替メモリ機能

メモリ容量 : 8 MB

マッピング仕様 : メモリ・コントローラのチップ・セレクトの中で1つのみ選択し、エミュレーションできます。メモリ・ブロックの中でマッピングされる先頭アドレスは、IE-V850E-MC-MM2のJP3により決定されます。

バス・サイズ : 16ビットまたは32ビットが可能です（8ビットは不可）。

マッピング方法 : IE-V850E-MC-MM2のJP2, JP3[※]を設定。

ディバッガでマッピングしたい領域を“TARGET MEMORY”に指定。

注 JP2, JP3の設定方法は第5章 IE-V850E-MC-MM2を参照してください。

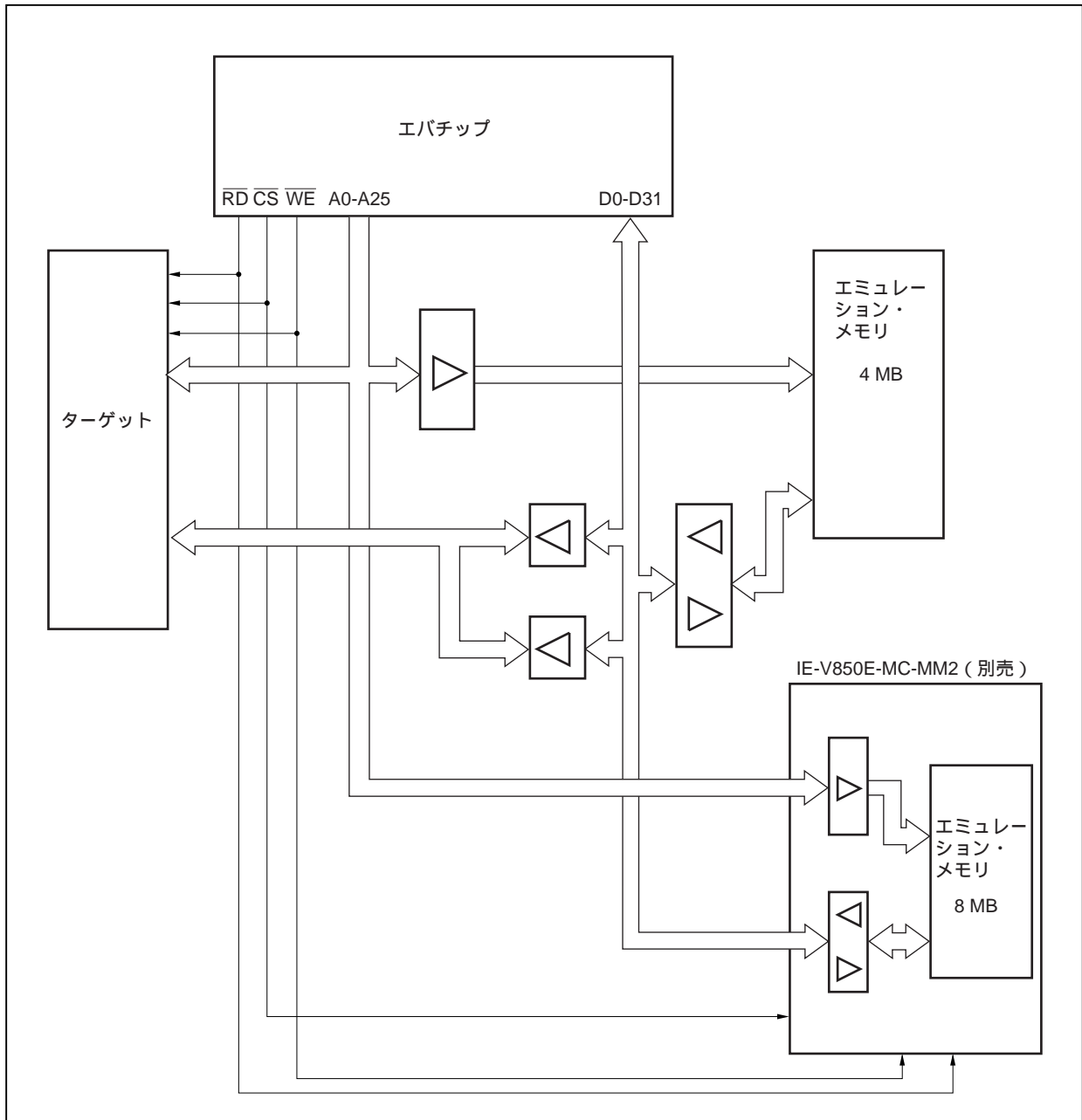
- 注意1. 標準エミュレーション・メモリと重なる領域にターゲット代替メモリをマッピングした場合、標準エミュレーション・メモリが優先されます。
2. IE-V850E-MC-MM2（別売）を実装した状態でターゲット・メモリをアクセスする場合、ターゲット・メモリを配置しているメモリ・ブロックとIE-V850E-MC-MM2のJP2, JP3の設定によるメモリ・ブロック指定が一致しないようにしてください。
 3. ターゲット代替メモリはUDLボード接続時のみ使用できます。

4.3.3 エミュレーション・メモリ動作タイミングの違いについて

ターゲット・システムのDRAM, SDRAM, ページROM領域とエミュレーション・メモリに割り当てたときには、SRAMアクセスのタイミングで動作します。

エミュレーション・メモリを使用して、パフォーマンスを測定するときには、実際に使用されているメモリのアクセス・タイミングと合うように、WAITの設定を行ってください。

図4-5 エミュレーション・メモリの等価回路図



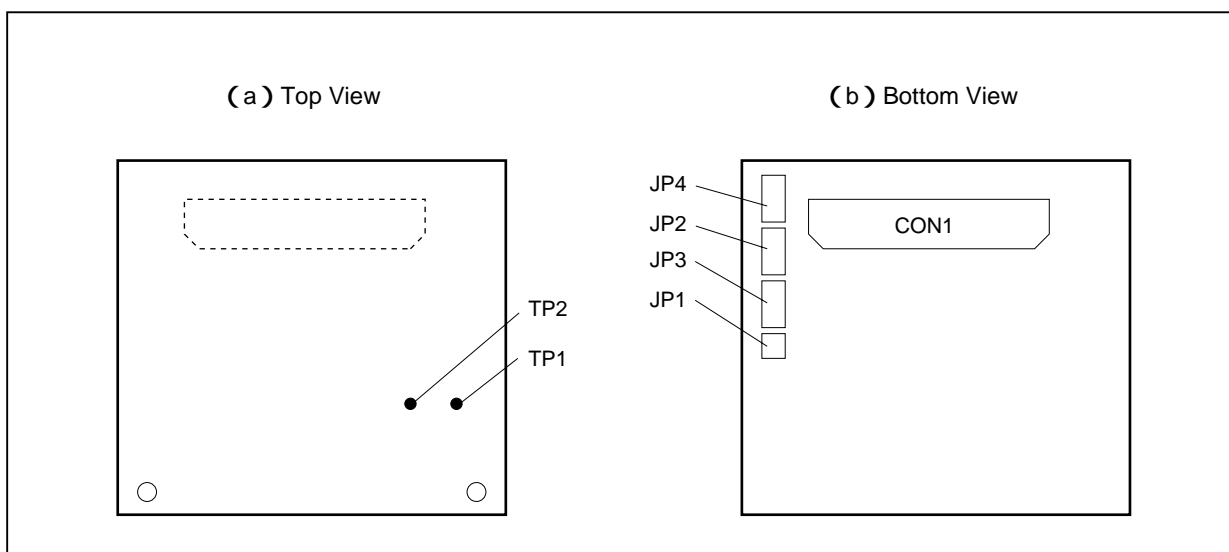
(メ モ)

第5章 IE-V850E-MC-MM2

この章では、IE-V850E-MC-MM2の各部の名称と機能，ジャンパ設定などについて説明します。
IE-V850E-MC-MM2は，別売品です。

5.1 IE-V850E-MC-MM2の各部の名称と機能

図5 - 1 IE-V850E-MC-MM2



(1) JP1

バス・サイズ選択用のジャンパです。

1-2ショート：32ビット 1-2オープン：16ビット

(2) JP2

ターゲット代替メモリのマッピング設定用のジャンパです。

設定方法は次のとおりです。

表5 - 1 JP2の設定方法

JP2の設定	ターゲット代替メモリのマッピング領域
1-2ショート	メモリ・ブロック0 (CSZ0を選択)
3-4ショート	メモリ・ブロック1 (CSZ1を選択)
5-6ショート	メモリ・ブロック2 (CSZ2を選択)
7-8ショート	メモリ・ブロック3 (CSZ3を選択)
9-10ショート	メモリ・ブロック4 (CSZ4を選択)
11-12ショート	メモリ・ブロック5 (CSZ5を選択)
13-14ショート	メモリ・ブロック6 (CSZ6を選択)
15-16ショート	メモリ・ブロック7 (CSZ7を選択)
全ピン・オープン	ターゲット代替メモリはマッピング不可

(3) JP3

ターゲット代替メモリに、マッピングを行いたいメモリ・ブロック・アドレスのビット23-ビット25の指定を行います。

表5 - 2 JP3におけるビット23-ビット25の設定方法

JP3の設定			A25-A23の値		
1-2	3-4	5-6	A25	A24	A23
オープン	オープン	オープン	H	H	H
オープン	オープン	ショート	H	H	L
オープン	ショート	オープン	H	L	H
オープン	ショート	ショート	H	L	L
ショート	オープン	オープン	L	H	H
ショート	オープン	ショート	L	H	L
ショート	ショート	オープン	L	L	H
ショート	ショート	ショート	L	L	L

(4) JP4

出荷検査用の端子台です。出荷時設定のまま使用してください。

(5) TP1

GND端子です。

(6) TP2

出荷検査用の端子です。

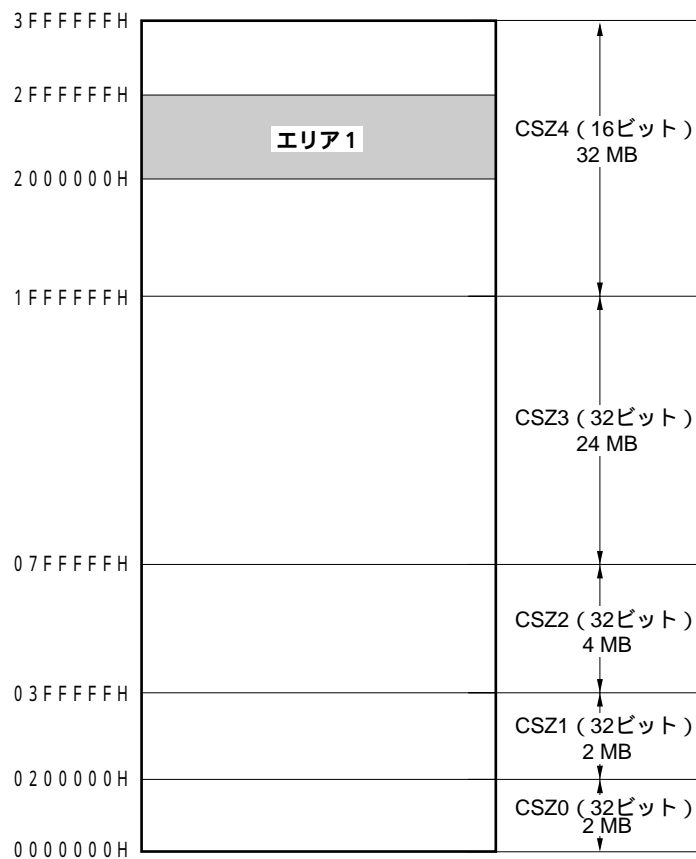
(7) CON1

IE-V850E-MC-EM1-Bとのインタフェース用コネクタです。

5.2 JP1-JP3の設定例

次に、64 Mバイト・モード時のJP1-JP3の設定例を説明します。

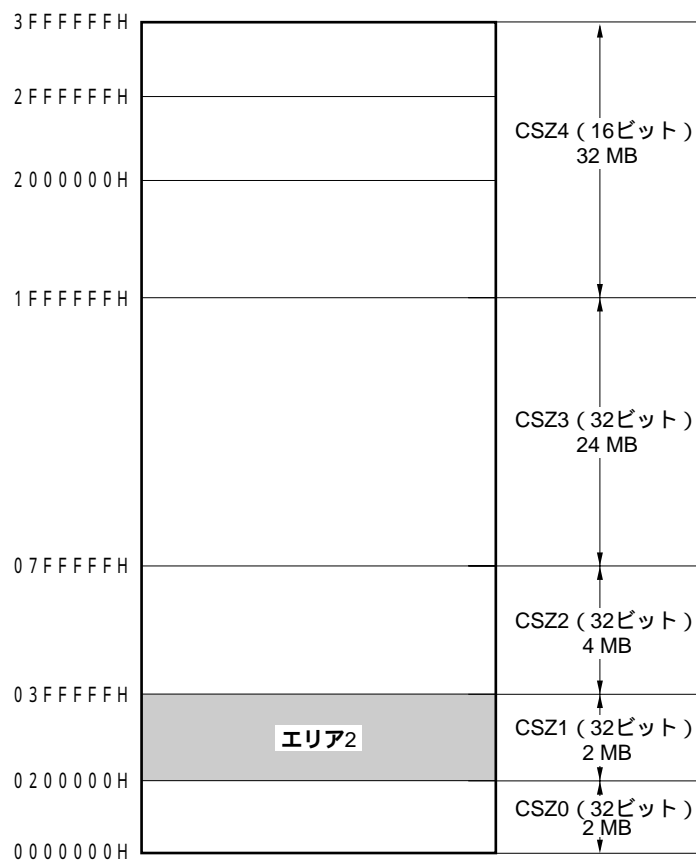
例1.



エリア1. この領域を代替する場合のジャンパ設定は次のとおりです。

- JP1 : オープン
- JP2 : 9-10オープン
- JP3 : 1-2オープン
- 3-4ショート
- 5-6オープン

例2.



エリア2. この領域を代替する場合のジャンパ設定は次のとおりです。

JP1 : ショート

JP2 : 3-4ショート

JP3 : 1-2ショート

3-4ショート

5-6ショート

次に、256 Mバイト・モード時のJP1-JP3の設定例を説明します。

FFFFFFFFH		CSZ7 (32ビット) 2 MB
FDFFFFFFFH		CSZ6 (32ビット) 4 MB
F9FFFFFFFH		↑ CSZ5 (32ビット) 58 MB
BFFFFFFFH		↓ CSZ4 (32ビット) 64 MB
7FFFFFFFH		↑
5FFFFFFFH	エリア 3	↓ CSZ3 (32ビット) 64 MB
5800000H		↓
3FFFFFFFH		↑ CSZ2 (32ビット) 56 MB
07FFFFFFFH		↓
03FFFFFFFH		CSZ1 (32ビット) 4 MB
0000000H		CSZ0 (32ビット) 4 MB

エリア3. この領域を代替する場合のジャンパ設定は次のとおりです。

JP1 : ショート


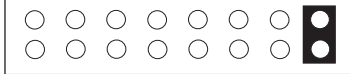

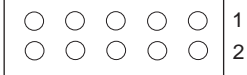
JP2 : 7-8ショート

JP3 : 1-2ショート

3-4ショート

5-6ショート

5.3 製品出荷時の設定一覧

項目	設定内容	備考
JP1		バス・サイズを32ビットに設定。
JP2	15  16	メモリ・ブロック0を拡張エミュレーション・メモリにマッピングします。
JP3	5  6	A25 = 1, A24 = A23 = 0
JP4	9  10	出荷時設定以外は使用禁止。

5.4 IE-V850E-MC-EM1-BとIE-V850E-MC-MM2の接続

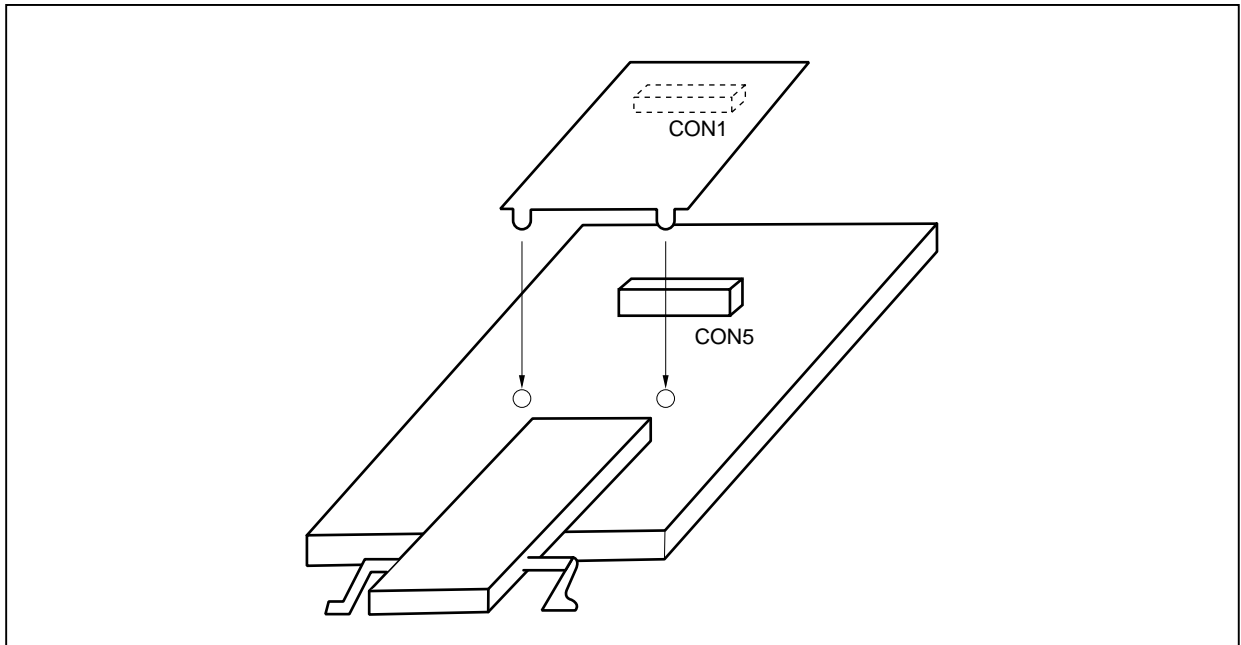
IE-V850E-MC-MM2のJP1, JP2, JP3を任意の設定どおりに行ってください。

ネジとスペーサをIE-V850E-MC-MM2に接続してください。

IE-V850E-MC-MM2の“ CON1 ”とIE-V850E-MC-EM1-Bの“ CON5 ”を接続してください。

ネジをIE-V850E-MC-EM1-Bの裏側より接続して固定してください。

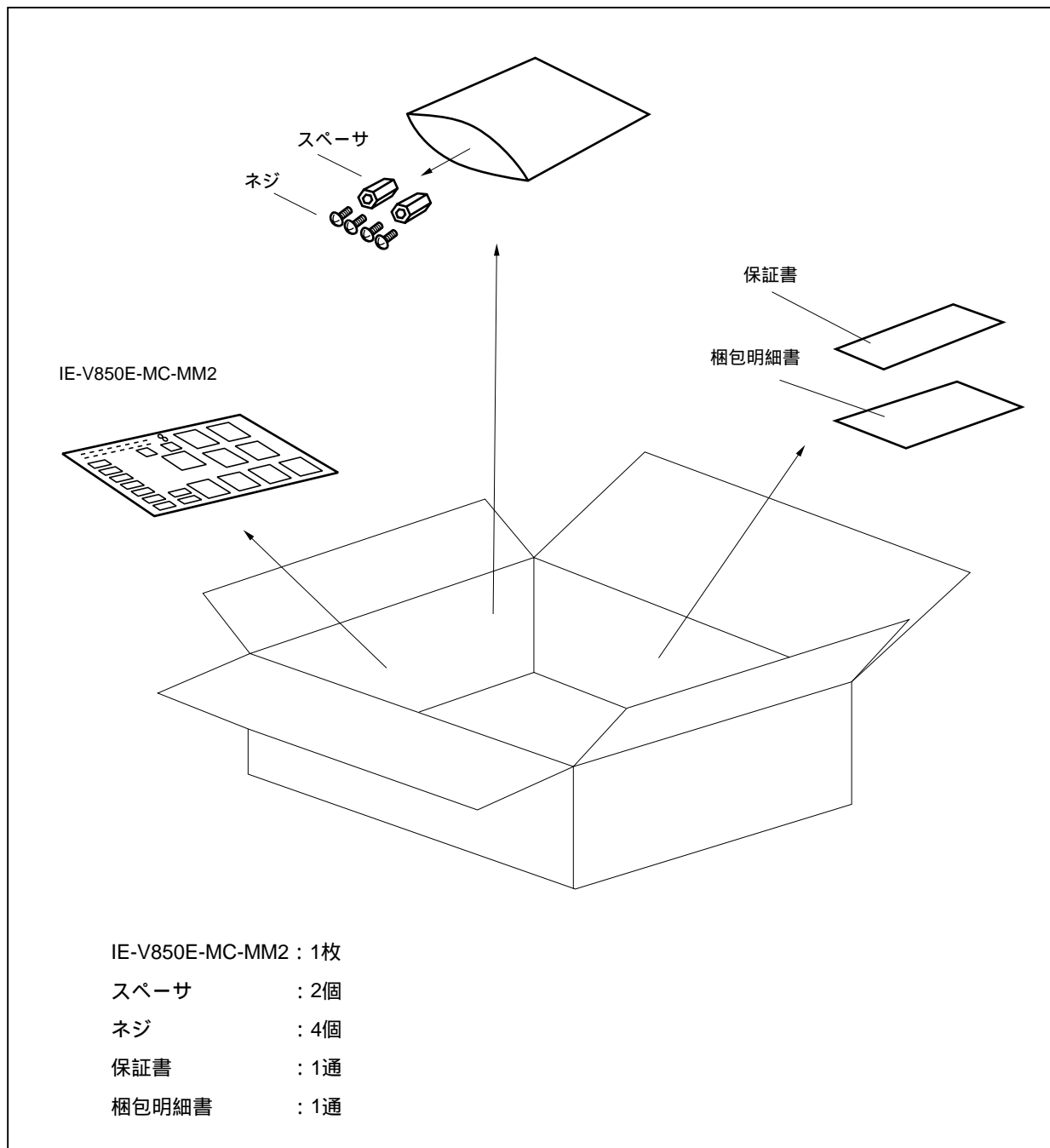
図5 - 2 IE-V850E-MC-EM1-BとIE-V850E-MC-MM2の接続図



5.5 梱包内容

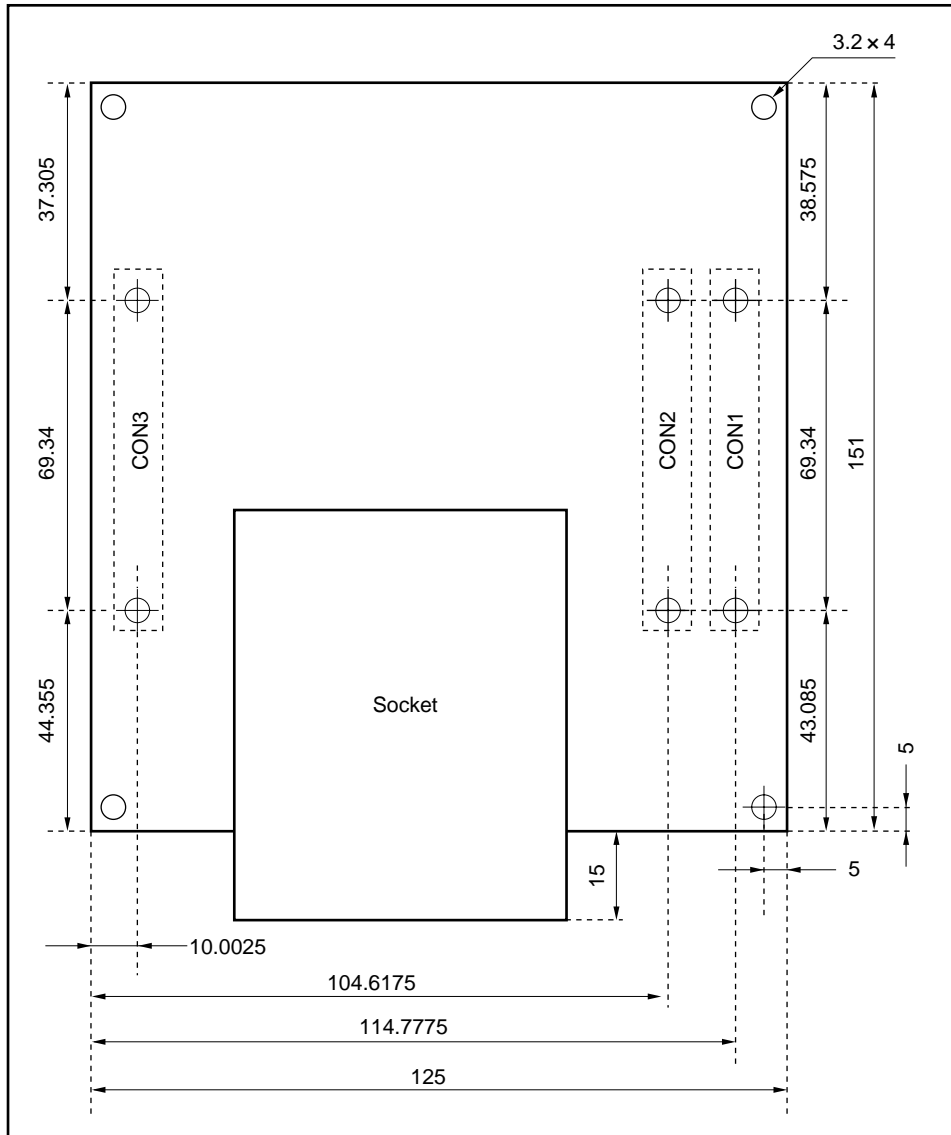
IE-V850E-MC-MM2の梱包箱の中には、本体、スペーサ、ネジ、保証書、および梱包明細書が入っています。スペーサとネジは同じ袋に入っています。万一、不足や破損などがありましたら、当社販売員または特約店までご連絡ください。

図5 - 3 梱包内容



付録A 製品外形図

IE-V850E-MC-EM1-Bは次の外形図です。(単位: mm)



(IE-V850E-MC-Aはこちら側にきます。)

備考 UDLボードとは、CON1-CON3で接続しますが、スタッキングの高さは12 mmです。
UDLボードとIE-V850E-MC-EM1-Bが重なる部分には、高さ8 mm以上の部品は配置しないでください。

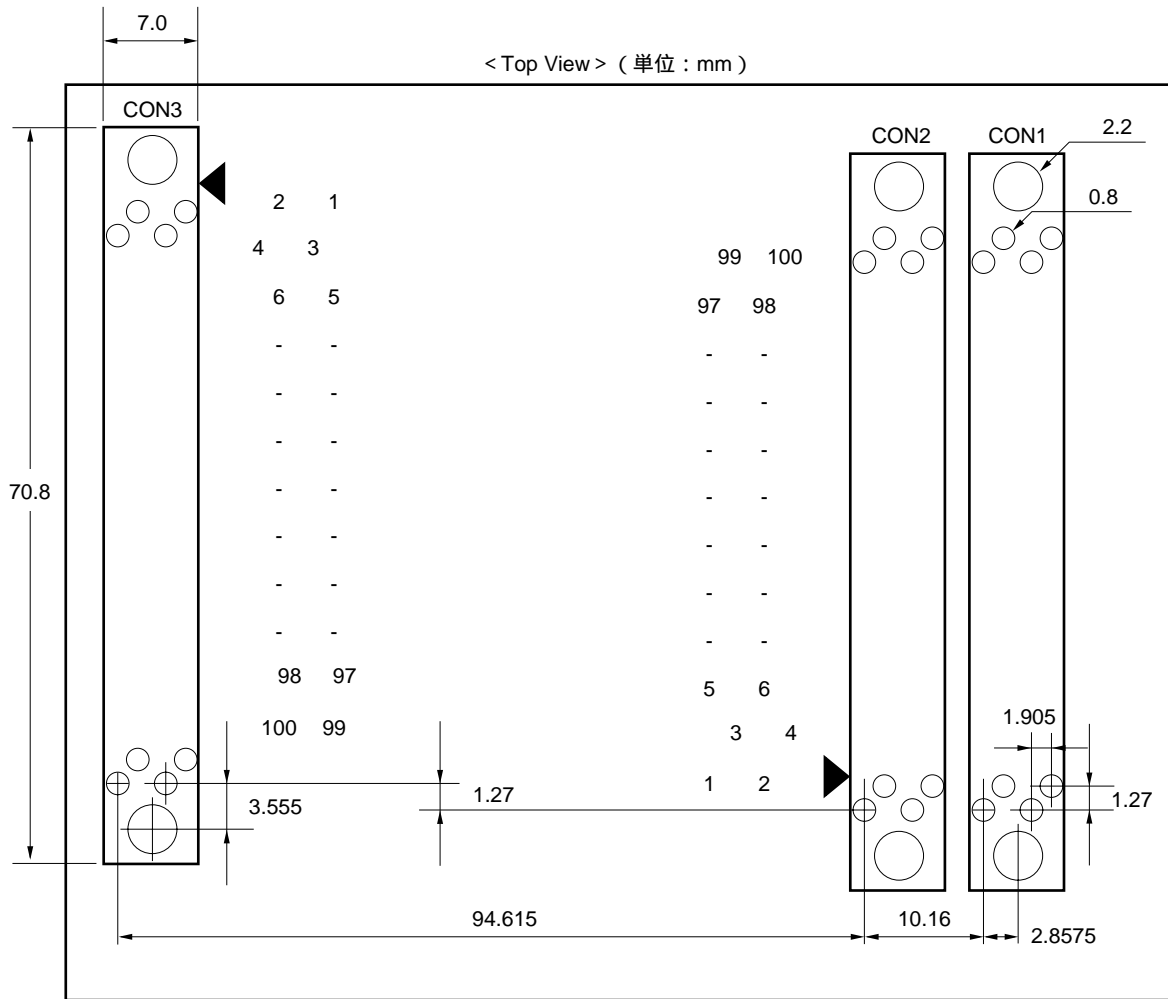
(メ モ)

付録B UDLボード・インタフェース・コネクタの配置

この図はUDLボードの< Top View >です。

コネクタの部品は次のものを使用します。

- ・XH3A-0141-A (オムロン社製)



注意 オプション・ボードを接続すると、UDLボードとの間隔は12 mmとなります。

したがって、接続部には高さ8 mm以上の部品は配置しないでください。

(メ モ)

付録C UDLインタフェース・コネクタ信号表 (IE-V850E-MC-EM1-Bから見た場合)

C. 1 CON1-CON3のピン・アサイン

UDLインタフェース・コネクタ信号表を次ページより記述します。

C. 1. 1 注意事項

(1) I/Oの属性は次のとおりです。

I/O : 双方向

I : エミュレータへ信号を入力します。

O : エミュレータから信号を出力します。

(2) コネクタにアサインされる信号

コネクタにアサインされる信号は、次の2種類のいずれかでアサインされます。

(a) VSBバスを選択した場合

VSB用端子, NPB用端子, システム制御用端子, DMAC用端子, INTC用端子

(b) メモリ・コントローラを選択した場合

NB85E500用端子, NU85E502用端子, NPB用端子, システム制御用端子, DMAC用端子, INTC用端子

(3) 未使用端子の処理

未使用端子の処理は、UDLボード側では特に行う必要はありませんが、端子の状態をより安定させるためには、UDLボード上で次の処理を行ってください。

- ・ UDLボードへの入力端子 : オープン
- ・ UDLボードからの出力端子 : インアクティブに固定
- ・ UDLボードへの入出力端子 : オープン

(4) エミュレータとUDLボードのインタフェースはすべて3.3 V系信号で行いますので、3.3 V以外の信号でインタフェースを行いたい場合は、UDLボード側で信号のレベル変換を行ってください。

ただし、エミュレータの入力端子は5 V耐圧になっていますので、5 V系の信号を入力することは問題ありません。

C.2 信号一覧表

信号一覧 (1/8)

PIN No.	VSBバス使用時	メモリ・コントローラ使用時		I/O	エミュレータ側の 処理
		SRAM	SDRAM		
CON1-CON001		3 V _{CC} ^{注1}			
CON1-CON002		3 V _{CC} ^{注1}			
CON1-CON003		DMACTV2		O	
CON1-CON004		DMACTV0		O	
CON1-CON005		V _{CC} ^{注2}			
CON1-CON006		V _{CC} ^{注2}			
CON1-CON007	VBD30	D30		I/O	5.1 K pull-up
CON1-CON008	VBD28	D28		I/O	5.1 K pull-up
CON1-CON009	VBD26	D26		I/O	5.1 K pull-up
CON1-CON010	VBD24	D24		I/O	5.1 K pull-up
CON1-CON011	VBD22	D22		I/O	5.1 K pull-up
CON1-CON012	VBD20	D20		I/O	5.1 K pull-up
CON1-CON013	VBD18	D18		I/O	5.1 K pull-up
CON1-CON014	VBD16	D16		I/O	5.1 K pull-up
CON1-CON015		GND			
CON1-CON016		GND			
CON1-CON017	VBD14	D14		I/O	5.1 K pull-up
CON1-CON018	VBD12	D12		I/O	5.1 K pull-up
CON1-CON019	VBD10	D10		I/O	5.1 K pull-up
CON1-CON020	VBD8	D8		I/O	5.1 K pull-up
CON1-CON021	VBD6	D6		I/O	5.1 K pull-up
CON1-CON022	VBD4	D4		I/O	5.1 K pull-up
CON1-CON023	VBD2	D2		I/O	5.1 K pull-up
CON1-CON024	VBD0	D0		I/O	5.1 K pull-up
CON1-CON025		GND			
CON1-CON026		GND			
CON1-CON027		GND			
CON1-CON028		GND			
CON1-CON029	VBBSTR	- ^{注3}	- ^{注3}	O	
CON1-CON030	VBDC	RDZ		O	
CON1-CON031	VBBENZ2	WRZ2	DQM2	O	
CON1-CON032	VBBENZ0	WRZ0	DQM0	O	
CON1-CON033		GND			
CON1-CON034		GND			
CON1-CON035	PCM4	- ^{注3}	REFRQZ	O	33 K pull-down
CON1-CON036	PCM2	HLDKAZ		O	33 K pull-down
CON1-CON037	PCM0	WAITZ		I	5.1 K pull-up

注1. エミュレータの3.3 V電源です。

2. エミュレータの5 V電源です。

3. UDLボードでは未接続, または端子処理を行ってください。

信号一覧 (2/8)

PIN No.	VSBバス使用時	メモリ・コントローラ使用時		I/O	エミュレータ側の 処理
		SRAM	SDRAM		
CON1-CON038		GND			
CON1-CON039		GND			
CON1-CON040	VBA26	注1		O	
CON1-CON041	VBA24	A24		O	
CON1-CON042	VBA22	A22		O	
CON1-CON043	VBA20	A20		O	
CON1-CON044	VBA18	A18		O	
CON1-CON045	VBA16	A16		O	
CON1-CON046	VBA14	A14		O	
CON1-CON047		GND			
CON1-CON048		GND			
CON1-CON049	VBA12	A12		O	
CON1-CON050	VBA10	A10		O	
CON1-CON051	VBA8	A8		O	
CON1-CON052	VBA6	A6		O	
CON1-CON053	VBA4	A4		O	
CON1-CON054	VBA2	A2		O	
CON1-CON055	VBA0	A0		O	
CON1-CON056		GND			
CON1-CON057		GND			
CON1-CON058		GND			
CON1-CON059		GND			
CON1-CON060	VDCSZ6	CSZ6	CSZ6	O	
CON1-CON061	VDCSZ4	CSZ4	CSZ4	O	
CON1-CON062	VDCSZ2	CSZ2/IOWRZ	CSZ2/IOWRZ	O	
CON1-CON063	VDCSZ0	CSZ0	CSZ0	O	
CON1-CON064	PCD2	注1	SDCASZ	O	33 K pull-down
CON1-CON065	PCD0	注1	CKE	O	33 K pull-down
CON1-CON066	VBCTYP2	注1		O	
CON1-CON067	VBCTYP0	注1		O	
CON1-CON068	VAACK	注1		O	
CON1-CON069	VBAHLD	注1		I	33 K pull-down
CON1-CON070	VBLOCK	注1		O	
CON1-CON071	VBSIZE1	注1		O	
CON1-CON072	VBTTYP1	注1		O	
CON1-CON073	VBWRITE	注1		O	
CON1-CON074		GND			
CON1-CON075		GND			
CON1-CON076		VBCLKI ^{注2}		O	
CON1-CON077		GND			

注1. UDLボードでは未接続, または端子処理を行ってください。

2. エミュレータからUDLボードに供給されるクロック信号です。

信号一覧 (3/8)

PIN No.	VSBバス使用時	メモリ・コントローラ使用時		I/O	エミュレータ側の 処理
		SRAM	SDRAM		
CON1-CON078		GND			
CON1-CON079		VPD14		I/O	5.1 K pull-up
CON1-CON080		VPD12		I/O	5.1 K pull-up
CON1-CON081		VPD10		I/O	5.1 K pull-up
CON1-CON082		VPD8		I/O	5.1 K pull-up
CON1-CON083		VPD6		I/O	5.1 K pull-up
CON1-CON084		VPD4		I/O	5.1 K pull-up
CON1-CON085		VPD2		I/O	5.1 K pull-up
CON1-CON086		VPD0		I/O	5.1 K pull-up
CON1-CON087		GND			
CON1-CON088		GND			
CON1-CON089		GND			
CON1-CON090		GND			
CON1-CON091		VPA12		O	
CON1-CON092		VPA10		O	
CON1-CON093		VPA8		O	
CON1-CON094		VPA6		O	
CON1-CON095		VPA4		O	
CON1-CON096		VPA2		O	
CON1-CON097		VPA0		O	
CON1-CON098		VPUBENZ		O	
CON1-CON099		VPLOCK		O	
CON1-CON100		- 注			
CON2-CON001		3 V _{cc}			
CON2-CON002		3 V _{cc}			
CON2-CON003		DMACTV3		O	
CON2-CON004		DMACTV1		O	
CON2-CON005		V _{cc}			
CON2-CON006		V _{cc}			
CON2-CON007	VBD31	D31		I/O	5.1 K pull-up
CON2-CON008	VBD29	D29		I/O	5.1 K pull-up
CON2-CON009	VBD27	D27		I/O	5.1 K pull-up
CON2-CON010	VBD25	D25		I/O	5.1 K pull-up
CON2-CON011	VBD23	D23		I/O	5.1 K pull-up
CON2-CON012	VBD21	D21		I/O	5.1 K pull-up
CON2-CON013	VBD19	D19		I/O	5.1 K pull-up
CON2-CON014	VBD17	D17		I/O	5.1 K pull-up
CON2-CON015		GND			
CON2-CON016		GND			
CON2-CON017	VBD15	D15		I/O	5.1 K pull-up
CON2-CON018	VBD13	D13		I/O	5.1 K pull-up

注 UDLボードでは未接続，または端子処理を行ってください。

信号一覧 (4/8)

PIN No.	VSBバス使用時	メモリ・コントローラ使用時		I/O	エミュレータ側の 処理
		SRAM	SDRAM		
CON2-CON019	VBD11	D11		I/O	5.1 K pull-up
CON2-CON020	VBD9	D9		I/O	5.1 K pull-up
CON2-CON021	VBD7	D7		I/O	5.1 K pull-up
CON2-CON022	VBD5	D5		I/O	5.1 K pull-up
CON2-CON023	VBD3	D3		I/O	5.1 K pull-up
CON2-CON024	VBD1	D1		I/O	5.1 K pull-up
CON2-CON025	GND				
CON2-CON026	GND				
CON2-CON027	GND				
CON2-CON028	GND				
CON2-CON029	VBSTZ	BCYSTZ	BCYSTZ	O	
CON2-CON030	VDSELPZ	-注	SDWEZ	O	
CON2-CON031	VBBENZ3	WRZ3	DQM3	O	
CON2-CON032	VBBENZ1	WRZ1	DQM1	O	
CON2-CON033	GND				
CON2-CON034	GND				
CON2-CON035	PCM5	-注	SELFREF	I	33 K pull-down
CON2-CON036	PCM3	HLDRQZ		I	5.1 K pull-up
CON2-CON037	PCM1	-注		I/O	33 K pull-down
CON2-CON038	GND				
CON2-CON039	GND				
CON2-CON040	VBA27	-注		O	
CON2-CON041	VBA25	A25		O	
CON2-CON042	VBA23	A23		O	
CON2-CON043	VBA21	A21		O	
CON2-CON044	VBA19	A19		O	
CON2-CON045	VBA17	A17		O	
CON2-CON046	VBA15	A15		O	
CON2-CON047	GND				
CON2-CON048	GND				
CON2-CON049	VBA13	A13		O	
CON2-CON050	VBA11	A11		O	
CON2-CON051	VBA9	A9		O	
CON2-CON052	VBA7	A7		O	
CON2-CON053	VBA5	A5		O	
CON2-CON054	VBA3	A3		O	
CON2-CON055	VBA1	A1		O	
CON2-CON056	GND				
CON2-CON057	GND				
CON2-CON058	GND				
CON2-CON059	GND				

注 UDLボードでは未接続，または端子処理を行ってください。

信号一覧 (5/8)

PIN No.	VSBバス使用時	メモリ・コントローラ使用時		I/O	エミュレータ側の 処理
		SRAM	SDRAM		
CON2-CON060	VDCSZ7	CSZ7	CSZ7	O	
CON2-CON061	VDCSZ5	CSZ5/IORDZ	CSZ5/IORDZ	O	
CON2-CON062	VDCSZ3	CSZ3	CSZ3	O	
CON2-CON063	VDCSZ1	CSZ1	CSZ1	O	
CON2-CON064	PCD3	- 注	SDRASZ	O	33 K pull-down
CON2-CON065	PCD1	- 注	SDCLK	O	33 K pull-down
CON2-CON066	PBS3	- 注		I/O	33 K pull-down
CON2-CON067	VBCTYP1	- 注		O	
CON2-CON068	VAREQ	- 注		I	33 K pull-down
CON2-CON069	VBLAST	- 注		I	33 K pull-down
CON2-CON070	VBSIZE0	- 注		O	
CON2-CON071	VBTTYP0	- 注		O	
CON2-CON072	VBWAIT	- 注		I	33 K pull-down
CON2-CON073		GND			
CON2-CON074		GND			
CON2-CON075		GND			
CON2-CON076		VBCLK		I	
CON2-CON077		GND			
CON2-CON078		GND			
CON2-CON079		VPD15		I/O	5.1 K pull-up
CON2-CON080		VPD13		I/O	5.1 K pull-up
CON2-CON081		VPD11		I/O	5.1 K pull-up
CON2-CON082		VPD9		I/O	5.1 K pull-up
CON2-CON083		VPD7		I/O	5.1 K pull-up
CON2-CON084		VPD5		I/O	5.1 K pull-up
CON2-CON085		VPD3		I/O	5.1 K pull-up
CON2-CON086		VPD1		I/O	5.1 K pull-up
CON2-CON087		GND			
CON2-CON088		GND			
CON2-CON089		GND			
CON2-CON090		GND			
CON2-CON091		VPA13		O	
CON2-CON092		VPA11		O	
CON2-CON093		VPA9		O	
CON2-CON094		VPA7		O	
CON2-CON095		VPA5		O	
CON2-CON096		VPA3		O	
CON2-CON097		VPA1		O	
CON2-CON098		VPWRITE		O	
CON2-CON099		VPSTB		O	
CON2-CON100		VPRETR		I	500 pull-down

注 UDLボードでは未接続，または端子処理を行ってください。

信号一覧 (6/8)

PIN No.	VSBバス使用時	メモリ・コントローラ使用時		I/O	エミュレータ側の 処理
		SRAM	SDRAM		
CON3-CON001		DMARQ3		I	33 K pull-down
CON3-CON002		DMARQ2		I	33 K pull-down
CON3-CON003		DMARQ1		I	33 K pull-down
CON3-CON004		DMARQ0		I	33 K pull-down
CON3-CON005		DMTCO3		O	
CON3-CON006		DMTCO2		O	
CON3-CON007		DMTCO1		O	
CON3-CON008		DMTCO0		O	
CON3-CON009		IDMASTP		I	33 K pull-down
CON3-CON010		DCRESZ		I	5.1 K pull-up
CON3-CON011		ERESZ ^注		O	
CON3-CON012		GND			
CON3-CON013		GND			
CON3-CON014		GND			
CON3-CON015		DCNMI2		I	50 K pull-down
CON3-CON016		DCNMI1		I	50 K pull-down
CON3-CON017		DCNMI0		I	50 K pull-down
CON3-CON018		INT63		I	50 K pull-down
CON3-CON019		INT62		I	50 K pull-down
CON3-CON020		INT61		I	50 K pull-down
CON3-CON021		INT60		I	50 K pull-down
CON3-CON022		INT59		I	50 K pull-down
CON3-CON023		INT58		I	50 K pull-down
CON3-CON024		INT57		I	50 K pull-down
CON3-CON025		INT56		I	50 K pull-down
CON3-CON026		INT55		I	50 K pull-down
CON3-CON027		INT54		I	50 K pull-down
CON3-CON028		INT53		I	50 K pull-down
CON3-CON029		INT52		I	50 K pull-down
CON3-CON030		INT51		I	50 K pull-down
CON3-CON031		INT50		I	50 K pull-down
CON3-CON032		INT49		I	50 K pull-down
CON3-CON033		INT48		I	50 K pull-down
CON3-CON034		INT47		I	50 K pull-down
CON3-CON035		INT46		I	50 K pull-down
CON3-CON036		INT45		I	50 K pull-down
CON3-CON037		INT44		I	50 K pull-down
CON3-CON038		INT43		I	50 K pull-down
CON3-CON039		INT42		I	50 K pull-down
CON3-CON040		INT41		I	50 K pull-down
CON3-CON041		INT40		I	50 K pull-down

注 エミュレータからUDLボードに供給するリセット信号です。

信号一覧 (7/8)

PIN No.	VSBバス使用時	メモリ・コントローラ使用時		I/O	エミュレータ側の 処理
		SRAM	SDRAM		
CON3-CON042		INT39		I	50 K pull-down
CON3-CON043		INT38		I	50 K pull-down
CON3-CON044		INT37		I	50 K pull-down
CON3-CON045		INT36		I	50 K pull-down
CON3-CON046		INT35		I	50 K pull-down
CON3-CON047		INT34		I	50 K pull-down
CON3-CON048		INT33		I	50 K pull-down
CON3-CON049		INT32		I	50 K pull-down
CON3-CON050		INT31		I	50 K pull-down
CON3-CON051		INT30		I	50 K pull-down
CON3-CON052		INT29		I	50 K pull-down
CON3-CON053		INT28		I	50 K pull-down
CON3-CON054		INT27		I	50 K pull-down
CON3-CON055		INT26		I	50 K pull-down
CON3-CON056		INT25		I	50 K pull-down
CON3-CON057		INT24		I	50 K pull-down
CON3-CON058		INT23		I	50 K pull-down
CON3-CON059		INT22		I	50 K pull-down
CON3-CON060		INT21		I	50 K pull-down
CON3-CON061		INT20		I	50 K pull-down
CON3-CON062		INT19		I	50 K pull-down
CON3-CON063		INT18		I	50 K pull-down
CON3-CON064		INT17		I	50 K pull-down
CON3-CON065		INT16		I	50 K pull-down
CON3-CON066		INT15		I	50 K pull-down
CON3-CON067		INT14		I	50 K pull-down
CON3-CON068		INT13		I	50 K pull-down
CON3-CON069		INT12		I	50 K pull-down
CON3-CON070		INT11		I	50 K pull-down
CON3-CON071		INT10		I	50 K pull-down
CON3-CON072		INT9		I	50 K pull-down
CON3-CON073		INT8		I	50 K pull-down
CON3-CON074		INT7		I	50 K pull-down
CON3-CON075		INT6		I	50 K pull-down
CON3-CON076		INT5		I	50 K pull-down
CON3-CON077		INT4		I	50 K pull-down
CON3-CON078		INT3		I	50 K pull-down
CON3-CON079		INT2		I	50 K pull-down
CON3-CON080		INT1		I	50 K pull-down
CON3-CON081		INT0		I	50 K pull-down
CON3-CON082		GND			
CON3-CON083		GND			
CON3-CON084		GND			

信号一覧 (8/8)

PIN No.	VSBバス使用時	メモリ・コントローラ使用時		I/O	エミュレータ側の 処理
		SRAM	SDRAM		
CON3-CON085		GND			
CON3-CON086		CGREL		I	50 K pull-down
CON3-CON087		HWSTOPRQ		O	
CON3-CON088		SWSTOPRQ		O	
CON3-CON089		STPRQ		O	
CON3-CON090		STPAK		I	4.7 K pull-up
CON3-CON091		DCSTOPZ		I	5.1 K pull-up
CON3-CON092		TGTV _{DD} ^{注1}		I	33 K pull-down
CON3-CON093		EXTD7 ^{注2}		I	33 K pull-down
CON3-CON094		EXTD6 ^{注2}		I	33 K pull-down
CON3-CON095		EXTD5 ^{注2}		I	33 K pull-down
CON3-CON096		EXTD4 ^{注2}		I	33 K pull-down
CON3-CON097		EXTD3 ^{注2}		I	33 K pull-down
CON3-CON098		EXTD2 ^{注2}		I	33 K pull-down
CON3-CON099		EXTD1 ^{注2}		I	33 K pull-down
CON3-CON100		EXTD0 ^{注2}		I	33 K pull-down

注1. UDLボード電源ON/OFF検出信号です。

2. 外部ロジック・プローブ信号です。

C.3 NB85E端子とUDLコネクタの対応表

NB85E端子とUDLコネクタの対応 (1/6)

NB85E端子		PIN No.
NPB用端子	VPA0	CON1-CON097
	VPA1	CON2-CON097
	VPA2	CON1-CON096
	VPA3	CON2-CON096
	VPA4	CON1-CON095
	VPA5	CON2-CON095
	VPA6	CON1-CON094
	VPA7	CON2-CON094
	VPA8	CON1-CON093
	VPA9	CON2-CON093
	VPA10	CON1-CON092
	VPA11	CON2-CON092
	VPA12	CON1-CON091
	VPA13	CON2-CON091
	VPD0	CON1-CON086
	VPD1	CON2-CON086
	VPD2	CON1-CON085
	VPD3	CON2-CON085
	VPD4	CON1-CON084
	VPD5	CON2-CON084
	VPD6	CON1-CON083
	VPD7	CON2-CON083
	VPD8	CON1-CON082
	VPD9	CON2-CON082
	VPD10	CON1-CON081
	VPD11	CON2-CON081
	VPD12	CON1-CON080
	VPD13	CON2-CON080
	VPD14	CON1-CON079
	VPD15	CON2-CON079
	VPWRITE	CON1-CON098
	VPSTB	CON2-CON099
VPLOCK	CON1-CON099	
VPUBENZ	CON2-CON098	
VPRETR	CON1-CON100	
VPDACT	注	
VSB用端子	VAREQ	CON2-CON068
	VAACK	CON1-CON068
	VBA0	CON1-CON055
	VBA1	CON2-CON055

注 対応する端子がエミュレータに存在しないことを示します。

NB85E端子とUDLコネクタの対応 (2/6)

NB85E端子		PIN No.
VSB用端子	VBA2	CON1-CON054
	VBA3	CON2-CON054
	VBA4	CON1-CON053
	VBA5	CON2-CON053
	VBA6	CON1-CON052
	VBA7	CON2-CON052
	VBA8	CON1-CON051
	VBA9	CON2-CON051
	VBA10	CON1-CON050
	VBA11	CON2-CON050
	VBA12	CON1-CON049
	VBA13	CON2-CON049
	VBA14	CON1-CON046
	VBA15	CON2-CON046
	VBA16	CON1-CON045
	VBA17	CON2-CON045
	VBA18	CON1-CON044
	VBA19	CON2-CON044
	VBA20	CON1-CON043
	VBA21	CON2-CON043
	VBA22	CON1-CON042
	VBA23	CON2-CON042
	VBA24	CON1-CON041
	VBA25	CON2-CON041
	VBA26 ^注	CON1-CON040
	VBA27 ^注	CON2-CON040
	VBD0	CON1-CON024
	VBD1	CON2-CON024
	VBD2	CON1-CON023
	VBD3	CON2-CON023
VBD4	CON1-CON022	
VBD5	CON2-CON022	
VBD6	CON1-CON021	
VBD7	CON2-CON021	
VBD8	CON1-CON020	
VBD9	CON2-CON020	
VBD10	CON1-CON019	
VBD11	CON2-CON019	
VBD12	CON1-CON018	
VBD13	CON2-CON018	
VBD14	CON1-CON017	
VBD15	CON2-CON017	

注 64 Mモード時は動作不定です。256 Mモード時のみ使用します。

NB85E端子とUDLコネクタの対応 (3/6)

NE85E端子	PIN No.	
VSB用端子	VBD16	CON1-CON014
	VBD17	CON2-CON014
	VBD18	CON1-CON013
	VBD19	CON2-CON013
	VBD20	CON1-CON012
	VBD21	CON2-CON012
	VBD22	CON1-CON011
	VBD23	CON2-CON011
	VBD24	CON1-CON010
	VBD25	CON2-CON010
	VBD26	CON1-CON009
	VBD27	CON2-CON009
	VBD28	CON1-CON008
	VBD29	CON2-CON008
	VBD30	CON1-CON007
	VBD31	CON2-CON007
	VBTTYP0	CON2-CON071
	VBTTYP1	CON1-CON072
	VBSTZ	CON2-CON029
	VBBENZ0	CON1-CON032
	VBBENZ1	CON2-CON032
	VBBENZ2	CON1-CON031
	VBBENZ3	CON2-CON031
	VBSIZE0	CON2-CON070
	VBSIZE1	CON1-CON071
	VBWRITE	CON2-CON073
	VBLOCK	CON1-CON070
	VBCTYP0	CON2-CON067
	VBCTYP1	CON1-CON067
	VBCTYP2	CON2-CON066
	VBSEQ0	- 注
	VBSEQ1	- 注
	VBSEQ2	- 注
	VBBSTR	CON1-CON029
	VBWAIT	CON2-CON072
	VBLAST	CON2-CON069
	VBAHLD	CON1-CON069
	VBDC	CON1-CON030
	VDCSZ0	CON1-CON063
	VDCSZ1	CON2-CON063
VDCSZ2	CON1-CON062	
VDCSZ3	CON2-CON062	

注 対応する端子がエミュレータに存在しないことを示します。

NB85E端子とUDLコネクタの対応 (4/6)

NB85E端子		PIN No.
VSB用端子	VDCSZ4	CON1-CON061
	VDCSZ5	CON2-CON061
	VDCSZ6	CON1-CON060
	VDCSZ7	CON2-CON060
	VDSELPZ	CON2-CON030
システム制御用端子	DCRESZ	CON3-CON010
	VBCLK	CON2-CON076
	SWSTOPRQ	CON3-CON088
	HWSTOPRQ	CON3-CON087
	DCSTOPZ	CON3-CON091
	STPRQ	CON3-CON089
	STPAK	CON3-CON090
DMAC用端子	CGREL	CON3-CON086
	IDMASTP	CON3-CON009
	DMARQ0	CON3-CON004
	DMARQ1	CON3-CON003
	DMARQ2	CON3-CON002
	DMARQ3	CON3-CON001
	DMTCO0	CON3-CON008
	DMTCO1	CON3-CON007
	DMTCO2	CON3-CON006
	DMTCO3	CON3-CON005
	DMACTV0	CON1-CON004
	DMACTV1	CON2-CON004
	DMACTV2	CON1-CON003
	DMACTV3	CON2-CON003
INTC用端子	DCNMI0	CON3-CON017
	DCNMI1	CON3-CON016
	DCNMI2	CON3-CON015
	INT0	CON3-CON081
	INT1	CON3-CON080
	INT2	CON3-CON079
	INT3	CON3-CON078
	INT4	CON3-CON077
	INT5	CON3-CON076
	INT6	CON3-CON075
	INT7	CON3-CON074
	INT8	CON3-CON073
	INT9	CON3-CON072
	INT10	CON3-CON071
	INT11	CON3-CON070
INT12	CON3-CON069	
INT13	CON3-CON068	
INT14	CON3-CON067	

NB85E端子とUDLコネクタの対応 (5/6)

NB85E端子		PIN No.
INTC用端子	INT15	CON3-CON066
	INT16	CON3-CON065
	INT17	CON3-CON064
	INT18	CON3-CON063
	INT19	CON3-CON062
	INT20	CON3-CON061
	INT21	CON3-CON060
	INT22	CON3-CON059
	INT23	CON3-CON058
	INT24	CON3-CON057
	INT25	CON3-CON056
	INT26	CON3-CON055
	INT27	CON3-CON054
	INT28	CON3-CON053
	INT29	CON3-CON052
	INT30	CON3-CON051
	INT31	CON3-CON050
	INT32	CON3-CON049
	INT33	CON3-CON048
	INT34	CON3-CON047
	INT35	CON3-CON046
	INT36	CON3-CON045
	INT37	CON3-CON044
	INT38	CON3-CON043
	INT39	CON3-CON042
	INT40	CON3-CON041
	INT41	CON3-CON040
	INT42	CON3-CON039
	INT43	CON3-CON038
	INT44	CON3-CON037
	INT45	CON3-CON036
	INT46	CON3-CON035
	INT47	CON3-CON034
	INT48	CON3-CON033
	INT49	CON3-CON032
	INT50	CON3-CON031
	INT51	CON3-CON030
	INT52	CON3-CON029
	INT53	CON3-CON028
	INT54	CON3-CON027
	INT55	CON3-CON026
	INT56	CON3-CON025
	INT57	CON3-CON024
	INT58	CON3-CON023

NB85E端子とUDLコネクタの対応 (6/6)

NB85E端子		PIN No.
INTC用端子	INT59	CON3-CON022
	INT60	CON3-CON021
	INT61	CON3-CON020
	INT62	CON3-CON019
	INT63	CON3-CON018

注意 次の端子は、エミュレータではサポートしていません。

VFB用端子, VDB用端子, 命令キャッシュ用端子, データ・キャッシュ用端子, RCU用端子, 周辺エパッチ・モード用端子, 動作モード設定用端子, テスト・モード用端子, VSB用端子 (NB85E500/NU85E502使用時のみ)

C. 4 NB85E500端子とCON1-CON3の対応表

NB85E500端子とCON1-CON3の対応 (1/3)

NB85E500端子	PIN No.	
外部メモリ接続用端子	A0	CON1-CON055
	A1	CON2-CON055
	A2	CON1-CON054
	A3	CON2-CON054
	A4	CON1-CON053
	A5	CON2-CON053
	A6	CON1-CON052
	A7	CON2-CON052
	A8	CON1-CON051
	A9	CON2-CON051
	A10	CON1-CON050
	A11	CON2-CON050
	A12	CON1-CON049
	A13	CON2-CON049
	A14	CON1-CON046
	A15	CON2-CON046
	A16	CON1-CON045
	A17	CON2-CON045
	A18	CON1-CON044
	A19	CON2-CON044
	A20	CON1-CON043
	A21	CON2-CON043
	A22	CON1-CON042
	A23	CON2-CON042
	A24	CON1-CON041
	A25	CON2-CON041
	D0	CON1-CON024
	D1	CON2-CON024
	D2	CON1-CON023
	D3	CON2-CON023
D4	CON1-CON022	
D5	CON2-CON022	
D6	CON1-CON021	
D7	CON2-CON021	
D8	CON1-CON020	
D9	CON2-CON020	
D10	CON1-CON019	
D11	CON2-CON019	
D12	CON1-CON018	
D13	CON2-CON018	
D14	CON1-CON017	

NB85E500端子とCON1-CON3の対応 (2/3)

NB85E500端子		PIN No.
外部メモリ接続用端子	D15	CON2-CON017
	D16	CON1-CON014
	D17	CON2-CON014
	D18	CON1-CON013
	D19	CON2-CON013
	D20	CON1-CON012
	D21	CON2-CON012
	D22	CON1-CON011
	D23	CON2-CON011
	D24	CON1-CON010
	D25	CON2-CON010
	D26	CON1-CON009
	D27	CON2-CON009
	D28	CON1-CON008
	D29	CON2-CON008
	D30	CON1-CON007
	D31	CON2-CON007
	RDZ	CON1-CON030
	WRZ0	CON1-CON032
	WRZ1	CON2-CON032
	WRZ2	CON1-CON031
	WRZ3	CON2-CON031
	IORDZ ^{注1}	CON2-CON061
	IOWRZ ^{注1}	CON1-CON062
	WAITZ	CON1-CON037
	HLDQRZ	CON2-CON036
	HLDKZ	CON1-CON036
	DC0	- ^{注2}
	DC1	- ^{注2}
	DC2	- ^{注2}
	DC3	- ^{注2}
	CSZ0	CON1-CON063
	CSZ1	CON2-CON063
	CSZ2 ^{注1}	CON1-CON062
	CSZ3	CON2-CON062
	CSZ4	CON1-CON061
	CSZ5 ^{注1}	CON2-CON061
	CSZ6	CON1-CON060
	CSZ7	CON2-CON060
	BENZ0	- ^{注2}
BENZ1	- ^{注2}	

注1. CS5ZとIORDZ, CS2ZとIOWRZは排他的にしか使用できません。

2. 対応する端子がエミュレータに存在しないことを示します。

NB85E500端子とCON1-CON3の対応 (3/3)

NB85E500端子		PIN No.
外部メモリ接続用端子	BENZ2	- 注
	BENZ3	- 注
	BCYSTZ	CON2-CON029
	REFRQZ	CON1-CON035
	SELFREF	CON2-CON035
	SDCLK	CON2-CON065

注 対応する端子がエミュレータに存在しないことを示します。

注意 次の端子は、エミュレータではサポートしていません。

NB85E接続用端子, 初期設定用端子, NU85E502接続用端子, テスト・モード用端子

C. 5 NU85E502端子とCON1-CON3の対応表

NU85E502端子とCON1-CON3の対応 (1/2)

NU85E502端子	PIN No.	
外部メモリ接続用端子	A0	CON1-CON055
	A1	CON2-CON055
	A2	CON1-CON054
	A3	CON2-CON054
	A4	CON1-CON053
	A5	CON2-CON053
	A6	CON1-CON052
	A7	CON2-CON052
	A8	CON1-CON051
	A9	CON2-CON051
	A10	CON1-CON050
	A11	CON2-CON050
	A12	CON1-CON049
	A13	CON2-CON049
	A14	CON1-CON046
	A15	CON2-CON046
	A16	CON1-CON045
	A17	CON2-CON045
	A18	CON1-CON044
	A19	CON2-CON044
	A20	CON1-CON043
	A21	CON2-CON043
	A22	CON1-CON042
	A23	CON2-CON042
	A24	CON1-CON041
	A25	CON2-CON041
	D0	CON1-CON024
	D1	CON2-CON024
	D2	CON1-CON023
	D3	CON2-CON023
D4	CON1-CON022	
D5	CON2-CON022	
D6	CON1-CON021	
D7	CON2-CON021	
D8	CON1-CON020	
D9	CON2-CON020	
D10	CON1-CON019	
D11	CON2-CON019	
D12	CON1-CON018	
D13	CON2-CON018	
D14	CON1-CON017	

NU85E502端子とCON1-CON3の対応 (2/2)

NU85E502端子	PIN No.	
外部メモリ接続用端子	D15	CON2-CON017
	D16	CON1-CON014
	D17	CON2-CON014
	D18	CON1-CON013
	D19	CON2-CON013
	D20	CON1-CON012
	D21	CON2-CON012
	D22	CON1-CON011
	D23	CON2-CON011
	D24	CON1-CON010
	D25	CON2-CON010
	D26	CON1-CON009
	D27	CON2-CON009
	D28	CON1-CON008
	D29	CON2-CON008
	D30	CON1-CON007
	D31	CON2-CON007
	SDRASZ	CON2-CON064
	SDCASZ	CON1-CON064
	SDWEZ	CON2-CON030
	CKE	CON1-CON065
	DQM0	CON1-CON032
	DQM1	CON2-CON032
	DQM2	CON1-CON031
	DQM3	CON2-CON031

注意 次の端子は、エミュレータではサポートしていません。

NB85E接続用端子, NB85E500接続用端子, テスト・モード用端子

★

付録D UDLインタフェース電気的特性

本製品をIE-V850E-MC-Aに接続したときのUDLインタフェースの電気的特性です。

V_{DD}については、エミュレータ本体から3.3 V ± 10 %の電圧が供給されます。

絶対最大定格 (T_A = 25)

項目	略号	条件	定格	単位
電源電圧 (エミュレータ)	V _{DD}		- 0.5 ~ + 4.6	V
電源電圧 (ターゲット端子)	TV _{DD}		- 0.5 ~ + 4.6	V
入力電圧	V _{I1}	V _{DD} = 3.0 V ~ 3.6 V	- 0.5 ~ V _{DD} + 0.5	V
クロック入力電圧	V _K	V _{DD} = 3.0 V ~ 3.6 V	- 0.5 ~ V _{DD} + 1.0	V
ロウ・レベル出力電流	I _{OL}	1端子	40	mA
		全端子合計	400	mA
ハイ・レベル出力電流	I _{OH}	1端子	- 40	mA
		全端子合計	- 400	mA
出力電圧	V _O	V _{DD} = 3.0 V ~ 3.6 V	- 0.5 ~ V _{DD} + 0.5	V
動作周囲温度	T _A		0 ~ + 45	

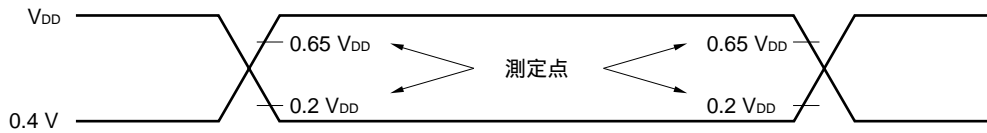
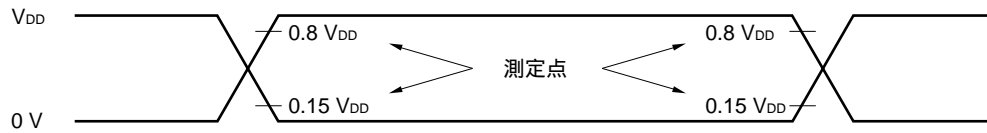
容量 (T_A = 25 , V_{DD} = V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C _I	f _c = 1 MHz			10	pF
入出力容量	C _{IO}	被測定ピン以外は0 V			10	pF
出力容量	C _O				10	pF

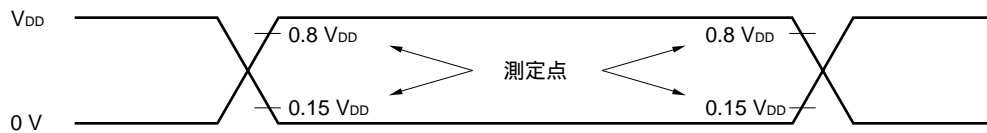
DC特性 (T_A = - 40 ~ + 85 , V_{DD} = 3.0 V ~ 3.6 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH}		0.65 V _{DD}		V _{DD} + 0.3	V
ロウ・レベル入力電圧	V _{IL}		- 0.5		0.2 V _{DD}	V
ハイ・レベル・クロック入力電圧	V _{XH}	X1端子	0.8 V _{DD}		V _{DD} + 0.3	V
ロウ・レベル・クロック入力電圧	V _{XL}	X1端子	- 0.3		0.15 V _{DD}	V
ハイ・レベル出力電圧	V _{OH}	I _{OH} = - 2 mA	V _{DD} - 0.2			V
ロウ・レベル出力電圧	V _{OL}	I _{OL} = 10 mA			0.4	V
ハイ・レベル入力リーク電流	I _{LIH}	V _I = V _{DD}			10	μA
ロウ・レベル入力リーク電流	I _{LIL}	V _I = 0 V			- 10	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD} - 0.4 V			10	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0.4 V			- 10	μA
ハイ・レベル出力電流	I _{OH}	V _O = V _{DD} - 0.4 V			2	mA
ロウ・レベル出力電流	I _{OL}	V _O = 0.4 V			- 12	mA

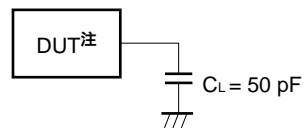
備考 TYP.値はT_A = 25 , V_{DD} = 3.3 Vのときの参考値です。

ACテスト入力波形 ($\overline{\text{RESET}}$ 以外)ACテスト入力波形 ($\overline{\text{RESET}}$)

ACテスト出力測定点



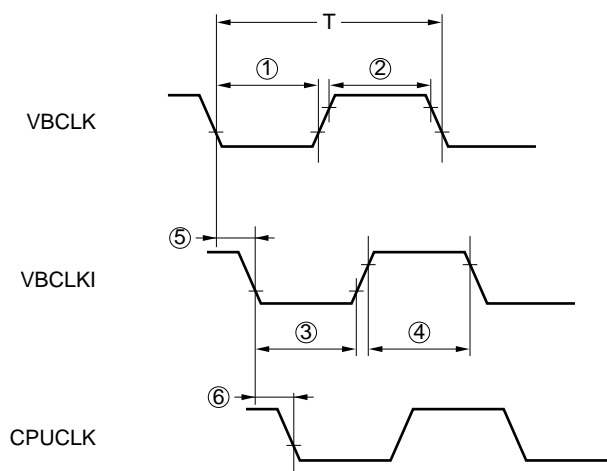
負荷条件



注 DUTは測定デバイスです。

注意 回路構成が原因で負荷容量が50 pFを超えた場合、バッファを使用してこのデバイスの負荷容量を50 pF以下に維持する必要があります。

クロック・タイミング

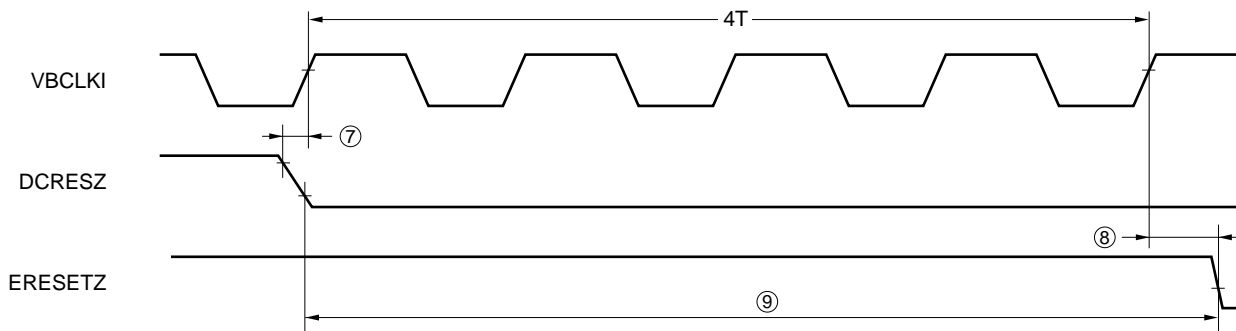


クロック・タイミング (TA = 0 ~ 40 , 出力端子の負荷容量CL = 50 pF)

項目	略号	MIN.	MAX.	単位
VBCLKロウ・レベル幅	twKIL	11		ns
VBCLKハイ・レベル幅	twKIH	11		ns
VBCLKIロウ・レベル幅	twKOL	11		ns
VBCLKIハイ・レベル幅	twKOH	11		ns
VBCLKI遅延時間 (対VBCLK)	tCLD1		18	ns
CPUCLK遅延時間 (対VBCLKI)	tCLD2		10	ns

備考 CPUCLK : エバチップ内部で使用されるクロック

リセット・タイミング

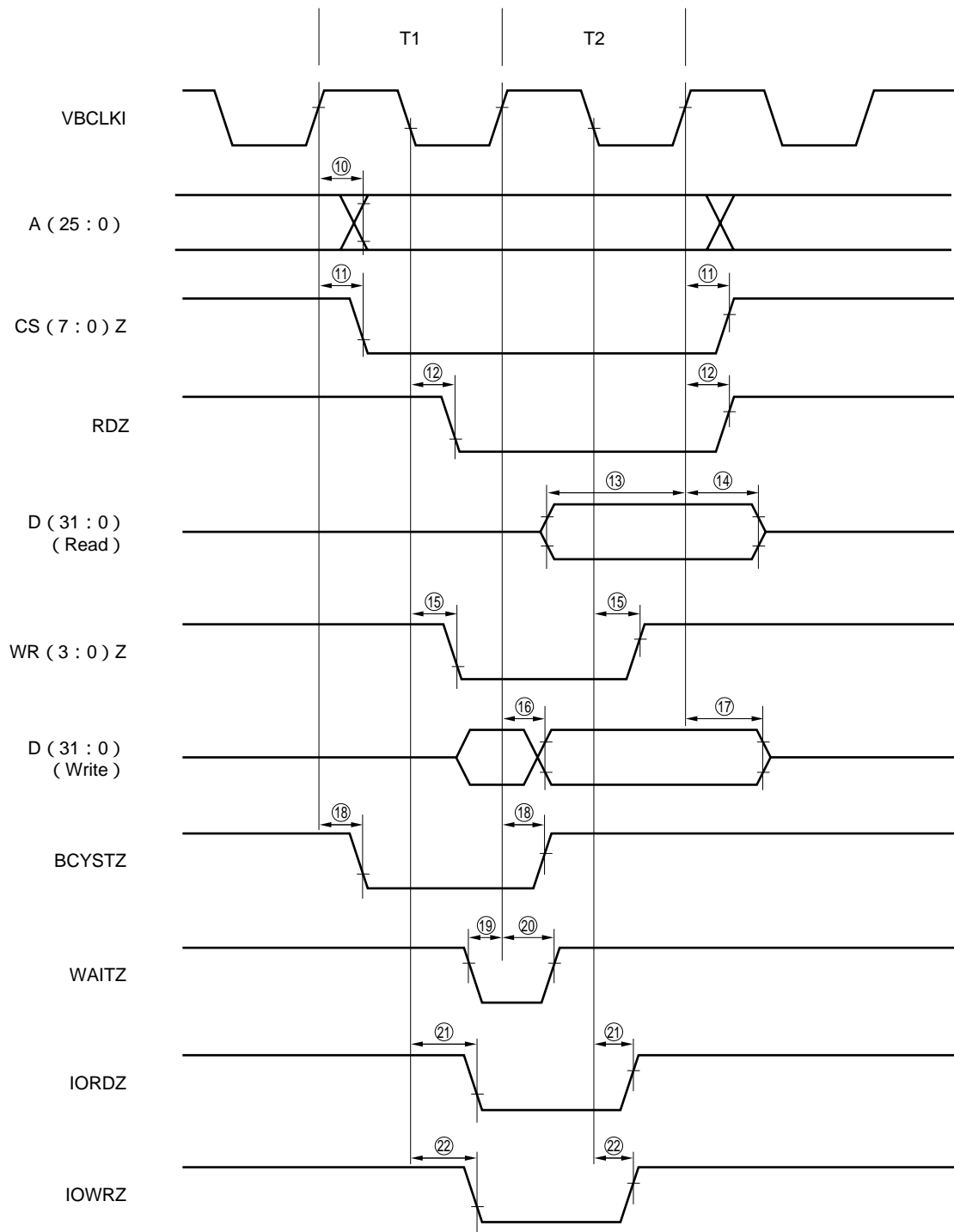


ERESETZタイミング (TA = 0 ~ 40 , 出力端子の負荷容量CL = 50 pF)

項目	略号	非同期		同期		単位
		MIN.	MAX.	対VBCLKI		
				MIN.	MAX.	
DCRESZセットアップ (対VBCLKI)	tSKRST			12	17	ns
ERESETZ遅延時間 (対VBCLKI)	tDKERST			12	17	ns
ERESETZ遅延時間 (対DCRESZ)	tDRST	4T-5	17			ns

ターゲット・インタフェース

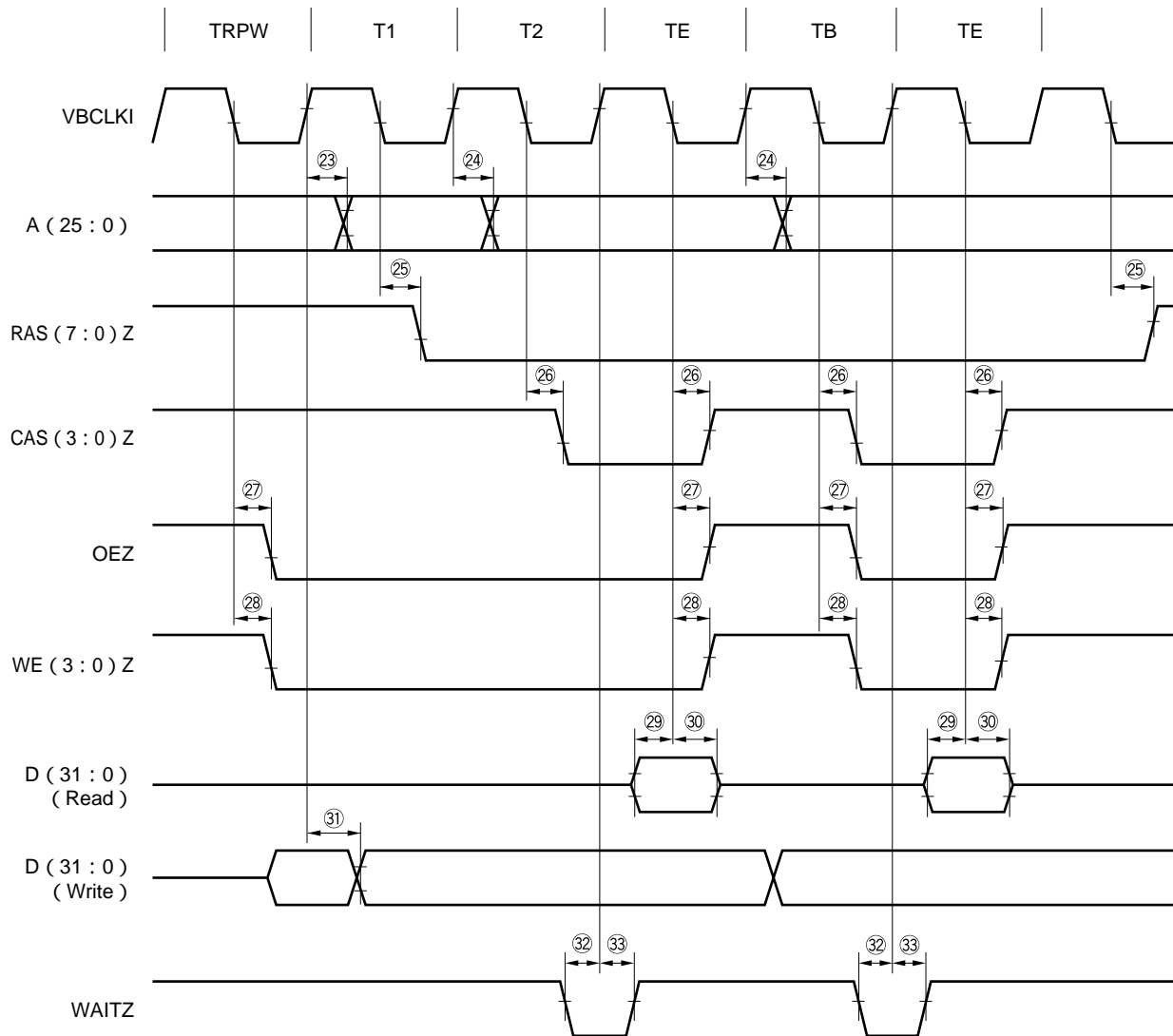
SRAM/ページROMサイクル (バス・モード以外)



SRAM / ページROM サイクル ($T_A = 0 \sim 40$, 出力端子の負荷容量 $C_L = 50$ pF)

項 目	略 号		同 期		単 位
			対VBCLKI		
			MIN.	MAX.	
A (25:0) 遅延時間 (対VBCLKI)	t _{AD}	⑩		18	ns
CS (7:0) Z遅延時間 (対VBCLKI)	t _{CSZD}	⑪		18	ns
RDZ遅延時間 (対VBCLKI)	t _{RDZD}	⑫		13	ns
D (31:0) セットアップ時間 (対VBCLKI)	t _{DS}	⑬	- 15		ns
D (31:0) ホールド時間 (対VBCLKI)	t _{DH}	⑭	11		ns
WR (3:0) Z遅延時間 (対VBCLKI)	t _{WRZD}	⑮		13	ns
D (31:0) 遅延時間1 (対VBCLKI)	t _{DD1}	⑯		26	ns
D (31:0) 遅延時間2 (対VBCLKI)	t _{DD2}	⑰		23	ns
BCYSTZ遅延時間 (対VBCLKI)	t _{BCYD}	⑱		13	ns
WAITZセットアップ時間 (対VBCLKI)	t _{WTS}	⑲	- 7		ns
WAITZホールド時間 (対VBCLKI)	t _{WTH}	⑳	11		ns
IORZ遅延時間 (対VBCLKI)	t _{IORD}	㉑		13	ns
IOWRZ遅延時間 (対VBCLKI)	t _{IOWR}	㉒		13	ns

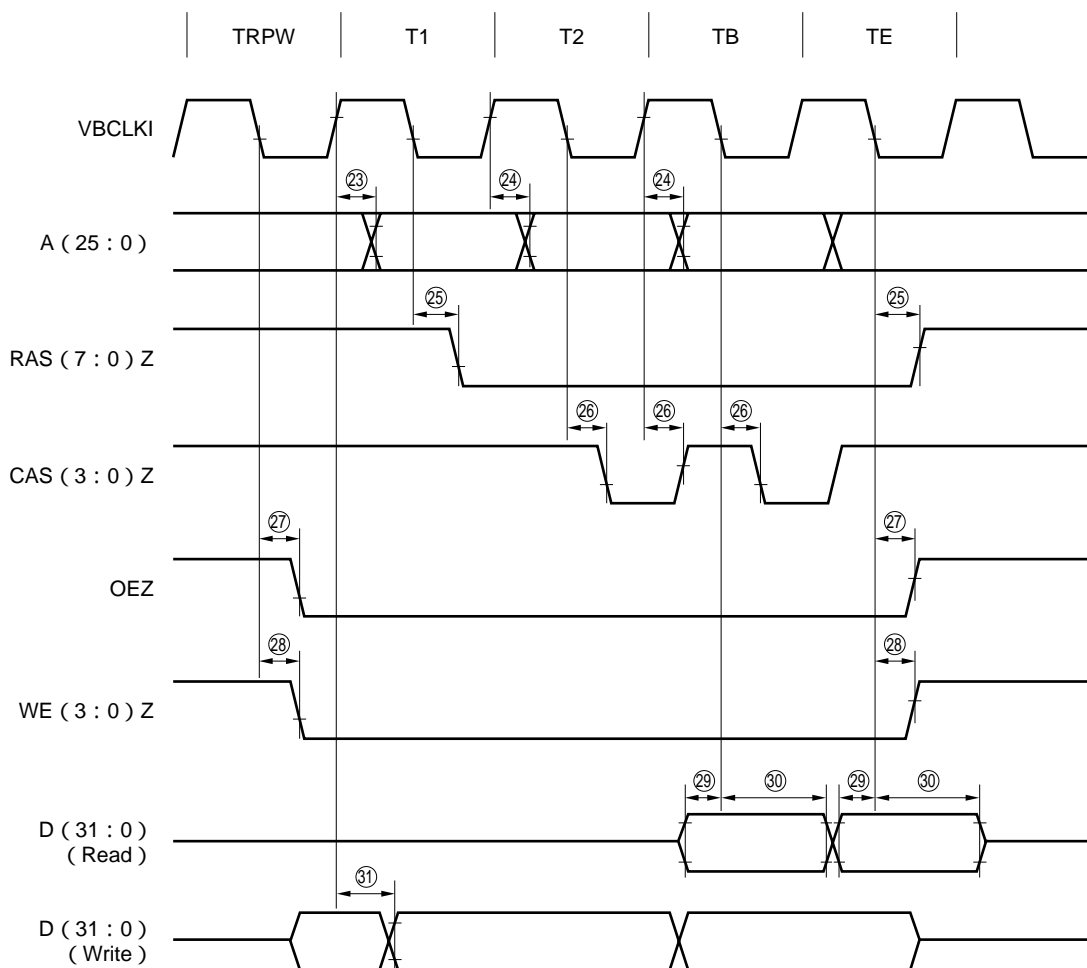
DRAMサイクル (ファースト・ページ)



DRAMサイクル (ファースト・ページ) ($T_A = 0 \sim 40$, 出力端子の負荷容量 $C_L = 50$ pF)

項目	略号		同期		単位
			対VBCLKI		
			MIN.	MAX.	
ロウ・アドレス遅延時間 (対VBCLKI)	t_{RAD}	②③		17	ns
カラム・アドレス遅延時間 (対VBCLKI)	t_{CAD}	②④		17	ns
RAS (7:0) Z遅延時間 (対VBCLKI)	t_{RASD}	②⑤		13	ns
CAS (3:0) Z遅延時間 (対VBCLKI)	t_{CASD}	②⑥		14	ns
OEZ遅延時間 (対VBCLKI)	t_{OED}	②⑦		13	ns
WE (3:0) Z遅延時間 (対VBCLKI)	t_{WED}	②⑧		13	ns
D (31:0) セットアップ時間 (対VBCLKI)	t_{DS3}	②⑨	- 13		ns
D (31:0) ホールド時間 (対VBCLKI)	t_{DH3}	③⑩	11		ns
D (31:0) 遅延時間1 (対VBCLKI)	t_{DD1}	③⑪		26	ns
WAITZセットアップ時間 (対VBCLKI)	t_{WTS}	③⑫	- 7		ns
WAITZホールド時間 (対VBCLKI)	t_{WTH}	③⑬	11		ns

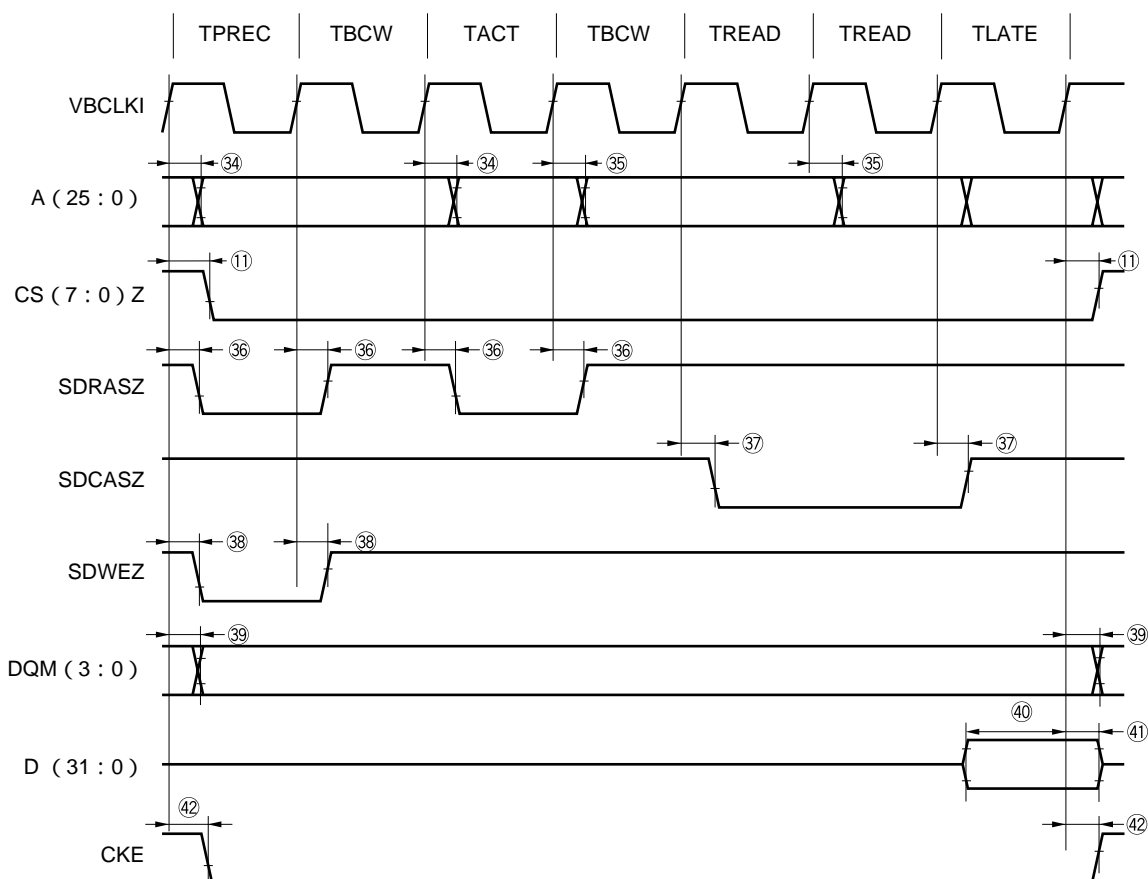
DRAMサイクル (ハイパー・ページ (EDO))



DRAMサイクル (ハイパー・ページ (EDO)) (TA = 0 ~ 40 , 出力端子の負荷容量CL = 50 pF)

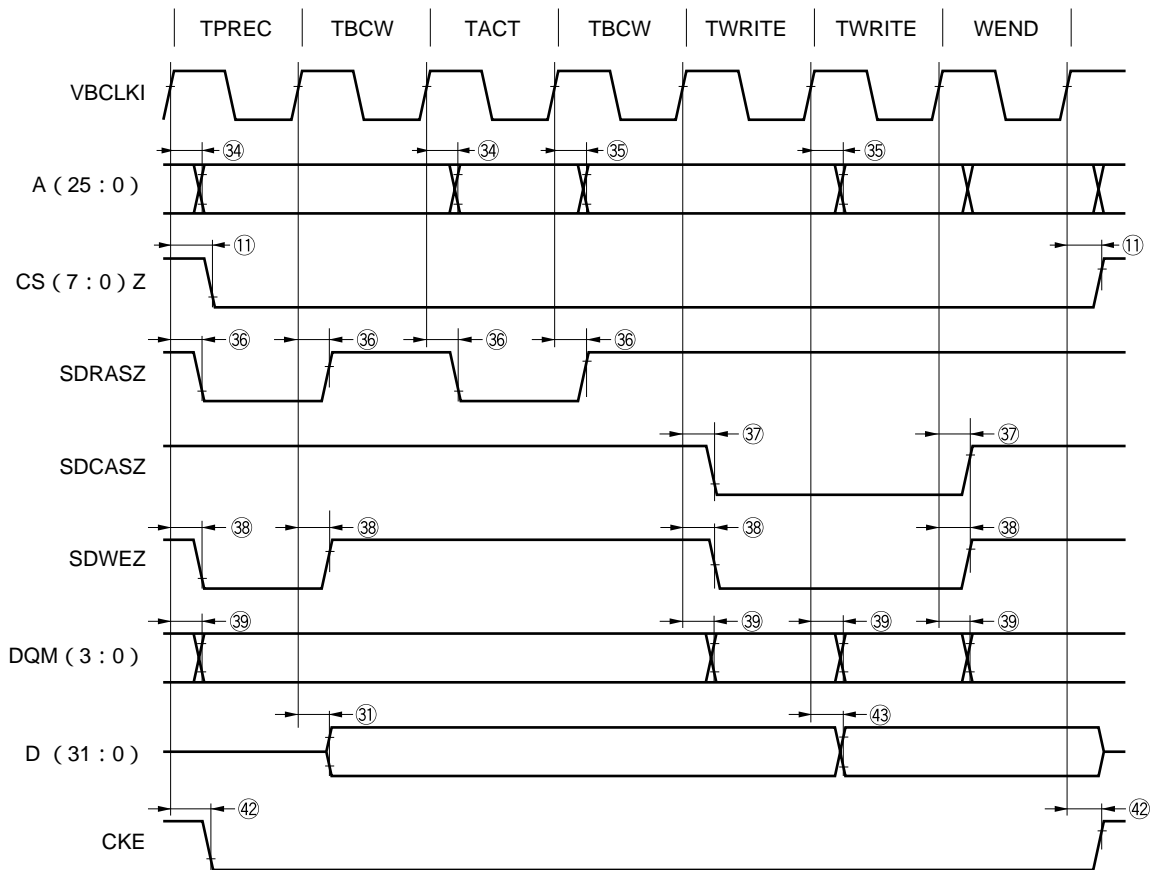
項目	略号	同期		単位
		対VBCLKI		
		MIN.	MAX.	
ロウ・アドレス遅延時間 (対VBCLKI)	tRAD	②③	17	ns
カラム・アドレス遅延時間 (対VBCLKI)	tCAD	②④	17	ns
RAS (7:0) Z遅延時間 (対VBCLKI)	tRASD	②⑤	13	ns
CAS (3:0) Z遅延時間 (対VBCLKI)	tCASD	②⑥	14	ns
OEZ遅延時間 (対VBCLKI)	toED	②⑦	13	ns
WE (3:0) Z遅延時間 (対VBCLKI)	twED	②⑧	13	ns
D (31:0) セットアップ時間 (対VBCLKI)	tdS3	②⑨	- 13	ns
D (31:0) ホールド時間 (対VBCLKI)	tdH3	③⑩	11	ns
D (31:0) 遅延時間1 (対VBCLKI)	tdD1	③⑪	26	ns

SDRAMサイクル (リード)

SDRAMサイクル (リード) ($T_A = 0 \sim 40$, 出力端子の負荷容量 $C_L = 50$ pF)

項目	略号	同期		単位	
		対VBCLKI			
		MIN.	MAX.		
ロウ・アドレス遅延時間 (対VBCLKI)	t_{SDRAD}	③④	14	21	ns
カラム・アドレス遅延時間 (対VBCLKI)	t_{SDCAD}	③⑤	14	21	ns
CS (7:0) Z遅延時間 (対VBCLKI)	t_{CSZD}	①①		18	ns
SDRASZ遅延時間 (対VBCLKI)	t_{SRD}	③⑥	11.5	13	ns
SDCASZ遅延時間 (対VBCLKI)	t_{SCD}	③⑦	11.5	13	ns
SDWEZ遅延時間 (対VBCLKI)	t_{SWD}	③⑧	11.5	13	ns
DQM (3:0) 遅延時間 (対VBCLKI)	t_{DQD}	③⑨	11.5	13	ns
D (31:0) セットアップ時間 (対VBCLKI)	t_{DS4}	④⑩	0.5		ns
D (31:0) ホールド時間 (対VBCLKI)	t_{DH4}	④⑪	11		ns
CKE遅延時間 (対VBCLKI)	t_{CKED}	④⑫	11.5	13	ns

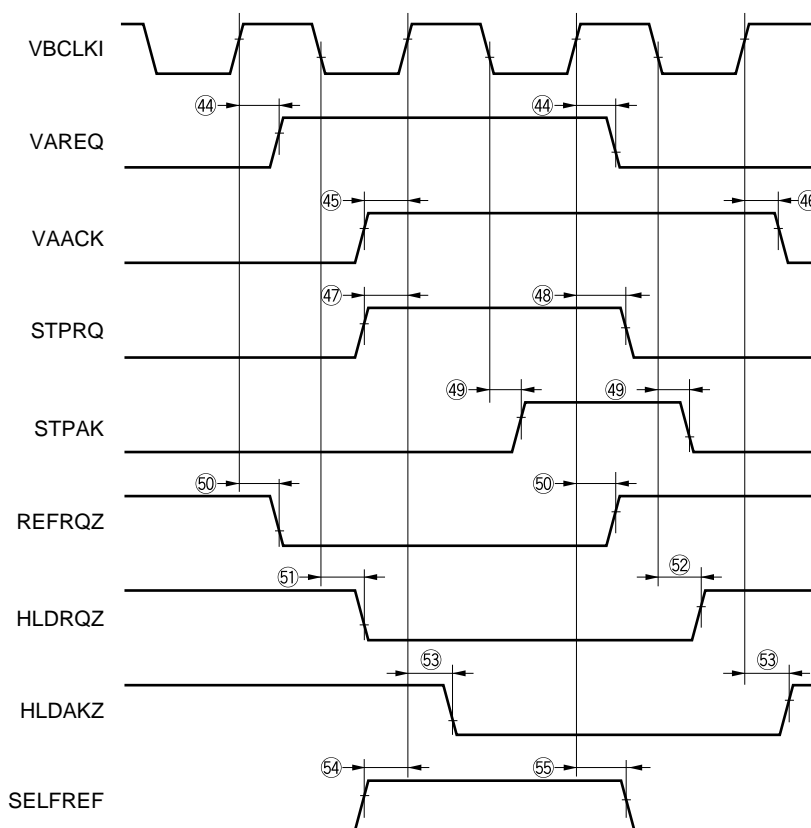
SDRAMサイクル (ライト)



SDRAMサイクル (ライト) (TA = 0 ~ 40 , 出力端子の負荷容量CL = 50 pF)

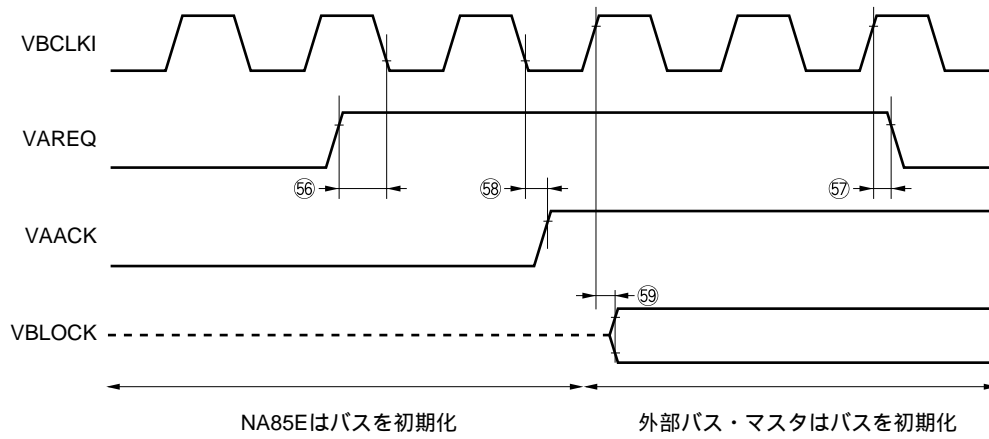
項目	略号		同期		単位
			対VBCLKI		
			MIN.	MAX.	
ロウ・アドレス遅延時間 (対VBCLKI)	t _{SDRAD}	③④	14	21	ns
カラム・アドレス遅延時間 (対VBCLKI)	t _{SDCAD}	③⑤	14	21	ns
CS (7 : 0) Z遅延時間 (対VBCLKI)	t _{CSZD}	①①		18	ns
SDRASZ遅延時間 (対VBCLKI)	t _{SRD}	③⑥	11.5	13	ns
SDCASZ遅延時間 (対VBCLKI)	t _{SCD}	③⑦	11.5	13	ns
SDWEZ遅延時間 (対VBCLKI)	t _{SWD}	③⑧	11.5	13	ns
DQM (3 : 0) 遅延時間 (対VBCLKI)	t _{DQD}	③⑨	11.5	13	ns
D (31 : 0) 遅延時間1 (対VBCLKI)	t _{DD1}	③①		26	ns
D (31 : 0) 遅延時間2 (対VBCLKI)	t _{DD2}	④③		23	ns
CKE遅延時間 (対VBCLKI)	t _{CKED}	④②	11.5	13	ns

バス・アービトレーション・インタフェース

バス・アービトレーション・インタフェース ($T_A = 0 \sim 40$, 出力端子の負荷容量 $C_L = 50$ pF)

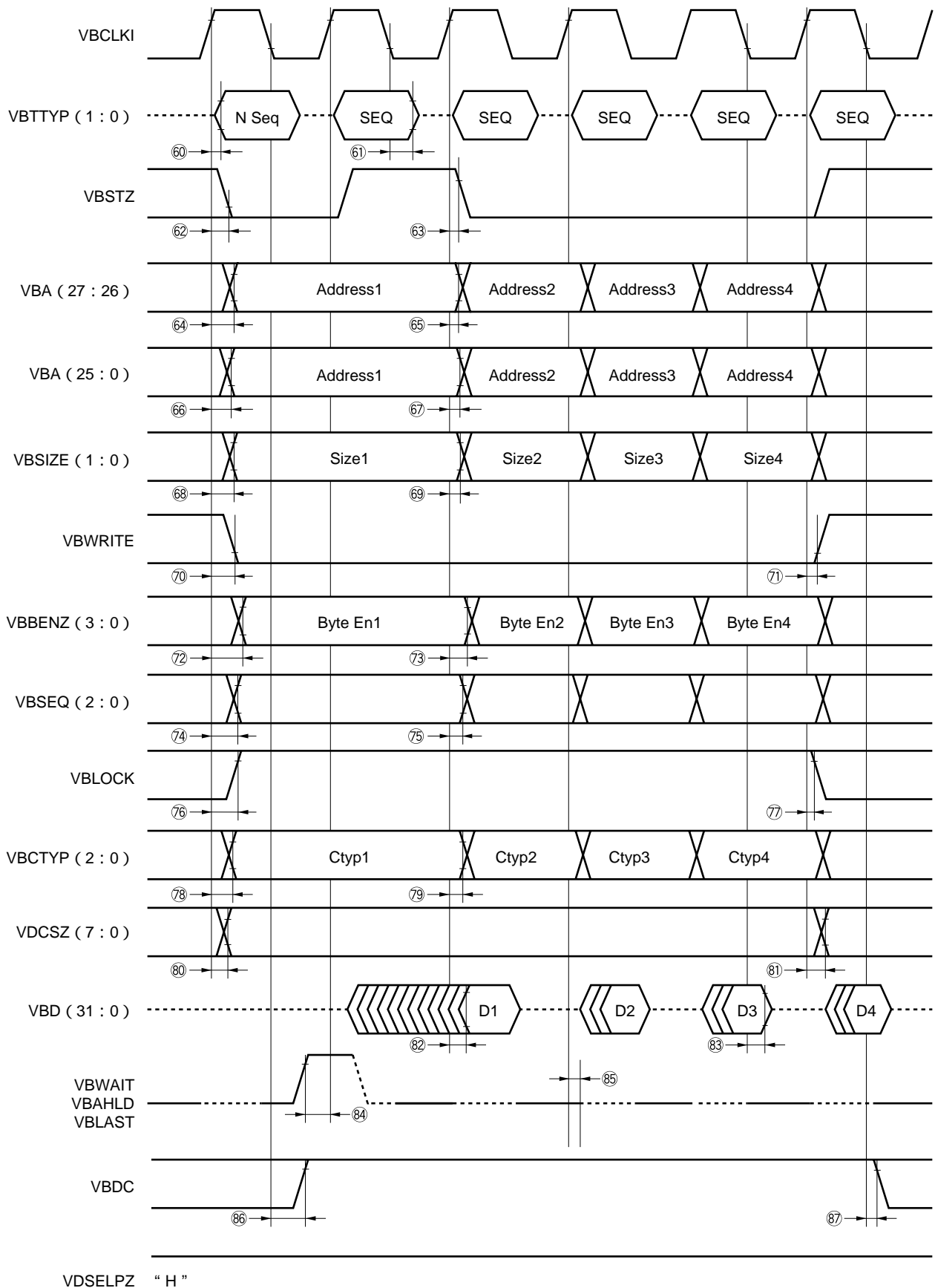
項目	略号	同期		単位
		対VBCLKI		
		MIN.	MAX.	
VAREQ遅延時間 (対VBCLKI)	t _{ARQD}	(44)	12	ns
VAACKセットアップ時間 (対VBCLKI)	t _{AKS}	(45)	- 8	ns
VAACKホールド時間 (対VBCLKI)	t _{AKH}	(46)	11	ns
STPRQセットアップ時間 (対VBCLKI)	t _{STRQS}	(47)	- 8	ns
STPRQホールド時間 (対VBCLKI)	t _{STRQH}	(48)	11	ns
STPAK遅延時間 (対VBCLKI)	t _{STAKD}	(49)	12	ns
REFRQZ遅延時間 (対VBCLKI)	t _{REROD}	(50)	12	ns
HLDRQZセットアップ時間 (対VBCLKI)	t _{HLRQS}	(51)	- 8	ns
HLDRQZホールド時間 (対VBCLKI)	t _{HLRQH}	(52)	11	ns
HLDKZ遅延時間 (対VBCLKI)	t _{HLAKD}	(53)	12	ns
SELFREFセットアップ時間 (対VBCLKI)	t _{SLRFS}	(54)	- 8	ns
SELFREFホールド時間 (対VBCLKI)	t _{SLRFH}	(55)	11	ns

SOCインタフェース VSBアービトレーション・タイミング

SOCインタフェース VSBアービトレーション・タイミング ($T_A = 0 \sim 40$, 出力端子の負荷容量 $C_L = 50$ pF)

項目	略号	同期		単位	
		対VBCLKI			
		MIN.	MAX.		
VAREQセットアップ時間 (対VBCLKI)	t _{SKQ}	⑤⑥	- 6	ns	
VAREQホールド時間 (対VBCLKI)	t _{HKQ}	⑤⑦	13	ns	
VAACK遅延時間 (対VBCLKI)	t _{DKACK}	⑤⑧	12	17	ns
VBLOCK遅延時間 (対VBCLKI)	t _{DKBLOCK}	⑤⑨	12	17	ns

VSBMスタ・リード・タイミング

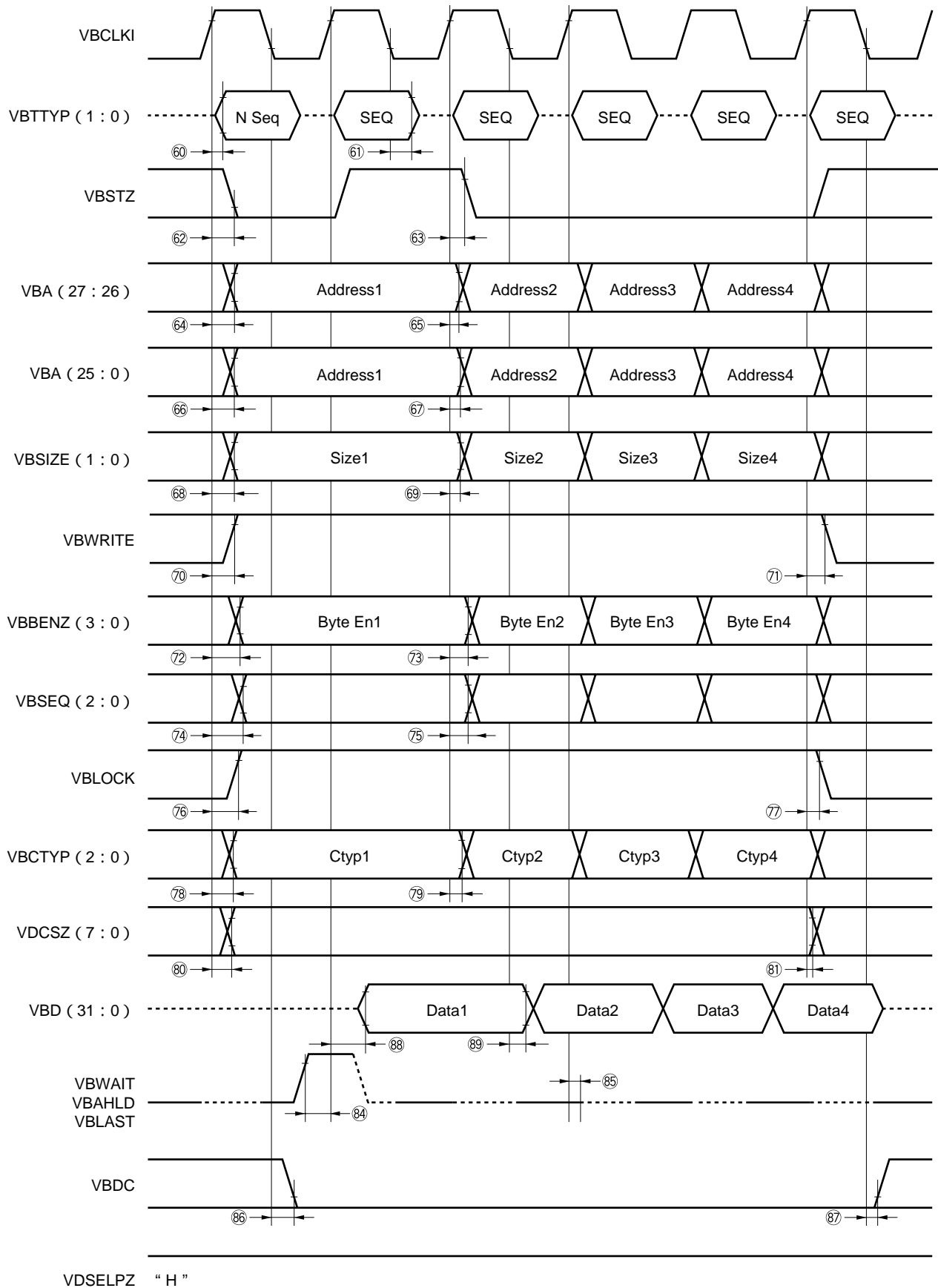


VDSELPZ "H"

VSBマスタ・リード・タイミング ($T_A = 0 \sim 40$, 出力端子の負荷容量 $C_L = 50$ pF)

項目	略号		同期		単位
			対VBCLKI		
			MIN.	MAX.	
VBTTYP (1:0) 遅延時間 (対VBCLKI)	tDKT1	⑥0	12	17	ns
VBTTYP (1:0) ホールド時間 (対VBCLKI)	tHKT1	⑥1	11		ns
VBSTZ遅延時間 (対VBCLKI)	tDKT2	⑥2	12	17	ns
VBSTZホールド時間 (対VBCLKI)	tHKT2	⑥3	11		ns
VBA (27:26) 遅延時間 (対VBCLKI)	tDKA1	⑥4	19.5	24.5	ns
VBA (27:26) ホールド時間 (対VBCLKI)	tHKA1	⑥5	18.5		ns
VBA (25:0) 遅延時間 (対VBCLKI)	tDKA2	⑥6	12	17	ns
VBA (25:0) ホールド時間 (対VBCLKI)	tHKA2	⑥7	11		ns
VBSIZE (1:0) 遅延時間 (対VBCLKI)	tDKS1	⑥8	12	17	ns
VBSIZE (1:0) ホールド時間 (対VBCLKI)	tHKS1	⑥9	11		ns
VBWRITE遅延時間 (対VBCLKI)	tDKS2	⑦0	12	17	ns
VBWRITEホールド時間 (対VBCLKI)	tHKS2	⑦1	11		ns
VBBENZ (3:0) 遅延時間 (対VBCLKI)	tDKS3	⑦2	12	17	ns
VBBENZ (3:0) ホールド時間 (対VBCLKI)	tHKS3	⑦3	11		ns
VBSEQ (2:0) 遅延時間 (対VBCLKI)	tDKS4	⑦4	12	17	ns
VBSEQ (2:0) ホールド時間 (対VBCLKI)	tHKS4	⑦5	11		ns
VBLOCK遅延時間 (対VBCLKI)	tDKS5	⑦6	12	17	ns
VBLOCKホールド時間 (対VBCLKI)	tHKS5	⑦7	11		ns
VBCTYP (2:0) 遅延時間 (対VBCLKI)	tDKS6	⑦8	12	17	ns
VBCTYP (2:0) ホールド時間 (対VBCLKI)	tHKS6	⑦9	11		ns
VDCSZ (7:0) 遅延時間 (対VBCLKI)	tDKC	⑧0	12	17	ns
VDCSZ (7:0) ホールド時間 (対VBCLKI)	tHKC	⑧1	11		ns
VBD (31:0) セットアップ時間 (対VBCLKI)	tSKD	⑧2	2		ns
VBD (31:0) ホールド時間 (対VBCLKI)	tHKDI	⑧3	13		ns
VBWAITセットアップ時間 (対VBCLKI)	tSKW	⑧4	- 6		ns
VBWAITホールド時間 (対VBCLKI)	tHKW	⑧5	13		ns
VBAHLDセットアップ時間 (対VBCLKI)	tSKW	⑧4	- 6		ns
VBAHLDホールド時間 (対VBCLKI)	tHKW	⑧5	13		ns
VBLASTセットアップ時間 (対VBCLKI)	tSKW	⑧4	- 6		ns
VBLASTホールド時間 (対VBCLKI)	tHKW	⑧5	13		ns
VBDC遅延時間 (対VBCLKI)	tDKS7	⑧6		4.6	ns
VBDCホールド時間 (対VBCLKI)	tHKS7	⑧7	0		ns

VSBマスタ・ライト・タイミング



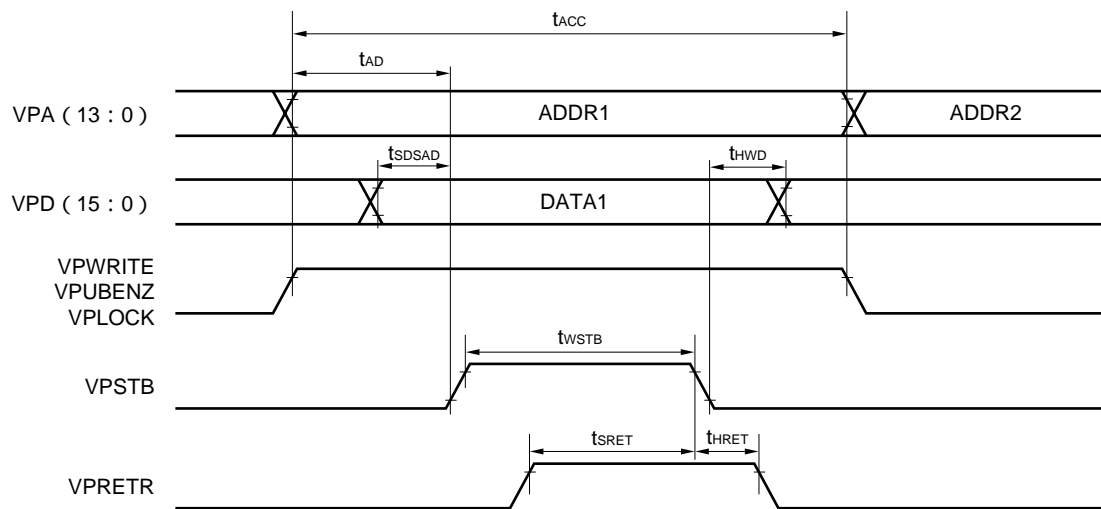
VDSELPZ "H"

VSBマスタ・ライト・タイミング ($T_A = 0 \sim 40$, 出力端子の負荷容量 $C_L = 50$ pF)

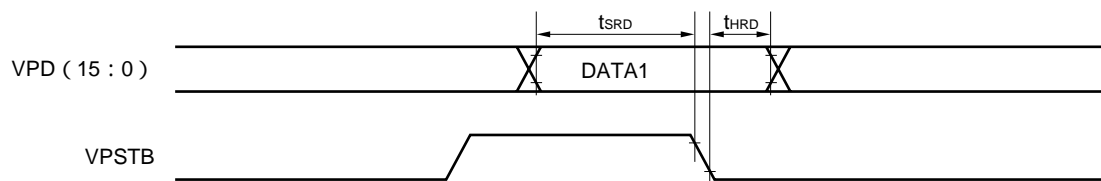
項目	略号		同期		単位
			対VBCLKI		
			MIN.	MAX.	
VBTTYP (1:0) 遅延時間 (対VBCLKI)	tDKT1	⑥0	12	17	ns
VBTTYP (1:0) ホールド時間 (対VBCLKI)	tHKT1	⑥1	11		ns
VBSTZ遅延時間 (対VBCLKI)	tDKT2	⑥2	12	17	ns
VBSTZホールド時間 (対VBCLKI)	tHKT2	⑥3	11		ns
VBA (27:26) 遅延時間 (対VBCLKI)	tDKA1	⑥4	19.5	24.5	ns
VBA (27:26) ホールド時間 (対VBCLKI)	tHKA1	⑥5	18.5		ns
VBA (25:0) 遅延時間 (対VBCLKI)	tDKA2	⑥6	12	17	ns
VBA (25:0) ホールド時間 (対VBCLKI)	tHKA2	⑥7	11		ns
VBSIZE (1:0) 遅延時間 (対VBCLKI)	tDKS1	⑥8	12	17	ns
VBSIZE (1:0) ホールド時間 (対VBCLKI)	tHKS1	⑥9	11		ns
VBWRITE遅延時間 (対VBCLKI)	tDKS2	⑦0	12	17	ns
VBWRITEホールド時間 (対VBCLKI)	tHKS2	⑦1	11		ns
VBBENZ (3:0) 遅延時間 (対VBCLKI)	tDKS3	⑦2	12	17	ns
VBBENZ (3:0) ホールド時間 (対VBCLKI)	tHKS3	⑦3	11		ns
VBSEQ (2:0) 遅延時間 (対VBCLKI)	tDKS4	⑦4	12	17	ns
VBSEQ (2:0) ホールド時間 (対VBCLKI)	tHKS4	⑦5	11		ns
VBLOCK遅延時間 (対VBCLKI)	tDKS5	⑦6	12	17	ns
VBLOCKホールド時間 (対VBCLKI)	tHKS5	⑦7	11		ns
VBCTYP (2:0) 遅延時間 (対VBCLKI)	tDKS6	⑦8	12	17	ns
VBCTYP (2:0) ホールド時間 (対VBCLKI)	tHKS6	⑦9	11		ns
VDCSZ (7:0) 遅延時間 (対VBCLKI)	tDKC	⑧0	12	17	ns
VDCSZ (7:0) ホールド時間 (対VBCLKI)	tHKC	⑧1	11		ns
VBD (31:0) 遅延時間 (対VBCLKI)	tDKD0	⑧8	12	25	ns
VBD (31:0) 遅延時間 (対VBCLKI)	tDKD1	⑧9	12	25	ns
VBWAITセットアップ時間 (対VBCLKI)	tSKW	⑧4	- 6		ns
VBWAITホールド時間 (対VBCLKI)	tHKW	⑧5	13		ns
VBAHLDセットアップ時間 (対VBCLKI)	tSKW	⑧4	- 6		ns
VBAHLDホールド時間 (対VBCLKI)	tHKW	⑧5	13		ns
VBLASTセットアップ時間 (対VBCLKI)	tSKW	⑧4	- 6		ns
VBLASTホールド時間 (対VBCLKI)	tHKW	⑧5	13		ns
VBDC遅延時間 (対VBCLKI)	tDKS7	⑧6		4.6	ns
VBDCホールド時間 (対VBCLKI)	tHKS7	⑧7	0		ns

NPBインタフェース・タイミング

NPBインタフェース・ライト・タイミング



NPBインタフェース・リード・タイミング

NPBインタフェース・タイミング (ライト時) ($T_A = 0 \sim 40$, 出力端子の負荷容量 $C_L = 50$ pF)

項目	略号	MIN.	MAX.	単位
アクセス時間	t_{ACC}	$T - 5$		ns
アドレス・デコード時間	t_{AD}	$T + 0.5T - 5$		ns
VPSTBハイ・レベル幅	t_{WSTB}	$nT + T - 5$ ^注		ns
ライトVPDセットアップ時間 (対VPSTB)	t_{SDSAD}	$0.5T - 2$		ns
ライトVPDホールド時間 (対VPSTB)	t_{HWD}	0		ns
VPRETRセットアップ時間 (対VPSTB)	t_{SRET}	10		ns
VPRETRホールド時間 (対VPSTB)	t_{HRET}	0		ns
リードVPDセットアップ時間	t_{SRD}	10		ns
リードVPDホールド時間	t_{HRD}	0		ns

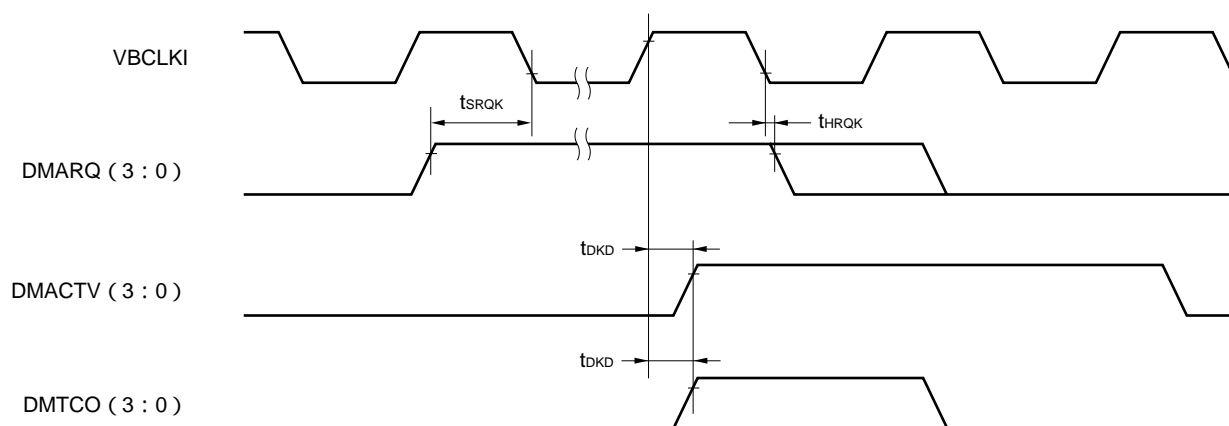
注 動作周波数が ~ 25 MHzのとき $n = 1$

25 ~ 33 MHzのとき $n = 2$

33 ~ 50 MHzのとき $n = 4$

50 ~ 66 MHzのとき $n = 5$

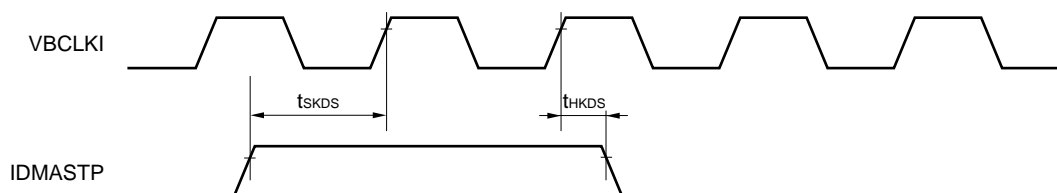
DMA Req/Ackタイミング



DMA Req/Ackタイミング (TA = 0 ~ 40 , 出力端子の負荷容量CL = 50 pF)

項目	略号	同期		単位
		対VBCLKI		
		MIN.	MAX.	
DMARQセットアップ時間 (対VBCLKI)	tsRQK	4		ns
DMARQホールド時間 (対VBCLKI)	tHRQK	3		ns
DMACTV/DMTCO遅延時間 (対VBCLKI)	tDKD	12	17	ns

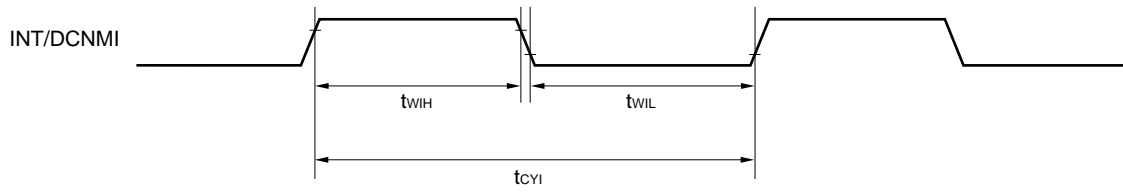
DMA停止要求タイミング



DMA停止要求タイミング (TA = 0 ~ 40 , 出力端子の負荷容量CL = 50 pF)

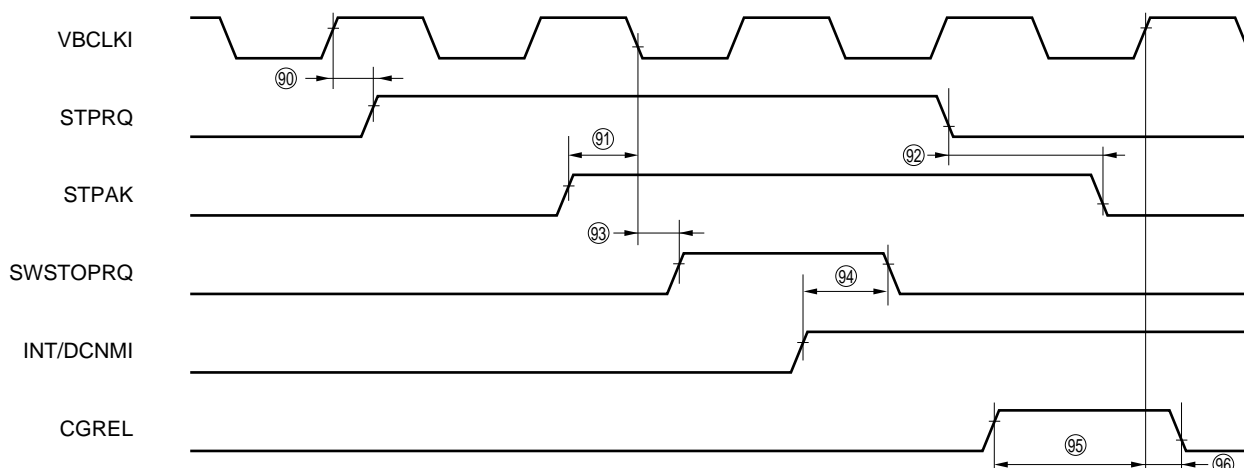
項目	略号	同期		単位
		対VBCLKI		
		MIN.	MAX.	
IDMASTPセットアップ時間 (対VBCLKI)	tSKDS	- 6		ns
IDMASTPホールド時間 (対VBCLKI)	tHKDS	3		ns

INT/NMIリクエスト・タイミング

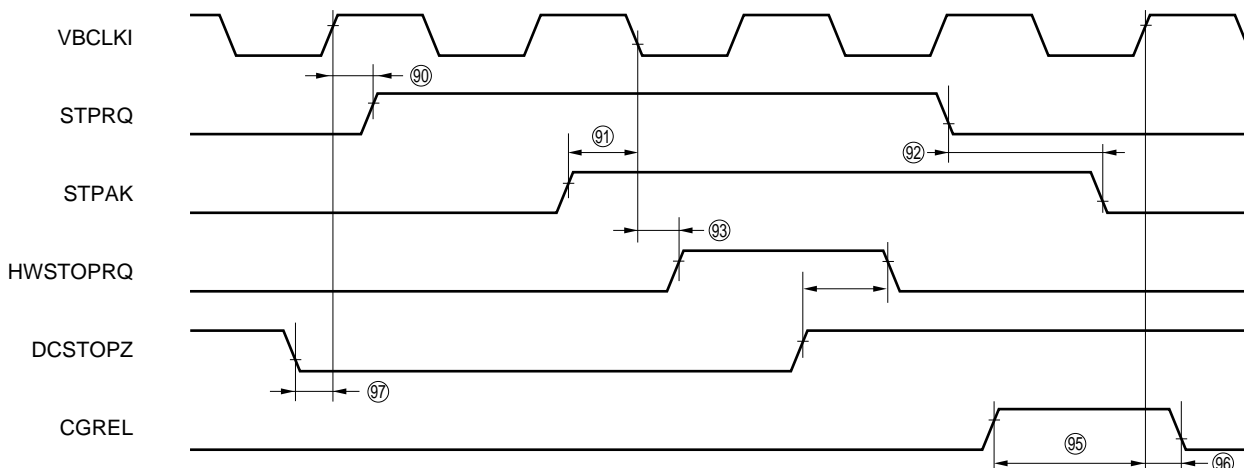
INT/NMIリクエスト・タイミング ($T_A = 0 \sim 40$, 出力端子の負荷容量 $C_L = 50$ pF)

項 目	略 号	同 期		単 位
		MIN.	MAX.	
INT/NMIハイ・レベル幅	t_{WIH}	10		ns
INT/NMIロウ・レベル幅	t_{WIL}	10		ns
INT間隔	t_{CYI}	3T		ns

ソフトウェアSTOPタイミング



ハードウェアSTOPタイミング

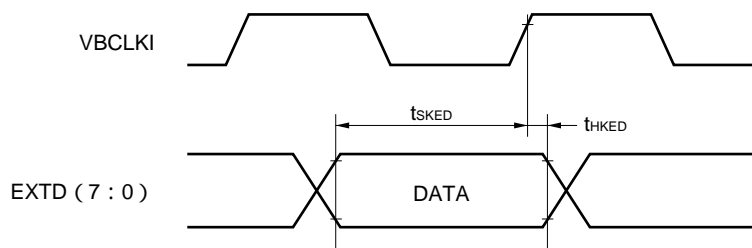


ソフトウェア/ハードウェアSTOPタイミング (TA = 0 ~ 40 , 出力端子の負荷容量CL = 50 pF)

項目	略号	非同期		同期		単位
		MIN.	MAX.	対VBCLKI		
				MIN.	MAX.	
STPRQ遅延時間 (対VBCLKI)	tDKSQ	⑨⑩		12	17	ns
STPAKセットアップ時間 (対VBCLKI)	tSKSA	⑨①		0		ns
STPAKホールド時間 (対STPRQ)	tHQSA	⑨②	7			ns
STOP状態遅延時間 (対VBCLKI)	tDKSS	⑨③		12	17	ns
STOPリリース遅延時間	tDRSR	⑨④	0	15		ns
CGRELセットアップ時間 (対VBCLKI)	tSKSG	⑨⑤		T		ns
CGRELホールド時間 (対VBCLKI)	tHKSG	⑨⑥		13		ns
DCSTOPZセットアップ時間 (対VBCLKI)	tSKST	⑨⑦		10		ns

外部プローブ・タイミング

・動作サンプリング・タイミングのライト/フェッチ

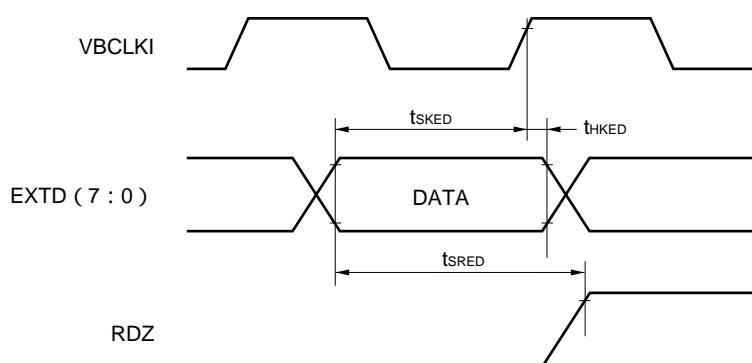


外部プローブ・タイミング (動作サンプリング・タイミングのライト/フェッチ)

(TA = 0 ~ 40 , 出力端子の負荷容量CL = 50 pF)

項目	略号	同期		単位
		対VBCLKI		
		MIN.	MAX.	
EXTD (7:0) セットアップ時間 (対VBCLKI)	tSKED	4		ns
EXTD (7:0) ホールド時間 (対VBCLKI)	tHKED	0		ns

・動作サンプリング・タイミングのリード



外部プローブ・タイミング (動作サンプリング・タイミングのリード)

(TA = 0 ~ 40 , 出力端子の負荷容量CL = 50 pF)

項目	略号	非同期		同期		単位
		MIN.	MAX.	対VBCLKI		
				MIN.	MAX.	
EXTD (7:0) セットアップ時間 (対VBCLKI)	tSKED			4		ns
EXTD (7:0) ホールド時間 (対VBCLKI)	tHKED			0		ns
RDZ セットアップ時間	tSRED	6				ns

付録E 制限事項

(1) VSBバスとメモリ・コントローラ・バスの併用はできません。

エミュレータが内蔵しているメモリ・コントローラ・バス (NB85E500/NU85E502相当) とVSBバスの併用はできません。

(2) VPSTBが有効でないとき、VPRETRに不定な信号が出力されます。

UDLボードからエミュレータに入力するVPRETRは、VPSTB信号がロウ・レベルの期間はHi-Zにしておいてください。

(3) 64 MBモードでエミュレータを使用した場合、VBA (27 : 26) は使用しないでください。

64 MBモードでエミュレータを使用した場合、VBA (27 : 26) は不定値となりますので使用しないでください。

(4) エミュレータはV850E1が所有するすべての端子のエミュレーションができません。

エミュレータは次の信号の端子を所有していないため、エミュレーションができません。

- ・ VSB用端子の内の、VBSEQ (2 : 0) 端子 (シーケンシャル・ステータス)
- ・ NPB用端子の内の、VPDACT端子 (外部アドレス・デコーダからのアクティブ・レベル)
- ・ VFB用端子 (内部ROMアクセス用端子)
- ・ VDB用端子 (内部RAMアクセス用端子)
- ・ 命令キャッシュ用端子
- ・ データ・キャッシュ用端子
- ・ RCU用端子 (ディバグ回路用端子)
- ・ 動作モード設定用端子
- ・ テスト・モード用端子

(5) エミュレータはNB85E500/NU85E502が所有するすべての端子のエミュレーションができません。

エミュレータは次の信号の端子を所有していないため、エミュレーションができません。

- ・ NB85E接続用端子
- ・ 初期設定用端子
- ・ 外部メモリ接続用端子の内の、DC0-DC3端子 (データ・バス制御用)
- ・ 外部メモリ接続用端子の内の、BENZ0-BENZ3端子 (バイト・イネーブル)
- ・ NB85E500/NU85E502接続用端子
- ・ テスト・モード用端子

- ★ (6) IORDZ, IOWRZがCSZ2, CSZ5との兼用端子になっています。

エミュレータが内蔵しているメモリ・コントローラを使用する場合、NB85E500に用意されているIORDZ, IOWRZ信号とCSZ2, CSZ5信号を併用して使用することができません。排他的に切り替えとなります。

リセット後はCSZ5/CSZ2に設定されているので、IORDZ, IOWRZを使用する場合にはリセットごとにプログラム上で以下の命令を実行する必要があります。

```
st.b 0xZZ, 0xFFFFF049
```

備考 ZZ = 00H : CSZ5/CSZ2で使用 (リセット後初期値)

= 20H : IORDZ/CSZ2で使用

= 04H : CSZ5/IOWRZで使用

= 24H : IORDZ/IOWRZで使用

- (7) エミュレーション・メモリは8ビット・バス・サイズで使用できません。

IE-V850E-MC-EM1-Bが搭載する標準エミュレーション・メモリ、およびIE-V850E-MC-MM2 (別売) が搭載するターゲット代替メモリは、8ビット・バスサイズでは使用できません。16ビットまたは32ビットでご使用ください。

★

付録F 改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版 数	前版からの主な改版内容	適用箇所
第2版	1.2 特徴に記述を追加	第1章 概 説
	1.5 梱包内容のターゲット接続用コネクタの名称をUDLボード接続用コネクタに変更	
	図2 - 1 IE-V850E-MC-EM1-Bを修正	第2章 各部の名称と機能
	UDLインタフェース電気的特性を追加	付録D
	IORDZ, IOWRZを切替える命令を追加	付録E
	改版履歴を追加	付録F

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : s-info@saed.tmg.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108

名古屋 (052)222-2375

大阪 (06)6945-3178, 3200,
3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

高崎 (027)326-1303

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【インターネット電子デバイス・ニュース】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] IE-V850E-MC-EM1-B, IE-V850E-MC-MM2 (別売品) ユーザーズ・マニュアル
(U14482JJ2V0UM00 (第2版))

[お名前など] (さしつかえのない範囲で)

- 御社名(学校名, その他) ()
- ご住所 ()
- お電話番号 ()
- お仕事の内容 ()
- お名前 ()

1. ご評価 (各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ()					
()					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他)
理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは
NEC販売員, 特約店販売員, その他 ()

ご協力ありがとうございました。
下記あてにFAXで送信いただくか、最寄りの販売員にコピーをお渡しく下さい。

マニュアル