お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

RENESAS

ユーザーズ・マニュアル

78K0/KF1+

8ビット・シングルチップ・マイクロコンピュータ

μPD78F0148H
μPD78F0148H(A)
μPD78F0148H(A1)
μPD78F0148HD

資料番号　U16819JJ3V0UD00（第3版）
発行年月　December 2005 NS　CP(K)

© NEC Electronics Corporation 2004

〔メ　モ〕

目次要約

第1章　概　　説　…　17
第2章　端子機能　…　30
第3章　CPUアーキテクチャ　…　45
第4章　ポート機能　…　74
第5章　外部バス・インタフェース　…　109
第6章　クロック発生回路　…　120
第7章　16ビット・タイマ／イベント・カウンタ00, 01　…　147
第8章　8ビット・タイマ／イベント・カウンタ50, 51　…　193
第9章　8ビット・タイマH0, H1　…　212
第10章　時計用タイマ　…　238
第11章　ウォッチドッグ・タイマ　…　244
第12章　クロック出力／ブザー出力制御回路　…　255
第13章　A/Dコンバータ　…　260
第14章　シリアル・インタフェースUART0　…　283
第15章　シリアル・インタフェースUART6　…　305
第16章　シリアル・インタフェースCSI10, CSI11　…　345
第17章　シリアル・インタフェースCSIA0　…　366
第18章　乗除算器　…　409
第19章　割り込み機能　…　419
第20章　キー割り込み機能　…　439
第21章　スタンバイ機能　…　441
第22章　リセット機能　…　456
第23章　クロック・モニタ　…　464
第24章　パワーオン・クリア回路　…　471
第25章　低電圧検出回路　…　475
第26章　オプション・バイト　…　487
第27章　フラッシュ・メモリ　…　490
第28章　オンチップ・ディバグ機能（μPD78F0148HDのみ）　…　517
第29章　命令セットの概要　…　519
第30章　電気的特性（標準品，（A）水準品）　…　534
第31章　電気的特性（（A1）水準品）　…　556
第32章　外 形 図　…　573
第33章　半田付け推奨条件　…　575
第34章　ウエイトに関する注意事項　…　577
付録A　開発ツール　…　580
付録B　ターゲット・システム設計上の注意　…　587
付録C　レジスタ索引　…　589
付録D　注意事項一覧　…　597
付録E　改版履歴　…　618

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域にとどまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん，V_{IL}（MAX.）からV_{IH}（MIN.）までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介してV_{DD}またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレーやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

Windows, Windows NTおよびWindows XPは，米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは，米国IBM社の商標です。

HP9000シリーズ700, HP-UXは，米国ヒューレット・パッカード社の商標です。

SPARCstationは，米国SPARC International, Inc.の商標です。

Solaris, SunOSは，米国サン・マイクロシステムズ社の商標です。

SuperFlash®は，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

- 本資料に記載されている内容は2005年12月現在のもので，今後，予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は，本資料の誤りに関し，一切その責を負いません。
- 当社は，本資料に記載された当社製品の使用に関連し発生した第三者の特許権，著作権その他の知的財産権の侵害等に関し，一切その責を負いません。当社は，本資料に基づき当社または第三者の特許権，著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路，ソフトウエアおよびこれらに関する情報は，半導体製品の動作例，応用例を説明するものです。お客様の機器の設計において，回路，ソフトウエアおよびこれらに関する情報を使用する場合には，お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し，当社は，一切その責を負いません。
- 当社は，当社製品の品質，信頼性の向上に努めておりますが，当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命，身体および財産に対する損害の危険を最小限度にするために，冗長設計，延焼対策設計，誤動作防止設計等安全設計を行ってください。

当社は，当社製品の品質水準を「標準水準」，「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また，各品質水準は，以下に示す用途に製品が使われることを意図しておりますので，当社製品の品質水準をご確認ください。

標準水準：コンピュータ，OA機器，通信機器，計測機器，AV機器，家電，工作機械，パーソナル機器，産業用ロボット

特別水準：輸送機器（自動車，電車，船舶等），交通用信号機器，防災・防犯装置，各種安全装置，生命維持を目的として設計されていない医療機器

特定水準：航空機器，航空宇宙機器，海底中継機器，原子力制御システム，生命維持のための医療機器，生命維持のための装置またはシステム等

当社製品のデータ・シート，データ・ブック等の資料で特に品質水準の表示がない場合は，標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には，事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは，NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは，（1）において定義された当社の開発，製造

M8E　02.11

はじめに

対 象 者　このマニュアルは78K0/KF1+の機能を理解し，その応用システムや応用プログラムを設計，開発するユーザのエンジニアを対象としています。

対象製品は，次に示す各製品です。

・78K0/KF1+：μPD78F0148H, 78F0148H(A), 78F0148H(A1), 78F0148HD

目　　的　このマニュアルは，次の構成に示す機能をユーザに理解していただくことを目的としています。

構　　成　78K0/KF1+のマニュアルは，このマニュアルと命令編（78K/0シリーズ共通）の2冊に分かれています。

78K0/KF1+ ユーザーズ・マニュアル	78K/0シリーズ ユーザーズ・マニュアル 命令編
●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU機能 ●命令セット ●命令の説明

読 み 方　このマニュアルを読むにあたっては，電気，論理回路，マイクロコンピュータの一般知識を必要とします。

□（A）水準品，（A1）水準品のマニュアルとしてお使いになる方へ

→標準製品と（A）水準品，（A1）水準品は品質水準のみが異なります。（A）水準品，（A1）水準品については品名を次のように読み替えてください。

・μPD780148H → μPD780148H(A) , 780148H(A1)

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は，本版で改訂された主な箇所を示しています。この"★"をPDF上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは，そのビット名称がRA78K0では予約語に，CC78K0では#pragma sfr指令で，sfr変数として定義されているものです。

□レジスタ名が分かっていてレジスタの詳細を確認するとき

→付録C　レジスタ索引を利用してください。

□78K/0シリーズの命令機能の詳細を知りたいとき

→別冊の78K/0シリーズ　ユーザーズ・マニュアル　命令編（U12326J）を参照してください。

注意　このマニュアル中の使用例は，一般電子機器用の『標準』品質水準用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は，実際に使用する各部分および回路について，その品質水準についてご検討のうえご使用ください。

凡　例	データ表記の重み	：左が上位桁，右が下位桁
	アクティブ・ロウの表記	：$\overline{\times\times\times}$（端子，信号名称に上線）
	注	：本文中につけた注の説明
	注意	：気をつけて読んでいただきたい内容
	備考	：本文の補足説明
	数の表記	：2進数…××××または××××B
		10進数…××××
		16進数…××××H

78K0/KF1+と78K0/KF1の違い

項　目 ＼ シリーズ名		78K0/KF1+	78K0/KF1
マスクROM製品		なし	あり
フラッシュ・メモリ製品	電源	単電源	二電源
	セルフ・プログラミング機能	あり	なし
	オプション・バイト	内蔵発振器停止可／不可を選択	なし
オンチップ・ディバグ機能搭載品		あり（μPD78F0148HD）	なし
レギュレータ		なし	あり
パワーオン・クリア機能		2.1 V±0.1 V（固定）	2.85 V±0.15 Vまたは3.5 V±0.2 V選択可
最小命令実行時間		0.125 μs（16 MHz動作時）	0.166 μs（12 MHz動作時）

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資　料　名	資料番号	
	和　文	英　文
78K0/KF1+　ユーザーズ・マニュアル	このマニュアル	U16819E
78K0/KF1　ユーザーズ・マニュアル	U15947J	U15947E
78K/0シリーズ　ユーザーズ・マニュアル　命令編	U12326J	U12326E
78K0/Kx1+　ユーザーズ・マニュアル　フラッシュ・メモリ・セルフ・プログラミング	U16701J	U16701E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

開発ツール（ソフトウエア）の資料（ユーザーズ・マニュアル）

資　料　名		資料番号	
		和　　文	英　　文
RA78K0　Ver.3.80　アセンブラ・パッケージ	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
CC78K0　Ver.3.70　Cコンパイラ	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
SM+　システム・シミュレータ	操作編	U17246J	U17246E
	ユーザ・オープン・インタフェース編	U17247J	U17247E
ID78K0-QB　Ver.2.90　統合ディバッガ	操作編	U17437J	U17437E
PM plus　Ver.5.20		U16934J	U16934E

開発ツール（ハードウエア）の資料（ユーザーズ・マニュアル）

資　料　名	資料番号	
	和　　文	英　　文
QB-78K0KX1H　インサーキット・エミュレータ	U17081J	U17081E
QB-78K0MINI　オンチップ・ディバグ・エミュレータ	U17029J	U17029E

フラッシュ・メモリ書き込み用の資料

資　料　名	資料番号	
	和　　文	英　　文
PG-FP4　フラッシュ・メモリ・プログラマ　ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資　料　名	資料番号	
	和　　文	英　　文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス　実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体　品質／信頼性ハンドブック	C12769J	－
マイクロコンピュータ関連製品ガイド　社外メーカ編	U11416J	－

注　「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：http://www.necel.com/pkg/ja/jissou/index.html

英文：http://www.necel.com/pkg/en/mount/index.html

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

目　次

第1章　概　　説　…　17

1. 1　特　　徴　…　17
1. 2　応用分野　…　18
1. 3　オーダ情報　…　18
1. 4　端子接続図（Top View）　…　19
1. 5　Kx1シリーズの展開　…　21
　1. 5. 1　78K0/Kx1, 78K0/Kx1+の製品展開　…　21
　1. 5. 2　V850ES/Kx1, V850ES/Kx1+の製品展開　…　24
1. 6　ブロック図　…　27
1. 7　機能概要　…　28

第2章　端子機能　…　30

2. 1　端子機能一覧　…　30
2. 2　端子機能の説明　…　34
　2. 2. 1　P00-P06（Port 0）　…　34
　2. 2. 2　P10-P17（Port 1）　…　35
　2. 2. 3　P20-P27（Port 2）　…　36
　2. 2. 4　P30-P33（Port 3）　…　36
　2. 2. 5　P40-P47（Port 4）　…　37
　2. 2. 6　P50-P57（Port 5）　…　37
　2. 2. 7　P60-P67（Port 6）　…　37
　2. 2. 8　P70-P77（Port 7）　…　38
　2. 2. 9　P120（Port 12）　…　38
　2. 2. 10　P130（Port 13）　…　38
　2. 2. 11　P140-P145（Port 14）　…　38
　2. 2. 12　AV_{REF}　…　39
　2. 2. 13　AV_{SS}　…　40
　2. 2. 14　$\overline{RESET}$　…　40
　2. 2. 15　X1, X2　…　40
　2. 2. 16　XT1, XT2　…　40
　2. 2. 17　V_{DD}, EV_{DD}　…　40
　2. 2. 18　V_{SS}, EV_{SS}　…　40
　2. 2. 19　FLMD0, FLMD1　…　40
2. 3　端子の入出力回路と未使用端子の処理　…　41

第3章　CPUアーキテクチャ　…　45

3. 1　メモリ空間　…　45
　3. 1. 1　内部プログラム・メモリ空間　…　48
　3. 1. 2　内部データ・メモリ空間　…　49
　3. 1. 3　特殊機能レジスタ（SFR：Special Function Register）領域　…　49
　3. 1. 4　データ・メモリ・アドレシング　…　50

3. 2　**プロセッサ・レジスタ**　…　52
3. 2. 1　**制御レジスタ**　…　52
3. 2. 2　**汎用レジスタ**　…　55
3. 2. 3　**特殊機能レジスタ**（SFR：Special Function Register）　…　57
3. 3　**命令アドレスのアドレシング**　…　62
3. 3. 1　**レラティブ・アドレシング**　…　62
3. 3. 2　**イミーディエト・アドレシング**　…　63
3. 3. 3　**テーブル・インダイレクト・アドレシング**　…　64
3. 3. 4　**レジスタ・アドレシング**　…　64
3. 4　**オペランド・アドレスのアドレシング**　…　65
3. 4. 1　**インプライド・アドレシング**　…　65
3. 4. 2　**レジスタ・アドレシング**　…　66
3. 4. 3　**ダイレクト・アドレシング**　…　67
3. 4. 4　**ショート・ダイレクト・アドレシング**　…　68
3. 4. 5　**特殊機能レジスタ**（SFR）**アドレシング**　…　69
3. 4. 6　**レジスタ・インダイレクト・アドレシング**　…　70
3. 4. 7　**ベースト・アドレシング**　…　71
3. 4. 8　**ベースト・インデクスト・アドレシング**　…　72
3. 4. 9　**スタック・アドレシング**　…　73

第4章　ポート機能　…　74

4. 1　**ポートの機能**　…　74
4. 2　**ポートの構成**　…　77
4. 2. 1　**ポート**0　…　78
4. 2. 2　**ポート**1　…　82
4. 2. 3　**ポート**2　…　87
4. 2. 4　**ポート**3　…　88
4. 2. 5　**ポート**4　…　90
4. 2. 6　**ポート**5　…　91
4. 2. 7　**ポート**6　…　92
4. 2. 8　**ポート**7　…　95
4. 2. 9　**ポート**12　…　96
4. 2. 10　**ポート**13　…　97
4. 2. 11　**ポート**14　…　97
4. 3　**ポート機能を制御するレジスタ**　…　102
4. 4　**ポート機能の動作**　…　108
4. 4. 1　**入出力ポートへの書き込み**　…　108
4. 4. 2　**入出力ポートからの読み出し**　…　108
4. 4. 3　**入出力ポートでの演算**　…　108

第5章　外部バス・インタフェース　…　109

5. 1　**外部バス・インタフェース**　…　109
5. 2　**外部バス・インタフェース機能を制御するレジスタ**　…　112
5. 3　**外部バス・インタフェース機能のタイミング**　…　114
5. 4　**メモリとの接続例**　…　119

第6章　クロック発生回路　…　120

6.1　クロック発生回路の機能　…　120
6.2　クロック発生回路の構成　…　120
6.3　クロック発生回路を制御するレジスタ　…　122
6.4　システム・クロック発振回路　…　129
6.4.1　高速システム・クロック発振回路　…　129
6.4.2　サブシステム・クロック発振回路　…　129
6.4.3　サブシステム・クロックを使用しない場合　…　132
6.4.4　内蔵発振回路　…　132
6.4.5　プリスケーラ　…　132
6.5　クロック発生回路の動作　…　133
6.6　内蔵発振クロックと高速システム・クロックの切り替えに要する時間　…　140
6.7　CPUクロックの切り替えに要する時間　…　141
6.8　クロック切り替えのフロー・チャートとレジスタ設定　…　142
6.8.1　内蔵発振クロックから高速システム・クロックへの切り替え　…　142
6.8.2　高速システム・クロックから内蔵発振クロックへの切り替え　…　143
6.8.3　高速システム・クロックからサブシステム・クロックへの切り替え　…　144
6.8.4　サブシステム・クロックから高速システム・クロックへの切り替え　…　145
6.8.5　レジスタ設定　…　146

第7章　16ビット・タイマ／イベント・カウンタ00, 01　…　147

7.1　16ビット・タイマ／イベント・カウンタ00, 01の機能　…　147
7.2　16ビット・タイマ／イベント・カウンタ00, 01の構成　…　148
7.3　16ビット・タイマ／イベント・カウンタ00, 01を制御するレジスタ　…　153
7.4　16ビット・タイマ／イベント・カウンタ00, 01の動作　…　164
7.4.1　インターバル・タイマとしての動作　…　164
7.4.2　PPG出力としての動作　…　167
7.4.3　パルス幅測定としての動作　…　170
7.4.4　外部イベント・カウンタとしての動作　…　178
7.4.5　方形波出力としての動作　…　181
7.4.6　ワンショット・パルス出力としての動作　…　183
7.5　16ビット・タイマ／イベント・カウンタ00, 01の注意事項　…　189

第8章　8ビット・タイマ／イベント・カウンタ50, 51　…　193

8.1　8ビット・タイマ／イベント・カウンタ50, 51の機能　…　193
8.2　8ビット・タイマ／イベント・カウンタ50, 51の構成　…　195
8.3　8ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタ　…　197
8.4　8ビット・タイマ／イベント・カウンタ50, 51の動作　…　202
8.4.1　インターバル・タイマとしての動作　…　202
8.4.2　外部イベント・カウンタとしての動作　…　205
8.4.3　方形波出力としての動作　…　206
8.4.4　PWM出力としての動作　…　207
8.5　8ビット・タイマ／イベント・カウンタ50, 51の注意事項　…　211

第9章　8ビット・タイマH0, H1　…　212

9. 1　8ビット・タイマH0, H1の機能　…　212
9. 2　8ビット・タイマH0, H1の構成　…　212
9. 3　8ビット・タイマH0, H1を制御するレジスタ　…　216
9. 4　8ビット・タイマH0, H1の動作　…　222
9. 4. 1　インターバル・タイマ／方形波出力としての動作　…　222
9. 4. 2　PWM出力モードとしての動作　…　225
9. 4. 3　キャリア・ジェネレータ・モードとしての動作（8ビット・タイマH1のみ）　…　231

第10章　時計用タイマ　…　238

10. 1　時計用タイマの機能　…　238
10. 2　時計用タイマの構成　…　239
10. 3　時計用タイマを制御するレジスタ　…　240
10. 4　時計用タイマの動作　…　241
10. 4. 1　時計用タイマとしての動作　…　241
10. 4. 2　インターバル・タイマとしての動作　…　242
10. 5　時計用タイマの注意事項　…　243

第11章　ウォッチドッグ・タイマ　…　244

11. 1　ウォッチドッグ・タイマの機能　…　244
11. 2　ウォッチドッグ・タイマの構成　…　246
11. 3　ウォッチドッグ・タイマを制御するレジスタ　…　247
11. 4　ウォッチドッグ・タイマの動作　…　250
11. 4. 1　オプション・バイトで「内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作　…　250
11. 4. 2　オプション・バイトで「内蔵発振器はソフトウエアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作　…　251
11. 4. 3　STOPモード時の動作（オプション・バイトで「内蔵発振器はソフトウエアにより停止可能」を選択した場合）　…　252
11. 4. 4　HALTモード時の動作（オプション・バイトで「内蔵発振器はソフトウエアにより停止可能」を選択した場合）　…　254

第12章　クロック出力／ブザー出力制御回路　…　255

12. 1　クロック出力／ブザー出力制御回路の機能　…　255
12. 2　クロック出力／ブザー出力制御回路の構成　…　256
12. 3　クロック出力／ブザー出力制御回路を制御するレジスタ　…　256
12. 4　クロック出力／ブザー出力制御回路の動作　…　259
12. 4. 1　クロック出力としての動作　…　259
12. 4. 2　ブザー出力としての動作　…　259

第13章　A/Dコンバータ　…　260

13. 1　A/Dコンバータの機能　…　260
13. 2　A/Dコンバータの構成　…　261
13. 3　A/Dコンバータで使用するレジスタ　…　263

13. 4　A/Dコンバータの動作　…　268
13. 4. 1　A/Dコンバータの基本動作　…　268
13. 4. 2　入力電圧と変換結果　…　270
13. 4. 3　A/Dコンバータの動作モード　…　271
13. 5　A/Dコンバータ特性表の読み方　…　275
13. 6　A/Dコンバータの注意事項　…　278

第14章　シリアル・インタフェースUART0　…　283

14. 1　シリアル・インタフェースUART0の機能　…　283
14. 2　シリアル・インタフェースUART0の構成　…　284
14. 3　シリアル・インタフェースUART0を制御するレジスタ　…　287
14. 4　シリアル・インタフェースUART0の動作　…　292
14. 4. 1　動作停止モード　…　292
14. 4. 2　アシンクロナス・シリアル・インタフェース（UART）モード　…　293
14. 4. 3　専用ボー・レート・ジェネレータ　…　299

第15章　シリアル・インタフェースUART6　…　305

15. 1　シリアル・インタフェースUART6の機能　…　305
15. 2　シリアル・インタフェースUART6の構成　…　310
15. 3　シリアル・インタフェースUART6を制御するレジスタ　…　313
15. 4　シリアル・インタフェースUART6の動作　…　324
15. 4. 1　動作停止モード　…　324
15. 4. 2　アシンクロナス・シリアル・インタフェース（UART）モード　…　325
15. 4. 3　専用ボー・レート・ジェネレータ　…　339

第16章　シリアル・インタフェースCSI10, CSI11　…　345

16. 1　シリアル・インタフェースCSI10, CSI11の機能　…　345
16. 2　シリアル・インタフェースCSI10, CSI11の構成　…　346
16. 3　シリアル・インタフェースCSI10, CSI11を制御するレジスタ　…　348
16. 4　シリアル・インタフェースCSI10, CSI11の動作　…　355
16. 4. 1　動作停止モード　…　355
16. 4. 2　3線式シリアルI/Oモード　…　356

第17章　シリアル・インタフェースCSIA0　…　366

17. 1　シリアル・インタフェースCSIA0の機能　…　366
17. 2　シリアル・インタフェースCSIA0の構成　…　367
17. 3　シリアル・インタフェースCSIA0を制御するレジスタ　…　369
17. 4　シリアル・インタフェースCSIA0の動作　…　378
17. 4. 1　動作停止モード　…　378
17. 4. 2　3線式シリアルI/Oモード　…　378
17. 4. 3　自動送受信機能付き3線式シリアルI/Oモード　…　384

第18章　乗除算器　…　409

18. 1　乗除算器の機能　…　409

18. 2　乗除算器の構成　…　409
18. 3　乗除算器を制御するレジスタ　…　414
18. 4　乗除算器の動作　…　415
18. 4. 1　乗算動作　…　415
18. 4. 2　除算動作　…　417

第19章　割り込み機能　…　419

19. 1　割り込み機能の種類　…　419
19. 2　割り込み要因と構成　…　419
19. 3　割り込み機能を制御するレジスタ　…　424
19. 4　割り込み処理動作　…　432
19. 4. 1　マスカブル割り込み要求の受け付け動作　…　432
19. 4. 2　ソフトウエア割り込み要求の受け付け動作　…　435
19. 4. 3　多重割り込み処理　…　435
19. 4. 4　割り込み要求の保留　…　438

第20章　キー割り込み機能　…　439

20. 1　キー割り込みの機能　…　439
20. 2　キー割り込みの構成　…　439
20. 3　キー割り込みを制御するレジスタ　…　440

第21章　スタンバイ機能　…　441

21. 1　スタンバイ機能と構成　…　441
21. 1. 1　スタンバイ機能　…　441
21. 1. 2　スタンバイ機能を制御するレジスタ　…　443
21. 2　スタンバイ機能の動作　…　446
21. 2. 1　HALTモード　…　446
21. 2. 2　STOPモード　…　451

第22章　リセット機能　…　456

22. 1　リセット要因を確認するレジスタ　…　463

第23章　クロック・モニタ　…　464

23. 1　クロック・モニタの機能　…　464
23. 2　クロック・モニタの構成　…　464
23. 3　クロック・モニタを制御するレジスタ　…　465
23. 4　クロック・モニタの動作　…　466

第24章　パワーオン・クリア回路　…　471

24. 1　パワーオン・クリア回路の機能　…　471
24. 2　パワーオン・クリア回路の構成　…　472
24. 3　パワーオン・クリア回路の動作　…　472
24. 4　パワーオン・クリア回路の注意事項　…　473

第25章　低電圧検出回路　…　475

25. 1　低電圧検出回路の機能　…　475
25. 2　低電圧検出回路の構成　…　475
25. 3　低電圧検出回路を制御するレジスタ　…　476
25. 4　低電圧検出回路の動作　…　479
25. 5　低電圧検出回路の注意事項　…　483

第26章　オプション・バイト　…　487

26. 1　オプション・バイトの機能　…　487
26. 2　オプション・バイトのフォーマット　…　487

第27章　フラッシュ・メモリ　…　490

27. 1　メモリ・サイズ切り替えレジスタ　…　491
27. 2　内部拡張RAMサイズ切り替えレジスタ　…　492
27. 3　フラッシュ・ライタによる書き込み方法　…　493
27. 4　プログラミング環境　…　497
27. 5　通信方式　…　497
27. 6　オンボード上の端子処理　…　500
　27. 6. 1　FLMD0端子　…　500
　27. 6. 2　FLMD1端子　…　500
　27. 6. 3　シリアル・インタフェース端子　…　501
　27. 6. 4　$\overline{\text{RESET}}$端子　…　503
　27. 6. 5　ポート端子　…　503
　27. 6. 6　その他の信号端子　…　503
　27. 6. 7　電源　…　503
27. 7　プログラミング方法　…　504
　27. 7. 1　フラッシュ・メモリ制御　…　504
　27. 7. 2　フラッシュ・メモリ・プログラミング・モード　…　505
　27. 7. 3　通信方式の選択　…　506
　27. 7. 4　通信コマンド　…　506
27. 8　セルフ書き込みによるフラッシュ・メモリ・プログラミング　…　508
　27. 8. 1　セルフ・プログラミング機能で使用するレジスタ　…　509
27. 9　ブート・スワップ機能　…　513
　27. 9. 1　ブート・スワップ機能の概要　…　513
　27. 9. 2　メモリ・マップとブート領域　…　515

第28章　オンチップ・ディバグ機能（μPD78F0148HDのみ）　…　517

28. 1　オンチップ・ディバグ・セキュリティID　…　518

第29章　命令セットの概要　…　519

29. 1　凡　　例　…　520
　29. 1. 1　オペランドの表現形式と記述方法　…　520
　29. 1. 2　オペレーション欄の説明　…　521
　29. 1. 3　フラグ動作欄の説明　…　521

29. 2　オペレーション一覧　…　522
29. 3　アドレシング別命令一覧　…　530

第30章　電気的特性（標準品，（A）水準品）　…　534

第31章　電気的特性（（A1）水準品）　…　556

第32章　外 形 図　…　573

第33章　半田付け推奨条件　…　575

第34章　ウエイトに関する注意事項　…　577

34. 1　ウエイトに関する注意事項　…　577
34. 2　ウエイトが発生する周辺ハードウエア　…　578
34. 3　ウエイト発生例　…　579

付録A　開発ツール　…　580

A. 1　ソフトウエア・パッケージ　…　583
A. 2　言語処理用ソフトウエア　…　583
A. 3　制御ソフトウエア　…　584
A. 4　フラッシュ・メモリ書き込み用ツール　…　584
A. 5　ディバグ用ツール（ハードウエア）　…　585
A. 5. 1　インサーキット・エミュレータ　QB-78K0KX1Hを使用する場合　…　585
A. 5. 2　オンチップ・ディバグ・エミュレータ　QB-78K0MINIを使用する場合　…　586
A. 6　ディバグ用ツール（ソフトウエア）　…　586

付録B　ターゲット・システム設計上の注意　…　587

付録C　レジスタ索引　…　589

C. 1　レジスタ索引（50音順）　…　589
C. 2　レジスタ索引（アルファベット順）　…　593

付録D　注意事項一覧　…　597

付録E　改版履歴　…　618

E. 1　本版で改訂された主な箇所　…　618
E. 2　前版までの改版履歴　…　618

第1章　概　　説

1.1　特　　徴

○高速（0.125 μs：高速システム・クロック16 MHz動作時）から超低速（122 μs：サブシステム・クロック32.768 kHz動作時）まで最小命令実行時間を変更可能

○汎用レジスタ：8ビット×32レジスタ（8ビット×8レジスタ×4バンク）

○ROM, RAM容量

項目 ＼ 品名	プログラム・メモリ（ROM）		データ・メモリ	
			内部高速RAM	内部拡張RAM
μPD78F0148H, 78F0148HD	フラッシュ・メモリ	60 Kバイト注	1024バイト	1024バイト注

注　メモリ・サイズ切り替えレジスタ（IMS）と内部拡張RAMサイズ切り替えレジスタ（IXS）により，内部フラッシュ・メモリ，内部拡張RAM容量の変更可能。

○単電源のフラッシュ・メモリ内蔵

○セルフ・プログラミング内蔵（ブート・スワップ機能あり）

○オンチップ・ディバグ機能内蔵（μPD78F0148HDのみ）

○バッファRAM：32バイト（自動送受信機能付き3線式シリアルI/Oモードの転送用として使用可能）

○外部メモリ拡張空間：64 Kバイト（外部バス・インタフェース機能内蔵注1）

○パワーオン・クリア（POC）回路，低電圧検出（LVI）回路内蔵

○内蔵発振器によるCPUディフォールト・スタートにより，ショート・スタート・アップが可能

○内蔵発振器によるクロック・モニタ機能内蔵

○ウォッチドッグ・タイマ（内蔵発振クロックで動作可能）内蔵

○乗除算器内蔵

○キー割り込み機能内蔵

○クロック出力／ブザー出力制御回路内蔵

○I/Oポート：67本（N-chオープン・ドレーン：4本）

○タイマ：8チャネル

○シリアル・インタフェース：4チャネル

（UART（LIN（Local Interconnect Network）-bus対応）：1チャネル，CSI：1チャネル，CSI/UART注2：1チャネル，自動送受信付きCSI：1チャネル）

○10ビット分解能A/Dコンバータ：8チャネル

★　○電源電圧：

・標準品，（A）水準品：V_{DD} = 2.5～5.5 V（内蔵発振クロック／サブシステム・クロック使用時：V_{DD} = 2.0～5.5 V注3）

・（A1）水準品　　：V_{DD} = 2.7～5.5 V（内蔵発振クロック使用時：V_{DD} = 2.0～5.5 V注3）

★　○動作周囲温度：

・標準品，（A）水準品：T_A = －40～＋85 ℃

・（A1）水準品　　：T_A = －40～＋110 ℃

★　注1.　（A1）水準品は，外部バス・インタフェース機能を使用できません。

2.　端子を兼用しているため，どちらかを選択して使用します。

3.　パワーオン・クリア（POC）回路の検出電圧（V_{POC}）が2.1 V±0.1 Vのため，2.2～5.5 Vの電圧範囲で使用してください。

1.2　応用分野

○自動車実装

・Body電装系のシステム制御（パワー・ウインドウ，キーレス・エントリ受信など）

・制御系のサブマイコン

○ホーム・オーディオ，カー・オーディオ

○AV機器

○PC周辺機器（キーボードなど）

○家電製品

・エアコン室外機

・電子レンジ，炊飯器

○産業機器

・ポンプ

・自動販売機

・FA（Factory Automation）

★ 1.3　オーダ情報

・フラッシュ・メモリ製品

オーダ名称	パッケージ	品質水準
μPD78F0148HGK-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12x12）	標準（一般電子機器用）
μPD78F0148HGC-8BT	80ピン・プラスチックQFP（14x14）	〃
μPD78F0148HGK-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12x12）	〃
μPD78F0148HGC-8BT-A	80ピン・プラスチックQFP（14x14）	〃
μPD78F0148HDGK-9EU注	80ピン・プラスチックTQFP（ファインピッチ）（12x12）	〃
μPD78F0148HDGC-8BT注	80ピン・プラスチックQFP（14x14）	〃
μPD78F0148HDGK-9EU-A注	80ピン・プラスチックTQFP（ファインピッチ）（12x12）	〃
μPD78F0148HDGC-8BT-A注	80ピン・プラスチックQFP（14x14）	〃
μPD78F0148HGK(A)-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12x12）	特別（高信頼度電子機器用）
μPD78F0148HGC(A)-8BT	80ピン・プラスチックQFP（14x14）	〃
μPD78F0148HGK(A)-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12x12）	〃
μPD78F0148HGC(A)-8BT-A	80ピン・プラスチックQFP（14x14）	〃
μPD78F0148HGK(A1)-9EU	80ピン・プラスチックTQFP（ファインピッチ）（12x12）	〃
μPD78F0148HGC(A1)-8BT	80ピン・プラスチックQFP（14x14）	〃
μPD78F0148HGK(A1)-9EU-A	80ピン・プラスチックTQFP（ファインピッチ）（12x12）	〃
μPD78F0148HGC(A1)-8BT-A	80ピン・プラスチックQFP（14x14）	〃

注　ES（Engineering Sample）品のみ。プログラム評価用としてご使用ください。

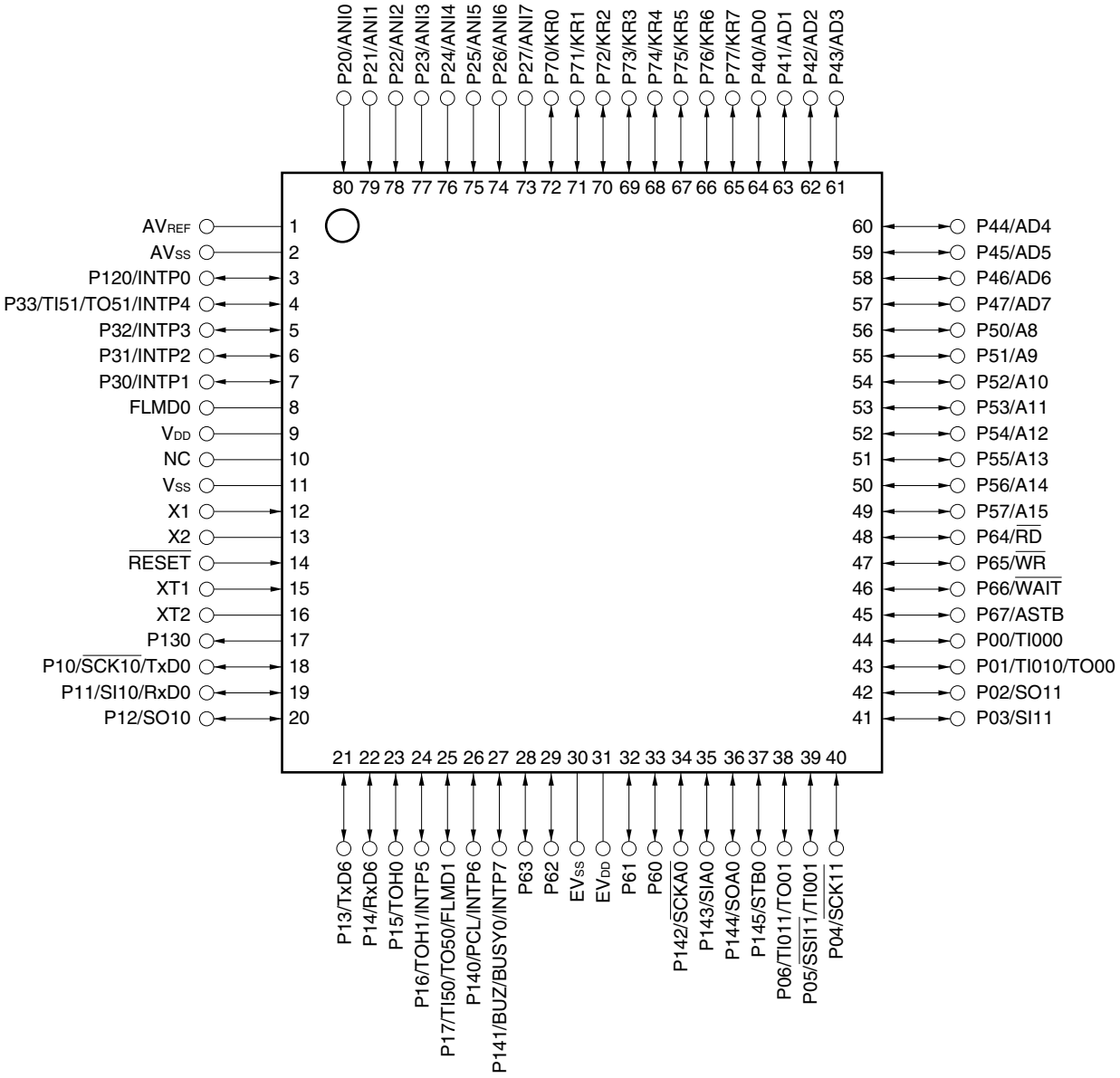
備考　オーダ名称末尾「-A」の製品は，鉛フリー製品です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」（資料番号　C11531J）をご覧ください。

1. 4　端子接続図（Top View）

・80ピン・プラスチックTQFP（ファインピッチ）（12x12）

・80ピン・プラスチックQFP（14x14）



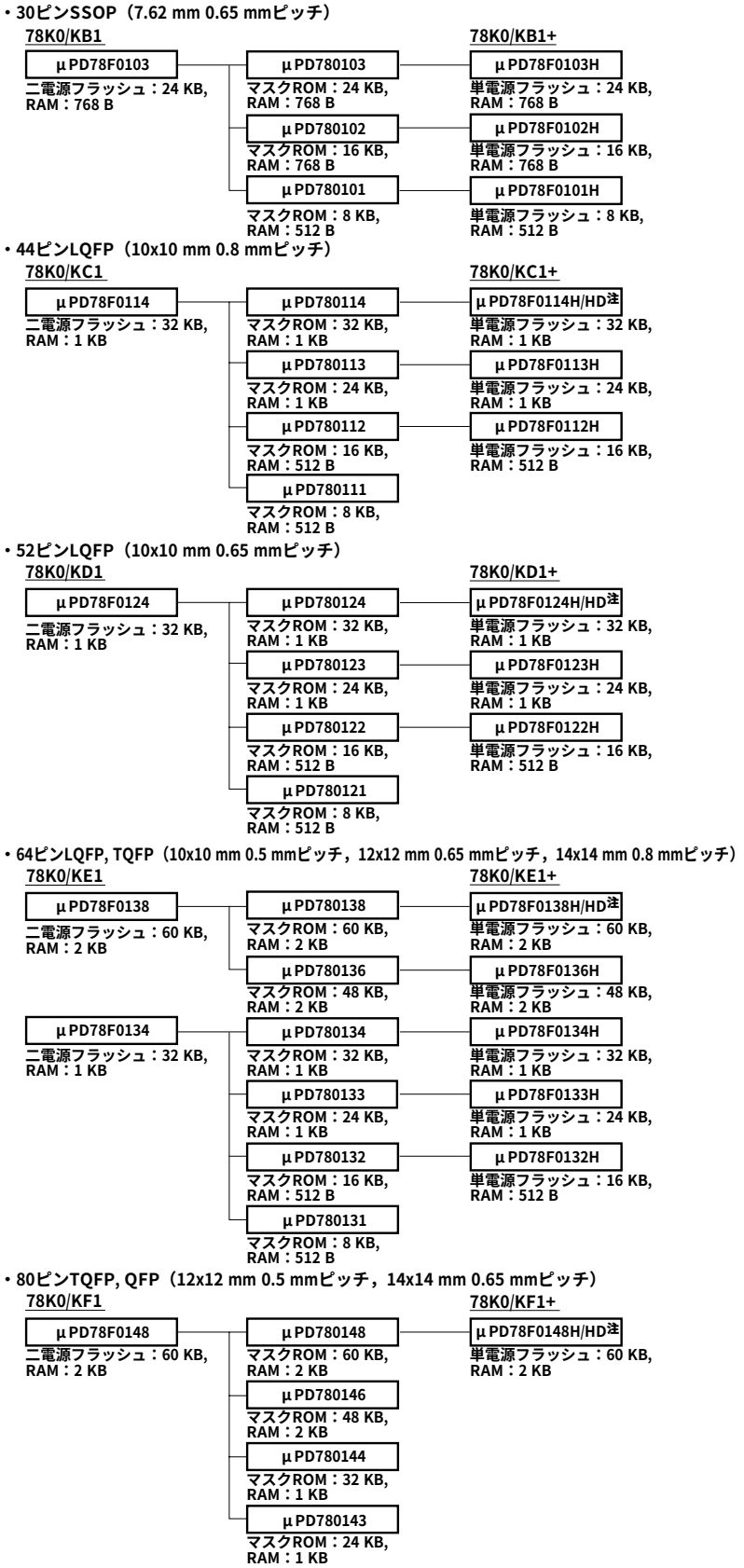
注意　AVSS**端子は**VSS**に接続してください。**

端子名称

A8-A15	：Address Bus	PCL	：Programmable Clock Output
AD0-AD7	：Address/Data Bus	$\overline{\text{RESET}}$	：Reset
ANI0-ANI7	：Analog Input	RxD0, RxD6	：Receive Data
ASTB	：Address Strobe	$\overline{\text{RD}}$	：Read Strobe
AV_{REF}	：Analog Reference Voltage	$\overline{\text{SCK10}}$, $\overline{\text{SCK11}}$,	
AV_{SS}	：Analog Ground	$\overline{\text{SCKA0}}$	：Serial Clock Input/Output
BUSY0	：Serial Busy Input	SI10, SI11, SIA0	：Serial Data Input
BUZ	：Buzzer Output	SO10, SO11,	
EV_{DD}	：Power Supply for Port	SOA1	：Serial Data Output
EV_{SS}	：Ground for Port	$\overline{\text{SSI11}}$	：Serial Interface Chip Select Input
FLMD0, FLMD1	：Flash Programming Mode	STB0	：Serial Strobe
INTP0-INTP7	：External Interrupt Input	TI000, TI010,	
KR0-KR7	：Key Return	TI001, TI011,	
NC	：Non-connection	TI50, TI51	：Timer Input
P00-P06	：Port 0	TO00, TO01,	
P10-P17	：Port 1	TO50, TO51,	
P20-P27	：Port 2	TOH0, TOH1	：Timer Output
P30-P33	：Port 3	TxD0, TxD6	：Transmit Data
P40-P47	：Port 4	V_{DD}	：Power Supply
P50-P57	：Port 5	V_{SS}	：Ground
P60-P67	：Port 6	$\overline{\text{WAIT}}$	：Wait
P70-P77	：Port 7	$\overline{\text{WR}}$	：Write Strobe
P120	：Port 12	X1, X2	：Crystal Oscillator (High-speed System Clock)
P130	：Port 13		
P140-P145	：Port 14	XT1, XT2	：Crystal Oscillator (Subsystem Clock)

1. 5　Kx1シリーズの展開

1. 5. 1　78K0/Kx1, 78K0/Kx1+の製品展開



注　オンチップ・ディバグ機能搭載品です。

78K0/Kx1の機能一覧を次に示します。

愛　称		78K0/KB1			78K0/KC1			78K0/KD1			78K0/KE1					78K0/KF1		
ピン数		30ピン			44ピン			52ピン			64ピン					80ピン		
内部メモリ(Kバイト)	マスクROM	8	16 / 24	－	8 / 16	24/ 32	－	8 / 16	24 / 32	－	8 / 16	24 / 32	－	48 / 60	－	24 / 32	48 / 60	－
	フラッシュ・メモリ	－		24	－		32	－		32	－		32	－	60	－		60
	RAM	0.5	0.75		0.5	1		0.5	1		0.5	1		2		1	2	
電源電圧		V_{DD} = 2.5～5.5 V[注1,2]																
最小命令実行時間		0.166 μs（12 MHz, V_{DD} = 4.0～5.5 V時） 0.2 μs（10 MHz, V_{DD} = 3.5～5.5 V時） 0.238 μs (8.38 MHz, V_{DD} = 3.0～5.5 V時) 0.4 μs（5 MHz, V_{DD} = 2.5～5.5 V時）						＜REGC端子をV_{DD}に接続＞ 0.166 μs（12 MHz, V_{DD} = 4.0～5.5 V時） 0.2 μs（10 MHz, V_{DD} = 3.5～5.5 V時） 0.238 μs（8.38 MHz, V_{DD} = 3.0～5.5 V時） 0.4 μs（5 MHz, V_{DD} = 2.5～5.5 V時）									
クロック	X1入力	2～12 MHz																
	サブ	－			32.768 kHz													
	内蔵発振	240 kHz（TYP.）																
ポート	CMOS入出力	17			19			26			38					54		
	CMOS入力	4			8													
	CMOS出力	1																
	N-chオープン・ドレーン入出力	－			4													
タイマ	16ビット（TM0）	1 ch										2 ch				1 ch	2 ch	
	8ビット（TM5）	1 ch			2 ch													
	8ビット（TMH）	2 ch																
	時計用	－			1ch													
	WDT	1 ch																
シリアル・インタフェース	3線式CSI[注3]	1 ch										2 ch				1 ch	2 ch	
	自動送受信3線式CSI	－														1ch		
	UART[注3]	－	1ch															
	LIN-bus対応UART	1 ch																
10ビットA/Dコンバータ		4 ch			8 ch													
割り込み	外部	6			7			8			9					9		
	内部	11	12		15						16	19				17	20	
キー・リターン入力		－			4ch			8ch										
リセット	$\overline{\text{RESET}}$端子	あり																
	POC	2.85 V±0.15 V/3.5 V±0.20 V（マスク・オプションにより選択可能）																
	LVI	2.85 V/3.1 V/3.3 V±0.15 V/3.5 V/3.7 V/3.9 V/4.1 V/4.3 V±0.2 V（ソフトウエアにより選択可能）																
	クロック・モニタ	あり																
	WDT	あり																
クロック出力／ブザー出力		－						クロック出力のみ			あり							
乗除算器		－									16ビット×16ビット，32ビット÷16ビット							
ROMコレクション		－												あり		－		
スタンバイ機能		HALT/STOPモード																
動作周囲温度		標準水準品，特別水準（A）品：－40～＋85 ℃ 特別水準（A1）品：－40～＋110 ℃（マスクROM製品），－40～＋105 ℃（フラッシュ・メモリ製品） 特別水準（A2）品：－40～＋125 ℃（マスクROM製品）																

注1.　POC回路の検出電圧（V_{POC}）を2.85 V±0.15 Vで使用する場合は，3.0～5.5 Vの電圧範囲で使用してください。

2.　POC回路の検出電圧（V_{POC}）を3.5 V±0.2 Vで使用する場合は，3.7～5.5 Vの電圧範囲で使用してください。

3.　端子を兼用している場合は，どちらかを選択して使用します。

78K0/Kx1+の機能一覧を次に示します。

愛　称		78K0/KB1+		78K0/KC1+		78K0/KD1+		78K0/KE1+			78K0/KF1+
ピン数		30ピン		44ピン		52ピン		64ピン			80ピン
内部メモリ（Kバイト）	フラッシュ・メモリ	8	16 /24	16	24 /32	16	24/32	16	24 /32	48 /60	60
	RAM	0.5	0.75	0.5	1	0.5	1	0.5	1	2	2
電源電圧		V_{DD} = 2.5〜5.5 V（内蔵発振クロックまたはサブクロック使用時：V_{DD} = 2.0〜5.5 V[注1]）									
最小命令実行時間		0.125 μs（16 MHz, V_{DD} = 4.0〜5.5 V時）／0.2 μs（10 MHz, V_{DD} = 3.5〜5.5 V時）／0.238 μs（8.38 MHz, V_{DD} = 3.0〜5.5 V時）／0.4 μs（5 MHz, V_{DD} = 2.5〜5.5 V時）									
クロック	水晶／セラミック	2〜16 MHz									
	RC	3〜4 MHz				−					
	サブ	−		32.768 kHz							
	内蔵発振	240 kHz（TYP.）									
ポート	CMOS入出力	17		19		26		38			54
	CMOS入力	4		8							
	CMOS出力	1									
	N-chオープン・ドレーン入出力	−		4							
タイマ	16ビット（TM0）	1 ch							2 ch		
	8ビット（TM5）	1 ch		2 ch							
	8ビット（TMH）	2 ch									
	時計用	−		1 ch							
	WDT	1 ch									
シリアル・インタフェース	3線式CSI[注2]	1 ch							2 ch		
	自動送受信3線式CSI	−									1 ch
	UART[注2]	−	1 ch								
	LIN-bus対応UART	1 ch									
10ビットA/Dコンバータ		4 ch		8 ch							
割り込み	外部	6		7		8		9			9
	内部	11	12	15				16	19		20
キー・リターン入力		−		4 ch		8 ch					
リセット	$\overline{\text{RESET}}$端子	あり									
	POC	2.1 V±0.1 V（検出電圧は固定）									
	LVI	2.35 V/2.6 V/2.85 V/3.1 V/3.3 V±0.15 V/3.5 V/3.7 V/3.9 V/4.1 V/4.3 V±0.2 V（ソフトウエアにより選択可能）									
	クロック・モニタ	あり									
	WDT	あり									
クロック出力／ブザー出力		−				クロック出力のみ		あり			
外部バス・インタフェース		−									あり
乗除算器		−						16ビット×16ビット，32ビット÷16ビット			
ROMコレクション		−								あり	−
セルフ・プログラミング機能		あり									
オンチップ・ディバグ機能搭載品		μPD78F0114HD, 78F0124HD, 78F0138HD, 78F0148HD									
スタンバイ機能		HALT/STOPモード									
動作周囲温度		標準水準品，特別水準（A）品：−40〜+85 ℃ 特別水準（A1）品：−40〜+110 ℃									

注1.　POC回路の検出電圧（V_{POC}）が2.1 V±0.1 Vのため，2.2〜5.5 Vの電圧範囲で使用してください。

2.　端子を兼用している場合は，どちらかを選択して使用します。

1. 5. 2　V850ES/Kx1, V850ES/Kx1+の製品展開

- 64ピン・プラスチックLQFP（10×10 mm, 0.5 mmピッチ）
- 64ピン・プラスチックTQFP（12×12 mm, 0.65 mmピッチ）

V850ES/KE1

μPD70F3207HY
μPD70F3207H
単電源フラッシュ：128 KB, RAM：4 KB

μPD703207Y
μPD703207
マスクROM：128 KB, RAM：4 KB

V850ES/KE1+

μPD70F3302Y
μPD70F3302
単電源フラッシュ：128 KB, RAM：4 KB

μPD703302Y
μPD703302
マスクROM：128 KB, RAM：4 KB

- 80ピン・プラスチックTQFP（12×12 mm, 0.5 mmピッチ）
- 80ピン・プラスチックQFP（14×14 mm, 0.65 mmピッチ）

V850ES/KF1

μPD70F3211HY
μPD70F3211H
単電源フラッシュ：256 KB, RAM：12 KB

μPD703211Y
μPD703211
マスクROM：256 KB, RAM：12 KB

μPD70F3210HY
μPD70F3210H
単電源フラッシュ：128 KB, RAM：6 KB

μPD70F3210Y
μPD70F3210
二電源フラッシュ：128 KB, RAM：6 KB

μPD703210Y
μPD703210
マスクROM：128 KB, RAM：6 KB

μPD703209Y
μPD703209
マスクROM：96 KB, RAM：4 KB

μPD703208Y
μPD703208
マスクROM：64 KB, RAM：4 KB

V850ES/KF1+

μPD70F3308Y
μPD70F3308
単電源フラッシュ：256 KB, RAM：12 KB

μPD703308Y
μPD703308
マスクROM：256 KB, RAM：12 KB

μPD70F3306Y
μPD70F3306
単電源フラッシュ：128 KB, RAM：6 KB

- 100ピン・プラスチックLQFP（14×14 mm, 0.5 mmピッチ）
- 100ピン・プラスチックQFP（14×20 mm, 0.65 mmピッチ）

V850ES/KG1

μPD70F3215HY
μPD70F3215H
単電源フラッシュ：256 KB, RAM：16 KB

μPD703215Y
μPD703215
マスクROM：256 KB, RAM：16 KB

μPD70F3214HY
μPD70F3214H
単電源フラッシュ：128 KB, RAM：6 KB

μPD70F3214Y
μPD70F3214
二電源フラッシュ：128 KB, RAM：6 KB

μPD703214Y
μPD703214
マスクROM：128 KB, RAM：6 KB

μPD703213Y
μPD703213
マスクROM：96 KB, RAM：4 KB

μPD703212Y
μPD703212
マスクROM：64 KB, RAM：4 KB

V850ES/KG1+

μPD70F3313Y
μPD70F3313
単電源フラッシュ：256 KB, RAM：16 KB

μPD703313Y
μPD703313
マスクROM：256 KB, RAM：16 KB

μPD70F3311Y
μPD70F3311
単電源フラッシュ：128 KB, RAM：6 KB

- 144ピン・プラスチックLQFP（20×20 mm, 0.5 mmピッチ）

V850ES/KJ1

μPD70F3218HY
μPD70F3218H
単電源フラッシュ：256 KB, RAM：16 KB

μPD70F3217HY
μPD70F3217H
単電源フラッシュ：128 KB, RAM：6 KB

μPD70F3217Y
μPD70F3217
二電源フラッシュ：128 KB, RAM：6 KB

μPD703217Y
μPD703217
マスクROM：128 KB, RAM：6 KB

μPD703216Y
μPD703216
マスクROM：96 KB, RAM：6 KB

V850ES/KJ1+

μPD70F3318Y
μPD70F3318
単電源フラッシュ：256 KB, RAM：16 KB

μPD70F3316Y
μPD70F3316
単電源フラッシュ：128 KB, RAM：6 KB

V850ES/Kx1の機能一覧を次に示します。

愛　　称		V850ES/KE1		V850ES/KF1					V850ES/KG1					V850ES/KJ1		
ピン数		64ピン		80ピン					100ピン					144ピン		
内部メモリ（Kバイト）	マスクROM	128	－	64/96	128	－	256	－	64/96	128	－	256	－	96/128	－	－
	フラッシュ・メモリ	－	128	－	－	128	－	256	－	－	128	－	256	－	128	256
	RAM	4		4	6		12		4	6		16		6		16
電源電圧		2.7～5.5 V														
最小命令実行時間		50 ns@20 MHz														
クロック	X1入力	2～10 MHz														
	サブクロック	32.768 kHz														
	内蔵発振器	－														
ポート	CMOS入力	8		8					8					16		
	CMOS入出力	41（4）注1		57（6）注1					72（8）注1					106（12）注1		
	N-ch オープン・ドレーン入出力	2		2					4					6		
タイマ	16ビット（TMP）	1 ch		－			1 ch		－			1 ch		－		1 ch
	16ビット（TM0）	1 ch		2 ch					4 ch					6 ch		
	8ビット（TM5）	2 ch		2 ch					2 ch					2 ch		
	8ビット（TMH）	2 ch		2 ch					2 ch					2 ch		
	インターバル・タイマ	1 ch		1 ch					1 ch					1 ch		
	時計	1 ch		1 ch					1 ch					1 ch		
	WDT1	1 ch		1 ch					1 ch					1 ch		
	WDT2	1 ch		1 ch					1 ch					1 ch		
RTO		6ビット×1 ch		6ビット×1 ch					6ビット×1 ch					6ビット×2 ch		
シリアル・インタフェース	CSI	2 ch		2 ch					2 ch					3 ch		
	自動送受信3線式CSI	－		1 ch					2 ch					2 ch		
	UART	2 ch		2 ch					2 ch					3 ch		
	LIN-bus対応UART	－		－					－					－		
	I^2C注2	1 ch		1 ch					1 ch					2 ch		
外部バス	アドレス空間	－		128 Kバイト					3 Mバイト					15 Mバイト		
	アドレス・バス	－		16ビット					22ビット					24ビット		
	モード	－		マルチプレクスのみ					マルチプレクス／セパレート							
DMAコントローラ		－		－					－					－		
10ビットA/Dコンバータ		8 ch		8 ch					8 ch					16 ch		
8ビットD/Aコンバータ		－		－					2 ch					2 ch		
割り込み	外部	8		8					8					8		
	内部	25/26注2		25/26注2			28/29注2		30/31注2			33/34注2		38/40注2		41/43注2
キー・リターン入力		8 ch		8 ch					8 ch					8 ch		
リセット	RESET端子	あり														
	POC	なし														
	LVI	なし														
	クロック・モニタ	なし														
	WDT1	あり														
	WDT2	あり														
ROMコレクション		4箇所														
レギュレータ		なし		あり												
スタンバイ		HALT/IDLE/STOP/サブIDLEモード														
動作周囲温度		T_A = －40～＋85 ℃														

注1.　（　）内のチャネル数はソフトウエアによりN-chオープン・ドレーン出力可能な端子数

2.　I^2C内蔵品（Y品）のみ。製品名については各ユーザーズ・マニュアルを参照してください。

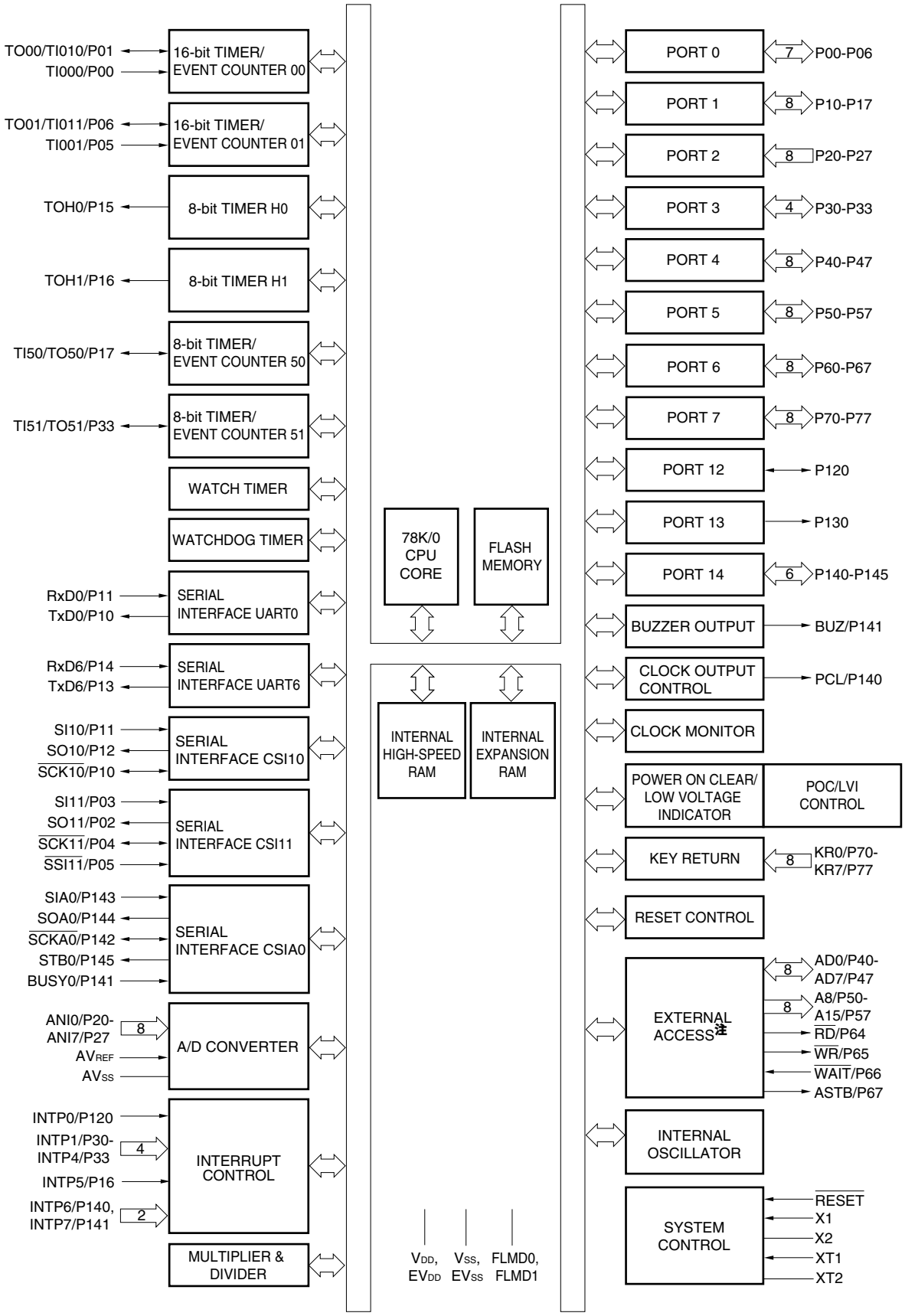
V850ES/Kx1+の機能一覧を次に示します。

愛　　称		V850ES/KE1+		V850ES/KF1+			V850ES/KG1+			V850ES/KJ1+	
ピン数		64ピン		80ピン			100ピン			144ピン	
内部メモリ（Kバイト）	マスクROM	128	－	－	256	－	－	256	－	－	－
	フラッシュ・メモリ	－	128	128	－	256	128	－	256	128	256
	内蔵発振器	4		6	12		6	16		6	16
電源電圧		2.7～5.5 V									
最小命令実行時間		50 ns@20 MHz									
クロック	X1入力	2～10 MHz									
	サブクロック	32.768 kHz									
	内蔵発振器	240 kHz（TYP.）									
ポート	CMOS入力	8		8			8			16	
	CMOS入出力	41（4）注1		57（6）注1			72（8）注1			106（12）注1	
	N-ch オープン・ドレーン入出力	2		2			4			6	
タイマ	16ビット（TMP）	1 ch		1 ch			1 ch			1 ch	
	16ビット（TM0）	1 ch		2 ch			4 ch			6 ch	
	8ビット（TM5）	2 ch		2 ch			2 ch			2 ch	
	8ビット（TMH）	2 ch		2 ch			2 ch			2 ch	
	インターバル・タイマ	1 ch		1 ch			1 ch			1 ch	
	時計	1 ch		1 ch			1 ch			1 ch	
	WDT1	1 ch		1 ch			1 ch			1 ch	
	WDT2	1 ch		1 ch			1 ch			1 ch	
RTO		6ビット×1 ch		6ビット×1 ch			6ビット×1 ch			6ビット×2 ch	
シリアル・インタフェース	CSI	2 ch		2 ch			2 ch			3 ch	
	自動送受信3線式CSI	－		1 ch			2 ch			2 ch	
	UART	1 ch		1 ch			2 ch			2 ch	
	LIN-bus対応UART	1 ch		1 ch			1 ch			1 ch	
	I^2C注2	1 ch		1 ch			1 ch			2 ch	
外部バス	アドレス空間	－		128 Kバイト			3 Mバイト			15 Mバイト	
	アドレス・バス	－		16ビット			22ビット			24ビット	
	モード	－		マルチプレクスのみ			マルチプレクス／セパレート				
DMAコントローラ		－		－			4 ch			4 ch	
10ビットA/Dコンバータ		8 ch		8 ch			8 ch			16 ch	
8ビットD/Aコンバータ		－		－			2 ch			2 ch	
割り込み	外部	9		9			9			9	
	内部	26/27注2		29/30注2			41/42注2			46/48注2	
キー・リターン入力		8 ch		8 ch			8 ch			8 ch	
リセット	$\overline{\text{RESET}}$端子	あり									
	POC	2.7 V以下固定									
	LVI	3.1 V/3.3 V±0.15 Vまたは3.5 V/3.7 V/3.9 V/4.1 V/4.3 V±0.2 V（ソフトウエアにより選択可能）									
	クロック・モニタ	あり（内蔵発振器によるモニタ）									
	WDT1	あり									
	WDT2	あり									
ROMコレクション		4箇所								なし	
レギュレータ		なし		あり							
スタンバイ		HALT/IDLE/STOP/サブIDLEモード									
動作周囲温度		T_A = －40～＋85 ℃									

注1.（　）のチャネル数はソフトウエアによりN-chオープン・ドレーン出力選択可能な端子数

2. I^2C内蔵品（Y品）のみ。製品名については各ユーザーズ・マニュアルを参照してください。

1.6　ブロック図



★　　**注**　(A1) **水準品は，外部バス・インタフェース機能を使用できません。**

1.7　機能概要

（1/2）

項　　目		μPD78F0148H	μPD78F0148HD
内部メモリ	フラッシュ・メモリ（セルフ・プログラミング対応）	60 Kバイト注1	
	高速RAM	1 Kバイト	
	拡張RAM	1 Kバイト注1	
	バッファRAM	32バイト	
メモリ空間		64 Kバイト	
★ 高速システム・クロック（発振周波数）		水晶／セラミック／外部クロック発振	
	標準品，（A）水準品	2～16 MHz：V_{DD} = 4.0～5.5 V, 2～10 MHz：V_{DD} = 3.5～5.5 V, 2～8.38 MHz：V_{DD} = 3.0～5.5 V, 2～5 MHz：V_{DD} = 2.5～5.5 V	
	（A1）水準品	2～16 MHz：V_{DD} = 4.0～5.5 V, 2～10 MHz：V_{DD} = 3.5～5.5 V, 2～8.38 MHz：V_{DD} = 3.0～5.5 V, 2～5 MHz：V_{DD} = 2.7～5.5 V	
内蔵発振クロック（発振周波数）		内蔵発振 （240 kHz（TYP.）：V_{DD} = 2.0～5.5 V注2）	
★ サブシステム・クロック（発振周波数）		水晶／外部クロック発振	
	標準品，（A）水準品	32.768 kHz：V_{DD} = 2.0～5.5 V注2	
	（A1）水準品	32.768 kHz：V_{DD} = 2.7～5.5 V	
汎用レジスタ		8ビット×32レジスタ（8ビット×8レジスタ×4バンク）	
最小命令実行時間		0.125 μs/0.25 μs/0.5 μs/1.0 μs/2.0 μs（高速システム・クロック：f_{XP} = 16 MHz動作時）	
		8.3 μs/16.6 μs/33.3 μs/66.6 μs/133.3 μs（TYP.）（内蔵発振クロック：f_R = 240 kHz（TYP.）動作時）	
		122 μs（サブシステム・クロック：f_{XT} = 32.768 kHz動作時）	
命令セット		・16ビット演算 ・乗除算（8ビット×8ビット，16ビット÷8ビット） ・ビット操作（セット，リセット，テスト，ブール演算） ・BCD補正など	
I/Oポート		合計　：67本 CMOS入出力　：54本 CMOS入力　：8本 CMOS出力　：1本 N-chオープン・ドレーン入出力　：4本	
タイマ		・16ビット・タイマ／イベント・カウンタ：2チャネル ・8ビット・タイマ／イベント・カウンタ　：2チャネル ・8ビット・タイマ　：2チャネル ・時計用タイマ　：1チャネル ・ウォッチドッグ・タイマ　：1チャネル	
	タイマ出力	6本（PWM出力：4本）	
クロック出力		・78.125 kHz, 156.25 kHz, 312.5 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz （高速システム・クロック：10 MHz動作時） ・32.768 kHz（サブシステム・クロック：32.768 kHz動作時）	

注1.　メモリ・サイズ切り替えレジスタ（IMS）と内部拡張RAMサイズ切り替えレジスタ（IXS）により，内部フラッシュ・メモリ，内部拡張RAM容量の変更可能。

2.　パワーオン・クリア（POC）回路の検出電圧（V_{POC}）が2.1 V±0.1 Vのため，2.2～5.5 Vの電圧範囲で使用してください。

(2/2)

項　　目		μPD78F0148H	μPD78F0148HD
ブザー出力		1.22 kHz, 2.44 kHz, 4.88 kHz, 9.77 kHz（高速システム・クロック：10 MHz動作時）	
A/Dコンバータ		10ビット分解能×8チャネル	
シリアル・インタフェース		・LIN-bus対応UARTモード　：1チャネル ・3線式シリアルI/Oモード　：1チャネル ・自動送受信付き3線式シリアルI/Oモード　：1チャネル ・3線式シリアルI/Oモード/UARTモード注1　：1チャネル	
乗除算器		・16ビット×16ビット= 32ビット（乗算） ・32ビット÷16ビット= 32ビット　剰余16ビット（除算）	
ベクタ割り込み要因	内部	20	
	外部	9	
キー割り込み		キー入力端子（KR0-KR7）の立ち下がりエッジ検出により，キー割り込み（INTKR）発生	
リセット		・$\overline{\text{RESET}}$端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・クロック・モニタによる内部リセット ・パワーオン・クリアによる内部リセット ・低電圧検出回路による内部リセット	
オンチップ・ディバグ機能		－	あり
★ 電源電圧		・標準品，（A）水準品： V_{DD} = 2.5～5.5 V（内蔵発振クロックまたはサブシステム・クロック 使用時：V_{DD} = 2.0～5.5 V注2） ・（A1）水準品： V_{DD} = 2.7～5.5 V（内蔵発振クロック使用時：V_{DD} = 2.0～5.5 V注2）	
★ 動作周囲温度		・標準品，（A）水準品：T_A = －40～＋85 ℃ ・（A1）水準品　：T_A = －40～＋110 ℃	
パッケージ		・80ピン・プラスチックQFP（14x14） ・80ピン・プラスチックTQFP（ファインピッチ）（12x12）	

注1.　端子を兼用しているため，どちらかを選択して使用します。

2.　パワーオン・クリア（POC）回路の検出電圧（V_{POC}）が2.1 V±0.1 Vのため，2.2～5.5 Vの電圧範囲で使用してください。

次にタイマの概要を示します。

		16ビット・タイマ／イベント・カウンタ00, 01		8ビット・タイマ／イベント・カウンタ50, 51		8ビット・タイマH0, H1		時計用タイマ	ウォッチドッグ・タイマ
		TM00	TM01	TM50	TM51	TMH0	TMH1		
動作モード	インターバル・タイマ	1チャネル	1チャネル	1チャネル	1チャネル	1チャネル	1チャネル	1チャネル注	－
	外部イベント・カウンタ	1チャネル	1チャネル	1チャネル	1チャネル	－	－	－	－
	ウォッチドッグ・タイマ	－	－	－	－	－	－	－	1チャネル
機能	タイマ出力	1出力	1出力	1出力	1出力	1出力	1出力	－	－
	PPG出力	1出力	1出力	－	－	－	－	－	－
	PWM出力	－	－	1出力	1出力	1出力	1出力	－	－
	パルス幅測定	2入力	2入力	－	－	－	－	－	－
	方形波出力	1出力	1出力	1出力	1出力	1出力	1出力	－	－
	割り込み要因	2	2	1	1	1	1	1	－

注　時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

備考　TM51とTMH1を組み合わせることで，キャリア・ジェネレータ・モードとして使用できます。

第2章　端子機能

2.1　端子機能一覧

端子の入出力バッファ電源には，AV_{REF}, EV_{DD}, V_{DD}の3系統があります。それぞれの電源と端子の関係を次に示します。

表2－1　各端子の入出力バッファ電源

電源	対応する端子
AV_{REF}	P20-P27
EV_{DD}	P20-P27以外のポート端子
V_{DD}	ポート端子以外の端子

（1）ポート端子（1/2）

端子名称	入出力	機　　能	リセット時	兼用端子
P00	入出力	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力	TI000
P01				TI010/TO00
P02				SO11
P03				SI11
P04				$\overline{SCK11}$
P05				$\overline{SSI11}$/TI001
P06				TI011/TO01
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力	$\overline{SCK10}$/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD6
P14				RxD6
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50/FLMD1
P20-P27	入力	ポート2。 8ビット入力専用ポート。	入力	ANI0-ANI7
P30-P32	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力	INTP1-INTP3
P33				INTP4/TI51/TO51
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力	AD0-AD7

（1）ポート端子（2/2）

端子名称	入出力	機　　能		リセット時	兼用端子
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。		入力	A8-A15
P60-P63	入出力	ポート6。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	N-chオープン・ドレーン入出力ポート。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力	－
P64					$\overline{\text{RD}}$
P65					$\overline{\text{WR}}$
P66					$\overline{\text{WAIT}}$
P67					ASTB
P70-P77	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。		入力	KR0-KR7
P120	入出力	ポート12。 1ビット入出力ポート。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。		入力	INTP0
P130	出力	ポート13。 1ビット出力専用ポート。		出力	－
P140	入出力	ポート14。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。		入力	PCL/INTP6
P141					BUZ/BUSY0/INTP7
P142					$\overline{\text{SCKA0}}$
P143					SIA0
P144					SOA0
P145					STB0

（2）ポート以外の端子（1/2）

端子名称	入出力	機　　能	リセット時	兼用端子
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力	P120
INTP1-INTP3				P30-P32
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
INTP6				P140/PCL
INTP7				P141/BUZ/BUSY0
SI10	入力	シリアル・インタフェースのシリアル・データ入力	入力	P11/RxD0
SI11				P03
SIA0				P143
SO10	出力	シリアル・インタフェースのシリアル・データ出力	入力	P12
SO11				P02
SOA0				P144
$\overline{\text{SCK10}}$	入出力	シリアル・インタフェースのクロック入力／出力	入力	P10/TxD0
$\overline{\text{SCK11}}$				P04
$\overline{\text{SCKA0}}$				P142
$\overline{\text{SSI11}}$	入力	シリアル・インタフェースのチップ・セレクト入力	入力	P05/TI001
BUSY0	入力	シリアル・インタフェースのビジィ入力	入力	P141/BUZ/INTP7
STB0	出力	シリアル・インタフェースのストローブ出力	入力	P145
RxD0	入力	アシンクロナス・シリアル・インタフェース用シリアル・データ入力	入力	P11/SI10
RxD6				P14
TxD0	出力	アシンクロナス・シリアル・インタフェース用シリアル・データ出力	入力	P10/$\overline{\text{SCK10}}$
TxD6				P13
TI000	入力	16ビット・タイマ／イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ／イベント・カウンタ00のキャプチャ・レジスタ（CR000, CR010）へのキャプチャ・トリガ入力	入力	P00
TI001		16ビット・タイマ／イベント・カウンタ01への外部カウント・クロック入力 16ビット・タイマ／イベント・カウンタ01のキャプチャ・レジスタ（CR001, CR011）へのキャプチャ・トリガ入力		P05/$\overline{\text{SSI11}}$
TI010		16ビット・タイマ／イベント・カウンタ00のキャプチャ・レジスタ（CR000）へのキャプチャ・トリガ入力		P01/TO00
TI011		16ビット・タイマ／イベント・カウンタ01のキャプチャ・レジスタ（CR001）へのキャプチャ・トリガ入力		P06/TO01
TO00	出力	16ビット・タイマ／イベント・カウンタ00出力	入力	P01/TI010
TO01		16ビット・タイマ／イベント・カウンタ01出力		P06/TI011

（2）ポート以外の端子（2/2）

端子名称	入出力	機　　能	リセット時	兼用端子
TI50	入力	8ビット・タイマ／イベント・カウンタ50への外部カウント・クロック入力	入力	P17/TO50/FLMD1
TI51		8ビット・タイマ／イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO50	出力	8ビット・タイマ／イベント・カウンタ50出力	入力	P17/TI50/FLMD1
TO51		8ビット・タイマ／イベント・カウンタ51出力		P33/TI51/INTP4
TOH0		8ビット・タイマH0出力		P15
TOH1		8ビット・タイマH1出力		P16/INTP5
PCL	出力	クロック出力（高速システム・クロック，サブシステム・クロックのトリミング用）	入力	P140/INTP6
BUZ	出力	ブザー出力	入力	P141/INTP7/BUSY0
AD0-AD7	入出力	外部にメモリを拡張する場合の，下位アドレス／データ・バス	入力	P40-P47
A8-A15	出力	外部にメモリを拡張する場合の，上位アドレス・バス	入力	P50-P57
$\overline{RD}$	出力	外部メモリのリード動作用ストローブ信号出力	入力	P64
$\overline{WR}$	出力	外部メモリのライト動作用ストローブ信号出力	入力	P65
$\overline{WAIT}$	入力	外部メモリ・アクセス時のウエイト挿入	入力	P66
ASTB	出力	外部メモリをアクセスするために，ポート4，5に出力されるアドレス情報を外部でラッチするストローブ出力	入力	P67
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	入力	P20-P27
AV_{REF}	入力	A/Dコンバータの基準電圧入力およびポート2の正電源	－	－
AV_{SS}	－	A/Dコンバータのグランド電位。EV_{SS}またはV_{SS}と同電位にしてください。	－	－
KR0-KR7	入力	キー割り込み入力	入力	P70-P77
$\overline{RESET}$	入力	システム・リセット入力	－	－
X1	入力	高速システム・クロック用発振子接続	－	－
X2	－		－	－
XT1	入力	サブシステム・クロック用発振子接続	－	－
XT2	－		－	－
V_{DD}	－	正電源（ポート部を除く）	－	－
EV_{DD}	－	ポート部の正電源	－	－
V_{SS}	－	グランド電位（ポート部を除く）	－	－
EV_{SS}	－	ポート部のグランド電位	－	－
FLMD0	－	フラッシュ・メモリ・プログラミング・モード引き込み。	－	－
FLMD1			入力	P17/TI50/TO50
NC	－	内部接続されていません。 オープンにしてください（V_{DD}またはV_{SS}に接続でも可）。	－	－

2. 2　端子機能の説明

2. 2. 1　P00-P06（Port 0）

7ビットの入出力ポートです。入出力ポートのほかにタイマの入出力，シリアル・インタフェースのデータ入出力，クロック入出力，チップ・セレクト入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ0（PM0）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0（PU0）の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力，シリアル・インタフェースのデータ入出力，クロック入出力，チップ・セレクト入力として機能します。

(a) TI000, TI001

16ビット・タイマ／イベント・カウンタ00，01への外部カウント・クロック入力端子および16ビット・タイマ／イベント・カウンタ00，01のキャプチャ・レジスタ（CR000，CR010またはCR001，CR011）へのキャプチャ・トリガ信号入力端子です。

(b) TI010, TI011

16ビット・タイマ／イベント・カウンタ00，01のキャプチャ・レジスタ（CR000またはCR001）へのキャプチャ・トリガ信号入力端子です。

(c) TO00, TO01

タイマ出力端子です。

(d) SI11

シリアル・インタフェースのシリアル・データの入力端子です。

(e) SO11

シリアル・インタフェースのシリアル・データの出力端子です。

(f) $\overline{\text{SCK11}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(g) $\overline{\text{SSI11}}$

シリアル・インタフェースのチップ・セレクト入力端子です。

2. 2. 2　P10-P17（Port 1）

8ビットの入出力ポートです。入出力ポートのほかに，外部割り込み要求入力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力，フラッシュ・メモリ・プログラミング・モード引き込み機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1（PM1）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1（PU1）の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力，フラッシュ・メモリ・プログラミング・モード引き込みとして機能します。

(a) SI10

シリアル・インタフェースのシリアル・データの入力端子です。

(b) SO10

シリアル・インタフェースのシリアル・データの出力端子です。

(c) $\overline{\text{SCK10}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(d) RxD0, RxD6

アシンクロナス・シリアル・インタフェースのシリアル・データの入力端子です。

(e) TxD0, TxD6

アシンクロナス・シリアル・インタフェースのシリアル・データの出力端子です。

(f) TI50

8ビット・タイマ／イベント・カウンタ50への外部カウント・クロック入力端子です。

(g) TO50, TOH0, TOH1

タイマ出力端子です。

(h) INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(i) FLMD1

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

2. 2. 3　P20-P27（Port 2）

8ビットの入力専用ポートです。入力ポートのほかにA/Dコンバータのアナログ入力機能があります。
1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子（ANI0-ANI7）として機能します。アナログ入力端子として使用する場合，13. 6　A/D**コンバータの注意事項**（5）ANI0/P20-ANI7/P27を参照してください。

2. 2. 4　P30-P33（Port 3）

4ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力，タイマ入出力機能があります。
1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3（PM3）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3（PU3）の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力，タイマの入出力として機能します。

(a) INTP1-INTP4

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) TI51

8ビット・タイマ／イベント・カウンタ51への外部カウント・クロック入力端子です。

(c) TO51

タイマ出力端子です。

注意　μPD78F0148HDは，誤動作を防ぐため，リセット後にP31を必ずプルダウンしてください。

備考　μPD78F0148HDのP31/INTP2, P32/INTP3は，オンチップ・ディバグ機能を使用するとき，オンチップ・ディバグ・モード引き込み用端子として使用できます。詳細は，第28章　オンチップ・ディバグ機能（μPD78F0148HDのみ）を参照してください。

2. 2. 5　P40-P47（Port 4）

8ビットの入出力ポートです。入出力ポートのほかにアドレス／データ・バス機能があります。
次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ4（PM4）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4（PU4）の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の下位アドレス／データ・バス端子（AD0-AD7）として機能します。

★　**注意**　(A1) 水準品は外部バス・インタフェース機能を使用できません。

2. 2. 6　P50-P57（Port 5）

8ビットの入出力ポートです。入出力ポートのほかにアドレス・バス機能があります。
次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5（PM5）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5（PU5）の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の上位アドレス・バス端子（A8-A15）として機能します。

★　**注意**　(A1) 水準品は外部バス・インタフェース機能を使用できません。

2. 2. 7　P60-P67（Port 6）

8ビットの入出力ポートです。入出力ポートのほかに外部メモリ拡張モード時の制御機能があります。
次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ6（PM6）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。

P60-P63はN-chオープン・ドレーンになっています。

P64-P67はプルアップ抵抗オプション・レジスタ6（PU6）の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部メモリ拡張モード時の制御信号出力端子（$\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, ASTB）として機能します。

注意1．外部メモリ拡張モード時で外部ウエイトを使用しないときは，P66を入出力ポートとして使用できます。

★ 2．（A1）水準品は外部バス・インタフェース機能を使用できません。

2. 2. 8　P70-P77（Port 7）

8ビットの入出力ポートです。入出力ポートのほかにキー割り込み入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ7（PM7）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7（PU7）の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み入力端子として機能します。

2. 2. 9　P120（Port 12）

1ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力機能があります。

次のような動作モードを指定できます。

(1) ポート・モード

1ビットの入出力ポートとして機能します。ポート・モード・レジスタ12（PM12）の設定により，入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12（PU12）の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力（INTP0）として機能します。

2. 2. 10　P130（Port 13）

1ビットの出力専用ポートです。

2. 2. 11　P140-P145（Port 14）

6ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力，クロック出力，ブザー出力，シリアル・インタフェースのデータ入出力，クロック入出力，ビジィ入力，ストローブ出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ14（PM14）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14（PU14）の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力，クロック出力，ブザー出力，シリアル・インタフェースのデータ入出力，クロック入出力，ビジィ入力，ストローブ出力として機能します。

(a) INTP6, INTP7

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) PCL

クロック出力端子です。

(c) BUZ

ブザー出力端子です。

(d) SIA0

シリアル・インタフェースのシリアル・データの入力端子です。

(e) SOA0

シリアル・インタフェースのシリアル・データの出力端子です。

(f) $\overline{\text{SCKA0}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(g) BUSY0

シリアル・インタフェースのビジィ入力端子です。

(h) STB0

シリアル・インタフェースのストローブ出力端子です。

2. 2. 12　AVREF

A/Dコンバータの基準電圧入力，およびP20-P27, A/Dコンバータの正電源供給端子です。
A/Dコンバータを使用しない場合は，EV_{DD}またはV_{DD}に直接接続してください[注]。

注　ポート2をディジタル・ポートとして使用する場合は，EV_{DD}に直接接続してください。

2. 2. 13　AVSS

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも，常にEVSS端子またはVSS端子と同電位で使用してください。

2. 2. 14　$\overline{\text{RESET}}$

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2. 2. 15　X1, X2

高速システム・クロック用発振子接続端子です。

外部クロックを供給するときは，X1に入力し，X2にその反転信号を入力してください。

備考　μPD78F0148HDのX1, X2は，オンチップ・ディバグ機能を使用するとき，オンチップ・ディバグ・モード引き込み用端子として使用できます。詳細は，第28章　オンチップ・ディバグ機能（μPD78F0148HDのみ）を参照してください。

2. 2. 16　XT1, XT2

サブシステム・クロック用発振子接続端子です。

外部クロックを供給するときは，XT1に入力し，XT2にその反転信号を入力してください。

2. 2. 17　VDD, EVDD

VDDは，ポート部以外の正電源供給端子です。

EVDDは，ポート部の正電源供給端子です。

2. 2. 18　VSS, EVSS

VSSは，ポート部以外のグランド電位端子です。

EVSSは，ポート部のグランド電位端子です。

2. 2. 19　FLMD0, FLMD1

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には，FLMD0をEVSSまたはVSSに接続してください（FLMD1はP17/TI50/TO50端子として使用）。

フラッシュ・メモリ・プログラミング・モード時には，フラッシュ・ライタと必ず接続してください。

2.3　端子の入出力回路と未使用端子の処理

各端子の入出力タイプと，未使用端子の処理を表2－2に示します。

また，各タイプの入出力回路の構成は，図2－1を参照してください。

表2－2　各端子の入出力回路タイプ（1/2）

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000	8-A	入出力	入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P01/TI010/TO00			
P02/SO11			
P03/SI11			
P04/$\overline{SCK11}$			
P05/$\overline{SSI11}$/TI001			
P06/TI011/TO01			
P10/$\overline{SCK10}$/TxD0			
P11/SI10/RxD0			
P12/SO10	5-A		
P13/TxD6			
P14/RxD6	8-A		
P15/TOH0	5-A		
P16/TOH1/INTP5	8-A		
P17/TI50/TO50/FLMD1			
P20/ANI0-P27/ANI7	9-C	入力	AV_{REF}またはAV_{SS}に接続してください。
P30/INTP1	8-A	入出力	入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P31/INTP2（μPD78F0148HDを除く）			
P31/INTP2（μPD78F0148HD）			抵抗を介して，EV_{SS}に接続してください。
P32/INTP3			入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P33/TI51/TO51/INTP4			
P40/AD0-P47/AD7	5-A		
P50/A8-P57/A15			
P60, P61	13-R		入力時：EV_{SS}に接続してください。 出力時：ポートの出力ラッチに0を設定して，ロウ・レベル出力でオープンにしてください。
P62, P63	13-W		
P64/$\overline{WD}$	5-A		入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P65/$\overline{WR}$			
P66/$\overline{WAIT}$			
P67/ASTB			
P70/KR0-P77/KR7	8-A		
P120/INTP0			

表2－2　各端子の入出力回路タイプ（2/2）

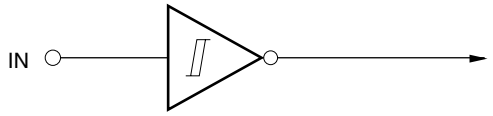
端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P130	3-C	出力	オープンにしてください
P140/PCL/INTP6	8-A	入出力	入力時：個別に抵抗を介して，EV_{DD}またはEV_{SS}に接続してください。 出力時：オープンにしてください。
P141/BUZ/BUSY0/INTP7			
P142/$\overline{SCKA0}$			
P143/SIA0			
P144/SOA0	5-A		
P145/STB			
$\overline{RESET}$	2	入力	EV_{DD}またはV_{DD}に接続してください。
XT1	16		EV_{SS}またはV_{SS}に直接接続してください[注1]。
XT2		－	オープンにしてください。
AV_{REF}	－		EV_{DD}またはV_{DD}に直接接続してください[注2]。
AV_{SS}			EV_{SS}またはV_{SS}に直接接続してください。
FLMD0			EV_{SS}またはV_{SS}に接続してください。
NC			オープンにしてください（V_{DD}またはV_{SS}に接続でも可）。

注1.　リセット解除後にプロセッサ・クロック・コントロール・レジスタ（PCC）のビット6（FRC）を1に設定する必要があります。

2.　ポート2をディジタル・ポートとして使用する場合，EV_{DD}に直接接続してください。

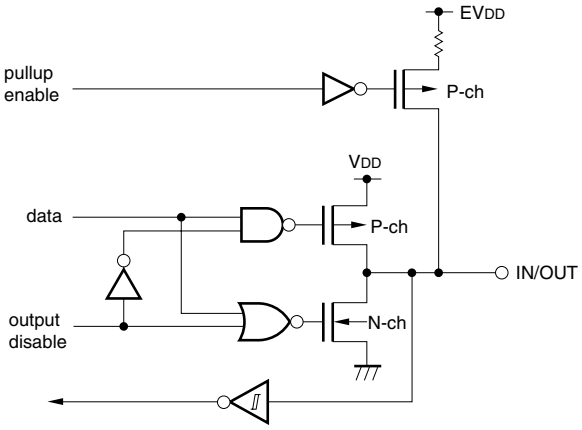
図2－1　端子の入出力回路一覧（1/2）

タイプ2

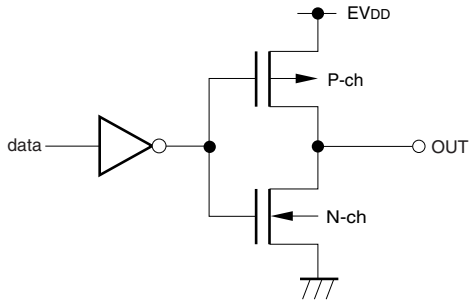


ヒステリシス特性を有するシュミット・トリガ入力となっています。

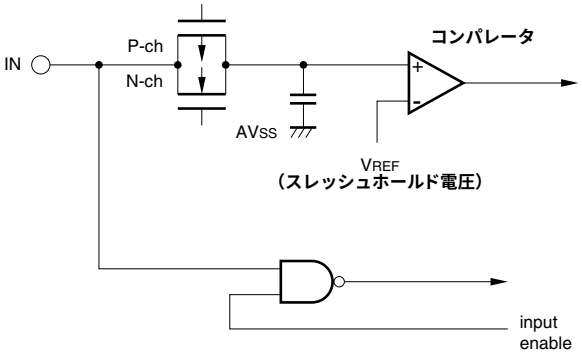
タイプ8-A



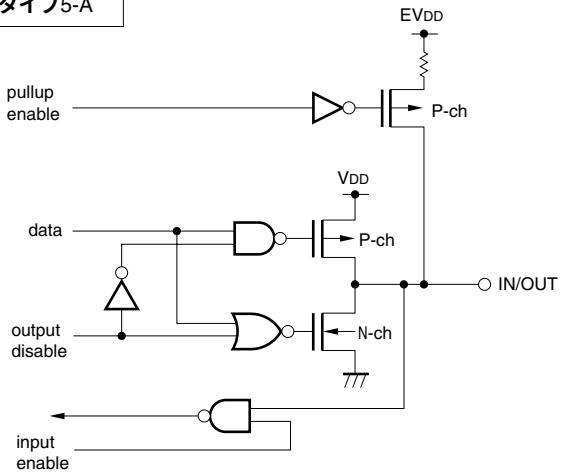
タイプ3-C



タイプ9-C



タイプ5-A



タイプ13-R

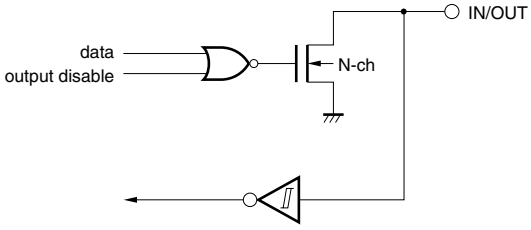
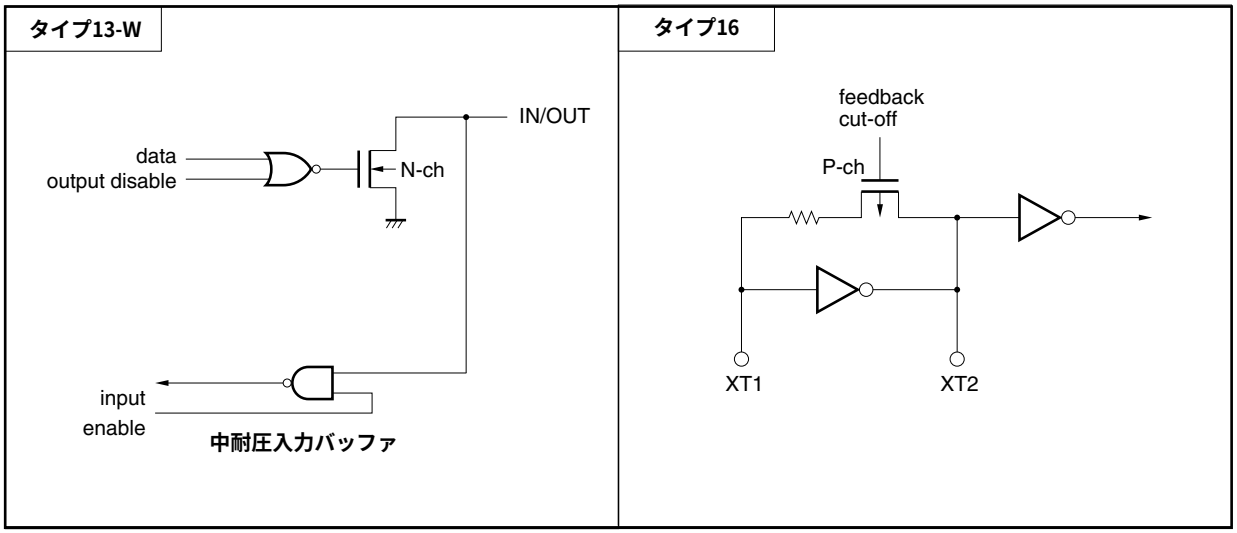


図2－1　端子の入出力回路一覧（2/2）



第3章　CPUアーキテクチャ

3. 1　メモリ空間

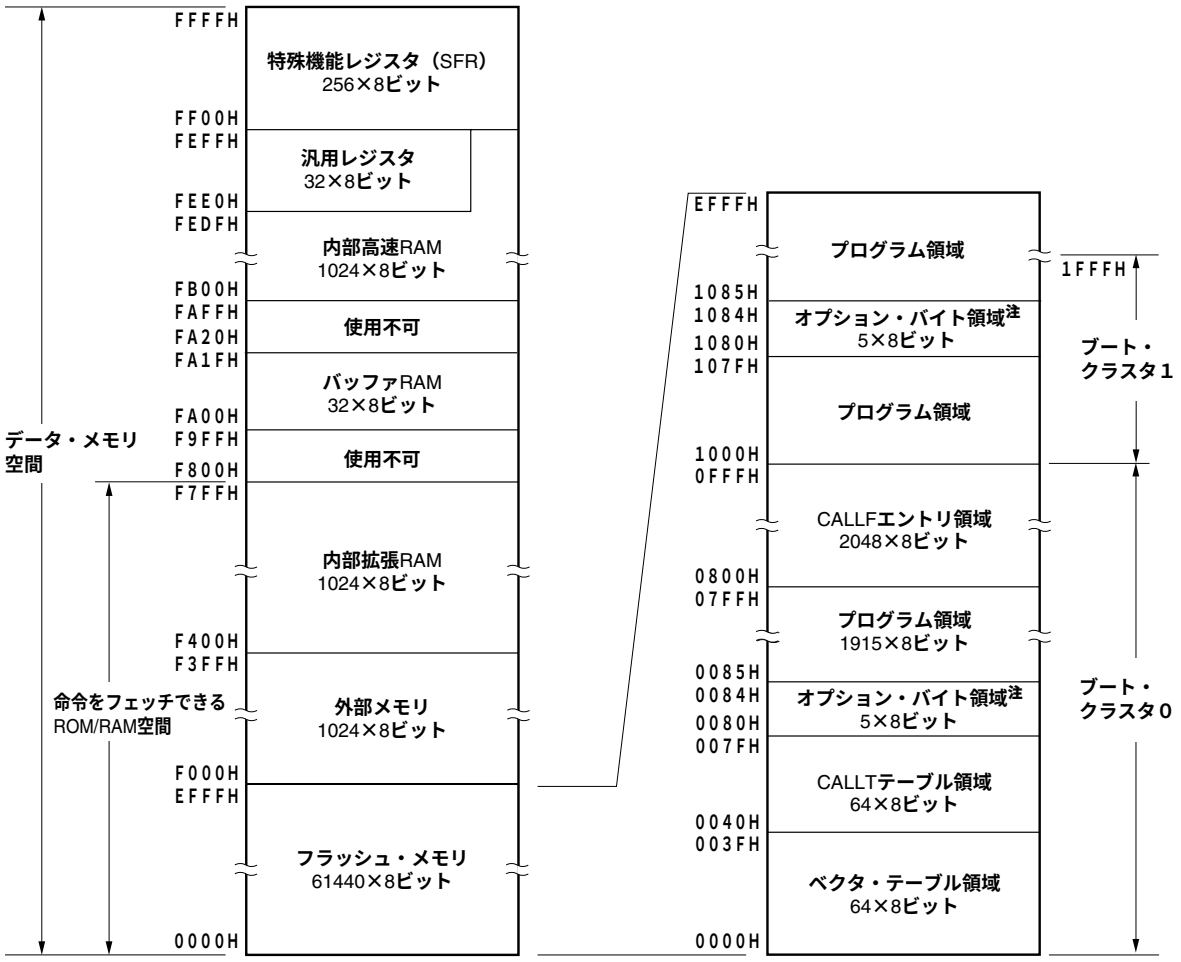
78K0/KF1+は，それぞれ64 Kバイトのメモリ空間をアクセスできます。図3－1，図3－2に，メモリ・マップを示します。

注意　内部拡張RAMサイズ切り替えレジスタ（IXS）の初期値はIXS = 0CHとなっているため，初期設定でIXS = 0AHに設定してください。78K0/KF1+を78K0/KF1のマスクROM製品のプログラム評価用として使用する場合は，メモリ・サイズ切り替えレジスタ（IMS）とIXSに次に示す値を設定してください。

表3－1　メモリ・サイズ切り替えレジスタ（IMS）と内部拡張RAMサイズ切り替えレジスタ（IXS）の設定値

フラッシュ・メモリ製品（78K0/KF1+）	対象のマスクROM製品（78K0/KF1）	IMS	IXS
－	μPD780143	C6H	0CH
－	μPD780144	C8H	
－	μPD780146	CCH	0AH
μPD78F0148H, 78F0148HD	μPD780148	CFH	

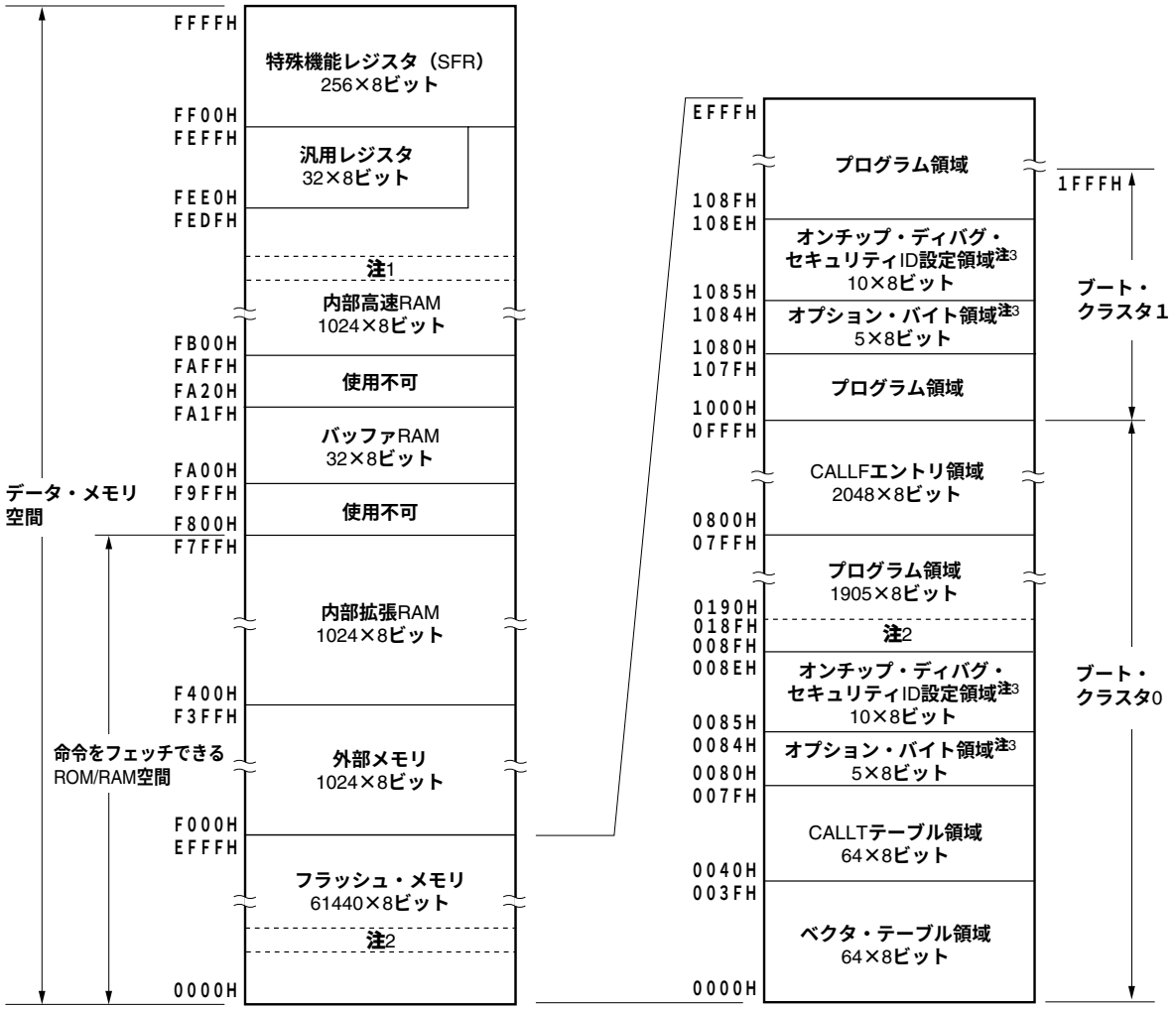
★ **図3－1　メモリ・マップ（μPD78F0148H）**



注　ブート・スワップ未使用時　：0080H-0084Hにオプション・バイト設定

ブート・スワップ使用時　　：0080H-0084H，1080H-1084Hにオプション・バイト設定

★ **図3－2　メモリ・マップ（μPD78F0148HD）**



注1.　**オンチップ・ディバグ時は，通信時のユーザ・データのバックアップ領域として，約**7～16**バイト使用します。**

2.　**オンチップ・ディバグ時は，通信コマンド用領域（**008FH-018FH**：ディバッガの標準設定）となるため，使用不可になります。**

3.　**ブート・スワップ未使用時：**0080H-0084H**にオプション・バイト，**0085H-008EH**にオンチップ・ディバグ・セキュリティ**ID**を設定**

ブート・スワップ使用時　：0080H-0084H，1080H-1084H**にオプション・バイト，**0085H-008EH，1085H-108EH**にオンチップ・ディバグ・セキュリティ**ID**設定**

3. 1. 1　内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常，プログラム・カウンタ（PC）でアドレスします。

78K0/KF1+は，次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3－2　内部ROM容量

製　　品	内部ROM	
	構　　造	容　　量
μPD78F0148H, 78F0148HD	フラッシュ・メモリ	61440×8ビット（0000H-EFFFH）

内部プログラム・メモリ空間には，次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-003FHの64バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット信号入力，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。

16ビット・アドレスのうち下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

表3－3　ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
0000H	$\overline{\text{RESET}}$入力，POC, LVI，クロック・モニタ，WDT	0020H	INTTM000
		0022H	INTTM010
0004H	INTLVI	0024H	INTAD
0006H	INTP0	0026H	INTSR0
0008H	INTP1	0028H	INTWTI
000AH	INTP2	002AH	INTTM51
000CH	INTP3	002CH	INTKR
000EH	INTP4	002EH	INTWT
0010H	INTP5	0030H	INTP6
0012H	INTSRE6	0032H	INTP7
0014H	INTSR6	0034H	INTDMU
0016H	INTST6	0036H	INTCSI11
0018H	INTCSI10 / INTST0	0038H	INTTM001
001AH	INTTMH1	003AH	INTTM011
001CH	INTTMH0	003CH	INTACSI
001EH	INTTM50	003EH	BRK

(2) CALLT命令テーブル領域

0040H-007FHの64バイト領域には，1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

(3) オプション・バイト領域

0080Hの1バイト領域にオプション・バイト領域を用意しています。詳細は第26章　オプション・バイトを参照してください。

(4) CALLF命令エントリ領域

0800H-0FFFHの領域は，2バイト・コール命令（CALLF）で直接サブルーチン・コールすることができます。

3. 1. 2　内部データ・メモリ空間

78K0/KF1+は，次に示すRAMを内蔵しています。

(1) 内部高速RAM

FB00H-FEFFHの1024×8ビット構成となっています。

このうちFEE0H-FEFFHの32バイトの領域には，8ビット・レジスタ8個を1バンクとする汎用レジスタが，4バンク割り付けられます。

プログラム領域として命令を書いて実行することはできません。

また，内部高速RAMはスタック・メモリとしても使用できます。

(2) 内部拡張RAM

F400H-F7FFHの1024×8ビット構成となっています。

内部拡張RAMは内部高速RAMと同様に通常データ領域として使用できるほか，プログラム領域として命令を書いて実行することができます。

また，内部拡張RAMはスタック・メモリとして使用できません。

3. 1. 3　特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には，オン・チップ周辺ハードウエアの特殊機能レジスタ（SFR）が割り付けられています（3. 2. 3　特殊機能レジスタ（SFR：Special Function Register）の表3－4　特殊機能レジスター覧参照）。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.4　データ・メモリ・アドレシング

次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定する方法をアドレシングといいます。

命令を実行する際に操作対象となるメモリのアドレシングについて，78K0/KF1+では，その操作性などを考慮して豊富なアドレシング・モードを備えました。特にデータ・メモリを内蔵している領域では，特殊機能レジスタ（SFR）や汎用レジスタなど，それぞれのもつ機能にあわせて特有のアドレシングが可能です。図3－3，図3－4にデータ・メモリとアドレシングの対応を示します。各アドレシングの詳細については，3.4　**オペランド・アドレスのアドレシング**を参照してください。

図3－3　データ・メモリとアドレシングの対応（μPD78F0148H）

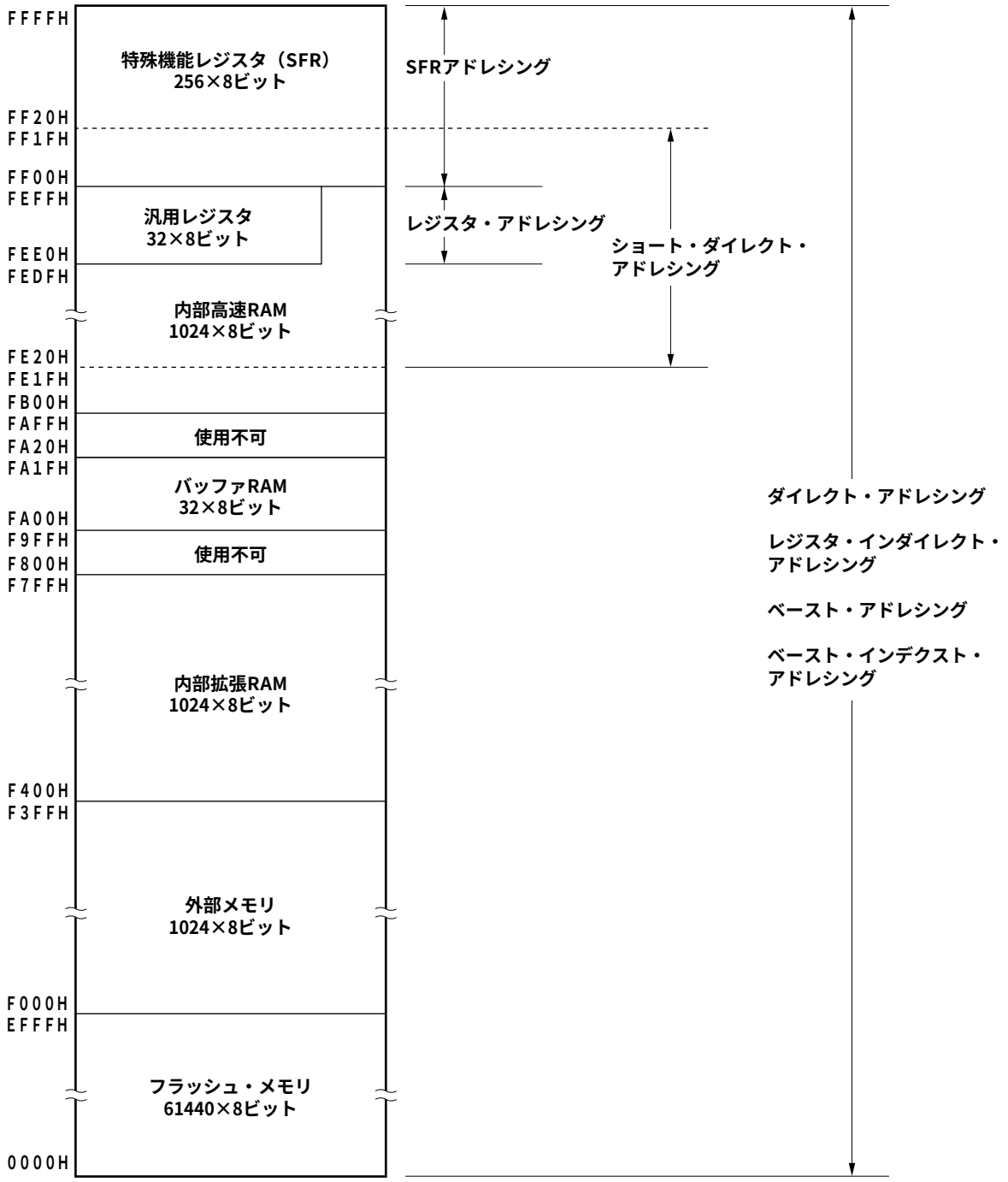
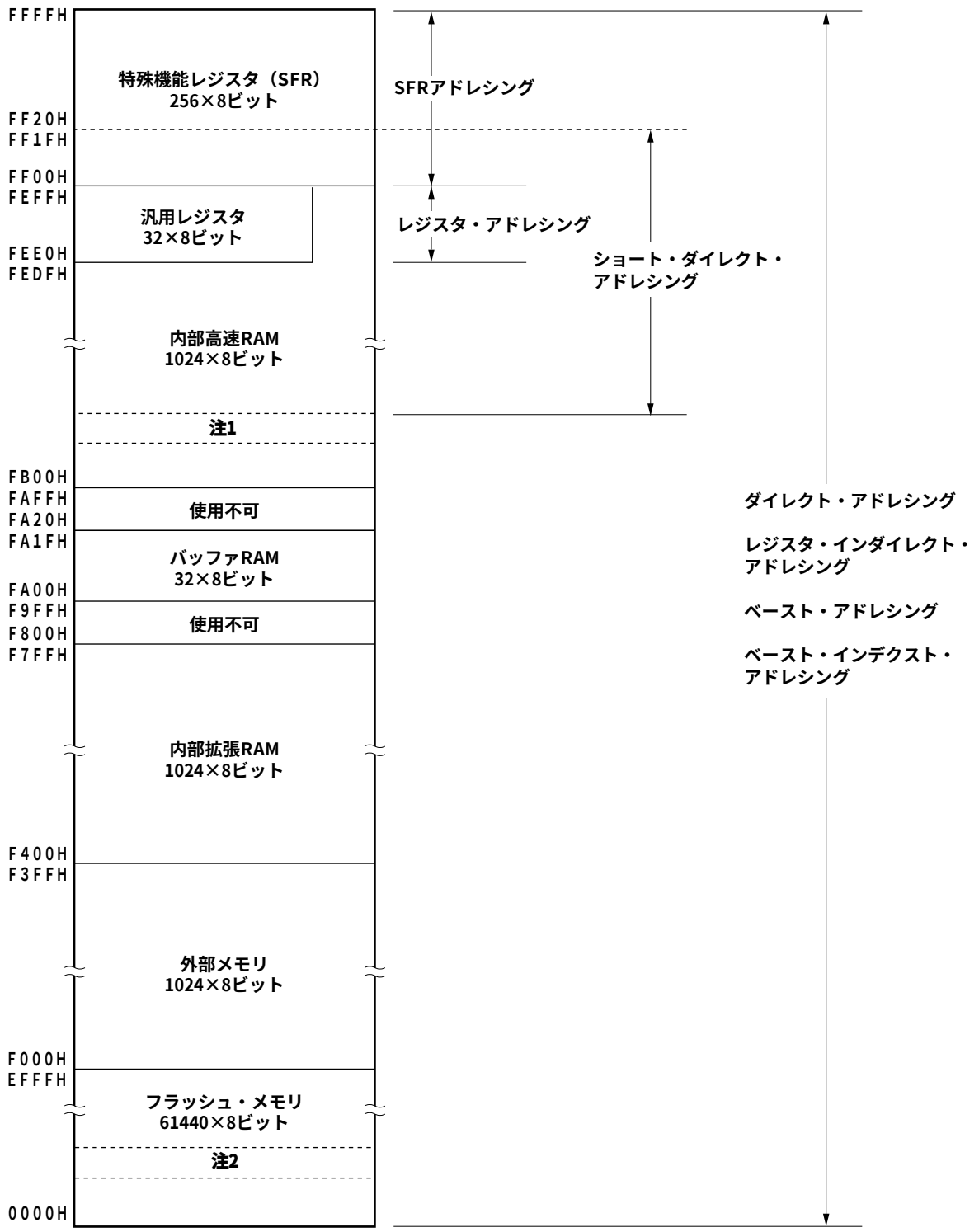


図3ー4　データ・メモリとアドレシングの対応（μPD78F0148HD）



★　**注**1.　**オンチップ・ディバグ時は，通信時のユーザ・データのバックアップ領域として，約**7～16**バイト使用します。**

★　2.　**オンチップ・ディバグ時は，通信コマンド用領域（**008FH-018FH**：ディバッガの標準設定）となるため，使用不可になります。**

3. 2　プロセッサ・レジスタ

78K0/KF1+は，次のプロセッサ・レジスタを内蔵しています。

3. 2. 1　制御レジスタ

プログラム・シーケンス，ステータス，スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

(1) プログラム・カウンタ（PC）

プログラム・カウンタは，次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には，フェッチする命令のバイト数に応じて，自動的にインクリメントされます。分岐命令実行時には，イミーディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$入力により，0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3－5　プログラム・カウンタの構成

	15															0
PC	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0

(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行によってセット，リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は，割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ，RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

$\overline{\text{RESET}}$入力により，02Hになります。

図3－6　プログラム・ステータス・ワードの構成

	7							0
PSW	IE	Z	RBS1	AC	RBS0	0	ISP	CY

(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり，マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは，インサービス・プライオリティ・フラグ（ISP），各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは，DI命令の実行または割り込みの受け付けでリセット（0）され，EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ（Z）

演算結果がゼロのときセット（1）され，それ以外のときにリセット（0）されるフラグです。

(c) レジスタ・バンク選択フラグ（RBS0, RBS1）

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ（AC）

演算結果が，ビット3からキャリーがあったとき，またはビット3へのボローがあったときセット（1）され，それ以外のときリセット（0）されるフラグです。

(e) インサービス・プライオリティ・フラグ（ISP）

受け付け可能なマスカブル・ベクタ割り込みの優先順位を管理するフラグです。ISP = 0のときは優先順位指定フラグ・レジスタ（PR0L, PR0H, PR1L, PR1H）（19. 3（3）優先順位指定フラグ・レジスタ（PR0L, PR0H, PR1L, PR1H）参照）で低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお，実際に割り込み要求が受け付けられるかどうかは，割り込み許可フラグ（IE）の状態により制御されます。

(f) キャリー・フラグ（CY）

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。また，ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

(3) スタック・ポインタ（SP）

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3－7　スタック・ポインタの構成

	15															0
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0

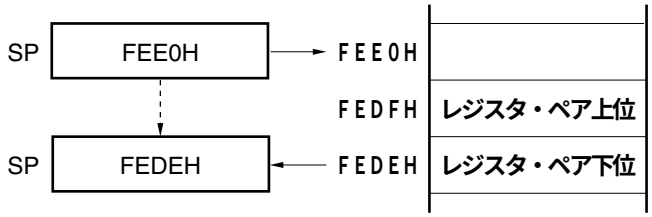
スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ，スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3－8, 3－9のようになります。

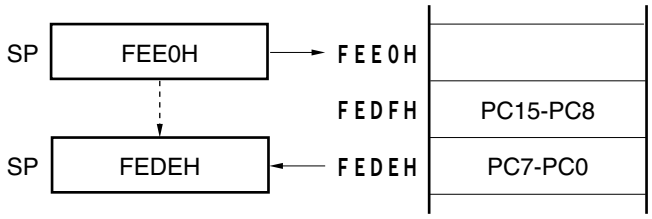
注意　SPの内容は$\overline{\text{RESET}}$入力により，不定になりますので，必ずスタック使用前にイニシャライズしてください。

図3－8　スタック・メモリへ退避されるデータ

(a) PUSH rp**命令（**SP**が**FEE0H**の場合）**



(b) CALL, CALLF, CALLT**命令（**SP**が**FEE0H**の場合）**



(c) 割り込み，BRK**命令（**SP**が**FEE0H**の場合）**

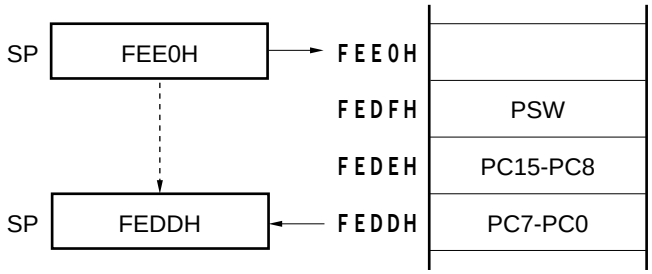
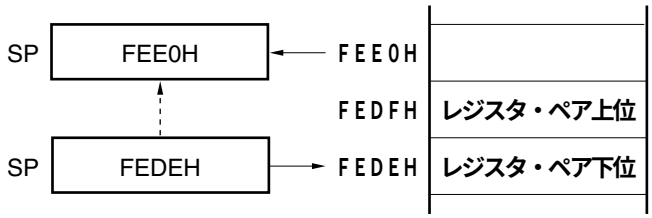
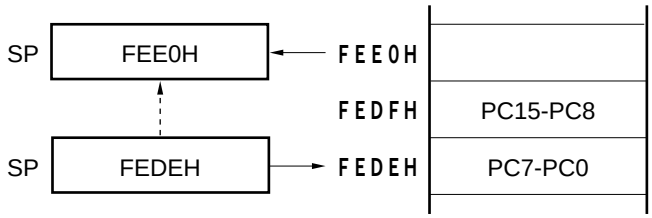


図3－9　スタック・メモリから復帰されるデータ

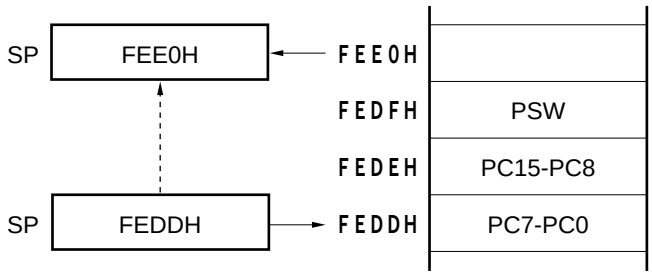
（a）POP rp命令（SPがFEDEHの場合）



（b）RET命令（SPがFEDEHの場合）



（c）RETI, RETB命令（SPがFEDDHの場合）



3. 2. 2　汎用レジスタ

汎用レジスタは，データ・メモリの特定番地（FEE0H-FEFFH）にマッピングされており，8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

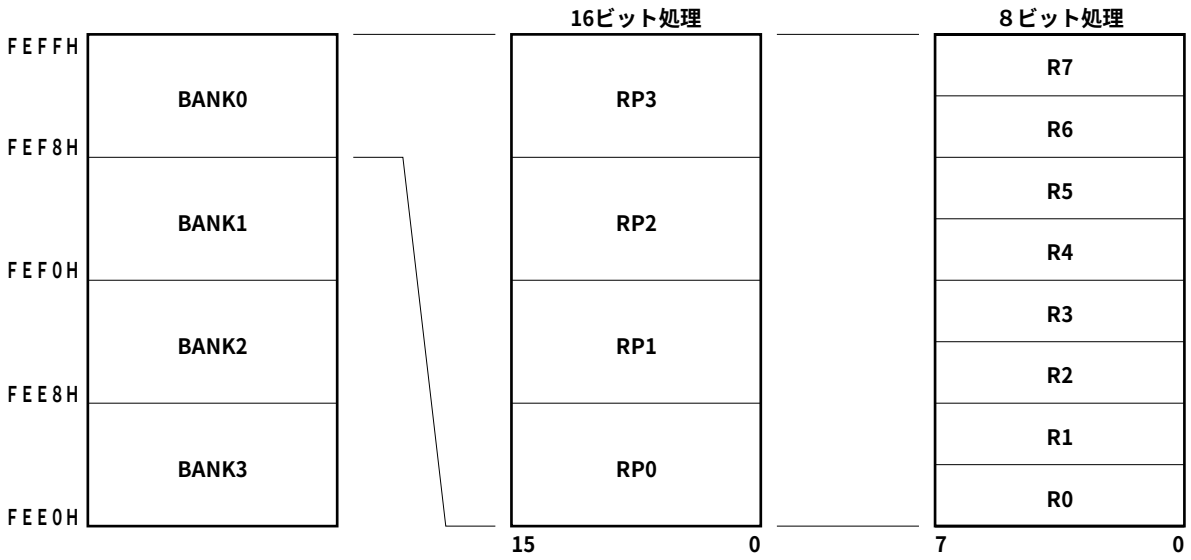
各レジスタは，それぞれ8ビット・レジスタとして使用できるほか，2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

また，機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか，絶対名称（R0-R7, RP0-RP3）ででも記述できます。

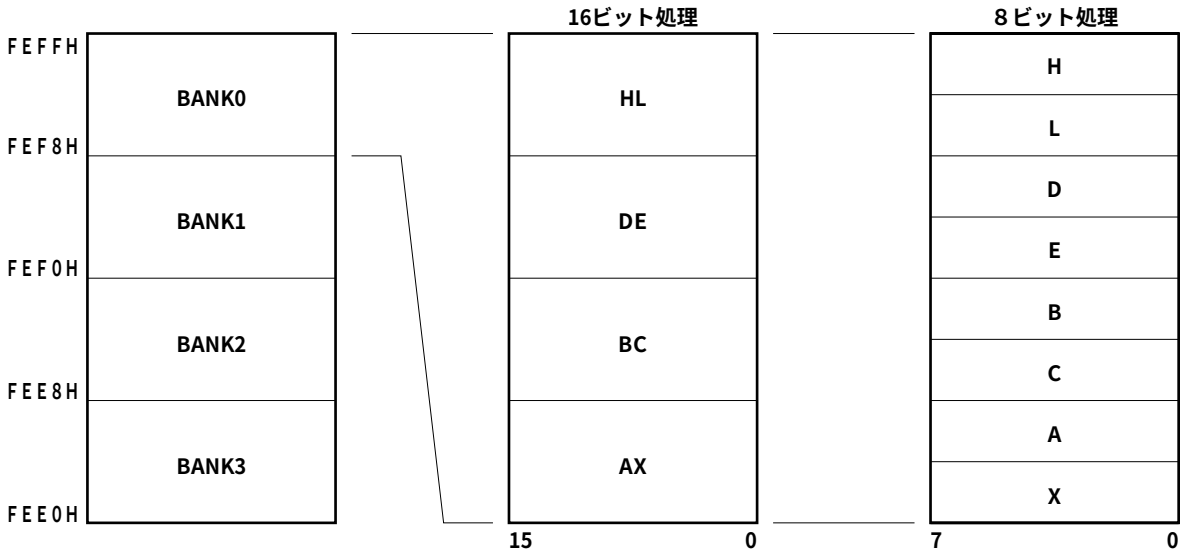
命令実行時に使用するレジスタ・バンクは，CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので，通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより，効率のよいプログラムを作成できます。

図3－10　汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3. 2. 3　特殊機能レジスタ（SFR：Special Function Register）

特殊機能レジスタは，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの領域に割り付けられています。

特殊機能レジスタは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各特殊機能レジスタで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

  1ビット操作命令のオペランド（sfr.bit）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

  8ビット操作命令のオペランド（sfr）にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

  16ビット操作命令のオペランド（sfrp）にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－4に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

  特殊機能レジスタのアドレスを示す略号です。RA78K0では予約語に，CC78K0では#pragma sfr指令で，sfr変数として定義されているものです。RA78K0, ID78K0-NS, ID78K0およびSM78K0使用時に命令のオペランドとして記述できます。

- R/W

  該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

  R/W ：読み出し／書き込みがともに可能

  R ：読み出しのみ可能

  W ：書き込みのみ可能

- 操作可能ビット単位

  操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

- リセット時

  $\overline{\text{RESET}}$入力時の各レジスタの状態を示します。

表3－4　特殊機能レジスター覧（1/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート・レジスタ0	P0	R/W	○	○	－	00H
FF01H	ポート・レジスタ1	P1	R/W	○	○	－	00H
FF02H	ポート・レジスタ2	P2	R	○	○	－	不定
FF03H	ポート・レジスタ3	P3	R/W	○	○	－	00H
FF04H	ポート・レジスタ4	P4	R/W	○	○	－	00H
FF05H	ポート・レジスタ5	P5	R/W	○	○	－	00H
FF06H	ポート・レジスタ6	P6	R/W	○	○	－	00H
FF07H	ポート・レジスタ7	P7	R/W	○	○	－	00H
FF08H FF09H	A/D変換結果レジスタ	ADCR	R	－	－	○	不定
FF0AH	受信バッファ・レジスタ6	RXB6	R	－	○	－	FFH
FF0BH	送信バッファ・レジスタ6	TXB6	R/W	－	○	－	FFH
FF0CH	ポート・レジスタ12	P12	R/W	○	○	－	00H
FF0DH	ポート・レジスタ13	P13	R/W	○	○	－	00H
FF0EH	ポート・レジスタ14	P14	R/W	○	○	－	00H
FF0FH	シリアルI/Oシフト・レジスタ10	SIO10	R	－	○	－	00H
FF10H FF11H	16ビット・タイマ・カウンタ00	TM00	R	－	－	○	0000H
FF12H FF13H	16ビット・タイマ・キャプチャ／コンペア・レジスタ000	CR000	R/W	－	－	○	0000H
FF14H FF15H	16ビット・タイマ・キャプチャ／コンペア・レジスタ010	CR010	R/W	－	－	○	0000H
FF16H	8ビット・タイマ・カウンタ50	TM50	R	－	○	－	00H
FF17H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W	－	○	－	00H
FF18H	8ビット・タイマHコンペア・レジスタ00	CMP00	R/W	－	○	－	00H
FF19H	8ビット・タイマHコンペア・レジスタ10	CMP10	R/W	－	○	－	00H
FF1AH	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W	－	○	－	00H
FF1BH	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W	－	○	－	00H
FF1FH	8ビット・タイマ・カウンタ51	TM51	R	－	○	－	00H
FF20H	ポート・モード・レジスタ0	PM0	R/W	○	○	－	FFH
FF21H	ポート・モード・レジスタ1	PM1	R/W	○	○	－	FFH
FF23H	ポート・モード・レジスタ3	PM3	R/W	○	○	－	FFH
FF24H	ポート・モード・レジスタ4	PM4	R/W	○	○	－	FFH
FF25H	ポート・モード・レジスタ5	PM5	R/W	○	○	－	FFH
FF26H	ポート・モード・レジスタ6	PM6	R/W	○	○	－	FFH
FF27H	ポート・モード・レジスタ7	PM7	R/W	○	○	－	FFH
FF28H	A/Dコンバータ・モード・レジスタ	ADM	R/W	○	○	－	00H
FF29H	アナログ入力チャネル指定レジスタ	ADS	R/W	○	○	－	00H
FF2AH	パワーフェイル比較モード・レジスタ	PFM	R/W	○	○	－	00H
FF2BH	パワーフェイル比較しきい値レジスタ	PFT	R/W	－	○	－	00H
FF2CH	ポート・モード・レジスタ12	PM12	R/W	○	○	－	FFH
FF2EH	ポート・モード・レジスタ14	PM14	R/W	○	○	－	FFH
FF30H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	－	00H
FF31H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	－	00H
FF33H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	－	00H

表3－4　特殊機能レジスター覧（2/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FF34H	プルアップ抵抗オプション・レジスタ4	PU4		R/W	○	○	－	00H
FF35H	プルアップ抵抗オプション・レジスタ5	PU5		R/W	○	○	－	00H
FF36H	プルアップ抵抗オプション・レジスタ6	PU6		R/W	○	○	－	00H
FF37H	プルアップ抵抗オプション・レジスタ7	PU7		R/W	○	○	－	00H
FF3CH	プルアップ抵抗オプション・レジスタ12	PU12		R/W	○	○	－	00H
FF3EH	プルアップ抵抗オプション・レジスタ14	PU14		R/W	○	○	－	00H
FF40H	クロック出力選択レジスタ	CKS		R/W	○	○	－	00H
FF41H	8ビット・タイマ・コンペア・レジスタ51	CR51		R/W	－	○	－	00H
FF43H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51		R/W	○	○	－	00H
FF47H	メモリ拡張モード・レジスタ	MEM		R/W	○	○	－	00H
FF48H	外部割り込み立ち上がりエッジ許可レジスタ	EGP		R/W	○	○	－	00H
FF49H	外部割り込み立ち下がりエッジ許可レジスタ	EGN		R/W	○	○	－	00H
FF4AH	シリアルI/Oシフト・レジスタ11	SIO11		R	－	○	－	00H
FF4CH	送信バッファ・レジスタ11	SOTB11		R/W	－	○	－	不定
FF4FH	入力切り替え制御レジスタ	ISC		R/W	○	○	－	00H
FF50H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6	ASIM6		R/W	○	○	－	01H
FF53H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	ASIS6		R	－	○	－	00H
FF55H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6	ASIF6		R	－	○	－	00H
FF56H	クロック選択レジスタ6	CKSR6		R/W	－	○	－	00H
FF57H	ボー・レート・ジェネレータ・コントロール・レジスタ6	BRGC6		R/W	－	○	－	FFH
FF58H	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6	ASICL6		R/W	○	○	－	16H
FF60H	剰余データ・レジスタ0	SDR0	SDR0L	R	－	○	○	00H
FF61H			SDR0H		－	○		00H
FF62H	乗除算データ・レジスタA0	MDA0L	MDA0LL	R/W	－	○	○	00H
FF63H			MDA0LH		－	○		00H
FF64H		MDA0H	MDA0HL	R/W	－	○	○	00H
FF65H			MDA0HH		－	○		00H
FF66H	乗除算データ・レジスタB0	MDB0	MDB0L	R/W	－	○	○	00H
FF67H			MDB0H		－	○		00H
FF68H	乗除算器コントロール・レジスタ0	DMUC0		R/W	○	○	－	00H
FF69H	8ビット・タイマHモード・レジスタ0	TMHMD0		R/W	○	○	－	00H
FF6AH	タイマ・クロック選択レジスタ50	TCL50		R/W	－	○	－	00H
FF6BH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50		R/W	○	○	－	00H
FF6CH	8ビット・タイマHモード・レジスタ1	TMHMD1		R/W	○	○	－	00H
FF6DH	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1		R/W	○	○	－	00H

表3－4　特殊機能レジスター覧（3/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FF6EH	キー・リターン・モード・レジスタ	KRM	R/W	○	○	－	00H
FF6FH	時計用タイマ動作モード・レジスタ	WTM	R/W	○	○	－	00H
FF70H	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0	ASIM0	R/W	○	○	－	01H
FF71H	ボー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W	－	○	－	1FH
FF72H	受信バッファ・レジスタ0	RXB0	R	－	○	－	FFH
FF73H	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0	ASIS0	R	－	○	－	00H
FF74H	送信シフト・レジスタ0	TXS0	W	－	○	－	FFH
FF80H	シリアル動作モード・レジスタ10	CSIM10	R/W	○	○	－	00H
FF81H	シリアル・クロック選択レジスタ10	CSIC10	R/W	○	○	－	00H
FF84H	送信バッファ・レジスタ10	SOTB10	R/W	－	○	－	不定
FF88H	シリアル動作モード・レジスタ11	CSIM11	R/W	○	○	－	00H
FF89H	シリアル・クロック選択レジスタ11	CSIC11	R/W	○	○	－	00H
FF8CH	タイマ・クロック選択レジスタ51	TCL51	R/W	－	○	－	00H
FF90H	シリアル動作モード指定レジスタ0	CSIMA0	R/W	○	○	－	00H
FF91H	シリアル・ステータス・レジスタ0	CSIS0	R/W	○	○	－	00H
FF92H	シリアル・トリガ・レジスタ0	CSIT0	R/W	○	○	－	00H
FF93H	分周値選択レジスタ0	BRGCA0	R/W	－	○	－	03H
FF94H	自動データ転送アドレス・ポイント指定レジスタ0	ADTP0	R/W	－	○	－	00H
FF95H	自動データ転送間隔指定レジスタ0	ADTI0	R/W	－	○	－	00H
FF96H	シリアルI/Oシフト・レジスタ0	SIOA0	R/W	－	○	－	00H
FF97H	自動データ転送アドレス・カウント・レジスタ0	ADTC0	R	－	○	－	00H
FF98H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM	R/W	－	○	－	67H
FF99H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	－	○	－	9AH
FFA0H	内蔵発振モード・レジスタ	RCM	R/W	○	○	－	00H
FFA1H	メイン・クロック・モード・レジスタ	MCM	R/W	○	○	－	00H
FFA2H	メインOSCコントロール・レジスタ	MOC	R/W	○	○	－	00H
FFA3H	発振安定時間カウンタ状態レジスタ	OSTC	R	○	○	－	00H
FFA4H	発振安定時間選択レジスタ	OSTS	R/W	－	○	－	05H
FFA9H	クロック・モニタ・モード・レジスタ	CLM	R/W	○	○	－	00H
FFACH	リセット・コントロール・フラグ・レジスタ	RESF	R	－	○	－	00H注
FFB0H FFB1H	16ビット・タイマ・カウンタ01	TM01	R	－	－	○	0000H
FFB2H FFB3H	16ビット・タイマ・キャプチャ／コンペア・レジスタ001	CR001	R/W	－	－	○	0000H
FFB4H FFB5H	16ビット・タイマ・キャプチャ／コンペア・レジスタ011	CR011	R/W	－	－	○	0000H
FFB6H	16ビット・タイマ・モード・コントロール・レジスタ01	TMC01	R/W	○	○	－	00H
FFB7H	プリスケーラ・モード・レジスタ01	PRM01	R/W	○	○	－	00H

注　リセット要因により異なります。

表3－4　特殊機能レジスター覧（4/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFB8H	キャプチャ／コンペア・コントロール・レジスタ01	CRC01		R/W	○	○	－	00H
FFB9H	16ビット・タイマ出力コントロール・レジスタ01	TOC01		R/W	○	○	－	00H
FFBAH	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00		R/W	○	○	－	00H
FFBBH	プリスケーラ・モード・レジスタ00	PRM00		R/W	○	○	－	00H
FFBCH	キャプチャ／コンペア・コントロール・レジスタ00	CRC00		R/W	○	○	－	00H
FFBDH	16ビット・タイマ出力コントロール・レジスタ00	TOC00		R/W	○	○	－	00H
FFBEH	低電圧検出レジスタ	LVIM		R/W	○	○	－	00H注1
FFBFH	低電圧検出レベル選択レジスタ	LVIS		R/W	－	○	－	00H注1
FFC0H	フラッシュ・プロテクト・コマンド・レジスタ	PFCMD		W	－	○	－	不定
FFC2H	フラッシュ・ステータス・レジスタ	PFS		R/W	○	○	－	00H
FFC4H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC		R/W	○	○	－	0XH注2
FFE0H	割り込み要求フラグ・レジスタ0L	IF0	IF0L	R/W	○	○	○	00H
FFE1H	割り込み要求フラグ・レジスタ0H		IF0H	R/W	○	○		00H
FFE2H	割り込み要求フラグ・レジスタ1L	IF1	IF1L	R/W	○	○	○	00H
FFE3H	割り込み要求フラグ・レジスタ1H		IF1H	R/W	○	○		00H
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0	MK0L	R/W	○	○	○	FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H		MK0H	R/W	○	○		FFH
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1	MK1L	R/W	○	○	○	FFH
FFE7H	割り込みマスク・フラグ・レジスタ1H		MK1H	R/W	○	○		DFH
FFE8H	優先順位指定フラグ・レジスタ0L	PR0	PR0L	R/W	○	○	○	FFH
FFE9H	優先順位指定フラグ・レジスタ0H		PR0H	R/W	○	○		FFH
FFEAH	優先順位指定フラグ・レジスタ1L	PR1	PR1L	R/W	○	○	○	FFH
FFEBH	優先順位指定フラグ・レジスタ1H		PR1H	R/W	○	○		FFH
FFF0H	メモリ・サイズ切り替えレジスタ注3	IMS		R/W	－	○	－	CFH
FFF4H	内部拡張RAMサイズ切り替えレジスタ注3	IXS		R/W	－	○	－	0CH
FFF8H	メモリ拡張ウエイト設定レジスタ	MM		R/W	○	○	－	10H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC		R/W	○	○	－	00H

注1.　リセット要因により異なります。

2.　動作モードにより異なります。

・ユーザ・モード　　：08H

・オンボード・モード：0CH

3.　内部拡張RAMサイズ切り替えレジスタ（IXS）の初期値はIXS = 0CHとなっているため，初期設定でIXS = 0AHに設定してください。78K0/KF1+を78K0/KF1のマスクROM製品のプログラム評価用として使用する場合は，メモリ・サイズ切り替えレジスタ（IMS）とIXSに次に示す値を設定してください。

フラッシュ・メモリ製品（78K0/KF1+）	対象のマスクROM製品（78K0/KF1）	IMS	IXS
－	μPD780143	C6H	0CH
－	μPD780144	C8H	
－	μPD780146	CCH	0AH
μPD78F0148H, 78F0148HD	μPD780148	CFH	

3. 3　命令アドレスのアドレシング

命令アドレスは，プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は，通常，命令を１つ実行するごとにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して＋1）されます。しかし，分岐を伴う命令を実行する際には，次に示すようなアドレシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0シリーズ　ユーザーズ・マニュアル　命令編（U12326J）を参照してください）。

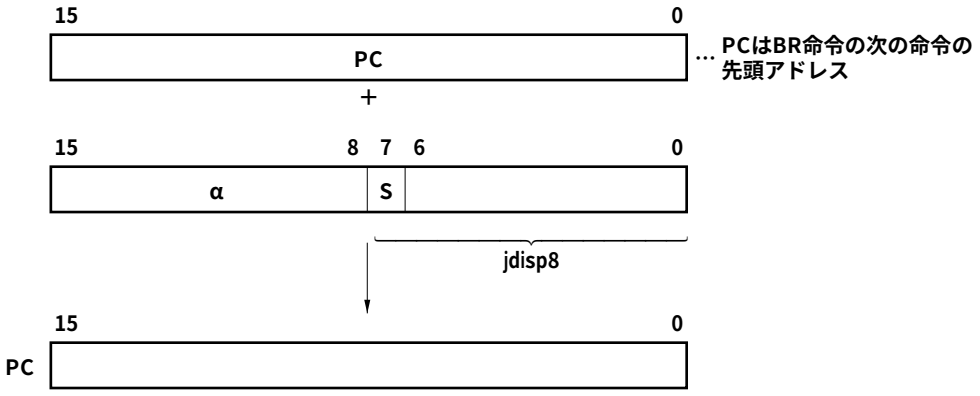
3. 3. 1　レラティブ・アドレシング

【機　　能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミーディエト・データ（ディスプレースメント値：jdisp8）を加算した値が，プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は，符号付きの2の補数データ（－128～＋127）として扱われ，ビット7が符号ビットとなります。つまり，レラティブ・アドレシングでは，次に続く命令の先頭アドレスから相対的に－128～＋127の範囲に分岐するということです。

BR $addr16命令および条件付き分岐命令を実行する際に行われます。

【図　　解】



S = 0のとき，αは全ビット０

S = 1のとき，αは全ビット１

3. 3. 2　イミーディエト・アドレシング

【機　　能】

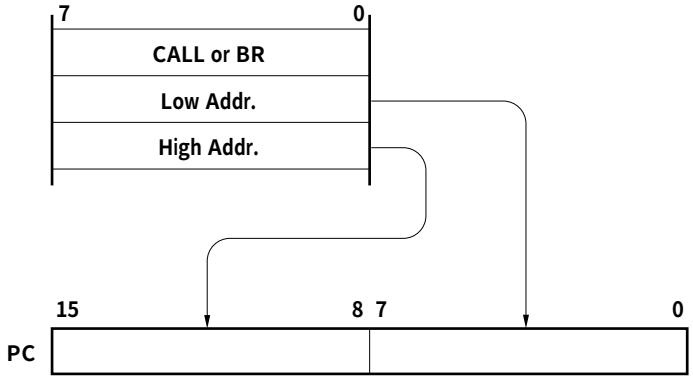
命令語中のイミーディエト・データがプログラム・カウンタ（PC）に転送され，分岐します。

CALL !addr16, BR !addr16, CALLF !addr11命令を実行する際に行われます。

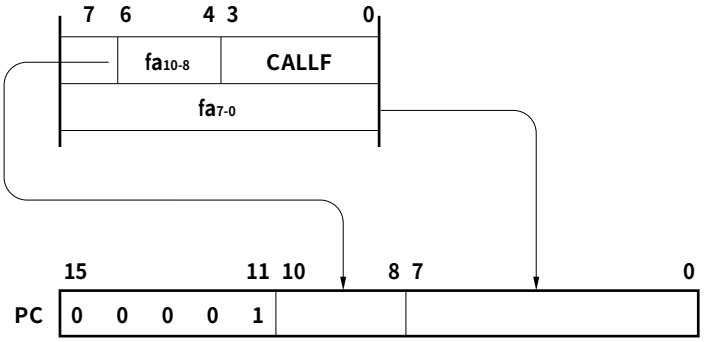
CALL !addr16, BR !addr16命令は，全メモリ空間に分岐できます。CALLF !addr11命令は，0800H-0FFFHの領域に分岐します。

【図　　解】

CALL !addr16, BR !addr16命令の場合



CALLF !addr11命令の場合



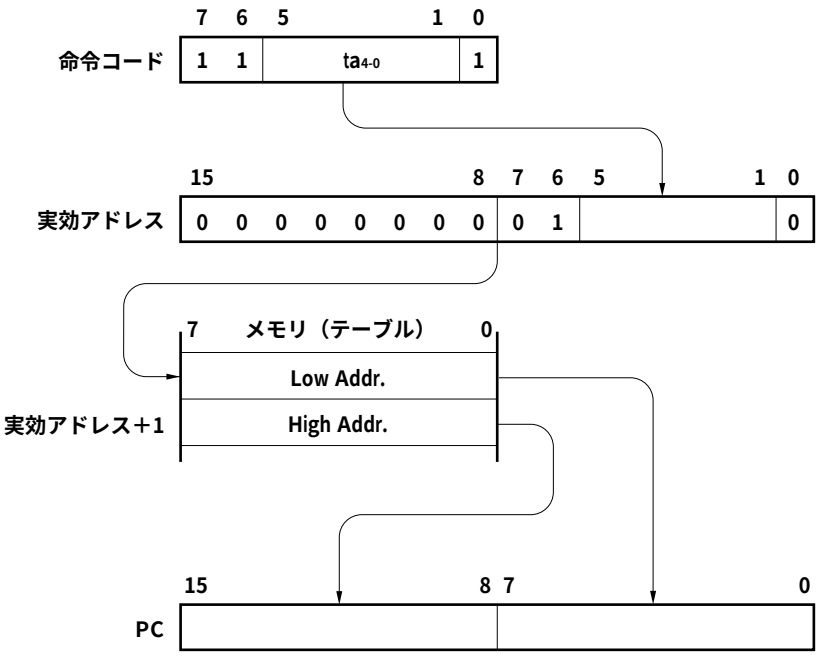
3. 3. 3　テーブル・インダイレクト・アドレシング

【機　　能】

命令コードのビット1からビット5のイミーディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され，分岐します。

CALLT［addr5］命令を実行する際にテーブル・インダイレクト・アドレシングが行われます。この命令では40H-7FHのメモリ・テーブルに格納されたアドレスを参照し，全メモリ空間に分岐できます。

【図　　解】



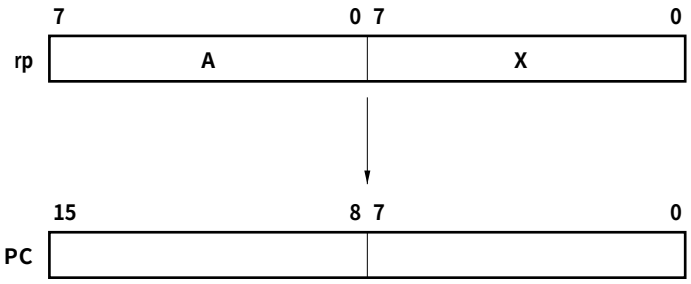
3. 3. 4　レジスタ・アドレシング

【機　　能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され，分岐します。

BR AX命令を実行する際に行われます。

【図　　解】



3.4　オペランド・アドレスのアドレシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレシング）として次に示すいくつかの方法があります。

3.4.1　インプライド・アドレシング

【機　　能】

汎用レジスタの領域にあるアキュームレータ（A, AX）として機能するレジスタを自動的（暗黙的）にアドレスするアドレシングです。

78K0/KF1+の命令語中でインプライド・アドレシングを使用する命令は次のとおりです。

命　令	インプライド・アドレシングで指定されるレジスタ
MULU	被乗数としてAレジスタ，積が格納されるレジスタとしてAXレジスタ
DIVUW	被除数および商を格納するレジスタとしてAXレジスタ
ADJBA/ADJBS	10進補正の対象となる数値を格納するレジスタとしてAレジスタ
ROR4/ROL4	ディジット・ローテートの対象となるディジット・データを格納するレジスタとしてAレジスタ

【オペランド形式】

命令によって自動的に使用できるため，特定のオペランド形式を持ちません。

【記　述　例】

MULU Xの場合

8ビット×8ビットの乗算命令において，AレジスタとXレジスタの積をAXに格納する。ここで，A, AXレジスタがインプライド・アドレシングで指定されている。

3.4.2　レジスタ・アドレシング

【機　　能】

オペランドとして汎用レジスタをアクセスするアドレシングです。アクセスされる汎用レジスタは，レジスタ・バンク選択フラグ（RBS0, RBS1）および，命令コード中のレジスタ指定コード（Rn, PRn）により指定されます。

レジスタ・アドレシングは，次に示すオペランド形式を持つ命令を実行する際に行われ，8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

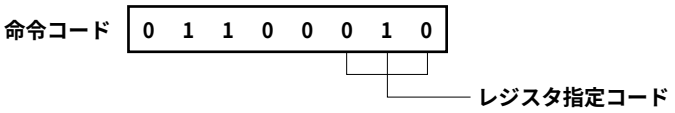
【オペランド形式】

表現形式	記　述　方　法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

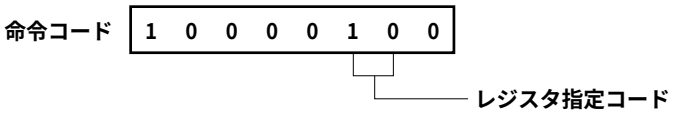
r, rpは，機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほかに絶対名称（R0-R7, RP0-RP3）で記述できます。

【記　述　例】

MOV A, C；rにCレジスタを選択する場合



INCW DE；rpにDEレジスタ・ペアを選択する場合



3.4.3　ダイレクト・アドレシング

【機　　能】

命令語中のイミーディエト・データが示すメモリを直接アドレスするアドレシングです。

【オペランド形式】

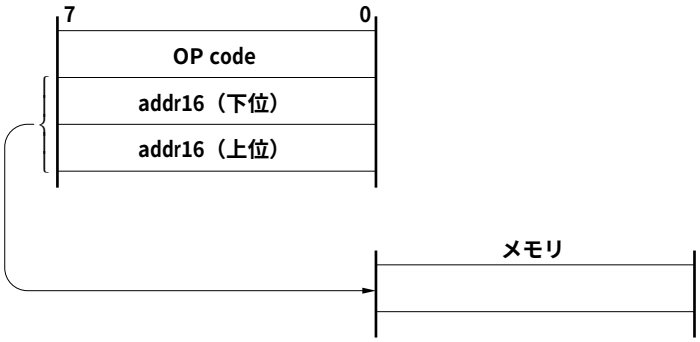
表現形式	記　述　方　法
addr16	レーベルまたは16ビット・イミーディエト・データ

【記　述　例】

MOV A, !0FE00H；!addr16をFE00Hとする場合

命令コード	1	0	0	0	1	1	1	0	OPコード
	0	0	0	0	0	0	0	0	00H
	1	1	1	1	1	1	1	0	FEH

【図　　解】



3.4.4　ショート・ダイレクト・アドレシング

【機　　能】

命令語中の8ビット・データで，固定空間の操作対象メモリを直接アドレスするアドレシングです。

このアドレシングが適用される固定空間とは，FE20H-FF1FHの256バイト空間です。FE20H-FEFFHには内部RAMが，FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレシングが適用されるSFR領域（FF00H-FF1FH）は，全SFR領域の一部分です。この領域には，プログラム上でひんぱんにアクセスされるポートや，タイマ／イベント・カウンタのコンペア・レジスタ，キャプチャ・レジスタがマッピングされており，短いバイト数，短いクロック数でこれらのSFRを操作できます。

実効アドレスのビット8は，8ビット・イミーディエト・データが20H-FFHの場合は0になり，00H-1FHの場合は1になります。【図解】を参照してください。

【オペランド形式】

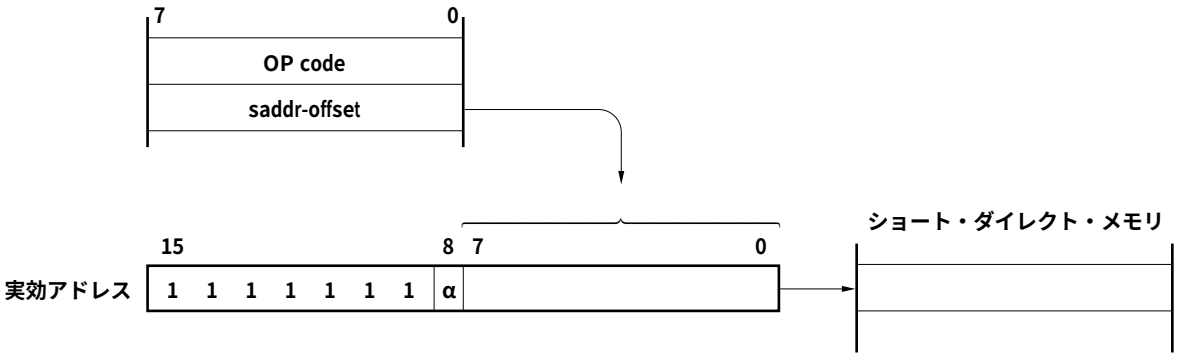
表現形式	記　述　方　法
saddr	レーベルまたはFE20H-FF1FHを示すイミーディエト・データ
saddrp	レーベルまたはFE20H-FF1FHを示すイミーディエト・データ（偶数アドレスのみ）

【記　述　例】

MOV 0FE30H, A；saddr（FE30H）に，Aレジスタの値を転送する場合

命令コード	1 1 1 1 0 0 1 0	OPコード
	0 0 1 1 0 0 0 0	30H（saddr-offset）

【図　　解】



8ビット・イミーディエト・データが20H-FFHのとき，α＝0

8ビット・イミーディエト・データが00H-1FHのとき，α＝1

3.4.5　特殊機能レジスタ（SFR）アドレシング

【機　　能】

命令語中の8ビット・イミーディエト・データでメモリ・マッピングされている特殊機能レジスタ（SFR）をアドレスするアドレシングです。

このアドレシングが適用されるのはFF00H-FFCFH，FFE0H-FFFFHの240バイト空間です。ただし，FF00H-FF1FHにマッピングされているSFRは，ショート・ダイレクト・アドレシングでもアクセスできます。

【オペランド形式】

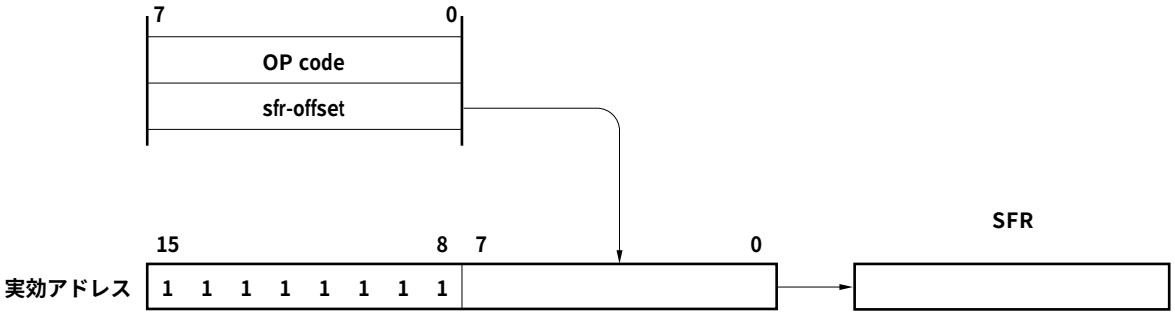
表現形式	記　述　方　法
sfr	特殊機能レジスタ名
sfrp	16ビット操作可能な特殊機能レジスタ名（偶数アドレスのみ）

【記　述　例】

MOV PM0, A；sfrにPM0（FF20H）を選択する場合

命令コード	1　1　1　1　0　1　1　0	OPコード
	0　0　1　0　0　0　0　0	20H（sfr-offset）

【図　　解】



3.4.6　レジスタ・インダイレクト・アドレシング

【機　　能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレシングです。アクセスされるレジスタ・ペアは，レジスタ・バンク選択フラグ（RBS0, RBS1）および，命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレシングできます。

【オペランド形式】

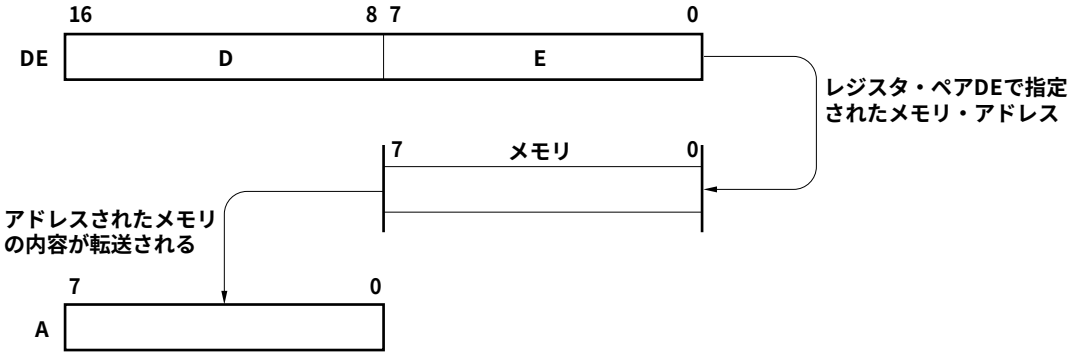
表現形式	記　述　方　法
－	［DE］，［HL］

【記　述　例】

MOV A,［DE］；レジスタ・ペアに［DE］を選択する場合

命令コード	1	0	0	0	0	1	0	1

【図　　解】



3.4.7　ベースト・アドレシング

【機　　能】

HLレジスタ・ペアをベース・レジスタとし，この内容に8ビットのイミーディエト・データを加算した結果でメモリをアドレスするアドレシングです。アクセスされるHLレジスタ・ペアは，レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のものです。加算は，オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレシングできます。

【オペランド形式】

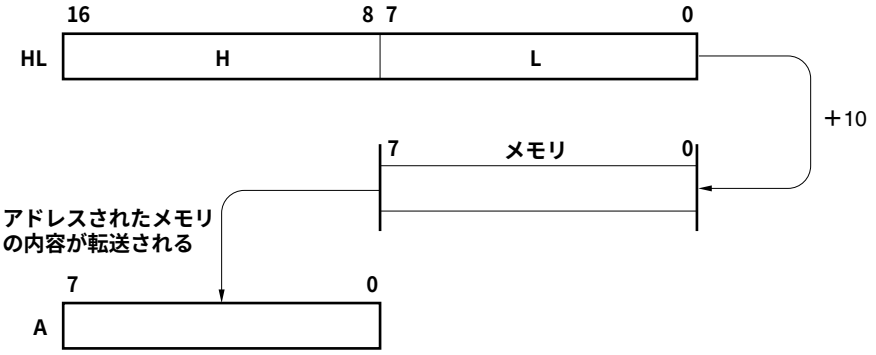
表現形式	記　述　方　法
－	[HL＋byte]

【記　述　例】

MOV A,　[HL＋10H]　；byteを10Hとする場合

命令コード	1	0	1	0	1	1	1	0
	0	0	0	1	0	0	0	0

【図　　解】



3.4.8　ベースト・インデクスト・アドレシング

【機　　能】

HLレジスタ・ペアをベース・レジスタとし，この内容に命令語中で指定されるBレジスタまたはCレジスタの内容を加算した結果でメモリをアドレスするアドレシングです。アクセスされるHL, B, Cレジスタは，レジスタ・バンク選択フラグ（RBS0, RBS1）で指定されるレジスタ・バンク中のレジスタです。加算は，BレジスタまたはCレジスタの内容を正の数として16ビットに拡張して行います。16ビット目からの桁上がりは無視します。すべてのメモリ空間に対してアドレシングできます。

【オペランド形式】

表現形式	記　述　方　法
－	［HL＋B］，［HL＋C］

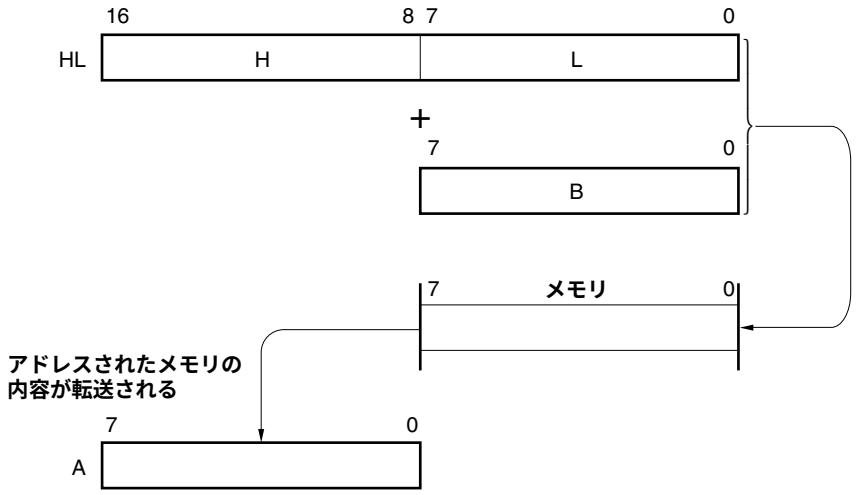
【記　述　例】

MOV A,［HL＋B］；Bレジスタを選択する場合

命令コード

1	0	1	0	1	0	1	1

【図　　解】



3.4.9　スタック・アドレシング

【機　　能】

スタック・ポインタ（SP）の内容により，スタック領域を間接的にアドレスするアドレシングです。

PUSH, POP，サブルーチン・コール，リターン命令の実行時および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

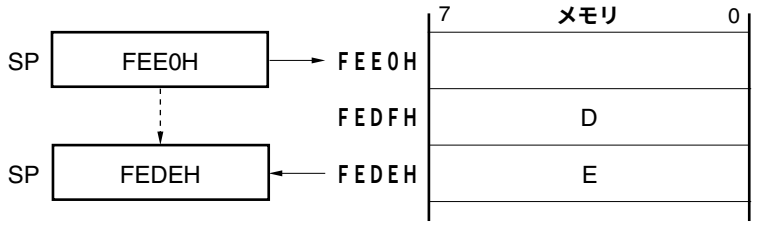
スタック・アドレシングは，内部高速RAM領域のみアクセスできます。

【記　述　例】

PUSH DE；DEレジスタをセーブする場合

命令コード	1	0	1	1	0	1	0	1

【図　　解】



第4章　ポート機能

4.1　ポートの機能

ポート端子の入出力バッファ電源には，AV_{REF}，EV_{DD}の2系統があります。それぞれの電源と端子の関係を次に示します。

表4－1　各ポート端子の入出力バッファ電源

電源	対応する端子
AV_{REF}	P20-P27
EV_{DD}	P20-P27以外のポート端子

78K0/KF1+は，図4－1に示すポートを備えており，多様な制御を行うことができます。各ポートの機能は表4－2のとおりです。

また，ディジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については，第2章　端子機能を参照してください。

図4－1　ポートの種類

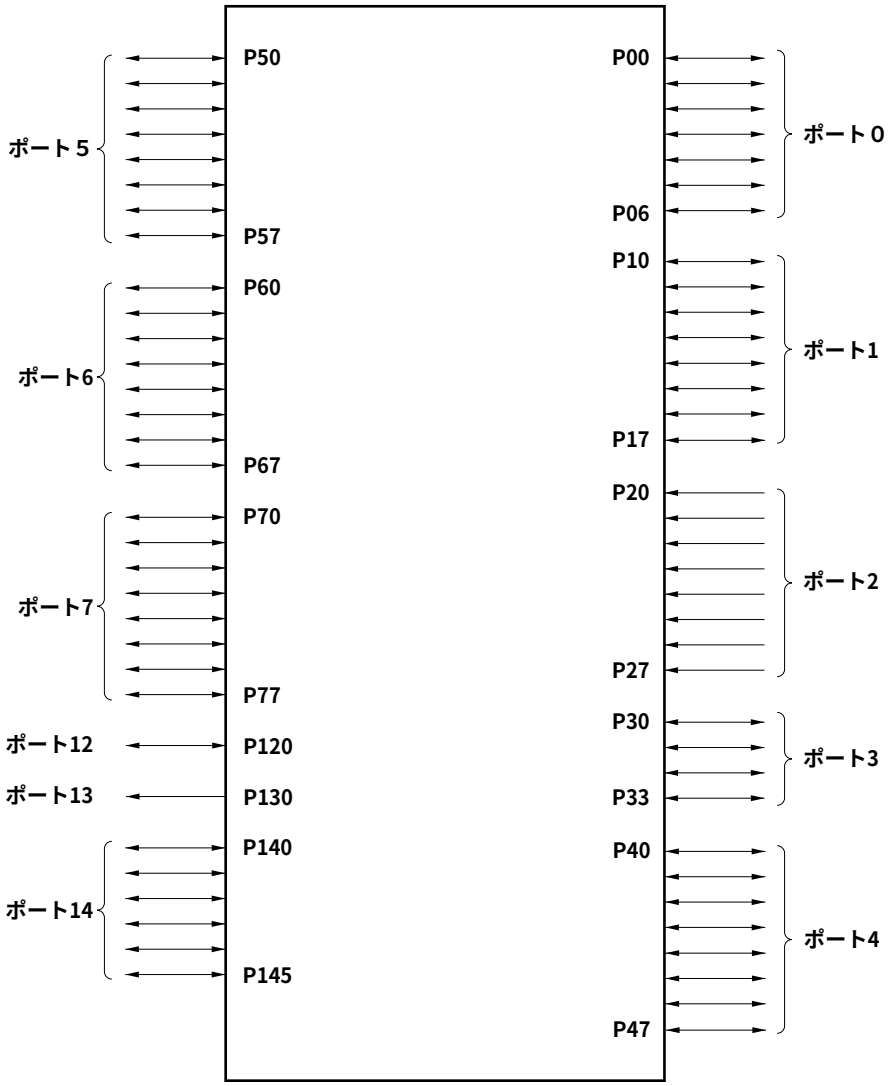

P50
P57
ポート5
P60
P67
ポート6
P70
P77
ポート7
ポート12
P120
ポート13
P130
P140
P145
ポート14
P00
P06
ポート0
P10
P17
ポート1
P20
P27
ポート2
P30
P33
ポート3
P40
P47
ポート4

表4－2　ポートの機能（1/2）

端子名称	入出力	機　　能		リセット時	兼用端子
P00	入出力	ポート0。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。		入力	TI000
P01					TI010/TO00
P02					SO11
P03					SI11
P04					$\overline{\text{SCK11}}$
P05					$\overline{\text{SSI11}}$/TI001
P06					TI011/TO01
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。		入力	$\overline{\text{SCK10}}$/TxD0
P11					SI10/RxD0
P12					SO10
P13					TxD6
P14					RxD6
P15					TOH0
P16					TOH1/INTP5
P17					TI50/TO50/FLMD1
P20-P27	入力	ポート2。 8ビット入力専用ポート。		入力	ANI0-ANI7
P30-P32	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。		入力	INTP1-INTP3
P33					INTP4/TI51/TO51
P40-P47	入出力	ポート4。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。		入力	AD0-AD7
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。		入力	A8-A15
P60-P63	入出力	ポート6。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。	N-chオープン・ドレーン入出力ポート。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力	－
P64					$\overline{\text{RD}}$
P65					$\overline{\text{WR}}$
P66					$\overline{\text{WAIT}}$
P67					ASTB

表4－2　ポートの機能（2/2）

端子名称	入出力	機　　能	リセット時	兼用端子
P70-P77	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力	KR0-KR7
P120	入出力	ポート12。 1ビット入出力ポート。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力	INTP0
P130	出力	ポート13。 1ビット出力専用ポート。	出力	－
P140	入出力	ポート14。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。	入力	PCL/INTP6
P141				BUZ/BUSY0/INTP7
P142				$\overline{\text{SCKA0}}$
P143				SIA0
P144				SOA0
P145				STB0

4.2　ポートの構成

ポートは，次のハードウエアで構成しています。

表4－3　ポートの構成

項　　目	構　　成
制御レジスタ	ポート・モード・レジスタ（PM0, PM1, PM3-PM7, PM12, PM14） ポート・レジスタ（P0-P7, P12-P14） プルアップ抵抗オプション・レジスタ（PU0, PU1, PU3-PU7, PU12, PU14）
ポート	合計：67本（CMOS入出力：54本，CMOS入力：8本，CMOS出力：1本，N-chオープン・ドレーン入出力：4本）
プルアップ抵抗	合計：54本

4.2.1　ポート0

出力ラッチ付き7ビットの入出力ポートです。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00-P06端子を入力ポートとして使用するとき，プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

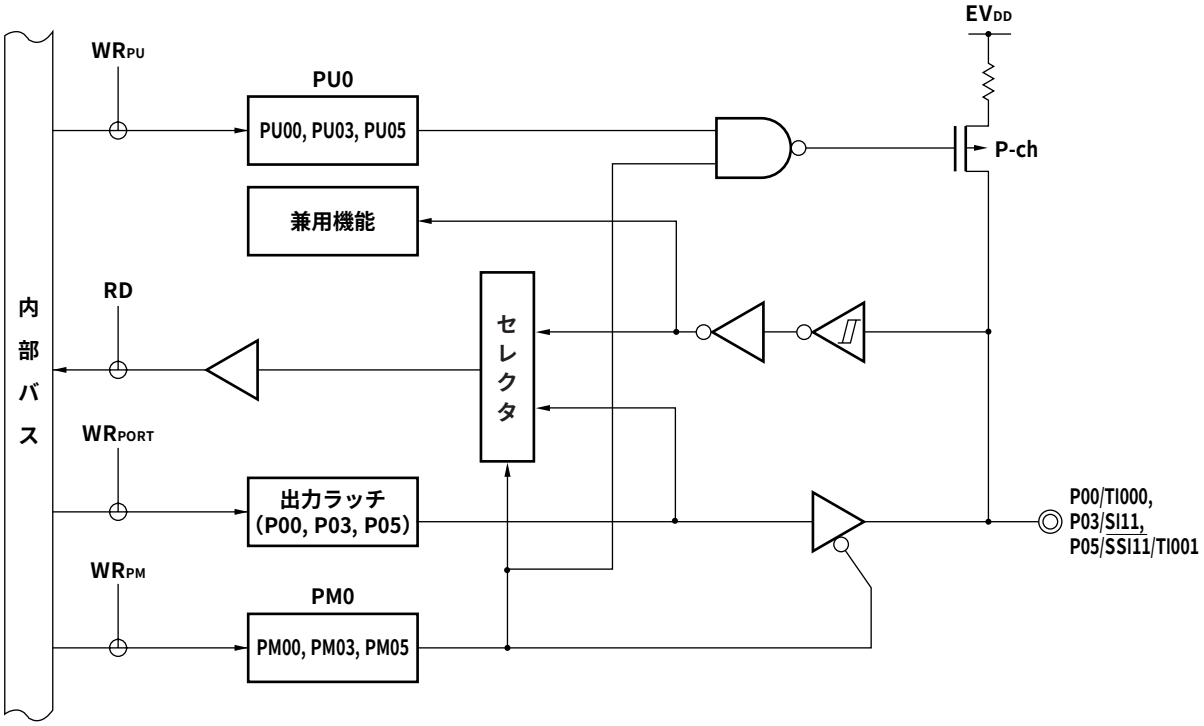
また，兼用機能としてタイマ入出力，シリアル・インタフェースのデータ入出力，クロック入出力があります。

$\overline{\text{RESET}}$入力により，入力モードになります。

図4－2〜4－5にポート0のブロック図を示します。

★　**注意**　P02/SO11, P03/SI11, P04/$\overline{\text{SCK11}}$を汎用ポートとして使用する場合，シリアル動作モード・レジスタ11（CSIM11）とシリアル・クロック選択レジスタ11（CSIC11）は初期状態と同じ設定（00H）にしてください。

図4－2　P00, P03, P05のブロック図



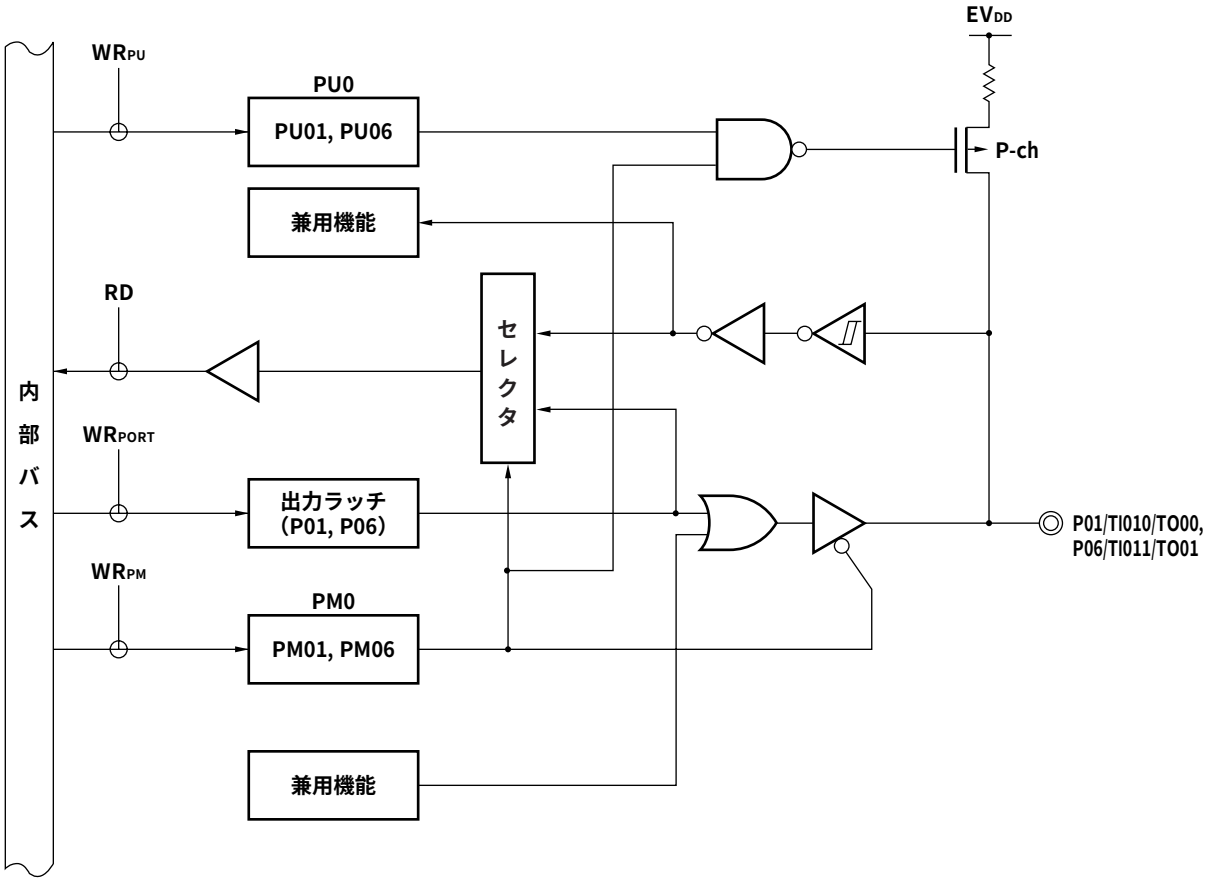
PU0　：プルアップ抵抗オプション・レジスタ0

PM0　：ポート・モード・レジスタ0

RD　：リード信号

WR××：ライト信号

図4ー3　P01, P06のブロック図



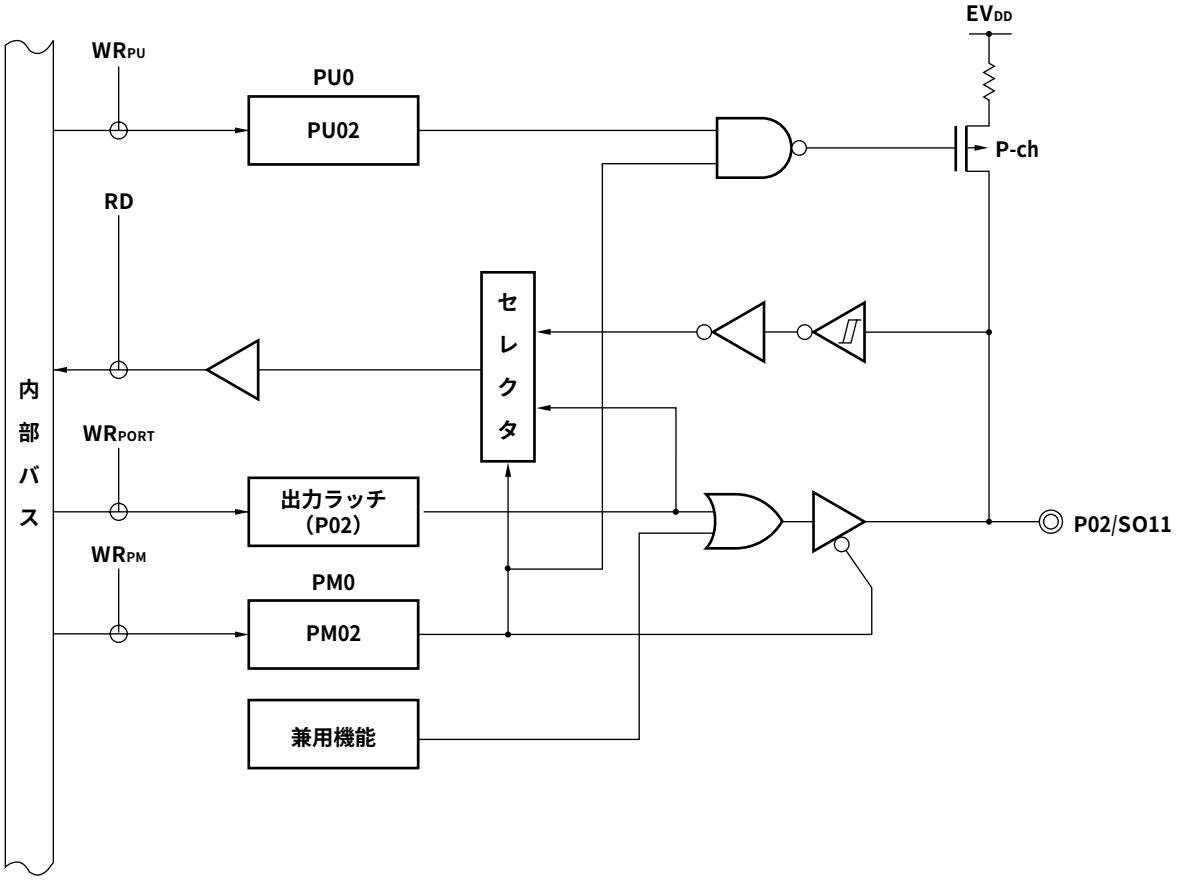
PU0　：プルアップ抵抗オプション・レジスタ0

PM0　：ポート・モード・レジスタ0

RD　：リード信号

WR××：ライト信号

図4ー4　P02のブロック図



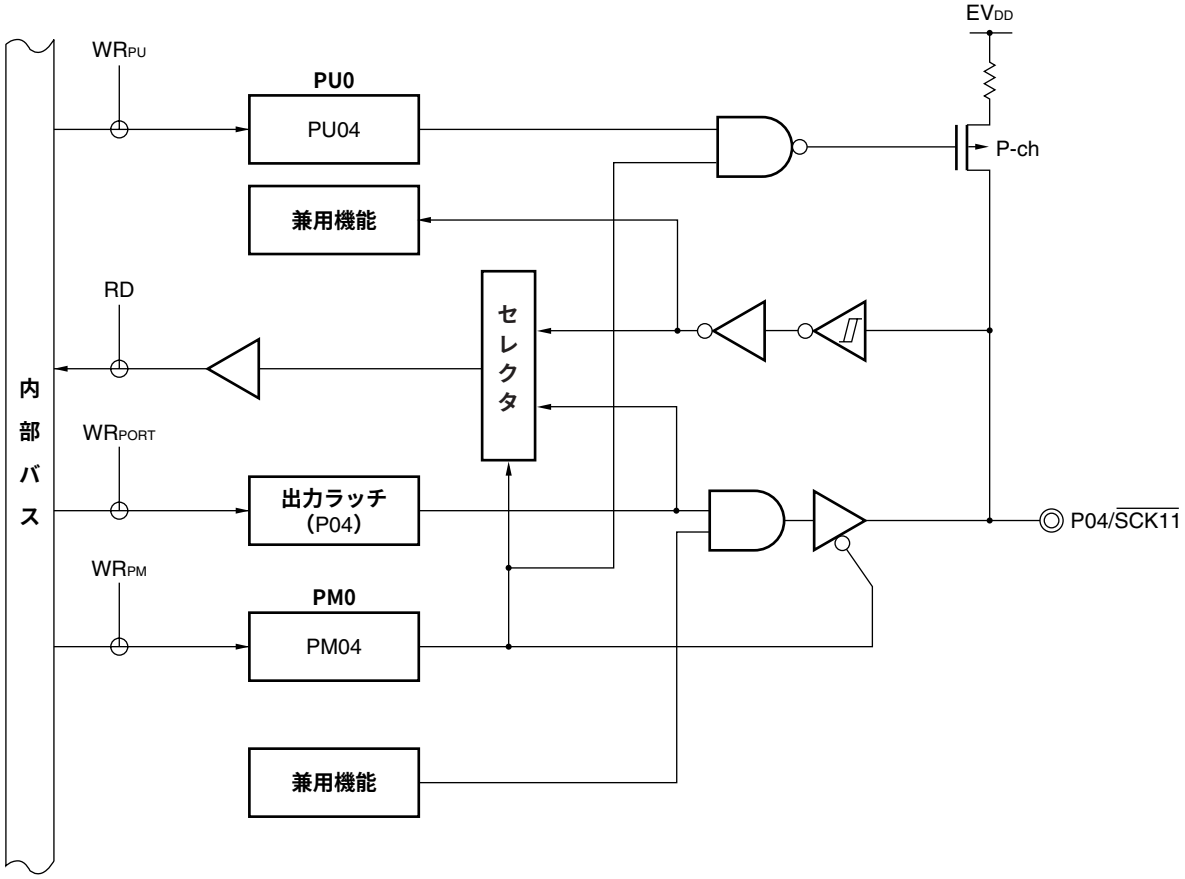
PU0　：プルアップ抵抗オプション・レジスタ0

PM0　：ポート・モード・レジスタ0

RD　：リード信号

WR××：ライト信号

図4－5　P04のブロック図



PU0　：プルアップ抵抗オプション・レジスタ0

PM0　：ポート・モード・レジスタ0

RD　：リード信号

WR××：ライト信号

4.2.2　ポート1

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用するとき，プルアップ抵抗オプション・レジスタ1（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

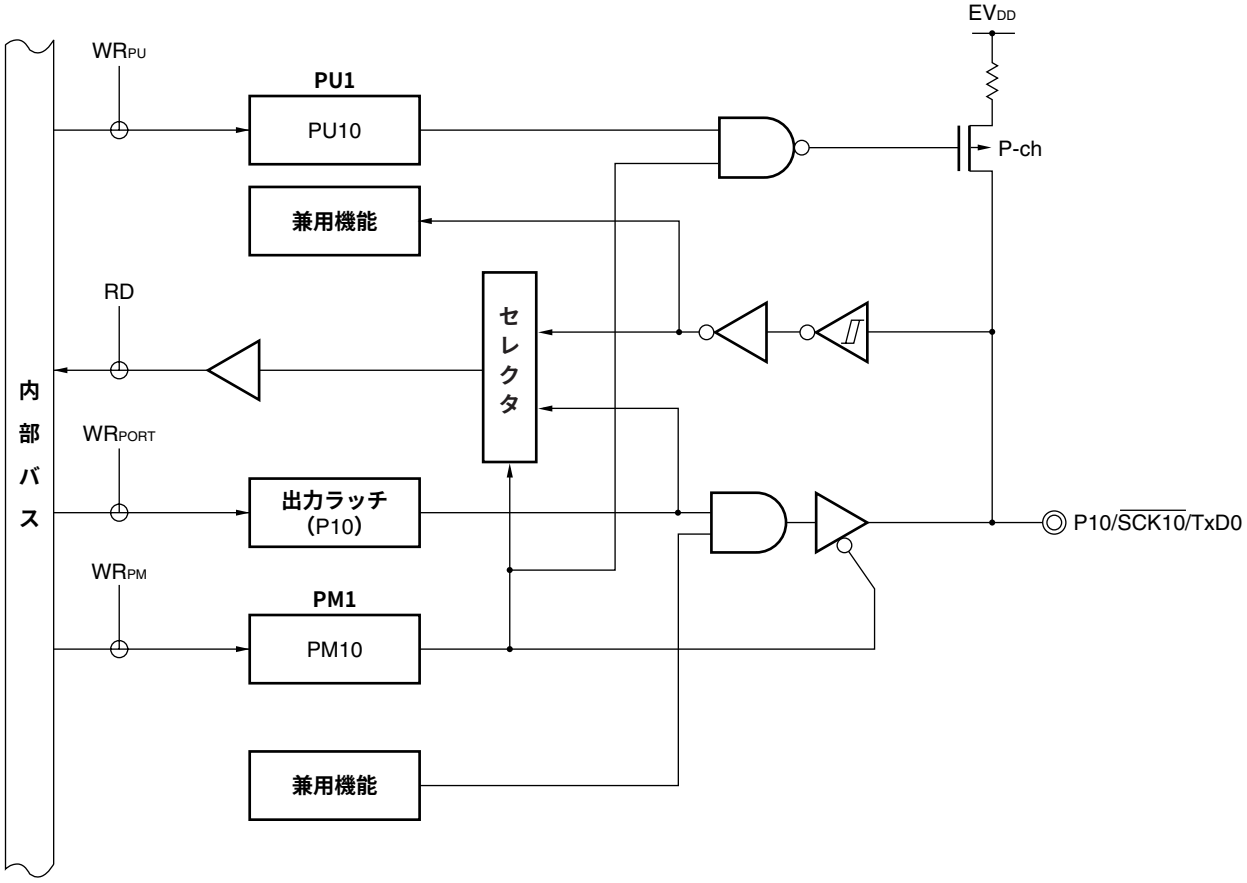
また，兼用機能として外部割り込み要求入力，シリアル・インタフェースのデータ入出力，クロック入出力，タイマの入出力，フラッシュ・メモリ・プログラミング・モード引き込みがあります。

$\overline{\text{RESET}}$入力により，入力モードになります。

図4－6〜4－10にポート1のブロック図を示します。

★　**注意**　P10/$\overline{\text{SCK10}}$/TxD0, P11/SI10/RxD0, P12/SO10を汎用ポートとして使用する場合，シリアル動作モード・レジスタ10（CSIM10）とシリアル・クロック選択レジスタ10（CSIC10）は初期状態と同じ設定（00H）にしてください。

図4－6　P10のブロック図



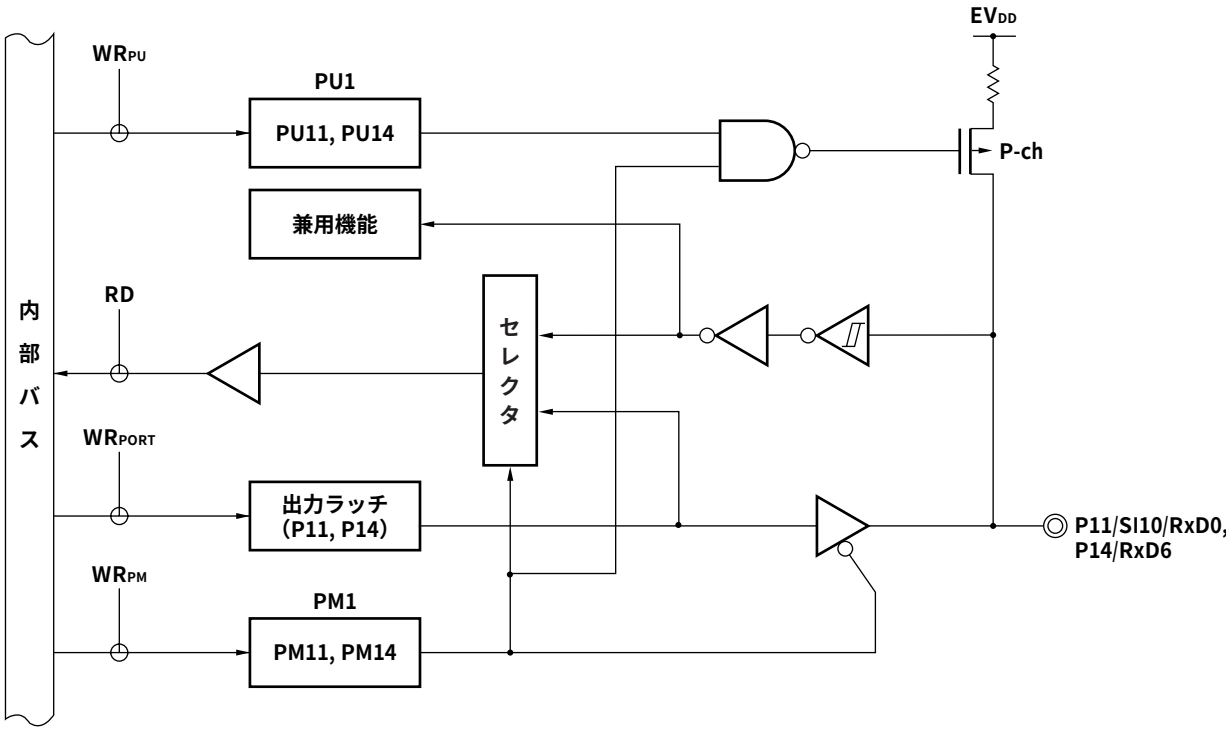
PU1　：プルアップ抵抗オプション・レジスタ1

PM1　：ポート・モード・レジスタ1

RD　：リード信号

WR××：ライト信号

図4ー7　P11, P14のブロック図



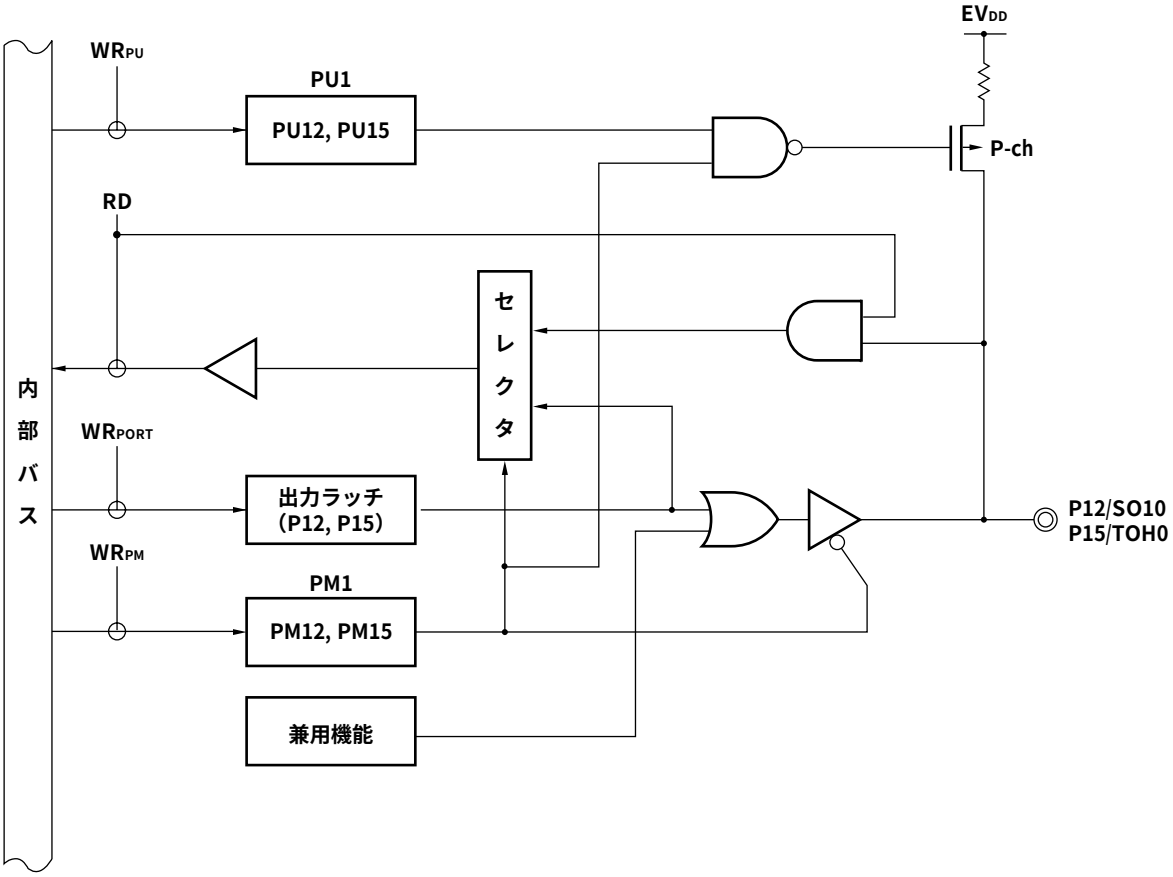
PU1　：プルアップ抵抗オプション・レジスタ1

PM1　：ポート・モード・レジスタ1

RD　：リード信号

WR××：ライト信号

図4ー8　P12, P15のブロック図



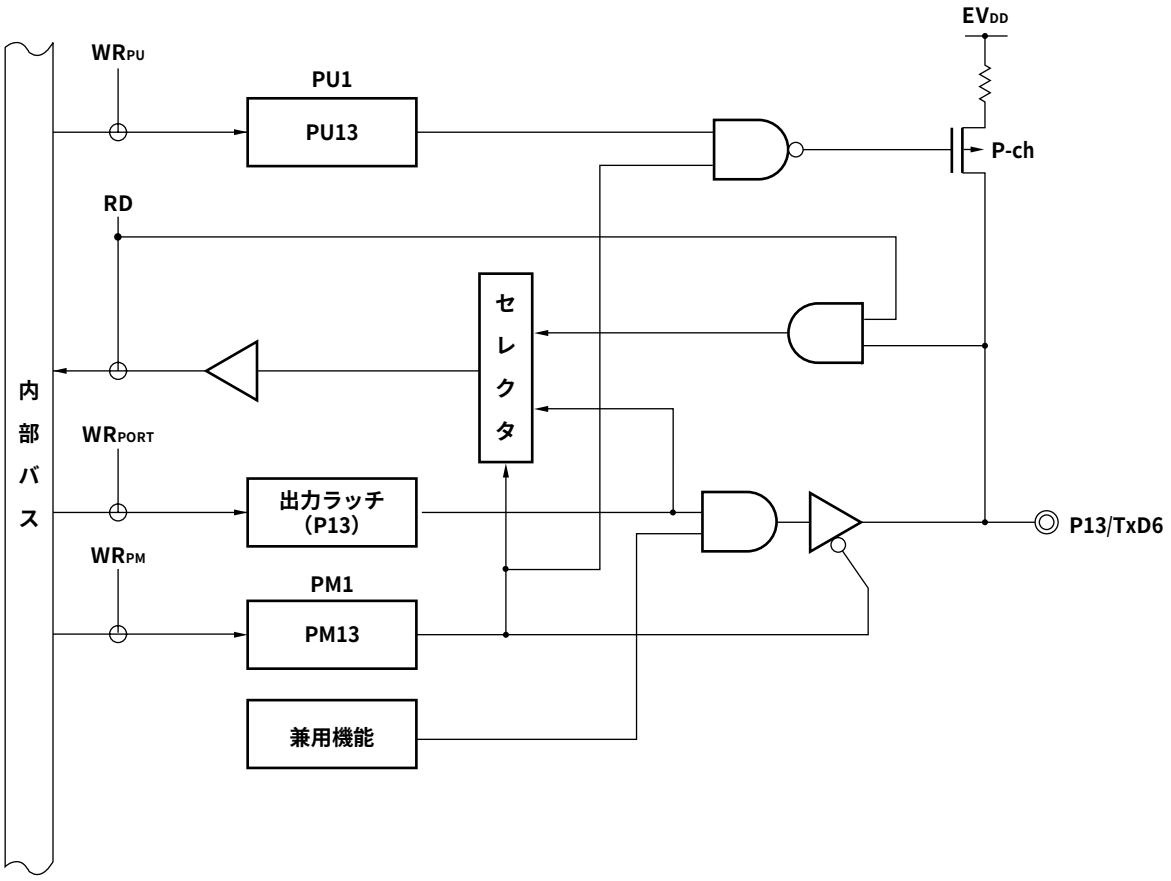
PU1　：プルアップ抵抗オプション・レジスタ1

PM1　：ポート・モード・レジスタ1

RD　：リード信号

WR××：ライト信号

図4ー9　P13のブロック図



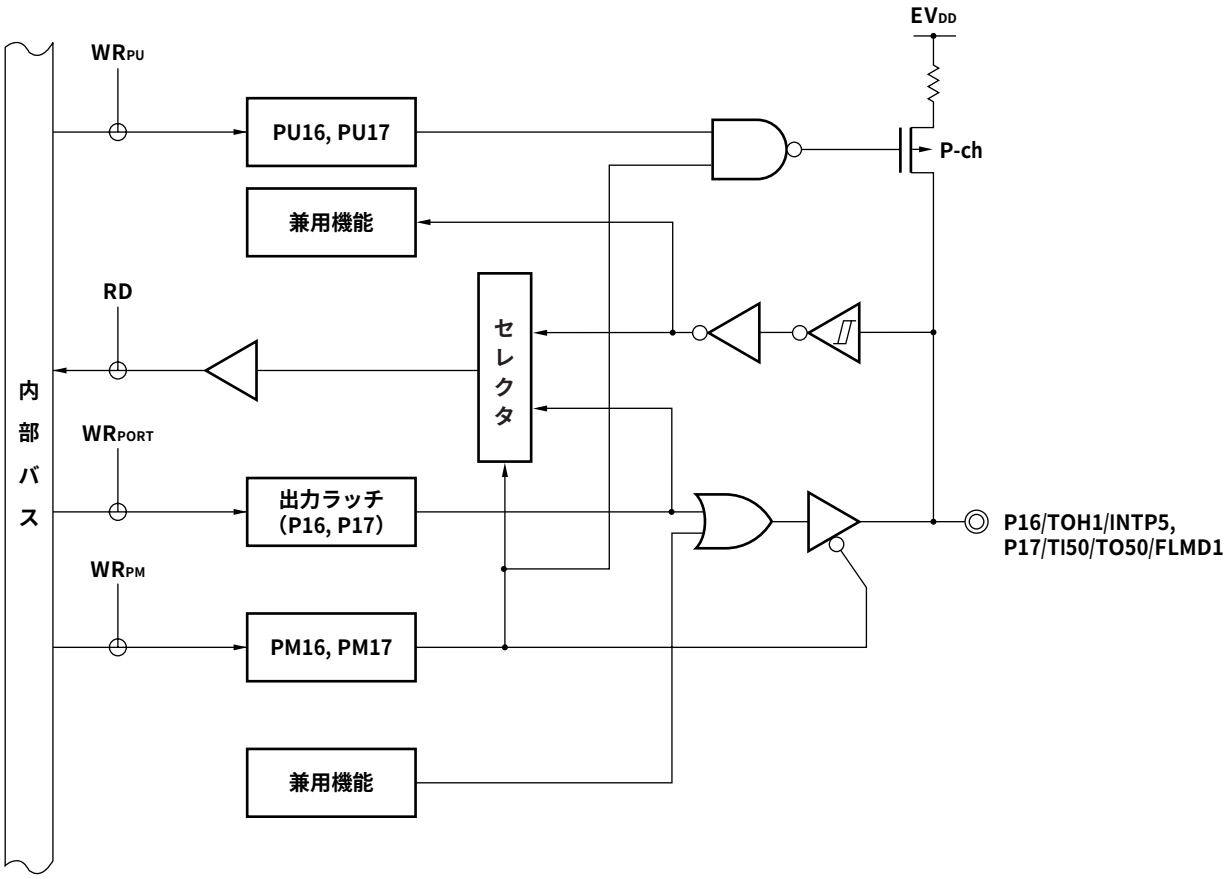
PU1　：プルアップ抵抗オプション・レジスタ1

PM1　：ポート・モード・レジスタ1

RD　：リード信号

WR××：ライト信号

図4－10　P16, P17のブロック図



PU1　：プルアップ抵抗オプション・レジスタ1

PM1　：ポート・モード・レジスタ1

RD　：リード信号

WR××：ライト信号

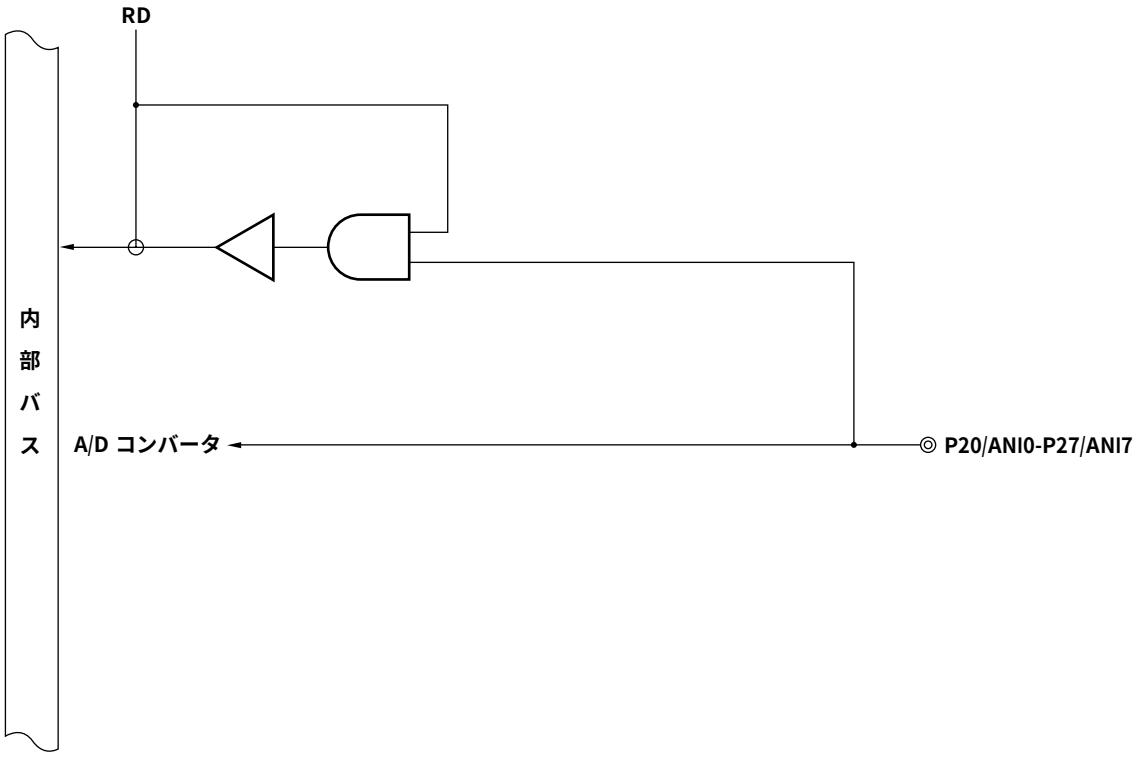
4.2.3　ポート2

8ビットの入力専用ポートです。

また，兼用機能としてA/Dコンバータのアナログ入力があります。

図4－11にポート2のブロック図を示します。

図4－11　P20-P27のブロック図



RD　：リード信号

4.2.4　ポート3

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ3（PM3）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ3（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部割り込み要求入力，タイマの入出力があります。

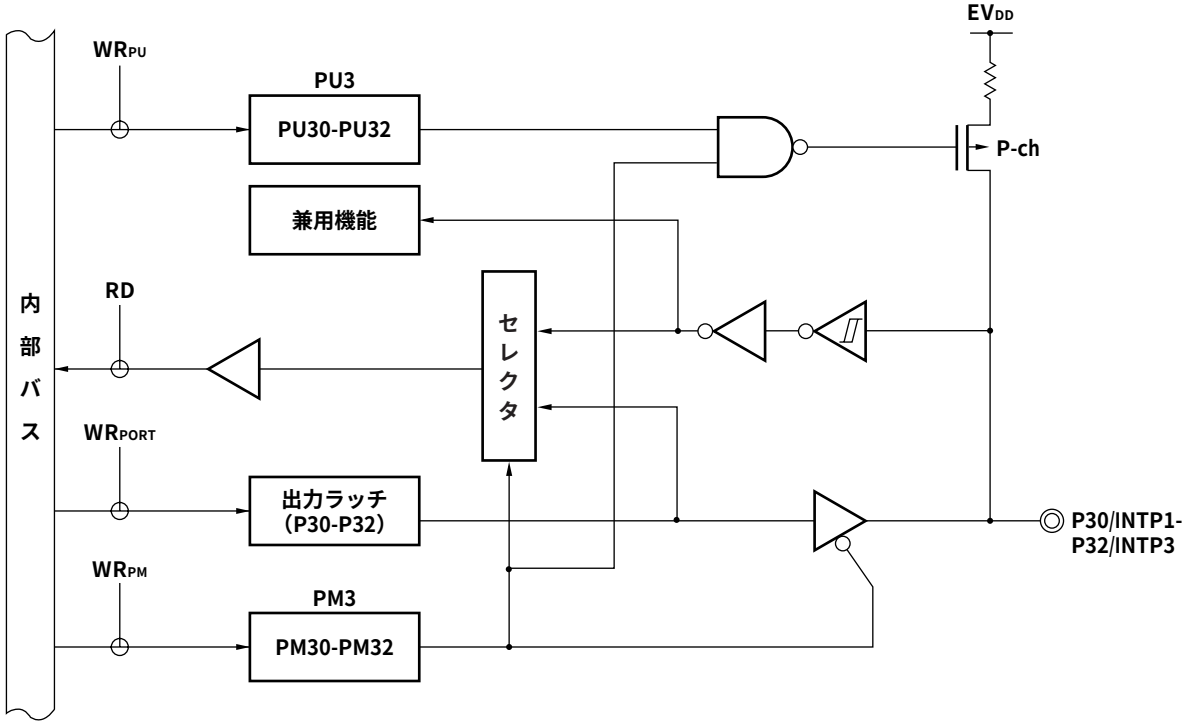
$\overline{\text{RESET}}$入力により，入力モードになります。

図4－12, 4－13にポート3のブロック図を示します。

注意　μPD78F0148HDは，誤動作を防ぐため，リセット後にP31を必ずプルダウンしてください。

備考　μPD78F0148HDのP31/INTP2, P32/INTP3は，オンチップ・ディバグ機能を使用するとき，オンチップ・ディバグ・モード引き込み用端子として使用できます。詳細は，第28章　オンチップ・ディバグ機能（μPD78F0148HDのみ）を参照してください。

図4－12　P30-P32のブロック図



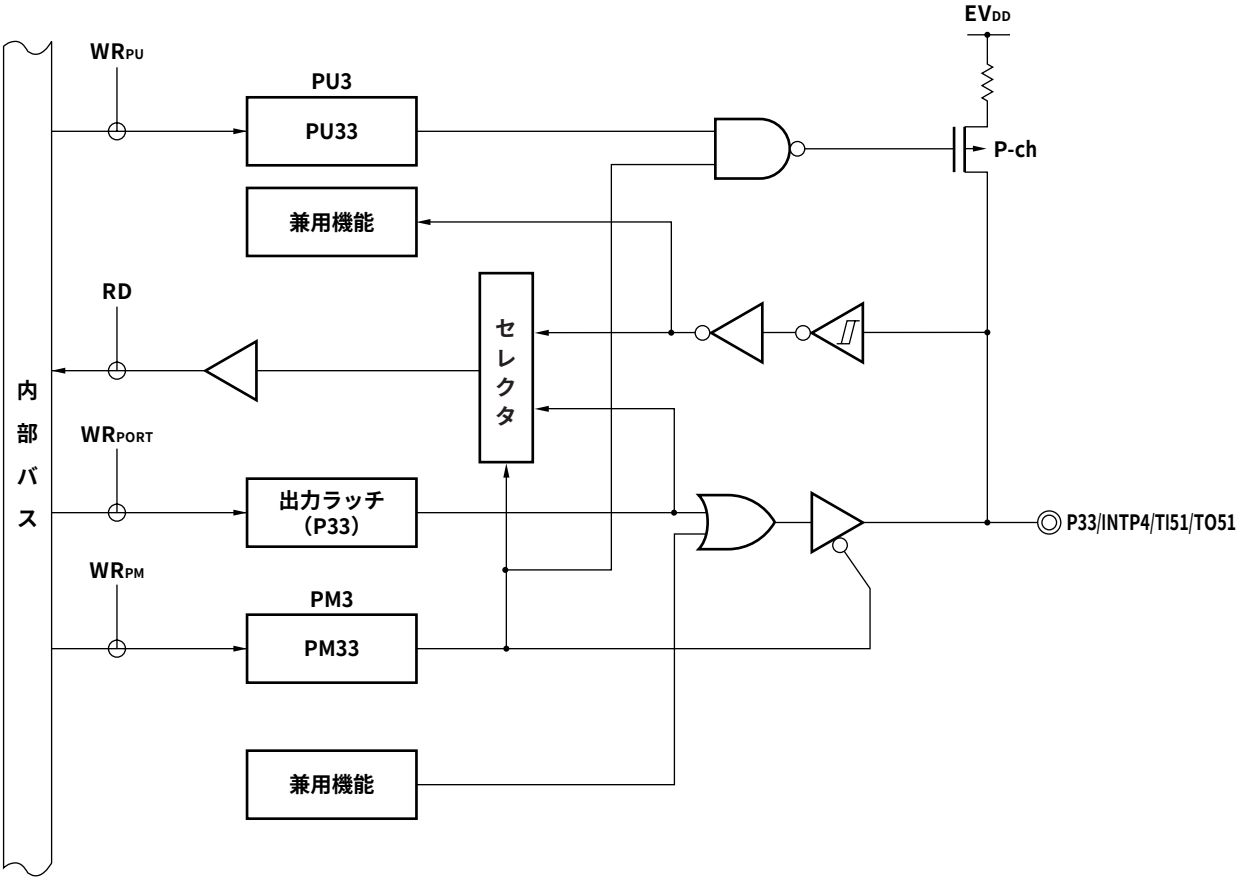
PU3　：プルアップ抵抗オプション・レジスタ3

PM3　：ポート・モード・レジスタ3

RD　：リード信号

WR××：ライト信号

図4－13　P33のブロック図



PU3　：プルアップ抵抗オプション・レジスタ3

PM3　：ポート・モード・レジスタ3

RD　：リード信号

WR××：ライト信号

4.2.5　ポート4

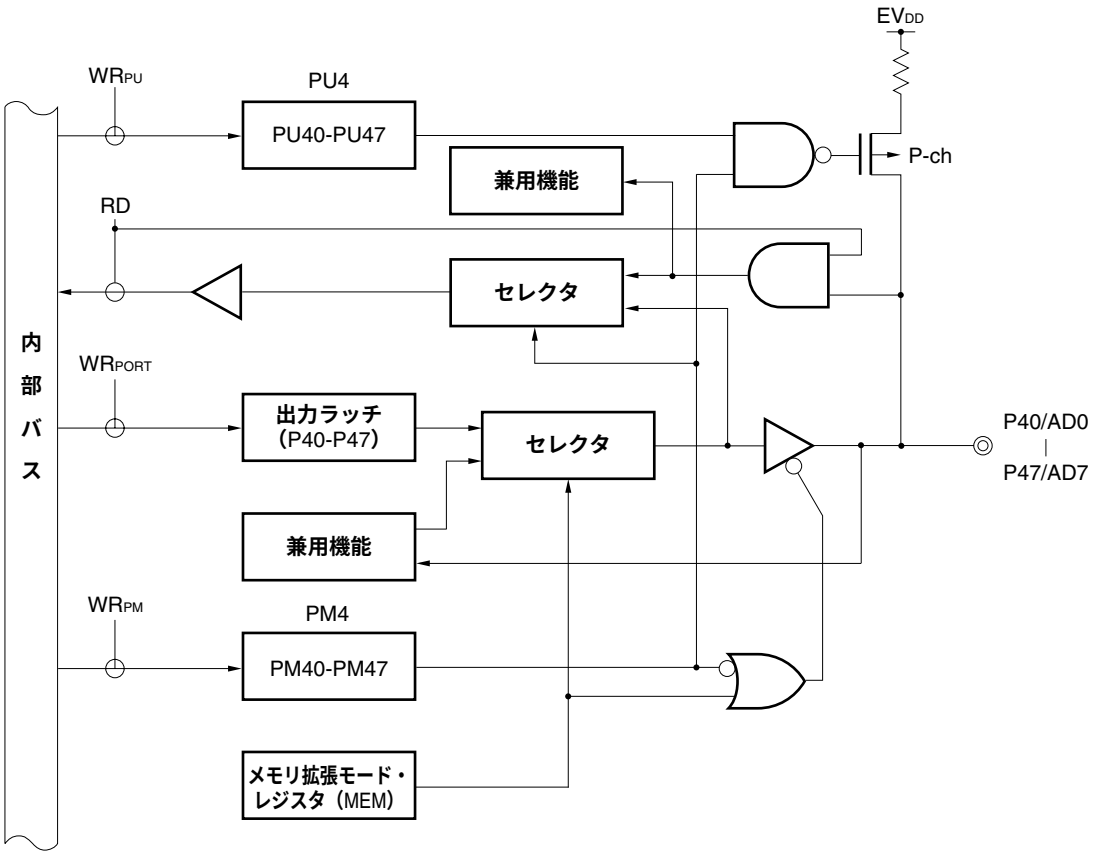
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ4（PM4）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ4（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部メモリ拡張モード時のアドレス／データ・バス機能があります。

$\overline{\text{RESET}}$入力により，入力モードになります。

図4－14にポート4のブロック図を示します。

図4－14　P40-P47のブロック図



PU4　：プルアップ抵抗オプション・レジスタ4

PM4　：ポート・モード・レジスタ4

RD　：リード信号

WR××：ライト信号

4.2.6　ポート5

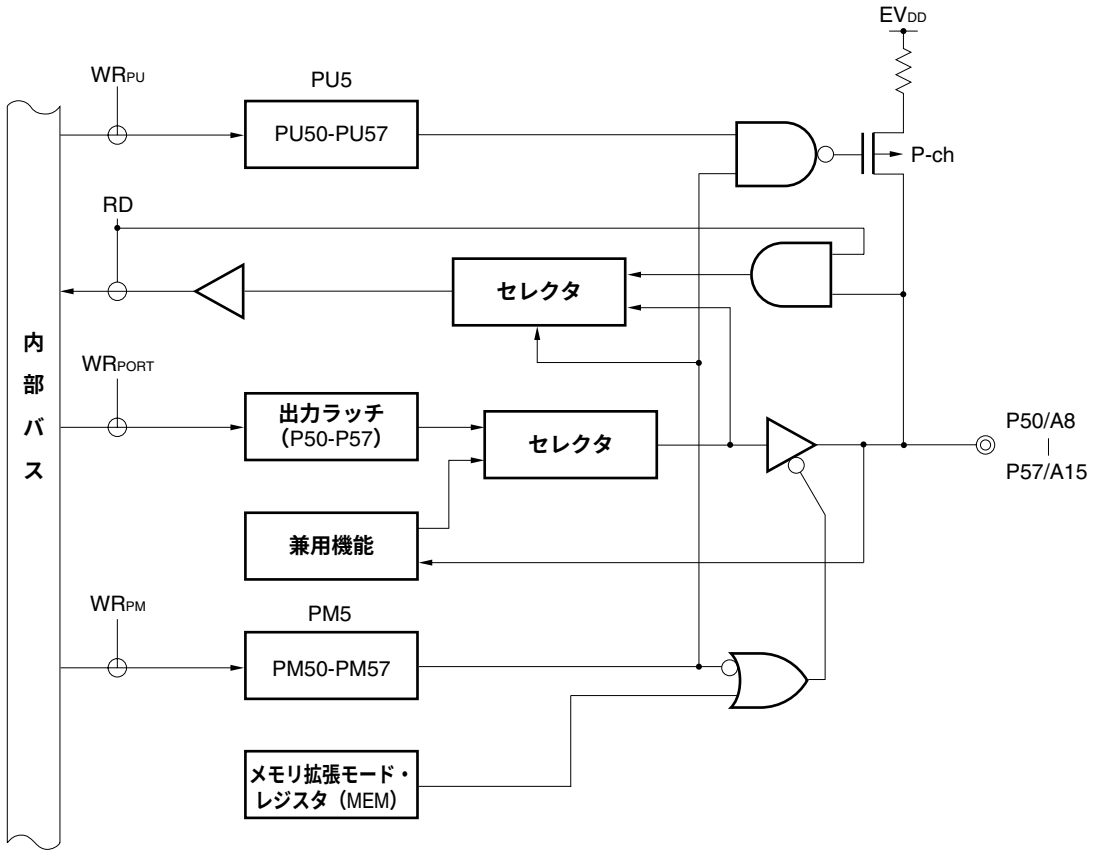
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ5（PM5）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ5（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部メモリ拡張モード時のアドレス・バス機能があります。

$\overline{\text{RESET}}$入力により，入力モードになります。

図4－15にポート5のブロック図を示します。

図4－15　P50-P57のブロック図



PU5　：プルアップ抵抗オプション・レジスタ5

PM5　：ポート・モード・レジスタ5

RD　：リード信号

WR××：ライト信号

4.2.7 ポート6

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ6（PM6）により1ビット単位で入力モード／出力モードの指定ができます。

このポートには次に示すようなプルアップ抵抗に関する機能があります。これらの機能は，ポートの上位4ビット／下位4ビットによって異なります。

表4－4　ポート6のプルアップ抵抗

上位4ビット（P64-P67端子）	下位4ビット（P60-P63端子）
PU6により，1ビット単位で内蔵プルアップ抵抗の接続指定可能	プルアップ抵抗を内蔵していない

PU6：プルアップ抵抗オプション・レジスタ6

P60-P63端子は，N-chオープン・ドレーンです。

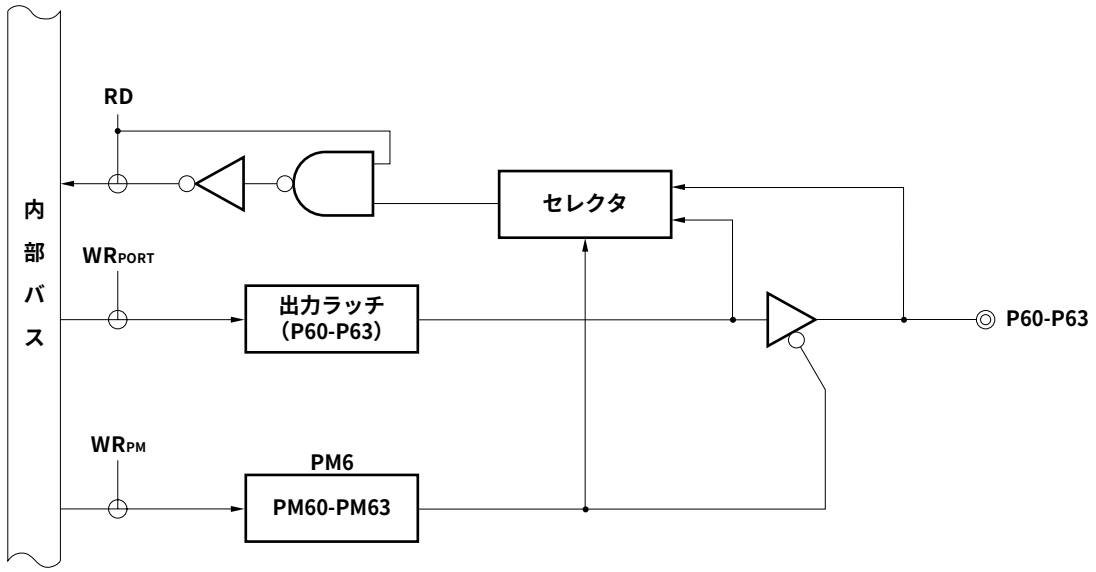
また，P64-P67端子には，兼用機能として外部メモリ拡張モード時の制御信号出力機能があります。

$\overline{\text{RESET}}$入力により，入力モードになります。

図4－16～4－18にポート6のブロック図を示します。

注意　外部メモリ拡張モード時で外部ウエイトを使用しないときは，P66を入出力ポートとして使用できます。

図4－16　P60-P63のブロック図

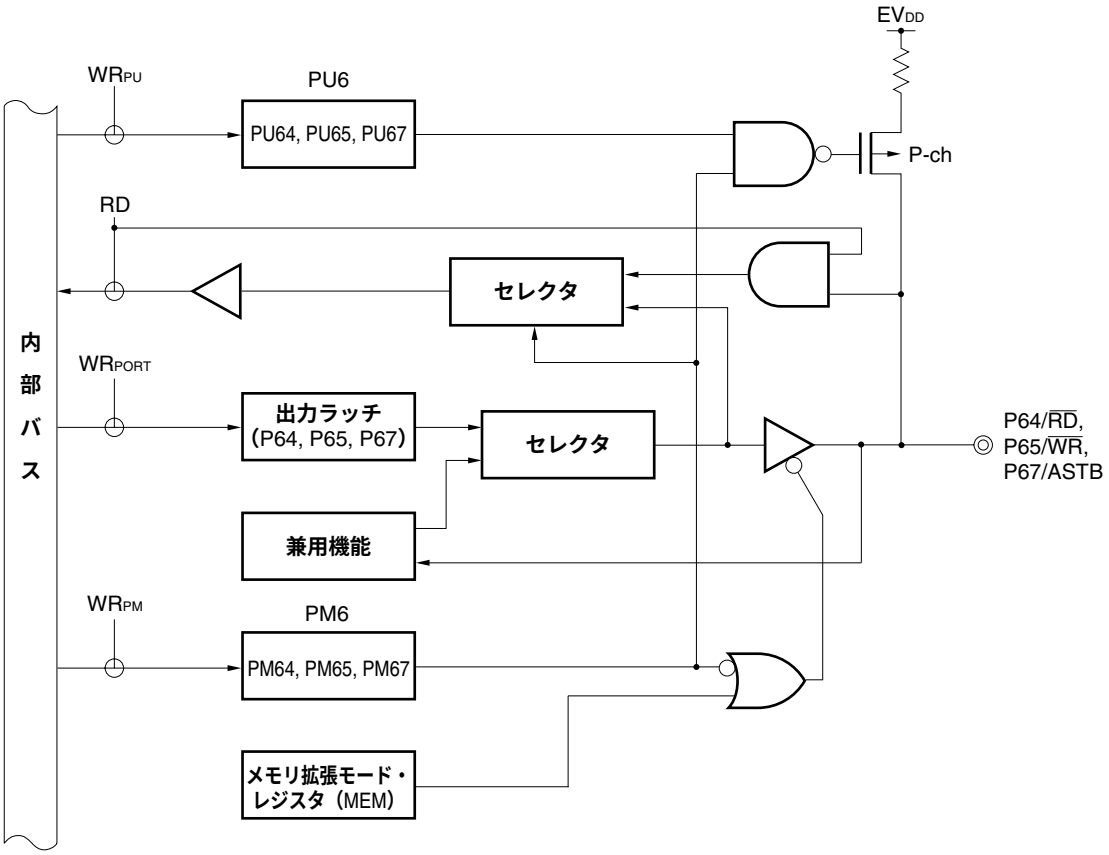


PM6　：ポート・モード・レジスタ6

RD　：リード信号

WR××：ライト信号

図4－17　P64, P65, P67のブロック図



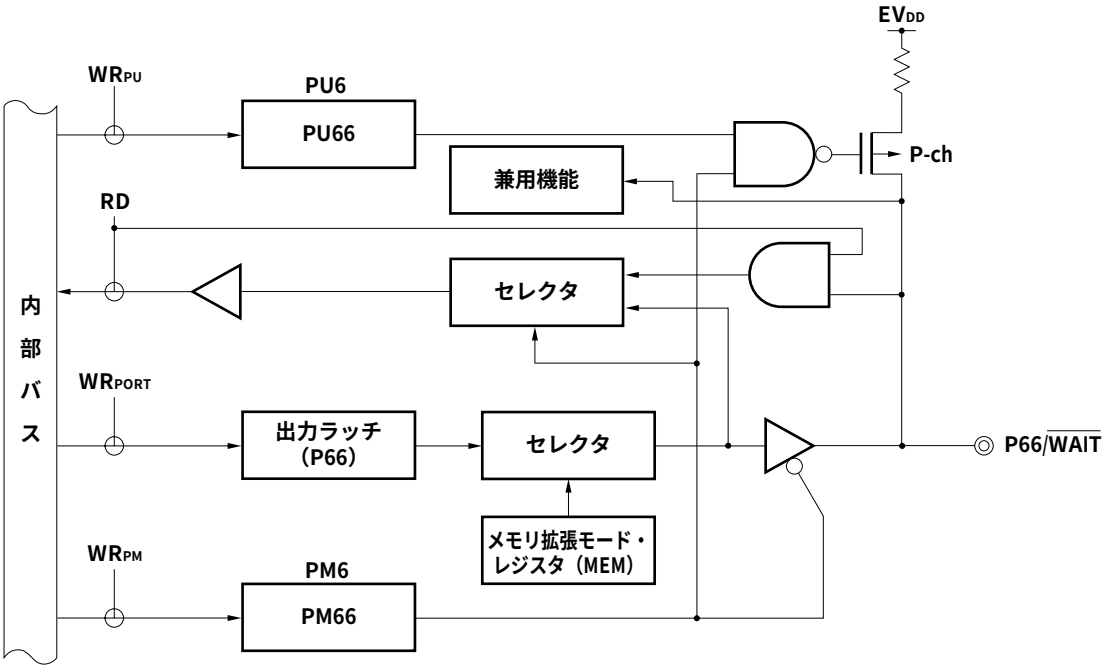
PU6　：プルアップ抵抗オプション・レジスタ6

PM6　：ポート・モード・レジスタ6

RD　：リード信号

WR××：ライト信号

図4－18　P66のブロック図



PU6　：プルアップ抵抗オプション・レジスタ6

PM6　：ポート・モード・レジスタ6

RD　：リード信号

WR××：ライト信号

4.2.8　ポート7

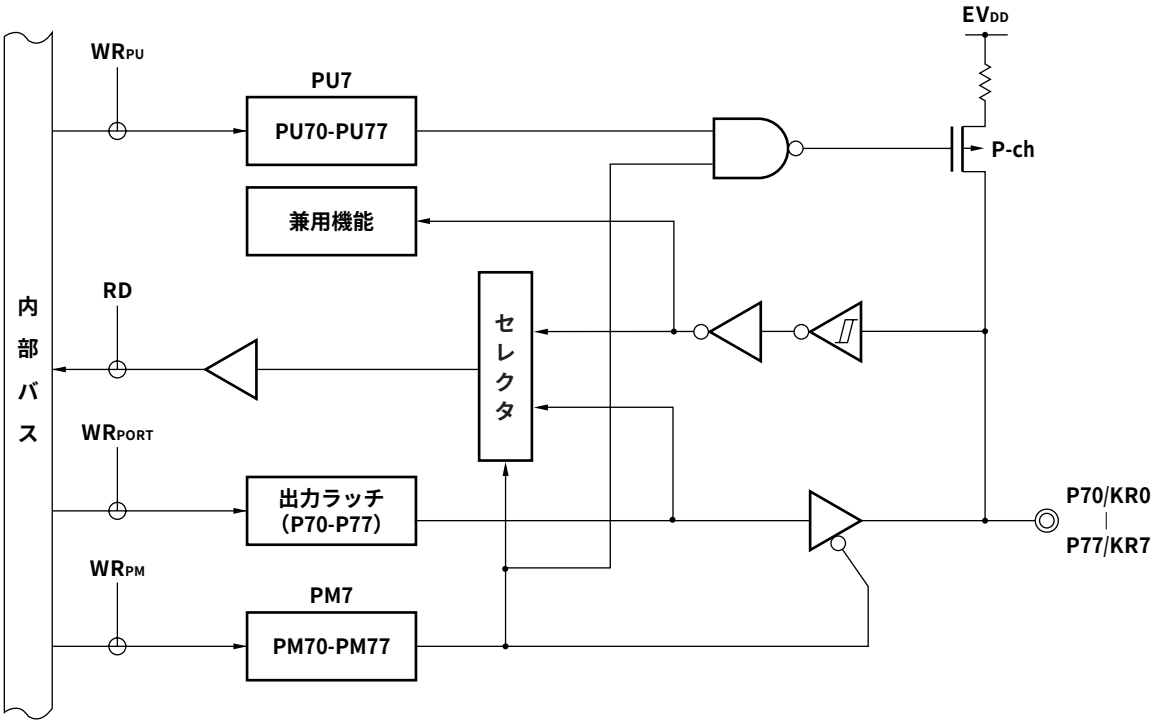
出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ7（PM7）により1ビット単位で入力モード／出力モードの指定ができます。P70-P77端子を入力ポートとして使用するとき，プルアップ抵抗オプション・レジスタ7（PU7）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能としてキー・リターン入力があります。

$\overline{\text{RESET}}$入力により，入力モードになります。

図4－19にポート7のブロック図を示します。

図4－19　P70-P77のブロック図



PU7　：プルアップ抵抗オプション・レジスタ7

PM7　：ポート・モード・レジスタ7

RD　：リード信号

WR××：ライト信号

4.2.9　ポート12

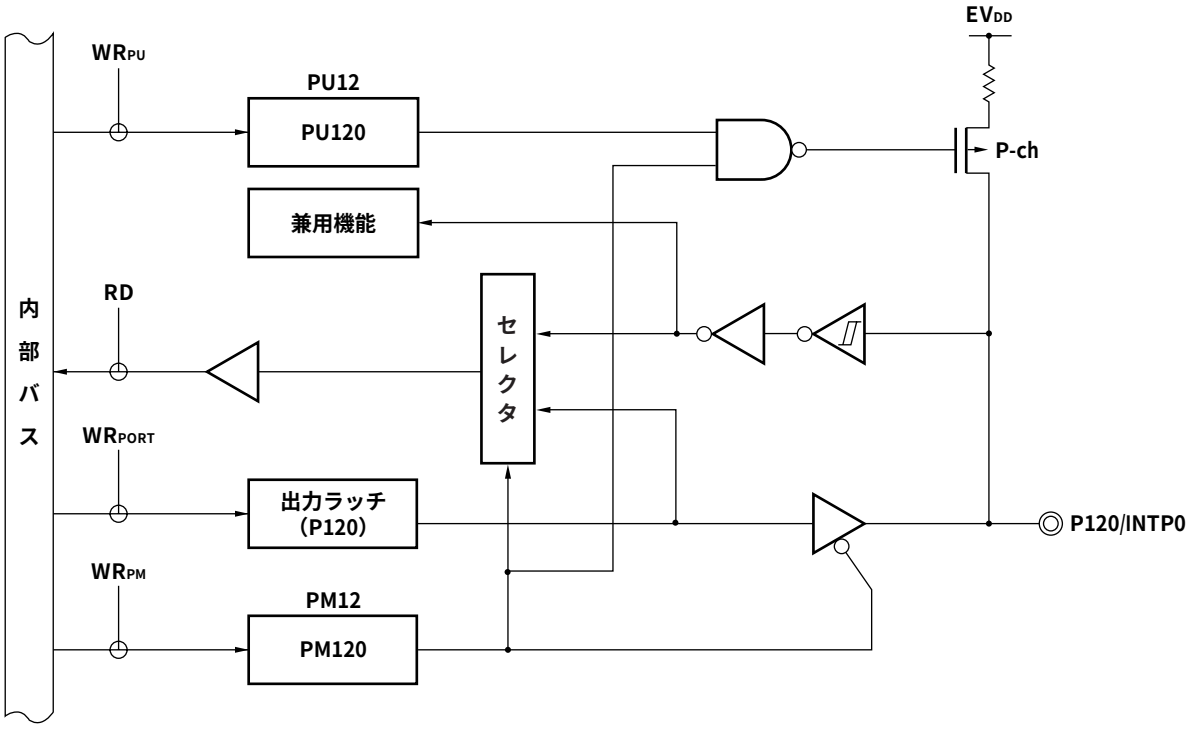
出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12（PM12）により，1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ12（PU12）により内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部割り込み要求入力があります。

$\overline{\text{RESET}}$入力により，入力モードになります。

図4－20にポート12のブロック図を示します。

図4－20　P120のブロック図



PU12　：プルアップ抵抗オプション・レジスタ12

PM12　：ポート・モード・レジスタ12

RD　　：リード信号

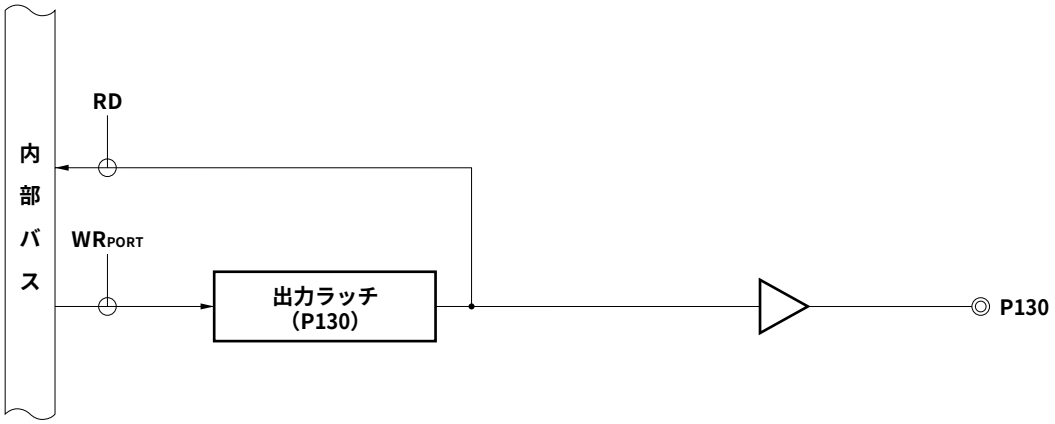
WR××：ライト信号

4. 2. 10　ポート13

1ビット出力専用ポートです。

図4－21にポート13のブロック図を示します。

図4－21　P130のブロック図



RD　　：リード信号

WR××：ライト信号

備考　リセットがかかるとP130はロウ・レベルを出力するため，リセットがかかる前にP130をハイ・レベル出力にした場合，P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

4. 2. 11　ポート14

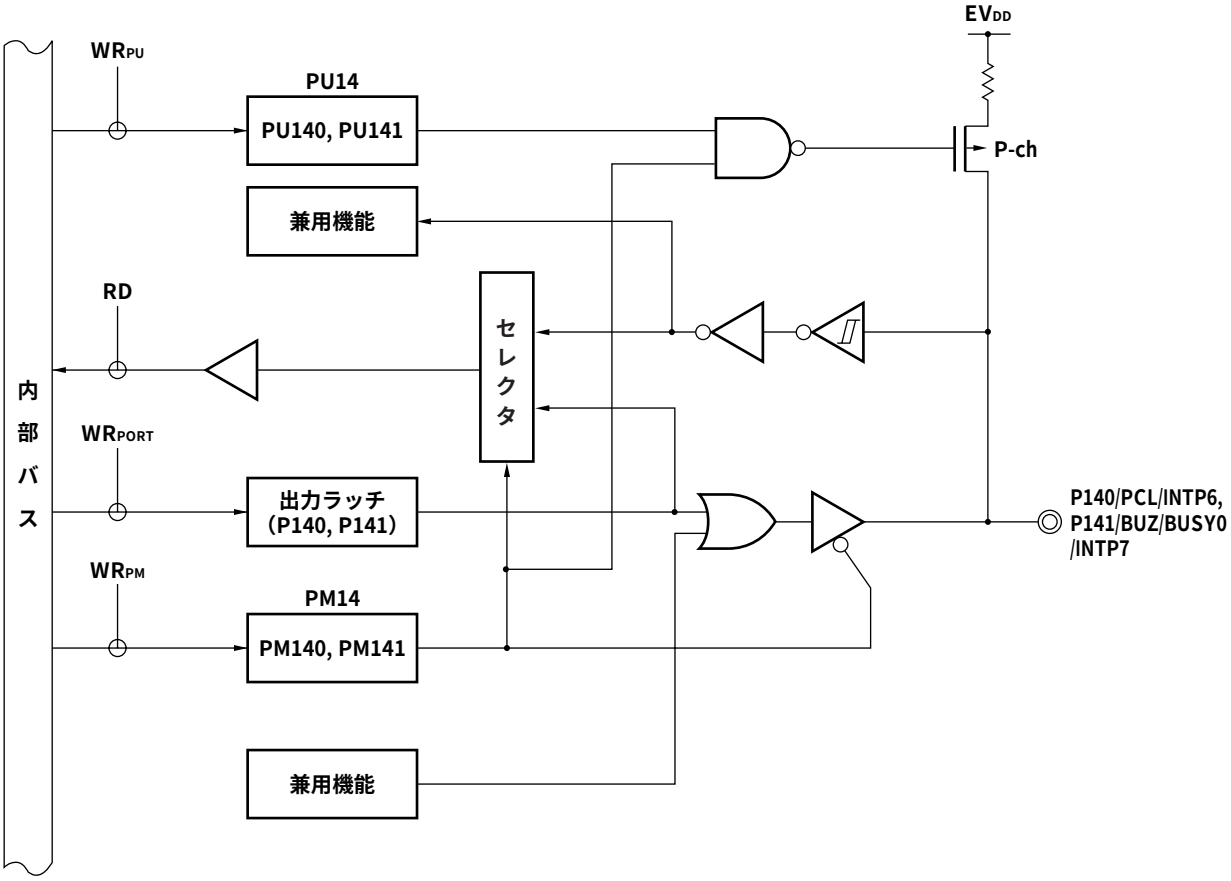
出力ラッチ付き6ビットの入出力ポートです。ポート・モード・レジスタ14（PM14）により1ビット単位で入力モード／出力モードの指定ができます。P140-P145端子を入力ポートとして使用するとき，プルアップ抵抗オプション・レジスタ14（PU14）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部割り込み要求入力，シリアル・インタフェースのデータ入出力，クロック入出力，ビジィ入力，ブザー出力，クロック出力があります。

$\overline{\text{RESET}}$入力により，入力モードになります。

図4－22〜4－25にポート14のブロック図を示します。

図4ー22　P140, P141のブロック図



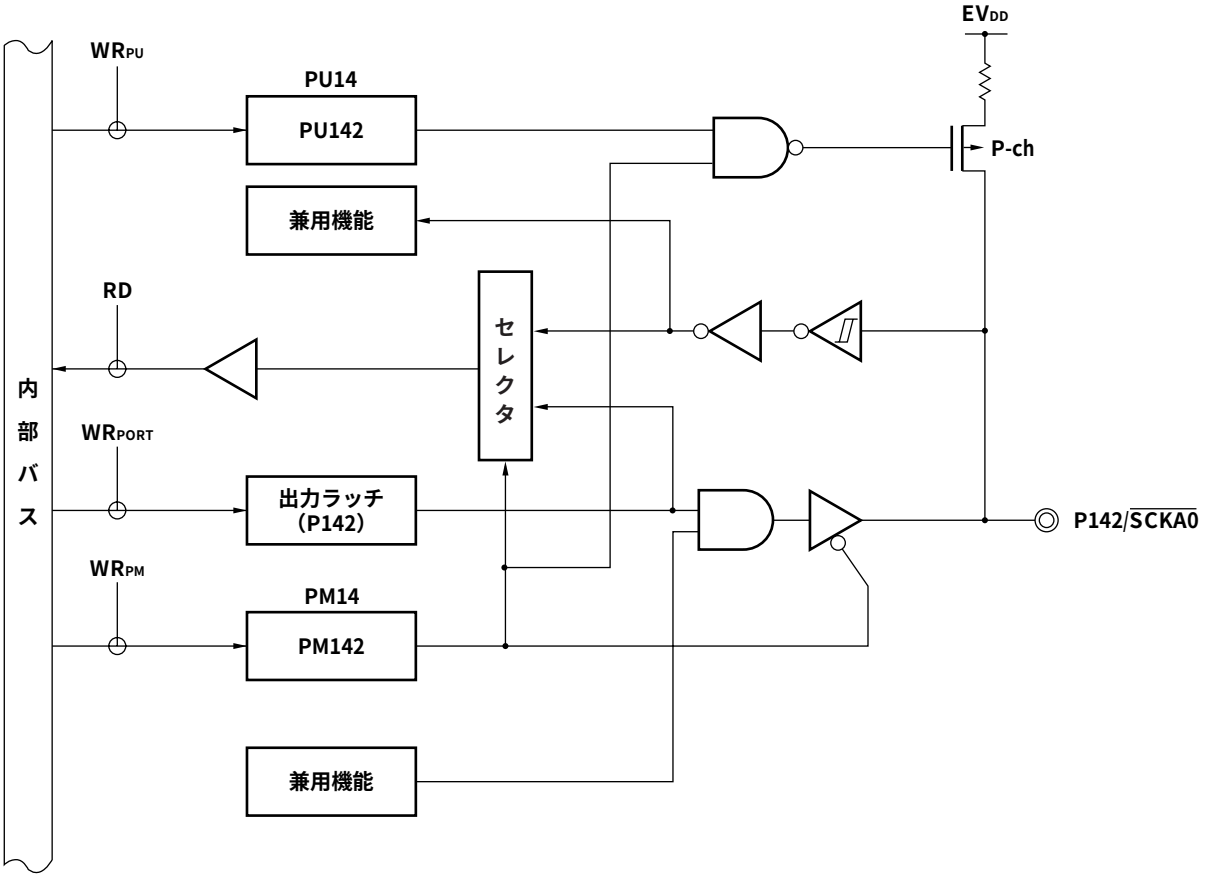
PU14　：プルアップ抵抗オプション・レジスタ14

PM14　：ポート・モード・レジスタ14

RD　　：リード信号

WR××：ライト信号

図4－23　P142のブロック図



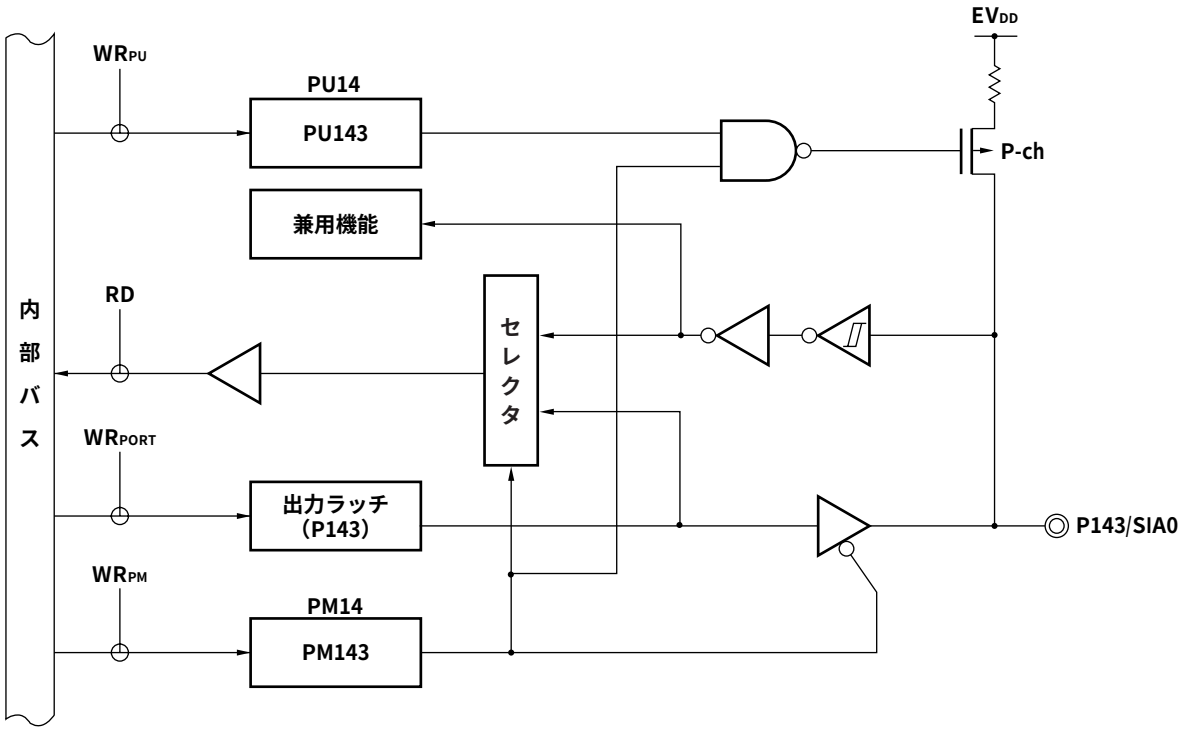
PU14　：プルアップ抵抗オプション・レジスタ14

PM14　：ポート・モード・レジスタ14

RD　　：リード信号

WR××：ライト信号

図4－24　P143のブロック図



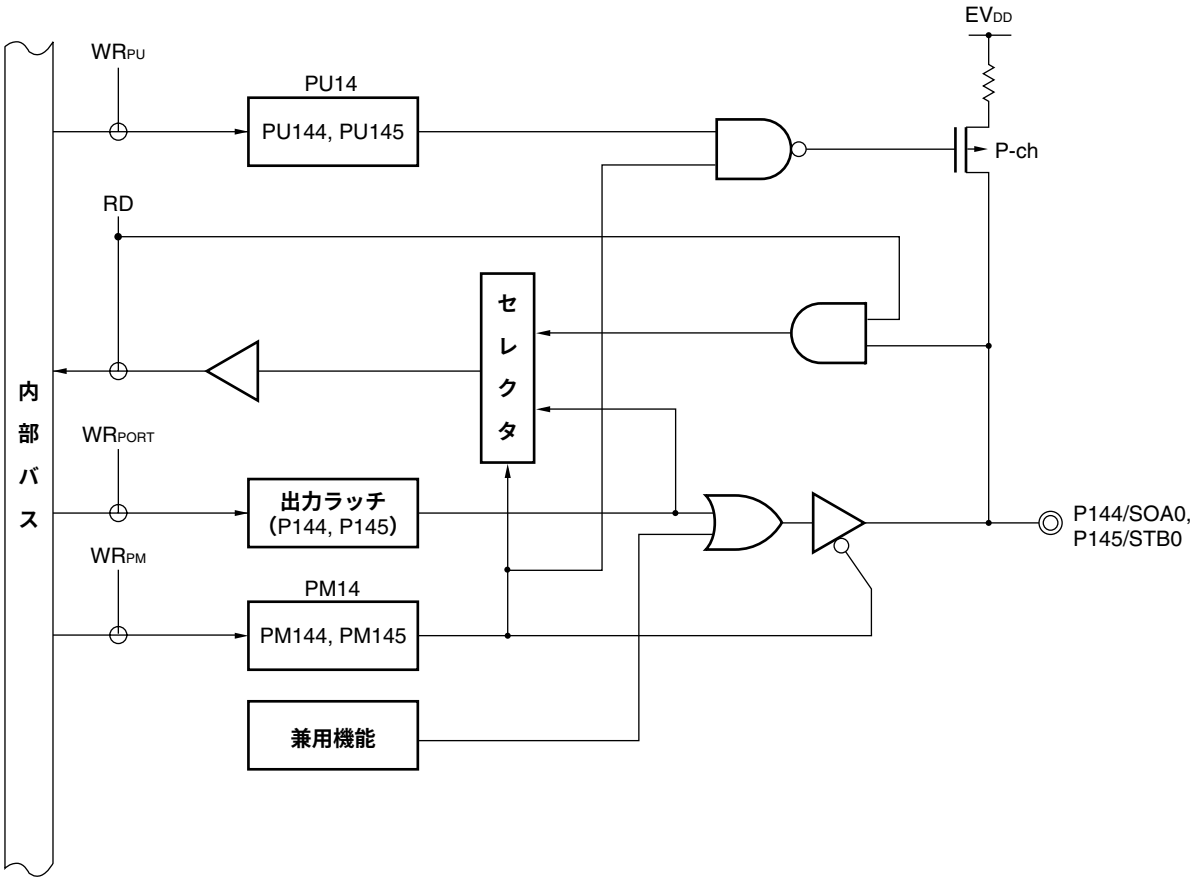
PU14　：プルアップ抵抗オプション・レジスタ14

PM14　：ポート・モード・レジスタ14

RD　　：リード信号

WR××：ライト信号

図4ー25　P144, P145のブロック図



PU14　：プルアップ抵抗オプション・レジスタ14

PM14　：ポート・モード・レジスタ14

RD　　：リード信号

WR××：ライト信号

4. 3　ポート機能を制御するレジスタ

ポートは，次の3種類のレジスタで制御します。

・ポート・モード・レジスタ（PM0, PM1, PM3-PM7, PM12, PM14）
・ポート・レジスタ（P0-P7, P12-P14）
・プルアップ抵抗オプション・レジスタ（PU0, PU1, PU3-PU7, PU12, PU14）

（1）ポート・モード・レジスタ（PM0, PM1, PM3-PM7, PM12, PM14）

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4－5のように設定してください。

図4－26　ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
	7	6	5	4	3	2	1	0			
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
	7	6	5	4	3	2	1	0			
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
	7	6	5	4	3	2	1	0			
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	R/W
	7	6	5	4	3	2	1	0			
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
	7	6	5	4	3	2	1	0			
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
	7	6	5	4	3	2	1	0			
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
	7	6	5	4	3	2	1	0			
PM12	1	1	1	1	1	1	1	PM120	FF2CH	FFH	R/W
	7	6	5	4	3	2	1	0			
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140	FF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3-7, 12, 14 ; n = 0-7)
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

表4－5　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（1/2）

端子名称	兼用機能		PM××	P××
	名　　称	入出力		
P00	TI000	入力	1	×
P01	TI010	入力	1	×
	TO00	出力	0	0
P02	SO11	出力	0	0
P03	SI11	入力	1	×
P04	$\overline{\text{SCK11}}$	入力	1	×
		出力	0	1
P05	$\overline{\text{SSI11}}$	入力	1	×
	TI001	入力	1	×
P06	TI011	入力	1	×
	TO01	出力	0	0
P10	$\overline{\text{SCK10}}$	入力	1	×
		出力	0	1
	TxD0	出力	0	1
P11	SI10	入力	1	×
	RxD0	入力	1	×
P12	SO10	出力	0	0
P13	TxD6	出力	0	1
P14	RxD6	入力	1	×
P15	TOH0	出力	0	0
P16	TOH1	出力	0	0
	INTP5	入力	1	×
P17	TI50	入力	1	×
	TO50	出力	0	0
P30-P32	INTP1-INTP3	入力	1	×
P33	INTP4	入力	1	×
	TI51	入力	1	×
	TO51	出力	0	0
P40-P47	AD0-AD7	入出力	×注	
P50-P57	A8-A15	出力	×注	
P64	$\overline{\text{RD}}$	出力	×注	
P65	$\overline{\text{WR}}$	出力	×注	
P66	$\overline{\text{WAIT}}$	入力	1注	×注
P67	ASTB	出力	×注	

注　P40-P47，P50-P57，P64-P67端子を兼用機能の端子として使用するときは，メモリ拡張モード・レジスタ（MEM）で機能を設定します。

備考　×　　：don't care
PM××：ポート・モード・レジスタ
P××　：ポートの出力ラッチ

表4－5　兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（2/2）

端子名称	兼用機能		PM××	P××
	名　　称	入出力		
P70-P77	KR0-KR7	入力	1	×
P120	INTP0	入力	1	×
P140	PCL	出力	0	0
	INTP6	入力	1	×
P141	BUZ	出力	0	0
	BUSY0	入力	1	×
	INTP7	入力	1	×
P142	$\overline{\text{SCKA0}}$	入力	1	×
		出力	0	1
P143	SIA0	入力	1	×
P144	SOA0	出力	0	0
P145	STB0	出力	0	0

備考　×　　：don't care

PM××：**ポート・モード・レジスタ**

P××　：**ポートの出力ラッチ**

(2) ポート・レジスタ（P0-P7, P12-P14）

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます。

P0-P7, P12-P14は，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00H（P2のみ不定）になります。

図4－27　ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FF00H	00H（出力ラッチ）	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FF01H	00H（出力ラッチ）	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	不定	R
P3	0	0	0	0	P33	P32	P31	P30	FF03H	00H（出力ラッチ）	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FF04H	00H（出力ラッチ）	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FF05H	00H（出力ラッチ）	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FF06H	00H（出力ラッチ）	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FF07H	00H（出力ラッチ）	R/W
P12	0	0	0	0	0	0	0	P120	FF0CH	00H（出力ラッチ）	R/W
P13	0	0	0	0	0	0	0	P130	FF0DH	00H（出力ラッチ）	R/W
P14	0	0	P145	P144	P143	P142	P141	P140	FF0EH	00H（出力ラッチ）	R/W

Pmn	m = 0-7, 12-14; n = 0-7	
	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

(3) **プルアップ抵抗オプション・レジスタ**（PU0, PU1, PU3-PU7, PU12, PU14）

P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P140-P145**の内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。**PU0, PU1, PU3-PU7, PU12, PU14**で内蔵プルアップ抵抗の使用を指定した端子で，入力モードに設定したビットにのみ，ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは，**PU0, PU1, PU3-PU7, PU12, PU14**の設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。**

PU0, PU1, PU3-PU7, PU12, PU14**は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。**

$\overline{\text{RESET}}$**入力により，**00H**になります。**

図4－28　**プルアップ抵抗オプション・レジスタのフォーマット**

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	FF30H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	FF31H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	FF33H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	FF34H	00H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	FF35H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	FF36H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	FF37H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	FF3CH	00H	R/W
PU14	0	0	PU145	PU144	PU143	PU142	PU141	PU140	FF3EH	00H	R/W

PUmn	Pmn**の内蔵プルアップ抵抗の選択** （m = 0, 1, 3-7, 12, 14 ; n = 0-7）
0	**内蔵プルアップ抵抗を接続しない**
1	**内蔵プルアップ抵抗を接続する**

4.4　ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

注意　1ビット・メモリ操作命令の場合，操作対象は1ビットですが，ポートを8ビット単位でアクセスします。したがって，入力／出力が混在しているポートでは，操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.1　入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

リセットによって，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

4.4.2　入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により，端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3　入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

リセットによって，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし，その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。

第5章　外部バス・インタフェース

5. 1　外部バス・インタフェース

外部バス・インタフェース機能は，内部ROM, RAM, SFR以外の領域に，外部デバイスを接続する機能です。外部デバイスの接続は，ポート4-6を使用します。ポート4-6は，アドレス／データ，リード／ライト・ストローブ，ウエイト，アドレス・ストローブなどの制御を行います。

外部バス・インタフェース機能は，CPUクロックに高速システム・クロックを選択した場合のみ使用可能です。

★　注意　（A1）水準品は，外部バス・インタフェース機能を使用できません。

表5－1　外部メモリ拡張モード時の端子機能

外部デバイス接続時の端子機能		兼用端子
名　称	機　　能	
AD0-AD7	マルチプレクスト・アドレス／データ・バス	P40-P47
A8-A15	アドレス・バス	P50-P57
$\overline{RD}$	リード・ストローブ信号	P64
$\overline{WR}$	ライト・ストローブ信号	P65
$\overline{WAIT}$	ウエイト信号	P66
ASTB	アドレス・ストローブ信号	P67

表5－2　外部メモリ拡張モード時のポート4-6の端子の状態

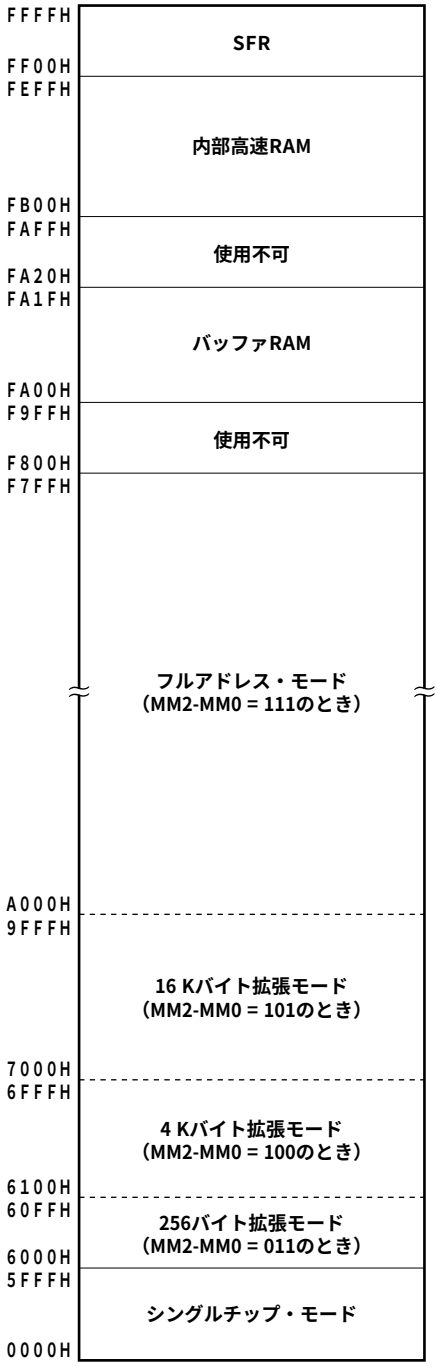
ポート／外部拡張モード	ポート4	ポート5								ポート6							
	0-7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
シングルチップ・モード	ポート	ポート								ポート							
256バイト拡張モード	アドレス／データ	ポート								ポート				$\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, ASTB			
4 Kバイト拡張モード	アドレス／データ	アドレス				ポート				ポート				$\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, ASTB			
16 Kバイト拡張モード	アドレス／データ	アドレス						ポート		ポート				$\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, ASTB			
フルアドレス・モード	アドレス／データ	アドレス								ポート				$\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, ASTB			

注意　外部ウエイト機能を使用しないとき，すべてのモードで$\overline{WAIT}$端子をポートとして使用できます。

外部バス・インタフェース機能を使用したときのメモリ・マップは，次のようになります。

図5－1　外部バス・インタフェース機能使用時のメモリ・マップ（1/2）

(a) フラッシュ・メモリを24 Kバイト，内部拡張RAMを0バイトにしたときの78K0/KF1+のメモリ・マップ



(b) フラッシュ・メモリを32 Kバイト，内部拡張RAMを0バイトにしたときの78K0/KF1+のメモリ・マップ

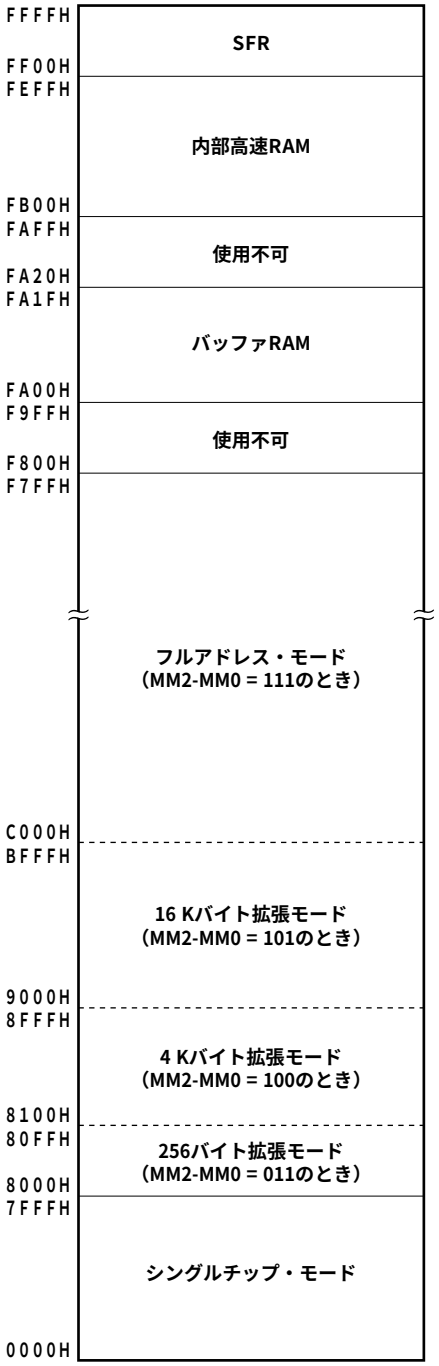
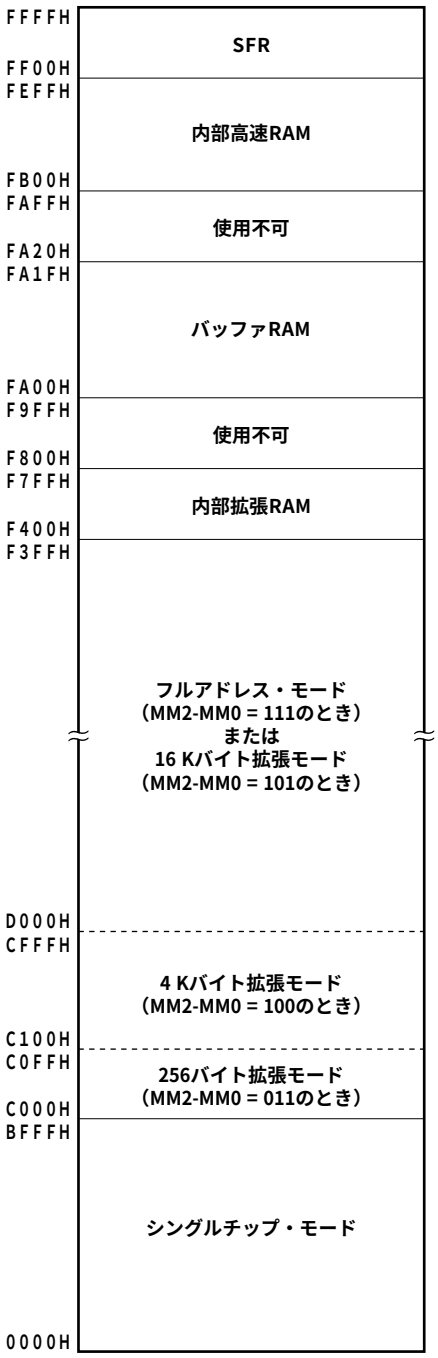
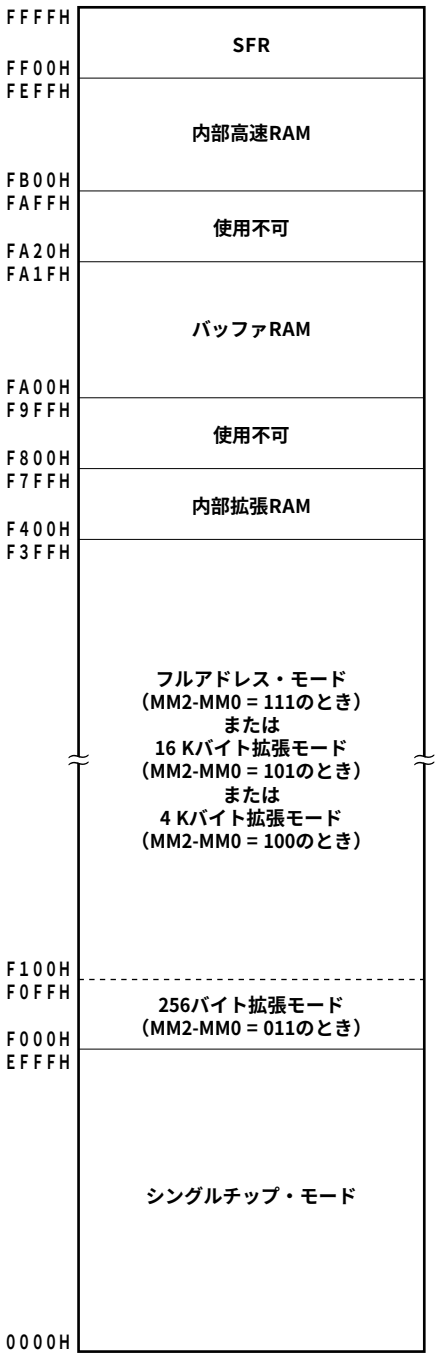


図5－1　外部バス・インタフェース機能使用時のメモリ・マップ（2/2）

(a) フラッシュ・メモリを48 Kバイト，内部拡張RAMを1 Kバイトにしたときの μPD78F0148H, 78F0148HDのメモリ・マップ



(b) フラッシュ・メモリを60 Kバイト，内部拡張RAMを1 Kバイトにしたときの μPD78F0148H, 78F0148HDのメモリ・マップ



5. 2　外部バス・インタフェース機能を制御するレジスタ

外部バス・インタフェース機能は，次の2種類のレジスタで制御します。

・メモリ拡張モード・レジスタ（MEM）
・メモリ拡張ウエイト設定レジスタ（MM）

（1）メモリ拡張モード・レジスタ（MEM）

MEMは，外部拡張領域を設定するレジスタです。

MEMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図5－2　メモリ拡張モード・レジスタ（MEM）のフォーマット

アドレス：FF47H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
MEM	0	0	0	0	0	MM2	MM1	MM0

<table>
<tr><th rowspan="2">MM2</th><th rowspan="2">MM1</th><th rowspan="2">MM0</th><th colspan="2" rowspan="2">シングルチップ／
メモリ拡張モードの選択</th><th colspan="5">P40-P47, P50-P57, P64-P67端子の状態</th></tr>
<tr><th>P40-P47</th><th>P50-P53</th><th>P54,P55</th><th>P56,P57</th><th>P64-P67</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td colspan="2">シングルチップ・モード</td><td colspan="5">ポート・モード</td></tr>
<tr><td rowspan="2">0</td><td rowspan="2">1</td><td rowspan="2">1</td><td rowspan="5">メモリ拡張モード注</td><td>256バイト・モード</td><td rowspan="5">AD0-AD7</td><td colspan="3">ポート・モード</td><td rowspan="5">P64 = $\overline{\text{RD}}$
P65 = $\overline{\text{WR}}$
P66 = $\overline{\text{WAIT}}$
P67 = ASTB</td></tr>
<tr><td>4 Kバイト・モード</td><td rowspan="4">A8-A11</td><td colspan="2">ポート・モード</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>4 Kバイト・モード</td><td colspan="2"></td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>16 Kバイト・モード</td><td>A12, A13</td><td>ポート・モード</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>フルアドレス・モード</td><td></td><td>A14, A15</td></tr>
<tr><td colspan="3">上記以外</td><td colspan="2">設定禁止</td><td colspan="5"></td></tr>
</table>

注　CPUが外部メモリ拡張領域にアクセスした場合，アクセスするアドレスの下位側ビットが，指定された端子に出力されます（ただし，フルアドレス・モードは除く）。

図5－3　アドレスに対して指定された端子

（フラッシュ・メモリを24 Kバイト，内部拡張RAMを0バイトに設定した場合）

外部拡張モード	CPUのアクセスしたアドレス	アドレスに対して指定された端子															
		A15	A14	A13	A12	A11	A10	A9	A8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
256バイト拡張モード	6000H	(0)	(1)	(1)	(0)	(0)	(0)	(0)	(0)	0	0	0	0	0	0	0	0
	6001H	(0)	(1)	(1)	(0)	(0)	(0)	(0)	(0)	0	0	0	0	0	0	0	1
	6055H	(0)	(1)	(1)	(0)	(0)	(0)	(0)	(0)	0	1	0	1	0	1	0	1
	60FEH	(0)	(1)	(1)	(0)	(0)	(0)	(0)	(0)	1	1	1	1	1	1	1	0
	60FFH	(0)	(1)	(1)	(0)	(0)	(0)	(0)	(0)	1	1	1	1	1	1	1	1
4 Kバイト拡張モード	6000H	(0)	(1)	(1)	(0)	0	0	0	0	0	0	0	0	0	0	0	0
	6001H	(0)	(1)	(1)	(0)	0	0	0	0	0	0	0	0	0	0	0	1
	6100H	(0)	(1)	(1)	(0)	0	0	0	1	0	0	0	0	0	0	0	0
	6FFFH	(0)	(1)	(1)	(0)	1	1	1	1	1	1	1	1	1	1	1	1
16 Kバイト拡張モード	6000H	(0)	(1)	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	7000H	(0)	(1)	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	8000H	(1)	(0)	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	9000H	(1)	(0)	0	1	0	0	0	0	0	0	0	0	0	0	0	0
	9FFFH	(1)	(0)	0	1	1	1	1	1	1	1	1	1	1	1	1	1
フルアドレス・モード	6000H	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	6001H	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
	F7FFH	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1

備考　（　）の値は実際に出力されません。この端子はポートとして使用することができます。

(2) メモリ拡張ウエイト設定レジスタ（MM）

MMは，ウエイト数を設定するレジスタです。

MMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，10Hになります。

図5－4　メモリ拡張ウエイト設定レジスタ（MM）のフォーマット

アドレス：FFF8H　　リセット時：10H　　R/W

略号	7	6	5	4	3	2	1	0
MM	0	0	PW1	PW0	0	0	0	0

PW1	PW0	ウエイトの制御
0	0	ウエイトなし
0	1	ウエイトあり（1ウエイト・ステート挿入）
1	0	設定禁止
1	1	外部ウエイト端子によるウエイト制御

注意1．外部ウエイト端子によるウエイト制御をする場合は，$\overline{\text{WAIT}}$/P66端子を必ず入力モード（ポート・モード・レジスタ6（PM6）のビット6（PM66）を1）に設定してください。

2．外部ウエイト端子によるウエイト制御をしない場合は，$\overline{\text{WAIT}}$/P66端子を入出力ポートとして使用できます。

5. 3　外部バス・インタフェース機能のタイミング

外部メモリ拡張モード時のタイミング・コントロール信号出力端子を次に示します。

(1) $\overline{\text{RD}}$端子（兼用機能：P64）

リード・ストローブ信号を出力する端子です。外部メモリからの命令フェッチ，データ・リード時に出力します。

内部メモリ・リード時には，リード・ストローブ信号は出力されません（ハイ・レベルを保持します）。

(2) $\overline{\text{WR}}$端子（兼用機能：P65）

ライト・ストローブ信号を出力する端子です。外部メモリへのデータ・ライト時に出力します。

内部メモリ・ライト時には，ライト・ストローブ信号は出力されません（ハイ・レベルを保持します）。

(3) $\overline{\text{WAIT}}$端子（兼用機能：P66）

外部ウエイト信号を入力する端子です。

外部ウエイトを使用しないときは，$\overline{\text{WAIT}}$端子を入出力ポートとして使用できます。

内部メモリ・アクセス時には，外部ウエイト信号は無視されます。

(4) ASTB端子（兼用機能：P67）

アドレス・ストローブ信号を出力する端子です。外部メモリからの命令フェッチ，データ・アクセスにかかわらず，必ず出力します。

内部メモリ・アクセス時にも，アドレス・ストローブ信号が出力されます。

(5) AD0-AD7, A8-A15端子（兼用機能：P40-P47, P50-P57）

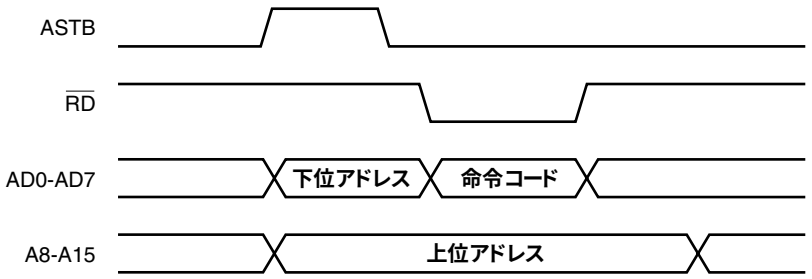
アドレス信号およびデータ信号を出力する端子です。外部メモリからの命令フェッチ，データ・アクセス時に有効信号が出力あるいは入力されます。

内部メモリ・アクセス時にも信号が変化します（出力内容は不定です）。

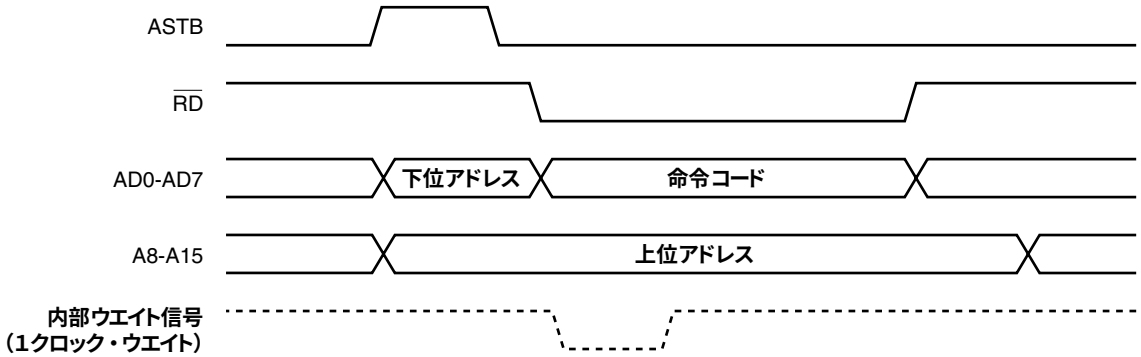
タイミング・チャートを図5－5から図5－8に示します。

図5－5　外部メモリからの命令フェッチ

(a) ウエイトなし（PW1, PW0 = 0, 0）**設定時**



(b) ウエイトあり（PW1, PW0 = 0, 1）**設定時**



(c) 外部ウエイト（PW1, PW0 = 1, 1）**設定時**

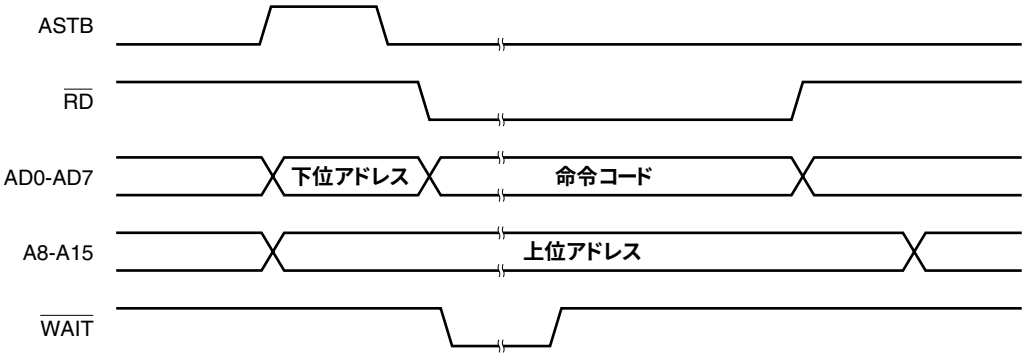
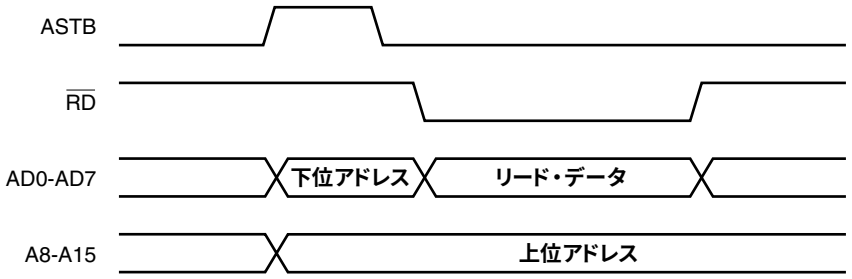
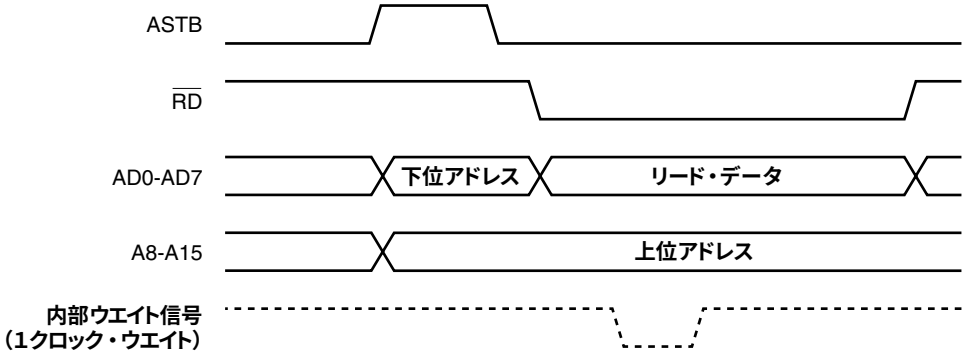


図5－6　外部メモリのリード・タイミング

(a) ウエイトなし（PW1, PW0 = 0, 0）**設定時**



(b) ウエイトあり（PW1, PW0 = 0, 1）**設定時**



(c) 外部ウエイト（PW1, PW0 = 1, 1）**設定時**

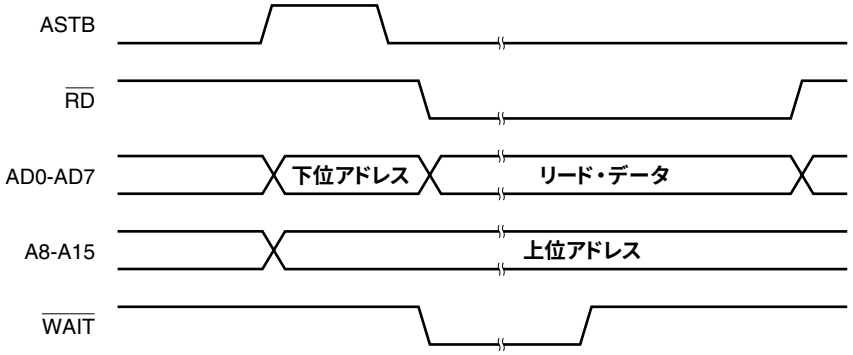
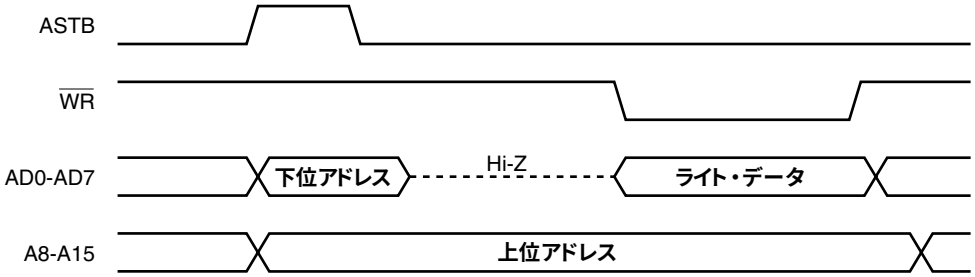
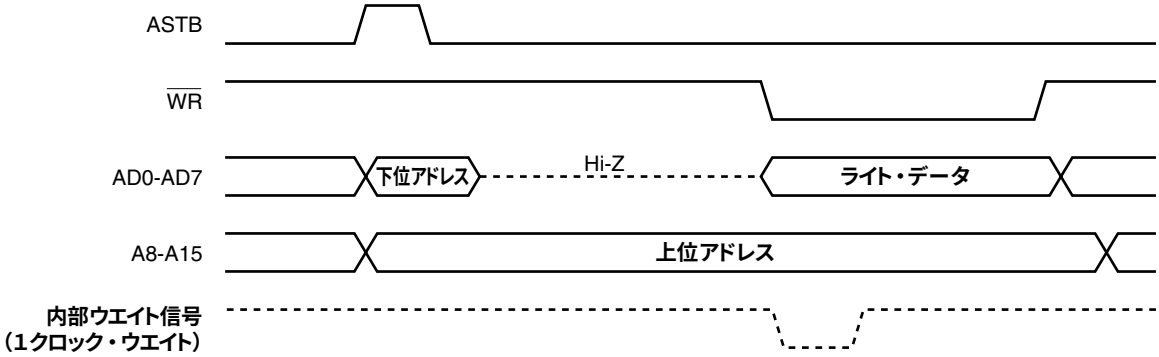


図5－7　外部メモリのライト・タイミング

(a) ウエイトなし（PW1, PW0 = 0, 0）**設定時**



(b) ウエイトあり（PW1, PW0 = 0, 1）**設定時**



(c) 外部ウエイト（PW1, PW0 = 1, 1）**設定時**

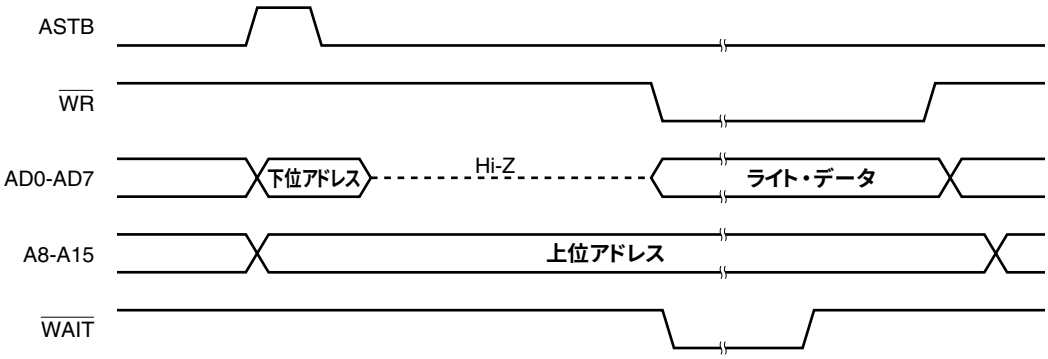
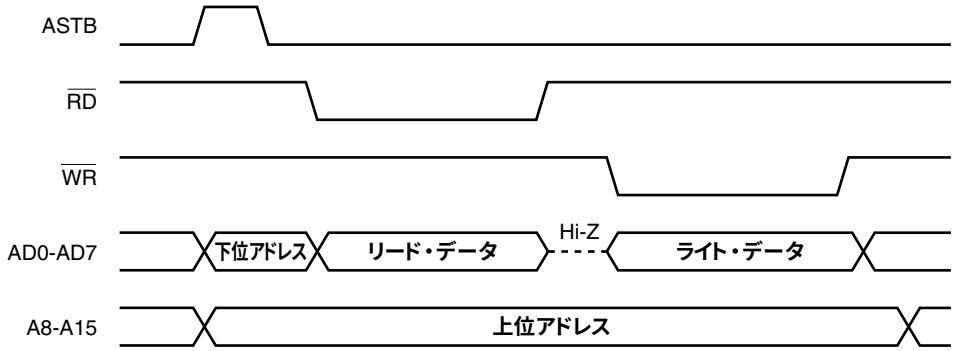
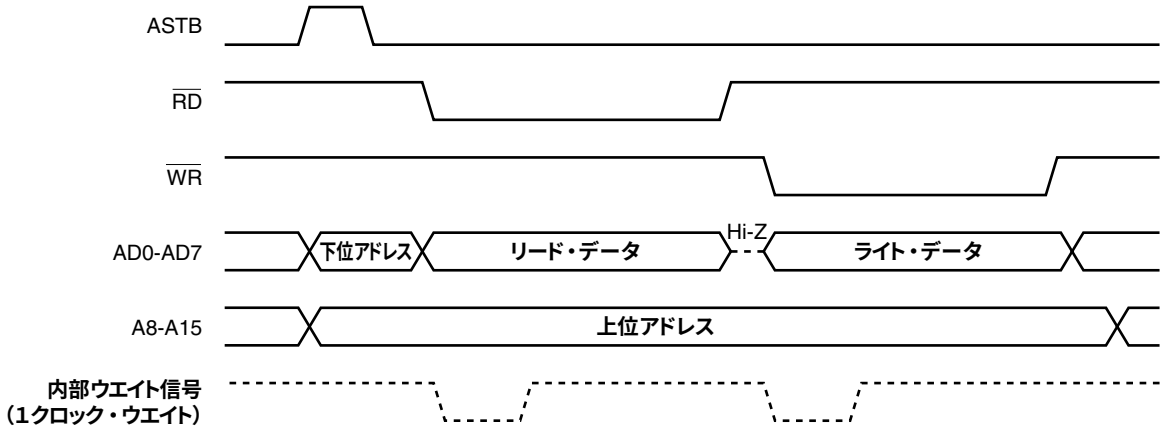


図5－8　外部メモリのリード・モディファイ・ライト・タイミング

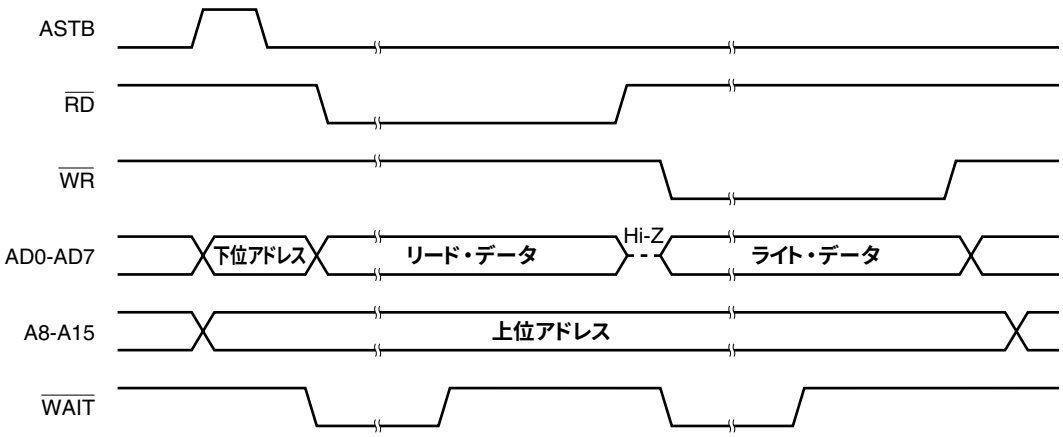
(a) ウエイトなし（PW1, PW0 = 0, 0）**設定時**



(b) ウエイトあり（PW1, PW0 = 0, 1）**設定時**



(c) 外部ウエイト（PW1, PW0 = 1, 1）**設定時**

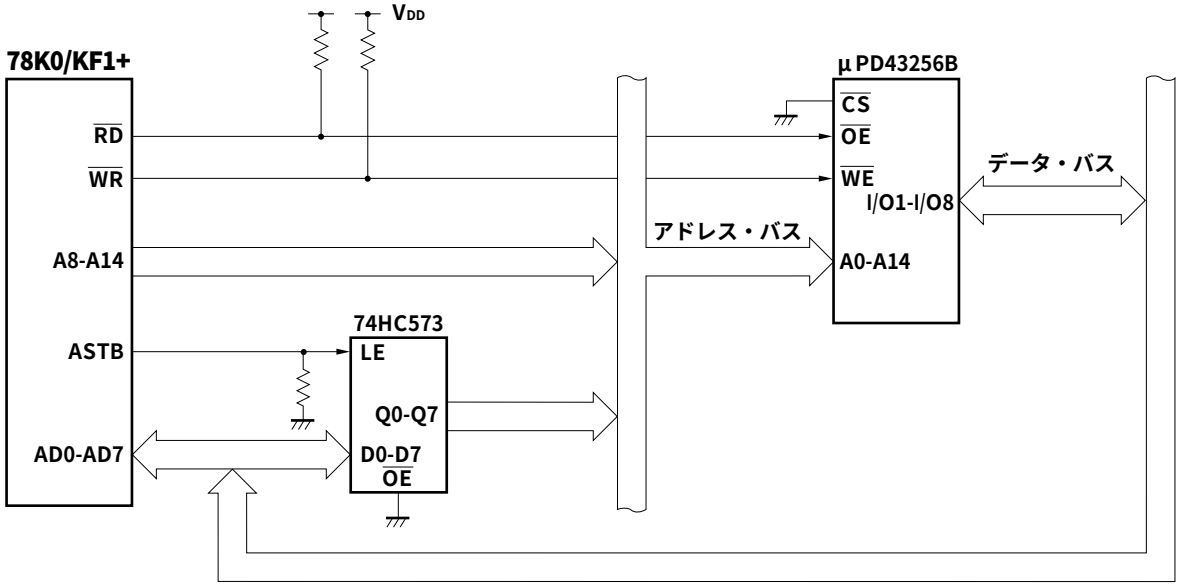


備考　リード・モディファイ・ライト・タイミングは，ビット操作命令実行時の動作です。

5. 4　メモリとの接続例

フラッシュ・メモリを32 Kバイト，内部拡張RAMを0バイトにしたときの78K0/KF1+と外部メモリとの接続例を図5－9に示します。この応用例ではSRAMを接続しています。また，外部バス・インタフェース機能をフルアドレス・モードで使用し，0000H-7FFFHの32 Kバイトを内部ROM, 8000H以降をSRAMに割り当てています。

図5－9　フラッシュ・メモリを32 Kバイト，内部拡張RAMを0バイトにしたときの78K0/KF1+とメモリの接続例



第6章　クロック発生回路

6. 1　クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。
システム・クロック発振回路には，次の3種類があります。

・高速システム・クロック発振回路
　f_{XP} = 2.0〜16.0 MHzのクロックを発振します。STOP命令の実行またはメインOSCコントロール・レジスタ（MOC），プロセッサ・クロック・コントロール・レジスタ（PCC）の設定により，発振を停止することができます。
・内蔵発振回路
　f_R = 240 kHz（TYP.）のクロックを発振します。オプション・バイトで「ソフトウエアにより停止可能」に設定し，CPUクロックが高速システム・クロックの場合，内蔵発振モード・レジスタ（RCM）の設定により，発振を停止することができます。
・サブシステム・クロック発振回路
　f_{XT} = 32.768 kHzの周波数を発振します。発振の停止はできません。サブシステム・クロック発振回路を使用しないとき，プロセッサ・クロック・コントロール・レジスタ（PCC）により，内蔵フィードバック抵抗を使用しない設定ができます。これによって，STOPモード時の動作電流を低減できます。

備考1．f_{XP}：高速システム・クロック発振周波数
　　2．f_R　：内蔵発振クロック周波数
　　3．f_{XT}：サブシステム・クロック発振周波数

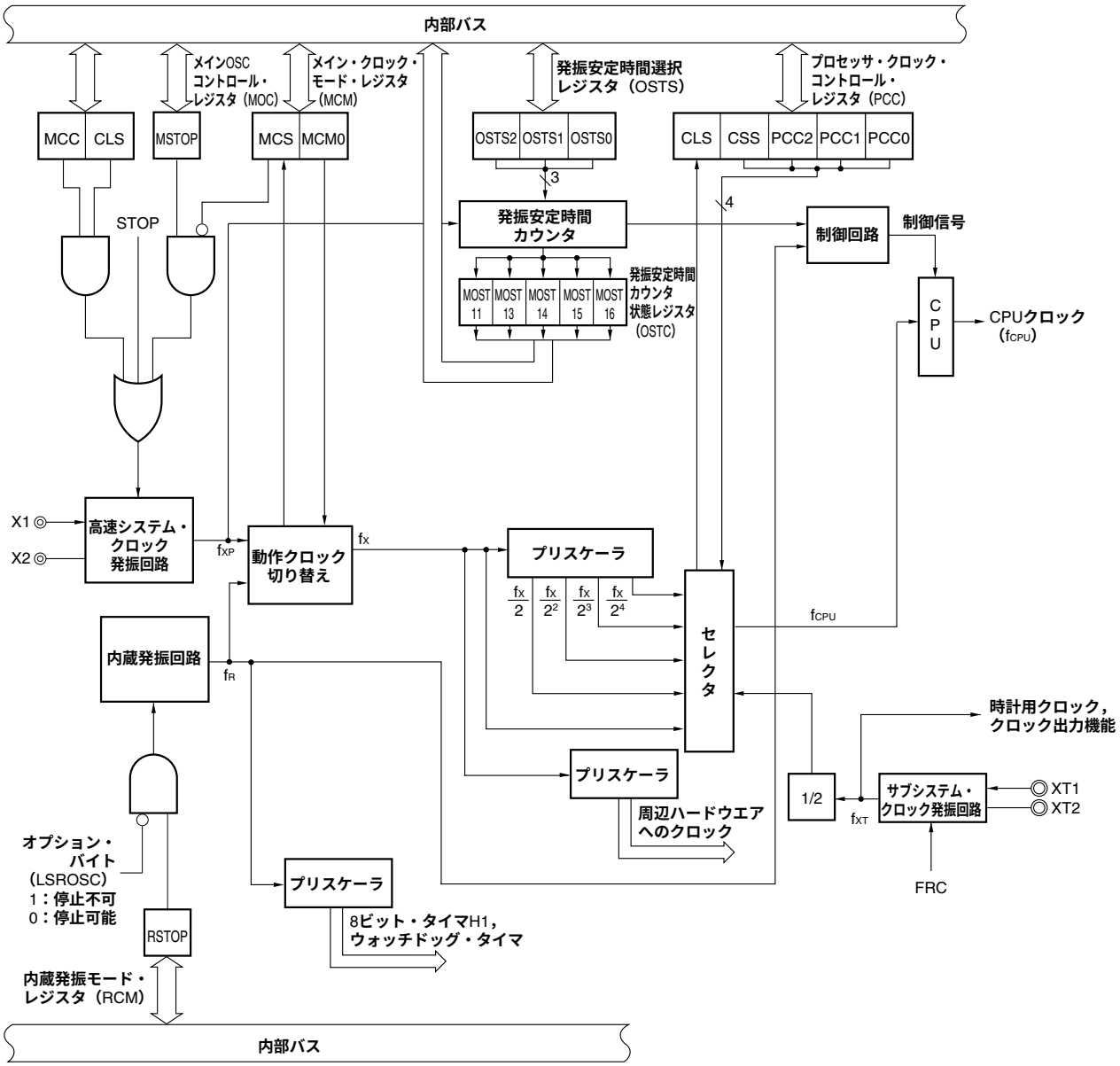
6. 2　クロック発生回路の構成

クロック発生回路は，次のハードウエアで構成しています。

表6－1　クロック発生回路の構成

項　　目	構　　成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC） 内蔵発振モード・レジスタ（RCM） メイン・クロック・モード・レジスタ（MCM） メインOSCコントロール・レジスタ（MOC） 発振安定時間カウンタ状態レジスタ（OSTC） 発振安定時間選択レジスタ（OSTS）
発振回路	高速システム・クロック発振回路 内蔵発振回路 サブシステム・クロック発振回路

図6－1　クロック発生回路のブロック図



6.3　クロック発生回路を制御するレジスタ

クロック発生回路は，次の6種類のレジスタで制御します。

- プロセッサ・クロック・コントロール・レジスタ（PCC）
- 内蔵発振モード・レジスタ（RCM）
- メイン・クロック・モード・レジスタ（MCM）
- メインOSCコントロール・レジスタ（MOC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）

(1) プロセッサ・クロック・コントロール・レジスタ（PCC）

CPUクロックの選択，分周比，メイン・システム・クロック発振回路の動作／停止，サブシステム・クロック発振回路の内蔵フィードバック抵抗[注]を使用するか，しないかを設定するレジスタです。

PCCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

注　フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです（**図**6－11　**サブシステム・クロックのフィードバック抵抗**を参照）。

図6－2　プロセッサ・クロック・コントロール・レジスタ（PCC）のフォーマット

アドレス：FFFBH　リセット時：00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
PCC	MCC	FRC	CLS	CSS	0	PCC2	PCC1	PCC0

MCC	高速システム・クロック発振回路の動作の制御[注2]
0	発振可能
1	発振停止

FRC	サブシステム・クロックのフィードバック抵抗の選択[注3]
0	内蔵フィードバック抵抗を使用する
1	内蔵フィードバック抵抗を使用しない

CLS	CPUクロックのステータス
0	高速システム・クロックまたは内蔵発振クロック
1	サブシステム・クロック

CSS[注4]	PCC2	PCC1	PCC0	CPUクロック（f_{CPU}）の選択		
					MCM0 = 0	MCM0 = 1
0	0	0	0	f_X	f_R	f_{XP}
	0	0	1	$f_X/2$	$f_R/2$[注5]	$f_{XP}/2$
	0	1	0	$f_X/2^2$	設定禁止	$f_{XP}/2^2$
	0	1	1	$f_X/2^3$	設定禁止	$f_{XP}/2^3$
	1	0	0	$f_X/2^4$	設定禁止	$f_{XP}/2^4$
1	0	0	0	$f_{XT}/2$		
	0	0	1			
	0	1	0			
	0	1	1			
	1	0	0			
上記以外				設定禁止		

注1．ビット5は，Read Onlyです。

2．CPUがサブシステム・クロックで動作しているとき，高速システム・クロック発振回路の動作停止はMCCを使用してください。CPUが内蔵発振クロックで動作しているとき，高速システム・クロック発振回路の動作の停止は，メインOSCコントロール・レジスタ（MOC）のビット7（MSTOP）を使用してください（MCCでの設定はできません）。STOP命令は使用しないでください。

3．サブシステム・クロックを使用する場合は0に，使用しない場合は1に設定してください。

4．CSSを1→0に切り替える場合は，必ずメイン・クロック・モード・レジスタ（MCM）のビット1（MCS）= 1，ビット0（MCM0）= 1の状態で行ってください。

★　5.　（A1）水準品は設定禁止です。

注意　ビット3には，必ず0を設定してください。

備考1．MCM0：メイン・クロック・モード・レジスタ（MCM）のビット0

2．f_X ：メイン・システム・クロック発振周波数（高速システム・クロック発振周波数または内蔵発振クロック周波数）

3．f_R ：内蔵発振クロック周波数

4．f_{XP}：高速システム・クロック発振周波数

5．f_{XT}：サブシステム・クロック発振周波数

78K0/KF1+の一番速い命令はCPUクロック2クロックで実行されます。したがって，CPUクロック（f_{CPU}）と最小命令実行時間の関係は，表6－2のようになります。

表6－2　CPUクロックと最小命令実行時間の関係

CPUクロック（f_{CPU}）	最小命令実行時間：2/f_{CPU}			
	高速システム・クロック注1		内蔵発振クロック注1	サブシステム・クロック
	10 MHz動作時	16 MHz動作時	240 kHz（TYP.）動作時	32.768 kHz動作時
f_X	0.2 μs	0.125 μs	8.3 μs（TYP.）	－
$f_X/2$	0.4 μs	0.25 μs	16.6 μs（TYP.）注2	－
$f_X/2^2$	0.8 μs	0.5 μs	設定禁止	－
$f_X/2^3$	1.6 μs	1.0 μs	設定禁止	－
$f_X/2^4$	3.2 μs	2.0 μs	設定禁止	－
$f_{XT}/2$	－		－	122.1 μs

注1. CPUクロックの設定（高速システム・クロック／内蔵発振クロック）は，メイン・クロック・モード・レジスタ（MCM）で行います（図6－4参照）。

★　2. （A1）水準品は，設定禁止です。

(2) 内蔵発振モード・レジスタ（RCM）

内蔵発振器の動作モードを設定するレジスタです。

このレジスタは，オプション・バイトで内蔵発振器を「ソフトウエアにより停止可能」に選択し，CPUクロックに高速システム・クロックまたはサブシステム・クロックを選択しているときに有効となります。オプション・バイトで内蔵発振器を「停止不可」に選択している場合，このレジスタへの設定は無効となります。

RCMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図6－3　内蔵発振モード・レジスタ（RCM）のフォーマット

アドレス：FFA0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振／停止
0	内蔵発振器の発振
1	内蔵発振器の停止

注意　RSTOPを設定するとき，メイン・クロック・モード・レジスタ（MCM）のビット1（MCS）が1であることを必ず確認してください。

(3) メイン・クロック・モード・レジスタ（MCM）

CPUクロック（高速システム・クロック／内蔵発振クロック）を設定するレジスタです。

MCMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図6－4　メイン・クロック・モード・レジスタ（MCM）のフォーマット

アドレス：FFA1H　リセット時：00H　R/W注

略号	7	6	5	4	3	2	1	0
MCM	0	0	0	0	0	0	MCS	MCM0

MCS	CPUクロックのステータス
0	内蔵発振クロックで動作
1	高速システム・クロックで動作

MCM0	CPUへの供給クロック選択
0	内蔵発振クロック
1	高速システム・クロック

注　ビット1はRead Onlyです。

注意1． CPUへの供給クロックに内蔵発振クロックを選択する場合，周辺ハードウエアには，内蔵発振回路出力（f_X）の分周クロックが供給されます（f_X = 240 kHz（TYP.）となります）。内蔵発振クロックによる周辺ハードウエアの動作保証はできませんので，CPUへの供給クロックに内蔵発振クロックを選択する場合は，周辺ハードウエアを使用しないでください。また，CPUへの供給クロックを高速システム・クロックから内蔵発振クロックに切り替える場合は，周辺ハードウエアを停止したあとに行ってください。ただし次の周辺ハードウエアはCPUが内蔵発振クロックで動作している場合でも使用可能です。

- ウォッチドッグ・タイマ
- クロック・モニタ
- 8ビット・タイマH1のカウント・クロックに「$f_R/2^7$」を選択時
- クロック・ソースに外部クロックを選択している周辺ハードウエア
  （ただし，TM0n（n = 0, 1）の外部カウント・クロック選択時（TI00n端子の有効エッジ）は除く）

2． サブシステム・クロック動作から高速システム・クロック動作へ切り替える（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット4（CSS）　1→0）の場合は，必ずMCS = 1, MCM0 = 1の状態で行ってください。

(4) メインOSCコントロール・レジスタ（MOC）

高速システム・クロック動作モードを選択するレジスタです。

このレジスタは，内蔵発振クロックによるCPU動作時に，高速システム・クロック発振回路を停止する場合に使用します。したがって，CPUクロックが内蔵発振クロック動作時のみ有効になります。

MOCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図6－5　メインOSCコントロール・レジスタ（MOC）のフォーマット

アドレス：FFA2H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
MOC	MSTOP	0	0	0	0	0	0	0

MSTOP	高速システム・クロック発振回路の動作の制御
0	高速システム・クロック発振回路動作
1	高速システム・クロック発振回路停止

注意1．MSTOPを設定するとき，メイン・クロック・モード・レジスタ（MCM）のビット1（MCS）が0であることを必ず確認してください。

2．CPUがサブシステム・クロックで動作しているときに高速システム・クロック発振を停止する場合は，プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7（MCC）を1にしてください（MSTOPでの設定はできません）。

(5) 発振安定時間カウンタ状態レジスタ（OSTC）

高速システム・クロックの発振安定時間カウンタの状態レジスタです。CPUクロックが内蔵発振クロックの場合に，高速システム・クロックの発振安定時間を確認することができます。

OSTCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット解除時（$\overline{\text{RESET}}$入力，POC, LVI，クロック・モニタ，WDTによるリセット），STOP命令，MSTOP = 1, MCC = 1により，00Hになります。

図6－6　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFA3H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス		
						f_{XP} = 10 MHz時	f_{XP} = 16 MHz時
1	0	0	0	0	$2^{11}/f_{XP}$以上	204.8 μs以上	128 μs以上
1	1	0	0	0	$2^{13}/f_{XP}$以上	819.2 μs以上	512 μs以上
1	1	1	0	0	$2^{14}/f_{XP}$以上	1.64 ms以上	1.02 ms以上
1	1	1	1	0	$2^{15}/f_{XP}$以上	3.27 ms以上	2.04 ms以上
1	1	1	1	1	$2^{16}/f_{XP}$以上	6.55 ms以上	4.09 ms以上

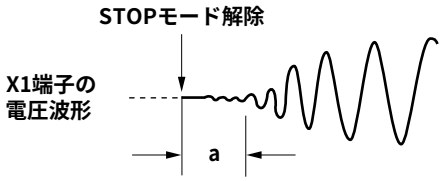
注意1．上記時間経過後，MOST11から順番に“1”となっていき，そのまま“1”を保持します。

2．CPUクロックが内蔵発振クロック時に，STOPモードに入り，解除するときは，発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間

発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

3．STOPモード解除時のウエイト時間は，$\overline{\text{RESET}}$入力による場合も，割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



備考　f_{XP}　：高速システム・クロック発振周波数

(6) 発振安定時間選択レジスタ（OSTS）

STOPモード解除時の高速システム・クロックの発振安定ウエイト時間を選択するレジスタです。OSTSで設定するウエイト時間は，CPUクロックに高速システム・クロックを選択したときのSTOPモード解除後のみ有効となります。CPUクロックに内蔵発振クロックを選択したときのSTOPモード解除後は，OSTCにより発振安定時間の確認をしてください。

OSTSは，8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，05Hになります。

図6－7　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFA4H　リセット時：05H　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				f_{XP} = 10 MHz時	f_{XP} = 16 MHz時
0	0	1	$2^{11}/f_{XP}$	204.8 μs	128 μs
0	1	0	$2^{13}/f_{XP}$	819.2 μs	512 μs
0	1	1	$2^{14}/f_{XP}$	1.64 ms	1.02 ms
1	0	0	$2^{15}/f_{XP}$	3.27 ms	2.04 ms
1	0	1	$2^{16}/f_{XP}$	6.55 ms	4.09 ms
上記以外			設定禁止		

注意1．CPUクロックが高速システム・クロック時にSTOPモードへ移行する場合は，STOP命令を実行する前にOSTSを設定してください。

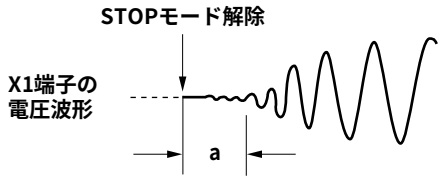
2．OSTSの設定は，OSTCで期待する発振安定時間が経過したことを確認したあとに行ってください。

3．CPUクロックが内蔵発振クロック時に，STOPモードに入り，解除するときは，発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間

発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

4．STOPモード解除時のウエイト時間は，$\overline{\text{RESET}}$入力による場合も，割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



備考　f_{XP}：高速システム・クロック発振周波数

6.4　システム・クロック発振回路

6.4.1　高速システム・クロック発振回路

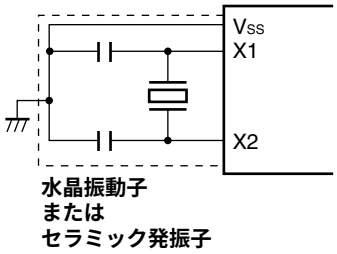
高速システム・クロック発振回路はX1，X2端子に接続された水晶振動子またはセラミック発振子によって発振します。

また，外部クロックを入力することもできます。その場合，X1端子にクロック信号を入力し，X2端子には，その反転した信号を入力してください。

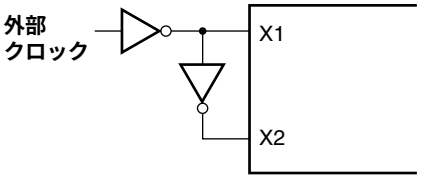
図6－8に高速システム・クロック発振回路の外付け回路例を示します。

図6－8　高速システム・クロック発振回路の外付け回路例

(a) 水晶，セラミック発振



(b) 外部クロック



注意を次ページに示します。

6.4.2　サブシステム・クロック発振回路

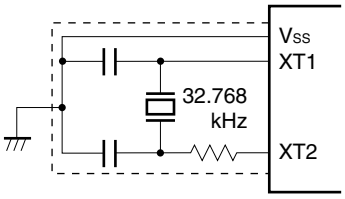
サブシステム・クロック発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

また，外部クロックを入力することもできます。その場合，XT1端子にクロック信号を入力し，XT2端子には，その反転した信号を入力してください。

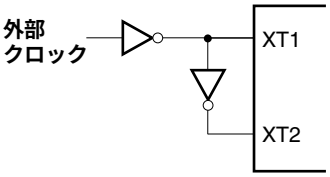
図6－9にサブシステム・クロック発振回路の外付け回路例を示します。

図6－9　サブシステム・クロック発振回路の外付け回路例

(a) 水晶発振



(b) 外部クロック



注意を次ページに示します。

注意　高速システム・クロック発振回路およびサブシステム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図6－8, 6－9の破線の部分を次のように配線してください。

・配線は極力短くする。

・他の信号線と交差させない。また，変化する大電流が流れる線と接近させない。

・発振回路のコンデンサの接地点は，常にVssと同電位となるようにする。大電流が流れるグランド・パターンに接地しない。

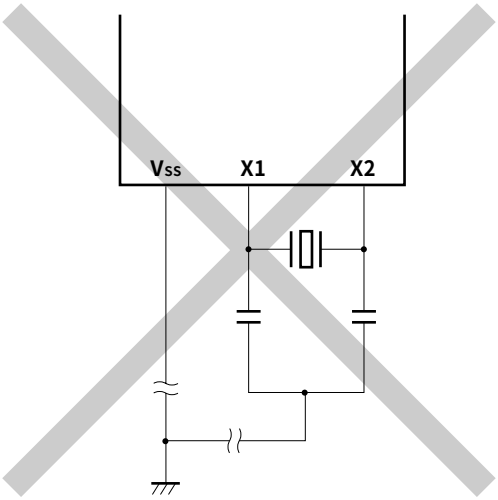
・発振回路から信号を取り出さない。

特に，サブシステム・クロック発振回路は，低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

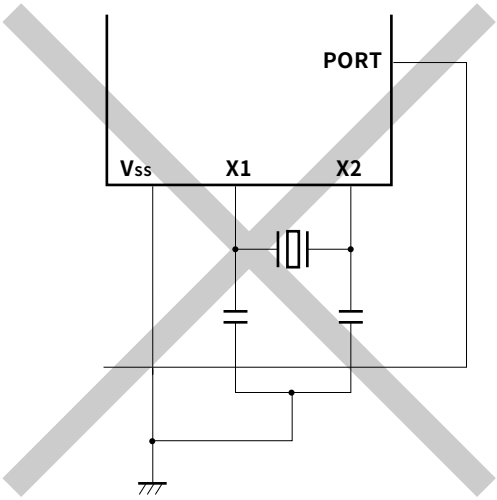
図6－10に発振子の接続の悪い例を示します。

図6－10　発振子の接続の悪い例（1/2）

（a）接続回路の配線が長い



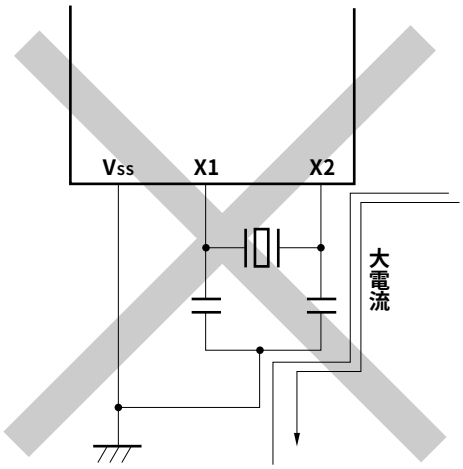
（b）信号線が交差している



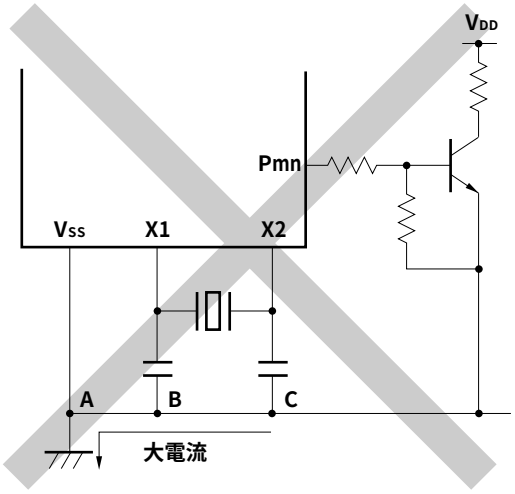
備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

図6－10　発振子の接続の悪い例（2/2）

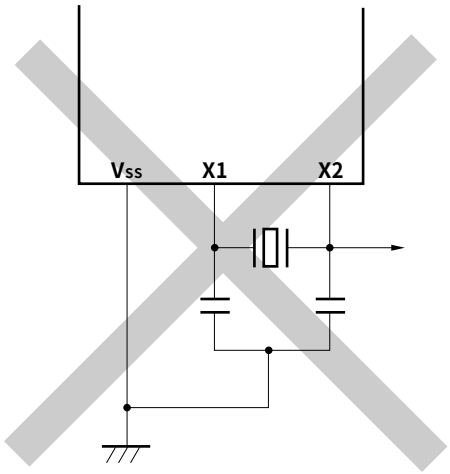
（c） 変化する大電流が信号線に近接している



（d） 発振回路部のグランド・ライン上に電流が流れる（A点，B点，C点の電位が変動する）



（e）信号を取り出している



備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

6.4.3　サブシステム・クロックを使用しない場合

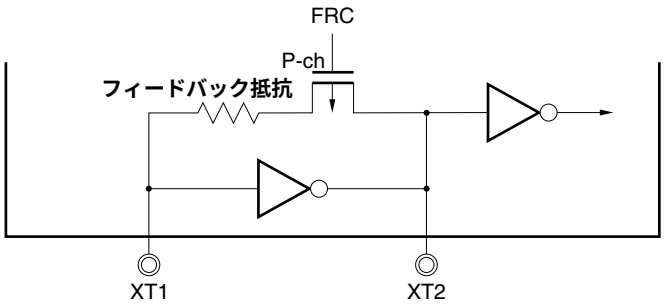
低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合，XT1, XT2端子を次のように処理してください。

XT1：EV_{SS}またはV_{SS}に直接接続してください[注]

XT2：オープンにしてください

注　サブシステム・クロックを使用しない場合，リセット解除後に，内蔵フィードバック抵抗を使用しないように設定（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット6（FRC）= 1）する必要があります。

図6－11　サブシステム・クロックのフィードバック抵抗



備考　フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。

6.4.4　内蔵発振回路

78K0/KF1+は，内蔵発振回路を搭載しています。

オプション・バイトで「ソフトウエアにより停止可能」または「停止不可」を選択できます。$\overline{\text{RESET}}$解除後は必ず内蔵発振クロックを発振します（240 kHz（TYP.））。

6.4.5　プリスケーラ

プリスケーラは，CPUへの供給クロックに高速システム・クロックを選択する場合，高速システム・クロック発振回路出力を分周して，各種クロックを生成します。

注意　CPUへの供給クロックに内蔵発振クロックを選択する場合，内蔵発振回路出力を分周して，各種クロックを生成します（f_X = 240 kHz（TYP.））。

6.5　クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します。

・高速システム・クロック　f_{XP}
・内蔵発振クロック　f_R
・サブシステム・クロック　f_{XT}
・CPUクロック　f_{CPU}
・周辺ハードウエアへのクロック

78K0/KF1+では，リセット解除後，CPUは内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

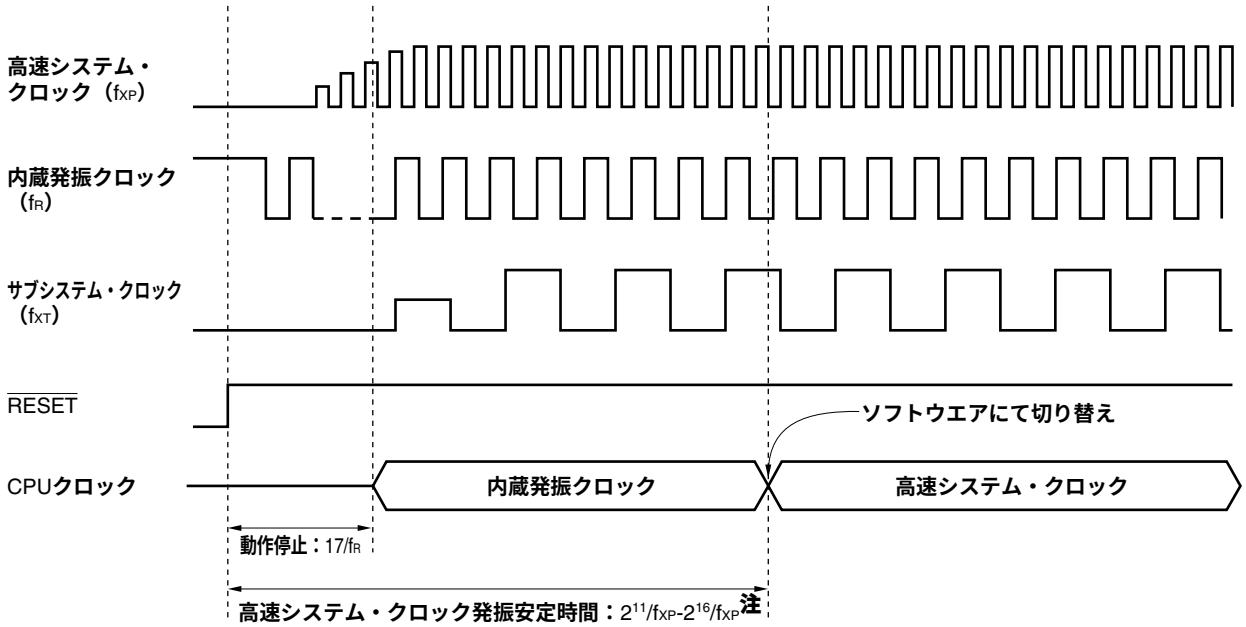
リセット解除後に破壊や接続不良などで高速システム・クロックが動かないとき，ディフォールトでCPUクロックが高速システム・クロックの場合では，デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが内蔵発振クロックの場合，クロック・モニタ（高速システム・クロックの停止検出）によるリセット解除後に内蔵発振クロックで起動することができます。これにより，リセットの要因をソフトウエアで認識したり，異常時にセーフティ処理を行うなど，最低限の動作でシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

高速システム・クロックの発振安定時間を待たずにCPUを起動できるため，トータル・パフォーマンスの向上が可能です。

内蔵発振器によるCPUディフォールト・スタートのタイミング図を，図6－12に示します。

図6－12　内蔵発振器によるCPUディフォールト・スタートのタイミング図



注　発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

(a) $\overline{\text{RESET}}$信号発生により，メイン・クロック・モード・レジスタ（MCM）のビット0（MCM0）が0になり， CPUクロックが内蔵発振クロックになります。ただし$\overline{\text{RESET}}$解除後，内蔵発振クロックが17クロック経過してからCPUに対しクロック供給を行います（または17クロック間はCPUクロックの供給を停止します）。$\overline{\text{RESET}}$期間中は，高速システム・クロックと内蔵発振クロックの発振は停止します。

(b) $\overline{\text{RESET}}$解除後，高速システム・クロックの発振安定時間が経過してから，メイン・クロック・モード・レジスタ（MCM）のビット0（MCM0）にて，CPUクロックを内蔵発振クロックから高速システム・クロックに切り替えることができます。このとき，発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してから，CPUクロックを切り替えてください。CPUクロックの状態はMCMのビット1（MCS）で確認できます。

(c) オプション・バイトで内蔵発振器を「ソフトウエアにより停止可能」に設定し，CPUクロックが高速システム・クロックまたはサブシステム・クロックの場合，内蔵発振器の停止／発振を内蔵発振モード・レジスタ（RCM）で設定できます。このときMCSが1であることを必ず確認してください。

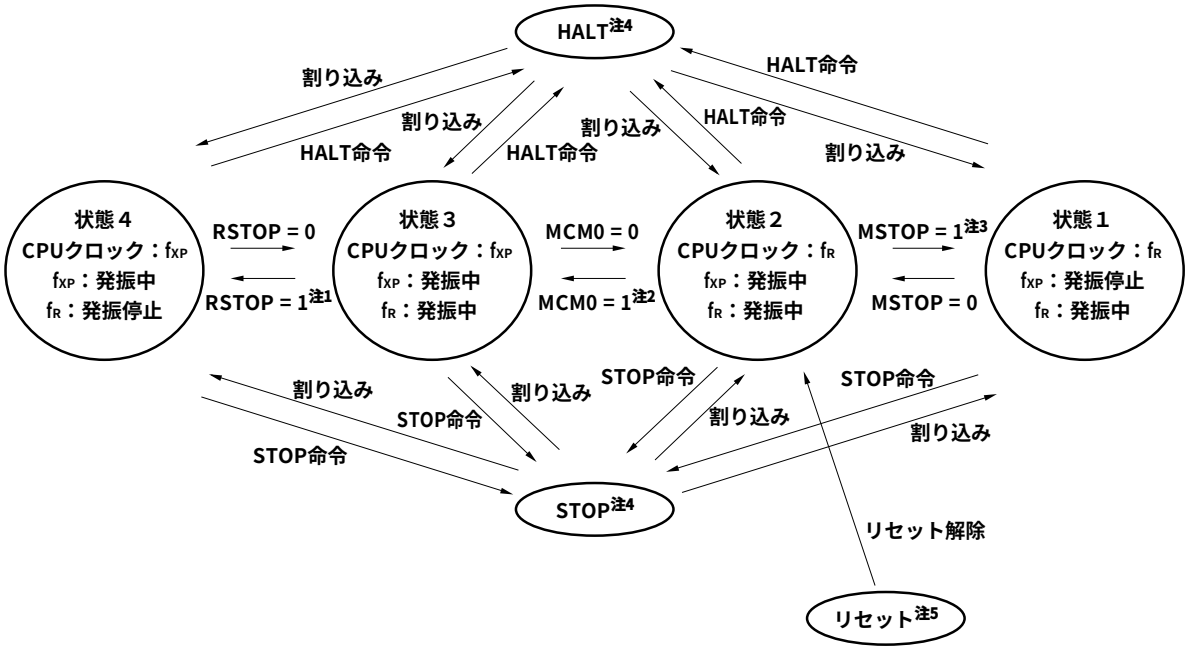
(d) CPUクロックが内蔵発振クロックの場合，高速システム・クロックの停止／発振をメインOSCコントロール・レジスタ（MOC）で設定できます。このときMCSが0であることを必ず確認してください。
CPUクロックがサブシステム・クロックの場合，高速システム・クロックの停止／発振をプロセッサ・クロック・コントロール・レジスタ（PCC）で設定できます。また，サブシステム・クロックではHALTモードを使用できますが，STOPモードを使用できません（サブシステム・クロックの発振をSTOP命令で停止することはできません）。

(e) CPUクロックが高速システム・クロックである場合のSTOPモード解除時は，高速システム・クロックの発振安定時間（$2^{11}/f_{XP}$, $2^{13}/f_{XP}$, $2^{14}/f_{XP}$, $2^{15}/f_{XP}$, $2^{16}/f_{XP}$）を発振安定時間選択レジスタ（OSTS）で選択してください。また$\overline{\text{RESET}}$解除時およびCPUクロックが内蔵発振クロックである場合のSTOPモード解除時は，高速システム・クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

この製品の状態遷移図を図6－13に，各動作状態における動作クロックの関係を表6－3に，発振制御フラグと各クロックの発振状態を表6－4に示します。

図6－13　状態遷移図（1/4）

（1）オプション・バイトで「ソフトウエアにより内蔵発振器を停止可能」に選択した場合
（サブシステム・クロック未使用時）



注1．状態3から状態4に移行する場合は，メイン・クロック・モード・レジスタ（MCM）のビット1（MCS）が1であることを必ず確認してください。

2．リセット解除時およびSTOP解除時に状態2から状態3に移行する場合は，高速システム・クロックの発振安定時間の状態を発振安定時間カウンタ状態レジスタ（OSTC）で確認してから行ってください。

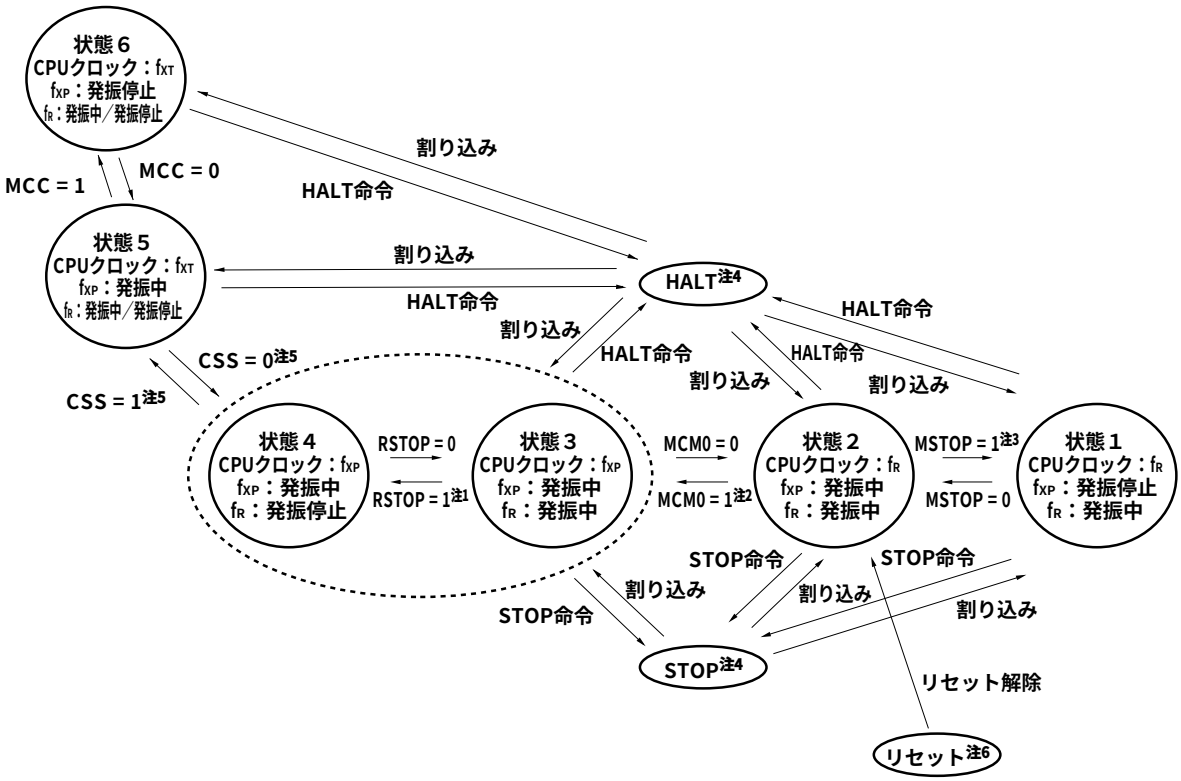
3．状態2から状態1に移行する場合は，MCSが0であることを必ず確認してください。

4．オプション・バイトで「ソフトウエアにより内蔵発振器を停止可能」に選択した場合，ウォッチドッグ・タイマのソース・クロックにかかわらず，HALTモード，STOPモード中のウォッチドッグ・タイマの動作は停止します。ただし，内蔵発振器の発振はRSTOP = 0ならばHALTモード，STOPモード中も停止しません。

5．すべてのリセット要因（$\overline{\text{RESET}}$入力，POC, LVI, クロック・モニタ，WDT）です。

図6－13　状態遷移図（2/4）

（2）オプション・バイトで「ソフトウエアにより内蔵発振器を停止可能」に選択した場合
（サブシステム・クロック使用時）



注1．状態3から状態4に移行する場合は，メイン・クロック・モード・レジスタ（MCM）のビット1（MCS）が1であることを必ず確認してください。

2．リセット解除時およびSTOP解除時に状態2から状態3に移行する場合は，高速システム・クロックの発振安定時間の状態を発振安定時間カウンタ状態レジスタ（OSTC）で確認してから行ってください。

3．状態2から状態1に移行する場合は，MCSが0であることを必ず確認してください。

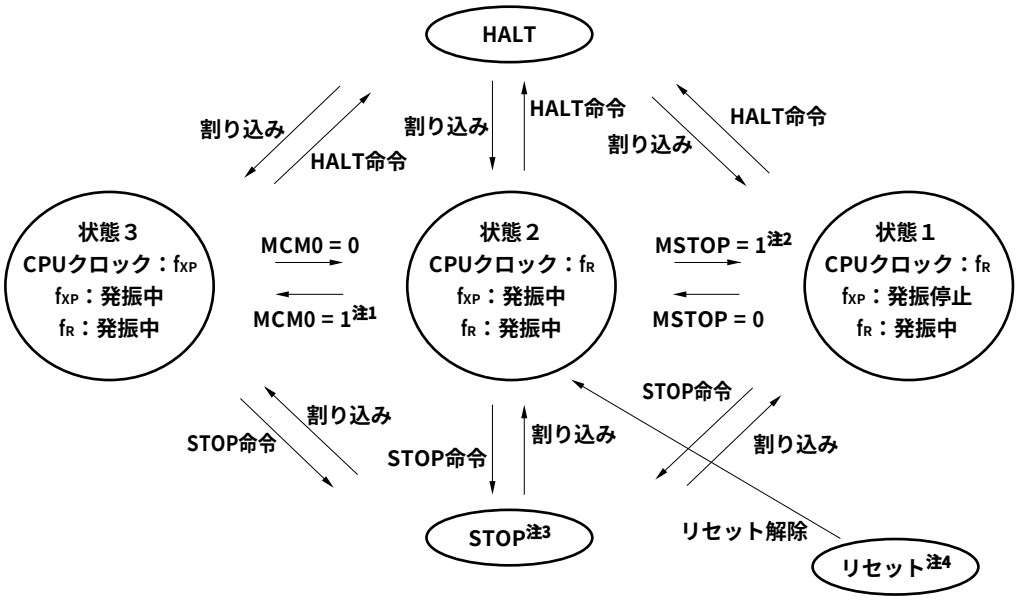
4．オプション・バイトで「ソフトウエアにより内蔵発振器を停止可能」に選択した場合，内蔵発振モード・レジスタ（RCM）のビット0（RSTOP），メイン・クロック・モード・レジスタ（MCM）のビット0（MCM0）の設定にかかわらず，HALT命令およびSTOP命令実行後にウォッチドッグ・タイマへのクロック供給は停止します。

5．サブシステム・クロック動作←→内蔵発振クロック動作の遷移はできません。

6．すべてのリセット要因（$\overline{\text{RESET}}$入力，POC, LVI, クロック・モニタ，WDT）です。

図6－13　状態遷移図（3/4）

（3）オプション・バイトで「内蔵発振器を停止不可」に選択した場合（サブシステム・クロック未使用時）



注1．リセット解除時およびSTOP解除時に状態2から状態3に移行する場合は，高速システム・クロックの発振安定時間の状態を発振安定時間カウンタ状態レジスタ（OSTC）で確認してから行ってください。

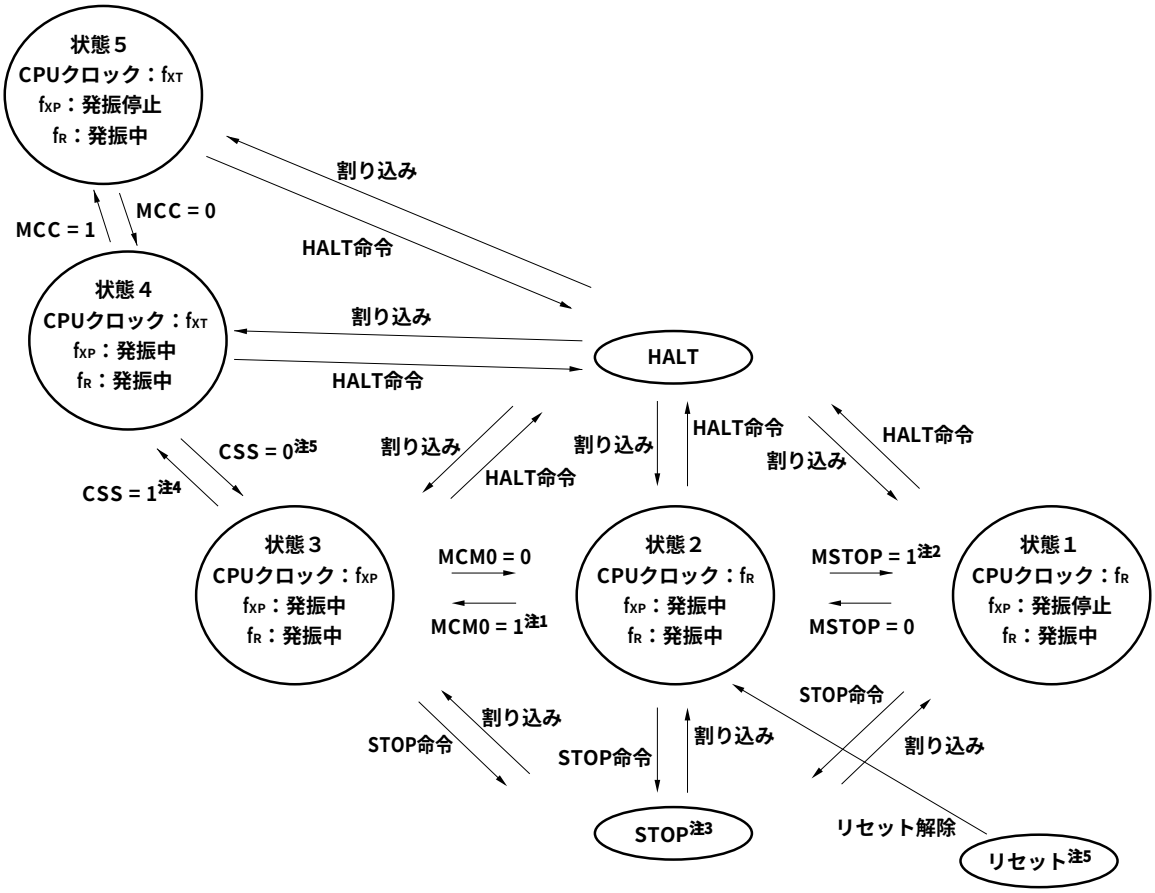
2．状態2から状態1に移行する場合は，MCSが0であることを必ず確認してください。

3．オプション・バイトで「内蔵発振器を停止不可」に選択した場合，ウォッチドッグ・タイマはSTOPモード中でも内蔵発振クロックで動作しています。8ビット・タイマH1（TMH1）はカウント・ソースに内蔵発振クロックの分周を選択できますので，ウォッチドッグ・タイマのオーバフロー発生前にTMH1の割り込み要求を使用して，ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は，STOP命令実行後，ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号を発生します。

4．すべてのリセット要因（$\overline{\text{RESET}}$入力，POC, LVI, クロック・モニタ，WDT）です。

図6－13　状態遷移図（4/4）

（4）オプション・バイトで「内蔵発振器を停止不可」に選択した場合（サブシステム・クロック使用時）



注1．リセット解除時およびSTOP解除時に状態2から状態3に移行する場合は，高速システム・クロックの発振安定時間の状態を発振安定時間カウンタ状態レジスタ（OSTC）で確認してから行ってください。

2．状態2から状態1に移行する場合は，MCSが0であることを必ず確認してください。

3．オプション・バイトで「内蔵発振器を停止不可」に選択した場合，ウォッチドッグ・タイマはSTOPモード中でも内蔵発振クロックで動作しています。8ビット・タイマH1（TMH1）はカウント・ソースに内蔵発振クロックの分周を選択できますので，ウォッチドッグ・タイマのオーバフロー発生前にTMH1の割り込み要求を使用して，ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は，STOP命令実行後，ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号を発生します。

4．サブシステム・クロック動作←→内蔵発振クロック動作の遷移はできません。

5．すべてのリセット要因（$\overline{\text{RESET}}$入力，POC, LVI, クロック・モニタ，WDT）です。

表6－3　各動作状態における動作クロックの関係

ステータス／動作モード	高速システム・クロック発振回路		内蔵発振回路			サブシステム・クロック発振回路	解除後のCPUクロック	周辺へ供給されるプリスケーラのクロック	
	MSTOP = 0 MCC = 0	MSTOP = 1 MCC = 1	注1	注2					
				RSTOP = 0	RSTOP = 1			MCM0 = 0	MCM0 = 1
リセット	停　止		停　止			発　振	内蔵発振クロック	停　止	
STOP			発　振	発　振	停　止		注3	停　止	
HALT	発　振	停　止					注4	内蔵発振クロック	高速システム・クロック

注1．オプション・バイトで内蔵発振器を「停止不可」に選択時

2．オプション・バイトで内蔵発振器を「ソフトウエアにより停止可能」に選択時

3．STOP命令実行時のCPUクロックにて動作します。

4．HALT命令実行時のCPUクロックにて動作します。

注意　RSTOPの設定は，オプション・バイトで内蔵発振器を「ソフトウエアにより停止可能」時にのみ有効です。

備考　MSTOP　：メインOSCコントロール・レジスタ（MOC）のビット7

MCC　：プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7

RSTOP　：内蔵発振モード・レジスタ（RCM）のビット0

MCM0　：メイン・クロック・モード・レジスタ（MCM）のビット0

表6－4　発振制御フラグと各クロックの発振状態

		高速システム・クロック発振回路	内蔵発振回路
MSTOP = 1注	RSTOP = 0	停　止	発　振
	RSTOP = 1	設定禁止	
MSTOP = 0注	RSTOP = 0	発　振	発　振
	RSTOP = 1		停　止
MCC = 1注	RSTOP = 0	停　止	発　振
	RSTOP = 1		停　止
MCC = 0注	RSTOP = 0	発　振	発　振
	RSTOP = 1		停　止

注　高速システム・クロック発振回路の発振／停止の設定は，CPUクロックによって異なります。

・CPUクロックが内蔵発振クロックの場合　：MSTOPビットで設定

・CPUクロックがサブシステム・クロックの場合　：MCCビットで設定

注意　RSTOPの設定は，オプション・バイトで内蔵発振器を「ソフトウエアにより停止可能」時にのみ有効です。

備考　MSTOP　：メインOSCコントロール・レジスタ（MOC）のビット7

MCC　：プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7

RSTOP　：内蔵発振モード・レジスタ（RCM）のビット0

6.6　内蔵発振クロックと高速システム・クロックの切り替えに要する時間

内蔵発振クロックと高速システム・クロックは，メイン・クロック・モード・レジスタ（MCM）のビット0（MCM0）により切り替えることができます。

実際の切り替え動作は，MCM0を書き換えた直後ではなく，MCM0を切り替えたのち，数命令は切り替え前のクロックで動作します（表6－5参照）。

内蔵発振クロックで動作しているのか，高速システム・クロックで動作しているのかは，MCMのビット1（MCS）で判定できます。

クロック切り替え後，元のクロックを停止する場合は，表6－5に示すクロック分ウエイトしてから停止してください。

表6－5　内蔵発振クロックと高速システム・クロックの切り替えに要する最大時間

PCC			切り替えに要する最大時間	
PCC2	PCC1	PCC0	高速システム・クロック →内蔵発振クロック	内蔵発振クロック →高速システム・クロック
0	0	0	f_{XP}/f_R＋1クロック	2クロック
0	0	1	$f_{XP}/2f_R$＋1クロック注	2クロック注

★　注　（A1）水準品は設定禁止です。

注意　最大時間を計算する場合は，f_R = 120 kHzで行ってください。

備考1．PCC：プロセッサ・クロック・コントロール・レジスタ

2．f_{XP}：高速システム・クロック発振周波数

3．f_R：内蔵発振クロック周波数

4．最大時間は，切り替え前のCPUクロックによるクロック数です。

6.7　CPUクロックの切り替えに要する時間

CPUクロックは，プロセッサ・クロック・コントロール・レジスタ（PCC）のビット0-2（PCC0-PCC2）とビット4（CSS）により切り替えることができます。

実際の切り替え動作は，PCCを書き換えた直後ではなく，PCCを変更したのち，数命令は切り替え前のクロックで動作します（表6－6参照）。

高速システム・クロック（または内蔵発振クロック）で動作しているのか，サブシステム・クロックで動作しているのかは，PCCのビット5（CLS）で判定できます。

表6－6　CPUクロックの切り替えに要する最大時間

切り替え前の設定値				切り替え後の設定値																							
CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0	CSS	PCC2	PCC1	PCC0
				0	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	0	1	0	0	1	×	×	×
0	0	0	0					16クロック				16クロック				16クロック				16クロック				2f_{XP}/f_{XT}クロック (977クロック)			
	0	0	1	8クロック								8クロック				8クロック				8クロック				f_{XP}/f_{XT}クロック (489クロック)			
	0	1	0	4クロック				4クロック								4クロック				4クロック				f_{XP}/2f_{XT}クロック (245クロック)			
	0	1	1	2クロック				2クロック				2クロック								2クロック				f_{XP}/4f_{XT}クロック (123クロック)			
	1	0	0	1クロック				1クロック				1クロック				1クロック								f_{XP}/8f_{XT}クロック (62クロック)			
1	×	×	×	2クロック				2クロック				2クロック				2クロック				2クロック							

注意1.　CPUクロックの分周の選択（PCC0-PCC2）と高速システム・クロックからサブシステム・クロックへの切り替え（CSSを0→1）を同時に設定しないでください。

ただし，CPUクロックの分周の選択（PCC0-PCC2）とサブシステム・クロックから高速システム・クロックへの切り替え（CSSを1→0）は同時に設定可能です。

2.　CPUが内蔵発振クロックで動作している場合，次の値は設定禁止です。

- CSS, PCC2, PCC1, PCC0 = 0, 0, 1, 0
- CSS, PCC2, PCC1, PCC0 = 0, 0, 1, 1
- CSS, PCC2, PCC1, PCC0 = 0, 1, 0, 0

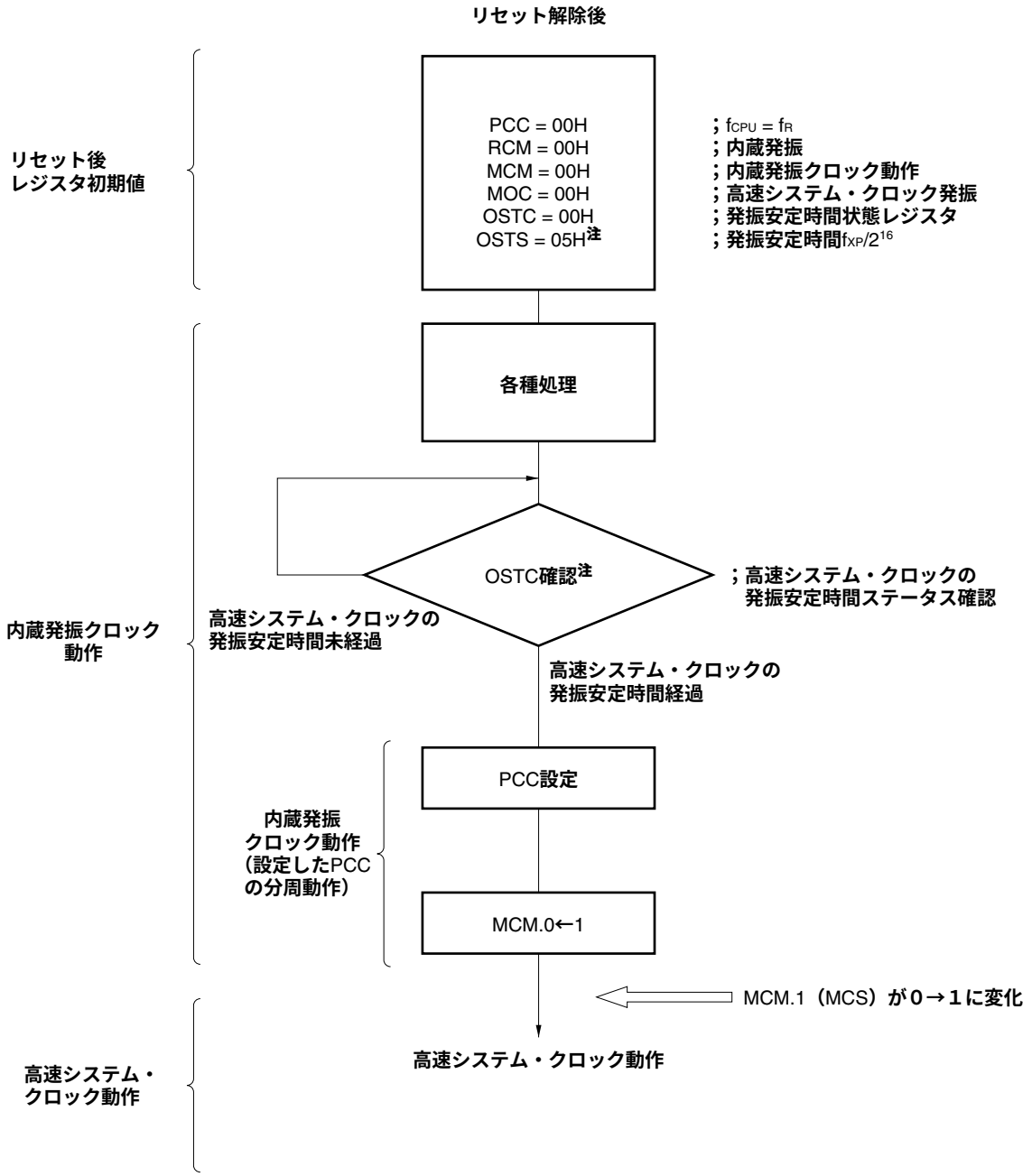
備考1．最大時間は，切り替え前のCPUクロックのクロック数です。

2．（　）内はf_{XP} = 16 MHz, f_{XT} = 32.768 kHz動作時。

6.8　クロック切り替えのフロー・チャートとレジスタ設定

6.8.1　内蔵発振クロックから高速システム・クロックへの切り替え

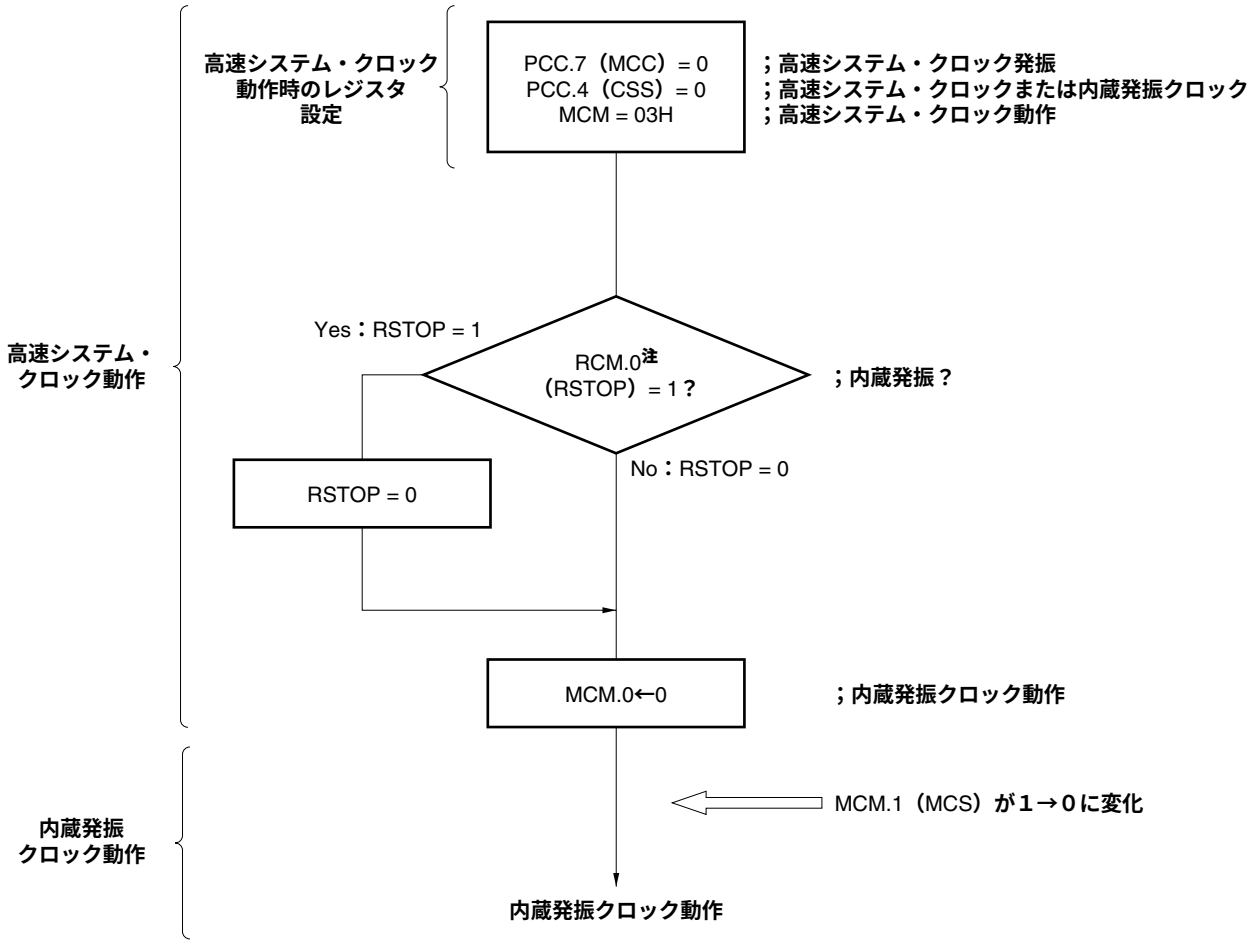
図6－14　内蔵発振クロックから高速システム・クロックへの切り替え（フロー・チャート）



注　リセット解除後の高速システム・クロック発振回路の発振安定待ち時間は，OSTCレジスタにより確認を行い，任意の発振安定待ち時間経過後に高速システム・クロック動作に切り替えてください。なお，OSTSレジスタの設定は，高速システム・クロック動作時のSTOPモードを割り込みで解除したあとのみ有効となります。

6. 8. 2　高速システム・クロックから内蔵発振クロックへの切り替え

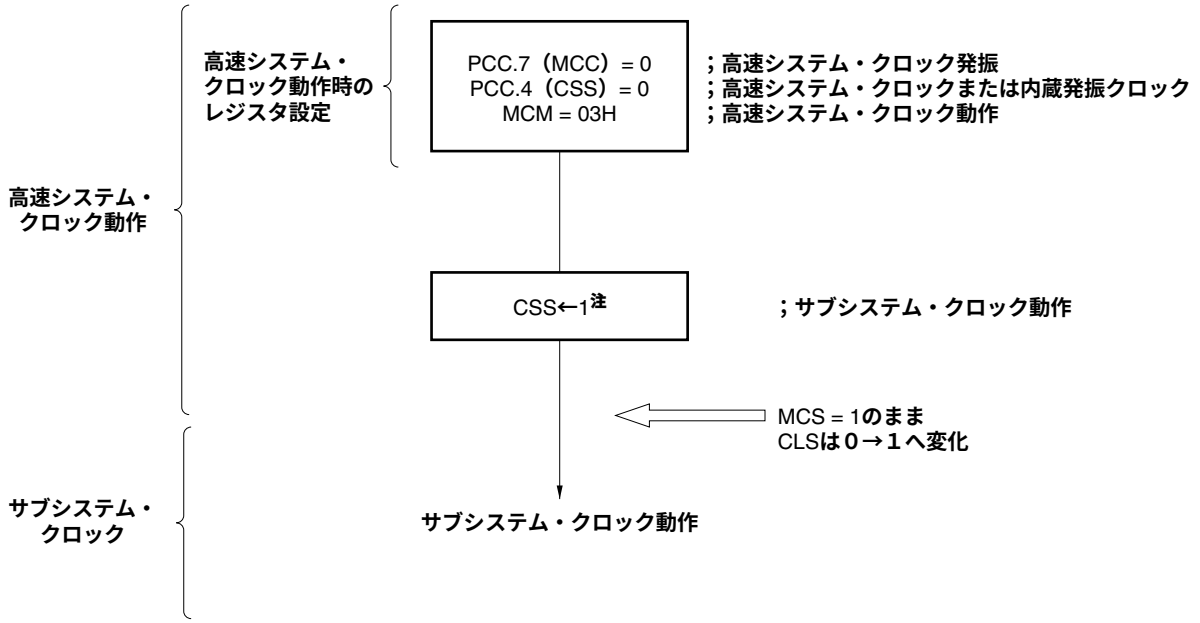
図6－15　高速システム・クロックから内蔵発振クロックへの切り替え（フロー・チャート）



注　オプション・バイトで内蔵発振器を「ソフトウエアにより停止可能」を選択した場合のみ必要となります。

6. 8. 3　高速システム・クロックからサブシステム・クロックへの切り替え

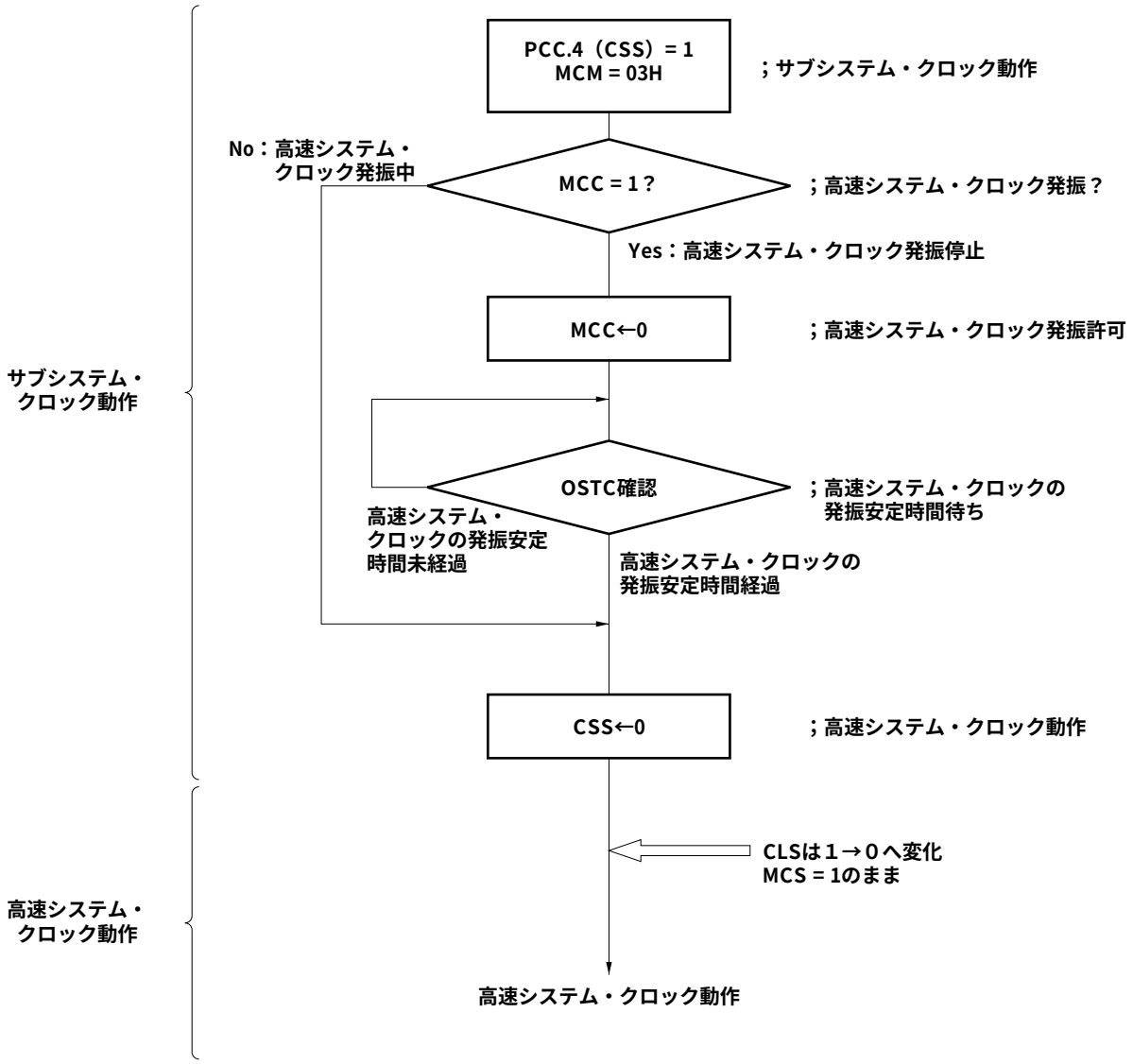
図6－16　高速システム・クロックからサブシステム・クロックへの切り替え（フロー・チャート）



注　サブシステム・クロックの発振安定を確認してから，CSSに1を設定してください。

6. 8. 4　サブシステム・クロックから高速システム・クロックへの切り替え

図6－17　サブシステム・クロックから高速システム・クロックへの切り替え（フロー・チャート）



6.8.5　レジスタ設定

各モードに設定した場合の各設定フラグとステータス・フラグの状態を示します。

表6－7　クロックとレジスタの設定

f_{CPU}	モード	設定フラグ					ステータス・フラグ	
		PCCレジスタ		MCMレジスタ	MOCレジスタ	RCMレジスタ	PCCレジスタ	MCMレジスタ
		MCC	CSS	MCM0	MSTOP	RSTOP[注1]	CLS	MCS
高速システム・クロック[注2]	内蔵発振クロック発振	0	0	1	0	0	0	1
	内蔵発振クロック停止	0	0	1	0	1	0	1
内蔵発振クロック	高速システム・クロック発振	0	0	0	0	0	0	0
	高速システム・クロック停止	0[注3]	0	0	1	0	0	0
サブシステム・クロック[注4]	高速システム・クロック発振，内蔵発振クロック発振	0	1	1[注5]	0[注6]	0	1	1
	高速システム・クロック停止，内蔵発振クロック発振	1	1	1[注5]	0[注6]	0	1	1
	高速システム・クロック発振，内蔵発振クロック停止	0	1	1[注5]	0[注6]	1	1	1
	高速システム・クロック停止，内蔵発振クロック停止	1	1	1[注5]	0[注6]	1	1	1

注1．オプション・バイトで内蔵発振器を「ソフトウエアにより停止可能」を選択した場合のみ有効となります。

2．高速システム・クロック動作中にMCC = 1またはMSTOP = 1に設定しないでください（MCC = 1またはMSTOP = 1に設定しても，高速システム・クロックの発振は停止しません）。

3．内蔵発振クロック動作中にMCC = 1に設定しないでください（MCC = 1に設定しても，高速システム・クロックの発振は停止しません）。
内蔵発振クロック動作中の高速システム・クロック発振停止はMSTOPで行ってください。

4．サブシステム・クロック動作モードへの移行は，必ず高速システム・クロック動作から行ってください。また，サブシステム・クロック動作モードからは，高速システム・クロック動作への移行のみ可能です。

5．サブシステム・クロック動作中にMCM0 = 0（内蔵発振クロック動作への移行）に設定しないでください。

6．サブシステム・クロック動作中にMSTOP = 1に設定しないでください（MSTOP = 1に設定しても，高速システム・クロックの発振は停止しません）。サブシステム・クロック動作中の高速システム・クロック発振停止はMCCで行ってください。

第7章　16ビット・タイマ／イベント・カウンタ00, 01

7. 1　16ビット・タイマ／イベント・カウンタ00, 01の機能

16ビット・タイマ／イベント・カウンタ00, 01には，次のような機能があります。

- インターバル・タイマ
- PPG出力
- パルス幅測定
- 外部イベント・カウンタ
- 方形波出力
- ワンショット・パルス出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(3) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

(4) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

(6) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

7. 2　16ビット・タイマ／イベント・カウンタ00, 01の構成

16ビット・タイマ／イベント・カウンタ00, 01は，次のハードウエアで構成されています。

表7－1　16ビット・タイマ／イベント・カウンタ00, 01の構成

項　　目	構　　成
タイマ／カウンタ	16ビット（TM0n）
レジスタ	16ビット・タイマ・キャプチャ／コンペア・レジスタ：16ビット（CR00n, CR01n）
タイマ入力	TI00n, TI01n
タイマ出力	TO0n，出力制御回路
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n） 16ビット・タイマ・キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n） 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n） プリスケーラ・モード・レジスタ0n（PRM0n） ポート・モード・レジスタ0（PM0） ポート・レジスタ0（P0）

備考　n = 0, 1

図7－1，図7－2にブロック図を示します。

図7－1　16ビット・タイマ／イベント・カウンタ00のブロック図

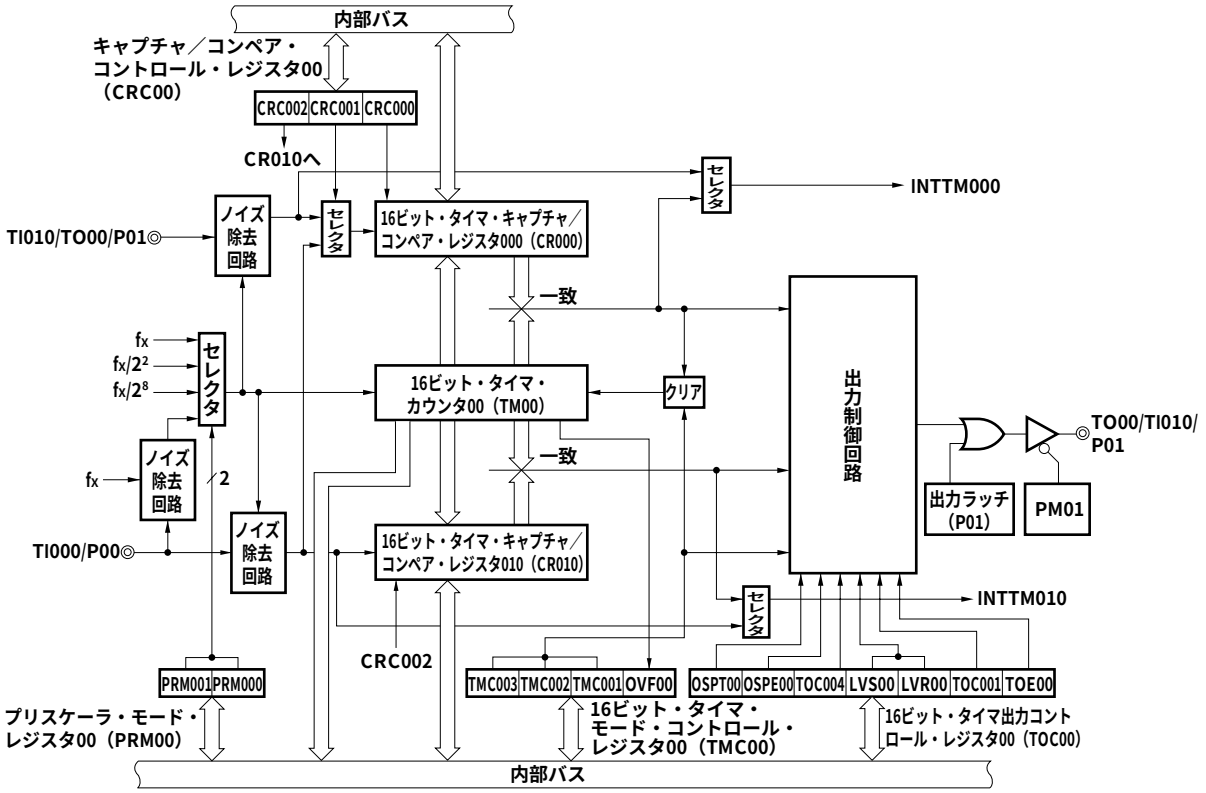
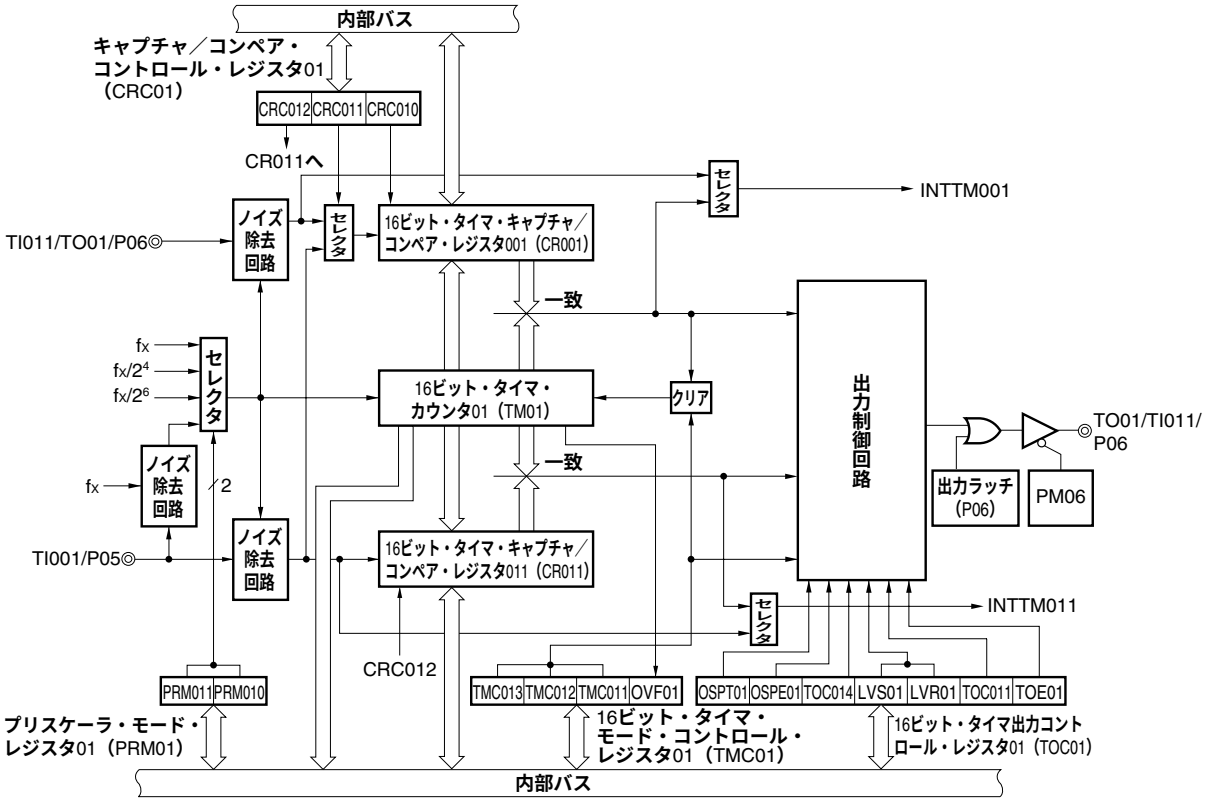


図7－2　16ビット・タイマ／イベント・カウンタ01のブロック図

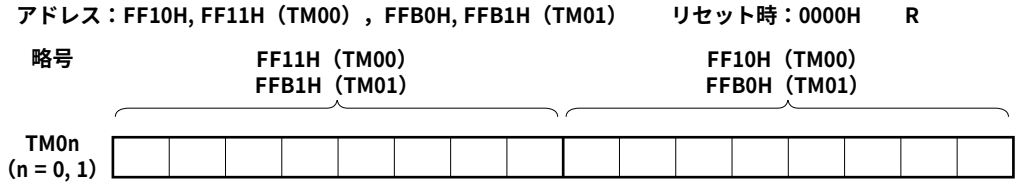


（1）16ビット・タイマ・カウンタ0n（TM0n）

TM0nは，カウント・パルスをカウントする16ビットのリード専用レジスタです。

入力クロックの立ち上がりに同期して，カウンタをインクリメントします。

図7－3　16ビット・タイマ・カウンタ0n（TM0n）のフォーマット



次の場合，カウント値は0000Hになります。

① $\overline{\text{RESET}}$入力

② TMC0n3, TMC0n2をクリア

③ TI00n端子有効エッジ入力でクリア＆スタート・モード時にTI00n端子の有効エッジが入力されたとき

④ CR00nの一致でクリア＆スタート・モード時のTM0nとCR00nの一致

⑤ ワンショット・パルス出力モードで，OSPT0nを1にセット

（2）16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）

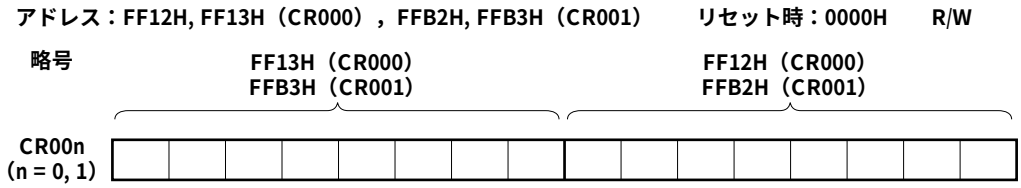
CR00nは，キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。

キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）のビット0（CRC0n0）により，キャプチャ・レジスタとして使用するのか，コンペア・レジスタとして使用するのかを設定します。

CR00nは，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，0000Hになります。

図7－4　16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）のフォーマット



- CR00nをコンペア・レジスタとして使用するとき

  CR00nに設定した値と16ビット・タイマ・カウンタ0n（TM0n）のカウント値を常に比較し，一致したときに割り込み要求（INTTM00n）を発生します。CR00nを書き換えるまで，設定した値を保持します。

- CR00nをキャプチャ・レジスタとして使用するとき

  キャプチャ・トリガとしてTI00n端子，またはTI01n端子の有効エッジが選択できます。TI00n, TI01nの有効エッジは，プリスケーラ・モード・レジスタ0n（PRM0n）で設定します（表7－2を参照）。

表7－2　CR00nのキャプチャ・トリガとTI00n端子とTI01n端子の有効エッジ

（1）キャプチャ・トリガとしてTI00n端子の有効エッジを選択（CRC0n1 = 1, CRC0n0 = 1）

CR00nのキャプチャ・トリガ	TI00n端子の有効エッジ		
		ES0n1	ES0n0
立ち下がりエッジ	立ち上がりエッジ	0	1
立ち上がりエッジ	立ち下がりエッジ	0	0
キャプチャ動作しない	立ち上がり，立ち下がりの両エッジ	1	1

（2）キャプチャ・トリガとしてTI01n端子の有効エッジを選択（CRC0n1 = 0, CRC0n0 = 1）

CR00nのキャプチャ・トリガ	TI01n端子の有効エッジ		
		ES1n1	ES1n0
立ち下がりエッジ	立ち下がりエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり，立ち下がりの両エッジ	立ち上がり，立ち下がりの両エッジ	1	1

備考1．ES0n1, ES0n0 = 1, 0およびES1n1, ES1n0 = 1, 0は設定禁止です。

2．ES0n1, ES0n0　　：プリスケーラ・モード・レジスタ0n（PRM0n）のビット5, 4

ES1n1, ES1n0　　：プリスケーラ・モード・レジスタ0n（PRM0n）のビット7, 6

CRC0n1, CRC0n0　：キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）のビット1, 0

3．n = 0, 1

注意1．TM0nとCR00nの一致でクリア＆スタート・モードの場合，CR00nには0000H以外の値を設定してください。

2．フリー・ランニング・モードおよびTI00n端子の有効エッジのクリア・モードにおいて，CR00nに0000Hを設定した場合は，TM0nのオーバフロー（FFFFH）後，0000Hから0001Hになるときに割り込み要求（INTTM00n）を発生します。またTM0nとCR00nの一致後，TI01n端子の有効エッジ検出後，ワンショット・トリガによるクリア後にINTTM00nを発生します。

3．TI01n端子の有効エッジを使用するときは，P01またはP06をタイマ出力（TO0n）端子として使用できません。また，TO0n端子を使用するときは，TI01n端子の有効エッジは使用できません。

4．CR00nをキャプチャ・レジスタとして使用時，レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合，リード・データは不定となります（キャプチャ・データ自体は正常値）。また，タイマのカウント停止とキャプチャ・トリガの入力が競合した場合，キャプチャ・データは不定となります。

5．TM0n動作中にCR00nを書き換えないでください。

(3) 16ビット・タイマ・キャプチャ／コンペア・レジスタ01n（CR01n）

キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）のビット2（CRC0n2）により，キャプチャ・レジスタとして使用するのか，コンペア・レジスタとして使用するのかを設定します。

CR01nは，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により0000Hになります。

図7－5　16ビット・タイマ・キャプチャ／コンペア・レジスタ01n（CR01n）のフォーマット

アドレス：FF14H, FF15H（CR010），FFB4H, FFB5H（CR011）　リセット時：0000H　R/W

略号	FF15H（CR010） FFB5H（CR011）								FF14H（CR010） FFB4H（CR011）							
CR01n (n = 0, 1)																

- CR01nをコンペア・レジスタとして使用するとき

CR01nに設定した値と16ビット・タイマ・カウンタ0n（TM0n）のカウント値を常に比較し，一致したときに割り込み要求（INTTM01n）を発生します。CR01nを書き換えるまで，設定した値を保持します。

- CR01nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00n端子の有効エッジが選択できます。TI00n端子の有効エッジは，プリスケーラ・モード・レジスタ0n（PRM0n）で設定します（表7－3を参照）。

表7－3　CR01nのキャプチャ・トリガとTI00n端子の有効エッジ（CRC0n2 = 1）

CR01nのキャプチャ・トリガ	TI00n端子の有効エッジ		
		ES0n1	ES0n0
立ち下がりエッジ	立ち下がりエッジ	0	0
立ち上がりエッジ	立ち上がりエッジ	0	1
立ち上がり，立ち下がりの両エッジ	立ち上がり，立ち下がりの両エッジ	1	1

備考1．ES0n1, ES0n0 = 1, 0は設定禁止です。

2．ES0n1, ES0n0　：プリスケーラ・モード・レジスタ0n（PRM0n）のビット5, 4

CRC0n2　：キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）のビット2

3．n = 0, 1

注意1．CR01nレジスタに0000Hを設定した場合は，TM0nのオーバフロー（FFFFH）後，0000Hから0001Hになるときに割り込み要求（INTTM01n）を発生します。またTM0nとCR01nの一致後，TI00n端子の有効エッジ検出後，ワンショット・トリガによるクリア後にINTTM01nを発生します。

2．CR01nをキャプチャ・レジスタとして使用時，レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合，リード・データは不定となります（キャプチャ・データ自体は正常値）。
また，カウント停止の入力とキャプチャ・トリガの入力が競合した場合，キャプチャ・データは不定となります。

3．TM0n動作中にCR01nを書き換えることができます。詳細は図7－20の注意2を参照してください。

7.3　16ビット・タイマ／イベント・カウンタ00, 01を制御するレジスタ

16ビット・タイマ／イベント・カウンタ00, 01を制御するレジスタには，次の6種類があります。

- 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）
- キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）
- 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）
- プリスケーラ・モード・レジスタ0n（PRM0n）
- ポート・モード・レジスタ0（PM0）
- ポート・レジスタ0（P0）

(1) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

16ビット・タイマの動作モード，16ビット・タイマ・カウンタ0n（TM0n）のクリア・モード，出力タイミングの設定およびオーバフローを検出するレジスタです。

TMC0nは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

注意　16ビット・タイマ・カウンタ0n（TM0n）は，TMC0n2, TMC0n3に0, 0（動作停止モード）以外の値を設定した時点で動作を開始します。動作を停止させるには，TMC0n2, TMC0n3に0, 0を設定してください。

備考　n = 0, 1

図7－6　16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）のフォーマット

アドレス：FFBAH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TMC00	0	0	0	0	TMC003	TMC002	TMC001	OVF00

TMC003	TMC002	TMC001	動作モードおよびクリア・モードの選択	TO00の反転タイミングの選択	割り込み要求の発生
0	0	0	動作停止（TM00は0にクリア）	変化なし	発生しない
0	0	1			
0	1	0	フリー・ランニング・モード	TM00とCR000の一致またはTM00とCR010の一致	＜コンペア・レジスタとして使用時＞ TM00とCR000の一致または TM00とCR010の一致 で発生 ＜キャプチャ・レジスタとして使用時＞ CR000のキャプチャ・トリガで発生
0	1	1		TM00とCR000の一致，TM00とCR010の一致またはTI000端子の有効エッジ	
1	0	0	TI000端子の有効エッジでクリア＆スタート	－	
1	0	1			
1	1	0	TM00とCR000の一致でクリア＆スタート	TM00とCR000の一致またはTM00とCR010の一致	
1	1	1		TM00とCR000の一致，TM00とCR010の一致またはTI000端子の有効エッジ	

OVF00	16ビット・タイマ・カウンタ00（TM00）のオーバフロー検出
0	オーバフローなし
1	オーバフローあり

注意1．OVF00フラグ以外のビットには，タイマ動作を停止してから書き込んでください。

2．TI000/P00端子の有効エッジは，プリスケーラ・モード・レジスタ00（PRM00）で設定します。

3．TM00とCR000の一致でクリア＆スタート，TI000端子の有効エッジでクリア＆スタート，フリー・ランニングのいずれかのモードを選択した場合，CR000の設定値がFFFFHで，TM00の値がFFFFHから0000Hに変化するとき，OVF00フラグが1に設定されます。

備考　TO00　：16ビット・タイマ／イベント・カウンタ00の出力端子
TI000　：16ビット・タイマ／イベント・カウンタ00の入力端子
TM00　：16ビット・タイマ・カウンタ00
CR000　：16ビット・タイマ・キャプチャ／コンペア・レジスタ000
CR010　：16ビット・タイマ・キャプチャ／コンペア・レジスタ010

図7－7　16ビット・タイマ・モード・コントロール・レジスタ01（TMC01）のフォーマット

アドレス：FFB6H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TMC01	0	0	0	0	TMC013	TMC012	TMC011	OVF01

TMC013	TMC012	TMC011	動作モードおよびクリア・モードの選択	TO01の反転タイミングの選択	割り込み要求の発生
0	0	0	動作停止（TM01は0にクリア）	変化なし	発生しない
0	0	1			
0	1	0	フリー・ランニング・モード	TM01とCR001の一致またはTM01とCR011の一致	＜コンペア・レジスタとして使用時＞ TM01とCR001の一致または TM01とCR011の一致で発生 ＜キャプチャ・レジスタとして使用時＞ CR001のキャプチャ・トリガで発生
0	1	1		TM01とCR001の一致，TM01とCR011の一致またはTI001端子の有効エッジ	
1	0	0	TI001端子の有効エッジでクリア＆スタート	－	
1	0	1			
1	1	0	TM01とCR001の一致でクリア＆スタート	TM01とCR001の一致またはTM01とCR011の一致	
1	1	1		TM01とCR001の一致，TM01とCR011の一致またはTI001端子の有効エッジ	

OVF01	16ビット・タイマ・カウンタ01（TM01）のオーバフロー検出
0	オーバフローなし
1	オーバフローあり

注意1．OVF01フラグ以外のビットには，タイマ動作を停止してから書き込んでください。

2．TI001/P05端子の有効エッジは，プリスケーラ・モード・レジスタ01（PRM01）で設定します。

3．TM01とCR001の一致でクリア＆スタート，TI001端子の有効エッジでクリア＆スタート，フリー・ランニングのいずれかのモードを選択した場合，CR001の設定値がFFFFHで，TM01の値がFFFFHから0000Hに変化するとき，OVF01フラグが1に設定されます。

備考　TO01　：16ビット・タイマ／イベント・カウンタ01の出力端子
TI001　：16ビット・タイマ／イベント・カウンタ01の入力端子
TM01　：16ビット・タイマ・カウンタ01
CR001　：16ビット・タイマ・キャプチャ／コンペア・レジスタ001
CR011　：16ビット・タイマ・キャプチャ／コンペア・レジスタ011

(2) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

16ビット・タイマ・キャプチャ／コンペア・レジスタ（CR00n, CR01n）の動作を制御するレジスタです。

CRC0nは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

備考　n = 0, 1

図7－8　キャプチャ／コンペア・コントロール・レジスタ00（CRC00）のフォーマット

アドレス：FFBCH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CRC00	0	0	0	0	0	CRC002	CRC001	CRC000

CRC002	CR010の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC001	CR000のキャプチャ・トリガの選択
0	TI010端子の有効エッジでキャプチャする
1	TI000端子の有効エッジの逆相でキャプチャする注

CRC000	CR000の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注　TI000端子有効エッジに，立ち上がり，立ち下がりの両エッジを選択した場合には，キャプチャは動作しません。

注意1．CRC00は，必ずタイマ動作を停止させてから設定してください。

2．16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）で，TM00とCR000の一致でクリア＆スタート・モードを選択したとき，CR000をキャプチャ・レジスタに指定しないでください。

3．キャプチャを確実に行うためのキャプチャ・トリガは，プリスケーラ・モード・レジスタ00（PRM00）で選択したカウント・クロックの2周期分より長いパルスを必要とします。

図7－9　キャプチャ／コンペア・コントロール・レジスタ01（CRC01）のフォーマット

アドレス：FFB8H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CRC01	0	0	0	0	0	CRC012	CRC011	CRC010

CRC012	CR011の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC011	CR001のキャプチャ・トリガの選択
0	TI011端子の有効エッジでキャプチャする
1	TI001端子の有効エッジの逆相でキャプチャする注

CRC010	CR001の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注　TI001端子有効エッジに，立ち上がり，立ち下がりの両エッジを選択した場合には，キャプチャは動作しません。

注意1．CRC01は，必ずタイマ動作を停止させてから設定してください。

2．16ビット・タイマ・モード・コントロール・レジスタ01（TMC01）で，TM01とCR001の一致でクリア＆スタート・モードを選択したとき，CR001をキャプチャ・レジスタに指定しないでください。

3．キャプチャを確実に行うためのキャプチャ・トリガは，プリスケーラ・モード・レジスタ01（PRM01）で選択したカウント・クロックの2周期分より長いパルスを必要とします。

(3) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

16ビット・タイマ／イベント・カウンタ0n出力制御回路の動作を制御するレジスタです。タイマ出力F/F（LV0n）のセット／リセット，出力の反転許可／禁止，16ビット・タイマ／イベント・カウンタ0nのタイマ出力許可／禁止，ワンショット・パルス出力動作の許可／禁止およびソフトウエアによるワンショット・パルスの出力トリガを設定します。

TOC0nは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

備考　n = 0, 1

図7－10　16ビット・タイマ出力コントロール・レジスタ00（TOC00）のフォーマット

アドレス：FFBDH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TOC00	0	OSPT00	OSPE00	TOC004	LVS00	LVR00	TOC001	TOE00

OSPT00	ソフトウエアによるワンショット・パルスの出力トリガの制御
0	ワンショット・パルス出力トリガなし
1	ワンショット・パルス出力トリガあり

OSPE00	ワンショット・パルス出力動作の制御
0	連続パルス出力モード
1	ワンショット・パルス出力モード注

TOC004	CR010とTM00の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

LVS00	LVR00	タイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット（0）
1	0	タイマ出力F/Fをセット（1）
1	1	設定禁止

TOC001	CR000とTM00の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

TOE00	タイマ出力の制御
0	出力禁止（出力は0レベルに固定）
1	出力許可

注　ワンショット・パルス出力モードは，フリー・ランニング・モード，TI000端子の有効エッジでクリア＆スタート・モードでのみ正常動作します。TM00レジスタとCR000レジスタの一致でクリア＆スタート・モードでは，オーバフローしないためワンショット・パルス出力はできません。

注意1．TOC004以外は，必ずタイマ動作を停止させてから設定してください。

2．LVS00, LVR00は読み出すと，0になっています。

3．OSPT00は，データ設定後に自動的にクリアされますので，読み出すと0になっています。

4．OSPT00は，ワンショット・パルス出力モード以外でセット（1）しないでください。

5．OSPT00に連続してライトするとき，プリスケーラ・モード・レジスタ00（PRM00）で選択したカウント・クロック2周期分以上のライト間隔が必要です。

6．TOE00より先にLVS00に“1”をセットしないでください。また，LVS00とTOE00に同時に“1”をセットしないでください。

7．次の①，②の設定は同時に行わないでください。また設定は次の手順で行ってください。

① TOC001, TOC004, TOE00, OSPE00の設定：タイマ出力動作の設定

② LVS00, LVR00の設定　　：タイマ出力F/Fの設定

図7－11　16ビット・タイマ出力コントロール・レジスタ01（TOC01）のフォーマット

アドレス：FFB9H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TOC01	0	OSPT01	OSPE01	TOC014	LVS01	LVR01	TOC011	TOE01

OSPT01	ソフトウエアによるワンショット・パルスの出力トリガの制御
0	ワンショット・パルス出力トリガなし
1	ワンショット・パルス出力トリガあり

OSPE01	ワンショット・パルス出力動作の制御
0	連続パルス出力モード
1	ワンショット・パルス出力モード注

TOC014	CR011とTM01の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

LVS01	LVR01	タイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット（0）
1	0	タイマ出力F/Fをセット（1）
1	1	設定禁止

TOC011	CR001とTM01の一致によるタイマ出力F/Fの制御
0	反転動作禁止
1	反転動作許可

TOE01	タイマ出力の制御
0	出力禁止（出力は0レベルに固定）
1	出力許可

注　ワンショット・パルス出力モードは，フリー・ランニング・モード，TI001端子の有効エッジでクリア＆スタート・モードでのみ正常動作します。TM01レジスタとCR001レジスタの一致でクリア＆スタート・モードでは，オーバフローしないためワンショット・パルス出力はできません。

注意1．TOC014以外は，必ずタイマ動作を停止させてから設定してください。

2．LVS01, LVR01は読み出すと，0になっています。

3．OSPT01は，データ設定後に自動的にクリアされますので，読み出すと0になっています。

4．OSPT01は，ワンショット・パルス出力モード以外でセット（1）しないでください。

5．OSPT01に連続してライトするとき，プリスケーラ・モード・レジスタ01（PRM01）で選択したカウント・クロック2周期分以上のライト間隔が必要です。

6．TOE01より先にLVS01に“1”をセットしないでください。また，LVS01とTOE01に同時に“1”をセットしないでください。

7．次の①，②の設定は同時に行わないでください。また設定は次の手順で行ってください。

① TOC011, TOC014, TOE01, OSPE01の設定：タイマ出力動作の設定

② LVS01, LVR01の設定　　：タイマ出力F/Fの設定

(4) プリスケーラ・モード・レジスタ0n（PRM0n）

16ビット・タイマ・カウンタ0n（TM0n）のカウント・クロックおよびTI00n, TI01n端子入力の有効エッジを設定するレジスタです。PRM0nは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

備考　n = 0, 1

図7－12　プリスケーラ・モード・レジスタ00（PRM00）のフォーマット

アドレス：FFBBH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PRM00	ES101	ES100	ES001	ES000	0	0	PRM001	PRM000

ES101	ES100	TI010端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり，立ち下がりの両エッジ

ES001	ES000	TI000端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり，立ち下がりの両エッジ

PRM001	PRM000	カウント・クロックの選択注1
0	0	f_X（10 MHz）
0	1	$f_X/2^2$（2.5 MHz）
1	0	$f_X/2^8$（39.06 kHz）
1	1	TI000有効エッジ注2

注1.　カウント・クロックは次の条件を満たすように設定してください。

- V_{DD} = 4.0～5.5 V：カウント・クロック≦10 MHz
- V_{DD} = 3.3～4.0 V：カウント・クロック≦8.38 MHz
- V_{DD} = 2.7～3.3 V：カウント・クロック≦5 MHz
- ★ V_{DD} = 2.5～2.7 V：カウント・クロック≦2.5 MHz（標準品，（A）水準品のみ）

2.　外部クロックは内部クロック（f_X）の2周期分より長いパルスを必要とします。

注意1．CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，16ビット・タイマ／イベント・カウンタ00の動作は保証されません。また外部クロックの場合も，CPUへの供給クロックに内蔵発振クロックを選択する場合，ノイズ除去のためのサンプリング・クロックに内蔵発振クロックが供給されるため，同様に16ビット・タイマ／イベント・カウンタ00の動作は保証されません。

2．PRM00は，必ずタイマ動作を停止させてからデータを設定してください。

3．カウント・クロックにTI000端子の有効エッジを設定する場合，TI000端子の有効エッジでクリア＆スタート・モードおよびキャプチャ・トリガに設定しないでください。

4．システム・リセット直後にTI000端子またはTI010端子がハイ・レベルの場合，TI000端子またはTI010端子の有効エッジを立ち上がりまたは両エッジに指定し，16ビット・タイマ・カウンタ00（TM00）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし，動作を停止させたあとの再動作許可時にTI000端子またはTI010端子がハイ・レベルの場合は，立ち上がりエッジは検出されません。

5．TI010端子の有効エッジを使用するときは，P01をタイマ出力（TO00）端子として使用できません。また，TO00端子を使用するときは，TI010端子の有効エッジは使用できません。

備考1．fx：高速システム・クロック発振周波数

2．（　　）内は，fx = 10 MHz動作時。

図7－13　プリスケーラ・モード・レジスタ01（PRM01）のフォーマット

アドレス：FFB7H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
PRM01	ES111	ES110	ES011	ES010	0	0	PRM011	PRM010

ES111	ES110	TI011端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり，立ち下がりの両エッジ

ES011	ES010	TI001端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり，立ち下がりの両エッジ

PRM011	PRM010	カウント・クロックの選択注1
0	0	f_X（10 MHz）
0	1	$f_X/2^4$（625 kHz）
1	0	$f_X/2^6$（156.25 kHz）
1	1	TI001有効エッジ注2

注1.　**カウント・クロックは次の条件を満たすように設定してください。**

- V_{DD} = 4.0～5.5 V：**カウント・クロック**≦10 MHz
- V_{DD} = 3.3～4.0 V：**カウント・クロック**≦8.38 MHz
- V_{DD} = 2.7～3.3 V：**カウント・クロック**≦5 MHz
- ★ V_{DD} = 2.5～2.7 V：**カウント・クロック**≦2.5 MHz（**標準品，**（A）**水準品のみ**）

2.　**外部クロックは内部クロック**（f_X）**の**2**周期分より長いパルスを必要とします。**

注意1．CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，16ビット・タイマ／イベント・カウンタ01の動作は保証されません。また外部クロックの場合も，CPUへの供給クロックに内蔵発振クロックを選択する場合，ノイズ除去のためのサンプリング・クロックに内蔵発振クロックが供給されるため，同様に16ビット・タイマ／イベント・カウンタ01の動作は保証されません。

2．PRM01は，必ずタイマ動作を停止させてからデータを設定してください。

3．カウント・クロックにTI001端子の有効エッジを設定する場合，TI001端子の有効エッジでクリア＆スタート・モードおよびキャプチャ・トリガに設定しないでください。

4．システム・リセット直後にTI001端子またはTI011端子がハイ・レベルの場合，TI001端子またはTI011端子の有効エッジを立ち上がりまたは両エッジに指定し，16ビット・タイマ・カウンタ01（TM01）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI001端子またはTI011端子をプルアップしている場合などは注意してください。ただし，動作を停止させたあとの再動作許可時にTI001端子またはTI011端子がハイ・レベルの場合は，立ち上がりエッジは検出されません。

5．TI011端子の有効エッジを使用するときは，P06をタイマ出力（TO01）端子として使用できません。また，TO01端子を使用するときは，TI011端子の有効エッジは使用できません。

備考1．fx：高速システム・クロック発振周波数

2．（　　）内は，fx = 10 MHz動作時。

(5) ポート・モード・レジスタ0（PM0）

ポート0の入力／出力を1ビット単位で設定するレジスタです。

P01/TO00/TI010, P06/TO01/TI011端子をタイマ出力として使用するとき，PM01, PM06およびP01, P06の出力ラッチに0を設定してください。

P01/TO00/TI010, P06/TO01/TI011端子をタイマ入力として使用するとき，PM01, PM06に1を設定してください。このときP01, P06の出力ラッチは，0または1のどちらでもかまいません。

PM0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

図7－14　ポート・モード・レジスタ0（PM0）のフォーマット

アドレス：FF20H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択（n = 0-6）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

7.4　16ビット・タイマ／イベント・カウンタ00, 01の動作

7.4.1　インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）と，キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）を図7－15のように設定することにより，インターバル・タイマとして動作します。

設定方法

基本的な動作設定手順例は次のようになります。

① CRC0nレジスタの設定（設定値については図7－15参照）
② CR00nレジスタに任意の値を設定
③ PRM0nレジスタによりカウント・クロック設定
④ TMC0nレジスタ設定：動作開始（設定値については図7－15参照）

注意　TM0n動作中にCR00nを書き換えないでください。

備考　INTTM00n割り込み許可の設定については，第19章　割り込み機能を参照してください。

16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）にあらかじめ設定したカウント値をインターバルとし，繰り返し割り込み要求を発生します。

16ビット・タイマ・カウンタ0n（TM0n）のカウント値がCR00nに設定した値と一致したとき，TM0nの値を0にクリアしてカウントを継続するとともに割り込み要求信号（INTTM00n）を発生します。

プリスケーラ・モード・レジスタ0n（PRM0n）のビット0, 1（PRM0n0, PRM0n1）で16ビット・タイマ／イベント・カウンタ0nのカウント・クロックを選択できます。

備考　n = 0, 1

図7－15　インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

	7	6	5	4	TMC0n3	TMC0n2	TMC0n1	OVF0n
TMC0n	0	0	0	0	1	1	0/1	0

TM0nとCR00nの一致でクリア＆スタート

(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

	7	6	5	4	3	CRC0n2	CRC0n1	CRC0n0
CRC0n	0	0	0	0	0	0/1	0/1	0

CR00nをコンペア・レジスタにする

(c) プリスケーラ・モード・レジスタ0n（PRM0n）

	ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
PRM0n	0/1	0/1	0/1	0/1	0	0	0/1	0/1

カウント・クロックの選択

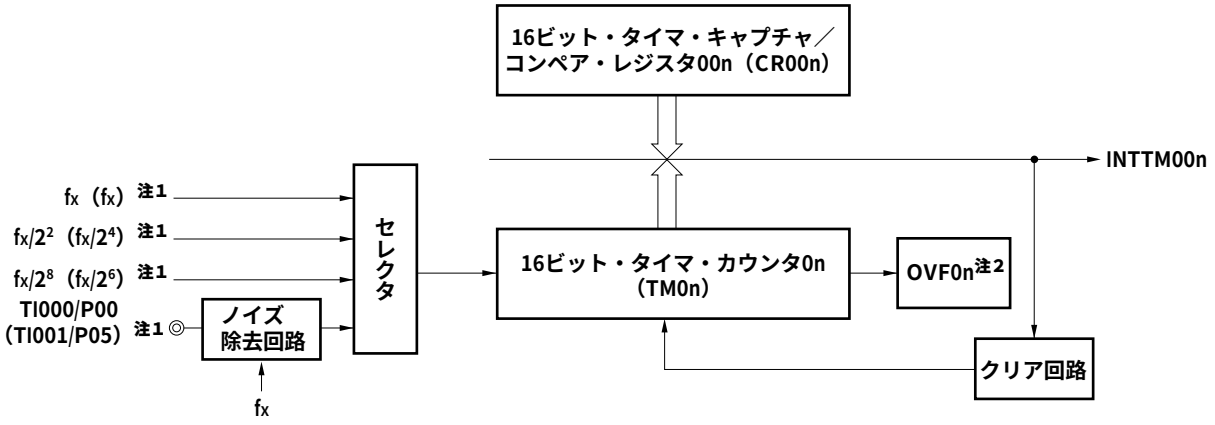
設定無効（“10”は設定禁止）

設定無効（“10”は設定禁止）

備考1．0/1：0または1を設定することにより，インターバル・タイマと同時にほかの機能を使用できます。
詳細は，各制御レジスタの説明を参照してください。

2．n = 0, 1

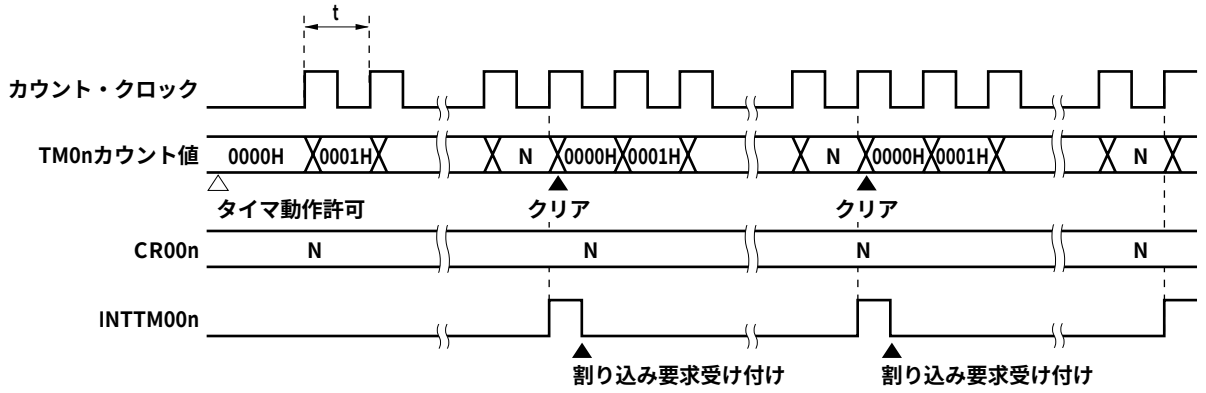
図7－16　インターバル・タイマの構成図



注1．（　）なしは16ビット・タイマ／イベント・カウンタ00のとき，（　）内は16ビット・タイマ／イベント・カウンタ01のとき

2．16ビット・タイマ・キャプチャ／コンペア・レジスタ00nにFFFFHを設定した場合のみ，OVF0nは1になります。

図7－17　インターバル・タイマ動作のタイミング



備考　インターバル時間 =（N＋1）×t

N = 0001H-FFFFH（設定可能範囲）

n = 0, 1

7. 4. 2　PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）と，キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）を図7－18のように設定することにより，PPG（Programmable Pulse Generator）出力として動作します。

設定方法

基本的な動作設定手順例は次のようになります。

① CRC0nレジスタの設定（設定値については図7－18参照）
② CR00nレジスタに周期となる任意の値を設定
③ CR01nレジスタにデューティとなる任意の値を設定
④ TOC0nレジスタの設定（設定値は図7－18参照）
⑤ PRM0nレジスタによりカウント・クロック設定
⑥ TMC0nレジスタ設定：動作開始（設定値については図7－18参照）

注意　動作中にデューティの値（CR01nレジスタ）を変更する場合は，図7－20　PPG出力動作のタイミングの注意2を参照してください。

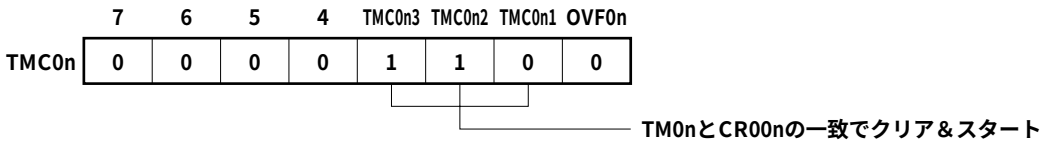
備考1．TO0n端子の設定については，7. 3（5）ポート・モード・レジスタ0（PM0）を参照してください。
2．INTTM00n割り込み許可の設定については，第19章　割り込み機能を参照してください。

PPG出力パルスは，16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）にあらかじめ設定したカウント値を1周期とし，16ビット・タイマ・キャプチャ／コンペア・レジスタ01n（CR01n）にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0n端子から出力します。

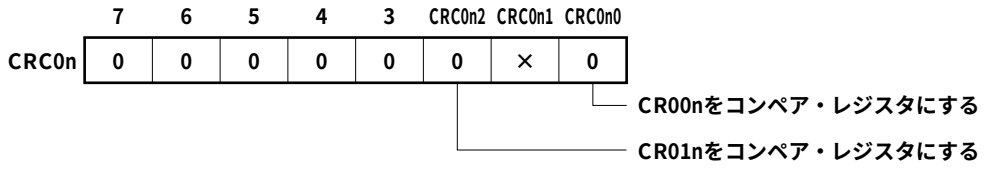
備考　n = 0, 1

図7－18　PPG出力動作時の制御レジスタ設定内容

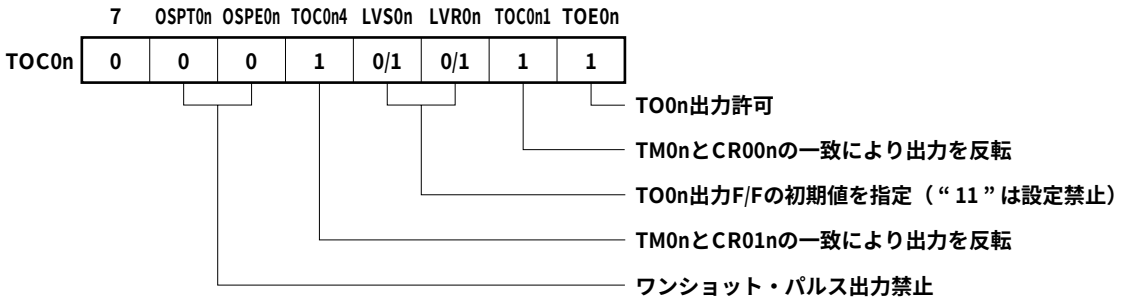
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）



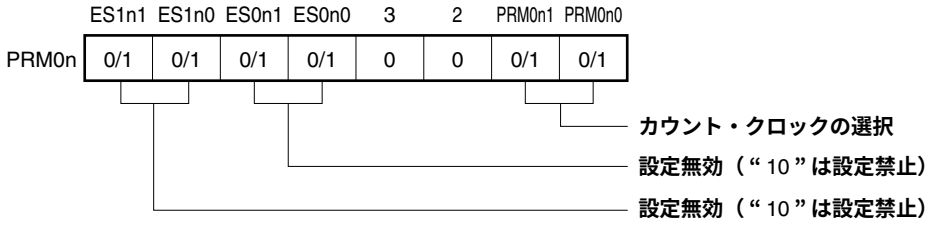
(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）



(c) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）



(d) プリスケーラ・モード・レジスタ0n（PRM0n）



注意1．CR00n**と**CR01n**には次の範囲の値を設定してください。**

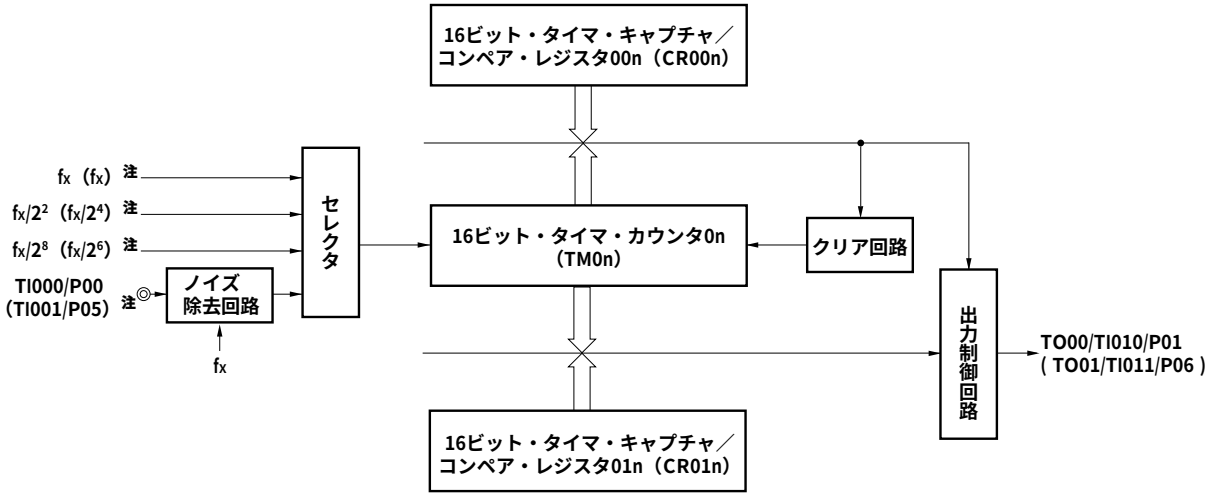
0000H≦CR01n＜CR00n≦FFFFH

2．PPG**出力によって生成されるパルスの周期は（**CR00n**の設定値＋**1**），デューティは（**CR01n**の設定値＋**1**）／（**CR00n**の設定値＋**1**）になります。**

備考　×：don't care

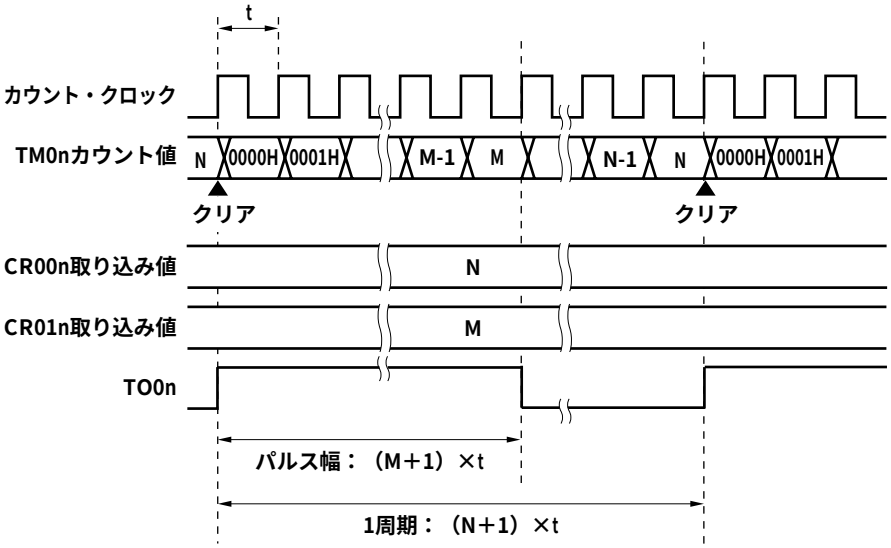
n = 0, 1

図7－19　PPG出力の構成図



注　（　）なしは16ビット・タイマ／イベント・カウンタ00のとき，（　）内は16ビット・タイマ／イベント・カウンタ01のとき

図7－20　PPG出力動作のタイミング



注意1．TM0n動作中にCR00nを書き換えないでください。

2．PPG出力動作において，TM0nの動作中にパルス幅を変更する（CR01nを書き換える）場合は，次の手順で行ってください。

① TM0nとCR01nの一致によるタイマ出力反転動作を禁止する（TOC0n4 = 0）

② INTTM01nの割り込みを禁止する（TMMK01n = 1）

③ CR01nを書き換える

④ TM0nのカウント・クロックの1周期分をウエイトする

⑤ TM0nとCR01nの一致によるタイマ出力反転動作を許可する（TOC0n4 = 1）

⑥ INTTM01nの割り込み要求フラグをクリアする（TMIF01n = 0）

⑦ INTTM01nの割り込みを許可する（TMMK01n = 0）

備考1．0000H≦M＜N≦FFFFH

2．n = 0, 1

7.4.3　パルス幅測定としての動作

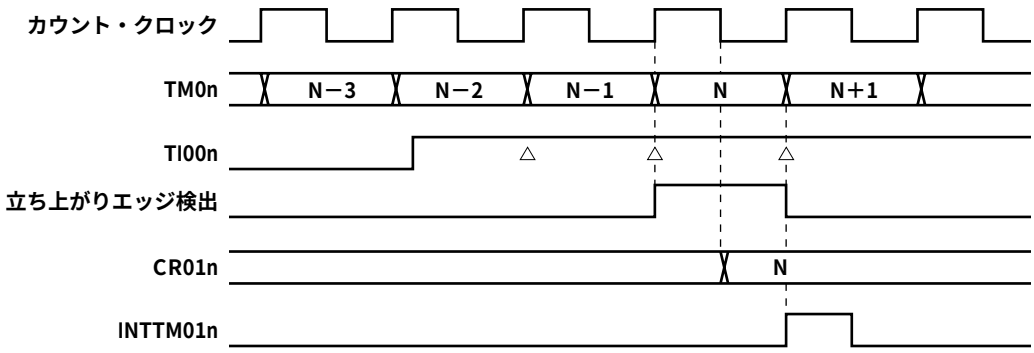
16ビット・タイマ・カウンタ0n（TM0n）を使用し，TI00n端子およびTI01n端子に入力される信号のパルス幅を測定できます。

測定方法は，TM0nをフリー・ランニングさせて測定する方法とTI00n端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら，有効なキャプチャ・レジスタの値を読み込み，オーバフロー・フラグを確認したあと，必要なパルス幅を計算してください。オーバフロー・フラグは，確認後クリアしてください。

プリスケーラ・モード・レジスタ0n（PRM0n）で選択したカウント・クロック周期でサンプリングを行い，TI00n端子またはTI01n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため，短いパルス幅のノイズを除去できます。

図7－21　立ち上がりエッジ指定時のCR01nキャプチャ動作



設定方法

基本的な動作設定手順例は次のようになります。

① CRC0nレジスタの設定（設定値については図7－22, 7－25, 7－27, 7－29参照）

② PRM0nレジスタによりカウント・クロック設定

③ TMC0nレジスタ設定：動作開始（設定値については図7－22, 7－25, 7－27, 7－29参照）

注意　キャプチャ・レジスタを2本使用する場合は，TI00nおよびTI01n端子の設定を行ってください。

備考1．TI00n（もしくはTI01n）端子の設定については，7．3（5）ポート・モード・レジスタ0（PM0）を参照してください。

2．INTTM00n（もしくはINTTM01n）割り込み許可の設定については，第19章　割り込み機能を参照してください。

3．n = 0, 1

(1) フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

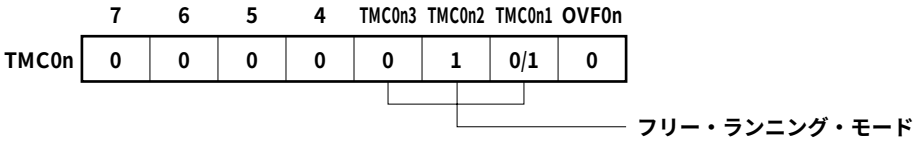
16ビット・タイマ・カウンタ0n（TM0n）をフリー・ランニングで動作させているとき，TI00n端子にプリスケーラ・モード・レジスタ0n（PRM0n）で指定したエッジが入力されるとTM0nの値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01n（CR01n）に取り込み，外部割り込み要求信号（INTTM01n）をセットします。

TI00n端子のエッジはPRM0nのビット4, 5（ES0n0, ES0n1）で，立ち上がり，立ち下がりの両エッジを指定します。

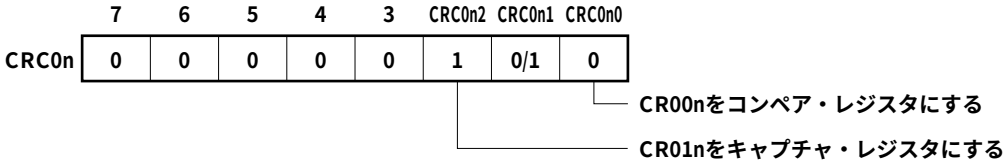
PRM0nで選択したカウント・クロックでサンプリングを行い，TI00n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため，短いパルス幅のノイズを除去できます。

図7－22　フリー・ランニング・カウンタとキャプチャ・レジスタ1本による パルス幅測定時の制御レジスタ設定内容（TI00nとCR01nを使用した場合）

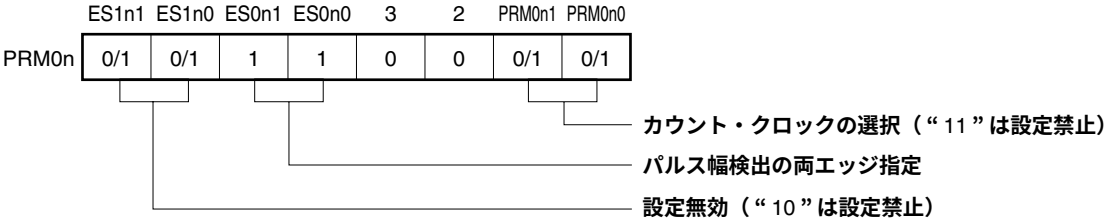
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）



(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）



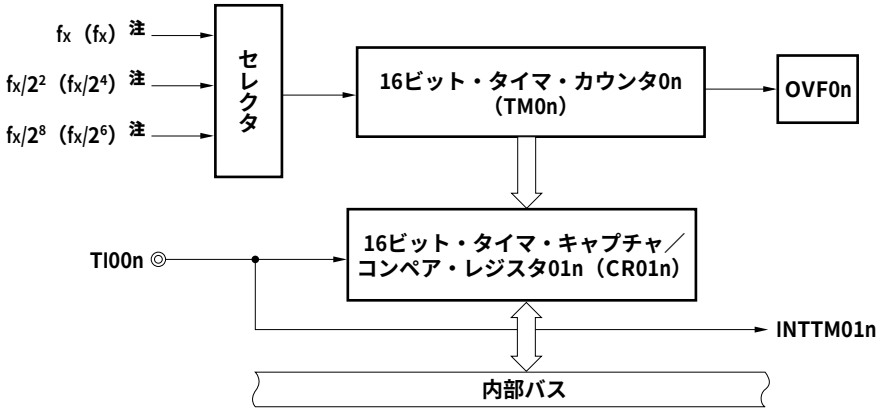
(c) プリスケーラ・モード・レジスタ0n（PRM0n）



備考　0/1：0または1を設定することにより，パルス幅測定と同時にほかの機能を使用できます。詳細は，各制御レジスタの説明を参照してください。

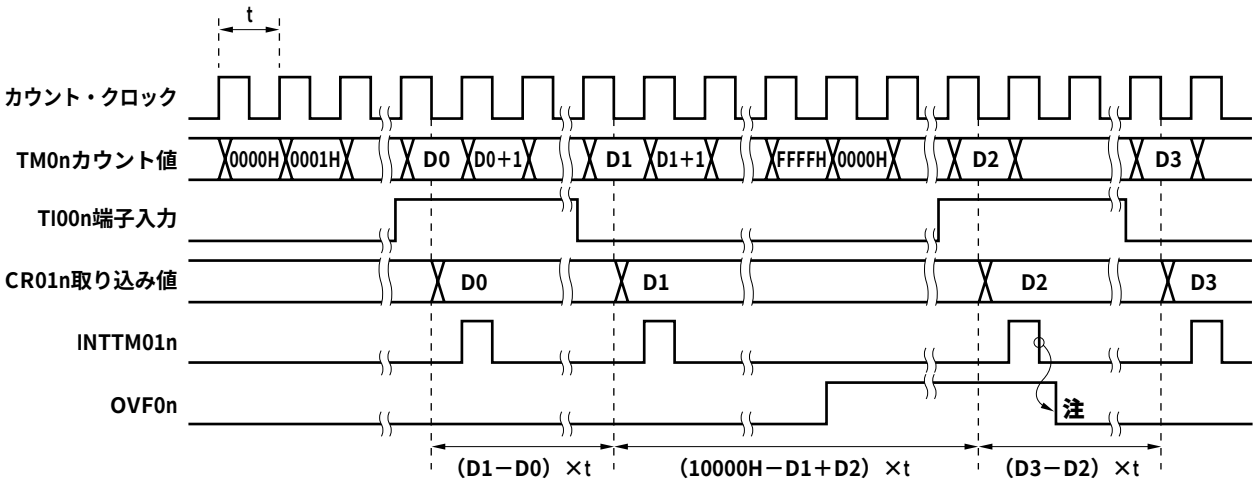
n = 0, 1

図7－23　フリー・ランニング・カウンタによるパルス幅測定の構成図



注　（　）なしは16ビット・タイマ／イベント・カウンタ00のとき，（　）内は16ビット・タイマ／イベント・カウンタ01のとき

図7－24　フリー・ランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング（両エッジ指定時）



注　OVF0nのクリアはソフトウエアで行ってください。

備考　n = 0, 1

(2) フリー・ランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ0n（TM0n）をフリー・ランニングで動作させているとき，TI00n端子およびTI01n端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00n端子にプリスケーラ・モード・レジスタ0n（PRM0n）のビット4, 5（ES0n0, ES0n1）で指定したエッジが入力されると，TM0nの値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01n（CR01n）に取り込み，割り込み要求信号（INTTM01n）をセットします。

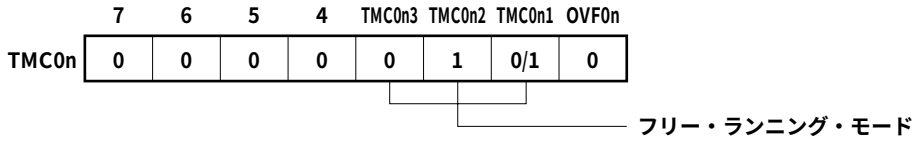
また，TI01n端子にPRM0nのビット6, 7（ES1n0, ES1n1）で指定したエッジが入力されると，TM0nの値を16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）に取り込み，割り込み要求信号（INTTM00n）をセットします。

TI00n端子とTI01n端子のエッジは，PRM0nのビット4, 5（ES0n0, ES0n1）およびビット6, 7（ES1n0, ES1n1）で，立ち上がり，立ち下がりの両エッジを指定します。

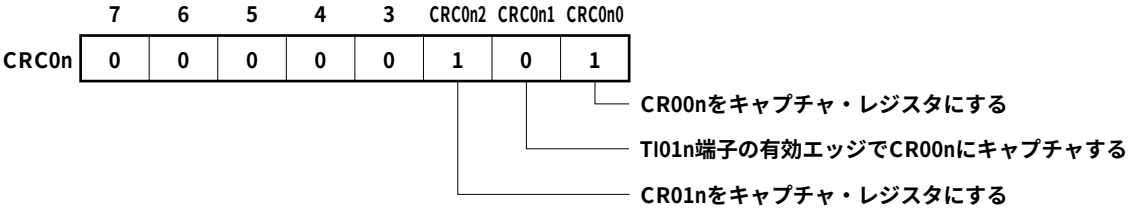
プリスケーラ・モード・レジスタ0n（PRM0n）で選択したカウント・クロック周期でサンプリングを行い，TI00n端子またはTI01n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため，短いパルス幅のノイズを除去できます。

図7－25　フリー・ランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

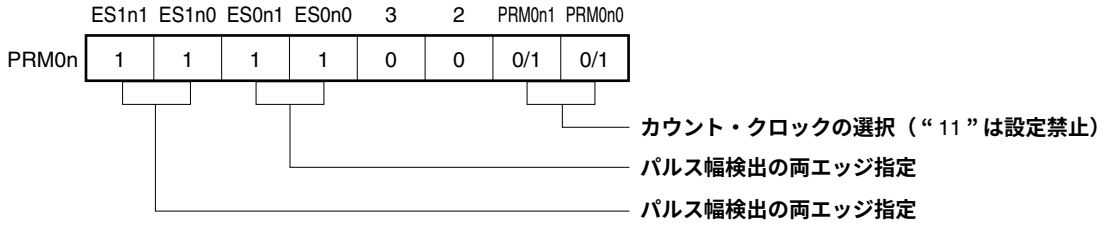
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）



(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）



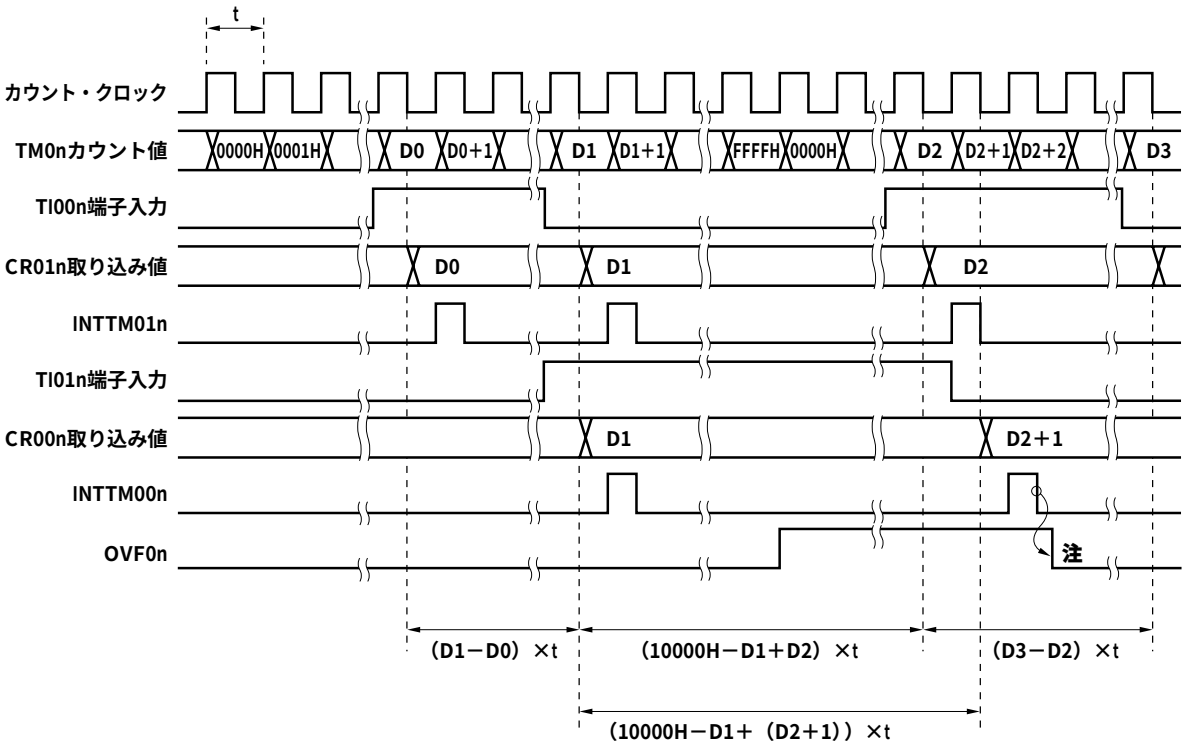
(c) プリスケーラ・モード・レジスタ0n（PRM0n）



備考　0/1：0または1を設定することにより，パルス幅測定と同時にほかの機能を使用できます。詳細は，各制御レジスタの説明を参照してください。

n = 0, 1

図7－26　フリー・ランニング・カウンタによるパルス幅測定動作のタイミング（両エッジ指定時）



注　OVF0nのクリアはソフトウエアで行ってください。

備考　n = 0, 1

(3) フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ0n（TM0n）をフリー・ランニングで動作させているとき，TI00n端子に入力する信号のパルス幅を測定できます。

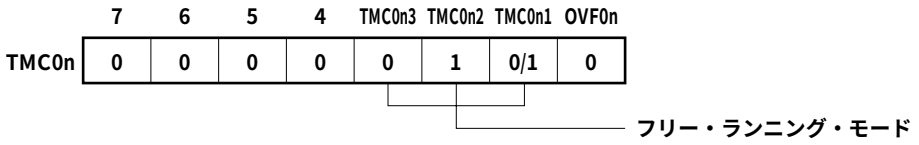
TI00n端子にプリスケーラ・モード・レジスタ0n（PRM0n）のビット4, 5（ES0n0, ES0n1）で指定した立ち上がりまたは立ち下がりエッジが入力されると，TM0nの値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01n（CR01n）に取り込み，割り込み要求信号（INTTM01n）をセットします。

また，CR01nへのキャプチャ動作と逆のエッジ入力で，TM0nの値を16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）に取り込みます。

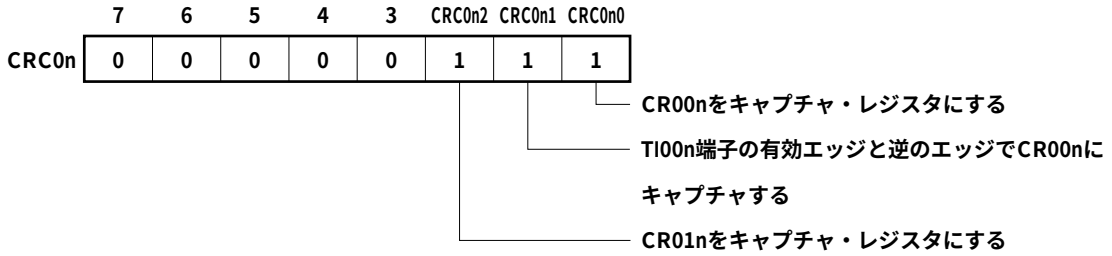
プリスケーラ・モード・レジスタ0n（PRM0n）で選択したカウント・クロック周期でサンプリングを行い，TI00n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため，短いパルス幅のノイズを除去できます。

図7－27　フリー・ランニング・カウンタとキャプチャ・レジスタ2本による パルス幅測定時の制御レジスタ設定内容（立ち上がりエッジ指定時）

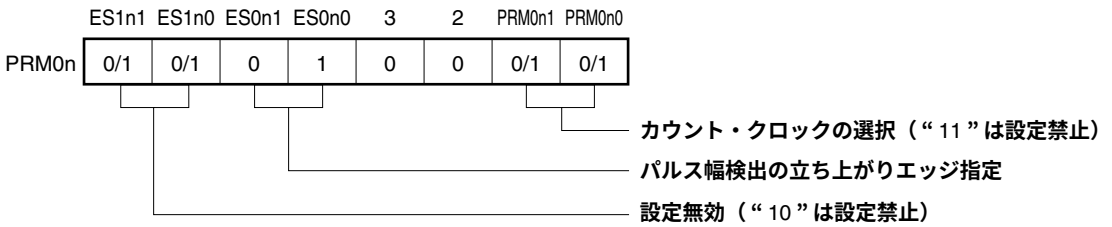
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）



(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）



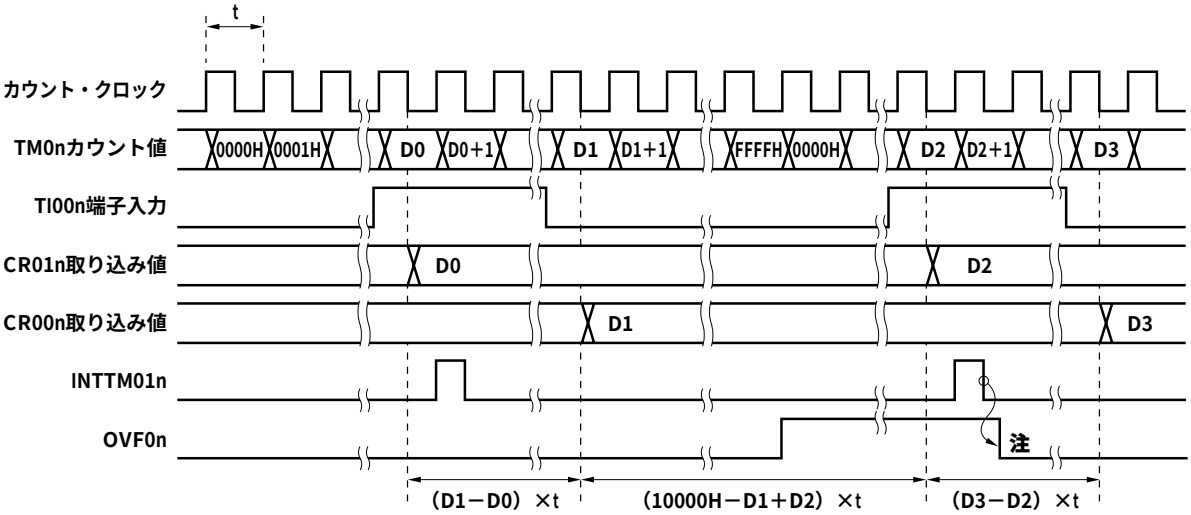
(c) プリスケーラ・モード・レジスタ0n（PRM0n）



備考　0/1：0または1を設定することにより，パルス幅測定と同時にほかの機能を使用できます。詳細は，各制御レジスタの説明を参照してください。

n = 0, 1

図7－28　フリー・ランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング（立ち上がりエッジ指定時）



注　OVF0nのクリアはソフトウエアで行ってください。

(4) リスタートによるパルス幅測定

TI00n端子への有効エッジを検出したとき，16ビット・タイマ・カウンタ0n（TM0n）のカウント値を16ビット・タイマ・キャプチャ／コンペア・レジスタ01n（CR01n）に取り込んだあと，TM0nをクリアしてカウントを再開することにより，TI00n端子に入力された信号のパルス幅を測定します。

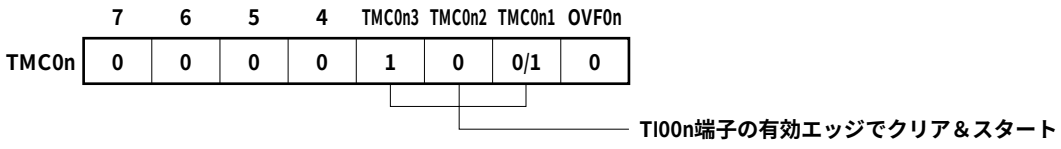
エッジ指定は，プリスケーラ・モード・レジスタ0n（PRM0n）のビット4, 5（ES0n0, ES0n1）により，立ち上がりエッジまたは立ち下がりエッジの選択ができます。

プリスケーラ・モード・レジスタ0n（PRM0n）で選択したカウント・クロック周期でサンプリングを行い，TI00n端子の有効レベルを2回検出することではじめてキャプチャ動作を行うため，短いパルス幅のノイズを除去できます。

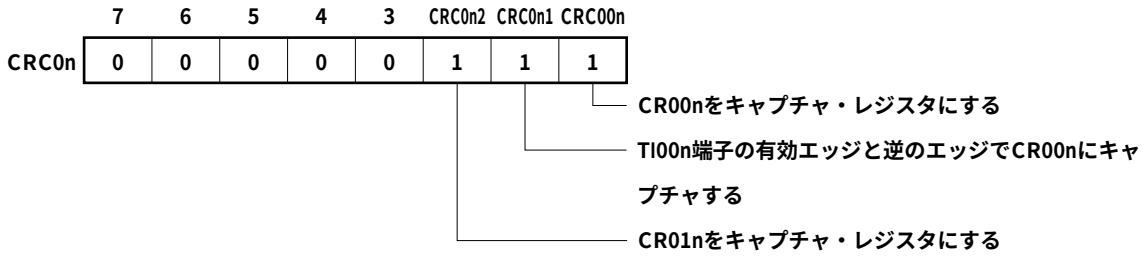
備考　n = 0, 1

図7－29　リスタートによるパルス幅測定時の制御レジスタ設定内容（立ち上がりエッジ指定時）

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）



(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）



(c) プリスケーラ・モード・レジスタ0n（PRM0n）

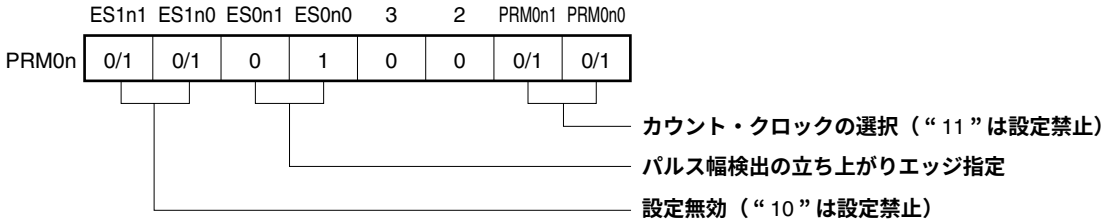
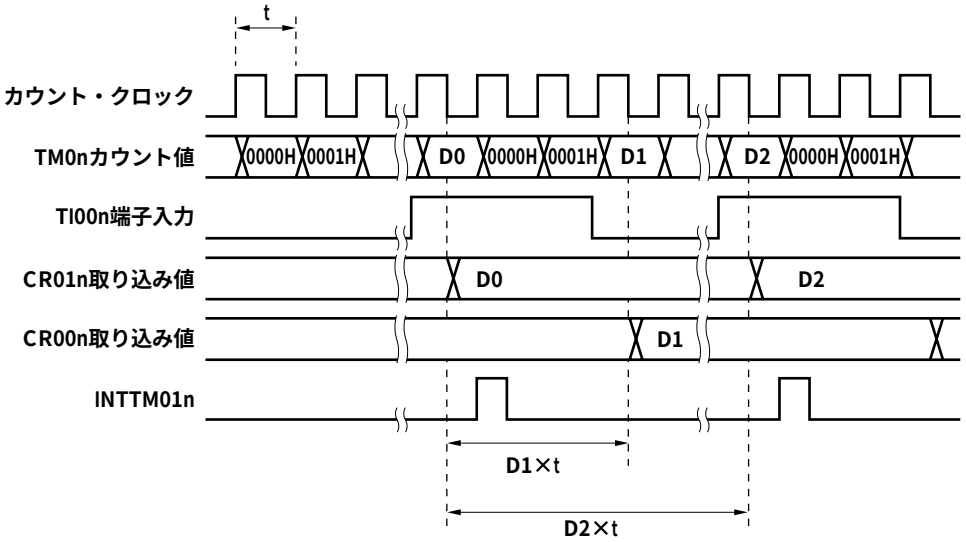


図7－30　リスタートによるパルス幅測定動作のタイミング（立ち上がりエッジ指定時）



備考　n = 0, 1

7.4.4　外部イベント・カウンタとしての動作

設定方法

基本的な動作設定手順例は次のようになります。

① CRC0nレジスタの設定（設定値については図7－31参照）
② PRM0nレジスタによりカウント・クロック設定
③ CR00nレジスタに任意の値（0000Hは設定できません）を設定
④ TMC0nレジスタ設定：動作開始（設定値については図7－31参照）

備考1．TI00n端子の設定については，7.3（5）ポート・モード・レジスタ0（PM0）を参照してください。
2．INTTM00n割り込み許可の設定については，第19章　割り込み機能を参照してください。

外部イベント・カウンタは，TI00n端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ0n（TM0n）でカウントするものです。

プリスケーラ・モード・レジスタ0n（PRM0n）で指定した有効エッジが入力されるたびに，TM0nがインクリメントされます。

TM0nの計数値が16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）の値と一致すると，TM0nは0にクリアされ，割り込み要求信号（INTTM00n）が発生します。

なお，CR00nには0000H以外の値を入れてください（1パルスのカウント動作はできません）。

エッジ指定は，プリスケーラ・モード・レジスタ0n（PRM0n）のビット4, 5（ES0n0, ES0n1）により，立ち上がり，立ち下がり，両エッジの3種類から選択できます。

内部クロック（fx）でサンプリングを行い，TI00n端子の有効レベルを2回検出することではじめて動作するため，短いパルス幅のノイズを除去できます。

図7－31　外部イベント・カウンタ・モード時の制御レジスタ設定内容（立ち上がりエッジ指定時）

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

	7	6	5	4	TMC0n3	TMC0n2	TMC0n1	OVF0n
TMC0n	0	0	0	0	1	1	0/1	0

TM0nとCR00nの一致でクリア＆スタート

(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

	7	6	5	4	3	CRC0n2	CRC0n1	CRC0n0
CRC0n	0	0	0	0	0	0/1	0/1	0

CR00nをコンペア・レジスタにする

(c) プリスケーラ・モード・レジスタ0n（PRM0n）

	ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
PRM0n	0/1	0/1	0	1	0	0	1	1

外部クロックを選択

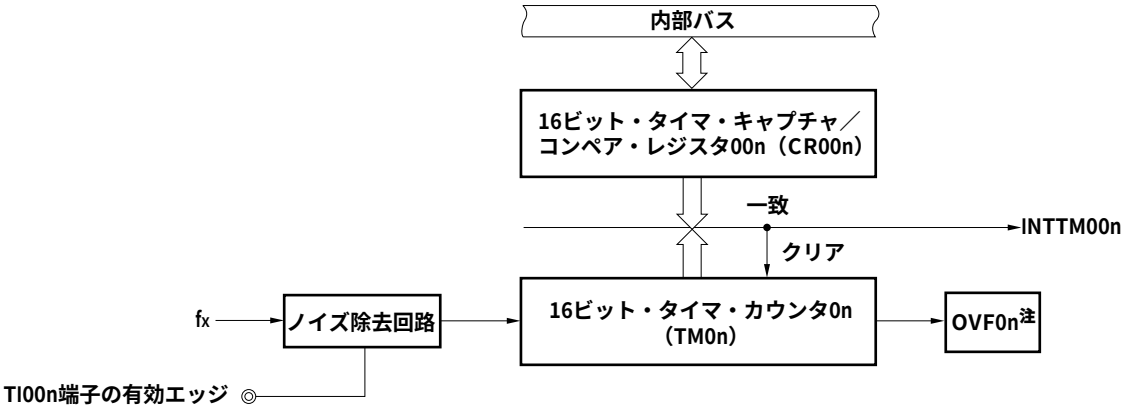
パルス幅検出の立ち上がりエッジ指定

設定無効（“10”は設定禁止）

備考　0/1：0または1を設定することにより，外部イベント・カウンタと同時にほかの機能を使用できます。
詳細は，各制御レジスタの説明を参照してください。

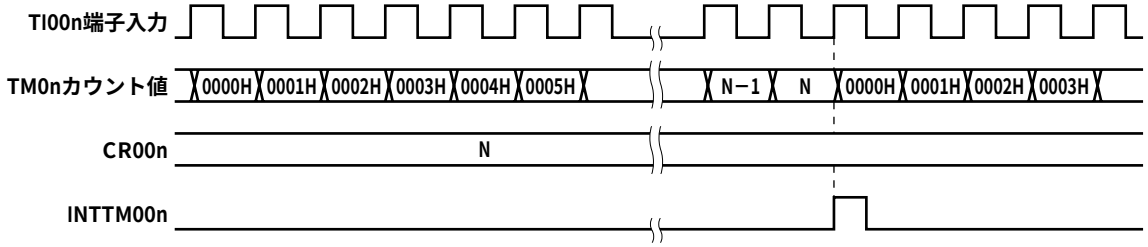
n = 0, 1

図7－32　外部イベント・カウンタの構成図



注　CR00nにFFFFHを設定した場合のみ，OVF0nは1になります。

図7－33　外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



注意　外部イベント・カウンタのカウント値を読み出す場合は，TM0nを読み出してください。

備考　n = 0, 1

7.4.5　方形波出力としての動作

設定方法

基本的な動作設定手順例は次のようになります。

① PRM0nレジスタによりカウント・クロック設定
② CRC0nレジスタの設定（設定値については図7－34参照）
③ TOC0nレジスタの設定（設定値については図7－34参照）
④ CR00nレジスタに任意の値（0000Hは設定できません）を設定
⑤ TMC0nレジスタ設定：動作開始（設定値については図7－34参照）

注意　TM0n動作中にCR00nを書き換えないでください。

備考1．TO0n端子の設定については，7.3（5）ポート・モード・レジスタ0（PM0）を参照してください。
2．INTTM00n割り込み許可の設定については，第19章　割り込み機能を参照してください。

16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）にあらかじめ設定したカウント値で決まるインターバルの，任意の周波数の方形波出力として動作します。

16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）のビット0（TOE0n）とビット1（TOC0n1）に1を設定することにより，CR00nにあらかじめ設定したカウント値＋1で決まるインターバルでTO0n端子の出力状態が反転します。これによって，任意の周波数の方形波出力が可能です。

図7－34　方形波出力モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

	7	6	5	4	TMC0n3	TMC0n2	TMC0n1	OVF0n
TMC0n	0	0	0	0	1	1	0	0

TM0nとCR00nの一致でクリア＆スタート

(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

	7	6	5	4	3	CRC0n2	CRC0n1	CRC0n0
CRC0n	0	0	0	0	0	0/1	0/1	0

CR00nをコンペア・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

	7	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
TOC0n	0	0	0	0	0/1	0/1	1	1

TO0n出力許可

TM0nとCR00nの一致により出力を反転

TO0n出力F/Fの初期値を指定（“11”は設定禁止）

TM0nとCR01nの一致により出力を反転しない

ワンショット・パルス出力禁止

(d) プリスケーラ・モード・レジスタ0n（PRM0n）

	ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
PRM0n	0/1	0/1	0/1	0/1	0	0	0/1	0/1

カウント・クロックの選択

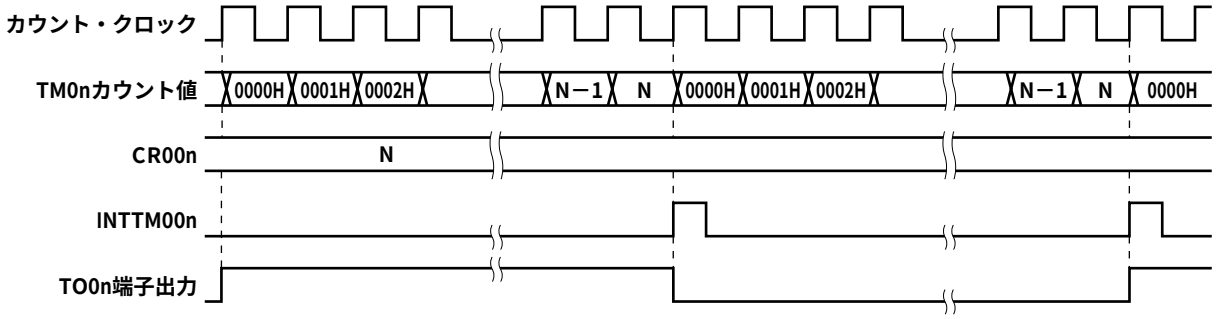
設定無効（“10”は設定禁止）

設定無効（“10”は設定禁止）

備考　0/1：0または1を設定することにより，方形波出力と同時にほかの機能を使用できます。詳細は，各制御レジスタの説明を参照してください。

n = 0, 1

図7－35　方形波出力動作のタイミング



備考　n = 0, 1

7.4.6　ワンショット・パルス出力としての動作

ソフトウエア・トリガおよび外部トリガ（TI00n端子入力）に同期したワンショット・パルスを出力できます。

設定方法

基本的な動作設定手順例は次のようになります。

① PRM0nレジスタによりカウント・クロック設定
② CRC0nレジスタの設定（設定値については図7－36, 7－38参照）
③ TOC0nレジスタの設定（設定値については図7－36, 7－38参照）
④ CR00n, CR01nレジスタに任意の値（0000Hは設定できません）を設定
⑤ TMC0nレジスタ設定：動作開始（設定値については図7－36, 7－38参照）

備考1．TO0n端子の設定については，7. 3（5）ポート・モード・レジスタ0（PM0）を参照してください。
2．INTTM00n（および必要な場合はINTTM01n）割り込み許可の設定については，第19章　割り込み機能を参照してください。

(1) ソフトウエア・トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n），キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）および16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）を図7－36のように設定し，ソフトウエアでTOC0nレジスタのビット6（OSPT0n）を1にセットすることにより，ワンショット・パルスをTO0n端子から出力します。

OSPT0nビットを1にセットすることにより，16ビット・タイマ／イベント・カウンタ0nがクリア＆スタートし，16ビット・タイマ・キャプチャ／コンペア・レジスタ01n（CR01n）にあらかじめ設定したカウント値（N）で出力がアクティブになります。その後，16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）にあらかじめ設定したカウント値（M）で出力がインアクティブとなります[注]。

ワンショット・パルス出力後も，TM0nレジスタは動作を継続しています。TM0nレジスタを停止させるためには，TMC0nレジスタのTMC0n3, TMC0n2ビットに00を設定する必要があります。

注　ここではN＜Mの場合の例です。N＞MのときはCR00nレジスタで出力がアクティブになり，CR01nレジスタでインアクティブとなります。N = Mは設定しないでください。

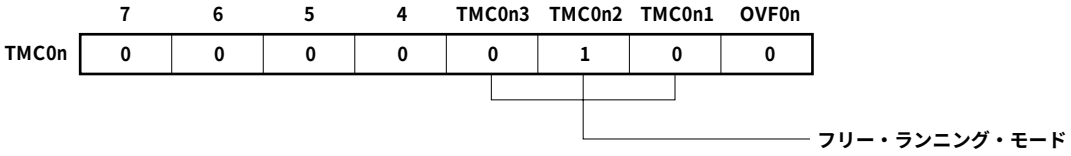
注意1．ワンショット・パルスを出力しているときに，再度OSPT0nビットを1にセットしないでください。
再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。

2．16ビット・タイマ／イベント・カウンタ0nのワンショット・パルス出力をソフトウエア・トリガで使用する場合，TI00n端子またはその兼用ポート端子のレベルを変化させないでください。この場合でも外部トリガは有効となっているので，TI00n端子またはその兼用ポート端子のレベルでもタイマがクリア＆スタートしてしまい，意図しないタイミングでパルスが出力されてしまいます。

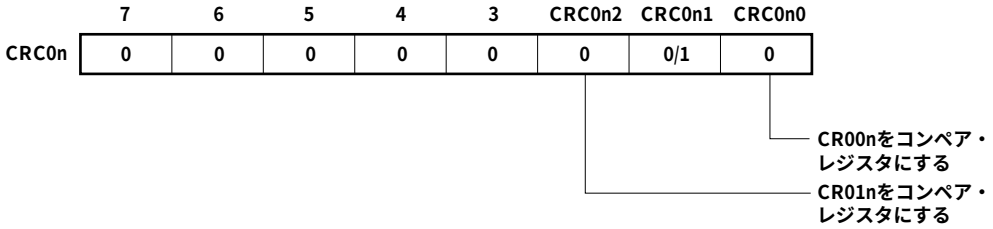
備考　n = 0, 1

図7－36　ソフトウエア・トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容

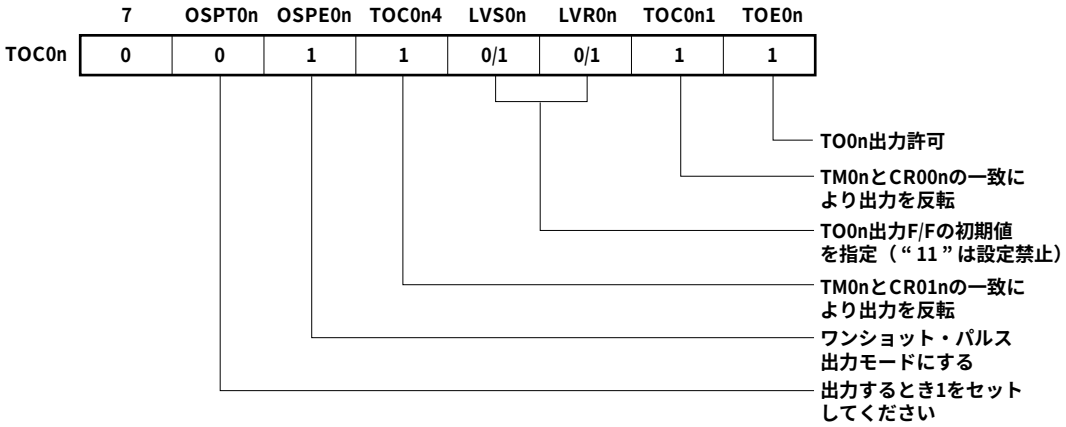
(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）



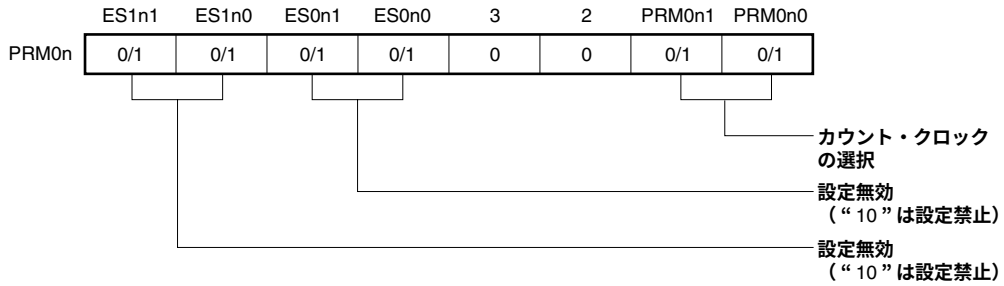
(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）



(c) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）



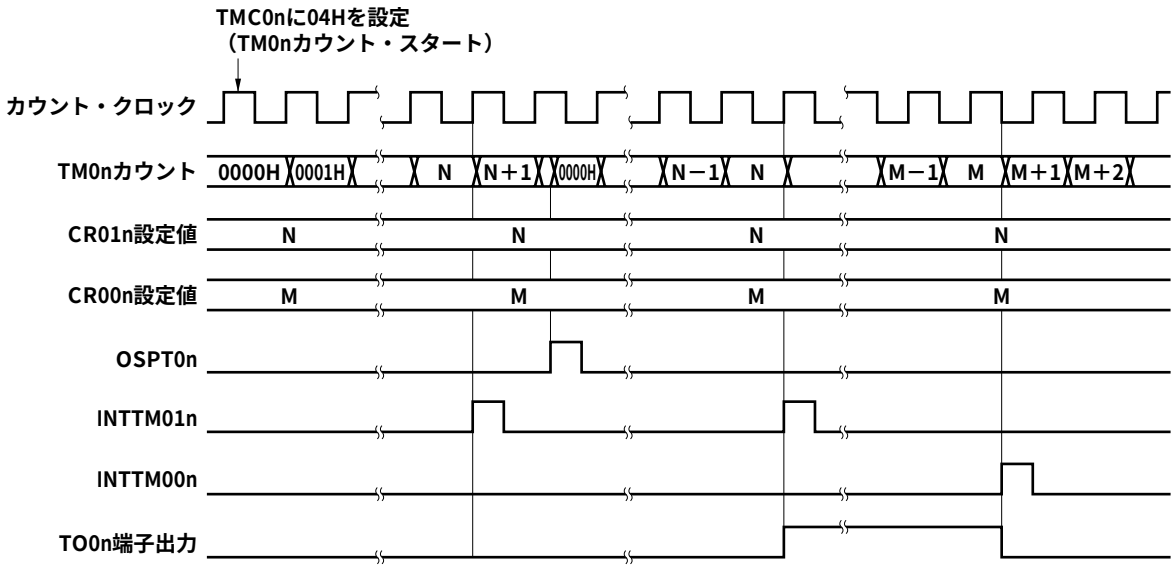
(d) プリスケーラ・モード・レジスタ0n（PRM0n）



注意　CR00n**レジスタと**CR01n**レジスタに**0000H**を設定しないでください。**

備考　n = 0, 1

図7－37　ソフトウエア・トリガによるワンショット・パルス出力動作のタイミング



注意　16ビット・タイマ・カウンタ0nは，TMC0n3, TMC0n2ビットに00（動作停止モード）以外の値を設定した時点で動作を開始します。

備考　N＜M

（2）外部トリガによるワンショット・パルス出力

16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n），キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）および16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）を図7－38のように設定し，TI00n端子の有効エッジを外部トリガとしてワンショット・パルスをTO0n端子から出力します。

TI00n端子の有効エッジ指定は，プリスケーラ・モード・レジスタ0n（PRM0n）のビット4, 5（ES0n0, ES0n1）で行い，立ち上がり，立ち下がり，両エッジの3種類の選択ができます。

TI00n端子への有効エッジで16ビット・タイマ／イベント・カウンタがクリア＆スタートし，16ビット・タイマ・キャプチャ／コンペア・レジスタ01n（CR01n）にあらかじめ設定したカウント値で出力がアクティブになります。その後，16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）にあらかじめ設定したカウント値で出力がインアクティブとなります[注]。

注　ここではN＜Mの場合の例です。N＞MのときはCR00nレジスタで出力がアクティブになり，CR01nレジスタでインアクティブとなります。N = Mは設定しないでください。

注意　ワンショット・パルスを出力しているときに，再度外部トリガを入力しないでください。
再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。

備考　n = 0, 1

図7－38　外部トリガによるワンショット・パルス出力動作時の制御レジスタ設定内容（立ち上がりエッジ指定時）

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）

	7	6	5	4	TMC0n3	TMC0n2	TMC0n1	OVF0n
TMC0n	0	0	0	0	1	0	0	0

TI00n端子への有効エッジでクリア＆スタート

(b) キャプチャ／コンペア・コントロール・レジスタ0n（CRC0n）

	7	6	5	4	3	CRC0n2	CRC0n1	CRC0n0
CRC0n	0	0	0	0	0	0	0/1	0

CR00nをコンペア・レジスタにする

CR01nをコンペア・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n（TOC0n）

	7	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
TOC0n	0	0	1	1	0/1	0/1	1	1

TO0n出力許可

TM0nとCR00nの一致により出力を反転

TO0n出力F/Fの初期値を指定（“11”は設定禁止）

TM0nとCR01nの一致により出力を反転

ワンショット・パルス出力モードにする

(d) プリスケーラ・モード・レジスタ0n（PRM0n）

	ES1n1	ES1n0	ES0n1	ES0n0	3	2	PRM0n1	PRM0n0
PRM0n	0/1	0/1	0	1	0	0	0/1	0/1

カウント・クロックの選択（“11”は設定禁止）

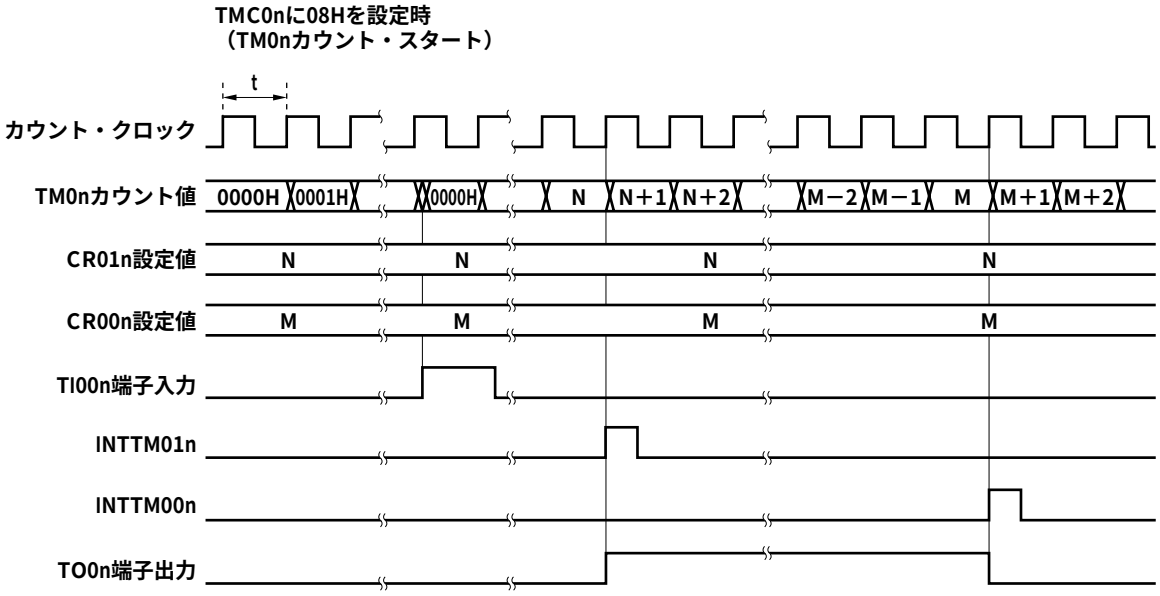
パルス幅検出の立ち上がりエッジ指定

設定無効（“10”は設定禁止）

注意　CR00n**レジスタと**CR01n**レジスタに**0000H**を設定しないでください。**

備考　n = 0, 1

図7－39　外部トリガによるワンショット・パルス出力動作のタイミング（立ち上がりエッジ指定時）



注意　16ビット・タイマ・カウンタ0nは，TMC0n3，TMC0n2ビットに00（動作停止モード）以外の値を設定した時点で動作を開始します。

備考　N＜M

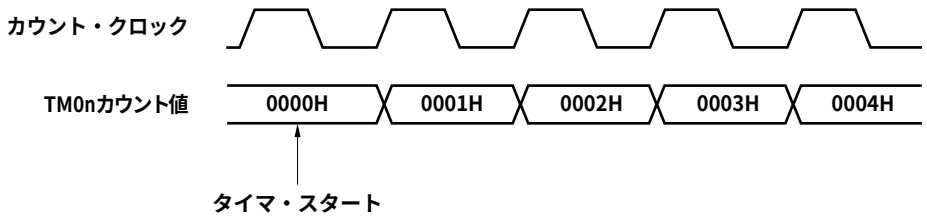
n = 0, 1

7. 5　16ビット・タイマ／イベント・カウンタ00, 01の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ0n（TM0n）が非同期でスタートするためです。

図7－40　16ビット・タイマ・カウンタ0n（TM0n）のスタート・タイミング



(2) 16ビット・タイマ・キャプチャ／コンペア・レジスタ00nの設定

TM0nとCR00nの一致でクリア＆スタート・モードの場合，16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）には，0000H以外の値を設定してください。したがって，外部イベント・カウンタとして使用時，1パルスのカウント動作はできません。

(3) キャプチャ・レジスタのデータ保持

16ビット・タイマ／イベント・カウンタ0n停止後の，16ビット・タイマ・キャプチャ／コンペア・レジスタ00n, 01n（CR00n, CR01n）の値は保証されません。

(4) 有効エッジの設定

TI00n端子の有効エッジは，16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）のビット2, 3（TMC0n2, TMC0n3）に0, 0を設定し，タイマ動作を停止させたあとに設定してください。有効エッジは，プリスケーラ・モード・レジスタ0n（PRM0n）のビット4, 5（ES0n0, ES0n1）で設定します。

(5) ワンショット・パルスの再トリガ

(a) ソフトウエアによるワンショット・パルス出力

ワンショット・パルスを出力しているときに，再度OSPT0nビットを1にセットしないでください。再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。

(b) 外部トリガによるワンショット・パルス出力

ワンショット・パルスを出力しているときに，再度，外部トリガを入力しないでください。

再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。

備考　n = 0, 1

(c) ワンショット・パルス出力機能について

16ビット・タイマ／イベント・カウンタ0nのワンショット・パルス出力をソフトウエア・トリガで使用する場合，TI00n端子またはその兼用ポート端子のレベルを変化させないでください。

この場合でも外部トリガは有効となっているので，TI00n端子またはその兼用ポート端子のレベルでもタイマがクリア＆スタートしてしまい，意図しないタイミングでパルスが出力されてしまいます。

(6) OVF0nフラグの動作

① OVF0nフラグは，次のときにも“1”に設定されます。

TM0nとCR00nの一致でクリア＆スタート，TI00n端子の有効エッジでクリア＆スタート，フリー・ランニングのいずれかのモードを選択

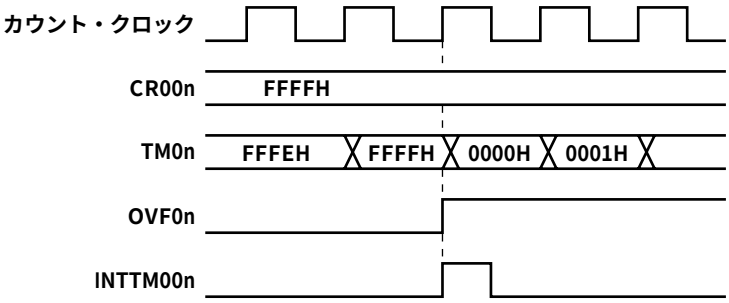
↓

CR00nをFFFFHに設定

↓

TM0nがFFFFHから0000Hにカウント・アップするとき

図7－41　OVF0nフラグの動作タイミング



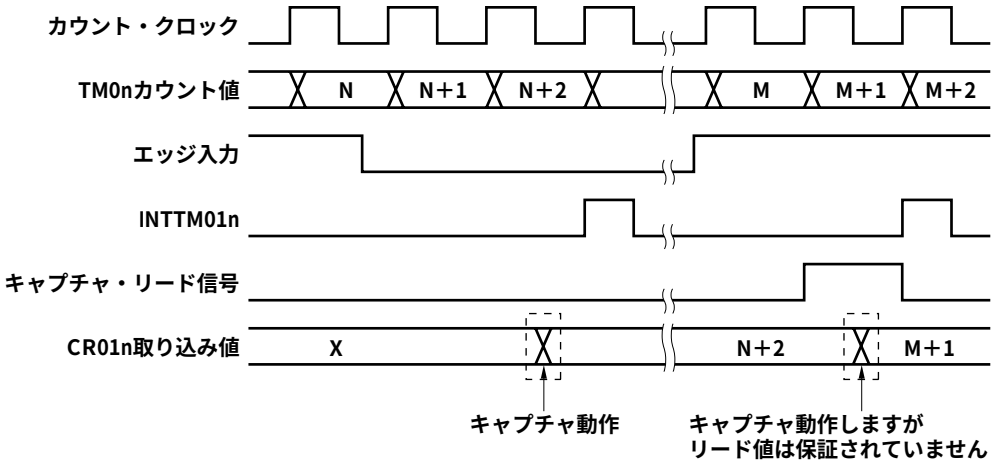
② TM0nがオーバフロー後，次のカウント・クロックがカウントされる（TM0nが0001Hになる）前にOVF0nフラグをクリアしても，再度セットされ，クリアは無効となります。

備考　n = 0, 1

(7) 競合動作について

16ビット・タイマ・キャプチャ／コンペア・レジスタ（CR00n/CR01n）のリード期間とキャプチャ・トリガ入力が競合（CR00n/CR01nはキャプチャ・レジスタとして使用）する場合は，キャプチャ・トリガ入力が優先されます。CR00n/CR01nのリード・データは不定となります。

図7－42　キャプチャ・レジスタのデータ保持タイミング



(8) タイマ動作について

① 16ビット・タイマ・カウンタ0n（TM0n）をリードしても，16ビット・タイマ・キャプチャ／コンペア・レジスタ01n（CR01n）にはキャプチャしません。

② CPUの動作モードに関係なく，タイマが停止していると，TI00n/TI01n端子への入力信号は受け付けられません。

③ ワンショット・パルス出力は，フリー・ランニング・モードまたはTI00n端子の有効エッジでクリア＆スタート・モードでのみ正常に動作します。TM0nとCR00nの一致でクリア＆スタート・モードでは，オーバフローしないため，ワンショット・パルス出力ができません。

(9) キャプチャ動作について

① カウント・クロックにTI00n端子の有効エッジを指定した場合，TI00n端子をトリガに指定したキャプチャ・レジスタは正常に動作できません。

② 確実にキャプチャするためのキャプチャ・トリガは，プリスケーラ・モード・レジスタ0n（PRM0n）で選択したカウント・クロックの2周期分より長いパルスを必要とします。

備考　n = 0, 1

③　キャプチャ動作はカウント・クロックの立ち下がりで行われますが，割り込み要求入力（INTTM00n/INTTM01n）は次のカウント・クロックの立ち上がりで発生します。

（10）コンペア動作について

コンペア・モードに設定したCR00n/CR01nは，キャプチャ・トリガが入力されてもキャプチャ動作を行いません。

（11）エッジ検出について

①　システム・リセット直後にTI00n端子またはTI01n端子がハイ・レベルの場合，TI00n端子またはTI01n端子の有効エッジを立ち上がりまたは両エッジに指定し，16ビット・タイマ・カウンタ0n（TM0n）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし，動作を停止させたあとの再動作許可時にTI00n端子またはTI01n端子がハイ・レベルの場合は，立ち上がりエッジは検出されません。

②　TI00n端子の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで，ノイズ除去のためのサンプリング・クロックが異なります。前者はfxで，後者はプリスケーラ・モード・レジスタ0n（PRM0n）で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして，有効レベルを2回検出することではじめてキャプチャ動作するため，短いパルス幅のノイズを除去できます。

備考　n = 0, 1

第8章　8ビット・タイマ／イベント・カウンタ50, 51

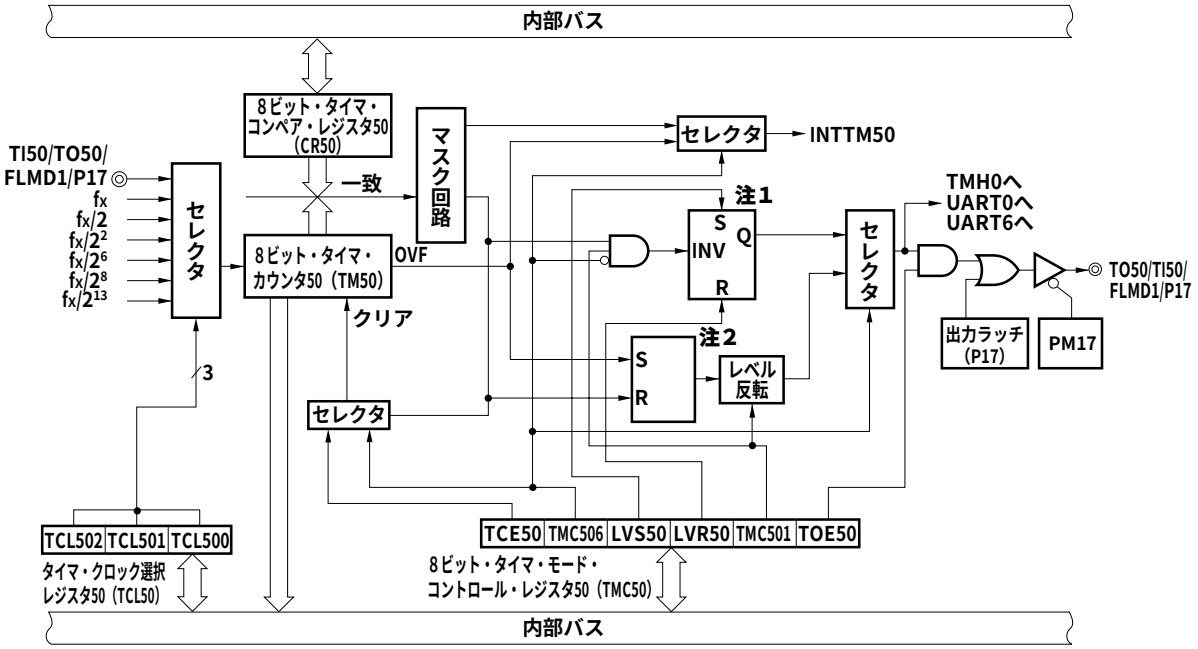
8. 1　8ビット・タイマ／イベント・カウンタ50, 51の機能

8ビット・タイマ／イベント・カウンタ50, 51は，次のような機能として使用できます。

- インターバル・タイマ
- 外部イベント・カウンタ
- 方形波出力
- PWM出力

図8－1，図8－2に，8ビット・タイマ／イベント・カウンタ50, 51のブロック図を示します。

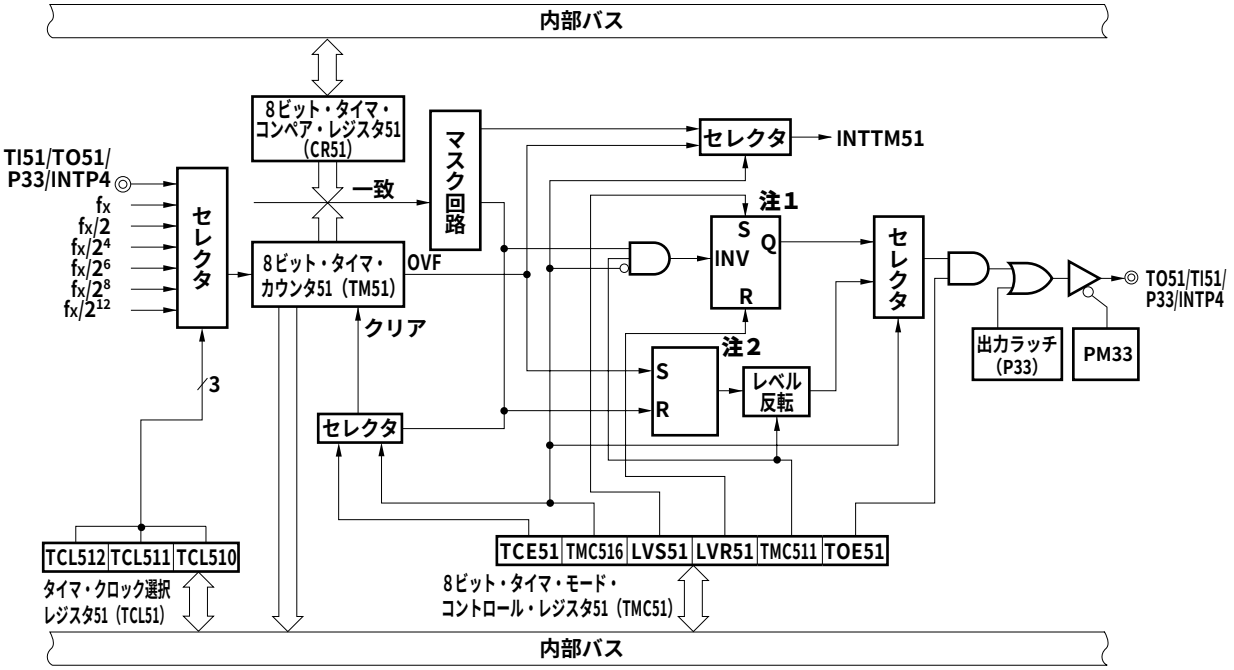
図8－1　8ビット・タイマ／イベント・カウンタ50のブロック図



注1．タイマ出力F/F

2．PWM出力F/F

図8－2　8ビット・タイマ／イベント・カウンタ51のブロック図



注1．**タイマ出力**F/F

2．PWM**出力**F/F

8. 2　8ビット・タイマ／イベント・カウンタ50, 51の構成

8ビット・タイマ／イベント・カウンタ50, 51は，次のハードウエアで構成されています。

表8－1　8ビット・タイマ／イベント・カウンタ50, 51の構成

項　　目	構　　成
タイマ・レジスタ	8ビット・タイマ・カウンタ5n（TM5n）
レジスタ	8ビット・タイマ・コンペア・レジスタ5n（CR5n）
タイマ入力	TI5n
タイマ出力	TO5n
制御レジスタ	タイマ・クロック選択レジスタ5n（TCL5n） 8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n） ポート・モード・レジスタ1（PM1）またはポート・モード・レジスタ3（PM3） ポート・レジスタ1（P1）またはポート・レジスタ3（P3）

(1) 8ビット・タイマ・カウンタ5n（TM5n）

TM5nは，カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメントします。

図8－3　8ビット・タイマ・カウンタ5n（TM5n）のフォーマット

アドレス：FF16H（TM50），FF1FH（TM51）　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
TM5n (n = 0, 1)								

次の場合，カウント値は00Hになります。

① $\overline{\text{RESET}}$入力

② TCE5nをクリア

③ TM5nとCR5nの一致でクリア＆スタート・モード時のTM5nとCR5nの一致

(2) 8ビット・タイマ・コンペア・レジスタ5n（CR5n）

CR5nは，8ビット・メモリ操作でリード／ライト可能なレジスタです。

PWMモード以外ではCR5nに設定した値と，8ビット・タイマ・カウンタ5n（TM5n）のカウント値を常に比較し，その2つの値が一致したときに，割り込み要求（INTTM5n）を発生します。

PWMモード時は，TM5nのオーバフローによりTO5n端子がアクティブ・レベルになり，TM5nとCR5nの値が一致するとTO5n端子はインアクティブ・レベルになります。

CR5nの値は，00H-FFHの範囲で設定できます。

$\overline{\text{RESET}}$入力により，00Hになります。

備考　n = 0, 1

図8－4　8ビット・タイマ・コンペア・レジスタ5n（CR5n）のフォーマット

アドレス：FF17H（CR50），FF41H（CR51）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CR5n （n = 0, 1）								

注意1．TM5n**と**CR5n**の一致でクリア＆スタート・モード（**TMC5n6 = 0**）時は，動作中に**CR5n**に異なる値を書き込まないでください。**

2．PWM**モード時は，**CR5n**の書き換え間隔をカウント・クロック（**TCL5n**で選択したクロック）の**3**カウント・クロック以上にしてください。**

備考　n = 0, 1

8. 3　8ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタには，次の4種類があります。

- タイマ・クロック選択レジスタ5n（TCL5n）
- 8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）
- ポート・モード・レジスタ1（PM1）またはポート・モード・レジスタ3（PM3）
- ポート・レジスタ1（P1）またはポート・レジスタ3（P3）

(1) タイマ・クロック選択レジスタ5n（TCL5n）

8ビット・タイマ／イベント・カウンタ5nのカウント・クロックおよびTI5n端子入力の有効エッジを設定するレジスタです。

TCL5nは，8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

備考　n = 0, 1

図8－5　タイマ・クロック選択レジスタ50（TCL50）のフォーマット

アドレス：FF6AH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	カウント・クロックの選択[注]
0	0	0	TI50端子の立ち下がりエッジ
0	0	1	TI50端子の立ち上がりエッジ
0	1	0	f_X　(10 MHz)
0	1	1	$f_X/2$　(5 MHz)
1	0	0	$f_X/2^2$　(2.5 MHz)
1	0	1	$f_X/2^6$　(156.25 kHz)
1	1	0	$f_X/2^8$　(39.06 kHz)
1	1	1	$f_X/2^{13}$　(1.22 kHz)

注　カウント・クロックは次の条件を満たすように設定してください。

- V_{DD} = 4.0～5.5 V：カウント・クロック≦10 MHz
- V_{DD} = 3.3～4.0 V：カウント・クロック≦8.38 MHz
- V_{DD} = 2.7～3.3 V：カウント・クロック≦5 MHz
- ★ V_{DD} = 2.5～2.7 V：カウント・クロック≦2.5 MHz（標準品，（A）水準品のみ）

注意1．CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，8ビット・タイマ／イベント・カウンタ50の動作は保証されません。

2．TCL50を同一データ以外に書き換える場合は，いったんタイマ動作を停止させてから書き換えてください。

3．ビット3-7には必ず“0”を設定してください。

備考1．fx：高速システム・クロック発振周波数

2．（　）内は，fx = 10 MHz動作時。

図8－6　タイマ・クロック選択レジスタ51（TCL51）のフォーマット

アドレス：FF8CH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	カウント・クロックの選択注
0	0	0	TI51の立ち下がりエッジ
0	0	1	TI51の立ち上がりエッジ
0	1	0	fx　（10 MHz）
0	1	1	fx/2　（5 MHz）
1	0	0	$f_x/2^4$　（625 kHz）
1	0	1	$f_x/2^6$　（156.25 kHz）
1	1	0	$f_x/2^8$　（39.06 kHz）
1	1	1	$f_x/2^{12}$　（2.44 kHz）

注　カウント・クロックは次の条件を満たすように設定してください。

- V_{DD} = 4.0～5.5 V：カウント・クロック≦10 MHz
- V_{DD} = 3.3～4.0 V：カウント・クロック≦8.38 MHz
- V_{DD} = 2.7～3.3 V：カウント・クロック≦5 MHz
- ★ V_{DD} = 2.5～2.7 V：カウント・クロック≦2.5 MHz（標準品，（A）水準品のみ）

注意1．CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，8ビット・タイマ／イベント・カウンタ51の動作は保証されません。

2．TCL51を同一データ以外に書き換える場合は，いったんタイマ動作を停止させてから書き換えてください。

3．ビット3-7には必ず“0”を設定してください。

備考1．fx：高速システム・クロック発振周波数

2．（　）内は，fx = 10 MHz動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）

TMC5nは，次の5種類の設定を行うレジスタです。

① 8ビット・タイマ・カウンタ5n（TM5n）のカウント動作制御
② 8ビット・タイマ・カウンタ5n（TM5n）の動作モードの選択
③ タイマ出力F/F（フリップフロップ）の状態設定
④ タイマF/Fの制御またはPWM（フリー・ランニング）モード時のアクティブ・レベルの選択
⑤ タイマ出力の制御

TMC5nは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
$\overline{\text{RESET}}$入力により00Hになります。

備考　n = 0, 1

図8－7　8ビット・タイマ・モード・コントロール・レジスタ50（TMC50）のフォーマット

アドレス：FF6BH　　リセット時：00H　　R/W注

略号	7	6	5	4	3	2	1	0
TMC50	TCE50	TMC506	0	0	LVS50	LVR50	TMC501	TOE50

TCE50	TM50のカウント動作制御
0	カウンタを0にクリア後，カウント動作禁止（カウンタ停止）
1	カウント動作開始

TMC506	TM50の動作モード選択
0	TM50とCR50の一致でクリア＆スタート・モード
1	PWM（フリー・ランニング）モード

LVS50	LVR50	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット（0）
1	0	タイマ出力F/Fをセット（1）
1	1	設定禁止

TMC501	PWMモード以外（TMC506 = 0）	PWMモード（TMC506 = 1）
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE50	タイマ出力の制御
0	出力禁止（TM50の出力はロウ・レベル出力）
1	出力許可

注　ビット2, 3はWrite Onlyです。

（注意と備考は次々頁にあります。）

図8－8　8ビット・タイマ・モード・コントロール・レジスタ51（TMC51）のフォーマット

アドレス：FF43H　　リセット時：00H　　R/W注

略号	7	6	5	4	3	2	1	0
TMC51	TCE51	TMC516	0	0	LVS51	LVR51	TMC511	TOE51

TCE51	TM51のカウント動作制御
0	カウンタを0にクリア後，カウント動作禁止（カウンタ停止）
1	カウント動作開始

TMC516	TM51の動作モード選択
0	TM51とCR51の一致でクリア＆スタート・モード
1	PWM（フリー・ランニング）モード

LVS51	LVR51	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット（0）
1	0	タイマ出力F/Fをセット（1）
1	1	設定禁止

TMC511	PWMモード以外（TMC516 = 0）	PWMモード（TMC516 = 1）
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE51	タイマ出力の制御
0	出力禁止（TM51の出力はロウ・レベル出力）
1	出力許可

注　ビット2, 3はWrite Onlyです。

（注意と備考は次頁にあります。）

注意1．LVS5nとLVR5nの設定は，PWMモード時以外で有効になります。

2．次の①～④の設定は同時に行わないでください。また設定は次の手順で行ってください。

① TMC5n1, TMC5n6を設定　　：動作モードの設定

② 出力を許可する場合，TOE5nを設定：タイマ出力許可

③ LVS5n, LVR5nを設定（注意1）　　：タイマF/Fの設定

④ TCE5nを設定

3．TMC5n6を書き換える場合は，動作を停止してから行ってください。

備考1．PWMモード時は，TCE5n = 0により，PWM出力はインアクティブ・レベルになります。

2．LVS5n，LVR5nは読み出すと，0になっています。

3．TMC5n6, LVS5n, LVR5n, TMC5n1, TOE5nの各ビットの値は，TCE5nの値に関係なくTO5n端子に反映されます。

4．n = 0, 1

(3) ポート・モード・レジスタ1, 3（PM1, PM3）

ポート1, 3の入力／出力を1ビット単位で設定するレジスタです。

P17/TO50/TI50/FLMD1, P33/TO51/TI51/INTP4端子をタイマ出力として使用するとき，PM17, PM33およびP17, P33の出力ラッチに0を設定してください。

P17/TO50/TI50/FLMD1, P33/TO51/TI51/INTP4端子をタイマ入力として使用するとき，PM17, PM33に1を設定してください。このとき，P17, P33の出力ラッチは0または1のどちらでもかまいません。

PM1, PM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

図8－9　ポート・モード・レジスタ1（PM1）のフォーマット

アドレス：FF21H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

図8－10　ポート・モード・レジスタ3（PM3）のフォーマット

アドレス：FF23H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択（n = 0-3）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

8.4　8ビット・タイマ／イベント・カウンタ50, 51の動作

8.4.1　インターバル・タイマとしての動作

8ビット・タイマ・コンペア・レジスタ5n（CR5n）にあらかじめ設定したカウント値をインターバルとし，繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

8ビット・タイマ・カウンタ5n（TM5n）のカウント値がCR5nに設定した値と一致したとき，TM5nの値を0にクリアしてカウントを継続すると同時に，割り込み要求信号（INTTM5n）を発生します。

タイマ・クロック選択レジスタ5n（TCL5n）のビット0-2（TCL5n0-TCL5n2）でTM5nのカウント・クロックを選択できます。

設定方法

① 各レジスタの設定を行います。

- TCL5n　：カウント・クロックの選択
- CR5n　：コンペア値
- TMC5n　：カウント動作停止，TM5nとCR5nの一致でクリア＆スタート・モードを選択
  （TMC5n = 0000×××0B　× = don't care）

② TCE5n = 1を設定すると，カウント動作を開始します。

③ TM5nとCR5nの値が一致すると，INTTM5nが発生します（TM5nは00Hにクリアされます）。

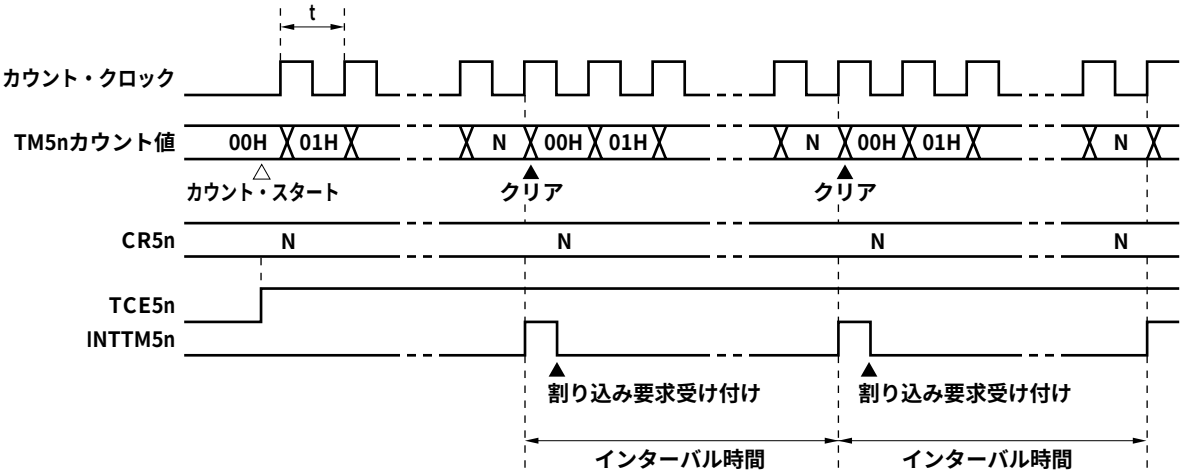
④ 以後，同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは，TCE5n = 0にしてください。

注意　動作中にCR5nに異なる値を書き込まないでください。

備考　n = 0, 1

図8－11　インターバル・タイマ動作のタイミング（1/2）

（a）基本動作



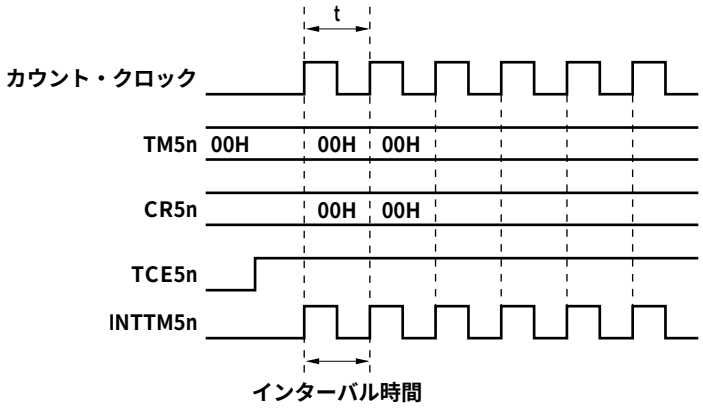
備考　**インターバル時間** =（N＋1）×t

N = 01H-FEH

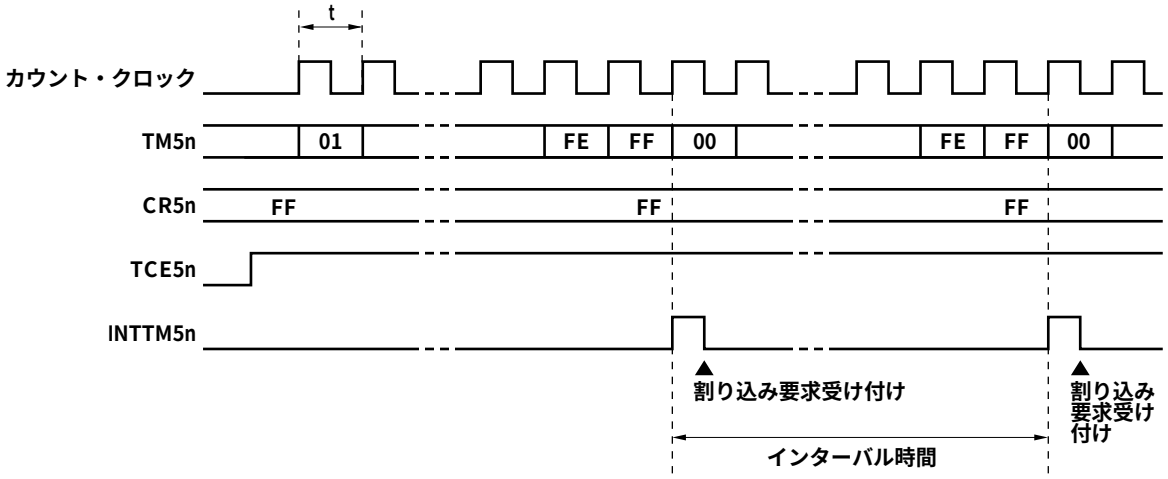
n = 0, 1

図8－11　インターバル・タイマ動作のタイミング（2/2）

（b）CR5n = 00H**の場合**



（c）CR5n = FFH**の場合**



備考　n = 0, 1

8. 4. 2　外部イベント・カウンタとしての動作

外部イベント・カウンタは，TI5n端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n（TM5n）でカウントするものです。

タイマ・クロック選択レジスタ5n（TCL5n）で指定した有効エッジが入力されるたびに，TM5nがインクリメントされます。エッジ指定は，立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・タイマ・コンペア・レジスタ5n（CR5n）の値と一致すると，TM5nは0にクリアされ，割り込み要求信号（INTTM5n）が発生します。

以後，TM5nの値とCR5nの値が一致するたびに，INTTM5nが発生します。

設定方法

① 各レジスタの設定を行います。

・ポート・モード・レジスタ（PM17, PM33）[注]に“1”を設定

・TCL5n　：TI5n端子入力のエッジ選択
　TI5n端子の立ち下がり→TCL5n = 00H
　TI5n端子の立ち上がり→TCL5n = 01H

・CR5n　：コンペア値

・TMC5n　：カウント動作停止，TM5nとCR5nの一致でクリア＆スタート・モード選択，タイマF/F反転動作禁止，タイマ出力禁止
　（TMC5n = 0000××00B　× = don't care）

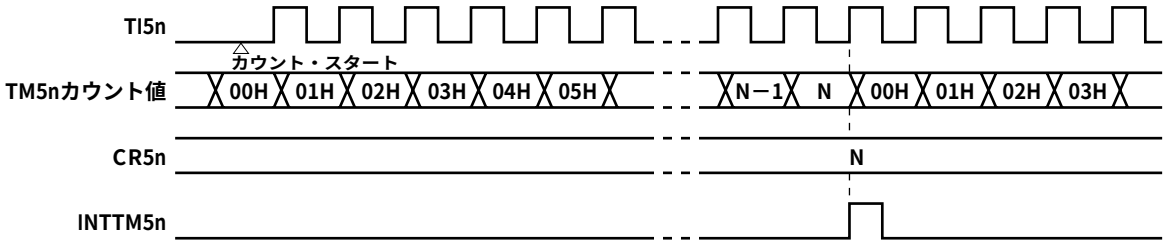
② TCE5n = 1を設定すると，TI5n端子から入力されるパルス数をカウントします。

③ TM5nとCR5nの値が一致すると，INTTM5nが発生します（TM5nは00Hにクリアされます）。

④ 以後，TM5nとCR5nの値が一致するたびに，INTTM5nが発生します。

注　8ビット・タイマ／イベント・カウンタ50：PM17
　8ビット・タイマ／イベント・カウンタ51：PM33

図8－12　外部イベント・カウンタ動作のタイミング（立ち上がりエッジ指定時）



備考　N = 00H-FFH
　n = 0, 1

8.4.3　方形波出力としての動作

8ビット・タイマ・コンペア・レジスタ5n（CR5n）にあらかじめ設定した値で決まるインターバルの，任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット0（TOE5n）に1を設定することにより，CR5nにあらかじめ設定したカウント値で決まるインターバルでTO5nの出力状態が反転します。これにより，任意の周波数の方形波出力（デューティ= 50 %）が可能です。

設定方法

① 各レジスタの設定を行います。

・ポートの出力ラッチ（P17, P33）[注]，ポート・モード・レジスタ（PM17, PM33）[注]に“0”を設定

・TCL5n　：カウント・クロックの選択

・CR5n　：コンペア値

・TMC5n　：カウント動作停止，TM5nとCR5nの一致でクリア＆スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可

（TMC5n = 00001011Bまたは00000111B）

② TCE5n = 1を設定すると，カウント動作を開始します。

③ TM5nとCR5nの値が一致すると，タイマ出力F/Fが反転します。

また，INTTM5nが発生し，TM5nは00Hにクリアされます。

④ 以後，同一間隔でタイマ出力F/Fが反転し，TO5nから方形波が出力されます。

周波数は次のようになります。

・周波数= 1/2 t（N＋1）

（N：00H-FFH）

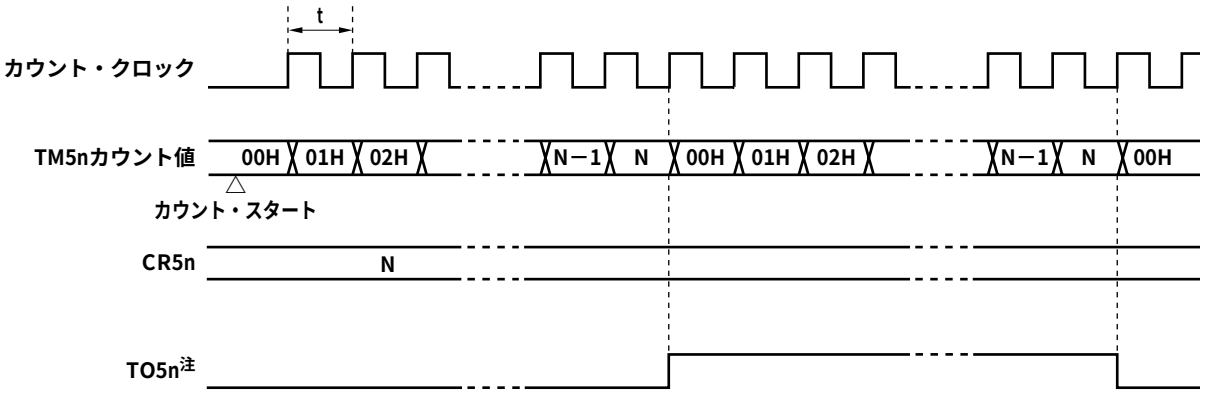
注　8ビット・タイマ／イベント・カウンタ50：P17, PM17

8ビット・タイマ／イベント・カウンタ51：P33, PM33

注意　動作中にCR5nに異なる値を書き込まないでください。

備考　n = 0, 1

図8－13　方形波出力動作のタイミング



注　TO5n出力の初期値は，8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット2, 3（LVR5n, LVS5n）で設定できます。

8.4.4　PWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n（TMC5n）のビット6（TMC5n6）を“1”に設定することにより，PWM出力として動作します。

8ビット・タイマ・コンペア・レジスタ5n（CR5n）に設定した値で決まるデューティのパルスを，TO5nから出力します。

PWMパルスのアクティブ・レベルの幅は，CR5nに設定してください。また，アクティブ・レベルは，TMC5nのビット1（TMC5n1）により選択できます。

カウント・クロックは，タイマ・クロック選択レジスタ5n（TCL5n）のビット0-2（TCL5n0-TCL5n2）で選択できます。

TMC5nのビット0（TOE5n）により，PWM出力の許可／禁止が選択できます。

注意　PWMモード時は，CR5nの書き換え間隔をカウント・クロック（TCL5nで選択したクロック）の3カウント・クロック以上にしてください。

備考　n = 0, 1

(1) PWM出力の基本動作

設定方法

① 各レジスタの設定を行います。

・ポートの出力ラッチ（P17, P33）[注]，ポート・モード・レジスタ（PM17, PM33）[注]に“0”を設定

・TCL5n　：カウント・クロックの選択

・CR5n　：コンペア値

・TMC5n　：カウント動作停止，PWMモード選択，タイマ出力F/F変化なし

TMC5n1	アクティブ・レベルの選択
0	ハイ・アクティブ
1	ロウ・アクティブ

タイマ出力許可

（TMC5n = 01000001Bまたは01000011B）

② TCE5n = 1に設定すると，カウント動作を開始します。

カウント動作を停止するときは，TCE5nに“0”を設定してください。

注　8ビット・タイマ／イベント・カウンタ50：P17, PM17

8ビット・タイマ／イベント・カウンタ51：P33, PM33

PWM出力の動作

① PWM出力（TO5nからの出力）はオーバフローが発生するまでインアクティブ・レベルを出力します。

② オーバフローが発生すると，アクティブ・レベルを出力します。アクティブ・レベルは，CR5nと8ビット・タイマ・カウンタ5n（TM5n）のカウント値が一致するまで出力されます。

③ CR5nとカウント値が一致すると，インアクティブ・レベルを出力し，再度オーバフローが発生するまでインアクティブ・レベルを出力します。

④ 以後，カウント動作が停止されるまで②，③を繰り返します。

⑤ TCE5n = 0によりカウント動作を停止すると，PWM出力はインアクティブ・レベルになります。

詳細なタイミングについては，図8ー14, 8ー15を参照してください。

周期，アクティブ・レベル幅，デューティは次のようになります。

・周期 = 2^8t

・アクティブ・レベル幅= Nt

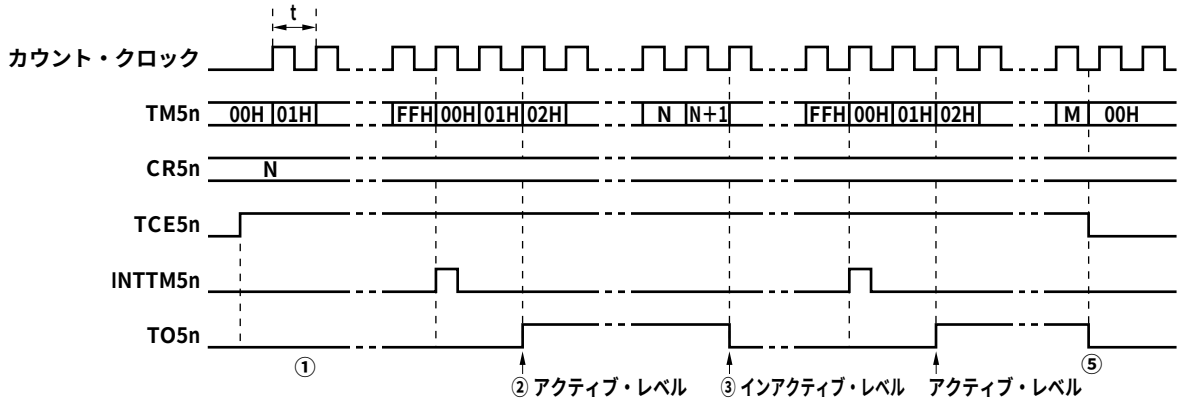
・デューティ= N/2^8

（N = 00H-FFH）

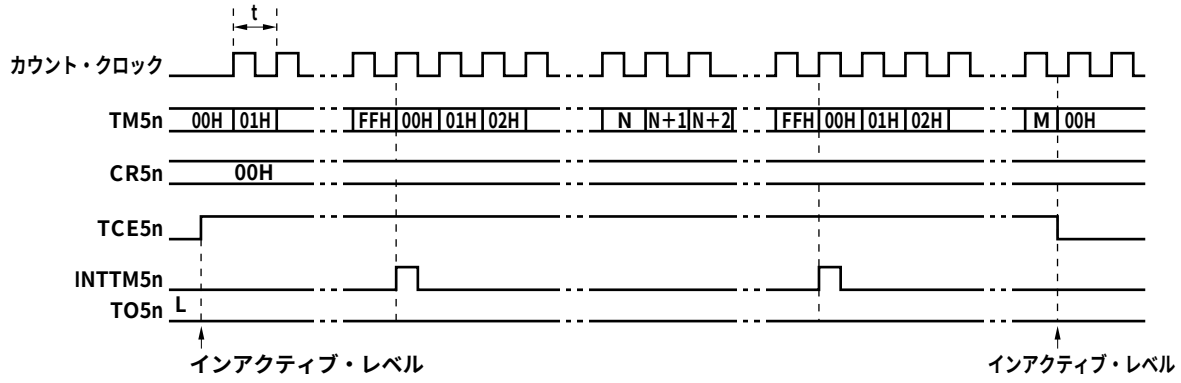
備考　n = 0, 1

図8－14　PWM出力動作のタイミング

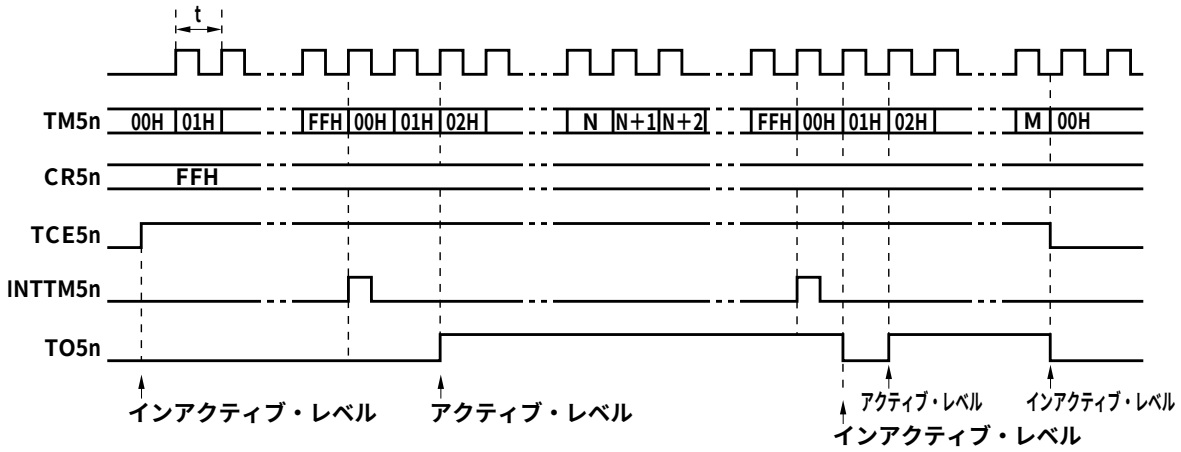
(a) 基本動作（アクティブ・レベル = Hのとき）



(b) CR5n = 00Hの場合



(c) CR5n = FFHの場合



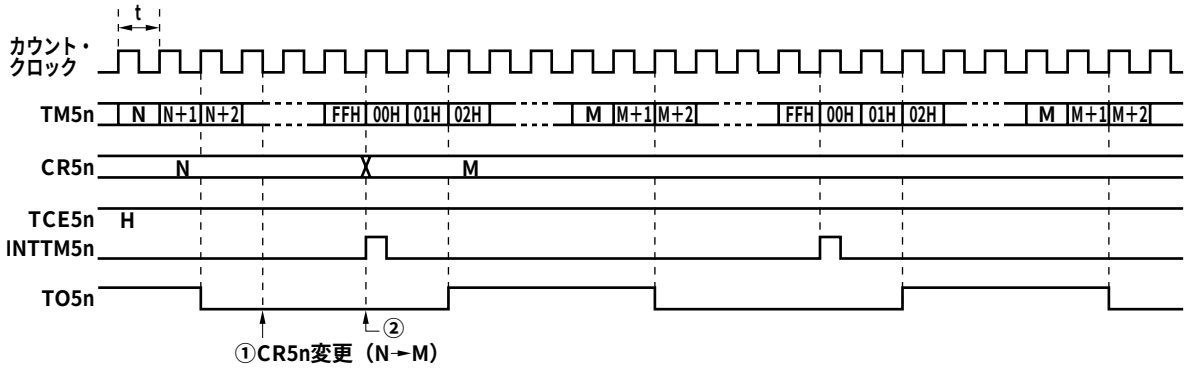
備考1．図8－14（a）の①-③，⑤は，8. 4. 4（1）PWM出力の基本動作 PWM出力の動作 の①-③，⑤と対応しています。

2．n = 0, 1

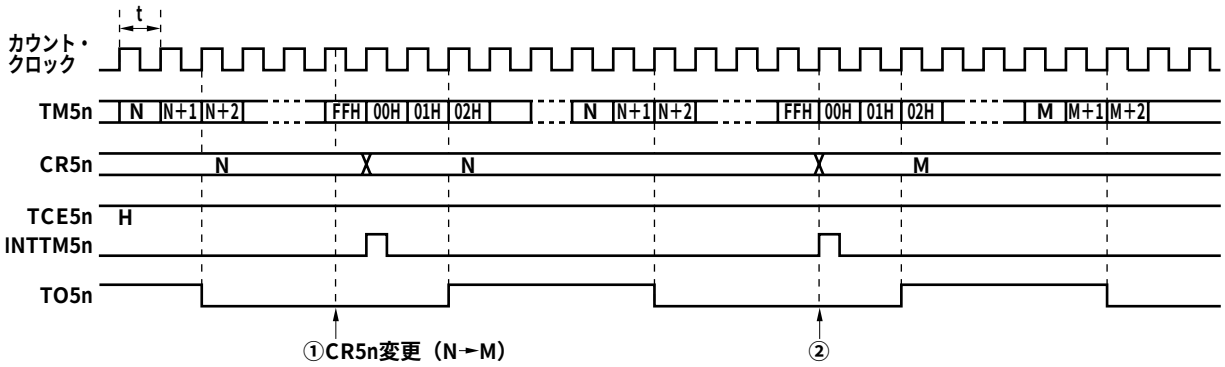
（2）CR5n変更による動作

図8－15　CR5n変更による動作のタイミング

（a）CR5nの値をFFHのクロック立ち上がりエッジよりも手前にN→Mに変更した場合
→直後のオーバフローでCR5nに値が転送されます



（b）CR5nの値をFFHのクロック立ち上がりエッジよりも後にN→Mに変更した場合
→2回目のオーバフローでCR5nに値が転送されます



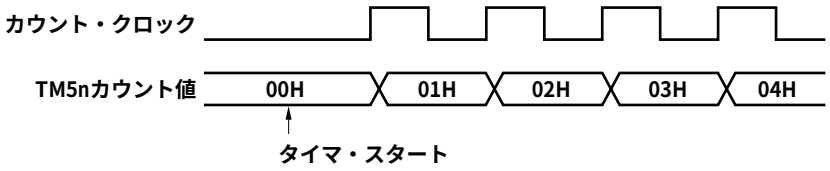
注意　図8－15の①から②の間でCR5nからリードする場合，実際に動作する値と異なります（リード値：M，実際のCR5nの値：N）。

8. 5　8ビット・タイマ／イベント・カウンタ50, 51の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1クロック分の誤差が生じます。これは，カウント・クロックに対して8ビット・タイマ・カウンタ50, 51（TM50, TM51）が非同期でスタートするためです。

図8－16　8ビット・タイマ・カウンタ5nのスタート・タイミング



備考　n = 0, 1

第9章　8ビット・タイマH0, H1

9. 1　8ビット・タイマH0, H1の機能

8ビット・タイマH0, H1には，次のような機能があります。

- インターバル・タイマ
- PWM出力モード
- 方形波出力
- キャリア・ジェネレータ・モード（8ビット・タイマH1のみ）

9. 2　8ビット・タイマH0, H1の構成

8ビット・タイマH0, H1は，次のハードウエアで構成されています。

表9－1　8ビット・タイマH0, H1の構成

項　　目	構　　成
タイマ・レジスタ	8ビット・タイマ・カウンタHn
レジスタ	8ビット・タイマHコンペア・レジスタ0n（CMP0n） 8ビット・タイマHコンペア・レジスタ1n（CMP1n）
タイマ出力	TOHn
制御レジスタ	8ビット・タイマHモード・レジスタn（TMHMDn） 8ビット・タイマHキャリア・コントロール・レジスタ1（TMCYC1）注 ポート・モード・レジスタ1（PM1） ポート・レジスタ1（P1）

注　8ビット・タイマH1のみ。

備考　n = 0, 1

図9－1と9－2にブロック図を示します。

図9ー1　8ビット・タイマH0のブロック図

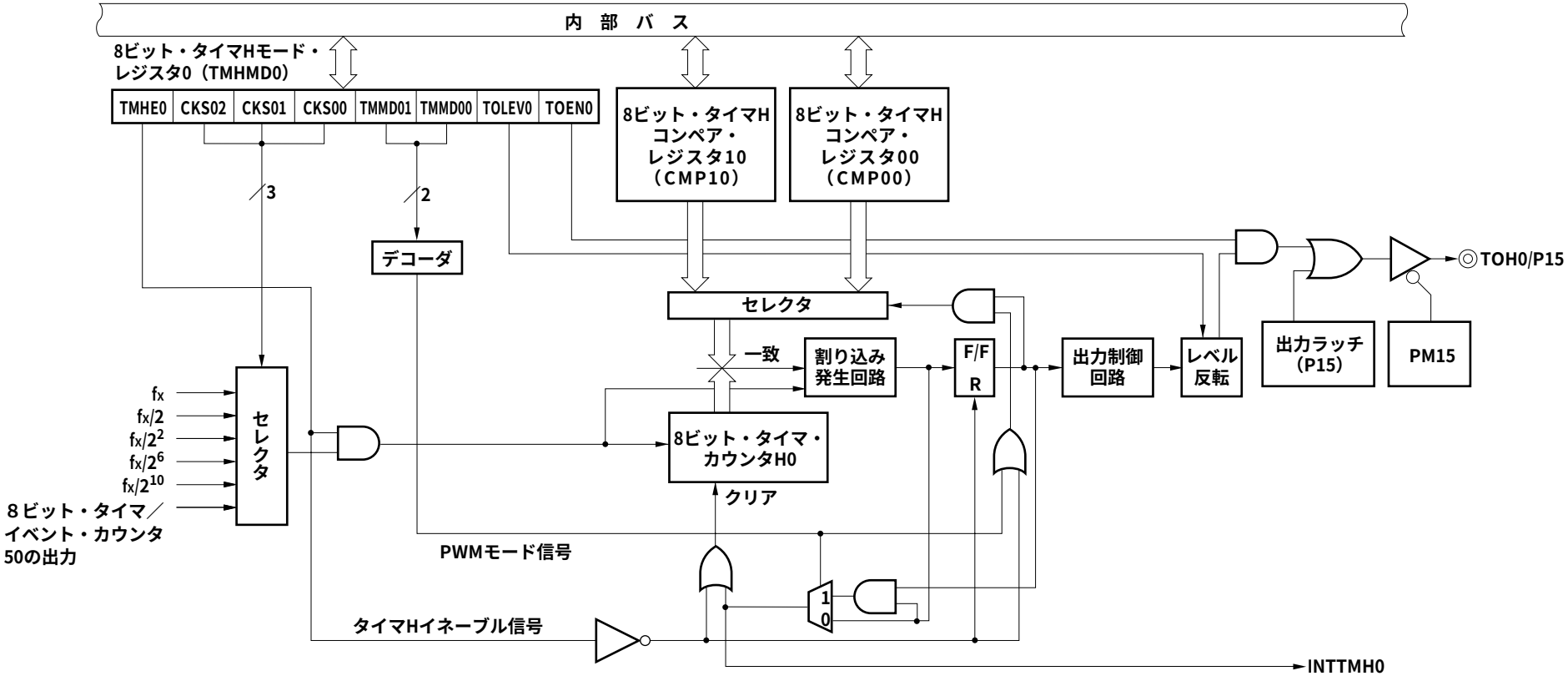
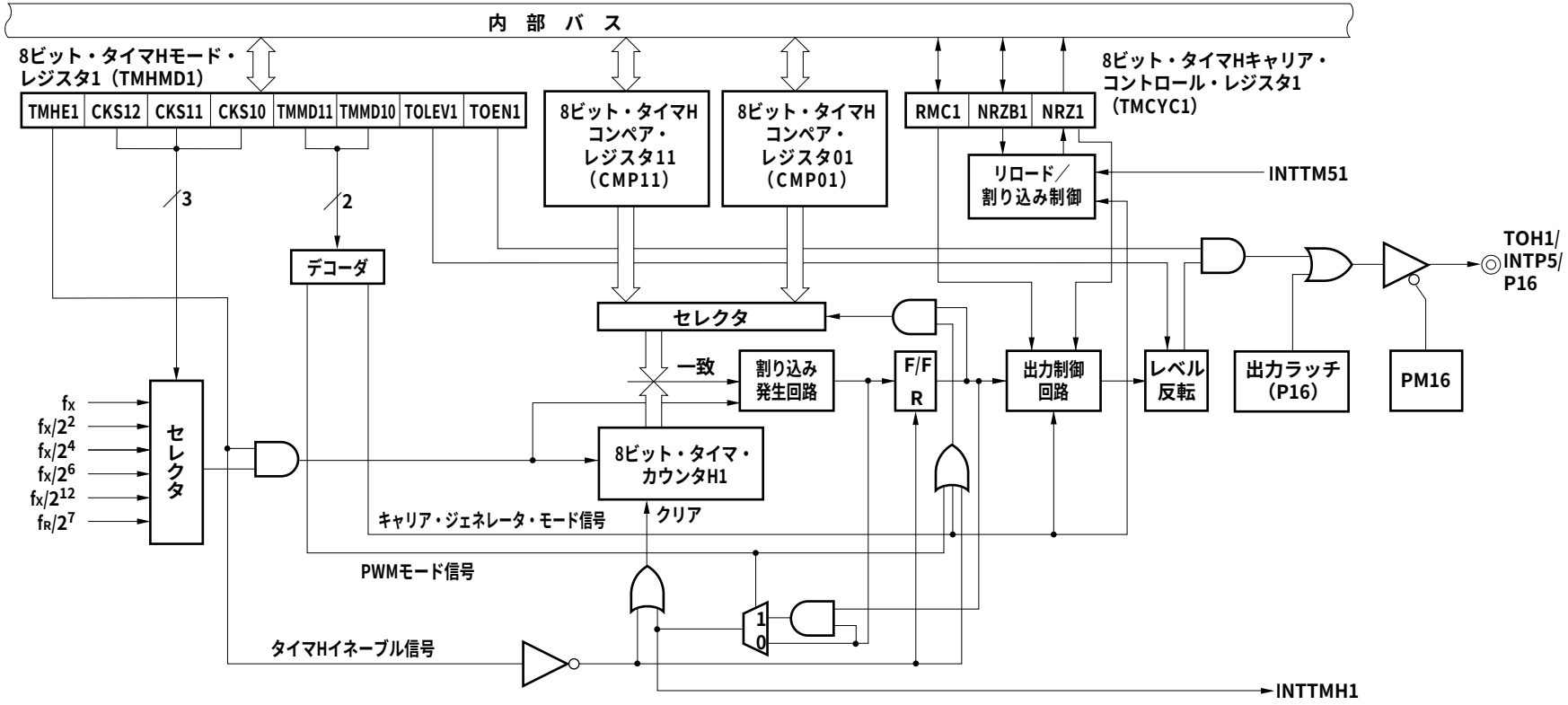


図9ー2　8ビット・タイマH1のブロック図



(1) 8ビット・タイマHコンペア・レジスタ0n（CMP0n）

8ビット・メモリ操作命令でリード／ライト可能なレジスタです。

$\overline{\text{RESET}}$入力により00Hになります。

図9－3　8ビット・タイマHコンペア・レジスタ0n（CMP0n）のフォーマット

アドレス：FF18H（CMP00），FF1AH（CMP01）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CMP0n (n = 0, 1)								

注意　CMP0nは，タイマ・カウント動作中に値を書き換えることは禁止です。

(2) 8ビット・タイマHコンペア・レジスタ1n（CMP1n）

8ビット・メモリ操作命令でリード／ライト可能なレジスタです。

$\overline{\text{RESET}}$入力により00Hになります。

図9－4　8ビット・タイマHコンペア・レジスタ1n（CMP1n）のフォーマット

アドレス：FF19H（CMP10），FF1BH（CMP11）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CMP1n (n = 0, 1)								

CMP1nはタイマ・カウント動作中に値の書き換えが可能です。

キャリア・ジェネレータ・モード時ではCMP1nを設定したあと，タイマ・カウント値とCMP1nの値が一致すると割り込み要求信号（INTTMHn）が発生します。同じタイミングでタイマ・カウント値はクリアされます。タイマ動作中にCMP1nの値を書き換えた場合，転送タイミングはカウント値とCMP1nの値が一致したタイミングで行います。転送タイミングとCPUからCMP1nへの書き込みが競合した場合，転送はされません。

注意　PWM出力モードおよびキャリア・ジェネレータ・モードでは，タイマ・カウント動作停止（TMHEn = 0）設定後，タイマ・カウント動作を開始する（TMHEn = 1）場合，必ずCMP1nを設定してください（CMP1nへの設定値が同値の場合でも，必ず再設定してください）。

備考　n = 0, 1

9. 3　8ビット・タイマH0, H1を制御するレジスタ

8ビット・タイマH0, H1を制御するレジスタには，次の4種類があります。

・8ビット・タイマHモード・レジスタn（TMHMDn）
・8ビット・タイマHキャリア・コントロール・レジスタ1（TMCYC1）注
・ポート・モード・レジスタ1（PM1）
・ポート・レジスタ1（P1）

注　8ビット・タイマH1のみ。

（1）8ビット・タイマHモード・レジスタn（TMHMDn）

タイマHのモードを制御するレジスタです。

TMHMDnは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

備考　n = 0, 1

図9ー5　8ビット・タイマHモード・レジスタ0（TMHMD0）のフォーマット

アドレス：FF69H　　リセット時：00H　　R/W

	7	6	5	4	3	2	1	0
TMHMD0	TMHE0	CKS02	CKS01	CKS00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	タイマ動作許可
0	タイマ・カウント動作停止（カウンタは0にクリア）
1	タイマ・カウント動作許可（クロックを入力することでカウント動作開始）

CKS02	CKS01	CKS00	カウント・クロック（f_{CNT}）の選択注1
0	0	0	f_X　（10 MHz）
0	0	1	$f_X/2$　（5 MHz）
0	1	0	$f_X/2^2$（2.5 MHz）
0	1	1	$f_X/2^6$（156.25 kHz）
1	0	0	$f_X/2^{10}$（9.77 kHz）
1	0	1	TM50の出力注2
上記以外			設定禁止

TMMD01	TMMD00	タイマ動作モード
0	0	インターバル・タイマ・モード
1	0	PWM出力モード
上記以外		設定禁止

TOLEV0	タイマ出力レベル制御（ディフォールト時）
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注1.　カウント・クロックは次の条件を満たすように設定してください。

- V_{DD} = 4.0〜5.5 V：カウント・クロック≦10 MHz
- V_{DD} = 3.3〜4.0 V：カウント・クロック≦8.38 MHz
- V_{DD} = 2.7〜3.3 V：カウント・クロック≦5 MHz
- ★ V_{DD} = 2.5〜2.7 V：カウント・クロック≦2.5 MHz（標準品，（A）水準品のみ）

2.　TM50の出力をカウント・クロックとして選択する場合，次の内容に注意してください。

- PWMモード（TMC506 = 1）
  デューティ50 %のクロックになるように設定し，事前に8ビット・タイマ／イベント・カウンタ50の動作を開始してください。
- TM50とCR50の一致でクリア＆スタート・モード（TMC506 = 0）
  タイマF/Fの反転動作を許可（TMC501 = 1）し，事前に8ビット・タイマ／イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも，TO50端子をタイマ出力許可にする必要はありません。

注意1．CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，8ビット・タイマH0の動作は保証されません。

2．TMHE0 = 1のとき，TMHMD0の他のビットを設定することは禁止です。

3．PWM出力モードでは，タイマ・カウント動作停止（TMHE0 = 0）設定後，タイマ・カウント動作を開始する（TMHE0 = 1）場合，必ず8ビット・タイマHコンペア・レジスタ10（CMP10）を設定してください（CMP10への設定値が同値の場合でも，必ず再設定してください）。

備考1．fx：高速システム・クロック発振周波数

2．（ ）内は，fx = 10 MHz動作時

3．TMC506：8ビット・タイマ・モード・コントロール・レジスタ50（TMC50）のビット6
TMC501：TMC50のビット1

図9ー6　8ビット・タイマHモード・レジスタ1（TMHMD1）のフォーマット

アドレス：FF6CH　　**リセット時：**00H　　R/W

	7	6	5	4	3	2	1	0
TMHMD1	TMHE1	CKS12	CKS11	CKS10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	タイマ動作許可
0	タイマ・カウント動作停止（カウンタは0にクリア）
1	タイマ・カウント動作許可（クロックを入力することでカウント動作開始）

CKS12	CKS11	CKS10	カウント・クロックの選択注
0	0	0	f_X　（10 MHz）
0	0	1	$f_X/2^2$　（2.5 MHz）
0	1	0	$f_X/2^4$　（625 kHz）
0	1	1	$f_X/2^6$　（156.25 kHz）
1	0	0	$f_X/2^{12}$　（2.44 kHz）
1	0	1	$f_R/2^7$　（1.88 kHz（TYP.））
上記以外			設定禁止

TMMD11	TMMD10	タイマ動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWM出力モード
上記以外		設定禁止

TOLEV1	タイマ出力レベル制御（ディフォールト時）
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注　カウント・クロックは次の条件を満たすように設定してください。

- V_{DD} = 4.0〜5.5 V：**カウント・クロック**≦10 MHz
- V_{DD} = 3.3〜4.0 V：**カウント・クロック**≦8.38 MHz
- V_{DD} = 2.7〜3.3 V：**カウント・クロック**≦5 MHz
- ★ V_{DD} = 2.5〜2.7 V：**カウント・クロック**≦2.5 MHz（**標準品，（A）水準品のみ**）

注意1．CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，8ビット・タイマH1の動作は保証されません（CKS12, CKS11, CKS10 = 1, 0, 1（$f_R/2^7$）選択時を除く）。

2．TMHE1 = 1のとき，TMHMD1の他のビットを設定することは禁止です。

3．PWM出力モードおよびキャリア・ジェネレータ・モードでは，タイマ・カウント動作停止（TMHE1 = 0）設定後，タイマ・カウント動作を開始する（TMHE1 = 1）場合，必ず8ビット・タイマHコンペア・レジスタ11（CMP11）を設定してください（CMP11への設定値が同値の場合でも，必ず再設定してください）。

4．キャリア・ジェネレータ・モードを使用する場合，TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。

備考1．f_X：高速システム・クロック発振周波数

2．f_R：内蔵発振クロック周波数

3．（ ）内は，f_X = 10 MHz動作時，f_R = 240 kHz（TYP.）動作時

(2) 8ビット・タイマHキャリア・コントロール・レジスタ1（TMCYC1）

8ビット・タイマH1のリモコン出力およびキャリア・パルス出力の状態を制御するレジスタです。

TMCYC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

図9－7　8ビット・タイマHキャリア・コントロール・レジスタ1（TMCYC1）のフォーマット

アドレス：FF6DH　リセット時：00H　R/W 注

	7	6	5	4	3	2	1	0
TMCYC1	0	0	0	0	0	RMC1	NRZB1	NRZ1

RMC1	NRZB1	リモコン出力
0	0	ロウ・レベル出力
0	1	ハイ・レベル出力
1	0	ロウ・レベル出力
1	1	キャリア・パルス出力

NRZ1	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態（ロウ・レベル状態）
1	キャリア出力許可状態 （RMC1 = 1：キャリア・パルス出力，RMC1 = 0：ハイ・レベル状態）

注　ビット0はRead Onlyです。

(3) ポート・モード・レジスタ1（PM1）

ポート1の入力／出力を1ビット単位で設定するレジスタです。

P15/TOH0, P16/TOH1/INTP5端子をタイマ出力として使用するとき，PM15, PM16およびP15, P16の出力ラッチに0を設定してください。

PM1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

図9－8　ポート・モード・レジスタ1（PM1）のフォーマット

アドレス：FF21H　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

9.4　8ビット・タイマH0, H1の動作

9.4.1　インターバル・タイマ／方形波出力としての動作

8ビット・タイマ・カウンタHnとコンペア・レジスタ0n（CMP0n）が一致した場合，割り込み要求信号（INTTMHn）が発生し，8ビット・タイマ・カウンタHnを00Hにクリアします。

インターバル・タイマ・モードでコンペア・レジスタ1n（CMP1n）は使用しません。CMP1nレジスタを設定しても，8ビット・タイマ・カウンタHnとCMP1nレジスタの一致検出をしないため，タイマ出力に影響しません。

また，タイマHモード・レジスタn（TMHMDn）のビット0（TOENn）に1を設定することにより，TOHnより任意の周波数の方形波出力（デューティ= 50 %）が出力されます。

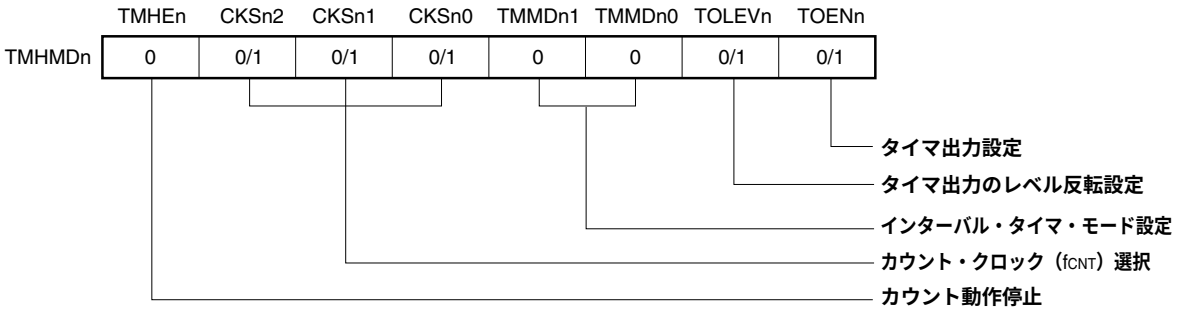
(1) 使用方法

同一間隔でINTTMHn信号を繰り返し発生します。

① 各レジスタの設定を行います。

図9－9　インターバル・タイマ／方形波出力動作時のレジスタの設定

(i) タイマHモード・レジスタn（TMHMDn）の設定



(ii) CMP0nレジスタの設定

・コンペア値（N）

② TMHEn = 1によりカウント動作を開始します。

③ 8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると，INTTMHn信号が発生し，8ビット・タイマ・カウンタHnは00Hにクリアされます。

$$\text{インターバル時間} = (N+1) / f_{CNT}$$

④ 以後，同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは，TMHEn = 0にします。

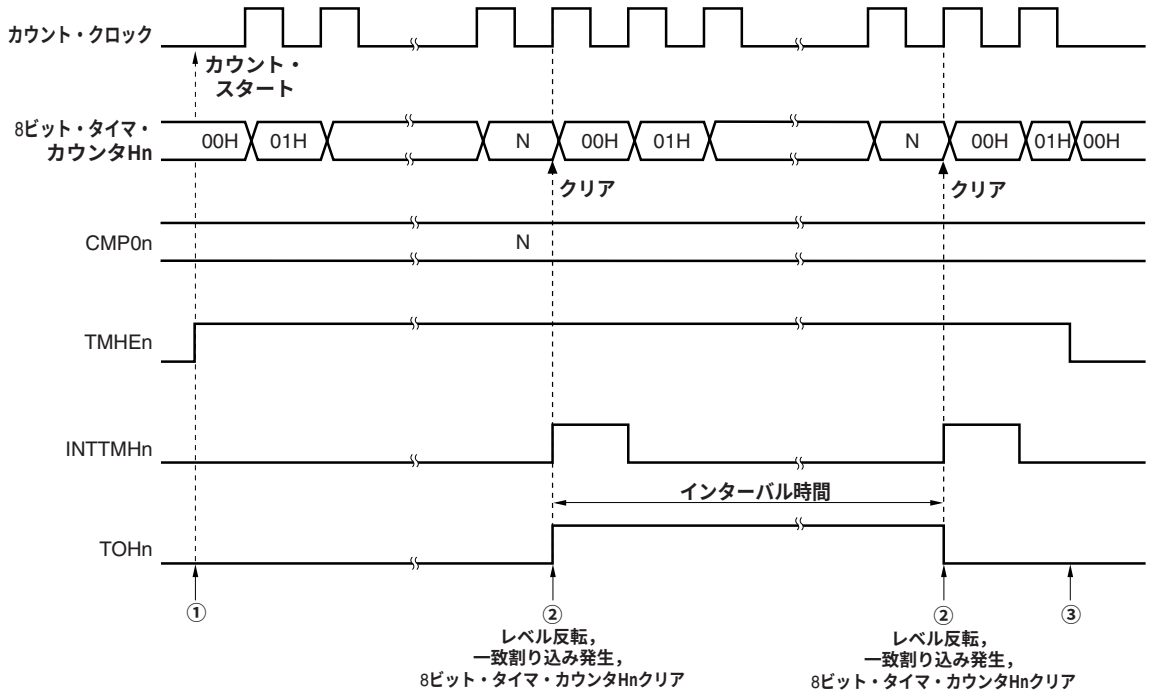
備考　n = 0, 1

(2) タイミング・チャート

インターバル・タイマ／方形波出力動作のタイミングを次に示します。

図9－10　インターバル・タイマ／方形波出力動作のタイミング（1/2）

(a) 基本動作



① TMHEnビットを0から1にすることにより，カウント動作許可状態になります。カウント・クロックは，動作許可後，最大1クロック遅れてカウント・スタートします。

② 8ビット・タイマ・カウンタHnの値とCMP0nレジスタの値が一致すると，8ビット・タイマ・カウンタHnの値をクリアし，TOHn出力のレベルを反転させ，INTTMHn信号を出力します。

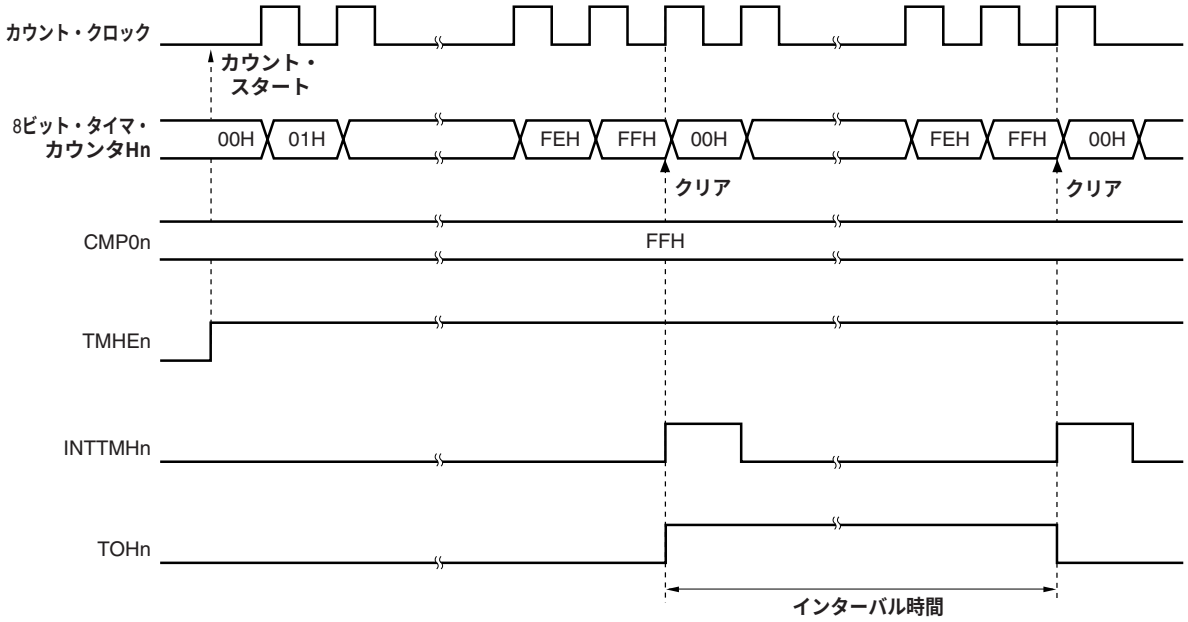
③ タイマH動作中にTMHEnビットを0にすることで，INTTMHn信号およびTOHn出力がインアクティブになります。はじめからインアクティブの場合はレベルを保持します。

備考　n = 0, 1

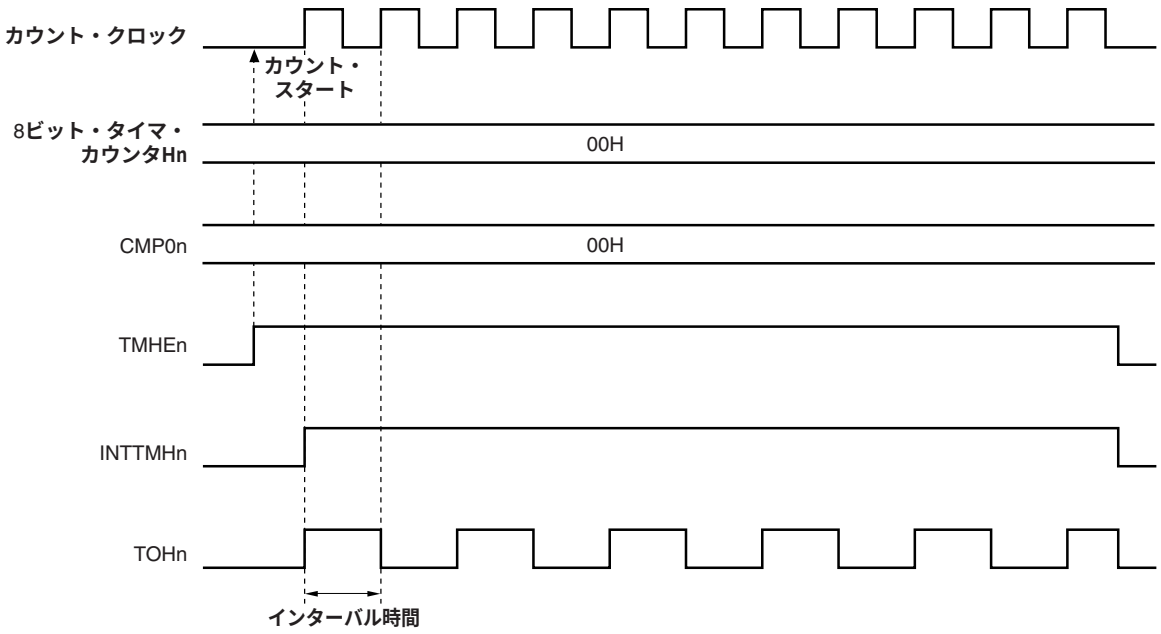
N = 01H-FEH

図9－10　インターバル・タイマ／方形波出力動作のタイミング（2/2）

（b）CMP0n = FFH**時の動作**



（c）CMP0n = 00H**時の動作**



備考　n = 0, 1

9. 4. 2　PWM出力モードとしての動作

PWM出力モードでは，任意のデューティおよび周期が可能なパルスを出力できます。

8ビット・タイマ・コンペア・レジスタ0n（CMP0n）はタイマ出力（TOHn）の周期を制御します。タイマ動作中のCMP0nレジスタに対する書き換えは禁止です。

8ビット・タイマ・コンペア・レジスタ1n（CMP1n）はタイマ出力（TOHn）のデューティを制御するレジスタです。タイマ動作中のCMP1nレジスタに対する書き換えが可能です。

PWM出力モードでの動作は次のようになります。

タイマ・カウント・スタート後，8ビット・タイマ・カウンタHnとCMP0nレジスタが一致するとTOHn出力はアクティブとなり，8ビット・タイマ・カウンタHnは0にクリアされます。8ビット・タイマ・カウンタHnとCMP1nレジスタが一致するとTOHn出力はインアクティブとなります。

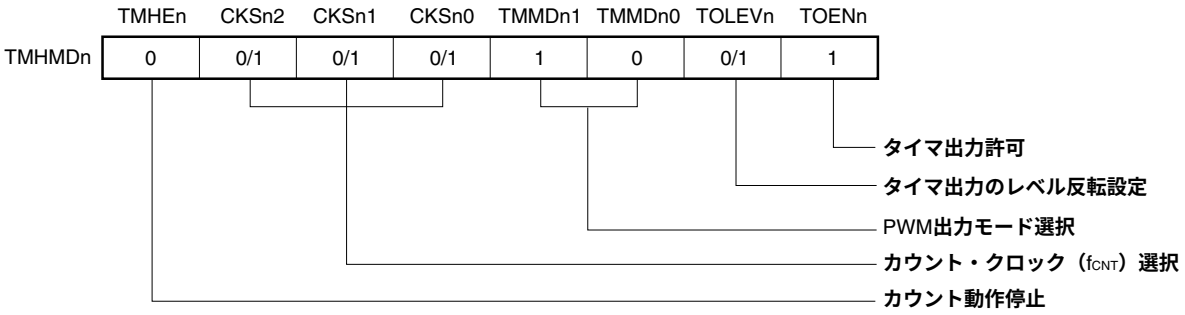
（1）使用方法

PWM出力モードでは，任意のデューティおよび周期が可能なパルスを出力できます。

① 各レジスタの設定を行います。

図9－11　PWM出力モード時のレジスタの設定

（i）タイマHモード・レジスタn（TMHMDn）の設定



（ii）CMP0nレジスタの設定

・コンペア値（N）：周期の設定

（iii）CMP1nレジスタの設定

・コンペア値（M）：デューティの設定

備考1．n = 0, 1

2．00H≦CMP1n（M）＜CMP0n（N）≦FFH

② TMHEn = 1によりカウント動作を開始します。

③　カウント動作を許可したあと，最初の比較対象コンペア・レジスタはCMP0nレジスタです。8ビット・タイマ・カウンタHnとCMP0nレジスタの値が一致すると，8ビット・タイマ・カウンタHnはクリアされ，割り込み要求信号（INTTMHn）が発生し，TOHn出力がアクティブになります。同時に，8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP0nレジスタからCMP1nレジスタへ切り替えます。

④　8ビット・タイマ・カウンタHnとCMP1nレジスタが一致すると，TOHn出力がインアクティブになり，同時に，8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMP1nレジスタからCMP0nレジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず，INTTMHn信号も発生しません。

⑤　以上③と④を繰り返し，任意のデューティのパルスを得ることができます。

⑥　カウント動作を停止するときは，TMHEn = 0にします。

CMP0nレジスタの設定値を（N），CMP1nレジスタを（M），カウント・クロックの周波数をf_{CNT}とすると，PWMパルス出力周期およびデューティは次のとおりになります。

PWMパルス出力周期 =（N＋1）／f_{CNT}
デューティ= アクティブ幅：PWM全体の幅 =（M＋1）：（N＋1）

注意1．PWM出力モード時は，CMP1nレジスタを書き換えてからレジスタに転送するのに，動作クロック（TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号）の3クロック分を必要とします。

2．タイマ・カウント動作停止（TMHEn = 0）設定後，タイマ・カウント動作を開始する（TMHEn = 1）場合，必ずCMP1nレジスタを設定してください（CMP1nレジスタへの設定値が同値の場合でも，必ず再設定してください）。

(2) タイミング・チャート

PWM出力モード時の動作タイミングを次に示します。

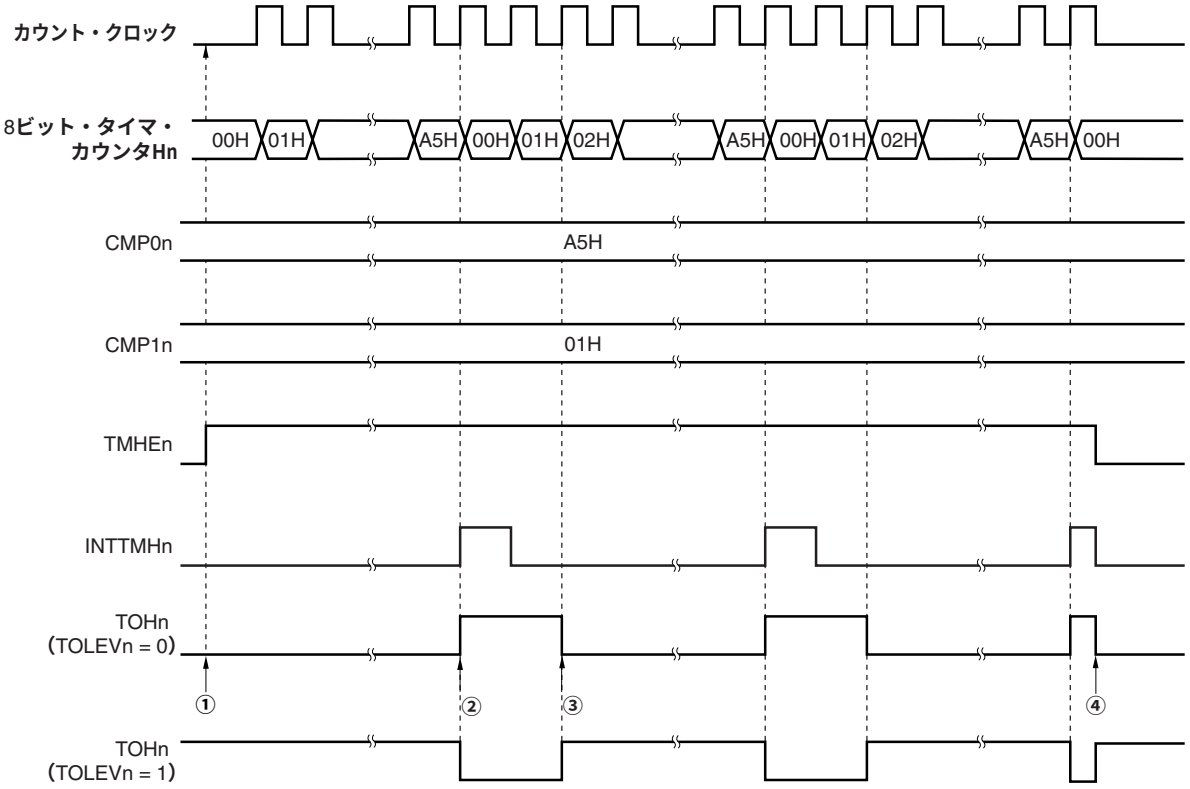
注意　CMP1nレジスタの設定値（M），CMP0nレジスタの設定値（N）は，必ず次の範囲内にしてください。

00H≦CMP1n（M）＜CMP0n（N）≦FFH

備考　n = 0, 1

図9－12　PWM出力モード動作のタイミング（1/4）

（a）基本動作



① TMHEn = 1により，カウント動作許可状態になります。カウント・クロックを1クロック分マスクし，8ビット・タイマ・カウンタHnをスタートさせ，カウント・アップします。そのときＴＯＨｎ出力はインアクティブ（TOLEVn = 0設定時）を保持します。

② 8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致したときに，TOHn出力のレベルを反転し，8ビット・タイマ・カウンタHnをクリアし，INTTMHn信号を出力します。

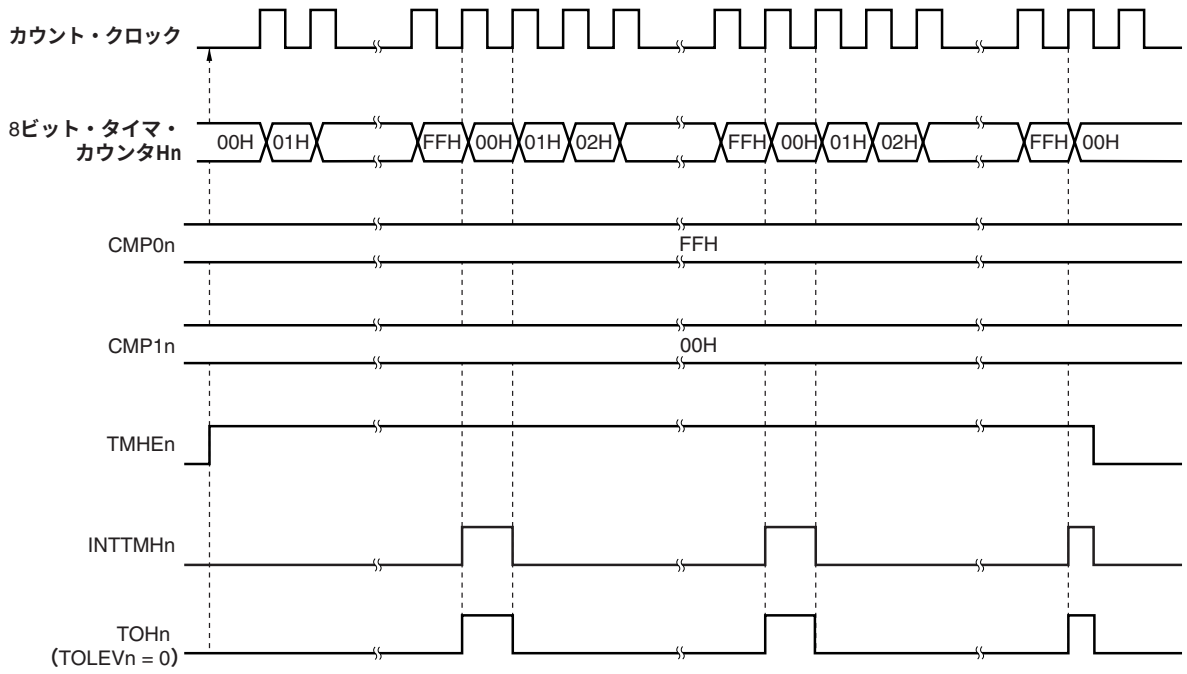
③ 8ビット・タイマ・カウンタHnの値がCMP1nレジスタの値と一致したときに，TOHn出力のレベルを戻します。そのとき8ビット・カウンタの値はクリアされず，INTTMHn信号は出力しません。

④ タイマHn動作中にTMHEnビットを0にすることで，INTTMHn信号およびTOHn出力がインアクティブになります。

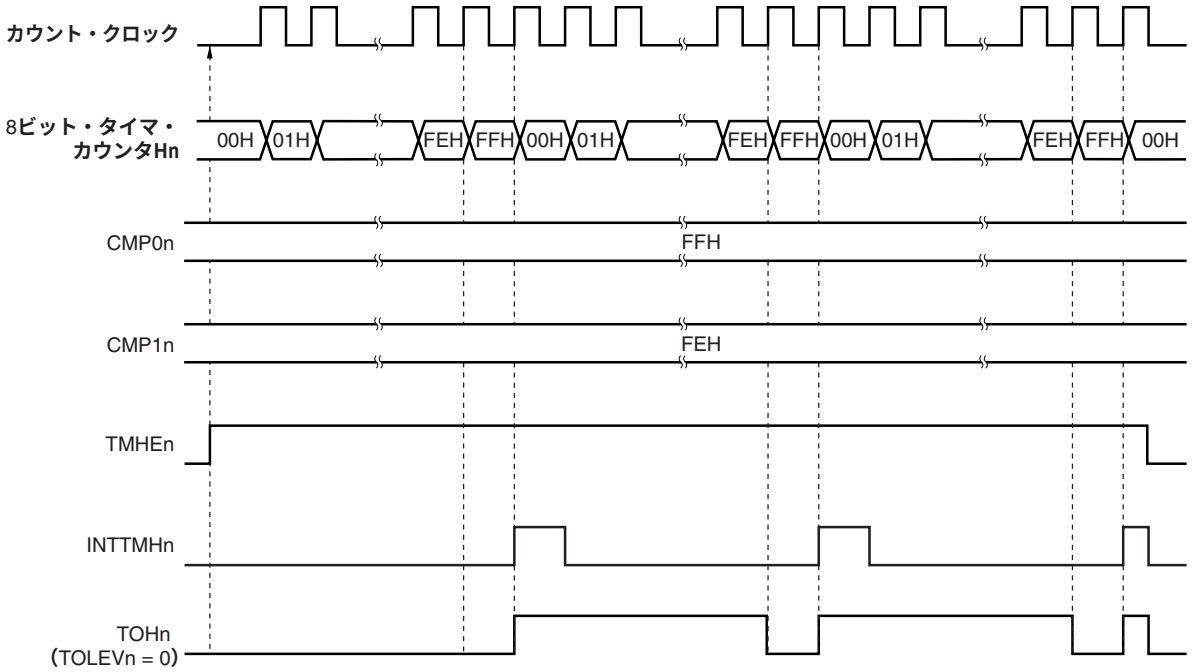
備考　n = 0, 1

図9－12　PWM出力モード動作のタイミング（2/4）

（b）CMP0n = FFH, CMP1n = 00H時の動作



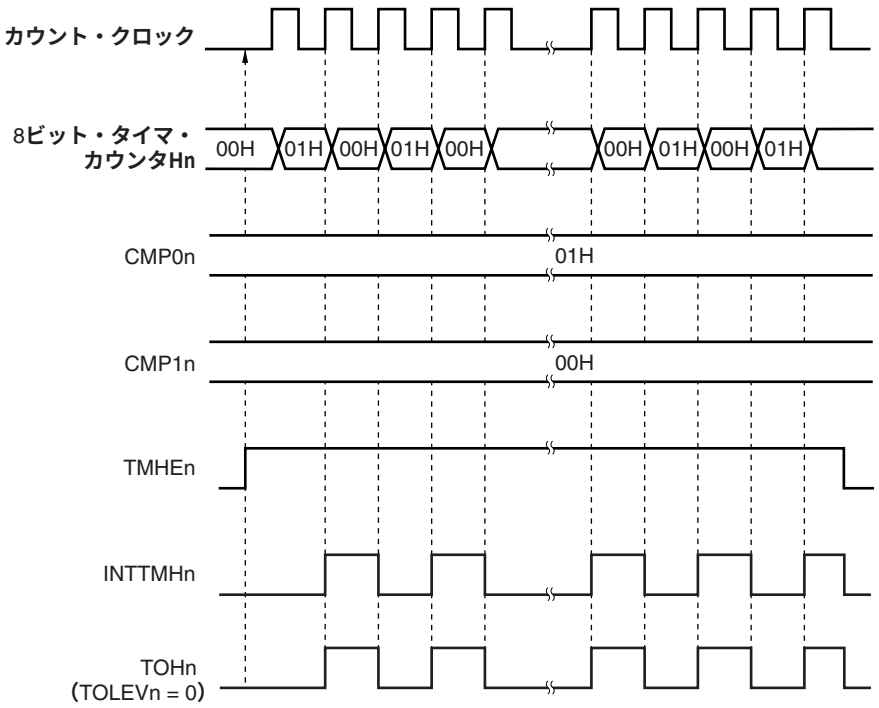
（c）CMP0n = FFH, CMP1n = FEH時の動作



備考　n = 0, 1

図9ー12　PWM出力モード動作のタイミング（3/4）

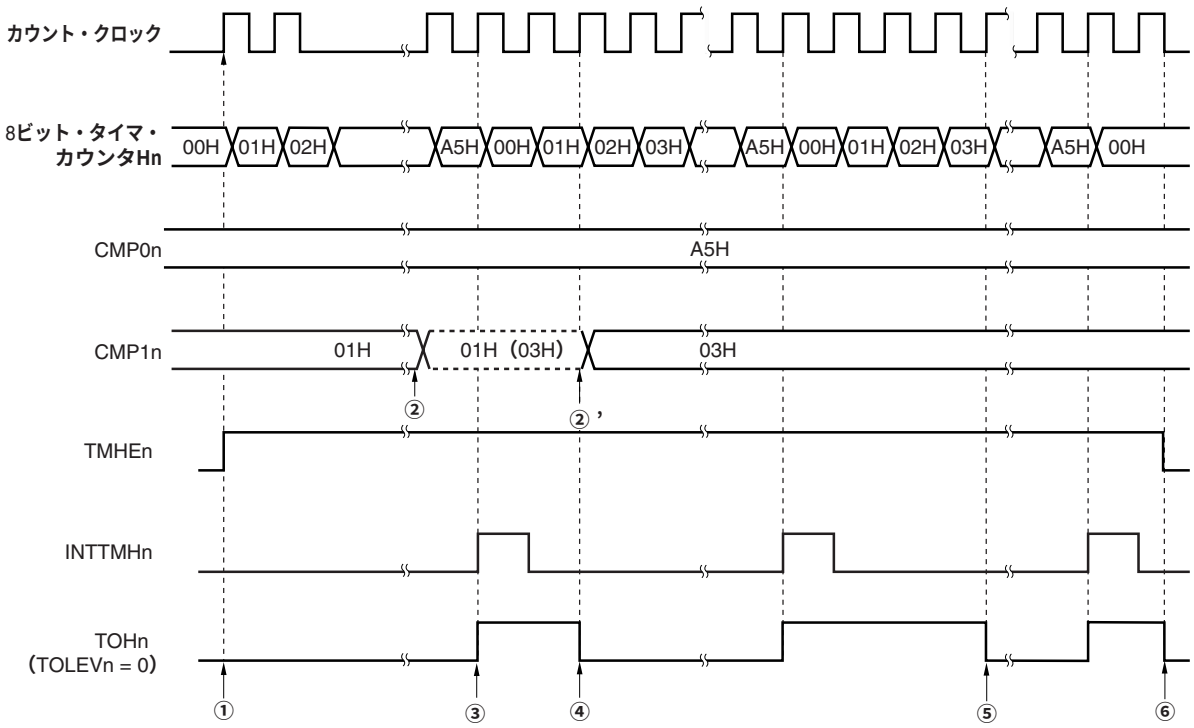
（d）CMP0n = 01H, CMP1n = 00H**時の動作**



備考　n = 0, 1

図9－12　PWM出力モード動作のタイミング（4/4）

（e）CMP1n変更による動作（CMP1n = 01H→03H, CMP0n = A5H）



① TMHEn = 1により，カウント動作許可状態になります。カウント・クロックを1クロック分マスクし，8ビット・カウンタをスタートさせ，カウント・アップします。そのとき，TOHn出力はインアクティブ（TOLEVn = 0設定時）を保持します。

② タイマ・カウンタ動作中にCMP1nレジスタの設定値を変更することが可能です。この動作はカウント・クロックとは非同期です。

③ 8ビット・タイマ・カウンタHnの値がCMP0nレジスタの値と一致すると，8ビット・タイマ・カウンタHnはクリアされ，TOHn出力をアクティブにし，INTTMHn信号が発生します。

④ CMP1nレジスタの値を変更しても，その値はラッチされ，レジスタには転送されません。8ビット・タイマ・カウンタHnとCMP1nレジスタの変更前の値が一致すると，CMP1nレジスタに転送されCMP1nレジスタの値が変更されます（②’）。
ただし，CMP1nレジスタの値を変更してからレジスタに転送されるまでに，3カウント・クロック以上かかります。3カウント・クロックまでに一致信号を発生しても，変更値のレジスタへの転送はできません。

⑤ 8ビット・タイマ・カウンタHnの値が変更後のCMP1nレジスタの値と一致すると，TOHn出力をインアクティブにします。8ビット・タイマ・カウンタHnはクリアされず，INTTMHn信号も発生しません。

⑥ タイマHn動作中にTMHEnビットを0にすることで，INTTMHn信号およびTOHn出力がインアクティブになります。

備考　n = 0, 1

9.4.3　キャリア・ジェネレータ・モードとしての動作（8ビット・タイマH1のみ）

8ビット・タイマH1で生成されるキャリア・クロックを，8ビット・タイマ／イベント・カウンタ51で設定した周期で出力します。

キャリア・ジェネレータ・モードでは，8ビット・タイマ／イベント・カウンタ51で8ビット・タイマH1のキャリア・パルスをどの程度出力するか制御し，TOH1出力からキャリア・パルスを出力します。

(1) キャリアの生成

キャリア・ジェネレータ・モードのとき，8ビット・タイマHコンペア・レジスタ01（CMP01）はキャリア・パルスのロウ・レベル幅の波形を生成し，8ビット・タイマHコンペア・レジスタ11（CMP11）はキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマH1動作中に，CMP11レジスタを書き換えることはできますが，CMP01レジスタを書き換えることは禁止です。

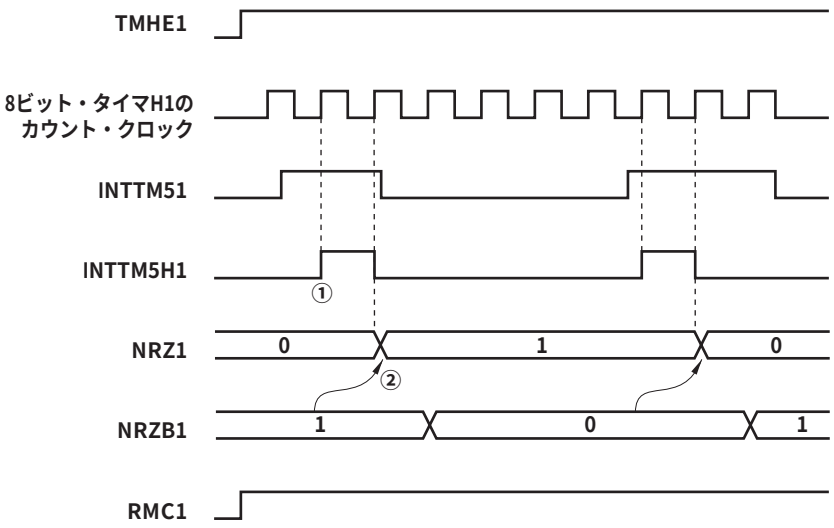
(2) キャリアの出力制御

キャリアの出力制御は8ビット・タイマ／イベント・カウンタ51の割り込み要求信号（INTTM51）と8ビット・タイマHキャリア・コントロール・レジスタ（TMCYC1）のNRZB1ビット，RMC1ビットにより行われます。出力の関係を次に示します。

RMC1ビット	NRZB1ビット	出　力
0	0	ロウ・レベル出力
0	1	ハイ・レベル出力
1	0	ロウ・レベル出力
1	1	キャリア・パルス出力

キャリア・パルス出力をカウント動作中に制御するために，TMCYC1レジスタのNRZ1ビットとNRZB1ビットは，マスタとスレーブのビット構成になっています。NRZ1ビットはリードのみですが，NRZB1ビットはリード／ライト可能です。INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され，INTTM5H1信号として出力します。INTTM5H1信号がNRZ1ビットのデータ転送信号となり，NRZB1ビットの値がNRZ1ビットへ転送されます。NRZB1ビットからNRZ1ビットへの転送タイミングは，次のとおりです。

図9－13　転送タイミング



① INTTM51信号は8ビット・タイマH1のカウント・クロックで同期化され，INTTM5H1信号として出力されます。

② INTTM5H1信号の立ち上がりから2クロック目で，NRZB1ビットの値がNRZ1ビットに転送されます。

注意1．NRZB1ビットの値を書き換えてから2クロック目までに，再びNRZB1ビットの値を書き換えないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。

2．8ビット・タイマ／イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合，①のタイミングで割り込みが発生します。8ビット・タイマ／イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合とは，割り込み発生のタイミングが異なります。

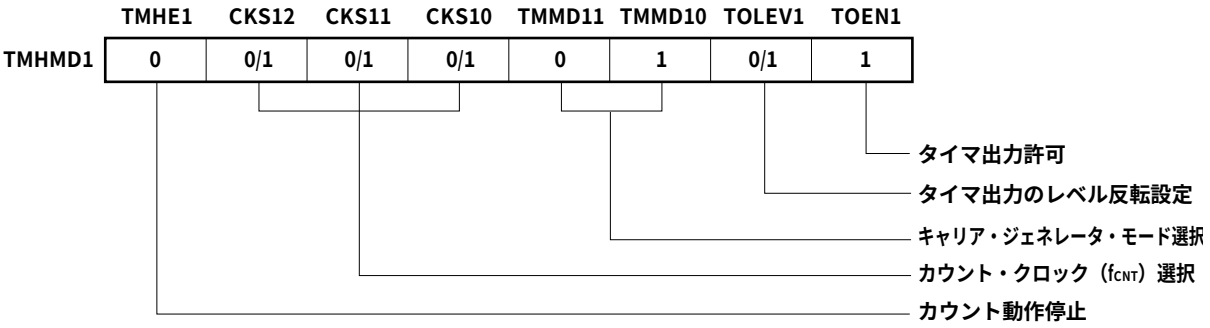
(3) 使用方法

任意のキャリア・クロックをTOH1端子より出力することができます。

① 各レジスタの設定を行います。

図9－14　キャリア・ジェネレータ・モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタ1（TMHMD1）の設定



(ii) CMP01レジスタの設定

・コンペア値

(iii) CMP11レジスタの設定

・コンペア値

(iv) TMCYC1レジスタの設定

・RMC1 = 1 … リモコン出力許可ビット

・NRZB1 = 0/1 … キャリア出力許可ビット

(v) TCL51, TMC51レジスタの設定

・8. 3　8ビット・タイマ／イベント・カウンタ50, 51を制御するレジスタ参照

② TMHE1 = 1を設定すると，8ビット・タイマH1のカウント動作を開始します。

③ 8ビット・タイマ・モード・コントロール・レジスタ51（TMC51）のTCE51 = 1を設定すると，8ビット・タイマ／イベント・カウンタ51のカウント動作を開始します。

④ カウント動作を許可したあと，最初の比較対象コンペア・レジスタはCMP01レジスタです。8ビット・タイマ・カウンタH1のカウント値とCMP01レジスタの値が一致すると，INTTMH1信号が発生し，8ビット・タイマ・カウンタH1はクリアされ，同時に，8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP01レジスタからCMP11レジスタへ切り替えます。

⑤ 8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致すると，INTTMH1信号が発生し，8ビット・タイマ・カウンタH1はクリアされ，同時に，8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP11レジスタからCMP01レジスタへ切り替えます。

⑥ 以上④と⑤の繰り返しによって，キャリア・クロックが生成されます。

⑦　INTTM51信号が8ビット・タイマH1のカウント・クロックで同期化され，INTTM5H1信号として出力されます。その信号がNRZB1ビットのデータ転送信号となり，NRZB1ビットの値がNRZ1ビットへ転送されます。

⑧　NRZ1ビットがハイ・レベルのとき，キャリア・クロックがTOH1端子より出力されます。

⑨　以上を繰り返し，任意のキャリア・クロックを得ることができます。カウント動作を停止するときはTMHE1 = 0にします。

CMP01レジスタの設定値を（N），CMP11レジスタの設定値を（M），カウント・クロックの周波数をf_{CNT}とすると，キャリア・クロック出力周期およびデューティは次のとおりになります。

キャリア・クロック出力周期 =（N＋M＋2）／f_{CNT}
デューティ = ハイ・レベル幅：キャリア・クロック出力幅 =（M＋1）：（N＋M＋2）

注意1．タイマ・カウント動作停止（TMHE1 = 0）設定後，タイマ・カウント動作を開始する（TMHE1 = 1）場合，必ずCMP11レジスタを設定してください（CMP11レジスタへの設定値が同値の場合でも，必ず再設定してください）。

2．TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。

(4) タイミング・チャート

キャリアの出力制御タイミングを次に示します。

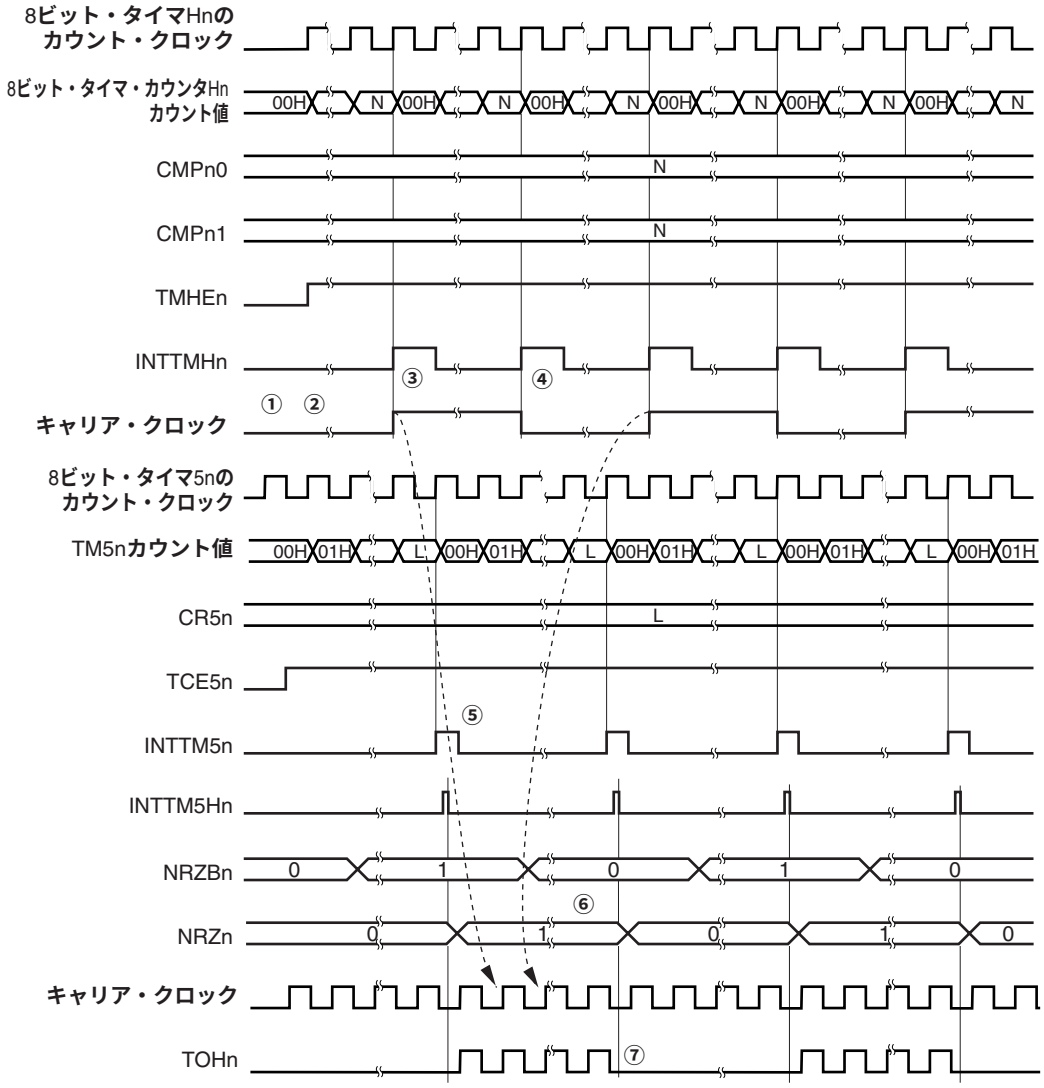
注意1．CMP01, CMP11レジスタの値は，01H-FFHの範囲で設定してください。

2．キャリア・ジェネレータ・モード時は，CMP11レジスタを書き換えてから，実際にレジスタに転送するのに動作クロック（TMHMD1レジスタのCKS12-CKS10ビットで選択された信号）の3クロック分を必要とします。

3．RMC1ビットの設定はカウント動作開始前に必ず設定してください。

図9－15　キャリア・ジェネレータ・モード動作のタイミング（1/3）

（a）CMP01 = N, CMP11 = Nに設定したときの動作



① TMHE1 = 0およびTCE51 = 0のとき，8ビット・タイマ・カウンタH1の動作は停止状態です。

② TMHE1 = 1を設定すると，8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックをインアクティブに保持します。

③ 8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタの値と一致したときに，最初のINTTMH1信号を発生し，キャリア・クロック信号を反転し，8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP01レジスタからCMP11レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。

④ 8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに，INTTMH1信号を発生し，キャリア・クロック信号を反転し，8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP11レジスタからCMP01レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。③と④を繰り返し，デューティ50 %固定のキャリア・クロックを生成します。

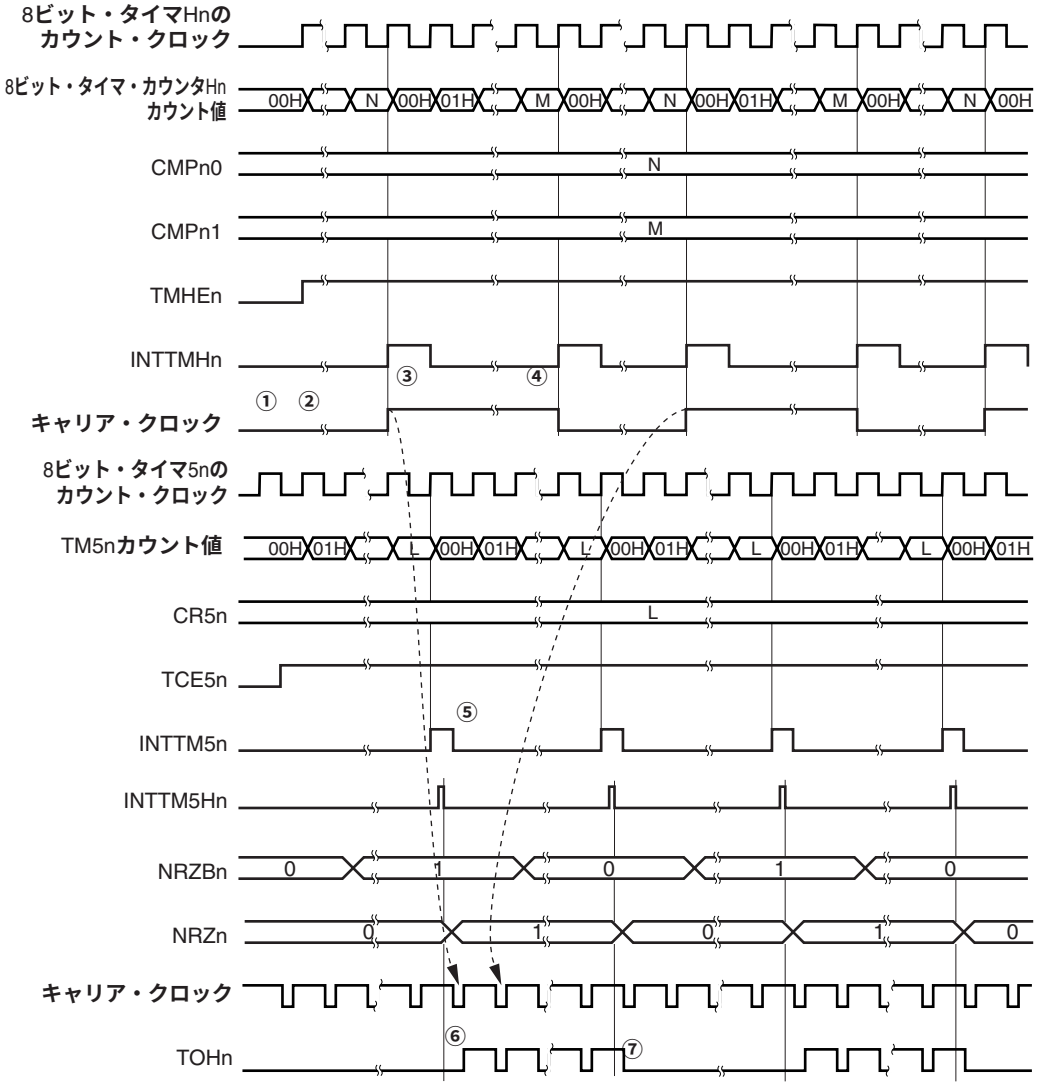
⑤ INTTM51信号が発生すると，その信号は8ビット・タイマH1のカウント・クロックで同期化され，INTTM5H1信号として出力します。

⑥ INTTM5H1信号がNRZB1ビットのデータ転送信号となり，NRZB1ビットの値がNRZ1ビットへ転送されます。

⑦ NRZ1 = 0により，TOH1出力はロウ・レベルになります。

図9－15　キャリア・ジェネレータ・モード動作のタイミング（2/3）

（b）CMP01 = N, CMP11 = Mに設定したときの動作



① TMHE1 = 0およびTCE51 = 0のとき，8ビット・タイマ・カウンタH1の動作は停止状態です。

② TMHE1 = 1を設定すると，8ビット・タイマ・カウンタH1はカウント動作を開始します。そのときキャリア・クロックをインアクティブに保持します。

③ 8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに，最初のINTTMH1信号を発生し，キャリア・クロック信号を反転し，8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP01レジスタからCMP11レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。

④ 8ビット・タイマ・カウンタH1のカウント値がCMP11レジスタと一致したときに，INTTMH1信号を発生し，キャリア・クロック信号を反転し，8ビット・タイマ・カウンタH1との比較対象コンペア・レジスタをCMP11レジスタからCMP01レジスタに切り替えます。8ビット・タイマ・カウンタH1は00Hにクリアされます。③と④を繰り返し，デューティ固定（50 %以外）のキャリア・クロックを生成します。

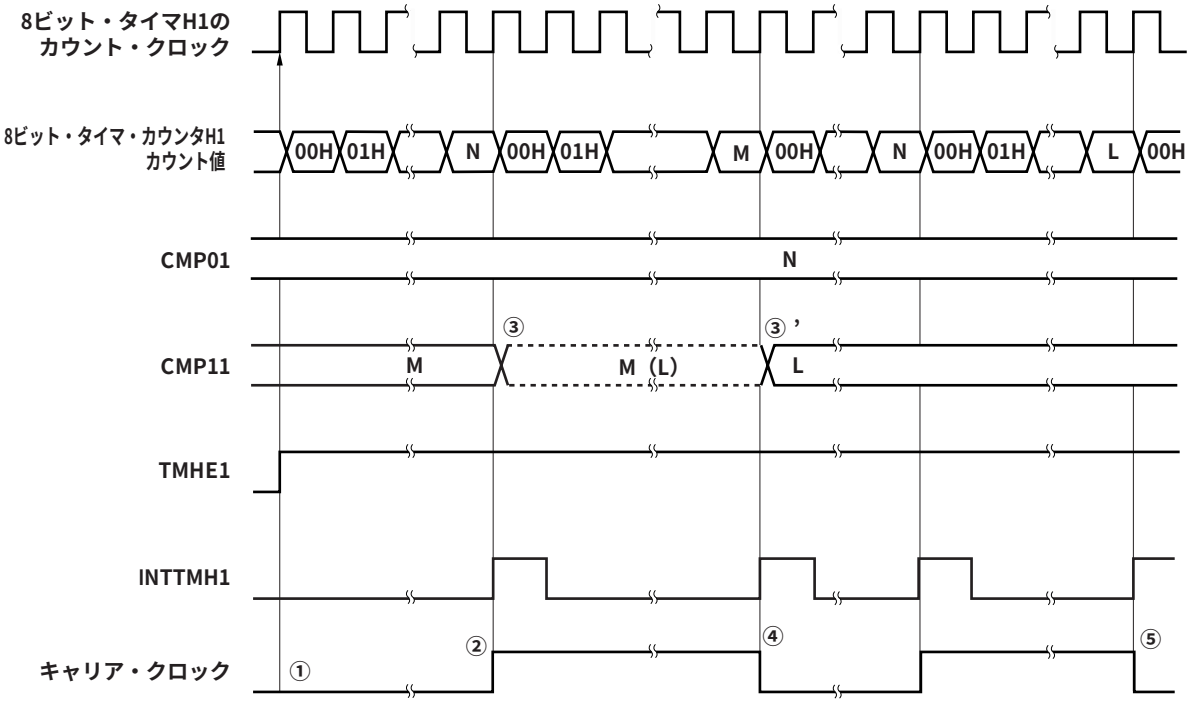
⑤ INTTM51信号を発生します。その信号は8ビット・タイマH1のカウント・クロックで同期化され，INTTM5H1信号として出力します。

⑥ NRZ1 = 1により，最初のキャリア・クロックの立ち上がりから，キャリアを出力します。

⑦ NRZ1 = 0により，キャリア・クロックのハイ・レベル期間は，TOH1出力もハイ・レベルを保持しロウ・レベルに変化しません（⑥, ⑦よりキャリア波形のハイ・レベル幅が保証できます）。

図9－15　キャリア・ジェネレータ・モード動作のタイミング（3/3）

（c）CMP11変更による動作



① TMHE1 = 1を設定すると，カウント動作を開始します。そのときキャリア・クロックをインアクティブに保持します。

② 8ビット・タイマ・カウンタH1のカウント値がCMP01レジスタと一致したときに，8ビット・タイマ・カウンタH1をクリアし，INTTMH1信号を出力します。

③ CMP11レジスタは8ビット・タイマH1動作中に値を書き換えることができますが，変更した値（L）はラッチされます。CMP11レジスタが変更されるのは，8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタの変更前の値（M）が一致したとき（③’）です。

④ 8ビット・タイマ・カウンタH1のカウント値と変更前のCMP11レジスタの値（M）が一致すると，INTTMH1信号を出力し，キャリア信号を反転させ，8ビット・タイマ・カウンタH1を00Hにクリアします。

⑤ 再度8ビット・タイマ・カウンタH1のカウント値とCMP11レジスタが一致するタイミングは変更後の値（L）です。

第10章　時計用タイマ

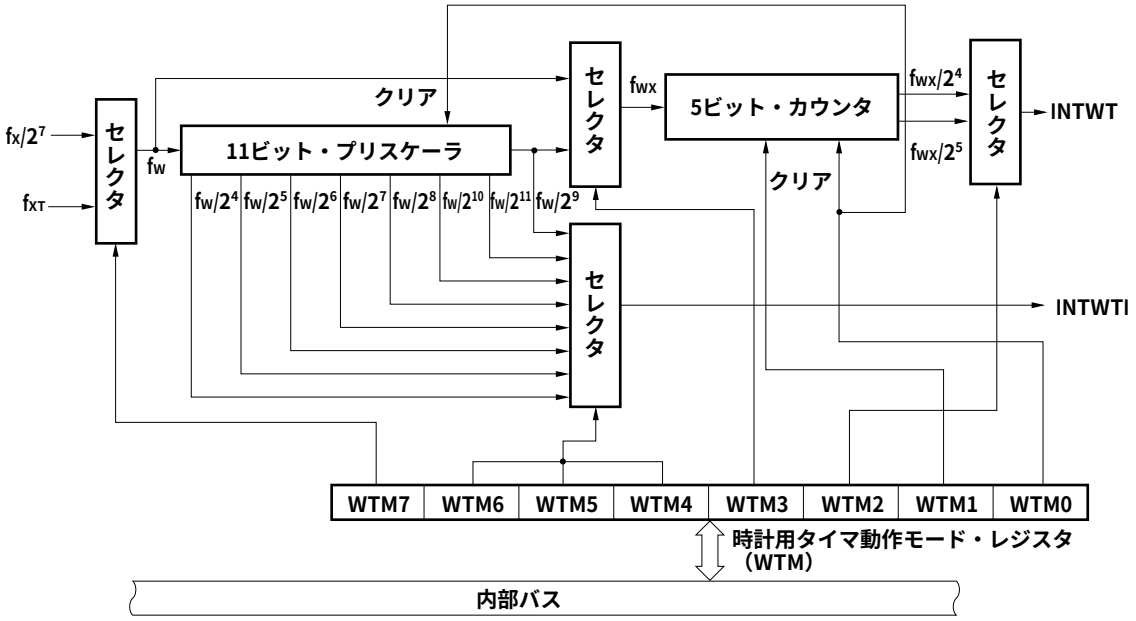
10. 1　時計用タイマの機能

時計用タイマには，次のような機能があります。

・時計用タイマ
・インターバル・タイマ

時計用タイマとインターバル・タイマは，同時に使用できます。
図10－1に，時計用タイマのブロック図を示します。

図10－1　時計用タイマのブロック図



備考　fx　：高速システム・クロック発振周波数
fXT　：サブシステム・クロック発振周波数
fw　：時計用タイマ・クロック周波数
fwx：fwまたはfw/2^9

(1) 時計用タイマ

高速システム・クロックまたはサブシステム・クロックを使用することで，あらかじめ設定した時間間隔で割り込み要求（INTWT）を発生します。

表10－1　時計用タイマの割り込み時間

割り込み時間	f_{XT} = 32.768 kHz動作時	f_X = 10 MHz動作時
$2^4/f_W$	488 μs	205 μs
$2^5/f_W$	977 μs	410 μs
$2^{13}/f_W$	0.25 s	0.105 s
$2^{14}/f_W$	0.5 s	0.210 s

備考　f_X　：高速システム・クロック発振周波数
f_{XT}　：サブシステム・クロック発振周波数
f_W　：時計用タイマ・クロック周波数

(2) インターバル・タイマ

あらかじめ設定した時間間隔で，割り込み要求（INTWTI）を発生します。

表10－2　インターバル・タイマのインターバル時間

割り込み時間	f_{XT} = 32.768 kHz動作時	f_X = 10 MHz動作時
$2^4/f_W$	488 μs	205 μs
$2^5/f_W$	977 μs	410 μs
$2^6/f_W$	1.95 ms	820 μs
$2^7/f_W$	3.91 ms	1.64 ms
$2^8/f_W$	7.81 ms	3.28 ms
$2^9/f_W$	15.6 ms	6.55 ms
$2^{10}/f_W$	31.3 ms	13.1 ms
$2^{11}/f_W$	62.5 ms	26.2 ms

備考　f_X　：高速システム・クロック発振周波数
f_{XT}　：サブシステム・クロック発振周波数
f_W　：時計用タイマ・クロック周波数

10.2　時計用タイマの構成

時計用タイマは，次のハードウエアで構成されています。

表10－3　時計用タイマの構成

項　　目	構　　成
カウンタ	5ビット×1本
プリスケーラ	11ビット×1本
制御レジスタ	時計用タイマ動作モード・レジスタ（WTM）

10. 3　時計用タイマを制御するレジスタ

時計用タイマを制御するレジスタには，時計用タイマ動作モード・レジスタ（WTM）があります。

・時計用タイマ動作モード・レジスタ（WTM）

時計用タイマのカウント・クロックおよび動作の許可／禁止，プリスケーラのインターバル時間，5ビット・カウンタの動作制御を設定するレジスタです。

WTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

図10－2　時計用タイマ動作モード・レジスタ（WTM）のフォーマット

アドレス：FF6FH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	時計用タイマのカウント・クロック選択
0	$f_X/2^7$（78.125 kHz）
1	f_{XT}（32.768 kHz）

WTM6	WTM5	WTM4	プリスケーラのインターバル時間の選択
0	0	0	$2^4/f_W$
0	0	1	$2^5/f_W$
0	1	0	$2^6/f_W$
0	1	1	$2^7/f_W$
1	0	0	$2^8/f_W$
1	0	1	$2^9/f_W$
1	1	0	$2^{10}/f_W$
1	1	1	$2^{11}/f_W$

WTM3	WTM2	割り込み時間の選択
0	0	$2^{14}/f_W$
0	1	$2^{13}/f_W$
1	0	$2^5/f_W$
1	1	$2^4/f_W$

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止（プリスケーラ，タイマともにクリア）
1	動作許可

注意　時計用タイマ動作中に，カウント・クロック，インターバル時間の変更（WTMのビット4-7（WTM4-WTM7）で設定）をしないでください。

備考1．f_W　：時計用タイマ・クロック周波数（$f_X/2^7$またはf_{XT}）
2．f_X　：高速システム・クロック発振周波数
3．f_{XT}　：サブシステム・クロック発振周波数
4．（　）内は，f_X = 10 MHz，f_{XT} = 32.768 kHz動作時

10.4　時計用タイマの動作

10.4.1　時計用タイマとしての動作

時計用タイマは，高速システム・クロックまたはサブシステム・クロックを使用し，一定の時間間隔ごとに，割り込み要求（INTWT）を発生します。

時計用タイマ動作モード・レジスタ（WTM）のビット0（WTM0）とビット1（WTM1）に1を設定するとカウント動作がスタートし，0を設定することにより，5ビット・カウンタがクリアされ，カウント動作が停止します。

また，インターバル・タイマを同時に動作させているときは，WTM1に0を設定することにより，時計用タイマのみをゼロ秒スタートさせることができます。ただし，この場合，11ビット・プリスケーラはクリアされないため，時計用タイマのゼロ秒スタート後最初のオーバフロー（INTWT）には，最大で$2^9 \times 1/f_W$秒の誤差が発生します。

割り込み要求の時間間隔は，次のようになります。

表10－4　時計用タイマの割り込み時間

WTM3	WTM2	割り込み時間の選択	f_{XT} = 32.768 kHz動作時（WTM7 = 1）	f_X = 10 MHz動作時（WTM7 = 0）
0	0	$2^{14}/f_W$	0.5 s	0.210 s
0	1	$2^{13}/f_W$	0.25 s	0.105 s
1	0	$2^5/f_W$	977 μs	410 μs
1	1	$2^4/f_W$	488 μs	205 μs

備考　f_W　：時計用タイマ・クロック周波数
f_X　：高速システム・クロック発振周波数
f_{XT}　：サブシステム・クロック発振周波数

10. 4. 2　インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし，繰り返し割り込み要求（INTWTI）を発生するインターバル・タイマとして動作します。

時計用タイマ動作モード・レジスタ（WTM）のビット4-6（WTM4-WTM6）により，インターバル時間を選択できます。WTMのビット0（WTM0）に1を設定するとカウント動作がスタートし，0を設定することにより，カウント動作が停止します。

表10－5　インターバル・タイマのインターバル時間

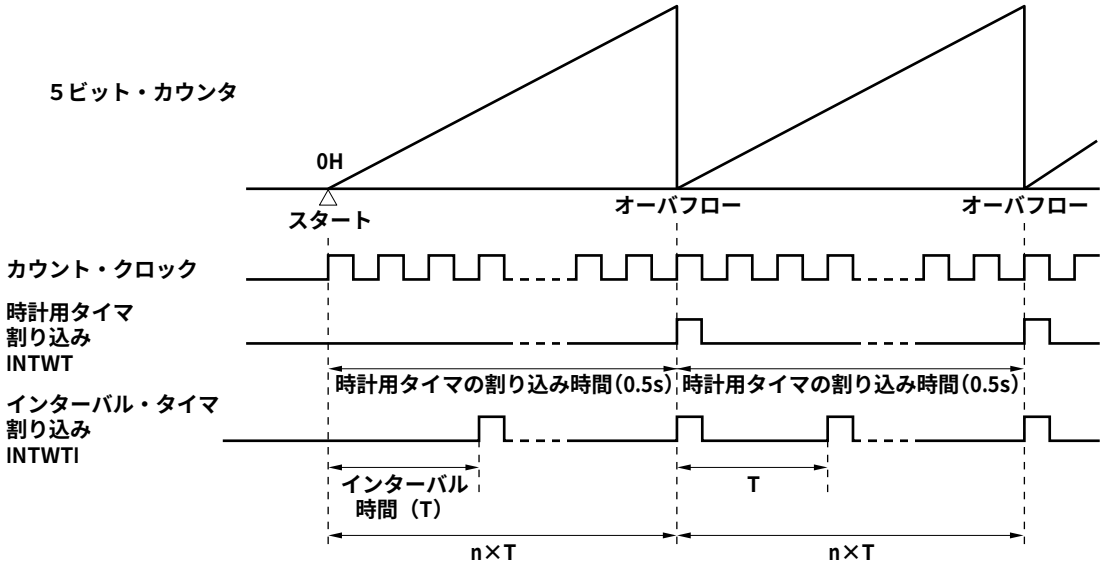
WTM6	WTM5	WTM4	インターバル時間	f_{XT} = 32.768 kHz動作時（WTM7 = 1）	f_X = 10 MHz動作時（WTM7 = 0）
0	0	0	$2^4/f_W$	488 μs	205 μs
0	0	1	$2^5/f_W$	977 μs	410 μs
0	1	0	$2^6/f_W$	1.95 ms	820 μs
0	1	1	$2^7/f_W$	3.91 ms	1.64 ms
1	0	0	$2^8/f_W$	7.81 ms	3.28 ms
1	0	1	$2^9/f_W$	15.6 ms	6.55 ms
1	1	0	$2^{10}/f_W$	31.3 ms	13.1 ms
1	1	1	$2^{11}/f_W$	62.5 ms	26.2 ms

備考　f_W　：時計用タイマ・クロック周波数

f_X　：高速システム・クロック発振周波数

f_{XT}　：サブシステム・クロック発振周波数

図10－3　時計用タイマ／インターバル・タイマの動作タイミング



備考　f_W：時計用タイマ・クロック周波数

n　：インターバル・タイマ動作の回数

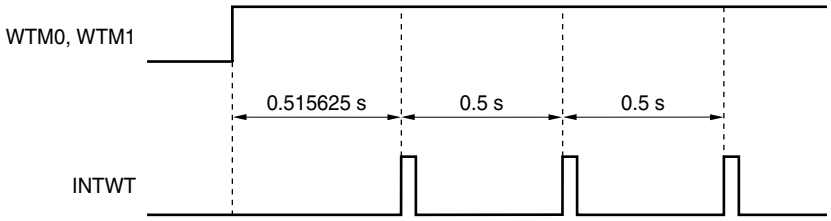
（　）内は，f_W = 32.768 kHz動作時（WTM7 = 1, WTM3, WTM2 = 0, 0）。

10. 5　時計用タイマの注意事項

時計用タイマ・モード・コントロール・レジスタ（WTM）で時計用タイマおよび5ビット・カウンタを動作許可（WTMのビット0（WTM0）およびビット1（WTM1）を1にセット）したとき，設定後の最初の割り込み要求（INTWT）までの時間は，正確にWTMのビット2, 3（WTM2, WTM3）の設定時間にはなりません。2回目以降は設定時間ごとにINTWT信号が発生します。

図10－4　時計用タイマ割り込み要求（INTWT）の発生例（割り込み周期 = 0.5 sの場合）

1回目のINTWTが発生するまでに，最大0.515625 sかかります（2^9×1/32768 = 0.015625 s長くかかります）。そのあとは0.5 sごとにINTWTが発生します。



第11章　ウォッチドッグ・タイマ

11.1　ウォッチドッグ・タイマの機能

プログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDTRF）がセット（1）されます。RESFの詳細については第22章　リセット機能を参照してください。

表11－1　ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	
内蔵発振クロック動作時	高速システム・クロック動作時
$2^{11}/f_R$（4.27 ms）	$2^{13}/f_{XP}$（819.2 μs）
$2^{12}/f_R$（8.53 ms）	$2^{14}/f_{XP}$（1.64 ms）
$2^{13}/f_R$（17.07 ms）	$2^{15}/f_{XP}$（3.28 ms）
$2^{14}/f_R$（34.13 ms）	$2^{16}/f_{XP}$（6.55 ms）
$2^{15}/f_R$（68.27 ms）	$2^{17}/f_{XP}$（13.11 ms）
$2^{16}/f_R$（136.53 ms）	$2^{18}/f_{XP}$（26.21 ms）
$2^{17}/f_R$（273.07 ms）	$2^{19}/f_{XP}$（52.43 ms）
$2^{18}/f_R$（546.13 ms）	$2^{20}/f_{XP}$（104.86 ms）

備考1．f_R：内蔵発振クロック周波数

2．f_{XP}：高速システム・クロック発振周波数

3．（　）内はf_R = 480 kHz（MAX.），f_{XP} = 10 MHz動作時

内蔵発振器のオプション・バイト設定により，ウォッチドッグ・タイマ（WDT）の動作モードが表11－2に示すように変わります。

表11－2　オプション・バイトの設定とウォッチドッグ・タイマの動作モード

	オプション・バイト	
	内蔵発振器停止不可	内蔵発振器をソフトウエアにより停止可能
ウォッチドッグ・タイマのクロック・ソース	f_R固定[注1]	・ソフトで選択可（f_{XP}またはf_Rまたは停止） ・リセット解除時：f_R
リセット後の動作	最長インターバル（$2^{18}/f_R$）で動作開始	最長インターバル（$2^{18}/f_R$）で動作開始
動作モード選択	インターバルを一度だけ変更可能	クロック選択／インターバルを一度だけ変更可能
特　徴	ウォッチドッグ・タイマ停止不可	スタンバイ時にウォッチドッグ・タイマ停止可能[注2]

注1．電源が供給されているかぎり，内蔵発振器の発振を絶対に停止することができません（リセット期間中は除く）。

2．ウォッチドッグ・タイマのクロック・ソースに応じて，ウォッチドッグ・タイマへのクロック供給停止の条件は異なります。

① クロック・ソースがf_{XP}の場合，次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- f_{XP}停止時
- HALT/STOPモード時
- 発振安定時間中

② クロック・ソースがf_Rの場合，次の条件のときにウォッチドッグ・タイマへのクロック供給停止

- CPUクロックがf_{XP}で，STOP命令実行前にf_Rをソフトウエアで停止した場合
- HALT/STOPモード時

備考1．f_R　：内蔵発振クロック周波数

2．f_{XP} ：高速システム・クロック発振周波数

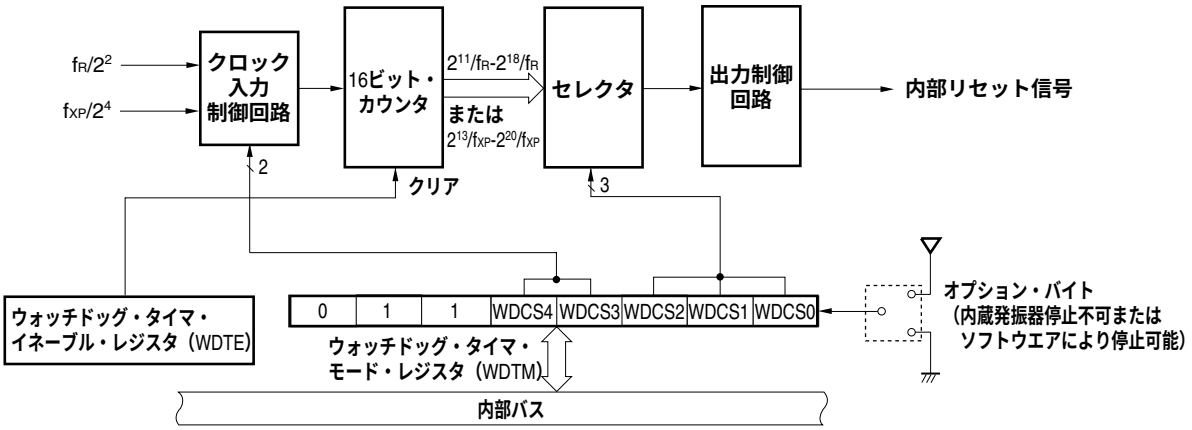
11.2　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表11－3　ウォッチドッグ・タイマの構成

項　　目	構　　成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ（WDTM） ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

図11－1　ウォッチドッグ・タイマのブロック図



11.3　ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するには，次の2種類があります。

・ウォッチドッグ・タイマ・モード・レジスタ（WDTM）
・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

(1) ウォッチドッグ・タイマ・モード・レジスタ（WDTM）

ウォッチドッグ・タイマのオーバフロー時間および動作クロックを設定するレジスタです。

WDTMは8ビット・メモリ操作命令で設定します。読み出しは何回でもできますが，書き込みはリセット解除後に1回のみできます。

$\overline{\text{RESET}}$入力により67Hになります。

図11－2　ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のフォーマット

アドレス：FF98H　リセット時：67H　R/W

略号	7	6	5	4	3	2	1	0
WDTM	0	1	1	WDCS4	WDCS3	WDCS2	WDCS1	WDCS0

WDCS4注1	WDCS3注1	動作クロックの選択
0	0	内蔵発振クロック（f_R）
0	1	高速システム・クロック（f_{XP}）
1	×	ウォッチドッグ・タイマ動作停止

WDCS2注2	WDCS1注2	WDCS0注2	オーバフロー時間の設定	
			内蔵発振クロック動作時	高速システム・クロック動作時
0	0	0	$2^{11}/f_R$（4.27 ms）	$2^{13}/f_{XP}$（819.2 μs）
0	0	1	$2^{12}/f_R$（8.53 ms）	$2^{14}/f_{XP}$（1.64 ms）
0	1	0	$2^{13}/f_R$（17.07 ms）	$2^{15}/f_{XP}$（3.28 ms）
0	1	1	$2^{14}/f_R$（34.13 ms）	$2^{16}/f_{XP}$（6.55 ms）
1	0	0	$2^{15}/f_R$（68.27 ms）	$2^{17}/f_{XP}$（13.11 ms）
1	0	1	$2^{16}/f_R$（136.53 ms）	$2^{18}/f_{XP}$（26.21 ms）
1	1	0	$2^{17}/f_R$（273.07 ms）	$2^{19}/f_{XP}$（52.43 ms）
1	1	1	$2^{18}/f_R$（546.13 ms）	$2^{20}/f_{XP}$（104.86 ms）

注1．オプション・バイトで「内蔵発振器は停止不可」を選択した場合は，設定できません。
どんな値を書いても内蔵発振クロックが選択されます。
2．リセット解除時は最大周期（WDCS2,1,0 = 1,1,1）となります。

注意1．WDTMにデータを書き込むと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，WDTMにデータを書き込まないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。
2．ビット7, 6, 5にはそれぞれ“0”“1”“1”を設定してください（オプション・バイトで「内蔵発振器は停止不可」を選択した場合は，違う値を書いても無視されます）。

注意3．リセット解除後，WDTMへの書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。

4．WDTMは1ビット・メモリ操作命令では設定できません。

5．オプション・バイトで「内蔵発振器はソフトウエアにより停止可能」を選択し，WDCS4を1に設定してウォッチドッグ・タイマを停止させた場合，再びWDCS4を0にクリアしてもウォッチドッグ・タイマは動作しません。また内部リセット信号も発生しません。

備考1．f_R　：内蔵発振クロック周波数

2．f_{XP} ：高速システム・クロック発振周波数

3．×：don't care

4．（　）内は，f_R = 480 kHz（MAX.），f_{XP} = 10 MHz動作時

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により9AHになります。

図11－3　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FF99H　リセット時：9AH　R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注意1．WDTEに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。

2．WDTEに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。

3．WDTEのリード値は，“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

ウォッチドッグ・タイマ動作とウォッチドッグ・タイマで発生する内部リセット信号の関係を次に示します。

表11－4　ウォッチドッグ・タイマ動作とウォッチドッグ・タイマで発生する内部リセット信号の関係

ウォッチドッグ・タイマの動作 ＼ 内部リセット信号発生要因	オプション・バイトで「内蔵発振器は停止不可」に設定（ウォッチドッグ・タイマは常に動作）	オプション・バイトで「内蔵発振器はソフトウエアにより停止可能」に設定		
		ウォッチドッグ・タイマ動作中	ウォッチドッグ・タイマ停止	
			WDCS4に1を設定	ウォッチドッグ・タイマのソース・クロックが停止
ウォッチドッグ・タイマのオーバフロー	内部リセット信号発生	内部リセット信号発生	－	－
WDTMへの2回目の書き込み	内部リセット信号発生	内部リセット信号発生	内部リセット信号は発生しない。またウォッチドッグ・タイマは再動作しない。	再びウォッチドッグ・タイマのソース・クロックが動作した時点で内部リセット信号発生
WDTEへの“ACH”以外の書き込み	内部リセット信号発生	内部リセット信号発生	内部リセット信号は発生しない	再びウォッチドッグ・タイマのソース・クロックが動作した時点で内部リセット信号発生
WDTEへの1ビット・メモリ操作命令でのアクセス				

11.4　ウォッチドッグ・タイマの動作

11.4.1　オプション・バイトで「内蔵発振器は停止不可」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックは内蔵発振クロックに固定となります。

リセット解除後は，最大周期（ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のビット2, 1, 0（WDCS2, WDCS1, WDCS0）= 1, 1, 1）で動作を開始します。ウォッチドッグ・タイマの動作を停止することはできません。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1．リセット解除時の状態は次のようになります。
　・動作クロック：内蔵発振クロック
　・周期：$2^{18}/f_R$（546.13 ms：f_R = 480 kHz（MAX.）動作時）
　・カウント開始
2．ウォッチドッグ・タイマ・モード・レジスタ（WDTM）に次の内容を8ビット・メモリ操作命令で設定してください[注1, 2]。
　・周期：ビット2-0（WDCS2- WDCS0）で設定
3．以後，WDTEに“ACH”を書き込むことによりカウントをクリア（0）し，再カウントすることができます。

注1．動作クロック（内蔵発振クロック）を変更することはできません。WDTMのビット3, 4（WDCS3, WDCS4）にどんな値を書き込んでも無視されます。
　2．WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウンタはいったんクリアされます。

注意　このモードでは，STOP命令実行時でも絶対にウォッチドッグ・タイマの動作を停止できません。8ビット・タイマH1（TMH1）はカウント・ソースに内蔵発振クロックの分周を選択できますので，STOP命令実行後はウォッチドッグ・タイマのオーバフロー発生前にTMH1の割り込み要求を使用して，ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は，STOP命令実行後，ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号を発生します。

11. 4. 2　オプション・バイトで「内蔵発振器はソフトウエアにより停止可能」を選択した場合のウォッチドッグ・タイマ動作

ウォッチドッグ・タイマの動作クロックを内蔵発振クロックまたは高速システム・クロックに選択できます。

リセット解除後は，内蔵発振クロックの最大周期（ウォッチドッグ・タイマ・モード・レジスタ（WDTM）のビット2, 1, 0（WDCS2, WDCS1, WDCS0）= 1, 1, 1）で動作を開始します。

次にリセット解除からのウォッチドッグ・タイマの動作を示します。

1．リセット解除時の状態は次のようになります。
- 動作クロック：内蔵発振クロック
- 周期：$2^{18}/f_R$（546.13 ms：f_R = 480 kHz（MAX.）動作時）
- カウント開始

2．ウォッチドッグ・タイマ・モード・レジスタ（WDTM）に次の内容を8ビット・メモリ操作命令で設定してください[注1, 2, 3]。
- 動作クロック：ビット3, 4（WDCS3, WDCS4）で次のうちのいずれかを選択
  - 内蔵発振クロック（f_R）
  - 高速システム・クロック（f_{XP}）
  - ウォッチドッグ・タイマ動作停止
- 周期：ビット2-0（WDCS2- WDCS0）で設定

3．以後，WDTEに“ACH”を書き込むことによりカウントをクリア（0）し，再カウントすることができます。

注1．WDTMへの書き込みを実行した時点でウォッチドッグ・タイマのカウンタはいったんクリアされます。

2．ビット7, 6, 5にはそれぞれ“0”,“1”,“1”を設定してください。それ以外の値を設定しないでください。

3．WDCS4, WDCS3にそれぞれ“1”,“×”を設定しウォッチドッグ・タイマを停止した場合，次の内容を実行しても内部リセット信号は発生しません。
- WDTMへの2回目の書き込み
- WDTEへの1ビット・メモリ操作命令実行
- WDTEへの“ACH”以外の値の書き込み

注意　このモードでは，HALT/STOP命令実行時のウォッチドッグ・タイマ動作は停止します。HALT/STOPモード解除後，HALT/STOP命令実行前にWDTMで設定したウォッチドッグ・タイマの動作クロックでカウントを再開します。このとき，カウントはクリア（0）されず，値を保持します。

各状態におけるSTOPモードおよびHALTモード中のウォッチドッグ・タイマ動作については11. 4. 3　STOPモード時の動作，11. 4. 4　HALTモード時の動作を参照してください。

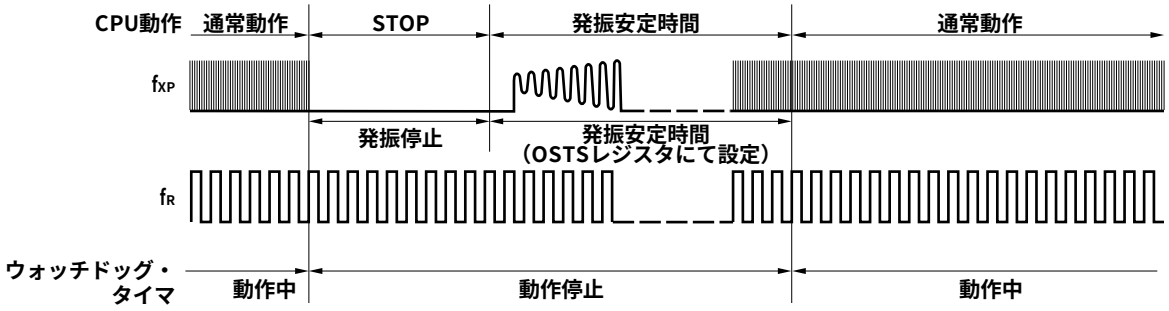
11. 4. 3　STOPモード時の動作（オプション・バイトで「内蔵発振器はソフトウエアにより停止可能」を選択した場合）

高速システム・クロック動作時，内蔵発振クロック動作時にかかわらず，STOP命令実行時にウォッチドッグ・タイマはカウントを停止します。

（1）STOP実行時のCPUクロックとウォッチドッグ・タイマの動作クロックが高速システム・クロック（f_{XP}）の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，発振安定時間選択レジスタ（OSTS）で設定した発振安定時間分カウント停止したあとに，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア（0）されず，値を保持します。

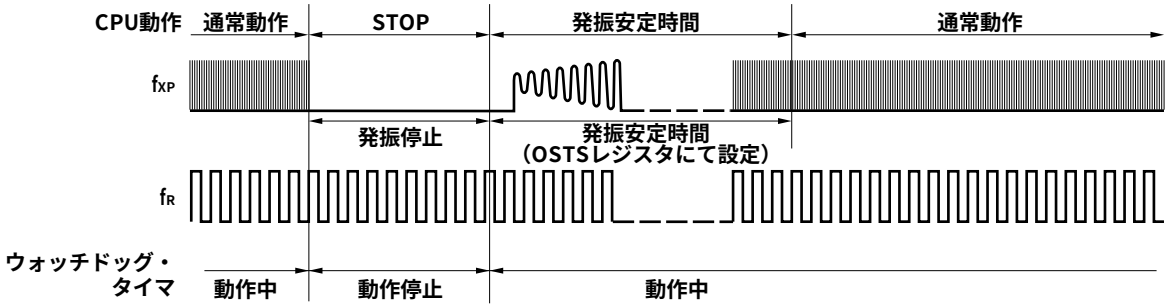
図11－4　STOPモード時の動作（CPUクロックとWDT動作クロック：高速システム・クロック）



（2）STOP実行時のCPUクロックが高速システム・クロック（f_{XP}），ウォッチドッグ・タイマの動作クロックが内蔵発振クロック（f_R）の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア（0）されず，値を保持します。

図11－5　STOPモード時の動作
（CPUクロック：高速システム・クロック，WDT動作クロック：内蔵発振クロック）



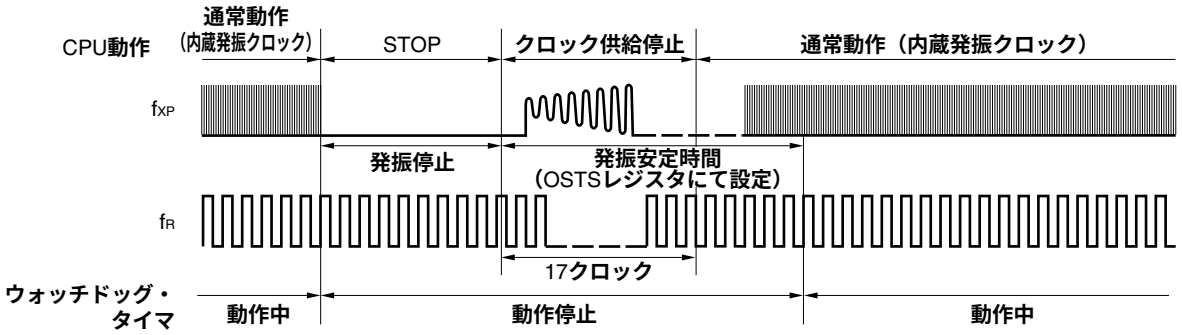
(3) STOP実行時のCPUクロックが内蔵発振クロック（f_R），ウォッチドッグ・タイマの動作クロックが高速システム・クロック（f_{XP}）の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は，①または②のうち早いほうのタイミングまでカウントを停止したあとに，動作停止前の動作クロックでカウントを開始します。このとき，カウンタはクリア（0）されず，値を保持します。

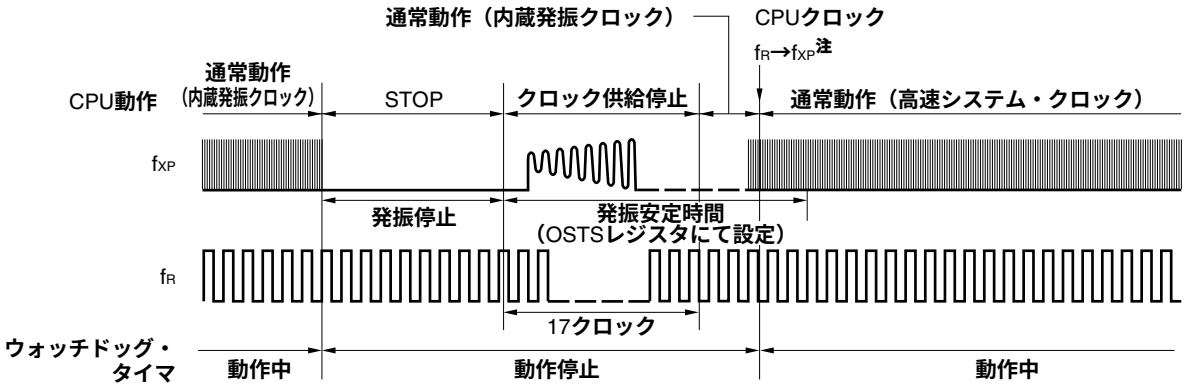
① 発振安定時間選択レジスタ（OSTS）で設定した発振安定時間経過
② CPUクロックを高速システム・クロック（f_{XP}）に切り替え

図11－6　STOPモード時の動作
（CPUクロック：内蔵発振クロック，WDT動作クロック：高速システム・クロック）

① 発振安定時間選択レジスタ（OSTS）で設定した発振安定時間経過後にカウント開始した場合のタイミング



② CPUクロックを高速システム・クロック（f_{XP}）に切り替え後にカウント開始した場合のタイミング

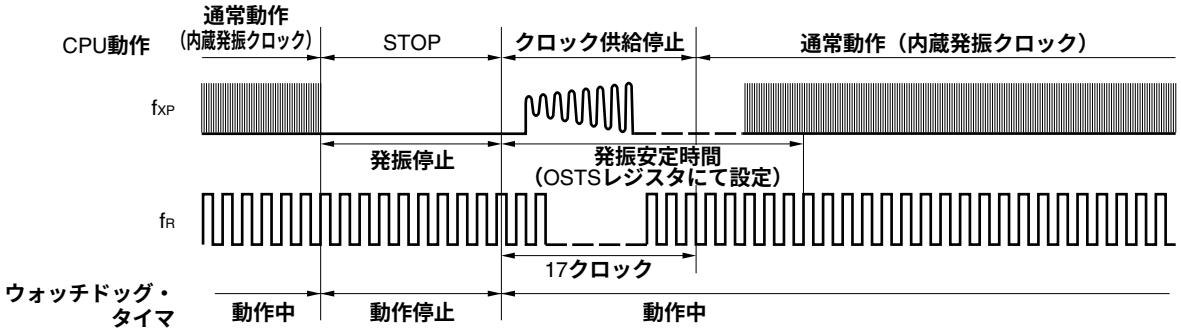


注　f_{XP}の発振安定時間は，発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

（4）STOP実行時のCPUクロックとウォッチドッグ・タイマの動作クロックが内蔵発振クロック（f_R）の場合

STOP命令実行時は，ウォッチドッグ・タイマの動作を停止します。STOPモード解除後は動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア（0）されず，値を保持します。

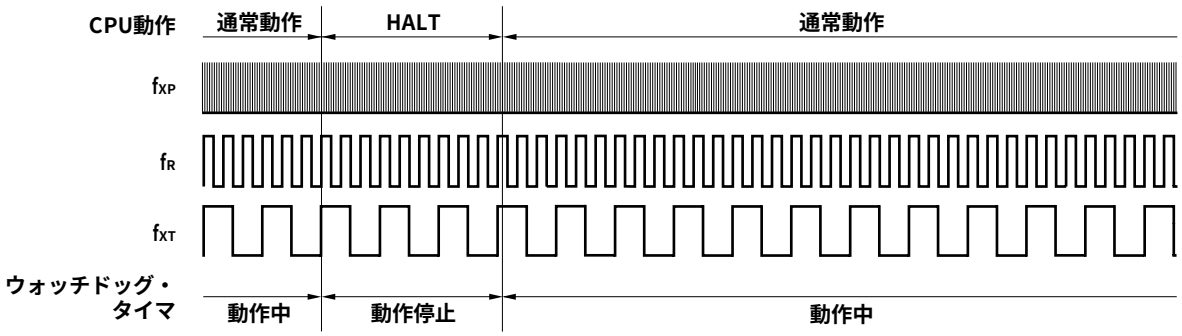
図11－7　STOPモード時の動作（CPUクロックとWDT動作クロック：内蔵発振クロック）



11. 4. 4　HALTモード時の動作（オプション・バイトで「内蔵発振器はソフトウエアにより停止可能」を選択した場合）

CPUクロックが高速システム・クロック（f_{XP}），内蔵発振クロック（f_R），サブシステム・クロック（f_{XT}），およびウォッチドッグ・タイマの動作クロックが高速システム・クロック（f_{XP}），内蔵発振クロック（f_R）にかかわらず，HALT命令実行時は，ウォッチドッグ・タイマの動作を停止します。HALTモード解除後は，動作停止前の動作クロックでカウントを再開します。このとき，カウンタはクリア（0）されず，値を保持します。

図11－8　HALTモード時の動作



第12章　クロック出力／ブザー出力制御回路

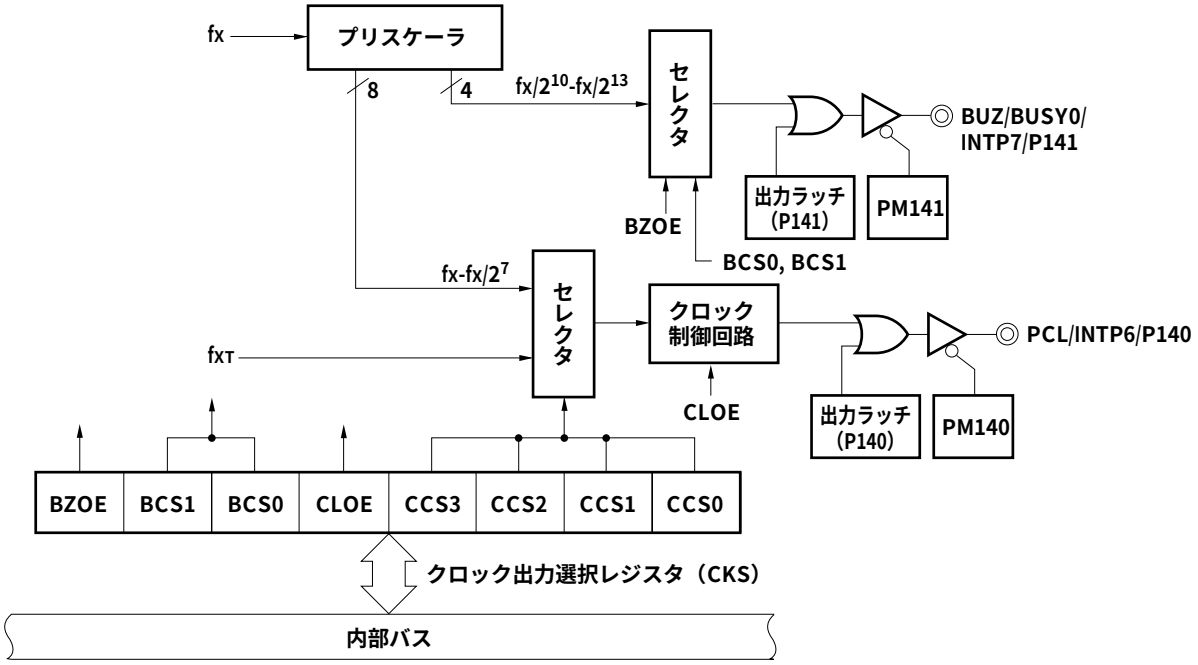
12. 1　クロック出力／ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺LSIに供給するクロックを出力する機能です。クロック出力選択レジスタ（CKS）で選択したクロックを出力します。

また，ブザー出力はCKSで選択したブザー周波数の方形波を出力する機能です。

図12－1にクロック出力／ブザー出力制御回路のブロック図を示します。

図12－1　クロック出力／ブザー出力制御回路のブロック図



12. 2　クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は，次のハードウエアで構成されています。

表12－1　クロック出力／ブザー出力制御回路の構成

項　　目	構　　成
制御レジスタ	クロック出力選択レジスタ（CKS） ポート・モード・レジスタ14（PM14） ポート・レジスタ14（P14）

12. 3　クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は，次の2種類のレジスタで制御します。

・クロック出力選択レジスタ（CKS）

・ポート・モード・レジスタ14（PM14）

(1) クロック出力選択レジスタ（CKS）

クロック出力（PCL），ブザー周波数出力（BUZ）の出力許可／禁止，および出力クロックを設定するレジスタです。

CKSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図12－2　クロック出力選択レジスタ（CKS）のフォーマット

アドレス：FF40H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
CKS	BZOE	BCS1	BCS0	CLOE	CCS3	CCS2	CCS1	CCS0

BZOE	BUZの出力許可／禁止の指定
0	クロック分周回路動作停止。BUZ = ロウ・レベル固定。
1	クロック分周回路動作許可。BUZ出力許可。

BCS1	BCS0	BUZの出力クロックの選択
0	0	$f_X/2^{10}$（9.77 kHz）
0	1	$f_X/2^{11}$（4.88 kHz）
1	0	$f_X/2^{12}$（2.44 kHz）
1	1	$f_X/2^{13}$（1.22 kHz）

CLOE	PCLの出力許可／禁止の指定
0	クロック分周回路動作停止。PCL = ロウ・レベル固定。
1	クロック分周回路動作許可。PCL出力許可。

CCS3	CCS2	CCS1	CCS0	PCLの出力クロックの選択注
0	0	0	0	f_X（10 MHz）
0	0	0	1	$f_X/2$（5 MHz）
0	0	1	0	$f_X/2^2$（2.5 MHz）
0	0	1	1	$f_X/2^3$（1.25 MHz）
0	1	0	0	$f_X/2^4$（625 kHz）
0	1	0	1	$f_X/2^5$（312.5 kHz）
0	1	1	0	$f_X/2^6$（156.25 kHz）
0	1	1	1	$f_X/2^7$（78.125 kHz）
1	0	0	0	f_{XT}（32.768 kHz）
上記以外				設定禁止

注　PCLの出力クロックは，次の条件を満たすように設定してください。

・PCLの出力クロック≦10 MHz

備考1．f_X　：高速システム・クロック発振周波数

2．f_{XT}：サブシステム・クロック発振周波数

3．（　）内は，f_X = 10 MHzまたはf_{XT} = 32.768 kHz動作時。

(2) ポート・モード・レジスタ14（PM14）

ポート14の入力／出力を1ビット単位で設定するレジスタです。

P140/INTP6/PCL端子をクロック出力機能として，P141/BUSY0/INTP7/BUZ端子をブザー出力機能として使用するとき，PM140, PM141およびP140, P141の出力ラッチに0を設定してください。

PM14は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

図12－3　ポート・モード・レジスタ14（PM14）のフォーマット

アドレス：FF2EH　　リセット時：FFH　　R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PM14n	P14n端子の入出力モードの選択（n = 0-5）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

12. 4　クロック出力／ブザー出力制御回路の動作

12. 4. 1　クロック出力としての動作

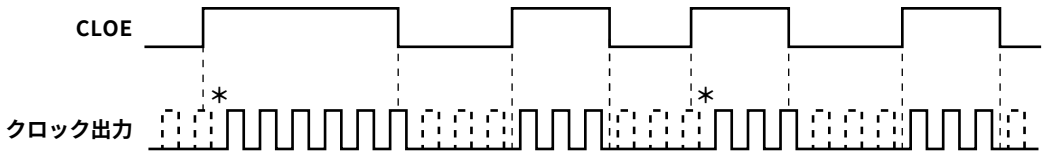
クロック・パルスは，次の手順で出力します。

① クロック出力選択レジスタ（CKS）のビット0-3（CCS0-CCS3）でクロック・パルスの出力周波数を選択する（クロック・パルスの出力は禁止の状態）。

② CKSのビット4（CLOE）に1を設定し，クロック出力を許可する。

備考　クロック出力制御回路は，クロック出力の出力許可／禁止を切り替えるときに，幅の狭いパルスは出力されないようになっています。図12－4に示すように，必ずクロックのロウ期間から出力を開始します（図中の＊印参照）。また，停止する場合には，クロックのハイ・レベルを保証してから出力を停止します。

図12－4　リモコン出力応用例



12. 4. 2　ブザー出力としての動作

ブザー・クロックは，次の手順で出力します。

① クロック出力選択レジスタ（CKS）のビット5, 6（BCS0, BCS1）でブザー出力周波数を選択する（ブザー出力は禁止の状態）。

② CKSのビット7（BZOE）に1を設定し，ブザー出力を許可する。

第13章　A/Dコンバータ

13. 1　A/Dコンバータの機能

A/Dコンバータは，アナログ入力をディジタル値に変換する10ビット分解能のコンバータで，最大8チャネル（ANI0-ANI7）のアナログ入力を制御できる構成になっています。

A/Dコンバータには，次のような機能があります。

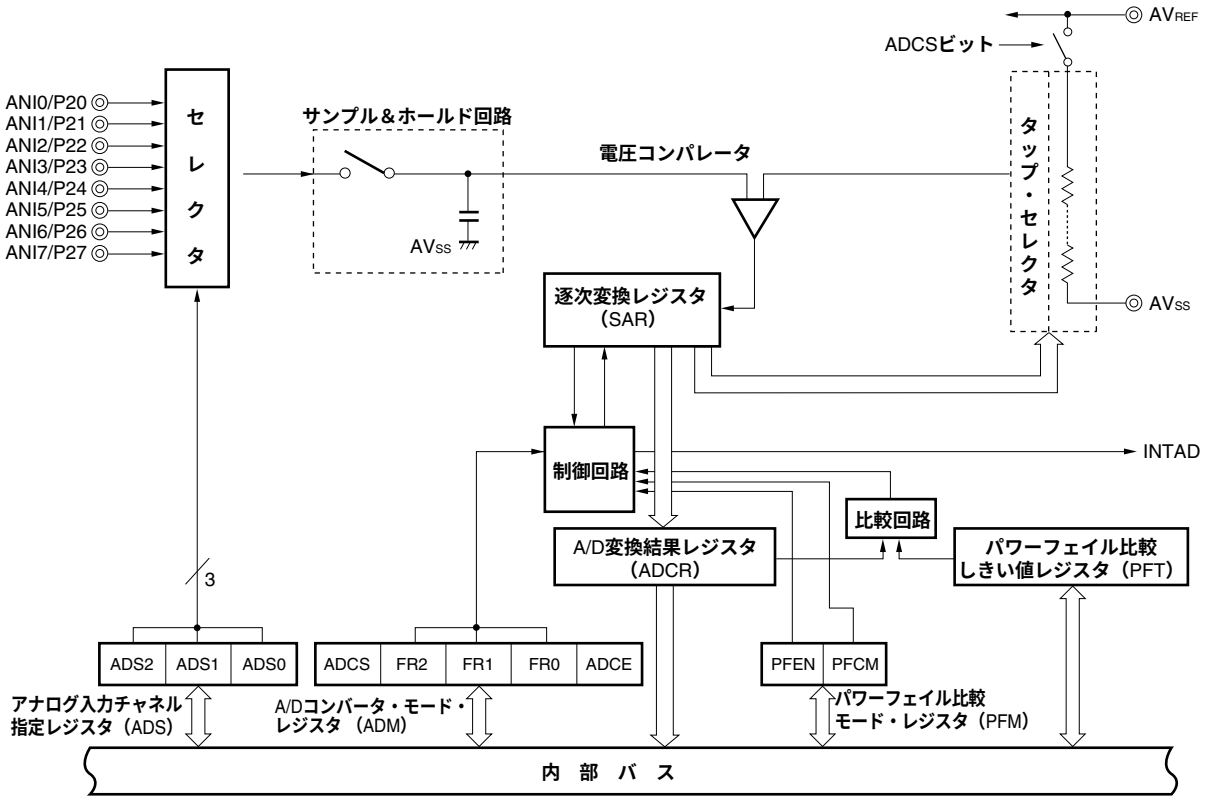
(1) 10ビット分解能A/D変換

アナログ入力をANI0-ANI7から1チャネル選択し，10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに，割り込み要求（INTAD）を発生します。

(2) パワーフェイル検出機能

バッテリ電圧低下を検出するための機能です。A/D変換結果（ADCRレジスタ値）とパワーフェイル比較しきい値レジスタ（PFT）の値との大小比較を行い，比較条件に合致した場合のみINTADを発生します。

図13－1　A/Dコンバータのブロック図



13. 2　A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

表13－1　ソフトウエア上で使用するA/Dコンバータのレジスタ

項　　目	構　　成
レジスタ	A/D変換結果レジスタ（ADCR） A/Dコンバータ・モード・レジスタ（ADM） アナログ入力チャネル指定レジスタ（ADS） パワーフェイル比較モード・レジスタ（PFM） パワーフェイル比較しきい値レジスタ（PFT）

（1）ANI0-ANI7端子

A/Dコンバータへの8チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力チャネル指定レジスタ（ADS）でアナログ入力として選択した端子以外は，入力ポートとして使用できます。

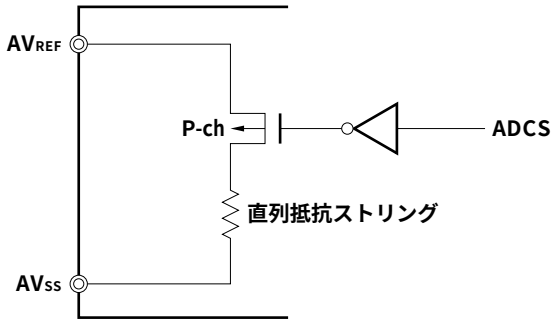
（2）サンプル＆ホールド回路

サンプル＆ホールド回路は，セレクタで選択されたアナログ入力端子の入力信号をA/D変換開始時にサンプリングし，そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

（3）直列抵抗ストリング

直列抵抗ストリングはAV_{REF}-AV_{SS}間に接続されており，アナログ入力と比較する電圧を発生します。

図13－2　直列抵抗ストリングの回路構成



（4）電圧コンパレータ

電圧コンパレータは，サンプリングしたアナログ入力電圧と直列抵抗ストリングの出力電圧を比較します。

（5）逐次変換レジスタ（SAR）

サンプリングされたアナログ電圧値と直列抵抗ストリングからの電圧値を比較し，その結果を最上位ビット（MSB）から変換するレジスタです。

最下位ビット（LSB）までディジタル値に変換すると（A/D変換終了），SARレジスタの内容はA/D変換結果レジスタ（ADCR）に転送されます。

(6) A/D変換結果レジスタ（ADCR）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

(7) 制御回路

A/D変換が終了するか，パワーフェイル検出機能使用時，A/D変換結果（ADCRレジスタ値）とパワーフェイル比較しきい値レジスタ（PFT）の値との大小比較を行い，比較条件に合致した場合のみINTAD発生します。

(8) AV_{REF}端子

A/Dコンバータのアナログ電源端子／基準電圧を入力する端子です。A/Dコンバータを使用しないときでも，常にV_{DD}端子と同電位で使用してください。

AV_{REF}, AV_{SS}間にかかる電圧に基づいて，ANI0-ANI7に入力される信号をディジタル信号に変換します。

(9) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも，常にV_{SS}端子と同電位で使用してください。

(10) A/Dコンバータ・モード・レジスタ（ADM）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

(11) アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

(12) パワーフェイル比較モード・レジスタ（PFM）

パワーフェイル監視モードを設定するレジスタです。

(13) パワーフェイル比較しきい値レジスタ（PFT）

A/D変換結果レジスタ（ADCR）と大小比較する場合のしきい値を設定するレジスタです。

13. 3　A/Dコンバータで使用するレジスタ

A/Dコンバータは，次の5種類のレジスタを使用します。

・A/Dコンバータ・モード・レジスタ（ADM）
・アナログ入力チャネル指定レジスタ（ADS）
・A/D変換結果レジスタ（ADCR）
・パワーフェイル比較モード・レジスタ（PFM）
・パワーフェイル比較しきい値レジスタ（PFT）

（1）A/Dコンバータ・モード・レジスタ（ADM）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。
ADMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
$\overline{\text{RESET}}$入力により，00Hになります。

図13－3　A/Dコンバータ・モード・レジスタ（ADM）のフォーマット

アドレス：FF28H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADM	ADCS	0	FR2	FR1	FR0	0	0	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

FR2	FR1	FR0	変換時間の選択注1				
				fx = 2 MHz	fx = 8.38 MHz	fx = 10 MHz	fx = 16 MHz
0	0	0	288/fx	144 μs	34.3 μs	28.8 μs	18 μs
0	0	1	240/fx	120 μs	28.6 μs	24.0 μs	15 μs
0	1	0	192/fx	96 μs	22.9 μs	19.2 μs	12 μs
1	0	0	144/fx	72 μs	17.2 μs	14.4 μs	9 μs
1	0	1	120/fx	60 μs	14.3 μs	12.0 μs	7.5 μs
1	1	0	96/fx	48 μs	11.5 μs	9.6 μs	6 μs
上記以外			設定禁止				

ADCE	昇圧基準電圧生成回路の動作制御注2
0	基準電圧生成回路の動作停止
1	基準電圧生成回路の動作許可

★　注1．A/D変換時間が次の時間になるように設定してください。
・標準品，（A）水準品：14 μs以上100 μs未満
・（A1）水準品　　：14 μs以上60 μs未満

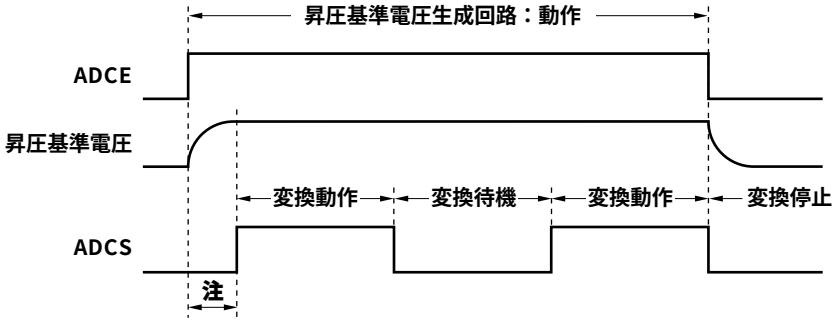
注2．低電圧動作を実現するために，昇圧回路を内蔵しています。昇圧の基準となる基準電圧を生成する回路は，ADCEで動作制御され，動作開始から安定するまでに，14 μsかかります。このため，ADCEに1を設定してから14 μs以上経過したあとに，ADCSに1を設定することで，最初の変換結果より有効となります。

表13－2　ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（基準電圧生成回路のみ電力を消費）
1	0	変換モード（基準電圧生成回路動作停止注）
1	1	変換モード（基準電圧生成回路動作）

注　最初の1変換目のデータは使用禁止です。

図13－4　昇圧基準電圧生成回路使用時のタイミング・チャート



注　ADCEビットの立ち上がりから，ADCSビットの立ち上がりまでの時間は基準電圧安定のため14 μs以上必要です。

注意1．FR0-FR2を同一データ以外に書き換える場合は，いったんA/D変換動作を停止させたのちに行ってください。

2．A/Dコンバータのサンプリング時間とA/D変換開始遅延時間については，13．6　A/Dコンバータの注意事項の（11）を参照してください。

3．ADMにデータを書き込むと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，ADMにデータを書き込まないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。

備考　fx：高速システム・クロック発振周波数

(2) アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図13－5　アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス：FF29H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2	ADS1	ADS0

ADS2	ADS1	ADS0	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

注意1．ビット3-7には必ず0を設定してください。

2．ADSにデータを書き込むと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，ADSにデータを書き込まないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。

（3）A/D変換結果レジスタ（ADCR）

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされます。ADCRには最上位ビット（MSB）から順に格納されます。FF09Hには変換結果の上位8ビットが，FF08Hには変換結果の下位2ビットが入ります。

ADCRは，16ビット・メモリ操作命令で読み出せます。

$\overline{\text{RESET}}$入力により，不定になります。

図13－6　A/D変換結果レジスタ（ADCR）のフォーマット

アドレス：FF08H，FF09H　リセット値：不定　R

略号	FF09H								FF08H							
ADCR											0	0	0	0	0	0

注意1．A/Dコンバータ・モード・レジスタ（ADM），アナログ入力チャネル指定レジスタ（ADS）に対して書き込み動作を行ったとき，ADCRの内容は不定となることがあります。変換結果は，変換動作終了後，ADM，ADS に対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

2．ADCRからデータを読み出すと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，ADCRからデータを読み出さないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。

(4) パワーフェイル比較モード・レジスタ（PFM）

パワーフェイル比較モード・レジスタ（PFM）は，A/D変換結果（ADCRレジスタ値）とパワーフェイル比較しきい値レジスタ（PFT）の値との大小比較の動作を制御するレジスタです。

PFMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図13－7　パワーフェイル比較モード・レジスタ（PFM）のフォーマット

アドレス：FF2AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFM	PFEN	PFCM	0	0	0	0	0	0

PFEN	パワーフェイル比較許可
0	パワーフェイル比較停止（通常のA/Dコンバータとして使用）
1	パワーフェイル比較許可（パワーフェイル検出として使用）

PFCM		パワーフェイル比較モードの選択
0	ADCRの上位８ビット≧PFT	割り込み要求信号（INTAD）発生
	ADCRの上位８ビット＜PFT	INTAD発生なし
1	ADCRの上位８ビット≧PFT	INTAD発生なし
	ADCRの上位８ビット＜PFT	INTAD発生

注意　PFMにデータを書き込むと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，PFMにデータを書き込まないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。

(5) パワーフェイル比較しきい値レジスタ（PFT）

パワーフェイル比較しきい値レジスタ（PFT）は，A/Dの変換結果と大小比較を行う場合のしきい値を設定するレジスタです。

PFTの8ビット・データとA/D変換結果10ビットの上位8ビット（FF09H）が比較されます。

PFTは，8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図13－8　パワーフェイル比較しきい値レジスタ（PFT）のフォーマット

アドレス：FF2BH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PFT	PFT7	PFT6	PFT5	PFT4	PFT3	PFT2	PFT1	PFT0

注意　PFTにデータを書き込むと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，PFTにデータを書き込まないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。

13. 4　A/Dコンバータの動作

13. 4. 1　A/Dコンバータの基本動作

① A/D変換するチャネルをアナログ入力チャネル指定レジスタ（ADS）で1チャネル選択してください。

② ADCEをセット（1）し，14 μs以上ウエイトしてください。

③ ADCSをセット（1）し，変換動作を開始します。

（④から⑩までハードウエアでの動作）

④ 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。

⑤ 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，入力したアナログ電圧をA/D変換が終了するまで保持します。

⑥ 逐次変換レジスタ（SAR）のビット9をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）AV_{REF}にします。

⑦ 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし，アナログ入力が（1/2）AV_{REF}よりも大きければ，SARのMSBをセットしたままです。また，（1/2）AV_{REF}よりも小さければ，MSBはリセットします。

⑧ 次にSARのビット8が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。

- ビット9 = 1：（3/4）AV_{REF}
- ビット9 = 0：（1/4）AV_{REF}

この電圧タップとアナログ入力電圧を比較し，その結果でSARのビット8を次のように操作します。

- アナログ入力電圧≧電圧タップ：ビット8 = 1
- アナログ入力電圧＜電圧タップ：ビット8 = 0

⑨ このような比較をSARのビット0まで続けます。

⑩ 10ビットの比較が終了したとき，SARには有効なディジタルの結果が残り，その値がA/D変換結果レジスタ（ADCR）に転送され，ラッチします。

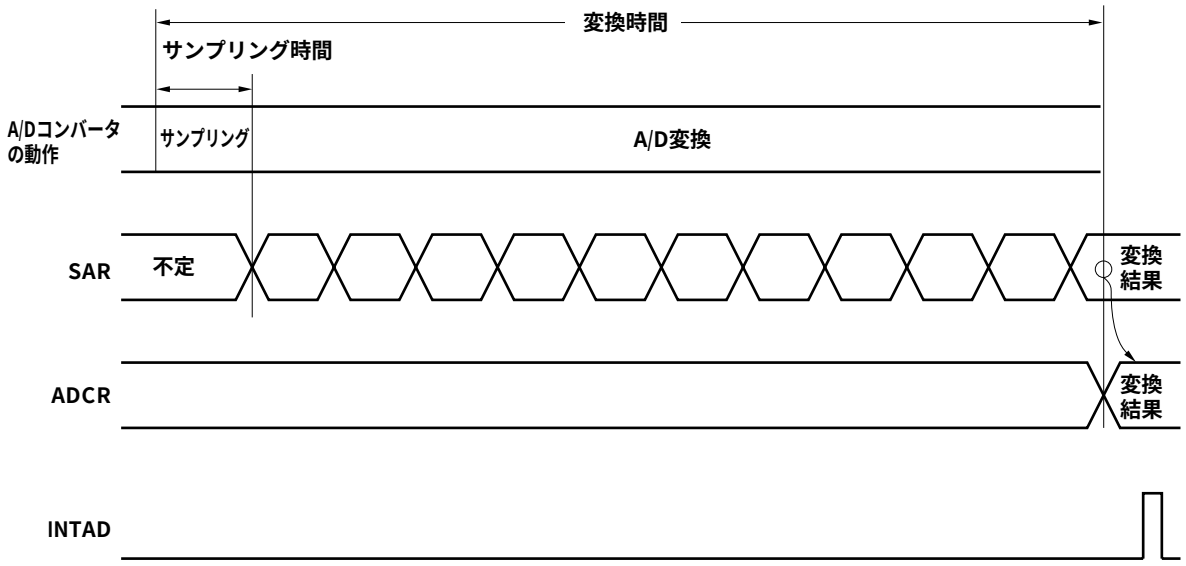
同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます。

⑪ 以降④から⑩までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は，ADCS = 0にしてください。

ADCE = 1の状態から，再度A/D変換する場合は，③から開始してください。ただしADCE = 0の状態から，再度A/Dコンバータを動作させる場合は，②から行ってください。

図13－9　A/Dコンバータの基本動作



A/D変換動作は，ソフトウエアによりA/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）をリセット（0）するまで連続的に行われます。

A/D変換動作中に，ADM，アナログ入力チャネル指定レジスタ（ADS），パワーフェイル比較モード・レジスタ（PFM），パワーフェイル比較しきい値レジスタ（PFT）のいずれかに対して書き込み操作を行うと変換動作は初期化され，ADCSビットがセット（1）されていれば，最初から変換を開始します。

A/D変換結果レジスタ（ADCR）は，$\overline{\text{RESET}}$により不定となります。

13. 4. 2　入力電圧と変換結果

アナログ入力端子（ANI0-ANI7）に入力されたアナログ入力電圧と理論上のA/D変換結果（A/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

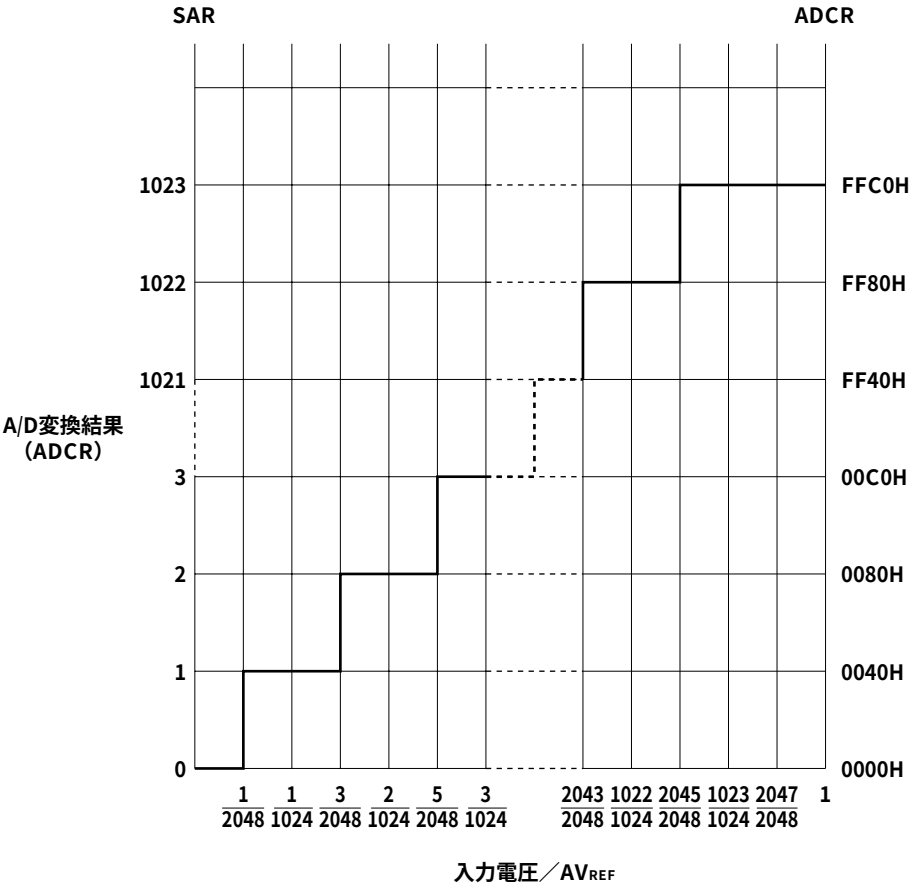
または，

$$(ADCR - 0.5) \times \frac{AV_{REF}}{1024} \leqq V_{AIN} < (ADCR + 0.5) \times \frac{AV_{REF}}{1024}$$

INT（　）：（　）内の値の整数部を返す関数
V_{AIN}　：アナログ入力電圧
AV_{REF}　：AV_{REF}端子電圧
ADCR　：A/D変換結果レジスタ（ADCR）の値
SAR　：遂次変換レジスタ

図13－10にアナログ入力電圧とA/D変換結果の関係を示します。

図13－10　アナログ入力電圧とA/D変換結果の関係



13. 4. 3　A/Dコンバータの動作モード

A/Dコンバータの動作モードは，セレクト・モードになっています。アナログ入力チャネル指定レジスタ（ADS）によってANI0-ANI7からアナログ入力を1チャネル選択し，A/D変換を行います。

また，パワーフェイル比較モード・レジスタ（PFM）のビット7（PFEN）の設定により，次の2種類の機能を選択できます。

・通常の10ビットA/Dコンバータ（PFEN = 0）
・パワーフェイル検出機能（PFEN = 1）

（1）A/D変換動作（PFEN = 0の場合）

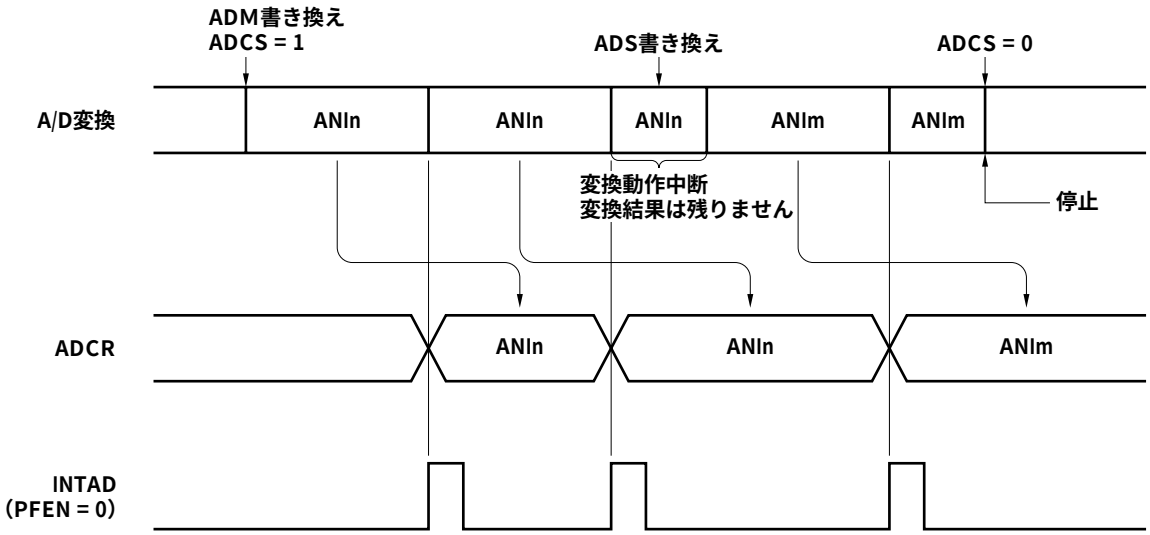
A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）に1，パワーフェイル比較モード・レジスタ（PFM）のビット7（PFEN）に0を設定することにより，アナログ入力チャネル指定レジスタ（ADS）で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると，変換結果をA/D変換結果レジスタ（ADCR）に格納し，割り込み要求信号（INTAD）を発生します。A/D変換動作が一度起動し，1回のA/D変換が終了すると，ただちに次のA/D変換動作を開始します。新たなデータをADSに書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に，ADM, ADS，パワーフェイル比較モード・レジスタ（PFM），パワーフェイル比較しきい値レジスタ（PFT）を書き換えると，そのとき行っていたA/D変換動作を中断し，再度，最初からA/D変換動作を開始します。

また，A/D変換動作中に，ADCSに0を書き込むと，ただちにA/D変換動作を停止します。このとき変換結果は不定となります。

図13－11　A/D変換動作



備考1．n = 0-7
　　2．m = 0-7

(2) パワーフェイル検出機能（PFEN = 1の場合）

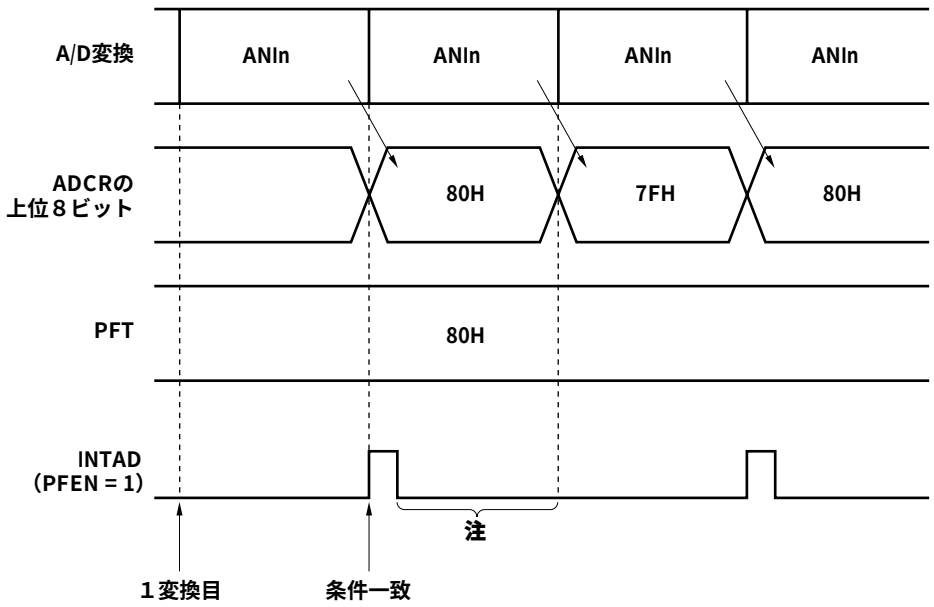
A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）に1，パワーフェイル比較モード・レジスタ（PFM）のビット7（PFEN）に1を設定することにより，アナログ入力チャネル指定レジスタ（ADS）で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると，変換結果をA/D変換結果レジスタ（ADCR）に格納し，パワーフェイル比較しきい値レジスタ（PFT）との大小比較を行い，PFMのビット6（PFCM）に指定された条件のもとで割り込み要求信号（INTAD）が発生します。

① PFEN = 1かつPFCM = 0の場合
A/D変換終了のタイミングで，ADCRの上位8ビットとPFTの値を比較し，ADCRの上位8ビット≧PFTの場合のみINTADを発生します。

② PFEN = 1かつPFCM = 1の場合
A/D変換終了のタイミングで，ADCRの上位8ビットとPFTの値を比較し，ADCRの上位8ビット＜PFTの場合のみINTADを発生します。

図13－12　パワーフェイル検出（PFEN = 1かつPFCM = 0の場合）



注　INTADが出力されてから次の変換終了までの間に変換結果を読み出さないと，次の変換結果に変わってしまいます。

備考　n = 0-7

次に設定方法を説明します。

・A/D変換動作として使用する場合

① A/Dコンバータ・モード・レジスタ（ADM）のビット0（ADCE）をセット（1）

② アナログ入力チャネル指定レジスタ（ADS）のビット2-0（ADS2-ADS0）とADMのビット5-3（FR2-FR0）で，チャネルと変換時間を選択

③ ADMのビット7（ADCS）をセット（1）し，A/D変換動作開始

④ 割り込み要求信号（INTAD）発生

⑤ A/D変換データをA/D変換結果レジスタ（ADCR）に転送

＜チャネルを変更する＞

⑥ ADSのビット2-0（ADS2-ADS0）で，チャネルを変更し，A/D変換動作開始

⑦ 割り込み要求信号（INTAD）発生

⑧ A/D変換データをA/D変換結果レジスタ（ADCR）に転送

＜A/D変換を終了する＞

⑨ ADCSをクリア（0）

⑩ ADCEをクリア（0）

注意1．①から③までの間は14 μs以上空けてください。

2．①と②の順番が逆でも問題ありません。

3．①は省略可能です。ただし，この場合には③のあとの1回目のA/D変換結果は使用しないでください。

4．④から⑦までの時間は，ADMのビット5-3（FR2-FR0）で設定した変換時間とは異なります。⑥から⑦までの時間が，FR2-FR0で設定した変換時間となります。

・パワーフェイル機能として使用する場合

① パワーフェイル比較モード・レジスタ（PFM）のビット7（PFEN）をセット（1）

② PFMのビット6（PFCM）でパワーフェイル比較条件を設定

③ A/Dコンバータ・モード・レジスタ（ADM）のビット0（ADCE）をセット（1）

④ アナログ入力チャネル指定レジスタ（ADS）のビット2-0（ADS2-ADS0）とADMのビット5-3（FR2-FR0）で，チャネルと変換時間を選択

⑤ パワーフェイル比較しきい値レジスタ（PFT）にしきい値を設定

⑥ ADMのビット7（ADCS）をセット（1）

⑦ A/D変換データをA/D変換結果レジスタ（ADCR）に転送

⑧ ADCRの上位8ビットとPFTとの大小比較を行い，条件が一致した場合に割り込み要求信号（INTAD）発生

＜チャネルを変更する＞

⑨ ADSのビット2-0（ADS2-ADS0）で，チャネルを変更

⑩ A/D変換データをA/D変換結果レジスタ（ADCR）に転送

⑪ ADCRの上位8ビットとパワーフェイル比較しきい値レジスタ（PFT）との大小比較を行い，条件が一致した場合に割り込み要求信号（INTAD）発生

＜A/D変換を終了する＞

⑫ ADCSをクリア（0）

⑬ ADCEをクリア（0）

注意1．**③から⑥までの間は**14 μs**以上空けてください。**

2．**③，④，⑤の順番が入れ替わっても問題ありません。**

3．**パワーフェイル機能を使用する場合，③を省略することはできません。**

4．**⑦から⑪までの時間は，**ADM**のビット**5-3（FR2-FR0）**で設定した変換時間とは異なります。**
⑨から⑪までの時間が，FR2-FR0**で設定した変換時間となります。**

13. 5　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分 解 能

識別可能な最小アナログ入力電圧，つまり，ディジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

$$1\ \mathrm{LSB} = 1/2^{10} = 1/1024$$
$$= 0.098\ \%\mathrm{FSR}$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をディジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じディジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図13－13　総合誤差

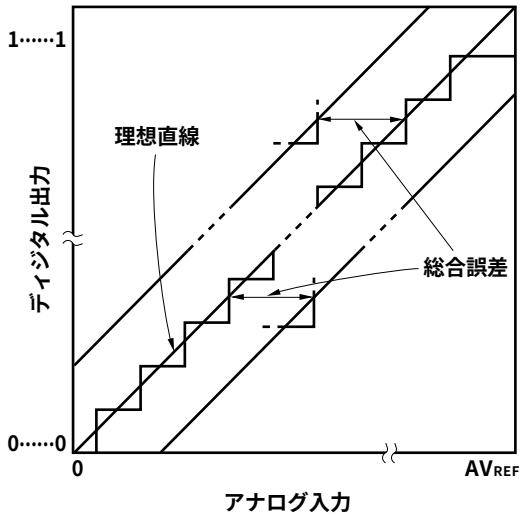
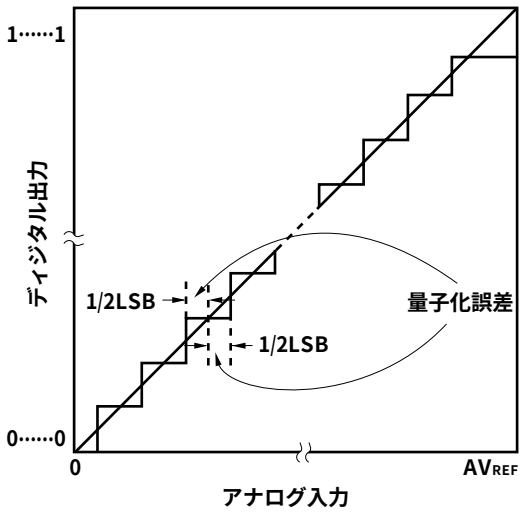


図13－14　量子化誤差



(4) ゼロスケール誤差

ディジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は，ディジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

(5) フルスケール誤差

ディジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

(6) 積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図13－15　ゼロスケール誤差

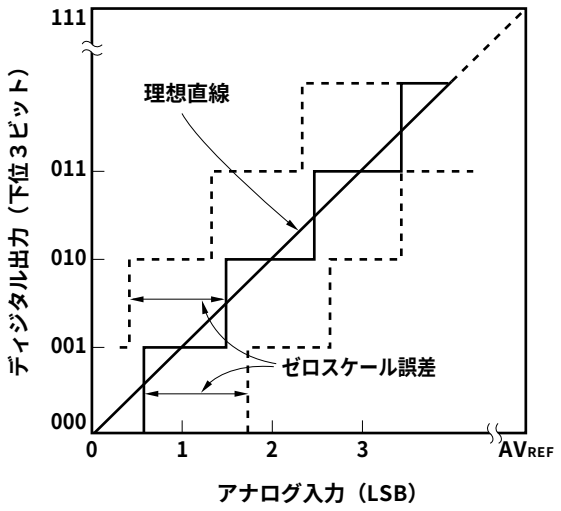


図13－16　フルスケール誤差

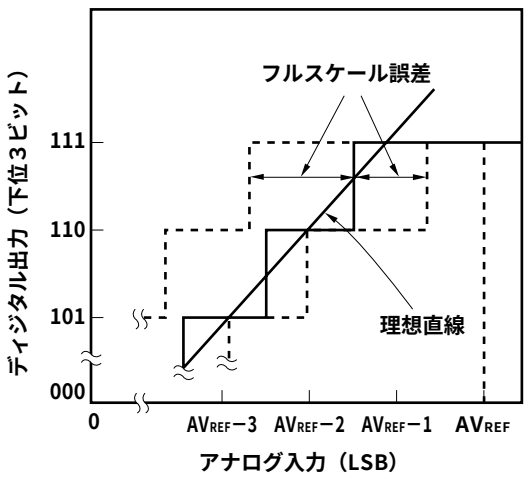


図13－17　積分直線性誤差

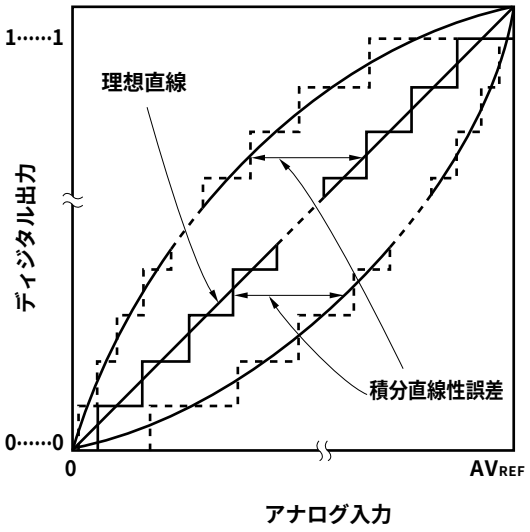
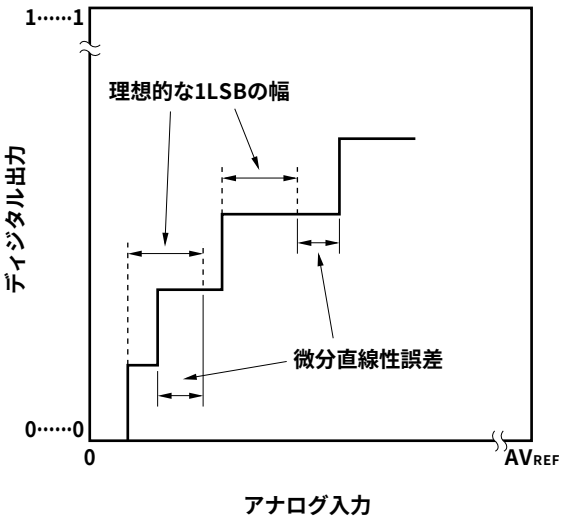


図13－18　微分直線性誤差



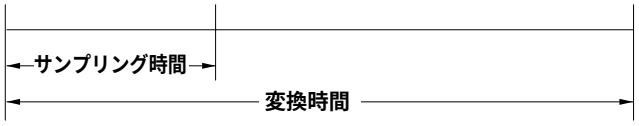
(8) 変換時間

サンプリングを開始してから，ディジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



13. 6　A/Dコンバータの注意事項

(1) スタンバイ・モード時の動作電流について

A/Dコンバータは，スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）= 0にすることにより，動作電流を低減させることができます（図13－2を参照）。

(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にAV_{REF}以上，AV_{SS}以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR）ライトと命令によるADCRリードとの競合

ADCRリードが優先されます。リードしたあと，新しい変換結果がADCRにライトされます。

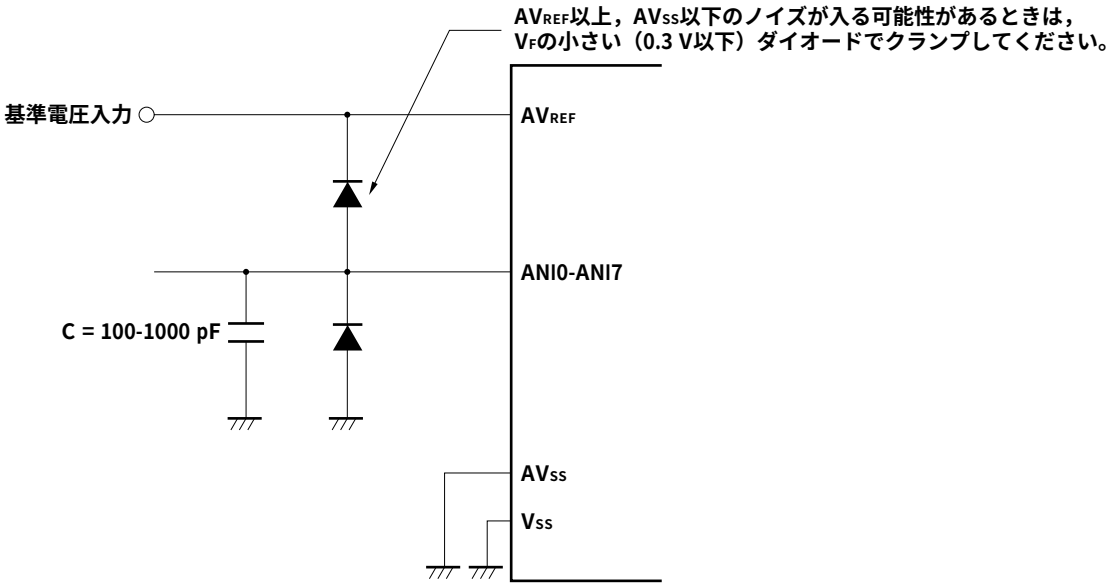
② 変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ（ADM）ライト，またはアナログ入力チャネル指定レジスタ（ADS）ライトの競合

ADMまたはADSへのライトが優先されます。ADCRへのライトはされません。また，変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには，AV_{REF}，ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図13－19のようにCを外付けすることを推奨します。

図13－19　アナログ入力端子の処理



(5) ANI0/P20-ANI7/P27

① アナログ入力（ANI0-ANI7）端子は入力ポート（P20-P27）端子と兼用になっています。
ANI0-ANI7のいずれかを選択してA/D変換をする場合，変換中にポート2に対してアクセスしないでください。変換分解能が低下することがあります。

② A/D変換中の端子に隣接する端子へディジタル・パルスを印加すると，カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって，A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは，変換時間の約1/6程度の間，内部のサンプリング・コンデンサに充電して，サンプリングを行っています。

したがって，サンプリング中以外はリーク電流だけであり，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスは変動して意味がありません。

ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを10 kΩ以下にするか，ANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します（図13－19参照）。

(7) AV_{REF}端子の入力インピーダンスについて

AV_{REF}端子とAV_{SS}端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって，基準電圧源の出力インピーダンスが高い場合，AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと直列接続することになり，基準電圧の誤差が大きくなります。

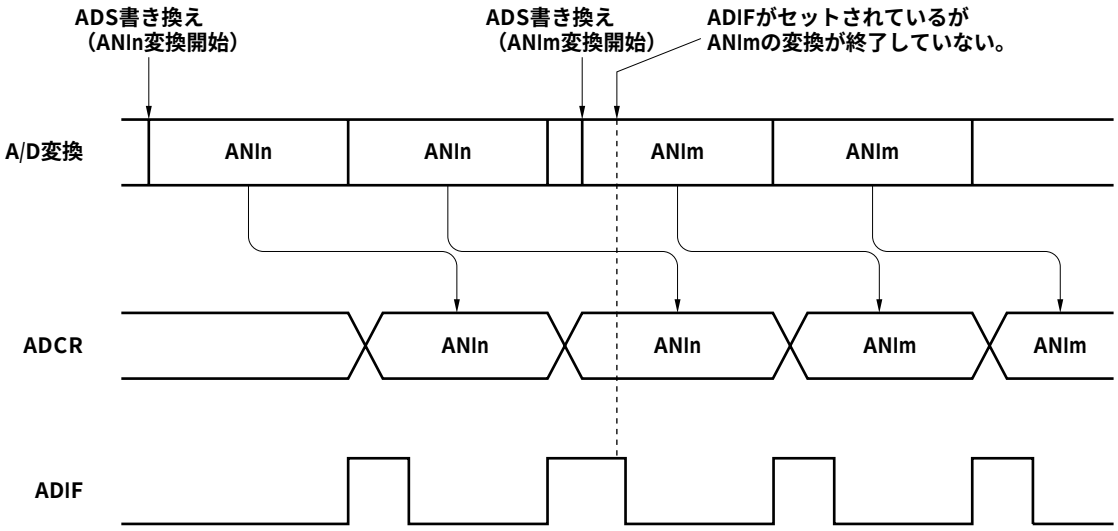
(8) 割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）はクリアされません。

したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADS書き換え直前に，変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと，変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることになりますので注意してください。

また，A/D変換を一度停止させて再開する場合は，再開する前にADIFをクリアしてください。

図13－20　A/D変換終了割り込み要求発生タイミング



備考1．n = 0-7

2．m = 0-7

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから，14 μs以内にADCSビット = 1にした場合，もしくはADCEビット = 0の状態で，ADCSビット = 1にした場合は，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ（ADCR）の読み出しについて

A/Dコンバータ・モード・レジスタ（ADM），アナログ入力チャネル指定レジスタ（ADS）に対して書き込み動作を行ったとき，ADCRの内容は不定となることがあります。変換結果は，変換動作終了後，ADM, ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

（11）A/Dコンバータのサンプリング時間とA/D変換開始遅延時間について

A/Dコンバータのサンプリング時間は，A/Dコンバータ・モード・レジスタ（ADM）の設定値によって異なります。また，A/Dコンバータを動作許可してから実際にサンプリングが行われるまで遅延時間が存在します。

A/D変換時間を厳密に必要とするセットの場合，図13－21と表13－3に示す内容をご注意ください。

図13－21　A/Dコンバータのサンプリングと A/D変換開始遅延のタイミング

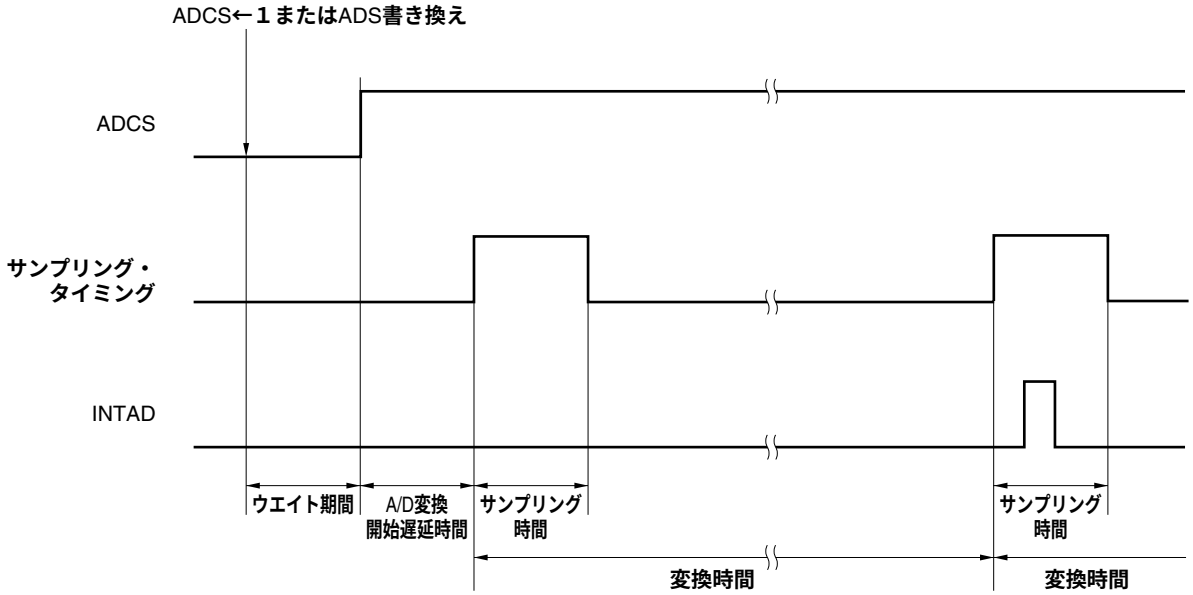


表13－3　A/Dコンバータのサンプリング時間とA/D変換開始遅延時間（ADM設定値）

FR2	FR1	FR0	変換時間	サンプリング時間	A/D変換開始遅延時間注	
					MIN.	MAX
0	0	0	288/fx	40/fx	32/fx	36/fx
0	0	1	240/fx	32/fx	28/fx	32/fx
0	1	0	192/fx	24/fx	24/fx	28/fx
1	0	0	144/fx	20/fx	16/fx	18/fx
1	0	1	120/fx	16/fx	14/fx	16/fx
1	1	0	96/fx	12/fx	12/fx	14/fx
上記以外			設定禁止	－	－	－

注　A/D変換開始遅延時間はウエイト期間後の時間になります。ウエイトについては第34章　ウエイトに関する注意事項を参照してください。

備考　fx：高速システム・クロック発振周波数

（12）ウエイトが発生するレジスタについて

CPUがサブシステム・クロックで動作し，かつ高速システム・クロックが発振を停止しているときに，ADCRレジスタからデータの読み出しを，ADM, ADS, PFM, PFTレジスタへデータの書き込みをしないでください。

（13）内部等価回路について

アナログ入力部の等価回路を次に示します。

図13－22　ANIn端子内部等価回路

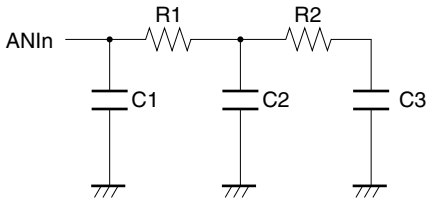


表13－4　等価回路の各抵抗と容量値（参考値）

AV_{REF}	R1	R2	C1	C2	C3
2.7 V	12 kΩ	8 kΩ	8 pF	3 pF	0.6 pF
4.5 V	4 kΩ	2.7 kΩ	8 pF	1.4 pF	0.6 pF

備考1．表13－4の各抵抗と容量値は保証値ではありません。

2．n = 0-7

第14章　シリアル・インタフェースUART0

14. 1　シリアル・インタフェースUART0の機能

シリアル・インタフェースUART0には，次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については14. 4. 1　動作停止モードを参照してください。

(2) アシンクロナス・シリアル・インタフェース（UART）モード

機能の概要を次に示します。

詳細については14. 4. 2　アシンクロナス・シリアル・インタフェース（UART）モード，14. 4. 3　専用ボー・レート・ジェネレータを参照してください。

- 2端子構成　TxD0：送信データの出力端子
  RxD0：受信データの入力端子
- 通信データのデータ長は7ビット／8ビット可変
- 専用の5ビット・ボー・レート・ジェネレータを内蔵していることにより，任意のボー・レートが設定可能
- 送信動作と受信動作は独立して動作することが可能
- 動作クロックは，4本のクロック入力選択可能
- 通信データの先頭ビットは，LSB固定

注意1．シリアル・インタフェースUART0への供給クロックが停止しない場合（例：HALTモード）では，正常動作が続きます。シリアル・インタフェースUART0への供給クロックが停止する場合（例：STOPモード）では，各レジスタは，クロック停止直前の値を保持したまま動作を停止します。TxD0端子出力も同様に，クロック停止直前の値を保持し出力します。ただし，クロック供給再開後の動作は保証していないので，再開後はPOWER0 = 0, RXE0 = 0, TXE0 = 0となるように回路をリセットしてください。

2．通信開始する場合，POWER0 = 1に設定後，TXE0 = 1（送信）またはRXE0 = 1（受信）に設定してください。

3．TXE0とRXE0は，BRGC0で設定した基本クロック（f_{XCLK0}）により，同期化されています。再び送信動作または受信動作を許可する場合は，TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると，送信回路または受信回路を初期化できない場合があります。

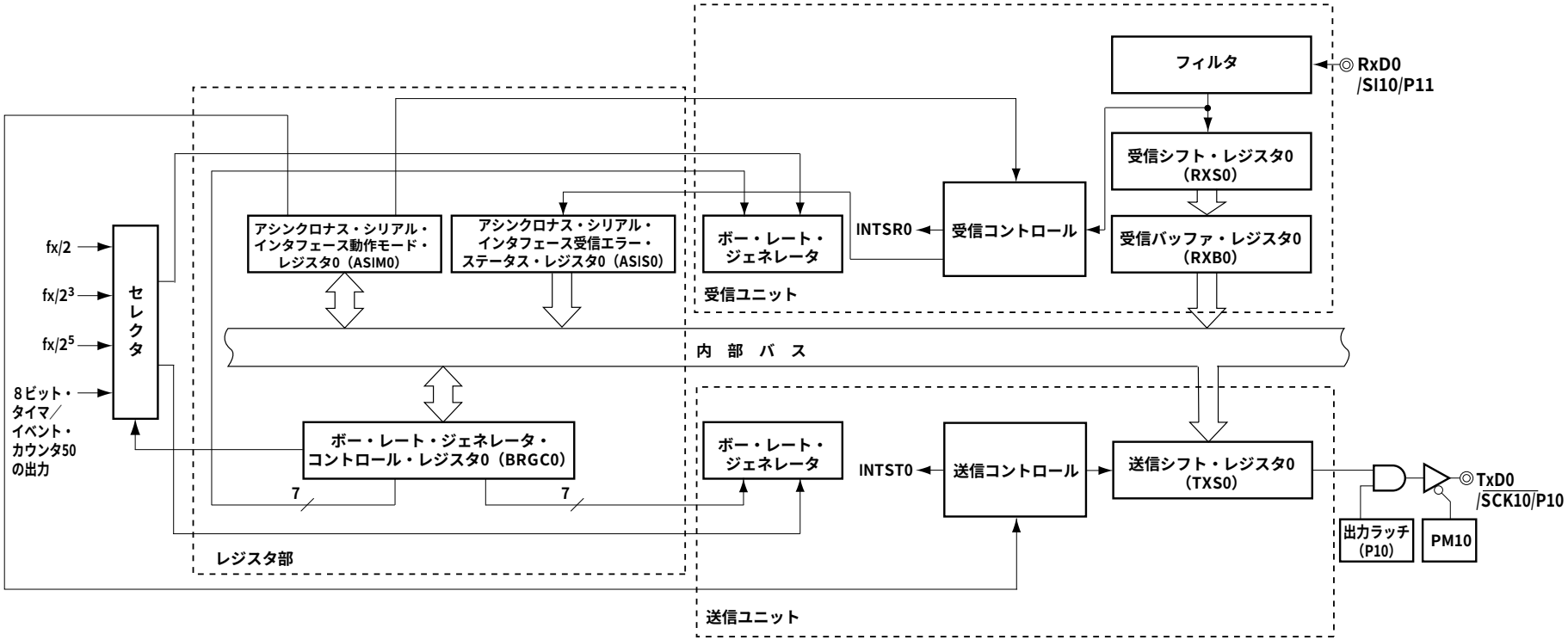
14. 2　シリアル・インタフェースUART0の構成

シリアル・インタフェースUART0は，次のハードウエアで構成しています。

表14－1　シリアル・インタフェースUART0の構成

項　　目	構　　成
レジスタ	受信バッファ・レジスタ0（RXB0） 受信シフト・レジスタ0（RXS0） 送信シフト・レジスタ0（TXS0）
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0） アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0） ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0） ポート・モード・レジスタ1（PM1） ポート・レジスタ1（P1）

図14－1　シリアル・インタフェースUART0のブロック図



(1) 受信バッファ・レジスタ0（RXB0）

受信シフト・レジスタ0（RXS0）で変換したパラレル・データを格納するための8ビット・レジスタです。

データを1バイト受信するごとに新たな受信データが転送されます。

データ長を7ビットに指定した場合，受信データはRXB0のビット0-6に転送され，RXB0のMSBは必ず0になります。

オーバラン・エラー（OVE0）が発生した場合，そのときの受信データはRXB0には転送されません。

RXB0は8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$入力，POWER0 = 0によりFFHとなります。

(2) 受信シフト・レジスタ0（RXS0）

RxD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS0はプログラムで直接操作できません。

(3) 送信シフト・レジスタ0（TXS0）

送信データを設定するためのレジスタです。TXS0にデータを書き込むことにより，送信動作が起動し，シリアル・データをTxD0端子から送信します。

TXS0は8ビット・メモリ操作命令で書き込めます。読み出しはできません。

$\overline{\text{RESET}}$入力，POWER0 = 0, TXE0 = 0によりFFHとなります。

注意　TXS0に送信データを書き込んでから送信完了割り込み信号（INTST0）が発生するまで，次の送信データを書き込まないでください。

14. 3　シリアル・インタフェースUART0を制御するレジスタ

シリアル・インタフェースUART0は，次の5種類のレジスタで制御します。

- アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）
- アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0）
- ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）
- ポート・モード・レジスタ1（PM1）
- ポート・レジスタ1（P1）

（1）アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）

シリアル・インタフェースUART0のシリアル通信動作を制御する8ビット・レジスタです。

ASIM0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，01Hになります。

図14－2　アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）のフォーマット（1/2）

アドレス：FF70H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部動作クロックの動作許可／禁止
0[注1]	内部動作クロックの動作禁止（ロウ・レベル固定），内部回路を非同期リセットする[注2]。
1	内部動作クロックの動作許可

TXE0	送信動作許可／禁止
0	送信動作禁止（送信回路を同期リセットする）
1	送信動作許可

RXE0	受信動作許可／禁止
0	受信動作禁止（受信回路を同期リセットする）
1	受信動作許可

注1．POWER0 = 0で，RxD0端子からの入力はハイ・レベルに固定されます。

2．リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0），送信シフト・レジスタ0（TXS0），受信バッファ・レジスタ0（RXB0）です。

図14－2　アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）のフォーマット（2/2）

PS01	PS00	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信[注]
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL0	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL0	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

注　「0パリティとして受信」を設定すると，パリティ判定を行いません。したがって，アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0）のビット2（PE0）はセットされないため，エラー割り込みも発生しません。

注意1．起動時はPOWER0 = 1にしてから，TXE0 = 1としてください。動作を停止するときにはTXE0 = 0にしてから，POWER0 = 0としてください。

2．起動時はPOWER0 = 1にしてから，RXE0 = 1としてください。動作を停止するときにはRXE0 = 0にしてから，POWER0 = 0としてください。

3．RxD0端子にハイ・レベルが入力された状態でPOWER0 = 1→RXE0 = 1と設定してください。ロウ・レベルのときにPOWER0 = 1→RXE0 = 1と設定すると，受信を開始してしまいます。

4．TXE0とRXE0は，BRGC0で設定した基本クロック（f_{XCLK0}）により，同期化されています。再び送信動作または受信動作を許可する場合は，TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると，送信回路または受信回路を初期化できない場合があります。

5．PS01, PS00, CL0ビットを書き換えるときは，TXE0, RXE0ビットをクリア（0）してから行ってください。

6．SL0ビットを書き換えるときは，TXE0をクリア（0）してから行ってください。また，受信は常に“ストップ・ビット数 = 1”として動作するので，SL0ビットの設定値の影響は受けません。

7．ビット0には必ず1を設定してください。

（2）アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0）

シリアル・インタフェースUART0の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ（PE0, FE0, OVE0）で構成されています。

ASIS0は，8ビット・メモリ操作命令で読み出しのみ可能です。

$\overline{\text{RESET}}$入力，ASIM0のビット7（POWER0）= 0，ビット5（RXE0）= 0のいずれかにより，00Hになります。また，読み出しにより，00Hになります。

図14－3　アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0）のフォーマット

アドレス：FF73H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE0	FE0	OVE0

PE0	パリティ・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき，または，ASIS0レジスタのリード
1	受信完了時，送信データのパリティとパリティ・ビットが一致しないとき

FE0	フレーミング・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき，または，ASIS0レジスタのリード
1	受信完了時，ストップ・ビットが検出されないとき

OVE0	オーバラン・エラーを示すステータス・フラグ
0	POWER0 = 0およびRXE0 = 0に設定したとき，または，ASIS0レジスタのリード
1	RXB0レジスタに受信データがセットされ，それを読み出す前に次の受信動作が完了したとき

注意1．PE0ビットの動作は，アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）のPS01, PS00ビットの設定値により異なります。

2．受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。

3．オーバラン・エラーが発生した場合，次の受信データは受信バッファ・レジスタ0（RXB0）には書き込まれず，データは破棄されます。

4．ASIS0からデータを読み出すと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，ASIS0からデータを読み出さないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）

シリアル・インタフェースUART0の基本クロックの選択と5ビット・カウンタの分周値を設定するレジスタです。

BRGC0は，8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，1FHになります。

図14－4　ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）のフォーマット

アドレス：FF71H　リセット時：1FH　R/W

略号	7	6	5	4	3	2	1	0
BRGC0	TPS01	TPS00	0	MDL04	MDL03	MDL02	MDL01	MDL00

TPS01	TPS00	基本クロック（f_{XCLK0}）選択[注1]
0	0	TM50の出力[注2]
0	1	$f_X/2$（5 MHz）
1	0	$f_X/2^3$（1.25 MHz）
1	1	$f_X/2^5$（312.5 kHz）

MDL04	MDL03	MDL02	MDL01	MDL00	k	5ビット・カウンタの出力クロック選択
0	0	×	×	×	×	設定禁止
0	1	0	0	0	8	$f_{XCLK0}/8$
0	1	0	0	1	9	$f_{XCLK0}/9$
0	1	0	1	0	10	$f_{XCLK0}/10$
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	0	1	0	26	$f_{XCLK0}/26$
1	1	0	1	1	27	$f_{XCLK0}/27$
1	1	1	0	0	28	$f_{XCLK0}/28$
1	1	1	0	1	29	$f_{XCLK0}/29$
1	1	1	1	0	30	$f_{XCLK0}/30$
1	1	1	1	1	31	$f_{XCLK0}/31$

注1.　基本クロックは次の条件を満たすように設定してください。

- V_{DD} = 4.0～5.5 V：基本クロック≦10 MHz
- V_{DD} = 3.3～4.0 V：基本クロック≦8.38 MHz
- V_{DD} = 2.7～3.3 V：基本クロック≦5 MHz
- ★ V_{DD} = 2.5～2.7 V：基本クロック≦2.5 MHz（標準品，（A）水準品のみ）

2.　TM50の出力を基本クロックとして選択する場合，次の内容に注意してください。

- PWMモード（TMC506 = 1）

  デューティ50 %のクロックになるように設定し，事前に8ビット・タイマ／イベント・カウンタ50の動作を開始してください。

- TM50とCR50の一致でクリア＆スタート・モード（TMC506 = 0）

  タイマF/Fの反転動作を許可（TMC501 = 1）し，事前に8ビット・タイマ／イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも，TO50端子をタイマ出力許可にする必要はありません。

注意1．CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。基本クロックが内蔵発振クロックの場合，シリアル・インタフェースUART0の動作は保証されません。

2．MDL04-MDL00ビットを書き換える場合は，ASIM0レジスタのビット6（TXE0）= 0，ビット5（RXE0）= 0にしてから行ってください。

3．5ビット・カウンタの出力クロックをさらに1/2分周したものが，ボー・レート値となります。

備考1．f_{XCLK0}　：TPS01, TPS00ビットで選択した基本クロックの周波数

2．f_X　：高速システム・クロック発振周波数

3．k　：MDL04-MDL00ビットで設定した値（k = 8, 9, 10，…，31）

4．×　：任意

5．（　）内は，f_X = 10 MHz動作時

6．TMC506：8ビット・タイマ・モード・コントロール・レジスタ50（TMC50）のビット6
TMC501：TMC50のビット1

(4) ポート・モード・レジスタ1（PM1）

ポート1の入力／出力を1ビット単位で設定するレジスタです。

P10/TxD0/$\overline{\text{SCK10}}$端子をシリアル・インタフェースのデータ出力として使用するとき，PM10に0を，P10の出力ラッチに1を設定してください。

P11/RxD0/SI10端子をシリアル・インタフェースのデータ入力として使用するとき，PM11に1を設定してください。このときP11の出力ラッチは，0または1のどちらでもかまいません。

PM1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

図14－5　ポート・モード・レジスタ1（PM1）のフォーマット

アドレス：FF21H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

14. 4　シリアル・インタフェースUART0の動作

シリアル・インタフェースUART0は，次の2種類のモードがあります。

・動作停止モード
・アシンクロナス・シリアル・インタフェース（UART）モード

14. 4. 1　動作停止モード

動作停止モードでは，シリアル通信を行いませんので，消費電力を低減できます。また，動作停止モードでは，端子を通常のポートとして使用できます。動作停止モードにする場合は，ASIM0のビット7, 6, 5（POWER0, TXE0, RXE0）に0を設定してください。

（1）使用するレジスタ

動作停止モードの設定は，アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）で行います。

ASIM0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，01Hになります。

アドレス：FF70H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
ASIM0	POWER0	TXE0	RXE0	PS01	PS00	CL0	SL0	1

POWER0	内部動作クロックの動作許可／禁止
0注1	内部動作クロックの動作禁止（ロウ・レベル固定），内部回路を非同期リセットする注2。

TXE0	送信動作許可／禁止
0	送信動作禁止（送信回路を同期リセットする）

RXE0	受信動作許可／禁止
0	受信動作禁止（受信回路を同期リセットする）

注1．POWER0 = 0で，RxD0端子からの入力はハイ・レベルに固定されます。
2．リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0），送信シフト・レジスタ0（TXS0），受信バッファ・レジスタ0（RXB0）です。

注意　動作停止モードにするときはTXE0 = 0, RXE0 = 0にしてから，POWER0 = 0 にしてください。
起動時はPOWER0 = 1にしてから，TXE0 = 1, RXE0 = 1にしてください。

備考　RxD0/SI10/P11，TxD0/$\overline{\text{SCK10}}$/P10端子を汎用ポートとして使用する場合は，第4章　ポート機能を参照してください。

14. 4. 2　アシンクロナス・シリアル・インタフェース（UART）モード

スタート・ビットに続く1バイトのデータを送受信するモードで，全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており，広範囲な任意のボー・レートで通信できます。

（1）使用するレジスタ

・アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）
・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0）
・ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）
・ポート・モード・レジスタ1（PM1）
・ポート・レジスタ1（P1）

UARTモードの基本的な動作設定手順例は次のようになります。

① BRGC0レジスタを設定（図14－4を参照）
② ASIM0レジスタのビット1-4（SL0, CL0, PS00, PS01）を設定（図14－2を参照）
③ ASIM0レジスタのビット7（POWER0）をセット（1）
④ ASIM0レジスタのビット6（TXE0）をセット（1）　→ 送信可能
　ASIM0レジスタのビット5（RXE0）をセット（1）　→ 受信可能
⑤ TXS0レジスタにデータを書き込み→ データ送信開始

注意　ポート・モード・レジスタとポート・レジスタの設定手順は，通信相手との関係を考慮して，行ってください。

レジスタの設定と端子の関係を次に示します。

表14－2　レジスタの設定と端子の関係

POWER0	TXE0	RXE0	PM10	P10	PM11	P11	UART0の動作	端子機能	
								TxD0/$\overline{\text{SCK10}}$/P10	RxD0/SI10/P11
0	0	0	×注	×注	×注	×注	停止	$\overline{\text{SCK10}}$/P10	SI10/P11
1	0	1	×注	×注	1	×	受信	$\overline{\text{SCK10}}$/P10	RxD0
	1	0	0	1	×注	×注	送信	TxD0	SI10/P11
	1	1	0	1	1	×	送受信	TxD0	RxD0

注　ポート機能として設定することができます。

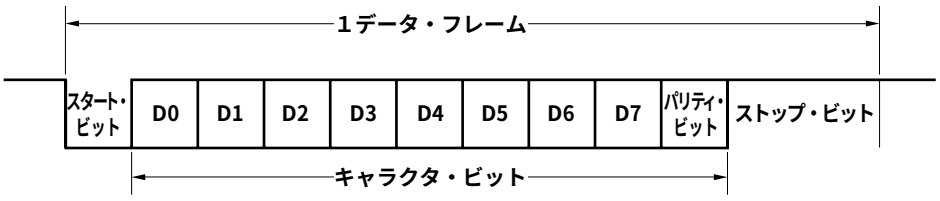
備考　×　：don't care
POWER0：アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）のビット7
TXE0　：ASIM0のビット6
RXE0　：ASIM0のビット5
PM1×　：ポート・モード・レジスタ
P1×　：ポートの出力ラッチ

(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

通常送受信データのフォーマットと波形例を図14－6, 14－7に示します。

図14－6　通常UART送受信データのフォーマット



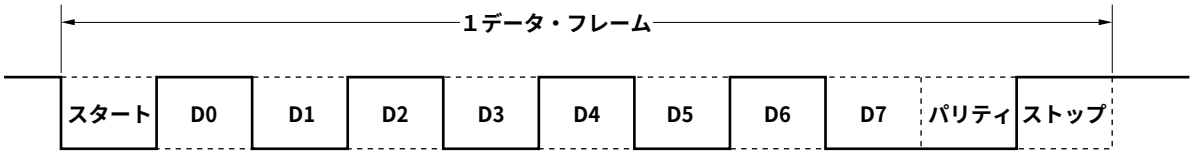
1データ・フレームは次に示すビットで構成されています。

- スタート・ビット…… 1ビット
- キャラクタ・ビット… 7ビット／8ビット（LSBファースト）
- パリティ・ビット…… 偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ストップ・ビット…… 1ビット／2ビット

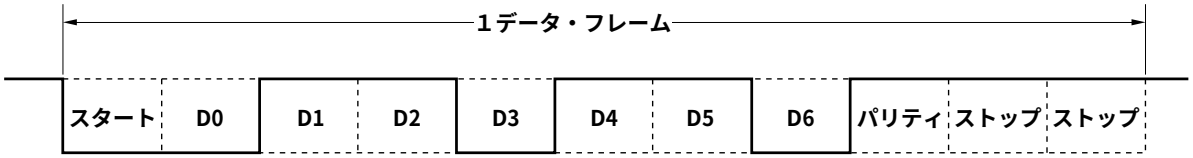
1データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）によって行います。

図14－7　通常UART送受信データの波形例

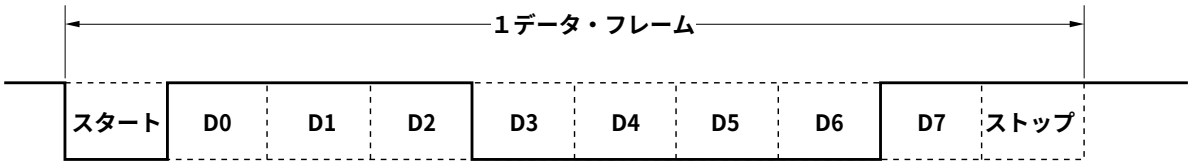
1．データ長：8ビット，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H



2．データ長：7ビット，パリティ：奇数パリティ，ストップ・ビット：2ビット，通信データ：36H



3．データ長：8ビット，パリティ：パリティなし，ストップ・ビット：1ビット，通信データ：87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は，送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは，1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとでは，誤りを検出することはできません。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の，値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に，値が“1”のビット数が奇数個：1
送信データ中に，値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に，パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に，値が“1”のビット数が奇数個：0
送信データ中に，値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には，送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって，パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

(c) 送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）のビット7（POWER0）をセット（1）すると，TxD0端子からハイ・レベル出力されます。次にASIM0のビット6（TXE0）をセット（1）すると送信許可状態になり，送信シフト・レジスタ0（TXS0）に送信データを書き込むことによって送信動作は起動します。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加されます。

送信動作の開始により，スタート・ビットがTxD0端子から出力され，続いてLSBより順次出力されます。送信が完了すると，ASIM0で設定したパリティ・ビット，ストップ・ビットが付加され，最後に送信完了割り込み要求（INTST0）が発生します。

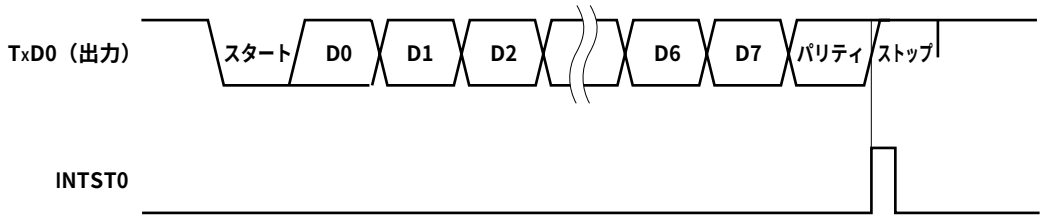
次に送信するデータをTXS0に書き込むまで，送信動作は中断します。

送信完了割り込み要求（INTST0）のタイミングを図14－8に示します。INTST0は，最後のストップ・ビット出力と同時に発生します。

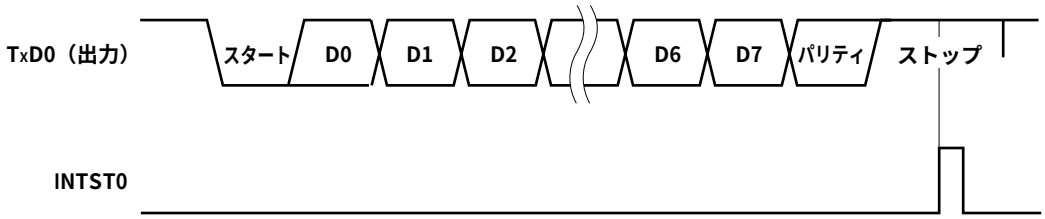
注意　TXS0に送信データを書き込んでから送信完了割り込み信号（INTST0）が発生するまで，次の送信データを書き込まないでください。

図14－8　送信完了割り込み要求タイミング

1．ストップ・ビット長：1



2．ストップ・ビット長：2



（d）受信

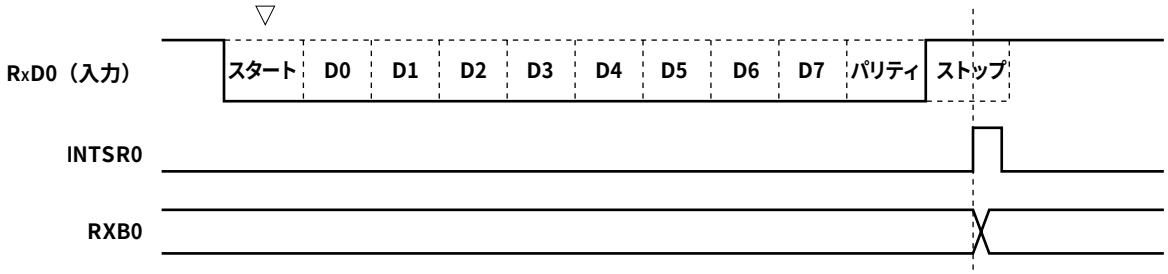
アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）のビット7（POWER0）をセット（1）し，次にASIM0のビット5（RXE0）をセット（1）すると受信許可状態となり，RxD0端子入力のサンプリングを行います。

RxD0端子入力の立ち下がりを検出すると，ボー・レート・ジェネレータの5ビット・カウンタがカウントを開始し，ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）の設定値をカウントした時点で，再度RxD0端子入力をサンプリング（図14－9の▽印に相当）した結果，RxD0端子がロウ・レベルであれば，スタート・ビットと認識します。

スタート・ビットを検出したら，受信動作を開始し，設定されたボー・レートに合わせて，シリアル・データを順次，受信シフト・レジスタ0（RXS0）に格納していきます。ストップ・ビットを受信したら，受信完了割り込み（INTSR0）を発生すると同時に，RXS0のデータは受信バッファ・レジスタ0（RXB0）に書き込まれます。ただし，オーバラン・エラー（OVE0）が発生した場合，そのときの受信データはRXB0に書き込まれません。

受信途中に，パリティ・エラー（PE0）が発生しても，ストップ・ビットの受信位置までは，受信を継続し，受信完了後にエラー割り込み（INTSR0）を発生します。

図14－9　受信完了割り込み要求タイミング



注意1．受信エラー発生時にも受信バッファ・レジスタ0（RXB0）は必ず読み出してください。RXB0を読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

2．受信は，常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは，無視されます。

3．RXB0を読み出す前に，必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0）を読み出してください。

(e) 受信エラー

受信動作時のエラーは，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0）内に立つと，受信エラー割り込み要求（INTSR0）を発生します。

受信エラー割り込み処理内（INTSR0）で，ASIS0の内容を読み出すことによって，いずれのエラーが受信時に発生したかを検出することができます（図14－3参照）。

ASIS0の内容は，ASIS0を読み出すことによって，リセット（0）されます。

表14－3　受信エラーの要因

受信エラー	要　　因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ0（RXB0）からデータを読み出す前に次のデータ受信完了

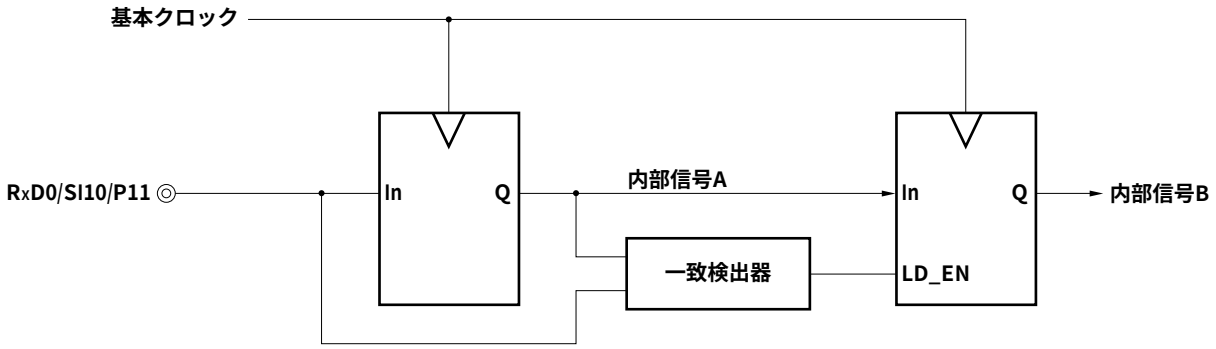
(f) 受信データのノイズ・フィルタ

プリスケーラ部出力の基本クロックでRxD0信号をサンプリングします。

サンプリング値が同じ値を2回取ると，一致検出器の出力が変化し，入力データとしてサンプリングされます。

また，回路は図14－10のようになっているため，受信動作の内部での処理は，外部の信号状態より2クロック分遅れて動作することになります。

図14－10　ノイズ・フィルタ回路



14. 4. 3　専用ボー・レート・ジェネレータ

専用ボー・レート・ジェネレータは，ソース・クロック・セレクタ部と5ビットのプログラマブル・カウンタにより構成され，UART0における送受信時のシリアル・クロックを生成します。

なお，5ビット・カウンタは送信用と受信用が別々に存在します。

（1）ボー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）のビット7（POWER0）= 1のとき，ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）のビット7, 6（TPS01，TPS00）で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び，その周波数をf_{XCLK0}と呼びます。POWER0 = 0のときは，基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）のビット7（POWER0）= 0またはビット6（TXE0）= 0のときはクリア（0）の状態で動作を停止します。

POWER0 = 1かつTXE0 = 1でカウントをスタートします。

最初の送信では送信シフト・レジスタ0（TXS0）への書き込みでカウンタをクリア（0）します。

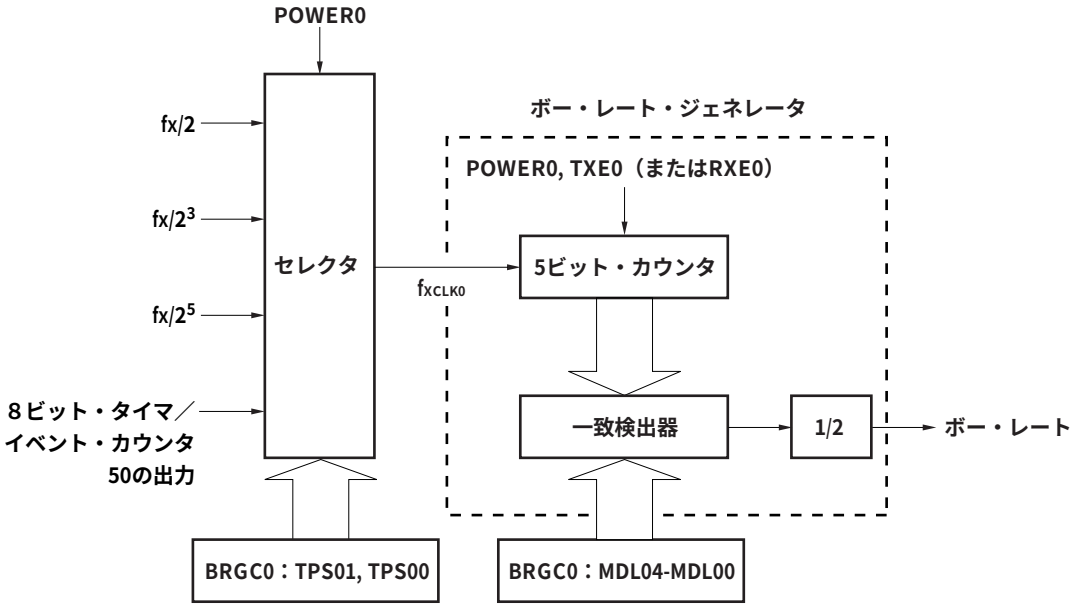
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）のビット7（POWER0）= 0またはビット5（RXE0）= 0のときはクリア（0）の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図14－11　ボー・レート・ジェネレータの構成



備考　POWER0　：アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）のビット7

TXE0　　：ASIM0のビット6

RXE0　　：ASIM0のビット5

BRGC0　：ボー・レート・ジェネレータ・コントロール・レジスタ0

(2) シリアル・クロックの生成

ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）の設定により，シリアル・クロックを生成できます。

BRGC0のビット7, 6（TPS01, TPS00）により，5ビット・カウンタへの入力クロックの選択を，ビット4-0（MDL04-MDL00）により，5ビット・カウンタの分周値を設定できます。

(a) ボー・レート

ボー・レートは次の式によって求められます。

・ボー・レート $= \dfrac{f_{XCLK0}}{2 \times k}$ [bps]

f_{XCLK0} ：BRGC0レジスタのTPS01, TPS00ビットで選択した基本クロックの周波数

k ：BRGC0レジスタのMDL04-MDL00ビットで設定した値（k = 8, 9, 10，…，31）

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

・誤差（%）$= \left(\dfrac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{希望するボー・レート（正常なボー・レート）}} - 1 \right) \times 100$ [%]

注意1．送信時のボー・レート誤差は，受信先の許容誤差以内にしてください。

2．受信時のボー・レート誤差は，（4）受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例　基本クロックの周波数 = 2.5 MHz = 2,500,000 Hz

BRGC0レジスタのMDL04-MDL00ビットの設定値 = 10000B（k = 16）

目標ボー・レート= 76800 bps

ボー・レート = 2.5 M/（2×16）

= 2,500,000 /（2×16）= 78125 [bps]

誤差 = （78125 / 76800－1）×100

= 1.725 [%]

(3) ボー・レート設定例

表14－4　ボー・レート・ジェネレータ設定データ

ボー・レート [bps]	fx = 10.0 MHz				fx = 8.38 MHz				fx = 4.19 MHz			
	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]	TPS01, TPS00	k	算出値	ERR [%]
2400	－	－	－	－	－	－	－	－	3	27	2425	1.03
4800	－	－	－	－	3	27	4850	1.03	3	14	4676	－2.58
9600	3	16	9766	1.73	3	14	9353	－2.58	2	27	9699	1.03
10400	3	15	10417	0.16	3	13	10072	－3.15	2	25	10475	0.72
19200	3	8	19531	1.73	2	27	19398	1.03	2	14	18705	－2.58
31250	2	20	31250	0	2	17	30809	－1.41	－	－	－	－
38400	2	16	39063	1.73	2	14	37411	－2.58	1	27	38796	1.03
76800	2	8	78125	1.73	1	27	77593	1.03	1	14	74821	－2.58
115200	1	22	113636	－1.36	1	18	116389	1.03	1	9	116389	1.03
153600	1	16	156250	1.73	1	14	149643	－2.58	－	－	－	－
230400	1	11	227273	－1.36	1	9	232778	1.03	－	－	－	－

備考　TPS01, TPS00　：ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）のビット7, 6（基本クロック（f_{XCLK0}）設定）

k　：BRGC0のMDL04-MDL00ビットで設定した値（k = 8, 9, 10，…，31）

fx　：高速システム・クロック発振周波数

ERR　：ボー・レート誤差

(4) 受信時の許容ボー・レート範囲

受信の際に，送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意　受信時のボー・レート誤差は，下記に示す算出式を使用して，必ず許容誤差範囲内になるように設定してください。

図14－12　受信時の許容ボー・レート範囲

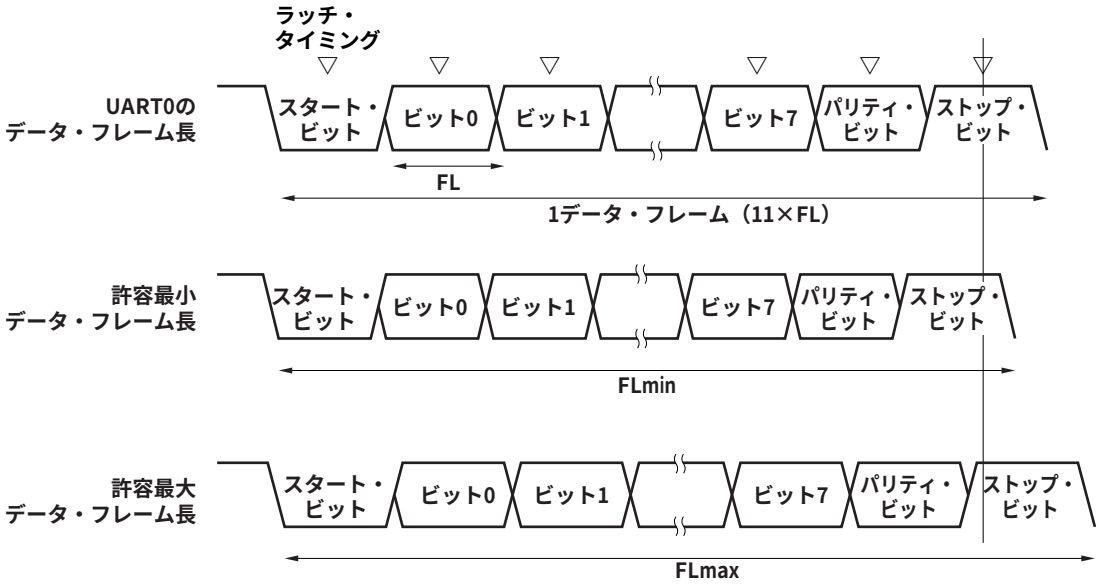


図14－12に示すように，スタート・ビット検出後はボー･レート・ジェネレータ・コントロール・レジスタ0（BRGC0）で設定したカウンタにより，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上，次のようになります。

$$FL = (Brate)^{-1}$$

Brate　：UART0のボー・レート

k　　：BRGC0の設定値

FL　　：1ビット・データ長

ラッチ・タイミングのマージン：2クロック

許容最小データ・フレーム長：$FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$

したがって，受信可能な送信先の最大ボー・レートは次のようになります。

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2} Brate$$

同様に，許容最大データ・フレーム長を求めると，次のようになります。

$$\frac{10}{11} \times FLmax = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FLmax = \frac{21k-2}{20k} FL \times 11$$

したがって，受信可能な送信先の最小ボー・レートは次のようになります。

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2} Brate$$

前述の最小／最大ボー・レート値の算出式から，UART0と送信先とのボー・レートの許容誤差を求めると次のようになります。

表14－5　許容最大／最小ボー・レート誤差

分周比（k）	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	＋3.53 %	－3.61 %
16	＋4.14 %	－4.19 %
24	＋4.34 %	－4.38 %
31	＋4.44 %	－4.47 %

備考1．受信の許容誤差は，1フレーム・ビット数，入力クロック周波数，分周比（k）に依存します。入力クロック周波数が高く，分周比（k）が大きくなるほど許容誤差は大きくなります。

2．k：BRGC0の設定値

第15章　シリアル・インタフェースUART6

15. 1　シリアル・インタフェースUART6の機能

シリアル・インタフェースUART6には，次の2種類のモードがあります。

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

詳細については15. 4. 1　動作停止モードを参照してください。

(2) アシンクロナス・シリアル・インタフェース（UART）モード

LIN（Local Interconnect Network）- bus対応のUARTモードです。機能の概要を次に示します。

詳細については15. 4. 2　アシンクロナス・シリアル・インタフェース（UART）モード，15. 4. 3　専用ボー・レート・ジェネレータを参照してください。

- 2端子構成　TxD6：送信データの出力端子
  RxD6：受信データの入力端子
- 通信データのデータ長は7ビット／8ビット可変
- 専用の8ビット・ボー・レート・ジェネレータを内蔵していることにより，任意のボー・レートが設定可能
- 送信動作と受信動作は独立して動作することが可能
- 動作クロックは，12本のクロック入力選択可能
- MSB/LSBファースト通信選択可能
- 送信反転動作可能
- シンク・ブレーク・フィールド送信は13ビットから20ビットまで選択可能
- シンク・ブレーク・フィールド受信が11ビット以上識別可能（SBF受信フラグあり）

注意1．TxD6出力反転機能は，送信側だけ反転して受信側は反転しないので，TxD6出力反転機能を使用する場合，相手側も反転レベルで受信してください。

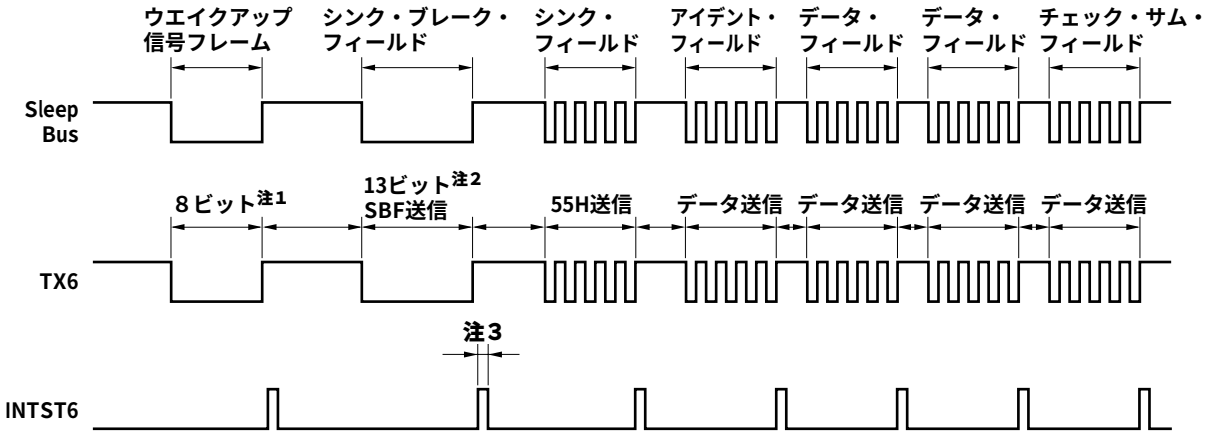
2．シリアル・インタフェースUART6への供給クロックが停止しない場合（例：HALTモード）では，正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合（例：STOPモード）では，各レジスタは，クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に，クロック停止直前の値を保持し出力します。ただし，クロック供給再開後の動作は保証していないので，再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0となるように回路をリセットしてください。

3．連続送信の場合，ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし，受信側はスタート・ビットの検出により，タイミングの初期化を行うので通信結果には影響しません。また，LINに搭載する場合は連続送信機能を使用しないでください。

備考　LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。
LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。
LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。
また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。
LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15 %以下であれば，通信可能です。

LINの送信操作と受信操作の概略を，図15－1, 15－2に示します。

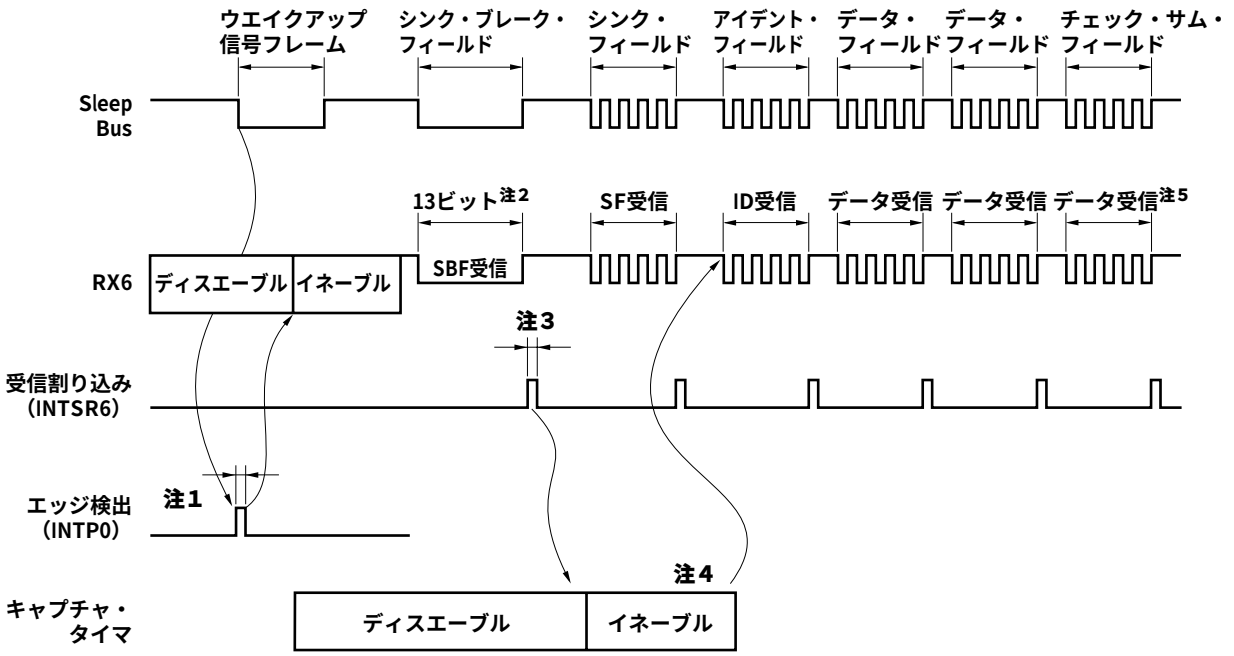
図15－1　LINの送信操作



注1．ウエイクアップ信号フレームは，8ビット・モードの80H送信で代用します。
2．シンク・ブレーク・フィールドの出力はハードウエアで行います。出力幅はアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット4-2（SBL62-SBL60）で設定したビット長になります（15. 4. 2（2）（h）SBF送信を参照）。
3．各送信終了時にはINTST6を出力します。またSBF送信時もINTST6を出力します。

備考　各フィールド間の間隔はソフトウエアで制御します。

図15ー2　LINの受信操作



注1．ウエイクアップ信号の検出は，端子のエッジ検出で行います。ウエイクアップ信号により，UART6をイネーブルし，SBF受信モードに設定します。

2．STOPビットの検出まで受信動作を行います。SBFを11ビット以上のロウ・レベルのデータを検出したら，SBF受信を正常終了したと判断し，割り込み信号を出力します。SBFを11ビット未満のロウ・レベルのデータを検出したら，SBF受信エラーと判断し，割り込み信号を出力せずにSBF受信モードに戻ります。

3．SBF受信を正常終了した場合，割り込み信号を出力します。SBF受信完了割り込みでキャプチャ・タイマをイネーブルにします。また，OVE6, PE6, FE6の各エラー検出は抑制され，UART通信のエラー検出処理，およびシフト・レジスタとRXB6のデータ転送は行われません。シフト・レジスタはリセット値のFFHを保持します。

4．シンク・フィールドのビット長からボー・レート誤差を算出し，SF受信後にUART6のイネーブルを落としてからボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）を再セットしてください。

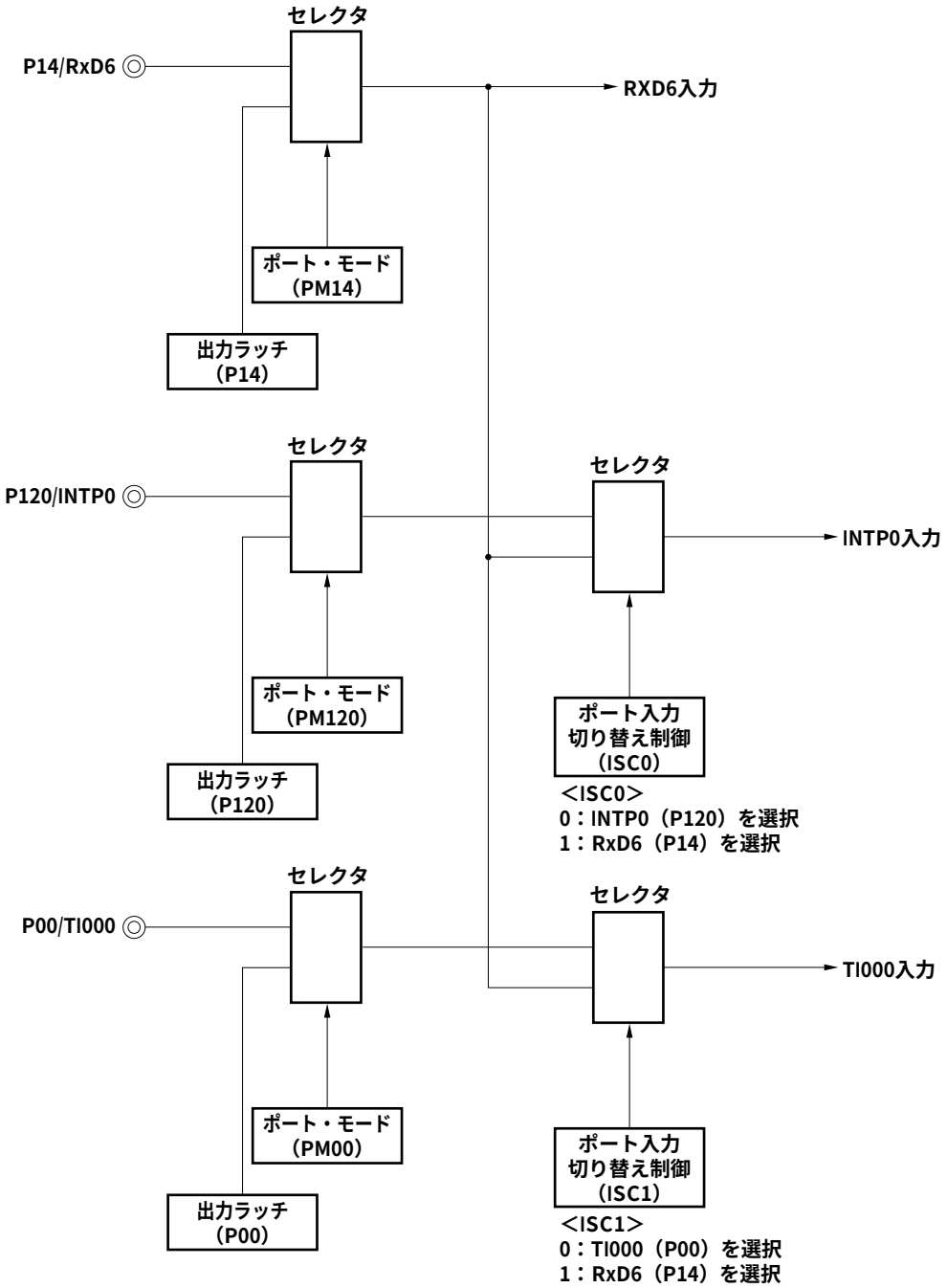
5．チェック・サム・フィールドの区別はソフトウエアで行ってください。チェック・サム・フィールド受信後にUART6を初期化し，再びSBF受信モードに設定する処理もソフトウエアにて行ってください。

LINの受信操作を行う場合は図15－3のような構成となります。

LINのマスタから送信されるウエイクアップ信号の受信を，外部割り込み（INTP0）のエッジ検出にて行います。また，LINのマスタから送信されるシンク・フィールドの長さを16ビット・タイマ／イベント・カウンタ00の外部イベント・キャプチャ動作で計測し，ボー・レート誤差を算出することができます。

ポート入力切り替え制御（ISC0/ISC1）により，外部でRxD6とINTP0, TI000の結線をせずに，受信用ポート入力（RxD6）の入力ソースを外部割り込み（INTP0）および16ビット・タイマ／イベント・カウンタ00へ入力することができます。

図15－3　LINの受信操作用のポート構成図



備考　ISC0, ISC1：入力切り替え制御レジスタ（ISC）のビット0, 1（図15－11参照）

LIN通信動作で使用する周辺機能を次に示します。

＜使用する周辺機能＞

・外部割り込み（INTP0）；ウエイクアップ信号検出

　用途：ウエイクアップ信号のエッジを検出し，通信開始を検出

・16ビット・タイマ／イベント・カウンタ00（TI000）；ボー・レート誤差検出

　用途：シンク・フィールド（SF）の長さを検出し，ビット数で割ることでボー・レート誤差を検出（TI000入力エッジの間隔をキャプチャ・モードで測定）

・シリアル・インタフェースUART6

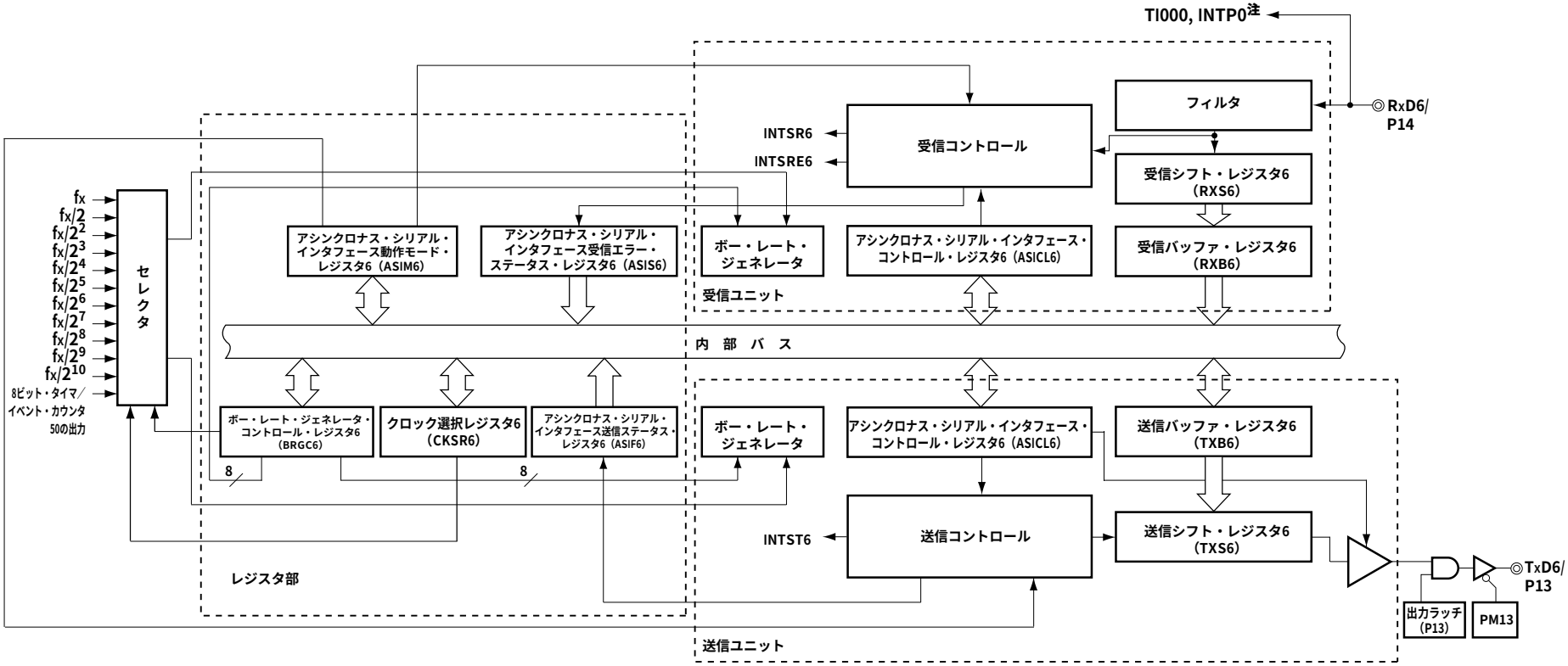
15. 2　シリアル・インタフェースUART6の構成

シリアル・インタフェースUART6は，次のハードウエアで構成しています。

表15－1　シリアル・インタフェースUART6の構成

項　　目	構　　成
レジスタ	受信バッファ・レジスタ6（RXB6） 受信シフト・レジスタ6（RXS6） 送信バッファ・レジスタ6（TXB6） 送信シフト・レジスタ6（TXS6）
制御レジスタ	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6） アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6） アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6） クロック選択レジスタ6（CKSR6） ボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6） アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6） 入力切り替え制御レジスタ（ISC） ポート・モード・レジスタ1（PM1） ポート・レジスタ1（P1）

図15ー4　シリアル・インタフェースUART6のブロック図



注　入力切り替え制御レジスタ（ISC）にて選択可能。

(1) 受信バッファ・レジスタ6（RXB6）

受信シフト・レジスタ6（RXS6）で変換したパラレル・データを格納するための8ビット・レジスタです。

データを1バイト受信するごとにRXS6から新たな受信データが転送されます。

データ長を7ビットに指定した場合は次のようになります。

- LSBファースト受信時では，受信データはRXB6のビット0-6に転送され，RXB6のMSBは必ず0になります。
- MSBファースト受信時では，受信データはRXB6のビット1-7に転送され，RXB6のLSBは必ず0になります。

オーバラン・エラー（OVE6）が発生した場合，そのときの受信データはRXB6には転送されません。

RXB6は，8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$入力により，FFHになります。

(2) 受信シフト・レジスタ6（RXS6）

RxD6端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。

RXS6はプログラムで直接操作できません。

(3) 送信バッファ・レジスタ6（TXB6）

送信データを設定する，バッファ・レジスタです。TXB6へ送信データを書き込むことにより，送信動作が開始されます。

TXB6は8ビット・メモリ操作命令で，読み出しと書き込みができます。

$\overline{\text{RESET}}$入力により，FFHになります。

注意1．アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）のビット1（TXBF6）が1のとき，TXB6にデータを書き込まないでください。

2．通信動作中（アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット7（POWER6）= 1，かつビット6（TXE6）= 1/ASIM6のビット7（POWER6）= 1，かつビット5（RXE6）= 1）に，ソフトウエアでTXB6へのリフレッシュ（同値書き込み）動作を行わないでください。

(4) 送信シフト・レジスタ6（TXS6）

TXB6から転送されたデータをシリアル・データとしてTxD6端子から送信します。TXB6からのデータ転送は，最初の送信時ではTXB6の書き込み直後，連続送信時では1フレーム送信後のINTST6発生直前のタイミングで転送されます。またTXB6からのデータ転送とTxD6端子からの送信は，基本クロックの立ち下がりのタイミングで行われます。

TXS6はプログラムで直接操作できません。

15. 3　シリアル・インタフェースUART6を制御するレジスタ

シリアル・インタフェースUART6は，次の9種類のレジスタで制御します。

- アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）
- アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）
- アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）
- クロック選択レジスタ6（CKSR6）
- ボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）
- アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）
- 入力切り替え制御レジスタ（ISC）
- ポート・モード・レジスタ1（PM1）
- ポート・レジスタ1（P1）

（1）アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）

シリアル・インタフェースUART6のシリアル通信動作を制御する8ビット・レジスタです。

ASIM6は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，01Hになります。

備考　通信動作中（ASIM6のビット7（POWER6）= 1，かつビット6（TXE6）= 1/ASIM6のビット7（POWER6）= 1，かつビット5（RXE6）= 1）に，ソフトウエアでASIM6へのリフレッシュ（同値書き込み）動作を行うことができます。

図15ー5　アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のフォーマット（1/2）

アドレス：FF50H　リセット値：01H　R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可／禁止
0注1	内部動作クロックの動作禁止（ロウ・レベル固定），内部回路を非同期リセットする注2。
1注3	内部動作クロックの動作許可

TXE6	送信動作許可／禁止
0	送信動作禁止（送信回路を同期リセットする）
1	送信動作許可

注1．POWER6 = 0で，TxD6端子の出力はハイ・レベルになり，RxD6端子からの入力はハイ・レベルに固定されます。

2．リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6），アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6），アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット7（SBRF6）とビット6（SBRT6），受信バッファ・レジスタ6（RXB6）です。

3．POWER6ビットに1を書き込んでから，基本クロックの2発目で8ビット・カウンタの出力動作が許可になります。

図15－5　アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のフォーマット（2/2）

RXE6	受信動作許可／禁止
0	受信動作禁止（受信回路を同期リセットする）
1	受信動作許可

PS61	PS60	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信注
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

CL6	送受信データのキャラクタ長指定
0	データのキャラクタ長 = 7ビット
1	データのキャラクタ長 = 8ビット

SL6	送信データのストップ・ビット数指定
0	ストップ・ビット数 = 1
1	ストップ・ビット数 = 2

ISRM6	エラー発生時の受信完了割り込み発生許可／禁止
0	エラー発生時の割り込みに“INTSRE6”が発生（このときINTSR6は発生しない）
1	エラー発生時の割り込みに“INTSR6”が発生（このときINTSRE6は発生しない）

注　「0パリティとして受信」を設定すると，パリティ判定を行いません。したがって，アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）のビット2（PE6）はセットされないため，エラー割り込みも発生しません。

注意1．起動時はPOWER6 = 1にしてから，TXE6 = 1としてください。動作を停止するときにはTXE6 = 0にしてから，POWER6 = 0としてください。

2．起動時はPOWER6 = 1にしてから，RXE6 = 1としてください。動作を停止するときにはRXE6 = 0にしてから，POWER6 = 0としてください。

3．RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1→RXE6 = 1 と設定してください。ロウ・レベルのときにPOWER6 = 1→RXE6 = 1 と設定すると，受信を開始してしまいます。

4．PS61, PS60, CL6ビットを書き換えるときは，TXE6, RXE6ビットをクリア（0）してから行ってください。

5．LINに搭載する場合，PS61, PS60ビットを0に固定してください。

6．SL6ビットを書き換えるときは，TXE6 = 0にしてから行ってください。また，受信は常に“ストップ・ビット数 = 1”として動作するので，SL6ビットの設定値の影響は受けません。

7．ISRM6ビットを書き換えるときは，RXE6 = 0にしてから行ってください。

(2) アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）

シリアル・インタフェースUART6の受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ（PE6, FE6, OVE6）で構成されています。

ASIS6は，8ビット・メモリ操作命令で読み出しのみ可能です。

$\overline{\text{RESET}}$入力，ASIM6のビット7（POWER6）= 0，ビット5（RXE6）= 0のいずれかにより，00Hになります。また，読み出しにより，00Hになります。

図15－6　アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）のフォーマット

アドレス：FF53H　リセット値：00H　R

略号	7	6	5	4	3	2	1	0
ASIS6	0	0	0	0	0	PE6	FE6	OVE6

PE6	パリティ・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき，または，ASIS6レジスタのリード
1	受信完了時，送信データのパリティとパリティ・ビットが一致しないとき

FE6	フレーミング・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき，または，ASIS6レジスタのリード
1	受信完了時，ストップ・ビットが検出されないとき

OVE6	オーバラン・エラーを示すステータス・フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき，または，ASIS6レジスタのリード
1	RXB6レジスタに受信データがセットされ，それを読み出す前に次の受信動作が完了したとき

注意1．PE6ビットの動作は，アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のPS61, PS60ビットの設定値により異なります。

2．受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。

3．オーバラン・エラーが発生した場合，次の受信データは受信バッファ・レジスタ6（RXB6）には書き込まれず，データは破棄されます。

4．ASIS6からデータを読み出すと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，ASIS6からデータを読み出さないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。

(3) アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）

シリアル・インタフェースUART6の送信時のステータスを示すレジスタです。2ビットのステータス・フラグ（TXBF6, TXSF6）で構成されています。

TXB6レジスタからTXS6レジスタへデータが転送されたあとに，次のデータをTXB6レジスタに書き込むことで，割り込み期間中も途切れることなく送信を続けることができます。

ASIF6は，8ビット・メモリ操作命令で読み出しのみ可能です。

$\overline{\text{RESET}}$入力，ASIM6のビット7（POWER6）= 0，ビット6（TXE6）= 0のいずれかにより，00Hになります。

図15ー7　アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）のフォーマット

アドレス：FF55H　リセット値：00H　R

略号	7	6	5	4	3	2	1	0
ASIF6	0	0	0	0	0	0	TXBF6	TXSF6

TXBF6	送信バッファ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき，または，送信シフト・レジスタ6（TXS6）にデータを転送したとき
1	送信バッファ・レジスタ6（TXB6）にデータを書き込んだとき（TXB6にデータが存在するとき）

TXSF6	送信シフト・レジスタ・データ・フラグ
0	POWER6 = 0またはTXE6 = 0に設定したとき，または，転送完了後に送信バッファ・レジスタ6（TXB6）から次のデータ転送がなかったとき
1	送信バッファ・レジスタ6（TXB6）よりデータが転送されたとき（データ送信中のとき）

注意1．連続送信を行う場合は，最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと，必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

2．連続送信完了時に送信ユニットを初期化する場合は，送信完了割り込み発生後に，必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) クロック選択レジスタ6（CKSR6）

シリアル・インタフェースUART6の基本クロックを選択するレジスタです。

CKSR6は，8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

備考　通信動作中（ASIM6のビット7（POWER6）= 1，かつビット6（TXE6）= 1/ASIM6のビット7（POWER6）= 1，かつビット5（RXE6）= 1）に，ソフトウエアでCKSR6へのリフレッシュ動作（同値書き込み）を行うことができます。

図15－8　クロック選択レジスタ6（CKSR6）のフォーマット

アドレス：FF56H　リセット値：00H　R/W

略号	7	6	5	4	3	2	1	0
CKSR6	0	0	0	0	TPS63	TPS62	TPS61	TPS60

TPS63	TPS62	TPS61	TPS60	基本クロック（f_{XCLK6}）選択[注1]
0	0	0	0	f_X（10 MHz）
0	0	0	1	$f_X/2$（5 MHz）
0	0	1	0	$f_X/2^2$（2.5 MHz）
0	0	1	1	$f_X/2^3$（1.25 MHz）
0	1	0	0	$f_X/2^4$（625 kHz）
0	1	0	1	$f_X/2^5$（312.5 kHz）
0	1	1	0	$f_X/2^6$（156.25 kHz）
0	1	1	1	$f_X/2^7$（78.13 kHz）
1	0	0	0	$f_X/2^8$（39.06 kHz）
1	0	0	1	$f_X/2^9$（19.53 kHz）
1	0	1	0	$f_X/2^{10}$（9.77 kHz）
1	0	1	1	TM50の出力[注2]
その他				設定禁止

注1.　基本クロックは次の条件を満たすように設定してください。

- V_{DD} = 4.0～5.5 V：基本クロック≦10 MHz
- V_{DD} = 3.3～4.0 V：基本クロック≦8.38 MHz
- V_{DD} = 2.7～3.3 V：基本クロック≦5 MHz
- ★ V_{DD} = 2.5～2.7 V：基本クロック≦2.5 MHz（標準品，（A）水準品のみ）

2.　TM50の出力を基本クロックとして選択する場合，次の内容に注意してください。

- PWMモード（TMC506 = 1）

  デューティ50 %のクロックになるように設定し，事前に8ビット・タイマ／イベント・カウンタ50の動作を開始してください。

- TM50とCR50の一致でクリア＆スタート・モード（TMC506 = 0）

  タイマF/Fの反転動作を許可（TMC501 = 1）し，事前に8ビット・タイマ／イベント・カウンタ50の動作を開始してください。

どちらのモードの場合でも，TO50端子をタイマ出力許可にする必要はありません。

注意1．CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。基本クロックが内蔵発振クロックの場合，シリアル・インタフェースUART6の動作は保証されません。

2．TPS63-TPS60を書き換える場合は，POWER6 = 0としてから行ってください。

備考1．（ ）内はfx = 10 MHz動作時

2．fx：高速システム・クロック発振周波数

3．TMC506：8ビット・タイマ・モード・コントロール・レジスタ50（TMC50）のビット6
TMC501：TMC50のビット1

(5) ボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）

シリアル・インタフェースUART6の8ビット・カウンタの分周値を設定するレジスタです。

BRGC6は，8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

備考　通信動作中（ASIM6のビット7（POWER6）= 1，かつビット6（TXE6）= 1/ASIM6のビット7（POWER6）= 1，かつビット5（RXE6）= 1）に，ソフトウエアでBRGC6へのリフレッシュ動作（同値書き込み）を行うことができます。

図15－9　ボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）のフォーマット

アドレス：FF57H　リセット値：FFH　R/W

略号	7	6	5	4	3	2	1	0
BRGC6	MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60

MDL67	MDL66	MDL65	MDL64	MDL63	MDL62	MDL61	MDL60	k	8ビット・カウンタの出力クロック選択
0	0	0	0	0	×	×	×	×	設定禁止
0	0	0	0	1	0	0	0	8	$f_{XCLK6}/8$
0	0	0	0	1	0	0	1	9	$f_{XCLK6}/9$
0	0	0	0	1	0	1	0	10	$f_{XCLK6}/10$
・ ・ ・ ・ ・	・ ・ ・ ・ ・	・ ・ ・ ・ ・	・ ・ ・ ・ ・	・ ・ ・ ・ ・	・ ・ ・ ・ ・	・ ・ ・ ・ ・	・ ・ ・ ・ ・	・ ・ ・ ・ ・	・ ・ ・ ・ ・
1	1	1	1	1	1	0	0	252	$f_{XCLK6}/252$
1	1	1	1	1	1	0	1	253	$f_{XCLK6}/253$
1	1	1	1	1	1	1	0	254	$f_{XCLK6}/254$
1	1	1	1	1	1	1	1	255	$f_{XCLK6}/255$

注意1．MDL67-MDL60ビットを書き換える場合は，ASIM6レジスタのビット6（TXE6）= 0，ビット5（RXE6）= 0にしてから行ってください。

2．8ビット・カウンタの出力クロックをさらに1/2分周したものが，ボー・レート値となります。

備考1．f_{XCLK6}　：CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

2．k　：MDL67-MDL60ビットで設定した値（k = 8, 9, 10，…，255）

3．×　：任意

（6）アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）

シリアル・インタフェースUART6のシリアル通信動作を制御するレジスタです。

ASICL6は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，16Hになります。

注意　通信動作中（ASIM6のビット7（POWER6）= 1，かつビット6（TXE6）= 1/ASIM6のビット7（POWER6）= 1，かつビット5（RXE6）= 1）に，ソフトウエアでASICL6へのリフレッシュ動作（同値書き込み）を行うことができます。ただし，通信終了時（割り込み信号発生）にASICL6のビット6（SBRT6）がクリア（0）されるため，リフレッシュ動作により，通信が起動するので注意してください。

図15－10　アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のフォーマット（1/2）

アドレス：FF58H　リセット値：16H　R/W注

略号	7	6	5	4	3	2	1	0
ASICL6	SBRF6	SBRT6	SBTT6	SBL62	SBL61	SBL60	DIR6	TXDLV6

SBRF6	SBF受信状態フラグ
0	POWER6 = 0およびRXE6 = 0に設定したとき，またはSBF受信が正常終了したとき
1	SBF受信中

SBRT6	SBF受信トリガ
0	－
1	SBF受信トリガ

SBTT6	SBF送信トリガ
0	－
1	SBF送信トリガ

注　ビット7はRead Onlyです。

図15－10　アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のフォーマット（2/2）

SBL62	SBL61	SBL60	SBF送信出力幅制御
1	0	1	SBFは13ビット長で出力
1	1	0	SBFは14ビット長で出力
1	1	1	SBFは15ビット長で出力
0	0	0	SBFは16ビット長で出力
0	0	1	SBFは17ビット長で出力
0	1	0	SBFは18ビット長で出力
0	1	1	SBFは19ビット長で出力
1	0	0	SBFは20ビット長で出力

DIR6	先頭ビットの指定
0	MSB
1	LSB

TXDLV6	TxD6出力反転許可／禁止
0	TxD6通常出力
1	TxD6反転出力

注意1．SBF受信エラー時には，再びSBF受信モードに戻してください。SBRF6フラグの状態は保持（1）されます。

2．SBRT6ビットは，ASIM6のビット7（POWER6）= 1，かつビット5（RXE6）= 1としてからセット（1）にしてください。

3．SBRT6ビットのリード値は常に0です。SBF受信正常終了後，SBRT6は自動的にクリア（0）されます。

4．SBTT6ビットは，ASIM6のビット7（POWER6）= 1，かつビット6（TXE6）= 1としてからセット（1）にしてください。

5．SBTT6ビットのリード値は常に0です。SBF送信終了後，SBTT6は自動的にクリア（0）されます。

6．DIR6, TXDLV6ビットを書き換えるときは，TXE6, RXE6ビットをクリア（0）にしてから行ってください。

7．78K0/KF1のマスクROM製品のプログラム評価用として使用する場合は，SBTT6, SBL62, SBL61, SBL60ビットに0, 1, 0, 1を設定してください。

(7) 入力切り替え制御レジスタ（ISC）

LIN（Local Interconnect Network）受信時に，マスタから送信されるステータス信号を受信するときに入力切り替え制御レジスタ（ISC）を使用します。ISCの設定により，入力ソースを切り替えることができます。

ISCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図15－11　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス：FF4FH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	TI000入力ソースの選択
0	TI000（P00）
1	RxD6（P14）

ISC0	INTP0入力ソースの選択
0	INTP0（P120）
1	RxD6（P14）

(8) ポート・モード・レジスタ1（PM1）

ポート1の入力／出力を1ビット単位で設定するレジスタです。

P13/TxD6端子をシリアル・インタフェースのデータ出力として使用するとき，PM13に0を，P13の出力ラッチに1を設定してください。

P14/RxD6端子をシリアル・インタフェースのデータ入力として使用するとき，PM14に1を設定してください。このときP14の出力ラッチは，0または1のどちらでもかまいません。

PM1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

図15－12　ポート・モード・レジスタ1（PM1）のフォーマット

アドレス：FF21H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

15. 4　シリアル・インタフェースUART6の動作

シリアル・インタフェースUART6は，次の2種類のモードがあります。

・動作停止モード
・アシンクロナス・シリアル・インタフェース（UART）モード

15. 4. 1　動作停止モード

動作停止モードでは，シリアル通信を行いませんので，消費電力を低減できます。また，動作停止モードでは，端子を通常のポートとして使用できます。動作停止モードにする場合は，ASIM6のビット7, 6, 5（POWER6, TXE6, RXE6）に0を設定してください。

（1）使用するレジスタ

動作停止モードの設定は，アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）で行います。

ASIM6は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，01Hになります。

アドレス：FF50H　リセット値：01H　R/W

略号	7	6	5	4	3	2	1	0
ASIM6	POWER6	TXE6	RXE6	PS61	PS60	CL6	SL6	ISRM6

POWER6	内部動作クロックの動作許可／禁止
0注1	内部動作クロックの動作禁止（ロウ・レベル固定），内部回路を非同期リセットする注2

TXE6	送信動作許可／禁止
0	送信動作禁止（送信回路を同期リセットする）

RXE6	受信動作許可／禁止
0	受信動作禁止（受信回路を同期リセットする）

注1．POWER6 = 0で，TxD6端子の出力はハイ・レベルになり，RxD6端子からの入力はハイ・レベルに固定されます。

2．リセットされるのはアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6），アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6），アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット7（SBRF6）とビット6（SBRT6），受信バッファ・レジスタ6（RXB6）です。

注意　動作停止モードにするときは，TXE6 = 0, RXE6 = 0にしてから，POWER6 = 0 にしてください。
起動時はPOWER6 = 1 にしてから，TXE6 = 1, RXE6 = 1にしてください。

備考　RxD6/P14, TxD6/P13端子を汎用ポートとして使用する場合は，第4章　ポート機能を参照してください。

15. 4. 2　アシンクロナス・シリアル・インタフェース（UART）モード

スタート・ビットに続く1バイトのデータを送受信するモードで，全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており，広範囲な任意のボー・レートで通信できます。

（1）使用するレジスタ

・アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）
・アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）
・アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）
・クロック選択レジスタ6（CKSR6）
・ボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）
・アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）
・入力切り替え制御レジスタ（ISC）
・ポート・モード・レジスタ1（PM1）
・ポート・レジスタ1（P1）

UARTモードの基本的な動作設定手順例は次のようになります。

① CKSR6レジスタを設定（図15－8を参照）
② BRGC6レジスタを設定（図15－9を参照）
③ ASIM6レジスタのビット0-4（ISRM6, SL6, CL6, PS60, PS61）を設定（図15－5を参照）
④ ASICL6レジスタのビット0, 1（TXDLV6, DIR6）を設定（図15－10を参照）
⑤ ASIM6レジスタのビット7（POWER6）をセット（1）
⑥ ASIM6レジスタのビット6（TXE6）をセット（1）　→ 送信可能
　ASIM6レジスタのビット5（RXE6）をセット（1）　→ 受信可能
⑦ 送信バッファ・レジスタ6（TXB6）にデータを書き込み→ データ送信開始

注意　ポート・モード・レジスタとポート・レジスタの設定手順は，通信相手との関係を考慮して，行ってください。

レジスタの設定と端子の関係を次に示します。

表15－2　レジスタの設定と端子の関係

POWER6	TXE6	RXE6	PM13	P13	PM14	P14	UART6の動作	端子機能	
								TxD6/P13	RxD6/P14
0	0	0	×注	×注	×注	×注	停止	P13	P14
1	0	1	×注	×注	1	×	受信	P13	RxD6
	1	0	0	1	×注	×注	送信	TxD6	P14
	1	1	0	1	1	×	送受信	TxD6	RxD6

注　ポート機能として設定することができます。

備考　×　　：don't care
POWER6：アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット7
TXE6　　：ASIM6のビット6
RXE6　　：ASIM6のビット5
PM1×　　：ポート・モード・レジスタ
P1×　　：ポートの出力ラッチ

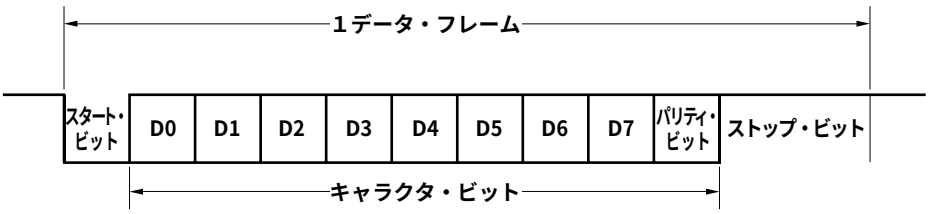
(2) 通信動作

(a) 通常送受信データ・フォーマットと波形例

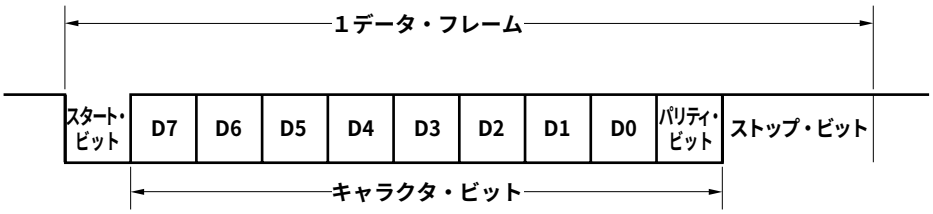
通常送受信データのフォーマットと波形例を図15－13, 15－14に示します。

図15－13　通常UART送受信データのフォーマット

1．LSBファーストの場合



2．MSBファーストの場合



1データ・フレームは次に示すビットで構成されています。

・スタート・ビット…… 1ビット
・キャラクタ・ビット…… 7ビット／8ビット
・パリティ・ビット…… 偶数パリティ／奇数パリティ／0パリティ／パリティなし
・ストップ・ビット…… 1ビット／2ビット

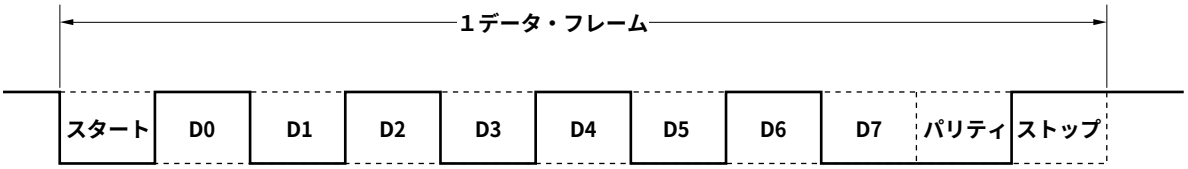
1データ・フレーム内のキャラクタ・ビット長の指定，パリティ選択，ストップ・ビット長の指定は，アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）によって行います。

データはLSBファースト／MSBファーストをアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット1（DIR6）で設定して通信します。

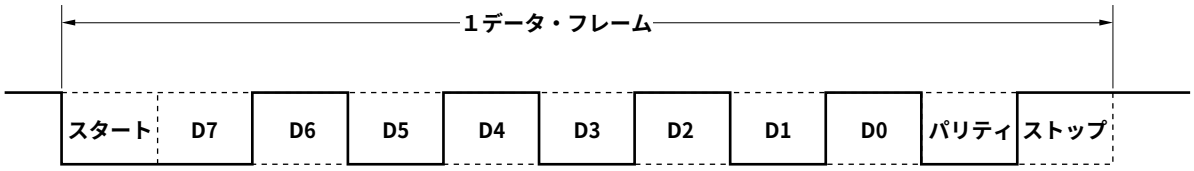
また，TxD6端子の通常出力／反転出力をASICL6のビット0（TXDLV6）で設定します。

図15－14　通常UART送受信データの波形例（1/2）

1．データ長：8ビット，LSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，通信データ：55H



2．データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，
通信データ：55H



3．データ長：8ビット，MSBファースト，パリティ：偶数パリティ，ストップ・ビット：1ビット，
通信データ：55H, TxD6端子反転出力

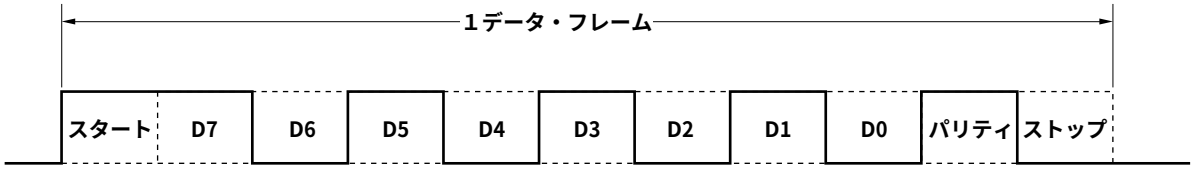
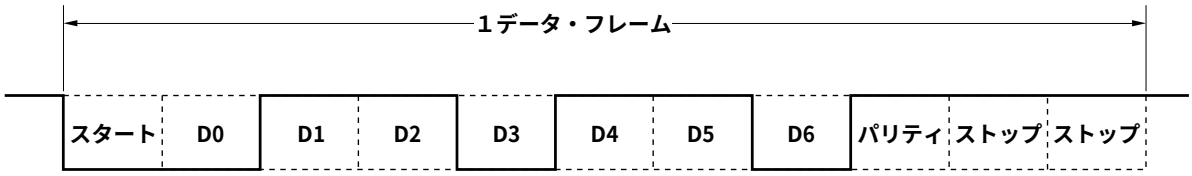
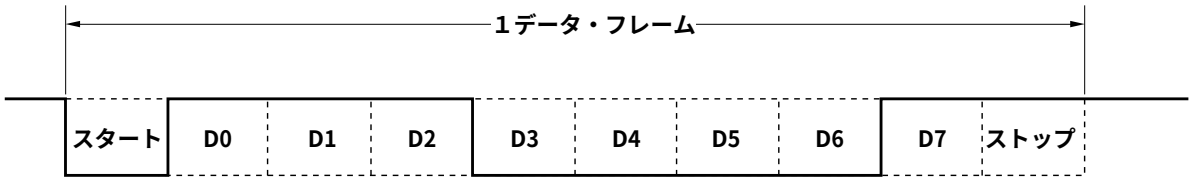


図15－14　通常UART送受信データの波形例（2/2）

4．データ長：7ビット，LSBファースト，パリティ：奇数パリティ，ストップ・ビット：2ビット，通信データ：36H



5．データ長：8ビット，LSBファースト，パリティ：パリティなし，ストップ・ビット：1ビット，通信データ：87H



(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は，送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは，1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとでは，誤りを検出することはできません。

注意　LINに搭載する場合，PS61, PS60ビットを0に固定してください。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の，値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に，値が“1”のビット数が奇数個：1
送信データ中に，値が“1”のビット数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，奇数個であった場合にパリティ・エラーを発生します。

（ii）奇数パリティ

・送信時

偶数パリティとは逆に，パリティ・ビットを含めた送信データ中の値に含まれる“1”のビット数を奇数個になるように制御します。

送信データ中に，値が“1”のビット数が奇数個：0
送信データ中に，値が“1”のビット数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の，値が“1”のビット数をカウントし，偶数個であった場合にパリティ・エラーを発生します。

（iii）0パリティ

送信時には，送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検出を行いません。したがって，パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

（iv）パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため，パリティ・エラーを発生しません。

（c）通常送信

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット7（POWER6）をセット（1）すると，TxD6端子からハイ・レベル出力されます。次にASIM6のビット6（TXE6）をセット（1）すると送信許可状態になり，送信バッファ・レジスタ6（TXB6）に送信データを書き込むことによって送信動作は起動します。スタート・ビット，パリティ・ビット，ストップ・ビットは自動的に付加されます。

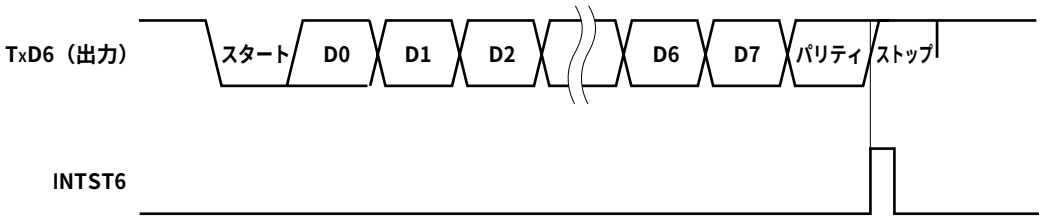
送信動作の開始により，TXB6内のデータは送信シフト・レジスタ6（TXS6）に転送されます。その後，TXS6から順次，TxD6端子に出力されます。送信が完了すると，ASIM6で設定したパリティ・ビット，ストップ・ビットが付加され，送信完了割り込み要求（INTST6）が発生します。

次に送信するデータをTXB6に書き込むまで，送信動作は中断します。

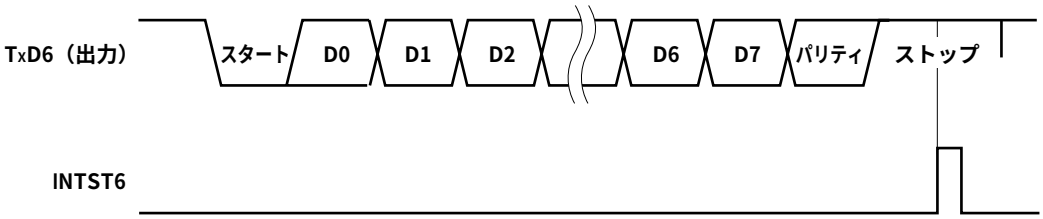
送信完了割り込み要求（INTST6）のタイミングを図15－15に示します。INTST6は，最後のストップ・ビット出力と同時に発生します。

図15－15　通常送信完了割り込み要求タイミング

1．ストップ・ビット長：1



2．ストップ・ビット長：2



（d）連続送信

送信シフト・レジスタ6（TXS6）がシフト動作を開始した時点で，次の送信データを送信バッファ・レジスタ6（TXB6）へ書き込むことができます。これにより，1データ・フレーム送信後のINTST6割り込み処理時でも連続送信することができ，効率的な通信レートを実現できます。また，送信完了割り込み発生後にアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）のビット0（TXSF6）を読み出すことにより，1データ・フレームの送信時間を待つことなく効率的に2回（2バイト）のTXB6レジスタへの書き込みができます。

連続送信する場合は，必ずASIF6レジスタを参照し，送信状態とTXB6レジスタへの書き込み可否を確認してから，データの書き込みを行ってください。

注意1．連続送信でASIF6レジスタのTXBF6, TXSF6フラグは，「10」→「11」→「01」と変化します。そのため，ステータスを確認する場合は，TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出してください。

2．LINに搭載する場合，連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）が00Hになっていることを確認してから，送信バッファ・レジスタ6（TXB6）に送信データを書き込んでください。

TXBF6	TXB6レジスタへの書き込み可否
0	書き込み可
1	書き込み不可

注意　連続送信を行う場合は，最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと，必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。

TXSF6フラグで，通信状態を確認することができます。

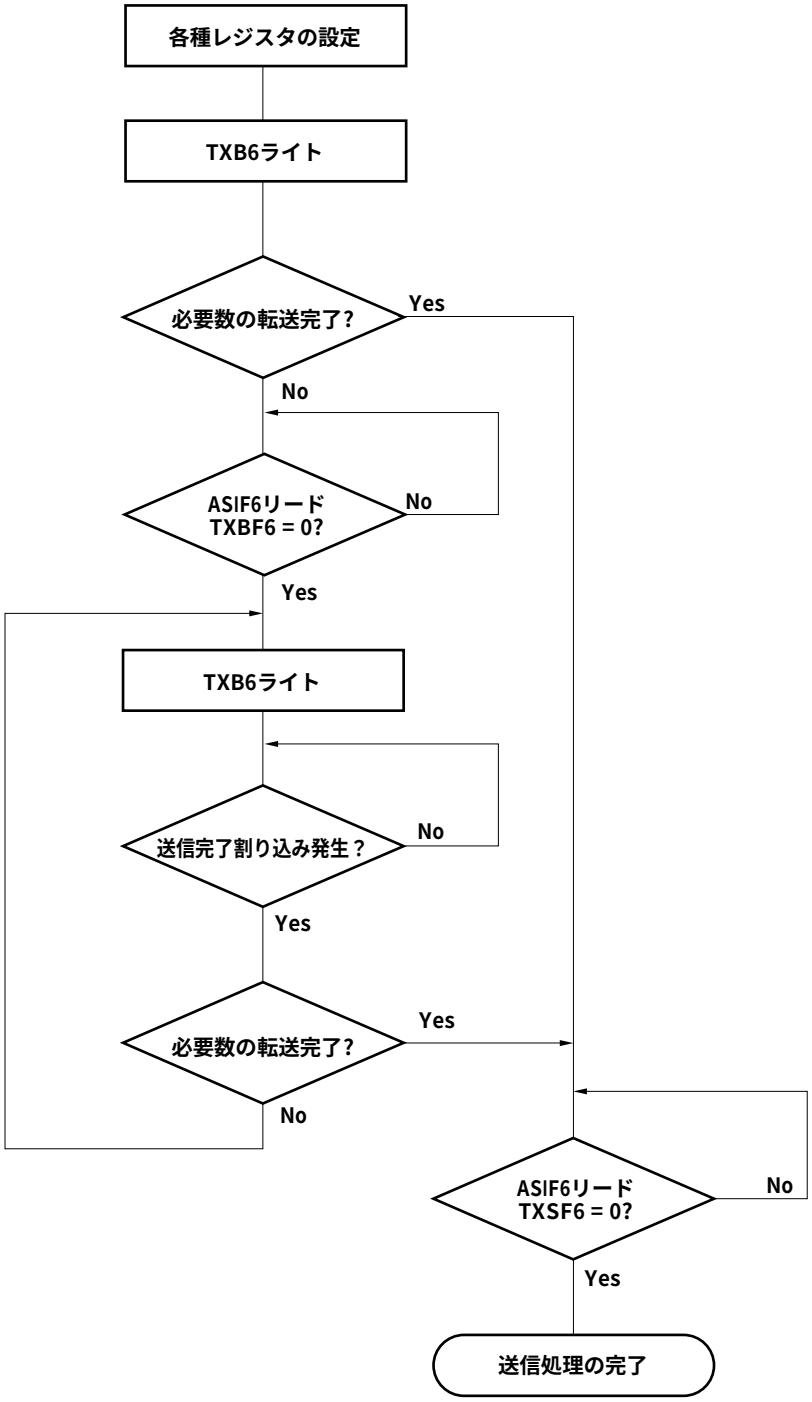
TXSF6	送信状態
0	送信が終了しています。
1	送信中です。

注意1．連続送信完了時に送信ユニットを初期化する場合は，送信完了割り込み発生後に，必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。

2．連続送信時には，1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまうオーバラン・エラーが発生する可能性があります。オーバラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSF6フラグを参照することで検出できます。

連続送信の処理フロー例を図15－16に示します。

図15－16　連続送信の処理フロー例



備考　TXB6　：送信バッファ・レジスタ6

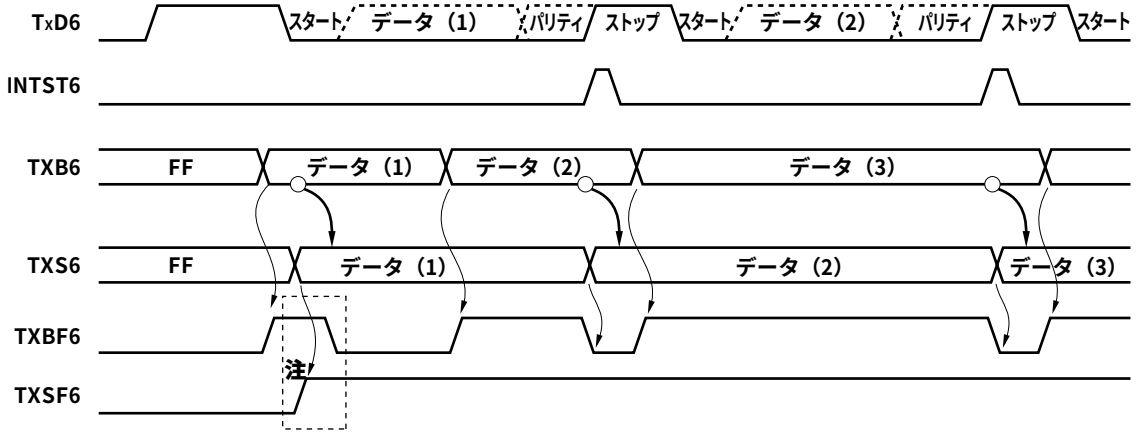
ASIF6　：アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6

TXBF6：ASIF6のビット1（送信バッファ・データ・フラグ）

TXSF6：ASIF6のビット0（送信シフト・レジスタ・データ・フラグ）

連続送信を開始する際のタイミングを図15－17に，連続送信を終了する際のタイミングを図15－18に示します。

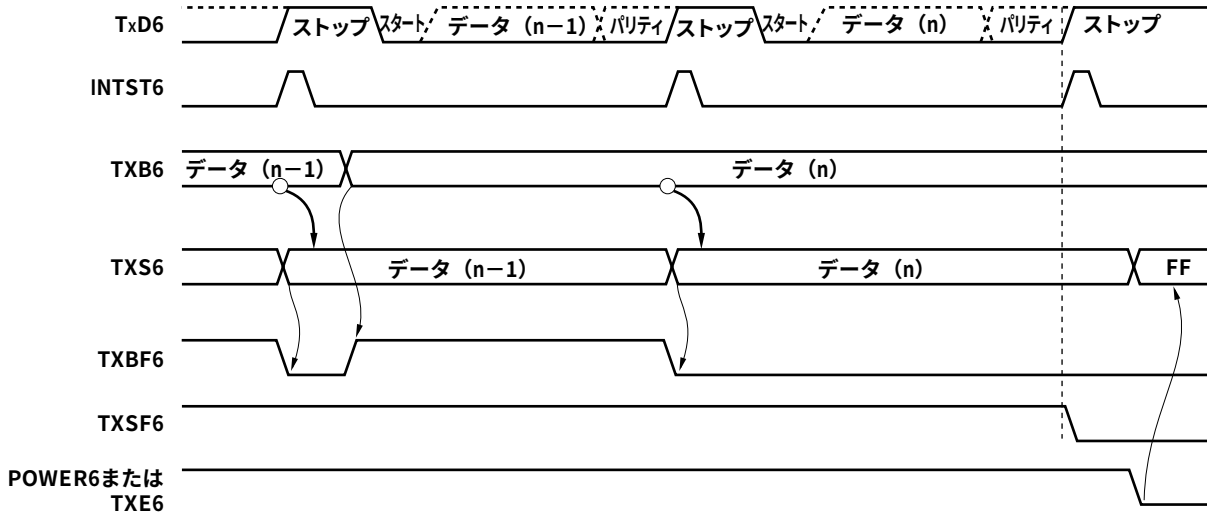
図15－17　連続送信を開始する際のタイミング



注　ASIF6をリードした場合，TXBF6, TXSF6 = 1, 1の期間が存在します。したがって，書き込み可否はTXBF6ビットのみで判断してください。

備考　TxD6　：TxD6端子（出力）
INTST6　：割り込み要求信号
TXB6　：送信バッファ・レジスタ6
TXS6　：送信シフト・レジスタ6
ASIF6　：アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6
TXBF6　：ASIF6のビット1
TXSF6　：ASIF6のビット0

図15－18　連続送信を終了する際のタイミング



備考　TxD6　：TxD6端子（出力）
INTST6　：割り込み要求信号
TXB6　：送信バッファ・レジスタ6
TXS6　：送信シフト・レジスタ6
ASIF6　：アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6
TXBF6　：ASIF6のビット1
TXSF6　：ASIF6のビット0
POWER6：アシンクロナス・シリアル・インタフェース動作モード・レジスタ（ASIM6）のビット7
TXE6　：アシンクロナス・シリアル・インタフェース動作モード・レジスタ（ASIM6）のビット6

(e) 通常受信

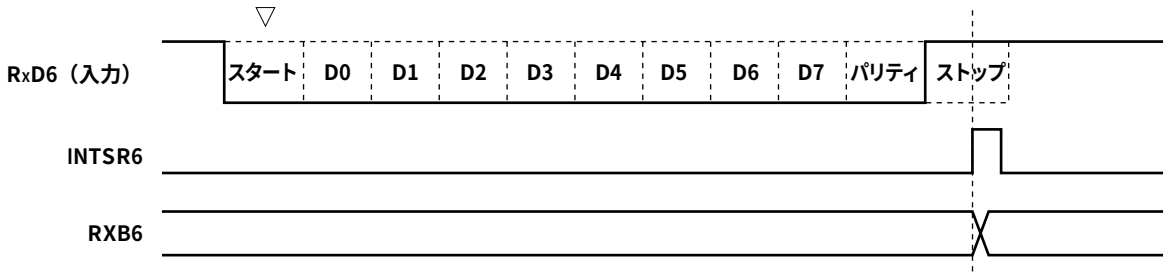
アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット7（POWER6）をセット（1）し，次にASIM6のビット5（RXE6）をセット（1）すると受信許可状態となり，RxD6端子入力のサンプリングを行います。

RxD6端子入力の立ち下がりを検出すると，ボー・レート・ジェネレータの8ビット・カウンタがカウントを開始し，ボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）の設定値をカウントした時点で，再度RxD6端子入力をサンプリング（図15－19の▽印に相当）した結果，RxD6端子がロウ・レベルであれば，スタート・ビットと認識します。

スタート・ビットを検出したら，受信動作を開始し，設定されたボー・レートに合わせて，シリアル・データを順次，受信シフト・レジスタ（RXS6）に格納していきます。ストップ・ビットを受信したら，受信完了割り込み（INTSR6）を発生すると同時に，RXS6のデータは受信バッファ・レジスタ6（RXB6）に書き込まれます。ただし，オーバラン・エラー（OVE6）が発生した場合，そのときの受信データはRXB6に書き込みません。

受信途中に，パリティ・エラー（PE6）が発生しても，ストップ・ビットの受信位置までは受信を継続し，受信完了後にエラー割り込み（INTSR6/INTSRE6）を発生します。

図15－19　受信完了割り込み要求タイミング



注意1．受信エラー発生時にも受信バッファ・レジスタ6（RXB6）は必ず読み出してください。RXB6を読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。

2．受信は，常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは，無視されます。

3．RXB6を読み出す前に，必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）を読み出してください。

(f) 受信エラー

受信動作時のエラーは，パリティ・エラー，フレーミング・エラー，オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）内に立つと，受信エラー割り込み要求（INTSR6/INTSRE6）を発生します。

受信エラー割り込み処理内（INTSR6/INTSRE6）で，ASIS6の内容を読み出すことによって，いずれのエラーが受信時に発生したかを検出することができます（図15－6参照）。

ASIS6の内容は，ASIS6を読み出すことによって，リセット（0）されます。

表15－3　受信エラーの要因

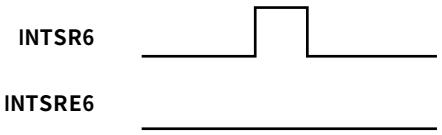
受信エラー	要　　因
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない
フレーミング・エラー	ストップ・ビットが検出されない
オーバラン・エラー	受信バッファ・レジスタ6（RXB6）からデータを読み出す前に次のデータ受信完了

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット0（ISRM6）に0を設定することにより，エラー割り込みを受信完了割り込み（INTSR6）とエラー割り込み（INTSRE6）とに分離することができます。

図15－20　受信エラー割り込み（1/2）

1．ISRM6に0を設定した場合（受信完了割り込み（INTSR6）とエラー割り込み（INTSRE6）とに分離する）

(a) 受信時，エラーなし



(b) 受信時，エラーあり

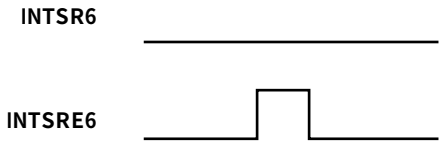
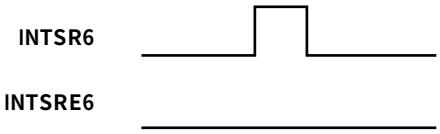


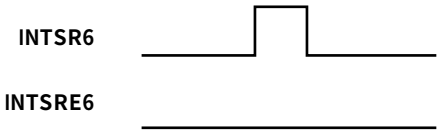
図15－20　受信エラー割り込み（2/2）

2．ISRM6に1を設定した場合（エラー割り込みもINTSR6に含める）

（a）受信時，エラーなし



（b）受信時，エラーあり



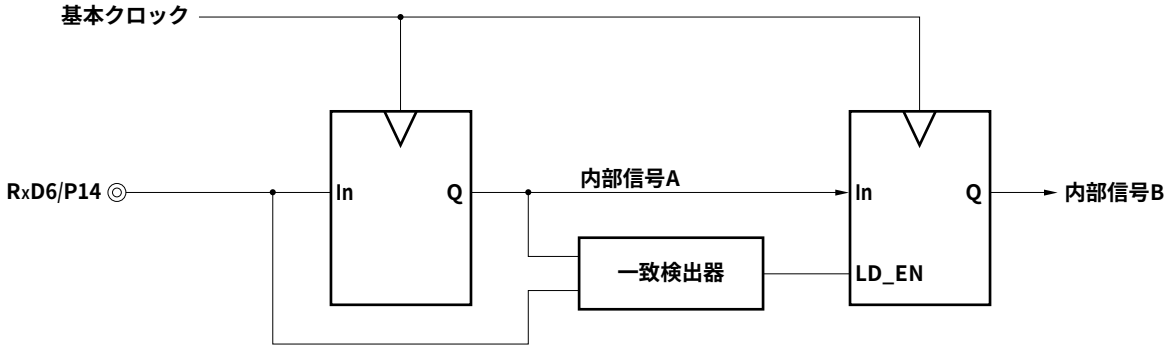
（g）受信データのノイズ・フィルタ

プリスケーラ部出力の基本クロックでRxD6信号をサンプリングします。

サンプリング値が同じ値を2回取ると，一致検出器の出力が変化し，入力データとしてサンプリングされます。

また，回路は図15－21のようになっているため，受信動作の内部での処理は，外部の信号状態より2クロック分遅れて動作することになります。

図15－21　ノイズ・フィルタ回路



（h）SBF送信

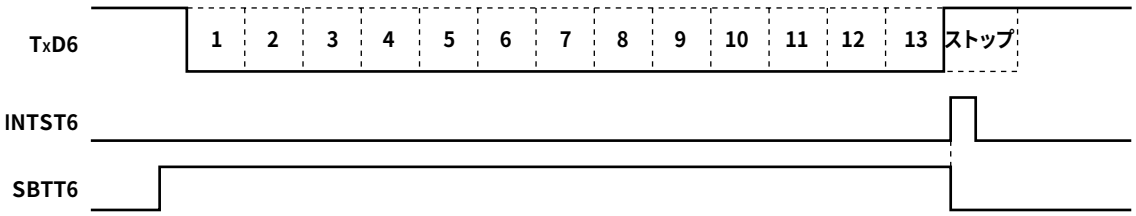
LINに搭載する場合，送信ではSBF（Synchronous Break Field）送信制御機能を使用します。LINの送信操作については図15ー1　LINの送信操作を参照してください。

アシンクロナス・シリアル・インタフェース・モード・レジスタ6（ASIM6）のビット7（POWER6）をセット（1）すると，TxD6端子からハイ・レベル出力されます。次にASIM6のビット6（TXE6）をセット（1）すると送信許可状態になり，アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット5（SBTT6）をセット（1）することによりSBF送信動作は起動します。

起動後，13ビットから20ビットまでのロウ・レベル（ASICL6のビット4-2（SBL62-SBL60）で設定）を出力します。SBF送信が完了すると，送信完了割り込み要求（INTST6）を発生し，SBTT6は自動的にクリアされます。SBF送信を終了後，通常送信モードに戻ります。

次に送信するデータを送信バッファ・レジスタ6（TXB6）に書き込む，あるいはSBTT6をセット（1）するまで，送信動作は中断します。

図15ー22　SBF送信



備考　TxD6　：TxD6端子（出力）

INTST6：送信完了割り込み要求

SBTT6　：アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット5

(i) SBF受信

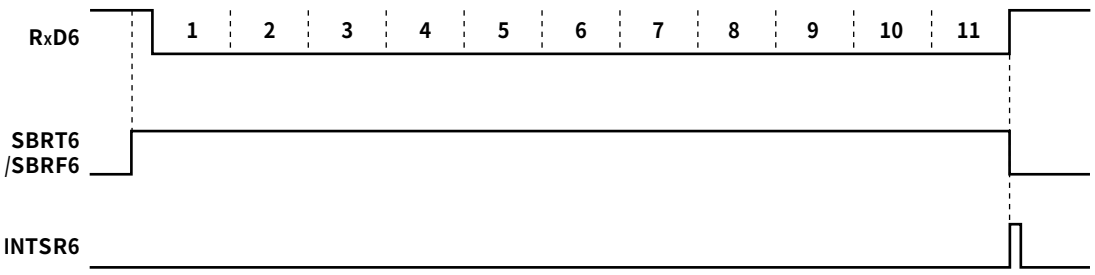
LINに搭載する場合，受信ではSBF（Synchronous Break Field）受信制御機能を使用します。LINの受信操作については図15ー2　LINの受信操作を参照してください。

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット7（POWER6）をセット（1）し，次にASIM6のビット5（RXE6）をセット（1）すると受信許可状態となります。次にアシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット6（SBRT6）をセット（1）するとSBF受信許可状態になります。SBF受信許可状態は通常の受信許可状態と同様，RxD6端子をサンプリングし，スタート・ビットの検出を行います。

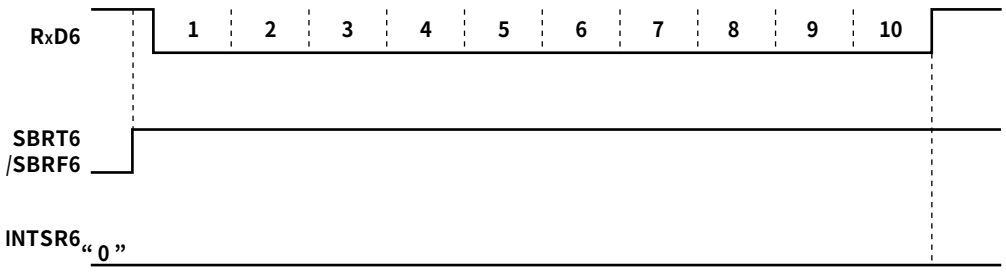
スタート・ビットが検出されたら，受信動作を開始し，設定されたボー・レートに合わせて，シリアル・データを順次，受信シフト・レジスタ6（RXS6）に格納していきます。ストップ・ビットを受信したら，SBFの幅が11ビット長以上の場合，正常処理として，受信完了割り込み要求（INTSR6）を発生します。このときSBRF6，SBRT6ビットは自動的にクリアされ，SBF受信を終了します。OVE6, PE6, FE6（アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）のビット0-2）の各エラー検出は抑制され，UART通信のエラー検出処理は行われません。また受信シフト・レジスタ6（RXS6）と受信バッファ・レジスタ6（RXB6）のデータの転送も行われず，リセット値のFFHを保持します。SBFの幅は10ビット長以下の場合，ストップ・ビット受信後，エラー処理として割り込みを出さずに受信を終了し，再びSBF受信モードに戻ります。この場合，SBRF6, SBRT6ビットはクリアされません。

図15ー23　SBF受信

1．正常SBF受信（10.5ビット超でストップ・ビットを検出）



2．SBF受信エラー（10.5ビット以下でストップ・ビットを検出）



備考　RxD6　：RxD6端子（入力）

SBRT6　：アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）のビット6

SBRF6　：ASICL6のビット7

INTSR6：受信完了割り込み要求

15. 4. 3　専用ボー・レート・ジェネレータ

専用ボー・レート・ジェネレータは，ソース・クロック・セレクタ部と8ビットのプログラマブル・カウンタにより構成され，UART6における送受信時のシリアル・クロックを生成します。

なお，8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

・基本クロック

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット7（POWER6）= 1のとき，クロック選択レジスタ6（CKSR6）のビット3-0（TPS63-TPS60）で選択したクロックを各モジュールに供給します。このクロックを基本クロックと呼び，その周波数をf_{XCLK6}と呼びます。POWER6 = 0のときは，基本クロックはロウ・レベルに固定となります。

・送信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット7（POWER6）= 0またはビット6（TXE6）= 0のときはクリア（0）の状態で動作を停止します。

POWER6 = 1かつTXE6 = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタ6（TXB6）への書き込みでカウンタをクリア（0）します。

連続送信の場合は1フレーム・データの送信完了で，再びカウンタをクリア（0）します。次の送信データがなかった場合，カウンタはクリア（0）されず，POWER6またはTXE6がクリア（0）されるまでカウント動作をそのまま続けます。

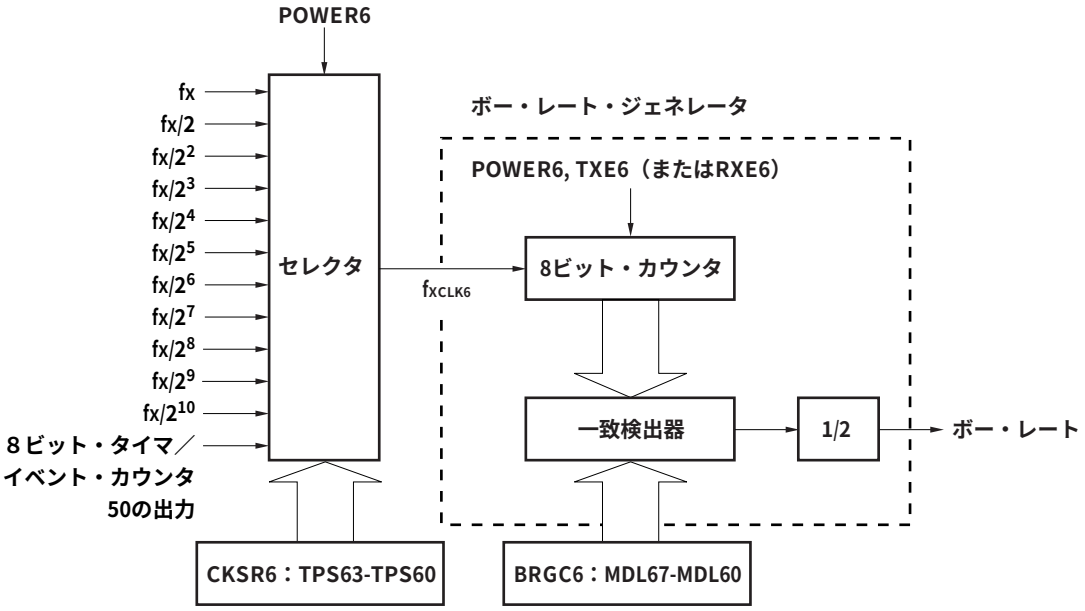
・受信用カウンタ

アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット7（POWER6）= 0またはビット5（RXE6）= 0のときはクリア（0）の状態で動作を停止します。

スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。

図15－24　ボー・レート・ジェネレータの構成



備考　POWER6：アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット7

TXE6　：ASIM6のビット6

RXE6　：ASIM6のビット5

CKSR6　：クロック選択レジスタ6

BRGC6　：ボー・レート・ジェネレータ・コントロール・レジスタ6

(2) シリアル・クロックの生成

クロック選択レジスタ6（CKSR6）とボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）の設定により，シリアル・クロックを生成できます。

CKSR6のビット3-0（TPS63-TPS60）により，8ビット・カウンタへの入力クロックを選択します。

BRGC6のビット7-0（MDL67-MDL60）により，8ビット・カウンタの分周値を設定できます。

(a) ボー・レート

ボー・レートは次の式によって求められます。

・ボー・レート= $\frac{f_{XCLK6}}{2 \times k}$ [bps]

f_{XCLK6}　：CKSR6レジスタのTPS63-TPS60ビットで選択した基本クロックの周波数

k　：BRGC6レジスタのMDL67-MDL60ビットで設定した値（k = 8, 9, 10，…，255）

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{・誤差（\%）} = \left(\frac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{希望するボー・レート（正常なボー・レート）}} - 1\right) \times 100 \ [\%]$$

注意1．送信時のボー・レート誤差は，受信先の許容誤差以内にしてください。

2．受信時のボー・レート誤差は，（4）受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例　基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGC6レジスタのMDL67-MDL60ビットの設定値 = 00100001B（k = 33）

目標ボー・レート = 153600 bps

ボー・レート = 10 M/（2×33）

= 10000000/（2×33） = 151515［bps］

誤差 = （151515/153600－1）×100

= －1.357［%］

(3) ボー・レート設定例

表15－4　ボー・レート・ジェネレータ設定データ

ボー・レート [bps]	fx = 10.0 MHz				fx = 8.38 MHz				fx = 4.19 MHz			
	TPS63-TPS60	k	算出値	ERR [%]	TPS63-TPS60	k	算出値	ERR [%]	TPS63-TPS60	k	算出値	ERR [%]
600	6H	130	601	0.16	5H	218	601	0.11	4H	218	601	0.11
1200	5H	130	1202	0.16	4H	218	1201	0.11	3H	218	1201	0.11
2400	4H	130	2404	0.16	3H	218	2403	0.11	2H	218	2403	0.11
4800	3H	130	4808	0.16	2H	218	4805	0.11	1H	218	4805	0.11
9600	2H	130	9615	0.16	1H	218	9610	0.11	0H	218	9610	0.11
10400	1H	240	10417	0.16	1H	201	10423	0.22	0H	201	10423	0.22
19200	1H	130	19231	0.16	0H	218	19220	0.11	0H	109	19220	0.11
31250	0H	160	31250	0.00	0H	134	31269	0.06	0H	67	31269	0.06
38400	0H	130	38462	0.16	0H	109	38440	0.11	0H	55	38091	－0.80
76800	0H	65	76923	0.16	0H	55	76182	－0.80	0H	27	77593	1.03
115200	0H	43	116279	0.94	0H	36	116389	1.03	0H	18	116389	1.03
153600	0H	33	151515	－1.36	0H	27	155185	1.03	0H	14	149643	－2.58
230400	0H	22	227273	－1.36	0H	18	232778	1.03	0H	9	232778	1.03

備考　TPS63-TPS60　：クロック選択レジスタ6（CKSR6）のビット3-0（基本クロック（f_{XCLK6}）設定）

k　：ボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）のMDL67-MDL60ビットで設定した値（k = 8, 9, 10，…，255）

fx　：高速システム・クロック発振周波数

ERR　：ボー・レート誤差

(4) 受信時の許容ボー・レート範囲

受信の際に，送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意　受信時のボー・レート誤差は，下記に示す算出式を使用して，必ず許容誤差範囲内になるように設定してください。

図15－25　受信時の許容ボー・レート範囲

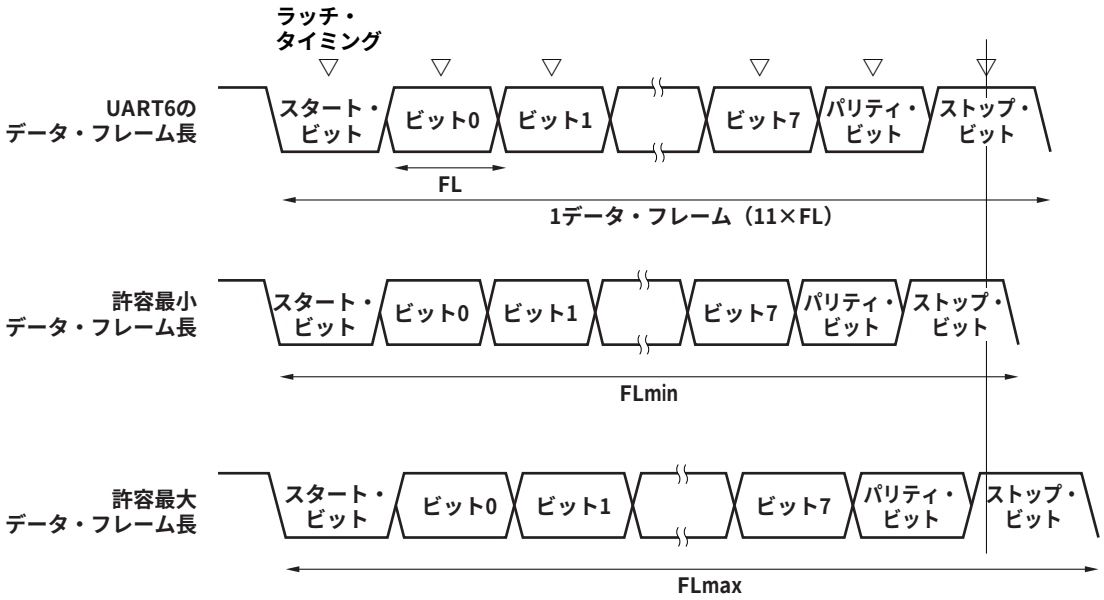


図15－25に示すように，スタート・ビット検出後はボー･レート・ジェネレータ・コントロール・レジスタ6（BRGC6）で設定したカウンタにより，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上，次のようになります。

$$FL = (Brate)^{-1}$$

Brate　：UART6のボー・レート

k　：BRGC6の設定値

FL　：1ビット・データ長

ラッチ・タイミングのマージン：2クロック

許容最小データ・フレーム長：$FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$

したがって，受信可能な送信先の最大ボー・レートは次のようになります。

$$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2} Brate$$

同様に，許容最大データ・フレーム長を求めると，次のようになります。

$$\frac{10}{11} \times FLmax = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} FL$$

$$FLmax = \frac{21k-2}{20k} FL \times 11$$

したがって，受信可能な送信先の最小ボー・レートは次のようになります。

$$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2} Brate$$

前述の最小／最大ボー・レート値の算出式から，UART6**と送信先とのボー・レートの許容誤差を求めると次のようになります。**

表15－5　**許容最大／最小ボー・レート誤差**

分周比（k）	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	＋3.52 %	－3.61 %
20	＋4.26 %	－4.30 %
50	＋4.56 %	－4.58 %
100	＋4.66 %	－4.67 %
255	＋4.72 %	－4.72 %

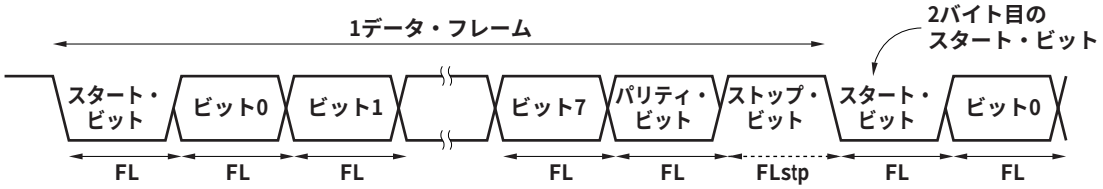
備考1．**受信の許容誤差は，**1**フレーム・ビット数，入力クロック周波数，分周比（**k**）に依存します。入力クロック周波数が高く，分周比（**k**）が大きくなるほど許容誤差は大きくなります。**

2．k：BRGC6**の設定値**

(5) 連続送信時のデータ・フレーム長

連続送信する場合，ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロック2クロック分延びます。ただし，受信側はスタート・ビットの検出により，タイミングの初期化が行われるので通信結果には影響しません。

図15－26　連続送信時のデータ・フレーム長



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数：f_{XCLK6}とすると次の式が成り立ちます。

$$FLstp = FL + 2/f_{XCLK6}$$

したがって，連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times FL + 2/f_{XCLK6}$$

第16章　シリアル・インタフェースCSI10, CSI11

16. 1　シリアル・インタフェースCSI10, CSI11の機能

シリアル・インタフェースCSI10, CSI11には，次の2種類のモードがあります。

- 動作停止モード
- 3線式シリアルI/Oモード

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については16. 4. 1　動作停止モードを参照してください。

(2) 3線式シリアルI/Oモード（MSB/LSB先頭切り替え可能）

シリアル・クロック（$\overline{\text{SCK1n}}$）とシリアル・データ（SI1n, SO1n）の3本のラインにより，8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので，データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか，またはLSBかに切り替えることができますので，いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは，クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

詳細については16. 4. 2　3線式シリアルI/Oモードを参照してください。

16. 2　シリアル・インタフェースCSI10, CSI11の構成

シリアル・インタフェースCSI10, CSI11は，ハードウエアで構成しています。

表16ー1　シリアル・インタフェースCSI10, CSI11の構成

項　　目	構　　成
レジスタ	送信バッファ・レジスタ1n（SOTB1n） シリアルI/Oシフト・レジスタ1n（SIO1n）
制御レジスタ	シリアル動作モード・レジスタ1n（CSIM1n） シリアル・クロック選択レジスタ1n（CSIC1n） ポート・モード・レジスタ0（PM0）またはポート・モード・レジスタ1（PM1） ポート・レジスタ0（P0）またはポート・レジスタ1（P1）

備考　n = 0, 1

図16ー1　シリアル・インタフェースCSI10のブロック図

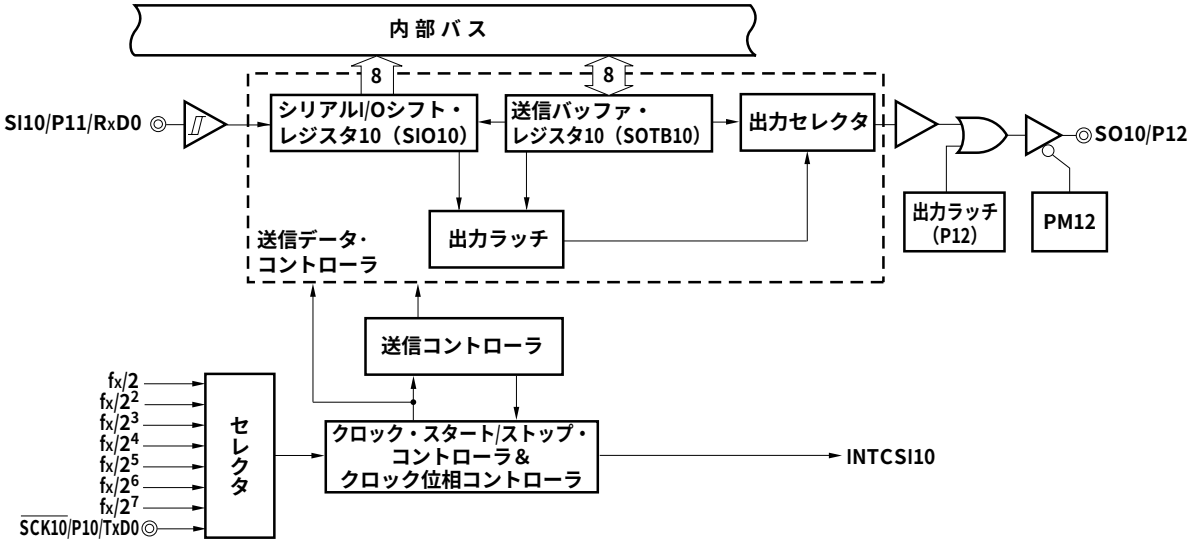
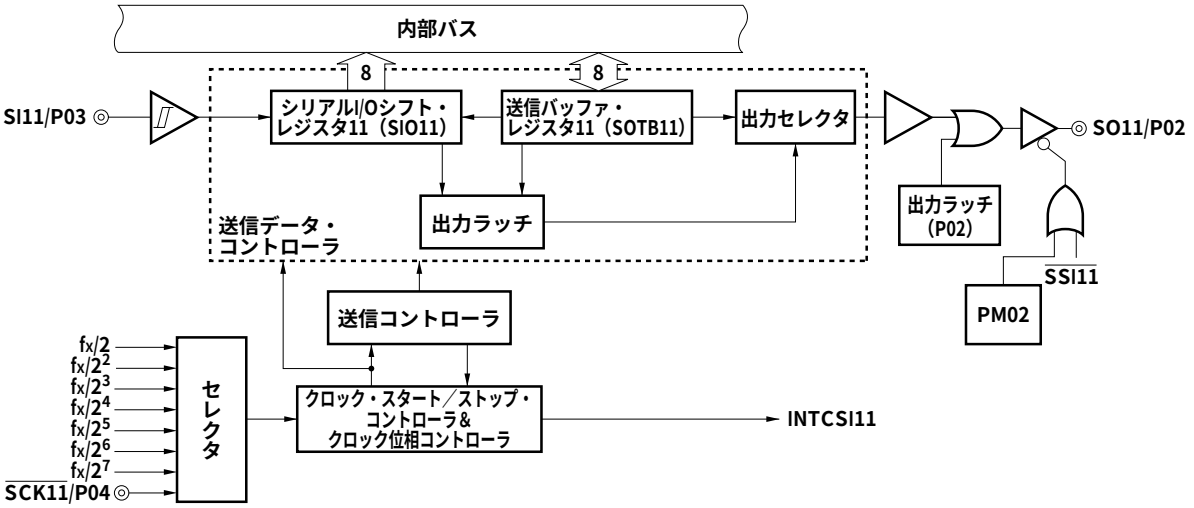


図16ー2　シリアル・インタフェースCSI11のブロック図



(1) 送信バッファ・レジスタ1n（SOTB1n）

送信データを設定するレジスタです。

シリアル動作モード選択レジスタ1n（CSIM1n）のビット7（CSIE1n）とビット6（TRMD1n）が1のとき，SOTB1nにデータを書き込むことにより送受信動作が開始されます。

SOTB1nに書き込まれたデータは，シリアルI/Oシフト・レジスタ1nでパラレル・データからシリアル・データに変換され，シリアル出力（SO1n）に出力されます。

SOTB1nは，8ビット・メモリ操作命令で書き込みと読み出しができます。

$\overline{\text{RESET}}$入力により，不定になります。

注意1．CSOT1n = 1（シリアル通信中）のとき，SOTB1nへのアクセスは行わないでください。

2．スレーブ・モードで$\overline{\text{SSI11}}$端子を使用することができます。送受信動作の詳細については，16. 4. 2（2）通信動作を参照してください。

(2) シリアルI/Oシフト・レジスタ1n（SIO1n）

パラレル-シリアルの変換を行う8ビットのレジスタです。

SIO1nは，8ビット・メモリ操作命令で読み出しができます。

シリアル動作モード・レジスタ1n（CSIM1n）のビット6（TRMD1n）が0のとき，SIO1nからデータを読み出すことにより受信動作が開始されます。

受信時は，データがシリアル入力（SI1n）からSIO1nに読み込まれます。

$\overline{\text{RESET}}$入力により，00Hになります。

注意1．CSOT1n = 1（シリアル通信中）のとき，SIO1nへのアクセスは行わないでください。

2．スレーブ・モードで$\overline{\text{SSI11}}$端子を使用することができます。受信動作の詳細については，16. 4. 2（2）通信動作を参照してください。

16. 3　シリアル・インタフェースCSI10, CSI11を制御するレジスタ

シリアル・インタフェースCSI10, CSI11は，次の4種類のレジスタで制御します。

- シリアル動作モード・レジスタ1n（CSIM1n）
- シリアル・クロック選択レジスタ1n（CSIC1n）
- ポート・モード・レジスタ0（PM0）またはポート・モード・レジスタ1（PM1）
- ポート・レジスタ0（P0）またはポート・レジスタ1（P1）

備考　n = 0, 1

(1) シリアル動作モード・レジスタ1n（CSIM1n）

動作モード，動作の許可／不許可を設定するレジスタです。

CSIM1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

備考　n = 0, 1

図16－3　シリアル動作モード・レジスタ10（CSIM10）のフォーマット

アドレス：FF80H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止[注2]，内部回路を非同期リセットする[注3]
1	動作許可

TRMD10[注4]	送受信モードの制御
0[注5]	受信モード（送信禁止）
1	送受信モード

DIR10[注6]	先頭ビットの指定
0	MSB
1	LSB

CSOT10	通信状態フラグ
0	通信停止
1	通信中

注1．ビット0はRead Onlyです。

★ 2．P10/$\overline{\text{SCK10}}$/TxD0, P11/SI10/RxD0, P12/SO10を汎用ポートとして使用する場合は，CSIM10を初期状態と同じ設定（00H）にしてください。

3．リセットされるのはCSIM10のビット0（CSOT10）とシリアルI/Oシフト・レジスタ10（SIO10）です。

4．CSOT10 = 1（シリアル通信中）のとき，TRMD10を書き換えないでください。

5．TRMD10が0のとき，SO10出力はロウ・レベルに固定されます。SIO10からデータを読み出すと受信が開始します。

6．CSOT10 = 1（シリアル通信中）のとき，DIR10を書き換えないでください。

注意　ビット5には必ず0を設定してください。

図16－4　シリアル動作モード・レジスタ11（CSIM11）のフォーマット

アドレス：FF88H　**リセット時：**00H　R/W[注1]

略号	7	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアルI/Oモード時の動作の制御
0	動作禁止[注2]，内部回路を非同期リセットする[注3]
1	動作許可

TRMD11[注4]	送受信モードの制御
0[注5]	受信モード（送信禁止）
1	送受信モード

SSE11[注6, 7]	$\overline{\text{SSI11}}$端子の使用の選択
0	$\overline{\text{SSI11}}$端子を使用しない
1	$\overline{\text{SSI11}}$端子を使用する

DIR11[注8]	先頭ビットの指定
0	MSB
1	LSB

CSOT11	通信状態フラグ
0	通信停止
1	通信中

注1．ビット0はRead Onlyです。

★ 2．P02/SO11, P03/SI11, P04/$\overline{\text{SCK11}}$, P05/$\overline{\text{SSI11}}$/TI001を汎用ポートとして使用する場合は，CSIM11を初期状態と同じ設定（00H）にしてください。

3．リセットされるのはCSIM11のビット0（CSOT11）とシリアルI/Oシフト・レジスタ11（SIO11）です。

4．CSOT11 = 1（シリアル通信中）のとき，TRMD11を書き換えないでください。

5．TRMD11が0のとき，SO11出力はロウ・レベルに固定されます。SIO11からデータを読み出すと受信が開始します。

6．CSOT11 = 1（シリアル通信中）のとき，上書きをしないでください。

7．このビットを1に設定する前に，$\overline{\text{SSI11}}$端子の入力レベルを0または1に固定してください。

8．CSOT11 = 1（シリアル通信中）のとき，DIR11を書き換えないでください。

(2) シリアル・クロック選択レジスタ1n（CSIC1n）

データ送受信タイミングの指定，シリアル・クロックを設定するレジスタです。

CSIC1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

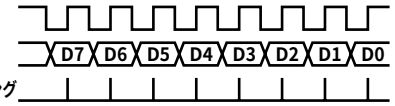
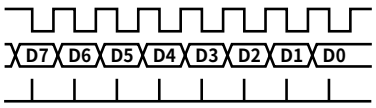
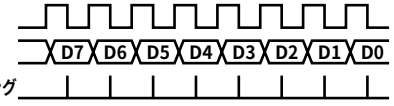
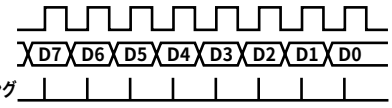
$\overline{\text{RESET}}$入力により，00Hになります。

備考　n = 0, 1

図16－5　シリアル・クロック選択レジスタ10（CSIC10）のフォーマット

アドレス：FF81H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CSIC10	0	0	0	CKP10	DAP10	CKS102	CKS101	CKS100

CKP10	DAP10	データ送受信タイミングの指定	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

CKS102	CKS101	CKS100	CSI10のシリアル・クロックの選択[注]	モード
0	0	0	$f_X/2$（5 MHz）	マスタ・モード
0	0	1	$f_X/2^2$（2.5 MHz）	マスタ・モード
0	1	0	$f_X/2^3$（1.25 MHz）	マスタ・モード
0	1	1	$f_X/2^4$（625 kHz）	マスタ・モード
1	0	0	$f_X/2^5$（312.5 kHz）	マスタ・モード
1	0	1	$f_X/2^6$（156.25 kHz）	マスタ・モード
1	1	0	$f_X/2^7$（78.13 kHz）	マスタ・モード
1	1	1	$\overline{\text{SCK10}}$への外部クロック入力	スレーブ・モード

注　シリアル・クロックは次の条件を満たすように設定してください。

- V_{DD} = 4.0～5.5 V：シリアル・クロック≦5 MHz
- V_{DD} = 3.3～4.0 V：シリアル・クロック≦4.19 MHz
- V_{DD} = 2.7～3.3 V：シリアル・クロック≦2.5 MHz
- ★ V_{DD} = 2.5～2.7 V：シリアル・クロック≦1.25 MHz（標準品，（A）水準品のみ）

注意1．CPUへの供給クロックに内蔵発振クロックを選択している場合，シリアル・クロックに内蔵発振回路の分周クロックが供給されます。このとき，シリアル・インタフェースCSI10の動作は保証されません。

2．CSIE10 = 1（動作許可）のとき，CSIC10への書き込みを行わないでください。

★ 3．P10/$\overline{\text{SCK10}}$/TxD0，P11/SI10/RxD0，P12/SO10を汎用ポートとして使用する場合，CSIC10を初期状態と同じ状態（00H）にしてください。

4．リセット後のデータ・クロックの位相タイプは，タイプ1になります。

備考1．（　）内はfx = 10 MHz動作時

2．fx：高速システム・クロック発振周波数

図16－6　シリアル・クロック選択レジスタ11（CSIC11）のフォーマット

アドレス：FF89H　**リセット時：**00H　R/W

略号	7	6	5	4	3	2	1	0
CSIC11	0	0	0	CKP11	DAP11	CKS112	CKS111	CKS110

CKP11	DAP11	データ送受信タイミングの指定	タイプ
0	0	$\overline{\text{SCK11}}$ SO11 D7 D6 D5 D4 D3 D2 D1 D0 SI11入力タイミング	1
0	1	$\overline{\text{SCK11}}$ SO11 D7 D6 D5 D4 D3 D2 D1 D0 SI11入力タイミング	2
1	0	$\overline{\text{SCK11}}$ SO11 D7 D6 D5 D4 D3 D2 D1 D0 SI11入力タイミング	3
1	1	$\overline{\text{SCK11}}$ SO11 D7 D6 D5 D4 D3 D2 D1 D0 SI11入力タイミング	4

CKS112	CKS111	CKS110	CSI11のシリアル・クロックの選択注	モード
0	0	0	$f_X/2$（5 MHz）	マスタ・モード
0	0	1	$f_X/2^2$（2.5 MHz）	マスタ・モード
0	1	0	$f_X/2^3$（1.25 MHz）	マスタ・モード
0	1	1	$f_X/2^4$（625 kHz）	マスタ・モード
1	0	0	$f_X/2^5$（312.5 kHz）	マスタ・モード
1	0	1	$f_X/2^6$（156.25 kHz）	マスタ・モード
1	1	0	$f_X/2^7$（78.13 kHz）	マスタ・モード
1	1	1	$\overline{\text{SCK11}}$への外部クロック入力	スレーブ・モード

注　シリアル・クロックは次の条件を満たすように設定してください。

- V_{DD} = 4.0～5.5 V：シリアル・クロック≦5 MHz
- V_{DD} = 3.3～4.0 V：シリアル・クロック≦4.19 MHz
- V_{DD} = 2.7～3.3 V：シリアル・クロック≦2.5 MHz
- ★ V_{DD} = 2.5～2.7 V：シリアル・クロック≦1.25 MHz（標準品，（A）水準品のみ）

注意1．CPUへの供給クロックに内蔵発振クロックを選択している場合，シリアル・クロックに内蔵発振回路の分周クロックが供給されます。このとき，シリアル・インタフェースCSI11の動作は保証されません。

2．CSIE11 = 1（動作許可）のとき，CSIC11への書き込みを行わないでください。

★ 3．P02/SO11, P03/SI11, P04/$\overline{\text{SCK11}}$を汎用ポートとして使用する場合，CSIC11を初期状態と同じ設定（00H）にしてください。

4．リセット後のデータ・クロックの位相タイプは，タイプ1になります。

備考1．（　）内はf_X = 10 MHz動作時

2．f_X：高速システム・クロック発振周波数

(3) ポート・モード・レジスタ0, 1（PM0, PM1）

ポート0, 1の入力／出力を1ビット単位で設定するレジスタです。

P10/$\overline{\text{SCK10}}$, P04/$\overline{\text{SCK11}}$をシリアル・インタフェースのクロック出力として使用するとき，PM10, PM04に0, P10, P04の出力ラッチに1を設定してください。

P12/SO10, P02/SO11をシリアル・インタフェースのデータ出力として使用するとき，PM12, PM02およびP12, P02の出力ラッチに0を設定してください。

P10/$\overline{\text{SCK10}}$, P04/$\overline{\text{SCK11}}$をシリアル・インタフェースのクロック入力，P11/SI10/RxD0, P03/SI11をシリアル・インタフェースのデータ入力，P05/$\overline{\text{SSI11}}$/TI001をシリアル・インタフェースのチップ・セレクト入力として使用するとき，PM10, PM04, PM11, PM03, PM05に1を設定してください。このとき，P10, P04, P11, P03, P05の出力ラッチは，0または1のどちらでもかまいません。

PM0, PM1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

図16－7　ポート・モード・レジスタ0（PM0）のフォーマット

アドレス：FF20H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	P0n端子の入出力モードの選択（n = 0-6）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

図16－8　ポート・モード・レジスタ1（PM1）のフォーマット

アドレス：FF21H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択（n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

16. 4　シリアル・インタフェースCSI10, CSI11の動作

シリアル・インタフェースCSI10, CSI11は，次の2種類のモードがあります。

- 動作停止モード
- 3線式シリアルI/Oモード

16. 4. 1　動作停止モード

動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。また動作停止モードでは，P10/$\overline{\text{SCK10}}$/TxD0, P11/SI10/RxD0, P12/SO10, P02/SO11, P03/SI11, P04/$\overline{\text{SCK11}}$を通常の入出力ポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は，シリアル動作モード・レジスタ1n（CSIM1n）で行います。

動作停止モードにする場合は，CSIM1nのビット7（CSIE1n）に0を設定してください。

(a) シリアル動作モード・レジスタ1n（CSIM1n）

CSIM1nは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

備考　n = 0, 1

・シリアル動作モード・レジスタ10（CSIM10）

アドレス：FF80H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CSIM10	CSIE10	TRMD10	0	DIR10	0	0	0	CSOT10

CSIE10	3線式シリアルI/Oモード時の動作の制御
0	動作禁止[注1]，内部回路を非同期リセットする[注2]

★ 注1．P10/$\overline{\text{SCK10}}$/TxD0, P11/SI10/RxD0, P12/SO10を汎用ポートとして使用する場合は，CSIM10を初期状態と同じ設定（00H）にしてください。

2．リセットされるのはCSIM10のビット0（CSOT10）とシリアルI/Oシフト・レジスタ10（SIO10）です。

・シリアル動作モード・レジスタ11（CSIM11）

アドレス：FF88H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CSIM11	CSIE11	TRMD11	SSE11	DIR11	0	0	0	CSOT11

CSIE11	3線式シリアルI/Oモード時の動作の制御
0	動作禁止[注1]，内部回路を非同期リセットする[注2]

★ 注1．P02/SO11, P03/SI11, P04/$\overline{\text{SCK11}}$, P05/$\overline{\text{SSI11}}$/TI001を汎用ポートとして使用する場合は，CSIM11を初期状態と同じ設定（00H）にしてください。

2．リセットされるのはCSIM11のビット0（CSOT11）とシリアルI/Oシフト・レジスタ11（SIO11）です。

16. 4. 2　3線式シリアルI/Oモード

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに使用できます。

シリアル・クロック（$\overline{\text{SCK1n}}$），シリアル出力（SO1n），シリアル入力（SI1n）の3本のラインで通信を行います。

(1) 使用するレジスタ

・シリアル動作モード・レジスタ1n（CSIM1n）
・シリアル・クロック選択レジスタ1n（CSIC1n）
・ポート・モード・レジスタ0（PM0）またはポート・モード・レジスタ1（PM1）
・ポート・レジスタ0（P0）またはポート・レジスタ1（P1）

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

① CSIC1nレジスタを設定（図16－5，図16－6を参照）
② CSIM1nレジスタのビット4-6（DIR1n, SSE11（シリアル・インタフェースCSI11のみ），TRMD1n）を設定（図16－3，図16－4を参照）
③ CSIM1nレジスタのビット7（CSIE1n）をセット（1）→ 送受信可能
④ 送信バッファ・レジスタ1n（SOTB1n）にデータを書き込み→ データ送受信開始
シリアルI/Oシフト・レジスタ1n（SIO1n）からデータを読み出し→ データ受信開始

注意　ポート・モード・レジスタとポート・レジスタの設定手順は，通信相手との関係を考慮して，行ってください。

備考　n = 0, 1

レジスタの設定と端子の関係を次に示します。

表16－2　レジスタの設定と端子の関係（1/2）

(a) シリアル・インタフェースCSI10

CSIE10	TRMD10	PM11	P11	PM12	P12	PM10	P10	CSI10の動作	端子機能		
									SI10/RxD0/P11	SO10/P12	$\overline{\text{SCK10}}$/TxD0/P10
0	×	×注1	×注1	×注1	×注1	×注1	×注1	停止	RxD0/P11	P12	TxD0/P10注2
1	0	1	×	×注1	×注1	1	×	スレーブ受信注3	SI10	P12	$\overline{\text{SCK10}}$（入力）注3
1	1	×注1	×注1	0	0	1	×	スレーブ送信注3	RxD0/P11	SO10	$\overline{\text{SCK10}}$（入力）注3
1	1	1	×	0	0	1	×	スレーブ送受信注3	SI10	SO10	$\overline{\text{SCK10}}$（入力）注3
1	0	1	×	×注1	×注1	0	1	マスタ受信	SI10	P12	$\overline{\text{SCK10}}$（出力）
1	1	×注1	×注1	0	0	0	1	マスタ送信	RxD0/P11	SO10	$\overline{\text{SCK10}}$（出力）
1	1	1	×	0	0	0	1	マスタ送受信	SI10	SO10	$\overline{\text{SCK10}}$（出力）

注1．ポート機能として設定することができます。

2．P10/$\overline{\text{SCK10}}$/TxD0をポート機能として使用する場合，CKP10を0に設定してください。

3．スレーブとして使用する場合，CKS102, CKS101, CKS100 = 1, 1, 1に設定してください。

備考　×　：don't care

CSIE10　：シリアル動作モード・レジスタ10（CSIM10）のビット7

TRMD10　：CSIM10のビット6

CKP10　：シリアル・クロック選択レジスタ10（CSIC10）のビット4

CKS102, CKS101, CKS100　：CSIC10のビット2-0

PM1×　：ポート・モード・レジスタ

P1×　：ポートの出力ラッチ

表16－2　レジスタの設定と端子の関係（2/2）

(b) シリアル・インタフェースCSI11

CSIE11	TRMD11	SSE11	PM03	P03	PM02	P02	PM04	P04	PM05	P05	CSI11の動作	端子機能			
												SI11/P03	SO11/P02	$\overline{\text{SCK11}}$/P04	$\overline{\text{SSI11}}$/TI001/P05
0	×	×	×注1	×注1	×注1	×注1	×注1	×注1	×注1	×注1	停止	P03	P02	P04注2	TI001/P05
1	0	0	1	×	×注1	×注1	1	×	×注1	×注1	スレーブ受信注3	SI11	P02	$\overline{\text{SCK11}}$(入力)注3	TI001/P05
		1							1	×					$\overline{\text{SSI11}}$
1	1	0	×注1	×注1	0	0	1	×	×注1	×注1	スレーブ送信注3	P03	SO11	$\overline{\text{SCK11}}$(入力)注3	TI001/P05
		1							1	×					$\overline{\text{SSI11}}$
1	1	0	1	×	0	0	1	×	×注1	×注1	スレーブ送受信注3	SI11	SO11	$\overline{\text{SCK11}}$(入力)注3	TI001/P05
		1							1	×					$\overline{\text{SSI11}}$
1	0	0	1	×	×注1	×注1	0	1	×注1	×注1	マスタ受信	SI11	P02	$\overline{\text{SCK11}}$(出力)	TI001/P05
1	1	0	×注1	×注1	0	0	0	1	×注1	×注1	マスタ送信	P03	SO11	$\overline{\text{SCK11}}$(出力)	TI001/P05
1	1	0	1	×	0	0	0	1	×注1	×注1	マスタ送受信	SI11	SO11	$\overline{\text{SCK11}}$(出力)	TI001/P05

注1．ポート機能として設定することができます。

2．P04/$\overline{\text{SCK11}}$をポート機能として使用する場合，CKP11を0に設定してください。

3．スレーブとして使用する場合，CKS112, CKS111, CKS110 = 1, 1, 1に設定してください。

備考　×　：don't care

CSIE11　：シリアル動作モード・レジスタ11（CSIM11）のビット7

TRMD11　：CSIM11のビット6

CKP11　：シリアル・クロック選択レジスタ11（CSIC11）のビット4

CKS112, CKS111, CKS110　：CSIC11のビット2-0

PM0×　：ポート・モード・レジスタ

P0×　：ポートの出力ラッチ

(2) 通信動作

3線式シリアルI/Oモードでは，8ビット単位でデータの送受信を行います。データは，シリアル・クロックに同期して1ビットごとに送受信されます。

シリアル動作モード・レジスタ1n（CSIM1n）のビット6（TRMD1n）が1の場合，データの送受信が可能です。送信バッファ・レジスタ1n（SOTB1n）に値を書き込むことにより，送受信が開始されます。またシリアル動作モード・レジスタ1n（CSIM1n）のビット6（TRMD1n）が0の場合，データの受信が可能です。シリアルI/Oシフト・レジスタ1n（SIO1n）からデータを読み出すことにより，受信動作が開始されます。

ただし，シリアル・インタフェースCSI11では，スレーブ・モード時，CSIM11のビット5（SSE11）が1の場合は次のようになります。

① $\overline{\text{SSI11}}$端子にロウ・レベル入力
→ SOTB11への書き込みで送受信，またはSIO11からの読み出しで受信が開始されます

② $\overline{\text{SSI11}}$端子にハイ・レベル入力
→送受信保留または受信保留状態になるため，SOTB11への書き込みまたはSIO11からの読み出しを行っても，送受信または受信は開始されません

③ $\overline{\text{SSI11}}$端子にハイ・レベル入力しているときに，SOTB11へデータを書き込みまたはSIO11からデータを読み出し，その後$\overline{\text{SSI11}}$端子にロウ・レベル入力
→送受信または受信が開始されます

④ 送受信または受信中に，$\overline{\text{SSI11}}$端子にハイ・レベル入力
→送受信または受信が中断されます

通信開始後，CSIM1nのビット0（CSOT1n）が1になります。8ビットの通信が終了すると，通信終了割り込み要求フラグ（CSIIF1n）がセットされ，CSOT1nは0にクリアされます。そして次の通信が可能になります。

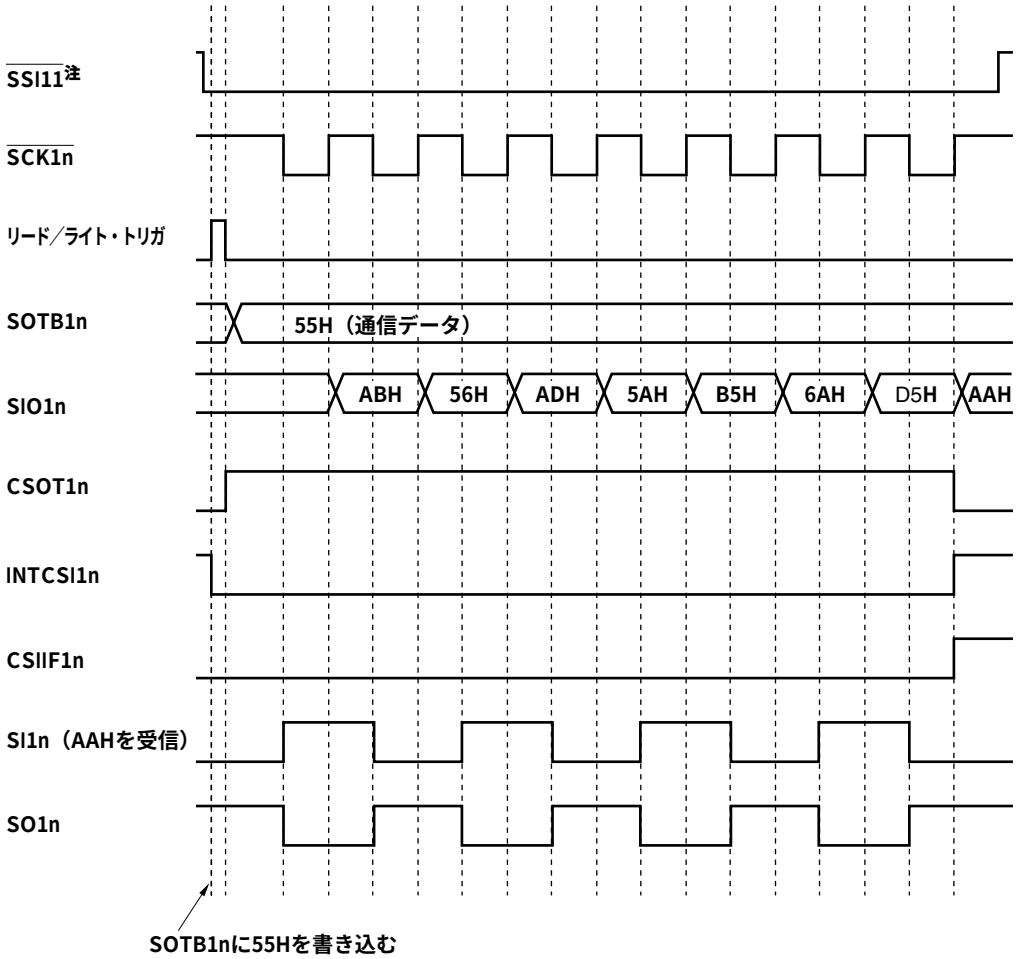
注意1．CSOT1n = 1（シリアル通信中）のとき，コントロール・レジスタとデータ・レジスタにアクセスしないでください。

2．シリアル・インタフェースCSI11では，スレーブ・モードの場合，$\overline{\text{SSI11}}$端子の変更タイミングには，クロック動作が開始する前に1クロック以上の長さを取ってください。誤作動を起こす可能性があります。

備考　n = 0, 1

図16－9　3線式シリアルI/Oモードのタイミング（1/2）

（1）送受信タイミング（タイプ1；TRMD1n = 1, DIR1n = 0, CKP1n = 0, DAP1n = 0, SSE11 = 1注）

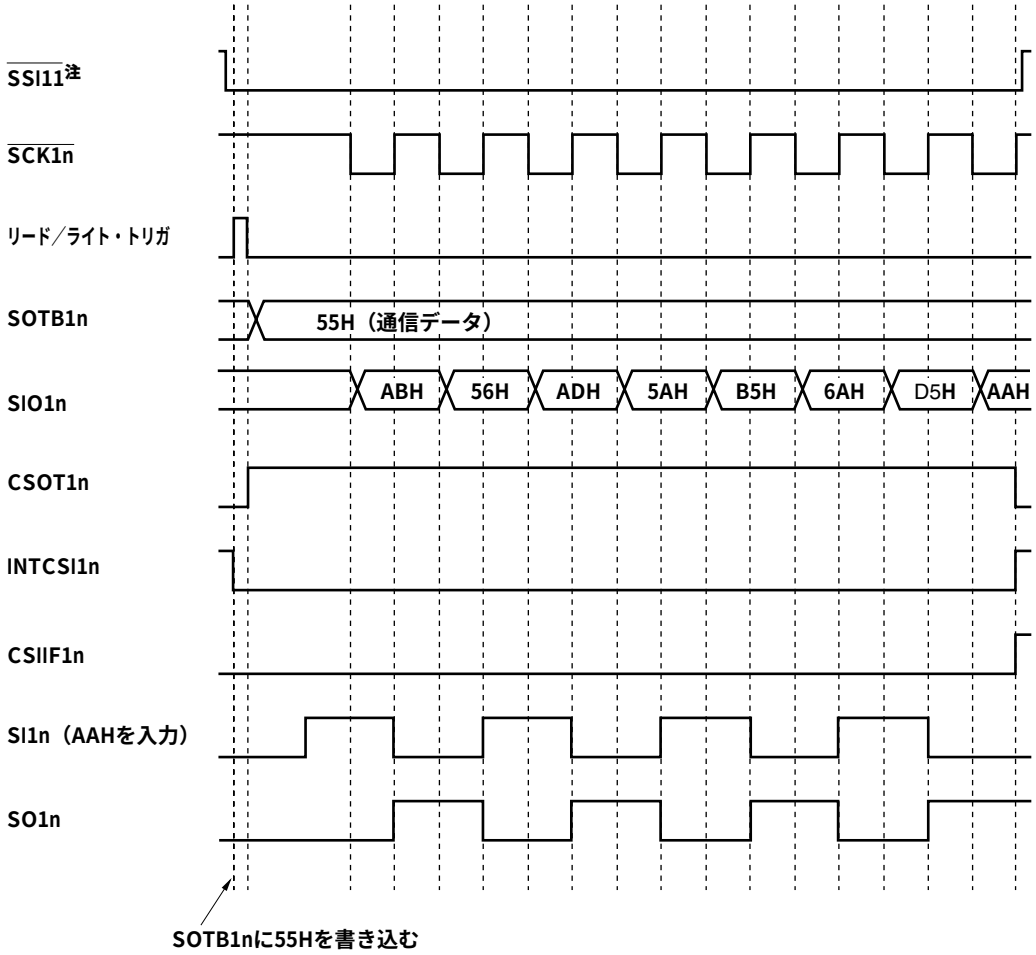


注　SSE11フラグ，$\overline{\text{SSI11}}$端子はシリアル・インタフェースCSI11のみ。スレーブ・モード時に使用します。

備考　n = 0, 1

図16－9　3線式シリアルI/Oモードのタイミング（2/2）

（2）送受信タイミング（タイプ2；TRMD1n = 1, DIR1n = 0, CKP1n = 0, DAP1n = 1, SSE11 = 1注）

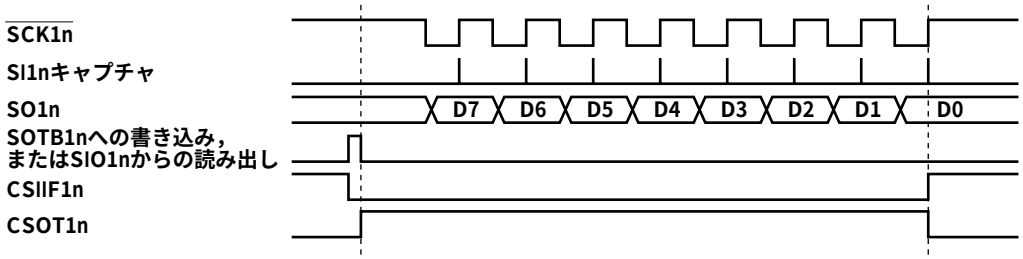


注　SSE11フラグ，$\overline{\text{SSI11}}$端子はシリアル・インタフェースCSI11のみ。スレーブ・モード時に使用します。

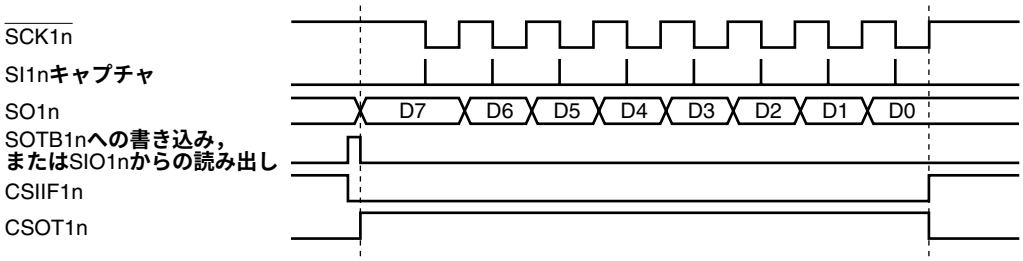
備考　n = 0, 1

図16－10　クロック／データ位相のタイミング

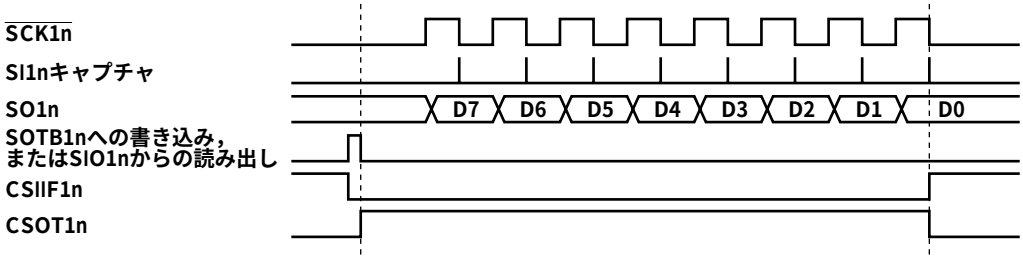
(a) **タイプ**1；CKP1n = 0, DAP1n = 0



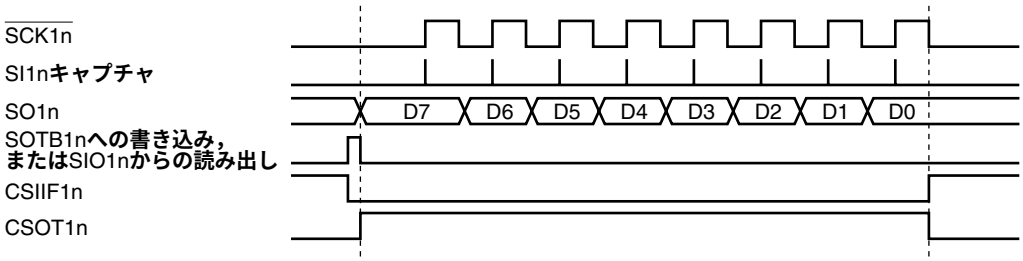
(b) **タイプ**2；CKP1n = 0, DAP1n = 1



(c) **タイプ**3；CKP1n = 1, DAP1n = 0



(d) **タイプ**4；CKP1n = 1, DAP1n = 1



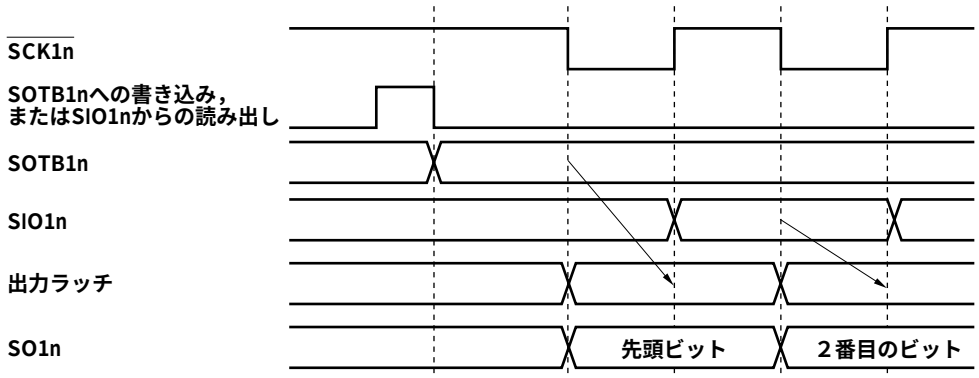
備考　n = 0, 1

(3) SO1n端子への出力タイミング（先頭ビット）

通信開始時，送信バッファ・レジスタ1n（SOTB1n）の値は，SO1n端子から出力されます。このとき，先頭ビットの出力動作を説明します。

図16－11　先頭ビットの出力動作

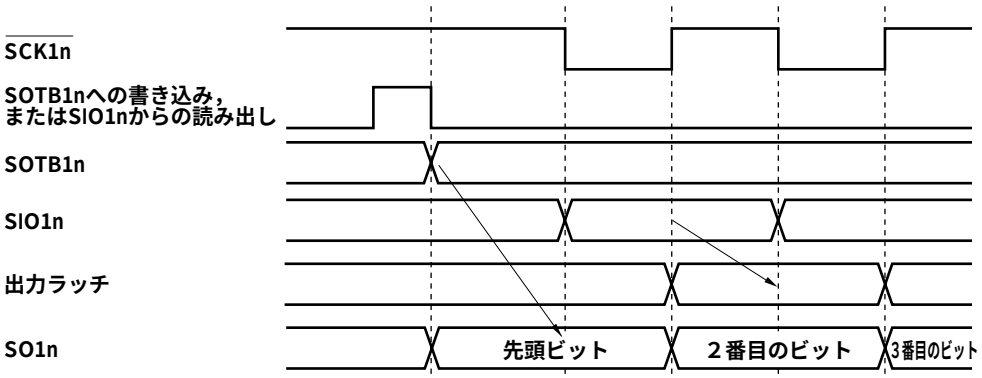
(1) CKP1n = 0, DAP1n = 0（またはCKP1n = 1, DAP1n = 0）



先頭ビットは，$\overline{\text{SCK1n}}$の立ち下がり（または立ち上がり）エッジでSOTB1nレジスタから直接，出力ラッチにラッチされ，さらに出力セレクタを通ってSO1n端子から出力されます。次の$\overline{\text{SCK1n}}$の立ち上がり（または立ち下がり）エッジでSOTB1nレジスタの値がSIO1nレジスタに転送され，1ビット分シフトします。同時にSI1n端子を通って，受信データの先頭ビットがSIO1nレジスタに格納されます。

2番目のビット以降は，次の$\overline{\text{SCK1n}}$の立ち下がり（または立ち上がり）エッジでSIO1nから出力ラッチにラッチされ，データがSO1n端子から出力されます。

(2) CKP1n = 0, DAP1n = 1（またはCKP1n = 1, DAP1n = 1）



先頭ビットは，SOTB1nのライト信号またはSIO1nレジスタのリード信号の立ち下がりエッジでSOTB1nレジスタから直接，出力セレクタを通ってSO1n端子から出力されます。次の$\overline{\text{SCK1n}}$の立ち下がり（または立ち上がり）エッジでSOTB1nレジスタの値がSIO1nレジスタに転送され，1ビット分シフトします。同時にSI1n端子を通って，受信データの先頭ビットがSIO1nレジスタに格納されます。

2番目のビット以降は，次の$\overline{\text{SCK1n}}$の立ち上がり（または立ち下がり）エッジでSIO1nから出力ラッチにラッチされ，データがSO1n端子から出力されます。

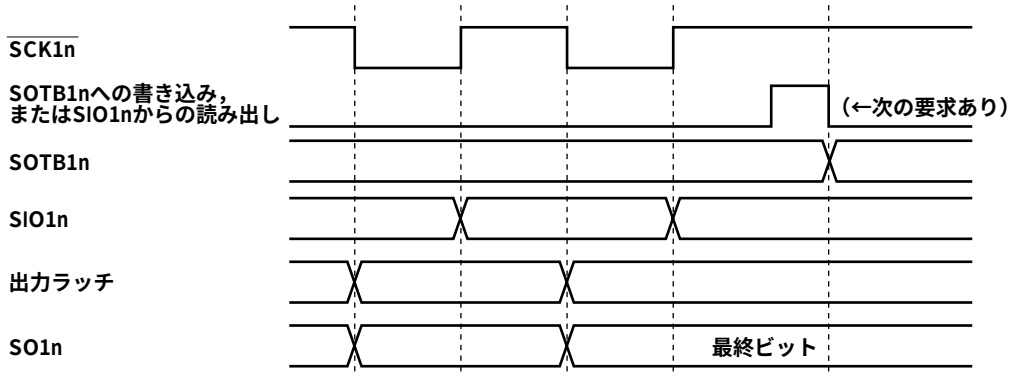
備考　n = 0, 1

(4) SO1n**端子の出力値（最終ビット）**

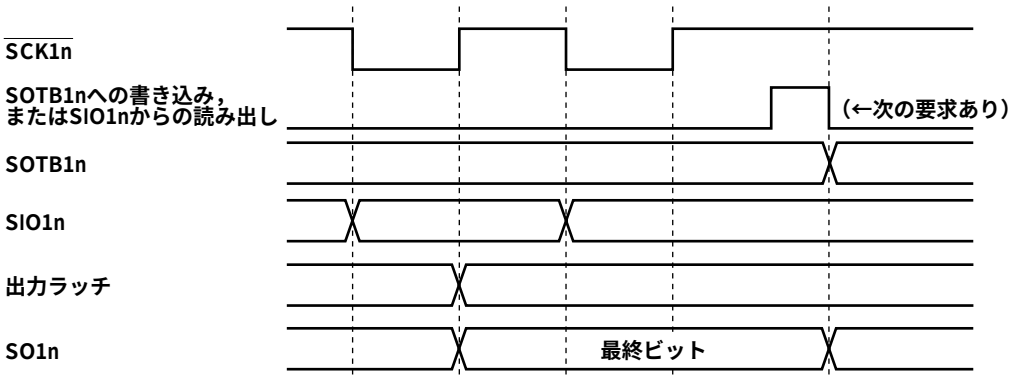
通信終了後，SO1n**端子の出力は，最終ビットの出力値を保持します。**

図16**ー**12　SO1n**端子の出力値（最終ビット）**

(1) タイプ1**；**CKP1n = 0, DAP1n = 0**（または**CKP1n = 1, DAP1n = 0**）**



(2) タイプ2**；**CKP1n = 0, DAP1n = 1**（または**CKP1n = 1, DAP1n = 1**）**



備考　n = 0, 1

(5) SO1n出力について

シリアル動作モード・レジスタ1n（CSIM1n）のビット7（CSIE1n）を0に設定すると，SO1n出力は次のようになります。

表16－3　SO1n出力の状態

TRMD1n	DAP1n	DIR1n	SO1n出力[注1]
TRMD1n = 0[注2]	－	－	ロウ・レベル出力[注2]
TRMD1n = 1	DAP1n = 0	－	SO1nラッチの値 （ロウ・レベル出力）
	DAP1n = 1	DIR1n = 0	SOTB1nのビット7の値
		DIR1n = 1	SOTB1nのビット0の値

注1.　実際のSO10/P12, SO11/P02端子の出力は，SO1n出力のほかにPM12とP12, PM02とP02によって決まります。

2.　リセット時の状態です。

注意　TRMD1n, DAP1n, DIR1nに値を書き込むと，SO1nの出力値が変わります。

備考　n = 0, 1

第17章　シリアル・インタフェースCSIA0

17. 1　シリアル・インタフェースCSIA0の機能

シリアル・インタフェースCSIA0には，次の3種類のモードがあります。

- 動作停止モード
- 3線式シリアルI/Oモード
- 自動送受信機能付き3線式シリアルI/Oモード

(1) 動作停止モード

シリアル通信を行わないときに使用するモードです。消費電力を低減することができます。

詳細については17. 4. 1　動作停止モードを参照してください。

(2) 3線式シリアルI/Oモード（MSB/LSB先頭切り替え可能）

シリアル・クロック（$\overline{\text{SCKA0}}$）とシリアル・データ（SIA0, SOA0）の3本のラインにより，8ビット・データ通信を行うモードです。

3線式シリアルI/Oモードは同時送受信動作が可能なので，データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか，またはLSBかに切り替えることができますので，いずれの先頭ビットのデバイスとも接続できます。

詳細については17. 4. 2　3線式シリアルI/Oモードを参照してください。

(3) 自動送受信機能付き3線式シリアルI/Oモード（MSB/LSB先頭切り替え可能）

シリアル・クロック（$\overline{\text{SCKA0}}$）とシリアル・データ（SIA0, SOA0）の3本のラインにより，8ビット・データ通信を行うモードです。

自動送受信機能付き3線式シリアルI/Oモードは同時送受信動作が可能なので，データ通信の処理時間が短くなります。

シリアル通信する8ビット・データの先頭ビットをMSBか，またはLSBかに切り替えることができますので，いずれの先頭ビットのデバイスとも接続できます。

転送バッファRAMを32バイト内蔵しているので，ソフトウエアを介さずに表示ドライバなどとデータ通信可能です。またハンドシェーク端子（STB0, BUSY0）をサポートしており，容易に周辺LSIと接続することができます。

詳細については17. 4. 3　自動送受信機能付き3線式シリアルI/Oモードを参照してください。

○マスタ・モードとスレーブ・モードを選択可能
○通信データ長：8ビット
○通信データのMSB/LSB先頭を切り替え可能
○自動送受信機能：
　1-32バイトまで転送バイト数を指定可能
　転送間隔指定可能（0-63クロック）
　単発通信／繰り返し通信を指定可能
○専用ボー・レート・ジェネレータ（6/8/16/32分周）内蔵

○3線式　SOA0　：シリアル・データ出力
　　SIA0　：シリアル・データ入力
　　$\overline{\text{SCKA0}}$ ：シリアル・クロック入出力
○ハンドシェーク機能内蔵　STB0　：ストローブ出力
　　BUSY0：ビジィ入力
○送受信完了割り込み：INTACSI
○32バイト・バッファRAM内蔵

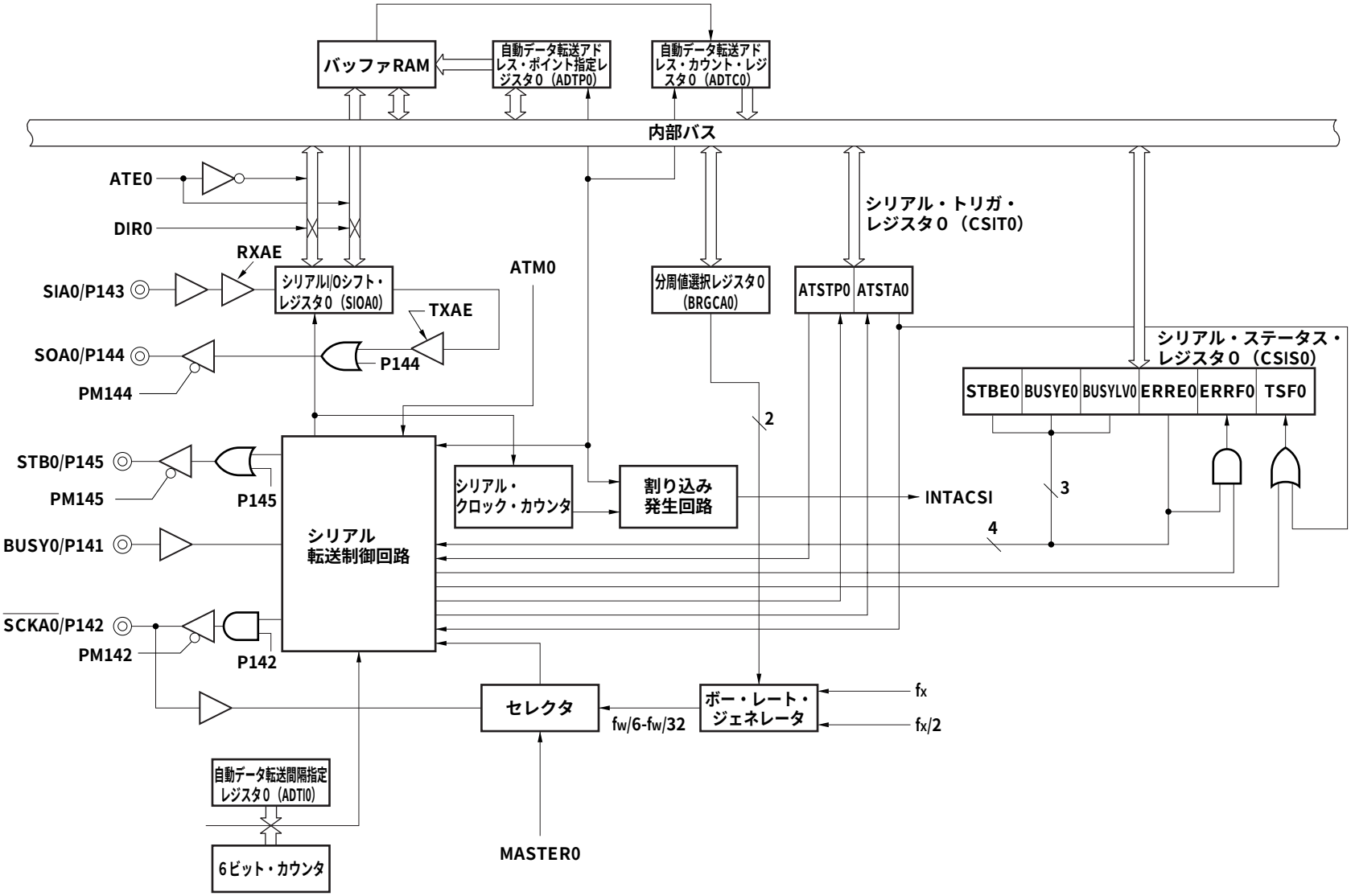
17. 2　シリアル・インタフェースCSIA0の構成

シリアル・インタフェースCSIA0は，次のハードウエアで構成しています。

表17－1　シリアル・インタフェースCSIA0の構成

項　目	構　成
レジスタ	シリアルI/Oシフト・レジスタ0（SIOA0） 自動データ転送アドレス・カウント・レジスタ0（ADTC0）
制御レジスタ	シリアル動作モード指定レジスタ0（CSIMA0） シリアル・ステータス・レジスタ0（CSIS0） シリアル・トリガ・レジスタ0（CSIT0） 分周値選択レジスタ0（BRGCA0） 自動データ転送アドレス・ポイント指定レジスタ0（ADTP0） 自動データ転送間隔指定レジスタ0（ADTI0） ポート・モード・レジスタ14（PM14） ポート・レジスタ14（P14）

図17－1　シリアル・インタフェースCSIA0のブロック図



(1) シリアルI/Oシフト・レジスタ0（SIOA0）

1バイト転送モード（シリアル動作モード指定レジスタ0（CSIMA0）のビット6（ATE0）= 0）時の送信データおよび受信データを格納する8ビットのレジスタです。SIOA0に送信データを書き込むことにより，通信が開始されます。また通信完了割り込み要求（INTACSI）の出力後（シリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）= 0），SIOA0からデータを読み出すことにより，受信データを受け取ることができます。

SIOA0は，8ビット・メモリ操作命令で書き込みと読み出しができます。ただし，シリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）= 1のとき，SIOA0への書き込みは禁止です。

$\overline{\text{RESET}}$入力により，00Hになります。

注意1．通信動作の起動は，SIOA0への書き込みで行われるため，送信禁止（CSIMA0のビット3（TXEA0）= 0）のときも，ダミー・データをSIOA0レジスタに書き込み，通信動作を起動してから受信動作を行ってください。

2．自動送受信機能が動作しているとき，SIOA0にデータを書き込まないでください。

(2) 自動データ転送アドレス・カウント・レジスタ0（ADTC0）

自動転送時におけるバッファRAMのアドレスを示すレジスタです。自動転送を中断した場合に，ADTC0のレジスタ値を読み出すことによって，中断したデータ位置を知ることができます。

ADTC0は，8ビット・メモリ操作命令で読み出すことができます。

$\overline{\text{RESET}}$入力により，00Hになります。ただし，シリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）= 1のときは，ADTC0からの読み出しは禁止です。

図17－2　自動データ転送アドレス・カウント・レジスタ0（ADTC0）のフォーマット

アドレス：FF97H　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
ADTC0	0	0	0	ADTC04	ADTC03	ADTC02	ADTC01	ADTP00

17. 3　シリアル・インタフェースCSIA0を制御するレジスタ

シリアル・インタフェースCSIA0は，次の8種類のレジスタで制御します。

- シリアル動作モード指定レジスタ0（CSIMA0）
- シリアル・ステータス・レジスタ0（CSIS0）
- シリアル・トリガ・レジスタ0（CSIT0）
- 分周値選択レジスタ0（BRGCA0）
- 自動データ転送アドレス・ポイント指定レジスタ0（ADTP0）
- 自動データ転送間隔指定レジスタ0（ADTI0）
- ポート・モード・レジスタ14（PM14）
- ポート・レジスタ14（P14）

(1) シリアル動作モード指定レジスタ0（CSIMA0）

シリアル通信動作を制御する8ビットのレジスタです。

CSIMA0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図17－3　シリアル動作モード・レジスタ0（CSIMA0）のフォーマット

アドレス：FF90H　リセット時：00H　　R/W

	7	6	5	4	3	2	1	0
CSIMA0	CSIAE0	ATE0	ATM0	MASTER0	TXEA0	RXEA0	DIR0	0

CSIAE0	CSIA0の動作許可／禁止の制御
0	CSIA0動作禁止（SOA0：ロウ・レベル，$\overline{\text{SCKA0}}$：ハイ・レベル），内部回路を非同期リセットする注
1	CSIA0動作許可

ATE0	自動通信動作の許可／禁止の制御
0	１バイト通信モード
1	自動通信モード

ATM0	自動通信モードの指定
0	単発モード（ADTP0レジスタで指定したアドレスで停止）
1	繰り返しモード（転送終了後，ADTC0レジスタを00Hにクリアし転送を再開）

MASTER0	CSIA0のマスタ／スレーブ・モードの指定
0	スレーブ・モード（$\overline{\text{SCKA0}}$入力のクロックに同期）
1	マスタ・モード（内部クロックに同期）

TXEA0	送信動作の許可／禁止の制御
0	送信動作禁止（SOA0：ロウ・レベル）
1	送信動作許可

RXEA0	受信動作の許可／禁止の制御
0	受信動作禁止
1	受信動作許可

DIR0	先頭ビットの指定
0	MSB
1	LSB

注　リセットされるのは自動データ転送アドレス・カウント・レジスタ0（ADTC0），シリアル・トリガ・レジスタ0（CSIT0），シリアルI/Oシフト・レジスタ0（SIOA0），シリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）です。

注意1．CSIAE0が0の場合，バッファRAMにアクセスできません。

2．CSIAE0を1から0にした場合は，上記注釈のレジスタおよびビットが非同期で初期化されます。再度CSIAE0 = 1にする場合には，必ず初期化されたレジスタを再設定してください。

3．CSIAE0を1から0にしたあとに，再度CSIAE0を1にした場合，バッファRAMの値の保持は保証されません。

(2) シリアル・ステータス・レジスタ0（CSIS0）

シリアス・インタフェースCSIA0の基本クロックの選択，通信動作の制御および状態を示す8ビットのレジスタです。

CSIS0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。ただし，ビット0（TSF0）が1の場合，CSIS0の書き換えは禁止です。

図17－4　シリアル・ステータス・レジスタ0（CSIS0）のフォーマット（1/2）

アドレス：FF91H　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
CSIS0	0	CKS00	STBE0	BUSYE0	BUSYLV0	ERRE0	ERRF0	TSF0

CKS00	基本クロック（fw）の選択[注2]
0	fx（10 MHz）
1	fx/2（5 MHz）

STBE0[注3,4]	ストローブ出力許可／禁止
0	ストローブ出力禁止
1	ストローブ出力許可

BUSYE0	ビジィ信号検出許可／禁止
0	ビジィ信号検出禁止（BUSY0端子からの入力を無視）
1	ビジィ信号検出許可およびビジィ信号による通信ウエイトを実行

BUSYLV0[注5]	ビジィ信号のアクティブ・レベルの設定
0	ロウ・レベル
1	ハイ・レベル

注1．ビット0, 1はRead Onlyです。

2．基本クロックは次の条件を満たすように設定してください。

- V_{DD} = 4.0～5.5 V：基本クロック≦10 MHz
- V_{DD} = 3.3～4.0 V：基本クロック≦8.38 MHz
- V_{DD} = 2.7～3.3 V：基本クロック≦5 MHz
- ★ V_{DD} = 2.5～2.7 V：基本クロック≦2.5 MHz（標準品，（A）水準品のみ）

3．STBE0はマスタ・モード時のみ有効です。

4．STBE0に1を設定すると，自動データ転送間隔指定レジスタ0（ADTI0）の設定にかかわらず，バイト転送とバイト転送の間に2転送クロックが消費されます。つまり，ADTI0 = 00Hと設定した場合は，1バイト転送に10転送クロック使用することになります。

5．ビジィ入力によるビットずれエラー検出の場合も，BUSYLV0で指定したアクティブ・レベルが検出されます。

注意　ビット7には必ず“0”を設定してください。

備考1.　（　）内はfx = 10 MHz動作時

2.　fx：X1入力クロック発振周波数

図17ー4　シリアル・ステータス・レジスタ0（CSIS0）のフォーマット（2/2）

ERRE0注	ビットずれエラー検出許可／禁止
0	エラー検出禁止
1	エラー検出許可

ERRF0	ビットずれエラー検出フラグ
0	・シリアル動作モード指定レジスタ０（CSIMA0）のビット７（CSIAE0）= 0 ・リセット入力時 ・シリアル・トリガ・レジスタ０（CSIT0）のビット０（ATSTA0）= 1またはSIOA0の書き込みにより通信開始したとき
1	ビットずれエラー検出時（ERRE0 = 1のときに，データ・ビット転送期間にBUSYLV0で指定したレベルをBUSY0端子の入力から検出）

TSF0	転送状態検出フラグ
0	・シリアル動作モード指定レジスタ０（CSIMA0）のビット７（CSIAE0）= 0 ・リセット入力時 ・指定された転送終了時 ・シリアル・トリガ・レジスタ０（CSIT0）のビット１（ATSTP0）= 1により転送を中断したとき
1	転送スタートから指定された転送が終了するまで

注　ERRE0の設定は，BUSYE0 = 0の場合も有効です。

注意　TSF0が1のとき，シリアル動作モード指定レジスタ0（CSIMA0），シリアル・ステータス・レジスタ0（CSIS0），分周値選択レジスタ0（BRGCA0），自動データ転送アドレス・ポイント指定レジスタ0（ADTP0），自動データ転送間隔指定レジスタ0（ADTI0），シリアルI/Oシフト・レジスタ0（SIOA0）への書き換えは禁止です。ただしレジスタのリードおよび同値の再書き込みは可能です。またバッファRAMも転送動作中の書き換えは可能です。

（3）シリアル・トリガ・レジスタ0（CSIT0）

バッファRAMとシリアルI/Oシフト・レジスタ0（SIOA0）間の自動データ転送の実行／中断を制御する8ビットのレジスタです。

CSIT0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。ただし，シリアル動作モード指定レジスタ0（CSIMA0）のビット6（ATE0）が1の場合のみ操作してください（ATE0が0の場合は操作禁止）。

図17－5　シリアル・トリガ・レジスタ0（CSIT0）のフォーマット

アドレス：FF92H　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CSIT0	0	0	0	0	0	0	ATSTP0	ATSTA0

ATSTP0	自動データ転送の中断
0	－
1	自動データ転送を中断

ATSTA0	自動データ転送の開始
0	－
1	自動データ転送を開始

注意1．ATSTP0またはATSTA0に1を設定しても，1バイトの転送が終了するまで停止または開始されません。

2．ATSTP0とATSTA0は，割り込み信号INTACSI発生後自動的に0になります。

3．自動データ転送中断後，自動データ転送アドレス・カウント・レジスタ0（ADTC0）には中断したときのデータ・アドレスが格納されています。ただし，自動データ転送の再開機能を有していないため，ATSTP0 = 1により転送を中断した場合は，各レジスタを再設定後，ATSTA0より自動データ転送をスタートしてください。

（4）分周値選択レジスタ0（BRGCA0）

CSIA0の基本クロックの分周値を選択する8ビットのレジスタです。

BRGCA0は，8ビット・メモリ操作命令で設定します。ただし，シリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）が1のときはBRGCA0への書き換えは禁止です。

図17－6　分周値選択レジスタ0（BRGCA0）のフォーマット

アドレス：FF93H　リセット時：03H　　R/W

略号	7	6	5	4	3	2	1	0
BRGCA0	0	0	0	0	0	0	BRGCA01	BRGCA00

BRGCA01	BRGCA00	CSIA0の基本クロック（fw）の分周値選択
0	0	fw/6（1.67 MHz）
0	1	$f_w/2^3$（1.25 MHz）
1	0	$f_w/2^4$（625 kHz）
1	1	$f_w/2^5$（312.5 kHz）

備考1．（　）内はfw = 10 MHz動作時

2．fw：CSIS0レジスタのCKS00ビットで選択した基本クロックの周波数

（5）自動データ転送アドレス・ポイント指定レジスタ0（ADTP0）

自動データ転送時（シリアル動作モード指定レジスタ0（CSIMA0）のビット6（ATE0）= 1）の転送を終了するバッファRAMのアドレスを指定する8ビットのレジスタです。

ADTP0は，8ビット・メモリ操作命令で設定します。ただし，シリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）が1のときは，ADTP0への書き換えは禁止です。

78K0/KF1+では，バッファRAMを32バイト内蔵しているので，00H-1FHまで指定可能です。

例　ADTP0に07Hを設定した場合

FA00H-FA07Hまでの8バイトが転送されます

繰り返しモード（CSIMA0のビット5（ATM0）= 1）の場合は，ADTP0で指定したアドレスまで繰り返し転送します。

例　ADTP0に07Hを設定した場合（繰り返しモード）

FA00H-FA07H, FA00H-FA07H，…と繰り返し転送されます

図17－7　自動データ転送アドレス・ポイント指定レジスタ0（ADTP0）のフォーマット

アドレス：FF94H　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ADTP0	0	0	0	ADTP04	ADTP03	ADTP02	ADTP01	ADTP00

注意　ビット7-ビット5には，必ず0を設定してください。

バッファRAMのアドレス値とADTP0の設定値の関係を次に示します。

表17ー2　バッファRAMのアドレス値とADTP0の設定値の関係

バッファRAMのアドレス値	ADTP0の設定値	バッファRAMのアドレス値	ADTP0の設定値
FA00H	00H	FA10H	10H
FA01H	01H	FA11H	11H
FA02H	02H	FA12H	12H
FA03H	03H	FA13H	13H
FA04H	04H	FA14H	14H
FA05H	05H	FA15H	15H
FA06H	06H	FA16H	16H
FA07H	07H	FA17H	17H
FA08H	08H	FA18H	18H
FA09H	09H	FA19H	19H
FA0AH	0AH	FA1AH	1AH
FA0BH	0BH	FA1BH	1BH
FA0CH	0CH	FA1CH	1CH
FA0DH	0DH	FA1DH	1DH
FA0EH	0EH	FA1EH	1EH
FA0FH	0FH	FA1FH	1FH

(6) 自動データ転送間隔指定レジスタ0（ADTI0）

自動データ転送時（シリアル動作モード指定レジスタ0（CSIMA0）のビット6（ATE0）= 1）の1バイト通信間におけるインターバル時間（間隔）を指定する8ビットのレジスタです。

ADTI0は，マスタ・モード（CSIMA0のビット4（MASTER0）= 1）時に設定してください（スレーブ・モード時は設定不要）。また1バイト通信モード（CSIMA0のビット6（ATE0 = 0））時の設定は有効で，1バイト通信終了後ADTI0で指定したインターバル時間を経て，割り込み要求信号（INTACSI）が出力されます。インターバルのクロック数は0～63クロックまで設定できます。

ADTI0は，8ビット・メモリ操作命令で設定します。ただし，シリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）= 1のときは，ADTI0への書き換えは禁止です。

図17－8　自動データ転送間隔指定レジスタ0（ADTI0）のフォーマット

アドレス：FF95H　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
ADTI0	0	0	ADTI05	ADTI04	ADTI03	ADTI02	ADTI01	ADTI00

注意　ADTI0の設定よりも，シリアル・ステータス・レジスタ0（CSIS0）のビット5（STBE0），ビット4（BUSYE0）の設定が優先されるため，ADTI0に00Hを設定している場合でも，STBE0, BUSYE0の設定によるインターバル時間が発生します。

例　ビジィ信号が発生していないときのインターバル時間

① STBE0 = 1, BUSYE0 = 0の場合　シリアル・クロックの2クロック分のインターバル時間発生

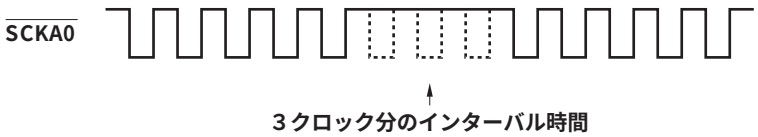
② STBE0 = 0, BUSYE0 = 1の場合　シリアル・クロックの1クロック分のインターバル時間発生

③ STBE0 = 1, BUSYE0 = 1の場合　シリアル・クロックの2クロック分のインターバル時間発生

したがって，ノー・ウエイト転送を行う場合は，STBE0とBUSYE0を0にする必要があります。

指定したインターバル時間は，シリアル・クロック（分周値選択レジスタ0（BRGCA0）で指定）の整数倍の時間となります。

例　ADTI0 = 03Hの場合



(7) ポート・モード・レジスタ14（PM14）

ポート14の入力／出力を1ビット単位で設定するレジスタです。

P142/$\overline{\text{SCKA0}}$, P144/SOA0, P145/STB0端子をシリアル・インタフェースのクロック出力，データ出力，ストローブ出力として使用するとき，PM142, PM144, PM145およびP142, P144, P145の出力ラッチに0を設定してください。

P141/BUSY0, P142/$\overline{\text{SCKA0}}$, P143/SIA0端子をシリアル・インタフェースのビジィ入力，クロック入力，データ入力として使用するとき，PM141, PM142, PM143に1を設定してください。このときP141, P142, P143の出力ラッチは，0または1のどちらでもかまいません。

PM14は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

図17－9　ポート・モード・レジスタ14（PM14）のフォーマット

アドレス：FF2EH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PM14n	P14n端子の入出力モードの選択（n = 0-5）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

17. 4　シリアル・インタフェースCSIA0の動作

シリアル・インタフェースCSIA0は，次の3種類のモードがあります。

- 動作停止モード
- 3線式シリアルI/Oモード
- 自動送受信機能付き3線式シリアルI/Oモード

17. 4. 1　動作停止モード

動作停止モードでは，シリアル通信を行いません。したがって消費電力を低減できます。また動作停止モードでは，P142/$\overline{\text{SCKA0}}$, P143/SIA0, P144/SOA0を通常の入出力ポートとして使用できます。

(1) 使用するレジスタ

動作停止モードの設定は，シリアル動作モード指定レジスタ0（CSIMA0）で行います。動作停止モードにする場合，CSIMA0のビット7（CSIAE0）に0を設定してください。

(a) シリアル動作モード指定レジスタ0（CSIMA0）

シリアル通信動作を制御する8ビットのレジスタです。

CSIMA0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

アドレス：FF90H　リセット時：00H　　R/W

	7	6	5	4	3	2	1	0
CSIMA0	CSIAE0	ATE0	ATM0	MASTER0	TXEA0	RXEA0	DIR0	0

CSIAE0	CSIA0の動作許可／禁止の制御
0	CSIA0動作禁止（SOA0：ロウ・レベル，$\overline{\text{SCKA0}}$：ハイ・レベル），内部回路を非同期リセットする

17. 4. 2　3線式シリアルI/Oモード

シリアル動作モード指定レジスタ0（CSIMA0）のビット6（ATE0）を0に設定したときのモードで，1バイトごとのデータ送受信を行います。

クロック同期式シリアル・インタフェースを内蔵する周辺ICや表示コントローラなどを接続するときに有効です。

シリアル・クロック（$\overline{\text{SCKA0}}$），シリアル出力（SOA0），シリアル入力（SIA0）の3本のライン通信を行います。

(1) 使用するレジスタ

・シリアル動作モード指定レジスタ0（CSIMA0）注1
・シリアル・ステータス・レジスタ0（CSIS0）注2
・分周値選択レジスタ0（BRGCA0）
・ポート・モード・レジスタ14（PM14）
・ポート・レジスタ14（P14）

注1．ビット7，6，4-1（CSIAE0，ATE0，MASTER0，TXEA0，RXEA0，DIR0）を使用します。ビット5（ATM0）の設定は無効になります。
2．ビット6（CKS00）とビット0（TSF0）のみ使用します。

3線式シリアルI/Oモードの基本的な動作設定手順例は次のようになります。

① CSIS0レジスタのビット6（CKS00）を設定（図17ー4を参照）
② BRGCA0レジスタを設定（図17ー6を参照）注1
③ CSIMA0レジスタのビット4-1（MASTER0, TXEA0, RXEA0, DIR0）を設定（図17ー3を参照）
④ CSIMA0レジスタのビット7（CSIAE0）に1，ビット6（ATE0）に0を設定
⑤ シリアルI/Oシフト・レジスタ0（SIOA0）にデータ書き込み → データ送受信開始注2

注1．スレーブ・モードを指定（MASTER0 = 0）する場合は，設定不要です。
2．受信のみの場合，SIOA0にダミー・データを書き込んでください。

注意　ポート・モード・レジスタとポート・レジスタの設定手順は，通信相手との関係を考慮して，行ってください。

レジスタの設定と端子の関係を次に示します。

表17－3　レジスタの設定と端子の関係

CSIAE0	ATE0	MASTER0	PM143	P143	PM144	P144	PM142	P142	シリアルI/Oシフト・レジスタ0の動作	シリアル・クロック・カウンタの動作の制御	端子機能		
											SIA0/P143	SOA0/P144	$\overline{\text{SCKA0}}$/P142
0	×	×	×注1	×注1	×注1	×注1	×注1	×注1	動作停止	クリア	P143	P144	P142
1	0	0	1注2	×注2	0注3	0注3	1	×	動作許可	カウント動作	SIA0注2	SOA0注3	$\overline{\text{SCKA0}}$（入力）
		1					0	1					$\overline{\text{SCKA0}}$（出力）

注1．ポート機能として設定することができます。

2．送信のみ使用するときは，P143として使用できます。CSIMA0のビット2（RXEA0）に0を設定してください。

3．受信のみ使用するときは，P144として使用できます。CSIMA0のビット3（TXEA0）に0を設定してください。

備考　×　　：don't care

CSIAE0　：シリアル動作モード指定レジスタ0（CSIMA0）のビット7

ATE0　　：CSIMA0のビット6

MASTER0：CSIMA0のビット4

PM14×　：ポート・モード・レジスタ

P14×　　：ポートの出力ラッチ

(2) 1バイト送受信の通信動作

(a) 1バイト送受信

シリアル動作モード指定レジスタ0（CSIMA0）のビット7（CSIAE0）= 1，ビット6（ATE0）= 0でシリアルI/Oシフト・レジスタ0（SIOA0）に通信データを書き込むと，そのデータを$\overline{\text{SCKA0}}$の立ち下がりに同期してSOA0端子から出力します。また，$\overline{\text{SCKA0}}$の立ち下がりに同期してSIA0端子から入力し，1クロック後の立ち上がりに同期して受信データをSIOA0レジスタに格納します。

データ送信，およびデータ受信を同時に行うことができます。

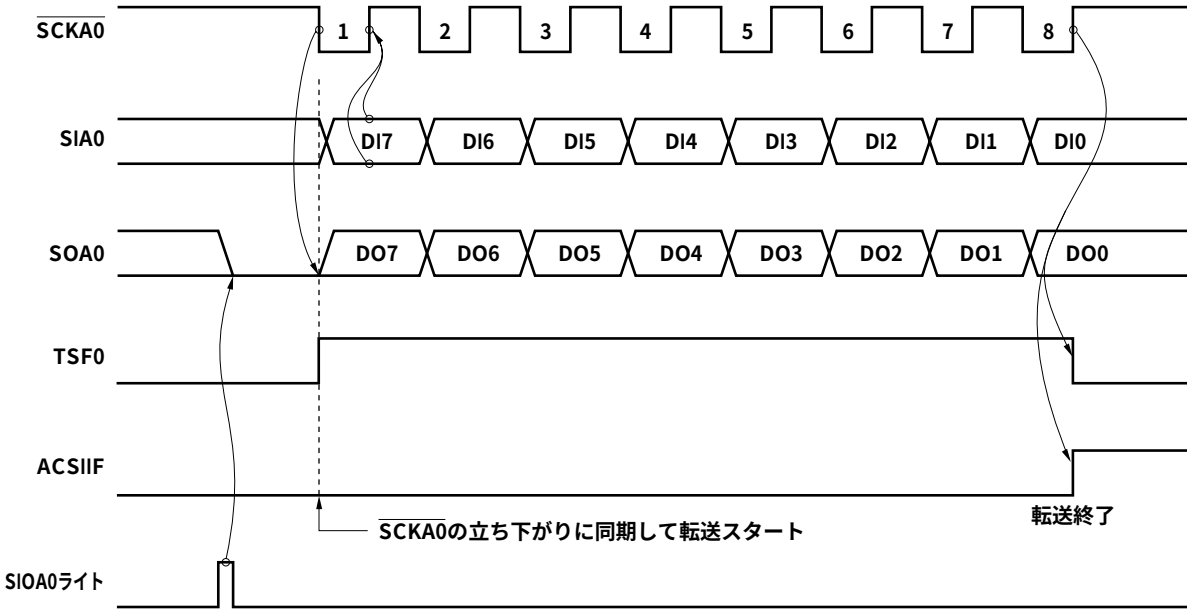
受信のみを行う際には，SIOA0レジスタにダミーの値を書き込まなければ通信を開始することができません。

1バイトの通信が終了すると，割り込み要求信号（INTACSI）を発生します。

1バイト送受信の場合，CSIMA0のビット5（ATM0）の設定は無効になります。

データの読み出しはシリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）= 0であることを確認してから行ってください。

図17－10　3線式シリアルI/Oモードのタイミング



注意　SIOA0ライトにより，SOA0端子はロウ・レベルになります。

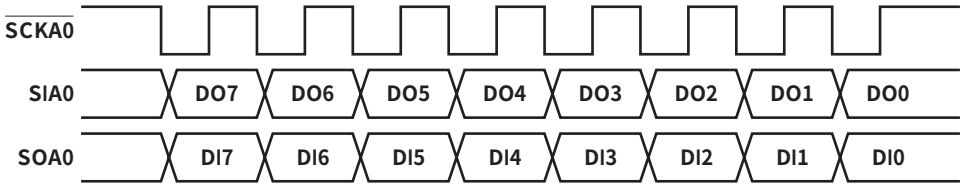
(b) データ・フォーマット

データ・フォーマットは，下記に示すように，$\overline{\text{SCKA0}}$の立ち下がりに同期してデータが変化します。

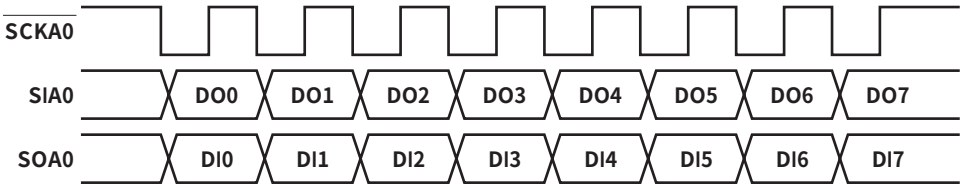
データ長は8ビット固定であり，データ通信方向は，シリアル動作モード指定レジスタ0（CSIMA0）のビット1（DIR0）の指定により切り替えることができます。

図17－11　送受信データのフォーマット

(a) MSBファーストの場合（DIR0ビット = 0）



(b) LSBファーストの場合（DIR0ビット = 1）

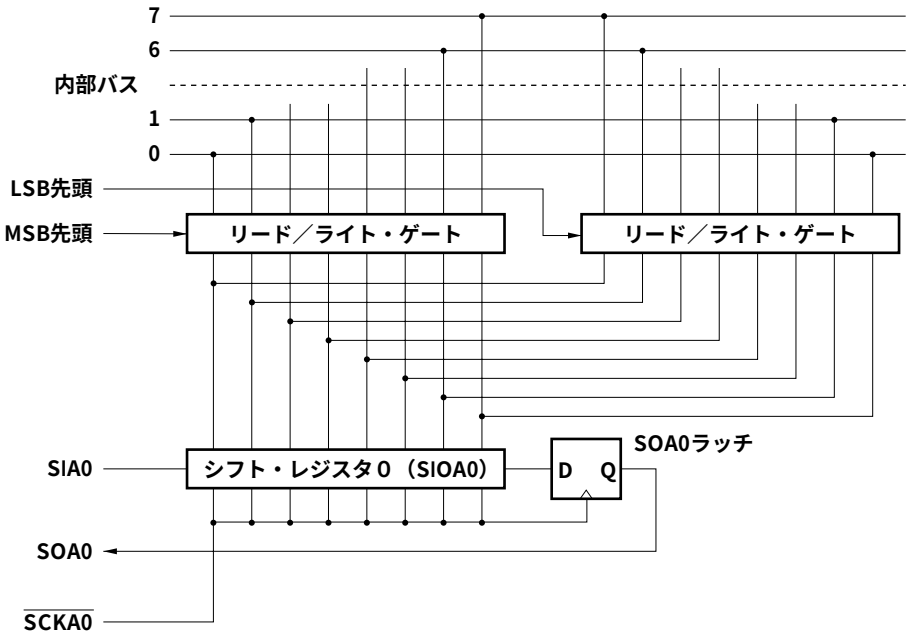


(c) MSB/LSB先頭の切り替え

図17－12にシリアルI/Oシフト・レジスタ0（SIOA0），および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し／書き込みができます。

MSB/LSB先頭切り替えは，シリアル動作モード指定レジスタ0（CSIMA0）のビット1（DIR0）により指定できます。

図17－12　転送ビット順切り替え回路



先頭ビットの切り替えは，SIOA0へのデータ書き込みのビット順を切り替えることによって実現させています。SIOA0のシフト順は常に同じです。

したがって，MSB/LSBの先頭ビットは，シフト・レジスタにデータを書き込む前に切り替えてください。

(d) 通信スタート

シリアル通信は，次の2つの条件を満たしたとき，シリアルI/Oシフト・レジスタ0（SIOA0）に通信データをセットすることで開始します。

・シリアル・インタフェースCSIA0の動作の制御ビット（CSIAE0）= 1
・シリアル通信中ではないとき

注意　SIOA0にデータを書き込んだあと，CSIAE0を“1”にしても，通信はスタートしません。

8ビット通信終了により，シリアル通信は自動的に停止し，割り込み要求フラグ（ACSIIF）をセットします。

17. 4. 3　自動送受信機能付き3線式シリアルI/Oモード

シリアル動作モード指定レジスタ0（CSIMA0）のビット6（ATE0）を1に設定したときのモードで，最大32バイトのデータを，ソフトウエアの介在なしに送受信を行います。通信を開始させると，あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり，設定したバイト数だけデータを受信しRAMに格納させることができます。

また，連続してデータを送受信するために，ハードウエアによるハンドシェーク信号（STB0, BUSY0）をサポートしており，OSD（On Screen Display）用LSIやLCDコントローラ／ドライバなどの周辺LSIとの接続が容易に実現できます。

（1）使用するレジスタ

- シリアル動作モード指定レジスタ0（CSIMA0）
- シリアル・ステータス・レジスタ0（CSIS0）
- シリアル・トリガ・レジスタ0（CSIT0）
- 分周値選択レジスタ0（BRGCA0）
- 自動データ転送アドレス・ポイント指定レジスタ0（ADTP0）
- 自動データ転送間隔指定レジスタ0（ADTI0）
- ポート・モード・レジスタ14（PM14）
- ポート・レジスタ14（P14）

レジスタの設定と端子の関係を次に示します。

注意　バッファRAMへの書き込み時にウエイトが発生することがあります。詳細は第34章　ウエイトに関する注意事項を参照してください。

表17ー4　レジスタの設定と端子の関係

CSIAE0	ATE0	MASTER0	STBE0	BUSYE0	ERRE0	PM143	P143	PM144	P144	PM142	P142	PM145	P145	PM141	P141	シリアルI/Oシフト・レジスタ0の動作	シリアル・クロック・カウンタの動作制御	端子機能				
																		SIA0/P143	SOA10/P144	$\overline{\text{SCKA0}}$/P142	STB0/P145	BUSY0/P141
0	×	×	×	×注1	×注1	×注1	×注1	×注1	×注1	×注1	×注1	×注1	×注1	×注1	×注1	動作停止	クリア	P143	P144	P142	P145	P141
1	1	0	×注1	×注1	0/1	1	×	0	0	1	×	×注1	×注1	×注1	×注1	動作許可	カウント動作	SIA0注2	SOA10	$\overline{\text{SCKA0}}$（入力）	P145	P141
		1	0	0	0/1					0	1	×注1	×注1	×注1	×注1					$\overline{\text{SCKA0}}$（出力）	P145	P141
			1	1	0/1							0	0	1	×						STB0	BUSY0

注1.　ポート機能として設定することができます。

2.　送信のみ使用するときは，P143として使用できます。CSIMA0のビット2（RXEA0）に0を設定してください。

備考　×　：don’t care

CSIAE0　：シリアル動作モード指定レジスタ0（CSIMA0）のビット7

ATE0　：CSIMA0のビット6

MASTER0：CSIMA0のビット4

STBE0　：シリアル・ステータス・レジスタ0（CSIS0）のビット5

BUSYE0　：CSIS0のビット4

ERRE0　：CSIS0のビット2

PM14×　：ポート・モード・レジスタ

P14×　：ポートの出力ラッチ

(2) 自動送受信データの設定

(a) 送信データの設定

① バッファRAMの最下位アドレスFA00Hから送信データを書き込む（最大FA1FHまで）。送信データ順は，下位アドレスから上位アドレスです。

② 自動データ転送アドレス・ポイント指定レジスタ0（ADTP0）に，送信データ・バイト数から1を引いた値を設定する。

(b) 自動送受信モードの設定例

① シリアル動作モード指定レジスタ0（CSIMA0）のビット7（CSIAE0）に1，ビット6（ATE0）に1を設定する。

② CSIMA0のビット2（RXEA0）とビット3（TXEA0）に1を設定する。

③ 自動データ転送間隔指定レジスタ0（ADTI0）にデータ送受信の転送間隔を設定する。

④ シリアル・トリガ・レジスタ0（CSIT0）のビット0（ATSTA0）に1を設定する。

注意　ポート・モード・レジスタとポート・レジスタの設定手順は，通信相手との関係を考慮して，行ってください。

(a)，(b) を行うことによって，次の動作が自動的に行われます。

- 自動データ転送アドレス・カウント・レジスタ0（ADTC0）で示された（初期値：00H）バッファRAMのデータをSIOA0に転送後，送信を行います（自動送受信動作の開始）。
- 受信したデータは，ADTC0で示されたバッファRAMのアドレスへ書き込まれます。
- ADTC0がインクリメントされ，次のデータの送受信を行います。データの送受信は，ADTC0のインクリメント出力が自動データ転送アドレス・ポイント指定レジスタ0（ADTP0）の設定値と一致するところまで行われます（自動送受信動作の終了）。ただし，CSIMA0のビット5（ATM0）に1を設定（繰り返しモード）した場合は，ADTP0とADTC0が一致したあと，ADTC0がクリアされ，繰り返し送受信動作が行われます。
- 自動送受信動作が終了するとTSF0が0にクリアされます。

(3) 自動送受信の通信動作

(a) 自動送受信モード

バッファRAMを用いることにより自動送受信を行うことができます。

(2) 自動送受信データの設定の(a),(b)を行うことによって,バッファRAMに格納したデータをSIOA0レジスタを介して$\overline{\text{SCKA0}}$の立ち下がりに同期してSOA0端子より出力します。

また,SIOA0レジスタを介して$\overline{\text{SCKA0}}$の立ち下がりに同期してSIA0端子から入力し,1クロック後の立ち上がりに同期して受信データをバッファRAMに格納します。

データ転送は,次のいずれかを満たしたときにシリアル・ステータス・レジスタ0(CSIS0)のビット0(TSF0)= 0となり,転送が終了します。

- CSIMA0レジスタのビット7(CSIAE0)= 0でリセット
- CSIT0レジスタのビット1(ATSTP0)= 1と指定して1バイト分転送が完了
- CSIS0レジスタのビット2(ERRE0)= 1のときに,ビット1(ERRF0)= 1となり1バイト分転送が完了
- ADTP0レジスタで指定した範囲の転送が完了

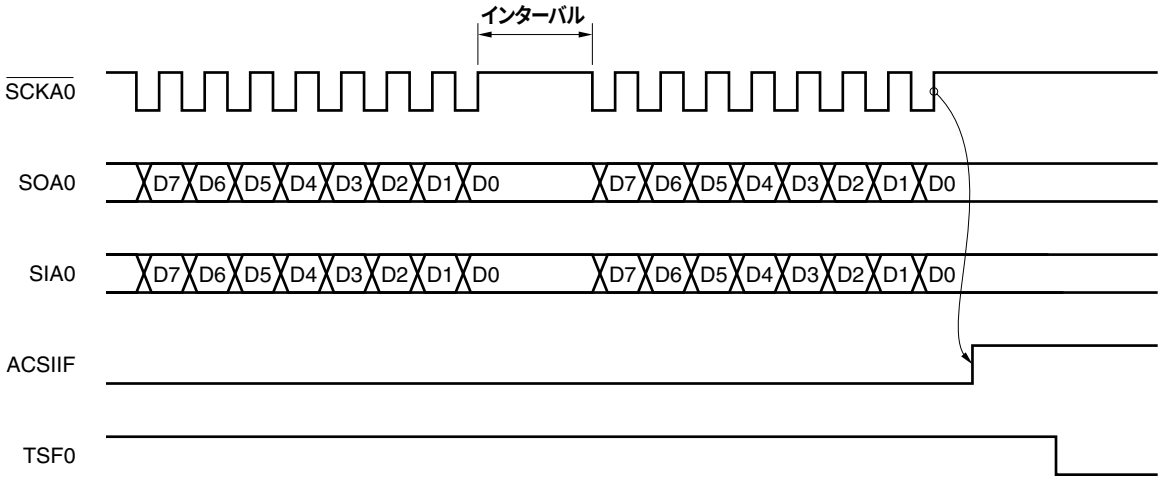
このとき,CSIAE0ビット= 0の場合を除き,割り込み要求信号(INTACSI)を発生します。

一度転送を終了させると,その続きから転送することができません。自動データ転送アドレス・カウント・レジスタ0(ADTC0)を読み出し,どこまで転送が完了したかを確認し,再度(2)自動送受信データの設定の(a),(b)を行い,転送してください。

なお,ビジィ制御,ストローブ制御を行わない場合,BUSY0/BUZ/INTP7/P141, STB0/P145端子を通常の入出力ポートとして使用できます。

自動送受信モードの動作タイミングを図17－13に,動作フロー・チャートを図17－14に示します。また,6バイト分送受信するときの内部バッファRAMの動作を図17－15に示します。

図17－13　自動送受信モードの動作タイミング



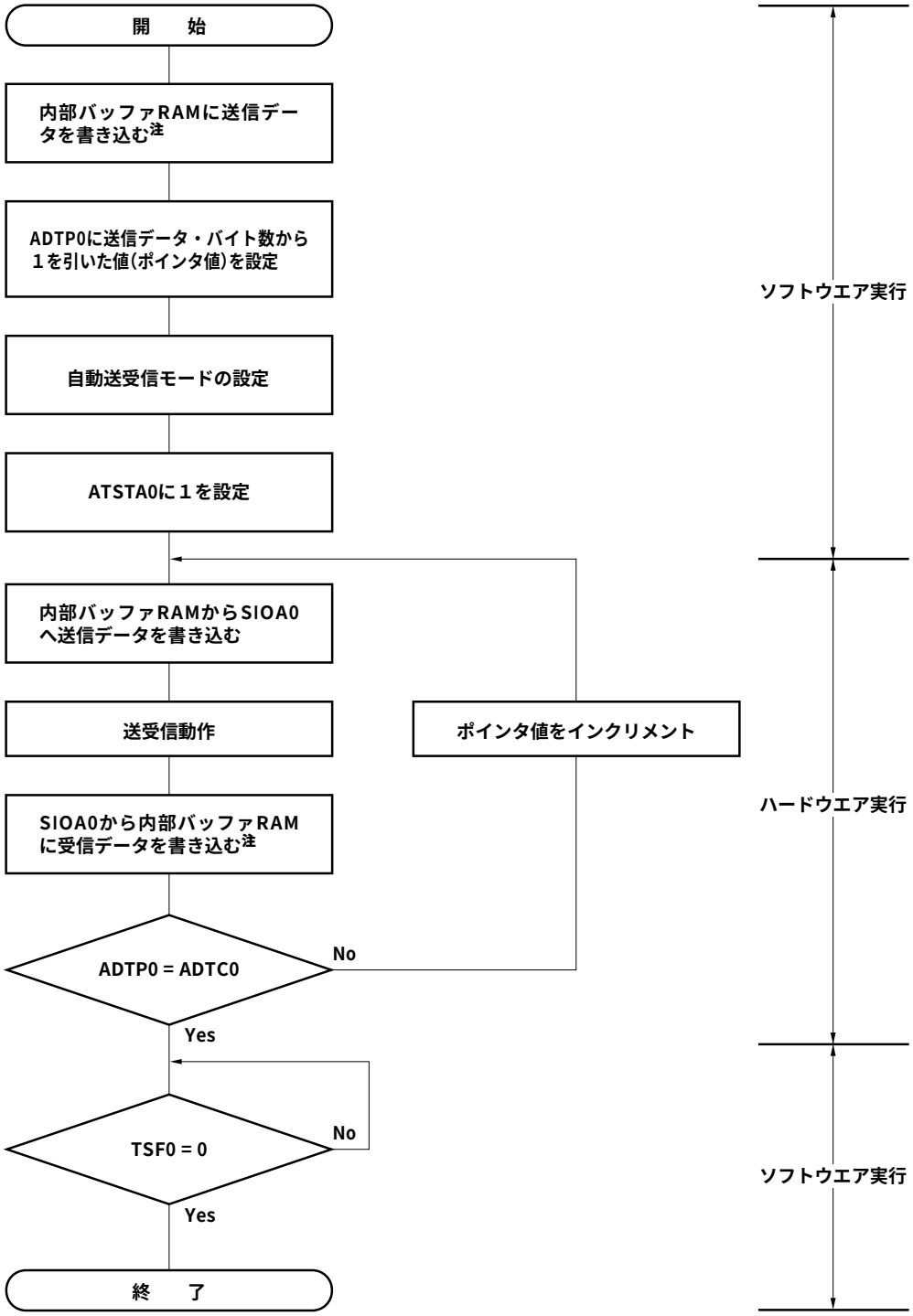
注意1．自動送受信モードでは，1バイト送受信後，内部バッファRAMへの書き込み／読み出しを行うため，次の送受信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMへの書き込み／読み出しを行っていますので，インターバル時間は自動データ転送間隔指定レジスタ0（ADTI0）とシリアル・ステータス・レジスタ0（CSIS0）のビット5（STBE0），ビット4（BUSYE0）の設定値に依存します（（5）自動送受信のインターバル時間参照）。

2．インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合，自動データ転送間隔指定レジスタ0（ADTI0）で設定したインターバル時間は伸びる可能性があります。

備考　ACSIIF：割り込み要求フラグ

TSF0　：シリアル・ステータス・レジスタ0（CSIS0）のビット0

図17－14　自動送受信モードのフロー・チャート



ADTP0　：自動データ転送アドレス・ポイント指定レジスタ0

ADTI0　：自動データ転送間隔指定レジスタ0

ATSTA0：シリアル・トリガ・レジスタ0（CSIT0）のビット0

SIOA0　：シリアルI/Oシフト・レジスタ0

ADTC0　：自動データ転送アドレス・カウント・レジスタ0

TSF0　：シリアル・ステータス・レジスタ0（CSIS0）のビット0

注　バッファRAMへの書き込み時にウエイトが発生することがあります。詳細は第34章　ウエイトに関する注意事項を参照してください。

自動送受信モードで6バイト分送受信するとき（ATM0 = 0, RXEA0 = 1, TXEA0 = 1），内部バッファRAMは次のような動作をします。

(i)　送受信開始時（図17－15（a）参照）

シリアル・トリガ・レジスタ0（CSIT0）のビット0（ATSTA0）に1を設定すると，内部バッファRAMから送信データ1（T1）がSIOA0へ転送されます。1バイト目の送信が完了すると，SIOA0からバッファRAMへ受信データ1（R1）が転送され，自動データ転送アドレス・カウント・レジスタ0（ADTC0）がインクリメントされます。続いて内部バッファRAMから送信データ2（T2）がSIOA0へ転送されます。

(ii)　4バイト目送受信動作時点（図17－15（b）参照）

3バイト目の送受信が完了し，内部バッファRAMから送信データ4（T4）がSIOA0へ転送されます。4バイト目の送信が完了すると，SIOA0から内部バッファRAMへ受信データ4（R4）が転送され，ADTC0がインクリメントされます。

(iii)　送受信完了（図17－15（c）参照）

6バイト目の送信が完了すると，SIOA0から内部バッファRAMへ受信データ6（R6）が転送され，割り込み要求フラグ（ACSIIF）がセットされます（INTACSI発生）。シリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）はクリアされます。

図17－15　6バイト分送受信するときの内部バッファRAMの動作（自動送受信モード時）（1/2）

（a）送受信開始時

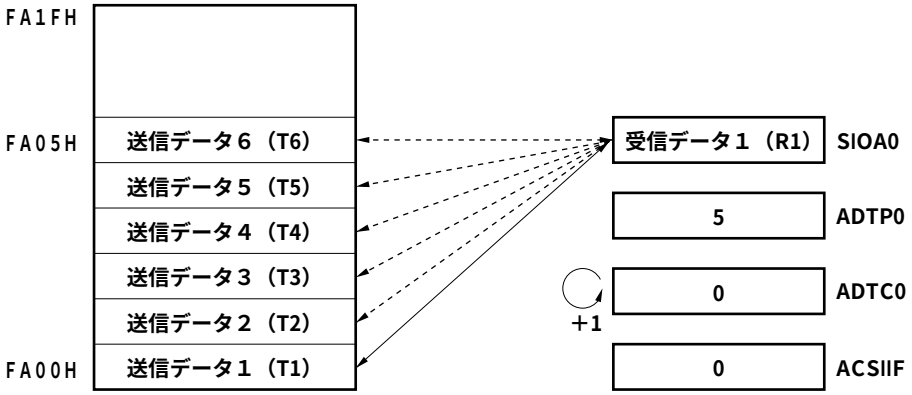
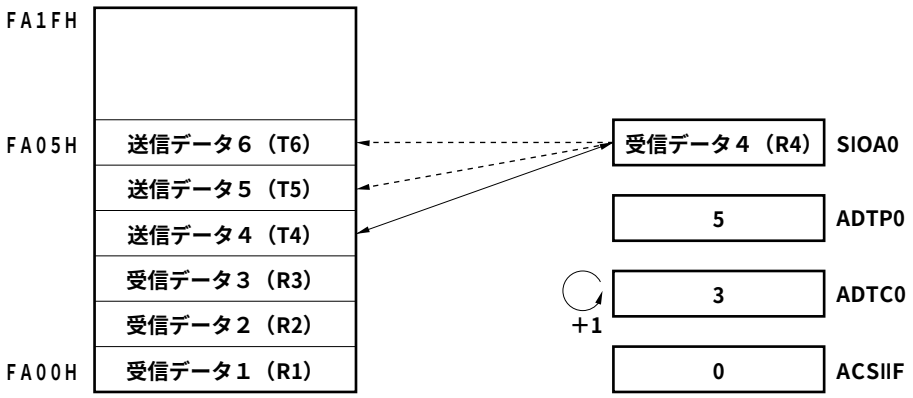
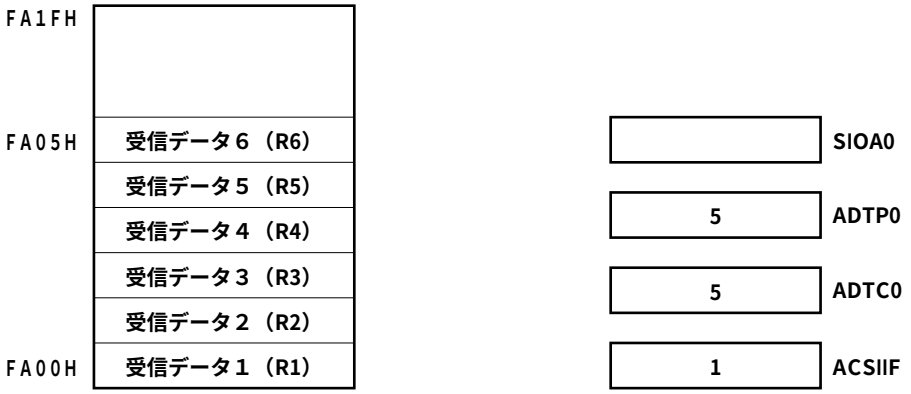


図17－15　6バイト分送受信するときの内部バッファRAMの動作（自動送受信モード時）（2/2）

（b）4バイト目送受信動作時点



（c）送受信完了



(b) 自動送信モード

8ビット単位のデータ送信を指定回数だけ実行する送信モードです。

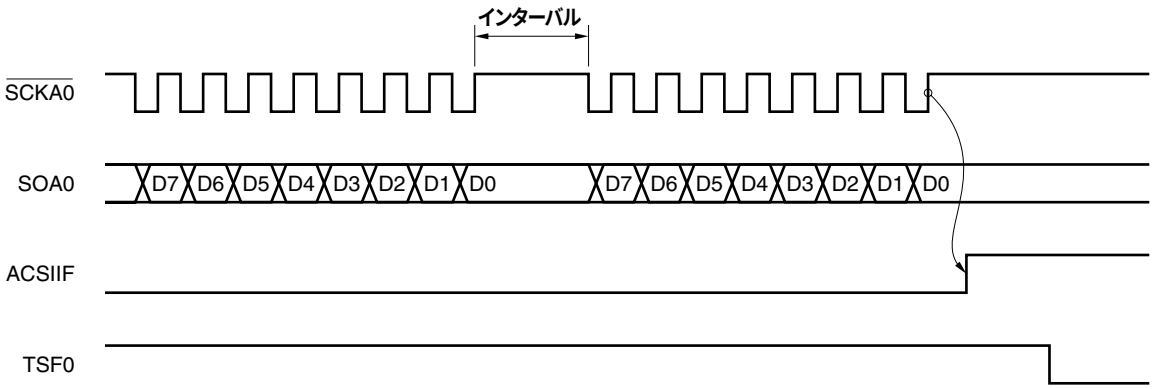
シリアル通信は，シリアル動作モード指定レジスタ0（CSIMA0）のビット7（CSIAE0）が1，ビット6（ATE0）が1，ビット3（TXEA0）が1にセットされているとき，シリアル・トリガ・レジスタ0（CSIT0）のビット0（ATSTA0）に1を設定することによって開始します。

最終バイト送信完了時には割り込み要求フラグ（ACSIIF）がセットされます。自動送受信の終了は，シリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）でも判定できます。

なお，受信動作，ビジィ制御，ストローブ制御を行わない場合は，SIA0/P143, BUSY0/BUZ/INTP7/P141, STB0/P145端子を通常の入出力ポートとして使用できます。

自動送信モードの動作タイミングを図17－16に，動作フロー・チャートを図17－17に示します。また，6バイト分送信するときの内部バッファRAMの動作を図17－18に示します。

図17－16　自動送信モードの動作タイミング



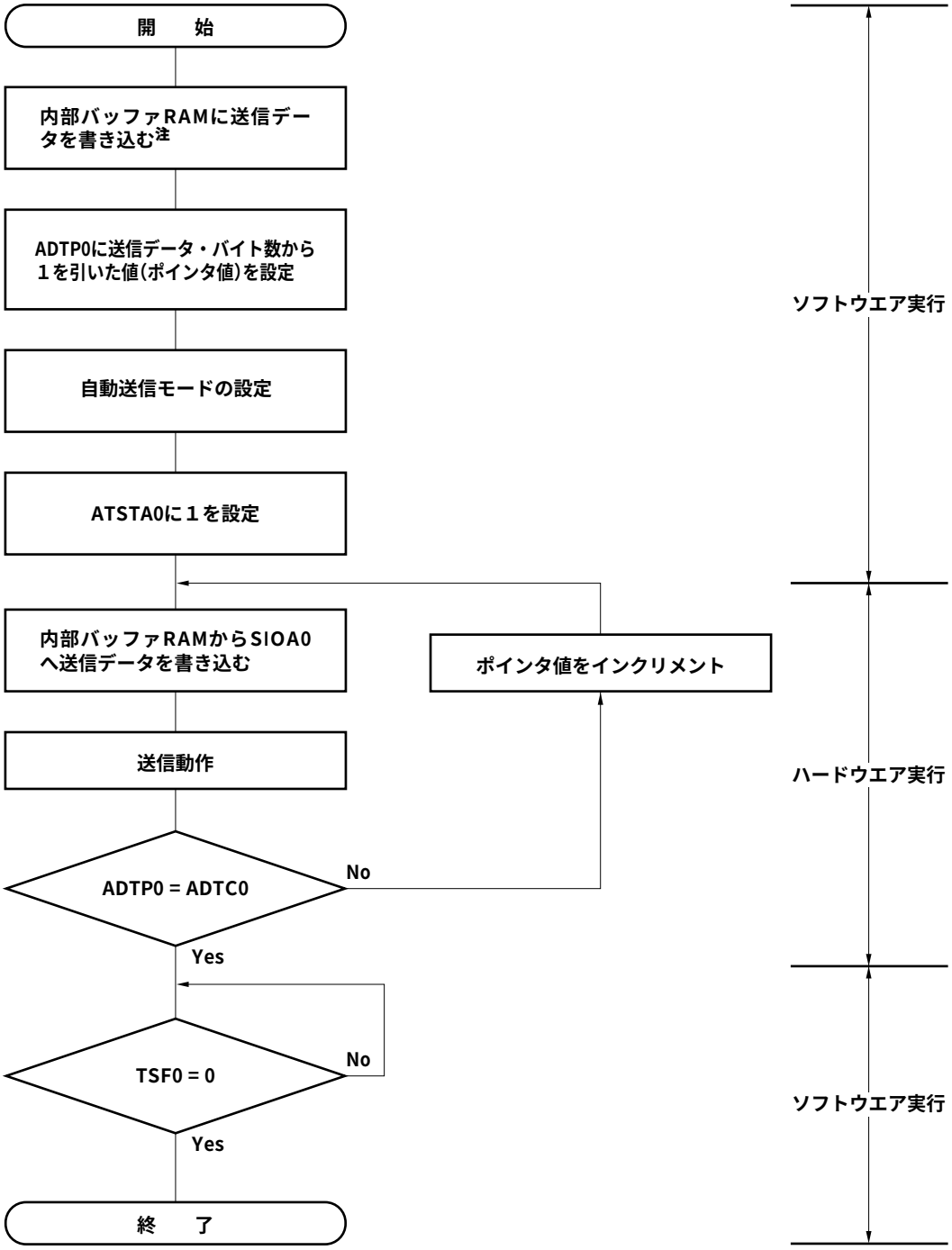
注意1．自動送信モードでは，1バイト送信後，内部バッファRAMからの読み出しを行うため，次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので，インターバル時間は自動データ転送間隔指定レジスタ0（ADTI0）とシリアル・ステータス・レジスタ0（CSIS0）のビット5（STBE0），ビット4（BUSYE0）の設定値に依存します（（5）自動送受信のインターバル時間参照）。

2．インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合，自動データ転送間隔指定レジスタ0（ADTI0）で設定したインターバル時間は伸びる可能性があります。

備考　ACSIIF：割り込み要求フラグ

TSF0　：シリアル・ステータス・レジスタ0（CSIS0）のビット0

図17－17　自動送信モードのフロー・チャート



ADTP0　：自動データ転送アドレス・ポイント・指定レジスタ0
ADTI0　：自動データ転送間隔指定レジスタ0
ATSTA0：シリアル・トリガ・レジスタ0（CSIT0）のビット0
SIOA0　：シリアルI/Oシフト・レジスタ0
ADTC0　：自動データ転送アドレス・カウント・レジスタ0
TSF0　：シリアル・ステータス・レジスタ0（CSIS0）のビット0

注　バッファRAMへの書き込み時にウエイトが発生することがあります。詳細は第34章　ウエイトに関する注意事項を参照してください。

自動送信モードで6バイト分送信するとき（ATM0 = 0, RXEA0 = 0, TXEA0 = 1, ATE0 = 1），内部バッファRAMは次のような動作をします。

(i)　送信開始時（図17－18（a）参照）

シリアル・トリガ・レジスタ0（CSIT0）のビット0（ATSTA0）に1を設定すると，内部バッファRAMから送信データ1（T1）がSIOA0へ転送されます。1バイト目の送信が完了すると，自動データ転送アドレス・カウント・レジスタ0（ADTC0）がインクリメントされます。続いて内部バッファRAMから送信データ2（T2）がSIOA0へ転送されます。

(ii) 4バイト目送信動作時点（図17－18（b）参照）

3バイト目の送信が完了し，内部バッファRAMから送信データ4（T4）がSIOA0へ転送されます。4バイト目の送信が完了すると，ADTC0がインクリメントされます。

(iii) 送信完了（図17－18（c）参照）

6バイト目の送信が完了すると，割り込み要求フラグ（ACSIIF）がセットされます（INTACSI発生）。シリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）はクリアされます。

図17－18　6バイト分送信するときの内部バッファRAMの動作（自動送信モード時）（1/2）

（a）送信開始時

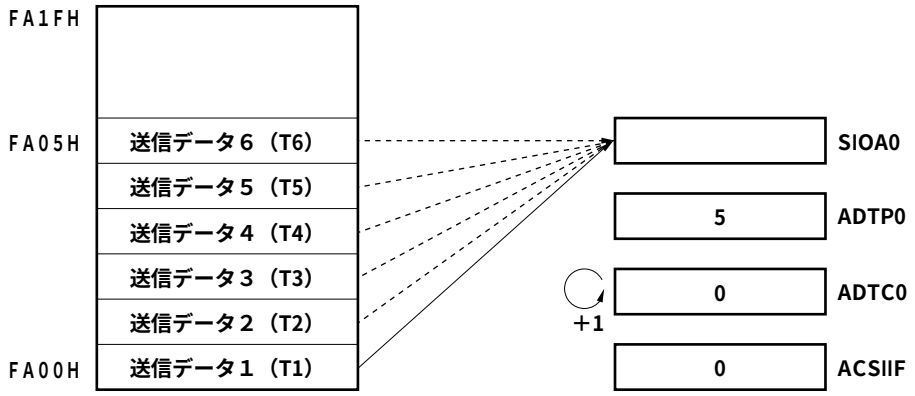
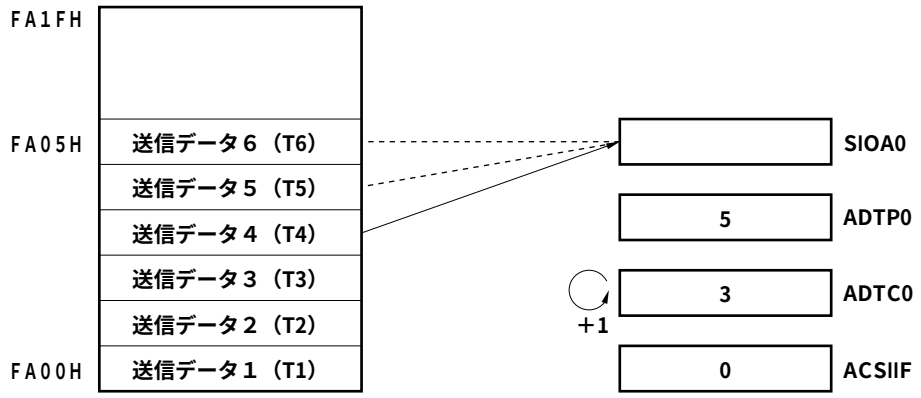
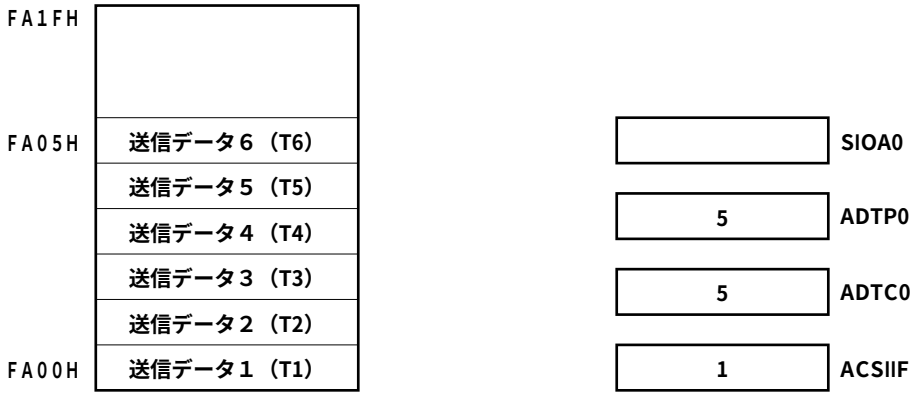


図17－18　6バイト分送信するときの内部バッファRAMの動作（自動送信モード時）（2/2）

（b）4バイト目送信動作時点



（c）送信完了



(c) 繰り返し送信モード

内部バッファRAMに格納したデータを繰り返し送信するモードです。

シリアル通信は，シリアル動作モード指定レジスタ0（CSIMA0）のビット7（CSIAE0）が1，ビット6（ATE0）が1，ビット5（ATM0）が1，ビット3（TXEA0）が1にセットされているとき，シリアル・トリガ・レジスタ0（CSIT0）のビット0（ATSTA0）に1を設定することによって開始します。

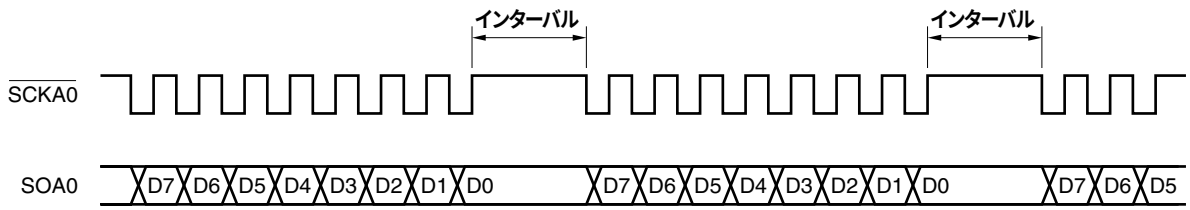
基本送信モードの場合とは異なり，設定したバイト数を送信したあと，割り込み要求フラグ（ACSIIF）はセットされず，自動データ転送アドレス・カウント・レジスタ0（ADTC0）がリセット（0）され，内部バッファRAMの内容が再送信されます。

なお，受信動作，ビジィ制御，ストローブ制御を行わない場合には，SIA0/P143, BUSY0/BUZ/INTP7/P141, STB0/P145端子を通常の入出力ポートとして使用できます。

繰り返し送信モードの動作タイミングを図17－19に，動作フロー・チャートを図17－20に示します。

また，繰り返し送信モードで6バイト分送信するときの内部バッファRAMの動作を図17－21に示します。

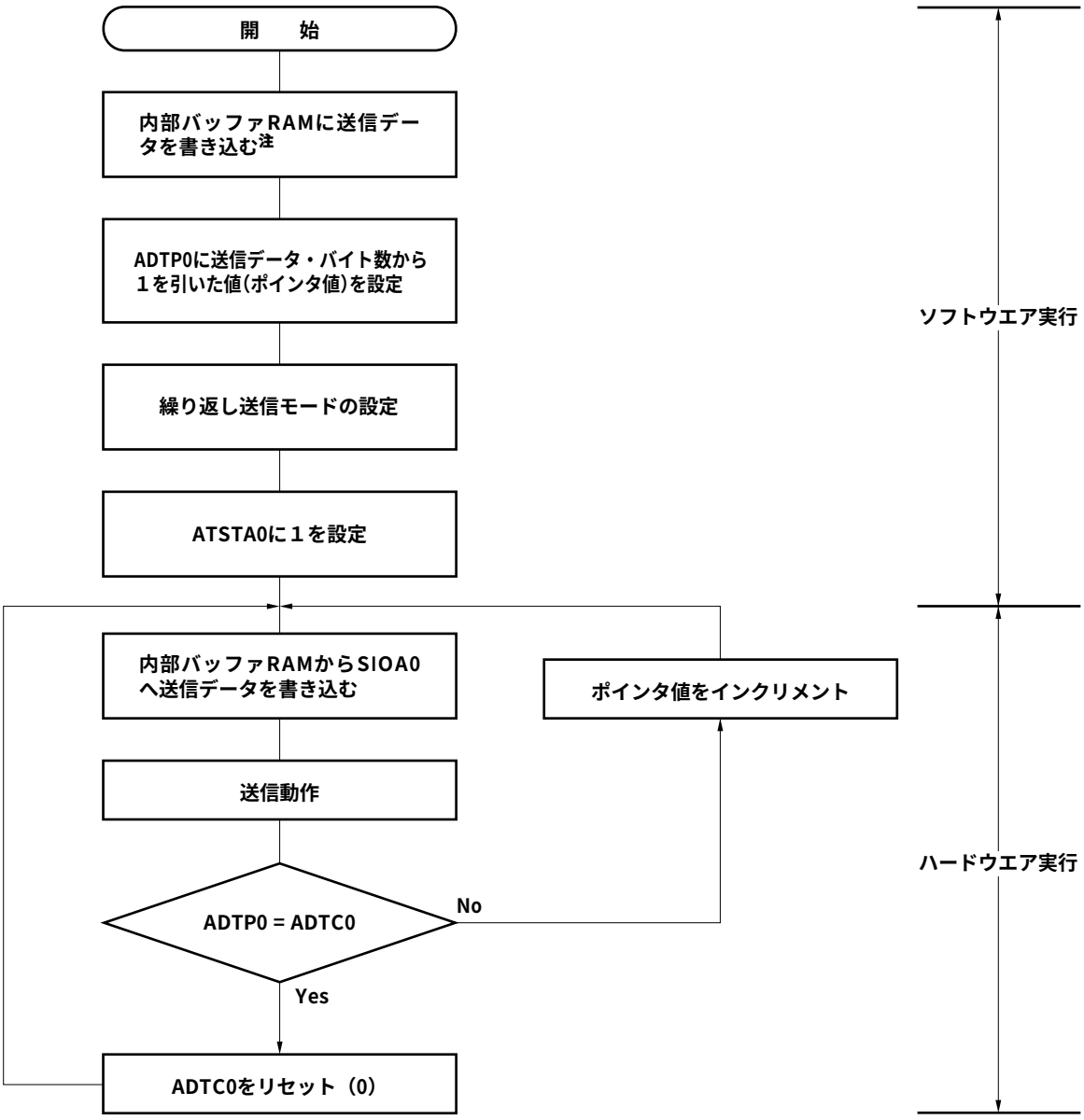
図17－19　繰り返し送信モードの動作タイミング



注意1．繰り返し送信モードでは，1バイト送信後，バッファRAMからの読み出しを行うため，次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので，インターバル時間は自動データ転送間隔指定レジスタ0（ADTI0）とシリアル・ステータス・レジスタ0（CSIS0）のビット5（STBE0），ビット4（BUSYE0）の設定値に依存します（（5）自動送受信のインターバル時間参照）。

2．インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合，自動データ転送間隔指定レジスタ0（ADTI0）で設定したインターバル時間は伸びる可能性があります。

図17－20　繰り返し送信モードのフロー・チャート



ADTP0　：自動データ転送アドレス・ポイント・指定レジスタ0

ADTI0　：自動データ転送間隔指定レジスタ0

ATSTA0：シリアル・トリガ・レジスタ0（CSIT0）のビット0

SIOA0　：シリアルI/Oシフト・レジスタ0

ADTC0　：自動データ転送アドレス・カウント・レジスタ0

注　バッファRAMへの書き込み時にウエイトが発生することがあります。詳細は第34章　ウエイトに関する注意事項を参照してください。

繰り返し送信モードで6バイト分送信するとき（ATM0 = 1, RXEA0 = 0, TXEA0 = 1, ATE0 = 1），内部バッファRAMは次のような動作をします。

(i)　送信開始時（図17－21（a）参照）

シリアル・トリガ・レジスタ0（CSIT0）のビット0（ATSTA0）に1を設定すると，内部バッファRAMから送信データ1（T1）がSIOA0へ転送されます。1バイト目の送信が完了すると，自動データ転送アドレス・カウント・レジスタ0（ADTC0）がインクリメントされます。続いて内部バッファRAMから送信データ2（T2）がSIOA0へ転送されます。

(ii)　6バイト分送信完了時点（図17－21（b）参照）

6バイト目の送信が完了しても，割り込み要求フラグ（ACSIIF）はセットされません。

ADTC0がリセット（0）されます。

(iii)　7バイト目送信動作時点（図17－21（c）参照）

再び内部バッファRAMから送信データ1（T1）がSIOA0へ転送されます。1バイト目の送信が完了すると，ADTC0がインクリメントされます。続いて内部バッファRAMから送信データ2（T2）SIOA0へ転送されます。

図17－21　6バイト分送信するときの内部バッファRAMの動作（繰り返し送信モード時）（1/2）

（a）送信開始時

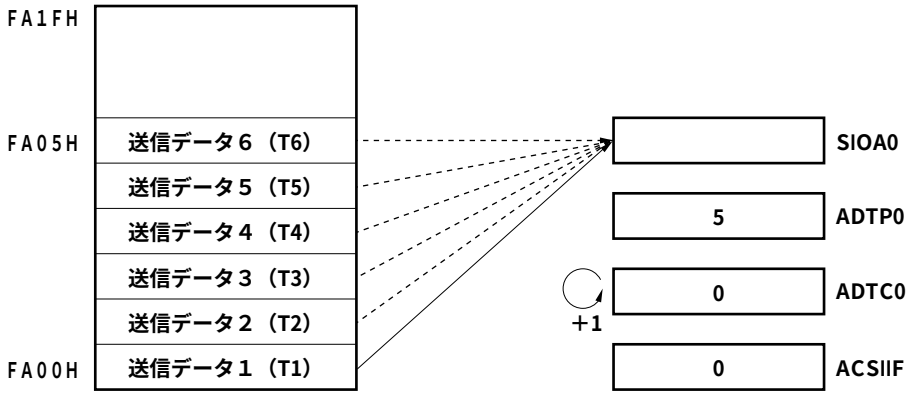
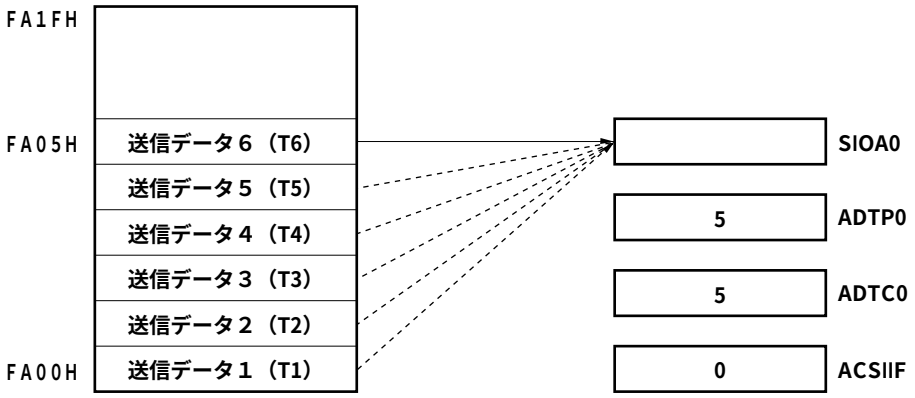
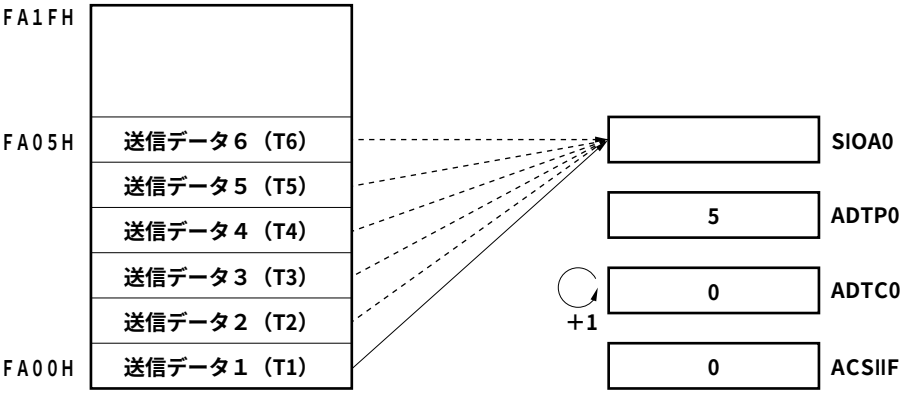


図17－21　6バイト分送信するときの内部バッファRAMの動作（繰り返し送信モード時）（2/2）

（b）6バイト分送信完了時点



（c）7バイト目送信動作時点



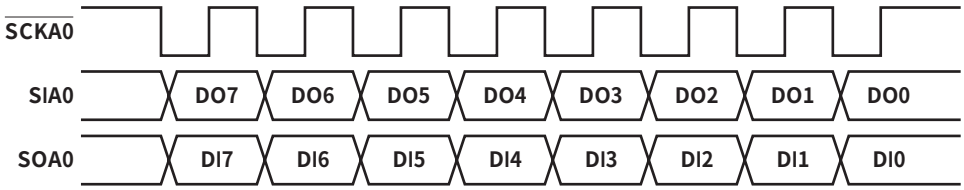
(d) データ・フォーマット

データ・フォーマットは，下記に示すように，$\overline{\text{SCKA0}}$の立ち下がりに同期してデータが変化します。

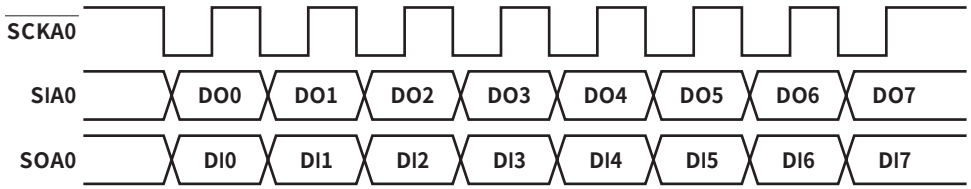
データ長は8ビット固定であり，データ転送方向は，シリアル動作モード指定レジスタ0（CSIMA0）のビット1（DIR0）の指定により切り替えることができます。

図17－22　CSIA0の送受信データのフォーマット

(a) MSBファーストの場合（DIR0ビット= 0）



(b) LSBファーストの場合（DIR0ビット= 1）



(e) 自動送受信の中断と再開

自動送受信中に送受信動作を一時的に中断したい場合，シリアル・トリガ・レジスタ0（CSIT0）のビット1（ATSTP0）に1を設定することにより動作の中断ができます。

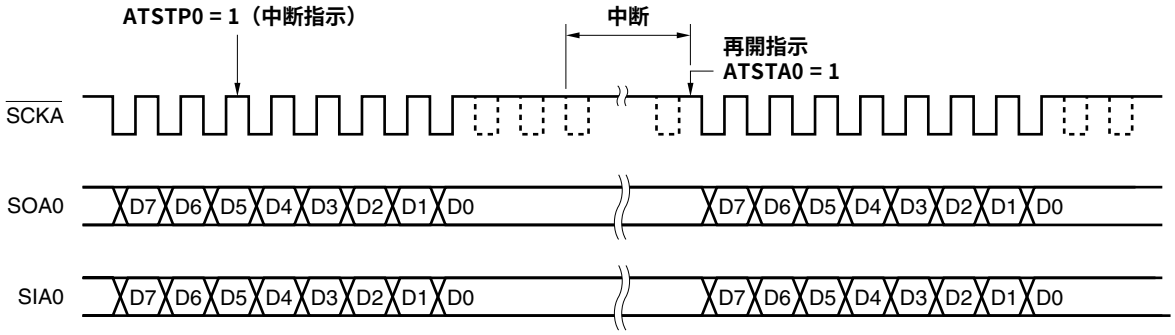
このとき，8ビット・データ通信の途中では中断せず，必ず8ビット・データ通信が完了した時点で中断します。

中断時には，8ビット目のデータを転送したあと，シリアル・ステータス・レジスタ0（CSIS0）のビット0（TSF0）が0になります。

注意1．自動送受信中にHALT命令を実行すると，8ビット・データ通信の途中でも通信を中断し，HALTモードになります。また，HALTモードを解除すると，自動送受信動作を中断箇所より再開します。

2．自動送受信動作を中断したとき，TSF0 = 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。

図17－23　自動送受信の中断と再開



ATSTP0：シリアル・トリガ・レジスタ0（CSIT0）のビット1

ATSTA0：CSIT0のビット0

(4) 同期制御

ビジィ制御およびストローブ制御は，マスタ・デバイスとスレーブ・デバイス間の送受信の同期をとるための機能です。

これらの機能を使用することにより，送受信中のビットずれの検出などが可能となります。

(a) ビジィ制御オプション

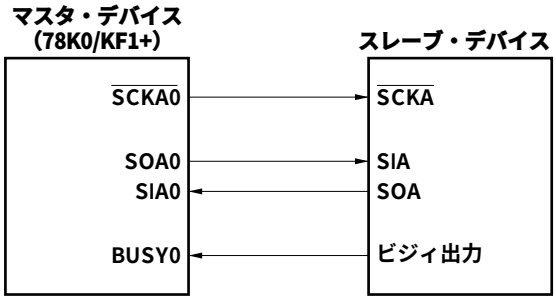
ビジィ制御は，スレーブ・デバイスがマスタ・デバイスにビジィ信号を出力することにより，そのビジィ信号がアクティブな期間，マスタ・デバイスのシリアル送受信をウエイトさせることができる機能です。

ビジィ制御オプションを使用する場合には，次に示す条件が必要です。

- シリアル動作モード指定レジスタ0（CSIMA0）のビット6（ATE0）をセット（1）
- シリアル・ステータス・レジスタ0（CSIS0）のビット4（BUSYE0）をセット（1）

ビジィ制御オプションを使用した場合のマスタ・デバイスとスレーブ・デバイスとのシステム構成を図17－24に示します。

図17－24　ビジィ制御オプション使用時のシステム構成



マスタ・デバイスは，スレーブ・デバイスが出力するビジィ信号をBUSY0/BUZ/INTP7/P141端子に入力します。マスタ・デバイスはシリアル・クロックの立ち下がりに同期して，入力したビジィ信号をサンプリングします。8ビット・データの送受信中にビジィ信号がアクティブになっても，ウエイトはかかりません。8ビット・データの送受信が終了してから1クロック後のシリアル・クロックの立ち上がり時にビジィ信号がアクティブであれば，その時点ではじめてビジィ入力が有効となり，それ以降，ビジィ信号がアクティブな期間は送受信にウエイトがかかります。

ビジィ信号のアクティブ・レベルはCSIS0のビット3（BUSYLV0）で設定します。

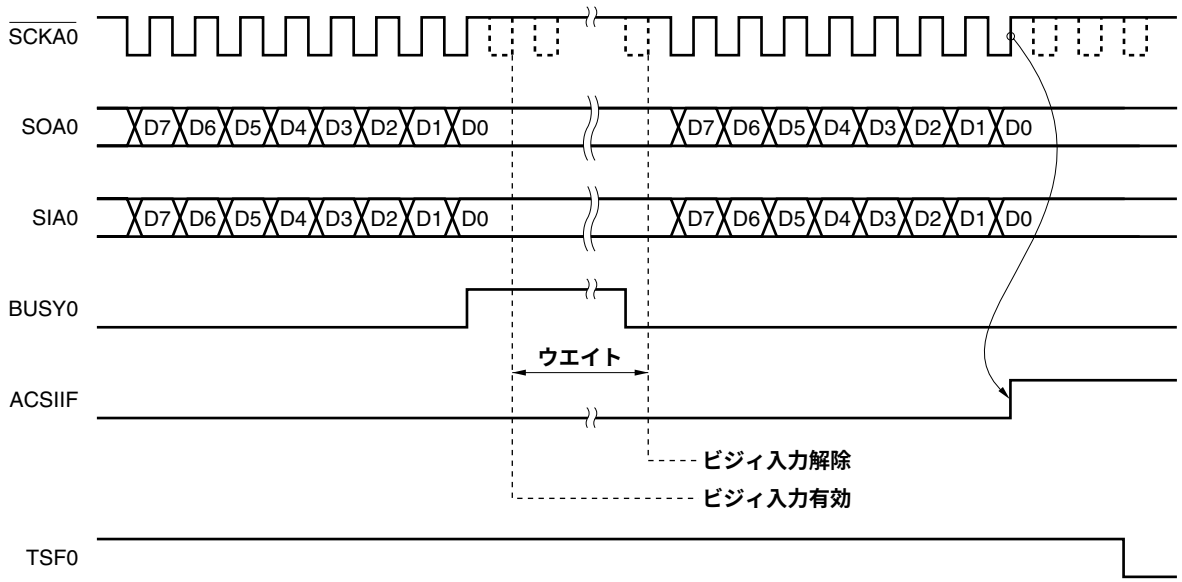
BUSYLV0 = 1：アクティブ・ハイ
BUSYLV0 = 0：アクティブ・ロウ

なお，ビジィ制御オプションを使用する場合，シリアル・クロックには内部クロックを選択してください。外部クロックでは，ビジィ信号による制御はできません。

ビジィ制御オプションを使用したときの動作タイミングを図17－25に示します。

注意　ビジィ制御は，自動データ転送間隔指定レジスタ0（ADTI0）によるインターバル時間の制御とは同時に使用できません。

図17－25　ビジィ制御オプションを使用したときの動作タイミング（BUSYLV0 = 1のとき）



備考　ACSIIF：割り込み要求フラグ
TSF0　：シリアル・ステータス・レジスタ0（CSIS0）のビット0

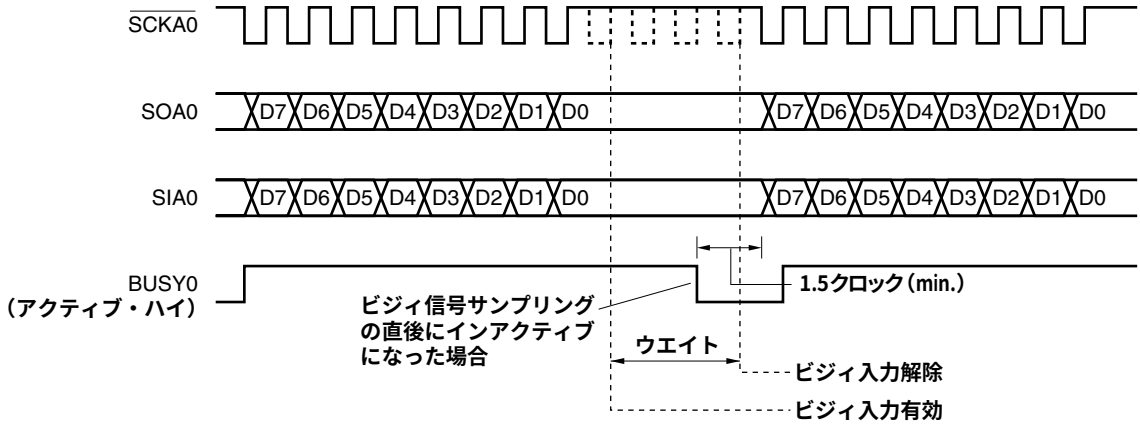
ビジィ信号がインアクティブになると，ウエイトは解除されます。サンプリングされたビジィ信号がインアクティブな場合，その次のシリアル・クロックの立ち下がりから，次の8ビット・データの送受信が開始されます。

なお，ビジィ信号はシリアル・クロックとは非同期ですので，スレーブ側がビジィ信号をインアクティブにしても，それがサンプリングされるまでには最大で1クロック近くかかります。また，サンプリングされてからデータ転送が開始されるまでには0.5クロックかかります。

したがって，ウエイトを確実に解除するためには，スレーブ側がビジィ信号を最低1.5クロック間，インアクティブに保持する必要があります。

図17－26にビジィ信号とウエイト解除についてのタイミングを示します。この図では，送受信の開始とともにビジィ信号をアクティブにした場合の例を示しています。

図17－26　ビジィ信号とウエイトの解除（BUSYLV0 = 1のとき）



(b) ビジィ＆ストローブ制御オプション

ストローブ制御は，マスタ・デバイスとスレーブ・デバイスとのデータ送受信の同期をとるための機能です。8ビット送受信終了時に，マスタ・デバイスがSTB0/P145端子からストローブ信号を出力します。これにより，スレーブ・デバイスはデータ送信終了タイミングを知ることができます。したがって，シリアル・クロックにノイズがのってビットずれが発生した場合でも同期がとれ，ビットずれが次のバイト送信に影響しません。

ストローブ制御オプションを使用する場合には，次に示す条件が必要です。

・シリアル動作モード指定レジスタ0（CSIMA0）のビット6（ATE0）をセット（1）
・シリアル・ステータス・レジスタ0（CSIS0）のビット5（STBE0）をセット（1）

通常，ビジィ制御とストローブ制御はハンドシェーク用の信号として同時に使用します。この場合，STB0/P145端子からストローブ信号を出力するとともに，BUSY0/BUZ/INTP7/P141端子をサンプリングし，ビジィ信号が入力されている間，送受信をウエイトさせることができます。

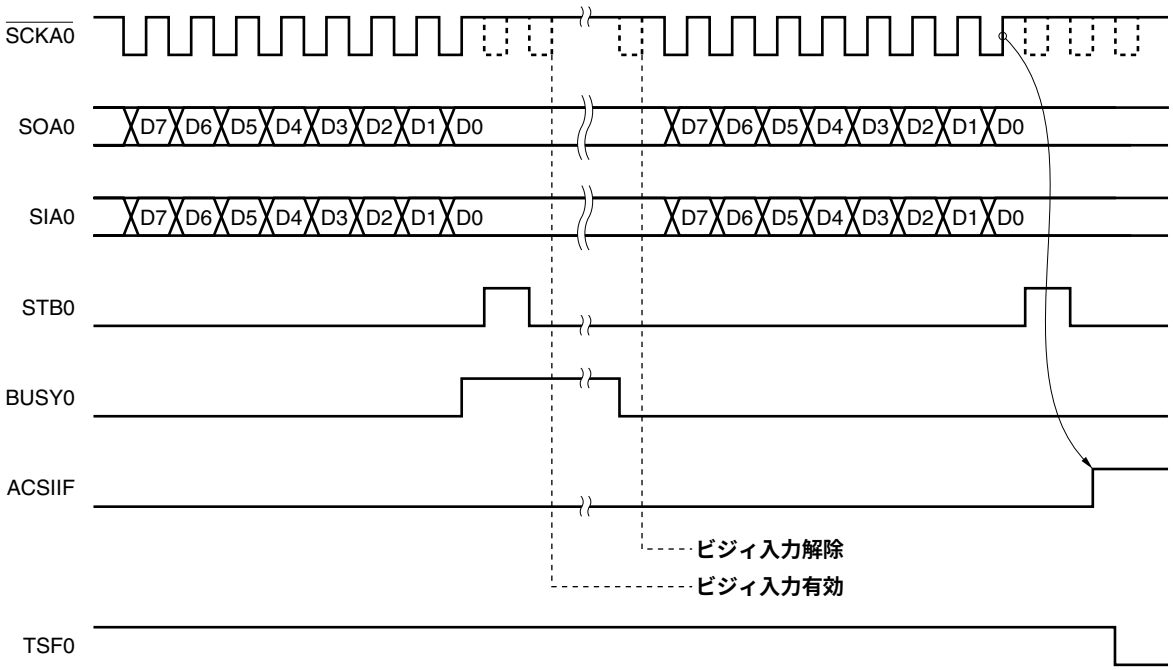
ストローブ信号は，シリアル・クロックの9クロック目の立ち下がりに同期して，STB0/P145端子から1転送クロック分ハイ・レベルが出力されます。ビジィ信号は，8ビット・データの送受信が終了してから2クロック後のシリアル・クロックの立ち上がり時に検出されます。

ストローブ制御を行わない場合，P145/STB0端子は通常の入出力ポートとして使用できます。

ビジィ＆ストローブ制御を使用したときの動作タイミングを図17－27に示します。

なお，ストローブ制御を使用した場合，送受信完了時にセットされる割り込み要求フラグ（ACSIIF）は，ストローブ信号の出力後にセットされます。

図17－27　ビジィ＆ストローブ制御オプションを使用したときの動作タイミング（BUSYLV0 = 1のとき）



注意　TSF0がクリアされると，SOA0端子はロウ・レベルになります。

備考　ACSIIF：割り込み要求フラグ
TSF0　：シリアル・ステータス・レジスタ0（CSIS0）のビット0

(c) ビジィ信号によるビットずれ検出機能

自動送受信動作中，マスタ・デバイスの出力するシリアル・クロック信号にノイズがのり，スレーブ・デバイス側のシリアル・クロックでビットずれが発生する場合があります。このとき，ストローブ制御オプションを使用していないと，ビットずれが次のバイト送信に影響してしまいます。このような場合，マスタ側はビジィ制御オプションを使用して送信中にビジィ信号をチェックすることにより，ビットずれを検出できます。

ビジィ信号によるビットずれは，次のように検出します。

スレーブ側は，データ送受信の8回目のシリアル・クロックの立ち上がりのあとにビジィ信号を出力します（このとき，ビジィ信号によるウエイトをかけたくない場合には，2クロック以内にビジィ信号をインアクティブにします）。

マスタ側は，シリアル・ステータス・レジスタ0（CSIS0）のビット2（ERRE0）に1を設定すると，シリアル・クロックの立ち下がりに同期してビジィ信号をサンプリングします。ビットずれが発生していなければ，8回のサンプリングはすべてインアクティブになります。サンプリングして，アクティブであればビットずれが発生したとみなし，エラー処理（シリアル・ステータス・レジスタ0（CSIS0）のビット1（ERRF0）を1にセットし，通信を中断して割り込み要求信号（INTACSI）を出力）を行います。

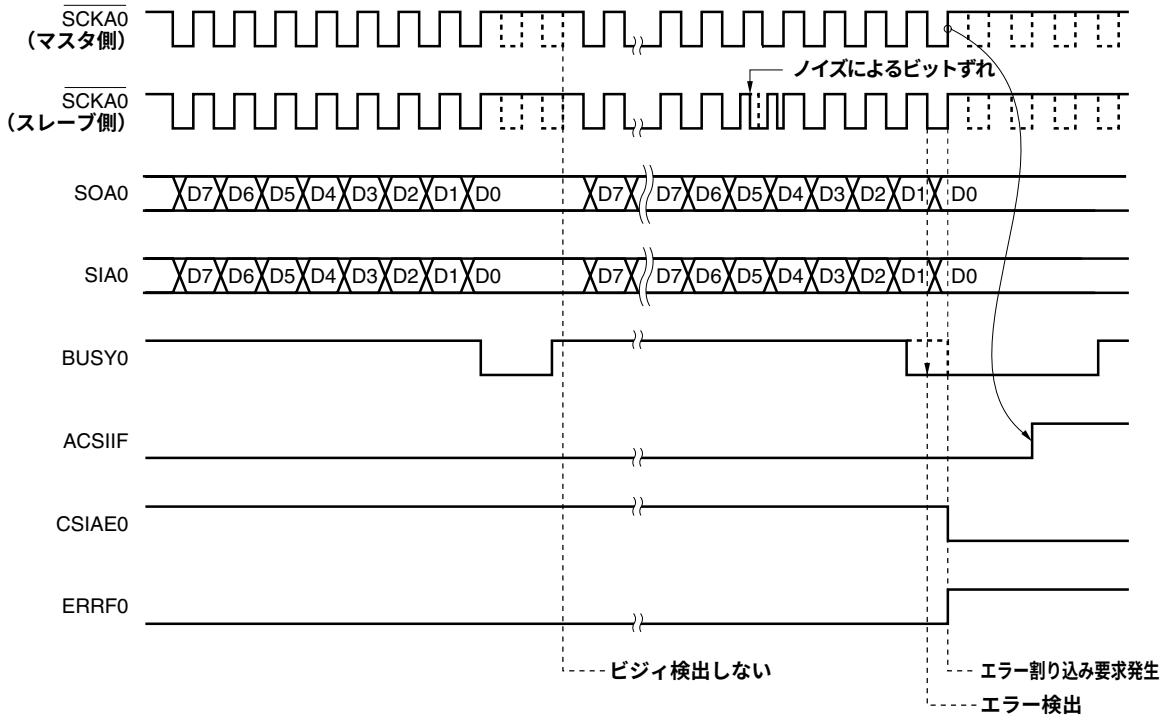
1バイトのデータ通信まで実行されてから通信は中断されますが，スレーブ信号の出力，ビジィ信号によるウエイト，ADTI0指定のインターバル時間によるウエイトは実行されずに終了します。

ERRE0 = 0の場合，ビットずれを起こしてもERRF0 = 1になることはありません。

ビジィ信号によるビットずれ検出機能の動作タイミングを図17－28に示します。

備考　ビット・エラー機能はマスタ・モード，スレーブ・モードのいずれにも有効です。また，ERRE0の設定はBUSYE0 = 0の場合も有効です。

図17－28　ビジィ信号によるビットずれ検出機能の動作タイミング（BUSYLV0 = 0のとき）



ACSIIF　：割り込み要求フラグ

CSIAE0：シリアル動作モード指定レジスタ0（CSIMA0）のビット7

ERRF0　：シリアル・ステータス・レジスタ0（CSIS0）のビット1

(5) 自動送受信のインターバル時間

自動送受信機能を使用する場合，1バイト送受信後，内部バッファRAMからの書き込み／読み出しを行うため，次の送受信までの期間にインターバル時間が入ります。

自動送受信機能を内部クロックで動作させる場合，CPU処理と並行してバッファRAMとの書き込み／読み出しを行うため，インターバル時間は，自動データ転送間隔指定レジスタ0（ADTI0）とシリアル・ステータス・レジスタ0（CSIS0）のビット5（STBE0），ビット4（BUSYE0）の設定値に依存します。ADTI0に00Hを設定したとき，ＳＴＢＥ０，ＢＵＳＹＥ０の設定によるインターバル時間が発生します。たとえば，ADTI0 = 00H, STBE0 = BUSYE0 = 1の場合は，2クロック分のインターバル時間が発生します。ADTI0で2クロック分以上のインターバル時間を設定した場合は，STBE0, BUSYE0の設定にかかわらず，ADTI0で設定したインターバル時間が発生します。

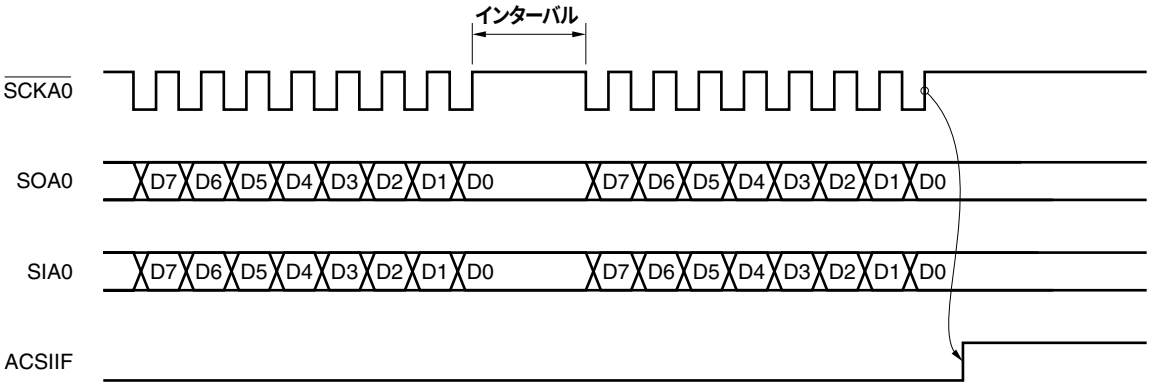
例　ビジィ信号が発生していないときのインターバル時間

① STBE0 = 1, BUSYE0 = 0の場合　シリアル・クロックの2クロック分のインターバル時間発生

② STBE0 = 0, BUSYE0 = 1の場合　シリアル・クロックの1クロック分のインターバル時間発生

③ STBE0 = 1, BUSYE0 = 1の場合　シリアル・クロックの2クロック分のインターバル時間発生

図17－29　自動送受信のインターバル時間



ACSIIF：割り込み要求フラグ

第18章　乗除算器

18. 1　乗除算器の機能

乗除算器には，次のような機能を持ちます。

- 16ビット×16ビット = 32ビット（乗算）
- 32ビット÷16ビット = 32ビット　剰余16ビット（除算）

18. 2　乗除算器の構成

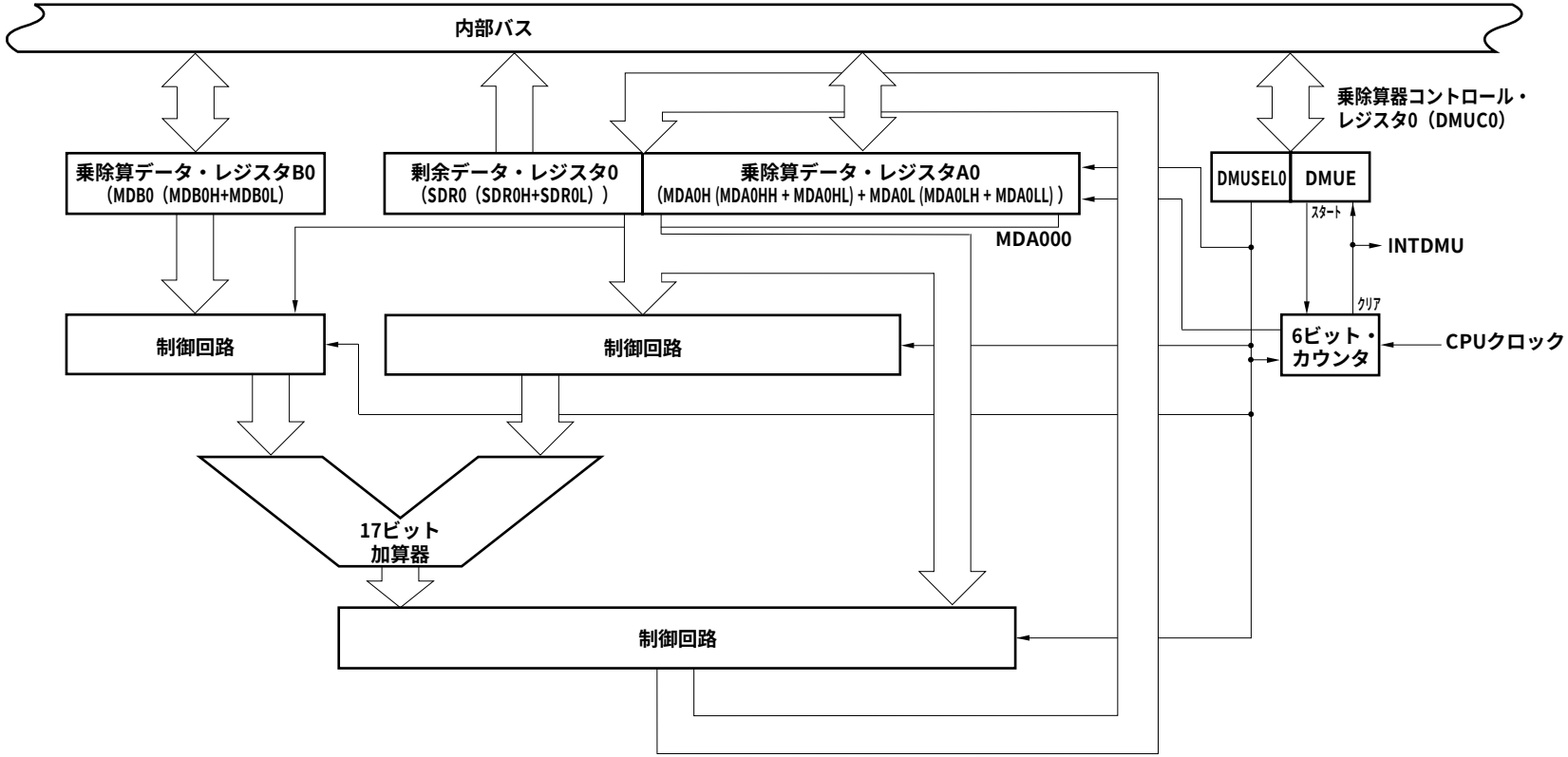
乗除算器は，次のハードウエアで構成されています。

表18－1　乗除算器の構成

項　　目	構　　成
レジスタ	剰余データ・レジスタ0（SDR0） 乗除算デ―タ・レジスタA0（MDA0H, MDA0L） 乗除算データ・レジスタB0（MDB0）
制御レジスタ	乗除算器コントロール・レジスタ0（DMUC0）

乗除算器のブロック図を図18－1に示します。

図18ー1　乗除算器のブロック図



（1）剰余データ・レジスタ0（SDR0）

SDR0は，剰余データ格納用の16ビット・レジスタです。乗算モード時は“0”を，除算モード時は演算結果の“剰余”を格納します。

SDR0は8ビット・メモリ命令または16ビット・メモリ命令で読み出せます。

$\overline{\text{RESET}}$入力により，0000Hになります。

図18－2　剰余データ・レジスタ0（SDR0）のフォーマット

アドレス：FF60H, FF61H　リセット時：0000H　R

略号	FF61H（SDR0H）								FF60H（SDR0L）							
SDR0	SDR 015	SDR 014	SDR 013	SDR 012	SDR 011	SDR 010	SDR 009	SDR 008	SDR 007	SDR 006	SDR 005	SDR 004	SDR 003	SDR 002	SDR 001	SDR 000

注意1．演算処理中（乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1のとき）にSDR0の値を読み出した場合，その値は保証されません。

2．演算開始時（DMUEを1に設定するとき），SDR0はリセットされます。

（2）乗除算データ・レジスタA0（MDA0H, MDA0L）

MDA0は，乗算モード時は16ビットの乗数Aを，除算モード時は32ビットの被除数を設定し，32ビットの演算結果を格納するレジスタです（上位16ビット：MDA0H，下位16ビット：MDA0L）。

図18ー3　乗除算データ・レジスタA0（MDA0H, MDA0L）のフォーマット

アドレス：FF62H, FF63H, FF64H, FF65H　リセット時：0000H, 0000H　R/W

略号	FF65H（MDA0HH）								FF64H（MDA0HL）							
MDA0H	MDA 031	MDA 030	MDA 029	MDA 028	MDA 027	MDA 026	MDA 025	MDA 024	MDA 023	MDA 022	MDA 021	MDA 020	MDA 019	MDA 018	MDA 017	MDA 016

略号	FF63H（MDA0LH）								FF62H（MDA0LL）							
MDA0L	MDA 015	MDA 014	MDA 013	MDA 012	MDA 011	MDA 010	MDA 009	MDA 008	MDA 007	MDA 006	MDA 005	MDA 004	MDA 003	MDA 002	MDA 001	MDA 000

注意1．乗算モードでの演算開始時（乗除算器コントロール・レジスタ0（DMUC0）を81Hに設定するとき），MDA0Hはクリア（0）されます。

2．演算処理中（乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1のとき）に，MDA0の値を書き換えないでください。この場合でも演算は実施しますが，演算結果は不定となります。

3．演算処理中（DMUEが1のとき）にMDA0の値を読み出した場合，その値は保証しません。

MDA0の演算実行時の機能を次に示します。

表18－2　MDA0の演算実行時の機能

DMUSEL0	演算モード	設定	演算結果
0	除算モード	被除数	除算結果（商）
1	乗算モード	上位16ビット：“0”，下位16ビット：乗数A	乗算結果（積）

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

＜乗数A＞　　＜乗数B＞　　＜積＞

MDA0（ビット15-0）×MDB0（ビット15-0）= MDA0（ビット31-0）

・除算時のレジスタ構成

＜被除数＞　　＜除数＞　　＜商＞　　＜剰余＞

MDA0（ビット31-0）÷MDB0（ビット15-0）= MDA0（ビット31-0）…SDR0（ビット15-0）

MDA0は乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1に設定されている間，クロック入力と同時に計算結果をフェッチします。

MDA0H, MDA0Lは8ビット・メモリ命令または16ビット・メモリ命令で設定します。

$\overline{\text{RESET}}$入力により，0000Hになります。

(3) 乗除算データ・レジスタB0（MDB0）

MDB0は，乗算モード時は16ビットの乗数Bを，除算モード時は16ビットの除数を格納するレジスタです。

MDB0は8ビット・メモリ命令または16ビット・メモリ命令で設定します。

$\overline{\text{RESET}}$入力により，0000Hになります。

図18－4　乗除算データ・レジスタB0（MDB0）のフォーマット

アドレス：FF66H, FF67H　リセット時：0000H　R/W

略号	FF67H（MDB0H）								FF66H（MDB0L）							
MDB0	MDB 015	MDB 014	MDB 013	MDB 012	MDB 011	MDB 010	MDB 009	MDB 008	MDB 007	MDB 006	MDB 005	MDB 004	MDB 003	MDB 002	MDB 001	MDB 000

注意1．演算処理中（乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1のとき）に，MDB0の値を書き換えないでください。この場合でも演算は実施しますが，演算結果は不定となります。

2．除算モード時は，MDB0に0000Hを設定しないでください。設定した場合，演算結果が不定値となってMDA0, SDR0に格納します。

18. 3　乗除算器を制御するレジスタ

乗除算器は，乗除算器コントロール・レジスタ0（DMUC0）で制御します。

（1）乗除算器コントロール・レジスタ0（DMUC0）

DMUC0は，乗除算器の動作を制御する8ビット・レジスタです。

DMUC0は1ビット・メモリ命令または8ビット・メモリ命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図18－5　乗除算器コントロール・レジスタ0（DMUC0）のフォーマット

アドレス：FF68H　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DMUC0	DMUE	0	0	0	0	0	0	DMUSEL0

DMUE注	演算動作の開始／停止
0	演算動作停止
1	演算動作開始

DMUSEL0	演算モード（乗算／除算）の選択
0	除算モード
1	乗算モード

注　DMUEをセット（1）すると，演算動作を開始します。演算終了後は自動的にDMUEがクリア（0）されます。

注意1．演算処理中（DMUEが1のとき）にDMUEを0に設定した場合には，演算結果は保証されません。ただしクリア命令中に演算が終了した場合には，割り込みフラグがセットされ，演算結果は保証されます。

2．演算処理中（DMUEが1のとき）に，DMUSEL0を書き換えないでください。書き換えた場合，演算結果が不定値となって乗除算データ・レジスタA0（MDA0），剰余データ・レジスタ0（SDR0）に格納されます。

3．演算処理中（DMUEが1のとき）にDMUEを0に設定すると，演算処理は停止します。再度演算処理を行う場合は乗除算データ・レジスタA0（MDA0），乗除算データ・レジスタB0（MDB0），乗除算器コントロール・レジスタ0（DMUC0）を設定し，演算動作を開始（DMUE = 1）してください。

18. 4　乗除算器の動作

18. 4. 1　乗算動作

・初期設定

1．乗除算データ・レジスタA0L（MDA0L）と乗除算データ・レジスタB0（MDB0）に演算データを設定してください。

2．乗除算器コントロール・レジスタ0（DMUC0）のビット0（DMUSEL0）とビット7（DMUE）にそれぞれ1を設定してください。演算動作が開始します。

・演算処理中

3．演算開始から内部クロックの16クロックで演算は終了します（演算処理中にMDA0Lレジスタ，MDA0Hレジスタに格納されるデータは演算途中データであるため，リード値は保証しません）。

・演算終了

4．MDA0Lレジスタ，MDA0Hレジスタに，演算結果データが格納されます。

5．DMUE がクリア（0）されます（演算終了）。

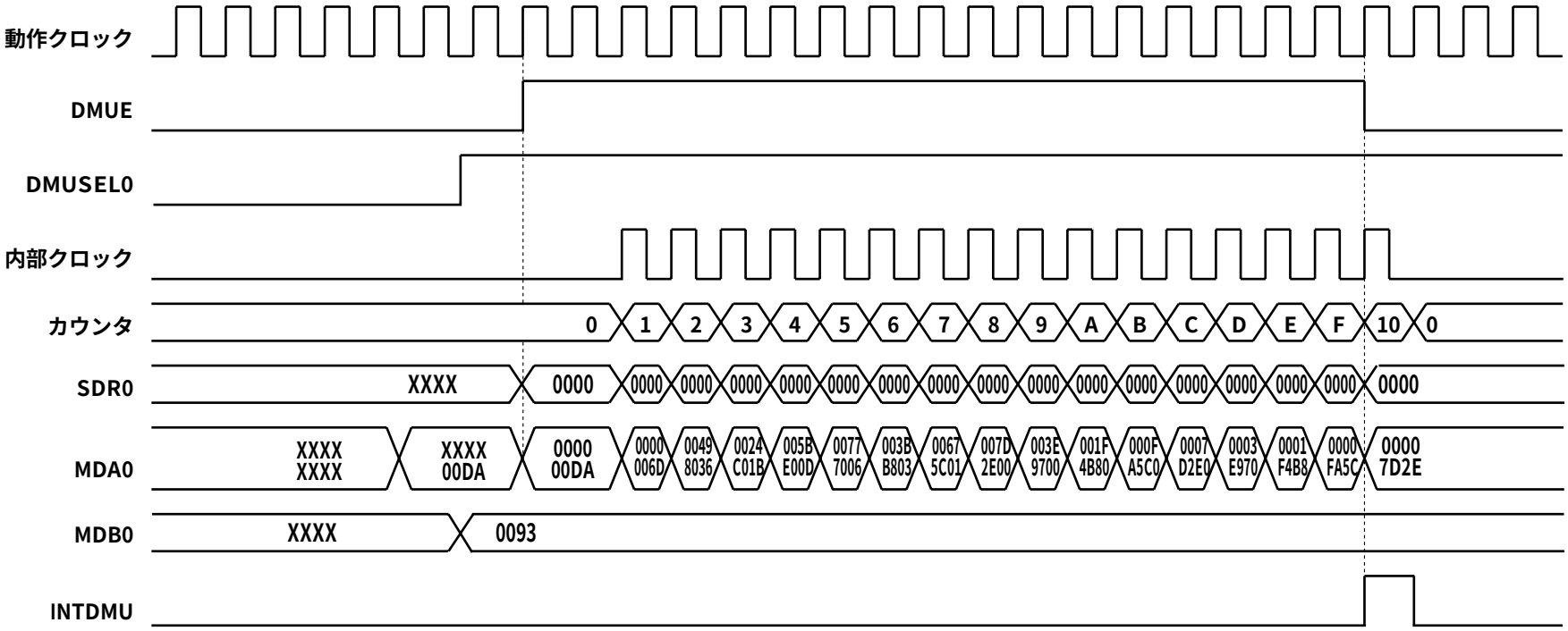
6．演算終了後，割り込み要求信号（INTDMU）が発生されます。

・次回演算

7．次に乗算を行う場合は，18. 4. 1　乗算動作の初期設定から行ってください。

8．次に除算を行う場合は，18. 4. 2　除算動作の初期設定から行ってください。

図18－6　乗算動作のタイミング図（00DAH×0093H）



18. 4. 2　除算動作

・初期設定

1．乗除算データ・レジスタA0（MDA0L, MDA0H），乗除算データ・レジスタB0（MDB0）に演算データを設定してください。

2．乗除算コントロール・レジスタ0（DMUC0）のビット0（DMUSEL0）に0，ビット7（DMUE）に1を設定してください。演算動作が開始します。

・演算処理中

3．演算開始から内部クロックの32クロックで演算は終了します（演算処理中にMDA0Lレジスタ，MDA0Hレジスタ，剰余データ・レジスタ0（SDR0）に格納されるデータは演算途中データであるため，リード値は保証しません）。

・演算終了

4．MDA0Lレジスタ，MDA0Hレジスタ，SDR0レジスタに，演算結果データが格納されます。

5．DMUE がクリア（0）されます（演算終了）。

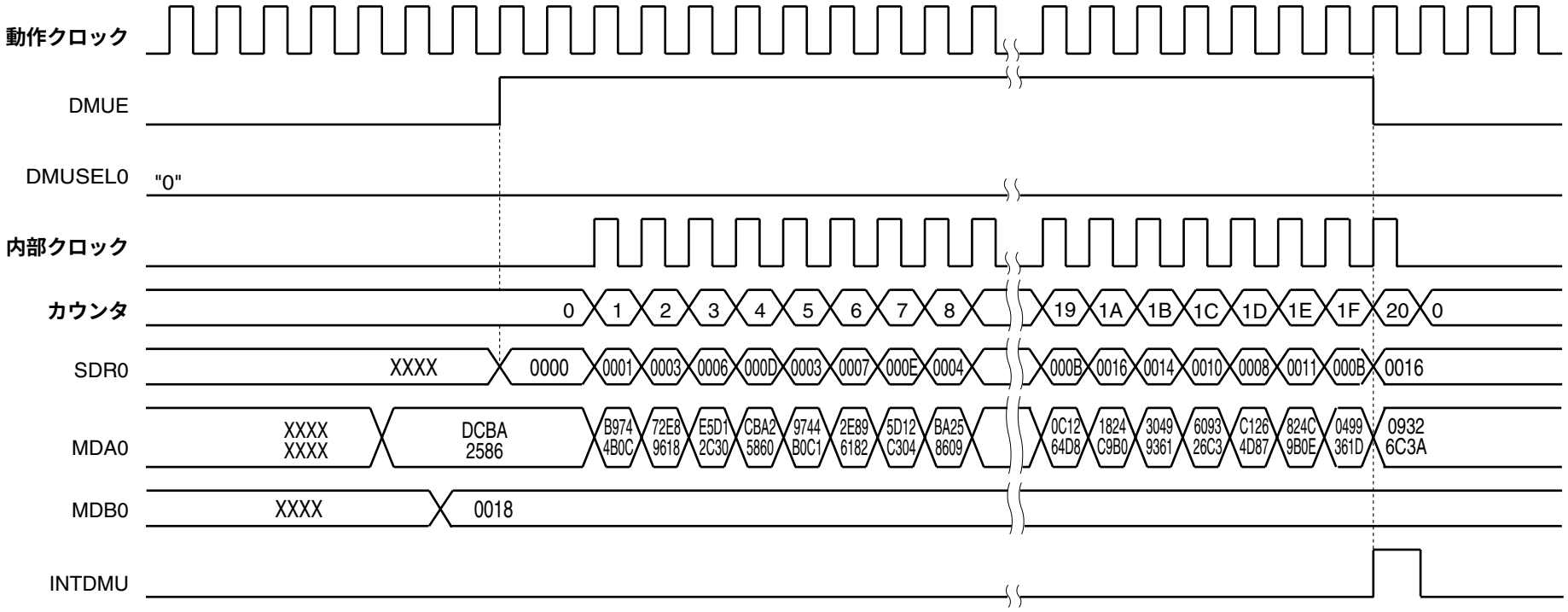
6．演算終了後，割り込み要求信号（INTDMU）が発生されます。

・次回演算

7．次に乗算を行う場合は，18. 4. 1　乗算動作の初期設定から行ってください。

8．次に除算を行う場合は，18. 4. 2　除算動作の初期設定から行ってください。

図18－7　**除算動作のタイミング図**（DCBA2586H÷0018H）



第19章　割り込み機能

19. 1　割り込み機能の種類

割り込み機能には，次の2種類があります。

（1）マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR0L, PR0H, PR1L, PR1H）の設定により，割り込み優先順位を高い優先順位のグループと低い優先順位のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときの優先順位が決められています（表19ー1参照）。

スタンバイ・リリース信号を発生し，STOPモード，HALTモードを解除します。

マスカブル割り込みには，外部割り込み要求が9要因，内部割り込み要求が20要因あります。

（2）ソフトウエア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

19. 2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウエア割り込みをあわせて，合計30要因あります（表19ー1参照）。

表19－1　割り込み要因一覧（1/2）

割り込みの種類	ディフォールト・プライオリティ注1	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2
		名　称	トリガ			
マスカブル	0	INTLVI	低電圧検出注3	内部	0004H	(A)
	1	INTP0	端子入力エッジ検出	外部	0006H	(B)
	2	INTP1			0008H	
	3	INTP2			000AH	
	4	INTP3			000CH	
	5	INTP4			000EH	
	6	INTP5			0010H	
	7	INTSRE6	UART6の受信エラー発生	内部	0012H	(A)
	8	INTSR6	UART6の受信完了		0014H	
	9	INTST6	UART6の送信完了		0016H	
	10	INTCSI10/INTST0	CSI10の通信完了/UART0の送信完了		0018H	
	11	INTTMH1	TMH1とCMP01の一致（コンペア・レジスタ指定時）		001AH	
	12	INTTMH0	TMH0とCMP00の一致（コンペア・レジスタ指定時）		001CH	
	13	INTTM50	TM50とCR50の一致（コンペア・レジスタ指定時）		001EH	
	14	INTTM000	TM00とCR000の一致（コンペア・レジスタ指定時），TI010端子の有効エッジ検出（キャプチャ・レジスタ指定時）		0020H	
	15	INTTM010	TM00とCR010の一致（コンペア・レジスタ指定時），TI000端子の有効エッジ検出（キャプチャ・レジスタ指定時）		0022H	
	16	INTAD	A/D変換終了		0024H	
	17	INTSR0	UART0受信完了または受信エラー発生		0026H	
	18	INTWTI	時計用タイマの基準時間間隔信号		0028H	
	19	INTTM51	TM51とCR51の一致（コンペア・レジスタ指定時）		002AH	
	20	INTKR	キー割り込み検出	外部	002CH	(C)
	21	INTWT	時計用タイマのオーバフロー	内部	002EH	(A)
	22	INTP6	端子入力エッジ検出	外部	0030H	(B)
	23	INTP7			0032H	

注1．ディフォールト・プライオリティは，複数のマスカブル割り込みが同時に発生している場合に優先する順位で，0が最高順位，28が最低順位です。

2．基本構成タイプの（A）-（D）は，それぞれ図19－1の（A）-（D）に対応しています。

3．低電圧検出レジスタ（LVIM）のビット1（LVIMD）= 0選択時。

表19－1　割り込み要因一覧（2/2）

割り込みの種類	ディフォールト・プライオリティ注1	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2
		名　称	ト　リ　ガ			
マスカブル	24	INTDMU	乗除算演算終了	内部	0034H	(A)
	25	INTCSI11	CSI11通信完了		0036H	
	26	INTTM001	TM01とCR001の一致（コンペア・レジスタ指定時），TI011端子の有効エッジ検出（キャプチャ・レジスタ指定時）		0038H	
	27	INTTM011	TM01とCR011の一致（コンペア・レジスタ指定時），TI001端子の有効エッジ検出（キャプチャ・レジスタ指定時）		003AH	
	28	INTACSI	CSIA0通信完了		003CH	
ソフトウエア	－	BRK	BRK命令の実行	－	003EH	(D)
リセット	－	RESET	リセット入力	－	0000H	－
		POC	パワーオン・クリア			
		LVI	低電圧検出注3			
		クロック・モニタ	高速システム・クロック発振停止検出			
		WDT	WDTのオーバフロー			

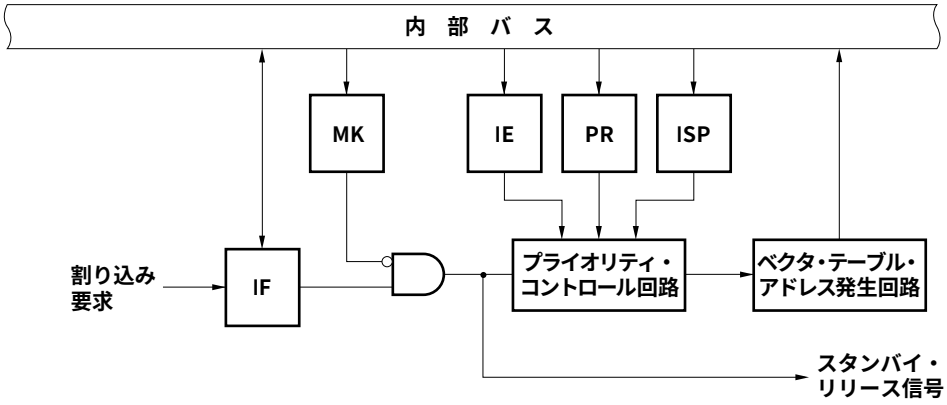
注1．ディフォールト・プライオリティは，複数のマスカブル割り込みが同時に発生している場合に優先する順位で，0が最高順位，28が最低順位です。

2．基本構成タイプの（A）-（D）は，それぞれ図19－1の（A）-（D）に対応しています。

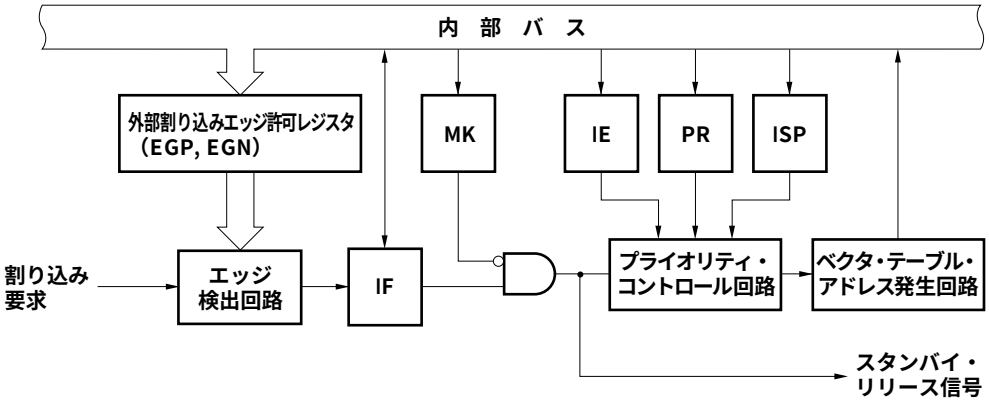
3．低電圧検出レジスタ（LVIM）のビット1（LVIMD）= 1選択時。

図19ー1　割り込み機能の基本構成（1/2）

（A）内部マスカブル割り込み



（B）外部マスカブル割り込み（INTP0-INTP7**）**



IF　：割り込み要求フラグ

IE　：割り込み許可フラグ

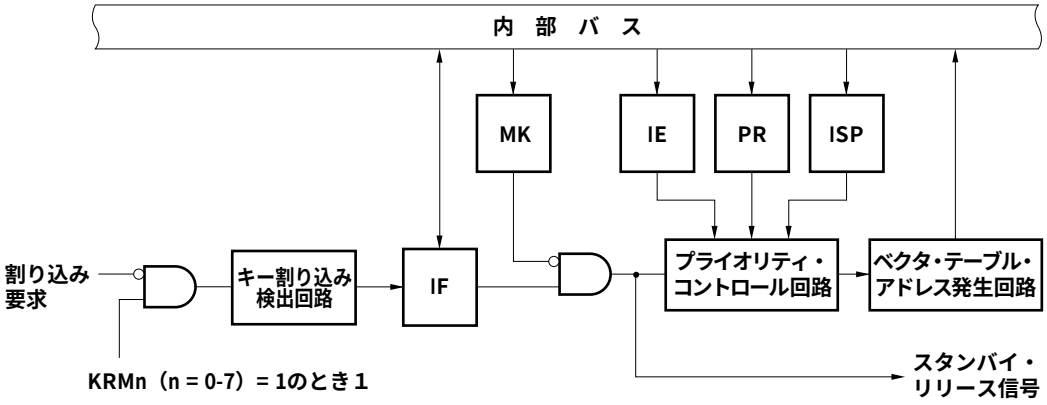
ISP：インサービス・プライオリティ・フラグ

MK：割り込みマスク・フラグ

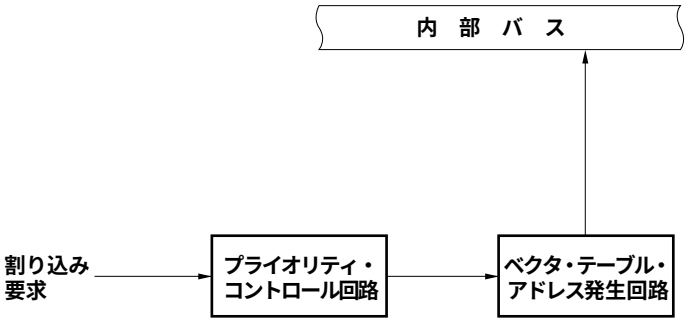
PR：優先順位指定フラグ

図19ー1　割り込み機能の基本構成（2/2）

（C）外部マスカブル割り込み（INTKR）



（D）ソフトウエア割り込み



IF　　：割り込み要求フラグ

IE　　：割り込み許可フラグ

ISP　：インサービス・プライオリティ・フラグ

MK　：割り込みマスク・フラグ

PR　：優先順位指定フラグ

KRM　：キー・リターン・モード・レジスタ

19. 3　割り込み機能を制御するレジスタ

割り込み機能は，次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H）
- 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）
- 優先順位指定フラグ・レジスタ（PR0L, PR0H, PR1L, PR1H）
- 外部割り込み立ち上がりエッジ許可レジスタ（EGP）
- 外部割り込み立ち下がりエッジ許可レジスタ（EGN）
- プログラム・ステータス・ワード（PSW）

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を表19－2に示します。

表19ー2　割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTLVI	LVIIF	IF0L	LVIMK	MK0L	LVIPR	PR0L
INTP0	PIF0		PMK0		PPR0	
INTP1	PIF1		PMK1		PPR1	
INTP2	PIF2		PMK2		PPR2	
INTP3	PIF3		PMK3		PPR3	
INTP4	PIF4		PMK4		PPR4	
INTP5	PIF5		PMK5		PPR5	
INTSRE6	SREIF6		SREMK6		SREPR6	
INTSR6	SRIF6	IF0H	SRMK6	MK0H	SRPR6	PR0H
INTST6	STIF6		STMK6		STPR6	
INTCSI10	DUALIF0[注1]		DUALMK0[注2]		DUALPR0[注2]	
INTST0						
INTTMH1	TMIFH1		TMMKH1		TMPRH1	
INTTMH0	TMIFH0		TMMKH0		TMPRH0	
INTTM50	TMIF50		TMMK50		TMPR50	
INTTM000	TMIF000		TMMK000		TMPR000	
INTTM010	TMIF010		TMMK010		TMPR010	
INTAD	ADIF	IF1L	ADMK	MK1L	ADPR	PR1L
INTSR0	SRIF0		SRMK0		SRPR0	
INTWTI	WTIIF		WTIMK		WTIPR	
INTTM51	TMIF51		TMMK51		TMPR51	
INTKR	KRIF		KRMK		KRPR	
INTWT	WTIF		WTMK		WTPR	
INTP6	PIF6		PMK6		PPR6	
INTP7	PIF7		PMK7		PPR7	
INTDMU	DMUIF	IF1H	DMUMK	MK1H	DMUPR	PR1H
INTCSI11	CSIIF11		CSIMK11		CSIPR11	
INTTM001	TMIF001		TMMK001		TMPR001	
INTTM011	TMIF011		TMMK011		TMPR011	
INTACSI	ACSIIF		ACSIMK		ACSIPR	

注1．2種類の割り込み要因のうち，どちらかが発生したらセット（1）されます。

2．2種類の割り込み要因の両方に対応しています。

(1) 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H）

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット（1）され，割り込み要求受け付け時，$\overline{\text{RESET}}$入力時，命令の実行によりクリア（0）されるフラグです。

割り込みが受け付けられた場合，まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1Hは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，IF0LとIF0H, IF1LとIF1Hをあわせて16ビット・レジスタIF0, IF1として使用するときは，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図19－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H）のフォーマット

アドレス：FFE0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0L	SREIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF

アドレス：FFE1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF0H	TMIF010	TMIF000	TMIF50	TMIFH0	TMIFH1	DUALIF0	STIF6	SRIF6

アドレス：FFE2H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF1L	PIF7	PIF6	WTIF	KRIF	TMIF51	WTIIF	SRIF0	ADIF

アドレス：FFE3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	0	ACSIIF	TMIF011	TMIF001	CSIIF11	DMUIF

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し，割り込み要求状態

注意1．IF1Hのビット5-7には，必ず0を設定してください。

2．タイマ，シリアル・インタフェース，A/Dコンバータなどをスタンバイ解除後に動作させる場合，いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

注意3．割り込み要求フラグ・レジスタのフラグ操作には，1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は，コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため，「IF0L.0 = 0;」や「_asm("clr1 IF0L, 0");」のようなビット操作命令を使用してください。
なお，C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合，コンパイルすると3命令のアセンブラになります。

```
mov    a, IF0L
and    a, #0FEH
mov    IF0L, a
```

この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても，「mov IF0L, a」でクリア（0）されます。したがって，C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) **割り込みマスク・フラグ・レジスタ**（MK0L, MK0H, MK1L, MK1H）

割り込みマスク・フラグは，対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1Hは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，MK0LとMK0H, MK1LとMK1Hをあわせて16ビット・レジスタMK0, MK1として使用するときは，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，MK0L, MK0H, MK1LはFFHに，MK1HはDFHになります。

図19－3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H）のフォーマット

アドレス：FFE4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0L	SREMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

アドレス：FFE5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0H	TMMK010	TMMK000	TMMK50	TMMKH0	TMMKH1	DUALMK0	STMK6	SRMK6

アドレス：FFE6H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1L	PMK7	PMK6	WTMK	KRMK	TMMK51	WTIMK	SRMK0	ADMK

アドレス：FFE7H　リセット時：DFH　R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	0	ACSIMK	TMMK011	TMMK001	CSIMK11	DMUMK

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意　MK1Hのビット6, 7には必ず1を，ビット5には必ず0を設定してください。

（3）**優先順位指定フラグ・レジスタ**（PR0L, PR0H, PR1L, PR1H）

優先順位指定フラグは，対応するマスカブル割り込みの優先順位を設定するフラグです。

PR0L, PR0H, PR1L, PR1Hは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，PR0LとPR0H, PR1LとPR1Hをあわせて16ビット・レジスタPR0, PR1として使用するときは，16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，FFHになります。

図19－4　優先順位指定フラグ・レジスタ（PR0L, PR0H, PR1L, PR1H）のフォーマット

アドレス：FFE8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR0L	SREPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	LVIPR

アドレス：FFE9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR0H	TMPR010	TMPR000	TMPR50	TMPRH0	TMPRH1	DUALPR0	STPR6	SRPR6

アドレス：FFEAH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR1L	PPR7	PPR6	WTPR	KRPR	TMPR51	WTIPR	SRPR0	ADPR

アドレス：FFEBH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR1H	1	1	1	ACSIPR	TMPR011	TMPR001	CSIPR11	DMUPR

XXPRX	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

注意　PR1Hのビット5-7には，必ず1を設定してください。

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP)，外部割り込み立ち下がりエッジ許可レジスタ (EGN)

INTP0-INTP7の有効エッジを設定するレジスタです。

EGP, EGNは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図19－5　外部割り込み立ち上がりエッジ許可レジスタ（EGP），外部割り込み立ち下がりエッジ許可レジスタ（EGN）のフォーマット

アドレス：FF48H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FF49H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択（n = 0-7）
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

EGPnとEGNnに対応するポートを表19－3に示します。

表19－3　EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120	INTP0
EGP1	EGN1	P30	INTP1
EGP2	EGN2	P31	INTP2
EGP3	EGN3	P32	INTP3
EGP4	EGN4	P33	INTP4
EGP5	EGN5	P16	INTP5
EGP6	EGN6	P140	INTP6
EGP7	EGN7	P141	INTP7

注意　外部割り込み機能からポート機能に切り替える場合に，エッジ検出を行う可能性があるため，EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考　n = 0-7

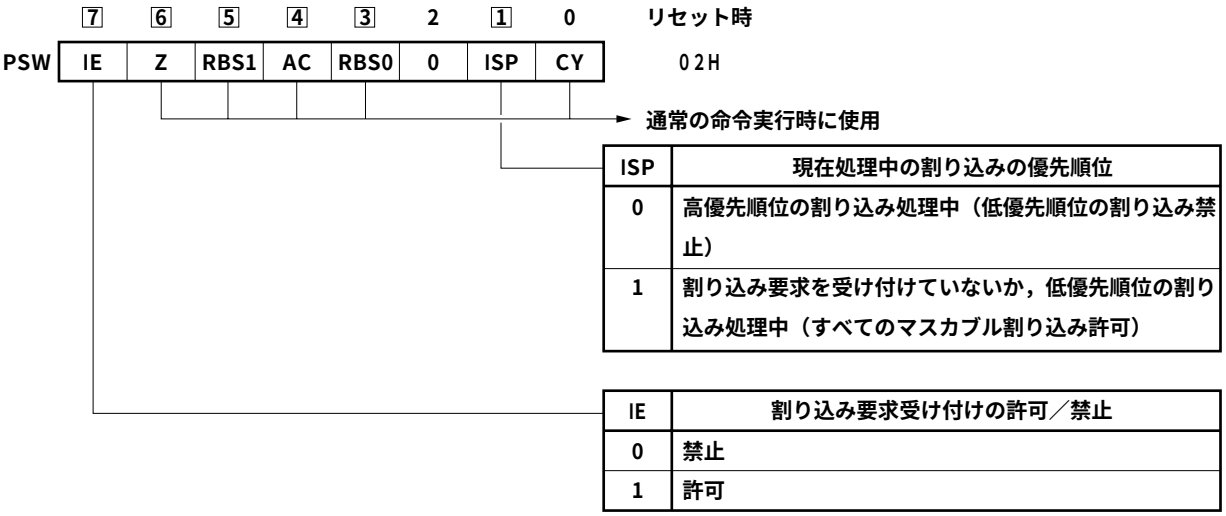
(5) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISPフラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI, DI）により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK命令実行時には，PSWの内容は自動的にスタックに退避され，IEフラグはリセット（0）されます。また，マスカブル割り込み要求受け付け時には，受け付けた割り込みの優先順位指定フラグの内容がISPフラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により，スタックから復帰します。

$\overline{\text{RESET}}$入力により，PSWは02Hとなります。

図19－6　プログラム・ステータス・ワードの構成



19. 4　割り込み処理動作

19. 4. 1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット（1）され，その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は，割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中（ISPフラグがリセット（0）されているとき）に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してから割り込み処理が行われるまでの時間は表19ー4のようになります。

割り込み要求の受け付けタイミングについては，図19ー8, 19ー9を参照してください。

表19ー4　マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間[注]
××PR = 0のとき	7クロック	32クロック
××PR = 1のとき	8クロック	33クロック

注　除算命令の直前に割り込み要求が発生したとき，ウエイトする時間が最大となります。

備考　1クロック：1/f_{CPU}（f_{CPU}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，ディフォールト優先順位の高い割り込みから受け付けられます。

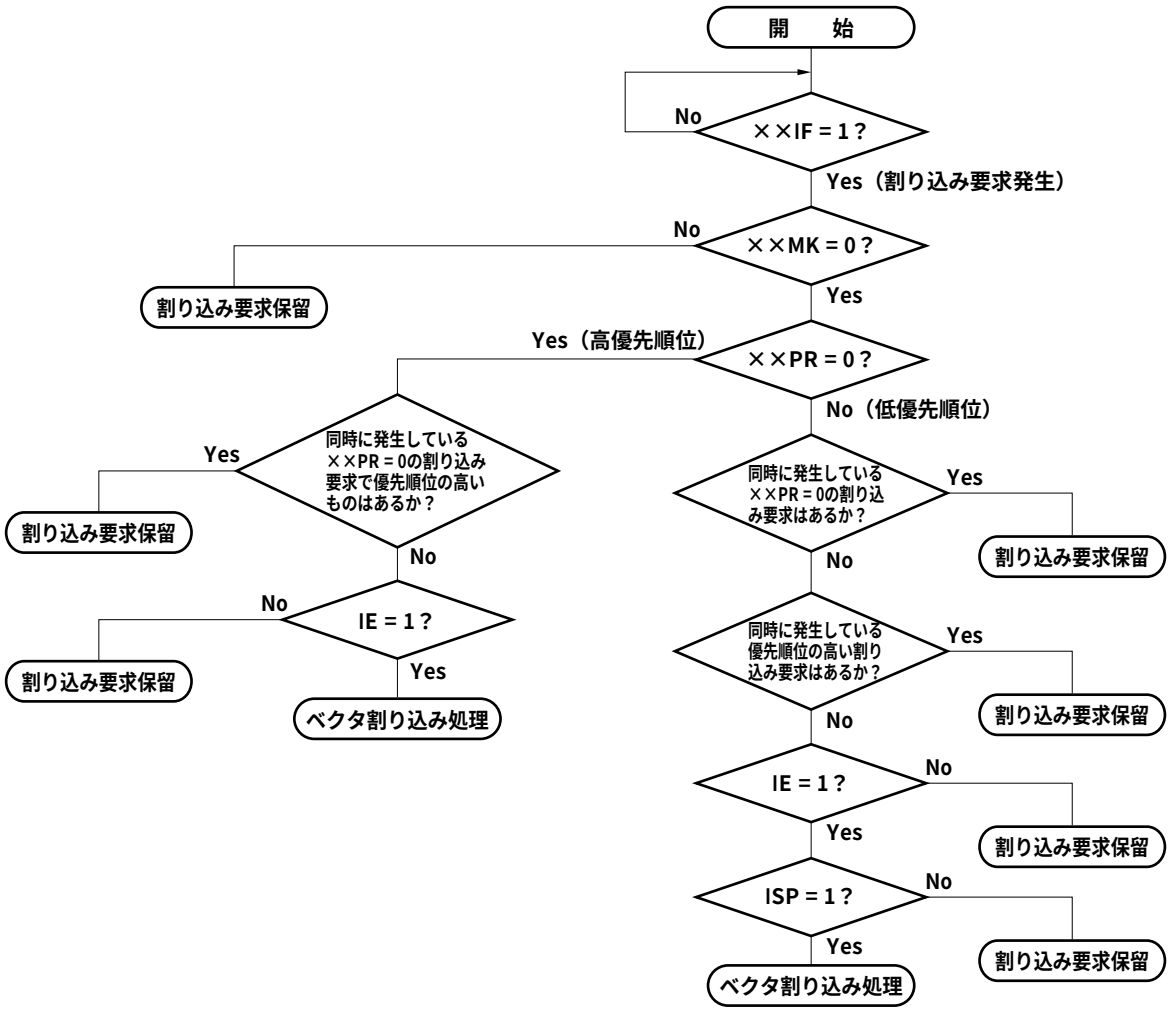
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図19－7に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，受け付けた割り込みの優先順位指定フラグの内容をISPフラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。

RETI命令によって，割り込みから復帰できます。

図19－7　割り込み要求受け付け処理アルゴリズム



××IF　：割り込み要求フラグ

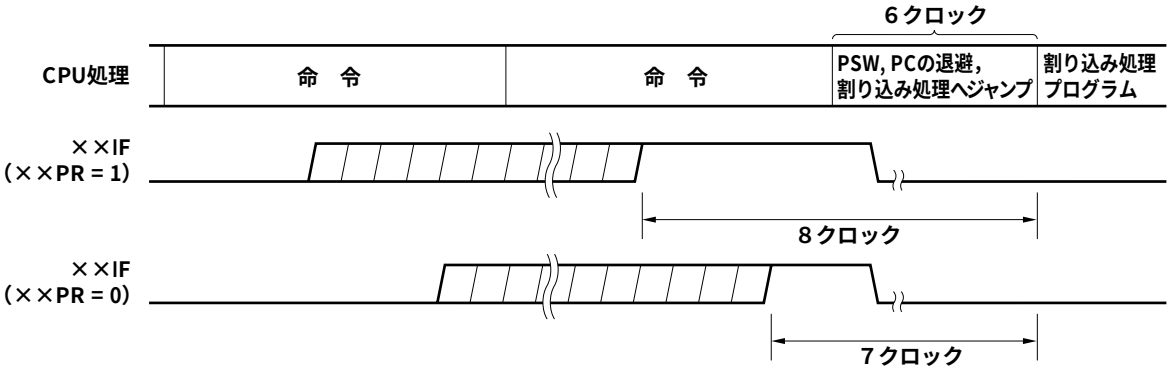
××MK：割り込みマスク・フラグ

××PR：優先順位指定フラグ

IE　　：マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可，0 = 禁止）

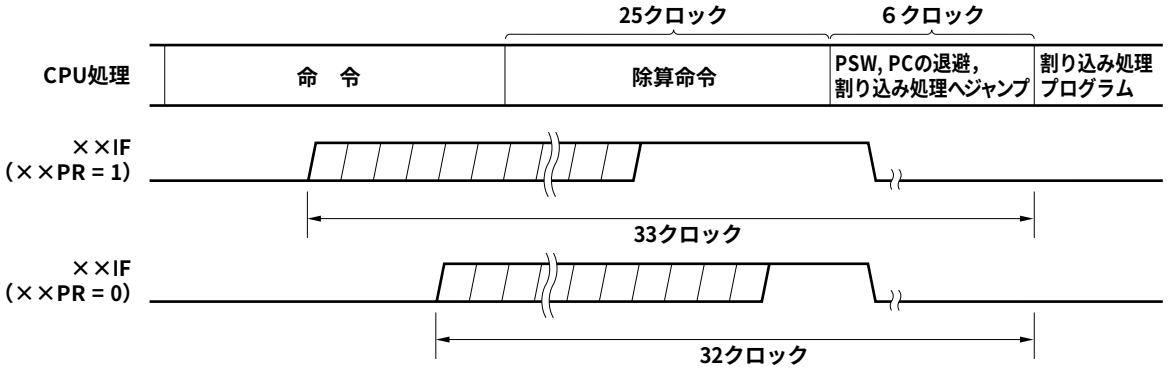
ISP　　：現在処理中の割り込みの優先順位を示すフラグ（0 = 高優先順位の割り込み処理中，1 = 割り込み要求を受け付けていない，または低優先順位の割り込み処理中）

図19－8　割り込み要求の受け付けタイミング（最小時間）



備考　1クロック：1/f_{CPU}（f_{CPU}：CPUクロック）

図19－9　割り込み要求の受け付けタイミング（最大時間）



備考　1クロック：1/f_{CPU}（f_{CPU}：CPUクロック）

19. 4. 2　ソフトウエア割り込み要求の受け付け動作

ソフトウエア割り込み要求はBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することはできません。

ソフトウエア割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW）,プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，ベクタ・テーブル（003EH, 003FH）の内容をPCにロードして分岐します。

RETB命令によって，ソフトウエア割り込みから復帰できます。

注意　ソフトウエア割り込みからの復帰にRETI命令を使用しないでください。

19. 4. 3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態（IE = 0）になります。したがって，多重割り込みを許可するには，割り込み処理中にEI命令によってIEフラグをセット（1）して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，ディフォールト優先順位とプログラマブル優先順位の2つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みと同レベルか，それよりも高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みより低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表19ー5に多重割り込み可能な割り込み要求の関係を，図19ー10に多重割り込みの例を示します。

表19ー5　割り込み処理中に多重割り込み可能な割り込み要求の関係

処理中の割り込み ＼ 多重割り込み要求		マスカブル割り込み要求				ソフトウエア割り込み要求
		PR = 0		PR = 1		
		IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP = 0	○	×	×	×	○
	ISP = 1	○	×	○	×	○
ソフトウエア割り込み		○	×	○	×	○

備考1．○：多重割り込み可能。

2．×：多重割り込み不可能。

3．ISP, IEはPSWに含まれるフラグです。

ISP = 0：高優先順位の割り込み処理中

ISP = 1：割り込み要求を受け付けていないか，低優先順位の割り込み処理中

IE = 0　：割り込み要求受け付け禁止

IE = 1　：割り込み要求受け付け許可

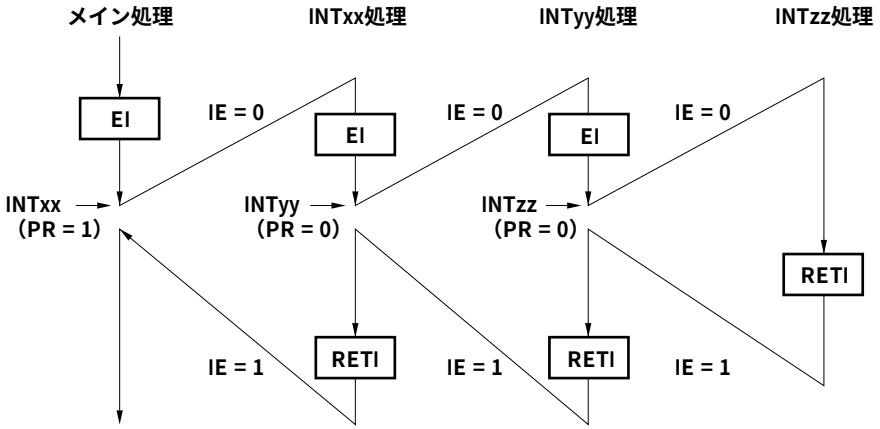
4．PRはPR0L, PR0H, PR1L, PR1Hに含まれるフラグです。

PR = 0：高優先順位レベル

PR = 1：低優先順位レベル

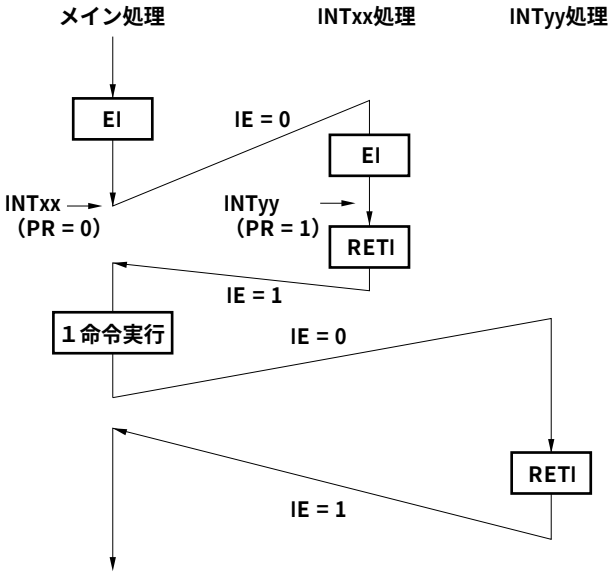
図19－10　多重割り込みの例（1/2）

例1．多重割り込みが2回発生する例



割り込みINTxx処理中に，2つの割り込み要求INTyy, INTzzが受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ずEI命令を発行し，割り込み要求受け付け許可状態になっている。

例2．優先順位制御により，多重割り込みが発生しない例

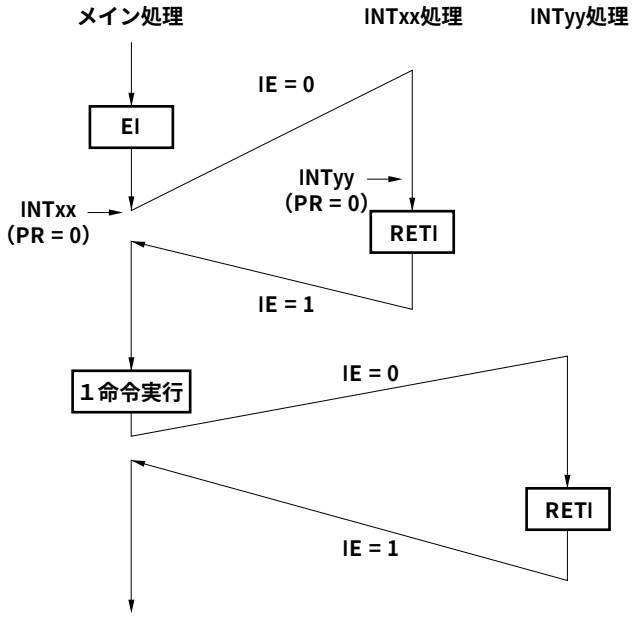


割り込みINTxx処理中に発生した割り込み要求INTyyは，割り込みの優先順位がINTxxより低いため受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 0 ：高優先順位レベル
PR = 1 ：低優先順位レベル
IE = 0 ：割り込み要求受け付け禁止

図19－10　多重割り込みの例（2/2）

例3．割り込みが許可されてないため，多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので，割り込み要求INTyyは受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 0 ：高優先順位レベル
IE = 0 ：割り込み要求受け付け禁止

19. 4. 4　割り込み要求の保留

命令の中には，実行中に割り込み要求が発生しても，次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV A, PSW
- MOV PSW, A
- MOV1 PSW. bit, CY
- MOV1 CY, PSW. bit
- AND1 CY, PSW. bit
- OR1 CY, PSW. bit
- XOR1 CY, PSW. bit
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- PUSH PSW
- POP PSW
- BT PSW. bit, $addr16
- BF PSW. bit, $addr16
- BTCLR PSW. bit, $addr16
- EI
- DI
- IF0L, IF0H, IF1L, IF1H, MK0L, MK0H, MK1L, MK1H, PR0L, PR0H, PR1L, PR1Hの各レジスタに対する操作命令

注意　BRK命令は，上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウエア割り込みでは，IEフラグが0にクリアされます。したがって，BRK命令実行中にマスカブル割り込み要求が発生しても，割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図19ー11に示します。

図19ー11　割り込み要求の保留

備考1．命令N：割り込み要求の保留命令
2．命令M：割り込み要求の保留命令以外の命令
3．××IF（割り込み要求）の動作は，××PR（優先順位レベル）の値の影響を受けません。

第20章　キー割り込み機能

20. 1　キー割り込みの機能

キー・リターン・モード・レジスタ（KRM）の設定により，キー割り込み入力端子（KR0-KR7）に立ち下がりエッジを入力することによって，キー割り込み（INTKR）を発生させることができます。

表20－1　キー割り込み検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

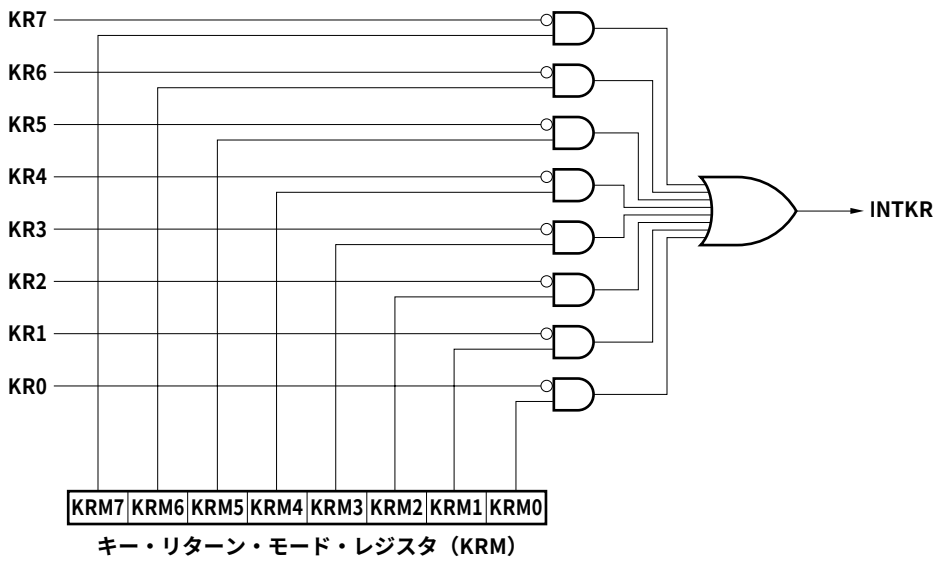
20. 2　キー割り込みの構成

キー割り込みは，次のハードウエアで構成されています。

表20－2　キー割り込みの構成

項　目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ（KRM）

図20－1　キー割り込みのブロック図



20. 3　キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ（KRM）

KRM0-KRM7ビットをそれぞれKR0-KR7信号で制御するレジスタです。

KRMは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により00Hになります。

図20ー2　キー・リターン・モード・レジスタ（KRM）のフォーマット

アドレス：FF6EH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1．KRM0-KRM7のうち使用するビットに1を設定する場合，それに対応するプルアップ抵抗レジスタ7（PU7）のビット0-7（PU70-PU77）に1を設定してください。

2．KRMを変更すると，割り込み要求フラグがセットされる場合があります。したがって，あらかじめ割り込みを禁止してからKRMレジスタを変更し，割り込み要求フラグをクリアしてから，割り込みを許可してください。

3．キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

第21章　スタンバイ機能

21. 1　スタンバイ機能と構成

21. 1. 1　スタンバイ機能

表21－1　各動作状態における動作クロックの関係

<table>
<tr><td rowspan="3">ステータス
動作モード</td><td colspan="2">高速システム・クロック発振回路</td><td colspan="3">内蔵発振回路</td><td rowspan="3">サブシステム・クロック発振回路</td><td rowspan="3">解除後のCPUクロック</td><td colspan="2">周辺へ供給されるプリスケーラのクロック</td></tr>
<tr><td>MSTOP = 0
MCC = 0</td><td>MSTOP = 1
MCC = 1</td><td>注1</td><td colspan="2">注2</td><td colspan="2">MCM0 = 0</td><td>MCM0 = 1</td></tr>
<tr><td></td><td></td><td></td><td>RSTOP = 0</td><td>RSTOP = 1</td></tr>
<tr><td>リセット</td><td colspan="2" rowspan="2">停　止</td><td colspan="3">停　止</td><td rowspan="3">発　振</td><td>内蔵発振クロック</td><td colspan="2">停　止</td></tr>
<tr><td>STOP</td><td rowspan="2">発　振</td><td rowspan="2">発　振</td><td rowspan="2">停　止</td><td>注3</td><td colspan="2">停　止</td></tr>
<tr><td>HALT</td><td>発　振</td><td>停　止</td><td>注4</td><td>内蔵発振クロック</td><td>高速システム・クロック</td></tr>
</table>

注1．オプション・バイトにて内蔵発振器を「停止不可」に選択時

2．オプション・バイトにて内蔵発振器を「ソフトウエアにより停止可能」に選択時

3．STOP命令実行時のCPUクロックにて動作します。

4．HALT命令実行時のCPUクロックにて動作します。

注意　RSTOPの設定は，オプション・バイトにて内蔵発振器を「ソフトウエアにより停止可能」時にのみ有効です。

備考　MSTOP　：メインOSCコントロール・レジスタ（MOC）のビット7

MCC　　：プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7

RSTOP　：内蔵発振モード・レジスタ（RCM）のビット0

MCM0　：メイン・クロック・モード・レジスタ（MCM）のビット0

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路，内蔵発振回路，サブシステム・クロック発振回路が動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロック発振回路を停止させ，システム全体が停止するモードです。CPUの動作電流を，かなり低減することができます。

さらに，割り込み要求によって解除できるため，間欠動作も可能です。ただし，STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

注意1．STOPモードはCPUが高速システム・クロックまたは内蔵発振クロックで動作しているときのみ使用できます。HALTモードはCPUが高速システム・クロック，内蔵発振クロック，サブシステム・クロックのいずれかの動作状態でも使用できます。ただし，内蔵発振クロック動作時にSTOP命令を実行した場合，高速システム・クロック発振回路は停止しますが，内蔵発振回路は停止しません。

2．STOPモードに移行するとき，必ず周辺ハードウエアの動作を停止させたのち，STOP命令を実行してください。

3．A/Dコンバータ部の動作電流を低減させるためには，A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）を0にクリアし，A/D変換動作を停止させてから，HALT命令またはSTOP命令を実行してください。

4．STOPモード設定前に内蔵発振回路が動作している場合，STOPモードでは内蔵発振クロックの発振を停止することはできません。ただしCPUクロックが内蔵発振クロックの場合，STOP動作解除後17/f_R（s）間はCPU動作停止になります。

21. 1. 2　スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタには，次の2種類があります。

- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）

備考　クロックの動作／停止，切り替えを制御するレジスタについては，第6章　クロック発生回路を参照してください。

（1）発振安定時間カウンタ状態レジスタ（OSTC）

高速システム・クロックの発振安定時間カウンタの状態レジスタです。CPUクロックが内蔵発振クロックの場合に，高速システム・クロックの発振安定時間を確認することができます。

OSTCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット解除時（$\overline{\text{RESET}}$入力，POC, LVI，クロック・モニタ，WDTによるリセット），STOP命令，MSTOP（MOCレジスタのビット7）= 1, MCC（PCCレジスタのビット7）= 1のいずれかにより，00Hになります。

図21－1　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFA3H　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
OSTC	0	0	0	MOST11	MOST13	MOST14	MOST15	MOST16

MOST11	MOST13	MOST14	MOST15	MOST16	発振安定時間のステータス		
						f_{XP} = 10 MHz時	f_{XP} = 16 MHz時
1	0	0	0	0	$2^{11}/f_{XP}$以上	204.8 μs以上	128 μs以上
1	1	0	0	0	$2^{13}/f_{XP}$以上	819.2 μs以上	512 μs以上
1	1	1	0	0	$2^{14}/f_{XP}$以上	1.64 ms以上	1.02 ms以上
1	1	1	1	0	$2^{15}/f_{XP}$以上	3.27 ms以上	2.04 ms以上
1	1	1	1	1	$2^{16}/f_{XP}$以上	6.55 ms以上	4.09 ms以上

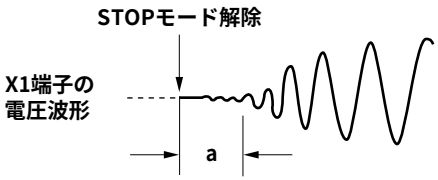
注意1．上記時間経過後，MOST11から順番に“1”となっていき，そのまま“1”を保持します。

2．CPUクロックが内蔵発振クロック時に，STOPモードに入り，解除するときは，発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間

発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

3．STOPモード解除時のウエイト時間は，$\overline{\text{RESET}}$入力による場合も，割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



備考　f_{XP}：高速システム・クロック発振周波数

(2) 発振安定時間選択レジスタ（OSTS）

STOPモード解除時の高速システム・クロックの発振安定ウエイト時間を選択するレジスタです。OSTSで設定するウエイト時間は，CPUクロックに高速システム・クロックを選択したときのSTOPモード解除後のみ有効となります。CPUクロックに内蔵発振クロックを選択したときのSTOPモード解除後は，OSTCにより発振安定時間の確認をしてください。

OSTSは，8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，05Hになります。

図21－2　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFA4H　リセット時：05H　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				f_{XP} = 10 MHz時	f_{XP} = 16 MHz時
0	0	1	$2^{11}/f_{XP}$	204.8 μs	128 μs
0	1	0	$2^{13}/f_{XP}$	819.2 μs	512 μs
0	1	1	$2^{14}/f_{XP}$	1.64 ms	1.02 ms
1	0	0	$2^{15}/f_{XP}$	3.27 ms	2.04 ms
1	0	1	$2^{16}/f_{XP}$	6.55 ms	4.09 ms
上記以外			設定禁止		

注意1．CPUクロックが高速システム・クロック時にSTOPモードへ移行する場合は，STOP命令を実行する前にOSTSを設定してください。

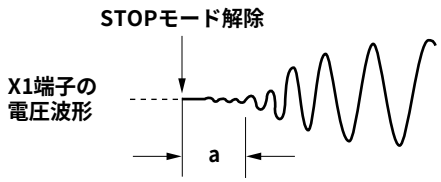
2．OSTSの設定は，OSTCで期待する発振安定時間が経過したことを確認したあとに行ってください。

3．CPUクロックが内蔵発振クロック時に，STOPモードに入り，解除するときは，発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間

発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。

4．STOPモード解除時のウエイト時間は，$\overline{\text{RESET}}$入力による場合も，割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



備考　f_{XP}：高速システム・クロック発振周波数

21. 2　スタンバイ機能の動作

21. 2. 1　HALTモード

(1) HALTモード

HALTモードは，HALT命令の実行により設定されます。設定前のCPUクロックは，高速システム・クロック，内蔵発振クロック，サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表21－2　HALTモード時の動作状態（1/2）

項目 ＼ HALTモードの設定		高速システム・クロックでCPU動作中のHALT命令実行時				内蔵発振クロックでCPU動作中のHALT命令実行時			
		内蔵発振クロック発振継続時		内蔵発振クロック発振停止時[注1]		高速システム・クロック発振継続時		高速システム・クロック発振停止時	
		サブシステム・クロック使用時	サブシステム・クロック未使用時	サブシステム・クロック使用時	サブシステム・クロック未使用時	サブシステム・クロック使用時	サブシステム・クロック未使用時	サブシステム・クロック使用時	サブシステム・クロック未使用時
システム・クロック		CPUへのクロック供給は停止							
CPU		動作停止							
ポート（出力ラッチ）		HALTモード設定前の状態を保持							
16ビット・タイマ／イベント・カウンタ00		動作可能				動作保証不可			
16ビット・タイマ／イベント・カウンタ01		動作可能				動作保証不可			
8ビット・タイマ／イベント・カウンタ50		動作可能				カウント・クロックにTI50選択時以外は動作保証不可			
8ビット・タイマ／イベント・カウンタ51		動作可能				カウント・クロックにTI51選択時以外は動作保証不可			
8ビット・タイマH0		動作可能				8ビット・タイマ／イベント・カウンタ50動作時にカウント・クロックをTM50出力選択時以外は動作保証不可			
8ビット・タイマH1		動作可能				カウント・クロックに$f_R/2^7$選択時以外は動作保証不可			
時計用タイマ		動作可能	動作可能[注2]	動作可能	動作可能[注2]	動作可能[注3]	動作保証不可	動作可能[注3]	動作保証不可
ウォッチドッグ・タイマ	内蔵発振器停止不可[注4]	動作可能		－		動作可能			
	内蔵発振器停止可[注4]	動作停止							
A/Dコンバータ		動作可能				動作保証不可			
シリアル・インタフェース	UART0	動作可能				8ビット・タイマ／イベント・カウンタ50動作時に，シリアル・クロックをTM50出力選択時以外は動作保証不可			
	UART6	動作可能							
	CSI10	動作可能				シリアル・クロックに外部$\overline{SCK10}$選択時以外は動作保証不可			
	CSI11	動作可能				シリアル・クロックに外部$\overline{SCK11}$選択時以外は動作保証不可			
	CSIA0	動作可能				動作保証不可			
クロック・モニタ		動作可能		動作停止		動作可能		動作停止	
乗除算器		動作可能				動作保証不可			
パワーオン・クリア機能		動作可能							
低電圧検出機能		動作可能							
外部割り込み		動作可能							

注1．オプション・バイトで内蔵発振器を「ソフトウエアにより停止可能」を選択し，ソフトウエアで内蔵発振器を停止した場合（オプション・バイトについては第26章　オプション・バイト参照）。

2．高速システム・クロック選択時は動作可能。

3．サブシステム・クロック選択時以外は動作保証不可。

4．オプション・バイトで内蔵発振器を「停止不可」または「ソフトウエアにより停止可能」を選択できます。

表21－2　HALTモード時の動作状態（2/2）

項目 ＼ HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時			
		高速システム・クロック発振継続時		高速システム・クロック発振停止時	
		内蔵発振クロック発振継続時	内蔵発振クロック発振停止時[注1]	内蔵発振クロック発振継続時	内蔵発振クロック発振停止時[注1]
システム・クロック		CPUへのクロック供給は停止			
CPU		動作停止			
ポート（出力ラッチ）		HALTモード設定前の状態を保持			
16ビット・タイマ／イベント・カウンタ00		動作可能		動作停止	
16ビット・タイマ／イベント・カウンタ01		動作可能		動作停止	
8ビット・タイマ／イベント・カウンタ50		動作可能		カウント・クロックにTI50選択時のみ動作可能	
8ビット・タイマ／イベント・カウンタ51		動作可能		カウント・クロックにTI51選択時のみ動作可能	
8ビット・タイマH0		動作可能		8ビット・タイマ／イベント・カウンタ50動作時にカウント・クロックをTM50出力選択時のみ動作可能	
8ビット・タイマH1		動作可能	カウント・クロックに高速システム・クロック選択時のみ動作可能	カウント・クロックに$f_R/2^7$選択時のみ動作可能	動作停止
時計用タイマ		動作可能		サブシステム・クロック選択時のみ動作可能	
ウォッチドッグ・タイマ	内蔵発振器停止不可[注2]	動作可能	－	動作可能	－
	内蔵発振器停止可[注2]	動作停止			
A/Dコンバータ		動作可能		動作不可	
シリアル・インタフェース	UART0	動作可能		8ビット・タイマ／イベント・カウンタ50動作時に，シリアル・クロックをTM50出力選択時のみ動作可能	
	UART6	動作可能			
	CSI10	動作可能		シリアル・クロックに$\overline{SCK10}$選択時のみ動作可能	
	CSI11	動作可能		シリアル・クロックに$\overline{SCK11}$選択時のみ動作可能	
	CSIA0	動作可能		動作停止	
クロック・モニタ		動作可能	動作停止		
乗除算器		動作可能		動作停止	
パワーオン・クリア機能		動作可能			
低電圧検出機能		動作可能			
外部割り込み		動作可能			

注1．オプション・バイトで内蔵発振器を「ソフトウエアにより停止可能」を選択し，ソフトウエアで内蔵発振器を停止した場合（オプション・バイトについては第26章　オプション・バイト参照）。

2．オプション・バイトで内蔵発振器を「停止不可」または「ソフトウエアにより停止可能」を選択できます。

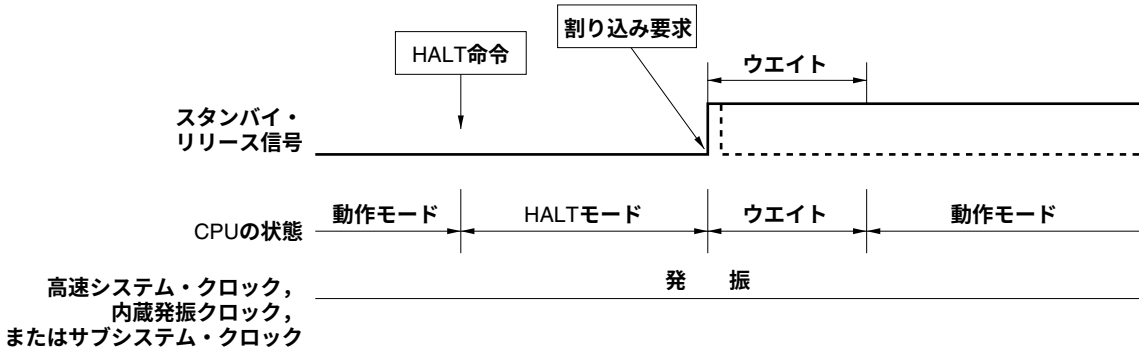
(2) HALTモードの解除

HALTモードは，次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，HALTモードは解除されます。そして，割り込み受け付け許可状態であれば，ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば，次のアドレスの命令が実行されます。

図21－3　HALTモードの割り込み要求発生による解除



備考1．破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

2．ウエイト時間は次のようになります。

・ベクタ割り込み処理を行う場合　　：8～9クロック

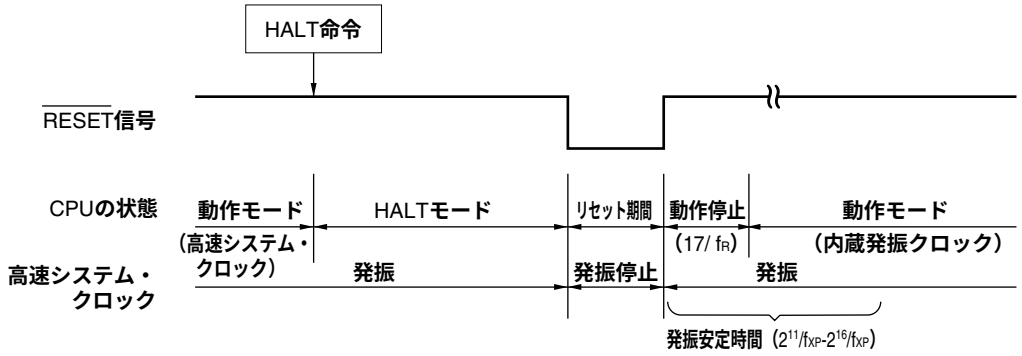
・ベクタ割り込み処理を行わない場合：2～3クロック

(b) $\overline{\text{RESET}}$入力による解除

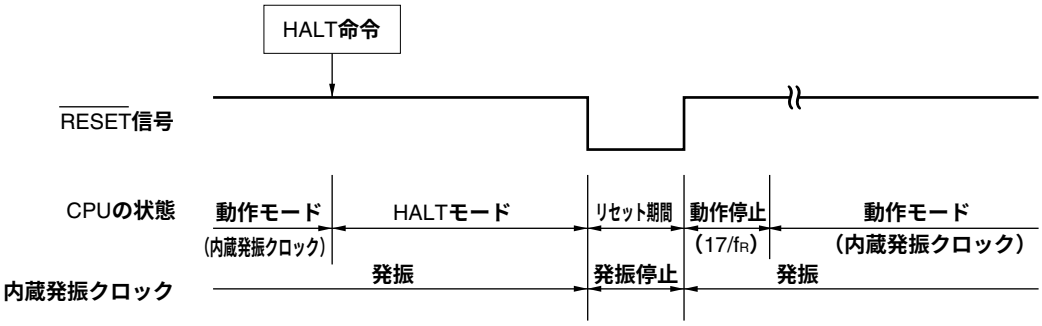
$\overline{\text{RESET}}$信号の入力があると，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図21－4　HALTモードの$\overline{\text{RESET}}$入力による解除（1/2）

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが内蔵発振クロックの場合

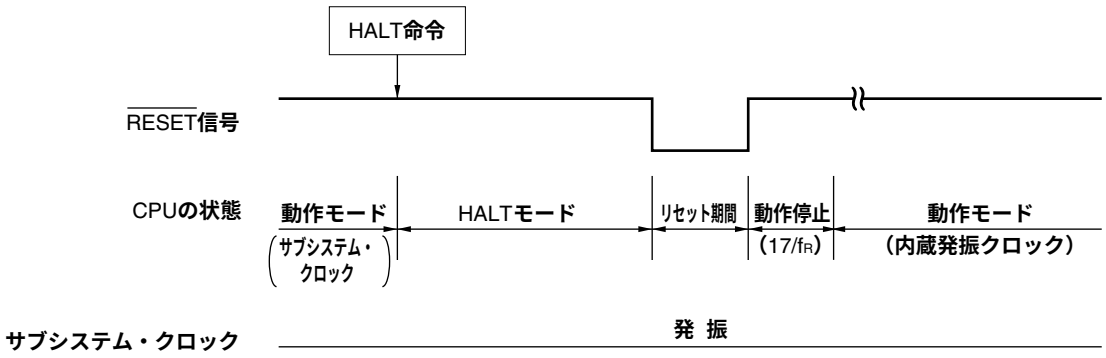


備考1．f_{XP}：高速システム・クロック発振周波数

2．f_R：内蔵発振クロック周波数

図21－4　HALTモードの$\overline{\text{RESET}}$入力による解除（2/2）

（3）CPUクロックがサブシステム・クロックの場合



備考　f_R：内蔵発振クロック周波数

表21－3　HALTモード時の割り込み要求に対する動作

解除ソース	MK××	PR××	IE	ISP	動　　作
マスカブル割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	HALTモード保持
$\overline{\text{RESET}}$入力	－	－	×	×	リセット処理

×：don't care

21. 2. 2　STOPモード

（1）STOPモードの設定および動作状態

STOPモードは，STOP命令の実行により設定されます。設定前のCPUクロックが，高速システム・クロック，内蔵発振クロックのときに設定可能です。

注意　スタンバイ・モードの解除に割り込み要求信号が用いられるため，割り込み要求フラグがセット，割り込みマスク・フラグがリセットされている割り込みソースがある場合には，スタンバイ・モードに入ってもただちに解除されます。したがって，STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表21－4　STOPモード時の動作状態

項目 ＼ STOPモードの設定		高速システム・クロックでCPU動作中のSTOP命令実行時				内蔵発振クロックでCPU動作中のSTOP命令実行時	
		内蔵発振クロック発振継続時		内蔵発振クロック発振停止時[注1]			
		サブシステム・クロック使用時	サブシステム・クロック未使用時	サブシステム・クロック使用時	サブシステム・クロック未使用時	サブシステム・クロック使用時	サブシステム・クロック未使用時
システム・クロック		高速システム・クロック発振回路のみ発振停止。 CPUへのクロック供給は停止。					
CPU		動作停止					
ポート（出力ラッチ）		STOPモード設定前の状態を保持					
16ビット・タイマ／イベント・カウンタ00		動作停止					
16ビット・タイマ／イベント・カウンタ01		動作停止					
8ビット・タイマ／イベント・カウンタ50		カウント・クロックをTI50選択時のみ動作可能					
8ビット・タイマ／イベント・カウンタ51		カウント・クロックをTI51選択時のみ動作可能					
8ビット・タイマH0		8ビット・タイマ／イベント・カウンタ50動作時に，カウント・クロックをTM50出力選択時のみ動作可能					
8ビット・タイマH1		動作可能[注2]		動作停止		動作可能[注2]	
時計用タイマ		動作可能[注3]	動作停止	動作可能[注3]	動作停止	動作可能[注3]	動作停止
ウォッチドッグ・タイマ	内蔵発振器停止不可[注4]	動作可能		－		動作可能	
	内蔵発振器停止可[注4]	動作停止					
A/Dコンバータ		動作停止					
シリアル・インタフェース	UART0	TM50動作時に，シリアル・クロックをTM50出力選択時のみ動作可能					
	UART6						
	CSI10	シリアル・クロックに外部$\overline{\text{SCK10}}$選択時のみ動作可能					
	CSI11	シリアル・クロックに外部$\overline{\text{SCK11}}$選択時のみ動作可能					
	CSIA0	動作停止					
クロック・モニタ		動作停止					
乗除算器		動作停止					
パワーオン・クリア機能		動作可能					
低電圧検出機能		動作可能					
外部割り込み		動作可能					

注1．オプション・バイトで内蔵発振器を「ソフトウエアにより停止可能」を選択し，ソフトウエアで内蔵発振器を停止した場合（オプション・バイトについては第26章　オプション・バイト参照）

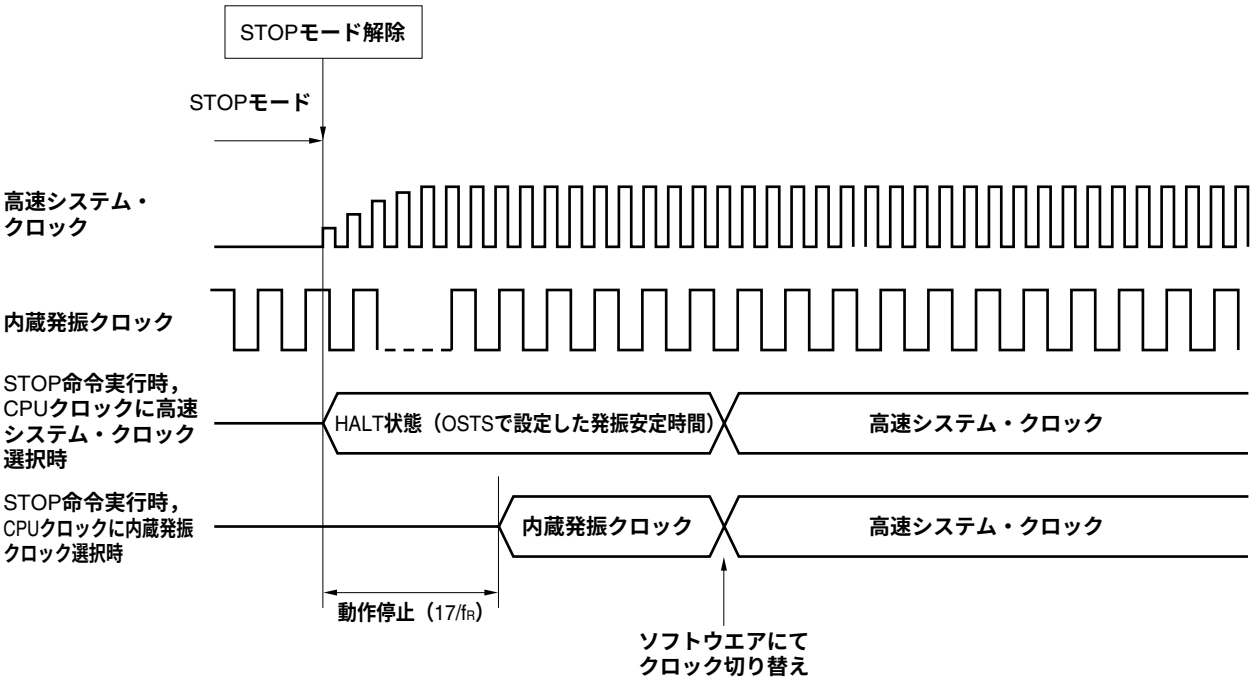
2．カウント・クロックを$f_R/2^7$選択時のみ動作可能。

3．サブシステム・クロック選択時は動作可能。

4．オプション・バイトで内蔵発振器を「停止不可」または「ソフトウエアにより停止可能」を選択できます。

(2) STOPモードの解除

図21－5　STOPモード解除時の動作タイミング



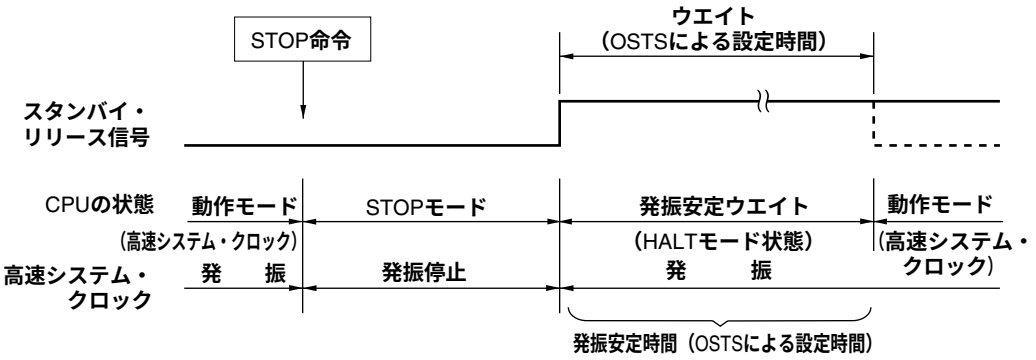
STOPモードは，次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

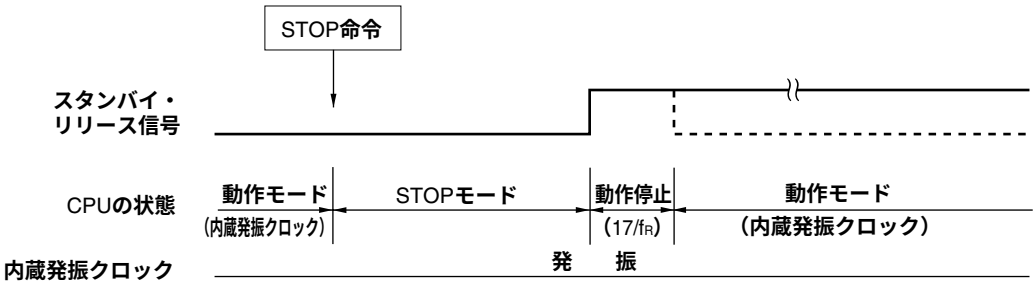
マスクされていない割り込み要求による解除の場合，STOPモードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

図21－6　STOPモードの割り込み要求発生による解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが内蔵発振クロックの場合



備考1．破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

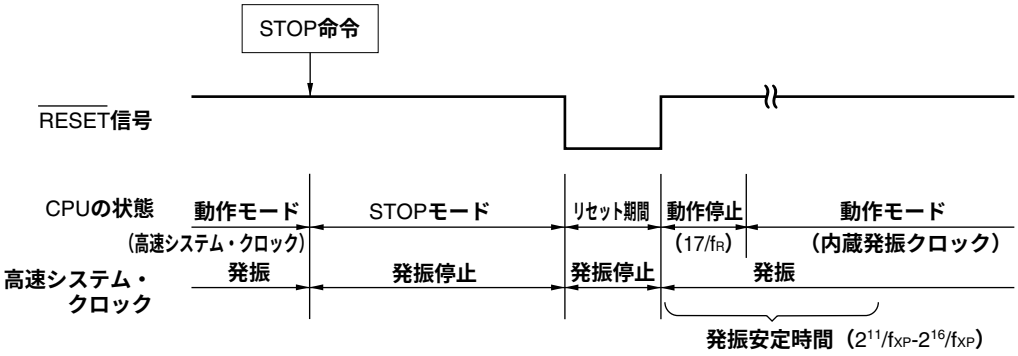
2．f_R：内蔵発振クロック周波数

(b) $\overline{\text{RESET}}$入力による解除

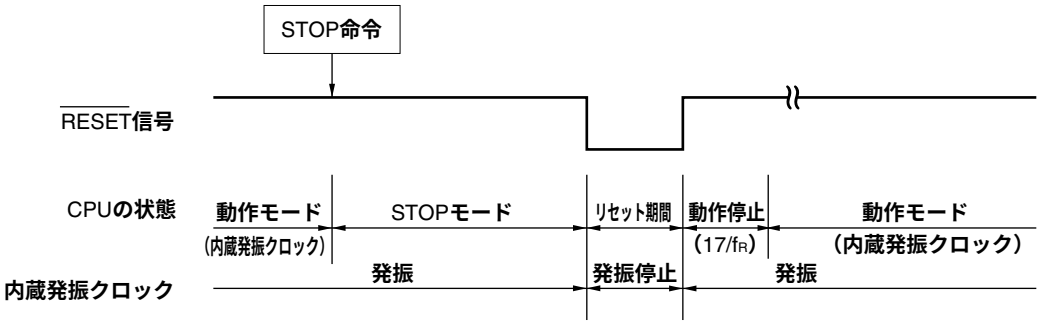
STOPモードを解除し，発振安定時間経過後リセット動作を行います。

図21－7　STOPモードの$\overline{\text{RESET}}$入力による解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが内蔵発振クロックの場合



備考1．f_{XP} ：高速システム・クロック発振周波数

2．f_R ：内蔵発振クロック周波数

表21－5　STOPモード時の割り込み要求に対する動作

解除ソース	MK××	PR××	IE	ISP	動　　作
マスカブル割り込み要求	0	0	0	×	次アドレス命令実行
	0	0	1	×	割り込み処理実行
	0	1	0	1	次アドレス命令実行
	0	1	×	0	
	0	1	1	1	割り込み処理実行
	1	×	×	×	STOPモード保持
$\overline{\text{RESET}}$入力	－	－	×	×	リセット処理

×：don't care

第22章　リセット機能

リセット信号を発生させる方法には，次の5種類があります。

(1) $\overline{\text{RESET}}$端子による外部リセット入力
(2) ウォッチドッグ・タイマの暴走時間検出による内部リセット
(3) クロック・モニタの高速システム・クロック発振停止検出による内部リセット
(4) パワーオン・クリア（POC）回路の電源電圧と検出電圧との比較による内部リセット
(5) 低電源検出回路（LVI）の電源電圧と検出電圧との比較による内部リセット

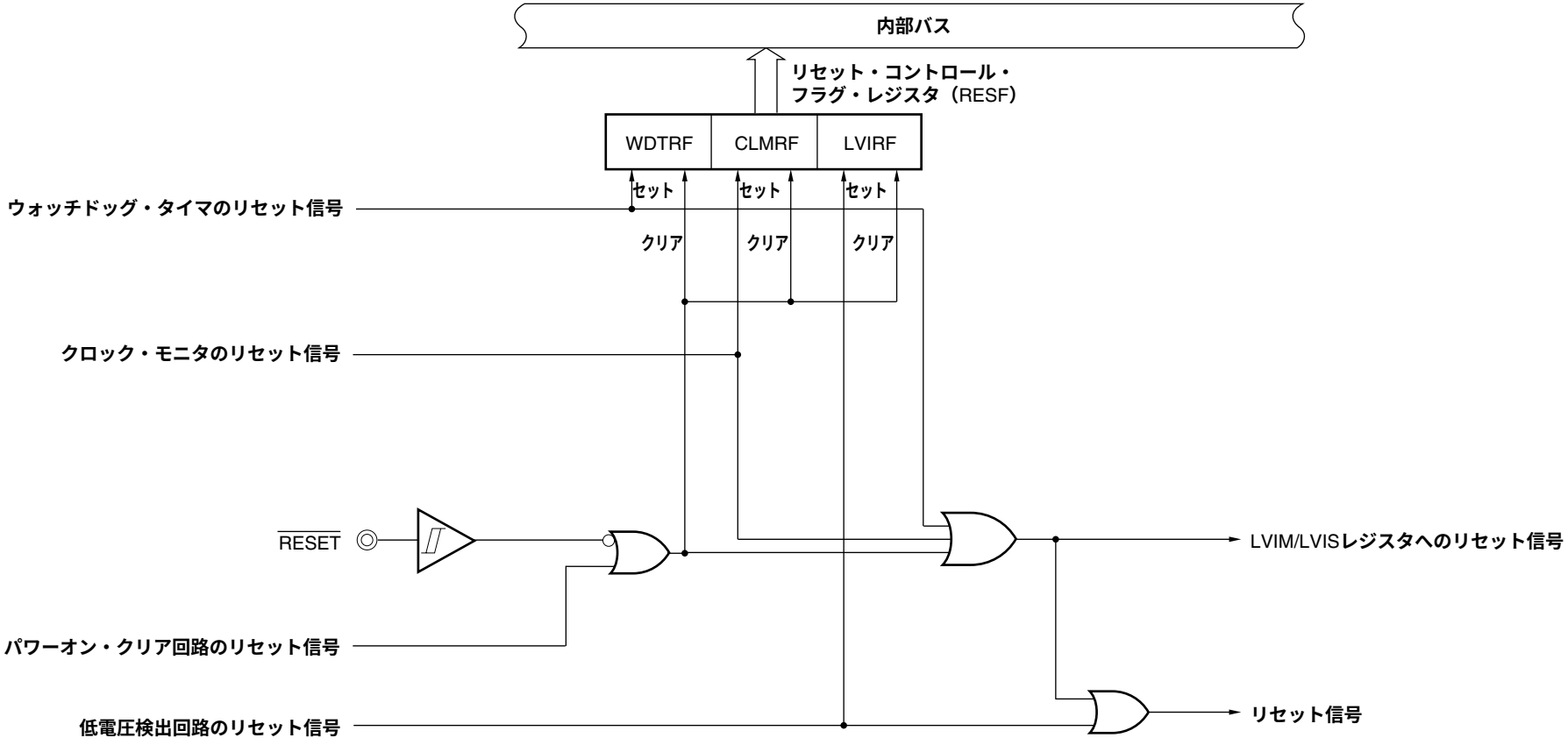
外部リセットと内部リセットは機能面での差はなく，リセット信号入力により，ともに0000H，0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマのオーバフローが発生するか，クロック・モニタで高速システム・クロック発振停止を検出するか，またはPOC回路，LVI回路の電圧検出により，リセットがかかり，各ハードウエアは表22－1に示すような状態になります。また，リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は，P130のみロウ・レベル出力に，それ以外はハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$端子にハイ・レベルが入力されると，リセットが解除され，17/f_R（s）間CPUクロック動作停止後，内蔵発振クロックでプログラムの実行を開始します。ウォッチドック・タイマ，クロック・モニタのそれぞれの要因によるリセットは，リセット後，自動的にリセットが解除され，17/f_R（s）間CPUクロック動作停止後，内蔵発振クロックでプログラムの実行を開始します（図22－2から図22－4参照）。POC回路，LVI回路の電源検出によるリセットは，リセット後V_{DD}＞V_{POC}またはV_{DD}＞V_{LVI}になったときにリセットが解除され，17/f_R（s）間CPUクロック動作停止後，内蔵発振クロックでプログラムの実行を開始します（第24章　パワーオン・クリア回路と第25章　低電圧検出回路参照）。

注意1．外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。
2．リセット入力中は，高速システム・クロック，内蔵発振クロックともに発振を停止します。
3．リセットでSTOPモードを解除するとき，リセット入力中はSTOPモード時の内容を保持します。ただし，ポート端子は，P130はロウ・レベル出力に，それ以外はハイ・インピーダンスとなります。

図22ー1　リセット機能のブロック図

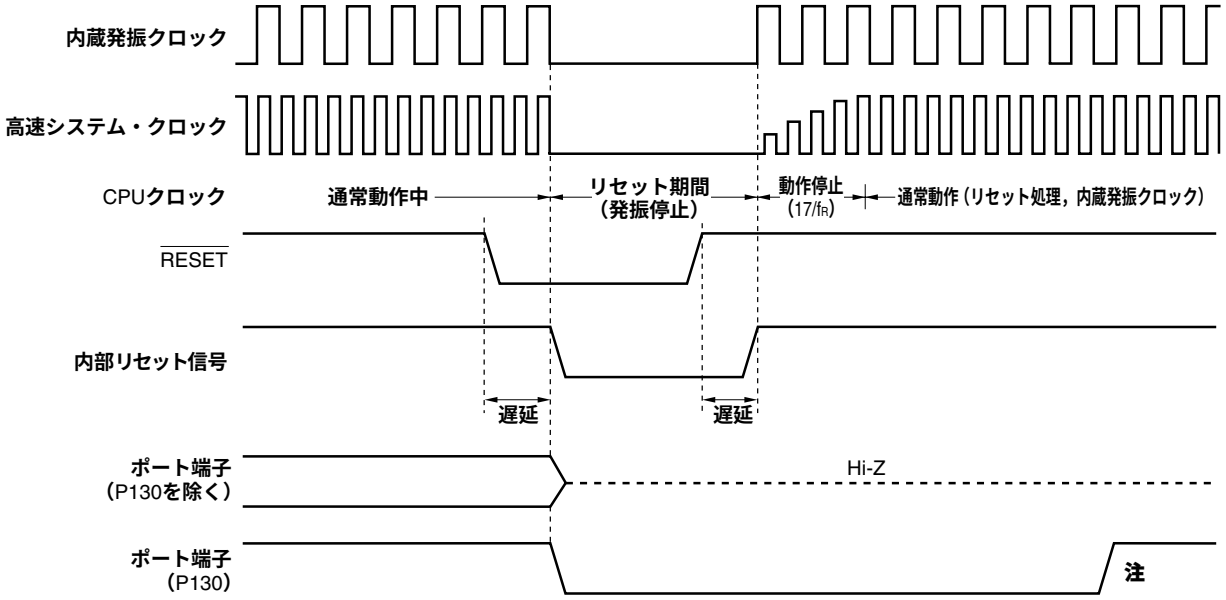


注意　LVI**回路の内部リセットの場合，**LVI**回路はリセットされません。**

備考1．LVIM：**低電圧検出レジスタ**

2．LVIS：**低電圧検出レベル選択レジスタ**

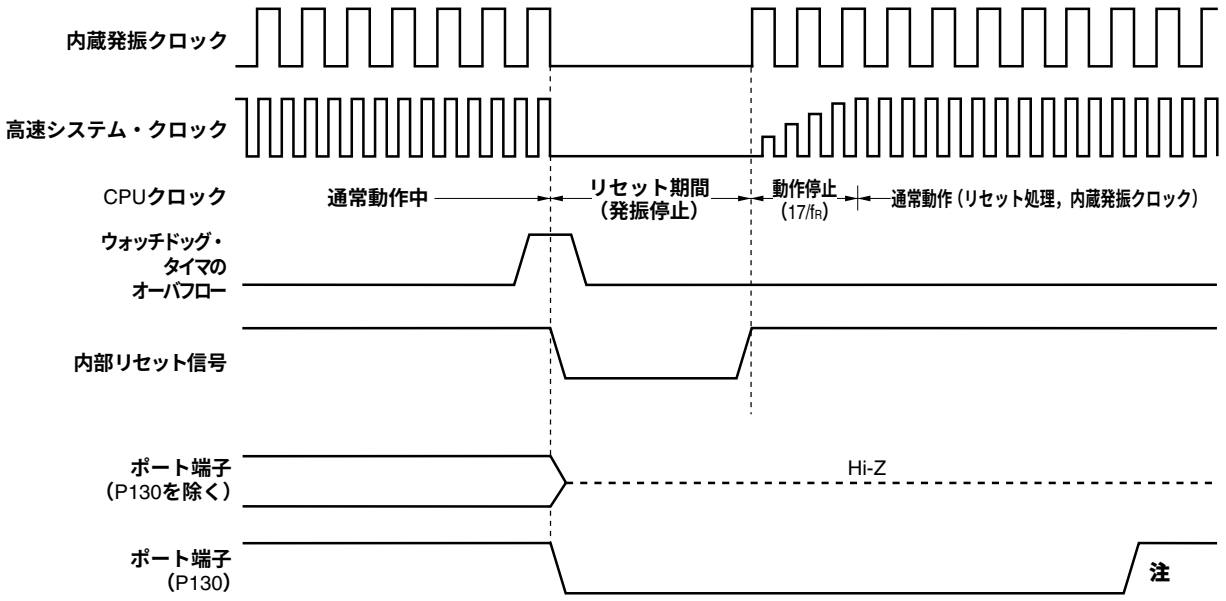
図22－2　$\overline{\text{RESET}}$入力によるリセット・タイミング



注　ソフトウエアでハイ・レベル出力にしてください。

備考　リセットがかかるとP130はロウ・レベルを出力するため，リセットがかかる前にP130をハイ・レベル出力にした場合，P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

図22－3　ウォッチドッグ・タイマのオーバフローによるリセット・タイミング

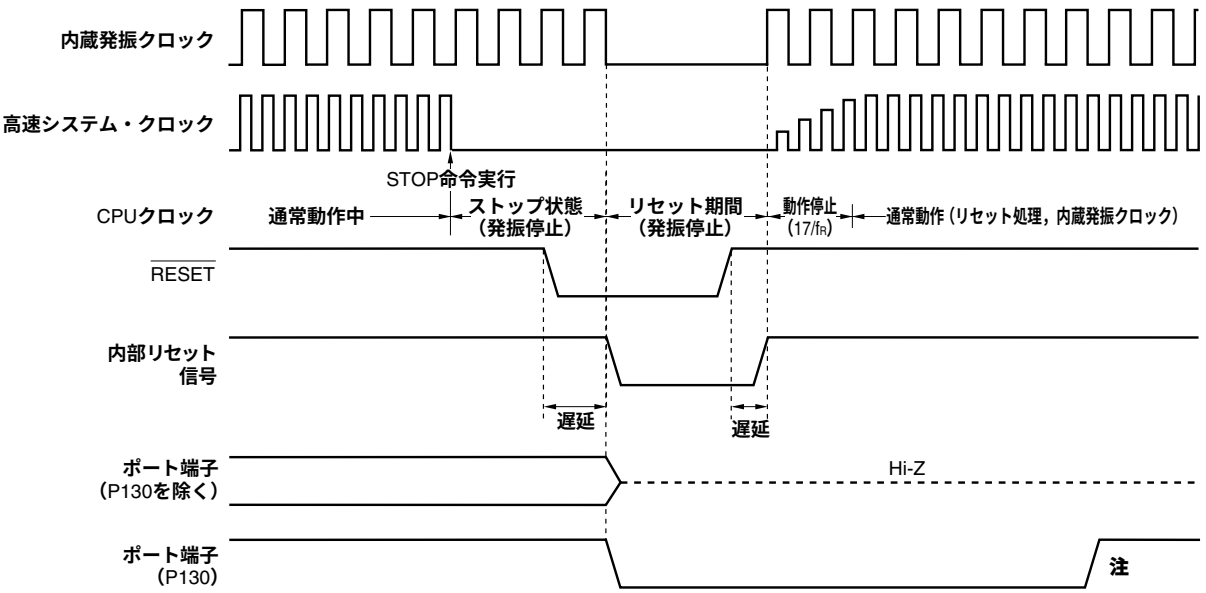


注　ソフトウエアでハイ・レベル出力にしてください。

注意　ウォッチドッグ・タイマの内部リセットの場合，ウォッチドッグ・タイマもリセットされます。

備考　リセットがかかるとP130はロウ・レベルを出力するため，リセットがかかる前にP130をハイ・レベル出力にした場合，P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

図22－4　STOPモード中の$\overline{\text{RESET}}$入力によるリセット・タイミング



注　ソフトウエアでハイ・レベル出力にしてください。

備考1.　**リセットがかかると**P130**はロウ・レベルを出力するため，リセットがかかる前に**P130**をハイ・レベル出力にした場合，**P130**からの出力を**CPU**のリセット信号として疑似的に出力するという使い方ができます。**

2.　**パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは，第**24**章　パワーオン・クリア回路と第**25**章　低電圧検出回路を参照してください。**

表22－1　各ハードウエアのリセット受け付け後の状態（1/3）

ハードウエア		リセット受け付け後の状態[注1]
プログラム・カウンタ（PC）		リセット・ベクタ・テーブル（0000H, 0001H）の内容がセットされる。
スタック・ポインタ（SP）		不定
プログラム・ステータス・ワード（PSW）		02H
RAM	データ・メモリ	不定[注2]
	汎用レジスタ	不定[注2]
ポート・レジスタ（P0-P7, P12-P14）（出力ラッチ）		00H（P2のみ不定）
ポート・モード・レジスタ（PM0, PM1, PM3-PM7, PM12, PM14）		FFH
プルアップ抵抗オプション・レジスタ（PU0, PU1, PU3-PU7, PU12, PU14）		00H
入力切り替え制御レジスタ（ISC）		00H
メモリ・サイズ切り替えレジスタ（IMS）		CFH
内部拡張RAMサイズ切り替えレジスタ（IXS）		0CH
メモリ拡張モード・レジスタ（MEM）		00H
メモリ拡張ウエイト設定レジスタ（MM）		10H
プロセッサ・クロック・コントロール・レジスタ（PCC）		00H
内蔵発振モード・レジスタ（RCM）		00H
メイン・クロック・モード・レジスタ（MCM）		00H
メインOSCコントロール・レジスタ（MOC）		00H
発振安定時間選択レジスタ（OSTS）		05H
発振安定時間カウンタ状態レジスタ（OSTC）		00H
16 ビット・タイマ／イベント・カウンタ00, 01	タイマ・カウンタ00, 01（TM00, TM01）	0000H
	キャプチャ／コンペア・レジスタ000, 010, 001, 011（CR000, CR010, CR001, CR011）	0000H
	モード・コントロール・レジスタ00, 01（TMC00, TMC01）	00H
	プリスケーラ・モード・レジスタ00, 01（PRM00, PRM01）	00H
	キャプチャ／コンペア・コントロール・レジスタ00, 01（CRC00, CRC01）	00H
	タイマ出力コントロール・レジスタ00, 01（TOC00, TOC01）	00H
8ビット・タイマ／イベント・カウンタ50, 51	タイマ・カウンタ50, 51（TM50, TM51）	00H
	コンペア・レジスタ50, 51（CR50, CR51）	00H
	タイマ・クロック選択レジスタ50, 51（TCL50, TCL51）	00H
	モード・コントロール・レジスタ50, 51（TMC50, TMC51）	00H
8ビット・タイマH0, H1	コンペア・レジスタ00, 10, 01, 11（CMP00, CMP10, CMP01, CMP11）	00H
	モード・レジスタ（TMHMD0, TMHMD1）	00H
	キャリア・コントロール・レジスタ1（TMCYC1）[注3]	00H
時計用タイマ	動作モード・レジスタ（WTM）	00H
クロック出力／ブザー出力制御回路	クロック出力選択レジスタ（CKS）	00H
ウォッチドッグ・タイマ	モード・レジスタ（WDTM）	67H
	イネーブル・レジスタ（WDTE）	9AH

注1．リセット入力中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。

2．スタンバイ・モード時でのリセット後の状態は保持となります。

3．8ビット・タイマH1のみ。

表22－1　各ハードウエアのリセット受け付け後の状態（2/3）

ハードウエア		リセット受け付け後の状態
A/Dコンバータ	変換結果レジスタ（ADCR）	不定
	モード・レジスタ（ADM）	00H
	アナログ入力チャネル指定レジスタ（ADS）	00H
	パワーフェイル比較モード・レジスタ（PFM）	00H
	パワーフェイル比較しきい値レジスタ（PFT）	00H
シリアル・インタフェース UART0	受信バッファ・レジスタ0（RXB0）	FFH
	送信シフト・レジスタ0（TXS0）	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）	01H
	ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）	1FH
シリアル・インタフェース UART6	受信バッファ・レジスタ6（RXB6）	FFH
	送信バッファ・レジスタ6（TXB6）	FFH
	アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）	01H
	アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）	00H
	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）	00H
	クロック選択レジスタ6（CKSR6）	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）	FFH
	アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）	16H
シリアル・インタフェース CSI10, CSI11	送信バッファ・レジスタ10, 11（SOTB10, SOTB11）	不定
	シリアルI/Oシフト・レジスタ10, 11（SIO10, SIO11）	00H
	シリアル動作モード・レジスタ10, 11（CSIM10, CSIM11）	00H
	シリアル・クロック選択レジスタ10, 11（CSIC10, CSIC11）	00H
シリアル・インタフェース CSIA0	シフト・レジスタ0（SIOA0）	00H
	動作モード指定レジスタ0（CSIMA0）	00H
	ステータス・レジスタ0（CSIS0）	00H
	トリガ・レジスタ0（CSIT0）	00H
	分周値選択レジスタ0（BRGCA0）	03H
	自動データ転送アドレス・ポイント指定レジスタ0（ADTP0）	00H
	自動データ転送間隔指定レジスタ0（ADTI0）	00H
	自動データ転送アドレス・カウント・レジスタ0（ADTC0）	00H
乗除算器	剰余データ・レジスタ0（SDR0）	0000H
	乗除算データ・レジスタA0（MDA0H, MDA0L）	0000H
	乗除算データ・レジスタB0（MDB0）	0000H
	乗除算器コントロール・レジスタ0（DMUC0）	00H
キー割り込み	キー・リターン・モード・レジスタ（KRM）	00H
クロック・モニタ	モード・レジスタ（CLM）	00H

表22－1　各ハードウエアのリセット受け付け後の状態（3/3）

ハードウエア		リセット受け付け後の状態
リセット機能	リセット・コントロール・フラグ・レジスタ（RESF）	00H注1
低電圧検出回路	低電圧検出レジスタ（LVIM）	00H注1
	低電圧検出レベル選択レジスタ（LVIS）	00H注1
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H（IF0L, IF0H, IF1L, IF1H）	00H
	マスク・フラグ・レジスタ0L, 0H, 1L（MK0L, MK0H, MK1L）	FFH
	マスク・フラグ・レジスタ1H（MK1H）	DFH
	優先順位指定フラグ・レジスタ0L，0H，1L，1H（PR0L，PR0H, PR1L, PR1H）	FFH
	外部割り込み立ち上がりエッジ許可レジスタ（EGP）	00H
	外部割り込み立ち下がりエッジ許可レジスタ（EGN）	00H
フラッシュ・メモリ	フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）	不定
	フラッシュ・ステータス・レジスタ（PFS）	00H
	フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）	0XH注2

注1.　リセット要因により，次のように変化します。

リセット要因 / レジスタ	$\overline{\text{RESET}}$入力	POCによるリセット	WDTによるリセット	CLMによるリセット	LVIによるリセット
RESF	表22－2を参照				
LVIM	クリア（00H）	クリア（00H）	クリア（00H）	クリア（00H）	保持
LVIS					

2.　動作モードにより異なります。

・ユーザ・モード　　：08H

・オンボード・モード：0CH

22. 1　リセット要因を確認するレジスタ

78K0/KF1+は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFは，8ビット・メモリ操作命令で，読み出すことができます。

$\overline{\text{RESET}}$入力，パワーオン・クリア（POC）回路によるリセット入力およびRESFのデータを読み出すことにより，00Hになります。

図22－5　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFACH　リセット時：00H注　R

略号	7	6	5	4	3	2	1	0
RESF	0	0	0	WDTRF	0	0	CLMRF	LVIRF

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない，またはRESFをクリアした
1	内部リセット要求は発生した

CLMRF	クロック・モニタ（CLM）による内部リセット要求
0	内部リセット要求は発生していない，またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出（LVI）回路による内部リセット要求
0	内部リセット要求は発生していない，またはRESFをクリアした
1	内部リセット要求は発生した

注　リセット要因により異なります。

注意　1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表22－2に示します。

表22－2　リセット要求時のRESFの状態

リセット要因 / レジスタ	$\overline{\text{RESET}}$入力	POCによるリセット	WDTによるリセット	CLMによるリセット	LVIによるリセット
WDTRF	クリア（0）	クリア（0）	セット（1）	保持	保持
CLMRF			保持	セット（1）	保持
LVIRF			保持	保持	セット（1）

第23章　クロック・モニタ

23. 1　クロック・モニタの機能

クロック・モニタは，内蔵発振器にて高速システム・クロックのサンプリングを行い，高速システム・クロックの発振停止時に内部リセット信号を発生するという機能を持ちます。

クロック・モニタによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット1（CLMRF）がセット（1）されます。RESFの詳細については第22章　リセット機能を参照してください。

次の条件のとき，クロック・モニタは自動的に停止します。

- リセット解除～発振安定時間
- STOPモード時～発振安定時間
- ソフトウエアにより高速システム・クロック停止時（MSTOP = 1またはMCC = 1のとき）～発振安定時間
- 内蔵発振クロック停止時

備考　MSTOP：メインOSCコントロール・レジスタ（MOC）のビット7
　　MCC　：プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7

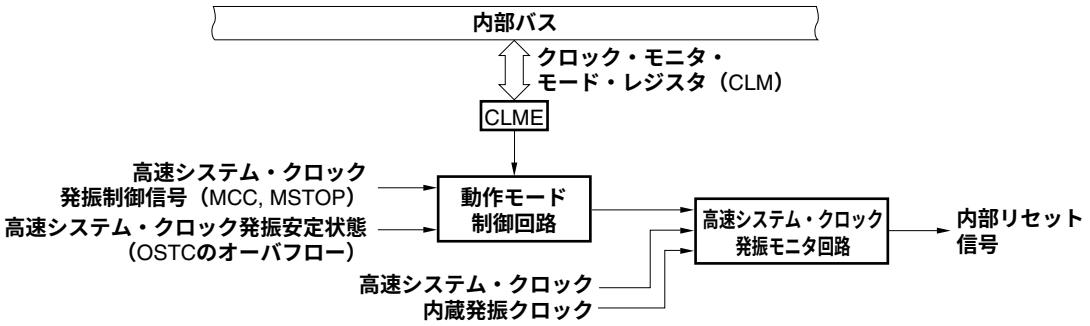
23. 2　クロック・モニタの構成

クロック・モニタは，次のハードウエアで構成しています。

表23－1　クロック・モニタの構成

項　目	構　成
制御レジスタ	クロック・モニタ・モード・レジスタ（CLM）

図23－1　クロック・モニタのブロック図



備考　MCC　：プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7
　　MSTOP：メインOSCコントロール・レジスタ（MOC）のビット7
　　OSTC　：発振安定時間カウンタ状態レジスタ（OSTC）

23. 3　クロック・モニタを制御するレジスタ

クロック・モニタは，クロック・モニタ・モード・レジスタ（CLM）で制御します。

（1）クロック・モニタ・モード・レジスタ（CLM）

クロック・モニタの動作モードの設定を行うレジスタです。

CLMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図23－2　クロック・モニタ・モード・レジスタ（CLM）のフォーマット

アドレス：FFA9H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可／禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

注意1．一度ビット0（CLME）をセット（1）したら，$\overline{\text{RESET}}$入力または内部リセット信号以外ではクリア（0）することはできません。

2．クロック・モニタによるリセットが発生した場合，CLMEは0になり，リセット・コントロール・フラグ・レジスタ（RESF）のビット1（CLMRF）がセット（1）されます。

23. 4　クロック・モニタの動作

クロック・モニタの持つ機能について説明します。モニタ開始条件，モニタ停止条件は次のようになります。

＜モニタ開始条件＞

クロック・モニタ・モード・レジスタ（CLM）のビット0（CLME）を動作許可（1）に設定

＜モニタ停止条件＞

- リセット解除～発振安定時間
- STOPモード時～発振安定時間
- ソフトウエアにより高速システム・クロック停止時（MSTOP = 1またはMCC = 1のとき）～発振安定時間
- 内蔵発振クロック停止時

備考　MSTOP：メインOSCコントロール・レジスタ（MOC）のビット7
　　MCC　：プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7

表23－2　クロック・モニタの動作状態（CLME = 1に設定時）

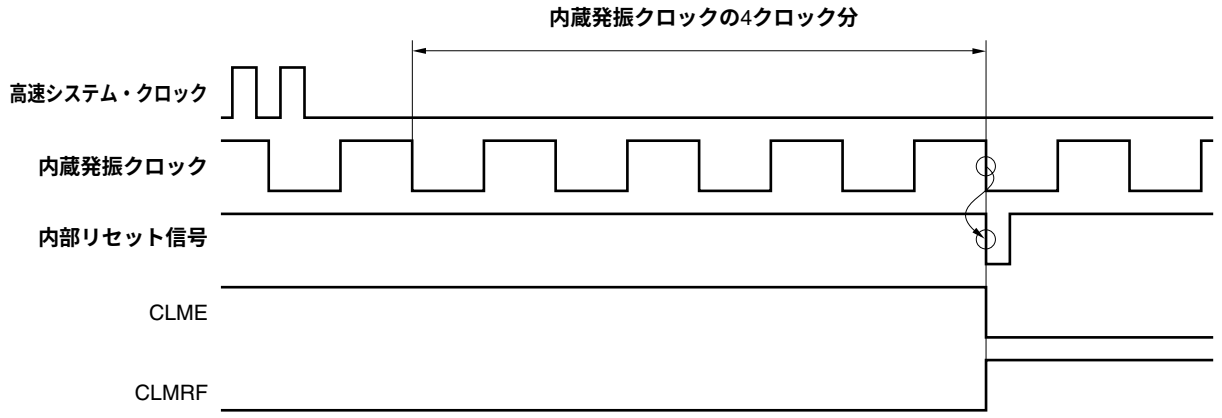
CPU動作クロック	動作モード	高速システム・クロックの状態	内蔵発振クロックの状態	クロック・モニタの状態
高速システム・クロック	STOPモード	停止	発振	停止
			停止注	
	$\overline{\text{RESET}}$入力		発振	
			停止注	
	通常動作モード	発振	発振	動作
	HALTモード		停止注	停止
内蔵発振クロック	STOPモード	停止	発振	停止
	$\overline{\text{RESET}}$入力			
	通常動作モード	発振		動作
	HALTモード	停止		停止

注　オプション・バイトで「内蔵発振器はソフトウエアにより停止可能」に選択した場合のみ，内蔵発振クロックを停止することができます。「内蔵発振器は停止不可」に選択した場合，内蔵発振クロックを停止することができません。

クロック・モニタのタイミングは，図23－3のようになります。

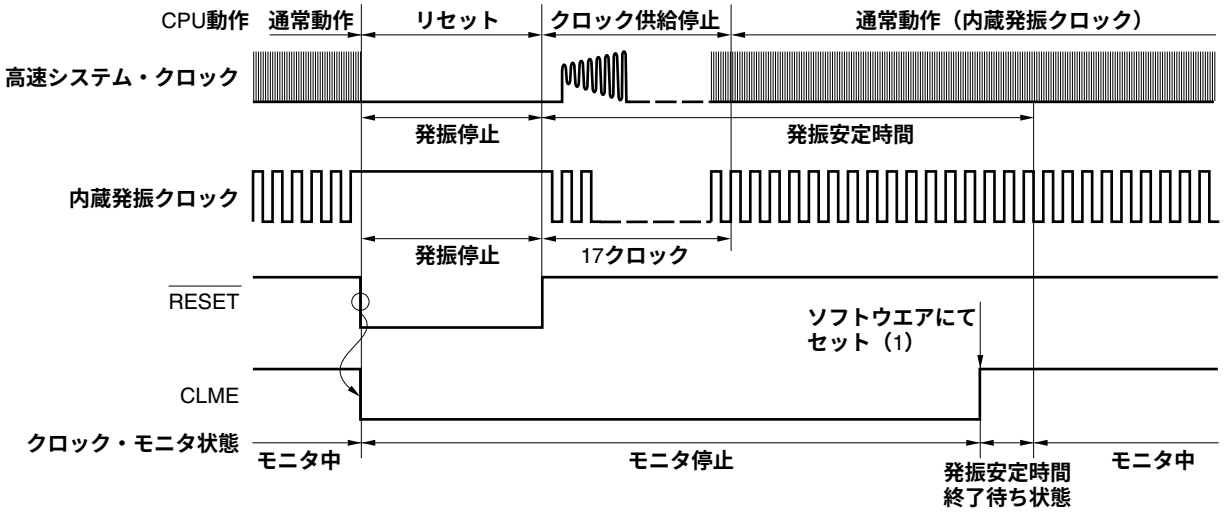
図23－3　クロック・モニタのタイミング（1/4）

（1）高速システム・クロック発振停止によって，内部リセットがかかる場合



（2）$\overline{\text{RESET}}$入力後のクロック・モニタの状態

（$\overline{\text{RESET}}$入力後，高速システム・クロックの発振安定時間中に，CLME = 1を設定）

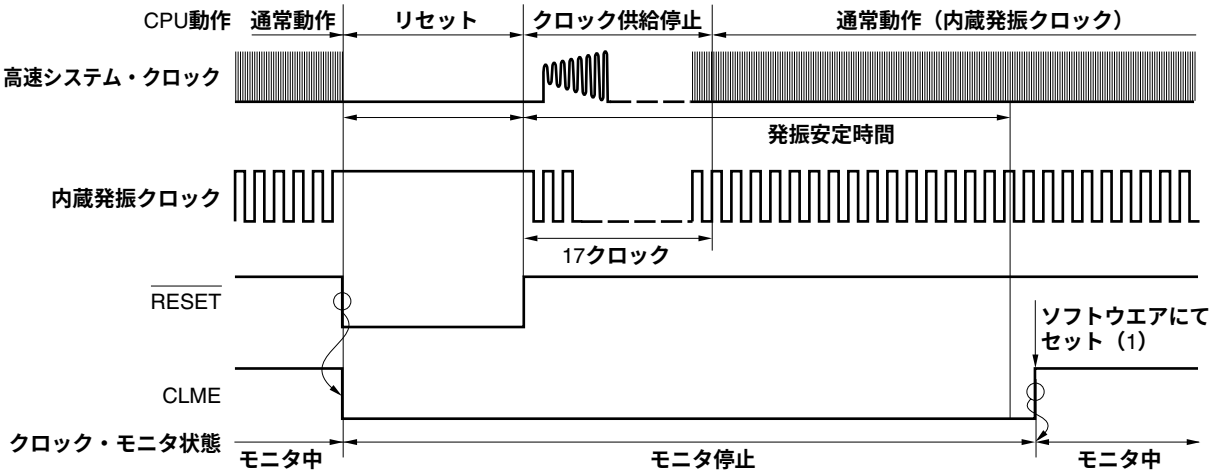


$\overline{\text{RESET}}$入力により，クロック・モニタ・モード・レジスタ（CLM）のビット0（CLME）はクリア（0）されて，クロック・モニタは動作停止します。高速システム・クロックの発振安定時間（OSTSレジスタのリセット値 = 05H（$2^{16}/f_{XP}$））中にソフトウエアでCLMEをセット（1）しても，高速システム・クロックの発振安定時間が終了するまでは，モニタ動作を行わず，発振安定時間後に自動的に開始します。

図23－3　クロック・モニタのタイミング（2/4）

（3）$\overline{\text{RESET}}$入力後のクロック・モニタの状態

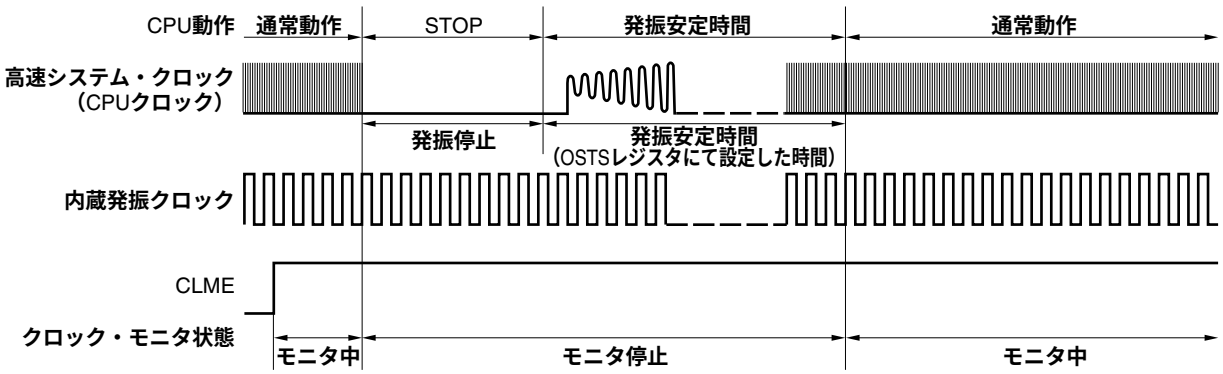
（$\overline{\text{RESET}}$入力後，高速システム・クロックの発振安定時間終了後に，CLME = 1を設定）



$\overline{\text{RESET}}$入力により，クロック・モニタ・モード・レジスタ（CLM）のビット0（CLME）はクリア（0）されて，クロック・モニタは動作停止します。高速システム・クロックの発振安定時間（OSTSレジスタのリセット値 = 05H（$2^{16}/f_{XP}$））後にソフトウエアでCLMEをセット（1）すると，モニタ動作を開始します。

（4）STOPモード解除後のクロック・モニタの状態

（CPUクロックが高速システム・クロック，STOPモードに入る前に，CLME = 1を設定）

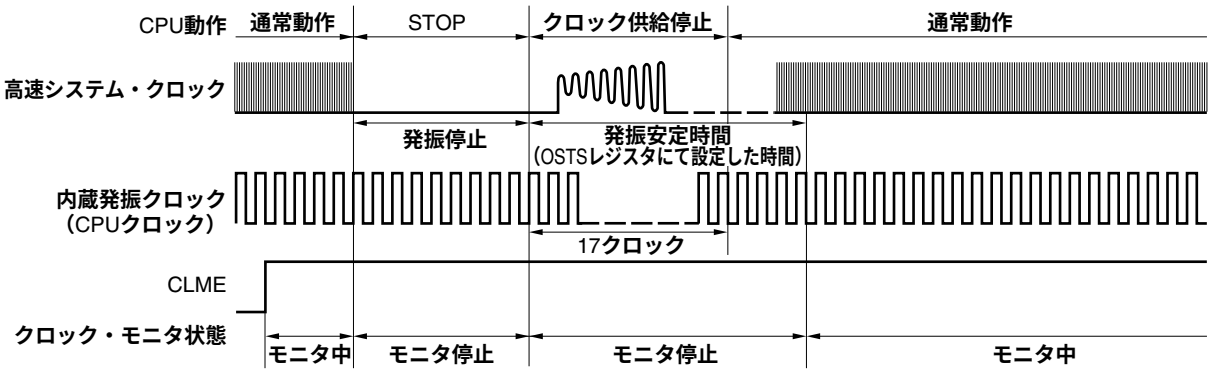


STOPモードに入る前に，クロック・モニタ・モード・レジスタ（CLM）のビット0（CLME）に1を設定している場合，高速システム・クロックの発振安定時間終了時に自動的にモニタ動作を開始します。STOPモードおよび発振安定時間中はモニタ動作を停止します。

図23－3　クロック・モニタのタイミング（3/4）

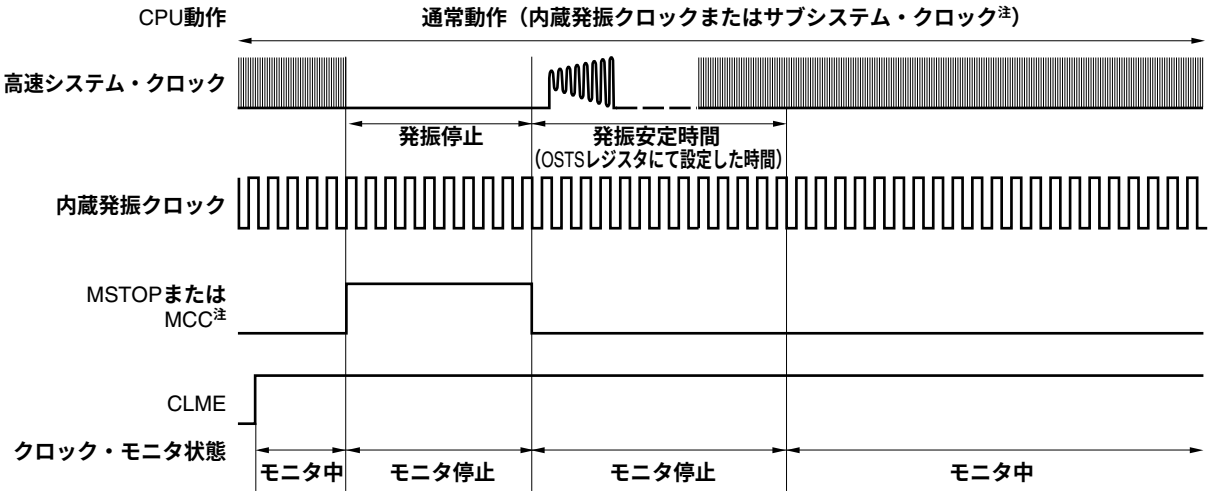
（5）STOPモード解除後のクロック・モニタの状態

（CPUクロックが内蔵発振クロック，STOPモードに入る前に，CLME = 1を設定）



STOPモードに入る前に，クロック・モニタ・モード・レジスタ（CLM）のビット0（CLME）に1を設定している場合，高速システム・クロックの発振安定時間終了時に自動的にモニタ動作を開始します。STOPモードおよび発振安定時間中はモニタ動作を停止します。

（6）ソフトウエアによる高速システム・クロック発振停止後のクロック・モニタの状態



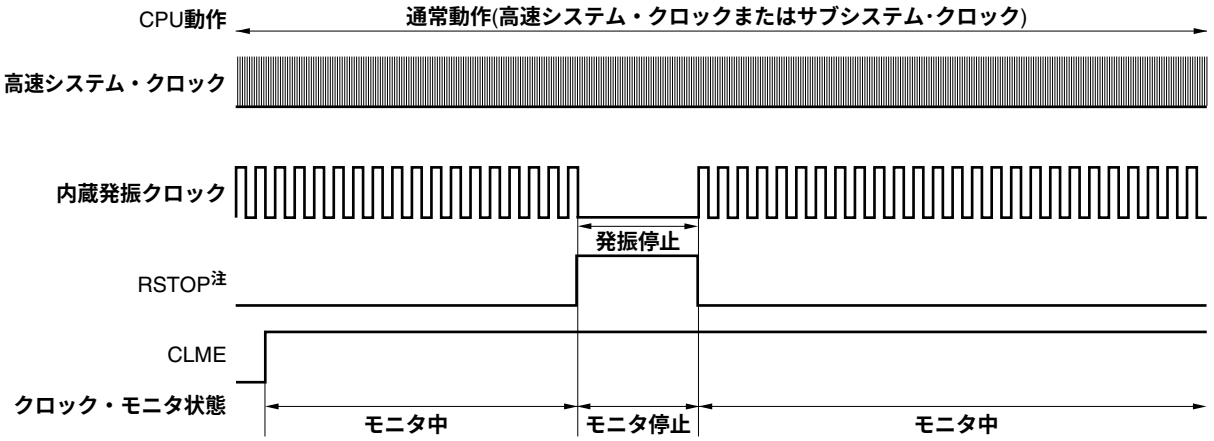
高速システム・クロック発振停止前または停止中に，クロック・モニタ・モード・レジスタ（CLM）のビット0（CLME）に1を設定している場合，高速システム・クロックの発振安定時間終了時に自動的にモニタ動作を開始します。高速システム・クロック発振停止時および発振安定時間中はモニタ動作を停止します。

注　CPUへの供給クロックの種類によって，高速システム・クロックを発振制御するレジスタが異なります。

- CPUが内蔵発振クロックで動作　　：メインOSCコントロール・レジスタ（MOC）のビット7（MSTOP）で制御
- CPUがサブシステム・クロックで動作：プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7（MCC）で制御

図23－3　クロック・モニタのタイミング（4/4）

（7）ソフトウエアによる内蔵発振クロック発振停止後のクロック・モニタの状態



内蔵発振クロック発振停止前または停止中に，クロック・モニタ・モード・レジスタ（CLM）のビット0（CLME）に1を設定している場合，内蔵発振クロック停止後，自動的にモニタ動作を開始します。内蔵発振クロック発振停止時はモニタ動作を停止します。

注　オプション・バイトで，内蔵発振器を「停止不可」に選択している場合，内蔵発振モード・レジスタ（RCM）のビット0（RSTOP）の設定は無効となります。またRSTOPを設定するときは，メイン・クロック・モード・レジスタ（MCM）のビット1（MCS）が1であることを必ず確認してください。

第24章　パワーオン・クリア回路

24. 1　パワーオン・クリア回路の機能

パワーオン・クリア（POC）回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
・電源電圧（V_{DD}）と検出電圧（V_{POC} = 2.1 V±0.1 V）を比較し，V_{DD}＜V_{POC}になったとき，内部リセット信号を発生します。

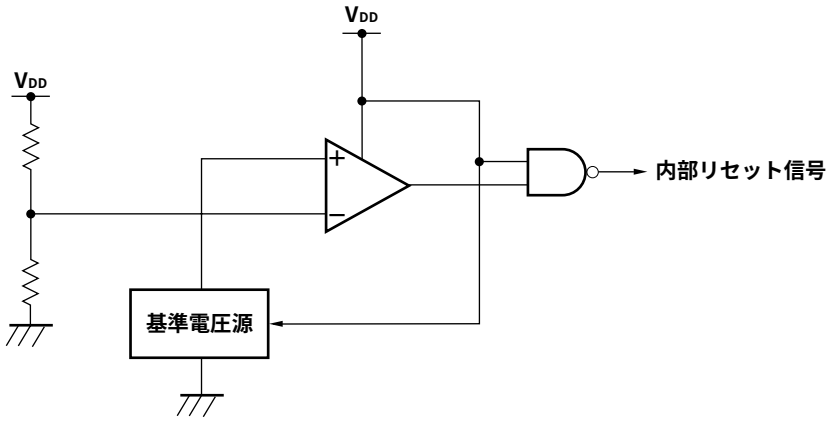
注意1.　POC回路で内部リセット信号が発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）がクリア（00H）されます。
2.　内蔵発振クロックまたはサブシステム・クロック使用時の電源電圧はV_{DD} = 2.0～5.5 Vですが，POC回路の検出電圧（V_{POC}）が2.1 V±0.1 Vのため，2.2～5.5 Vの電圧範囲で使用してください。

備考　本製品には内部リセット信号を発生するハードウエアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／低電圧検出（LVI）回路／クロック・モニタによる内部リセット信号が発生した場合，そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ（RESF）に配置されています。RESFはWDT/LVI／クロック・モニタのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。RESFの詳細については，第22章　リセット機能を参照してください。

24. 2　パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図24－1に示します。

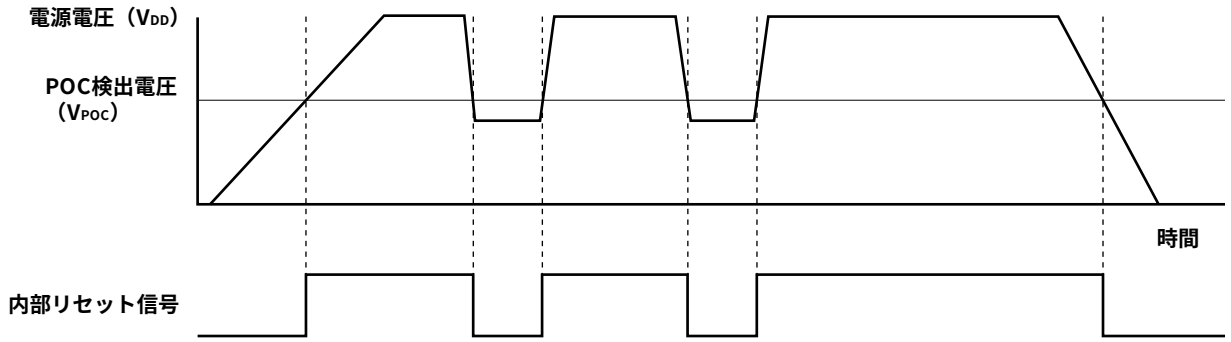
図24－1　パワーオン・クリア回路のブロック図



24. 3　パワーオン・クリア回路の動作

パワーオン・クリア回路では，電源電圧（V_{DD}）と検出電圧（V_{POC}）を比較し，V_{DD}＜V_{POC}のとき内部リセット信号を発生します。

図24－2　パワーオン・クリア回路の内部リセット信号発生のタイミング



24. 4　パワーオン・クリア回路の注意事項

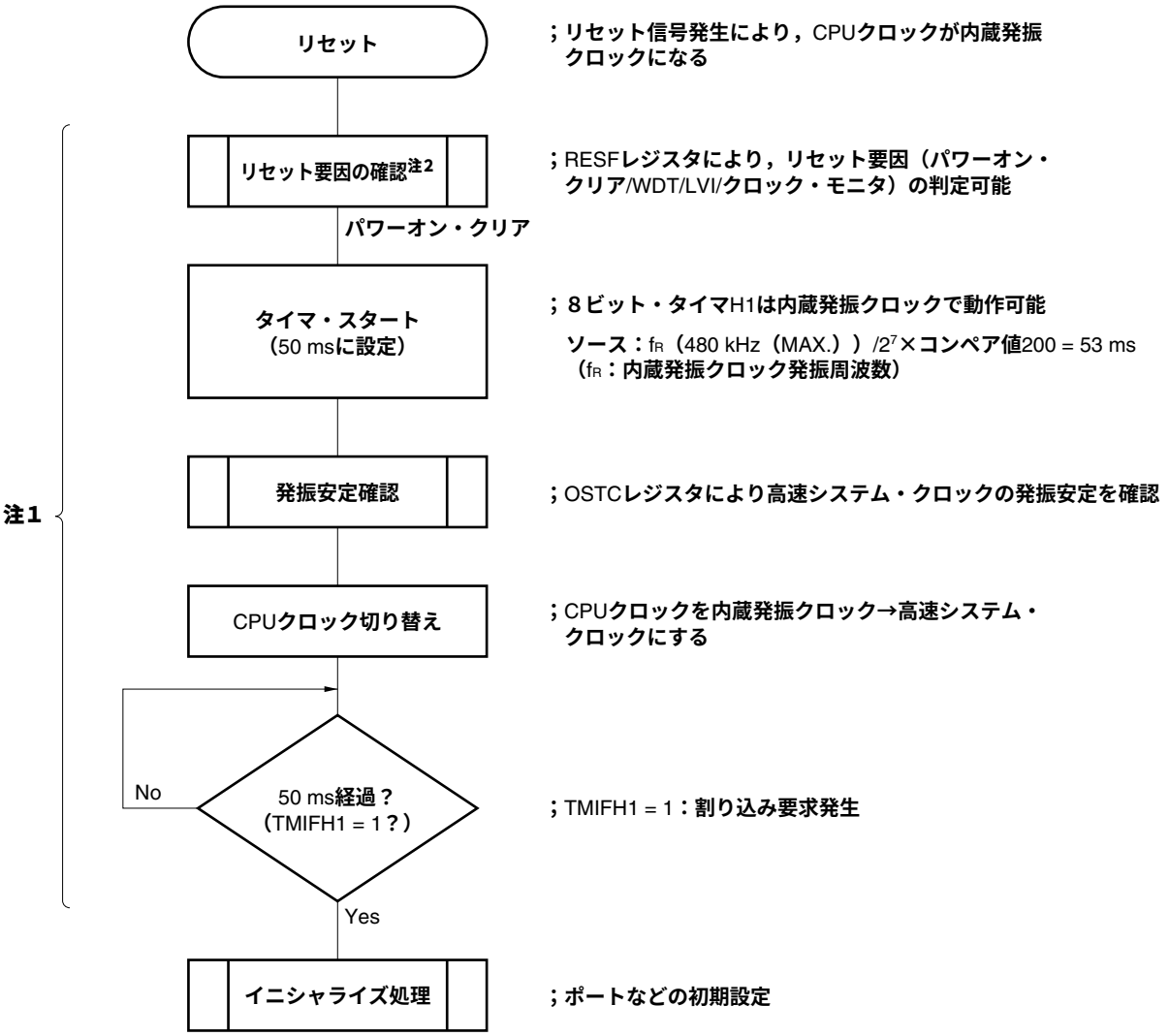
電源電圧（V_{DD}）がPOC検出電圧（V_{POC}）付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処　置＞

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図24－3　リセット解除後のソフト処理例（1/2）

・POC検出電圧付近での電源電圧変動が50 ms以下の場合

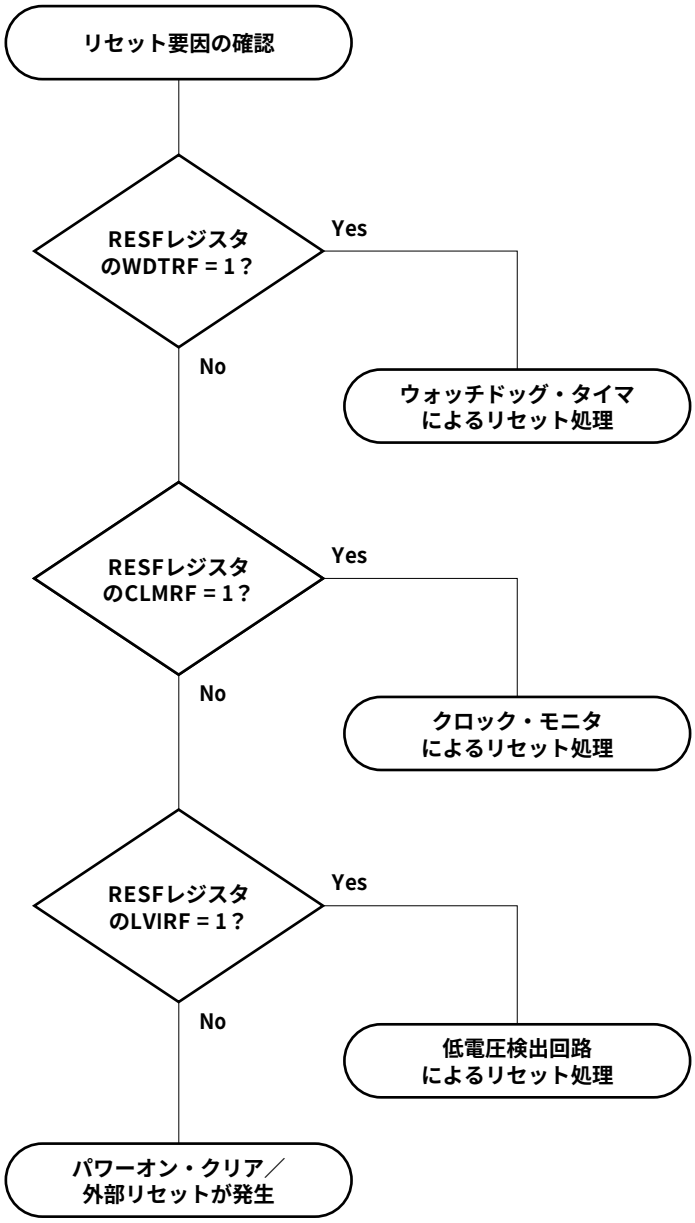


注1．この間に再度リセットが発生した場合，イニシャライズ処理には移行しません。

2．次頁にフロー・チャートを示します。

図24ー3　リセット解除後のソフト処理例（2/2）

・リセット要因の確認



第25章　低電圧検出回路

25. 1　低電圧検出回路の機能

低電圧検出（LVI）回路は次のような機能を持ちます。

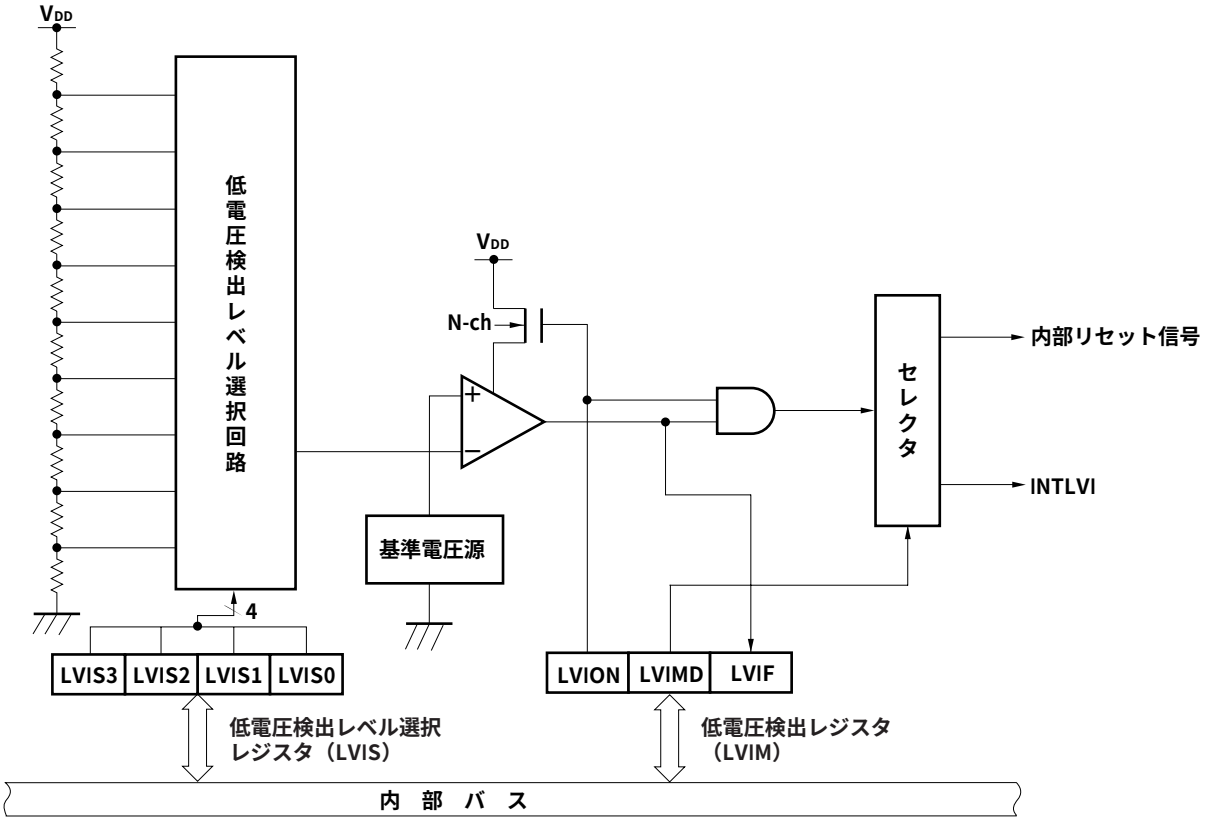
- 電源電圧（V_{DD}）と検出電圧（V_{LVI}）を比較し，V_{DD}＜V_{LVI}になったとき，内部割り込み信号もしくは内部リセット信号を発生します。
- 電源電圧の検出レベル（9段階）をソフトウエアにて変更できます。
- 割り込み／リセットをソフトウエアにて選択できます。
- STOPモード時においても動作可能です。

低電圧検出回路をリセットとして使用した場合に，リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFについての詳細は，第22章　リセット機能を参照してください。

25. 2　低電圧検出回路の構成

低電圧検出回路のブロック図を図25－1に示します。

図25－1　低電圧検出回路のブロック図



25. 3　低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- 低電圧検出レジスタ（LVIM）
- 低電圧検出レベル選択レジスタ（LVIS）

（1）低電圧検出レジスタ（LVIM）

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

LVI以外のリセットにより，00Hになります。

図25－2　低電圧検出レジスタ（LVIM）のフォーマット

アドレス：FFBEH　リセット時：00H　R/W注1

略号	7	6	5	4	3	2	1	0
LVIM	LVION	0	0	0注2	0	0	LVIMD	LVIF

LVION注3, 4	低電圧検出動作許可
0	動作禁止
1	動作許可

LVIMD注3	低電圧検出の動作モード選択
0	電源電圧（V_{DD}）＜検出電圧（V_{LVI}）時に割り込み信号発生
1	電源電圧（V_{DD}）＜検出電圧（V_{LVI}）時に内部リセット信号発生

LVIF注5	低電圧検出フラグ
0	電源電圧（V_{DD}）≧検出電圧（V_{LVI}），または動作禁止時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVI}）

注1．ビット0はRead Onlyです。

2．ビット4は1に設定してもかまいません。78K0/KF1ではLVIEビットとなっています。

3．LVION，LVIMDはLVIリセット以外のリセット時にクリア（0）されます。LVIリセットではクリア（0）されません。

4．LVIONをセット（1）すると，LVI回路内のコンパレータの動作を開始します。LVIONをセット（1）してからLVIFで電圧を確認するまでに0.2 ms以上ソフトウエアでウエイトしてください。

5．LVIFの値は，LVION = 1かつLVIMD = 0の場合に，割り込み要求信号INTLVIとして出力されます。

注意　LVIを停止する場合は，次のいずれかの手順を行ってください。

- 8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む
- 1ビット・メモリ操作命令の場合：LVIONをクリア（0）

(2) 低電圧検出レベル選択レジスタ（LVIS）

低電圧検出レベルを選択するレジスタです。

LVISは，8ビット・メモリ操作命令で設定します。

LVI以外のリセットにより，00Hになります。

図25－3　低電圧検出レベル選択レジスタ（LVIS）のフォーマット

アドレス：FFBFH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V_{LVI0}（4.3 V±0.2 V）
0	0	0	1	V_{LVI1}（4.1 V±0.2 V）
0	0	1	0	V_{LVI2}（3.9 V±0.2 V）
0	0	1	1	V_{LVI3}（3.7 V±0.2 V）
0	1	0	0	V_{LVI4}（3.5 V±0.2 V）
0	1	0	1	V_{LVI5}（3.3 V±0.15 V）
0	1	1	0	V_{LVI6}（3.1 V±0.15 V）
0	1	1	1	V_{LVI7}（2.85 V±0.15 V）
1	0	0	0	V_{LVI8}（2.6 V±0.1 V）注
1	0	0	1	V_{LVI9}（2.35 V±0.1 V）注
上記以外				設定禁止

★ 注　標準品，（A）水準品を78K0/KF1のマスクROM製品のプログラム評価用として使用する場合，および（A1）水準品にはV_{LVI8}, V_{LVI9}を設定しないでください。

注意1.　ビット4-7には必ず“0”を設定してください。

★ 2.　（A1）水準品では，POC解除後，電源電圧（V_{DD}）が設定した検出電圧（V_{LVI}）を越えてから，すべてのポート端子をクリアしてください。

25. 4　低電圧検出回路の動作

低電圧検出回路は，次の2種類の動作モードがあります。

・リセットとして使用
　電源電圧（V_{DD}）と検出電圧（V_{LVI}）を比較し，V_{DD}＜V_{LVI}のとき内部リセット信号を発生します。
・割り込みとして使用
　電源電圧（V_{DD}）と検出電圧（V_{LVI}）を比較し，V_{DD}＜V_{LVI}のとき割り込み信号（INTLVI）を発生します。

動作設定方法は次のとおりです。

（1）リセットとして使用する場合

●動作開始時

① LVIの割り込みをマスクする（LVIMK = 1）
② 低電圧検出レベル選択レジスタ（LVIS）のビット3-0（LVIS3-LVIS0）で検出電圧を設定する
③ LVIMのビット7（LVION）に“1”（LVI動作許可）を設定する
④ 0.2 ms以上ソフトウエアでウエイトする
⑤ LVIMのビット0（LVIF）で，「電源電圧（V_{DD}）≧検出電圧（V_{LVI}）」であることを確認する
⑥ LVIMのビット1（LVIMD）に“1”（電源電圧（V_{DD}）＜検出電圧（V_{LVI}）時に，内部リセット信号発生）を設定する

図25－4に，①～⑥と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

注意1．①は必ず行ってください。LVIMK = 0になっている場合，③の処理を行った時点で割り込みが発生する場合があります。
　　2．LVIMD = 1とした時点で，「電源電圧（V_{DD}）≧検出電圧（V_{LVI}）」であれば内部リセット信号は発生しません。

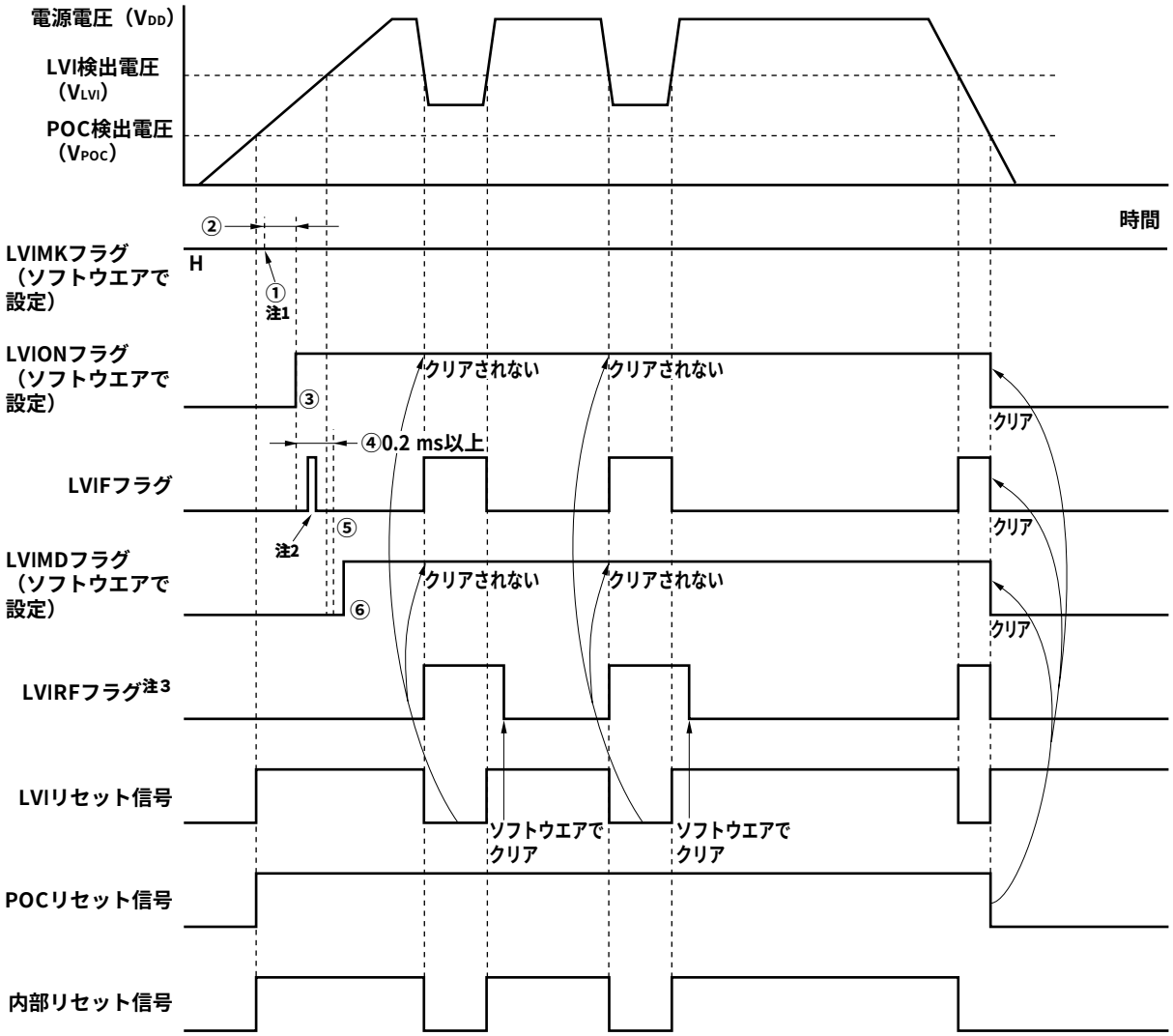
●動作停止時

次のいずれかの手順を，必ず実行してください。

・8ビット・メモリ操作命令の場合：
　LVIMに“00H”を書き込む

・1ビット・メモリ操作命令の場合：
　LVIMDをクリア（0）→LVIONをクリア（0）

図25－4　低電圧検出回路の内部リセット信号発生のタイミング



注1．LVIMKフラグは$\overline{\text{RESET}}$入力により，“1”になっています。

2．LVIFフラグがセット（1）される可能性があります。

3．LVIRFはリセット・コントロール・フラグ・レジスタ（RESF）のビット0です。RESFについての詳細は，第22章　リセット機能を参照してください。

備考　図25－4の①～⑥は，25. 4（1）リセットとして使用する場合　●動作開始時の①～⑥と対応しています。

(2) 割り込みとして使用する場合

●動作開始時

① LVIの割り込みをマスクする（LVIMK = 1）

② 低電圧検出レベル選択レジスタ（LVIS）のビット3-0（LVIS3-LVIS0）で検出電圧を設定する

③ LVIMのビット7（LVION）に“1”（LVI動作許可）を設定する

④ 0.2 ms以上ソフトウエアでウエイトする

⑤ LVIMのビット0（LVIF）で，「電源電圧（V_{DD}）≧検出電圧（V_{LVI}）」であることを確認する

⑥ LVIの割り込み要求フラグ（LVIIF）をクリア（0）する

⑦ LVIの割り込みマスク・フラグ（LVIMK）を解除する

⑧ （ベクタ割り込みを使用する場合）EI命令を実行する

図25－5に，①～⑦と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

●動作停止時

次のいずれかの手順を，必ず実行してください。

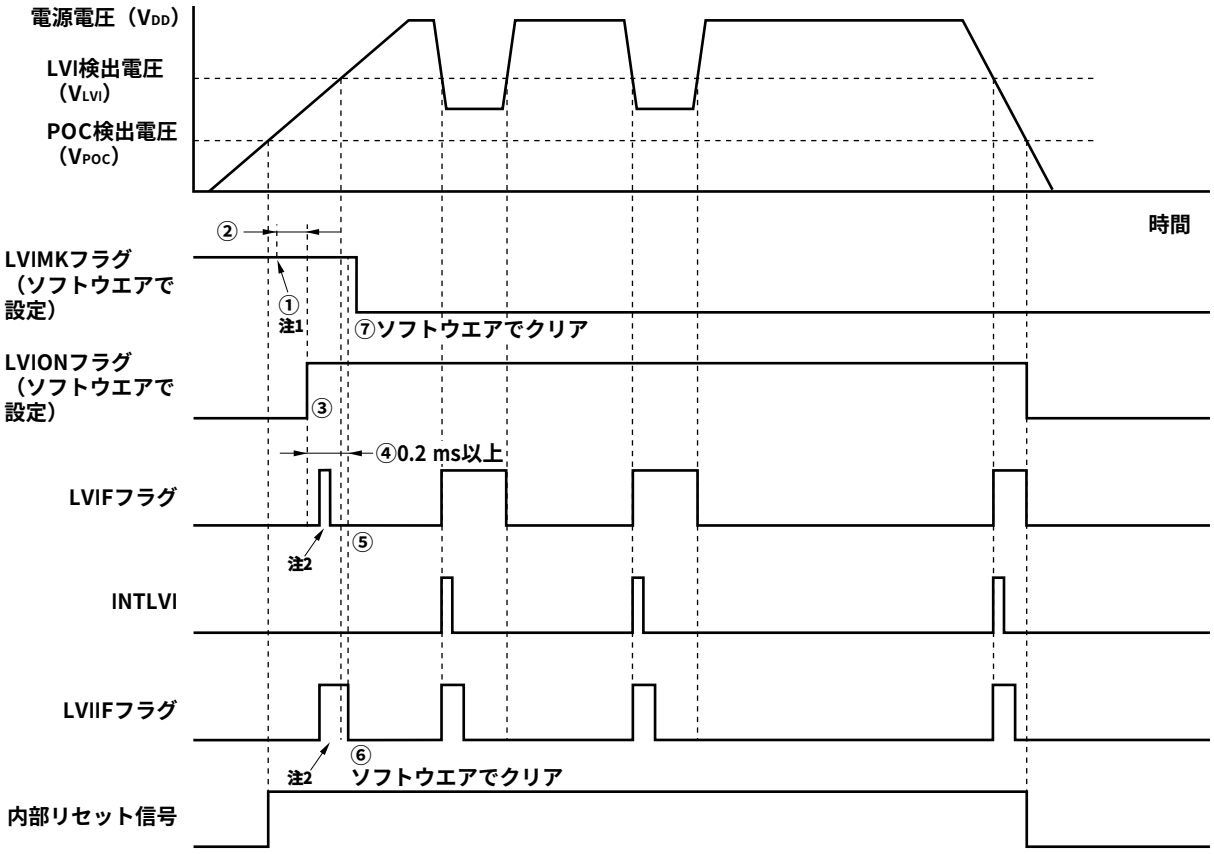
・8ビット・メモリ操作命令の場合：

LVIMに“00H”を書き込む

・1ビット・メモリ操作命令の場合：

LVIONをクリア（0）

図25－5　低電圧検出回路の割り込み信号発生のタイミング



注1．LVIMKフラグは$\overline{\text{RESET}}$入力により，“1”になっています。

2．LVIFフラグ，LVIIFフラグがセット（1）される可能性があります。

備考　図25－5の①～⑦は，25. 4（2）割り込みとして使用する場合　●動作開始時の①～⑦と対応しています。

25. 5　低電圧検出回路の注意事項

電源電圧（V_{DD}）がLVI検出電圧（V_{LVI}）付近で，ある期間ふらつくような構成のシステムでは，低電圧検出回路の使用方法により，次のような動作となります。

(1) リセットとして使用する場合

リセット状態／リセット解除状態を繰り返すことがあります。

後述の処置（a）に示す処理を行うことにより，リセット解除からマイコン動作開始までの時間を任意に設定できます。

(2) 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。後述の処置（b）に示す処理を行うようにしてください。

このようなシステム構成の場合，次の処置をしてください。

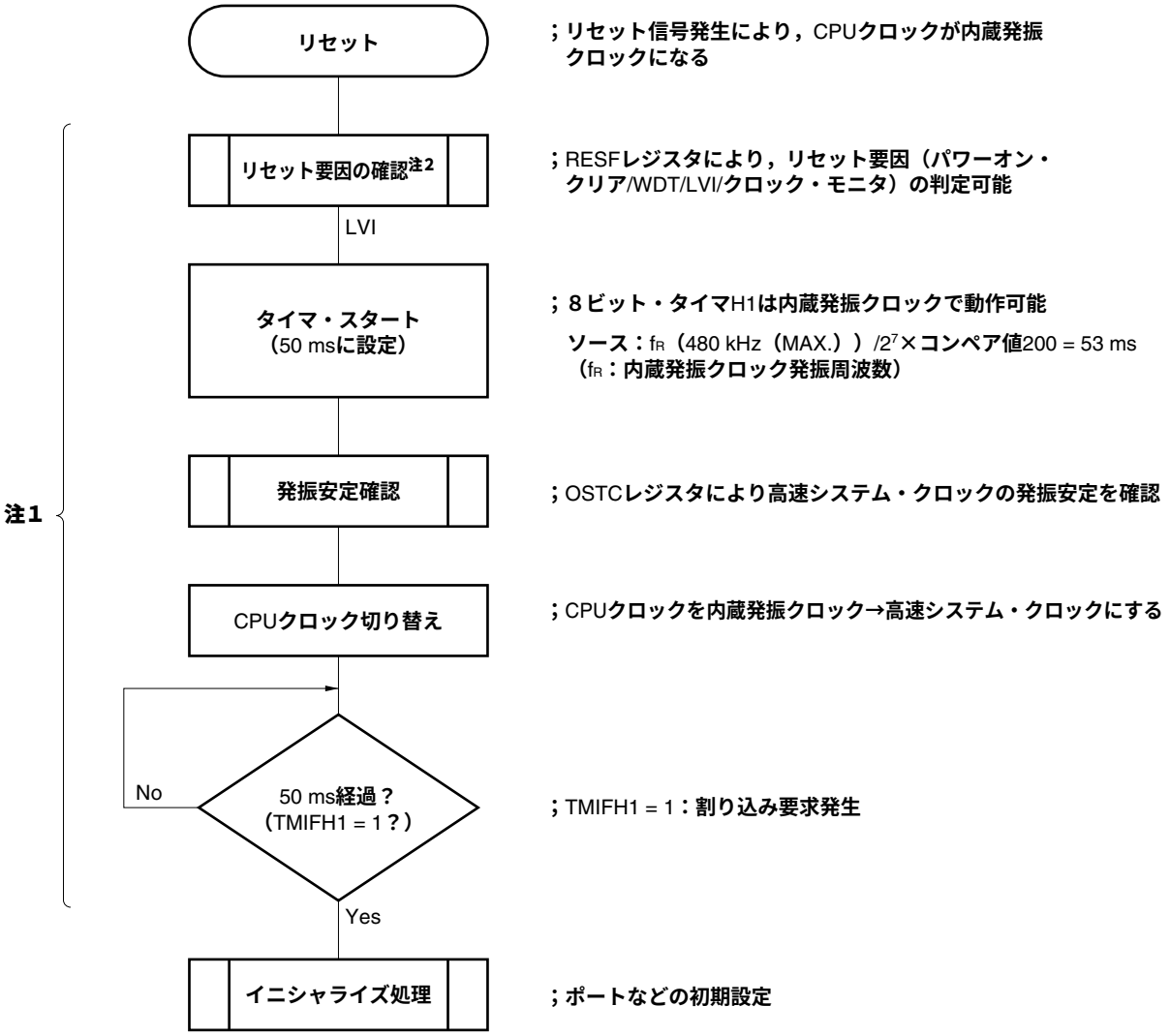
＜処　置＞

(a) リセットとして使用する場合

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図25－6　リセット解除後のソフト処理例（1/2）

・LVI検出電圧付近での電源電圧変動が50 ms以下の場合

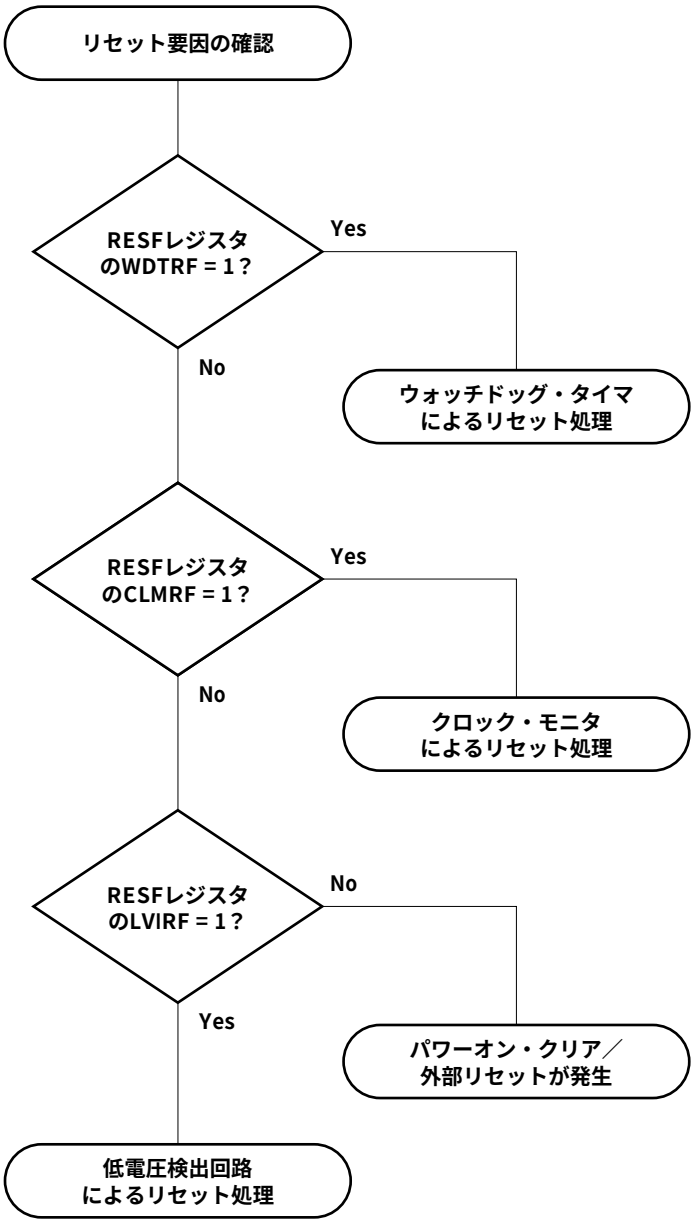


注1．この間に再度リセットが発生した場合，イニシャライズ処理には移行しません。

2．次頁にフロー・チャートを示します。

図25ー6　リセット解除後のソフト処理例（2/2）

・リセット要因の確認



(b) 割り込みとして使用する場合

LVI割り込みの処理ルーチン内で，低電圧検出レジスタ（LVIM）のビット0（LVIF）で，“電源電圧（V_{DD}）≧検出電圧（V_{LVI}）”を確認し，割り込み要求フラグ・レジスタ0L（IF0L）のビット0（LVIIF）をクリア（0）してから，EI（割り込み許可）にしてください。

また，LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は，電源電圧変動期間をウエイトしたあとに，LVIFフラグで“電源電圧（V_{DD}）≧検出電圧（V_{LVI}）”を確認してから，EI（割り込み許可）にしてください。

★

第26章　オプション・バイト

26. 1　オプション・バイトの機能

78K0/KF1+のフラッシュ・メモリの0080H-0084Hは，オプション・バイト領域です。電源投入時またはリセットからの起動時に，自動的にオプション・バイトを参照して，指定された機能の設定を行います。製品使用の際には，必ずオプション・バイトにて次に示す機能の設定を行ってください。

また，セルフ・プログラミング時にブート・スワップ動作を使用する場合，0080H-0084Hは1080H-1084Hと切り替わるので，あらかじめ1080H-1084Hにも0080H-0084Hと同じ値を設定してください。

(1) 0080H/1080H

○低速内蔵発振器の動作

・ソフトウエアにより停止可能

・停止不可

(2) 0084H/1084H

○オンチップ・ディバグ動作制御

・オンチップ・ディバグ動作禁止

・オンチップ・ディバグ動作許可，オンチップ・ディバグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

・オンチップ・ディバグ動作許可，オンチップ・ディバグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注意1.　オンチップ・ディバグ機能を搭載していない製品（μPD78F0148H）は，必ず0084Hに00H（オンチップ・ディバグ動作禁止）を設定してください。また，ブート・スワップ時は，0084Hと1084Hが切り替わるので，あらかじめ1084Hにも00Hを設定してください。

2.　オンチップ・ディバグ機能を搭載している製品（μPD78F0148HD）で，オンチップ・ディバグ機能を使用する場合は，0084Hに02Hまたは03Hを設定してください。また，ブート・スワップ時は，0084Hと1084Hが切り替わるので，あらかじめ1084Hにも0084Hと同じ値を設定してください。

注意　0081H, 0082H, 0083H（ブート・スワップ使用時は0081H/1081H, 0082H/1082H, 0083H/1083H）には，必ず00Hを設定してください。

26. 2　オプション・バイトのフォーマット

オプション・バイトのフォーマットを次に示します。

図26－1　オプション・バイトのフォーマット

アドレス：0080H/1080H[注]

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	LSROSC

LSROSC	低速内蔵発振器の動作
0	ソフトウエアにより停止可能（RCMレジスタのビット0（RSTOP）に1を書き込むことにより停止）
1	停止不可（RSTOPビットに1を書き込んでも停止しない）

注　ブート・スワップ時は，0080Hと1080Hが切り替わるので，あらかじめ1080Hにも0080Hと同じ値を設定してください。

注意1.　LSROSC = 0（ソフトウエアにより停止可能）の場合，内蔵発振モード・レジスタ（RCM）のビット0（RSTOP）の設定に関係なく，HALT/STOPモード時では，ウォッチドッグ・タイマにカウント・クロックは供給されません。
ただし，低速内蔵発振クロックで8ビット・タイマH1が動作している場合は，HALT/STOPモード時でも，8ビット・タイマH1にカウント・クロックが供給されます。

2.　ビット1-7には必ず0を書き込んでください。

アドレス：0081H/1081H, 0082H/1082H, 0083H/1083H[注]

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

注　0081H, 0082H, 0083Hは予約領域なので，必ず00Hを設定してください。またブート・スワップ時は，0081H, 0082H, 0083Hと1081H, 1082H, 1083Hが切り替わるので，あらかじめ1081H, 1082H, 1083Hにも00Hを設定してください。

アドレス：0084H/1084H[注1, 2]

7	6	5	4	3	2	1	0
0	0	0	0	0	0	OCDEN1	OCDEN0

OCDEN1	OCDEN0	オンチップ・ディバグ動作制御
0	0	動作禁止
0	1	設定禁止
1	0	動作許可，オンチップ・ディバグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない
1	1	動作許可，オンチップ・ディバグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する

注1.　オンチップ・ディバグ機能を搭載していない製品（μPD78F0148H）は，必ず0084Hに00H（オンチップ・ディバグ動作禁止）を設定してください。また，ブート・スワップ時は，0084Hと1084Hが切り替わるので，あらかじめ1084Hにも00Hを設定してください。

2.　オンチップ・ディバグ機能を搭載している製品（μPD78F0148HD）で，オンチップ・ディバグ機能を使用する場合は，0084Hに02Hまたは03Hを設定してください。また，ブート・スワップ時は，0084Hと1084Hが切り替わるので，あらかじめ1084Hにも0084Hと同じ値を設定してください。

備考　オンチップ・ディバグ・セキュリティIDについては，第28章　オンチップ・ディバグ機能（μPD78F0148HDのみ）を参照してください。

オプション・バイト設定のソフトウエア記述例を次に示します。

```
OPT      CSEG  AT 0080H
OPTION:  DB    00H      ; 低速内蔵発振器をソフトウエアにより停止可能
         DB    00H      ; 予約領域
         DB    00H      ; 予約領域
         DB    00H      ; 予約領域
         DB    00H      ; オンチップ・ディバグ動作禁止
```

備考　オプション・バイトの参照はリセット処理時に行われます。リセット処理のタイミングについては，第22章　リセット機能を参照してください。

第27章　フラッシュ・メモリ

μPD78F0148H/HDは，78K0/KF1のμPD780148の内蔵マスクROMを，基板に実装した状態でプログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリに置き換えた製品です。78K0/KF1+と78K0/KF1の違いを表27－1に示します。

表27－1　78K0/KF1+と78K0/KF1の製品の違い

項　目	78K0/KF1+	78K0/KF1	
	μPD78F0148H, 78F0148HD	μPD78F0148	マスクROM製品
内部ROM構造	フラッシュ・メモリ（単電源）	フラッシュ・メモリ（二電源）	マスクROM
内部ROM容量	60 Kバイト[注1]		μPD780143：24 Kバイト μPD780144：32 Kバイト μPD780146：48 Kバイト μPD780148：60 Kバイト
内部拡張RAM容量	1024バイト[注1]		μPD780143：なし μPD780144：なし μPD780146：1024バイト μPD780148：1024バイト
8ピン	FLMD0端子	V_{PP}端子	IC端子
25ピン	P17/TI50/TO50/FLMD1端子	P17/TI50/TO50端子	
パワーオン・クリア（POC）機能	検出電圧は固定（V_{POC} = 2.1 V±0.1 V）	POC使用可／不可および検出電圧を製品より選択	POC使用可／不可および検出電圧をマスク・オプションより選択
レギュレータ	なし	あり[注2]	
セルフ・プログラミング機能	あり	なし	－
オンチップ・ディバグ機能	μPD78F0148HDのみ搭載	なし	－
電気的特性	それぞれのユーザーズ・マニュアルの電気的特性の章を参照してください。		

注1．メモリ・サイズ切り替えレジスタ（IMS）と内部拡張RAMサイズ切り替えレジスタ（IXS）により，マスクROM製品と同一の容量に設定できます。

2．（A1）水準品，（A2）水準品はレギュレータを使用できません。

注意　フラッシュ・メモリ製品とマスクROM製品では，ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は，マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

27. 1　メモリ・サイズ切り替えレジスタ

メモリ・サイズ切り替えレジスタ（IMS）により，内部メモリ容量を選択できます。
IMSは，8ビット・メモリ操作命令で設定します。
$\overline{\text{RESET}}$入力により，CFHになります。

注意　IMSの初期値はCFHです。78K0/KF1+を78K0/KF1のマスクROM製品のプログラム評価用として使用する場合は，表27－2に示す値を設定してください。

図27－1　メモリ・サイズ切り替えレジスタ（IMS）のフォーマット

アドレス：FFF0H　　リセット時：CFH　　R/W

略号	7	6	5	4	3	2	1	0
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0

RAM2	RAM1	RAM0	内部高速RAM容量の選択
1	1	0	1024バイト
上記以外			設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
0	1	1	0	24 Kバイト
1	0	0	0	32 Kバイト
1	1	0	0	48 Kバイト
1	1	1	1	60 Kバイト
上記以外				設定禁止

78K0/KF1のマスクROM製品と同一のメモリ・マップにするIMSの設定値を表27－2に示します。

表27－2　メモリ・サイズ切り替えレジスタの設定値

フラッシュ・メモリ製品 （78K0/KF1+）	対象のマスクROM製品 （78K0/KF1）	IMSの設定値
－	μPD780143	C6H
－	μPD780144	C8H
－	μPD780146	CCH
μPD78F0148H, 78F0148HD	μPD780148	CFH

27. 2　内部拡張RAMサイズ切り替えレジスタ

内部拡張RAMサイズ切り替えレジスタ（IXS）により，内部拡張RAM容量を選択できます。
IXSは，8ビット・メモリ操作命令で設定できます。
$\overline{\text{RESET}}$入力により，0CHになります。

注意　IXSの初期値は0CHとなっているため，必ず初期設定でIXS = 0AHに設定してください。78K0/KF1+を78K0/KF1のマスクROM製品のプログラム評価用として使用する場合は，表27－3に示す値を設定してください。

図27－2　内部拡張RAMサイズ切り替えレジスタ（IXS）のフォーマット

アドレス：FFF4H　　リセット時：0CH　　R/W

略号	7	6	5	4	3	2	1	0
IXS	0	0	0	IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0

IXRAM4	IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
0	1	1	0	0	0バイト
0	1	0	1	0	1024バイト
上記以外					設定禁止

78K0/KF1のマスクROM製品と同一のメモリ・マップにするIXSの設定値を表27－3に示します。

表27－3　内部拡張RAMサイズ切り替えレジスタの設定値

フラッシュ・メモリ製品（78K0/KF1+）	対象のマスクROM製品（78K0/KF1）	IXSの設定値
－	μPD780143	0CH
－	μPD780144	0CH
－	μPD780146	0AH
μPD78F0148H, 78F0148HD	μPD780148	0AH

27.3　フラッシュ・ライタによる書き込み方法

専用フラッシュ・ライタにより，オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0/KF1+を実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・ライタを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に78K0/KF1+を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考　FAシリーズは，（株）内藤電誠町田製作所の製品です。

表27ー4　78K0/KF1+と専用フラッシュ・ライタの配線表

専用フラッシュ・ライタ接続端子			CSI10使用時		CSI10+HS使用時		UART6使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SO10/P12	20	SO10/P12	20	TxD6/P13	21
SO/TxD	出力	送信信号	SI10/RxD0/P11	19	SI10/RxD0/P11	19	RxD6/P14	22
SCK	出力	転送クロック	$\overline{\text{SCK10}}$/TxD0/P10	18	$\overline{\text{SCK10}}$/TxD0/P10	18	必要なし	必要なし
CLK	出力	78K0/KF1+へのクロック	X1	12	X1	12	X1	12
			X2[注]	13	X2[注]	13	X2[注]	13
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	14	$\overline{\text{RESET}}$	14	$\overline{\text{RESET}}$	14
FLMD0	出力	モード信号	FLMD0	8	FLMD0	8	FLMD0	8
FLMD1	出力	モード信号	FLMD1/TI50/TO50/P17	25	FLMD1/TI50/TO50/P17	25	FLMD1/TI50/TO50/P17	25
H/S	入力	ハンドシェーク信号	必要なし	必要なし	HS/P15/TOH0	23	必要なし	必要なし
V_{DD}	入出力	V_{DD}電圧生成／電圧監視	V_{DD}	9	V_{DD}	9	V_{DD}	9
			EV_{DD}	31	EV_{DD}	31	EV_{DD}	31
			AV_{REF}	1	AV_{REF}	1	AV_{REF}	1
GND	ー	グランド	V_{SS}	11	V_{SS}	11	V_{SS}	11
			EV_{SS}	30	EV_{SS}	30	EV_{SS}	30
			AV_{SS}	2	AV_{SS}	2	AV_{SS}	2

注　フラッシュ・ライタのクロック・アウトを使用する際は，ライタのCLKとX1を接続し，X2にはその反転信号を接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図27－3　3線式シリアルI/O（CSI10）方式でのフラッシュ書き込み用アダプタ配線例

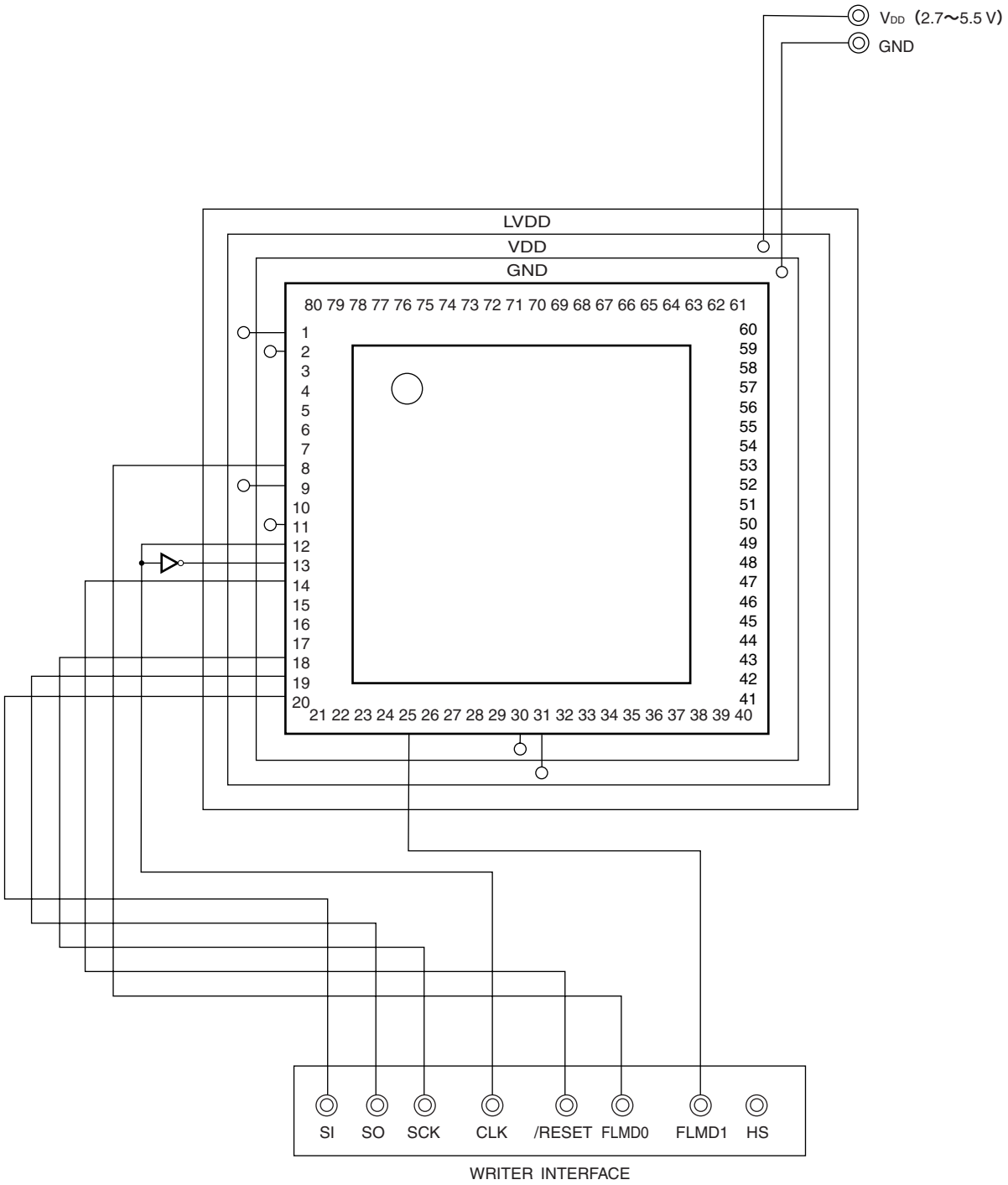


図27－4　3線式シリアルI/O（CSI10＋HS）方式でのフラッシュ書き込み用アダプタ配線例

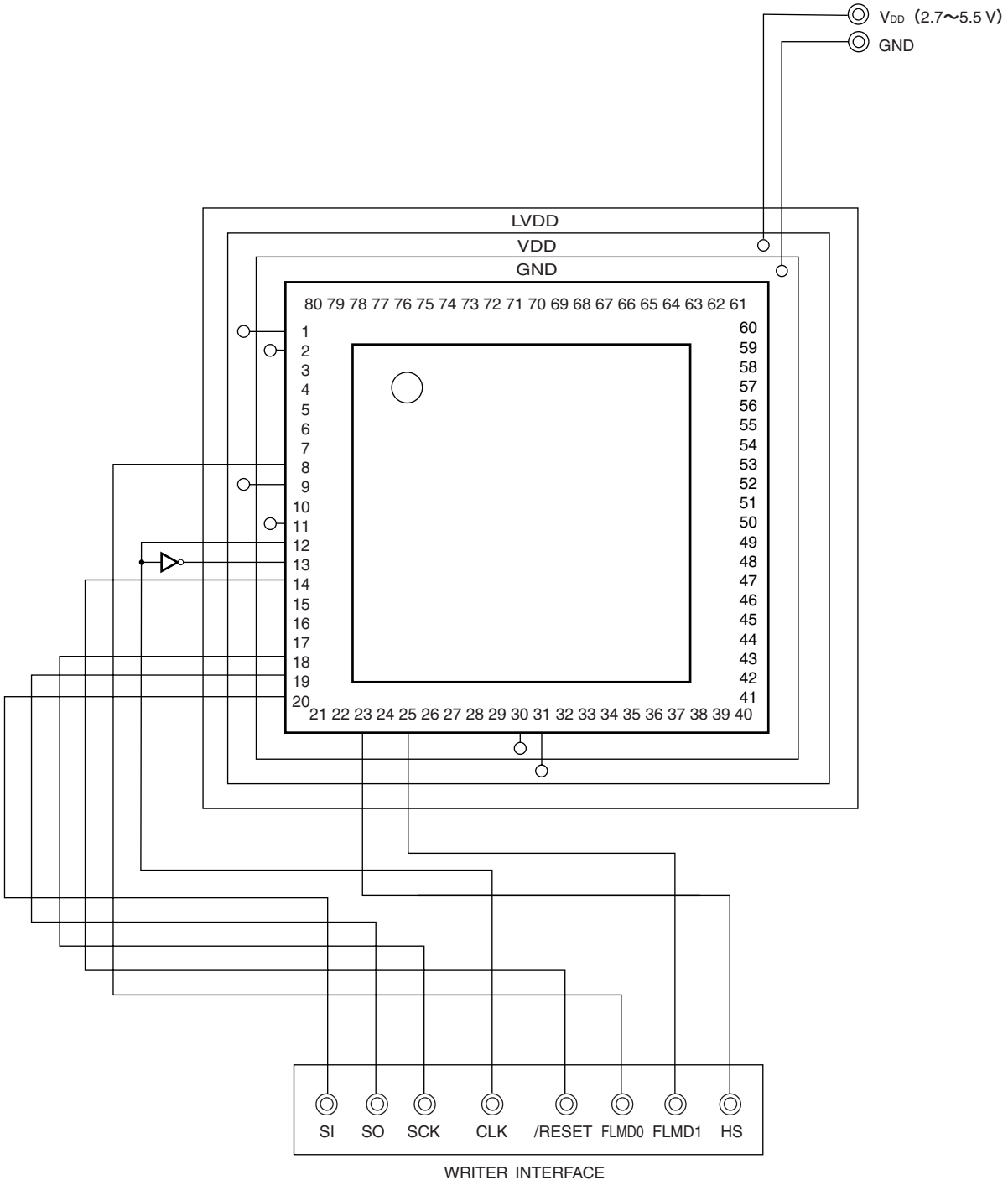
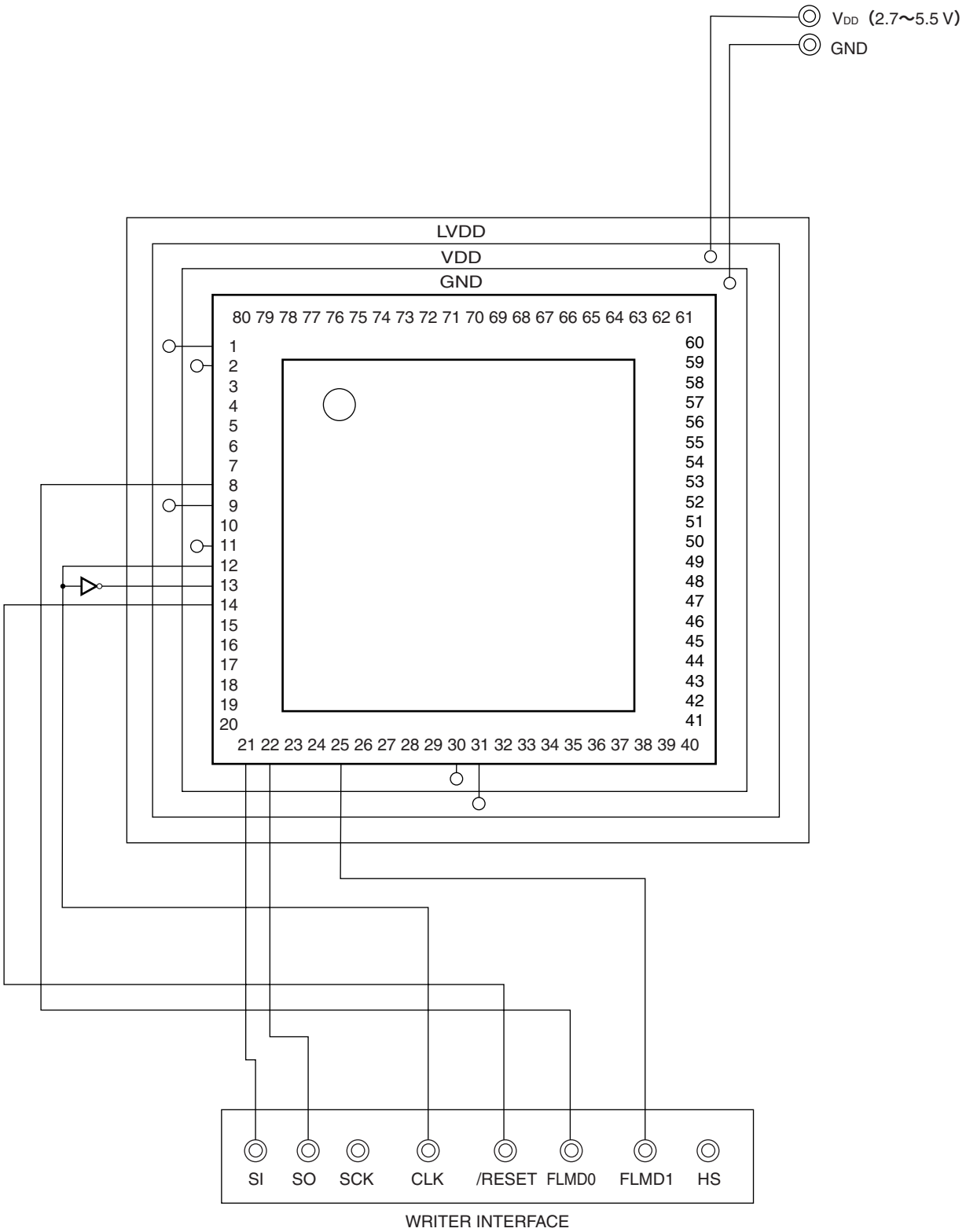


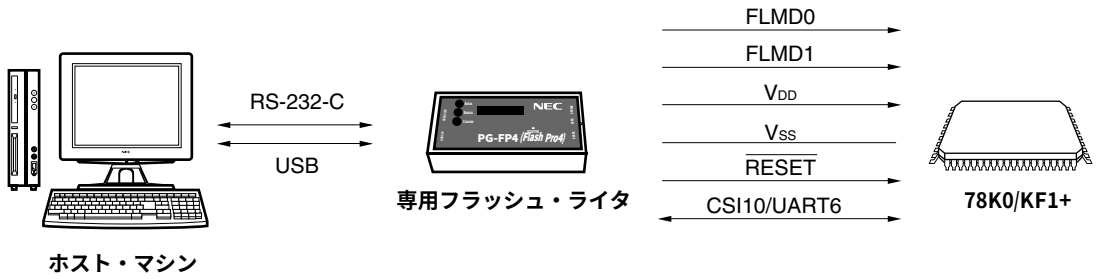
図27ー5　UART（UART6）方式でのフラッシュ書き込み用アダプタ配線例



27. 4　プログラミング環境

78K0/KF1+のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図27－6　フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライタには，これを制御するホスト・マシンが必要です。

また，専用フラッシュ・ライタと78K0/KF1+とのインタフェースはCSI10またはUART6を使用して，書き込み，消去等の操作を行います。オフボードで書き込む場合は，専用プログラム・アダプタ（FAシリーズ）が必要です。

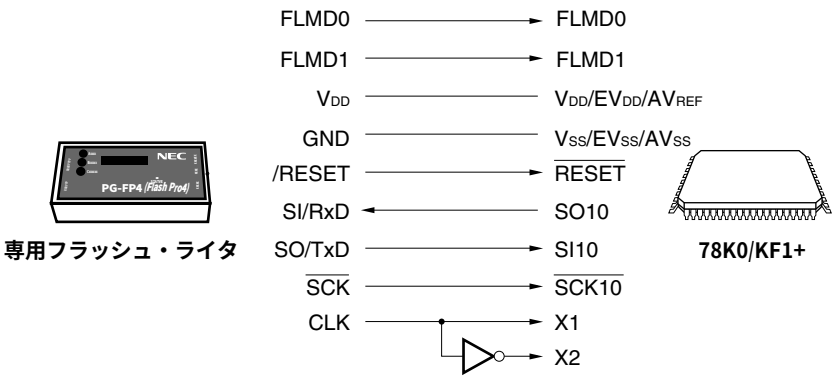
27. 5　通信方式

専用フラッシュ・ライタと78K0/KF1+との通信は，78K0/KF1+のCSI10またはUART6によるシリアル通信で行います。

（1）CSI10

転送レート：200 K～2 MHz

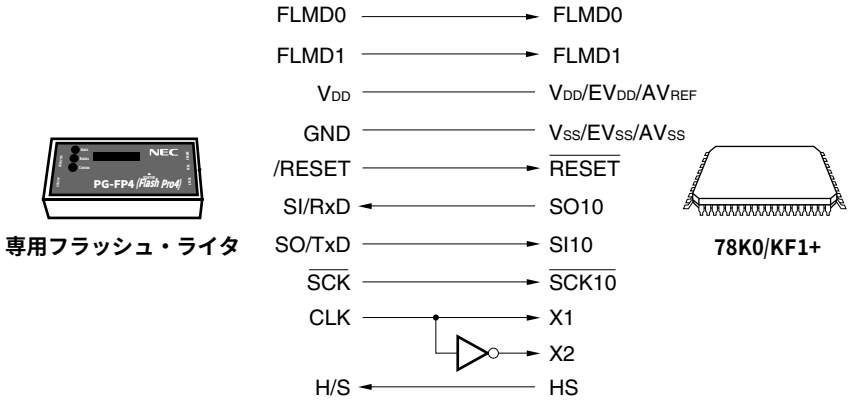
図27－7　専用フラッシュ・ライタとの通信（CSI10）



(2) ハンドシェーク対応CSI通信方式

転送レート：200 K～2 MHz

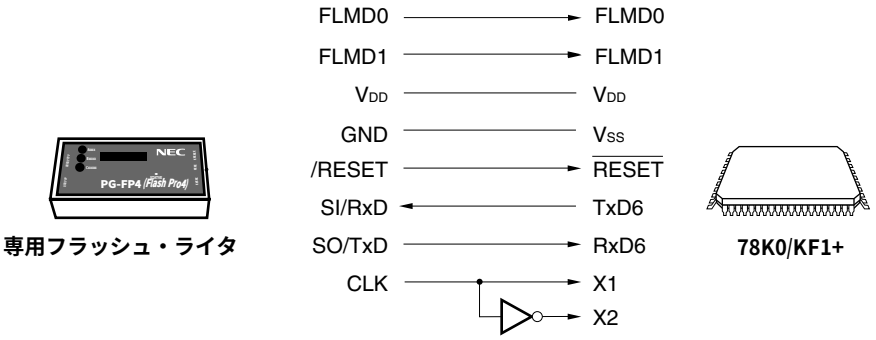
図27－8　専用フラッシュ・ライタとの通信（CSI10＋HS）



(3) UART6

転送レート：4800～76800 bps

図27－9　専用フラッシュ・ライタとの通信（UART6）



専用フラッシュ・ライタとしてFlashproIVを使用した場合，FlashproIVは78K0/KF1+に対して次の信号を生成します。詳細はFlashproIVのマニュアルを参照してください。

表27－5　端子接続一覧

Flashpro**IV**			78K0/KF1+	接続時の処置	
信号名	入出力	端子機能	端子名	CSI10	UART6
FLMD0	出力	モード信号	FLMD0	◎	◎
FLMD1	出力	モード信号	FLMD1	○	○
V_{DD}	入出力	V_{DD}電圧生成／電圧監視	V_{DD}, EV_{DD}, AV_{REF}	◎	◎
GND	－	グランド	V_{SS}, EV_{SS}, AV_{SS}	◎	◎
CLK	出力	78K0/KF1+へのクロック出力	X1, X2[注]	○	○
/RESET	出力	リセット信号	$\overline{RESET}$	◎	◎
SI/RxD	入力	受信信号	SO10/TxD6	◎	◎
SO/TxD	出力	送信信号	SI10/RxD6	◎	◎
SCK	出力	転送クロック	$\overline{SCK10}$	◎	×
H/S	入力	ハンドシェーク信号	HS	△	×

注　フラッシュ・ライタのクロック・アウトを使用する際は，ライタのCLKとX1を接続し，X2にはその反転信号を接続してください。

備考　◎：必ず接続してください。
○：ターゲット・ボード上で生成されていれば，接続の必要はありません。
×：接続の必要はありません。
△：ハンドシェーク・モード時

27. 6　オンボード上の端子処理

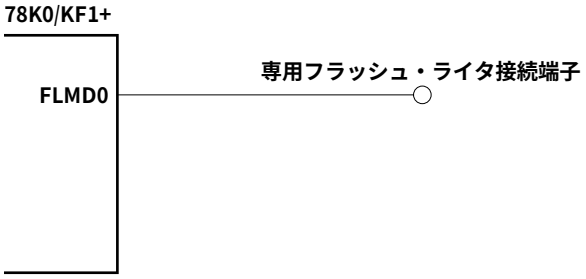
オンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

27. 6. 1　FLMD0端子

通常動作モード時は，FLMD0端子に0 Vを入力します。また，フラッシュ・メモリ・プログラミング・モード時は，FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。FLMD0端子の接続例を次に示します。

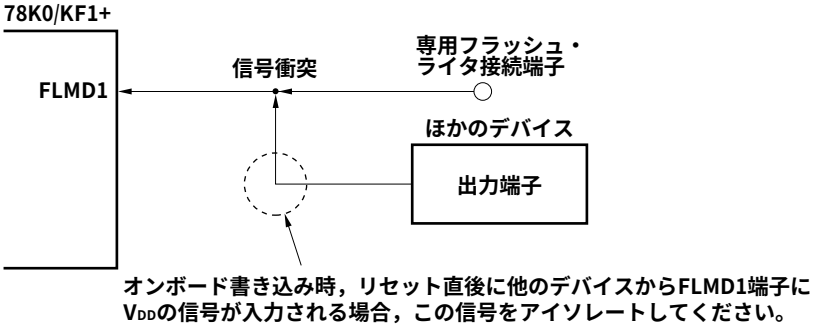
図27－10　FLMD0端子の接続例



27. 6. 2　FLMD1端子

FLMD0端子に0 Vを入力された場合，FLMD1端子は機能しません。FLMD0端子にV_{DD}が供給された場合，フラッシュ・メモリ・プログラミング・モードに引き込むため，FLMD1端子をV_{SS}と同じ電圧にする必要があります。FLMD1端子の接続例を次に示します。

図27－11　FLMD1端子の接続例



27. 6. 3　シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表27－6　各シリアル・インタフェースが使用する端子

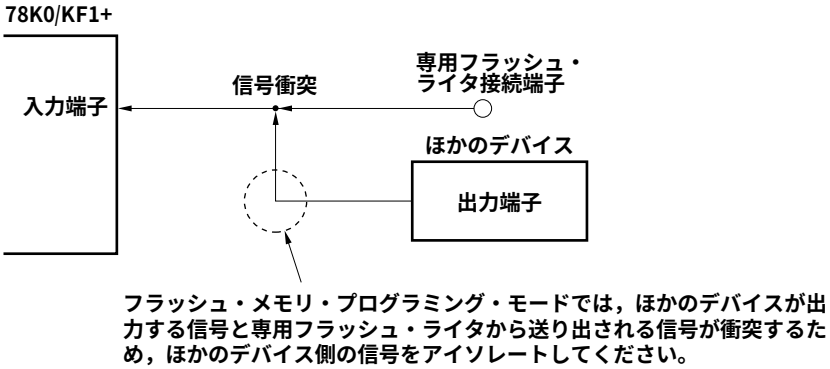
シリアル・インタフェース	使用端子
CSI10	SO10, SI10, $\overline{\text{SCK10}}$
CSI10＋HS	SO10, SI10, $\overline{\text{SCK10}}$, HS/P15
UART6	TxD6, RxD6

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に，専用フラッシュ・ライタを接続する場合，信号の衝突，ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・ライタ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

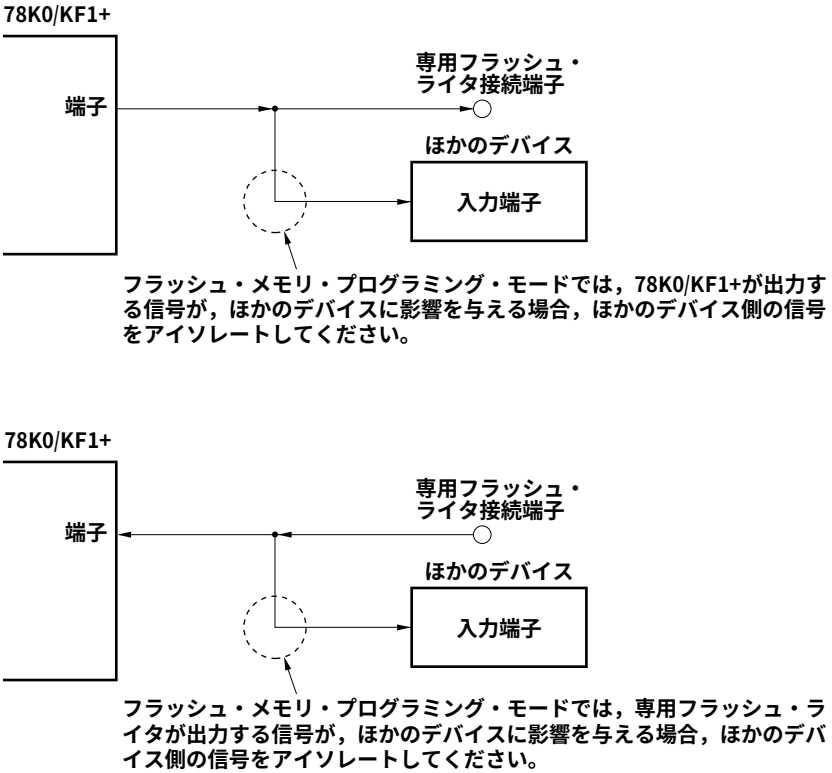
図27－12　信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライタ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートしてください。

図27－13　ほかのデバイスの異常動作

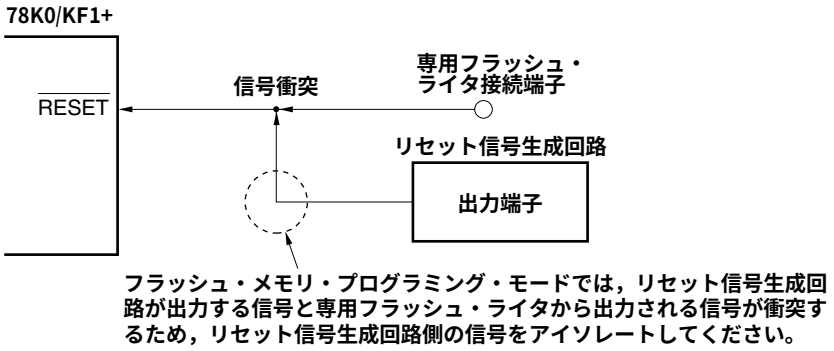


27. 6. 4　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・ライタのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図27－14　信号の衝突（$\overline{\text{RESET}}$端子）



27. 6. 5　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}に接続するか，または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

27. 6. 6　その他の信号端子

オンボード上のクロックを使用する場合，X1, X2は，通常動作モード時と同じ状態に接続してください。

ただし，ライタから動作クロックを入力する場合，ライタのクロック・アウトとX1を，またX2には，その反転信号を接続してください。

27. 6. 7　電　　源

フラッシュ・ライタの電源出力を使用する場合は，V_{DD}端子はフラッシュ・ライタのV_{DD}に，V_{SS}端子はフラッシュ・ライタのV_{SS}に，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

ただし，フラッシュ・ライタで電圧監視をするため，V_{DD}, V_{SS}端子はフラッシュ・ライタのV_{DD}, GNDと必ず接続してください。

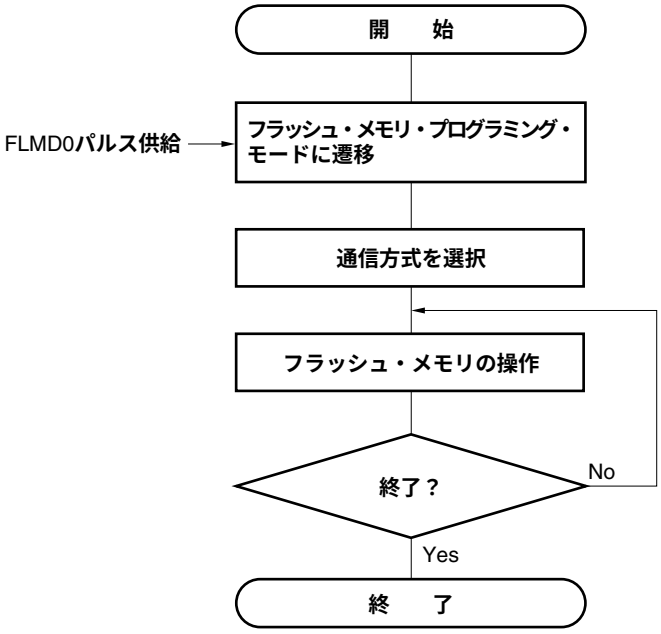
その他の電源（EV_{DD}, EV_{SS}, AV_{REF}, AV_{SS}）は，通常動作モード時と同じ電源を供給してください。

27. 7　プログラミング方法

27. 7. 1　フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図27－15　フラッシュ・メモリの操作手順



27. 7. 2　フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・ライタを使用してフラッシュ・メモリの内容を書き換えるときは，78K0/KF1+をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには，FLMD0端子をV_{DD}設定後，リセットを解除します。

オンボード書き込みを行うときは，ジャンパ等でモードを切り替えてください。

図27－16　フラッシュ・メモリ・プログラミング・モード

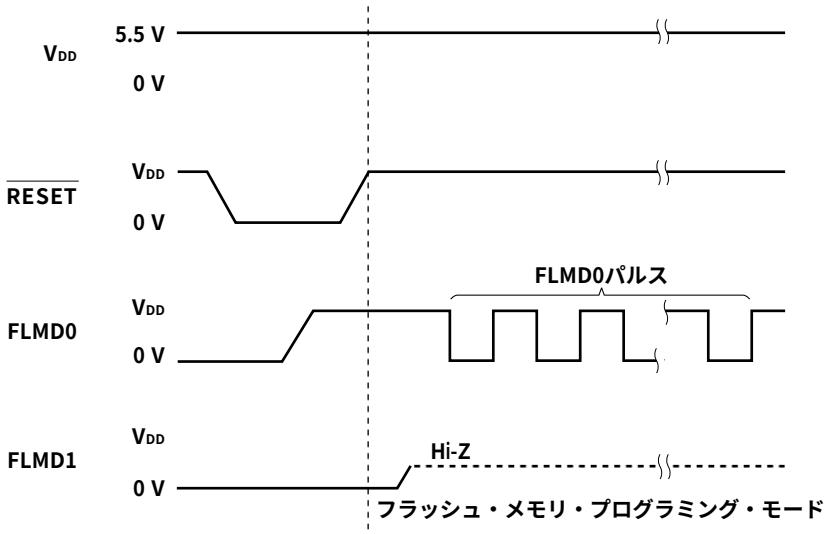


表27－7　リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V_{DD}	0	フラッシュ・メモリ・プログラミング・モード
V_{DD}	V_{DD}	設定禁止

27. 7. 3　通信方式の選択

78K0/KF1+では，フラッシュ・メモリ・プログラミング・モードに遷移後，FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・ライタが生成します。

パルス数と通信方式の関係を次に示します。

★ **表27－8　通信方式一覧**

通信方式	Standard設定[注1]					使用端子	FLMD0
	Port	Speed	On Target	Frequency	Multiply Rate		パルス数
UART (UART6)	UART-ch0	9600, 19200, 31250, 38400, 76800, 153600[注3] bps[注4]	任意	2 M-16 MHz[注2]	1.0	TxD6, RxD6	0
3線式シリアルI/O (CSI10)	SIO-ch0	2.4 k-2.5 MHz				SO10, SI10, $\overline{\text{SCK10}}$	8
3線式シリアルI/O ハンドシェーク対応 (CSI10＋HS)	SIO-H/S	2.4 k-2.5 MHz				SO10, SI10, $\overline{\text{SCK10}}$, HS/P15	11

注1．FlashproⅣ上のStandard設定における設定項目です。

2．電圧により設定可能な範囲が異なります。詳細は電気的特性の章を参照してください。

3．周辺ハードウエア・クロック周波数が2.5 MHz以下の場合は，選択できません。

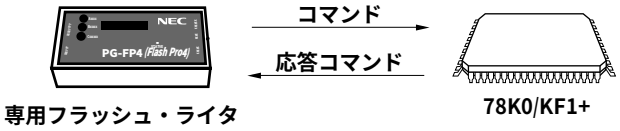
4．UART通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価のうえ使用してください。

注意　UART6選択時，受信クロックは，FLMD0パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。

27. 7. 4　通信コマンド

78K0/KF1+と専用フラッシュ・ライタは，コマンドを介して通信します。専用フラッシュ・ライタから78K0/KF1+へ送られる信号を「コマンド」と呼び，78K0/KF1+から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図27－17　通信コマンド



78K0/KF1+のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され，78K0/KF1+がコマンドに対応した各処理を行います。

表27－9　フラッシュ・メモリ制御用コマンド

分　類	コマンド名称	機　　能
ベリファイ	一括ベリファイ・コマンド	全メモリの内容と入力したデータを比較
消去	一括消去コマンド	全メモリの内容を消去
ブランク・チェック	一括ブランク・チェック・コマンド	全メモリの消去状態を確認
データ・ライト	高速書き込みコマンド	書き込みアドレス，書き込みバイト数の指定によりデータを書き込み，ベリファイ・チェックを実行
	連続書き込みコマンド	直前に実行された高速書き込みコマンドに続くアドレスからデータを書き込み，ベリファイ・チェックを実行
システム設定，制御	ステータス読み出しコマンド	動作状況のステータスを得る
	発振周波数設定コマンド	発振周波数の設定
	消去時間設定コマンド	一括消去の消去時間設定
	書き込み時間設定コマンド	データ書き込み時の書き込み時間設定
	ボー・レート設定コマンド	UART使用時のボー・レート設定
	シリコン・シグネチャ・コマンド	シリコン・シグネチャ情報を読み出す
	リセット・コマンド	各状態からの脱出

また，78K0/KF1+は，専用フラッシュ・ライタから発行されたコマンドに対して，応答コマンドを返します。78K0/KF1+が送出する応答コマンドを次に示します。

表27－10　応答コマンド

応答コマンド名称	機　　能
ACK	コマンド／データなどのアクノリッジ
NAK	不正なコマンド／データなどのアクノリッジ

27. 8　セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0/KF1+は，ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能により，ユーザ・アプリケーションでフラッシュ･メモリの書き換えが可能となるので，フィールドでのプログラムのアップグレードなどができるようになります。

プログラミング・モードの切り替えは，フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）のビット0，1（FLSPM0, FLSPM1）で行います。

セルフ・プログラミングの手順を，次に示します。

備考　セルフ・プログラミング機能の詳細については，78K0/Kx1+　**ユーザーズ・マニュアル　フラッシュ・メモリ・セルフ・プログラミング**（U16701J）を参照してください。

図27－18　セルフ・プログラミングの手順

27. 8. 1　セルフ・プログラミング機能で使用するレジスタ

セルフ・プログラミング機能は，次の3種類のレジスタを使用します。

・フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）
・フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）
・フラッシュ・ステータス・レジスタ（PFS）

（1）フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）

セルフ・プログラミング時のフラッシュ・メモリへの書き込み／消去の可否，セルフ書き込み時の動作モードを設定するレジスタです。

FLPMCは，ノイズやプログラムの暴走などの誤動作によって，応用システムが不用意に停止しないようにするため，特定シーケンス（27. 8. 1（2）フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）を参照）で書き込み動作を行った場合のみ，FLPMCへの書き込みが有効となります。

FLPMCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，0XH[注]になります。

注　動作モードにより異なります。
・ユーザ・モード　　：08H
・オンボード・モード：0CH

図27－19　フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）のフォーマット

アドレス：FFC4H　　リセット時：0×H[注1]　　R/W[注2]

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	0	0	FWEDIS	FWEPR	FLSPM1	FLSPM0

FWEDIS	フラッシュ・メモリの書き込み／消去の制御
0	書き込み／消去許可[注3]
1	書き込み／消去禁止

FWEPR	FLMD0端子のステータス
0	ロウ・レベル
1	ハイ・レベル[注3]

FLSPM1[注4]	FLSPM0[注4]	セルフ書き込み時の動作モード選択
0	0	通常モード すべてのアドレスにおいて，フラッシュ・メモリの命令のフェッチが可能です。
0	1	セルフ・プログラミング・モードA1 ファームウエアの呼び出し（CALL #8100H）が可能です。
1	1	セルフ・プログラミング・モードA2 ファームROMからの命令フェッチを行います。 ファームウエア内で設定されるモードで，ユーザはこのモードを設定できません。
1	0	設定禁止

注1.　動作モードにより異なります。

・ユーザ・モード　　：08H

・オンボード・モード：0CH

2.　ビット2（FWEPR）はRead Onlyです。

3.　実際の書き込み／消去は，FWEDIS = 0となるほかに，FLMD0端子がハイ・レベル（FWEPR = 1）になっていなければなりません。

FWEDIS	FWEPR	フラッシュ・メモリの書き込み／消去の可否
0	1	書き込み／消去可能
上記以外		書き込み／消去不可

4.　FLSPM1とFLSPM0により，ユーザROM（フラッシュ・メモリ）とファームROMの切り替えが制御でき，応用システム上でモード端子を通して，設定されている動作モードとセルフ・プログラミング・モードとの切り替えが可能です。

注意1.　フラッシュ・メモリの書き込みおよび消去が終了するまで，必ずFWEDISを0にしてください。

2.　通常モード時は，必ずFWEDIS = 1にしてください。

3.　FLSPM1とFLSPM0は，内蔵RAMに分岐してから，操作を行ってください。フラッシュ・メモリのアドレス指定は，FLSPM1 = 0のときはCPUからのアドレス信号，FLSPM1 = 1のときは，書き込みのファームウエアの設定値になります。また，オンボード・モード時には，FLSPM1とFLSPM0の指定は無視されます。

(2) フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）

ノイズやプログラムの暴走などの誤動作によって，応用システムが不用意に停止した場合，フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）への書き込み動作はシステムに重大な影響を与える可能性があります。PFCMDは，このFLPMCへの書き込み動作に対して，応用システムが不用意に停止しないようにプロテクションを施すために使用するレジスタです。

次に示す特定シーケンスで書き込み動作を行った場合のみ，FLPMCへの書き込みが有効となります。

① PFCMDに特定の値（PFCMD = A5H）を書き込む

② FLPMCに，設定したい値を書き込む（このステップでの書き込みは無効）

③ FLPMCに，設定したい値の反転値を書き込む（このステップでの書き込みは無効）

④ FLPMCに，設定したい値を書き込む（このステップでの書き込みは有効）

これにより，レジスタの値が書き換えられ，不正な書き込み動作ができなくなります。

不正なストア動作の発生は，フラッシュ・ステータス・レジスタ（PFS）のビット0（FPRERR）で確認できます。

なお，FLPMCを変更するたび，PFCMDにA5Hを書き込む必要があります。

PFCMDは，8ビット・メモリ操作命令で書き込みます。

$\overline{\text{RESET}}$入力により，不定になります。

図27ー20　フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）のフォーマット

アドレス：FFC0H　　リセット時：不定　　W

略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) フラッシュ・ステータス・レジスタ（PFS）

プロテクション対象のフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に対して，正しいシーケンス（フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）への書き込みを含む）で書き込み動作を行わなかった場合，FLPMCへの書き込みは行われず，プロテクション・エラーが発生します。このとき，PFSのビット0（FPRERR）がセット（1）されます。

このフラグが蓄積フラグです。FPRERRをチェックしたあと，0を書き込むことによって，FPRERRをクリアします。

PFSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$入力により，00Hになります。

図27－21　フラッシュ・ステータス・レジスタ（PFS）のフォーマット

アドレス：FFC2H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	0	0	FPRERR

FPRERRフラグの動作条件を次に示します。

＜セット条件＞

- 最近の周辺レジスタに対するストア命令動作が，PFCMDへの特定値（PFCMD = A5H）の書き込み動作ではない状態で，PFCMDへの書き込みを行ったとき
- ①後の最初のストア命令動作が，FLPMC以外の周辺レジスタに対するとき
- ②後の最初のストア命令動作が，FLPMC以外の周辺レジスタに対するとき
- ②後の最初のストア命令動作で，FLPMCに設定したい値の反転値以外の値を書き込んだとき
- ③後の最初のストア命令動作が，FLPMC以外の周辺レジスタに対するとき
- ③後の最初のストア命令動作で，FLPMCに設定したい値（②の書き込み値）以外の値を書き込んだとき

備考　上記の丸数字は，前述の（2）フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）の丸数字と対応しています。

＜リセット条件＞

- FPRERRフラグに0を書き込んだとき
- $\overline{\text{RESET}}$入力したとき

＜特定シーケンスの記述例＞

FLPMCに05Hを書き込む場合

```
MOV    PFCMD, #0A5H      ; PFCMDにA5Hを書き込む。
MOV    FLPMC, #05H       ; FLPMCに05Hを書き込む。
MOV    FLPMC, #0FAH      ; FLPMCに0FAH（05Hの反転）を書き込む。
MOV    FLPMC, #05H       ; FLPMCに05Hを書き込む。
```

27. 9　ブート・スワップ機能

78K0/KF1+は，ブート・スワップ機能を搭載しています。

セルフ・プログラミングにてブート領域書き換え中に何らかの原因で電源瞬断が発生し，ブート領域のプログラムが破壊されても，ブート・スワップ機能により，電源再投入～リセット・スタート後，プログラムを正常に起動させることができます。

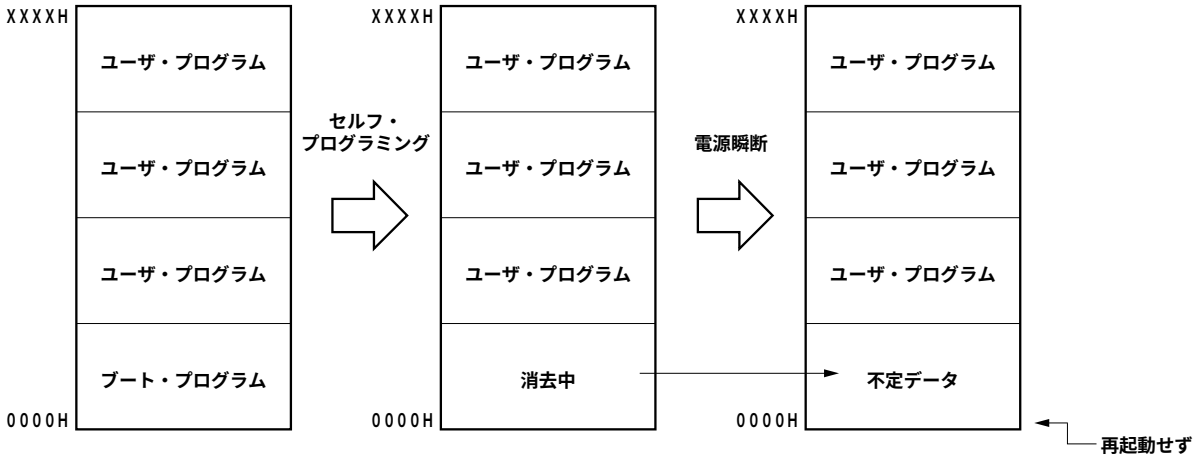
27. 9. 1　ブート・スワップ機能の概要

セルフ・プログラミングにてブート・プログラム領域の消去を行う前に，あらかじめ新しいブート・プログラムをスワップ対象となるブロックへ書き込んでおき，同時にブート・フラグ[注]を設定します。これにより，ブート領域の書き換え中に電源瞬断が発生しても，次回リセット・スタート時にはアドレスが入れ替わるので，上述のスワップ対象領域がブート領域となり，正常にプログラムが動作します。図27－22にブート・スワップ機能のイメージ図を示します。

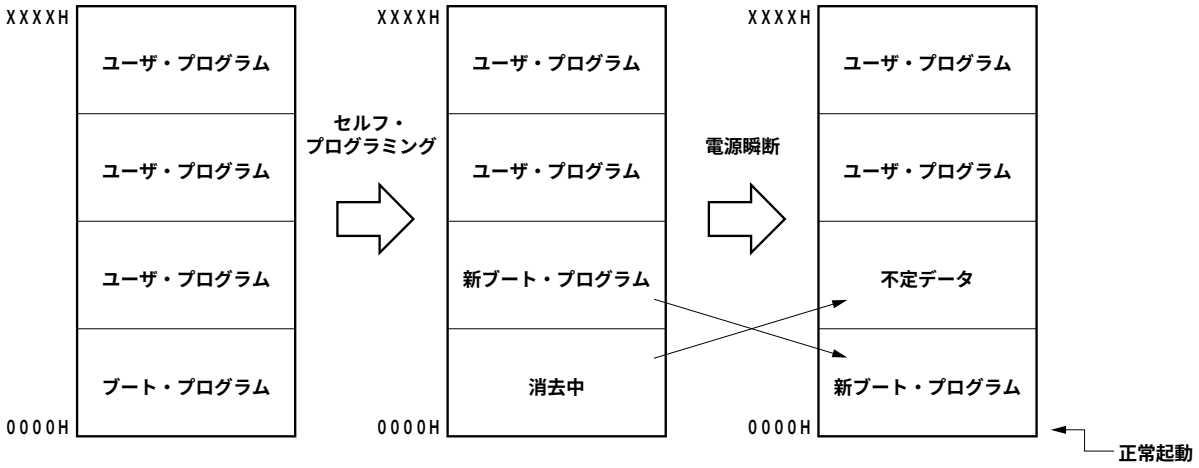
注　ブート・フラグは，78K0/KF1+が内蔵するフラッシュ･メモリ・コントロール・ファームウエアで制御するフラグです。

図27－22　ブート・スワップ機能のイメージ図

(1) ブート・スワップ未対応



(2) ブート・スワップ対応



27. 9. 2　メモリ・マップとブート領域

図27－23にメモリ・マップとブート領域を示します。78K0/KF1+のブート・プログラム領域は4 Kバイト単位です。ブート・スワップ時には，図中のブート・クラスタ0とブート・クラスタ1が入れ替わります。

図27－23　メモリ・マップとブート領域（1/2）

（1）μPD78F0148H

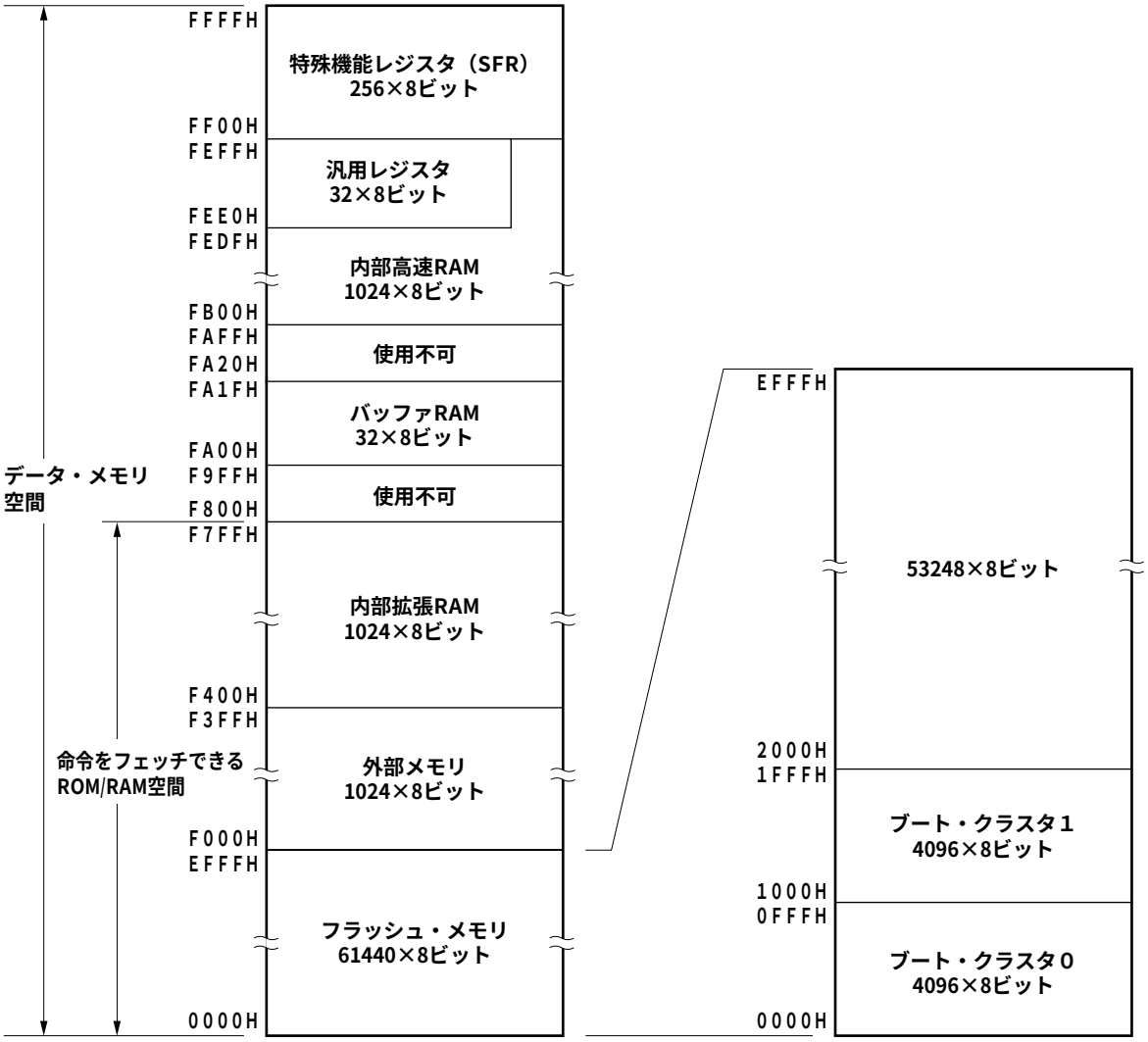
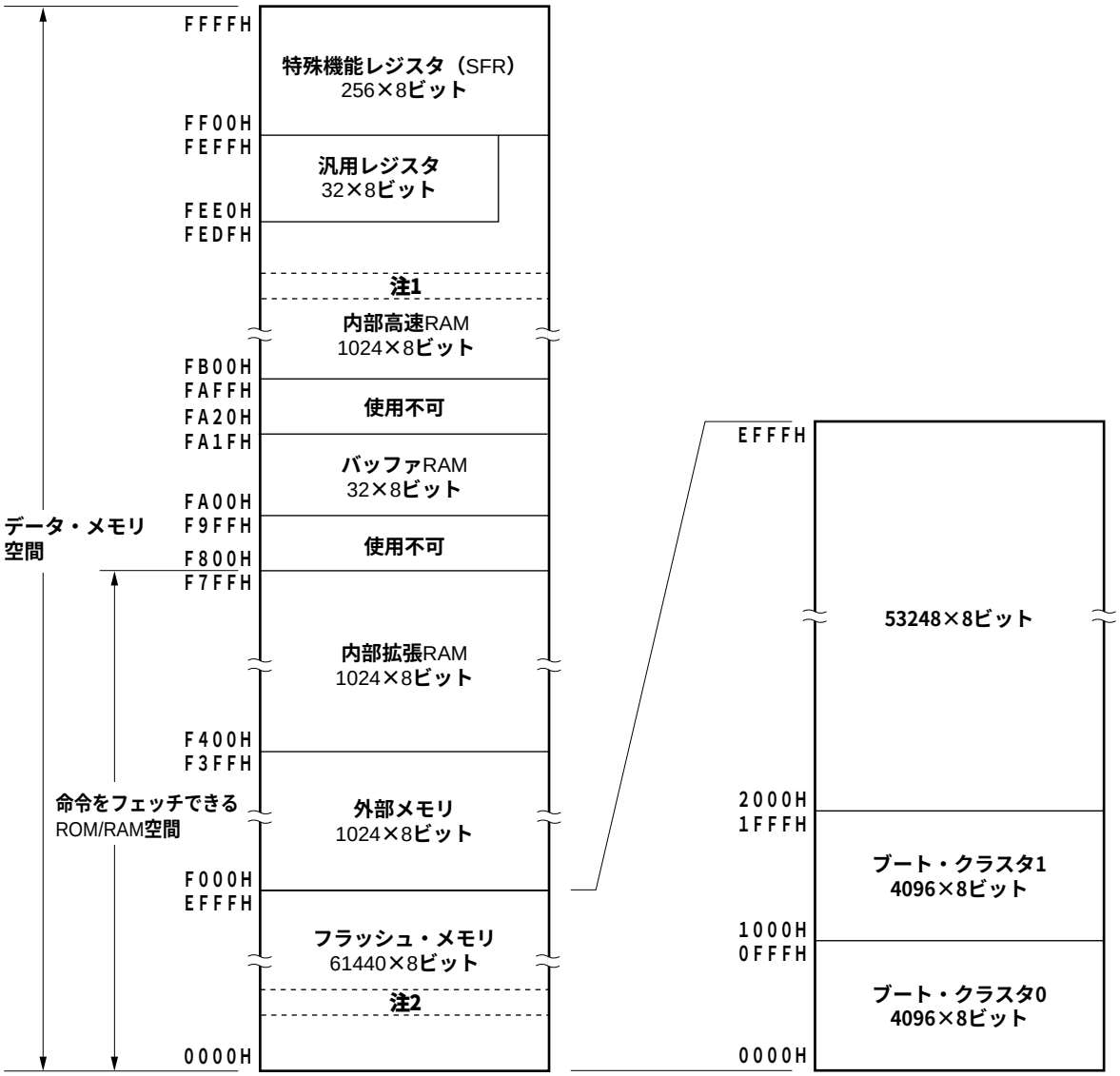


図27－23　メモリ・マップとブート領域（2/2）

（2）μPD78F0148HD



★　注1.　オンチップ・ディバグ時は，通信時のユーザ・データのバックアップ領域として，約7～16バイト使用します。

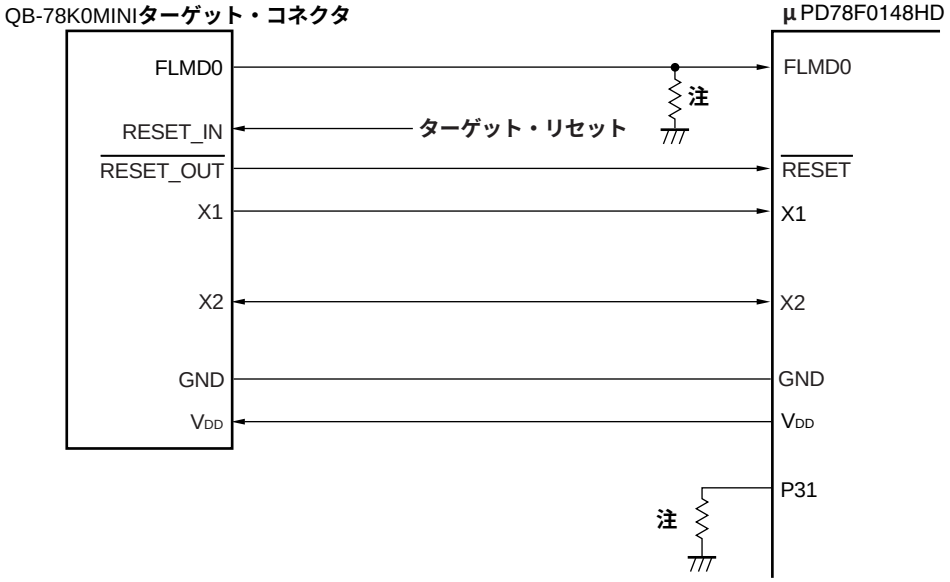
★　2.　オンチップ・ディバグ時は，通信コマンド用領域（008FH-018FH：ディバッガの標準設定）となるため，使用不可になります。

★　第28章　オンチップ・ディバグ機能（μPD78F0148HDのみ）

μPD78F0148HDは，オンチップ・ディバグ対応のオンチップ・ディバグ・エミュレータ（QB-78K0MINI）を介して，ホスト・マシンとの通信を行う場合，V_{DD}, FLMD0, $\overline{RESET}$, X1（またはP31），X2（またはP32），V_{SS}端子を使用します。X1とP31, X2とP32はどちらを使用するか，選択できます。

注意　μPD78F0148HDはオンチップ・ディバグ機能搭載品です。オンチップ・ディバグ機能使用後，フラッシュ・メモリの書き換え回数の制限の観点から，信頼性について保証できないため，量産用としては使用しないでください。またクレーム受け付け対象外の製品です。

図28－1　QB-78K0MINIとμPD78F0148HDの接続例（X1, X2使用時）

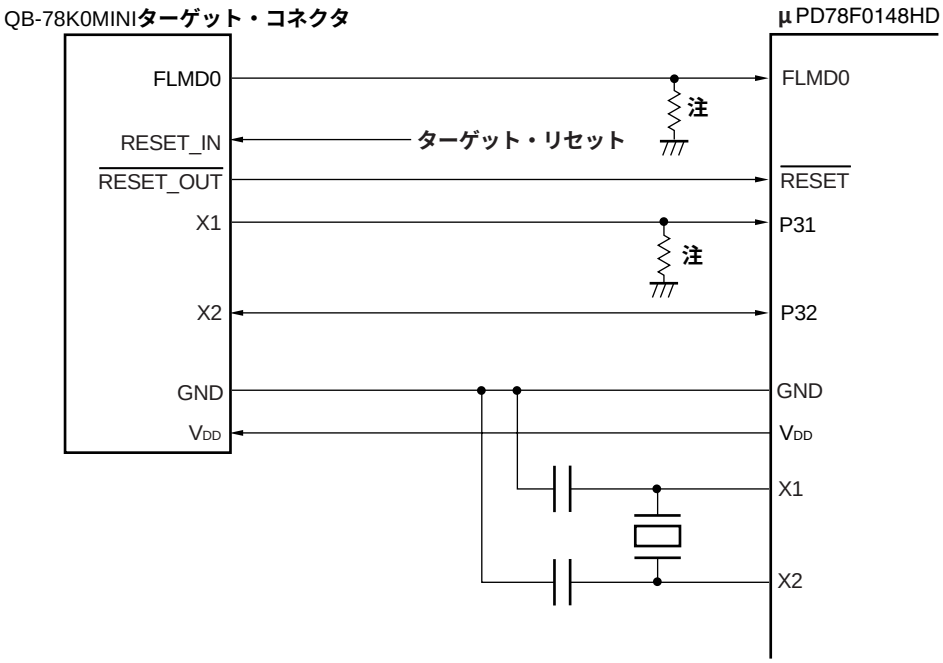


注　プルダウン抵抗値は470 Ω以上にしてください。

注意1.　オンチップ・ディバグ時は，X1端子よりクロック入力します。

2.　X1, X2端子を使用する場合，P31端子を外部でプルダウンしてください。

図28－2　QB-78K0MINIとμPD78F0148HDの接続例（P31, P32使用時）



注　プルダウン抵抗値は470 Ω以上にしてください。

28. 1　オンチップ・ディバグ・セキュリティID

μPD78F0148HDでは，フラッシュ・メモリの0084Hにオンチップ・ディバグ動作制御フラグ（第26章　オプション・バイトを参照）を，0085H-008EHにオンチップ・ディバグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は，0084H, 0085H-008EHと1084H, 1085H-108EHが切り替わるので，あらかじめ1084H, 1085H-108EHにも同じ値を設定してください。

オンチップ・ディバグ・セキュリティIDの詳細につきましては，QB-78K0MINI　ユーザーズ・マニュアル（U17029J）を参照してください。

表28－1　オンチップ・ディバグ・セキュリティID

アドレス	オンチップ・ディバグ・セキュリティIDコード
0085H-008EH	10バイトの任意のIDコード
1085H-108EH	

第29章　命令セットの概要

78K0/KF1+の命令セットを一覧表にして示します。なお，各命令の詳細な動作および機械語（命令コード）については，78K/0シリーズ　ユーザーズ・マニュアル　命令編（U12326J）を参照してください。

29. 1　凡　　例

29. 1. 1　オペランドの表現形式と記述方法

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は，アセンブラ仕様による）。記述方法の中で複数個あるものは，それらの要素の1つを選択します。大文字で書かれた英字および＃，！，＄，［　］の記号はキー・ワードであり，そのまま記述します。記号の説明は，次のとおりです。

- ＃　：イミーディエト・データ指定
- ！　：絶対アドレス指定
- ＄　：相対アドレス指定
- [　]：間接アドレス指定

イミーディエト・データのときは，適当な数値またはレーベルを記述します。レーベルで記述する際も＃，！，＄，［　］記号は必ず記述してください。

また，オペランドのレジスタの記述形式r, rpには，機能名称（X, A, Cなど），絶対名称（下表の中のカッコ内の名称，R0, R1, R2など）のいずれの形式でも記述可能です。

表29－1　オペランドの表現形式と記述方法

表現形式	記　述　方　法
r	X（R0），A（R1），C（R2），B（R3），E（R4），D（R5），L（R6），H（R7）
rp	AX（RP0），BC（RP1），DE（RP2），HL（RP3）
sfr	特殊機能レジスタ略号[注]
sfrp	特殊機能レジスタ略号（16ビット操作可能なレジスタの偶数アドレスのみ）[注]
saddr	FE20H-FF1FH　イミーディエト・データまたはレーベル
saddrp	FE20H-FF1FH　イミーディエト・データまたはレーベル（偶数アドレスのみ）
addr16	0000H-FFFFH　イミーディエト・データまたはレーベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr11	0800H-0FFFH　イミーディエト・データまたはレーベル
addr5	0040H-007FH　イミーディエト・データまたはレーベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはレーベル
byte	8ビット・イミーディエト・データまたはレーベル
bit	3ビット・イミーディエト・データまたはレーベル
RBn	RB0-RB3

注　FFD0H-FFDFHは，アドレスできません。

備考　特殊機能レジスタの略号は表3－4　特殊機能レジスター覧を参照してください。

29. 1. 2　オペレーション欄の説明

A	：Aレジスタ；8ビット・アキュームレータ
X	：Xレジスタ
B	：Bレジスタ
C	：Cレジスタ
D	：Dレジスタ
E	：Eレジスタ
H	：Hレジスタ
L	：Lレジスタ
AX	：AXレジスタ・ペア；16ビット・アキュームレータ
BC	：BCレジスタ・ペア
DE	：DEレジスタ・ペア
HL	：HLレジスタ・ペア
PC	：プログラム・カウンタ
SP	：スタック・ポインタ
PSW	：プログラム・ステータス・ワード
CY	：キャリー・フラグ
AC	：補助キャリー・フラグ
Z	：ゼロ・フラグ
RBS	：レジスタ・バンク選択フラグ
IE	：割り込み要求許可フラグ
（　）	：（　）内のアドレスまたはレジスタの内容で示されるメモリの内容
$\times_H$，$\times_L$	：16ビット・レジスタの上位8ビット，下位8ビット
∧	：論理積（AND）
∨	：論理和（OR）
∀	：排他的論理和（exclusive OR）
———	：反転データ
addr16	：16ビット・イミーディエト・データまたはレーベル
jdisp8	：符号付き8ビット・データ（ディスプレースメント値）

29. 1. 3　フラグ動作欄の説明

（ブランク）	：変化なし
0	：0にクリアされる
1	：1にセットされる
×	：結果に従ってセット／クリアされる
R	：以前に退避した値がストアされる

29. 2　オペレーション一覧

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	r, #byte	2	4	－	r←byte			
		saddr, #byte	3	6	7	(saddr) ←byte			
		sfr, #byte	3	－	7	sfr←byte			
		A, r 注3	1	2	－	A←r			
		r, A 注3	1	2	－	r←A			
		A, saddr	2	4	5	A← (saddr)			
		saddr, A	2	4	5	(saddr) ←A			
		A, sfr	2	－	5	A←sfr			
		sfr, A	2	－	5	sfr←A			
		A, !addr16	3	8	9＋n	A← (addr16)			
		!addr16, A	3	8	9＋m	(addr16) ←A			
		PSW, #byte	3	－	7	PSW←byte	×	×	×
		A, PSW	2	－	5	A←PSW			
		PSW, A	2	－	5	PSW←A	×	×	×
		A, [DE]	1	4	5＋n	A← (DE)			
		[DE], A	1	4	5＋m	(DE) ←A			
		A, [HL]	1	4	5＋n	A← (HL)			
		[HL], A	1	4	5＋m	(HL) ←A			
		A, [HL＋byte]	2	8	9＋n	A← (HL＋byte)			
		[HL＋byte], A	2	8	9＋m	(HL＋byte) ←A			
		A, [HL＋B]	1	6	7＋n	A← (HL＋B)			
		[HL＋B], A	1	6	7＋m	(HL＋B)←A			
		A, [HL＋C]	1	6	7＋n	A← (HL＋C)			
		[HL＋C], A	1	6	7＋m	(HL＋C) ←A			
	XCH	A, r 注3	1	2	－	A←→r			
		A, saddr	2	4	6	A←→ (saddr)			
		A, sfr	2	－	6	A←→sfr			
		A, !addr16	3	8	10+n+m	A←→ (addr16)			
		A, [DE]	1	4	6+n+m	A←→ (DE)			
		A, [HL]	1	4	6+n+m	A←→ (HL)			
		A, [HL＋byte]	2	8	10+n+m	A←→ (HL＋byte)			
		A, [HL＋B]	2	8	10+n+m	A←→ (HL＋B)			
		A, [HL＋C]	2	8	10+n+m	A←→ (HL＋C)			

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。
2．内部高速RAM以外の領域をアクセスしたとき。
3．r = Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。
2．クロック数は内部ROM領域にプログラムがある場合です。
3．nは外部メモリ拡張領域をリードしたときのウエイト数です。
4．mは外部メモリ拡張領域をライトしたときのウエイト数です。

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット・データ転送	MOVW	rp, #word	3	6	－	rp←word			
		saddrp, #word	4	8	10	(saddrp) ←word			
		sfrp, #word	4	－	10	sfrp←word			
		AX, saddrp	2	6	8	AX←(saddrp)			
		saddrp, AX	2	6	8	(saddrp) ←AX			
		AX, sfrp	2	－	8	AX←sfrp			
		sfrp, AX	2	－	8	sfrp←AX			
		AX, rp 注3	1	4	－	AX←rp			
		rp, AX 注3	1	4	－	rp←AX			
		AX, !addr16	3	10	12＋2n	AX←(addr16)			
		!addr16, AX	3	10	12＋2m	(addr16) ←AX			
	XCHW	AX, rp 注3	1	4	－	AX←→rp			
8ビット演算	ADD	A, #byte	2	4	－	A, CY←A＋byte	×	×	×
		saddr, #byte	3	6	8	(saddr) , CY← (saddr) ＋byte	×	×	×
		A, r 注4	2	4	－	A, CY←A＋r	×	×	×
		r, A	2	4	－	r, CY←r＋A	×	×	×
		A, saddr	2	4	5	A, CY←A＋ (saddr)	×	×	×
		A, !addr16	3	8	9＋n	A, CY←A＋ (addr16)	×	×	×
		A, [HL]	1	4	5＋n	A, CY←A＋ (HL)	×	×	×
		A, [HL＋byte]	2	8	9＋n	A, CY←A＋ (HL＋byte)	×	×	×
		A, [HL＋B]	2	8	9＋n	A, CY←A＋ (HL＋B)	×	×	×
		A, [HL＋C]	2	8	9＋n	A, CY←A＋ (HL＋C)	×	×	×
	ADDC	A, #byte	2	4	－	A, CY←A＋byte＋CY	×	×	×
		saddr, #byte	3	6	8	(saddr) , CY← (saddr) ＋byte＋CY	×	×	×
		A, r 注4	2	4	－	A, CY←A＋r＋CY	×	×	×
		r, A	2	4	－	r, CY←r＋A＋CY	×	×	×
		A, saddr	2	4	5	A, CY←A＋ (saddr) ＋CY	×	×	×
		A, !addr16	3	8	9＋n	A, CY←A＋ (addr16) ＋CY	×	×	×
		A, [HL]	1	4	5＋n	A, CY←A＋ (HL) ＋CY	×	×	×
		A, [HL＋byte]	2	8	9＋n	A, CY←A＋ (HL＋byte) ＋CY	×	×	×
		A, [HL＋B]	2	8	9＋n	A, CY←A＋ (HL＋B) ＋CY	×	×	×
		A, [HL＋C]	2	8	9＋n	A, CY←A＋ (HL＋C) ＋CY	×	×	×

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3．rp = BC, DE, HLのときのみ。

4．r = Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3．nは外部メモリ拡張領域をリードしたときのウエイト数です。

4．mは外部メモリ拡張領域をライトしたときのウエイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUB	A, #byte	2	4	－	A, CY←A－byte	×	×	×
		saddr, #byte	3	6	8	(saddr)，CY←(saddr)－byte	×	×	×
		A, r 注3	2	4	－	A, CY←A－r	×	×	×
		r, A	2	4	－	r, CY←r－A	×	×	×
		A, saddr	2	4	5	A, CY←A－(saddr)	×	×	×
		A, !addr16	3	8	9＋n	A, CY←A－(addr16)	×	×	×
		A, [HL]	1	4	5＋n	A, CY←A－(HL)	×	×	×
		A, [HL＋byte]	2	8	9＋n	A, CY←A－(HL＋byte)	×	×	×
		A, [HL＋B]	2	8	9＋n	A, CY←A－(HL＋B)	×	×	×
		A, [HL＋C]	2	8	9＋n	A, CY←A－(HL＋C)	×	×	×
	SUBC	A, #byte	2	4	－	A, CY←A－byte－CY	×	×	×
		saddr, #byte	3	6	8	(saddr)，CY←(saddr)－byte－CY	×	×	×
		A, r 注3	2	4	－	A, CY←A－r－CY	×	×	×
		r, A	2	4	－	r, CY←r－A－CY	×	×	×
		A, saddr	2	4	5	A, CY←A－(saddr)－CY	×	×	×
		A, !addr16	3	8	9＋n	A, CY←A－(addr16)－CY	×	×	×
		A, [HL]	1	4	5＋n	A, CY←A－(HL)－CY	×	×	×
		A, [HL＋byte]	2	8	9＋n	A, CY←A－(HL＋byte)－CY	×	×	×
		A, [HL＋B]	2	8	9＋n	A, CY←A－(HL＋B)－CY	×	×	×
		A, [HL＋C]	2	8	9＋n	A, CY←A－(HL＋C)－CY	×	×	×
	AND	A, #byte	2	4	－	A←A∧byte	×		
		saddr, #byte	3	6	8	(saddr)←(saddr)∧byte	×		
		A, r 注3	2	4	－	A←A∧r	×		
		r, A	2	4	－	r←r∧A	×		
		A, saddr	2	4	5	A←A∧(saddr)	×		
		A, !addr16	3	8	9＋n	A←A∧(addr16)	×		
		A, [HL]	1	4	5＋n	A←A∧(HL)	×		
		A, [HL＋byte]	2	8	9＋n	A←A∧(HL＋byte)	×		
		A, [HL＋B]	2	8	9＋n	A←A∧(HL＋B)	×		
		A, [HL＋C]	2	8	9＋n	A←A∧(HL＋C)	×		

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3．r = Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3．nは外部メモリ拡張領域をリードしたときのウエイト数です。

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	OR	A, #byte	2	4	－	A←A∨byte	×		
		saddr, #byte	3	6	8	(saddr) ← (saddr) ∨byte	×		
		A, r 注3	2	4	－	A←A∨r	×		
		r, A	2	4	－	r←r∨A	×		
		A, saddr	2	4	5	A←A∨ (saddr)	×		
		A, !addr16	3	8	9＋n	A←A∨ (addr16)	×		
		A, [HL]	1	4	5＋n	A←A∨ (HL)	×		
		A, [HL＋byte]	2	8	9＋n	A←A∨ (HL＋byte)	×		
		A, [HL＋B]	2	8	9＋n	A←A∨ (HL＋B)	×		
		A, [HL＋C]	2	8	9＋n	A←A∨ (HL＋C)	×		
	XOR	A, #byte	2	4	－	A←A∀byte	×		
		saddr, #byte	3	6	8	(saddr) ← (saddr) ∀byte	×		
		A, r 注3	2	4	－	A←A∀r	×		
		r, A	2	4	－	r←r∀A	×		
		A, saddr	2	4	5	A←A∀ (saddr)	×		
		A, !addr16	3	8	9＋n	A←A∀ (addr16)	×		
		A, [HL]	1	4	5＋n	A←A∀ (HL)	×		
		A, [HL＋byte]	2	8	9＋n	A←A∀ (HL＋byte)	×		
		A, [HL＋B]	2	8	9＋n	A←A∀ (HL＋B)	×		
		A, [HL＋C]	2	8	9＋n	A←A∀ (HL＋C)	×		
	CMP	A, #byte	2	4	－	A－byte	×	×	×
		saddr, #byte	3	6	8	(saddr) －byte	×	×	×
		A, r 注3	2	4	－	A－r	×	×	×
		r, A	2	4	－	r－A	×	×	×
		A, saddr	2	4	5	A－ (saddr)	×	×	×
		A, !addr16	3	8	9＋n	A－ (addr16)	×	×	×
		A, [HL]	1	4	5＋n	A－ (HL)	×	×	×
		A, [HL＋byte]	2	8	9＋n	A－ (HL＋byte)	×	×	×
		A, [HL＋B]	2	8	9＋n	A－ (HL＋B)	×	×	×
		A, [HL＋C]	2	8	9＋n	A－ (HL＋C)	×	×	×
16ビット演算	ADDW	AX, #word	3	6	－	AX, CY←AX＋word	×	×	×
	SUBW	AX, #word	3	6	－	AX, CY←AX－word	×	×	×
	CMPW	AX, #word	3	6	－	AX－word	×	×	×
乗除算	MULU	X	2	16	－	AX←A×X			
	DIVUW	C	2	25	－	AX (商) , C (余り) ←AX÷C			

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

3．r = Aを除く。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3．nは外部メモリ拡張領域をリードしたときのウエイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	2	－	r←r＋1	×	×	
		saddr	2	4	6	(saddr) ← (saddr) ＋1	×	×	
	DEC	r	1	2	－	r←r－1	×	×	
		saddr	2	4	6	(saddr) ← (saddr) －1	×	×	
	INCW	rp	1	4	－	rp←rp＋1			
	DECW	rp	1	4	－	rp←rp－1			
ローテート	ROR	A, 1	1	2	－	(CY, A_7←A_0, A_{m-1}←A_m) ×1回			×
	ROL	A, 1	1	2	－	(CY, A_0←A_7, A_{m+1}←A_m) ×1回			×
	RORC	A, 1	1	2	－	(CY←A_0, A_7←C_Y, A_{m-1}←A_m) ×1回			×
	ROLC	A, 1	1	2	－	(CY←A_7, A_0←C_Y, A_{m+1}←A_m) ×1回			×
	ROR4	[HL]	2	10	12＋n＋m	A_{3-0}← (HL)$_{3-0}$, (HL)$_{7-4}$←A_{3-0}, (HL)$_{3-0}$← (HL)$_{7-4}$			
	ROL4	[HL]	2	10	12＋n＋m	A_{3-0}← (HL)$_{7-4}$, (HL)$_{3-0}$←A_{3-0}, (HL)$_{7-4}$← (HL)$_{3-0}$			
BCD補正	ADJBA		2	4	－	Decimal Adjust Accumulator after Addition	×	×	×
	ADJBS		2	4	－	Decimal Adjust Accumulator after Subtract	×	×	×
ビット操作	MOV1	CY, saddr.bit	3	6	7	CY← (saddr.bit)			×
		CY, sfr.bit	3	－	7	CY←sfr.bit			×
		CY, A.bit	2	4	－	CY←A.bit			×
		CY, PSW.bit	3	－	7	CY←PSW.bit			×
		CY,[HL].bit	2	6	7＋n	CY← (HL) .bit			×
		saddr.bit, CY	3	6	8	(saddr.bit) ←CY			
		sfr.bit, CY	3	－	8	sfr.bit←CY			
		A.bit, CY	2	4	－	A.bit←CY			
		PSW.bit, CY	3	－	8	PSW.bit←CY	×	×	
		[HL].bit, CY	2	6	8＋n＋m	(HL) .bit←CY			
	AND1	CY, saddr.bit	3	6	7	CY←CY∧ (saddr.bit)			×
		CY, sfr.bit	3	－	7	CY←CY∧sfr.bit			×
		CY, A.bit	2	4	－	CY←CY∧A.bit			×
		CY, PSW.bit	3	－	7	CY←CY∧PSW.bit			×
		CY,[HL].bit	2	6	7＋n	CY←CY∧ (HL) .bit			×
	OR1	CY, saddr.bit	3	6	7	CY←CY∨ (saddr.bit)			×
		CY, sfr.bit	3	－	7	CY←CY∨sfr.bit			×
		CY, A.bit	2	4	－	CY←CY∨A.bit			×
		CY, PSW.bit	3	－	7	CY←CY∨PSW.bit			×
		CY,[HL].bit	2	6	7＋n	CY←CY∨ (HL) .bit			×

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3．nは外部メモリ拡張領域をリードしたときのウエイト数です。

4．mは外部メモリ拡張領域をライトしたときのウエイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	6	7	CY←CY∀（saddr.bit）			×
		CY, sfr.bit	3	－	7	CY←CY∀sfr.bit			×
		CY, A.bit	2	4	－	CY←CY∀A.bit			×
		CY, PSW.bit	3	－	7	CY←CY∀PSW.bit			×
		CY,[HL].bit	2	6	7＋n	CY←CY∀（HL）.bit			×
	SET1	saddr.bit	2	4	6	（saddr.bit）←1			
		sfr.bit	3	－	8	sfr.bit←1			
		A.bit	2	4	－	A.bit←1			
		PSW.bit	2	－	6	PSW.bit←1	×	×	×
		[HL].bit	2	6	8＋n＋m	（HL）.bit←1			
	CLR1	saddr.bit	2	4	6	（saddr.bit）←0			
		sfr.bit	3	－	8	sfr.bit←0			
		A.bit	2	4	－	A.bit←0			
		PSW.bit	2	－	6	PSW.bit←0	×	×	×
		[HL].bit	2	6	8＋n＋m	（HL）.bit←0			
	SET1	CY	1	2	－	CY←1			1
	CLR1	CY	1	2	－	CY←0			0
	NOT1	CY	1	2	－	CY←$\overline{CY}$			×
コール・リターン	CALL	!addr16	3	7	－	（SP－1）←（PC＋3）$_H$，（SP－2）←（PC＋3）$_L$，PC←addr16, SP←SP－2			
	CALLF	!addr11	2	5	－	（SP－1）←（PC＋2）$_H$，（SP－2）←（PC＋2）$_L$，PC_{15-11}←00001, PC_{10-0}←addr11, SP←SP－2			
	CALLT	[addr5]	1	6	－	（SP－1）←（PC＋1）$_H$，（SP－2）←（PC＋1）$_L$，PC_H←（00000000, addr5＋1），PC_L←（00000000, addr5），SP←SP－2			
	BRK		1	6	－	（SP－1）←PSW，（SP－2）←（PC＋1）$_H$，（SP－3）←（PC＋1）$_L$, PCH←（003FH），PC_L←（003EH），SP←SP－3, IE←0			
	RET		1	6	－	PC_H←（SP＋1），PC_L←（SP），SP←SP＋2			
	RETI		1	6	－	PC_H←（SP＋1），PC_L←（SP），PSW←（SP＋2），SP←SP＋3	R	R	R
	RETB		1	6	－	PC_H←（SP＋1），PC_L←（SP），PSW←（SP＋2），SP←SP＋3	R	R	R

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3．nは外部メモリ拡張領域をリードしたときのウエイト数です。

4．mは外部メモリ拡張領域をライトしたときのウエイト数です。

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
スタック操作	PUSH	PSW	1	2	－	(SP－1) ←PSW, SP←SP－1			
		rp	1	4	－	(SP－1) ←rp_H, (SP－2) ←rp_L, SP←SP－2			
	POP	PSW	1	2	－	PSW←(SP), SP←SP＋1	R	R	R
		rp	1	4	－	rp_H← (SP＋1) , rp_L← (SP) , SP←SP＋2			
	MOVW	SP, #word	4	－	10	SP←word			
		SP, AX	2	－	8	SP←AX			
		AX, SP	2	－	8	AX←SP			
無条件分岐	BR	!addr16	3	6	－	PC←addr16			
		$addr16	2	6	－	PC←PC＋2＋jdisp8			
		AX	2	8	－	PC_H←A, PC_L←X			
条件付き分岐	BC	$addr16	2	6	－	PC←PC＋2＋jdisp8 if CY = 1			
	BNC	$addr16	2	6	－	PC←PC＋2＋jdisp8 if CY = 0			
	BZ	$addr16	2	6	－	PC←PC＋2＋jdisp8 if Z = 1			
	BNZ	$addr16	2	6	－	PC←PC＋2＋jdisp8 if Z = 0			
	BT	saddr.bit, $addr16	3	8	9	PC←PC＋3＋jdisp8 if (saddr.bit) = 1			
		sfr.bit, $addr16	4	－	11	PC←PC＋4＋jdisp8 if sfr.bit = 1			
		A.bit, $addr16	3	8	－	PC←PC＋3＋jdisp8 if A.bit = 1			
		PSW.bit, $addr16	3	－	9	PC←PC＋3＋jdisp8 if PSW.bit = 1			
		[HL].bit, $addr16	3	10	11＋n	PC←PC＋3＋jdisp8 if (HL) .bit = 1			
	BF	saddr.bit, $addr16	4	10	11	PC←PC＋4＋jdisp8 if (saddr.bit) = 0			
		sfr.bit, $addr16	4	－	11	PC←PC＋4＋jdisp8 if sfr.bit = 0			
		A.bit, $addr16	3	8	－	PC←PC＋3＋jdisp8 if A.bit = 0			
		PSW.bit, $addr16	4	－	11	PC←PC＋4＋jdisp8 if PSW.bit = 0			
		[HL].bit, $addr16	3	10	11＋n	PC←PC＋3＋jdisp8 if (HL) .bit = 0			
	BTCLR	saddr.bit, $addr16	4	10	12	PC←PC＋4＋jdisp8 if (saddr.bit) = 1 then reset (saddr.bit)			
		sfr.bit, $addr16	4	－	12	PC←PC＋4＋jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, $addr16	3	8	－	PC←PC＋3＋jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, $addr16	4	－	12	PC←PC＋4＋jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, $addr16	3	10	12+n+m	PC←PC＋3＋jdisp8 if (HL) .bit = 1 then reset (HL) .bit			

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

3．nは外部メモリ拡張領域をリードしたときのウエイト数です。

4．mは外部メモリ拡張領域をライトしたときのウエイト数です。

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ
				注1	注2		Z　AC　CY
条件付き分岐	DBNZ	B, $addr16	2	6	－	B←B－1, then PC←PC＋2＋jdisp8 if B≠0	
		C, $addr16	2	6	－	C←C－1, then PC←PC＋2＋jdisp8 if C≠0	
		saddr, $addr16	3	8	10	(saddr)←(saddr)－1, then PC←PC＋3＋jdisp8 if(saddr)≠0	
CPU制御	SEL	RBn	2	4	－	RBS1, 0←n	
	NOP		1	2	－	No Operation	
	EI		2	－	6	IE←1(Enable Interrupt)	
	DI		2	－	6	IE←0(Disable Interrupt)	
	HALT		2	6	－	Set HALT Mode	
	STOP		2	6	－	Set STOP Mode	

注1．内部高速RAM領域をアクセスしたときまたはデータ・アクセスしない命令のとき。

2．内部高速RAM以外の領域をアクセスしたとき。

備考1．命令の1クロックはプロセッサ・クロック・コントロール・レジスタ（PCC）で選択したCPUクロック（f_{CPU}）の1クロック分です。

2．クロック数は内部ROM領域にプログラムがある場合です。

29. 3　アドレシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, MULU, DIVUW, INC, DEC, ROR, ROL, RORC, ROLC, ROR4, ROL4, PUSH, POP, DBNZ

第2オペランド 第1オペランド	#byte	A	r注	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL+byte] [HL+B] [HL+C]	$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV	MOV XCH	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP	MOV XCH ADD ADDC SUB SUBC AND OR XOR CMP		ROR ROL RORC ROLC	
r	MOV	MOV ADD ADDC SUB SUBC AND OR XOR CMP											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											ROR4 ROL4
[HL+byte] [HL+B] [HL+C]		MOV											
X													MULU
C													DIVUW

注　r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド / 第1オペランド	#word	AX	rp[注]	sfrp	saddrp	!addr16	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	MOVW	MOVW	
rp	MOVW	MOVW[注]						INCW DECW PUSH POP
sfrp	MOVW	MOVW						
saddrp	MOVW	MOVW						
!addr16		MOVW						
SP	MOVW	MOVW						

注　rp = BC, DE, HLのときのみ。

(3) ビット操作命令

MOV1, AND1, OR1, XOR1, SET1, CLR1, NOT1, BT, BF, BTCLR

第2オペランド / 第1オペランド	A.bit	sfr.bit	saddr.bit	PSW.bit	[HL].bit	CY	$addr16	なし
A.bit						MOV1	BT BF BTCLR	SET1 CLR1
sfr.bit						MOV1	BT BF BTCLR	SET1 CLR1
saddr.bit						MOV1	BT BF BTCLR	SET1 CLR1
PSW.bit						MOV1	BT BF BTCLR	SET1 CLR1
[HL].bit						MOV1	BT BF BTCLR	SET1 CLR1
CY	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1	MOV1 AND1 OR1 XOR1			SET1 CLR1 NOT1

(4) コール命令／分岐命令

CALL, CALLF, CALLT, BR, BC, BNC, BZ, BNZ, BT, BF, BTCLR, DBNZ

第2オペランド 第1オペランド	AX	!addr16	!addr11	[addr5]	$addr16
基本命令	BR	CALL BR	CALLF	CALLT	BR BC BNC BZ BNZ
複合命令					BT BF BTCLR DBNZ

(5) その他の命令

ADJBA, ADJBS, BRK, RET, RETI, RETB, SEL, NOP, EI, DI, HALT, STOP

第30章　電気的特性（標準品，（A）水準品）

対象製品：μPD78F0148H, 78F0148H(A), 78F0148HD

注意　μPD78F0148HD**はオンチップ・ディバグ機能搭載品です。オンチップ・ディバグ機能使用後，フラッシュ・メモリの書き換え回数の制限の観点から，信頼性について保証できないため，量産用としては使用しないでください。またクレーム受け付け対象外の製品です。**

絶対最大定格（T_A = 25 **℃**）（1/2）

項　目	略　号	条　件		定　格	単　位
電源電圧	V_{DD}			−0.3〜+6.5	V
	EV_{DD}			−0.3〜+6.5	V
	V_{SS}			−0.3〜+0.3	V
	EV_{SS}			−0.3〜+0.3	V
	AV_{REF}			−0.3〜V_{DD}+0.3[注]	V
	AV_{SS}			−0.3〜+0.3	V
入力電圧	V_{I1}	P00-P06, P10-P17, P20-P27, P30-P33, P40-P47, P50-P57, P60, P61,P64-P67, P70-P77, P120, P140-P145, X1, X2, XT1, XT2, $\overline{\text{RESET}}$		−0.3〜V_{DD}+0.3[注]	V
	V_{I2}	P62, P63	N-chオープン・ドレーン時	−0.3〜+13	V
出力電圧	V_O			−0.3〜V_{DD}+0.3[注]	V
アナログ入力電圧	V_{AN}			AV_{SS}−0.3〜AV_{REF}+0.3[注] かつ−0.3〜V_{DD}+0.3[注]	V
ハイ・レベル出力電流	I_{OH}	1端子		−10	mA
		端子合計 −60 mA	P00-P06, P40-P47, P50-P57, P64-P67, P70-P77, P142-P145	−30	mA
			P10-P17, P30-P33, P120, P130, P140, P141	−30	mA

注　6.5 V**以下であること。**

注意　**各項目のうち**1**項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。**

備考　**特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。**

絶対最大定格（T_A = 25 ℃）（2/2）

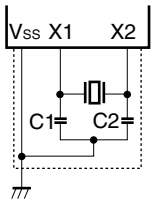
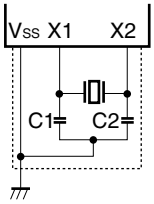
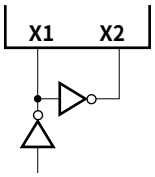
項　　目	略　号	条　　件		定　　格	単　位
ロウ・レベル出力電流	I_{OL}	1端子	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	20	mA
			P60-P63	30	mA
		端子合計 70 mA	P00-P06, P40-P47, P50-P57, P60, P61, P64-P67, P70-P77, P142-P145	35	mA
			P10-P17, P30-P33, P62, P63, P120, P130, P140, P141	35	mA
動作周囲温度	T_A	通常動作時		－40～＋85	℃
		フラッシュ・メモリ・プログラミング時		－10～＋65	
保存温度	T_{stg}	フラッシュ・メモリ・ブランク状態		－65～＋150	℃
		フラッシュ・メモリ・プログラミング済み状態		－40～＋125	

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

高速システム・クロック（水晶／セラミック）発振回路特性

（T_A = －40～＋85 ℃，2.5 V≦V_{DD} = EV_{DD}≦5.5 V, 2.5 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

発振子	推奨回路	項　目	条　件	MIN.	TYP.	MAX.	単位
セラミック発振子		発振周波数（f_{XP}）注1	4.0 V≦V_{DD}≦5.5 V	2.0		16	MHz
			3.5 V≦V_{DD}＜4.0 V	2.0		10	
			3.0 V≦V_{DD}＜3.5 V	2.0		8.38	
			2.5 V≦V_{DD}＜3.0 V	2.0		5.0	
水晶振動子		発振周波数（f_{XP}）注1	4.0 V≦V_{DD}≦5.5 V	2.0		16	MHz
			3.5 V≦V_{DD}＜4.0 V	2.0		10	
			3.0 V≦V_{DD}＜3.5 V	2.0		8.38	
			2.5 V≦V_{DD}＜3.0 V	2.0		5.0	
外部クロック注2		X1入力周波数（f_{XP}）注1	4.0 V≦V_{DD}≦5.5 V	2.0		16	MHz
			3.5 V≦V_{DD}＜4.0 V	2.0		10	
			3.0 V≦V_{DD}＜3.5 V	2.0		8.38	
			2.5 V≦V_{DD}＜3.0 V	2.0		5.0	
		X 1入力ハイ，ロウ・レベル幅（t_{XPH}, t_{XPL}）	4.0 V≦V_{DD}≦5.5 V	30		250	ns
			3.5 V≦V_{DD}＜4.0 V	46		250	
			3.0 V≦V_{DD}＜3.5 V	56		250	
			2.5 V≦V_{DD}＜3.0 V	96		250	

注1.　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

2.　X1端子にクロック信号を入力し，X2端子には反転クロック信号を入力してください。

注意1.　高速システム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　リセット解除後は，内蔵発振クロックによりCPUが起動されるため，高速システム・クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

推奨発振回路定数

セラミック発振子（T_A = －40～＋85 ℃）

メーカ	品　　名	SMD/リード	周波数（MHz）	推奨回路定数		発振電圧範囲	
				C1（pF）	C2（pF）	MIN.（V）	MAX.（V）
村田製作所	CSTCC2M00G56-R0	SMD	2.00	内蔵（47）	内蔵（47）	2.5	5.5
	CSTCR4M00G55-R0		4.00	内蔵（39）	内蔵（39）		
	CSTCR4M19G55-R0		4.194	内蔵（39）	内蔵（39）		
	CSTCR4M91G55-R0		4.915	内蔵（39）	内蔵（39）		
	CSTCR5M00G55-R0		5.00	内蔵（39）	内蔵（39）		
	CSTCR6M00G55-R0		6.00	内蔵（39）	内蔵（39）		
	CSTCE8M00G55-R0		8.00	内蔵（33）	内蔵（33）		
	CSTCE10M0G55-R0		10.0	内蔵（33）	内蔵（33）		
	CSTCE12M0G55-R0		12.0	内蔵（33）	内蔵（33）		
	CSTCE13M0V53-R0		13.0	内蔵（15）	内蔵（15）		
	CSTCE14M0V53-R0		14.0	内蔵（15）	内蔵（15）		
	CSTCE16M0V53-R0		16.0	内蔵（15）	内蔵（15）		

注意　この発振回路定数は発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は，実装回路上での評価を発振子メーカに依頼してください。また，発振電圧，発振周波数はあくまで発振回路特性を示すものであり，78K0/KF1+の内部動作条件についてはDC, AC特性の規格内で使用してください。

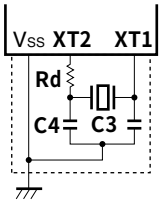
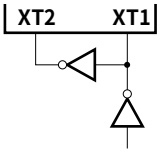
内蔵発振回路特性

（T_A = －40～＋85 ℃，2.0 V≦V_{DD} = EV_{DD}≦5.5 V, 2.0 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

発振子	項　　目	条　　件	MIN.	TYP.	MAX.	単位
内蔵発振器	発振周波数（f_R）		120	240	480	kHz

サブシステム・クロック発振回路特性

（T_A = －40～＋85 ℃，2.0 V≦V_{DD} = EV_{DD}≦5.5 V, 2.0 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

発振子	推奨回路	項　　目	条　　件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数（f_{XT}）注		32	32.768	35	kHz
外部クロック		XT1入力周波数（f_{XT}）注		32		38.5	kHz
		XT1入力ハイ，ロウ・レベル幅（t_{XTH}, t_{XTL}）		12		15.6	μs

注　発振回路の特性だけを示すものです。命令実行時間については，AC特性を参照してください。

注意1．サブシステム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2．サブシステム・クロック発振回路は，低消費電力にするために増幅度の低い回路になっており，ノイズによる誤動作が高速システム・クロック発振回路よりも起こりやすくなっています。したがって，サブシステム・クロックを使用する場合は，配線方法について特にご注意ください。

備考　発振子の選択および発振回路定数についてはお客様において発振評価していただくか，発振子メーカに評価を依頼してください。

DC特性（1/3）

（T_A = －40～＋85 ℃，2.0 V≦V_{DD} = EV_{DD}≦5.5 V注1, 2.0 V≦AV_{REF}≦V_{DD}注1, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電流	I_{OH}	1端子	4.0 V≦V_{DD}≦5.5 V			－5	mA
		P10-P17, P30-P33, P120, P130, P140, P141　合計	4.0 V≦V_{DD}≦5.5 V			－25	mA
		P00-P06, P40-P47, P50-P57, P64-P67, P70-P77, P142-P145　合計	4.0 V≦V_{DD}≦5.5 V			－25	mA
		全端子	2.0 V≦V_{DD}<4.0 V			－10	mA
ロウ・レベル出力電流	I_{OL}	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145　1端子	4.0 V≦V_{DD}≦5.5 V			10	mA
		P60-P63　1端子	4.0 V≦V_{DD}≦5.5 V			15	mA
		P10-P17, P30-P33, P62, P63, P120, P130, P140, P141 合計	4.0 V≦V_{DD}≦5.5 V			30	mA
		P00-P06, P40-P47, P50-P57, P60, P61, P64-P67, P70-P77, P142-P145　合計	4.0 V≦V_{DD}≦5.5 V			30	mA
		全端子	2.0 V≦V_{DD}<4.0 V			10	mA
ハイ・レベル入力電圧	V_{IH1}	P12, P13, P15, P40-P47, P50-P57, P64-P67, P144, P145	2.7 V≦V_{DD}≦5.5 V	0.7V_{DD}		V_{DD}	V
			2.0 V≦V_{DD}<2.7 V	0.8V_{DD}		V_{DD}	V
	V_{IH2}	P00-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, $\overline{RESET}$	2.7 V≦V_{DD}≦5.5 V	0.8V_{DD}		V_{DD}	V
			2.0 V≦V_{DD}<2.7 V	0.85V_{DD}		V_{DD}	V
	V_{IH3}	P20-P27注2	2.7 V≦V_{DD}≦5.5 V	0.7AV_{REF}		AV_{REF}	V
			2.0 V≦V_{DD}<2.7 V	0.8AV_{REF}		AV_{REF}	V
	V_{IH4}	P60, P61	2.7 V≦V_{DD}≦5.5 V	0.7V_{DD}		V_{DD}	V
			2.0 V≦V_{DD}<2.7 V	0.8V_{DD}		V_{DD}	V
	V_{IH5}	P62, P63	2.7 V≦V_{DD}≦5.5 V	0.7V_{DD}		12	V
			2.0 V≦V_{DD}<2.7 V	0.8V_{DD}		12	V
	V_{IH6}	X1, X2, XT1, XT2	2.7 V≦V_{DD}≦5.5 V	V_{DD}－0.5		V_{DD}	V
			2.0 V≦V_{DD}<2.7 V	V_{DD}－0.2		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P12, P13, P15, P40-P47, P50-P57, P64-P67, P144, P145	2.7 V≦V_{DD}≦5.5 V	0		0.3V_{DD}	V
			2.0 V≦V_{DD}<2.7 V	0		0.2V_{DD}	V
	V_{IL2}	P00-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, $\overline{RESET}$	2.7 V≦V_{DD}≦5.5 V	0		0.2V_{DD}	V
			2.0 V≦V_{DD}<2.7 V	0		0.15V_{DD}	V
	V_{IL3}	P20-P27注2	2.7 V≦V_{DD}≦5.5 V	0		0.3AV_{REF}	V
			2.0 V≦V_{DD}<2.7 V	0		0.2AV_{REF}	V
	V_{IL4}	P60, P61	2.7 V≦V_{DD}≦5.5 V	0		0.3V_{DD}	V
			2.0 V≦V_{DD}<2.7 V	0		0.2V_{DD}	V
	V_{IL5}	P62, P63	2.7 V≦V_{DD}≦5.5 V	0		0.3V_{DD}	V
			2.0 V≦V_{DD}<2.7 V	0		0.2V_{DD}	V
	V_{IL6}	X1, X2, XT1, XT2	2.7 V≦V_{DD}≦5.5 V	0		0.4	V
			2.0 V≦V_{DD}<2.7 V	0		0.2	V

注1．高速システム・クロック使用時：2.5 V≦V_{DD}≦5.5 V, 2.5 V≦AV_{REF}≦V_{DD}

2．ディジタル入力ポートとして使用する場合は，AV_{REF} = V_{DD}にしてください。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性（2/3）

（T_A = －40～＋85 ℃，2.0 V≦V_{DD} = EV_{DD}≦5.5 V注1, 2.0 V≦AV_{REF}≦V_{DD}注1, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電圧	V_{OH}	P10-P17, P30-P33, P120, P130, P140, P141 合計I_{OH} = －25 mA	4.0 V≦V_{DD}≦5.5 V, I_{OH} = －5 mA	V_{DD}－1.0			V
		P00-P06, P40-P47, P50-P57, P64-P67, P70-P77, P142-P145 合計I_{OH} = －25 mA	4.0 V≦V_{DD}≦5.5 V, I_{OH} = －5 mA	V_{DD}－1.0			V
		I_{OH} = －100 μA	2.0 V≦V_{DD}<4.0 V	V_{DD}－0.5			V
ロウ・レベル出力電圧	V_{OL1}	P10-P17, P30-P33, P62, P63, P120, P130, P140, P141 合計I_{OL} = 30 mA	4.0 V≦V_{DD}≦5.5 V, I_{OL} = 10 mA			1.3	V
		P00-P06, P40-P47, P50-P57, P60, P61, P64-P67, P70-P77, P142-P145　合計I_{OL} = 30 mA	4.0 V≦V_{DD}≦5.5 V, I_{OL} = 10 mA			1.3	V
		I_{OL} = 400 μA	2.7 V≦V_{DD}<4.0 V			0.4	V
			2.0 V≦V_{DD}<2.7 V			0.5	V
	V_{OL2}	P60-P63	4.0 V≦V_{DD}≦5.5 V, I_{OL} = 15 mA			2.0	V
ハイ・レベル入力リーク電流	I_{LIH1}	V_I = V_{DD}	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60, P61, P64-P67, P70-P77, P120, P140-P145, $\overline{RESET}$			3	μA
		V_I = AV_{REF}	P20-P27			3	μA
	I_{LIH2}	V_I = V_{DD}	X1, X2注2, XT1, XT2注2			20	μA
	I_{LIH3}	V_I = 12 V	P62, P63（N-chオープン・ドレーン時）			3	μA
ロウ・レベル入力リーク電流	I_{LIL1}	V_I = 0 V	P00-P06, P10-P17, P20-P27, P30-P33, P40-P47, P50-P57, P60, P61, P64-P67, P70-P77, P120, P140-P145, $\overline{RESET}$			－3	μA
	I_{LIL2}		X1, X2注2, XT1, XT2注2			－20	μA
	I_{LIL3}		P62, P63（N-chオープン・ドレーン時）			－3注3	μA
ハイ・レベル出力リーク電流	I_{LOH}	V_O = V_{DD}				3	μA
ロウ・レベル出力リーク電流	I_{LOL}	V_O = 0 V				－3	μA
プルアップ抵抗値	R_L	V_I = 0 V		10	30	100	kΩ
FLMD0電源電圧	Flmd	通常動作時		0		0.2V_{DD}	V

注1．高速システム・クロック使用時：2.5 V≦V_{DD}≦5.5 V, 2.5 V≦AV_{REF}≦V_{DD}

2．X2にX1の反転入力レベルを，XT2にXT1の反転入力レベルを印加している場合。

3．ポート6を入力モードに設定している場合にポート6に対して読み出し命令を実行したときの1サイクル・タイム間のみ，ロウ・レベル入力リーク電流が－45 μA（MAX.）流れます。これ以外では－3 μA（MAX.）です。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性（3/3）

（T_A = －40～＋85 ℃，2.0 V≦V_{DD} = EV_{DD}≦5.5 V注1, 2.0 V≦AV_{REF}≦V_{DD}注1, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略号	条　件			MIN.	TYP.	MAX.	単位
電源電流注2	I_{DD1}	水晶／セラミック発振動作モード注3	f_{XP} = 16 MHz V_{DD} = 5.0 V±10 %注4	A/Dコンバータ停止時		14.5	29.0	mA
				A/Dコンバータ動作時注7		15.5	31.0	mA
			f_{XP} = 10 MHz V_{DD} = 5.0 V±10 %注4	A/Dコンバータ停止時		9.5	20.0	mA
				A/Dコンバータ動作時注7		10.5	22.0	mA
			f_{XP} = 5 MHz V_{DD} = 3.0 V±10 %注4	A/Dコンバータ停止時		3.0	7.0	mA
				A/Dコンバータ動作時注7		3.6	8.0	mA
	I_{DD2}	水晶／セラミック発振HALTモード	f_{XP} = 16 MHz V_{DD} = 5.0 V±10 %	周辺機能停止時		3.1	7.0	mA
				周辺機能動作時			14.0	mA
			f_{XP} = 10 MHz V_{DD} = 5.0 V±10 %	周辺機能停止時		2.5	5.5	mA
				周辺機能動作時			11.5	mA
			f_{XP} = 5 MHz V_{DD} = 3.0 V±10 %	周辺機能停止時		0.8	1.7	mA
				周辺機能動作時			4.5	mA
	I_{DD3}	内蔵発振動作モード注5	V_{DD} = 5.0 V±10 %			1.0	4.0	mA
			V_{DD} = 3.0 V±10 %			0.45	1.8	mA
	I_{DD4}	内蔵発振HALTモード注5	V_{DD} = 5.0 V±10 %			0.4	1.6	mA
			V_{DD} = 3.0 V±10 %			0.25	1.0	mA
	I_{DD5}	32.768 kHz水晶発振動作モード注5, 6	V_{DD} = 5.0 V±10 %			50	100	μA
			V_{DD} = 3.0 V±10 %			30	60	μA
	I_{DD6}	32.768 kHz水晶発振HALTモード注5, 6	V_{DD} = 5.0 V±10 %			20	40	μA
			V_{DD} = 3.0 V±10 %			10	20	μA
	I_{DD7}	STOPモード	V_{DD} = 5.0 V±10 %	内蔵発振器：OFF		3.5	35.5	μA
				内蔵発振器：ON		17.5	63.5	μA
			V_{DD} = 3.0 V±10 %	内蔵発振器：OFF		3.5	15.5	μA
				内蔵発振器：ON		11	30.5	μA

注1．高速システム・クロック使用時：2.5 V≦V_{DD}≦5.5 V, 2.5 V≦AV_{REF}≦V_{DD}

2．内部電源（V_{DD}）に流れるトータル電流です。周辺動作電流を含みます（ただし，ポートのプルアップ抵抗に流れる電流は含みません）。

3．I_{DD1}は周辺動作電流を含みます。

4．PCC = 00Hに設定したとき。

5．高速システム・クロック（水晶／セラミック）発振回路を停止させたとき。

6．内蔵発振回路を停止させたとき。

7．AV_{REF}端子に流れる電流を含みます。

AC特性

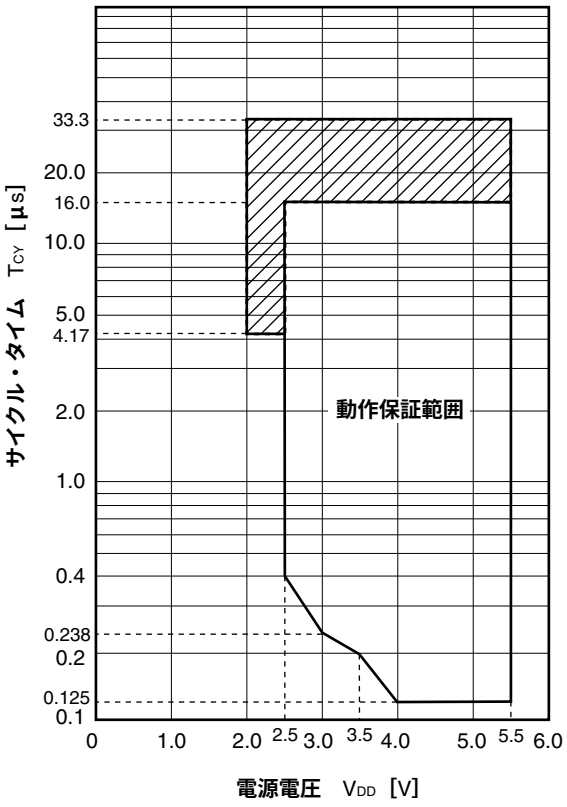
（1）基本動作（T_A = －40～＋85 ℃**,** 2.0 V≦V_{DD} = EV_{DD}≦5.5 V[注1], 2.0 V≦AV_{REF}≦V_{DD}[注1], V_{SS} = EV_{SS} = AV_{SS} = 0**）**

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
命令サイクル（最小命令実行時間）	T_{CY}	**メイン・システム・クロック動作**	**高速システム・クロック（水晶／セラミック発振クロック）**	4.0 V≦V_{DD}≦5.5 V	0.125		16	μs
				3.5 V≦V_{DD}＜4.0 V	0.2		16	μs
				3.0 V≦V_{DD}＜3.5 V	0.238		16	μs
				2.5 V≦V_{DD}＜3.0 V	0.4		16	μs
			内蔵発振クロック		4.17	8.33	33.3	μs
		サブシステム・クロック動作			114	122	125	μs
TI000, TI010, TI001, TI011 **入力ハイ・レベル幅，ロウ・レベル幅**	t_{TIH0}, t_{TIL0}	4.0 V≦V_{DD}≦5.5 V			2/f_{sam}＋0.1[注2]			μs
		2.7 V≦V_{DD}＜4.0 V			2/f_{sam}＋0.2[注2]			μs
		2.5 V≦V_{DD}＜2.7 V			2/f_{sam}＋0.5[注2]			μs
TI50, TI51**入力周波数**	f_{TI5}	4.0 V≦V_{DD}≦5.5 V					10	MHz
		2.7 V≦V_{DD}＜4.0 V					5	MHz
		2.5 V≦V_{DD}＜2.7 V					2.5	MHz
TI50, TI51**入力ハイ・レベル幅，ロウ・レベル幅**	t_{TIH5}, t_{TIL5}	4.0 V≦V_{DD}≦5.5 V			50			ns
		2.7 V≦V_{DD}＜4.0 V			100			ns
		2.5 V≦V_{DD}＜2.7 V			200			ns
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	2.7 V≦V_{DD}≦5.5 V			1			μs
		2.0 V≦V_{DD}＜2.7 V			2			μs
キー・リターン入力ロウ・レベル幅	t_{KR}	4.0 V≦V_{DD}≦5.5 V			50			ns
		2.7 V≦V_{DD}＜4.0 V			100			ns
		2.0 V≦V_{DD}＜2.7 V			200			ns
$\overline{\text{RESET}}$**ロウ・レベル幅**	t_{RSL}	2.7 V≦V_{DD}≦5.5 V			10			μs
		2.0 V≦V_{DD}＜2.7 V			20			μs

注1．高速システム・クロック使用時：2.5 V≦V_{DD}≦5.5 V, 2.5 V≦AV_{REF}≦V_{DD}

2．プリスケーラ・モード・レジスタ00, 01（PRM00, PRM01）**のビット**0, 1（PRM000, PRM001**または**PRM010, PRM011）**により，**f_{sam} = f_{XP}, f_{XP}/4, f_{XP}/256**または**f_{XP}, f_{XP}/16, f_{XP}/64**の選択が可能です。ただし，カウント・クロックとして**TI000, TI001**有効エッジを選択した場合は，**f_{sam} = f_{XP}**となります。**

T_{CY} vs V_{DD}（メイン・システム・クロック動作時）



備考　斜線の部分は内蔵発振クロック選択時のみです。

（2）リード／ライト・オペレーション　（1/2）

★ （T_A = －40～＋85 ℃，3.0 V≦V_{DD} = EV_{DD}≦5.5 V, 3.0 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t_{ASTH}		（0.3＋2m）t_{CY}		ns
アドレス・セットアップ時間	t_{ADS}		20		ns
アドレス・ホールド時間	t_{ADH}		6		ns
アドレス→データ入力時間	t_{ADD1}			（2＋2n＋2m）t_{CY}－54	ns
	t_{ADD2}			（3＋2n＋2m）t_{CY}－60	ns
$\overline{RD}$↓→アドレス出力時間	t_{RDAD}		0	100	ns
$\overline{RD}$↓→データ入力時間	t_{RDD1}			（2＋2n）t_{CY}－87	ns
	t_{RDD2}			（3＋2n）t_{CY}－93	ns
リード・データ・ホールド時間	t_{RDH}		0		ns
$\overline{RD}$ロウ・レベル幅	t_{RDL1}		（1.5＋2n）t_{CY}－33		ns
	t_{RDL2}		（2.5＋2n）t_{CY}－33		ns
$\overline{RD}$↓→$\overline{WAIT}$↓入力時間	t_{RDWT1}			t_{CY}－43	ns
	t_{RDWT2}			t_{CY}－43	ns
$\overline{WR}$↓→$\overline{WAIT}$↓入力時間	t_{WRWT}			t_{CY}－25	ns
$\overline{WAIT}$ロウ・レベル幅	t_{WTL}		（0.5＋2n）t_{CY}＋10	（2＋2n）t_{CY}	ns
ライト・データ・セットアップ時間	t_{WDS}		60		ns
ライト・データ・ホールド時間	t_{WDH}		6		ns
$\overline{WR}$ロウ・レベル幅	t_{WRL1}		（1.5＋2n）t_{CY}－15		ns
ASTB↓→$\overline{RD}$↓遅延時間	t_{ASTRD}		6		ns
ASTB↓→$\overline{WR}$↓遅延時間	t_{ASTWR}		（2＋2n）t_{CY}－15		ns
外部フェッチ時$\overline{RD}$↑→ASTB↑遅延時間	t_{RDAST}		0.8 t_{CY}－15	1.2 t_{CY}	ns
外部フェッチ時$\overline{RD}$↑→アドレス・ホールド時間	t_{RDADH}		0.8 t_{CY}－15	1.2 t_{CY}＋30	ns
$\overline{RD}$↑→ライト・データ出力時間	t_{RDWD}		40		ns
$\overline{WR}$↓→ライト・データ出力時間	t_{WRWD}			60	ns
$\overline{WR}$↑→アドレス・ホールド時間	t_{WRADH}		0.8 t_{CY}－15	1.2 t_{CY}＋30	ns
$\overline{WAIT}$↑→$\overline{RD}$↑遅延時間	t_{WTRD}		0.8 t_{CY}	3 t_{CY}＋25	ns
$\overline{WAIT}$↑→$\overline{WR}$↑遅延時間	t_{WTWR}		0.8 t_{CY}	3 t_{CY}＋25	ns

注意　T_{CY}は0.238 μs（MIN.）時のみ使用可能です。

備考1．t_{CY} = T_{CY}/4

2．mはアドレス・ウエイト数を示します。nはデータ・ウエイト数を示します。

3．C_L = 100 pF（C_LはAD0-AD7, A8-A15, $\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, ASTB端子の負荷容量です）

（2）リード／ライト・オペレーション　（2/2）

★　（T_A = －40～＋85 ℃，2.5 V≦V_{DD} = EV_{DD}≦5.5 V, 2.5 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	MAX.	単位
ASTBハイ・レベル幅	t_{ASTH}		（0.3＋2m）t_{CY}		ns
アドレス・セットアップ時間	t_{ADS}		30		ns
アドレス・ホールド時間	t_{ADH}		9		ns
アドレス→データ入力時間	t_{ADD1}			（2＋2n＋2m）t_{CY}－108	ns
	t_{ADD2}			（3＋2n＋2m）t_{CY}－120	ns
$\overline{RD}$↓→アドレス出力時間	t_{RDAD}		0	200	ns
$\overline{RD}$↓→データ入力時間	t_{RDD1}			（2＋2n）t_{CY}－148	ns
	t_{RDD2}			（3＋2n）t_{CY}－162	ns
リード・データ・ホールド時間	t_{RDH}		0		ns
$\overline{RD}$ロウ・レベル幅	t_{RDL1}		（1.5＋2n）t_{CY}－40		ns
	t_{RDL2}		（2.5＋2n）t_{CY}－40		ns
$\overline{RD}$↓→$\overline{WAIT}$↓入力時間	t_{RDWT1}			t_{CY}－75	ns
	t_{RDWT2}			t_{CY}－60	ns
$\overline{WR}$↓→$\overline{WAIT}$↓入力時間	t_{WRWT}			t_{CY}－50	ns
$\overline{WAIT}$ロウ・レベル幅	t_{WTL}		（0.5＋2n）t_{CY}＋10	（2＋2n）t_{CY}	ns
ライト・データ・セットアップ時間	t_{WDS}		60		ns
ライト・データ・ホールド時間	t_{WDH}		10		ns
$\overline{WR}$ロウ・レベル幅	t_{WRL1}		（1.5＋2n）t_{CY}－30		ns
ASTB↓→$\overline{RD}$↓遅延時間	t_{ASTRD}		9		ns
ASTB↓→$\overline{WR}$↓遅延時間	t_{ASTWR}		（2＋2n）t_{CY}－30		ns
外部フェッチ時$\overline{RD}$↑→ASTB↑遅延時間	t_{RDAST}		0.8 t_{CY}－30	1.2 t_{CY}	ns
外部フェッチ時$\overline{RD}$↑→アドレス・ホールド時間	t_{RDADH}		0.8 t_{CY}－30	1.2 t_{CY}＋60	ns
$\overline{RD}$↑→ライト・データ出力時間	t_{RDWD}		40		ns
$\overline{WR}$↓→ライト・データ出力時間	t_{WRWD}			120	ns
$\overline{WR}$↑→アドレス・ホールド時間	t_{WRADH}		0.8 t_{CY}－30	1.2 t_{CY}＋60	ns
$\overline{WAIT}$↑→$\overline{RD}$↑遅延時間	t_{WTRD}		0.5 t_{CY}	3 t_{CY}＋50	ns
$\overline{WAIT}$↑→$\overline{WR}$↑遅延時間	t_{WTWR}		0.5 t_{CY}	3 t_{CY}＋50	ns

注意　T_{CY}は0.4 μs（MIN.）時のみ使用可能です。

備考1．t_{CY} = T_{CY}/4

2．mはアドレス・ウエイト数を示します。nはデータ・ウエイト数を示します。

3．C_L = 100 pF（C_LはAD0-AD7, A8-A15, $\overline{RD}$, $\overline{WR}$, $\overline{WAIT}$, ASTB端子の負荷容量です）

(3) シリアル・インタフェース

（T_A = －40～＋85 ℃，2.5 V≦V_{DD} = EV_{DD}≦5.5 V, 2.5 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

(a) UARTモード（UART6，専用ボー・レート・ジェネレータ出力）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
転送レート					312.5	kbps

(b) UARTモード（UART0，専用ボー・レート・ジェネレータ出力）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
転送レート					312.5	kbps

(c) 3線式シリアルI/Oモード（マスタ・モード，$\overline{SCK1n}$…内部クロック出力）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
$\overline{SCK1n}$サイクル・タイム	t_{KCY1}	4.0 V≦V_{DD}≦5.5 V		200			ns
		3.3 V≦V_{DD}＜4.0 V		240			ns
		2.7 V≦V_{DD}＜3.3 V		400			ns
		2.5 V≦V_{DD}＜2.7 V		800			ns
$\overline{SCK1n}$ハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	2.7 V≦V_{DD}≦5.5 V		t_{KCY1}/2－10			ns
		2.5 V≦V_{DD}＜2.7 V		t_{KCY1}/2－50			ns
SI1nセットアップ時間（対$\overline{SCK1n}$↑）	t_{SIK1}	2.7 V≦V_{DD}≦5.5 V		30			ns
		2.5 V≦V_{DD}＜2.7 V		70			ns
SI1nホールド時間（対$\overline{SCK1n}$↑）	t_{KSI1}	2.7 V≦V_{DD}≦5.5 V		30			ns
		2.5 V≦V_{DD}＜2.7 V		70			ns
$\overline{SCK1n}$↓→SO1n出力遅延時間	t_{KSO1}	C = 100 pF[注]	2.7 V≦V_{DD}≦5.5 V			30	ns
			2.5 V≦V_{DD}＜2.7 V			120	ns

注　Cは，$\overline{SCK1n}$, SO1n出力ラインの負荷容量です。

(d) 3線式シリアルI/Oモード（スレーブ・モード，$\overline{SCK1n}$…外部クロック入力）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
$\overline{SCK1n}$サイクル・タイム	t_{KCY2}	2.7 V≦V_{DD}≦5.5 V	400			ns
		2.5 V≦V_{DD}＜2.7 V	800			ns
$\overline{SCK1n}$ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}		t_{KCY2}/2			ns
SI1nセットアップ時間（対$\overline{SCK1n}$↑）	t_{SIK2}		80			ns
SI1nホールド時間（対$\overline{SCK1n}$↑）	t_{KSI2}		50			ns
$\overline{SCK1n}$↓→SO1n出力遅延時間	t_{KSO2}	C = 100 pF[注]			120	ns

注　Cは，SO1n出力ラインの負荷容量です。

備考　n = 0, 1

（e）自動送受信機能付き3線式シリアルI/Oモード（$\overline{\text{SCKA0}}$…内部クロック出力）

項　　目	略　号	条　　件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCKA0}}$サイクル・タイム	t_{KCY3}	4.0 V≦V_{DD}≦5.5 V		600			ns
		2.7 V≦V_{DD}＜4.0 V		1200			ns
$\overline{\text{SCKA0}}$ハイ，ロウ・レベル幅	t_{TH3},	4.0 V≦V_{DD}≦5.5 V		t_{KCY3}/2－50			ns
	t_{TL3}	2.7 V≦V_{DD}＜4.0 V		t_{KCY3}/2－100			ns
SIA0セットアップ時間（対$\overline{\text{SCKA0}}$↑）	t_{SIK3}			100			ns
SIA0ホールド時間（対$\overline{\text{SCKA0}}$↑）	t_{KSI3}			300			ns
$\overline{\text{SCKA0}}$↓→SOA0出力遅延時間	t_{KSO3}	C = 100 pF注	4.0 V≦V_{DD}≦5.5 V			200	ns
			2.7 V≦V_{DD}＜4.0 V			300	
$\overline{\text{SCKA0}}$↓→SOB0↑	t_{SBD}			t_{KCY3}/2－100			ns
ストローブ信号ハイ・レベル幅	t_{SBW}	4.0 V≦V_{DD}≦5.5 V		t_{KCY3}－30			ns
		2.7 V≦V_{DD}＜4.0 V		t_{KCY3}－60			ns
ビジィ信号セットアップ時間（対ビジィ信号検出タイミング）	t_{BYS}			100			ns
ビジィ信号ホールド時間（対ビジィ信号検出タイミング）	t_{BYH}	4.0 V≦V_{DD}≦5.5 V		100			ns
		2.7 V≦V_{DD}＜4.0 V		150			ns
ビジィ・インアクティブ→$\overline{\text{SCKA0}}$↓	t_{SPS}					2t_{KCY3}	ns

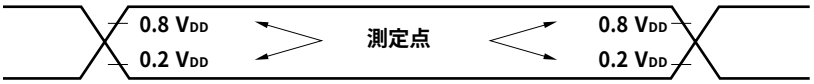
注　Cは，$\overline{\text{SCKA0}}$, SOA0出力ラインの負荷容量です。

（f）自動送受信機能付き3線式シリアルI/Oモード（$\overline{\text{SCKA0}}$…外部クロック入力）

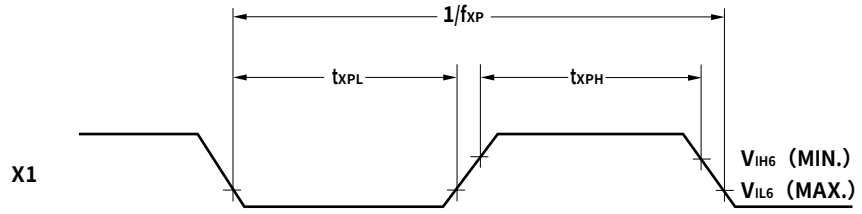
項　　目	略　号	条　　件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCKA0}}$サイクル・タイム	t_{KCY4}	4.0 V≦V_{DD}≦5.5 V		600			ns
		2.7 V≦V_{DD}＜4.0 V		1200			ns
$\overline{\text{SCKA0}}$ハイ，ロウ・レベル幅	t_{KH4},	4.0 V≦V_{DD}≦5.5 V		300			ns
	t_{KL4}	2.7 V≦V_{DD}＜4.0 V		600			ns
SIA0セットアップ時間（対$\overline{\text{SCKA0}}$↑）	t_{SIK4}			100			ns
SIA0ホールド時間（対$\overline{\text{SCKA0}}$↑）	t_{KSI4}			300			ns
$\overline{\text{SCKA0}}$↓→SOA0出力遅延時間	t_{KSO4}	C = 100 pF注	4.0 V≦V_{DD}≦5.5 V			200	ns
			2.7 V≦V_{DD}＜4.0 V			300	ns
$\overline{\text{SCKA0}}$立ち上がり，立ち下がり時間	t_{R4},	外部デバイス拡張機能使用時				120	ns
	t_{F4}	外部デバイス拡張機能未使用時				1000	ns

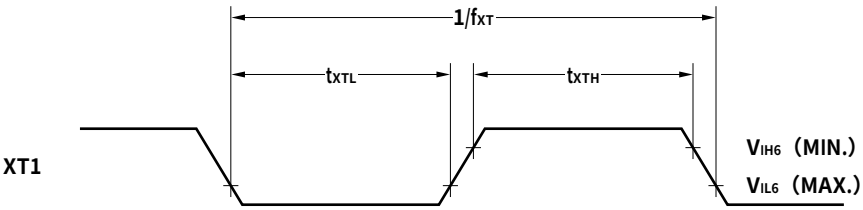
注　Cは，SOA0出力ラインの負荷容量です。

ACタイミング測定点（X1, XT1を除く）

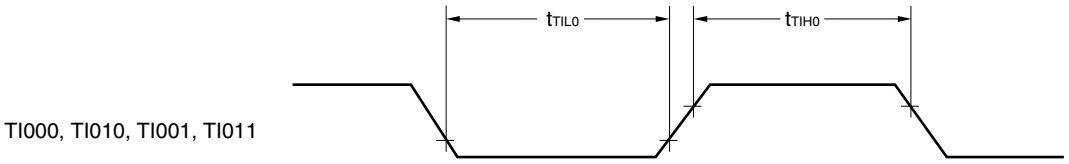


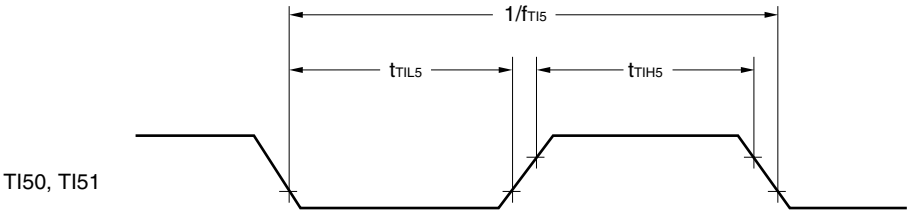
クロック・タイミング



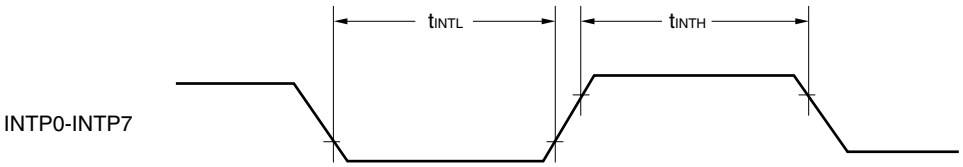


TIタイミング

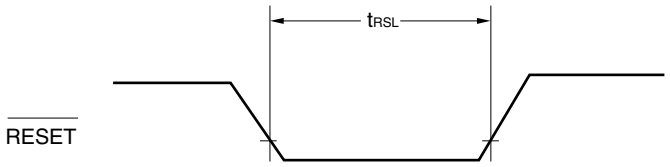




割り込み要求入力タイミング

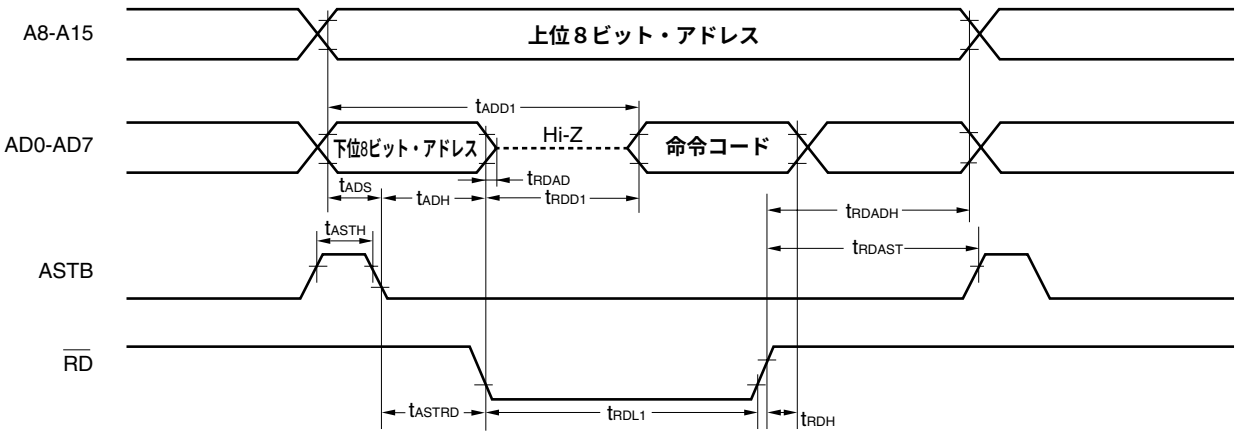


$\overline{\text{RESET}}$入力タイミング

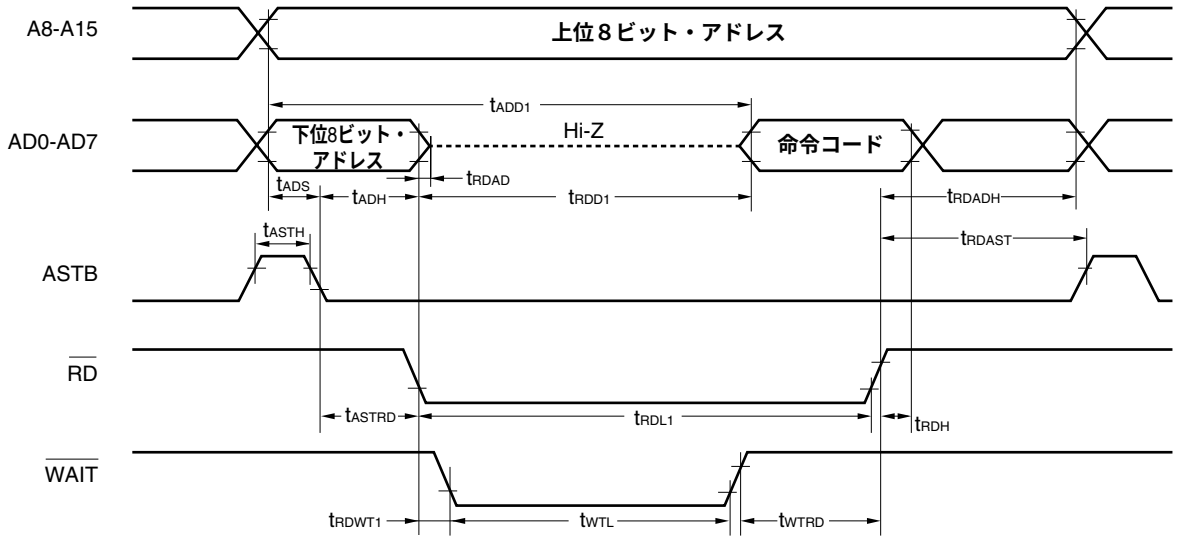


リード／ライト・オペレーション

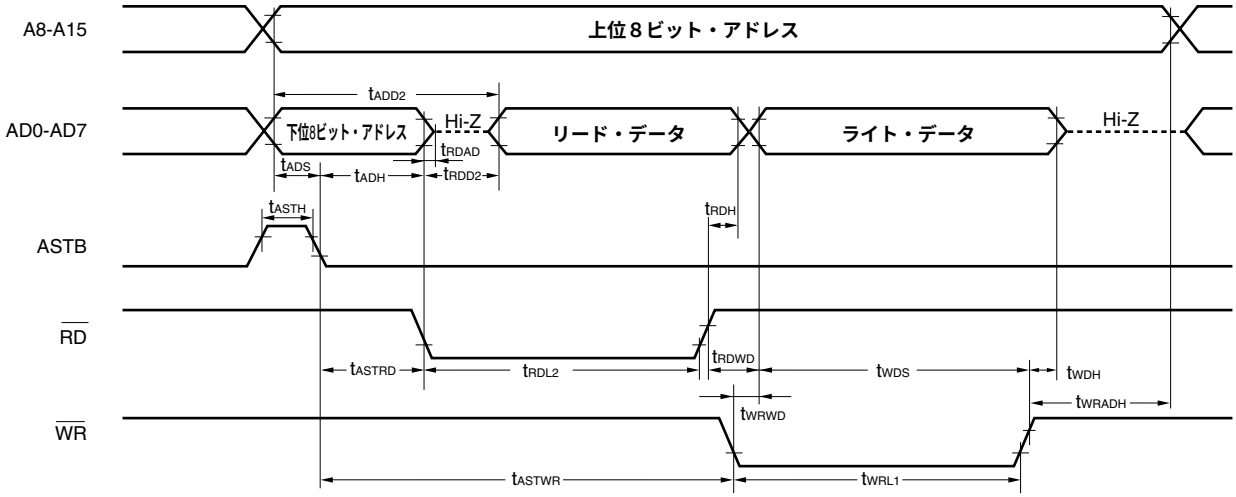
外部フェッチ（ノー・ウエイト時）：



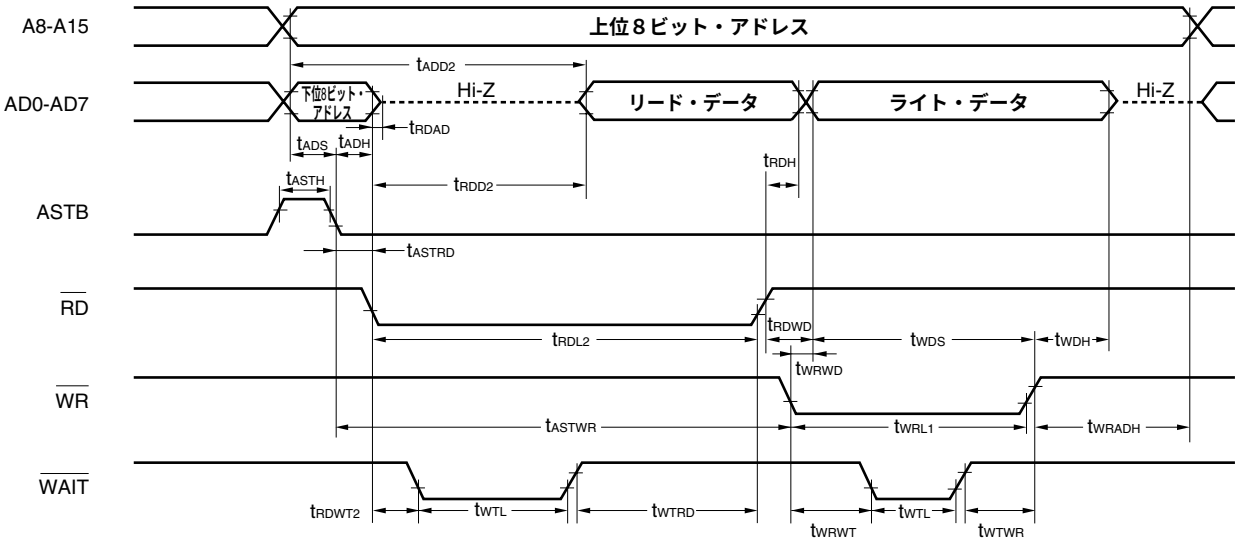
外部フェッチ（ウエイト挿入時）：



外部データ・アクセス（ノー・ウエイト時）：

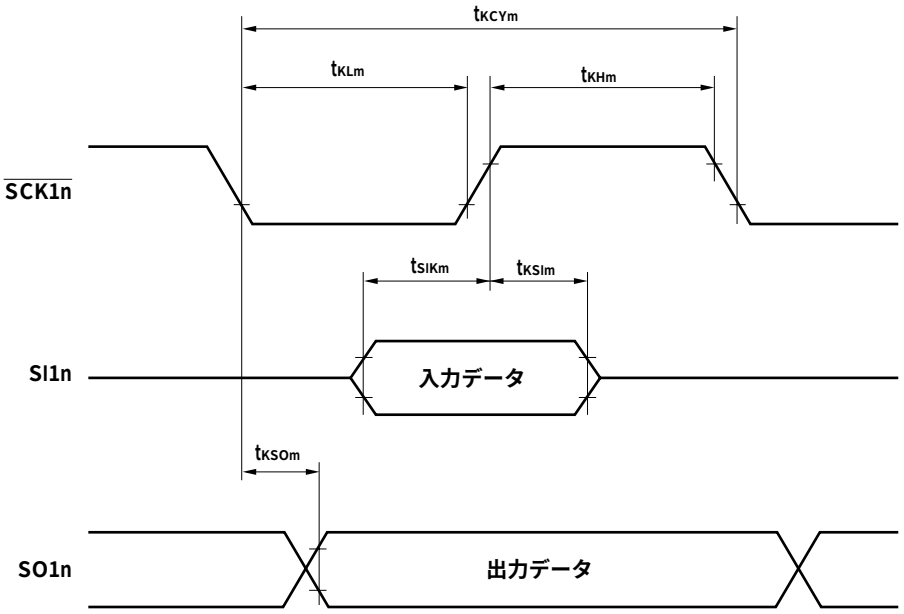


外部データ・アクセス（ウエイト挿入時）：



シリアル転送タイミング

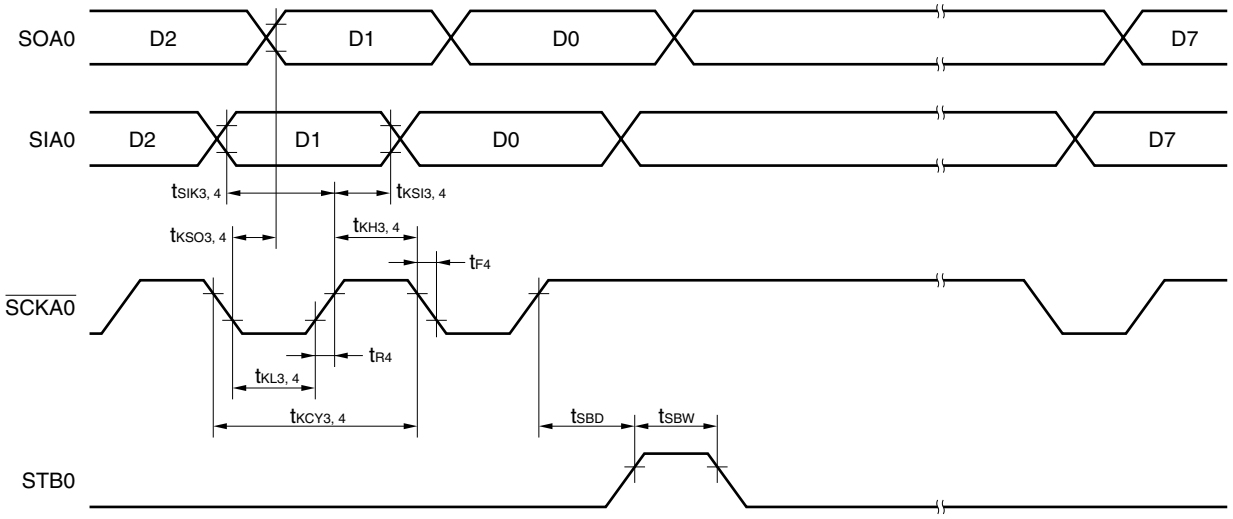
3線式シリアルI/Oモード：



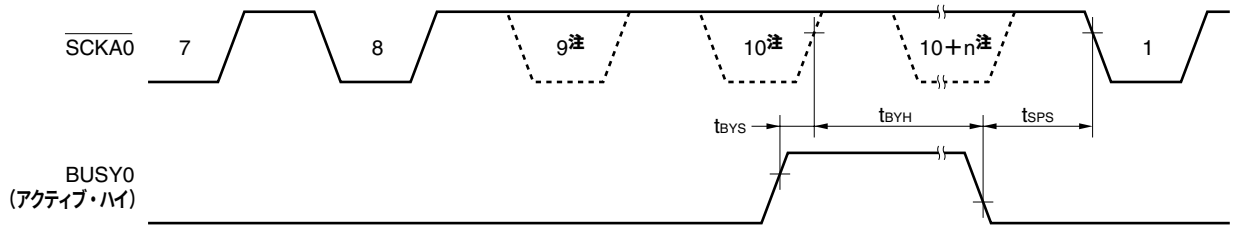
備考　m = 1, 2

n = 0, 1

自動送受信機能付き3線式シリアルI/Oモード：



自動送受信機能付き3線式シリアルI/Oモード（ビジィ処理）：



注　ここでは実際にはロウ・レベルになりませんが，タイミング規定のためこのように表記してあります。

A/Dコンバータ特性

（T_A = －40～＋85 ℃，2.5 V≦V_{DD} = EV_{DD}≦5.5 V, 2.5 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
分解能			10	10	10	bit
総合誤差注1, 2		4.0 V≦AV_{REF}≦5.5 V		±0.2	±0.4	%FSR
		2.7 V≦AV_{REF}＜4.0 V		±0.3	±0.6	%FSR
		2.5 V≦AV_{REF}＜2.7 V		±0.6	±1.2	%FSR
変換時間	t_{CONV}	4.0 V≦AV_{REF}≦5.5 V	14		100	μs
		2.7 V≦AV_{REF}＜4.0 V	17		100	μs
		2.5 V≦AV_{REF}＜2.7 V	48		100	μs
ゼロスケール誤差注1, 2		4.0 V≦AV_{REF}≦5.5 V			±0.4	%FSR
		2.7 V≦AV_{REF}＜4.0 V			±0.6	%FSR
		2.5 V≦AV_{REF}＜2.7 V			±1.2	%FSR
フルスケール誤差注1, 2		4.0 V≦AV_{REF}≦5.5 V			±0.4	%FSR
		2.7 V≦AV_{REF}＜4.0 V			±0.6	%FSR
		2.5 V≦AV_{REF}＜2.7 V			±1.2	%FSR
積分直線性誤差注1		4.0 V≦AV_{REF}≦5.5 V			±2.5	LSB
		2.7 V≦AV_{REF}＜4.0 V			±4.5	LSB
		2.5 V≦AV_{REF}＜2.7 V			±8.5	LSB
微分直線性誤差注1		4.0 V≦AV_{REF}≦5.5 V			±1.5	LSB
		2.7 V≦AV_{REF}＜4.0 V			±2.0	LSB
		2.5 V≦AV_{REF}＜2.7 V			±3.5	LSB
アナログ入力電圧	V_{AIN}		AV_{SS}		AV_{REF}	V

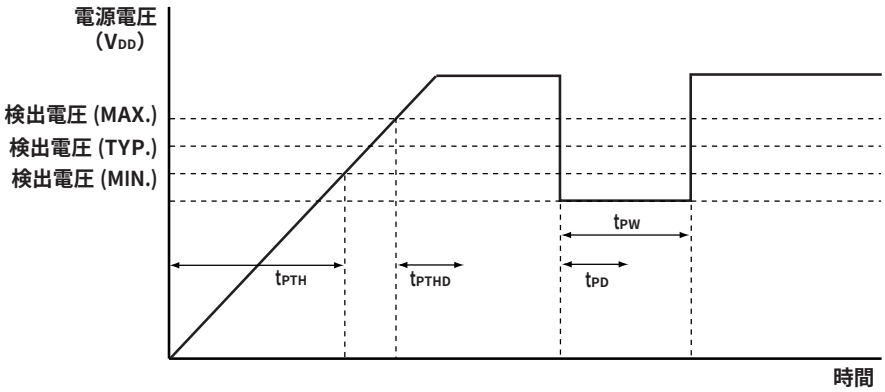
注1．量子化誤差（±1/2 LSB）を含みません。
　2．フルスケール値に対する比率（%FSR）で表します。

POC回路特性（T_A = －40～＋85 ℃）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{POC}		2.0	2.1	2.2	V
電源立ち上げ時間	t_{PTH}	V_{DD}：0 V→2.0 V	0.0015			ms
応答ディレイ時間1注1	t_{PTHD}	電源立ち上げ時，検出電圧（MAX.）に達したあと			3.0	ms
応答ディレイ時間2注2	t_{PD}	V_{DD}降下時			1.0	ms
最小パルス幅	t_{PW}		0.2			ms

注1.　検出電圧を検出してから，リセットを解除するまでの時間です。
　2.　検出電圧を検出してから，内部リセットを出力するまでの時間です。

POC回路タイミング



LVI回路特性（T_A = －40～＋85 ℃）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{LVI0}		4.1	4.3	4.5	V
	V_{LVI1}		3.9	4.1	4.3	V
	V_{LVI2}		3.7	3.9	4.1	V
	V_{LVI3}		3.5	3.7	3.9	V
	V_{LVI4}		3.3	3.5	3.7	V
	V_{LVI5}		3.15	3.3	3.45	V
	V_{LVI6}		2.95	3.1	3.25	V
	V_{LVI7}		2.7	2.85	3.0	V
	V_{LVI8}		2.5	2.6	2.7	V
	V_{LVI9}		2.25	2.35	2.45	V
応答時間注1	t_{LD}			0.2	2.0	ms
最小パルス幅	t_{LW}		0.2			ms
動作安定待ち時間注2	t_{LWAIT}			0.1	0.2	ms

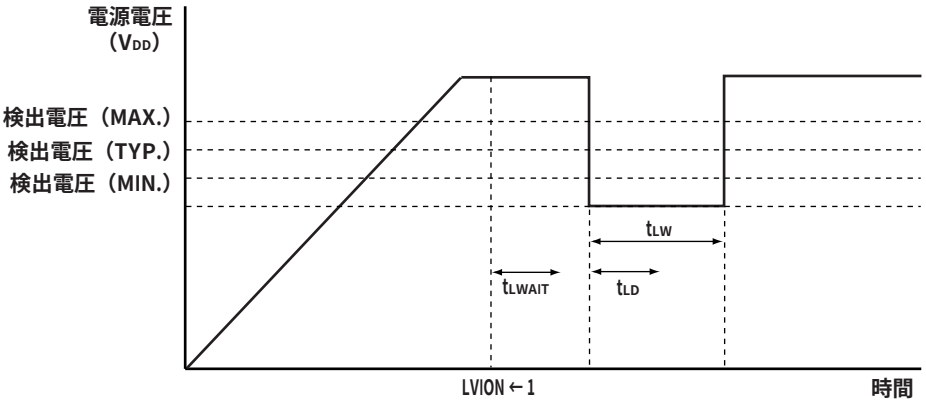
注1．検出電圧を検出して割り込みまたは内部リセットを出力するまでの時間です。

2．LVIONに1を設定してから，動作が安定するまでの時間です。

備考1．V_{LVI0}＞V_{LVI1}＞V_{LVI2}＞V_{LVI3}＞V_{LVI4}＞V_{LVI5}＞V_{LVI6}＞V_{LVI7}＞V_{LVI8}＞V_{LVI9}

2．V_{POC}＜V_{LVIm}（m = 0-9）

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性（T_A = －40～＋85 ℃）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
データ保持電源電圧	V_{DDDR}		2.0		5.5	V
リリース信号セット時間	t_{SREL}		0			μs

フラッシュ・メモリ・プログラミング特性

（T_A = －10～＋65 ℃，2.7 V≦V_{DD}≦5.5 V, 2.7 V≦AV_{REF}≦V_{DD}, V_{SS} = 0 V）

基本特性

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
V_{DD}電源電流		I_{DD}	f_{XP} = 16 MHz, V_{DD} = 5.5 V時			35	mA
単位消去時間注1		T_{erass}			10		ms
消去時間注2	全ブロック	T_{eraca}			0.01	2.55	s
	ブロック単位	T_{erasa}			0.01	2.55	s
書き込み時間		T_{wrwa}			50	500	μs
1チップあたりの書き換え回数注3		C_{erwr}	消去1回＋消去後の書き込み1回 = 書き換え回数1回とする注4			100	回

注1．1回の消去試行に要する時間です。

2．単位消去時間を繰り返し（最大255回），消去が完了するまでの総時間です。ただし，消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は，含まれません。

3．ブロックごとの書き換え回数です。

4．ブロック（2 Kバイト）に1ワード単位で512回に分けて書き込みを行った後にブロック消去を行った場合，書き換え回数は1回となります。なお，消去をせずに同一番地に上書きすることは禁止です。

★ 第31章　電気的特性（（A1）水準品）

対象製品：μPD78F0148H(A1)

注意　（A1）水準品は，外部バス・インタフェース機能を使用できません。

絶対最大定格（T_A = 25 ℃）（1/2）

項　目	略　号	条　件		定　格	単　位
電源電圧	V_{DD}			−0.3〜+6.5	V
	EV_{DD}			−0.3〜+6.5	V
	V_{SS}			−0.3〜+0.3	V
	EV_{SS}			−0.3〜+0.3	V
	AV_{REF}			−0.3〜V_{DD}+0.3注	V
	AV_{SS}			−0.3〜+0.3	V
入力電圧	V_{I1}	P00-P06, P10-P17, P20-P27, P30-P33, P40-P47, P50-P57, P60, P61,P64-P67, P70-P77, P120, P140-P145, X1, X2, XT1, XT2, $\overline{\text{RESET}}$		−0.3〜V_{DD}+0.3注	V
	V_{I2}	P62, P63	N-chオープン・ドレーン時	−0.3〜+13	V
出力電圧	V_O			−0.3〜V_{DD}+0.3注	V
アナログ入力電圧	V_{AN}			AV_{SS}−0.3〜AV_{REF}+0.3注 かつ−0.3〜V_{DD}+0.3注	V
ハイ・レベル出力電流	I_{OH}	1端子		−8	mA
		端子合計 −48 mA	P00-P06, P40-P47, P50-P57, P64-P67, P70-P77, P142-P145	−24	mA
			P10-P17, P30-P33, P120, P130, P140, P141	−24	mA

注　6.5 V以下であること。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

絶対最大定格（T_A = 25 ℃）（2/2）

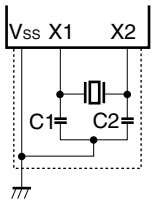
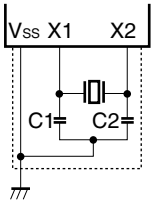
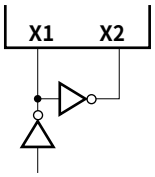
項　目	略　号	条　件		定　格	単　位
ロウ・レベル出力電流	I_{OL}	1端子	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145	16	mA
			P60-P63	24	mA
		端子合計 56 mA	P00-P06, P40-P47, P50-P57, P60, P61, P64-P67, P70-P77, P142-P145	28	mA
			P10-P17, P30-P33, P62, P63, P120, P130, P140, P141	28	mA
動作周囲温度	T_A	通常動作時		－40～＋110	℃
		フラッシュ・メモリ・プログラミング時		－10～＋65	
保存温度	T_{stg}	フラッシュ・メモリ・ブランク状態		－65～＋150	℃
		フラッシュ・メモリ・プログラミング済み状態		－40～＋125	

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

高速システム・クロック（水晶／セラミック）発振回路特性

（T_A = －40～＋110 ℃，2.7 V≦V_{DD} = EV_{DD}≦5.5 V, 2.7 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

発振子	推奨回路	項　目	条　件	MIN.	TYP.	MAX.	単位
セラミック発振子		発振周波数（f_{XP}）注1	4.0 V≦V_{DD}≦5.5 V	2.0		16	MHz
			3.5 V≦V_{DD}＜4.0 V	2.0		10	
			3.0 V≦V_{DD}＜3.5 V	2.0		8.38	
			2.7 V≦V_{DD}＜3.0 V	2.0		5.0	
水晶振動子		発振周波数（f_{XP}）注1	4.0 V≦V_{DD}≦5.5 V	2.0		16	MHz
			3.5 V≦V_{DD}＜4.0 V	2.0		10	
			3.0 V≦V_{DD}＜3.5 V	2.0		8.38	
			2.7 V≦V_{DD}＜3.0 V	2.0		5.0	
外部クロック注2		X1入力周波数（f_{XP}）注1	4.0 V≦V_{DD}≦5.5 V	2.0		16	MHz
			3.5 V≦V_{DD}＜4.0 V	2.0		10	
			3.0 V≦V_{DD}＜3.5 V	2.0		8.38	
			2.7 V≦V_{DD}＜3.0 V	2.0		5.0	
		X 1入力ハイ，ロウ・レベル幅（t_{XPH}, t_{XPL}）	4.0 V≦V_{DD}≦5.5 V	30		250	ns
			3.5 V≦V_{DD}＜4.0 V	46		250	
			3.0 V≦V_{DD}＜3.5 V	56		250	
			2.7 V≦V_{DD}＜3.0 V	96		250	

注1.　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

2.　X1端子にクロック信号を入力し，X2端子には反転クロック信号を入力してください。

注意1.　高速システム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2.　リセット解除後は，内蔵発振クロックによりCPUが起動されるため，高速システム・クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

備考　発振子の選択および発振回路定数についてはお客様において発振評価していただくか，発振子メーカに評価を依頼してください。

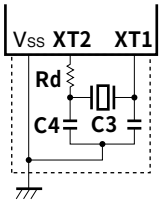
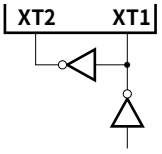
内蔵発振回路特性

（T_A = －40～＋110 ℃，2.0 V≦V_{DD} = EV_{DD}≦5.5 V, 2.0 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

発振子	項　　目	条　　件	MIN.	TYP.	MAX.	単位
内蔵発振器	発振周波数（f_R）		120	240	490	kHz

サブシステム・クロック発振回路特性

（T_A = －40～＋110 ℃，2.7 V≦V_{DD} = EV_{DD}≦5.5 V, 2.7 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

発振子	推奨回路	項　　目	条　　件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数（f_{XT}）注		32	32.768	35	kHz
外部クロック		XT1入力周波数（f_{XT}）注		32		38.5	kHz
		XT1入力ハイ，ロウ・レベル幅（t_{XTH}, t_{XTL}）		12		15.6	μs

注　発振回路の特性だけを示すものです。命令実行時間については，AC特性を参照してください。

注意1．サブシステム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
- 他の信号線と交差させない。
- 変化する大電流が流れる線に接近させない。
- 発振回路のコンデンサの接地点は，常にV_{SS}と同電位になるようにする。
- 大電流が流れるグランド・パターンに接地しない。
- 発振回路から信号を取り出さない。

2．サブシステム・クロック発振回路は，低消費電力にするために増幅度の低い回路になっており，ノイズによる誤動作が高速システム・クロック発振回路よりも起こりやすくなっています。したがって，サブシステム・クロックを使用する場合は，配線方法について特にご注意ください。

備考　発振子の選択および発振回路定数についてはお客様において発振評価していただくか，発振子メーカに評価を依頼してください。

DC特性（1/3）

（T_A = －40～＋110 ℃，2.7 V≦V_{DD} = EV_{DD}≦5.5 V, 2.7 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電流	I_{OH}	1端子	4.0 V≦V_{DD}≦5.5 V			－4	mA
		P10-P17, P30-P33, P120, P130, P140, P141　合計	4.0 V≦V_{DD}≦5.5 V			－20	mA
		P00-P06, P40-P47, P50-P57, P64-P67, P70-P77, P142-P145　合計	4.0 V≦V_{DD}≦5.5 V			－20	mA
		全端子	4.0 V≦V_{DD}≦5.5 V			－25	mA
			2.7 V≦V_{DD}＜4.0 V			－8	mA
ロウ・レベル出力電流	I_{OL}	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P64-P67, P70-P77, P120, P130, P140-P145　1端子	4.0 V≦V_{DD}≦5.5 V			8	mA
		P60-P63　1端子	4.0 V≦V_{DD}≦5.5 V			12	mA
		P10-P17, P30-P33, P62, P63, P120, P130, P140, P141 合計	4.0 V≦V_{DD}≦5.5 V			24	mA
		P00-P06, P40-P47, P50-P57, P60, P61, P64-P67, P70-P77, P142-P145　合計	4.0 V≦V_{DD}≦5.5 V			24	mA
		全端子	4.0 V≦V_{DD}≦5.5 V			30	mA
			2.7 V≦V_{DD}＜4.0 V			8	mA
ハイ・レベル入力電圧	V_{IH1}	P12, P13, P15, P40-P47, P50-P57, P64-P67, P144, P145		0.7V_{DD}		V_{DD}	V
	V_{IH2}	P00-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, $\overline{\text{RESET}}$		0.8V_{DD}		V_{DD}	V
	V_{IH3}	P20-P27注		0.7AV_{REF}		AV_{REF}	V
	V_{IH4}	P60, P61		0.7V_{DD}		V_{DD}	V
	V_{IH5}	P62, P63		0.7V_{DD}		12	V
	V_{IH6}	X1, X2, XT1, XT2		V_{DD}－0.5		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P12, P13, P15, P40-P47, P50-P57, P64-P67, P144, P145		0		0.3V_{DD}	V
	V_{IL2}	P00-P06, P10, P11, P14, P16, P17, P30-P33, P70-P77, P120, P140-P143, $\overline{\text{RESET}}$		0		0.2V_{DD}	V
	V_{IL3}	P20-P27注		0		0.3AV_{REF}	V
	V_{IL4}	P60, P61		0		0.3V_{DD}	V
	V_{IL5}	P62, P63		0		0.3V_{DD}	V
	V_{IL6}	X1, X2, XT1, XT2		0		0.4	V

注　ディジタル入力ポートとして使用する場合は，AV_{REF} = V_{DD}にしてください。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性（2/3）

（T_A = －40～＋110 ℃，2.7 V≦V_{DD} = EV_{DD}≦5.5 V, 2.7 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電圧	V_{OH}	P10-P17, P30-P33, P120, P130, P140, P141 合計I_{OH} = －20 mA		4.0 V≦V_{DD}≦5.5 V, I_{OH} = －4 mA	V_{DD}－1.0			V
		P00-P06, P40-P47, P50-P57, P64-P67, P70-P77, P142-P145 合計I_{OH} = －20 mA		4.0 V≦V_{DD}≦5.5 V, I_{OH} = －4 mA	V_{DD}－1.0			V
		I_{OH} = －100 μA		2.7 V≦V_{DD}<4.0 V	V_{DD}－0.5			V
ロウ・レベル出力電圧	V_{OL1}	P10-P17, P30-P33, P62, P63, P120, P130, P140, P141 合計I_{OL} = 24 mA		4.0 V≦V_{DD}≦5.5 V, I_{OL} = 8 mA			1.3	V
		P00-P06, P40-P47, P50-P57, P60, P61, P64-P67, P70-P77, P142-P145　合計I_{OL} = 24 mA		4.0 V≦V_{DD}≦5.5 V, I_{OL} = 8 mA			1.3	V
		I_{OL} = 400 μA		2.7 V≦V_{DD}<4.0 V			0.4	V
	V_{OL2}	P60-P63		4.0 V≦V_{DD}≦5.5 V, I_{OL} = 12 mA			2.0	V
ハイ・レベル入力リーク電流	I_{LIH1}	V_I = V_{DD}	P00-P06, P10-P17, P30-P33, P40-P47, P50-P57, P60, P61, P64-P67, P70-P77, P120, P140-P145, $\overline{RESET}$				10	μA
		V_I = AV_{REF}	P20-P27				10	μA
	I_{LIH2}	V_I = V_{DD}	X1, X2[注1], XT1, XT2[注1]				20	μA
	I_{LIH3}	V_I = 12 V	P62, P63（N-chオープン・ドレーン時）				10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	V_I = 0 V	P00-P06, P10-P17, P20-P27, P30-P33, P40-P47, P50-P57, P60, P61, P64-P67, P70-P77, P120, P140-P145, $\overline{RESET}$				－10	μA
	I_{LIL2}		X1, X2[注1], XT1, XT2[注1]				－20	μA
	I_{LIL3}		P62, P63（N-chオープン・ドレーン時）				－10[注2]	μA
ハイ・レベル出力リーク電流	I_{LOH}	V_O = V_{DD}					10	μA
ロウ・レベル出力リーク電流	I_{LOL}	V_O = 0 V					－10	μA
プルアップ抵抗値	R_L	V_I = 0 V			10	30	120	kΩ
FLMD0電源電圧	Flmd	通常動作時			0		0.2V_{DD}	V

注1．X2にX1の反転入力レベルを，XT2にXT1の反転入力レベルを印加している場合。

2．ポート6を入力モードに設定している場合にポート6に対して読み出し命令を実行したときの1サイクル・タイム間のみ，ロウ・レベル入力リーク電流が－55 μA（MAX.）流れます。これ以外では－10 μA（MAX.）です。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性（3/3）

（T_A = －40～＋110 ℃，2.7 V≦V_{DD} = EV_{DD}≦5.5 V, 2.7 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略号	条　件			MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	水晶／セラミック発振動作モード[注2]	f_{XP} = 16 MHz V_{DD} = 5.0 V±10 %[注3]	A/Dコンバータ停止時		14.5	30.4	mA
				A/Dコンバータ動作時[注6]		15.5	32.4	mA
			f_{XP} = 10 MHz V_{DD} = 5.0 V±10 %[注3]	A/Dコンバータ停止時		9.5	21.4	mA
				A/Dコンバータ動作時[注6]		10.5	23.4	mA
			f_{XP} = 5 MHz V_{DD} = 3.0 V±10 %[注3]	A/Dコンバータ停止時		3.0	8.0	mA
				A/Dコンバータ動作時[注6]		3.6	9.0	mA
	I_{DD2}	水晶／セラミック発振HALTモード	f_{XP} = 16 MHz V_{DD} = 5.0 V±10 %	周辺機能停止時		3.1	8.4	mA
				周辺機能動作時			15.4	mA
			f_{XP} = 10 MHz V_{DD} = 5.0 V±10 %	周辺機能停止時		2.5	6.9	mA
				周辺機能動作時			12.9	mA
			f_{XP} = 5 MHz V_{DD} = 3.0 V±10 %	周辺機能停止時		0.8	2.7	mA
				周辺機能動作時			5.5	mA
	I_{DD3}	内蔵発振動作モード[注4]	V_{DD} = 5.0 V±10 %			1.0	5.4	mA
			V_{DD} = 3.0 V±10 %			0.45	2.8	mA
	I_{DD4}	内蔵発振HALTモード[注4]	V_{DD} = 5.0 V±10 %			0.4	3.0	mA
			V_{DD} = 3.0 V±10 %			0.25	2.0	mA
	I_{DD5}	32.768 kHz水晶発振動作モード[注4, 5]	V_{DD} = 5.0 V±10 %			50	1500	μA
			V_{DD} = 3.0 V±10 %			30	1100	μA
	I_{DD6}	32.768 kHz水晶発振HALTモード[注4, 5]	V_{DD} = 5.0 V±10 %			20	1400	μA
			V_{DD} = 3.0 V±10 %			10	1000	μA
	I_{DD7}	STOPモード	V_{DD} = 5.0 V±10 %	内蔵発振器：OFF		3.5	1400	μA
				内蔵発振器：ON		17.5	1500	μA
			V_{DD} = 3.0 V±10 %	内蔵発振器：OFF		3.5	1000	μA
				内蔵発振器：ON		11	1000	μA

注1．内部電源（V_{DD}）に流れるトータル電流です。周辺動作電流を含みます（ただし，ポートのプルアップ抵抗に流れる電流は含みません）。

2．I_{DD1}は周辺動作電流を含みます。

3．PCC = 00Hに設定したとき。

4．高速システム・クロック（水晶／セラミック）発振回路を停止させたとき。

5．内蔵発振回路を停止させたとき。

6．AV_{REF}端子に流れる電流を含みます。

AC特性

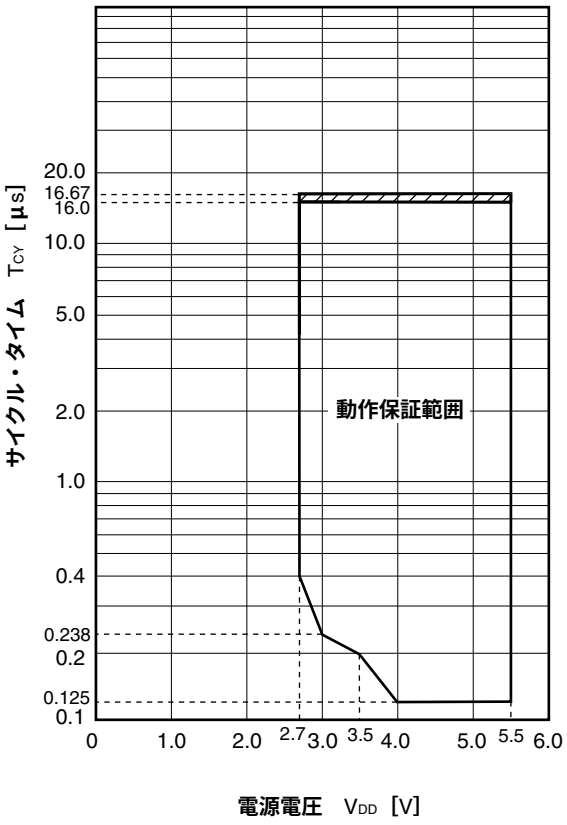
(1) 基本動作（T_A = －40～＋110 ℃，2.7 V≦V_{DD} = EV_{DD}≦5.5 V注1, 2.7 V≦AV_{REF}≦V_{DD}注1, V_{SS} = EV_{SS} = AV_{SS} = 0）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
命令サイクル（最小命令実行時間）	T_{CY}	メイン・システム・クロック動作	高速システム・クロック（水晶／セラミック発振クロック）	4.0 V≦V_{DD}≦5.5 V	0.125		16	μs
				3.5 V≦V_{DD}＜4.0 V	0.2		16	μs
				3.0 V≦V_{DD}＜3.5 V	0.238		16	μs
				2.7 V≦V_{DD}＜3.0 V	0.4		16	μs
			内蔵発振クロック注1		4.09	8.33	16.67	μs
		サブシステム・クロック動作			114	122	125	μs
TI000, TI010, TI001, TI011 入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH0}, t_{TIL0}	4.0 V≦V_{DD}≦5.5 V			2/f_{sam}＋0.1注2			μs
		3.3 V≦V_{DD}＜4.0 V			2/f_{sam}＋0.2注2			μs
		2.7 V≦V_{DD}＜3.3 V			2/f_{sam}＋0.5注2			μs
TI50, TI51入力周波数	f_{TI5}	4.0 V≦V_{DD}≦5.5 V					10	MHz
		3.3 V≦V_{DD}＜4.0 V					5	MHz
		2.7 V≦V_{DD}＜3.3 V					2.5	MHz
TI50, TI51入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH5}, t_{TIL5}	4.0 V≦V_{DD}≦5.5 V			50			ns
		3.3 V≦V_{DD}＜4.0 V			100			ns
		2.7 V≦V_{DD}＜3.3 V			200			ns
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	3.3 V≦V_{DD}≦5.5 V			1			μs
		2.7 V≦V_{DD}＜3.3 V			2			μs
キー・リターン入力ロウ・レベル幅	t_{KR}	4.0 V≦V_{DD}≦5.5 V			50			ns
		3.3 V≦V_{DD}＜4.0 V			100			ns
		2.7 V≦V_{DD}＜3.3 V			200			ns
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}	3.3 V≦V_{DD}≦5.5 V			10			μs
		2.7 V≦V_{DD}＜3.3 V			20			μs

注1．内蔵発振クロック使用時は，2.0 V≦V_{DD}≦5.5 Vで動作可能。
ただし，I/O動作は2.7 V≦V_{DD}≦5.5 V, 2.7 V≦AV_{REF}≦V_{DD}で行ってください。

2．プリスケーラ・モード・レジスタ00, 01（PRM00, PRM01）のビット0, 1（PRM000, PRM001またはPRM010, PRM011）により，f_{sam} = f_{XP}, f_{XP}/4, f_{XP}/256またはf_{XP}, f_{XP}/16, f_{XP}/64の選択が可能です。ただし，カウント・クロックとしてTI000, TI001有効エッジを選択した場合は，f_{sam} = f_{XP}となります。

T_{CY} vs V_{DD}（メイン・システム・クロック動作時）



備考　斜線の部分は内蔵発振クロック選択時のみです。

(2) シリアル・インタフェース

（T_A = −40～+110 ℃，2.7 V≦V_{DD} = EV_{DD}≦5.5 V, 2.7 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

(a) UARTモード（UART6，専用ボー・レート・ジェネレータ出力）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
転送レート					312.5	kbps

(b) UARTモード（UART0，専用ボー・レート・ジェネレータ出力）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
転送レート					312.5	kbps

(c) 3線式シリアルI/Oモード（マスタ・モード，$\overline{SCK1n}$…内部クロック出力）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
$\overline{SCK1n}$サイクル・タイム	t_{KCY1}	4.5 V≦V_{DD}≦5.5 V		200			ns
		4.0 V≦V_{DD}<4.5 V		240			ns
		3.3 V≦V_{DD}<4.0 V		400			ns
		2.7 V≦V_{DD}<3.3 V		800			ns
$\overline{SCK1n}$ハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	3.3 V≦V_{DD}≦5.5 V		t_{KCY1}/2−10			ns
		2.7 V≦V_{DD}<3.3 V		t_{KCY1}/2−50			ns
SI1nセットアップ時間（対$\overline{SCK1n}$↑）	t_{SIK1}	3.3 V≦V_{DD}≦5.5 V		30			ns
		2.7 V≦V_{DD}<3.3 V		70			ns
SI1nホールド時間（対$\overline{SCK1n}$↑）	t_{KSI1}	3.3 V≦V_{DD}≦5.5 V		30			ns
		2.7 V≦V_{DD}<3.3 V		70			ns
$\overline{SCK1n}$↓→SO1n出力遅延時間	t_{KSO1}	C = 100 pF注	3.3 V≦V_{DD}≦5.5 V			30	ns
			2.7 V≦V_{DD}<3.3 V			120	ns

注　Cは，$\overline{SCK1n}$, SO1n出力ラインの負荷容量です。

(d) 3線式シリアルI/Oモード（スレーブ・モード，$\overline{SCK1n}$…外部クロック入力）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
$\overline{SCK1n}$サイクル・タイム	t_{KCY2}	3.3 V≦V_{DD}≦5.5 V	400			ns
		2.7 V≦V_{DD}<3.3 V	800			ns
$\overline{SCK1n}$ハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}		t_{KCY2}/2			ns
SI1nセットアップ時間（対$\overline{SCK1n}$↑）	t_{SIK2}		80			ns
SI1nホールド時間（対$\overline{SCK1n}$↑）	t_{KSI2}		50			ns
$\overline{SCK1n}$↓→SO1n出力遅延時間	t_{KSO2}	C = 100 pF注			120	ns

注　Cは，SO1n出力ラインの負荷容量です。

備考　n = 0, 1

（e）自動送受信機能付き3線式シリアルI/Oモード（$\overline{\text{SCKA0}}$…内部クロック出力）

項　　目	略　号	条　　件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCKA0}}$サイクル・タイム	t_{KCY3}	4.0 V≦V_{DD}≦5.5 V		600			ns
		2.7 V≦V_{DD}＜4.0 V		1200			ns
$\overline{\text{SCKA0}}$ハイ，ロウ・レベル幅	t_{TH3},	4.0 V≦V_{DD}≦5.5 V		t_{KCY3}/2－50			ns
	t_{TL3}	2.7 V≦V_{DD}＜4.0 V		t_{KCY3}/2－100			ns
SIA0セットアップ時間（対$\overline{\text{SCKA0}}$↑）	t_{SIK3}			100			ns
SIA0ホールド時間（対$\overline{\text{SCKA0}}$↑）	t_{KSI3}			300			ns
$\overline{\text{SCKA0}}$↓→SOA0出力遅延時間	t_{KSO3}	C = 100 pF注	4.0 V≦V_{DD}≦5.5 V			200	ns
			2.7 V≦V_{DD}＜4.0 V			300	
$\overline{\text{SCKA0}}$↓→SOB0↑	t_{SBD}			t_{KCY3}/2－100			ns
ストローブ信号ハイ・レベル幅	t_{SBW}	4.0 V≦V_{DD}≦5.5 V		t_{KCY3}－30			ns
		2.7 V≦V_{DD}＜4.0 V		t_{KCY3}－60			ns
ビジィ信号セットアップ時間（対ビジィ信号検出タイミング）	t_{BYS}			100			ns
ビジィ信号ホールド時間（対ビジィ信号検出タイミング）	t_{BYH}	4.0 V≦V_{DD}≦5.5 V		100			ns
		2.7 V≦V_{DD}＜4.0 V		150			ns
ビジィ・インアクティブ→$\overline{\text{SCKA0}}$↓	t_{SPS}					2t_{KCY3}	ns

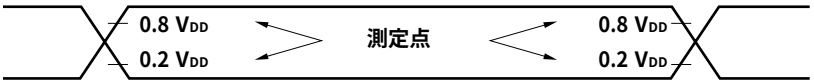
注　Cは，$\overline{\text{SCKA0}}$, SOA0出力ラインの負荷容量です。

（f）自動送受信機能付き3線式シリアルI/Oモード（$\overline{\text{SCKA0}}$…外部クロック入力）

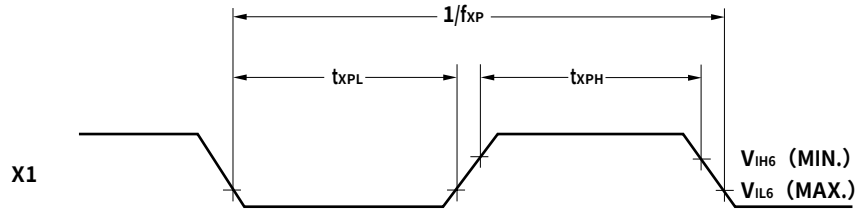
項　　目	略　号	条　　件		MIN.	TYP.	MAX.	単位
$\overline{\text{SCKA0}}$サイクル・タイム	t_{KCY4}	4.0 V≦V_{DD}≦5.5 V		600			ns
		2.7 V≦V_{DD}＜4.0 V		1200			ns
$\overline{\text{SCKA0}}$ハイ，ロウ・レベル幅	t_{KH4},	4.0 V≦V_{DD}≦5.5 V		300			ns
	t_{KL4}	2.7 V≦V_{DD}＜4.0 V		600			ns
SIA0セットアップ時間（対$\overline{\text{SCKA0}}$↑）	t_{SIK4}			100			ns
SIA0ホールド時間（対$\overline{\text{SCKA0}}$↑）	t_{KSI4}			300			ns
$\overline{\text{SCKA0}}$↓→SOA0出力遅延時間	t_{KSO4}	C = 100 pF注	4.0 V≦V_{DD}≦5.5 V			200	ns
			2.7 V≦V_{DD}＜4.0 V			300	ns
$\overline{\text{SCKA0}}$立ち上がり，立ち下がり時間	t_{R4},	外部デバイス拡張機能使用時				120	ns
	t_{F4}	外部デバイス拡張機能未使用時				1000	ns

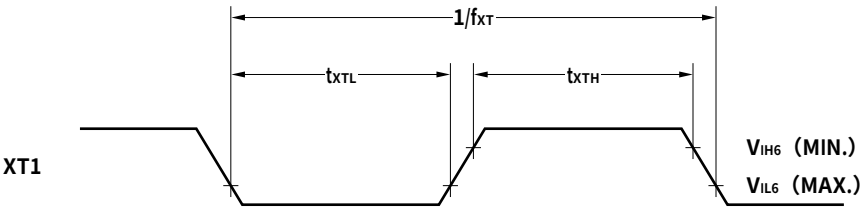
注　Cは，SOA0出力ラインの負荷容量です。

ACタイミング測定点（X1, XT1を除く）

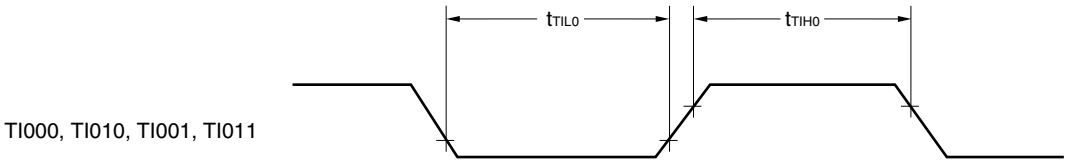


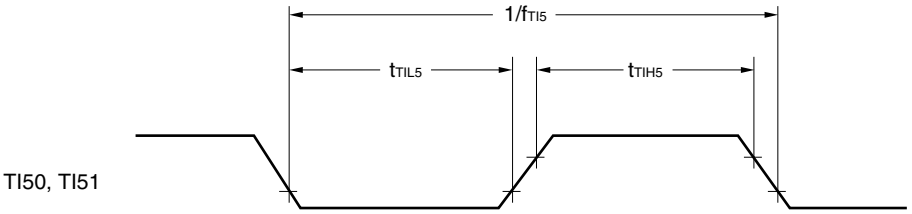
クロック・タイミング



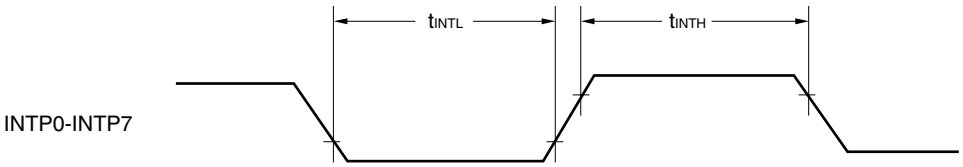


TIタイミング

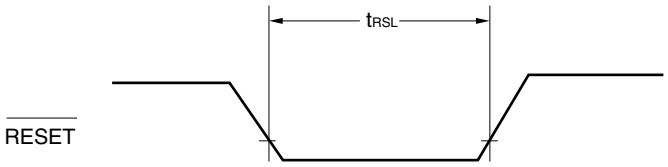




割り込み要求入力タイミング

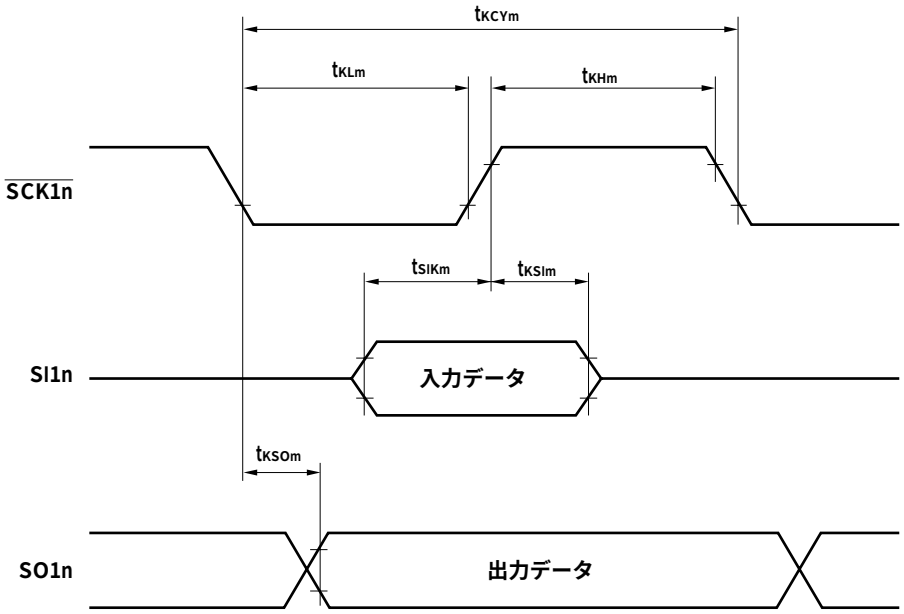


$\overline{\text{RESET}}$入力タイミング



シリアル転送タイミング

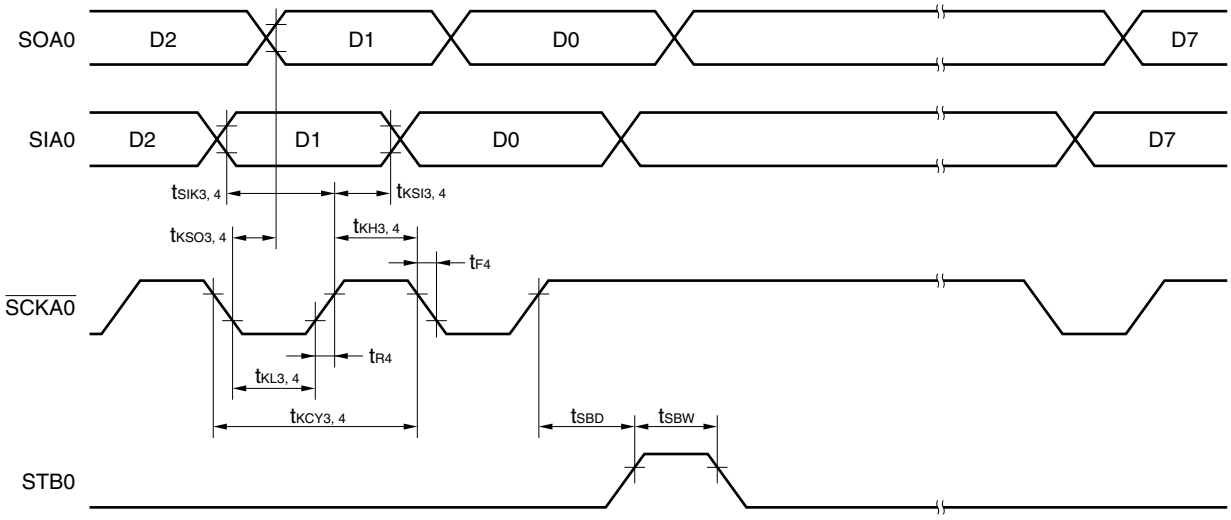
3線式シリアルI/Oモード：



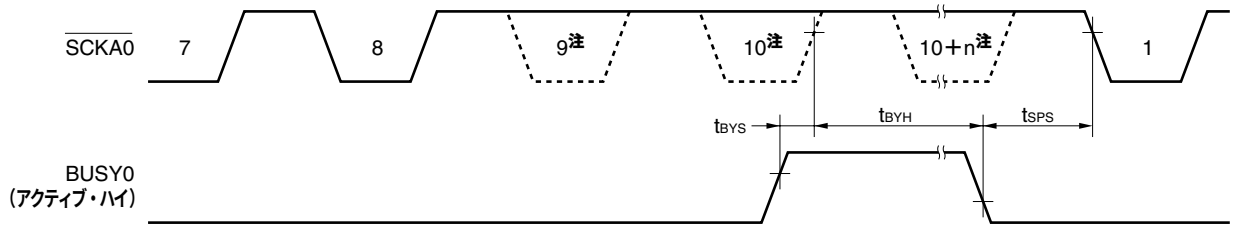
備考　m = 1, 2

n = 0, 1

自動送受信機能付き3線式シリアルI/Oモード：



自動送受信機能付き3線式シリアルI/Oモード（ビジィ処理）：



注　ここでは実際にはロウ・レベルになりませんが，タイミング規定のためこのように表記してあります。

A/Dコンバータ特性

（T_A = －40～＋110 ℃，2.7 V≦V_{DD} = EV_{DD}≦5.5 V, 2.7 V≦AV_{REF}≦V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
分解能			10	10	10	bit
総合誤差注1, 2		4.0 V≦AV_{REF}≦5.5 V		±0.2	±0.6	%FSR
		2.7 V≦AV_{REF}＜4.0 V		±0.3	±0.8	%FSR
変換時間	t_{CONV}	4.0 V≦AV_{REF}≦5.5 V	14		60	μs
		2.7 V≦AV_{REF}＜4.0 V	19		60	μs
ゼロスケール誤差注1, 2		4.0 V≦AV_{REF}≦5.5 V			±0.6	%FSR
		2.7 V≦AV_{REF}＜4.0 V			±0.8	%FSR
フルスケール誤差注1, 2		4.0 V≦AV_{REF}≦5.5 V			±0.6	%FSR
		2.7 V≦AV_{REF}＜4.0 V			±0.8	%FSR
積分直線性誤差注1		4.0 V≦AV_{REF}≦5.5 V			±4.5	LSB
		2.7 V≦AV_{REF}＜4.0 V			±6.5	LSB
微分直線性誤差注1		4.0 V≦AV_{REF}≦5.5 V			±2.0	LSB
		2.7 V≦AV_{REF}＜4.0 V			±2.5	LSB
アナログ入力電圧	V_{AIN}		AV_{SS}		AV_{REF}	V

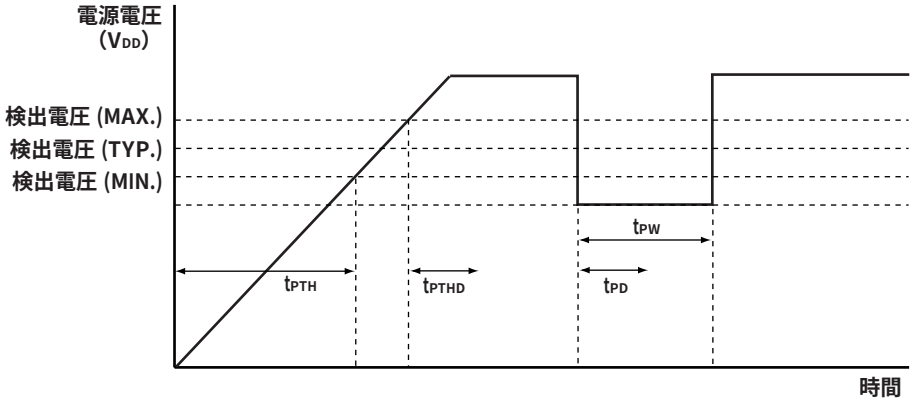
注1．量子化誤差（±1/2 LSB）を含みません。
　2．フルスケール値に対する比率（%FSR）で表します。

POC回路特性（T_A = －40～＋110 ℃）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{POC}		2.0	2.1	2.25	V
電源立ち上げ時間	t_{PTH}	V_{DD}：0 V→2.0 V	0.0015			ms
応答ディレイ時間1注1	t_{PTHD}	電源立ち上げ時，検出電圧（MAX.）に達したあと			3.0	ms
応答ディレイ時間2注2	t_{PD}	V_{DD}降下時			1.0	ms
最小パルス幅	t_{PW}		0.2			ms

注1.　検出電圧を検出してから，リセットを解除するまでの時間です。
　2.　検出電圧を検出してから，内部リセットを出力するまでの時間です。

POC回路タイミング



LVI回路特性（T_A = －40～＋110 ℃）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{LVI0}		4.1	4.3	4.52	V
	V_{LVI1}		3.9	4.1	4.32	V
	V_{LVI2}		3.7	3.9	4.12	V
	V_{LVI3}		3.5	3.7	3.92	V
	V_{LVI4}		3.3	3.5	3.72	V
	V_{LVI5}		3.15	3.3	3.50	V
	V_{LVI6}		2.95	3.1	3.30	V
	V_{LVI7}		2.7	2.85	3.05	V
	V_{LVI8}		2.5	2.6	2.75	V
	V_{LVI9}		2.25	2.35	2.50	V
応答時間注1	t_{LD}			0.2	2.0	ms
最小パルス幅	t_{LW}		0.2			ms
動作安定待ち時間注2	t_{LWAIT}			0.1	0.2	ms

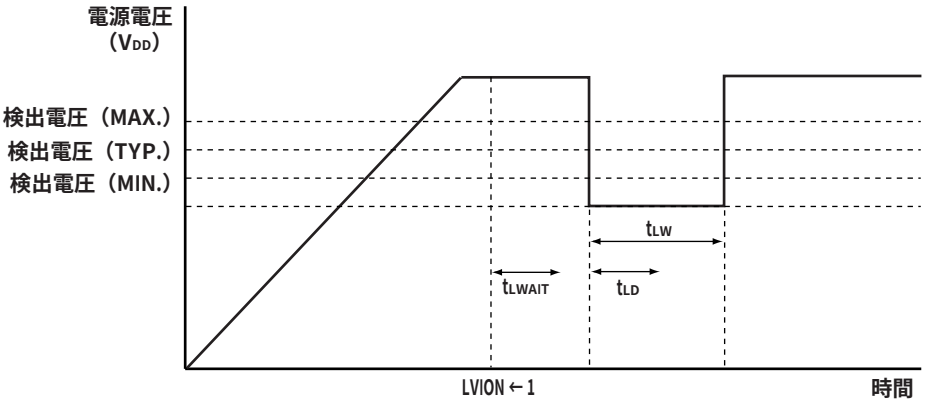
注1．検出電圧を検出して割り込みまたは内部リセットを出力するまでの時間です。

2．LVIONに1を設定してから，動作が安定するまでの時間です。

備考1．V_{LVI0}＞V_{LVI1}＞V_{LVI2}＞V_{LVI3}＞V_{LVI4}＞V_{LVI5}＞V_{LVI6}＞V_{LVI7}＞V_{LVI8}＞V_{LVI9}

2．V_{POC}＜V_{LVIm}（m = 0-9）

LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性（T_A = －40～＋110 ℃）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
データ保持電源電圧	V_{DDDR}		2.0		5.5	V
リリース信号セット時間	t_{SREL}		0			μs

フラッシュ・メモリ・プログラミング特性

（T_A = －10～＋65 ℃，2.7 V≦V_{DD}≦5.5 V, 2.7 V≦AV_{REF}≦V_{DD}, V_{SS} = 0 V）

基本特性

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
V_{DD}電源電流		I_{DD}	f_{XP} = 16 MHz, V_{DD} = 5.5 V時			35	mA
単位消去時間注1		T_{erass}			10		ms
消去時間注2	全ブロック	T_{eraca}			0.01	2.55	s
	ブロック単位	T_{erasa}			0.01	2.55	s
書き込み時間		T_{wrwa}			50	500	μs
1チップあたりの書き換え回数注3		C_{erwr}	消去1回＋消去後の書き込み1回 = 書き換え回数1回とする注4			100	回

注1．1回の消去試行に要する時間です。

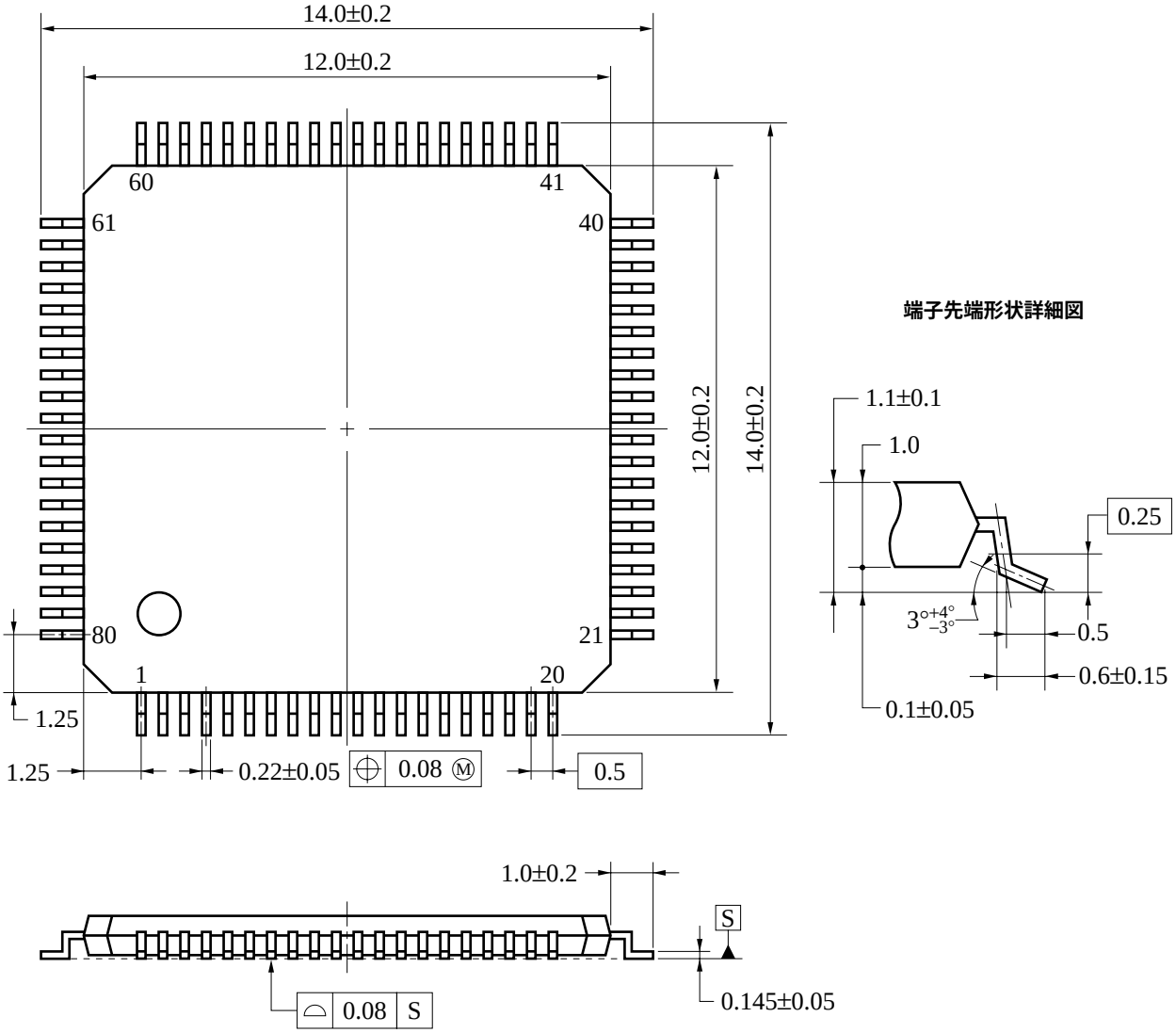
2．単位消去時間を繰り返し（最大255回），消去が完了するまでの総時間です。ただし，消去前のプリライトおよび消去ベリファイ時間（ライトバック時間）は，含まれません。

3．ブロックごとの書き換え回数です。

4．ブロック（2 Kバイト）に1ワード単位で512回に分けて書き込みを行った後にブロック消去を行った場合，書き換え回数は1回となります。なお，消去をせずに同一番地に上書きすることは禁止です。

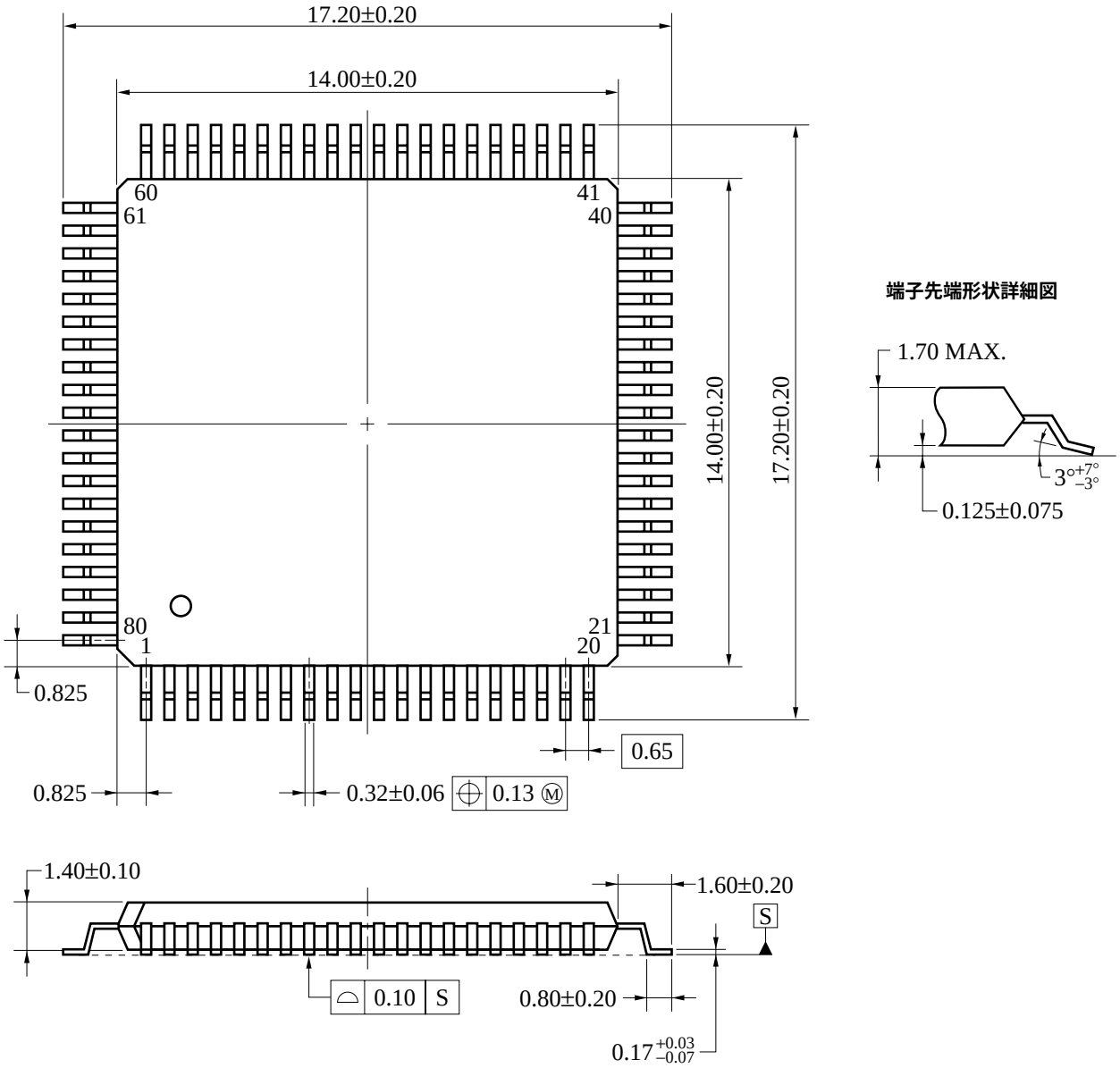
第32章　外 形 図

80ピン・プラスチック TQFP（ファインピッチ）（12x12）外形図（単位：mm）



P80GK-50-9EU-1

80ピン・プラスチック QFP（14x14）外形図（単位：mm）



P80GC-65-8BT-1

★ 第33章　半田付け推奨条件

この製品の半田付け実装は，次の推奨条件で実施してください。
なお，推奨条件以外の半田付け方式および半田付け条件については，当社販売員にご相談ください。
半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」（http://www.necel.com/pkg/ja/jissou/index.html）

表33－1　表面実装タイプの半田付け条件（1/2）

（1）μPD78F0148HGK-9EU, 78F0148HGK(A)-9EU, 78F0148HGK(A1)-9EU

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ℃，時間：30秒以内（210 ℃以上），回数：3回以内，制限日数：7日間[注]（以降は125 ℃プリベーク20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-207-3
VPS	パッケージ・ピーク温度：215 ℃，時間：40秒以内（200 ℃以上），回数：3回以内，制限日数：7日間[注]（以降は125 ℃プリベーク20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-207-3
端子部分加熱	端子温度：350 ℃以下，時間：3秒以内（デバイスの一辺当たり）	－

注　ドライパック開封後の保管日数で，保管条件は25 ℃，65 %RH以下。

注意　半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

表33－1　表面実装タイプの半田付け条件（2/2）

（2）μPD78F0148HGC-8BT, 78F0148HGC(A)-8BT, 78F0148HGC(A1)-8BT

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ℃，時間：30秒以内（210 ℃以上），回数：3回以内， 制限日数：7日間[注]（以降は125 ℃プリベーク20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR35-207-3
VPS	パッケージ・ピーク温度：215 ℃，時間：40秒以内（200 ℃以上），回数：3回以内， 制限日数：7日間[注]（以降は125 ℃プリベーク20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	VP15-207-3
ウエーブ・ ソルダリング	半田槽温度：260 ℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120 ℃ MAX.（パッケージ表面温度） 制限日数：7日間[注]（以降は125 ℃プリベーク20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装でのベーキングができません。	WS60-207-1
端子部分加熱	端子温度：350 ℃以下，時間：3秒以内（デバイスの一辺当たり）	－

注　ドライパック開封後の保管日数で，保管条件は25 ℃，65 %RH以下。

（3）μPD78F0148HGK-9EU-A, 78F0148HGC-8BT-A,
μPD78F0148HGK(A)-9EU-A, 78F0148HGC(A)-8BT-A,
μPD78F0148HGK(A1)-9EU-A, 78F0148HGC(A1)-8BT-A

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ℃，時間：60秒以内（220 ℃以上），回数：3回以内， 制限日数：7日間[注]（以降は125 ℃プリベーク20～72時間必要） ＜留意事項＞ 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350 ℃以下，時間：3秒以内（デバイスの一辺当たり）	－

注　ドライパック開封後の保管日数で，保管条件は25 ℃，65 %RH以下。

注意　半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考　オーダ名称末尾「-A」の製品は，鉛フリー製品です。

第34章　ウエイトに関する注意事項

34. 1　ウエイトに関する注意事項

この製品は，内部に2種類のシステム・バスを有しています。

1つはCPU用バスで，もう1つは低速周辺ハードウエアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため，CPUと周辺ハードウエアとのアクセス間に競合が発生した場合は，予期せぬ不正データの受け渡しが行われる可能性があります。

したがって，競合の恐れがある周辺ハードウエアへのアクセス時には，CPUは正しいデータの受け渡しが行われるまで，処理を繰り返し実行します。

その結果，CPUは次の命令処理に移行せず，CPU処理としてウエイト状態となるため，このウエイトが発生した場合，命令の実行クロック数がウエイト・クロック数分長くなります（ウエイト・クロック数については表34ー1を参照）。リアルタイム性が要求される処理を行う場合は，注意してください。

34. 2　ウエイトが発生する周辺ハードウエア

CPUからのアクセス時にウエイト要求が発生するレジスタとCPUのウエイト・クロック数を表34－1に示します。

表34－1　ウエイトが発生するレジスタとCPUのウエイト・クロック数

周辺ハードウエア	対象レジスタ	対象アクセス	ウエイト・クロック数
ウォッチドッグ・タイマ	WDTM	ライト	3クロック（固定）
シリアル・インタフェースUART0	ASIS0	リード	1クロック（固定）
シリアル・インタフェースUART6	ASIS6	リード	1クロック（固定）
A/Dコンバータ	ADM	ライト	2～5クロック注 （ADM.5 = “ 1 ” 選択時） 2～9クロック注 （ADM.5 = “ 0 ” 選択時）
	ADS	ライト	
	PFM	ライト	
	PFT	ライト	
	ADCR	リード	1～5クロック （ADM.5フラグ = “ 1 ” 選択時） 1～9クロック （ADM.5フラグ = “ 0 ” 選択時）
	〈最大ウエイト・クロック数算出式〉 {（1/f_{MACRO}）×2/（1/f_{CPU}）} ＋1 ※ 小数点以下は，（1/f_{CPU}）をかけてt_{CPUL}以下であれば切り捨て，t_{CPUL}を越える場合には切り上げる。 f_{MACRO} ： マクロ動作周波数 （ADMのビット5（FR2）= “ 1 ” のとき：f_X/2，ADMのビット5（FR2）= “ 0 ” のとき：$f_X/2^2$） f_{CPU} ： CPUクロック周波数 t_{CPUL} ： CPUクロックのロウ・レベル幅		

注　算出式によりウエイト・クロック数が1クロックとなる場合は，CPUに対するウエイトは発生しません。

注意　CPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止（MCC = 1）しているときに，上記の対象レジスタにウエイト要求が発生するアクセス方法で，アクセスしないでください。

表34－2　ウエイトが発生するRAMアクセスとCPUのウエイト・クロック数

対象エリア	対象アクセス	ウエイト・クロック数
バッファRAM	ライト	0～41クロック注
〈最大ウエイト・クロック数算出式〉 {（1/f_{MACRO}）×5/（1/f_{CPU}）} ＋1 ※ 小数点以下は，（1/f_{CPU}）をかけてt_{CPUL}以下であれば切り捨て，t_{CPUL}を越える場合には切り上げる。 f_{MACRO} ： マクロ動作周波数 f_{CPU} ： CPUクロック周波数 t_{CPUL} ： CPUクロックのロウ・レベル幅		

注　マクロからのバッファRAMへの書き込みと，CPUからのバッファRAMへの書き込みとの間に，マクロ動作クロック5クロック分以上挿入すれば，ウエイトは発生しません。

備考　クロックは，CPUクロック（f_{CPU}）を示します。

34. 3　ウエイト発生例

①ウォッチドッグ・タイマ

〈MOV WDTM , A　実行時〉

実行クロック数：8クロック

（ウエイトが発生しないレジスタへの書き込み時は（MOV　sfr，A）の場合，5クロック）

〈MOV　WDTM , #byte　実行時〉

実行クロック数：10クロック

（ウエイトが発生しないレジスタへの書き込み時は（MOV　sfr，#byte）の場合，7クロック）

②シリアル・インタフェースUART6

〈MOV　A , ASIS6　実行時〉

実行クロック数：6クロック

（ウエイトが発生しないレジスタからの読み出し時は（MOV　A，sfr）の場合，5クロック）

③A/Dコンバータ

表34－3　ウエイト発生時のウエイト・クロック数と実行クロック数（A/Dコンバータ）

＜MOV ADM，A実行時，MOV ADS，A実行時，MOV A，ADCR実行時＞

• f_X = 10 MHz, t_{CPUL} = 50 ns時

ADMレジスタのビット5（FR2）の値	f_{CPU}	ウエイト・クロック数	実行クロック数
0	f_X	9クロック	14クロック
	$f_X/2$	5クロック	10クロック
	$f_X/2^2$	3クロック	8クロック
	$f_X/2^3$	2クロック	7クロック
	$f_X/2^4$	0クロック（1クロック注）	5クロック（6クロック注）
1	f_X	5クロック	10クロック
	$f_X/2$	3クロック	8クロック
	$f_X/2^2$	2クロック	7クロック
	$f_X/2^3$	0クロック（1クロック注）	5クロック（6クロック注）
	$f_X/2^4$	0クロック（1クロック注）	5クロック（6クロック注）

注　MOV A, ADCR実行時。

備考　クロックは，CPUクロック（f_{CPU}）を示します。

f_X　：高速システム・クロック発振周波数

t_{CPUL}　：CPUクロックのロウ・レベル幅

付録A　開発ツール

78K0/KF1+を使用するシステム開発のために次のような開発ツールを用意しています。
図A－1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

特に断りのないかぎり，IBM PC/AT™互換機でサポートされている製品については，PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は，IBM PC/AT互換機の説明を参照してください。

●Windows®について

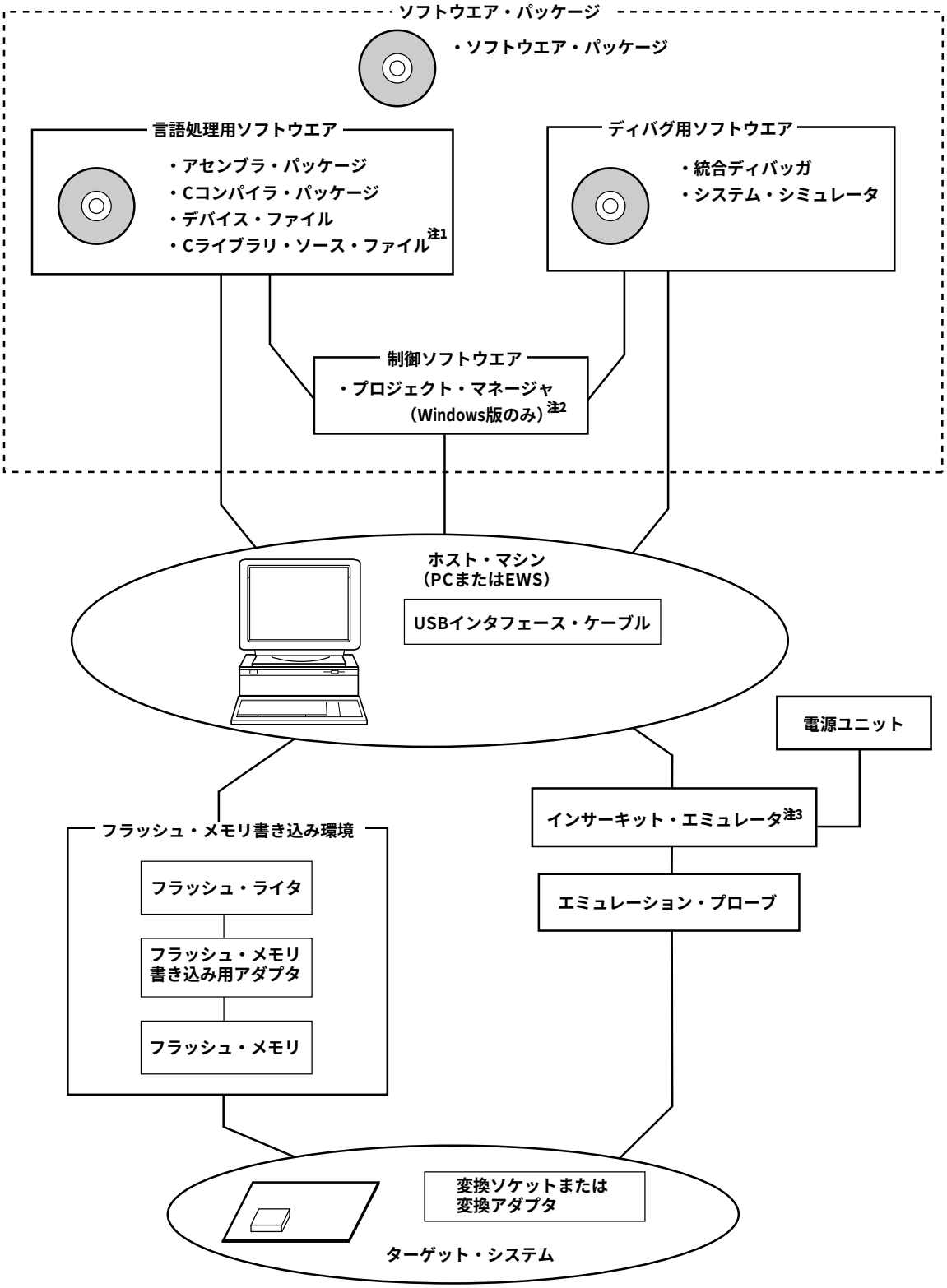
特に断りのないかぎり，「Windows」は次のOSを示しています。

- Windows 3.1
- Windows 95
- Windows 98
- Windows NT® Ver. 4.0
- Windows 2000
- Windows XP®

注意　78K0/KF1+の開発ツールについては，当社販売員にお問い合わせください。

図A－1　開発ツール構成（1/2）

・インサーキット・エミュレータ　QB-78K0KX1Hを使用する場合



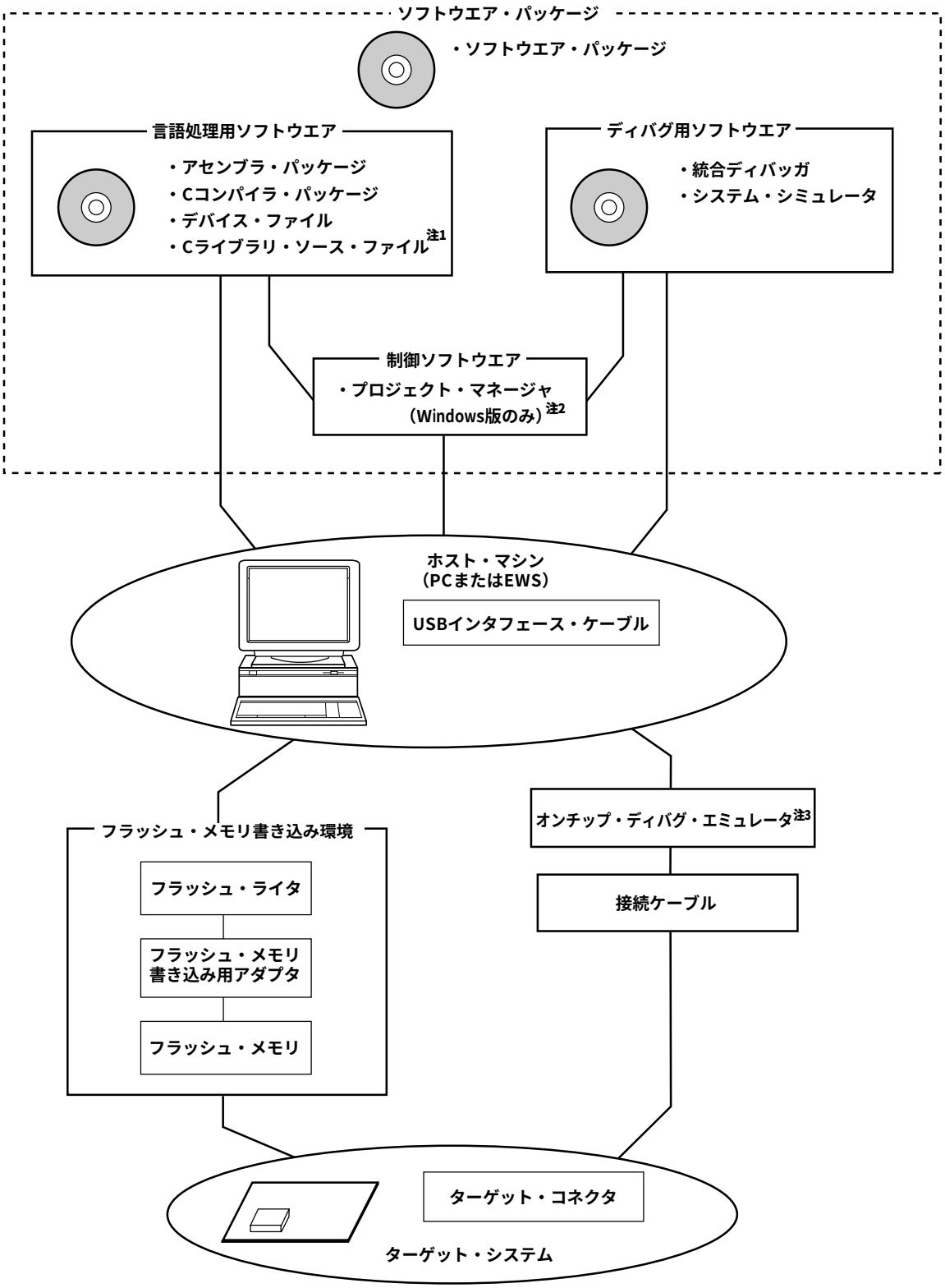
注1．Cライブラリ・ソース・ファイルは，ソフトウエア・パッケージには含まれていません。

2．プロジェクト・マネージャPM plusは，アセンブラ・パッケージに入っています。
また，Windows以外ではPM plusは使用しません。

3．インサーキット・エミュレータQB-78K0KX1Hは，統合ディバッガ　ID78K0-QB，フラッシュ・メモリ・プログラマ　PG-FPL，電源ユニットとUSBインタフェース・ケーブルを添付しています。それ以外の製品はオプションです。

図A－1　開発ツール構成（2/2）

・オンチップ・ディバグ・エミュレータ　QB-78K0MINI**を使用する場合**



注1．Cライブラリ・ソース・ファイルは，ソフトウエア・パッケージには含まれていません。

2．プロジェクト・マネージャPM plusは，アセンブラ・パッケージに入っています。
また，Windows以外ではPM plusは使用しません。

3．オンチップ・ディバグ・エミュレータQB-78K0MINIは，統合ディバッガ　ID78K0-QB，USBインタフェース・ケーブル，接続ケーブルを添付しています。それ以外の製品はオプションです。

A. 1　ソフトウエア・パッケージ

SP78K0 78K/0シリーズ・ソフトウエア・パッケージ	78K/0シリーズ共通の開発ツール（ソフトウエア）を1つのパッケージにした製品です。
	オーダ名称：μS××××SP78K0

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SP78K0

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	

A. 2　言語処理用ソフトウエア

RA78K0 アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに，シンボル・テーブルの生成，分岐命令の最適化処理などを自動的に行う機能を備えています。 別売のデバイス・ファイル（DF780148）と組み合わせて使用します。 ＜PC環境で使用する場合の注意＞ アセンブラ・パッケージはDOSベースのアプリケーションですが，Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより，Windows環境でも使用できます。
	オーダ名称：μS××××RA78K0
CC78K0 Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 ＜PC環境で使用する場合の注意＞ Cコンパイラ・パッケージはDOSベースのアプリケーションですが，Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより，Windows環境でも使用できます。
	オーダ名称：μS××××CC78K0
DF780148[注1] デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K0, CC78K0, SM+ for 78K0, ID78K0-QB）と組み合わせて使用します。 対応OS，ホスト・マシンは組み合わされる各ツールに依存します。
	オーダ名称：μS××××DF780148
CC78K0-L[注2] Cライブラリ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため，動作環境はOSに依存しません。
	オーダ名称：μS××××CC78K0-L

注1．DF780148は，RA78K0, CC78K0, SM+ for 78K0, ID78K0-QBのすべての製品に共通に使用できます。

2．CC78K0-Lは，ソフトウエア・パッケージ（SP78K0）には含まれていません。

備考　オーダ名称の××××は，使用するソフト・マシン，OSにより異なります。

μS××××RA78K0
μS××××CC78K0
μS××××CC78K0-L

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700™	HP-UX™（Rel.10. 10）	
3K17	SPARCstation™	SunOS™（Rel.4. 1. 4），Solaris™（Rel.2. 5. 1）	

μS××××DF780148

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ，IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	

A. 3　制御ソフトウエア

PM plus プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウエアです。PM plus上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 ＜注意＞ PM plusはアセンブラ・パッケージ（RA78K0）の中に入っています。 Windows以外の環境では使用できません。

A. 4　フラッシュ・メモリ書き込み用ツール

FlashproⅣ（型番　FL-PR4, PG-FP4） フラッシュ・ライタ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライタです。
PG-FPL フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。 インサーキット・エミュレータ　QB-78K0KX1Hの付属品です。
FA-80GK-9EU-A FA-80GC-8BT-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。FlashproⅣに接続して使用します。 ・FA-80GK-9EU-A：80ピン・プラスチックTQFP（GK-9EUタイプ）用 ・FA-80GC-8BT-A：80ピン・プラスチックQFP（GC-8BTタイプ）用

備考　FL-PR4, FA-80GK-9EU-A, FA-80GC-8BT-Aは，株式会社内藤電誠町田製作所の製品です。
問い合わせ先：株式会社内藤電誠町田製作所（TEL（045）475-4191）

A. 5　ディバグ用ツール（ハードウエア）

A. 5. 1　インサーキット・エミュレータ　QB-78K0KX1Hを使用する場合

QB-78K0KX1H[注] インサーキット・エミュレータ	78K0/Kx1, 78K0/Kx1+を使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのインサーキット・エミュレータです。統合ディバッガ（ID78K0-QB）に対応しています。電源ユニット，およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は，USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-80GK-EA-01T QB-80GC-EA-01T エクスチェンジ・アダプタ	インサーキット・エミュレータからターゲット･コネクタへピン変換を行うアダプタです。 ・QB-80GK-EA-01T：80ピン・プラスチックTQFP（GK-9EUタイプ）用 ・QB-80GC-EA-01T：80ピン・プラスチックQFP（GC-8BTタイプ）用
QB-80GK-YS-01T QB-80GC-YS-01T スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。 ・QB-80GK-YS-01T：80ピン・プラスチックTQFP（GK-9EUタイプ）用 ・QB-80GC-YS-01T：80ピン・プラスチックQFP（GC-8BTタイプ）用
QB-80GK-YQ-01T QB-80GC-YQ-01T YQコネクタ	ターゲット・コネクタとエクスチェンジ・アダプタを接続するコネクタです。 ・QB-80GK-YQ-01T：80ピン・プラスチックTQFP（GK-9EUタイプ）用 ・QB-80GC-YQ-01T：80ピン・プラスチックQFP（GC-8BTタイプ）用
QB-80GK-HQ-01T QB-80GC-HQ-01T マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。 ・QB-80GK-HQ-01T：80ピン・プラスチックTQFP（GK-9EUタイプ）用 ・QB-80GC-HQ-01T：80ピン・プラスチックQFP（GC-8BTタイプ）用
QB-80GK-NQ-01T QB-80GC-NQ-01T ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。 ・QB-80GK-NQ-01T：80ピン・プラスチックTQFP（GK-9EUタイプ）用 ・QB-80GC-NQ-01T：80ピン・プラスチックQFP（GC-8BTタイプ）用

注　QB-78K0KX1Hは，電源ユニット，USBインタフェース・ケーブル，フラッシュ・メモリ・プログラマ　PG-FPLを添付しています。また，コントロール・ソフトウエアとして，統合ディバッガ　ID78K0-QBを添付しています。

備考　オーダ名称により，梱包内容は次のように異なります。

梱包内容 / オーダ名称	インサーキット・エミュレータ	エミュレーション・プローブ	エクスチェンジ・アダプタ	YQコネクタ	ターゲット・コネクタ
QB-78K0KX1H-ZZZ	QB-78K0KX1H	なし			
QB-78K0KX1H-T80GK		QB-80-EP-01T	QB-80GK-EA-01T	QB-80GK-YQ-01T	QB-80GK-NQ-01T
QB-78K0KX1H-T80GC			QB-80GC-EA-01T	QB-80GC-YQ-01T	QB-80GC-NQ-01T

A. 5. 2　オンチップ・ディバグ・エミュレータ　QB-78K0MINIを使用する場合

QB-78K0MINI オンチップ・ディバグ・エミュレータ	78K0/Kx1+を使用する応用システムを開発する際に，ハードウエア，ソフトウエアをディバグするためのオンチップ・ディバグ・エミュレータです。付属の統合ディバッガ（ID78K0-QB）に対応しています。付属の接続ケーブル，およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタ

A. 6　ディバグ用ツール（ソフトウエア）

SM+ for 78K0[注] システム・シミュレータ	SM+ for 78K0は，Windowsベースのソフトウエアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら，Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。 SM+ for 78K0を使用することにより，アプリケーションの論理検証，性能検証をハードウエア開発から独立して行えます。したがって，開発効率やソフトウエア品質の向上が図れます。 別売のデバイス・ファイル（DF780148）と組み合わせて使用します。
	オーダ名称：μS××××SM780000
ID78K0-QB 統合ディバッガ	78K0/Kx1+シリーズ用のインサーキット・エミュレータに対応したディバッガです。 ID78K0-QBは，Windowsベースのソフトウエアです。 C言語対応のディバグ機能を強化しており，ソース・プログラムや逆アセンブル表示，メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより，トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイルと組み合わせて使用します。
	オーダ名称：μS××××ID78K0-QB

注　開発中

備考　オーダ名称の××××は，使用するホスト・マシン，OSにより異なります。

μS××××SM780000

μS××××ID78K0-QB

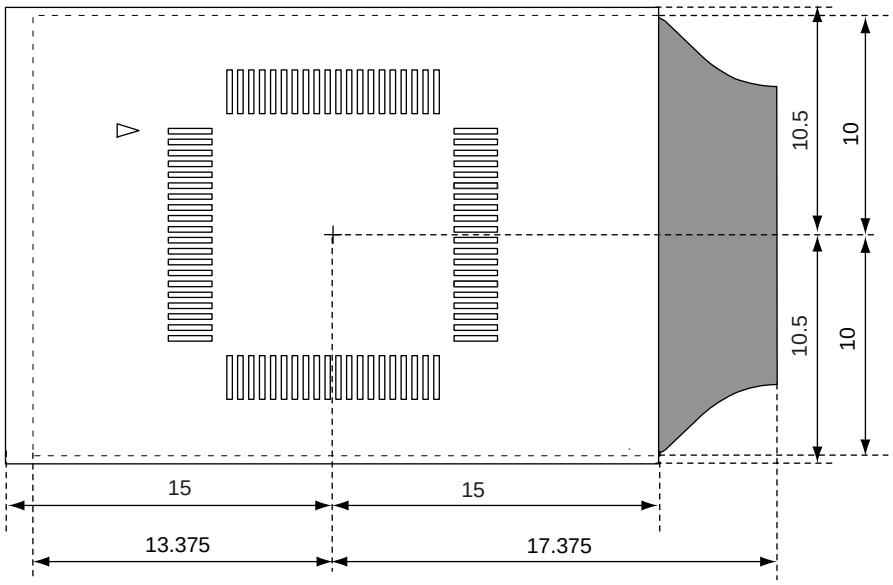
××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	

付録B　ターゲット・システム設計上の注意

本章ではQB-78K0KX1Hを使用する場合のターゲット・システム設計上の注意として，ターゲット・システム上の部品実装禁止領域，部品実装高さの制限がある領域を示します。

(a) 80ピンGKパッケージの場合

図B－1　ターゲット・システム上の制限領域（80ピンGKパッケージの場合）



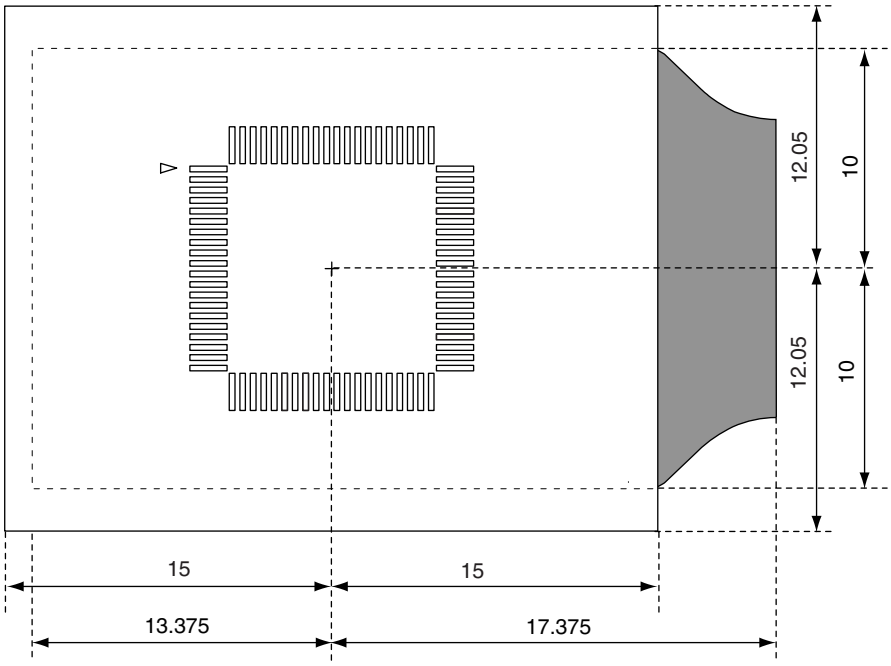
□：エクスチェンジ・アダプタ領域　　：高さ17.45 mmまでの部品を実装可能注

■：エミュレーション・プローブ先端部領域　　：高さ24.45 mmまでの部品を実装可能注

注：スペース・アダプタを使用することで高さ調節可能（1個当たり2.4 mm増）

(b) 80ピンGCパッケージの場合

図B－2　ターゲット・システム上の制限領域（80ピンGCパッケージの場合）



□：エクスチェンジ・アダプタ領域　　：高さ17.45 mmまでの部品を実装可能[注]

■：エミュレーション・プローブ先端部領域　　：高さ24.45 mmまでの部品を実装可能[注]

注：スペース・アダプタを使用することで高さ調節可能（1個当たり2.4 mm増）

付録C　レジスタ索引

C. 1　レジスタ索引（50音順）

[あ行]

アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6（ASICL6）　…　321
アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0）　…　289
アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）　…　316
アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）　…　317
アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）　…　287
アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）　…　313
アナログ入力チャネル指定レジスタ（ADS）　…　265
ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）　…　248
ウォッチドッグ・タイマ・モード・レジスタ（WDTM）　…　247
A/Dコンバータ・モード・レジスタ（ADM）　…　263
A/D変換結果レジスタ（ADCR）　…　266

[か行]

外部割り込み立ち上がりエッジ許可レジスタ（EGP）　…　430
外部割り込み立ち下がりエッジ許可レジスタ（EGN）　…　430
キャプチャ／コンペア・コントロール・レジスタ00（CRC00）　…　156
キャプチャ／コンペア・コントロール・レジスタ01（CRC01）　…　156
キー・リターン・モード・レジスタ（KRM）　…　440
クロック出力選択レジスタ（CKS）　…　256
クロック選択レジスタ6（CKSR6）　…　318
クロック・モニタ・モード・レジスタ（CLM）　…　465

[さ行]

自動データ転送アドレス・カウント・レジスタ0（ADTC0）　…　369
自動データ転送アドレス・ポイント指定レジスタ0（ADTP0）　…　374
自動データ転送間隔指定レジスタ0（ADTI0）　…　376
16ビット・タイマ・カウンタ00（TM00）　…　150
16ビット・タイマ・カウンタ01（TM01）　…　150
16ビット・タイマ・キャプチャ／コンペア・レジスタ000（CR000）　…　150
16ビット・タイマ・キャプチャ／コンペア・レジスタ001（CR001）　…　150
16ビット・タイマ・キャプチャ／コンペア・レジスタ010（CR010）　…　152
16ビット・タイマ・キャプチャ／コンペア・レジスタ011（CR011）　…　152
16ビット・タイマ出力コントロール・レジスタ00（TOC00）　…　157
16ビット・タイマ出力コントロール・レジスタ01（TOC01）　…　157
16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）　…　153

16ビット・タイマ・モード・コントロール・レジスタ01（TMC01）　…　153
受信バッファ・レジスタ0（RXB0）　…　286
受信バッファ・レジスタ6（RXB6）　…　312
乗除算器コントロール・レジスタ0（DMUC0）　…　414
乗除算データ・レジスタA0（MDA0H, MDA0L）　…　412
乗除算データ・レジスタB0（MDB0）　…　413
剰余データ・レジスタ0（SDR0）　…　411
シリアルI/Oシフト・レジスタ0（SIOA0）　…　369
シリアルI/Oシフト・レジスタ10（SIO10）　…　348
シリアルI/Oシフト・レジスタ11（SIO11）　…　348
シリアル・クロック選択レジスタ10（CSIC10）　…　351
シリアル・クロック選択レジスタ11（CSIC11）　…　351
シリアル・ステータス・レジスタ0（CSIS0）　…　371
シリアル・トリガ・レジスタ0（CSIT0）　…　373
シリアル動作モード指定レジスタ0（CSIMA0）　…　370
シリアル動作モード・レジスタ10（CSIM10）　…　349
シリアル動作モード・レジスタ11（CSIM11）　…　349
送信シフト・レジスタ0（TXS0）　…　286
送信バッファ・レジスタ6（TXB6）　…　312
送信バッファ・レジスタ10（SOTB10）　…　348
送信バッファ・レジスタ11（SOTB11）　…　348

[た行]

タイマ・クロック選択レジスタ50（TCL50）　…　197
タイマ・クロック選択レジスタ51（TCL51）　…　197
低電圧検出レジスタ（LVIM）　…　477
低電圧検出レベル選択レジスタ（LVIS）　…　478
時計用タイマ動作モード・レジスタ（WTM）　…　240

[な行]

内蔵発振モード・レジスタ（RCM）　…　124
内部拡張RAMサイズ切り替えレジスタ（IXS）　…　492
入力切り替え制御レジスタ（ISC）　…　323

[は行]

8ビット・タイマHキャリア・コントロール・レジスタ1（TMCYC1）　…　220
8ビット・タイマHコンペア・レジスタ00（CMP00）　…　215
8ビット・タイマHコンペア・レジスタ01（CMP01）　…　215
8ビット・タイマHコンペア・レジスタ10（CMP10）　…　215
8ビット・タイマHコンペア・レジスタ11（CMP11）　…　215
8ビット・タイマHモード・レジスタ0（TMHMD0）　…　216
8ビット・タイマHモード・レジスタ1（TMHMD1）　…　216
8ビット・タイマ・カウンタ50（TM50）　…　195

8ビット・タイマ・カウンタ51（TM51）　…　195
8ビット・タイマ・コンペア・レジスタ50（CR50）　…　195
8ビット・タイマ・コンペア・レジスタ51（CR51）　…　195
8ビット・タイマ・モード・コントロール・レジスタ50（TMC50）　…　199
8ビット・タイマ・モード・コントロール・レジスタ51（TMC51）　…　199
発振安定時間カウンタ状態レジスタ（OSTC）　…　126, 444
発振安定時間選択レジスタ（OSTS）　…　128, 445
パワーフェイル比較しきい値レジスタ（PFT）　…　267
パワーフェイル比較モード・レジスタ（PFM）　…　267
フラッシュ・ステータス・レジスタ（PFS）　…　512
フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）　…　509
フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）　…　511
プリスケーラ・モード・レジスタ00（PRM00）　…　160
プリスケーラ・モード・レジスタ01（PRM01）　…　160
プルアップ抵抗オプション・レジスタ0（PU0）　…　107
プルアップ抵抗オプション・レジスタ1（PU1）　…　107
プルアップ抵抗オプション・レジスタ3（PU3）　…　107
プルアップ抵抗オプション・レジスタ4（PU4）　…　107
プルアップ抵抗オプション・レジスタ5（PU5）　…　107
プルアップ抵抗オプション・レジスタ6（PU6）　…　107
プルアップ抵抗オプション・レジスタ7（PU7）　…　107
プルアップ抵抗オプション・レジスタ12（PU12）　…　107
プルアップ抵抗オプション・レジスタ14（PU14）　…　107
プロセッサ・クロック・コントロール・レジスタ（PCC）　…　122
分周値選択レジスタ0（BRGCA0）　…　374
ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）　…　290
ボー・レート・ジェネレータ・コントロール・レジスタ6（BRGC6）　…　320
ポート・モード・レジスタ0（PM0）　…　102, 163, 354
ポート・モード・レジスタ1（PM1）　…　102, 201, 221, 291, 323, 354
ポート・モード・レジスタ3（PM3）　…　102, 201
ポート・モード・レジスタ4（PM4）　…　102
ポート・モード・レジスタ5（PM5）　…　102
ポート・モード・レジスタ6（PM6）　…　102
ポート・モード・レジスタ7（PM7）　…　102
ポート・モード・レジスタ12（PM12）　…　102
ポート・モード・レジスタ14（PM14）　…　102, 258, 377
ポート・レジスタ0（P0）　…　106
ポート・レジスタ1（P1）　…　106
ポート・レジスタ2（P2）　…　106
ポート・レジスタ3（P3）　…　106
ポート・レジスタ4（P4）　…　106
ポート・レジスタ5（P5）　…　106
ポート・レジスタ6（P6）　…　106

ポート・レジスタ7（P7）　…　106
ポート・レジスタ12（P12）　…　106
ポート・レジスタ13（P13）　…　106
ポート・レジスタ14（P14）　…　106

[ま行]

メインOSCコントロール・レジスタ（MOC）　…　126
メイン・クロック・モード・レジスタ（MCM）　…　125
メモリ・サイズ切り替えレジスタ（IMS）　…　491
メモリ拡張ウエイト設定レジスタ（MM）　…　113
メモリ拡張モード・レジスタ（MEM）　…　112

[や行]

優先順位指定フラグ・レジスタ0H（PR0H）　…　429
優先順位指定フラグ・レジスタ0L（PR0L）　…　429
優先順位指定フラグ・レジスタ1H（PR1H）　…　429
優先順位指定フラグ・レジスタ1L（PR1L）　…　429

[ら行]

リセット・コントロール・フラグ・レジスタ（RESF）　…　463

[わ行]

割り込みマスク・フラグ・レジスタ0H（MK0H）　…　428
割り込みマスク・フラグ・レジスタ0L（MK0L）　…　428
割り込みマスク・フラグ・レジスタ1H（MK1H）　…　428
割り込みマスク・フラグ・レジスタ1L（MK1L）　…　428
割り込み要求フラグ・レジスタ0H（IF0H）　…　426
割り込み要求フラグ・レジスタ0L（IF0L）　…　426
割り込み要求フラグ・レジスタ1H（IF1H）　…　426
割り込み要求フラグ・レジスタ1L（IF1L）　…　426

C. 2　レジスタ索引（アルファベット順）

【A】

ADCR　：A/D変換結果レジスタ　…　266
ADM　：A/Dコンバータ・モード・レジスタ　…　263
ADS　：アナログ入力チャネル指定レジスタ　…　265
ADTC0　：自動データ転送アドレス・カウント・レジスタ0　…　369
ADTI0　：自動データ転送間隔指定レジスタ0　…　376
ADTP0　：自動データ転送アドレス・ポイント指定レジスタ0　…　374
ASICL6　：アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6　…　321
ASIF6　：アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6　…　317
ASIM0　：アシンクロナス・シリアル・インタフェース動作モード・レジスタ0　…　287
ASIM6　：アシンクロナス・シリアル・インタフェース動作モード・レジスタ6　…　313
ASIS0　：アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0　…　289
ASIS6　：アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6　…　316

【B】

BRGC0　：ボー・レート・ジェネレータ・コントロール・レジスタ0　…　290
BRGC6　：ボー・レート・ジェネレータ・コントロール・レジスタ6　…　320
BRGCA0　：分周値選択レジスタ0　…　374

【C】

CKS　：クロック出力選択レジスタ　…　256
CKSR6　：クロック選択レジスタ6　…　318
CLM　：クロック・モニタ・モード・レジスタ　…　465
CMP00　：8ビット・タイマHコンペア・レジスタ00　…　215
CMP01　：8ビット・タイマHコンペア・レジスタ01　…　215
CMP10　：8ビット・タイマHコンペア・レジスタ10　…　215
CMP11　：8ビット・タイマHコンペア・レジスタ11　…　215
CR000　：16ビット・タイマ・キャプチャ／コンペア・レジスタ000　…　150
CR001　：16ビット・タイマ・キャプチャ／コンペア・レジスタ001　…　150
CR010　：16ビット・タイマ・キャプチャ／コンペア・レジスタ010　…　152
CR011　：16ビット・タイマ・キャプチャ／コンペア・レジスタ011　…　152
CR50　：8ビット・タイマ・コンペア・レジスタ50　…　195
CR51　：8ビット・タイマ・コンペア・レジスタ51　…　195
CRC00　：キャプチャ／コンペア・コントロール・レジスタ00　…　156
CRC01　：キャプチャ／コンペア・コントロール・レジスタ01　…　156
CSIC10　：シリアル・クロック選択レジスタ10　…　351
CSIC11　：シリアル・クロック選択レジスタ11　…　351
CSIM10　：シリアル動作モード・レジスタ10　…　349
CSIM11　：シリアル動作モード・レジスタ11　…　349
CSIMA0　：シリアル動作モード指定レジスタ0　…　370
CSIS0　：シリアル・ステータス・レジスタ0　…　371

CSIT0　：シリアル・トリガ・レジスタ0　…　373

[D]

DMUC0　：乗除算器コントロール・レジスタ0　…　414

[E]

EGN　：外部割り込み立ち下がりエッジ許可レジスタ　…　430

EGP　：外部割り込み立ち上がりエッジ許可レジスタ　…　430

[F]

FLPMC　：フラッシュ・プログラミング・モード・コントロール・レジスタ　…　509

[I]

IF0H　：割り込み要求フラグ・レジスタ0H　…　426

IF0L　：割り込み要求フラグ・レジスタ0L　…　426

IF1H　：割り込み要求フラグ・レジスタ1H　…　426

IF1L　：割り込み要求フラグ・レジスタ1L　…　426

IMS　：メモリ・サイズ切り替えレジスタ　…　491

ISC　：入力切り替え制御レジスタ　…　323

IXS　：内部拡張RAMサイズ切り替えレジスタ　…　492

[K]

KRM　：キー・リターン・モード・レジスタ　…　440

[L]

LVIM　：低電圧検出レジスタ　…　477

LVIS　：低電圧検出レベル選択レジスタ　…　478

[M]

MCM　：メイン・クロック・モード・レジスタ　…　125

MDA0H　：乗除算データ・レジスタA0　…　412

MDA0L　：乗除算データ・レジスタA0　…　412

MDB0　：乗除算データ・レジスタB0　…　413

MEM　：メモリ拡張モード・レジスタ　…　112

MK0H　：割り込みマスク・フラグ・レジスタ0H　…　428

MK0L　：割り込みマスク・フラグ・レジスタ0L　…　428

MK1H　：割り込みマスク・フラグ・レジスタ1H　…　428

MK1L　：割り込みマスク・フラグ・レジスタ1L　…　428

MM　：メモリ拡張ウエイト設定レジスタ　…　113

MOC　：メインOSCコントロール・レジスタ　…　126

[O]

OSTC　：発振安定時間カウンタ状態レジスタ　…　126, 444

OSTS　：発振安定時間選択レジスタ　…　128, 445

[P]

P0　：ポート・レジスタ0　…　106
P1　：ポート・レジスタ1　…　106
P2　：ポート・レジスタ2　…　106
P3　：ポート・レジスタ3　…　106
P4　：ポート・レジスタ4　…　106
P5　：ポート・レジスタ5　…　106
P6　：ポート・レジスタ6　…　106
P7　：ポート・レジスタ7　…　106
P12　：ポート・レジスタ12　…　106
P13　：ポート・レジスタ13　…　106
P14　：ポート・レジスタ14　…　106
PCC　：プロセッサ・クロック・コントロール・レジスタ　…　122
PFCMD　：フラッシュ・プロテクト・コマンド・レジスタ　…　511
PFM　：パワーフェイル比較モード・レジスタ　…　267
PFS　：フラッシュ・ステータス・レジスタ　…　512
PFT　：パワーフェイル比較しきい値レジスタ　…　267
PM0　：ポート・モード・レジスタ0　…　102, 163, 354
PM1　：ポート・モード・レジスタ1　…　102, 201, 221, 291, 323, 354
PM3　：ポート・モード・レジスタ3　…　102, 201
PM4　：ポート・モード・レジスタ4　…　102
PM5　：ポート・モード・レジスタ5　…　102
PM6　：ポート・モード・レジスタ6　…　102
PM7　：ポート・モード・レジスタ7　…　102
PM12　：ポート・モード・レジスタ12　…　102
PM14　：ポート・モード・レジスタ14　…　102, 258, 377
PR0H　：優先順位指定フラグ・レジスタ0H　…　429
PR0L　：優先順位指定フラグ・レジスタ0L　…　429
PR1H　：優先順位指定フラグ・レジスタ1H　…　429
PR1L　：優先順位指定フラグ・レジスタ1L　…　429
PRM00　：プリスケーラ・モード・レジスタ00　…　160
PRM01　：プリスケーラ・モード・レジスタ01　…　160
PU0　：プルアップ抵抗オプション・レジスタ0　…　107
PU1　：プルアップ抵抗オプション・レジスタ1　…　107
PU3　：プルアップ抵抗オプション・レジスタ3　…　107
PU4　：プルアップ抵抗オプション・レジスタ4　…　107
PU5　：プルアップ抵抗オプション・レジスタ5　…　107
PU6　：プルアップ抵抗オプション・レジスタ6　…　107
PU7　：プルアップ抵抗オプション・レジスタ7　…　107
PU12　：プルアップ抵抗オプション・レジスタ12　…　107
PU14　：プルアップ抵抗オプション・レジスタ14　…　107

[R]

RCM　：内蔵発振モード・レジスタ　…　124
RESF　：リセット・コントロール・フラグ・レジスタ　…　463
RXB0　：受信バッファ・レジスタ0　…　286
RXB6　：受信バッファ・レジスタ6　…　312

[S]

SDR0　：剰余データ・レジスタ0　…　411
SIO10　：シリアルI/Oシフト・レジスタ10　…　348
SIO11　：シリアルI/Oシフト・レジスタ11　…　348
SIOA0　：シリアルI/Oシフト・レジスタ0　…　369
SOTB10　：送信バッファ・レジスタ10　…　348
SOTB11　：送信バッファ・レジスタ11　…　348

[T]

TCL50　：タイマ・クロック選択レジスタ50　…　197
TCL51　：タイマ・クロック選択レジスタ51　…　197
TM00　：16ビット・タイマ・カウンタ00　…　150
TM01　：16ビット・タイマ・カウンタ01　…　150
TM50　：8ビット・タイマ・カウンタ50　…　195
TM51　：8ビット・タイマ・カウンタ51　…　195
TMC00　：16ビット・タイマ・モード・コントロール・レジスタ00　…　153
TMC01　：16ビット・タイマ・モード・コントロール・レジスタ01　…　153
TMC50　：8ビット・タイマ・モード・コントロール・レジスタ50　…　199
TMC51　：8ビット・タイマ・モード・コントロール・レジスタ51　…　199
TMCYC1　：8ビット・タイマHキャリア・コントロール・レジスタ1　…　220
TMHMD0　：8ビット・タイマHモード・レジスタ0　…　216
TMHMD1　：8ビット・タイマHモード・レジスタ1　…　216
TOC00　：16ビット・タイマ出力コントロール・レジスタ00　…　157
TOC01　：16ビット・タイマ出力コントロール・レジスタ01　…　157
TXB6　：送信バッファ・レジスタ6　…　312
TXS0　：送信シフト・レジスタ0　…　286

[W]

WDTE　：ウォッチドッグ・タイマ・イネーブル・レジスタ　…　248
WDTM　：ウォッチドッグ・タイマ・モード・レジスタ　…　247
WTM　：時計用タイマ動作モード・レジスタ　…　240

付録D　注意事項一覧

本書に記載されている注意事項の一覧です。
なお，表内の「分類（ハード／ソフト）」の区別は，次のとおりです。

ハード　：マイコン内部／外部のハードウエアについての注意事項
ソフト　：レジスタの設定やプログラムなどソフトウエアについての注意事項

（1/21）

章	分類	機　能	機能の詳細	注意事項	頁
第1章	ハード	端子処理	－	AVss端子はVssに接続してください。	p.19 □
第2章	ハード	端子機能	P31	μPD78F0148HDは，誤動作を防ぐため，リセット後にP31を必ずプルダウンしてください。	p.36 □
			Port4, Port5, Port6	（A1）水準品は外部バス・インタフェース機能を使用できません。	p.37, 38 □
			P66	外部メモリ拡張モード時で外部ウエイトを使用しないときは，P66を入出力ポートとして使用できます。	p.38 □
第3章	ソフト	メモリ空間	IXS：内部拡張RAMサイズ切り替えレジスタ	内部拡張RAMサイズ切り替えレジスタ（IXS）の初期値はIXS = 0CHとなっているため，初期設定でIXS = 0AHに設定してください。78K0/KF1+を78K0/KF1のマスクROM製品のプログラム評価用として使用する場合は，メモリ・サイズ切り替えレジスタ（IMS）とIXSに次に示す値を設定してください。	p.45 □
			SFR領域：特殊機能レジスタ	SFRが割り付けられていないアドレスにアクセスしないでください。	p.49 □
			SP：スタック・ポインタ	SPの内容は$\overline{\text{RESET}}$入力により，不定になりますので，必ずスタック使用前にイニシャライズしてください。	p.53 □
第4章	ソフト	ポート機能	P02, P03, P04	P02/SO11, P03/SI11, P04/$\overline{\text{SCK11}}$を汎用ポートとして使用する場合，シリアル動作モード・レジスタ11（CSIM11）とシリアル・クロック選択レジスタ11（CSIC11）は初期状態と同じ設定（00H）にしてください。	p.78 □
			P10, P11, P12	P10/$\overline{\text{SCK10}}$/TxD0, P11/SI10/RxD0, P12/SO10を汎用ポートとして使用する場合，シリアル動作モード・レジスタ10（CSIM10）とシリアル・クロック選択レジスタ10（CSIC10）は初期状態と同じ設定（00H）にしてください。	p.82 □
	ハード		P31	μPD78F0148HDは，誤動作を防ぐため，リセット後にP31を必ずプルダウンしてください。	p.88 □
			P66	外部メモリ拡張モード時で外部ウエイトを使用しないときは，P66を入出力ポートとして使用できます。	p.92 □
	ソフト		－	1ビット・メモリ操作命令の場合，操作対象は1ビットですが，ポートを8ビット単位でアクセスします。したがって，入力／出力が混在しているポートでは，操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。	p.108 □
第5章	ハード	外部バス・インタフェース	－	（A1）水準品は，外部バス・インタフェース機能を使用できません。	p.109 □
				外部ウエイト機能を使用しないとき，すべてのモードで$\overline{\text{WAIT}}$端子をポートとして使用できます。	p.109 □
	ソフト		MM：メモリ拡張ウエイト設定レジスタ	外部ウエイト端子によるウエイト制御をする場合は，$\overline{\text{WAIT}}$/P66端子を必ず入力モード（ポート・モード・レジスタ6（PM6）のビット6（PM66）を1）に設定してください。	p.113 □
	ハード			外部ウエイト端子によるウエイト制御をしない場合は，$\overline{\text{WAIT}}$/P66端子を入出力ポートとして使用できます。	p.113 □
第6章	ソフト	－	PCC：プロセッサ・クロック・コントロール・レジスタ	ビット3には，必ず0を設定してください。	p.123 □
		内蔵発振	RCM：内蔵発振モード・レジスタ	RSTOPを設定するとき，メイン・クロック・モード・レジスタ（MCM）のビット1（MCS）が1であることを必ず確認してください。	p.124 □

(2/21)

章	分類	機　能	機能の詳細	注意事項	頁
第6章	ハード	メイン・クロック	MCM：メイン・クロック・モード・レジスタ	CPUへの供給クロックに内蔵発振クロックを選択する場合，周辺ハードウエアには，内蔵発振回路出力（f_X）の分周クロックが供給されます（f_X = 240 kHz（TYP.）となります）。内蔵発振クロックによる周辺ハードウエアの動作保証はできませんので，CPUへの供給クロックに内蔵発振クロックを選択する場合は，周辺ハードウエアを使用しないでください。また，CPUへの供給クロックを高速システム・クロックから内蔵発振クロックに切り替える場合は，周辺ハードウエアを停止したあとに行ってください。ただし次の周辺ハードウエアはCPUが内蔵発振クロックで動作している場合でも使用可能です。 ・ウォッチドッグ・タイマ ・クロック・モニタ ・8ビット・タイマH1のカウント・クロックに「$f_R/2^7$」を選択時 ・クロック・ソースに外部クロックを選択している周辺ハードウエア （ただし，TM0n（n = 0, 1）の外部カウント・クロック選択時（TI00n端子の有効エッジ）は除く）	p.125 □
		サブシステム・クロック		サブシステム・クロック動作から高速システム・クロック動作へ切り替える（プロセッサ・クロック・コントロール・レジスタ（PCC）のビット4（CSS）1→0）の場合は，必ずMCS = 1, MCM0 = 1の状態で行ってください。	p.125 □
	ソフト	メイン・クロック	MOC：メインOSCコントロール・レジスタ	MSTOPを設定するとき，メイン・クロック・モード・レジスタ（MCM）のビット1（MCS）が0であることを必ず確認してください。	p.126 □
		サブシステム・クロック		CPUがサブシステム・クロックで動作しているときに高速システム・クロック発振を停止する場合は，プロセッサ・クロック・コントロール・レジスタ（PCC）のビット7（MCC）を1にしてください（MSTOPでの設定はできません）。	p.126 □
		メイン・クロック	OSTC：発振安定時間カウンタ状態レジスタ	上記時間経過後，MOST11から順番に“1”となっていき，そのまま“1”を保持します。	p.127 □
				CPUクロックが内蔵発振クロック時に，STOPモードに入り，解除するときは，発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p.127 □
	ハード			STOPモード解除時のウエイト時間は，$\overline{\text{RESET}}$入力による場合も，割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。	p.127 □
	ソフト		OSTS：発振安定時間選択レジスタ	CPUクロックが高速システム・クロック時にSTOPモードへ移行する場合は，STOP命令を実行する前にOSTSを設定してください。	p.128 □
				OSTSの設定は，OSTCで期待する発振安定時間が経過したことを確認したあとに行ってください。	p.128 □
				CPUクロックが内蔵発振クロック時に，STOPモードに入り，解除するときは，発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p.128 □
	ハード			STOPモード解除時のウエイト時間は，$\overline{\text{RESET}}$入力による場合も，割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。	p.128 □
		高速システム・クロック発振回路，サブシステム・クロック発振回路	－	高速システム・クロック発振回路およびサブシステム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図6－8, 6－9の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。また，変化する大電流が流れる線と接近させない。 ・発振回路のコンデンサの接地点は，常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。 ・発振回路から信号を取り出さない。 特に，サブシステム・クロック発振回路は，低消費電力にするために増幅度の低い回路になっていますのでご注意ください。	p.130 □
		プリスケーラ	－	CPUへの供給クロックに内蔵発振クロックを選択する場合，内蔵発振回路出力を分周して，各種クロックを生成します（f_X = 240 kHz（TYP.））。	p.132 □

(3/21)

章	分類	機　能	機能の詳細	注意事項	頁
第6章	ソフト	内蔵発振クロック	－	RSTOPの設定は，オプション・バイトで内蔵発振器を「ソフトウエアにより停止可能」時にのみ有効です。	p.139 □
				最大時間を計算する場合は，f_R = 120 kHzで行ってください。	p.140 □
		CPUクロック	－	CPUクロックの分周の選択（PCC0-PCC2）と高速システム・クロックからサブシステム・クロックへの切り替え（CSSを0→1）を同時に設定しないでください。 ただし，CPUクロックの分周の選択（PCC0-PCC2）とサブシステム・クロックから高速システム・クロックへの切り替え（CSSを1→0）は同時に設定可能です。	p.141 □
				CPUが内蔵発振クロックで動作している場合，次の値は設定禁止です。 • CSS, PCC2, PCC1, PCC0 = 0, 0, 1, 0 • CSS, PCC2, PCC1, PCC0 = 0, 0, 1, 1 • CSS, PCC2, PCC1, PCC0 = 0, 1, 0, 0	p.141 □
第7章	ソフト	16ビット・タイマ／イベント・カウンタ00, 01 (TM00,TM01)	CR00n：16ビット・タイマ・キャプチャ／コンペア・レジスタ00n	TM0nとCR00nの一致でクリア＆スタート・モードの場合，CR00nには0000H以外の値を設定してください。	p.151 □
				フリー・ランニング・モードおよびTI00n端子の有効エッジのクリア・モードにおいて，CR00nに0000Hを設定した場合は，TM0nのオーバフロー（FFFFH）後，0000Hから0001Hになるときに割り込み要求（INTTM00n）を発生します。またTM0nとCR00nの一致後，TI01n端子の有効エッジ検出後，ワンショット・トリガによるクリア後にINTTM00nを発生します。	p.151 □
	ハード			TI01n端子の有効エッジを使用するときは，P01またはP06をタイマ出力（TO0n）端子として使用できません。また，TO0n端子を使用するときは，TI01n端子の有効エッジは使用できません。	p.151 □
				CR00nをキャプチャ・レジスタとして使用時，レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合，リード・データは不定となります（キャプチャ・データ自体は正常値）。また，タイマのカウント停止とキャプチャ・トリガの入力が競合した場合，キャプチャ・データは不定となります。	p.151 □
	ソフト			TM0n動作中にCR00nを書き換えないでください。	p.151, 164, 169, 181 □
			CR01n：16ビット・タイマ・キャプチャ／コンペア・レジスタ01n	CR01nレジスタに0000Hを設定した場合は，TM0nのオーバフロー（FFFFH）後，0000Hから0001Hになるときに割り込み要求（INTTM010）を発生します。またTM0nとCR01nの一致後，TI00n端子の有効エッジ検出後，ワンショット・トリガによるクリア後にINTTM01nを発生します。	p.153 □
	ハード			CR01nをキャプチャ・レジスタとして使用時，レジスタ・リード期間とキャプチャ・トリガの入力が競合した場合，リード・データは不定となります（キャプチャ・データ自体は正常値）。 また，カウント停止の入力とキャプチャ・トリガの入力が競合した場合，キャプチャ・データは不定となります。	p.153 □
	ソフト			TM0n動作中にCR01nを書き換えることができます。詳細は図7－20の注意2を参照してください。	p.153 □
			TMC0n：16ビット・タイマ・モード・コントロール・レジスタ0n	16ビット・タイマ・カウンタ0n（TM0n）は，TMC0n2, TMC0n3に0, 0（動作停止モード）以外の値を設定した時点で動作を開始します。動作を停止させるには，TMC0n2, TMC0n3に0, 0を設定してください。	p.153 □
			TMC00：16ビット・タイマ・モード・コントロール・レジスタ00	OVF00フラグ以外のビットには，タイマ動作を停止してから書き込んでください。	p.154 □
				TI000/P00端子の有効エッジは，プリスケーラ・モード・レジスタ00（PRM00）で設定します。	p.154 □
				TM00とCR000の一致でクリア＆スタート，TI000端子の有効エッジでクリア＆スタート，フリー・ランニングのいずれかのモードを選択した場合，CR000の設定値がFFFFHで，TM00の値がFFFFHから0000Hに変化するとき，OVF00フラグが1に設定されます。	p.154 □
			TMC01：16ビット・タイマ・モード・コントロール・レジスタ01	OVF01フラグ以外のビットには，タイマ動作を停止してから書き込んでください。	p.155 □
				TI001/P05端子の有効エッジは，プリスケーラ・モード・レジスタ01（PRM01）で設定します。	p.155 □

(4/21)

章	分類	機　能	機能の詳細	注意事項	頁
第7章	ソフト	16ビット・タイマ／イベント・カウンタ00, 01 (TM00,TM01)	TMC01：16ビット・タイマ・モード・コントロール・レジスタ01	TM01とCR001の一致でクリア＆スタート，TI001の有効エッジでクリア＆スタート，フリー・ランニングのいずれかのモードを選択した場合，CR001の設定値がFFFFHで，TM01の値がFFFFHから0000Hに変化するとき，OVF01フラグが1に設定されます。	p.155 □
			CRC00：キャプチャ／コンペア・コントロール・レジスタ00	CRC00は，必ずタイマ動作を停止させてから設定してください。	p.156 □
				16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）で，TM00とCR000の一致でクリア＆スタート・モードを選択したとき，CR000をキャプチャ・レジスタに指定しないでください。	p.156 □
	ハード			キャプチャを確実に行うためのキャプチャ・トリガは，プリスケーラ・モード・レジスタ00（PRM00）で選択したカウント・クロックの2周期分より長いパルスを必要とします。	p.156 □
	ソフト		CRC01：キャプチャ／コンペア・コントロール・レジスタ01	CRC01は，必ずタイマ動作を停止させてから設定してください。	p.157 □
				16ビット・タイマ・モード・コントロール・レジスタ01（TMC01）で，TM01とCR001の一致でクリア＆スタート・モードを選択したとき，CR001をキャプチャ・レジスタに指定しないでください。	p.157 □
	ハード			キャプチャを確実に行うためのキャプチャ・トリガは，プリスケーラ・モード・レジスタ01（PRM01）で選択したカウント・クロックの2周期分より長いパルスを必要とします。	p.157 □
	ソフト		TOC00：16ビット・タイマ出力コントロール・レジスタ00	TOC004以外は，必ずタイマ動作を停止させてから設定してください。	p.158 □
				LVS00, LVR00は読み出すと，0になっています。	p.158 □
				OSPT00は，データ設定後に自動的にクリアされますので，読み出すと0になっています。	p.158 □
				OSPT00は，ワンショット・パルス出力モード以外でセット（1）しないでください。	p.158 □
	ハード			OSPT00に連続してライトするとき，プリスケーラ・モード・レジスタ00（PRM00）を選択したカウント・クロック2周期分以上のライト間隔が必要です。	p.158 □
	ソフト			TOE00より先にLVS00に“1”をセットしないでください。または，LVS00とTOE00に同時に“1”をセットしないでください。	p.158 □
				次の①，②の設定は同時に行わないでください。また設定は次の手順で行ってください。 ① TOC001, TOC004, TOE00, OSPE00の設定：タイマ出力動作の設定 ② LVS00, LVR00の設定：タイマ出力F/Fの設定	p.158 □
			TOC01：16ビット・タイマ出力コントロール・レジスタ01	TOC014以外は，必ずタイマ動作を停止させてから設定してください。	p.159 □
				LVS01, LVR01は読み出すと，0になっています。	p.159 □
				OSPT01は，データ設定後に自動的にクリアされますので，読み出すと0になっています。	p.159 □
				OSPT01は，ワンショット・パルス出力モード以外でセット（1）しないでください。	p.159 □
	ハード			OSPT01に連続してライトするとき，プリスケーラ・モード・レジスタ01（PRM01）を選択したカウント・クロック2周期分以上のライト間隔が必要です。	p.159 □
	ソフト			TOE01より先にLVS01に“1”をセットしないでください。または，LVS01とTOE01に同時に“1”をセットしないでください。	p.159 □
				次の①，②の設定は同時に行わないでください。また設定は次の手順で行ってください。 ① TOC011, TOC014, TOE01, OSPE01の設定：タイマ出力動作の設定 ② LVS01, LVR01の設定：タイマ出力F/Fの設定	p.159 □
	ハード		PRM00：プリスケーラ・モード・レジスタ00	CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，16ビット・タイマ／イベント・カウンタ00の動作は保証されません。また外部クロックの場合も， CPUへの供給クロックに内蔵発振クロックを選択する場合，ノイズ除去のためのサンプリング・クロックに内蔵発振クロックが供給されるため，同様に16ビット・タイマ／イベント・カウンタ00の動作は保証されません。	p.161 □
	ソフト			PRM00は，必ずタイマ動作を停止させてからデータを設定してください。	p.161 □
				カウント・クロックにTI000端子の有効エッジを設定する場合，TI000端子有効エッジでクリア＆スタート・モードおよびキャプチャ・トリガに設定しないでください。	p.161 □

(5/21)

章	分類	機　能	機能の詳細	注意事項	頁
第7章	ソフト	16ビット・タイマ／イベント・カウンタ00, 01 (TM00,TM01)	PRM00：プリスケーラ・モード・レジスタ00	システム・リセット直後にTI000端子またはTI010端子がハイ・レベルの場合，TI000端子またはTI010端子の有効エッジを立ち上がりまたは両エッジに指定し，16ビット・タイマ・カウンタ00（TM00）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI000端子またはTI010端子をプルアップしている場合などは注意してください。ただし，動作を停止させたあとの再動作許可時にTI000端子またはTI010端子がハイ・レベルの場合は，立ち上がりエッジは検出されません。	p.161 □
	ハード			TI010端子の有効エッジを使用するときは，P01をタイマ出力（TO00）端子として使用できません。また，TO00端子を使用するときは，TI010端子の有効エッジは使用できません。	p.161 □
			PRM01：プリスケーラ・モード・レジスタ01	CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，16ビット・タイマ／イベント・カウンタ01の動作は保証されません。また外部クロックの場合も， CPUへの供給クロックに内蔵発振クロックを選択する場合，ノイズ除去のためのサンプリング・クロックに内蔵発振クロックが供給されるため，同様に16ビット・タイマ／イベント・カウンタ01の動作は保証されません。	p.163 □
	ソフト			PRM01は，必ずタイマ動作を停止させてからデータを設定してください。	p.163 □
				カウント・クロックにTI001の有効エッジを設定する場合，TI001有効エッジでクリア＆スタート・モードおよびキャプチャ・トリガに設定しないでください。	p.163 □
				システム・リセット直後にTI001端子またはTI011端子がハイ・レベルの場合，TI001端子またはTI011端子の有効エッジを立ち上がりまたは両エッジに指定し，16ビット・タイマ・カウンタ01（TM01）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI001端子またはTI011端子をプルアップしている場合などは注意してください。ただし，動作を停止させたあとの再動作許可時にTI001端子またはTI011端子がハイ・レベルの場合は，立ち上がりエッジは検出されません。	p.163 □
	ハード			TI011端子の有効エッジを使用するときは，P06をタイマ出力（TO01）端子として使用できません。また，TO01端子を使用するときは，TI011端子の有効エッジは使用できません。	p.163 □
	ソフト		CR01n：16ビット・タイマ・キャプチャ／コンペア・レジスタ01n	動作中にデューティの値（CR01nレジスタ）を変更する場合は，図7－20　PPG出力動作のタイミングの注意2を参照してください。	p.167 □
			CR00n，CR01n：16ビット・タイマ・キャプチャ／コンペア・レジスタ00n, 01n	CR00nとCR01nには次の範囲の値を設定してください。 0000H≦CR01n＜CR00n≦FFFFH	p.168 □
				PPG出力によって生成されるパルスの周期は（CR00nの設定値＋1），デューティは（CR01nの設定値＋1）／（CR00nの設定値＋1）になります。	p.168 □
			PPG出力	PPG出力動作において，TM0nの動作中にパルス幅を変更する（CR01nを書き換える）場合は，次の手順で行ってください。 ① TM0nとCR01nの一致によるタイマ出力反転動作を禁止する（TOC0n4 = 0） ② INTTM01nの割り込みを禁止する（TMMK01n = 1） ③ CR01nを書き換える ④ TM0nのカウント・クロックの1周期分をウエイトする ⑤ TM0nとCR01nの一致によるタイマ出力反転動作を許可する（TOC0n4 = 1） ⑥ INTTM01nの割り込み要求フラグをクリアする（TMIF01n = 0） ⑦ INTTM01nの割り込みを許可する（TMMK01n = 0）	p.169 □
			パルス幅測定	キャプチャ・レジスタを2本使用する場合は，TI00nおよびTI01n端子の設定を行ってください。	p.170 □
			外部イベント・カウンタ	外部イベント・カウンタのカウント値を読み出す場合は，TM0nを読み出してください。	p.180 □
			ワンショット・パルス出力 ：ソフトウエア・トリガ	ワンショット・パルスを出力しているときに，再度OSPT0nビットを1にセットしないでください。再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。	p.184 □

(6/21)

章	分類	機　能	機能の詳細	注意事項	頁
第7章	ハード	16ビット・タイマ／イベント・カウンタ00, 01 (TM00,TM01)	ワンショット・パルス出力：ソフトウエア・トリガ	16ビット・タイマ／イベント・カウンタ0nのワンショット・パルス出力をソフトウエア・トリガで使用する場合，TI00n端子またはその兼用ポート端子のレベルを変化させないでください。 この場合でも外部トリガは有効となっているので，TI00n端子またはその兼用ポート端子のレベルでもタイマがクリア＆スタートしてしまい，意図しないタイミングでパルスが出力されてしまいます。	p.184 □
	ソフト			CR00nレジスタとCR01nレジスタに0000Hを設定しないでください。	p.185 □
				16ビット・タイマ・カウンタ0nは，TMC0n3, TMC0n2ビットに00（動作停止モード）以外の値を設定した時点で動作を開始します。	p.186 □
	ハード		ワンショット・パルス出力：外部トリガ	ワンショット・パルスを出力しているときに，再度外部トリガを入力しないでください。再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。	p.186 □
	ソフト			CR00nレジスタとCR01nレジスタに0000Hを設定しないでください。	p.187 □
				16ビット・タイマ・カウンタ0nは，TMC0n3, TMC0n2ビットに00（動作停止モード）以外の値を設定した時点で動作を開始します。	p.188 □
	ハード		タイマ・スタート時の誤差	タイマ・スタート後，一致信号が発生するまでの時間は，最大で１クロック分の誤差が生じます。これはカウント・クロックに対して16ビット・タイマ・カウンタ0n（TM0n）が非同期でスタートするためです。	p.189 □
	ソフト		16ビット・タイマ・キャプチャ／コンペア・レジスタの設定	TM0nとCR00nの一致でクリア＆スタート・モードの場合，16ビット・タイマ・キャプチャ／コンペア・レジスタ00n（CR00n）には，0000H以外の値を設定してください。したがって，外部イベント・カウンタとして使用時，１パルスのカウント動作はできません	p.189 □
			キャプチャ・レジスタのデータ保持タイミング	16ビット・タイマ／イベント・カウンタ0n停止後の，16ビット・タイマ・キャプチャ／コンペア・レジスタ00n, 01n（CR00n, CR01n）の値は保証されません。	p.189 □
			有効エッジの設定	TI00n端子の有効エッジは，16ビット・タイマ・モード・コントロール・レジスタ0n（TMC0n）のビット2, 3（TMC0n2, TMC0n3）に0, 0を設定し，タイマ動作を停止させたあとに設定してください。有効エッジは，プリスケーラ・モード・レジスタ0n（PRM0n）のビット4, 5（ES0n0, ES0n1）で設定します。	p.189 □
			ワンショット・パルス出力：ソフトウエア・トリガ	ワンショット・パルスを出力しているときに，再度OSPT0nビットを１にセットしないでください。再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。	p.189 □
			ワンショット・パルス出力：外部トリガ	ワンショット・パルスを出力しているときに，再度，外部トリガを入力しないでください。再度ワンショット・パルスを出力したいときは，現在のワンショット・パルス出力が終了したあとで行ってください。	p.189 □
	ハード		ワンショット・パルス出力機能について	16ビット・タイマ／イベント・カウンタ0nのワンショット・パルス出力をソフトウエア・トリガで使用する場合，TI00n端子またはその兼用ポート端子のレベルを変化させないでください。 この場合でも外部トリガは有効となっているので，TI00n端子またはその兼用ポート端子のレベルでもタイマがクリア＆スタートしてしまい，意図しないタイミングでパルスが出力されてしまいます。	p.190 □
	ソフト		OVF0nフラグの動作	OVF0nフラグは，次のときにも“1”に設定されます。 TM0nとCR00nの一致でクリア＆スタート，TI00nの有効エッジでクリア＆スタート，フリー・ランニングのいずれかのモードを選択 →CR00nをFFFFHに設定 →TM0nがFFFFHから0000Hにカウント・アップするとき	p.190 □
				TM0nがオーバフロー後，次のカウント・クロックがカウントされる（TM0nが0001Hになる）前にOVF0nフラグをクリアしても，再度セットされ，クリアは無効となります。	p.190 □
			競合動作	16ビット・タイマ・キャプチャ／コンペア・レジスタ（CR00n/CR01n）のリード期間とキャプチャ・トリガ入力が競合（CR00n/CR01nはキャプチャ・レジスタとして使用）する場合は，キャプチャ・トリガ入力が優先されます。CR00n/CR01nのリード・データは不定となります。	p.191 □
			タイマ動作	16ビット・タイマ・カウンタ0n（TM0n）をリードしても，16ビット・タイマ・キャプチャ／コンペア・レジスタ01n（CR01n）にはキャプチャしません。	p.191 □

（7/21）

章	分類	機　能	機能の詳細	注意事項	頁
第7章	ハード	16ビット・タイマ／イベント・カウンタ00, 01 (TM00,TM01)	タイマ動作	CPUの動作モードに関係なく，タイマが停止していると，TI00n/TI01n端子への入力信号は受け付けられません。	p.191 □
				ワンショット・パルス出力は，フリー・ランニング・モードまたはTI00n端子の有効エッジでクリア＆スタート・モードでのみ正常に動作します。TM0nとCR00nの一致でクリア＆スタート・モードでは，オーバフローしないため，ワンショット・パルス出力ができません。	p.191 □
			キャプチャ動作	カウント・クロックにTI00nの有効エッジを指定した場合，TI00nをトリガに指定したキャプチャ・レジスタは正常に動作できません。	p.191 □
				確実にキャプチャするためのキャプチャ・トリガは，プリスケーラ・モード・レジスタ0n（PRM0n）で選択したカウント・クロックの2周期分より長いパルスを必要とします。	p.191 □
				キャプチャ動作はカウント・クロックの立ち下がりで行われますが，割り込み要求入力（INTTM00n/INTTM01n）は次のカウント・クロックの立ち上がりで発生します。	p.192 □
			コンペア動作	コンペア・モードに設定したCR00n/CR01nは，キャプチャ・トリガが入力されてもキャプチャ動作を行いません	p.192 □
			エッジ検出	システム・リセット直後にTI00n端子またはTI01n端子がハイ・レベルの場合，TI00n端子またはTI01n端子の有効エッジを立ち上がりまたは両エッジに指定し，16ビット・タイマ・カウンタ0n（TM0n）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI00n端子またはTI01n端子をプルアップしている場合などは注意してください。ただし，動作を停止させたあとの再動作許可時にTI00n端子またはTI01n端子がハイ・レベルの場合は，立ち上がりエッジは検出されません。	p.192 □
				TI00n端子の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで，ノイズ除去のためのサンプリング・クロックが異なります。前者はfxで，後者はプリスケーラ・モード・レジスタ0n（PRM0n）で選択したカウント・クロックでサンプリングします。有効エッジをサンプリングして，有効レベルを2回検出することではじめてキャプチャ動作するため，短いパルス幅のノイズを除去できます。	p.192 □
第8章	ソフト	8ビット・タイマ／イベント・カウンタ50, 51 (TM50, TM51)	CR5n：8ビット・タイマ・コンペア・レジスタ5n	TM5nとCR5nの一致でクリア＆スタート・モード（TMC5n6 = 0）時は，動作中にCR5nに異なる値を書き込まないでください。	p.196 □
				PWMモード時は，CR5nの書き換え間隔をカウント・クロック（TCL5nで選択したクロック）の3カウント・クロック以上にしてください。	p.196 □
	ハード		TCL50：タイマ・クロック選択レジスタ50	CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，8ビット・タイマ／イベント・カウンタ50の動作は保証されません。	p.198 □
	ソフト			TCL50を同一データ以外に書き換える場合は，いったんタイマ動作を停止させてから書き換えてください。	p.198 □
				ビット3-7には必ず“0”を設定してください。	p.198 □
			TCL51：タイマ・クロック選択レジスタ51	CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，8ビット・タイマ／イベント・カウンタ51の動作は保証されません。	p.198 □
				TCL51を同一データ以外に書き換える場合は，いったんタイマ動作を停止させてから書き換えてください。	p.198 □
				ビット3-7には必ず“0”を設定してください。	p.198 □
			TMC5n：8ビット・タイマ・モード・コントロール・レジスタ5n	LVS5nとLVR5nの設定は，PWMモード時以外で有効になります。	p.201 □
				次の①～④の設定は同時に行わないでください。また設定は次の手順で行ってください。 ① TMC5n1, TMC5n6を設定：動作モードの設定 ② 出力を許可する場合，TOE5nを設定：タイマ出力許可 ③ LVS5n, LVR5nを設定（注意1）：タイマF/Fの設定 ④ TCE5nを設定	p.201 □
				TMC5n6を書き換える場合は，動作を停止してから行ってください。	p.201 □
			インターバル・タイマ／方形波出力	動作中にCR5nに異なる値を書き込まないでください。	p.202, 206 □
			PWM出力	PWMモード時は，CR5nの書き換え間隔をカウント・クロック（TCL5nで選択したクロック）の3カウント・クロック以上にしてください。	p.207 □

（8/21）

章	分類	機　能	機能の詳細	注意事項	頁
第8章	ソフト	8ビット・タイマ／イベント・カウンタ50, 51（TM50, TM51）	PWM出力	図8－15の①から②の間でCR5nからリードする場合，実際に動作する値と異なります（リード値：M，実際のCR5nの値：N）。	p.210 □
	ハード		タイマ・スタート時の誤差	タイマ・スタート後，一致信号が発生するまでの時間は，最大で１クロック分の誤差が生じます。これは，カウント・クロックに対して８ビット・タイマ・カウンタ50, 51（TM50, TM51）が非同期でスタートするためです。	p.211 □
第9章	ソフト	8ビット・タイマH0, H1（TMH0, TMH1）	CMP0n：8ビット・タイマHコンペア・レジスタ0n	CMP0nは，タイマ・カウント動作中に値を書き換えることは禁止です。	p.215 □
			CMP1n：8ビット・タイマHコンペア・レジスタ1n	PWM出力モードおよびキャリア・ジェネレータ・モードでは，タイマ・カウント動作停止（TMHEn = 0）設定後，タイマ・カウント動作を開始する（TMHEn = 1）場合，必ずCMP1nを設定してください（CMP1nへの設定値が同値の場合でも，必ず再設定してください）。	p.215 □
	ハード		TMHMD0：8ビット・タイマHモード・レジスタ0	CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，8ビット・タイマH0の動作は保証されません。	p.218 □
	ソフト			TMHE0 = 1のとき，TMHMD0の他のビットを設定することは禁止です。	p.218 □
				PWM出力モードでは，タイマ・カウント動作停止（TMHE0 = 0）設定後，タイマ・カウント動作を開始する（TMHE0 = 1）場合，必ず8ビット・タイマHコンペア・レジスタ10（CMP10）を設定してください（CMP10への設定値が同値の場合でも，必ず再設定してください）。	p.218 □
	ハード		TMHMD1：8ビット・タイマHモード・レジスタ1	CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。カウント・クロックが内蔵発振クロックの場合，8ビット・タイマH1の動作は保証されません（CKS12, CKS11, CKS10 = 1, 0, 1（$f_R/2^7$）選択時を除く）。	p.220 □
	ソフト			TMHE1 = 1のとき，TMHMD1の他のビットを設定することは禁止です。	p.220 □
				PWM出力モードおよびキャリア・ジェネレータ・モードでは，タイマ・カウント動作停止（TMHE1 = 0）設定後，タイマ・カウント動作を開始する（TMHE1 = 1）場合，必ず8ビット・タイマHコンペア・レジスタ11（CMP11）を設定してください（CMP11への設定値が同値の場合でも，必ず再設定してください）。	p.220 □
				キャリア・ジェネレータ・モードを使用する場合，TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。	p.220 □
	ハード		PWM出力	PWM出力モード時は，CMP1nレジスタを書き換えてからレジスタに転送するのに，動作クロック（TMHMDnレジスタのCKSn2-CKSn0ビットで選択された信号）の3クロック分を必要とします。	p.226 □
	ソフト			タイマ・カウント動作停止（TMHEn = 0）設定後，タイマ・カウント動作を開始する（TMHEn = 1）場合，必ずCMP1nレジスタを設定してください（CMP1nレジスタへの設定値が同値の場合でも，必ず再設定してください）。	p.226 □
				CMP1nレジスタの設定値（M），CMP0nレジスタの設定値（N）は，必ず次の範囲内にしてください。 00H≦CMP1n（M）＜CMP0n（N）≦FFH	p.226 □
			キャリア・ジェネレータ・モード（TMH1のみ）	NRZB1ビットの値を書き換えてから2クロック目までに，再びNRZB1ビットの値を書き換えないでください。書き換えた場合のNRZB1ビットからNRZ1ビットへの転送動作の保証はできません。	p.232 □
				8ビット・タイマ／イベント・カウンタ51をキャリア・ジェネレータ・モードで使用する場合，①のタイミングで割り込みが発生します。8ビット・タイマ／イベント・カウンタ51をキャリア・ジェネレータ・モード以外で使用する場合とは，割り込み発生のタイミングが異なります。	p.232 □
				タイマ・カウント動作停止（TMHE1 = 0）設定後，タイマ・カウント動作を開始する（TMHE1 = 0）場合，必ずCMP11レジスタを説明してください（CMP11レジスタへの設定値が同値の場合でも，必ず再設定してください）。	p.234 □
				TMH1のカウント・クロック周波数をTM51のカウント・クロック周波数の6倍以上になるように設定してください。	p.234 □
				CMP01, CMP11のレジスタの値は，01H-FFHの範囲で設定してください。	p.234 □

(9/21)

章	分類	機　能	機能の詳細	注意事項	頁
第9章	ソフト	8ビット・タイマH0, H1(TMH0, TMH1)	キャリア・ジェネレータ・モード(TMH1のみ)	キャリア・ジェネレータ・モード時は，CMP11レジスタを書き換えて，実際にレジスタに転送するのに動作クロック（TMHMD1レジスタのCKS12-CKS10で選択された信号）の3クロック分を必要とします。	p.234 □
				RMC1ビットの設定はカウント動作開始前に必ず設定してください。	p.234 □
第10章	ソフト	時計用タイマ	WTM：時計用タイマ動作モード・レジスタ	時計用タイマ動作中に，カウント・クロック，インターバル時間の変更（WTMのビット4-7（WTM4-WTM7）で設定）をしないでください。	p.241 □
	ハード		割り込み要求	時計用タイマ・モード・コントロール・レジスタ（WTM）で時計用タイマおよび5ビット・カウンタを動作許可（WTMのビット0（WTM0）およびビット1（WTM1）を1にセット）したとき，設定後の最初の割り込み要求（INTWT）までの時間は，正確にWTMのビット2, 3（WTM2, WTM3）の設定時間にはなりません。2回目以降は設定時間ごとにINTWT信号が発生します。	p.243 □
第11章	ソフト	ウォッチドッグ・タイマ	WDTM：ウォッチドッグ・タイマ・モード・レジスタ	WDTMにデータを書き込むと，ウエイトが発生します。詳細は第34章　ウエイトに関する注意事項を参照してください。	p.247 □
				ビット7, 6, 5にはそれぞれ“0”“1”“1”を設定してください（オプション・バイトで「内蔵発振器は停止不可」を選択した場合は，違う値を書いても無視されます）。	p.247 □
				リセット解除後，WDTMへの書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。	p.248 □
				WDTMは1ビット・メモリ操作命令では設定できません。	p.248 □
				オプション・バイトで「内蔵発振器はソフトウエアにより停止可能」を選択し，WDCS4を1に設定してウォッチドッグ・タイマを停止させた場合，再びWDCS4を0にクリアしてもウォッチドッグ・タイマは動作しません。また内部リセット信号も発生しません。	p.248 □
			WDTE：ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTEに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。	p.248 □
				WDTEに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。ただし，ウォッチドッグ・タイマのソース・クロックが停止している場合は，ウォッチドッグ・タイマのソース・クロックが再び動作開始した時点で，内部リセット信号が発生します。	p.248 □
				WDTEのリード値は，“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。	p.248 □
	ハード		オプション・バイトで「内蔵発振器は停止不可」を選択した場合	このモードでは，STOP命令実行時でも絶対にウォッチドッグ・タイマの動作を停止できません。8ビット・タイマH1（TMH1）はカウント・ソースに内蔵発振クロックの分周を選択できますので，STOP命令実行後はウォッチドッグ・タイマのオーバフロー発生前にTMH1の割り込み要求を使用して，ウォッチドッグ・タイマをクリアしてください。この処理を行わない場合は，STOP命令実行後，ウォッチドッグ・タイマのオーバフローが発生した時点で内部リセット信号を発生します。	p.250 □
			オプション・バイトで「内蔵発振器はソフトウエアにより停止可能」を選択した場合	このモードでは，HALT/STOP命令実行時のウォッチドッグ・タイマ動作は停止します。HALT/STOPモード解除後，HALT/STOP命令実行前にWDTMで設定したウォッチドッグ・タイマの動作クロックでカウントを再開します。このとき，カウントはクリア（0）されず，値を保持します。	p.251 □
第13章	ソフト	A/Dコンバータ	ADM：A/Dコンバータ・モード・レジスタ	FR0-FR2を同一データ以外に書き換える場合は，いったんA/D変換動作を停止させたのちに行ってください。	p.264 □
	ハード			A/Dコンバータのサンプリング時間とA/D変換開始遅延時間については，13. 6　A/Dコンバータの注意事項の（11）を参照してください。	p.264 □
	ソフト			ADMにデータを書き込むと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，ADMにデータを書き込まないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。	p.264 □

（10/21）

章	分類	機　能	機能の詳細	注意事項	頁
第13章	ソフト	A/Dコンバータ	ADS：アナログ入力チャネル指定レジスタ	ビット3-7には必ず0を設定してください。	p.265 □
				ADSにデータを書き込むと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，ADSにデータを書き込まないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。	p.265 □
			ADCR：A/D変換結果レジスタ	A/Dコンバータ・モード・レジスタ（ADM），アナログ入力チャネル指定レジスタ（ADS）に対して書き込み動作を行ったとき，ADCRの内容は不定となることがあります。変換結果は，変換動作終了後，ADM, ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。	p.266 □
				ADCRからデータを読み出すと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，ADCRからデータを読み出さないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。	p.266 □
			PFM：パワーフェイル比較モード・レジスタ	PFMにデータを書き込むと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，PFMにデータを書き込まないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。	p.267 □
			PFT：パワーフェイル比較しきい値レジスタ	PFTにデータを書き込むと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，PFTにデータを書き込まないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。	p.267 □
			A/D変換動作	①から③までの間は14 μs以上空けてください。	p.273 □
				①と②の順番が逆でも問題ありません。	p.273 □
				①は省略可能です。ただし，この場合には③のあとの1回目のA/D変換結果は使用しないでください。	p.273 □
				④から⑦までの時間は，ADMのビット5-3（FR2-FR0）で設定した変換時間とは異なります。 ⑥から⑦までの時間が，FR2-FR0で設定した変換時間となります。	p.273 □
			パワーフェイル検出機能	③から⑥までの間は14 μs以上空けてください。	p.274 □
				③，④，⑤の順番が入れ替わっても問題ありません。	p.274 □
				パワーフェイル機能を使用する場合，③を省略することはできません。	p.274 □
				⑦から⑪までの時間は，ADMのビット5-3（FR2-FR0）で設定した変換時間とは異なります。 ⑨から⑪までの時間が，FR2-FR0で設定した変換時間となります。	p.274 □
	ハード		スタンバイ・モード時の動作電流	A/Dコンバータは，スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）= 0にすることにより，動作電流を低減させることができます（図12－2を参照）。	p.278 □
			ANI0-ANI7 入力範囲	ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にAV_{REF}以上，AV_{SS}以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。	p.278 □
	ソフト		競合動作	変換終了時のA/D変換結果レジスタ（ADCR）ライトと命令によるADCRリードとの競合は，ADCRリードが優先されます。リードしたあと，新しい変換結果がADCRにライトされます。	p.278 □
				変換終了時のADCRライトとA/Dコンバータ・モード・レジスタ（ADM）ライト，またはアナログ入力チャネル指定レジスタ（ADS）ライトの競合は，ADMまたはADSへのライトが優先されます。ADCRへのライトはされません。また，変換終了割り込み信号（INTAD）も発生しません。	p.278 □
	ハード		ノイズ対策	10ビット分解能を保つためには，AV_{REF}, ANI0-ANI37端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図12－19のようにCを外付けすることを推奨します。	p.278 □
			ANI0/P20-ANI7/P27	アナログ入力（ANI0-ANI7）端子は入力ポート（P20-P27）端子と兼用になっています。ANI0-ANI7のいずれかを選択してA/D変換をする場合，変換中にポート2に対してアクセスしないでください。変換分解能が低下することがあります。	p.279 □
				A/D変換中の端子に隣接する端子へディジタル・パルスを印加すると，カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって，A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。	p.279 □

（11/21）

章	分類	機　能	機能の詳細	注意事項	頁
第13章	ハード	A/Dコンバータ	ANI0-ANI7 端子の入力インピーダンス	このA/Dコンバータでは，変換時間の約1/6程度の間，内部のサンプリング・コンデンサに充電して，サンプリングを行っています。 したがって，サンプリング中以外はリーク電流だけであり，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスは変動して意味がありません。 ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを10 kΩ以下にするか，ANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します（図13－19参照）。	p.279 □
			AV_{REF}端子の入力インピーダンス	AV_{REF}端子とAV_{SS}端子の間には数十kΩの直列抵抗ストリングが接続されています。 したがって，基準電圧源の出力インピーダンスが高い場合，AV_{REF}端子とAV_{SS}端子の間の直列抵抗ストリングと直列接続することになり，基準電圧の誤差が大きくなります。	p.279 □
	ソフト		割り込み要求フラグ（ADIF）	アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）はクリアされません。 したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADS書き換え直前に，変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと，変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることになりますので注意してください。また，A/D変換を一度停止させて再開する場合は，再開する前にADIFをクリアしてください。	p.280 □
			A/D変換スタート直後の変換結果	ADCEビット = 1にしてから，14 μs以内にADCSビット= 1にした場合，もしくはADCEビット = 0の状態で，ADCSビット = 1にした場合は，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。	p.280 □
			A/D変換結果レジスタ（ADCR）の読み出し	A/Dコンバータ・モード・レジスタ（ADM），アナログ入力チャネル指定レジスタ（ADS）に対して書き込み動作を行ったとき，ADCRの内容は不定となることがあります。変換結果は，変換動作終了後，ADM, ADSに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。	p.280 □
	ハード		A/Dコンバータのサンプリング時間とA/D変換開始遅延時間	A/Dコンバータのサンプリング時間は，A/Dコンバータ・モード・レジスタ（ADM）の設定値によって異なります。また，A/Dコンバータを動作許可してから実際にサンプリングが行われるまで遅延時間が存在します。 A/D変換時間を厳密に必要とするセットの場合，図12－21と表12－3に示す内容をご注意ください。	p.281 □
			ウエイトが発生するレジスタ	CPUがサブシステム・クロックで動作し，かつ高速システム・クロックが発振を停止しているときに，ADCRレジスタからデータの読み出しを，ADM, ADS, PFM, PFTレジスタへデータの書き込みをしないでください。	p.281 □
第14章	ソフト	シリアル・インタフェースUART0	UARTモード	シリアル・インタフェースUART0への供給クロックが停止しない場合（例：HALTモード）では，正常動作が続きます。シリアル・インタフェースUART0への供給クロックが停止する場合（例：STOPモード）では，各レジスタは，クロック停止直前の値を保持したまま動作を停止します。TxD0端子出力も同様に，クロック停止直前の値を保持し出力します。ただし，クロック供給再開後の動作は保証していないので，再開後はPOWER0 = 0, RXE0 = 0, TXE0 = 0となるように回路をリセットしてください。	p.283 □
				通信開始する場合，POWER0 = 1に設定後，TXE0 = 1（送信）またはRXE0 = 1（受信）に設定してください。	p.283 □
				TXE0とRXE0は，BRGC0で設定した基本クロック（f_{XCLK0}）により，同期化されています。再び送信動作または受信動作を許可する場合は，TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると，送信回路または受信回路を初期化できない場合があります。	p.283 □
			TXS0：送信シフト・レジスタ0	TXS0に送信データを書き込んでから送信完了割り込み信号（INTST0）が発生するまで，次の送信データを書き込まないでください。	p.286 □
			ASIM0：アシンクロナス・シリアル・インタフェース動作モード・レジスタ0	起動時はPOWER0 = 1にしてから，TXE0 = 1としてください。動作を停止するときにはTXE0 = 0にしてから，POWER0 = 0としてください。	p.288 □
				起動時はPOWER0 = 1にしてから，RXE0 = 1としてください。動作を停止するときにはRXE0 = 0にしてから，POWER0 = 0としてください。	p.288 □

（12/21）

章	分類	機　能	機能の詳細	注意事項	頁
第14章	ソフト	シリアル・インタフェース UART0	ASIM0：アシンクロナス・シリアル・インタフェース動作モード・レジスタ0	RxD0端子にハイ・レベルが入力された状態でPOWER0 = 1→RXE0 = 1と設定してください。ロウ・レベルのときにPOWER0 = 1→RXE0 = 1と設定すると，受信を開始してしまいます。	p.288 □
				TXE0とRXE0は，BRGC0で設定した基本クロック（f_{XCLK0}）により，同期化されています。 再び送信動作または受信動作を許可する場合は，TXE0 = 0またはRXE0 = 0に設定してから基本クロック2クロック以降にTXE0 = 1またはRXE0 = 1を設定してください。基本クロック2クロック以内に設定すると，送信回路または受信回路を初期化できない場合があります。	p.288 □
				PS01, PS00, CL0ビットを書き換えるときは，TXE0, RXE0ビットをクリア（0）してから行ってください。	p.288 □
				SL0ビットを書き換えるときは，TXE0をクリア（0）してから行ってください。また，受信は常に“ストップ・ビット数 = 1”として動作するので，SL0ビットの設定値の影響は受けません。	p.288 □
				ビット0には必ず1を設定してください。	p.288 □
			ASIS0：アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0	PE0ビットの動作は，アシンクロナス・シリアル・インタフェース動作モード・レジスタ0（ASIM0）のPS01, PS00ビットの設定値により異なります。	p.289 □
				受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。	p.289 □
				オーバラン・エラーが発生した場合，次の受信データは受信バッファ・レジスタ0（RXB0）には書き込まれず，データは破棄されます。	p.289 □
				ASIS0からデータを読み出すと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，ASIS0からデータを読み出さないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。	p.289 □
	ハード		BRGC0：ボー・レート・ジェネレータ・コントロール・レジスタ0	CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。基本クロックが内蔵発振クロックの場合，シリアル・インタフェースUART0の動作は保証されません。	p.291 □
	ソフト			MDL04-MDL00ビットを書き換える場合は，ASIM0レジスタのビット6（TXE0）= 0，ビット5（RXE0）= 0にしてから行ってください。	p.291 □
	ハード			5ビット・カウンタの出力クロックをさらに1/2分周したものが，ボー・レート値となります。	p.291 □
	ソフト		POWER0, TXE0, RXE0：ASIM0のビット7, 6, 5	動作停止モードにするときはTXE0 = 0, RXE0 = 0にしてから，POWER0 = 0 にしてください。 起動時はPOWER0 = 1にしてから，TXE0 = 1, RXE0 = 1にしてください。	p.292 □
			UARTモード	ポート・モード・レジスタとポート・レジスタの設定手順は，通信相手との関係を考慮して，行ってください。	p.293 □
			UART送信	TXS0に送信データを書き込んでから送信完了割り込み信号（INTST0）が発生するまで，次の送信データを書き込まないでください。	p.296 □
			UART受信	受信エラー発生時にも受信バッファ・レジスタ0（RXB0）は必ず読み出してください。RXB0を読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。	p.297 □
				受信は，常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは，無視されます。	p.297 □
				RXB0を読み出す前に，必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ0（ASIS0）を読み出してください。	p.297 □
			ボー・レートの誤差	送信時のボー・レート誤差は，受信先の許容誤差以内にしてください。	p.301 □
				受信時のボー・レート誤差は，（4）受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。	p.301 □
			受信時の許容ボー・レート範囲	受信時のボー・レート誤差は，下記に示す算出式を使用して，必ず許容誤差範囲内になるように設定してください。	p.302 □

（13/21）

章	分類	機　能	機能の詳細	注意事項	頁
第15章	ハード	シリアル・インタフェースUART6	UARTモード	TxD6出力反転機能は，送信側だけ反転して受信側は反転しないので，TxD6出力反転機能を使用する場合，相手側も反転レベルで受信してください。	p.305 □
	ソフト			シリアル・インタフェースUART6への供給クロックが停止しない場合（例：HALTモード）では，正常動作が続きます。シリアル・インタフェースUART6への供給クロックが停止する場合（例：STOPモード）では，各レジスタは，クロック停止直前の値を保持したまま動作を停止します。TxD6端子出力も同様に，クロック停止直前の値を保持し出力します。ただし，クロック供給再開後の動作は保証していないので，再開後はPOWER6 = 0, RXE6 = 0, TXE6 = 0となるように回路をリセットしてください。	p.305 □
				連続送信の場合，ストップ・ビットから次のスタート・ビットまでの通信タイミングが通常よりマクロの動作クロックの2クロック分伸びます。ただし，受信側はスタート・ビットの検出により，タイミングの初期化を行うので通信結果には影響しません。また，LINに搭載する場合は連続送信機能を使用しないでください。	p.305 □
			TXB6：送信バッファ・レジスタ6	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）のビット1（TXBF6）が1のとき，TXB6にデータを書き込まないでください。	p.312 □
				通信動作中（アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のビット7（POWER6）= 1，かつビット6（TXE6）= 1/ASIM6のビット7（POWER6）= 1，かつビット5（RXE6）= 1）に，ソフトウエアでTXB6へのリフレッシュ（同値書き込み）動作を行わないでください。	p.312 □
			ASIM6：アシンクロナス・シリアル・インタフェース動作モード・レジスタ6	起動時はPOWER6 = 1にしてから，TXE6 = 1としてください。動作を停止するときにはTXE6 = 0にしてから，POWER6 = 0としてください。	p.315 □
				起動時はPOWER6 = 1にしてから，RXE6 = 1としてください。動作を停止するときにはRXE6 = 0にしてから，POWER6 = 0としてください。	p.315 □
				RxD6端子にハイ・レベルが入力された状態でPOWER6 = 1→RXE6 = 1と設定してください。ロウ・レベルのときにPOWER6 = 1→RXE6 = 1と設定すると，受信を開始してしまいます。	p.315 □
				PS61, PS60, CL6ビットを書き換えるときは，TXE6, RXE6ビットをクリア（0）してから行ってください。	p.315 □
				LINに搭載する場合，PS61, PS60ビットを0に固定してください。	p.315 □
				SL6ビットを書き換えるときは，TXE6 = 0にしてから行ってください。また，受信は常に“ストップ・ビット数 = 1”として動作するので，SL6ビットの設定値の影響は受けません。	p.315 □
				ISRM6ビットを書き換えるときは，RXE6 = 0にしてから行ってください。	p.315 □
			ASIS6：アシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6	PE6ビットの動作は，アシンクロナス・シリアル・インタフェース動作モード・レジスタ6（ASIM6）のPS61, PS60ビットの設定値により異なります。	p.316 □
				受信データのストップ・ビットはストップ・ビット数に関係なく最初の1ビットだけをチェックします。	p.316 □
				オーバラン・エラーが発生した場合，次の受信データは受信バッファ・レジスタ6（RXB6）には書き込まれず，データは破棄されます。	p.316 □
				ASIS6からデータを読み出すと，ウエイトが発生します。またCPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止しているときに，ASIS6からデータを読み出さないでください。詳細は第34章　ウエイトに関する注意事項を参照してください。	p.316 □
			ASIF6：アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6	連続送信を行う場合は，最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと，必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。	p.317 □
				連続送信完了時に送信ユニットを初期化する場合は，送信完了割り込み発生後に，必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。	p.317 □
	ハード		CKSR6：クロック選択レジスタ6	CPUへの供給クロックに内蔵発振クロックを選択する場合，カウント・クロックに内蔵発振回路の分周クロックが供給されます。基本クロックが内蔵発振クロックの場合，シリアル・インタフェースUART6の動作は保証されません。	p.319 □
	ソフト			TPS63-TPS60を書き換える場合は，POWER6 = 0としてから行ってください。	p.319 □

（14/21）

章	分類	機　能	機能の詳細	注意事項	頁
第15章	ソフト	シリアル・インタフェース UART6	BRGC6：ボー・レート・ジェネレータ・コントロール・レジスタ6	MDL67-MDL60ビットを書き換える場合は，ASIM6レジスタのビット6（TXE6）= 0，ビット5（RXE6）= 0にしてから行ってください。	p.320 □
	ハード			8ビット・カウンタの出力クロックをさらに1/2分周したものが，ボー・レート値となります。	p.320 □
	ソフト		ASICL6：アシンクロナス・シリアル・インタフェース・コントロール・レジスタ6	通信動作中（ASIM6のビット7（POWER6）= 1，かつビット6（TXE6）= 1/ASIM6のビット7（POWER6）= 1，かつビット5（RXE6）= 1）に，ソフトウエアでASICL6へのリフレッシュ動作（同値書き込み）を行うことができます。ただし，通信終了時（割り込み信号発生）にASICL6のビット6（SBRT6）がクリア（0）されるため，リフレッシュ動作により，通信が起動するので注意してください。	p.321 □
				SBF受信エラー時には，再びSBF受信モードに戻してください。SBRF6フラグの状態は保持（1）されます。	p.322 □
				SBRT6ビットは，ASIM6のビット7（POWER6）= 1，かつビット5（RXE6）= 1としてからセット（1）にしてください。	p.322 □
				SBRT6ビットのリード値は常に0です。SBF受信正常終了後，SBRT6は自動的にクリア（0）されます。	p.322 □
				SBTT6ビットは，ASIM6のビット7（POWER6）= 1，かつビット6（TXE6）= 1としてからセット（1）にしてください。	p.322 □
				SBTT6ビットのリード値は常に0です。SBF送信終了後，SBTT6は自動的にクリア（0）されます。	p.322 □
				DIR6, TXDLV6ビットを書き換えるときは，TXE6, RXE6ビットをクリア（0）にしてから行ってください。	p.322 □
				78K0/KF1のマスクROM製品のプログラム評価用として使用する場合は，SBTT6, SBL62, SBL61, SBL60ビットに0, 1, 0, 1を設定してください。	p.322 □
			POWER6, TXE6, RXE6：ASIM6のビット7, 6, 5	動作停止モードにするときは，TXE6 = 0, RXE6 = 0にしてから，POWER6 = 0 にしてください。起動時はPOWER6 = 1 にしてから，TXE6 = 1, RXE6 = 1にしてください。	p.324 □
			UARTモード	ポート・モード・レジスタとポート・レジスタの設定手順は，通信相手との関係を考慮して，行ってください。	p.325 □
			パリティの種類と動作	LINに搭載する場合，PS61, PS60ビットを0に固定してください。	p.328 □
			連続送信	連続送信でASIF6レジスタのTXBF6, TXSF6フラグは，「10」→「11」→「01」と変化します。そのため，ステータスを確認する場合は，TXBF6, TXSF6フラグの組み合わせで判断しないでください。連続送信を行う場合はTXBF6フラグのみを読み出してください。	p.330 □
				LINに搭載する場合，連続送信機能を使用することはできません。必ずアシンクロナス・シリアル・インタフェース送信ステータス・レジスタ6（ASIF6）が00Hになっていることを確認してから，送信バッファ・レジスタ6（TXB6）に送信データを書き込んでください。	p.330 □
			連続送信時のTXBF6：ASIF6のビット1	連続送信を行う場合は，最初の送信データ（1バイト目）をTXB6レジスタに書き込んだあと，必ずTXBF6フラグが“0”であることを確認してから次の送信データ（2バイト目）をTXB6レジスタに書き込んでください。TXBF6フラグが“1”のときにTXB6レジスタにデータを書き込んだ場合の送信データは保証できません。	p.331 □
			連続送信時のTXSF6：ASIF6のビット0	連続送信完了時に送信ユニットを初期化する場合は，送信完了割り込み発生後に，必ずTXSF6フラグが“0”であることを確認してから初期化を実行してください。TXSF6フラグが“1”のときに初期化を実行した場合の送信データは保証できません。	p.331 □
				連続送信時には，1データ・フレーム送信後のINTST6割り込み処理を実行する前に次の送信が完了してしまうオーバラン・エラーが発生する可能性があります。オーバラン・エラーは送信データ数をカウントできるプログラムを組み込むことTXSF6フラグを参照することで検出できます。	p.331 □
			通常受信	受信エラー発生時にも受信バッファ・レジスタ6（RXB6）は必ず読み出してください。RXB6を読み出さないと，次のデータ受信時にオーバラン・エラーが発生し，いつまでも受信エラーの状態が続いてしまいます。	p.335 □
				受信は，常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは，無視されます。	p.335 □

（15/21）

章	分類	機　能	機能の詳細	注意事項	頁
第15章	ソフト	シリアル・インタフェースUART6	通常受信	RXB6を読み出す前に，必ずアシンクロナス・シリアル・インタフェース受信エラー・ステータス・レジスタ6（ASIS6）を読み出してください。	p.335 □
			シリアル・クロックの生成	送信時のボー・レート誤差は，受信先の許容誤差以内にしてください。	p.341 □
				受信時のボー・レート誤差は，（4）受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。	p.341 □
			受信時の許容ボー・レート範囲	受信時のボー・レート誤差は，下記に示す算出式を使用して，必ず許容誤差範囲内になるように設定してください。	p.342 □
第16章	ソフト	シリアル・インタフェースCSI10, CSI11	SOTB1n：送信バッファ・レジスタ1n	CSOT1n = 1（シリアル通信中）のとき，SOTB1nへのアクセスは行わないでください。	p.348 □
				スレーブ・モードで$\overline{\text{SSI11}}$端子を使用することができます。送受信動作の詳細については，16. 4. 2（2）通信動作を参照してください。	p.348 □
			SIO1n：シリアルI/Oシフト・レジスタ1n	CSOT1n = 1（シリアル通信中）のとき，SIO1nへのアクセスは行わないでください。	p.348 □
				スレーブ・モードで$\overline{\text{SSI11}}$端子を使用することができます。受信動作の詳細については，16. 4. 2（2）通信動作を参照してください。	p.348 □
			CSIM1n：シリアル動作モード・レジスタ1n	ビット5には必ず0を設定してください。	p.349 □
	ハード		CSIC10：シリアル・クロック選択レジスタ10	CPUへの供給クロックに内蔵発振クロックを選択している場合，シリアル・クロックに内蔵発振回路の分周クロックが供給されます。このとき，シリアル・インタフェースCSI10の動作は保証されません。	p.352 □
	ソフト			CSIE10 = 1（動作許可）のとき，CSIC10への書き込みを行わないでください。	p.352 □
				P10/$\overline{\text{SCK10}}$/TxD0, P11/SI10/RxD0, P12/SO10を汎用ポートとして使用する場合，CSIC10を初期状態と同じ状態（00H）にしてください。	p.352 □
				リセット後のデータ・クロックの位相タイプは，タイプ1になります。	p.352 □
	ハード		CSIC11：シリアル・クロック選択レジスタ11	CPUへの供給クロックに内蔵発振クロックを選択している場合，シリアル・クロックに内蔵発振回路の分周クロックが供給されます。このとき，シリアル・インタフェースCSI11の動作は保証されません。	p.353 □
	ソフト			CSIE11 = 1（動作許可）のとき，CSIC11への書き込みを行わないでください。	p.353 □
				P02/SO11, P03/SI11, P04/$\overline{\text{SCK11}}$を汎用ポートとして使用する場合，CSIC11を初期状態と同じ設定（00H）にしてください。	p.353 □
				リセット後のデータ・クロックの位相タイプは，タイプ1になります。	p.353 □
			3線式シリアルI/Oモード	ポート・モード・レジスタとポート・レジスタの設定手順は，通信相手との関係を考慮して，行ってください。	p.356 □
			通信動作	CSOT1n = 1（シリアル通信中）のとき，コントロール・レジスタとデータ・レジスタにアクセスしないでください。	p.359 □
				シリアル・インタフェースCSI11では，スレーブ・モードの場合，$\overline{\text{SSI11}}$端子の変更タイミングには，クロック動作が開始する前に1クロック以上の長さを取ってください。誤作動を起こす可能性があります。	p.359 □
			SO1n出力	TRMD1n, DAP1n, DIR1nに値を書き込むと，SO1nの出力値が変わります。	p.365 □
第17章	ソフト	シリアル・インタフェースCSIA0	SIOA0：シリアルI/Oシフト・レジスタ0	通信動作の起動は，SIOA0への書き込みで行われるため，送信禁止（CSIMA0のビット3（TXEA0）= 0）のときも，ダミー・データをSIOA0レジスタに書き込み，通信動作を起動してから受信動作を行ってください。	p.369 □
				自動送受信機能が動作しているとき，SIOA0にデータを書き込まないでください。	p.369 □
			CSIMA0：シリアル動作モード指定レジスタ0	CSIAE0が0の場合，バッファRAMにアクセスできません。	p.370 □
				CSIAE0を1から0にした場合は，上記注釈のレジスタおよびビットが非同期で初期化されます。再度CSIAE0 = 1にする場合には，必ず初期化されたレジスタを再設定してください。	p.370 □
				CSIAE0を1から0にしたあとに，再度CSIAE0を1にした場合，バッファRAMの値の保持は保証されません。	p.370 □
			CSIS0：シリアル・ステータス・レジスタ0	ビット7には必ず“0”を設定してください。	p.371 □

（16/21）

章	分類	機　能	機能の詳細	注意事項	頁
第17章	ソフト	シリアル・インタフェースCSIA0	CSIS0：シリアル・ステータス・レジスタ0	TSF0が1のとき，シリアル動作モード指定レジスタ0（CSIMA0），シリアル・ステータス・レジスタ0（CSIS0），分周値選択レジスタ0（BRGCA0），自動データ転送アドレス・ポイント指定レジスタ0（ADTP0），自動データ転送間隔指定レジスタ0（ADTI0），シリアルI/Oシフト・レジスタ0（SIOA0）への書き換えは禁止です。ただしレジスタのリードおよび同値の再書き込みは可能です。またバッファRAMも転送動作中の書き換えは可能です。	p.372 □
			CSIT0：シリアル・トリガ・レジスタ0	ATSTP0またはATSTA0に1を設定しても，1バイトの転送が終了するまで停止または開始されません。	p.373 □
				ATSTP0とATSTA0は，割り込み信号INTACSI発生後自動的に0になります。	p.373 □
				自動データ転送中断後，自動データ転送アドレス・カウント・レジスタ0（ADTC0）には中断したときのデータ・アドレスが格納されています。ただし，自動データ転送の再開機能を有していないため，ATSTP0 = 1により転送を中断した場合は，各レジスタを再設定後，ATSTA0より自動データ転送をスタートしてください。	p.373 □
			ADTP0：自動データ転送アドレス・ポイント指定レジスタ0	ビット7-ビット5には，必ず0を設定してください。	p.374 □
			ADTI0：自動データ転送間隔指定レジスタ0	ADTI0の設定よりも，シリアル・ステータス・レジスタ0（CSIS0）のビット5（STBE0），ビット4（BUSYE0）の設定が優先されるため，ADTI0に00Hを設定している場合でも，STBE0, BUSYE0の設定によるインターバル時間が発生します。	p.376 □
			3線式シリアルI/Oモード	ポート・モード・レジスタとポート・レジスタの設定手順は，通信相手との関係を考慮して，行ってください。	p.379, 386 □
			1バイト送受信	SIOA0ライトにより，SOA0端子はロウ・レベルになります。	p.381 □
			通信スタート	SIOA0にデータを書き込んだあと，CSIAE0を“1”にしても，通信はスタートしません。	p.383 □
			自動送受信モード	バッファRAMへの書き込み時にウエイトが発生することがあります。詳細は第34章ウエイトに関する注意事項を参照してください。	p.384 □
				自動送受信モードでは，1バイト送受信後，内部バッファRAMへの書き込み／読み出しを行うため，次の送受信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMへの書き込み／読み出しを行っていますので，インターバル時間は自動データ転送間隔指定レジスタ0（ADTI0）とシリアル・ステータス・レジスタ0（CSIS0）のビット5（STBE0），ビット4（BUSYE0）の設定値に依存します（（5）自動送受信のインターバル時間参照）。	p.388 □
				インターバル期間中にCPUのバッファRAMへのアクセスとシリアル・インタフェースCSIA0のバッファRAMへのアクセスが競合した場合，自動データ転送間隔指定レジスタ0（ADTI0）で設定したインターバル時間は伸びる可能性があります。	p.388, 392, 396 □
			自動送信モード	自動送信モードでは，1バイト送信後，内部バッファRAMからの読み出しを行うため，次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので，インターバル時間は自動データ転送間隔指定レジスタ0（ADTI0）とシリアル・ステータス・レジスタ0（CSIS0）のビット5（STBE0），ビット4（BUSYE0）の設定値に依存します（（5）自動送受信のインターバル時間参照）。	p.392 □
			繰り返し送信モード	繰り返し送信モードでは，1バイト送信後，バッファRAMからの読み出しを行うため，次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので，インターバル時間は自動データ転送間隔指定レジスタ0（ADTI0）とシリアル・ステータス・レジスタ0（CSIS0）のビット5（STBE0），ビット4（BUSYE0）の設定値に依存します（（5）自動送受信のインターバル時間参照）。	p.396 □
			自動送受信の中断と再開	自動送受信中にHALT命令を実行すると，8ビット・データ通信の途中でも通信を中断し，HALTモードになります。また，HALTモードを解除すると，自動送受信動作を中断箇所より再開します。	p.401 □
				自動送受信動作を中断したとき，TSF0 = 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。	p.401 □
			ビジィ制御	ビジィ制御は，自動データ転送間隔指定レジスタ0（ADTI0）によるインターバル時間の制御とは同時に使用できません。	p.403 □
			ビジィ＆ストローブ制御	TSF0がクリアされると，SOA0端子はロウ・レベルになります。	p.405 □

（17/21）

章	分類	機　能	機能の詳細	注意事項	頁
第18章	ソフト	乗除算器	SDR0：剰余データ・レジスタ0	演算処理中（乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1のとき）にSDR0の値を読み出した場合，その値は保証されません。	p.411 □
				演算開始時（DMUEを1に設定するとき），SDR0はリセットされます。	p.411 □
			MDA0H, MDA0L：乗除算データ・レジスタA0	乗算モードでの演算開始時（乗除算器コントロール・レジスタ0（DMUC0）を81Hに設定するとき），MDA0Hはクリア（0）されます。	p.412 □
				演算処理中（乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1のとき）に，MDA0の値を書き換えないでください。この場合でも演算は実施しますが，演算結果は不定となります。	p.412 □
				演算処理中（DMUEが1のとき）にMDA0の値を読み出した場合，その値は保証しません。	p.412 □
			MDB0：乗除算データ・レジスタB0	演算処理中（乗除算器コントロール・レジスタ0（DMUC0）のビット7（DMUE）が1のとき）に，MDB0の値を書き換えないでください。この場合でも演算は実施しますが，演算結果は不定となります。	p.413 □
				除算モード時は，MDB0に0000Hを設定しないでください。設定した場合，演算結果が不定値となってMDA0, SDR0に格納します。	p.413 □
			DMUC：乗除算器コントロール・レジスタ0	演算処理中（DMUEが1のとき）にDMUEを0に設定した場合には，演算結果は保証されません。ただしクリア命令中に演算が終了した場合には，割り込みフラグがセットされ，演算結果は保証されます。	p.414 □
				演算処理中（DMUEが1のとき）に，DMUSEL0を書き換えないでください。書き換えた場合，演算結果が不定値となって乗除算データ・レジスタA0（MDA0），剰余データ・レジスタ0（SDR0）に格納されます。	p.414 □
				演算処理中（DMUEが1のとき）にDMUEを0に設定すると，演算処理は停止します。再度演算処理を行う場合は乗除算データ・レジスタA0（MDA0），乗除算データ・レジスタB0（MDB0），乗除算器コントロール・レジスタ0（DMUC0）を設定し，演算動作を開始（DMUE = 1）してください。	p.414 □
第19章	ソフト	割り込み	IF1H：割り込み要求フラグ・レジスタ	IF1Hのビット5-7には，必ず0を設定してください。	p.426 □
			IF0L, IF0H, IF1L, IF1H：割り込み要求フラグ・レジスタ	タイマ，シリアル・インタフェース，A/Dコンバータなどをスタンバイ解除後に動作させる場合，いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。	p.426 □
				割り込み要求フラグ・レジスタのフラグ操作には，1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は，コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため，「IF0L.0 = 0;」や「_asm("clr1 IF0L, 0");」のようなビット操作命令を使用してください。 なお，C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合，コンパイルすると3命令のアセンブラになります。 mov　a, IF0L and　a, #0FEH mov　IF0L, a この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても，「mov IF0L, a」でクリア（0）されます。したがって，C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。	p.427 □
			MK1H：割り込みマスク・フラグ・レジスタ	MK1Hのビット6, 7には必ず1を，ビット5には必ず0を設定してください。	p.428 □
			PR1H：優先順位指定フラグ・レジスタ	PR1Hのビット5-7には，必ず1を設定してください。	p.429 □
			EGP, EGN：外部割り込み立ち上がり，立ち下がりエッジ許可レジスタ	外部割り込み機能からポート機能に切り替える場合に，エッジ検出を行う可能性があるため，EGPnとEGNnを0に設定してからポート・モードに切り替えてください。	p.430 □

（18/21）

章	分類	機　能	機能の詳細	注意事項	頁
第19章	ソフト	割り込み	ソフトウエア割り込み要求の受け付け	ソフトウエア割り込みからの復帰にRETI命令を使用しないでください。	p.435 □
			割り込み要求の保留	BRK命令は，上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウエア割り込みでは，IEフラグが0にクリアされます。したがって，BRK命令実行中にマスカブル割り込み要求が発生しても，割り込み要求を受け付けません。	p.438 □
第20章	ソフト	キー割り込み機能	KRM：キー・リターン・モード・レジスタ	KRM0-KRM7のうち使用するビットに1を設定する場合，それに対応するプルアップ抵抗レジスタ7（PU7）のビット0-7（PU70-PU77）に1を設定してください。	p.440 □
				KRMを変更すると，割り込み要求フラグがセットされる場合があります。したがって，あらかじめ割り込みを禁止してKRMレジスタを変更し，割り込み要求フラグをクリアしてから，割り込みを許可してください。	p.440 □
				キー割り込みモードで使用していないビットは通常ポートとして使用可能です。	p.440 □
第21章	ソフト	スタンバイ機能	－	RSTOPの設定は，オプション・バイトにて内蔵発振器を「ソフトウエアにより停止可能」時にのみ有効です。	p.441 □
	ハード			STOPモードはCPUが高速システム・クロックまたは内蔵発振クロックで動作しているときのみ使用できます。HALTモードはCPUが高速システム・クロック，内蔵発振クロック，サブシステム・クロックのいずれかの動作状態でも使用できます。ただし，内蔵発振クロック動作時にSTOP命令を実行した場合，高速システム・クロック発振回路は停止しますが，内蔵発振回路は停止しません。	p.442 □
				STOPモードに移行するとき，必ず周辺ハードウエアの動作を停止させたのち，STOP命令を実行してください。	p.442 □
	ソフト		STOPモード，HALTモード	A/Dコンバータ部の動作電流を低減させるためには，A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）を0にクリアし，A/D変換動作を停止させてから，HALT命令またはSTOP命令を実行してください。	p.442 □
	ハード		STOPモード	STOPモード設定前に内蔵発振回路が動作している場合，STOPモードでは内蔵発振クロックの発振を停止することはできません。ただしCPUクロックが内蔵発振クロックの場合，STOP動作解除後17/f_R（s）間はCPU動作停止になります。	p.442 □
	ソフト		OSTC：発振安定時間カウンタ状態レジスタ	上記時間経過後，MOST11から順番に“1”となっていき，そのまま“1”を保持します。	p.444 □
				CPUクロックが内蔵発振クロック時に，STOPモードに入り，解除するときは，発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p.444 □
	ハード			STOPモード解除時のウエイト時間は，$\overline{\text{RESET}}$入力による場合も，割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。	p.444 □
	ソフト		OSTS：発振安定時間選択レジスタ	CPUクロックが高速システム・クロック時にSTOPモードへ移行する場合は，STOP命令を実行する前にOSTSを設定してください。	p.445 □
				OSTSの設定は，OSTCで期待する発振安定時間が経過したことを確認したあとに行ってください。	p.445 □
				CPUクロックが内蔵発振クロック時に，STOPモードに入り，解除するときは，発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間≦OSTSで設定する発振安定時間 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。したがって，STOPモード解除後のOSTCは，OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p.445 □
	ハード			STOPモード解除時のウエイト時間は，$\overline{\text{RESET}}$入力による場合も，割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。	p.445 □
	ソフト		STOPモードの設定および動作状態	スタンバイ・モードの解除に割り込み要求信号が用いられるため，割り込み要求フラグがセット，割り込みマスク・フラグがリセットされている割り込みソースがある場合には，スタンバイ・モードに入ってもただちに解除されます。したがって，STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。	p.451 □

（19/21）

章	分類	機　能	機能の詳細	注意事項	頁
第22章	ハード	リセット機能	－	外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。	p.456 □
				リセット入力中は，高速システム・クロック，内蔵発振クロックともに発振を停止します。	p.456 □
				リセットでSTOPモードを解除するとき，リセット入力中はSTOPモード時の内容を保持します。ただし，ポート端子は，P130はロウ・レベル出力に，それ以外はハイ・インピーダンスとなります。	p.456 □
				LVI回路の内部リセットの場合，LVI回路はリセットされません。	p.457 □
			ウォッチドッグ・タイマのオーバフローによるリセット・タイミング	ウォッチドッグ・タイマの内部リセットの場合，ウォッチドッグ・タイマもリセットされます。	p.458 □
	ソフト		RESF：リセット・コントロール・フラグ・レジスタ	1ビット・メモリ操作命令でデータを読み出さないでください。	p.463 □
第23章	ソフト	クロック・モニタ	CLM：クロック・モニタ・モード・レジスタ	一度ビット0（CLME）をセット（1）したら，$\overline{\text{RESET}}$入力または内部リセット信号以外ではクリア（0）することはできません。	p.465 □
				クロック・モニタによるリセットが発生した場合，CLMEは0になり，リセット・コントロール・フラグ・レジスタ（RESF）のビット1（CLMRF）がセット（1）されます。	p.465 □
第24章	ソフト	パワーオン・クリア回路 (POC)	パワーオン・クリア回路の機能	POC回路で内部リセット信号が発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）がクリア（00H）されます。	p.471 □
	ハード			内蔵発振クロックまたはサブシステム・クロック使用時の電源電圧はV_{DD} = 2.0～5.5 Vですが，POC回路の検出電圧（V_{POC}）が2.1 V±0.1 Vのため，2.2～5.5 Vの電圧範囲で使用してください。	p.471 □
	ソフト		パワーオン・クリア回路の注意事項	電源電圧（V_{DD}）がPOC検出電圧（V_{POC}）付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。	p.473 □
第25章	ソフト	低電圧検出回路 (LVI)	LVIM：低電圧検出レジスタ	LVIを停止する場合は，次のいずれかの手順を行ってください。 ・8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む ・1ビット・メモリ操作命令の場合：LVIONをクリア（0）	p.477 □
			LVIS：低電圧検出レベル選択レジスタ	ビット4-7には必ず“0”を設定してください。	p.478 □
				（A1）水準品では，POC解除後，電源電圧（V_{DD}）が設定した検出電圧（V_{LVI}）を越えてから，すべてのポート端子をクリアしてください。	p.478 □
			リセットとして使用する場合	①は必ず行ってください。LVIMK = 0になっている場合，③の処理を行った時点で割り込みが発生する場合があります。	p.479 □
				LVIMD = 1とした時点で，「電源電圧（V_{DD}）≧検出電圧（V_{LVI}）」であれば内部リセット信号は発生しません。	p.479 □
			低電圧検出回路の注意事項	電源電圧（V_{DD}）がLVI検出電圧（V_{LVI}）付近で，ある期間ふらつくような構成のシステムでは，低電圧検出回路の使用方法により，次のような動作となります。 （1）リセットとして使用する場合 リセット状態／リセット解除状態を繰り返すことがあります。 後述の処置（a）に示す処理を行うことにより，リセット解除からマイコン動作開始までの時間を任意に設定できます。 （2）割り込みとして使用する場合 割り込み要求が頻繁に発生することがあります。後述の処置（b）に示す処理を行うようにしてください。	p.483 □

(20/21)

章	分類	機　能	機能の詳細	注意事項	頁
第26章	ソフト	オプション・バイト	0084H/1084H	オンチップ・ディバグ機能を搭載していない製品（μPD78F0148H）は，必ず0084Hに00H（オンチップ・ディバグ動作禁止）を設定してください。また，ブート・スワップ時は，0084Hと1084Hが切り替わるので，あらかじめ1084Hにも00Hを設定してください。	p.487 □
				オンチップ・ディバグ機能を搭載している製品（μPD78F0148HD）で，オンチップ・ディバグ機能を使用する場合は，0084Hに02Hまたは03Hを設定してください。また，ブート・スワップ時は，0084Hと1084Hが切り替わるので，あらかじめ1084Hにも0084Hと同じ値を設定してください。	p.487 □
			0081H/1081H, 0082H/1082H, 0083H/1083H	0081H, 0082H, 0083H（ブート・スワップ使用時は0081H/1081H, 0082H/1082H, 0083H/1083H）には，必ず00Hを設定してください。	p.487 □
			0080H/1080H	LSROSC = 0（ソフトウエアにより停止可能）の場合，内蔵発振モード・レジスタ（RCM）のビット0（RSTOP）の設定に関係なく，HALT/STOPモード時では，ウォッチドッグ・タイマにカウント・クロックは供給されません。 ただし，低速内蔵発振クロックで8ビット・タイマH1が動作している場合は，HALT/STOPモード時でも，8ビット・タイマH1にカウント・クロックが供給されます。	p.488 □
				ビット1-7には，必ず0を書き込んでください。	p.488 □
第27章	ハード	フラッシュ・メモリ	－	フラッシュ・メモリ製品とマスクROM製品では，ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は，マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。	p.490 □
	ソフト		IMS：メモリ・サイズ切り替えレジスタ	IMSの初期値はCFHです。78K0/KF1+を78K0/KF1のマスクROM製品のプログラム評価用として使用する場合は，表27－2に示す値を設定してください。	p.491 □
			IXS：内部拡張RAMサイズ切り替えレジスタ	IXSの初期値は0CHとなっているため，必ず初期設定でIXS = 0AHに設定してください。78K0/KF1+を78K0/KF1のマスクROM製品のプログラム評価用として使用する場合は，表27－3に示す値を設定してください。	p.492 □
			UART6	UART6選択時，受信クロックは，FLMD0パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。	p.506 □
			FLPMC：フラッシュ・プログラミング・モード・コントロール・レジスタ	フラッシュ・メモリの書き込みおよび消去が終了するまで，必ずFWEDISを0にしてください。	p.510 □
				通常モード時は，必ずFWEDIS = 1にしてください。	p.510 □
				FLSPM1とFLSPM0は，内蔵RAMに分岐してから，操作を行ってください。フラッシュ・メモリのアドレス指定は，FLSPM1 = 0のときはCPUからのアドレス信号，FLSPM1 = 1のときは，書き込みのファームウエアの設定値になります。また，オンボード・モード時には，FLSPM1とFLSPM0の指定は無視されます。	p.510 □
第28章	ハード	オンチップ・ディバグ機能	μPD78F0148HD	μPD78F0148HDはオンチップ・ディバグ機能搭載品です。オンチップ・ディバグ機能使用後，フラッシュ・メモリの書き換え回数の制限の観点から，信頼性について保証できないため，量産用としては使用しないでください。またクレーム受け付け対象外の製品です。	p.517 □
			X1, X2端子使用時	オンチップ・ディバグ時は，X1端子よりクロック入力します。	p.517 □
				X1, X2端子を使用する場合，P31端子を外部でプルダウンしてください。	p.517 □

(21/21)

章	分類	機　能	機能の詳細	注意事項	頁
第30・31章	ハード	電気的特性（標準品，（A）水準品），電気的特性（（A1）水準品）	μPD78F0148HD	μPD78F0148HDはオンチップ・ディバグ機能搭載品です。オンチップ・ディバグ機能使用後，フラッシュ・メモリの書き換え回数の制限の観点から，信頼性について保証できないため，量産用としては使用しないでください。またクレーム受け付け対象外の製品です。	p.534 □
			絶対最大定格	各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。	p.534, □ 535, 556 557
			高速システム・クロック（水晶／セラミック）発振回路	高速システム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は，常にVssと同電位になるようにする。 ・大電流が流れるグランド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.536, □ 558
				リセット解除後は，内蔵発振クロックによりCPUが起動されるため，高速システム・クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。	p.536, □ 558
			推奨発振回路定数	この発振回路定数は発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は，実装回路上での評価を発振子メーカに依頼してください。また，発振電圧，発振周波数はあくまで発振回路特性を示すものであり，78K0/KF1+の内部動作条件についてはDC，AC特性の規格内で使用してください。	p.537 □
			サブシステム・クロック発振回路	サブシステム・クロック発振回路を使用する場合は，配線容量などの影響を避けるために，図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は，常にVssと同電位になるようにする。 ・大電流が流れるグランド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.538, □ 559
				サブシステム・クロック発振回路は，低消費電力にするために増幅度の低い回路になっており，ノイズによる誤動作が高速システム・クロック発振回路よりも起こりやすくなっています。したがって，サブシステム・クロックを使用する場合は，配線方法について特にご注意ください。	p.538, □ 559
			AC特性	T_{CY}は0.238 μs（MIN.）時のみ使用可能です。	p.544 □
				T_{CY}は0.4 μs（MIN.）時のみ使用可能です。	p.545 □
			－	（A1）水準品は，外部バス・インタフェース機能を使用できません。	p.556 □
第33章	ハード	半田付け推奨条件	－	半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。	p.575, □ 576
第34章	ソフト	ウエイト	－	CPUがサブシステム・クロックで動作し，かつ高速システム・クロックが停止（MCC = 1）しているときに，上記の対象レジスタにウエイト要求が発生するアクセス方法で，アクセスしないでください。	p.578 □

付録E　改版履歴

E. 1　本版で改訂された主な箇所

箇　所	内　容
全般	(A) 水準品，(A1) 水準品の品名，仕様，および場合分けを追加
	シリアル動作モード・レジスタ（CSIM10, CSIM11），シリアル・クロック選択レジスタ（CSIC10, CSIC11）の注，注意を変更
p.18	1. 3　オーダ情報を変更
p.46	図3－1　メモリ・マップ（μPD78F0148H）を変更
p.47	図3－2　メモリ・マップ（μPD78F0148HD）を変更
p.51	図3－4　データ・メモリとアドレシングの対応（μPD78F0148HD）の注1, 2を変更
p.123	図6－2　プロセッサ・クロック・コントロール・レジスタ（PCC）のフォーマットに注5を追加
p.478	図25－3　低電圧検出レベル選択レジスタ（LVIS）のフォーマットの注を変更，注意2を追加
p.487	第26章　オプション・バイトを改訂
p.506	表27－8　通信方式一覧を変更
p.516	図27－23　メモリ・マップとブート領域　(2) μPD78F0148HDの注1, 2を変更
p.517	第28章　オンチップ・ディバグ機能（μPD78F0148HDのみ）を改訂
p.544, 545	第30章　電気的特性（標準品，(A) 水準品）のAC特性 (2) リード／ライト・オペレーションの条件を変更
p.556	第31章　電気的特性（(A1) 水準品）を追加
p.575	第33章　半田付け推奨条件を改訂

E. 2　前版までの改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/2)

版　数	前版からの改版内容	適用箇所
第2版	μPD78F0148HDを追加	全般
	1. 5　Kx1シリーズの展開を変更	第1章　概　説
	表2－2　各端子の入出力回路タイプの$\overline{\text{RESET}}$端子の未使用時の推奨接続方法を変更	第2章　端子機能
	図6－7　発振安定時間選択レジスタ（OSTS）のフォーマットに注意1と2を追加	第6章　クロック発生回路
	6. 3　クロック発生回路を制御するレジスタの (7) システム・ウエイト制御レジスタ（VSWC）を削除	
	図7－6　16ビット・タイマ・モード・コントロール・レジスタ00（TMC00）のフォーマットの割り込み要求発生に，キャプチャ・レジスタとして使用時の説明を追加	第7章　16ビット・タイマ／イベント・カウンタ00, 01
	図7－7　16ビット・タイマ・モード・コントロール・レジスタ01（TMC01）のフォーマットの割り込み要求発生に，キャプチャ・レジスタとして使用時の説明を追加	

(2/2)

版　　数	前版からの改版内容	適用箇所
第2版	図7－12　プリスケーラ・モード・レジスタ00（PRM00）のフォーマットの注1を変更，注意4と5を修正	第7章　16ビット・タイマ／イベント・カウンタ00, 01
	図7－13　プリスケーラ・モード・レジスタ01（PRM01）のフォーマットの注1を変更，注意4と5を修正	
	図8－5　タイマ・クロック選択レジスタ50（TCL50）のフォーマットの注を変更	第8章　8ビット・タイマ／イベント・カウンタ50, 51
	図8－6　タイマ・クロック選択レジスタ51（TCL51）のフォーマットの注を変更	
	図9－5　8ビット・タイマHモード・レジスタ0（TMHMD0）のフォーマットの注1を変更	第9章　8ビット・タイマH0, H1
	図9－6　8ビット・タイマHモード・レジスタ1（TMHMD1）のフォーマットの注を変更	
	表11－1　ウォッチドッグ・タイマの暴走検出時間を修正	第11章　ウォッチドッグ・タイマ
	図12－2　クロック出力選択レジスタ（CKS）のフォーマットに注を追加	第12章　クロック出力／ブザー出力制御回路
	図14－4　ボー・レート・ジェネレータ・コントロール・レジスタ0（BRGC0）のフォーマットの注1を変更	第14章　シリアル・インタフェースUART0
	図15－8　クロック選択レジスタ6（CKSR6）のフォーマットの注1を変更	第15章　シリアル・インタフェースUART6
	15. 4. 2　アシンクロナス・シリアル・インタフェース（UART）モードの（h）SBF送信の説明を変更	
	図16－5　シリアル・クロック選択レジスタ10（CSIC10）のフォーマットの注を変更	第16章　シリアル・インタフェースCSI10, CSI11
	図16－6　シリアル・クロック選択レジスタ11（CSIC11）のフォーマットの注を変更	
	図19－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H）のフォーマットの注意3を変更	第19章　割り込み機能
	図21－2　発振安定時間選択レジスタ（OSTS）のフォーマットに注意1と2を追加	第21章　スタンバイ機能
	図22－1　リセット機能のブロック図を変更	第22章　リセット機能
	図25－3　低電圧検出レベル選択レジスタ（LVIS）のフォーマットの注を変更	第25章　低電圧検出回路
	図27－11　FLMD1端子の接続例を変更	第27章　フラッシュ・メモリ
	27. 6. 7　電源に説明を追加	
	章をターゲット・スペックから正式スペックに改訂	第30章　電気的特性
	章を追加	第32章　半田付け推奨条件
	付録を改訂	付録A　開発ツール
	付録を改訂	付録B　ターゲット・システム設計上の注意
	付録を追加	付録D　注意事項一覧
	付録を追加	付録E　改版履歴
第2版（修正版）	1.3　オーダ情報に鉛フリー製品を追加	第1章　概　　説
	章に鉛フリー製品を追加	第32章　半田付け推奨条件

【発　行】
NECエレクトロニクス株式会社
〒211-8668　神奈川県川崎市中原区下沼部1753
電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。
URL（アドレス）　http://www.necel.co.jp/

【営業関係，技術関係お問い合わせ先】

半導体ホットライン
（電話：午前 9:00～12:00，午後 1:00～5:00）
電　話　：044−435−9494
E-mail　：info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。